お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

User's Manual

16

M16C/39Pグループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
M16C ファミリ／ M16C/30 シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、
予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ルネサス エレクトロニクス
www.renesas.com

Rev.1.00　2005.09

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサステクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサステクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサステクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサステクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサステクノロジ半導体製品のご購入に当たりましては、事前にルネサステクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサステクノロジホームページ（http://www.renesas.com）などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサステクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサステクノロジは、適用可否に対する責任は負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。
   本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサステクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサステクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサステクノロジ、ルネサス販売または特約店までご照会ください。

このマニュアルの使い方

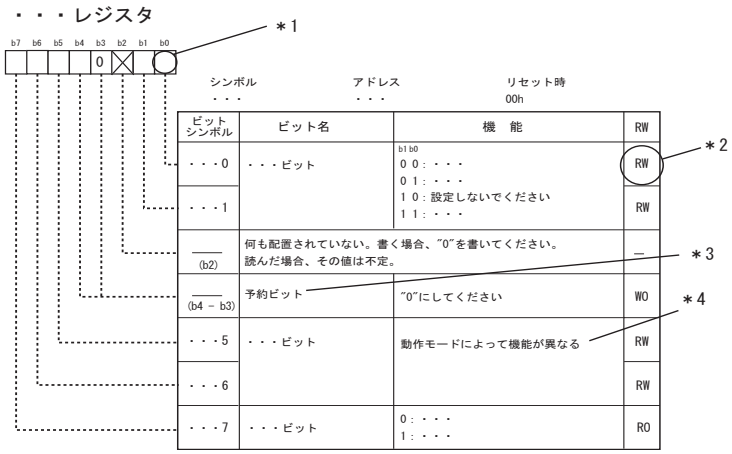
1.　対象

このマニュアルはM16C/39Pグループのハードウェアマニュアルです。

このマニュアルを使用する上で、電気回路、論理回路、およびマイクロコンピュータの基本的な知識が必要です。

2.　レジスタ図の見方

レジスタ図で使用する記号、用語を説明します。



＊1

空白　：用途に応じて“0”または“1”にしてください。
0　　：“0”にしてください。
1　　：“1”にしてください。
×　　：何も配置されてないビットです。

＊2

ＲＷ　：読むとビットの状態が読めます。書くと有効データになります。
ＲＯ　：読むとビットの状態が読めます。書いた値は無効になります。
ＷＯ　：書くと有効データになります。ビットの状態は読めません。
－　　：何も配置されていないビットです。

＊3

・予約ビット

予約ビットです。指定された値にしてください。

＊4

・何も配置されていない

該当ビットには何も配置されていません。将来、周辺展開により新しい機能を持つ可能性がありますので、書く場合は“0”を書いてください。

・設定しないでください

設定した場合の動作は保証されません。

・動作モードによって機能が異なる

周辺機能のモードによってビットの機能が変わります。各モードのレジスタ図を参照してください。

＊5

2進数、16進数の表記法は、各マニュアルの本文に従ってください。

3.　M16C ファミリ関連ドキュメント

M16C ファミリでは次のドキュメントを用意しています。(注1)

ドキュメントの種類	記載内容
ショートシート	ハードウェアの概要
データシート	ハードウェアの概要と電気的特性
ハードウェアマニュアル	ハードウェアの仕様 (ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング)
ソフトウェアマニュアル	命令 (アセンブリ言語) の動作の詳細
アプリケーションノート	周辺機能の応用例 参考プログラム M16C ファミリ入門用基本機能説明 アセンブリ言語、C 言語によるプログラムの作成方法
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報

注1.　最新版を使用してください。最新版はルネサステクノロジホームページに掲載されています。

目次

番地ページ早見表 B-1

1. 概要 1

1.1 応用 1
1.2 性能概要 2
1.3 ブロック図 3
1.4 製品一覧 4
1.5 ピン接続図 5
1.6 端子機能の説明 8

2. 中央演算処理装置 10

2.1 データレジスタ (R0、R1、R2、R3).....10
2.2 アドレスレジスタ (A0、A1).....10
2.3 フレームベースレジスタ (FB).....11
2.4 割り込みテーブルレジスタ (INTB).....11
2.5 プログラムカウンタ (PC).....11
2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP) 11
2.7 スタティックベースレジスタ (SB) 11
2.8 フラグレジスタ (FLG).....11
2.8.1 キャリーフラグ (C フラグ).....11
2.8.2 デバッグフラグ (D フラグ).....11
2.8.3 ゼロフラグ (Z フラグ) 11
2.8.4 サインフラグ (S フラグ).....11
2.8.5 レジスタバンク指定フラグ (B フラグ) 11
2.8.6 オーバフローフラグ (O フラグ) 11
2.8.7 割り込み許可フラグ (I フラグ) 11
2.8.8 スタックポインタ指定フラグ (U フラグ) 11
2.8.9 プロセッサ割り込み優先レベル (IPL) 11
2.8.10 予約領域 11

3. メモリ 12

4. SFR 13

5. リセット 18
5.1 ハードウェアリセット 18
5.1.1 電源安定時 18
5.1.2 電源投入時 18
5.2 ソフトウェアリセット 20
5.3 コールドスタート / ウォームスタート判定機能 21
6. プロセッサモード 23
6.1 プロセッサモードの種類 23
6.2 プロセッサモードの設定 23
6.3 ソフトウェアウェイト 23
7. クロック発生回路 26
7.1 クロック発生回路の種類 26
7.1.1 メインクロック 31
7.1.2 サブクロック 32
7.2 CPU クロックと周辺機能クロック 33
7.2.1 CPU クロック 33
7.2.2 周辺機能クロック (f1、f2、f8、f32、f1SIO、f2SIO、f8SIO、f32SIO、fAD、fC32) 33
7.3 クロック出力機能 33
7.4 パワーコントロール 34
7.4.1 通常動作モード 34
7.4.2 ウェイトモード 35
7.4.3 ストップモード 37
8. プロテクト 42
9. 割り込み 43
9.1 割り込みの分類 43
9.2 ソフトウェア割り込み 44
9.2.1 未定義命令割り込み 44
9.2.2 オーバフロー割り込み 44
9.2.3 BRK 割り込み 44
9.2.4 INT 命令割り込み 44
9.3 ハードウェア割り込み 45
9.3.1 特殊割り込み 45

9.3.2 周辺機能割り込み 45
9.4 割り込みと割り込みベクタ 46
9.4.1 固定ベクタテーブル 46
9.4.2 可変ベクタテーブル 47
9.5 割り込み制御 48
9.5.1 I フラグ 50
9.5.2 IR ビット 50
9.5.3 ILVL2 ～ ILVL0 ビット、IPL 50
9.5.4 割り込みシーケンス 51
9.5.5 割り込み応答時間 52
9.5.6 割り込み要求受付時の IPL の変化 52
9.5.7 レジスタ退避 53
9.5.8 割り込みルーチンからの復帰 54
9.5.9 割り込み優先順位 54
9.5.10 割り込み優先レベル判定回路 55
9.6 INT 割り込み 56
9.7 NMI 割り込み 57
9.8 キー入力割り込み 57
9.9 アドレス一致割り込み 58

10. ウォッチドッグタイマ 60

11. DMAC 62

11.1 転送サイクル 67
11.1.1 転送元番地、転送先番地の影響 67
11.1.2 ソフトウェアウェイトの影響 67
11.2 DMAC 転送サイクル数 69
11.3 DMA 許可 70
11.4 DMA 要求 70
11.5 チャネルの優先順位と DMA 転送タイミング 71

12. タイマ 72

12.1 タイマ A 74
12.1.1 タイマモード 78
12.1.2 イベントカウンタモード 79
12.1.3 ワンショットタイマモード 82

12.1.4 パルス幅変調モード (PWM モード) 83
12.2 タイマ B 85
12.2.1 タイマモード 88
12.2.2 イベントカウンタモード 89
12.2.3 パルス周期測定モード、パルス幅測定モード 90

13. シリアルインタフェース 92

13.1 UARTi(i=0 ～ 2) 92
13.1.1 クロック同期形シリアル I/O モード. 104
13.1.2 クロック非同期形シリアル I/O(UART) モード 112
13.1.3 特殊モード 1(I^2C モード) 120
13.1.4 特殊モード 2.....130
13.1.5 特殊モード 3(IE モード) (UART2) 134
13.1.6 特殊モード 4(SIM モード)(UART2) 136

14. A/D コンバータ 141

14.1 モードの説明 145
14.1.1 単発モード 145
14.1.2 繰り返しモード 147
14.2 機能 149
14.2.1 分解能選択機能 149
14.2.2 サンプル & ホールド 149
14.2.3 拡張アナログ入力端子 149
14.2.4 消費電流低減機能 150
14.2.5 A/D 変換時のセンサーの出力インピーダンス 150

15. VFD コントローラ / ドライバ 151

15.1 VFD コントローラ / ドライバの概要仕様 151
15.2 接続仕様 152
15.3 リセットタイミング 153
15.4 伝送フォーマット 154
15.5 ディジットスキャンタイミング 155
15.6 アドレスマップ 156
15.7 レジスタ説明 157
15.7.1 アドレス自動インクリメント開始番地 157
アドレス自動インクリメント終了番地 157

15.7.2 ディジット表示設定 158
15.7.3 表示制御 159
15.7.4 ディジット出力選択 160
15.7.5 スタティック表示 161
15.7.6 表示用データ設定 162
15.8 複数ディジット同時オン機能 163
15.9 VFD コントローラ / ドライバ制御フロー 164
15.9.1 シリアルインタフェースを使用した制御フロー例 164
15.9.2 VFD コントローラ / ドライバ停止制御フロー 173

16. CRC 演算 177

17. プログラマブル入出力ポート 179

17.1 ポート Pi 方向レジスタ (PDi レジスタ i=0 ～ 10、14) 179
17.2 ポート Pi レジスタ (Pi レジスタ i=0 ～ 10、14) 179
17.3 プルアップ制御レジスタ 0 ～プルアップ制御レジスタ 3(PUR0 ～ PUR3 レジスタ) 179
17.4 ポート制御レジスタ (PCR レジスタ) 179

18. フラッシュメモリ版 197

18.1 メモリ配置 198
18.1.1 ブートモード 199
18.2 フラッシュメモリ書き換え禁止機能 199
18.2.1 ID コードチェック機能 199
18.2.2 ROM コードプロテクト制御番地 199
18.3 CPU 書き換えモード 201
18.3.1 EW0 モード 202
18.3.2 EW1 モード 202
18.3.3 フラッシュメモリ制御レジスタ (FIDR レジスタ、FMR0 レジスタ、FMR1 レジスタ) 202
18.3.4 CPU 書き換えモードの注意事項 207
18.3.5 ソフトウェアコマンド 209
18.3.6 データ保護機能 214
18.3.7 ステータスレジスタ 214
18.3.8 フルステータスチェック 216
18.4 標準シリアル入出力モード 218
18.4.1 ID コードチェック機能 218
18.4.2 標準シリアル入出力モード 1 時の端子処理例 221

19. 電気的特性 223

20. 使用上の注意事項 243

20.2 パワーコントロール 244
20.3 プロテクト 246
20.4 割り込み 247
20.4.1 00000h 番地の読み出し 247
20.4.2 SP の設定 247
20.4.3 NMI 割り込み.....247
20.4.4 割り込み要因の変更 248
20.4.5 INT 割り込み 248
20.4.6 割り込み制御レジスタの変更 249
20.4.7 ウォッチドッグタイマ割り込み 249
20.5 DMAC.....250
20.5.1 DMAiCON レジスタの DMAE ビットへの書き込み (i=0、1) 250
20.6 タイマ 251
20.6.1 タイマ A 251
20.6.2 タイマ B 254
20.7 シリアルインタフェース 256
20.7.1 クロック同期形シリアル I / O モード 256
20.7.2 クロック非同期形シリアル I / O モード (UART モード) 257
20.8 A/D コンバータ 258
20.9 プログラマブル入出力ポート 260
20.10 プログラマブル入出力ポート予約ビットの設定 261
20.11 フラッシュメモリ版とマスク ROM 版の相違点 263
20.12 マスク ROM 版 264
20.13 フラッシュメモリ版 265
20.13.1 フラッシュメモリ書き換え禁止機能 265
20.13.2 ストップモード 265
20.13.3 ウェイトモード 265
20.13.4 低消費電力モード 265
20.13.5 コマンド、データの書き込み 265
20.13.6 プログラムコマンド 265
20.13.7 ロックビットプログラムコマンド 265
20.13.8 動作速度 266

20.13.9 使用禁止命令 266
20.13.10 割り込み 266
20.13.11 アクセス方法 266
20.13.12 ユーザ ROM 領域の書き換え. 266
20.13.13 DMA 転送 266
20.13.14 プログラム、イレーズ回数と実行時間について 267
20.14 ノイズに関する注意事項 268

付録１． 外形寸法図 269

SFR レジスタ図索引 270

番地ページ早見表

番地	レジスタ	シンボル	掲載ページ
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0	PM0	24
0005h	プロセッサモードレジスタ1	PM1	24
0006h	システムクロック制御レジスタ0	CM0	28
0007h	システムクロック制御レジスタ 1	CM1	29
0008h			
0009h	アドレス一致割り込み許可レジスタ	AIER	59
000Ah	プロテクトレジスタ	PRCR	42
000Bh			
000Ch			
000Dh			
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	61
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	61
0010h	アドレス一致割り込みレジスタ0	RMAD0	59
0011h			
0012h			
0013h			
0014h	アドレス一致割り込みレジスタ1	RMAD1	59
0015h			
0016h			
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch			
001Dh			
001Eh			
001Fh			
0020h	DMA0ソースポインタ	SAR0	66
0021h			
0022h			
0023h			
0024h	DMA0ディスティネーションポインタ	DAR0	66
0025h			
0026h			
0027h			
0028h	DMA0転送カウンタ	TCR0	66
0029h			
002Ah			
002Bh			
002Ch	DMA0制御レジスタ	DM0CON	65
002Dh			
002Eh			
002Fh			
0030h	DMA1ソースポインタ	SAR1	66
0031h			
0032h			
0033h			
0034h	DMA1ディスティネーションポインタ	DAR1	66
0035h			
0036h			
0037h			
0038h	DMA1転送カウンタ	TCR1	66
0039h			
003Ah			
003Bh			
003Ch	DMA1制御レジスタ	DM1CON	65
003Dh			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。

番地	レジスタ	シンボル	掲載ページ
0040h			
0041h			
0042h			
0043h			
0044h	INT3割り込み制御レジスタ	INT3IC	49
0045h			
0046h	UART1バス衝突検出割り込み制御レジスタ	U1BCNIC	49
0047h			
0048h			
0049h	INT4割り込み制御レジスタ	INT4IC	49
004Ah	UART2バス衝突検出割り込み制御レジスタ	BCNIC	49
004Bh	DMA0割り込み制御レジスタ	DM0IC	49
004Ch	DMA1割り込み制御レジスタ	DM1IC	49
004Dh	キー入力割り込み制御レジスタ	KUPIC	49
004Eh	A/D変換割り込み制御レジスタ	ADIC	49
004Fh	UART2送信割り込み制御レジスタ	S2TIC	49
0050h	UART2受信割り込み制御レジスタ	S2RIC	49
0051h	UART0送信割り込み制御レジスタ	S0TIC	49
0052h			
0053h	UART1送信割り込み制御レジスタ	S1TIC	49
0054h	UART1受信割り込み制御レジスタ	S1RIC	49
0055h	タイマA0割り込み制御レジスタ	TA0IC	49
0056h	タイマA1割り込み制御レジスタ	TA1IC	49
0057h	タイマA2割り込み制御レジスタ	TA2IC	49
0058h			
0059h			
005Ah	タイマB0割り込み制御レジスタ	TB0IC	49
005Bh	タイマB1割り込み制御レジスタ	TB1IC	49
005Ch	タイマB2割り込み制御レジスタ	TB2IC	49
005Dh	INT0割り込み制御レジスタ	INT0IC	49
005Eh	INT1割り込み制御レジスタ	INT1IC	49
005Fh	INT2割り込み制御レジスタ	INT2IC	49
0060h			
~			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h			
01B4h	フラッシュ識別レジスタ	FIDR	203
01B5h	フラッシュメモリ制御レジスタ1	FMR1	203
01B6h			
01B7h	フラッシュメモリ制御レジスタ0	FMR0	203
01B8h			
01B9h			
~			
025Bh			
025Ch			
025Dh			
025Eh	周辺クロック選択レジスタ	PCLKR	30
025Fh			
0260h			
~			
0335h			
0336h			
0337h			
0338h			
0339h			
033Ah			
033Bh			
033Ch			
033Dh			
033Eh			
033Fh			

番地ページ早見表

番地	レジスタ	シンボル	掲載ページ
0340h			
0341h			
0342h			
0343h			
0344h			
0345h			
0346h			
0347h			
0348h			
0349h			
034Ah			
034Bh			
034Ch			
034Dh			
034Eh			
034Fh			
0350h			
0351h			
0352h			
0353h			
0354h			
0355h			
0356h			
0357h			
0358h			
0359h			
035Ah			
035Bh			
035Ch			
035Dh			
035Eh	割り込み要因選択レジスタ2	IFSR2A	56
035Fh	割り込み要因選択レジスタ	IFSR	56
0360h			
0361h			
0362h			
0363h			
0364h			
0365h			
0366h			
0367h			
0368h			
0369h			
036Ah			
036Bh			
036Ch			
036Dh			
036Eh			
036Fh			
0370h	UART1特殊モードレジスタ4	U1SMR4	103
0371h	UART1特殊モードレジスタ3	U1SMR3	102
0372h	UART1特殊モードレジスタ2	U1SMR2	102
0373h	UART1特殊モードレジスタ	U1SMR	101
0374h	UART2特殊モードレジスタ4	U2SMR4	103
0375h	UART2特殊モードレジスタ3	U2SMR3	102
0376h	UART2特殊モードレジスタ2	U2SMR2	102
0377h	UART2特殊モードレジスタ	U2SMR	101
0378h	UART2送受信モードレジスタ	U2MR	98
0379h	UART2転送速度レジスタ	U2BRG	96
037Ah	UART2送信バッファレジスタ	U2TB	96
037Bh			
037Ch	UART2送受信制御レジスタ0	U2C0	98
037Dh	UART2送受信制御レジスタ1	U2C1	100
037Eh	UART2受信バッファレジスタ	U2RB	96
037Fh			

番地	レジスタ	シンボル	掲載ページ
0380h	カウント開始フラグ	TABSR	76,87
0381h	時計用プリスケーラリセットフラグ	CPSRF	77,87
0382h	ワンショット開始フラグ	ONSF	77
0383h	トリガ選択レジスタ	TRGSR	77
0384h	アップダウンフラグ	UDF	76
0385h			
0386h	タイマA0レジスタ	TA0	75
0387h			
0388h	タイマA1レジスタ	TA1	75
0389h			
038Ah	タイマA2レジスタ	TA2	75
038Bh			
038Ch			
038Dh			
038Eh			
038Fh			
0390h	タイマB0レジスタ	TB0	86
0391h			
0392h	タイマB1レジスタ	TB1	86
0393h			
0394h	タイマB2レジスタ	TB2	86
0395h			
0396h	タイマA0モードレジスタ	TA0MR	75
0397h	タイマA1モードレジスタ	TA1MR	75
0398h	タイマA2モードレジスタ	TA2MR	75
0399h			
039Ah			
039Bh	タイマB0モードレジスタ	TB0MR	86
039Ch	タイマB1モードレジスタ	TB1MR	86
039Dh	タイマB2モードレジスタ	TB2MR	86
039Eh			
039Fh			
03A0h	UART0送受信モードレジスタ	U0MR	97
03A1h	UART0転送速度レジスタ	U0BRG	96
03A2h	UART0送信バッファレジスタ	U0TB	96
03A3h			
03A4h	UART0送受信制御レジスタ0	U0C0	97
03A5h	UART0送受信制御レジスタ1	U0C1	99
03A6h			
03A7h			
03A8h	UART1送受信モードレジスタ	U1MR	98
03A9h	UART1転送速度レジスタ	U1BRG	96
03AAh	UART1送信バッファレジスタ	U1TB	96
03ABh			
03ACh	UART1送受信制御レジスタ0	U1C0	98
03ADh	UART1送受信制御レジスタ1	U1C1	100
03AEh	UART1受信バッファレジスタ	U1RB	96
03AFh			
03B0h	UART送受信制御レジスタ2	UCON	101
03B1h			
03B2h			
03B3h			
03B4h			
03B5h			
03B6h			
03B7h			
03B8h	DMA0要因選択レジスタ	DM0SL	64
03B9h			
03BAh	DMA1要因選択レジスタ	DM1SL	65
03BBh			
03BCh	CRCデータレジスタ	CRCD	177
03BDh			
03BEh	CRCインプットレジスタ	CRCIN	177
03BFh			

注1. 空欄は予約領域です。アクセスしないでください。

番地ページ早見表

番地	レジスタ	シンボル	掲載ページ
03C0h	A/D レジスタ 0	AD0	144
03C1h			
03C2h	A/D レジスタ 1	AD1	144
03C3h			
03C4h	A/D レジスタ 2	AD2	144
03C5h			
03C6h	A/D レジスタ 3	AD3	144
03C7h			
03C8h	A/D レジスタ 4	AD4	144
03C9h			
03CAh	A/D レジスタ 5	AD5	144
03CBh			
03CCh	A/D レジスタ 6	AD6	144
03CDh			
03CEh	A/D レジスタ 7	AD7	144
03CFh			
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D 制御レジスタ 2	ADCON2	144
03D5h			
03D6h	A/D 制御レジスタ 0	ADCON0	143
03D7h	A/D 制御レジスタ 1	ADCON1	143
03D8h			
03D9h			
03DAh			
03DBh			
03DCh			
03DDh			
03DEh	ポート P14 制御レジスタ	PC14	192
03DFh	プルアップ制御レジスタ 3	PUR3	192
03E0h	ポート P0 レジスタ	P0	185
03E1h	ポート P1 レジスタ	P1	185
03E2h	ポート P0 方向レジスタ	PD0	185
03E3h	ポート P1 方向レジスタ	PD1	185
03E4h	ポート P2 レジスタ	P2	186
03E5h	ポート P3 レジスタ	P3	187
03E6h	ポート P2 方向レジスタ	PD2	186
03E7h	ポート P3 方向レジスタ	PD3	187
03E8h	ポート P4 レジスタ	P4	187
03E9h	ポート P5 レジスタ	P5	188
03EAh	ポート P4 方向レジスタ	PD4	187
03EBh	ポート P5 方向レジスタ	PD5	188
03ECh	ポート P6 レジスタ	P6	189
03EDh	ポート P7 レジスタ	P7	190
03EEh	ポート P6 方向レジスタ	PD6	189
03EFh	ポート P7 方向レジスタ	PD7	190
03F0h	ポート P8 レジスタ	P8	191
03F1h	ポート P9 レジスタ	P9	185
03F2h	ポート P8 方向レジスタ	PD8	191
03F3h	ポート P9 方向レジスタ	PD9	185
03F4h	ポート P10 レジスタ	P10	185
03F5h			
03F6h	ポート P10 方向レジスタ	PD10	185
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh	プルアップ制御レジスタ 0	PUR0	193
03FDh	プルアップ制御レジスタ 1	PUR1	193
03FEh	プルアップ制御レジスタ 2	PUR2	193
03FFh	ポート制御レジスタ	PCR	194

注 1. 空欄は予約領域です。アクセスしないでください。

1. 概要

M16C/39Pグループは、高性能シリコンゲートCMOSプロセスを採用しM16C/60シリーズCPUコアを搭載した蛍光表示管(VFD)のコントローラ／ドライバ内蔵のシングルチップマイクロコンピュータで、100ピンプラスチックモールドQFPに収められています。 このシングルチップマイクロコンピュータは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備えています。また、乗算器、DMACがあるため、高速な演算処理が必要なOA、通信機器、オーディオ機器の制御に適したマイクロコンピュータです。

VFD: Vacuum Fluorescent Display

1.1 応用

オーディオ、家電、事務機器、他

本仕様書はできる限り正確を期すように努力しておりますが、誤記がありましたときはご容赦ください。
また、機能向上や性能向上のために仕様を変更する場合がありますので最新バージョンをご使用ください。

1.2　性能概要

表1.1に性能概要を示します。

表1.1　性能概要

項目		性能
CPU	基本命令数	91命令
	最短命令実行時間	62.5ns(f(XIN)=16MHz、VCC1=VCC2=4.2～5.5V、ウェイトなし) 100ns(f(XIN)=10MHz、VCC1=VCC2=2.7～5.5V、ウェイトなし)
	動作モード	シングルチップ
	アドレス空間	1Mバイト
	メモリ容量	128KB/5KB、192KB/6KB
周辺機能	ポート	入出力：53本、入力：1本
	多機能タイマ	タイマA：16ビット×3チャネル、タイマB：16ビット×3チャネル
	シリアルインタフェース	2チャネル クロック同期形シリアルI/O、クロック非同期形シリアルI/O I²C bus (注1) 1チャネル IEBus (注2)
		1チャネル クロック同期形シリアルI/O(注3)
	A/Dコンバータ	10ビットA/Dコンバータ：1回路、18チャネル
	DMAC	2チャネル
	CRC演算回路	CRC-CCITT方式
	ウォッチドッグタイマ	15ビット×1チャネル(プリスケーラ付)
	割り込み	内部：17要因、外部：7要因、ソフトウェア：4要因 割り込み優先レベル：7レベル
	クロック発生回路	2回路 メインクロック発振回路(*)、サブクロック発振回路(*)、 (*)発振回路には帰還抵抗内蔵　(注4)
	VFD耐圧ポート	34本
電気的特性	電源電圧(注5)	VCC1=VCC2=4.2～5.5V(*)　(f(XIN)=16MHz) (*)VFDコントローラ/ドライバ使用時はVCC1=VCC2=4.5～5.5V VCC1=VCC2=2.7～5.5V(*)　(f(XIN)=10MHz、ウェイトなし) (*)VFDコントローラ/ドライバ使用時はVCC1=VCC2=3.0～3.6V、4.5V～5.5V
	消費電流	10mA　(VCC1=VCC2=5V、(f(XIN)=16MHz) 10mA　(VCC1=VCC2=3V、(f(XIN)=10MHz、ウェイトなし) 3.8μA　(VCC1=VCC2=3V、f(XCIN)=32kHz、ウェイトモード) 1.4μA　(VCC1=VCC2=3V、ストップモード)
フラッシュメモリ版(注6)	プログラム、イレーズ電圧	3.3±0.3Vまたは5.0±0.5V
	プログラム、イレーズ回数	100回
動作周囲温度		-20℃～75℃
パッケージ		100ピンプラスチックモールドQFP

注1.　I²C busはオランダPHILIPS社の登録商標です。
注2.　IEBusはNECエレクトロニクス株式会社の登録商標です。
注3.　UART0はVFDコントローラ/ドライバに接続されています。
注4.　CLKOUT(クロック出力機能）は、VFDコントローラ/ドライバに接続されています。
注5.　VCC1=VCC2で使用してください。
　　14pinのVSSと64pinのVSSは、チップの外部で出来る限り最短で接続して、0Vを入力してください。
注6.　FLASH版はプログラム開発用(評価用)ですので、量産には使用しないでください。

1.3 ブロック図

図1.1にブロック図を示します。

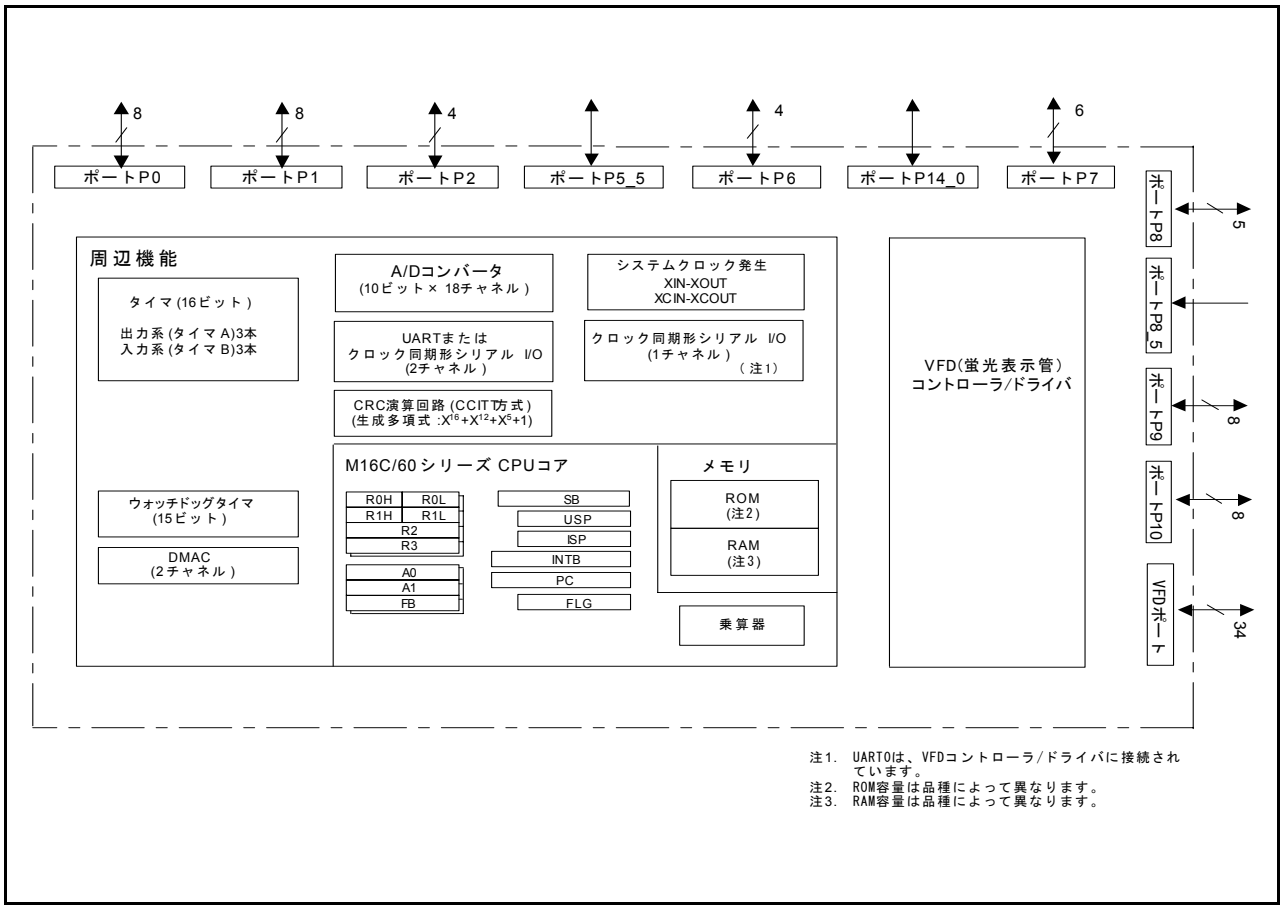


図1.1 ブロック図

1.4　製品一覧

表1.2に製品一覧表、図1.2に形名とメモリサイズ・パッケージを示します。

表1.2　製品一覧表

2005年7月現在

形　　名	ROM容量	RAM容量	パッケージ	備　　考
M30392MCP-XXXFP	128Kバイト	5Kバイト	PRQP0100JB-A	マスクROM版
M30392MEP-XXXFP	192Kバイト	6Kバイト		
M30392FEPFP　(開)	192Kバイト	6Kバイト		フラッシュメモリ版（注2）

(開)：開発中
(計)：計画中
注1. 各パッケージの旧パッケージ型名は以下の通りです。
PRQP0100JB-A：100P6S-A
注2. FLASH版はプログラム開発用(評価用)ですので、量産には使用しないでください。

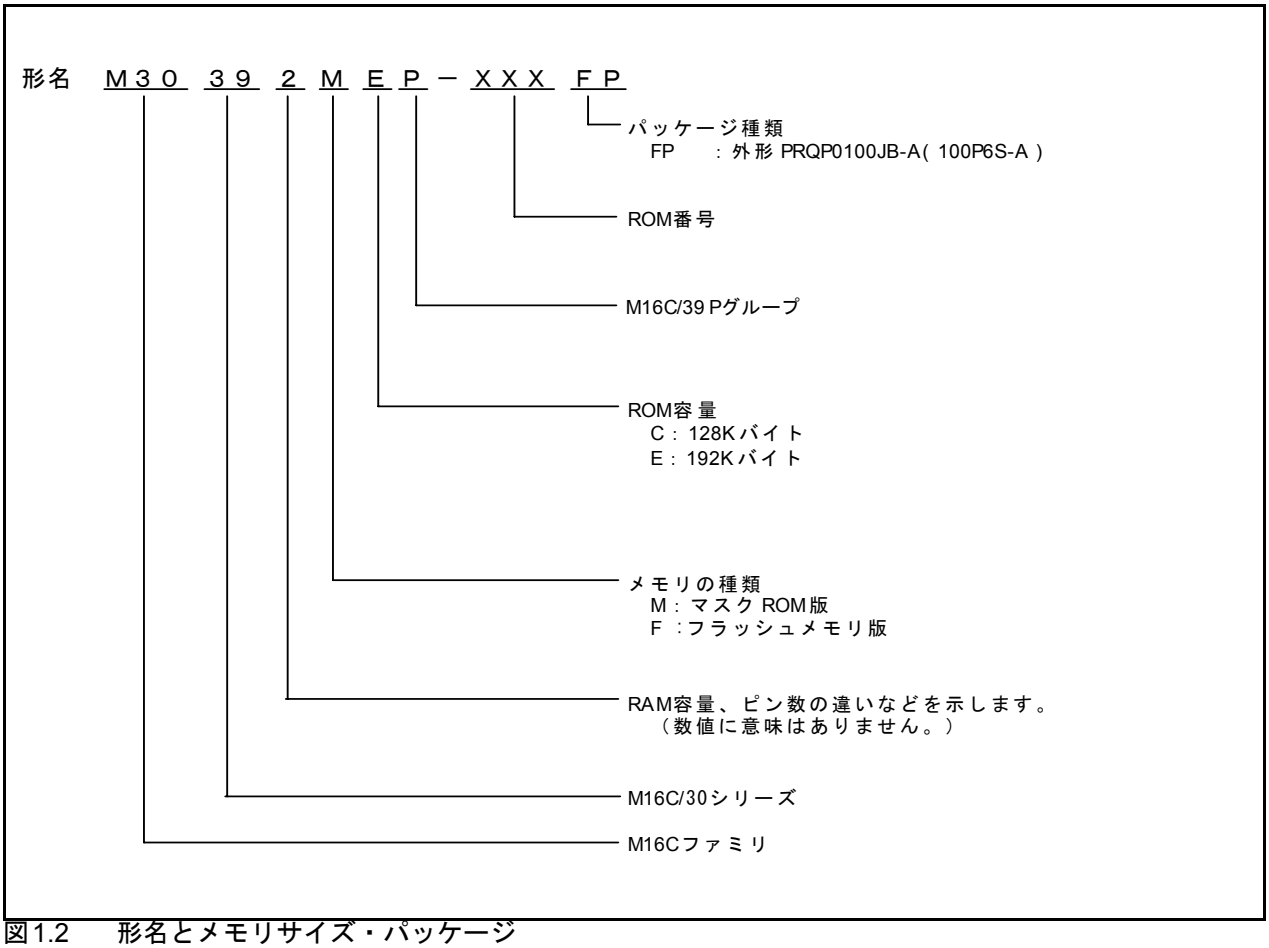


図1.2　形名とメモリサイズ・パッケージ

1.5　ピン接続図

図1.3にピン接続図（上面図）を示します。

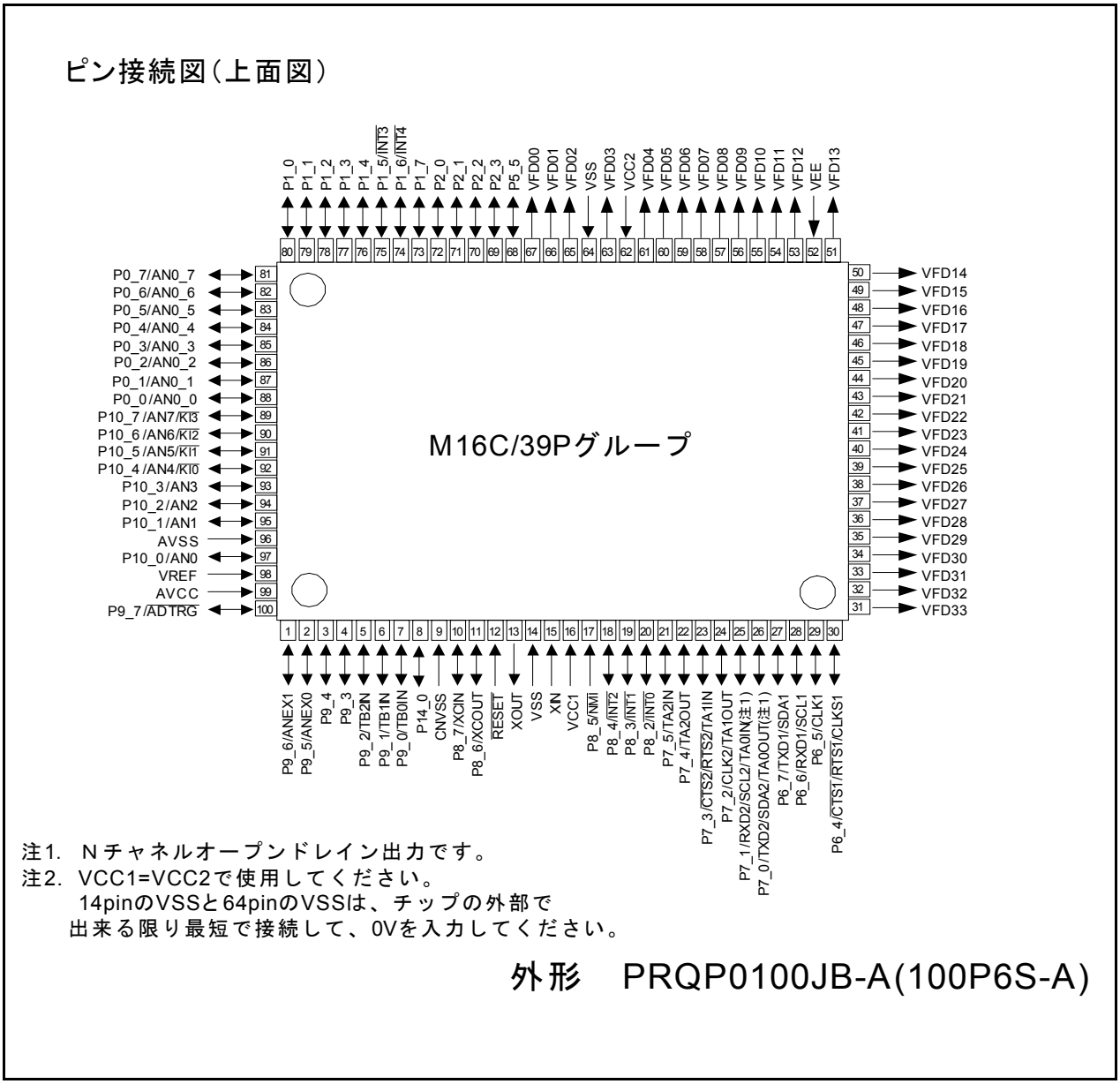


図1.3　ピン接続図(上面図)

表 1.3　端子名一覧表(1)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART端子	アナログ端子	VFD 耐圧ポート
1		P9_6				ANEX1	
2		P9_5				ANEX0	
3		P9_4					
4		P9_3					
5		P9_2		TB2IN			
6		P9_1		TB1IN			
7		P9_0		TB0IN			
8		P14_0					
9	CNVSS						
10	XCIN	P8_7					
11	XCOUT	P8_6					
12	$\overline{\text{RESET}}$						
13	XOUT						
14	VSS						
15	XIN						
16	VCC1						
17		P8_5	$\overline{\text{NMI}}$				
18		P8_4	$\overline{\text{INT2}}$				
19		P8_3	$\overline{\text{INT1}}$				
20		P8_2	$\overline{\text{INT0}}$				
21		P7_5		TA2IN			
22		P7_4		TA2OUT			
23		P7_3		TA1IN	$\overline{\text{CTS2}}$/$\overline{\text{RTS2}}$		
24		P7_2		TA1OUT	CLK2		
25		P7_1		TA0IN	RXD2/SCL2		
26		P7_0		TA0OUT	TXD2/SDA2		
27		P6_7			TXD1/SDA1		
28		P6_6			RXD1/SCL1		
29		P6_5			CLK1		
30		P6_4			$\overline{\text{CTS1}}$/$\overline{\text{RTS1}}$/CLKS1		
31							VFD33
32							VFD32
33							VFD31
34							VFD30
35							VFD29
36							VFD28
37							VFD27
38							VFD26
39							VFD25
40							VFD24
41							VFD23
42							VFD22
43							VFD21
44							VFD20
45							VFD19
46							VFD18
47							VFD17
48							VFD16
49							VFD15
50							VFD14

表1.4 端子名一覧表(2)

Pin No.	制御端子	ポート	割り込み端子	タイマ端子	UART端子	アナログ端子	VFD 耐圧ポート
51							VFD13
52	VEE						
53							VFD12
54							VFD11
55							VFD10
56							VFD09
57							VFD08
58							VFD07
59							VFD06
60							VFD05
61							VFD04
62	VCC2						
63							VFD03
64	VSS						
65							VFD02
66							VFD01
67							VFD00
68		P5_5					
69		P2_3					
70		P2_2					
71		P2_1					
72		P2_0					
73		P1_7					
74		P1_6	$\overline{\text{INT4}}$				
75		P1_5	$\overline{\text{INT3}}$				
76		P1_4					
77		P1_3					
78		P1_2					
79		P1_1					
80		P1_0					
81		P0_7				AN0_7	
82		P0_6				AN0_6	
83		P0_5				AN0_5	
84		P0_4				AN0_4	
85		P0_3				AN0_3	
86		P0_2				AN0_2	
87		P0_1				AN0_1	
88		P0_0				AN0_0	
89		P10_7	$\overline{\text{KI3}}$			AN7	
90		P10_6	$\overline{\text{KI2}}$			AN6	
91		P10_5	$\overline{\text{KI1}}$			AN5	
92		P10_4	$\overline{\text{KI0}}$			AN4	
93		P10_3				AN3	
94		P10_2				AN2	
95		P10_1				AN1	
96	AVSS						
97		P10_0				AN0	
98	VREF						
99	AVCC						
100		P9_7				$\overline{\text{ADTRG}}$	

1.6 端子機能の説明

表1.5 端子の機能説明(1)

分類	端子名	入出力	機能
電源入力	VCC1, VCC2 VSS	入力	VCC1、VCC2端子には、2.7V～5.5V(VFDコントローラ/ドライバ使用時は3.0V～3.6V、4.5V～5.5V)を入力してください。入力条件はVCC1=VCC2です。14pinのVSSと64pinのVSSは、チップの外部で出来る限り最短で接続して、0Vを入力してください。
アナログ電源入力	AVCC AVSS	入力	A/Dコンバータの電源入力です。AVCCはVCC1に接続してください。 AVSSはVSSに接続してください。
リセット入力	$\overline{\text{RESET}}$	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
CNVSS	CNVSS	入力	VSSに接続してください。
メインクロック入力	XIN	入力	メインクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
メインクロック出力	XOUT	出力	
サブクロック入力	XCIN	入力	サブクロック発振回路の入出力です。XCINとXCOUTの間には水晶発振子を接続してください。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
サブクロック出力	XCOUT	出力	
$\overline{\text{INT}}$割り込み入力	$\overline{\text{INT0}}$～$\overline{\text{INT4}}$	出力	$\overline{\text{INT}}$割り込みの入力です。
$\overline{\text{NMI}}$割り込み入力	$\overline{\text{NMI}}$	入力	$\overline{\text{NMI}}$割り込みの入力です。
キー入力割り込み入力	$\overline{\text{KI0}}$～$\overline{\text{KI3}}$	入力	キー入力割り込みの入力です。
タイマA	TA0OUT～ TA2OUT	入出力	タイマA0～A2の入出力です。 (ただし、TA0OUTの出力はNチャネルオープンドレイン)
	TA0IN～TA2IN	入力	タイマA0～A2の入力です。
タイマB	TB0IN～TB2IN	入力	タイマB0～B2の入力です。
シリアルインタフェース	$\overline{\text{CTS1}}$, $\overline{\text{CTS2}}$	入力	送信制御用入力です。
	$\overline{\text{RTS1}}$, $\overline{\text{RTS2}}$	出力	受信制御用出力です。
	CLK1, CLK2	入出力	転送クロック入出力です。
	RXD1, RXD2	入力	シリアルデータ入力です。
	TXD1, TXD2	出力	シリアルデータ出力です(ただし、TXD2の出力はNチャネルオープンドレイン)。
	CLKS1	出力	転送クロック複数端子出力機能の出力です。
I^2Cモード	SDA1, SDA2	入出力	シリアルデータ入出力です(ただし、SDA2の出力はNチャネルオープンドレイン)。
	SCL1, SCL2	入出力	転送クロック入出力です(ただし、SCL2の出力はNチャネルオープンドレイン)。

表1.6 端子の機能説明(2)

分類	端子名	入出力	機能
基準電圧入力	VREF	入力	A/Dコンバータの基準電圧入力です。
A/Dコンバータ	AN0～AN7, AN0_0～AN0_7	入力	A/Dコンバータのアナログ入力です。
	$\overline{\text{ADTRG}}$	入力	A/D外部トリガ入力です。
	ANEX0	入出力	A/Dコンバータの拡張アナログ入力と外部オペアンプ接続モードでの出力です。
	ANEX1	入力	A/Dコンバータの拡張アナログ入力です。
入出力ポート	P0_0～P0_7, P1_0～P1_7, P2_0～P2_3, P5_5, P6_4～P6_7, P7_0～P7_5, P8_2～P8_4, P8_6, P8_7, P9_0～P9_7, P10_0～P10_7, P14_0	入出力	CMOSの8ビット入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムによって4ビット単位でプルアップ抵抗の有無を選択できます。(ただし、P7_0、P7_1の出力はNチャネルオープンドレイン出力)
入力ポート	P8_5	入力	$\overline{\text{NMI}}$と端子を共用しています。 $\overline{\text{NMI}}$の入力レベルを確認するための入力専用ポートです。
VFDポート	VFD00～VFD33	出力	VFD表示データ出力ポートです。
プルダウン電源電圧	VEE	入力	プルダウン電源電圧の入力です。

2. 中央演算処理装置

図2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

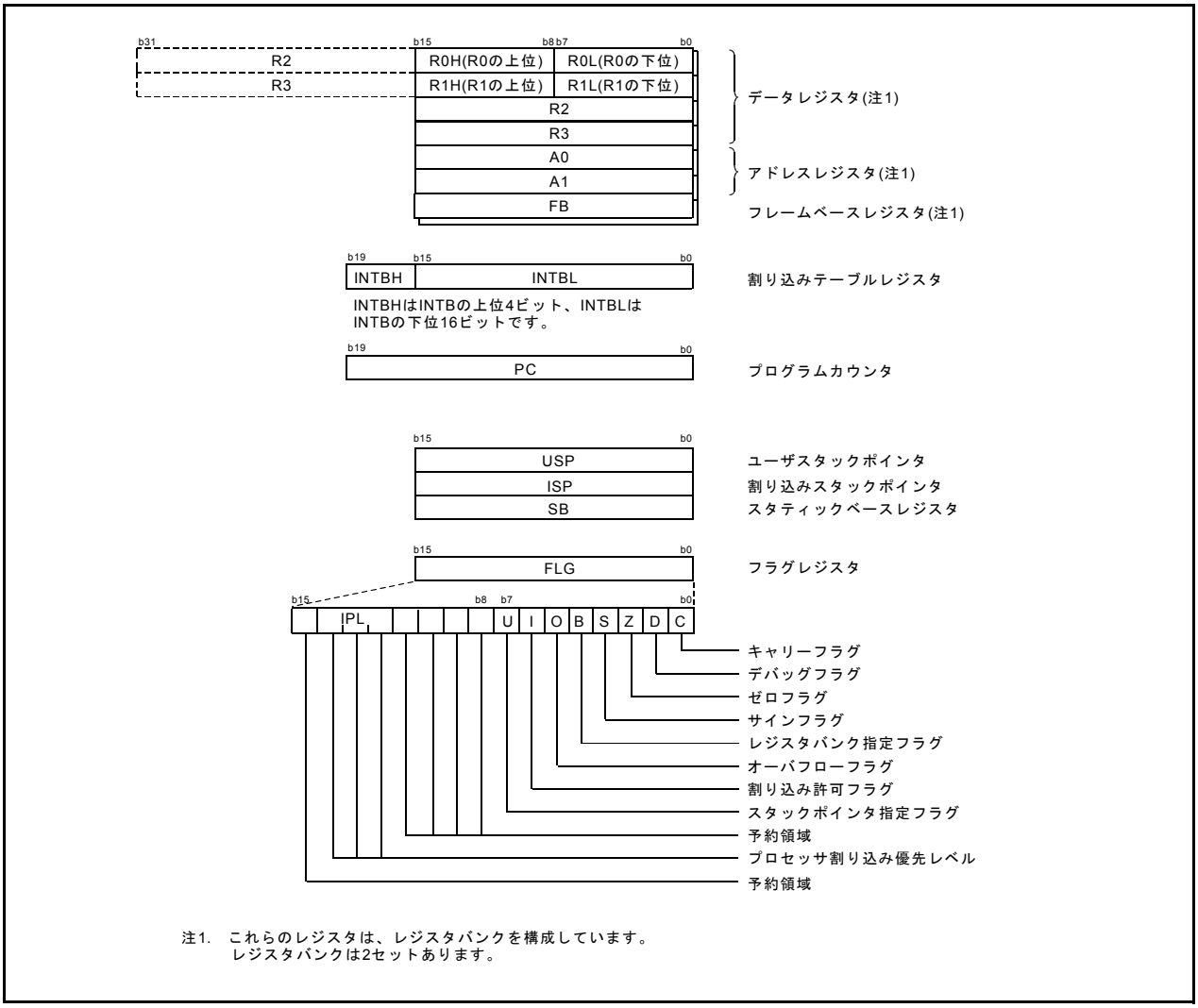


図2.1　CPUのレジスタ

2.1 データレジスタ(R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。

R0は、上位(R0H)と下位(R0L)を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ(R2R0)として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ(A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。

また、A1とA0を組合せて32ビットのアドレスレジスタ(A1A0)として使用できます。

2.3 フレームベースレジスタ(FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ(INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ(PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ(USP)、割り込みスタックポインタ(ISP)

スタックポインタ(SP)は、USPとISPの2種類あり、共に16ビットで構成されています。
USPとISPはFLGのUフラグで切り替えられます。

2.7 スタティックベースレジスタ(SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ(FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリーフラグ(Cフラグ)

算術論理ユニットで発生したキャリー、ボロー、シフトアウトしたビットなどを保持します。

2.8.2 デバッグフラグ(Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ(Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ(Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ(Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスカブル割り込みを許可するフラグです。
Iフラグが“0”の場合、マスカブル割り込みは禁止され、“1”の場合、許可されます。
割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。
ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。
要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約領域

書く場合、“0”を書いてください。読んだ場合、その値は不定。

3. メモリ

図3.1にメモリ配置を示します。アドレス空間は00000h番地からFFFFFh番地までの1Mバイトあります。

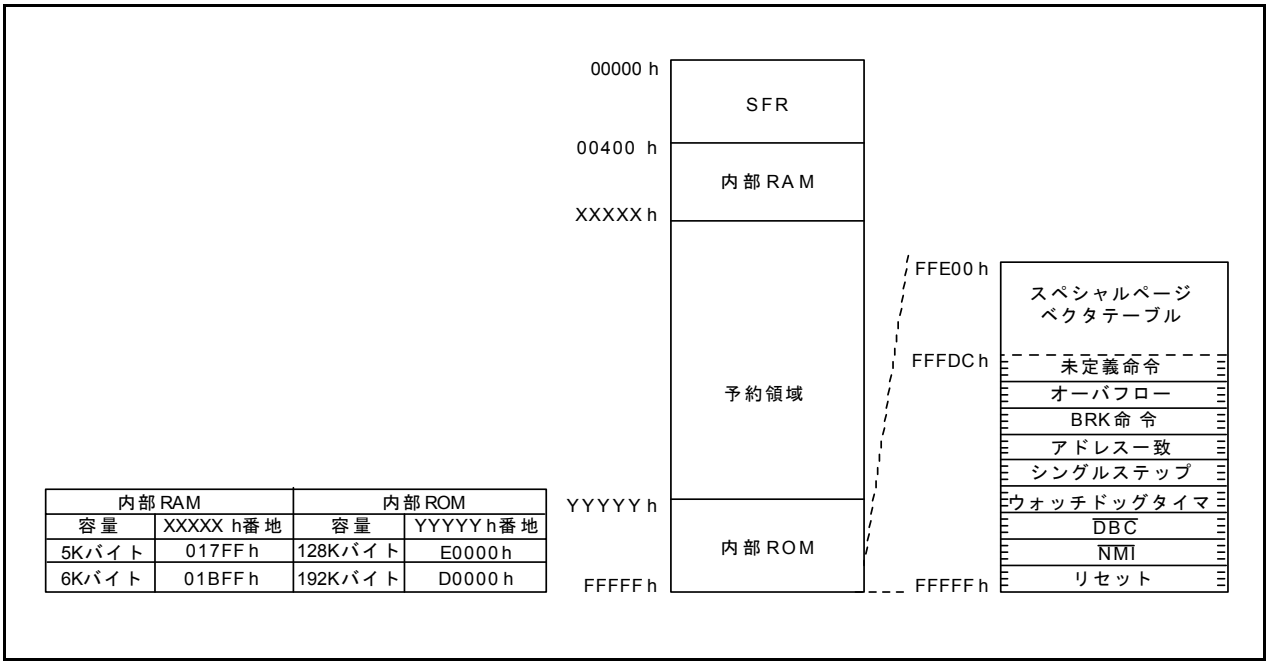
内部ROMはFFFFFh番地から下位方向に配置されます。 例えば128Kバイトの内部ROMは、E0000h番地からFFFFFh番地に配置されます。

固定割り込みベクタテーブルはFFFDCh番地からFFFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。 例えば5Kバイトの内部RAMは、00400h番地から017FFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から003FFh番地に配置されています。 ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

スペシャルページベクタテーブルはFFE00h番地からFFFDBh番地に配置されています。このベクタはJMPS命令またはJSRS命令で使用します。詳細は「M16C/60、M16C/20シリーズソフトウェアマニュアル」を参照してください。



内部RAM		内部ROM	
容量	XXXXX h番地	容量	YYYYY h番地
5Kバイト	017FF h	128Kバイト	E0000 h
6Kバイト	01BFF h	192Kバイト	D0000 h

図3.1 メモリ配置

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.5にSFR一覧を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ0 (注2)	PM0	00h
0005h	プロセッサモードレジスタ1	PM1	00XXX0XXb
0006h	システムクロック制御レジスタ0	CM0	01001000b
0007h	システムクロック制御レジスタ 1	CM1	00100000b
0008h			
0009h	アドレス一致割り込み許可レジスタ	AIER	XXXXXX00b
000Ah	プロテクトレジスタ	PRCR	XX000000b
000Bh			
000Ch			
000Dh			
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00XXXXXXb
0010h 0011h 0012h	アドレス一致割り込みレジスタ0	RMAD0	00h 00h X0h
0013h			
0014h 0015h 0016h	アドレス一致割り込みレジスタ1	RMAD1	00h 00h X0h
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch			
001Dh			
001Eh			
001Fh			
0020h 0021h 0022h	DMA0ソースポインタ	SAR0	XXh XXh XXh
0023h			
0024h 0025h 0026h	DMA0ディスティネーションポインタ	DAR0	XXh XXh XXh
0027h			
0028h 0029h	DMA0転送カウンタ	TCR0	XXh XXh
002Ah			
002Bh			
002Ch	DMA0制御レジスタ	DM0CON	00000X00b
002Dh			
002Eh			
002Fh			
0030h 0031h 0032h	DMA1ソースポインタ	SAR1	XXh XXh XXh
0033h			
0034h 0035h 0036h	DMA1ディスティネーションポインタ	DAR1	XXh XXh XXh
0037h			
0038h 0039h	DMA1転送カウンタ	TCR1	XXh XXh
003Ah			
003Bh			
003Ch	DMA1制御レジスタ	DM1CON	00000X00b
003Dh			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。
注2. PM00、PM01ビットはソフトウエアリセット時は変化しません。

X：不定です。

表4.2 SFR一覧(2)(注１)

番地	レジスタ	シンボル	リセット後の値
0040h			
0041h			
0042h			
0043h			
0044h	INT3割り込み制御レジスタ	INT3IC	XX00X000b
0045h			
0046h	UART1バス衝突検出割り込み制御レジスタ	U1BCNIC	XXXXX000b
0047h			
0048h			
0049h	INT4割り込み制御レジスタ	INT4IC	XX00X000b
004Ah	UART2バス衝突検出割り込み制御レジスタ	BCNIC	XXXXX000b
004Bh	DMA0割り込み制御レジスタ	DM0IC	XXXXX000b
004Ch	DMA1割り込み制御レジスタ	DM1IC	XXXXX000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh	A/D変換割り込み制御レジスタ	ADIC	XXXXX000b
004Fh	UART2送信割り込み制御レジスタ	S2TIC	XXXXX000b
0050h	UART2受信割り込み制御レジスタ	S2RIC	XXXXX000b
0051h	UART0送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h			
0053h	UART1送信割り込み制御レジスタ	S1TIC	XXXXX000b
0054h	UART1受信割り込み制御レジスタ	S1RIC	XXXXX000b
0055h	タイマA0割り込み制御レジスタ	TA0IC	XXXXX000b
0056h	タイマA1割り込み制御レジスタ	TA1IC	XXXXX000b
0057h	タイマA2割り込み制御レジスタ	TA2IC	XXXXX000b
0058h			
0059h			
005Ah	タイマB0割り込み制御レジスタ	TB0IC	XXXXX000b
005Bh	タイマB1割り込み制御レジスタ	TB1IC	XXXXX000b
005Ch	タイマB2割り込み制御レジスタ	TB2IC	XXXXX000b
005Dh	INT0割り込み制御レジスタ	INT0IC	XX00X000b
005Eh	INT1割り込み制御レジスタ	INT1IC	XX00X000b
005Fh	INT2割り込み制御レジスタ	INT2IC	XX00X000b
0060h ～ 01AFh			
01B0h			
01B1h			
01B2h			
01B3h			
01B4h	フラッシュ識別レジスタ(注2)	FIDR	XXXXXX00b
01B5h	フラッシュメモリ制御レジスタ1(注2)	FMR1	0X00XX0Xb
01B6h			
01B7h	フラッシュメモリ制御レジスタ0(注2)	FMR0	XX000001b
01B8h			
01B9h ～ 025Bh			
025Ch			
025Dh			
025Eh	周辺クロック選択レジスタ	PCLKR	00000011b
025Fh			
0260h ～ 0335h			
0336h			
0337h			
0338h			
0339h			
033Ah			
033Bh			
033Ch			
033Dh			
033Eh			
033Fh			

注1. 空欄は予約領域です。アクセスしないでください。
注2. このレジスタはフラッシュメモリ版にあります。
X ：不定です。

表4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0340h			
0341h			
0342h			
0343h			
0344h			
0345h			
0346h			
0347h			
0348h			
0349h			
034Ah			
034Bh			
034Ch			
034Dh			
034Eh			
034Fh			
0350h			
0351h			
0352h			
0353h			
0354h			
0355h			
0356h			
0357h			
0358h			
0359h			
035Ah			
035Bh			
035Ch			
035Dh			
035Eh	割り込み要因選択レジスタ2	IFSR2A	00XXXXXXb
035Fh	割り込み要因選択レジスタ	IFSR	00h
0360h			
0361h			
0362h			
0363h			
0364h			
0365h			
0366h			
0367h			
0368h			
0369h			
036Ah			
036Bh			
036Ch			
036Dh			
036Eh			
036Fh			
0370h	UART1特殊モードレジスタ4	U1SMR4	00h
0371h	UART1特殊モードレジスタ3	U1SMR3	000X0X0Xb
0372h	UART1特殊モードレジスタ2	U1SMR2	X0000000b
0373h	UART1特殊モードレジスタ	U1SMR	X0000000b
0374h	UART2特殊モードレジスタ4	U2SMR4	00h
0375h	UART2特殊モードレジスタ3	U2SMR3	000X0X0Xb
0376h	UART2特殊モードレジスタ2	U2SMR2	X0000000b
0377h	UART2特殊モードレジスタ	U2SMR	X0000000b
0378h	UART2送受信モードレジスタ	U2MR	00h
0379h	UART2転送速度レジスタ	U2BRG	XXh
037Ah 037Bh	UART2送信バッファレジスタ	U2TB	XXh XXh
037Ch	UART2送受信制御レジスタ0	U2C0	00001000b
037Dh	UART2送受信制御レジスタ1	U2C1	00000010b
037Eh 037Fh	UART2受信バッファレジスタ	U2RB	XXh XXh

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

表4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
0380h	カウント開始フラグ	TABSR	000XX000b
0381h	時計用プリスケーラリセットフラグ	CPSRF	0XXXXXXXb
0382h	ワンショット開始フラグ	ONSF	00XXX000b
0383h	トリガ選択レジスタ	TRGSR	XXXX0000b
0384h	アップダウンフラグ	UDF	XX0XX000b (注2)
0385h			
0386h 0387h	タイマA0レジスタ	TA0	XXh XXh
0388h 0389h	タイマA1レジスタ	TA1	XXh XXh
038Ah 038Bh	タイマA2レジスタ	TA2	XXh XXh
038Ch			
038Dh			
038Eh			
038Fh			
0390h 0391h	タイマB0レジスタ	TB0	XXh XXh
0392h 0393h	タイマB1レジスタ	TB1	XXh XXh
0394h 0395h	タイマB2レジスタ	TB2	XXh XXh
0396h	タイマA0モードレジスタ	TA0MR	00h
0397h	タイマA1モードレジスタ	TA1MR	00h
0398h	タイマA2モードレジスタ	TA2MR	00h
0399h			
039Ah			
039Bh	タイマB0モードレジスタ	TB0MR	00XX0000b
039Ch	タイマB1モードレジスタ	TB1MR	00XX0000b
039Dh	タイマB2モードレジスタ	TB2MR	00XX0000b
039Eh			
039Fh			
03A0h	UART0送受信モードレジスタ	U0MR	00h
03A1h	UART0転送速度レジスタ	U0BRG	XXh
03A2h 03A3h	UART0送信バッファレジスタ	U0TB	XXh XXh
03A4h	UART0送受信制御レジスタ0	U0C0	00001000b
03A5h	UART0送受信制御レジスタ 1	U0C1	00XX0010b
03A6h			
03A7h			
03A8h	UART1送受信モードレジスタ	U1MR	00h
03A9h	UART1転送速度レジスタ	U1BRG	XXh
03AAh 03ABh	UART1送信バッファレジスタ	U1TB	XXh XXh
03ACh	UART1送受信制御レジスタ0	U1C0	00001000b
03ADh	UART1送受信制御レジスタ 1	U1C1	00XX0010b
03AEh 03AFh	UART1受信バッファレジスタ	U1RB	XXh XXh
03B0h	UART送受信制御レジスタ2	UCON	X0000000b
03B1h			
03B2h			
03B3h			
03B4h			
03B5h			
03B6h			
03B7h			
03B8h	DMA0要因選択レジスタ	DM0SL	00h
03B9h			
03BAh	DMA1要因選択レジスタ	DM1SL	00h
03BBh			
03BCh 03BDh	CRCデータレジスタ	CRCD	XXh XXh
03BEh	CRCインプットレジスタ	CRCIN	XXh
03BFh			

注1. 空欄は予約領域です。アクセスしないでください。
注2. アップダウンフラグのビット5は、リセットによりレジスタ値は“0”ですが、このビットを読んだ場合、不定です。

X：不定です。

表4.5 SFR一覧(5)(注1)

番地	レジスタ	シンボル	リセット後の値
03C0h 03C1h	A/Dレジスタ0	AD0	XXh XXh
03C2h 03C3h	A/Dレジスタ1	AD1	XXh XXh
03C4h 03C5h	A/Dレジスタ2	AD2	XXh XXh
03C6h 03C7h	A/Dレジスタ3	AD3	XXh XXh
03C8h 03C9h	A/Dレジスタ4	AD4	XXh XXh
03CAh 03CBh	A/Dレジスタ5	AD5	XXh XXh
03CCh 03CDh	A/Dレジスタ6	AD6	XXh XXh
03CEh 03CFh	A/Dレジスタ7	AD7	XXh XXh
03D0h			
03D1h			
03D2h			
03D3h			
03D4h	A/D制御レジスタ2	ADCON2	XXX000X0b
03D5h			
03D6h	A/D制御レジスタ0	ADCON0	000X0XXXb
03D7h	A/D制御レジスタ1	ADCON1	00000XXXb
03D8h			
03D9h			
03DAh			
03DBh			
03DCh			
03DDh			
03DEh	ポートP14制御レジスタ	PC14	XX00XXXXb
03DFh	プルアップ制御レジスタ3	PUR3	00h
03E0h	ポートP0レジスタ	P0	XXh
03E1h	ポートP1レジスタ	P1	XXh
03E2h	ポートP0方向レジスタ	PD0	00h
03E3h	ポートP1方向レジスタ	PD1	00h
03E4h	ポートP2レジスタ	P2	XXh
03E5h	ポートP3レジスタ	P3	XXh
03E6h	ポートP2方向レジスタ	PD2	00h
03E7h	ポートP3方向レジスタ	PD3	00h
03E8h	ポートP4レジスタ	P4	XXh
03E9h	ポートP5レジスタ	P5	XXh
03EAh	ポートP4方向レジスタ	PD4	00h
03EBh	ポートP5方向レジスタ	PD5	00h
03ECh	ポートP6レジスタ	P6	XXh
03EDh	ポートP7レジスタ	P7	XXh
03EEh	ポートP6方向レジスタ	PD6	00h
03EFh	ポートP7方向レジスタ	PD7	00h
03F0h	ポートP8レジスタ	P8	XXh
03F1h	ポートP9レジスタ	P9	XXh
03F2h	ポートP8方向レジスタ	PD8	00X00000b
03F3h	ポートP9方向レジスタ	PD9	00h
03F4h	ポートP10レジスタ	P10	XXh
03F5h			
03F6h	ポートP10方向レジスタ	PD10	00h
03F7h			
03F8h			
03F9h			
03FAh			
03FBh			
03FCh	プルアップ制御レジスタ0	PUR0	00h
03FDh	プルアップ制御レジスタ1	PUR1	00h
03FEh	プルアップ制御レジスタ2	PUR2	00h
03FFh	ポート制御レジスタ	PCR	00h

注1. 空欄は予約領域です。アクセスしないでください。

X：不定です。

5. リセット

リセットには、ハードウェアリセット、ソフトウェアリセットがあります。

5.1 ハードウェアリセット

RESET端子によるリセットです。電源電圧が推奨動作条件を満たすとき、RESET端子に“L”を入力すると端子は初期化されます（「表5.1 RESET端子のレベルが“L”の期間の端子の状態」を参照）。また、発振回路が初期化され、メインクロックの発振が始まります。RESET端子の入力レベルを“L”から“H”にするとCPUとSFRが初期化され、リセットベクタで示される番地からプログラムを実行します。内部RAMは初期化されません。また、内部RAMに書き込み中にRESET端子が“L”になると、内部RAMは不定となります。

図5.1にリセット回路の一例を、図5.2にリセットシーケンスを、表5.1にRESET端子のレベルが“L”の期間の端子の状態を、図5.3にリセット後のCPUレジスタの状態を示します。リセット後のSFRの状態は「4. SFR」を参照してください。

5.1.1 電源安定時

(1) RESET端子に“L”を入力する
(2) XIN端子に20サイクル以上のクロックを入力する
(3) RESET端子に“H”を入力する

5.1.2 電源投入時

(1) RESET端子に“L”を入力する
(2) 電源電圧を推奨動作条件を満たすレベルまで上昇させる
(3) 内部電源が安定するまでtd(P-R)待つ
(4) XIN端子に20サイクル以上のクロックを入力する
(5) RESET端子に“H”を入力する

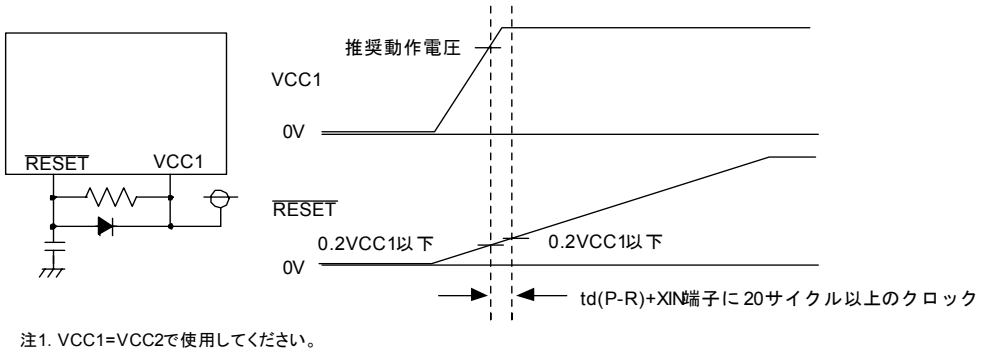


図5.1 リセット回路の一例

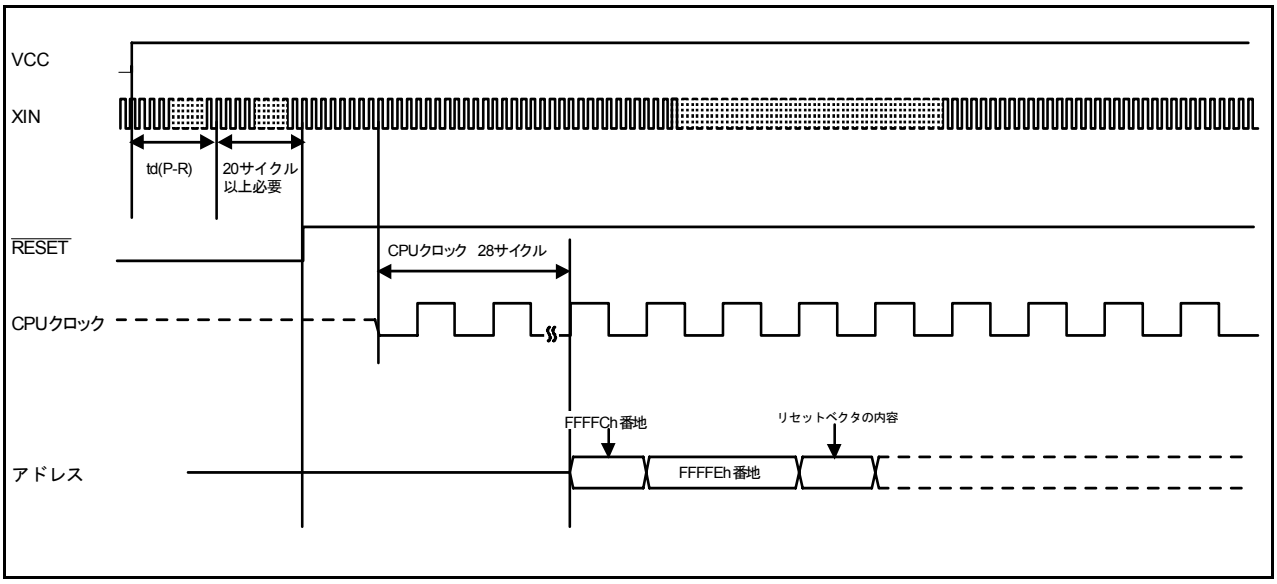


図5.2 リセットシーケンス

表5.1 $\overline{\text{RESET}}$端子のレベルが“L”の期間の端子の状態

端子名	端子の状態
P0～P14	入力ポート（ハイインピーダンス）

5.2 ソフトウェアリセット

PM0レジスタのPM03ビットを“1”(マイクロコンピュータをリセット)にするとマイクロコンピュータは端子、CPU、SFRを初期化します。その後、リセットベクタで示される番地からプログラムを実行します。

CPUクロック源にメインクロックを選択し、メインクロックの発振が十分安定している状態で、PM03ビットを“1”にしてください。

ソフトウェアリセットでは、一部のSFRが初期化されません。詳細は「4. SFR」を参照してください。また、PM0レジスタのPM01～PM00ビットを初期化しないため、プロセッサモードは変化しません。

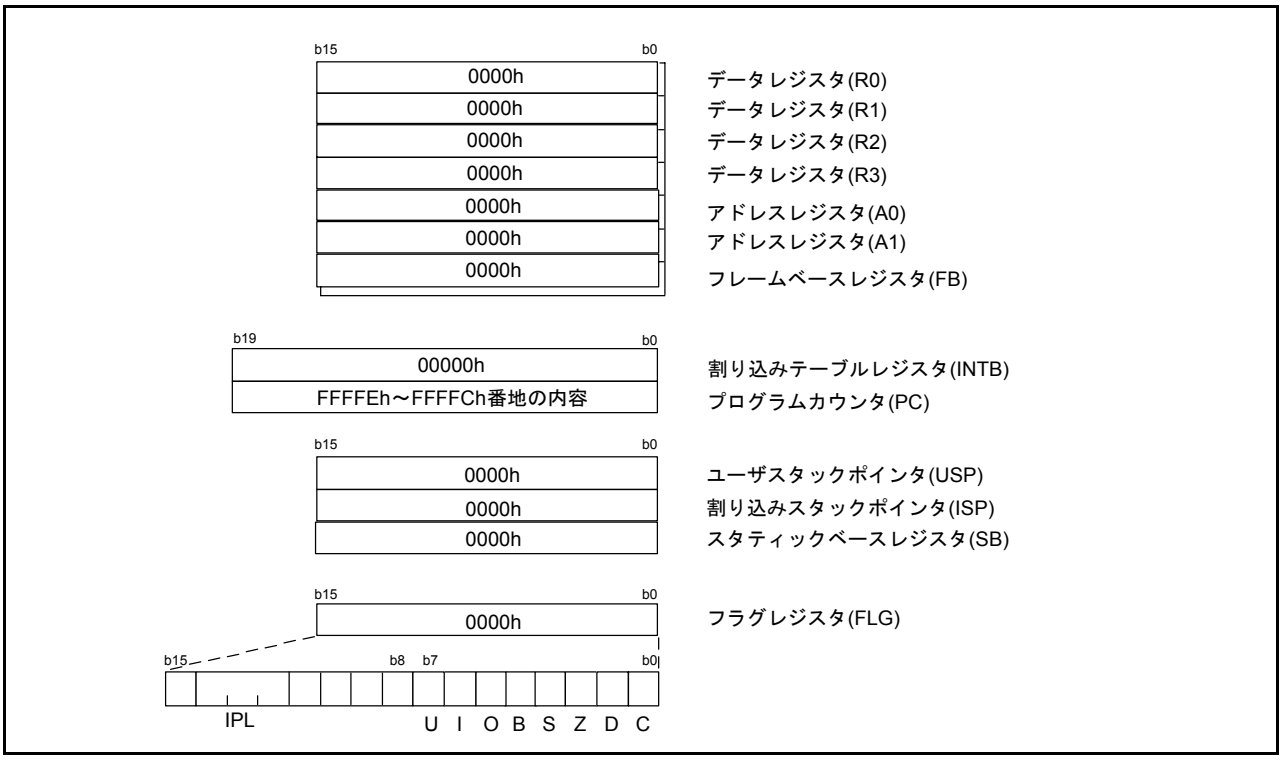


図5.3 リセット後のCPUレジスタの状態

5.3 コールドスタート/ウォームスタート判定機能

コールドスタート/ウォームスタート判定機能は、WDCレジスタのWDC5フラグによって、電源が投入された時のコールドスタート(リセット処理)と、動作中にリセット信号が入力された時のウォームスタート(リセット処理)を判定することができます。

WDC5フラグは、電源投入時“0”で、WDCレジスタに書き込み動作(レジスタへの書き込む値は任意)を行うと“1”になり、ソフトウェアリセットやリセット信号の入力に対しても“0”になりません。図5.4にコールドスタート/ウォームスタート判定機能のブロック図を、図5.5にコールドスタート/ウォームスタート判定機能の動作例を示します。図5.6にWDCレジスタを示します。

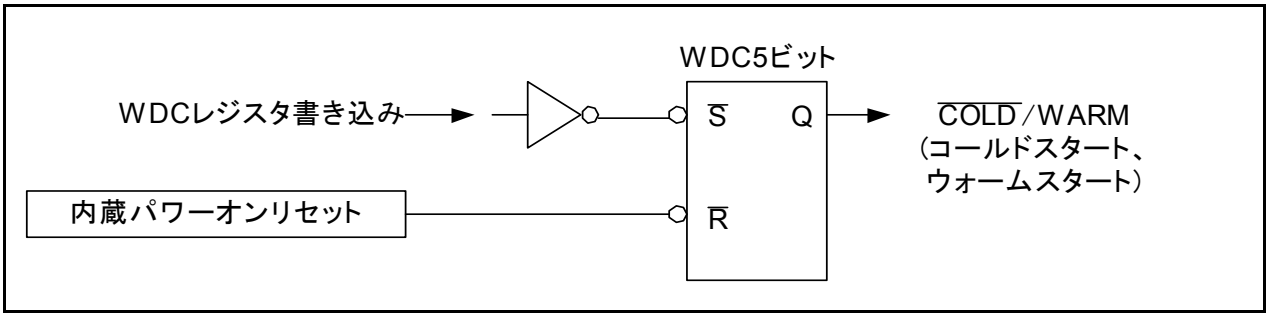


図5.4 コールドスタート/ウォームスタート判定機能のブロック図

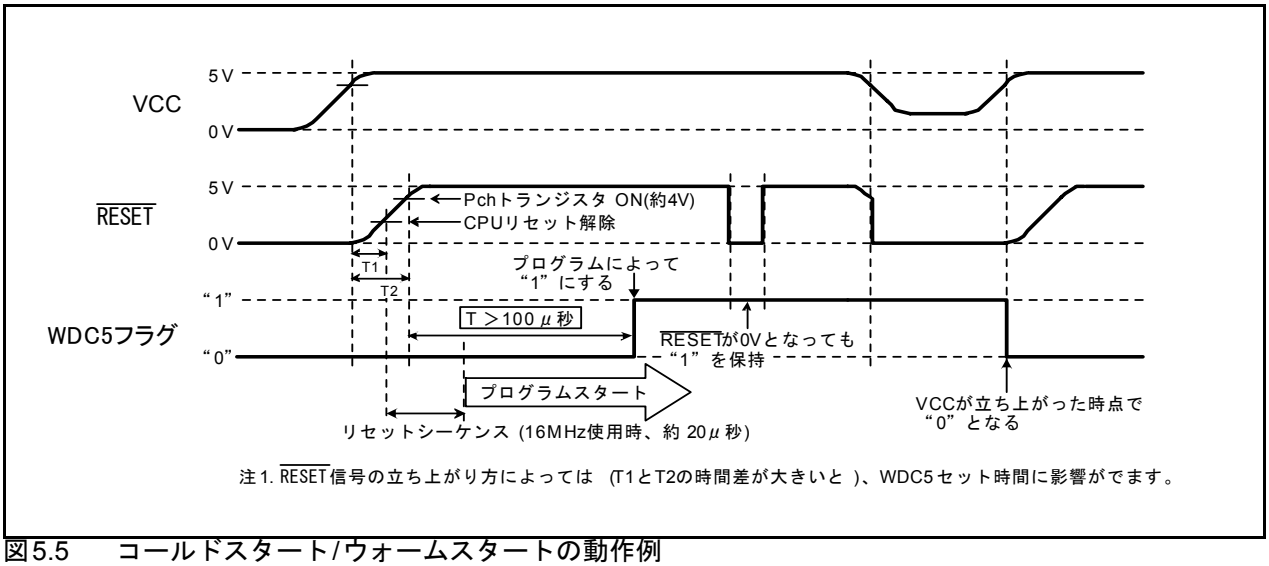


図5.5 コールドスタート/ウォームスタートの動作例

ウォッチドッグタイマ制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
	0						

シンボル	アドレス	リセット後の値
WDC	000Fh番地	00XXXXXXb

ビットシンボル	ビット名	機　　能	RW
$\overline{\text{(b4-b0)}}$	ウォッチドッグタイマの上位ビット		RO
WDC5	コールドスタート/ウォームスタート判定フラグ(注1、2)	0: コールドスタート 1: ウォームスタート	RW
$\overline{\text{(b6)}}$	予約ビット	“0”にしてください	RW
WDC7	プリスケーラ選択ビット	0 : 16分周 1 : 128分周	RW

注1. WDCレジスタに書くと、WDC5ビットは、“1”(ウォームスタート)になります。VCC1端子に入力されている電圧が4.0Vより低い場合、CPUクロックを2MHz以下にするか、2度書き込みを行ってください。
注2. WDC5ビットは、電源投入後“0”(コールドスタート)です。プログラムでのみ“1”にできます。

図5.6 WDCレジスタ

6. プロセッサモード

6.1 プロセッサモードの種類

プロセッサモードは、シングルチップモードとなります。表6.1にプロセッサモードの特長を示します。

表6.1 プロセッサモードの特長

プロセッサモード	アクセス空間	入出力ポートが割り当てられている端子
シングルチップモード	SFR、内部RAM、内部ROM	全端子(P1_5～P1_7、P6、P7、P8_0～P8_3、P8_5～P8_7、P9_0～P9_3、P10)が入出力ポートまたは周辺機能入出力端子

6.2 プロセッサモードの設定

プロセッサモードの設定は、CNVSS端子、PM0レジスタのPM01～PM00ビットで行います。表6.2にPM01～PM00ビットの設定値に対するプロセッサモードを示します。

表6.2 PM01～PM00ビットの設定値に対するプロセッサモード

PM01～PM00ビット	プロセッサモード
00b	シングルチップモード
01b	設定しないでください
10b	設定しないでください
11b	設定しないでください

6.3 ソフトウェアウェイト

PM1レジスタのPMI7ビットによって、ソフトウェアウェイトを挿入できます。
表6.3にソフトウェアウェイト関連ビットとバスサイクルを示します。

表6.3 ソフトウェアウェイト関連ビットとバスサイクル

領域	PM1 レジスタ PM17 ビット	ソフトウェア ウェイト	バスサイクル
内部 RAM、ROM	0	なし	CPU クロックの 1 サイクル(注 1)
	1	1 ウェイト	CPU クロックの 2 サイクル

注1. リセット後、PM17ビットは“0”(ウェイトなし)ですので、内部RAMと内部ROMはウェイトなしになります。

プロセッサモードレジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0		0		

シンボル PM0　　アドレス 0004h番地　　リセット後の値 00h

ビットシンボル	ビット名	機　　能	RW
PM00	プロセッサモードビット	b1 b0 0 0 : シングルチップモード 0 1 : 設定しないでください 1 0 : 設定しないでください 1 1 : 設定しないでください	RW
PM01			RW
—(b2)	予約ビット	″0″ にしてください。	RW
PM03	ソフトウエアリセットビット	このビットを“1”にするとマイクロコンピュータはリセットされる。 読んだ場合、その値は“0”。	RW
—(b4)	予約ビット	″0″ にしてください。	RW
—(b5)	予約ビット	″0″ にしてください。	RW
—(b6)	予約ビット	″0″ にしてください。	RW
—(b7)	予約ビット	″0″ にしてください。	RW

注1.　このレジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。

プロセッサモードレジスタ1(注1)

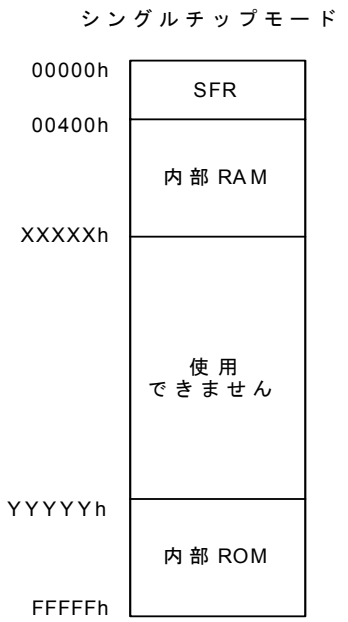
b7	b6	b5	b4	b3	b2	b1	b0
	0	X	X	X	0	X	X

シンボル PM1　　アドレス 0005h 番地　　リセット後の値 00XXX0XXb

ビットシンボル	ビット名	機　　能	RW
—(b0)	何も配置されていない。書く場合、″0″を書いてください。 読んだ場合、その値は不定。		—
—(b1)	何も配置されていない。書く場合、″0″を書いてください。 読んだ場合、その値は不定。		—
—(b2)	予約ビット	“0”にしてください。	RW
—(b3)	何も配置されていない。書く場合、″0″を書いてください。 読んだ場合、その値は不定。		—
—(b4)	何も配置されていない。書く場合、″0″を書いてください。 読んだ場合、その値は不定。		—
—(b5)	何も配置されていない。書く場合、″0″を書いてください。 読んだ場合、その値は不定。		—
—(b6)	予約ビット	“0”にしてください。	RW
PM17	ウエイトビット (注2)	0 : ウエイトなし 1 : ウエイトあり (1ウエイト)	RW

注1.　このレジスタは、PRCRレジスタのPRC1ビットを“1”(書き込み許可)にした後で書き換えてください。
注2.　PM17ビットが“1”(ウエイトあり)の場合、内部RAM、内部ROMアクセス時に1ウエイトが挿入されます。

図6.1　PM0、PM1レジスタ



内部RAM		内部ROM	
容量	XXXXXh番地	容量	YYYYYh番地
5Kバイト	017FFh	128Kバイト	E0000h
6Kバイト	01BFFh	192Kバイト	D0000h

図6.2 シングルチップモード時のメモリ配置

7. クロック発生回路

7.1 クロック発生回路の種類

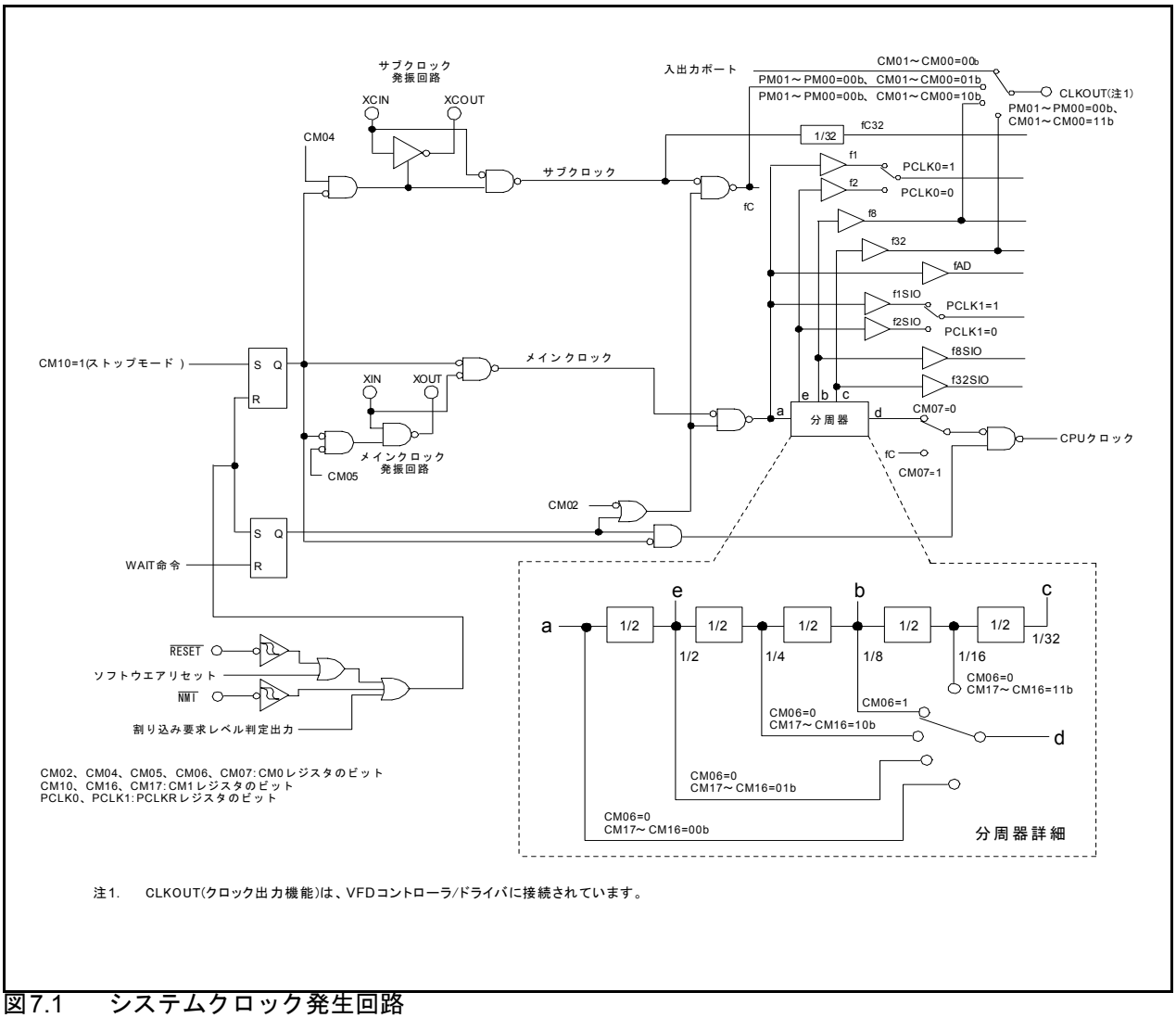
クロック発生回路として、２つの回路を内蔵します。

- メインクロック発振回路
- サブクロック発振回路

表7.1にクロック発生回路の概略仕様を示します。また、図7.1にシステムクロック発生回路のブロック図、図7.2～図7.4にクロック関連レジスタを示します。

表7.1　クロック発生回路の概略仕様

項　目	メインクロック 発振回路	サブクロック 発振回路
用　途	・CPUのクロック源 ・周辺機能のクロック源	・CPUのクロック源 ・タイマA、Bのクロック源
クロック周波数	0～16MHz	32.768kHz
接続できる発振子	・セラミック共振子 ・水晶発振子	・水晶発振子
発振子の接続端子	XIN、XOUT	XCIN、XCOUT
発振停止、再開機能	あり	あり
リセット後の状態	発振	停止
その他	外部で生成されたクロックを入力可能	



注1.　CLKOUT(クロック出力機能)は、VFDコントローラ/ドライバに接続されています。

図7.1　システムクロック発生回路

システムクロック制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット後の値
CM0	0006h番地	01001000b

ビットシンボル	ビット名	機　　能	RW
CM00	クロック出力機能選択ビット (注12)	b1 b0 0 0 : クロック出力停止 0 1 : fCを出力 1 0 : f8を出力 1 1 : f32を出力	RW
CM01			RW
CM02	ウエイトモード時周辺機能クロック停止ビット	0 : ウエイトモード時、周辺機能クロック停止しない 1 : ウエイトモード時、周辺機能クロック停止する(注8)	RW
CM03	XCIN-XCOUT駆動能力選択ビット(注2)	0 : Low 1 : High	RW
CM04	ポートXC切り替えビット (注2)	0 : 入出力ポートP8_6、P8_7 1 : XCIN-XCOUT発振機能(注9)	RW
CM05	メインクロック停止ビット (注3、10、11)	0 : 発振 1 : 停止(注4、5)	RW
CM06	メインクロック分周比選択ビット0(注7、11)	0 : CM16、CM17ビット有効 1 : 8分周モード	RW
CM07	システムクロック選択ビット (注6、10)	0 : メインクロック 1 : サブクロック	RW

注1.　このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
注2.　CM04ビットを“0”(入出力ポート)の間、またはストップモードへ移行したとき、CM03ビットは“1”(HIGH)になります。
注3.　このビットは低消費電力モードにするときに、メインクロックを停止させるためのビットです。メインクロックが停止したかどうかの検出には使用できません。メインクロックを停止させる場合、
次のようにしてください。
(1) サブクロックが安定して発振している状態で、CM07ビットを“1”(サブクロック選択)にする。
(2) CM05ビットを“1”(停止)にする。
注4.　外部クロック入力時は、“0”(発振)にしてください。
注5.　CM05ビットが“1”の場合、XOUT端子は“H”になります。また、内蔵している帰還抵抗は接続したままですので、XIN端子は帰還抵抗を介して、XOUT(“H”)にプルアップされた状態となります。
注6.　CM04ビットを“1”(XCIN-XCOUT発振機能)にし、サブクロックの発振が安定した後に、CM07ビットを“0”から“1”(サブクロック)にしてください。
注7.　高速モード、中速モードからストップモードへの移行時、CM06ビットは“1”(8分周モード)になります。
注8.　fC32は停止しません。低速モードまたは低消費電力モード時は“1”(ウエイトモード時、周辺機能クロック停止する)にしないでください。
注9.　サブクロックを使用する場合、このビットを“1”にしてください。また、ポートP8_6、P8_7は入力ポートで、プルアップなしにしてください。
注10.　CPUクロックのクロック源をメインクロックにする場合、次のようにしてください。
(1) CM05ビットを“0”(発振)にする。
(2)メインクロック発振安定時間を待つ。
(3) CM07ビットを“0”にする。
注11.　CM05ビットが“1”(メインクロックを停止)のとき、CM06ビットが“1”(8分周モード)、CM15ビットが“1”(駆動能力HIGH)に固定されます。
注12.　P5_7/CLKOUTは、VFDコントローラ/ドライバに接続されています。

図7.2　CM0 レジスタ

システムクロック制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			0	0	0	0	

シンボル	アドレス	リセット後の値
CM1	0007h番地	00100000b

ビットシンボル	ビット名	機　　能	RW
CM10	全クロック停止制御ビット(注4)	0 : クロック発振 1 : 全クロック停止(ストップモード)	RW
——(b4-b1)	予約ビット	“0”にしてください	RW
CM15	XIN-XOUT駆動能力選択ビット(注2)	0 : LOW 1 : HIGH	RW
CM16	メインクロック分周比選択ビット1(注3)	b7 b6 0 0 : 分周なしモード 0 1 : 2分周モード 1 0 : 4分周モード 1 1 : 16分周モード	RW
CM17			RW

注1. このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
注2. 高速モード、中速モードからストップモードへの移行時、または低速モードで、CM05ビットを“1”(メインクロック停止)にしたとき、CM15ビットは“1”(駆動能力HIGH)になります。
注3. CM06ビットが“0”(CM16、CM17ビット有効)の場合、有効となります。
注4. CM10ビットが“1”(ストップモード)の場合、XOUTは“H”となり、内蔵している帰還抵抗は切り離されます。
XCIN端子、XCOUT端子は、ハイインピーダンスになります。

図7.3　CM1レジスタ

周辺クロック選択レジスタ (注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	0		

シンボル	アドレス	リセット後の値
PCLKR	025Eh番地	00000011b

ビットシンボル	ビット名	機　　能	RW
PCLK0	タイマA、Bクロック選択ビット (タイマA、タイマB のクロック源)	0 : f2 1 : f1	RW
PCLK1	SI/Oクロック選択ビット (UART0～UART2 のクロック源)(注2)	0 : f2SIO 1 : f1SIO	RW
—— (b7-b2)	予約ビット	“0” にしてください	RW

注1.　このレジスタは、PRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。
注2.　UART0は、VFDコントローラ/ドライバに接続されています。

図7.4　　PCLKRレジスタ

クロック発生回路で生成するクロックを説明します。

7.1.1　メインクロック

メインクロック発振回路が供給するクロックです。CPUクロックと周辺機能クロックのクロック源になります。メインクロック発振回路はXIN-XOUT端子間に発振子を接続することで発振回路が構成されます。メインクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。メインクロック発振回路には、外部で生成されたクロックをXIN端子へ入力することもできます。図7.5にメインクロックの接続回路例を示します。

リセット後は、メインクロックの8分周がCPUクロックになります。

CPUクロックのクロック源をサブクロックに切り替えた後、CM0レジスタのCM05ビットを“1”(メインクロック発振回路の発振停止)にすると、消費電力を低減できます。この場合、XOUTは“H”になります。また、内蔵している帰還抵抗はONしたままですので、XINは帰還抵抗を介してXOUTにプルアップされた状態となります。なお、外部で生成したクロックをXIN端子に入力している場合、CM05を“1”にしても、サブクロックをCPUクロックに選択していない限り、メインクロックは停止しませんので、必要な場合は外部でクロックを停止させてください。

ストップモード時は、メインクロックを含めたすべてのクロックが停止します。　詳細は「7.4 パワーコントロール」を参照してください。

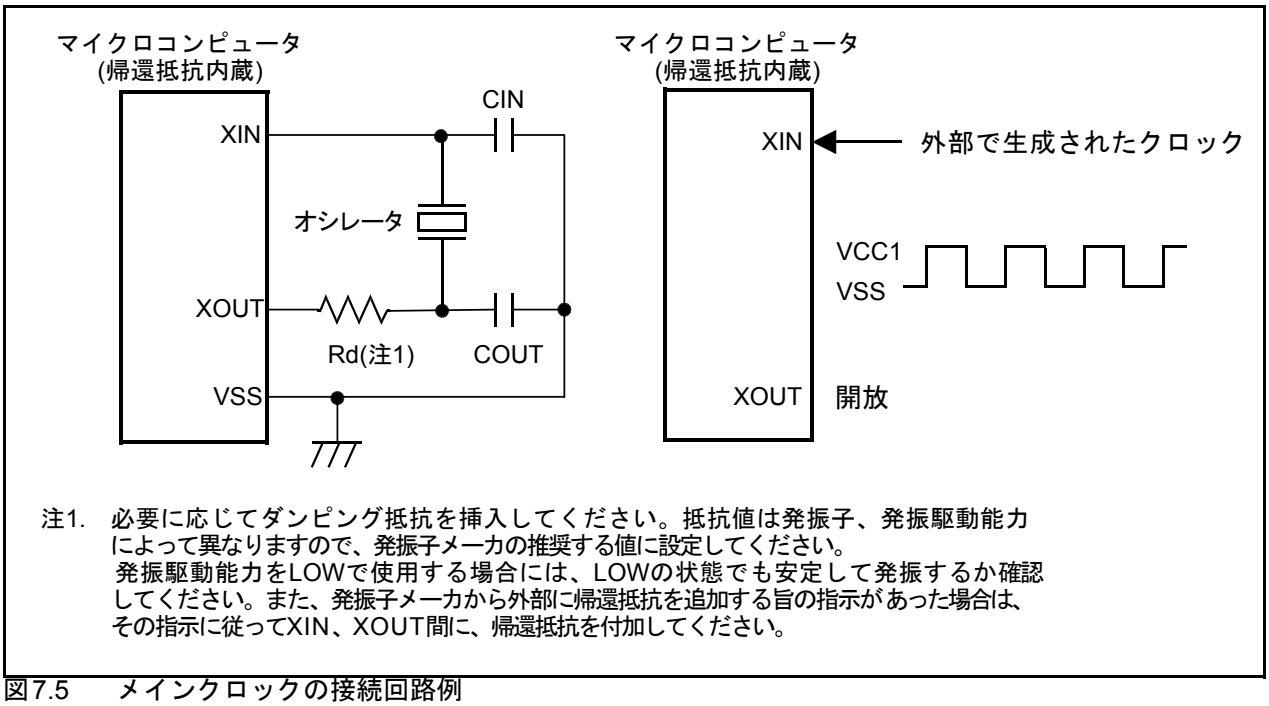


図7.5　メインクロックの接続回路例

7.1.2　サブクロック

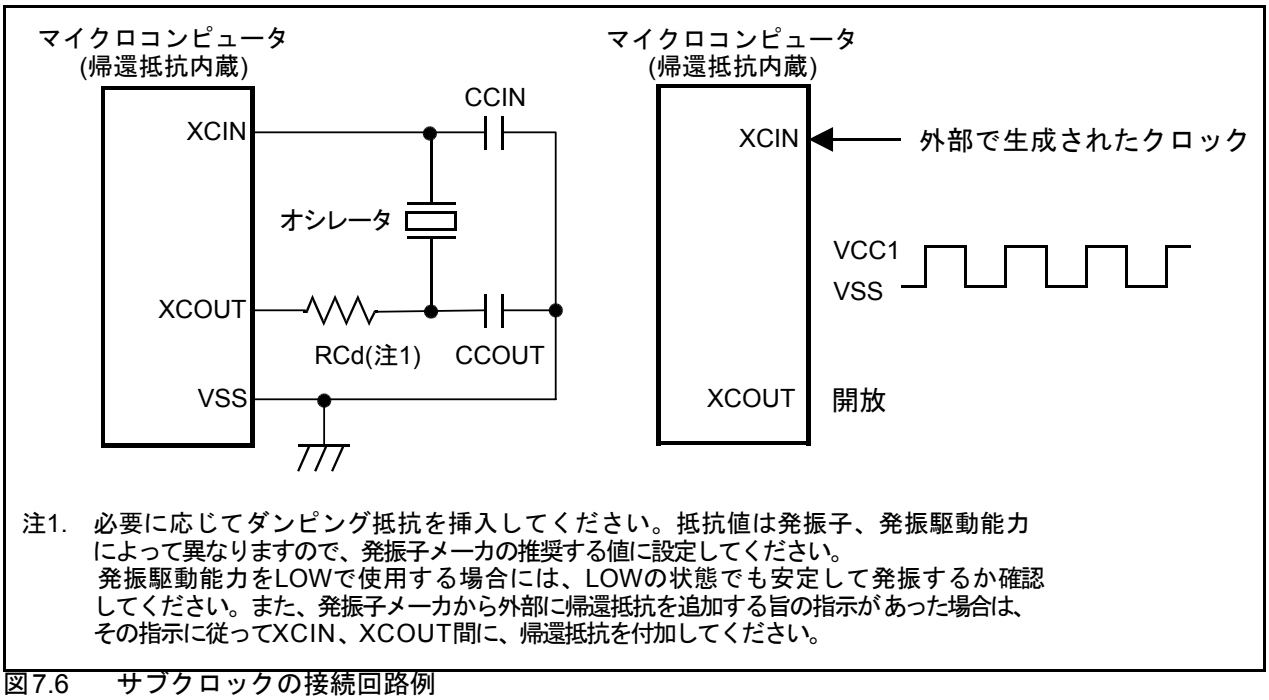
サブクロック発振回路が供給するクロックです。CPUクロックと、タイマA、タイマBのカウントソースのクロック源になります。

サブクロック発振回路は、XCIN-XCOUT 端子間に水晶発振子を接続することで発振回路が構成されます。サブクロック発振回路には帰還抵抗が内蔵されており、ストップモード時には消費電力を低減するため、発振回路から切り離されます。サブクロック発振回路には、外部で生成されたクロックをXCIN端子へ入力することもできます。図7.6にサブクロックの接続回路例を示します。

リセット後は、サブクロックは停止しています。このとき、帰還抵抗は発振回路から切り離されています。

サブクロックの発振が安定した後、CM0レジスタのCM07ビットを“1”(サブクロック)にすると、サブクロックがCPUクロックになります。

ストップモード時、サブクロックを含めたすべてのクロックが停止します。詳細は「7.4　パワーコントロール」を参照してください。



注1.　必要に応じてダンピング抵抗を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので、発振子メーカの推奨する値に設定してください。
発振駆動能力をLOWで使用する場合には、LOWの状態でも安定して発振するか確認してください。また、発振子メーカから外部に帰還抵抗を追加する旨の指示があった場合は、その指示に従ってXCIN、XCOUT間に、帰還抵抗を付加してください。

図7.6　サブクロックの接続回路例

7.2 CPUクロックと周辺機能クロック

CPUを動作させるCPUクロックと周辺機能を動作させる周辺機能クロックがあります。

7.2.1 CPUクロック

CPUとウォッチドッグタイマの動作クロックです。

CPUクロックのクロック源としてメインクロック、またはサブクロックが選択できます。

CPUクロックのクロック源としてメインクロックを選択した場合、選択したクロックを1分周(分周なし)、または2、4、8、16分周したものがCPUのクロックになります。分周はCM0レジスタのCM06ビットとCM1レジスタのCM17～CM16ビットで選択できます。

リセット後、メインクロックの8分周がCPUクロックになります。

なお、高速モード、または中速モードからストップモードへの移行時、または低速モードでCM0レジスタのCM05ビットを“1”(停止)にしたとき、CM0レジスタのCM06ビットは“1”(8分周モード)になります。

7.2.2 周辺機能クロック(f1、f2、f8、f32、f1SIO、f2SIO、f8SIO、f32SIO、fAD、fC32)

周辺機能の動作クロックです。

fi(i=1、2、8、32)とfiSIOはメインクロックをi分周したクロックです。fiはタイマA、タイマBで、fiSIOはシリアルインタフェースで使用します。f8とf32はCLKOUTから出力できます。

fADは、メインクロックをクロック源とし、A/Dコンバータで使用します。

CM0レジスタのCM02ビットを“1”(ウェイトモード時周辺機能クロックを停止する)にした後にWAIT命令を実行した場合、または低消費電力モード時、fi、fiSIO、fADは停止します。

fC32はサブクロックをクロック源とし、タイマA、タイマBで使用します。fC32はサブクロックが供給されているときに使用できます。

7.3 クロック出力機能

CLKOUTから、内部VFDコントローラ/ドライバのXINに、f8、f32、またはfCを供給できます。CM0レジスタのCM01～CM00ビットで選択してください。

7.4 パワーコントロール

パワーコントロールには3つのモードがあります。なお、便宜上、ここでは、ウェイトモード、ストップモード以外の状態を通常動作モードと呼びます。

7.4.1 通常動作モード

通常動作モードは、さらに4つのモードに分けられます。

通常動作モードでは、CPU クロック、周辺機能クロックが共に供給されていますので、CPU も周辺機能も動作します。CPUクロックの周波数を制御することで、パワーコントロールを行います。CPU クロックの周波数が大きいほど処理能力は上がり、小さいほど消費電力は小さくなります。また、不要な発振回路を停止させると更に消費電力は小さくなります。

CPU クロックのクロック源を切り替えるとき、切り替え先のクロックが安定して発振している必要があります。切り替え先がメインクロック、サブクロックの場合、プログラムで発振が安定するまで待ち時間を取ってから移るようにしてください。

7.4.1.1 高速モード

メインクロックの1分周がCPUクロックとなります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

7.4.1.2 中速モード

メインクロックの2分周、4分周、8分周、または16分周がCPUクロックとなります。サブクロックが供給されている場合はfC32がタイマA、タイマBのカウントソースに使用できます。

7.4.1.3 低速モード

サブクロックがCPUクロックとなります。

fC32がタイマA、タイマBのカウントソースに使用できます。

7.4.1.4 低消費電力モード

低速モードにした後、メインクロックを停止させた状態です。サブクロックが CPU クロックとなります。fC32がタイマA、タイマBのカウントソースに使用できます。

このモードにすると同時にCM0 レジスタのCM06ビットは“1”(8分周モード)になります。低消費電力モードでは、CM06 ビットを変更しないでください。したがって、次にメインクロックを動作させるときは中速(8分周)モードになります。

表7.2　クロック関連ビットの設定とモード

モード		CM1レジスタ	CM0レジスタ			
		CM17、CM16	CM07	CM06	CM05	CM04
高速モード		00b	0	0	0	—
中速モード	2分周	01b	0	0	0	—
	4分周	10b	0	0	0	—
	8分周	—	0	1	0	—
	16分周	11b	0	0	0	—
低速モード		—	1	—	0	1
低消費電力モード		—	1	1(注1)	1(注1)	1

—:“0”または“1”

注1. 低速モードでCM05ビットを“1”(メインクロック停止)にすると低消費電力モードになり、同時に、CM06ビットは“1”(8分周モード)になります。

7.4.2　ウェイトモード

ウェイトモードではCPUクロックが停止しますので、CPUクロックで動作するCPUとウォッチドッグタイマが停止します。メインクロック、サブクロックは停止しませんので、これらのクロックを使用する周辺機能は動作します。

7.4.2.1　周辺機能クロック停止機能

CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合、ウェイトモード時にf1、f2、f8、f32、f1SIO、f2SIO、f8SIO、f32SIO、fADが停止しますので、消費電力が低減できます。

fC32は停止しません。

7.4.2.2　ウェイトモードへの移行

WAIT命令を実行するとウェイトモードになります。

7.4.2.3　ウェイトモード時の端子の状態

表7.3にウェイトモード時の端子の状態を示します。

表7.3　ウェイトモード時の端子の状態

端　子		シングルチップモード
入出力ポート		ウェイトモードに入る直前の状態を保持
CLKOUT（注1）	fC選択時	停止しません
	f8、f32選択時	CM02ビットが“0”のとき停止しません CM02ビットが“1”のときウェイトモードに入る直前の状態を保持

注1.　CLKOUTは、VFDコントローラ/ドライバに接続されています。

7.4.2.4 ウェイトモードからの復帰

ハードウェアリセット、$\overline{\text{NMI}}$割り込み、または周辺機能割り込みにより、ウェイトモードから復帰します。

ハードウェアリセットまたは$\overline{\text{NMI}}$割り込みで復帰する場合、周辺機能割り込みのILVL2～ILVL0ビットを“000b”(割り込み禁止)にした後、WAIT命令を実行してください。

周辺機能割り込みはCM02ビットの影響を受けます。CM02ビットが“0”(ウェイトモード時、周辺機能クロックを停止しない)の場合は、周辺機能割り込みがウェイトモードから復帰に使用できます。CM02ビットが“1”(ウェイトモード時、周辺機能クロックを停止する)の場合は、周辺機能クロックを使用する周辺機能は停止しますので、外部信号によって動作する周辺機能の割り込みがウェイトモードから復帰に使用できます。

表7.4　ウェイトモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02=0の場合	CM02=1の場合
$\overline{\text{NMI}}$割り込み	使用可	使用可
シリアルインタフェース割り込み	内部クロック、外部クロックで使用可	外部クロックで使用可
キー入力割り込み	使用可	使用可
A/D変換割り込み	単発モードで使用可	使用しないでください
タイマA割り込み タイマB割り込み	すべてのモードで使用可	イベントカウンタモードまたはカウントソースがfC32のとき使用可
$\overline{\text{INT}}$割り込み	使用可	使用可

表7.4にウェイトモードからの復帰に使用できる割り込みと使用条件を示します。

ウェイトモードからの復帰に周辺機能割り込みを使用する場合、WAIT命令実行前に次の設定をしてください。

(1) ウェイトモードからの復帰に使用する周辺機能割り込みの割り込み制御レジスタのILVL2～ILVL0ビットに割り込み優先レベルを設定する。
また、ウェイトモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”(割り込み禁止)にする。

(2) Iフラグを“1”にする。

(3) ウェイトモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生してCPUクロックの供給を開始すると、割り込みルーチンを実行します。

周辺機能割り込みでウェイトモードから復帰したときのCPUクロックは、WAIT命令実行時のCPUクロックと同じクロックです。

7.4.3　ストップモード

ストップモードでは、すべての発振が停止します。したがって、CPUクロックと周辺機能クロックも停止し、これらのクロックで動作するCPU、周辺機能は停止します。消費電力がもっとも少ないモードです。なお、VCC1端子とVCC2端子に印加する電圧がVRAM以上のとき、内部RAMは保持されます。VCC1端子とVCC2端子に印加する電圧を2.7V以下にする場合、VCC1=VCC2≧VRAMにしてください。

また、外部信号によって動作する周辺機能は動作します。ストップモードからの復帰に使用できる割り込みは次のとおりです。

表7.5　ストップモードからの復帰に使用できる割り込みと使用条件

割り込み	CM02=1の場合
$\overline{\text{NMI}}$割り込み	使用可
キー入力割り込み	使用可
INT割り込み	使用可
タイマA割り込み タイマB割り込み	イベントカウンタモードで外部パルスをカウント時、使用可
シリアルインタフェース割り込み	外部クロッ選択時、使用可

7.4.3.1　ストップモードへの移行

CM1レジスタのCM10ビットを“1”(全クロック停止)にすると、ストップモードになります。同時にCM0レジスタのCM06ビットは“1”(8分周モード)、CM1レジスタのCM15ビットは“1”(メインクロック発振回路の駆動能力HIGH)になります。

7.4.3.2　ストップモード時の端子の状態

表7.6にストップモード時の端子の状態を示します。

表7.6　ストップモード時の端子の状態

端　子		シングルチップモード
入出力ポート		ストップモードに入る直前の状態を保持
CLKOUT （注1）	fC選択時	“H”
	f8、f32選択時	ストップモードに入る直前の状態を保持

注1. 注1.　CLKOUTは、VFDコントローラ/ドライバに接続されています。

7.4.3.3 ストップモードからの復帰

ハードウェアリセット、$\overline{\text{NMI}}$割り込み、または周辺機能割り込みにより、ストップモードから復帰します。

ハードウェアリセットまたは$\overline{\text{NMI}}$割り込みで復帰する場合、周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”(割り込み禁止)にした後、CM10ビットを“1”にしてください。

周辺機能割り込みで復帰する場合は、次の設定をした後、CM10ビットを“1”にしてください。

(1) ストップモードからの復帰に使用する周辺機能割り込みのILVL2～ILVL0ビットに割り込み優先レベルを設定する。
また、ストップモードからの復帰に使用しない周辺機能割り込みのILVL2～ILVL0ビットをすべて“000b”(割り込み禁止)にする。

(2) Iフラグを“1”にする。

(3) ストップモードからの復帰に使用する周辺機能を動作させる。
周辺機能割り込みで復帰する場合、割り込み要求が発生して、CPU　クロックの供給が開始されると割り込みルーチンを実行します。

周辺機能割り込み、または$\overline{\text{NMI}}$割り込みでストップモードから復帰した場合のCPUクロックは、ストップモード移行前のCPUクロックにしたがって、次のようになります。

ストップモード移行前のCPUクロックがサブクロックの場合　　：サブクロック

ストップモード移行前のCPUクロック源がメインクロックの場合　　：メインクロックの8分周

図7.7に通常動作モードからのストップモード、ウェイトモードへの状態遷移を示します。図7.8に通常動作モード状態遷移を示します。

表7.7に現在の状態から次に遷移可能な状態と設定方法を示します。表の縦軸は現在の状態、横軸は次に遷移する状態です。

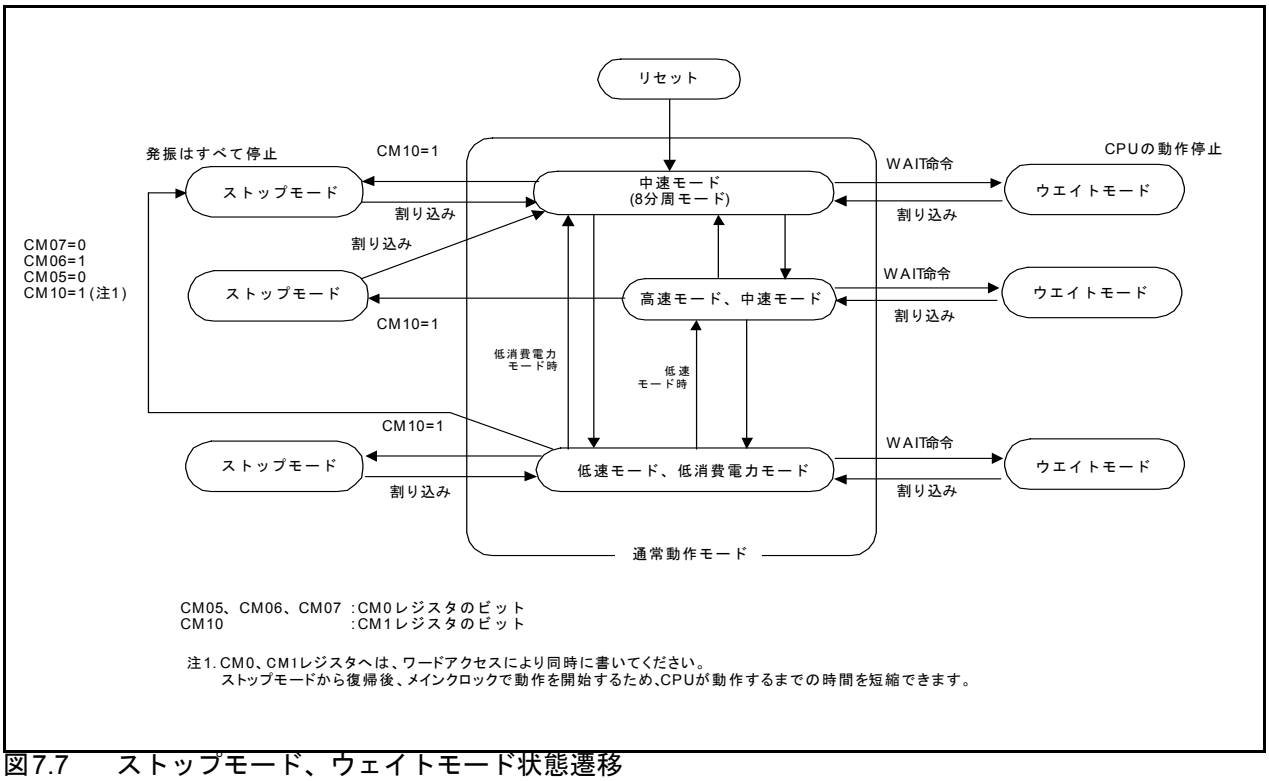
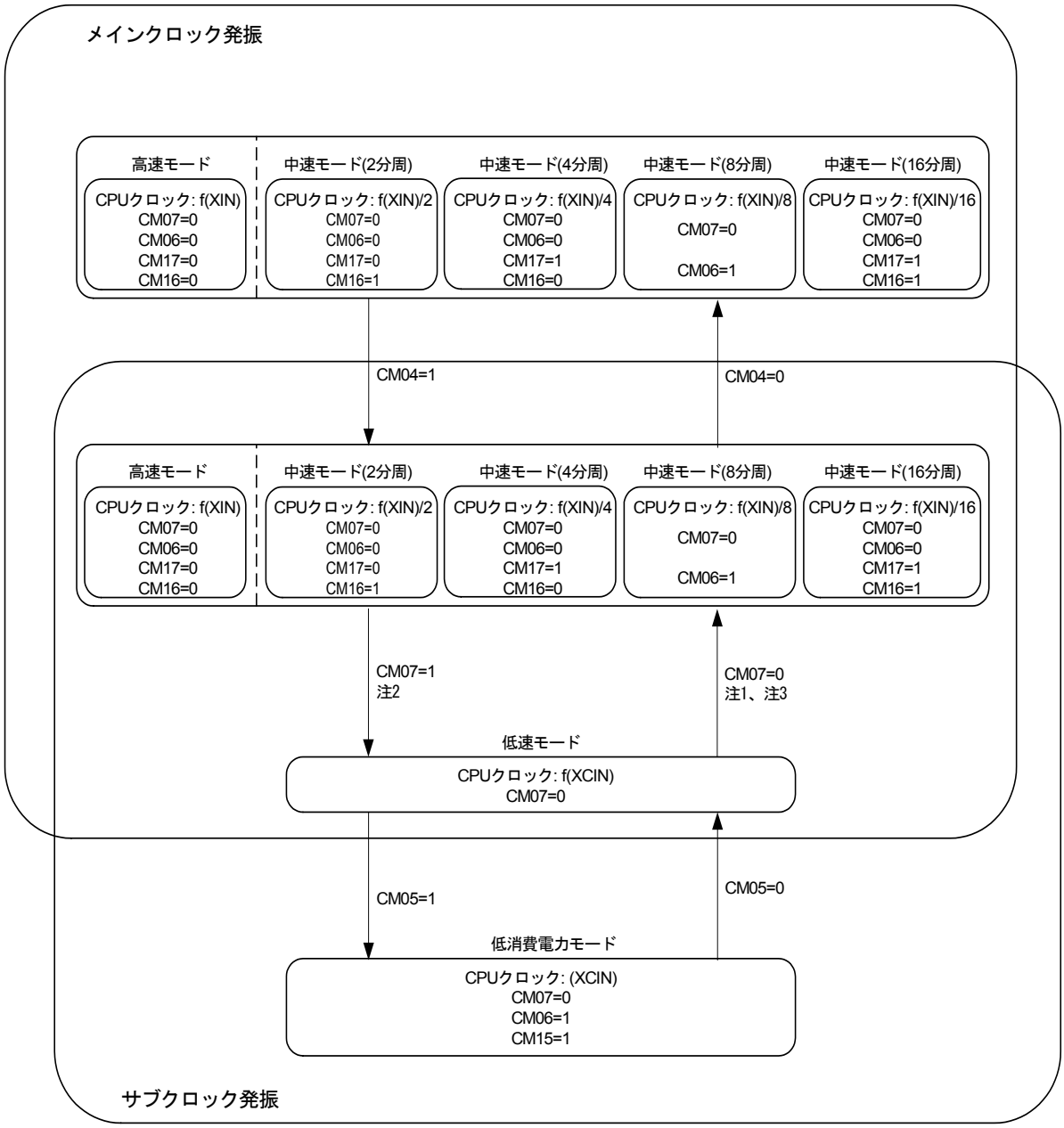


図7.7　ストップモード、ウェイトモード状態遷移



注1. メインクロック発振安定時間を待ってから切り替えてください。
注2. サブクロックの発振が十分安定してから切り替えてください。
注3. CM17、CM16を変更した後、CM06を変更してください。
注4. 矢印の方向に従って遷移してください。

図7.8 通常動作モード状態遷移

表7.7　現在の状態から次に遷移可能な状態と設定方法

		次の状態				
		高速、中速モード	低速モード	低消費電力モード	ストップモード	ウェイトモード
現在の状態	高速、中速モード	(注4)	(9) (注3)	—	(12)	(13)
	低速モード(注2)	(8)		(11) (注2)	(12)	(13)
	低消費電力モード	—	(10)		(12)	(13)
	ストップモード	(14) (注1)	(14)	(14)		—
	ウェイトモード	(14)	(14)	(14)	—	

—:遷移できません。

注1.　ストップモードから復帰した場合、CM06ビットが“1”(8分周モード)になります。
注2.　CM05ビットを“1”(メインクロック停止)にすると、CM06ビットが“1”(8分周モード)になります。
注3.　サブクロックが発振しているときに移行できます。
注4.　同モード内での遷移(分周の変更とサブクロック発振または停止)は次のとおりです。

		サブクロック発振					サブクロック停止				
		分周なし	2分周	4分周	8分周	16分周	分周なし	2分周	4分周	8分周	16分周
サブクロック発振	分周なし		(4)	(5)	(7)	(6)	(1)	—	—	—	—
	2分周	(3)		(5)	(7)	(6)	—	(1)	—	—	—
	4分周	(3)	(4)		(7)	(6)	—	—	(1)	—	—
	8分周	(3)	(4)	(5)		(6)	—	—	—	(1)	—
	16分周	(3)	(4)	(5)	(7)		—	—	—	—	(1)
サブクロック停止	分周なし	(2)	—	—	—	—		(4)	(5)	(7)	(6)
	2分周	—	(2)	—	—	—	(3)		(5)	(7)	(6)
	4分周	—	—	(2)	—	—	(3)	(4)		(7)	(6)
	8分周	—	—	—	(2)	—	(3)	(4)	(5)		(6)
	16分周	—	—	—	—	(2)	(3)	(4)	(5)	(7)	

—:遷移できません。

注5.　(　)内は設定方法。下表参照。

	設定内容	動作内容
(1)	CM04 = 0	サブクロック停止
(2)	CM04 = 1	サブクロック発振
(3)	CM06 = 0 CM17 = 0 , CM16 = 0	CPUクロック分周なしモード
(4)	CM06 = 0 CM17 = 0 , CM16 = 1	CPUクロック2分周モード
(5)	CM06 = 0 CM17 = 1 , CM16 = 0	CPUクロック4分周モード
(6)	CM06 = 0 CM17 = 1 , CM16 = 1	CPUクロック16分周モード
(7)	CM06 = 1	CPUクロック8分周モード
(8)	CM07 = 0	メインクロック選択
(9)	CM07 = 1	サブクロック選択
(10)	CM05 = 0	メインクロック発振
(11)	CM05 = 1	メインクロック停止
(12)	CM10 = 1	ストップモードに移行
(13)	wait命令	ウエイトモードに移行
(14)	ハードウェア割り込み	ストップモード、ウエイトモードから復帰

CM04, CM05, CM06, CM07　:CM0レジスタのビット
CM10, CM16, CM17　:CM1レジスタのビット

8. プロテクト

プロテクトはプログラムが暴走したときに備え、重要なレジスタは簡単に書き換えられないように保護する機能です。図8.1にPRCRレジスタを示します。PRCR レジスタが保護するレジスタは次のとおりです。

- PRC0 ビットで保護されるレジスタ　：CM0、CM1、PCLKR レジスタ
- PRC1 ビットで保護されるレジスタ　：PM0、PM1 レジスタ
- PRC2 ビットで保護されるレジスタ　：PD9 レジスタ

PRC2 ビットを“1”(書き込み許可状態)にした後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。PRC2 ビットで保護されるレジスタはPRC2 ビットを“1”にした次の命令で変更してください。PRC2 ビットを“1”にする命令と次の命令の間に割り込みやDMA 転送が入らないようにしてください。PRC0 、PRC1 ビットは任意の番地に書き込みを実行しても“0”になりませんのでプログラムで“0”にしてください。

プロテクトレジスタ

b7	b6	b5	b4	b3	b2	b1	b0
X	X	0	0	0			

シンボル	アドレス	リセット後の値
PRCR	000Ah番地	XX000000b

ビットシンボル	ビット名	機　　能	RW
PRC0	プロテクトビット0	0：CM0、CM1、PCLKRへの書き込み禁止 1：CM0、CM1、PCLKRへの書き込み許可	RW
PRC1	プロテクトビット1	0：PM0、PM1への書き込み禁止 1：PM0、PM1への書き込み許可	RW
PRC2	プロテクトビット2	0：PD9への書き込み禁止 1：PD9への書き込み許可(注1)	RW
——— (b5-b3)	予約ビット	“0”にしてください	RW
——— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

注1. PRC2ビットは“1”を書き込んだ後、任意の番地に書き込みを実行すると“0”になります。他のビットは“0”になりませんので、プログラムで“0”にしてください。

図8.1　PRCRレジスタ

9. 割り込み

9.1 割り込みの分類

図9.1に割り込みの分類を示します。

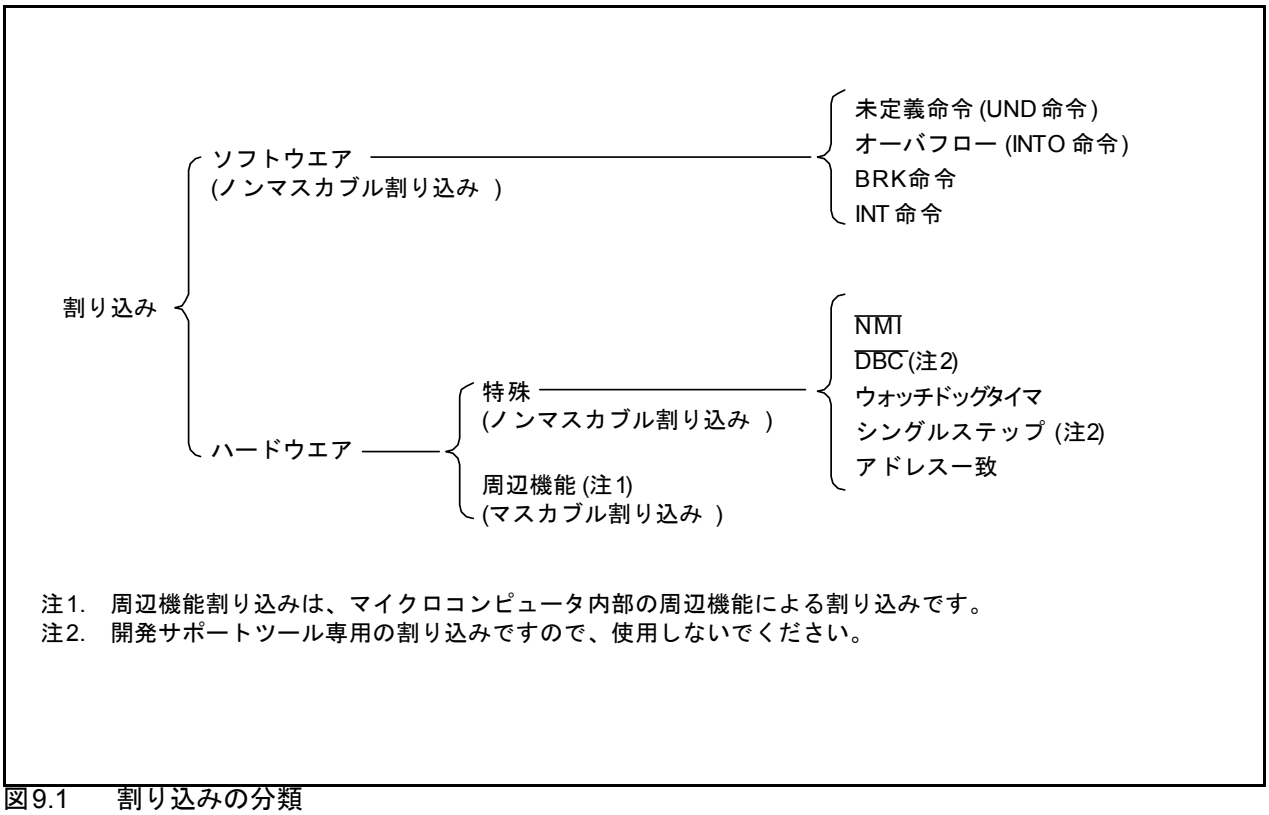


図9.1 割り込みの分類

- マスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が可能
- ノンマスカブル割り込み : 割り込み許可フラグ(Iフラグ)による割り込みの許可(禁止)や割り込み優先レベルによる割り込み優先順位の変更が不可能

9.2 ソフトウェア割り込み

ソフトウェア割り込みは、命令の実行によって発生します。ソフトウェア割り込みはノンマスカブル割り込みです。

9.2.1 未定義命令割り込み

未定義命令割り込みは、UND命令を実行すると発生します。

9.2.2 オーバフロー割り込み

オーバフロー割り込みは、Oフラグが“1”(演算の結果がオーバフロー)の場合、INTO命令を実行すると発生します。演算によってOフラグが変化する命令は次のとおりです。

ABS、ADC、ADCF、ADD、CMP、DIV、DIVU、DIVX、NEG、RMPA、SBB、SHA、SUB

9.2.3 BRK割り込み

BRK割り込みは、BRK命令を実行すると発生します。

9.2.4 INT命令割り込み

INT命令割り込みは、INT命令を実行すると発生します。INT命令で指定できるソフトウェア割り込み番号は0～63です。ソフトウェア割り込み番号4～31は周辺機能割り込みに割り当てられますので、INT命令を実行することで周辺機能割り込みと同じ割り込みルーチンを実行できます。

ソフトウェア割り込み番号0～31では、命令実行時にUフラグを退避し、Uフラグを“0”(ISPを選択)にした後、割り込みシーケンスを実行します。割り込みルーチンから復帰するときに退避しておいたUフラグを復帰します。ソフトウェア割り込み番号32～63では、命令実行時Uフラグは変化せず、そのとき選択されているSPを使用します。

9.3 ハードウェア割り込み

ハードウェア割り込みには、特殊割り込みと周辺機能割り込みがあります。

9.3.1 特殊割り込み

特殊割り込みは、ノンマスカブル割り込みです。

9.3.1.1 $\overline{\text{NMI}}$割り込み

$\overline{\text{NMI}}$割り込みは、$\overline{\text{NMI}}$端子の入力が“H”から“L”に変化すると発生します。$\overline{\text{NMI}}$割り込みの詳細は「9.7 $\overline{\text{NMI}}$割り込み」を参照してください。

9.3.1.2 $\overline{\text{DBC}}$割り込み

開発サポートツール専用の割り込みですので、使用しないでください。

9.3.1.3 ウォッチドッグタイマ割り込み

ウォッチドッグタイマによる割り込みです。ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

ウォッチドッグタイマの詳細は「10. ウォッチドッグタイマ」を参照してください。

9.3.1.4 シングルステップ割り込み

開発サポートツール専用の割り込みですので、使用しないでください。

9.3.1.5 アドレス一致割り込み

アドレス一致割り込みは、AIER レジスタの AIER0 ビット、AIER1 ビットのうち、いずれか 1 つが“1”(アドレス一致割り込み許可)の場合、対応する RMAD0～RMAD1 レジスタで示される番地の命令を実行する直前に発生します。

アドレス一致割り込みの詳細は「9.9 アドレス一致割り込み」を参照してください。

9.3.2 周辺機能割り込み

周辺機能割り込みは、マイクロコンピュータ内部の周辺機能による割り込みです。周辺機能割り込みは、マスカブル割り込みです。周辺機能割り込みの割り込み要因は「表 9.2 可変ベクタテーブル」を参照してください。また、周辺機能の詳細は各周辺機能の説明を参照してください。

9.4 割り込みと割り込みベクタ

1ベクタは4バイトです。各割り込みベクタには、割り込みルーチンの先頭番地を設定してください。割り込み要求が受け付けられると、割り込みベクタに設定した番地へ分岐します。図9.2に割り込みベクタを示します。

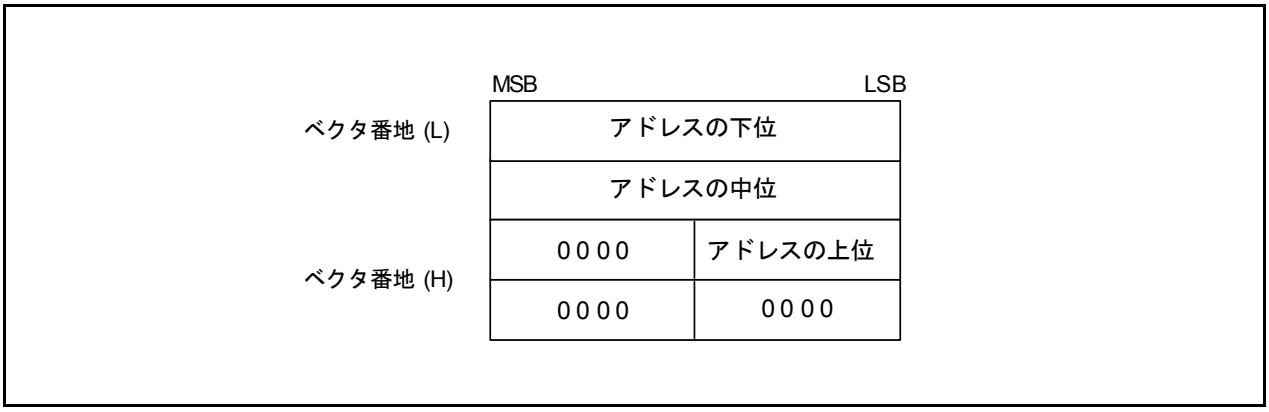


図9.2 割り込みベクタ

9.4.1 固定ベクタテーブル

固定ベクタテーブルは、FFFDCh番地からFFFFFh番地に配置されています。表9.1に固定ベクタテーブルを示します。

表9.1 固定ベクタテーブル

割り込み要因	ベクタ番地番地 (L)～番地(H)	参照先
未定義命令（UND命令）	FFFDCh～FFFDFh	M16C/60、M16C/20シリーズ ソフトウェアマニュアル
オーバフロー（INTO命令）	FFFE0h～FFFE3h	
BRK命令(注2)	FFFE4h～FFFE7h	
アドレス一致	FFFE8h～FFFEBh	9.9 アドレス一致割り込み
シングルステップ(注1)	FFFECh～FFFEFh	―
ウォッチドッグタイマ	FFFF0h～FFFF3h	10. ウォッチドッグタイマ
$\overline{\text{DBC}}$(注1)	FFFF4h～FFFF7h	―
$\overline{\text{NMI}}$	FFFF8h～FFFFBh	9.7 $\overline{\text{NMI}}$割り込み
リセット	FFFFCh～FFFFFh	5. リセット

注1. 開発サポートツール専用の割り込みですので、使用しないでください。
注2. FFFE7h番地の内容がFFhの場合は可変ベクタテーブル内のベクタが示す番地から実行

9.4.2 可変ベクタテーブル

INTB レジスタに設定された先頭番地から 256 バイトが可変ベクタテーブルの領域となります。表9.2に可変ベクタテーブルを示します。INTB レジスタに偶数番地を設定すると、奇数番地の場合に比べて割り込みシーケンスが速く実行できます。

表9.2 可変ベクタテーブル

割り込み要因	ベクタ番地 (注1) 番地(L)～番地(H)	ソフトウエア 割り込み番号	参照先
BRK命令 (注5)	+0～+3(0000h ～0003h)	0	M16C/60、M16C/20シリーズ ソフトウエアマニュアル
―― (予約)		1～3	
$\overline{\text{INT3}}$	+16～+19(0010h ～0013h)	4	9.6 $\overline{\text{INT}}$割り込み
UART1バス衝突検出 (注4、6)	+24～+27(0018h ～001Bh)	6	13. シリアルインタフェース
$\overline{\text{INT4}}$ (注2)	+36～+39(0024h ～0027h)	9	9.6 $\overline{\text{INT}}$割り込み
UART2バス衝突検出 (注6)	+40～+43(0028h ～002Bh)	10	13. シリアルインタフェース
DMA0	+44～+47 (002Ch～002Fh)	11	11. DMAC
DMA1	+48～+51 (0030h～0033h)	12	
キー入力割り込み	+52～+55 (0034h～0037h)	13	9.8 キー入力割り込み
A/D	+56～+59 (0038h～003Bh)	14	14. A/Dコンバータ
UART2送信、NACK2 (注3)	+60～+63 (003Ch～003Fh)	15	13. シリアルインタフェース
UART2受信、ACK2 (注3)	+64～+67 (0040h～0043h)	16	
UART0送信 (注7)	+68～+71 (0044h～0047h)	17	
UART1送信、NACK1 (注3)	+76～+79 (004Ch～004Fh)	19	
UART1受信、ACK1 (注3)	+80～+83 (0050h～0053h)	20	
タイマA0	+84～+87 (0054h～0057h)	21	12. タイマ
タイマA1	+88～+91 (0058h～005Bh)	22	
タイマA2	+92～+95 (005Ch～005Fh)	23	
タイマB0	+104～+107 (0068h～006Bh)	26	12. タイマ
タイマB1	+108～+111 (006Ch～006Fh)	27	
タイマB2	+112～+115 (0070h～0073h)	28	
$\overline{\text{INT0}}$	+116～+119 (0074h～0077h)	29	9.6 $\overline{\text{INT}}$割り込み
$\overline{\text{INT1}}$	+120～+123 (0078h～007Bh)	30	
$\overline{\text{INT2}}$	+124～+127 (007Ch～007Fh)	31	
INT命令割り込み (注5)	+128～+131 (0080h～0083h) ～ +252～+255 (00FCh～00FFh)	32 ～ 63	M16C/60、M16C/20シリーズ ソフトウエアマニュアル

注1. INTBレジスタが示す番地からの相対番地です。
注2. IFSRレジスタのIFSR6ビットで選択してください。
注3. I²Cモード時にNACK、ACKが割り込み要因になります。
注4. IFSR2AレジスタのIFSR27ビットで選択してください。
注5. Iフラグによる禁止はできません。
注6. バス衝突検出 : IEモード時はバス衝突検出が割り込み要因になります。
I²Cモード時はスタートコンディション検出、ストップコンディション検出が割り込み要因になります。
注7. UART0は、VFDコントローラ/ドライバに接続されています。

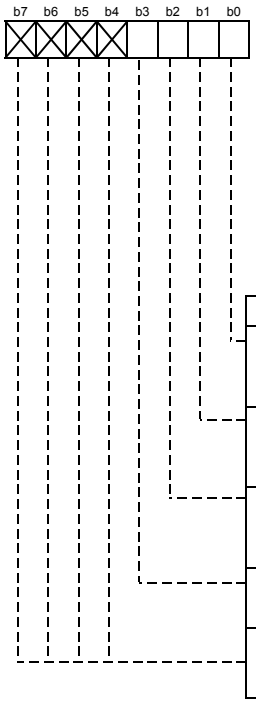
9.5 割り込み制御

マスカブル割り込みの許可、禁止、受け付ける優先順位の設定について説明します。ここで説明する内容は、ノンマスカブル割り込みには該当しません。

マスカブル割り込みの許可、禁止は、FLGレジスタのIフラグ、IPL、各割り込み制御レジスタのILVL2～ILVL0ビットで行います。また、割り込み要求の有無は、各割り込み制御レジスタのIRビットに示されます。

図9.3に割り込み制御レジスタを示します。

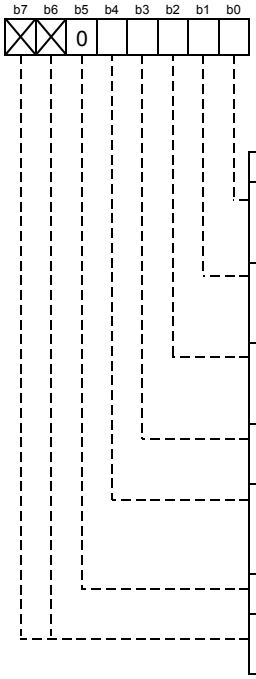
割り込み制御レジスタ(注2)



シンボル	アドレス	リセット後の値
U1BCNIC(注3)	0046h番地	XXXXX000b
BCNIC	004Ah番地	XXXXX000b
DM0IC	004Bh番地	XXXXX000b
DM1IC	004Ch番地	XXXXX000b
KUPIC	004Dh番地	XXXXX000b
ADIC	004Eh番地	XXXXX000b
S0TIC(注4)	0051h番地	XXXXX000b
S1TIC、S2TIC	0053h、004Fh番地	XXXXX000b
S1RIC、S2RIC	0054h、0050h番地	XXXXX000b
TA0IC～TA2IC	0055h～0057h番地	XXXXX000b
TB0IC～TB2IC	005Ah～005Ch番地	XXXXX000b

ビットシンボル	ビット名	機　　能	RW
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 ：レベル0（割り込み禁止） 0 0 1 ：レベル1 0 1 0 ：レベル2 0 1 1 ：レベル3 1 0 0 ：レベル4 1 0 1 ：レベル5 1 1 0 ：レベル6 1 1 1 ：レベル7	RW
ILVL1			RW
ILVL2			RW
IR	割り込み要求ビット	0 ：割り込み要求なし 1 ：割り込み要求あり	RW (注1)
(b7-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

注1.　IRビットは“0”のみ書けます(“1”を書かないでください)。
注2.　割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、「20.4　割り込みの注意事項」を参照してください。
注3.　IFSR2Aレジスタで選択してください。
注4.　UART0は、VFDコントローラ/ドライバに接続されています。



シンボル	アドレス	リセット後の値
INT3IC	0044h番地	XX00X000b
INT4IC	0049h番地	XX00X000b
INT0IC～INT2IC	005Dh～005Fh番地	XX00X000b

ビットシンボル	ビット名	機　　能	RW
ILVL0	割り込み優先レベル選択ビット	b2 b1 b0 0 0 0 ：レベル0（割り込み禁止） 0 0 1 ：レベル1 0 1 0 ：レベル2 0 1 1 ：レベル3 1 0 0 ：レベル4 1 0 1 ：レベル5 1 1 0 ：レベル6 1 1 1 ：レベル7	RW
ILVL1			RW
ILVL2			RW
IR	割り込み要求ビット	0 ：割り込み要求なし 1 ：割り込み要求あり	RW (注1)
POL	極性切り替えビット	0 ：立ち下がりエッジを選択（注3） 1 ：立ち上がりエッジを選択	RW
(b5)	予約ビット	“0”にしてください	RW
(b7-b6)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定。		—

注1.　IRビットは“0”のみ書けます(“1”を書かないでください)。
注2.　割り込み制御レジスタの変更は、そのレジスタに対応する割り込み要求が発生しない箇所で行ってください。詳細は、「20.4　割り込みの注意事項」を参照してください。
注3.　IFSRレジスタのIFSRiビット(i=0～4)が“1”(両エッジ)の場合、INTiICレジスタのPOLビットを“0”(立ち下がりエッジ)にしてください。

図9.3　割り込み制御レジスタ

9.5.1 Iフラグ

Iフラグは、マスカブル割り込みを許可または禁止します。Iフラグを“1”(許可)にすると、マスカブル割り込みは許可され、“0”(禁止)にするとすべてのマスカブル割り込みは禁止されます。

9.5.2 IRビット

IRビットは割り込み要求が発生すると、“1”(割り込み要求あり)になります。割り込み要求が受け付けられ、対応する割り込みベクタに分岐した後、IRビットは“0”(割り込み要求なし)になります。

IRビットはプログラムによって“0”にできます。“1”を書かないでください。

9.5.3 ILVL2～ILVL0ビット、IPL

割り込み優先レベルは、ILVL2～ILVL0ビットで設定できます。

表9.3に割り込み優先レベルの設定、表9.4にIPLにより許可される割り込み優先レベルを示します。

割り込み要求が受け付けられる条件を次に示します。

- Iフラグ ＝ 1
- IRビット ＝ 1
- 割り込み優先レベル ＞ IPL

Iフラグ、IRビット、ILVL2～ILVL0ビット、IPLはそれぞれ独立しており、互いに影響を与えることはありません。

表9.3 割り込み優先レベルの設定

ILVL2～ILVL0ビット	割り込み優先レベル	優先順位
000b	レベル0(割り込み禁止)	―――
001b	レベル1	低い
010b	レベル2	↓
011b	レベル3	
100b	レベル4	
101b	レベル5	
110b	レベル6	
111b	レベル7	高い

表9.4 IPLにより許可される割り込み優先レベル

IPL	許可される割り込み優先レベル
000b	レベル1以上を許可
001b	レベル2以上を許可
010b	レベル3以上を許可
011b	レベル4以上を許可
100b	レベル5以上を許可
101b	レベル6以上を許可
110b	レベル7以上を許可
111b	すべてのマスカブル割り込みを禁止

9.5.4 割り込みシーケンス

割り込み要求が受け付けられてから割り込みルーチンが実行されるまでの、割り込みシーケンスについて説明します。

命令実行中に割り込み要求が発生すると、その命令の実行終了後に優先順位が判定され、次のサイクルから割り込みシーケンスに移ります。ただし、SMOVB、SMOVF、SSTR、RMPA の各命令は、命令実行中に割り込み要求が発生すると、命令の動作を一時中断し割り込みシーケンスに移ります。

割り込みシーケンスでは、次のように動作します。図9.4に割り込みシーケンスの実行時間を示します。

(1) 00000h番地を読むことで、CPUは割り込み情報(割り込み番号、割り込み要求レベル)を獲得します。その後、該当する割り込みのIRビットが“0”(割り込み要求なし)になります。
(2) 割り込みシーケンス直前のFLGレジスタをCPU内部の一時レジスタ(注1)に退避します。
(3) FLGレジスタのうち、Iフラグ、Dフラグ、Uフラグは次のようになります。
Iフラグは“0”(割り込み禁止)
Dフラグは“0”(シングルステップ割り込みは割り込み禁止)
Uフラグは“0”(ISPを指定)
ただしUフラグは、ソフトウェア割り込み番号32～63のINT命令を実行した場合は変化しません。
(4) CPU内部の一時レジスタ(注1)をスタックに退避します。
(5) PCをスタックに退避します。
(6) IPLに、受け付けた割り込みの割り込み優先レベルを設定します。
(7) 割り込みベクタに設定された割り込みルーチンの先頭番地がPCに入ります。

割り込みシーケンス終了後は、割り込みルーチンの先頭番地から命令を実行します。

注1. ユーザは使用できません。

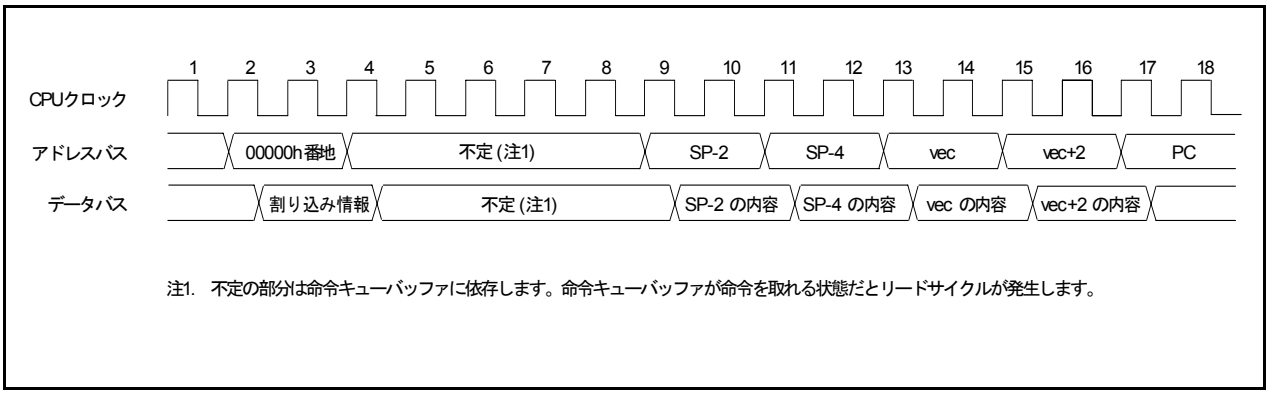
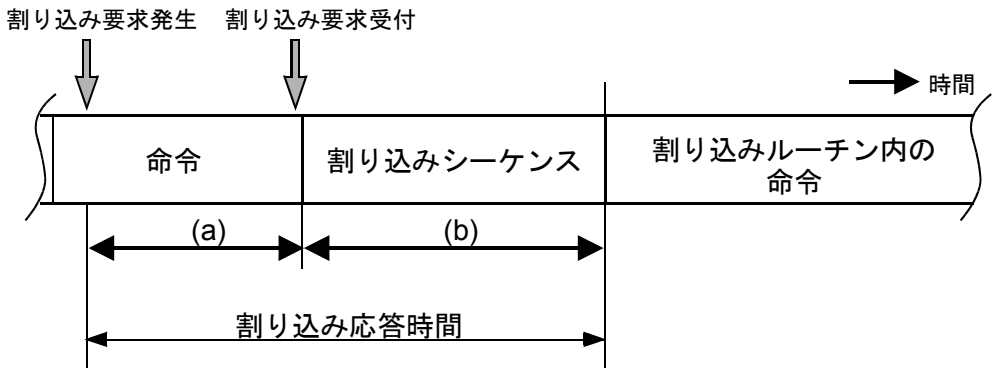


図9.4 割り込みシーケンスの実行時間

9.5.5 割り込み応答時間

図9.5に割り込み応答時間を示します。割り込み応答時間は、割り込み要求が発生してから割り込みルーチン内の最初の命令を実行するまでの時間です。この時間は、割り込み要求発生時点から、そのとき実行している命令が終了するまでの時間(図9.5の(a))と割り込みシーケンスを実行する時間(図9.5の(b))で構成されます。



(a) 割り込み要求発生時点からそのとき実行している命令が終了するまでの時間。実行している命令によって異なります。この時間が最も長くなる命令はDIVX命令で30サイクル(ウエイトなし、除数がレジスタの場合のサイクル数)です。

(b) 割り込みシーケンスを実行する時間。次の表を参照してください。なお、$\overline{\text{DBC}}$割り込みは+2サイクル、アドレス一致割り込み、シングルステップ割り込みは+1サイクルしてください。

割り込みベクタの番地	SPの値	16ビットバス、ウエイトなし	8ビットバス、ウエイトなし
偶数	偶数	18サイクル	20サイクル
偶数	奇数	19サイクル	20サイクル
奇数	偶数	19サイクル	20サイクル
奇数	奇数	20サイクル	20サイクル

図9.5 割り込み応答時間

9.5.6 割り込み要求受付時のIPLの変化

マスカブル割り込みの割り込み要求が受け付けられると、IPLには受け付けた割り込みの割り込み優先レベルが設定されます。

ソフトウェア割り込みと特殊割り込み要求が受け付けられると表9.5に示す値がIPLに設定されます。表9.5にソフトウェア割り込み、特殊割り込み受け付け時のIPLの値を示します。

表9.5 ソフトウェア割り込み、特殊割り込み受け付け時のIPLの値

割り込み要因	設定されるIPLの値
ウォッチドッグタイマ、$\overline{\text{NMI}}$	7
ソフトウェア、アドレス一致、$\overline{\text{DBC}}$、シングルステップ	変化しない

9.5.7 レジスタ退避

割り込みシーケンスでは、FLGレジスタとPCをスタックに退避します。

スタックへはPCの上位4ビットとFLGレジスタの上位4ビット(IPL)、下位8ビットの合計16ビットをまず退避し、次にPCの下位16ビットを退避します。 図9.6に割り込み要求受け付け前と後のスタックの状態を示します。

その他の必要なレジスタは、割り込みルーチンの最初でプログラムによって退避してください。PUSHM命令を用いると、1命令でSPを除くすべてのレジスタを退避できます。

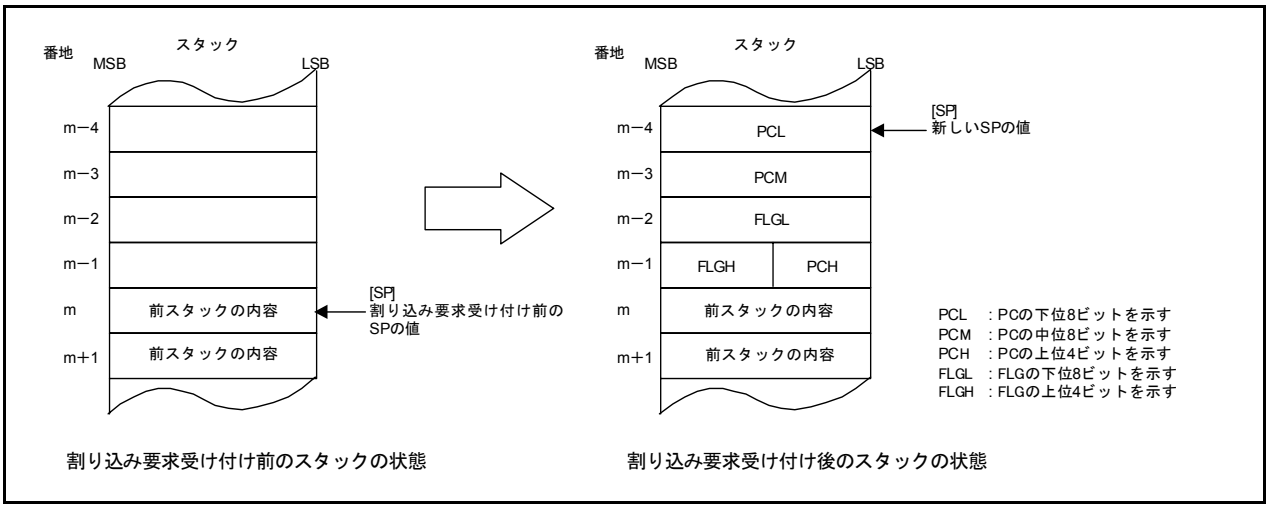


図9.6 割り込み要求受け付け前と後のスタックの状態

割り込みシーケンスで行われるレジスタ退避動作は、割り込み要求受け付け時のSP(注1)が偶数の場合と奇数の場合で異なります。SP(注1)が偶数の場合は、FLGレジスタ、PCがそれぞれ16ビット同時に退避されます。奇数の場合は、8ビットずつ2回に分けて退避されます。図9.7にレジスタ退避動作を示します。

注1. ソフトウェア番号32～63のINT命令を実行した場合は、Uフラグが示すSPです。それ以外は、ISPです。

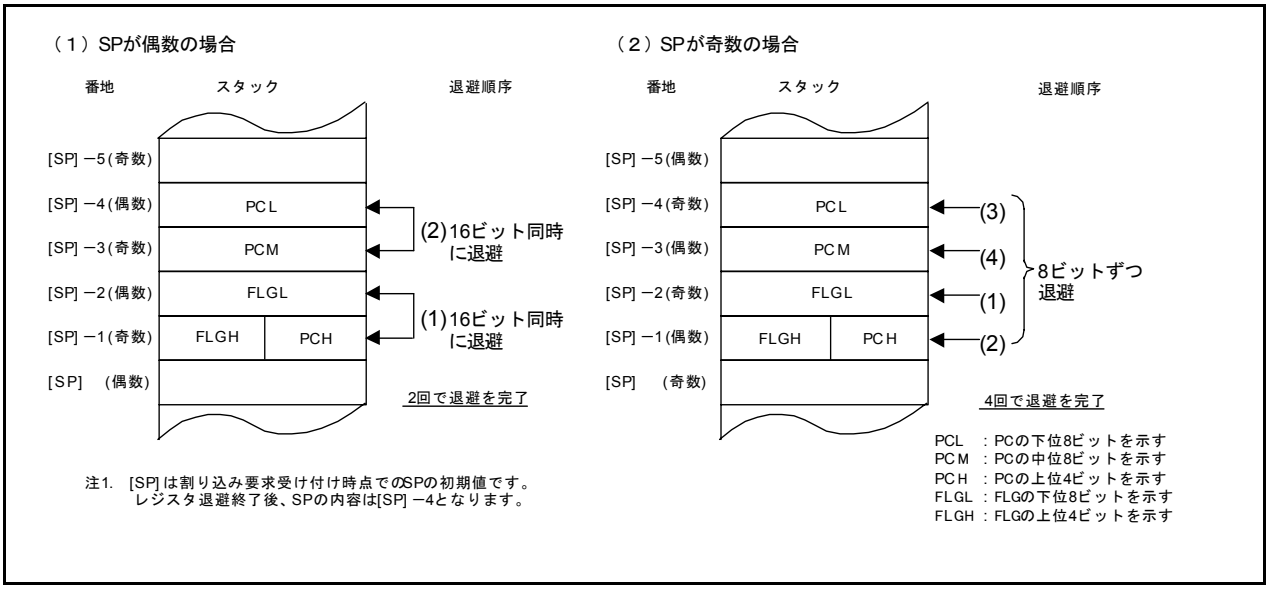


図9.7 レジスタ退避動作

9.5.8 割り込みルーチンからの復帰

割り込みルーチンの最後でREIT命令を実行すると、スタックに退避していた割り込みシーケンス直前のFLGレジスタとPCが復帰します。その後、割り込み要求受け付け前に実行していたプログラムに戻ります。

割り込みルーチン内でプログラムによって退避したレジスタは、REIT命令実行前にPOPM命令などを使用して復帰してください。

レジスタバンクを切り替えた場合、REIT命令の実行で割り込みシーケンス直前のレジスタバンクに切り替わります。

9.5.9 割り込み優先順位

同一サンプリング時点(割り込みの要求があるかどうか調べるタイミング)で、2つ以上の割り込み要求が発生した場合は、優先順位の高い割り込みが受け付けられます。

マスカブル割り込み(周辺機能)の優先レベルは、ILVL2～ILVL0ビットによって任意に選択できます。ただし、割り込み優先レベルが同じ設定値の場合は、ハードウェアで設定されている優先順位の高い割り込みが受け付けられます。

ウォッチドッグタイマ割り込みなど、特殊割り込みの優先順位はハードウェアで設定されています。図9.8にハードウェア割り込みの割り込み優先順位を示します。

ソフトウェア割り込みは割り込み優先順位の影響を受けません。命令を実行すると割り込みルーチンを実行します。

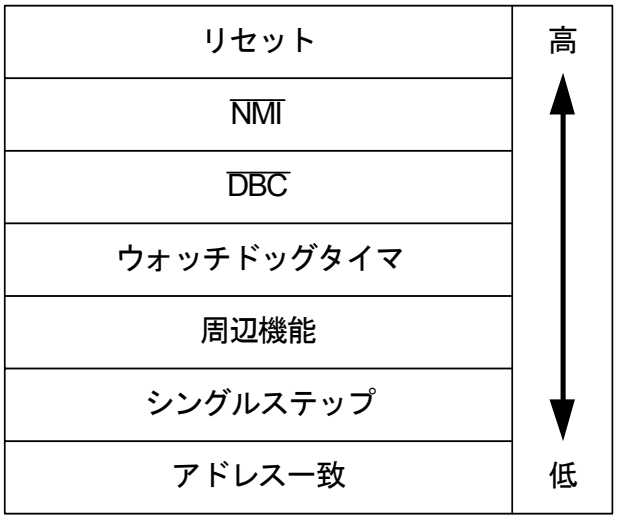


図9.8 ハードウェア割り込みの割り込み優先順位

9.5.10 割り込み優先レベル判定回路

割り込み優先レベル判定回路は、同一サンプリング時点で要求のある割り込みから、最も優先順位の高い割り込みを選択するための回路です。

図9.9に割り込み優先レベル判定回路を示します。

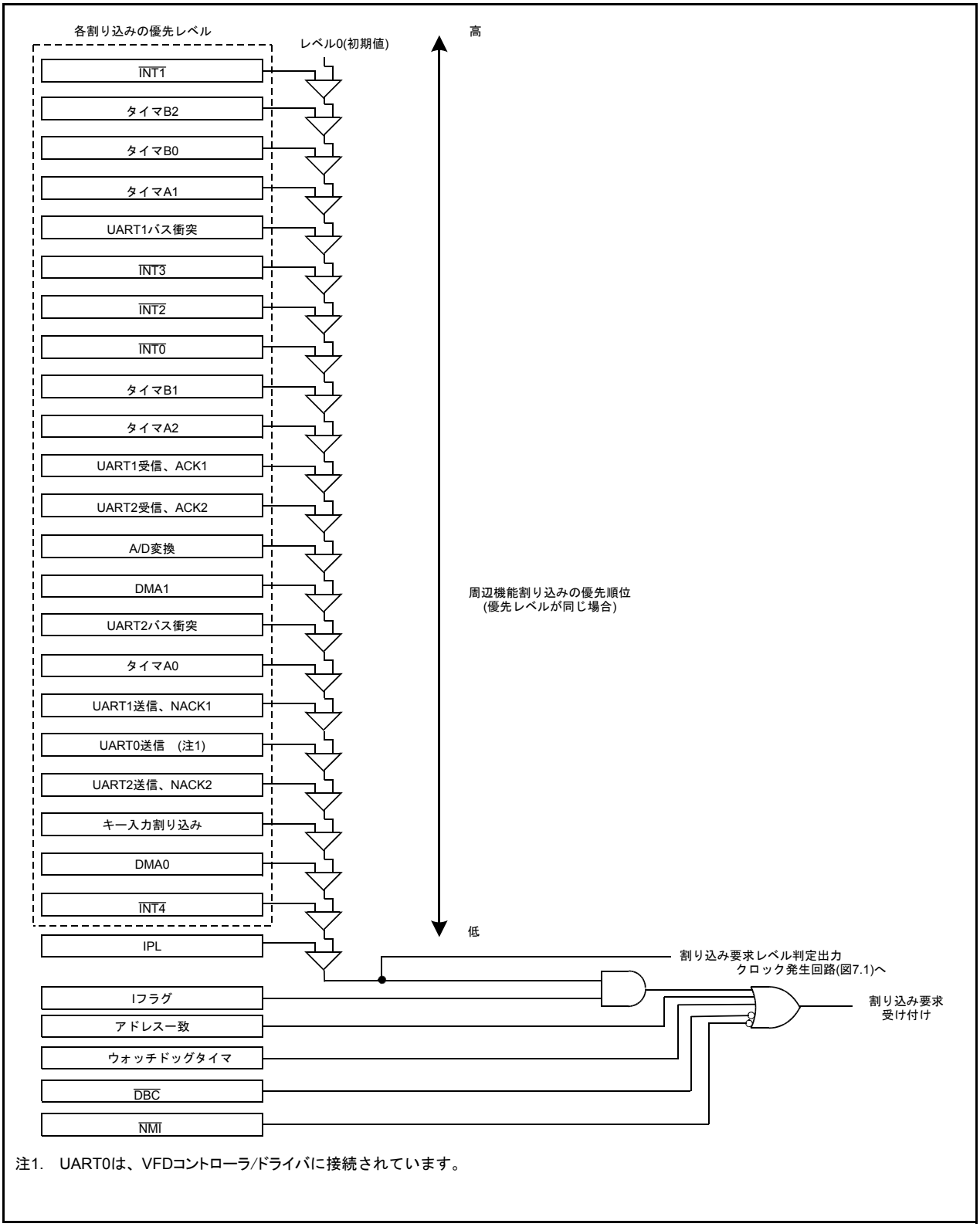


図9.9 割り込み優先レベル判定回路

9.6 $\overline{\text{INT}}$割り込み

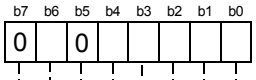
$\overline{\text{INT}}$i割り込み(i=0～4)は外部入力による割り込みです。極性をIFSRレジスタのIFSRiビットで選択できます。

$\overline{\text{INT4}}$割り込みを使用するときは、IFSRレジスタのIFSR6ビットを“1”($\overline{\text{INT4}}$)にしてください。

IFSR6を変更した後、対応するIRビットを“0”(割り込み要求なし)にしてから、割り込みを許可してください。

図9.10にIFSR、IFSR2Aレジスタを示します。

割り込み要因選択レジスタ

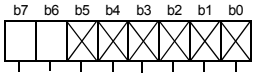


シンボル	アドレス	リセット後の値
IFSR	035Fh番地	00h

ビットシンボル	ビット名	機　能	RW
IFSR0	INT0割り込み極性切り替えビット	0：片エッジ 1：両エッジ (注1)	RW
IFSR1	INT1割り込み極性切り替えビット	0：片エッジ 1：両エッジ (注1)	RW
IFSR2	INT2割り込み極性切り替えビット	0：片エッジ 1：両エッジ (注1)	RW
IFSR3	INT3割り込み極性切り替えビット	0：片エッジ 1：両エッジ (注1)	RW
IFSR4	INT4割り込み極性切り替えビット	0：片エッジ 1：両エッジ (注1)	RW
(b5)	予約ビット	“0”にしてください	RW
IFSR6	割り込み要因切り替えビット	0：設定しないでください 1：$\overline{\text{INT4}}$	RW
(b7)	予約ビット	“0”にしてください	RW

注1.　“1”(両エッジ)を選択する場合は、対応するINT0IC～INT4ICレジスタのPOLビットを“0”(立ち下がりエッジ)にしてください。

割り込み要因選択レジスタ 2



シンボル	アドレス	リセット後の値
IFSR2A	035Eh番地	00XXXXXXb

ビットシンボル	ビット名	機　能	RW
(b5-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
IFSR26	割り込み要因切り替えビット	0：設定しないでください 1：UART0バス衝突検出	RW
IFSR27	割り込み要因切り替えビット	0：設定しないでください 1：UART1バス衝突検出	RW

図9.10　IFSR、IFSR2Aレジスタ

9.7 $\overline{\text{NMI}}$割り込み

$\overline{\text{NMI}}$端子の入力が“H”から“L”に変化したとき、$\overline{\text{NMI}}$割り込み要求が発生します。$\overline{\text{NMI}}$割り込みは、ノンマスカブル割り込みです。また、この端子は$\overline{\text{NMI}}$割り込み入力端子ですが、端子の入力レベルをP8レジスタのP8_5ビットで読めます。

この端子は入力ポートとして使用できません。

9.8 キー入力割り込み

P10_4～P10_7のうち、PD10レジスタのPD10_4～PD10_7ビットを“0”(入力)にしている端子のいずれかの入力が立ち下がると、キー入力割り込み要求が発生します。キー入力割り込みは、ウェイトモードやストップモードを解除するキーオンウエイクアップの機能としても使用できます。ただし、キー入力割り込みを使用する場合、P10_4～P10_7をアナログ入力端子として使用しないでください。図9.11にキー入力割り込みのブロック図を示します。なお、PD10_4～PD10_7ビットを“0”(入力モード)にしている端子のいずれかに“L”が入力されていると、他の端子の入力は割り込みとして検知されません。

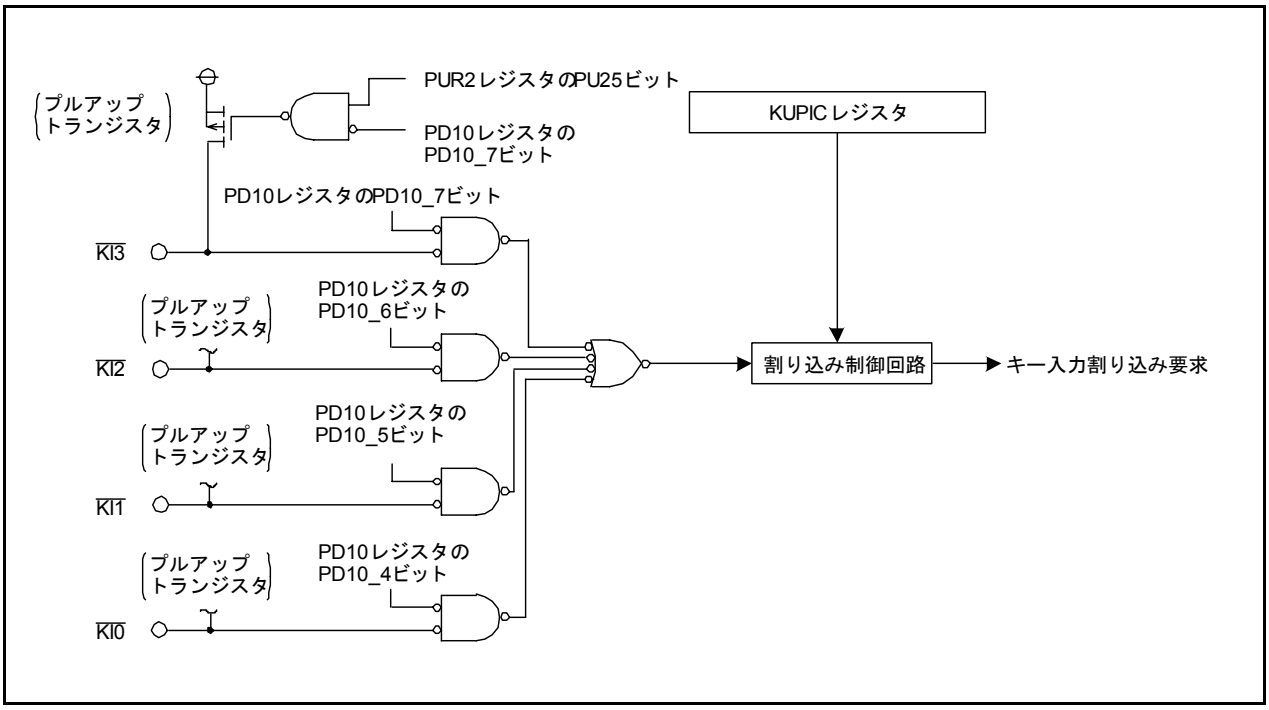


図9.11 キー入力割り込みのブロック図

9.9 アドレス一致割り込み

RMADiレジスタ(i=0、1)で示される番地の命令を実行する直前に、アドレス一致割り込み要求が発生します。RMADiレジスタには、命令の先頭番地を設定してください。割り込みの禁止または許可は、AIERレジスタのAIER0、AIER1ビットで選択できます。アドレス一致割り込みは、Iフラグ、IPLの影響を受けません。アドレス一致割り込み要求を受け付けたときに退避されるPCの値(「9.5.7 レジスタ退避」参照)は、RMADiレジスタで示される番地の命令によって異なります(正しい戻り先番地がスタックに積まれていません)。したがって、アドレス一致割り込みから復帰する場合、次のいずれかの方法で復帰してください。

- スタックの内容を書き換えてREIT命令で復帰する
- スタックを POP 命令等を使用して、割り込み要求受け付け前の状態に戻してからジャンプ命令で復帰する

表9.6にアドレス一致割り込み要求受け付け時に退避されるPCの値を示します。

図9.12にAIER、RMAD0、RMAD1レジスタを示します。

表9.6 アドレス一致割り込み要求受け付け時に退避されるPCの値

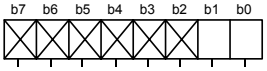
RMADiレジスタで示される番地の命令	退避される PCの値
・16ビットオペコード命令 ・8ビットオペコードの命令のうち、以下に示す命令 ADD.B:S #IMM8,dest SUB.B:S #IMM8,dest AND.B:S #IMM8,dest OR.B:S #IMM8,dest MOV.B:S #IMM8,dest STZ.B:S #IMM8,dest STNZ.B:S #IMM8,dest STZX.B:S #IMM81,#IMM82,dest CMP.B:S #IMM8,dest PUSHM src POPMdest JMPS #IMM8 JSRS #IMM8 MOV.B:S #IMM,dest(ただし、dest=A0またはA1)	RMADiレジスタで示される番地 +2
上記以外	RMADiレジスタで示される番地 +1

退避されるPCの値:「9.5.7レジスタ退避」参照

表9.7 アドレス一致割り込み要因と関連レジスタの対応

アドレス一致割り込み要因	アドレス一致割り込み許可ビット	アドレス一致割り込みレジスタ
アドレス一致割り込み0	AIER0	RMAD0
アドレス一致割り込み1	AIER1	RMAD1

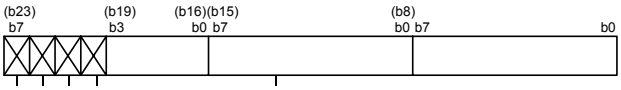
アドレス一致割り込み許可レジスタ



シンボル	アドレス	リセット後の値
AIER	0009h番地	XXXXXX00b

ビットシンボル	ビット名	機　　能	RW
AIER0	アドレス一致割り込み0許可ビット	0：禁止 1：許可	RW
AIER1	アドレス一致割り込み1許可ビット	0：禁止 1：許可	RW
——— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

アドレス一致割り込みレジスタ i(i=0、1)



シンボル	アドレス	リセット後の値
RMAD0	0012h～0010h番地	X00000h
RMAD1	0016h～0014h番地	X00000h

機　　能	設定範囲	RW
アドレス一致割り込み用アドレス設定レジスタ	00000h～FFFFFh	RW
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

図9.12　AIER、RMAD0、RMAD1レジスタ

10. ウォッチドッグタイマ

ウォッチドッグタイマは、プログラムの暴走を検知する機能です。したがって、システムの信頼性向上のために、 ウォッチドッグタイマを使用されることをお奨めします。ウォッチドッグタイマは15ビットのカウンタを持ち、CPUクロックをプリスケーラで分周したクロックをダウンカウントします。ウォッチドッグタイマがアンダフローしたとき、ウォッチドッグタイマ割り込み要求を発生します。

CPUクロック源にメインクロックを選択している場合、WDCレジスタのWDC7ビットでプリスケーラが16分周するか128分周するかを選択できます。CPUクロックにサブクロックを選択している場合、WDC7ビットに関係なくプリスケーラは2分周します。したがって、ウォッチドッグタイマの周期は次のように計算できます。ただし、ウォッチドッグタイマの周期には、プリスケーラによる誤差が生じます。

CPUクロックにメインクロックを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケーラの分周(16または128)} \times \text{ウォッチドッグタイマのカウント値(32768)}}{\text{CPUクロック}}$$

CPUクロックにサブクロックを選択している場合

$$\text{ウォッチドッグタイマの周期} = \frac{\text{プリスケーラの分周(2)} \times \text{ウォッチドッグタイマのカウント値(32768)}}{\text{CPUクロック}}$$

例えば、CPUクロックが16MHzで、プリスケーラが16分周する場合、ウォッチドッグタイマの周期は、約32.8msとなります。

ウォッチドッグタイマは、WDTSレジスタに書いたとき、初期化されます。プリスケーラは、リセット後に初期化されています。なお、リセット後はウォッチドッグタイマとプリスケーラは停止しており、WDTSレジスタに書くことによりカウントを開始します。

ストップモード時、ウェイトモード時、ウォッチドッグタイマとプリスケーラは停止し、 解除すると保持された値からカウントします。

図10.1にウォッチドッグタイマのブロック図、図10.2にウォッチドッグタイマ関連レジスタを示します。

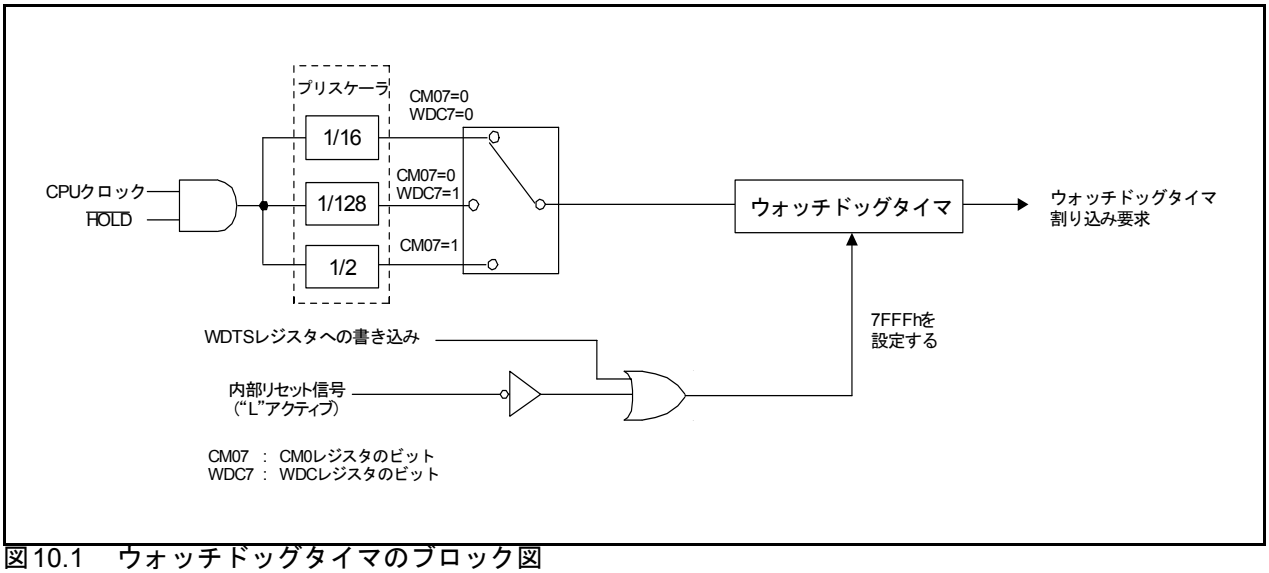


図10.1　ウォッチドッグタイマのブロック図

ウォッチドッグタイマ制御レジスタ

b7	b6	b5	b4	b3	b2	b1	b0
	0						

シンボル	アドレス	リセット後の値
WDC	000Fh番地	00XXXXXXb

ビットシンボル	ビット名	機　　能	RW
$\overline{(b4\text{-}b0)}$	ウォッチドッグタイマの上位ビット		RO
WDC5	コールドスタート/ウォームスタート判定フラグ(注1、2)	0: コールドスタート 1: ウォームスタート	RW
$\overline{(b6)}$	予約ビット	“0”にしてください	RW
WDC7	プリスケーラ選択ビット	0 : 16分周 1 : 128分周	RW

注1.　WDCレジスタに書くと、WDC5ビットは、“1”(ウォームスタート)になります。VCC1端子に入力されている電圧が4.0Vより低い場合、CPUクロックを2MHz以下にするか、2度書き込みを行ってください。
注2.　WDC5ビットは、電源投入後“0”(コールドスタート)です。プログラムでのみ“1”にできます。

ウォッチドッグタイマスタートレジスタ (注1)

b7	b0

シンボル	アドレス	リセット後の値
WDTS	000Eh番地	不定

機　　能	RW
このレジスタに対する書き込み命令で、ウォッチドッグタイマは初期化されスタートします。ウォッチドッグタイマの初期値は、書き込む値にかかわらず“7FFFh”が設定されます。	WO

注1.　ウォッチドッグタイマ割り込み発生後は、WDTSレジスタに書き込みを行ってください。

図10.2　WDC、WDTSレジスタ

11. DMAC

DMAC(ダイレクト・メモリ・アクセス・コントローラ)はCPUを使わずにデータを転送する機能で、2チャネルあります。DMACはDMA要求が発生するごとに転送元番地の1データ(8ビットまたは16ビット)を転送先番地にデータ転送します。DMACはCPUと同じデータバスを使用します。DMACのバス使用権はCPUよりも高く、サイクルスチール方式を採用しているため、DMA要求が発生してから1ワード（16ビット）または1バイト（8ビット）のデータ転送を完了するまでの動作を高速に行えます。図11.1にDMACブロック図、表11.1にDMACの仕様、図11.2～図11.4にDMAC関連レジスタを示します。

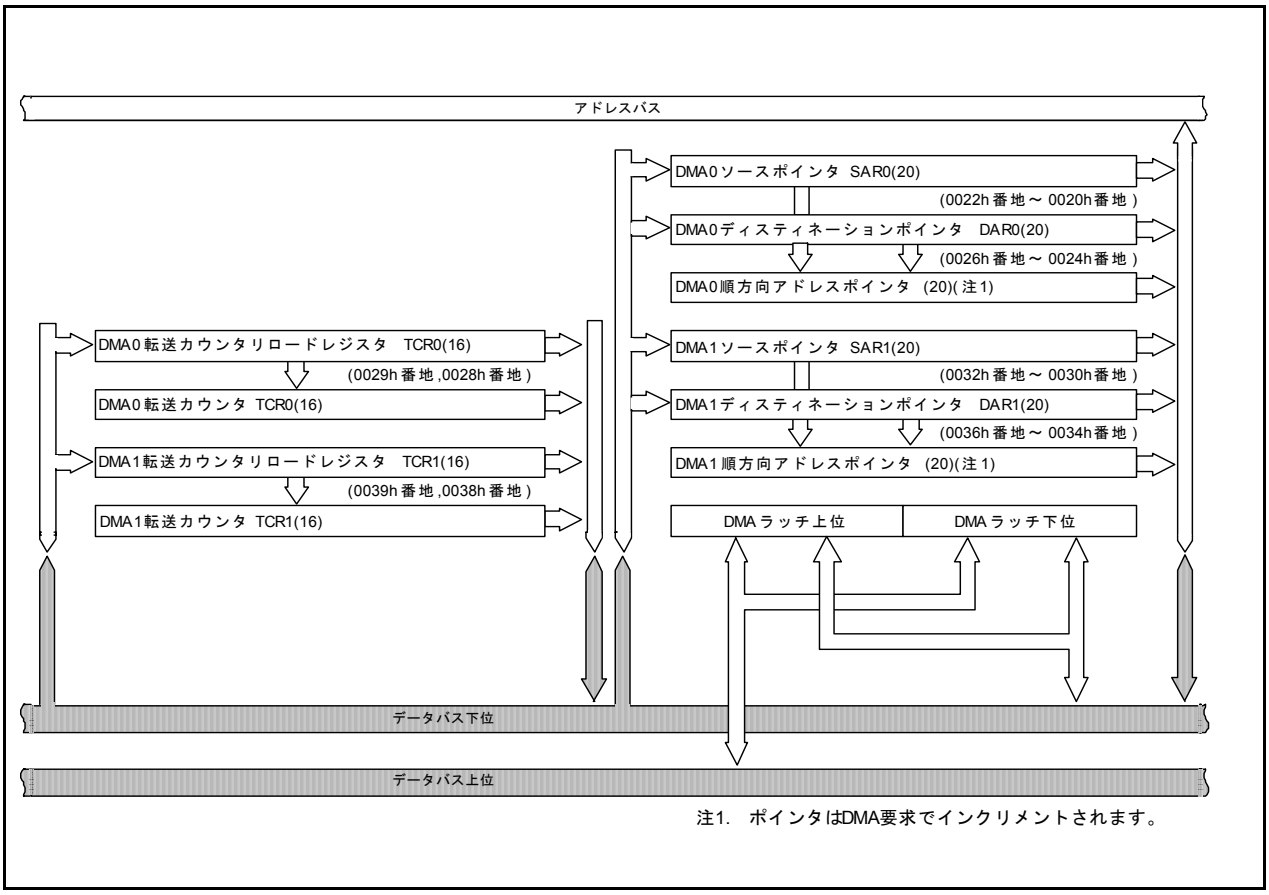


図11.1 DMACブロック図

DMA要求は、DMiSLレジスタ(i=0、1)のDSRビットへの書き込みの他、DMiSLレジスタのDMSビット、DSEL3～DSEL0ビットで指定した各機能から出力される割り込み要求で発生します。ただし、DMA転送は、割り込み要求動作と異なり、Iフラグ、割り込み制御レジスタの影響を受けませんので、割り込みが禁止されているときなどのように、割り込み要求が受け付けられない場合でも、DMA要求は受け付けられます。また、DMACは割り込みに影響を与えませんので、DMA転送では割り込み制御レジスタのIRビットは変化しません。

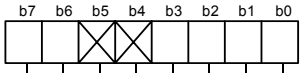
DMiCONレジスタのDMAEビットが“1”(DMA許可)であれば、DMA要求が発生するごとに、データ転送が開始されます。ただし、DMA転送サイクルよりもDMA要求が発生するサイクルが早い場合、転送要求回数と転送回数が一致しない場合があります。詳細については「11.4 DMA要求」を参照してください。

表11.1 DMACの仕様(注3)

項　目		仕　様
チャネル数		2チャネル(サイクルスチール方式)
転送空間		•1Mバイトの任意の空間から固定番地 •固定番地から1Mバイトの任意の空間 •固定番地から固定番地
最大転送バイト数		128Kバイト(16ビット転送時)、64Kバイト(8ビット転送時)
DMA要求要因(注1、2)		$\overline{\text{INT0}}$または$\overline{\text{INT1}}$端子の立ち下がりエッジ INT0またはINT1端子の両エッジ タイマA0～タイマA2割り込み要求 タイマB0～タイマB2割り込み要求 UART0送信割り込み要求 UART1送信、UART1受信割り込み要求 UART2送信、UART2受信割り込み要求 A/D変換割り込み要求 ソフトウェアトリガ
チャネル優先順位		DMA0＞DMA1(DMA0が優先)
転送単位		8ビットまたは16ビット
転送番地方向		順方向または固定(転送元と転送先の両方を順方向にしないでください)
転送モード	単転送	DMAi転送カウンタ(i=0、1)がアンダフローすると転送が終了する
	リピート転送	DMAi転送カウンタがアンダフローした後、DMAi転送カウンタリロードレジスタの値がDMAi転送カウンタにリロードされ、DMA転送を継続する
DMA割り込み要求発生タイミング		DMAi転送カウンタがアンダフローしたとき
DMA転送開始		DMAiCONレジスタのDMAEビットを“1”(許可)にすると、DMA要求が発生するごとにデータ転送が開始される
DMA転送停止	単転送	•DMAEビットを“0”(禁止)にする •DMAi転送カウンタがアンダフローした後
	リピート転送	DMAEビットを“0”(禁止)にする
順方向アドレスポインタ、DMAi転送カウンタのリロードタイミング		DMAEビットを“1”(許可)にした後のデータ転送開始時に、SARiポインタまたはDARiポインタのうち、順方向に指定された方のポインタの値を順方向アドレスポインタへ、DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロード
DMA転送サイクル数		SFR、内蔵RAM間：3サイクル

注1. DMA転送は、各割り込みに影響を与えません。また、DMA転送はIフラグ、割り込み制御レジスタの影響を受けません。
注2. 選択できる要因はチャネルによって異なります。
注3. DMAC関連レジスタ(0020h～003Fh番地)をDMACでアクセスしないでください。

DMA0要因選択レジスタ



シンボル	アドレス	リセット後の値
DM0SL	03B8h番地	00h

ビットシンボル	ビット名	機　　能	RW
DSEL0	DMA要求要因選択ビット	注1を参照してください	RW
DSEL1			RW
DSEL2			RW
DSEL3			RW
—— (b5-b4)	何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“0”。		——
DMS	DMA要因拡張選択ビット	0：基本要因 1：拡張要因	RW
DSR	ソフトウエアDMA要求ビット	DMSビットが“0”（基本要因）、DSEL3～DSEL0ビットが“0001b”（ソフトウエアトリガ）のとき、このビットを“1”にするとDMA要求が発生する（読んだ場合、その値は“0”）	RW

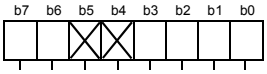
注1. DMA0の要求要因は、DMSビットとDSEL3～DSEL0ビットの組み合わせで次のとおり選択できます。

DSEL3～DSEL0	DMS=0(基本要因)	DMS=1(拡張要因)
0 0 0 0 b	$\overline{\text{INT0}}$端子の立ち下がりエッジ	-
0 0 0 1 b	ソフトウエアトリガ	-
0 0 1 0 b	タイマA0	-
0 0 1 1 b	タイマA1	-
0 1 0 0 b	タイマA2	-
0 1 0 1 b	-	-
0 1 1 0 b	-	$\overline{\text{INT0}}$端子の両エッジ
0 1 1 1 b	タイマB0	-
1 0 0 0 b	タイマB1	-
1 0 0 1 b	タイマB2	-
1 0 1 0 b	UART0送信(注2)	-
1 0 1 1 b	-	-
1 1 0 0 b	UART2送信	-
1 1 0 1 b	UART2受信	-
1 1 1 0 b	A/D変換	-
1 1 1 1 b	UART1送信	-

注2. UART0は、VFDコントローラ/ドライバに接続されています。

図11.2　DM0SLレジスタ

DMA1要因選択レジスタ



シンボル	アドレス	リセット後の値
DM1SL	03BAh番地	00h

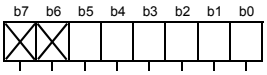
ビットシンボル	ビット名	機　　能	RW
DSEL0	DMA要求要因選択ビット	注1を参照してください	RW
DSEL1			RW
DSEL2			RW
DSEL3			RW
—— (b5-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		——
DMS	DMA要因拡張選択ビット	0：基本要因 1：拡張要因	RW
DSR	ソフトウエアDMA 要求ビット	DMSビットが“0”(基本要因)、DSEL3～DSEL0ビットが“0001b”(ソフトウエアトリガ)のとき、このビットを“1”にするとDMA要求が発生する (読んだ場合、その値は“0”)	RW

注1. DMA1の要求要因は、DMSビットとDSEL3～DSEL0ビットの組み合わせで次のとおり選択できます。

DSEL3～DSEL0	DMS=0(基本要因)	DMS=1(拡張要因)
0000b	$\overline{\text{INT1}}$端子の立ち下がりエッジ	-
0001b	ソフトウエアトリガ	-
0010b	タイマA0	-
0011b	タイマA1	-
0100b	タイマA2	-
0101b	-	-
0110b	-	-
0111b	タイマB0	$\overline{\text{INT1}}$端子の両エッジ
1000b	タイマB1	-
1001b	タイマB2	-
1010b	UART0送信(注2)	-
1011b	-	-
1100b	UART2送信	-
1101b	UART2受信/ACK2	-
1110b	A/D変換	-
1111b	UART1受信/ACK1	-

注2. UART0は、VFDコントローラ/ドライバに接続されています。

DMAi制御レジスタ(i=0、1)



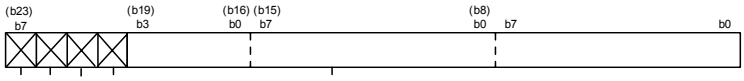
シンボル	アドレス	リセット後の値
DM0CON	002Ch番地	00000X00b
DM1CON	003Ch番地	00000X00b

ビットシンボル	ビット名	機　　能	RW
DMBIT	転送単位ビット数選択ビット	0：16ビット 1：8ビット	RW
DMASL	リピート転送モード 選択ビット	0：単転送 1：リピート転送	RW
DMAS	DMA要求ビット	0：要求なし 1：要求あり	RW (注1)
DMAE	DMA許可ビット	0：禁止 1：許可	RW
DSD	転送元アドレス方向 選択ビット(注2)	0：固定 1：順方向	RW
DAD	転送先アドレス方向 選択ビット(注2)	0：固定 1：順方向	RW
—— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		——

注1. DMASビットは、プログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
注2. DADビット、DSDビットのうち、少なくともいずれか1ビットは“0”(アドレス方向は固定)にしてください。

図11.3 DM1SL、DM0CON、DM1CONレジスタ

DMAi ソースポインタ(i=0、1)(注1)

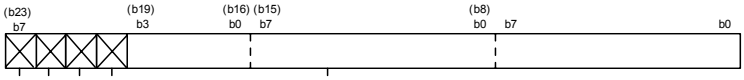


シンボル	アドレス	リセット後の値
SAR0	0022h番地 ～ 0020h番地	不定
SAR1	0032h番地 ～ 0030h番地	不定

機　能	設定範囲	RW
転送元番地を設定してください	00000h ～ FFFFFh	RW
何も配置されていない。書く場合、“ 0”を書いてください。 読んだ場合、その値は“ 0”。		—

注1. DMiCONレジスタの DSDビットが“ 0”(固定)の場合は、DMiCONレジスタの DMAEビットが“ 0”(DMA禁止)のとき書いてください。
DSDビットが“ 1”(順方向)の場合は、いつでも書けます。
DSDビットが“ 1”かつDMAEビットが“ 1”(DMA許可)の場合は、DMAi順方向アドレスポインタが読めます。それ以外では書いた値が読めます。

DMAi ディスティネーションポインタ(i=0、1)(注1)

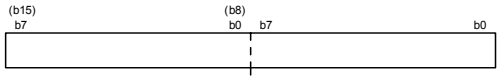


シンボル	アドレス	リセット後の値
DAR0	0026h番地 ～ 0024h番地	不定
DAR1	0036h番地 ～ 0034h番地	不定

機　能	設定範囲	RW
転送先番地を設定してください	00000h ～ FFFFFh	RW
何も配置されていない。書く場合、“ 0”を書いてください。 読んだ場合、その値は“ 0”。		—

注1. DMiCONレジスタの DADビットが“ 0”(固定)の場合は、DMiCONレジスタの DMAEビットが“ 0”(DMA禁止)のとき書いてください。
DADビットが“ 1”(順方向)の場合は、いつでも書けます。
DADビットが“ 1”かつDMAEビットが“ 1”(DMA許可)の場合は、DMAi順方向アドレスポインタが読めます。それ以外では書いた値が読めます。

DMAi 転送カウンタ(i=0、1)



シンボル	アドレス	リセット後の値
TCR0	0029h 番地 ～ 0028h番地	不定
TCR1	0039h 番地 ～ 0038h番地	不定

機　能	設定範囲	RW
転送回数 ー1を設定してください。書いた値は DMAi転送カウンタリロードレジスタに格納され、 DMiCONレジスタのDMAEビットを“ 1”(DMA許可)にしたとき、またはDMiCONレジスタの DMASLビットが“ 1”(リピート転送)でDMAi転送カウンタがアンダフローしたとき、 DMAi転送カウンタリロードレジスタの値が DMAi転送カウンタへ転送されます。 読んだ場合、DMAi転送カウンタが読めます。	0000h ～ FFFFh	RW

図11.4 SAR0、SAR1、DAR0、DAR1、TCR0、TCR1レジスタ

11.1 転送サイクル

転送サイクルは、メモリまたはSFRの読み出し(ソースリード)のバスサイクルと書き込み(ディスティネーションライト)のバスサイクルで構成されます。読み出し、書き込みのバスサイクル回数は、転送元、転送先番地の影響を受けます。

11.1.1 転送元番地、転送先番地の影響

転送単位、データバスが共に16ビットで、転送元番地が奇数番地から始まる場合、ソースリードサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

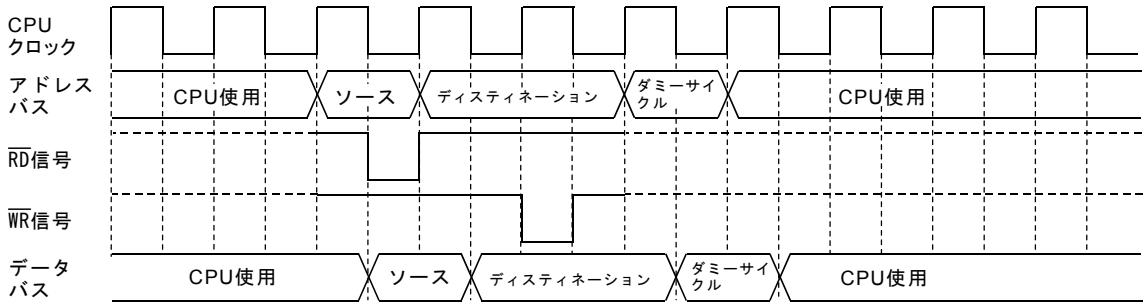
同様に、転送単位、データバスが共に16ビットで、転送先番地が奇数番地から始まる場合、ディスティネーションライトサイクルは、偶数番地から始まる場合に比べて1バスサイクル増えます。

11.1.2 ソフトウェアウェイトの影響

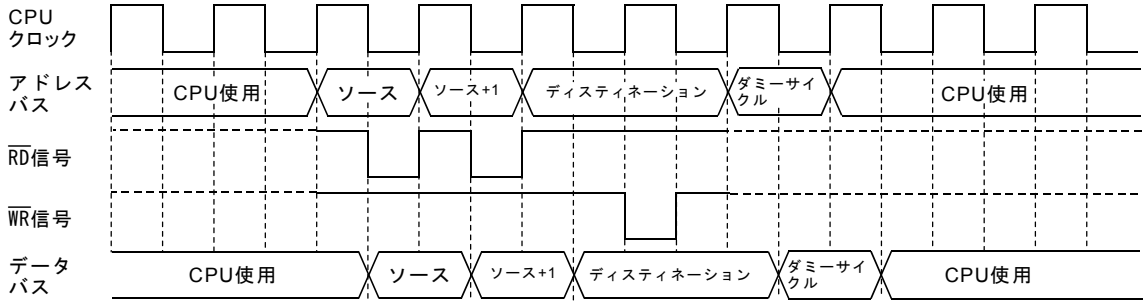
ソフトウェアウェイトが入るメモリまたはSFRをアクセスする場合、ソフトウェアウェイトの分だけ1バスサイクルに要するサイクル数が増えます。

図11.5にソースリードサイクル例を示します。この図では、ディスティネーションライトサイクルを便宜上1サイクルとし、ソースリードについての条件別サイクル数を示しています。実際は、ソースリードサイクルと同様にディスティネーションライトサイクルも各条件の影響を受け、転送サイクルが変化します。転送サイクルを計算する場合、ディスティネーションライトサイクル、ソースリードサイクルに各条件を適用してください。例えば転送単位が16ビットで、8ビットバスを使用している場合(図11.5の(2))では、ソースリードサイクルとディスティネーションライトサイクルは、それぞれに2バスサイクル必要となります。

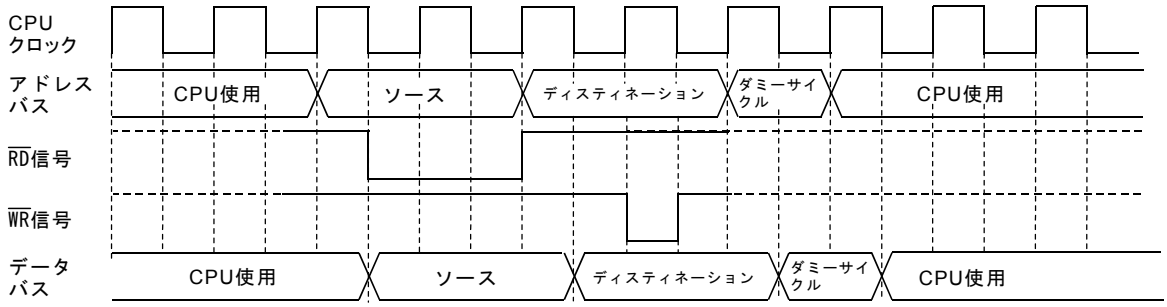
(1) 転送単位が8ビットの場合または 転送単位が16ビットでソースが偶数番地の場合



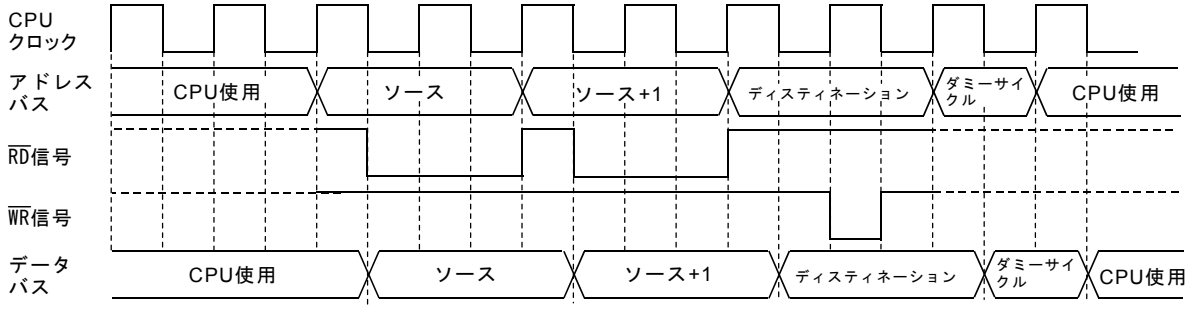
(2) 転送単位が16ビットでソースが奇数番地の場合または転送単位が16ビットで8ビットバスを使用している場合



(3) (1)の条件でソースリードに1ウエイトが入った場合



(4) (2)の条件でソースリードに1ウエイトが入った場合



注1. ディスティネーションについても各条件で、ソースと同じタイミングの変化があります。

図11.5 ソースリードサイクル例

11.2 DMAC転送サイクル数

DMAC転送サイクル数は次のとおり計算できます。
表11.2にDMAC転送サイクル数、表11.3に係数j、kを示します。

1転送単位の転送サイクル数=読み出しサイクル数× j + 書き込みサイクル数× k

表11.2 DMAC転送サイクル数

転送単位	アクセス番地	シングルチップモード	
		読み出しサイクル数	書き込みサイクル数
8ビット転送 (DMBIT=“1”)	偶 数	1	1
	奇 数	1	1
16ビット転送 (DMBIT=“0”)	偶 数	1	1
	奇 数	2	2

表11.3 係数j、k

	内部領域		
	内部ROM、RAM		SFR
	ウエイトなし	ウエイトあり	1ウエイト
j	1	2	2
k	1	2	2

11.3 DMA許可

DMiCONレジスタ(i=0、1)のDMAEビットを“1”(許可)にした後のデータ転送開始時に、DMACは次のように動作します。

(a) DMiCONレジスタのDSDビットが“1”(順方向)の場合はSARiレジスタの、DMiCONレジスタのDADビットが“1”(順方向)の場合はDARiレジスタの値を順方向アドレスポインタへリロードする

(b) DMAi転送カウンタリロードレジスタの値をDMAi転送カウンタへリロードする

DMAEビットが“1”の場合、再度“1”を書くと、上記動作を行います。

ただし、DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある場合は、次の手順で書いてください。

(1) DMiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く。

(2) DMAiが初期状態(上記(a)(b)の状態)になっていることをプログラムで確認する。
DMAiが初期状態になっていない場合は、(1)(2)を繰り返す。

11.4 DMA要求

DMACは、チャネルごとにDMiSLレジスタ(i=0、1)のDMSビット、DESL3～DESL0ビットで選択した要因をトリガとして、DMA要求を発生できます。表11.4にDMASビットが変化するタイミングを示します。

DMASビットは、DMAEビットの状態にかかわらず、DMA要求が発生すると“1”(要求あり)になります。DMAEビットが“1”(許可)の場合、データ転送が開始される直前にDMASビットは“0”(要求なし)になります。また、プログラムで“0”にできますが“1”にはできません。

DMSビット、DSEL3～DESL0ビットを変更すると、DMASビットは“1”になることがあります。したがって、DMSビット、DSEL3～DESL0ビットを変更した後は、DMASビットを“0”にしてください。

DMAEビットが“1”であれば、DMA要求発生後、すぐにデータ転送が開始されるので、プログラムでDMASビットを読んでも、ほとんどの場合“0”が読めます。DMACが許可されていることを判断するには、DMAEビットを読んでください。

表11.4 DMASビットが変化するタイミング

DMA要因	DMiCONレジスタのDMASビット	
	“1”になるタイミング	“0”になるタイミング
ソフトウエアトリガ	DMiSLレジスタのDSRビットを“1”にしたとき	・データ転送開始直前 ・プログラムで“0”を書いたとき
周辺機能	DMiSLレジスタのDSEL3～DSEL0ビットとDMSビットで選択した周辺機能の、割り込み制御レジスタのIRビットが“1”になるとき	

11.5 チャネルの優先順位とDMA転送タイミング

DMA0とDMA1の両方が許可されている場合、DMA0とDMA1のDMA転送の要求信号が同一サンプリング期間(CPUクロックの立ち下がりエッジから次の立ち下がりエッジの一周期)に入ると、各チャネルのDMASビットは同時に“1”(要求あり)になります。この場合のチャネル優先順位はDMA0＞DMA1です。次にDMA0とDMA1の要求が同一サンプリング期間に入った場合の動作を説明します。図11.6に外部要因によるDMA転送例を示します。

図11.6ではDMA0の要求とDMA1の要求が同時に発生したので、チャネル優先順位が高いDMA0が先に受け付けられ転送を開始します。DMA0が1転送単位を終了するとCPUにバス使用権をゆずり、CPUが1回のバスアクセスを終了すると、次にDMA1が転送を開始し、1転送単位終了後CPUにバス使用権を返します。

なお、DMASビットは各チャネル1ビットですので、DMA要求の回数はカウントできません。したがって、図11.6のDMA1のようにバス使用権を得るまでに複数回DMA要求が発生した場合も、バス使用権を得るとDMASビットを“0”にして、1転送単位終了後、CPUにバス使用権を返します。

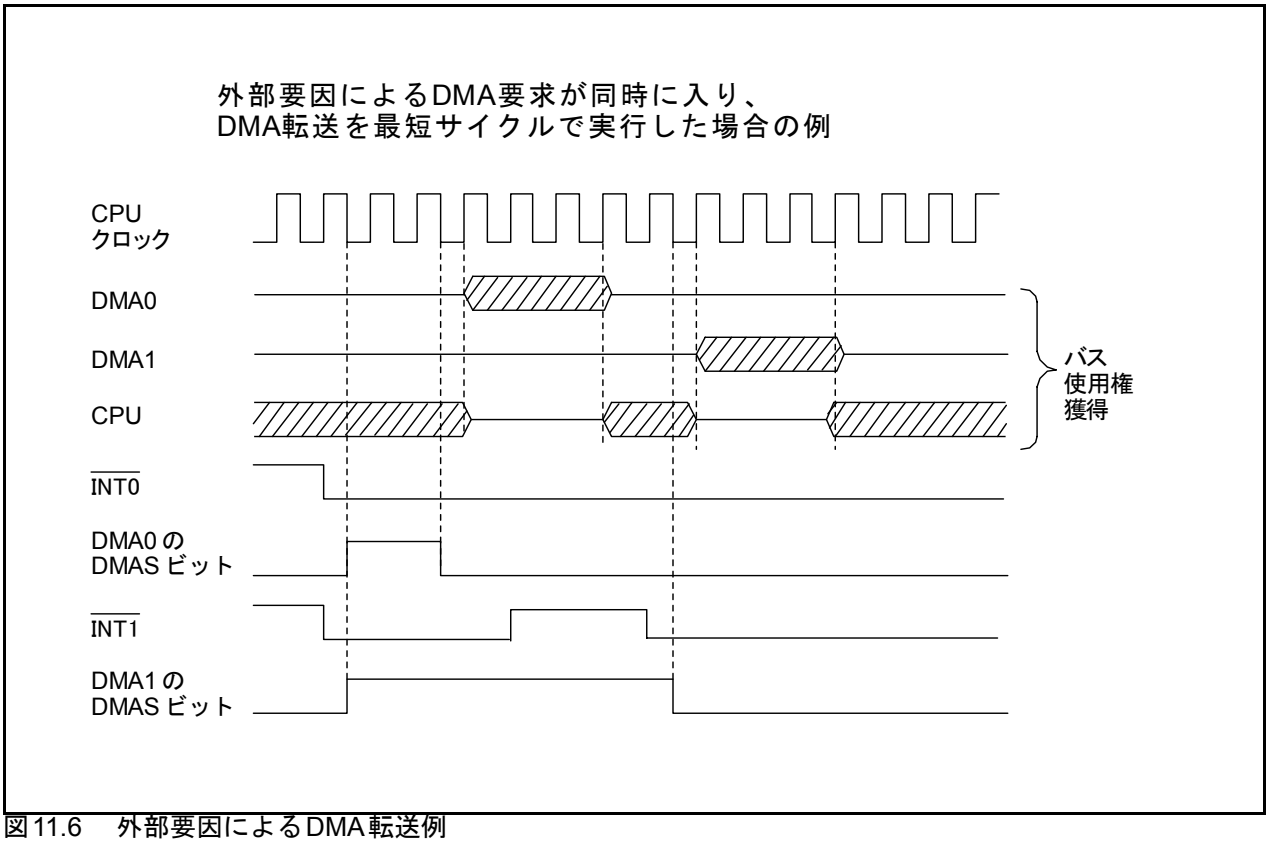


図11.6 外部要因によるDMA転送例

12. タイマ

16ビットタイマが6本あります。6本のタイマは、持っている機能によってタイマA(3本)とタイマB(3本)の2種類に分類できます。すべてのタイマは、それぞれ独立して動作します。各タイマのカウントソースは、カウント、リロードなどのタイマ動作の動作クロックになります。図12.1にタイマA構成、図12.2にタイマB構成を示します。

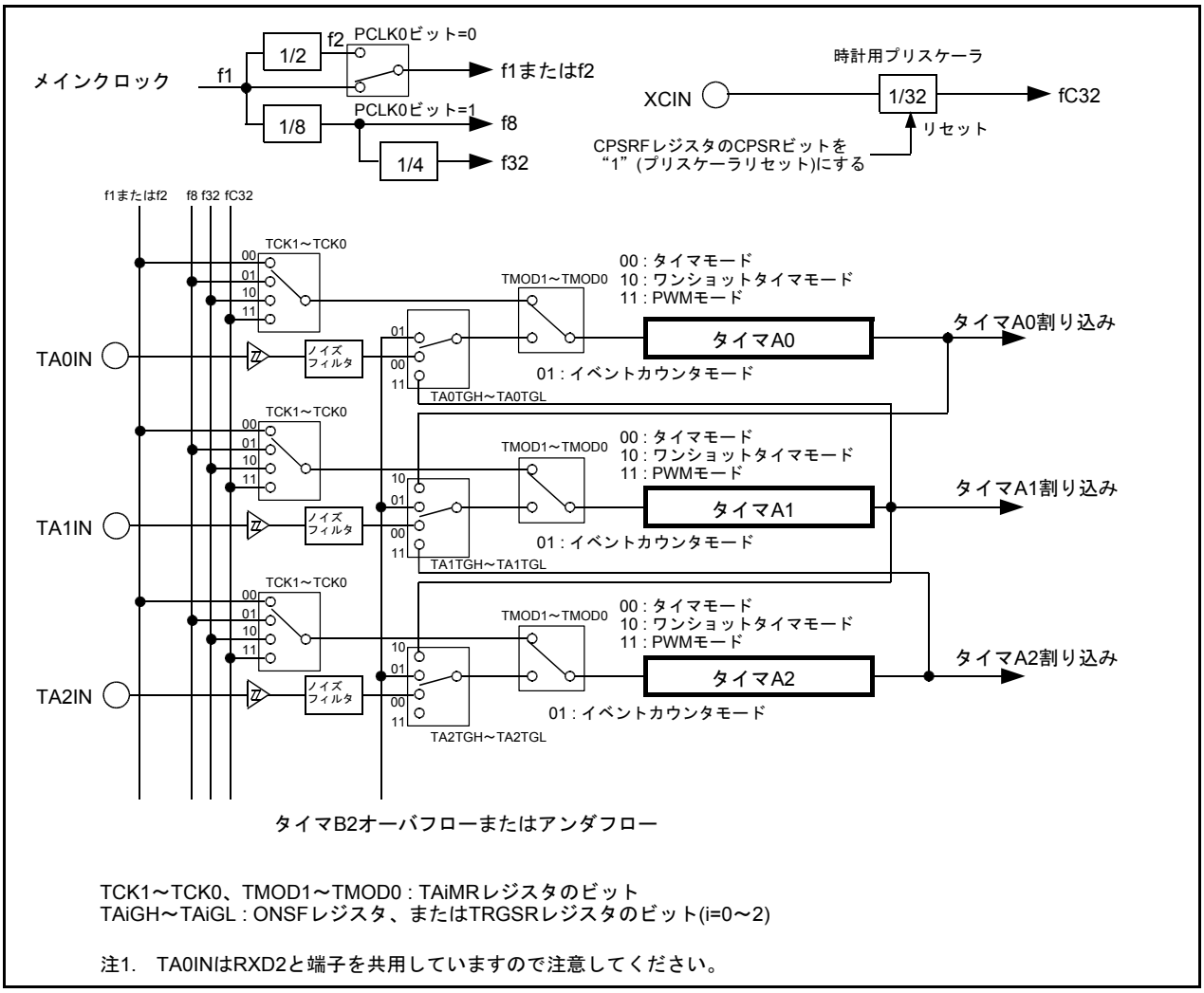


図12.1 タイマA構成

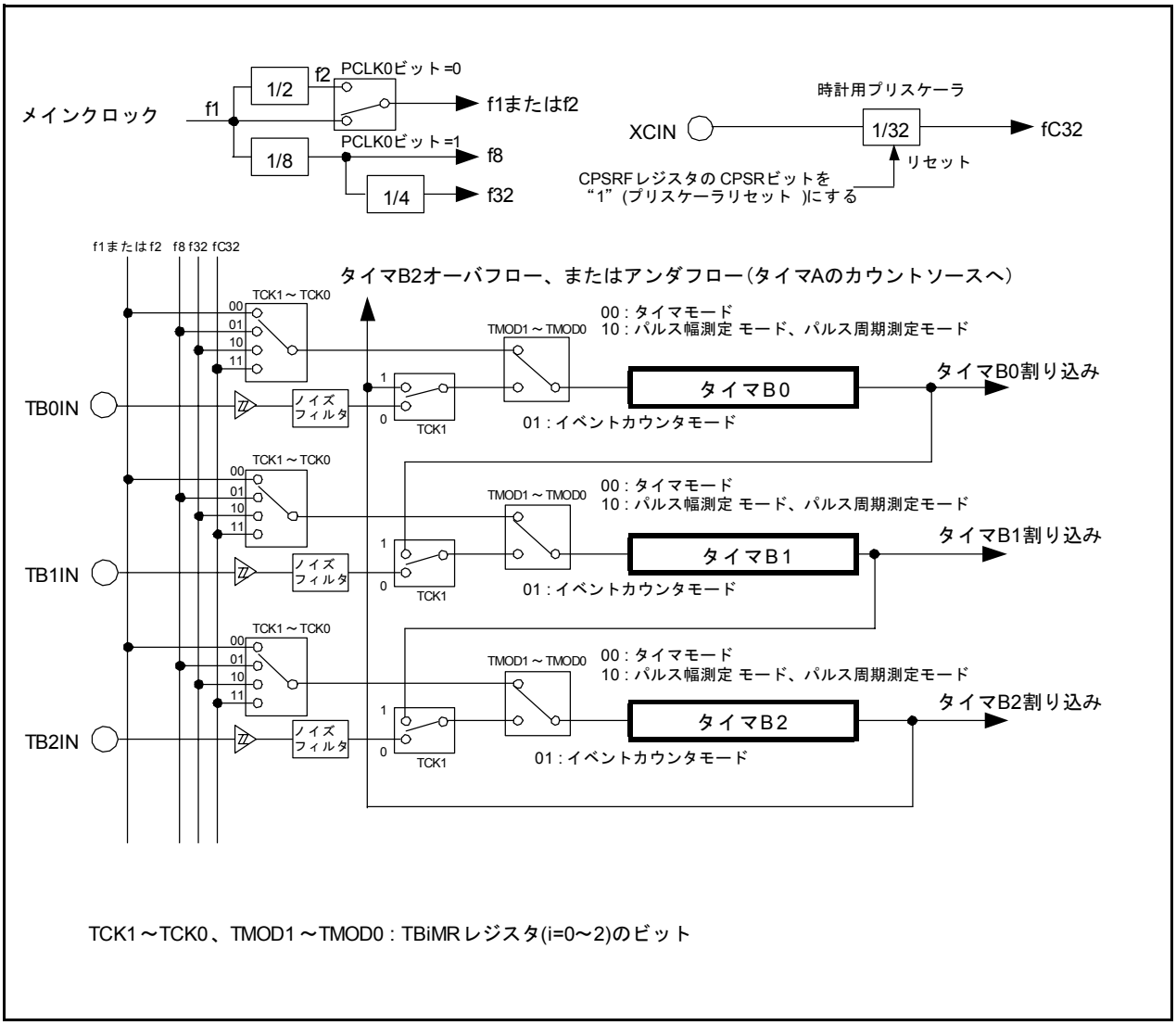

メインクロック
f1
1/2
f2
PCLK0ビット=0
f1またはf2
1/8
PCLK0ビット=1
f8
1/4
f32
時計用プリスケーラ
XCIN
1/32
fC32
リセット
CPSRFレジスタのCPSRビットを
“1”(プリスケーラリセット)にする
f1またはf2 f8 f32 fC32
タイマB2オーバフロー、またはアンダフロー(タイマAのカウントソースへ)
TCK1～TCK0
00
01
10
11
TMOD1～TMOD0
00：タイマモード
10：パルス幅測定 モード、パルス周期測定モード
01：イベントカウンタモード
TB0IN
ノイズフィルタ
TCK1
タイマB0
タイマB0割り込み
TB1IN
タイマB1
タイマB1割り込み
TB2IN
タイマB2
タイマB2割り込み
TCK1～TCK0、TMOD1～TMOD0：TBiMRレジスタ(i=0～2)のビット

図12.2 タイマB構成

12.1 タイマA

図12.3にタイマAブロック図、図12.4～図12.6にタイマA関連レジスタを示します。

タイマAは、次の4種類のモードがあり、イベントカウンタモードを除いて、タイマA0～A2は同一の機能を持ちます。モードは、TAiMRレジスタ(i=0～2)のTMOD1～TMOD0ビットで選択できます。

- タイマモード　内部カウントソースをカウントするモード
- イベントカウンタモード　外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモード
- ワンショットタイマモード　カウント値が“0000h”になるまでの間、1度だけパルスを出力するモード
- PWMモード　任意の幅のパルスを連続して出力するモード

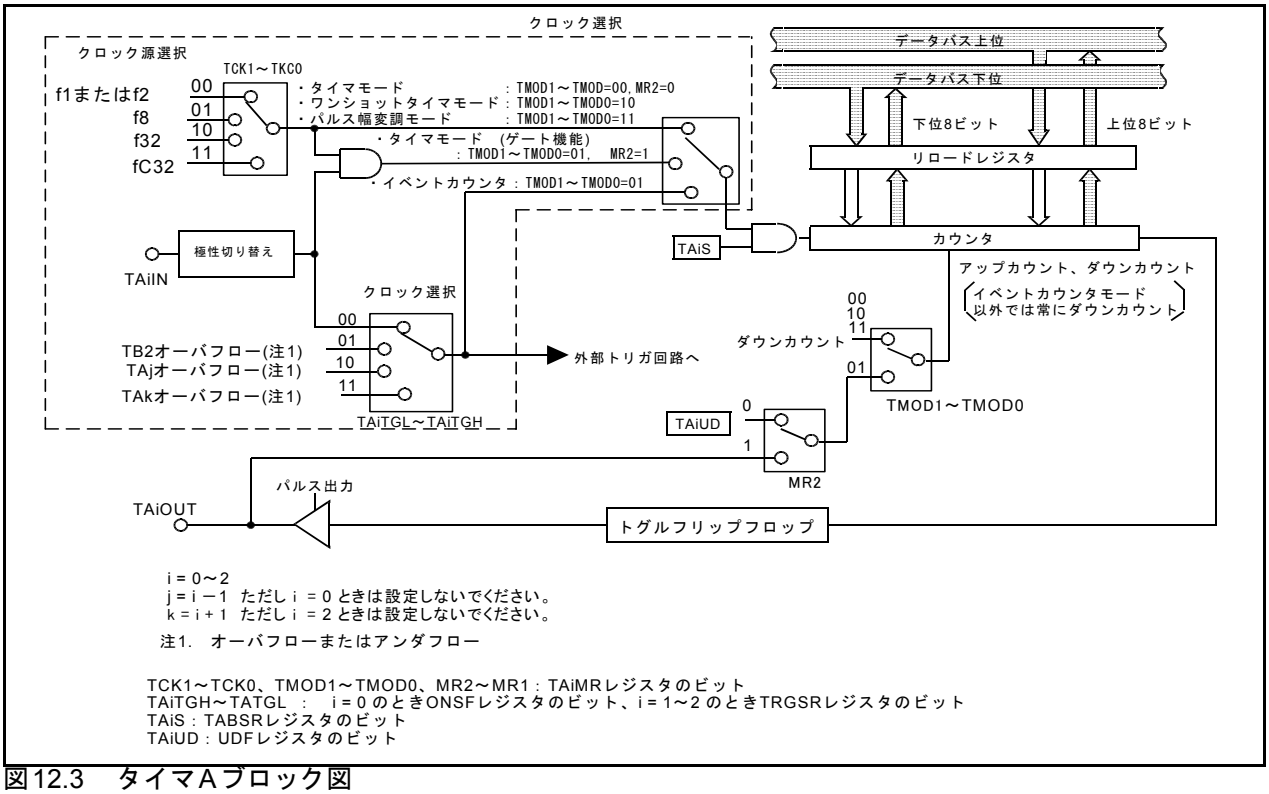
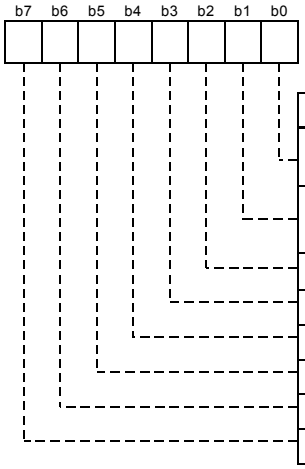


図12.3　タイマAブロック図

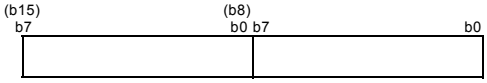
タイマAiモードレジスタ(i=0～2)



シンボル	アドレス	リセット後の値
TA0MR～TA2MR	0396h～0398h番地	00h

ビットシンボル	ビット名	機　　能	RW
TMOD0	動作モード選択ビット	b1 b0 0 0：タイマモード 0 1：イベントカウンタモード 1 0：ワンショットタイマモード 1 1：パルス幅変調(PWM)モード	RW
TMOD1			RW
MR0	動作モードによって機能が異なる		RW
MR1			RW
MR2			RW
MR3			RW
TCK0	カウントソース選択ビット (動作モードによって機能が異なる)		RW
TCK1			RW

タイマAiレジスタ(i=0～2)(注1)



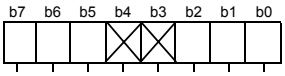
シンボル	アドレス	リセット後の値
TA0	0387h-0386h番地	不定
TA1	0389h-0388h番地	不定
TA2	038Bh-038Ah番地	不定

モード	機　　能	設定範囲	RW
タイマモード	設定値をnとすると、カウントソースをn+1分周する	0000h～FFFFh	RW
イベントカウンタモード	設定値をnとすると、アップカウント時、カウントソースをFFFFh-n+1分周し、ダウンカウント時、カウントソースをn+1分周する (注5)	0000h～FFFFh	RW
ワンショットタイマモード	設定値をnとすると、カウントソースをn分周し、停止する	0000h～FFFFh (注2、注4)	WO
パルス幅変調モード (16ビットPWM)	設定値をn、カウントソースの周波数をfjとすると次のとおり動作する PWMの周期：$(2^{16}-1)$ / fj PWMパルスの“H”幅：n / fj	0000h～FFFEh (注3、注4)	WO
パルス幅変調モード (8ビットPWM)	上位番地の設定値をn、下位番地の設定値をm、カウントソースの周波数をfjとすると次のとおり動作する PWMの周期：$(2^{8}-1)\times(m+1)$ / fj PWMパルスの“H”幅：(m+1)n / fj	00h～FEh (上位番地) 00h～FFh (下位番地) (注3、注4)	WO

注1.　16ビット単位でアクセスしてください。
注2.　TAiレジスタを“0000h”にした場合、カウンタは動作せず、タイマAi割り込み要求は発生しません。また、パルス出力ありを選択した場合、TAiOUT端子からパルスは出力されません。
注3.　TAiレジスタを“0000h”にした場合、パルス幅変調器は動作せず、TAiOUT端子の出力レベルは“L”のままで、タイマAi割り込み要求も発生しません。また、8ビットパルス幅変調器として動作しているとき、TAiレジスタの上位8ビットに“00h”を設定した場合も同様です。
注4.　TAiレジスタへはMOV命令を使用して書いてください。
注5.　外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントします。

図12.4　TA0MR～TA2MR、TA0～TA2レジスタ

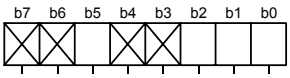
カウント開始フラグ



シンボル	アドレス	リセット後の値
TABSR	0380h番地	000XX000b

ビットシンボル	ビット名	機　　能	RW
TA0S	タイマA0カウント開始フラグ	0：カウント停止 1：カウント開始	RW
TA1S	タイマA1カウント開始フラグ		RW
TA2S	タイマA2カウント開始フラグ		RW
——— (b4-b3)	何も配置されていない。書く場合、″0″ を書いてください。 読んだ場合、その値は不定。		—
TB0S	タイマB0カウント開始フラグ	0：カウント停止 1：カウント開始	RW
TB1S	タイマB1カウント開始フラグ		RW
TB2S	タイマB2カウント開始フラグ		RW

アップダウンフラグ(注1)



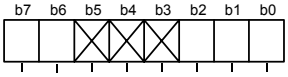
シンボル	アドレス	リセット後の値
UDF	0384h番地	XX0XX000b

ビットシンボル	ビット名	機　　能	RW
TA0UD	タイマA0アップダウンフラグ	0：ダウンカウント 1：アップカウント イベントカウンタモード時、TAiMRレジスタのMR2ビットを“0”(切り替え要因はUDFレジスタ)にすると有効になります	RW
TA1UD	タイマA1アップダウンフラグ		RW
TA2UD	タイマA2アップダウンフラグ		RW
——— (b4-b3)	何も配置されていない。書く場合、″0″ を書いてください。 読んだ場合、その値は不定。		—
TA2P	タイマA2二相パルス信号処理機能選択ビット	0：二相パルス信号処理機能禁止 1：二相パルス信号処理機能許可 (注2、注3)	WO
——— (b7-b6)	何も配置されていない。書く場合、″0″ を書いてください。 読んだ場合、その値は不定。		—

注1. UDFレジスタへはMOV命令を使用して書いてください。
注2. TA2IN、TA2OUT端子に対応するポート方向ビットは“0”(入力モード)にしてください。
注3. 二相パルス信号処理機能を使用しない場合、タイマA2に対応するビットを“0”にしてください。

図12.5 TABSR、UDF レジスタ

ワンショット開始フラグ

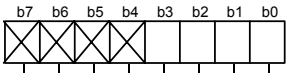


シンボル	アドレス	リセット後の値
ONSF	0382h番地	00XXX000b

ビットシンボル	ビット名	機　　能	RW
TA0OS	タイマA0ワンショット開始フラグ	TAiMRレジスタ(i=0～2)のTMOD1～TMOD0ビットが“10b”(ワンショットタイマモード)、かつTAiMRレジスタのMR2ビットが“0”(TAiOSビット有効)の場合、このビットを“1”にすると、タイマのカウントを開始する。 読んだ場合、その値は“0”。	RW
TA1OS	タイマA1ワンショット開始フラグ		RW
TA2OS	タイマA2ワンショット開始フラグ		RW
——— (b5-b3)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
TA0TGL	タイマA0イベント／トリガ選択ビット	b7 b6 0 0 : TA0IN端子の入力を選択(注1) 0 1 : TB2を選択 (注2) 1 0 : 設定しないでください 1 1 : TA1を選択 (注2)	RW
TA0TGH			RW

注1. PD7レジスタのPD7_1ビットを“0”(入力モード)にしてください。
注2. オーバフローまたはアンダフロー

トリガ選択レジスタ

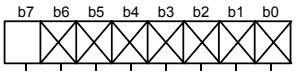


シンボル	アドレス	リセット後の値
TRGSR	0383h番地	XXXX0000h

ビットシンボル	ビット名	機　　能	RW
TA1TGL	タイマA1イベント／トリガ選択ビット	b1 b0 0 0 : TA1IN端子の入力を選択(注1) 0 1 : TB2を選択 (注2) 1 0 : TA0を選択 (注2) 1 1 : TA2を選択 (注2)	RW
TA1TGH			RW
TA2TGL	タイマA2イベント／トリガ選択ビット	b3 b2 0 0 : TA2IN端子の入力を選択(注1) 0 1 : TB2を選択 (注2) 1 0 : TA1を選択 (注2) 1 1 : 設定しないでください	RW
TA2TGH			RW
——— (b7-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1. TA1IN～TA2IN端子に対応するポート方向ビットは“0”(入力モード)にしてください。
注2. オーバーフローまたはアンダフロー

時計用プリスケーラリセットフラグ



シンボル	アドレス	リセット後の値
CPSRF	0381h番地	0XXXXXXXb

ビットシンボル	ビット名	機　　能	RW
——— (b6-b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
CPSR	時計用プリスケーラリセットフラグ	このビットを“1”にすると時計用プリスケーラが初期化される (読んだ場合、その値は“0”)	RW

図12.6 ONSF、TRGSR、CPSRFレジスタ

12.1.1　タイマモード

内部で生成されたカウントソースをカウントするモードです(表12.1)。図12.7にタイマモード時のTAiMRレジスタを示します。

表12.1　タイマモードの仕様

項目	仕様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	・ダウンカウント ・アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)　n:TAiレジスタ(i=0～2)の設定値　0000h～FFFFh
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TAiIN端子機能	入出力ポートまたはゲート入力
TAiOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	・カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中(ただし、1回目のカウントソース入力後) TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	・ゲート機能 TAiIN端子の入力信号によってカウント開始、停止が可能 ・パルス出力機能 アンダフローするごとにTAiOUT端子の出力極性が反転。TAiSビットが“0”(カウント停止)の期間は“L”を出力

タイマAiモードレジスタ(i=0～2)

b7	b6	b5	b4	b3	b2	b1	b0
		0				0	0

シンボル	アドレス	リセット後の値
TA0MR～TA2MR	0396h～0398h番地	00h

ビットシンボル	ビット名	機　能	RW
TMOD0	動作モード選択ビット	b1 b0 0 0：タイマモード	RW
TMOD1			RW
MR0	パルス出力機能選択ビット	0：パルス出力なし (TAiOUT端子は入出力ポート) 1：パルス出力あり(注1) (TAiOUT端子はパルス出力端子)	RW
MR1	ゲート機能選択ビット	b4 b3 0 0:, 0 1: ゲート機能なし (TAiIN端子は入出力ポート) 1 0: TAiIN端子に“L”が入力されている期間カウントする(注2) 1 1: TAiIN端子に“H”が入力されている期間カウントする(注2)	RW
MR2			RW
MR3	タイマモードでは“0”にしてください		RW
TCK0	カウントソース選択ビット	b7 b6 0 0：f1または f2 0 1：f8 1 0：f32 1 1：fC32	RW
TCK1			RW

注1.　TA0OUT端子はNチャネルオープンドレイン出力。
注2.　TAiIN端子に対応するポート方向ビットは“0”(入力モード)にしてください。

図12.7　タイマモード時のTAiMRレジスタ

12.1.2 イベントカウンタモード

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです。タイマA2は二相の外部信号をカウントできます。表12.2にイベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)、図12.8にイベントカウンタモード時のTAiMRレジスタ(二相パルス信号処理を使用しない場合)を示します。

表12.2 イベントカウンタモードの仕様(二相パルス信号処理を使用しない場合)

項目	仕様
カウントソース	・TAiIN端子(i=0～2)に入力された外部信号(プログラムで有効エッジを選択可能) ・タイマB2のオーバフローまたはアンダフロー、タイマAj (j=i - 1、ただしi=0のときは設定しないでください)のオーバフローまたはアンダフロー、タイマAk (k=i+1、ただしi=2のときは設定しないでください) のオーバフローまたはアンダフロー
カウント動作	・アップカウントまたはダウンカウントを外部信号またはプログラムで選択可能 ・オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリーラン機能選択時は、リロードせずカウントを継続する。
分周比	・アップカウント時 1/(FFFFh－n+1) ・ダウンカウント時 1/(n+1) n:TAiレジスタの設定値 0000h～FFFFh
カウント開始条件	TABSRレジスタのTAiSビットを“1”(カウント開始)にする
カウント停止条件	TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TAiIN端子機能	入出力ポートまたはカウントソース入力
TAiOUT端子機能	入出力ポート、パルス出力、またはアップカウント/ダウンカウント切り替え入力
タイマの読み出し	TAiレジスタを読むと、カウント値が読める
タイマの書き込み	・カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる ・カウント中(ただし、1回目のカウントソース入力後)TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	・フリーランカウント機能 オーバフローまたはアンダフローが発生してもリロードレジスタからリロード しない ・パルス出力機能 オーバフローまたはアンダフローするごとにTAiOUT端子の出力極性が反転。 TAiSビットが“0”(カウント停止中)の期間は“L”を出力

タイマAiモードレジスタ(i=0～2) (二相パルス信号処理を使用しない場合)

b7	b6	b5	b4	b3	b2	b1	b0
		0				0	1

シンボル	アドレス	リセット後の値
TA0MR～TA2MR	0396h ～0398h 番地	00h

ビットシンボル	ビット名	機　能	RW
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード (注1)	RW
TMOD1			RW
MR0	パルス出力機能選択ビット	0 : パルス出力なし (TAiOUT 端子は入出力ポート) 1 : パルス出力あり (注2) (TAiOUT 端子はパルス出力端子)	RW
MR1	カウント極性選択ビット (注3)	0 : 外部信号の立ち下がりをカウント 1 : 外部信号の立ち上がりをカウント	RW
MR2	アップ／ダウン切り替え 要因選択ビット	0 : UDFレジスタ 1 : TAiOUT端子の入力信号 (注 4)	RW
MR3	イベントカウンタモード では“ 0”にしてください		RW
TCK0	カウントタイプ選択ビット	0 :リロードタイプ 1 :フリーランタイプ	RW
TCK1	二相パルス信号処理を使用しない 場合は “0”、“ 1”いずれでも可		RW

注1. イベントカウンタモードではカウントソースを ONSFレジスタ、TRGSRレジスタで選択できます。
注2. TA 0OUT端子は Nチャネルオープンドレイン出力。
注3. ONSFレジスタまたは TRGSRレジスタの TAiTGH、TAiTGL ビットが“ 00b” (TAilN端子の入力)のとき有効。
注4. TAiOUT 端子に“ L”が入力されているときダウンカウント“ H”が入力されているときアップカウントします。
TAiOUT 端子に対応するポート 方向ビットは“ 0” (入力モード)にしてください。

図12.8 イベントカウンタモード時のTAiMRレジスタ (二相パルス信号処理を使用しない場合)

表12.3にイベントカウンタモードの仕様(タイマA2で二相パルス信号処理を使用する場合)、図12.9にイベントカウンタモード時のTA2MRレジスタ(タイマA2で二相パルス信号処理を使用する場合)を示します。

表12.3　イベントカウンタモードの仕様(タイマA2で二相パルス信号処理を使用する場合)

項　目	仕　様
カウントソース	•TA2IN、TA2OUT端子に入力された二相パルス信号
カウント動作	•アップカウントまたはダウンカウントを、二相パルス信号によって切り替え可 •オーバフローまたはアンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続する。フリーラン機能選択時は、リロードせずカウントを継続する。
分周比	•アップカウント時　1/(FFFFh－n+1) •ダウンカウント時　1/(n+1)　　n : TAiレジスタの設定値　0000h～FFFFh
カウント開始条件	TABSRレジスタのTA2Sビットを“1”(カウント開始)にする
カウント停止条件	TA2Sビットを“0”(カウント停止)にする
割り込み要求発生タイミング	オーバフロー時またはアンダフロー時
TA2IN端子機能	二相パルス入力
TA2OUT端子機能	二相パルス入力
タイマの読み出し	タイマA2レジスタを読むと、カウント値が読める
タイマの書き込み	•カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTA2レジスタに書くと、リロードレジスタ、カウンタの両方に書かれる •カウント中(ただし、1回目のカウントソース入力後)TA2レジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	•TA2OUT端子の入力信号が“H”の期間、TA2IN端子の立ち上がりをアップカウントし、立ち下がりをダウンカウントします。 TA2OUT TA2IN ｱｯﾌﾟ ｶｳﾝﾄ　ｱｯﾌﾟ ｶｳﾝﾄ　ｱｯﾌﾟ ｶｳﾝﾄ　ﾀﾞｳﾝ ｶｳﾝﾄ　ﾀﾞｳﾝ ｶｳﾝﾄ　ﾀﾞｳﾝ ｶｳﾝﾄ

タイマA2モードレジスタ(二相パルス信号処理を使用する場合)

b7	b6	b5	b4	b3	b2	b1	b0
0		0	1	0	0	0	1

シンボル	アドレス	リセット後の値
TA2MR	0398h番地	00h

ビットシンボル	ビット名	機　能	RW
TMOD0	動作モード選択ビット	b1 b0 0 1 : イベントカウンタモード	RW
TMOD1			RW
MR0	二相パルス信号処理を使用する場合、“0”にしてください。		RW
MR1	二相パルス信号処理を使用する場合、“0”にしてください。		RW
MR2	二相パルス信号処理を使用する場合、“1”にしてください。		RW
MR3	二相パルス信号処理を使用する場合、“0”にしてください。		RW
TCK0	カウント動作タイプ選択ビット	0 : リロードタイプ 1 : フリーランタイプ	RW
TCK1	二相パルス処理動作を使用する場合、“0”にしてください。(注1)		RW

注1.　二相パルス信号処理を行う場合、次のとおりしてください。
・UDFレジスタのTA2Pビットを“1”(二相パルス信号処理機能を許可)にする
・TRGSRレジスタのTA2TGH、TA2TGLビットを“00b”(TA2IN端子入力)にする
・TA2IN、TA2OUTに対応するポート方向ビットを“0”(入力モード)にする

図12.9　イベントカウンタモード時のTA2MRレジスタ(タイマA2で二相パルス信号処理を使用する場合)

12.1.3　ワンショットタイマモード

1度のトリガに対して1度だけタイマを動作するモードです(表12.4)。トリガが発生するとその時点から任意の期間、タイマが動作します。図12.10にワンショットタイマモード時のTAiMRレジスタを示します。

表12.4　ワンショットタイマモードの仕様

項　目	仕　様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	•ダウンカウント •カウンタが0000hになるタイミングでリロードしてカウントを停止 •カウント中にトリガが発生した場合、リロードしてカウントを継続
分周比	1/n n:TAiレジスタ(i=0～2)の設定値　0000h～FFFFh ただし、0000hを設定した場合、カウンタは動作しない
カウント開始条件	TABSRレジスタのTAiSビットが“1”(カウント開始)で、かつ次のトリガが発生 •TAiIN端子からの外部トリガ入力 •タイマB2のオーバフローまたはアンダフロー、タイマAj(j=i-1、ただしi=0のときは設定しないでください)のオーバフローまたはアンダフロー、タイマAk(k=i+1、ただしi=2のときは設定しないでください)のオーバフローまたはアンダフロー •ONSFレジスタのTAiOSビットを“1”(タイマスタート)にする
カウント停止条件	•カウント値が0000hになりリロードした後 •TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	カウント値が0000hになるタイミング
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	入出力ポートまたはパルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	•カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる •カウント中(ただし、1回目のカウントソース入力後)TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)
選択機能	•パルス出力機能 カウント停止中は“L”、カウント中は“H”を出力

タイマAiモードレジスタ(i=0～2)

b7	b6	b5	b4	b3	b2	b1	b0
		0				1	0

シンボル	アドレス	リセット後の値
TA0MR～TA2MR	0396h～0398h番地	00h

ビットシンボル	ビット名	機　能	RW
TMOD0	動作モード選択ビット	b1 b0 1 0：ワンショットタイマモード	RW
TMOD1			RW
MR0	パルス出力機能選択ビット	0：パルス出力なし (TAiOUT端子は入出力ポート) 1：パルス出力あり(注1) (TAiOUT端子はパルス出力端子)	RW
MR1	外部トリガ選択ビット(注2)	0：TAiIN端子の入力信号の立ち下がり(注3) 1：TAiIN端子の入力信号の立ち上がり(注3)	RW
MR2	トリガ選択ビット	0：TAiOSビットが有効 1：TAiTGH～TAiTGLビットで選択	RW
MR3	ワンショットタイマモードでは“0”にしてください		RW
TCK0	カウントソース選択ビット	b7 b6 0 0：f1または f2 0 1：f8 1 0：f32 1 1：fC32	RW
TCK1			RW

注1.　TA0OUT端子はNチャネルオープンドレイン出力。
注2.　ONSFレジスタまたはTRGSRレジスタのTAiTGH、TAiTGLビットが“00b”(TAiIN端子の入力)のとき有効。
注3.　TAiIN端子に対応するポート方向ビットは“0”(入力モード)にしてください。

図12.10　ワンショットタイマモード時のTAiMRレジスタ

12.1.4　パルス幅変調モード(PWMモード)

任意の幅のパルスを連続して出力するモードです(表12.5)。このモードでは、カウンタは、16ビットパルス幅変調器、8ビットパルス幅変調器のいずれかのパルス幅変調器として動作します。図12.11にパルス幅変調モード時のTAiMRレジスタ、図12.12に16ビットパルス幅変調器の動作例、図12.13に8ビットパルス幅変調器の動作例を示します。

表12.5　パルス幅変調モードの仕様

項　目	仕　様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	•ダウンカウント(8ビット、または16ビットパルス幅変調器として動作) •PWMパルスの立ち上がりでリロードしてカウントを継続 •カウント中にトリガが発生した場合、カウントに影響しない
16ビットPWM	•“H”幅 n / fj　n:TAiレジスタの設定値(i=0～2) •周期　(2^{16}－1) / fj固定　fj:カウントソースの周波数(f1、f2、f8、f32、fC32)
8ビットPWM	•“H”幅 n×(m+1) / fj　n:TAiレジスタの上位番地の設定値 •周期　(2^{8}－1) × (m+1) / fj　m:TAiレジスタの下位番地の設定値
カウント開始条件	•TABSRレジスタのTAiSビットを“1”(カウント開始)にする •TAiSビットが“1”で、かつTAiIN端子からの外部トリガ入力 •TAiSビットが“1”で、かつ次のトリガが発生 タイマB2のオーバフローまたはアンダフロー、タイマAj(j=i - 1、ただしi=0のときは設定しないでください)のオーバフローまたはアンダフロー、タイマAk(k=i+1、ただしi=2　のときは設定しないでください)のオーバフローまたはアンダフロー
カウント停止条件	•TAiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	PWMパルスの立ち下がり時
TAiIN端子機能	入出力ポートまたはトリガ入力
TAiOUT端子機能	パルス出力
タイマの読み出し	TAiレジスタを読むと、不定値が読める
タイマの書き込み	•カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTAiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる •カウント中(ただし、1回目のカウントソース入力後)TAiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

タイマAiモードレジスタ(i=0～2)

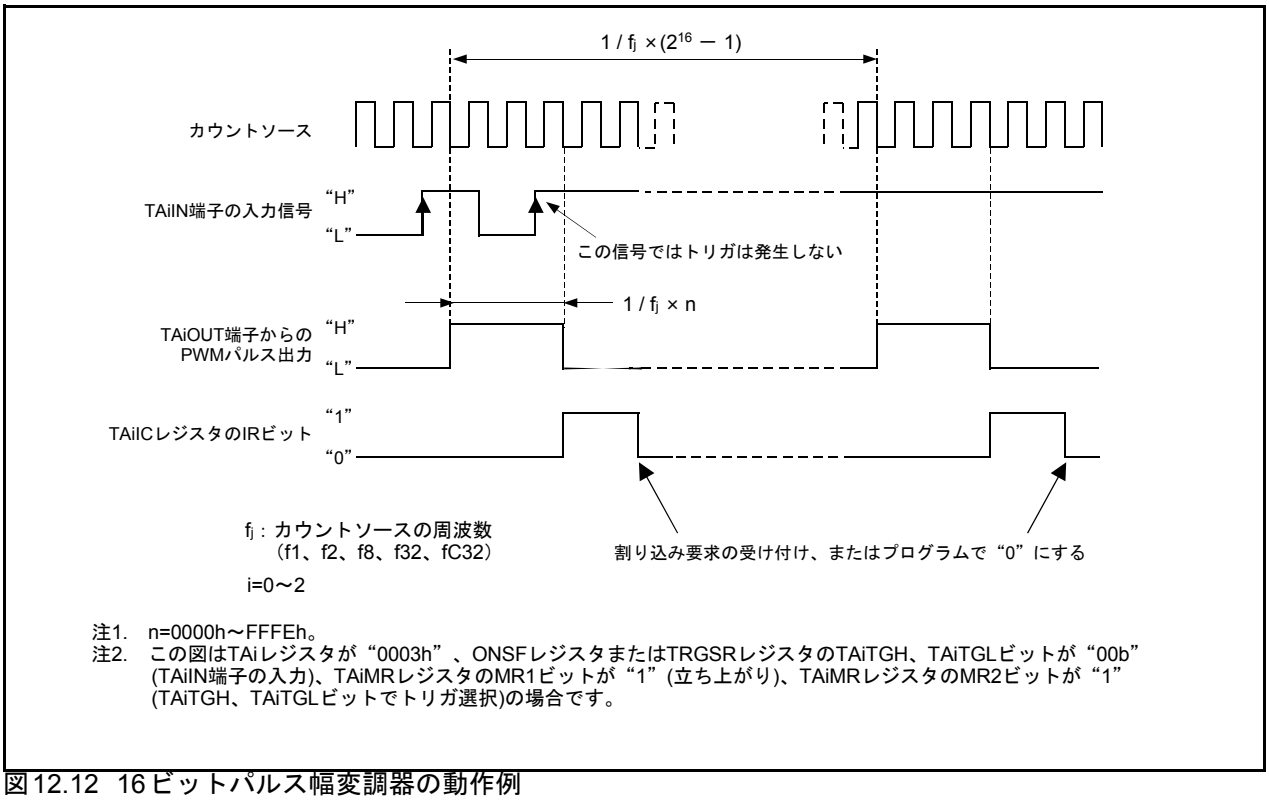
b7	b6	b5	b4	b3	b2	b1	b0
						1	1

シンボル	アドレス	リセット後の値
TA0MR～TA2MR	0396h～0398h番地	00h

ビットシンボル	ビット名	機　能	RW
TMOD0	動作モード選択ビット	b1 b0 1 1：パルス幅変調(PWM)モード(注1)	RW
TMOD1			RW
MR0	パルス出力機能選択ビット	0:パルス出力なし (TAiOUT端子は入出力ポート) 1:パルス出力あり(注4) (TAiOUT端子はパルス出力端子)	RW
MR1	外部トリガ選択ビット(注2)	0：TAiIN端子の入力信号の立ち下がり(注3) 1：TAiIN端子の入力信号の立ち上がり(注3)	RW
MR2	トリガ選択ビット	0：TABSRレジスタのTAiSビットへの“1”書き込み 1：TAiTGH～TAiTGLビットで選択	RW
MR3	16/8ビットPWMモード選択ビット	0：16ビットパルス幅変調器として動作 1：8ビットパルス幅変調器として動作	RW
TCK0	カウントソース選択ビット	b7 b6 0 0：f1または f2 0 1：f8 1 0：f32 1 1：fC32	RW
TCK1			RW

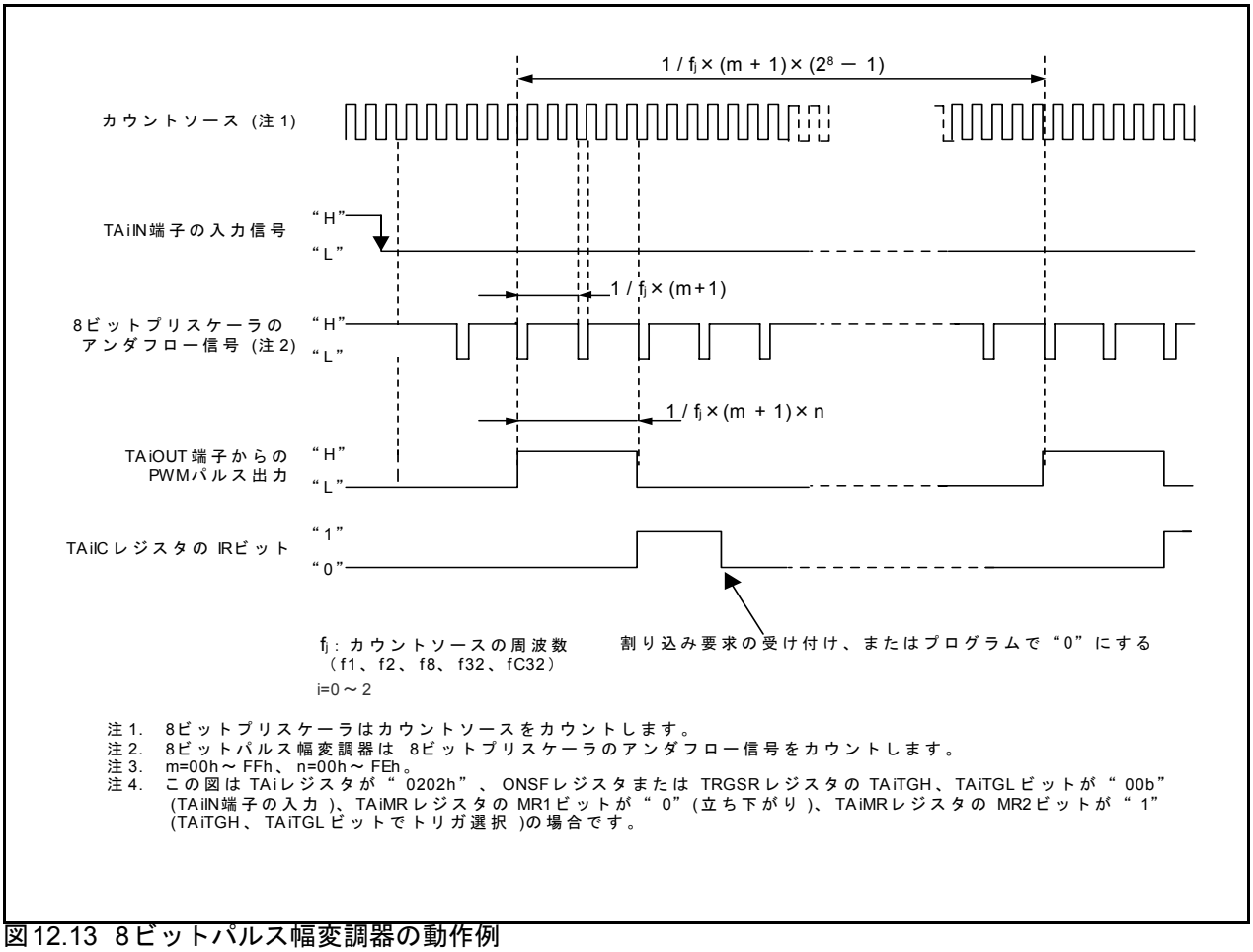
注1.　TA0OUT端子はNチャネルオープンドレイン出力。
注2.　ONSFレジスタまたは TRGSRレジスタのTAiTGH、TAiTGLビットが“00b”(TAiIN端子の入力)のとき有効。
注3.　TAiIN端子に対応するポート 方向ビットは“0”(入力モード)にしてください。
注4.　PWMパルスを出力する場合は、“1”(パルス出力あり)にしてください。

図12.11　パルス幅変調モード時のTAiMRレジスタ



注1. n=0000h～FFFEh。
注2. この図はTAiレジスタが“0003h”、ONSFレジスタまたはTRGSRレジスタのTAiTGH、TAiTGLビットが“00b”(TAiIN端子の入力)、TAiMRレジスタのMR1ビットが“1”(立ち上がり)、TAiMRレジスタのMR2ビットが“1”(TAiTGH、TAiTGLビットでトリガ選択)の場合です。

図12.12 16ビットパルス幅変調器の動作例



注1. 8ビットプリスケーラはカウントソースをカウントします。
注2. 8ビットパルス幅変調器は 8ビットプリスケーラのアンダフロー信号をカウントします。
注3. m=00h～FFh、n=00h～FEh。
注4. この図はTAiレジスタが“0202h”、ONSFレジスタまたはTRGSRレジスタのTAiTGH、TAiTGLビットが“00b”(TAiIN端子の入力)、TAiMRレジスタのMR1ビットが“0”(立ち下がり)、TAiMRレジスタのMR2ビットが“1”(TAiTGH、TAiTGLビットでトリガ選択)の場合です。

図12.13 8ビットパルス幅変調器の動作例

12.2 タイマB

図12.14にタイマBブロック図、図12.15、図12.16にタイマB関連レジスタを示します。

タイマBは次の3種類のモードがあり、モードは、TBiMRレジスタ(i=0～2)のTMOD1～TMOD0ビットで選択できます。

- タイマモード　内部カウントソースをカウントするモード
- イベントカウンタモード　外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモード
- パルス周期測定モード、パルス幅変調モード
  外部パルスの周期またはパルス幅を測定するモード

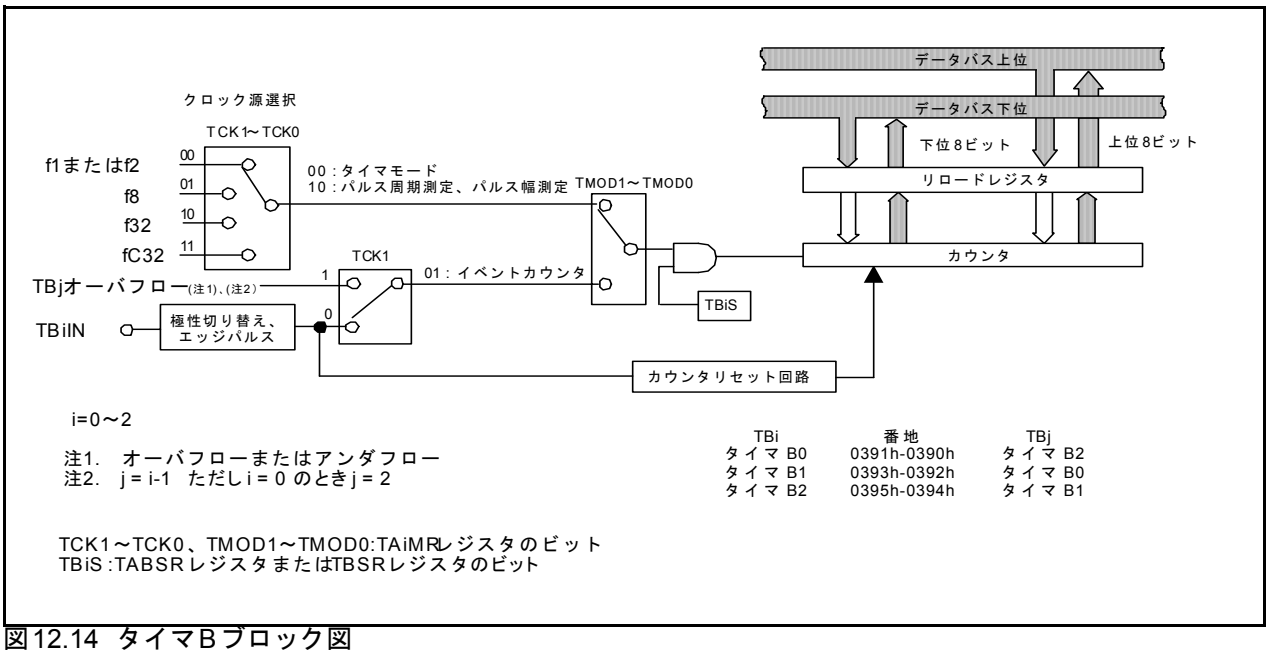
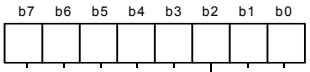


図12.14 タイマBブロック図

タイマBiモードレジスタ(i=0～2)

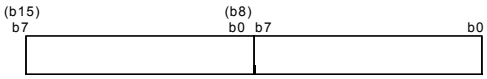


シンボル	アドレス	リセット後の値
TB0MR～TB2MR	039Bh～039Dh番地	00XX0000b

ビットシンボル	ビット名	機　　能	RW
TMOD0	動作モード選択ビット	b1 b0 00：タイマモード 01：イベントカウンタモード 10：パルス周期測定モード、パルス幅測定モード 11：設定しないでください	RW
TMOD1			RW
MR0	動作モードによって機能が異なる		RW
MR1			RW
MR2			RW (注1) — (注2)
MR3			RO
TCK0	カウントソース選択ビット（動作モードによって機能が異なる）		RW
TCK1			RW

注1.　タイマB0。
注2.　タイマB1、タイマB2。

タイマBiレジスタ(i=0～2) (注1)



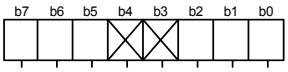
シンボル	アドレス	リセット後の値
TB0	0391h-0390h番地	不定
TB1	0393h-0392h番地	不定
TB2	0395h-0394h番地	不定

モード	機　　能	設定範囲	RW
タイマモード	設定値をnとすると、カウントソースをn+1分周する	0000h～FFFFh	RW
イベントカウンタモード	設定値をnとすると、カウントソースをn+1分周する(注2)	0000h～FFFFh	RW
パルス周期測定モード パルス幅測定モード	パルス周期またはパルス幅を測定する	——	RO

注1.　16ビット単位でアクセスしてください。
注2.　外部からのパルス、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントします。

図12.15　TB0MR～TB2MR、TB0～TB2レジスタ

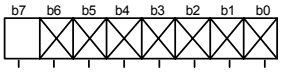
カウント開始フラグ



シンボル	アドレス	リセット後の値
TABSR	0380h番地	000XX000b

ビットシンボル	ビット名	機　能	RW
TA0S	タイマA0カウント開始フラグ	0：カウント停止 1：カウント開始	RW
TA1S	タイマA1カウント開始フラグ		RW
TA2S	タイマA2カウント開始フラグ		RW
——— (b4-b3)	何も配置されていない。書く場合、“ 0”を書いてください。 読んだ場合、その値は不定。		—
TB0S	タイマB0カウント開始フラグ	0：カウント停止 1：カウント開始	RW
TB1S	タイマB1カウント開始フラグ		RW
TB2S	タイマB2カウント開始フラグ		RW

時計用プリスケーラリセットフラグ



シンボル	アドレス	リセット後の値
CPSRF	0381h番地	0XXXXXXXb

ビットシンボル	ビット名	機　能	RW
——— (b6-b0)	何も配置されていない。書く場合、“ 0”を書いてください。 読んだ場合、その値は不定。		—
CPSR	時計用プリスケーラ リセットフラグ	このビットを“ 1”にすると時計用 プリスケーラが初期化される (読んだ場合、その値は“ 0”)	RW

図12.16 TABSR、CPSRFレジスタ

12.2.1　タイマモード

内部で生成されたカウントソースをカウントするモードです(表12.6)。図12.17にタイマモード時のTBiMRレジスタを示します。

表12.6　タイマモードの仕様

項　　目	仕　　様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	•ダウンカウント •アンダフロー時リロードレジスタの内容をリロードしてカウントを継続
分周比	1/(n+1)　n:TBiレジスタの設定値(i=0～2)　0000h～FFFFh
カウント開始条件	TBiSビット(注1)を“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	入出力ポート
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	•カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる •カウント中(ただし、1回目のカウントソース入力後) TBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

注1.　TB0S～TB2SビットはTABSRレジスタのビット5～7です。

タイマBiモードレジスタ(i=0～2)

b7	b6	b5	b4	b3	b2	b1	b0
						0	0

シンボル	アドレス	リセット後の値
TB0MR～TB2MR	039Bh～039Dh番地	00XX0000b

ビットシンボル	ビット名	機　　能	RW
TMOD0	動作モード選択ビット	b1 b0 0 0：タイマモード	RW
TMOD1			RW
MR0	タイマモードでは無効。 “0”または“1”いずれでも可。		RW
MR1			RW
MR2	TB0MRレジスタの場合 タイマモードでは“0”にしてください。		RW
	TB1MR、TB2MRレジスタの場合 何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
MR3	タイマモードで書く場合、“0”を書いてください。 タイマモードで読んだ場合、その値は不定。		RO
TCK0	カウントソース選択ビット	b7 b6 0 0：f1または f2 0 1：f8 1 0：f32 1 1：fC32	RW
TCK1			RW

図12.17　タイマモード時のTBiMRレジスタ

12.2.2 イベントカウンタモード

外部信号、他のタイマのオーバフロー、または他のタイマのアンダフローをカウントするモードです(表12.7)。図12.18にイベントカウンタモード時のTBiMRレジスタを示します。

表12.7 イベントカウンタモードの仕様

項　目	仕　様
カウントソース	•TBiIN端子(i=0～2)に入力された外部信号(カウントソースの有効エッジには立ち上がり、立下がり、または立下がりと立ち上がりをプログラムによって選択可) •タイマBjのオーバフローまたはアンダフロー(j=i - 1、ただしi=0のときj=2)
カウント動作	•ダウンカウント •アンダフロー時は、リロードレジスタの内容をリロードしてカウントを継続
分周比	•1/(n+1) n:TBiレジスタの設定値 0000h～FFFFh
カウント開始条件	TBiSビット(注1)を“1”(カウント開始)にする
カウント停止条件	TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	アンダフロー時
TBiIN端子機能	カウントソース入力
タイマの読み出し	TBiレジスタを読むと、カウント値が読める
タイマの書き込み	•カウント停止中とカウント開始後1回目のカウントソースが入力されるまでTBiレジスタに書くと、リロードレジスタ、カウンタの両方に書かれる •カウント中(ただし、1回目のカウントソース入力後)TBiレジスタに書くと、リロードレジスタに書かれる(次のリロード時に転送)

注1. TB0S～TB2SビットはTABSRレジスタのビット5～7です。

タイマBiモードレジスタ(i=0～2)

b7	b6	b5	b4	b3	b2	b1	b0
						0	1

シンボル	アドレス	リセット後の値
TB0MR～TB2MR	039Bh～039Dh番地	00XX0000b

ビットシンボル	ビット名	機　能	RW
TMOD0	動作モード選択ビット	b1 b0 01：イベントカウンタモード	RW
TMOD1			RW
MR0	カウント極性選択ビット(注1)	b3 b2 00：外部信号の立ち下がりをカウント 01：外部信号の立ち上がりをカウント 10：外部信号の立ち下がりと立ち上がりをカウント 11：設定しないでください	RW
MR1			RW
MR2	TB0MRレジスタの場合 イベントカウンタモード では“0”にしてください。		RW
	TB1MR、TB2MRレジスタの場合 何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
MR3	イベントカウンタモードで書く場合、“0”を書いてください。 イベントカウンタモードで読んだ場合、その値は不定。		RO
TCK0	イベントカウンタモードでは無効。 “0”または“1”いずれでも可。		RW
TCK1	イベントクロック選択	0：TBiIN端子からの入力(注2) 1：TBjのオーバフローまたはアンダフロー (j = i - 1　ただしi = 0のときj = 2)	RW

注1. TCK1ビットが“0”(TBiIN端子からの入力)の場合に有効です。TCK1ビットが“1”(TBjのオーバフローまたはアンダフロー)の場合は、“0”でも“1”でも可。
注2. TBiIN端子に対応するポート方向ビットは“0”(入力モード)にしてください。

図12.18 イベントカウンタモード時のTBiMRレジスタ

12.2.3　パルス周期測定モード、パルス幅測定モード

外部信号のパルス周期、またはパルス幅を測定するモードです(表12.8)。図12.19にパルス周期測定モード、パルス幅測定モード時のTBiMRレジスタを示します。図12.20にパルス周期測定時の動作図、図12.21にパルス幅測定時の動作図を示します。

表12.8　パルス周期測定モード、パルス幅測定モードの仕様

項　目	仕　様
カウントソース	f1、f2、f8、f32、fC32
カウント動作	•アップカウント •測定パルスの有効エッジで、リロードレジスタにカウンタの値を転送し、カウンタの値を“0000h”にしてカウントを継続
カウント開始条件	•TBiSビット(i=0～2)(注1)を“1”(カウント開始)にする
カウント停止条件	•TBiSビットを“0”(カウント停止)にする
割り込み要求発生タイミング	•測定パルスの有効エッジ入力時(注2) •オーバフロー時。オーバフローと同時にTBiMRレジスタのMR3ビットが“1”(オーバフローあり)になります。TBiSビットが“1”(カウント開始)のとき、MR3ビットが“1”になった後の次のカウントタイミング以降に、TBiMRレジスタに書くと、MR3ビットは“0”(オーバフローなし)になります。
TBiIN端子機能	測定パルス入力
タイマの読み出し	TBiレジスタを読むと、リロードレジスタの内容(測定結果)が読める(注3)
タイマの書き込み	TBiレジスタに書いた値は、リロードレジスタにもカウンタにも書かれない

注1.　TB0S～TB2SビットはTABSRレジスタのビット5～7です
注2.　カウント開始後1回目の有効エッジ入力時は、割り込み要求は発生しません。
注3.　カウント開始後2回目の有効エッジ入力までは、TBiレジスタを読んでも値は不定です。

タイマBiモードレジスタ(i=0～2)

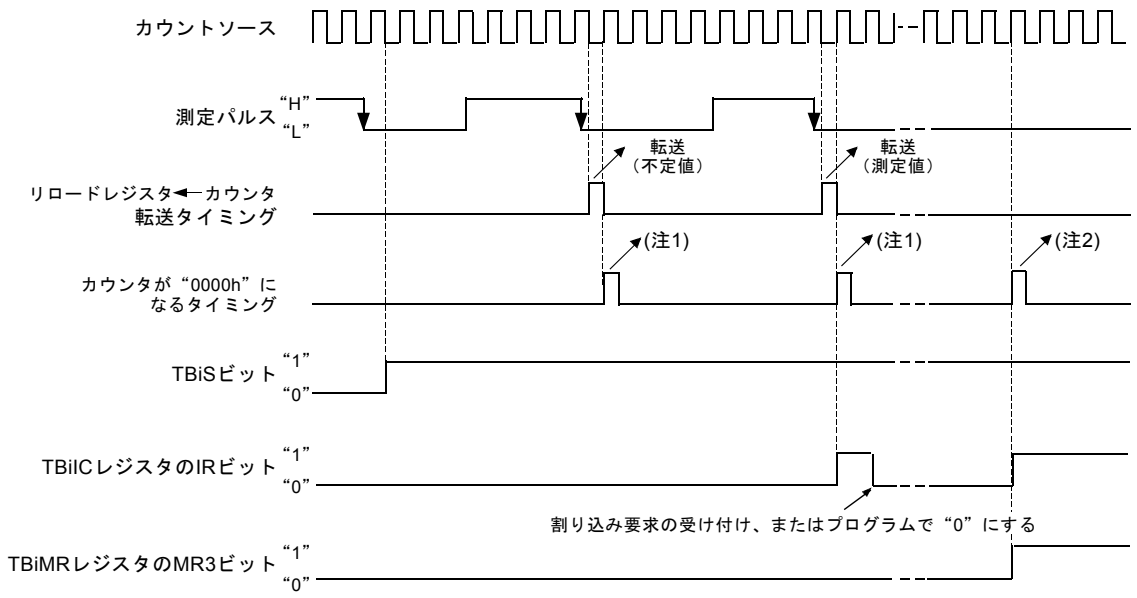
b7	b6	b5	b4	b3	b2	b1	b0
						1	0

シンボル	アドレス	リセット後の値
TB0MR～TB2MR	039Bh～039Dh番地	00XX0000b

ビットシンボル	ビット名	機　能	RW
TMOD0	動作モード選択ビット	b1 b0 10：パルス周期測定モード、パルス幅測定モード	RW
TMOD1			RW
MR0	測定モード選択ビット	b3 b2 00：パルス周期測定 (測定パルスの立ち下がりから次の立ち下がり間の測定) 01：パルス周期測定 (測定パルスの立ち上がりから次の立ち上がり間の測定) 10：パルス幅測定 (測定パルスの立ち下がりから次の立ち上がり間の測定と立ち上がりから次の立ち下がり間の測定) 11：設定しないでください	RW
MR1			RW
MR2	TB0MR、TB3MRレジスタの場合 パルス周期測定モード、パルス幅測定モードでは“0”にしてください。		RW
	TB1MR、TB2MRレジスタの場合 何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
MR3	タイマBiオーバフローフラグ(注1)	0：オーバフローなし 1：オーバフローあり	RO
TCK0	カウントソース選択ビット	b7 b6 00：f1または f2 01：f8 10：f32 11：fC32	RW
TCK1			RW

注1.　リセット後は不定です。TBiSビットが“1”(カウント開始)のとき、MR3ビットが“1”(オーバフローあり)になった後の次のカウントタイミング以降に、TBiMRレジスタに書くと、MR3ビットは“0”(オーバフローなし)になります。MR3ビットをプログラムで“1”にできません。TB0S～TB2SビットはTABSRレジスタのビット5～7です。

図12.19　パルス周期測定モード、パルス幅測定モード時のTBiMRレジスタ

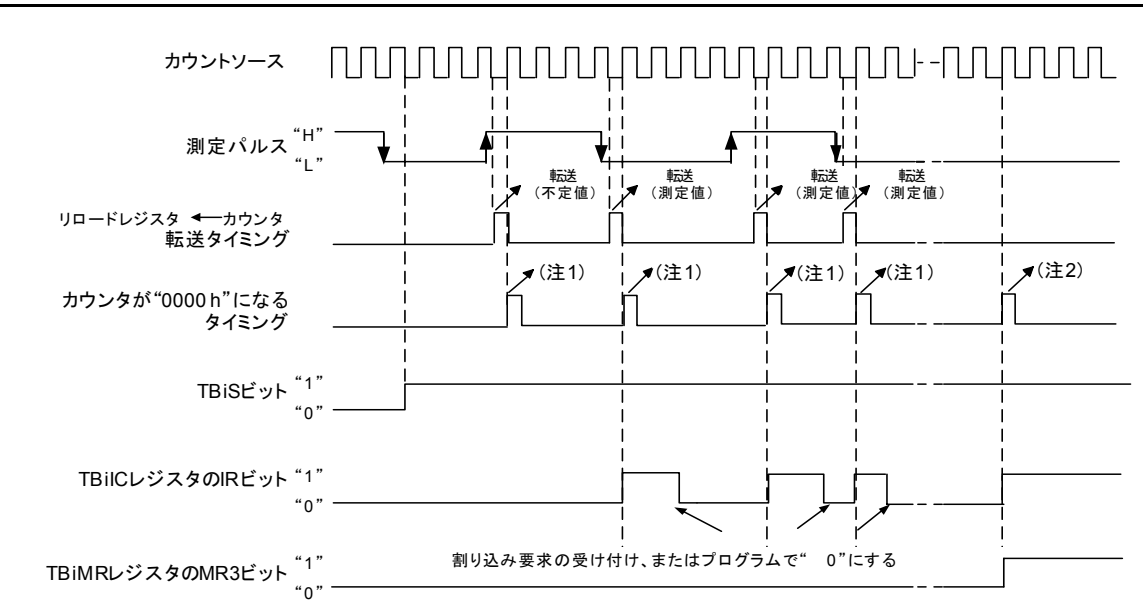


TB0S～TB2SビットはTABSRレジスタのビット5～7です。

i=0～2

注1. 測定完了によるカウンタの初期化。
注2. オーバフロー。
注3. この図はTBiMRレジスタのMR1～MR0ビットが"00b"(立ち下がりエッジから立ち下がりエッジまでを測定)の場合です。

図12.20 パルス周期測定時の動作図



TB0S～TB2SビットはTABSRレジスタのビット5～7です。

i=0～2

注1. 測定完了によるカウンタの初期化。
注2. オーバフロー。
注3. この図はTBiMRレジスタのMR1～MR0ビットが"10b"(立ち下がりから次の立ち上がり間の測定と立ち上がりから次の立ち下がり間の測定)の場合です。

図12.21 パルス幅測定時の動作図

13. シリアルインタフェース

シリアルインタフェースは、UART0～UART2の3チャネルで構成しています。
次にそれぞれについて説明します。

13.1 UARTi(i=0～2)

UARTiはそれぞれ専用の転送クロック発生用タイマを持ち、独立して動作します。
図13.1～図13.3にUARTiブロック図、図13.4にUARTi送受信部ブロック図を示します。
UARTiには、次のモードがあります。

- クロック同期形シリアルI/Oモード(注1)
- クロック非同期形シリアルI/Oモード(UARTモード)
- 特殊モード1(I^2Cモード)
- 特殊モード2
- 特殊モード3(バス衝突検出機能、IEモード)：UART2
- 特殊モード4(SIMモード)：UART2

図13.5～図13.12に、UARTi関連のレジスタを示します。
レジスタの設定はモードごとの表を参照してください。

注1. UART0は、VFDコントローラ/ドライバに接続されています。

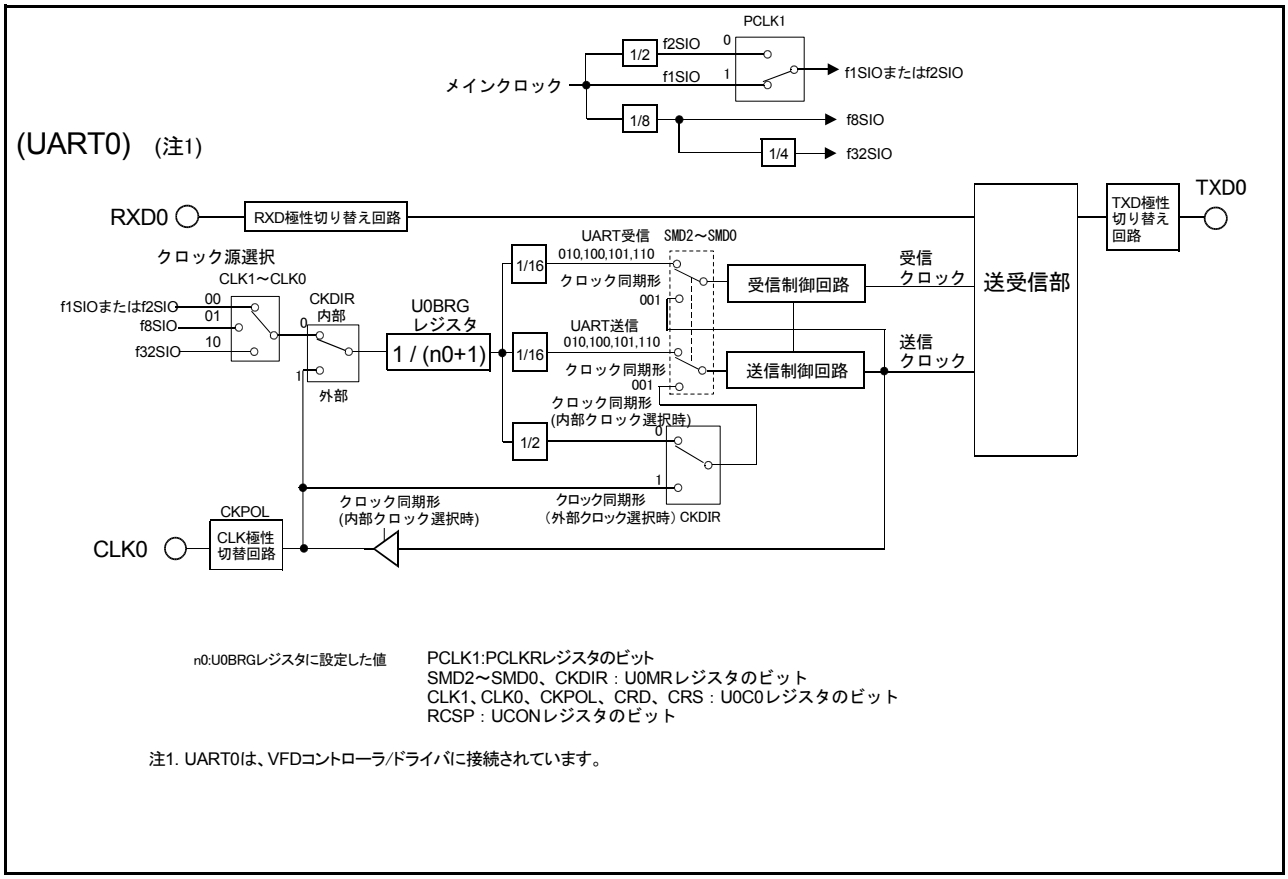


図13.1 UART0ブロック図

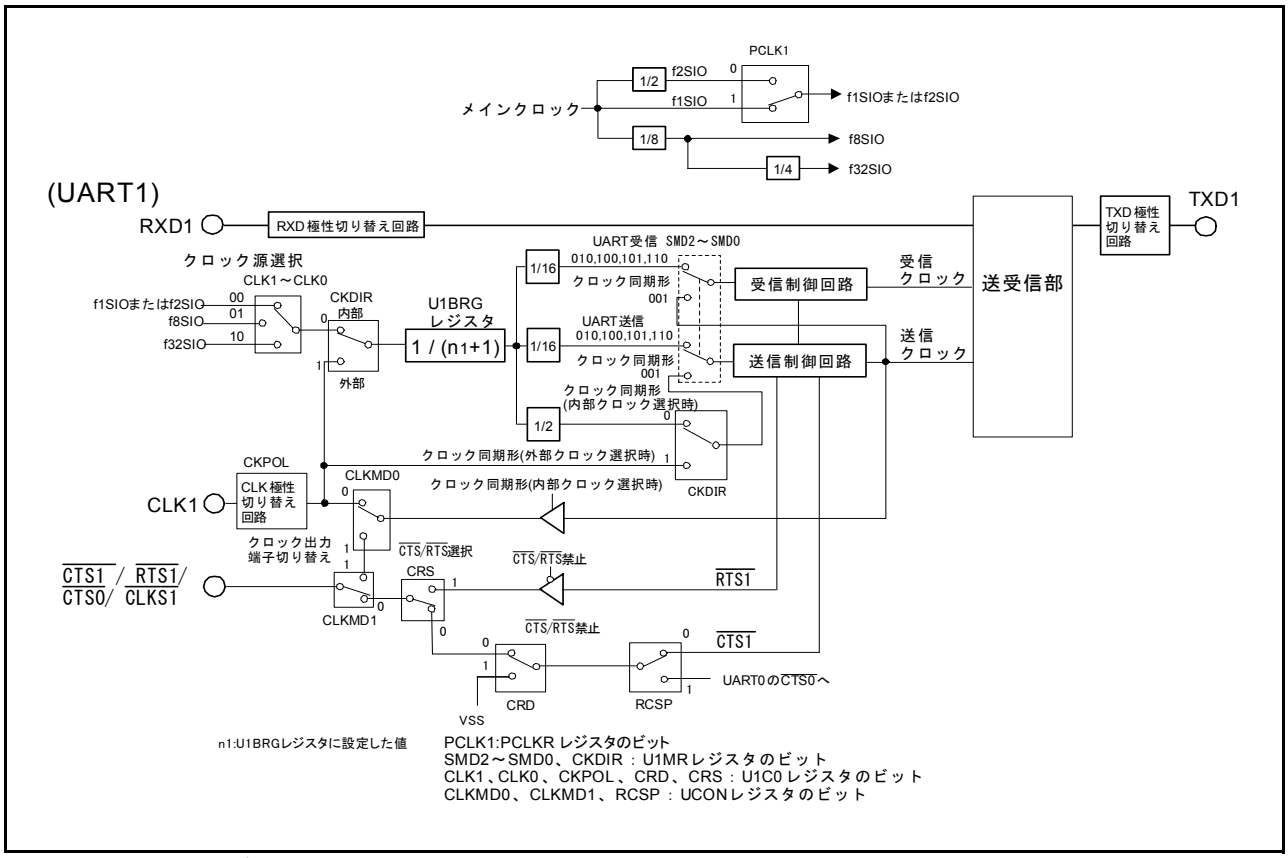


図13.2 UART1ブロック図

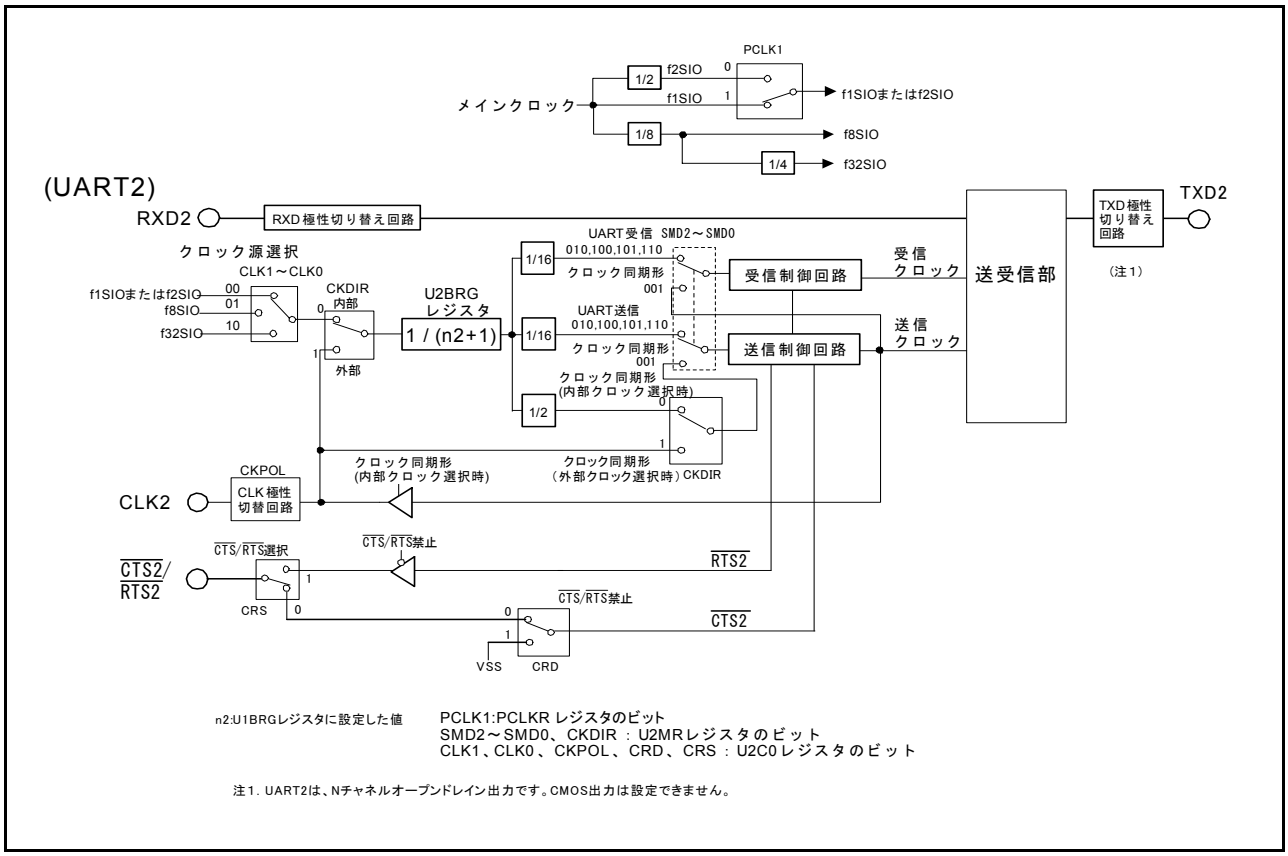


図13.3 UART2ブロック図

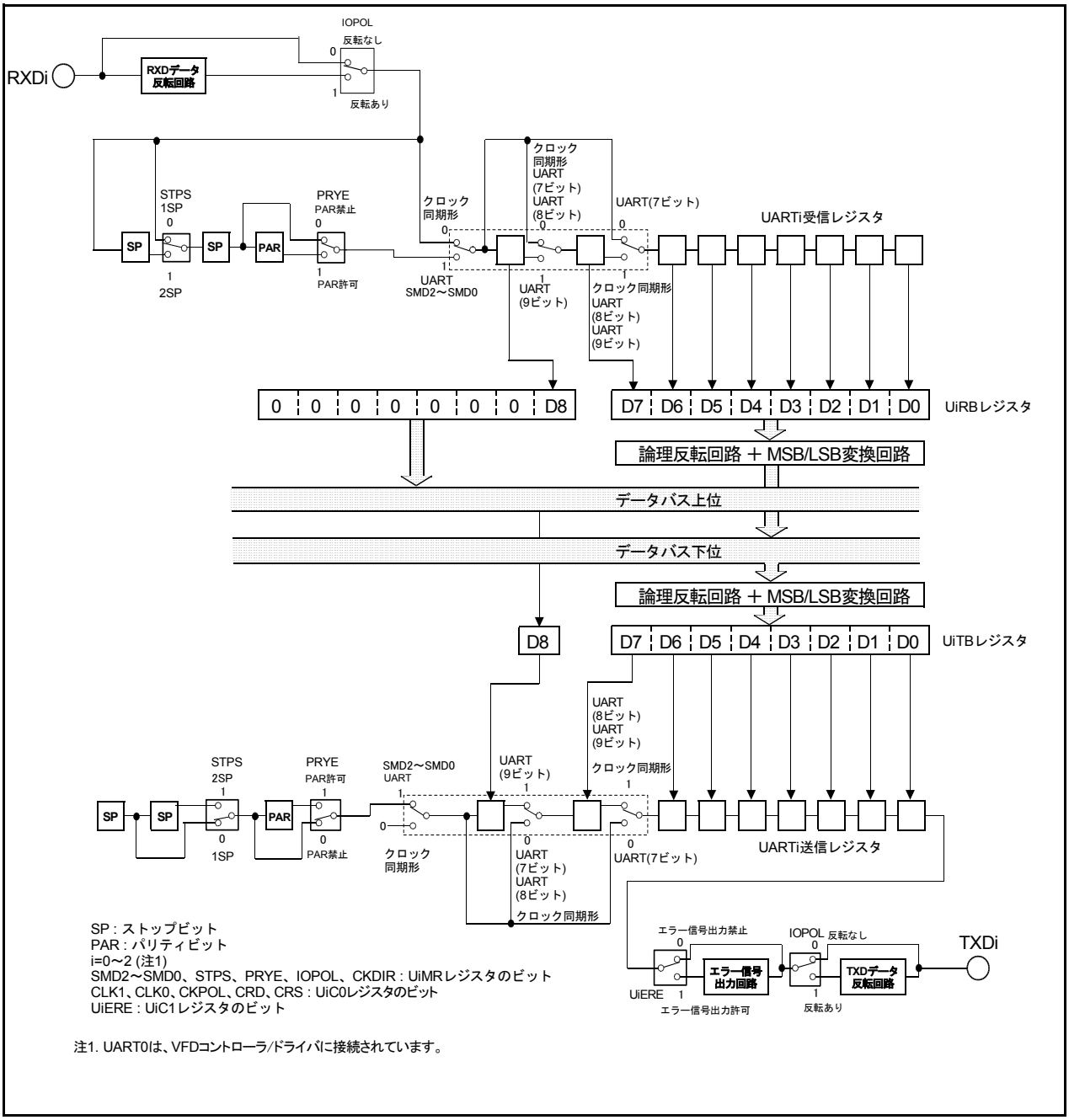
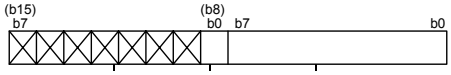


図13.4 UARTi送受信部ブロック図

UARTi送信バッファレジスタ(i=0～2)(注1)

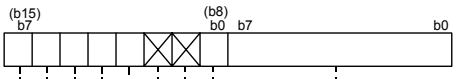


シンボル	アドレス	リセット後の値
U0TB(注2)	03A3h-03A2h番地	不定
U1TB	03ABh-03AAh番地	不定
U2TB	037Bh-037Ah番地	不定

機　　能	RW
送信データ	WO
何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。	—

注1.　このレジスタはMOV命令を使用して書いてください。
注2.　UART0は、VFDコントローラ/ドライバに接続されています。

UARTi受信バッファレジスタ(i=1、2)

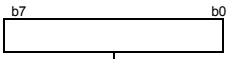


シンボル	アドレス	リセット後の値
U1RB	03AFh-03AEh番地	不定
U2RB	037Fh-037Eh番地	不定

ビットシンボル	ビット名	機能	RW
— (b7-b0)	———	受信データ(D7～D0)	RO
— (b8)	———	受信データ(D8)	RO
— (b10-b9)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—
ABT	アービトレーション ロスト検出フラグ(注2)	0：未検出（勝） 1：検出（負）	RW
OER	オーバランエラーフラグ(注1)	0：オーバランエラーなし 1：オーバランエラー発生	RO
FER	フレーミングエラー フラグ(注1、3)	0：フレーミングエラーなし 1：フレーミングエラー発生	RO
PER	パリティエラーフラグ (注1、3)	0：パリティエラーなし 1：パリティエラー発生	RO
SUM	エラーサムフラグ (注1、3)	0：エラーなし 1：エラー発生	RO

注1.　UiMRレジスタのSMD2～SMD0ビットを“000b”(シリアルI/Oは無効)にしたとき、またはUiC1レジスタのREビットを“0”(受信禁止)にしたとき、SUM、PER、FER、OERビットは、すべて“0”(エラーなし)になります。SUMビットはPER、FER、OERビットがすべて“0”(エラーなし)になると“0”(エラーなし)になります。
また、PER、FERビットは、UiRBレジスタの下位バイトを読んだとき、“0”になります。
注2.　ABTビットはプログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
注3.　SMD2～SMD0ビットが“001b”（クロック同期形シリアルI/Oモード）または“010b”（I²Cモード）のとき、
これらのエラーフラグは無効です。読んだ場合、その値は不定。

UARTi転送速度レジスタ(i=0～2)(注1、2、4)



シンボル	アドレス	リセット後の値
U0BRG(注3)	03A1h番地	不定
U1BRG	03A9h番地	不定
U2BRG	0379h番地	不定

機　　能	設定範囲	RW
設定値を nとすると、UiBRGはカウントソースをn+1分周する	00h～FFh	WO

注1.　送受信停止中に書いてください。
注2.　このレジスタはMOV命令を使用して書いてください。
注3.　UART0は、VFDコントローラ/ドライバに接続されています。
注4.　このレジスタはUiC0レジスタのCLK1～CLK0ビットを設定した後に書いてください。

図13.5　U0TB～U2TB、U1RB、U2RB、U0BRG～U2BRGレジスタ

UART0送受信モードレジスタ（注1）

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0			

シンボル U0MR　　アドレス 03A0h番地　　リセット後の値 00h

ビットシンボル	ビット名	機　能	RW
SMD0	シリアルI/0モード選択ビット	b2 b1 b0 0 0 0：シリアルインタフェースは無効 0 0 1：クロック同期形シリアルI/Oモード 上記以外：設定しないでください。	RW
SMD1			RW
SMD2			RW
CKDIR	予約ビット	“0”にしてください。	RW
STPS	予約ビット	“0”にしてください。	RW
PRY	予約ビット	“0”にしてください。	RW
PRYE	予約ビット	“0”にしてください。	RW
IOPOL	予約ビット	“0”にしてください。	RW

注1. UART0は、VFDコントローラ/ドライバに接続されています。

UART0 送受信制御レジスタ0 (注1)

b7	b6	b5	b4	b3	b2	b1	b0
1	0	0	1		0		

シンボル U0C0　　アドレス 03A4h番地　　リセット後の値 00001000b

ビットシンボル	ビット名	機　能	RW
CLK0	BRGカウントソース選択ビット(注2)	b1 b0 0 0 : f1SIO または f2SIOを選択 0 1 : f8SIOを選択 1 0 : f32SIOを選択 1 1 : 設定しないでください	RW
CLK1			RW
CRS	予約ビット	“0”にしてください。	RW
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	RO
CRD	予約ビット	“1”にしてください。	RW
NCH	予約ビット	“0”にしてください。	RW
CKPOL	予約ビット	“0”にしてください。	RW
UFORM	予約ビット	“1”にしてください。	RW

注1. UART0は、VFDコントローラ/ドライバに接続されています。
注2. CLK1～CLK0ビットを変更した場合は、U0BRGレジスタを設定してください。

図13.6　U0MR、U0C0 レジスタ

UARTi送受信モードレジスタ(i=1、2)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット後の値
U1MR、U2MR	03A8h、0378h番地	00h

ビットシンボル	ビット名	機　能	RW
SMD0	シリアルI/Oモード選択ビット (注2)	b2 b1 b0 0 0 0　シリアルI/Oは無効 0 0 1 : クロック同期形シリアルI/Oモード 0 1 0 : I²Cモード (注3) 1 0 0 : UARTモード転送データ長7ビット 1 0 1 : UARTモード転送データ長8ビット 1 1 0 : UARTモード転送データ長9ビット 上記以外 : 設定しないでください	RW
SMD1			RW
SMD2			RW
CKDIR	内/外部クロック選択ビット	0 : 内部クロック 1 : 外部クロック(注1)	RW
STPS	ストップビット長選択ビット	0 : 1ストップビット 1 : 2ストップビット	RW
PRY	パリティ奇/偶選択ビット	PRYE=1のとき有効 0 : 奇数パリティ 1 : 偶数パリティ	RW
PRYE	パリティ許可ビット	0 : パリティ禁止 1 : パリティ許可	RW
IOPOL	TXD、RXD入出力極性切り替えビット	0 : 反転なし 1 : 反転あり	RW

注1.　CLKi端子に対応するポート方向ビットは“0”(入力モード)にしてください。
注2.　受信する場合、RXDi端子に対応するポート方向ビットは“0”(入力モード)にしてください。
注3.　SDA、SCL端子に対応するポート方向ビットは“0”(入力モード)にしてください。

UARTi 送受信制御レジスタ0 (i=1、2)

b7	b6	b5	b4	b3	b2	b1	b0

シンボル	アドレス	リセット後の値
U1C0、U2C0	03ACh、037Ch番地	00001000b

ビットシンボル	ビット名	機　能	RW
CLK0	BRGカウントソース選択ビット(注5)	b1 b0 0 0 : f1SIO または f2SIOを選択 0 1 : f8SIOを選択 1 0 : f32SIOを選択 1 1 : 設定しないでください	RW
CLK1			RW
CRS	$\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能選択ビット (注4)	CRD=0のとき有効 0 : $\overline{\text{CTS}}$機能を選択(注1) 1 : $\overline{\text{RTS}}$機能を選択	RW
TXEPT	送信レジスタ空フラグ	0 : 送信レジスタにデータあり (送信中) 1 : 送信レジスタにデータなし (送信完了)	RO
CRD	$\overline{\text{CTS}}$/$\overline{\text{RTS}}$禁止ビット	0 : $\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能許可 1 : $\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能禁止 (P6_4、P7_3は入出力ポートとして使用できる)	RW
NCH	データ出力選択ビット (注2)	0 : TXDi/SDAi、SCLi端子は CMOS出力 1 : TXDi/SDAi、SCLi端子はNチャネルオープンドレイン出力	RW
CKPOL	CLK極性選択ビット	0 : 転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力 1 : 転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力	RW
UFORM	転送フォーマット選択ビット(注3)	0 : LSBファースト 1 : MSBファースト	RW

注1.　$\overline{\text{CTSi}}$端子に対応するポート方向ビットは“0”(入力モード)にしてください。
注2.　TXD2/SDA2、SCL2は、Nチャネルオープンドレイン出力です。CMOS出力は設定できません。U2C0レジスタのNCHビットは、何も配置されていませんので、書く場合“0”を書いてください。
注3.　UiMRレジスタのSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、または“101b”(UARTモード転送データ長8ビット)のとき有効です。
SMD2～SMD0ビットが“010b”(I²Cモード)のときは“1”に、“100b”(UARTモード転送データ長7ビット)または“110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。
注4.　$\overline{\text{CTS1}}$/$\overline{\text{RTS1}}$はUCONレジスタのCLKMD1ビットが“0”(CLK出力はCLK1のみ)、かつUCONレジスタのRCSPビットが“0”($\overline{\text{CTS0}}$/$\overline{\text{RTS0}}$分離しない)のとき使用できます。
注5.　CLK1～CLK0ビットを変更した場合は、UiBRGレジスタを設定してください。

図13.7　U1MR、U2MR、U1C0、U2C0 レジスタ

UART0送受信制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	X	X	0	0		

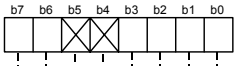
シンボル	アドレス	リセット後の値
U0C1	03A5h番地	00XX0010b

ビットシンボル	ビット名	機　能	RW
TE	送信許可ビット	0：送信禁止 1：送信許可	RW
TI	送信バッファ空フラグ	0：U0TBレジスタにデータあり 1：U0TBレジスタにデータなし	RO
RE	予約ビット	“0”にしてください。	RW
RI	予約ビット	“0”にしてください。	RO
— (b5-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
U0LCH	予約ビット	“0”にしてください。	RW
U0ERE	予約ビット	“0”にしてください。	RW

注1. UART0は、VFDコントローラ/ドライバに接続されています。

図13.8　U0C1レジスタ

UART1送受信制御レジスタ1

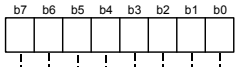


シンボル	アドレス	リセット後の値
U1C1	03ADh番地	00XX0010b

ビットシンボル	ビット名	機　能	RW
TE	送信許可ビット	0：送信禁止 1：送信許可	RW
TI	送信バッファ空フラグ	0：U1TBレジスタにデータあり 1：U1TBレジスタにデータなし	RO
RE	受信許可ビット	0：受信禁止 1：受信許可	RW
RI	受信完了フラグ	0：U1RBレジスタにデータなし 1：U1RBレジスタにデータあり	RO
— (b5-b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
U1LCH	データ論理選択ビット (注1)	0：反転なし 1：反転あり	RW
U1ERE	エラー信号出力許可ビット	0：出力しない 1：出力する	RW

注1. U1MRレジスタSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、“100b”(UARTモード転送データ長7ビット)または、“101b”(UARTモード転送データ長8ビット)のとき有効です。
SMD2～SMD0ビットが“010b”(I^2Cモード)または“110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。

UART2送受信制御レジスタ1



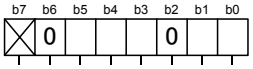
シンボル	アドレス	リセット後の値
U2C1	037Dh番地	00000010b

ビットシンボル	ビット名	機　能	RW
TE	送信許可ビット	0：送信禁止 1：送信許可	RW
TI	送信バッファ空フラグ	0：U2TBレジスタにデータあり 1：U2TBレジスタにデータなし	RO
RE	受信許可ビット	0：受信禁止 1：受信許可	RW
RI	受信完了フラグ	0：U2RBレジスタにデータなし 1：U2RBレジスタにデータあり	RO
U2IRS	UART2送信割り込み要因選択ビット	0：送信バッファ空 (TI=1) 1：送信完了(TXEPT=1)	RW
U2RRM	UART2連続受信モード許可ビット	0：連続受信モード禁止 1：連続受信モード許可	RW
U2LCH	データ論理選択ビット (注1)	0：反転なし 1：反転あり	RW
U2ERE	エラー信号出力許可ビット	0：出力しない 1：出力する	RW

注1. U2MRレジスタSMD2～SMD0ビットが“001b”(クロック同期形シリアルI/Oモード)、“100b”(UARTモード転送データ長7ビット)または、“101b”(UARTモード転送データ長8ビット)のとき有効です。
SMD2～SMD0ビットが“010b”(I^2Cモード)または“110b”(UARTモード転送データ長9ビット)のときは“0”にしてください。

図13.9　U1C1、U2C1レジスタ

UART送受信制御レジスタ2

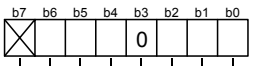


シンボル	アドレス	リセット後の値
UCON	03B0h番地	X0000000b

ビットシンボル	ビット名	機　能	RW
U0IRS (注2)	UART0送信割り込み要因選択ビット	0：送信バッファ空 (TI=1) 1：送信完了 (TXEPT=1)	RW
U1IRS	UART1送信割り込み要因選択ビット	0：送信バッファ空 (TI=1) 1：送信完了(TXEPT=1)	RW
U0RRM	予約ビット	“0”にしてください。	RW
U1RRM	UART1連続受信モード許可ビット	0：連続受信モード禁止 1：連続受信モード許可	RW
CLKMD0	UART1CLK、CLKS選択ビット0	CLKMD1=1のとき有効 0：CLK1からクロックを出力 1：CLKS1からクロックを出力	RW
CLKMD1	UART1CLK、CLKS選択ビット1 (注1)	0：CLK出力はCLK1のみ 1：転送クロック複数端子 出力機能選択	RW
RCSP	予約ビット	“0”にしてください。	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1.　複数の転送クロック出力端子を使用する場合、次の条件を満たしてください。
　　U1MRレジスタのCKDIRビット=0(内部クロック)
注2.　UART0は、VFDコントローラ/ドライバに接続されています。

UARTi特殊モードレジスタ(i=1、2)



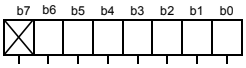
シンボル	アドレス	リセット後の値
U1SMR、U2SMR	0373h、0377h番地	X0000000b

ビットシンボル	ビット名	機　能	RW
IICM	I^2Cモード選択ビット	0：I^2Cモード以外 1：I^2Cモード	RW
ABC	アービトレーションロスト検出フラグ制御ビット	0：ビットごとに更新 1：バイトごとに更新	RW
BBS	バスビジーフラグ	0：ストップコンディション検出 1：スタートコンディション検出(ビジー)	RW (注1)
— (b3)	予約ビット	“0”にしてください	RW
ABSCS	バス衝突検出サンプリングクロック選択ビット	0：転送クロックの立ち上がり 1：タイマAiのアンダフロー信号（注2）	RW
ACSE	送信許可ビット自動クリア機能選択ビット	0：自動クリア機能なし 1：バス衝突発生時自動クリア	RW
SSS	送信開始条件選択ビット	0：RXDiに同期しない 1：RXDiに同期する　(注3)	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1.　BBSビットはプログラムで“0”を書くと“0”になります(“1”を書いても変化しません)。
注2.　UART2ではタイマA0のアンダフロー信号。
注3.　転送が始まると、SSSビットは“0”(RXDiに同期しない)になります。

図13.10　UCON、U1SMR、U2SMRレジスタ

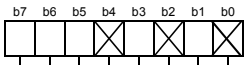
UARTi特殊モードレジスタ2 (i=1、2)



シンボル	アドレス	リセット後の値
U1SMR2、U2SMR2	0372h、0376h番地	X0000000b

ビットシンボル	ビット名	機　能	RW
IICM2	I²Cモード選択ビット2	「表13.13　I²Cモード時の各機能」参照	RW
CSC	クロック同期化ビット	0：禁止 1：許可	RW
SWC	SCLウエイト出力ビット	0：禁止 1：許可	RW
ALS	SDA出力停止ビット	0：禁止 1：許可	RW
STAC	UARTi初期化ビット	0：禁止 1：許可	RW
SWC2	SCLウエイト出力ビット2	0：転送クロック 1：“L”出力	RW
SDHI	SDA出力禁止ビット	0：許可 1：禁止 (ハイインピーダンス)	RW
— (b7)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

UARTi特殊モードレジスタ3 (i=1、2)



シンボル	アドレス	リセット後の値
U1SMR3、U2SMR3	0371h、0375h番地	000X0X0Xb

ビットシンボル	ビット名	機　能	RW
— (b0)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
CKPH	クロック位相設定ビット	0：クロック遅れなし 1：クロック遅れあり	RW
— (b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
NODC	クロック出力選択ビット	0：CLKiはCMOS出力 1：CLKiはNチャネルオープンドレイン出力	RW
— (b4)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
DL0	SDAiディジタル遅延値設定ビット (注1、注2)	b7 b6 b5 ０００：遅延なし ００１：UiBRGカウントソースの1～2サイクル ０１０：UiBRGカウントソースの2～3サイクル ０１１：UiBRGカウントソースの3～4サイクル １００：UiBRGカウントソースの4～5サイクル １０１：UiBRGカウントソースの5～6サイクル １１０：UiBRGカウントソースの6～7サイクル １１１：UiBRGカウントソースの7～8サイクル	RW
DL1			RW
DL2			RW

注1. DL2～DL0ビットはI²Cモードで、SDAi出力にディジタル的に遅延を発生させるものです。I²Cモード以外の場合、“000b”(遅延なし)にしてください。
注2. 遅延量はSCLi端子、SDAi端子の負荷により変化します。また、外部クロックを使用した場合には、100ns程度、遅延が大きくなります。

図13.11　U1SMR2、U2SMR2、U1SMR3、U2SMR3レジスタ

UARTi特殊モードレジスタ4(i=1、2)

シンボル	アドレス	リセット後の値
U1SMR4、U2SMR4	0370h、0374h番地	00h

b7	b6	b5	b4	b3	b2	b1	b0

ビットシンボル	ビット名	機　能	RW
STAREQ	スタートコンディション生成ビット　(注1)	0：クリア 1：スタート	RW
RSTAREQ	リスタートコンディション生成ビット　(注1)	0：クリア 1：スタート	RW
STPREQ	ストップコンディション生成ビット　(注1)	0：クリア 1：スタート	RW
STSPSEL	SCL、SDA出力選択ビット	0：スタートコンディション、ストップコンディション出力しない 1：スタートコンディション、ストップコンディション出力する	RW
ACKD	ACKデータビット	0：ACK 1：NACK	RW
ACKC	ACKデータ出力許可ビット	0：シリアルインタフェースデータ出力 1：ACKデータ出力	RW
SCLHI	SCL出力停止許可ビット	0：禁止 1：許可	RW
SWC9	SCLウエイトビット3	0：SCL“L”ホールド禁止 1：SCL“L”ホールド許可	RW

注1.　各コンディションが生成されたとき、“0”になります。

図13.12　U1SMR4、U2SMR4レジスタ

13.1.1　クロック同期形シリアルI/Oモード

クロック同期形シリアルI/Oモードは、転送クロックを用いて送受信を行うモードです。表13.1にクロック同期形シリアルI/Oモードの仕様、表13.2にクロック同期形シリアルI/Oモード時の使用レジスタと設定値を示します。

表13.1　クロック同期形シリアルI/Oモードの仕様

項　目	仕　様
転送データフォーマット	転送データ長　8ビット
転送クロック	・UiMRレジスタ(i=1、2)のCKDIRビットが“0”(内部クロック)：fj/(2(n+1)) fj=f1SIO、f2SIO、f8SIO、f32SIO　n=UiBRGレジスタの設定値　00h～FFh ・CKDIRビットが“1”(外部クロック)：CLKi端子からの入力
送信制御、受信制御	$\overline{\text{CTS}}$機能、$\overline{\text{RTS}}$機能、$\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要(注1) • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり) • $\overline{\text{CTS}}$機能を選択している場合、$\overline{\text{CTSi}}$端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要(注1) • UiC1レジスタのREビットが“1”(受信許可) • UiC1レジスタのTEビットが“1”(送信許可) • UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 • UiIRSビット(注2)が“0”(送信バッファ空)： UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) • UiIRSビットが“1”(送信完了)：UARTi送信レジスタからデータ送信完了時 受信する場合 • UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注3) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	•CLK極性選択 転送データの出力と入力タイミングが、転送クロックの立ち上がりか立ち下がりかを選択可 •LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 •連続受信モード選択 UiRBレジスタを読むことで、同時に受信許可状態になる •シリアルデータ論理切り替え 送受信データの論理値を反転する機能 •転送クロック複数端子出力選択(UART1) UART1の転送クロック端子を2本設定し、プログラムで出力端子を選択可

注1.　外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態で、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態で条件を満たしてください。

注2.　U0IRS、U1IRSビットはUCONレジスタのビット0、1で、U2IRSビットはU2C1レジスタのビット4です。

注3.　オーバランエラーが発生した場合、UiRBレジスタ内の受信データは不定になります。またSiRICレジスタのIRビットは変化しません。

注4.　UART0については、15章VFDコントローラ/ドライバを参照してください。

i = 1、2

表13.2　クロック同期形シリアルI/Oモード時の使用レジスタと設定値

レジスタ	ビット	機　能
UiTB(注1)	0～7	送信データを設定してください
UiRB(注1)	0～7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0～7	転送速度を設定してください
UiMR(注1)	SMD2～SMD0	“001b” にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	IOPOL	“0” にしてください
UiC0	CLK1、CLK0	UiBRGレジスタのカウントソースを選択してください
	CRS	$\overline{\text{CTS}}$または$\overline{\text{RTS}}$を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	$\overline{\text{CTS}}$または$\overline{\text{RTS}}$機能の許可、または禁止を選択してください
	NCH	TXDi端子の出力形式を選択してください(注2)
	CKPOL	転送クロックの極性を選択してください
	UFORM	LSBファースト、またはMSBファーストを選択してください
UiC1	TE	送受信を許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U2IRS(注3)	UART2送信割り込み要因を選択してください
	U2RRM(注3)	連続受信モードを使用する場合、“1” にしてください
	UiLCH	データ論理反転を使用する場合、“1” にしてください
	UiERE	“0” にしてください
UiSMR	0～7	“0” にしてください
UiSMR2	0～7	“0” にしてください
UiSMR3	0～2	“0” にしてください
	NODC	クロック出力形式を選択してください
	4～7	“0” にしてください
UiSMR4	0～7	“0” にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM	“0” にしてください
	U1RRM	連続受信モードを使用する場合、“1” にしてください
	CLKMD0	CLKMD1=1のとき転送クロックを出力する端子を選択してください
	CLKMD1	UART1の転送クロックを2端子から出力する場合、“1” にしてください
	RCSP、7	“0” にしてください

注1.　この表に記載していないビットは、クロック同期形シリアルI/Oモード時に書く場合、“0” を書いてください。
注2.　TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは “0” にしてください。
注3.　U0C1、U1C1レジスタのビット4、5は “0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCON レジスタにあります。
注4.　UART0については、15章VFDコントローラ/ドライバを参照してください。

i = 1、2

表13.3にクロック同期形シリアルI/Oモード時の入出力端子の機能を示します。表13.3は、転送クロック複数端子出力選択機能を非選択の場合です。また、表13.4にクロック同期形シリアルI/Oモード時のP6_4端子の機能を示します。

なお、UARTiの動作モード選択後、転送開始までは、TXDi端子は“H”を出力します(Nチャネルオープンドレイン出力選択時はハイインピーダンス状態)。

表13.3　クロック同期形シリアルI/Oモード時の入出力端子の機能 (転送クロック複数端子出力機能を非選択の場合)

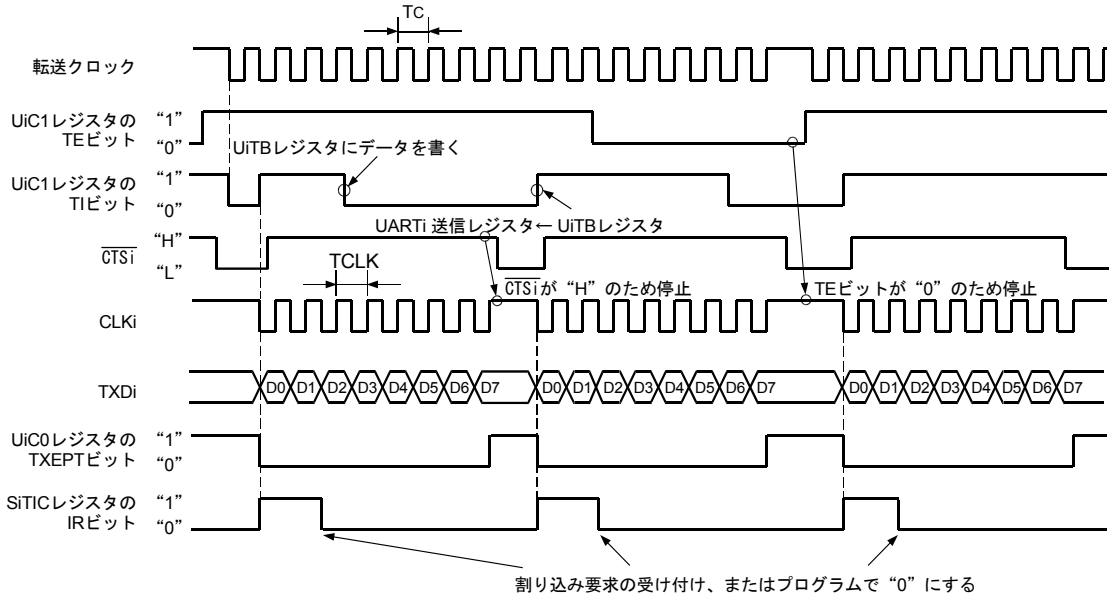
端子名	機　能	選択方法
TXDi(i=1、2) (P6_7、P7_0)	シリアルデータ出力	(受信だけを行うときはダミーデータを出力　)
RXDi (P6_6、P7_1)	シリアルデータ入力	PD6レジスタのPD6_6ビット=0、PD7レジスタのPD7_1ビット=0(送信だけを行うときは入力ポートとして使用可　)
CLKi (P6_5、P7_2)	転送クロック出力	UiMRレジスタのCKDIRビット=0
	転送クロック入力	UiMRレジスタのCKDIRビット=1 PD6レジスタのPD6_5ビット=0、PD7レジスタのPD7_2ビット=0
$\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$ (P6_4、P7_3)	$\overline{\text{CTS}}$入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 PD6レジスタのPD6_4ビット=0、PD7レジスタのPD7_3ビット=0
	$\overline{\text{RTS}}$出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力ポート	UiC0レジスタのCRDビット=1

表13.4　クロック同期形シリアルI/Oモード時のP6_4端子の機能

端子の機能	ビットの設定値				
	U1C0レジスタ		UCONレジスタ		PD6レジスタ
	CRD	CRS	CLKMD1	CLKMD0	PD6_4
P6_4	1	—	0	—	入力：0、出力：1
$\overline{\text{CTS1}}$	0	0	0	—	0
$\overline{\text{RTS1}}$	0	1	0	—	—
CLKS1	—	—	1(注1)	1	—

注1.　CLKMD1ビットが“1”でCLKMD0ビットが“0”の場合は、次のレベルを出力します。
・U1C0レジスタのCKPOLビットが“0”：H
・U1C0レジスタのCKPOLビットが“1”：L

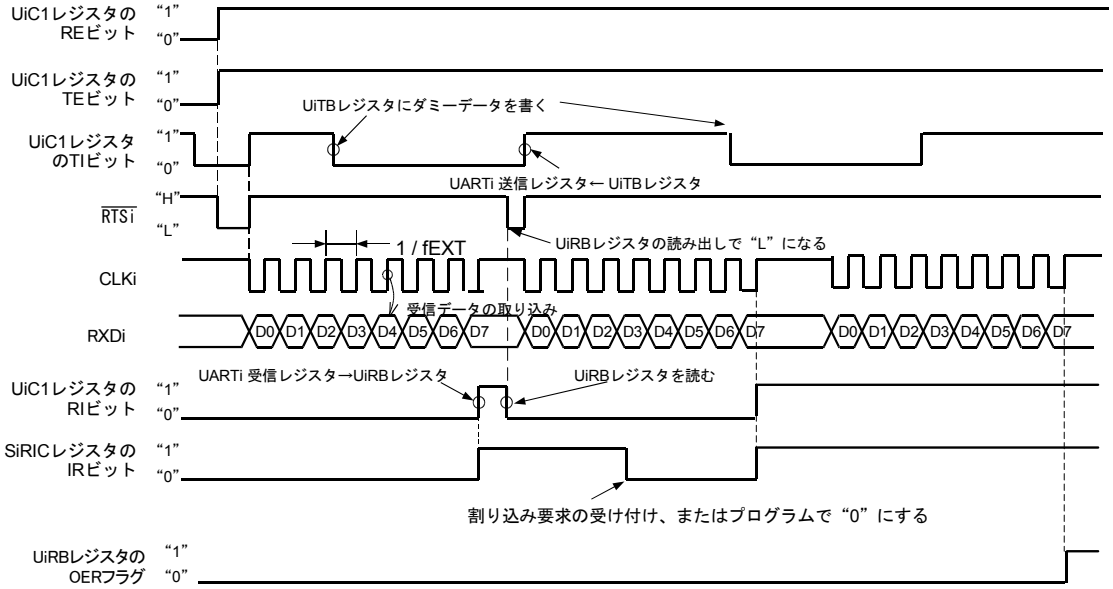
(1) 送信タイミング例（内部クロック選択時）



TC=TCLK = 2(n+1) / fj
fj：UiBRGのカウントソースの周波数(f1SIO、f2SIO、f8SIO、f32SIO)
n：UiBRGレジスタに設定した値
i=1、2

この図は次の設定条件の場合です。
- UiMRレジスタのCKDIRビット=0(内部クロック選択)
- UiC0レジスタのCRDビット=0(CTS/RTS機能許可)、CRSビット=0(CTS機能選択)
- UiC0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)
- UiC1レジスタのUiIRSビット=0（UiTBレジスタ空で割り込み要求発生）

(2) 受信タイミング例（外部クロック選択時）



i = 1、2

この図は次の設定条件の場合です。
- UiMRレジスタのCKDIRビット=1(外部クロック選択)
- UiC0レジスタのCRDビット=0(CTS/RTS機能許可)、CRSビット=1(RTS機能選択)
- UiC0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)

データ受信前のCLKi端子への入力が"H"のときに、次の条件が揃うようにしてください。
- UiC1レジスタのTEビット=1(送信許可)
- UiC1レジスタのREビット=1(受信許可)
- UiTBレジスタへのダミーデータの書き込み

fEXT：外部クロックの周波数

図13.13 クロック同期形シリアルI/Oモード時の送信、受信タイミング例

13.1.1.1 通信エラー発生時の対処方法

クロック同期形シリアルI/Oモードで受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

- UiRBレジスタ（i=1、2）の初期化手順

(1)UiC1レジスタのREビットを“0”(受信禁止)にする。
(2)UiMRレジスタのSMD2～SMD0ビットを“000b”(シリアルI/O無効)にする。
(3)UiMRレジスタのSMD2～SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
(4)UiC1レジスタのREビットを“1”(受信許可)にする。

- UiTBレジスタの初期化手順

(1)UiMRレジスタのSMD2～SMD0ビットを“000b”(シリアルI/O無効)にする。
(2)UiMRレジスタのSMD2～SMD0ビットを“001b”(クロック同期形シリアルI/Oモード)にする。
(3)UiC1レジスタのTEビットの値にかかわらず“1”(送信許可)を書き込む。

13.1.1.2 CLK極性選択

UiC0レジスタ(i＝1、2)のCKPOLビットで転送クロックの極性を選択できます。図13.14に転送クロックの極性を示します。

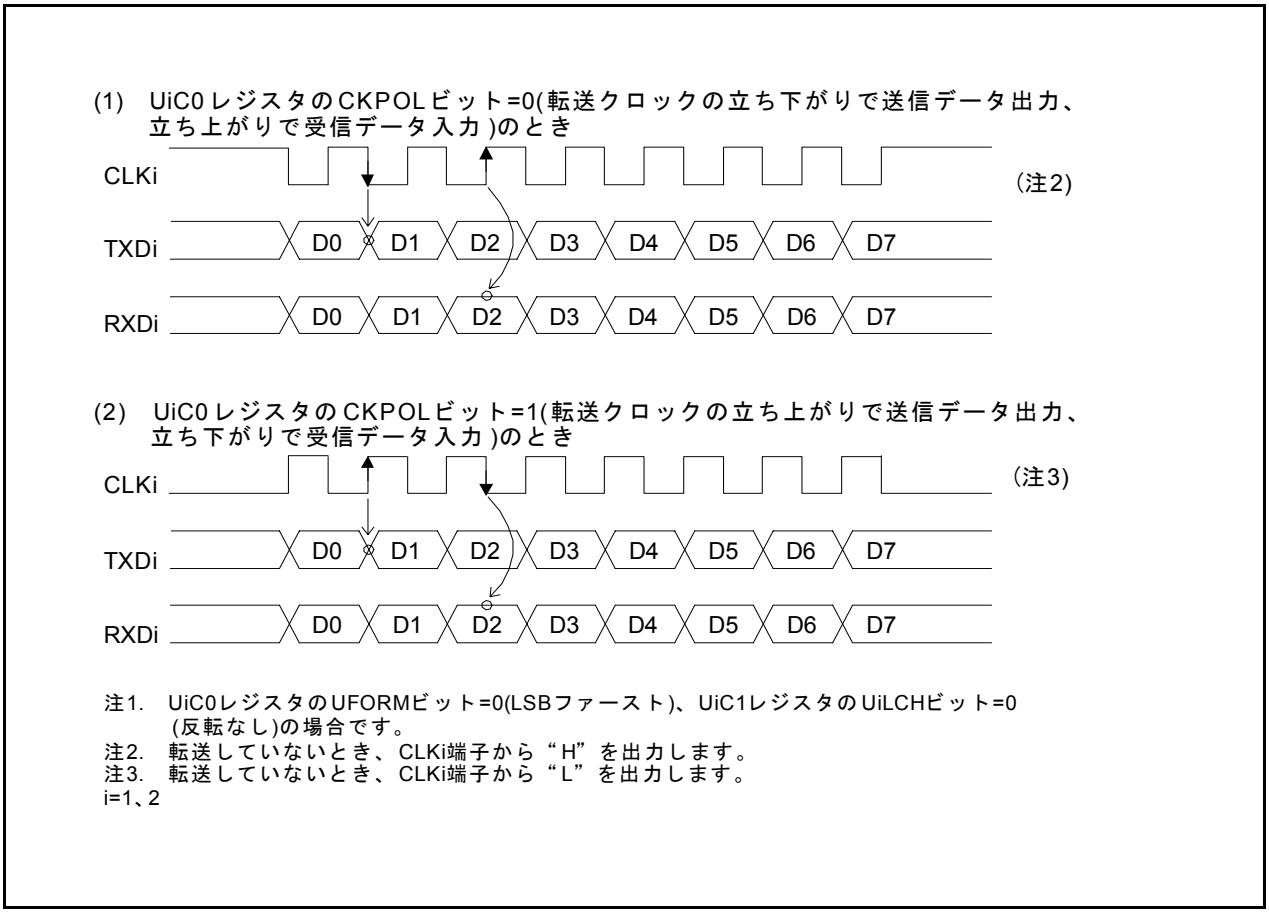


図13.14 転送クロックの極性

13.1.1.3 LSBファースト、MSBファースト選択

UiC0レジスタ(i=1、2)のUFORMビットで転送フォーマットを選択できます。図13.15に転送フォーマットを示します。

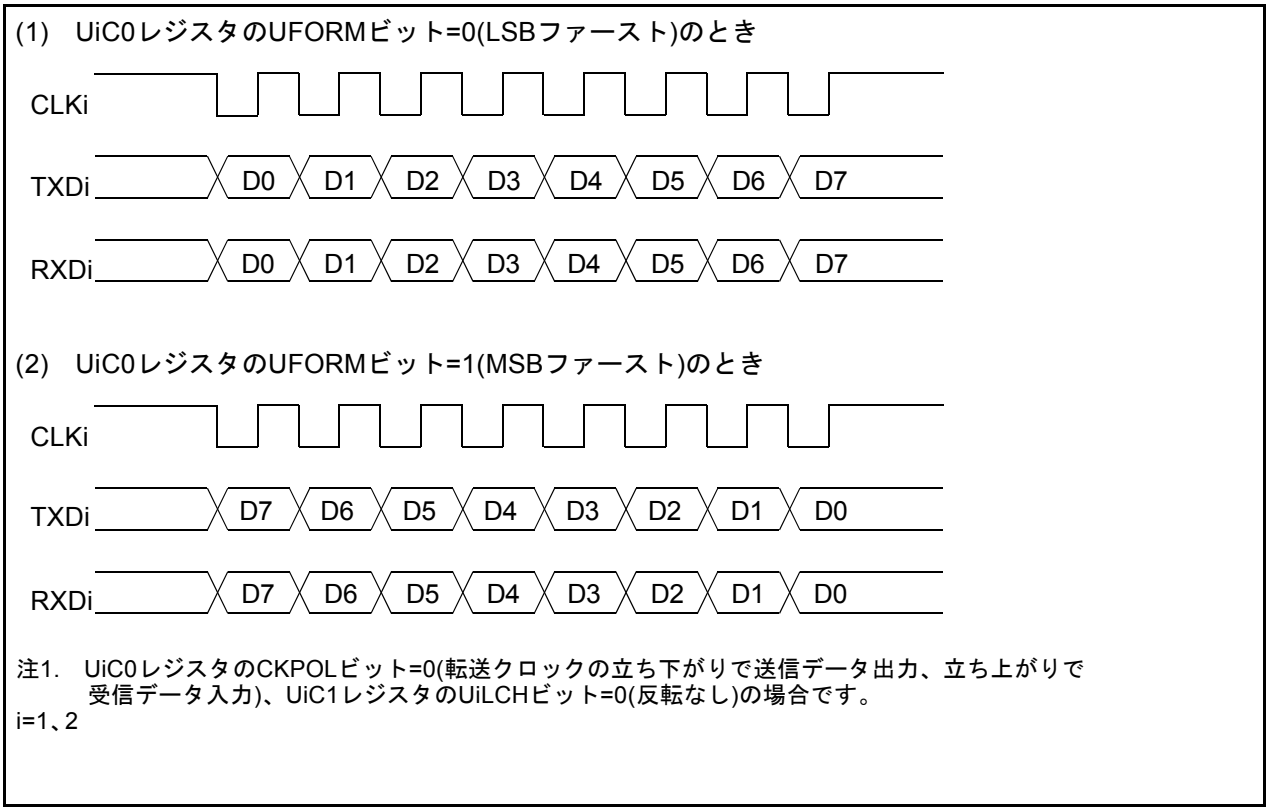


図13.15 転送フォーマット

13.1.1.4 連続受信モード

連続受信モードは、受信バッファレジスタを読み出すことで受信許可状態になるモードです。このモードを選択すれば、受信許可状態にするために、送信バッファレジスタにダミーのデータを書き込む必要はありません。ただし、受信開始時には、ダミーで受信バッファレジスタを読み出す必要があります。

UiRRMビット(i=1、2)を“1”(連続受信モード)にすると、UiRBレジスタを読むことでUiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)になります。UiRRMビットが“1”の場合、プログラムでUiTBレジスタにダミーデータを書かないでください。U1RRMビットはUCONレジスタのビット3で、U2RRMビットはU2C1レジスタのビット5です。

13.1.1.5 シリアルデータ論理切り替え

UiC1レジスタ(i＝1、2)のUiLCHビットが“1”(反転あり)の場合、UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図13.16にシリアルデータ論理を示します。

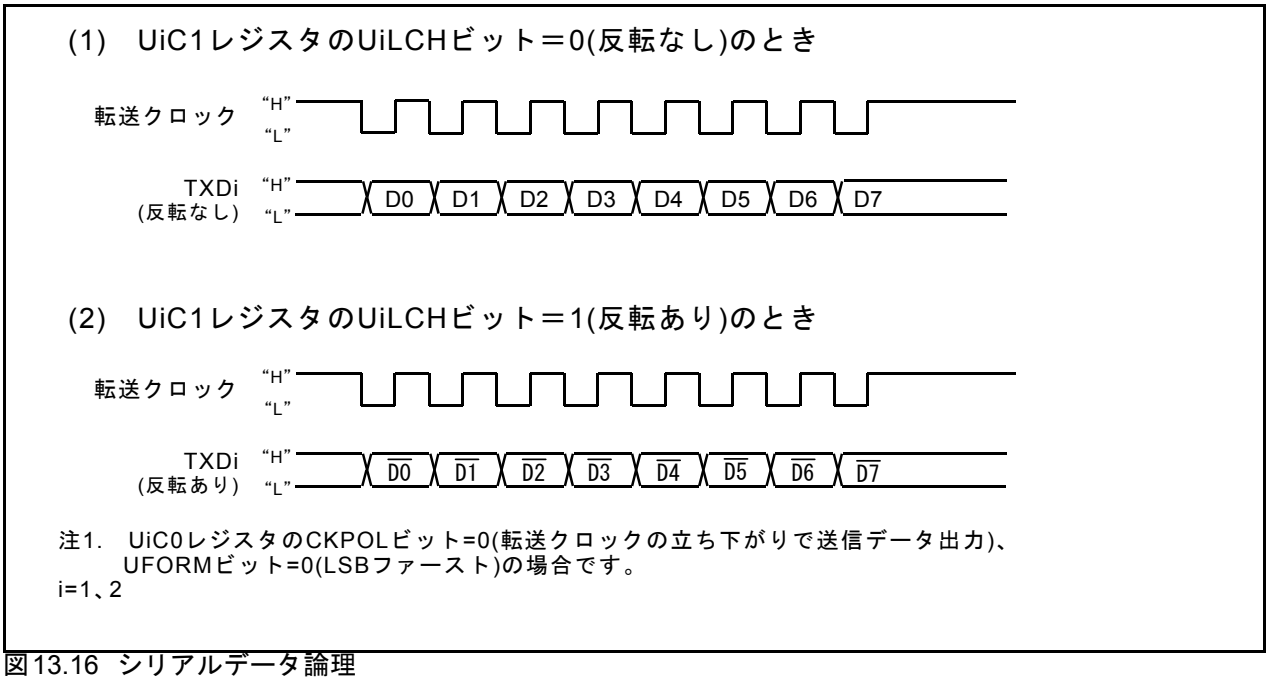


図13.16 シリアルデータ論理

13.1.1.6 転送クロック複数端子出力選択(UART1)

UCONレジスタのCLKMD1～CLKMD0ビットで2本の転送クロック出力端子から1本を選択できます(図13.17)。この機能は、UART1の転送クロックが内部クロックの場合に使用できます。

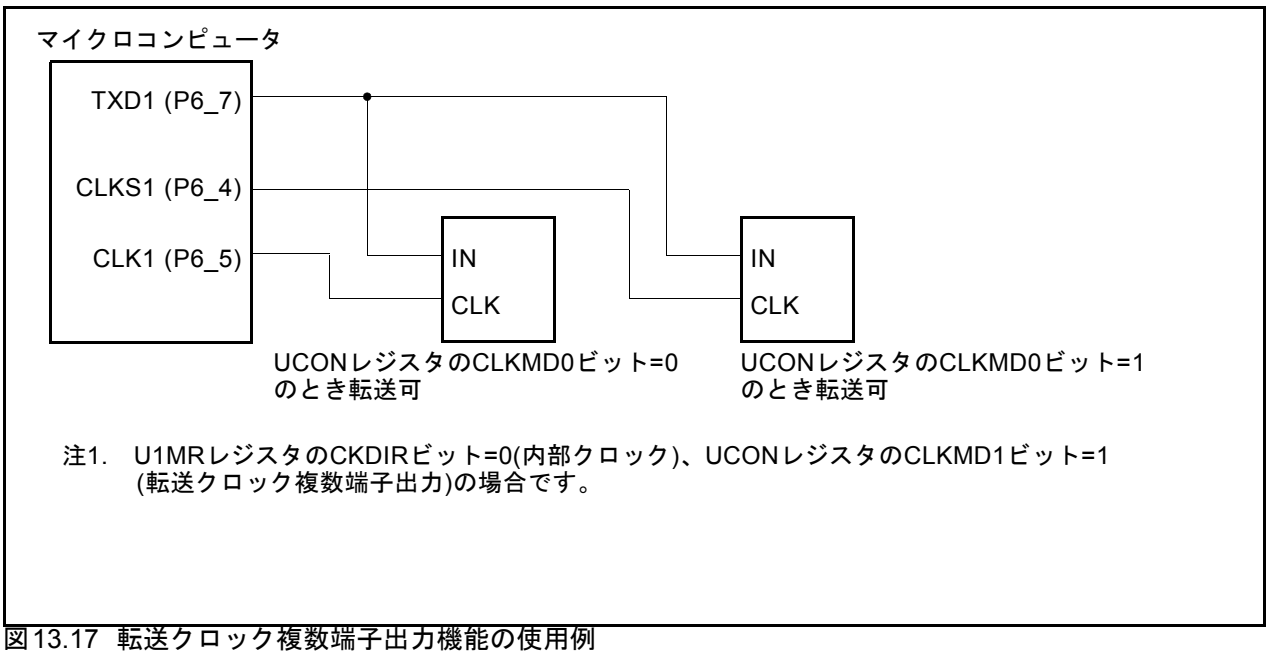


図13.17 転送クロック複数端子出力機能の使用例

13.1.1.7 $\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能

$\overline{\text{CTS}}$機能は、$\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$(i=1、2)端子に“L”を入力すると、送受信を開始させる機能です。$\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$端子の入力レベルが“L”になると、送受信を開始します。送受信の最中に入力レベルを“H”にした場合、次のデータから送受信を停止します。

$\overline{\text{RTS}}$機能は、受信準備が整ったとき、$\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$端子の出力レベルが“L”になります。CLKi端子の最初の立下りで出力レベルが“H”になります。

- UiC0レジスタのCRDビット=1($\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能禁止) $\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$端子はプログラマブル入出力機能
- CRDビット=0、CRSビット=0($\overline{\text{CTS}}$機能選択) $\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$端子は$\overline{\text{CTS}}$機能
- CRDビット=0、CRSビット=1($\overline{\text{RTS}}$機能選択) $\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$端子は$\overline{\text{RTS}}$機能

13.1.2　クロック非同期形シリアルI/O(UART)モード

UARTモードは、任意の転送速度、転送データフォーマットを設定して送受信を行うモードです。表13.5にUARTモードの仕様を示します。

表13.5　UARTモードの仕様

項　目	仕　様
転送データフォーマット	•キャラクタビット(転送データ)　7ビット、8ビット、9ビットを選択可 •スタートビット　1ビット •パリティビット　奇数、偶数、なしを選択可 •ストップビット　1ビット、2ビットを選択可
転送クロック	•UiMRレジスタ(i=1、2)のCKDIRビットが“0”(内部クロック)：fj/(16(n+1)) fj=f1SIO、f2SIO、f8SIO、f32SIO。n=UiBRGレジスタの設定値　00h～FFh •CKDIRビットが“1”(外部クロック)：fEXT/(16(n+1)) fEXTはCLKi端子からの入力。n=UiBRGレジスタの設定値　00h～FFh
送信制御、受信制御	$\overline{\text{CTS}}$機能、$\overline{\text{RTS}}$機能、$\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能禁止を選択可
送信開始条件	送信開始には、次の条件が必要 •UiC1レジスタのTEビットが“1”(送信許可) •UiC1レジスタのTIビットが“0”($\overline{\text{UiTB}}$レジスタにデータあり) •$\overline{\text{CTS}}$機能を選択している場合、$\overline{\text{CTSi}}$端子の入力が“L”
受信開始条件	受信開始には、次の条件が必要 •UiC1レジスタのREビットが“1”(受信許可) •スタートビットの検出
割り込み要求発生タイミング	送信する場合、次の条件のいずれかを選択可 ・UiIRSビット(注1)が“0”(送信バッファ空)： UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) ・UiIRSビットが“1”(送信完了)：UARTi送信レジスタからデータ送信完了時 受信する場合 ・UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	•オーバランエラー(注2)　UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 •フレーミングエラー(注3)　設定した個数のストップビットが検出されなかったときに発生 •パリティエラー(注3)　パリティ許可時にパリティビットとキャラクタビット中の“1”の個数が設定した個数でなかったときに発生 •エラーサムフラグ　オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる
選択機能	・LSBファースト、MSBファースト選択 ビット0から送受信するか、またはビット7から送受信するかを選択可 ・シリアルデータ論理切り替え 送受信するデータの論理値を反転する機能。スタートビット、ストップビットは反転しない。 ・TXD、RXD入出力極性切り替え TXD端子出力とRXD端子入力を反転する機能。入出力するデータのレベルがすべて反転する。

注1.　U1IRSビットはUCONレジスタのビット1で、U2IRSビットはU2C1レジスタのビット4です。
注2.　オーバランエラーが発生した場合、UiRBレジスタ内の受信データは不定になります。またSiRICレジスタのIRビットは変化しません。
注3.　フレーミングエラーフラグ、パリティエラーフラグの立つタイミングは、UARTi受信レジスタからUiRBレジスタにデータが転送されるときに検出されます。
i = 1、2

表13.6　UARTモード時の使用レジスタと設定値

レジスタ	ビット	機 能
UiTB	0～8	送信データを設定してください(注1)
UiRB	0～8	受信データが読めます(注1)
	OER、FER、PER、SUM	エラーフラグ
UiBRG	0～7	転送速度を設定してください
UiMR	SMD2～SMD0	転送データが7ビットの場合、“100b”を設定してください。 転送データが8ビットの場合、“101b”を設定してください。 転送データが9ビットの場合、“110b”を設定してください。
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	ストップビットを選択してください
	PRY、PRYE	パリティの有無、偶数奇数を選択してください
	IOPOL	TXD / RXD入出力極性を選択してください
UiC0	CLK0、CLK1	UiBRGのカウントソースを選択してください
	CRS	$\overline{\text{CTS}}$または$\overline{\text{RTS}}$機能を使用する場合、どちらかを選択してください
	TXEPT	送信レジスタ空フラグ
	CRD	$\overline{\text{CTS}}$ / $\overline{\text{RTS}}$機能の許可または禁止を選択してください
	NCH	TXDi端子の出力形式を選択してください(注2)
	CKPOL	“0”にしてください
	UFORM	転送データ長8ビット時、LSBファースト、MSBファーストを選択できます。 転送データ長7ビットまたは9ビット時は“0”にしてください。
UiC1	TE	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可するとき、“1”にしてください
	RI	受信完了フラグ
	U2IRS(注3)	UART2送信割り込み要因を選択してください
	U2RRM(注3)	“0”にしてください
	UiLCH	データ論理反転を使用する場合、"1"にしてください
	UiERE	“0”にしてください
UiSMR	0～7	“0”にしてください
UiSMR2	0～7	“0”にしてください
UiSMR3	0～7	“0”にしてください
UiSMR4	0～7	“0”にしてください
UCON	U0IRS、U1IRS	UART0、UART1送信割り込み要因を選択してください
	U0RRM、U1RRM	“0”にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1	“0”にしてください
	RCSP、7	“0”にしてください

注1.　使用するビットは次のとおりです。転送データ長7ビット：ビット0～6、転送データ長8ビット：ビット0～7、転送データ長9ビット：ビット0～8

注2.　TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは“0”にしてください。

注3.　U0C1、U1C1レジスタのビット4、5は“0”にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。

i=1、2

表13.7にUARTモード時の入出力端子の機能を示します。表13.8にUARTモード時のP6_4端子の機能を示します。なお、UARTiの動作モード選択後、転送開始までは、TXDi端子は“H”を出力します(Nチャネルオープンドレイン出力選択時はハイインピーダンス状態)。

表13.7　UARTモード時の入出力端子の機能

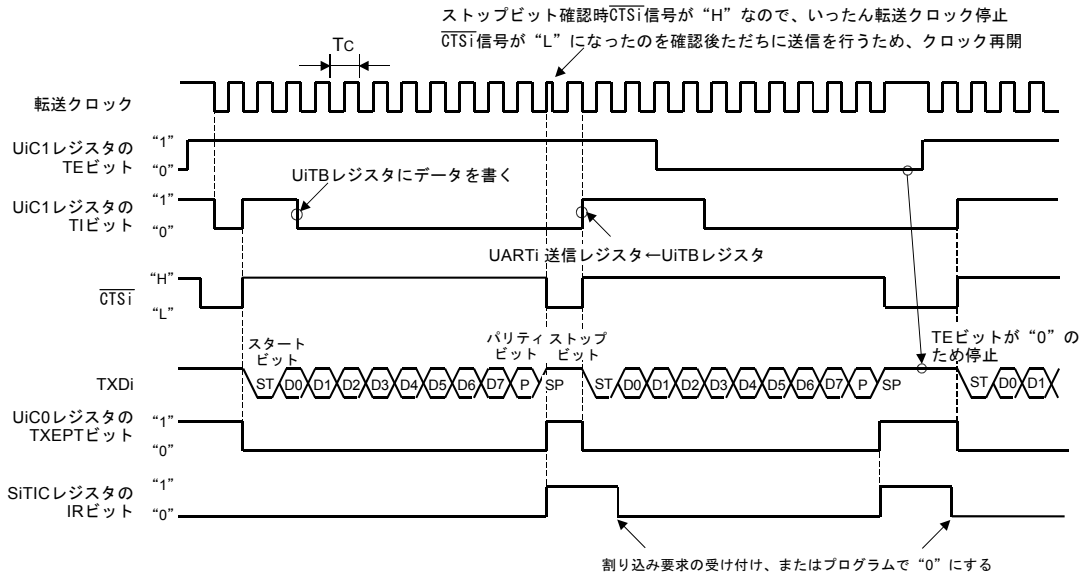
端子名	機　能	選択方法
TXDi(i=1、2) (P6_7、P7_0)	シリアルデータ出力	(受信だけを行うときは“H”が出力　)
RXDi (P6_6、P7_1)	シリアルデータ入力	PD6レジスタのPD6_6ビット=0、PD7レジスタのPD7_1ビット=0(送信だけを行うときは入力ポートとして使用可　)
CLKi (P6_5、P7_2)	入出力ポート	UiMRレジスタのCKDIRビット=0
	転送クロック入力	UiMRレジスタのCKDIRビット=1 PD6レジスタのPD6_5ビット=0、PD7レジスタのPD7_2ビット=0
$\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$ (P6_4、P7_3)	$\overline{\text{CTS}}$入力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=0 PD6レジスタのPD6_4ビット=0、PD7レジスタのPD7_3ビット=0
	$\overline{\text{RTS}}$出力	UiC0レジスタのCRDビット=0 UiC0レジスタのCRSビット=1
	入出力ポート	UiC0レジスタのCRDビット=1

表13.8　UARTモード時のP6_4端子の機能

端子の機能	ビットの設定値			
	U1C0レジスタ		UCONレジスタ	PD6レジスタ
	CRD	CRS	CLKMD1	PD6_4
P6_4	1	—	0	入力：0、出力：1
$\overline{\text{CTS1}}$	0	0	0	0
$\overline{\text{RTS1}}$	0	1	0	—

—：“0”または“1”

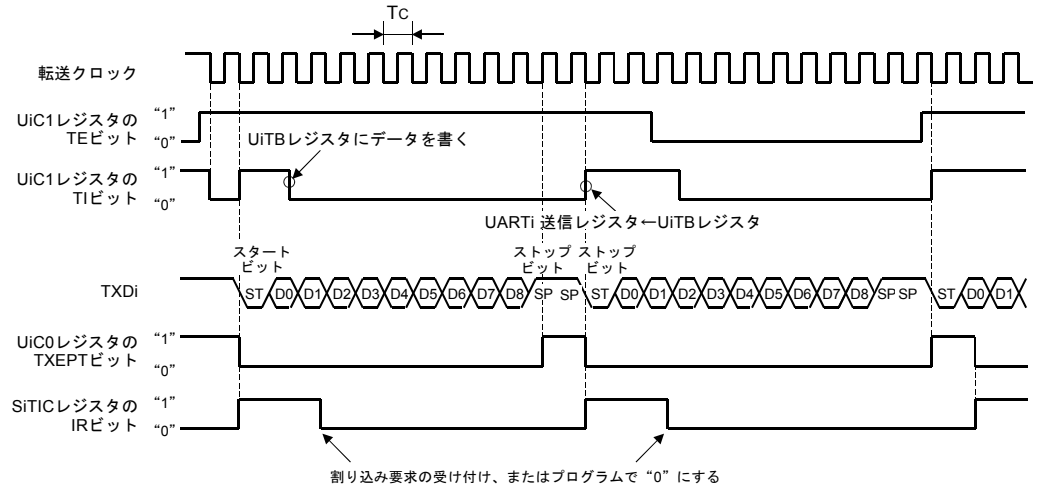
(1)　転送データ長8ビット時の送信タイミング例（パリティ許可、1ストップビット）



上記タイミング図は次の設定条件の場合です。
- UiMRレジスタのPRYEビット=1(パリティ許可)
- UiMRレジスタのSTPSビット=0(1ストップビット)
- UiC0レジスタのCRDビット=0(CTS/RTS機能許可)、CRSビット=0(CTS機能選択)
- UiIRSビット=1(送信完了で割り込み要求発生)

T_C = 16(n+1) / fj または 16(n+1) / f_{EXT}
fj：UiBRGのカウントソースの周波数(f1SIO、f2SIO、f8SIO、f32SIO)
f_{EXT}：UiBRGのカウントソースの周波数(外部クロック)
n：UiBRGレジスタに設定した値
i=1、2

(2)　転送データ長9ビット時の送信タイミング例（パリティ禁止、2ストップビット）



上記タイミング図は次の設定条件の場合です。
- UiMRレジスタのPRYEビット=0(パリティ禁止)
- UiMRレジスタのSTPSビット=1(2ストップビット)
- UiC0レジスタのCRDビット=1(CTS/RTS機能禁止)
- UiIRSビット=0(送信バッファ空で割り込み要求発生)

T_C = 16(n+1) / fj または 16(n+1) / fEXT
fj：UiBRGのカウントソースの周波数(f1SIO、f2SIO、f8SIO、f32SIO)
f_{EXT}：UiBRGのカウントソースの周波数(外部クロック)
n：UiBRGレジスタに設定した値
i=1、2

図13.18 UARTモード時の送信タイミング例

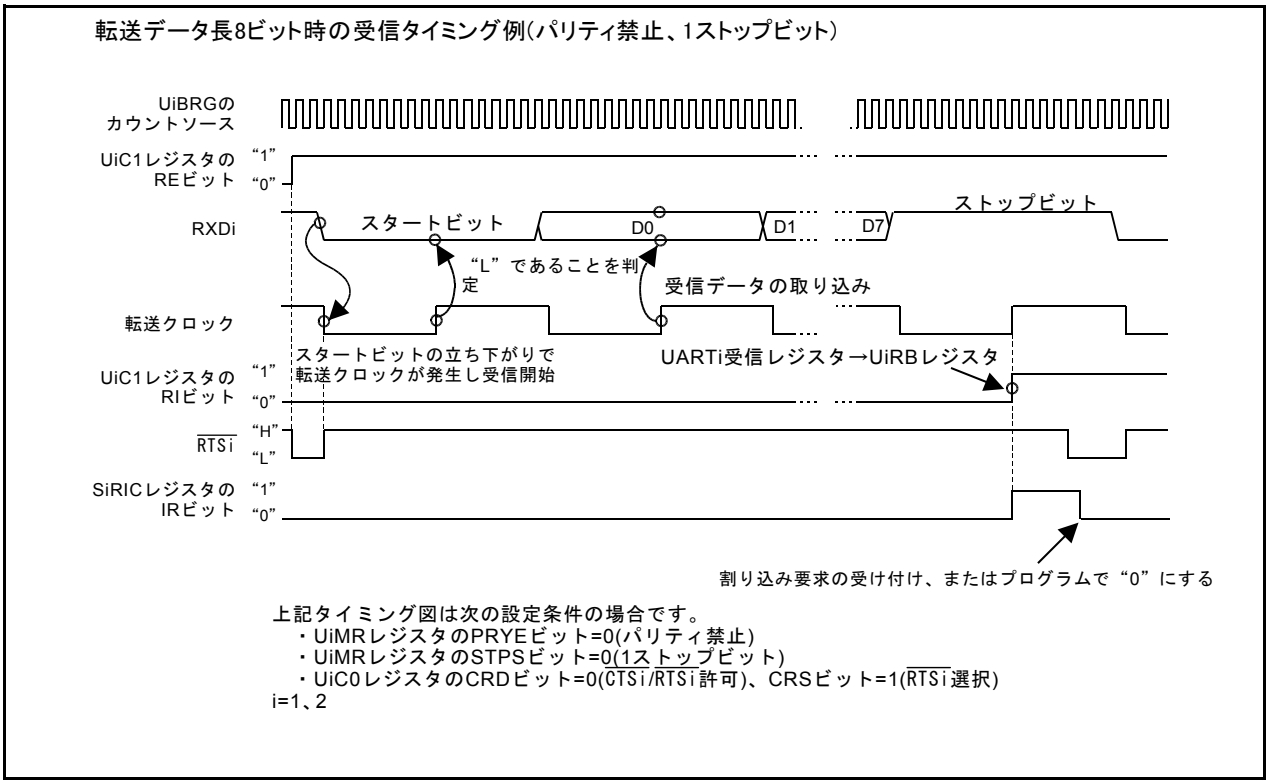


図13.19 UARTモード時の受信タイミング例

13.1.2.1 ビットレート

UARTモードは、UiBRGレジスタ(i=1、2)で分周した周波数の16分周がビットレートになります。表13.9にビットレートの設定例を示します。

表13.9 ビットレート

ビットレート(bps)	UiBRGの カウントソース	周辺機能クロック：16Mz	
		UiBRGの 設定値：n	ビットレート(bps)
1200	f8	103(67h)	1202
2400	f8	51(33h)	2404
4800	f8	25(19h)	4804
9600	f1	103(67h)	9615
14400	f1	68(44h)	14493
19200	f1	51(33h)	19231
28800	f1	34(22h)	28571
31250	f1	31(1Fh)	31250
38400	f1	25(19h)	38462
51200	f1	19(13h)	50000

13.1.2.2 通信エラー発生時の対処方法

UARTモードで、受信または送信時に通信エラーが発生した場合、次の手順で再設定を行ってください。

• UiRBレジスタ(i=1、2)の初期設定

(1)UiC1レジスタのREビットを“0”(受信禁止)にする。

(2)UiC1レジスタのREビットを“1”(受信許可)にする。

• UiTBレジスタの初期化手順

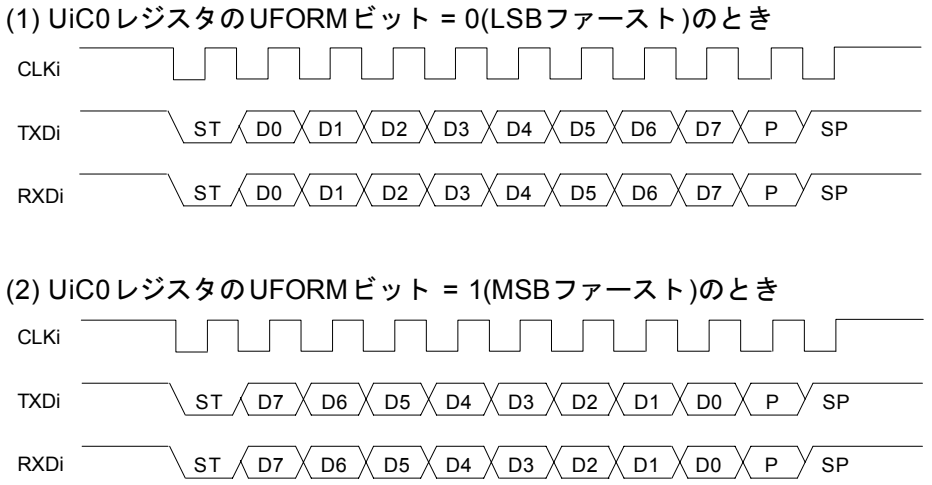
(1)UiMRレジスタのSMD2～SMD0ビットを“000b”(シリアルインタフェース無効)にする。

(2)UiMRレジスタのSMD2～SMD0ビットを再設定(“001b”、“101b”、“110b”)にする。

(3)UiC1レジスタのTEビットの値にかかわらず“1”(送信許可)を書き込む。

13.1.2.3 LSBファースト、MSBファースト選択

図13.20に示すように、UiC0レジスタのUFORMビットで転送フォーマットを選択できます。この機能は転送データ長8ビットのときに有効です。



ST：スタートビット
P ：パリティビット
SP：ストップビット
i=1、2

注1. UiC0レジスタのCKPOLビット=0(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データの入力)、UiC1レジスタのUiLCHビット=0(反転なし)、UiMRレジスタのSTPSビット=0(1ストップビット)、UiMRレジスタのPRYEビット=1(パリティ許可)の場合です。

図13.20 転送フォーマット

13.1.2.4 シリアルデータ論理切り替え

UiTBレジスタに書いた値の論理を反転して送信します。UiRBレジスタを読むと、受信データの論理を反転した値が読めます。図13.21にシリアルデータ論理を示します。

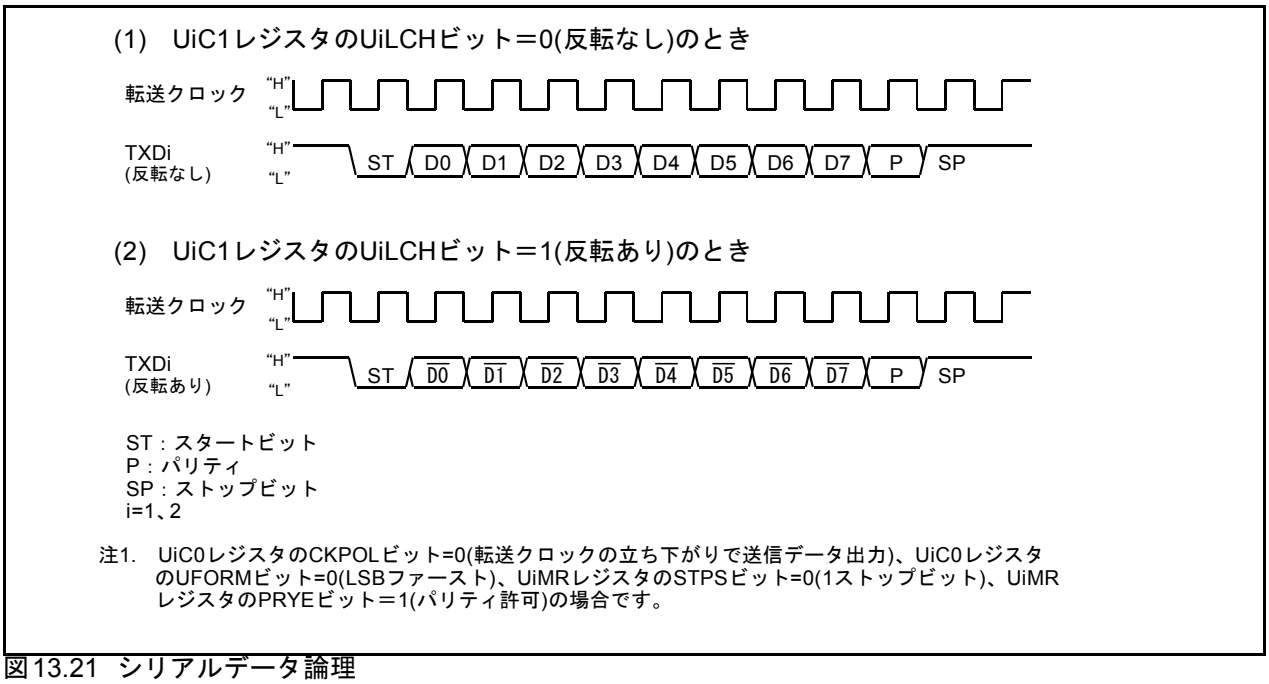


図13.21 シリアルデータ論理

13.1.2.5 TXD、RXD入出力極性切り替え機能

TXDi端子出力とRXDi端子入力を反転する機能です。入出力するデータのレベルがすべて(スタートビット、ストップビット、パリティビットを含む)反転します。図13.22にTXD、RXD入出力極性切り替えを示します。

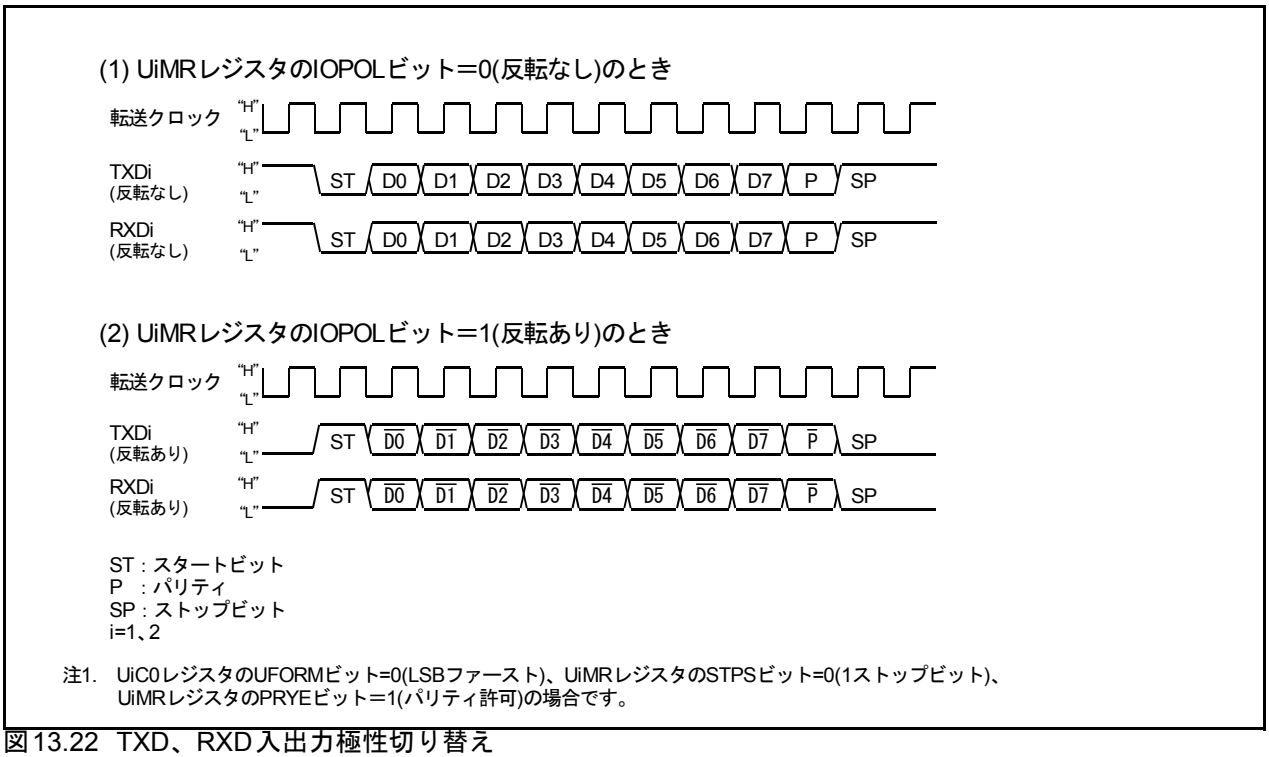


図13.22 TXD、RXD入出力極性切り替え

13.1.2.6 $\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能

$\overline{\text{CTS}}$機能は、$\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$(i=1、2)端子に“L”を入力すると、送信を開始させる機能です。$\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$端子の入力レベルが“L”になると、送信を開始します。送信の最中に入力レベルを“H”にした場合、次のデータから送信を停止します。

$\overline{\text{RTS}}$機能は、受信準備が整ったとき、$\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$端子の出力レベルが“L”になります。CLKi端子の最初の立ち下がりで出力レベルが“H”になります。

- UiC0レジスタのCRDビット=1($\overline{\text{CTS}}$/$\overline{\text{RTS}}$機能禁止) $\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$端子はプログラマブル入出力機能
- CRDビット=0、CRSビット=0($\overline{\text{CTS}}$機能選択) $\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$端子は$\overline{\text{CTS}}$機能
- CRDビット=0、CRSビット=1($\overline{\text{RTS}}$機能選択) $\overline{\text{CTSi}}$/$\overline{\text{RTSi}}$端子は$\overline{\text{RTS}}$機能

13.1.3 特殊モード1(I²Cモード)

I²Cモードは、簡易形I²Cインタフェースに対応したモードです。表13.10にI²Cモードの仕様を、表13.11～表13.12にI²Cモード時の使用レジスタと設定値を、表13.13にI²Cモード時の各機能を、図13.23にI²Cモードのブロック図を、図13.24にSCLiタイミングを示します。

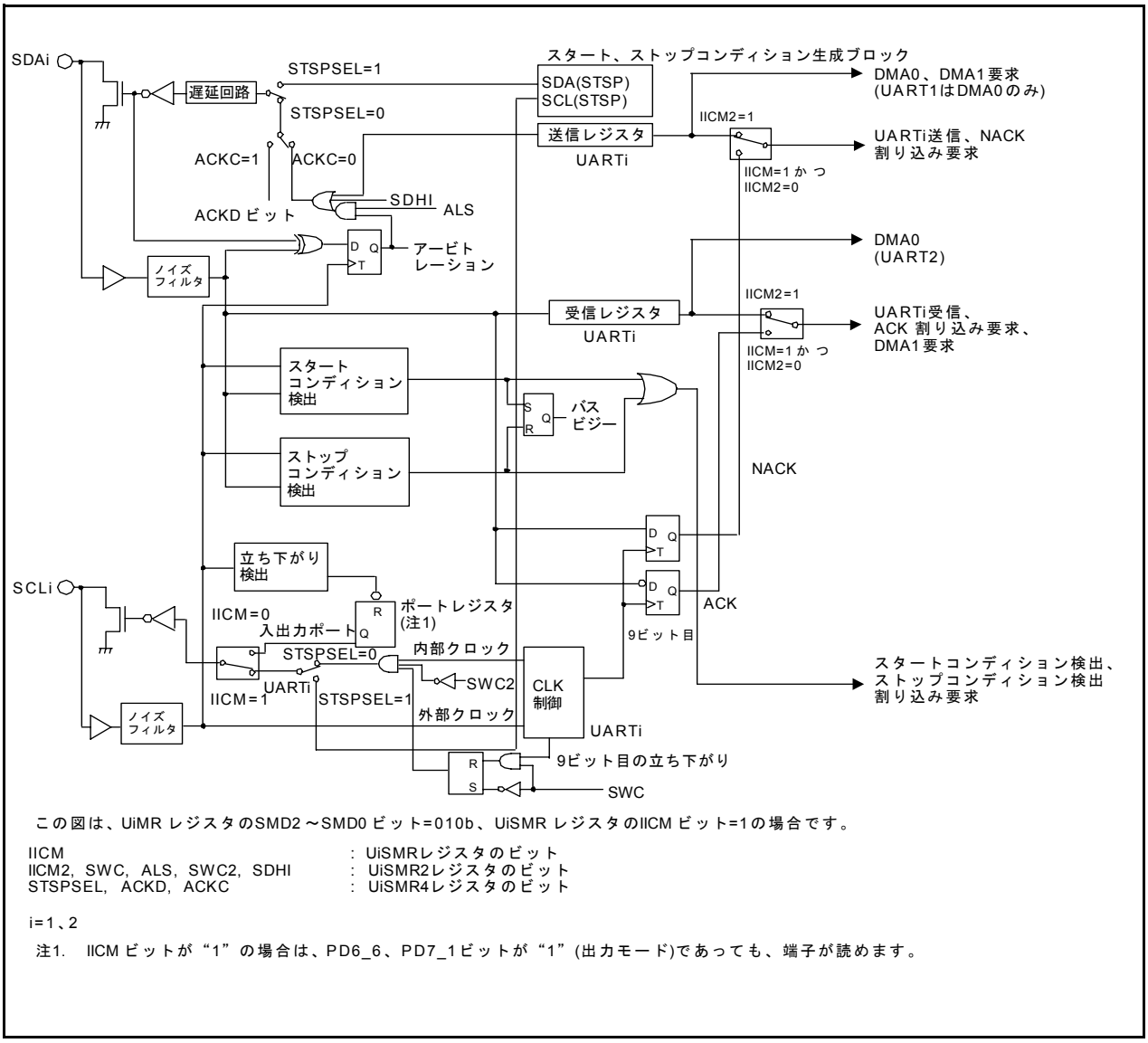
表13.13に示すように、SMD2～SMD0ビットを“010b”に、IICMビットを“1”にするとI²Cモードになります。SDAi送信出力には遅延回路が付加されますので、SCLiが“L”になり安定した後、SDAi出力が変化します。

表13.10 I²Cモードの仕様

項　目	仕　様
転送データフォーマット	転送データ長　8ビット
転送クロック	•マスタ時 UiMRレジスタ(i=1、2)のCKDIRビットが“0”(内部クロック)：fj/(2(n+1)) fj=f1SIO、f2SIO、f8SIO、f32SIO　n=UiBRGレジスタの設定値　00h～FFh •スレーブ時 CKDIRビットが“1”(外部クロック)：SCLi端子からの入力
送信開始条件	送信開始には、次の条件が必要(注1) •UiC1レジスタのTEビットが“1”(送信許可) •UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要(注1) •UiC1レジスタのREビットが“1”(受信許可) •UiC1レジスタのTEビットが“1”(送信許可) •UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	スタートコンディション検出、ストップコンディション検出、アクノリッジ未検出、アクノリッジ検出
エラー検出	•オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの8ビット目を受信すると発生
選択機能	•アービトレーションロスト UiRBレジスタのABTビットの更新タイミングを選択可 •SDAiディジタル遅延 ディジタル遅延なし、またはUiBRGカウントソースの2～8サイクルの遅延を選択可 •クロック位相設定 クロック遅れあり、なしを選択可

注1.　外部クロックを選択している場合、外部クロックが“H”の状態で条件を満たしてください。
注2.　オーバランエラーが発生した場合、UiRBレジスタは不定になります。またSiRICレジスタのIRビットは変化しません。

i = 1、2



この図は、UiMR レジスタのSMD2～SMD0 ビット=010b、UiSMR レジスタのIICM ビット=1の場合です。

IICM : UiSMRレジスタのビット
IICM2, SWC, ALS, SWC2, SDHI : UiSMR2レジスタのビット
STSPSEL, ACKD, ACKC : UiSMR4レジスタのビット

i=1、2

注1. IICM ビットが“1”の場合は、PD6_6、PD7_1ビットが“1”(出力モード)であっても、端子が読めます。

図13.23 I²Cモードのブロック図

表13.11 I²Cモード時の使用レジスタと設定値(1)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UiTB(注1)	0～7	送信データを設定してください	送信データを設定してください
UiRB(注1)	0～7	受信データが読めます	受信データが読めます
	8	ACK、NACKが入ります	ACK、NACKが入ります
	ABT	アービトレーションロスト検出フラグ	無効
	OER	オーバランエラーフラグ	オーバランエラーフラグ
UiBRG	0～7	転送速度を設定してください	無効
UiMR(注1)	SMD2～SMD0	“010b”にしてください	“010b”にしてください
	CKDIR	“0”にしてください	“1”にしてください
	IOPOL	“0”にしてください	“0”にしてください
UiC0	CLK1、CLK0	UiBRGのカウントソースを選択してください	無効
	CRS	CRD=1なので無効	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ	送信レジスタ空フラグ
	CRD	“1”にしてください	“1”にしてください
	NCH	“1”にしてください(注2)	“1”にしてください(注2)
	CKPOL	“0”にしてください	“0”にしてください
	UFORM	“1”にしてください	“1”にしてください
UiC1	TE	送信を許可する場合、“1”にしてください	送信を許可する場合、“1”にしてください
	TI	送信バッファ空フラグ	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ	受信完了フラグ
	U2IRS(注3)	無効	無効
	U2RRM(注3)、UiLCH、UiERE	“0”にしてください	“0”にしてください
UiSMR	IICM	“1”にしてください	“1”にしてください
	ABC	アービトレーションロスト検出タイミングを選択してください	無効
	BBS	バスビジーフラグ	バスビジーフラグ
	3～7	“0”にしてください	“0”にしてください
UiSMR2	IICM2	「表13.13 I²Cモード時の各機能」参照	「表13.13 I²Cモード時の各機能」参照
	CSC	クロック同期化を許可する場合、“1”にしてください	“0”にしてください
	SWC	クロックの9ビット目の立ち下がりでSCLi出力を“L”出力固定にする場合、“1”にしてください	クロックの9ビット目の立ち下がりでSCLi出力を“L”出力固定にする場合、“1”にしてください
	ALS	アービトレーションロスト検出時にSDAiの出力を停止する場合“1”にしてください	“0”にしてください
	STAC	“0”にしてください	スタートコンディション検出でUARTiを初期化する場合、“1”にしてください
	SWC2	SCLiの出力を強制的に“L”にする場合、“1”にしてください	SCLiの出力を強制的に“L”にする場合、“1”にしてください
	SDHI	SDAi出力を禁止をする場合、“1”にしてください	SDAi出力を禁止をする場合、“1”にしてください
	7	“0”にしてください	“0”にしてください
UiSMR3	0、2、4、NODC	“0”にしてください	“0”にしてください
	CKPH	「表13.13 I²Cモード時の各機能」参照	「表13.13 I²Cモード時の各機能」参照
	DL2～DL0	SDAiのディジタル遅延値を設定してください	SDAiのディジタル遅延値を設定してください

注1.　この表に記載していないビットはI²Cモード時に書く場合、“0”を書いてください。
注2.　TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは、なにも配置されていませんので、書く場合“0”を書いてください。
注3.　U0C1、U1C1レジスタのビット4、5は“0”にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCONレジスタにあります。
i=1、2

表13.12 I2Cモード時の使用レジスタと設定値(2)

レジスタ	ビット	機能	
		マスタ時	スレーブ時
UiSMR4	STAREQ	スタートコンディションを生成する場合、“1”にしてください。	“0”にしてください。
	RSTAREQ	リスタートコンディションを生成する場合、“1”にしてください。	“0”にしてください。
	STPREQ	ストップコンディションを生成する場合、“1”にしてください。	“0”にしてください。
	STSPSEL	各コンディション出力時に“1”にしてください。	“0”にしてください。
	ACKD	ACK、NACKを選択してください。	ACK、NACKを選択してください。
	ACKC	ACKデータを出力する場合、“1”にしてください。	ACKデータを出力する場合、“1”にしてください。
	SCLHI	ストップコンディション検出時にSCLi出力を停止する場合、“1”にしてください。	“0”にしてください。
	SWC9	“0”にしてください。	クロックの9ビット目の次の立ち下がりでSCLiを“L”ホールドにする場合、“1”にしてください。
IFSR2A	IFSR26、IFSR27	“1”にしてください。	“1”にしてください。
UCON	U0IRS、U1IRS	無効	無効
	2～7	“0”にしてください。	“0”にしてください。

i=1、2

表13.13 I²Cモード時の各機能

機　能	クロック同期シリアルI/Oモード (SMD2～SMD0=001b, IICM=0)	I²Cモード(SMD2～SMD0=010b,IICM=1)			
		IICM2=0(NACK/ACK割り込み)		IICM2=1(UART送信/UART受信割り込み)	
		CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)	CKPH=0 (クロック遅れなし)	CKPH=1 (クロック遅れあり)
割り込み番号 6, 10の要因 (注1、2、3)	ー	スタートコンディション検出、ストップコンディション検出 (「表13.14 STSPSELビットの機能」参照)			
割り込み番号 15, 19の要因 (注1、4)	UARTi送信 送信開始、または送信完了(UiIRSで選択)	アクノリッジ未検出(NACK) 9ビット目のSCLiの立ち上がり		UARTi送信 9ビット目のSCLiの立ち上がり	UARTi送信 9ビット目の次のSCLiの立ち下がり
割り込み番号 16, 20の要因 (注1、4)	UARTi受信 8ビット目の受信時 CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	アクノリッジ検出(ACK) 9ビット目のSCLiの立ち上がり		UART受信 9ビット目のSCLiの立ち下がり	
UART受信シフトレジスタからUiRBレジスタへのデータ転送タイミング	CKPOL=0(立ち上がり) CKPOL=1(立ち下がり)	9ビット目のSCLiの立ち上がり		9ビット目のSCLiの立ち下がり	9ビット目のSCLiの立ち下がりと、立ち上がり
UARTi送信出力遅延	遅延なし	遅延あり			
P6_7, P7_0端子の機能	TXDi出力	SDAi入出力			
P6_6, P7_1端子の機能	RXDi入力	SCLi入出力			
P6_5, P7_2端子の機能	CLKi入力または出力選択	ー(I²Cモードには使用しない)			
ノイズフィルター幅	15ns	200ns			
RXDi,SCLi端子レベルの読み込み	対応するポート方向ビットが"0"の場合、可能	対応するポート方向ビットの内容に関係なく、可能			
TXDi, SDAi出力の初期値	CKPOL=0(H) CKPOL=1(L)	I²Cモード設定前に、ポートレジスタに設定した値(注5)			
SCLiの初期値、終了値	ー	H	L	H	L
DMA1要因 (注4)	UARTi受信	アクノリッジ検出(ACK)		UARTi受信 9ビット目のSCLiの立ち下がり	
受信データ格納	1～8ビット目をUiRBレジスタのビット0～7に格納	1～8ビット目をUiRBレジスタのビット7～0に格納		1～7ビット目をUiRBレジスタのビット6～0に、8ビット目をUiRBレジスタのビット8に格納	1～8ビット目をUiRBレジスタのビット7～0に格納 (注6)
受信データ読み出し	UiRBレジスタの状態をそのまま読み出す				UiRBレジスタのビット6～0はビット7～1として、ビット8はビット0として読み出す(注7)

i=1、2

注1.割り込み要因を変更すると、変更した割り込みの割り込み制御レジスタのIRビットが"1"(割り込み要求あり)になることがあります(「20.4 割り込み注意事項」参照)。次のビットを変更すると、割り込み要因、割り込みタイミング等が変化しますので、これらのビットを変更した後、IRビットを"0"(割り込み要求なし)にしてください。
UiMRレジスタのSMD2～SMD0ビット、UiSMRレジスタのIICMビット、
UiSMR2レジスタのIICM2ビット、UiSMR3レジスタのCKPHビット

注2.「図13.26 STSPSELビットの機能」参照。

注3.UART1使用時はIFSR2AレジスタのIFSR27ビットを"1"(割り込み要因はUART1バス衝突)にしてください。

注4.「図13.24 UiRBレジスタへの転送、割り込みのタイミング」参照。

注5.SDAi出力の初期値は、SMD2～SMD0ビットが"000b"(シリアルI/Oが無効)の状態で設定してください。

注6.UiRBレジスタへのデータ転送2回目(9ビット目SCLi立ち上がり時)

注7.UiRBレジスタへのデータ転送1回目(9ビット目SCLi立ち下がり時)

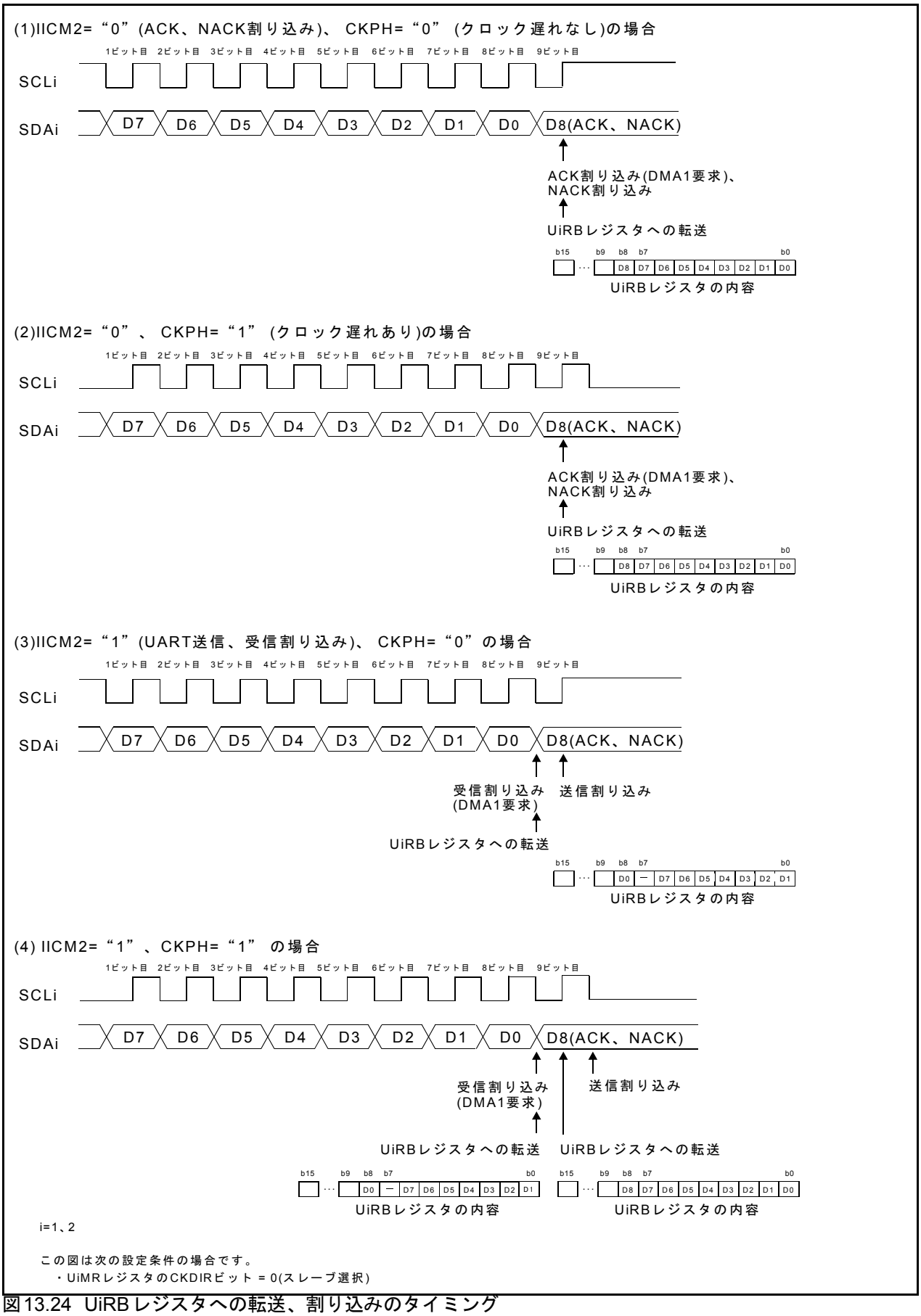


図13.24 UiRBレジスタへの転送、割り込みのタイミング

13.1.3.1 スタートコンディション、ストップコンディションの検出

スタートコンディション検出またはストップコンディション検出を判定します。

スタートコンディション検出割り込み要求は、SCLi端子が“H”の状態でSDAi端子が“H”から“L”に変化すると発生します。ストップコンディション検出割り込み要求は、SCLi端子が“H”の状態でSDAi端子が“L”から“H”に変化すると発生します。

スタートコンディション検出割り込みと、ストップコンディション検出割り込みは、割り込み制御レジスタ、ベクタを共用していますので、どちらの要求による割り込みかは、UiSMRレジスタのBBSビットで判定してください。

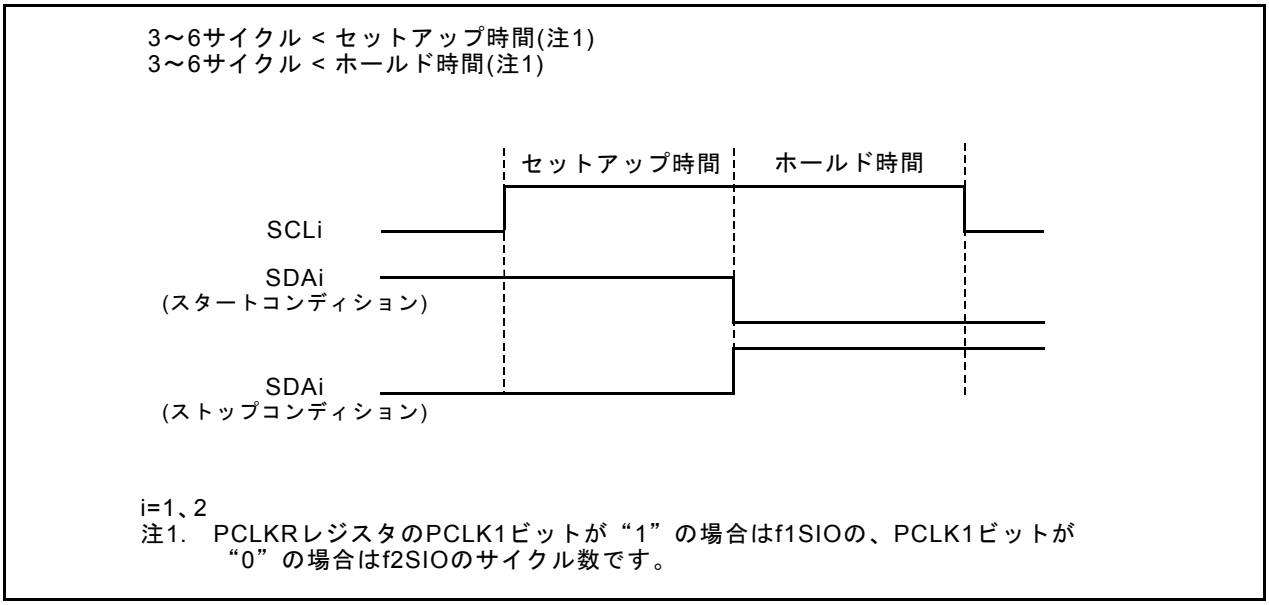


図13.25 スタートコンディション、ストップコンディションの検出

13.1.3.2 スタートコンディション、ストップコンディションの出力

UiSMR4レジスタ(i=1、2)のSTAREQビットを“1”(スタート)にするとスタートコンディションを生成します。

UiSMR4レジスタのRSTAREQビットを“1”(スタート)にするとリスタートコンディションを生成します。

UiSMR4レジスタのSTPREQビットを“1”(スタート)にするとストップコンディションを生成します。

出力の手順は次の通りです。

(1) STAREQビット、RSTAREQビット、またはSTPREQビットを“1”(スタート)にする

(2) UiSMR4レジスタのSTSPSELビット“1”(出力)にする

表13.14と図13.26にSTSPSELビットの機能を示します。

表13.14 STSPSELビットの機能

機能	STSPSEL=0	STSPSEL=1
SCLi、SDAi端子の出力	転送クロック、データを出力。 スタートコンディション、ストップコンディションの出力はポートを使ったプログラムで実現 (ハードウェアによる自動生成はしない)	STAREQビット、RSTAREQビット、STPREQビットに従って、スタートコンディション、ストップコンディションを出力
スタートコンディション、ストップコンディション割り込み要求発生タイミング	スタートコンディション、ストップコンディション検出	スタートコンディション、ストップコンディション生成終了

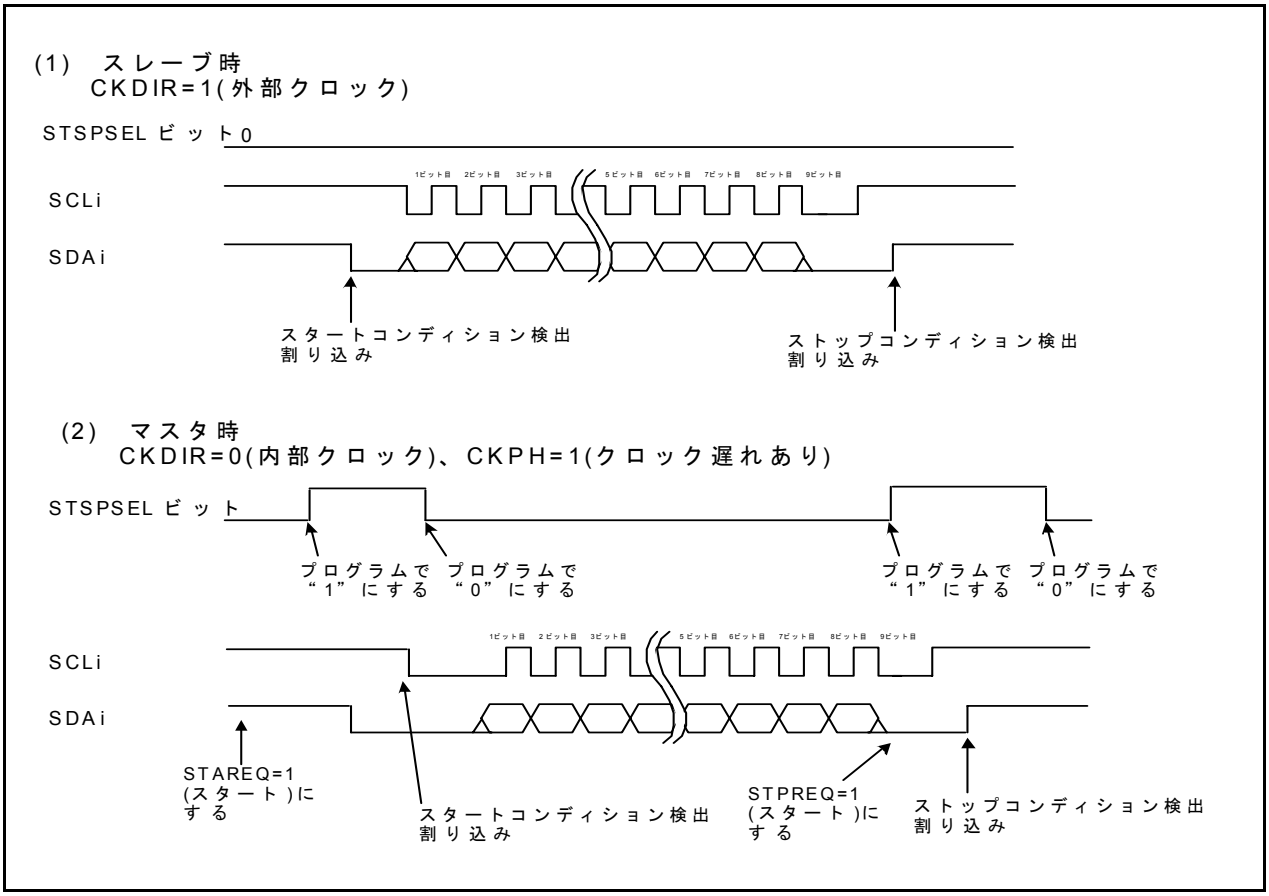


図13.26 STSPSELビットの機能

13.1.3.3 アービトレーション

SCLiの立ち上がりのタイミングで、送信データとSDAi端子入力データの不一致を判定します。UiSMRレジスタのABCビットで、UiRBレジスタのABTビットの更新タイミングを選択します。ABCビットが"0"(ビットごとに更新)の場合、判定時に不一致を検出すると同時にABTビットが"1"に、検出しないと"0"になります。ABCビットを"1"にすると、判定時に一度でも不一致が検出された場合、9ビット目のクロックの立ち下がりでABTビットが"1"(不一致検出)になります。なお、バイトごとに更新する場合は、1バイト目のアクノリッジ検出完了後、ABTビットを"0"(未検出)にしてから、次の1バイトを転送してください。

UiSMR2レジスタのALSビットを"1"(SDA出力停止許可)にすると、アービトレーションロストが発生しABTビットが"1"(不一致検出)になったとき、同時にSDAi端子がハイインピーダンス状態になります。

13.1.3.4 転送クロック

「図13.24 UiRBレジスタへの転送、割り込みのタイミング」に示すような転送クロックで送受信を行います。

UiSMR2レジスタのCSCビットは内部で生成したクロック(内部SCLi)と、SCLi端子に入力される外部クロックの同期をとるためのビットです。CSCビットを“1”(クロック同期化を許可)にすると、内部SCLiが“H”の場合、SCLi端子に立ち下がりエッジがあれば内部SCLiを“L”とし、UiBRGレジスタの値をリロードしてL区間のカウントを開始します。また、SCLi端子が“L”のとき、内部SCLiが“L”から“H”に変化するとカウントを停止し、SCLi端子が“H”になるとカウントを再開します。したがって、UARTiの転送クロックは、内部SCLiとSCLi端子の信号の論理積になります。なお、転送クロックは内部SCLiの1ビット目の立ち下がりの半周期前から9ビット目の立ち上がりまでの期間で動作します。この機能を使用する場合、転送クロックは内部クロックを選択してください。

UiSMR2レジスタのSWCビットでクロックの9ビット目の立ち下がりで、SCLi端子は“L”出力固定になるか“L”出力固定を解除するかを選択できます。

UiSMR4レジスタのSCLHIビットを“1”(許可)にすると、ストップコンディション検出時にSCLi出力を停止します(ハイインピーダンス状態)。

UiSMR2レジスタのSWC2ビットを“1”(0出力)にすると、送受信中でもSCLi端子から強制的に“L”を出力できます。SWC2ビットを“0”(転送クロック)にすると、SCLi端子からの“L”出力は解除され、転送クロックが入出力されます。

UiSMR3レジスタのCKPHビットが“1”のとき、UiSMR4レジスタのSWC9ビットを“1”(SCL“L”ホールド許可)にすると、クロックの9ビット目の次の立ち下がりでSCLi端子は“L”出力固定になります。SWC9ビットを“0”(SCL“L”ホールド禁止)にすると“L”出力固定は解除されます。

13.1.3.5 SDA出力

UiTBレジスタのビット7～0(D7～D0)に書いた値を、D7から順に出力します。9ビット目(D8)はACKまたはNACKです。

SDAi送信出力の初期値は、IICM=1(I^2Cモード)で、UiMRレジスタのSMD2～SMD0ビットが“000b”(シリアルインタフェースは無効)の状態で設定してください。

UiSMR3レジスタのDL2～DL0ビットによりSDAiの出力を遅延なし、またはUiBRGカウントソースの2～8サイクルの遅延を設定できます。

UiSMR2レジスタのSDHIビットを“1”(SDA出力禁止)にすると、SDAi端子が強制的にハイインピーダンス状態になります。なお、SDHIビットはUARTiの転送クロックの立ち上がりのタイミングで書かないでください。ABTビットが“1”(検出)になる場合があります。

13.1.3.6 SDA入力

IICM2ビットが“0”のとき、受信したデータの1～8ビット目(D7～D0)をUiRBレジスタのビット7～0に格納します。9ビット目(D8)はACKまたはNACKです。

IICM2ビットが“1”のとき、受信したデータの1～7ビット目(D7～D1)をUiRBレジスタのビット6～0に、8ビット目(D0)をUiRBレジスタのビット8に格納します。IICM2ビットが“1”のときでも、CKPHビットが“1”であれば、9ビット目のクロックの立ち上がり後にUiRBレジスタを読み出すことにより、IICM2ビットが“0”のときと同様のデータが読めます。

13.1.3.7 ACK、NACK

UiSMR4レジスタのSTSPSELビットが“0”(スタートコンディション、ストップコンディションを生成しない)でUiSMR4レジスタのACKCビットが“1”(ACKデータ出力)の場合、UiSMR4レジスタのACKDビットの値がSDAi端子から出力されます。

IICM2ビットが“0”の場合、NACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDAi端子が“H”のままであると発生します。ACK割り込み要求は、送信クロックの9ビット目の立ち上がり時にSDAi端子が“L”ならば発生します。

DMA1要求要因にACKiを選択すると、アクノリッジ検出によってDMA転送を起動できます。

13.1.3.8 送受信初期化

STACビットを“1”(UARTi初期化許可)にし、スタートコンディションを検出すると次のように動作します。

- 送信シフトレジスタは初期化され、UiTBレジスタの内容が送信シフトレジスタに転送されます。これにより、次に入力されたクロックを1ビット目として送信を開始します。ただし、UARTi出力値はクロックが入って1ビット目のデータが出力されるまでの間は変化せず、スタートコンディションを検出した時点の値のままです。
- 受信シフトレジスタは初期化され、次に入力されたクロックを1ビット目として受信が開始されます。
- SWCビットが“1”(SCLウェイト出力許可)になります。これにより、クロックの9ビット目の立ち下がりでSCLi端子が“L”になります。

なお、この機能を使用しUARTiの送受信を開始した場合、TIビットは変化しません。また、この機能を使用する場合、転送クロックは外部クロックを選択してください。

13.1.4　特殊モード2

1つのマスタから、複数のスレーブへシリアル通信できます。また、転送クロックの極性と位相を選択できます。表13.15に特殊モード2の仕様を、表13.16に特殊モード2時の使用レジスタと設定値を、図13.27に特殊モード2の通信制御例(UART2)を示します。

表13.15　特殊モード2の仕様

項　　目	仕　　様
転送データフォーマット	転送データ長　8ビット
転送クロック	•マスタモード UiMRレジスタ(i=1、2)のCKDIRビットが“0”(内部クロック選択)：fj/(2(n+1) fj=f1SIO、f2SIO、f8SIO、f32SIO　n：UiBRGレジスタ設定値。00h～FFh。 •スレーブモード CKDIRビットが“1”(外部クロック選択)：CLKi端子からの入力
送信制御、受信制御	入出力ポートで制御
送信開始条件	送信開始には次の条件が必要(注1) •UiC1レジスタのTEビットが“1”(送信許可) •UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要(注1) •UiC1レジスタのREビットが“1”(受信許可) •TEビットが“1”(送信許可) •TIビットが“0”(UiTBレジスタにデータあり)
割り込み要求発生タイミング	送信時、次の条件のいずれかを選択可 •UiC1レジスタのUiIRSビットが“0”(送信バッファ空)： UiTBレジスタからUARTi送信レジスタへデータ転送時(送信開始時) •UiIRSビットが“1”(送信完了)：UARTi送信レジスタからデータ送信完了時 受信時 •UARTi受信レジスタからUiRBレジスタへデータ転送時(受信完了時)
エラー検出	オーバランエラー(注2) UiRBレジスタを読む前に次のデータ受信を開始し、次のデータの7ビット目を受信すると発生
選択機能	•クロック位相選択 転送クロックの極性と相の4つの組み合わせを選択可

注1.　外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態で、CKPOLビットが“1”(転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力)のときは外部クロックが“L”の状態で条件を満たしてください。

注2.　オーバランエラーが発生した場合、UiRBレジスタは不定になります。またSiRICレジスタのIRビットは変化しません。

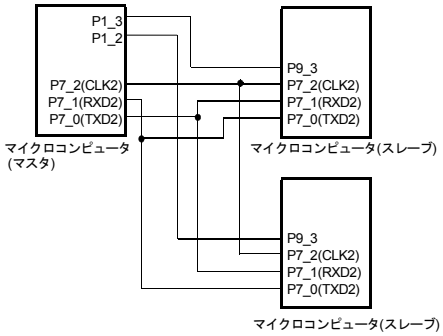


図13.27　特殊モード2の通信制御例(UART2)

表13.16 特殊モード2時の使用レジスタと設定値

レジスタ	ビット	機 能
UiTB(注1)	0～7	送信データを設定してください
UiRB(注1)	0～7	受信データが読めます
	OER	オーバランエラーフラグ
UiBRG	0～7	転送速度を設定してください
UiMR(注1)	SMD2～SMD0	“001b” にしてください
	CKDIR	マスタモードの場合“0”に、スレーブモードの場合 “1” にしてください
	IOPOL	“0” にしてください
UiC0	CLK0、CLK1	UiBRGのカウントソースを選択してください
	CRS	CRD= “1” なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1” にしてください
	NCH	TXDi端子の出力形式を選択してください(注2)
	CKPOL	UiSMR3レジスタのCKPHビットとの組み合わせでクロック位相が設定できます
	UFORM	“0” にしてください
UiC1	TE	送受信許可する場合、“1” にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1” にしてください
	RI	受信完了フラグ
	U2IRS(注3)	UART2送信割り込み要因を選択してください
	U2RRM(注3)、U2LCH、UiERE	“0” にしてください
UiSMR	0～7	“0” にしてください
UiSMR2	0～7	“0” にしてください
UiSMR3	CKPH	UiC0レジスタのCKPOLビットとの組み合わせでクロック位相が設定できます
	NODC	“0” にしてください
	0、2、4～7	“0” にしてください
UiSMR4	0～7	“0” にしてください
UCON	U0IRS、U1IRS	UART0、1送信割り込み要因を選択してください
	U0RRM、U1RRM	“0” にしてください
	CLKMD0	CLKMD1=0なので無効
	CLKMD1、RCSP、7	“0” にしてください

注1. この表に記載していないビットは特殊モード2時に書く場合、“0” を書いてください。
注2. TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていませんので、書く場合 “0” を書いてください。
注3. U0C0、U1C1レジスタのビット4、5は “0” にしてください。U0IRS、U1IRS、U0RRM、U1RRMビットはUCON レジスタにあります。

i=1、2

13.1.4.1 クロック位相設定機能

UiSMR3レジスタのCKPHビットとUiC0レジスタのCKPOLビットで転送クロックの相と極性の4つの組み合わせを選択できます。

転送クロックの極性と相は、転送を行うマスタとスレーブで同じにしてください。

図13.28にマスタ(内部クロック)の場合の送受信のタイミングを示します。

図13.29にスレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)、図13.30にスレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)を示します。

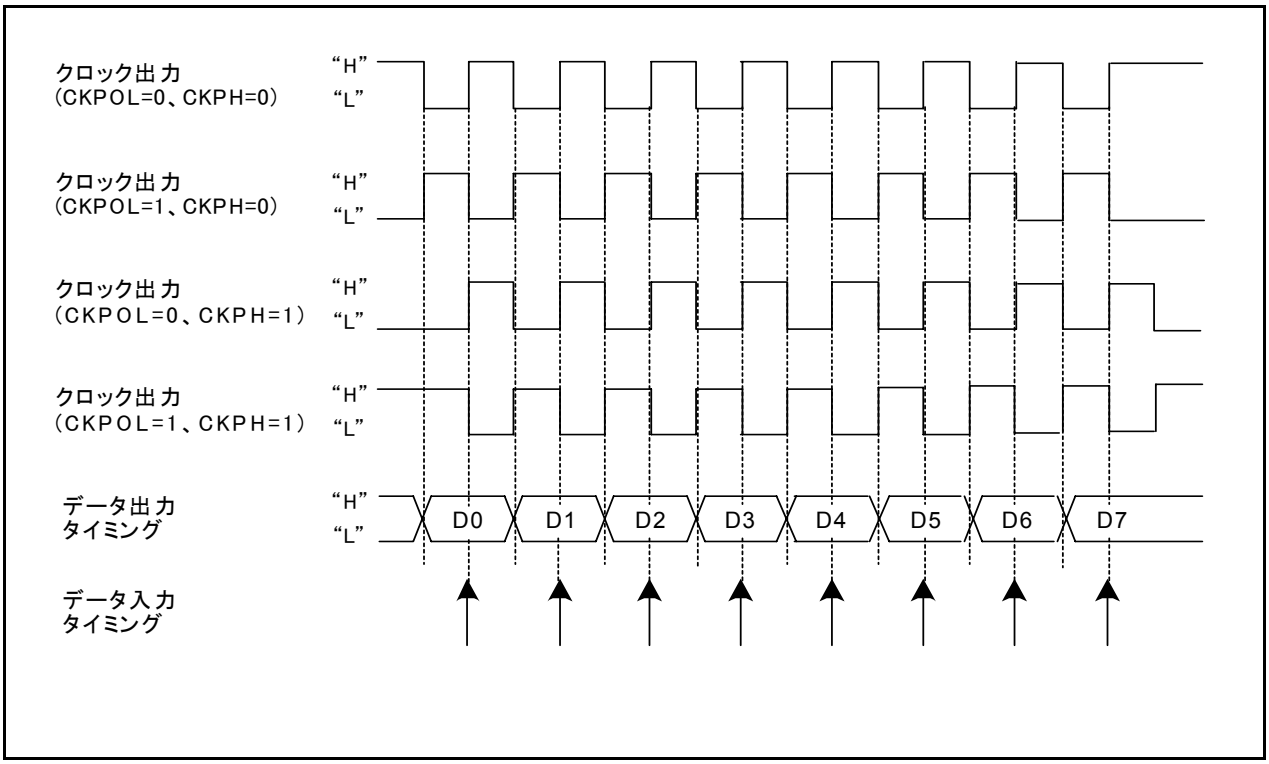


図13.28 マスタ(内部クロック)の場合の送受信のタイミング

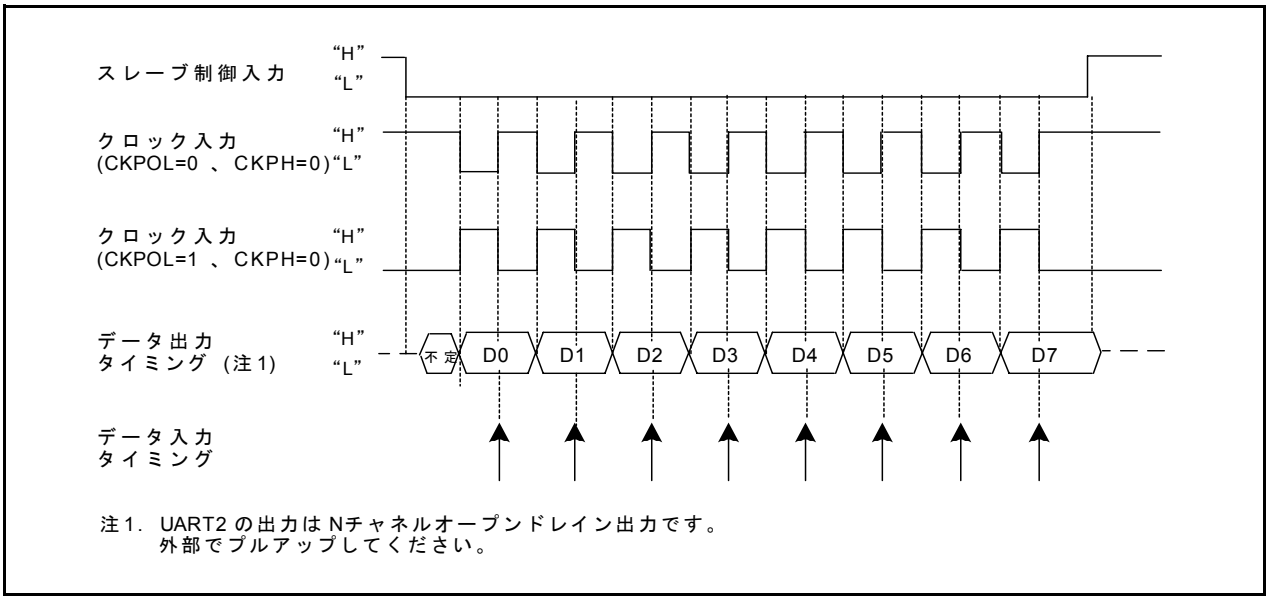


図13.29 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=0)

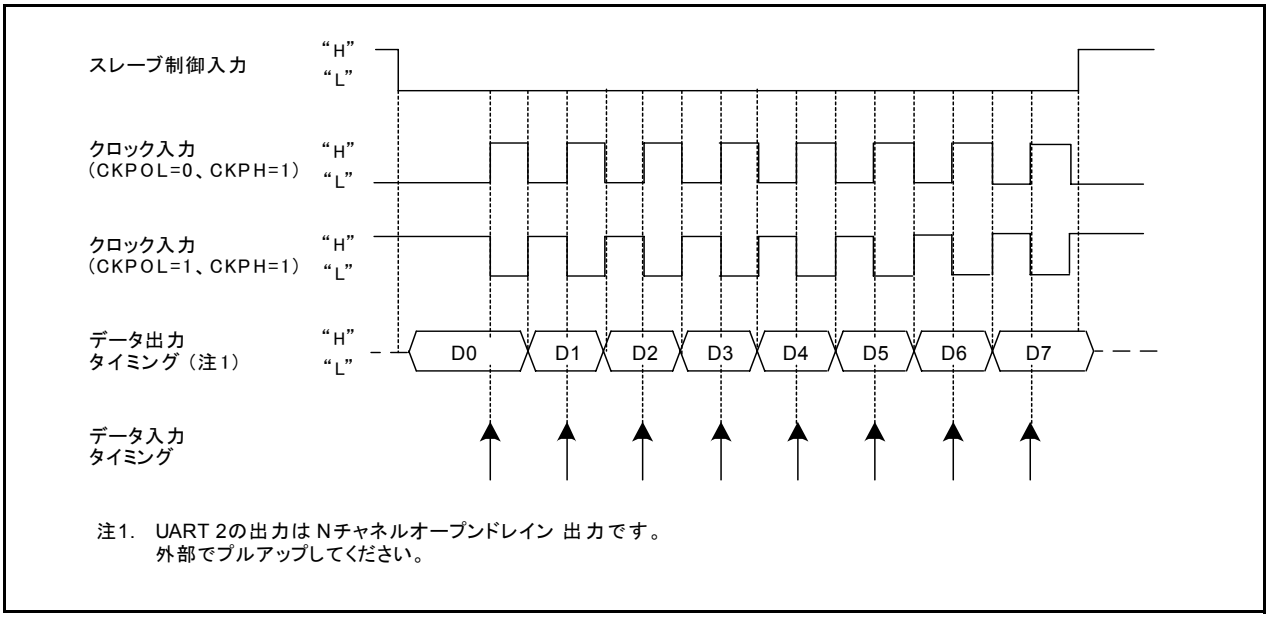


図13.30 スレーブ(外部クロック)の場合の送受信のタイミング(CKPH=1)

13.1.5 特殊モード3(IEモード) (UART2)

UARTモードの1バイトの波形でIEBusの1ビットに近似させるモードです。

表13.17にIEモード時の使用レジスタと設定値を、図13.31にバス衝突検出機能関連ビットの機能を示します。

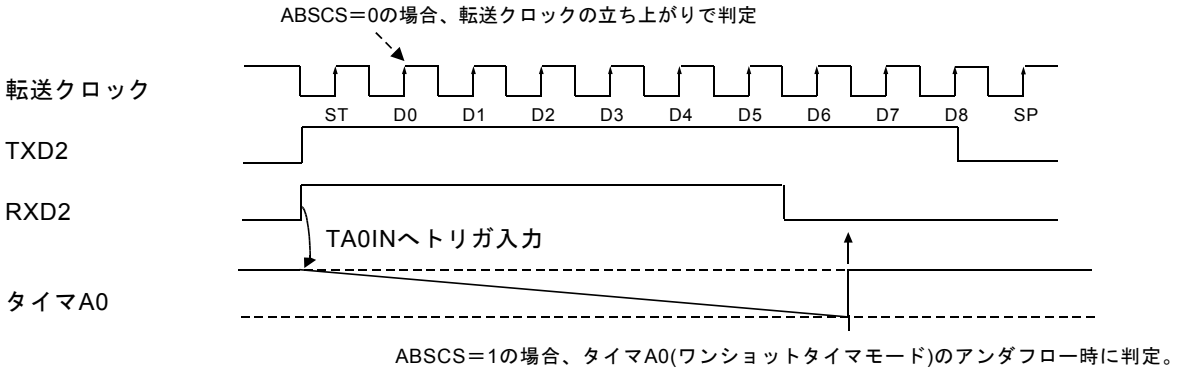
TXD2端子の出力レベルとRXD2端子の入力レベルが異なる場合、UART2バス衝突検出割り込み要求が発生します。

表13.17 IEモード時の使用レジスタと設定値

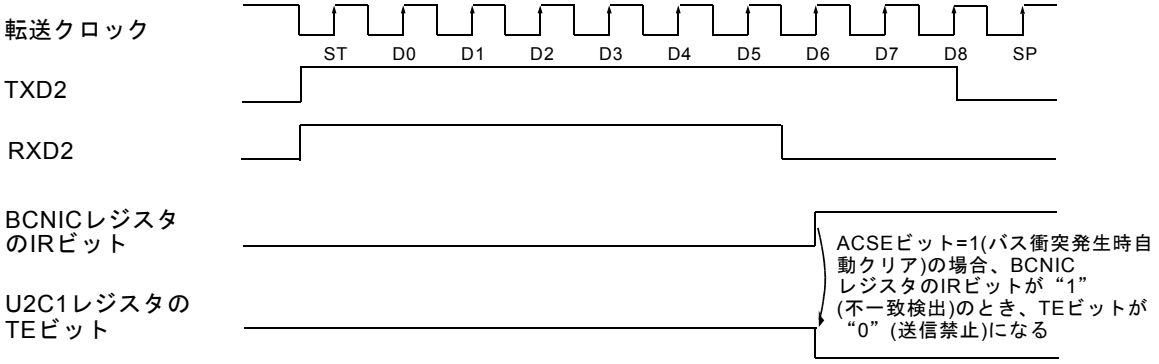
レジスタ	ビット	機　能
U2TB	0～8	送信データを設定してください
U2RB(注1)	0～8	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	0～7	転送速度を設定してください
U2MR	SMD2～SMD0	“110b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0”にしてください
	PRY	PRYE=0なので無効
	PRYE	“0”にしてください
	IOPOL	TXD、RXD入出力極性を選択してください
U2C0	CLK1、CLK0	U2BRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1”にしてください
	NCH	TXD2端子の出力形式を選択してください(注2)
	CKPOL	“0”にしてください
	UFORM	“0”にしてください
U2C1	TE	送信を許可する場合“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合、“1”にしてください
	RI	受信完了フラグ
	U2IRS	UART2送信割り込み要因を選択してください
	U2RRM、 U2LCH、U2ERE	“0”にしてください
U2SMR	0～3、7	“0”にしてください
	ABSCS	バス衝突検出サンプリングタイミングを選択してください
	ACSE	送信許可ビット自動クリアを使用する場合、“1”にしてください
	SSS	送信開始条件を選択してください
U2SMR2	0～7	“0”にしてください
U2SMR3	0～7	“0”にしてください
U2SMR4	0～7	“0”にしてください

注1. この表に記載していないビットはIEモード時に書く場合、“0”を書いてください。
注2. TXD2端子はNチャネルオープンドレインです。U2C0レジスタのNCHビットは、何も配置されていませんので、書く場合は“0”を書いてください。

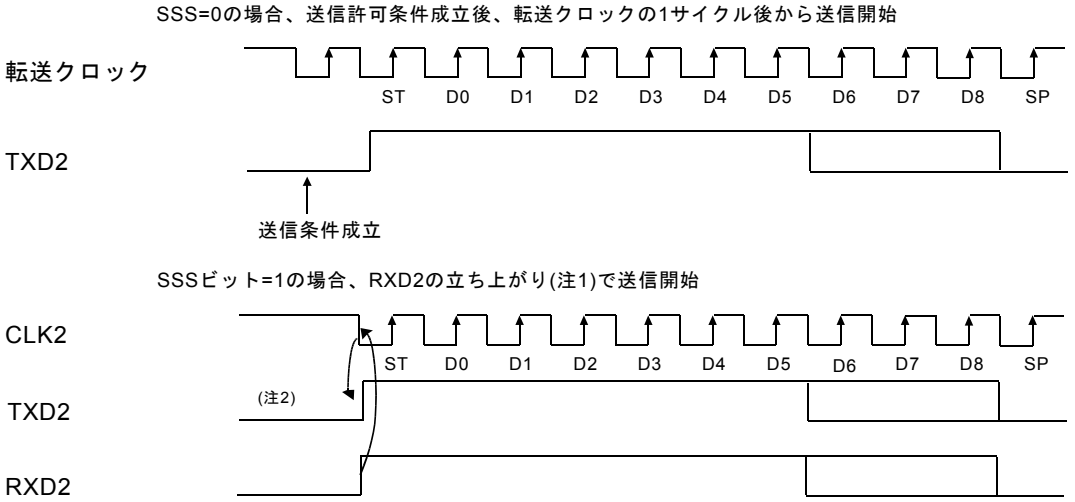
(1) U2SMRレジスタのABSCSビット (バス衝突検出サンプリングクロック選択)



(2) U2SMRレジスタのACSEビット (送信許可ビット自動クリア)



(3) U2SMRレジスタのSSSビット(送信開始条件選択)



注1. IOPOL=0の場合、RXD2の立ち下がり。IOPOL=1の場合、RXD2の立ち上がり。
注2. 送信条件は、RXDの立ち下がり(注1)前に成立している必要があります。

この図は、IOPOL=1(反転あり)の場合です。

図13.31 バス衝突検出機能関連ビットの機能

13.1.6 特殊モード4(SIMモード)(UART2)

UARTモードを使用して、SIMインタフェースに対応するモードです。ダイレクトフォーマットとインバースフォーマットが実現でき、パリティエラー検出時にはTXD2端子から“L”を出力できます。

表13.18にSIMモードの仕様を、表13.19にSIMモード時の使用レジスタと設定値を示します。

表13.18 SIMモードの仕様

項　目	仕　様
転送データフォーマット	•ダイレクトフォーマット •インバースフォーマット
転送クロック	•U2MRレジスタのCKDIRビットが“0”(内部クロック)：fi/(16(n+1)) fi=f1SIO、f2SIO、f8SIO、f32SIO n=U2BRGレジスタの設定値 00h～FFh •CKDIRビットが“1”(外部クロック)：fEXT/(16(n+1)) fEXTはCLK2端子からの入力。n=U2BRGレジスタの設定値 00h～FFh
送信開始条件	送信開始には、次の条件が必要です。 •U2C1レジスタのTEビットが“1”(送信許可) •U2C1レジスタのTIビットが“0”(U2TBレジスタにデータあり)
受信開始条件	受信開始には、次の条件が必要です。 •U2C1レジスタのREビットが“1”(受信許可) •スタートビットの検出
割り込み要求発生タイミング(注1)	•送信時 UART2送信レジスタからデータ転送完了時(U2IRSビット=“1”) •受信時 UART2受信レジスタからU2RBレジスタへデータ転送(受信完了)時
エラー検出	•オーバランエラー(注2) U2RBレジスタを読む前に次のデータ受信を開始し、次のデータの最終ストップビットの1つ前のビットを受信すると発生 •フレーミングエラー(注3) 設定した個数のストップビットが検出されなかったときに発生 •パリティエラー(注3) 受信時、パリティエラーを検出すると、パリティエラー信号をTXD2端子から出力 送信時、送信割り込み発生時、RXD2端子の入力レベルによりパリティエラーを検知 •エラーサムフラグ オーバランエラー、フレーミングエラー、パリティエラーのうちいずれかが発生した場合“1”になる

注1. リセット解除後、U2C1レジスタのU2IRSビットを“1”(送信完了)、U2EREビットを“1”(エラー信号出力)にすると、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IRビットを“0”(割り込み要求なし)にしてください。

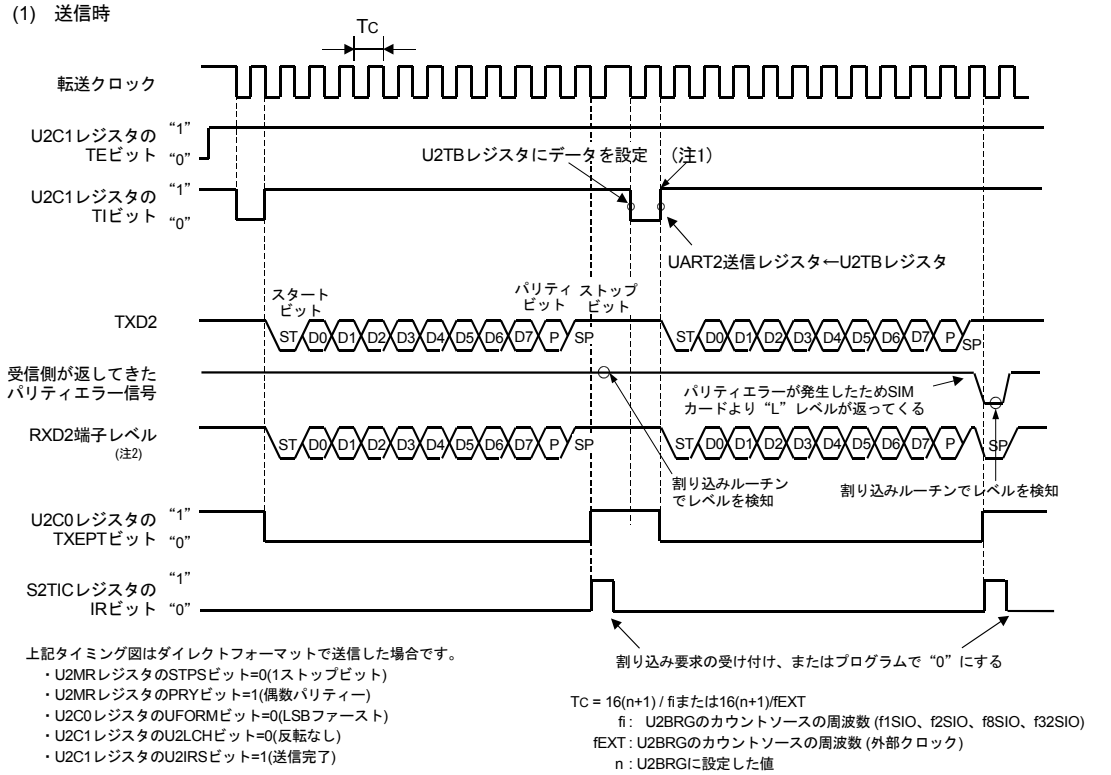
注2. オーバランエラーが発生した場合、U2RBレジスタは不定になります。またS2RICレジスタのIRビットは変化しません。

注3. フレーミングエラーフラグ、パリティエラーフラグの立つタイミングは、UARTi受信レジスタからUiRBレジスタにデータが転送されるときに検出されます。

表13.19 SIMモード時の使用レジスタと設定値

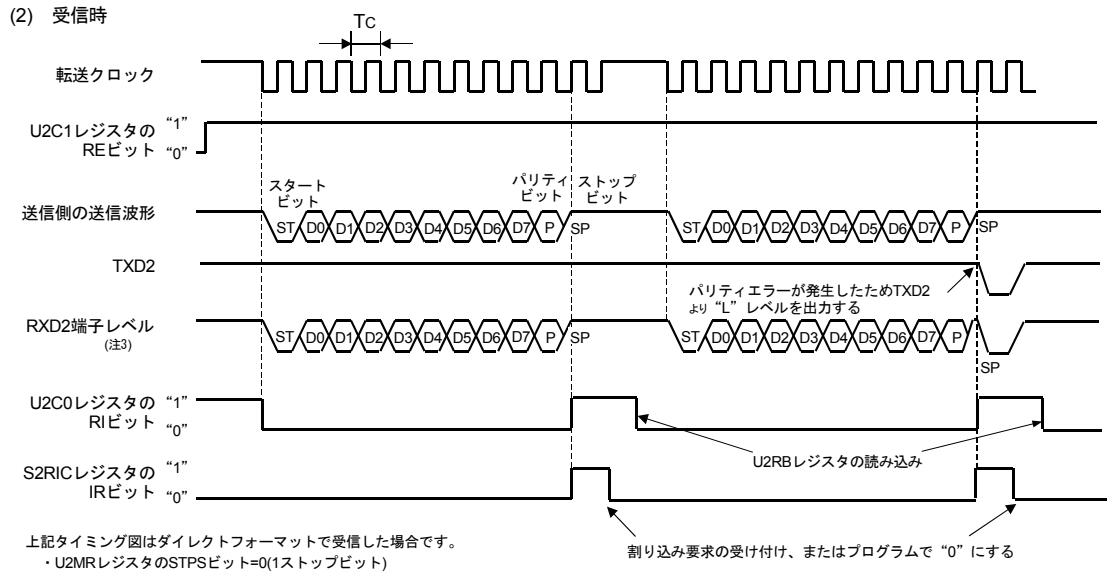
レジスタ	ビット	機　能
U2TB(注1)	0～7	送信データを設定してください
U2RB(注1)	0～7	受信データが読めます
	OER、FER、PER、SUM	エラーフラグ
U2BRG	0～7	転送速度を設定してください
U2MR	SMD2～SMD0	“101b”にしてください
	CKDIR	内部クロック、外部クロックを選択してください
	STPS	“0”にしてください
	PRY	ダイレクトフォーマットの場合““1”に、インバースフォーマットの場合“0”にしてください
	PRYE	“1”にしてください
	IOPOL	“0”にしてください
U2C0	CLK0、CLK1	U2BRGのカウントソースを選択してください
	CRS	CRD=1なので無効
	TXEPT	送信レジスタ空フラグ
	CRD	“1”にしてください
	NCH	“0”にしてください
	CKPOL	“0”にしてください
	UFORM	ダイレクトフォーマットの場合“0”に、インバースフォーマットの場合“1”にしてください
U2C1	TE	送信を許可する場合“1”にしてください
	TI	送信バッファ空フラグ
	RE	受信を許可する場合“1”にしてください
	RI	受信完了フラグ
	U2IRS	“1”にしてください
	U2RRM	“0”にしてください
	U2LCH	ダイレクトフォーマットの場合“0”に、インバースフォーマットの場合“1”にしてください
	U2ERE	“1”にしてください
U2SMR(注1)	0～3	“0”にしてください
U2SMR2	0～7	“0”にしてください
U2SMR3	0～7	“0”にしてください
U2SMR4	0～7	“0”にしてください

注1.　この表に記載していないビットはSIMモード時に書く場合、“0”を書いてください。



上記タイミング図はダイレクトフォーマットで送信した場合です。
- U2MRレジスタのSTPSビット=0(1ストップビット)
- U2MRレジスタのPRYビット=1(偶数パリティー)
- U2C0レジスタのUFORMビット=0(LSBファースト)
- U2C1レジスタのU2LCHビット=0(反転なし)
- U2C1レジスタのU2IRSビット=1(送信完了)

TC = 16(n+1) / fiまたは16(n+1)/fEXT
fi : U2BRGのカウントソースの周波数 (f1SIO、f2SIO、f8SIO、f32SIO)
fEXT : U2BRGのカウントソースの周波数 (外部クロック)
n : U2BRGに設定した値



上記タイミング図はダイレクトフォーマットで受信した場合です。
- U2MRレジスタのSTPSビット=0(1ストップビット)
- U2MRレジスタのPRYビット=1(偶数パリティー)
- U2C0レジスタのUFORMビット=0(LSBファースト)
- U2C1レジスタのU2LCHビット=0(反転なし)
- U2C1レジスタのU2IRSビット=1(送信完了)

TC = 16(n+1) / fiまたは16(n+1)/fEXT
fi: U2BRGのカウントソースの周波数 (f1SIO、f2SIO、f8SIO、f32SIO)
fEXT : U2BRGのカウントソースの周波数 (外部クロック)
n: U2BRGに設定した値

注1. 上記タイミングで、U2TBレジスタに値を書いた後、BRGのオーバフロータイミングで送信が開始されます。
注2. TXD2とRXD2を接続しているため、TXD2の送信波形と受信側が返してきたパリティエラー信号を合成した波形になります。
注3. TXD2とRXD2を接続しているため、送信側の送信波形とTXD2のパリティエラー信号出力を合成した波形になります。

図13.32 SIMモードの送受信タイミング例

図13.33にSIMインタフェース接続例を示します。TXD2とRXD2を接続してプルアップしてください。

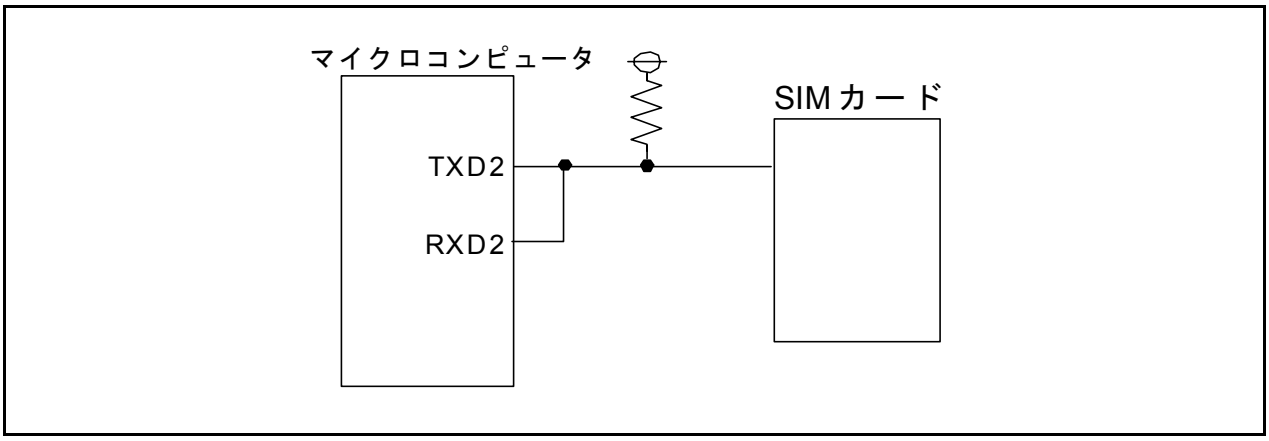


図13.33 SIMインタフェース接続例

13.1.6.1 パリティエラー信号出力機能

U2C1レジスタのU2EREビットを“1”にすると、パリティエラー信号を使用できます。

パリティエラー信号は、受信時にパリティエラーを検出した場合に出力する信号で、図13.34に示すタイミングでTXD2出力が“L”になります。ただし、パリティエラー信号出力中にU2RBレジスタを読むと、PERビットが“0”になり、同時にTXD2出力も“H”に戻ります。

送信時、送信完了割り込み要求がストップビットを出力した次の転送クロックの立ち下がりで発生します。したがって、送信完了割り込みルーチンで、RXD2と端子を共用するポートを読むと、パリティエラー信号が返されたかどうかが判定できます。

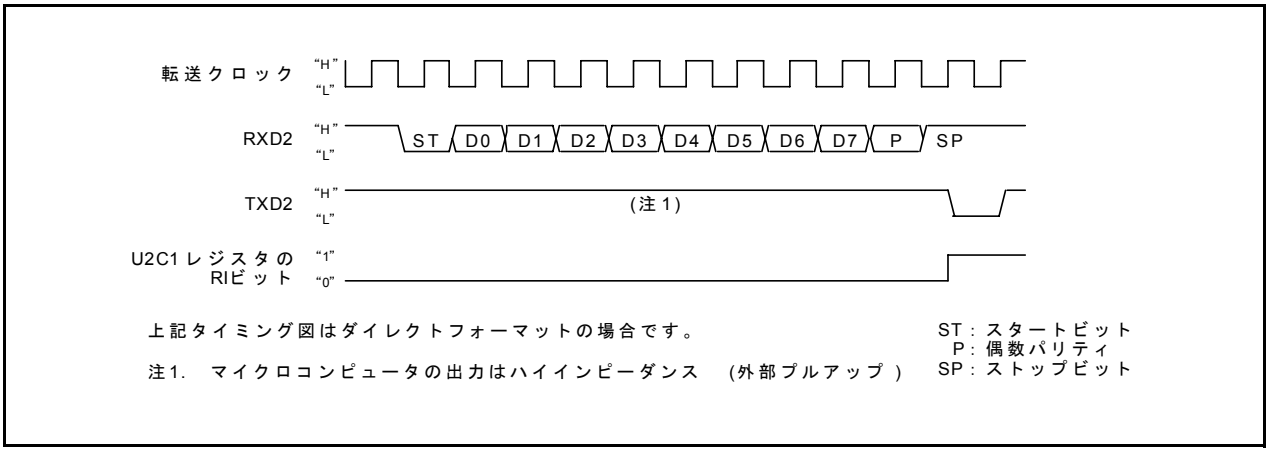


図13.34 パリティエラー信号出力タイミング

13.1.6.2 フォーマット

フォーマットには、ダイレクトフォーマットとインバースフォーマットがあります。

ダイレクトフォーマットの場合、U2MRレジスタのPRYビットを“1”(パリティ許可)、PRYビットを“1”(偶数パリティ)、U2C0レジスタのUFORMビットを“0”(LSBファースト)、U2C1レジスタのU2LCHビットを“0”(反転なし)にしてください。送信時、U2TBレジスタに設定したデータをD0から順に、偶数パリティを付加して送信します。受信時、受け取ったデータをD0から順にU2RBレジスタに格納します。偶数パリティでパリティエラーを判定します。

インバースフォーマットの場合、U2MRレジスタのPRYEビットを“1”(パリティ許可)、PRYビットを“0”(奇数パリティ)、UFORMビットを“1”(MSBファースト)、U2LCHビットを“1”(反転あり)にしてください。送信時、U2TBレジスタに設定した値の論理反転したデータをD7から順に、奇数パリティを付加して送信します。受信時、受け取ったデータを論理反転して、D7から順にU2RBレジスタに格納します。奇数パリティで、パリティエラーを判定します。

図13.35にSIMインタフェースフォーマットを示します。

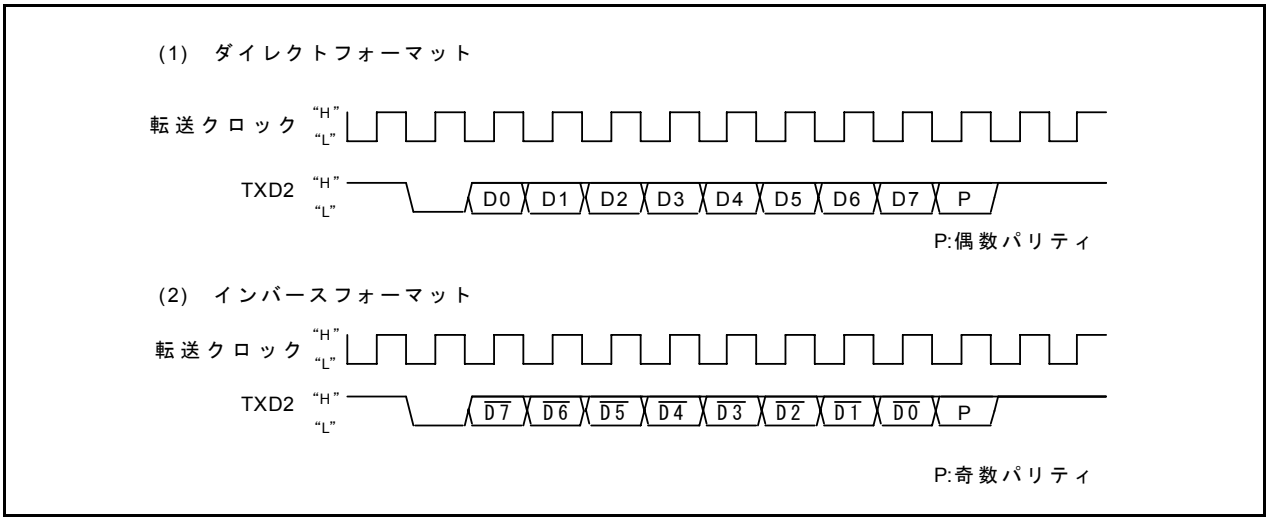


図13.35 SIMインタフェースフォーマット

14. A/Dコンバータ

容量結合増幅器で構成された10ビットの逐次比較変換方式のA/Dコンバータが1回路あります。アナログ入力は、P10_0～P10_7、P9_5、P9_6、P0_0～P0_7と端子を共用しています。また、$\overline{\text{ADTRG}}$入力はP9_7と端子を共用しています。したがって、これらの入力を使用する場合、対応するポート方向ビットは“0”(入力モード)にしてください。

A/Dコンバータを使用しない場合、VCUTビットを“0”(Vref未接続)にすると、VREF端子からラダー抵抗には電流が流れなくなり、消費電力を少なくできます。

A/D変換した結果は、ANi、AN0_i(i=0～7)に対応したADiレジスタに格納されます。

表14.1にA/Dコンバータの仕様、図14.1にA/Dコンバータのブロック図、図14.2～図14.3にA/Dコンバータ関連レジスタを示します。

表14.1　A/Dコンバータの仕様

項　目	仕　様
A/D変換方式	逐次比較変換方式(容量結合増幅器)
アナログ入力電圧(注1)	0V～AVCC(VCC1)
動作クロックφAD(注2)	fAD、fADの2分周、fADの3分周、fADの4分周、fADの6分周、 またはfADの12分周
分解能	8ビットまたは10ビット
積分非直線性誤差	AVCC=VREF=5Vのとき •分解能8ビットの場合　±2LSB •分解能10ビット 　AN0～AN7、AN0_0～AN0_7、ANEX0、ANEX1入力の場合　±5LSB AVCC=VREF=3.3Vのとき •分解能8ビットの場合　±2LSB •分解能10ビット 　AN0～AN7、AN0_0～AN0_7、ANEX0、ANEX1入力の場合　±7LSB
動作モード	単発モード、繰り返しモード
アナログ入力端子	8本(AN0～AN7)＋2本(ANEX0、ANEX1)＋8本(AN0_0～AN0_7)
A/D変換開始条件	•ソフトウェアトリガ 　ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする •外部トリガ(再トリガ可能) 　ADSTビットを“1”(A/D変換開始)にした後、$\overline{\text{ADTRG}}$端子の入力が“H”から 　“L”へ変化
変換速度	•サンプル＆ホールドなし 　分解能8ビットの場合49φADサイクル 　分解能10ビットの場合59φADサイクル •サンプル＆ホールドあり 　分解能8ビットの場合28φADサイクル 　分解能10ビットの場合33φADサイクル

注1.　サンプル＆ホールド機能の有無に依存しません。
注2.　φADの周波数は10MHz以下にしてください。
　　サンプル＆ホールド機能なしの場合、φADの周波数は250kHz以上にしてください。
　　サンプル＆ホールド機能ありの場合、φADの周波数は1MHz以上にしてください。

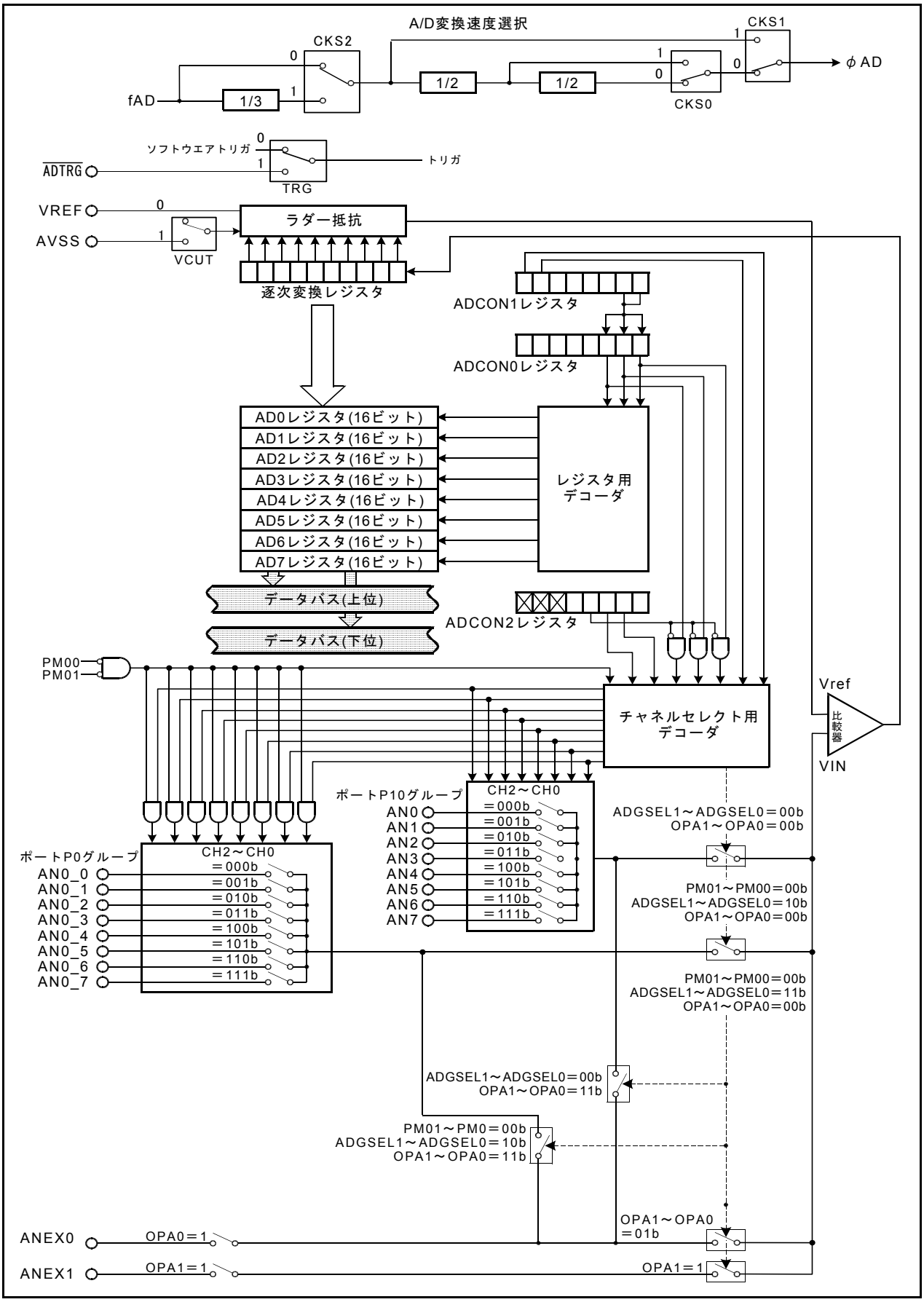
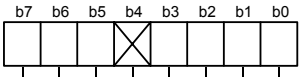


図14.1 A/Dコンバータのブロック図

A/D制御レジスタ0(注1)

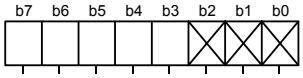


シンボル	アドレス	リセット後の値
ADCON0	03D6h番地	000X0XXXb

ビットシンボル	ビット名	機　　能	RW
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 :AN0を選択 0 0 1 :AN1を選択 0 1 0 :AN2を選択 0 1 1 :AN3を選択 1 0 0 :AN4を選択 1 0 1 :AN5を選択 1 1 0 :AN6を選択 1 1 1 :AN7を選択	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0	0：単発モード 1：繰り返しモード	RW
—— (b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
TRG	トリガ選択ビット	0：ソフトウエアトリガ 1：ADTRGによるトリガ	RW
ADST	A/D変換開始フラグ	0：A/D変換停止 1：A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1.　A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。

A/D制御レジスタ1(注1)



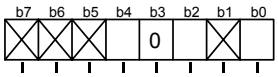
シンボル	アドレス	リセット後の値
ADCON1	03D7h番地	00000XXXb

ビットシンボル	ビット名	機　　能	RW
—— (b0)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
—— (b1)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
—— (b2)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
BITS	8/10ビットモード選択ビット	0：8ビットモード 1：10ビットモード	RW
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
VCUT	Vref接続ビット(注2)	0：Vref未接続 1：Vref接続	RW
OPA0	外部オペアンプ接続モードビット	b7 b6 0 0 :ANEX0、ANEX1は使用しない 0 1 : ANEX0入力をA/D変換 1 0 : ANEX1入力をA/D変換 1 1 :設定しないでください	RW
OPA1			RW

注1.　A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定となります。
注2.　VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図14.2　ADCON0、ADCON1レジスタ

A/D制御レジスタ2(注1)



シンボル	アドレス	リセット後の値
ADCON2	03D4h番地	XXX000X0b

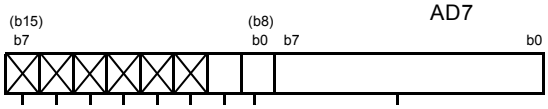
ビットシンボル	ビット名	機　能	RW
SMP	A/D変換方式選択ビット	0 : サンプル&ホールドなし 1 : サンプル&ホールドあり	RW
—(b1)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
ADGSEL1	A/D入力グループ選択ビット	0: ポートP10グループを選択 1: ポートP0グループを選択	RW
—(b3)	予約ビット	“0”にしてください	RW
CKS2	周波数選択ビット2(注2)	0 : fAD、fADの2分周、または fADの4分周を選択 1 : fADの3分周、fADの6分周、または fADの12分周を選択	RW
—(b7-b5)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

注1.　A/D変換中にADCON2レジスタを書き換えた場合、変換結果は不定になります。
注2.　φADの周波数は10MHz以下にしてください。φADはADCON0レジスタのCKS0ビット、ADCON1レジスタのCKS1ビット、ADCON2レジスタのCKS2ビットの組み合わせで選択できます。

CKS2	CKS1	CKS0	φAD
0	0	0	fADの4分周
0	0	1	fADの2分周
0	1	0	fAD
0	1	1	
1	0	0	fADの12分周
1	0	1	fADの6分周
1	1	0	fADの3分周
1	1	1	

A/Dレジスタi(i=0～7)

シンボル	アドレス	リセット後の値
AD0	03C1h-03C0h番地	不定
AD1	03C3h-03C2h番地	不定
AD2	03C5h-03C4h番地	不定
AD3	03C7h-03C6h番地	不定
AD4	03C9h-03C8h番地	不定
AD5	03CBh-03CAh番地	不定
AD6	03CDh-03CCh番地	不定
AD7	03CFh-03CEh番地	不定



機　能		RW
ADCON1レジスタのBITSビットが“1”(10ビットモード)の場合	ADCON1レジスタのBITSビットが“0”(8ビットモード)の場合	RW
A/D変換結果の下位8ビット	A/D変換結果	RO
A/D変換結果の上位2ビット	読んだ場合、その値は不定	RO
何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は“0”。		—

図14.3　ADCON2、AD0～AD7レジスタ

14.1 モードの説明

14.1.1 単発モード

選択した1本の端子の入力電圧を1回A/D変換するモードです。表14.2に単発モードの仕様、図14.4に単発モード時のADCON0、ADCON1レジスタを示します。

表14.2 単発モードの仕様

項　目	仕　様
機能	ADCON0レジスタのCH2～CH0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビット、またはADCON1レジスタのOPA1～OPA0ビットで選択した1本の端子の入力電圧を1回A/D変換する
A/D変換開始条件	•ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする •TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、$\overline{\text{ADTRG}}$端子の入力が“H”から“L”へ変化
A/D変換停止条件	•A/D変換終了(ソフトウェアトリガを選択している場合、ADSTビットは“0”(A/D変換停止)になる) •ADSTビットを“0”にする
割り込み要求発生タイミング	A/D変換終了時
アナログ入力端子	AN0～AN7、AN0_0～AN0_7、ANEX0～ANEX1から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

A/D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			X	0			

シンボル	アドレス	リセット後の値
ADCON0	03D6h番地	000X0XXXb

ビットシンボル	ビット名	機　　能	RW
CH0	アナログ入力端子選択ビット	b2 b1 b0 0 0 0 :AN0を選択 0 0 1 :AN1を選択 0 1 0 :AN2を選択 0 1 1 :AN3を選択 1 0 0 :AN4を選択 1 0 1 :AN5を選択 1 1 0 :AN6を選択 (注2) 1 1 1 :AN7を選択 (注3)	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0	0：単発モード（注3）	RW
—— (b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
TRG	トリガ選択ビット	0：ソフトウエアトリガ 1：ADTRGによるトリガ	RW
ADST	A/D変換開始フラグ	0：A/D変換停止 1：A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1.　A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。
注2.　AN0～AN7と同様にAN0_0～AN0_7を使用できます。ADCON2レジスタのADGSEL1～ADGSEL0ビットで選択してください。
注3.　MD0ビットを書き換えた後、別の命令でCH2～CH0ビットを再設定してください。

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		1			X	X	X

シンボル	アドレス	リセット後の値
ADCON1	03D7h番地	00000XXXb

ビットシンボル	ビット名	機　　能	RW
—— (b0)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
—— (b1)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
—— (b2)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
BITS	8/10ビットモード選択ビット	0：8ビットモード 1：10ビットモード	RW
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
VCUT	Vref接続ビット(注2)	1：Vref接続	RW
OPA0	外部オペアンプ接続モードビット	b7 b6 0 0 :ANEX0、ANEX1は使用しない 0 1 : ANEX0入力をA/D変換 1 0 : ANEX1入力をA/D変換 1 1 :設定しないでください	RW
OPA1			RW

注1.　A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定となります。
注2.　VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図14.4　単発モード時のADCON0、ADCON1レジスタ

14.1.2 繰り返しモード

選択した1本の端子の入力電圧を繰り返しA/D変換するモードです。表14.3に繰り返しモードの仕様、図14.5に繰り返しモード時のADCON0、ADCON1レジスタを示します。

表14.3 繰り返しモードの仕様

項　目	仕　様
機能	ADCON0レジスタのCH2～CH0ビットとADCON2レジスタのADGSEL1～ADGSEL0ビット、またはADCON1レジスタのOPA1～OPA0ビットで選択した1本の端子の入力電圧を繰り返しA/D変換する
A/D変換開始条件	•ADCON0レジスタのTRGビットが“0”(ソフトウェアトリガ)の場合 ADCON0レジスタのADSTビットを“1”(A/D変換開始)にする •TRGビットが“1”(ADTRGによるトリガ)の場合 ADSTビットを“1”(A/D変換開始)にした後、ADTRG端子の入力が“H”から“L”へ変化
A/D変換停止条件	ADSTビットを“0”(A/D変換停止)にする
割り込み要求発生タイミング	割り込み要求は発生しない
アナログ入力端子	AN0～AN7、AN0_0～AN0_7、ANEX0～ANEX1から1端子を選択
A/D変換値の読み出し	選択した端子に対応したAD0～AD7レジスタの読み出し

A/D制御レジスタ0(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			X	1			

シンボル	アドレス	リセット後の値
ADCON0	03D6h番地	000X0XXXb

ビットシンボル	ビット名	機　　能	RW
CH0	アナログ入力端子選択ビット	b2 b1 b0 ０００：AN0を選択 ００１：AN1を選択 ０１０：AN2を選択 ０１１：AN3を選択 １００：AN4を選択 １０１：AN5を選択 １１０：AN6を選択　(注2) １１１：AN7を選択　(注3)	RW
CH1			RW
CH2			RW
MD0	A/D動作モード選択ビット0	1：繰り返しモード(注3)	RW
— (b4)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
TRG	トリガ選択ビット	0：ソフトウエアトリガ 1：ADTRGによるトリガ	RW
ADST	A/D変換開始フラグ	0：A/D変換停止 1：A/D変換開始	RW
CKS0	周波数選択ビット0	ADCON2レジスタの注2を参照してください	RW

注1.　A/D変換中にADCON0レジスタを書き換えた場合、変換結果は不定になります。
注2.　AN0～AN7と同様にAN0_0～AN0_7を使用できます。ADCON2レジスタのADGSEL1～ADGSEL0ビットで選択してください。
注3.　MD0ビットを書き換えた後、別の命令でCH2～CH0ビットを再設定してください。

A/D制御レジスタ1(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		1			X	X	X

シンボル	アドレス	リセット後の値
ADCON1	03D7h番地	00000XXXb

ビットシンボル	ビット名	機　　能	RW
— (b0)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
— (b1)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
— (b2)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
BITS	8/10ビットモード選択ビット	0：8ビットモード 1：10ビットモード	RW
CKS1	周波数選択ビット1	ADCON2レジスタの注2を参照してください	RW
VCUT	Vref接続ビット(注2)	1：Vref接続	RW
OPA0	外部オペアンプ接続モードビット	b7 b6 ００：ANEX0、ANEX1は使用しない ０１：ANEX0入力をA/D変換 １０：ANEX1入力をA/D変換 １１：設定しないでください	RW
OPA1			RW

注1.　A/D変換中にADCON1レジスタを書き換えた場合、変換結果は不定になります。
注2.　VCUTビットを“0”(未接続)から“1”(接続)にしたときは、1μs以上経過した後にA/D変換を開始してください。

図14.5　繰り返しモード時のADCON0、ADCON1レジスタ

14.2 機能

14.2.1 分解能選択機能

ADCON1レジスタのBITSビットで分解能を選択できます。BITSビットを“1”(変換精度を10ビット)にすると、A/D変換結果がADiレジスタ(i=0～7)のビット0～9に格納されます。BITSビットを“0”(変換精度を8ビット)にすると、A/D変換結果がADiレジスタのビット0～7に格納されます。

14.2.2 サンプル＆ホールド

ADCON2レジスタのSMPビットを“1”(サンプル＆ホールドあり)にすると、1端子あたりの変換速度が向上し、分解能8ビットの場合28φADサイクル、分解能10ビットの場合33φADサイクルになります。サンプル＆ホールドは、すべての動作モードに対して有効です。サンプル＆ホールドの有無を選択してからA/D変換を開始してください。

14.2.3 拡張アナログ入力端子

単発モード、繰り返しモードでは、ANEX0、ANEX1端子をアナログ入力端子として使用できます。ADCON1レジスタのOPA1～OPA0ビットで選択してください。

ANEX0入力のA/D変換結果は、AD0レジスタに格納され、ANEX1入力のA/D変換結果は、AD1レジスタに格納されます。

14.2.4　消費電流低減機能

A/Dコンバータを使用しないとき、ADCON1レジスタのVCUTビットによりA/Dコンバータのラダー抵抗と基準電圧入力端子(VREF)を切り離すことができます。切り離すと、VREF端子からラダー抵抗へ電流が流れないので、消費電力が少なくなります。

A/Dコンバータを使用する場合は、VCUTビットを“1”(Vref接続)にした後で、ADCON0レジスタのADSTビットを“1”(A/D変換開始)にしてください。ADSTビットとVCUTビットは、同時に“1”を書かないでください。

また、A/D変換中にVCUTビットを“0”(Vref未接続)にしないでください。

14.2.5　A/D変換時のセンサーの出力インピーダンス

A/D変換を正しく行うためには、図14.6の内部コンデンサCへの充電が所定の時間内に終了することが必要です。この所定の時間(サンプリング時間)をTとします。また、センサー等価回路の出力インピーダンスをR0、マイコン内部の抵抗をR，A/Dコンバータの精度(誤差)をX、分解能をY(Yは10ビットモード時1024、8ビットモード時256)とします。

VCは一般に $VC=VIN\{1-e^{-\frac{1}{C(R0+R)}t}\}$

t=Tのとき、$VC=VIN-\frac{X}{Y}VIN=VIN(1-\frac{X}{Y})$より

$$e^{-\frac{1}{C(R0+R)}T}=\frac{X}{Y}$$

$$-\frac{1}{C(R0+R)}T=\ln\frac{X}{Y}$$

よって、$R0=-\frac{T}{C\cdot\ln\frac{X}{Y}}-R$

図14.6にアナログ入力端子と外部センサーの等価回路例を示します。VINとVCの差が0.1LSBとなるとき、時間TでコンデンサCの端子間電圧VCが0からVIN-(0.1/1024)VINになるインピーダンスR0を求めます。(0.1/1024)は10ビットモードでのA/D変換時に、コンデンサ充電不足によるA/D制度低下を0.1LSBにおさえることを意味します。ただし、実際の誤差は0.1LSBに絶対制度が加わった値です。

f(φAD)=10MHzの時、サンプル&ホールド付きA/D変換モードではT=0.3μsとなります。この時間T内にコンデンサCの充電を十分に行える出力インピーダンスR0は以下のように求められます。

T=0.3μs、R=7.8kΩ、C=1.5pF、X=0.1、Y=1024だから、

$$R0=-\frac{0.3\times10^{-6}}{1.5\times10^{-12}\cdot\ln\frac{0.1}{1024}}-7.8\times10^{3}=13.9\times10^{3}$$

したがって、A/Dコンバータの精度(誤差)を0.1LSB以下にするセンサー回路の出力インピーダンスR0は最大13.9kΩになります。

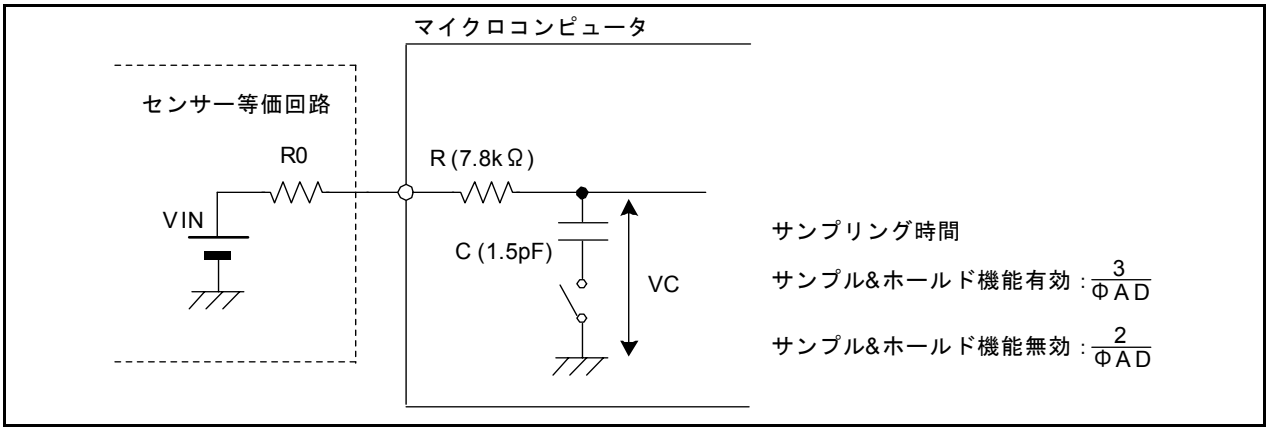


図14.6　アナログ入力端子と外部センサーの等価回路例

15. VFDコントローラ/ドライバ

15.1 VFDコントローラ/ドライバの概要仕様

M16C/39Pグループは、VFD(蛍光表示管)の制御回路を内蔵しています。
表15.1にVFDコントローラ/ドライバの概要仕様を示します。

表15.1 VFDコントローラ/ドライバの概要仕様

項目	仕様
VFDコントローラ用高耐圧ポート	・３４本
表示画素数	・18セグメント× 16ディジット (セグメント数≦ 32、2 ≦ディジット数≦ 16)
周期	・64μs × N ～ 512μs × N (N：ディジット数) (XIN ＝ 16MHz、カウントソース 2MHz (XIN/8) 時)
ディマー時間	・ 8μs ～ 448μs (XIN ＝ 16MHz、カウントソース 2MHz (XIN/8) 時)
拡張機能	・ディジット波出力機能 自動的にディジットの波形を出力する機能です。 ・ディマー機能 ダイナミックスキャンのオンパルス幅を設定する機能です。 表示の輝度を変更できます。 ・表示オン／オフ 全ての桁の表示を通常点灯／全消灯できます。
電源電圧	VCC = 3.0 ～ 3.6V、4.5 ～ 5.5V

15.2　接続仕様

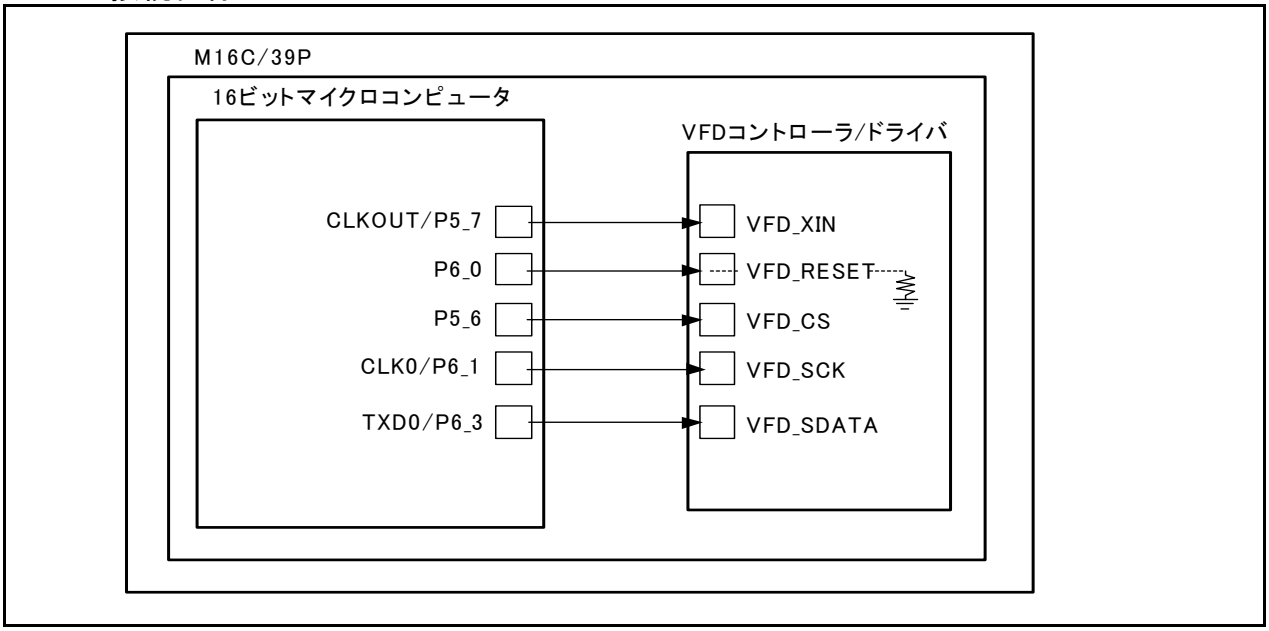


図15.1　VFDコントローラ/ドライバ接続図

表15.2　VFDコントローラ/ドライバの端子機能説明

VFDコントローラ/ドライバ端子名	マイコン接続端子名	機　能　説　明
VFD_XIN	CLKOUT/P5_7	16ビットマイコンから基準クロックを入力します。
VFD_RESET	P6_0	“L”の時、VFDコントローラ/ドライバは初期化されます。
VFD_CS	P5_6	“L”の時、シリアルデータを受信します。 “H”の時、シリアルデータは無視されます。
VFD_SCK	CLK0/P6_1	シリアルデータはSCKの立ち上がりに同期してVFDコントローラ/ドライバのシフトレジスタに取り込まれます。
VFD_SDATA	TXD0/P6_3	

表15.3　VFD制御ビットの設定(注1)

VFDコントローラ/ドライバ端子名	マイコン接続端子名	VFDコントローラ/ドライバの状態		
		マイコンRESET後	停止状態	起動状態
VFD_XIN	P5_7	任意	任意	表15.2参照
	PD5_7	“0”(入力)	“0”(入力)	任意
VFD_RESET	P6_0	任意	任意	表15.2参照
	PD6_0	“0”(入力)	“0”(入力)	“1”(出力)
VFD_CS	P5_6	任意	任意	表15.2参照
	PD5_6	“0”(入力)	“0”(入力)	“1”(出力)
VFD_SCK	P6_1	“0”(“L”)	“0”(“L”)	表15.2参照
	PD6_1	“1”(出力)	“1”(出力)	“1”(出力)
VFD_SDATA	P6_3	“0”(“L”)	“0”(“L”)	表15.2参照
	PD6_3	“1”(出力)	“1”(出力)	“1”(出力)

任意：“0”、“1”どちらでも可

注1. VFDコントローラ/ドライバ停止時は、表15.3に示す通りVFD制御ビットの設定をしてください。

15.3 リセットタイミング

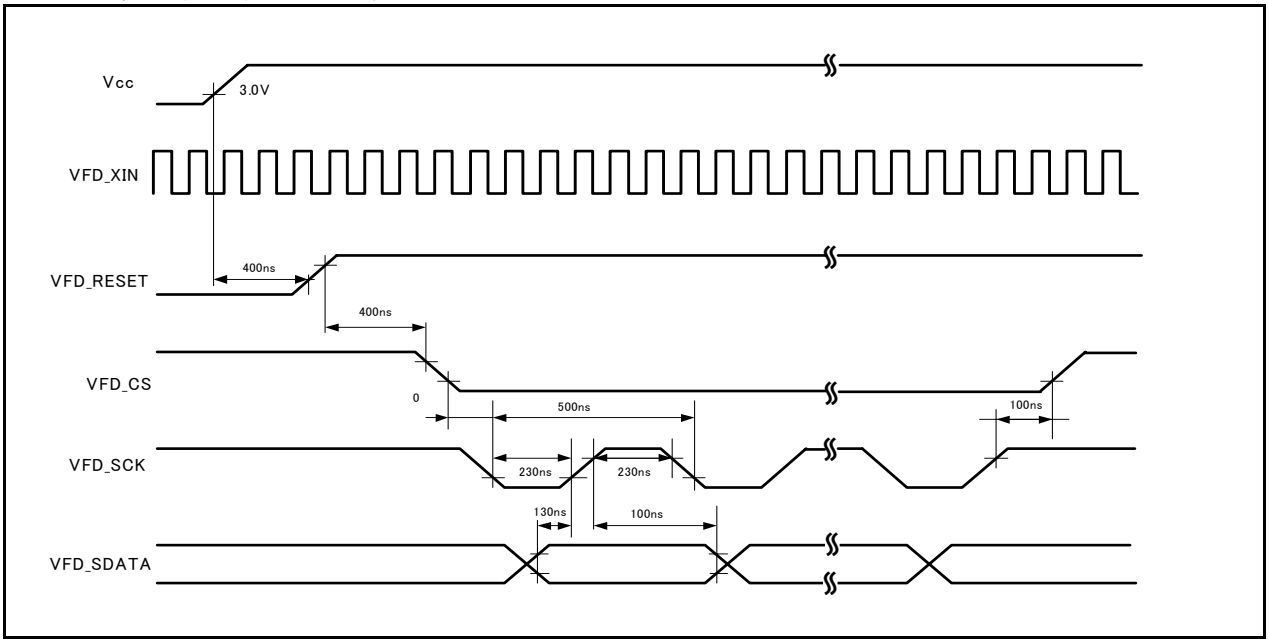


図15.2 VFDコントローラ/ドライバリセットタイミング図

15.4　伝送フォーマット

VFDコントローラ/ドライバは、16ビットマイクロコンピュータから1バイト単位でシリアルデータ(MSBファースト)を受信して動作を行います。

シリアルデータ(VFD_SDATA)はシリアルクロック(VFD_SCK)の立ち上がりエッジでシリアル受信回路内のシフトレジスタに取り込まれます。

シリアル受信回路はVFD_SCKの立ち上がりエッジの数をカウントするカウンタを内蔵しており、VFD_SCKの8T目の立ち上がりをカウントした時点で16ビットマイクロコンピュータからのアクセスをマスクし、受信したシリアルデータに応じた処理を開始します。この処理には一定の時間(t BUSY)が必要なため、VFDコントローラ/ドライバへの次のシリアルデータはt BUSY経過後に送信してください。

VFD_CS=“H”の時、16ビットマイクロコンピュータからのアクセスはマスクされているとともに、VFD_SCK用カウンタはリセット状態にあります。

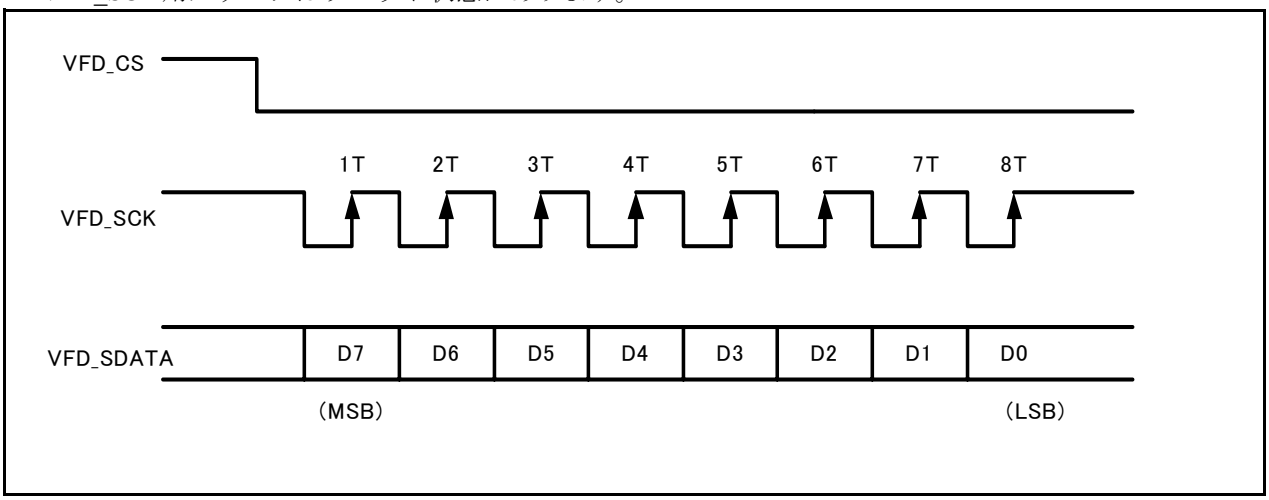


図15.3　シリアルデータ受信タイミング図(1)

VFDコントローラ/ドライバに対して連続してシリアルデータを送信する場合のタイミング例を図15.4に示します。

VFD_CSが“H”から“L”になった後の最初の受信データはアドレスデータとして処理され、それ以降の受信データはレジスタあるいはRAMへの書き込みデータとして処理されます。

従って、基本シーケンスとしては、

VFD_CSを“L”にする → アドレスデータ送信 → 書き込みデータ送信(必要数分) → VFD_CSを“H”にするとなります。

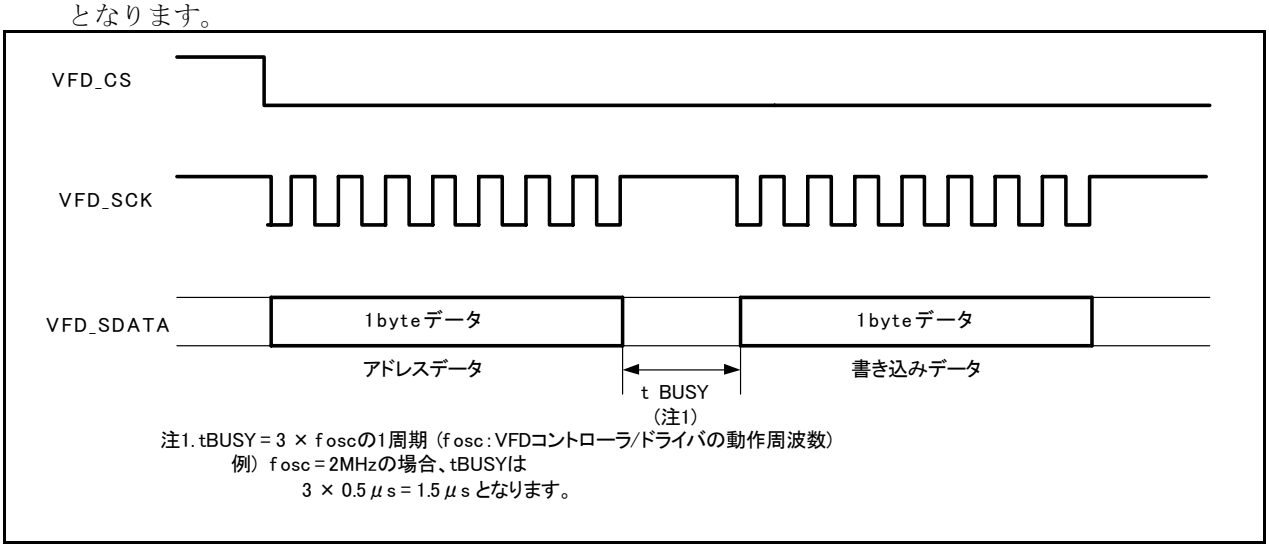


図15.4　シリアルデータ受信タイミング図(2)

15.5　ディジットスキャンタイミング

図15.5に基本ディジットスキャンタイミングを示します。

スキャンはダウンスキャン方式になっており、ディジット出力に設定されたVFDxx出力のうちの番号(xx)が大きいほうから小さいほうへ向かって順次、VFDxx出力がオンしていきます。最下位のディジットをオンした後は、最上位のディジットへ戻ります。

図15.5における各記号の意味は以下のとおりです。

T　:　スキャンサイクル時間(フレーム周期)　　Tdsp　:　1ディジットスキャン時間
Tdig　:　1ディジットオンパルス幅　　Tblk　:　ブランク時間

各記号間の関係は以下のとおりです。

Tdsp = 128 / f oscから1024 / f oscまでの15通りから選択可能。(コマンドで選択)
T = Tdsp × N　(N : ディジット長)
Tdig = Tdsp × ディマー値

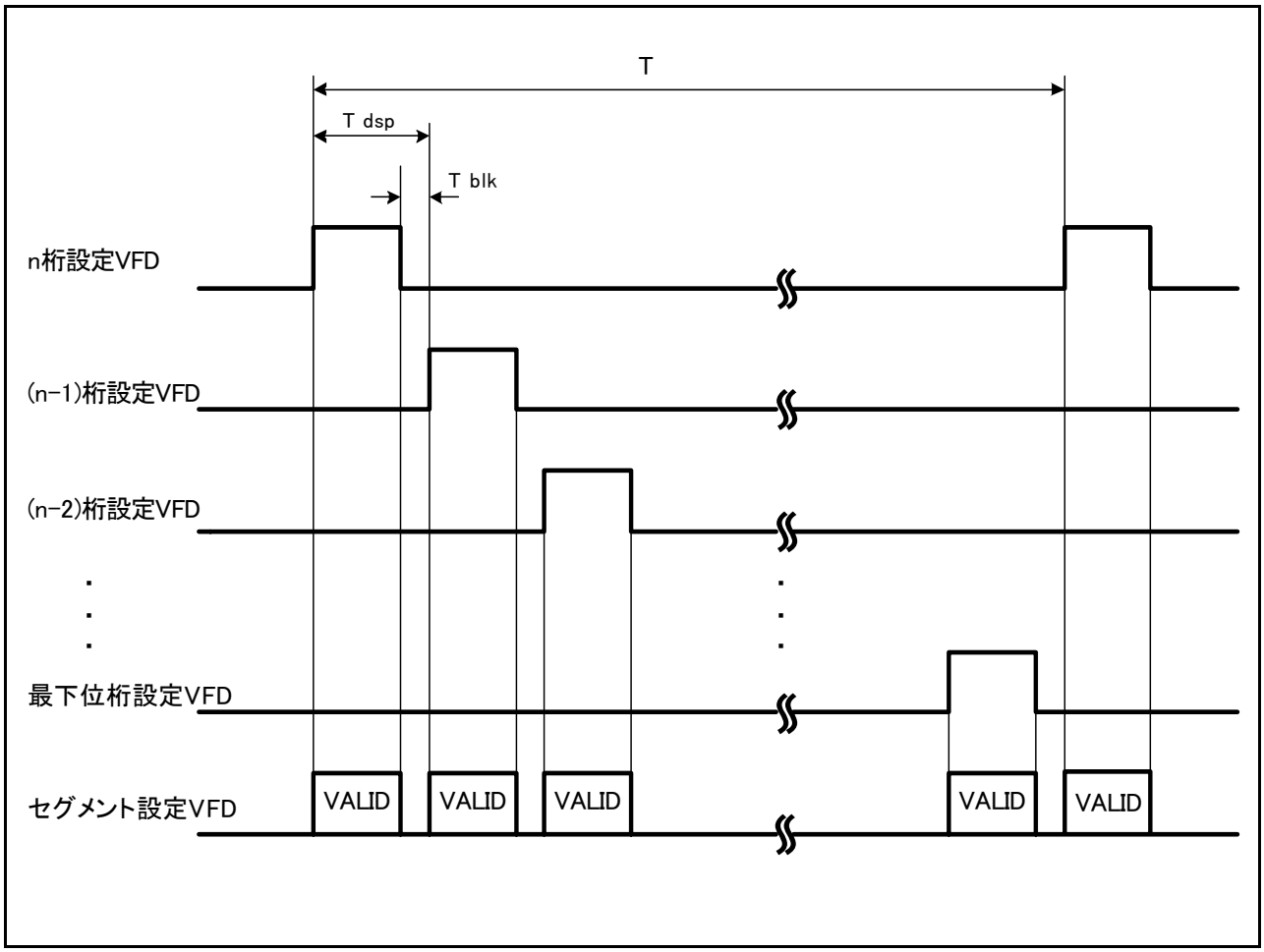


図15.5　基本ディジットスキャンタイミング図

15.6 アドレスマップ

VFDコントローラ/ドライバのアドレスマップは図15.6の通りです。

アドレス	名称	シンボル
xxx00h	1桁目データRAM	DATA00
xxx01h		DATA01
xxx02h		DATA02
xxx03h		DATA03
xxx04h		DATA04
xxx05h	2桁目データRAM	DATA10
xxx06h		DATA11
xxx07h		DATA12
xxx08h		DATA13
xxx09h		DATA14
xxx0Ah	3桁目データRAM	DATA20
xxx0Bh		DATA21
xxx0Ch		DATA22
xxx0Dh		DATA23
xxx0Eh		DATA24
xxx0Fh	4桁目データRAM	DATA30
xxx10h		DATA31
xxx11h		DATA32
xxx12h		DATA33
xxx13h		DATA34
xxx14h	5桁目データRAM	DATA40
xxx15h		DATA41
xxx16h		DATA42
xxx17h		DATA43
xxx18h		DATA44
xxx19h	6桁目データRAM	DATA50
xxx1Ah		DATA51
xxx1Bh		DATA52
xxx1Ch		DATA53
xxx1Dh		DATA54
xxx1Eh	7桁目データRAM	DATA60
xxx1Fh		DATA61
xxx20h		DATA62
xxx21h		DATA63
xxx22h		DATA64
xxx23h	8桁目データRAM	DATA70
xxx24h		DATA71
xxx25h		DATA72
xxx26h		DATA73
xxx27h		DATA74
xxx28h	9桁目データRAM	DATA80
xxx29h		DATA81
xxx2Ah		DATA82
xxx2Bh		DATA83
xxx2Ch		DATA84
xxx2Dh	10桁目データRAM	DATA90
xxx2Eh		DATA91
xxx2Fh		DATA92
xxx30h		DATA93
xxx31h		DATA94
xxx32h	11桁目データRAM	DATAA0
xxx33h		DATAA1
xxx34h		DATAA2
xxx35h		DATAA3
xxx36h		DATAA4
xxx37h	12桁目データRAM	DATAB0
xxx38h		DATAB1
xxx39h		DATAB2
xxx3Ah		DATAB3
xxx3Bh		DATAB4

アドレス	名称	シンボル
xxx3Ch	13桁目データRAM	DATAC0
xxx3Dh		DATAC1
xxx3Eh		DATAC2
xxx3Fh		DATAC3
xxx40h		DATAC4
xxx41h	14桁目データRAM	DATAD0
xxx42h		DATAD1
xxx43h		DATAD2
xxx44h		DATAD3
xxx45h		DATAD4
xxx46h	15桁目データRAM	DATAE0
xxx47h		DATAE1
xxx48h		DATAE2
xxx49h		DATAE3
xxx4Ah		DATAE4
xxx4Bh	16桁目データRAM	DATAF0
xxx4Ch		DATAF1
xxx4Dh		DATAF2
xxx4Eh		DATAF3
xxx4Fh		DATAF4
xxx50h	ディジット出力選択用レジスタ(1桁目)	DIGSEL00
xxx51h		DIGSET01
xxx52h		DIGSEL02
xxx53h		DIGSEL03
xxx54h		DIGSEL04
xxx55h		DIGSEL05
xxx56h		DIGSEL06
xxx57h		DIGSEL07
xxx58h		DIGSEL08
xxx59h		DIGSEL09
xxx5Ah		DIGSEL10
xxx5Bh		DIGSEL11
xxx5Ch		DIGSEL12
xxx5Dh		DIGSEL13
xxx5Eh		DIGSEL14
xxx5Fh		DIGSEL15
xxx60h	スタティック表示設定用レジスタ	STAMODE0
xxx61h	(モード設定)	STAMODE1
xxx62h		STAMODE2
xxx63h		STAMODE3
xxx64h		STAMODE4
xxx65h	スタティック表示設定用レジスタ	STADATA0
xxx66h	(データ設定)	STADATA1
xxx67h		STADATA2
xxx68h		STADATA3
xxx69h		STADATA4
xxx6Ah	未使用	
xxx6Bh	未使用	
xxx6Ch	未使用	
xxx6Dh	未使用	
xxx6Eh	未使用	
xxx6Fh	未使用	
xxx70h	ディジット表示設定用レジスタ	DIGSET
xxx71h	ディマー、表示オン/オフ設定用レジスタ	FLDCON
xxx72h	自動インクリメント開始番地設定レジスタ	
xxx73h	自動インクリメント終了番地設定レジスタ	
xxx74h	モード設定用レジスタ(注1)	
xxx75h	出荷テスト用レジスタ(注1)	

注1. モード設定用レジスタ、出荷テスト用レジスタは“00000000b”に固定してください。

図15.6　VFDコントローラ/ドライバアドレスマップ

15.7　レジスタ説明

15.7.1　アドレス自動インクリメント開始番地
アドレス自動インクリメント終了番地

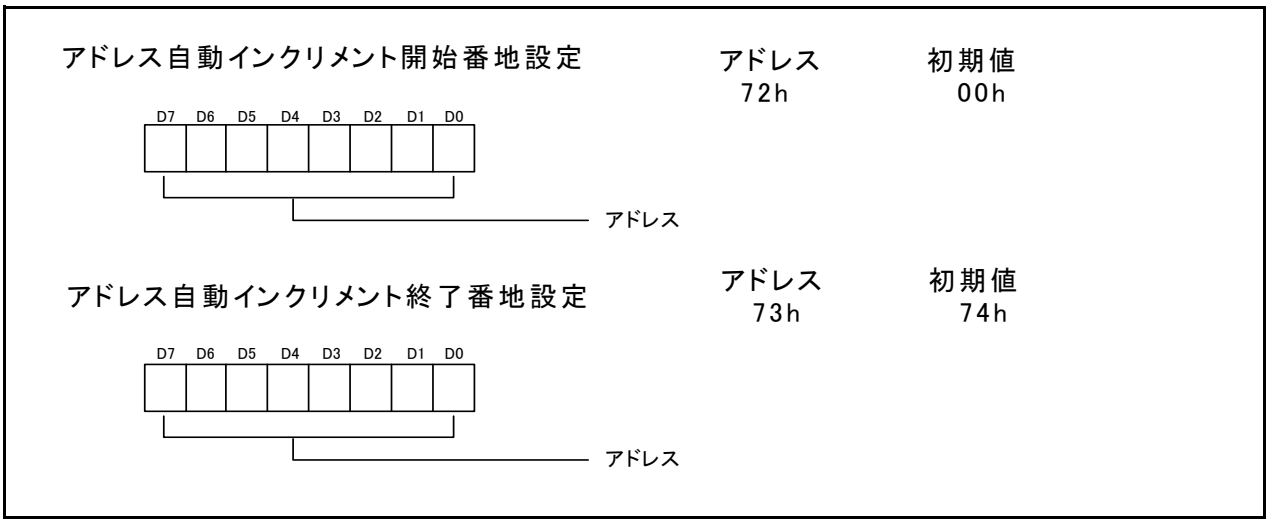


図15.7　アドレス自動インクリメント開始番地、アドレス自動インクリメント終了番地

VFD_CSが“H”から“L”に変化した後の最初の1バイト目のシリアルデータは書き込みを開始する番地として認識し、2バイト目のデータはこの番地に書き込まれます(ダイレクト書込み)。それ以降に送られてくるデータは自動的に＋１インクリメントされた番地に書き込まれます。

自動インクリメント終了番地に書き込んだ後、アドレスは自動インクリメント開始番地に移ります。つまり、アドレスは開始番地と終了番地の間をループします。

開始番地と終了番地を同じ番地に設定し、VFD_CSが“H”から“L”に変化した後の最初の1バイト目のシリアルデータもこの番地にした場合、連続して送られてくるデータは常にこの番地に書き込まれることになります。

(使用上の注意事項)

終了番地よりも上位の番地に書き込む場合は、必ずダイレクト書込みを使用してください。例えば、終了番地=30h番地に設定している状態で31h、32h、33h番地に書き込む場合は

VFD_CS=“L”→31h送信→31hのデータ送信→VFD_CS=“H”
VFD_CS=“L”→32h送信→32hのデータ送信→VFD_CS=“H”
VFD_CS=“L”→33h送信→33hのデータ送信→VFD_CS=“H”

というようにアクセスしてください。

自動インクリメント機能は、書込み実行した後でアドレスをインクリメントして終了番地レジスタ値との比較を行い、一致した場合には終了番地に書き込んだ後で開始番地に書込みアドレスポインタをプリセットします。したがって、終了番地より上位番地を自動インクリメント機能を使って書き込むと、アドレスポインタは上限のFFhまで進んでしまうので、アドレスマップの頁に記載されている書込み保障番地以外へ書き込んでしまうことになります。

書き込む番地が終了番地より下位番地であれば、書込み始める番地は開始番地と終了番地の間に入っていなくても構いません。

例えば、開始番地=30h、終了番地=34hに設定している時、2Fh番地から連続書込みを始めた場合には

2Fh→30h→31h→32h→33h→34h→30h(開始番地にプリセット)→31h→32h・・・

というように書き込まれていきます。

15.7.2　ディジット表示設定

15.7.2.1 ディジット長選択

ディジット長選択ビットでスキャンを対象とする桁数を2桁～16桁まで設定することができます。

15.7.2.2 ディジットスキャン時間

1ディジットがスキャン状態にある時間を設定することができます。この時間と表示ディジット長によってフレーム周波数が決定されます。

注. スキャン時間が短いほど、消灯ドットが淡く点灯してしまう「表示のにじみ現象」が目立ちやすくなりますので、この場合はスキャン時間が長くなるように設定を調整してください。

ディジット表示設定用レジスタ（注1）

D7	D6	D5	D4	D3	D2	D1	D0

シンボル	アドレス	初期値
DIGSET	70h	11h

ディジット長選択ビット
0000 ： 2桁
0001 ： 2桁
0010 ： 3桁
0011 ： 4桁
0100 ： 5桁
0101 ： 6桁
0110 ： 7桁
0111 ： 8桁
1000 ： 9桁
1001 ：10桁
1010 ：11桁
1011 ：12桁
1100 ：13桁
1101 ：14桁
1110 ：15桁
1111 ：16桁

1ディジットスキャン時間
0000 ： 128/ f osc
0001 ： 128/ f osc
0010 ： 192/ f osc
0011 ： 256/ f osc
0100 ： 320/ f osc
0101 ： 384/ f osc
0110 ： 448/ f osc
0111 ： 512/ f osc
1000 ： 576/ f osc
1001 ： 640/ f osc
1010 ： 704/ f osc
1011 ： 768/ f osc
1100 ： 832/ f osc
1101 ： 896/ f osc
1110 ： 960/ f osc
1111 ：1024/ f osc

注1. VFDコントローラ/ドライバのレジスタへの書き込みはVFD_SCKの最後のクロックの立ち上がり後、t BUSY以内に完了します。表示制御回路がレジスタ値を取り込むタイミングは、表示の乱れを防ぐために1フレーム周期に1回です。
したがって、ディジット出力選択レジスタ(50h番地～5Fh番地)と、ディジット表示設定用レジスタ(70h番地)への設定が表示に反映されるまでの時間は、最長で1フレーム周期になります。
例）f osc = 2MHz(1周期0.5μs)、1ディジットスキャン時間 = 512/f osc、表示桁長 = 16桁の場合
0.5μs × 512 × 16 = 4096μs が1フレーム周期となります。

図15.8　ディジット表示設定用レジスタ

15.7.3　表示制御

15.7.3.1 ディマー設定

表示制御用レジスタのビット0～ビット2(D0～D2)により、ディマー値(ダイナミックスキャンのオンパルス幅)を設定し、表示の輝度を変更することができます。

15.7.3.2 表示オン/オフ設定

表示制御用レジスタのビット4、ビット5(D4、D5)により、表示の全消灯、通常表示を設定できます。

15.7.3.3 表示オンタイミング設定ビット

表示制御用レジスタのビット3(D3)により、表示のオンタイミングを変更することができます。

出力が遷移するとき、基板配線に発生するクロストークによって本来ならば消灯すべきドットが薄く点灯してしまう「表示のにじみ」現象は同時に遷移する出力の本数を少なくすることにより改善される場合があります。本機能はこれを考慮したものです。全出力同時オン/オフで問題ない場合は、D3=“0”でのご使用を推奨いたします。

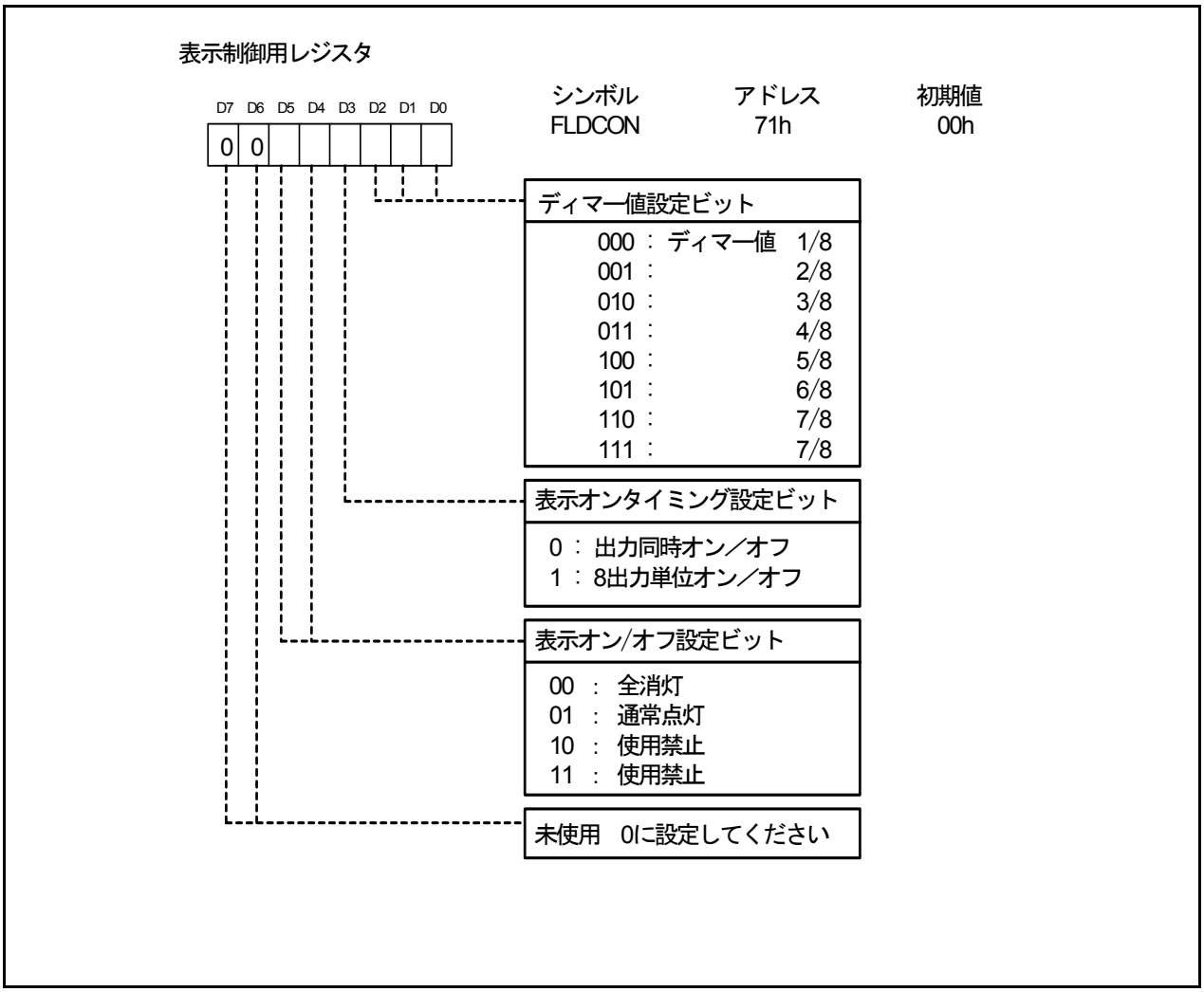


図15.9　表示制御レジスタ

15.7.4　ディジット出力選択

34本あるVFD出力ポートのうち、最大16本まで任意にディジット(桁)出力に設定できます。アドレスは50h～5Fhまでの16バイトで各桁をどのVFD出力に割り当てるか設定します。

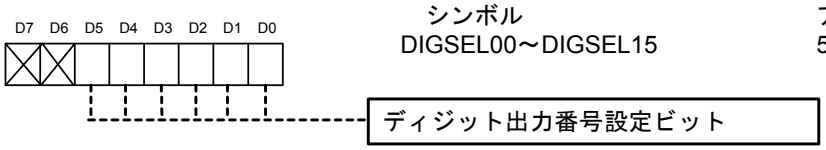
例えば、VFD00 = 1桁目、VFD02 = 2桁目に設定したい場合を下記に示します。

DIGSEL00(50h番地) = xx000000

DIGSEL01(51h番地) = xx000010

表示ディジット長設定で設定した桁数のみ設定します。例えば、表示ディジット長 = 14桁に設定した場合、　DIGSEL14(5Eh番地)とDIGSEL15(5Fh番地)は設定不要です。

ディジット出力選択レジスタ（注1）



シンボル	アドレス	初期値
DIGSEL00～DIGSEL15	50h～5Fh	不定

シンボルとディジット対応

シンボル	対応ディジット
DIGSEL00	1桁目
DIGSEL01	2桁目
DIGSEL02	3桁目
⋮	⋮
DIGSEL13	14桁目
DIGSEL14	15桁目
DIGSEL15	16桁目

割当てるVFD出力番号

D5	D4	D3	D2	D1	D0	割り当てVFD出力
0	0	0	0	0	0	VFD00
0	0	0	0	0	1	VFD01
0	0	0	0	1	0	VFD02
⋮						⋮
0	1	1	1	1	1	VFD31
1	0	0	0	0	0	VFD32
1	0	0	0	0	1	VFD33

注1. 図15.8　ディジット表示設定用レジスタの注意書きを参照してください。

図15.10　ディジット出力選択レジスタ

15.7.5　スタティック表示

スタティック表示設定用レジスタを設定することにより、VFDポート単位でスタティック表示が可能です。

モード設定部(STAMODE0～STAMODE4)では、スタティック表示モードにしたいVFD出力番号を1に設定してください。

データ設定部(STADATA0～STADATA4)では、0に設定すると表示オフ、1に設定すると表示オンされます。

スタティック表示設定用レジスタ

シンボル	アドレス	初期値
STADATA0～STADATA4	65h～69h	不定
STAMODE0～STAMODE4	60h～64h	不定

シンボル	D7	D6	D5	D4	D3	D2	D1	D0	
STADATA0	07	06	05	04	03	02	01	00	データ設定
STADATA1	15	14	13	12	11	10	09	08	
STADATA2	23	22	21	20	19	18	17	16	
STADATA3	30	—	29	28	27	26	25	24	
STADATA4	—	—	33	—	32	—	31	—	
STAMODE0	07	06	05	04	03	02	01	00	モード設定
STAMODE1	15	14	13	12	11	10	09	08	
STAMODE2	23	22	21	20	19	18	17	16	
STAMODE3	30	—	29	28	27	26	25	24	
STAMODE4	—	—	33	—	32	—	31	—	

図15.11　スタティック表示設定用レジスタ

15.7.6　表示用データ設定

1つの桁は5バイトで構成されています。図15.12中のRAMの各ビットに記載してある番号はVFD出力の番号に対応しています。ディジット出力に割り当てたVFD出力に対応するビットは全て“0”にしてください。

表示用データ設定RAM　　シンボル DATA00～DATAF4　　アドレス 00h～4Fh　　初期値 不定

シンボル	D7	D6	D5	D4	D3	D2	D1	D0	
DATA00	07	06	05	04	03	02	01	00	1桁目表示RAM
DATA01	15	14	13	12	11	10	09	08	
DATA02	23	22	21	20	19	18	17	16	
DATA03	31	30	29	28	27	26	25	24	
DATA04	—	—	—	—	—	—	33	32	
DATA10	07	06	05	04	03	02	01	00	2桁目表示RAM
DATA11	15	14	13	12	11	10	09	08	
DATA12	23	22	21	20	19	18	17	16	
DATA13	31	30	29	28	27	26	25	24	
DATA14	—	—	—	—	—	—	33	32	
DATA20	07	06	05	04	03	02	01	00	3桁目表示RAM
DATA21	15	14	13	12	11	10	09	08	
DATA22	23	22	21	20	19	18	17	16	
DATA23	31	30	29	28	27	26	25	24	
DATA24	—	—	—	—	—	—	33	32	
DATA30	07	06	05	04	03	02	01	00	4桁目表示RAM
DATA31	15	14	13	12	11	10	09	08	
DATA32	23	22	21	20	19	18	17	16	
DATA33	31	30	29	28	27	26	25	24	
DATA34	—	—	—	—	—	—	33	32	
DATA40	07	06	05	04	03	02	01	00	5桁目表示RAM
DATA41	15	14	13	12	11	10	09	08	
DATA42	23	22	21	20	19	18	17	16	
DATA43	31	30	29	28	27	26	25	24	
DATA44	—	—	—	—	—	—	33	32	
DATA50	07	06	05	04	03	02	01	00	6桁目表示RAM
DATA51	15	14	13	12	11	10	09	08	
DATA52	23	22	21	20	19	18	17	16	
DATA53	31	30	29	28	27	26	25	24	
DATA54	—	—	—	—	—	—	33	32	
DATA60	07	06	05	04	03	02	01	00	7桁目表示RAM
DATA61	15	14	13	12	11	10	09	08	
DATA62	23	22	21	20	19	18	17	16	
DATA63	31	30	29	28	27	26	25	24	
DATA64	—	—	—	—	—	—	33	32	
DATA70	07	06	05	04	03	02	01	00	8桁目表示RAM
DATA71	15	14	13	12	11	10	09	08	
DATA72	23	22	21	20	19	18	17	16	
DATA73	31	30	29	28	27	26	25	24	
DATA74	—	—	—	—	—	—	33	32	

シンボル	D7	D6	D5	D4	D3	D2	D1	D0	
DATA80	07	06	05	04	03	02	01	00	9桁目表示RAM
DATA81	15	14	13	12	11	10	09	08	
DATA82	23	22	21	20	19	18	17	16	
DATA83	31	30	29	28	27	26	25	24	
DATA84	—	—	—	—	—	—	33	32	
DATA90	07	06	05	04	03	02	01	00	10桁目表示RAM
DATA91	15	14	13	12	11	10	09	08	
DATA92	23	22	21	20	19	18	17	16	
DATA93	31	30	29	28	27	26	25	24	
DATA94	—	—	—	—	—	—	33	32	
DATAA0	07	06	05	04	03	02	01	00	11桁目表示RAM
DATAA1	15	14	13	12	11	10	09	08	
DATAA2	23	22	21	20	19	18	17	16	
DATAA3	31	30	29	28	27	26	25	24	
DATAA4	—	—	—	—	—	—	33	32	
DATAB0	07	06	05	04	03	02	01	00	12桁目表示RAM
DATAB1	15	14	13	12	11	10	09	08	
DATAB2	23	22	21	20	19	18	17	16	
DATAB3	31	30	29	28	27	26	25	24	
DATAB4	—	—	—	—	—	—	33	32	
DATAC0	07	06	05	04	03	02	01	00	13桁目表示RAM
DATAC1	15	14	13	12	11	10	09	08	
DATAC2	23	22	21	20	19	18	17	16	
DATAC3	31	30	29	28	27	26	25	24	
DATAC4	—	—	—	—	—	—	33	32	
DATAD0	07	06	05	04	03	02	01	00	14桁目表示RAM
DATAD1	15	14	13	12	11	10	09	08	
DATAD2	23	22	21	20	19	18	17	16	
DATAD3	31	30	29	28	27	26	25	24	
DATAD4	—	—	—	—	—	—	33	32	
DATAE0	07	06	05	04	03	02	01	00	15桁目表示RAM
DATAE1	15	14	13	12	11	10	09	08	
DATAE2	23	22	21	20	19	18	17	16	
DATAE3	31	30	29	28	27	26	25	24	
DATAE4	—	—	—	—	—	—	33	32	
DATAF0	07	06	05	04	03	02	01	00	16桁目表示RAM
DATAF1	15	14	13	12	11	10	09	08	
DATAF2	23	22	21	20	19	18	17	16	
DATAF3	31	30	29	28	27	26	25	24	
DATAF4	—	—	—	—	—	—	33	32	

図15.12　表示用データ設定RAM

15.8　複数ディジット同時オン機能

VFDコントローラ/ドライバは複数のディジットを同時にオンさせることができます。16桁の表示管を使用し、ディジット割り当てとしては図15.13のようにVFD18～VFD33をDIGSEL00(1桁)～DIGSEL15(16桁)に割り当てた場合を例にとって動作を説明します。

表示のダイナミックスキャンは上位桁から下位桁の方向へスキャンオンしていきます。表示桁長を16桁に設定した場合には、16桁目→15桁目→・・・→2桁目→1桁目というようにオンしていきます。

2桁目及び、1桁目にスキャンオンがきた時を例にして説明します。

2桁目(DIGSEL01)がスキャンオン期間になった時、DIGSEL01に割り当てられているVFD19出力がオンしますが、この時、DIGSEL01に割り当てられているVFD19出力用の表示データである07h番地のD3ビットは意味を持ちません。つまり、このビットが“0”、“1”のどちらであってもVFD19出力にはスキャンオンパルスが出力されます。逆に、このビット以外については、ディジット割り当てしているVFD出力であっても対応する表示用データRAMの表示データが出力されます。したがって、

(1) 複数ディジット同時オン機能を使用しない場合は必ず、ディジットに割り当てているVFD出力に対応する表示用データRAMは全て“0”にしてください。

(2) 複数ディジット同時オン機能を使用する場合は、同時オンさせたいVFD出力に対応する表示用データRAMを“1”にしてください。

複数ディジット同時オン機能について、設定例では、2桁目のスキャンオンの時にVFD18に相当する07h番地のD2ビットを“1”にした場合、VFD19(DIGSEL01)とVFD18(DIGSEL00)が同時にオンすることになります。この時に出力される表示データは05h～09h番地のデータです。2桁目のディジットに属しているセグメントは06hの8ビット、1桁目のディジットに属しているセグメントは05hの8ビットという表示管の場合、06hには2桁目に表示させたいデータを、05hには1桁目に表示させたいデータを設定することになります。

2桁目のスキャンが終了して1桁目のスキャンオン期間になった時も同様に、VFD18はスキャンオンパルスを、他の出力は00h～04h番地に設定されたデータを出力しますが、複数ディジット同時オン機能を使用して2桁目スキャン時に1桁目も同時オンさせていた場合には、00h～04hは全て“0”に設定されることを推奨します。(1桁目スキャン時は何も表示しない。)そうしないと、1桁目だけ1フレーム周期中に2回オンすることになってしまい、1回しかオンしない他のVFD出力と輝度が異なってしまいます。

注. 複数ディジット同時オン機能を使用する場合、表示オンタイミング設定(71h番地)は出力同時オン/オフに設定してください。

表示用データ設定RAM(1桁目、2桁目)

番地	D7	D6	D5	D4	D3	D2	D1	D0
⋮					⋮			
09h	–	–	–	–	–	–	DIGSEL15 33	DIGSEL14 32
08h	DIGSEL13 31	DIGSEL12 30	DIGSEL11 29	DIGSEL10 28	DIGSEL09 27	DIGSEL08 26	DIGSEL07 25	DIGSEL06 24
07h	DIGSEL05 23	DIGSEL04 22	DIGSEL03 21	DIGSEL02 20	DIGSEL01 19	DIGSEL00 18	17	16
06h	15	14	13	12	11	10	09	08
05h	07	06	05	04	03	02	01	00
04h	–	–	–	–	–	–	DIGSEL15 33	DIGSEL14 32
03h	DIGSEL13 31	DIGSEL12 30	DIGSEL11 29	DIGSEL10 28	DIGSEL09 27	DIGSEL08 26	DIGSEL07 25	DIGSEL06 24
02h	DIGSEL05 23	DIGSEL04 22	DIGSEL03 21	DIGSEL02 20	DIGSEL01 19	DIGSEL00 18	17	16
01h	15	14	13	12	11	10	09	08
00h	07	06	05	04	03	02	01	00

2桁目(DIGSEL01)

1桁目(DIGSEL00)

ディジット割り当て内容

番地	ディジット割り当て
5Fh	VFD33 (DIGSEL15)
5Eh	VFD32 (DIGSEL14)
5Dh	VFD31 (DIGSEL13)
5Ch	VFD30 (DIGSEL12)
5Bh	VFD29 (DIGSEL11)
5Ah	VFD28 (DIGSEL10)
59h	VFD27 (DIGSEL09)
58h	VFD26 (DIGSEL08)
57h	VFD25 (DIGSEL07)
56h	VFD24 (DIGSEL06)
55h	VFD23 (DIGSEL05)
54h	VFD22 (DIGSEL04)
53h	VFD21 (DIGSEL03)
52h	VFD20 (DIGSEL02)
51h	VFD19 (DIGSEL01)
50h	VFD18 (DIGSEL00)

図15.13　複数ディジット同時オン機能設定例

15.9 VFDコントローラ/ドライバ制御フロー

15.9.1 シリアルインタフェースを使用した制御フロー例

図15.14~図15.22に、クロック同期シリアルI/Oを使用したVFDコントローラ/ドライバの制御フロー例を示します。

15.9.1.1 全体フロー(例)

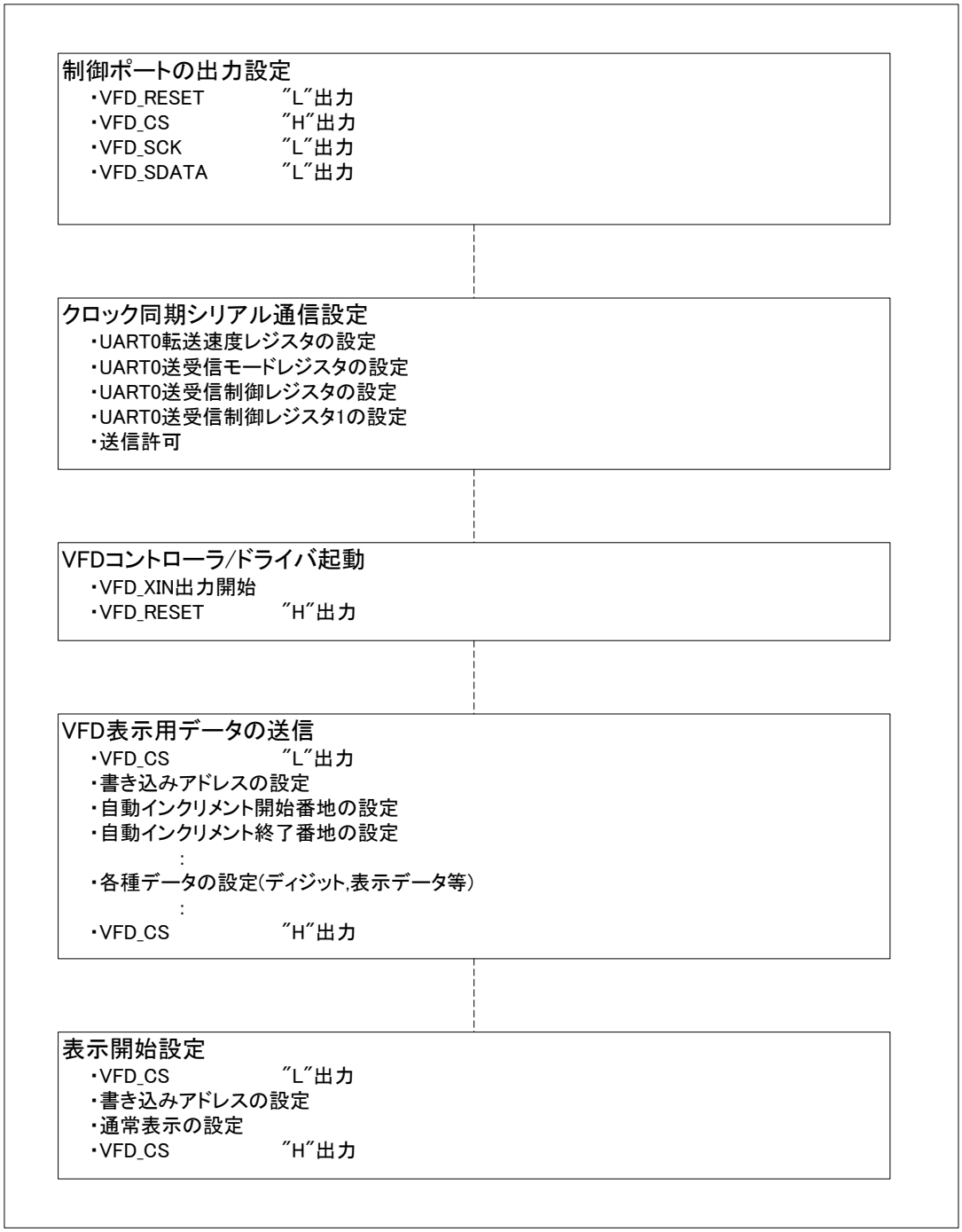


図15.14 全体フロー(例)

15.9.1.2 VFD制御ビットの出力設定

図15.15にVFDコントローラ/ドライバVFD制御ビットの出力設定(例)を示します。

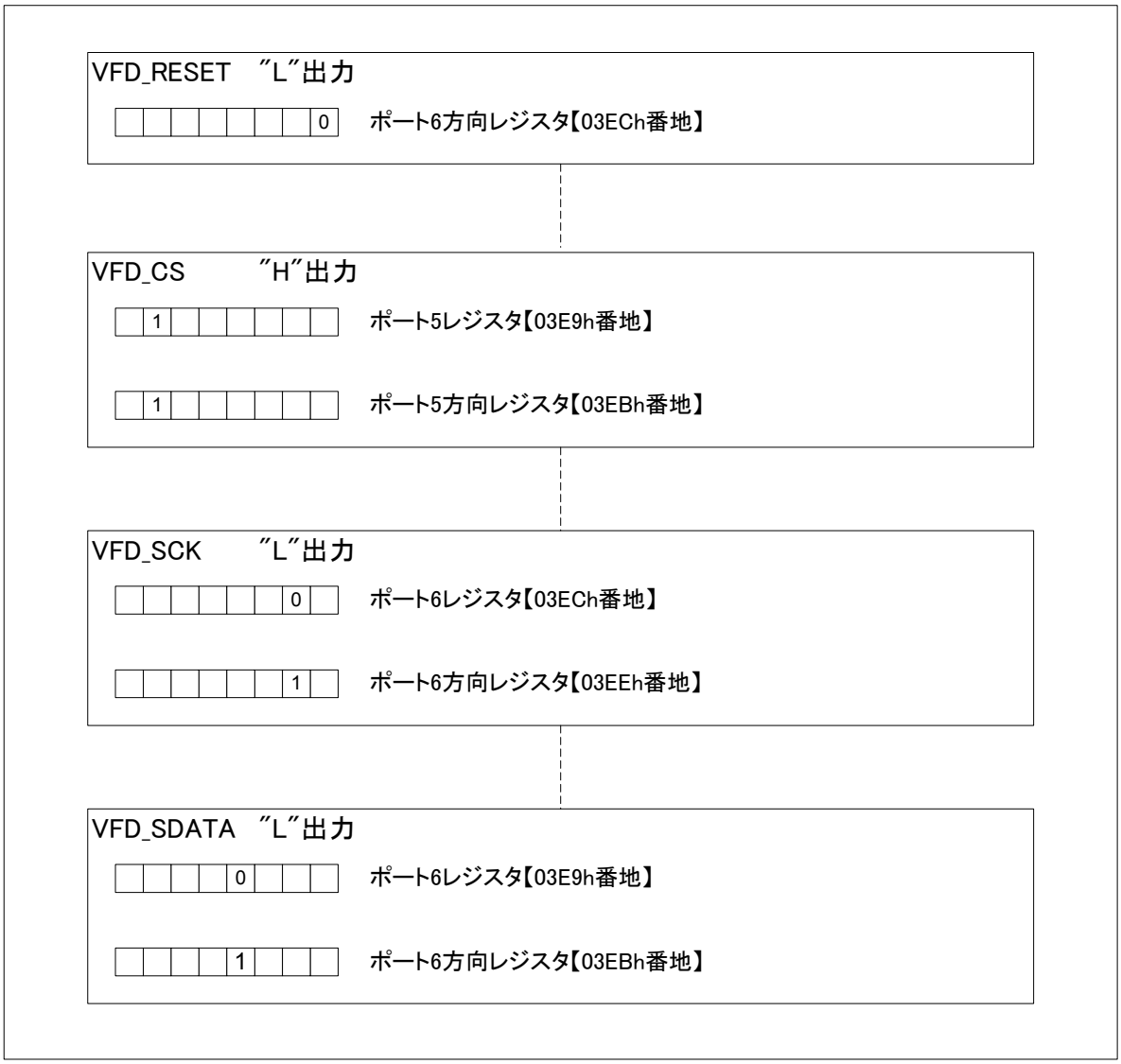


図15.15 VFDコントローラ/ドライバVFD制御ビットの出力設定(例)

15.9.1.3 クロック同期シリアル通信設定

図15.16~図15.17に、クロック同期シリアル通信設定(例)を示します。

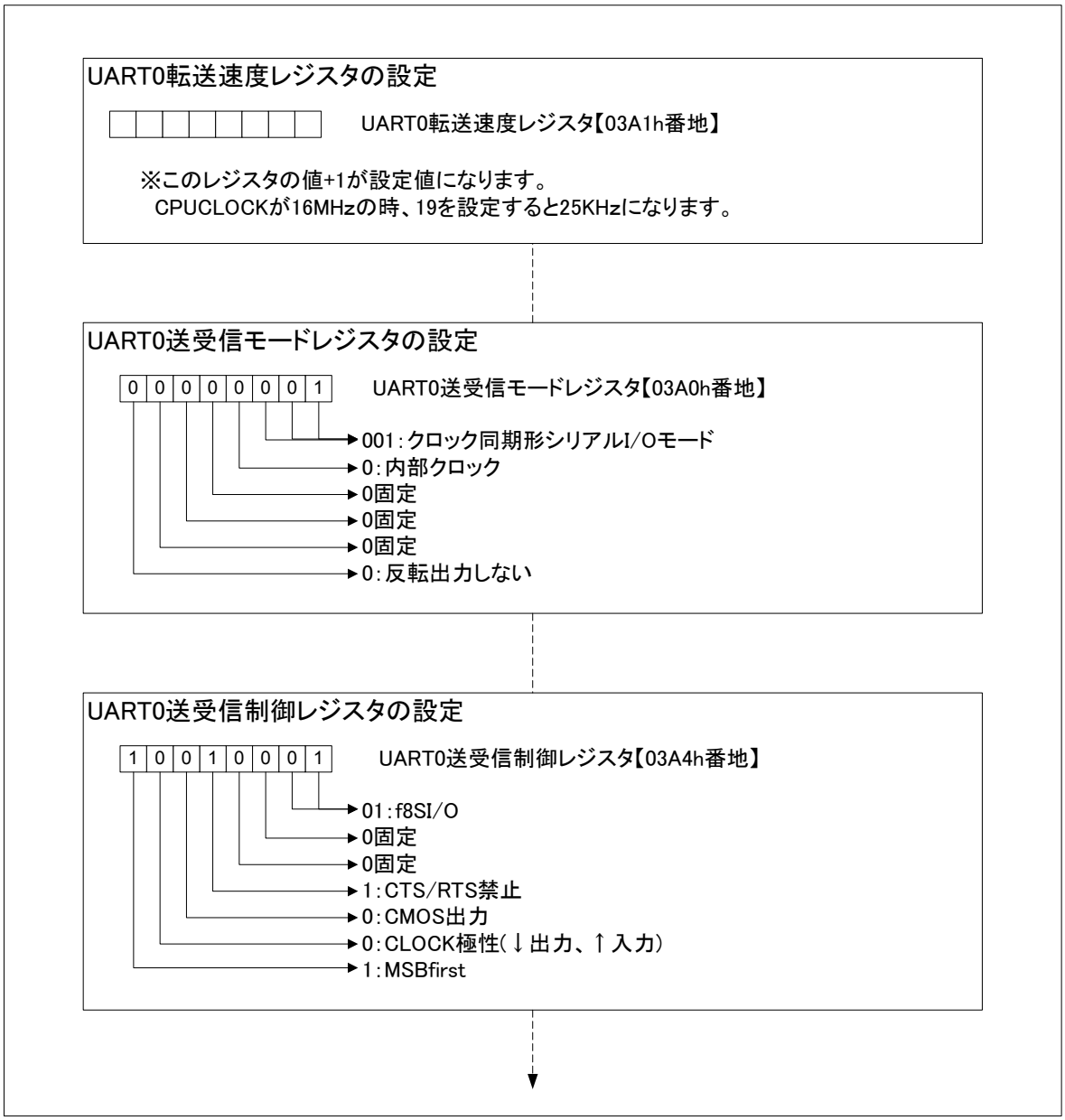


図15.16 クロック同期シリアル通信設定1(例)

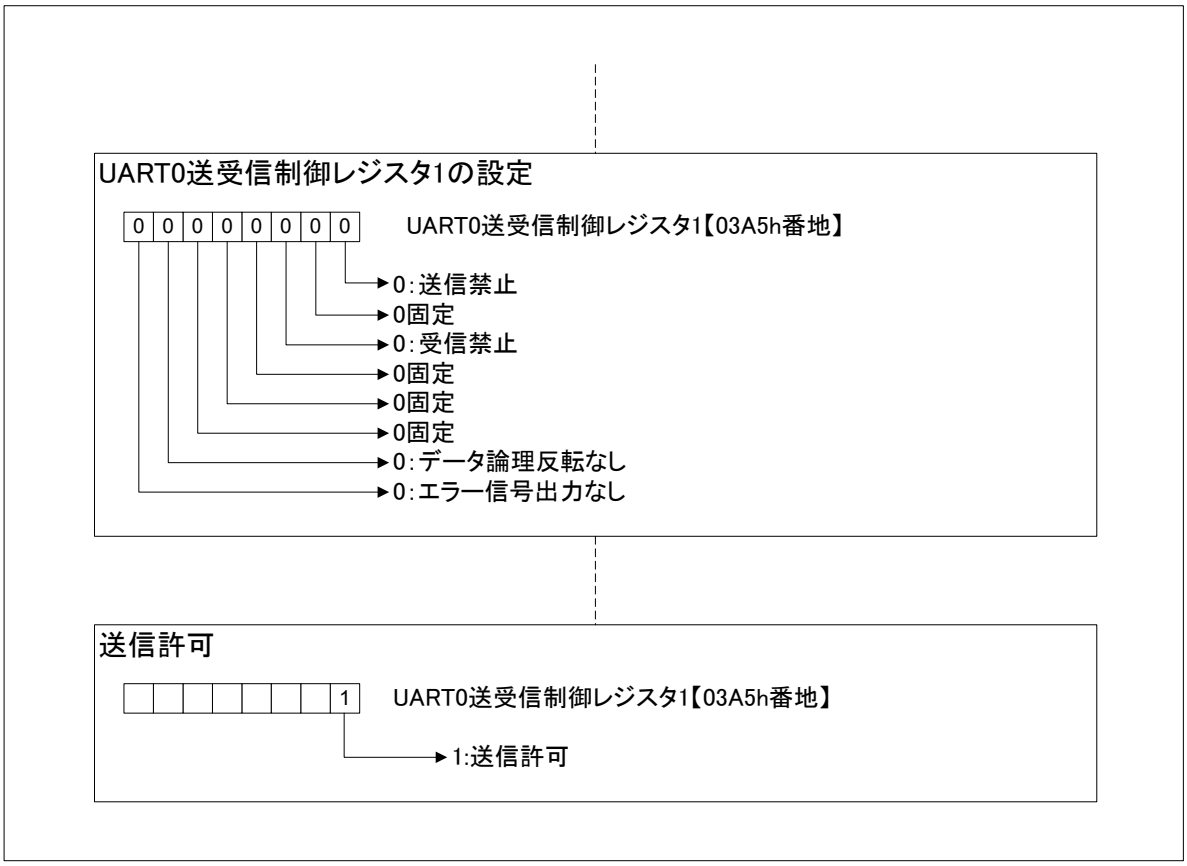


図15.17 クロック同期シリアル通信設定2(例)

15.9.1.4 VFDコントローラ/ドライバ起動

図15.18に、VFDコントローラ/ドライバの起動設定(例)を示します。

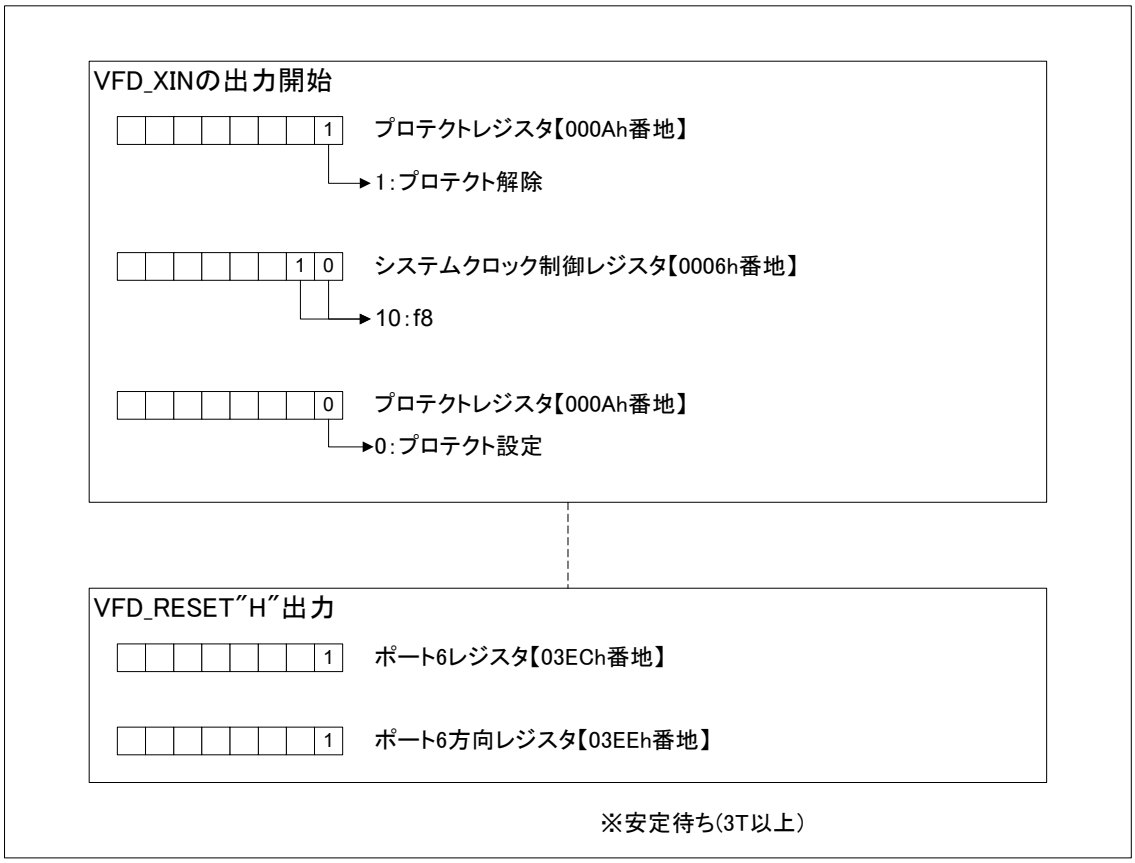


図15.18　VFDコントローラ/ドライバの起動設定(例)

15.9.1.5 VFD表示用データの送信

図15.19~図15.21に、アドレス自動インクリメント機能を利用したVFD表示用データの送信フロー(例)を示します。

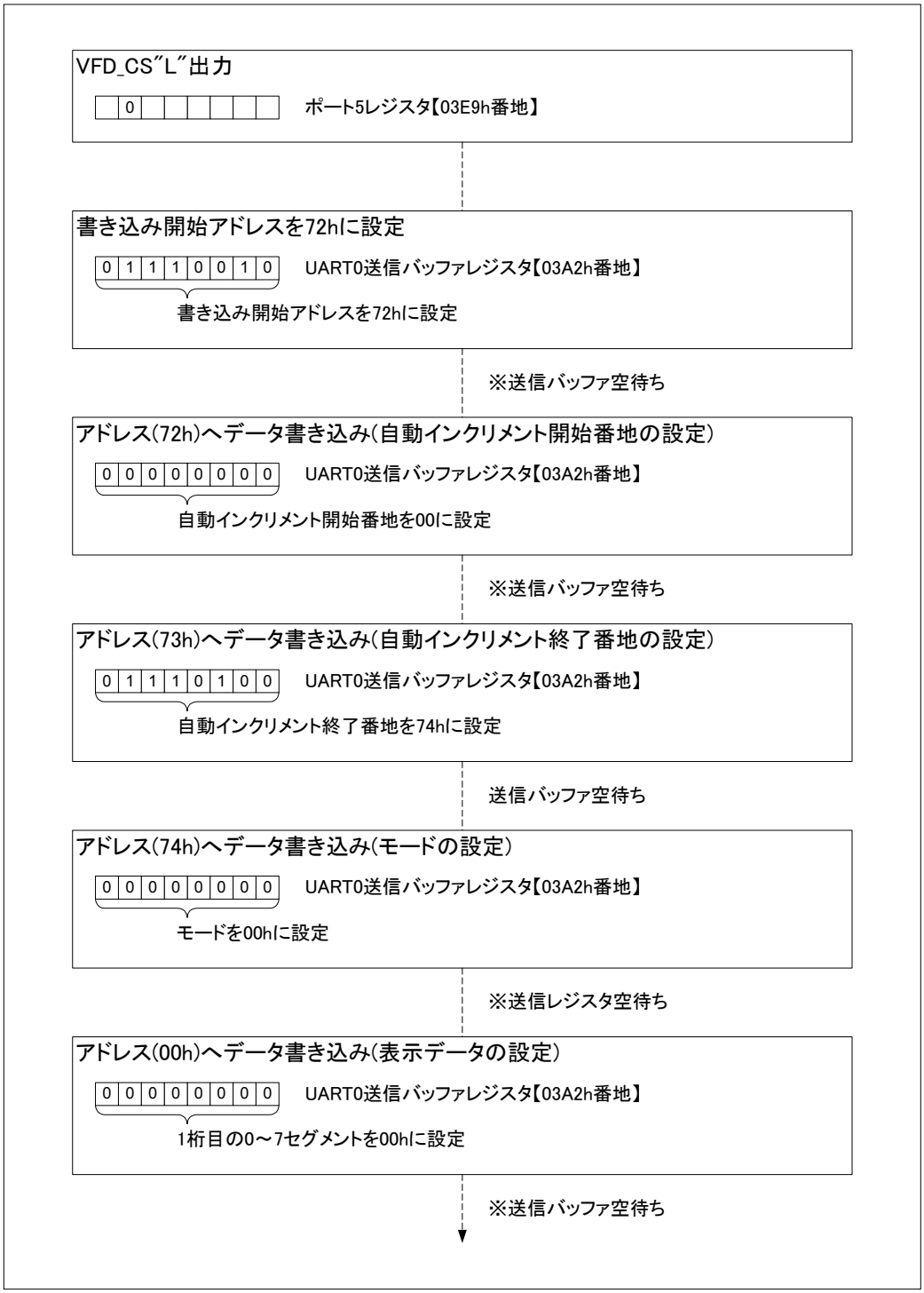


図15.19 VFD表示用データ送信1(例)

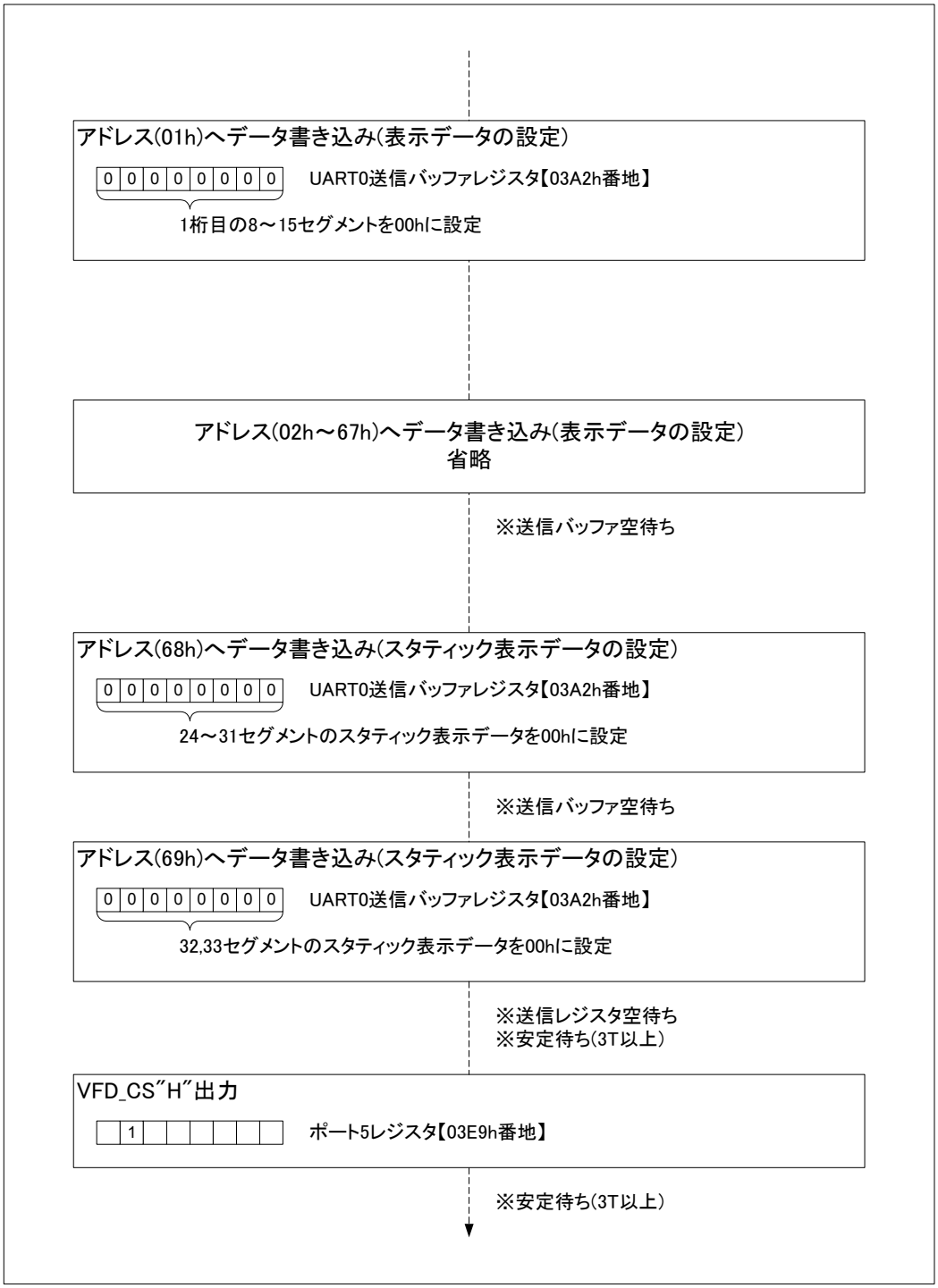


図15.20 VFD表示用データ送信2(例)

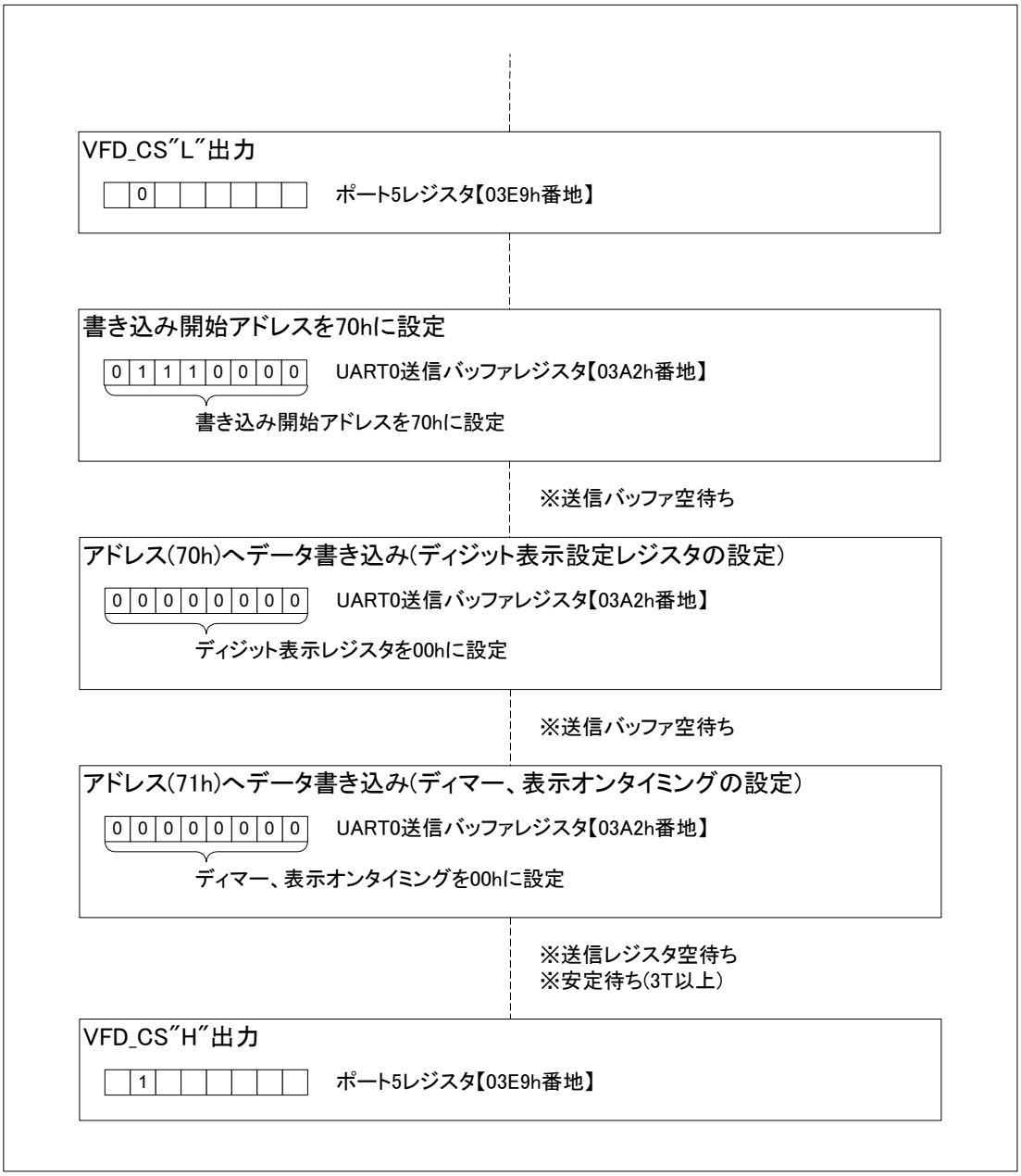


図15.21 VFD表示用データ送信3(例)

15.9.1.6 表示開始設定

図15.22に表示開始設定(例)を示します。

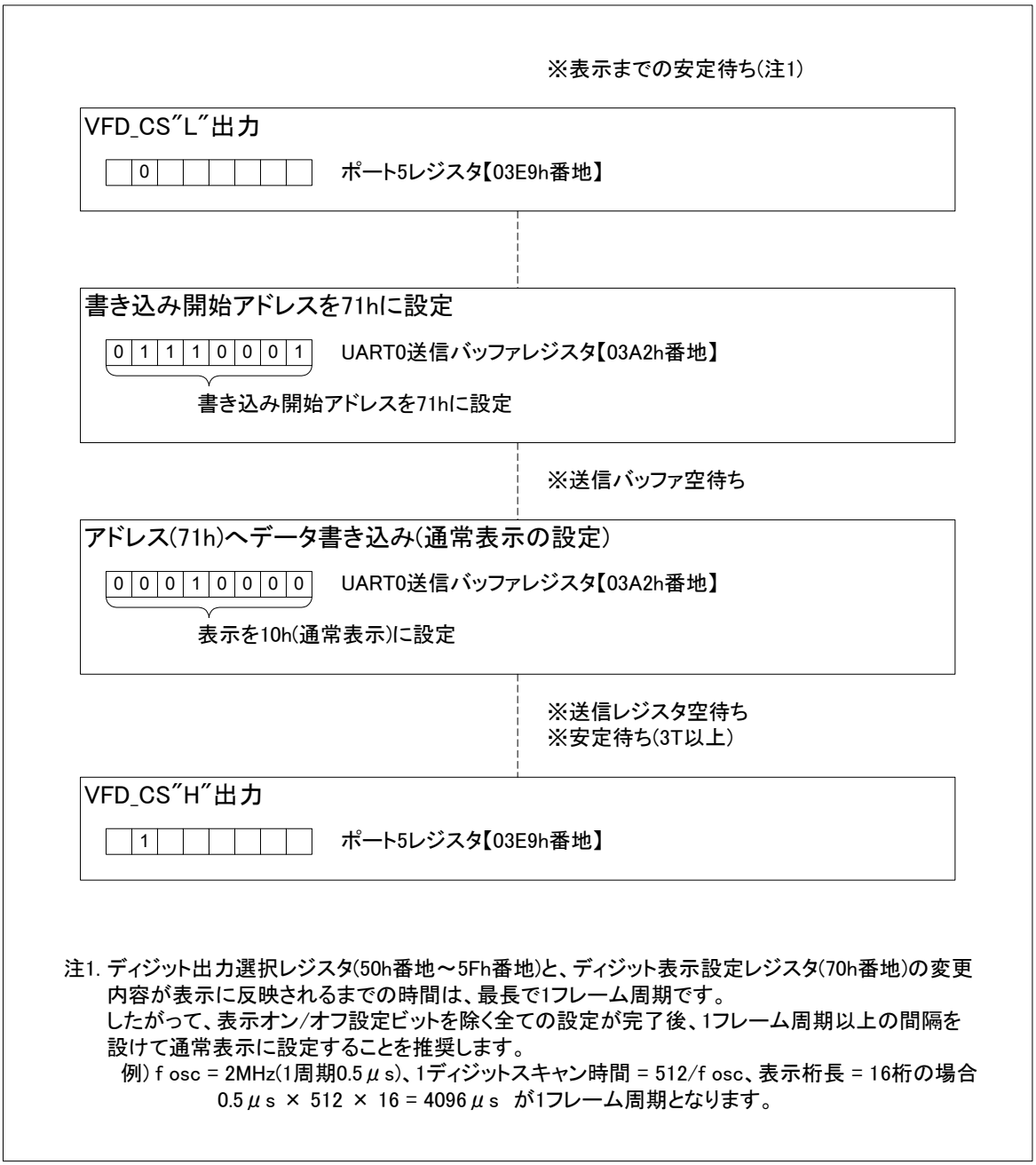


図15.22 表示開始設定(例)

15.9.2 VFDコントローラ/ドライバ停止制御フロー

図15.23～図15.27に、クロック同期シリアルI/Oを使用したVFDコントローラ/ドライバの停止制御フロー例を示します。

15.9.2.1 VFDコントローラ/ドライバ停止全体フロー(例)

図15.23 VFDコントローラ/ドライバ停止全体フロー(例)

15.9.2.2 VFDコントローラ/ドライバRESET設定

図15.24にVFDコントローラ/ドライバRESET設定(例)を示します。

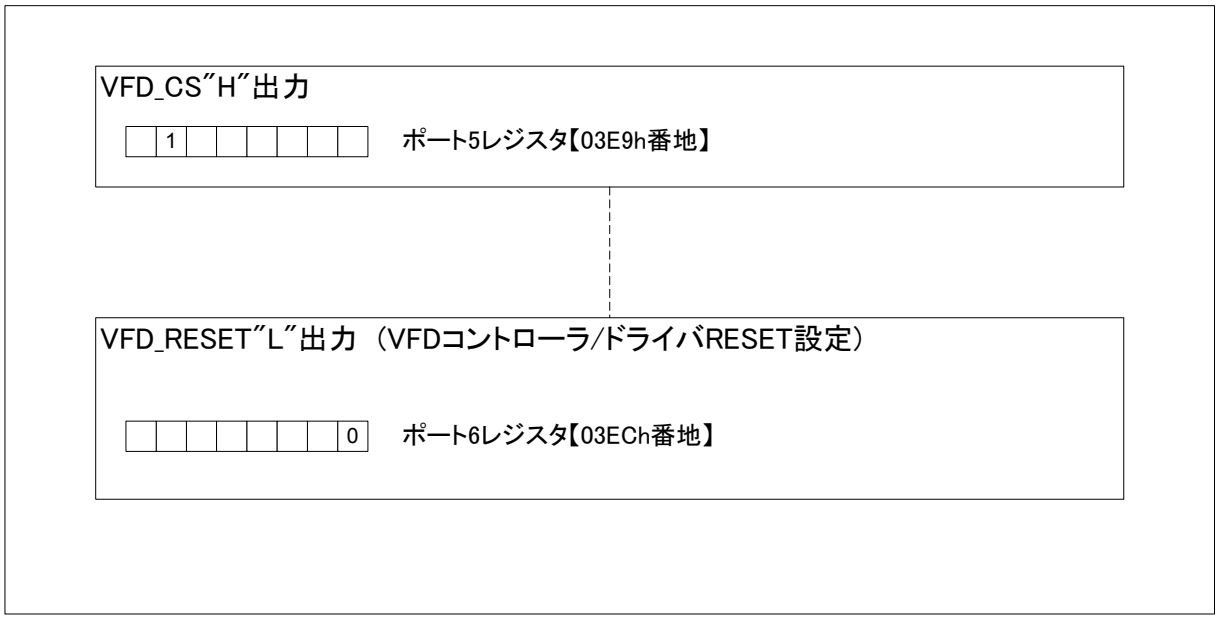


図15.24　VFDコントローラ/ドライバRESET設定(例)

15.9.2.3 クロック同期シリアル通信設定

図15.25にVFDコントローラ/ドライバ停止時のクロック同期シリアル通信設定(例)を示します。

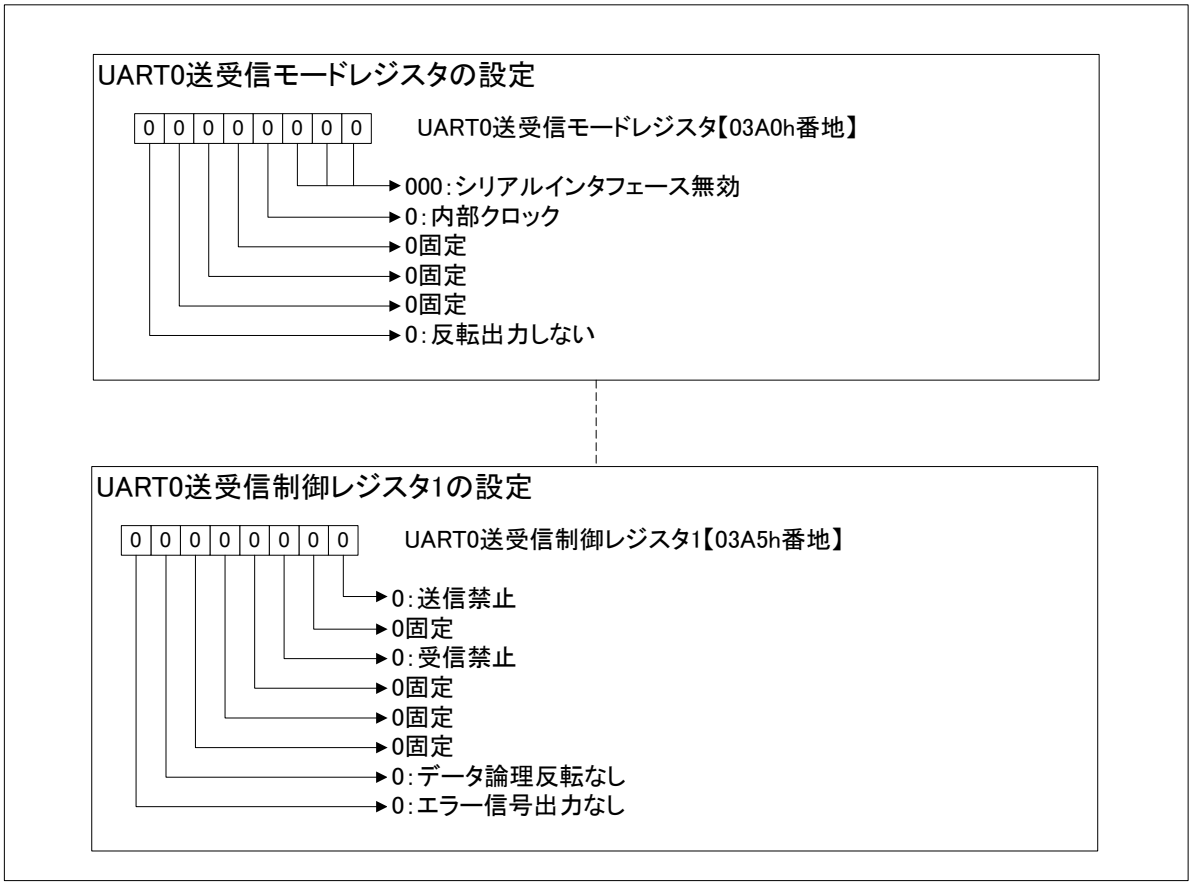


図15.25　停止時のクロック同期シリアル通信設定(例)

15.9.2.4 VFDコントローラ/ドライバ停止

図15.26にVFDコントローラ/ドライバ停止設定(例)を示します。

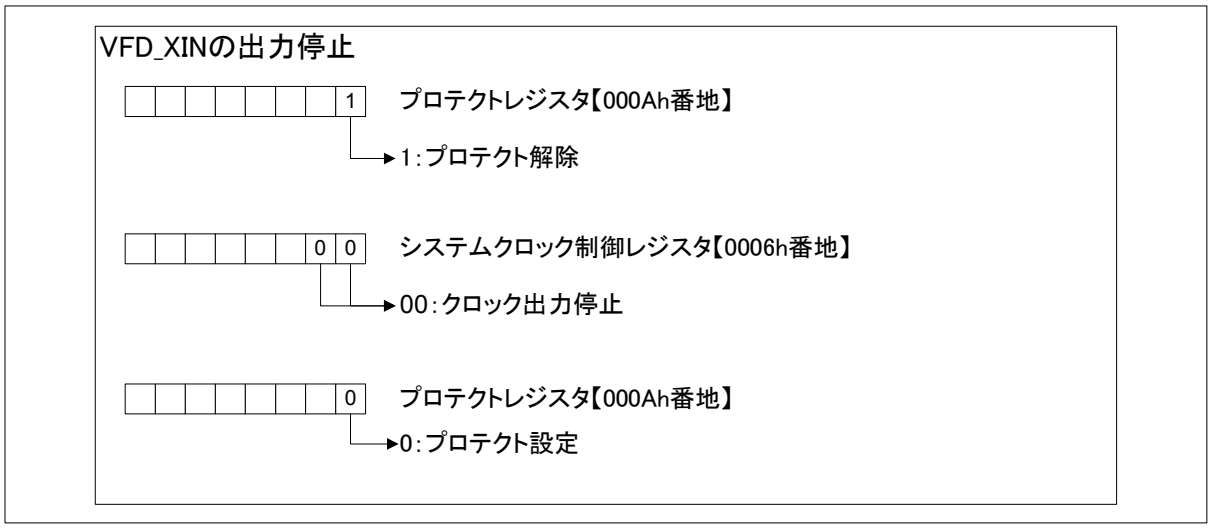


図15.26 VFDコントローラ/ドライバ停止設定(例)

15.9.2.5 VFD制御ビットの設定

図15.27にVFDコントローラ/ドライバ停止時のVFD制御ビットの設定(例)を示します。

図15.27　停止時のVFD制御ビットの設定(例)

16. CRC演算

CRC(Cyclic Redundancy Check)演算は、データブロックの誤りを検出します。CRCコードの生成にはCRC-CCITT($X^{16}+X^{12}+X^{5}+1$)の生成多項式を使用します。

CRCコードは、8ビット単位の任意のデータ長のブロックに対し生成される16ビットのコードです。CRCコードは、CRCDレジスタに初期値を設定した後、1バイトのデータをCRCINレジスタに書くごとに、CRCDレジスタに設定されます。1バイトのデータに対するCRCコードの生成は2サイクルで終了します。

図16.1にCRCブロック図、図16.2にCRC関連レジスタを示します。また、図16.3にCRC演算例を示します。

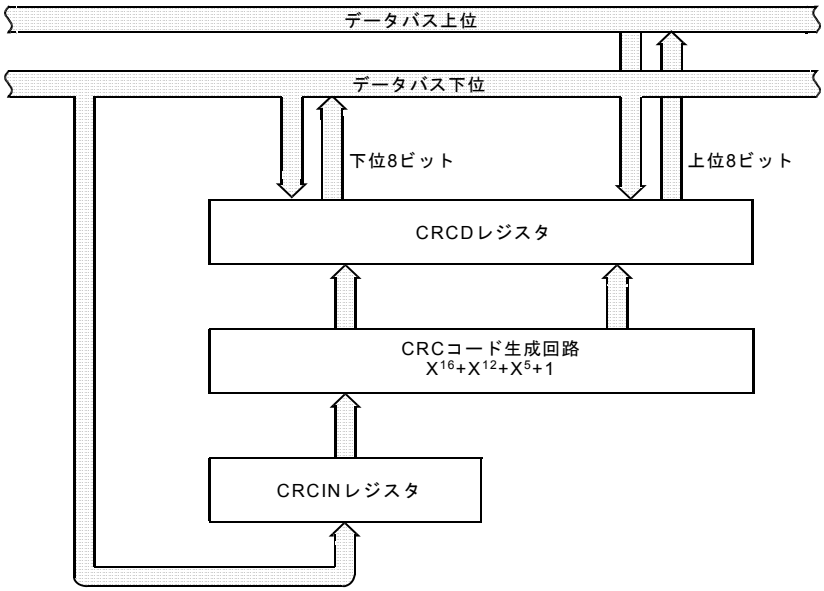
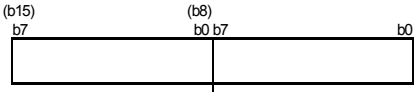


図16.1　CRCブロック図

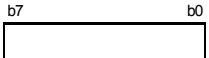
CRCデータレジスタ



シンボル	アドレス	リセット後の値
CRCD	03BDh-03BCh番地	不定

機　能	設定範囲	RW
このレジスタに初期値を書いた後、CRCINレジスタにデータを書くと、このレジスタからCRCコードが読み出せる。	0000h～FFFFh	RW

CRCインプットレジスタ



シンボル	アドレス	リセット後の値
CRCIN	03BEh番地	不定

機　能	設定範囲	RW
データ入力	00h～FFh	RW

図16.2　CRCD、CRCINレジスタ

“80C4h”のCRCコードを生成する場合の設定手順とCRC演算

○ M16CのCRC演算

CRCコード：CRCINレジスタに書いた値のビット位置を反転したものを被除数、生成多項式を除数とする除算の剰余

生成多項式：$X^{16}+X^{12}+X^{5}+1$(1 0001 0000 0010 0001b)

○ 設定手順

(1) プログラムで“80C4h”のビット位置をバイト単位で反転させる

“80h”→“01h”、“C4h”→“23h”

(2) 0000h(初期値)を書く → b15 … b0 CRCDレジスタ

(3) 01hを書く → b7 … b0 CRCINレジスタ

2サイクル後、“80h”のCRCコード(9188h)のビット位置を反転した“1189h”が、CRCDレジスタに格納される

b15 … b0 1189h CRCDレジスタ

(4) 23hを書く → b7 … b0 CRCINレジスタ

2サイクル後、“80C4h”のCRCコード(8250h)のビット位置を反転した“0A41h”が、CRCDレジスタに格納される

b15 … b0 0A41h CRCDレジスタ

○ CRC演算詳細

上記(3)の場合、CRCINレジスタに書いた値“01h(00000001b)”はビット位置を反転され“10000000b”になる。
これに16桁追加した“1000 0000 0000 0000 0000 0000b”と、CRCDレジスタの初期値“0000 0000 0000 0000b”に8桁を追加した“0000 0000 0000 0000 0000 00000b”を加算した値をモジュロ2除算する。

```
                                  1000 1000
                 ┌──────────────────────────
1 0001 0000 0010 0001 │ 1000 0000 0000 0000 0000 0000 ← データ
                      │ 1000 1000 0001 0000 1
                      │      1000 0001 0000 1000 0
                      │      1000 1000 0001 0000 1
                      │           1001 0001 1000 1000
```

生成多項式

CRCコード

モジュロ2の演算とは...
次の法則に基づいた演算です。

0 + 0 = 0
0 + 1 = 1
1 + 0 = 1
1 + 1 = 0
-1 = 1

剰余“1001 0001 1000 1000b(9188h)”のビット位置を反転した“0001 0001 1000 1001b(1189h)”がCRCDレジスタから読める。

続けて上記(4)を行う場合、CRCINレジスタに書いた値“23h(00100011b)”はビット位置を反転され“11000100b”になる。
これに16桁追加した“1100 0100 0000 0000 0000 0000b”と、CRCDレジスタに残っている(3)の剰余“1001 0001 1000 1000b”に8桁追加した“1001 0001 1000 1000 0000 0000b”を加算した値をモジュロ2除算する。
剰余のビット位置を反転した“0000 1010 0100 0001b(0A41h)”がCRCDレジスタから読める

図16.3　CRC演算例

17. プログラマブル入出力ポート

プログラマブル入出力ポート(以下、入出力ポートと称す)は、P0～P10、P14(P8_5は除く)の53本あります。各ポートの入出力は、方向レジスタによって1本ごとに設定できます。また、4本ごとに、プルアップするかしないかを選択できます。P8_5は入力専用でプルアップ抵抗はありません。ポートP8_5は$\overline{\text{NMI}}$と端子を共用していますので、$\overline{\text{NMI}}$入力レベルをP8レジスタのP8_5ビットから読めます。

図17.1～図17.5に入出力ポートの構成、図17.6に端子の構成を示します。

各端子は、入出力ポート、または周辺機能の入出力として機能します。

周辺機能の設定方法は、各機能説明を参照してください。周辺機能の入力端子として使用する場合は、対応する端子の方向ビットを“0”(入力モード)にしてください。周辺機能の出力端子として使用する場合は、方向ビットに関係なく周辺機能の出力となります。

17.1　ポートPi方向レジスタ(PDiレジスタ　i=0～10、14)

図17.7~図17.14にPDiレジスタを示します。

入出力ポートを入力に使用するか、出力に使用するか選択するためのレジスタです。このレジスタの各ビットは、ポート1本ずつに対応しています。

なお、P8_5に対応する方向レジスタのビットはありません。

17.2　ポートPiレジスタ(Piレジスタ　i=0～10、14)

図17.7~図17.14にPiレジスタを示します。

外部とのデータ入出力は、Piレジスタへの読み出しと書き込みによって行います。Piレジスタは、出力データを保持するポートラッチと端子の状態を読む回路で構成されています。入力モードに設定しているポートのPiレジスタを読むと端子の入力レベルが読め、書くとポートラッチに書きます。

出力モードに設定しているポートのPiレジスタを読むとポートラッチを読み、書くとポートラッチに書きます。ポートラッチに書いた値は端子から出力されます。Piレジスタの各ビットは、ポート1本ずつに対応しています。

17.3　プルアップ制御レジスタ0～プルアップ制御レジスタ3(PUR0～PUR3レジスタ)

図17.14～図17.15にPUR0～PUR3を示します。

PUR0～PUR3レジスタの各ビットによって、4端子ごとにプルアップするかしないかを選択できます。プルアップするを選択したポートは、方向ビットを入力モードに設定したときにプルアップ抵抗が接続されます。ポートP14を使用する場合、PUR3レジスタのPU37ビットを“1”にしてください。

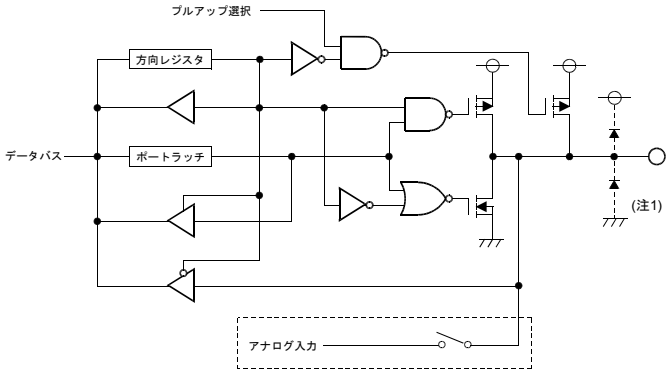
17.4　ポート制御レジスタ(PCRレジスタ)

図17.16にPCRレジスタを示します。

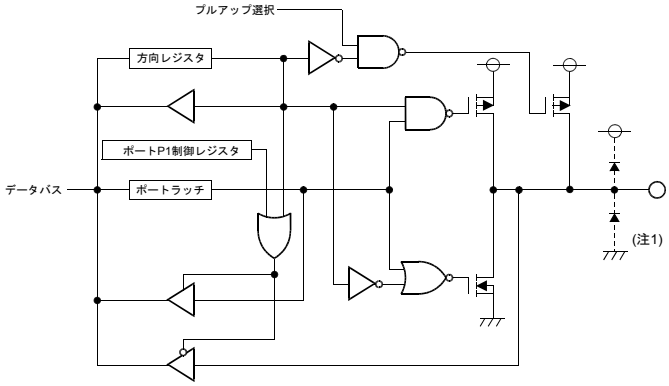
PCRレジスタのPCR0ビットを“1”にしてP1レジスタを読むと、PD1レジスタの設定にかかわらず、対応するポートラッチを読みます。

P0_0～P0_7　(破線枠内あり)

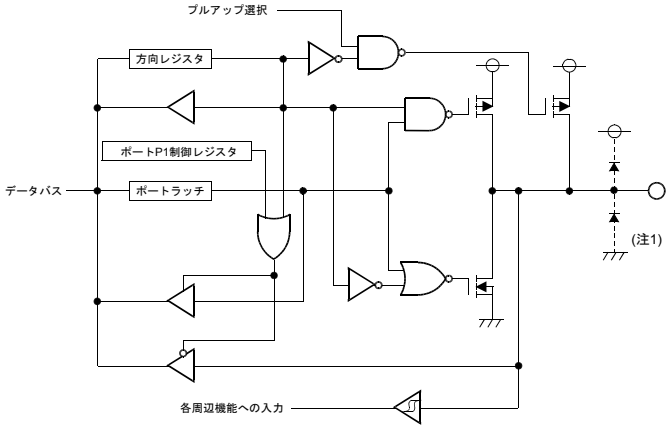
P2_0～P2_3、P14_0　(破線枠内なし)



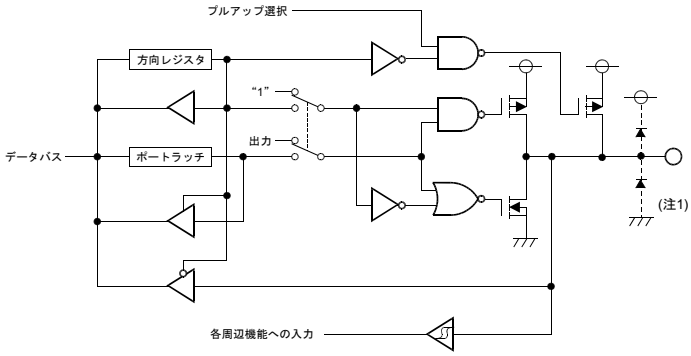
P1_0～P1_4、P1_7



P1_5～P1_6



P6_4、P7_3～P7_5、P9_0、P9_2



注1. ---|◀--- は寄生ダイオードです。
各ポートへの入力電圧はVCCを超えないようにしてください。

図17.1　入出力ポートの構成(1)

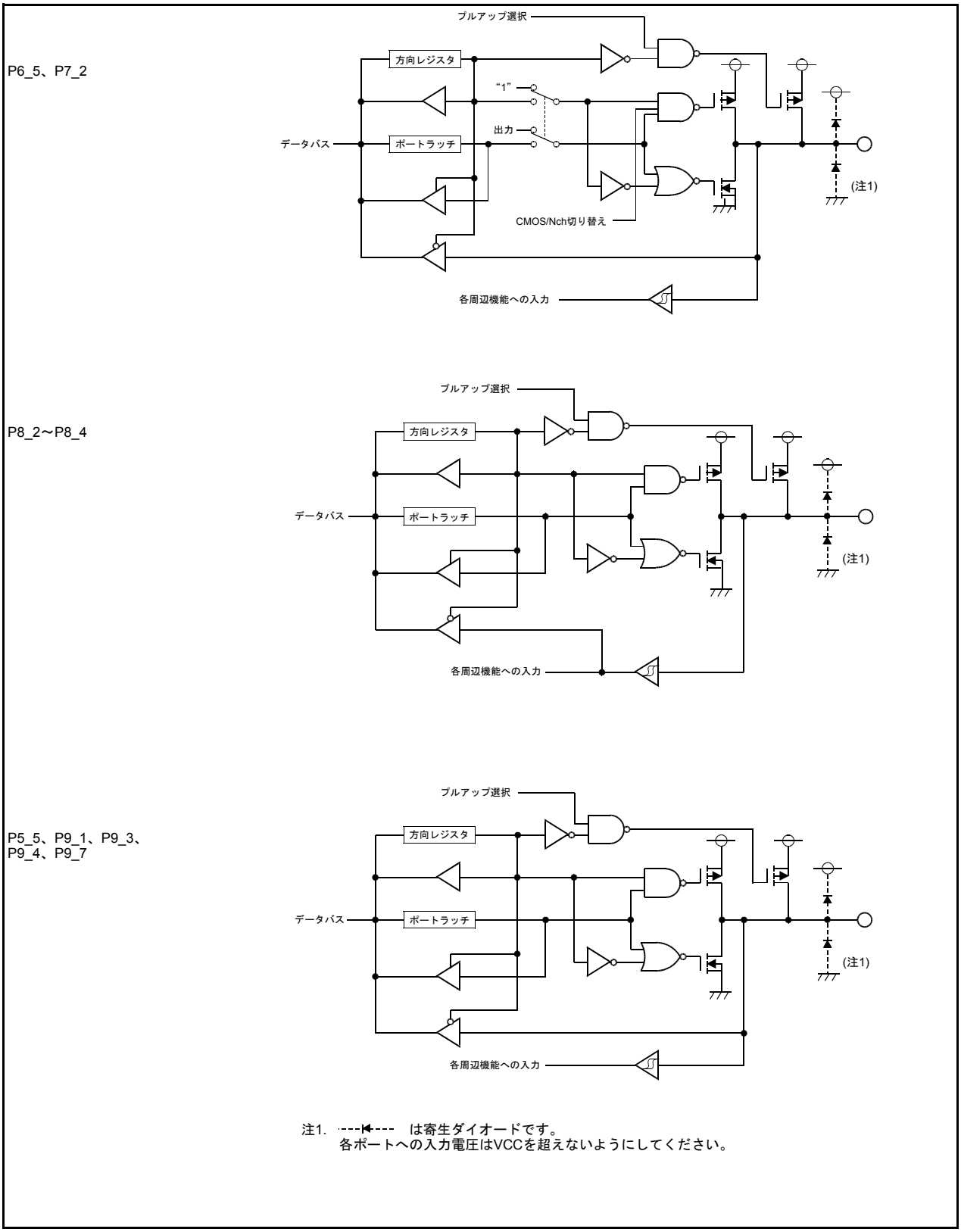


図17.2　入出力ポートの構成(2)

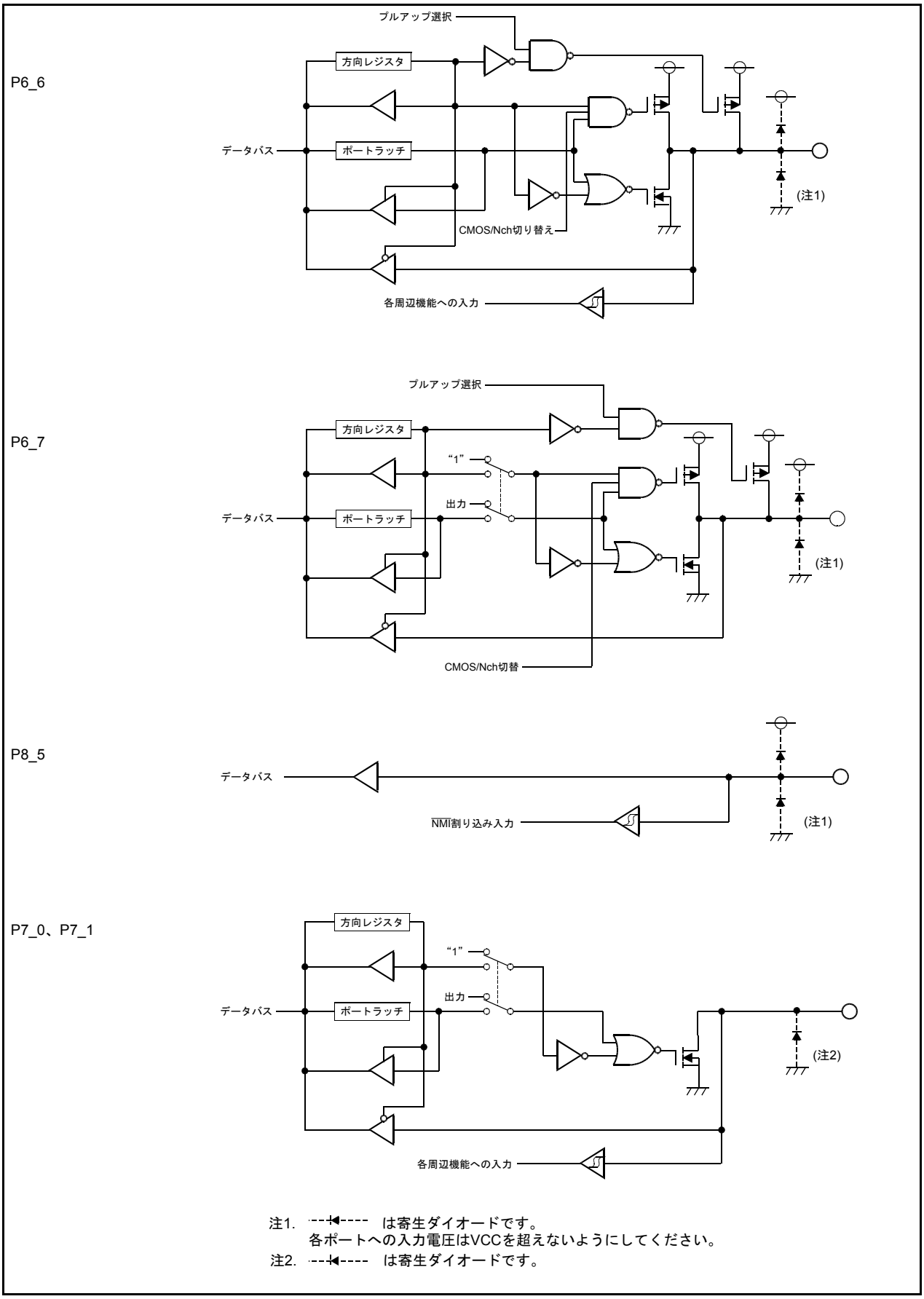
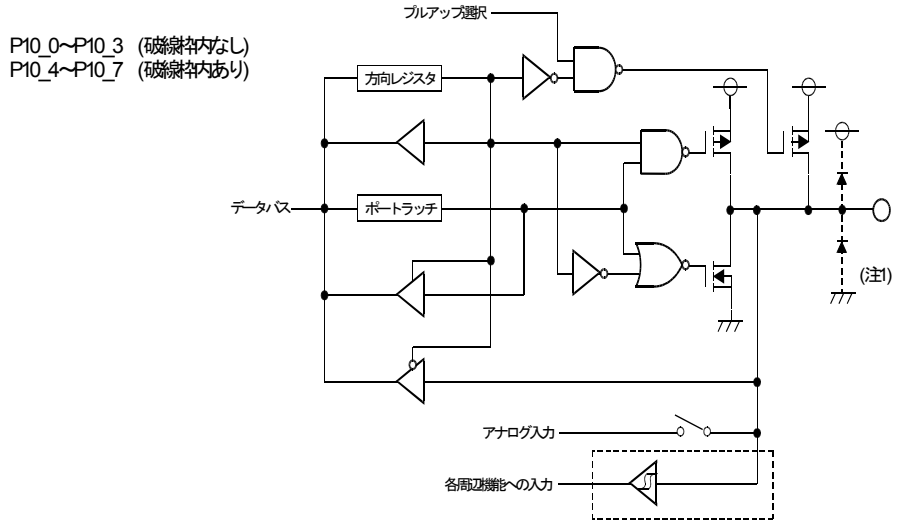
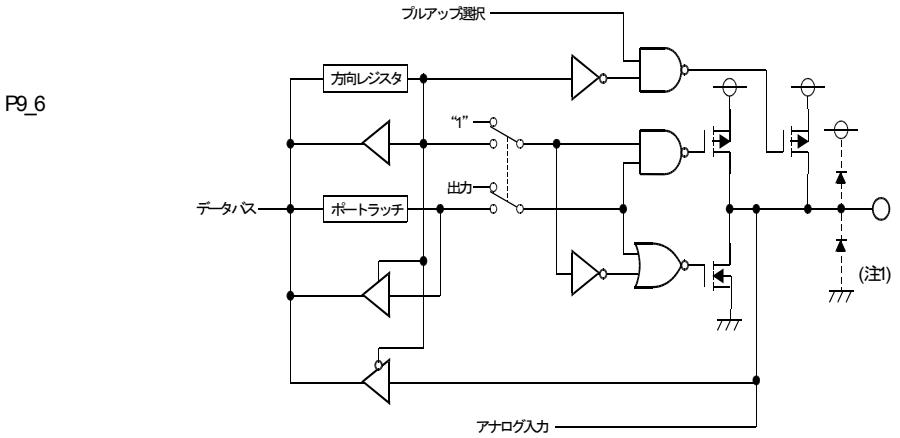
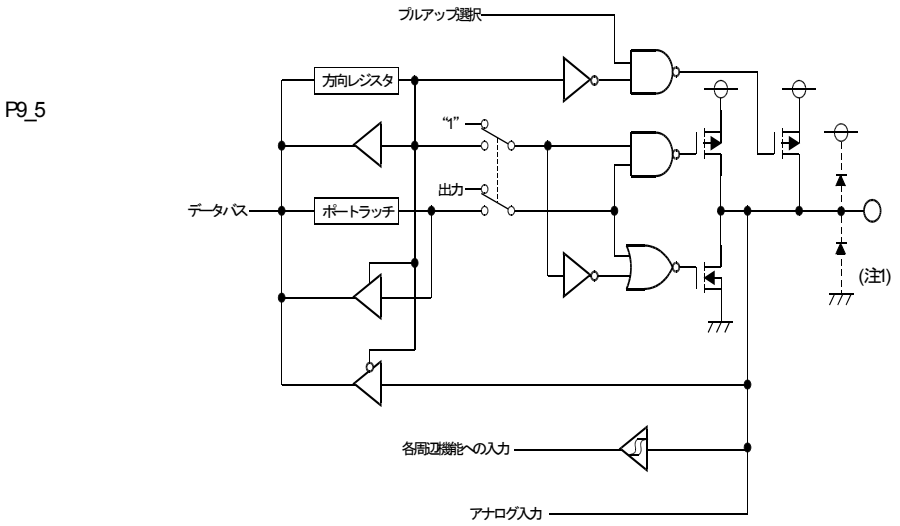


図17.3　入出力ポートの構成(3)

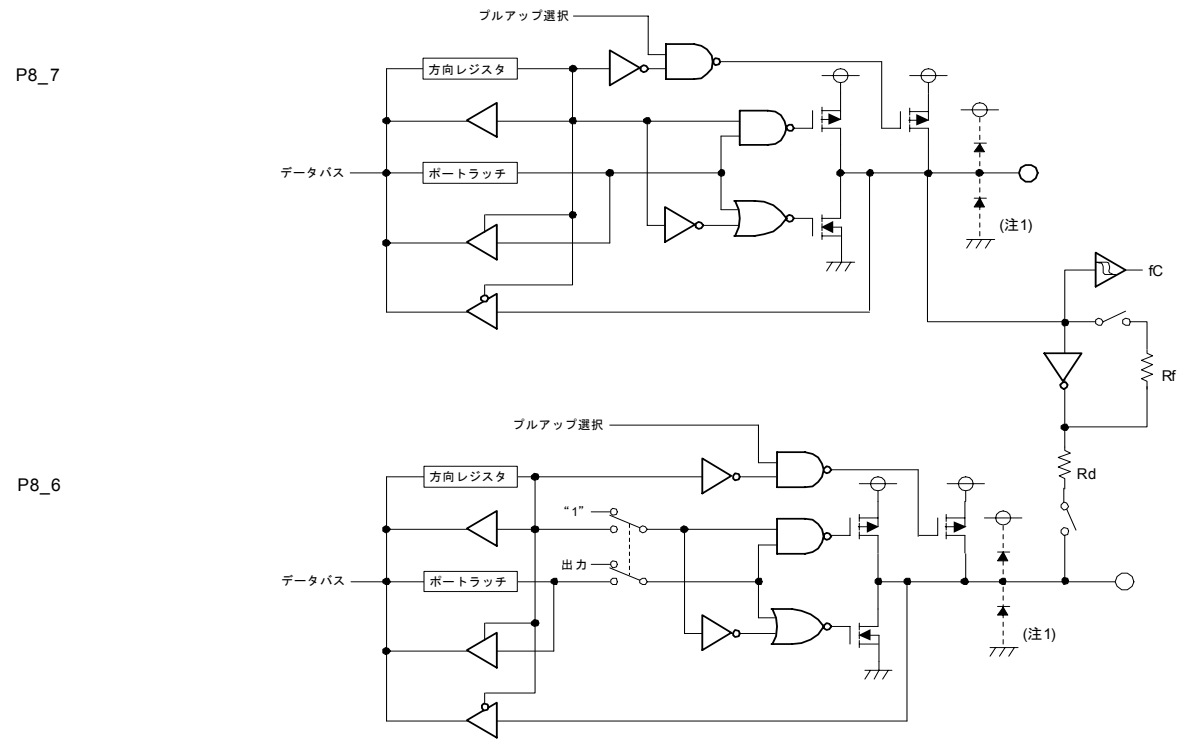






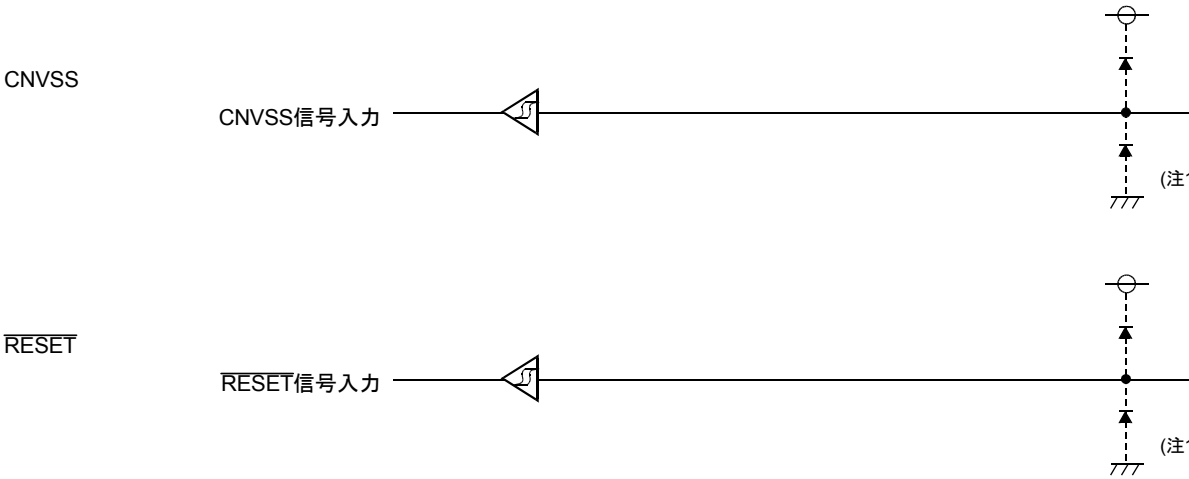
注1. ----|◀---- は寄生ダイオードです。
各ポートへの入力電圧はVCCを超えないようにしてください。

図17.4　入出力ポートの構成(4)



注1. ---|◀--- は寄生ダイオードです。
各ポートへの入力電圧はVCCを超えないようにしてください。

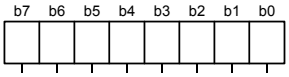
図17.5　入出力ポートの構成(5)



注1. ---|◀--- は寄生ダイオードです。
各端子への入力電圧はVCC1を超えないようにしてください。

図17.6　端子の構成

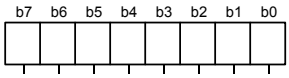
ポートPiレジスタ(i=0、1、9、10)



シンボル	アドレス	リセット後の値
P0	03E0h番地	不定
P1	03E1h番地	不定
P9	03F1h番地	不定
P10	03F4h番地	不定

ビットシンボル	ビット名	機　　能	RW
Pi_0	ポートPi_0ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0：“L”レベル 1：“H”レベル (i= 0、1、9、10)	RW
Pi_1	ポートPi_1ビット		RW
Pi_2	ポートPi_2ビット		RW
Pi_3	ポートPi_3ビット		RW
Pi_4	ポートPi_4ビット		RW
Pi_5	ポートPi_5ビット		RW
Pi_6	ポートPi_6ビット		RW
Pi_7	ポートPi_7ビット		RW

ポートPi方向レジスタ(i=0、1、9、10) (注1)



シンボル	アドレス	リセット後の値
PD0	03E2h番地	00h
PD1	03E3h番地	00h
PD9	03F3h番地	00h
PD10	03F6h番地	00h

ビットシンボル	ビット名	機　　能	RW
PDi_0	ポートPi_0方向ビット	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能） (i= 0、1、9、10)	RW
PDi_1	ポートPi_1方向ビット		RW
PDi_2	ポートPi_2方向ビット		RW
PDi_3	ポートPi_3方向ビット		RW
PDi_4	ポートPi_4方向ビット		RW
PDi_5	ポートPi_5方向ビット		RW
PDi_6	ポートPi_6方向ビット		RW
PDi_7	ポートPi_7方向ビット		RW

注1.　PD9レジスタは、PRCRレジスタのPRC2ビットを“1”(書き込み許可)にした次の命令で書いてください。

図17.7　Pi、PDiレジスタ(i = 0、1、9、10)

ポートP2レジスタ（注1）

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0				

シンボル	アドレス	リセット後の値
P2	03E4h番地	不定

ビットシンボル	ビット名	機　　能	RW
P2_0	ポートP2_0ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0：“L”レベル 1：“H”レベル	RW
P2_1	ポートP2_1ビット		RW
P2_2	ポートP2_2ビット		RW
P2_3	ポートP2_3ビット		RW
P2_4	予約ビット	“0”にしてください。	RW
P2_5			RW
P2_6			RW
P2_7			RW

注1. リセット後のSFRレジスタ初期設定時には、P2_4～P2_7は“0”を設定し、方向レジスタPD2_4～PD2_7は“1”にしてください。

ポートP2方向レジスタ（注1）

b7	b6	b5	b4	b3	b2	b1	b0
1	1	1	1				

シンボル	アドレス	リセット後の値
PD2	03E6h番地	00h

ビットシンボル	ビット名	機　　能	RW
PD2_0	ポートP2_0方向ビット	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	RW
PD2_1	ポートP2_1方向ビット		RW
PD2_2	ポートP2_2方向ビット		RW
PD2_3	ポートP2_3方向ビット		RW
PD2_4	予約ビット	“1”にしてください。	RW
PD2_5			RW
PD2_6			RW
PD2_7			RW

注1. リセット後のSFRレジスタ初期設定時には、P2_4～P2_7は“0”を設定し、方向レジスタPD2_4～PD2_7は“1”にしてください。

図17.8　P2、PD2レジスタ

ポートPiレジスタ (i=3、4) (注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0	0	0	0	0	0

シンボル	アドレス	リセット後の値
P3	03E5h番地	不定
P4	03E8h番地	不定

ビットシンボル	ビット名	機　　能	RW
Pi_0	予約ビット	“0”にしてください。 (i = 3、4)	RW
Pi_1			RW
Pi_2			RW
Pi_3			RW
Pi_4			RW
Pi_5			RW
Pi_6			RW
Pi_7			RW

注1. リセット後のSFRレジスタ初期設定時には、P3_0～P3_7、P4_0～P4_7は“0”を設定し、方向レジスタPD3_0～PD3_7、PD4_0～PD4_7は“1”にしてください。

ポートPi方向レジスタ (i=3、4) (注1)

b7	b6	b5	b4	b3	b2	b1	b0
1	1	1	1	1	1	1	1

シンボル	アドレス	リセット後の値
PD3	03E7h番地	00h
PD4	03EAh番地	00h

ビットシンボル	ビット名	機　　能	RW
PDi_0	予約ビット	“1”にしてください。 (i = 3、4)	RW
PDi_1			RW
PDi_2			RW
PDi_3			RW
PDi_4			RW
PDi_5			RW
PDi_6			RW
PDi_7			RW

注1. リセット後のSFRレジスタ初期設定時には、P3_0～P3_7、P4_0～P4_7は“0”を設定し、方向レジスタPD3_0～PD3_7、PD4_0～PD4_7は“1”にしてください。

図17.9　P3、P4、PD3、PD4 レジスタ

ポートP5レジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			0	0	0	0	0

シンボル	アドレス	リセット後の値
P5	03E9h番地	不定

ビットシンボル	ビット名	機　　能	RW
P5_0	予約ビット	“0”にしてください。	RW
P5_1	予約ビット	“0”にしてください。(注5)	RW
P5_2			RW
P5_3	予約ビット	“0”にしてください。	RW
P5_4	予約ビット	“0”にしてください。(注5)	RW
P5_5	ポートP5_5ビット (注2)	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0：“L”レベル 1：“H”レベル	RW
P5_6	VFD制御ビット (注3)	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0：“L”レベル 1：“H”レベル (注6)	RW
P5_7	VFD制御ビット (注4)		RW

注1. リセット後のSFRレジスタ初期設定時には、「20.使用上の注意事項　20.10　プログラマブル入出力ポート予約ビットの設定」を参照して、必ず設定してください。
注2. VFDコントローラ/ドライバ動作中に書き込む際は、下記の命令を使用してください。
　対象となる命令・・・BCLR、BSET
VFDコントローラ/ドライバ停止中は、レジスタ単位での書き込みが可能です。
PUR1レジスタのPU13ビットは予約ビットです。P5_5のプルアップ制御レジスタによるプルアップは設定できません。
注3. VFDコントローラ/ドライバのVFD_CSに内部接続しています。
注4. VFDコントローラ/ドライバのVFD_XINに内部接続しています。
注5. リセット後のSFRレジスタ初期設定時には、P5_1、P5_2、P5_4には“0”を設定し、方向レジスタPD5_1、PD5_2、PD5_4は“1”にしてください。
注6. 15章　VFDコントローラ/ドライバを参照してください。

ポートP5方向レジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0
			1	0	1	1	0

シンボル	アドレス	リセット後の値
PD5	03EBh番地	00h

ビットシンボル	ビット名	機　　能	RW
PD5_0	予約ビット	“0”にしてください。	RW
PD5_1	予約ビット	“1”にしてください。(注5)	RW
PD5_2			RW
PD5_3	予約ビット	“0”にしてください。	RW
PD5_4	予約ビット	“1”にしてください。(注5)	RW
PD5_5	ポートP5_5方向ビット (注2)	0：入力モード（入力ポートとして機能） 1：出力モード（出力ポートとして機能）	RW
PD5_6	VFD制御ビット(注3)	0：入力モード（入力ポートとして機能） 1：出力モード（出力ポートとして機能） (注6)	RW
PD5_7	VFD制御ビット(注4)		RW

注1. リセット後のSFRレジスタ初期設定時には、「20.使用上の注意事項　20.10　プログラマブル入出力ポート予約ビットの設定」を参照して、必ず設定してください。
注2. VFDコントローラ/ドライバ動作中に書き込む際は、下記の命令を使用してください。
　対象となる命令・・・BCLR、BSET
VFDコントローラ/ドライバ停止中は、レジスタ単位での書き込みが可能です。
PUR1レジスタのPU13ビットは予約ビットです。P5_5のプルアップ制御レジスタによるプルアップは設定できません。
注3. VFDコントローラ/ドライバのVFD_CSに内部接続しています。
注4. VFDコントローラ/ドライバのVFD_XINに内部接続しています。
注5. リセット後のSFRレジスタ初期設定時には、P5_1、P5_2、P5_4には“0”を設定し、方向レジスタPD5_1、PD5_2、PD5_4は“1”にしてください。
注6. 15章　VFDコントローラ/ドライバを参照してください。

図17.10　P5、PD5レジスタ

ポートP6レジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0
					0		

シンボル	アドレス	リセット後の値
P6	03ECh番地	不定

ビットシンボル	ビット名	機　　能	RW
P6_0	VFD制御ビット(注2)	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0：“L”レベル 1：“H”レベル (注6)	RW
P6_1	VFD制御ビット(注3)		RW
P6_2	予約ビット	“0”にしてください。(注7)	RW
P6_3	VFD制御ビット(注4)	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0：“L”レベル 1：“H”レベル (注6)	RW
P6_4	ポートP6_4ビット(注5)	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0：“L”レベル 1：“H”レベル	RW
P6_5	ポートP6_5ビット(注5)		RW
P6_6	ポートP6_6ビット(注5)		RW
P6_7	ポートP6_7ビット(注5)		RW

注1. リセット後のSFRレジスタ初期設定時には、「20.使用上の注意事項　20.10　プログラマブル入出力ポート　予約ビットの設定」を参照して、必ず設定してください。
注2. VFDコントローラ/ドライバのVFD_RESETに内部接続しています。
注3. VFDコントローラ/ドライバのVFD_SCKに内部接続しています。
注4. VFDコントローラ/ドライバのVFD_SDATAに内部接続しています。
注5. VFDコントローラ/ドライバ動作中に書き込む際は、下記の命令を使用してください。
　対象となる命令・・・BCLR、BSET
VFDコントローラ/ドライバ停止中は、レジスタ単位での書き込みが可能です。
注6. 15章　VFDコントローラ/ドライバを参照してください。
注7. リセット後のSFRレジスタ初期設定時には、P6_2は“0”に設定し、方向レジスタPD6_2は“1”にしてください。

ポートP6方向レジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0
					1		

シンボル	アドレス	リセット後の値
PD6	03EEh番地	00h

ビットシンボル	ビット名	機　　能	RW
PD6_0	VFD制御ビット(注2)	0：入力モード（入力ポートとして機能） 1：出力モード（出力ポートとして機能） (注6)	RW
PD6_1	VFD制御ビット(注3)		RW
PD6_2	予約ビット	“1”にしてください。(注7)	RW
PD6_3	VFD制御ビット(注4)	0：入力モード（入力ポートとして機能） 1：出力モード（出力ポートとして機能） (注6)	RW
PD6_4	ポートP6_4方向ビット(注5)	0：入力モード（入力ポートとして機能） 1：出力モード（出力ポートとして機能）	RW
PD6_5	ポートP6_5方向ビット(注5)		RW
PD6_6	ポートP6_6方向ビット(注5)		RW
PD6_7	ポートP6_7方向ビット(注5)		RW

注1. リセット後のSFRレジスタ初期設定時には、「20.使用上の注意事項　20.10　プログラマブル入出力ポート　予約ビットの設定」を参照して、必ず設定してください。
注2. VFDコントローラ/ドライバのVFD_RESETに内部接続しています。
注3. VFDコントローラ/ドライバのVFD_SCKに内部接続しています。
注4. VFDコントローラ/ドライバのVFD_SDATAに内部接続しています。
注5. VFDコントローラ/ドライバ動作中に書き込む際は、下記の命令を使用してください。
　対象となる命令・・・BCLR、BSET
VFDコントローラ/ドライバ停止中は、レジスタ単位での書き込みが可能です。
注6. 15章　VFDコントローラ/ドライバを参照してください。
注7. リセット後のSFRレジスタ初期設定時には、P6_2は“0”に設定し、方向レジスタPD6_2は“1”にしてください。

図17.11　P6、PD6レジスタ

ポートP7レジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0
0	0						

シンボル	アドレス	リセット後の値
P7	03EDh番地	不定

ビットシンボル	ビット名	機　　能	RW
P7_0	ポートP7_0ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0：“L”レベル 1：“H”レベル(注2)	RW
P7_1	ポートP7_1ビット		RW
P7_2	ポートP7_2ビット		RW
P7_3	ポートP7_3ビット		RW
P7_4	ポートP7_4ビット		RW
P7_5	ポートP7_5ビット		RW
P7_6	予約ビット	“0”にしてください。	RW
P7_7			RW

注1. リセット後のSFRレジスタ初期設定時には、P7_6、P7_7は“0”を設定し、方向レジスタPD7_6、PD7_7は“1”にしてください。
注2. P7_0、P7_1はNチャネルオープンドレインポートのため、ハイインピーダンスとなります。

ポートP7方向レジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0
1	1						

シンボル	アドレス	リセット後の値
PD7	03EFh番地	00h

ビットシンボル	ビット名	機　　能	RW
PD7_0	ポートP7_0方向ビット	0：入力モード（入力ポートとして機能） 1：出力モード（出力ポートとして機能）	RW
PD7_1	ポートP7_1方向ビット		RW
PD7_2	ポートP7_2方向ビット		RW
PD7_3	ポートP7_3方向ビット		RW
PD7_4	ポートP7_4方向ビット		RW
PD7_5	ポートP7_5方向ビット		RW
PD7_6	予約ビット	“1”にしてください。	RW
PD7_7			RW

注1. リセット後のSFRレジスタ初期設定時には、P7_6、P7_7は“0”を設定し、方向レジスタPD7_6、PD7_7は“1”にしてください。

図17.12 P7、PD7レジスタ

ポートP8レジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0
						0	0

シンボル	アドレス	リセット後の値
P8	03F0h番地	不定

ビットシンボル	ビット名	機　　能	RW
P8_0	予約ビット	“0”にしてください	RW
P8_1			RW
P8_2	ポートP8_2ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる(P8_5は除く) 0：“L”レベル 1：“H”レベル	RW
P8_3	ポートP8_3ビット		RW
P8_4	ポートP8_4ビット		RW
P8_5	ポートP8_5ビット		RO
P8_6	ポートP8_6ビット		RW
P8_7	ポートP8_7ビット		RW

注1. リセット後のSFRレジスタ初期設定時には、P8_0、P8_1は“0”を設定し、方向レジスタPD8_0、PD8_1は“1”にしてください。

ポートP8方向レジスタ(注1)

b7	b6	b5	b4	b3	b2	b1	b0
		X				1	1

シンボル	アドレス	リセット後の値
PD8	03F2h番地	00X00000b

ビットシンボル	ビット名	機　　能	RW
PD8_0	予約ビット	“1”にしてください。	RW
PD8_1			RW
PD8_2	ポートP8_2方向ビット	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	RW
PD8_3	ポートP8_3方向ビット		RW
PD8_4	ポートP8_4方向ビット		RW
— (b5)	何も配置されていない。 書く場合、“0”を書いてください。読んだ場合、その値は不定。		—
PD8_6	ポートP8_6方向ビット	0：入力モード （入力ポートとして機能） 1：出力モード （出力ポートとして機能）	RW
PD8_7	ポートP8_7方向ビット		RW

注1. リセット後のSFRレジスタ初期設定時には、P8_0、P8_1は“0”を設定し、方向レジスタPD8_0、PD8_1は“1”にしてください。

図17.13　P8、PD8レジスタ

ポートP14制御レジスタ(注1、注2)

b7	b6	b5	b4	b3	b2	b1	b0
X	X	1		X	X	0	

シンボル	アドレス	リセット後の値
PC14	03DEh番地	XX00XXXXb

ビットシンボル	ビット名	機　　能	RW
P140	ポートP14_0ビット	入力モードに設定した入出力ポートに対応するビットを読むと、端子のレベルが読める。 出力モードに設定した入出力ポートに対応するビットに書くと、端子のレベルを制御できる 0：“L”レベル 1：“H”レベル	RW
P141	予約ビット	“0”にしてください。	RW
—— (b3-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—
PD140	ポートPD14_0方向ビット	0：入力モード（入力ポートとして機能） 1：出力モード（出力ポートとして機能）	RW
PD141	予約ビット	“1”にしてください。	RW
—— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1.　PC14レジスタの内容を書き換える時は、PU37ビットを“1”(P14使用可)にしてから書き換えてください。
注2.　リセット後のSFRレジスタ初期設定時には、P141は“0”を設定し、PD141は“1”にしてください。

プルアップ制御レジスタ3 (注3)

b7	b6	b5	b4	b3	b2	b1	b0
		0	0	0	0	0	0

シンボル	アドレス	リセット後の値
PUR3	03DFh番地	00h

ビットシンボル	ビット名	機　　能	RW
PU30	予約ビット	“0”にしてください。	RW
PU31	予約ビット		RW
PU32	予約ビット		RW
PU33	予約ビット		RW
PU34	予約ビット		RW
PU35	予約ビット		RW
PU36	P14_0のプルアップ	0：プルアップなし 1：プルアップあり(注1)	RW
PU37	P14有効化ビット	0：使用不可(注2) 1：使用可	RW

注1.　このビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされます。
注2.　PU37ビットを“0”(使用不可)にすると、P14_0端子がハイインピーダンスになり、P14_0レジスタが“0”になります。
注3.　リセット後のSFRレジスタ初期設定時には、PU30～PU35は“0”にしてください。

図17.14　PC14、PUR3レジスタ

プルアップ制御レジスタ0 (注2)

b7	b6	b5	b4	b3	b2	b1	b0
0	0	0					

シンボル	アドレス	リセット後の値
PUR0	03FCh番地	00h

ビットシンボル	ビット名	機　　能	RW
PU00	P0_0～P0_3のプルアップ	0：プルアップなし 1：プルアップあり (注1)	RW
PU01	P0_4～P0_7のプルアップ		RW
PU02	P1_0～P1_3のプルアップ		RW
PU03	P1_4～P1_7のプルアップ		RW
PU04	P2_0～P2_3のプルアップ		RW
PU05	予約ビット	“0”にしてください。	RW
PU06	予約ビット		RW
PU07	予約ビット		RW

注1.　このビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされます。
注2.　リセット後のSFRレジスタ初期設定時には、PU05～PU07は“0”にしてください。

プルアップ制御レジスタ1 (注4)

b7	b6	b5	b4	b3	b2	b1	b0
			0	0	0	0	0

シンボル	アドレス	リセット後の値
PUR1	03FDh番地	00000000b

ビットシンボル	ビット名	機　　能	RW
PU10	予約ビット	“0”にしてください。	RW
PU11	予約ビット		RW
PU12	予約ビット		RW
PU13	予約ビット(注1)		RW
PU14	予約ビット		RW
PU15	P6_4～P6_7のプルアップ	0：プルアップなし 1：プルアップあり (注3)	RW
PU16	P7_2～P7_3のプルアップ (注2)		RW
PU17	P7_4～P7_5のプルアップ		RW

注1.　PUR1レジスタのPU13ビットは予約ビットです。P5_5のプルアップ制御レジスタによるプルアップは設定できません。
注2.　P7_0、P7_1端子には、プルアップはありません。
注3.　このビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされます。
注4.　リセット後のSFRレジスタ初期設定時には、PU10～PU14は“0”にしてください。

プルアップ制御レジスタ2

b7	b6	b5	b4	b3	b2	b1	b0

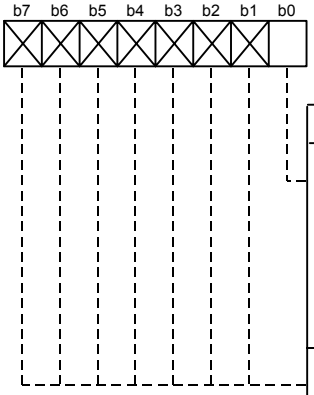
シンボル	アドレス	リセット後の値
PUR2	03FEh番地	00h

ビットシンボル	ビット名	機　　能	RW
PU20	P8_2～P8_3のプルアップ	0：プルアップなし 1：プルアップあり (注1)	RW
PU21	P8_4～P8_7のプルアップ(注2)		RW
PU22	P9_0～P9_3のプルアップ		RW
PU23	P9_4～P9_7のプルアップ		RW
PU24	P10_0～P10_3のプルアップ		RW
PU25	P10_4～P10_7のプルアップ		RW
—— (b7-b6)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

注1.　このビットが“1”(プルアップあり)でかつ方向ビットが“0”(入力モード)の端子がプルアップされます。
注2.　P8_5端子は、プルアップはありません。

図17.15　PUR0～PUR2レジスタ

ポート制御レジスタ



シンボル	アドレス	リセット後の値
PCR	03FFh番地	00h

ビットシンボル	ビット名	機　　能	RW
PCR0	ポートP1制御ビット	P1レジスタを読んだ場合の動作 0：入力ポートのとき、P1_0～P1_7端子の入力レベルを読む 出力ポートのとき、ポートラッチを読む 1：入力ポート、出力ポートにかかわらず、ポートラッチを読む	RW
—— (b7-b1)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は“0”。		—

図17.16　PCRレジスタ

表17.1　未使用端子の処理例

端　子　名	処　理　内　容
ポートP0～P7、P8_2～P8_4、P8_6～P8_7、P9～P10、P14_0	入力モードに設定し、端子ごとに抵抗を介してVSSに接続(プルダウン)するか、または出力モードに設定し、端子を開放(注1、注2、注3、注5)
XOUT(注4)	開放
$\overline{\text{NMI}}$ (P8_5)	抵抗を介してVCC1に接続(プルアップ)
AVCC	VCC1に接続
AVSS、VREF	VSSに接続
VEE	VSSに接続
VFDポート	開放

注1.　出力モードに設定し、開放する場合、リセットからプログラムによってポートを出力モードに切り替えるまでは、ポートは入力モードになっています。そのため、端子の電圧レベルが不定となり、ポートが入力モードになっている期間、電源電流が増加する場合があります。
また、ノイズやノイズによって引き起こされる暴走などによって、方向レジスタの内容が変化する場合を考慮し、ソフトウエアで定期的に方向レジスタの内容を再設定した方がプログラムの信頼性が高くなります。
注2.　未使用端子の処理は、マイクロコンピュータの端子からできるだけ短い配線(2cm以内)で処理してください。
注3.　ポートP7_0、P7_1を出力モードに設定する場合は“L”を出力してください。
ポートP7_0、P7_1はNチャネルオープンドレイン出力です。
注4.　XIN端子に外部クロックを入力している場合。
注5.　リセット後のSFRレジスタ初期設定時には、「20. 使用上の注意事項　20.10プログラマブル入出力ポート予約ビットの設定」を参照して、必ず設定してください。

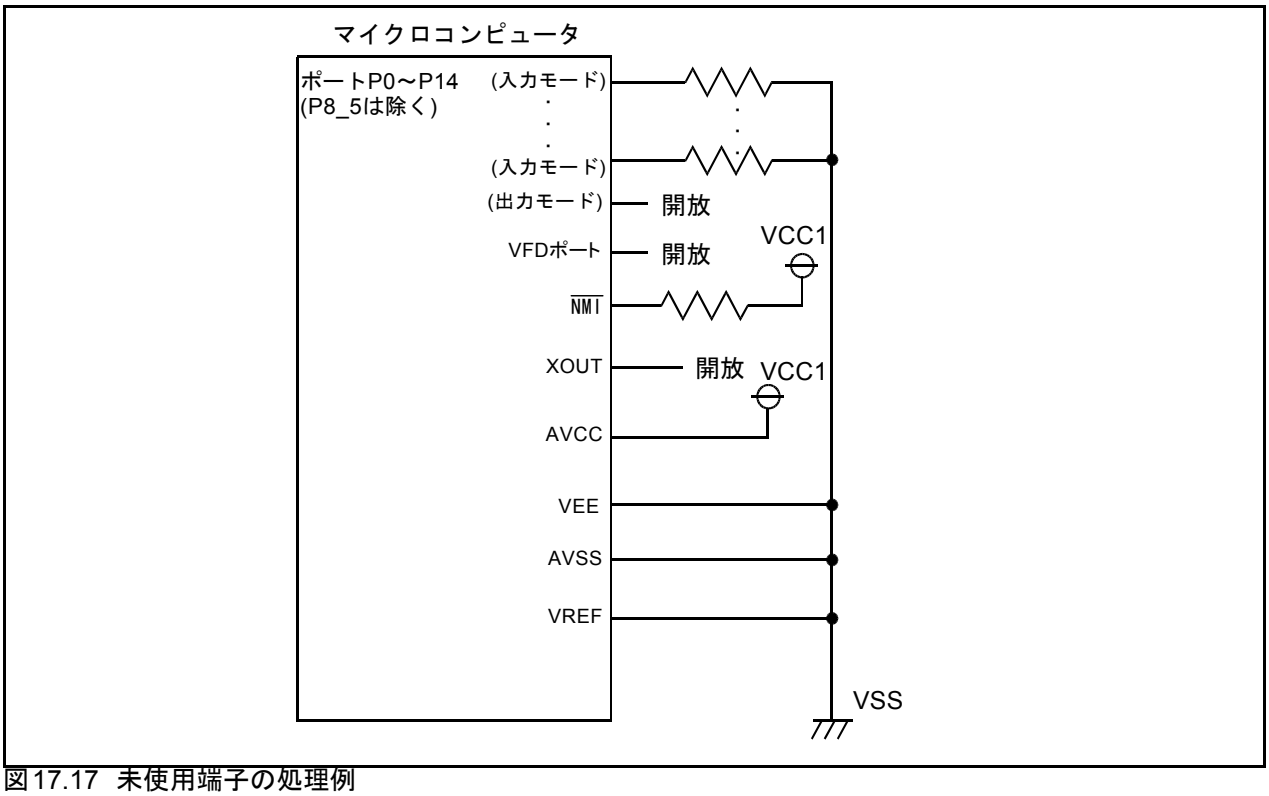


図17.17 未使用端子の処理例

18. フラッシュメモリ版

注意

FLASH版はプログラム開発用(評価用)ですので、量産には使用しないでください。

フラッシュメモリ版は、フラッシュメモリを内蔵していることを除いて、マスクROM版と同じ機能を持ちます。

フラッシュメモリ版では、CPU書き換えモード、標準シリアル入出力モードの2つの書き換えモードでフラッシュメモリを操作できます。

表18.1にフラッシュメモリ版の性能概要を示します(表18.1に示す以外の項目は「表1.1　性能概要」を参照してください)。

表18.1　フラッシュメモリ版の性能概要

項　目		性　能
フラッシュメモリの動作モード		2モード(CPU書き換え、標準シリアル入出力)
消去ブロック分割	ユーザROM領域	「図18.1　フラッシュメモリのブロック図」を参照してください。
	ブートROM領域	1分割(4Kバイト) (注1)
プログラム方式		ワード単位
イレーズ方式		一括消去、ブロック消去
プログラム、イレーズ制御方式		ソフトウエアコマンドによるプログラム、イレーズ制御
プロテクト方式		ロックビットによるブロック単位のプロテクト
コマンド数		8コマンド
プログラム、イレーズ回数		100回(注2)
データ保持		10年間
ROMコードプロテクト		標準シリアル入出力モード対応

注1.　ブートROM領域には出荷時に標準シリアル入出力モードの書き換え制御プログラムが格納されています。
注2.　プログラム、イレーズ回数の定義
　　プログラム、イレーズ回数はブロックごとのイレーズ回数です。
　　例えば、1ワードの書き込みを2,048回に分けて書き込みを行った後、そのクロックをイレーズするとプログラム、イレーズ回数1回と数えます。
　　プログラム、イレーズ回数が100回保証の場合、ブロックごとに100回ずつイレーズすることができます。

表18.2　フラッシュメモリ書き換え禁止機能

フラッシュメモリ書き換えモード	CPU書き換えモード	標準シリアル入出力モード
機能概要	CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換える EW0モード： 　フラッシュメモリ以外の領域で書き換え可能(注1) EW1モード： 　フラッシュメモリ上で書き換え可能	専用シリアルライタを使用して、ユーザROM領域を書き換える 標準シリアル入出力モード1： 　クロック同期形シリアルI/O 標準シリアル入出力モード2： 　クロック非同期形シリアルI/O
書き換えできる領域	ユーザROM領域	ユーザROM領域
動作モード	シングルチップモード ブートモード(EW0モード)	ブートモード
ROMライタ	―	シリアルライタ

注1. 書き換え制御プログラムを実行する領域は内部RAM領域で実行してください。

18.1　メモリ配置

フラッシュメモリ版のROMは、ユーザROM領域とブートROM領域に分けられます。図18.1にフラッシュメモリのブロック図を示します。

ユーザROM領域はいくつかのブロックに分割されており、ブロックごとにプログラムやイレーズを禁止(ロック)できます。ユーザROM領域は、CPU書き換えモード、標準シリアル入出力モードで書き換えられます。

ブートROM領域は、ユーザROM領域と重なったアドレスに配置されています。また、CNVSS端子に“H”を、P5_5端子に“L”を入力してハードウェアリセットすると、リセット後、ブートROM領域のプログラムが実行されます。CNVSS端子に“L”を入力してハードウェアリセットするとリセット後、ユーザROM領域のプログラムが実行され、ブートROM領域は読めません。

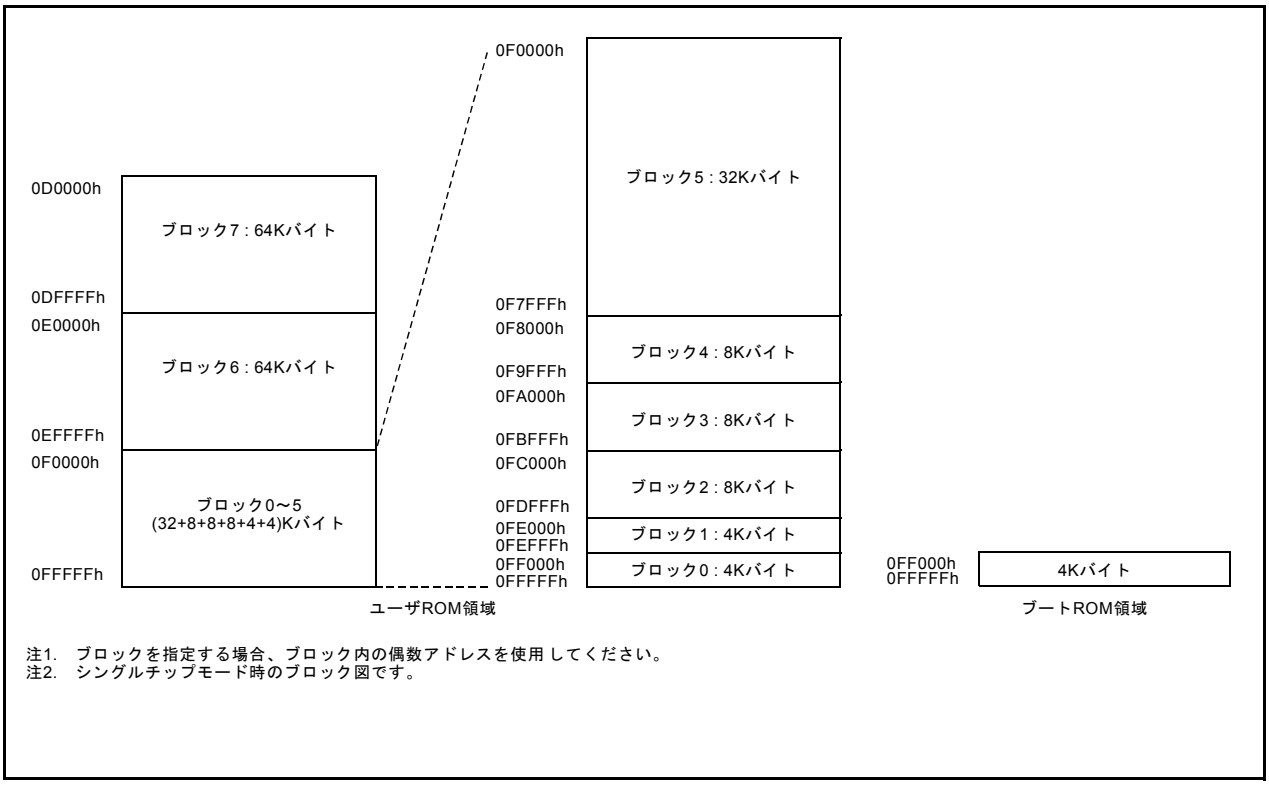


図18.1　フラッシュメモリのブロック図

18.1.1 ブートモード

P5_5端子に“L”、CNVSS端子に“H”を入力してハードウェアリセットすると、ブートモードになり、ブートROM領域のプログラムを実行します。

ブートモード時、ブートROM領域とユーザROM領域は、FMR0レジスタのFMR05ビットで切り替えられます。

ブートROM領域には、出荷時、標準シリアル入出力モードの書き換え制御プログラムが格納されています。

18.2 フラッシュメモリ書き換え禁止機能

フラッシュメモリの読み出し、書き込みを禁止するため、標準シリアル入出力モードにはIDコードチェック機能があります。

18.2.1 IDコードチェック機能

標準シリアル入出力モードで使用します。シリアルライタから送られてくるIDコードとフラッシュメモリに書かれているIDコードの一致を判定します。IDコードが一致しない場合、シリアルライタから送られてくるコマンドは受け付けられません。ただし、リセットベクタの4バイトが“FFFFFFFFh”の場合、IDコードの判定は行われず、すべてのコマンドが受け付けられます。

フラッシュメモリのIDコードは、1バイト目からそれぞれ0FFFDFh、0FFFE3h、0FFFEBh、0FFFEFh、0FFFF3h、0FFFF7h、0FFFFBh番地に割り当てられた7バイトのデータです。これらの番地にIDコードを設定したプログラムをフラッシュメモリへ書いてください。

18.2.2 ROMコードプロテクト制御番地

ROMコードプロテクトは、パラレル入出力モードを使用する場合に、フラッシュメモリの読み出しや書き換えを禁止する機能です。図18.2にROMCPレジスタを示します。ROMCPレジスタは、ユーザROM領域に存在します。

パラレル入出力モードはありませんので、ROMコードプロテクト制御番地をROMコードプロテクト有効に設定してください。

ROMCP1ビットを“11b”以外にすると、ROMコードプロテクトが有効になります。その場合、ビット5～ビット0は“111111b”にしてください。

ROMコードプロテクト制御番地

b7	b6	b5	b4	b3	b2	b1	b0
		1	1	1	1	1	1

シンボル	アドレス	出荷時の値
ROMCP	0FFFFFh番地	FFh(注4)

ビットシンボル	ビット名	機　　能	RW
――	予約ビット	“1”にしてください	RW
――	予約ビット	“1”にしてください	RW
――	予約ビット	“1”にしてください	RW
――	予約ビット	“1”にしてください	RW
――	予約ビット	“1”にしてください	RW
――	予約ビット	“1”にしてください	RW
ROMCP1	ROMコードプロテクトレベル1設定ビット(注1、注２、注3、注4)	b7 b6 0 0 : 0 1 : 1 0 : } プロテクト有効 1 1 : プロテクト無効	RW RW

注1. ROMCP1ビットを“11b”以外(ROMコードプロテクトを有効)にすると、パラレル入出力モードでのフラッシュメモリの読み出しや書き換えが禁止されます。
注2. ROMCRビットを“11b”以外にする場合、ビット5～ビット0は“111111b”にしてください。ビット5～ビット0を“111111b”意外にすると、ROMCP1を“11b”意外にしても、ROMコードプロテクトは有効にならない場合があります。
注3. ROMコードプロテクトを解除する場合、標準シリアル入出力モードまたは、CPU書き換えモードで、ROMCPレジスタを含むブロックを消去してください。
注4. ROMCPレジスタを含むブロックを消去すると、ROMCPレジスタは“FFh”になります。

図18.2　ROMCPレジスタ

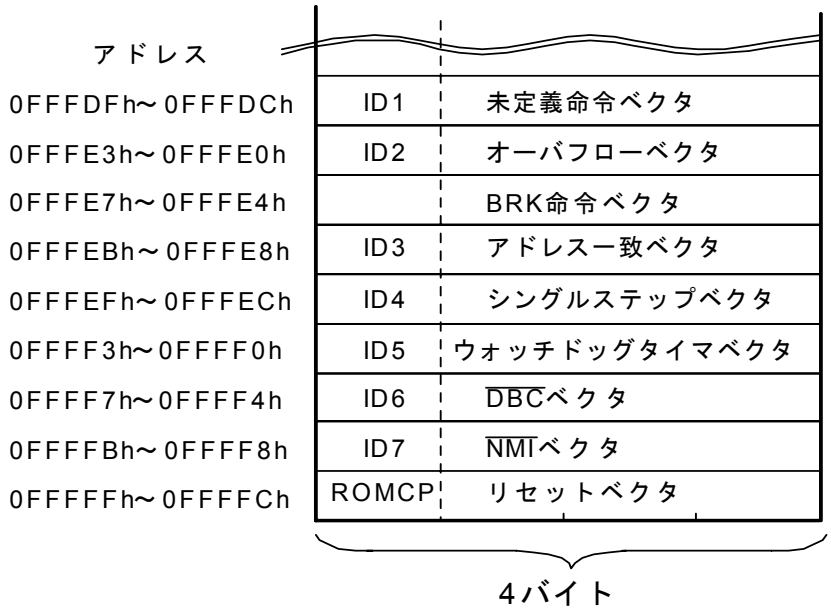


図18.3　IDコードの格納番地

18.3 CPU書き換えモード

CPU書き換えモードでは、CPUがソフトウェアコマンドを実行することにより、ユーザROM領域を書き換えることができます。したがって、ROMライタなどを使用せずにマイクロコンピュータを基板に実装した状態で、ユーザROM領域を書き換えることができます。

CPU書き換えモードでは、図18.1に示すユーザROM領域のみの書き換えが可能で、ブートROM領域の書き換えはできません。プログラム、ブロックイレーズのコマンドは、ユーザROM領域の各ブロック領域のみに対して実行してください。

CPU書き換えモードには、イレーズライト0モード(EW0モード)とイレーズライト1モード(EW1)モードがあります。表18.3にEW0モードとEW1モードの違いを示します。

表18.3　EW0モードとEW1モードの違い

項目	EW0モード	EW1モード
動作モード	•シングルチップモード •ブートモード	シングルチップモード
書き換え制御プログラムを配置できる領域	•ユーザROM領域 •ブートROM領域	ユーザROM領域
書き換え制御プログラムを実行できる領域	フラッシュメモリ以外(RAM)へ転送してから実行する必要あり(注2)	ユーザROM領域上で実行可能
書き換えられる領域	ユーザROM領域	ユーザROM領域 ただし、書き換え制御プログラムがあるブロックを除く
ソフトウェアコマンドの制限	なし	•プログラム、ブロックイレーズコマンド 書き換え制御プログラムがあるブロックに対して実行禁止 •イレーズ全アンロックブロックコマンド 書き換え制御プログラムがあるブロックのロックビットが“1”(非ロック)、またはFMR0レジスタのFMR02ビットが“1”(ロックビット無効)のとき実行禁止 •リードステータスレジスタコマンド 実行禁止
プログラム、イレーズ後のモード	リードステータスレジスタモード	リードアレイモード
自動書き込み、自動消去時のCPUの状態	動作	ホールド状態(入出力ポートはコマンド実行前の状態を保持(注1))
フラッシュメモリのステータス検知	•プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む •リードステータスレジスタコマンドを実行し、ステータスレジスタのSR7、SR5、SR4を読む	プログラムでFMR0レジスタのFMR00、FMR06、FMR07ビットを読む

注1. 割り込み($\overline{\text{NMI}}$、ウォッチドッグタイマを除く)、DMA転送が起こらないようにしてください。
注2. 書き換え制御プログラムを実行する領域は内部RAM領域で実行してください。

18.3.1 EW0モード

FMR0レジスタのFMR01ビットを“1”(CPU書き換えモード有効)にするとCPU書き換えモードになり、コマンドの受け付けが可能となります。このとき、FMR1レジスタのFMR11ビットが“0”の場合、EW0モードになります。FMR01ビットを“1”にするときには“0”を書いた後、続けて“1”を書いてください。

プログラム、イレーズ動作の制御はソフトウェアコマンドで行います。プログラム、イレーズの終了時の状態などはFMR0レジスタまたはステータスレジスタで確認できます。

18.3.2 EW1モード

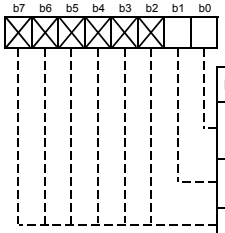
FMR01ビットを“1”にした後(“0”を書いた後、続けて“1”を書く)、FMR11ビットを“1”にする(“0”を書いた後、続けて“1”を書く)とEW1モードになります。

プログラム、イレーズの終了時の状態などは、FMR0レジスタで確認できます。EW1モードでは、ステータスレジスタを読めません。

18.3.3 フラッシュメモリ制御レジスタ (FIDRレジスタ、FMR0レジスタ、FMR1レジスタ)

図18.4にFIDR、FMR0、FMR1レジスタを示します。

フラッシュ識別レジスタ

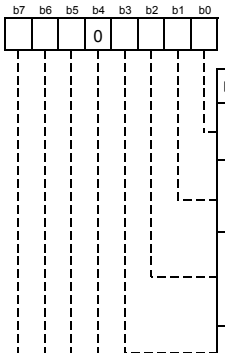


シンボル	アドレス	リセット後の値
FIDR	01B4h番地	XXXXXX00b

ビットシンボル	ビット名	機　　能	RW
FIDR0	フラッシュモジュールタイプ識別値	b1 b0 0 0 : M16C/62N、M3062GF8Nタイプフラッシュモジュール 1 0 : M16C/62Pタイプフラッシュモジュール 1 1 : M16C/62M、M16C/62Aタイプフラッシュモジュール	RO
FIDR1			RO
—— (b7-b2)	何も配置されていない。書く場合、“0”を書いてください。 読んだ場合、その値は不定。		—

注1.　M16C/62グループに内蔵されているフラッシュモジュールを識別するためのレジスタです。次の手順に従って識別してください。
(1)FIDRレジスタに“FFh”を書き込む
(2)FIDRレジスタを読み出す
(3)(2)で読み出した値の下位2ビットをチェックする
上記(1)の命令と(2)の命令間に外部メモリへのアクセス、他のSFRへのアクセス、割り込み、またはDMA転送が入らないようにしてください。FIDRレジスタは内蔵フラッシュモジュールのタイプを識別するものであり、チップバージョンを示すものではありません。

フラッシュメモリ制御レジスタ0

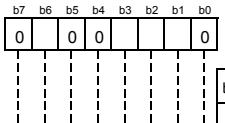


シンボル	アドレス	リセット後の値
FMR0	01B7h番地	XX000001b

ビットシンボル	ビット名	機　　能	RW
FMR00	RY/BYステータスフラグ	0 : ビジー (書き込み、消去実行中)(注6) 1 : レディ	RO
FMR01	CPU書き換えモード選択ビット (注1)	0 : CPU書き換えモード無効 1 : CPU書き換えモード有効	RW
FMR02	ロックビット無効選択ビット (注2)	0 : ロックビット有効 1 : ロックビット無効	RW
FMSTP	フラッシュメモリ停止ビット (注3、注5)	0 : フラッシュメモリ動作 1 : フラッシュメモリ停止 (低消費電力状態、フラッシュメモリ初期化)	RW
—— (b4)	予約ビット	“0”にしてください	RW
FMR05	ユーザROM領域選択ビット (注3) (ブートモード時のみ有効)	0 : ブートROM領域アクセス 1 : ユーザROM領域アクセス	RW
FMR06	プログラムステータスフラグ(注4)	0 : 正常終了 1 : エラー終了	RO
FMR07	イレーズステータスフラグ(注4)	0 : 正常終了 1 : エラー終了	RO

注1.　“1”にするときは、“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。
このビットは、$\overline{\text{NMI}}$端子が“H”の状態で書いてください。また、EW0モード時はフラッシュメモリ以外の領域で変更してください。
このビットはリードアレイモードにしてから“0”にしてください。
注2.　“1”にするときは、FMR01ビットが“1”の状態で、このビットに“0”を書いた後、続けて“1”を書いてください。
“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。
注3.　このビットは、フラッシュメモリ以外の領域で変更してください。
注4.　クリアステータスコマンドを実行すると“0”になります。
注5.　FMR01ビットが“1”(CPU書き換えモード)のとき有効です。FMR01ビットが“0”のとき、FMSTPビットに“1”を書くとFMSTPビットは“1”になりますが、フラッシュメモリは低消費電力状態にはならず、初期化もされません。
注6.　ロックビットプログラム、リードロックビットステータスコマンドでの書き込み、読み出し中を含みます。

フラッシュメモリ制御レジスタ1



シンボル	アドレス	リセット後の値
FMR1	01B5h番地	0X00XX0Xb

ビットシンボル	ビット名	機　　能	RW
—— (b0)	予約ビット	読んだ場合、不定	RO
FMR11	EW1モード選択ビット (注1)	0 : EW0モード 1 : EW1モード	RW
—— (b3-b2)	予約ビット	読んだ場合、不定	RO
—— (b5-b4)	予約ビット	“0”にしてください	RW
FMR16	ロックビットステータスフラグ	0 : ロック 1 : 非ロック	RO
—— (b7)	予約ビット	“0”にしてください	RW

注1.　“1”にするときは、FMR01ビットが“1”の状態で、このビットに“0”を書いた後、続けて“1”を書いてください。“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。
このビットは、$\overline{\text{NMI}}$端子が“H”の状態で書いてください。
FMR01ビットを“0”にすると、FMR01ビットとFMR11ビットは、いずれも“0”になります。

図18.4　FIDR、FMR0、FMR1レジスタ

18.3.3.1 FMR00ビット

フラッシュメモリの動作状況を示すビットです。プログラム、ブロックイレーズ、イレーズ全アンロックブロック、ロックビットプログラム、リードロックビットステータスコマンド実行中には“0”、それ以外のときは“1”になります。

18.3.3.2 FMR01ビット

FMR01ビットを“1”(CPU書き換えモード)にすると、コマンドの受け付けが可能になります。なお、ブートモード時はFMR05ビットも“1”(ユーザROM領域アクセス)にしてください。

18.3.3.3 FMR02ビット

FMR02ビットを“1”(ロックビット無効)にすると、ロックビットを無効にできます(「18.3.6 データ保護機能」参照)。“0”にすると、ロックビットが有効になります。

FMR02ビットは、ロックビットの機能を無効にするだけであり、ロックビットデータは変化しません。ただし、FMR02ビットを“1”にした状態でイレーズを実行した場合には、“0”(ロック状態)であったロックビットデータは、消去終了後“1”(非ロック状態)になります。

18.3.3.4 FMSTPビット

フラッシュメモリの制御回路を初期化し、かつフラッシュメモリの消費電流を低減するためのビットです。FMSTPビットを“1”にすると、内蔵フラッシュメモリをアクセスできなくなります。したがって、FMSTPビットはフラッシュメモリ以外の領域に配置したプログラムで書いてください。

次の場合、FMSTPビットを“1”にしてください。

- EW0モードで消去、書き込み中にフラッシュメモリのアクセスが異常になった(FMR00ビットが“1”(レディ)に戻らなくなった)場合
- 低消費電力モードにする場合

図18.7に低消費電力モード前後の処理を示します。このフローチャートに従って操作してください。

なお、ストップモードまたはウェイトモードに移行する場合は、自動的に内蔵フラッシュメモリの電源が切れ、復帰時に接続しますので、FMR0レジスタを設定する必要がありません。

18.3.3.5 FMR05ビット

ブートモード時、ブートROM領域とユーザROM領域を切り替えるビットです。ブートROM領域をアクセス(読み出し)するときは“0”に、ユーザROM領域をアクセス（読み出し、書き込み、消去）するときは“1”(ユーザROMアクセス)にしてください。

18.3.3.6 MR06ビット

自動書き込みの状況を示す読み出し専用ビットです。プログラムエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「18.3.8　フルステータスチェック」を参照してください。

18.3.3.7 FMR07ビット

自動消去の状況を示す読み出し専用ビットです。イレーズエラーが発生すると“1”、それ以外のときは“0”となります。詳細は「18.3.8　フルステータスチェック」を参照してください。

図18.5にEW0モードの設定と解除方法、図18.6にEW1モードの設定と解除方法を示します。

18.3.3.8 FMR11ビット

FMR11ビットが“0”(EW0モード)の場合、EW0モードになります。

FMR11ビットが“1”(EW1モード)の場合、EW1モードになります。

18.3.3.9 FMR16ビット

リードロックビットステータス実行結果を示す読み出し専用ビットです。
ブロックがロック状態の場合“0”、非ロック状態の場合“1”になります。

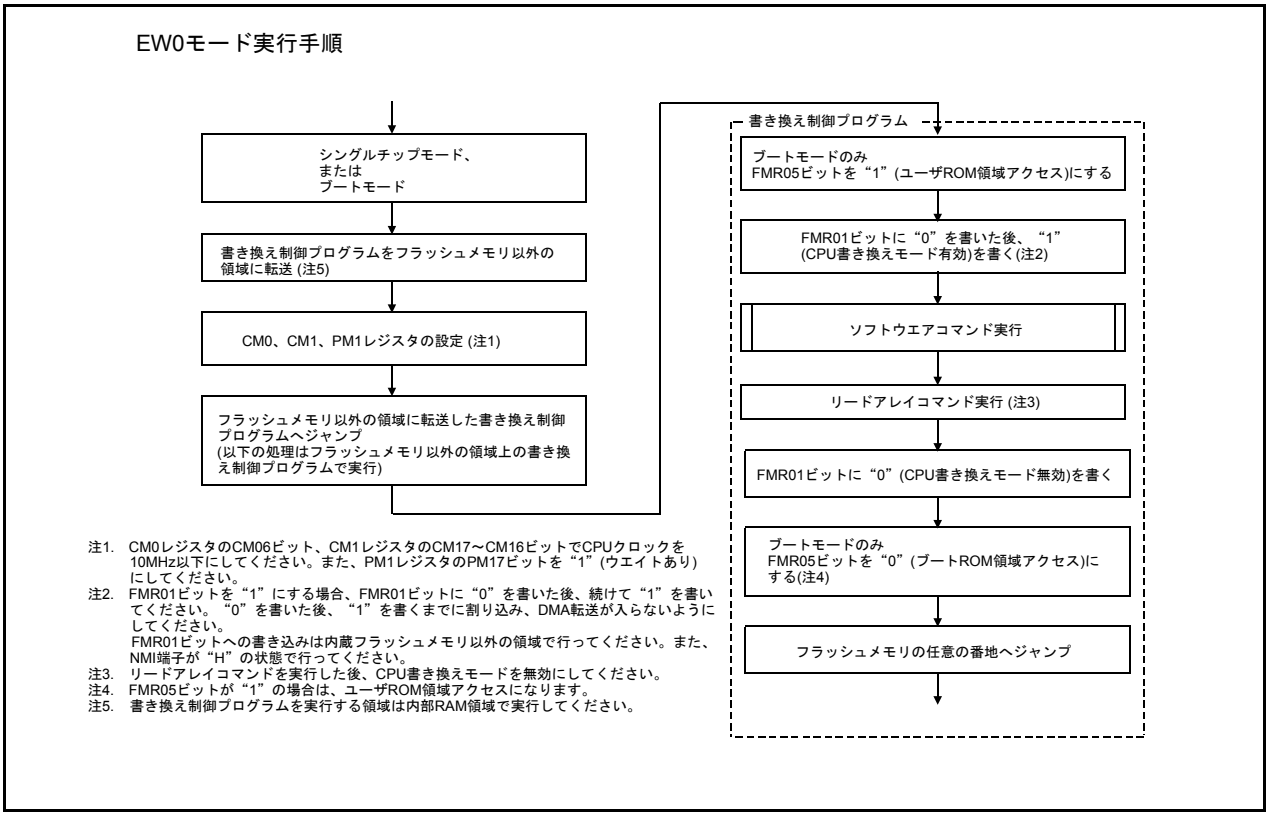


図18.5 EW0モードの設定と解除方法

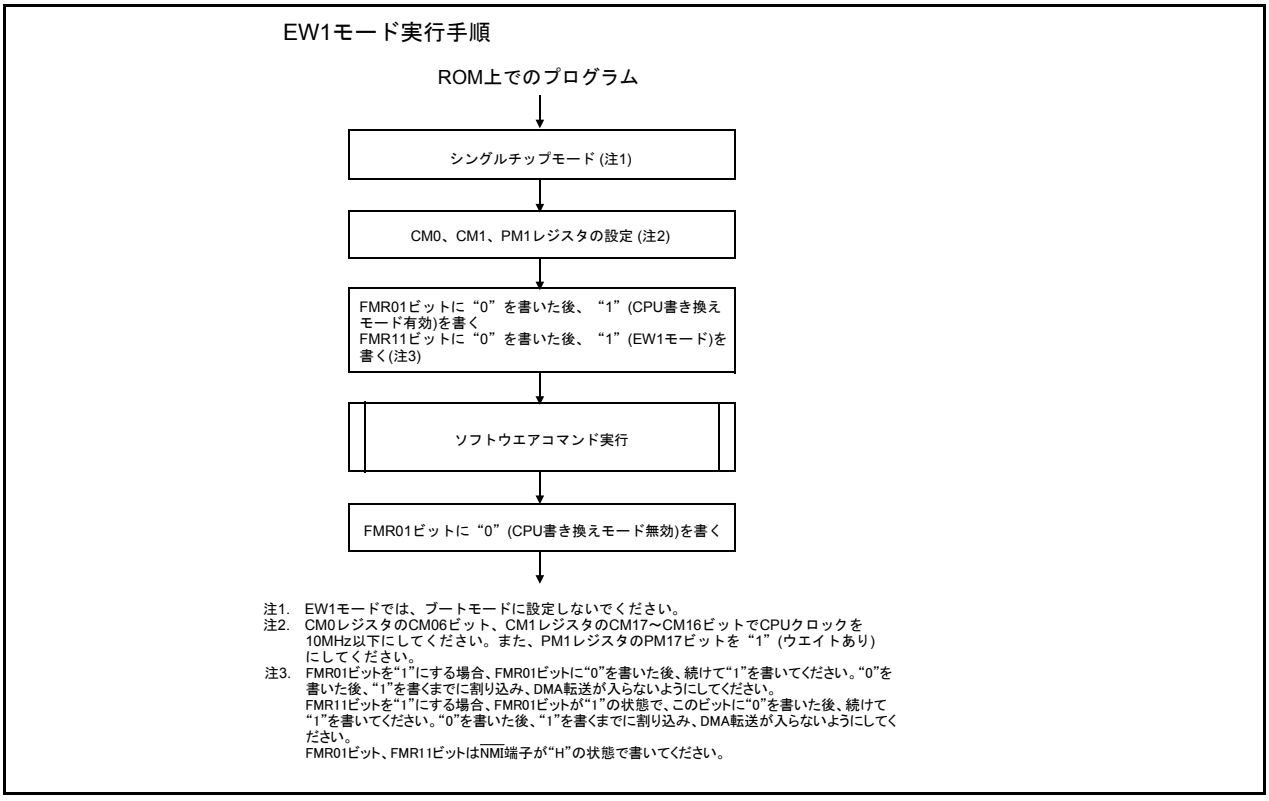


図18.6 EW1モードの設定と解除方法

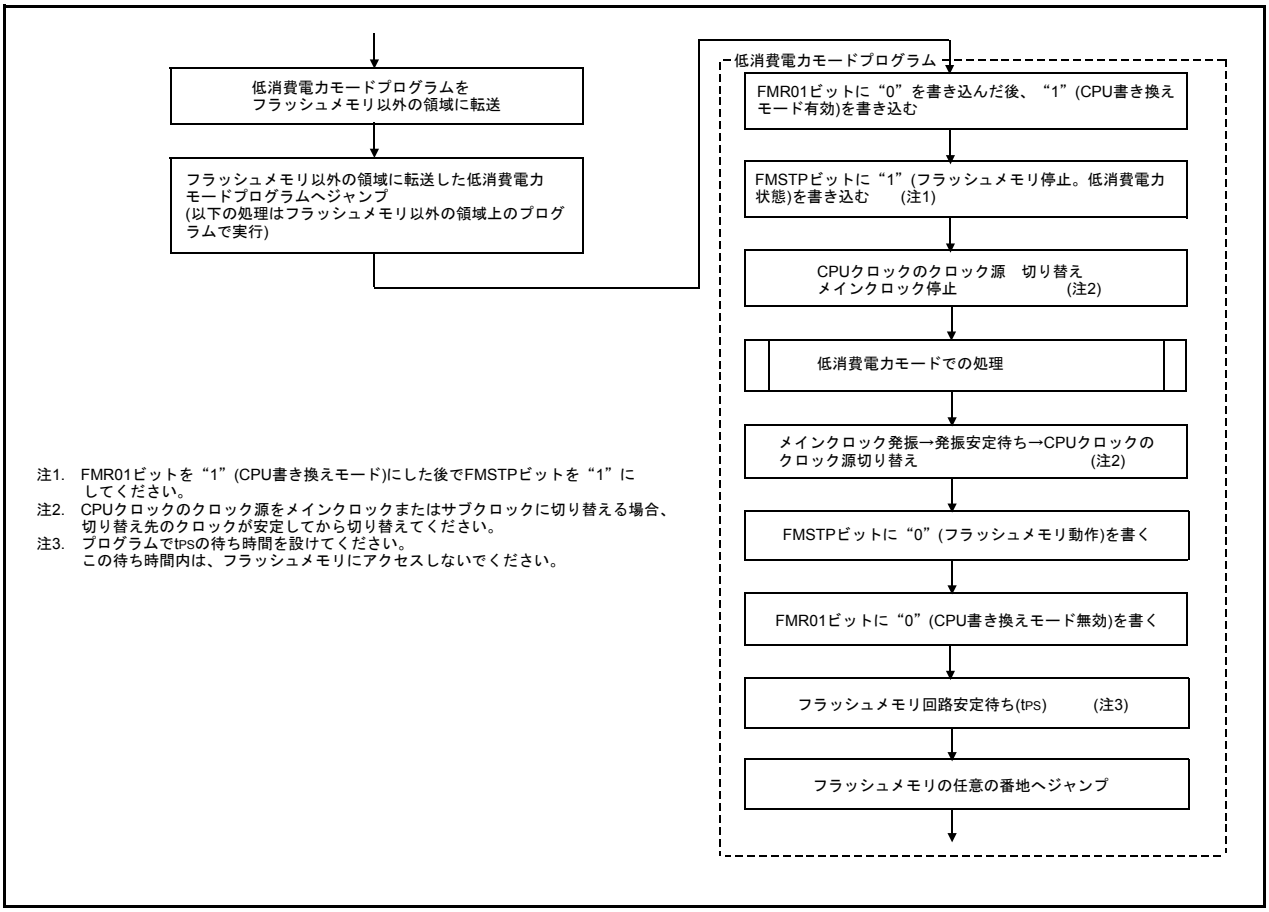


図18.7 低消費電力モード前後の処理

18.3.4 CPU書き換えモードの注意事項

18.3.4.1 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17～CM6ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

18.3.4.2 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため使用できません。
UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

18.3.4.3 割り込み(EW0モード)

- 可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
- $\overline{\text{NMI}}$割り込み、ウォッチドッグタイマ割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。$\overline{\text{NMI}}$割り込み、ウォッチドッグタイマ割り込み発生時、書き換え動作が終了します。割り込みルーチン終了後、書き換えプログラムを再実行してください。
- アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

18.3.4.4 割り込み(EW1モード)

- 自動書き込み、自動消去の期間に、可変ベクタテーブルにベクタを持つ割り込みや、アドレス一致割り込みが受け付けられないようにしてください。
- ウォッチドッグタイマ割り込みは使用しないでください。
- $\overline{\text{NMI}}$割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。$\overline{\text{NMI}}$割り込み発生時は、書き換え動作が終了します。割り込みルーチン終了後、書き換えプログラムを再実行してください。

18.3.4.5 アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。また、$\overline{\text{NMI}}$端子に“H”を入力した状態で行ってください。

18.3.4.6 ユーザROM領域の書き換え(EW0モード)

書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードを使用してください。

18.3.4.7 ユーザROM領域の書き換え(EW1モード)

書き換え制御プログラムが格納されているブロックを書き換えないでください。

18.3.4.8 DMA転送

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去の期間)の場合にDMA転送が入らないようにしてください。

18.3.4.9 コマンド、データの書き込み

コマンドコード、データは偶数番地に書いてください。

18.3.4.10ウェイトモード

ウェイトモードに移行する場合は、FMR01 ビットを“0”(CPU 書き換えモード無効) にした後、WAIT 命令を実行してください。

18.3.4.11ストップモード

ストップモードに移行する場合は、次のようにしてください。

- FMR01 ビットを“0”(CPU 書き換えモード無効)にし、DMA 転送を禁止した後で、CM10 ビットを“1”(ストップモード)にする
- CM10 ビットを“1”にする命令の次に JMP.B 命令を実行する

```
プログラム例        BSET    0, CM1    ; ストップモード
                    JMP.B   L1
            L1 :
                    ストップモード復帰後のプログラム
```

18.3.4.12低消費電力モード

CM05 ビットが“1”(メインクロック停止)のときは、次のコマンドを実行しないでください。

- プログラム
- ブロックイレーズ
- イレーズ全アンロックブロック
- ロックビットプログラムソフトウェアコマンド
- リードロックビットステータス

18.3.5 ソフトウェアコマンド

ソフトウェアコマンドについて次に説明します。コマンド、データの読み出し、書き込みは16ビット単位で、ユーザROM領域内の偶数番地に行ってください。コマンドコード書き込み時、上位8ビット(D15～D8)は無視されます。

表18.4 ソフトウェアコマンド一覧表

ソフトウエアコマンド	第1バスサイクル			第2バスサイクル		
	モード	アドレス	データ (D15～D0)	モード	アドレス	データ (D15～D0)
リードアレイ	ライト	×	xxFFh			
リードステータスレジスタ	ライト	×	xx70h	リード	×	SRD
クリアステータスレジスタ	ライト	×	xx50h			
プログラム	ライト	WA	xx40h	ライト	WA	WD
ブロックイレーズ	ライト	×	xx20h	ライト	BA	xxD0h
イレーズ全アンロックブロック(注1)	ライト	×	xxA7h	ライト	×	xxD0h
ロックビットプログラム	ライト	BA	xx77h	ライト	BA	xxD0h
リードロックビットステータス	ライト	×	xx71h	ライト	BA	xxD0h

注1. イレーズ全アンロックブロックコマンドで消去されるブロックは、ブロック0～ブロック7です。
SRD：ステータスレジスタデータ(D7～D0)。
WA ：書き込み番地(第1バスサイクルのアドレスは、第2バスサイクルのアドレスと同一偶数番地にしてください。)
WD ：書き込みデータ(16ビット)
BA ：ブロックの最上位番地(ただし、偶数番地)
× ：ユーザROM領域内の任意の偶数番地
xx ：コマンドコード上位8ビット(無視されます)

18.3.5.1 リードアレイ

フラッシュメモリを読むコマンドです。

第1バスサイクルで“xxFFh”を書くと、リードアレイモードになります。次のバスサイクル以降で読む番地を入力すると、指定した番地の内容が16ビット単位で読めます。

リードアレイモードは、他のコマンドが書かれるまで保持されるので、複数の番地の内容を続けて読めます。

18.3.5.2 リードステータスレジスタ

ステータスレジスタを読むコマンドです。

第1バスサイクルで“xx70h”を書くと、第2バスサイクルでステータスレジスタが読めます(「18.3.7 ステータスレジスタ」参照)。なお、読むときもユーザROM領域内の偶数番地を読んでください。

EW1モードでは、このコマンドを実行しないでください。

18.3.5.3 クリアステータスレジスタ

ステータスレジスタをクリアするコマンドです。

第1バスサイクルで“xx50h”を書くと、FMR0レジスタのFMR07～FMR06ビットは“00b”、ステータスレジスタのSR5～SR4は“00b”になります。

18.3.5.4 プログラム

1ワード(2バイト)単位でフラッシュメモリにデータを書くコマンドです。

第1バスサイクルで“xx40h”を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一かつ偶数番地にしてください。

自動書き込み終了はFMR0レジスタのFMR00ビットで確認できます。FMR00ビットは、自動書き込み期間中は“0”、終了後は“1”になります。

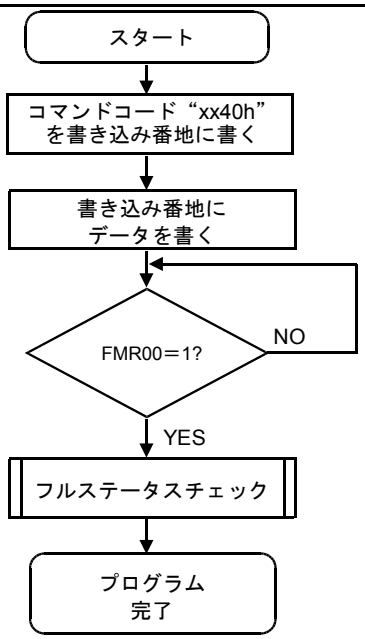
自動書き込み終了後、FMR0レジスタのFMR06ビットで自動書き込みの結果を知ることができます(「18.3.8　フルステータスチェック」参照)。

既にプログラムされた番地には追加書き込みはできません。図18.8にプログラムフローチャートを示します。

なお、各ブロックはロックビットにより、プログラムを禁止できます(「18.3.6　データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されている番地に対して、このコマンドを実行しないでください。

EW0モードでは、自動書き込み開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのSR7ビットは自動書き込み開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドを書くまで継続されます。また、自動書き込み終了後、ステータスレジスタを読み出すことにより、自動書き込みの結果を知ることができます。



注1.　コマンドコード、データは偶数番地に書いてください。

図18.8　プログラムフローチャート

18.3.5.5 ブロックイレーズ

第1バスサイクルで“xx20h”、第2バスサイクルで“xxD0h”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックに対し、自動消去(イレーズとイレーズベリファイ)を開始します。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。

FMR00ビットは、自動消去期間中は“0”(ビジー)、終了後は“1”(レディ)になります。

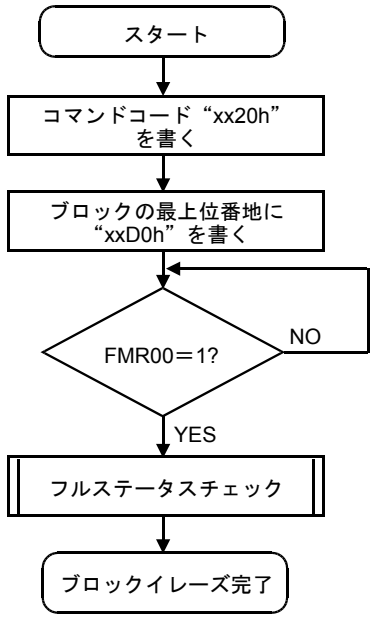
自動消去終了後、FMR0レジスタのFMR07ビットで、自動消去の結果を知ることができます(「18.3.8 フルステータスチェック」参照)。

図18.9にブロックイレーズフローチャート例を示します。

なお、各ブロックはロックビットにより、イレーズを禁止できます(「18.3.6 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックに対して、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのSR7ビットは自動消去の開始とともに“0”となり、終了とともに“1”に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドまたはリードロックビットステータスコマンドを書くまで継続されます。



注1. コマンドコード、データは偶数番地に書いてください。

図18.9 ブロックイレーズフローチャート

18.3.5.6 イレーズ全アンロックブロック

第1バスサイクルで“xxA7h”、第2バスサイクルで“xxD0h”を書くと、全ブロックに対し、連続的にブロックイレーズを行います。

自動消去の終了は、FMR0レジスタのFMR00ビットで確認できます。自動消去の結果はFMR0レジスタのFMR07ビットで確認できます。

なお、各ブロックはロックビットにより、イレーズを禁止できます(「18.3.6 データ保護機能」参照)。

EW1モードでは、書き換え制御プログラムが配置されているブロックのロックビットが“1”(非ロック)、またはFMR0レジスタのFMR02ビットが“1”(ロックビット無効)のとき、このコマンドを実行しないでください。

EW0モードでは、自動消去開始とともにリードステータスレジスタモードとなり、ステータスレジスタが読めます。ステータスレジスタのSR7ビットは自動消去の開始とともに“0”(ビジー)となり、終了とともに“1”(レディ)に戻ります。この場合のリードステータスレジスタモードは、次にリードアレイコマンドまたはリードロックビットステータスコマンドを書くまで継続されます。

また、本コマンドで消去されるブロックは、ブロック0～ブロック7です。

18.3.5.7 ロックビットプログラム

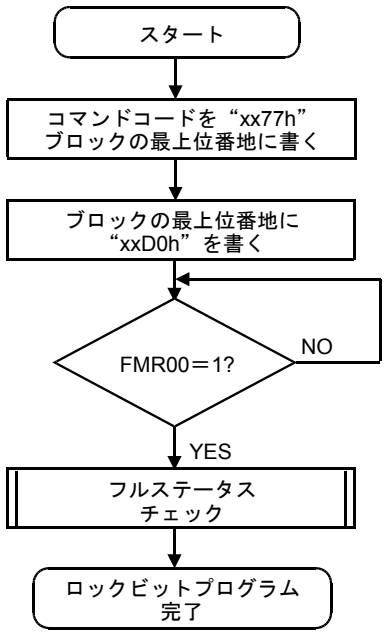
任意のブロックのロックビットを“0”(ロック状態)にするコマンドです。

第1バスサイクルで“xx77h”、第2バスサイクルで“xxD0h”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの最上位番地と同一にしてください。

図18.10にロックビットプログラムフローチャート例を示します。ロックビットの状態(ロックビットデータ)は、リードロックビットステータスコマンドで読めます。

書き込みの終了は、FMR0レジスタのFMR00ビットで確認できます。

なお、ロックビットの機能、ロックビットを“1”(非ロック状態)にする方法については、「18.3.6 データ保護機能」を参照してください。



注1. コマンドコード、データは偶数番地に書いてください。

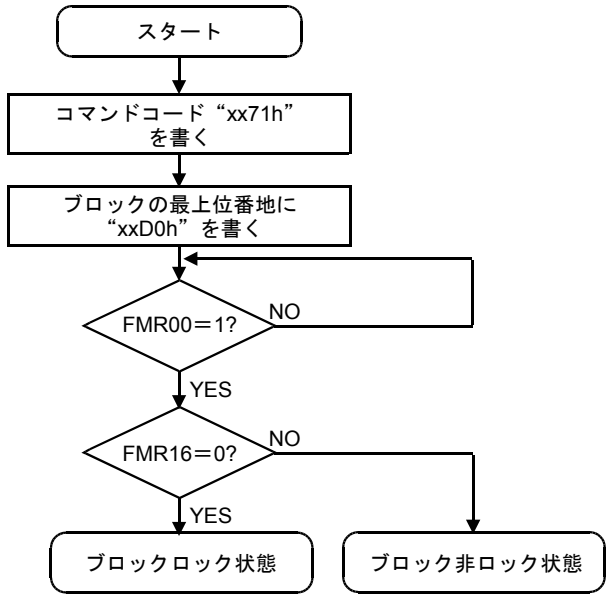
図18.10 ロックビットプログラムフローチャート

18.3.5.8 リードロックビットステータス

任意のブロックのロックビットの状態を読むコマンドです。

第1バスサイクルで“xx71h”、第2バスサイクルでブロックの最上位番地(ただし、偶数番地)に“xxD0h”を書くと、ブロックのロックビットの状態がFMR1レジスタのFMR16ビットに格納されます。FMR0レジスタのFMR00ビットが“1”(レディ)になった後、FMR16ビットを読んでください。

図18.11にリードロックビットプログラムのフローチャート例を示します。



注1. コマンドコード、データは偶数番地に書いてください。

図18.11 リードロックビットステータスフローチャート

18.3.6 データ保護機能

フラッシュメモリの各ブロックは、不揮発性のロックビットを持っています。ロックビットは、FMR02ビットが“0”(ロックビット有効)のとき有効です。ロックビットにより、ブロックごとにプログラム、イレーズを禁止(ロック)できます。したがって、誤ってデータを書いたり、消したりすることを防げます。ロックビットによるブロックの状態を次に示します。

- ロックビットデータが“0”のとき:ロック状態(そのブロックはプログラム、イレーズできない)
- ロックビットデータが“1”のとき:非ロック状態(そのブロックはプログラム、イレーズできる)

ロックビットデータは、ロックビットプログラムコマンドを実行すると、“0”(ロック状態)に、ブロックを消去すると“1”(非ロック状態)になります。ロックビットデータをコマンドで“1”にできません。

また、ロックビットデータの状態は、リードロックビットステータスコマンドで読めます。

FMR02ビットを“1”にすると、ロックビットの機能が無効になり、全ブロックが非ロック状態になります(各ロックビットデータは変化しません)。FMR02ビットを“0”にすると、ロックビットの機能が有効になります(ロックビットデータは保持されています)。

FMR02ビットが“1”の状態で、ブロックイレーズコマンドまたはイレーズ全アンロックブロックコマンドを実行すると、ロックビットにかかわらず、対象となるブロックまたは全ブロックが消去されます。消去終了後、各ブロックのロックビットは“1”になります。

各コマンドの詳細は、「18.3.5 ソフトウェアコマンド」を参照してください。

18.3.7 ステータスレジスタ

ステータスレジスタは、フラッシュメモリの動作状態やイレーズ、プログラムの正常、エラー終了などの状態を示すレジスタです。ステータスレジスタの状態はFMR0レジスタのFMR00、FMR06、FMR07ビットで読めます。

表18.5にステータスレジスタを示します。

なお、EW0モードでは次のときステータスレジスタを読めます。

- リードステータスレジスタコマンドを書いた後、ユーザROM領域内の任意の偶数番地を読んだとき
- プログラムコマンド、ブロックイレーズコマンド、イレーズ全アンロックブロックコマンド、またはロックビットコマンド実行後、リードアレイコマンドを実行するまでの期間に、ユーザROM領域内の任意の偶数番地を読んだとき

18.3.7.1 シーケンサステータス(SR7、FMR00ビット)

シーケンサステータスはフラッシュメモリの動作状況を示します。プログラム、ブロックイレーズ、イレーズ全アンロックブロック、ロックビットプログラム、リードロックビットステータスコマンド実行中には“0”、それ以外のときは“1”になります。

18.3.7.2 イレーズステータス(SR5、FMR07ビット)

「18.3.8 フルステータスチェック」を参照してください。

18.3.7.3 プログラムステータス(SR4、FMR06ビット)

「18.3.8 フルステータスチェック」を参照してください。

表18.5　ステータスレジスタ

ステータスレジスタのビット	FMR0レジスタのビット	ステータス名	内容		リセット後の値
			“0”	“1”	
SR7 (D7)	FMR00	シーケンサステータス	ビジー	レディ	1
SR6 (D6)	—	予約ビット	—	—	—
SR5 (D5)	FMR07	イレーズステータス	正常終了	エラー終了	0
SR4 (D4)	FMR06	プログラムステータス	正常終了	エラー終了	0
SR3 (D3)	—	予約ビット	—	—	—
SR2 (D2)	—	予約ビット	—	—	—
SR1 (D1)	—	予約ビット	—	—	—
SR0 (D0)	—	予約ビット	—	—	—

D0～D7：リードステータスレジスタコマンドを実行したときに読み出されるデータバスを示す。
FMR07ビット(SR5)、FMR06ビット(SR4)は、クリアステータスレジスタコマンドを実行すると“0”になります。
FMR07ビット(SR5)またはFMR06ビット(SR4)が“1”の場合、プログラム、ブロックイレーズ、イレーズ全アンロックブロック、ロックビットプログラムコマンドは受け付けられません。

18.3.8 フルステータスチェック

エラーが発生すると、FMR0レジスタのFMR06～FMR07ビットが“1”になり、各エラーの発生を示します。したがって、これらのステータスをチェック(フルステータスチェック)することにより、実行結果を確認できます。

表18.6にエラーとFMR0レジスタの状態を、図18.12にフルステータスチェックフローチャートと各エラー発生時の対処方法を示します。

表18.6 エラーとFMR0レジスタの状態

FMR00レジスタ(ステータスレジスタ)の状態		エラー	エラー発生条件
FMR07ビット(SR5)	FMR06ビット(SR4)		
1	1	コマンドシーケンスエラー	•コマンドを正しく書かなかったとき •ロックビットプログラム、ブロックイレーズ、またはイレーズ全アンロックブロックコマンドの第2バスサイクルのデータに書いてもよい値(“xxD0h”または“xxFFh”)以外のデータを書いたとき(注1)
1	0	イレーズエラー	•ロックされたブロックにブロックイレーズコマンドを実行したとき(注2) •ロックされていないブロックにブロックイレーズまたはイレーズ全アンロックブロックコマンドを実行し、正しく自動消去されなかたとき
0	1	プログラムエラー	•ロックされたブロックにプログラムコマンドを実行したとき(注2) •ロックされていないブロックにプログラムコマンドを実行し、正しく自動書き込みされなかったとき •ロックビットプログラムコマンドを実行し、正しく書き込まれなかったとき

注1. これらのコマンドの第2バスサイクルで“xxFFh”を書くと、リードアレイモードになり、同時に、第1バスサイクルで書いたコマンドコードは無効になります。

注2. FMR02ビットが“1”(ロックビット無効)の場合は、これらの条件でもエラーは発生しません。

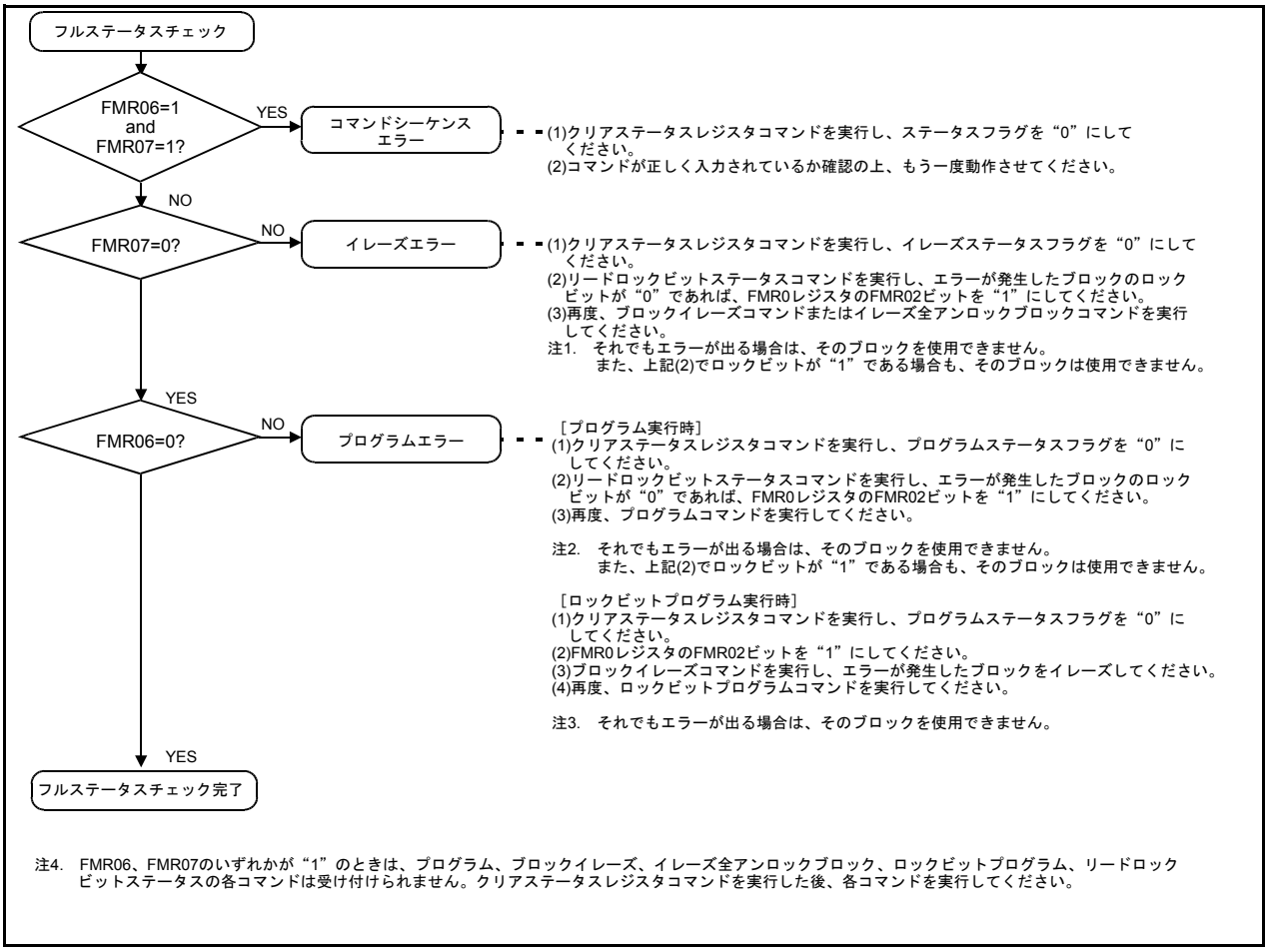


図18.12 フルステータスチェックフロチャート、各エラー発生時の対処方法

18.4 標準シリアル入出力モード

標準シリアル入出力モードでは、M16C/39P グループに対応したシリアルライタを使用して、マイクロコンピュータを基板に実装した状態で、ユーザ ROM 領域を書き換えることができます。シリアルライタについては、各メーカにお問い合わせください。また、シリアルライタの操作方法については、シリアルライタのユーザーズマニュアルを参照してください。

表 18.7 に端子の機能説明 (フラッシュメモリ標準シリアル入出力モード) を、図 18.13 に標準シリアル入出力モード時の端子結線図を示します。

18.4.1 IDコードチェック機能

シリアルライタから送られてくる ID コードと、フラッシュメモリに書かれている ID コードが一致するかどうかを判定します(「18.2 フラッシュメモリ書き換え禁止機能」参照)。

表18.7　端子の機能説明(フラッシュメモリ標準シリアル入出力モード)

端子名	名　称	入出力	電源系統	機　能
VCC1、VCC2、VSS	電源入力		—	VCC1端子にはプログラム、イレーズの保証電圧を入力してください。VCC2端子にはVCC2を入力してください。入力条件はVCC2≦VCC1です。14pinのVSSと64pinのVSSは、チップの外部で出来る限り最短で接続して、0Vを入力してください。
CNVSS	CNVSS	入力	VCC1	VCC1に接続してください。
$\overline{\text{RESET}}$	リセット入力	入力	VCC1	リセット入力端子です。$\overline{\text{RESET}}$端子が“L”の間、XIN端子には20サイクル以上のクロックを入力してください。
XIN	クロック入力	入力	VCC1	XIN端子とXOUT端子の間にはセラミック共振子、または水晶発振子を接続してください。 外部で生成したクロックを入力するときは、XINから入力しXOUTは開放してください。
XOUT	クロック出力	出力		
AVCC、AVSS	アナログ電源入力			AVCCはVCC1に、AVSSはVSSに接続してください。
VREF	基準電圧入力	入力		A/D変換器の基準電圧入力端子です。
VEE	プルダウン電源電圧	入力		“L”を入力、または開放してください。
P0_0～P0_7	入力ポートP0	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P1_0～P1_7	入力ポートP1	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P2_0～P2_3	入力ポートP2	入力	VCC2	“H”を入力、“L”を入力、または開放してください。
P5_5	$\overline{\text{EPM}}$入力	入力	VCC2	“L”を入力してください。
P6_4/$\overline{\text{RTS1}}$	BUSY出力	出力	VCC1	標準シリアル入出力モード1：BUSY信号の出力端子です。 標準シリアル入出力モード2：ブートプログラム動作チェック用モニタ信号出力端子です。
P6_5/$\overline{\text{CLK1}}$	SCLK入力	入力	VCC1	標準シリアル入出力モード1：シリアルクロックの入力端子です。 標準シリアル入出力モード2：“L”を入力してください。
P6_6/RXD1	RXD入力	入力	VCC1	シリアルデータの入力端子です。
P6_7/TXD1	TXD出力	出力	VCC1	シリアルデータの出力端子です(注1)。
P7_0～P7_5	入力ポートP7	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P8_2～P8_4, P8_6, P8_7	入力ポートP8	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P8_5/$\overline{\text{NMI}}$	$\overline{\text{NMI}}$入力	入力	VCC1	VCC1に接続してください。
P9_0～P9_7	入力ポートP9	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P10_0～P10_7	入力ポートP10	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
P14_0	入力ポートP14	入力	VCC1	“H”を入力、“L”を入力、または開放してください。
VFD00～VFD33	VFDポート	出力		“H”を入力、“L”を入力、または開放してください。

注1.　標準シリアル入出力モード1を使用する場合、$\overline{\text{RESET}}$端子が“L”の期間中TXD端子に“H”を入力する必要があります。そのため、この端子を抵抗を介してVCC1に接続してください。リセット後この端子はデータ出力端子になりますので、データ転送に影響を与えないようプルアップ抵抗値をシステム上で調整してください。

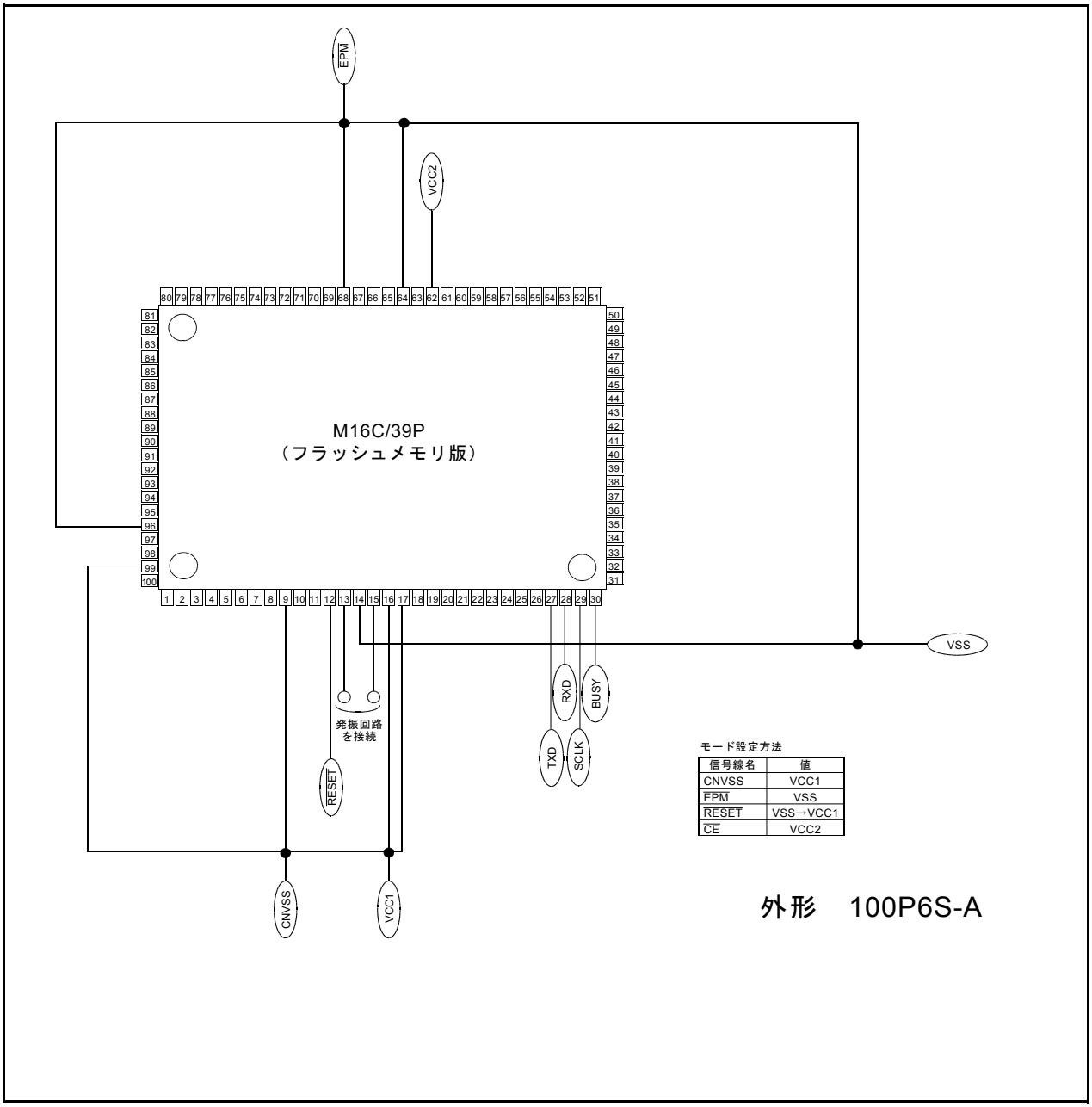
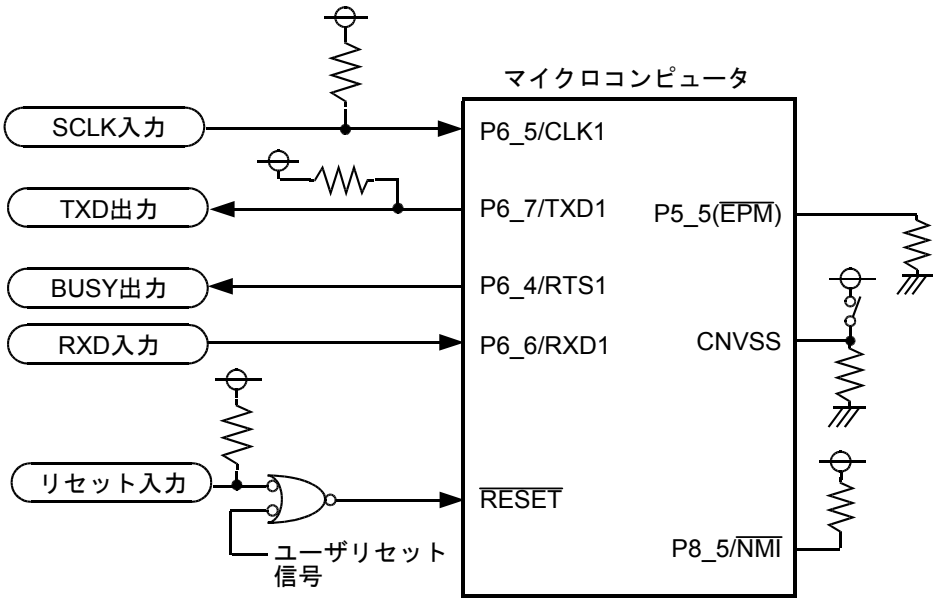


図18.13 標準シリアル入出力モード時の端子結線図

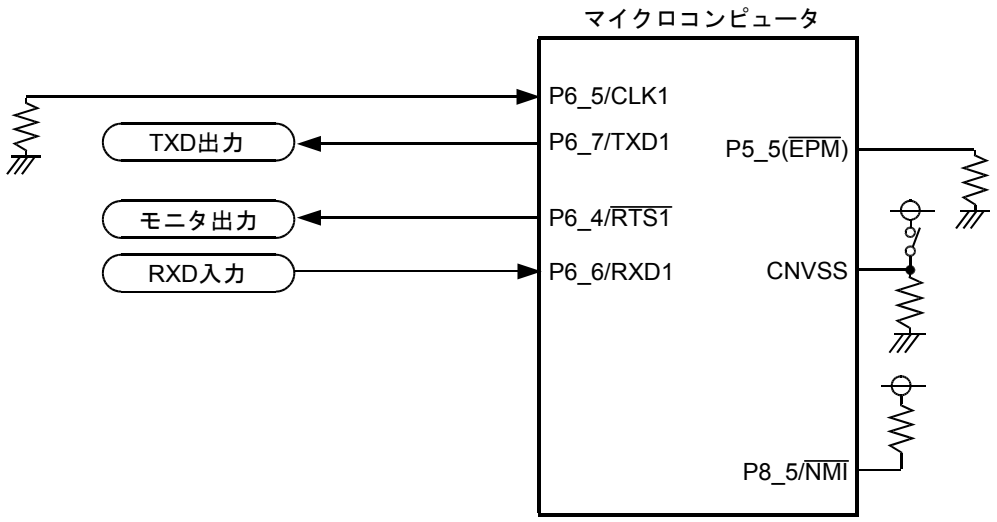
18.4.2 標準シリアル入出力モード1時の端子処理例

図18.14に標準シリアル入出力モード1を使用する場合の端子処理例、図18.15に標準シリアル入出力モード2時の端子処理例を示します。ライタによって制御するピンなどが違いますので、詳細はライタのマニュアルを参照してください。



(1) ライタによって制御する端子、外付け回路が違います。詳しくは、ライタのマニュアルを参照してください。
(2) この例では、スイッチでCNVSS入力を制御することによって、シングルチップモードと標準シリアル入出力モードを切り替えています。
(3) 標準シリアル入出力モード1でユーザリセット信号がシリアル入出力モード中に“L”になる可能性のある場合は、ジャンパスイッチなどを使用してユーザリセット信号とRESET端子との結線を遮断してください。

図18.14 標準シリアル入出力モード1を使用する場合の端子処理例



(1) この例では、スイッチでCNVSS入力を制御することによって、シングルチップモードと標準シリアル入出力モードを切り替えています。

図18.15 標準シリアル入出力モード2時の端子処理例

19. 電気的特性

表19.1 絶対最大定格

記号	項目		条件	定格値	単位
Vcc	電源電圧(Vcc1=Vcc2)		VCC1=VCC2=AVCC	－0.3～6.5	V
AVCC	アナログ電源電圧		VCC1=VCC2=AVCC	－0.3～6.5	V
VI	入力電圧	$\overline{\text{RESET}}$, CNVSS, P0_0～P0_7, P1_0～P1_7, P2_0～P2_3, P5_5 P6_4～P6_7, P7_2～P7_5, P8_2～P8_7, P9_0～P9_7, P10_0～P10_7, P14_0 VREF, XIN		－0.3～VCC+0.3	V
		P7_0, P7_1		－0.3～6.5	V
VO	出力電圧	P0_0～P0_7, P1_0～P1_7, P2_0～P2_3, P5_5 P6_4～P6_7, P7_2～P7_5, P8_2～P8_4, P8_6, P8_7, P9_0～P9_7, P10_0～P10_7, P14_0, XOUT		－0.3～VCC+0.3	V
		P7_0, P7_1		－0.3～6.5	V
		VFD00～VFD33		Vcc-45～Vcc+0.3	V
Pd	消費電力		Topr＝25℃	750	mW
Topr	動作周囲温度	マイコン動作時		-20～75	℃
		フラッシュ書き込み消去時		0～60	
Tstg	保存温度			－65～150	℃
VEE	プルダウン電源電圧			Vcc-45～Vcc+0.3	V

表19.2　推奨動作条件(注1)

記号	項目		規格値 最小	規格値 標準	規格値 最大	単位
Vcc	電源電圧(V_{CC1} = V_{CC2}) (注2)		2.7	5.0	5.5	V
AVcc	アナログ電源電圧			Vcc		V
Vss	電源電圧			0		V
AVss	アナログ電源電圧			0		V
VEE	プルダウン電源電圧		Vcc-45		Vcc	V
VIH	"H"入力電圧	P0_0～P0_7, P1_0～P1_7, P2_0～P2_3, P5_5 P6_4～P6_7,P7_2～P7_5,P8_2～P8_7,P9_0～P9_7,P10_0～P10_7, P14_0,XIN, $\overline{RESET}$, CNVSS	0.8Vcc		Vcc	V
		P7_0, P7_1	0.8Vcc		6.5	V
VIL	"L"入力電圧	P0_0～P0_7, P1_0～P1_7, P2_0～P2_3, P5_5 P6_4～P6_7,P7_0～P7_5,P8_2～P8_7,P9_0～P9_7,P10_0～P10_7, P14_0, XIN, $\overline{RESET}$, CNVSS	0		0.2Vcc	V
IOH (peak)	"H"尖頭出力電流	P0_0～P0_7, P1_0～P1_7, P2_0～P2_3, P5_5, P6_4～P6_7,P7_2～P7_5, P8_2～P8_4,P8_6,P8_7,P9_0～P9_7,P10_0～P10_7, P14_0			−10.0	mA
IOH (avg)	"H"平均出力電流	P0_0～P0_7, P1_0～P1_7, P2_0～P2_3, P5_5, P6_4～P6_7,P7_2～P7_5, P8_2～P8_4,P8_6,P8_7,P9_0～P9_7,P10_0～P10_7, P14_0			−5.0	mA
IOL (peak)	"L"尖頭出力電流	P0_0～P0_7, P1_0～P1_7, P2_0～P2_3, P5_5, P6_4～P6_7,P7_0～P7_5, P8_2～P8_4,P8_6,P8_7,P9_0～P9_7,P10_0～P10_7, P14_0			10.0	mA
IOL (avg)	"L"平均出力電流	P0_0～P0_7, P1_0～P1_7, P2_0～P2_3, P5_5, P6_4～P6_7,P7_0～P7_5, P8_2～P8_4,P8_6,P8_7,P9_0～P9_7,P10_0～P10_7, P14_0			5.0	mA
f (XIN)	メインクロック入力発振周波数 (注5)	V_{CC1}=V_{CC2}=4.2V～5.5V	0		16	MHz
		V_{CC1}=V_{CC2}=2.7V～4.2V	0		4 × Vcc −0.8	MHz
f (XCIN)	サブクロック発振周波数			32.768	50	kHz
f (BCLK)	CPU動作周波数		0		16	MHz

注1.　指定のない場合は、V_{CC1}=V_{CC2}=2.7～5.5V、Topr=−20～75℃です。
注2.　VFDコントローラ/ドライバ使用時は、V_{CC1}=V_{CC2}=3.0～3.6V、4.5～5.5Vにしてください。
注3.　平均出力電流は100msの期間内での平均値です。
注4.　ポートP0,P1,P2 P8_6,P8_7,P9,P10の$I_{OL(peak)}$の合計は80mA以下、ポートP5,P6,P7,P8_2～P8_4の$I_{OL(peak)}$の合計は40mA以下、ポートP0,P1,P2の$I_{OH(peak)}$の合計は−20mA以下、ポートP5の$I_{OH(peak)}$の合計は−40mA以下、ポートP6,P7,P8_2～P8_4の$I_{OH(peak)}$の合計は−40mA以下、ポートP8_6,P8_7,P9の$I_{OH(peak)}$の合計は−40mA以下にしてください。全ポートのIOL(peak)の合計およびIOH(peak)の合計は80mA以下にしてください。平均出力電流は$_{peak}$の1/2にしてください。
注5.　メインクロック入力周波数と電源電圧の関係を以下に示します。

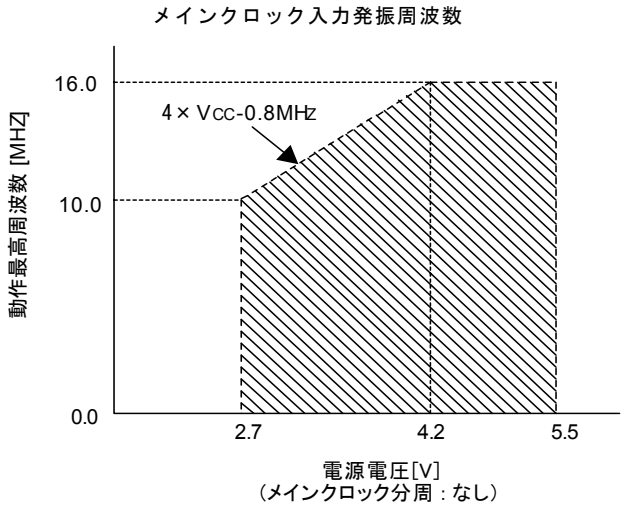


表19.3 A/D変換特性(注1)

記号	項目		測定条件		規格値 最小	規格値 標準	規格値 最大	単位
—	分解能		$V_{REF}=V_{CC}$				10	Bits
INL	積分非直線性誤差	10bit	$V_{REF}=V_{CC}=5V$	AN0～AN7入力、AN0_0～AN0_7入力、ANEX0、ANEX1入力			±5	LSB
			$V_{REF}=V_{CC}=3.3V$	AN0～AN7入力、AN0_0～AN0_7入力、ANEX0、ANEX1入力			±7	LSB
		8bit	$V_{REF}=V_{CC}=3.3V$				±2	LSB
—	絶対精度	10bit	$V_{REF}=V_{CC}=5V$	AN0～AN7入力、AN0_0～AN0_7入力、ANEX0、ANEX1入力			±5	LSB
			$V_{REF}=V_{CC}=3.3V$	AN0～AN7入力、AN0_0～AN0_7入力、ANEX0、ANEX1入力			±7	LSB
		8bit	$V_{REF}=V_{CC}=3.3V$				±2	LSB
—	許容信号源インピーダンス					3		kΩ
DNL	微分非直線性誤差						±2	LSB
—	オフセット誤差						±5	LSB
—	ゲイン誤差						±5	LSB
R_{LADDER}	ラダー抵抗		$V_{REF}=V_{CC}$		10		40	kΩ
t_{CONV}	変換時間(10bit)、サンプル&ホールド機能あり		$V_{REF}=V_{CC}=5V$、φAD=10MHz		3.3			μs
t_{CONV}	変換時間(8bit)、サンプル&ホールド機能あり		$V_{REF}=V_{CC}=5V$、φAD=10MHz		2.8			μs
t_{SAMP}	サンプリング時間				0.3			μs
V_{REF}	基準電圧				3.0		V_{CC}	V
V_{IA}	アナログ入力電圧				0		V_{REF}	V

注1. 指定のない場合は、$V_{CC}=AV_{CC}=V_{REF}=3.3$～5.5V、$V_{SS}=AV_{SS}=0V$、Topr=－20～75℃です。
注2. φADの周波数は10MHz以下にしてください。
注3. サンプル&ホールド機能なしのときは、注2の制限に加えφADの周波数は250kHz以上にしてください。
サンプル&ホールド機能ありのときは、注2の制限に加えφADの周波数は1MHz以上にしてください。

表19.4 VFD特性

記号	項目		測定条件		規格値 最小	規格値 標準	規格値 最大	単位
Vt+	正方向スレッショルド電圧		Vcc = 4.5 ～ 5.5V		0.35Vcc	2.6	0.7Vcc	V
			Vcc = 3.0 ～ 3.6V		0.3Vcc	1.9	0.83Vcc	V
Vt-	負方向スレッショルド電圧		Vcc = 4.5 ～ 5.5V		0.2Vcc	1.8	0.55Vcc	V
			Vcc = 3.0 ～ 3.6V		0.17Vcc	1.2	0.68Vcc	V
IIN	入力電流		VI = 0V ～ Vcc				±1	μA
VOH	"H"出力電圧	Digitとして使用時	Vcc=3.0 ～ 5.5V	IOH = -18mA	Vcc-2			V
		Segment or LED用として使用時	Vcc=3.0 ～ 5.5V	IOH = -5mA	Vcc-2			V
Rd	出力プルダウン抵抗		Vp = Vcc - 45V,Vo = Vcc		47	70	130	kΩ
Icc	正電源電流		VI = 0V,出力端子開放 Vp = Vcc - 45V				100	μA
			出力端子開放、 出力 = "H",クロック停止、 Vp = Vcc - 45V				45	mA
Ip	負電源電流		出力端子開放、 出力 = "H",クロック停止、 Vp = Vcc - 45V				40	mA

注1. 指定のない場合は、Ta = -20 ～ 75℃、Vcc = 4.5 ～ 5.5V または 3.0 ～ 3.6V

表19.5 フラッシュメモリの電気的特性(注1、6)

記号	項目		規格値 最小	規格値 標準	規格値 最大	単位
–	プログラム、イレーズ回数 (注3)		100			回
–	ワードプログラム時間(V_{CC1}=5.0V、T_{opr}=25℃)			25	200	μs
–	ロックビットプログラム時間			25	200	μs
–	ブロックイレーズ時間 (V_{CC1}=5.0V、T_{opr}=25℃)	4Kバイトブロック		0.3	4	s
		8Kバイトブロック		0.3	4	s
		32Kバイトブロック		0.5	4	s
		64Kバイトブロック		0.8	4	s
–	イレーズ全アンロックブロック時間(注2)				4 × n	s
t_{PS}	フラッシュメモリ回路安定待ち時間				15	μs
–	データ保持時間 (注4)		10			年

注1. 指定のない場合は、V_{CC1}=4.5～5.5V、3.0～3.6V、T_{opr}=0～60℃です。
注2. nはイレーズするブロック数です。
注3. プログラム、イレーズ回数の定義
プログラム、イレーズ回数はブロックごとのイレーズ回数です。
プログラム、イレーズ回数がn回(n=100)の場合、ブロックごとに、それぞれn回ずつイレーズすることができます。
例えば、それぞれ異なる番地に1ワード書き込みを2,048回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みを行うことはできません(上書き禁止)。
注4. T_{opr}=-20～75℃の条件です。
注5. 不良率につきましては、ルネサステクノロジ、ルネサス販売または特約店へお問い合わせください。
注6. FLASH版はプログラム開発用(評価用)ですので、量産には使用しないでください。

表19.6 フラッシュメモリの書き込み/消去電圧と読み出し動作電圧特性(T_{opr}=0～60℃)

フラッシュ書き込み、消去電圧	フラッシュ読み出し動作電圧
V_{CC1}=3.3±0.3Vまたは5.0±0.5V	V_{CC1}=2.7～5.5V

表19.7　電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時内部電源安定時間	Vcc=2.7～5.5V			2	ms
td(R-S)	STOP解除時間				1500	μs
td(W-S)	低消費電力モードウエイトモード解除時間				1500	μs

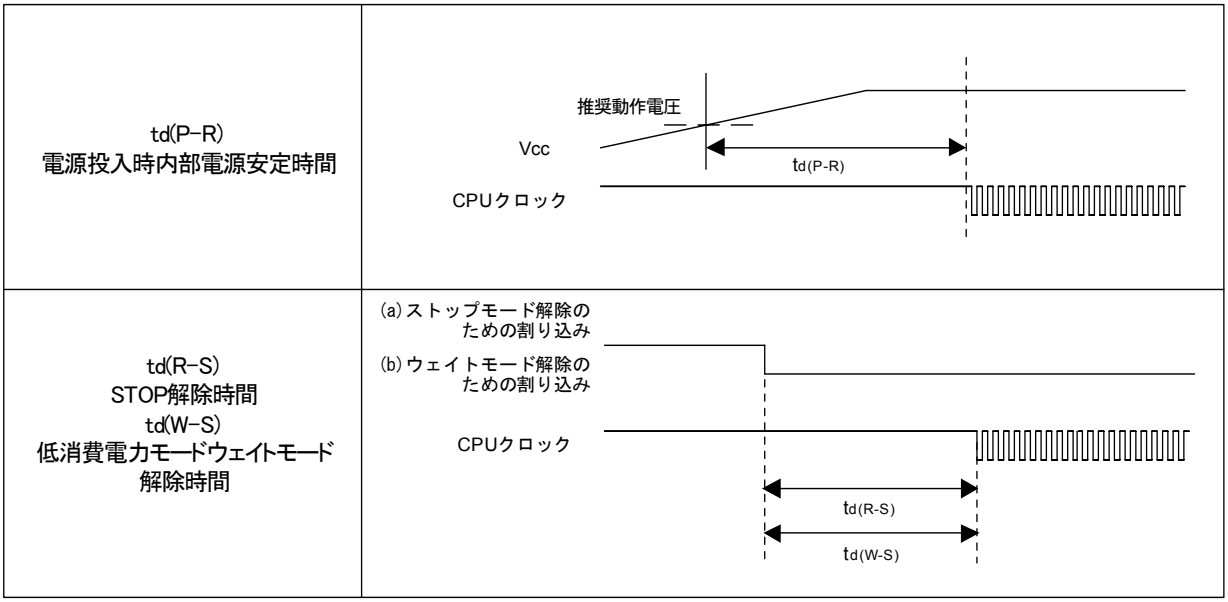


図19.1　電源回路のタイミング図

$V_{CC1} = V_{CC2} = 5V$

表19.8 電気的特性(1)

記号	項目			測定条件	規格値 最小	規格値 標準	規格値 最大	単位
V_{OH}	"H"出力電圧	P0_0～P0_7, P1_0～P1_7, P2_0～P2_3, P5_5 P6_4～P6_7, P7_2～P7_5, P8_2～P8_4, P8_6, P8_7, P9_0～P9_7, P10_0～P10_7, P14_0		I_{OH}=－5mA	V_{CC}－2.0		V_{CC}	V
V_{OH}	"H"出力電圧	P0_0～P0_7, P1_0～P1_7, P2_0～P2_3, P5_5 P6_4～P6_7, P7_2～P7_5, P8_2～P8_4, P8_6, P8_7, P9_0～P9_7, P10_0～P10_7, P14_0		I_{OH}=－200μA	V_{CC}－0.3		V_{CC}	V
V_{OH}	"H"出力電圧	XOUT	HIGHPOWER	I_{OH}=－1mA	V_{CC}－2.0		V_{CC}	V
			LOWPOWER	I_{OH}=－0.5mA	V_{CC}－2.0		V_{CC}	
	"H"出力電圧	XCOUT	HIGHPOWER	無負荷時		2.5		V
			LOWPOWER	無負荷時		1.6		
V_{OL}	"L"出力電圧	P0_0～P0_7, P1_0～P1_7, P2_0～P2_3, P5_5 P6_4～P6_7, P7_0～P7_5, P8_2～P8_4, P8_6, P8_7, P9_0～P9_7, P10_0～P10_7, P14_0		I_{OL}=5mA			2.0	V
V_{OL}	"L"出力電圧	P0_0～P0_7, P1_0～P1_7, P2_0～P2_3, P5_5 P6_4～P6_7, P7_0～P7_5, P8_2～P8_4, P8_6, P8_7, P9_0～P9_7, P10_0～P10_7, P14_0		I_{OL}=200μA			0.45	V
V_{OL}	"L"出力電圧	XOUT	HIGHPOWER	I_{OL}=1mA			2.0	V
			LOWPOWER	I_{OL}=0.5mA			2.0	
	"L"出力電圧	XCOUT	HIGHPOWER	無負荷時		0		V
			LOWPOWER	無負荷時		0		
V_{T+}-V_{T-}	ヒステリシス	TA0IN～TA2IN, TB0IN～TB2IN, $\overline{INT0}$～$\overline{INT4}$, $\overline{NMI}$, $\overline{ADTRG}$, $\overline{CTS1}$, $\overline{CTS2}$, CLK1, CLK2, TA0OUT～TA2OUT, $\overline{KI0}$～$\overline{KI3}$, RXD1～RXD2, SCL1, SCL2, SDA1, SDA2			0.2		1.0	V
V_{T+}-V_{T-}	ヒステリシス	$\overline{RESET}$			0.2		2.5	V
V_{T+}-V_{T-}	ヒステリシス	XIN			0.2		0.8	V
I_{IH}	"H"入力電流	P0_0～P0_7, P1_0～P1_7, P2_0～P2_3, P5_5, P6_4～P6_7, P7_0～P7_5, P8_2～P8_7, P9_0～P9_7, P10_0～P10_7, P14_0, XIN, $\overline{RESET}$, CNVSS		V_I=5V			5.0	μA
I_{IL}	"L"入力電流	P0_0～P0_7, P1_0～P1_7, P2_0～P2_3, P5_5, P6_4～P6_7, P7_0～P7_5, P8_2～P8_7, P9_0～P9_7, P10_0～P10_7, P14_0 XIN, $\overline{RESET}$, CNVSS		V_I=0V			－5.0	μA
R_{PULLUP}	プルアップ抵抗	P0_0～P0_7, P1_0～P1_7, P2_0～P2_3, P5_5, P6_4～P6_7, P7_2～P7_5, P8_2`P8_4, P8_6, P8_7, P9_0～P9_7, P10_0～P10_7, P14_0		V_I=0V	30	50	170	kΩ
R_{fXIN}	帰還抵抗	XIN				1.5		MΩ
R_{fXCIN}	帰還抵抗	XCIN				15		MΩ
V_{RAM}	RAM保持電圧			ストップモード時	2.0			V

注1. 指定のない場合は、V_{CC1}=V_{CC2}=4.2～5.5V、V_{SS}=0V、Topr=－20～75℃、f(BCLK)=16MHzです。

$V_{CC1} = V_{CC2} = 5V$

表19.9 電気的特性(2)(注1)

記号	項目		測定条件		規格値 最小	規格値 標準	規格値 最大	単位
Icc	電源電流 (V_{CC1}=4.2～5.5V)	シングルチップモードで、出力端子は開放、その他の端子はVss	マスクROM	f(BCLK)=16MHz 分周なし		10		mA
			フラッシュメモリ	f(BCLK)= 16MHz 分周なし		18		mA
			フラッシュメモリ プログラム	f(BCLK)=10MHz V_{CC1}=5.0V		15		mA
			フラッシュメモリ イレーズ	f(BCLK)=10MHz V_{CC1}=5.0V		25		mA
			マスクROM	f(XCIN)=32kHz 低消費電力モード時 ROM上(注2)		27		μA
			フラッシュメモリ	f(BCLK)=32kHz 低消費電力モード時 RAM上(注2)		27		μA
				f(BCLK)=32kHz 低消費電力モード時 フラッシュメモリ上 (注2)		422		μA
			マスクROM フラッシュメモリ	f(BCLK)=32kHz ウェイトモード時 (注3) 発振能力 High		9.5		μA
				f(BCLK)=32kHz ウェイトモード時 (注3) 発振能力 Low		4		μA
				ストップモード時 Topr=25℃		1.5		μA

注1. 指定のない場合は、V_{CC1}=V_{CC2}=4.2～5.5V、V_{SS}=0V、Topr= －20～75℃ 、f(BCLK)=16MHzです。
注2. 実行するプログラムが存在するメモリを示す。
注3. fC32にてタイマ1本を動作させている状態です。

$V_{CC1} = V_{CC2} = 5V$

タイミング必要条件

(指定のない場合は、V_{CC1}=V_{CC2}=5V、V_{SS}=0V、T_{opr}=–20～75℃)

表19.10 外部クロック入力(XIN入力)

記号	項目	規格値		単位
		最小	最大	
t_c	外部クロック入力サイクル時間	62.5		ns
$t_{w(H)}$	外部クロック入力 "H"パルス幅	25		ns
$t_{w(L)}$	外部クロック入力 "L" パルス幅	25		ns
t_r	外部クロック立ち上がり時間		15	ns
t_f	外部クロック立ち下がり時間		15	ns

$V_{CC1} = V_{CC2} = 5V$

タイミング必要条件

(指定のない場合は、V_{CC1}=V_{CC2}=5V、V_{SS}=0V、T_{opr}=–20～75℃)

表19.11 タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値 最小	規格値 最大	単位
$t_{c(TA)}$	TAiIN入力サイクル時間	100		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	40		ns
$t_{w(TAL)}$	TAiIN入力 "L" パルス幅	40		ns

表19.12 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値 最小	規格値 最大	単位
$t_{c(TA)}$	TAiIN入力サイクル時間	400		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	200		ns
$t_{w(TAL)}$	TAiIN入力 "L" パルス幅	200		ns

表19.13 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値 最小	規格値 最大	単位
$t_{c(TA)}$	TAiIN入力サイクル時間	200		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	100		ns
$t_{w(TAL)}$	TAiIN入力 "L" パルス幅	100		ns

表19.14 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値 最小	規格値 最大	単位
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	100		ns
$t_{w(TAL)}$	TAiIN入力 "L" パルス幅	100		ns

表19.15 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値 最小	規格値 最大	単位
$t_{c(UP)}$	TAiOUT入力サイクル時間	2000		ns
$t_{w(UPH)}$	TAiOUT入力 "H" パルス幅	1000		ns
$t_{w(UPL)}$	TAiOUT入力 "L" パルス幅	1000		ns
$t_{su(UP-TIN)}$	TAiOUT入力セットアップ時間	400		ns
$t_{h(TIN-UP)}$	TAiOUT入力ホールド時間	400		ns

表19.16 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値 最小	規格値 最大	単位
$t_{c(TA)}$	TAiIN入力サイクル時間	800		ns
$t_{su(TAIN-TAOUT)}$	TAiOUT入力セットアップ時間	200		ns
$t_{su(TAout-TAIN)}$	TAiIN入力セットアップ時間	200		ns

$V_{CC1} = V_{CC2} = 5V$

タイミング必要条件

(指定のない場合は、V_{CC1}=V_{CC2}=5V、V_{SS}=0V、T_{opr}=–20～75℃)

表19.17 タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN 入力サイクル時間（片エッジカウント）	100		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅（片エッジカウント）	40		ns
$t_{w(TBL)}$	TBiIN 入力 "L" パルス幅（片エッジカウント）	40		ns
$t_{c(TB)}$	TBiIN 入力サイクル時間（両エッジカウント）	200		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅（両エッジカウント）	80		ns
$t_{w(TBL)}$	TBiIN 入力 "L" パルス幅（両エッジカウント）	80		ns

表19.18 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力 "L" パルス幅	200		ns

表19.19 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	400		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	200		ns
$t_{w(TBL)}$	TBiIN入力 "L" パルス幅	200		ns

表19.20 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(AD)}$	$\overline{ADTRG}$入力サイクル時間（トリガ可能最小）	1000		ns
$t_{w(ADL)}$	$\overline{ADTRG}$入力 "L" パルス幅	125		ns

表19.21 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi入力 "H" パルス幅	100		ns
$t_{w(CKL)}$	CLKi入力 "L" パルス幅	100		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	70		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

表19.22 外部割り込み$\overline{INTi}$入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	$\overline{INTi}$入力 "H" パルス幅	250		ns
$t_{w(INL)}$	$\overline{INTi}$入力 "L" パルス幅	250		ns

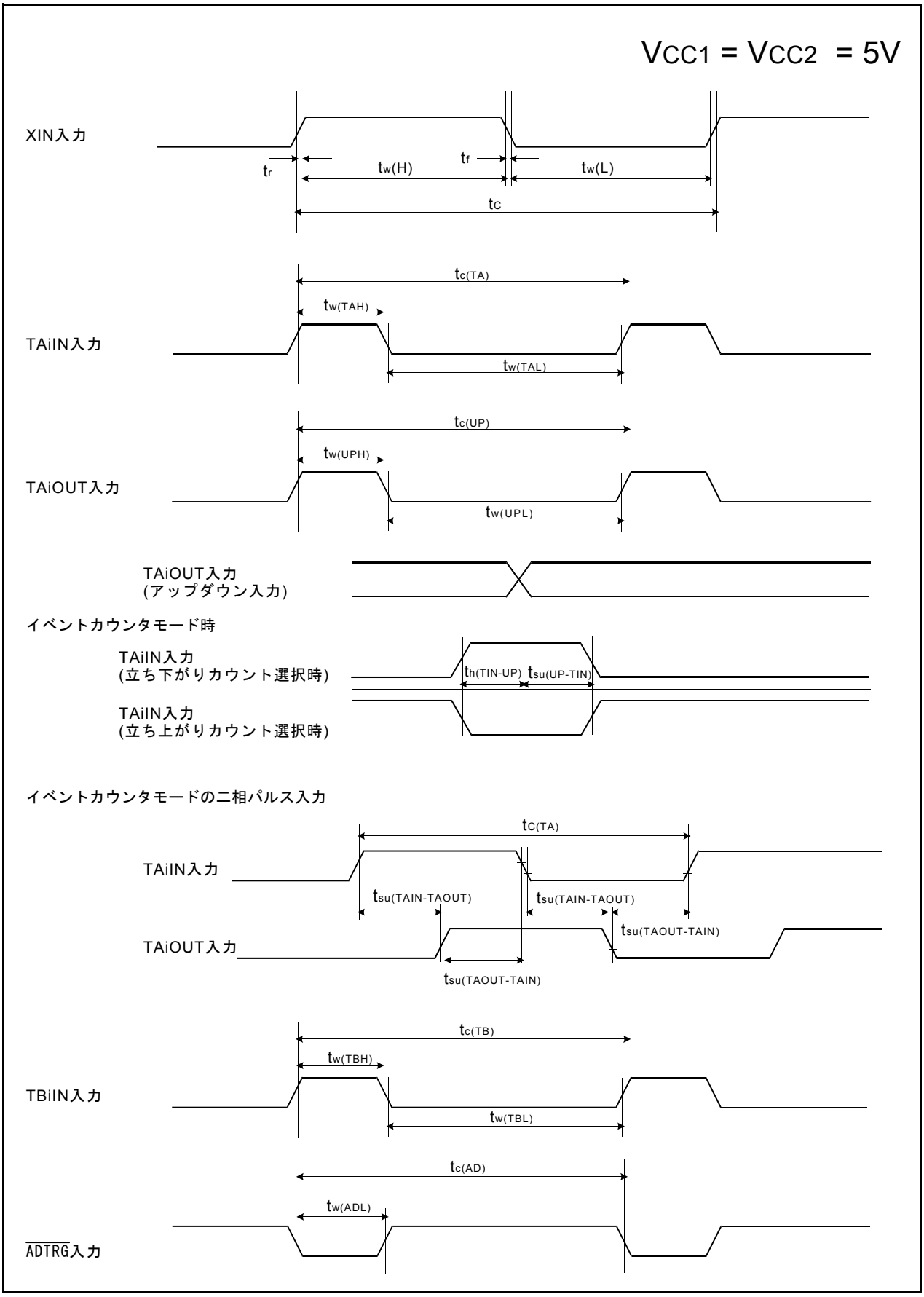


図19.2 タイミング図(1)

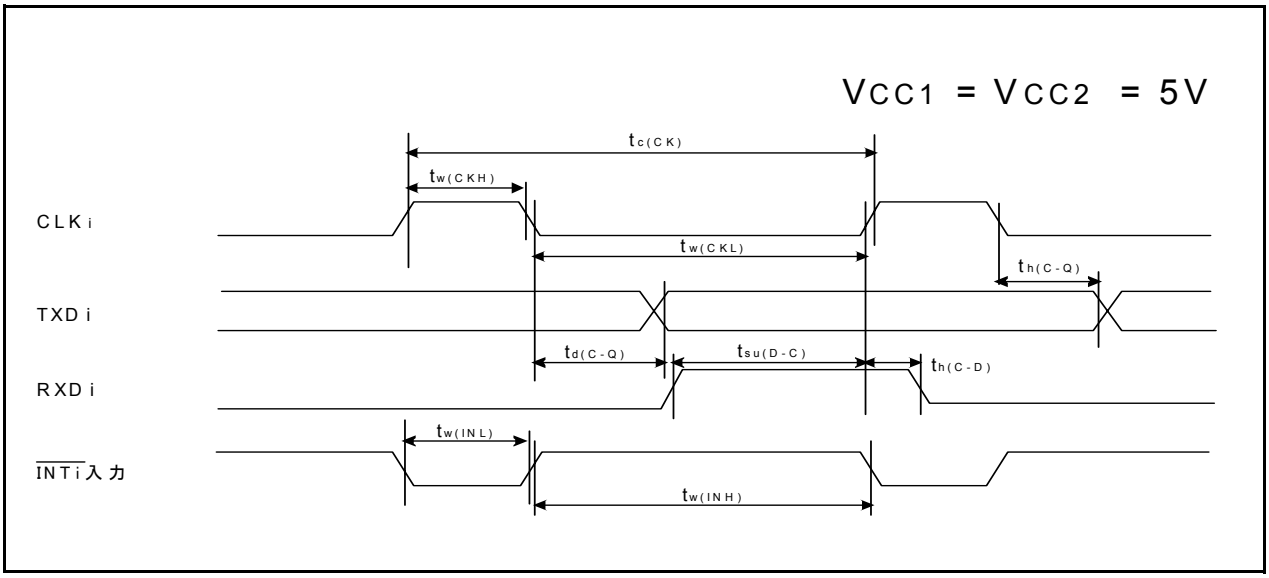


図19.3　タイミング図(2)

$V_{CC1} = V_{CC2} = 3V$

表19.23 電気的特性(1)

記号	項目			測定条件	規格値 最小	規格値 標準	規格値 最大	単位
V_{OH}	"H"出力電圧	P0_0～P0_7, P1_0～P1_7, P2_0～P2_3, P5_5 P6_4～P6_7, P7_2～P7_5, P8_2～P8_4, P8_6, P8_7, P9_0～P9_7, P10_0～P10_7, P14_0		I_{OH}=－1mA	V_{CC}－0.5		V_{CC}	V
V_{OH}	"H"出力電圧	XOUT	HIGHPOWER	I_{OH}=－1mA	V_{CC}－0.5		V_{CC}	V
			LOWPOWER	I_{OH}=－50μA	V_{CC}－0.5		V_{CC}	
	"H"出力電圧	XCOUT	HIGHPOWER	無負荷時		2.5		V
			LOWPOWER	無負荷時		1.6		
V_{OL}	"L"出力電圧	P0_0～P0_7, P1_0～P1_7, P2_0～P2_3, P5_5 P6_4～P6_7, P7_0～P7_5, P8_2～P8_4, P8_6, P8_7, P9_0～P9_7, P10_0～P10_7, P14_0		I_{OL}=1mA			0.5	V
V_{OL}	"L"出力電圧	XOUT	HIGHPOWER	I_{OL}=1mA			0.5	V
			LOWPOWER	I_{OL}=50μA			0.5	
	"L"出力電圧	XCOUT	HIGHPOWER	無負荷時		0		V
			LOWPOWER	無負荷時		0		
V_{T+}-V_{T-}	ヒステリシス	TA0IN～TA2IN, TB0IN～TB2IN, $\overline{INT0}$～$\overline{INT4}$, $\overline{NMI}$, $\overline{ADTRG}$, $\overline{CTS1}$, $\overline{CTS2}$, CLK1, CLK2, TA0OUT～TA2OUT, $\overline{KI0}$～$\overline{KI3}$, RXD, RXD2, SCL1, SCL2, SDA1, SDA2			0.2		0.8	V
V_{T+}-V_{T-}	ヒステリシス	$\overline{RESET}$			0.2	(0.7)	1.8	V
V_{T+}-V_{T-}	ヒステリシス	XIN			0.2		0.8	V
I_{IH}	"H"入力電流	P0_0～P0_7, P1_0～P1_7, P2_0～P2_3, P5_5, P6_4～P6_7, P7_0～P7_5, P8_2～P8_7, P9_0～P9_7, P10_0～P10_7, P14_0 XIN, $\overline{RESET}$, CNVSS		V_I=3V			4.0	μA
I_{IL}	"L"入力電流	P0_0～P0_7, P1_0～P1_7, P2_0～P2_3, P5_5, P6_4～P6_7, P7_0～P7_5, P8_2～P8_7, P9_0～P9_7, P10_0～P10_7, P14_0 XIN, $\overline{RESET}$, CNVSS		V_I=0V			－4.0	μA
R_{PULLUP}	プルアップ抵抗	P0_0～P0_7, P1_0～P1_7, P2_0～P2_3, P5_5, P6_4～P6_7, P7_2～P7_5, P8_2`P8_4, P8_6, P8_7, P9_0～P9_7, P10_0～P10_7, P14_0		V_I=0V	50	100	500	kΩ
R_{fXIN}	帰還抵抗	XIN				3.0		MΩ
R_{fXCIN}	帰還抵抗	XCIN				25		MΩ
V_{RAM}	RAM保持電圧			ストップモード時	2.0			V

注1. 指定のない場合は、V_{CC1}=V_{CC2}=2.7～3.3V、V_{SS}=0V、Topr=－20～75℃ 、f(BCLK)=10MHz、ウェイトなしです。

$V_{CC1} = V_{CC2} = 3V$

表19.24 電気的特性(2)(注1)

記号	項目		測定条件		規格値 最小	規格値 標準	規格値 最大	単位
Icc	電源電流 (V_{CC1}=2.7～3.6V)	シングルチップモードで、出力端子は開放、その他の端子はVss	マスクROM	f(BCLK)=10MHz、0ウェイト 分周なし		10		mA
			フラッシュメモリ	f(BCLK)=10MHz、0ウェイト 分周なし		10		mA
			フラッシュメモリ プログラム	f(BCLK)=10MHz V_{CC1}=3.0V		12		mA
			フラッシュメモリ イレーズ	f(BCLK)=10MHz V_{CC1}=3.0V		22		mA
			マスクROM	f(XCIN)=32kHz 低消費電力モード時 ROM上(注2)		27		μA
			フラッシュメモリ	f(BCLK)=32kHz 低消費電力モード時 RAM上(注2)		27		μA
				f(BCLK)=32kHz 低消費電力モード時 フラッシュメモリ上 (注2)		422		μA
			マスクROM フラッシュメモリ	f(BCLK)=32kHz ウェイトモード時 (注3) 発振能力 High		8.0		μA
				f(BCLK)=32kHz ウェイトモード時 (注3) 発振能力 Low		3.8		μA
				ストップモード時 Topr=25℃		1.4		μA

注1. 指定のない場合は、V_{CC1}=V_{CC2}=2.7～3.3V、V_{SS}=0V、Topr=－20～75℃ 、f(BCLK)=10MHz、ウェイトなしです。
注2. 実行するプログラムが存在するメモリを示す。
注3. fC32にてタイマ1本を動作させている状態です。

$V_{CC1} = V_{CC2} = 3V$

タイミング必要条件
(指定のない場合は、V_{CC1}=V_{CC2}=3V、V_{SS}=0V、T_{opr}=–20～75℃)

表19.25 外部クロック入力(XIN入力)

記　号	項　　目	規　格　値		単位
		最　小	最　大	
t_c	外部クロック入力サイクル時間	100		ns
$t_{w(H)}$	外部クロック入力 "H"パルス幅	40		ns
$t_{w(L)}$	外部クロック入力 "L" パルス幅	40		ns
t_r	外部クロック立ち上がり時間		18	ns
t_f	外部クロック立ち下がり時間		18	ns

$V_{CC1} = V_{CC2} = 3V$

タイミング必要条件
(指定のない場合は、V_{CC1}=V_{CC2}=3V、V_{SS}=0V、T_{opr}=–20～75℃)

表19.26 タイマA入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	150		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	60		ns
$t_{w(TAL)}$	TAiIN入力 "L" パルス幅	60		ns

表19.27 タイマA入力(タイマモードのゲーティング入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	600		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	300		ns
$t_{w(TAL)}$	TAiIN入力 "L" パルス幅	300		ns

表19.28 タイマA入力(ワンショットタイマモードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	300		ns
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	150		ns
$t_{w(TAL)}$	TAiIN入力 "L" パルス幅	150		ns

表19.29 タイマA入力(パルス幅変調モードの外部トリガ入力)

記号	項目	規格値		単位
		最小	最大	
$t_{w(TAH)}$	TAiIN入力 "H" パルス幅	150		ns
$t_{w(TAL)}$	TAiIN入力 "L" パルス幅	150		ns

表19.30 タイマA入力(イベントカウンタモードのアップダウン入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(UP)}$	TAiOUT入力サイクル時間	3000		ns
$t_{w(UPH)}$	TAiOUT入力 "H" パルス幅	1500		ns
$t_{w(UPL)}$	TAiOUT入力 "L" パルス幅	1500		ns
$t_{su(UP-TIN)}$	TAiOUT入力セットアップ時間	600		ns
$t_{h(TIN-UP)}$	TAiOUT入力ホールド時間	600		ns

表19.31 タイマA入力(イベントカウンタモードの二相パルス入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TA)}$	TAiIN入力サイクル時間	2		μs
$t_{su(TAIN-TAOUT)}$	TAiOUT入力セットアップ時間	500		ns
$t_{su(TAOUT-TAIN)}$	TAiIN入力セットアップ時間	500		ns

$V_{CC1} = V_{CC2} = 3V$

タイミング必要条件
(指定のない場合は、V_{CC1}=V_{CC2}=3V、V_{SS}=0V、T_{opr}=–20～75℃)

表19.32 タイマB入力(イベントカウンタモードのカウント入力)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN 入力サイクル時間（片エッジカウント）	150		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅(片エッジカウント)	60		ns
$t_{w(TBL)}$	TBiIN 入力 "L" パルス幅（片エッジカウント）	60		ns
$t_{c(TB)}$	TBiIN 入力サイクル時間（両エッジカウント）	300		ns
$t_{w(TBH)}$	TBiIN 入力 "H" パルス幅（両エッジカウント）	120		ns
$t_{w(TBL)}$	TBiIN 入力 "L" パルス幅（両エッジカウント）	120		ns

表19.33 タイマB入力(パルス周期測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力 "L" パルス幅	300		ns

表19.34 タイマB入力(パルス幅測定モード)

記号	項目	規格値		単位
		最小	最大	
$t_{c(TB)}$	TBiIN入力サイクル時間	600		ns
$t_{w(TBH)}$	TBiIN入力 "H" パルス幅	300		ns
$t_{w(TBL)}$	TBiIN入力 "L" パルス幅	300		ns

表19.35 A/Dトリガ入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(AD)}$	$\overline{ADTRG}$入力サイクル時間（トリガ可能最小）	1500		ns
$t_{w(ADL)}$	$\overline{ADTRG}$入力 "L" パルス幅	200		ns

表19.36 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi 入力サイクル時間	300		ns
$t_{w(CKH)}$	CLKi 入力 "H" パルス幅	150		ns
$t_{w(CKL)}$	CLKi 入力 "L" パルス幅	150		ns
$t_{d(C-Q)}$	TXDi 出力遅延時間		160	ns
$t_{h(C-Q)}$	TXDi ホールド時間	0		ns
$t_{su(D-C)}$	RXDi 入力セットアップ時間	100		ns
$t_{h(C-D)}$	RXDi 入力ホールド時間	90		ns

表19.37 外部割り込み$\overline{INTi}$入力

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	$\overline{INTi}$入力 "H" パルス幅	380		ns
$t_{w(INL)}$	$\overline{INTi}$入力 "L" パルス幅	380		ns

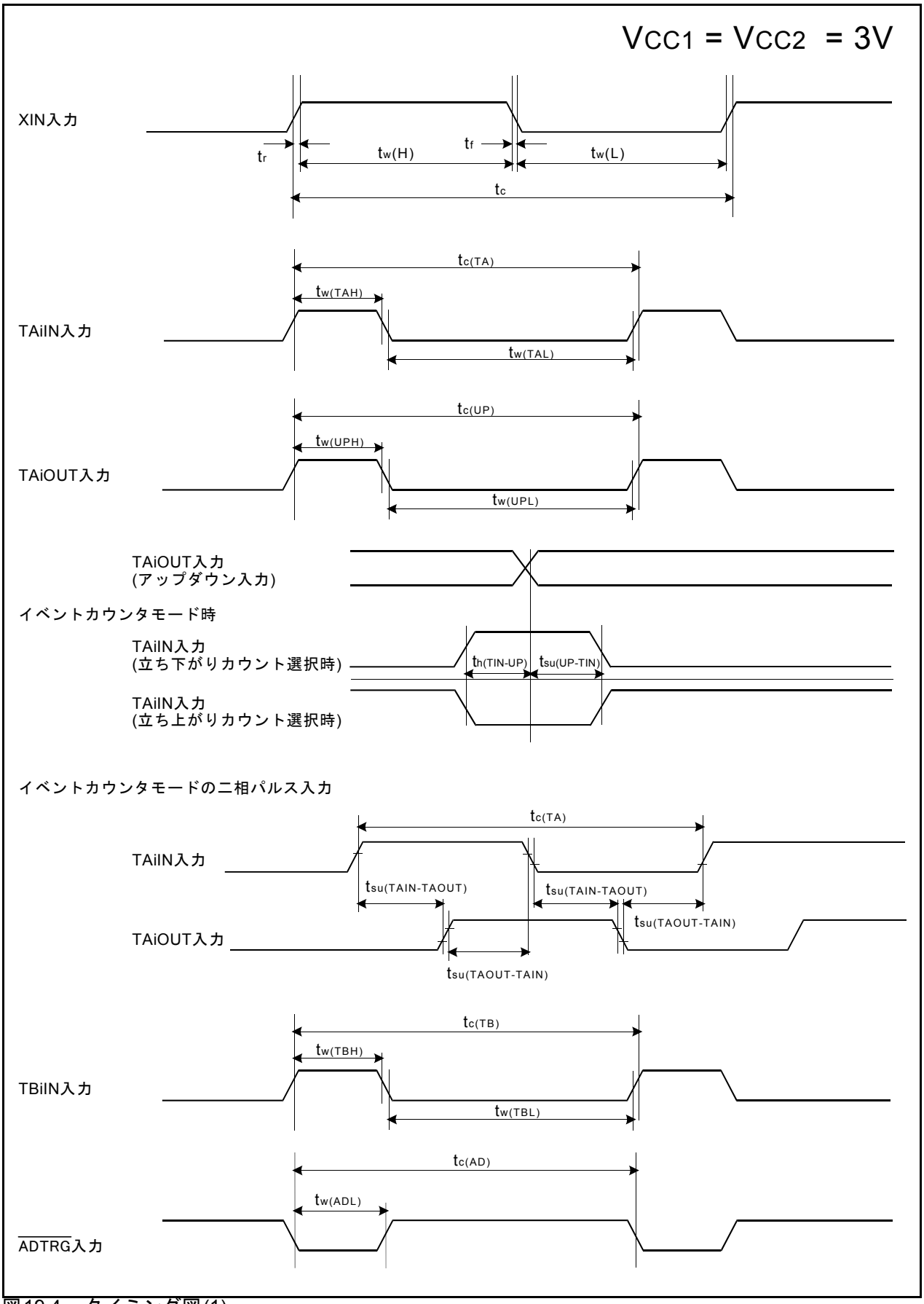


図19.4 タイミング図(1)

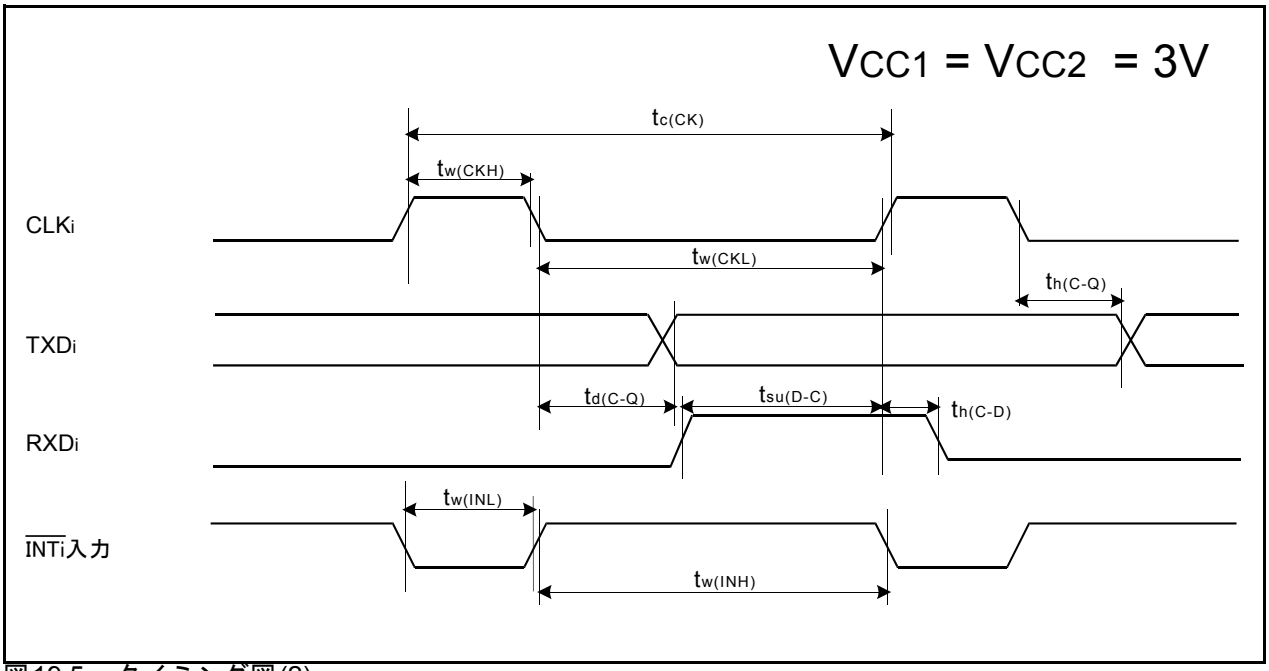


図19.5 タイミング図(2)

表19.38 VFDコントローラ/ドライバタイミング必要条件

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
tc	クロックサイクル時間	VFD_SCK		500			ns
		VFD_XIN		500			
tWH	クロック"H"パルス幅	VFD_SCK		230			ns
		VFD_XIN		230			
tWL	クロック"L"パルス幅	VFD_SCK		230			ns
		VFD_XIN		230			
tsu(D)	VFD_SDATA セットアップ時間			130			ns
th(D)	VFD_SDATA ホールド時間			100			ns
tsu(VFD_CS)	VFD_CS セットアップ時間			0			ns
th(VFD_CS)	VFD_CS ホールド時間			100			ns
trec	VFD_RESET リカバリ時間			400			ns
t_{VFD_reset}	VFD_RESET "L"パルス幅			400			ns
tBUSY	内部処理時間					3	1/fosc

表19.39 VFDコントローラ/ドライバ発振特性

記号	項目	測定条件	推奨設定範囲	単位
fosc	推奨発振周波数設定値		250 ～ 20000	kHz

注1.標準条件の時に上記範囲内に収まるよう、R、C値を設定してください。
注2.指定のない場合は、Ta = 25℃、Vcc = 5.0Vまたは3.0V

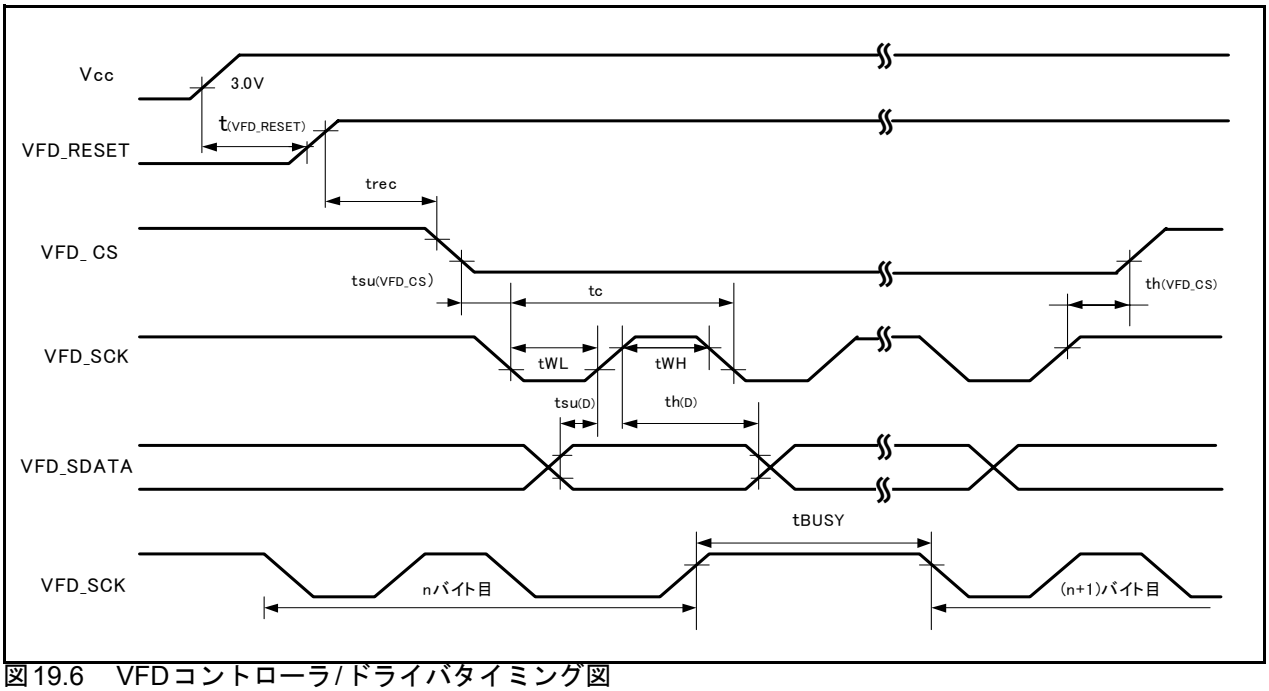


図19.6 VFDコントローラ/ドライバタイミング図

20. 使用上の注意事項

20.1 リセット

電源投入時、VCC1、VCC2端子に入力される電圧がSVCCの規格を満たすようにしてください。

記号	項目	規格値			単位
		最小	標準	最大	
SVcc	電源立ち上がり勾配（Vcc1）	0.05			V/ms

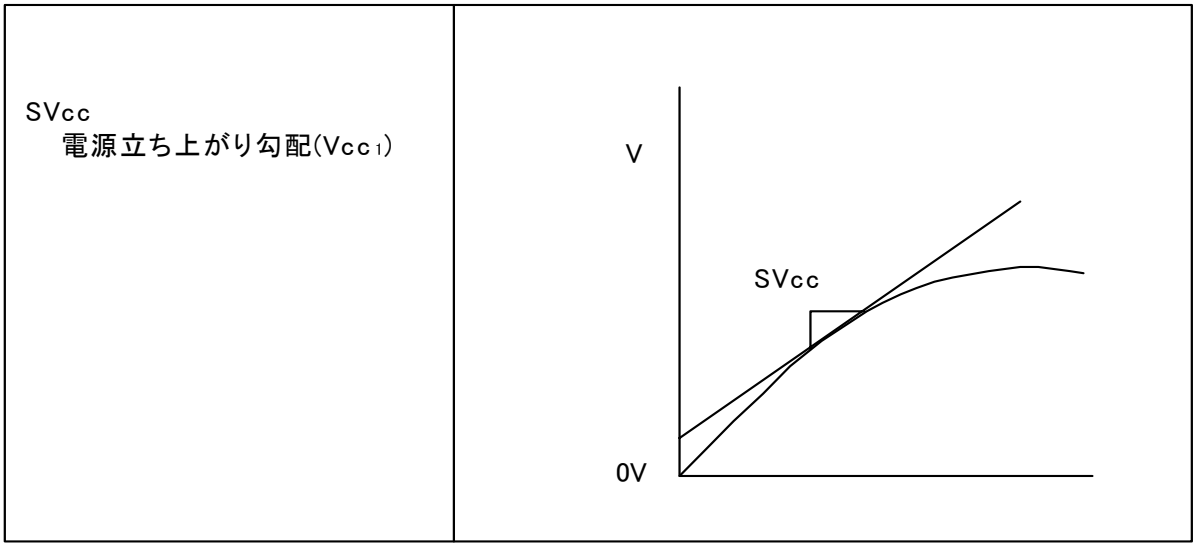


図20.1　SVccのタイミング図

20.2 パワーコントロール

- ストップモードからリセットによって復帰する場合、メインクロックの発振が充分に安定するまで$\overline{\text{RESET}}$端子に“L”を入力してください。

- ストップモードからの復帰にタイマAを使用する場合、TAiMRレジスタ(i=0～2)のMR0ビットを“0”(パルス出力なし)にしてください。

- ウェイトモードに移行するとき、WAIT命令の前にJMP.B命令を挿入してください。JMP.B命令とWAIT命令実行の間に、RAMへの書き込みが発生する命令を実行しないでください。JMP.B命令とWAIT命令の間にDMA転送が発生する可能性がある場合は、DMA転送を禁止してください。
  また、WAIT命令の後にはNOP命令を4つ以上入れてください。ウェイトモードに移行する場合、命令キューはWAIT命令により後の命令まで先読みしてプログラムが停止しますので、命令の組み合わせや実行のタイミングによっては、ウェイトモードに入る前に次の命令を実行する場合があります。

  ウェイトモードに移行するときのプログラム例を示します。

```
例：        JMP.B   L1          ; WAIT命令の前にJMP.B命令を挿入
      L1:
            FSET    I           ;
            WAIT                ; ウェイトモードに移行
            NOP                 ; NOP命令を4つ以上
            NOP
            NOP
            NOP
```

- ストップモードに移行するとき、CM1レジスタのCM10ビットを“1”にする命令の直後にJMP.B命令を挿入し、その後にNOP命令を4つ以上入れてください。ストップモードに移行する場合、命令キューはCM10ビットを“1”(全クロック停止)にする命令より後の命令まで先読みするため、先読みされた命令がストップモードに入る前に実行されたり、ストップモードからの復帰用割り込みルーチンより先に実行される場合があります。

  ストップモードに移行するときのプログラム例を示します。

```
例：        FSET    I
            BSET    0, CM1      ; ストップモードに移行
            JMP.B   L2          ; JMP.B命令を挿入
      L2:
            NOP                 ; NOP命令を4つ以上
            NOP
            NOP
            NOP
```

- CPUクロックのクロック源をメインクロックに切り替えるときは、メインクロック発振安定時間を待ってから切り替えてください。
  CPUクロックのクロック源をサブクロックに切り替えるときは、サブクロックの発振が安定してから切り替えてください。

• 消費電力を小さくするためのポイント
消費電力を小さくするためのポイントを示します。システム設計やプログラムを作成するときに参考にしてください。

【ポート】
ウェイトモードまたはストップモードに移行しても入出力ポートの状態は保持します。アクティブ状態の出力ポートは電流が流れます。ハイインピーダンス状態になる入力ポートは貫通電流が流れます。不要なポートは入力に設定し、安定した電位に固定してからウェイトモードまたはストップモードに移行してください。

【A/Dコンバータ】
A/D変換を行わない場合、ADCON1レジスタのVCUTビットを“0”(Vref未接続)にしてください。なお、A/D変換を行う場合、VCUTビットを“1”(Vref接続)にしてから1μs以上経過した後、A/D変換を開始させてください。

【周辺機能の停止】
ウェイトモード時にCM0レジスタのCM02ビットで、不要な周辺機能を停止させてください。
ただし、サブクロックから生成している周辺機能クロック(fC32)は停止しませんので、消費電力の削減にはなりません。低速モードまたは低消費電力モードから、ウェイトモードに移行する場合はCM02ビットを“0”(ウェイトモード時、周辺機能クロック停止しない)にしてウェイトモードに移行してください。

【発振駆動能力の切り替え】
発振が安定している場合、駆動能力を“LOW”にしてください。

【VFDコントローラ/ドライバ】
VFDコントローラ/ドライバを停止すると、消費電力を削減することができます。
VFDコントローラ/ドライバ停止時のVFD制御ビットの設定は、15章VFDコントローラ/ドライバを参照してください。

20.3 プロテクト

PRC2ビットを“1”(書き込み許可状態)にした後、任意の番地に書き込みを実行すると“0”(書き込み禁止状態)になります。PRC2ビットで保護されるレジスタはPRC2ビットを“1”にした次の命令で変更してください。PRC2ビットを“1”にする命令と次の命令の間に割り込みやDMA転送が入らないようにしてください。

20.4 割り込み

20.4.1 00000h番地の読み出し

プログラムで00000h番地を読まないでください。マスカブル割り込みの割り込み要求を受け付けた場合、CPUは割り込みシーケンスの中で割り込み情報(割り込み番号と割り込み要求レベル)を00000h番地から読みます。このとき、受け付けられた割り込みのIRビットが“0”になります。

プログラムで00000h番地を読むと、許可されている割り込みのうち、最も優先順位の高い割り込みのIRビットが“0”になります。そのため、割り込みがキャンセルされたり、予期しない割り込み要求が発生することがあります。

20.4.2 SPの設定

割り込みを受け付ける前に、SP(USP、ISP)に値を設定してください。リセット後、SP(USP、ISP)は“0000h”です。そのため、SP(USP、ISP)に値を設定する前に割り込みを受け付けると、暴走の要因となります。

特に、$\overline{\text{NMI}}$割り込みを使用する場合は、プログラムの先頭でISPに値を設定してください。リセット後の先頭の1命令に限り、$\overline{\text{NMI}}$割り込みを含むすべての割り込みが禁止されています。

20.4.3 $\overline{\text{NMI}}$割り込み

- $\overline{\text{NMI}}$割り込みは、禁止できません。使用しない場合は、$\overline{\text{NMI}}$端子に抵抗を介してVCC1に接続(プルアップ)してください。

- $\overline{\text{NMI}}$端子は、P8レジスタのP8_5ビットを読むことで端子の値を読めます。P8_5ビットは、$\overline{\text{NMI}}$割り込みルーチンで、端子のレベルを判定する場合のみ読んでください。

- $\overline{\text{NMI}}$端子に“L”を入力している場合、ストップモードに移行できません。$\overline{\text{NMI}}$端子に“L”が入力されている場合、CM1レジスタのCM10ビットが“0”に固定されています。

- $\overline{\text{NMI}}$端子に“L”を入力している場合、ウェイトモードに移行しないでください。$\overline{\text{NMI}}$端子に“L”が入力されている場合、CPUは停止しますがCPUクロックが停止しないため、消費電流が減りません。この場合、その後の割り込みによって正常に復帰します。

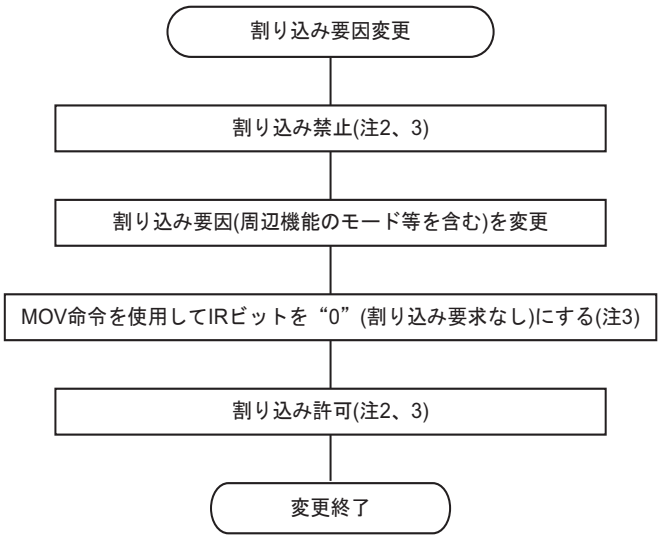
- $\overline{\text{NMI}}$端子に入力する信号の“L”幅、“H”幅は、いずれもCPUクロックの2サイクル＋300ns以上にしてください。

20.4.4　割り込み要因の変更

割り込み要因を変更すると、割り込み制御レジスタのIRビットが“1”(割り込み要求あり)になることがあります。割り込みを使用する場合は、割り込み要因を変更した後、IRビットを“0”(割り込み要求なし)にしてください。

なお、ここで言う割り込み要因の変更とは、各ソフトウェア割り込み番号に割り当てられる割り込み要因・極性・タイミングを替えるすべての要素を含みます。したがって、周辺機能のモード変更などが割り込み要因・極性・タイミングに関与する場合は、これらを変更した後、IRビットを“0”(割り込み要求なし)にしてください。周辺機能の割り込みは各周辺機能を参照してください。

図20.2に割り込み要因の変更手順例を示します。



IRビット : 要因を変更する割り込みの、割り込み制御レジスタのビット

注1.　上記の設定は個々に実行してください。2つ以上の設定を同時に(1命令で)実行しないでください。

注2.　$\overline{\text{INT}}$i割り込み(i=0～4)では、Iフラグを使用してください。
$\overline{\text{INT}}$i割り込み以外の周辺機能による割り込みでは、割り込み要求を発生させないために、割り込み要因となる周辺機能を停止させた後、割り込み要因を変更してください。この場合、マスカブル割り込みをすべて禁止にしてよい場合はIフラグを使用してください。マスカブル割り込みをすべて禁止にできない場合は、要因を変更する割り込みのILVL2～ILVL0ビットを使用してください。

注3.　使用する命令とそれに伴う注意は「20.4.6　割り込み制御レジスタの変更」を参照してください。

図20.2　割り込み要因の変更手順例

20.4.5　$\overline{\text{INT}}$割り込み

- $\overline{\text{INT0}}$～$\overline{\text{INT4}}$端子に入力する信号には、CPUクロックに関係なくtw(INL)以上の“L”幅またはtw(INH)以上の“H”幅が必要です。

- INT0IC～INT4ICレジスタのPOLビット、IFSRレジスタのIFSR7～IFSR0ビットを変更すると、IRビットが“1”(割り込み要求あり)になることがあります。これらのビットを変更した後、IRビットを“0”(割り込み要求なし)にしてください。

20.4.6　割り込み制御レジスタの変更

(a)　割り込み制御レジスタは、そのレジスタに対応する割り込み要求が発生しない箇所で変更してください。割り込み要求が発生する可能性がある場合は、割り込みを禁止した後、割り込み制御レジスタを変更してください。

(b)　割り込みを禁止して割り込み制御レジスタを変更する場合、使用する命令に注意してください。

• IRビット以外のビットの変更

命令の実行中に、そのレジスタに対応する割り込み要求が発生した場合、IRビットが“1”(割り込み要求あり)にならず、割り込みが無視されることがあります。このことが問題になる場合は、次の命令を使用してレジスタを変更してください。

対象となる命令…AND、OR、BCLR、BSET

• IRビットの変更

IRビットを“0”(割り込み要求なし)にする場合、使用する命令によってはIRビットが“0”にならないことがあります。IRビットはMOV命令を使用して“0”にしてください。

(c)　Iフラグを使用して割り込みを禁止にする場合、次の参考プログラム例にしたがってIフラグの設定をしてください。(参考プログラム例の割り込み制御レジスタの変更は(b)を参照してください。)

例1～例3は内部バスと命令キューバッファの影響により割り込み制御レジスタが変更される前にIフラグが“1”(割り込み許可)になることを防ぐ方法です。

例1 : NOP命令で割り込み制御レジスタが変更されるまで待たせる例

```
INT_SWITCH1 :
  FCLR    I                  ; 割り込み禁止
  AND.B   #00H, 0055H        ; TA0ICレジスタを“00h”にする
  NOP                        ;
  NOP
  FSET    I                  ; 割り込み許可
```

例2 : ダミーリードでFSET命令を待たせる例

```
INT_SWITCH2 :
  FCLR    I                  ; 割り込み禁止
  AND.B   #00H, 0055H        ; TA0ICレジスタを“00h”にする
  MOV.W   MEM, R0            ; ダミーリード
  FSET    I                  ; 割り込み許可
```

例3 : POPC命令でIフラグを変更する例

```
INT_SWITCH3 :
  PUSHC   FLG
  FCLR    I                  ; 割り込み禁止
  AND.B   #00H, 0055H        ; TA0ICレジスタを“00h”にする
  POPC    FLG                ; 割り込み許可
```

20.4.7　ウォッチドッグタイマ割り込み

ウォッチドッグタイマ割り込み発生後は、ウォッチドッグタイマを初期化してください。

20.5 DMAC

20.5.1 DMAiCONレジスタのDMAEビットへの書き込み(i=0、1)

(a)に示す条件のときは、(b)に示す手順で書いてください。

(a) 条件

- DMAEビットが“1”(DMAiがアクティブ状態)のとき、再度、DMAEビットへ“1”を書く。
- DMAEビットへの書き込みと同時にDMA要求が発生する可能性がある。

(b) 手順

(1) DMAiCONレジスタのDMAEビットとDMASビットに同時に“1”を書く(注1)。

(2) DMAiが初期状態(注2)になっていることを、プログラムで確認する。

DMAiが初期状態になっていない場合は、(1)(2)を繰り返す。

注1. DMASビットは“1”を書いても変化しません。“0”を書くと“0”(DMA要求なし)になります。したがって、DMAEビットへ“1”を書くために、DMAiCONレジスタへ書く場合、DMASへ書く値を“1”にしておくと、DMASは書く直前の状態を保持できます。
DMAEビットへの書き込みに、リードモディファイライト命令を使用する場合も、DMASへ書く値を“1”にしておくと、命令実行中に発生したDMA要求を保持できます。

注2. TCRiレジスタの値で確認してください。
TCRiレジスタを読んで、DMA転送開始前にTCRiレジスタへ書いた値(DMAEビット書き込み後にDMA要求が発生した場合は「TCRiレジスタへ書いた値-1」)が読めれば初期状態になっている、転送途中の値になっていれば初期状態になっていない、と判断できます。

20.6 タイマ

20.6.1 タイマA

20.6.1.1 タイマA(タイマモード)

リセット後、タイマは停止しています。TAiMR(i=0～2) レジスタ、TAi レジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSR レジスタのTAiS ビットを“1”(カウント開始)にしてください。

なお、TAiMR レジスタは、リセット後に限らずTAiS ビットが“0”(カウント停止)の状態で、変更してください。

カウント中のカウンタの値は、TAi レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読めます。また、カウント停止中に TAi レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

20.6.1.2 タイマA(イベントカウンタモード)

リセット後、タイマは停止しています。TAiMR(i=0～2) レジスタ、TAi レジスタ、UDF レジスタ、ONSF レジスタのTAZIE、TA0TGL、TA0TGH ビット、TRGSR レジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSR レジスタの TAiS ビットを“1”(カウント開始)にしてください。

なお、TAiMR レジスタ、UDF レジスタ、ONSF レジスタのTAZIE、TA0TGL、TA0TGH ビット、TRGSR レジスタは、リセット後に限らずTAiS ビットが“0”(カウント停止)の状態で、変更してください。

カウント中のカウンタの値は、TAi レジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、アンダフロー時は“FFFFh”が、オーバフロー時は“0000h”が読めます。カウント停止中にTAi レジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読めます。

20.6.1.3 タイマA(ワンショットタイマモード)

リセット後、タイマは停止しています。TAiMR(i=0～2)レジスタ、TAiレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタのTAiSビットを“1”(カウント開始)にしてください。

なお、TAiMRレジスタ、ONSFレジスタのTA0TGL、TA0TGHビット、TRGSRレジスタは、リセット後に限らずTAiSビットが“0”(カウント停止)の状態で、変更してください。

カウント中にTAiSビットを“0”(カウント停止)にすると次のようになります。

- カウンタはカウントを停止し、リロードレジスタの内容をリロードします。
- TAiOUT端子は“L”を出力します。
- CPUクロックの1サイクル後、TAiICレジスタのIRビットが“1”(割り込み要求あり)になります。

ワンショットタイマの出力は内部で生成されたカウントソースに同期しているため、外部トリガを選択している場合、TAiIN端子へのトリガ入力からワンショットタイマの出力までに、最大カウントソースの1サイクル分の遅延が生じます。

次のいずれかでタイマの動作モードを設定した場合、IRビットが“1”になります。

- リセット後、ワンショットタイマモードを選択したとき
- 動作モードをタイマモードからワンショットタイマモードに変更したとき
- 動作モードをイベントカウンタモードからワンショットタイマモードに変更したとき

したがって、タイマAi割り込み(IRビット)を使用する場合は、上記の設定を行った後、IRビットを“0”にしてください。

カウント中にトリガが発生した場合は、カウンタは再トリガ発生後1回ダウンカウントした後、リロードレジスタをリロードしてカウントを続けます。カウント中にトリガを発生させる場合は、前回のトリガの発生からタイマのカウントソースの1サイクル以上経過した後に、再トリガを発生させてください。

20.6.1.4 タイマA(パルス幅変調モード)

リセット後、タイマは停止しています。TAiMR(i=0～2) レジスタ、TAi レジスタ、ONSF レジスタの TA0TGL、TA0TGH ビット、TRGSR レジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSR レジスタのTAiS ビットを“1”(カウント開始)にしてください。

なお、TAiMR レジスタ、ONSF レジスタのTA0TGL、TA0TGH ビット、TRGSR レジスタは、リセット後に限らずTAiS ビットが“0”(カウント停止)の状態で、変更してください。

次のいずれかでタイマの動作モードを設定した場合、IR ビットが“1”になります。

- リセット後、PWMモードを選択したとき
- 動作モードをタイマモードからPWMモードに変更したとき
- 動作モードをイベントカウンタモードからPWMモードに変更したとき

したがって、タイマAi割り込み(IR ビット)を使用する場合は、上記の設定を行った後、プログラムでIR ビットを“0”にしてください。

PWMパルスを出力中にTAiS ビットを“0”(カウント停止)にすると次のようになります。

- カウンタはカウントを停止します。
- TAiOUT端子から“H”を出力している場合は、出力レベルは“L”になり、IR ビットが“1”になります。
- TAiOUT 端子から“L”を出力している場合は、出力レベルは変化せず、IR ビットも変化しません。

20.6.2 タイマB

20.6.2.1 タイマB(タイマモード)

リセット後、タイマは停止しています。TBiMR(i=0～2)レジスタ、TBiレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタまたはTBSRレジスタのTBiSビットを“1”(カウント開始)にしてください。

なお、TBiMRレジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態で、変更してください。

カウント中のカウンタの値は、TBiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読まれます。カウント停止中にTBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読まれます。

20.6.2.2 タイマB(イベントカウンタモード)

リセット後、タイマは停止しています。TBiMR(i=0～2)レジスタ、TBiレジスタによって、モードやカウントソース、カウンタの値等を設定した後、TABSRレジスタまたはTBSRレジスタのTBiSビットを“1”(カウント開始)にしてください。

なお、TBiMRレジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態で、変更してください。

カウント中のカウンタの値は、TBiレジスタを読むことにより任意のタイミングで読めます。ただし、リロードタイミングで読んだ場合、“FFFFh”が読まれます。カウント停止中にTBiレジスタに値を設定した後、カウンタがカウントを開始するまでの期間に読んだ場合、設定値が読まれます。

20.6.2.3 タイマB(パルス周期測定/パルス幅測定モード)

リセット後、タイマは停止しています。TBiMR(i=0～2)レジスタよって、モードやカウントソース等を設定した後、TABSRレジスタまたはTBSRレジスタのTBiSビットを“1”(カウント開始)にしてください。

なお、TBiMRレジスタは、リセット後に限らずTBiSビットが“0”(カウント停止)の状態で、変更してください。MR3ビットを“0”にするために、TBiSビットが“1”(カウント開始)の状態で、TBiMRレジスタへ書く場合、TM0D0、TM0D1、MR0、MR1、TCK0、TCK1ビットへは前回書いたものと同じ値を、MR2へは“0”を書いてください。

TBiICレジスタ(i=0～2)のIRビットは、測定パルスの有効エッジが入力されたときとタイマBiがオーバフローしたとき“1”(割り込み要求あり)になります。割り込み要求要因は、割り込みルーチン内でTBiMRレジスタのMR3ビットで判断できます。

測定パルス入力がタイマのオーバフローのタイミングに重なるなど割り込み要因をMR3ビットで判断できない場合は、オーバフローの回数を別のタイマでカウントしてください。

MR3ビットを“0”(オーバフローなし)にするには、TBiSビットが“1”(カウント開始)の状態で、MR3ビットが“1”(オーバフローあり)になった後の次のカウントソースのカウントタイミング以降に、TBiMRレジスタに書いてください。

オーバフローだけの検出にはTBiICレジスタのIRビットを使用してください。MR3ビットは、割り込み要因を判断するときだけ使用してください。

カウント開始後、1回目の有効エッジの入力時は、不定値がリロードレジスタに転送されます。また、このとき、タイマBi割り込み要求は発生しません。

カウント開始時のカウンタの値は不定です。したがって、カウント開始後、有効エッジが入力されるまでに、MR3ビットが“1”になり、タイマBi割り込み要求が発生する可能性があります。

パルス幅測定は、連続してパルス幅を測定します。測定結果が“H”であるか“L”であるかプログラムで判断してください。

20.7 シリアルインタフェース

20.7.1 クロック同期形シリアルI / Oモード

20.7.1.1 送受信

外部クロック選択時、$\overline{\text{RTS}}$機能を選択した場合は、受信可能状態になると$\overline{\text{RTSi}}$端子の出力レベルが“L”になり、受信が可能になったことを送信側に知らせます。受信が開始されると$\overline{\text{RTSi}}$端子の出力レベルは“H”になります。このため、$\overline{\text{RTSi}}$端子を送信側の$\overline{\text{CTSi}}$端子に結線すると、送受信のタイミングを合わせることができます。内部クロック選択時は$\overline{\text{RTS}}$機能は無効です。

20.7.1.2 送信

外部クロックを選択している場合、UiC0レジスタのCKPOLビットが“0”(転送クロックの立ち下がりで送信データ出力、立ち上がりで受信データ入力)のときは外部クロックが“H”の状態で、CKPOLビットが“1”（転送クロックの立ち上がりで送信データ出力、立ち下がりで受信データ入力）のときは外部クロックが“L”の状態で次の条件を満たしてください。

- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)
- $\overline{\text{CTS}}$機能を選択している場合、$\overline{\text{CTSi}}$端子の入力が“L”

20.7.1.3 受信

クロック同期形シリアルI/Oでは送信器を動作させることにより、シフトクロックを発生します。したがって、受信だけで使用する場合も送信のための設定をしてください。受信時TXDi端子からはダミーデータが外部に出力されます。

内部クロック選択時はUiC1レジスタ(i=0～2)のTEビットを“1”(送信許可)にし、ダミーデータをUiTBレジスタに設定するとシフトクロックが発生します。外部クロック選択時はTEビットを“1”にし、ダミーデータをUiTBレジスタに設定し、外部クロックがCLKi端子に入力されたときシフトクロックを発生します。

連続してデータを受信する場合、UiC1レジスタ(i=0～2)のREビットが“1”(UiRBレジスタにデータあり)でUARTi受信レジスタに次の受信データが揃ったときオーバランエラーが発生し、UiRBレジスタのOERビットが“1”(オーバランエラー発生)になります。この場合、UiRBレジスタは不定ですので、オーバランエラーが発生したときは以前のデータを再送信するように送信と受信側のプログラムで対処してください。また、オーバランエラーが発生したときはSiRICレジスタのIRビットは変化しません。

連続してデータを受信する場合は、1回の受信ごとにUiTBレジスタの下位バイトへダミーデータを設定してください。

外部クロックを選択している場合、CKPOLビットが“0”のときは外部クロックが“H”の状態で、CKPOLビットが“1”のときは外部クロックが“L”の状態で次の条件を満たしてください。

- UiC1レジスタのREビットが“1”(受信許可)
- UiC1レジスタのTEビットが“1”(送信許可)
- UiC1レジスタのTIビットが“0”(UiTBレジスタにデータあり)

20.7.2 クロック非同期形シリアルI / Oモード(UARTモード)

20.7.2.1 特殊モード1(I²Cモード)

スタートコンディション、ストップコンディション、リスタートコンディションを生成する場合、UiSMR4 レジスタの STSPSEL ビットを“0”にした後、転送クロックの半サイクル以上待ってから、各コンディション生成ビット(STAREQ、RSTAREQ、STPREQ)を“0”から“1”にしてください。

20.7.2.2 特殊モード4(SIMモード)

リセット解除後、U2C1 レジスタのU2IRS ビットを“1”(送信完了)、U2ERE ビットを“1”(エラー信号出力)にすると、送信割り込み要求が発生します。そのため、SIMモードを使用する場合は設定後、IR ビットを“0”(割り込み要求なし)にしてください。

20.8 A/Dコンバータ

ADCON0レジスタ(ビット6を除く)、ADCON1レジスタ、ADCON2レジスタは、A/D変換停止時(トリガ発生前)に書いてください。

ADCON1レジスタのVCUTビットを“0”(Vref未接続)から“1”(Vref接続)にしたときは、1μs以上経過した後にA/D変換を開始させてください。

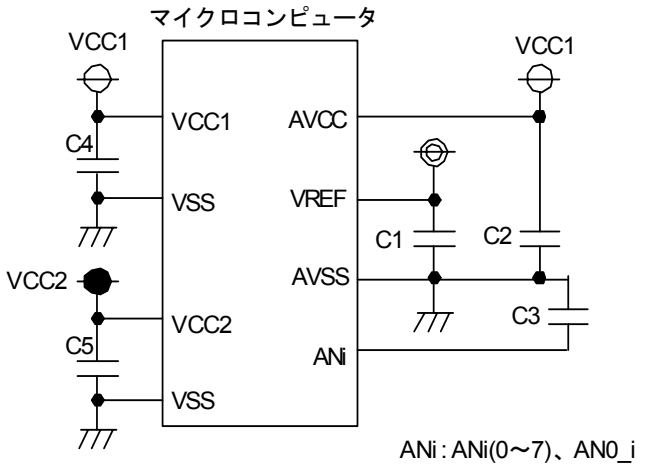
ノイズによる誤動作やラッチアップの防止、また変換誤差を低減するため、AVCC端子、VREF端子、アナログ入力端子(ANi(i=0～7)、AN0_i)とAVSS端子の間には、それぞれコンデンサを挿入してください。同様にVCC1端子とVSS端子の間にもコンデンサを挿入してください。図20.3に各端子の処理例を示します。

アナログ入力端子として使用する端子に対応するポート方向ビットは“0”(入力モード)にしてください。また、ADCON0レジスタのTRGビットが“1”(外部トリガ)の場合は、$\overline{\text{ADTRG}}$端子に対応するポート方向ビットは“0”(入力モード)にしてください。

キー入力割り込みを使用する場合、AN4～AN7は4本ともアナログ入力端子として使用しないでください(A/D入力電圧が“L”になると、キー入力割り込み要求が発生します)。

φADの周波数を10MHz以下にしてください。サンプル&ホールド機能なしの場合、φADの周波数は250kHz以上にしてください。サンプル&ホールド機能ありの場合、φADの周波数は1MHz以上にしてください。

A/D動作モードを変更した場合は、ADCON0レジスタのCH2～CH0ビットまたはADCON1レジスタのSCAN1～SCAN0ビットでアナログ入力端子を再選択してください。



注1. C1≧0.47μF、C2≧0.47μF、C3≧100pF、C4≧0.1μF、C5≧0.1μF(参考値)。
注2. コンデンサは太い配線を利用して、最短距離で接続してください。

図20.3 各端子の処理例

A/D変換が完了し、その結果をADiレジスタ(i=0～7)に格納するタイミングでCPUがADiレジスタを読んだ場合、誤った値がADiレジスタに格納されます。この現象は、CPUクロックにメインクロックを分周したクロック、またはサブクロックを選択した場合に発生します。

- 単発モードで使用する場合
  A/D変換が完了したことを確認してから、対象となるADiレジスタを読んでください(A/D変換の完了はADICレジスタのIRビットで判定できます)。
- 繰り返しモードで使用する場合
  CPUクロックは、メインクロックを分周せずに使用してください。

A/D変換動作中に、プログラムでADCON0レジスタのADSTビットを“0”(A/D変換停止)にして強制終了した場合、A/Dコンバータの変換結果は不定となります。また、A/D変換を行っていないADiレジスタも不定になる場合があります。A/D変換動作中に、プログラムでADSTビットを“0”にした場合は、すべてのADiレジスタの値を使用しないでください。

AN4～AN7は、KI0～KI3と共用しているため、中間電位を入力すると、他のアナログ入力端子(AN0～AN3、AN0_0～AN0_7)より消費電流が増加します。

20.9 プログラマブル入出力ポート

プログラマブル入出力ポートと、周辺機能では、入力閾値電圧が異なります。

したがって、プログラマブル入出力ポートと周辺機能が、端子を共用している場合、この端子の入力レベルが推奨動作条件のVIH、VILの範囲外(“H”でも“L”でもないレベル)のとき、プログラマブル入出力ポートと、周辺機能でレベルの判定結果が異なることがあります。

PC14レジスタのPD14_iビット(i=0、1)を“0”(入力ポート)から“1”(出力ポート)に変更する場合は、次の手順で変更してください。

設定手順

(1)P14_iビットを設定	: MOV.B	#00010000b,PC14	; P14_iビットの設定
(2)PD14_iビットをMOV命令で“1”に変更	: MOV.B	#00010011b,PC14	; 出力ポートへ変更

20.10 プログラマブル入出力ポート予約ビットの設定

リセット後の **SFR** レジスタ初期設定時は、図 20.4 に示す通り必ずプログラマブル入出力ポート予約ビットの設定をしてください。

リセット後のSFRレジスタ初期設定時の
プログラマブル入出力ポート予約ビットの設定

予約ビット (b7 b6 b5 b4 b3 b2 b1 b0)	レジスタ	番地
0 0 0 0	ポート2レジスタ	【03E4h】
1 1 1 1	ポート2方向レジスタ	【03E6h】
0 0 0 0 0 0 0 0	ポート3レジスタ	【03E5h】
1 1 1 1 1 1 1 1	ポート3方向レジスタ	【03E7h】
0 0 0 0 0 0 0 0	ポート4レジスタ	【03E8h】
1 1 1 1 1 1 1 1	ポート4方向レジスタ	【03EAh】
0 0 0 0 0 0 0	ポート5レジスタ	【03E9h】（注1）
0 0 1 0 1 1 0	ポート5方向レジスタ	【03EBh】（注1）
0 0 0	ポート6レジスタ	【03ECh】（注1）
1 1 1 0	ポート6方向レジスタ	【03EEh】（注1）
0 0	ポート7レジスタ	【03EDh】
1 1	ポート7方向レジスタ	【03EFh】
0 0	ポート8レジスタ	【03F0h】
1 1	ポート8方向レジスタ	【03F2h】
1 0 0 0 0 0 0	プルアップ制御レジスタ3	【03DFh】（注2）
0 0 1 0 0 0	ポートP14制御レジスタ	【03DEh】

注1. VFD制御ビットの設定は、15章VFDコントローラ/ドライバを参照してください。
注2. プルアップ制御レジスタ3のb7を“1”に設定してから、ポートP14制御レジスタの設定をしてください。

図20.4　プログラマブル入出力ポート予約ビットの設定

図20.5にリセット後のSFRレジスタ初期設定時のプログラマブル入出力ポート予約ビット、VFD制御ビットの設定プログラム例を示します。

```
PORT_INIT:
  PUSHC   FLG
  FCLR    I
  BCLR    0,PD6              ;VFD_RESET(P6_0)を入力
  AND.B   #36H,PD5           ;P5_0,P5_3,VFD_CS(P5_6),VFD_XIN(P5_7)を入力
  BCLR    1,P6
  BSET    1,PD6              ;VFD_SCK(P6_1)を"L"出力
  BCLR    3,P6
  BSET    3,PD6              ;VFD_SDATA(P6_3)を"L"出力
  BCLR    2,P6
  BSET    2,PD6              ;P6_2を"L"出力
  AND.B   #0FH,P2
  OR.B    #0F0H,PD2          ;P2の上位4ビットを出力
  MOV.B   #00H,P3
  MOV.B   #0FFH,PD3          ;P3の全ビットを出力
  MOV.B   #00H.P4
  MOV.B   #0FFH,PD4          ;P4の全ビットを出力
  AND.B   #0E0H,P5
  MOV.B   PD5,R0L
  AND.B   #20H,R0L           ;P5のBIT5以外マスク処理
  OR.B    #16H,R0L           ;BIT1,BIT2,BIT4を出力に
  MOV.B   R0L,PD5
  AND.B   #3FH,P7            ;P7のBIT6,BIT7以外を出力
  OR.B    #0C0H.PD7
  AND.B   #0FCH,P8           ;P8のBIT0,BIT1以外を出力
  OR.B    #03H,PD8
  AND.B   #0C0H,PUR3         ;PUR3レジスタのBIT6,BIT7以外マスク処理
  MOV.B   R0L,PUR3
  BSET    7,PUR3             ;P14を有効
  MOV.B   PC14,R0L
  AND.B   #11H,R0L           ;P14_1を"L"
  MOV.B   R0L,PC14
  OR.B    #20H,R0L           ;P14_1を出力
  MOV.B   R0L,PC14
  POPC    FLG
  RTS
```

図20.5　プログラマブル入出力ポート予約ビット、VFD制御ビットの設定プログラム例

20.11 フラッシュメモリ版とマスクROM版の相違点

フラッシュメモリ版とマスクROM版は、内部ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。マスクROM版への切り替え時は、フラッシュメモリ版で実施したシステム評価試験と同等の試験を実施してください。

20.12 マスクROM版

マスクROM版の内部ROM領域に対して、書き込みを行わないでください。

20.13 フラッシュメモリ版

FLASH版はプログラム開発用(評価用)ですので、量産には使用しないでください。

20.13.1 フラッシュメモリ書き換え禁止機能

0FFFDFh、0FFFE3h、0FFFEBh、0FFFEFh、0FFFF3h、0FFFF7h、0FFFFBh番地は、IDコードを格納する番地です。これらの番地に誤ったデータを書くと、標準シリアル入出力モードによるフラッシュメモリの読み出し書き込みができなくなります。

また、0FFFFFh番地はROMCPレジスタです。

これらの番地は固定ベクタのベクタ番地(H)に当たります。

20.13.2 ストップモード

ストップモードに移行する場合は、次のようにしてください。

- FMR01ビットを“0”(CPU書き換えモード無効)にし、DMA転送を禁止した後で、CM10ビットを“1”(ストップモード)にする
- CM10ビットを“1”にする命令の次にJMP.B命令を実行する

プログラム例

```
        BSET    0, CM1      ; ストップモード
        JMP.B   L1
L1 :
        ストップモード復帰後のプログラム
```

20.13.3 ウェイトモード

ウェイトモードに移行する場合は、FMR01ビットを“0”(CPU書き換えモード無効)にした後、WAIT命令を実行してください。

20.13.4 低消費電力モード

CM05ビットが“1”(メインクロック停止)のときは、次のコマンドを実行しないでください。

- プログラム、ブロックイレーズ、イレーズ全アンロックブロック、ロックビットプログラム

20.13.5 コマンド、データの書き込み

コマンドコード、データは偶数番地に書いてください。

20.13.6 プログラムコマンド

第1バスサイクルで“xx40h”を書き、第2バスサイクルで書き込み番地にデータを書くと自動書き込み(データのプログラムとベリファイ)を開始します。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定する書き込み番地と同一かつ偶数番地にしてください。

20.13.7 ロックビットプログラムコマンド

第1バスサイクルで“xx77h”、第2バスサイクルで“xxD0h”をブロックの最上位番地(ただし、偶数番地)に書くと指定されたブロックのロックビットに“0”が書かれます。第1バスサイクルにおけるアドレス値は、第2バスサイクルで指定するブロックの最上位番地と同一にしてください。

20.13.8 動作速度

CPU書き換えモード(EW0、EW1モード)に入る前に、CM0レジスタのCM06ビット、CM1レジスタのCM17～CM16ビットで、CPUクロックを10MHz以下にしてください。また、PM1レジスタのPM17ビットは“1”(ウェイトあり)にしてください。

20.13.9 使用禁止命令

EW0モードでは、次の命令はフラッシュメモリ内部のデータを参照するため使用できません。
UND命令、INTO命令、JMPS命令、JSRS命令、BRK命令

20.13.10 割り込み

EW0モード

- 可変ベクタテーブルにベクタを持つ割り込みは、ベクタをRAM領域に移すことで使用できます。
- $\overline{\text{NMI}}$割り込み、ウォッチドッグタイマ割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。$\overline{\text{NMI}}$割り込み、ウォッチドッグタイマ割り込み発生時は、書き換え動作が中止されるので、割り込みルーチン終了後、再度、書き換えプログラムを実行してください。
- アドレス一致割り込みはフラッシュメモリ内部のデータを参照するため使用できません。

EW1モード

- 自動書き込み、自動消去の期間に、可変ベクタテーブルにベクタを持つ割り込みや、アドレス一致割り込みが受け付けられないようにしてください。
- ウォッチドッグタイマ割り込みは使用しないでください。
- $\overline{\text{NMI}}$割り込みは、割り込み発生時に強制的にFMR0レジスタ、FMR1レジスタが初期化されるので使用できます。固定ベクタテーブルに各割り込みルーチンの飛び先番地を設定してください。$\overline{\text{NMI}}$割り込み発生時は、書き換え動作が中止されるので、割り込みルーチン終了後、再度、書き換えプログラムを実行してください。

20.13.11 アクセス方法

FMR01ビット、FMR02ビット、FMR11ビットを“1”にする場合、対象となるビットに“0”を書いた後、続けて“1”を書いてください。なお、“0”を書いた後、“1”を書くまでに割り込み、DMA転送が入らないようにしてください。また、$\overline{\text{NMI}}$端子に“H”を入力した状態で行ってください。

20.13.12 ユーザROM領域の書き換え

EW0モード

- 書き換え制御プログラムが格納されているブロックを書き換えている最中に電源電圧が低下すると、書き換え制御プログラムが正常に書き換えられないため、その後フラッシュメモリの書き換えができなくなる可能性があります。この場合、標準シリアル入出力モードを使用してください。

EW1モード

- 書き換え制御プログラムが格納されているブロックを書き換えないでください。

20.13.13 DMA転送

EW1モードでは、FMR0レジスタのFMR00ビットが“0”(自動書き込み、自動消去の期間)にDMA転送が入らないようにしてください。

20.13.14 プログラム、イレーズ回数と実行時間について

ソフトウェアコマンド(プログラムコマンド、ブロックイレーズコマンド、イレーズ全アンロックブロックコマンド、ロックビットプログラムコマンド)の実行時間はプログラム、イレーズ回数とともに長くなります。特にプログラム、イレーズ回数が1,000回を超えるとソフトウェアコマンドの実行時間は顕著に長くなるため、ソフトウェアコマンドの待ち時間の設定は、電気的特性の最大値以上に設定してください。

ソフトウェアコマンドはハードウェアリセット1、$\overline{\text{NMI}}$割り込み、ウォッチドッグタイマ割り込みで中断されます。ソフトウェアコマンドを中断した場合、そのブロックをイレーズした後に再度実行してください。

20.14 ノイズに関する注意事項

ノイズ対策として、VCC1端子とVSS端子間、VCC2端子とVSS端子間にバイパスコンデンサ(0.1μF程度)を最短でかつ、比較的太い配線を使って接続してください。図20.6にバイパスコンデンサの接続例を示します。

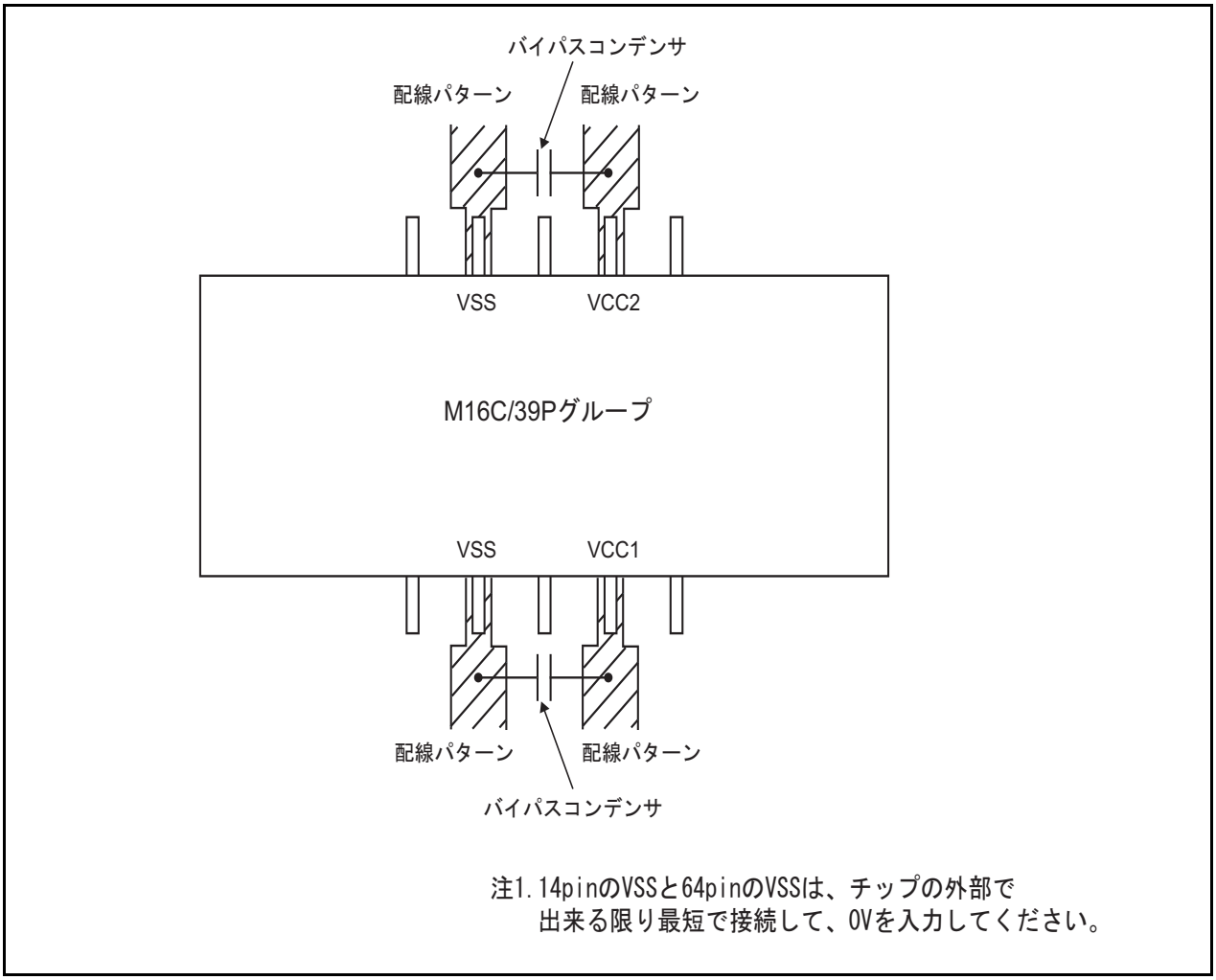
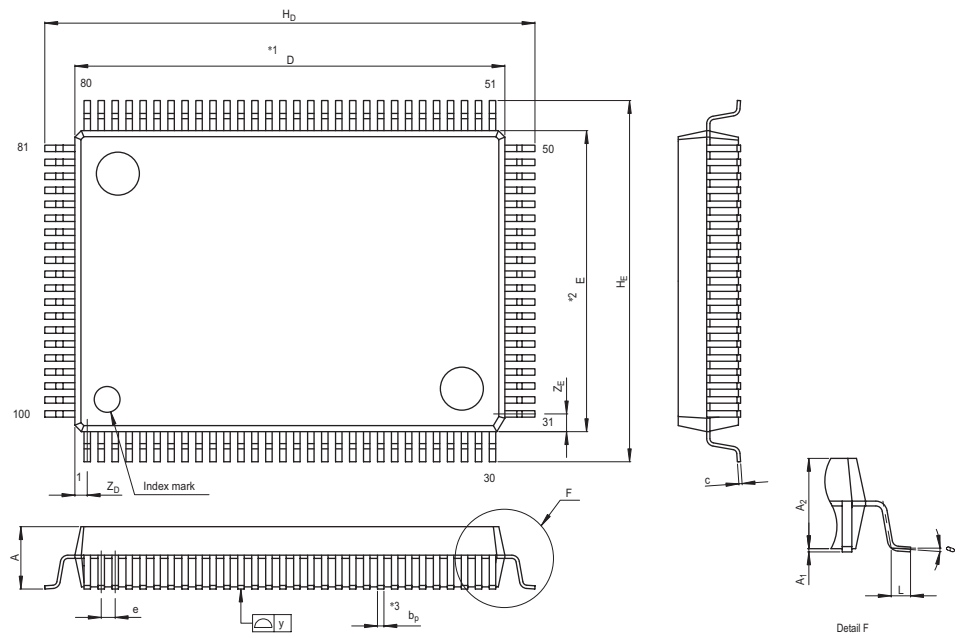


図20.6　バイパスコンデンサの接続例

付録1. 外形寸法図

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
P-QFP100-14x20-0.65	PRQP0100JB-A	100P6S-A	1.6g



NOTE)
1. DIMENSIONS "*1" AND "*2" DO NOT INCLUDE MOLD FLASH.
2. DIMENSION "*3" DOES NOT INCLUDE TRIM OFFSET.

Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	19.8	20.0	20.2
E	13.8	14.0	14.2
A_2	——	2.8	——
H_D	22.5	22.8	23.1
H_E	16.5	16.8	17.1
A	——	——	3.05
A_1	0	0.1	0.2
b_p	0.25	0.3	0.4
c	0.13	0.15	0.2
θ	0°	——	10°
e	0.5	0.65	0.8
y	——	——	0.10
Z_D	——	0.575	——
Z_E	——	0.825	——
L	0.4	0.6	0.8

SFRレジスタ図索引

A

AD0～AD7 144
ADCON0 143
ADCON1 143
ADCON2 144
ADIC 49
AIER 59

B

BCNIC 49

C

CM0 28
CM1 29
CPSRF 77,87
CRCD 177
CRCIN 177

D

DAR0 66
DAR1 66
DM0CON 65
DM0IC～DM1IC 49
DM0SL 64
DM1CON 65
DM1SL 65

F

FIDR 203
FMR0 203
FMR1 203

I

IFSR 56
IFSR2A 56
INT0IC～INT4IC 49

K

KUPIC 49

O

ONSF 49

P

P0,P1,P9,P10 185
P2 186
P3,P4 187
P5 188
P6 189
P7 190
P8 191
PC14 192
PCLKR 30
PCR 194
PD0,PD1,PD9,PD10 185
PD2 186
PD3,PD4 187
PD5 188
PD6 189
PD7 190
PD8 191
PM0 24
PM1 24
PRCR 42
PUR0～PUR2 193
PUR3 192

R

RMAD0～RMAD1 59

S

S1RIC～S2RIC 49
S0TIC～S2TIC 49
SAR0 66
SAR1 66

T

TA0～TA2 75
TA0IC～TA2IC 49
TA0MR～TA2MR 75
TABSR 76,87
TB0～TB2 86
TB0IC～TB2IC 49
TB0MR～TB2MR 86
TBSR 87
TCR0 66
TCR1 66
TRGSR 77

U

U1BCNIC 49
U0BRG～U2BRG 96
U0C0 97
U1C0～U2C0 98
U0C1～U2C1 99
U1C1～U2C1 100
U1MR～U2MR 98
U1RB～U2RB 96
U1SMR～U2SMR 101
U1SMR2～U2SMR2 102
U1SMR3～U2SMR3 102
U1SMR4～U2SMR4 103
U0TB～U2TB 96
UCON 101
UDF 76

W

WDC 61
WDTS 61

改訂記録	M16C/39P グループハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
0.50	200.07.09	-	初版発行
0.60	2004.08.26	2	表1.1 消費電流データ追加
		49	図9.3 INT割り込み制御レジスタ POL ビット 「0:立ち上がりエッジを選択」から「0:立ち下がりエッジを選択」に修正
		156	図15.6 シンボルSDATAをSTADATAに修正
		161	図15.11 スタティック表示設定用レジスタのVFD割り当て番号を修正
		184	図17.6 「注2.マスクROM版にのみVCC1側の寄生ダイオードが付加されています。」を削除
		223	表19.1 入力電圧VFD00～VFD33を削除
		223	表19.1 消費電力　条件Topr=25℃　750mWに修正
		228	表19.8 電気的特性(Vcc1=Vcc2=5V)　電源電流(Icc)データ追加
		235	表19.23 電気的特性(Vcc1=Vcc2=3V)　電源電流(Icc)データ追加
0.70	2004.09.28	-	【M16C/30Pハードウェアマニュアル Rev0.70　修正に対応】 全体　「監視タイマ」→「ウォッチドッグタイマ」に変更 「A-D変換機」→「A/Dコンバータ」に変更 「シリアルI/O」→「シリアルインタフェース」に変更(一部) 5ページ　図1.3　注2.　を追加 13ページ 表4.1　注2.　を変更(ウォッチドッグ削除) 14ページ 表4.2　PCLKRのリセット値を変更(000000XXb→00000011b) 18ページ 図5.1　注1.　を変更 23ページ 表6.2　表下の文章を削除(CNVSS端子にVCCを入力…) 24ページ 図6.1　注2.　の文章の一部を削除(PM17ビットが“1”で…) 27ページ 図7.1　「PCLK」→「PCLKR」に変更 28ページ 図7.2　注10.　(2)を修正(td(M-L)を削除) 30ページ 図7.4　PCLKRレジスタを修正(短絡防止タイマ削除) 35ページ 7.4.2.4　「すべての」を削除 39ページ 図7.7　注1.　を追加 40ページ 図7.8　注1.　を変更(td(M-L)を削除) 58ページ 9.9　アドレス一致割り込み文章一部削除(なお、外部… 以降) 60ページ 10.　ウォッチドッグタイマの文章一部削除(ホールド状態時) 58ページ 10.1　コールドスタート/ウォームスタート変更(記述の統一) 図10. 3　コールドスタート/ウォームスタートの動作例を変更 67ページ 11.1.2　BYTE端子の影響の文章削除 83ページ 図12.11　パルス幅変調モードを変更 92ページ 13.1　特殊モード3に「(：UART2)」を追加 93～94ページ 図13.1～図13.3　「PCLK」→「PCLKR」に変更 114ページ 表13.7　「ダミーデータが出力」→「“H”が出力」に修正 141ページ 表14.1　注3.　を削除(VCC2<VCC1の場合…) 143ページ 図14.2　注2.「1μs」→「10μs」に修正 144ページ 図14.3　ADCON2の注2.　(VCC2<VCC1の場合…)を削除 145ページ 表14.2　注1.　を削除(VCC2<VCC1の場合…) 146ページ 図14.4　ADCON0の注2.　の文章削除(VCC2<VCC1の場合…) ADCON1レジスタの注2.「1μs」→「10μs」に修正 147ページ 表14.3　注1.　を削除(VCC2<VCC1の場合…)

Rev.	発行日	改訂内容	
		ページ	ポイント
0.70	2004.09.28	-	148ページ 図14.5　ADCON0の注2.　の文章削除(VCC2<VCC1の場合…) ADCON1レジスタの注2.「1μs」→「10μs」に修正 179ページ 17.　プログラマブル入出力ポートの文章一部削除 (VCC2レベル…VCC1レベル…)削除 180～184ページ 図17.1～図17.5　入出力ポートの構成を変更 184ページ 図17.6　注2.　を変更(マスクROM…を削除) 193ページ 図17.15　PUR1レジスタのリセット後の値を修正 (00000010bを削除) PUR1レジスタの注3.　を削除 223ページ 表19.1　絶対最大定格を変更 224ページ 表19.2　推奨動作条件を変更 225ページ 表19.3　A/D変換特性を変更 227ページ 表19.7　電源回路のタイミング特性を変更 227ページ 図19.1　電源回路のタイミング図を追加 228ページ 表19.8　電気的特性(5V)を変更 232ページ 表19.21　シリアルインタフェースを変更　tsu(D-C) 235ページ 表19.23　電気的特性(3V)を変更 239ページ 表19.36　シリアルインタフェースを変更　tsu(D-C) 243ページ 20.1　リセットを追加、VCC2を追加 244ページ 20.2　パワーコントロールのtc(M-L)を削除 A/Dコンバータ「1μs」→「10μs」に修正 251ページ 20.6.1.1　タイマA(タイマモード)の文章「TB2SC…」を削除 20.6.1.2　タイマA(イベントカウンタモード)の文章 「TB2SC…」を削除 252ページ 20.6.1.3　タイマA(ワンショットタイマモード)の文章 「TB2SC…」を削除 253ページ 20.6.1.4　タイマA(パルス幅変調モード)の文章 「TB2SC…」を削除 257ページ 20.7.2　クロック非同期形シリアルI/Oモード(UARTモード) から特殊モード2を削除 257ページ 20.7.2　クロック非同期形シリアルI/Oモード(UARTモード) に20.7.2.1　特殊モード1(I^2Cモード)を追加 258ページ 20.8　A/Dコンバータを変更 264ページ 20.12　マスクROM版を追加
		59	図9.12　図タイトル修正
		58	図10.3 「VCCが立ち上がった時点で“0”となる」に修正
		64、65	図11.2、図11.3修正 「INT」 →「$\overline{\text{INT}}$」に修正
		72、73	図12.1、図12.2修正 「BTMOD」 → 「TMOD」に修正
		78、88	分周比 「TAiMR、TBiMR」→ 「TAi、TBi」に修正
		83	図12.11　パルス出力選択ビットを修正
		86、87	図タイトル修正
		132、133	図13.28～図13.30　図修正(破線追加)
		244	使用上の注意事項　パワーコントロール 「ストップモードからの復帰に…」を追加
		248	図20.2　注意書き修正

改訂記録	M16C/39P グループハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
0.70	2004.09.28	-	Rev0.70発行
0.71	2004.10.28	154	図15.4　t BUSYについての注意書きを追加
		158	図15.8　ディジット表示設定レジスタ注意書き追加
		160	図15.10 ディジット出力選択レジスタ注意書き追加
		172	図15.21　表示までの安定待ち注意書き追加
		188、189	P5、P6レジスタ説明図の修正
		261	プログラマブル入出力ポート予約ビットの設定を修正
		-	Rev0.71発行
0.72	2004.12.01	163	VFDコントローラ/ドライバ　複数ディジット同時オン機能説明追加
		-	Rev0.72発行
0.73	2005.02.07	4	表1.2　製品一覧表を最新データに修正
		-	UART0関連注意書きを「UART0は、VFDコントローラ/ドライバに接続されています。」に統一
		97	図13.6　U0MRレジスタ説明図 SMD0～SMD2ビットを「シリアルI/Oモード選択ビット」に修正
		99	図13.8　U0C1レジスタ説明図 U0LCH、U0EREビットを「予約ビット」に修正
		104～134	シリアルインタフェースのクロック同期形シリアルI/Oをi=1、2に修正 「UART0については15章を参照」の注意書きを追加 P105 CLK極性選択の誤記修正 表13.2、表13.6、表13.16、表13.17のUCON部の記載修正
		141	表14.1　積分非直線性誤差の誤記を修正
		152	表15.3 「VFD制御ビットの設定」を追加
		157	誤記修正 「31h、32h、33hに書き込む場合」
		166	図15.16　フローU0MR部「クロック同期形シリアルI/Oモード」に修正
		173～	VFDコントローラ/ドライバ停止制御フロー例を追加
		179	17.3　プルアップ制御レジスタ0～プルアップ制御レジスタ3の本文修正
		186～193	図17.8～図17.15　各ポートレジスタ説明図の修正 注意書きの追加/修正 ポート5のビット0、3を「予約ビット“0”にしてください。」に修正 ポート5のビット6、7を「VFD制御ビット」に修正 P5_5のPUR1レジスタによるプルアップ不可の注意書きを追加 ポート6のビット0、1を「VFD制御ビット」に修正 P141ビットを「予約ビット“1”にしてください。」に修正 PU37を「P14有効ビット」に修正
		195	表17.1　未使用端子の処理例に“注5”を追加
		197	表18.1　プログラム、イレーズ回数を修正
		223、226、229、236	電気的特性にフラッシュメモリの項目を追加
		200	ROMCPレジスタ説明図を修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.73	2005.02.07	244	使用上の注意事項　パワーコントロール 本文に【VFDコントローラ/ドライバ】の項目を追加
		261	20.10 プログラマブル入出力ポート予約ビットの設定 本文の修正、図20.4の修正
		262	プログラマブル入出力ポート予約ビットの設定プログラム例を追加
		-	Rev.0.73発行
0.74	2005.02.15	141	表14.1　A/Dコンバータの仕様　注2.　を修正 「…(φADの周波数)は10MHzに…」→「…(φADの周波数)は12MHzに…」
		144	図14.3 ADCON2レジスタ　注2.　を修正 「φADの周波数は10MHz…」→「φADの周波数は12MHz…」
		225	表19.3　A/D変換特性の注2.　を修正 「φADの周波数10MHｚに…」→「φADの周波数12MHｚに…」に修正 「また、Vcc1が4.0V未満の場合はfADを分周し、φADの周波数は10MHｚ以下にしてください。」を追加
		258	20.8　A/Dコンバータを修正 「1μs以上経過」→「10μs以上経過」に修正 「φADの周波数を10MHz以下」→「φADの周波数を12MHz以下」に修正
		-	Rev.0.74発行
0.80	2005.03.31	1	1.　概要 「…通信機器、産業機器の…」→「…通信機器、オーディオ機器の…」に変更 1.1　応用 「産業機器」を削除
		2	表1.1　性能概要 フラッシュメモリ版の項目を追加 プログラム、イレーズ電圧　3.3±0.3Vまたは5.0±0.5V プログラム、イレーズ回数　100回 電源電圧にVFDコントローラ/ドライバ使用時の値を追加 3V時の消費電流条件を10MHz、ウェイトなし、10mAに変更
		4	表1.2　製品一覧表 空欄を削除 図1.2　形名とメモリサイズ・パッケージ ROM容量から「A：96Kバイト」を削除
		5	表1.3 フラッシュメモリ版の製品コードを追加 図1.3 フラッシュメモリ版のマーキング図を追加
		8	表1.5　端子の機能説明(1) 電源入力に「(VFDコントローラ/ドライバ使用時は3.0～3.6V、4.5～5.5V)」を追加
		47	表9.2　可変ベクタテーブル フォント修正、注意書きの順序を修正
		55	図9.9　割り込み優先レベル判定回路 UART0送信の「NACK0」を記載から削除

Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	2005.03.31	60	図10.1　ウォッチドッグタイマのブロック図 「RESET」 → 「内部リセット信号(“L”アクティブ)」に修正
		74	図12.3　タイマAブロック図 「ONSFレジスタビット」 → 「ONSFレジスタのビット」に修正
		111	13.1.1.7 CTS/RTS機能 4行目の「RTS」 → 「RTS」に修正
		111	13.1.1.7 CTS/RTS機能 4行目の「CLK」 → 「CLKi」に修正
		124	表13.13　I²Cモード時の各機能 割り込み番号17、18(NACK0、ACK0)を削除 注3.「UART0使用時は…」を削除
		143、146	図14.2、図14.4　ADCON0レジスタのCKS0、ADCON1レジスタのCKS1 「注3」→「注2」に修正
		150	14.2.5 A/D変換時のセンサーの出力インピーダンス 「端子間電圧VCか0から」 → 「端子間電圧VCが0から」に修正
		151	表15.1　VFDコントローラ/ドライバの概要仕様 電源電圧VCC = 3.0～3.6V、4.5～5.5Vを追加
		151～	15.VFDコントローラ/ドライバ 「VFD制御ポート」 → 「VFD制御ビット」に記載を変更
		152	表15.3　VFD制御ビットの設定 PD5_7の起動状態の設定「“1”(出力)」 → 「任意」に修正 「注1.VFDコントローラ/ドライバ停止時…」を追加
		164	図15.14　全体フロー　VFD制御ビットの出力設定 「VFD_XIN “L”出力」を削除
		165	図15.15　VFDコントローラ/ドライバVFD制御ビットの出力設定(例) VFD_XIN設定部分を削除
		197	表18.1　フラッシュメモリ版の性能概要 プログラム、イレーズ回数、注2.の修正
		224	表19.2　推奨動作条件 注2.の追加(VFDコントローラ/ドライバ使用時の電源電圧)
		226	表19.5　フラッシュメモリの電気的特性 表タイトル、プログラム、イレーズ回数、注意書きの修正
		229	表19.9　電気的特性(2)　5V時 フラッシュメモリ消費電流の規格値を追加
		235	表19.23　電気的特性(1)　3V時のマスクROM消費電流測定条件 「10MHz、1ウェイト、分周なし　7mA」→「10MHz、0ウェイト、分周なし　10mA」に変更
		236	表19.24　電気的特性(2)　3V時 フラッシュメモリ消費電流の規格値を追加
		260	20.9　プログラマブル入出力ポート 「PC14レジスタのPD14_iビット…」記載を追加
		263	20.11 「フラッシュメモリ版とマスクROM版の相違点」記載を追加

Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	2005.03.31	265	20.13 「フラッシュメモリ版」記載を追加
		-	【M16C/30Pハードウェアマニュアル Rev0.80 修正に対応】 2ページ 表1.1 性能概要 IEBusを1チャネルに修正 4ページ 図1.2 形名とメモリサイズ・パッケージ 「M16C/39Pグループ」を追加 9ページ 表1.6 端子の機能説明(2) 入出力ポートの機能に、「(ただし、P7_0、P7_1の出力はNチャネルオープンドレイン出力)」を追加 18ページ 5.1 ハードウェアリセット 「ハードウェアリセット1」→「ハードウェアリセット」に修正 27ページ 図7.1 システムクロック発生回路 「BCLK」記載を削除 マニュアル全体(一部) 「BCLK」→「CPUクロック」に記載を変更 34ページ 7.4.1 通常動作モード 「7つのモード」→「4つのモード」に修正 36ページ 表7.4 ウェイトモードからの復帰に使用できる割り込み 「単掃引モード」を削除 58ページ 図10.3 コールドスタート/ウォームスタートの動作例 WDC5フラグ部の図を修正 72ページ 図12.1 タイマA構成 TA2TGH～TA2TGL(11)部分を修正 74ページ 図12.3 タイマAブロック図 TA2からTA0へのカスケード接続を削除 82ページ 表12.4 ワンショットタイマモードの仕様 カウント開始条件 TA2からTA0へのカスケード接続を削除 83ページ 表12.5 パルス幅変調モードの仕様 カウント開始条件 TA2からTA0へのカスケード接続を削除 104ページ 表13.1 クロック同期形シリアルI/Oモードの仕様 「fj/2(n+1)」→「fj/(2(n+1))」に修正 108ページ 13.1.1.1 通信エラー発生時の対処方法 UiTBレジスタの初期化手順 「(受信許可)」→「(送信許可)」に修正 112ページ 表13.5 UARTモードの仕様 「fj/16(n+1)」「fEXT/16(n+1)」→「fj/(16(n+1))」「fEXT/(16(n+1))」に修正 116ページ 13.1.2.1 タイトルを変更「転送速度」「実時間」→「ビットレート」 「BRG」→「UiBRG」に修正 117ページ 13.1.2.2 通信エラー発生時の対処方法 UiTBレジスタの初期化手順 「(受信許可)」→「(送信許可)」に修正 120ページ 表13.10 I^2Cモードの仕様 「fj/2(n+1)」→「fj/(2(n+1))」に修正 130ページ 表13.15 特殊モード2の仕様 「fj/2(n+1)」→「fj/(2(n+1))」に修正 134、135 13.1.5 特殊モード3(IEモード)、図13.31バス衝突検出機能関連ビットの機能 UART2のみに修正

Rev.	発行日	改訂内容	
		ページ	ポイント
0.80	05.03.31	-	136ページ　表13.18　SIMモードの仕様 「fi/16(n+1)」「fEXT/16(n+1)」→「fi/(16(n+1))」「fEXT/(16(n+1))」に修正 141ページ　表14.1　A/Dコンバータの仕様 積分非直線性誤差の誤記修正(電特の値に記載を合わせる) 注2.「φADの周波数は12MHz以下にしてください。また、VCC1が…」 →「φADの周波数は10MHz以下にしてください。」に修正 143ページ　図14.2　ADCON0、ADCON1レジスタ(ADCON1レジスタの注2) VCUTビット変更後の待ち時間を「10μs」から「1μs」に変更 144ページ　図14.3　ADCON2、AD0～AD7レジスタ(ADCON2レジスタの注2) 「φADの周波数は12MHz以下」→「φADの周波数は10MHz以下」に修正 146ページ　図14.4　単発モード時のADCON0、ADCON1レジスタ (ADCON1レジスタの注2) VCUTビット変更後の待ち時間を「10μs」から「1μs」に変更 148ページ　図14.5　繰り返しモード時のADCON0、ADCON1レジスタ (ADCON1レジスタの注2) VCUTビット変更後の待ち時間を「10μs」から「1μs」に変更 150ページ　14.2.5　A/D変換時のセンサーの出力インピーダンス 「分解されるレベル間隔」→「分解能」 「-7.8×10^3≒」→「-7.8×10^3＝」に修正 「fAD」→「ΦAD」に修正 225ページ　表19.3　A/D変換特性 注2.「φADの周波数は12MHz以下にしてください。また、VCC1が…」 →「φADの周波数は10MHz以下にしてください。」に修正 228ページ　電気的特性(1)　(VCC=5V) ヒステリシス「TB1IN」→「TB0IN～」に修正 ヒステリシス　RESETの規格値(最大値)を変更「2.2」→「2.5」 235ページ　電気的特性(1)　(VCC=3V) 「TB1IN」→「TB0IN～」に修正 条件f(XIN)=5MHzを削除 244ページ　20.2　パワーコントロール【A/Dコンバータ】 VCUTビット変更後の待ち時間を「10μs」から「1μs」に変更 258ページ　A/Dコンバータ VCUTビット変更後の待ち時間を「10μs」から「1μs」に変更 φADの周波数を「12MHz」から「10MHz」に変更 「・繰り返しモードで使用する場合…」を追加
		-	Rev.0.80発行
1.00	05.09.20	-	フラッシュメモリ版の製品コードを削除 フラッシュメモリ版のマーキング図を削除
		-	2ページ 表1.1 注5 5ページ 図1.3 8ページ 表1.5 219ページ 表18.7 268ページ 図20.6 「14pinのVSSと64pinのVSSは、チップの外部で出来る限り最短で接続して、0Vを入力してください。」の記載を追加。
		4	表1.2 製品一覧表のパッケージ型名を新型名に変更 図1.2 パッケージ型名を新型名に変更

改訂記録	M16C/39P グループハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	05.09.20	5	図1.3 パッケージ型名を新型名に変更
		6、7	表 1.3 表1.4 端子名一覧表(1)(2)を追加
		18	5. リセット　記載順を変更
		21	5.3 コールドスタート/ウォームスタート判定機能を追加 10. ウォッチドッグタイマのコールドスタート/ウォームスタートを移動
		31	図7.5 メインクロックの接続回路例を変更
		32	図7.6 サブクロックの接続回路例を変更
		37	表7.5 ストップモードからの復帰に使用できる割り込みと使用条件 文章を表にまとめる
		47	表9.2 可変ベクタテーブル UART0送信の(注3)を削除
		54	9.5.8 割り込みルーチンからの復帰 「レジスタバンクを切り替えた場合、…切り替わります。」記載追加 9.5.9 割り込み優先順位 「同一サンプリング時点(割り込みの要求があるかどうか調べるタイミング)で、」文章を変更
		55	9.5.10 割り込み優先レベル判定回路 「同一サンプリング時点で要求のある割り込みから、」記載追加
		63	表11.1 DMACの仕様 DMA転送サイクル数の追加
		73	図12.2　タイマB0割り込み下の「●」を削除
		79	表12.2　TA0からTA2、TA2からTA0へのカスケード接続を削除
		89	表12.7 イベントカウンタモードの仕様 「カウントソースの有効エッジには立ち上がり、立ち下がり、または立ち下がりと立ち上がりをプログラムによって選択可」に記載変更
		93	図13.2 UART1ブロック図 CRD部の記載変更
		94	図13.3 UART2ブロック図 CRD部の記載変更
		96	図13.5 UARTi受信バッファレジスタ 注3.の追加 UARTi転送速度レジスタ 注4. の追加
		97	図13.6　UART0送受信制御レジスタ0 注2. の追加
		98	図13.7　UARTi送受信制御レジスタ0 注5. の追加
		104	表13.1 クロック同期形シリアルI/Oモードの仕様 注3.「UiRBレジスタ内の受信データ」に修正

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.09.20	107	図13.13 クロック同期形シリアルI/Oモード時の送信、受信タイミング例 図の修正
		112	表13.5 UARTモードの仕様 注2.「UiRBレジスタ内の受信データ」に修正
		115	図13.18 UARTモード時の送信タイミング例 図の修正
		116	表13.9 ビットレート 周辺機能クロック：24MHzを削除
		136	表13.18 「受信許可)」 → 「(受信許可)」に修正
		138	図13.32 SIMモードの送受信タイミング例 図の修正
		140	13.1.6.2 フォーマット 本文の追加
		150	14.2.5 A/D変換時のセンサーの出力インピーダンス f(XIN) → f(φAD)
		178	図16.3 CRC演算例 図文章の記載変更
		152	表15.2 VFD_CS 「“L”のとき」 → 「“L”の時、」に修正
		184	図17.6 端子の構成 注2. を削除
		206	図18.7 低消費電力モード前後の処理 「低消費電力モードまたは・・・」→「低消費電力モード」に修正
		224	注4. に記載追加 全ポートのIOL(peak)の合計およびIOH(peak)の合計は80mA以下にしてください。
		225	表19.4 VFD特性 Digitとして使用時 Vcc=3.0～5.5V IOH=-18mA VOH>=VCC-2.0V Segment or LEDとして使用時 Vcc=3.0～5.5V IOH=-5mA VOH>=VCC-2.0Vに変更
		244	20.2 パワーコントロール ウェイトモード、ストップモードに移行するときの注意事項追加
		249	20.4.6 割り込み制御レジスタの変更 例1 NOP命令の数を削除
		255	20.6.2.3 タイマB(パルス周期測定/パルス幅測定モード) 6段落目のMR3は… 「割り込みルーチン」を削除
		258	20.8 A/Dコンバータ 「AN4～AN7は、…消費電流が増加します。」本文の追加
		258	図20.3 各端子の処理例 図の修正
		269	外形寸法図の変更

改訂記録	M16C/39P グループハードウェアマニュアル

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2005.09.20	-	2ページ　性能概要 4ページ　製品一覧表 197ページ　フラッシュメモリ版 226ページ　フラッシュメモリ版の 265ページ　フラッシュメモリの電気的特性 FLASH版についての注意書きを追加
		-	Rev.1.00発行

ハードウェアマニュアル
M16C/39Pグループ

発行年月日　2005年9月20日　Rev.1.00

発行　　株式会社 ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町2-6-2
© 2005. Renesas Technology Corp., All rights reserved. Printed in Japan.

M16C/39P グループ
ハードウェアマニュアル

RENESAS
ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09N0001-0100