

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

# Low Latency DRAM の使い方

---

[× 毛]

## 目次要約

第1章	概 要	...	14
第2章	コマンド	...	27
第3章	リフレッシュ	...	58
第4章	電源投入	...	61
第5章	PLL 回路	...	65
第6章	出力インピーダンス・マッチング	...	67
第7章	終端抵抗	...	69
第8章	On Die Termination (ODT)	...	71

## CMOSデバイスの一般的注意事項

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

QDR RAM と Quad Data Rate RAM は、サイプレスセミコンダクタ社、ルネサステクノロジ社、IDT 社、NEC エレクトロニクス、サムスン電子社により開発された製品の新しいシリーズを含みます。

- 本資料に記載されている内容は2008年4月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っていません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E0710J

# はじめに

- 対象者** このマニュアルは、Low Latency DRAM を用いたアプリケーション・システムを設計するユーザを対象とします。
- 目的** このマニュアルは、Low Latency DRAM の基本的な性能とその使い方について理解していただくことを目的とします。各製品の詳細な数値等はそれぞれのデータ・シートを参照してください。
- 読み方** このマニュアルの読者には、電気、論理回路とメモリ品の一般的な知識を必要とします。各製品の機能の詳細はそれぞれのデータ・シートを参照してください。なお、このユーザズ・マニュアルに記載している動作例は参考例を示したもので、記載されているデータなどは保証値ではありません。参考値として使用してください。
- 凡例**
- |                        |                    |
|------------------------|--------------------|
| データ表記の重み               | : 左が上位桁, 右が下位桁     |
| XXX# ( 端子, 信号名称のあとに# ) | : アクティブ・ロウの表記      |
| 注                      | : 本文中につけた注の説明      |
| 注意                     | : 気をつけて読んでいただきたい内容 |
| 備考                     | : 本文中の補足説明         |
- 構成** このマニュアルは、次の内容で構成しています。

- 第1章 概要
- 第2章 コマンド
- 第3章 リフレッシュ
- 第4章 電源投入
- 第5章 PLL 回路
- 第6章 出力インピーダンス・マッチング
- 第7章 終端抵抗
- 第8章 On Die Termination (ODT)

# 目 次

<b>第1章 概 要</b> ...	14
1.1 特 徴 ...	14
1.2 CIO 品と SIO 品の特徴 ...	15
1.3 バック・オペレーション ...	16
1.4 データ転送レート(バンド幅)比較 ...	19
1.5 端子機能説明 ...	20
1.6 出力データと出力データ・クロック ...	24
1.6.1 リード・レーテンシ (trL) ...	24
1.6.2 出力データと出力データ・クロックのタイミング ...	25
1.7 HSTL インタフェースと V <sub>REF</sub> ...	26
<b>第2章 コマンド</b> ...	27
2.1 コマンド・オペレーション ...	27
2.2 DESEL/NOP コマンド ...	28
2.3 MRS コマンド ...	28
2.3.1 MRS コマンドの設定方法 ...	28
2.3.2 コンフィギュレーション設定 ...	31
2.3.3 パースト長 (BL) の設定 ...	33
2.3.4 アドレス Non-MUX とアドレス MUX の設定 ...	34
2.3.5 PLL 設定 ...	35
2.3.6 出力インピーダンス・モード設定 ...	36
2.3.7 ODT (On Die Termination) 機能設定 ...	37
2.4 READ コマンドと WRITE コマンド ...	38
2.5 AREF ...	57
<b>第3章 リフレッシュ</b> ...	58
3.1 リフレッシュについて ...	58
3.1.1 分散リフレッシュ ...	58
3.1.2 パースト・リフレッシュ ...	60
<b>第4章 電源投入</b> ...	61
4.1 アドレス Non-MUX の場合 ...	61
4.2 アドレス MUX の場合 ...	63

## 第5章 PLL 回路 ... 65

### 5.1 PLL 回路の搭載 ... 65

#### 5.1.1 PLL 回路のメリット ... 65

#### 5.1.2 PLL 回路の無効化 ... 66

#### 5.1.3 クロック停止 ... 66

#### 5.1.4 動作周波数の変更 ... 66

## 第6章 出力インピーダンス・マッチング ... 67

### 6.1 出力インピーダンスの調整 ... 67

## 第7章 終端抵抗 ... 69

### 7.1 終端抵抗の効果 ... 69

## 第8章 On Die Termination (ODT) ... 71

### 8.1 ODT 機能の設定 ... 71

### 8.2 各端子のODT オン・タイミング ... 71

### 8.3 ODT の構造 ... 73

### 8.4 ODT のDC パラメータ ... 73

## 図の目次 (1/3)

図番号	タイトル, ページ
1 - 1	CIO 品のタイミング・チャート (アドレス Non-MUX, BL=2, コンフィギュレーション 1) ... 15
1 - 2	SIO 品のタイミング・チャート (アドレス Non-MUX, BL=2, コンフィギュレーション 1) ... 16
1 - 3	CIO 品のタイミング・チャート (アドレス Non-MUX, BL=2, コンフィギュレーション 1) ... 17
1 - 4	SIO 品のタイミング・チャート (アドレス Non-MUX, BL=2, コンフィギュレーション 1) ... 17
1 - 5	CIO 品のリフレッシュ動作を含むタイミング・チャート (アドレス Non-MUX, BL=2, コンフィギュレーション 1) ... 18
1 - 6	SIO 品のリフレッシュ動作を含むタイミング・チャート (アドレス Non-MUX, BL=2, コンフィギュレーション 1) ... 18
1 - 7	バンド幅効率 リード/ライトのコマンド入力比率依存性 ... 19
1 - 8	リード・タイミング・チャート (アドレス Non-MUX 時, BL=2, コンフィギュレーション 1, 2, 3) ... 25
1 - 9	リード・タイミング・チャート (アドレス MUX 時, BL=4, コンフィギュレーション 1, 2, 3) ... 26
2 - 1	MRS コマンド入力のタイミング・チャート (アドレス Non-MUX の場合) ... 28
2 - 2	MRS コマンド入力時の端子の入力状態 (アドレス Non-MUX の場合) ... 29
2 - 3	MRS 設定のタイミング・チャート (アドレス MUX の場合) ... 30
2 - 4	MRS コマンド入力時の端子の入力方法 (アドレス MUX の場合) ... 30
2 - 5	CIO 品のタイミング・チャート (アドレス Non-MUX, BL=2, コンフィギュレーション 1) ... 38
2 - 6	SIO 品のタイミング・チャート (アドレス Non-MUX, BL=2, コンフィギュレーション 1) ... 38
2 - 7	リード・コマンド連続のタイミング・チャート (CIO 品, アドレス Non-MUX, BL=2, コンフィギュレーションごと) ... 39
2 - 8	ライト・コマンド連続のタイミング・チャート (CIO 品, アドレス Non-MUX, BL=2, コンフィギュレーションごと) ... 40
2 - 9	リードからライトへコマンドが切り替わる場合のタイミング・チャート (CIO 品, アドレス Non-MUX, BL=2, コンフィギュレーションごと) ... 41
2 - 10	ライトからリードへコマンドが切り替わる場合のタイミング・チャート (CIO 品, アドレス Non-MUX, BL=2, コンフィギュレーション ... 42
2 - 11	リード・コマンド連続のタイミング・チャート (CIO 品, アドレス Non-MUX, コンフィギュレーション 2, BL ごと) ... 43
2 - 12	ライト・コマンド連続のタイミング・チャート (CIO 品, アドレス Non-MUX, コンフィギュレーション 2, BL ごと) ... 44
2 - 13	リードからライトへコマンドが切り替わるタイミング・チャート (CIO 品, アドレス Non-MUX, コンフィギュレーション 2, BL ごと) ... 45
2 - 14	ライトからリードへコマンドが切り替わるタイミング・チャート (CIO 品, アドレス Non-MUX, コンフィギュレーション 2, BL ごと) ... 46
2 - 15	CIO 品のアドレス Non-MUX 時のタイミング・チャート (BL=4, コンフィギュレーション 1) ... 47
2 - 16	CIO 品のアドレス MUX 時のタイミング・チャート (BL=4, コンフィギュレーション 1) ... 47
2 - 17	SIO 品のアドレス Non-MUX 時のタイミング・チャート (BL=4, コンフィギュレーション 1) ... 48
2 - 18	SIO 品のアドレス MUX 時のタイミング・チャート (BL=4, コンフィギュレーション 1) ... 48
2 - 19	CIO 品, アドレス Non-MUX, BL=2, コンフィギュレーション = 1 のタイミング・チャート ... 49
2 - 20	CIO 品, アドレス Non-MUX, BL=4, コンフィギュレーション = 1 のタイミング・チャート ... 50

## 図の目次 (2/3)

図番号	タイトル, ページ
2 - 21	CIO 品, アドレス Non-MUX, BL=8, コンフィギュレーション = 2 のタイミング・チャート ... 50
2 - 22	CIO 品, アドレス MUX, BL=2, コンフィギュレーション = 1 のタイミング・チャート ... 51
2 - 23	CIO 品, アドレス MUX, BL=4, コンフィギュレーション = 1 のタイミング・チャート ... 51
2 - 24	CIO 品, アドレス MUX, BL=8, コンフィギュレーション = 2 のタイミング・チャート ... 52
2 - 25	SIO 品, アドレス Non-MUX, BL=2, コンフィギュレーション = 1 のタイミング・チャート ... 52
2 - 26	SIO 品, アドレス Non-MUX, BL=4, コンフィギュレーション = 1 のタイミング・チャート ... 53
2 - 27	SIO 品, アドレス Non-MUX, BL=8, コンフィギュレーション = 2 のタイミング・チャート ... 53
2 - 28	SIO 品, アドレス MUX, BL=2, コンフィギュレーション = 1 のタイミング・チャート ... 54
2 - 29	SIO 品, アドレス MUX, BL=4, コンフィギュレーション = 1 のタイミング・チャート ... 54
2 - 30	SIO 品, アドレス MUX, BL=8, コンフィギュレーション = 2 のタイミング・チャート ... 55
2 - 31	SIO 品, リード/ライト・インタリーブ動作のタイミング・チャート(アドレス Non-MUX, BL=4, コンフィギュレーション = 1) ... 55
2 - 32	SIO 品, リード/ライト・インタリーブ動作のタイミング・チャート(アドレス Non-MUX, BL=8, コンフィギュレーション = 2) ... 56
2 - 33	オート・リフレッシュ・コマンド ... 57
2 - 34	オート・リフレッシュ・サイクル ... 57
3 - 1	バンク/ワード分散リフレッシュのタイミング・イメージ ... 58
3 - 2	バンク/ワード分散リフレッシュのタイミング・チャート ... 58
3 - 3	ワード分散リフレッシュのタイミング・イメージ ... 59
3 - 4	ワード分散リフレッシュのタイミング・チャート ... 59
3 - 5	バースト・リフレッシュのタイミング・イメージ(400 MHz 動作時) ... 60
3 - 6	バースト・リフレッシュのタイミング・チャート(400 MHz 動作時) ... 60
4 - 1	アドレス Non-MUX 時の電源投入シーケンス ... 62
4 - 2	アドレス MUX 時の電源投入シーケンス ... 64
5 - 1	PLL 回路の入力ジッタ量に対する出力ジッタ量の依存性 ... 65
6 - 1	出力インピーダンスの設定例 ... 68
7 - 1	終端した場合の信号波の伝達イメージ ... 69
7 - 2	終端しない場合の信号波の伝達イメージ ... 70

## 図の目次 (3/3)

図番号	タイトル, ページ
8 - 1	CIO 品の ODT 使用時のタイミング・チャート (アドレス Non-MUX, BL=2, コンフィギュレーション 1) ... 72
8 - 2	SIO 品の ODT 使用時のタイミング・チャート (アドレス Non-MUX, BL=2, コンフィギュレーション 1) ... 72
8 - 3	ODT 等価回路図 ... 73

## 表の目次 (1/2)

表番号	タイトル, ページ
1 - 1	288 Mb Low Latency DRAM 製品分類 ... 14
1 - 2	設定可能な製品機能 ... 14
1 - 3	バンク対応表 ... 16
1 - 4	CIO 品, SIO 品共通端子 ... 20
1 - 5	CIO 品固有端子 ... 23
1 - 6	SIO 品固有端子 ... 23
1 - 7	アドレス Non-MUX 時の $t_{RL}$ テーブル (CIO 品, SIO 品共通) ... 24
1 - 8	アドレス MUX 時の $t_{RL}$ テーブル (CIO 品, SIO 品共通) ... 24
2 - 1	コマンドの種類と内容 ... 27
2 - 2	コマンド確定表 ... 27
2 - 3	使用アドレス数 ... 27
2 - 4	機能設定に対するアドレス端子の割り付け (アドレス Non-MUX の場合) ... 29
2 - 5	MRS 設定のアドレス端子の割り付け (アドレス MUX の場合) ... 30
2 - 6	コンフィギュレーション設定内容 (アドレス Non-MUX の場合) ... 31
2 - 7	コンフィギュレーション設定 (アドレス Non-MUX の場合) ... 31
2 - 8	コンフィギュレーション設定内容 (アドレス MUX の場合) ... 32
2 - 9	コンフィギュレーション設定 (アドレス MUX の場合) ... 32
2 - 10	BL 設定 (アドレス Non-MUX の場合) ... 33
2 - 11	BL 設定 (アドレス MUX の場合) ... 33
2 - 12	アドレス・マルチプレクス機能設定 (アドレス Non-MUX の場合) ... 34
2 - 13	アドレス・マルチプレクス機能設定 (アドレス MUX の場合) ... 34
2 - 14	PLL 設定 (アドレス Non-MUX の場合) ... 35
2 - 15	PLL 設定 (アドレス MUX の場合) ... 35
2 - 16	出力インピーダンス・モード設定 (アドレス Non-MUX の場合) ... 36
2 - 17	出力インピーダンス・モード設定 (アドレス MUX の場合) ... 36
2 - 18	ODT 機能設定 (アドレス Non-MUX の場合) ... 37
2 - 19	ODT 機能設定 (アドレス MUX の場合) ... 37
2 - 20	読み出し動作 / 書き込み動作のタイミング・チャート一覧 ... 49
5 - 1	モード・レジスタ・コード ... 65
5 - 2	動作最低周波数 ... 66

## 表の目次 (2/2)

表番号	タイトル, ページ
6 - 1	モード・レジスタ・コード ... 67
8 - 1	モード・レジスタ・コード ... 71
8 - 2	モード・レジスタ・コード ... 71
8 - 3	ODTのDC仕様 ... 73

# 第1章 概要

NEC エレクトロニクスでは、ネットワーク機器向けのメモリとして QDR™ SRAM , DDR SRAM , Low Latency DRAM を開発しています。ネットワーク機器の中でも QDR SRAM , DDR SRAM は高速のランダム・アクセス性能を必要とする用途に、Low Latency DRAM はメモリ容量とランダム・アクセス性能とを必要とする用途に最適なメモリです。また、Low Latency DRAM は、ネットワーク機器向けだけでなく、デジタル家電向けにも用途が広がっています。本書は、Low Latency DRAM の使い方について記述したものです。

## 1.1 特徴

Low Latency DRAM は、高機能なネットワーク・スイッチ、ネットワーク・ルータやデジタル家電などのバッファ・メモリに最適なメモリです。メモリ・セル・アレイを 8 バンク構成にすることで、ランダム・アクセス性能を向上しています。

Low Latency DRAM は、表 1 - 1 に示すように、I/O 構成と I/O 電圧にて 4 種類の製品に大別されます。I/O 電圧 1.5 V 用の製品と 1.8 V 用の製品とはオーダ名称が異なりますので、ご使用になる I/O 電圧製品を選択してください。

表 1 - 1 288 Mb Low Latency DRAM 製品分類

オーダ名称	I/O 構成	I/O 電圧	I/O 電圧絶対最大定格
μPD482882xxFF-EFxx	コモン (CIO)	1.5 V	1.975 V
μPD482881xxFF-EFxx	セパレート (SIO)	1.5 V	1.975 V
μPD482882xxFF-Exx	コモン (CIO)	1.8 V	2.1 V
μPD482881xxFF-Exx	セパレート (SIO)	1.8 V	2.1 V

Low Latency DRAM では、表 1 - 2 に示す製品機能を用途に合わせて設定することが可能です。ただし、機能の組み合わせに制限を設けているものもありますので、設定内容や設定方法については 2.3 MRS コマンドを参照してください。

表 1 - 2 設定可能な製品機能

設定可能な製品機能
コンフィギュレーション ・ランダム・サイクル・タイム (trc) ・リード・レーテンシ (trL) ・ライト・レーテンシ (twL)
バースト長
アドレス・マルチプレクス機能
PLL 機能
出力インピーダンス・モード機能
ODT 機能 <sup>注</sup>

注 ODT : On Die Termination

## 1.2 CIO 品と SIO 品の特徴

CIO (Common I/O) 品と SIO (Separate I/O) 品では、使用する端子数やコマンドの入力タイミングが異なります。

CIO 品は、データ・ポートが入力と出力を兼ねた製品です。そのため SIO 品に比べて使用する I/O 端子数を半減することができます。ただし、CIO 品の場合、図 1-1 のようにライト・コマンド入力からリード・コマンド入力に切り替える際に NOP サイクルの挿入が必要となります。

SIO 品は、データ・ポートが入力用と出力用が分離独立した製品です。そのため、CIO 品に比べデータ転送レート (バンド幅) を向上することができます。また、図 1-2 のように CIO 品の場合に必要なライト・コマンド入力からリード・コマンド入力に切り替える際の NOP サイクルの挿入が不要になります。

図 1-1 CIO 品のタイミング・チャート (アドレス Non-MUX, BL = 2, コンフィギュレーション 1)

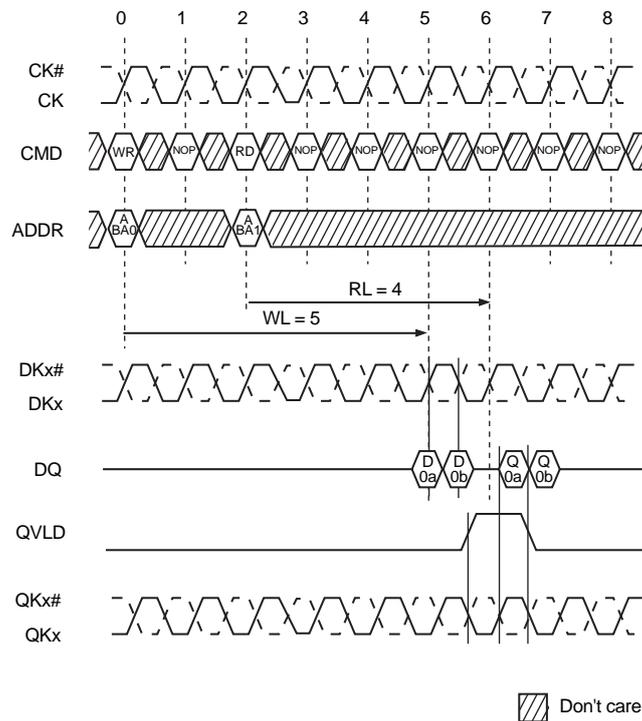
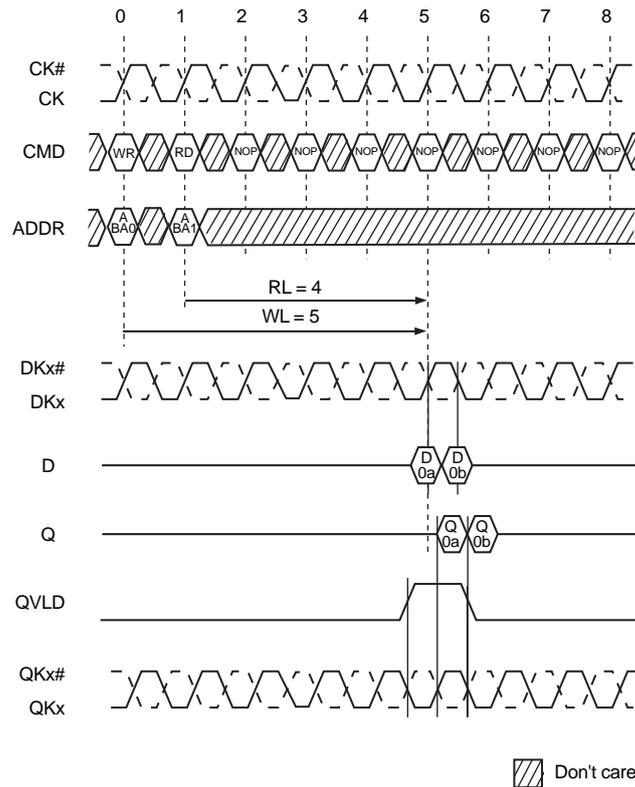


図 1-2 SIO 品のタイミング・チャート (アドレス Non-MUX, BL=2, コンフィギュレーション1)



### 1.3 バンク・オペレーション

メモリ・セル・アレイを 8 バンク構成にしており、それぞれのバンクを個別に制御できます。各バンクを自由に選択することで、任意のバンクをリフレッシュ動作させている期間でも他のバンクを通常動作させることができます。

バンクの選択は、バンク・アドレス[BA2:0]の入力レベルにより設定できます。表 1-3 に各バンクの選択アドレスの対応表を示します。

表 1-3 バンク対応表

選択バンク	BA2	BA1	BA0
バンク0	0	0	0
バンク1	0	0	1
バンク2	0	1	0
バンク3	0	1	1
バンク4	1	0	0
バンク5	1	0	1
バンク6	1	1	0
バンク7	1	1	1

図 1-3, 1-4, 1-5, 1-6 に代表的なバンク・オペレーションのタイミング・チャート例を示します。

図 1-3 CIO 品のタイミング・チャート (アドレス Non-MUX, BL = 2, コンフィギュレーション1)

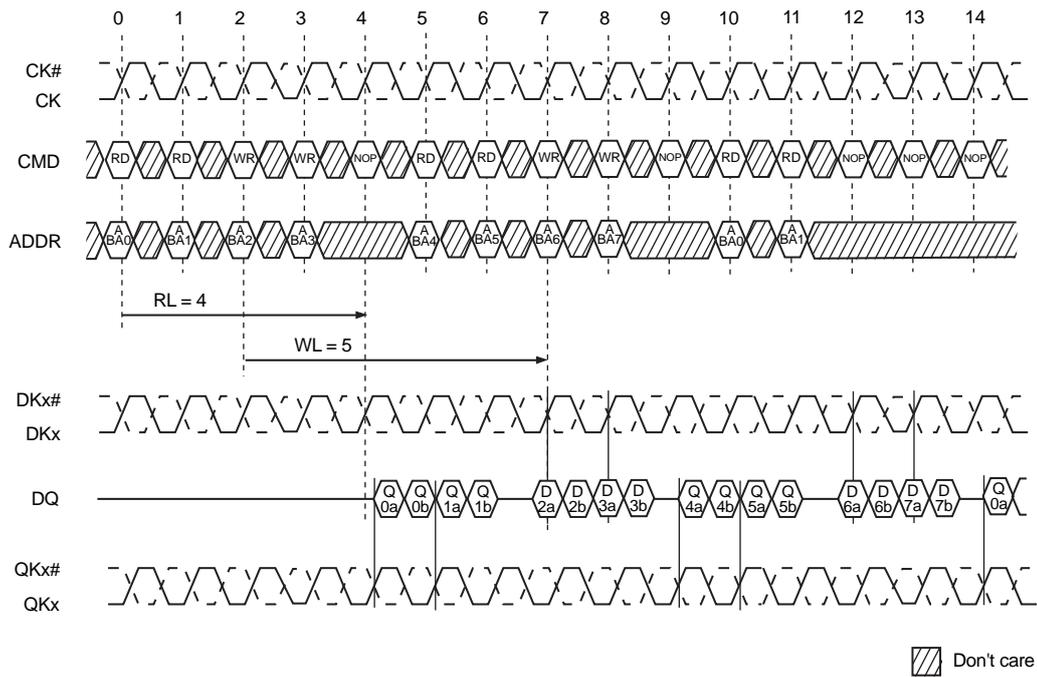


図 1-4 SIO 品のタイミング・チャート (アドレス Non-MUX, BL = 2, コンフィギュレーション1)

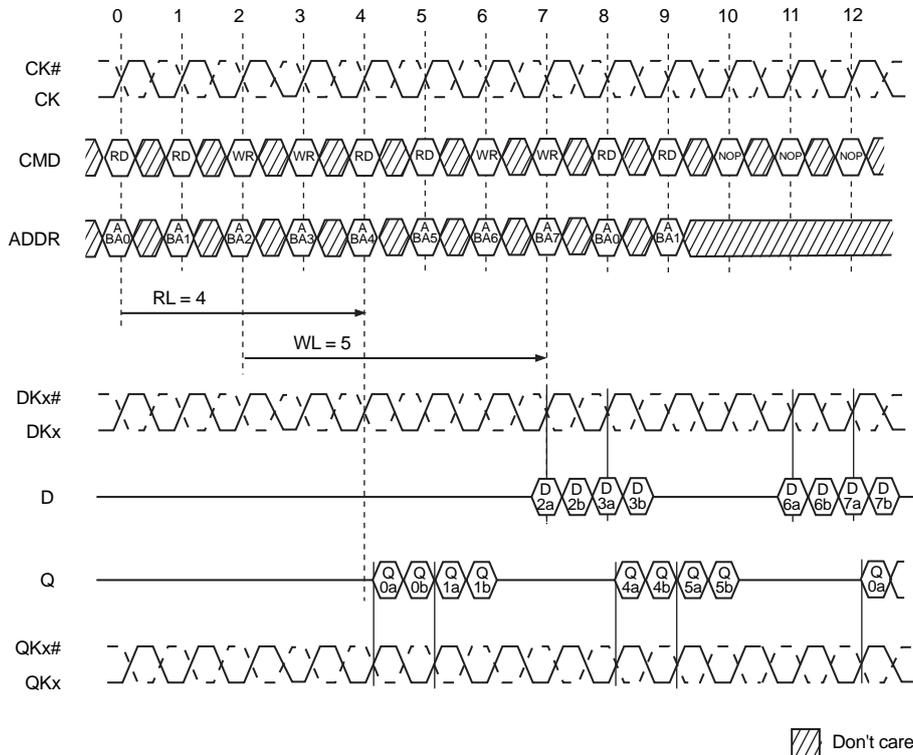


図 1 - 5 CIO 品のリフレッシュ動作を含むタイミング・チャート (アドレス Non-MUX, BL = 2, コンフィギュレーション 1)

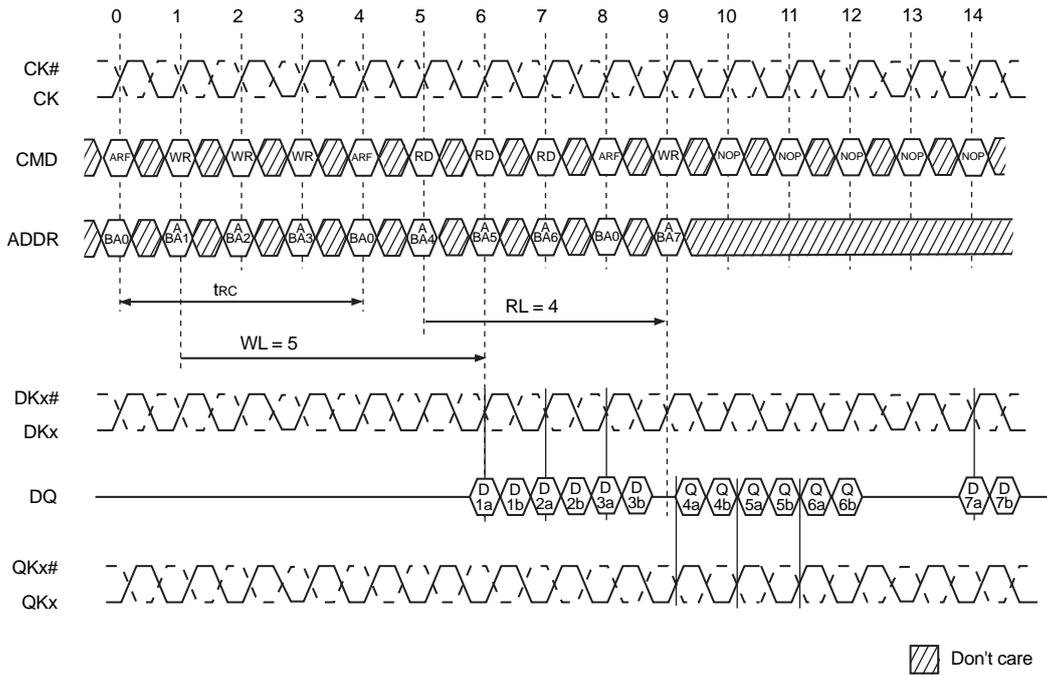
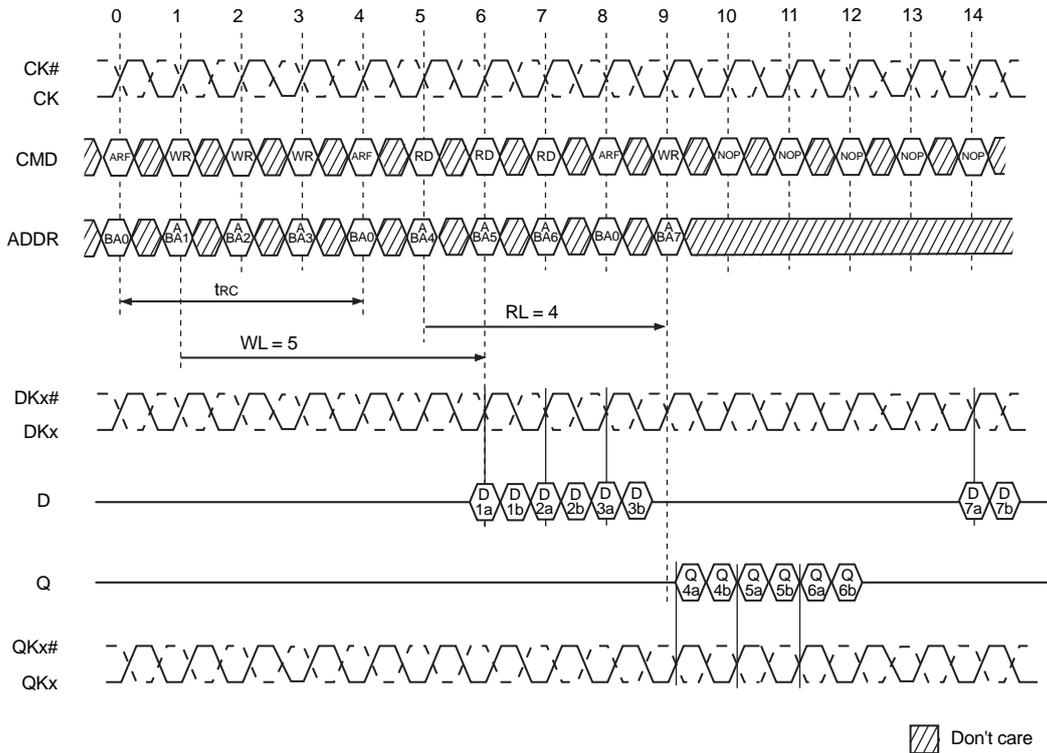


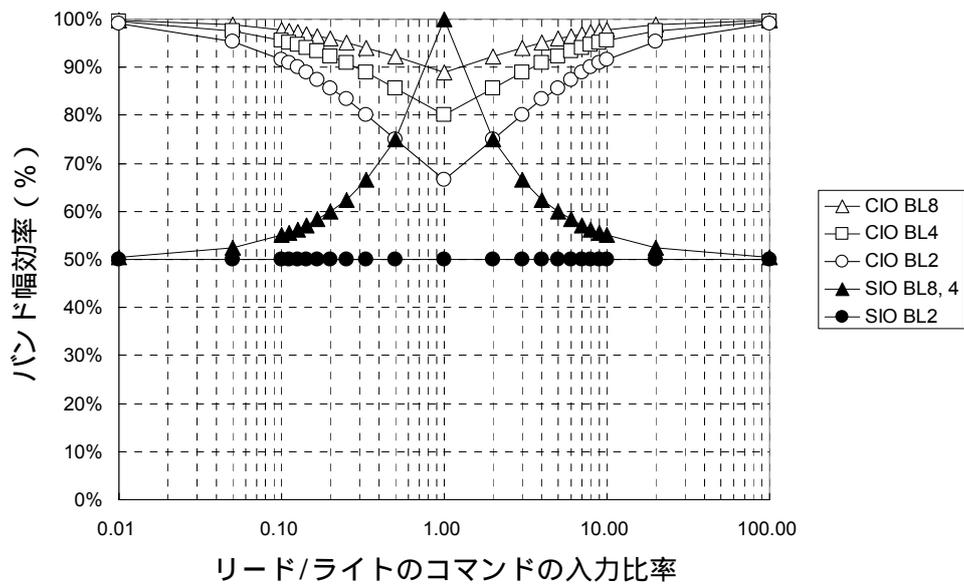
図 1 - 6 SIO 品のリフレッシュ動作を含むタイミング・チャート (アドレス Non-MUX, BL = 2, コンフィギュレーション 1)



## 1.4 データ転送レート（バンド幅）比較

データ転送レート（バンド幅）とは、データ・ポート（D 端子，Q 端子もしくはDQ 端子）におけるデータの転送能力です。製品（CIO 品，SIO 品），ビット構成（x9，x18，x36），バースト長（BL = 2，4，8），動作周波数，読み出し動作と書き込み動作の動作比率によりバンド幅は変化します。図 1-7 に製品およびバースト長ごとのリード・コマンドとライト・コマンドの入力比率とバンド幅の効率の関係を示します。ここでは，同一の動作周波数とビット構成で比較しています。

図 1-7 バンド幅効率 リード/ライトのコマンド入力比率依存性



## 1.5 端子機能説明

製品の端子機能について説明します。表 1 - 4 は CIO 品と SIO 品の共通する端子, 表 1 - 5 は CIO 品固有の端子, 表 1 - 6 は SIO 品固有の端子の説明になります。

表 1 - 4 CIO 品, SIO 品共通端子 (1/3)

端子名	タイプ	端子機能
CK, CK#	Input	<p>入力クロック</p> <p>コマンド信号やアドレス信号の入力タイミングの基準となるクロック信号の入力端子です。コマンド信号やアドレス信号は, CK の立ち上がりエッジに同期して入力する必要があります。CK, CK#はディファレンシャル・クロック入力になります。なお, CK, CK#は互いに 180 度の位相差で入力してください。</p>
CS#	Input	<p>チップ・セレクト</p> <p>コマンド入力を制御する端子です。CK/CK#のクロスポイントのうち, CK の立ち上がりエッジ時に CS# = LOW の場合, コマンド入力が有効となります。CS# = HIGH の場合, コマンド入力は無効となります。</p>
WE#	Input	<p>ライト・コマンド入力</p> <p>書き込みコマンド入力と読み出しコマンド入力を制御する端子です。CK/CK#のクロスポイントのうち, CK の立ち上がりエッジ時に WE# = LOW, CS# = LOW, REF# = HIGH の場合に書き込みコマンドになります。WE# = HIGH, CS# = LOW, REF# = HIGH の場合に読み出しコマンドになります。</p>
REF#	Input	<p>リフレッシュ・コマンド入力</p> <p>リフレッシュ・コマンド入力を制御する端子です。CK/CK#のクロスポイントのうち, CK の立ち上がりエッジ時に REF# = LOW, CS# = LOW, WE# = HIGH の場合にオート・リフレッシュ・コマンドになります。</p>
A0-Axx	Input	<p>アドレス入力</p> <p>アドレス信号の入力端子です。CK/CK#のクロスポイントのうち, CK の立ち上がりエッジ時に書き込みのアドレス, 読み出しのアドレスを入力してください。</p> <p>また, モード・レジスタの設定をアドレス入力端子で行います。詳細は 2.3 MRS コマンドを参照ください。</p>
BA0-BA2	Input	<p>バンク・アドレス入力</p> <p>読み出しや書き込みを行うバンクを選択する端子です。この製品は 8 バンクを持っています。CK/CK#のクロスポイントのうち, CK の立ち上がりエッジ時に書き込みや読み出しを行うバンクのアドレスを入力してください。</p>
QKx, QKx#	Output	<p>出力データ・クロック</p> <p>IC が出力するクロック信号の出力端子です。QKx, QKx#は, 出力データ信号と同タイミングで出力する出力データ信号参照用のクロック信号です。QKx と QKx#は常に出力されており, お互いに 180 度の位相差で出力されます。</p> <p>x 9 品: QK0 と QK0#は出力データ Q0 (DQ0) から Q8 (DQ8) と同タイミングで出力されます。</p> <p>x18 品: QK0 と QK0#は Q0 (DQ0) から Q8 (DQ8), QK1 と QK1#は Q9 (DQ9) から Q17 (DQ17) と同タイミングで出力されます。</p> <p>x36 品: QK0 と QK0#は Q0 (DQ0) から Q17 (DQ17), QK1 と QK1#は Q18 (DQ18) から Q35 (DQ35) と同タイミングで出力されます。</p>

表 1 - 4 CIO 品, SIO 品共通端子 (2/3)

端子名	タイプ	端子機能
DKx, DKx#	Input	<p>入力データ・クロック</p> <p>データの入力タイミングの基準となるクロック信号の入力端子です。書き込むデータは, DKx/DKx# のクロスポイントに同期して入力する必要があります。DKx, DKx#はディファレンシャル・クロック入力になります。なお, DKx, DKx#は互いに 180 度の位相差で入力してください。</p> <p>x9 と x18 品: 入力データ Dxx (DQxx) は DK, DK#のタイミングに合わせて取り込まれます。</p> <p>x36 品: D0 (DQ0) から D17 (DQ17) は DK0 と DK0#の, D18 (DQ18) から D35 (DQ35) は DK1 と DK1#のタイミングに合わせて取り込まれます。</p>
DM	Input	<p>データ・マスク入力</p> <p>データを書き込む際, 任意のデータに対して書き込みを実行しないように制御する端子です。DKx と DKx#の立ち上がりエッジに同期して DM は取り込まれます。データを入力している期間中に DM = HIGH にするとデータは書き込まれません。DM = LOW の期間中は, データが書き込まれます。</p>
QVLD	Output	<p>有効データ出力期間</p> <p>有効なデータが出力する期間を示す出力信号用端子です。QVLD 信号は, QKx, QKx#と同タイミングで切り替わります。有効なデータが出力される半サイクル前に QVLD = HIGH になります。有効なデータの出力が完了する半サイクル前に QVLD = LOW になります。</p>
ZQ	Input/Output	<p>出力インピーダンス・マッチング入力</p> <p>出力インピーダンスを調整するための端子です。設定したい出力インピーダンス値の 5 倍の抵抗値 RQ を ZQ 端子と V<sub>ss</sub> の間に接続してください。データ出力端子 (Q, DQ), 出力データ・クロック (QKx, QKx#), および有効データ出力期間信号 (QVLD) の出力インピーダンス値を IC 内部で自動的に 0.2 x RQ に調整します。</p> <p>ZQ = V<sub>ss</sub> の場合はミニмум・インピーダンス・モードに, ZQ = V<sub>DDQ</sub> の場合はマキシмум・インピーダンス・モードになります。ZQ を V<sub>DD</sub> には接続しないでください。</p>
TMS	Input	<p>IEEE1149.1 テスト入力</p> <p>JTAG 機能を使用する際の JTAG テスト・モードの選択用端子です。TAP コントローラに入力するコマンドを入力してください。TCK の立ち上がりエッジに合わせ TMS を入力してください。JTAG 機能を使用しない場合は, 開放状態にしても問題ありません。</p>
TDI	Input	<p>IEEE1149.1 テスト入力</p> <p>JTAG 機能を使用する際の JTAG テスト・データの入力用端子です。JTAG インストラクション・レジスタおよびデータ・レジスタに入力するシリアル・データを入力します。TCK の立ち上がりエッジに合わせて TDI を入力してください。JTAG 機能を使用しない場合は, 開放状態にしても問題ありません。</p>
TCK	Input	<p>IEEE1149.1 クロック入力</p> <p>JTAG 機能を使用する際の JTAG テスト用のクロック入力端子です。TCK の立ち上がりエッジで TMS 端子と TDI 端子の入力信号が取り込まれ, TCK の立ち下がりエッジで TDO 端子にデータ出力が開始されます。JTAG 機能を使用しない場合は, 必ず V<sub>ss</sub> に接続してください。</p>
TDO	Output	<p>IEEE1149.1 テスト出力</p> <p>JTAG 機能を使用する際の JTAG テスト用のデータ出力端子です。JTAG 機能を使用しない場合は, 開放状態にする必要があります。</p>

表 1-4 CIO 品, SIO 品共通端子 (3/3)

端子名	タイプ	端子機能
V <sub>REF</sub>	Input	入力参照電圧 入力参照用の電圧印加用端子です。
V <sub>EXT</sub>	Supply	電源電圧 製品の電源電圧印加用の端子です。
V <sub>DD</sub>	Supply	電源電圧 製品の電源電圧印加用の端子です。
V <sub>DDQ</sub>	Supply	電源電圧 入出力バッファ用の電源電圧印加用端子です。
V <sub>SS</sub>	Supply	グランド V <sub>SS</sub> 接地用の端子です。
V <sub>SSQ</sub>	Supply	DQ グランド 入出力バッファ用のグランド端子です。
V <sub>TT</sub>	Supply	電源電圧 終端電位を与える電源電圧印加用端子です。
DNU		未使用端子 使用しない入出力用端子です。V <sub>SS</sub> に接続してください。
NF		ノー・ファンクション 使用しない入力用端子です。V <sub>SS</sub> に接続してください。

表 1 - 5 CIO 品固有端子

端子名	タイプ	端子機能
DQ0-DQxx	Input/Output	<p>データ入出力 データの入力と出力を兼用する端子です。</p> <p>読み出し動作：読み出すデータを DQ0-DQxx 端子に出力します。リード・コマンドを入力し、設定した RL (リード・レーテンシ) 後の QKx の立ち上がりエッジで最初のデータを出力します。設定したバースト長だけ、連続する QKx#, QKx の立ち上がりエッジでデータを出力します。</p> <p>書き込み動作：書き込むデータを DQ0-DQxx 端子に入力します。ライト・コマンドを入力し、設定した WL (ライト・レーテンシ) 後の DKx の立ち上がりエッジでデータを入力してください。設定したバースト長だけ、連続する DKx#, DKx の立ち上がりエッジでデータを取り込みます。</p>

表 1 - 6 SIO 品固有端子

端子名	タイプ	端子機能
D0-D17	Input	<p>データ入力 データ入力端子です。書き込むデータを D0-D17 端子に入力します。</p> <p>ライト・コマンドを入力し、設定した WL (ライト・レーテンシ) 後の DK の立ち上がりエッジでデータを入力してください。設定したバースト長だけ、連続する DK#, DK の立ち上がりエッジでデータが取り込まれます。</p>
Q0-Q17	Output	<p>データ出力 データ出力端子です。読み出すデータを Q0-Q17 端子に出力します。</p> <p>リード・コマンドを入力し、設定した RL (リード・レーテンシ) 後の QK0/QK1 の立ち上がりエッジで最初のデータを出力します。設定したバースト長だけ、連続する QK0##QK1#, QK0/QK1 の立ち上がりエッジでデータを出力します。</p>

## 1.6 出力データと出力データ・クロック

Low Latency DRAM が出力する信号は、出力データ信号 Q, DQ, 有効データ出力期間信号 QVLD, 出力データ・クロック QKx, QKx#です。Q, DQ, QVLD は、QKx もしくは QK#の立ち上がりエッジと同タイミングで出力されます。

### 1.6.1 リード・レーテンシ (trL)

リード・レーテンシ (trL) とは、リード・コマンドを入力してからデータが出力されるまでの期間のことで、クロック・サイクル数で規定しています。Low Latency DRAM ではモード・レジスタ・セット時にコンフィギュレーションを設定することで、ご使用になる trL を設定することができます。ただし、設定できる trL は、動作周波数とアドレス・マルチプレクス機能の設定に応じて変わります。表 1-7 にアドレス Non-MUX 時の trL テーブルを、表 1-8 にアドレス MUX 時の trL テーブルを示します。なお、設定の方法については2.3 MRS コマンドを参照ください。

表 1-7 アドレス Non-MUX 時の trL テーブル (CIO 品, SIO 品共通)

動作周波数	BL	コンフィギュレーション			単位
		1	2	3	
400 MHz	BL = 2	NA	NA	8	cycles
	BL = 4				
	BL = 8				
300 MHz	BL = 2	NA	6	8	
	BL = 4				
	BL = 8				
200 MHz	BL = 2	4	6	8	
	BL = 4				
	BL = 8	NA			

備考 NA (Not Available): 設定がありません。

表 1-8 アドレス MUX 時の trL テーブル (CIO 品, SIO 品共通)

動作周波数	BL	コンフィギュレーション			単位
		1	2	3	
400 MHz	BL = 2	NA	NA	9	cycles
	BL = 4				
	BL = 8				
300 MHz	BL = 2	NA	7	9	
	BL = 4				
	BL = 8				
200 MHz	BL = 2	5	7	9	
	BL = 4				
	BL = 8	NA			

備考 NA (Not Available): 設定がありません。

### 1.6.2 出力データと出力データ・クロックのタイミング

Low Latency DRAM が出力する Q, DQ, QVLD, QKx, QKx# の代表的なタイミング・チャートを, 図 1-8 と図 1-9 に示します。

図 1-8 リード・タイミング・チャート (アドレス Non-MUX 時, BL = 2, コンフィギュレーション 1, 2, 3)

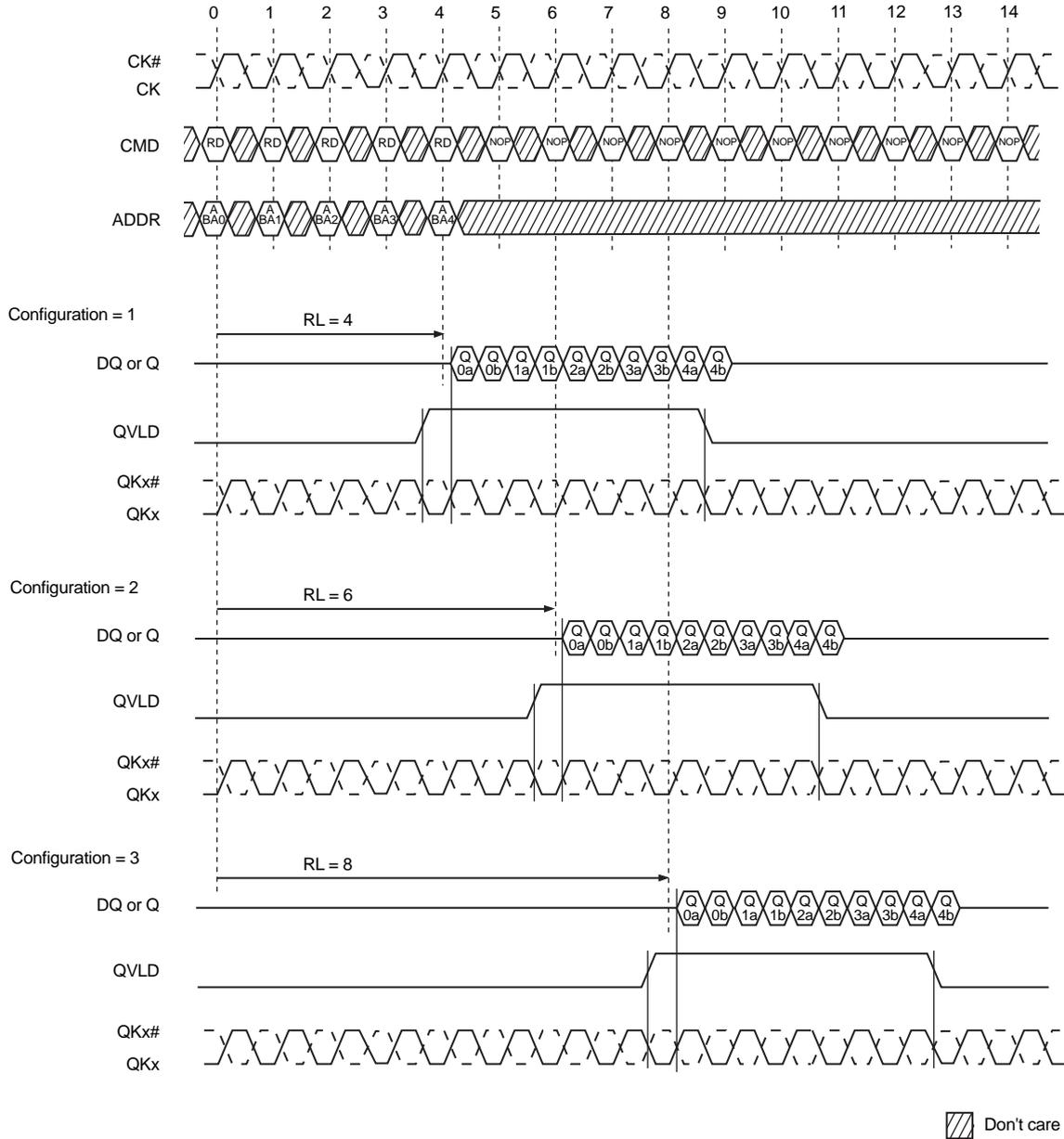
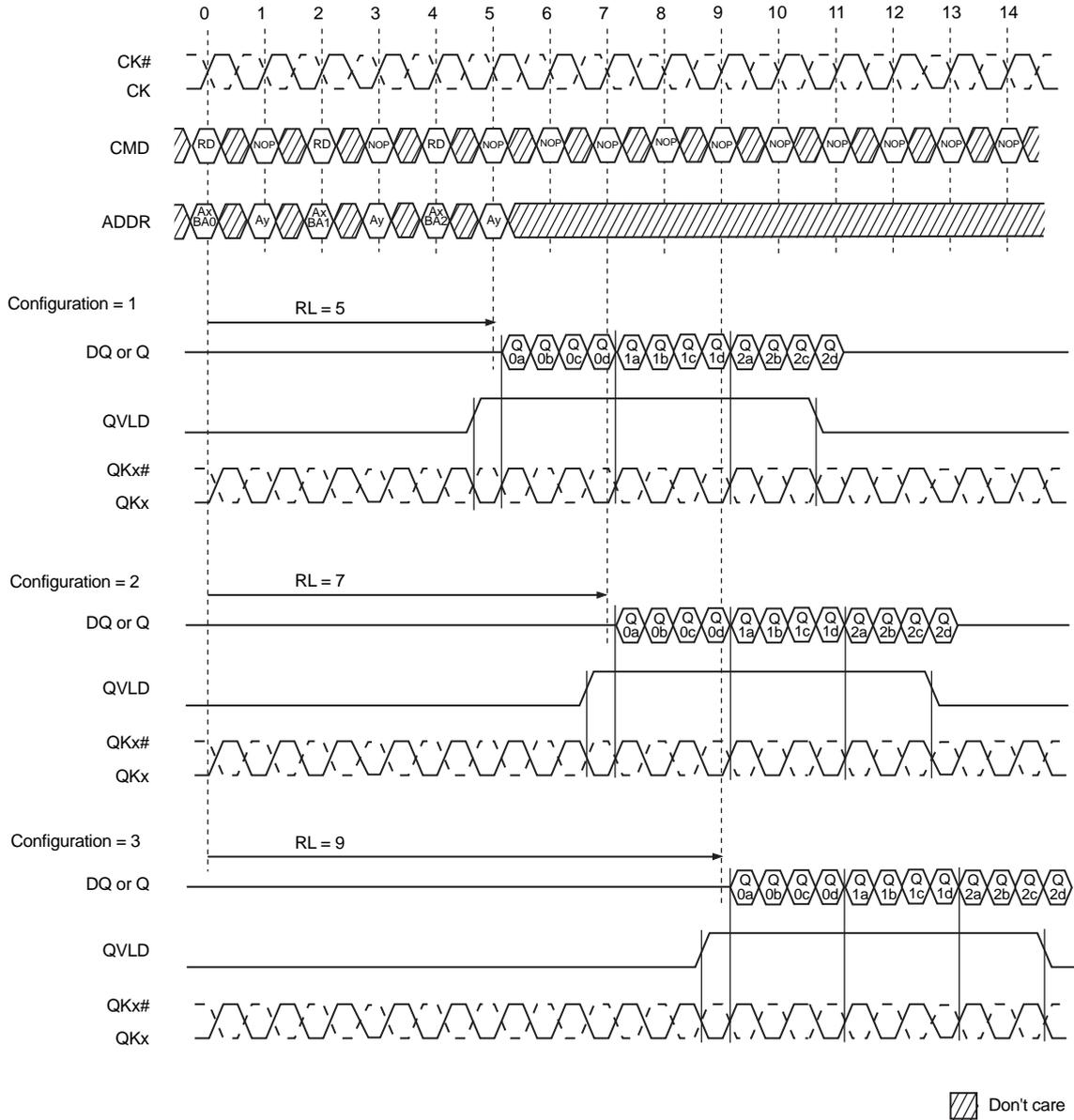


図 1-9 リード・タイミング・チャート (アドレス MUX 時, BL=4, コンフィギュレーション 1, 2, 3)



## 1.7 HSTL インタフェースと VREF

Low Latency DRAM は入出力インタフェースとして HSTL (High Speed Transceiver Logic) インタフェースを採用しています。HSTL インタフェースは参照電圧 ( $V_{REF}$ ) に対する差電位によってハイ・レベルおよびロウ・レベルを判定するインタフェースです。したがって、HSTL インタフェースでは  $V_{REF}$  電源の供給が必要となり、通常  $V_{REF} = V_{DDQ}/2$  近傍で使用します。

動作中に  $V_{REF}$  の電圧が変動すると、入力信号の入力レベルを正しく判定できず、誤動作を招く恐れがありますので、 $V_{REF}$  には安定した電圧を供給してください。

## 第2章 コマンド

### 2.1 コマンド・オペレーション

Low Latency DRAM には、5 種類のコマンドがあり、CS#, WE#, REF#, Ax, BAx の入力でコマンドが確定します。

表 2-1 にコマンドの種類と内容を示します。表 2-2 にコマンドが確定するときの各端子の入力レベルを示します。なお、CK/CK# のクロスポイントのうち CK の立ち上がりに同期させて各信号を入力してください。表 2-3 に BL とビット構成による使用するアドレス数の違いを示します。

表 2-1 コマンドの種類と内容

コード	コマンド名	コマンド内容
DESEL / NOP	ノー・オペレーション・コマンド (NOP コマンド)	デバイスをノー・オペレーションにし、非選択の状態にするコマンドです。
MRS	モード・レジスタ・セット・コマンド	製品機能を決定するモード・レジスタの値を設定するコマンドです。
READ	リード・コマンド	データを読み出すコマンドです。
WRITE	ライト・コマンド	データを書き込むコマンドです。
AREF	オート・リフレッシュ・コマンド	メモリ・セルのデータを保持するためのリフレッシュ動作を行うコマンドです。

表 2-2 コマンド確定表

コード	CS#	WE#	REF#	Ax	BAx	注
DESEL / NOP	H	X	X	X	X	
MRS	L	L	L	OPCODE <sup>注1</sup>	X	3
READ	L	H	H	A	BA	4
WRITE	L	L	H	A	BA	4
AREF	L	H	L	X	BA <sup>注2</sup>	

- 注 1. MRS 設定時のアドレス (A) 入力は、MRS の設定内容を選択するために使用します。
2. AREF 時のバンク・アドレス (BA) 入力は、リフレッシュを行うバンク設定に使用します。
3. MRS ではアドレス端子は A0 ~ A17 のみを使用します。
4. 使用アドレス数は表 2-3 を参照してください。

表 2-3 使用アドレス数

バースト長	CIO 品			SIO 品
	x36	x18	x9	x18
BL=2	A[18:0]	A[19:0]	A[20:0]	A[19:0]
BL=4	A[17:0]	A[18:0]	A[19:0]	A[18:0]
BL=8	NA	A[17:0]	A[18:0]	A[17:0]

## 2.2 DESEL/NOP コマンド

CK の立ち上がりタイミングでノー・オペレーション・コマンドを入力することにより、デバイス内部は非選択となります。このコマンドを用いることで、アイドル期間などにおいて、不要なコマンドがデバイス内部に取り込まれないようにすることができます。

## 2.3 MRS コマンド

デバイスの製品機能を決定するモード・レジスタの値を設定するコマンドです。レジスタの値を切り替えることで、以下6つの機能を設定できます。

- ・コンフィギュレーション
- ・バースト長
- ・アドレス・マルチプレクス機能
- ・PLL 機能
- ・出力インピーダンス・モード機能
- ・ODT 機能

### 2.3.1 MRS コマンドの設定方法

アドレス・マルチプレクス機能が Non-MUX か MUX かにより、MRS コマンドの設定方法が異なります。

#### (1) アドレス Non-MUX 設定時の MRS コマンドの設定方法

CK/CK#のクロスポイントのうちCKの立ち上がり時に、CS#=LOW、WE#=LOW、REF#=LOWを入力してください。同時にアドレス端子 A0 から A17 にご使用になる機能を設定する入力レベルを入力してください。なお、MRS コマンドの入力から機能設定が完了するまでの期間は  $t_{MRSC}$  で規定されます。図 2-1 に MRS コマンド入力のタイミング・チャートを、図 2-2 に MRS コマンド入力時の端子の入力状態を、表 2-4 にアドレス端子の割り付けを示します。

図 2-1 MRS コマンド入力のタイミング・チャート (アドレス Non-MUX の場合)

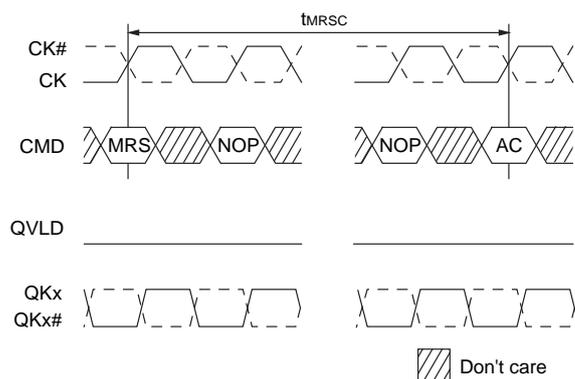


図 2-2 MRS コマンド入力時の端子の入力状態 (アドレス Non-MUX の場合)

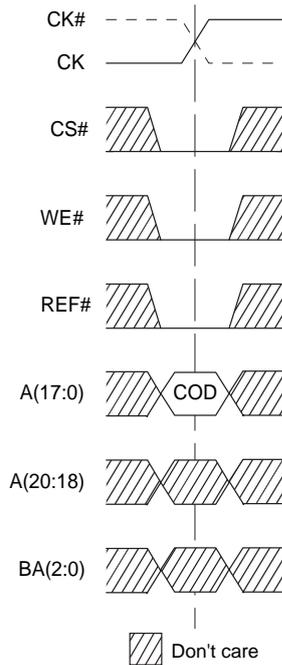


表 2-4 機能設定に対するアドレス端子の割り付け (アドレス Non-MUX の場合)

アドレス端子	MRS 割り付け	備考
A0, A1, A2	コンフィギュレーション設定	
A3, A4	バースト長設定	
A5	アドレス・マルチプレクス機能設定	
A6	未使用	
A7	PLL 機能設定	
A8	出力インピーダンス・モード機能設定	
A9	ODT 機能設定	
A[xx:10]	機能拡張用	すべて LOW 固定

(2) アドレス MUX 設定時の MRS 設定方法

CK/CK#のクロスポイントのうちCKの立ち上がり時に、CS#=LOW、WE#=LOW、REF#=LOWを入力してください。アドレス端子 A0、A3~A5、A8~A10、A13、A14、A17、A18 にご使用になる機能を設定する入力レベルを2サイクルにわけて入力してください。なお、MRS コマンドの入力から機能設定が完了するまでの期間は  $t_{MRSC}$  で規定されます。図 2-3 に MRS コマンド入力のタイミング・チャートを、図 2-4 に MRS コマンド入力時の端子の入力状態を、表 2-5 にアドレス端子の割り付けを示します。

図 2-3 MRS 設定のタイミング・チャート (アドレス MUX の場合)

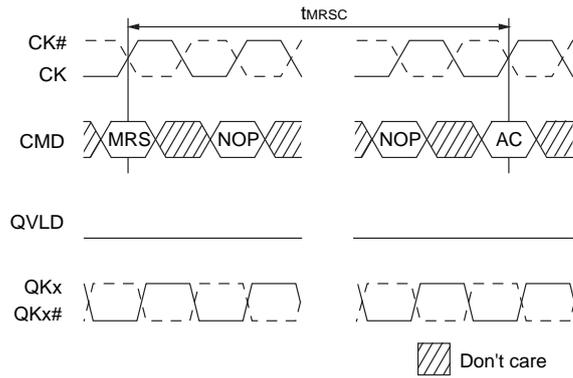


図 2-4 MRS コマンド入力時の端子の入力方法 (アドレス MUX の場合)

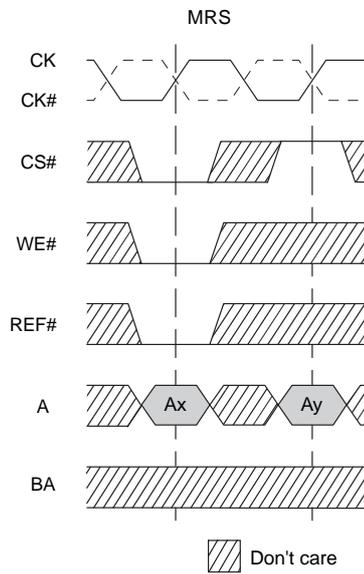


表 2-5 MRS 設定のアドレス端子の割り付け (アドレス MUX の場合)

アドレス端子		MRS 割り付け	備考
サイクル1	サイクル2		
A0x	A3y, A4y	コンフィギュレーション設定	
A3x, A4x	-	パースト長設定	
A5x	-	アドレス・マルチプレクス機能設定	
-	A8y	未使用	
-	A9y	PLL 機能設定	
A8x	-	出力インピーダンス・モード機能設定	
A9x	-	ODT 機能設定	
A[xx:10]		機能拡張用	すべて LOW 固定

### 2.3.2 コンフィギュレーション設定

Low Latency DRAM には、ランダム・サイクル時間  $t_{RC}$ 、リード・レーテンシ  $t_{RL}$ 、ライト・レーテンシ  $t_{WL}$  について、あらかじめ決められた3種類の組み合わせ(コンフィギュレーション)があります。アドレス Non-MUX 時、アドレス MUX 時では  $t_{RC}$ 、 $t_{RL}$ 、 $t_{WL}$  がそれぞれ異なります。以下にアドレス Non-MUX 時とアドレス MUX 時のコンフィギュレーションの設定について、それぞれ説明します。

#### (1) アドレス Non-MUX 時のコンフィギュレーション設定

アドレス端子 A0, A1, A2 の入力レベルによりコンフィギュレーションを設定します。アドレス端子の入力は、MRS のコマンドを入力するタイミングに合わせて行います。表 2-6 にコンフィギュレーションの設定内容を、表 2-7 にコンフィギュレーション設定のアドレス端子入力レベルを示します。

表 2-6 コンフィギュレーション設定内容(アドレス Non-MUX の場合)

周波数	記号	コンフィギュレーション			単位
		1 <sup>注</sup>	2	3	
	$t_{RC}$	4	6	8	cycles
	$t_{RL}$	4	6	8	
	$t_{WL}$	5	7	9	
400 MHz	$t_{RC}$	NA	NA	20.0	ns
	$t_{RL}$	NA	NA	20.0	
	$t_{WL}$	NA	NA	22.5	
300 MHz	$t_{RC}$	NA	20.0	26.7	
	$t_{RL}$	NA	20.0	26.7	
	$t_{WL}$	NA	23.3	30.0	
200 MHz	$t_{RC}$	20.0	30.0	40.0	
	$t_{RL}$	20.0	30.0	40.0	
	$t_{WL}$	25.0	35.0	45.0	

注 BL=8 の場合、コンフィギュレーション 1 の設定はできません。

備考 NA (Not Available): ご使用になれません。

表 2-7 コンフィギュレーション設定(アドレス Non-MUX の場合)

A2	A1	A0	コンフィギュレーション
0	0	0	1 <sup>注</sup> (初期設定)
0	0	1	1 <sup>注</sup>
0	1	0	2
0	1	1	3
1	0	0	拡張用(設定不可)
1	0	1	拡張用(設定不可)
1	1	0	拡張用(設定不可)
1	1	1	拡張用(設定不可)

注 BL=8 の場合、コンフィギュレーション 1 の設定はできません。

(2) アドレス MUX 設定時のコンフィギュレーション設定

アドレス端子 A0, A3, A4 の入力レベルによりコンフィギュレーションを設定します。アドレス端子の入力は, MRS のコマンドを入力するサイクルから連続して2サイクルに分けて行います。表 2-8 にコンフィギュレーションの設定内容を, 表 2-9 にコンフィギュレーション設定のアドレス端子入力を示します。

表 2-8 コンフィギュレーション設定内容 (アドレス MUX の場合)

周波数	記号	コンフィギュレーション			単位
		1 <sup>注</sup>	2	3	
	t <sub>RC</sub>	4	6	8	cycles
	t <sub>RL</sub>	5	7	9	
	t <sub>WL</sub>	6	8	10	
400 MHz	t <sub>RC</sub>	NA	NA	20.0	ns
	t <sub>RL</sub>	NA	NA	22.5	
	t <sub>WL</sub>	NA	NA	25.0	
300 MHz	t <sub>RC</sub>	NA	20.0	26.7	
	t <sub>RL</sub>	NA	23.3	30.0	
	t <sub>WL</sub>	NA	26.7	33.3	
200 MHz	t <sub>RC</sub>	20.0	30.0	40.0	
	t <sub>RL</sub>	25.0	35.0	45.0	
	t <sub>WL</sub>	30.0	40.0	50.0	

注 BL=8 の場合, コンフィギュレーション1の設定はできません。

備考 NA (Not Available): ご使用になれません。

表 2-9 コンフィギュレーション設定 (アドレス MUX の場合)

A4y	A3y	A0x	コンフィギュレーション
0	0	0	1 <sup>注</sup> (初期設定)
0	0	1	1 <sup>注</sup>
0	1	0	2
0	1	1	3
1	0	0	拡張用 (設定不可)
1	0	1	拡張用 (設定不可)
1	1	0	拡張用 (設定不可)
1	1	1	拡張用 (設定不可)

注 BL=8 の場合, コンフィギュレーション1の設定はできません。

### 2.3.3 バースト長 (BL) の設定

Low Latency DRAM では、バースト長を BL = 2, 4, 8 のいずれかに設定することができます。ただし、CIO x36 品は BL = 8 の設定はできません。アドレス Non-MUX かアドレス MUX かにより BL の設定方法が異なりますので、以下にそれぞれ説明します。

#### (1) アドレス Non-MUX 設定時の BL 設定

アドレス端子 A3, A4 の入力レベルにより BL を設定します。表 2 - 10 に BL 設定のアドレス端子入力を示します。MRS のコマンドを入力するタイミングで A3, A4 を入力してください。

表 2 - 10 BL 設定 (アドレス Non-MUX の場合)

A4	A3	BL
0	0	2 (初期設定)
0	1	4
1	0	8 <sup>注</sup>
1	1	無効

注 CIO x36 品の場合、BL = 8 の設定はできません。

#### (2) アドレス MUX 設定時の BL 設定

アドレス端子 A3, A4 の入力レベルにより BL を設定します。表 2 - 11 に BL 設定のアドレス端子入力を示します。MRS のコマンドを入力するタイミングで A3x, A4x を入力してください。

表 2 - 11 BL 設定 (アドレス MUX の場合)

A4x	A3x	BL
0	0	2 (初期設定)
0	1	4
1	0	8 <sup>注</sup>
1	1	無効

注 CIO x36 品の場合、BL = 8 の設定はできません。

### 2.3.4 アドレス Non-MUX とアドレス MUX の設定

Low Latency DRAM では、全アドレス入力を一括して1サイクルで取り込むアドレス Non-MUX と、X アドレス入力およびY アドレス入力の2つにわけて2サイクルで取り込むアドレス MUX のいずれかを設定できます。

#### (1) アドレス Non-MUX 設定時のアドレス・マルチプレクス機能設定

アドレス端子 A5 の入力レベルによりアドレス Non-MUX もしくはアドレス MUX を設定します。表 2 - 12 にアドレス Non-MUX 設定時のアドレス端子入力を示します。MRS のコマンドを入力するタイミングで A5 を入力してください。

表 2 - 12 アドレス・マルチプレクス機能設定 (アドレス Non-MUX の場合)

A5	アドレス・マルチプレクス機能
0	アドレス Non-MUX (初期設定)
1	アドレス MUX

#### (2) アドレス MUX 設定時のアドレス・マルチプレクス機能設定

アドレス端子 A5 の入力レベルによりアドレス Non-MUX もしくはアドレス MUX の設定ができます。表 2 - 13 にアドレス MUX 設定時のアドレス端子入力を示します。MRS のコマンドを入力するタイミングで A5x を入力してください。

表 2 - 13 アドレス・マルチプレクス機能設定 (アドレス MUX の場合)

A5x	アドレス・マルチプレクス機能
0	アドレス Non-MUX (初期設定)
1	アドレス MUX

### 2.3.5 PLL 設定

出力のタイミングを調整するために Low Latency DRAM は PLL 回路を搭載しており、PLL 回路の有効 / 無効を設定できます。通常動作の場合は PLL 回路を有効にしてください。一方、低速でのシステム動作確認などを行う場合、PLL 回路を無効とすることで、 $t_{CK}(\text{MAX})$ 、 $t_{DK}(\text{MAX})$  で制限されるより遅いクロック・サイクル時間で動作させることが可能となります。ただし、その場合は AC/DC 特性は保証されません。

アドレス Non-MUX がアドレス MUX かにより設定方法が異なりますので、以下に分けてそれぞれ説明します。

#### (1) アドレス Non-MUX 設定時の PLL 設定

アドレス端子 A7 の入力レベルにより PLL 回路の有効 / 無効を設定します。表 2 - 14 に PLL 設定時のアドレス端子入力を示します。MRS のコマンドを入力するタイミングで A7 を入力してください。

表 2 - 14 PLL 設定 (アドレス Non-MUX の場合)

A7	PLL 機能
0	PLL 回路無効 (初期設定)
1	PLL 回路有効

#### (2) アドレス MUX 設定時の PLL 設定

アドレス端子 A9y の入力レベルにより PLL 回路の有効 / 無効を設定します。表 2 - 15 に PLL 設定時のアドレス端子入力を示します。MRS のコマンドを入力した次の CK の立ち上がりエッジに合わせて A9y を入力してください。

表 2 - 15 PLL 設定 (アドレス MUX の場合)

A9y	PLL 機能
0	PLL 回路無効 (初期設定)
1	PLL 回路有効

### 2.3.6 出力インピーダンス・モード設定

出力端子の出力インピーダンスを調整する機能があり、次の2つの設定から選択することができます。

- (1) デバイス内部にあらかじめ設定されている抵抗値を参照し、その抵抗値に設定する
- (2) ZQ 端子に外部接続する抵抗値 RQ を参照し、RQ/5  $\Omega$  に設定する

アドレス Non-MUX かアドレス MUX かにより、出力インピーダンス・モードの設定方法が異なりますので以下にそれぞれに分けて説明します。詳細については、**第6章 出力インピーダンス・マッチング**を参照してください。

#### (1) アドレス Non-MUX 設定時の出力インピーダンス・モード設定

アドレス端子 A8 の入力レベルにより出力インピーダンスを調整する設定を切り替えることができます。表 2 - 16 にモード設定時のアドレス端子入力を示します。MRS のコマンドを入力するタイミングで A8 を入力してください。

表 2 - 16 出力インピーダンス・モード設定 (アドレス Non-MUX の場合)

A8	インピーダンス・モード
0	デバイス内部の 50 $\Omega$ に設定 (初期設定)
1	外部接続抵抗 RQ/5 $\Omega$ に設定

#### (2) アドレス MUX 設定時の出力インピーダンス・モード設定

アドレス端子 A8 の入力レベルにより出力インピーダンスを調整する設定を切り替えることができます。表 2 - 17 にモード設定時のアドレス端子入力を示します。MRS のコマンドを入力するタイミングで A8x を入力してください。

表 2 - 17 出力インピーダンス・モード設定 (アドレス MUX の場合)

A8x	インピーダンス・モード
0	デバイス内部の 50 $\Omega$ に設定 (初期設定)
1	外部接続抵抗 RQ/5 $\Omega$ に設定

### 2.3.7 ODT (On Die Termination) 機能設定

ODT 機能の有効/無効の切り替えができます。アドレス Non-MUX かアドレス MUX かにより、ODT 設定の方法が異なりますので、以下にそれぞれに分けて説明します。

#### (1) アドレス Non-MUX 設定時の ODT 設定

アドレス端子 A9 の入力レベルにより ODT 機能の有効/無効の設定を切り替えることができます。表 2 - 18 に設定時のアドレス端子入力を示します。MRS のコマンドを入力するタイミングで A9 を入力してください。

表 2 - 18 ODT 機能設定 (アドレス Non-MUX の場合)

A9	ODT 機能
0	無効 (初期設定)
1	有効

#### (2) アドレス MUX 設定時の ODT 設定

アドレス端子 A9 の入力レベルにより ODT 機能の有効/無効の設定を切り替えることができます。表 2 - 19 に設定時のアドレス端子入力を示します。MRS のコマンドを入力するタイミングで A9x を入力してください。

表 2 - 19 ODT 機能設定 (アドレス MUX の場合)

A9x	ODT 機能
0	無効 (初期設定)
1	有効

## 2.4 READ コマンドとWRITE コマンド

CK/CK#のクロスポイントのうち CK の立ち上がりタイミングでリード・コマンド/ライト・コマンドをアドレスおよびバンク・アドレスと同時に入力することにより、データ読み出し動作/データ書き込み動作を行うことができます。I/O 構成、コンフィギュレーション、バースト長、アドレス MUX の違いで、データ読み出しタイミングやデータ書き込みタイミングが異なります。

### (1) CIO 品とSIO 品

データ読み出し動作が連続する処理やデータ書き込み動作が連続する処理では CIO 品も SIO 品もコマンド入力の仕方は同じです。ただし、データ書き込み動作からデータ読み出し動作に切り替わる場合、CIO 品についてはバスの競合を防ぐためにはライト・コマンド入力とリード・コマンド入力の際に NOP サイクルが必要となります。SIO 品については、データ・ポートが入力用と出力用に分離独立しているため、NOP サイクルの挿入は不要です。

図 2-5 に CIO 品のタイミング・チャート例を、図 2-6 に SIO 品のタイミング・チャート例を示します。

図 2-5 CIO 品のタイミング・チャート (アドレス Non-MUX, BL = 2, コンフィギュレーション1)

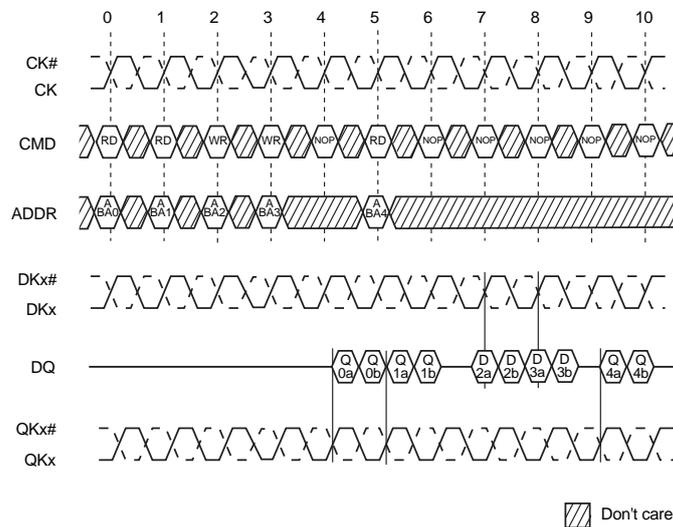
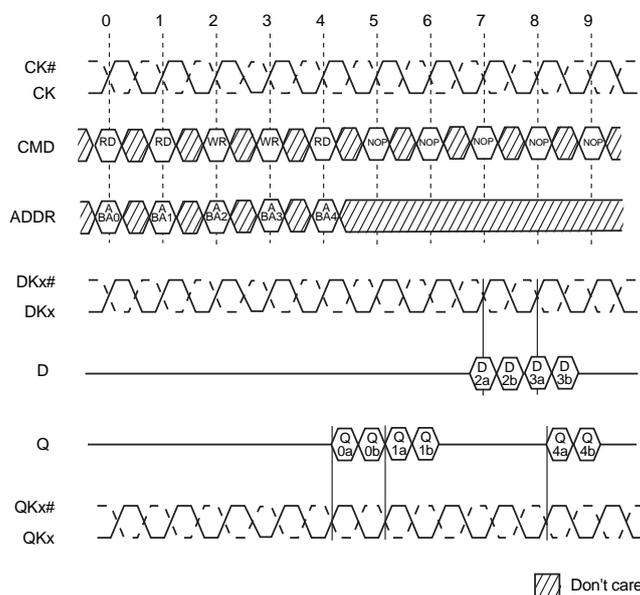


図 2-6 SIO 品のタイミング・チャート (アドレス Non-MUX, BL = 2, コンフィギュレーション1)



(2) コンフィギュレーション設定

コンフィギュレーションにより  $t_{RC}$ ,  $t_{RL}$ ,  $t_{WL}$  が異なります。ここでは、コンフィギュレーションの違いによるデータの読み出しタイミングとデータ書き込みタイミングの違いについて説明します。

図 2-7 リード・コマンドが続く処理の場合のコンフィギュレーションごとのタイミング・チャート

図 2-8 ライト・コマンドが続く処理の場合のコンフィギュレーションごとのタイミング・チャート

図 2-9 リードからライトへコマンドが切り替わる場合のコンフィギュレーションごとのタイミング・チャート

図 2-10 ライトからリードへコマンドが切り替わる場合のコンフィギュレーションごとのタイミング・チャート

図 2-7 リード・コマンド連続のタイミング・チャート (CIO 品, アドレス Non-MUX, BL = 2, コンフィギュレーションごと)

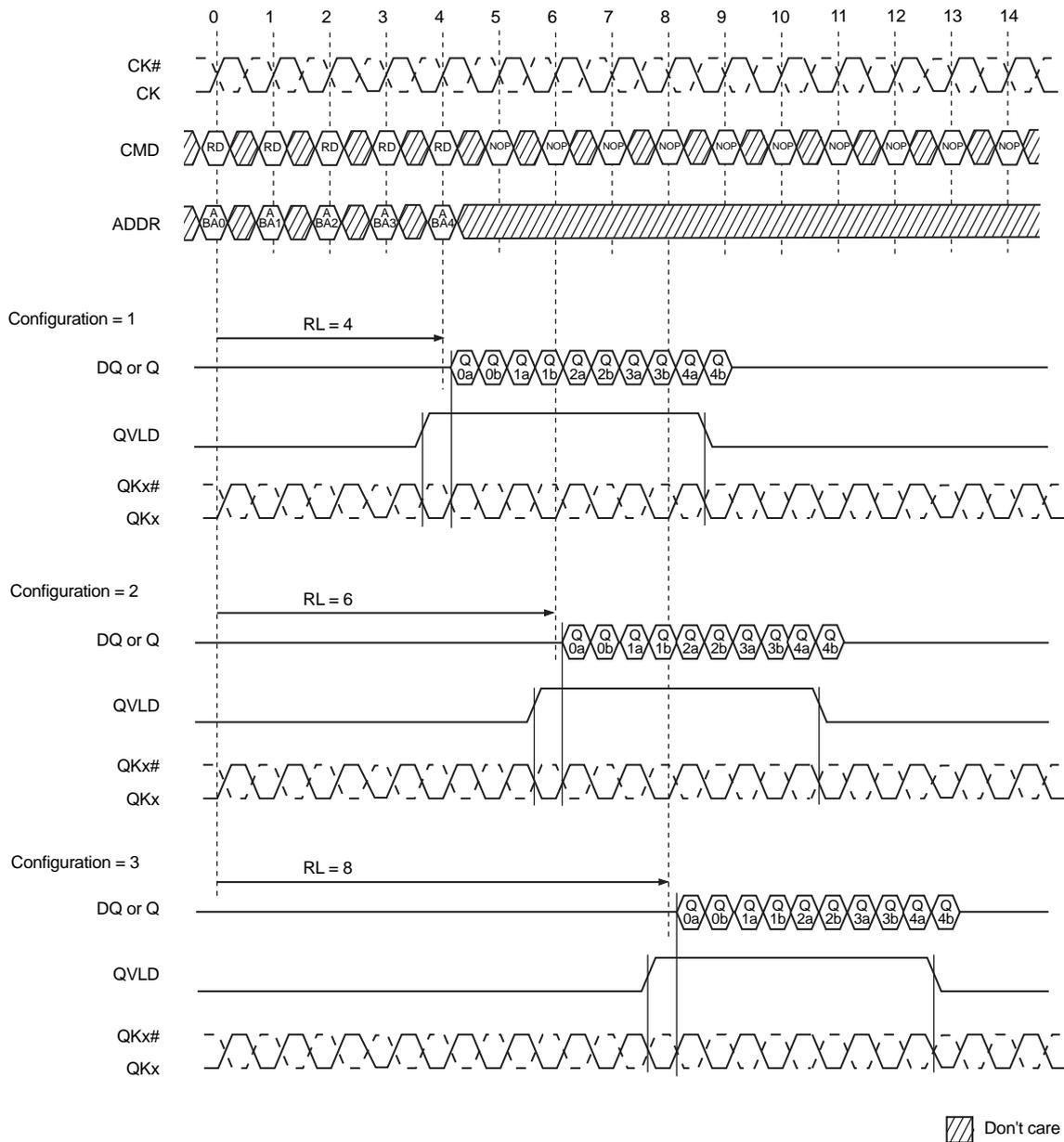


図 2-8 ライト・コマンド連続のタイミング・チャート (CIO 品, アドレス Non-MUX, BL=2, コンフィギュレーションごと)

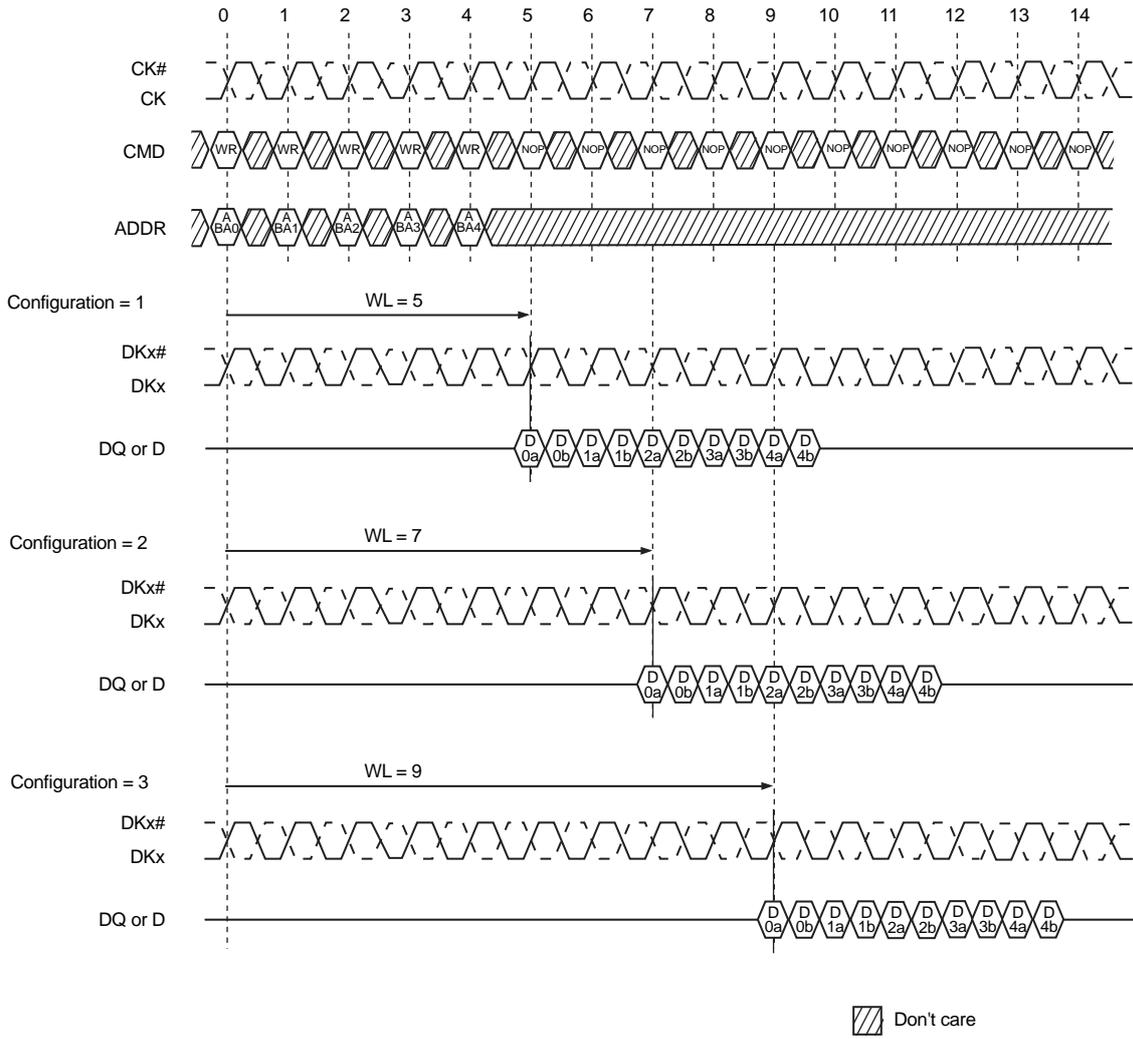


図 2-9 リードからライトへコマンドが切り替わる場合のタイミング・チャート  
(CIO 品, アドレス Non-MUX, BL = 2, コンフィギュレーションごと)

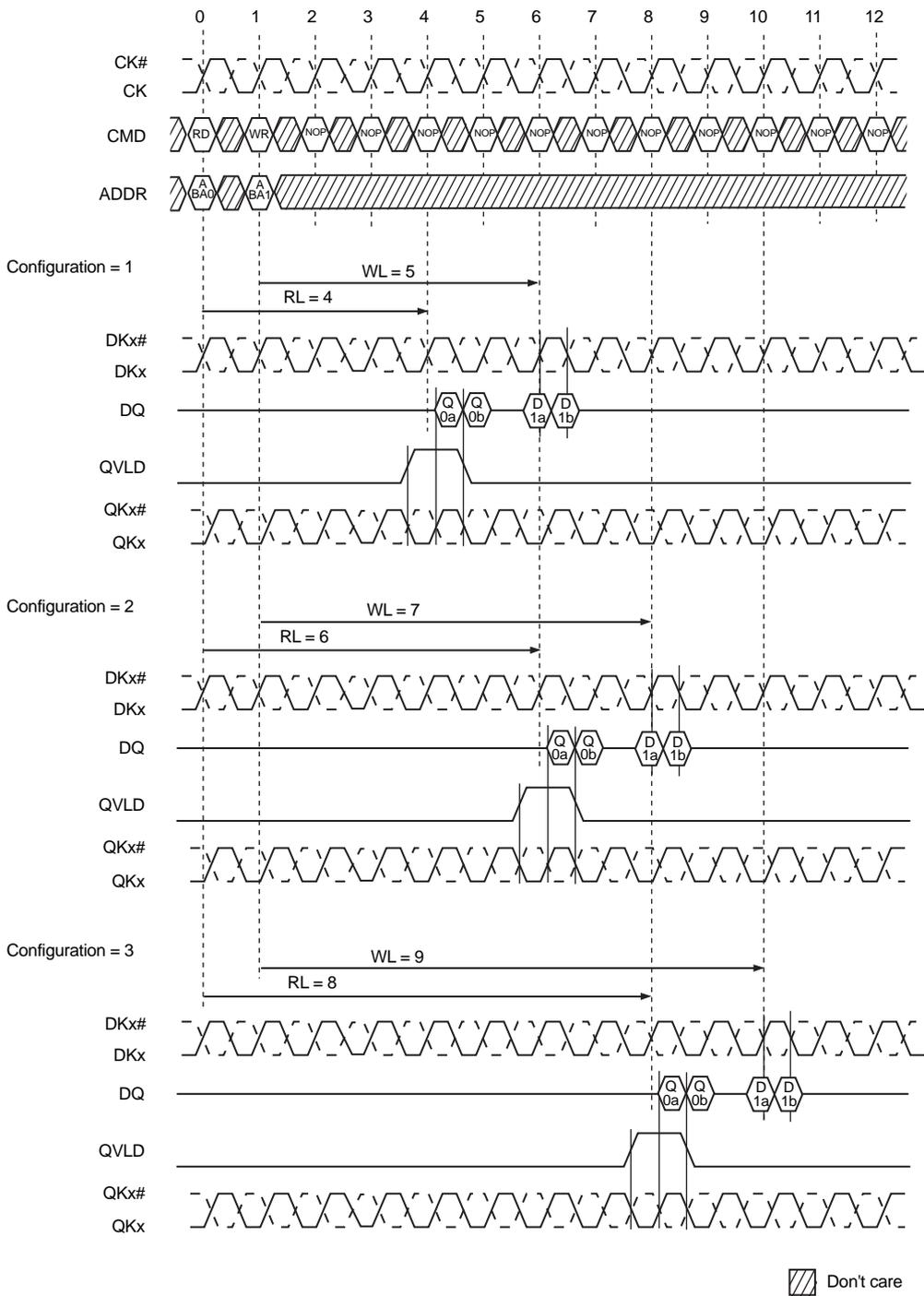
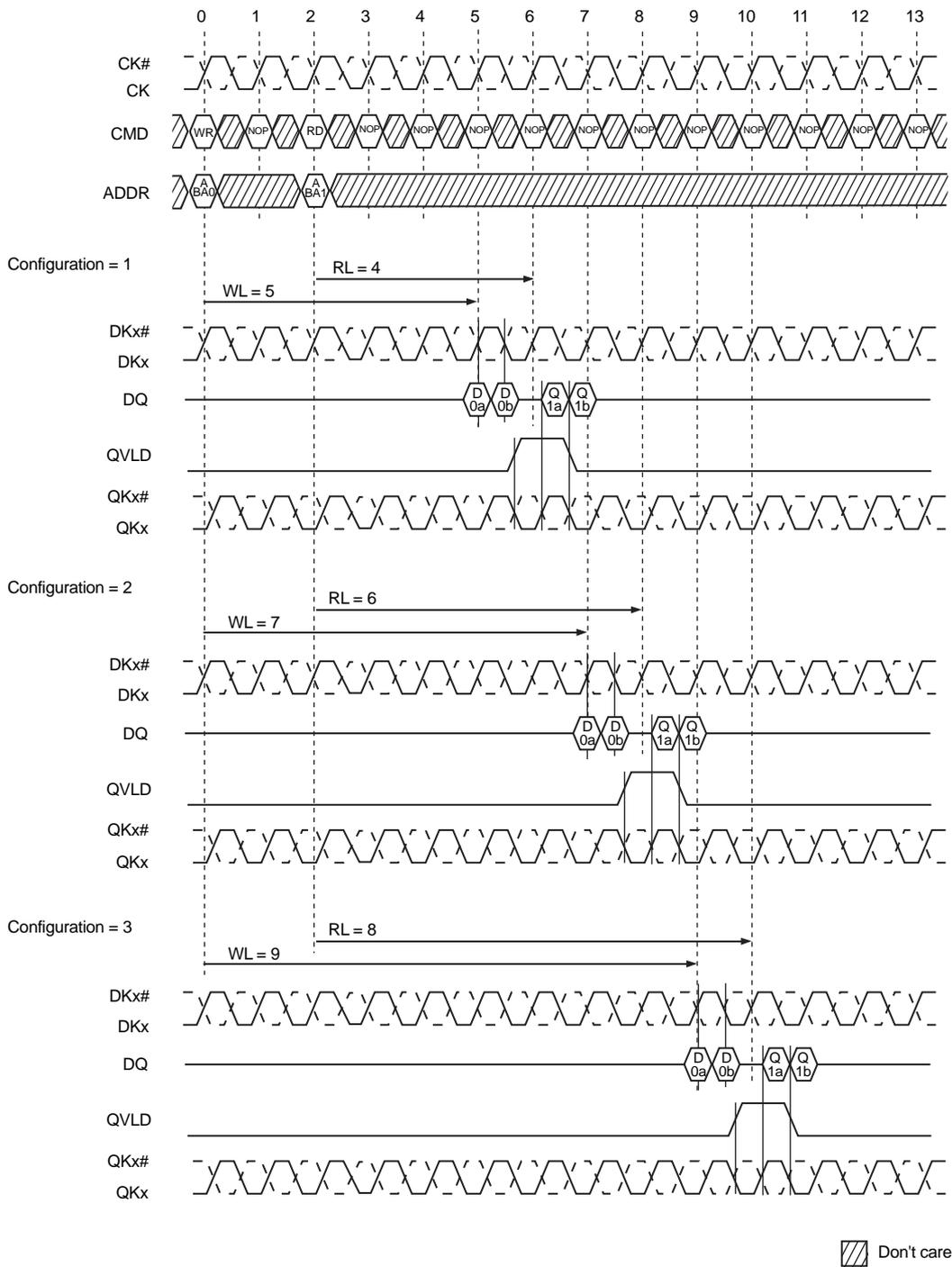


図 2 - 10 ライトからリードへコマンドが切り替わる場合のタイミング・チャート  
(CIO 品 , アドレス Non-MUX, BL = 2, コンフィギュレーションごと)



(3) パースト長 (BL)

設定するパースト長 (BL=2, 4, 8) により, コマンド入力のタイミングが異なります。ここでは, パースト長の違いによるデータの読み出しタイミングとデータ書き込みタイミングの違いについて説明します。

図 2 - 11 リード・コマンドが続く処理の場合の BL ごとのタイミング・チャート

図 2 - 12 ライト・コマンドが続く処理の場合の BL ごとのタイミング・チャート

図 2 - 13 リードからライトへコマンドが切り替わる場合の BL ごとのタイミング・チャート

図 2 - 14 ライトからリードへコマンドが切り替わる場合の BL ごとのタイミング・チャート

図 2 - 11 リード・コマンド連続のタイミング・チャート (CIO 品, アドレス Non-MUX, コンフィギュレーション 2, BL ごと)

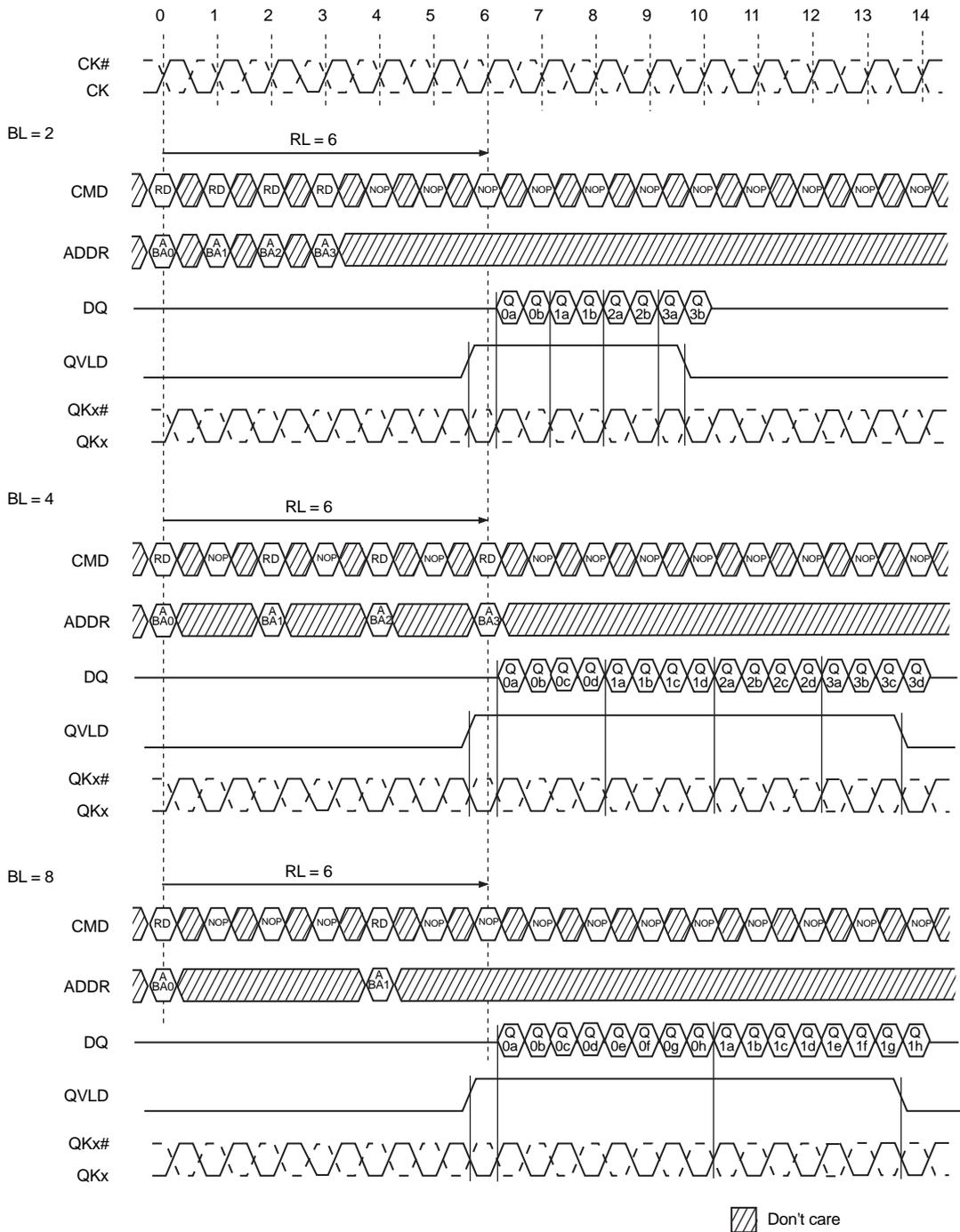


図 2-12 ライト・コマンド連続のタイミング・チャート (CIO 品, アドレス Non-MUX, コンフィギュレーション 2, BL ごと)

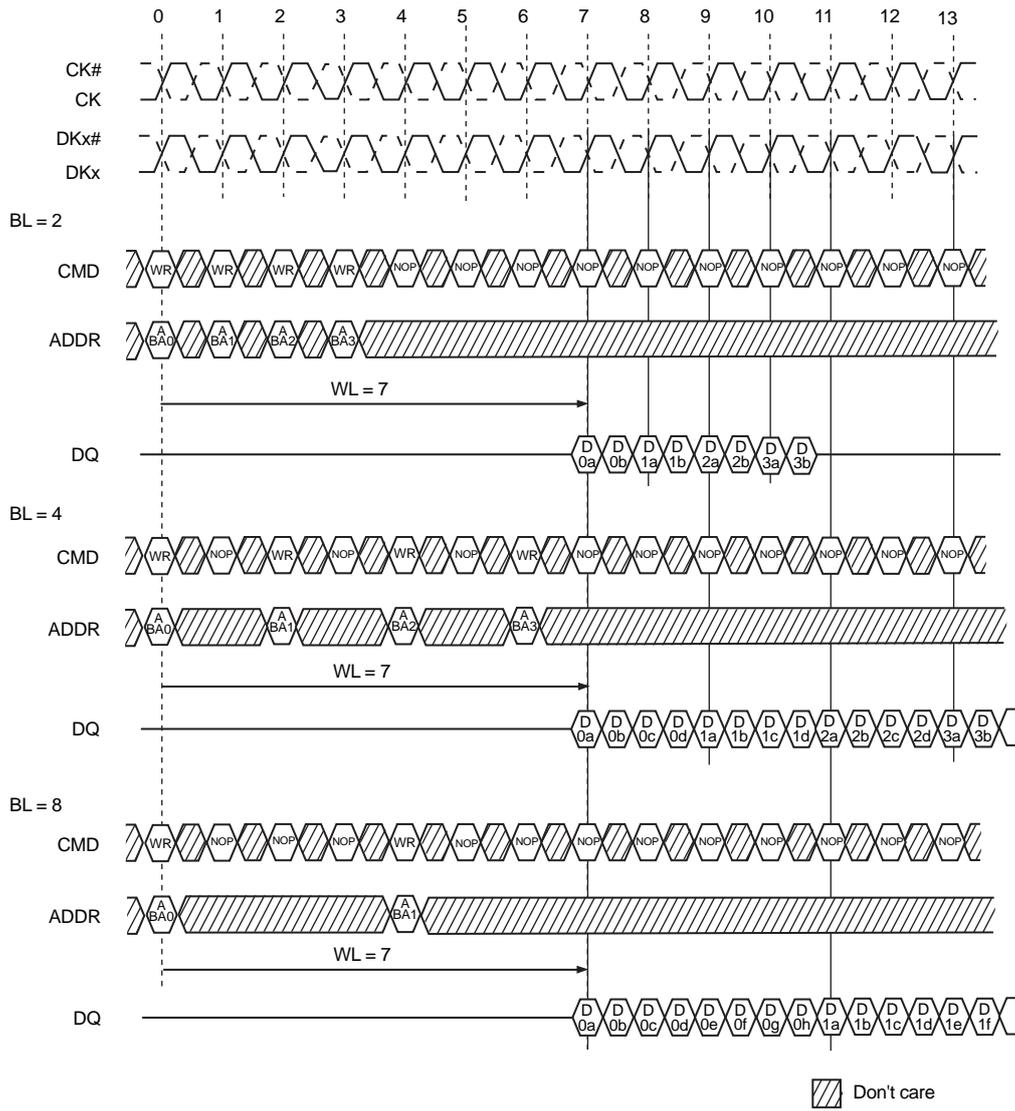


図 2 - 13 リードからライトへコマンドが切り替わるタイミング・チャート  
(CIO 品, アドレス Non-MUX, コンフィギュレーション 2, BL ごと)

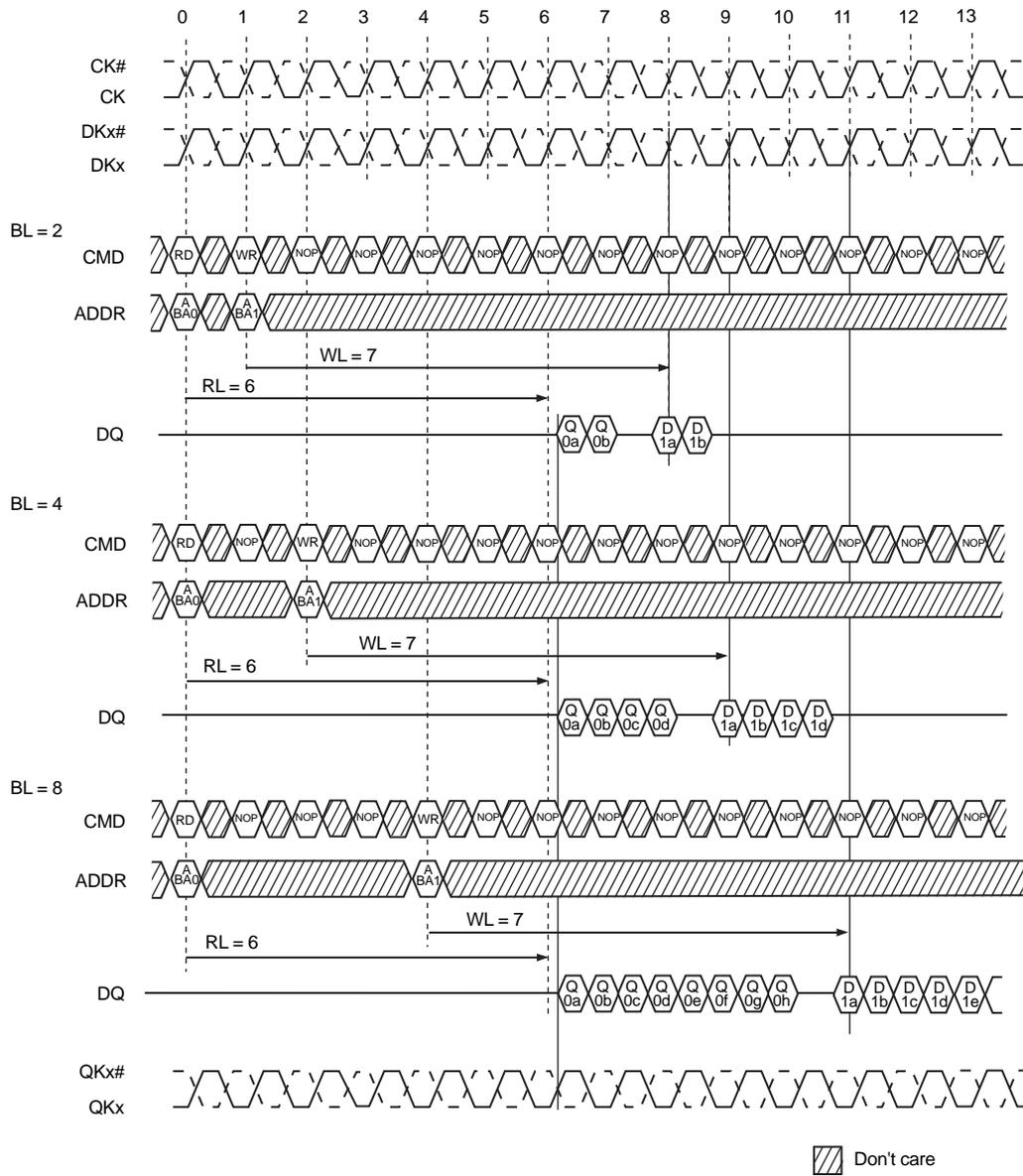
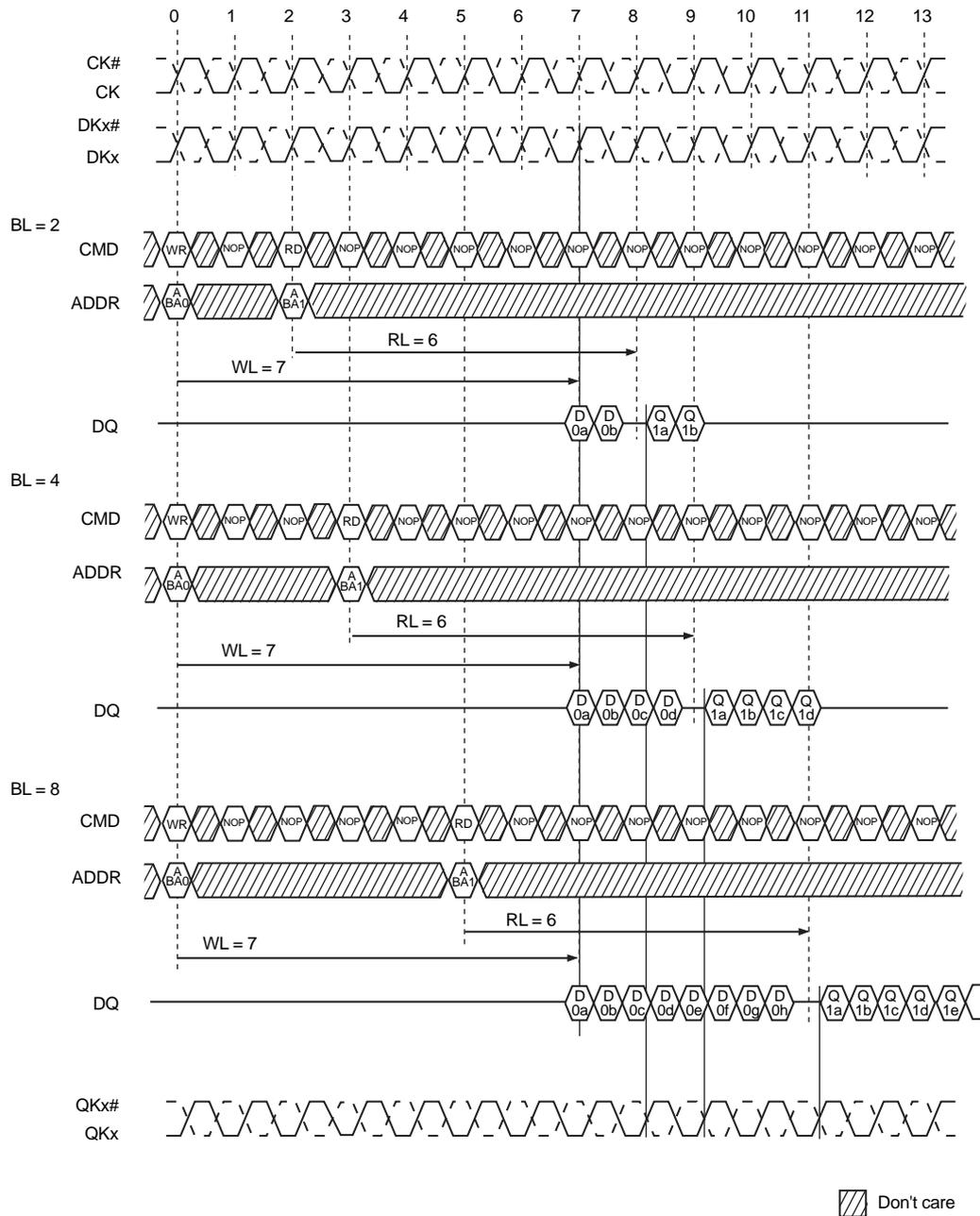


図 2-14 ライトからリードへコマンドが切り替わるタイミング・チャート  
(CIO 品, アドレス Non-MUX, コンフィギュレーション 2, BL ごと)



(4) アドレス MUX

アドレス Non-MUX 時とアドレス MUX 時では、 $t_{RL}$ 、 $t_{WL}$  が異なります。ここでは、アドレス Non-MUX とアドレス MUX の違いによるデータの読み出しタイミングとデータ書き込みタイミングの違いについて説明します。

図 2 - 15 CIO 品のアドレス Non-MUX 時のタイミング・チャート

図 2 - 16 CIO 品のアドレス MUX 時のタイミング・チャート

図 2 - 17 SIO 品のアドレス Non-MUX 時のタイミング・チャート

図 2 - 18 SIO 品のアドレス MUX 時のタイミング・チャート

図 2 - 15 CIO 品のアドレス Non-MUX 時のタイミング・チャート (BL = 4, コンフィギュレーション1)

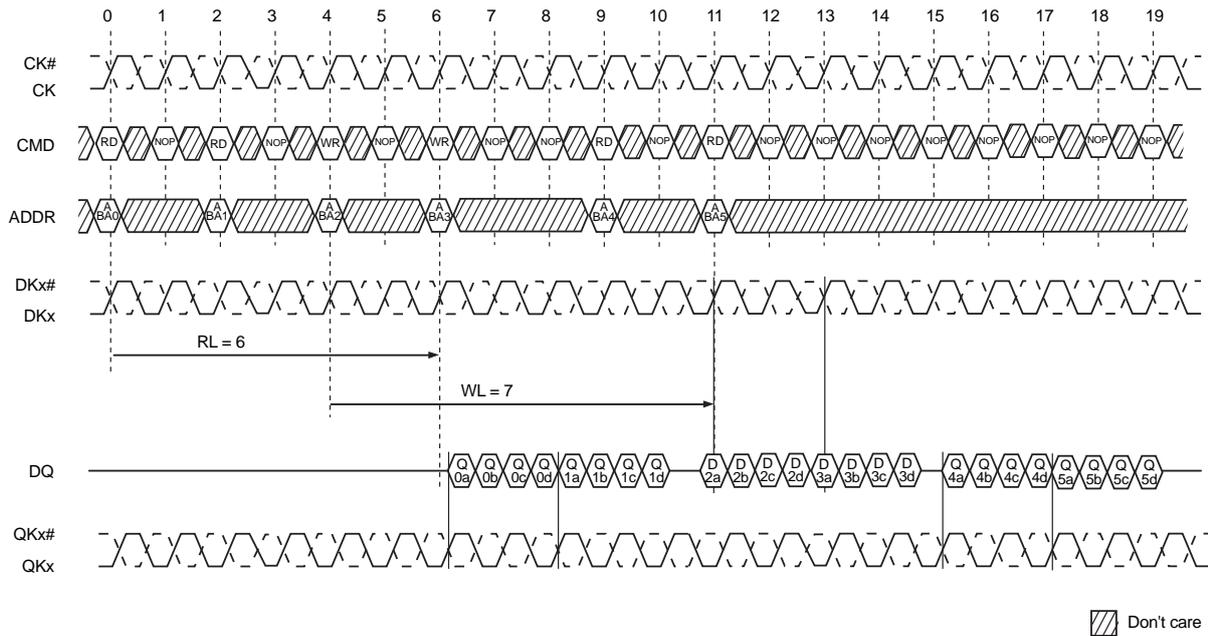


図 2 - 16 CIO 品のアドレス MUX 時のタイミング・チャート (BL = 4, コンフィギュレーション1)

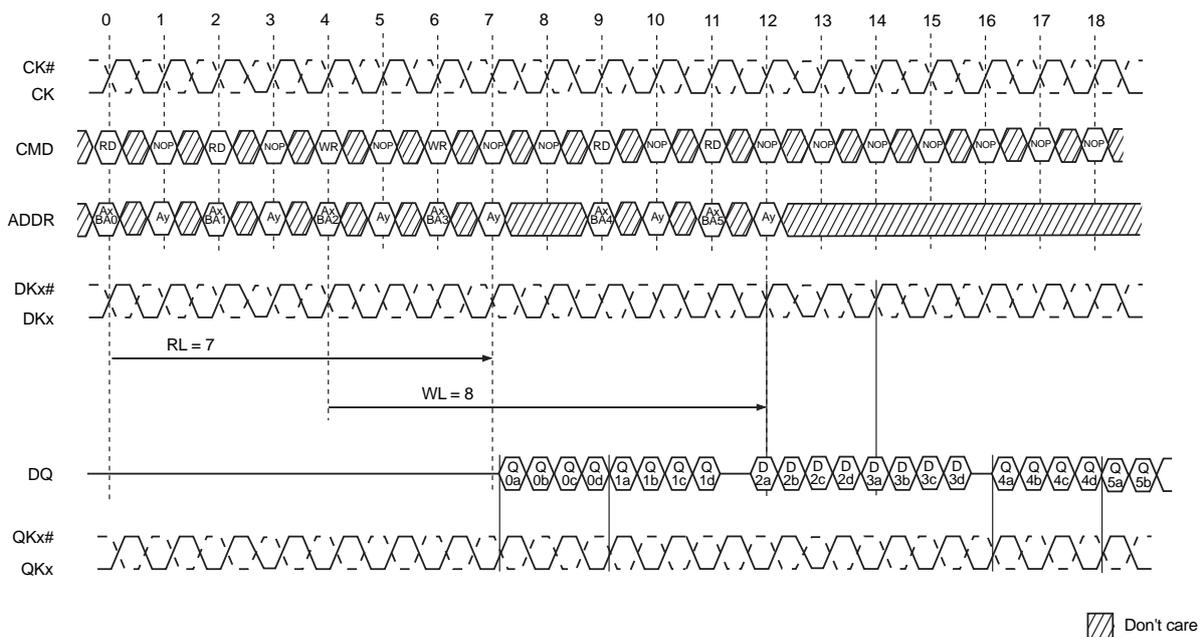


図 2 - 17 SIO 品のアドレス Non-MUX 時のタイミング・チャート (BL=4, コンフィギュレーション1)

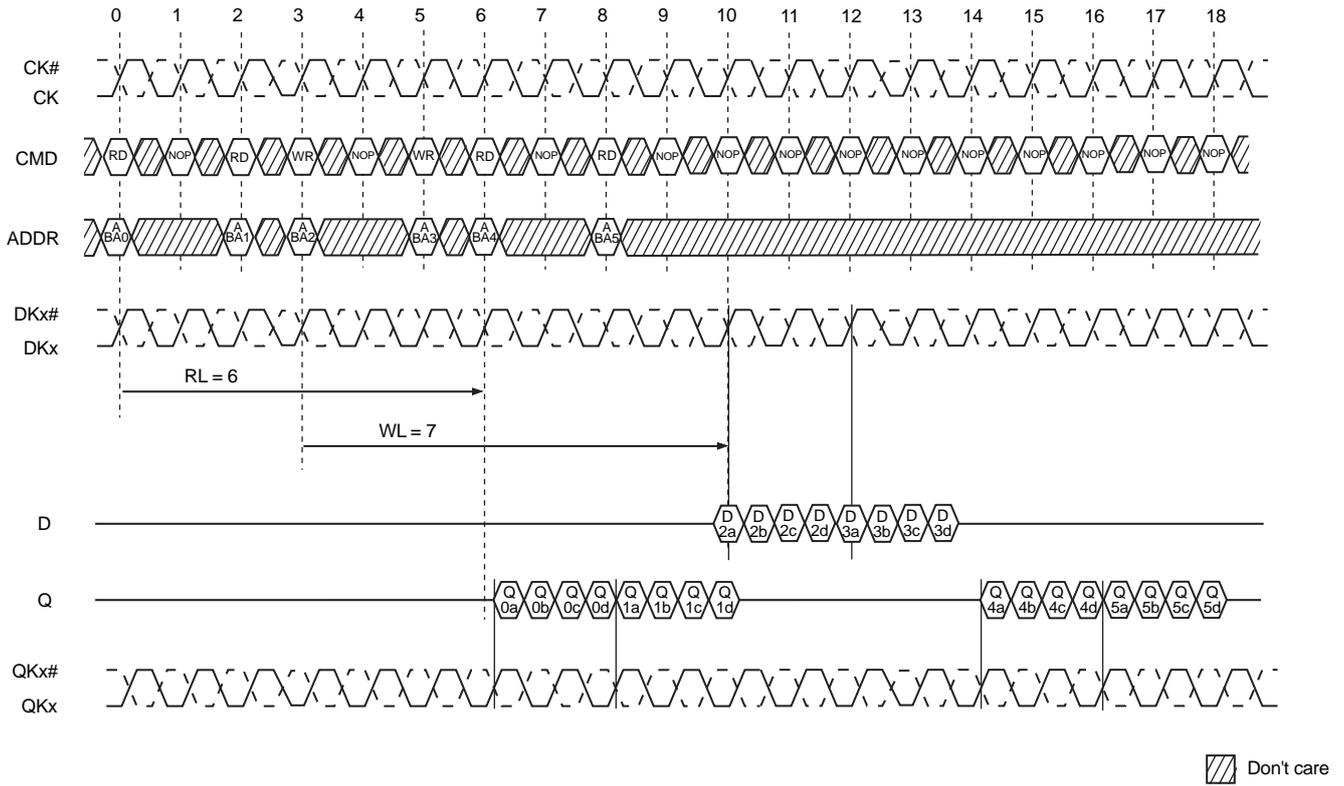
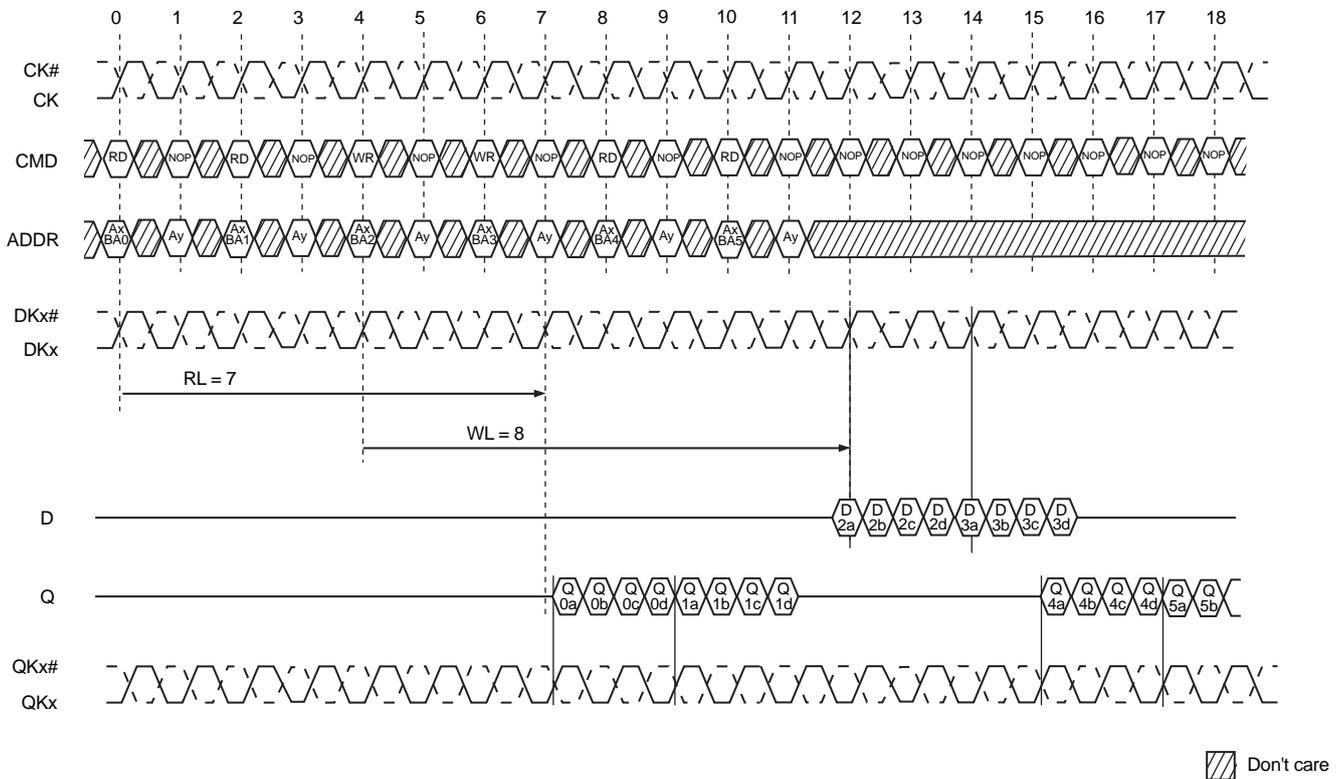


図 2 - 18 SIO 品のアドレス MUX 時のタイミング・チャート (BL=4, コンフィギュレーション1)



(5) タイミング・チャート

様々な動作についてのタイミング・チャートを示します。表 2-20 の内容のタイミング・チャートを図 2-19~図 2-30 に示します。また、特にバンド幅を最大にできるリード/ライト・インタリーブ動作のタイミング・チャートを図 2-31, 図 2-32 に示します。

表 2-20 読み出し動作/書き込み動作のタイミング・チャート一覧

I/O 構成	アドレス MUX	BL	コンフィギュレーション	参考図
CIO	Non-MUX	2	1	図 2-19
		4	1	図 2-20
		8	2	図 2-21
	MUX	2	1	図 2-22
		4	1	図 2-23
		8	2	図 2-24
SIO	Non-MUX	2	1	図 2-25
		4	1	図 2-26
		8	2	図 2-27
	MUX	2	1	図 2-28
		4	1	図 2-29
		8	2	図 2-30

図 2-19 CIO 品, アドレス Non-MUX, BL = 2, コンフィギュレーション = 1 のタイミング・チャート

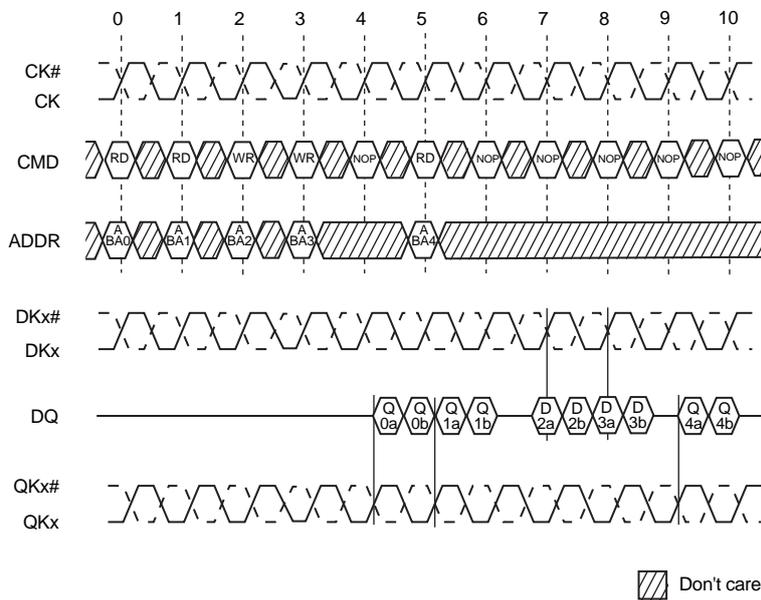


図 2 - 20 CIO 品, アドレス Non-MUX, BL = 4, コンフィギュレーション = 1 のタイミング・チャート

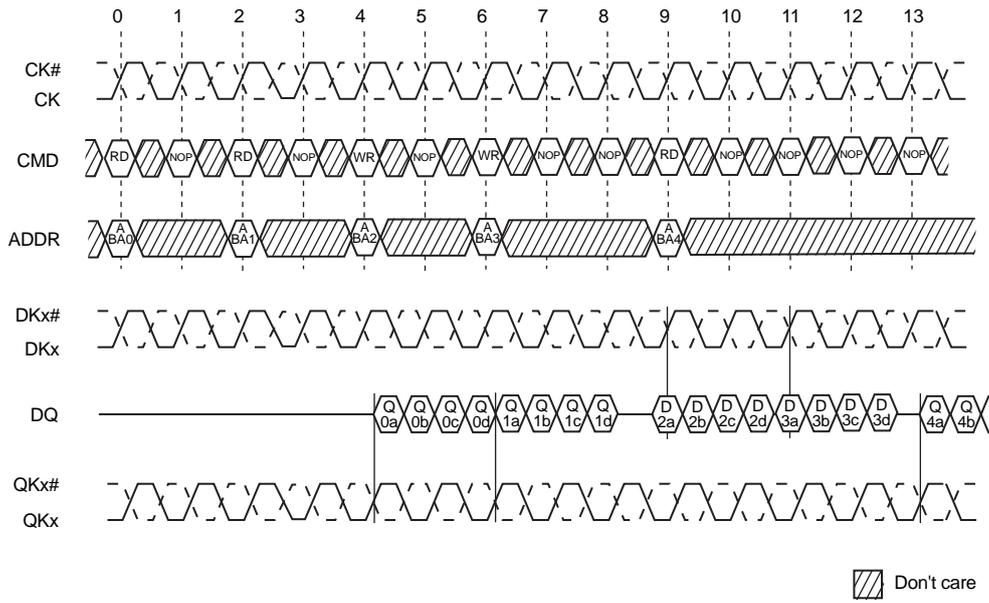


図 2 - 21 CIO 品, アドレス Non-MUX, BL = 8, コンフィギュレーション = 2 のタイミング・チャート

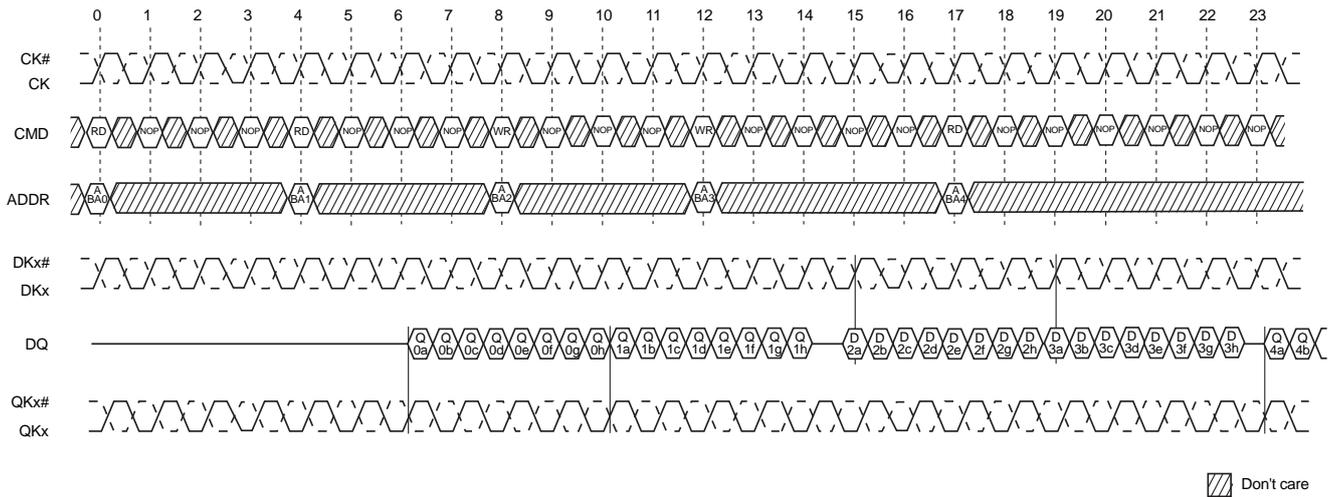


図 2 - 22 CIO 品 , アドレス MUX , BL = 2 , コンフィギュレーション = 1 のタイミング・チャート

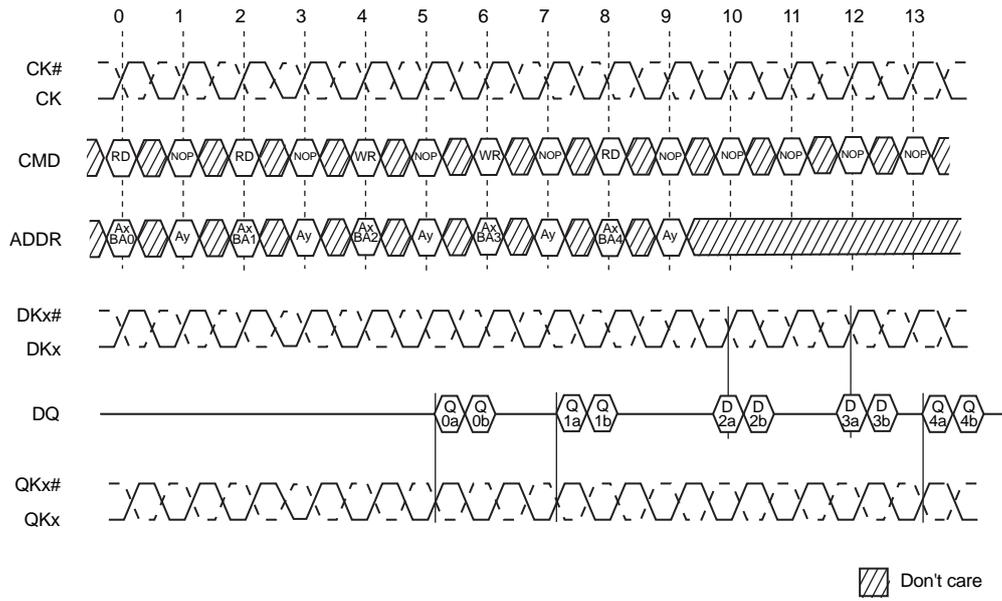


図 2 - 23 CIO 品 , アドレス MUX , BL = 4 , コンフィギュレーション = 1 のタイミング・チャート

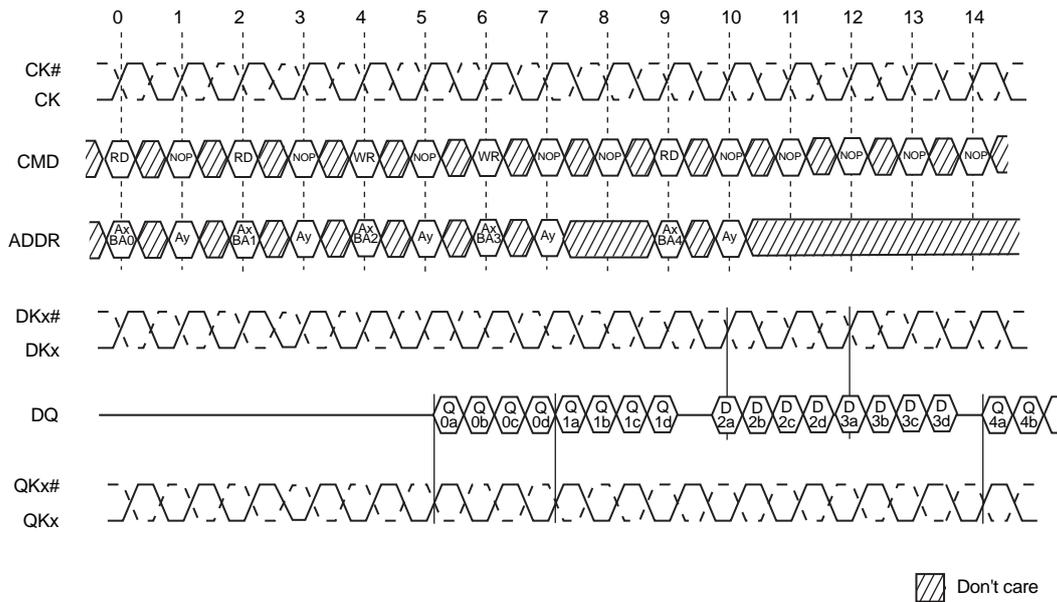


図 2 - 24 CIO 品 , アドレス MUX , BL = 8 , コンフィギュレーション = 2 のタイミング・チャート

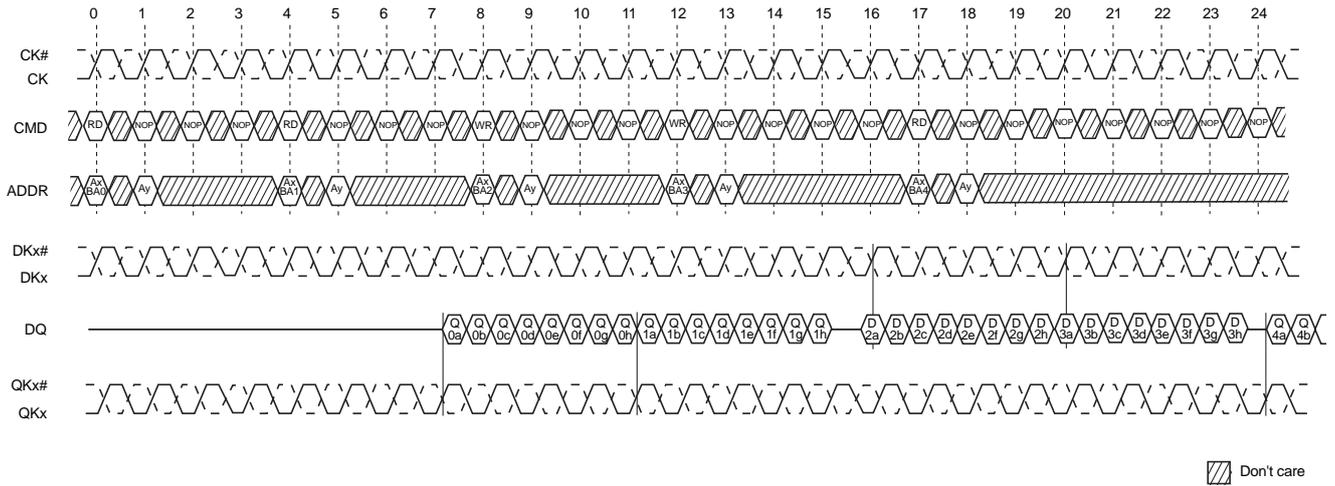


図 2 - 25 SIO 品 , アドレス Non-MUX , BL = 2 , コンフィギュレーション = 1 のタイミング・チャート

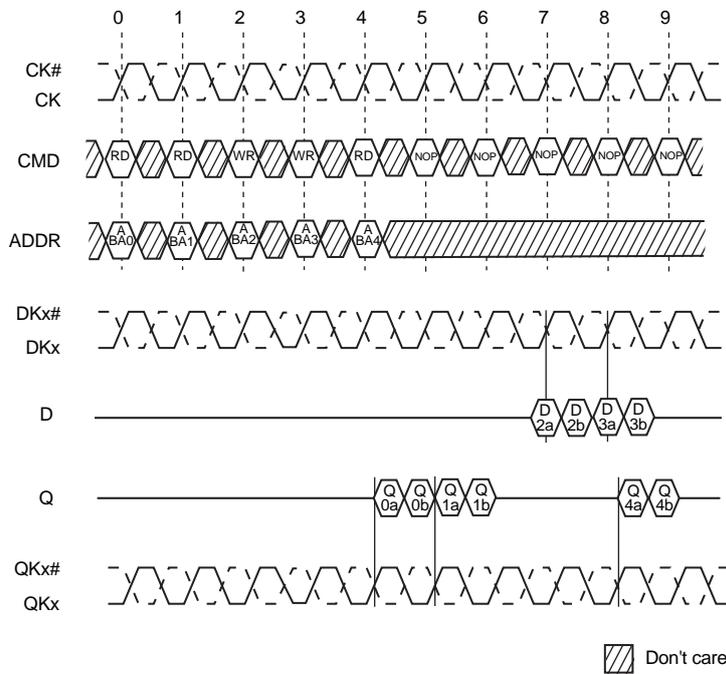


図 2 - 26 SIO 品 , アドレス Non-MUX , BL = 4 , コンフィギュレーション = 1 のタイミング・チャート

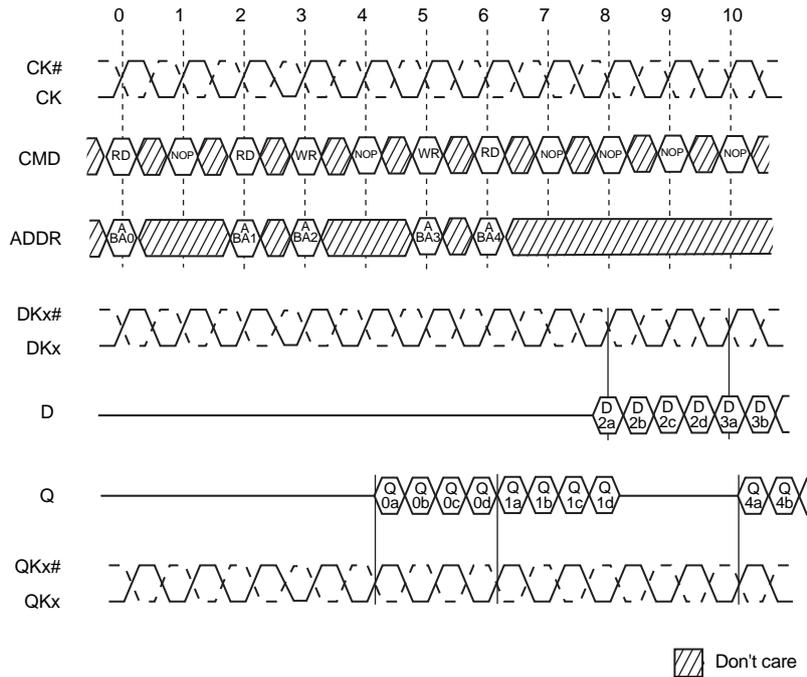


図 2 - 27 SIO 品 , アドレス Non-MUX , BL = 8 , コンフィギュレーション = 2 のタイミング・チャート

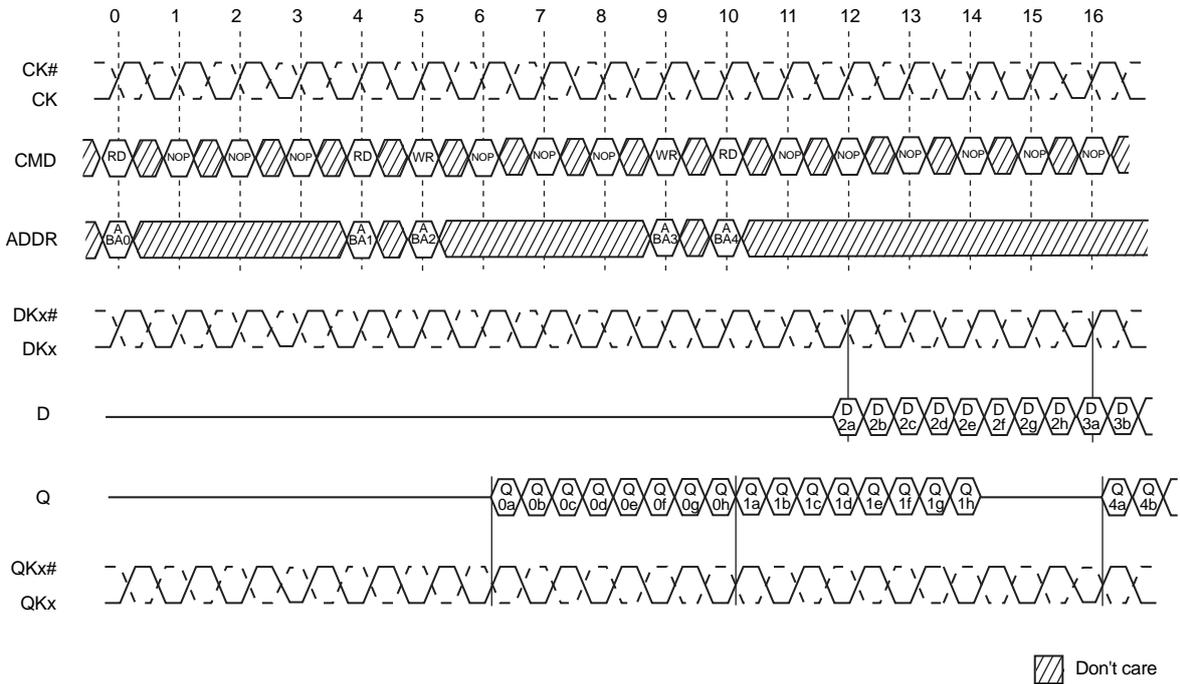


図 2 - 28 SIO 品 , アドレス MUX , BL = 2 , コンフィギュレーション = 1 のタイミング・チャート

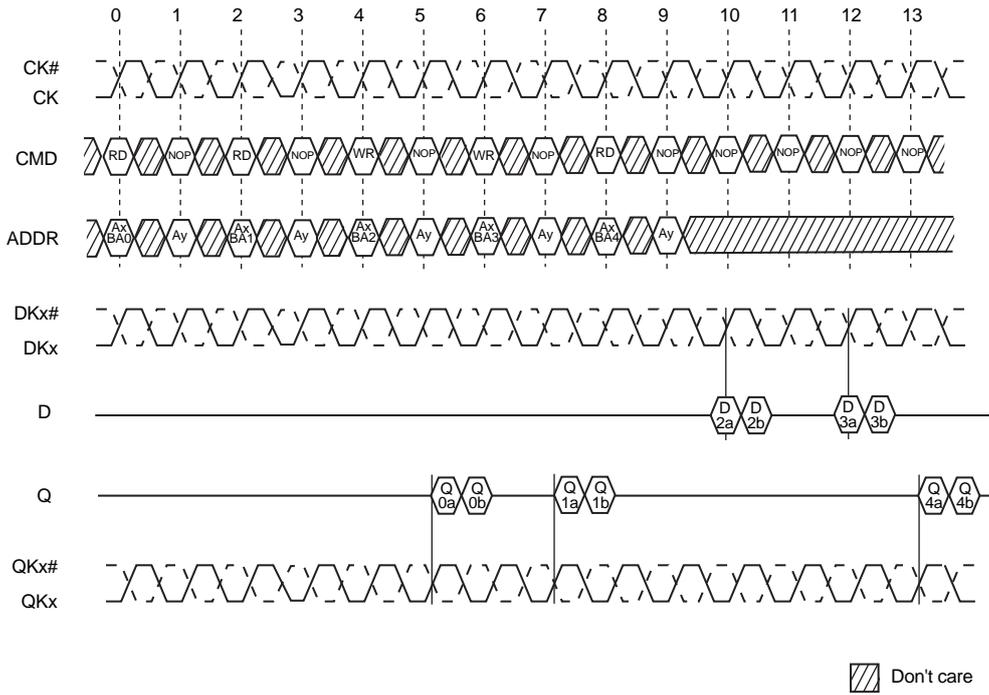


図 2 - 29 SIO 品 , アドレス MUX , BL = 4 , コンフィギュレーション = 1 のタイミング・チャート

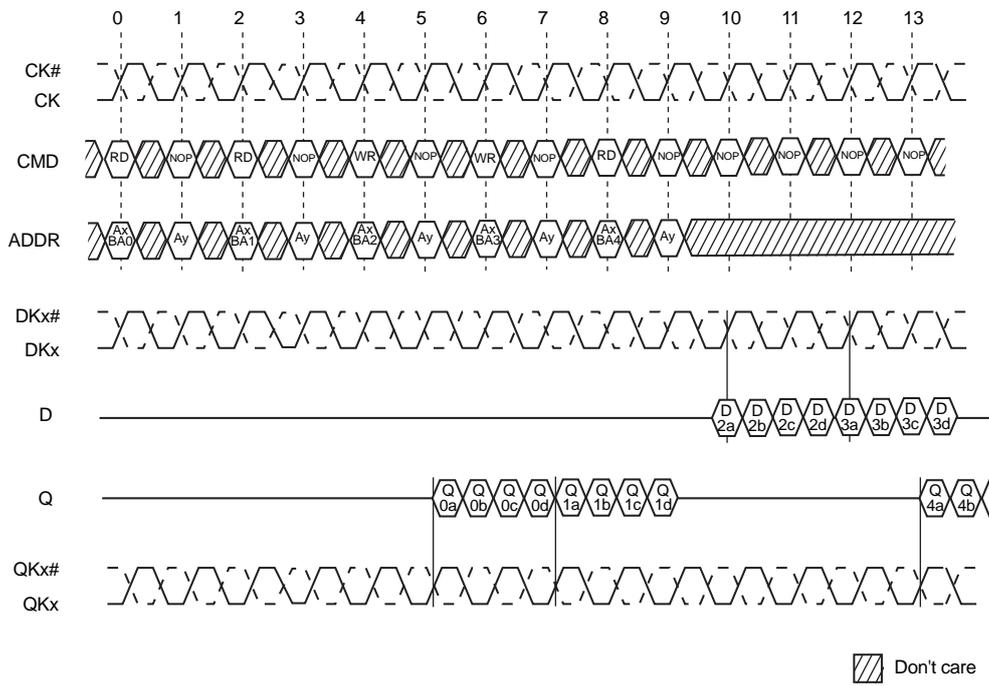


図 2-30 SIO 品, アドレス MUX, BL=8, コンフィギュレーション = 2 のタイミング・チャート

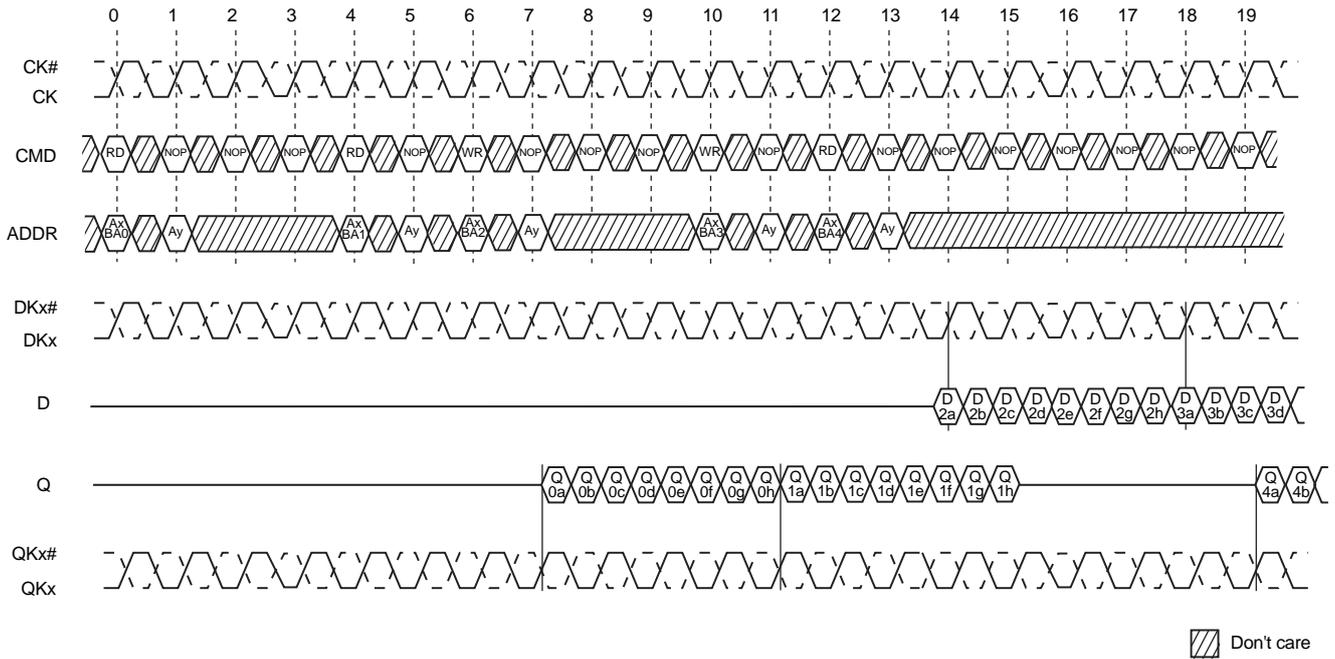


図 2-31 SIO 品, リード/ライト・インタリーブ動作のタイミング・チャート  
(アドレス Non-MUX, BL=4, コンフィギュレーション = 1)

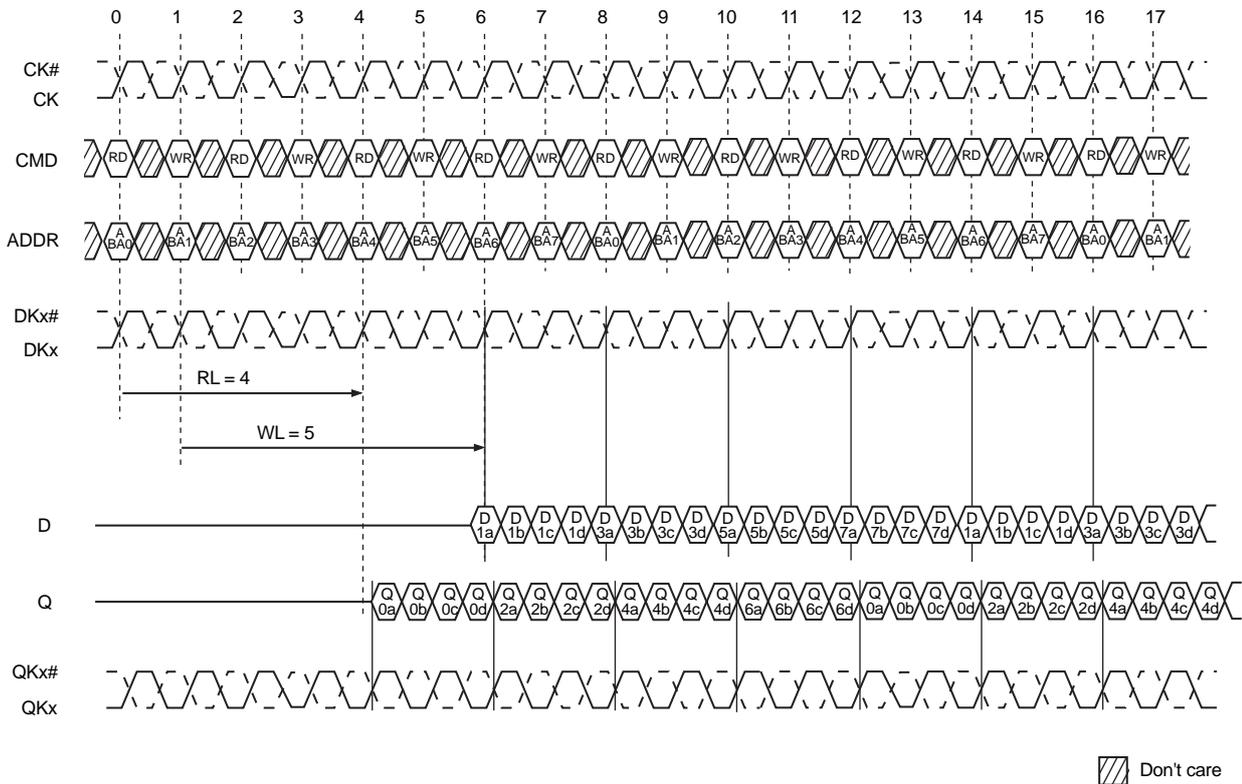
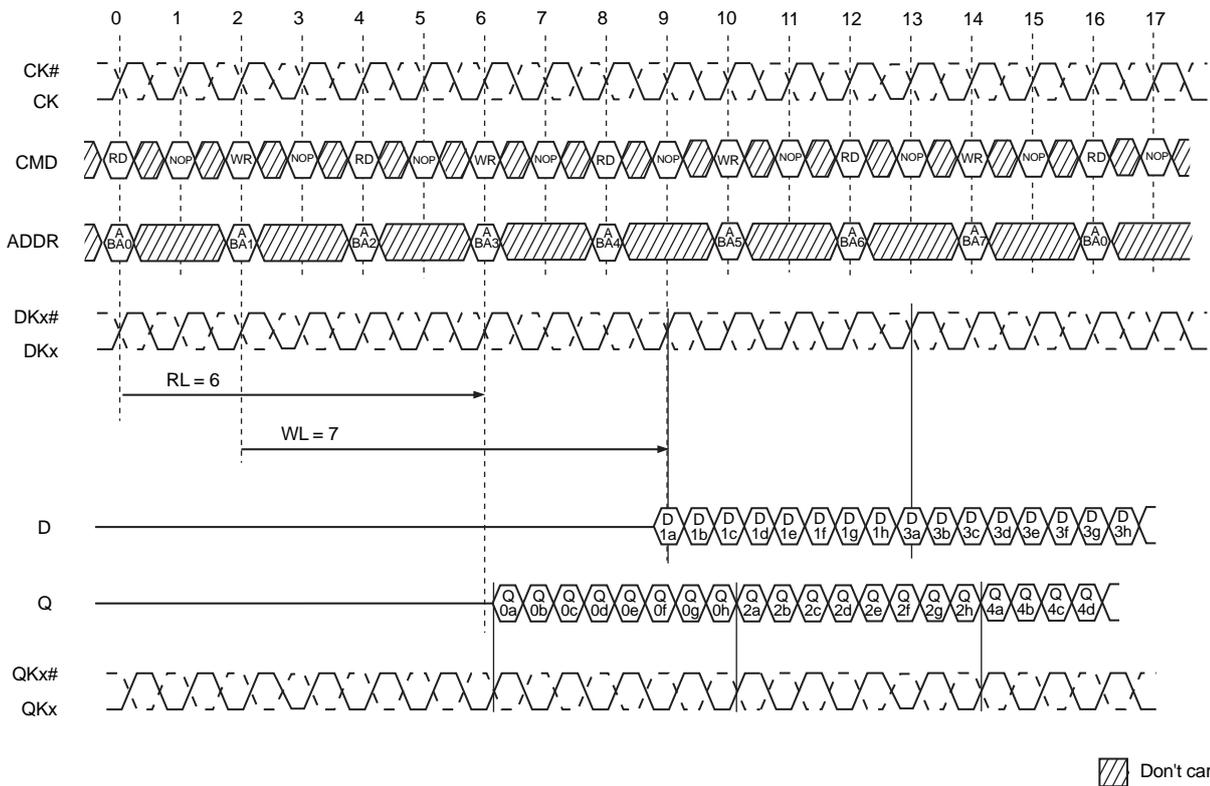


図 2 - 32 SIO 品 , リード/ライト・インタリーブ動作のタイミング・チャート  
 (アドレス Non-MUX , BL = 8 , コンフィギュレーション = 2)



## 2.5 AREF

CK の立ち上がリタイミングでオート・リフレッシュ・コマンドをバンク・アドレスと同時に入力することにより、バンクごとのリフレッシュを行うことができます。アドレス端子を入力しても考慮されません。

詳細については第3章 リフレッシュを参照してください。

図 2 - 33 オート・リフレッシュ・コマンド

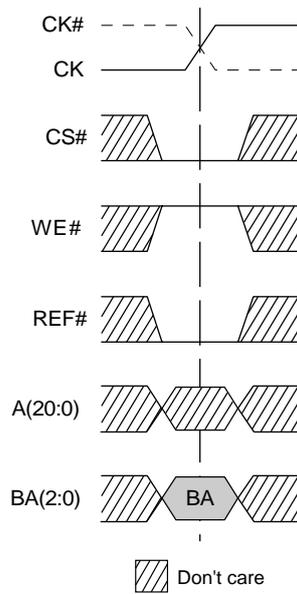
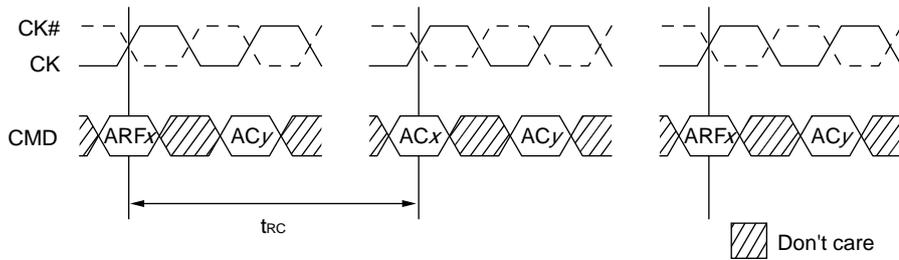


図 2 - 34 オート・リフレッシュ・サイクル



# 第3章 リフレッシュ

Low Latency DRAM はリフレッシュ動作が必要です。リフレッシュは、全メモリ・セルに対してリフレッシュ時間 32 ms 以内に行う必要があります。

## 3.1 リフレッシュについて

AREF コマンドは、メモリ・セル内容をリフレッシュするために用います。AREF コマンドとともに、リフレッシュするバンクを指定するバンク・アドレスを入力します。リフレッシュするアドレスについては、デバイスに搭載されている、内部リフレッシュ・コントローラによって効率的に自動的に生成されますので、アドレスを入力する必要はありません。なお、同一バンクに対するコマンドの入力は、 $t_{RC} (MIN.)$  の規定を満足する必要があります。リフレッシュする手法として、分散リフレッシュとバースト・リフレッシュの二つがあります。

### 3.1.1 分散リフレッシュ

Low Latency DRAM のリフレッシュ時間 32 ms 以内に、リフレッシュ・コマンドを分散して入力する方法です。

#### (1) バンク/ワード分散リフレッシュ

リフレッシュ時間 32 ms 内に、全バンクの全ワードに対して均等なタイミングでリフレッシュを行う方法です。288 Mb Low Latency DRAM の場合、平均リフレッシュ間隔時間は  $0.488 \mu s$  となります。

$$\begin{aligned} \text{平均リフレッシュ間隔時間} &= \text{リフレッシュ時間} / \text{バンクあたりのワード数} / \text{バンク数} \\ &= 32 \text{ ms} / 8,192 \text{ words} / 8 \text{ bank} = 0.488 \mu s \end{aligned}$$

図 3-1 バンク/ワード分散リフレッシュのタイミング・イメージ

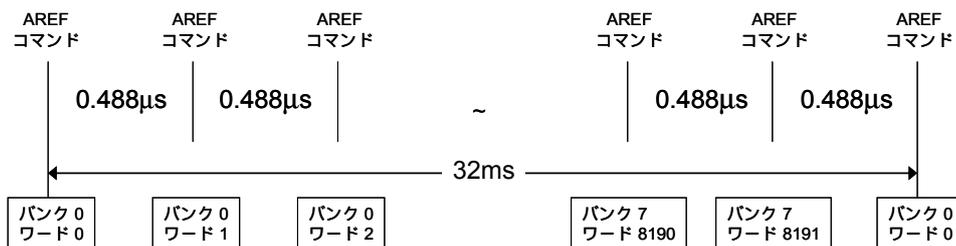
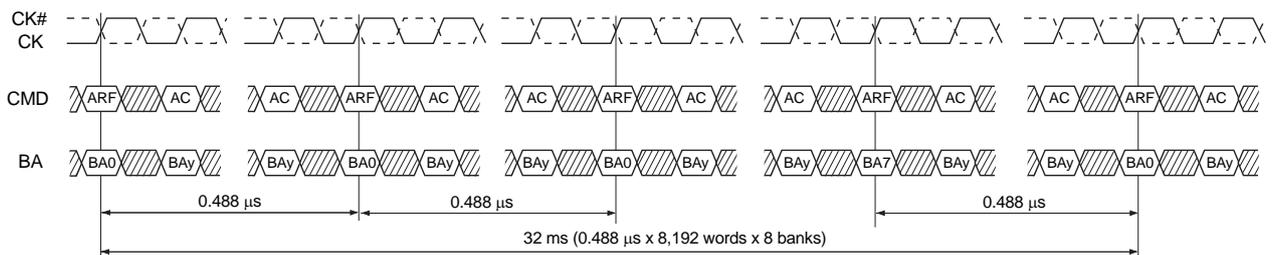


図 3-2 バンク/ワード分散リフレッシュのタイミング・チャート



(2) ワード分散・リフレッシュ

8つのバンクについてAREFコマンドを連続ひとまとめとしてコマンドを発行しリフレッシュを行う方法です。これにより、バンク/ワード分散リフレッシュより、リフレッシュによる中断のないデータ書き込み/データ読み込み期間を、連続して長く確保することが可能になります。

288 Mb Low Latency DRAM の場合、リフレッシュ間隔時間は  $3.90 \mu\text{s}$  となります。

$$\begin{aligned} \text{リフレッシュ間隔時間} &= \text{リフレッシュ時間} / \text{バンクあたりのワード数} \\ &= 32 \text{ ms} / 8,192 \text{ words} = 3.90 \mu\text{s} \end{aligned}$$

図 3-3 ワード分散リフレッシュのタイミング・イメージ

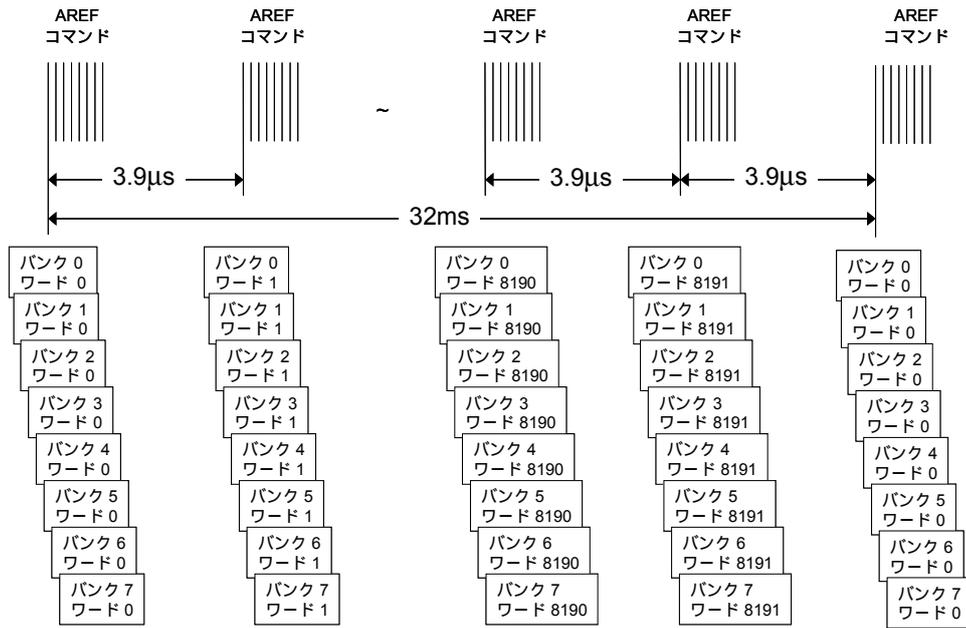
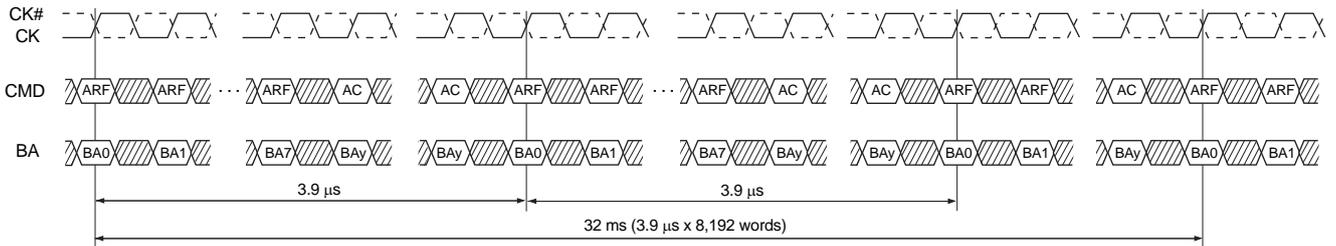


図 3-4 ワード分散リフレッシュのタイミング・チャート



### 3.1.2 バースト・リフレッシュ

Low Latency DRAM のリフレッシュ時間 32 ms 以内に、リフレッシュ・コマンドを集中して入力する方法です。

#### (1) バースト・リフレッシュ

リフレッシュ時間 32 ms 内に、全バンクの全ワードに対して一度にリフレッシュを行う方法です。これにより、リフレッシュ時間 32 ms からリフレッシュに要した時間を引いた期間を、リフレッシュによる中断のないデータ書き込み/データ読み込み期間として確保することが可能になります。

288 Mb Low Latency DRAM 400 MHz の場合、バースト・リフレッシュ時間は 0.164 ms となり、リフレッシュによる中断のないデータ書き込み/データ読み込み可能期間は 31.836 ms となります。

$$\begin{aligned} \text{バースト・リフレッシュ時間} &= \text{バンクあたりのワード数} \times \text{バンク数} \times \text{サイクル時間} \\ &= 8,192 \text{ words} \times 8 \text{ banks} \times 2.5 \text{ ns} = 0.164 \text{ ms} \end{aligned}$$

$$\begin{aligned} \text{リフレッシュによる中断のないデータ書き込み/データ読み込み可能期間} \\ &= \text{リフレッシュ時間} - \text{バースト・リフレッシュ時間} \\ &= 32 \text{ ms} - 0.164 \text{ ms} = 31.836 \text{ ms} \end{aligned}$$

図 3-5 バースト・リフレッシュのタイミング・イメージ (400 MHz 動作時)

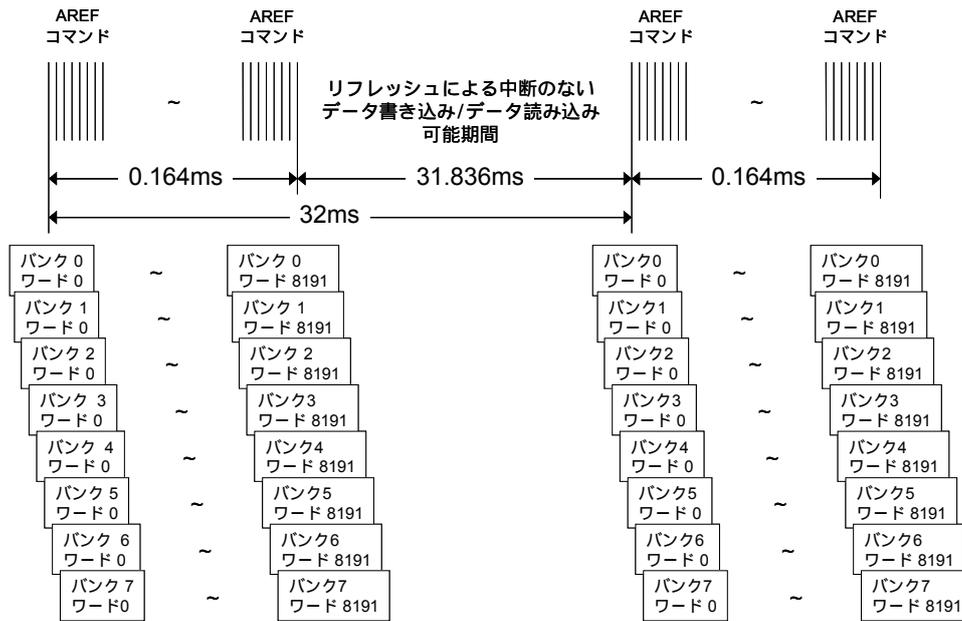
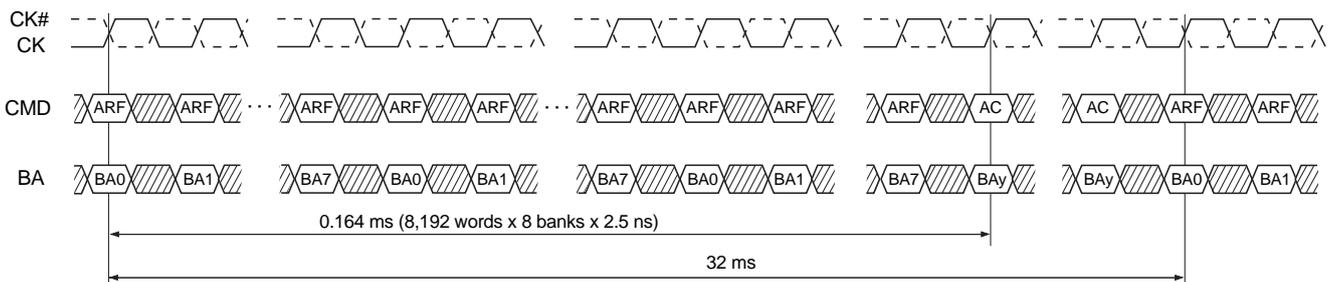


図 3-6 バースト・リフレッシュのタイミング・チャート (400 MHz 動作時)



## 第4章 電源投入

Low Latency DRAM は、電源投入直後、デバイスの内部状態が不定ですので、正常動作を開始するためには、所定の電源投入手順と初期化手順に従う必要があります。アドレス Non-MUX の場合とアドレス MUX の場合で、手順が異なりますのでそれぞれについて説明します。なお、予期せぬ動作や永久的な損傷を回避するために、所定の手順に従い操作してください。

### 4.1 アドレス Non-MUX の場合

以下の(1)～(5)に従って、電源を投入してください。

- (1)  $V_{EXT}$ ,  $V_{DD}$ ,  $V_{DDQ}$ ,  $V_{REF}$ ,  $V_{TT}$  を印加し、それぞれの電圧が安定した後にクロック動作を開始してください。

$V_{DD}$  と  $V_{EXT}$  は  $V_{DDQ}$  と同時に、もしくは  $V_{DDQ}$  よりも先に印加してください。

$V_{DDQ}$  は  $V_{REF}$  および  $V_{TT}$  と同時に、もしくは  $V_{REF}$  および  $V_{TT}$  よりも先に印加してください。

$V_{DD}$  と  $V_{EXT}$  の間には投入順や通常の動作レベルに達する時間に関する制限はありませんが、両方のレベルが通常の動作レベルに達した後に、以降のデバイスの電源投入シーケンスを継続してください<sup>注1</sup>。

CK, CK#のクロック動作開始の前までは、VID (DC) を満足する必要があります。

この間は、NOP コマンドを継続的に実行して NOP 状態を維持してください。

- (2) 安定した状態<sup>注2</sup>を、最低 200  $\mu$ s 維持してください。

- (3) 3 サイクル以上、MRS コマンドを連続して入れてください。

ダミーの MRS コマンドを 2 サイクル以上、有効な MRS コマンドを 1 サイクル。ダミーの MRS コマンド入力時のモード・レジスタ・コードは、有効な MRS コマンド入力時のモード・レジスタ・コードと同じ値にすることを推奨します。

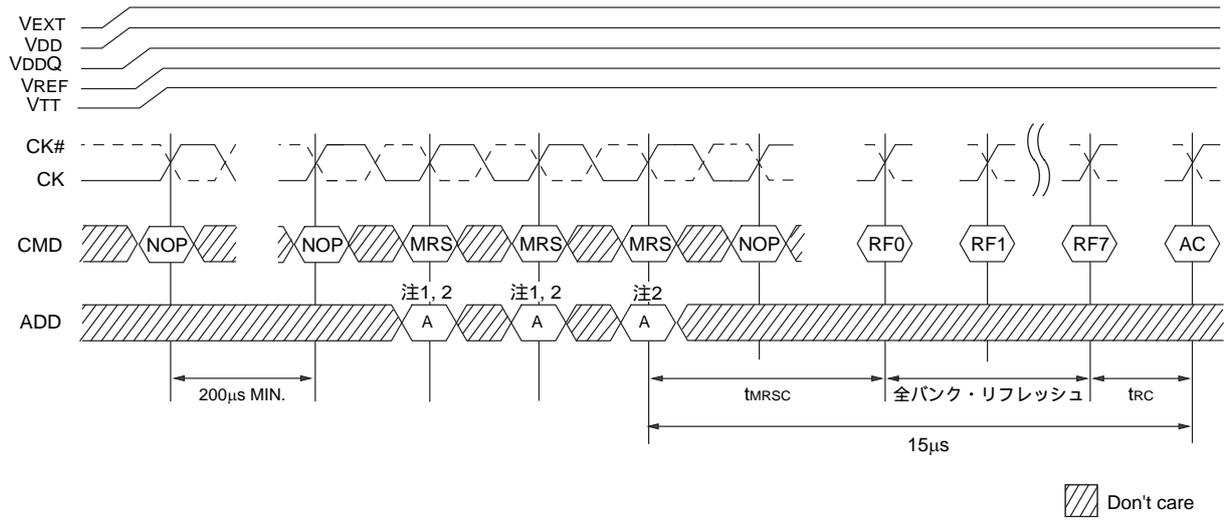
- (4) ご使用になる MRS の設定を行ってから  $t_{MRSC}$  後に、全 8 バンクへのリフレッシュ・コマンドを入力してください。また、通常動作を開始するまでに PLL 回路ロック時間  $t_{CK Lock (MIN.)}$  で規定される 15  $\mu$ s の間クロック入力が必要となります。

- (5) 最後の AREF コマンドから  $t_{RC}$  後、通常動作が可能になります。

注1. 電源投入手順と初期化手順の設計目標は制限なしですが、上記手順を守ってください。

2. 安定したレベルとは、電圧変動が  $\pm 0.1$  V DC / 50 ns 以下と規定します。

図4-1 アドレスNon-MUX時の電源投入シーケンス



注1. ダミーのMRS コマンドを入力する間、すべてのアドレス端子をLOW にしてください。

2. A10-A17 はLOW にしてください。

備考 MRS : MRS コマンド

RFx : リフレッシュ・コマンド (バンク x)

AC : 任意のコマンド

## 4.2 アドレス MUX の場合

以下の (1) ~ (5) に従って、電源を投入してください。

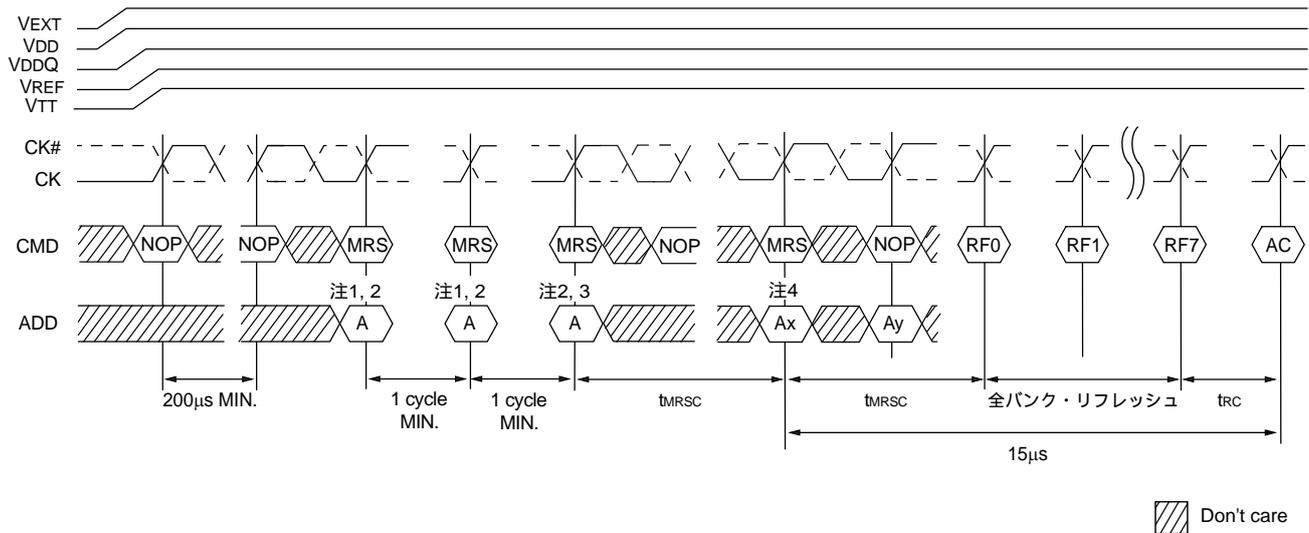
- (1)  $V_{EXT}$ ,  $V_{DD}$ ,  $V_{DDQ}$ ,  $V_{REF}$ ,  $V_{TT}$  を印加し、それぞれの電圧が安定した後にクロック動作を開始してください。  
 $V_{DD}$  と  $V_{EXT}$  は  $V_{DDQ}$  と同時に、もしくは  $V_{DDQ}$  よりも先に印加してください。  
 $V_{DDQ}$  は  $V_{REF}$  および  $V_{TT}$  と同時に、もしくは  $V_{REF}$  および  $V_{TT}$  よりも先に印加してください。  
 $V_{DD}$  と  $V_{EXT}$  の間には投入順や通常の動作レベルに達する時間に関する制限はありませんが、両方のレベルが通常の動作レベルに達した後に、以降のデバイスの電源投入シーケンスを継続してください<sup>注1</sup>。  
 $CK$ ,  $CK\#$  のクロック動作開始の前までは、 $V_D$  (DC) を満足する必要があります。  
この間は、NOP コマンドを継続的に実行して、NOP 状態を維持してください。
- (2) 安定した状態<sup>注2</sup>を、最低 200  $\mu s$  維持してください。
- (3) 3 サイクル以上、MRS コマンドを連続して入れてください。  
ダミーの MRS コマンドを 2 サイクル以上、アドレス・マルチ・モードを設定するための有効な MRS コマンドを 1 サイクル。この際、アドレス端子 A5 は HIGH を入力してください。ダミーの MRS コマンド入力時のモード・レジスタ・コードは、有効な MRS コマンド入力時のモード・レジスタ・コードと同じ値にすることを推奨します。
- (4) 先の有効な MRS コマンドから  $t_{MRSC}$  後に、アドレス・マルチ・モード下の有効な MRS コマンドとともにモード・レジスタ・コードの入力を開始してください。
- (5) 最後の有効な MRS コマンドから  $t_{MRSC}$  後に、8 つ存在するそれぞれのバンクに対する AREF コマンドの入力を開始してください。各々の AREF コマンドは、2048 サイクルの間隔を空けて入れてください<sup>注3</sup>。入れるバンクの順番については、特に制限はありません。
- (6) 最後の AREF コマンドから  $t_{rc}$  後、通常動作が可能になります。

注1. 電源投入手順と初期化手順の設計目標は制限ありませんが、上記手順を守ってください。

2. 安定したレベルとは、電圧変動が  $\pm 0.1$  V DC / 50 ns 以下と規定します。

3. 8 つのバンクに対し AREF コマンド入力が必要です。すべてのバンクに対する AREF コマンドの入力が完了するまでに、 $t_{CK Lock}$  (MIN.) で規定される 15  $\mu s$  以上の時間が確保できていれば問題ありません。この期間に、PLL 回路はロックされます。

図4-2 アドレスMUX時の電源投入シーケンス



注1. ダミーのMRS コマンドを入力する間、すべてのアドレス端子をLOW にしてください。

2. A10-A17 はLOW にしてください。
3. アドレス端子A5はHIGH に設定してください(アドレス Non-MUX 時においてアドレス・マルチ・モードをセットします)。
4. アドレス端子A5はHIGH に設定してください(アドレス MUX 時においてアドレス・マルチ・モードをセットします)。

備考 MRS : MRS コマンド

RFx : リフレッシュ・コマンド(バンク x)

AC : 任意のコマンド

## 第5章 PLL 回路

### 5.1 PLL 回路の搭載

NEC エレクトロニクスの Low Latency DRAM は、PLL 回路を搭載しています。PLL 回路を用いることで、デバイス内部の制御用のクロック信号を生成し、これを用いてデータ出力 Q, DQ や出力データ・クロック QK, QK# の出力タイミング精度を向上させています。ただし、PLL 回路の搭載により、最低動作周波数は  $t_{CK}$  (MAX.) に制限されます。

PLL 回路の有効、無効は、MRS コマンド入力時の、PLL 機能を設定するモード・レジスタ・コードで設定します。

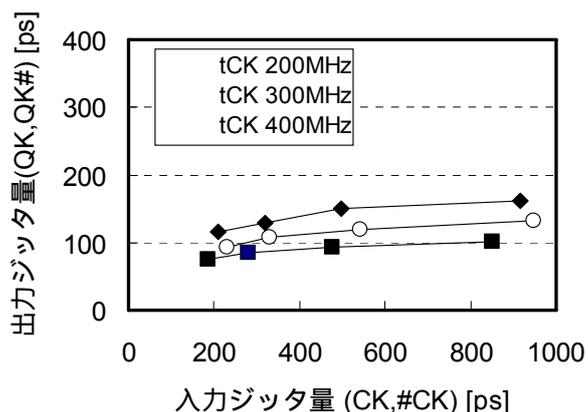
表 5-1 モード・レジスタ・コード

PLL 機能	アドレス・マルチプレクス機能	
	アドレス Non-MUX	アドレス MUX
PLL 回路無効 (デフォルト)	A7 = 0	A9y = 0
PLL 回路有効	A7 = 1	A9y = 1

#### 5.1.1 PLL 回路のメリット

PLL 回路は、入力ジッタの影響を抑制し、出力ジッタを小さく抑えます。このため、PLL 回路を用いた製品は、出力データの有効データ・ウィンドウをより拡大することができます。図 5-1 に PLL 回路を用いた製品の入力ジッタ量に対する出力ジッタ量の依存性を示します。PLL 回路を用いた製品では、出力ジッタ量は入力ジッタ量にほとんど依存せず一定となっています。このため、Low Latency DRAM では、PLL 回路を採用しています。

図 5-1 PLL 回路の入力ジッタ量に対する出力ジッタ量の依存性



### 5.1.2 PLL 回路の無効化

低速でのシステムの動作確認などを行う場合、MRS コマンド入力時のモード・レジスタ・コードの設定により PLL 回路を無効にし、 $t_{CK}(\text{MAX.})$  の制限より遅いクロック周波数で動作させることができます。ただし、この際のリード・レーテンシ  $t_{RL}$  は、2.3.2 コンフィギュレーション設定で設定した値と変わりませんが、AC/DC 特性は保証されません。

なお、通常動作時は、PLL 回路を有効化してお使いください。

表 5-2 動作最低周波数

PLL 機能	$t_{CK}(\text{MAX.})$	周波数
PLL 回路無効 (デフォルト)	488 ns	2.05 MHz
PLL 回路有効	5.7 ns	175 MHz

### 5.1.3 クロック停止

入力クロック CK/CK# の動作を停止することで、消費電力を抑えることができます。その際、出力データ・クロック QK, QK# も同様にクロック動作を停止し、QK/QK# = HIGH/LOW もしくは QK/QK# = LOW/HIGH のレベルを出力し続けます。

クロック停止からの復帰の際には、通常動作を開始させる前に、PLL 回路ロック時間  $t_{CK\text{ Lock}}(\text{MIN.})$  で規定された期間、安定した入力クロック CK/CK# を入力してください。なお、クロック停止する前に書き込まれたデータは保持されません。

### 5.1.4 動作周波数の変更

Low Latency DRAM は、MRS コマンドによるモード・レジスタ・コードの再設定を行うことなく、動作周波数を変更することが可能です。ただし、動作周波数を変更したあとは、通常動作を開始する前に、PLL 回路ロック時間  $t_{CK\text{ Lock}}(\text{MIN.})$  で規定された期間、安定した入力クロック CK/CK# を入力してください。なお、動作周波数変更前に書き込まれたデータは保持されませんので、ご注意ください。

## 第6章 出力インピーダンス・マッチング

Low Latency DRAM は、出力インピーダンスを調整する機能を持つプログラマブル・インピーダンス出力バッファ (Programmable Impedance Output Buffer) を搭載しています。これにより、出力端子のインピーダンスと伝送線路のインピーダンスを整合することが可能です。このインピーダンス整合により、出力信号波形のひずみを抑えることができます。

### 6.1 出力インピーダンスの調整

この機能では、次の2つの設定を選択することができます。

- (1) デバイス内部にあらかじめ設定されている抵抗値を参照し、その抵抗値に設定する
- (2) ZQ 端子に外部接続する抵抗値 RQ を参照し、RQ/5  $\Omega$  に設定する

抵抗値設定の選択は、インピーダンス・マッチングを定義するモード・レジスタ・コードで設定します。

表 6-1 モード・レジスタ・コード

出力インピーダンス・モード機能	アドレス・マルチプレクス機能	
	アドレス Non-MUX	アドレス MUX
デバイス内部の 50 $\Omega$ に設定 (デフォルト)	A8 = 0	A8x = 0
外部接続抵抗値 RQ/5 $\Omega$ に設定	A8 = 1	A8x = 1

(1) デバイス内部にあらかじめ設定されている抵抗値を参照し、その抵抗値に設定する出力インピーダンスは、デバイス内部にあらかじめ設定されている抵抗値 50  $\Omega$  になります。

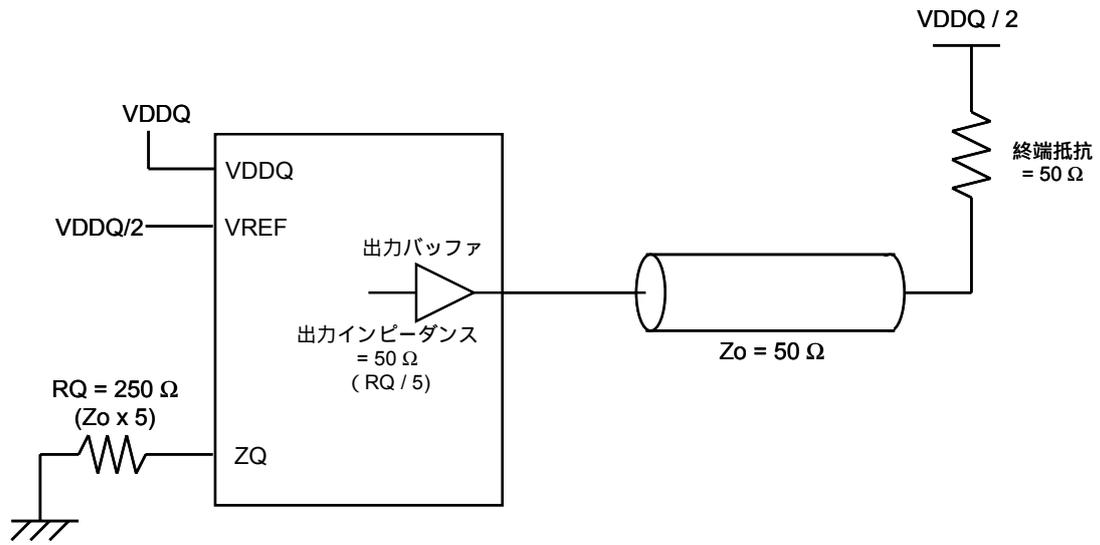
(2) デバイス外部の ZQ 端子に外部接続する抵抗値 RQ を参照し RQ/5  $\Omega$  に設定する

出力インピーダンスは、ZQ 端子と V<sub>SS</sub> の間に接続する抵抗の値で調整することができます。設定したい出力インピーダンスの5倍の抵抗値 RQ を ZQ 端子と V<sub>SS</sub> の間に接続してください。たとえば、伝送線路のインピーダンス (Z<sub>0</sub>) が 50  $\Omega$  の場合、ZQ 端子に接続する RQ の抵抗値を 250  $\Omega$  にすることで、Low Latency DRAM の出力インピーダンスは 50  $\Omega$  に設定されます。この際の設定可能な出力インピーダンスの範囲は 25 ~ 60  $\Omega$  です。

**備考 1.** (2) のモード・レジスタ・コード設定の場合には、ZQ 端子を V<sub>SS</sub> に接続することで最小インピーダンスに、ZQ 端子を V<sub>DDQ</sub> に接続することで最大インピーダンスに設定することができます。

2. 設定している出力インピーダンスを変更する場合は、電源をいったん OFF にして、ZQ 端子に接続する抵抗を変更したあとに、電源を立ち上げなおしてください。
3. このデバイスでは、電圧と温度の変動に追従して、出力インピーダンスは適宜修正しています。この修正動作は自動的におこなわれており、外部から検知することはできませんが、デバイスの動作に影響を与えません。すべての AC/DC 特性を満足します。

図 6-1 出力インピーダンスの設定例



# 第7章 終端抵抗

## 7.1 終端抵抗の効果

信号線を終端することは、信号波形のひずみを抑える効果があります。Low Latency DRAM の出力端子につながる信号線の遠端部を終端することでコントローラに入力する信号波形への反射波を抑えることが可能です。第6章 出力インピーダンス・マッチング に記載のプログラマブル・インピーダンス出力バッファによる出力インピーダンスの調整とこの終端抵抗の併用により、信号波の品質をより向上させることが可能です。

**注意** Low Latency DRAM の AC 特性は、シンクロナス・データ出力端子 (Q または DQ)、データ・バリッド (QVLD) と出力データ・クロック (QK, QK#) が終端されている条件で規定しています。

図 7-1 に終端した場合の信号波の伝達イメージを示します。Low Latency DRAM とメモリ・コントローラをつなぐ伝送線を終端することで、信号波の反射波を抑えることができます。

図 7-1 終端した場合の信号波の伝達イメージ

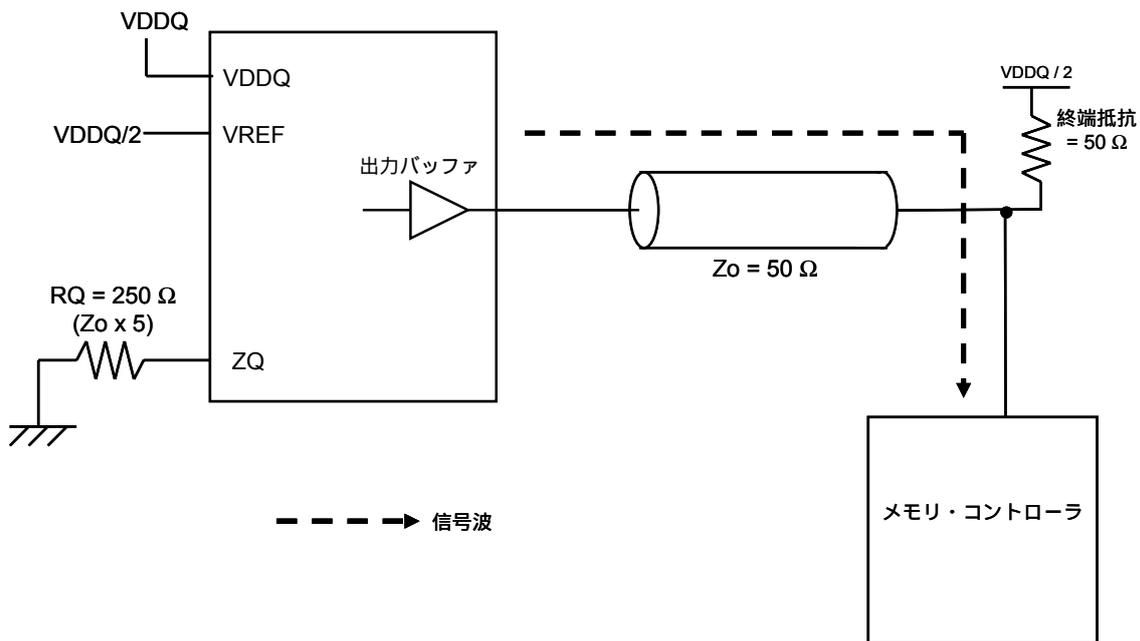
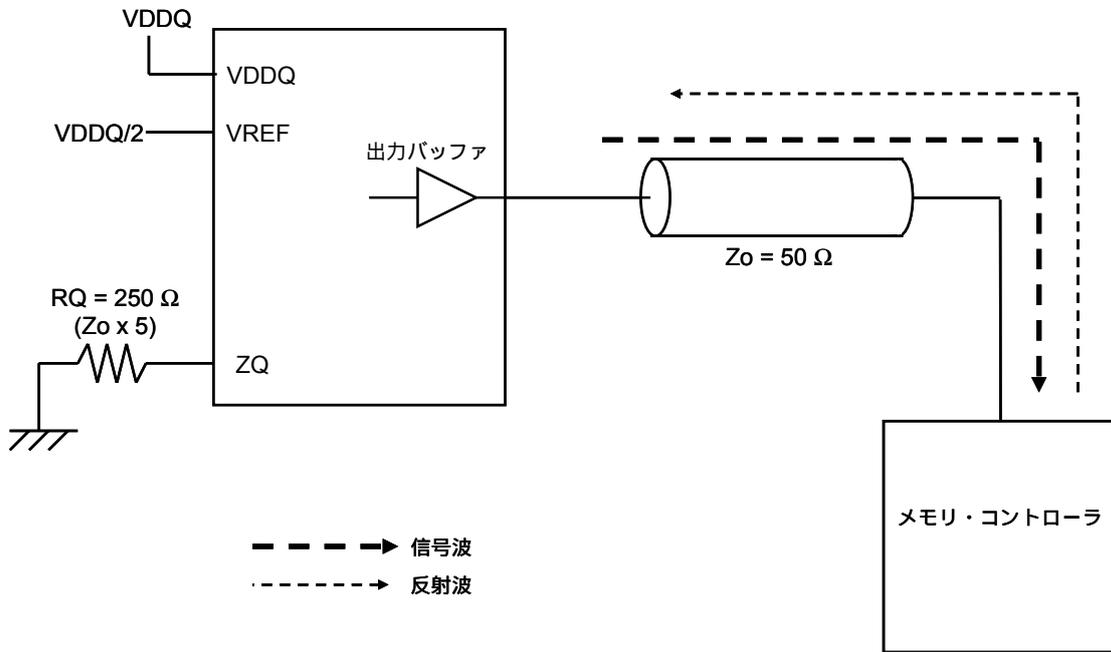


図7-2に終端しない場合の信号波の伝達イメージを示します。伝送線路を終端していないため、信号波の反射波を抑えることができず、信号波の品質低下を招く恐れがあります。

図7-2 終端しない場合の信号波の伝達イメージ



## 第 8 章 On Die Termination (ODT)

Low Latency DRAM は、ODT 機能を搭載しています。ODT 機能を用いて信号線を終端することにより、信号波形のひずみを抑え信号波形の品質低下を防ぐ効果があります。さらに、従来システム基板上に外付けしていた終端抵抗の部品数の低減が可能となりコスト削減にも寄与します。

### 8.1 ODT 機能の設定

データ入出力端子 DQ、データ入力端子 D、データ出力端子 Q およびデータ・マスク入力端子 DM が ODT 機能を有しています。ODT 機能の有効/無効の設定は、ODT 機能を定義するモード・レジスタ・コードで設定します。

表 8-1 モード・レジスタ・コード

ODT 機能	アドレス・マルチプレクス機能	
	アドレス Non-MUX	アドレス MUX
無効 (デフォルト)	A9 = 0	A9x = 0
有効	A9 = 1	A9x = 1

### 8.2 各端子の ODT オン・タイミング

ODT 機能の有効時、ODT オンのタイミングは、I/O 構成、端子により変わります。

表 8-2 モード・レジスタ・コード

I/O 構成	端子	ODT オン・タイミング
CIO 品	DM	常時
	DQ	データ読み出し時以外
SIO 品	D, DM	常時
	Q	データ読み出し時以外

**備考** DNU 端子 (x9, x18 品で使用しない DQ, D, Q 端子) については、ODT 機能を有効に設定した場合でも、ODT 機能は無効となり常時 ODT オフになります。

図 8-1 に CIO 品のタイミング・チャートを、図 8-2 に SIO 品のタイミング・チャートを示します。

図 8 - 1 CIO 品の ODT 使用時のタイミング・チャート (アドレス Non-MUX, BL = 2 , コンフィギュレーション 1)

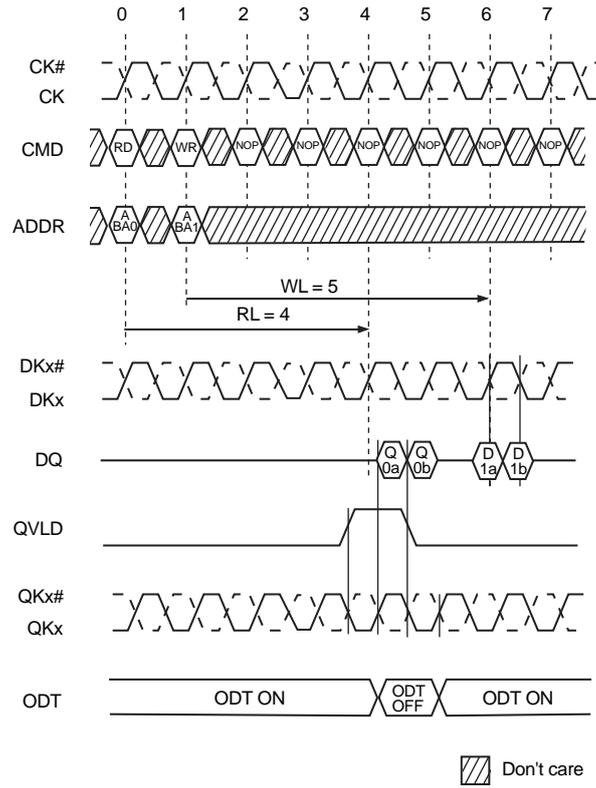
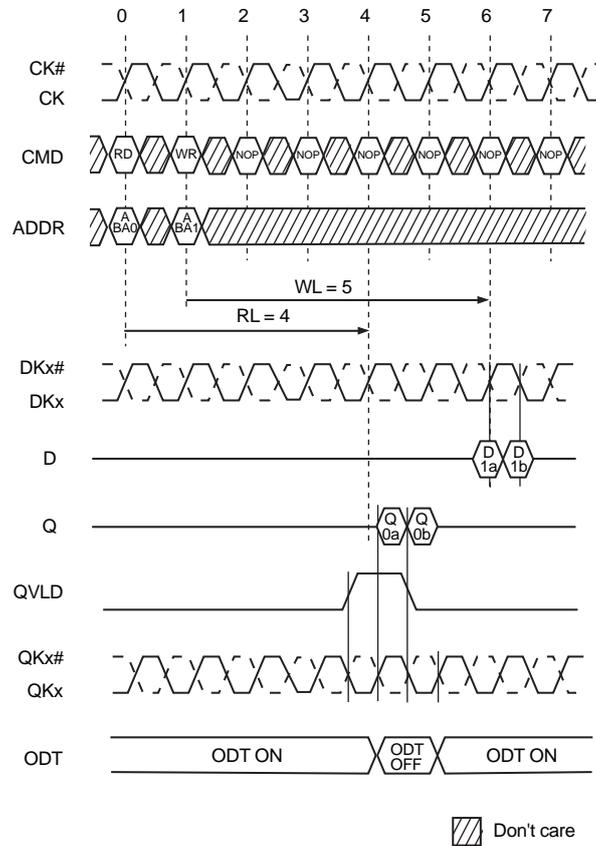


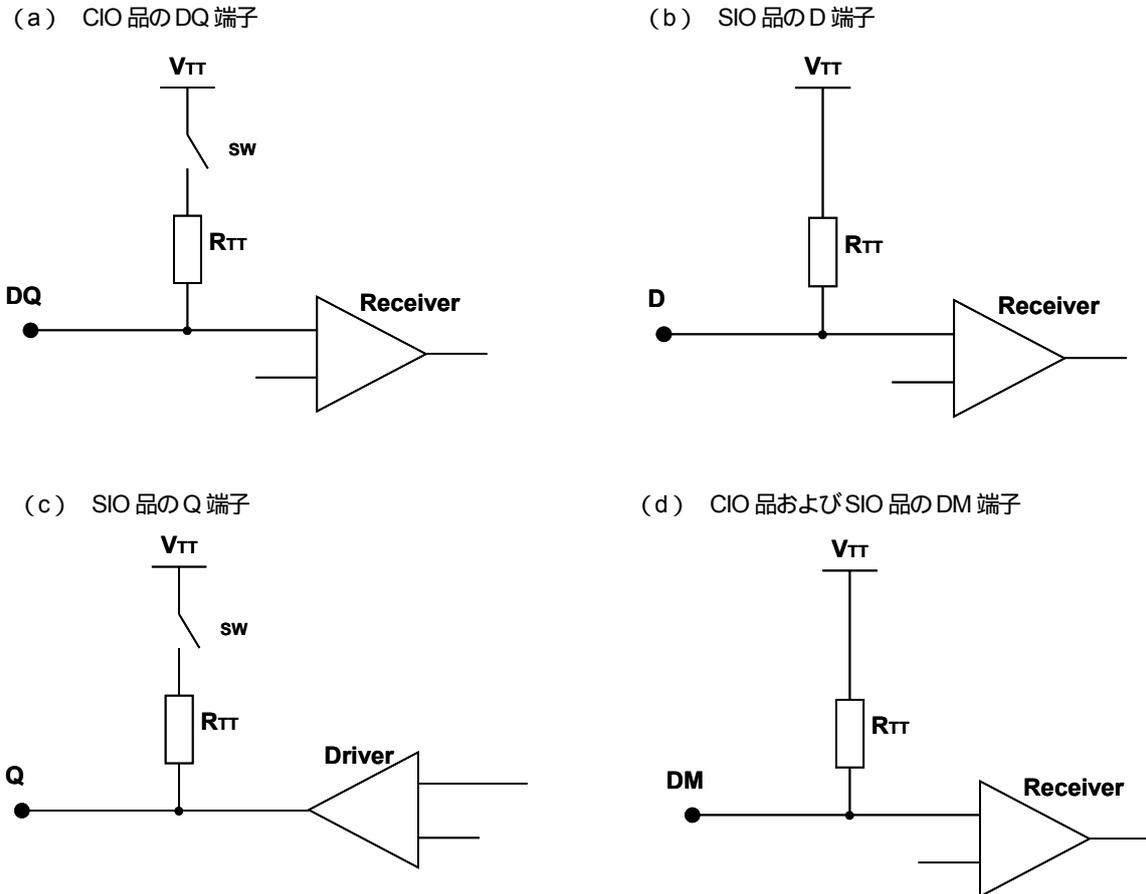
図 8 - 2 SIO 品の ODT 使用時のタイミング・チャート (アドレス Non-MUX, BL = 2 , コンフィギュレーション 1)



### 8.3 ODT の構造

ODT オン時には、DQ、D、Q、DM 端子は、デバイス内部で抵抗  $R_{TT}$  を介して  $V_{TT}$  に終端されます。図 8-3 に ODT の等価回路図を示します。

図 8-3 ODT 等価回路図



### 8.4 ODT の DC パラメータ

$V_{TT}$  の電圧は  $V_{REF}$  に設定してください。また、 $R_{TT}$  は、 $T_c = 95^\circ\text{C}$  のもと  $135 \sim 165 \Omega$  の設定となります。

表 8-3 ODT の DC 仕様

ODT 機能	略号	MIN.	MAX.	単位
終端電圧	$V_{TT}$	$0.95 \times V_{REF}$	$1.05 \times V_{REF}$	V
終端抵抗	$R_{TT}$	135	165	$\Omega$

〔メモ〕

(メモ)

## 【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

---

お問い合わせ先

## 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

## 【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : [info@necel.com](mailto:info@necel.com)

## 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。