

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

---

## 資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

---

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日  
株式会社ルネサス テクノロジ  
カスタマサポート部

## ご注意

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、  
詳細については必ず本文の内容をご確認ください。

EOL Product

# HMCS43XX ファミリ

## ハードウェアマニュアル

HMCS43XX

HD404344R シリーズ  
HD404394 シリーズ  
HD404318 シリーズ  
HD405358 シリーズ  
HD404358R シリーズ  
HD404339 シリーズ  
HD404369 シリーズ

## ご注意

1. 本書に記載の製品及び技術のうち「外国為替及び外国貿易法」に基づき安全保障貿易管理関連貨物・技術に該当するものを輸出する場合、または国外に持ち出す場合は日本国政府の許可が必要です。
2. 本書に記載された情報の使用に際して、弊社もしくは第三者の特許権、著作権、商標権、その他の知的所有権等の権利に対する保証または実施権の許諾を行うものではありません。また本書に記載された情報を使用した事により第三者の知的所有権等の権利に関わる問題が生じた場合、弊社はその責を負いませんので予めご了承ください。
3. 製品及び製品仕様は予告無く変更する場合がありますので、最終的な設計、ご購入、ご使用に際しましては、事前に最新の製品規格または仕様書をお求めになりご確認ください。
4. 弊社は品質・信頼性の向上に努めておりますが、宇宙、航空、原子力、燃焼制御、運輸、交通、各種安全装置、ライフサポート関連の医療機器等のように、特別な品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途にご使用をお考えのお客様は、事前に弊社営業担当迄ご相談をお願い致します。
5. 設計に際しては、特に最大定格、動作電源電圧範囲、放熱特性、実装条件及びその他諸条件につきましては、弊社保証範囲内でご使用いただきますようお願い致します。  
保証値を越えてご使用された場合の故障及び事故につきましては、弊社はその責を負いません。  
また保証値内のご使用であっても半導体製品について通常予測される故障発生率、故障モードをご考慮の上、弊社製品の動作が原因でご使用機器が人身事故、火災事故、その他の拡大損害を生じないようにフェールセーフ等のシステム上の対策を講じて頂きますようお願い致します。
6. 本製品は耐放射線設計をしておりません。
7. 本書の一部または全部を弊社の文書による承認なしに転載または複製することを堅くお断り致します。
8. 本書をはじめ弊社半導体についてのお問い合わせ、ご相談は弊社営業担当迄お願い致します。

---

## 本版で改訂または追加された箇所

---

頁	項目	内容
411	18.2.1 タイマモードレジスタ B1 (TMB1:\$009)	【注】修正
559	表 25.21 絶対最大定格 (HD404358/HD404358R シリーズ)	端子電圧 HD404358 シリーズの規格値変更
562	表 25.25 AC 特性 (HD404358/HD404358R シリーズ)	発振安定時間 (水晶発振子) 注記追加
617	付録 B.2 I/O レジスタ一覧 (2) \$038 データコントロールレジスタ R8 DCR8	シリーズ名修正

**EOL Product**



---

## 本書をお読みにする前に

---

### はじめに

HMCS43××ファミリは、強力でプログラム生産効率のよいアーキテクチャのHMCS400 CPUを核にもち、豊富なA/D入力チャンネルをもつA/Dコンバータをはじめ、シリアルインタフェース、多機能タイマなど標準的な周辺機能を内蔵した4ビットマイクロコンピュータです。

周辺機能は独立したモジュールとして開発され、標準化したインタフェースで各モジュールを結合するモジュールアーキテクチャ方式を採用しています。

本マニュアルは、HMCS43××ファミリに属するHD404344R、HD404394、HD404318、HD404358、HD404358R、HD404339、およびHD404369の各シリーズの製品について説明しています。メモリ容量、中耐圧、高耐圧端子、大電流端子、低消費電力モード、高速動作版などにより、きめ細かい製品ラインアップが構成されており、用途により幅広い選択ができます。

すべてのシリーズの製品に、内蔵ROM版とPROM版（ZTAT<sup>®</sup>版）が用意され、PROM版は汎用PROMライターを用いて、ユーザサイドで自由にプログラムの書き込みが行えます。

【注】ZTAT<sup>®</sup>は、日立製作所の登録商標です。

## 本書の構成

HMCS43 × × ファミリは、製品により実装されているメモリ容量や周辺機能が異なります。本書をお読みになる前に、各製品の違いを理解し、必要な章のみお読みくださるようお願いいたします。

構 成		HD404344R	HD404394	HD404318	HD404358/ HD404358R	HD404339	HD404369
		シリーズ	シリーズ	シリーズ	シリーズ	シリーズ	シリーズ
第1章 概要	HMCS43 × × ファミリの特長を簡潔にまとめています。						
第2章 メモリ	HMCS400 CPU およびCPUの処理状態について説明しています。						
第3章 CPU							
第4章 例外処理							
第5章 低消費電力モード							
第6章 低消費電力モード							
第7章 I/Oポート	HMCS43 × × ファミリの各種周辺機能を説明しています。製品により内蔵されている周辺機能が異なります。						
第8章 I/Oポート							
第9章 I/Oポート							
第10章 I/Oポート							
第11章 I/Oポート							
第12章 I/Oポート							
第13章 発振回路							
第14章 発振回路							
第15章 A/Dコンバータ							
第16章 プリスケアラ							
第17章 タイマA							
第18章 タイマB							
第19章 タイマC							
第20章 シリアルインタフェース							
第21章 ブザー出力							
第22章 ROM							
第23章 RAM							
第24章 使用例	A/Dコンバータ、タイマBの使い方を解説しています。プログラミングの際にご活用ください。						
第25章 電気的特性							
付録							

## 本書の読み方

本書は、各ページ上部に 対象製品名 または 全シリーズ と表示し、そのページの説明している製品範囲を示しています。製品によって実装されている周辺機能が異なりますので注意してお読みください。（差異は【注】やアミカケなどで示してあります）。

本書は、HD404344R、HD404394、HD404318、HD404358、HD404358R、HD404339、およびHD404369の7シリーズについて説明しています。特定のシリーズのマニュアルとして使用される際は、各シリーズ共通の章と目的の製品に関する章を組み合わせしてお読みください。

EOL Product

## 機能一覧

項 目		HD404344R シリーズ	HD404394 シリーズ	HD404318 シリーズ	HD404358 シリーズ	HD404358R シリーズ	HD404339 シリーズ	HD404369 シリーズ
ROM	容量 (ワード)	マスクROM 1/2/4k ZTAT® 4k	マスクROM 1/2/4k ZTAT® 4k	マスクROM 4/6/8k ZTAT® 8k	マスクROM 4/6/8 ZTAT® 16k	マスクROM 4/6/8 ZTAT® 16k	マスクROM 4/6/8/12/16k ZTAT® 16k	マスクROM 4/8/12/16k ZTAT® 16k
RAM	容量 (ディジット)	256	256	384	384 (マスクROM)/ 512 (ZTAT®)	512	512	512
I/O	本数	22	21	34	34	34	54	54
	中耐圧端子		3		4			8
	高耐圧端子			22 (うち1本 は入力専用)			31 (うち1本 は入力専用)	
	N-MOS大電流端子	10				20		
割込み	優先 順位 ↑ 高 ↓ 低	$\overline{\text{INT}}_0$						
		$\overline{\text{INT}}_1$						
		タイマA						
		タイマB						
		タイマC						
		A/D						
		シリアル						
シリアル インタフェース	本数	1						
	クロック選択	プリスケアラ出力 2 / 4 分周						
	アイドル制御	有						
	開始命令	STS命令						
	チャンネル数	4	3	8	8	8	12	12
A/Dコンバータ	$I_{AD}$ オフ	可						
	$V_{ref}$ 端子		内蔵					
ブザー出力				内蔵				
システムクロック 発振器	発振子	セラミック、外部、 CR	セラミック、外部	水晶、セラミック、外部		水晶、セラミック、 CR、外部	水晶、セラミック、外部	
	周波数	0.4~4.5MHz 1.0~3.5MHz (CR版)	0.4~4.5MHz		0.4~5.0MHz (5MHz 動作版) 0.4~8.5MHz (8.5MHz 動作版)	0.4~5.0MHz (5MHz 動作版) 0.4~8.5MHz (8.5MHz 動作版) 1.0~3.5MHz (CR版)	0.4~4.5MHz	0.4~5.0MHz (5MHz 動作版) 0.4~8.5MHz (8.5MHz 動作版)
	分周比	4					4 / 8 / 16 / 32 (ソフト)	
サブシステム クロック 発振器	周波数						32kHz	
	分周比						4 / 8 (ソフト)	
	ストップモード 時の停止						可	

【注】\* 計画中



**EOL Product**

# 目次

## 《第1章》概要

1.1	概要	3
1.2	内部ブロック図	10
1.3	端子説明	17
1.3.1	HD404344R / HD404394シリーズ端子機能	17
1.3.2	HD404318 / HD404358 / HD404358Rシリーズ端子機能	22
1.3.3	HD404339 / HD404369シリーズ端子機能	29

## 《第2章》メモリ

2.1	概要	39
2.2	ROM	40
2.2.1	ベクタアドレスエリア	40
2.2.2	ゼロページサブルーチンエリア	40
2.2.3	パターンエリア	40
2.2.4	プログラムエリア	41
2.3	RAM	43
2.3.1	RAMマップレジスタエリア	48
	(1) 割込み制御ビットエリア (\$000 ~ \$003)	48
	(2) 特殊レジスタエリア (\$004 ~ \$01F, \$024 ~ \$03F)	50
	(3) レジスタフラグエリア (\$020 ~ \$023)	54
2.3.2	メモリレジスタエリア	57
2.3.3	データエリア	58
2.3.4	スタックエリア	59

## 《第3章》CPU

3.1	概要	63
3.1.1	特長	63
3.1.2	アドレス空間	64
3.1.3	レジスタ構成	64
3.2	各レジスタの説明	65
3.2.1	アキュムレータ (A)、Bレジスタ (B)	65
3.2.2	Wレジスタ (W)、Xレジスタ (X)、Yレジスタ (Y)	65
3.2.3	SPXレジスタ (SPX)、SPYレジスタ (SPY)	65
3.2.4	キャリフラグ (CA)	65
3.2.5	ステータスフラグ (ST)	65
3.2.6	プログラムカウンタ (PC)	65
3.2.7	スタックポインタ (SP)	66
3.3	アドレッシングモード	67
3.3.1	RAMアドレッシングモード	67
	(1) レジスタ間接アドレッシングモード	67
	(2) 直接アドレッシングモード	67
	(3) メモリレジスタアドレッシングモード	67
3.3.2	ROMアドレッシングモードとP命令	69
	(1) ダイレクトアドレッシングモード	69
	(2) カレントページアドレッシングモード	69

	(3) ゼロページアドレッシングモード.....	69
	(4) テーブルデータアドレッシングモード.....	69
	(5) P命令.....	69
3.4	処理状態.....	72
3.4.1	概要.....	72
3.4.2	プログラム実行状態.....	73
	(1) アクティブモード.....	73
	(2) サブアクティブモード (HD404339 / HD404369シリーズのみ).....	73
3.4.3	例外処理状態.....	74
3.4.4	プログラム停止状態.....	74
	(1) ストップモード.....	74
	(2) ウォッチモード (HD404339 / HD404369シリーズのみ).....	74
	(3) スタンバイモード.....	74

## 《第4章》例外処理

4.1	概要.....	77
4.2	リセット.....	78
4.2.1	概要.....	78
	(1) RESET端子入力.....	78
	(2) ウォッチドッグタイマのオーバフロー.....	78
4.2.2	リセットシーケンス.....	78
4.3	ストップモード解除.....	79
4.3.1	概要.....	79
4.3.2	ストップモード解除シーケンス (RESET端子入力による).....	79
4.3.3	ストップモード解除シーケンス (STOPC端子入力による).....	79
4.4	リセットおよびストップモード解除時のレジスタ、フラグの初期値.....	80
4.5	割込み.....	82
4.5.1	概要.....	82
4.5.2	各レジスタ、フラグの説明.....	83
	(1) ポートモードレジスタB (PMRB).....	84
	(2) 割込み許可フラグ (IE).....	87
	(3) 外部割込み0、1要求フラグ (IF0、IF1).....	87
	(4) 外部割込み0、1マスク (IM0、IM1).....	87
	(5) タイマA~C割込み要求フラグ (IFTA、IFTB、IFTC).....	88
	(6) タイマA~C割込みマスク (IMTA、IMTB、IMTC).....	88
	(7) シリアル割込み要求フラグ (IFS).....	88
	(8) シリアル割込みマスク (IMS).....	89
	(9) A/D割込み要求フラグ (IFAD).....	89
	(10) A/D割込みマスク (IMAD).....	89
4.5.3	外部割込み.....	90
4.5.4	内部割込み.....	90
4.5.5	割込み動作.....	91

## 《第5章》低消費電力モード

(HD404344R / HD404394 / HD404318 / HD404358 / HD404358Rシリーズ)

5.1	概要.....	99
5.1.1	特長.....	99



5.1.2	状態遷移図	100
5.1.3	端子構成	100
5.1.4	レジスタ、フラグ構成	101
5.2	各レジスタ、フラグの説明	102
5.2.1	ポートモードレジスタB (PMRB)	102
5.2.2	RAMイネーブルフラグ (RAME)	104
5.3	スタンバイモード	105
5.3.1	スタンバイモードへの遷移方法	105
5.3.2	スタンバイモードの解除方法	105
	(1) RESET端子入力による解除	105
	(2) 割込みによる解除	105
5.4	ストップモード	107
5.4.1	ストップモードへの遷移方法	107
5.4.2	ストップモードの解除方法	107
	(1) RESET端子入力による解除	107
	(2) STOPC端子入力による解除	107
5.4.3	ストップモード解除後の発振安定時間	108
5.5	低消費電力モード動作シーケンス	108

## 《第6章》低消費電力モード (HD404339 / HD404369シリーズ)

6.1	概要	113
6.1.1	特長	113
6.1.2	状態遷移図	115
6.1.3	端子構成	116
6.1.4	レジスタ、フラグ構成	116
6.2	各レジスタ、フラグの説明	117
6.2.1	ミセラニアスレジスタ (MIS)	117
6.2.2	システムクロック選択レジスタ1 (SSR1)	118
6.2.3	タイマモードレジスタA (TMA)	120
6.2.4	ポートモードレジスタB (PMRB)	121
6.2.5	ロースピードオンフラグ (LSON)	122
6.2.6	DTONフラグ (DTON)	124
6.2.7	RAMイネーブルフラグ (RAME)	124
6.3	スタンバイモード	125
6.3.1	スタンバイモードへの遷移方法	125
6.3.2	スタンバイモードの解除方法	125
	(1) RESET端子入力による解除	125
	(2) 割込みによる解除	125
6.4	ストップモード	127
6.4.1	ストップモードへの遷移方法	127
6.4.2	ストップモードの解除方法	127
	(1) RESET端子入力による解除	127
	(2) STOPC端子入力による解除	127
6.4.3	ストップモード解除後の発振安定時間	128
6.5	ウォッチモード	129
6.5.1	ウォッチモードへの遷移方法	129
6.5.2	ウォッチモードの解除方法	129
	(1) RESET端子入力による解除	129

	(2) $\overline{\text{INT}}_0$ またはタイマA割込みによる解除.....	129
6.5.3	ウォッチモード解除後の動作タイミング.....	130
6.6	サブアクティブモード.....	131
6.6.1	サブアクティブモードへの遷移方法.....	131
6.6.2	サブアクティブモードの解除方法.....	131
6.6.3	ダイレクト遷移時(サブアクティブモードからアクティブモード)の動作タイミング.....	132
6.7	割込みフレーム.....	133
6.8	低消費電力モード動作シーケンス.....	133
6.9	使用上の注意.....	135

## 《第7章》I/Oポート(HD404344Rシリーズ)

7.1	概要.....	139
7.1.1	特長.....	139
7.1.2	入出力制御.....	141
	(1) 入出力端子の回路構成.....	141
	(2) プルアップMOS制御.....	142
	(3) ミセラニアスレジスタ(MIS).....	143
7.1.3	入出力端子の回路構成.....	144
7.1.4	低消費電力モード時のポートの状態.....	147
7.1.5	未使用端子の処理.....	147
7.2	Dポート.....	148
7.2.1	概要.....	148
7.2.2	レジスタの構成と説明.....	148
	(1) ポートデータレジスタ(PDR).....	149
	(2) データコントロールレジスタ(DCD0、DCD1).....	149
	(3) ポートモードレジスタB(PMRB).....	150
7.2.3	端子機能.....	151
7.3	Rポート.....	152
7.3.1	概要.....	152
7.3.2	レジスタの構成と説明.....	153
	(1) ポートデータレジスタ(PDR).....	153
	(2) データコントロールレジスタ(DCR0~DCR3).....	154
	(3) ポートモードレジスタA(PMRA).....	155
	(4) シリアルモードレジスタ(SMR).....	157
	(5) A/Dモードレジスタ1(AMR1).....	158
7.3.3	端子機能.....	160
7.4	使用上の注意.....	163

## 《第8章》I/Oポート(HD404394シリーズ)

8.1	概要.....	167
8.1.1	特長.....	167
8.1.2	入出力制御.....	169
	(1) 中耐圧NMOSオープンドレイン入出力端子の回路構成.....	169
	(2) 標準耐圧NMOSオープンドレイン入出力端子の回路構成.....	169
	(3) 標準耐圧CMOS3ステート入出力端子の回路構成.....	169
	(4) プルアップMOS制御.....	170
	(5) ミセラニアスレジスタ(MIS).....	171

8.1.3	入出力端子の回路構成	172
8.1.4	低消費電力モード時のポートの状態	176
8.1.5	未使用端子の処理	176
8.2	Dポート	177
8.2.1	概要	177
8.2.2	レジスタの構成と説明	177
	(1) ポートデータレジスタ (PDR)	178
	(2) データコントロールレジスタ (DCD0、DCD1)	178
	(3) ポートモードレジスタB (PMRB)	179
8.2.3	端子機能	180
8.3	Rポート	181
8.3.1	概要	181
8.3.2	レジスタの構成と説明	182
	(1) ポートデータレジスタ (PDR)	182
	(2) データコントロールレジスタ (DCR0 ~ DCR3)	183
	(3) ポートモードレジスタA (PMRA)	184
	(4) シリアルモードレジスタ (SMR)	185
	(5) A/Dモードレジスタ1 (AMR1)	186
8.3.3	端子機能	188
8.4	使用上の注意	191

## 《第9章》 I/Oポート (HD404318シリーズ)

9.1	概要	197
9.1.1	特長	197
9.1.2	入出力制御	199
	(1) 高耐圧入出力端子の回路構成	199
	(2) 標準耐圧CMOS 3ステート入出力端子の回路構成	199
	(3) プルアップMOS制御	199
	(4) ミセラニアスレジスタ (MIS)	200
9.1.3	入出力端子の回路構成	201
9.1.4	低消費電力モード時のポートの状態	206
9.1.5	未使用端子の処理	206
9.2	Dポート	207
9.2.1	概要	207
9.2.2	レジスタの構成と説明	207
	(1) ポートデータレジスタ (PDR)	208
	(2) ポートモードレジスタA (PMRA)	208
	(3) ポートモードレジスタB (PMRB)	209
9.2.3	端子機能	211
9.3	Rポート	212
9.3.1	概要	212
9.3.2	レジスタの構成と説明	214
	(1) ポートデータレジスタ (PDR)	214
	(2) データコントロールレジスタ (DCR0、DCR3、DCR4)	215
	(3) ポートモードレジスタA (PMRA)	216
	(4) シリアルモードレジスタ (SMR)	217
	(5) A/Dモードレジスタ1 (AMR1)	218

(6) A/Dモードレジスタ2 (AMR2) .....	220
9.3.3 端子機能.....	221
9.4 使用上の注意 .....	223

## 《第10章》 I/Oポート (HD404358 / HD404358Rシリーズ)

10.1 概要 .....	227
10.1.1 特長.....	227
10.1.2 入出力制御.....	229
(1) 中耐圧NMOSオープンドレイン入出力端子の回路構成 .....	229
(2) 標準耐圧CMOS 3ステート入出力端子の回路構成.....	229
(3) プルアップMOS制御 .....	229
(4) ミセラニアスレジスタ (MIS) .....	230
10.1.3 入出力端子の回路構成.....	231
10.1.4 低消費電力モード時のポートの状態.....	238
10.1.5 未使用端子の処理.....	238
10.2 Dポート .....	239
10.2.1 概要.....	239
10.2.2 レジスタの構成と説明.....	240
(1) ポートデータレジスタ (PDR) .....	240
(2) データコントロールレジスタ (DCD0 ~ DCD2) .....	241
(3) ポートモードレジスタA (PMRA) .....	242
(4) ポートモードレジスタB (PMRB) .....	243
10.2.3 端子機能.....	245
10.3 Rポート.....	247
10.3.1 概要.....	247
10.3.2 レジスタの構成と説明.....	249
(1) ポートデータレジスタ (PDR) .....	249
(2) データコントロールレジスタ (DCR0 ~ DCR4, DCR8) .....	250
(3) ポートモードレジスタA (PMRA) .....	251
(4) シリアルモードレジスタ (SMR) .....	253
(5) A/Dモードレジスタ1 (AMR1) .....	254
(6) A/Dモードレジスタ2 (AMR2) .....	256
10.3.3 端子機能.....	257
10.4 使用上の注意 .....	261

## 《第11章》 I/Oポート (HD404339シリーズ)

11.1 概要 .....	267
11.1.1 特長.....	267
11.1.2 入出力制御.....	269
(1) 高耐圧入出力端子の回路構成.....	269
(2) 標準耐圧CMOS 3ステート入出力端子の回路構成.....	269
(3) プルアップMOS制御 .....	269
(4) ミセラニアスレジスタ (MIS) .....	270
11.1.3 入出力端子の回路構成.....	271
11.1.4 低消費電力モード時のポートの状態.....	276
11.1.5 未使用端子の処理.....	276
11.2 Dポート .....	277

11.2.1	概要	277
11.2.2	レジスタの構成と説明	278
	(1) ポートデータレジスタ (PDR)	278
	(2) ポートモードレジスタA (PMRA)	279
	(3) ポートモードレジスタB (PMRB)	280
11.2.3	端子機能	282
11.3	Rポート	283
11.3.1	概要	283
11.3.2	レジスタの構成と説明	285
	(1) ポートデータレジスタ (PDR)	285
	(2) データコントロールレジスタ (DCR0、DCR3 ~ DCR7)	286
	(3) ポートモードレジスタA (PMRA)	288
	(4) シリアルモードレジスタ (SMR)	289
	(5) A/Dモードレジスタ1 (AMR1)	290
	(6) A/Dモードレジスタ2 (AMR2)	292
11.3.3	端子機能	293
11.4	使用上の注意	296

## 《第12章》 I/Oポート (HD404369シリーズ)

12.1	概要	301
12.1.1	特長	301
12.1.2	入出力制御	303
	(1) 中耐圧NMOSオープンドレイン入出力端子の回路構成	303
	(2) 標準耐圧CMOS 3ステート入出力端子の回路構成	303
	(3) プルアップMOS制御	303
	(4) ミセラニアスレジスタ (MIS)	304
12.1.3	入出力端子の回路構成	305
12.1.4	低消費電力モード時のポートの状態	309
12.1.5	未使用端子の処理	309
12.2	Dポート	310
12.2.1	概要	310
12.2.2	レジスタの構成と説明	311
	(1) ポートデータレジスタ (PDR)	311
	(2) データコントロールレジスタ (DCD0 ~ DCD3)	312
	(3) ポートモードレジスタA (PMRA)	313
	(4) ポートモードレジスタB (PMRB)	314
12.2.3	端子機能	316
12.3	Rポート	318
12.3.1	概要	318
12.3.2	レジスタの構成と説明	320
	(1) ポートデータレジスタ (PDR)	320
	(2) データコントロールレジスタ (DCR0 ~ DCR9)	321
	(3) ポートモードレジスタA (PMRA)	323
	(4) シリアルモードレジスタ (SMR)	324
	(5) A/Dモードレジスタ1 (AMR1)	325
	(6) A/Dモードレジスタ2 (AMR2)	327
12.3.3	端子機能	328

12.4	使用上の注意 .....	334
------	--------------	-----

### 《第13章》発振回路 (HD404344R / HD404394 / HD404318 / HD404358 / HD404358Rシリーズ)

13.1	概要 .....	339
13.1.1	特長 .....	339
13.1.2	ブロック図 .....	340
13.1.3	端子構成 .....	341
13.2	発振子の接続および外部クロック入力方法 .....	342
13.3	使用上の注意 .....	343

### 《第14章》発振回路 (HD404339 / HD404369シリーズ)

14.1	概要 .....	347
14.1.1	特長 .....	347
14.1.2	ブロック図 .....	348
14.1.3	端子構成 .....	350
14.1.4	レジスタ、フラグ構成 .....	350
14.2	各レジスタ、フラグの説明 .....	351
14.2.1	システムクロック選択レジスタ1 (SSR1) .....	351
14.2.2	システムクロック選択レジスタ2 (SSR2) .....	353
14.2.3	ロースピードオンフラグ (LSON) .....	354
14.3	発振子の接続および外部クロック入力方法 .....	355
14.4	使用上の注意 .....	357

### 《第15章》A/Dコンバータ

15.1	概要 .....	361
15.1.1	特長 .....	361
15.1.2	ブロック図 .....	362
15.1.3	端子構成 .....	365
15.1.4	レジスタ、フラグ構成 .....	367
15.2	各レジスタ、フラグの説明 .....	368
15.2.1	A/Dモードレジスタ1 (AMR1) .....	368
15.2.2	A/Dモードレジスタ2 (AMR2) .....	370
15.2.3	A/DデータレジスタL、U (ADRL、ADRU) .....	371
15.2.4	A/Dチャンネルレジスタ (ACR) .....	372
15.2.5	A/Dスタートフラグ (ADSF) .....	374
15.2.6	I <sub>AD</sub> オフフラグ (IAOF) .....	375
15.3	動作説明 .....	376
15.3.1	A/D変換動作 .....	376
15.3.2	低消費電力モード時の動作 .....	377
15.3.3	A/D変換の精度 .....	378
15.3.4	アナログ基準電源に関する注意 .....	379
15.4	割込み .....	379
15.5	使用上の注意 .....	380
15.6	A/Dコンバータ内蔵マイコン実装上の注意 (HD404318シリーズ、HD404339シリーズのみ) .....	382

### 《第16章》プリスケラ

16.1	概要 .....	387
------	----------	-----

16.2	プリスケーラS (PSS)	390
16.3	プリスケーラW (PSW) (HD404339 / HD404369シリーズのみ)	390

## 《第17章》タイマA (HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ)

17.1	概要	393
17.1.1	特長	393
17.1.2	ブロック図	394
17.1.3	レジスタ構成	396
17.2	各レジスタの説明	397
17.2.1	タイマモードレジスタA (TMA)	397
17.2.2	タイマカウンタA (TCA)	402
17.3	動作説明	403
17.3.1	フリーランニングタイマ	403
17.3.2	時計用タイムベース動作	403
17.4	割込み	404
17.5	使用上の注意	404

## 《第18章》タイマB

18.1	概要	407
18.1.1	特長	407
18.1.2	ブロック図	408
18.1.3	端子構成	410
18.1.4	レジスタ構成	410
18.2	各レジスタの説明	411
18.2.1	タイマモードレジスタB1 (TMB1)	411
18.2.2	タイマモードレジスタB2 (TMB2)	415
18.2.3	タイマカウンタB (TCB)	416
18.2.4	タイマライトレジスタBL、U (TWBL、TWBU)	417
18.2.5	タイマリードレジスタBL、U (TRBL、TRBU)	418
18.2.6	ポートモードレジスタB (PMRB)	419
18.2.7	インプットキャプチャステータスフラグ (ICSF)	421
18.2.8	インプットキャプチャエラーフラグ (ICEF)	421
18.3	動作説明	422
18.3.1	フリーランニングタイマ動作	422
18.3.2	リロードタイマ動作	423
18.3.3	外部イベントカウンタ動作	423
18.3.4	インプットキャプチャタイマ動作	423
18.4	割込み	424
18.5	使用上の注意	424

## 《第19章》タイマC

19.1	概要	427
19.1.1	特長	427
19.1.2	ブロック図	428
19.1.3	端子構成	429
19.1.4	レジスタ構成	429
19.2	各レジスタの説明	430

19.2.1	タイマモードレジスタC (TMC)	430
19.2.2	ポートモードレジスタA (PMRA)	434
19.2.3	タイマカウンタC (TCC)	435
19.2.4	タイマライトレジスタCL、U (TWCL、TWCU)	435
19.2.5	タイマリードレジスタCL、U (TRCL、TRCU)	436
19.2.6	ウォッチドッグオンフラグ (WDON)	437
19.3	動作説明	438
19.3.1	フリーランニングタイマ動作	438
19.3.2	リロードタイマ動作	438
19.3.3	PWM出力動作	439
19.3.4	ウォッチドッグタイマ動作	439
19.4	割込み	440
19.5	使用上の注意	440

## 《第20章》シリアルインタフェース

20.1	概要	445
20.1.1	特長	445
20.1.2	ブロック図	446
20.1.3	端子構成	447
20.1.4	レジスタ構成	447
20.2	各レジスタの説明	448
20.2.1	シリアルモードレジスタ (SMR)	448
20.2.2	シリアルデータレジスタL、U (SRL、SRU)	450
20.2.3	8進カウンタ (OC)	451
20.2.4	ポートモードレジスタA (PMRA)	452
20.2.5	ポートモードレジスタC (PMRC)	453
20.2.6	ミセラニアスレジスタ (MIS)	455
20.3	動作説明	457
20.3.1	動作モード	457
20.3.2	シリアルデータのフォーマット	457
20.3.3	転送クロック	458
20.3.4	動作状態	458
	(1) STS命令待ち状態	460
	(2) 転送クロック待ち状態	460
	(3) 転送状態	460
	(4) 転送クロック連続出力状態 (内部クロックモードのみ)	460
20.3.5	送信 / 受信動作	461
	(1) シリアルインタフェースのイニシャライズ	461
	(2) データ送信	461
	(3) データ受信	466
	(4) 送信 / 受信同時動作	470
	(5) 転送クロック連続出力動作	474
20.3.6	アイドル時のLowレベル / Highレベル出力の選択	475
20.3.7	転送クロックエラーの検出 (外部クロックモード)	475
20.4	割込み	477
20.5	使用上の注意	477



## 《第21章》ブザー出力 (HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ)

21.1	概要	481
21.1.1	特長	481
21.1.2	ブロック図	482
21.1.3	端子機能	483
21.1.4	レジスタ構成	483
21.2	レジスタ説明	484
21.2.1	ポートモードレジスタA (PMRA)	484
21.2.2	ポートモードレジスタC (PMRC)	485
21.3	動作説明	486

## 《第22章》ROM

22.1	概要	489
22.2	PROMモード	492
22.2.1	PROMモード	492
22.2.2	ソケットアダプタの端子対応とメモリマップ	493
22.3	プログラミング	501
22.3.1	書き込み/ベリファイ	501
22.3.2	書き込み時の注意	505
22.3.3	書き込み後の信頼性	505
22.4	ROM発注時のお願い	506

## 《第23章》RAM

23.1	概要	511
23.1.1	特長	511
23.1.2	RAMメモリマップ	512
23.2	RAMイネーブルフラグ (RAME : \$ 021,3)	513
23.3	使用上の注意	513

## 《第24章》使用例

24.1	A/Dコンバータの使い方	517
24.2	タイマBの使い方	524

## 《第25章》電気的特性

25.1	HD404344Rシリーズ	533
25.1.1	絶対最大定格	533
25.1.2	電気的特性	534
(1)	DC特性	534
(2)	AC特性	536
(3)	A/Dコンバータ特性	540
25.2	HD404394シリーズ	541
25.2.1	絶対最大定格	541
25.2.2	電気的特性	542
(1)	DC特性	542
(2)	AC特性	545
(3)	A/Dコンバータ特性	549
25.3	HD404318シリーズ	550

25.3.1	絶対最大定格 .....	550
25.3.2	電気的特性 .....	551
	(1) DC特性 .....	551
	(2) AC特性 .....	554
	(3) A/Dコンバータ特性 .....	558
25.4	HD404358 / HD404358Rシリーズ .....	559
25.4.1	絶対最大定格 .....	559
25.4.2	電気的特性 .....	560
	(1) DC特性 .....	560
	(2) AC特性 .....	562
	(3) A/Dコンバータ特性 .....	567
25.5	HD404339シリーズ .....	568
25.5.1	絶対最大定格 .....	568
25.5.2	電気的特性 .....	569
	(1) DC特性 .....	569
	(2) AC特性 .....	572
	(3) A/Dコンバータ特性 .....	576
25.6	HD404369シリーズ .....	577
25.6.1	絶対最大定格 .....	577
25.6.2	電気的特性 .....	578
	(1) DC特性 .....	578
	(2) AC特性 .....	581
	(3) A/Dコンバータ特性 .....	587

## 付録

A	命令 .....	591
A.1	命令一覧 .....	591
A.2	オペレーションコードマップ .....	597
B	レジスタ、フラグ一覧 .....	599
B.1	I/Oレジスタ一覧(1) .....	599
B.2	I/Oレジスタ一覧(2) .....	601
C	オプションリスト .....	619
C.1	HD404344Rシリーズオプションリスト .....	619
C.2	HD404394シリーズオプションリスト .....	620
C.3	HD404318シリーズオプションリスト .....	621
C.4	HD404358シリーズオプションリスト .....	622
C.5	HD404358Rシリーズオプションリスト .....	623
C.6	HD404339シリーズオプションリスト .....	624
C.7	HD404369シリーズオプションリスト .....	625
D	外形寸法図 .....	626

---

# 1. 概要

---

EOL Product

---

## 第1章 目次

---

1.1	概要 .....	3
1.2	内部ブロック図 .....	10
1.3	端子説明 .....	17
1.3.1	HD404344R / HD404394シリーズ端子機能.....	17
1.3.2	HD404318 / HD404358 / HD404358Rシリーズ端子機能.....	22
1.3.3	HD404339 / HD404369シリーズ端子機能 .....	29

EOL Product

## 1.1 概要

HMCS43××ファミリは、HMCS400 CPUを核にもち、豊富なA/D入力チャネルを持つA/Dコンバータを内蔵した4ビットマイクロコンピュータユニット（MCU）です。

HMCS43××ファミリでは、A/Dコンバータを内蔵した28ピンから64ピンまでの幅広い製品ラインアップをそろえています。図1.1にHMCS43××ファミリの製品展開を示します。

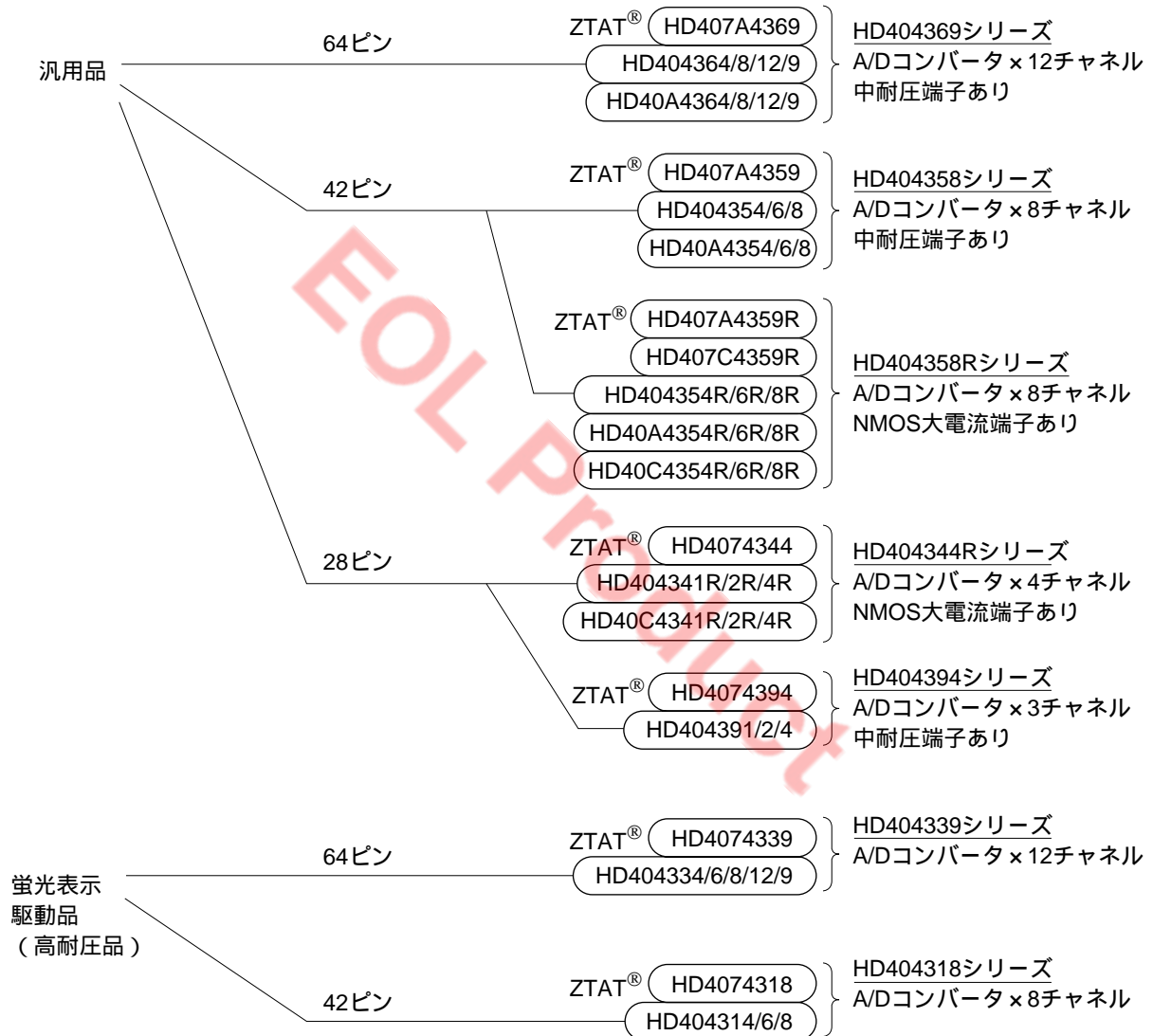


図1.1 HMCS43××ファミリの製品展開

# 1. 概要 HD404344R / HD404394シリーズ

HMCS43 x x ファミリの製品ラインアップを表1.1に、機能を表1.2に示します。

表1.1 製品ラインアップ (1/4)

シリーズ	ROMタイプ		製品名	形名	ROM (ワード)	RAM (ディジット)	パッケージ
HD404344R シリーズ	マスク ROM	標準版	HD404341R	HD404341RS	1,024	256	DP-28S
				HD404341RFP			FP-28DA
				HD404341RFT			FP-30D
			HD404342R	HD404342RS	2,048	256	DP-28S
				HD404342RFP			FP-28DA
				HD404342RFT			FP-30D
			HD404344R	HD404344RS	4,096	256	DP-28S
				HD404344RFP			FP-28DA
				HD404344RFT			FP-30D
	CR 発振版	HD40C4341R	HD40C4341RS	1,024	256	DP-28S	
			HD40C4341RFP			FP-28DA	
			HD40C4341RFT			FP-30D	
		HD40C4342R	HD40C4342RS	2,048	256	DP-28S	
			HD40C4342RFP			FP-28DA	
			HD40C4342RFT			FP-30D	
		HD40C4344R	HD40C4344RS	4,096	256	DP-28S	
			HD40C4344RFP			FP-28DA	
			HD40C4344RFT			FP-30D	
ZTAT®	HD4074344	HD4074344S	4,096	256	DP-28S		
		HD4074344FP			FP-28DA		
		HD4074344FT			FP-30D		
HD404394 シリーズ	マスクROM	HD404391	HD404391S	1,024	256	DP-28S	
			HD404391FP			FP-28DA	
			HD404391FT			FP-30D	
		HD404392	HD404392S	2,048	256	DP-28S	
			HD404392FP			FP-28DA	
			HD404392FT			FP-30D	
		HD404394	HD404394S	4,096	256	DP-28S	
			HD404394FP			FP-28DA	
			HD404394FT			FP-30D	
	ZTAT®	HD4074394	HD4074394S	4,096	256	DP-28S	
			HD4074394FP			FP-28DA	
			HD4074394FT			FP-30D	

【注】 ZTAT®は、(株)日立製作所の登録商標です。

# 1. 概要 HD404318 / HD404358シリーズ

表1.1 製品ラインアップ (2/4)

シリーズ	ROMタイプ		製品名	形名	ROM (ワード)	RAM (ディジット)	パッケージ
HD404318 シリーズ	マスクROM		HD404314	HD404314S	4,096	384	DP-42S
				HD404314H			FP-44A
			HD404316	HD404316S	6,144	384	DP-42S
				HD404316H			FP-44A
			HD404318	HD404318S	8,192	384	DP-42S
				HD404318H			FP-44A
	ZTAT®	HD4074318	HD4074318S	8,192	384	DP-42S	
			HD4074318H			FP-44A	
HD404358 シリーズ	マスクROM	5MHz 動作版	HD404354	HD404354S	4,096	384	DP-42S
				HD404354H			FP-44A
			HD404356	HD404356S	6,144	384	DP-42S
				HD404356H			FP-44A
			HD404358	HD404358S	8,192	384	DP-42S
				HD404358H			FP-44A
		8.5MHz 動作版	HD40A4354	HD40A4354S	4,096	384	DP-42S
				HD40A4354H			FP-44A
			HD40A4356	HD40A4356S	6,144	384	DP-42S
				HD40A4356H			FP-44A
			HD40A4358	HD40A4358S	8,192	384	DP-42S
				HD40A4358H			FP-44A
	ZTAT®	HD407A4359	HD407A4359S	16,384	512	DP-42S	
			HD407A4359H			FP-44A	

【注】 ZTAT®は、(株)日立製作所の登録商標です。

# 1. 概要 HD404358R / HD404339シリ - ズ

表1.1 製品ラインアップ (3 / 4)

シリーズ	ROMタイプ		製品名	形名	ROM (ワード)	RAM (ディジット)	パッケージ
HD404358R シリーズ	マスク ROM	5MHz 動作版	HD404354R	HD404354RS	4,096	512	DP-42S
				HD404354RH			FP-44A
			HD404356R	HD404356RS	6,144	512	DP-42S
				HD404356RH			FP-44A
			HD404358R	HD404358RS	8,192	512	DP-42S
				HD404358RH			FP-44A
		8.5MHz 動作版	HD40A4354R	HD40A4354RS	4,096	512	DP-42S
				HD40A4354RH			FP-44A
			HD40A4356R	HD40A4356RS	6,144	512	DP-42S
				HD40A4356RH			FP-44A
			HD40A4358R	HD40A4358RS	8,192	512	DP-42S
				HD40A4358RH			FP-44A
	CR 発振版	HD40C4354R	HD40C4354RS	4,096	512	DP-42S	
			HD40C4354RH			FP-44A	
		HD40C4356R	HD40C4356RS	6,144	512	DP-42S	
			HD40C4356RH			FP-44A	
		HD40C4358R	HD40C4358RS	8,192	512	DP-42S	
			HD40C4358RH			FP-44A	
	ZTAT®	8.5MHz 動作版	HD407A4359R	HD407A4359RS	16,384	512	DP-42S
				HD407A4359RH			FP-44A
CR 発振版		HD407C4359R	HD407C4359RS	16,384	512	DP-42S	
			HD407C4359RH			FP-44A	
HD404339 シリーズ	マスクROM	HD404334	HD404334S	4,096	512	DP-64S	
			HD404334FS			FP-64B	
		HD404336	HD404336S	6,144	512	DP-64S	
			HD404336FS			FP-64B	
		HD404338	HD404338S	8,192	512	DP-64S	
			HD404338FS			FP-64B	
		HD4043312	HD4043312S	12,288	512	DP-64S	
			HD4043312FS			FP-64B	
		HD404339	HD404339S	16,384	512	DP-64S	
			HD404339FS			FP-64B	
	ZTAT®	HD4074339	HD4074339S	16,384	512	DP-64S	
			HD4074339FS			FP-64B	

【注】 ZTAT®は、(株)日立製作所の登録商標です。



# 1. 概要 HD404369シリーズ

表1.1 製品ラインアップ (4/4)

シリーズ	ROMタイプ		製品名	形名	ROM (ワード)	RAM (ディジット)	パッケージ
HD404369 シリーズ	マスク ROM	5MHz 動作版	HD404364	HD404364S	4,096	512	DP-64S
				HD404364F			FP-64B
			HD404368	HD404368S	8,192	512	DP-64S
				HD404368F			FP-64B
			HD4043612	HD4043612S	12,288	512	DP-64S
				HD4043612F			FP-64B
		HD404369	HD404369S	16,384	512	DP-64S	
			HD404369F			FP-64B	
		8.5MHz 動作版	HD40A4364	HD40A4364S	4,096	512	DP-64S
				HD40A4364F			FP-64B
			HD40A4368	HD40A4368S	8,192	512	DP-64S
				HD40A4368F			FP-64B
	HD40A43612		HD40A43612S	12,288	512	DP-64S	
			HD40A43612F			FP-64B	
	HD40A4369	HD40A4369S	16,384	512	DP-64S		
		HD40A4369F			FP-64B		
	ZTAT®	HD407A4369	HD407A4369S	16,384	512	DP-64S	
			HD407A4369F			FP-64B	

【注】 ZTAT®は、(株)日立製作所の登録商標です。

# 1. 概要 全シリーズ

表1.2 HMCS43 × × ファミリの機能一覧 (1 / 2)

項目	仕 様							
	HD404344Rシリーズ	HD404394シリーズ	HD404318シリーズ	HD404358シリーズ	HD404358Rシリーズ	HD404339シリーズ	HD404369シリーズ	
CPU	<ul style="list-style-type: none"> <li>・ 3種類のRAMアドレッシングモード               <ul style="list-style-type: none"> <li>(1)レジスタ間接アドレッシング</li> <li>(2)直接アドレッシング</li> <li>(3)メモリレジスタアドレッシング</li> </ul> </li> <li>・ 4種類のROMアドレッシングモードとP命令               <ul style="list-style-type: none"> <li>(1)ダイレクトアドレッシング</li> <li>(2)カレントアドレッシング</li> <li>(3)ゼロページアドレッシング</li> <li>(4)テーブルデータアドレッシング</li> <li>(5)P命令(ROMデータ参照命令)</li> </ul> </li> <li>・ 簡潔かつ効率のよい命令セット               <ul style="list-style-type: none"> <li>1サイクルまたは2サイクルで実行(リターン命令のみ3サイクル)</li> </ul> </li> </ul>							
ROM (ワード： 1ワード= 10ビット)	16k	_____	_____	_____	HD407A4359	HD407A4359R HD407C4359R	HD404339 HD4074339	HD404369 HD40A4369 HD407A4369
	12k	_____	_____	_____	_____	_____	HD4043312	HD4043612 HD40A43612
	8k	_____	_____	HD404318 HD4074318	HD404358 HD40A4358	HD404358R HD40A4358R HD40C4358R	HD404338	HD404368 HD40A4368
	6k	_____	_____	HD404316	HD404356 HD40A4356	HD404356R HD40A4356R HD40C4356R	HD404336	_____
	4k	HD404344R HD40C4344R HD4074344	HD404394 HD4074394	HD404314	HD404354 HD40A4354	HD404354R HD40A4354R HD40C4354R	HD404334	HD404364 HD40A4364
	2k	HD404342R HD40C4342R	HD404392	_____	_____	_____	_____	_____
	1k	HD404341R HD40C4341R	HD404391	_____	_____	_____	_____	_____
RAM (ディジット： 1ディジット= 4ビット)	256	256	384	384 (マスクROM) 512 (ZTAT®)	512	512	512	
I/Oポート	計22本 ・ 標準入出力 端子22本 (うちNMOS 大電流端子 10本)	計21本 ・ 標準入出力 端子13本 ・ 中耐圧NMOS オープンドレ イン入出力 端子3本 ・ 標準耐圧NMOS オープンドレ イン大電流入 出力端子5本	計34本 ・ 標準入出力 端子12本 ・ 高耐圧入 出力端子 21本 ・ 高耐圧入力 端子1本	計34本 ・ 標準入出力 端子29本 ・ 中耐圧 入出力端子 4本 ・ 標準入力 端子1本	計34本 ・ 標準入出力 端子33本 (うちNMOS 大電流端子 20本) ・ 標準入力 端子1本	計54本 ・ 標準入出力 端子23本 ・ 高耐圧 入出力端子 30本 ・ 高耐圧入力 端子1本	計54本 ・ 標準入出力 端子45本 ・ 中耐圧 入出力端子 8本 ・ 標準入力 端子1本	

# 1. 概要 全シリーズ

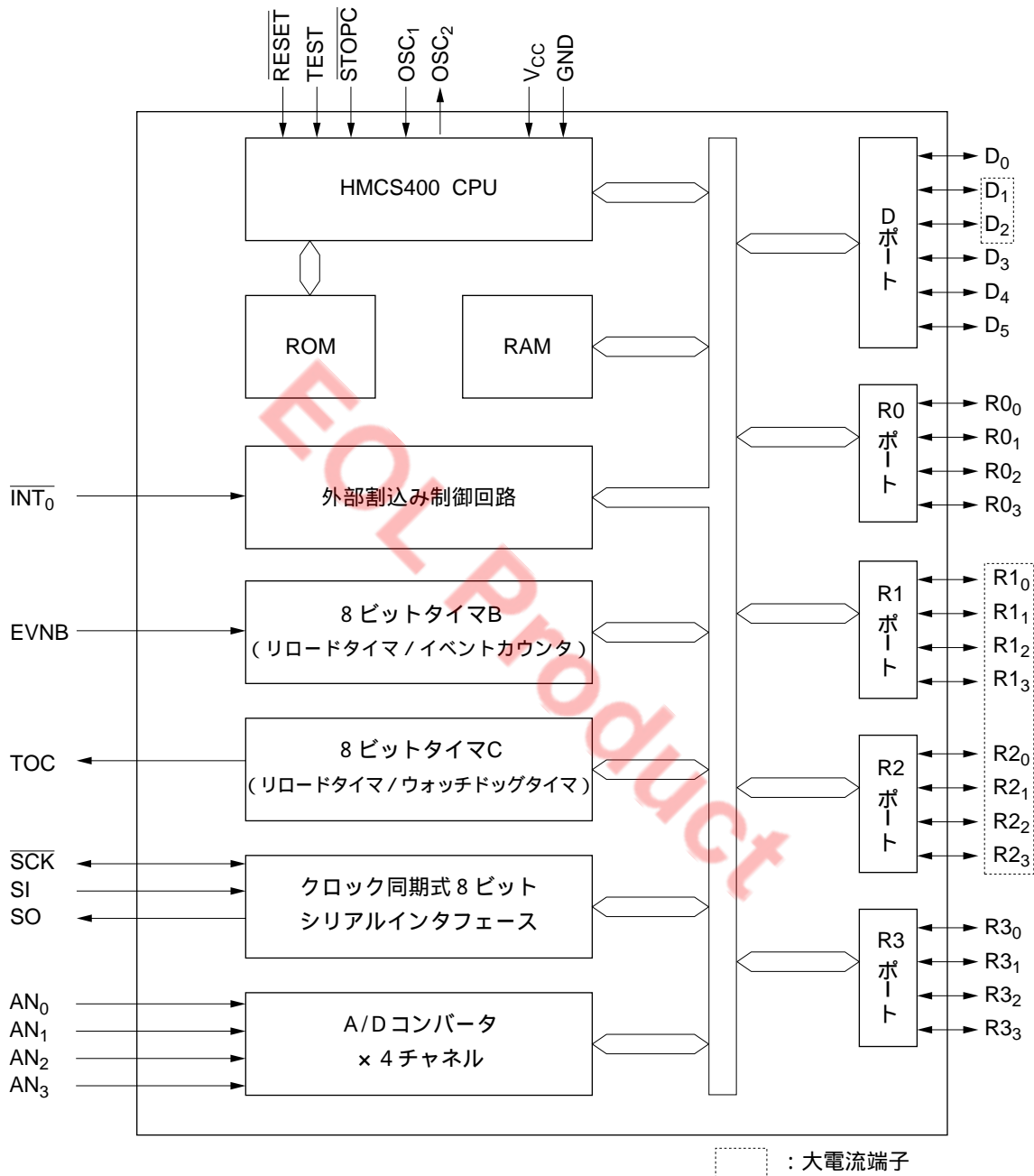
表1.2 HMCS43x xファミリの機能一覧(2/2)

項目	仕 様						
	HD404344R シリーズ	HD404394 シリーズ	HD404318 シリーズ	HD404358 シリーズ	HD404358R シリーズ	HD404339 シリーズ	HD404369 シリーズ
A/Dコン バータ	<ul style="list-style-type: none"> <li>抵抗ラダー方式による逐次比較方式A/Dコンバータ</li> <li>分解能：8ビット</li> <li>A/D変換時に割込み発生可能</li> </ul>						
	アナログ入 力： 4チャンネル	アナログ入 力： 3チャンネル、 V <sub>ref</sub> 端子付き	アナログ入力：8チャンネル			アナログ入力：12チャンネル	
タイマA	_____	_____	<ul style="list-style-type: none"> <li>システムクロックを分周した8種類の内部クロックによるカウントアップが可能</li> <li>オーバフロー時に割込み発生可能</li> </ul>		<ul style="list-style-type: none"> <li>システムクロックを分周した8種類の内部クロックによるカウントアップが可能</li> <li>32.768kHz発振を分周した5種類のクロックによるカウントアップが可能(時計用タイムベース)</li> <li>オーバフロー時に割込み発生可能</li> </ul>		
タイマB	<ul style="list-style-type: none"> <li>システムクロックを分周した7種類の内部クロック、またはイベント入力によるカウントアップが可能</li> <li>イベントの検出は、立ち下がりエッジ、立ち上がりエッジ、立ち下がり/立ち上がり両エッジの選択が可能</li> <li>オーバフロー時に割込み発生可能</li> </ul>						
	_____			<ul style="list-style-type: none"> <li>インプットキャプチャ動作可能</li> </ul>			
タイマC	<ul style="list-style-type: none"> <li>システムクロックを分周した8種類の内部クロックによるカウントアップが可能</li> <li>PWM出力可能</li> <li>ウォッチドッグタイマ動作可能</li> <li>オーバフロー時に割込み発生可能</li> </ul>						
シリアルインタ フェース	<ul style="list-style-type: none"> <li>8ビットクロック同期式シリアルインタフェース×1チャンネル</li> <li>転送クロックは、13種類の内部クロックまたは外部クロックから選択可能</li> <li>アイドル時のデータ送信端子のHighレベル/ Lowレベル出力制御可能</li> <li>転送終了/ 中断時に割込み発生可能</li> </ul>						
ブザー出力	_____			<ul style="list-style-type: none"> <li>システムクロックを分周した4種類の周波数を選択可能</li> </ul>			
割込み	外部割込み端子：1本 内部割込み要因：4要因 割込みベクタ：5種類		外部割込み端子：2本 内部割込み要因：5要因 割込みベクタ：7種類				
低消費電力 モード	<ul style="list-style-type: none"> <li>スタンバイモード</li> <li>ストップモード(ストップモード解除用外部端子あり)</li> </ul>						
	_____					<ul style="list-style-type: none"> <li>ウォッチモード</li> <li>サブアクティブモード</li> </ul>	
システム クロック	0.4 ~ 4.5MHz 1.0 ~ 3.5MHz		0.4 ~ 4.5MHz	0.4 ~ 5.0MHz, 0.4 ~ 8.5MHz 1.0 ~ 3.5MHz		0.4 ~ 4.5MHz	0.4 ~ 5.0MHz, 0.4 ~ 8.5MHz
サブシステム クロック	_____					32.768kHz	

# 1. 概要 HD404344Rシリーズ

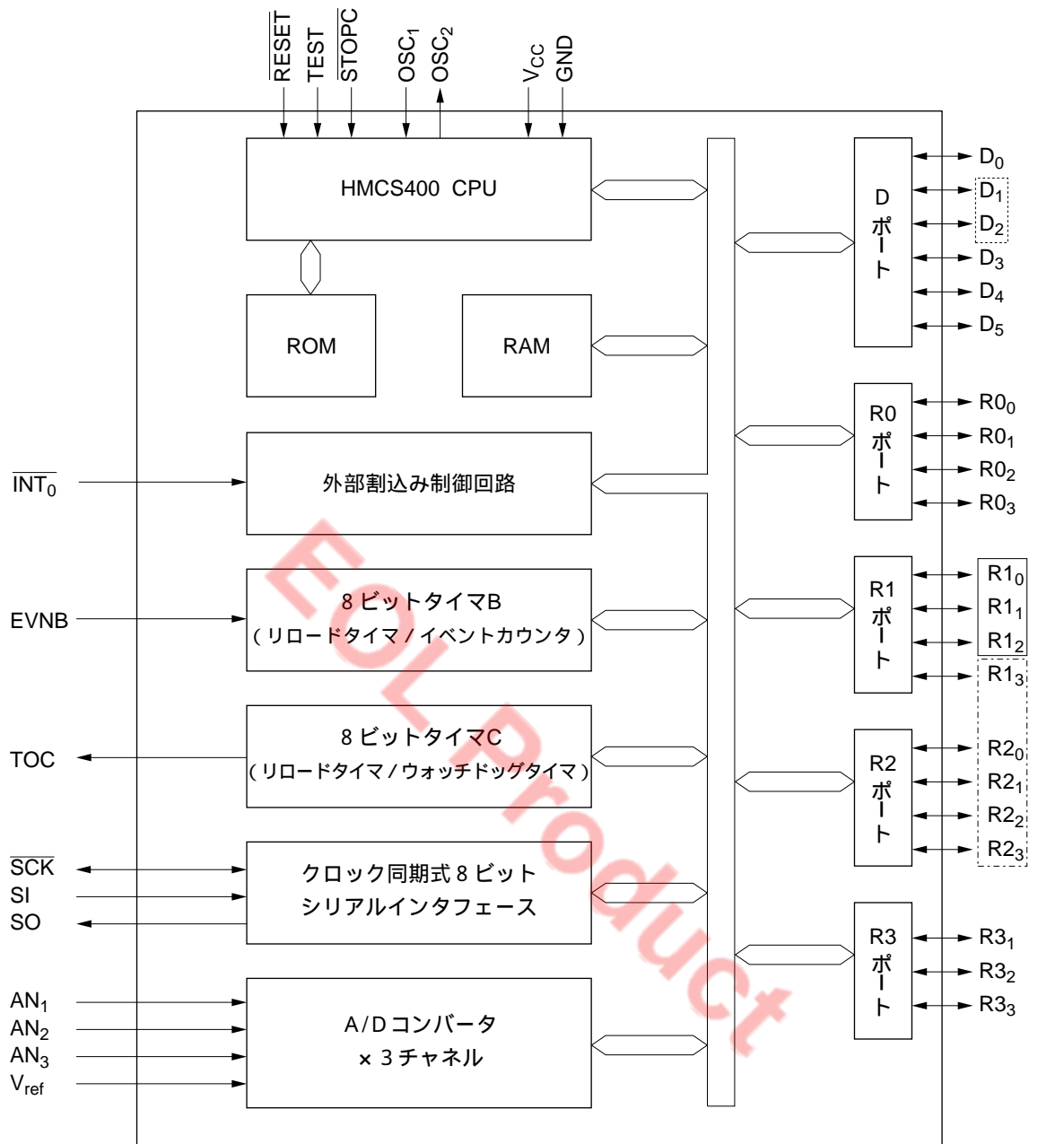
## 1.2 内部ブロック図

図1.2～図1.8にHD404344Rシリーズ、HD404394シリーズ、HD404318シリーズ、HD404358シリーズ、HD404358Rシリーズ、HD404339シリーズ、HD404369シリーズの内部ブロック図を示します。



製品	ROM (ワード)	RAM (ディジット)
HD404341R、HD40C4341R	1,024	256
HD404342R、HD40C4342R	2,048	
HD404344R、HD40C4344R	4,096	
HD4074344	4,096	

図1.2 HD404344Rシリーズの内部ブロック図

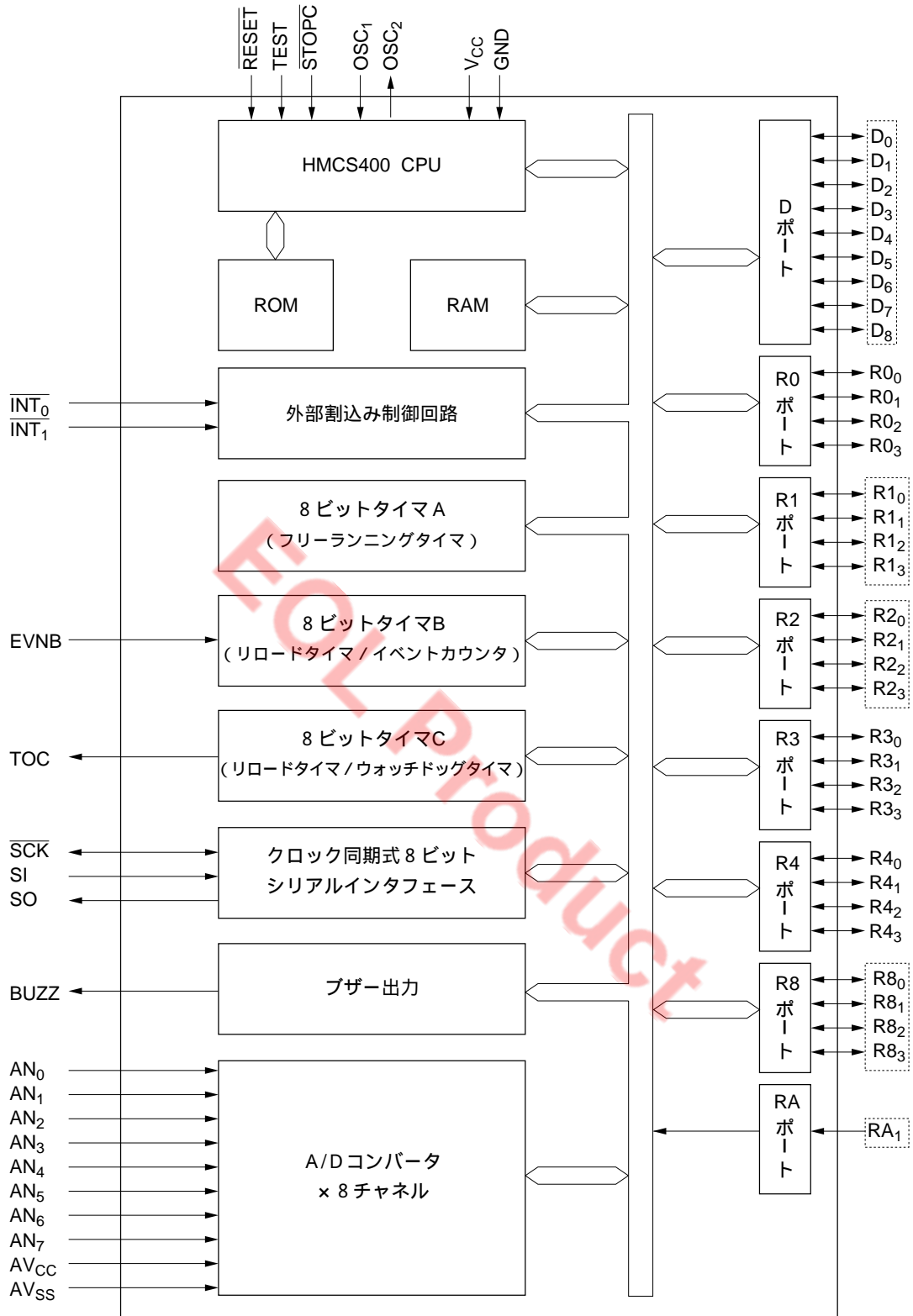


製品	ROM (ワード)	RAM (ディジット)
HD404391	1,024	256
HD404392	2,048	
HD404394	4,096	
HD4074394	4,096	

- : 大電流端子
- : 中耐圧NMOSオープンドレイン端子
- : 標準耐圧NMOSオープンドレイン大電流端子

図1.3 HD404394シリーズの内部ブロック図

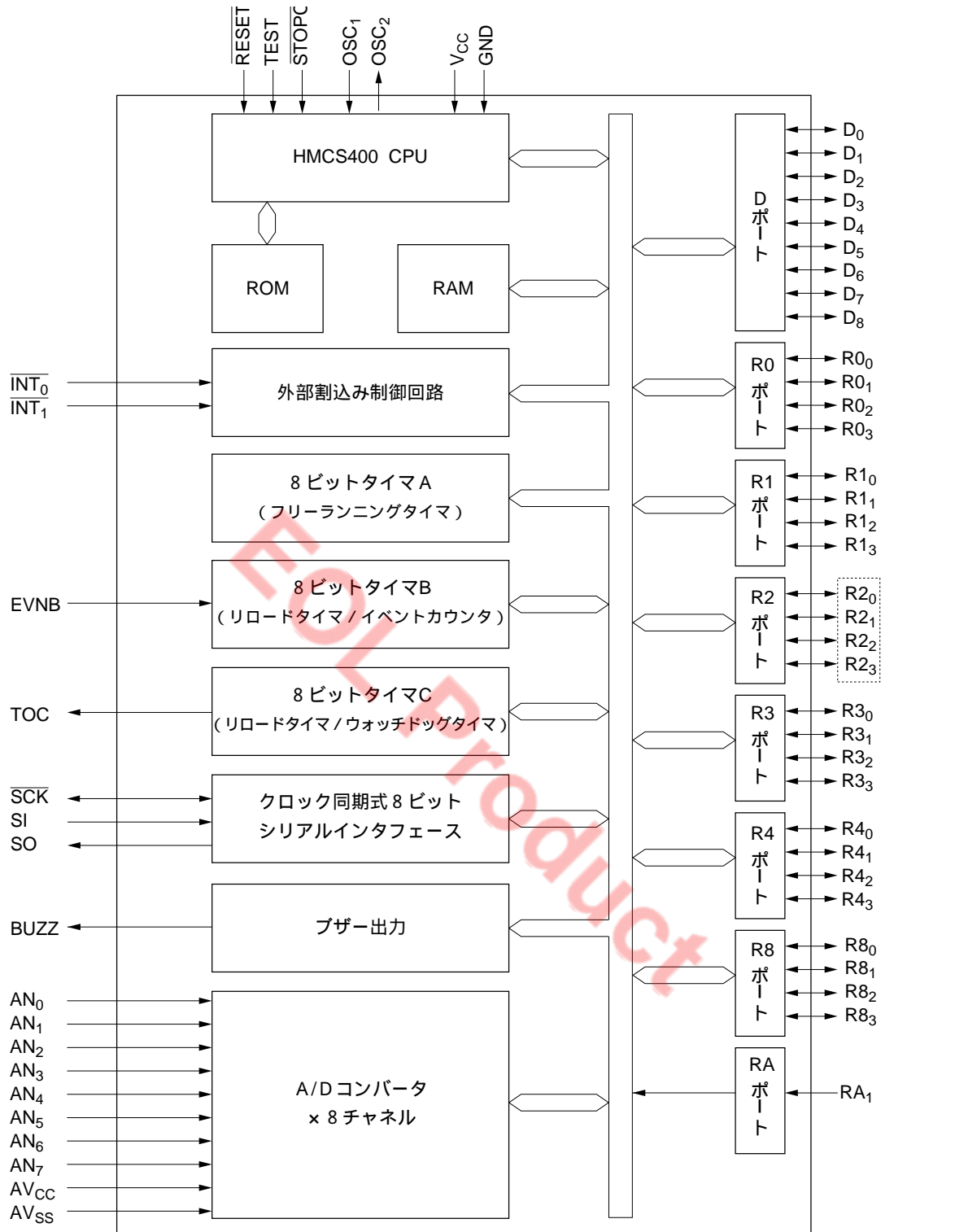
# 1. 概要 HD404318シリーズ



製品	ROM (ワード)	RAM (ディジット)
HD404314	4,096	384
HD404316	6,144	
HD404318	8,192	
HD4074318	8,192	

□ : 高耐圧端子

図1.4 HD404318シリーズの内部ブロック図

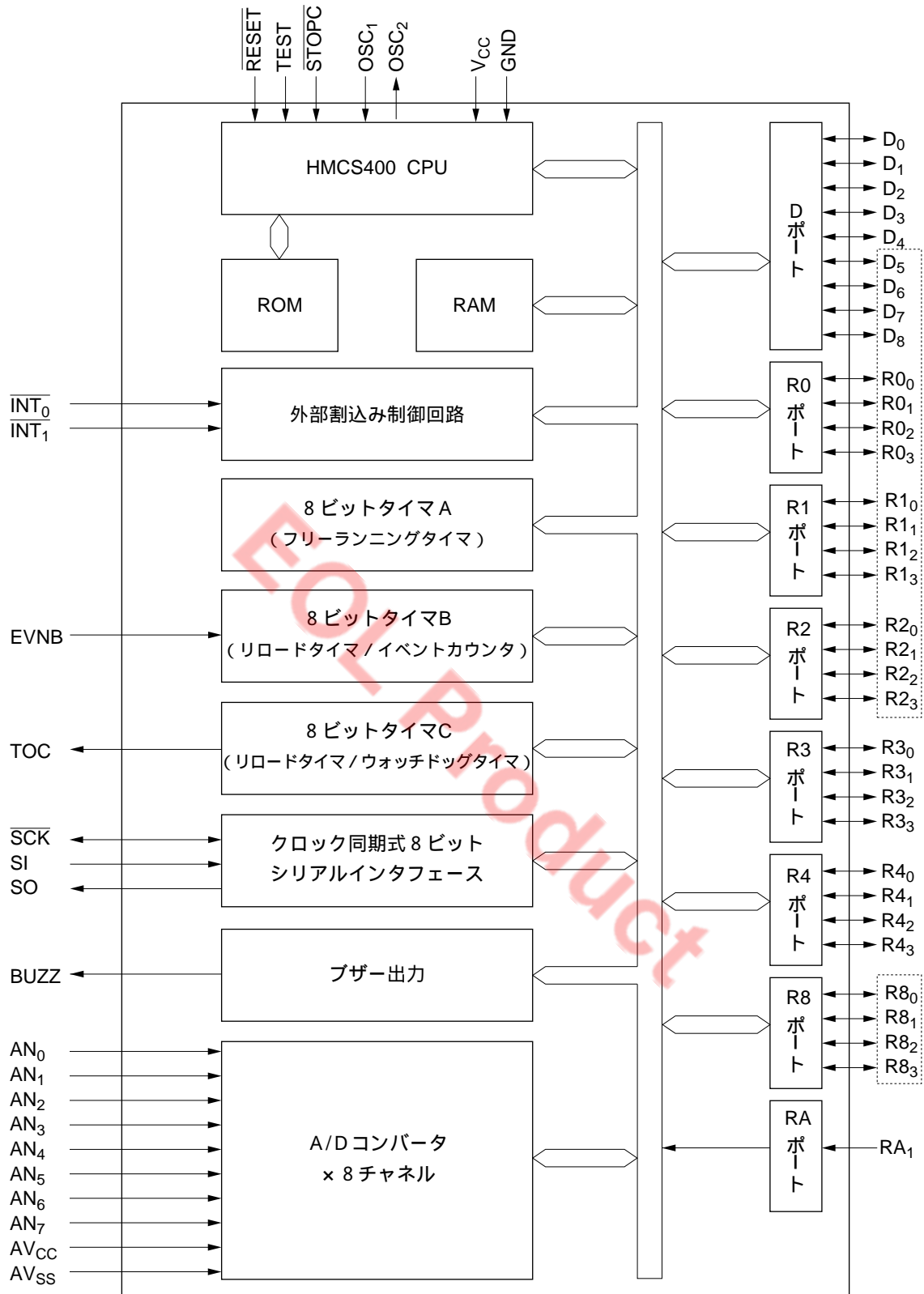


製品	ROM (ワード)	RAM (ディジット)
HD404354/HD40A4354	4,096	384
HD404356/HD40A4356	6,144	
HD404358/HD40A4358	8,192	
HD407A4359	16,384	512

□ : 中耐圧NMOSオープンドレイン端子

図1.5 HD404358シリーズの内部ブロック図

# 1. 概要 HD404358Rシリーズ



製品	ROM (ワード)	RAM (ディジット)
HD404354R/HD40A4354R/HD40C4354R	4,096	512
HD404356R/HD40A4356R/HD40C4356R	6,144	
HD404358R/HD40A4358R/HD40C4358R	8,192	
HD407A4359R/HD407C4359R	16,384	

⋯ : NMOS大電流端子

図1.6 HD404358Rシリーズの内部ブロック図



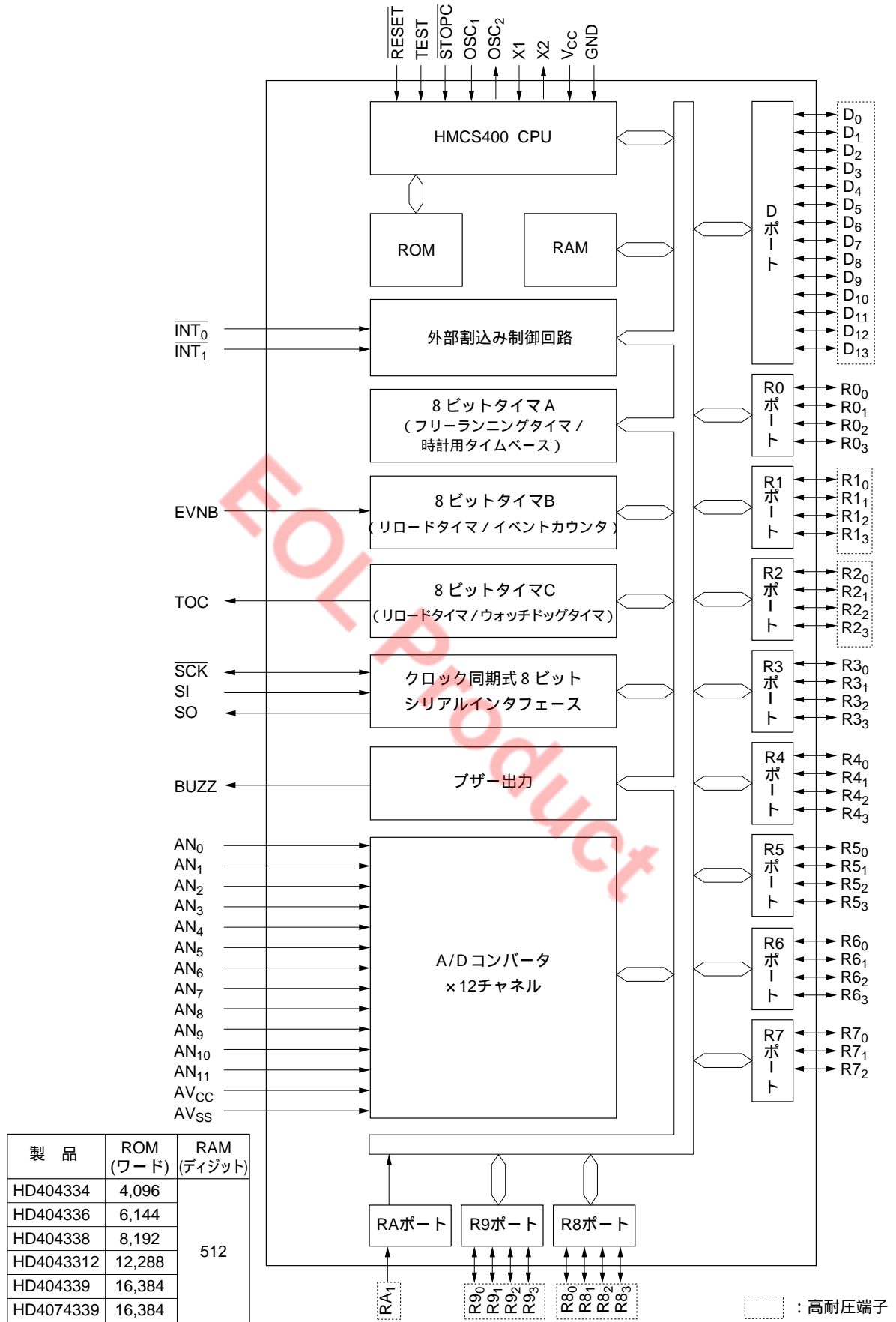


図1.7 HD404339シリーズの内部ブロック図

# 1. 概要 HD404369シリーズ

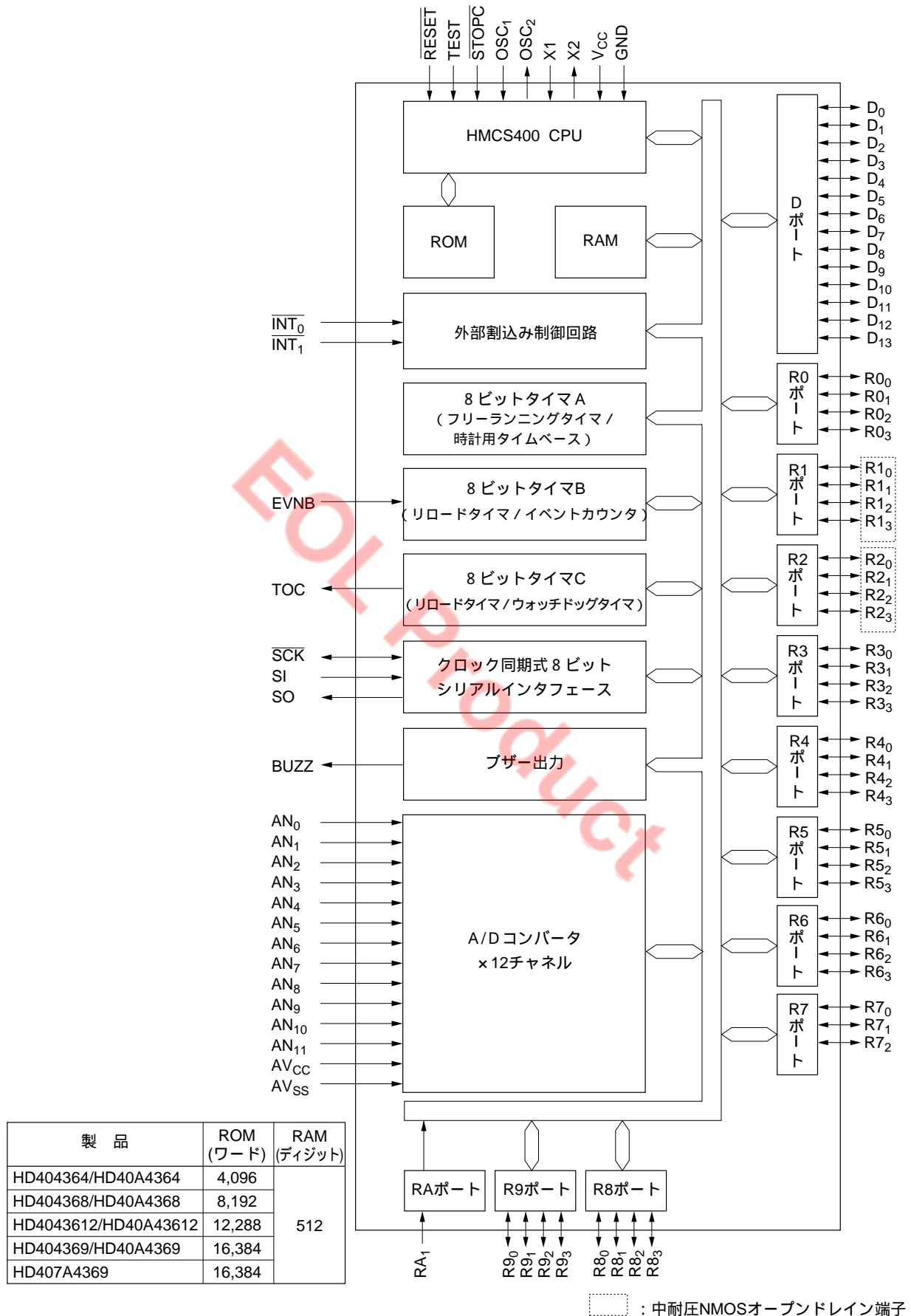


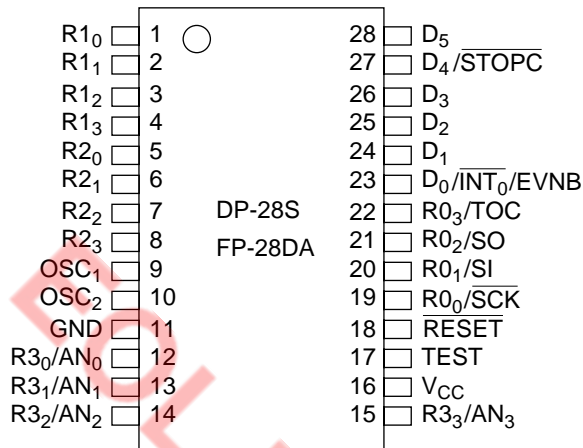
図1.8 HD404369シリーズの内部ブロック図

## 1.3 端子説明

### 1.3.1 HD404344R / HD404394シリーズ端子機能

図1.9、図1.10にHD404344R / HD404394シリーズのピン配置図（DP-28S、FP-28DA、FP-30D）を示します。

#### HD404344Rシリーズ



#### HD404394シリーズ

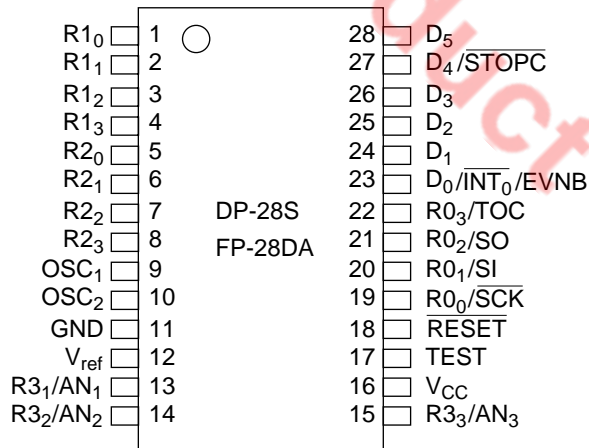
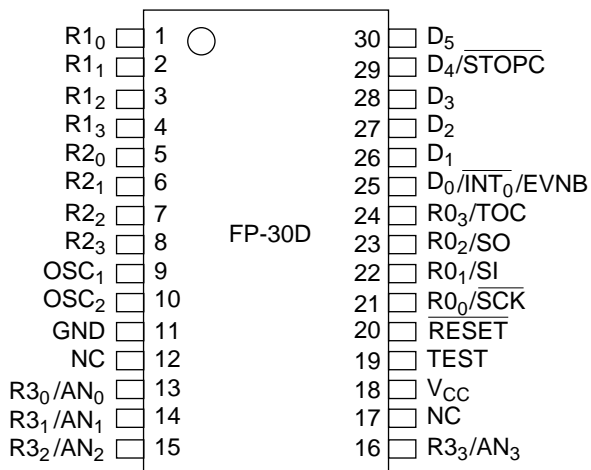


図1.9 HD404344R / HD404394シリーズのピン配置図  
（DS-28S、FP-28DA：上面図）

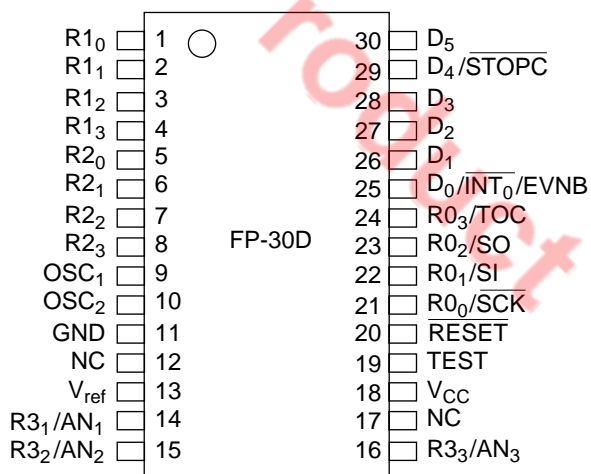
# 1. 概要 HD404344R / HD404394シリーズ

## HD404344Rシリーズ



【注】 NC : No Connector  
(何も接続しないでください)

## HD404394シリーズ



【注】 NC : No Connector  
(何も接続しないでください)

図1.10 HD404344R / HD404394シリーズのピン配置図 (FP-30D : 上面図)

# 1. 概要 HD404344R / HD404394シリーズ

表1.3にHD404344R / HD404394シリーズのピン配置一覧を示します。

表1.3 HD404344R / HD404394シリーズのピン配置一覧

ピン番号		端子名	端子機能	
DP-28S, FP-28DA	FP-30D		HD404344Rシリーズ	HD404394シリーズ
1	1	R1 <sub>0</sub>	標準耐圧大電流入出力ポート	中耐圧入出力ポート
2	2	R1 <sub>1</sub>	標準耐圧大電流入出力ポート	中耐圧入出力ポート
3	3	R1 <sub>2</sub>	標準耐圧大電流入出力ポート	中耐圧入出力ポート
4	4	R1 <sub>3</sub>	標準耐圧大電流入出力ポート	標準耐圧大電流入出力ポート
5	5	R2 <sub>0</sub>	標準耐圧大電流入出力ポート	標準耐圧大電流入出力ポート
6	6	R2 <sub>1</sub>	標準耐圧大電流入出力ポート	標準耐圧大電流入出力ポート
7	7	R2 <sub>2</sub>	標準耐圧大電流入出力ポート	標準耐圧大電流入出力ポート
8	8	R2 <sub>3</sub>	標準耐圧大電流入出力ポート	標準耐圧大電流入出力ポート
9	9	OSC <sub>1</sub>	システムクロック発振子接続：入力	
10	10	OSC <sub>2</sub>	システムクロック発振子接続：出力	
11	11	GND	グラウンド	
12	13	R3 <sub>0</sub> / AN <sub>0</sub> (V <sub>ref</sub> ) <sup>*</sup>	標準耐圧入出力ポート / アナログ入力チャネル	アナログ基準電源
13	14	R3 <sub>1</sub> / AN <sub>1</sub>	標準耐圧入出力ポート / アナログ入力チャネル	
14	15	R3 <sub>2</sub> / AN <sub>2</sub>	標準耐圧入出力ポート / アナログ入力チャネル	
15	16	R3 <sub>3</sub> / AN <sub>3</sub>	標準耐圧入出力ポート / アナログ入力チャネル	
16	18	V <sub>CC</sub>	電源	
17	19	TEST	テスト	
18	20	RESET	リセット	
19	21	R0 <sub>0</sub> / SCK	標準耐圧入出力ポート / シリアル転送クロック入出力	
20	22	R0 <sub>1</sub> / SI	標準耐圧入出力ポート / シリアル受信データ入力	
21	23	R0 <sub>2</sub> / SO	標準耐圧入出力ポート / シリアル送信データ出力	
22	24	R0 <sub>3</sub> / TOC	標準耐圧入出力ポート / タイマC出力	
23	25	D <sub>0</sub> / INT <sub>0</sub> / EVNB	標準耐圧入出力ポート / 外部割込み入力 / タイマBイベント入力	
24	26	D <sub>1</sub>	標準耐圧大電流入出力ポート	
25	27	D <sub>2</sub>	標準耐圧大電流入出力ポート	
26	28	D <sub>3</sub>	標準耐圧入出力ポート	
27	29	D <sub>4</sub> / STOPC	標準耐圧入出力ポート / ストップモード解除	
28	30	D <sub>5</sub>	標準耐圧入出力ポート	
	12	NC	_____	
	17	NC	_____	

【注】\* ( ) 外はHD404344Rシリーズ、( ) 内はHD404394シリーズに適用します。

NCピンには、何も接続しないでください。

## 1. 概要 HD404344R / HD404394シリーズ

表1.4にHD404344R / HD404394シリーズの端子機能一覧を示します。

表1.4 HD404344R / HD404394シリーズの端子機能一覧 ( 1 / 2 )

分類	記号	入出力	名称および機能
電源	V <sub>CC</sub>	_____	<u>電源</u> システム電源に接続します。
	GND	_____	<u>グラウンド</u> システムグラウンドに接続します。
	V <sub>ref</sub>	_____	<u>アナログ基準電源 (HD404394シリーズ)</u> A/Dコンバータ内の内蔵ラダー抵抗用の電源端子です。
クロック	OSC <sub>1</sub>	入力	<u>システムクロック発振子接続端子1</u> セラミック発振子または、発振回路を接続してください。また、CR発振の場合は、抵抗を接続してください。周波数は、400kHz ~ 4.5MHzのものを使用してください。セラミック発振子抵抗を接続する場合、および外部クロック入力の場合の接続例については、「第13章 発振回路」を参照してください。
	OSC <sub>2</sub>	出力	<u>システムクロック発振子接続端子2</u> セラミック発振子を接続します。周波数は、400kHz ~ 4.5MHzのものを使用してください。また、CR発振の場合は、抵抗を接続してください。OSC <sub>1</sub> 端子から外部クロックを入力する場合は、OSC <sub>2</sub> 端子は開放にしてください。
ポート	D <sub>0</sub> ~ D <sub>5</sub>	入出力	<u>Dポート</u> 1ビットごとにアクセスできる入出力端子です (CMOS 3 ステート)。D <sub>1</sub> 、D <sub>2</sub> 端子は大電流端子で最大15mAの電流を流し込むことができます。
	R0 <sub>0</sub> ~ R0 <sub>3</sub>	入出力	<u>R0ポート</u> 4ビットごとにアクセスできる標準入出力端子です (CMOS 3 ステート)。
	R1 <sub>0</sub> ~ R1 <sub>3</sub>	入出力	<u>R1ポート (HD404344Rシリーズ)</u> 4ビットごとにアクセスできる入出力端子です (CMOS 3 ステート)。R1 <sub>0</sub> ~ R1 <sub>3</sub> 端子は大電流端子で最大15mAの電流を流し込むことができます。 <u>R1ポート (HD404394シリーズ)</u> 4ビットごとにアクセスできる入出力端子です。 R1 <sub>0</sub> ~ R1 <sub>2</sub> 端子は中耐圧入出力端子 (NMOSオープンドレイン) です。また、R1 <sub>3</sub> 端子は標準耐圧大電流端子 (NMOSオープンドレイン) で、最大15mAの電流を流し込むことができます。
	R2 <sub>0</sub> ~ R2 <sub>3</sub>	入出力	<u>R2ポート (HD404344Rシリーズ)</u> 4ビットごとにアクセスできる入出力端子です (CMOS 3 ステート)。R2 <sub>0</sub> ~ R2 <sub>3</sub> 端子は大電流端子で最大15mAの電流を流し込むことができます。 <u>R2ポート (HD404394シリーズ)</u> 4ビットごとにアクセスできる入出力端子です (NMOSオープンドレイン)。R2 <sub>0</sub> ~ R2 <sub>3</sub> 端子は大電流端子で最大15mAの電流を流し込むことができます。

## 1. 概要 HD404344R / HD404394シリーズ

表1.4 HD404344R / HD404394シリーズの端子機能一覧 (2 / 2)

分類	記号	入出力	名称および機能
ポート	R3 <sub>0</sub> ~ R3 <sub>3</sub> (R3 <sub>1</sub> ~ R3 <sub>3</sub> )*	入出力	<u>R3ポート</u> 4ビット (3ビット)*ごとにアクセスできる標準入出力端子です (CMOS 3ステート)。
システム制御	TEST	入力	<u>テスト</u> GND電位に接続してください。
	$\overline{\text{RESET}}$	入力	<u>リセット</u> この端子が、Lowレベルになるとリセット状態になります。
	$\overline{\text{STOPC}}$	入力	<u>ストップモード解除</u> ストップモードを解除するための入力端子で、本端子がLowレベルになるとストップモードからアクティブモードに遷移します。
割込み	$\overline{\text{INT}}_0$	入力	<u>外部割込み入力0</u> 立ち下がりエッジ検出の外部割込み入力端子です。
8ビットタイマ	TOC	出力	<u>タイマC出力</u> タイマCの出力端子で、PWM出力を発生します。
	EVNB	入力	<u>タイマBイベント入力</u> タイマBのイベント入力端子です。外部イベント信号のカウントは、立ち下がりエッジ、立ち上がりエッジ、立ち下がり / 立ち上がり両エッジから選択できます。
シリアルインタフェース	$\overline{\text{SCK}}$	入出力	<u>シリアル転送クロック入出力</u> シリアルインタフェースのクロック入出力端子です。
	SI	入力	<u>シリアル受信データ入力</u> シリアルインタフェースのデータ入力端子です。
	SO	出力	<u>シリアル送信データ出力</u> シリアルインタフェースのデータ出力端子です。
A/Dコンバータ	AN <sub>0</sub> ~ AN <sub>3</sub> (AN <sub>1</sub> ~ AN <sub>3</sub> )*	入力	<u>アナログ入力チャンネル0 ~ 3 (HD404344Rシリーズ)</u> A/Dコンバータのアナログ入力チャンネルです。 <u>アナログ入力チャンネル1 ~ 3 (HD404394シリーズ)</u> A/Dコンバータのアナログ入力チャンネルです。

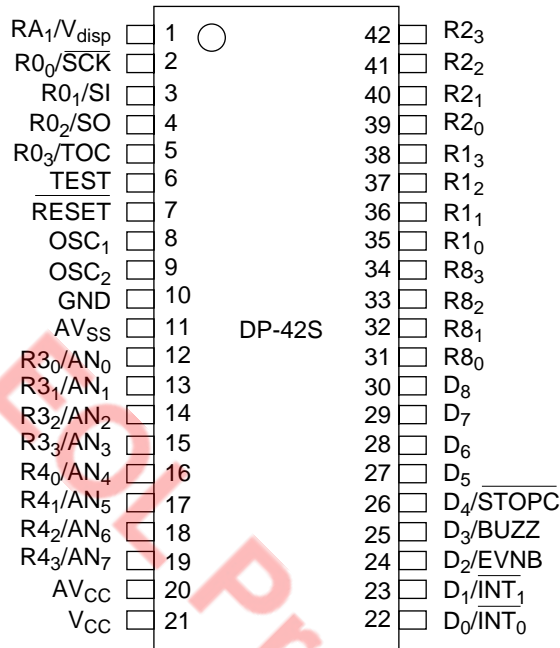
【注】\* ( 外はHD404344Rシリーズ、( 内はHD404394シリーズに適用します。

# 1. 概要 HD404318 / HD404358 / HD404358Rシリーズ

## 1.3.2 HD404318 / HD404358 / HD404358Rシリーズ端子機能

図1.11、図1.12にHD404318 / HD404358 / HD404358Rシリーズのピン配置図（DP-42S、FP-44A）を示します。

### HD404318シリーズ



### HD404358 / HD404358Rシリーズ

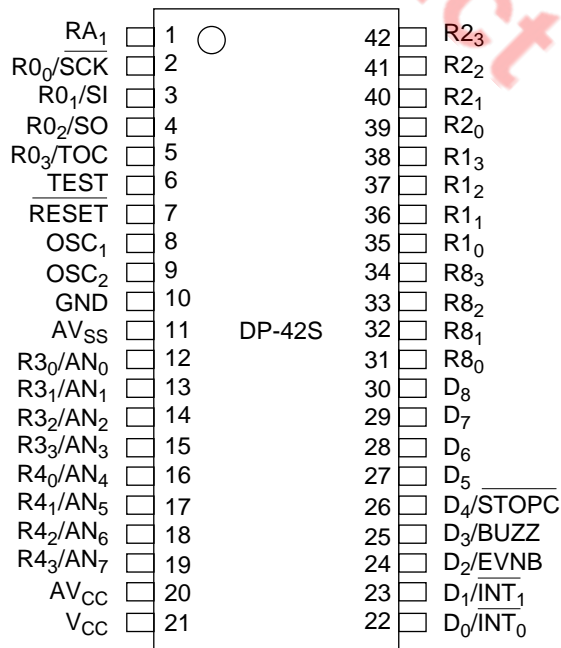
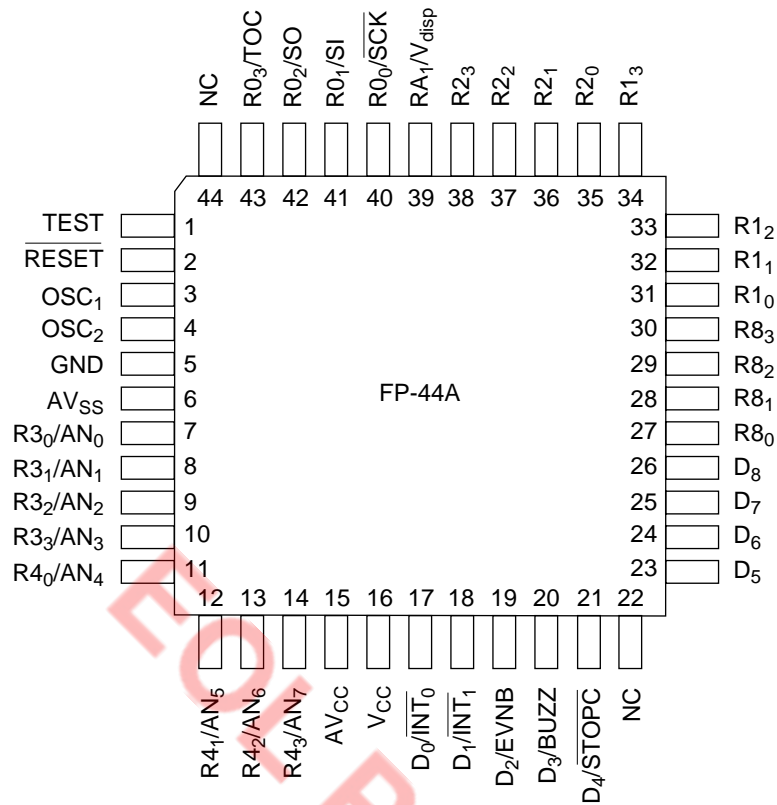


図1.11 HD404318 / HD404358 / HD404358Rシリーズのピン配置図（DS-42S：上面図）



# 1. 概要 HD404318 / HD404358 / HD404358Rシリーズ

## HD404318シリーズ



## HD404358 / HD404358Rシリーズ

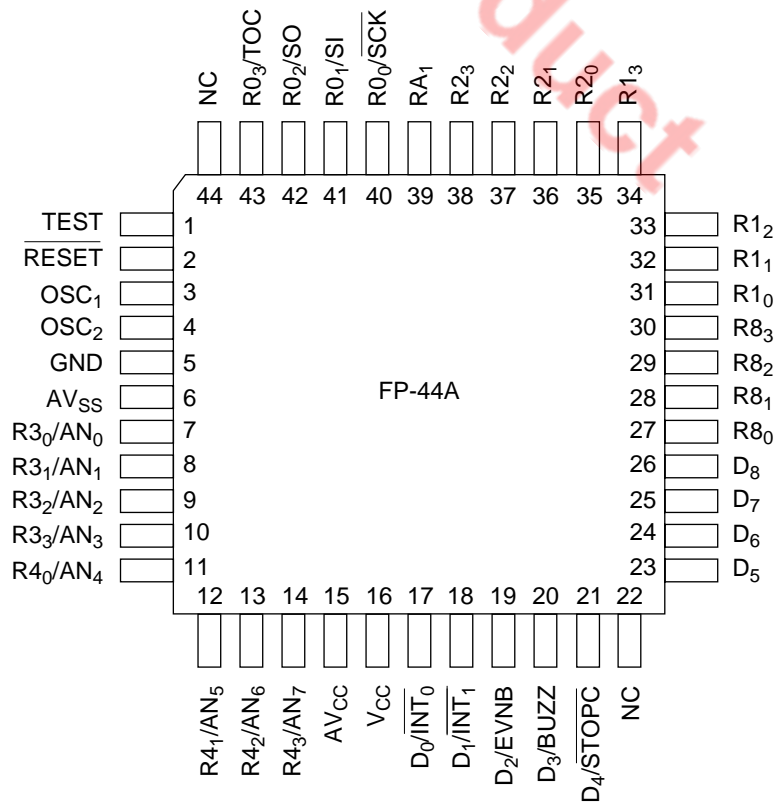


図1.12 HD404318 / HD404358 / HD404358Rシリーズのピン配置図 (FP-44A : 上面図)

# 1. 概要 HD404318 / HD404358 / HD404358Rシリーズ

表1.5にHD404318 / HD404358 / HD404358Rシリーズのピン配置一覧を示します。

表1.5 HD404318 / HD404358 / HD404358Rシリーズのピン配置一覧（1 / 2）

ピン番号		端子名	端子機能		
DP-42S	FP-44A		HD404318シリーズ	HD404358シリーズ	HD404358Rシリーズ
1	39	RA <sub>1</sub> /(V <sub>disp</sub> ) <sup>*</sup>	高耐圧入力ポート/ 高耐圧端子出力	標準耐圧入力ポート	
2	40	R0 <sub>0</sub> / $\overline{\text{SCK}}$	標準耐圧入出力ポート/ シリアル転送クロック入出力		標準耐圧大電流 入出力ポート/ シリアル転送 クロック入出力
3	41	R0 <sub>1</sub> / SI	標準耐圧入出力ポート/ シリアル受信データ入力		標準耐圧大電流 入出力ポート/ シリアル受信 データ入力
4	42	R0 <sub>2</sub> / SO	標準耐圧入出力ポート/ シリアル送信データ出力		標準耐圧大電流 入出力ポート/ シリアル送信 データ出力
5	43	R0 <sub>3</sub> / TOC	標準耐圧入出力ポート/ タイマC出力		標準耐圧大電流 入出力ポート/ タイマC出力
6	1	TEST	テスト		
7	2	$\overline{\text{RESET}}$	リセット		
8	3	OSC <sub>1</sub>	システムクロック発振子接続：入力		
9	4	OSC <sub>2</sub>	システムクロック発振子接続：出力		
10	5	GND	グランド		
11	6	AV <sub>SS</sub>	アナロググランド		
12	7	R3 <sub>0</sub> / AN <sub>0</sub>	標準耐圧入出力ポート / アナログ入力チャネル		
13	8	R3 <sub>1</sub> / AN <sub>1</sub>	標準耐圧入出力ポート / アナログ入力チャネル		
14	9	R3 <sub>2</sub> / AN <sub>2</sub>	標準耐圧入出力ポート / アナログ入力チャネル		
15	10	R3 <sub>3</sub> / AN <sub>3</sub>	標準耐圧入出力ポート / アナログ入力チャネル		
16	11	R4 <sub>0</sub> / AN <sub>4</sub>	標準耐圧入出力ポート / アナログ入力チャネル		
17	12	R4 <sub>1</sub> / AN <sub>5</sub>	標準耐圧入出力ポート / アナログ入力チャネル		
18	13	R4 <sub>2</sub> / AN <sub>6</sub>	標準耐圧入出力ポート / アナログ入力チャネル		
19	14	R4 <sub>3</sub> / AN <sub>7</sub>	標準耐圧入出力ポート / アナログ入力チャネル		
20	15	AV <sub>CC</sub>	アナログ電源		
21	16	V <sub>CC</sub>	電源		

【注】\* ( )内はHD404318シリーズにのみ適用します。

# 1. 概要 HD404318 / HD404358 / HD404358Rシリーズ

表1.5 HD404318 / HD404358 / HD404358Rシリーズのピン配置一覧 (2 / 2)

ピン番号		端子名	端子機能		
DP-42S	FP-44A		HD404318シリーズ	HD404358シリーズ	HD404358Rシリーズ
22	17	$D_0 / \overline{INT}_0$	高耐圧入出力ポート / 外部割込み入力	標準耐圧入出力ポート / 外部割込み入力	
23	18	$D_1 / \overline{INT}_1$	高耐圧入出力ポート / 外部割込み入力	標準耐圧入出力ポート / 外部割込み入力	
24	19	$D_2 / EVNB$	高耐圧入出力ポート / タイマBイベント入力	標準耐圧入出力ポート / タイマBイベント入力	
25	20	$D_3 / BUZZ$	高耐圧入出力ポート / ブザー出力	標準耐圧入出力ポート / ブザー出力	
26	21	$D_4 / \overline{STOPC}$	高耐圧入出力ポート / ストップモード解除	標準耐圧入出力ポート / ストップモード解除	
27	23	$D_5$	高耐圧入出力ポート	標準耐圧入出力ポート	標準耐圧大電流入出力ポート
28	24	$D_6$	高耐圧入出力ポート	標準耐圧入出力ポート	標準耐圧大電流入出力ポート
29	25	$D_7$	高耐圧入出力ポート	標準耐圧入出力ポート	標準耐圧大電流入出力ポート
30	26	$D_8$	高耐圧入出力ポート	標準耐圧入出力ポート	標準耐圧大電流入出力ポート
31	27	$R8_0$	高耐圧入出力ポート	標準耐圧入出力ポート	標準耐圧大電流入出力ポート
32	28	$R8_1$	高耐圧入出力ポート	標準耐圧入出力ポート	標準耐圧大電流入出力ポート
33	29	$R8_2$	高耐圧入出力ポート	標準耐圧入出力ポート	標準耐圧大電流入出力ポート
34	30	$R8_3$	高耐圧入出力ポート	標準耐圧入出力ポート	標準耐圧大電流入出力ポート
35	31	$R1_0$	高耐圧入出力ポート	標準耐圧入出力ポート	標準耐圧大電流入出力ポート
36	32	$R1_1$	高耐圧入出力ポート	標準耐圧入出力ポート	標準耐圧大電流入出力ポート
37	33	$R1_2$	高耐圧入出力ポート	標準耐圧入出力ポート	標準耐圧大電流入出力ポート
38	34	$R1_3$	高耐圧入出力ポート	標準耐圧入出力ポート	標準耐圧大電流入出力ポート
39	35	$R2_0$	高耐圧入出力ポート	中耐圧入出力ポート	標準耐圧大電流入出力ポート
40	36	$R2_1$	高耐圧入出力ポート	中耐圧入出力ポート	標準耐圧大電流入出力ポート
41	37	$R2_2$	高耐圧入出力ポート	中耐圧入出力ポート	標準耐圧大電流入出力ポート
42	38	$R2_3$	高耐圧入出力ポート	中耐圧入出力ポート	標準耐圧大電流入出力ポート
	22	NC	————	————	————
	44	NC	————	————	————

【注】 NCピンには、何も接続しないでください。

## 1. 概要 HD404318 / HD404358 / HD404358Rシリーズ

表1.6にHD404318 / HD404358 / HD404358Rシリーズの端子機能一覧を示します。

表1.6 HD404318 / HD404358 / HD404358Rシリーズの端子機能一覧 (1 / 3)

分類	記号	入出力	名称および機能
電源	V <sub>CC</sub>	————	<b>電源</b> システム電源に接続します。
	GND	————	<b>グランド</b> システムグランドに接続します。
	AV <sub>CC</sub>	————	<b>アナログ電源</b> A/Dコンバータ用電源端子です。V <sub>CC</sub> 端子にできるかぎり近い場所で、V <sub>CC</sub> と同電位となるように接続してください。なお、A/Dコンバータ用電源をV <sub>CC</sub> 用電源とは別電源にする場合は、AV <sub>CC</sub> 端子とAV <sub>SS</sub> 端子との間に0.1 μF程度のバイパスコンデンサを接続してください。AV <sub>CC</sub> 端子をV <sub>CC</sub> 端子に直接接続する場合には、必要ありません。
	AV <sub>SS</sub>	————	<b>アナロググランド</b> A/Dコンバータ用グランド端子です。 GND端子にできるかぎり近い場所で、GNDと同電位になるように接続してください。
	V <sub>disp</sub>	————	<b>高耐圧端子出力電源 (HD404318シリーズ)</b> 高耐圧端子の出力電源として使用します。
クロック	OSC <sub>1</sub>	入力	<b>システムクロック発振子接続端子1</b> セラミック発振子、水晶発振子または、外部発振回路を接続してください。周波数は、HD404318シリーズでは400kHz~4.5MHz、HD404358 / HD404358Rシリーズでは400kHz~8.5MHzのものを使用してください。また、CR発振*1の場合は、抵抗を接続してください。 セラミック発振子、水晶発振子、抵抗を接続する場合、および外部クロック入力の場合の接続例については、「第13章 発振回路」を参照してください。
	OSC <sub>2</sub>	出力	<b>システムクロック発振子接続端子2</b> セラミック発振子または、水晶発振子を接続してください。周波数は、HD404318シリーズでは400kHz~4.5MHz、HD404358 / HD404358Rシリーズでは400kHz~8.5MHzのものを使用してください。また、CR発振*1の場合は、抵抗を接続してください。OSC <sub>1</sub> 端子から外部クロックを入力する場合には、OSC <sub>2</sub> 端子は開放にしてください。

# 1. 概要 HD404318 / HD404358 / HD404358Rシリーズ

表1.6 HD404318 / HD404358 / HD404358Rシリーズの端子機能一覧 (2 / 3)

分類	記号	入出力	名称および機能
ポート	D <sub>0</sub> ~ D <sub>8</sub>	入出力	<p><u>高耐圧Dポート (HD404318シリーズ)</u> 1ビットごとにアクセスできる高耐圧入出力端子です (PMOSオープンドレイン)。</p> <p><u>Dポート (HD404358シリーズ)</u> 1ビットごとにアクセスできる標準耐圧入出力端子です (CMOS 3 ステート)。</p> <p><u>Dポート (HD404358Rシリーズ)</u> 1ビットごとにアクセスできる標準耐圧入出力端子です。D<sub>5</sub> ~ D<sub>8</sub>端子は大電流端子で、最大15mAの電流を流し込むことができます (CMOS 3 ステート)。</p>
	R0 <sub>0</sub> ~ R0 <sub>3</sub>	入出力	<p><u>R0ポート (HD404318 / HD404358シリーズ)</u> 4ビットごとにアクセスできる標準耐圧入出力端子です (CMOS 3 ステート)。</p> <p><u>R0ポート (HD404358Rシリーズ)</u> 4ビットごとにアクセスできる標準耐圧大電流入出力端子です (CMOS 3 ステート)。R0<sub>0</sub> ~ R0<sub>3</sub>端子は大電流端子で、最大15mAの電流を流し込むことができます。</p>
	R1 <sub>0</sub> ~ R1 <sub>3</sub>	入出力	<p><u>高耐圧R1ポート (HD404318シリーズ)</u> 4ビットごとにアクセスできる高耐圧入出力端子です (PMOSオープンドレイン)。</p> <p><u>R1ポート (HD404358シリーズ)</u> 4ビットごとにアクセスできる標準耐圧入出力端子です (CMOS 3 ステート)。</p> <p><u>R1ポート (HD404358Rシリーズ)</u> 4ビットごとにアクセスできる標準耐圧入出力端子です。R1<sub>0</sub> ~ R1<sub>3</sub>端子は大電流端子で、最大15mAの電流を流し込むことができます (CMOS 3 ステート)。</p>
	R2 <sub>0</sub> ~ R2 <sub>3</sub>	入出力	<p><u>高耐圧R2ポート (HD404318シリーズ)</u> 4ビットごとにアクセスできる高耐圧入出力端子です (PMOSオープンドレイン)。</p> <p><u>中耐圧R2ポート (HD404358シリーズ)</u> 4ビットごとにアクセスできる中耐圧入出力端子です (NMOSオープンドレイン)。</p> <p><u>R2ポート (HD404358Rシリーズ)</u> 4ビットごとにアクセスできる標準耐圧入出力端子です。R2<sub>0</sub> ~ R2<sub>3</sub>端子は大電流端子で、最大15mAの電流を流し込むことができます (CMOS 3 ステート)。</p>
	R3 <sub>0</sub> ~ R3 <sub>3</sub>	入出力	<p><u>R3ポート</u> 4ビットごとにアクセスできる標準耐圧入出力端子です (CMOS 3 ステート)。</p>
	R4 <sub>0</sub> ~ R4 <sub>3</sub>	入出力	<p><u>R4ポート</u> 4ビットごとにアクセスできる標準耐圧入出力端子です (CMOS 3 ステート)。</p>
	R8 <sub>0</sub> ~ R8 <sub>3</sub>	入出力	<p><u>高耐圧R8ポート (HD404318シリーズ)</u> 4ビットごとにアクセスできる高耐圧入出力端子です (PMOSオープンドレイン)。</p> <p><u>R8ポート (HD404358シリーズ)</u> 4ビットごとにアクセスできる標準耐圧入出力端子です (CMOS 3 ステート)。</p> <p><u>R8ポート (HD404358Rシリーズ)</u> 4ビットごとにアクセスできる標準耐圧入出力端子です。R8<sub>0</sub> ~ R8<sub>3</sub>端子は大電流端子で、最大15mAの電流を流し込むことができます (CMOS 3 ステート)。</p>
	RA <sub>1</sub>	入力	<p><u>高耐圧RAポート (HD404318シリーズ)</u> 1ビットの高耐圧入力端子です。</p> <p><u>RAポート (HD404358 / HD404358Rシリーズ)</u> 1ビットの標準入力端子です。</p>

## 1. 概要 HD404318 / HD404358 / HD404358Rシリーズ

表1.6 HD404318 / HD404358 / HD404358Rシリーズの端子機能一覧 (3 / 3)

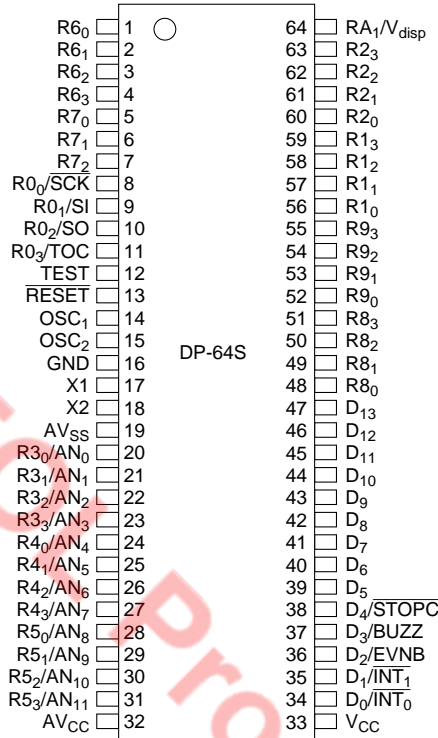
分類	記号	入出力	名称および機能
システム制御	TEST	入力	<u>テスト</u> GND電位に接続してください。
	$\overline{\text{RESET}}$	入力	<u>リセット</u> この端子が、Lowレベルになるとリセット状態になります。
	$\overline{\text{STOPC}}$	入力	<u>ストップモード解除</u> ストップモードを解除するための入力端子で、本端子がLowレベルになるとストップモードからアクティブモードに遷移します。
割込み	$\overline{\text{INT}}_0, \overline{\text{INT}}_1$	入力	<u>外部割込み入力0、1</u> 立ち下がリエッジ検出の外部割込み入力端子です。
ブザー	BUZZ	出力	<u>ブザー出力</u> ブザー信号出力端子です。
8ビットタイマ	TOC	出力	<u>タイマC出力</u> タイマCの出力端子です。
	EVNB	入力	<u>タイマBイベント入力</u> タイマBのイベント入力端子です。外部イベント信号のカウントは、立ち上がりエッジ、立ち上がりエッジ、立ち上がり/立ち上がり両エッジから選択できます。インプットキャプチャのトリガとしても使用できます。
シリアルインタフェース	$\overline{\text{SCK}}$	入出力	<u>シリアル転送クロック入出力</u> シリアルインタフェースのクロック入出力端子です。
	SI	入力	<u>シリアル受信データ入力</u> シリアルインタフェースのデータ入力端子です。
	SO	出力	<u>シリアル送信データ出力</u> シリアルインタフェースのデータ出力端子です。
A/Dコンバータ	$\text{AN}_0 \sim \text{AN}_7$	入力	<u>アナログ入力チャネル0~7</u> A/Dコンバータのアナログ入力チャネルです。

【注】 \*1 HD404358Rシリーズに適用します。

1.3.3 HD404339 / HD404369シリーズ端子機能

図1.13、図1.14にHD404339 / HD404369シリーズのピン配置図 ( DP-64S、FP-64B ) を示します。

HD404339シリーズ



HD404369シリーズ

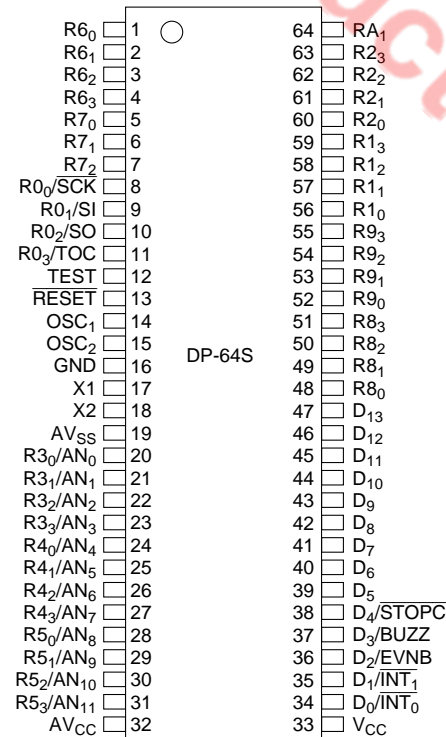
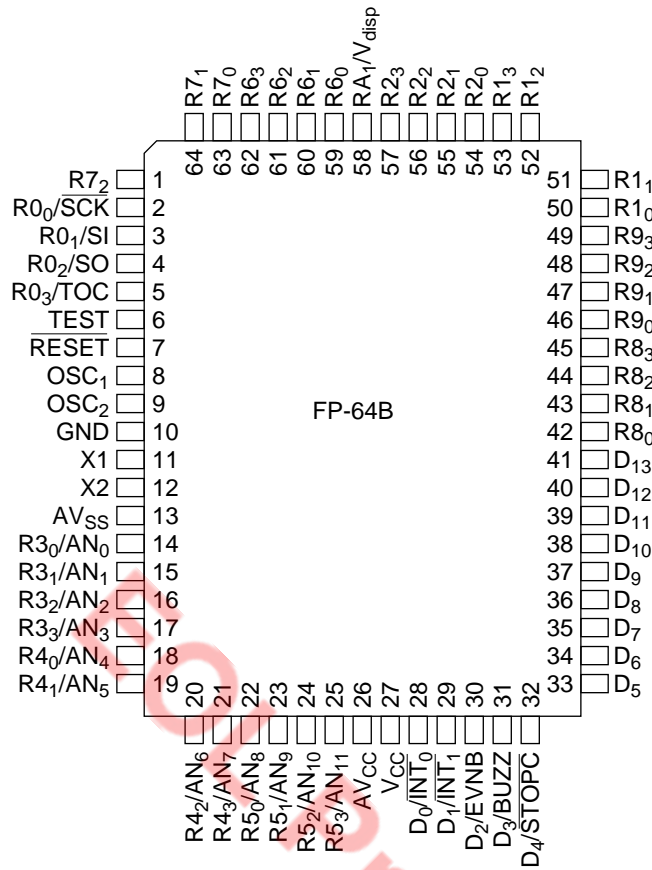


図1.13 HD404339 / HD404369シリーズのピン配置図 ( DS-64S : 上面図 )

# 1. 概要 HD404339 / HD404369シリーズ

## HD404339シリーズ



## HD404369シリーズ

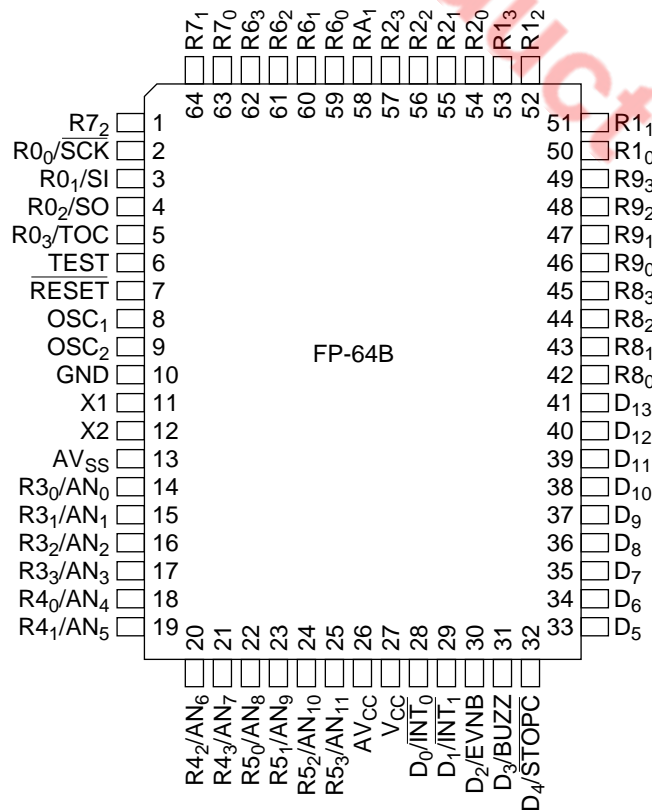


図1.14 HD404339 / HD404369シリーズのピン配置図 (FP-64B : 上面図)



# 1. 概要 HD404339 / HD404369シリーズ

表1.7にHD404339 / HD404369シリーズのピン配置一覧を示します。

表1.7 HD404339 / HD404369シリーズのピン配置一覧 (1 / 2)

ピン番号		端子名	端子機能	
DP-64S	FP-64B		HD404339シリーズ	HD404369シリーズ
1	59	R6 <sub>0</sub>	標準耐圧入出力ポート	
2	60	R6 <sub>1</sub>	標準耐圧入出力ポート	
3	61	R6 <sub>2</sub>	標準耐圧入出力ポート	
4	62	R6 <sub>3</sub>	標準耐圧入出力ポート	
5	63	R7 <sub>0</sub>	標準耐圧入出力ポート	
6	64	R7 <sub>1</sub>	標準耐圧入出力ポート	
7	1	R7 <sub>2</sub>	標準耐圧入出力ポート	
8	2	R0 <sub>0</sub> / $\overline{\text{SCK}}$	標準耐圧入出力ポート / シリアル転送クロック入出力	
9	3	R0 <sub>1</sub> / SI	標準耐圧入出力ポート / シリアル受信データ入力	
10	4	R0 <sub>2</sub> / SO	標準耐圧入出力ポート / シリアル送信データ出力	
11	5	R0 <sub>3</sub> / TOC	標準耐圧入出力ポート / タイマC出力	
12	6	TEST	テスト	
13	7	RESET	リセット	
14	8	OSC <sub>1</sub>	システムクロック発振子接続：入力	
15	9	OSC <sub>2</sub>	システムクロック発振子接続：出力	
16	10	GND	グラウンド	
17	11	X1	サブシステムクロック発振子接続：入力	
18	12	X2	サブシステムクロック発振子接続：出力	
19	13	AV <sub>SS</sub>	アナロググラウンド	
20	14	R3 <sub>0</sub> / AN <sub>0</sub>	標準耐圧入出力ポート / アナログ入力チャネル	
21	15	R3 <sub>1</sub> / AN <sub>1</sub>	標準耐圧入出力ポート / アナログ入力チャネル	
22	16	R3 <sub>2</sub> / AN <sub>2</sub>	標準耐圧入出力ポート / アナログ入力チャネル	
23	17	R3 <sub>3</sub> / AN <sub>3</sub>	標準耐圧入出力ポート / アナログ入力チャネル	
24	18	R4 <sub>0</sub> / AN <sub>4</sub>	標準耐圧入出力ポート / アナログ入力チャネル	
25	19	R4 <sub>1</sub> / AN <sub>5</sub>	標準耐圧入出力ポート / アナログ入力チャネル	
26	20	R4 <sub>2</sub> / AN <sub>6</sub>	標準耐圧入出力ポート / アナログ入力チャネル	
27	21	R4 <sub>3</sub> / AN <sub>7</sub>	標準耐圧入出力ポート / アナログ入力チャネル	
28	22	R5 <sub>0</sub> / AN <sub>8</sub>	標準耐圧入出力ポート / アナログ入力チャネル	
29	23	R5 <sub>1</sub> / AN <sub>9</sub>	標準耐圧入出力ポート / アナログ入力チャネル	
30	24	R5 <sub>2</sub> / AN <sub>10</sub>	標準耐圧入出力ポート / アナログ入力チャネル	
31	25	R5 <sub>3</sub> / AN <sub>11</sub>	標準耐圧入出力ポート / アナログ入力チャネル	
32	26	AV <sub>CC</sub>	アナログ電源	
33	27	V <sub>CC</sub>	電源	
34	28	D <sub>0</sub> / $\overline{\text{INT}}_0$	高耐圧入出力ポート / 外部割込み入力	標準耐圧入出力ポート / 外部割込み入力

# 1. 概要 HD404339 / HD404369シリーズ

表1.7 HD404339 / HD404369シリーズのピン配置一覧 ( 2 / 2 )

ピン番号		端子名	端子機能	
DP-64S	FP-64B		HD404339シリーズ	HD404369シリーズ
35	29	$D_1 / \overline{INT}_1$	高耐圧入出力ポート / 外部割込み入力	標準耐圧入出力ポート / 外部割込み入力
36	30	$D_2 / EVNB$	高耐圧入出力ポート / タイマBイベント入力	標準耐圧入出力ポート / タイマBイベント入力
37	31	$D_3 / BUZZ$	高耐圧入出力ポート / ブザー出力	標準耐圧入出力ポート / ブザー出力
38	32	$D_4 / \overline{STOPC}$	高耐圧入出力ポート / ストップモード解除	標準耐圧入出力ポート / ストップモード解除
39	33	$D_5$	高耐圧入出力ポート	標準耐圧入出力ポート
40	34	$D_6$	高耐圧入出力ポート	標準耐圧入出力ポート
41	35	$D_7$	高耐圧入出力ポート	標準耐圧入出力ポート
42	36	$D_8$	高耐圧入出力ポート	標準耐圧入出力ポート
43	37	$D_9$	高耐圧入出力ポート	標準耐圧入出力ポート
44	38	$D_{10}$	高耐圧入出力ポート	標準耐圧入出力ポート
45	39	$D_{11}$	高耐圧入出力ポート	標準耐圧入出力ポート
46	40	$D_{12}$	高耐圧入出力ポート	標準耐圧入出力ポート
47	41	$D_{13}$	高耐圧入出力ポート	標準耐圧入出力ポート
48	42	$R_{8_0}$	高耐圧入出力ポート	標準耐圧入出力ポート
49	43	$R_{8_1}$	高耐圧入出力ポート	標準耐圧入出力ポート
50	44	$R_{8_2}$	高耐圧入出力ポート	標準耐圧入出力ポート
51	45	$R_{8_3}$	高耐圧入出力ポート	標準耐圧入出力ポート
52	46	$R_{9_0}$	高耐圧入出力ポート	標準耐圧入出力ポート
53	47	$R_{9_1}$	高耐圧入出力ポート	標準耐圧入出力ポート
54	48	$R_{9_2}$	高耐圧入出力ポート	標準耐圧入出力ポート
55	49	$R_{9_3}$	高耐圧入出力ポート	標準耐圧入出力ポート
56	50	$R_{1_0}$	高耐圧入出力ポート	中耐圧入出力ポート
57	51	$R_{1_1}$	高耐圧入出力ポート	中耐圧入出力ポート
58	52	$R_{1_2}$	高耐圧入出力ポート	中耐圧入出力ポート
59	53	$R_{1_3}$	高耐圧入出力ポート	中耐圧入出力ポート
60	54	$R_{2_0}$	高耐圧入出力ポート	中耐圧入出力ポート
61	55	$R_{2_1}$	高耐圧入出力ポート	中耐圧入出力ポート
62	56	$R_{2_2}$	高耐圧入出力ポート	中耐圧入出力ポート
63	57	$R_{2_3}$	高耐圧入出力ポート	中耐圧入出力ポート
64	58	$RA_1 / (V_{disp})^*$	高耐圧入力ポート / 高耐圧端子出力電源	標準耐圧入力ポート

【注】\* ( )内はHD404339シリーズにのみ適用します。

# 1. 概要 HD404339 / HD404369シリーズ

表1.8にHD404339 / HD404369シリーズの端子機能一覧を示します。

表1.8 HD404339 / HD404369シリーズの端子機能一覧 (1 / 3)

分類	記号	入出力	名称および機能
電源	V <sub>CC</sub>	———	<b>電源</b> システム電源に接続します。
	GND	———	<b>グランド</b> システムグランドに接続します。
	AV <sub>CC</sub>	———	<b>アナログ電源</b> A/Dコンバータ用電源端子です。V <sub>CC</sub> 端子にできるかぎり近い場所で、V <sub>CC</sub> と同電位となるように接続してください。なお、A/Dコンバータ用電源をV <sub>CC</sub> 用電源とは別電源にする場合は、AV <sub>CC</sub> 端子とAV <sub>SS</sub> 端子との間に0.1 μF程度のバイパスコンデンサを接続してください。AV <sub>CC</sub> 端子とV <sub>CC</sub> 端子に直接接続する場合には、必要ありません。
	AV <sub>SS</sub>	———	<b>アナロググランド</b> A/Dコンバータ用グランド端子です。 GND端子にできるかぎり近い場所で、GNDと同電位になるように接続してください。
	V <sub>disp</sub>	———	<b>高耐圧端子出力電源 (HD404339シリーズ)</b> 高耐圧端子の出力電源として使用します。
クロック	OSC <sub>1</sub>	入力	<b>システムクロック発振子接続端子1</b> セラミック発振子、水晶発振子を接続します。または、外部クロックを入力することもできます。周波数は、HD404339シリーズでは400kHz ~ 4.5MHz、HD404369シリーズでは400kHz ~ 8.5MHzのものを使用してください。セラミック発振子、水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第14章 発振回路」を参照してください。
	OSC <sub>2</sub>	出力	<b>システムクロック発振子接続端子2</b> セラミック発振子、水晶発振子を接続します。周波数は、HD404339シリーズでは400kHz ~ 4.5MHz、HD404369シリーズでは400kHz ~ 8.5MHzのものを使用してください。OSC <sub>1</sub> 端子から外部クロックを入力する場合には、OSC <sub>2</sub> 端子は開放にしてください。
	X1	入力	<b>サブシステムクロック発振子接続端子1</b> 32.768kHzの水晶発振子を接続します。 サブシステムクロックを使用しない場合には、GND電位に固定してください。
	X2	出力	<b>サブシステムクロック発振子接続端子2</b> 32.768kHzの水晶発振子を接続します。 サブシステムクロックを使用しない場合には、開放にしてください。

# 1. 概要 HD404339 / HD404369シリーズ

表1.8 HD404339 / HD404369シリーズの端子機能一覧 ( 2 / 3 )

分類	記号	入出力	名称および機能
ポート	D <sub>0</sub> ~ D <sub>13</sub>	入出力	<p><u>高耐圧Dポート (HD404339シリーズ)</u> 1ビットごとにアクセスできる高耐圧入出力端子です (PMOSオープンドレイン)。</p> <p><u>Dポート (HD404369シリーズ)</u> 1ビットごとにアクセスできる標準入出力端子です (CMOS 3 ステート)。</p>
	R0 <sub>0</sub> ~ R0 <sub>3</sub>	入出力	<p><u>R0ポート</u> 4ビットごとにアクセスできる標準入出力端子です (CMOS 3 ステート)。</p>
	R1 <sub>0</sub> ~ R1 <sub>3</sub>	入出力	<p><u>高耐圧R1ポート (HD404339シリーズ)</u> 4ビットごとにアクセスできる高耐圧入出力端子です (PMOSオープンドレイン)。</p> <p><u>中耐圧R1ポート (HD404369シリーズ)</u> 4ビットごとにアクセスできる中耐圧入出力端子です (NMOSオープンドレイン)。</p>
	R2 <sub>0</sub> ~ R2 <sub>3</sub>	入出力	<p><u>高耐圧R2ポート (HD404339シリーズ)</u> 4ビットごとにアクセスできる高耐圧入出力端子です (PMOSオープンドレイン)。</p> <p><u>中耐圧R2ポート (HD404369シリーズ)</u> 4ビットごとにアクセスできる中耐圧入出力端子です (NMOSオープンドレイン)。</p>
	R3 <sub>0</sub> ~ R3 <sub>3</sub>	入出力	<p><u>R3ポート</u> 4ビットごとにアクセスできる標準入出力端子です (CMOS 3 ステート)。</p>
	R4 <sub>0</sub> ~ R4 <sub>3</sub>	入出力	<p><u>R4ポート</u> 4ビットごとにアクセスできる標準入出力端子です (CMOS 3 ステート)。</p>
	R5 <sub>0</sub> ~ R5 <sub>3</sub>	入出力	<p><u>R5ポート</u> 4ビットごとにアクセスできる標準入出力端子です (CMOS 3 ステート)。</p>
	R6 <sub>0</sub> ~ R6 <sub>3</sub>	入出力	<p><u>R6ポート</u> 4ビットごとにアクセスできる標準入出力端子です (CMOS 3 ステート)。</p>
	R7 <sub>0</sub> ~ R7 <sub>2</sub>	入出力	<p><u>R7ポート</u> 3ビットの標準入出力端子です (CMOS 3 ステート)。</p>
	R8 <sub>0</sub> ~ R8 <sub>3</sub>	入出力	<p><u>高耐圧R8ポート (HD404339シリーズ)</u> 4ビットごとにアクセスできる高耐圧入出力端子です (PMOSオープンドレイン)。</p> <p><u>R8ポート (HD404369シリーズ)</u> 4ビットごとにアクセスできる標準入出力端子です (CMOS 3 ステート)。</p>
	R9 <sub>0</sub> ~ R9 <sub>3</sub>	入出力	<p><u>高耐圧R9ポート (HD404339シリーズ)</u> 4ビットごとにアクセスできる高耐圧入出力端子です (PMOSオープンドレイン)。</p> <p><u>R9ポート (HD404369シリーズ)</u> 4ビットごとにアクセスできる標準入出力端子です (CMOS 3 ステート)。</p>

# 1. 概要 HD404339 / HD404369シリーズ

表1.8 HD404339 / HD404369シリーズの端子機能一覧 (3 / 3)

分類	記号	入出力	名称および機能
ポート	RA <sub>1</sub>	入力	高耐圧RAポート (HD404339シリーズ) 1ビットの高耐圧入力端子です。 RAポート (HD404369シリーズ) 1ビットの標準入力端子です。
システム 制御	TEST	入力	テスト GND電位に接続してください。
	$\overline{\text{RESET}}$	入力	リセット この端子が、Lowレベルになるとリセット状態になります。
	$\overline{\text{STOPC}}$	入力	ストップモード解除 ストップモードを解除するための入力端子で、本端子がLowレベルになるとストップモードからアクティブモードに遷移します。
割込み	INT <sub>0</sub> , INT <sub>1</sub>	入力	外部割込み入力0、1 立ち下がりエッジ検出の外部割込み入力端子です。
ブザー	BUZZ	出力	ブザー出力 ブザー信号出力端子です。
8ビット タイマ	TOC	出力	タイマC出力 タイマCの出力端子です。
	EVNB	入力	タイマBイベント入力 タイマBのイベント入力端子です。外部イベント信号のカウントは、立ち下がりエッジ、立ち上がりエッジ、立ち下がり / 立ち上がり両エッジから選択できます。インプットキャプチャのトリガとしても使用できます。
シリアル インタフェース	$\overline{\text{SCK}}$	入出力	シリアル転送クロック入出力 シリアルインタフェースのクロック入出力端子です。
	SI	入力	シリアル受信データ入力 シリアルインタフェースのデータ入力端子です。
	SO	出力	シリアル送信データ出力 シリアルインタフェースのデータ出力端子です。
A/Dコン バータ	AN <sub>0</sub> ~ AN <sub>11</sub>	入力	アナログ入力チャネル0~11 A/Dコンバータのアナログ入力チャネルです。

EOL Product

---

## 2. メモリ

---

EOL Product

---

### 第2章 目次

---

2.1	概要	39
2.2	ROM	40
2.2.1	ベクタアドレスエリア	40
2.2.2	ゼロページサブルーチンエリア	40
2.2.3	パターンエリア	40
2.2.4	プログラムエリア	41
2.3	RAM	43
2.3.1	RAMマップレジスタエリア	48
	(1) 割込み制御ビットエリア (\$000 ~ \$003)	48
	(2) 特殊レジスタエリア (\$004 ~ \$01F、\$024 ~ \$03F)	50
	(3) レジスタフラグエリア (\$020 ~ \$023)	54
2.3.2	メモリレジスタエリア	57
2.3.3	データエリア	58
2.3.4	スタックエリア	59

EOL Product



## 2.1 概要

HMCS43 × × ファミリは、表2.1に示す容量のROM、RAMを内蔵しています。

表2.1 ROM、RAM容量

シリーズ	製品名	ROM	RAM
HD404344R	HD404341R/HD40C4341R	1,024ワード	256ディジット
	HD404342R/HD40C4342R	2,048ワード	
	HD404344R/HD40C4344R	4,096ワード	
	HD4074344	4,096ワード	
HD404394	HD404391	1,024ワード	256ディジット
	HD404392	2,048ワード	
	HD404394	4,096ワード	
	HD4074394	4,096ワード	
HD404318	HD404314	4,096ワード	384ディジット
	HD404316	6,144ワード	
	HD404318	8,192ワード	
	HD4074318	8,192ワード	
HD404358	HD404354/HD40A4354	4,096ワード	384ディジット
	HD404356/HD40A4356	6,144ワード	
	HD404358/HD40A4358	8,192ワード	
	HD407A4359	16,384ワード	512ディジット
HD404358R	HD404354R/HD40A4354R/ HD40C4354R	4,096ワード	512ディジット
	HD404356R/HD40A4356R/ HD40C4356R	6,144ワード	
	HD404358R/HD40A4358R/ HD40C4358R	8,192ワード	
	HD407A4359R	16,384ワード	
	HD407C4359R	16,384ワード	
HD404339	HD404334	4,096ワード	512ディジット
	HD404336	6,144ワード	
	HD404338	8,192ワード	
	HD4043312	12,288ワード	
	HD404339	16,384ワード	
	HD4074339	16,384ワード	
HD404369	HD404364/HD40A4364	4,096ワード	512ディジット
	HD404368/HD40A4368	8,192ワード	
	HD4043612/HD40A43612	12,288ワード	
	HD404369/HD40A4369	16,384ワード	
	HD407A4369	16,384ワード	

【注】 1ワード : 10ビット  
1ディジット : 4ビット

## 2. メモリ 全シリーズ

---

### 2.2 ROM

#### 2.2.1 ベクタアドレスエリア

ベクタアドレスエリアは、ROMアドレスの\$0000～\$000Fに割り付けられています。リセット時、ストップモード解除および割込み処理時には、その例外処理要因により固有に定められた8種類のベクタアドレスからプログラムが実行されます。したがって、各ベクタアドレスには、リセット、ストップモード解除処理、および各割込み処理ルーチンの先頭アドレスへ分岐するためのJMPL命令（無条件ロングジャンプ命令：2ワード）をプログラムしてください（図2.1、図2.2参照）。

#### 2.2.2 ゼロページサブルーチンエリア

ゼロページサブルーチンエリアは、ROMアドレスの\$0000～\$003Fに割り付けられています。CAL命令により、本エリア内の任意のアドレスを条件サブルーチンコールすることができます。

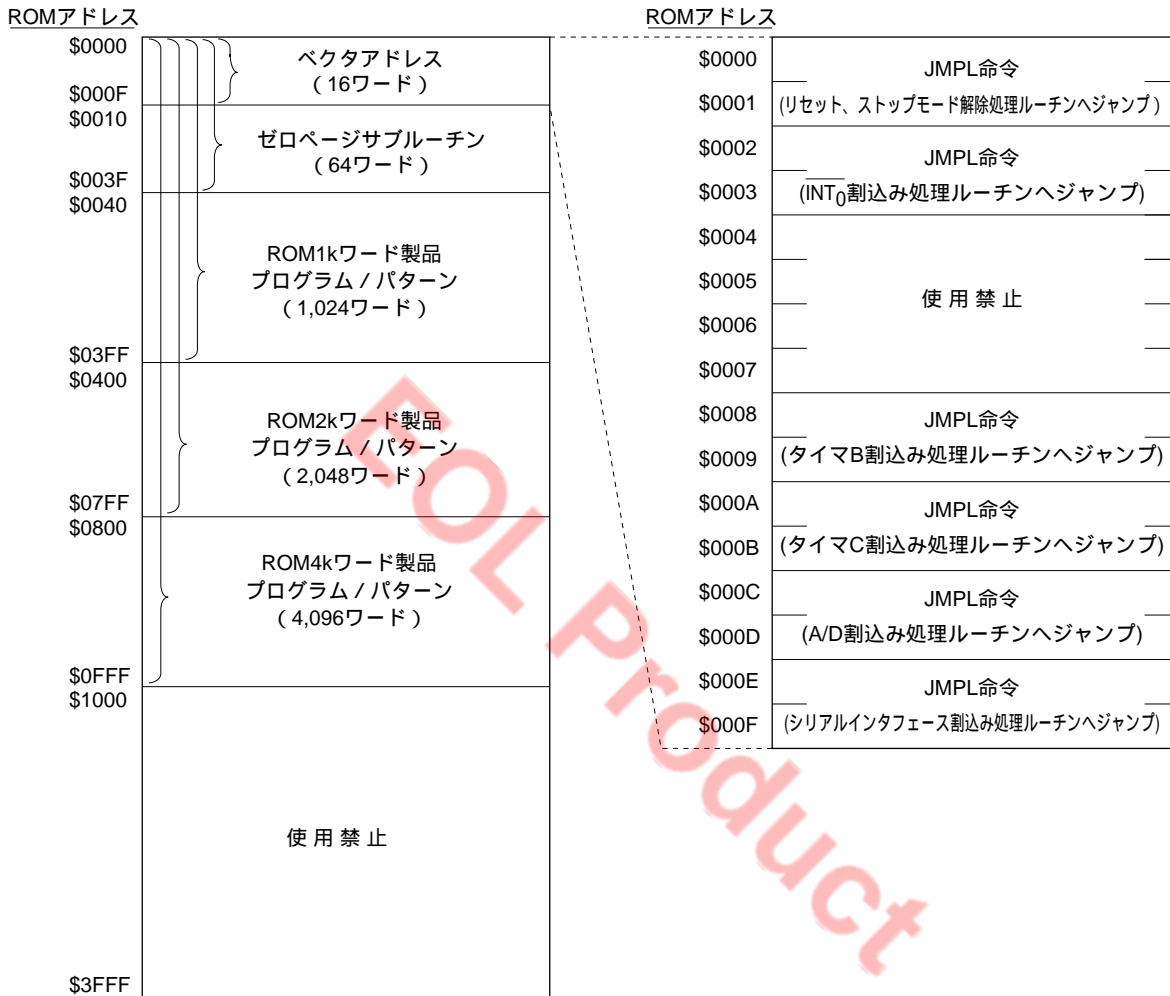
#### 2.2.3 パターンエリア

パターンエリアは、ROMアドレスの\$0000～\$0FFFに割り付けられています。P命令により、本エリア内のROMビットパターン（8ビット）をR1、R2ポートのポートデータレジスタのペアまたはアキュムレータ、Bレジスタのペアに転送できます。

2.2.4 プログラムエリア

ROMの全領域をプログラムエリアとして使用できます。

図2.1にHD404344R / HD404394シリーズのROMメモリマップを示します。



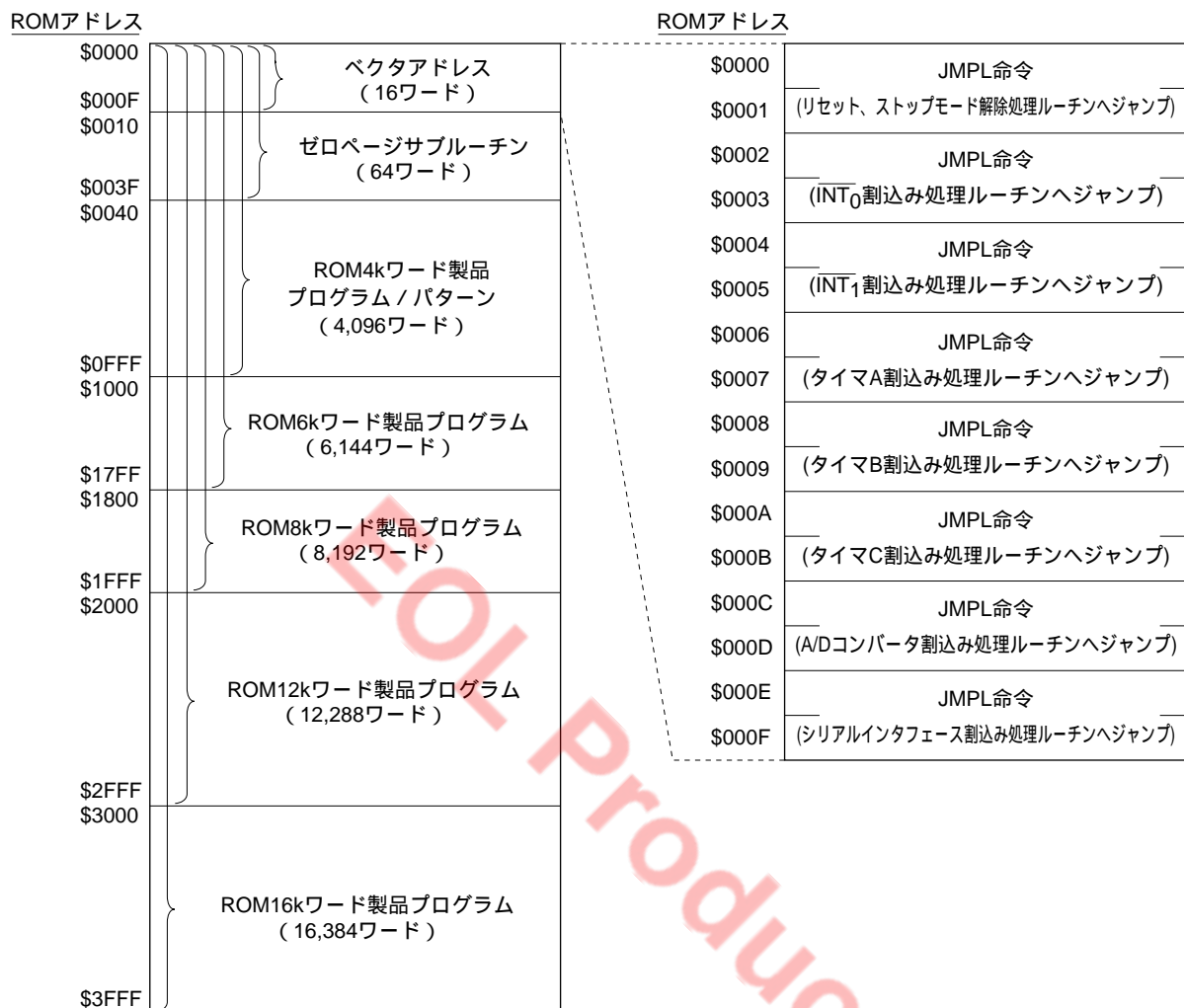
【注】プログラムエリア / パターンエリアは、製品により異なります。

ROM容量	製品名		パターンエリア		プログラムエリア	
			アドレス	容量	アドレス	容量
1kワード	HD404341R HD40C4341R	HD404391	\$0000 ~ \$03FF	1,024ワード	\$0000 ~ \$03FF	1,024ワード
2kワード	HD404342R HD40C4342R	HD404392	\$0000 ~ \$07FF	2,048ワード	\$0000 ~ \$07FF	2,048ワード
4kワード	HD404344R HD40C4344R HD4074344	HD404394 HD4074394	\$0000 ~ \$0FFF	4,096ワード	\$0000 ~ \$0FFF	4,096ワード

図2.1 HD404344R / HD404394シリーズのROMメモリマップ

## 2. メモリ HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ

図2.2にHD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズのROMメモリマップを示します。



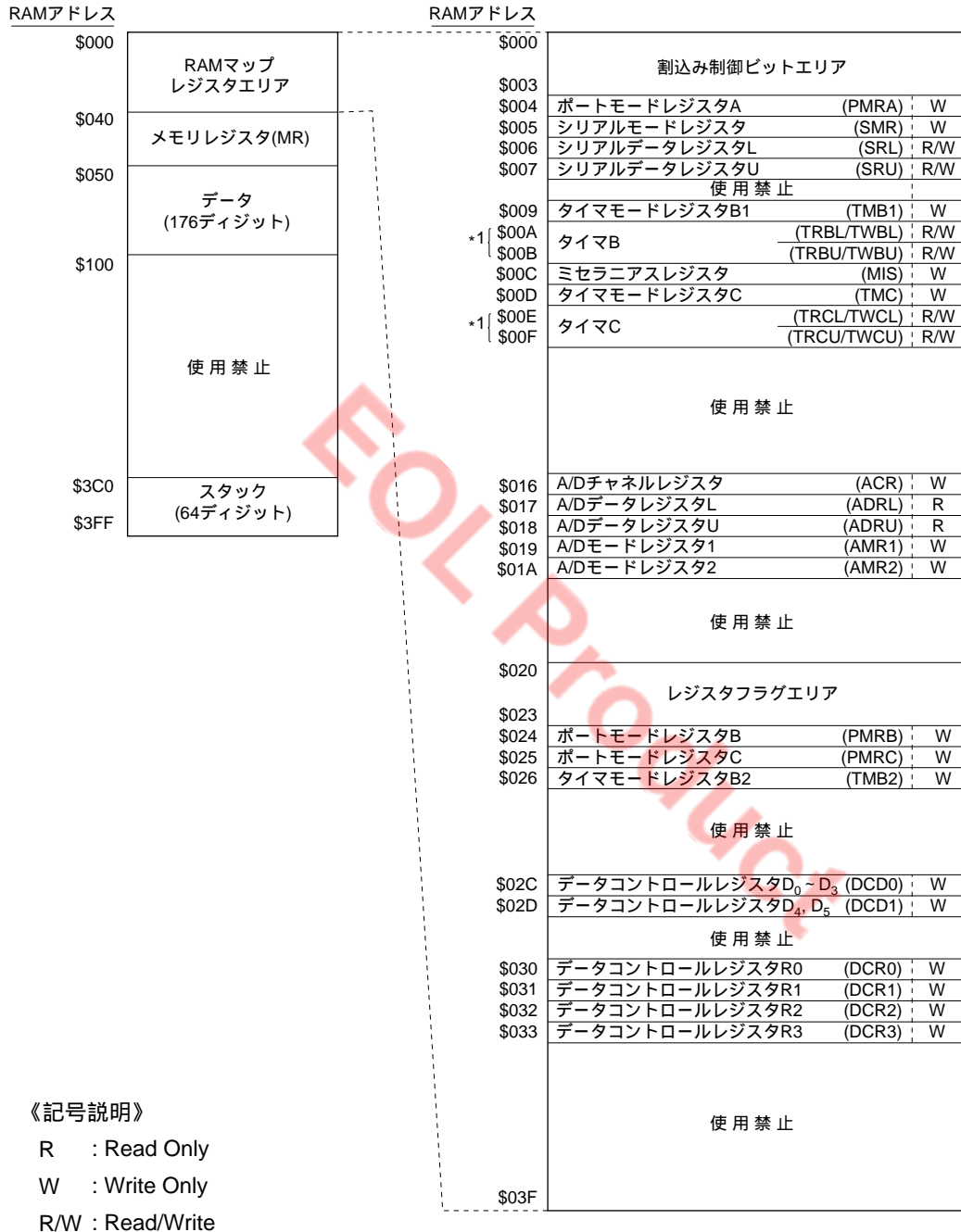
【注】プログラムエリアは、製品により異なります。

ROM容量	製品名					プログラムエリア	
						アドレス	容量
4kワード	HD404314	HD404354 HD40A4354	HD404354R HD40A4354R HD40C4354R	HD404334	HD404364 HD40A4364	\$0000 ~ \$0FFF	4,096ワード
6kワード	HD404316	HD404356 HD40A4356	HD404356R HD40A4356R HD40C4356R	HD404336	—————	\$0000 ~ \$17FF	6,144ワード
8kワード	HD404318 HD4074318	HD404358 HD40A4358	HD404358R HD40A4358R HD40C4358R	HD404338	HD404368 HD40A4368	\$0000 ~ \$1FFF	8,192ワード
12kワード	—————	—————	—————	HD4043312	HD4043612 HD40A43612	\$0000 ~ \$2FFF	12,288ワード
16kワード	—————	HD407A4359	HD407A4359R HD407C4359R	HD404339 HD4074339	HD404369 HD40A4369 HD407A4369	\$0000 ~ \$3FFF	16,384ワード

図2.2 HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズのROMメモリマップ

2.3 RAM

図2.3にHD404344R / HD404394シリーズのRAMメモリマップを示します。



【注】\*1 2つのレジスタが、同一のアドレス上にマッピングされています (\$00A, \$00B, \$00E, \$00F)。

\$00A	タイマリードレジスタBL (TRBL)	R	タイマライトレジスタBL (TWBL)	W
\$00B	タイマリードレジスタBU (TRBU)	R	タイマライトレジスタBU (TWBU)	W
\$00E	タイマリードレジスタCL (TRCL)	R	タイマライトレジスタCL (TWCL)	W
\$00F	タイマリードレジスタCU (TRCU)	R	タイマライトレジスタCU (TWCU)	W

図2.3 HD404344R / HD404394シリーズのRAMメモリマップ

## 2. メモリ HD404318シリーズ

図2.4にHD404318シリーズのRAMメモリマップを示します。

RAMアドレス		RAMアドレス	
\$000	RAMマップ レジスタエリア	\$000	割込み制御ビットエリア
\$040		メモリレジスタ(MR)	\$003
\$050	データ (304ディジット)	\$004	ポートモードレジスタA (PMRA) : W
\$180		使用禁止	\$005
\$3C0	スタック (64ディジット)	\$006	シリアルデータレジスタL (SRL) : R/W
\$3FF			\$007
		\$008	タイマモードレジスタA (TMA) : W
		\$009	タイマモードレジスタB1 (TMB1) : W
		*1 \$00A	タイマB (TRBL/TWBL) : R/W
		\$00B	タイマB (TRBU/TWBU) : R/W
		\$00C	ミセラニアスレジスタ (MIS) : W
		\$00D	タイマモードレジスタC (TMC) : W
		*1 \$00E	タイマC (TRCL/TWCL) : R/W
		\$00F	タイマC (TRCU/TWCU) : R/W
			使用禁止
		\$016	A/Dチャンネルレジスタ (ACR) : W
		\$017	A/DデータレジスタL (ADRL) : R
		\$018	A/DデータレジスタU (ADRU) : R
		\$019	A/Dモードレジスタ1 (AMR1) : W
		\$01A	A/Dモードレジスタ2 (AMR2) : W
			使用禁止
		\$020	レジスタフラグエリア
		\$023	
		\$024	ポートモードレジスタB (PMRB) : W
		\$025	ポートモードレジスタC (PMRC) : W
		\$026	タイマモードレジスタB2 (TMB2) : W
			使用禁止
		\$030	データコントロールレジスタR0 (DCR0) : W
			使用禁止
		\$033	データコントロールレジスタR3 (DCR3) : W
		\$034	データコントロールレジスタR4 (DCR4) : W
			使用禁止
		\$03F	

《記号説明》  
R : Read Only  
W : Write Only  
R/W : Read/Write

【注】\*1 2つのレジスタが、同一のアドレス上にマッピングされています (\$00A, \$00B, \$00E, \$00F)。

\$00A	タイマリードレジスタBL (TRBL)	R	タイマライトレジスタBL (TWBL)	W
\$00B	タイマリードレジスタBU (TRBU)	R	タイマライトレジスタBU (TWBU)	W
\$00E	タイマリードレジスタCL (TRCL)	R	タイマライトレジスタCL (TWCL)	W
\$00F	タイマリードレジスタCU (TRCU)	R	タイマライトレジスタCU (TWCU)	W

図2.4 HD404318シリーズのRAMメモリマップ

## 2. メモリ HD404358 / HD404358Rシリーズ

図2.5にHD404358 / HD404358RシリーズのRAMメモリマップを示します。

RAMアドレス	RAMアドレス	RAMアドレス
\$000	RAMマップ レジスタエリア	\$000
\$040	メモリレジスタ(MR)	\$003
\$050	データ (304ディジット)*2	\$004
\$180		\$005
\$200	データ (432ディジット)*3	\$006
\$3C0		\$007
\$3FF	スタック (64ディジット)	\$008
		\$009
		*1 { \$00A
		\$00B
		\$00C
		\$00D
		*1 { \$00E
		\$00F
		\$016
		\$017
		\$018
		\$019
		\$01A
		\$020
		\$023
		\$024
		\$025
		\$026
		\$02C
		\$02D
		\$02E
		\$02F
		\$030
		\$031
		\$032
		\$033
		\$034
		\$038
		\$03F

《記号説明》

R : Read Only  
W : Write Only  
R/W : Read/Write

【注】\*1 2つのレジスタが、同一のアドレス上にマッピングされています(\$00A, \$00B, \$00E, \$00F)。

\$00A	タイマリードレジスタBL	(TRBL)	R	タイマライトレジスタBL	(TWBL)	W
\$00B	タイマリードレジスタBU	(TRBU)	R	タイマライトレジスタBU	(TWBU)	W
\$00E	タイマリードレジスタCL	(TRCL)	R	タイマライトレジスタCL	(TWCL)	W
\$00F	タイマリードレジスタCU	(TRCU)	R	タイマライトレジスタCU	(TWCU)	W

\*2 HD404354, HD404356, HD404358, HD40A4354, HD40A4356, HD40A4358に適用します。

\*3 HD404354R, HD404356R, HD404358R, HD40A4354R, HD40A4356R, HD40A4358R, HD40C4354R, HD40C4356R, HD40C4358R, HD407A4359R, HD407C4359R, HD407A4359に適用します。

図2.5 HD404358 / HD404358RシリーズのRAMメモリマップ

## 2. メモリ HD404339シリーズ

図2.6にHD404339シリーズのRAMメモリマップを示します。

RAMアドレス	RAMアドレス
\$000	\$000
	割込み制御ビットエリア
	\$003
	\$004 ポートモードレジスタA (PMRA) : W
\$040	\$005 シリアルモードレジスタ (SMR) : W
	\$006 シリアルデータレジスタL (SRL) : R/W
	\$007 シリアルデータレジスタU (SRU) : R/W
\$050	\$008 タイマモードレジスタA (TMA) : W
	\$009 タイマモードレジスタB1 (TMB1) : W
	*1 \$00A タイマB (TRBL/TWBL) : R/W
	\$00B タイマB (TRBU/TWBU) : R/W
	\$00C ミセラニアスレジスタ (MIS) : W
	\$00D タイマモードレジスタC (TMC) : W
	*1 \$00E タイマC (TRCL/TWCL) : R/W
	\$00F タイマC (TRCU/TWCU) : R/W
	使用禁止
\$200	\$016 A/Dチャンネルレジスタ (ACR) : W
	\$017 A/DデータレジスタL (ADRL) : R
	\$018 A/DデータレジスタU (ADRU) : R
	\$019 A/Dモードレジスタ1 (AMR1) : W
\$3C0	\$01A A/Dモードレジスタ2 (AMR2) : W
\$3FF	使用禁止
	\$020
	レジスタフラグエリア
	\$023
	\$024 ポートモードレジスタB (PMRB) : W
	\$025 ポートモードレジスタC (PMRC) : W
	\$026 タイマモードレジスタB2 (TMB2) : W
	\$027 システムクロック選択レジスタ1 (SSR1) : W
	\$028 システムクロック選択レジスタ2 (SSR2) : W
	使用禁止
	\$030 データコントロールレジスタR0 (DCR0) : W
	使用禁止
	\$033 データコントロールレジスタR3 (DCR3) : W
	\$034 データコントロールレジスタR4 (DCR4) : W
	\$035 データコントロールレジスタR5 (DCR5) : W
	\$036 データコントロールレジスタR6 (DCR6) : W
	\$037 データコントロールレジスタR7 (DCR7) : W
	使用禁止
	\$03F

RAMアドレス	RAMアドレス
\$000	\$000
	RAMマップ レジスタエリア
\$040	メモリレジスタ(MR)
\$050	データ (432ディジット)
\$200	使用禁止
\$3C0	スタック (64ディジット)
\$3FF	

《記号説明》

R : Read Only  
W : Write Only  
R/W : Read/Write

【注】\*1 2つのレジスタが、同一のアドレス上にマッピングされています (\$00A, \$00B, \$00E, \$00F)。

\$00A	タイマリードレジスタBL (TRBL)	R	タイマライトレジスタBL (TWBL)	W
\$00B	タイマリードレジスタBU (TRBU)	R	タイマライトレジスタBU (TWBU)	W
\$00E	タイマリードレジスタCL (TRCL)	R	タイマライトレジスタCL (TWCL)	W
\$00F	タイマリードレジスタCU (TRCU)	R	タイマライトレジスタCU (TWCU)	W

図2.6 HD404339シリーズのRAMメモリマップ



図2.7にHD404369シリーズのRAMメモリマップを示します。

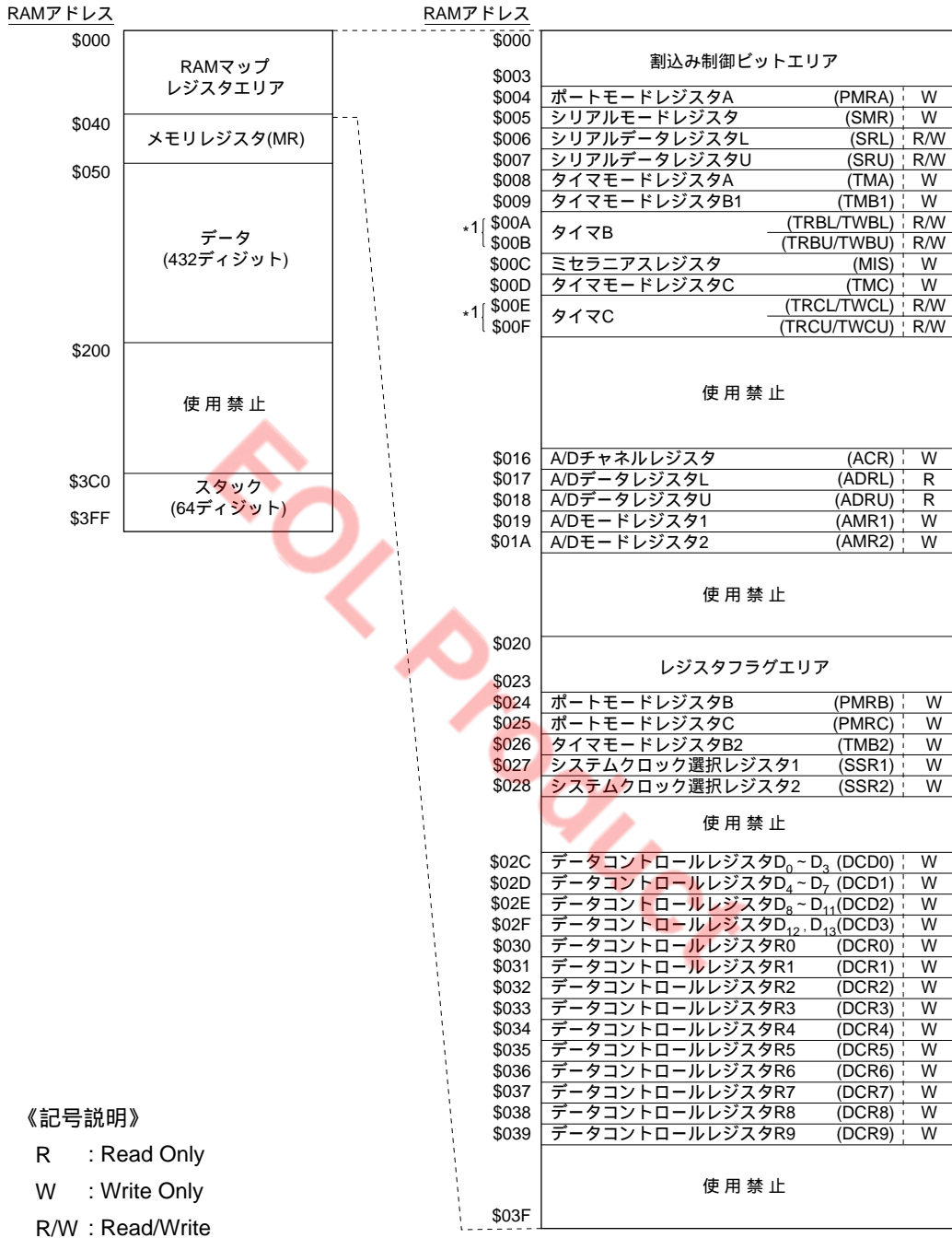


図2.7 HD404369シリーズのRAMメモリマップ

## 2. メモリ 全シリーズ

### 2.3.1 RAMマップレジスタエリア

RAMマップレジスタエリアは、RAMアドレスの\$000～\$03Fに割り付けられており、割り込み制御ビットエリア（\$000～\$003）、特殊レジスタエリア（\$004～\$01F、\$024～\$03F）およびレジスタフラグエリア（\$020～\$023）の3種類のサブエリアにより構成されます。

#### (1) 割り込み制御ビットエリア（\$000～\$003）

割り込みビットエリアは、割り込み制御に用いる各ビットにより構成されます。各ビットは、RAMビット操作命令（SEM / SEMD、REM / REMD、TM / TMD）によってのみアクセスできます。図2.8、図2.9に各シリーズの割り込みビットエリアの構成を示します。

割り込み制御エリアの各ビットは、SEM / SEMD命令によりセットされ、REM / REMD命令によりクリアされます。また、TM / TMD命令によりテストできます。ただし、ビットにより制約があります。表2.2に割り込み制御ビットエリアの各ビットと命令の制約を示します。

RAMアドレス	ビット3	ビット2	ビット1	ビット0
\$000	IM0 ( $\overline{\text{INT}}_0$ 割り込み マスク)	IF0 ( $\overline{\text{INT}}_0$ 割り込み 要求フラグ)	RSP (スタックポインタ リセット)	IE (割り込み許可フラグ)
\$002	IMTC (タイムC割り込み マスク)	IFTC (タイムC割り込み 要求フラグ)	IMTB (タイムB割り込み マスク)	IFTB (タイムB割り込み 要求フラグ)
\$003	IMS (シリアル割り込み マスク)	IFS (シリアル割り込み 要求フラグ)	IMAD (A/Dコンバータ 割り込みマスク)	IFAD (A/Dコンバータ 割り込み要求フラグ)

■ : 使用禁止

図2.8 HD404344R / HD404394シリーズの割り込み制御ビットエリアの構成

RAMアドレス	ビット3	ビット2	ビット1	ビット0
\$000	IM0 ( $\overline{\text{INT}}_0$ 割込み マスク)	IF0 ( $\overline{\text{INT}}_0$ 割込み 要求フラグ)	RSP (スタックポインタ リセット)	IE (割込み許可フラグ)
\$001	IMTA (タイマA割込み マスク)	IFTA (タイマA割込み 要求フラグ)	IM1 ( $\overline{\text{INT}}_1$ 割込み マスク)	IF1 ( $\overline{\text{INT}}_1$ 割込み 要求フラグ)
\$002	IMTC (タイマC割込み マスク)	IFTC (タイマC割込み 要求フラグ)	IMTB (タイマB割込み マスク)	IFTB (タイマB割込み 要求フラグ)
\$003	IMS (シリアル割込み マスク)	IFS (シリアル割込み 要求フラグ)	IMAD (A/Dコンバータ 割込みマスク)	IFAD (A/Dコンバータ 割込み要求フラグ)

図2.9 HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズの  
割込み制御ビットエリアの構成

表2.2 割込み制御ビットエリアの各ビットと命令の制約

命令 ビット	SEM/SEMD 命令	REM/REMD 命令	TM/TMD命令*
IE			
IM			
IF			
RSP			×

記号説明

：使用可能

：命令実行されません

×：使用禁止

IF：Interrupt Request Flag (割込み要求フラグ)

IM：Interrupt Mask (割込みマスク)

IE：Interrupt Enable Flag (割込み許可フラグ)

RSP：Reset Stack Pointer (スタックポインタのリセット)

【注】\* TM/TMD命令を、使用禁止ビットまたは存在しないビットに対して使用した場合、ステータスは不定となります。

## 2. メモリ 全シリーズ

---

### (2) 特殊レジスタエリア (\$004 ~ \$01F、\$024 ~ \$03F)

特殊レジスタエリアは、外部割込み、周辺機能のモードレジスタ、およびI/Oポートのデータコントロールレジスタなどから構成されます。特殊レジスタエリアに割り付けられたレジスタは、読み出し専用、書き込み専用、および読み出し/書き込み可能の3種類があり、イミディエイト命令、RAM・レジスタ命令、演算命令、および比較命令によりアクセスできます。

図2.10 ~ 図2.12に各シリーズの特殊レジスタエリアの構成を示します。

EOL Product

## 2. メモリ HD404344R / HD404394シリーズ

RAMアドレス	ビット3	ビット2	ビット1	ビット0				
\$ 000	割込み制御ビットエリア							
\$ 003								
PMRA \$ 004						R0 <sub>3</sub> / TOC	R0 <sub>1</sub> / SI	R0 <sub>2</sub> / SO
SMR \$ 005					R0 <sub>0</sub> / SCK	転送クロック選択		
SRL \$ 006					シリアルデータレジスタ (下位)			
SRU \$ 007					シリアルデータレジスタ (上位)			
TMB1 \$ 009					オートリロードON/OFF	クロックソース設定 (タイマB)		
TRBL / TWBL \$ 00A					タイマBレジスタ (下位)			
TRBU / TWBU \$ 00B					タイマBレジスタ (上位)			
MIS \$ 00C					プルアップMOS制御	SO PMOS制御		
TMC \$ 00D	リロードON/OFF	クロックソース設定 (タイマC)						
TRCL / TWCL \$ 00E	タイマCレジスタ (下位)							
TRCU / TWCU \$ 00F	タイマCレジスタ (上位)							
ACR \$ 016	A/D実行チャネル選択 (AN <sub>0</sub> ~ AN <sub>3</sub> (HD404344Rシリーズ) / AN <sub>1</sub> ~ AN <sub>3</sub> (HD404394シリーズ))							
ADRL \$ 017	A/Dデータレジスタ (下位)							
ADRU \$ 018	A/Dデータレジスタ (上位)							
AMR1 \$ 019	R3 <sub>3</sub> / AN <sub>3</sub>	R3 <sub>2</sub> / AN <sub>2</sub>	R3 <sub>1</sub> / AN <sub>1</sub>	R3 <sub>0</sub> / AN <sub>0</sub> *				
AMR2 \$ 01A				A/D変換時間				
\$ 020	レジスタフラグエリア							
\$ 023								
PMRB \$ 024					D <sub>4</sub> / STOPC			D <sub>0</sub> / INT <sub>0</sub> / EVNB
PMRC \$ 025					SOアイドルH/L設定			転送クロック選択
TMB2 \$ 026					EVNBエッジ検出選択			
DCD0 \$ 02C					ポートD <sub>3</sub> DCR	ポートD <sub>2</sub> DCR	ポートD <sub>1</sub> DCR	ポートD <sub>0</sub> DCR
DCD1 \$ 02D							ポートD <sub>5</sub> DCR	ポートD <sub>4</sub> DCR
DCR0 \$ 030					ポートR0 <sub>3</sub> DCR	ポートR0 <sub>2</sub> DCR	ポートR0 <sub>1</sub> DCR	ポートR0 <sub>0</sub> DCR
DCR1 \$ 031					ポートR1 <sub>3</sub> DCR	ポートR1 <sub>2</sub> DCR	ポートR1 <sub>1</sub> DCR	ポートR1 <sub>0</sub> DCR
DCR2 \$ 032					ポートR2 <sub>3</sub> DCR	ポートR2 <sub>2</sub> DCR	ポートR2 <sub>1</sub> DCR	ポートR2 <sub>0</sub> DCR
DCR3 \$ 033	ポートR3 <sub>3</sub> DCR	ポートR3 <sub>2</sub> DCR	ポートR3 <sub>1</sub> DCR	ポートR3 <sub>0</sub> DCR				
\$ 03F								

 使用禁止

【注】\* HD404344Rシリーズに適用します。HD404394シリーズは使用禁止です。

図2.10 HD404344R / HD404394シリーズの特殊レジスタエリアの構成

## 2. メモリ HD404318 / HD404358 / HD404358Rシリーズ

RAMアドレス	ビット3	ビット2	ビット1	ビット0
\$ 000	割込み制御ビットエリア			
\$ 003				
PMRA \$ 004	D <sub>3</sub> / BUZZ	R0 <sub>3</sub> / TOC	R0 <sub>1</sub> / SI	R0 <sub>2</sub> / SO
SMR \$ 005	R0 <sub>0</sub> / SCK	転送クロック選択		
SRL \$ 006	シリアルデータレジスタ (下位)			
SRU \$ 007	シリアルデータレジスタ (上位)			
TMA \$ 008	クロックソース設定 (タイマA)			
TMB1 \$ 009	オートリロード ON/OFF	クロックソース設定 (タイマB)		
TRBL / TWBL \$ 00A	タイマBレジスタ (下位)			
TRBU / TWBU \$ 00B	タイマBレジスタ (上位)			
MIS \$ 00C	プルアップMOS制御	SO PMOS制御		
TMC \$ 00D	リロード ON / OFF	クロックソース設定 (タイマC)		
TRCL / TWCL \$ 00E	タイマCレジスタ (下位)			
TRCU / TWCU \$ 00F	タイマCレジスタ (上位)			
ACR \$ 016	A/D実行チャネル選択 (AN <sub>0</sub> ~ AN <sub>7</sub> )			
ADRL \$ 017	A/Dデータレジスタ (下位)			
ADRU \$ 018	A/Dデータレジスタ (上位)			
AMR1 \$ 019	R3 <sub>3</sub> / AN <sub>3</sub>	R3 <sub>2</sub> / AN <sub>2</sub>	R3 <sub>1</sub> / AN <sub>1</sub>	R3 <sub>0</sub> / AN <sub>0</sub>
AMR2 \$ 01A	R4 / AN <sub>4</sub> ~ AN <sub>7</sub>			A/D変換時間
\$ 020	レジスタフラグエリア			
\$ 023				
PMRB \$ 024	D <sub>4</sub> / STOPC	D <sub>2</sub> / EVNB	D <sub>1</sub> / INT <sub>1</sub>	D <sub>0</sub> / INT <sub>0</sub>
PMRC \$ 025	ブザー周波数		SOアイドルH/L設定	転送クロック選択
TMB2 \$ 026	インプットキャプチャ設定		EVNBエッジ検出選択	
DCD0 \$ 02C	ポートD <sub>3</sub> DCR*	ポートD <sub>2</sub> DCR*	ポートD <sub>1</sub> DCR*	ポートD <sub>0</sub> DCR*
DCD1 \$ 02D	ポートD <sub>7</sub> DCR*	ポートD <sub>6</sub> DCR*	ポートD <sub>5</sub> DCR*	ポートD <sub>4</sub> DCR*
DCD2 \$ 02E				ポートD <sub>8</sub> DCR*
DCR0 \$ 030	ポートR0 <sub>3</sub> DCR	ポートR0 <sub>2</sub> DCR	ポートR0 <sub>1</sub> DCR	ポートR0 <sub>0</sub> DCR
DCR1 \$ 031	ポートR1 <sub>3</sub> DCR*	ポートR1 <sub>2</sub> DCR*	ポートR1 <sub>1</sub> DCR*	ポートR1 <sub>0</sub> DCR*
DCR2 \$ 032	ポートR2 <sub>3</sub> DCR*	ポートR2 <sub>2</sub> DCR*	ポートR2 <sub>1</sub> DCR*	ポートR2 <sub>0</sub> DCR*
DCR3 \$ 033	ポートR3 <sub>3</sub> DCR	ポートR3 <sub>2</sub> DCR	ポートR3 <sub>1</sub> DCR	ポートR3 <sub>0</sub> DCR
DCR4 \$ 034	ポートR4 <sub>3</sub> DCR	ポートR4 <sub>2</sub> DCR	ポートR4 <sub>1</sub> DCR	ポートR4 <sub>0</sub> DCR
DCR8 \$ 038	ポートR8 <sub>3</sub> DCR*	ポートR8 <sub>2</sub> DCR*	ポートR8 <sub>1</sub> DCR*	ポートR8 <sub>0</sub> DCR*
\$ 03F				

■ : 使用禁止

【注】\* HD404358 / HD404358Rシリーズに適用します。HD404318シリーズは使用禁止です。

図2.11 HD404318 / HD404358 / HD404358Rシリーズの特殊レジスタエリアの構成

## 2. メモリ HD404339 / HD404369シリーズ

RAMアドレス	ビット3	ビット2	ビット1	ビット0
\$ 000	割込み制御ビットエリア			
\$ 003				
PMRA \$ 004	D <sub>3</sub> / BUZZ	R0 <sub>3</sub> / TOC	R0 <sub>1</sub> / SI	R0 <sub>2</sub> / SO
SMR \$ 005	R0 <sub>0</sub> / SCK	転送クロック選択		
SRL \$ 006	シリアルデータレジスタ (下位)			
SRU \$ 007	シリアルデータレジスタ (上位)			
TMA \$ 008	タイマA / タイムベース	クロックソース設定 (タイマA)		
TMB1 \$ 009	リロード ON / OFF	クロックソース設定 (タイマB)		
TRBL / TWBL \$ 00A	タイマBレジスタ (下位)			
TRBU / TWBU \$ 00B	タイマBレジスタ (上位)			
MIS \$ 00C	プルアップMOS制御	SO PMOS制御	割込みフレーム周期選択	
TMC \$ 00D	リロード ON / OFF	クロックソース設定 (タイマC)		
TRCL / TWCL \$ 00E	タイマCレジスタ (下位)			
TRCU / TWCU \$ 00F	タイマCレジスタ (上位)			
ACR \$ 016	A/D実行チャネル選択 (AN <sub>0</sub> ~ AN <sub>11</sub> )			
ADRL \$ 017	A/Dデータレジスタ (下位)			
ADRU \$ 018	A/Dデータレジスタ (上位)			
AMR1 \$ 019	R <sub>3</sub> / AN <sub>3</sub>	R3 <sub>2</sub> / AN <sub>2</sub>	R3 <sub>1</sub> / AN <sub>1</sub>	R3 <sub>0</sub> / AN <sub>0</sub>
AMR2 \$ 01A		R5 / AN <sub>8</sub> ~ AN <sub>11</sub>	R4 / AN <sub>4</sub> ~ AN <sub>7</sub>	A/D変換時間
\$ 020	レジスタフラグエリア			
\$ 023				
PMRB \$ 024	D <sub>4</sub> / STOPC	D <sub>2</sub> / EVNB	D <sub>1</sub> / INT <sub>1</sub>	D <sub>0</sub> / INT <sub>0</sub>
PMRC \$ 025	ブザー周波数		SOアイドルH/L設定	転送クロック選択
TMB2 \$ 026		インプットキャプチャ設定	EVNBエッジ検出選択	
SSR1 \$ 027	32KHz発振停止	32KHz / 分周比選択	システムクロック選択	
SSR2 \$ 028	OSC分周比選択			
DCD0 \$ 02C	ポートD <sub>3</sub> DCR*	ポートD <sub>2</sub> DCR*	ポートD <sub>1</sub> DCR*	ポートD <sub>0</sub> DCR*
DCD1 \$ 02D	ポートD <sub>7</sub> DCR*	ポートD <sub>6</sub> DCR*	ポートD <sub>5</sub> DCR*	ポートD <sub>4</sub> DCR*
DCD2 \$ 02E	ポートD <sub>11</sub> DCR*	ポートD <sub>10</sub> DCR*	ポートD <sub>9</sub> DCR*	ポートD <sub>8</sub> DCR*
DCD3 \$ 02F			ポートD <sub>13</sub> DCR*	ポートD <sub>12</sub> DCR*
DCR0 \$ 030	ポートR0 <sub>3</sub> DCR	ポートR0 <sub>2</sub> DCR	ポートR0 <sub>1</sub> DCR	ポートR0 <sub>0</sub> DCR
DCR1 \$ 031	ポートR1 <sub>3</sub> DCR*	ポートR1 <sub>2</sub> DCR*	ポートR1 <sub>1</sub> DCR*	ポートR1 <sub>0</sub> DCR*
DCR2 \$ 032	ポートR2 <sub>3</sub> DCR*	ポートR2 <sub>2</sub> DCR*	ポートR2 <sub>1</sub> DCR*	ポートR2 <sub>0</sub> DCR*
DCR3 \$ 033	ポートR3 <sub>3</sub> DCR	ポートR3 <sub>2</sub> DCR	ポートR3 <sub>1</sub> DCR	ポートR3 <sub>0</sub> DCR
DCR4 \$ 034	ポートR4 <sub>3</sub> DCR	ポートR4 <sub>2</sub> DCR	ポートR4 <sub>1</sub> DCR	ポートR4 <sub>0</sub> DCR
DCR5 \$ 035	ポートR5 <sub>3</sub> DCR	ポートR5 <sub>2</sub> DCR	ポートR5 <sub>1</sub> DCR	ポートR5 <sub>0</sub> DCR
DCR6 \$ 036	ポートR6 <sub>3</sub> DCR	ポートR6 <sub>2</sub> DCR	ポートR6 <sub>1</sub> DCR	ポートR6 <sub>0</sub> DCR
DCR7 \$ 037			ポートR7 <sub>1</sub> DCR	ポートR7 <sub>0</sub> DCR
DCR8 \$ 038	ポートR8 <sub>3</sub> DCR*	ポートR8 <sub>2</sub> DCR*	ポートR8 <sub>1</sub> DCR*	ポートR8 <sub>0</sub> DCR*
DCR9 \$ 039	ポートR9 <sub>3</sub> DCR*	ポートR9 <sub>2</sub> DCR*	ポートR9 <sub>1</sub> DCR*	ポートR9 <sub>0</sub> DCR*
\$ 03F				

■ : 使用禁止

【注】\* HD404369シリーズに適用します。HD404339シリーズは使用禁止です。

図2.12 HD404339 / HD404369シリーズの特殊レジスタエリアの構成

## 2. メモリ 全シリーズ

### (3) レジスタフラグエリア (\$020 ~ \$023)

レジスタフラグエリアは、ADSF、WDONフラグ、および割込み制御ビットなどから構成されます。各ビットは、RAMビット操作命令 (SEM / SEMD、REM / REMD、TM / TMD) によってのみアクセスできます。図2.13 ~ 図2.15に各シリーズのレジスタフラグエリアの構成を示します。

レジスタフラグエリアの各ビットは、SEM / SEMD命令によりセットされ、REM / REMD命令によりクリアされます。また、TM / TMD命令によりテストできます。ただし、ビットにより制約があります。表2.3にレジスタフラグエリアの各ビットと命令の制約を示します。

RAMアドレス	ビット3	ビット2	ビット1	ビット0
\$020		ADSF (A/Dスタートフラグ)	WDON (ウォッチドック オンフラグ)	
\$021	RAME (RAMイネーブル フラグ)	IAOF (I <sub>AD</sub> オフフラグ)		
\$022				
\$023				

■ : 使用禁止

図2.13 HD404344R / HD404394シリーズのレジスタフラグエリアの構成

RAMアドレス	ビット3	ビット2	ビット1	ビット0
\$020		ADSF (A/Dスタートフラグ)	WDON (ウォッチドック オンフラグ)	
\$021	RAME (RAMイネーブル フラグ)	IAOF (I <sub>AD</sub> オフフラグ)	ICEF (インプットキャプチャ エラーフラグ)	ICSF (インプットキャプチャ ステータスフラグ)
\$022				
\$023				

■ : 使用禁止

図2.14 HD404318 / HD404358 / HD404358Rシリーズのレジスタフラグエリアの構成



## 2. メモリ 全シリーズ

RAMアドレス	ビット3	ビット2	ビット1	ビット0
\$020	DTON (DTONフラグ)	ADSF (A/Dスタートフラグ)	WDON (ウォッチドック オンフラグ)	LSON (LSONフラグ)
\$021	RAME (RAMイネーブル フラグ)	IAOF (I <sub>AD</sub> オフフラグ)	ICEF (インプットキャプチャ エラーフラグ)	ICSF (インプットキャプチャ ステータスフラグ)
\$022				
\$023				

■ : 使用禁止

図2.15 HD404339 / HD404369シリーズのレジスタフラグエリアの構成

## 2. メモリ 全シリーズ

表2.3 レジスタフラグエリアの各ビットと命令の制約

命令 ビット	SEM/SEMD 命令	REM/REMD 命令	TM/TMD命令*
IM			
LSON			
IAOF			
IF			
ICSF			
ICEF			
RAME			
RSP			×
WDON			×
ADSF		×	
DTON	(アクティブモード)		
	(サブアクティブモード)		
使用禁止			×

記号説明

：使用可能

：命令実行されません

×：使用禁止

DTON：Direct Transfer On Flag

IF：Interrupt Request Flag (割込み要求フラグ)

IM：Interrupt Mask (割込みマスク)

【注】\* TM/TMD命令を、使用禁止ビットまたは存在しないビットに対して使用した場合、ステータスは不定となります。

## 2.3.2 メモリレジスタエリア

メモリレジスタ (MR) エリアは、RAMアドレスの\$040 ~ \$04Fに割り付けられています。MRエリアの構成を図2.16に示します。

本エリアは、16本のMRにより構成され、通常のRAMをアクセスする命令に加えて、レジスタ・レジスタ命令 (LAMR、XMRA) を使用できるデータエリアです。

RAMアドレス	
\$040	MR ( 0 )
\$041	MR ( 1 )
\$042	MR ( 2 )
\$043	MR ( 3 )
\$044	MR ( 4 )
\$045	MR ( 5 )
\$046	MR ( 6 )
\$047	MR ( 7 )
\$048	MR ( 8 )
\$049	MR ( 9 )
\$04A	MR ( 10 )
\$04B	MR ( 11 )
\$04C	MR ( 12 )
\$04D	MR ( 13 )
\$04E	MR ( 14 )
\$04F	MR ( 15 )

図2.16 メモリレジスタエリアの構成

## 2. メモリ 全シリーズ

### 2.3.3 データエリア

データエリアはRAMに割り付けられており、そのサイズは製品により異なります。表2.4にそれぞれのデータエリアの構成を示します。

表2.4 データエリアの構成

シリーズ名	製品	RAMアドレス	容量(ディジット)
HD404344R	全製品	\$050 ~ \$0FF	176
HD404394			
HD404318	全製品	\$050 ~ \$17F	304
HD404358	HD404354/HD40A4354 HD404356/HD40A4356 HD404358/HD40A4358	\$050 ~ \$17F	304
	HD407A4359	\$050 ~ \$1FF	432
HD404358R	全製品	\$050 ~ \$1FF	432
HD404339	全製品	\$050 ~ \$1FF	432
HD404369	全製品	\$050 ~ \$1FF	432

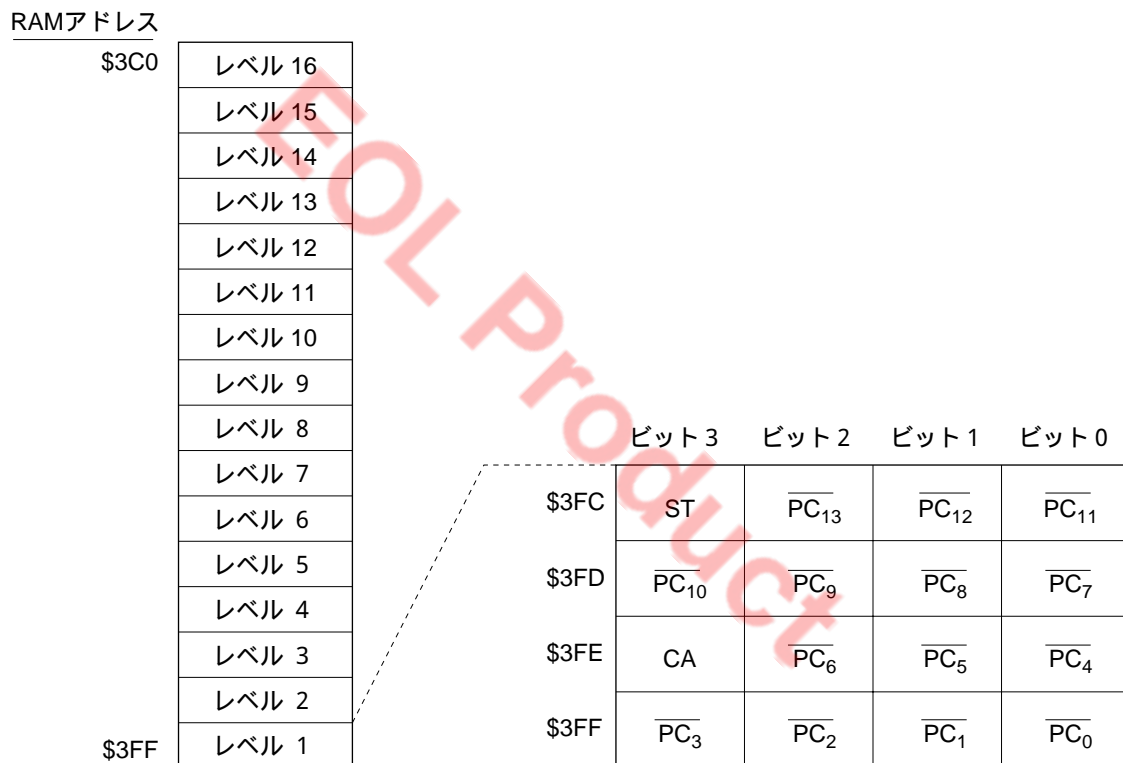
## 2.3.4 スタックエリア

スタックエリアは、RAMアドレスの\$3C0～\$3FFに割り付けられています。スタックエリアの構成を図2.17に示します。

本エリアは、サブルーチンコール時（CAL、CALL命令）および割込み処理時に、プログラムカウンタ（PC）、ステータス（ST）およびキャリ（CA）の内容を退避するために使用されます。1レベルにつき4ディジットが使用されるので、最大16レベルのサブルーチンスタックとして使用できます。

退避されたPCの値は、RTN命令およびRTNI命令によりPCに戻されます。STおよびCAは、RTNI命令によってのみ退避された値に復帰されます。

スタックエリア中、退避に使用しない領域はデータエリアとして使用できます。



PC<sub>13</sub>～PC<sub>0</sub> : Program Counter (プログラムカウンタ)

【注】 退避されるPCの値は、各ビットが反転して格納されます。

図2.17 スタックエリアの構成

EOL Product

---

# 3. CPU

---

---

## 第3章 目次

---

3.1	概要	63
3.1.1	特長	63
3.1.2	アドレス空間	64
3.1.3	レジスタ構成	64
3.2	各レジスタの説明	65
3.2.1	アキュムレータ (A) Bレジスタ (B)	65
3.2.2	Wレジスタ (W) Xレジスタ (X) Yレジスタ (Y)	65
3.2.3	SPXレジスタ (SPX) SPYレジスタ (SPY)	65
3.2.4	キャリフラグ (CA)	65
3.2.5	ステータスフラグ (ST)	65
3.2.6	プログラムカウンタ (PC)	65
3.2.7	スタックポインタ (SP)	66
3.3	アドレッシングモード	67
3.3.1	RAMアドレッシングモード	67
(1)	レジスタ間接アドレッシングモード	67
(2)	直接アドレッシングモード	67
(3)	メモリレジスタアドレッシングモード	67
3.3.2	ROMアドレッシングモードとP命令	69
(1)	ダイレクトアドレッシングモード	69
(2)	カレントページアドレッシングモード	69
(3)	ゼロページアドレッシングモード	69
(4)	テーブルデータアドレッシングモード	69
(5)	P命令	69
3.4	処理状態	72
3.4.1	概要	72
3.4.2	プログラム実行状態	73
(1)	アクティブモード	73
(2)	サブアクティブモード (HD404339 / HD404369シリーズのみ)	73
3.4.3	例外処理状態	74
3.4.4	プログラム停止状態	74
(1)	ストップモード	74
(2)	ウォッチモード (HD404339 / HD404369シリーズのみ)	74
(3)	スタンバイモード	74

EOL Product



## 3.1 概要

HMCS400 CPUの命令は、すべて1ワードまたは2ワードで構成され、1サイクルまたは2サイクル(リターン命令のみ3サイクル)で実行される簡潔かつ効率のよい命令セットとなっています。

### 3.1.1 特長

HMCS400 CPUには、次の特長があります。

#### 10種類 101の命令

- ・イミディエイト命令：4
- ・レジスタ・レジスタ命令：8
- ・RAMアドレス命令：13
- ・RAM・レジスタ命令：10
- ・演算命令：25
- ・比較命令：12
- ・RAMビット操作命令：6
- ・ROMアドレス命令：8
- ・入出力命令：11(P命令\*を含む)
- ・コントロール命令：4

#### 3種類のRAMアドレッシングモードと4種類のROMアドレッシングモード

- ・RAMアドレッシングモード
  - (1) レジスタ間接アドレッシングモード
  - (2) 直接アドレッシングモード
  - (3) メモリレジスタアドレッシングモード
- ・ROMアドレッシングモード
  - (1) ダイレクトアドレッシングモード
  - (2) カレントページアドレッシングモード
  - (3) ゼロページアドレッシングモード
  - (4) テーブルデータアドレッシングモード\*

【注】\* P命令は、テーブルデータアドレッシングモードで決まるROMアドレスの内容(8ビット)をアキュムレータ・Bレジスタペア、R1・R2ポートのポートデータレジスタペアに転送する特殊な命令です。

16,384ワードのROMアドレス空間と1,024ディジットのRAMアドレス空間

命令実行時間：1  $\mu$ s ( $f_{osc} = 4$  MHz)

#### 低消費電力モード

SBY命令、STOP命令により低消費電力モードへ遷移

### 3. CPU 全シリーズ

#### 3.1.2 アドレス空間

HMCS400 CPUのメモリアドレス空間は、ROMアドレス空間とRAMアドレス空間の2つが独立しています。

ROMアドレス空間はワード（10ビット）単位で構成され、\$0000～\$3FFFのアドレスがアクセスできます。また、RAMアドレス空間はディジット（4ビット）単位で構成され、\$000～\$3FFのアドレスがアクセスできます。詳細は、「第2章 メモリ」を参照してください。

#### 3.1.3 レジスタ構成

HMCS400 CPUの内部レジスタ構成を図3.1に示します。

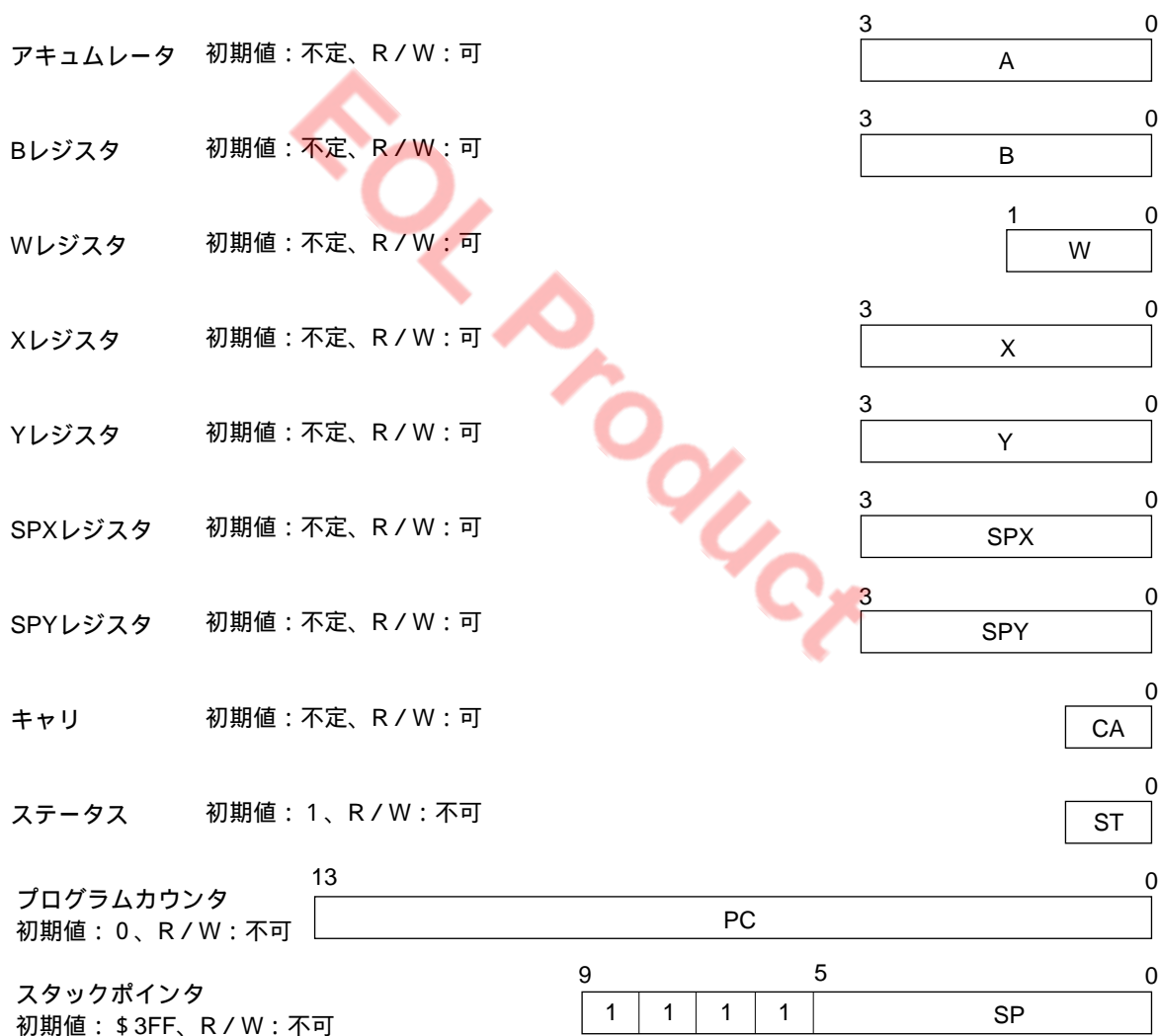


図3.1 HMCS400 CPUの内部レジスタ構成

## 3.2 各レジスタの説明

### 3.2.1 アキュムレータ (A)、Bレジスタ (B)

AとBは、4ビットのレジスタで、ALU (Arithmetic and Logic Unit) の演算結果の保持と、メモリ、入出力ポートおよび他のレジスタ間とのデータ転送を行います。

### 3.2.2 Wレジスタ (W)、Xレジスタ (X)、Yレジスタ (Y)

Wは2ビットのレジスタ、XとYは4ビットのレジスタで、RAMのレジスタ間接アドレッシングモードに使用します。また、Yは、Dポートのアドレッシングにも使用します。

### 3.2.3 SPXレジスタ (SPX)、SPYレジスタ (SPY)

SPXとSPYは、4ビットのレジスタで、各々X、Yの補助レジスタとして使用します。

### 3.2.4 キャリフラグ (CA)

CAは、1ビットのフラグで、演算命令実行時のALUのオーバーフローを保持します。オーバーフローが発生すると1にセットされ、発生しないと0にクリアされます。CAは、キャリセット/リセット命令 (SEC、REC)、キャリ付きローテート命令 (ROTL、ROTR) によっても影響を受けます。

割込み処理時には、キャリの内容はスタックに退避され、RTNI命令によってのみスタックから復帰します。

### 3.2.5 ステータスフラグ (ST)

STは、1ビットのフラグで、演算命令、比較命令、およびビットテスト命令の結果を保持し、条件分岐命令 (BR、BRL、CAL、CALL) の分岐条件として使用します。

STは、次の演算命令、比較命令、ビットテスト命令、または条件分岐命令が実行されるまで、その内容が保持されます。条件分岐命令の実行後は、条件成立/不成立に関わらずステータスの値は1にセットされます。

割込み処理時には、STの内容はスタックに退避され、RTNI命令によってのみスタックから復帰します。

### 3.2.6 プログラムカウンタ (PC)

PCは、14ビットのカウンタで、CPUが次に実行する命令のROMアドレスを示しています。

### 3. CPU 全シリーズ

---

#### 3.2.7 スタックポインタ (SP)

SPは、スタックエリア上の次の退避空間のRAMアドレスを示す10ビットのレジスタです。

SPは、リセットにより\$3FFに初期化されます。サブルーチンコールまたは割込み処理によりデータが退避されると4ずつデクリメントされ、リターン命令によりデータが復帰されると4ずつインクリメントされます。

SPの上位4ビットは1111に固定されています。したがって、スタックは最大16レベルまで使用できます。

SPは、上記のリセットによる方法以外に、割込み制御ビットエリアのリセットスタックポインタ (RSP) ビットをRAMビット操作命令 (REM、REMD) により、0にクリアすることで\$3FFにイニシャライズされます。

EOL Product

### 3.3 アドレッシングモード

HMCS400 CPUは、3種類のRAMアドレッシングモードと4種類のROMアドレッシングモードの合計7種類のアドレッシングモードをサポートしています。

#### 3.3.1 RAM アドレッシングモード

HMCS400 CPUには、図3.2に示すように3種類のRAMアドレッシングモードがあります。

##### (1) レジスタ間接アドレッシングモード

レジスタ間接アドレッシングモードの命令は1ワードで構成され、Wレジスタ、Xレジスタ、およびYレジスタの合計10ビットの内容でRAMアドレスを指定します（図3.2(1)参照）。

##### (2) 直接アドレッシングモード

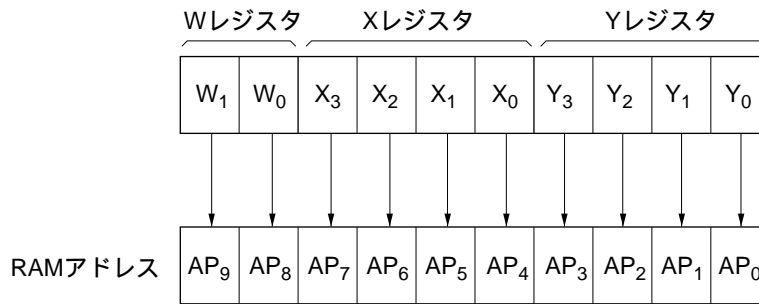
直接アドレッシングモードの命令は2ワードで構成され、1ワード目のオペコードに続く2ワード目の10ビットでRAMアドレスを指定します（図3.2(2)参照）。

##### (3) メモリレジスタアドレッシングモード

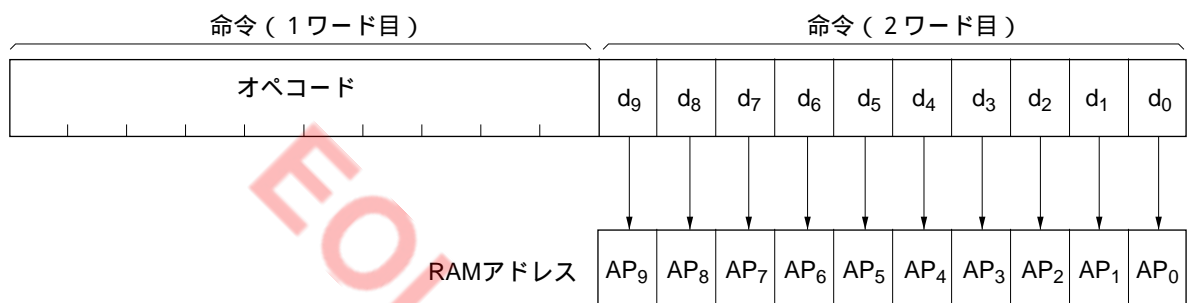
メモリレジスタアドレッシングモードの命令は1ワードで構成され、オペコード6ビットに続く下位4ビットでメモリレジスタ（MR）0～15を指定します（図3.2(3)参照）。

### 3. CPU 全シリーズ

(1) レジスタ間接アドレッシングモード



(2) 直接アドレッシングモード



(3) メモリレジスタアドレッシングモード



図3.2 RAMアドレッシングモード

### 3.3.2 ROM アドレッシングモードとP命令

HMCS400 CPUには、図3.3に示す4種類のROMアドレッシングモードがあります。また、特殊な例としてP命令により、テーブルデータアドレッシングで決まるアドレスのROMデータを参照することができません(図3.4参照)。

#### (1) ダイレクトアドレッシングモード

ダイレクトアドレッシングモードの命令は2ワードで構成され、1ワード目下位4ビットと2ワード目10ビットの計14ビットにより、ROMアドレスを指定します(図3.3(1)参照)。

#### (2) カレントページアドレッシングモード

ROMアドレス空間(\$0000 ~ \$3FFF)を256ワード単位に分割して、各256ワードをページと呼びます。ROMアドレス空間は、ページ0 ~ ページ63の計64ページに分割されます。

カレントページアドレッシングモードの命令は1ワードで構成され、オペコード2ビットに続く下位8ビットにより同一ページ内のROMアドレスを指定します(図3.3(2)参照)。

ただし、本アドレッシングを使用するBR命令が、ページの境界(アドレス $256n + 255$ )におかれた場合には、プログラムカウンタ(PC)の値は次ページに移ります。

#### (3) ゼロページアドレッシングモード

ゼロページアドレッシングモードの命令は1ワードで構成され、オペコード4ビットに続く下位6ビットにより0ページ内の\$0000 ~ \$003Fのアドレスを指定します(図3.3(3)参照)。

#### (4) テーブルデータアドレッシングモード

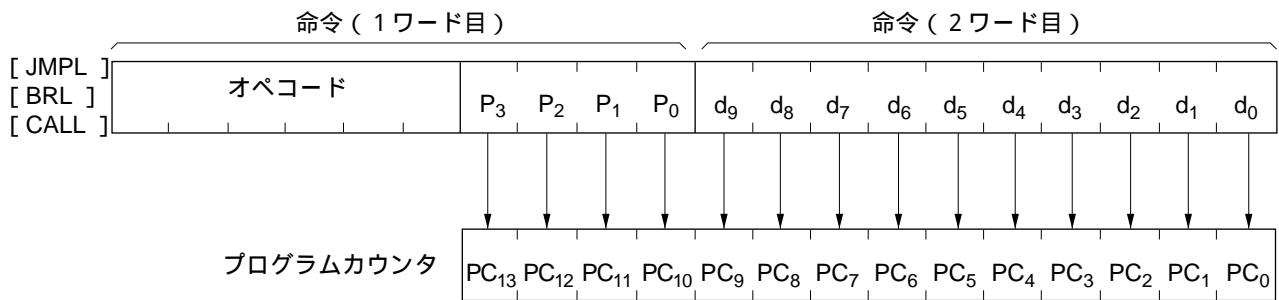
テーブルデータアドレッシングモードの命令は1ワードで構成され、オペコード6ビットに続く下位4ビットとアキュムレータ(A)およびBレジスタ(B)の内容による計12ビットでROMアドレスを指定します(図3.3(4)参照)。

#### (5) P命令

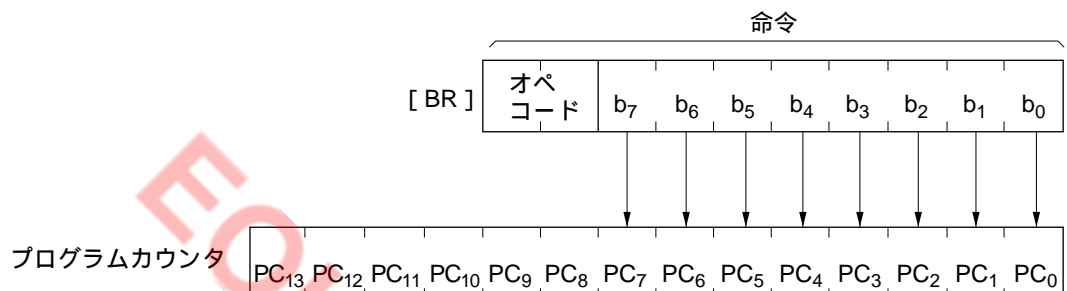
P命令により、テーブルデータアドレッシングモードで決まるアドレスのROMデータを参照できます。参照されたROMデータの下位8ビットは、ROMデータのビット8が1のときはA、Bのペアに転送され、ビット9が1のときにはR1、R2ポートのポートデータレジスタ(PDR)のペアに転送されます(図3.4参照)。ビット8とビット9がともに1のときは、A、Bペアへの転送とR1、R2ポートのPDRペアへの転送が同時に行われます。P命令の実行により、PCは影響されません。

### 3. CPU 全シリーズ

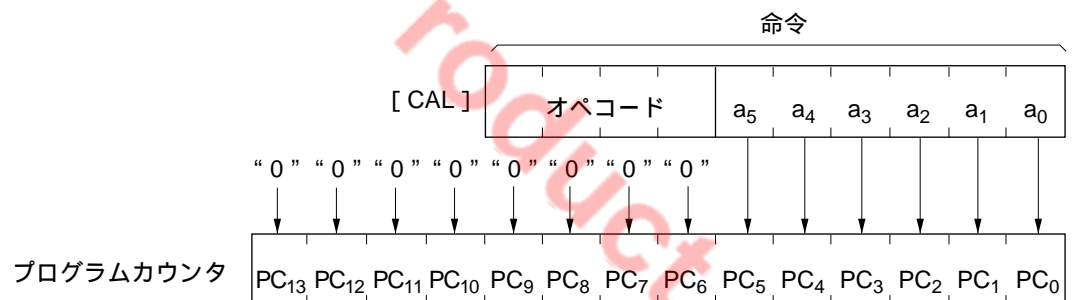
#### (1) ダイレクトアドレッシングモード



#### (2) カレントページアドレッシングモード



#### (3) ゼロページアドレッシングモード



#### (4) テーブルデータアドレッシングモード

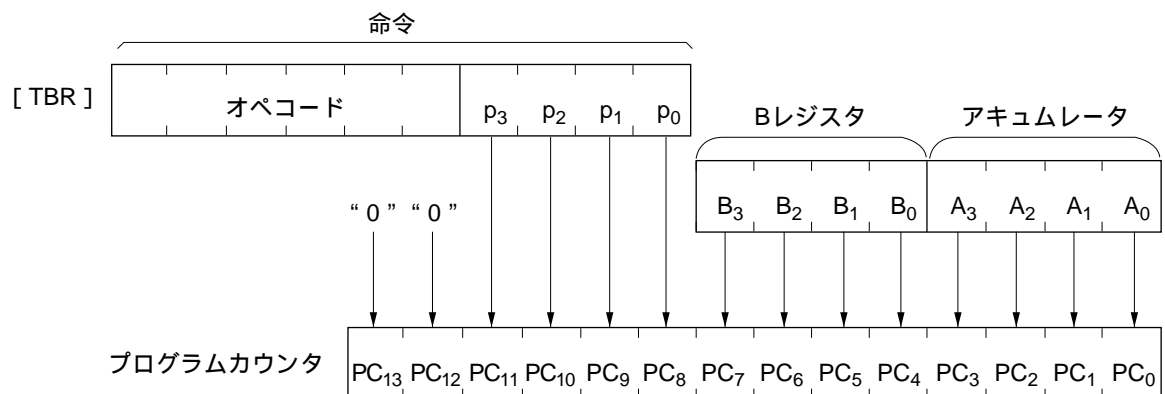
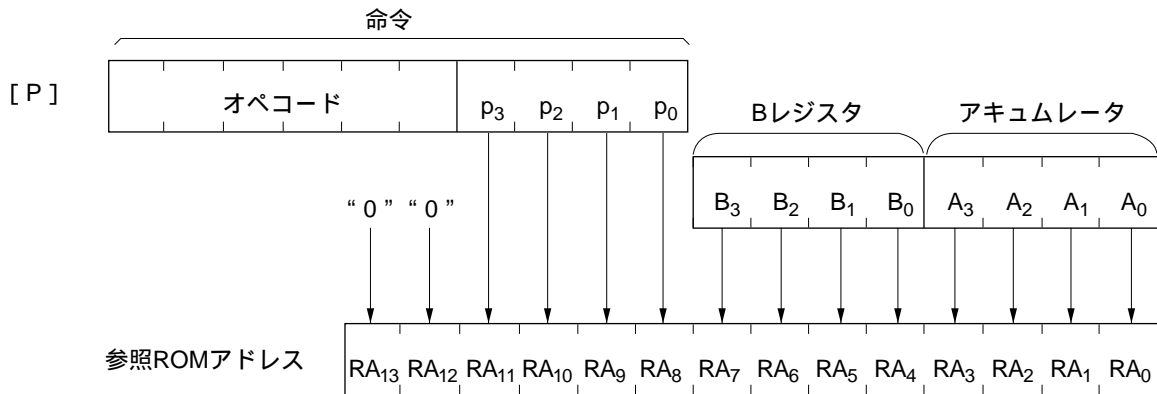


図3.3 ROMアドレッシングモード



(1) アドレス指定



(2) パターン出力

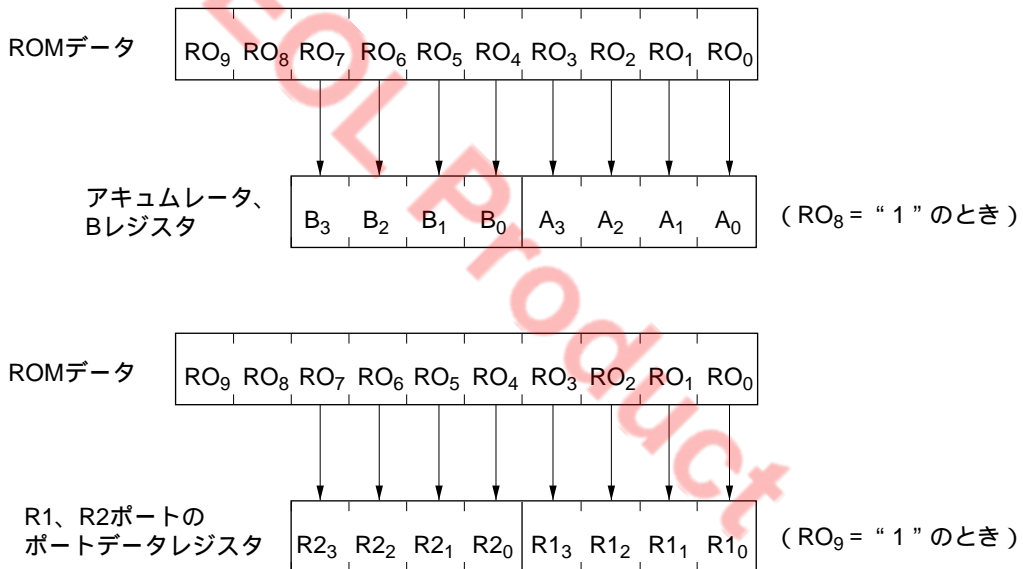


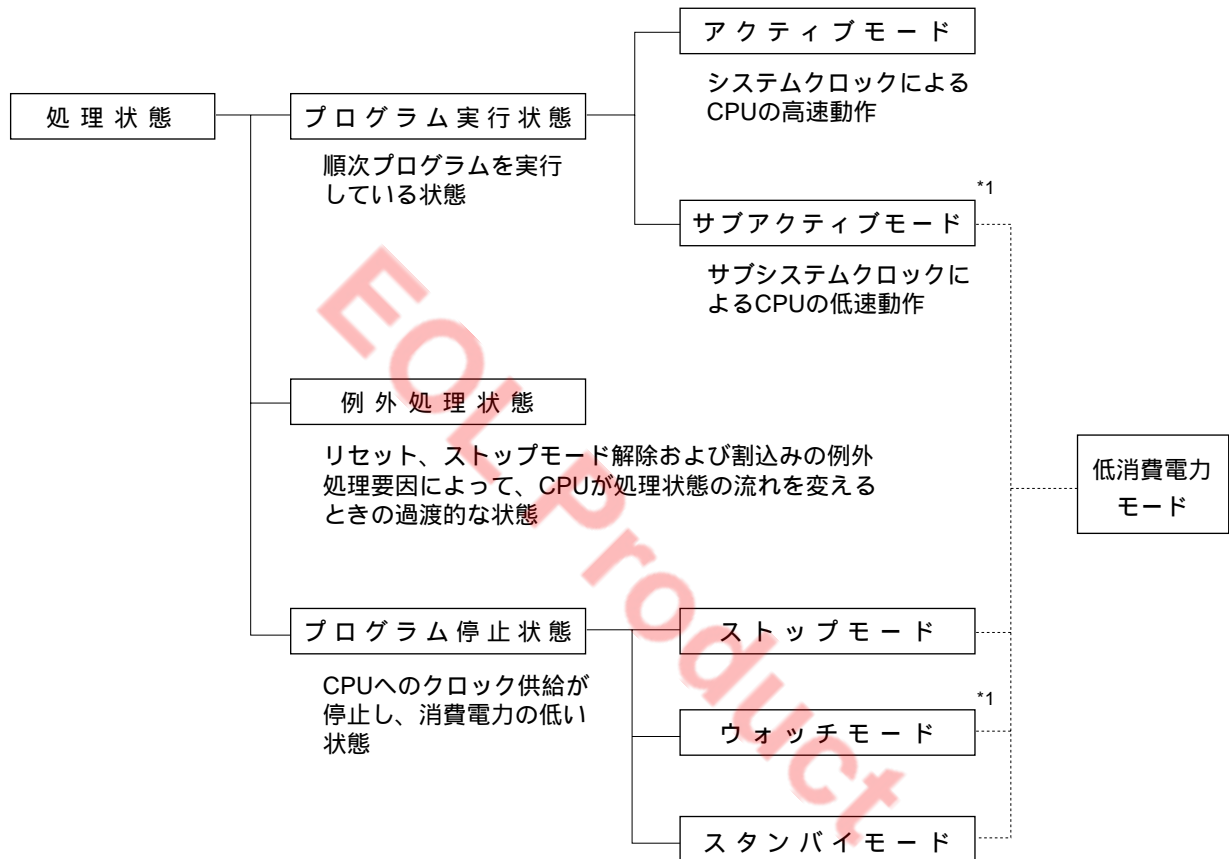
図3.4 P命令によるROMデータの参照

### 3. CPU 全シリーズ

## 3.4 処理状態

### 3.4.1 概要

HMCS400 CPUの処理状態には、プログラム実行状態、例外処理状態、プログラム停止状態の3種類があります。処理状態の分類を図3.5に、各状態間の遷移を図3.6に示します。



【注】\*1 HD404339 / HD404369シリーズのみ

図3.5 処理状態の分類

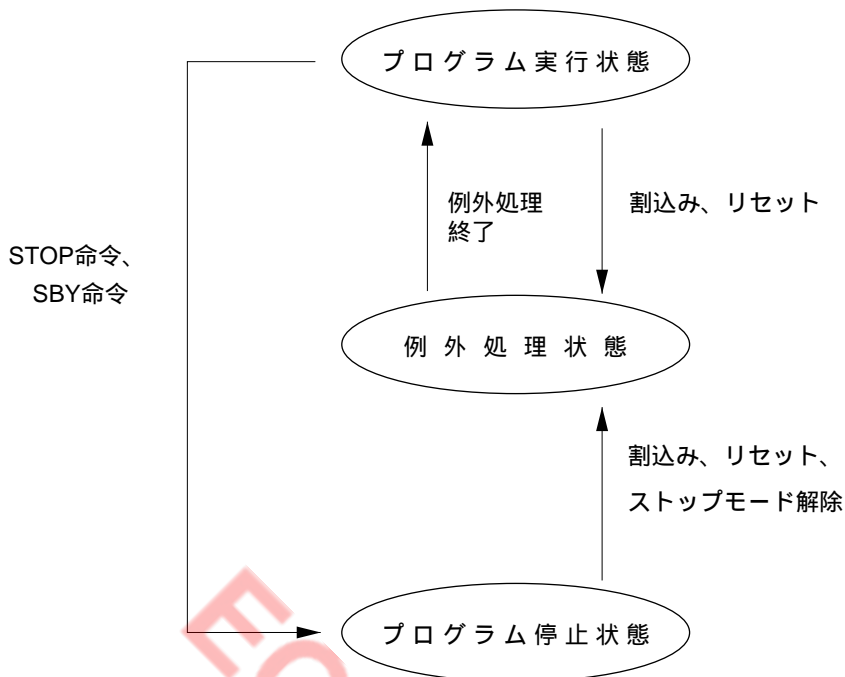


図3.6 状態遷移図

### 3.4.2 プログラム実行状態

HMCS400 CPUが、順次プログラムを実行している状態です。プログラム実行状態にはアクティブモードとサブアクティブモードがあります。

#### (1) アクティブモード

システムクロックにより、HMCS400 CPUが高速で動作します。

#### (2) サブアクティブモード (HD404339 / HD404369 シリーズのみ)

サブシステムクロックにより、HMCS400 CPUが低速で動作します。したがって、消費電力の低い状態が実現できます。

サブアクティブモードは、ウォッチモードにおいてレジスタフラグエリアのLSONビット = 1の状態、 $\overline{\text{INT}}_0$ 割り込み、またはタイマA割り込みが発生すると遷移するモードです。

システムクロック発振器は停止しますが、CPU、内蔵周辺モジュール、I/Oポートはサブシステムクロックにより動作します。ただし、A/Dコンバータは動作を停止します。

低消費電力状態の詳細は、「第5章、第6章 低消費電力モード」を参照してください。

### 3. CPU 全シリーズ

---

#### 3.4.3 例外処理状態

リセット、ストップモード解除、および割込みの例外処理要因によって、HMCS400 CPUが通常の処理の流れを変えるときの過渡的な状態です。割込み例外処理では、スタックポインタ (SP) を参照して、プログラムカウンタ (PC)、キャリ (CA)、およびステータス (ST) の退避が行われます。

例外処理についての詳細は、「第4章 例外処理」を参照してください。

#### 3.4.4 プログラム停止状態

プログラム停止状態には、ストップモード、ウォッチモード、およびスタンバイモードの3つのモードがあります。これらのモードでは、消費電力の低い状態が実現できます。

##### (1) ストップモード

ストップモードは、アクティブモードにおいてタイマモードレジスタA (TMA) のTMA3ビット = 0の状態ではSTOP命令を実行することによって遷移するモードです。

システムクロック発振器は停止し、CPU、周辺機能、およびI/Oポートはリセット状態になります。規定の電圧が与えられているかぎり、RAMの内容は保持されます。

ストップモードへの遷移は必ずアクティブモードから行ってください。

##### (2) ウォッチモード (HD404339 / HD404369 シリーズのみ)

ウォッチモードは、

- ・アクティブモードにおいて、タイマモードレジスタA (TMA) のTMA3ビット = 1の状態ではSTOP命令を実行する

または、

- ・サブアクティブモードにおいて、LSONフラグ = 1 (DTONフラグは任意)、または、LSONフラグ = 0かつDTONフラグ = 0の状態では、STOP命令、もしくはSBY命令を実行する

ことにより遷移するモードです。

システムクロック発振器は停止して、サブシステムクロック発振器は動作を継続します。CPU、内蔵周辺モジュールは動作を停止しますが、規定の電圧が与えられているかぎりCPUレジスタ、周辺機能レジスタ、およびRAMの内容は保持されます。また、I/Oポートの状態も保持されます。ただし、内蔵周辺モジュール中、タイマAは動作を継続します。

##### (3) スタンバイモード

スタンバイモードは、SBY命令を実行することによって遷移するモードです (アクティブモード スタンバイモード)。

CPUへの動作クロックの供給が停止し、CPUは動作を停止しますが、内蔵周辺機能は動作を継続します。CPUの内部レジスタ、RAMの内容、およびI/Oポートの状態は保持されます。

---

# 4. 例外処理

---

---

## 第4章 目次

---

4.1	概要	77
4.2	リセット	78
4.2.1	概要	78
	(1) RESET端子入力	78
	(2) ウォッチドッグタイマのオーバフロー	78
4.2.2	リセットシーケンス	78
4.3	ストップモード解除	79
4.3.1	概要	79
4.3.2	ストップモード解除シーケンス (RESET端子入力による)	79
4.3.3	ストップモード解除シーケンス (STOPC端子入力による)	79
4.4	リセットおよびストップモード解除時のレジスタ、フラグの初期値	80
4.5	割込み	82
4.5.1	概要	82
4.5.2	各レジスタ、フラグの説明	83
	(1) ポートモードレジスタB (PMRB)	84
	(2) 割込み許可フラグ (IE)	87
	(3) 外部割込み0、1要求フラグ (IF0、IF1)	87
	(4) 外部割込み0、1マスク (IM0、IM1)	87
	(5) タイマA~C割込み要求フラグ (IFTA、IFTB、IFTC)	88
	(6) タイマA~C割込みマスク (IMTA、IMTB、IMTC)	88
	(7) シリアル割込み要求フラグ (IFS)	88
	(8) シリアル割込みマスク (IMS)	89
	(9) A/D割込み要求フラグ (IFAD)	89
	(10) A/D割込みマスク (IMAD)	89
4.5.3	外部割込み	90
4.5.4	内部割込み	90
4.5.5	割込み動作	91

EOL Product



## 4. 例外処理 全シリーズ

---

### 4.2 リセット

#### 4.2.1 概要

リセットは最も優先順位の高い例外処理です。リセット例外処理要因には次の2種類があります。

##### (1) $\overline{\text{RESET}}$ 端子入力

$\overline{\text{RESET}}$ 端子がLowレベルになると、実行中の処理はすべて打ち切れ、MCUはリセット状態になります。リセットによって、CPUの内部状態と、内蔵周辺モジュールの各レジスタがイニシャライズされ、ただちにリセット例外処理が開始されます。

##### (2) ウォッチドッグタイマのオーバーフロー

タイマCをウォッチドッグタイマとして使用しているとき、タイマCがオーバーフローすると、MCUはリセット状態になります。 $\overline{\text{RESET}}$ 端子入力によるリセットと同様の動作を行った後、リセット例外処理が開始されます。

#### 4.2.2 リセットシーケンス

リセット例外処理要因が発生すると、MCUはリセット状態になります。

システムクロック発振器停止時（電源投入時を含む）に $\overline{\text{RESET}}$ 端子入力によるリセットを行う場合は、発振器の発振安定時間( $t_{RC}$ )を確保する必要があります。したがって、 $\overline{\text{RESET}}$ 端子入力を $t_{RC}$ 以上Lowレベルに保持してください。同様にストップモードを $\overline{\text{STOPC}}$ 端子入力で解除する場合にも、 $t_{RC}$ を確保するために、 $\overline{\text{STOPC}}$ 端子を $t_{RC}$ 以上Lowレベルに保持してください。

また、動作中にリセットする場合は、最低2インストラクションサイクル時間の間、 $\overline{\text{RESET}}$ 端子をLowレベルに保持してください。

リセット例外処理要因が発生すると、MCUは次のように動作します。

【注】  $t_{RC}$ は「第25章 電気的特性」を参照してください。

- (1)  $\overline{\text{RESET}}$ 端子入力またはウォッチドッグタイマのオーバーフローにより、リセット例外処理が開始されると、レジスタフラグエリアのRAMイネーブルフラグ(RAME)が、0にクリアされます。
- (2) CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化されます。割り込み許可フラグ(IE)は0にクリアされ、すべての割り込みの受け付けが禁止されます。各レジスタの初期値は、「4.4 リセットおよびストップモード解除時のレジスタ、フラグの初期値」を参照してください。
- (3) プログラムカウンタ(PC)は、ベクタアドレス\$0000を取り込みます。したがって、ROMの\$0000~\$0001番地にJMP命令を記述しておくことで、リセット処理ルーチンに分岐することができます。 $\overline{\text{RESET}}$ 端子入力は非同期入力であり、MCUがどのような動作状態であっても、 $\overline{\text{RESET}}$ 端子がLowレベルになるとただちにリセット状態になります。



## 4.3 ストップモード解除

### 4.3.1 概要

ストップモード解除例外処理要因は、ストップモード時の $\overline{\text{STOPC}}$ 端子入力または $\overline{\text{RESET}}$ 端子入力、この例外処理要因発生により、ストップモードは解除され、MCUはリセット状態になります。

### 4.3.2 ストップモード解除シーケンス ( $\overline{\text{RESET}}$ 端子入力による)

ストップモード時 $\overline{\text{RESET}}$ 端子をLowレベルにすると、ストップモードは解除され、MCUはリセット状態になります。このときストップモードの解除を確実にを行うために $\overline{\text{RESET}}$ 端子入力を $t_{\text{RC}}$ 以上Lowレベルに保持してください。

### 4.3.3 ストップモード解除シーケンス ( $\overline{\text{STOPC}}$ 端子入力による)

ストップモード時に $\overline{\text{STOPC}}$ 端子がLowレベルになると、ストップモードは解除され、MCUはリセット状態になります。このときストップモード解除を確実にを行うため $t_{\text{RC}}$ を確保する必要があります。したがって、 $\overline{\text{STOPC}}$ 端子入力を $t_{\text{RC}}$ 以上Lowレベルに保持してください。

ストップモード解除例外処理では、RAMイネーブルフラグ (RAME) が1にセットされ、ポートモードレジスタB (PMRB) のPMRB3ビットとシステムクロック選択レジスタ1 (SSR1) \*のSSR13ビットの内容が保持されることを除き、リセット例外処理と同様の動作を行います。

【注】\* HD404339 / HD404369シリーズのみ適用します。

#### 4. 例外処理 全シリーズ

#### 4.4 リセットおよびストップモード解除時のレジスタ、フラグの初期値

リセットおよびストップモード解除時のレジスタ、フラグの初期値を表4.2に示します。

表4.2(1) リセットおよびストップモード解除時のレジスタ、フラグの初期値 (1/2)

項 目		初期値		
		HD404344R/ HD404394 シリーズ	HD404318/ HD404358/ HD404358R シリーズ	HD404339/ HD404369 シリーズ
プログラムカウンタ	(PC)	\$ 0000		
ステータス	(ST)	1		
スタックポインタ	(SP)	\$ 3FF		
割込みフラグ/マスク	割込み許可フラグ	(IE)	0	
	割込み要求フラグ	(IF)	0	
	割込みマスク	(IM)	1	
I/O	高耐圧端子ポートデータレジスタ	(PDR)	全ビット0	
	中耐圧/標準耐圧ポートデータレジスタ	(PDR)	全ビット1	
	データコントロールレジスタ	(DCR)	全ビット0	
	ポートモードレジスタA	(PMRA)	-000	0000
	ポートモードレジスタB	(PMRB)	0--0	0000
	ポートモードレジスタC	(RMRC)	--00	0000
タイマ/ シリアルインタフェース	タイマモードレジスタA	(TMA)	■	-000 0000
	タイマモードレジスタB1	(TMB1)	0000	
	タイマモードレジスタB2	(TMB2)	--00	-000
	タイマモードレジスタC	(TMC)	0000	
	シリアルモードレジスタ	(SMR)	0000	
	プリスケールS	(PSS)	\$ 000	
	プリスケールW	(PSW)	■	\$ 00
	タイマカウンタA	(TCA)	■	\$ 00
	タイマカウンタB	(TCB)	\$ 00	
	タイマカウンタC	(TCC)	\$ 00	
	タイマライトレジスタB	(TWBU,L)	\$ X0	
	タイマライトレジスタC	(TWCU,L)	\$ X0	
	8進カウンタ	(OC)	000	
A/Dコンバータ	A/Dモードレジスタ1	(AMR1)	0000/000-	0000
	A/Dモードレジスタ2	(AMR2)	---0	--00 -000
	A/Dチャンネルレジスタ	(ACR)	0000	
	A/Dデータレジスタ	(ADRU,L)	\$ 80	

【注】 Xは不定を、-印は存在しないビットを示します。また、■は該当レジスタが存在しないことを示します。

#### 4. 例外処理 全シリーズ

表4.2(1) リセットおよびストップモード解除時のレジスタ、フラグの初期値 (2 / 2)

項 目		初期値		
		HD404344R/ HD404394 シリーズ	HD404318/ HD404358/ HD404358R シリーズ	HD404339/ HD404369 シリーズ
ビットレジスタ	ロースピードオンフラグ (LSON)			0
	ダイレクトトランスファオンフラグ (DTON)			0
	ウォッチドッグタイマオンフラグ (WDON)		0	
	A/Dスタートフラグ (ADSF)		0	
	インプットキャプチャステータスフラグ (ICSF)		0	
	インプットキャプチャエラーフラグ (ICEF)		0	
	I <sub>AD</sub> オフフラグ (IAOF)		0	
その他	ミセラニアスレジスタ (MIS)	00--		0000
	システムクロック選択レジスタ1 ビット2~0 (SSR1)			000
	システムクロック選択レジスタ2 (SSR2)			--00

【注】 - 印は存在しないビットを示します。また、■は該当レジスタが存在しないことを示します。

表4.2(1)以外のレジスタ、フラグ類は、MCUのリセットにより表4.2(2)のような状態になります。

表4.2(2) リセットおよびストップモード解除時のレジスタ、フラグの初期値

		STOPC端子入力による ストップモード解除後	左記以外の MCUリセット後
キャリ (CA)		MCUリセット直前の値は保証されません。プログラムによる初期化が必要です。	MCUリセット直前の値は保証されません。プログラムによる初期化が必要です。
アキュムレータ (A)			
Bレジスタ (B)			
Wレジスタ (W)			
X/SPXレジスタ (X/SPX)			
Y/SPYレジスタ (Y/SPY)			
シリアルデータレジスタ (SRU,L)			
RAM		ストップモードに入る直前の値を保持しています。	
ポートモードレジスタB ビット3 (PMRB3)		ストップモードに入る直前の値を保持しています。	
システムクロック選択レジスタ1 ビット3 (SSR13)			
RAMイネーブルフラグ (RAME)		1	0

## 4. 例外処理 全シリーズ

### 4.5 割込み

#### 4.5.1 概要

割込み例外処理を開始する要因には、外部要因 ( $\overline{INT}_0$ 、 $\overline{INT}_1$ ) と内蔵周辺モジュールからの要求による内部要因があります。これらの割込み要因には、それぞれ独立のベクタアドレスが割り当てられています。割込み要因と優先度ならびにベクタアドレスの一覧を表4.3に示します。複数の割込みが同時に発生したときは、優先度の高い割込みから処理されます。

表4.3 割込み要因一覧表

割込み要因		ベクタアドレス	優先度
HD404344R / HD404394シリーズ	HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ		
$\overline{INT}_0$	$\overline{INT}_0$	\$ 0002	高 ↑ 低
_____*	$\overline{INT}_1$	\$ 0004	
_____*	タイマA	\$ 0006	
タイマB	タイマB	\$ 0008	
タイマC	タイマC	\$ 000A	
A/Dコンバータ	A/Dコンバータ	\$ 000C	
シリアルインタフェース	シリアルインタフェース	\$ 000E	

【注】\* HD404344R/HD404394シリーズでは、ベクタアドレス \$ 0004 ~ \$ 0007は使用禁止となっています。

これらの割込みには次の特長があります。

- (1) すべての外部割込み、および内部割込みは、割込み許可フラグ (IE) により制御されます。  
すなわち、IEビットが0にクリアされていると、すべての割込みは受け付けられません。
- (2)  $\overline{INT}_0$ 、 $\overline{INT}_1$ 端子入力割込みは立ち下がりエッジ検出の外部割込みです。

## 4.5.2 各レジスタ、フラグの説明

割込みを制御するレジスタ、フラグの一覧を表4.4に示します。なお、割込み制御ビットエリアの制御ビットは、RAMビット操作命令のみ使用可能です。

表4.4 割込み制御レジスタ

アドレス	名 称	略 称	R/W	初期値
\$ 024	ポートモードレジスタB	PMRB	W	\$ 0
\$ 000,0	割込み許可フラグ	IE	R/W	0
\$ 000,1	リセットSPビット	RSP	(W)	不定
\$ 000,2	外部割込み0要求フラグ	IF0	R/(W)	0
\$ 000,3	外部割込み0マスク	IM0	R/W	1
\$ 001,0	外部割込み1要求フラグ*	IF1	R/(W)	0
\$ 001,1	外部割込み1マスク*	IM1	R/W	1
\$ 001,2	タイマA割込み要求フラグ*	IFTA	R/(W)	0
\$ 001,3	タイマA割込みマスク*	IMTA	R/W	1
\$ 002,0	タイマB割込み要求フラグ	IFTB	R/(W)	0
\$ 002,1	タイマB割込みマスク	IMTB	R/W	1
\$ 002,2	タイマC割込み要求フラグ	IFTC	R/(W)	0
\$ 002,3	タイマC割込みマスク	IMTC	R/W	1
\$ 003,0	A/D割込み要求フラグ	IFAD	R/(W)	0
\$ 003,1	A/D割込みマスク	IMAD	R/W	1
\$ 003,2	シリアル割込み要求フラグ	IFS	R/(W)	0
\$ 003,3	シリアル割込みマスク	IMS	R/W	1

割込み制御ビットエリア

(W) はフラグエリアのため 0 書き込みのみ可能

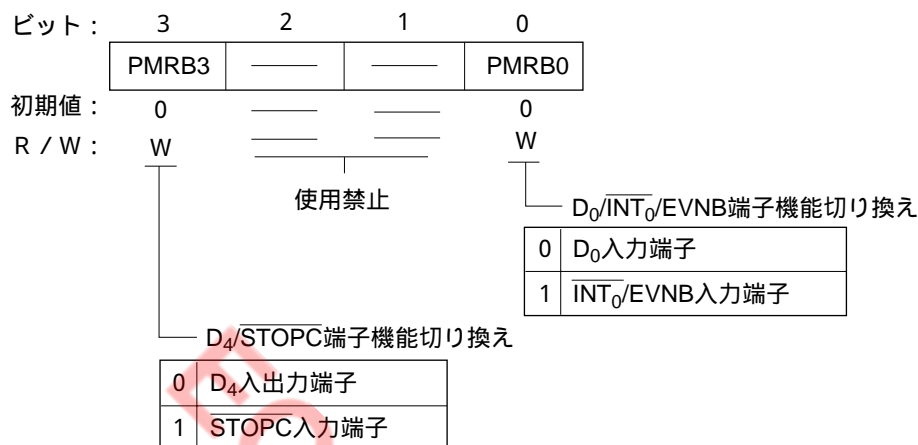
【注】\* HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズに適用します。HD404344R / HD404394シリーズでは、これらのフラグは使用禁止となっています。

## 4. 例外処理 全シリーズ

### (1) ポートモードレジスタB (PMRB : \$024)

PMRBは、4ビットの書き込み専用のレジスタで、Dポートの兼用入出力端子機能の切り換えを行います。

#### HD404344R / HD404394シリーズ



#### ビット3 : D<sub>4</sub>/STOPC端子機能切り換え (PMRB3)

D<sub>4</sub>/STOPC端子をD<sub>4</sub>入出力端子として使用するか、STOPC入力端子として使用するかを選択します。

PMRB3ビットは、リセットによって、0にクリアされます。ストップモード時には、PMRB3ビットはストップモードに入る直前の内容を保持しています。

PMRB3	説明
0	D <sub>4</sub> /STOPC端子は、D <sub>4</sub> 入出力端子として機能します。(初期値)
1	D <sub>4</sub> /STOPC端子は、STOPC入力端子として機能します。

#### ビット0 : D<sub>0</sub>/INT<sub>0</sub>/EVNB端子機能切り換え (PMRB0)

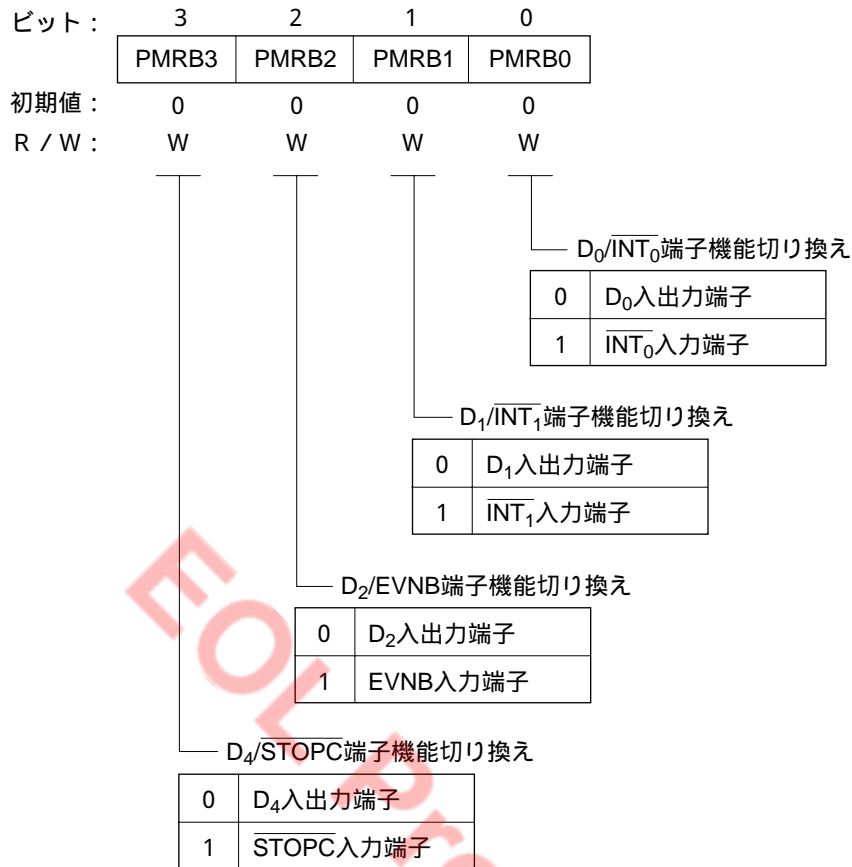
D<sub>0</sub>/INT<sub>0</sub>/EVNB端子をD<sub>0</sub>入出力端子として使用するか、INT<sub>0</sub>/EVNB入力端子として使用するかを選択します。

INT<sub>0</sub>端子とEVNB端子の切り換えについては、「18.2.2 タイマモードレジスタB2 (TMB2)」を参照してください。

PMRB0ビットは、リセットおよびストップモード時に、0にクリアされます。

PMRB0	説明
0	D <sub>0</sub> /INT <sub>0</sub> /EVNB端子は、D <sub>0</sub> 入出力端子として機能します。(初期値)
1	D <sub>0</sub> /INT <sub>0</sub> /EVNB端子は、INT <sub>0</sub> /EVNB入力端子として機能します。

HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリ - ズ

**ビット3 : D<sub>4</sub>/ $\overline{\text{STOPC}}$ 端子機能切り換え (PMRB3)**

D<sub>4</sub>/ $\overline{\text{STOPC}}$ 端子をD<sub>4</sub>入出力端子として使用するか、 $\overline{\text{STOPC}}$ 入力端子として使用するかを選択します。

PMRB3ビットは、リセットによって0にクリアされます。ストップモード時には、PMRB3ビットはストップモードに入る直前の内容を保持しています。

PMRB3	説明
0	D <sub>4</sub> / $\overline{\text{STOPC}}$ 端子は、D <sub>4</sub> 入出力端子として機能します。 (初期値)
1	D <sub>4</sub> / $\overline{\text{STOPC}}$ 端子は、 $\overline{\text{STOPC}}$ 入力端子として機能します。

**ビット2 : D<sub>2</sub>/EVNB端子機能切り換え (PMRB2)**

D<sub>2</sub>/EVNB端子をD<sub>2</sub>入出力端子として使用するか、EVNB入力端子として使用するかを選択します。

PMRB2ビットは、リセットおよびストップモード時に0にクリアされます。

PMRB2	説明
0	D <sub>2</sub> /EVNB端子は、D <sub>2</sub> 入出力端子として機能します。 (初期値)
1	D <sub>2</sub> /EVNB端子は、EVNB入力端子として機能します。

#### 4. 例外処理 全シリーズ

##### ビット1 : $D_1/\overline{INT}_1$ 端子機能切り換え (PMRB1)

$D_1/\overline{INT}_1$ 端子を $D_1$ 入出力端子として使用するか、 $\overline{INT}_1$ 入力端子として使用するかを選択します。

PMRB1ビットは、リセットおよびストップモード時に0にクリアされます。

PMRB1	説 明
0	$D_1/\overline{INT}_1$ 端子は、 $D_1$ 入出力端子として機能します。 (初期値)
1	$D_1/\overline{INT}_1$ 端子は、 $\overline{INT}_1$ 入力端子として機能します。

##### ビット0 : $D_0/\overline{INT}_0$ 端子機能切り換え (PMRB0)

$D_0/\overline{INT}_0$ 端子を $D_0$ 入出力端子として使用するか、 $\overline{INT}_0$ 入力端子として使用するかを選択します。

PMRB0ビットは、リセットおよびストップモード時に0にクリアされます。

PMRB0	説 明
0	$D_0/\overline{INT}_0$ 端子は、 $D_0$ 入出力端子として機能します。 (初期値)
1	$D_0/\overline{INT}_0$ 端子は、 $\overline{INT}_0$ 入力端子として機能します。



## (2) 割り込み許可フラグ (IE : \$ 000,0)

IEは、すべての割り込み要求に対して、CPUが割り込みを受け付けるか否かを制御します。IEは、割り込みを受け付けられるとハードウェアにより0にクリアされ、RTNI命令を実行すると1にセットされます。

本フラグは、ビット操作命令によってのみ読み出し / 書き込みが可能です。

リセット、およびストップモード時に、本フラグは0にクリアされます。

IE	説明
0	CPUは、すべての割り込みの受け付けを禁止します。(初期値)
1	CPUは、割り込みの受け付けを許可します。

## (3) 外部割り込み0、1要求フラグ (IF0 : \$ 000,2、IF1 : \$ 001,0\*)

IF0、IF1は、 $\overline{INT_0}$ 、 $\overline{INT_1}$ の外部割り込み端子入力要求の有無を反映します。外部割り込み入力端子が指定された入力エッジを検出すると、対応する外部割り込み要求フラグが1にセットされます。

$\overline{INT_0}$ 、 $\overline{INT_1}$ 端子入力は、立ち下がリエッジのみを検出します。

IF0、IF1は、ビット操作命令によってのみ読み出し / 書き込み (0書き込みのみ) が可能です。

割り込みを受け付けられても、IF0、IF1はオートクリアされません。ソフトウェアで0を書き込んでクリアしてください。

リセット、およびストップモード時に、本フラグは0にクリアされます。

IF0、IF1*	説明
0	$\overline{INT_0}$ 、 $\overline{INT_1}$ が要求されていないことを示します。(初期値)
1	$\overline{INT_0}$ 、 $\overline{INT_1}$ が要求されていることを示します。

【注】\* 外部割り込み1要求フラグ (IF1) については、HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズに適用します。HD404344R / HD404394シリーズには $\overline{INT_1}$ がないためIF1は使用禁止となっています。

## (4) 外部割り込み0、1マスク (IM0 : \$ 000,3、IM1 : \$ 001,1\*)

IM0、IM1は、対応するIF0、IF1をマスクするビットです。IF0、IF1が1にセットされ、かつ対応するIM0、IM1が0のとき、当該外部割り込みはCPUに要求されます (IE = 1のとき)。

IF0、IF1が1にセットされても対応するIM0、IM1が1のときには、CPUに割り込みは要求されず当該外部割り込みは保留されます。

IM0、IM1は、ビット操作命令によってのみ読み出し / 書き込みが可能です。

リセット、およびストップモード時に、本フラグは1にセットされます。

IM0、IM1*	説明
0	IF0、IF1を許可します。
1	IF0、IF1をマスクします (IF0、IF1フラグが1にセットされても保留となります)。(初期値)

【注】\* 外部割り込み1マスク (IM1) については、HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズに適用します。HD404344R / HD404394シリーズには $\overline{INT_1}$ がないためIM1は使用禁止となっています。

## 4. 例外処理 全シリーズ

### (5) タイマA～C割込み要求フラグ (IFTA : \$ 001,2\*、IFTB : \$ 002,0、IFTC : \$ 002,2)

IFTA～IFTCは、タイマA～C割込み要求の有無を反映します。タイマA～Cがオーバフローすると、対応するIFTA～IFTCが1にセットされます。

IFTA～IFTCは、ビット操作命令によってのみ読み出し/書き込み(0書き込みのみ)が可能です。

割込みが受け付けられても、IFTA～IFTCはオートクリアされません。ソフトウェアで0を書き込んでクリアしてください。

リセット、およびストップモード時に、本フラグは0にクリアされます。

IFTA*～IFTC	説 明
0	タイマA～C割込みが要求されていないことを示します。(初期値)
1	タイマA～C割込みが要求されていることを示します。

【注】\* タイマA割込み要求フラグ (IFTA) については、HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズに適用します。HD404344R / HD404394シリーズにはタイマAがないためIFTAは使用禁止となっています。

### (6) タイマA～C割込みマスク (IMTA : \$ 001,3\*、IMTB : \$ 002,1、IMTC : \$ 002,3)

IMTA～IMTCは対応するIFTA～IFTCをマスクするビットです。

IFTA～IFTCが1にセットされ、かつ対応するIMTA～IMTCが0のとき、当該タイマ割込みはCPUに要求されず(IE = 1のとき)

IFTA～IFTCが1にセットされても対応するIMTA～IMTCが1のときには、CPUに割込みは要求されず当該タイマ割込みは保留されます。

IMTA～IMTCは、ビット操作命令によってのみ読み出し/書き込みが可能です。

リセット、およびストップモード時に、本フラグは1にセットされます。

IMTA*～IMTC	説 明
0	IFTA～IFTCを許可します。
1	IFTA～IFTCをマスクします(IFTA～IFTCが1にセットされても保留となります)。(初期値)

【注】\* タイマA割込みマスク (IMTA) については、HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズに適用します。HD404344R / HD404394シリーズにはタイマAがないためIMTAは使用禁止となっています。

### (7) シリアル割込み要求フラグ (IFS : \$ 003,2)

IFSは、シリアル割込み要求の有無を反映します。シリアルインタフェースが転送終了(強制終了を含む)すると、IFSが1にセットされます。

IFSは、ビット操作命令によってのみ読み出し/書き込み(0書き込みのみ)が可能です。

割込みが受け付けられても、IFSはオートクリアされません。ソフトウェアで0を書き込んでクリアしてください。

リセット、およびストップモード時に、本フラグは0にクリアされます。

IFS	説 明
0	シリアル割込みが要求されていないことを示します。(初期値)
1	シリアル割込みが要求されていることを示します。

## (8) シリアル割込みマスク (IMS : \$ 003,3)

IMSは、IFSをマスクするビットです。IFSが1にセットされ、かつIMSが0のとき、シリアル割込みはCPUに要求されます (IE = 1のとき)。

IFSが1にセットされてもIMSが1のときには、CPUに割込みは要求されずシリアル割込みは保留されます。

IMSは、ビット操作命令によってのみ読み出し / 書き込みが可能です。

リセット、およびストップモード時に、本フラグは1にセットされます。

IMS	説 明
0	IFSを許可します。
1	IFSをマスクします(シリアル割込みは、IFSが1にセットされても保留となります)。(初期値)

## (9) A/D割込み要求フラグ (IFAD : \$ 003,0)

IFADは、A/D割込み要求の有無を反映します。A/Dコンバータが変換終了すると、IFADが1にセットされます。

IFADは、ビット操作命令によってのみ読み出し / 書き込み (0書き込みのみ) が可能です。

割込みが受け付けられても、IFADはオートクリアされません。ソフトウェアで0を書き込んでクリアしてください。

リセット、およびストップモード時に、本フラグは0にクリアされます。

IFAD	説 明
0	A/D割込みが要求されていないことを示します。(初期値)
1	A/D割込みが要求されていることを示します。

## (10) A/D割込みマスク (IMAD : \$ 003,1)

IMADは、IFADをマスクするビットです。IFADが1にセットされ、かつIMADが0のとき、A/D割込みはCPUに要求されます (IE = 1のとき)。

IFADが1にセットされてもIMADが1のときには、CPUに割込みは要求されずA/D割込みは保留されます。

IMADは、ビット操作命令によってのみ読み出し / 書き込みが可能です。

リセット、およびストップモード時に、本フラグは1にセットされます。

IMAD	説 明
0	IFADを許可します。
1	IFADをマスクします (A/D割込みは、IFADが1にセットされても保留となります)。(初期値)

## 4. 例外処理 全シリーズ

---

### 4.5.3 外部割込み

外部割込みは、HD404344R / HD404394シリーズでは $\overline{INT}_0$ の1要因、HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズでは $\overline{INT}_0$ 、 $\overline{INT}_1$ の2要因があります。これらの外部割込みは、 $\overline{INT}_0$ 、 $\overline{INT}_1$ 端子の立ち下がリエッジを検出することで要求されます。

外部割込みが要求されると対応する外部割込み要求フラグ (IF0、IF1) が1にセットされます。これらの割込み要求は、外部割込みマスク (IM0、IM1) により、各々独立に許可または禁止を設定できます。また、割込み許可フラグ (IE) により、割込み全体の許可または禁止を制御できます。

外部割込みが受け付けられると、割込み例外処理中にIEがハードウェアにより0にクリアされ、他の割込みの受け付けは禁止されます。

外部割込みの優先順位は、 $\overline{INT}_1$ の方が低く $\overline{INT}_0$ の方が高くなります。詳細は、表4.3を参照してください。

### 4.5.4 内部割込み

内蔵周辺モジュールからの内部割込み要因は、HD404344R / HD404394シリーズではタイマB、タイマC割込み、A/D割込み、およびシリアル割込みの4要因が、またHD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズではタイマA～C割込み、A/D割込み、およびシリアル割込みの5要因があります。

内部割込みが要求されると対応する割込み要求フラグ (IF) が1にセットされます。これらの割込み要求は、割込み要求マスク (IM) により、各々独立に許可または禁止を設定できます。また、IEにより、割込み全体の許可または禁止を制御できます。

内部割込みが受け付けられると、割込み例外処理中にIEがハードウェアにより0にクリアされ、他の割込みの受け付けは禁止されます。

内部割込みの優先順位については、表4.3を参照してください。

### 4.5.5 割込み動作

割込みは、割込みコントローラによって制御されます。割込みコントローラのブロック図を図4.1に、割込み例外処理の起動条件を表4.5(a)、(b)に示します。また、割込み受け付けまでのフローおよび割込みシーケンスをそれぞれ図4.2、図4.3に示します。割込み動作を以下に示します。

対応する割込みマスク (IM) が0にクリアされている状態で、割込み要因が発生して割込み要求フラグ (IF) が1にセットされたとき、プライオリティコントローラに割込み要求信号が送られます。

プライオリティコントローラは、最高位の割込み要求を選択し、その他の割込みを保留します。

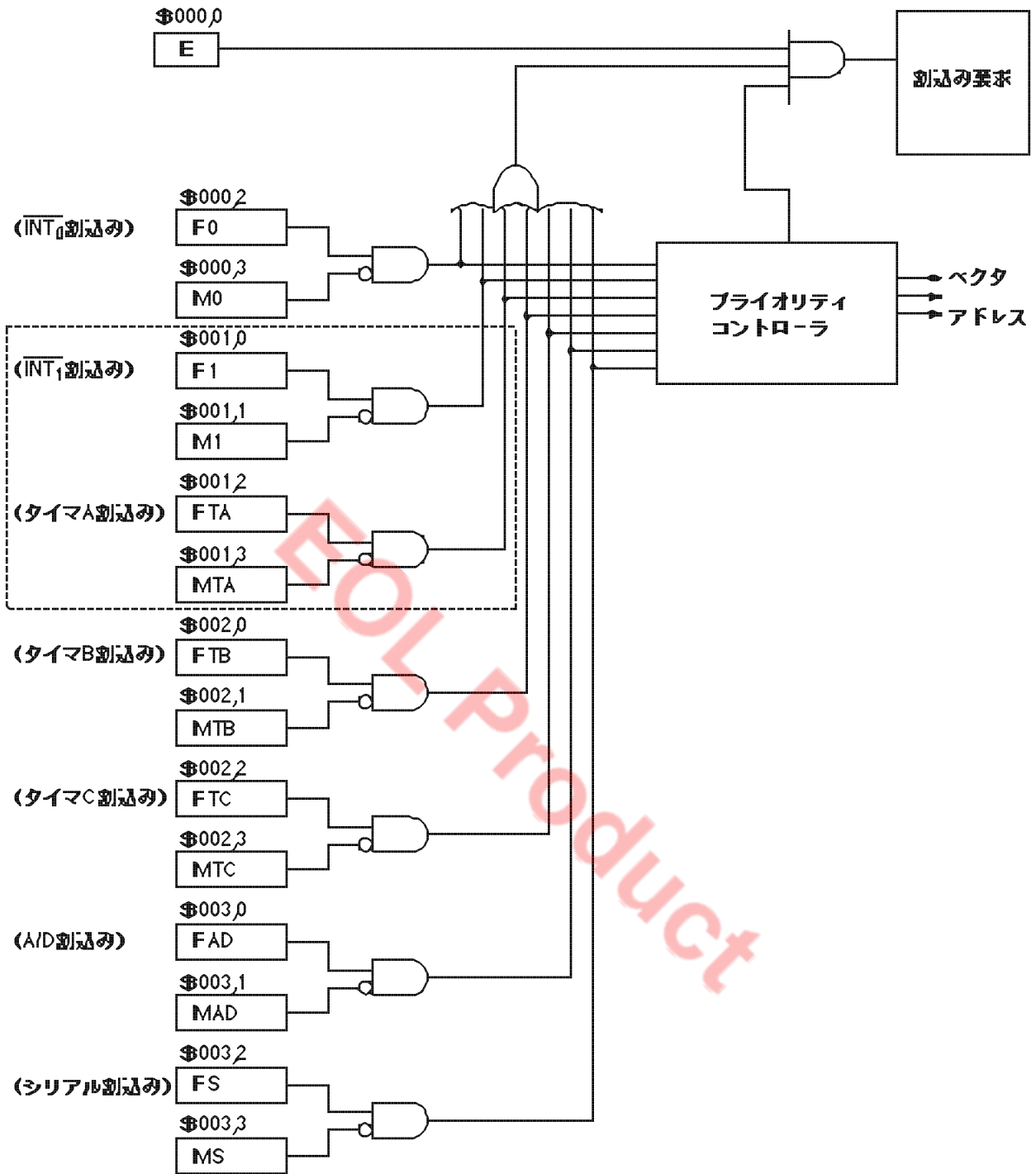
次に割込み許可フラグ (IE) を参照し、IE = 1 ならば最高位の割込みが受け付けられますが、IE = 0 のときにはすべての割込みは保留となります。

割込みが受け付けられると、そのとき実行中の命令の処理が終了した後、プログラムカウンタ (PC)、キャリ (CA) およびステータス (ST) の内容をスタックに退避し、スタックポインタ (SP) を4だけデクリメントします。

IEが0にクリアされます。これにより、すべての割込みの受け付けが禁止されます。

受け付けた割込みに対応するベクタアドレスを生成し、PCにロードします。ベクタアドレスに記述されたJMPL命令の分岐先のアドレスから、割込み処理ルーチンの実行を開始します (各ベクタアドレスには、JMPL命令を記述して、対応する割込み処理ルーチンへ分岐させてください)。

#### 4. 例外処理 全シリーズ



【注】□内はHD404310 / HD404350 / HD404350R / HD404339 / HD404369シリーズに適用します。  
HD404344R / HD404394シリーズは、INT<sub>1</sub>割り込み、タイマA割り込みは有りません。

図4.1 割り込みコントローラのブロック図

表4.5(a) 割込み例外処理の起動条件 (HD404344R / HD404394シリーズ)

割込み要因 割込み制御ビット	$\overline{\text{INT}}_0$	タイマB	タイマC	A/Dコンバータ	シリアルインタフェース
IE	1	1	1	1	1
IF0· $\overline{\text{IM}}_0$	1	0	0	0	0
IFTB· $\overline{\text{IMTB}}$	*	1	0	0	0
IFTC· $\overline{\text{IMTC}}$	*	*	1	0	0
IFAD· $\overline{\text{IMAD}}$	*	*	*	1	0
IFS· $\overline{\text{IMS}}$	*	*	*	*	1

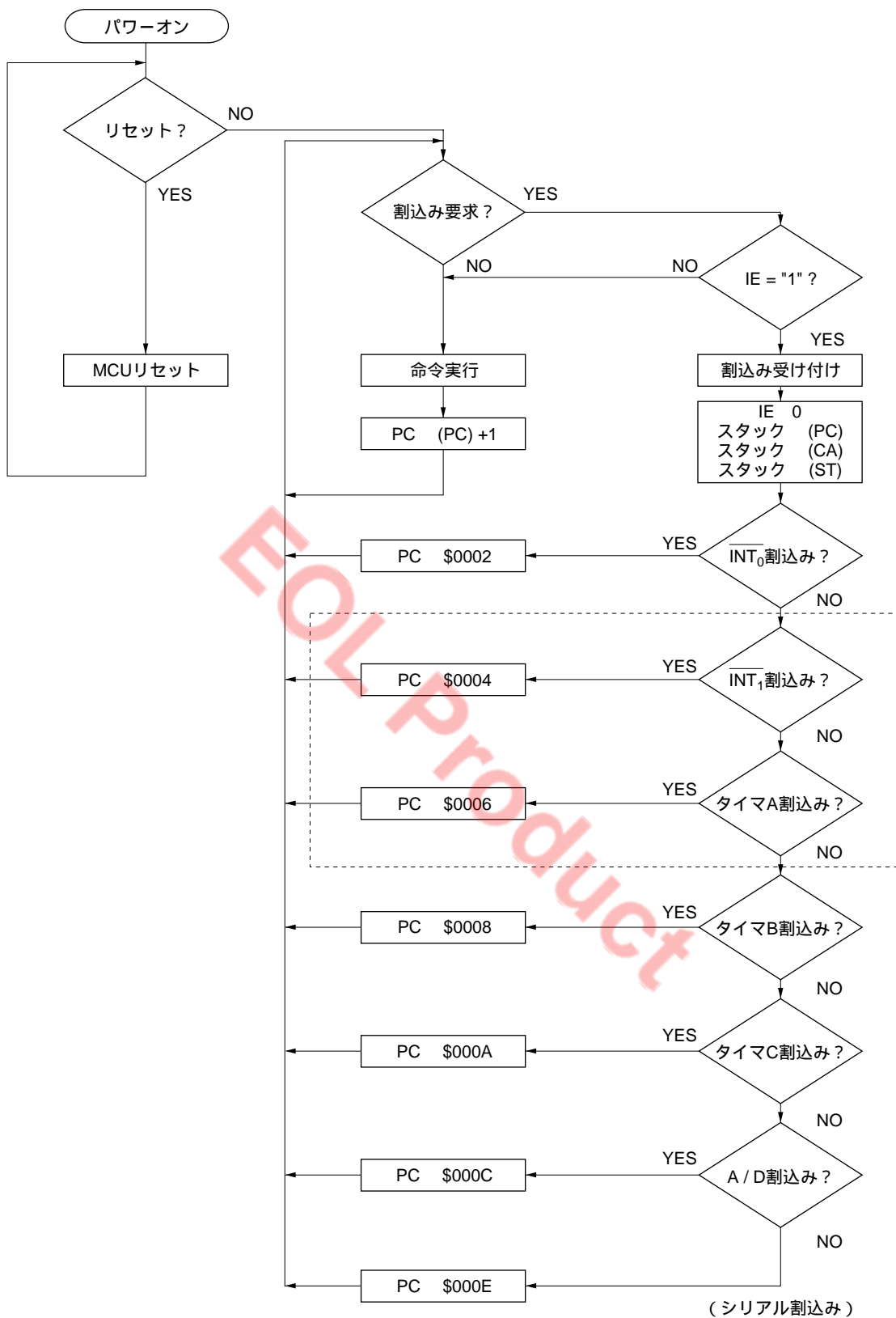
【注】 \* : 0または1いずれの値であっても動作に影響しません。

表4.5(b) 割込み例外処理の起動条件 (HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ)

割込み要因 割込み制御ビット	$\overline{\text{INT}}_0$	$\overline{\text{INT}}_1$	タイマA	タイマB	タイマC	A/D コンバータ	シリアル インタフェース
IE	1	1	1	1	1	1	1
IF0· $\overline{\text{IM}}_0$	1	0	0	0	0	0	0
IF1· $\overline{\text{IM}}_1$	*	1	0	0	0	0	0
IFTA· $\overline{\text{IMTA}}$	*	*	1	0	0	0	0
IFTB· $\overline{\text{IMTB}}$	*	*	*	1	0	0	0
IFTC· $\overline{\text{IMTC}}$	*	*	*	*	1	0	0
IFAD· $\overline{\text{IMAD}}$	*	*	*	*	*	1	0
IFS· $\overline{\text{IMS}}$	*	*	*	*	*	*	1

【注】 \* : 0または1いずれの値であっても動作に影響しません。

#### 4. 例外処理 全シリーズ

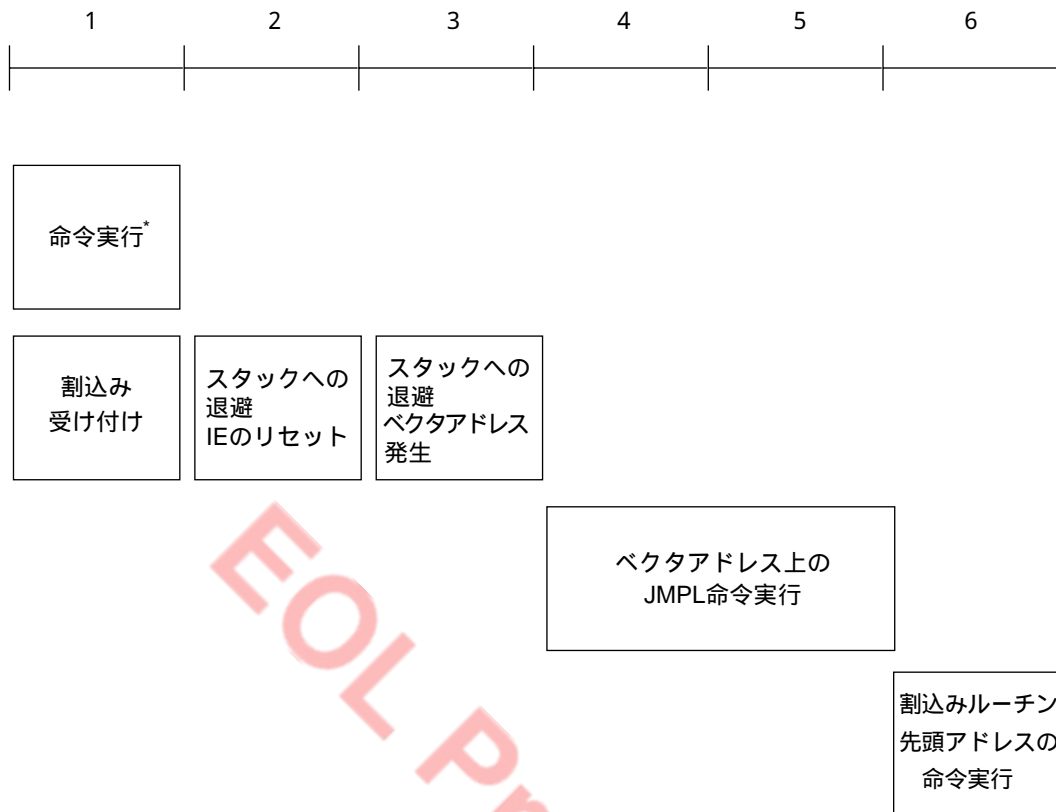


【注】 [ ]内は、HD404318/HD404358/HD404358R/HD404339/HD404369シリーズに適用します。  
HD404344R/HD404394シリーズは、 $\overline{\text{INT}}_1$ 、タイマAはありません。

図4.2 割り込み受け付けまでのフロー



インストラクションサイクル



【注】\* 2サイクル命令の場合も、命令実行終了後にスタックへの退避、およびIEのリセットが実行されます。

図4.3 割り込みシーケンス

EOL Product

---

# 5. 低消費電力モード

(HD404344R / HD404394 / HD404318 / HD404358 / HD404358Rシリーズ)

---

## 第5章 目次

5.1	概要	99
5.1.1	特長	99
5.1.2	状態遷移図	100
5.1.3	端子構成	100
5.1.4	レジスタ、フラグ構成	101
5.2	各レジスタ、フラグの説明	102
5.2.1	ポートモードレジスタB (PMRB)	102
5.2.2	RAMイネーブルフラグ (RAME)	104
5.3	スタンバイモード	105
5.3.1	スタンバイモードへの遷移方法	105
5.3.2	スタンバイモードの解除方法	105
	(1) RESET端子入力による解除	105
	(2) 割込みによる解除	105
5.4	ストップモード	107
5.4.1	ストップモードへの遷移方法	107
5.4.2	ストップモードの解除方法	107
	(1) RESET端子入力による解除	107
	(2) STOPC端子入力による解除	107
5.4.3	ストップモード解除後の発振安定時間	108
5.5	低消費電力モード動作シーケンス	108

EOL Product

## 5. 低消費電力モード HD404344R / HD404394 / HD404318 / HD404358 / HD404358Rシリーズ

### 5.1 概要

#### 5.1.1 特長

HD404344R / HD404394 / HD404318 / HD404358 / HD404358Rシリーズは、次の2種類の低消費電力モードをサポートしています。

- (1) スタンバイモード
- (2) ストップモード

各モードの遷移 / 解除方法とクロックの状態を表5.1に、CPUや内蔵周辺モジュールの内部状態を表5.2に示します。

表5.1 動作モードとクロックの状態

モード名	起動方法	システムクロック 発振器	解除方法
スタンバイモード	SBY命令	発振	<ul style="list-style-type: none"> <li>・ RESET<math>\bar</math>端子入力</li> <li>・ 割込み要求</li> </ul>
ストップモード	STOP命令	停止	<ul style="list-style-type: none"> <li>・ RESET<math>\bar</math>端子入力</li> <li>・ ストップモードにおける STOPC端子入力</li> </ul>

表5.2 低消費電力モードの動作

機能 \ モード	ストップモード	スタンバイモード
CPU	リセット	保持
RAM	保持	保持
タイマA*	リセット	
タイマB	リセット	
タイマC	リセット	
シリアルインタフェース	リセット	
A/Dコンバータ	リセット	
I/Oポート	リセット (ハイインピーダンス)	保持

【注】  は動作

- \* HD404318 / HD404358 / HD404358Rシリーズに適用します。  
HD404344R / HD404394シリーズには、タイマAはありません。

## 5. 低消費電力モード HD404344R / HD404394 / HD404318 / HD404358 / HD404358Rシリーズ

### 5.1.2 状態遷移図

低消費電力モードの状態遷移図を図5.1に示します。

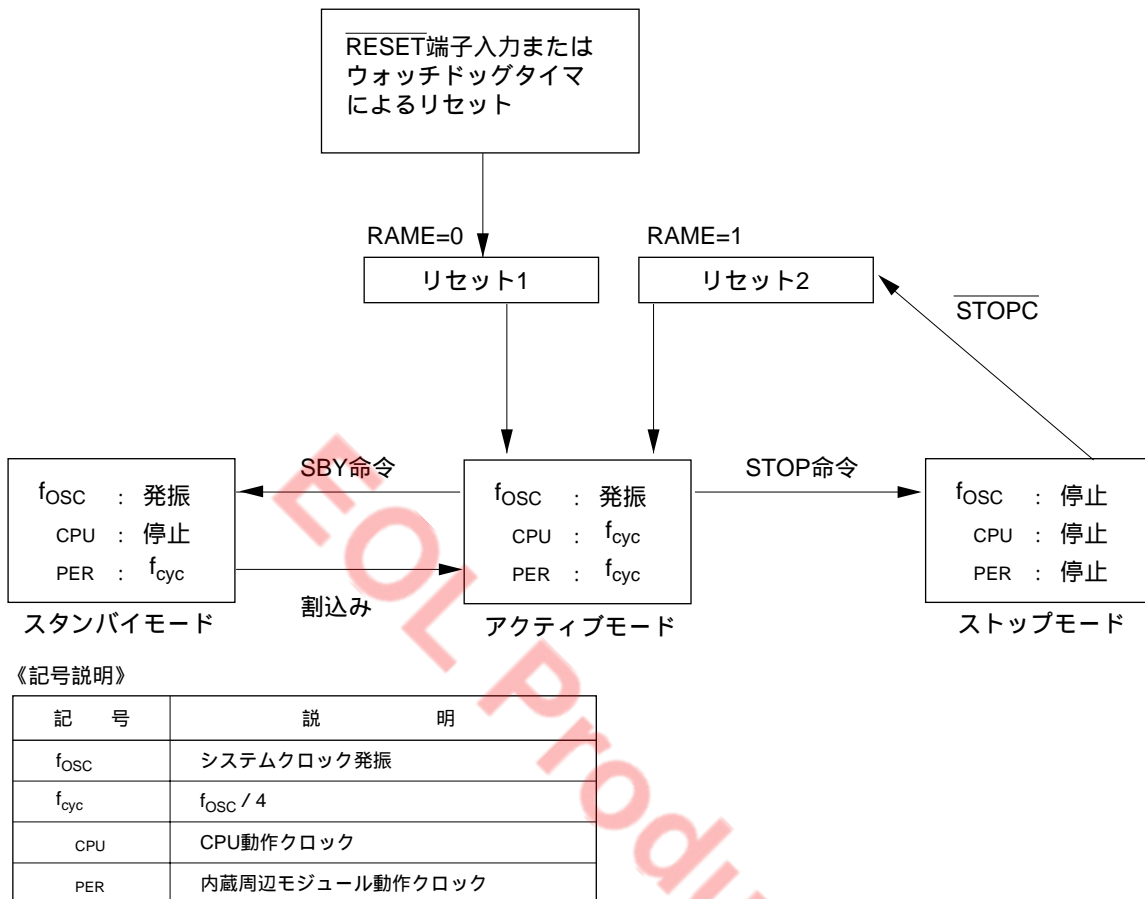


図5.1 状態遷移図

### 5.1.3 端子構成

低消費電力モードを制御する端子構成を表5.3に示します。

表5.3 端子構成

名称	記号	入出力	機能
ストップモード解除	$\overline{STOPC}$	入力	ストップモード解除

## 5. 低消費電力モード HD404344R / HD404394 / HD404318 / HD404358 / HD404358Rシリーズ

### 5.1.4 レジスタ、フラグ構成

低消費電力モードを制御するレジスタ、フラグを表5.4に示します。

表5.4 レジスタ、フラグ構成

アドレス	名 称	略 称	R / W	初期値
\$ 024	ポートモードレジスタB	PMRB	W	\$0
\$ 021, 3	RAMイネーブルフラグ	RAME	R / (W)	0

(W) : フラグクリアのための0書き込みのみ可能

【注】 RAMEはレジスタフラグエリアに割り付けられており、RAMビット操作命令のみ使用可能です。詳細は、「第2章 メモリ」を参照してください。

EOL Product

## 5.2 各レジスタ、フラグの説明

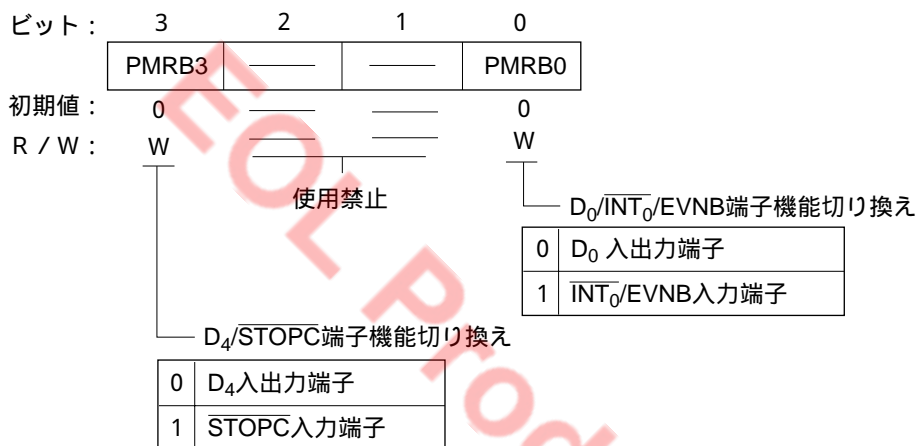
### 5.2.1 ポートモードレジスタB (PMRB : \$024)

#### HD404344R / HD404394シリーズ

PMRBは、2ビットの書き込み専用レジスタで、Dポートの端子機能切り換えを行います。

リセット、およびストップモード時に、PMRB0ビットは0にクリアされます。PMRB3ビットは、リセットによってのみ0にクリアされます。

ここでは、PMRB3ビットについて説明します。PMRB0ビットの詳細は、「第7、8章 I/Oポート」の「ポートモードレジスタB (PMRB)」の項を参照してください。



#### ビット3 : $D_4/\overline{STOPC}$ 端子機能切り換え (PMRB3)

$D_4/\overline{STOPC}$ 端子を $D_4$ 入出力端子として使用するか、ストップモード解除端子( $\overline{STOPC}$ )として使用するかを選択します。

PMRB3	説明
0	$D_4/\overline{STOPC}$ 端子は、 $D_4$ 入出力端子として機能します。(初期値)
1	$D_4/\overline{STOPC}$ 端子は、 $\overline{STOPC}$ 入力端子として機能します。



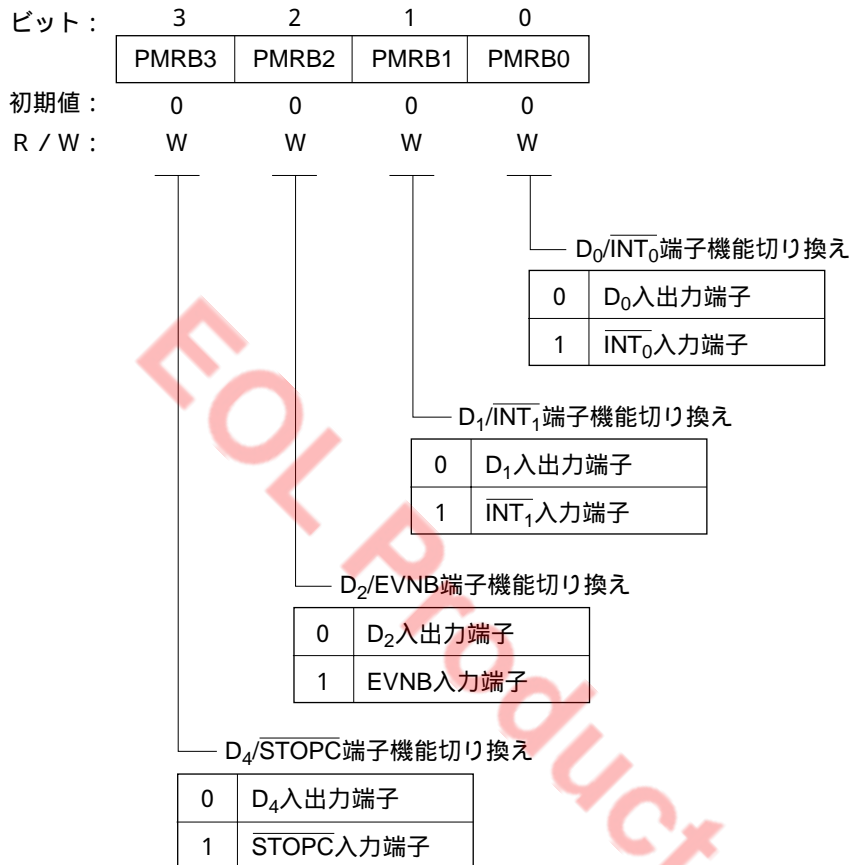
## 5. 低消費電力モード HD404318 / HD404358 / HD404358Rシリーズ

### HD404318 / HD404358 / HD404358Rシリーズ

PMRBは、4ビットの書き込み専用レジスタで、Dポートの端子機能切り換えを行います。

リセット、およびストップモード時に、PMRB2~PMRB0ビットは0にクリアされます。PMRB3ビットは、リセットによってのみ、0にクリアされます。

ここでは、PMRB3ビットについて説明します。PMRB2~PMRB0ビットの詳細は、「第9、10章 I/Oポート」の「ポートモードレジスタB (PMRB)」の項を参照してください。



#### ビット3 : D<sub>4</sub>/STOPC端子機能切り換え (PMRB3)

D<sub>4</sub>/STOPC端子をD<sub>4</sub>入出力端子として使用するか、ストップモード解除端子(STOPC)として使用するかを選択します。本ビットはリセットによってのみ、0にクリアされます。

PMRB3	説明
0	D <sub>4</sub> /STOPC端子は、D <sub>4</sub> 入出力端子として機能します。(初期値)
1	D <sub>4</sub> /STOPC端子は、STOPC入力端子として機能します。

## 5. 低消費電力モード HD404344R / HD404394 / HD404318 / HD404358 / HD404358Rシリーズ

### 5.2.2 RAMイネーブルフラグ (RAME : \$ 021,3)

RAMEは、ストップモード解除がRESET端子入力によって行われたか、STOPC端子入力によって行われたかを反映します。

ストップモード時には、RAMはストップモードに入る直前の内容を保持しています。また、RESET端子入力、STOPC端子入力のどちらによるストップモード解除でも、RAMの内容は保持されます。ただし、ストップモード解除目的以外のリセットでは、RAMの内容は保持されません。したがって、ストップモード解除後に、以前のRAMの内容を使用する場合には、STOPC端子入力によりストップモードを解除して、アクティブモード遷移後にRAMEの内容をテストしてください (RAME = 1 ならば、RAMの内容が保持されていることが保証されます)。

本フラグは、フラグクリアのための0書き込みのみ可能であり、1を書き込むことはできません。

リセットにより、本フラグは0にクリアされます。

RAME	説 明
0	下記のストップモードの解除が行われなかったことを示します。 (初期値)
1	ストップモードの解除が、STOPC端子入力により行われたことを示します。

## 5.3 スタンバイモード

### 5.3.1 スタンバイモードへの遷移方法

アクティブモードで、SBY命令を実行するとスタンバイモードへ遷移します。

スタンバイモードでは、発振器は動作し続けますが、命令実行に関係したクロックが停止します。CPUは動作を停止し、レジスタ、RAM、および出力に設定されたDポート、Rポートは、スタンバイモードに入る直前の状態を保持します。また、割込み、タイマ、シリアルインタフェースなどの内蔵周辺モジュールは、動作を継続します。

消費電力は、CPUが停止する分だけ、アクティブモードに比べて小さくなります。

### 5.3.2 スタンバイモードの解除方法

スタンバイモードの解除には、RESET端子入力による方法と割込みによる方法があります。

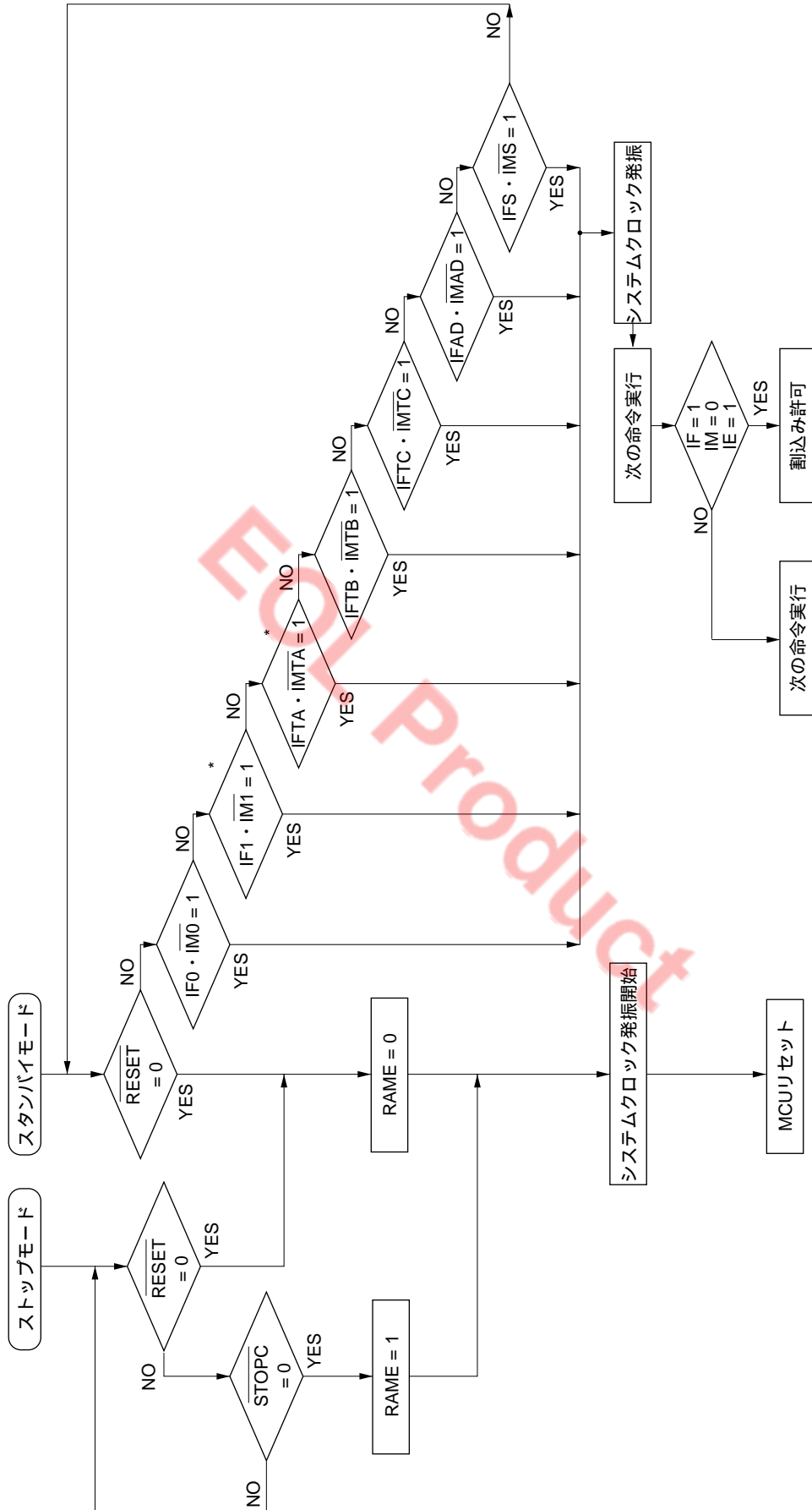
#### (1) RESET端子入力による解除

RESET端子がLowレベルになるとリセット状態となり、スタンバイモードは解除されます。

#### (2) 割込みによる解除

割込みが要求される（当該割込みの割込み要求フラグ（IF）= 1、割込みマスク（IM）= 0）とスタンバイモードは解除され、アクティブモードに遷移します。遷移後、SBY命令の次の1命令を実行した後、割込み許可フラグ（IE）が1の場合には、当該の割込み例外処理が行われます。また、IEが0の場合には、割込みは保留され直前の命令系列の実行が続けられます。

図5.2に低消費電力モード解除のフローチャートを示します。



【注】 \* HD404318 / HD404358 / HD404358Rシリーズに適用します。  
 HD404344R / HD404394シリーズは、INT<sub>1</sub>、タイマAがないため、これらの割込みは発生しません。

図5.2 低消費電力モード解除のフローチャート

## 5.4 ストップモード

### 5.4.1 ストップモードへの遷移方法

アクティブモードにおいて、STOP命令を実行すると、ストップモードに遷移します。ストップモードでは、RAMの内容を保持する以外は、CPU、内蔵周辺モジュールのすべての機能が停止します。したがって、すべての動作モードで、最も消費電力が小さくなります。

ストップモードでは、システムクロック発振器は停止します。

### 5.4.2 ストップモードの解除方法

ストップモードの解除には、 $\overline{\text{RESET}}$ 端子入力による方法と $\overline{\text{STOPC}}$ 端子入力による方法があります。

#### (1) $\overline{\text{RESET}}$ 端子入力による解除

$\overline{\text{RESET}}$ 端子がLowレベルになるとリセット状態となり、ストップモードは解除されます。リセット例外処理中に、RAMEは0にクリアされます。RAMの内容は解除後も保持されます。

#### (2) $\overline{\text{STOPC}}$ 端子入力による解除

$\overline{\text{STOPC}}$ 端子がLowレベルになるとリセット状態となり、ストップモードは解除されます。

$\overline{\text{RESET}}$ 端子入力と異なり、リセット例外処理中に、RAMEは1にセットされます。RAMの内容は、解除後も保持されます。

$\overline{\text{STOPC}}$ 端子入力によるストップモード解除では、アクティブモードに遷移後、RAMEの内容をテストすることで、ストップモード遷移前のRAMの内容が保持されていることを確認できます。

$\overline{\text{RESET}}$ 端子入力はどの動作モードでも有効ですが、 $\overline{\text{STOPC}}$ 端子入力はストップモード時のみ有効であり、他の動作モードでは無視されます。

### 5.4.3 ストップモード解除後の発振安定時間

ストップモード解除のタイミングチャートを図5.3に示します。 $\overline{\text{RESET}}$ 端子入力、および $\overline{\text{STOPC}}$ 端子入力は、発振安定時間 ( $t_{RC}$ ) 以上入力してください(「第25章 電気的特性」の「AC特性」の項参照)。

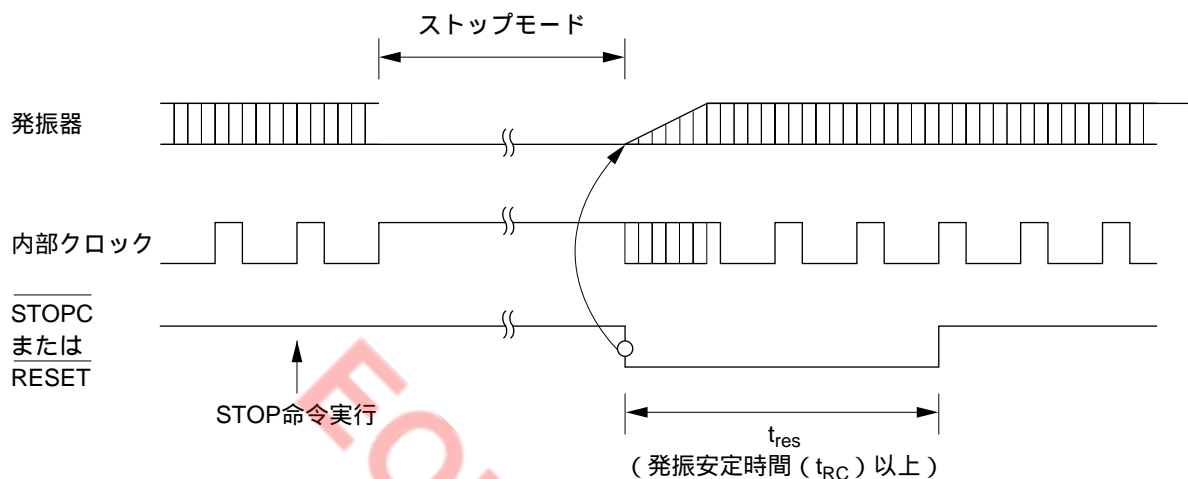
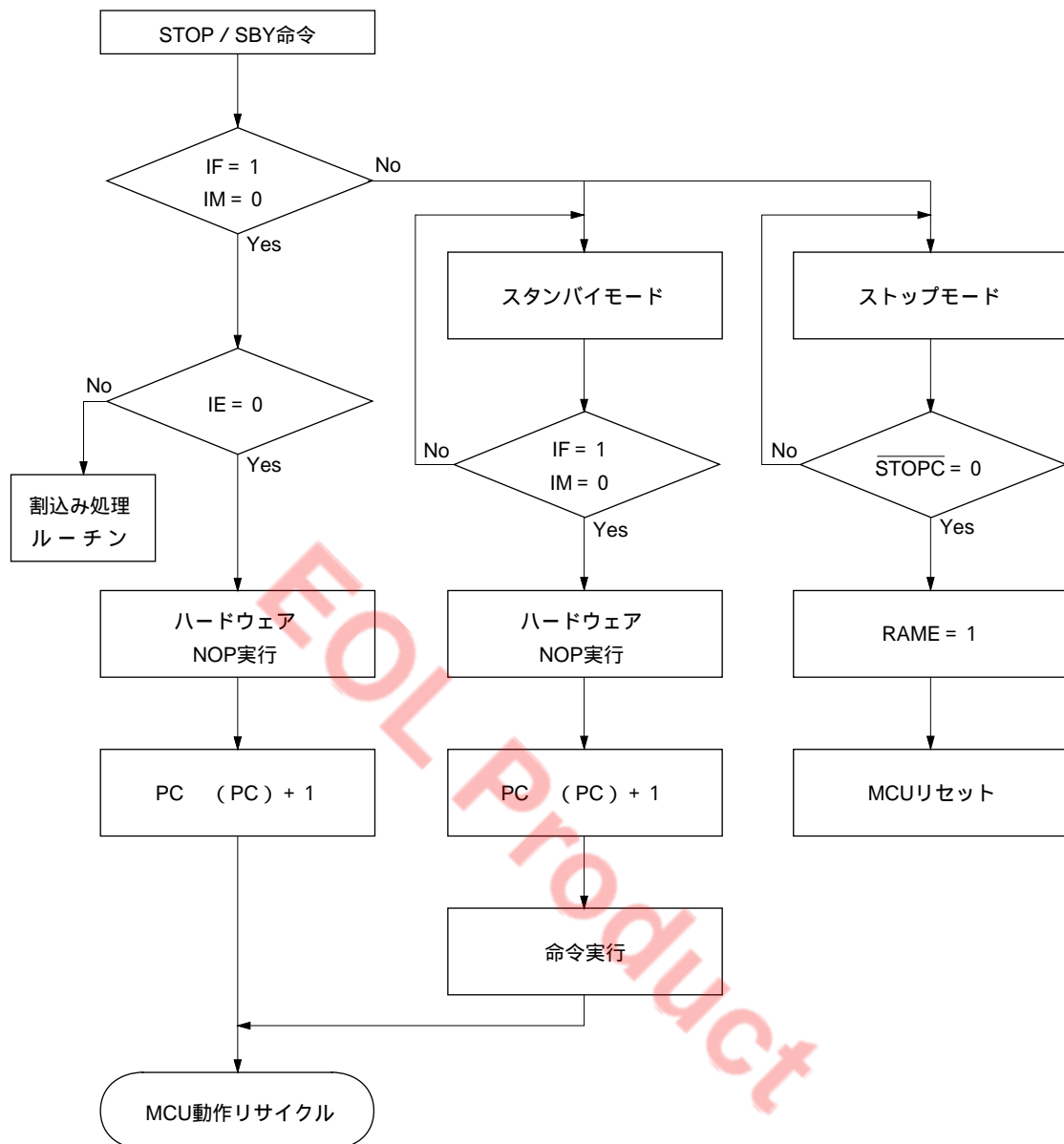


図5.3 ストップモードの解除タイミング

## 5.5 低消費電力モード動作シーケンス

図5.4に低消費電力モード動作シーケンスを示します。IEフラグがクリアされ、かつ、割込みフラグがセットされて当該割込みマスクが解除された状態で、STOP / SBY命令を実行する場合、STOP / SBY命令はキャンセルされ (NOPとみなされ) 次の命令を実行します。このためSTOP / SBY命令実行時には、あらかじめ全ての割込みフラグをクリアするか、割込みをマスクしてください。



【注】 IFおよびIMの動作については「図5.2 低消費電力モード解除のフローチャート」を参照してください。

図5.4 低消費電力モード動作シーケンス

EOL Product



---

# 6. 低消費電力モード

## (HD404339 / HD404369シリーズ)

---

---

### 第6章 目次

---

6.1	概要	113
6.1.1	特長	113
6.1.2	状態遷移図	115
6.1.3	端子構成	116
6.1.4	レジスタ、フラグ構成	116
6.2	各レジスタ、フラグの説明	117
6.2.1	ミセラニアスレジスタ (MIS)	117
6.2.2	システムクロック選択レジスタ1 (SSR1)	118
6.2.3	タイマモードレジスタA (TMA)	120
6.2.4	ポートモードレジスタB (PMRB)	121
6.2.5	ロースピードオンフラグ (LSON)	122
6.2.6	DTONフラグ (DTON)	124
6.2.7	RAMイネーブルフラグ (RAME)	124
6.3	スタンバイモード	125
6.3.1	スタンバイモードへの遷移方法	125
6.3.2	スタンバイモードの解除方法	125
	(1) RESET端子入力による解除	125
	(2) 割込みによる解除	125
6.4	ストップモード	127
6.4.1	ストップモードへの遷移方法	127
6.4.2	ストップモードの解除方法	127
	(1) RESET端子入力による解除	127
	(2) STOPC端子入力による解除	127
6.4.3	ストップモード解除後の発振安定時間	128
6.5	ウォッチモード	129
6.5.1	ウォッチモードへの遷移方法	129
6.5.2	ウォッチモードの解除方法	129
	(1) RESET端子入力による解除	129
	(2) $\overline{\text{INT}}_0$ またはタイマA割込みによる解除	129
6.5.3	ウォッチモード解除後の動作タイミング	130

## 6. 低消費電力モード HD404339 / HD404369シリーズ

---

6.6	サブアクティブモード .....	131
6.6.1	サブアクティブモードへの遷移方法 .....	131
6.6.2	サブアクティブモードの解除方法 .....	131
6.6.3	ダイレクト遷移時 (サブアクティブモードからアクティブモード) の 動作タイミング .....	132
6.7	割込みフレーム .....	133
6.8	低消費電力モード動作シーケンス .....	133
6.9	使用上の注意 .....	135

EOL Product

## 6.1 概要

### 6.1.1 特長

HD404339 / HD404369シリーズは、次の4種類の低消費電力モードをサポートしています。

- (1) スタンバイモード
- (2) ストップモード
- (3) ウォッチモード
- (4) サブアクティブモード

各モードの遷移 / 解除方法とクロックの状態を表6.1に、CPUや内蔵周辺モジュールの内部状態を表6.2に示します。

表6.1 動作モードとクロック状態

モード名	起動方法	状態		解除方法
		システムクロック 発振器	サブシステムクロック 発振器	
スタンバイモード	アクティブモードからのSBY命令			<ul style="list-style-type: none"> <li>・ RESET<math>\bar</math>端子入力</li> <li>・ 割込み要求</li> </ul>
ストップモード	TMA3 = 0の時のSTOP命令	停止	*	<ul style="list-style-type: none"> <li>・ RESET<math>\bar</math>端子入力</li> <li>・ ストップモードにおけるSTOPC端子入力</li> </ul>
ウォッチモード	TMA3 = 1の時のSTOP命令 またはサブアクティブモードからのSBY命令 ( LSON = 1 または LSON = 0 かつDTON = 0のとき )	停止		<ul style="list-style-type: none"> <li>・ RESET<math>\bar</math>端子入力</li> <li>・ タイマAまたはINT<math>\bar</math><sub>0</sub>割込み要求</li> </ul>
サブアクティブモード	LSON = 1の時のウォッチモードからのタイマAまたはINT $\bar$ <sub>0</sub> 割込み要求	停止		<ul style="list-style-type: none"> <li>・ RESET<math>\bar</math>端子入力</li> <li>・ STOP / SBY命令</li> </ul>

【注】  は発振。

\* システムクロック選択レジスタ1 ( SSR1 ) のSSR13の設定により、発振 / 停止の選択ができます。

## 6. 低消費電力モード HD404339 / HD404369シリーズ

表6.2 低消費電力モードの動作

機能 \ モード	ストップモード	ウォッチモード	スタンバイモード	サブアクティブモード
CPU	リセット	保 持	保 持	
RAM	保 持	保 持	保 持	
タイマA	リセット			
タイマB	リセット	停 止		
タイマC	リセット	停 止		
シリアル インタフェース	リセット	停 止*		
A/Dコンバータ	リセット	停 止		停 止
I/Oポート	リセット (ハイインピーダンス)	保 持	保 持	

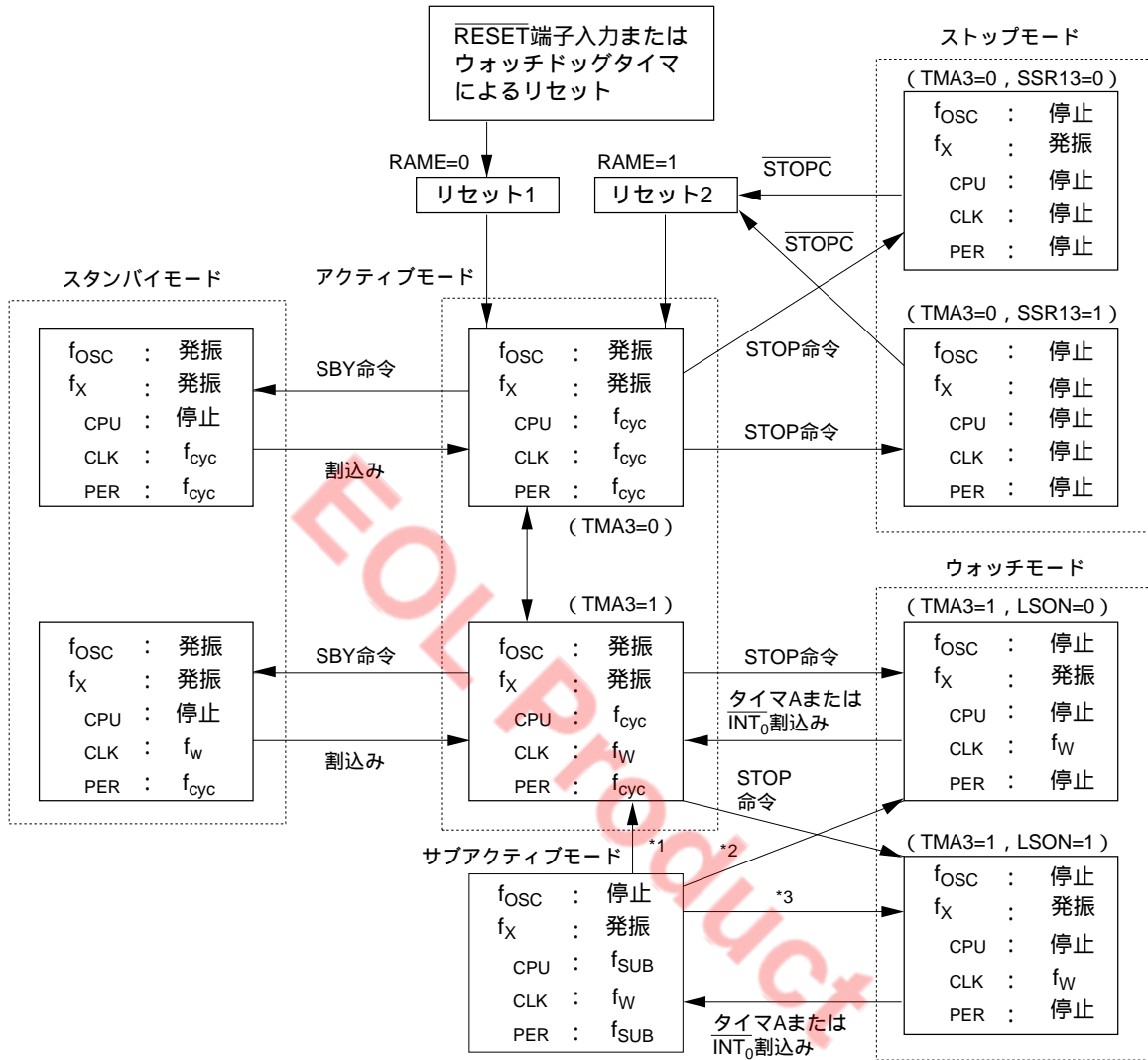
【注】  は動作

\* 外部クロックモードでクロックが入力された場合、送信または受信動作を行います。ただし、割込み動作は停止します。

EOL Product

6.1.2 状態遷移図

低消費電力モードの状態遷移図を図6.1に示します。



- 【注】 \*1 STOP / SBY 命令 (DTON=1, LSON=0)  
 \*2 STOP / SBY 命令 (DTON=0, LSON=0)  
 \*3 STOP / SBY 命令 (DTON=任意, LSON=1)

《記号説明》

記号	説明
f <sub>OSC</sub>	システムクロック発振
f <sub>X</sub>	サブシステムクロック発振
f <sub>cyc</sub>	f <sub>OSC</sub> / 4, f <sub>OSC</sub> / 8, f <sub>OSC</sub> / 16, または f <sub>OSC</sub> / 32
f <sub>w</sub>	f <sub>X</sub> / 8
f <sub>SUB</sub>	f <sub>X</sub> / 8, または f <sub>X</sub> / 4
CPU	CPU動作クロック
CLK	タイマA動作クロック
PER	内蔵周辺モジュール動作クロック (タイマAを除く)
LSON	ロースピードオンフラグ
DTON	DTONフラグ

図6.1 状態遷移図

## 6. 低消費電力モード HD404339 / HD404369シリーズ

### 6.1.3 端子構成

低消費電力モードを制御する端子構成を表6.3に示します。

表6.3 端子構成

名 称	記 号	入出力	機 能
ストップモード解除	STOPC	入 力	ストップモード解除

### 6.1.4 レジスタ、フラグ構成

低消費電力モードを制御するレジスタ、フラグ構成を表6.4に示します。

表6.4 レジスタ、フラグ構成

アドレス	名 称	略 称	R / W	初期値
\$ 00C	ミセラニアスレジスタ	MIS	W	\$0
\$ 027	システムクロック選択レジスタ1	SSR1	W	\$0
\$ 008	タイマモードレジスタA	TMA	W	\$0
\$ 024	ポートモードレジスタB	PMRB	W	\$0
\$ 020,0	ロースピードオンフラグ	LSON	R / W	0
\$ 020,3	DTONフラグ	DTON	R / W	0
\$ 021,3	RAMイネーブルフラグ	RAME	R / (W)	0

(W) : フラグクリアのための0書き込みのみ可能

【注】 レジスタフラグエリアの制御ビットは、RAMビット操作命令のみ使用可能です。詳細は、「第2章 メモリ」を参照してください。

## 6.2 各レジスタ、フラグの説明

### 6.2.1 ミセラニアスレジスタ (MIS : \$00C)

MISは、4ビットの書き込み専用レジスタで、ポートのプルアップMOSのオン/オフ、Rポート/SO端子出力バッファのPMOSのオン/オフ、およびウォッチモード、サブアクティブモード時の割込みフレーム周期とモード解除時の発振安定時間を設定します。

リセット、ストップモード時に、MISは\$0にイニシャライズされます。

ここでは、MIS1、MIS0ビットについて説明します。MIS3、MIS2ビットについては、それぞれ「第11、12章 I/Oポート」の「ミセラニアスレジスタ」の項を参照してください。

ビット:	3	2	1	0
	MIS3	MIS2	MIS1	MIS0
初期値:	0	0	0	0
R/W:	W	W	W	W

割込みフレーム周期および発振安定時間設定

MIS1	MIS0	割込みフレーム周期	発振安定時間	発振回路条件
0	0	0.24414ms	0.12207 (0.24414) ms*	外部クロック
	1	15.625ms	7.8125ms	セラミック発振子
1	0	125ms	62.5ms	水晶発振子
	1	使用禁止		—————

R<sub>02</sub>/SO端子出力バッファ制御

0	PMOSアクティブ (CMOS出力)
1	PMOSオフ (NMOSオーブンドレイン出力)

プルアップMOS制御

0	プルアップMOSはすべてオフ
1	プルアップMOSアクティブ

【注】\*( )内はダイレクト遷移時の値です。

## 6. 低消費電力モード HD404339 / HD404369シリーズ

### ビット1、0：割込みフレーム周期および発振安定時間設定 (MIS1、MIS0)

低消費電力モード（ウォッチモード、サブアクティブモード）時の割込みフレーム周期と低消費電力モード解除時の発振安定時間を設定します。MIS1、MIS0ビットによる発振安定時間の設定は、AC特性で規定されるシステムクロック発振子の発振安定時間 ( $t_{RC}$ ) 以上になるようにしてください。

MIS1	MIS0	割込みフレーム周期 (T) <sup>1</sup>	発振安定時間 ( $t_{RC}$ ) <sup>1</sup>	発振回路条件
0	0	0.24414ms	0.12207ms(0.24414ms) <sup>*2</sup>	外部クロック入力
	1	15.625ms	7.8125ms	セラミック発振子
1	0	125ms	62.5ms	水晶発振子
	1	使用禁止		—————

【注】 \*1 T、 $t_{RC}$ の値は、X1、X2端子に32.768kHzの水晶発振子を接続したときの値です。

\*2 サブアクティブモードからアクティブモードへダイレクト遷移させる場合のみ、( )内の値となります。

### 6.2.2 システムクロック選択レジスタ1 (SSR1：\$027)

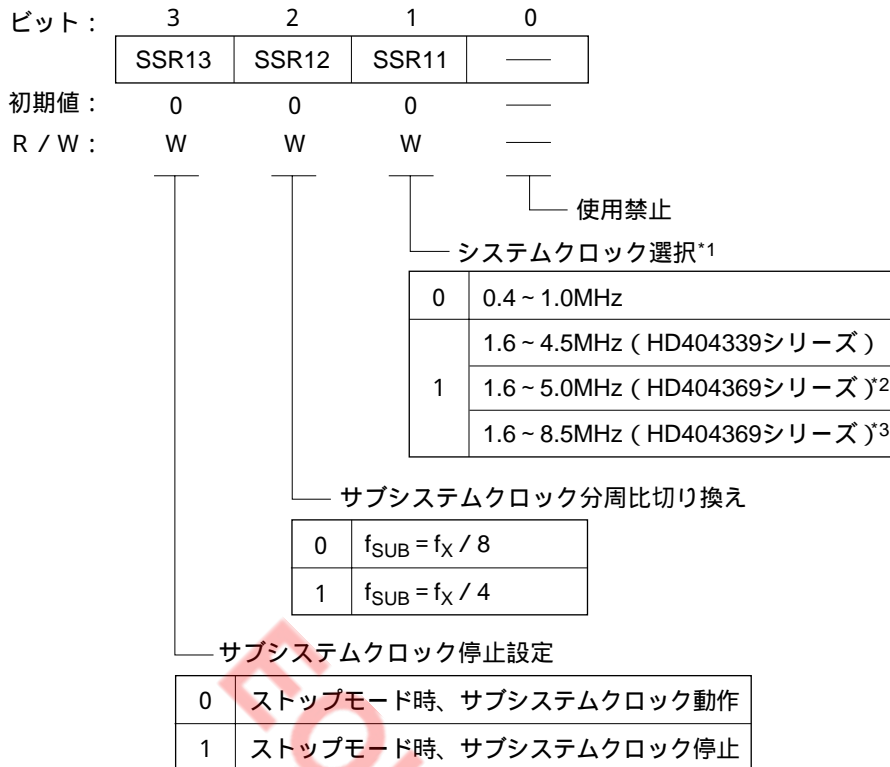
SSR1は、3ビットの書き込み専用レジスタで、使用するシステムクロック発振子周波数 ( $f_{OSC}$ ) の登録、サブシステムクロック周波数 ( $f_{SUB}$ ) の分周比の設定、およびストップモード時のサブシステムクロック発振の設定を行います。

リセット、およびストップモード時に、SSR12、SSR11ビットは0にイニシャライズされます。また、SSR13ビットはリセットによってのみ、0にイニシャライズされます。

ここでは、SSR13、SSR12ビットについて説明します。SSR11ビットについては、「14.2.1 システムクロック選択レジスタ1 (SSR1)」を参照してください。



## 6. 低消費電力モード HD404339 / HD404369シリーズ



【注】\*1 サブシステムクロック (32.768kHz水晶発振) を使用する場合には、0.4MHz  $f_{OSC}$  1.0MHz および1.6MHz  $f_{OSC}$  4.5MHz (8.5MHz : HD404369シリーズ) の範囲で使用してください。

\*2 HD404364, HD404368, HD4043612, HD404369に適用します。

\*3 HD40A4364, HD40A4368, HD40A43612, HD40A4369, HD407A4369に適用します。

### ビット3 : サブシステムクロック停止設定 (SSR13)

ストップモード時に、サブシステムクロック (32.768kHz 発振器) を動作させるか停止させるかを選択します。

SSR13	説 明
0	ストップモード時、サブシステムクロックは動作 (初期値)
1	ストップモード時、サブシステムクロックは停止

### ビット2 : サブシステムクロック分周比切り換え (SSR12)

サブアクティブモード時にCPUおよび内蔵周辺モジュールに供給されるサブシステムクロックの分周比を設定します。ただし、プリスケラW (PSW) に供給されるサブシステムクロックの分周比は、 $f_W = f_X / 8$  に固定されています。

SSR12	説 明
0	$f_{SUB}$ は、サブシステムクロック発振子周波数 $f_X$ の1/8 ( $f_{SUB} = f_X / 8$ ) CPUの1インストラクションサイクルは、244.14 $\mu s$ ( $f_X = 32.768kHz$ 時) (初期値)
1	$f_{SUB}$ は、サブシステムクロック発振子周波数 $f_X$ の1/4 ( $f_{SUB} = f_X / 4$ ) CPUの1インストラクションサイクルは、122.07 $\mu s$ ( $f_X = 32.768kHz$ 時)

## 6. 低消費電力モード HD404339 / HD404369シリーズ

### 6.2.3 タイマモードレジスタA (TMA : \$ 008)

TMAは、4ビットの書き込み専用レジスタで、タイマカウンタA (TCA) の動作クロックの設定、タイマAタイムベースモード時のプリスケアラ (PSW) TCAのクリア指定を行います。

リセット、およびストップモード時に、TMAは\$0にイニシャライズされます。

ここでは、TMA3ビットについて説明します。TMA2~TMA0ビットについては、「17.2.1 タイマモードレジスタA (TMA)」を参照してください。

ビット :	3	2	1	0
	TMA3	TMA2	TMA1	TMA0
初期値 :	0	0	0	0
R / W :	W	W	W	W

タイマクロック選択

TMA3	TMA2	TMA1	TMA0	プリスケアラ	入力クロック周期	モード
0	0	0	0	PSS	2048 $t_{cyc}$	フリーランニングタイマ
			1	PSS	1024 $t_{cyc}$	
		1	0	PSS	512 $t_{cyc}$	
			1	PSS	128 $t_{cyc}$	
	1	0	0	PSS	32 $t_{cyc}$	
			1	PSS	8 $t_{cyc}$	
		1	0	PSS	4 $t_{cyc}$	
			1	PSS	2 $t_{cyc}$	
1	0	0	0	PSW	32 $t_{wcy}$	時計用タイムベースモード
			1	PSW	16 $t_{wcy}$	
		1	0	PSW	8 $t_{wcy}$	
			1	PSW	2 $t_{wcy}$	
	1	0	0	PSW	1/2 $t_{wcy}$	
			1	---	使用禁止	
		1	0	---	PSW、TCAクリア	
			*	---	PSW、TCAクリア	

\* : Don't care

#### ビット3 : プリスケアラ選択 (TMA3)

TCAのクロックソースを設定します。PSWをクロックソースとした場合、タイマAはタイムベースモードとなり、ウォッチモード、サブアクティブモード時の割込みフレームのタイミングを生成します。

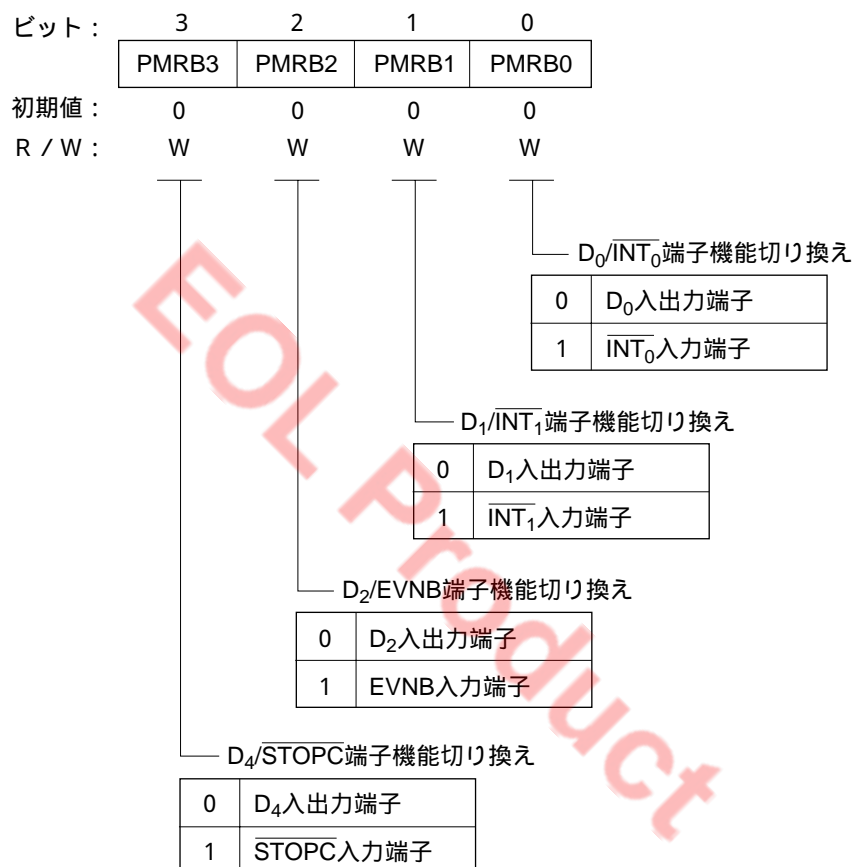
TMA3	説明
0	TCAのクロックソースは、PSS。タイマAは、フリーランニングタイマ動作。(初期値)
1	TCAのクロックソースは、PSW。タイマAは、時計用タイムベース動作 (「17.3.2 時計用タイムベース動作」を参照)。

## 6.2.4 ポートモードレジスタB (PMRB : \$024)

PMRBは、4ビットの書き込み専用レジスタで、Dポートの端子機能切り換えを行います。

リセット、およびストップモード時に、PMRB2~PMRB0ビットは、0にクリアされます。PMRB3ビットは、リセットによってのみ、0にクリアされます。

ここでは、PMRB3ビットについて説明します。PMRB2~PMRB0ビットの詳細は、「第11、12章 I/Oポート」の「ポートモードレジスタB (PMRB)」の項を参照してください。

ビット3 : D<sub>4</sub>/STOPC端子機能切り換え (PMRB3)

D<sub>4</sub>/STOPC端子をD<sub>4</sub>入出力端子として使用するか、ストップモード解除端子 (STOPC) として使用するかを選択します。

PMRB3	説明
0	D <sub>4</sub> /STOPC端子は、D <sub>4</sub> 入出力端子として機能します。 (初期値)
1	D <sub>4</sub> /STOPC端子は、STOPC入力端子として機能します。

## 6. 低消費電力モード HD404339 / HD404369シリーズ

### 6.2.5 ロースピードオンフラグ (LSON : \$ 020,0)

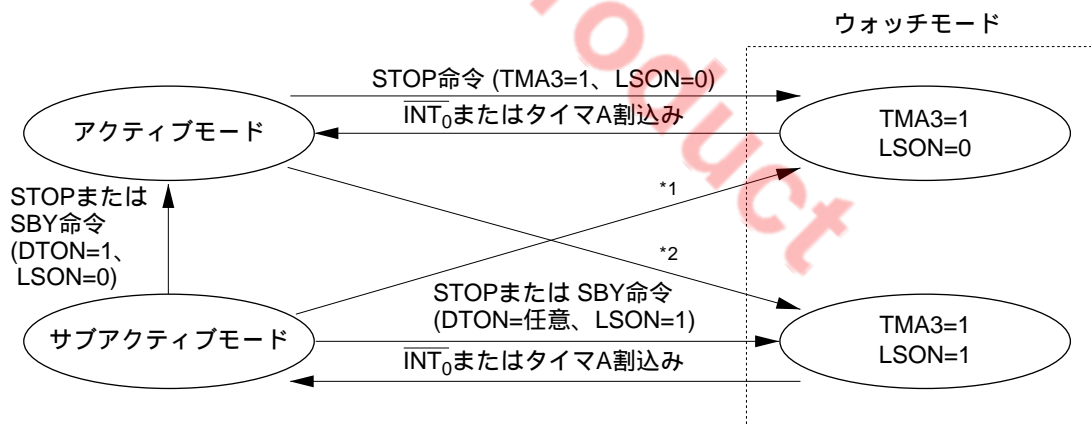
LSONは、動作モード遷移に伴い、CPUおよびタイマA以外の内蔵周辺モジュールの動作クロックをシステムクロック ( $_{CPU} = _{PER} = f_{cyc}$ ) とするか、サブシステムクロック ( $_{CPU} = _{PER} = f_{SUB}$ ) とするかを選択します。

本ビットは、ウォッチモード、サブアクティブモードの遷移 / 解除に使用され、DTONフラグ (DTON)、TMAのTMA3ビット、STOP命令、SBY命令、およびタイマA時計用タイムベース動作時のINT<sub>0</sub>割込み、タイマA割込みとの組み合わせで機能します。動作モード遷移を起動する命令の実行、割込み発生時以外は、本ビットの設定は動作に影響しません。

リセット、およびストップモード時に、本フラグは0にクリアされます。

LSON	説明
0	タイマA以外の内蔵周辺モジュール、およびCPUの動作クロックをシステムクロックとします。 (初期値)
1	タイマA以外の内蔵周辺モジュール、およびCPUの動作クロックをサブシステムクロックとします。

図6.2にLSON、DTONが関係する動作モード遷移を示します。

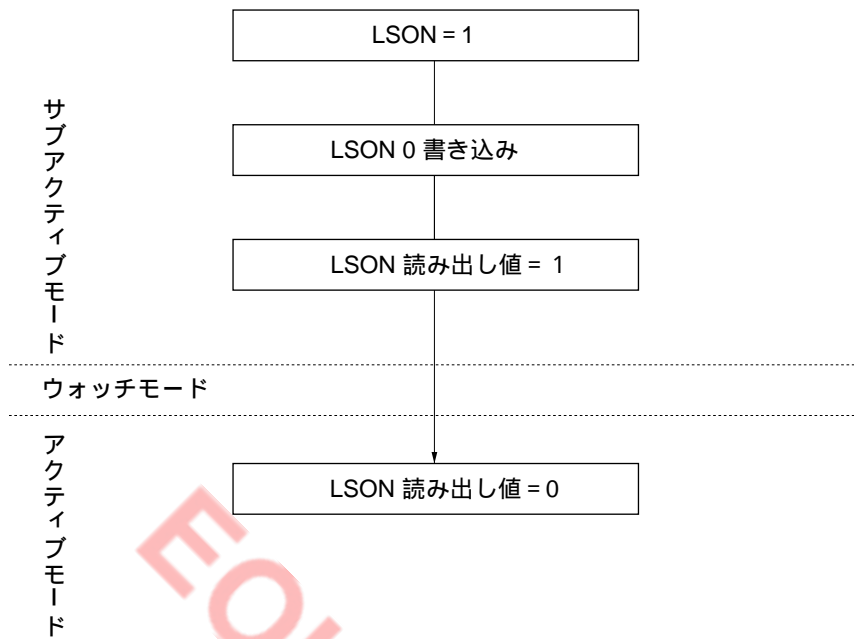


- 【注】\*1 STOPまたはSBY命令 (DTON=0、LSON=0)  
\*2 STOP命令 (TMA3=1、LSON=1)

図6.2 LSON、DTONとモード遷移

## 6. 低消費電力モード HD404339 / HD404369シリーズ

LSONは、書き込みと同時に有効となりますが、読み出し値が有効となるのは、状態遷移後です。一例を下記に示します。



EOL Product

## 6. 低消費電力モード HD404339 / HD404369シリーズ

### 6.2.6 DTONフラグ (DTON : \$ 020,3)

DTONは、サブアクティブモードからアクティブモードへのダイレクト遷移を制御します。  
本フラグは、サブアクティブモードにおいてのみ1にセットできます。  
リセット、ストップモード時およびアクティブモード時に、本フラグは0にクリアされます。

DTON	説 明
0	サブアクティブモード時、STOPまたはSBY命令を実行すると、ウォッチモードに遷移します。 (初期値)
1	サブアクティブモード時、LSON = 0の状態ではSTOPまたはSBY命令を実行すると、アクティブモードにダイレクト遷移 (LSON = 1のときは、ウォッチモードに遷移) します。

### 6.2.7 RAMイネーブルフラグ (RAME : \$ 021,3)

RAMEは、ストップモード解除がRESET端子入力によって行われたか、STOPC端子入力によって行われたかを反映します。

ストップモード時には、RAMはストップモードに入る直前の内容を保持しています。またRESET端子入力、STOPC端子入力のどちらによるストップモード解除でも、RAMの内容は保持されます。ただし、ストップモード解除目的以外のリセットでは、RAMの内容は保証されません。

したがって、ストップモード解除後に、以前のRAMの内容を使用する場合には、STOPC端子入力によりストップモードを解除して、アクティブモード遷移後にRAMEの内容をテストしてください。RAME = 1ならば、ストップモードの解除がSTOPC端子入力により行われたことがわかるため、RAMの内容を使用できます。

本フラグは、フラグクリアのための0書き込みのみ可能であり、1を書き込むことはできません。  
リセットにより、本フラグは0にクリアされます。

RAME	説 明
0	下記のストップモードの解除が行われなかったことを示します。 (初期値)
1	ストップモードの解除が、STOPC端子入力により行われたことを示します。

## 6.3 スタンバイモード

### 6.3.1 スタンバイモードへの遷移方法

アクティブモードで、SBY命令を実行するとスタンバイモードへ遷移します。

スタンバイモードでは、発振器は動作し続けますが、命令実行に関係したクロックが停止します。CPUは動作を停止し、レジスタ、RAM、および出力に設定されたDポート、Rポートは、スタンバイモードに入る直前の状態を保持します。また、割込み、タイマ、シリアルインタフェースなどの内蔵周辺モジュールは、動作を継続します。

消費電力は、CPUが停止する分だけ、アクティブモードに比べて小さくなります。

### 6.3.2 スタンバイモードの解除方法

スタンバイモードの解除には、RESET端子入力による方法と割込みによる方法があります。

#### (1) RESET端子入力による解除

RESET端子がLowレベルになるとリセット状態となり、スタンバイモードは解除されます。

#### (2) 割込みによる解除

割込みが要求される（当該割込みの割込み要求フラグ（IF）= 1、割込みマスク（IM）= 0）とスタンバイモードは解除され、アクティブモードに遷移します。遷移後、SBY命令の次の1命令を実行した後、割込み許可フラグ（IE）が1の場合には、当該割込み例外処理が行われます。また、IEが0の場合には、割込みは保留され、直前の命令系列の実行が続けられます。

図6.3に低消費電力モード解除のフローチャートを示します。

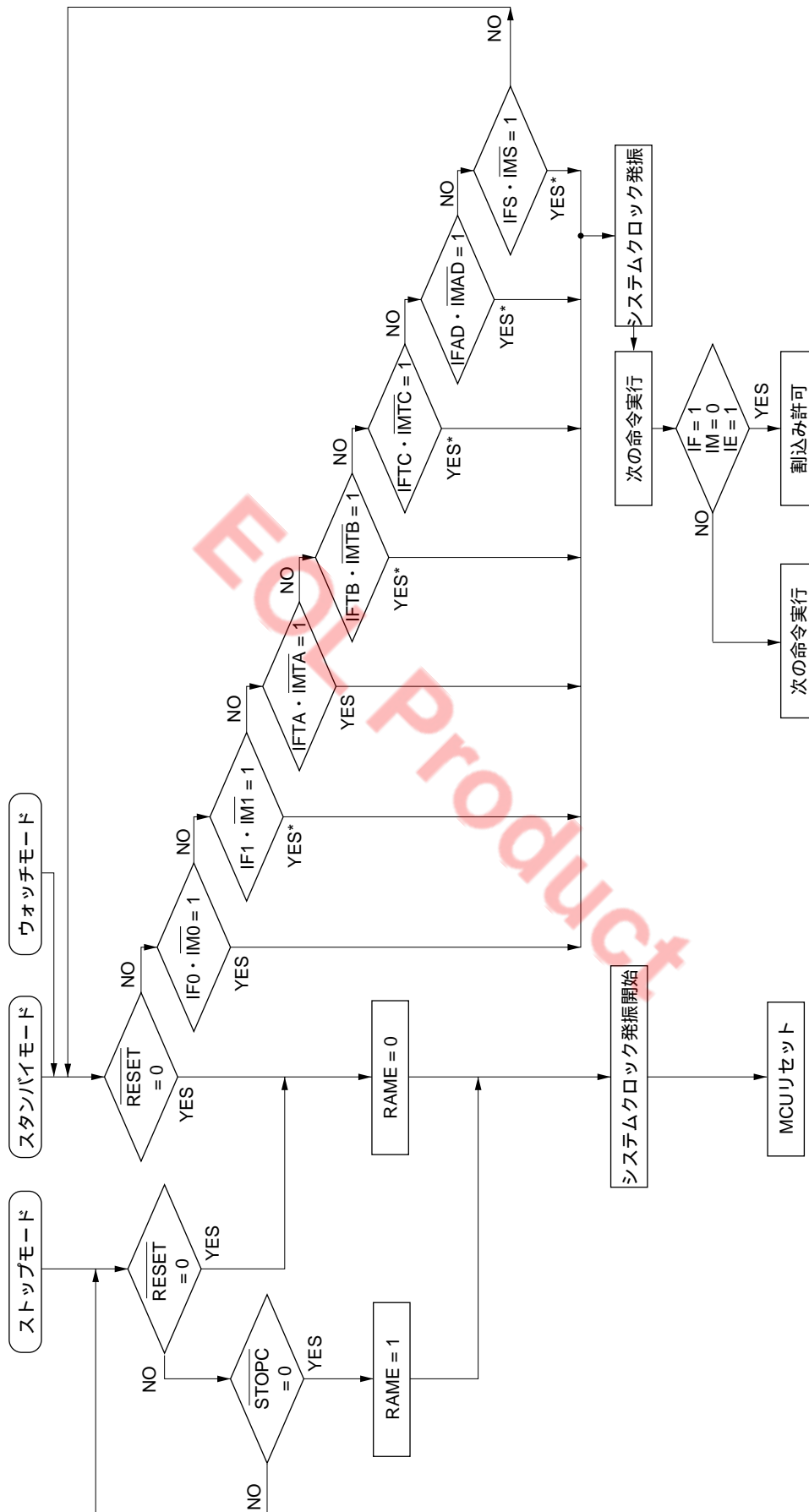


図6.3 低消費電力モード解除のフローチャート

【注】\* スタンバイモードからの解除時のみ



## 6.4 ストップモード

### 6.4.1 ストップモードへの遷移方法

アクティブモードにおいて、TMAのTMA3ビット = 0 にクリアした状態でSTOP命令を実行すると、ストップモードに遷移します。ストップモードでは、RAMの内容を保持する以外は、CPU、内蔵周辺モジュールのすべての機能が停止します。したがって、すべての動作モードで最も消費電力が小さくなります。

ストップモードでは、システムクロックは停止します。また、サブシステムクロックは、SSR1のSSR13ビットにより、動作 / 停止を選択できます。

### 6.4.2 ストップモードの解除方法

ストップモードの解除には、 $\overline{\text{RESET}}$ 端子入力による方法と $\overline{\text{STOPC}}$ 端子入力による方法があります。

#### (1) $\overline{\text{RESET}}$ 端子入力による解除

$\overline{\text{RESET}}$ 端子がLowレベルになるとリセット状態となり、ストップモードは解除されます。リセット例外処理中にRAMEは0にクリアされます。RAMの内容は解除後も保持されます。

#### (2) $\overline{\text{STOPC}}$ 端子入力による解除

$\overline{\text{STOPC}}$ 端子がLowレベルになるとリセット状態となり、ストップモードは解除されます。 $\overline{\text{RESET}}$ 端子入力とは異なり、リセット例外処理中にRAMEは1にセットされます。RAMの内容は、解除後も保持されます。

$\overline{\text{STOPC}}$ 端子入力によるストップモード解除では、アクティブモードに遷移後、RAMEの内容をテストすることで、ストップモード遷移前のRAMの内容が保持されていることを確認できます。

$\overline{\text{RESET}}$ 端子入力はどの動作モードでも有効ですが、 $\overline{\text{STOPC}}$ 端子入力はストップモード時のみ有効であり、他の動作モードでは無視されます。

## 6. 低消費電力モード HD404339 / HD404369シリーズ

### 6.4.3 ストップモード解除後の発振安定時間

ストップモード解除のタイミングチャートを図6.4に示します。RESET端子入力およびSTOPC端子入力は、発振安定時間 ( $t_{RC}$ ) 以上入力してください(「第25章 電気的特性」の「AC特性」参照)。

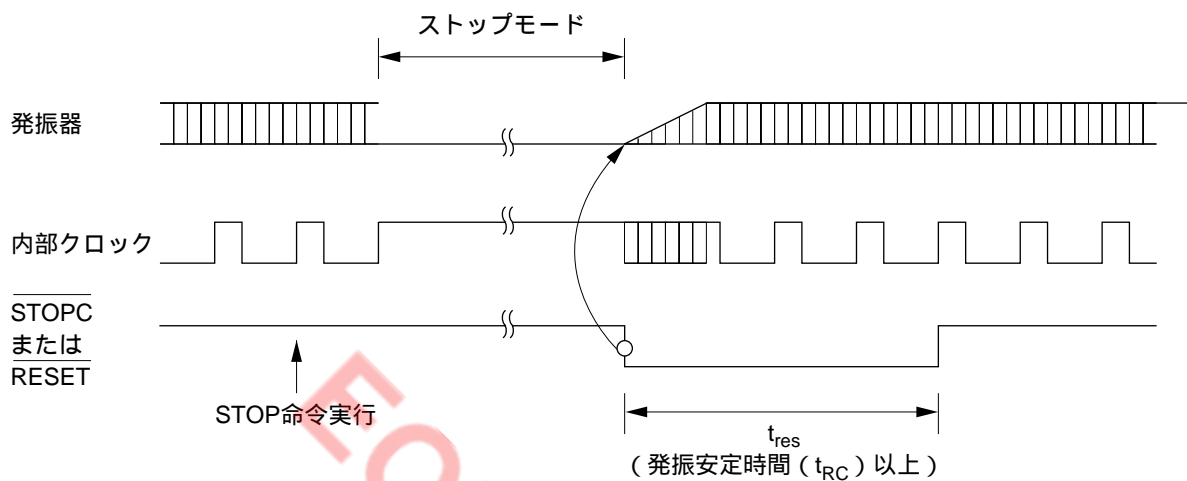


図6.4 ストップモードの解除タイミング

## 6.5 ウォッチモード

### 6.5.1 ウォッチモードへの遷移方法

アクティブモードにおいて、TMAのTMA3ビット = 1 にセットした状態でSTOP命令を実行すると、ウォッチモードに遷移します。また、サブアクティブモードにおいて、LSONを1にセットした状態（または、DTONを0にクリアした状態）で、STOPまたはSBY命令を実行すると、ウォッチモードに遷移します。

ウォッチモード時には、システムクロックは停止しますが、サブシステムクロックは動作します。

ウォッチモードでは、サブシステムクロック動作のタイマA（時計用タイムベース動作）は動作しますが、その他の内蔵周辺モジュールは停止します。RAMおよび出力設定されたDポート、Rポートは、ウォッチモードに入る直前の状態を保持します。ウォッチモードでは、ストップモードの次に消費電力が小さくなり、時計動作のみを行うときに便利なモードです。

### 6.5.2 ウォッチモードの解除方法

ウォッチモードの解除には、 $\overline{\text{RESET}}$ 端子入力による方法と $\overline{\text{INT}}_0$ またはタイマA割込みによる方法があります。

#### (1) $\overline{\text{RESET}}$ 端子入力による解除

$\overline{\text{RESET}}$ 端子がLowレベルになると、リセット状態となり、ウォッチモードは解除されます。

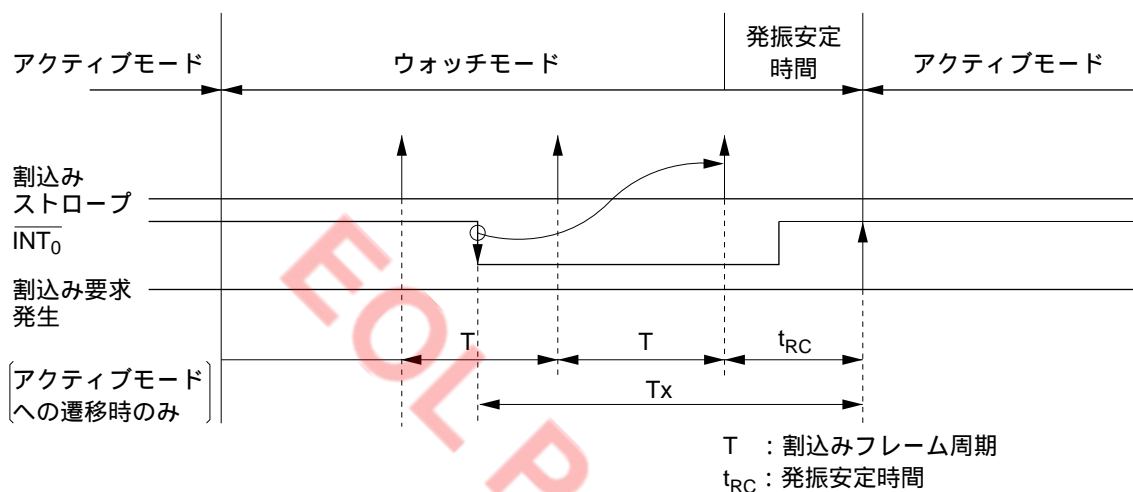
#### (2) $\overline{\text{INT}}_0$ またはタイマA割込みによる解除

$\overline{\text{INT}}_0$ またはタイマA割込みが要求されると（当該割込みのIF = 1 かつIM = 0）、ウォッチモードは解除されます。このとき、LSONが0ならばアクティブモードに遷移し、LSONが1ならばサブアクティブモードに遷移します。

遷移後、STOPまたはSBY命令の次の1命令を実行した後、IEが1の場合には、当該の割込み例外処理が行われます。また、IEが0の場合には、割込みは保留され、直前の命令系列の実行が続けられます（図6.3参照）。

6.5.3 ウォッチモード解除後の動作タイミング

INT<sub>0</sub>またはタイマA割込みにより、ウォッチモードが解除され、アクティブモードに遷移するときの動作タイミングを図6.5に示します。INT<sub>0</sub>またはタイマA割込みは、MISのMIS1、MIS0ビットにより設定されたTに同期して検出されます。続いて、タイマA割込みは、割込みストローブに対してMIS1、MIS0ビットにより設定されたt<sub>RC</sub>を経過した後、割込み例外処理が開始されます。INT<sub>0</sub>割込みは、割込みストローブに対してT + t<sub>RC</sub>を経過した後、割込み例外処理が開始されます。



【注】 INT<sub>0</sub>信号の立ち下がりから割込みが受け付けられ、アクティブモードへ遷移するまでの時間をTxとすると、Txは次の範囲となります。

$$T+t_{RC} \leq Tx \leq 2T+t_{RC}$$

図6.5 ウォッチモードからアクティブモードへの遷移の動作タイミング

## 6.6 サブアクティブモード

### 6.6.1 サブアクティブモードへの遷移方法

ウォッチモードにおいて、LSONを1にセットした状態で、タイマAまたはINT<sub>0</sub>割込みが発生すると、サブアクティブモードに遷移します

サブアクティブモードでは、システムクロックは停止し、サブシステムクロックでシステムが動作します。

A/Dコンバータ以外の内蔵周辺モジュールおよびCPUが動作しますが、動作クロックが遅いため、消費電力はウォッチモードの次に小さくなります。

CPUの命令処理速度は、SSR1のSSR12ビットの設定により、 $244.14 \mu\text{s}$  ( $f_{\text{SUB}} = f_X/8$ ) または  $122.07 \mu\text{s}$  ( $f_{\text{SUB}} = f_X/4$ ) の2通りの選択ができます。ただし、SSR12ビットの設定は、アクティブモード時に行ってください。サブアクティブモードで、SSR12ビットを変更すると誤動作する場合があります。

### 6.6.2 サブアクティブモードの解除方法

サブアクティブモードを解除するには、STOPまたはSBY命令を実行します。このとき、LSONとDTONの値によって、図6.2に示すように、アクティブモードまたはウォッチモードに遷移します。

## 6. 低消費電力モード HD404339 / HD404369シリーズ

### 6.6.3 ダイレクト遷移時(サブアクティブモードからアクティブモード)の動作タイミング

DTONとLSONを制御することにより、サブアクティブモードからアクティブモードにダイレクト遷移することができます。以下にその手順を示します。

サブアクティブモードにおいて、LSON=0、かつDTON=1\* に設定します。

STOP命令またはSBY命令を実行します。

上記の手順により、図6.6に示すように内部処理時間、およびMISのMIS1、MI0ビットにより設定された $t_{RC}$ を確保した後、サブアクティブモードからアクティブモードにダイレクト遷移します。

【注】\* DTONは、サブアクティブモードでのみ1にセットできます。リセット、ストップモード、アクティブモードでは、本フラグは常に0にクリアされます。

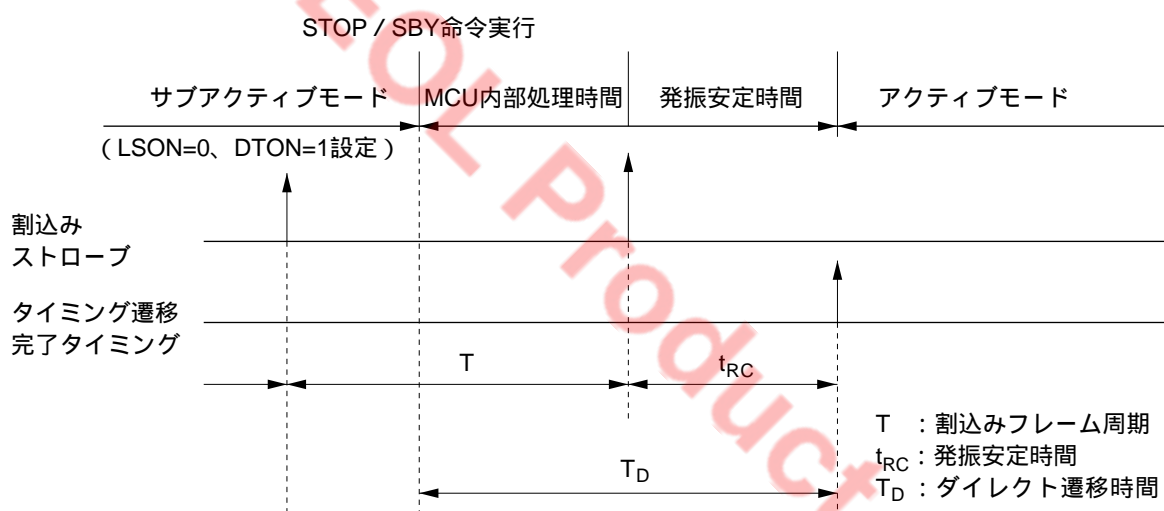


図6.6 ダイレクト遷移タイミング

図6.6に示したように、サブアクティブモードからアクティブモードへの $T_D$ は、 $t_{RC} < T_D < T + t_{RC}$ となります。

## 6.7 割込みフレーム

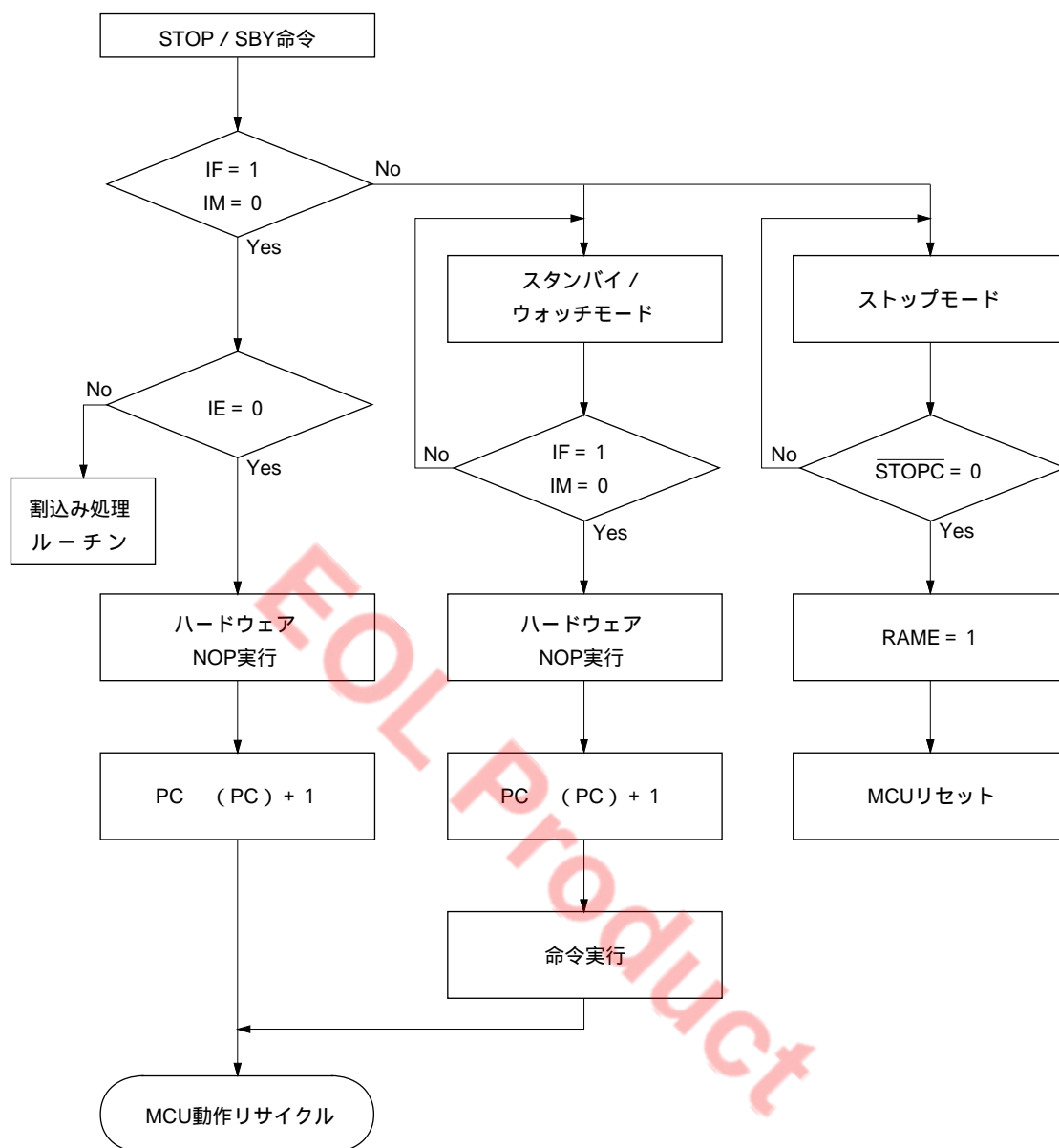
ウォッチモード、サブアクティブモードでは、サブシステムクロック発振を8分周したクロック ( $f_x/8$ ) が、タイマAおよび $\overline{\text{INT}}_0$ 割込み受け付け回路に供給されます。PSWおよびタイマAは時計用タイムベースとして動作し、割込みフレーム (T) のタイミングを生成します。Tは、MISのMIS1、MIS0ビットの設定により3通りの選択が可能です。

ウォッチモード、サブアクティブモードでは、 $\overline{\text{INT}}_0$ またはタイマA割込みは、割込みフレームに同期したタイミングで発生します。割込み例外処理は、アクティブモードへの遷移時以外、割込みストロープのタイミングで開始されます (図6.5、図6.6参照)。

$\overline{\text{INT}}_0$ 端子入力の立ち下がりエッジは、割込みフレームに関係なく入力されますが、2つ後の割込みストロープと同時に入力されたものとして扱われます。

## 6.8 低消費電力モード動作シーケンス

図6.7に低消費電力モード動作シーケンスを示します。IEフラグがクリアされ、かつ、割込みフラグがセットされて当該割込みマスクが解除された状態で、STOP / SBY命令を実行する場合、STOP / SBY命令はキャンセルされ (NOPとみなされ) 次の命令を実行します。このためSTOP / SBY命令実行時には、あらかじめ全ての割込みフラグをクリアするか、割込みをマスクしてください。



【注】 IFおよびIMの動作については「図6.3 低消費電力モード解除のフローチャート」を参照してください。

図6.7 低消費電力モード動作シーケンス



## 6.9 使用上の注意

ウォッチモード、サブアクティブモードにおいて、 $\overline{\text{INT}}_0$ のHighレベルおよびLowレベル期間が、割込みフレーム周期より小さいと割込みが正常検出されません。

MCUのエッジセンス方法を図6.8に示します。MCUは、 $\overline{\text{INT}}_0$ の信号を一定周期でサンプリングし、このサンプリングの値がHとLと続いた場合に立ち下がりエッジが発生したと判断します。

割込み検出エラーは、このサンプリングを割込みフレーム周期で行っているため発生します。

図6.9(a)のように、 $\overline{\text{INT}}_0$ 信号のHighレベル期間が割込みフレームの間に入ってしまうと、A点=L、B点=Lとなり、立ち下がりエッジと判断されません。また、図6.9(b)のように $\overline{\text{INT}}_0$ 信号のLowレベル期間が割込みフレームの間に入ってしまうと、A点=H、B点=Hとなり、立ち下がりエッジと判断されません。

このため、ウォッチモード、サブアクティブモードにおいて、 $\overline{\text{INT}}_0$ 信号のHighレベル期間、Lowレベル期間を割込みフレーム周期以上保つようにしてください。

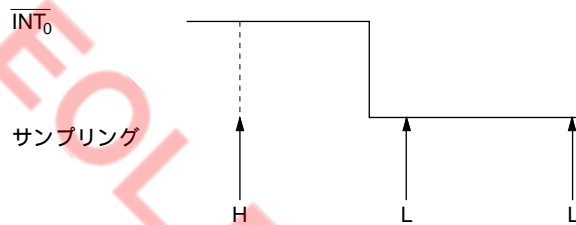
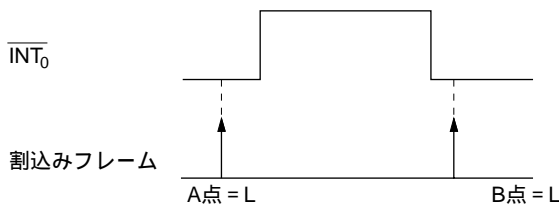


図6.8 エッジセンス方法

(a) Highレベルの場合



(b) Lowレベルの場合

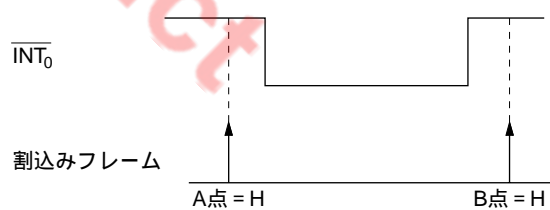


図6.9 サンプリング例

EOL Product

---

# 7. I/Oポート

## (HD404344Rシリーズ)

---

---

### 第7章 目次

---

7.1	概要	139
7.1.1	特長	139
7.1.2	入出力制御	141
	(1) 入出力端子の回路構成	141
	(2) プルアップMOS制御	142
	(3) ミセラニアスレジスタ (MIS)	143
7.1.3	入出力端子の回路構成	144
7.1.4	低消費電力モード時のポートの状態	147
7.1.5	未使用端子の処理	147
7.2	Dポート	148
7.2.1	概要	148
7.2.2	レジスタの構成と説明	148
	(1) ポートデータレジスタ (PDR)	149
	(2) データコントロールレジスタ (DCD0、DCD1)	149
	(3) ポートモードレジスタB (PMRB)	150
7.2.3	端子機能	151
7.3	Rポート	152
7.3.1	概要	152
7.3.2	レジスタの構成と説明	153
	(1) ポートデータレジスタ (PDR)	153
	(2) データコントロールレジスタ (DCR0 ~ DCR3)	154
	(3) ポートモードレジスタA (PMRA)	155
	(4) シリアルモードレジスタ (SMR)	157
	(5) A/Dモードレジスタ1 (AMR1)	158
7.3.3	端子機能	160
7.4	使用上の注意	163

EOL Product

## 7.1 概要

### 7.1.1 特長

HD404344RシリーズのI/Oポートの特長を以下に示します。

D<sub>0</sub> ~ D<sub>5</sub>の6本、R0 ~ R3ポートの計22本の入出力端子のすべてがCMOS 3ステート入出力端子です。このうち、D<sub>1</sub>、D<sub>2</sub>、R1<sub>0</sub> ~ R1<sub>3</sub>、R2<sub>0</sub> ~ R2<sub>3</sub>の10本の端子は大電流端子で最大15mAの電流を流し込むことができます。

入出力端子には、タイマやシリアルインタフェースなどの内蔵周辺モジュール用端子と兼用となっている端子（D<sub>0</sub>、D<sub>4</sub>、R0、R3ポートの各端子）があります。これらの端子は、DポートまたはRポートとしての入出力設定よりも、内蔵周辺モジュール用端子としての設定が優先するようになっています。

入出力端子の入力/出力の選択、および内蔵周辺モジュール用端子と兼用となっている端子のポート/内蔵周辺モジュール用端子の選択は、レジスタの設定により行います。

周辺モジュール用出力端子はすべてCMOS出力となります。ただし、R0<sub>2</sub>/SO端子はレジスタ設定によりNMOSオープンドレイン出力にすることができます。

ストップモード時には、MCU内部がリセット状態となるため、内蔵周辺モジュール選択は解除されません。また、入力/出力端子はハイインピーダンス状態になります。

CMOS出力端子はプログラマブルプルアップMOSを内蔵しており、レジスタ設定により端子ごとにオン/オフを制御できます。なお、プルアップMOSのオン/オフ設定は、内蔵周辺モジュール用端子としての設定とは独立に行うことができます。

各ポートの機能一覧を表7.1に示します。

## 7. I/Oポート HD404344Rシリーズ

表7.1 ポートの機能

ポート	概要	端子	兼用機能	機能切り換え用レジスタ
D <sub>0</sub> ~ D <sub>5</sub>	<ul style="list-style-type: none"> <li>入出力ポート</li> <li>ビット単位でアクセス</li> <li>SED、SEDD、RED、REDD、TD、TDD命令によりアクセス</li> <li>プログラマブルプルアップMOS付き</li> <li>D<sub>1</sub>、D<sub>2</sub>は大電流端子(最大15mA)</li> </ul>	D <sub>0</sub> /INT <sub>0</sub> /EVNB	外部割込み入力0 / タイマBイベント入力	PMRB
		D <sub>1</sub>	_____	_____
		D <sub>2</sub>	_____	_____
		D <sub>3</sub>	_____	_____
		D <sub>4</sub> /STOPC	ストップモード解除	PMRB
R0		R0 <sub>0</sub> /SCK	転送クロック入出力	SMR
		R0 <sub>1</sub> /SI	シリアル受信データ入力	PMRA
		R0 <sub>2</sub> /SO	シリアル送信データ出力	
		R0 <sub>3</sub> /TOC	タイマC出力	
R1	<ul style="list-style-type: none"> <li>入出力ポート</li> <li>4ビット単位でアクセス</li> <li>LAR、LBR、LRA、LRB命令によりアクセス</li> <li>プログラマブルプルアップMOS付き</li> </ul>	R1 <sub>0</sub>	_____	_____
		R1 <sub>1</sub>	_____	_____
		R1 <sub>2</sub>	_____	_____
		R1 <sub>3</sub>	_____	_____
R2	<ul style="list-style-type: none"> <li>R1<sub>0</sub> ~ R1<sub>3</sub>、R2<sub>0</sub> ~ R2<sub>3</sub>は大電流端子(最大15mA)</li> </ul>	R2 <sub>0</sub>	_____	_____
		R2 <sub>1</sub>	_____	_____
		R2 <sub>2</sub>	_____	_____
		R2 <sub>3</sub>	_____	_____
R3		R3 <sub>0</sub> /AN <sub>0</sub>	アナログ入力チャンネル0	AMR1
		R3 <sub>1</sub> /AN <sub>1</sub>	アナログ入力チャンネル1	
		R3 <sub>2</sub> /AN <sub>2</sub>	アナログ入力チャンネル2	
		R3 <sub>3</sub> /AN <sub>3</sub>	アナログ入力チャンネル3	

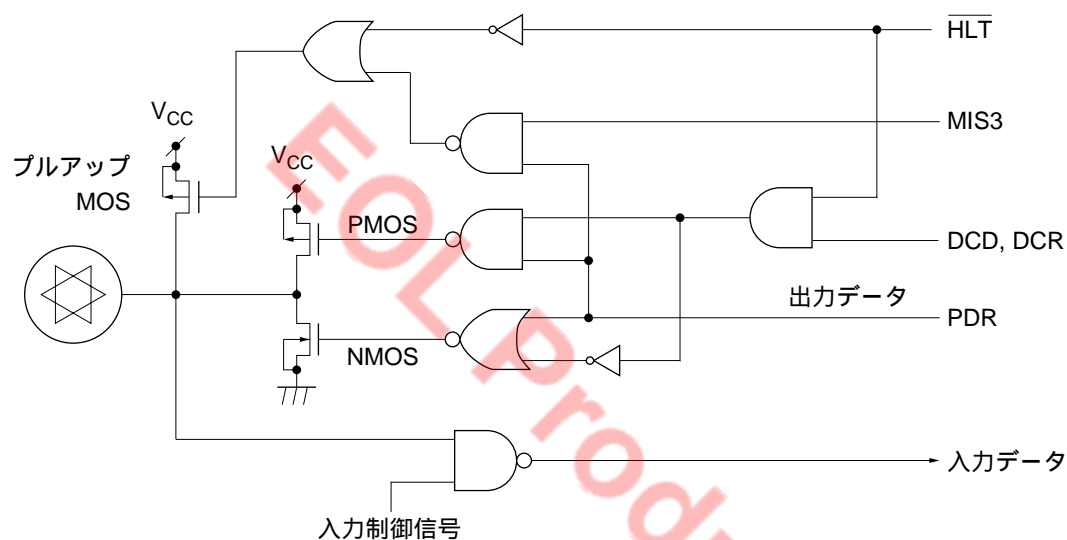
## 7.1.2 入出力制御

すべてのDポート、RポートがCMOS3ステート入出力の回路構成となっています。

## (1) 入出力端子の回路構成

Dポート、Rポートの各端子は、ポートデータレジスタ（PDR）とデータコントロールレジスタ（DCD、DCR）により、入出力が制御されます。各端子に対応するDCD、DCRのビットが1のとき、当該端子は出力端子となり、PDRの値を出力します。また、対応するDCD、DCRのビットが0のとき、当該端子は入力端子となります。

入出力端子の回路構成を図7.1に示します。



- 【注】1. ストップモード時には、MCU内部がリセット状態となり、内蔵周辺モジュール選択が解除されます。また、内部信号 $\overline{\text{HLT}}$ がLowレベル（アクティブ）となり、出力ハイインピーダンスとなります。また、すべてのプルアップMOSはオフとなります。
2. ストップモード以外の低消費電力モードでは、内部信号 $\overline{\text{HLT}}$ はHighレベルとなります。

図7.1 入出力端子の回路構成

## 7. I/Oポート HD404344Rシリーズ

### (2) プルアップMOS制御

Dポート、Rポートの各入出力端子は、プログラマブルプルアップMOSを内蔵しています。

ミセラニアスレジスタ (MIS) のMIS3ビットが1のとき、対応するPDRが1の端子のプルアップMOSがオンとなります。PDRにより各端子独立にプルアップMOSのオン/オフが制御できます。

なお、プルアップMOSのオン/オフ設定は、内蔵周辺モジュール用端子としての設定とは独立に行うことができます。

レジスタ設定によるポートの入出力端子制御を表7.2に示します。

表7.2 レジスタ設定による入出力端子の制御

MIS3		0				1			
DCD, DCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOS バッファ	PMOS	—		—	ON	—		—	ON
	NMOS	—		ON	—	—		ON	—
プルアップMOS		—		—	ON	—	ON	—	ON

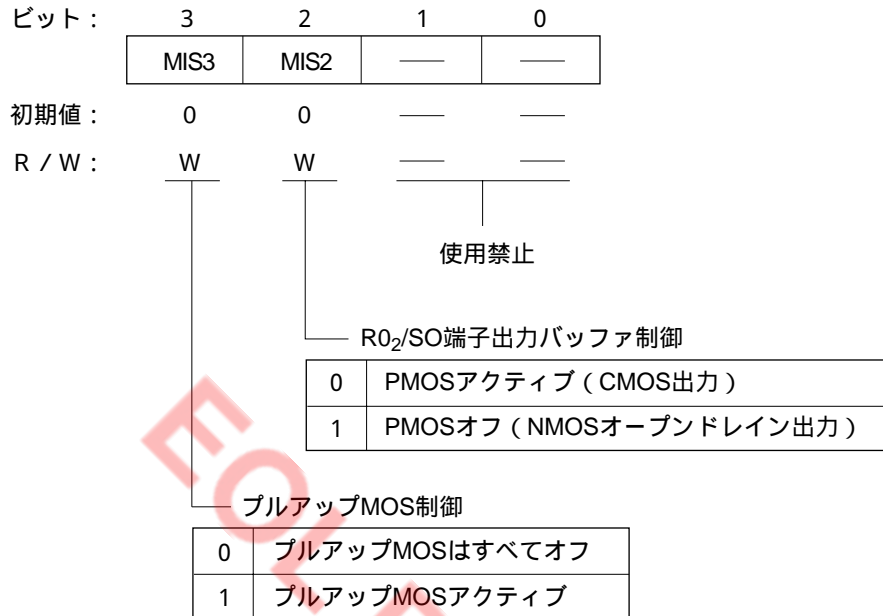
【注】 1. - : OFF

2. PDRは、RAMアドレス上に割り付けられていません。PDRは専用の入出力命令によりアクセスします。



## (3) ミセラニアスレジスタ (MIS : \$00C)

MISは、2ビットの書き込み専用のレジスタで、Dポート、RポートのプルアップMOSのオン/オフとR0<sub>2</sub>/SO端子出力バッファのPMOSのオン/オフを制御します。リセット、およびストップモード時に、MISは\$0にイニシャライズされます。



## ビット3 : プルアップMOS制御 (MIS3)

入出力ポートの各端子が内蔵するプルアップMOSのオン/オフを制御します。

MIS3	説 明
0	プルアップMOSは、すべてオフとなります。 (初期値)
1	対応するPDRが1の各端子のプルアップMOSがオンとなります。

ビット2 : R0<sub>2</sub>/SO端子PMOS制御 (MIS2)

MIS2	説 明
0	R0 <sub>2</sub> /SO端子出力はCMOS出力となります。 (初期値)
1	R0 <sub>2</sub> /SO端子出力はNMOSオーブンドレイン出力となります。

R0<sub>2</sub>/SO端子の出力バッファのPMOSオン/オフを制御します。

## 7. I/Oポート HD404344Rシリーズ

### 7.1.3 入出力端子の回路構成

ポート、内蔵周辺モジュールの各端子の回路構成を表7.3に示します。

表7.3 入力/出力端子の回路構成 (1/3)

区分	回路構成	適用端子
標準入出力端子		<p><math>D_0 \sim D_5</math>,  <math>R_0, R_0_1, R_0_3</math>,  <math>R_1_0 \sim R_1_3</math>,  <math>R_2_0 \sim R_2_3</math>,  <math>R_3_0 \sim R_3_3</math></p>
標準出力端子		<p><math>R_0_2</math></p>

表7.3 入力/出力端子の回路構成 (2/3)

区分	回路構成	適用端子
標準端子 内蔵周辺モジュール用端子 入出力端子		SCK
標準端子 内蔵周辺モジュール用端子 出力端子		SO
標準端子 内蔵周辺モジュール用端子 出力端子		TOC

# 7. I/Oポート HD404344Rシリーズ

表7.3 入力/出力端子の回路構成 (3/3)

区分	回路構成	適用端子
標準 耐圧端子 内蔵周辺モジュール用端子 入力端子	<p>回路構成: 入力端子はプルアップ抵抗を介してV<sub>CC</sub>に接続され、入力データとして出力されます。また、この信号はANDゲートを通じてHLT、MIS3、PDRピンに接続されています。</p>	SI, $\overline{\text{INT}}_0/\text{EVNB}$ , $\overline{\text{STOPC}}$
	<p>回路構成: 入力端子はプルアップ抵抗を介してV<sub>CC</sub>に接続され、A/D入力として出力されます。また、この信号はANDゲートを通じてHLT、MIS3、PDRピンに接続されています。</p>	AN <sub>0</sub> ~ AN <sub>3</sub>

### 7.1.4 低消費電力モード時のポートの状態

D<sub>0</sub>、D<sub>4</sub>、R<sub>0</sub>、R<sub>3</sub>ポートは、内蔵周辺モジュール用の入力端子または出力端子との兼用端子になっています。スタンバイモードでは、CPUが動作を停止するため、出力ポートに選択された端子は直前の出力を保持します。また、スタンバイモードで動作する内蔵周辺モジュール出力に選択された端子は動作を続けます（停止した内蔵周辺モジュール用出力端子は、直前の値を保持します）。各モードで動作可能な内蔵周辺モジュールについては、「第5章 低消費電力モード」を参照してください。

低消費電力モード時のポートの状態を表7.4に示します。

表7.4 低消費電力モード時のポートの状態

低消費電力モード	ポートの状態
スタンバイモード	スタンバイモードに入る直前の値を保持します。
ストップモード	内蔵周辺機能選択は解除され、ポートおよび周辺機能入出力端子はハイインピーダンスとなります。

### 7.1.5 未使用端子の処理

ユーザシステムで使用しない入出力端子がフローティングの場合、ノイズによりLSIが誤動作する可能性がありますので、入出力端子の電位を固定する必要があります。

未使用端子は、内蔵プルアップMOSでV<sub>CC</sub>にプルアップするか、または外部で100k程度の抵抗をつけてV<sub>CC</sub>にプルアップしてください。

プログラムで該当端子のPDRやDCD、DCRの内容をリセット状態と同じ内容に保持してください。また、該当端子を周辺機能入出力端子に選択しないでください。

## 7.2 Dポート

### 7.2.1 概要

Dポートは、入出力ポート6本（ $D_0 \sim D_5$ ： $D_1$ 、 $D_2$ は最大15mAの電流を流し込める大電流端子）で構成され、1ビット単位にアクセスします。

$D_0 \sim D_5$ 端子は、出力命令（SED、SEDD、RED、REDD）により、1ビット単位にアクセスして、High / Lowレベル出力を制御します。出力データは、各端子のPDRに格納されます。

また、 $D_0 \sim D_5$ 端子は、入力命令（TD、TDD）により、1ビット単位にアクセスして、端子のレベルをテストすることができます。

Dポートの出力バッファのオン/オフは、DCDにより行います。Dポートの各端子に対応するDCDが1のとき、対応するPDRの内容が当該端子より出力されます。出力バッファのオン/オフは、Dポートの各端子ごとに独立して設定できます。DCDは、RAMアドレス上に割り付けられています。

$D_0$ 、 $D_4$ 端子は、各々内蔵周辺モジュール用端子との兼用端子になっています。これらの端子の機能切り換えは、PMRBにより行います。

Dポートの構成を図7.2に示します。

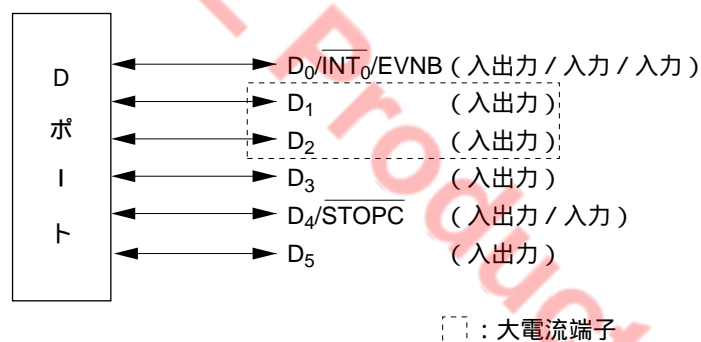


図7.2 Dポートの構成

### 7.2.2 レジスタの構成と説明

Dポートのレジスタ構成を表7.5に示します。

表7.5 Dポートレジスタ構成

アドレス	名称	略称	R/W	初期値
——	ポートデータレジスタ	PDR	W*	1
\$ 02C	データコントロールレジスタ	DCD0	W	\$0
\$ 02D		DCD1	W	--00
\$ 024	ポートモードレジスタB	PMRB	W	0--0

【注】\* PDRへの書込みは、SED、SEDD、RED、REDD命令により行います。

## (1) ポートデータレジスタ (PDR)

D<sub>0</sub>~D<sub>5</sub>の各入出力端子は、出力データを格納するPDRを各々内蔵しています。D<sub>0</sub>~D<sub>5</sub>端子に対して、SED、SEDD命令を実行すると対応するPDRは1にセットされ、またRED、REDD命令を実行すると0にクリアされます。DポートのDCD0、DCD1の対応するビットが1のとき、当該端子の出力バッファがオンとなり、PDRの値が端子より出力されます。

リセット、およびストップモード時に、PDRは1にセットされます。

## (2) データコントロールレジスタ (DCD0、DCD1 : \$02C、\$02D)

DCD0 : \$02C	ビット :	3	2	1	0
		DCD03	DCD02	DCD01	DCD00
	初期値 :	0	0	0	0
	R/W :	W	W	W	W
DCD1 : \$02D	ビット :	3	2	1	0
		—	—	DCD11	DCD10
	初期値 :	—	—	0	0
	R/W :	—	—	W	W

DCD0、DCD1 の各ビット	説 明
0	出力バッファ (CMOSバッファ) はオフとなり、出力ハイインピーダンスとなります。 <span style="float: right;">(初期値)</span>
1	出力バッファはオンとなり、対応するPDRの値を出力します。

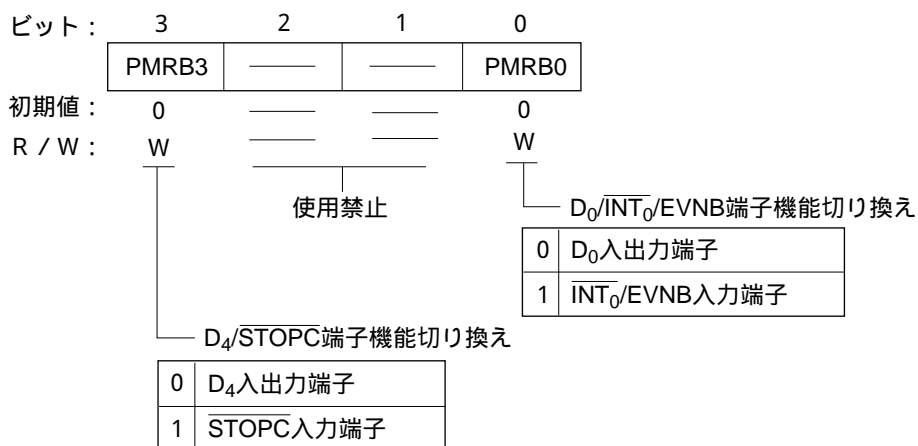
DCD0、DCD1の各ビットとDポートの各端子との対応は次のようになっています。

レジスタ名 \ ビット	ビット3	ビット2	ビット1	ビット0
DCD0	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
DCD1	-	-	D <sub>5</sub>	D <sub>4</sub>

## 7. I/Oポート HD404344Rシリーズ

### (3) ポートモードレジスタB (PMRB: \$024)

PMRBは、2ビットの書き込み専用レジスタで、Dポートの兼用入出力端子の切り換えを行います。



#### ビット3: D<sub>4</sub>/STOPC端子機能切り換え (PMRB3)

D<sub>4</sub>/STOPC端子をD<sub>4</sub>入出力端子として使用するか、ストップモード解除端子 (STOPC) として使用するかを選択します。

PMRB3	説明
0	D <sub>4</sub> /STOPC端子は、D <sub>4</sub> 入出力端子として機能します。(初期値)
1	D <sub>4</sub> /STOPC端子は、STOPC入力端子として機能します。

#### ビット0: D<sub>0</sub>/INT<sub>0</sub>/EVNB端子機能切り換え (PMRB0)

D<sub>0</sub>/INT<sub>0</sub>/EVNB端子をD<sub>0</sub>入出力端子として使用するか、外部割込み0/タイマBイベント入力端子 (INT<sub>0</sub>/EVNB) として使用するかを選択します。

PMRB0	説明
0	D <sub>0</sub> /INT <sub>0</sub> /EVNB端子は、D <sub>0</sub> 入出力端子として機能します。(初期値)
1	D <sub>0</sub> /INT <sub>0</sub> /EVNB端子は、INT <sub>0</sub> /EVNB入力端子として機能します。

INT<sub>0</sub>端子とEVNB端子の切り換えについては、「18.2.2 タイマモードレジスタB2 (TMB2)」を参照してください。



## 7.2.3 端子機能

D<sub>0</sub> ~ D<sub>5</sub>の各端子は、レジスタ設定により、表7.6に示すように端子機能が切り換わります。

表7.6 D<sub>0</sub> ~ D<sub>5</sub>ポート端子機能

端 子	選 択 方 法 と 端 子 機 能		
D <sub>0</sub> /INT <sub>0</sub> /EVNB	PMRBのPMRB0ビットとDCD0のDCD00ビットにより、次のように切り換わります。		
	PMRB0	0	1
	DCD00	0	1
	端子機能	D <sub>0</sub> 入力端子	D <sub>0</sub> 出力端子
			INT <sub>0</sub> /EVNB入力端子*
	【注】* EVNB端子として使用するときにはINT <sub>0</sub> 割込みマスク (IM0 : \$000, 3) を 1 にセットしてINT <sub>0</sub> 割込みをマスクしてください。		
D <sub>1</sub>	DCD0のDCD01ビットにより、次のように切り換わります。		
	DCD01	0	1
	端子機能	D <sub>1</sub> 入力端子	D <sub>1</sub> 出力端子
D <sub>2</sub>	DCD0のDCD02ビットにより、次のように切り換わります。		
	DCD02	0	1
	端子機能	D <sub>2</sub> 入力端子	D <sub>2</sub> 出力端子
D <sub>3</sub>	DCD0のDCD03ビットにより、次のように切り換わります。		
	DCD03	0	1
	端子機能	D <sub>3</sub> 入力端子	D <sub>3</sub> 出力端子
D <sub>4</sub> /STOPC	PMRBのPMRB3ビットとDCD1のDCD10ビットにより、次のように切り換わります。		
	PMRB3	0	1
	DCD10	0	1
	端子機能	D <sub>4</sub> 入力端子	D <sub>4</sub> 出力端子
			STOPC入力端子
D <sub>5</sub>	DCD1のDCD11ビットにより、次のように切り換わります。		
	DCD11	0	1
	端子機能	D <sub>5</sub> 入力端子	D <sub>5</sub> 出力端子

## 7.3 Rポート

### 7.3.1 概要

Rポートは、4ビット×4の入出力ポート（R0～R3）から構成され、4ビット単位にアクセスします。

R0～R3の各ポートは、出力命令（LRA、LRB）により4ビット単位にアクセスして、High/Lowレベル出力を制御します。出力データは、各端子のPDRに格納されます。また、入力命令（LAR、LBR）により、4ビット単位にアクセスして、端子のレベルを読み出すことができます。

R0～R3ポートの出力バッファのオン/オフは、DCRにより行います。R0～R3ポートの各端子に対応するDCRが1のとき、対応するPDRの内容が当該端子より出力されます。出力バッファのオン/オフは、Rポートの各端子ごとに独立して設定できます。DCRは、RAMアドレス上に割り付けられています。

R1、R2ポートの各端子は、最大15mAの電流を流し込める大電流端子です。

R0、R3ポートの端子は、内蔵周辺モジュール用端子と兼用端子になっています。これらの端子機能の切り換えは、レジスタ設定により行います（表7.7参照）。

Rポートの端子構成を図7.3に示します。

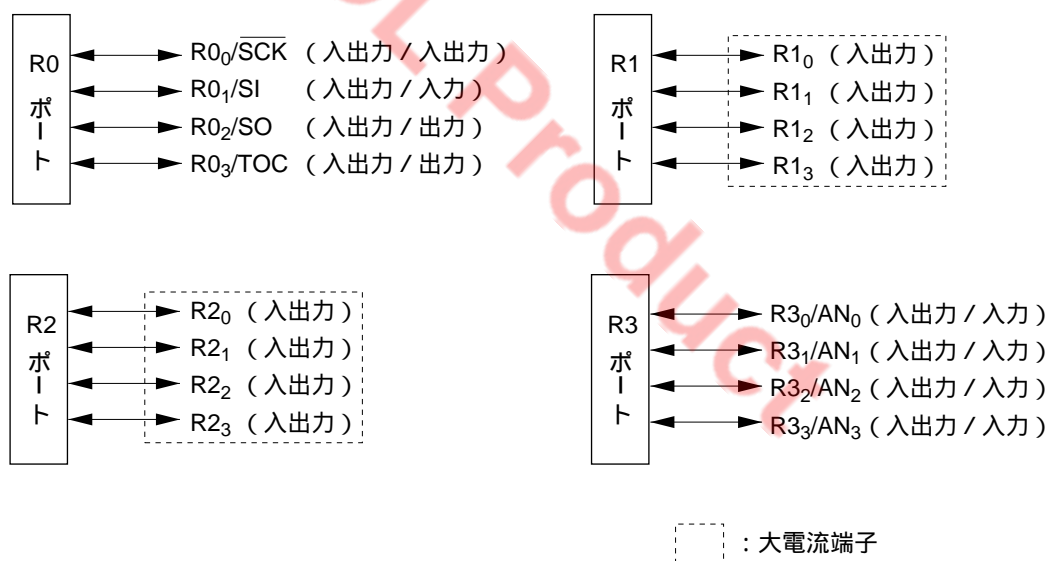


図7.3 Rポートの構成

## 7.3.2 レジスタの構成と説明

Rポートのレジスタ構成を表7.7に示します。

表7.7 Rポートレジスタ構成

アドレス	名 称	略 称	R / W	初期値
——	ポートデータレジスタ	PDR	W*	1
\$ 030	データコントロールレジスタ	DCR0	W	\$0
\$ 031		DCR1	W	\$0
\$ 032		DCR2	W	\$0
\$ 033		DCR3	W	\$0
\$ 004	ポートモードレジスタA	PMRA	W	\$0
\$ 005	シリアルモードレジスタ	SMR	W	\$0
\$ 019	A/Dモードレジスタ1	AMR1	W	\$0

【注】\* PDRへの書き込みはLRA、LRB命令により行います。

## (1) ポートデータレジスタ (PDR)

R0～R3ポートの各入出力端子は、出力データを格納するPDRを各々内蔵しています。R0～R3ポートに対して、LRA、LRB命令を実行するとアキュムレータ (A)、Bレジスタ (B) の内容が、指定されたRポートのPDRに転送されます。R0～R3ポートのDCR0～DCR3の対応するビットが1のとき、当該端子の出力バッファがオンとなり、PDRの値が端子より出力されます。

リセット、およびストップモード時に、PDRは1にセットされます。

## 7. I/Oポート HD404344Rシリーズ

### (2) データコントロールレジスタ (DCR0 ~ DCR3 : \$030, \$031, \$032, \$033)

DCR0 : \$ 030	ビット :	3	2	1	0
		DCR03	DCR02	DCR01	DCR00
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR1 : \$ 031	ビット :	3	2	1	0
		DCR13	DCR12	DCR11	DCR10
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR2 : \$ 032	ビット :	3	2	1	0
		DCR23	DCR22	DCR21	DCR20
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR3 : \$ 033	ビット :	3	2	1	0
		DCR33	DCR32	DCR31	DCR30
	初期値 :	0	0	0	0
	R / W :	W	W	W	W

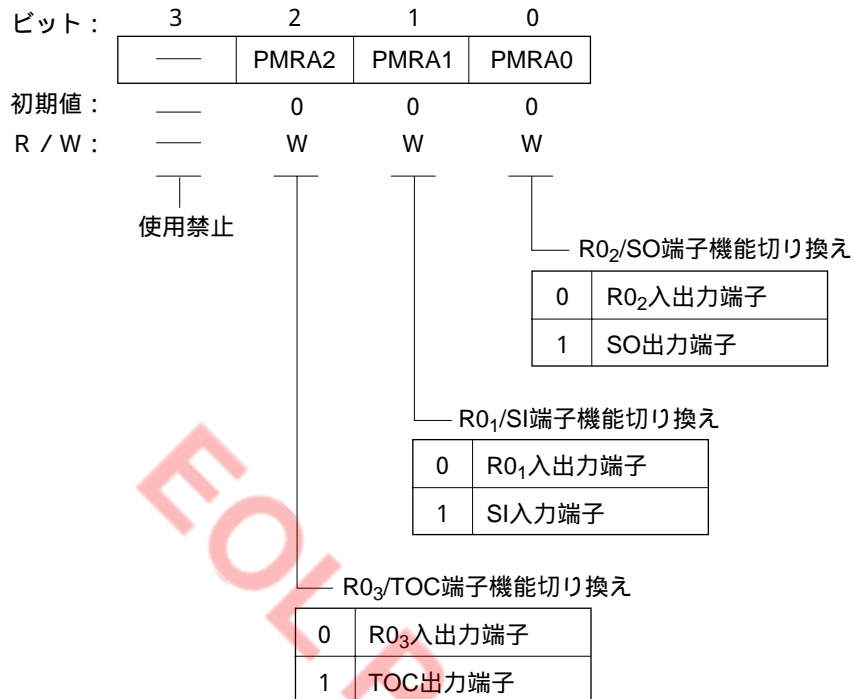
DCR0 ~ DCR3 の各ビット	説明
0	出力バッファ (CMOSバッファ) はオフとなり、出力ハイインピーダンスとなります。 (初期値)
1	出力バッファはオンとなり、対応するPDRの値を出力します。

DCR0 ~ DCR3の各ビットとR0 ~ R3ポートの各端子との対応は次のようになっています。

レジスタ名 \ ビット	ビット3	ビット2	ビット1	ビット0
DCR0	R0 <sub>3</sub>	R0 <sub>2</sub>	R0 <sub>1</sub>	R0 <sub>0</sub>
DCR1	R1 <sub>3</sub>	R1 <sub>2</sub>	R1 <sub>1</sub>	R1 <sub>0</sub>
DCR2	R2 <sub>3</sub>	R2 <sub>2</sub>	R2 <sub>1</sub>	R2 <sub>0</sub>
DCR3	R3 <sub>3</sub>	R3 <sub>2</sub>	R3 <sub>1</sub>	R3 <sub>0</sub>

## (3) ポートモードレジスタA (PMRA : \$004)

PMRAは、3ビットの書き込み専用レジスタで、PMRA2~PMRA0ビットでR0ポート兼用端子の切り換えを行います。

**ビット2 : R0<sub>3</sub>/TOC端子機能切り換え (PMRA2)**

R0<sub>3</sub>/TOC端子をR0<sub>3</sub>入出力端子として使用するか、タイマC出力端子 (TOC) として使用するかを選択します。

PMRA2	説明
0	R0 <sub>3</sub> /TOC端子は、R0 <sub>3</sub> 入出力端子として機能します。(初期値)
1	R0 <sub>3</sub> /TOC端子は、TOC出力端子として機能します。

**ビット1 : R0<sub>1</sub>/SI端子機能切り換え (PMRA1)**

R0<sub>1</sub>/SI端子をR0<sub>1</sub>入出力端子として使用するか、シリアル受信データ入力端子 (SI) として使用するかを選択します。

PMRA1	説明
0	R0 <sub>1</sub> /SI端子は、R0 <sub>1</sub> 入出力端子として機能します。(初期値)
1	R0 <sub>1</sub> /SI端子は、SI入力端子として機能します。

## 7. I/Oポート HD404344Rシリーズ

---

### ビット0 : R0<sub>2</sub>/SO端子機能切り換え (PMRA0)

R0<sub>2</sub>/SO端子をR0<sub>2</sub>入出力端子として使用するか、シリアル送信データ出力端子 (SO) として使用するかを選択します。

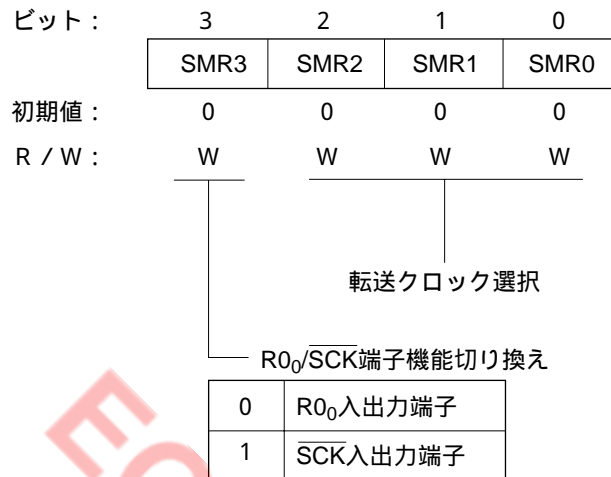
PMRA0	説明
0	R0 <sub>2</sub> /SO端子は、R0 <sub>2</sub> 入出力端子として機能します。 (初期値)
1	R0 <sub>2</sub> /SO端子は、SO出力端子として機能します。

EOL Product

## (4) シリアルモードレジスタ (SMR : \$005)

SMRは、4ビットの書き込み専用のレジスタで、SMR3ビットでR0<sub>0</sub>/SCK端子の切り換えを行います。

ここではSMR3ビットについて説明します。SMR2～SMR0ビットについての詳細は「20.2.1 シリアルモードレジスタ (SMR)」を参照してください。

ビット3 : R0<sub>0</sub>/SCK端子機能切り換え (SMR3)

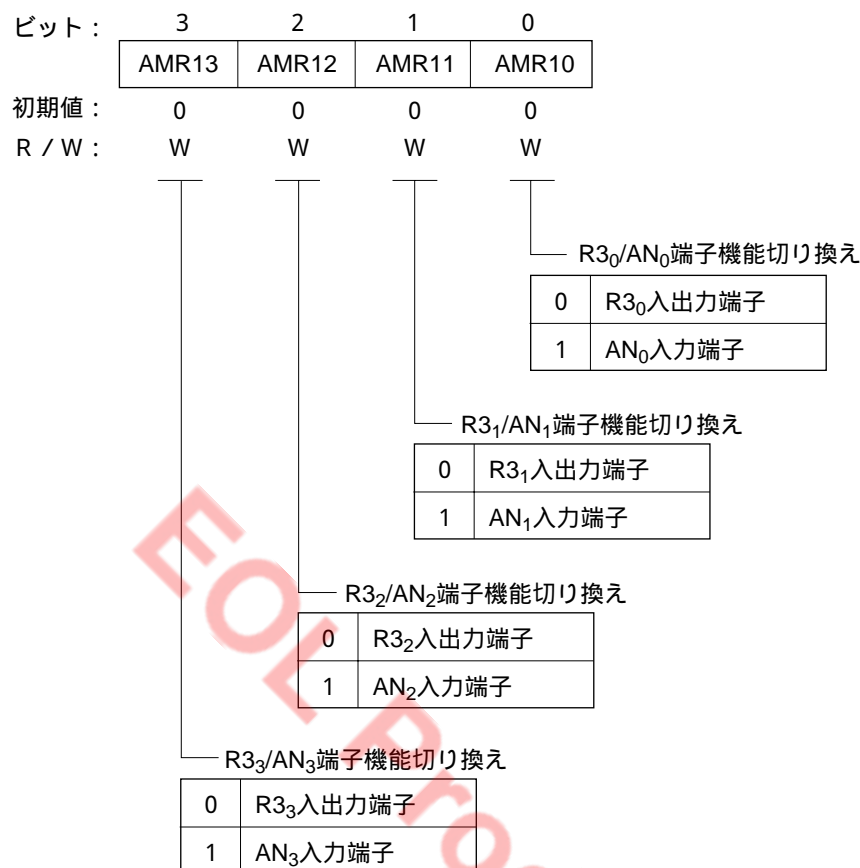
R0<sub>0</sub>/SCK端子をR0<sub>0</sub>入出力端子として使用するか、シリアルインタフェースの転送クロックの入出力端子 (SCK) として使用するかを選択します。

SMR3	説 明
0	R0 <sub>0</sub> /SCK端子は、R0 <sub>0</sub> 入出力端子として機能します。 (初期値)
1	R0 <sub>0</sub> /SCK端子は、SCK入出力端子として機能します。

## 7. I/Oポート HD404344Rシリーズ

### (5) A/Dモードレジスタ1 (AMR1: \$019)

AMR1は4ビットの書き込み専用レジスタで、R3ポートの兼用端子の切り換えを行います。



#### ビット3 : R3<sub>3</sub>/AN<sub>3</sub>端子機能切り換え (AMR13)

R3<sub>3</sub>/AN<sub>3</sub>端子をR3<sub>3</sub>入出力端子として使用するか、A/Dコンバータのチャンネル3入力端子 (AN<sub>3</sub>) として使用するかを選択します。

AMR13	説 明
0	R3 <sub>3</sub> /AN <sub>3</sub> 端子は、R3 <sub>3</sub> 入出力端子として機能します。 (初期値)
1	R3 <sub>3</sub> /AN <sub>3</sub> 端子は、AN <sub>3</sub> 入力端子として機能します。

#### ビット2 : R3<sub>2</sub>/AN<sub>2</sub>端子機能切り換え (AMR12)

R3<sub>2</sub>/AN<sub>2</sub>端子をR3<sub>2</sub>入出力端子として使用するか、A/Dコンバータのチャンネル2入力端子 (AN<sub>2</sub>) として使用するかを選択します。

AMR12	説 明
0	R3 <sub>2</sub> /AN <sub>2</sub> 端子は、R3 <sub>2</sub> 入出力端子として機能します。 (初期値)
1	R3 <sub>2</sub> /AN <sub>2</sub> 端子は、AN <sub>2</sub> 入力端子として機能します。



**ビット1：R3<sub>1</sub>/AN<sub>1</sub>端子機能切り換え（AMR11）**

R3<sub>1</sub>/AN<sub>1</sub>端子をR3<sub>1</sub>入出力端子として使用するか、A/Dコンバータのチャンネル1入力端子（AN<sub>1</sub>）として使用するかを選択します。

AMR11	説 明
0	R3 <sub>1</sub> /AN <sub>1</sub> 端子は、R3 <sub>1</sub> 入出力端子として機能します。 (初期値)
1	R3 <sub>1</sub> /AN <sub>1</sub> 端子は、AN <sub>1</sub> 入力端子として機能します。

**ビット0：R3<sub>0</sub>/AN<sub>0</sub>端子機能切り換え（AMR10）**

R3<sub>0</sub>/AN<sub>0</sub>端子をR3<sub>0</sub>入出力端子として使用するか、A/Dコンバータのチャンネル0入力端子（AN<sub>0</sub>）として使用するかを選択します。

AMR10	説 明
0	R3 <sub>0</sub> /AN <sub>0</sub> 端子は、R3 <sub>0</sub> 入出力端子として機能します。 (初期値)
1	R3 <sub>0</sub> /AN <sub>0</sub> 端子は、AN <sub>0</sub> 入力端子として機能します。

## 7. I/Oポート HD404344Rシリーズ

### 7.3.3 端子機能

Rポートの各端子は、レジスタ設定により、表7.8に示すように切り換わります。

表7.8 Rポート端子機能 (1/3)

端 子	選 択 方 法 と 端 子 機 能		
R0 <sub>0</sub> /SCK	SMRのSMR3ビットとDCR0のDCR00ビットにより、次のように切り換わります。		
	SMR3	0	1
	DCR00	0	1
	端子機能	R0 <sub>0</sub> 入力端子	R0 <sub>0</sub> 出力端子
R0 <sub>1</sub> /SI	PMRAのPMRA1ビットとDCR0のDCR01ビットにより、次のように切り換わります。		
	PMRA1	0	1
	DCR01	0	1
	端子機能	R0 <sub>1</sub> 入力端子	R0 <sub>1</sub> 出力端子
R0 <sub>2</sub> /SO	PMRAのPMRA0ビットとDCR0のDCR02ビットにより、次のように切り換わります。		
	PMRA0	0	1
	DCR02	0	1
	端子機能	R0 <sub>2</sub> 入力端子	R0 <sub>2</sub> 出力端子
R0 <sub>3</sub> /TOC	PMRAのPMRA2ビットとDCR0のDCR03ビットにより、次のように切り換わります。		
	PMRA2	0	1
	DCR03	0	1
	端子機能	R0 <sub>3</sub> 入力端子	R0 <sub>3</sub> 出力端子

表7.8 Rポート端子機能 (2/3)

端子	選択方法と端子機能		
R1 <sub>0</sub>	DCR1のDCR10ビットにより、次のように切り換わります。		
	DCR10	0	1
	端子機能	R1 <sub>0</sub> 入力端子	R1 <sub>0</sub> 出力端子
R1 <sub>1</sub>	DCR1のDCR11ビットにより、次のように切り換わります。		
	DCR11	0	1
	端子機能	R1 <sub>1</sub> 入力端子	R1 <sub>1</sub> 出力端子
R1 <sub>2</sub>	DCR1のDCR12ビットにより、次のように切り換わります。		
	DCR12	0	1
	端子機能	R1 <sub>2</sub> 入力端子	R1 <sub>2</sub> 出力端子
R1 <sub>3</sub>	DCR1のDCR13ビットにより、次のように切り換わります。		
	DCR13	0	1
	端子機能	R1 <sub>3</sub> 入力端子	R1 <sub>3</sub> 出力端子
R2 <sub>0</sub>	DCR2のDCR20ビットにより、次のように切り換わります。		
	DCR20	0	1
	端子機能	R2 <sub>0</sub> 入力端子	R2 <sub>0</sub> 出力端子
R2 <sub>1</sub>	DCR2のDCR21ビットにより、次のように切り換わります。		
	DCR21	0	1
	端子機能	R2 <sub>1</sub> 入力端子	R2 <sub>1</sub> 出力端子
R2 <sub>2</sub>	DCR2のDCR22ビットにより、次のように切り換わります。		
	DCR22	0	1
	端子機能	R2 <sub>2</sub> 入力端子	R2 <sub>2</sub> 出力端子
R2 <sub>3</sub>	DCR2のDCR23ビットにより、次のように切り換わります。		
	DCR23	0	1
	端子機能	R2 <sub>3</sub> 入力端子	R2 <sub>3</sub> 出力端子

## 7. I/Oポート HD404344Rシリーズ

表7.8 Rポート端子機能 (3/3)

端子	選択方法と端子機能		
R3 <sub>0</sub> /AN <sub>0</sub>	AMR1のAMR10ビットとDCR3のDCR30ビットにより、次のように切り換わります。		
	AMR10	0	1
	DCR30	0	1
	端子機能	R3 <sub>0</sub> 入力端子	R3 <sub>0</sub> 出力端子 AN <sub>0</sub> 入力端子
R3 <sub>1</sub> /AN <sub>1</sub>	AMR1のAMR11ビットとDCR3のDCR31ビットにより、次のように切り換わります。		
	AMR11	0	1
	DCR31	0	1
	端子機能	R3 <sub>1</sub> 入力端子	R3 <sub>1</sub> 出力端子 AN <sub>1</sub> 入力端子
R3 <sub>2</sub> /AN <sub>2</sub>	AMR1のAMR12ビットとDCR3のDCR32ビットにより、次のように切り換わります。		
	AMR12	0	1
	DCR32	0	1
	端子機能	R3 <sub>2</sub> 入力端子	R3 <sub>2</sub> 出力端子 AN <sub>2</sub> 入力端子
R3 <sub>3</sub> /AN <sub>3</sub>	AMR1のAMR13ビットとDCR3のDCR33ビットにより、次のように切り換わります。		
	AMR13	0	1
	DCR33	0	1
	端子機能	R3 <sub>3</sub> 入力端子	R3 <sub>3</sub> 出力端子 AN <sub>3</sub> 入力端子

## 7.4 使用上の注意

ポートを使用するとき、次の点に注意してください。

(1) MISのMIS2ビットを1にセットすると、PMRAのPMRA0ビットによりR<sub>02</sub>端子またはSO端子機能のいずれが選択されている場合にも、NMOSオープンドレイン出力となります。

(2) ユーザシステムで使用しない入出力端子がフローティングの場合、ノイズによりLSIが誤動作する可能性がありますので、入出力端子の電位を固定する必要があります。

未使用端子は、内蔵プルアップMOSでV<sub>CC</sub>にプルアップするか、または外部で100k程度の抵抗をつけてV<sub>CC</sub>にプルアップしてください。

プログラムで該当端子のPDRやDCRの内容をリセット状態と同じ内容に保持してください。また、該当端子を周辺機能入出力端子に選択しないでください。

(3) MISのMIS3ビット = 1 (プルアップMOSアクティブ) かつRポート/アナログ入力兼用端子のPDR = 1の場合、AMR1でアナログ入力端子を選択しても、当該端子のプルアップMOSはオフとなりません。

プルアップMOSアクティブを選択し、Rポート/アナログ入力兼用端子をアナログ入力として使用する場合、必ず当該端子のPDRを0にクリアして、プルアップMOSをオフにしてください(リセット直後、PDRは1にセットされます)。

図7.4にRポート/アナログ入力兼用端子の回路構成を示します。

AMR1は、ポート出力をハイインピーダンスにするためのレジスタであり、アナログ入力チャンネルの切り換えは、ACRにより行います。

AMR1、MIS3ビット、DCR、PDRの組み合わせにより、Rポート/アナログ入力兼用端子の状態は表7.9に示すようになります。

## 7. I/Oポート HD404344Rシリーズ

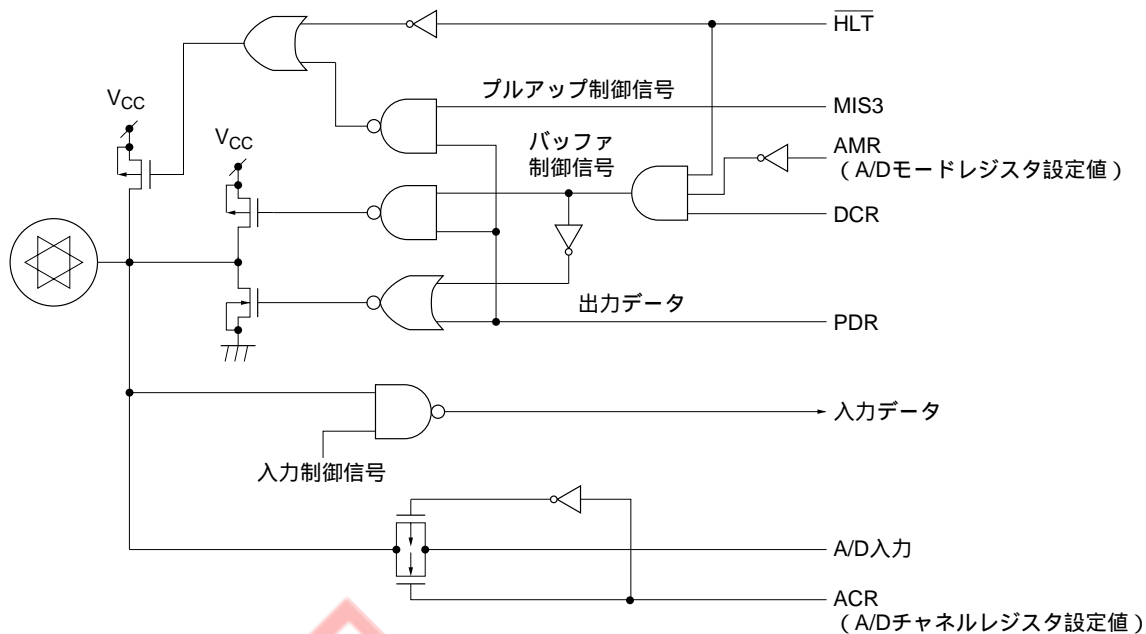


図7.4 Rポート / アナログ入力兼用端子回路構成

表7.9 プログラムによるRポート / アナログ入力兼用端子の制御

AMR1の当該ビット		0 (Rポート選択)							
MIS3ビット		0				1			
DCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOSバッファ	PMOS	—		ON		—		ON	
	NMOS	—		ON		—		ON	
プルアップMOS		—		—		ON		ON	

【注】 — : OFF

AMR1の当該ビット		1 (アナログ入力選択)							
MIS3ビット		0				1			
DCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOSバッファ	PMOS	—		—		—		—	
	NMOS	—		—		—		—	
プルアップMOS		—		—		ON		ON	

【注】 — : OFF

---

# 8. I/Oポート

## (HD404394シリーズ)

---

---

### 第8章 目次

---

8.1	概要	167
8.1.1	特長	167
8.1.2	入出力制御	169
	(1) 中耐圧NMOSオープンドレイン入出力端子の回路構成	169
	(2) 標準耐圧NMOSオープンドレイン入出力端子の回路構成	169
	(3) 標準耐圧CMOS 3ステート入出力端子の回路構成	169
	(4) プルアップMOS制御	170
	(5) ミセラニアスレジスタ (MIS)	171
8.1.3	入出力端子の回路構成	172
8.1.4	低消費電力モード時のポートの状態	176
8.1.5	未使用端子の処理	176
8.2	Dポート	177
8.2.1	概要	177
8.2.2	レジスタの構成と説明	177
	(1) ポートデータレジスタ (PDR)	178
	(2) データコントロールレジスタ (DCD0、DCD1)	178
	(3) ポートモードレジスタB (PMRB)	179
8.2.3	端子機能	180
8.3	Rポート	181
8.3.1	概要	181
8.3.2	レジスタの構成と説明	182
	(1) ポートデータレジスタ (PDR)	182
	(2) データコントロールレジスタ (DCR0 ~ DCR3)	183
	(3) ポートモードレジスタA (PMRA)	184
	(4) シリアルモードレジスタ (SMR)	185
	(5) A/Dモードレジスタ1 (AMR1)	186
8.3.3	端子機能	188
8.4	使用上の注意	191

EOL Product



## 8.1 概要

### 8.1.1 特長

HD404394シリーズのI/Oポートの特長を以下に示します。

計21本の入出力端子をもち、R<sub>10</sub>~R<sub>12</sub>の3本の端子は中耐圧NMOSオープンドレイン入出力端子です。R<sub>13</sub>、R<sub>20</sub>~R<sub>23</sub>の5本の端子は標準耐圧NMOSオープンドレイン入出力端子です。また、D<sub>0</sub>~D<sub>5</sub>、R<sub>00</sub>~R<sub>03</sub>、R<sub>31</sub>~R<sub>33</sub>の13本の端子はCMOS 3ステート入出力端子です。

これらの端子のうち、D<sub>1</sub>、D<sub>2</sub>、R<sub>1</sub>、R<sub>2</sub>ポートの各端子は最大15mAの電流を流し込める大電流端子です。入出力端子には、タイマやシリアルインタフェースなどの内蔵周辺モジュール用端子と兼用となっている端子（D<sub>0</sub>、D<sub>4</sub>、R<sub>0</sub>、R<sub>3</sub>ポートの各端子）があります。これらの端子は、DポートまたはRポートとして入出力設定よりも、内蔵周辺モジュール用端子としての設定が優先するようになっています。

入出力端子の入力/出力の選択、および内蔵周辺モジュール用端子と兼用となっている端子のポート/内蔵周辺モジュール用端子の選択は、レジスタの設定により行います。

周辺モジュール用出力端子はすべてCMOS出力となります。ただし、R<sub>02</sub>/SO端子はレジスタ設定によりNMOSオープンドレイン出力にすることができます。

ストップモード時には、MCU内部がリセット状態となるため、内蔵周辺モジュール選択は解除されません。また、入力/出力端子はハイインピーダンス状態になります。

CMOS出力端子はプログラマブルプルアップMOSを内蔵しており、レジスタ設定により端子ごとにオン/オフを制御できます。なお、プルアップMOSのオン/オフ設定は、内蔵周辺モジュール用端子としての設定とは独立に行うことができます。

各ポートの機能一覧を表8.1に示します。

## 8. I/Oポート HD404394シリーズ

表8.1 ポートの機能

ポート	概要	端子	兼用機能	機能切り換え用レジスタ
D <sub>0</sub> ~ D <sub>5</sub>	<ul style="list-style-type: none"> <li>入出力ポート</li> <li>ビット単位でアクセス</li> <li>SED、SEDD、RED、REDD、TD、TDD命令によりアクセス</li> <li>プログラマブルプルアップMOS付き</li> <li>D<sub>1</sub>、D<sub>2</sub>は大電流端子(最大15mA)</li> </ul>	D <sub>0</sub> /INT <sub>0</sub> /EVNB	外部割込み入力0 / タイマBイベント入力	PMRB
		D <sub>1</sub>	_____	_____
		D <sub>2</sub>	_____	_____
		D <sub>3</sub>	_____	_____
		D <sub>4</sub> /STOPC	ストップモード解除	PMRB
R <sub>0</sub>	<ul style="list-style-type: none"> <li>入出力ポート</li> <li>4ビット単位でアクセス</li> <li>LAR、LBR、LRA、LRB命令によりアクセス</li> </ul>	R <sub>0</sub> /SCK	転送クロック入出力	SMR
		R <sub>0</sub> /SI	シリアル受信データ入力	PMRA
		R <sub>0</sub> /SO	シリアル送信データ出力	
		R <sub>0</sub> /TOC	タイマC出力	
R <sub>1</sub>	<ul style="list-style-type: none"> <li>標準入出力端子 (R<sub>0</sub> ~ R<sub>3</sub>、R<sub>3</sub><sub>1</sub> ~ R<sub>3</sub><sub>3</sub>) はプログラマブルプルアップMOS付き</li> </ul>	R <sub>1</sub> <sub>0</sub>	_____	_____
		R <sub>1</sub> <sub>1</sub>		
		R <sub>1</sub> <sub>2</sub>		
		R <sub>1</sub> <sub>3</sub>		
R <sub>2</sub>	<ul style="list-style-type: none"> <li>R<sub>1</sub><sub>0</sub> ~ R<sub>1</sub><sub>2</sub>は中耐圧NMOSオープンドレイン入出力端子</li> <li>R<sub>1</sub><sub>3</sub>、R<sub>2</sub><sub>0</sub> ~ R<sub>2</sub><sub>3</sub>は標準耐圧NMOSオープンドレイン入出力端子</li> </ul>	R <sub>2</sub> <sub>0</sub>	_____	_____
		R <sub>2</sub> <sub>1</sub>		
		R <sub>2</sub> <sub>2</sub>		
		R <sub>2</sub> <sub>3</sub>		
R <sub>3</sub>	<ul style="list-style-type: none"> <li>R<sub>1</sub><sub>0</sub> ~ R<sub>1</sub><sub>3</sub>、R<sub>2</sub><sub>0</sub> ~ R<sub>2</sub><sub>3</sub>は大電流端子 (最大15mA)</li> </ul>	R <sub>3</sub> <sub>1</sub> /AN <sub>1</sub>	アナログ入力チャンネル1	AMR1
		R <sub>3</sub> <sub>2</sub> /AN <sub>2</sub>	アナログ入力チャンネル2	
		R <sub>3</sub> <sub>3</sub> /AN <sub>3</sub>	アナログ入力チャンネル3	

### 8.1.2 入出力制御

$R1_0 \sim R1_2$ は中耐圧NMOSオープンドレイン入出力ポート、 $R1_3$ 、 $R2$ ポートは標準耐圧NMOSオープンドレイン入出力ポート、また、 $D$ ポートと $R0$ 、 $R3$ ポートは標準のCMOS 3ステート入出力ポートで回路構成が異なります。

#### (1) 中耐圧NMOSオープンドレイン入出力端子の回路構成

$R1_0 \sim R1_2$ は中耐圧NMOSオープンドレイン入出力ポートで、ポートデータレジスタ (PDR) とデータコントロールレジスタ (DCR) により、入出力が制御されます。各端子に対応するDCRのビットが1のとき、当該端子は出力端子となり、PDRを0とするとNMOSがオンとなり、端子にLowレベルの電圧が出力されます。PDRが1のときは出力ハイインピーダンスとなります。

DCRのビットが0のとき、当該端子は入力端子となります。

#### (2) 標準耐圧NMOSオープンドレイン入出力端子の回路構成

$R1_3$ 、 $R2_0 \sim R2_3$ は標準耐圧NMOSオープンドレイン入出力ポートで、PDRとDCRにより、入出力が制御されます。各端子に対応するDCRのビットが1のとき、当該端子は出力端子となり、PDRを0とするとNMOSがオンとなり、端子にLowレベルの電圧が出力されます。PDRが1のときは出力ハイインピーダンスとなります。

DCRのビットが0のとき、当該端子は入力端子となります。

#### (3) 標準耐圧CMOS 3ステート入出力端子の回路構成

$D$ ポートと $R0$ 、 $R3$ ポートの各端子は、標準耐圧CMOS 3ステート入出力ポートで、PDRとデータコントロールレジスタ (DCD、DCR) により、入出力が制御されます。各端子に対応するDCD、DCRのビットが1のとき、当該端子は出力端子となり、PDRの値を出力します。また、対応するDCD、DCRのビットが0のとき、当該端子は入力端子となります。

## 8. I/Oポート HD404394シリーズ

### (4) プルアップMOS制御

D、R0、R3ポートの各入出力端子は、プログラマブルプルアップMOSを内蔵しています。

ミセラニアスレジスタ (MIS) のMIS3ビットが1のとき、対応するPDRが1の端子のプルアップMOSがオンとなります。PDRにより各端子独立にプルアップMOSのオン/オフが制御できます。

なお、プルアップMOSのオン/オフ設定は、内蔵周辺モジュール用端子としての設定とは独立に行うことができます。

レジスタ設定によるポートの入出力端子制御を表8.2に示します。

表8.2 レジスタ設定による入出力端子の制御

MIS3		0				1			
DCD, DCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOS バッファ	PMOS	—		—	ON	—		—	ON
	NMOS	—		ON	—	—		ON	—
プルアップMOS		—		—		—	ON	—	ON

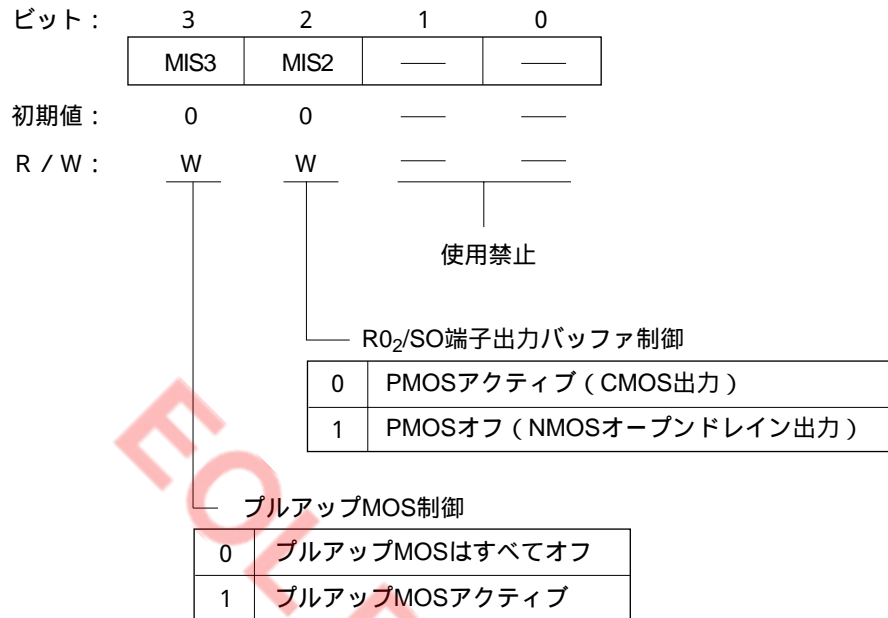
【注】 1. - : OFF

2. PDRは、RAMアドレス上に割り付けられていません。PDRは専用の入出力命令によりアクセスします。

## (5) ミセラニアスレジスタ (MIS : \$00C)

MISは、2ビットの書き込み専用のレジスタで、D、R0、R3ポートのプルアップMOSのオン/オフとR0<sub>2</sub>/SO端子出力バッファのPMOSのオン/オフを制御します。

リセット、およびストップモード時に、MISは\$0にイニシャライズされます。

**ビット3 : プルアップMOS制御 (MIS3)**

入出力ポートの各端子が内蔵するプルアップMOSのオン/オフを制御します。

MIS3	説明
0	プルアップMOSは、すべてオフとなります。 (初期値)
1	対応するPDRが1の各端子のプルアップMOSがオンとなります。

**ビット2 : R0<sub>2</sub>/SO端子PMOS制御 (MIS2)**

MIS2	説明
0	R0 <sub>2</sub> /SO端子出力はCMOS出力となります。 (初期値)
1	R0 <sub>2</sub> /SO端子出力はNMOSオープンドレイン出力となります。

R0<sub>2</sub>/SO端子の出力バッファのPMOSオン/オフを制御します。

## 8. I/Oポート HD404394シリーズ

### 8.1.3 入出力端子の回路構成

ポート、内蔵周辺モジュールの各端子の回路構成を表8.3に示します。

- 【注】
1. ストップモード時には、MCU内部がリセット状態となり、内蔵周辺モジュール選択が解除されます。また、内部信号HLTがLowレベル（アクティブ）となり、出力ハイインピーダンスとなります。また、すべてのプルアップMOSはオフとなります。
  2. ストップモード以外の低消費電力モードでは、内部信号HLTはHighレベルとなります。

表8.3 入力/出力端子の回路構成（1/4）

区分	回路構成	適用端子
標準入出力端子 耐圧端子		$D_0 \sim D_5$ , $R_{0_0}, R_{0_1}, R_{0_3}$ , $R_{3_0} \sim R_{3_3}$
		$R_{1_3}$ , $R_{2_0} \sim R_{2_3}$

表8.3 入力/出力端子の回路構成 (2/4)

区分	回路構成	適用端子
標準耐圧端子 入出力端子		R0 <sub>2</sub>
中耐圧端子		R1 <sub>0</sub> ~ R1 <sub>2</sub>

# 8. I/Oポート HD404394シリーズ

表8.3 入力/出力端子の回路構成 (3/4)

区分	回路構成	適用端子
入出力端子		SCK
標準耐圧端子 標準周辺モジュール用端子		SO
出力端子		TOC



表8.3 入力/出力端子の回路構成 (4/4)

区分	回路構成	適用端子
標準端子 内蔵周辺モジュール用端子 入力端子	<p>回路構成: 入力端子はプルアップ抵抗とトランジスタを介してV<sub>CC</sub>に接続される。入力データは反転され、SI, <math>\overline{INT_0}/EVNB</math>, <math>\overline{STOPC}</math> に出力される。また、この信号はANDゲートを通じてHLT, MIS3, PDRと論理ANDされる。</p>	SI, $\overline{INT_0}/EVNB$ , $\overline{STOPC}$
標準端子 内蔵周辺モジュール用端子 入力端子	<p>回路構成: 入力端子はプルアップ抵抗とトランジスタを介してV<sub>CC</sub>に接続される。入力信号はA/D入力に送られ、ANDゲートを通じてHLT, MIS3, PDRと論理ANDされる。入力制御ブロックも接続されている。</p>	AN <sub>1</sub> ~ AN <sub>3</sub>

## 8. I/Oポート HD404394シリーズ

### 8.1.4 低消費電力モード時のポートの状態

D<sub>0</sub>、D<sub>4</sub>、R<sub>0</sub>、R<sub>3</sub>ポートは、内蔵周辺モジュール用の入力端子または出力端子との兼用端子となっています。スタンバイモードでは、CPUが動作を停止するため、出力ポートに選択された端子は直前の出力を保持します。また、スタンバイモードで動作する内蔵周辺モジュール出力に選択された端子は動作を続けます（停止した内蔵周辺モジュール用出力端子は、直前の値を保持します）。各モードで動作可能な内蔵周辺モジュールについては、「第5章 低消費電力モード」を参照してください。

低消費電力モード時のポートの状態を表8.4に示します。

表8.4 低消費電力モード時のポートの状態

低消費電力モード	ポートの状態
スタンバイモード	スタンバイモードに入る直前の値を保持します。
ストップモード	内蔵周辺機能選択は解除され、ポートおよび周辺機能入出力端子はハイインピーダンスとなります。

### 8.1.5 未使用端子の処理

ユーザシステムで使用しない入出力端子がフローティングの場合、ノイズによりLSIが誤動作する可能性がありますので、入出力端子の電位を固定する必要があります。

未使用端子は、内蔵プルアップMOSで、V<sub>CC</sub>にプルアップするか、または外部で100k程度の抵抗をつけてV<sub>CC</sub>にプルアップしてください。

プログラムで該当端子のPDRやDCD、DCRの内容をリセット状態と同じ内容に保持してください。また、該当端子を周辺機能入出力端子に選択しないでください。

## 8.2 Dポート

### 8.2.1 概要

Dポートは、入出力ポート6本（ $D_0 \sim D_5$ ： $D_1$ 、 $D_2$ は最大15mAの電流を流し込める大電流端子）で構成され、1ビット単位にアクセスします。

$D_0 \sim D_5$ 端子は、出力命令（SED、SEDD、RED、REDD）により、1ビット単位にアクセスして、High / Lowレベル出力を制御します。出力データは、各端子のPDRに格納されます。

また、 $D_0 \sim D_5$ 端子は、入力命令（TD、TDD）により、1ビット単位にアクセスして、端子のレベルをテストすることができます。

Dポートの出力バッファのオン/オフは、DCDにより行います。Dポートの各端子に対応するDCDが1のとき、対応するPDRの内容が当該端子より出力されます。出力バッファのオン/オフは、Dポートの各端子ごとに独立して設定できます。DCDは、RAMアドレス上に割り付けられています。

$D_0$ 、 $D_4$ 端子は、各々内蔵周辺モジュール用端子との兼用端子になっています。これらの端子の機能切り換えは、PMRBにより行います。

Dポートの構成を図8.1に示します。

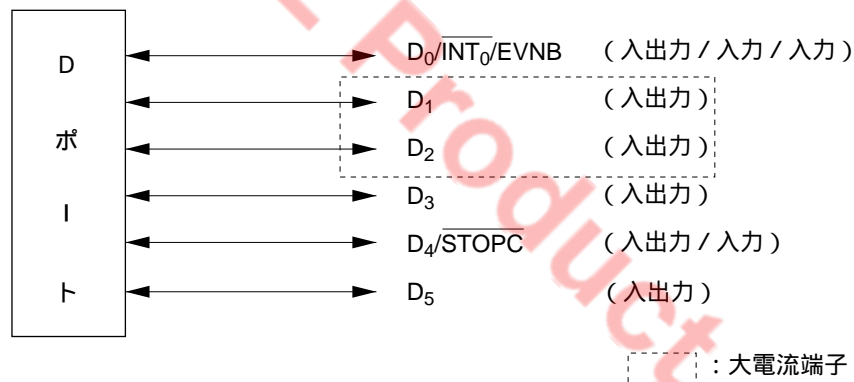


図8.1 Dポートの構成

### 8.2.2 レジスタの構成と説明

Dポートのレジスタ構成を表8.5に示します。

表8.5 Dポートレジスタ構成

アドレス	名称	略称	R/W	初期値
——	ポートデータレジスタ	PDR	W*	1
\$ 02C	データコントロールレジスタ	DCD0	W	\$0
\$ 02D		DCD1	W	--00
\$ 024	ポートモードレジスタB	PMRB	W	0--0

【注】\* PDRへの書き込みは、SED、SEDD、RED、REDD命令により行います。

## 8. I/Oポート HD404394シリーズ

### (1) ポートデータレジスタ (PDR)

D<sub>0</sub>~D<sub>5</sub>の各入出力端子は、出力データを格納するPDRを各々内蔵しています。D<sub>0</sub>~D<sub>5</sub>端子に対して、SED、SEDD命令を実行すると対応するPDRは1にセットされ、またRED、REDD命令を実行すると0にクリアされます。DポートのDCD0、DCD1の対応するビットが1のとき、当該端子の出力バッファがオンとなり、PDRの値が端子より出力されます。

リセット、およびストップモード時に、PDRは1にセットされます。

### (2) データコントロールレジスタ (DCD0、DCD1 : \$02C、\$02D)

DCD0 : \$02C	ビット :	3	2	1	0
		DCD03	DCD02	DCD01	DCD00
	初期値 :	0	0	0	0
	R/W :	W	W	W	W
DCD1 : \$02D	ビット :	3	2	1	0
		—	—	DCD11	DCD10
	初期値 :	—	—	0	0
	R/W :	—	—	W	W

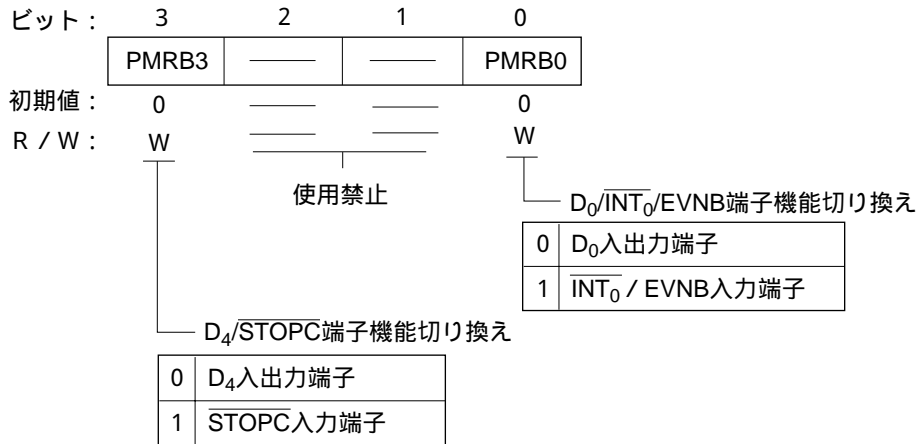
DCD0、DCD1 の各ビット	説 明
0	出力バッファ (CMOSバッファ) はオフとなり、出力ハイインピーダンスとなります。 <span style="float: right;">(初期値)</span>
1	出力バッファはオンとなり、対応するPDRの値を出力します。

DCD0、1の各ビットとDポートの各端子との対応は次のようになっています。

レジスタ名 \ ビット	ビット3	ビット2	ビット1	ビット0
DCD0	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
DCD1	-	-	D <sub>5</sub>	D <sub>4</sub>

## (3) ポートモードレジスタB (PMRB: \$024)

PMRBは、2ビットの書き込み専用レジスタでDポートの兼用入出力端子の切り換えを行います。

ビット3: D<sub>4</sub>/STOPC端子機能切り換え (PMRB3)

D<sub>4</sub>/STOPC端子をD<sub>4</sub>入出力端子として使用するか、ストップモード解除端子(STOPC)として使用するかを選択します。

PMRB3	説明
0	D <sub>4</sub> /STOPC端子は、D <sub>4</sub> 入出力端子として機能します。(初期値)
1	D <sub>4</sub> /STOPC端子は、STOPC入力端子として機能します。

ビット0: D<sub>0</sub>/INT<sub>0</sub>/EVNB端子機能切り換え (PMRB0)

D<sub>0</sub>/INT<sub>0</sub>/EVNB端子をD<sub>0</sub>入出力端子として使用するか、外部割込み0/タイマBイベントの入力端子(INT<sub>0</sub>/EVNB)として使用するかを選択します。

PMRB0	説明
0	D <sub>0</sub> /INT <sub>0</sub> /EVNB端子は、D <sub>0</sub> 入出力端子として機能します。(初期値)
1	D <sub>0</sub> /INT <sub>0</sub> /EVNB端子は、INT <sub>0</sub> /EVNB入力端子として機能します。

INT<sub>0</sub>端子とEVNB端子の切り換えについては、「18.2.2 タイマモードレジスタB2 (TMB2)」を参照してください。

## 8. I/Oポート HD404394シリーズ

### 8.2.3 端子機能

D<sub>0</sub> ~ D<sub>5</sub>の各端子は、PMRAとPMRBの各ビットにより、表8.6に示すように端子機能が切り換わります。

表8.6 D<sub>0</sub> ~ D<sub>4</sub>ポート端子機能

端 子	選 択 方 法 と 端 子 機 能		
D <sub>0</sub> /INT <sub>0</sub> /EVNB	PMRBのPMRB0ビットとDCD0のDCD00ビットにより、次のように切り換わります。		
	PMRB0	0	1
	DCD00	0	1
	端子機能	D <sub>0</sub> 入力端子	D <sub>0</sub> 出力端子
			INT <sub>0</sub> /EVNB入力端子*
	【注】* EVNB端子として使用するときはINT <sub>0</sub> 割込みマスク (IM0 : \$000, 3) を1にセットしてINT <sub>0</sub> 割込みをマスクしてください。		
D <sub>1</sub>	DCD0のDCD01ビットにより、次のように切り換わります。		
	DCD01	0	1
	端子機能	D <sub>1</sub> 入力端子	D <sub>1</sub> 出力端子
D <sub>2</sub>	DCD0のDCD02ビットにより、次のように切り換わります。		
	DCD02	0	1
	端子機能	D <sub>2</sub> 入力端子	D <sub>2</sub> 出力端子
D <sub>3</sub>	DCD0のDCD03ビットにより、次のように切り換わります。		
	DCD03	0	1
	端子機能	D <sub>3</sub> 入力端子	D <sub>3</sub> 出力端子
D <sub>4</sub> /STOPC	PMRBのPMRB3ビットとDCD1のDCD10ビットにより、次のように切り換わります。		
	PMRB3	0	1
	DCD10	0	1
	端子機能	D <sub>4</sub> 入力端子	D <sub>4</sub> 出力端子
			STOPC入力端子
D <sub>5</sub>	DCD1のDCD11ビットにより、次のように切り換わります。		
	DCD11	0	1
	端子機能	D <sub>5</sub> 入力端子	D <sub>5</sub> 出力端子

## 8.3 Rポート

### 8.3.1 概要

Rポートは、4ビット×3および3ビット×1の入出力ポート（R0～R3）から構成され、4ビット単位にアクセスします。

R0、R3は標準耐圧入出力ポート、R1<sub>0</sub>～R1<sub>2</sub>は中耐圧NMOSオープンドレイン入出力ポート、R1<sub>3</sub>、R2は標準耐圧NMOSオープンドレイン入出力ポートです。

R0～R3の各ポートは、出力命令（LRA、LRB）により4ビット単位にアクセスして、High/Lowレベル出力を制御します。出力データは、各端子のPDRに格納されます。また、入力命令（LAR、LBR）により、4ビット単位にアクセスして、端子のレベルを読み出すことができます。

R0～R3ポートの出力バッファのオン/オフは、DCRにより行います。R0～R3ポートの各端子に対応するDCRが1のとき、対応するPDRの内容が当該端子より出力されます。出力バッファのオン/オフは、Rポートの各端子ごとに独立して設定できます。DCRは、RAMアドレス上に割り付けられています。

R1、R2ポートの各端子は、最大15mAの電流を流し込める大電流端子です。

R0、R3ポートの端子は、内蔵周辺モジュール用端子と兼用端子になっています。これらの端子機能の切り換えは、レジスタ設定により行います（表8.7参照）。

Rポートの端子構成を図8.2に示します。

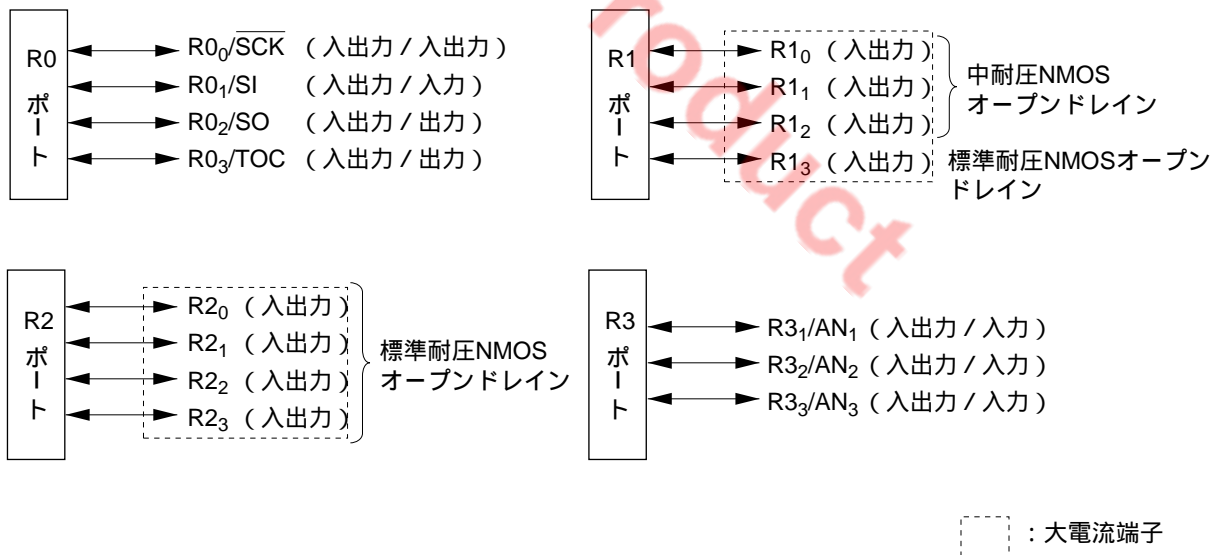


図8.2 Rポートの構成

## 8. I/Oポート HD404394シリーズ

### 8.3.2 レジスタの構成と説明

Rポートのレジスタ構成を表8.7に示します。

表8.7 Rポートレジスタ構成

アドレス	名 称	略 称	R / W	初期値
———	ポートデータレジスタ	PDR	W*	1
\$ 030	データコントロールレジスタ	DCR0	W	\$0
\$ 031		DCR1	W	\$0
\$ 032		DCR2	W	\$0
\$ 033		DCR3	W	\$0
\$ 004	ポートモードレジスタA	PMRA	W	\$0
\$ 005	シリアルモードレジスタ	SMR	W	\$0
\$ 019	A/Dモードレジスタ1	AMR1	W	\$0

【注】\* PDRへの書き込みは、LRA、LRB命令により行います。

#### (1) ポートデータレジスタ (PDR)

R0～R3ポートの各入出力端子は、出力データを格納するPDRを内蔵しています。R0～R3ポートに対してLRA、LRB命令を実行すると、アキュムレータ(A)、Bレジスタ(B)の内容が、指定されたRポートのPDRに転送されます。R0～R3ポートのDCR0～DCR3の対応するビットが1のとき、当該端子の出力バッファがオンとなり、PDRの値が端子より出力されます。

リセット、およびストップモード時に、PDRは1にセットされます。



(2) データコントロールレジスタ (DCR0 ~ DCR3 : \$ 030、\$ 031、\$ 032、\$ 033)

DCR0 : \$ 030	ビット :	3	2	1	0
		DCR03	DCR02	DCR01	DCR00
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR1 : \$ 031	ビット :	3	2	1	0
		DCR13	DCR12	DCR11	DCR10
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR2 : \$ 032	ビット :	3	2	1	0
		DCR23	DCR22	DCR21	DCR20
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR3 : \$ 033	ビット :	3	2	1	0
		DCR33	DCR32	DCR31	—
	初期値 :	0	0	0	—
	R / W :	W	W	W	—

DCR0 ~ DCR3 の各ビット	説 明
0	出力バッファ (CMOSバッファ) はオフとなり、出力ハイインピーダンスとなります。 (初期値)
1	<ul style="list-style-type: none"> <li>・ CMOS 3 ステート出力バッファはオンとなり、対応するPDRの値を出力します。</li> <li>・ NMOSオープンドレイン端子は、PDRが0のときLowレベル出力となります。PDRが1のときは出力ハイインピーダンスとなります。</li> </ul>

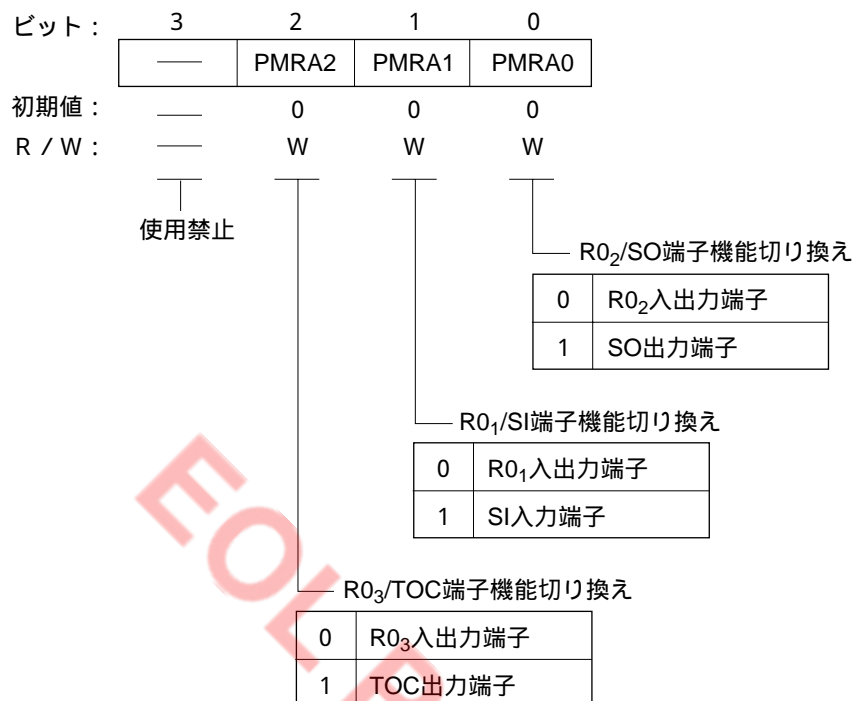
DCR0 ~ DCR3の各ビットとR0 ~ R3ポートの各端子との対応は次のようになっています。

レジスタ名 ビット	ビット 3	ビット 2	ビット 1	ビット 0
DCR0	R0 <sub>3</sub>	R0 <sub>2</sub>	R0 <sub>1</sub>	R0 <sub>0</sub>
DCR1	R1 <sub>3</sub>	R1 <sub>2</sub>	R1 <sub>1</sub>	R1 <sub>0</sub>
DCR2	R2 <sub>3</sub>	R2 <sub>2</sub>	R2 <sub>1</sub>	R2 <sub>0</sub>
DCR3	R3 <sub>3</sub>	R3 <sub>2</sub>	R3 <sub>1</sub>	-

## 8. I/Oポート HD404394シリーズ

### (3) ポートモードレジスタA (PMRA : \$004)

PMRAは、3ビットの書き込み専用レジスタで、PMRA2~PMRA0ビットでR0ポート兼用端子の切り換えを行います。



#### ビット2 : R0<sub>3</sub>/TOC端子機能切り換え (PMRA2)

R0<sub>3</sub>/TOC端子をR0<sub>3</sub>入出力端子として使用するか、タイマC出力端子 (TOC) として使用するかを選択します。

PMRA2	説明
0	R0 <sub>3</sub> /TOC端子は、R0 <sub>3</sub> 入出力端子として機能します。 (初期値)
1	R0 <sub>3</sub> /TOC端子は、TOC出力端子として機能します。

#### ビット1 : R0<sub>1</sub>/SI端子機能切り換え (PMRA1)

R0<sub>1</sub>/SI端子をR0<sub>1</sub>入出力端子として使用するか、シリアル受信データ入力端子 (SI) として使用するかを選択します。

PMRA1	説明
0	R0 <sub>1</sub> /SI端子は、R0 <sub>1</sub> 入出力端子として機能します。 (初期値)
1	R0 <sub>1</sub> /SI端子は、SI入力端子として機能します。

**ビット0：R0<sub>2</sub>/SO端子機能切り換え（PMRA0）**

R0<sub>2</sub>/SO端子をR0<sub>2</sub>入出力端子として使用するか、シリアル送信データ出力端子（SO）として使用するかを選択します。

PMRA0	説 明
0	R0 <sub>2</sub> /SO端子は、R0 <sub>2</sub> 入出力端子として機能します。 (初期値)
1	R0 <sub>2</sub> /SO端子は、SO出力端子として機能します。

**(4) シリアルモードレジスタ（SMR：\$005）**

SMRは、4ビットの書き込み専用のレジスタで、SMR3ビットでR0<sub>0</sub>/SCK端子の切り換えを行います。

ここではSMR3ビットについて説明します。SMR2～SMR0ビットについての詳細は「20.2.1 シリアルモードレジスタ（SMR）」を参照してください。

ビット：	3	2	1	0
	SMR3	SMR2	SMR1	SMR0
初期値：	0	0	0	0
R / W：	W	W	W	W

転送クロック選択

R0<sub>0</sub>/SCK端子機能切り換え

0	R0 <sub>0</sub> 入出力端子
1	SCK入出力端子

**ビット3：R0<sub>0</sub>/SCK端子機能切り換え（SMR3）**

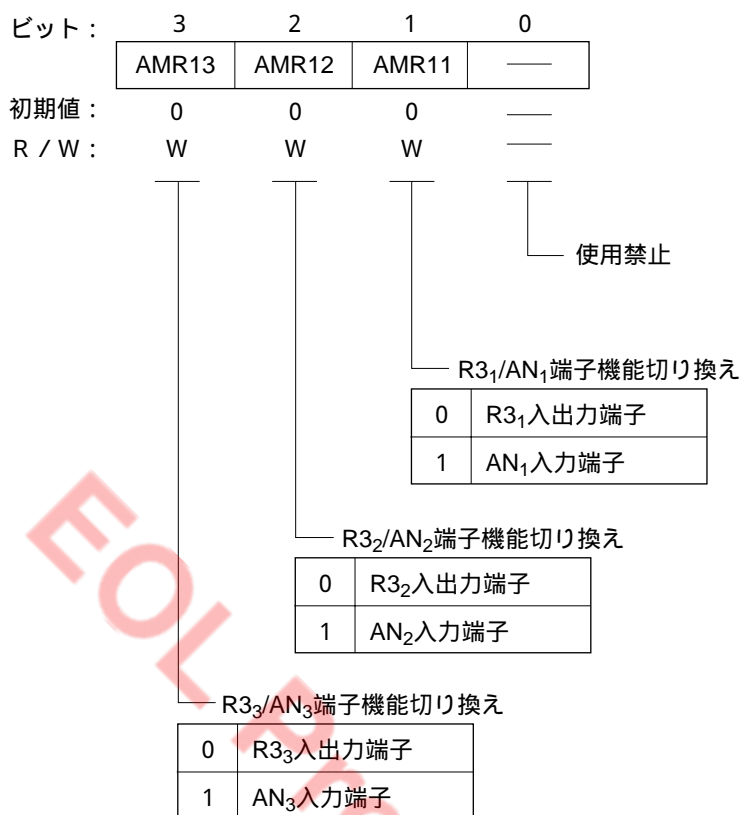
R0<sub>0</sub>/SCK端子をR0<sub>0</sub>入出力端子として使用するか、シリアルインタフェースの転送クロックの入出力端子（SCK）として使用するかを選択します。

SMR3	説 明
0	R0 <sub>0</sub> /SCK端子は、R0 <sub>0</sub> 入出力端子として機能します。 (初期値)
1	R0 <sub>0</sub> /SCK端子は、SCK入出力端子として機能します。

## 8. I/Oポート HD404394シリーズ

### (5) A/Dモードレジスタ1 (AMR1: \$019)

AMR1は3ビットの書き込み専用レジスタでR3ポートの兼用端子の切り換えを行います。



#### ビット3 : R3<sub>3</sub>/AN<sub>3</sub>端子機能切り換え (AMR13)

R3<sub>3</sub>/AN<sub>3</sub>端子をR3<sub>3</sub>入出力端子として使用するか、A/Dコンバータのチャンネル3入力端子 (AN<sub>3</sub>) として使用するかを選択します。

AMR13	説明
0	R3 <sub>3</sub> /AN <sub>3</sub> 端子は、R3 <sub>3</sub> 入出力端子として機能します。(初期値)
1	R3 <sub>3</sub> /AN <sub>3</sub> 端子は、AN <sub>3</sub> 入力端子として機能します。

**ビット2 : R<sub>32</sub>/AN<sub>2</sub>端子機能切り換え (AMR12)**

R<sub>32</sub>/AN<sub>2</sub>端子をR<sub>32</sub>入出力端子として使用するか、A/Dコンバータのチャンネル2入力端子 (AN<sub>2</sub>)として使用するかを選択します。

AMR12	説明
0	R <sub>32</sub> /AN <sub>2</sub> 端子は、R <sub>32</sub> 入出力端子として機能します。(初期値)
1	R <sub>32</sub> /AN <sub>2</sub> 端子は、AN <sub>2</sub> 入力端子として機能します。

**ビット1 : R<sub>31</sub>/AN<sub>1</sub>端子機能切り換え (AMR11)**

R<sub>31</sub>/AN<sub>1</sub>端子をR<sub>31</sub>入出力端子として使用するか、A/Dコンバータのチャンネル1入力端子 (AN<sub>1</sub>)として使用するかを選択します。

AMR11	説明
0	R <sub>31</sub> /AN <sub>1</sub> 端子は、R <sub>31</sub> 入出力端子として機能します。(初期値)
1	R <sub>31</sub> /AN <sub>1</sub> 端子は、AN <sub>1</sub> 入力端子として機能します。

## 8. I/Oポート HD404394シリーズ

### 8.3.3 端子機能

Rポートの各端子は、レジスタ設定により、表8.8に示すように切り換わります。

表8.8 Rポート端子機能 (1/3)

端子	選択方法と端子機能			
R <sub>0</sub> /SCK	SMRのSMR3ビットとDCR0のDCR00ビットにより、次のように切り換わります。			
	SMR3	0		1
	DCR00	0	1	—————
	端子機能	R <sub>0</sub> 入力端子	R <sub>0</sub> 出力端子	SCK入出力端子
R <sub>0</sub> /SI	PMRAのPMRA1ビットとDCR0のDCR01ビットにより、次のように切り換わります。			
	PMRA1	0		1
	DCR01	0	1	—————
	端子機能	R <sub>0</sub> 入力端子	R <sub>0</sub> 出力端子	SI入力端子
R <sub>0</sub> /SO	PMRAのPMRA0ビットとDCR0のDCR02ビットにより、次のように切り換わります。			
	PMRA0	0		1
	DCR02	0	1	—————
	端子機能	R <sub>0</sub> 入力端子	R <sub>0</sub> 出力端子	SO出力端子
R <sub>0</sub> /TOC	PMRAのPMRA2ビットとDCR0のDCR03ビットにより、次のように切り換わります。			
	PMRA2	0		1
	DCR03	0	1	—————
	端子機能	R <sub>0</sub> 入力端子	R <sub>0</sub> 出力端子	TOC出力端子

表8.8 Rポート端子機能 (2/3)

端子	選択方法と端子機能		
R1 <sub>0</sub>	DCR1のDCR10ビットにより、次のように切り換わります。		
	DCR10	0	1
	端子機能	R1 <sub>0</sub> 入力端子	R1 <sub>0</sub> 出力端子*1
R1 <sub>1</sub>	DCR1のDCR11ビットにより、次のように切り換わります。		
	DCR11	0	1
	端子機能	R1 <sub>1</sub> 入力端子	R1 <sub>1</sub> 出力端子*1
R1 <sub>2</sub>	DCR1のDCR12ビットにより、次のように切り換わります。		
	DCR12	0	1
	端子機能	R1 <sub>2</sub> 入力端子	R1 <sub>2</sub> 出力端子*1
R1 <sub>3</sub>	DCR1のDCR13ビットにより、次のように切り換わります。		
	DCR13	0	1
	端子機能	R1 <sub>3</sub> 入力端子	R1 <sub>3</sub> 出力端子*2
R2 <sub>0</sub>	DCR2のDCR20ビットにより、次のように切り換わります。		
	DCR20	0	1
	端子機能	R2 <sub>0</sub> 入力端子	R2 <sub>0</sub> 出力端子*2
R2 <sub>1</sub>	DCR2のDCR21ビットにより、次のように切り換わります。		
	DCR21	0	1
	端子機能	R2 <sub>1</sub> 入力端子	R2 <sub>1</sub> 出力端子*2
R2 <sub>2</sub>	DCR2のDCR22ビットにより、次のように切り換わります。		
	DCR22	0	1
	端子機能	R2 <sub>2</sub> 入力端子	R2 <sub>2</sub> 出力端子*2
R2 <sub>3</sub>	DCR2のDCR23ビットにより、次のように切り換わります。		
	DCR23	0	1
	端子機能	R2 <sub>3</sub> 入力端子	R2 <sub>3</sub> 出力端子*2

【注】 \*1 R1<sub>0</sub>~R1<sub>2</sub>は中耐圧NMOSオープンドレイン入出力端子です。PDRが1のとき出力ハイインピーダンスとなります。

\*2 R1<sub>3</sub>、R2<sub>0</sub>~R2<sub>3</sub>は標準耐圧NMOSオープンドレイン入出力端子です。PDRが1のとき出力ハイインピーダンスとなります。

## 8. I/Oポート HD404394シリーズ

表8.8 Rポート端子機能 (3/3)

端 子	選 択 方 法 と 端 子 機 能		
R <sub>3</sub> <sub>1</sub> /AN <sub>1</sub>	AMR1のAMR11ビットとDCR3のDCR31ビットにより、次のように切り換わります。		
	AMR11	0	
	DCR31	0	1
	端子機能	R <sub>3</sub> <sub>1</sub> 入力端子	R <sub>3</sub> <sub>1</sub> 出力端子
R <sub>3</sub> <sub>2</sub> /AN <sub>2</sub>	AMR1のAMR12ビットとDCR3のDCR32ビットにより、次のように切り換わります。		
	AMR12	0	
	DCR32	0	1
	端子機能	R <sub>3</sub> <sub>2</sub> 入力端子	R <sub>3</sub> <sub>2</sub> 出力端子
R <sub>3</sub> <sub>3</sub> /AN <sub>3</sub>	AMR1のAMR13ビットとDCR3のDCR33ビットにより、次のように切り換わります。		
	AMR13	0	
	DCR33	0	1
	端子機能	R <sub>3</sub> <sub>3</sub> 入力端子	R <sub>3</sub> <sub>3</sub> 出力端子



## 8.4 使用上の注意

ポートを使用するとき、次の点に注意してください。

(1) MISのMIS2ビットを1にセットすると、PMRAのPMRA0ビットによりR<sub>02</sub>端子またはSO端子機能のいずれが選択されている場合にも、NMOSオープンドレイン出力となります。

(2) ユーザシステムで使用しない入出力端子がフローティングの場合、ノイズによりLSIが誤動作する可能性がありますので、入出力端子の電位を固定する必要があります。

未使用端子は、内蔵プルアップMOSでV<sub>CC</sub>にプルアップするか、または外部で100k程度の抵抗をつけてV<sub>CC</sub>にプルアップしてください。

プログラムで該当端子のPDRやDCRの内容をリセット状態と同じ内容に保持してください。また、該当端子を周辺機能入出力端子に選択しないでください。

(3) MISのMIS3ビット = 1 (プルアップMOSアクティブ) かつRポート/アナログ入力兼用端子のPDR = 1の場合、AMR1でアナログ入力端子を選択しても、当該端子のプルアップMOSはオフとなりません。

プルアップMOSアクティブを選択し、Rポート/アナログ入力兼用端子をアナログ入力として使用する場合、必ず当該端子のPDRを0にクリアして、プルアップMOSをオフにしてください(リセット直後、PDRは1にセットされます)。

図8.3にRポート/アナログ入力兼用端子の回路構成を示します。

AMR1は、ポート出力をハイインピーダンスにするためのレジスタであり、アナログ入力チャンネルの切り換えは、ACRにより行います。

AMR1、MIS3ビット、DCR、PDRの組み合わせにより、Rポート/アナログ入力兼用端子の状態は表8.9に示すようになります。

## 8. I/Oポート HD404394シリーズ

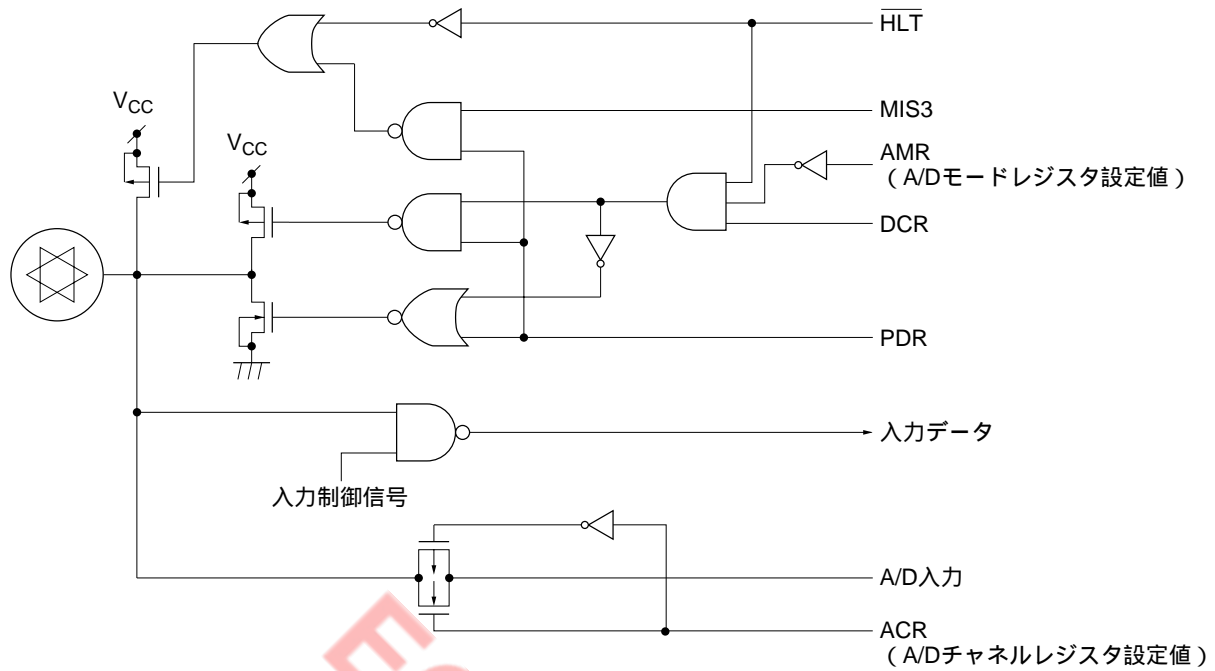


図8.3 Rポート / アナログ入力兼用端子回路構成

表8.9 プログラムによるRポート / アナログ入力兼用端子の制御

AMR1の当該ビット		0 ( Rポート選択 )							
MIS3ビット		0				1			
DCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOSバッファ	PMOS	—		—	ON	—		—	ON
	NMOS	—		ON	—	—		ON	—
プルアップMOS		—				—	ON	—	ON

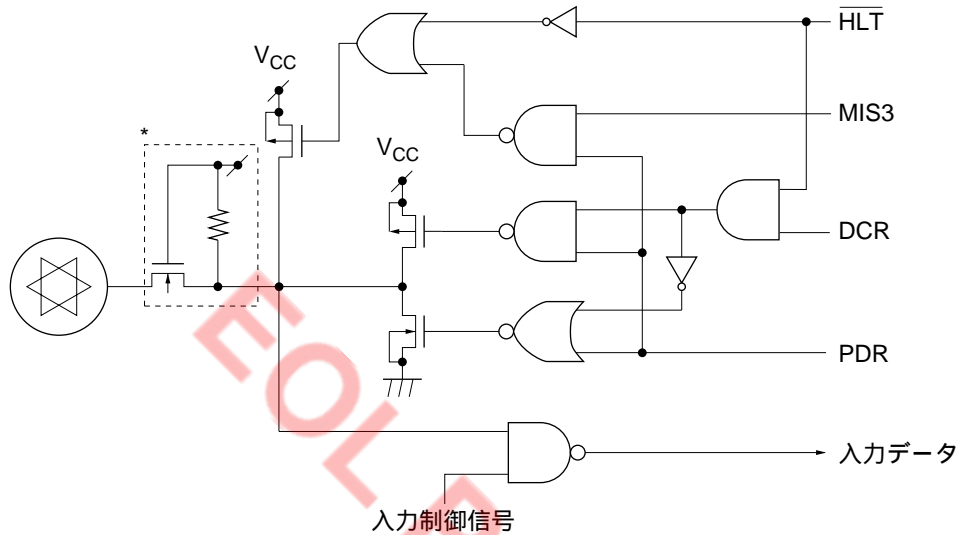
【注】 — : OFF

AMR1の当該ビット		1 ( アナログ入力選択 )							
MIS3ビット		0				1			
DCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOSバッファ	PMOS	—		—	—	—		—	—
	NMOS	—		—	—	—		—	—
プルアップMOS		—				—	ON	—	ON

【注】 — : OFF

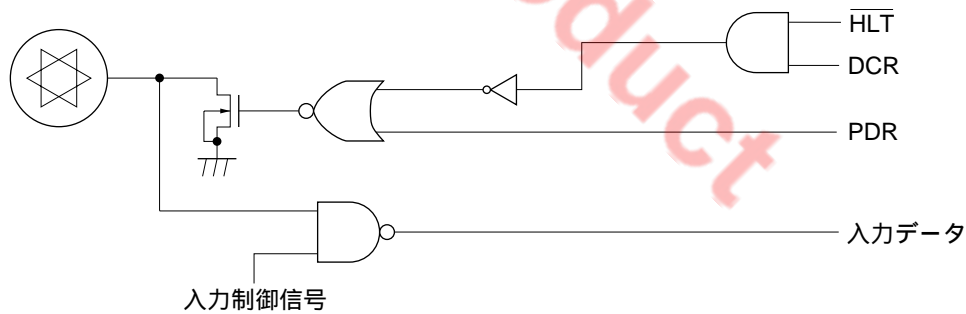
(4) HD404394シリーズのエバリュエーションチップセットでは、図8.4に示すように中耐圧NMOSオープンドレイン端子 (R1<sub>0</sub>~R1<sub>2</sub>) および標準耐圧NMOSオープンドレイン端子 (R1<sub>3</sub>、R2<sub>0</sub>~R2<sub>3</sub>) の回路構成が、ZTAT<sup>®</sup>マイコンおよびマスクROM内蔵マイコンと異なります。

ZTAT<sup>®</sup>マイコンおよびマスクROMマイコンでは、表8.10の組み合わせで出力をハイインピーダンスにすることができますが、エバリュエーションチップセットでは、R1<sub>0</sub>~R1<sub>2</sub>の出力をハイインピーダンスにできません。また、R1<sub>3</sub>、R2<sub>0</sub>~R2<sub>3</sub>の出力は、DCR = 1かつPDR = 1のときHighレベル出力となります。ご注意ください。



【注】\* R1<sub>0</sub>~R1<sub>2</sub>のみ付属、R1<sub>3</sub>、R2<sub>0</sub>~R2<sub>3</sub>は未付属

(a) エバチップセット回路構成



(b) ZTAT<sup>®</sup>マイコンおよびマスクROMマイコン内蔵回路構成

図8.4 中耐圧NMOSオープンドレイン端子の回路構成

表8.10 ZTAT<sup>®</sup>マイコンおよびマスクROMマイコンのNMOSオープンドレイン端子ハイインピーダンス制御方法

DCR	PDR	説明
0	*	出力ハイインピーダンス (初期値)
1	0	NMOSバッファオン。Lowレベル出力。
	1	出力ハイインピーダンス

\* : don't care

EOL Product

---

# 9. I/Oポート

## (HD404318シリーズ)

---

---

### 第9章 目次

---

9.1	概要	197
9.1.1	特長	197
9.1.2	入出力制御	199
	(1) 高耐圧入出力端子の回路構成	199
	(2) 標準耐圧CMOS 3 ステート入出力端子の回路構成	199
	(3) プルアップMOS制御	199
	(4) ミセラニアスレジスタ (MIS)	200
9.1.3	入出力端子の回路構成	201
9.1.4	低消費電力モード時のポートの状態	206
9.1.5	未使用端子の処理	206
9.2	Dポート	207
9.2.1	概要	207
9.2.2	レジスタの構成と説明	207
	(1) ポートデータレジスタ (PDR)	208
	(2) ポートモードレジスタA (PMRA)	208
	(3) ポートモードレジスタB (PMRB)	209
9.2.3	端子機能	211
9.3	Rポート	212
9.3.1	概要	212
9.3.2	レジスタの構成と説明	214
	(1) ポートデータレジスタ (PDR)	214
	(2) データコントロールレジスタ (DCR0、DCR3、DCR4)	215
	(3) ポートモードレジスタA (PMRA)	216
	(4) シリアルモードレジスタ (SMR)	217
	(5) A/Dモードレジスタ1 (AMR1)	218
	(6) A/Dモードレジスタ2 (AMR2)	220
9.3.3	端子機能	221
9.4	使用上の注意	223

EOL Product

## 9.1 概要

### 9.1.1 特長

HD404318シリーズのI/Oポートの特長を以下に示します。

$D_0 \sim D_8$ の9本とR1、R2、R8ポートは高耐圧入出力端子です。また、 $RA_1$ は高耐圧入力端子です。R0、R3、R4は標準耐圧入出力端子でCMOS3ステート出力となっています。

入出力端子には、タイマやシリアルインタフェースなどの内蔵周辺モジュール用端子と兼用となっている端子 ( $D_0 \sim D_4$ 、R0、R3、R4ポートの各端子) があります。これらの端子は、DポートまたはRポートとしての入出力設定よりも、内蔵周辺モジュール用端子としての設定が優先するようになっています。

入出力端子の入力/出力の選択、および内蔵周辺モジュール用端子と兼用となっている端子のポート/内蔵周辺モジュール用端子の選択は、レジスタの設定により行います。

内蔵周辺モジュール用端子のうち $D_3$ /BUZZはPMOSオープンドレイン出力、その他の出力端子はすべてCMOS出力となります。また、 $R0_2$ /SO端子は、レジスタ設定によりNMOSオープンドレイン出力にすることができます。

ストップモード時には、MCU内部がリセット状態となるため、内蔵周辺モジュール選択は解除されません。また入力/出力端子はハイインピーダンス状態になります。

CMOS出力端子はプログラマブルプルアップMOSを内蔵しており、レジスタ設定により端子ごとにオン/オフを制御できます。なお、プルアップMOSのオン/オフ設定は、内蔵周辺モジュール用端子としての設定とは独立に行うことができます。

各ポートの機能一覧を表9.1に示します。

## 9. I/Oポート HD404318シリーズ

表9.1 ポートの機能

ポート	概要	端子	兼用機能	機能切り換え用レジスタ
D <sub>0</sub> ~ D <sub>8</sub>	<ul style="list-style-type: none"> <li>高耐圧入出力ポート</li> <li>ビット単位でアクセス</li> <li>SED、SEDD、RED、REDD、TD、TDD命令によりアクセス</li> <li>プルダウン抵抗（マスクオプション）</li> </ul>	D <sub>0</sub> /INT <sub>0</sub>	外部割込み入力 0	PMRB
		D <sub>1</sub> /INT <sub>1</sub>	外部割込み入力 1	
		D <sub>2</sub> /EVNB	タイマBイベント入力	PMRA
		D <sub>3</sub> /BUZZ	ブザー出力	PMRB
		D <sub>4</sub> /STOPC	ストップモード解除	
		D <sub>5</sub> ~ D <sub>8</sub>	_____	_____
R0	<ul style="list-style-type: none"> <li>標準耐圧入出力ポート</li> </ul>	R <sub>0</sub> /SCK	転送クロック入出力	SMR
		R <sub>0</sub> <sub>1</sub> /SI	シリアル受信データ入力	PMRA
		R <sub>0</sub> <sub>2</sub> /SO	シリアル送信データ出力	
		R <sub>0</sub> <sub>3</sub> /TOC	タイマC出力	
R3	<ul style="list-style-type: none"> <li>4ビット単位でアクセス</li> <li>LAR、LBR、LRA、LRB命令によりアクセス</li> <li>プログラマブルプルアップMOS付き</li> </ul>	R <sub>3</sub> <sub>0</sub> /AN <sub>0</sub>	アナログ入力チャンネル 0	AMR1
		R <sub>3</sub> <sub>1</sub> /AN <sub>1</sub>	アナログ入力チャンネル 1	
		R <sub>3</sub> <sub>2</sub> /AN <sub>2</sub>	アナログ入力チャンネル 2	
		R <sub>3</sub> <sub>3</sub> /AN <sub>3</sub>	アナログ入力チャンネル 3	
R4		R <sub>4</sub> <sub>0</sub> /AN <sub>4</sub>	アナログ入力チャンネル 4	AMR2
		R <sub>4</sub> <sub>1</sub> /AN <sub>5</sub>	アナログ入力チャンネル 5	
		R <sub>4</sub> <sub>2</sub> /AN <sub>6</sub>	アナログ入力チャンネル 6	
		R <sub>4</sub> <sub>3</sub> /AN <sub>7</sub>	アナログ入力チャンネル 7	
R1	<ul style="list-style-type: none"> <li>高耐圧入出力ポート</li> </ul>	R <sub>1</sub> <sub>0</sub>	_____	_____
		R <sub>1</sub> <sub>1</sub>		
		R <sub>1</sub> <sub>2</sub>		
		R <sub>1</sub> <sub>3</sub>		
R2	<ul style="list-style-type: none"> <li>4ビット単位でアクセス</li> <li>LAR、LBR、LRA、LRB命令によりアクセス</li> <li>プルダウン抵抗（マスクオプション）</li> </ul>	R <sub>2</sub> <sub>0</sub>	_____	_____
		R <sub>2</sub> <sub>1</sub>		
		R <sub>2</sub> <sub>2</sub>		
		R <sub>2</sub> <sub>3</sub>		
R8		R <sub>8</sub> <sub>0</sub>	_____	_____
		R <sub>8</sub> <sub>1</sub>		
		R <sub>8</sub> <sub>2</sub>		
		R <sub>8</sub> <sub>3</sub>		
RA	<ul style="list-style-type: none"> <li>高耐圧入力ポート（1ビット）</li> <li>LAR、LBR命令によりアクセス</li> </ul>	RA <sub>1</sub> /V <sub>disp</sub>	高耐圧端子出力電源	マスクオプション



### 9.1.2 入出力制御

DとR1、R2、R8は高耐圧の入出力ポート、RA<sub>1</sub>は1ビットの高耐圧入力ポートであり、R0、R3、R4は標準耐圧の入出力ポートで回路構成が異なります。

#### (1) 高耐圧入出力端子の回路構成

DポートとR1、R2、R8ポートは高耐圧の入出力端子で、入出力の切り換え機能はありません。ポートデータレジスタ（PDR）の値を1とするとPMOSがオンとなり、端子にHighレベルの電圧が出力されます。0のときはオープンとなり、マスクオプションでプルダウン抵抗を内蔵したときはV<sub>disp</sub>の電圧が出力されることとなります。外部から信号を入力するときは、PDRの値を0にして双方の出力が端子で衝突しないようにします。

また、ZTAT<sup>®</sup>版の全ての高耐圧入出力端子は、プルダウン抵抗を内蔵していません。

#### (2) 標準耐圧CMOS 3ステート入出力端子の回路構成

R0、R3、R4ポートの各端子は、標準耐圧CMOS 3ステート入出力ポートで、PDRとデータコントロールレジスタ（DCR）により、入出力が制御されます。各端子に対応するDCRのビットが1のとき、当該端子は出力端子となり、PDRの値を出力します。また、対応するDCRのビットが0のとき、当該端子は入力端子となります。

#### (3) プルアップMOS制御

R0、R3、R4ポートの各入出力端子は、プログラマブルプルアップMOSを内蔵しています。ミセラニラスレジスタ（MIS）のMIS3ビットが1のとき、対応するPDRが1の端子のプルアップMOSがオンとなります。PDRにより各端子独立にプルアップMOSのオン/オフが制御できます。

なお、プルアップMOSのオン/オフ設定は、内蔵周辺モジュール用端子としての設定とは独立に行うことができます。

レジスタ設定によるポートの入出力端子制御を表9.2に示します。

表9.2 レジスタ設定による入出力端子の制御

MIS3		0				1			
DCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOS バッファ	PMOS	_____		_____	ON	_____		_____	ON
	NMOS	_____		ON	_____	_____		ON	_____
プルアップMOS		_____				_____	ON	_____	ON

【注】 1. - : OFF

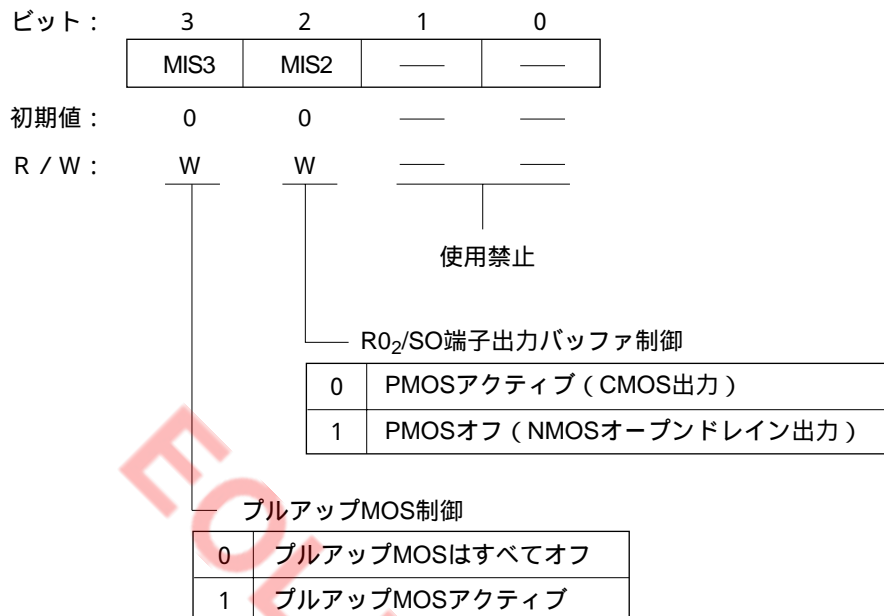
2. PDRは、RAMアドレス上に割り付けられていません。PDRは専用の入出力命令によりアクセスします。

## 9. I/Oポート HD404318シリーズ

### (4) ミセラニアスレジスタ (MIS : \$ 00C)

MISは、2ビットの書き込み専用のレジスタで、R0、R3、R4ポートのプルアップMOSのオン/オフとR0<sub>2</sub>/SO端子出力バッファのPMOSのオン/オフを制御します。

リセット、およびストップモード時に、MISは\$ 0にイニシャライズされます。



#### ビット3 : プルアップMOS制御 (MIS3)

入出力ポートの各端子が内蔵するプルアップMOSのオン/オフを制御します。

MIS3	説明
0	プルアップMOSは、すべてオフとなります。 (初期値)
1	対応するPDRが1の各端子のプルアップMOSがオンとなります。

#### ビット2 : R0<sub>2</sub>/SO端子PMOS制御 (MIS2)

R0<sub>2</sub>/SO端子の出力バッファのPMOSオン/オフを制御します。

MIS2	説明
0	R0 <sub>2</sub> /SO端子出力はCMOS出力となります。 (初期値)
1	R0 <sub>2</sub> /SO端子出力はNMOSオープンドレイン出力となります。

9.1.3 入出力端子の回路構成

ポート、内蔵周辺モジュールの各端子の回路構成を表9.3に示します。

- 【注】 1. ストップモード時には、MCU内部がリセット状態となり、内蔵周辺モジュール選択が解除されます。  
 また、内部信号HLTがLowレベル（アクティブ）となり、出力ハイインピーダンスとなります。すべてのプルアップMOSはオフとなります。
2. ストップモード以外の低消費電力モードでは、内部信号HLTはHighレベルとなります。

表9.3 入力/出力端子の回路構成（1/5）

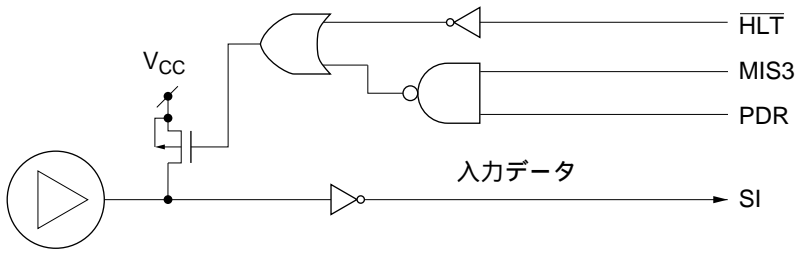
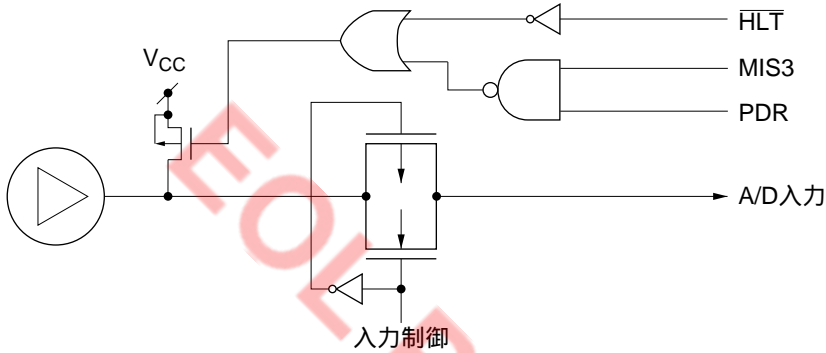
区分	回路構成	適用端子
標準入出力端子		R0 <sub>0</sub> , R0 <sub>1</sub> , R0 <sub>3</sub> , R3 <sub>0</sub> ~ R3 <sub>3</sub> , R4 <sub>0</sub> ~ R4 <sub>3</sub>
圧端子		R0 <sub>2</sub>

# 9. I/Oポート HD404318シリーズ

表9.3 入力/出力端子の回路構成 (2/5)

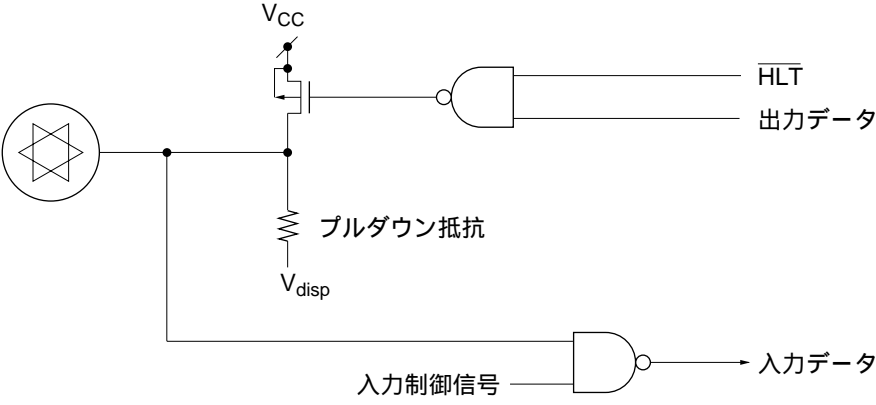
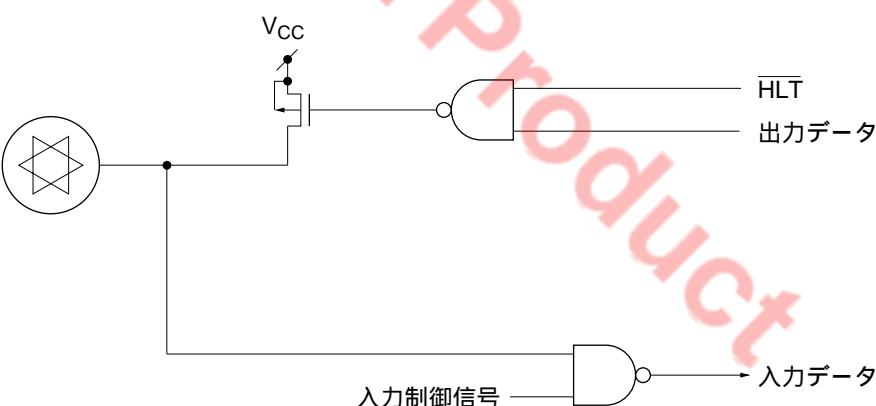
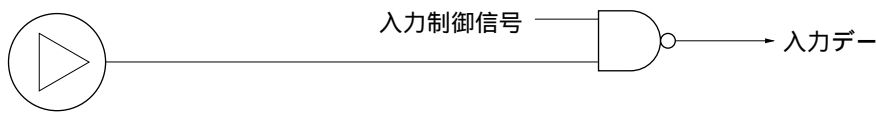
区分	回路構成	適用端子
標準 耐圧 端子	標準 周辺モ ジュール 用端子	適用端子 SCK
入出力 端子		SO
出力 端子		TOC

表9.3 入力/出力端子の回路構成 (3/5)

区分	回路構成	適用端子
標準端子		SI
耐圧端子		AN <sub>0</sub> ~ AN <sub>7</sub>

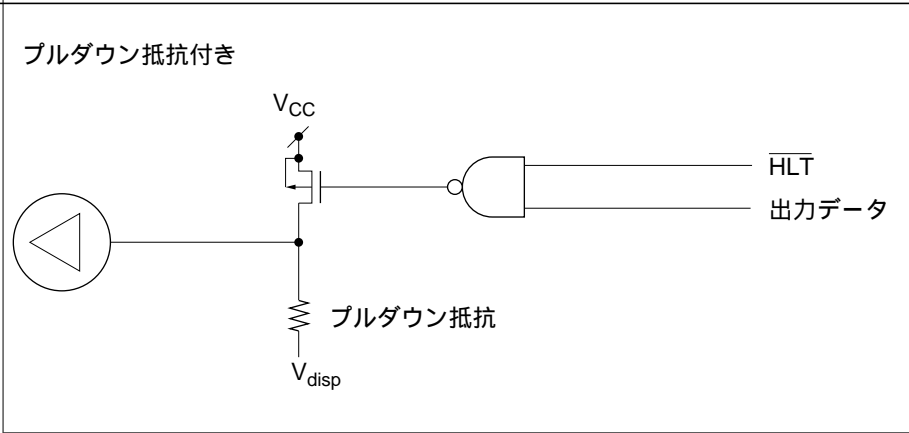
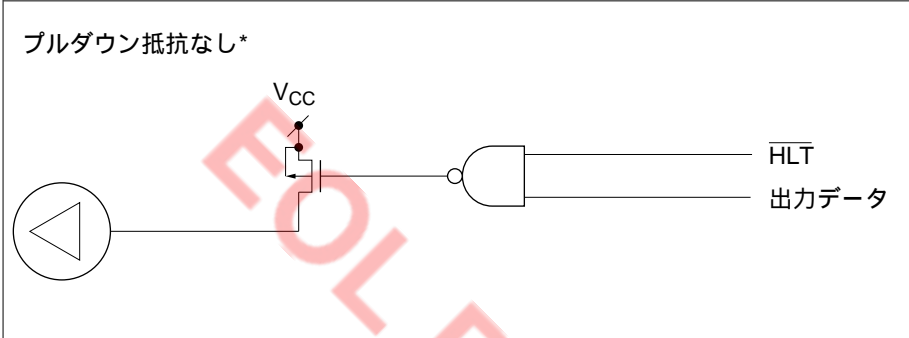
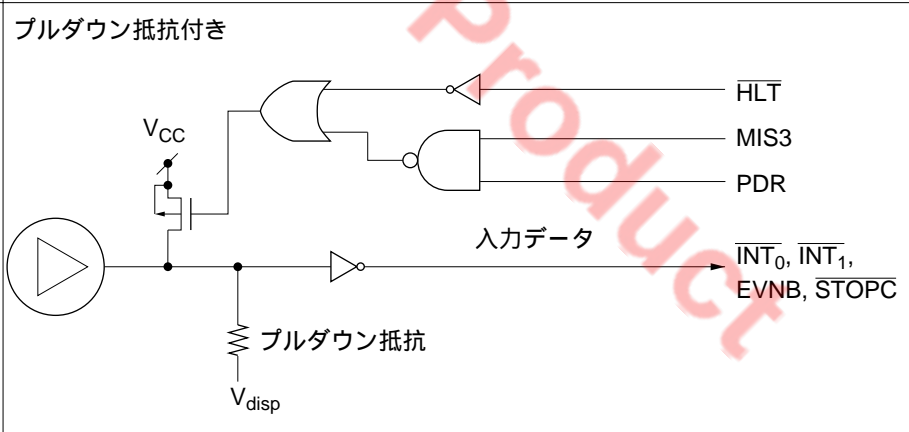
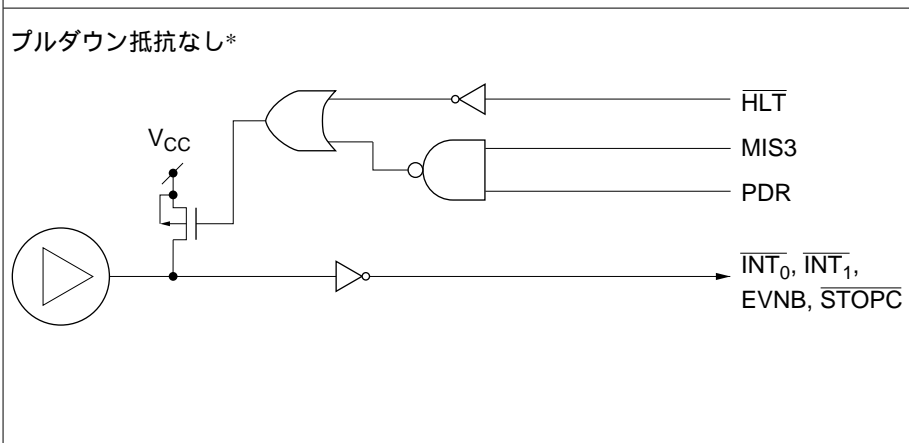
9. I/Oポート HD404318シリーズ

表9.3 入力/出力端子の回路構成 (4/5)

区分	回路構成	適用端子
入出力端子 高耐圧端子	<p>プルダウン抵抗付き</p>  <p>プルダウン抵抗</p> <p><math>V_{CC}</math></p> <p><math>V_{disp}</math></p> <p>入力制御信号</p> <p>入力データ</p> <p>出力データ</p> <p><math>\overline{HLT}</math></p>	<p><math>D_0 \sim D_8</math>,  <math>R1_0 \sim R1_3</math>,  <math>R2_0 \sim R2_3</math>,  <math>R8_0 \sim R8_3</math></p>
	<p>プルダウン抵抗なし*</p>  <p><math>V_{CC}</math></p> <p>入力制御信号</p> <p>入力データ</p> <p>出力データ</p> <p><math>\overline{HLT}</math></p>	
入力端子	 <p>入力制御信号</p> <p>入力データ</p>	<p><math>RA_1</math></p>

【注】\* ZTAT®版では、プルダウン抵抗なしに固定されています。

表9.3 入力/出力端子の回路構成 (5/5)

区分	回路構成	適用端子
高耐圧端子 内蔵周辺モジュール用端子	<p>プルダウン抵抗付き</p> 	BUZZ
	<p>プルダウン抵抗なし*</p> 	
高耐圧端子 内蔵周辺モジュール用端子	<p>プルダウン抵抗付き</p> 	$\overline{INT_0}$ , $\overline{INT_1}$ , EVNB, STOPC
	<p>プルダウン抵抗なし*</p> 	

【注】\* ZTAT®版では、プルダウン抵抗なしに固定されています。

## 9. I/Oポート HD404318シリーズ

### 9.1.4 低消費電力モード時のポートの状態

D<sub>0</sub>~D<sub>4</sub>、R0、R3、R4ポートは、内蔵周辺モジュール用の入力端子または出力端子との兼用端子となっています。スタンバイモードでは、CPUが動作を停止するため、出力ポートに選択された端子は直前の出力を保持します。また、スタンバイモードで動作する内蔵周辺モジュール出力に選択された端子は動作を続けま  
す（停止した内蔵周辺モジュール用出力端子は、直前の値を保持します）。各モードで動作可能な内蔵周辺モジュールについては、「第5章 低消費電力モード」を参照してください。

低消費電力モード時のポートの状態を表9.4に示します。

表9.4 低消費電力モード時のポートの状態

低消費電力モード	ポートの状態
スタンバイモード	スタンバイモードに入る直前の値を保持します。
ストップモード	内蔵周辺機能選択は解除され、ポートおよび周辺機能入出力端子はハイインピーダンスとなります。

### 9.1.5 未使用端子の処理

ユーザシステムで使用しない入出力端子がフローティングの場合、ノイズによりLSIが誤動作する可能性がありますので、入出力端子の電位を固定する必要があります。

以下に処理の例を示します。

高耐圧端子 : マスクオプションにより「プルダウンMOSなし (PMOSオープンドレイン)」を選択し、ユーザシステムのプリント基板上のV<sub>CC</sub>電位に接続します。

標準耐圧端子 : 内蔵プルアップMOSで、V<sub>CC</sub>にプルアップするか、または外部で100k 程度の抵抗をつけてV<sub>CC</sub>にプルアップしてください。

プログラムで該当端子のPDRやDCRの内容をリセット状態と同じ内容に保持してください。また、該当端子を周辺機能入出力端子に選択しないでください。



## 9.2 Dポート

### 9.2.1 概要

Dポートは、高耐圧入出力ポート9本（ $D_0 \sim D_8$ ）で構成され、1ビット単位にアクセスします。

$D_0 \sim D_8$ 端子は、出力命令（SED、SEDD、RED、REDD）により、1ビット単位にアクセスして、High / Low レベル出力を制御します。出力データは、各端子のPDRに格納されます。また、すべてのDポート（ $D_0 \sim D_8$ ）は、入力命令（TD、TDD）により、1ビット単位にアクセスして、端子のレベルをテストすることができます。

$D_0 \sim D_4$ ポートは、各々内蔵周辺モジュール用端子との兼用端子となっています。これらの端子の機能切り換えは、PMRAとPMRBにより行います。

Dポートの構成を図9.1に示します。

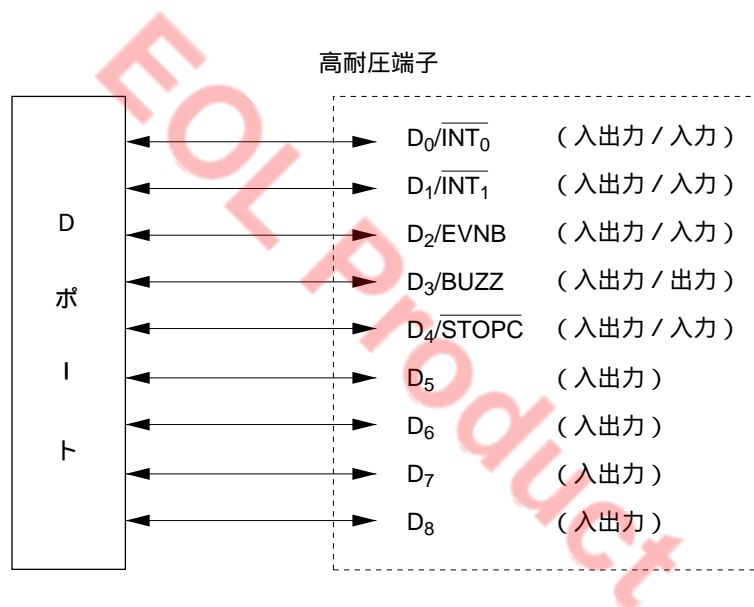


図9.1 Dポートの構成

### 9.2.2 レジスタの構成と説明

Dポートのレジスタ構成を表9.5に示します。

表9.5 Dポートレジスタ構成

アドレス	名 称	略 称	R / W	初期値
—	ポートデータレジスタ	PDR	W*	0
\$ 004	ポートモードレジスタA	PMRA	W	\$0
\$ 024	ポートモードレジスタB	PMRB	W	\$0

【注】\* PDRへの書き込みは、SED、SEDD、RED、REDD命令により行います。

## 9. I/Oポート HD404318シリーズ

### (1) ポートデータレジスタ (PDR)

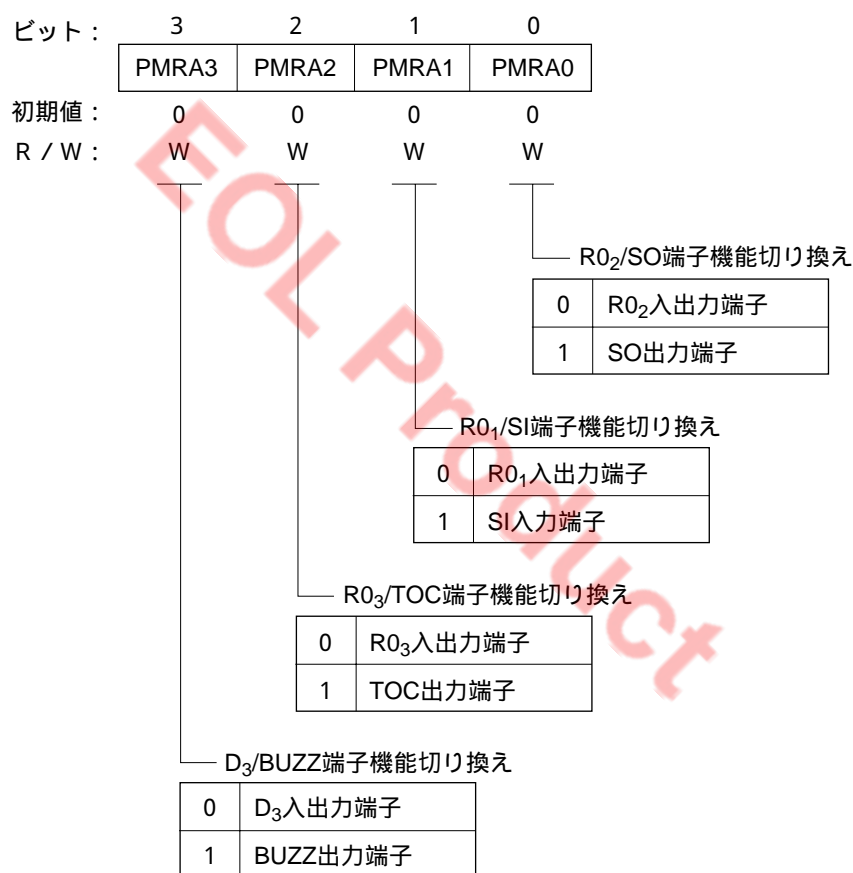
D<sub>0</sub>~D<sub>8</sub>の各入出力端子は、出力データを格納するPDRを各々内蔵しています。D<sub>0</sub>~D<sub>8</sub>端子に対して、SED、SEDD命令を実行すると対応するPDRは1にセットされ、またRED、REDD命令を実行すると0にクリアされます。

リセット、およびストップモード時に、PDRは0にクリアされます。

### (2) ポートモードレジスタA (PMRA : \$004)

PMRAは、4ビットの書き込み専用のレジスタで、PMRA3ビットでD<sub>3</sub>/BUZZ端子の切り換えを設定します。

ここではPMRA3ビットについて説明します。PMRA2~PMRA0ビットについての詳細は「9.3.2(3) ポートモードレジスタA (PMRA)」を参照してください。



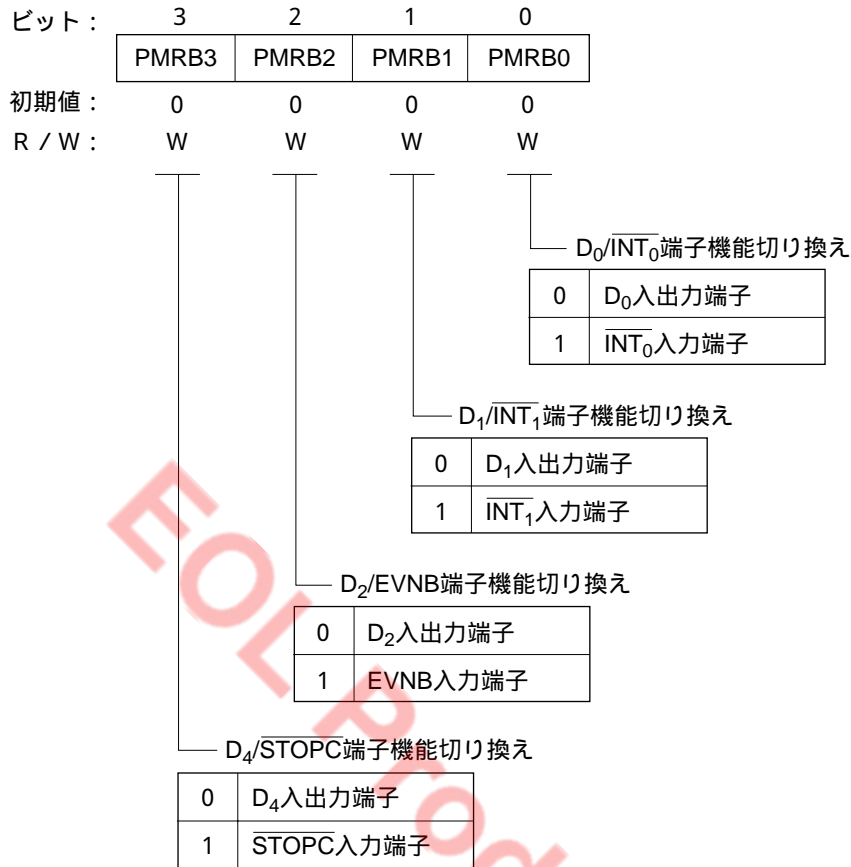
#### ビット3 : D<sub>3</sub>/BUZZ端子機能切り換え (PMRA3)

D<sub>3</sub>/BUZZ端子をD<sub>3</sub>入出力端子として使用するか、ブザー出力端子 (BUZZ) として使用するかを選択します。

PMRA3	説明
0	D <sub>3</sub> /BUZZ端子は、D <sub>3</sub> 入出力端子として機能します。 (初期値)
1	D <sub>3</sub> /BUZZ端子は、BUZZ出力端子として機能します。

(3) ポートモードレジスタB (PMRB: \$024)

PMRBは、4ビットの書き込み専用レジスタでDポートの兼用入出力端子の切り換えを行います。



**ビット3 : D<sub>4</sub>/STOPC端子機能切り換え (PMRB3)**

D<sub>4</sub>/STOPC端子をD<sub>4</sub>入出力端子として使用するか、ストップモード解除端子 (STOPC) として使用するかを選択します。

PMRB3	説明
0	D <sub>4</sub> /STOPC端子は、D <sub>4</sub> 入出力端子として機能します。 (初期値)
1	D <sub>4</sub> /STOPC端子は、STOPC入力端子として機能します。

**ビット2 : D<sub>2</sub>/EVNB端子機能切り換え (PMRB2)**

D<sub>2</sub>/EVNB端子をD<sub>2</sub>入出力端子として使用するか、タイマBのイベントカウント入力端子 (EVNB) として使用するかを選択します。

PMRB2	説明
0	D <sub>2</sub> /EVNB端子は、D <sub>2</sub> 入出力端子として機能します。 (初期値)
1	D <sub>2</sub> /EVNB端子は、EVNB入力端子として機能します。

## 9. I/Oポート HD404318シリーズ

### ビット1 : $D_1/\overline{INT}_1$ 端子機能切り換え (PMRB1)

$D_1/\overline{INT}_1$ 端子を $D_1$ 入出力端子として使用するか、外部割込み1の入力端子( $\overline{INT}_1$ )として使用するかを選択します。

PMRB1	説明
0	$D_1/\overline{INT}_1$ 端子は、 $D_1$ 入出力端子として機能します。(初期値)
1	$D_1/\overline{INT}_1$ 端子は、 $\overline{INT}_1$ 入力端子として機能します。

### ビット0 : $D_0/\overline{INT}_0$ 端子機能切り換え (PMRB0)

$D_0/\overline{INT}_0$ 端子を $D_0$ 入出力端子として使用するか、外部割込み0の入力端子( $\overline{INT}_0$ )として使用するかを選択します。

PMRB0	説明
0	$D_0/\overline{INT}_0$ 端子は、 $D_0$ 入出力端子として機能します。(初期値)
1	$D_0/\overline{INT}_0$ 端子は、 $\overline{INT}_0$ 入力端子として機能します。

## 9.2.3 端子機能

D<sub>0</sub> ~ D<sub>4</sub>の各端子は、PMRAとPMRBの各ビットにより、表9.6に示すように端子機能が切り換わります。

表9.6 D<sub>0</sub> ~ D<sub>4</sub>ポート端子機能

端 子	選 択 方 法 と 端 子 機 能		
D <sub>0</sub> / $\overline{\text{INT}}_0$	PMRBのPMRB0ビットにより、次のように切り換わります。		
	PMRB0	0	1
	端子機能	D <sub>0</sub> 入出力端子	$\overline{\text{INT}}_0$ 入力端子
D <sub>1</sub> / $\overline{\text{INT}}_1$	PMRBのPMRB1ビットにより、次のように切り換わります。		
	PMRB1	0	1
	端子機能	D <sub>1</sub> 入出力端子	$\overline{\text{INT}}_1$ 入力端子
D <sub>2</sub> /EVNB	PMRBのPMRB2ビットにより、次のように切り換わります。		
	PMRB2	0	1
	端子機能	D <sub>2</sub> 入出力端子	EVNB入力端子
D <sub>3</sub> /BUZZ	PMRAのPMRA3ビットにより、次のように切り換わります。		
	PMRA3	0	1
	端子機能	D <sub>3</sub> 入出力端子	BUZZ出力端子
D <sub>4</sub> / $\overline{\text{STOPC}}$	PMRBのPMRB3ビットにより、次のように切り換わります。		
	PMRB3	0	1
	端子機能	D <sub>4</sub> 入出力端子	$\overline{\text{STOPC}}$ 入力端子

### 9.3 Rポート

#### 9.3.1 概要

Rポートは、4ビット×6の入出力ポート（R0～R4、R8）と1ビットの入力専用ポート（RA<sub>1</sub>）から構成され、4ビット単位にアクセスします。

R0、R3、R4は標準耐圧入出力ポートです。RAは高耐圧入力ポート、R1、R2、R8ポートは高耐圧入出力ポートで、蛍光表示管を直接ドライブすることができます。

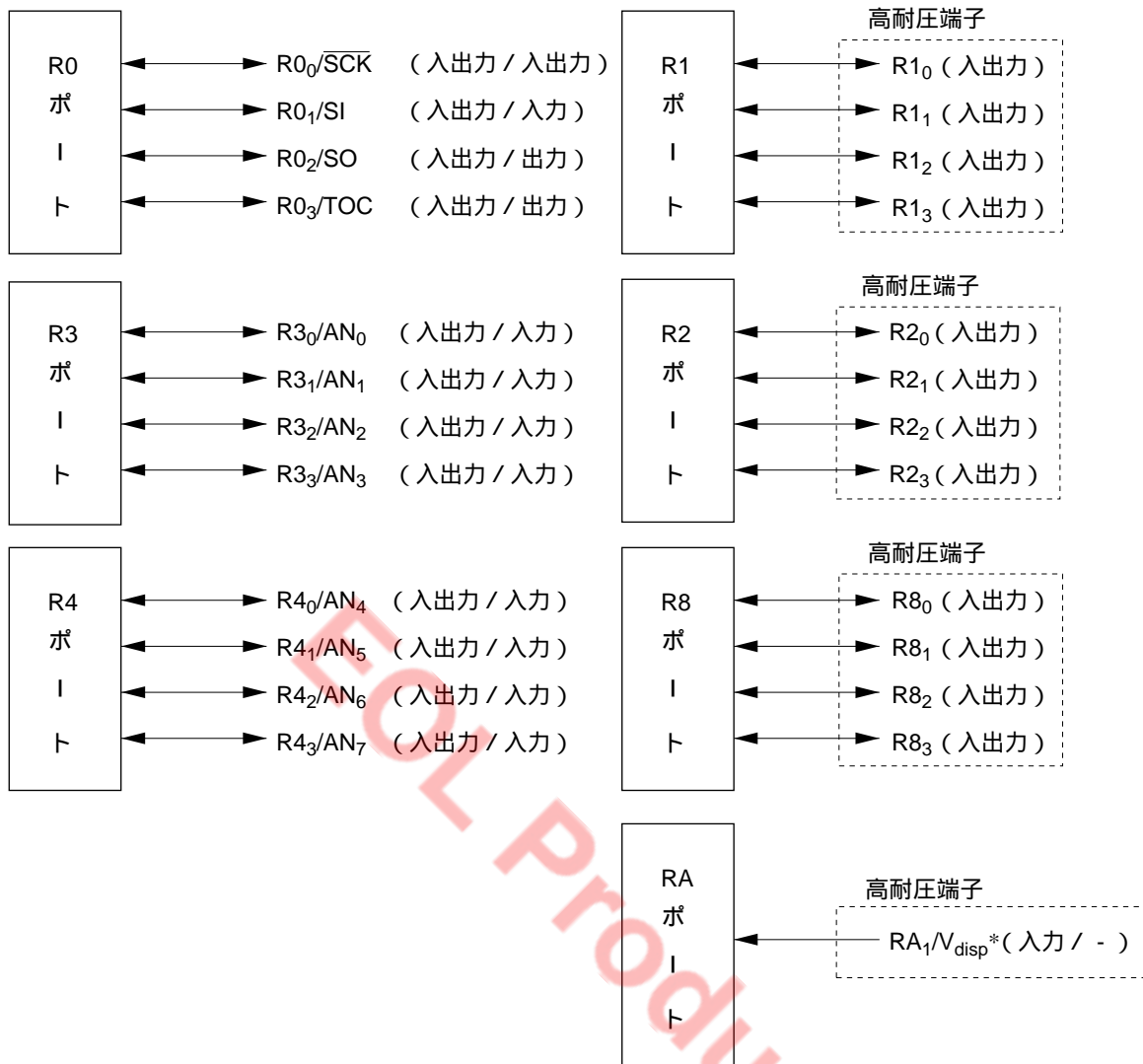
R0～R4、R8の各ポートは、出力命令（LRA、LRB）により4ビット単位にアクセスして、High/Lowレベル出力を制御します。出力データは、各端子のPDRに格納されます。また、入力命令（LAR、LBR）により、4ビット単位にアクセスして、端子のレベルを読み出すことができます。

入力専用ポート（RA<sub>1</sub>）は、1ビットで構成されています。入力命令を実行した場合、ビット3、2、0については、値は不定となります。

R0、R3、R4ポートの出力バッファのオン/オフは、DCRにより行います。R0、R3、R4ポートの各端子に対応するDCRが1のとき、対応するPDRの内容が当該端子より出力されます。出力バッファのオン/オフは、Rポートの各端子ごとに独立して設定できます。DCRは、RAMアドレス上に割り付けられています。

R0、R3、R4ポートの端子は、内蔵周辺モジュール用端子と兼用端子になっています。これらの端子機能の切り換えは、レジスタ設定により行います（表9.7参照）。

Rポートの端子構成を図9.2に示します。



【注】\* マスク抵抗内蔵品では、マスクオプションにより、 $V_{disp}$ 端子（表示用電源端子）を選択できます。  
「ブルダウンMOS付き」を選択した高耐圧端子は、 $V_{disp}$ の電位にブルダウンされます。

図9.2 Rポートの構成

## 9. I/Oポート HD404318シリーズ

### 9.3.2 レジスタの構成と説明

Rポートのレジスタ構成を表9.7に示します。

表9.7 Rポートレジスタ構成

アドレス	名 称	略 称	R / W	初期値	
—	ポートデータレジスタ	標準耐圧端子	PDR	W*	1
		高耐圧端子			0
\$ 030	データコントロールレジスタ	DCR0	W	\$0	
\$ 033		DCR3	W	\$0	
\$ 034		DCR4	W	\$0	
\$ 004	ポートモードレジスタA	PMRA	W	\$0	
\$ 005	シリアルモードレジスタ	SMR	W	\$0	
\$ 019	A/Dモードレジスタ1	AMR1	W	\$0	
\$ 01A	A/Dモードレジスタ2	AMR2	W	--00	

【注】\* PDRへの書き込みは、LRA、LRB命令により行います。

#### (1) ポートデータレジスタ (PDR)

R0～R4、R8ポートの各入出力端子は、出力データを格納するPDRを内蔵しています。R0～R4、R8ポートに対してLRA、LRB命令を実行すると、アキュムレータ(A)、Bレジスタ(B)の内容が、指定されたRポートのPDRに転送されます。R0、R3、R4ポートのDCR0、DCR3、DCR4の対応するビットが1のとき、当該端子の出力バッファがオンとなり、PDRの値が端子より出力されます。

リセット、およびストップモード時に、標準耐圧端子のPDRは1にセットされます。高耐圧端子ではPDRは0にクリアされます。



## (2) データコントロールレジスタ (DCR0、DCR3、DCR4 : \$030、\$033、\$034)

DCR0 : \$030	ビット :	3	2	1	0
		DCR03	DCR02	DCR01	DCR00
	初期値 :	0	0	0	0
	R/W :	W	W	W	W
DCR3 : \$033	ビット :	3	2	1	0
		DCR33	DCR32	DCR31	DCR30
	初期値 :	0	0	0	0
	R/W :	W	W	W	W
DCR4 : \$034	ビット :	3	2	1	0
		DCR43	DCR42	DCR41	DCR40
	初期値 :	0	0	0	0
	R/W :	W	W	W	W

DCR0、DCR3、DCR4 の各ビット	説明
0	出力バッファ (CMOSバッファ) はオフとなり、出力ハイインピーダンスとなります。 (初期値)
1	出力バッファはオンとなり、対応するPDRの値を出力します。

DCR0、DCR3、DCR4の各ビットとR0、R3、R4ポートの各端子との対応は次のようになっています。

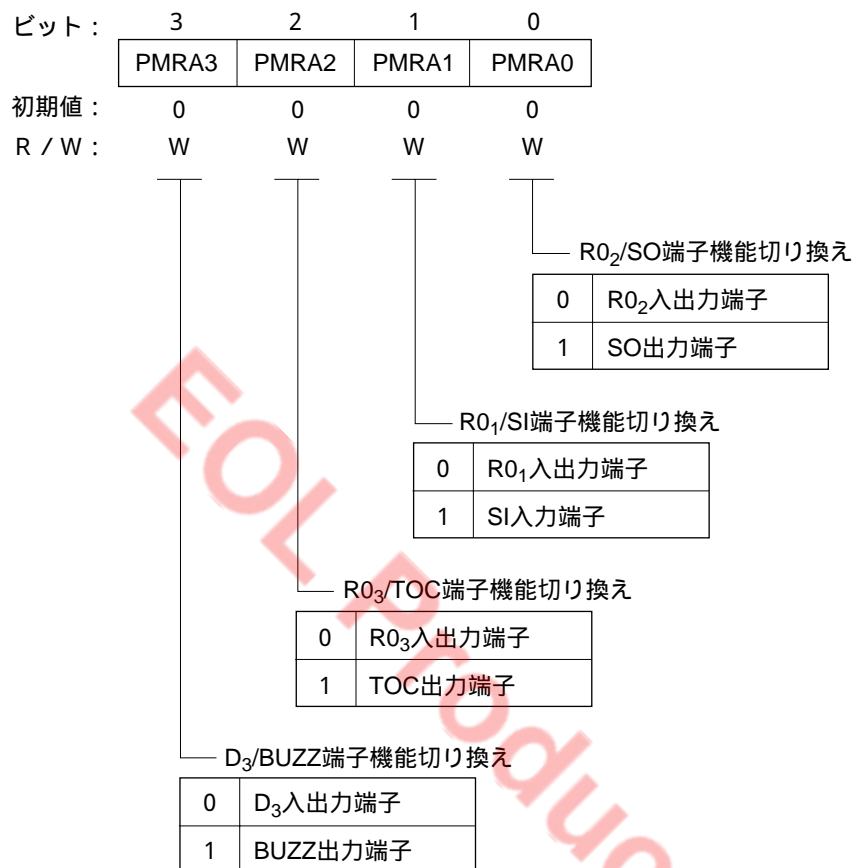
レジスタ名 \ ビット	ビット3	ビット2	ビット1	ビット0
DCR0	R0 <sub>3</sub>	R0 <sub>2</sub>	R0 <sub>1</sub>	R0 <sub>0</sub>
DCR3	R3 <sub>3</sub>	R3 <sub>2</sub>	R3 <sub>1</sub>	R3 <sub>0</sub>
DCR4	R4 <sub>3</sub>	R4 <sub>2</sub>	R4 <sub>1</sub>	R4 <sub>0</sub>

## 9. I/Oポート HD404318シリーズ

### (3) ポートモードレジスタA (PMRA : \$ 004)

PMRAは、4ビットの書き込み専用レジスタで、PMRA2~PMRA0ビットでR0ポート兼用端子の切り換えを行います。

ここでは、PMRA2~PMRA0ビットについて説明します。PMRA3ビットについての詳細は「9.2.2(2) ポートモードレジスタA (PMRA)」を参照してください。



#### ビット2 : R<sub>0</sub><sub>3</sub>/TOC端子機能切り換え (PMRA2)

R<sub>0</sub><sub>3</sub>/TOC端子をR<sub>0</sub><sub>3</sub>入出力端子として使用するか、タイマC出力端子 (TOC) として使用するかを選択します。

PMRA2	説明
0	R <sub>0</sub> <sub>3</sub> /TOC端子は、R <sub>0</sub> <sub>3</sub> 入出力端子として機能します。 (初期値)
1	R <sub>0</sub> <sub>3</sub> /TOC端子は、TOC出力端子として機能します。

#### ビット1 : R<sub>0</sub><sub>1</sub>/SI端子機能切り換え (PMRA1)

R<sub>0</sub><sub>1</sub>/SI端子をR<sub>0</sub><sub>1</sub>入出力端子として使用するか、シリアル受信データ入力端子 (SI) として使用するかを選択します。

PMRA1	説明
0	R <sub>0</sub> <sub>1</sub> /SI端子は、R <sub>0</sub> <sub>1</sub> 入出力端子として機能します。 (初期値)
1	R <sub>0</sub> <sub>1</sub> /SI端子は、SI入力端子として機能します。

**ビット0：R0<sub>2</sub>/SO端子機能切り換え（PMRA0）**

R0<sub>2</sub>/SO端子をR0<sub>2</sub>入出力端子として使用するか、シリアル送信データ出力端子（SO）として使用するかを選択します。

PMRA0	説明
0	R0 <sub>2</sub> /SO端子は、R0 <sub>2</sub> 入出力端子として機能します。（初期値）
1	R0 <sub>2</sub> /SO端子は、SO出力端子として機能します。

**(4) シリアルモードレジスタ（SMR：\$005）**

SMRは、4ビットの書き込み専用のレジスタで、SMR3ビットでR0<sub>0</sub>/SCK端子の切り換えを行います。

ここではSMR3ビットについて説明します。SMR2～SMR0ビットについての詳細は「20.2.1 シリアルモードレジスタ（SMR）」を参照してください。

ビット：	3	2	1	0
	SMR3	SMR2	SMR1	SMR0
初期値：	0	0	0	0
R / W：	W	W	W	W

転送クロック選択

R0<sub>0</sub> / SCK端子機能切り換え

0	R0 <sub>0</sub> 入出力端子
1	SCK入出力端子

**ビット3：R0<sub>0</sub>/SCK端子機能切り換え（SMR3）**

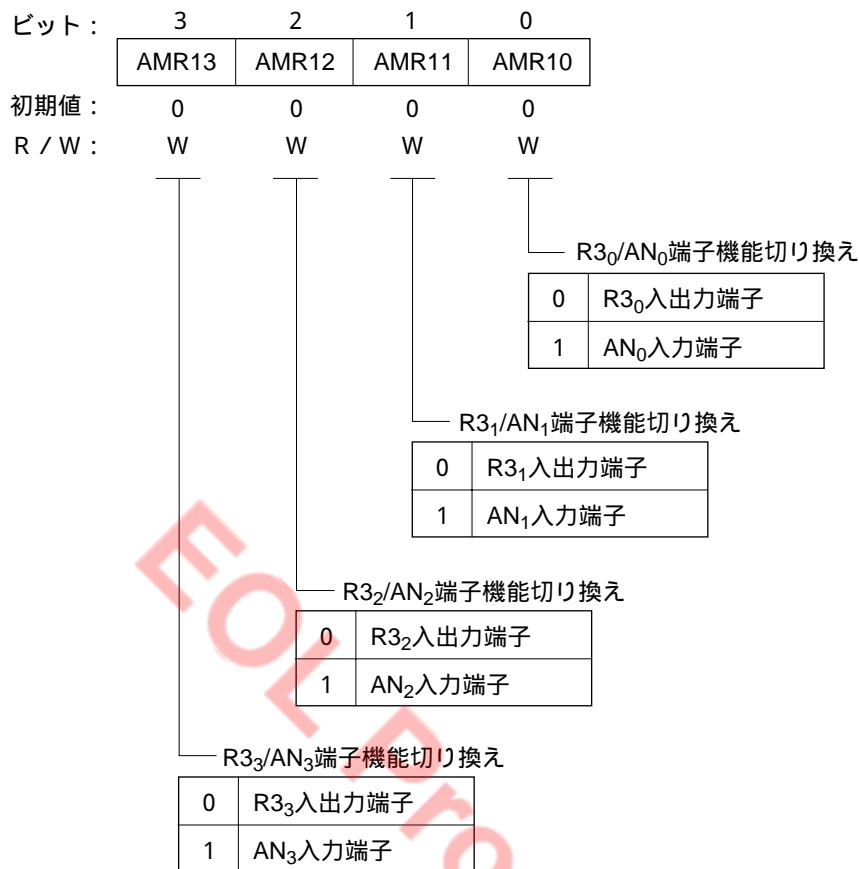
R0<sub>0</sub>/SCK端子をR0<sub>0</sub>入出力端子として使用するか、シリアルインタフェースの転送クロックの入出力端子（SCK）として使用するかを選択します。

SMR3	説明
0	R0 <sub>0</sub> /SCK端子は、R0 <sub>0</sub> 入出力端子として機能します。（初期値）
1	R0 <sub>0</sub> /SCK端子は、SCK入出力端子として機能します。

## 9. I/Oポート HD404318シリーズ

### (5) A/Dモードレジスタ1 (AMR1: \$019)

AMR1は4ビットの書き込み専用レジスタでR3ポートの兼用端子の切り換えを行います。



#### ビット3 : R3<sub>3</sub>/AN<sub>3</sub>端子機能切り換え (AMR13)

R3<sub>3</sub>/AN<sub>3</sub>端子をR3<sub>3</sub>入出力端子として使用するか、A/Dコンバータのチャンネル3入力端子 (AN<sub>3</sub>) として使用するかを選択します。

AMR13	説明
0	R3 <sub>3</sub> /AN <sub>3</sub> 端子は、R3 <sub>3</sub> 入出力端子として機能します。 (初期値)
1	R3 <sub>3</sub> /AN <sub>3</sub> 端子は、AN <sub>3</sub> 入力端子として機能します。

#### ビット2 : R3<sub>2</sub>/AN<sub>2</sub>端子機能切り換え (AMR12)

R3<sub>2</sub>/AN<sub>2</sub>端子をR3<sub>2</sub>入出力端子として使用するか、A/Dコンバータのチャンネル2入力端子 (AN<sub>2</sub>) として使用するかを選択します。

AMR12	説明
0	R3 <sub>2</sub> /AN <sub>2</sub> 端子は、R3 <sub>2</sub> 入出力端子として機能します。 (初期値)
1	R3 <sub>2</sub> /AN <sub>2</sub> 端子は、AN <sub>2</sub> 入力端子として機能します。

**ビット1 : R3<sub>1</sub>/AN<sub>1</sub>端子機能切り換え (AMR11)**

R3<sub>1</sub>/AN<sub>1</sub>端子をR3<sub>1</sub>入出力端子として使用するか、A/Dコンバータのチャンネル1入力端子 (AN<sub>1</sub>) として使用するかを選択します。

AMR11	説 明
0	R3 <sub>1</sub> /AN <sub>1</sub> 端子は、R3 <sub>1</sub> 入出力端子として機能します。 (初期値)
1	R3 <sub>1</sub> /AN <sub>1</sub> 端子は、AN <sub>1</sub> 入力端子として機能します。

**ビット0 : R3<sub>0</sub>/AN<sub>0</sub>端子機能切り換え (AMR10)**

R3<sub>0</sub>/AN<sub>0</sub>端子をR3<sub>0</sub>入出力端子として使用するか、A/Dコンバータのチャンネル0入力端子 (AN<sub>0</sub>) として使用するかを選択します。

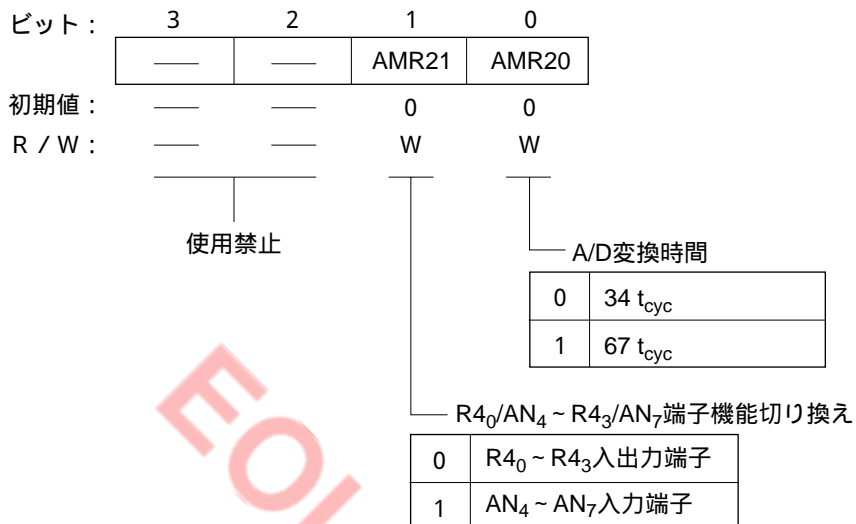
AMR10	説 明
0	R3 <sub>0</sub> /AN <sub>0</sub> 端子は、R3 <sub>0</sub> 入出力端子として機能します。 (初期値)
1	R3 <sub>0</sub> /AN <sub>0</sub> 端子は、AN <sub>0</sub> 入力端子として機能します。

## 9. I/Oポート HD404318シリーズ

### (6) A/Dモードレジスタ2 (AMR2: \$01A)

AMR2は、2ビットの書き込み専用レジスタで、AMR21ビットでR4ポートの4ビット (R<sub>40</sub>~R<sub>43</sub>) のすべてを、A/Dコンバータのチャンネル入力 (AN<sub>4</sub>~AN<sub>7</sub>) に切り換えます。

ここではAMR21ビットについて説明します。AMR20ビットについての詳細は「15.2.2 A/Dモードレジスタ2 (AMR2)」を参照してください。



#### ビット1: R<sub>40</sub>/AN<sub>4</sub> ~ R<sub>43</sub>/AN<sub>7</sub>端子機能切り換え (AMR21)

R<sub>40</sub>/AN<sub>4</sub> ~ R<sub>43</sub>/AN<sub>7</sub> 端子をR<sub>40</sub> ~ R<sub>43</sub>入出力端子として使用するか、A/Dコンバータのチャンネル4~7 (AN<sub>4</sub>~AN<sub>7</sub>) 入力端子として使用するかを選択します。

AMR21	説 明
0	R <sub>40</sub> /AN <sub>4</sub> ~ R <sub>43</sub> /AN <sub>7</sub> 端子は、R <sub>40</sub> ~ R <sub>43</sub> 入出力端子として機能します。 (初期値)
1	R <sub>40</sub> /AN <sub>4</sub> ~ R <sub>43</sub> /AN <sub>7</sub> 端子は、AN <sub>4</sub> ~ AN <sub>7</sub> 入力端子として機能します。

## 9.3.3 端子機能

Rポートの各端子は、レジスタ設定により、表9.8に示すように切り換わります。

表9.8 Rポート端子機能 (1/2)

端 子	選 択 方 法 と 端 子 機 能			
R <sub>0</sub> /SCK	SMRのSMR3ビットとDCR0のDCR00ビットにより、次のように切り換わります。			
	SMR3	0		1
	DCR00	0	1	—————
	端子機能	R <sub>0</sub> 入力端子	R <sub>0</sub> 出力端子	SCK入出力端子
R <sub>0</sub> /SI	PMRAのPMRA1ビットとDCR0のDCR01ビットにより、次のように切り換わります。			
	PMRA1	0		1
	DCR01	0	1	—————
	端子機能	R <sub>0</sub> 入力端子	R <sub>0</sub> 出力端子	SI入力端子
R <sub>0</sub> /SO	PMRAのPMRA0ビットとDCR0のDCR02ビットにより、次のように切り換わります。			
	PMRA0	0		1
	DCR02	0	1	—————
	端子機能	R <sub>0</sub> 入力端子	R <sub>0</sub> 出力端子	SO出力端子
R <sub>0</sub> /TOC	PMRAのPMRA2ビットとDCR0のDCR03ビットにより、次のように切り換わります。			
	PMRA2	0		1
	DCR03	0	1	—————
	端子機能	R <sub>0</sub> 入力端子	R <sub>0</sub> 出力端子	TOC出力端子

## 9. I/Oポート HD404318シリーズ

表9.8 Rポート端子機能 (2/2)

端子	選択方法と端子機能		
R3 <sub>0</sub> /AN <sub>0</sub>	AMR1のAMR10ビットとDCR3のDCR30ビットにより、次のように切り換わります。		
	AMR10	0	1
	DCR30	0	1
	端子機能	R3 <sub>0</sub> 入力端子	R3 <sub>0</sub> 出力端子 AN <sub>0</sub> 入力端子
R3 <sub>1</sub> /AN <sub>1</sub>	AMR1のAMR11ビットとDCR3のDCR31ビットにより、次のように切り換わります。		
	AMR11	0	1
	DCR31	0	1
	端子機能	R3 <sub>1</sub> 入力端子	R3 <sub>1</sub> 出力端子 AN <sub>1</sub> 入力端子
R3 <sub>2</sub> /AN <sub>2</sub>	AMR1のAMR12ビットとDCR3のDCR32ビットにより、次のように切り換わります。		
	AMR12	0	1
	DCR32	0	1
	端子機能	R3 <sub>2</sub> 入力端子	R3 <sub>2</sub> 出力端子 AN <sub>2</sub> 入力端子
R3 <sub>3</sub> /AN <sub>3</sub>	AMR1のAMR13ビットとDCR3のDCR33ビットにより、次のように切り換わります。		
	AMR13	0	1
	DCR33	0	1
	端子機能	R3 <sub>3</sub> 入力端子	R3 <sub>3</sub> 出力端子 AN <sub>3</sub> 入力端子
R4 <sub>0</sub> /AN <sub>4</sub>	AMR2のAMR21ビットとDCR4のDCR40ビットにより、次のように切り換わります。		
	AMR21	0	1
	DCR40	0	1
	端子機能	R4 <sub>0</sub> 入力端子	R4 <sub>0</sub> 出力端子 AN <sub>4</sub> 入力端子
R4 <sub>1</sub> /AN <sub>5</sub>	AMR2のAMR21ビットとDCR4のDCR41ビットにより、次のように切り換わります。		
	AMR21	0	1
	DCR41	0	1
	端子機能	R4 <sub>1</sub> 入力端子	R4 <sub>1</sub> 出力端子 AN <sub>5</sub> 入力端子
R4 <sub>2</sub> /AN <sub>6</sub>	AMR2のAMR21ビットとDCR4のDCR42ビットにより、次のように切り換わります。		
	AMR21	0	1
	DCR42	0	1
	端子機能	R4 <sub>2</sub> 入力端子	R4 <sub>2</sub> 出力端子 AN <sub>6</sub> 入力端子
R4 <sub>3</sub> /AN <sub>7</sub>	AMR2のAMR21ビットとDCR4のDCR43ビットにより、次のように切り換わります。		
	AMR21	0	1
	DCR43	0	1
	端子機能	R4 <sub>3</sub> 入力端子	R4 <sub>3</sub> 出力端子 AN <sub>7</sub> 入力端子



## 9.4 使用上の注意

ポートを使用するとき、次の点に注意してください。

(1) MISのMIS2ビットを1にセットすると、PMRAのPMRA0ビットによりR<sub>02</sub>端子またはSO端子機能のいずれが選択されている場合にも、NMOSオープンドレイン出力となります。

(2) ユーザシステムで使用しない入出力端子がフローティングの場合、ノイズによりLSIが誤動作する可能性がありますので、入出力端子の電位を固定する必要があります。

以下に処理の例を示します。

高耐圧端子：マスクオプションにより「プルダウン抵抗なし (PMOSオープンドレイン)」を選択し、ユーザシステムのプリント基板上のV<sub>CC</sub>電位に接続します。

標準端子：内蔵プルアップMOSで、V<sub>CC</sub>にプルアップするか、または外部で100k程度の抵抗をつけてV<sub>CC</sub>にプルアップしてください。

プログラムで該当端子のPDRやDCRの内容をリセット状態と同じ内容に保持してください。また、該当端子を周辺機能入出力端子に選択しないでください。

(3) MISのMIS3ビット = 1 (プルアップMOSアクティブ)、かつRポート/アナログ入力兼用端子のPDR = 1の場合、AMR1、AMR2でアナログ入力端子を選択しても、当該端子のプルアップMOSはオフとなりません。

プルアップMOSアクティブを選択し、Rポート/アナログ入力兼用端子をアナログ入力端子として使用する場合、必ず当該端子のPDRを0にクリアして、プルアップMOSをオフにしてください。(リセット直後、PDRは1にセットされます)。

図9.3にRポート/アナログ入力兼用端子の回路構成を示します。AMR1、AMR2はポート出力をハイインピーダンスにするためのレジスタであり、アナログ入力チャンネルの切り換えは、ACRにより行います。

AMR1 (AMR2)、MIS3ビット、DCR、PDRの組み合わせにより、Rポート/アナログ入力兼用端子の状態は表9.9に示すようになります。

## 9. I/Oポート HD404318シリーズ

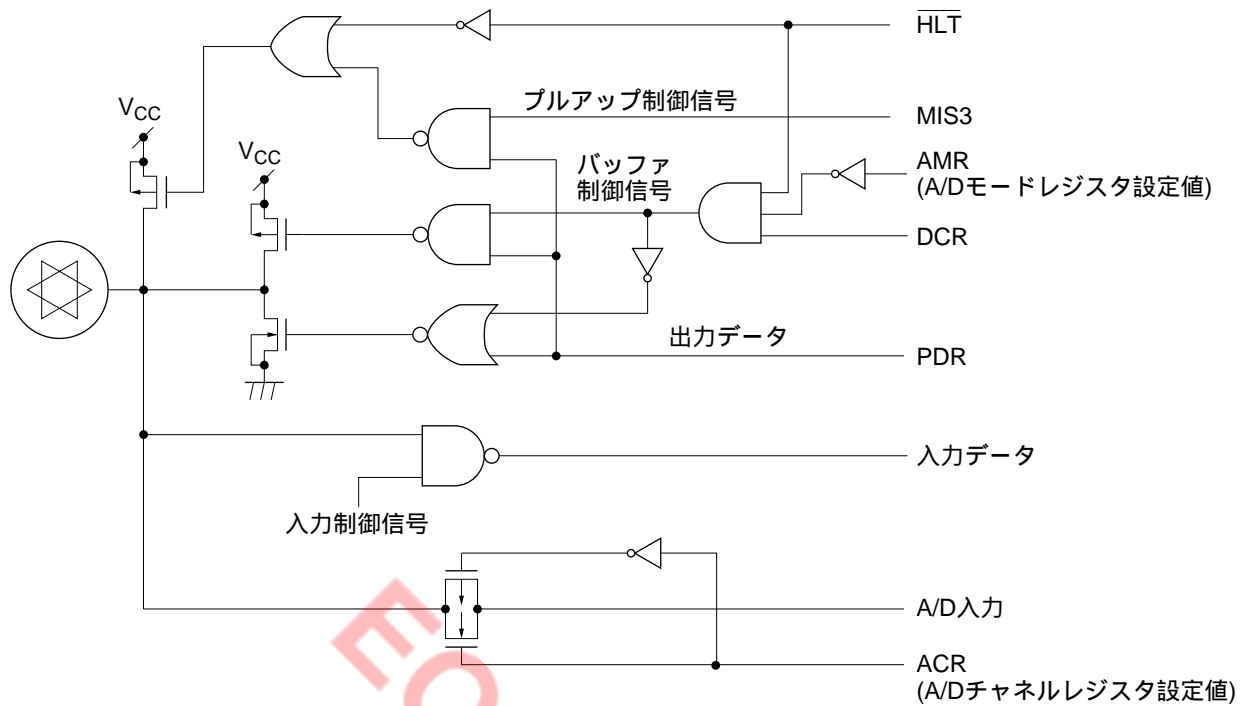


図9.3 Rポート / アナログ入力兼用端子回路構成

表9.9 プログラムによるRポート / アナログ入力兼用端子の制御

AMR1またはAMR2の当該ビット		0 ( R ポー ト 選 択 )							
MIS3ビット		0				1			
DCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOSバッファ	PMOS	—		—	ON	—		—	ON
	NMOS	—		ON	—	—		ON	—
プルアップMOS		—		—		—	ON	—	ON

【注】 — : OFF

AMR1またはAMR2の当該ビット		1 ( ア ナ ロ グ 入 力 選 択 )							
MIS3ビット		0				1			
DCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOSバッファ	PMOS	—		—	—	—		—	—
	NMOS	—		—	—	—		—	—
プルアップMOS		—		—		—	ON	—	ON

【注】 — : OFF

---

# 10. I/Oポート

(HD404358 / HD404358Rシリーズ)

---

---

## 第10章 目次

---

10.1	概要	227
10.1.1	特長	227
10.1.2	入出力制御	229
	(1) 中耐圧NMOSオープンドレイン入出力端子の回路構成	229
	(2) 標準耐圧CMOS 3ステート入出力端子の回路構成	229
	(3) プルアップMOS制御	229
	(4) ミセラニアスレジスタ (MIS)	230
10.1.3	入出力端子の回路構成	231
10.1.4	低消費電力モード時のポートの状態	238
10.1.5	未使用端子の処理	238
10.2	Dポート	239
10.2.1	概要	239
10.2.2	レジスタの構成と説明	240
	(1) ポートデータレジスタ (PDR)	240
	(2) データコントロールレジスタ (DCD0 ~ DCD2)	241
	(3) ポートモードレジスタA (PMRA)	242
	(4) ポートモードレジスタB (PMRB)	243
10.2.3	端子機能	245
10.3	Rポート	247
10.3.1	概要	247
10.3.2	レジスタの構成と説明	249
	(1) ポートデータレジスタ (PDR)	249
	(2) データコントロールレジスタ (DCR0 ~ DCR4、DCR8)	250
	(3) ポートモードレジスタA (PMRA)	251
	(4) シリアルモードレジスタ (SMR)	253
	(5) A/Dモードレジスタ1 (AMR1)	254
	(6) A/Dモードレジスタ2 (AMR2)	256
10.3.3	端子機能	257
10.4	使用上の注意	261

EOL Product

## 10.1 概要

### 10.1.1 特長

HD404358 / HD404358RシリーズのI/Oポートの特長を以下に示します。

#### < HD404358シリーズ >

R<sub>20</sub> ~ R<sub>23</sub>の4本の端子は中耐圧NMOSオープンドレイン入出力端子です。また、RA<sub>1</sub>は入力専用端子です。D、R<sub>0</sub>、R<sub>1</sub>、R<sub>3</sub>、R<sub>4</sub>、R<sub>8</sub>ポートは標準耐圧入出力端子でCMOS 3ステート出力となっています。

#### < HD404358Rシリーズ >

D<sub>0</sub> ~ D<sub>8</sub>、R<sub>0</sub>、R<sub>1</sub>、R<sub>2</sub>、R<sub>3</sub>、R<sub>4</sub>、R<sub>8</sub>はCMOS 3ステートの標準耐圧入出力端子です。うち、D<sub>5</sub> ~ D<sub>8</sub>、R<sub>0</sub>、R<sub>1</sub>、R<sub>2</sub>、R<sub>8</sub>の20本の端子は最大で15mAの電流を流し込むことができます。またRA<sub>1</sub>は入力専用端子です。

入出力端子には、タイマやシリアルインタフェースなどの内蔵周辺モジュール用端子と兼用となっている端子（D<sub>0</sub> ~ D<sub>4</sub>、R<sub>0</sub>、R<sub>3</sub>、R<sub>4</sub>ポートの各端子）があります。これらの端子は、DポートまたはRポートとしての入出力設定よりも、内蔵周辺モジュール用端子としての設定が優先するようになっています。

入出力端子の入力 / 出力の選択、および内蔵周辺モジュール用端子と兼用となっている端子のポート / 内蔵周辺モジュール用端子の選択は、レジスタの設定により行います。

周辺モジュール用出力端子はすべてCMOS出力となります。ただし、R<sub>02</sub>/SO端子はレジスタ設定によりNMOSオープンドレイン出力にすることができます。

ストップモード時には、MCU内部がリセット状態となるため、内蔵周辺モジュール選択は解除されません。また、入力 / 出力端子はハイインピーダンス状態になります。

CMOS出力端子はプログラマブルプルアップMOSを内蔵しており、レジスタ設定により端子ごとにオン / オフを制御できます。なお、プルアップMOSのオン / オフ設定は、内蔵周辺モジュール用端子としての設定とは独立に行うことができます。

各ポートの機能一覧を表10.1に示します。

## 10. I/Oポート HD404358 / HD404358Rシリーズ

表10.1 ポートの機能

ポート	概要	端子	兼用機能	機能切り換え用レジスタ
D <sub>0</sub> ~ D <sub>8</sub>	<HD404358シリーズ> ・標準耐圧入出力ポート ・ビット単位でアクセス ・SED、SEDD、RED、REDD、TD、TDD命令によりアクセス ・プログラマブルプルアップMOS付き <HD404358Rシリーズ> ・標準耐圧入出力ポート ・D <sub>5</sub> ~ D <sub>8</sub> は大電流端子 (最大15mA) ・ビット単位でアクセス ・SED、SEDD、RED、REDD、TD、TDD命令によりアクセス ・プログラマブルプルアップMOS付き	D <sub>0</sub> /INT <sub>0</sub>	外部割込み入力 0	PMRB
		D <sub>1</sub> /INT <sub>1</sub>	外部割込み入力 1	
		D <sub>2</sub> /EVNB	タイマBイベント入力	PMRA
		D <sub>3</sub> /BUZZ	ブザー出力	
		D <sub>4</sub> /STOPC	ストップモード解除	PMRB
D <sub>5</sub> ~ D <sub>8</sub>	_____	_____	_____	
R0		R0 <sub>0</sub> /SCK	転送クロック入出力	SMR
		R0 <sub>1</sub> /SI	シリアル受信データ入力	PMRA
		R0 <sub>2</sub> /SO	シリアル送信データ出力	
		R0 <sub>3</sub> /TOC	タイマC出力	
R3	<HD404358シリーズ> ・標準耐圧入出力ポート ・4ビット単位でアクセス ・LAR、LBR、LRA、LRB命令によりアクセス ・プログラマブルプルアップMOS付き	R3 <sub>0</sub> /AN <sub>0</sub>	アナログ入力チャンネル 0	AMR1
		R3 <sub>1</sub> /AN <sub>1</sub>	アナログ入力チャンネル 1	
		R3 <sub>2</sub> /AN <sub>2</sub>	アナログ入力チャンネル 2	
		R3 <sub>3</sub> /AN <sub>3</sub>	アナログ入力チャンネル 3	
R4	<HD404358Rシリーズ> ・標準耐圧入出力ポート ・R0、R1、R8は大電流端子 (最大15mA) ・4ビット単位でアクセス ・LAR、LBR、LRA、LRB命令によりアクセス ・プログラマブルプルアップMOS付き	R4 <sub>0</sub> /AN <sub>4</sub>	アナログ入力チャンネル 4	AMR2
		R4 <sub>1</sub> /AN <sub>5</sub>	アナログ入力チャンネル 5	
		R4 <sub>2</sub> /AN <sub>6</sub>	アナログ入力チャンネル 6	
		R4 <sub>3</sub> /AN <sub>7</sub>	アナログ入力チャンネル 7	
R1	・LAR、LBR、LRA、LRB命令によりアクセス ・プログラマブルプルアップMOS付き	R1 <sub>0</sub>	_____	_____
		R1 <sub>1</sub>	_____	_____
		R1 <sub>2</sub>	_____	_____
		R1 <sub>3</sub>	_____	_____
R8		R8 <sub>0</sub>	_____	_____
		R8 <sub>1</sub>	_____	_____
		R8 <sub>2</sub>	_____	_____
		R8 <sub>3</sub>	_____	_____
R2	<HD404358シリーズ> ・中耐圧NMOSオープンドレイン入出力ポート ・4ビット単位でアクセス ・LAR、LBR、LRA、LRB命令によりアクセス <HD404358Rシリーズ> ・標準耐圧入出力ポート ・大電流端子 (最大15mA) ・4ビット単位でアクセス ・LAR、LBR、LRA、LRB命令によりアクセス ・プログラマブルプルアップMOS付き	R2 <sub>0</sub>	_____	_____
		R2 <sub>1</sub>	_____	_____
		R2 <sub>2</sub>	_____	_____
R2 <sub>3</sub>		R2 <sub>3</sub>	_____	_____
RA	・標準耐圧入力ポート (1ビット) ・LAR、LBR命令によりアクセス	RA <sub>1</sub>	_____	_____

10.1.2 入出力制御

<HD404358シリーズ>

R2は中耐圧NMOSオープンドレイン入出力ポート、また、D<sub>0</sub>~D<sub>8</sub>、R0、R1、R3、R4、R8は標準耐圧の入出力ポートで回路構成が異なります。

<HD404358Rシリーズ>

D<sub>0</sub>~D<sub>8</sub>、R0、R1、R2、R3、R4、R8は標準耐圧の入出力ポートです。

(1) 中耐圧NMOSオープンドレイン入出力端子の回路構成 (HD404358シリーズ)

R2は中耐圧NMOSオープンドレイン入出力ポートで、ポートデータレジスタ (PDR) とデータコントロールレジスタ (DCR) により、入出力が制御されます。各端子に対応するDCRのビットが1のとき、当該端子は出力端子となり、PDRを0とするとNMOSがオンとなり、端子にLowレベルの電圧が出力されます。PDRが1のときは出力ハイインピーダンスとなります。

DCRのビットが0のとき、当該端子は入力端子となります。

(2) 標準耐圧CMOS 3ステート入出力端子の回路構成

D<sub>0</sub>~D<sub>8</sub>ポートとR0、R1、R3、R4、R8ポートの各端子 (HD404358シリーズ)、D<sub>0</sub>~D<sub>8</sub>、R0、R1、R2、R3、R4、R8ポートの各端子 (HD404358Rシリーズ) は、標準耐圧CMOS 3ステート入出力ポートで、PDRとデータコントロールレジスタ (DCD、DCR) により、入出力が制御されます。各端子に対応するDCD、DCRのビットが1のとき、当該端子は出力端子となり、PDRの値を出力します。また、対応するDCD、DCRのビットが0のとき、当該端子は入力端子となります。

(3) プルアップMOS制御

D<sub>0</sub>~D<sub>8</sub>ポート、R0、R1、R3、R4、R8ポートの各入出力端子 (HD404358シリーズ)、D<sub>0</sub>~D<sub>8</sub>、R0、R1、R2、R3、R4、R8ポートの各入出力端子 (HD404358Rシリーズ) は、プログラマブルプルアップMOSを内蔵しています。

ミセラニアスレジスタ (MIS) のMIS3ビットが1のとき、対応するPDRが1の端子のプルアップMOSがオンとなります。PDRにより各端子独立にプルアップMOSのオン/オフが制御できます。なお、プルアップMOSのオン/オフ設定は、内蔵周辺モジュール用端子としての設定とは独立に行うことができます。

レジスタ設定によるポートの入出力端子制御を表10.2に示します。

表10.2 レジスタ設定による入出力端子の制御

MIS3		0				1			
DCD, DCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOS バッファ	PMOS	_____		_____	ON	_____		_____	ON
	NMOS	_____		ON	_____	_____		ON	_____
プルアップMOS		_____		_____	ON	_____	ON	_____	ON

【注】 1. - : OFF

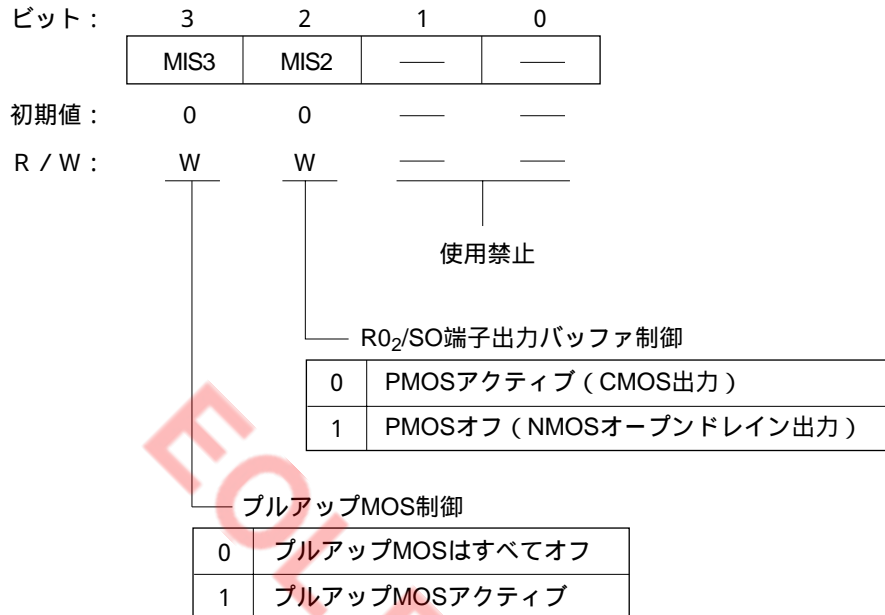
2. PDRは、RAMアドレス上に割り付けられていません。PDRは専用の入出力命令によりアクセスします。

## 10. I/Oポート HD404358 / HD404358Rシリーズ

### (4) ミセラニアスレジスタ (MIS : \$ 00C)

MISは、2ビットの書き込み専用のレジスタで、Dポート、R0、R3ポートのプルアップMOSのオン/オフとR0<sub>2</sub>/SO端子出力バッファのPMOSのオン/オフを制御します。

リセット、およびストップモード時に、MISは\$ 0にイニシャライズされます。



#### ビット3 : プルアップMOS制御 (MIS3)

入出力ポートの各端子が内蔵するプルアップMOSのオン/オフを制御します。

MIS3	説 明	
0	プルアップMOSは、すべてオフとなります。	(初期値)
1	対応するPDRが1の各端子のプルアップMOSがオンとなります。	

#### ビット2 : R0<sub>2</sub>/SO端子PMOS制御 (MIS2)

R0<sub>2</sub>/SO端子の出力バッファのPMOSオン/オフを制御します。

MIS2	説 明	
0	R0 <sub>2</sub> /SO端子出力はCMOS出力となります。	(初期値)
1	R0 <sub>2</sub> /SO端子出力はNMOSオープンドレイン出力となります。	



10.1.3 入出力端子の回路構成

ポート、内蔵周辺モジュールのHD404358シリーズの各端子の回路構成を表10.3に、HD404358Rシリーズの各端子の回路構成を表10.4に示します。

- 【注】
1. ストップモード時には、MCU内部がリセット状態となり、内蔵周辺モジュール選択が解除されます。また、内部信号 $\overline{HLT}$ がLowレベル（アクティブ）となり、出力ハイインピーダンスとなります。また、すべてのプルアップMOSはオフとなります。
  2. ストップモード以外の低消費電力モードでは、内部信号 $\overline{HLT}$ はHighレベルとなります。

表10.3 入力/出力端子の回路構成（1/4）

区分	回路構成	適用端子
標準 耐圧 端子		$D_0 \sim D_8$ , $R_{0_0}, R_{0_1}, R_{0_3}$ , $R_{1_0} \sim R_{1_3}$ , $R_{3_0} \sim R_{3_3}$ , $R_{4_0} \sim R_{4_3}$ , $R_{8_0} \sim R_{8_3}$
		$R_{0_2}$

10. I/Oポート HD404358 / HD404358Rシリーズ

表10.3 入力 / 出力端子の回路構成 (2 / 4)

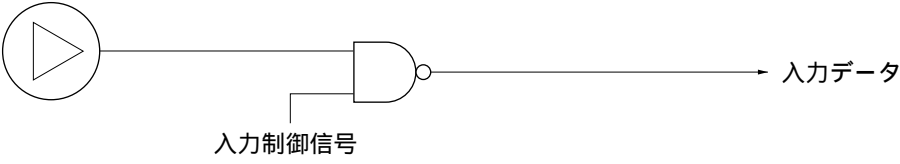
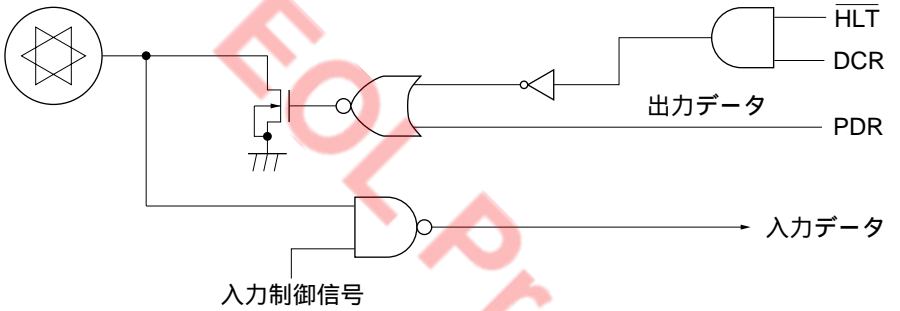
区分	回路構成	適用端子
標準 耐压端子 入力端子		RA <sub>1</sub>
中 耐压端子 入出力端子		R <sub>20</sub> ~ R <sub>23</sub>

表10.3 入力/出力端子の回路構成 (3/4)

区分	回路構成	適用端子
標準耐圧端子 標準周辺モジュール用端子 出力端子		SCK
標準耐圧端子 標準周辺モジュール用端子 出力端子		SO
標準耐圧端子 標準周辺モジュール用端子 出力端子		TOC, BUZZ

10. I/Oポート HD404358 / HD404358Rシリーズ

表10.3 入力 / 出力端子の回路構成 (4 / 4)

区分	回路構成	適用端子
標準耐圧端子 内蔵周辺モジュール用端子 入力端子		SI, $\overline{INT_0}$ , $\overline{INT_1}$ , EVNB, $\overline{STOPC}$
		AN <sub>0</sub> ~ AN <sub>7</sub>

表10.4 入力 / 出力端子の回路構成 ( 1 / 3 )

区分	回路構成	適用端子
入出力端子 標準耐圧端子		D <sub>0</sub> ~ D <sub>8</sub> , R <sub>0</sub> <sub>0</sub> , R <sub>0</sub> <sub>1</sub> , R <sub>0</sub> <sub>3</sub> , R <sub>1</sub> <sub>0</sub> ~ R <sub>1</sub> <sub>3</sub> , R <sub>2</sub> <sub>0</sub> ~ R <sub>2</sub> <sub>3</sub> , R <sub>3</sub> <sub>0</sub> ~ R <sub>3</sub> <sub>3</sub> , R <sub>4</sub> <sub>0</sub> ~ R <sub>4</sub> <sub>3</sub> , R <sub>8</sub> <sub>0</sub> ~ R <sub>8</sub> <sub>3</sub>
		R <sub>0</sub> <sub>2</sub>
入力端子		RA <sub>1</sub>

10. I/Oポート HD404358 / HD404358Rシリーズ

表10.4 入力 / 出力端子の回路構成 ( 2 / 3 )

区分	回路構成	適用端子
<p style="writing-mode: vertical-rl; text-orientation: upright;">標準周辺モジュール用端子</p> <p style="writing-mode: vertical-rl; text-orientation: upright;">入出力端子</p>		<p><math>\overline{\text{SCK}}</math></p> <p><math>\overline{\text{SCK}}</math></p> <p>SCK</p>
<p style="writing-mode: vertical-rl; text-orientation: upright;">標準周辺モジュール用端子</p> <p style="writing-mode: vertical-rl; text-orientation: upright;">出力端子</p>		<p><math>\overline{\text{SO}}</math></p> <p>SO</p>
<p style="writing-mode: vertical-rl; text-orientation: upright;">標準周辺モジュール用端子</p> <p style="writing-mode: vertical-rl; text-orientation: upright;">出力端子</p>		<p><math>\overline{\text{TOC, BUZZ}}</math></p> <p>TOC, BUZZ</p>

表10.4 入力 / 出力端子の回路構成 ( 3 / 3 )

区分	回路構成	適用端子
標準 周辺モジュール用端子 入力端子		SI, $\overline{INT_0}$ , $\overline{INT_1}$ , EVNB, $\overline{STOPC}$
標準 耐圧端子		$AN_0 \sim AN_7$

## 10. I/Oポート HD404358 / HD404358Rシリーズ

### 10.1.4 低消費電力モード時のポートの状態

D<sub>0</sub> ~ D<sub>4</sub>、R0、R3、R4ポートは、内蔵周辺モジュール用の入力端子または出力端子との兼用端子になっています。スタンバイモードでは、CPUが動作を停止するため、出力ポートに選択された端子は直前の出力を保持します。また、スタンバイモードで動作する内蔵周辺モジュール出力に選択された端子は動作を続けま  
す（停止した内蔵周辺モジュール用出力端子は、直前の値を保持します）。各モードで動作可能な内蔵周辺モジュールについては、「第5章 低消費電力モード」を参照してください。

低消費電力モード時のポートの状態を表10.5に示します。

表10.5 低消費電力モード時のポートの状態

低消費電力モード	ポートの状態
スタンバイモード	スタンバイモードに入る直前の値を保持します。
ストップモード	内蔵周辺機能選択は解除され、ポートおよび周辺機能入出力端子はハイインピーダンスとなります。

### 10.1.5 未使用端子の処理

ユーザシステムで使用しない入出力端子がフローティングの場合、ノイズによりLSIが誤動作する可能性がありますので、入出力端子の電位を固定する必要があります。

未使用端子は、内蔵プルアップMOSで、V<sub>CC</sub>にプルアップするか、または外部で100k 程度の抵抗をつけてV<sub>CC</sub>にプルアップしてください。

プログラムで該当端子のPDRやDCD、DCRの内容をリセット状態と同じ内容にしてください。また、該当端子を周辺機能入出力端子に選択しないでください。



## 10.2 Dポート

### 10.2.1 概要

HD404358シリーズのDポートは、入出力ポート9本（ $D_0 \sim D_8$ ）で構成され、1ビット単位にアクセスします。

HD404358RシリーズのDポートは、入出力ポート9本（ $D_0 \sim D_8$  :  $D_5 \sim D_8$ は最大15mAの電流を流し込める大電流端子）で構成され、1ビット単位にアクセスします。

$D_0 \sim D_8$ 端子は、出力命令（SED、SEDD、RED、REDD）により、1ビット単位にアクセスして、High / Lowレベル出力を制御します。出力データは、各端子のPDRに格納されます。

また、 $D_0 \sim D_8$ 端子は、入力命令（TD、TDD）により、1ビット単位にアクセスして、端子のレベルをテストすることができます。

Dポートの出力バッファのオン/オフは、DCDにより行います。Dポートの各端子に対応するDCDが1のとき、対応するPDRの内容が当該端子より出力されます。出力バッファのオン/オフは、Dポートの各端子ごとに独立して設定できます。DCDは、RAMアドレス上に割り付けられています。

$D_0 \sim D_4$ 端子は、各々内蔵周辺モジュール用端子との兼用端子になっています。これらの端子の機能切り換えは、PMRBにより行います。

Dポートの構成を図10.1に示します。

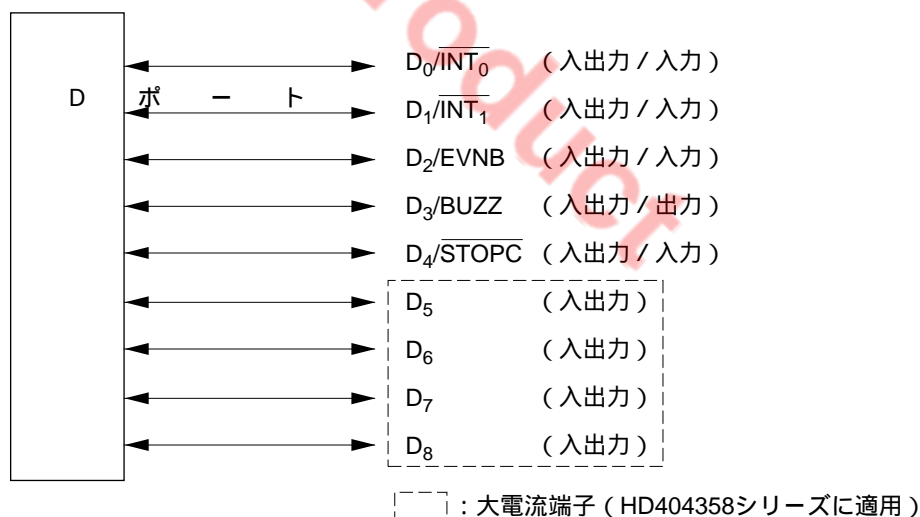


図10.1 Dポートの構成

## 10. I/Oポート HD404358 / HD404358Rシリーズ

### 10.2.2 レジスタの構成と説明

Dポートのレジスタ構成を表10.5に示します。

表10.5 Dポートレジスタ構成

アドレス	名 称	略 称	R / W	初期値
——	ポートデータレジスタ	PDR	W*	1
\$ 02C	データコントロールレジスタ	DCD0	W	\$0
\$ 02D		DCD1	W	\$0
\$ 02E		DCD2	W	---0
\$ 004	ポートモードレジスタA	PMRA	W	\$0
\$ 024	ポートモードレジスタB	PMRB	W	\$0

【注】\* PDRへの書き込みは、SED、SEDD、RED、REDD命令により行います。

#### (1) ポートデータレジスタ (PDR)

$D_0 \sim D_8$ の各入出力端子は、出力データを格納するPDRを各々内蔵しています。 $D_0 \sim D_8$ 端子に対して、SED、SEDD命令を実行すると対応するPDRは1にセットされ、またRED、REDD命令を実行すると0にクリアされます。DポートのDCD0～DCD2の対応するビットが1のとき、当該端子の出力バッファがオンとなり、PDRの値が端子より出力されます。

リセット、およびストップモード時に、PDRは1にセットされます。

(2) データコントロールレジスタ (DCD0 ~ DCD2 : \$02C、\$02D、\$02E)

DCD0 : \$02C	ビット :	3	2	1	0
		DCD03	DCD02	DCD01	DCD00
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCD1 : \$02D	ビット :	3	2	1	0
		DCD13	DCD12	DCD11	DCD10
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCD2 : \$02E	ビット :	3	2	1	0
		—	—	—	DCD20
	初期値 :	—	—	—	0
	R / W :	—	—	—	W

DCD0 ~ DCD2 の各ビット	説 明
0	出力バッファ (CMOSバッファ) はオフとなり、出力ハイインピーダンスとなります。 <span style="float: right;">(初期値)</span>
1	出力バッファはオンとなり、対応するPDRの値を出力します。

DCD0 ~ DCD2の各ビットとDポートの各端子との対応は次のようになっています。

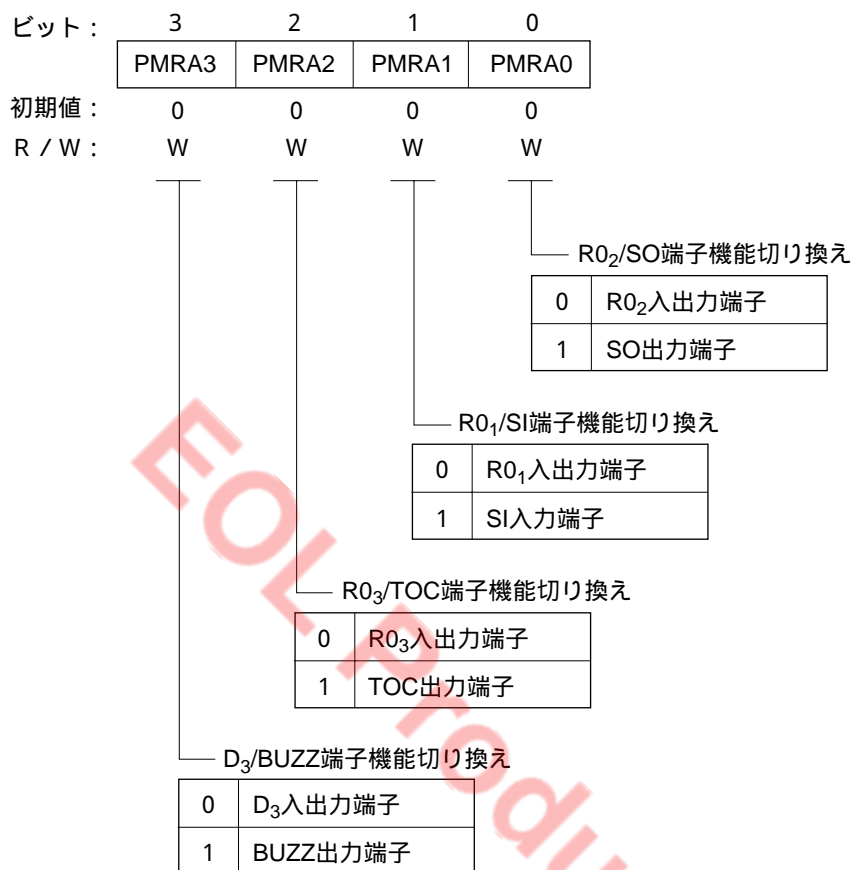
レジスタ名 \ ビット	ビット3	ビット2	ビット1	ビット0
DCD0	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
DCD1	D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>
DCD2	-	-	-	D <sub>8</sub>

## 10. I/Oポート HD404358 / HD404358Rシリーズ

### (3) ポートモードレジスタA (PMRA : \$ 004)

PMRAは、4ビットの書き込み専用のレジスタで、PMRA3ビットでD<sub>3</sub>/BUZZ端子の切り換えを設定します。

ここではPMRA3ビットについて説明します。PMRA2~PMRA0ビットについての詳細は「10.3.2 (3) ポートモードレジスタA (PMRA)」を参照してください。



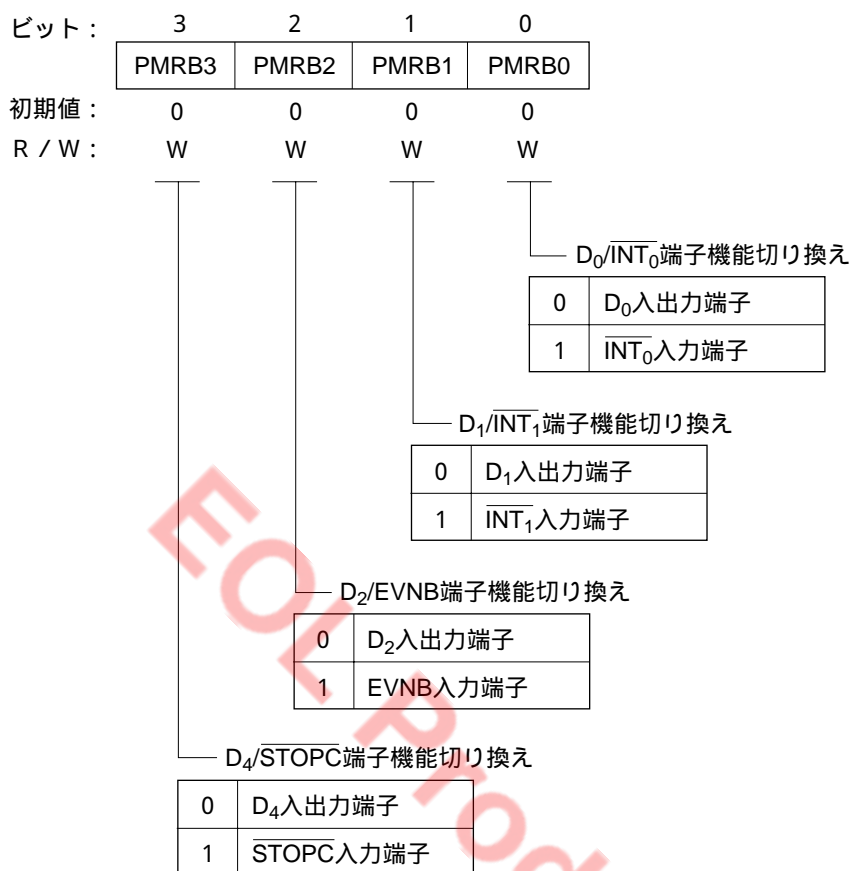
#### ビット3 : D<sub>3</sub>/BUZZ端子機能切り換え (PMRA3)

D<sub>3</sub>/BUZZ端子をD<sub>3</sub>入出力端子として使用するか、ブザー出力端子 (BUZZ) として使用するかを選択します。

PMRA3	説明
0	D <sub>3</sub> /BUZZ端子は、D <sub>3</sub> 入出力端子として機能します。 (初期値)
1	D <sub>3</sub> /BUZZ端子は、BUZZ出力端子として機能します。

## (4) ポートモードレジスタB (PMRB : \$024)

PMRBは、4ビットの書き込み専用レジスタでDポートの兼用入出力端子の切り換えを行います。

**ビット3 : D<sub>4</sub>/ $\overline{\text{STOPC}}$ 端子機能切り換え (PMRB3)**

D<sub>4</sub>/ $\overline{\text{STOPC}}$ 端子をD<sub>4</sub>入出力端子として使用するか、ストップモード解除端子 (STOPC) として使用するかを選択します。

PMRB3	説明
0	D <sub>4</sub> / $\overline{\text{STOPC}}$ 端子は、D <sub>4</sub> 入出力端子として機能します。 (初期値)
1	D <sub>4</sub> / $\overline{\text{STOPC}}$ 端子は、 $\overline{\text{STOPC}}$ 入力端子として機能します。

**ビット2 : D<sub>2</sub>/EVNB端子機能切り換え (PMRB2)**

D<sub>2</sub>/EVNB端子をD<sub>2</sub>入出力端子として使用するか、タイマBのイベントカウント入力端子 (EVNB) として使用するかを選択します。

PMRB2	説明
0	D <sub>2</sub> /EVNB端子は、D <sub>2</sub> 入出力端子として機能します。 (初期値)
1	D <sub>2</sub> /EVNB端子は、EVNB入力端子として機能します。

## 10. I/Oポート HD404358 / HD404358Rシリーズ

### ビット1 : $D_1/\overline{INT}_1$ 端子機能切り換え (PMRB1)

$D_1/\overline{INT}_1$ 端子を $D_1$ 入出力端子として使用するか、外部割込み1の入力端子( $\overline{INT}_1$ )として使用するかを選択します。

PMRB1	説明
0	$D_1/\overline{INT}_1$ 端子は、 $D_1$ 入出力端子として機能します。(初期値)
1	$D_1/\overline{INT}_1$ 端子は、 $\overline{INT}_1$ 入力端子として機能します。

### ビット0 : $D_0/\overline{INT}_0$ 端子機能切り換え (PMRB0)

$D_0/\overline{INT}_0$ 端子を $D_0$ 入出力端子として使用するか、外部割込み0の入力端子( $\overline{INT}_0$ )として使用するかを選択します。

PMRB0	説明
0	$D_0/\overline{INT}_0$ 端子は、 $D_0$ 入出力端子として機能します。(初期値)
1	$D_0/\overline{INT}_0$ 端子は、 $\overline{INT}_0$ 入力端子として機能します。

10.2.3 端子機能

D<sub>0</sub> ~ D<sub>8</sub>の各端子は、PMRAとPMRBの各ビットにより、表10.6に示すように端子機能が切り換わります。

表10.6 D<sub>0</sub> ~ D<sub>8</sub>ポート端子機能 (1 / 2)

端 子	選 択 方 法 と 端 子 機 能		
D <sub>0</sub> /INT <sub>0</sub> <sup>¯</sup>	PMRBのPMRB0ビットとDCD0のDCD00ビットにより、次のように切り換わります。		
	PMRB0	0	1
	DCD00	0	1
	端子機能	D <sub>0</sub> 入力端子	D <sub>0</sub> 出力端子
			INT <sub>0</sub> <sup>¯</sup> 入力端子
D <sub>1</sub> /INT <sub>1</sub> <sup>¯</sup>	PMRBのPMRB1ビットとDCD0のDCD01ビットにより、次のように切り換わります。		
	PMRB1	0	1
	DCD01	0	1
	端子機能	D <sub>1</sub> 入力端子	D <sub>1</sub> 出力端子
			INT <sub>1</sub> <sup>¯</sup> 入力端子
D <sub>2</sub> /EVNB	PMRBのPMRB2ビットとDCD0のDCD02ビットにより、次のように切り換わります。		
	PMRB2	0	1
	DCD02	0	1
	端子機能	D <sub>2</sub> 入力端子	D <sub>2</sub> 出力端子
			EVNB出力端子
D <sub>3</sub> /BUZZ	PMRAのPMRA3ビットとDCD0のDCD03ビットにより、次のように切り換わります。		
	PMRA3	0	1
	DCD03	0	1
	端子機能	D <sub>3</sub> 入力端子	D <sub>3</sub> 出力端子
			BUZZ出力端子
D <sub>4</sub> /STOPC <sup>¯</sup>	PMRBのPMRB3ビットとDCD1のDCD10ビットにより、次のように切り換わります。		
	PMRB3	0	1
	DCD10	0	1
	端子機能	D <sub>4</sub> 入力端子	D <sub>4</sub> 出力端子
			STOPC <sup>¯</sup> 入力端子
D <sub>5</sub>	DCD1のDCD11ビットにより、次のように切り換わります。		
	DCD11	0	1
	端子機能	D <sub>5</sub> 入力端子	D <sub>5</sub> 出力端子
D <sub>6</sub>	DCD1のDCD12ビットにより、次のように切り換わります。		
	DCD12	0	1
	端子機能	D <sub>6</sub> 入力端子	D <sub>6</sub> 出力端子

## 10. I/Oポート HD404358 / HD404358Rシリーズ

表10.6 D<sub>0</sub>~D<sub>8</sub>ポート端子機能 (2 / 2)

端 子	選 択 方 法 と 端 子 機 能		
D <sub>7</sub>	DCD1のDCD13ビットにより、次のように切り換わります。		
	DCD13	0	1
	端子機能	D <sub>7</sub> 入力端子	D <sub>7</sub> 出力端子
D <sub>8</sub>	DCD2のDCD20ビットにより、次のように切り換わります。		
	DCD20	0	1
	端子機能	D <sub>8</sub> 入力端子	D <sub>8</sub> 出力端子

EOL Product



## 10.3 Rポート

### 10.3.1 概要

Rポートは、4ビット×6の入出力ポート（R0～R4、R8）と1ビットの入力専用ポート（RA<sub>1</sub>）から構成され、4ビット単位にアクセスします。

HD404358シリーズのR0、R1、R3、R4、R8は標準耐圧CMOS 3ステート入出力ポート、R2は中耐圧NMOSオープンドレイン入出力ポートです。

HD404358RシリーズのR0、R1、R2、R3、R4、R8は標準耐圧CMOS3ステート入出力ポートで、うちR0、R1、R2、R8は最大15mAの電流を流し込める大電流端子です。

R0～R4、R8の各ポートは、出力命令（LRA、LRB）により4ビット単位にアクセスして、High / Lowレベル出力を制御します。出力データは、各端子のPDRに格納されます。また、入力命令（LAR、LBR）により、4ビット単位にアクセスして、端子のレベルを読み出すことができます。

入力専用ポート（RA<sub>1</sub>）は、1ビットで構成されています。入力命令を実行した場合、ビット3、2、0については、値は不定となります。

Rポートの出力バッファのオン / オフは、DCRにより行います。Rポートの各端子に対応するDCRが1のとき、対応するPDRの内容が当該端子より出力されます。出力バッファのオン / オフは、Rポートの各端子ごとに独立して設定できます。DCRは、RAMアドレス上に割り付けられています。

R0、R3、R4ポートの端子は、内蔵周辺モジュール用端子と兼用端子になっています。これらの端子機能の切り換えは、レジスタ設定により行います（表10.7参照）。

Rポートの端子構成を図10.2に示します。

# 10. I/Oポート HD404358 / HD404358Rシリーズ

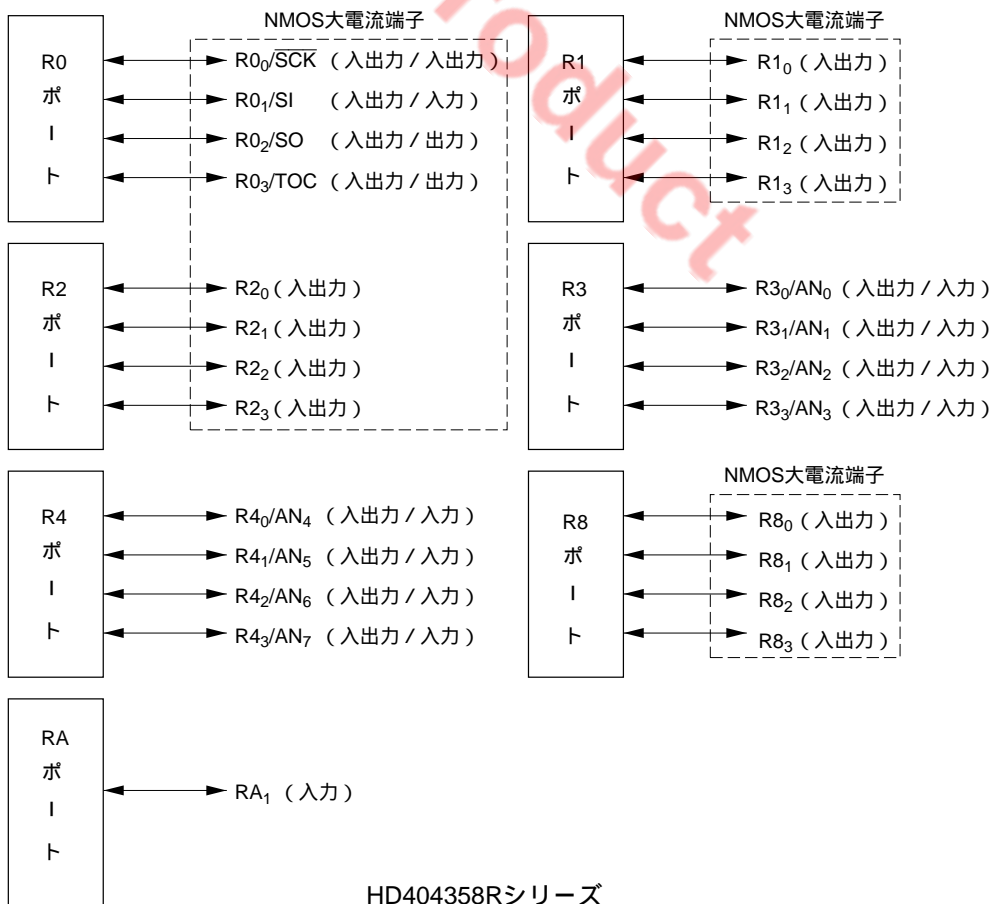
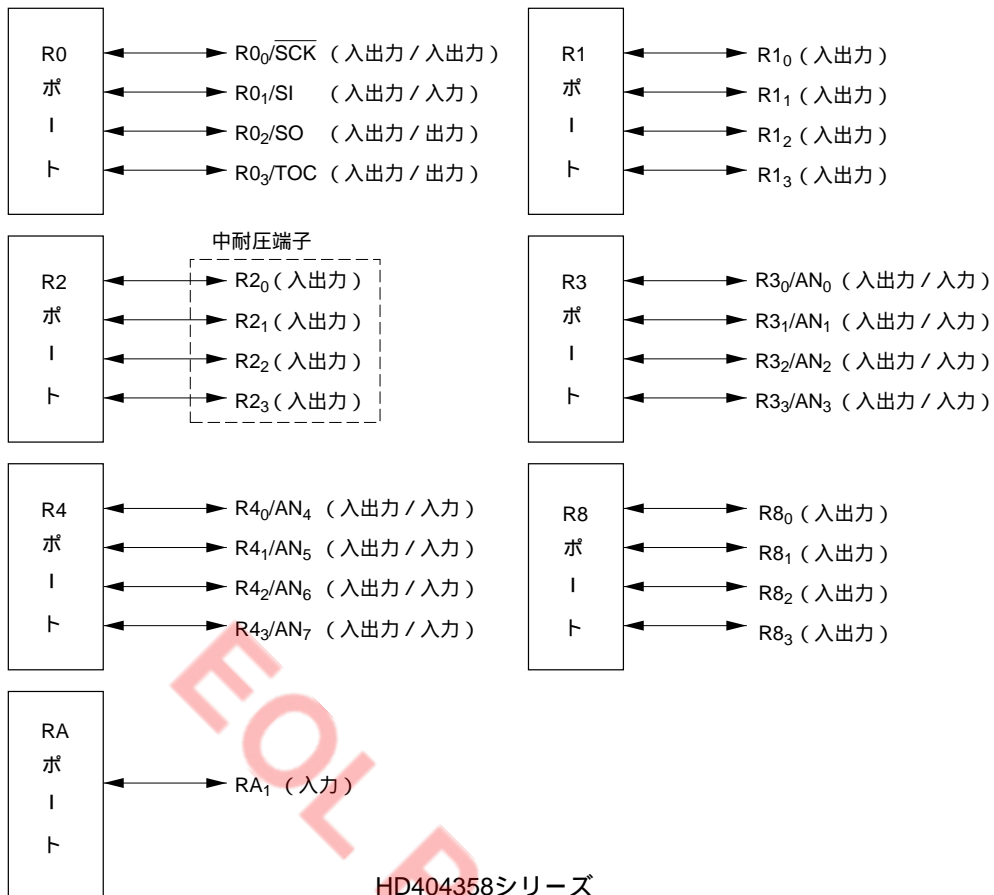


図10.2 Rポートの構成

## 10.3.2 レジスタの構成と説明

Rポートのレジスタ構成を表10.7に示します。

表10.7 Rポートレジスタ構成

アドレス	名 称	略 称	R / W	初期値
———	ポートデータレジスタ	PDR	W*	1
\$ 030	データコントロールレジスタ	DCR0	W	\$0
\$ 031		DCR1	W	\$0
\$ 032		DCR2	W	\$0
\$ 033		DCR3	W	\$0
\$ 034		DCR4	W	\$0
\$ 038		DCR8	W	\$0
\$ 004	ポートモードレジスタA	PMRA	W	\$0
\$ 005	シリアルモードレジスタ	SMR	W	\$0
\$ 019	A/Dモードレジスタ1	AMR1	W	\$0
\$ 01A	A/Dモードレジスタ2	AMR2	W	--00

【注】\* PDRへの書き込みは、LRA、LRB命令により行います。

## (1) ポートデータレジスタ (PDR)

R0～R4、R8ポートの各入出力端子は、出力データを格納するPDRを各々内蔵しています。R0～R4、R8ポートに対して、LRA、LRB命令を実行するとアキュムレータ (A) \ Bレジスタ (B) の内容が、指定されたRポートのPDRに転送されます。R0～R4、R8ポートのDCR0～DCR4、DCR8の対応するビットが1のとき、当該端子の出力バッファがオンとなり、PDRの値が端子より出力されます。

リセット、およびストップモード時に、PDRは1にセットされます。

## 10. I/Oポート HD404358 / HD404358Rシリーズ

### (2) データコントロールレジスタ (DCR0 ~ DCR4、DCR8 : \$030、\$031、\$032、\$033、\$034、\$038)

DCR0 : \$ 030	ビット :	3	2	1	0
		DCR03	DCR02	DCR01	DCR00
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR1 : \$ 031	ビット :	3	2	1	0
		DCR13	DCR12	DCR11	DCR10
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR2 : \$ 032	ビット :	3	2	1	0
		DCR23	DCR22	DCR21	DCR20
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR3 : \$ 033	ビット :	3	2	1	0
		DCR33	DCR32	DCR31	DCR30
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR4 : \$ 034	ビット :	3	2	1	0
		DCR43	DCR42	DCR41	DCR40
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR8 : \$ 038	ビット :	3	2	1	0
		DCR83	DCR82	DCR81	DCR80
	初期値 :	0	0	0	0
	R / W :	W	W	W	W

DCR0 ~ DCR4, DCR8 の各ビット	説 明
0	出力バッファ (CMOSバッファ) はオフとなり、出力ハイインピーダンスとなります。 (初期値)
1	<ul style="list-style-type: none"> <li>CMOS 3 ステート出力バッファはオンとなり、対応するPDRの値を出力します。</li> <li>中耐圧NMOSオープンドレイン端子 (R2) は (HD404358シリーズ) PDRが0のときLowレベル出力となります。PDRが1のとき、出力ハイインピーダンスとなります。</li> </ul>

## 10. I/Oポート HD404358 / HD404358Rシリーズ

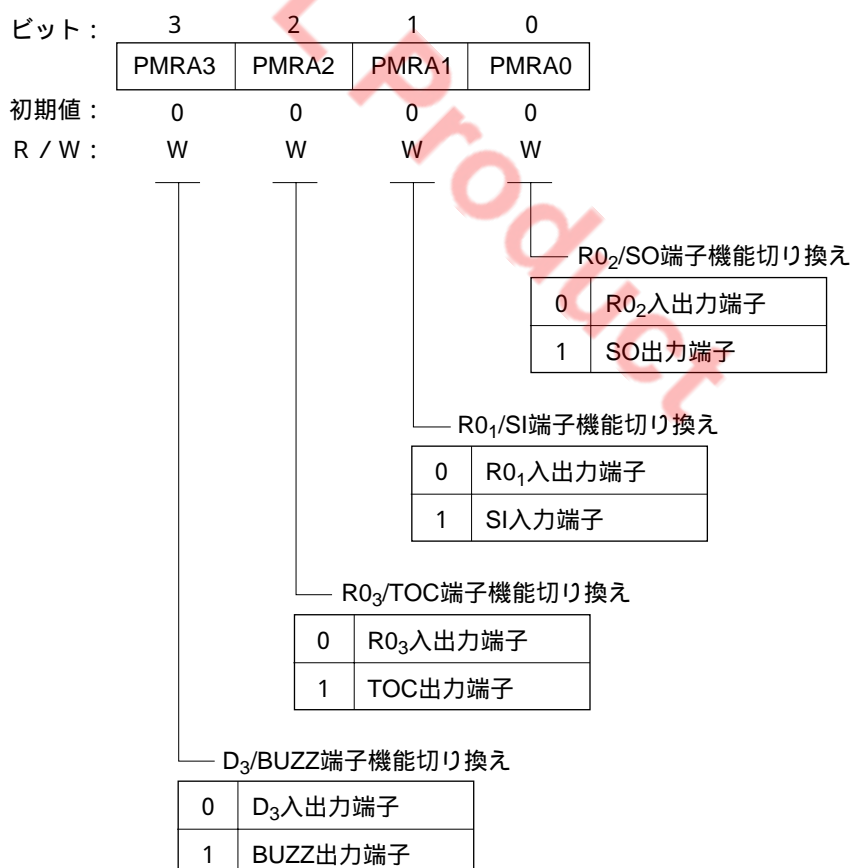
DCR0～DCR4、DCR8の各ビットとR0～R4、R8ポートの各端子との対応は次のようになっています。

レジスタ名 \ ビット	ビット3	ビット2	ビット1	ビット0
DCR0	R0 <sub>3</sub>	R0 <sub>2</sub>	R0 <sub>1</sub>	R0 <sub>0</sub>
DCR1	R1 <sub>3</sub>	R1 <sub>2</sub>	R1 <sub>1</sub>	R1 <sub>0</sub>
DCR2	R2 <sub>3</sub>	R2 <sub>2</sub>	R2 <sub>1</sub>	R2 <sub>0</sub>
DCR3	R3 <sub>3</sub>	R3 <sub>2</sub>	R3 <sub>1</sub>	R3 <sub>0</sub>
DCR4	R4 <sub>3</sub>	R4 <sub>2</sub>	R4 <sub>1</sub>	R4 <sub>0</sub>
DCR8	R8 <sub>3</sub>	R8 <sub>2</sub>	R8 <sub>1</sub>	R8 <sub>0</sub>

### (3) ポートモードレジスタA (PMRA : \$004)

PMRAは、4ビットの書き込み専用レジスタで、PMRA2～PMRA0ビットでR0ポート兼用端子の切り換えを行います。

ここでは、PMRA2～PMRA0ビットについて説明します。PMRA3ビットについての詳細は「10.2.2 (3) ポートモードレジスタA (PMRA)」を参照してください。



## 10. I/Oポート HD404358 / HD404358Rシリーズ

### ビット2 : R0<sub>3</sub>/TOC端子機能切り換え (PMRA2)

R0<sub>3</sub>/TOC端子をR0<sub>3</sub>入出力端子として使用するか、タイマC出力端子 (TOC) として使用するかを選択します。

PMRA2	説 明
0	R0 <sub>3</sub> /TOC端子は、R0 <sub>3</sub> 入出力端子として機能します。 (初期値)
1	R0 <sub>3</sub> /TOC端子は、TOC出力端子として機能します。

### ビット1 : R0<sub>1</sub>/SI端子機能切り換え (PMRA1)

R0<sub>1</sub>/SI端子をR0<sub>1</sub>入出力端子として使用するか、シリアル受信データ入力端子 (SI) として使用するかを選択します。

PMRA1	説 明
0	R0 <sub>1</sub> /SI端子は、R0 <sub>1</sub> 入出力端子として機能します。 (初期値)
1	R0 <sub>1</sub> /SI端子は、SI入力端子として機能します。

### ビット0 : R0<sub>2</sub>/SO端子機能切り換え (PMRA0)

R0<sub>2</sub>/SO端子をR0<sub>2</sub>入出力端子として使用するか、シリアル送信データ出力端子 (SO) として使用するかを選択します。

PMRA0	説 明
0	R0 <sub>2</sub> /SO端子は、R0 <sub>2</sub> 入出力端子として機能します。 (初期値)
1	R0 <sub>2</sub> /SO端子は、SO出力端子として機能します。

## (4) シリアルモードレジスタ (SMR : \$005)

SMRは、4ビットの書き込み専用のレジスタで、SMR3ビットでR0<sub>0</sub>/SCK端子の切り換えを行います。

ここではSMR3ビットについて説明します。SMR2～SMR0ビットについての詳細は「20.2.1 シリアルモードレジスタ (SMR)」を参照してください。

ビット :	3	2	1	0
	SMR3	SMR2	SMR1	SMR0
初期値 :	0	0	0	0
R / W :	W	W	W	W

転送クロック選択
----------

R0 <sub>0</sub> /SCK端子機能切り換え
------------------------------

0	R0 <sub>0</sub> 入出力端子
1	SCK入出力端子

**ビット3 : R0<sub>0</sub>/SCK端子機能切り換え (SMR3)**

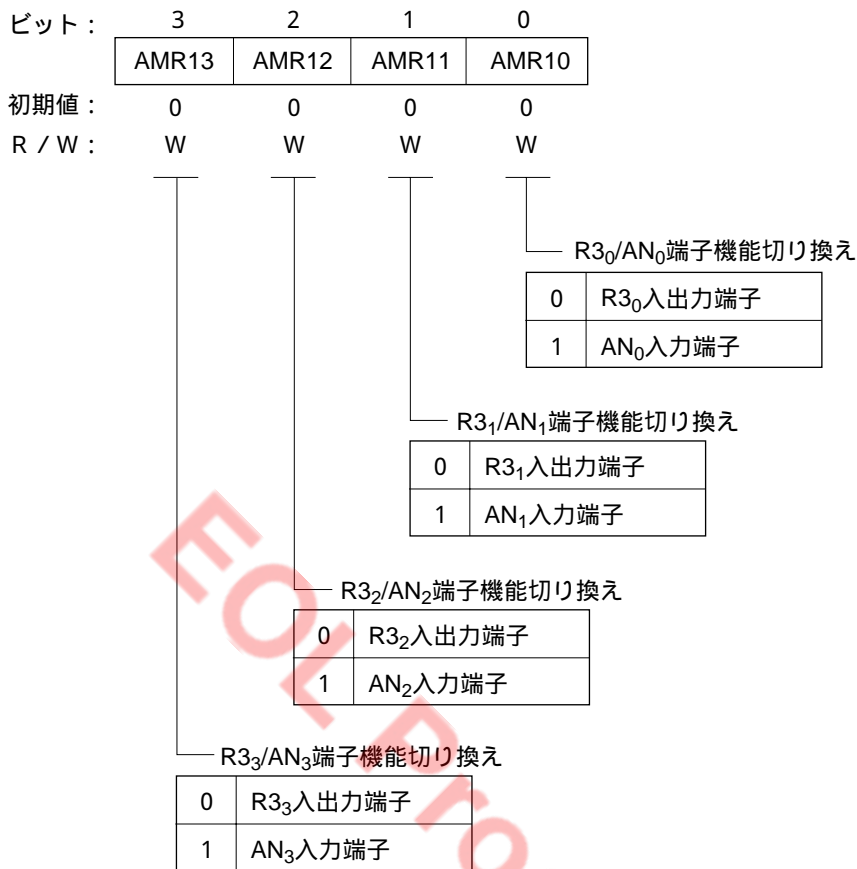
R0<sub>0</sub>/SCK端子をR0<sub>0</sub>入出力端子として使用するか、シリアルインタフェースの転送クロックの入出力端子 (SCK) として使用するかを選択します。

SMR3	説 明
0	R0 <sub>0</sub> /SCK端子は、R0 <sub>0</sub> 入出力端子として機能します。 (初期値)
1	R0 <sub>0</sub> /SCK端子は、SCK入出力端子として機能します。

## 10. I/Oポート HD404358 / HD404358Rシリーズ

### (5) A/Dモードレジスタ1 (AMR1: \$019)

AMR1は4ビットの書き込み専用レジスタで、R3ポートの兼用端子の切り換えを行います。



#### ビット3 : R3<sub>3</sub>/AN<sub>3</sub>端子機能切り換え (AMR13)

R3<sub>3</sub>/AN<sub>3</sub>端子をR3<sub>3</sub>入出力端子として使用するか、A/Dコンバータのチャンネル3入力端子 (AN<sub>3</sub>) として使用するかを選択します。

AMR13	説明
0	R3 <sub>3</sub> /AN <sub>3</sub> 端子は、R3 <sub>3</sub> 入出力端子として機能します。 (初期値)
1	R3 <sub>3</sub> /AN <sub>3</sub> 端子は、AN <sub>3</sub> 入力端子として機能します。

#### ビット2 : R3<sub>2</sub>/AN<sub>2</sub>端子機能切り換え (AMR12)

R3<sub>2</sub>/AN<sub>2</sub>端子をR3<sub>2</sub>入出力端子として使用するか、A/Dコンバータのチャンネル2入力端子 (AN<sub>2</sub>) として使用するかを選択します。

AMR12	説明
0	R3 <sub>2</sub> /AN <sub>2</sub> 端子は、R3 <sub>2</sub> 入出力端子として機能します。 (初期値)
1	R3 <sub>2</sub> /AN <sub>2</sub> 端子は、AN <sub>2</sub> 入力端子として機能します。



**ビット1 : R3<sub>1</sub>/AN<sub>1</sub>端子機能切り換え (AMR11)**

R3<sub>1</sub>/AN<sub>1</sub>端子をR3<sub>1</sub>入出力端子として使用するか、A/Dコンバータのチャンネル1入力端子 (AN<sub>1</sub>) として使用するかを選択します。

AMR11	説 明
0	R3 <sub>1</sub> /AN <sub>1</sub> 端子は、R3 <sub>1</sub> 入出力端子として機能します。 (初期値)
1	R3 <sub>1</sub> /AN <sub>1</sub> 端子は、AN <sub>1</sub> 入力端子として機能します。

**ビット0 : R3<sub>0</sub>/AN<sub>0</sub>端子機能切り換え (AMR10)**

R3<sub>0</sub>/AN<sub>0</sub>端子をR3<sub>0</sub>入出力端子として使用するか、A/Dコンバータのチャンネル0入力端子 (AN<sub>0</sub>) として使用するかを選択します。

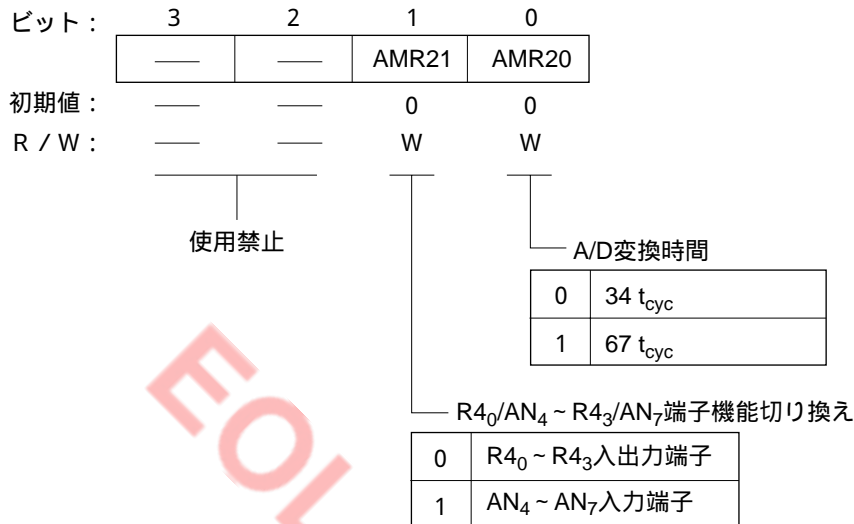
AMR10	説 明
0	R3 <sub>0</sub> /AN <sub>0</sub> 端子は、R3 <sub>0</sub> 入出力端子として機能します。 (初期値)
1	R3 <sub>0</sub> /AN <sub>0</sub> 端子は、AN <sub>0</sub> 入力端子として機能します。

## 10. I/Oポート HD404358 / HD404358Rシリーズ

### (6) A/Dモードレジスタ2 (AMR2: \$1A)

AMR2は、2ビットの書き込み専用レジスタで、AMR21ビットでR4ポートの4ビット (R<sub>40</sub> ~ R<sub>43</sub>) のすべてを、A/Dコンバータのチャンネル入力 (AN<sub>4</sub> ~ AN<sub>7</sub>) に切り換えます。

ここではAMR21ビットについて説明します。AMR20ビットについての詳細は「15.2.2 A/Dモードレジスタ2 (AMR2)」を参照してください。



#### ビット1 : R<sub>40</sub>/AN<sub>4</sub> ~ R<sub>43</sub>/AN<sub>7</sub>端子機能切り換え (AMR21)

R<sub>40</sub>/AN<sub>4</sub> ~ R<sub>43</sub>/AN<sub>7</sub>をR<sub>40</sub> ~ R<sub>43</sub>入出力端子として使用するか、A/Dコンバータのチャンネル4 ~ 7 (AN<sub>4</sub> ~ AN<sub>7</sub>) 入力端子として使用するかを選択します。

AMR21	説明
0	R <sub>40</sub> /AN <sub>4</sub> ~ R <sub>43</sub> /AN <sub>7</sub> は、R <sub>40</sub> ~ R <sub>43</sub> 入出力端子として機能します。 (初期値)
1	R <sub>40</sub> /AN <sub>4</sub> ~ R <sub>43</sub> /AN <sub>7</sub> は、AN <sub>4</sub> ~ AN <sub>7</sub> 入力端子として機能します。

10.3.3 端子機能

Rポートの各端子は、レジスタ設定により、表10.8に示すように切り換わります。

表10.8 Rポート端子機能 (1/4)

端 子	選 択 方 法 と 端 子 機 能			
R <sub>0</sub> /SCK	SMRのSMR3ビットとDCR0のDCR00ビットにより、次のように切り換わります。			
	SMR3	0		1
	DCR00	0	1	————
	端子機能	R <sub>0</sub> 入力端子	R <sub>0</sub> 出力端子	SCK入出力端子
R <sub>0</sub> /SI	PMRAのPMRA1ビットとDCR0のDCR01ビットにより、次のように切り換わります。			
	PMRA1	0		1
	DCR01	0	1	————
	端子機能	R <sub>0</sub> 入力端子	R <sub>0</sub> 出力端子	SI入力端子
R <sub>0</sub> /SO	PMRAのPMRA0ビットとDCR0のDCR02ビットにより、次のように切り換わります。			
	PMRA0	0		1
	DCR02	0	1	————
	端子機能	R <sub>0</sub> 入力端子	R <sub>0</sub> 出力端子	SO出力端子
R <sub>0</sub> /TOC	PMRAのPMRA2ビットとDCR0のDCR03ビットにより、次のように切り換わります。			
	PMRA2	0		1
	DCR03	0	1	————
	端子機能	R <sub>0</sub> 入力端子	R <sub>0</sub> 出力端子	TOC出力端子

## 10. I/Oポート HD404358 / HD404358Rシリーズ

表10.8 Rポート端子機能 (2 / 4)

端子	選択方法と端子機能		
R1 <sub>0</sub>	DCR1のDCR10ビットにより、次のように切り換わります。		
	DCR10	0	1
	端子機能	R1 <sub>0</sub> 入力端子	R1 <sub>0</sub> 出力端子
R1 <sub>1</sub>	DCR1のDCR11ビットにより、次のように切り換わります。		
	DCR11	0	1
	端子機能	R1 <sub>1</sub> 入力端子	R1 <sub>1</sub> 出力端子
R1 <sub>2</sub>	DCR1のDCR12ビットにより、次のように切り換わります。		
	DCR12	0	1
	端子機能	R1 <sub>2</sub> 入力端子	R1 <sub>2</sub> 出力端子
R1 <sub>3</sub>	DCR1のDCR13ビットにより、次のように切り換わります。		
	DCR13	0	1
	端子機能	R1 <sub>3</sub> 入力端子	R1 <sub>3</sub> 出力端子
R2 <sub>0</sub>	DCR2のDCR20ビットにより、次のように切り換わります。		
	DCR20	0	1
	端子機能	R2 <sub>0</sub> 入力端子	R2 <sub>0</sub> 出力端子*
R2 <sub>1</sub>	DCR2のDCR21ビットにより、次のように切り換わります。		
	DCR21	0	1
	端子機能	R2 <sub>1</sub> 入力端子	R2 <sub>1</sub> 出力端子*
R2 <sub>2</sub>	DCR2のDCR22ビットにより、次のように切り換わります。		
	DCR22	0	1
	端子機能	R2 <sub>2</sub> 入力端子	R2 <sub>2</sub> 出力端子*
R2 <sub>3</sub>	DCR2のDCR23ビットにより、次のように切り換わります。		
	DCR23	0	1
	端子機能	R2 <sub>3</sub> 入力端子	R2 <sub>3</sub> 出力端子*

【注】\* HD404358シリーズのR2<sub>0</sub> ~ R2<sub>3</sub>は中耐圧NMOSオープンドレイン入出力端子です。PDRが1のとき出力ハイインピーダンスとなります。

表10.8 Rポート端子機能 (3 / 4)

端子	選択方法と端子機能		
R3 <sub>0</sub> /AN <sub>0</sub>	AMR1のAMR10ビットとDCR3のDCR30ビットにより、次のように切り換わります。		
	AMR10	0	1
	DCR30	0	1
	端子機能	R3 <sub>0</sub> 入力端子	R3 <sub>0</sub> 出力端子 AN <sub>0</sub> 入力端子
R3 <sub>1</sub> /AN <sub>1</sub>	AMR1のAMR11ビットとDCR3のDCR31ビットにより、次のように切り換わります。		
	AMR11	0	1
	DCR31	0	1
	端子機能	R3 <sub>1</sub> 入力端子	R3 <sub>1</sub> 出力端子 AN <sub>1</sub> 入力端子
R3 <sub>2</sub> /AN <sub>2</sub>	AMR1のAMR12ビットとDCR3のDCR32ビットにより、次のように切り換わります。		
	AMR12	0	1
	DCR32	0	1
	端子機能	R3 <sub>2</sub> 入力端子	R3 <sub>2</sub> 出力端子 AN <sub>2</sub> 入力端子
R3 <sub>3</sub> /AN <sub>3</sub>	AMR1のAMR13ビットとDCR3のDCR33ビットにより、次のように切り換わります。		
	AMR13	0	1
	DCR33	0	1
	端子機能	R3 <sub>3</sub> 入力端子	R3 <sub>3</sub> 出力端子 AN <sub>3</sub> 入力端子
R4 <sub>0</sub> /AN <sub>4</sub>	AMR2のAMR21ビットとDCR4のDCR40ビットにより、次のように切り換わります。		
	AMR21	0	1
	DCR40	0	1
	端子機能	R4 <sub>0</sub> 入力端子	R4 <sub>0</sub> 出力端子 AN <sub>4</sub> 入力端子
R4 <sub>1</sub> /AN <sub>5</sub>	AMR2のAMR21ビットとDCR4のDCR41ビットにより、次のように切り換わります。		
	AMR21	0	1
	DCR41	0	1
	端子機能	R4 <sub>1</sub> 入力端子	R4 <sub>1</sub> 出力端子 AN <sub>5</sub> 入力端子
R4 <sub>2</sub> /AN <sub>6</sub>	AMR2のAMR21ビットとDCR4のDCR42ビットにより、次のように切り換わります。		
	AMR21	0	1
	DCR42	0	1
	端子機能	R4 <sub>2</sub> 入力端子	R4 <sub>2</sub> 出力端子 AN <sub>6</sub> 入力端子
R4 <sub>3</sub> /AN <sub>7</sub>	AMR2のAMR21ビットとDCR4のDCR43ビットにより、次のように切り換わります。		
	AMR21	0	1
	DCR43	0	1
	端子機能	R4 <sub>3</sub> 入力端子	R4 <sub>3</sub> 出力端子 AN <sub>7</sub> 入力端子

## 10. I/Oポート HD404358 / HD404358Rシリーズ

表10.8 Rポート端子機能 (4 / 4)

端子	選択方法と端子機能		
R8 <sub>0</sub>	DCR8のDCR80ビットにより、次のように切り換わります。		
	DCR80	0	1
	端子機能	R8 <sub>0</sub> 入力端子	R8 <sub>0</sub> 出力端子
R8 <sub>1</sub>	DCR8のDCR81ビットにより、次のように切り換わります。		
	DCR81	0	1
	端子機能	R8 <sub>1</sub> 入力端子	R8 <sub>1</sub> 出力端子
R8 <sub>2</sub>	DCR8のDCR82ビットにより、次のように切り換わります。		
	DCR82	0	1
	端子機能	R8 <sub>2</sub> 入力端子	R8 <sub>2</sub> 出力端子
R8 <sub>3</sub>	DCR8のDCR83ビットにより、次のように切り換わります。		
	DCR83	0	1
	端子機能	R8 <sub>3</sub> 入力端子	R8 <sub>3</sub> 出力端子

## 10.4 使用上の注意

ポートを使用するとき、次の点に注意してください。

- (1) MISのMIS2ビットを1にセットすると、PMRAのPMRA0ビットによりR<sub>0</sub>2端子またはSO端子機能のいずれが選択されている場合にも、NMOSオープンドレイン出力となります。
- (2) ユーザシステムで使用しない入出力端子がフローティングの場合、ノイズによりLSIが誤動作する可能性がありますので、入出力端子の電位を固定する必要があります。  
未使用端子は、内蔵プルアップMOSで、V<sub>CC</sub>にプルアップするか、または外部で100k程度の抵抗をつけてV<sub>CC</sub>にプルアップしてください。

プログラムで該当端子のPDRやDCD、DCRの内容をリセット状態と同じ状態に保持してください。また、該当端子を周辺機能入出力端子に選択しないでください。

- (3) MISのMIS3ビット = 1 (プルアップMOSアクティブ) かつRポート/アナログ入力兼用端子のPDR = 1の場合、AMR1、AMR2でアナログ入力端子を選択しても、当該端子のプルアップMOSはオフとなりません。

プルアップMOSアクティブを選択し、Rポート/アナログ入力兼用端子をアナログ入力として使用する場合、必ず当該端子のPDRを0にクリアして、プルアップMOSをオフにしてください(リセット後、PDRは1にセットされます)。

図10.3にRポート/アナログ入力兼用端子の回路構成を示します。

AMR1、AMR2は、ポート出力をハイインピーダンスにするためのレジスタであり、アナログ入力チャネルの切り換えは、ACRにより行います。

AMR1 (AMR2)、MIS3ビット、DCR、PDRの組み合わせにより、Rポート/アナログ入力兼用端子の状態は表10.9に示すようになります。

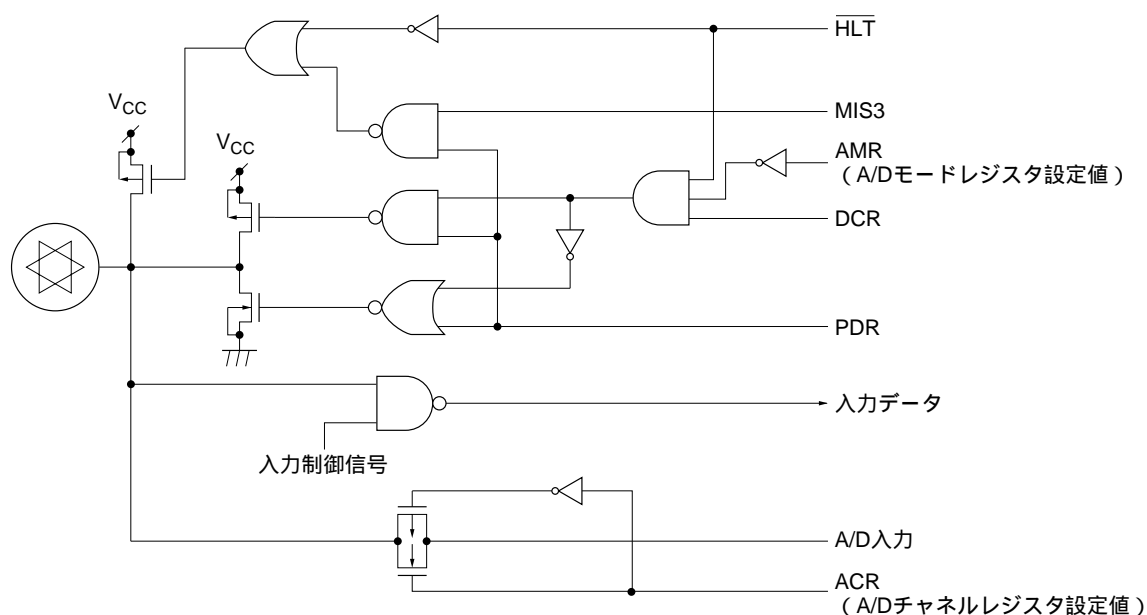


図10.3 Rポート/アナログ入力兼用端子の回路構成

## 10. I/Oポート HD404358 / HD404358Rシリーズ

表10.9 プログラムによるRポート / アナログ入力兼用端子の制御

AMR1またはAMR2の当該ビット		0 (Rポート選択)							
MIS3ビット		0				1			
DCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOSバッファ	PMOS	—		—	ON	—		—	ON
	NMOS	—		ON	—	—		ON	—
プルアップMOS		—				—	ON	—	ON

【注】 — : OFF

AMR1またはAMR2の当該ビット		1 (アナログ入力選択)							
MIS3ビット		0				1			
DCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOSバッファ	PMOS	—		—	—	—		—	—
	NMOS	—		—	—	—		—	—
プルアップMOS		—				—	ON	—	ON

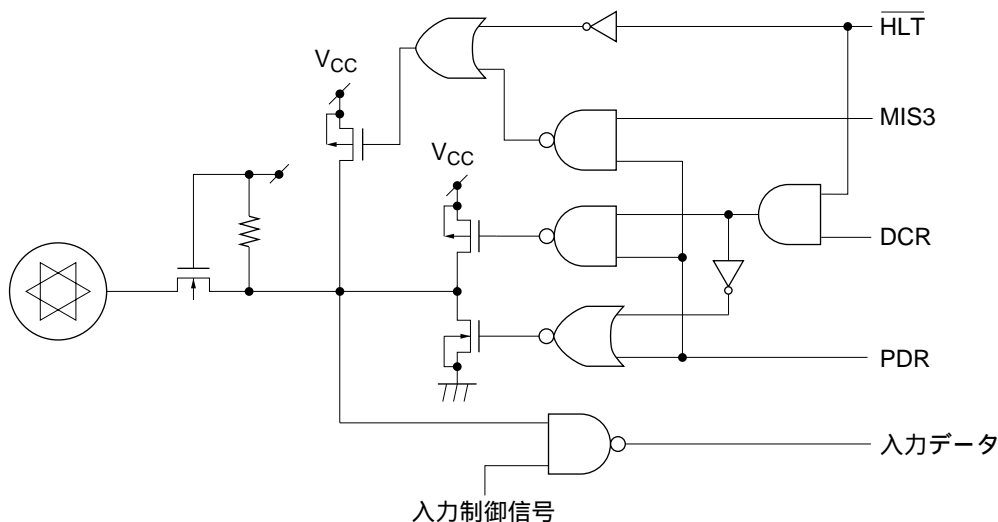
【注】 — : OFF

(4) HD404358シリーズのエバリュエーションチップセットでは、図10.4に示すように中耐圧NMOSオープンドレイン端子 (R2ポート) の回路構成が、ZTAT<sup>®</sup>マイコンおよびマスクROM内蔵マイコンと異なります。

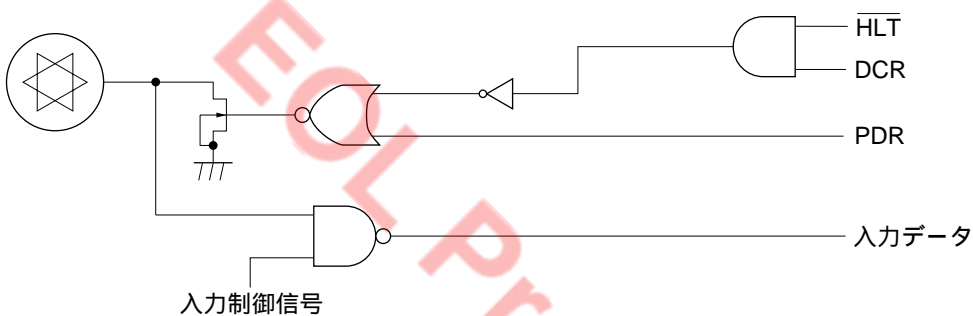
ZTAT<sup>®</sup>マイコンおよびマスクROMマイコンでは、表10.10の組み合わせで出力をハイインピーダンスにすることができますが、エバリュエーションチップセットでは出力をハイインピーダンスにできませんので注意してください。

図10.4に中耐圧NMOSオープンドレイン端子の回路構成を示します。





(a) エバチップセット回路構成



(b) ZTAT®マイコンおよびマスクROM内蔵マイコン回路構成

図10.4 中耐圧NMOSオープンドレイン端子の回路構成

表10.10 ZTAT®マイコンおよびマスクROMマイコンの中耐圧端子ハイインピーダンス制御方法

DCR	PDR	説明
0	*	出力ハイインピーダンス (初期値)
1	0	NMOSバッファオン。Lowレベル出力。
	1	出力ハイインピーダンス

\* : don't care

EOL Product

---

# 11. I/Oポート

## (HD404339シリーズ)

---

---

### 第11章 目次

---

11.1	概要	267
11.1.1	特長	267
11.1.2	入出力制御	269
	(1) 高耐圧入出力端子の回路構成	269
	(2) 標準耐圧CMOS 3ステート入出力端子の回路構成	269
	(3) プルアップMOS制御	269
	(4) ミセラニアスレジスタ (MIS)	270
11.1.3	入出力端子の回路構成	271
11.1.4	低消費電力モード時のポートの状態	276
11.1.5	未使用端子の処理	276
11.2	Dポート	277
11.2.1	概要	277
11.2.2	レジスタの構成と説明	278
	(1) ポートデータレジスタ (PDR)	278
	(2) ポートモードレジスタA (PMRA)	279
	(3) ポートモードレジスタB (PMRB)	280
11.2.3	端子機能	282
11.3	Rポート	283
11.3.1	概要	283
11.3.2	レジスタの構成と説明	285
	(1) ポートデータレジスタ (PDR)	285
	(2) データコントロールレジスタ (DCR0、DCR3 ~ DCR7)	286
	(3) ポートモードレジスタA (PMRA)	288
	(4) シリアルモードレジスタ (SMR)	289
	(5) A/Dモードレジスタ1 (AMR1)	290
	(6) A/Dモードレジスタ2 (AMR2)	292
11.3.3	端子機能	293
11.4	使用上の注意	296

EOL Product

## 11.1 概要

### 11.1.1 特長

HD404339シリーズのI/Oポートの特長を以下に示します。

$D_0 \sim D_{13}$ の14本とR1、R2、R8、R9ポートは高耐圧入出力端子です。また、 $RA_1$ は高耐圧入力端子です。

R0、R3～R7は標準耐圧入出力端子でCMOS 3ステート出力となっています。

入出力端子には、タイマやシリアルインタフェースなどの内蔵周辺モジュール用端子と兼用となっている端子 ( $D_0 \sim D_4$ 、R0、R3～R5ポートの各端子) があります。これらの端子は、DポートまたはRポートとしての入出力設定よりも、内蔵周辺モジュール用端子としての設定が優先するようになっています。

入出力端子の入力/出力の選択、および内蔵周辺モジュール用端子と兼用となっている端子のポート/内蔵周辺モジュール用端子の選択は、レジスタの設定により行います。

内蔵周辺モジュール用端子のうち $D_3$ /BUZZはPMOSオープンドレイン出力、その他の出力端子はすべてCMOS 3ステート出力となります。また、 $R0_2$ /SO端子は、レジスタ設定によりNMOSオープンドレイン出力にすることができます。

ストップモード時には、MCU内部がリセット状態となるため、内蔵周辺モジュール選択は解除されません。また入力/出力端子はハイインピーダンス状態になります。

CMOS出力端子はプログラマブルプルアップMOSを内蔵しており、レジスタ設定により端子ごとにオン/オフを制御できます。なお、プルアップMOSのオン/オフ設定は、内蔵周辺モジュール用端子としての設定とは独立に行うことができます。

各ポートの機能一覧を表11.1に示します。

## 11. I/Oポート HD404339シリーズ

表11.1 ポートの機能

ポート	概要	端子	兼用機能	機能切り換え用レジスタ
D <sub>0</sub> ~ D <sub>13</sub>	<ul style="list-style-type: none"> <li>高耐圧入出力ポート</li> <li>ビット単位でアクセス</li> <li>SED、SEDD、RED、REDD、TD、TDD命令によりアクセス</li> <li>プルダウン抵抗（マスクオプション）</li> </ul>	D <sub>0</sub> /INT <sub>0</sub>	外部割込み入力0	PMRB
		D <sub>1</sub> /INT <sub>1</sub>	外部割込み入力1	
		D <sub>2</sub> /EVNB	タイマBイベント入力	PMRA
		D <sub>3</sub> /BUZZ	ブザー出力	
		D <sub>4</sub> /STOPC	ストップモード解除	PMRB
		D <sub>5</sub> ~ D <sub>13</sub>		
R0	<ul style="list-style-type: none"> <li>標準耐圧入出力ポート</li> </ul>	R0 <sub>0</sub> /SCK	転送クロック入出力	SMR
		R0 <sub>1</sub> /SI	シリアル受信データ入力	PMRA
		R0 <sub>2</sub> /SO	シリアル送信データ出力	
		R0 <sub>3</sub> /TOC	タイマC出力	
R3	<ul style="list-style-type: none"> <li>4ビット単位でアクセス</li> <li>LAR、LBR、LRA、LRB命令によりアクセス</li> <li>プログラマブルプルアップMOS付き</li> </ul>	R3 <sub>0</sub> /AN <sub>0</sub>	A/Dコンバータ入力チャンネル0	AMR1
		R3 <sub>1</sub> /AN <sub>1</sub>	A/Dコンバータ入力チャンネル1	
		R3 <sub>2</sub> /AN <sub>2</sub>	A/Dコンバータ入力チャンネル2	
		R3 <sub>3</sub> /AN <sub>3</sub>	A/Dコンバータ入力チャンネル3	
R4		R4 <sub>0</sub> /AN <sub>4</sub>	A/Dコンバータ入力チャンネル4	AMR2
		R4 <sub>1</sub> /AN <sub>5</sub>	A/Dコンバータ入力チャンネル5	
		R4 <sub>2</sub> /AN <sub>6</sub>	A/Dコンバータ入力チャンネル6	
		R4 <sub>3</sub> /AN <sub>7</sub>	A/Dコンバータ入力チャンネル7	
R5		R5 <sub>0</sub> /AN <sub>8</sub>	A/Dコンバータ入力チャンネル8	AMR2
		R5 <sub>1</sub> /AN <sub>9</sub>	A/Dコンバータ入力チャンネル9	
		R5 <sub>2</sub> /AN <sub>10</sub>	A/Dコンバータ入力チャンネル10	
		R5 <sub>3</sub> /AN <sub>11</sub>	A/Dコンバータ入力チャンネル11	
R6、R7		R6 <sub>0</sub> ~ R6 <sub>3</sub>		
		R7 <sub>0</sub> ~ R7 <sub>2</sub>		
R1、R2、R8、R9	<ul style="list-style-type: none"> <li>高耐圧入出力ポート</li> <li>4ビット単位でアクセス</li> <li>LAR、LBR、LRA、LRB命令によりアクセス</li> <li>プルダウン抵抗（マスクオプション）</li> </ul>	R1 <sub>0</sub> ~ R1 <sub>3</sub> R2 <sub>0</sub> ~ R2 <sub>3</sub> R8 <sub>0</sub> ~ R8 <sub>3</sub> R9 <sub>0</sub> ~ R9 <sub>3</sub>		
RA	<ul style="list-style-type: none"> <li>高耐圧入力ポート（1ビット）</li> <li>LAR、LBR命令によりアクセス</li> </ul>	RA <sub>1</sub> /V <sub>disp</sub>	高耐圧端子出力電源	マスクオプション

### 11.1.2 入出力制御

DとR1、R2、R8、R9は高耐圧の入出力ポート、RA<sub>1</sub>は1ビットの高耐圧入力ポートであり、R0、R3～R7は標準耐圧の入出力ポートで回路構成が異なります。

#### (1) 高耐圧入出力端子の回路構成

DポートとR1、R2、R8、R9ポートは高耐圧の入出力端子で、入出力の切り換えは機能はありません。ポートデータレジスタ（PDR）の値を1とするとPMOSがオンとなり、端子にHighレベルの電圧が出力されます。0のときはオープンとなり、マスクオプションでプルダウン抵抗を内蔵したときはV<sub>disp</sub>の電圧が出力されることとなります。外部から信号を入力するときは、PDRの値を0にして双方の出力が端子で衝突しないようにします。

また、ZTAT<sup>®</sup>版の全ての高耐圧入出力端子は、プルダウン抵抗を内蔵していません。

#### (2) 標準耐圧CMOS 3ステート入出力端子の回路構成

R0、R3～R7ポートの各端子は、標準耐圧CMOS 3ステート入出力ポートで、PDRとデータコントロールレジスタ（DCR）により、入出力が制御されます。各端子に対応するDCRのビットが1のとき、当該端子は出力端子となり、PDRの値を出力します。また、対応するDCRのビットが0のとき、当該端子は入力端子となります。

#### (3) プルアップMOS制御

R0、R3～R7ポートの各入出力端子は、プログラマブルプルアップMOSを内蔵しています。ミセラニラスレジスタ（MIS）のMIS3ビットが1のとき、対応するPDRが1の端子のプルアップMOSがオンとなります。PDRにより各端子独立にプルアップMOSのオン/オフが制御できます。

なお、プルアップMOSのオン/オフ設定は、内蔵周辺モジュール用端子としての設定とは独立に行うことができます。

レジスタ設定によるポートの入出力端子制御を表11.2に示します。

表11.2 レジスタ設定による入出力端子の制御

MIS3		0				1			
DCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOS バッファ	PMOS	_____		_____	ON	_____		_____	ON
	NMOS	_____		ON	_____	_____		ON	_____
プルアップMOS		_____				_____	ON	_____	ON

【注】 1. - : OFF

2. PDRは、RAMアドレス上に割り付けられていません。PDRは専用の入出力命令によりアクセスします。

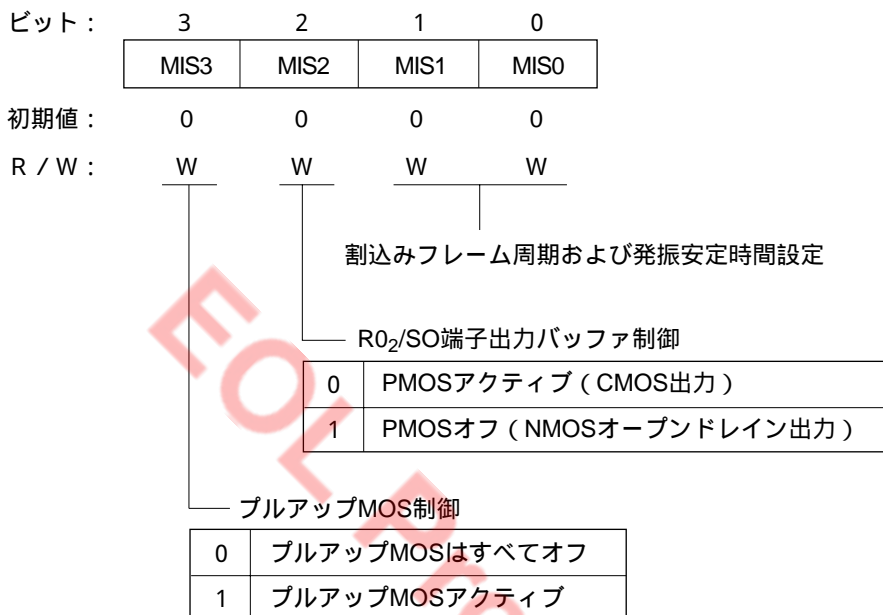
## 11. I/Oポート HD404339シリーズ

### (4) ミセラニアスレジスタ (MIS : \$ 00C)

MISは、4ビットの書き込み専用のレジスタで、R0、R3~R7ポートのプルアップMOSのオン/オフとR0<sub>2</sub>/SO端子出力バッファのPMOSのオン/オフ、およびウォッチモード、サブアクティブモード時の割込みフレーム周期とモード解除時の発振安定時間を設定します。

リセット、およびストップモード時に、MISは\$ 0にイニシャライズされます。

ここでは、MIS3、MIS2ビットについて説明します。MIS1、MIS0ビットについては、「6.2.1 ミセラニアスレジスタ (MIS)」を参照してください。



#### ビット3 : プルアップMOS制御 (MIS3)

入出力ポートの各端子が内蔵するプルアップMOSのオン/オフを制御します。

MIS3	説明
0	プルアップMOSは、すべてオフとなります。 (初期値)
1	対応するPDRが1の各端子のプルアップMOSがオンとなります。

#### ビット2 : R0<sub>2</sub>/SO端子PMOS制御 (MIS2)

R0<sub>2</sub>/SO端子の出力バッファのPMOSオン/オフを制御します。

MIS2	説明
0	R0 <sub>2</sub> /SO端子出力はCMOS出力となります。 (初期値)
1	R0 <sub>2</sub> /SO端子出力はNMOSオープンドレイン出力となります。



11.1.3 入出力端子の回路構成

ポート、内蔵周辺モジュールの各端子の回路構成を表11.3に示します。

- 【注】 1. ストップモード時には、MCU内部がリセット状態となり、内蔵周辺モジュール選択が解除されます。また、内部信号 $\overline{HLT}$ がLowレベル（アクティブ）となり、出力ハイインピーダンスとなります。また、すべてのプルアップMOSはオフとなります。  
 2. ストップモード以外の低消費電力モードでは、内部信号 $\overline{HLT}$ はHighレベルとなります。

表11.3 入力／出力端子の回路構成（1／5）

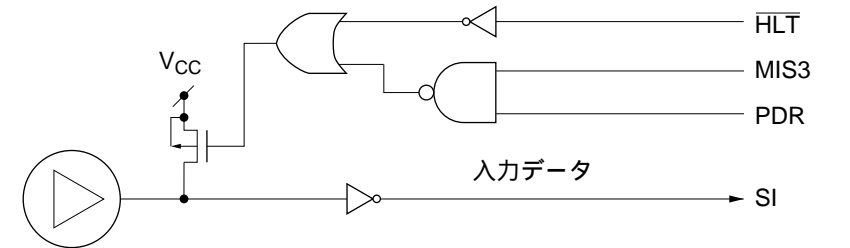
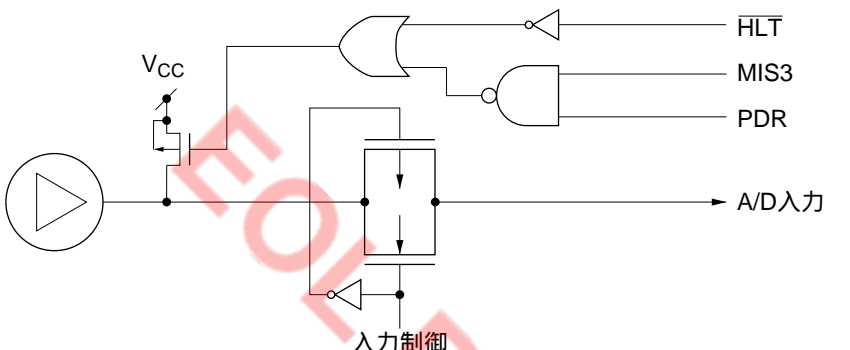
区分	回路構成	適用端子
標準入出力端子	<p>この回路図は、標準の入出力端子の構成を示しています。V<sub>CC</sub>とGND（TTT）に接続されたプルアップおよびプルダウンMOSFETが特徴です。入力制御信号、プルアップ制御信号、バッファ制御信号、出力データ、および入力データが各MOSFETのゲートに接続されています。</p>	<p>R0<sub>0</sub>, R0<sub>1</sub>, R0<sub>3</sub>,                      R3<sub>0</sub> ~ R3<sub>3</sub>,                      R4<sub>0</sub> ~ R4<sub>3</sub>,                      R5<sub>0</sub> ~ R5<sub>3</sub>,                      R6<sub>0</sub> ~ R6<sub>3</sub>,                      R7<sub>0</sub> ~ R7<sub>2</sub></p>
標準耐圧端子	<p>この回路図は、標準の耐圧端子の構成を示しています。V<sub>CC</sub>とGND（TTT）に接続されたプルアップおよびプルダウンMOSFETが特徴です。入力制御信号、プルアップ制御信号、バッファ制御信号、出力データ、および入力データが各MOSFETのゲートに接続されています。</p>	<p>R0<sub>2</sub></p>

# 11. I/Oポート HD404339シリーズ

表11.3 入力/出力端子の回路構成 (2/5)

区分	回路構成	適用端子
入出力端子		$\overline{\text{SCK}}$
標準耐圧端子 内蔵周辺モジュール用端子		SO
出力端子		TOC

表11.3 入力/出力端子の回路構成 (3/5)

区分	回路構成	適用端子
標準 内蔵周辺モジュール用端子 入力端子		SI
標準 耐圧端子		AN <sub>0</sub> ~ AN <sub>11</sub>

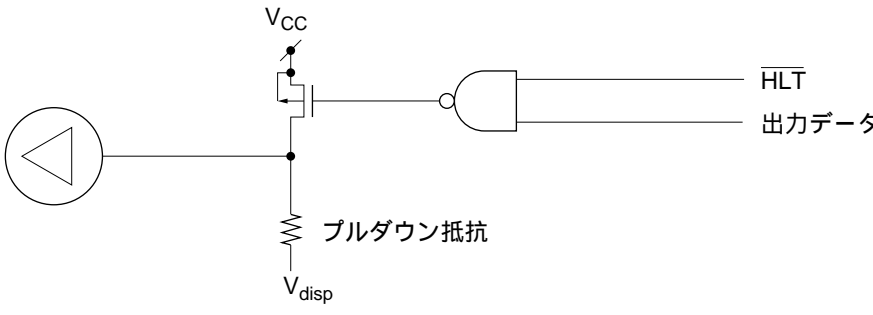
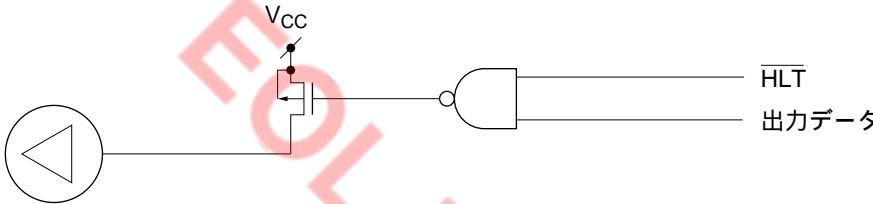
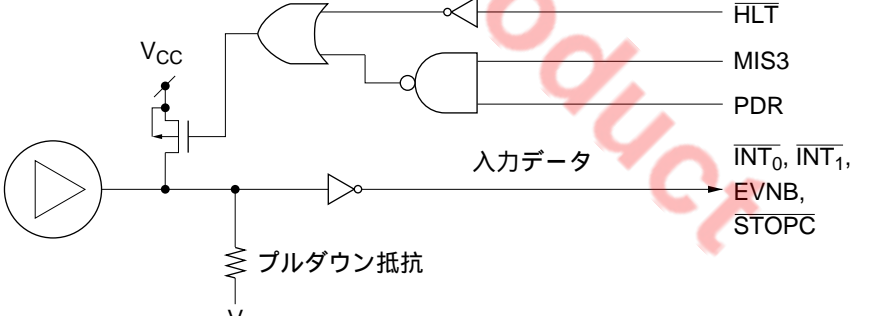
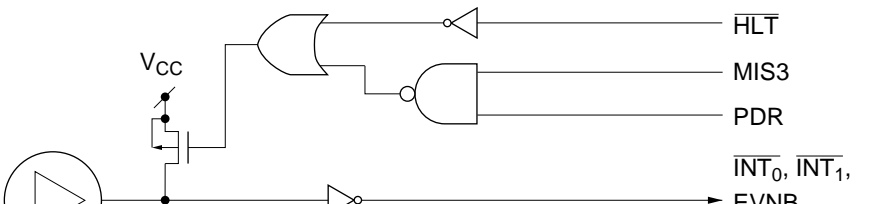
# 11. I/Oポート HD404339シリーズ

表11.3 入力 / 出力端子の回路構成 (4 / 5)

区分	回路構成	適用端子
入出力端子 高耐圧端子	<p>プルダウン抵抗付き</p>	D <sub>0</sub> ~ D <sub>13</sub> , R <sub>10</sub> ~ R <sub>13</sub> , R <sub>20</sub> ~ R <sub>23</sub> , R <sub>80</sub> ~ R <sub>83</sub> , R <sub>90</sub> ~ R <sub>93</sub>
	<p>プルダウン抵抗なし*</p>	
入力端子		RA <sub>1</sub>

【注】\* ZTAT®版では、プルダウン抵抗なしに固定されています。

表11.3 入力/出力端子の回路構成 (5/5)

区分	回路構成	適用端子
高耐圧端子 内蔵周辺モジュール用端子	<p>プルダウン抵抗付き</p> 	BUZZ
	<p>プルダウン抵抗なし*</p> 	
高耐圧端子 内蔵周辺モジュール用端子	<p>プルダウン抵抗付き</p> 	$\overline{INT_0}$ , $\overline{INT_1}$ , EVNB, STOPC
	<p>プルダウン抵抗なし*</p> 	

【注】\* ZTAT®版では、プルダウン抵抗なしに固定されています。

## 11. I/Oポート HD404339シリーズ

### 11.1.4 低消費電力モード時のポートの状態

D<sub>0</sub> ~ D<sub>4</sub>、R<sub>0</sub>、R<sub>3</sub> ~ R<sub>5</sub>ポートは、内蔵周辺モジュール用の入力端子または出力端子との兼用端子になっています。スタンバイ、ウォッチモードでは、CPUが動作を停止するため、出力ポートに選択された端子は直前の出力を保持します。また、スタンバイ、ウォッチモードで動作する内蔵周辺モジュール出力に選択された端子は動作を続けます（停止した内蔵周辺モジュール用出力端子は、直前の値を保持します）。各モードで動作可能な内蔵周辺モジュールについては、「第6章 低消費電力モード」を参照してください。

低消費電力モード時のポートの状態を表11.4に示します。

表11.4 低消費電力モード時のポートの状態

低消費電力モード	ポートの状態
スタンバイモード ウォッチモード	スタンバイ、ウォッチモードに入る直前の値を保持します。
ストップモード	内蔵周辺機能選択は解除され、ポートおよび周辺機能入出力端子はハイインピーダンスとなります。

### 11.1.5 未使用端子の処理

ユーザシステムで使用しない入出力端子がフローティングの場合、ノイズによりLSIが誤動作する可能性がありますので、入出力端子の電位を固定する必要があります。

高耐圧端子 : マスクオプションにより「プルダウンMOSなし (PMOSオープンドレイン)」を選択し、ユーザシステムのプリント基板上のV<sub>CC</sub>電位に接続します。

標準耐圧端子 : 内蔵プルアップMOSで、V<sub>CC</sub>にプルアップするか、または外部で100k 程度の抵抗をつけてV<sub>CC</sub>にプルアップしてください。

プログラムで該当端子のPDRやDCRの内容をリセット状態と同じ内容に保持してください。また、該当端子を周辺機能入出力端子に選択しないでください。

## 11.2 Dポート

### 11.2.1 概要

Dポートは、入出力ポート14本 ( $D_0 \sim D_{13}$ ) で構成され、1ビット単位にアクセスします。

$D_0 \sim D_{13}$ 端子は、出力命令 (SED、SEDD、RED、REDD) により、1ビット単位にアクセスして、High / Lowレベル出力を制御します。出力データは、各端子のPDRに格納されます。

また、 $D_0 \sim D_{13}$ 端子は、入力命令 (TD、TDD) により、1ビット単位にアクセスして、端子のレベルをテストすることができます。

$D_0 \sim D_4$ ポートは、各々内蔵周辺モジュール用端子との兼用端子になっています。これらの端子の機能切り換えは、PMRAとPMRBにより行います。

Dポートの構成を図11.1に示します。

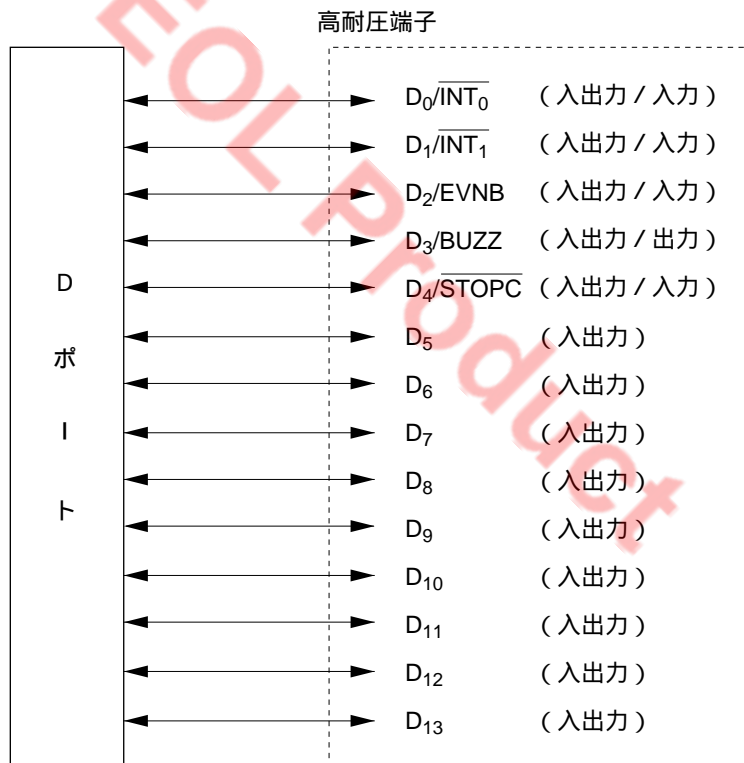


図11.1 Dポートの構成

## 11. I/Oポート HD404339シリーズ

### 11.2.2 レジスタの構成と説明

Dポートのレジスタ構成を表11.5に示します。

表11.5 Dポートレジスタ構成

アドレス	名 称	略 称	R / W	初期値
——	ポートデータレジスタ	PDR	W*	0
\$ 004	ポートモードレジスタA	PMRA	W	\$0
\$ 024	ポートモードレジスタB	PMRB	W	\$0

【注】\* PDRへの書き込みは、SED、SEDD、RED、REDD命令により行います。

#### (1) ポートデータレジスタ (PDR)

D<sub>0</sub> ~ D<sub>13</sub>の各入出力端子は、出力データを格納するPDRを各々内蔵しています。D<sub>0</sub> ~ D<sub>13</sub>端子に対して、SED、SEDD命令を実行すると対応するPDRは1にセットされ、またRED、REDD命令を実行すると0にクリアされます。

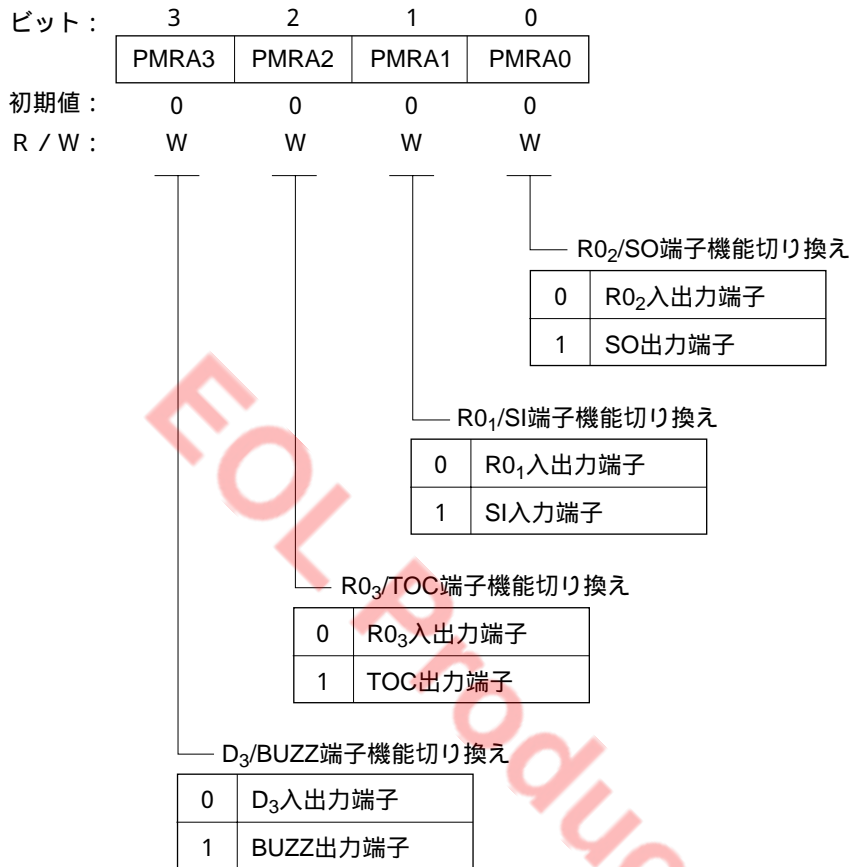
リセット、およびストップモード時に、PDRは0にクリアされます。



(2) ポートモードレジスタA (PMRA : \$004)

PMRAは、4ビットの書き込み専用のレジスタで、PMRA3ビットでD<sub>3</sub>/BUZZ端子の切り換えを設定します。

ここではPMRA3ビットについて説明します。PMRA2~PMRA0ビットについての詳細は「11.3.2 (3) ポートモードレジスタA (PMRA)」を参照してください。



ビット3 : D<sub>3</sub>/BUZZ端子機能切り換え (PMRA3)

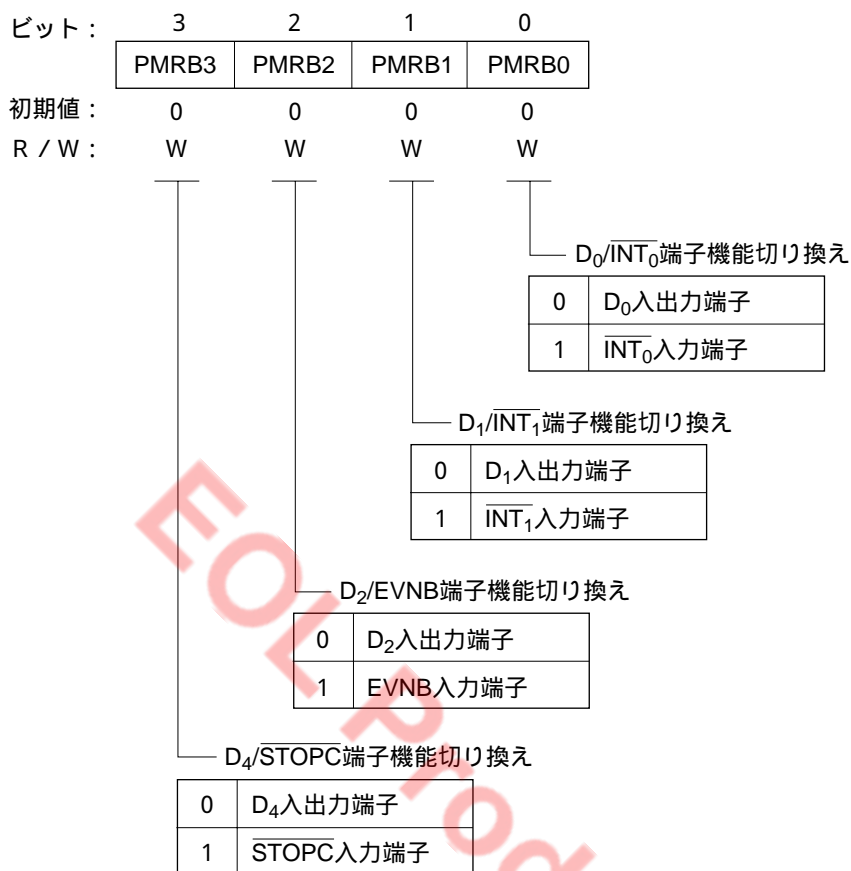
D<sub>3</sub>/BUZZ端子をD<sub>3</sub>入出力端子として使用するか、ブザー出力端子 (BUZZ) として使用するかを選択します。

PMRA3	説明
0	D <sub>3</sub> /BUZZ端子は、D <sub>3</sub> 入出力端子として機能します。 (初期値)
1	D <sub>3</sub> /BUZZ端子は、BUZZ出力端子として機能します。

## 11. I/Oポート HD404339シリーズ

### (3) ポートモードレジスタB (PMRB : \$024)

PMRBは、4ビットの書き込み専用レジスタでDポートの兼用入出力端子の切り換えを行います。



#### ビット3 : D<sub>4</sub>/ $\overline{\text{STOPC}}$ 端子機能切り換え (PMRB3)

D<sub>4</sub>/ $\overline{\text{STOPC}}$ 端子をD<sub>4</sub>入出力端子として使用するか、ストップモード解除端子 ( $\overline{\text{STOPC}}$ ) として使用するかを選択します。

PMRB3	説明
0	D <sub>4</sub> / $\overline{\text{STOPC}}$ 端子は、D <sub>4</sub> 入出力端子として機能します。 (初期値)
1	D <sub>4</sub> / $\overline{\text{STOPC}}$ 端子は、 $\overline{\text{STOPC}}$ 入力端子として機能します。

#### ビット2 : D<sub>2</sub>/EVNB端子機能切り換え (PMRB2)

D<sub>2</sub>/EVNB端子をD<sub>2</sub>入出力端子として使用するか、タイマBのイベントカウント入力端子 (EVNB) として使用するかを選択します。

PMRB2	説明
0	D <sub>2</sub> /EVNB端子は、D <sub>2</sub> 入出力端子として機能します。 (初期値)
1	D <sub>2</sub> /EVNB端子は、EVNB入力端子として機能します。

**ビット1 :  $D_1/\overline{INT}_1$ 端子機能切り換え (PMRB1)**

$D_1/\overline{INT}_1$ 端子を $D_1$ 入出力端子として使用するか、外部割込み1の入力端子( $\overline{INT}_1$ )として使用するかを選択します。

PMRB1	説 明
0	$D_1/\overline{INT}_1$ 端子は、 $D_1$ 入出力端子として機能します。 (初期値)
1	$D_1/\overline{INT}_1$ 端子は、 $\overline{INT}_1$ 入力端子として機能します。

**ビット0 :  $D_0/\overline{INT}_0$ 端子機能切り換え (PMRB0)**

$D_0/\overline{INT}_0$ 端子を $D_0$ 入出力端子として使用するか、外部割込み0の入力端子( $\overline{INT}_0$ )として使用するかを選択します。

PMRB0	説 明
0	$D_0/\overline{INT}_0$ 端子は、 $D_0$ 入出力端子として機能します。 (初期値)
1	$D_0/\overline{INT}_0$ 端子は、 $\overline{INT}_0$ 入力端子として機能します。

## 11. I/Oポート HD404339シリーズ

### 11.2.3 端子機能

D<sub>0</sub> ~ D<sub>4</sub>の各端子は、PMRAとPMRBの各ビットにより、表11.6に示すように端子機能が切り換わります。

表11.6 D<sub>0</sub> ~ D<sub>4</sub>ポート端子機能

端 子	選 択 方 法 と 端 子 機 能		
D <sub>0</sub> /INT <sub>0</sub>	PMRBのPMRB0ビットにより、次のように切り換わります。		
	PMRB0	0	1
	端子機能	D <sub>0</sub> 入出力端子	INT <sub>0</sub> 入力端子
D <sub>1</sub> /INT <sub>1</sub>	PMRBのPMRB1ビットにより、次のように切り換わります。		
	PMRB1	0	1
	端子機能	D <sub>1</sub> 入出力端子	INT <sub>1</sub> 入力端子
D <sub>2</sub> /EVNB	PMRBのPMRB2ビットにより、次のように切り換わります。		
	PMRB2	0	1
	端子機能	D <sub>2</sub> 入出力端子	EVNB入力端子
D <sub>3</sub> /BUZZ	PMRAのPMRA3ビットにより、次のように切り換わります。		
	PMRA3	0	1
	端子機能	D <sub>3</sub> 入出力端子	BUZZ出力端子
D <sub>4</sub> /STOPC	PMRBのPMRB3ビットにより、次のように切り換わります。		
	PMRB3	0	1
	端子機能	D <sub>4</sub> 入出力端子	STOPC入力端子

## 11.3 Rポート

### 11.3.1 概要

Rポートは、4ビット×9の入出力ポート（R0～R6、R8、R9）と3ビットの入出力ポートR7、1ビットの入力ポートRA<sub>1</sub>から構成され、4ビット単位にアクセスします。

R0、R3～R7ポートは、標準耐圧入出力ポートです。RAは、高耐圧入力ポートで、R1、R2、R8、R9ポートは高耐圧入出力ポートで、蛍光表示管を直接ドライブすることができます。

Rポートは、出力命令（LRA、LRB）により4ビット単位にアクセスして、High/Lowレベルを制御します。出力データは各端子のPDRに格納されます。また、入力命令（LAR、LBR）により、4ビット単位にアクセスして、端子のレベルを読み出すことができます。

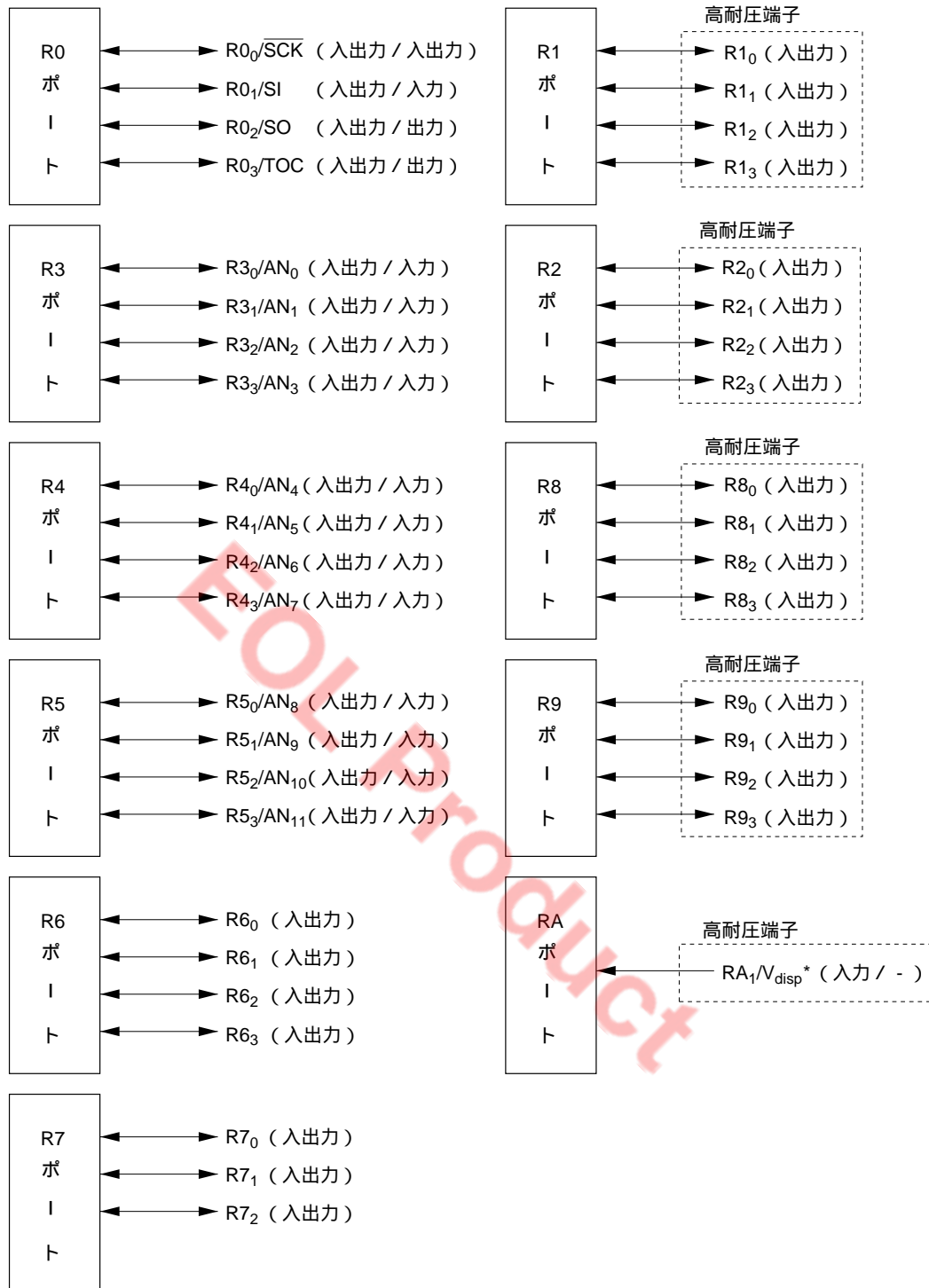
入力専用ポート（RA<sub>1</sub>）は、1ビットで構成されています。入力命令を実行した場合、ビット3、2、0については、値は不定となります。

R0、R3～R7ポートの出力バッファのオン/オフは、DCRにより行います。R0、R3～R7ポートの各端子に対応するDCRが1のとき、対応するPDRの内容が当該端子より出力されます。出力バッファのオン/オフは、Rポートの各端子ごとに独立して設定できます。DCRは、RAMアドレス上に割り付けられています。

R0、R3～R5ポートの端子は、すべて内蔵周辺モジュール用端子と兼用端子になっています。これらの端子機能の切り換えは、レジスタ設定により行います（表11.7参照）。

Rポートの端子構成を図11.2に示します。

# 11. I/Oポート HD404339シリーズ



【注】\* マスク抵抗内蔵品では、マスクオプションによりV<sub>disp</sub>端子（表示用電源端子）を選択できます。  
「ブルダウンMOS付き」を選択した高耐圧端子は、V<sub>disp</sub>の電位にブルダウンされます。

図11.2 Rポートの構成

## 11.3.2 レジスタの構成と説明

Rポートのレジスタ構成を表11.7に示します。

表11.7 Rポートレジスタ構成

アドレス	名 称		略 称	R/W	初期値
—	ポートデータレジスタ	標準耐圧端子	PDR	W*	1
		高耐圧端子			0
\$ 030	データコントロールレジスタ		DCR0	W	\$0
\$ 033			DCR3	W	\$0
\$ 034			DCR4	W	\$0
\$ 035			DCR5	W	\$0
\$ 036			DCR6	W	\$0
\$ 037			DCR7	W	-000
\$ 004		ポートモードレジスタA		PMRA	W
\$ 005	シリアルモードレジスタ		SMR	W	\$0
\$ 019	A/Dモードレジスタ 1		AMR1	W	\$0
\$ 01A	A/Dモードレジスタ 2		AMR2	W	-000

【注】\* PDRへの書き込みは、LRA、LRB命令により行います。

## (1) ポートデータレジスタ (PDR)

R0～R9ポートの各入出力端子は、出力データを格納するPDRを内蔵しています。R0～R9ポートに対してLRA、LRB命令を実行すると、アキュムレータ(A)、Bレジスタ(B)の内容が指定されたRポートのPDRに転送されます。R0、R3～R7ポートのDCR0、DCR3～DCR7の対応するビットが1のとき、当該端子の出力バッファがオンとなり、PDRの値が端子より出力されます。

リセット、およびストップモード時に、標準耐圧端子のPDRは1にセットされます。高耐圧端子ではPDRは0にクリアされます。

## 11. I/Oポート HD404339シリーズ

### (2) データコントロールレジスタ (DCR0、DCR3~DCR7 : \$ 030、\$ 033 ~ \$ 037)

DCR0 : \$ 030	ビット :	3	2	1	0
		DCR03	DCR02	DCR01	DCR00
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR3 : \$ 033	ビット :	3	2	1	0
		DCR33	DCR32	DCR31	DCR30
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR4 : \$ 034	ビット :	3	2	1	0
		DCR43	DCR42	DCR41	DCR40
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR5 : \$ 035	ビット :	3	2	1	0
		DCR53	DCR52	DCR51	DCR50
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR6 : \$ 036	ビット :	3	2	1	0
		DCR63	DCR62	DCR61	DCR60
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR7 : \$ 037	ビット :	3	2	1	0
			DCR72	DCR71	DCR70
	初期値 :		0	0	0
	R / W :		W	W	W



## 11. I/Oポート HD404339シリーズ

DCR0、DCR3～DCR7 の各ビット	説 明
0	出力バッファ（CMOSバッファ）はオフとなり、出力ハイインピーダンスとなります。 (初期値)
1	出力バッファはオンとなり、対応するPDRの値を出力します。

DCR0、DCR3～DCR7の各ビットとR0、R3～R7ポートの各端子との対応は次のようになっています。

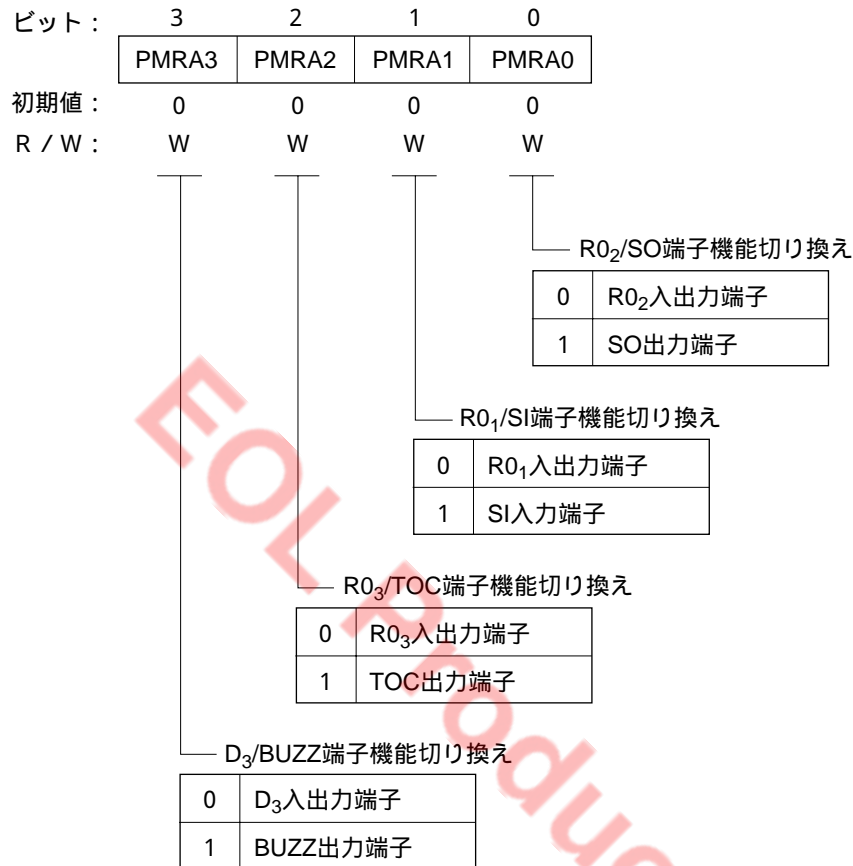
レジスタ名 \ ビット	ビット3	ビット2	ビット1	ビット0
DCR0	R0 <sub>3</sub>	R0 <sub>2</sub>	R0 <sub>1</sub>	R0 <sub>0</sub>
DCR3	R3 <sub>3</sub>	R3 <sub>2</sub>	R3 <sub>1</sub>	R3 <sub>0</sub>
DCR4	R4 <sub>3</sub>	R4 <sub>2</sub>	R4 <sub>1</sub>	R4 <sub>0</sub>
DCR5	R5 <sub>3</sub>	R5 <sub>2</sub>	R5 <sub>1</sub>	R5 <sub>0</sub>
DCR6	R6 <sub>3</sub>	R6 <sub>2</sub>	R6 <sub>1</sub>	R6 <sub>0</sub>
DCR7	-	R7 <sub>2</sub>	R7 <sub>1</sub>	R7 <sub>0</sub>

## 11. I/Oポート HD404339シリーズ

### (3) ポートモードレジスタA (PMRA : \$ 004)

PMRAは、4ビットの書き込み専用レジスタで、PMRA2~PMRA0ビットでR0ポート兼用端子の切り換えを行います。

ここでは、PMRA2~PMRA0ビットについて説明します。PMRA3ビットについての詳細は「11.2.2 (2) ポートモードレジスタA (PMRA)」を参照してください。



#### ビット2 : R<sub>0</sub><sub>3</sub>/TOC端子機能切り換え (PMRA2)

R<sub>0</sub><sub>3</sub>/TOC端子をR<sub>0</sub><sub>3</sub>入出力端子として使用するか、タイマC出力端子 (TOC) として使用するかを選択します。

PMRA2	説明
0	R <sub>0</sub> <sub>3</sub> /TOC端子は、R <sub>0</sub> <sub>3</sub> 入出力端子として機能します。 (初期値)
1	R <sub>0</sub> <sub>3</sub> /TOC端子は、TOC出力端子として機能します。

#### ビット1 : R<sub>0</sub><sub>1</sub>/SI端子機能切り換え (PMRA1)

R<sub>0</sub><sub>1</sub>/SI端子をR<sub>0</sub><sub>1</sub>入出力端子として使用するか、シリアル受信データ入力端子 (SI) として使用するかを選択します。

PMRA1	説明
0	R <sub>0</sub> <sub>1</sub> /SI端子は、R <sub>0</sub> <sub>1</sub> 入出力端子として機能します。 (初期値)
1	R <sub>0</sub> <sub>1</sub> /SI端子は、SI入力端子として機能します。

**ビット0：R<sub>02</sub>/SO端子機能切り換え（PMRA0）**

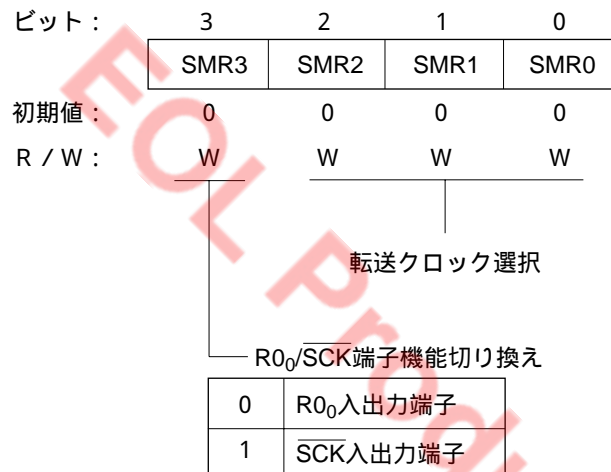
R<sub>02</sub>/SO端子をR<sub>02</sub>入出力端子として使用するか、シリアル送信データ出力端子（SO）として使用するかを選択します。

PMRA0	説明
0	R <sub>02</sub> /SO端子は、R <sub>02</sub> 入出力端子として機能します。 <span style="float: right;">（初期値）</span>
1	R <sub>02</sub> /SO端子は、SO出力端子として機能します。

**(4) シリアルモードレジスタ（SMR：\$005）**

SMRは、4ビットの書き込み専用のレジスタで、SMR3ビットでR<sub>00</sub>/SCK端子の切り換えを行います。

ここではSMR3ビットについて説明します。SMR2～SMR0ビットについての詳細は「20.2.1 シリアルモードレジスタ（SMR）」を参照してください。

**ビット3：R<sub>00</sub>/SCK端子機能切り換え（SMR3）**

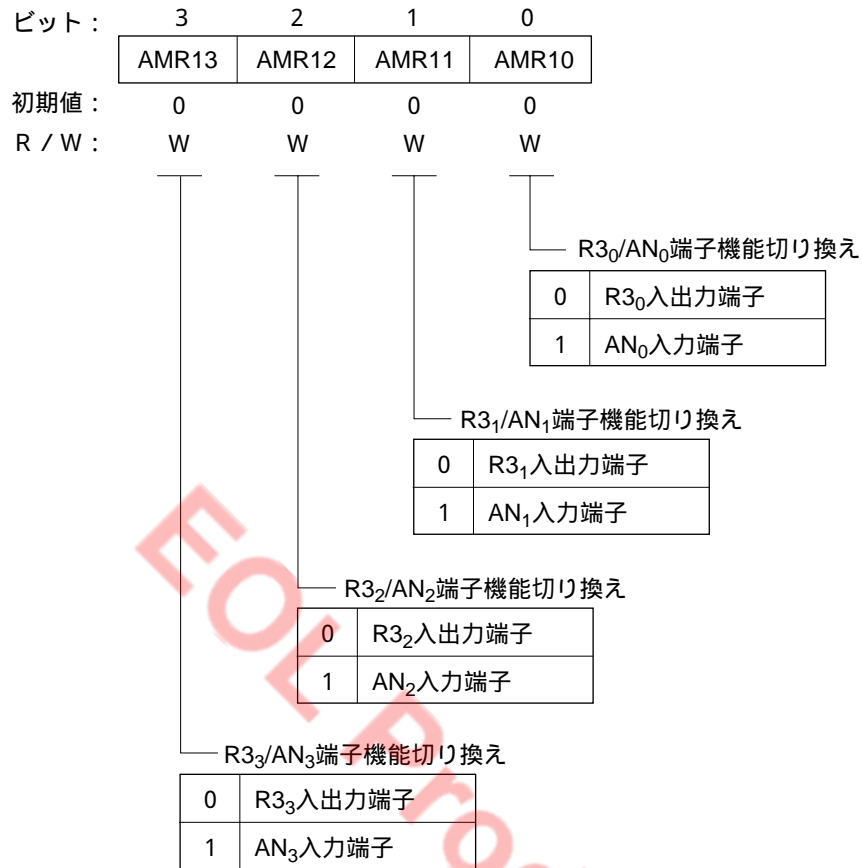
R<sub>00</sub>/SCK端子をR<sub>00</sub>入出力端子として使用するか、シリアルインタフェースの転送クロックの入出力端子（SCK）として使用するかを選択します。

SMR3	説明
0	R <sub>00</sub> /SCK端子は、R <sub>00</sub> 入出力端子として機能します。 <span style="float: right;">（初期値）</span>
1	R <sub>00</sub> /SCK端子は、SCK入出力端子として機能します。

## 11. I/Oポート HD404339シリーズ

### (5) A/Dモードレジスタ1 (AMR1: \$019)

AMR1は4ビットの書き込み専用レジスタでR3ポートの兼用端子の切り換えを行います。



#### ビット3 : R3<sub>3</sub>/AN<sub>3</sub>端子機能切り換え (AMR13)

R3<sub>3</sub>/AN<sub>3</sub>端子をR3<sub>3</sub>入出力端子として使用するか、A/Dコンバータのチャンネル3入力端子 (AN<sub>3</sub>) として使用するかを選択します。

AMR13	説明
0	R3 <sub>3</sub> /AN <sub>3</sub> 端子は、R3 <sub>3</sub> 入出力端子として機能します。 (初期値)
1	R3 <sub>3</sub> /AN <sub>3</sub> 端子は、AN <sub>3</sub> 入力端子として機能します。

#### ビット2 : R3<sub>2</sub>/AN<sub>2</sub>端子機能切り換え (AMR12)

R3<sub>2</sub>/AN<sub>2</sub>端子をR3<sub>2</sub>入出力端子として使用するか、A/Dコンバータのチャンネル2入力端子 (AN<sub>2</sub>) として使用するかを選択します。

AMR12	説明
0	R3 <sub>2</sub> /AN <sub>2</sub> 端子は、R3 <sub>2</sub> 入出力端子として機能します。 (初期値)
1	R3 <sub>2</sub> /AN <sub>2</sub> 端子は、AN <sub>2</sub> 入力端子として機能します。

**ビット1：R3<sub>1</sub>/AN<sub>1</sub>端子機能切り換え（AMR11）**

R3<sub>1</sub>/AN<sub>1</sub>端子をR3<sub>1</sub>入出力端子として使用するか、A/Dコンバータのチャンネル1入力端子（AN<sub>1</sub>）として使用するかを選択します。

AMR11	説 明
0	R3 <sub>1</sub> /AN <sub>1</sub> 端子は、R3 <sub>1</sub> 入出力端子として機能します。 (初期値)
1	R3 <sub>1</sub> /AN <sub>1</sub> 端子は、AN <sub>1</sub> 入力端子として機能します。

**ビット0：R3<sub>0</sub>/AN<sub>0</sub>端子機能切り換え（AMR10）**

R3<sub>0</sub>/AN<sub>0</sub>端子をR3<sub>0</sub>入出力端子として使用するか、A/Dコンバータのチャンネル0入力端子（AN<sub>0</sub>）として使用するかを選択します。

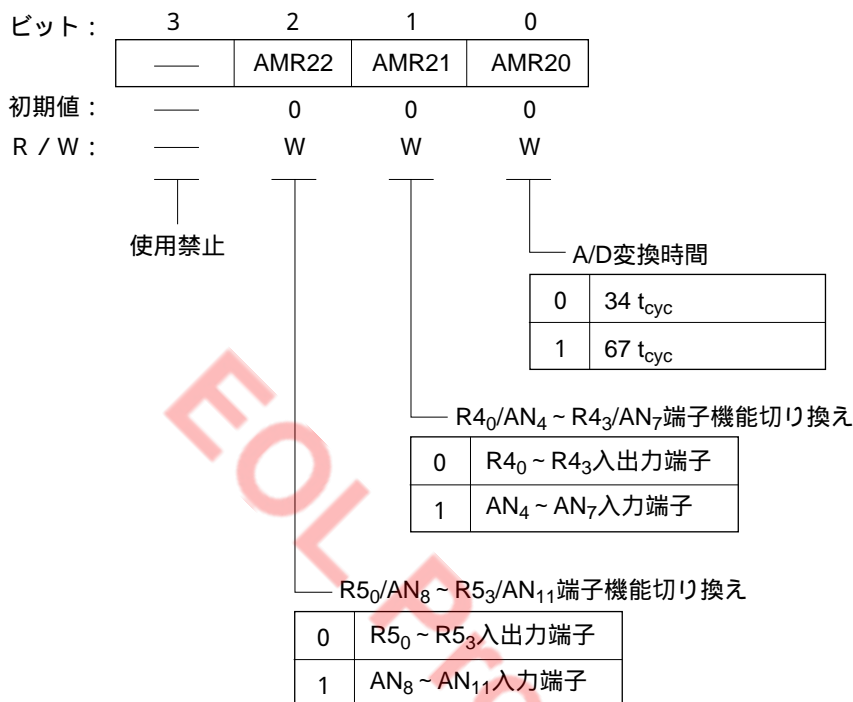
AMR10	説 明
0	R3 <sub>0</sub> /AN <sub>0</sub> 端子は、R3 <sub>0</sub> 入出力端子として機能します。 (初期値)
1	R3 <sub>0</sub> /AN <sub>0</sub> 端子は、AN <sub>0</sub> 入力端子として機能します。

## 11. I/Oポート HD404339シリーズ

### (6) A/Dモードレジスタ2 (AMR2: \$01A)

AMR2は、3ビットの書き込み専用レジスタで、AMR21ビットでR4ポートの4ビットを同時にA/Dコンバータのチャンネル入力4~7 (AN<sub>4</sub>~AN<sub>7</sub>) に、AMR22ビットでR5ポートをAN<sub>8</sub>~AN<sub>11</sub>に切り換えます。

ここではAMR22、AMR21ビットについて説明します。AMR20ビットについての詳細は「15.2.2 A/Dモードレジスタ2 (AMR2)」を参照してください。



#### ビット2 : R5<sub>0</sub>/AN<sub>8</sub> ~ R5<sub>3</sub>/AN<sub>11</sub>端子機能切り換え (AMR22)

R5<sub>0</sub>/AN<sub>8</sub> ~ R5<sub>3</sub>/AN<sub>11</sub>端子をR5<sub>0</sub> ~ R5<sub>3</sub>入出力端子として使用するか、A/Dコンバータのチャンネル8~11入力端子 (AN<sub>8</sub> ~ AN<sub>11</sub>) として使用するかを選択します。

AMR22	説明
0	R5 <sub>0</sub> /AN <sub>8</sub> ~ R5 <sub>3</sub> /AN <sub>11</sub> 端子は、R5 <sub>0</sub> ~ R5 <sub>3</sub> 入出力端子として機能します。 (初期値)
1	R5 <sub>0</sub> /AN <sub>8</sub> ~ R5 <sub>3</sub> /AN <sub>11</sub> 端子は、AN <sub>8</sub> ~ AN <sub>11</sub> 入力端子として機能します。

#### ビット1 : R4<sub>0</sub>/AN<sub>4</sub> ~ R4<sub>3</sub>/AN<sub>7</sub>端子機能切り換え (AMR21)

R4<sub>0</sub>/AN<sub>4</sub> ~ R4<sub>3</sub>/AN<sub>7</sub>端子をR4<sub>0</sub> ~ R4<sub>3</sub>入出力端子として使用するか、A/Dコンバータのチャンネル4~7 (AN<sub>4</sub> ~ AN<sub>7</sub>) 入力端子として使用するかを選択します。

AMR21	説明
0	R4 <sub>0</sub> /AN <sub>4</sub> ~ R4 <sub>3</sub> /AN <sub>7</sub> 端子は、R4 <sub>0</sub> ~ R4 <sub>3</sub> 入出力端子として機能します。 (初期値)
1	R4 <sub>0</sub> /AN <sub>4</sub> ~ R4 <sub>3</sub> /AN <sub>7</sub> 端子は、AN <sub>4</sub> ~ AN <sub>7</sub> 入力端子として機能します。

## 11.3.3 端子機能

Rポートの各端子は、レジスタ設定により、表11.8に示すように切り換わります。

表11.8 Rポート端子機能 (1/3)

端子	選択方法と端子機能			
R <sub>0</sub> /SCK	SMRのSMR3ビットとDCR0のDCR00ビットにより、次のように切り換わります。			
	SMR3	0		1
	DCR00	0	1	————
	端子機能	R <sub>0</sub> 入力端子	R <sub>0</sub> 出力端子	SCK入出力端子
R <sub>1</sub> /SI	PMRAのPMRA1ビットとDCR0のDCR01ビットにより、次のように切り換わります。			
	PMRA1	0		1
	DCR01	0	1	————
	端子機能	R <sub>1</sub> 入力端子	R <sub>1</sub> 出力端子	SI入力端子
R <sub>2</sub> /SO	PMRAのPMRA0ビットとDCR0のDCR02ビットにより、次のように切り換わります。			
	PMRA0	0		1
	DCR02	0	1	————
	端子機能	R <sub>2</sub> 入力端子	R <sub>2</sub> 出力端子	SO出力端子
R <sub>3</sub> /TOC	PMRAのPMRA2ビットとDCR0のDCR03ビットにより、次のように切り換わります。			
	PMRA2	0		1
	DCR03	0	1	————
	端子機能	R <sub>3</sub> 入力端子	R <sub>3</sub> 出力端子	TOC出力端子

表11.8 Rポート端子機能 (2/3)

端 子	選 択 方 法 と 端 子 機 能		
R3 <sub>0</sub> /AN <sub>0</sub>	AMR1のAMR10ビットとDCR3のDCR30ビットにより、次のように切り換わります。		
	AMR10	0	1
	DCR30	0	1
	端子機能	R3 <sub>0</sub> 入力端子	R3 <sub>0</sub> 出力端子 AN <sub>0</sub> 入力端子
R3 <sub>1</sub> /AN <sub>1</sub>	AMR1のAMR11ビットとDCR3のDCR31ビットにより、次のように切り換わります。		
	AMR11	0	1
	DCR31	0	1
	端子機能	R3 <sub>1</sub> 入力端子	R3 <sub>1</sub> 出力端子 AN <sub>1</sub> 入力端子
R3 <sub>2</sub> /AN <sub>2</sub>	AMR1のAMR12ビットとDCR3のDCR32ビットにより、次のように切り換わります。		
	AMR12	0	1
	DCR32	0	1
	端子機能	R3 <sub>2</sub> 入力端子	R3 <sub>2</sub> 出力端子 AN <sub>2</sub> 入力端子
R3 <sub>3</sub> /AN <sub>3</sub>	AMR1のAMR13ビットとDCR3のDCR33ビットにより、次のように切り換わります。		
	AMR13	0	1
	DCR33	0	1
	端子機能	R3 <sub>3</sub> 入力端子	R3 <sub>3</sub> 出力端子 AN <sub>3</sub> 入力端子
R4 <sub>0</sub> /AN <sub>4</sub>	AMR2のAMR21ビットとDCR4のDCR40ビットにより、次のように切り換わります。		
	AMR21	0	1
	DCR40	0	1
	端子機能	R4 <sub>0</sub> 入力端子	R4 <sub>0</sub> 出力端子 AN <sub>4</sub> 入力端子
R4 <sub>1</sub> /AN <sub>5</sub>	AMR2のAMR21ビットとDCR4のDCR41ビットにより、次のように切り換わります。		
	AMR21	0	1
	DCR41	0	1
	端子機能	R4 <sub>1</sub> 入力端子	R4 <sub>1</sub> 出力端子 AN <sub>5</sub> 入力端子
R4 <sub>2</sub> /AN <sub>6</sub>	AMR2のAMR21ビットとDCR4のDCR42ビットにより、次のように切り換わります。		
	AMR21	0	1
	DCR42	0	1
	端子機能	R4 <sub>2</sub> 入力端子	R4 <sub>2</sub> 出力端子 AN <sub>6</sub> 入力端子
R4 <sub>3</sub> /AN <sub>7</sub>	AMR2のAMR21ビットとDCR4のDCR43ビットにより、次のように切り換わります。		
	AMR21	0	1
	DCR43	0	1
	端子機能	R4 <sub>3</sub> 入力端子	R4 <sub>3</sub> 出力端子 AN <sub>7</sub> 入力端子



表11.8 Rポート端子機能 (3/3)

端子	選択方法と端子機能		
R5 <sub>0</sub> /AN <sub>8</sub>	AMR2のAMR22ビットとDCR5のDCR50ビットにより、次のように切り換わります。		
	AMR22	0	1
	DCR50	0	1
	端子機能	R5 <sub>0</sub> 入力端子	R5 <sub>0</sub> 出力端子
R5 <sub>1</sub> /AN <sub>9</sub>	AMR2のAMR22ビットとDCR5のDCR51ビットにより、次のように切り換わります。		
	AMR22	0	1
	DCR51	0	1
	端子機能	R5 <sub>1</sub> 入力端子	R5 <sub>1</sub> 出力端子
R5 <sub>2</sub> /AN <sub>10</sub>	AMR2のAMR22ビットとDCR5のDCR52ビットにより、次のように切り換わります。		
	AMR22	0	1
	DCR52	0	1
	端子機能	R5 <sub>2</sub> 入力端子	R5 <sub>2</sub> 出力端子
R5 <sub>3</sub> /AN <sub>11</sub>	AMR2のAMR22ビットとDCR5のDCR53ビットにより、次のように切り換わります。		
	AMR22	0	1
	DCR53	0	1
	端子機能	R5 <sub>3</sub> 入力端子	R5 <sub>3</sub> 出力端子

### 11.4 使用上の注意

ポートを使用するとき、次の点に注意してください。

(1) MISのMIS2ビットを1にセットすると、PMRAのPMRA0ビットによりR0<sub>2</sub>端子またはSO端子機能のいずれが選択されている場合にも、NMOSオープンドレイン出力となります。

(2) ユーザシステムで使用しない入出力端子がフローティングの場合、ノイズによりLSIが誤動作する可能性がありますので、入出力端子の電位を固定する必要があります。

以下に処理の例を示します。

高耐圧端子：マスクオプションにより「プルダウン抵抗なし（PMOSオープンドレイン）」を選択し、ユーザシステムのプリント基板上のV<sub>CC</sub>電位に接続します。

標準端子：内蔵プルアップMOSで、V<sub>CC</sub>にプルアップするか、または外部で100k程度の抵抗をつけてV<sub>CC</sub>にプルアップしてください。

プログラムで該当端子のPDRやDCRの内容をリセット状態と同じ内容に保持してください。また、該当端子を周辺機能入出力端子に選択しないでください。

(3) MISのMIS3ビット = 1（プルアップMOSアクティブ）、かつRポート/アナログ入力兼用端子のPDR = 1の場合、AMR1、AMR2でアナログ入力端子を選択しても、当該端子のプルアップMOSはオフとなりません。

プルアップMOSアクティブを選択し、Rポート/アナログ入力兼用端子をアナログ入力端子として使用する場合、必ず当該端子のPDRを0にクリアして、プルアップMOSをオフにしてください。（リセット直後、PDRは1にセットされます）。

図11.3にRポート/アナログ入力兼用端子の回路構成を示します。AMR1、AMR2はポート出力をハイインピーダンスにするためのレジスタであり、アナログ入力チャンネルの切り換えは、ACRにより行います。

AMR1（AMR2）、MIS3ビット、DCR、PDRの組み合わせにより、Rポート/アナログ入力兼用端子の状態は表11.9に示すようになります。

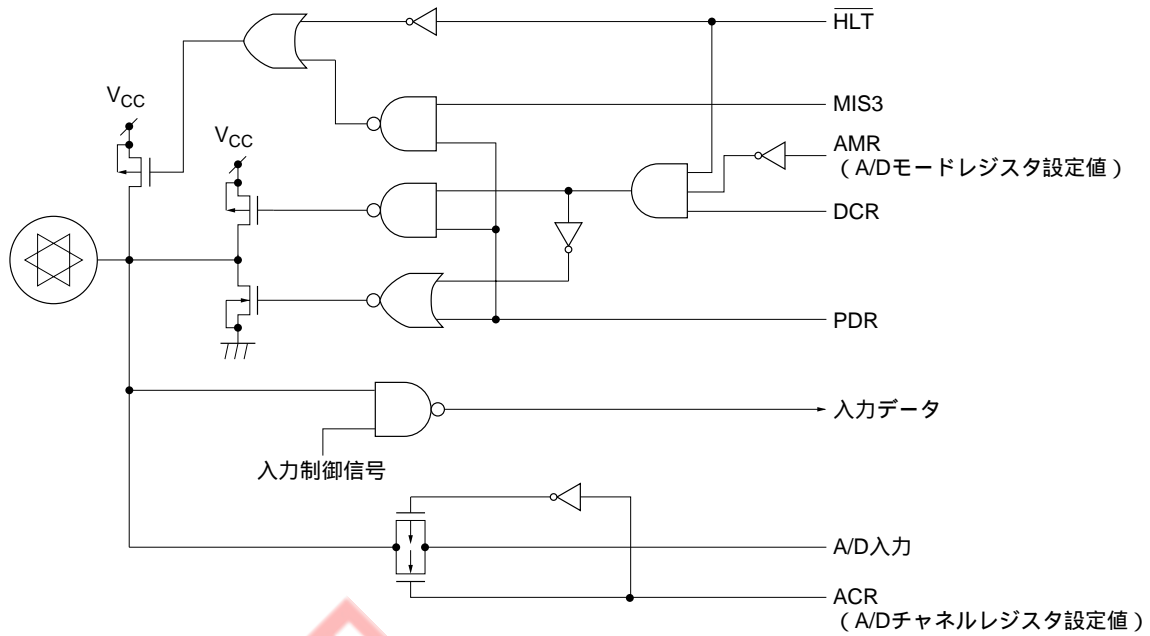


図11.3 Rポート / アナログ入力兼用端子回路構成

表11.9 プログラムによるRポート / アナログ入力兼用端子の制御

AMR1またはAMR2の当該ビット		0 ( R ポ ー ト 選 択 )							
MIS3ビット		0				1			
DCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOSバッファ	PMOS	—		—	ON	—		—	ON
	NMOS	—		ON	—	—		ON	—
プルアップMOS		—				—	ON	—	ON

【注】 — : OFF

AMR1またはAMR2の当該ビット		1 ( ア ナ ロ グ 入 力 選 択 )							
MIS3ビット		0				1			
DCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOSバッファ	PMOS	—		—	—	—		—	—
	NMOS	—		—	—	—		—	—
プルアップMOS		—				—	ON	—	ON

【注】 — : OFF

EOL Product

---

# 12. I/Oポート

## (HD404369シリーズ)

---

---

### 第12章 目次

---

12.1	概要	301
12.1.1	特長	301
12.1.2	入出力制御	303
	(1) 中耐圧NMOSオープンドレイン入出力端子の回路構成	303
	(2) 標準耐圧CMOS 3ステート入出力端子の回路構成	303
	(3) プルアップMOS制御	303
	(4) ミセラニアスレジスタ (MIS)	304
12.1.3	入出力端子の回路構成	305
12.1.4	低消費電力モード時のポートの状態	309
12.1.5	未使用端子の処理	309
12.2	Dポート	310
12.2.1	概要	310
12.2.2	レジスタの構成と説明	311
	(1) ポートデータレジスタ (PDR)	311
	(2) データコントロールレジスタ (DCD0 ~ DCD3)	312
	(3) ポートモードレジスタA (PMRA)	313
	(4) ポートモードレジスタB (PMRB)	314
12.2.3	端子機能	316
12.3	Rポート	318
12.3.1	概要	318
12.3.2	レジスタの構成と説明	320
	(1) ポートデータレジスタ (PDR)	320
	(2) データコントロールレジスタ (DCR0 ~ DCR9)	321
	(3) ポートモードレジスタA (PMRA)	323
	(4) シリアルモードレジスタ (SMR)	324
	(5) A/Dモードレジスタ1 (AMR1)	325
	(6) A/Dモードレジスタ2 (AMR2)	327
12.3.3	端子機能	328
12.4	使用上の注意	334

EOL Product

## 12.1 概要

### 12.1.1 特長

HD404369シリーズのI/Oポートの特長を以下に示します。

$R1_0 \sim R1_3$ 、 $R2_0 \sim R2_3$ の4本の端子は中耐圧NMOSオープンドレイン入出力端子です。また、 $RA_1$ は入力専用端子です。D、R0、R1、R3～R9ポートは標準耐圧入出力端子でCMOS 3ステート出力となっています。

入出力端子には、タイマやシリアルインタフェースなどの内蔵周辺モジュール用端子と兼用となっている端子 ( $D_0 \sim D_4$ 、R0、R3～R5ポートの各端子) があります。これらの端子は、DポートまたはRポートとしての入出力設定よりも、内蔵周辺モジュール用端子としての設定が優先するようになっています。

入出力端子の入力/出力の選択、および内蔵周辺モジュール用端子と兼用となっている端子のポート/内蔵周辺モジュール用端子の選択は、レジスタの設定により行います。

周辺モジュール用出力端子はすべてCMOS出力となります。ただし、 $R0_2/SO$ 端子はレジスタ設定によりNMOSオープンドレイン出力にすることができます。

ストップモード時には、MCU内部がリセット状態となるため、内蔵周辺モジュール選択は解除されません。また、入力/出力端子はハイインピーダンス状態になります。

CMOS出力端子はプログラマブルプルアップMOSを内蔵しており、レジスタ設定により端子ごとにオン/オフを制御できます。なお、プルアップMOSのオン/オフ設定は、内蔵周辺モジュール用端子としての設定とは独立に行うことができます。

各ポートの機能一覧を表12.1に示します。

## 12. I/Oポート HD404369シリーズ

表12.1 ポートの機能

ポート	概要	端子	兼用機能	機能切り換え用レジスタ
D <sub>0</sub> ~ D <sub>13</sub>	<ul style="list-style-type: none"> <li>標準耐圧入出力ポート</li> <li>ビット単位でアクセス</li> <li>SED、SEDD、RED、REDD、TD、TDD命令によりアクセス</li> <li>プログラマブルプルアップMOS付き</li> </ul>	D <sub>0</sub> /INT <sub>0</sub>	外部割込み入力 0	PMRB
		D <sub>1</sub> /INT <sub>1</sub>	外部割込み入力 1	
		D <sub>2</sub> /EVNB	タイマBイベント入力	PMRA
		D <sub>3</sub> /BUZZ	ブザー出力	
		D <sub>4</sub> /STOPC	ストップモード解除	PMRB
D <sub>5</sub> ~ D <sub>13</sub>				
R0	<ul style="list-style-type: none"> <li>標準耐圧入出力ポート</li> <li>4ビット単位でアクセス</li> <li>LAR、LBR、LRA、LRB命令によりアクセス</li> </ul>	R0 <sub>0</sub> /SCK	転送クロック入出力	SMR
		R0 <sub>1</sub> /SI	シリアル受信データ入力	PMRA
		R0 <sub>2</sub> /SO	シリアル送信データ出力	
		R0 <sub>3</sub> /TOC	タイマC出力	
R3	<ul style="list-style-type: none"> <li>プログラマブルプルアップMOS付き</li> </ul>	R3 <sub>0</sub> /AN <sub>0</sub>	アナログ入力チャンネル0	AMR1
		R3 <sub>1</sub> /AN <sub>1</sub>	アナログ入力チャンネル1	
		R3 <sub>2</sub> /AN <sub>2</sub>	アナログ入力チャンネル2	
		R3 <sub>3</sub> /AN <sub>3</sub>	アナログ入力チャンネル3	
R4		R4 <sub>0</sub> /AN <sub>4</sub>	アナログ入力チャンネル4	AMR2
		R4 <sub>1</sub> /AN <sub>5</sub>	アナログ入力チャンネル5	
		R4 <sub>2</sub> /AN <sub>6</sub>	アナログ入力チャンネル6	
		R4 <sub>3</sub> /AN <sub>7</sub>	アナログ入力チャンネル7	
R5		R5 <sub>0</sub> /AN <sub>8</sub>	アナログ入力チャンネル8	AMR2
		R5 <sub>1</sub> /AN <sub>9</sub>	アナログ入力チャンネル9	
		R5 <sub>2</sub> /AN <sub>10</sub>	アナログ入力チャンネル10	
		R5 <sub>3</sub> /AN <sub>11</sub>	アナログ入力チャンネル11	
R6 ~ R9		R6 <sub>0</sub> ~ R6 <sub>3</sub> R7 <sub>0</sub> ~ R7 <sub>2</sub> R8 <sub>0</sub> ~ R8 <sub>3</sub> R9 <sub>0</sub> ~ R9 <sub>3</sub>		
R1、R2	<ul style="list-style-type: none"> <li>中耐圧NMOSオープンドレイン入出力ポート</li> <li>4ビット単位でアクセス</li> <li>LAR、LBR、LRA、LRB命令によりアクセス</li> </ul>	R1 <sub>0</sub> ~ R1 <sub>3</sub> R2 <sub>0</sub> ~ R2 <sub>3</sub>		
RA	<ul style="list-style-type: none"> <li>標準耐圧入力ポート (1ビット)</li> <li>LAR、LBR命令によりアクセス</li> </ul>	RA <sub>1</sub>		



### 12.1.2 入出力制御

R1、R2は中耐圧NMOSオープンドレイン入出力ポート、また、DポートとR0、R3～R9は標準の入出力ポートで回路構成が異なります。

#### (1) 中耐圧NMOSオープンドレイン入出力端子の回路構成

R1、R2は中耐圧NMOSオープンドレイン入出力ポートで、ポートデータレジスタ（PDR）とデータコントロールレジスタ（DCR）により、入出力が制御されます。各端子に対応するDCRのビットが1のとき、当該端子は出力端子となり、PDRを0とするとNMOSがオンとなり、端子にLowレベルの電圧が出力されます。PDRが1のときは出力ハイインピーダンスとなります。

DCRのビットが0のとき、当該端子は入力端子となります。

#### (2) 標準耐圧CMOS 3ステート入出力端子の回路構成

DポートとR0、R3～R9ポートの各端子は、標準耐圧CMOS 3ステート入出力ポートで、PDRとデータコントロールレジスタ（DCD、DCR）により、入出力が制御されます。各端子に対応するDCD、DCRのビットが1のとき、当該端子は出力端子となり、PDRの値を出力します。また、対応するDCD、DCRのビットが0のとき、当該端子は入力端子となります。

#### (3) プルアップMOS制御

Dポート、R0、R3～R9ポートの各入出力端子は、プログラマブルプルアップMOSを内蔵しています。

ミセラニアスレジスタ（MIS）のMIS3ビットが1のとき、対応するPDRが1の端子のプルアップMOSがオンとなります。PDRにより各端子独立にプルアップMOSのオン/オフが制御できます。

なお、プルアップMOSのオン/オフ設定は、内蔵周辺モジュール用端子としての設定とは独立に行うことができます。

レジスタ設定によるポートの入出力端子制御を表12.2に示します。

表12.2 レジスタ設定による入出力端子の制御

MIS3		0				1			
DCD, DCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOS バッファ	PMOS	—		—	ON	—		—	ON
	NMOS	—		ON	—	—		ON	—
プルアップMOS		—				—	ON	—	ON

【注】 1. — : OFF

2. PDRは、RAMアドレス上に割り付けられていません。PDRは専用の入出力命令によりアクセスします。

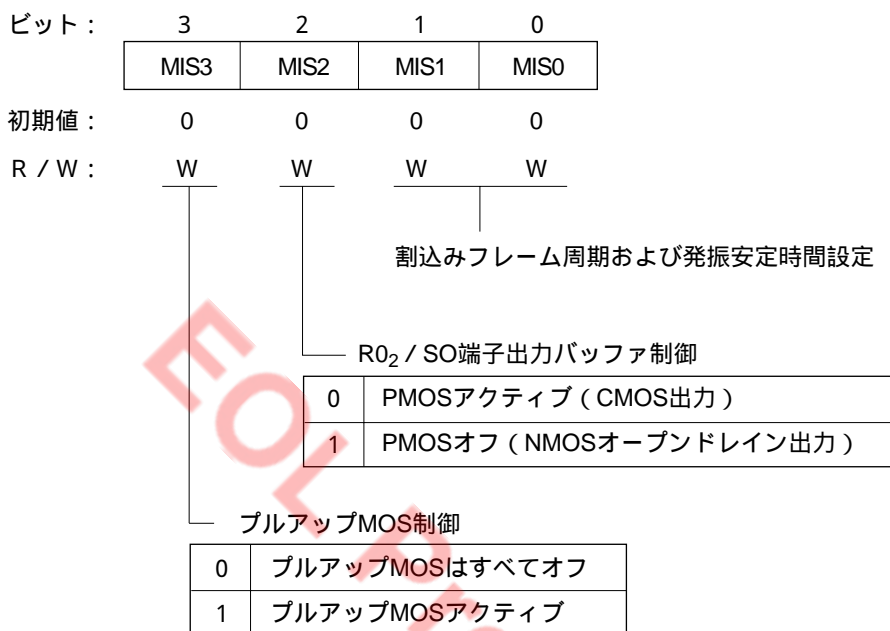
## 12. I/Oポート HD404369シリーズ

### (4) ミセラニアスレジスタ (MIS : \$ 00C)

MISは、4ビットの書き込み専用のレジスタで、Dポート、R0、R3~R9ポートのプルアップMOSのオン/オフとR0<sub>2</sub>/SO端子出力バッファのPMOSのオン/オフを制御します。

リセット、およびストップモード時に、MISは\$ 0にイニシャライズされます。

ここでは、MIS3、MIS2ビットについて説明します。MIS1、MIS0ビットについては、「6.2.1 ミセラニアスレジスタ (MIS)」を参照してください。



#### ビット3 : プルアップMOS制御 (MIS3)

入出力ポートの各端子が内蔵するプルアップMOSのオン/オフを制御します。

MIS3	説明
0	プルアップMOSは、すべてオフとなります。 (初期値)
1	対応するPDRが1の各端子のプルアップMOSがオンとなります。

#### ビット2 : R0<sub>2</sub>/SO端子PMOS制御 (MIS2)

R0<sub>2</sub>/SO端子の出力バッファのPMOSオン/オフを制御します。

MIS2	説明
0	R0 <sub>2</sub> /SO端子出力はCMOS出力となります。 (初期値)
1	R0 <sub>2</sub> /SO端子出力はNMOSオープンドレイン出力となります。

12.1.3 入出力端子の回路構成

ポート、内蔵周辺モジュールの各端子の回路構成を表12.3に示します。

- 【注】 1. ストップモード時には、MCU内部がリセット状態となり、内蔵周辺モジュール選択が解除されます。また、内部信号HLTがLowレベル（アクティブ）となり、出力ハイインピーダンスとなります。また、すべてのプルアップMOSはオフとなります。  
 2. ストップモード以外の低消費電力モードでは、内部信号HLTはHighレベルとなります。

表12.3 入力/出力端子の回路構成（1/4）

区分	回路構成	適用端子
標準入出力端子		<p><math>D_0 \sim D_{13}</math>,  <math>R_{0_0}, R_{0_1}, R_{0_3}</math>,  <math>R_{3_0} \sim R_{3_3}</math>,  <math>R_{4_0} \sim R_{4_3}</math>,  <math>R_{5_0} \sim R_{5_3}</math>,  <math>R_{6_0} \sim R_{6_3}</math>,  <math>R_{7_0} \sim R_{7_2}</math>,  <math>R_{8_0} \sim R_{8_3}</math>,  <math>R_{9_0} \sim R_{9_3}</math>,</p>
標準耐圧端子		<p><math>R_{0_2}</math></p>

## 12. I/Oポート HD404369シリーズ

表12.3 入力／出力端子の回路構成 (2 / 4)

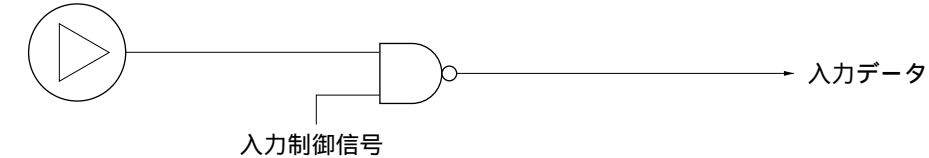
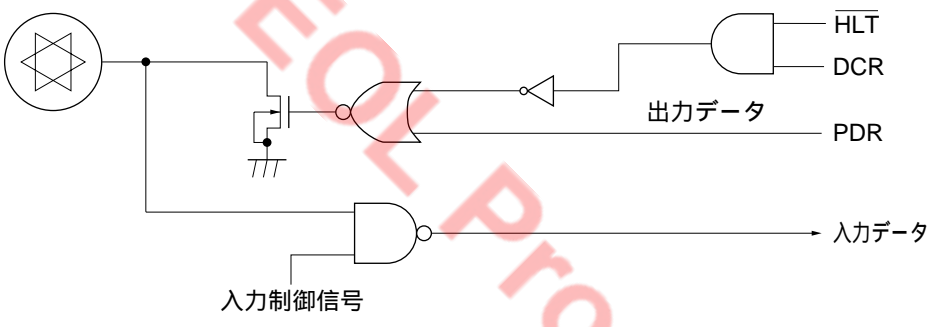
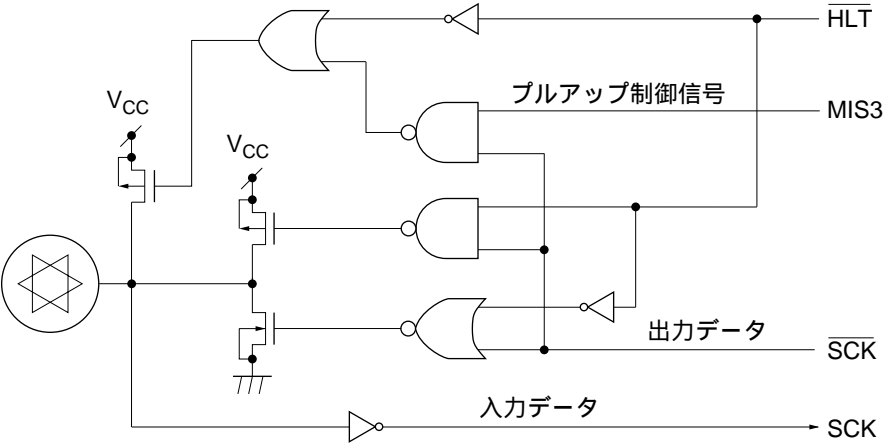
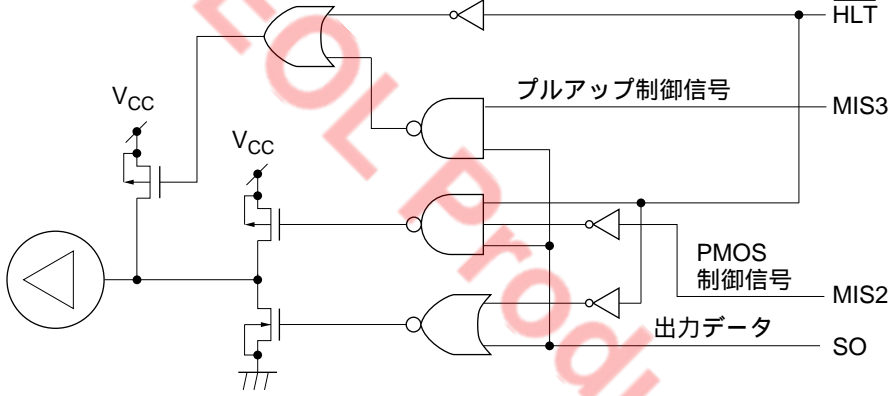
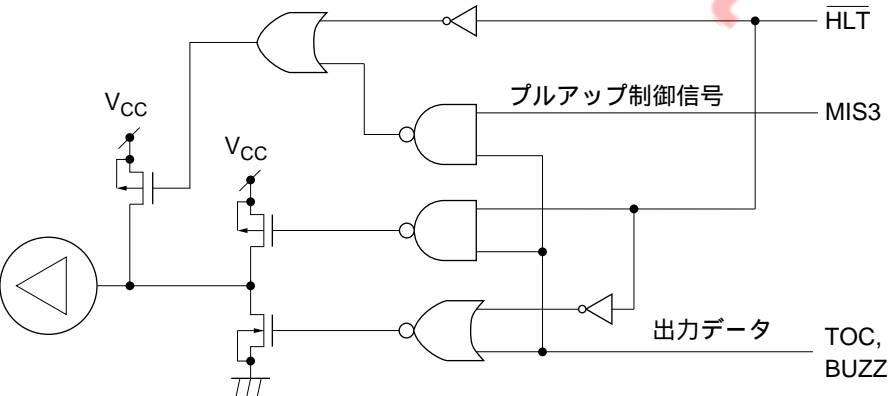
区分	回路構成	適用端子
標準 入力端子		RA <sub>1</sub>
中 出力端子		R1 <sub>0</sub> ~ R1 <sub>3</sub> , R2 <sub>0</sub> ~ R2 <sub>3</sub>

表12.3 入力/出力端子の回路構成 (3/4)

区分	回路構成	適用端子
標準周辺モジュール用端子 入出力端子		$\overline{\text{SCK}}$ SCK
標準周辺モジュール用端子 出力端子		$\overline{\text{HLT}}$ MIS3 MIS2 SO
標準周辺モジュール用端子 出力端子		$\overline{\text{HLT}}$ MIS3 TOC, BUZZ

12. I/Oポート HD404369シリーズ

表12.3 入力/出力端子の回路構成 (4/4)

区分	回路構成	適用端子
標準 耐圧端子 内蔵周辺モジュール用端子 入力端子		SI $\overline{INT_0}, \overline{INT_1}$ EVNB, $\overline{STOPC}$
		AN <sub>0</sub> ~ AN <sub>11</sub>

### 12.1.4 低消費電力モード時のポートの状態

$D_0 \sim D_4$ 、 $R_0$ 、 $R_3 \sim R_5$ ポートは、内蔵周辺モジュール用の入力端子または出力端子との兼用端子になっています。スタンバイ、ウォッチモードでは、CPUが動作を停止するため、出力ポートに選択された端子は直前の出力を保持します。また、スタンバイ、ウォッチモードで動作する内蔵周辺モジュール出力に選択された端子は動作を続けます（停止した内蔵周辺モジュール用出力端子は、直前の値を保持します）。各モードで動作可能な内蔵周辺モジュールについては、「第6章 低消費電力モード」を参照してください。

低消費電力モード時のポートの状態を表12.4に示します。

表12.4 低消費電力モード時のポートの状態

低消費電力モード	ポートの状態
スタンバイモード ウォッチモード	スタンバイ、ウォッチモードに入る直前の値を保持します。
ストップモード	内蔵周辺機能選択は解除され、ポートおよび周辺機能入出力端子はハイインピーダンスとなります。

### 12.1.5 未使用端子の処理

ユーザシステムで使用しない入出力端子がフローティングの場合、ノイズによりLSIが誤動作する可能性がありますので、入出力端子の電位を固定する必要があります。

未使用端子は、内蔵プルアップMOSで、 $V_{CC}$ にプルアップするか、または外部で100k 程度の抵抗をつけて $V_{CC}$ にプルアップしてください。

プログラムで該当端子のPDRやDCRの内容をリセット状態と同じ内容にしてください。また、該当端子を周辺機能入出力端子に選択しないでください。

## 12.2 Dポート

### 12.2.1 概要

Dポートは、入出力ポート14本 ( $D_0 \sim D_{13}$ ) で構成され、1ビット単位にアクセスします。

$D_0 \sim D_{13}$ 端子は、出力命令 (SED、SEDD、RED、REDD) により、1ビット単位にアクセスして、High / Lowレベル出力を制御します。出力データは、各端子のPDRに格納されます。

また、 $D_0 \sim D_{13}$ 端子は、入力命令 (TD、TDD) により、1ビット単位にアクセスして、端子のレベルをテストすることができます。

Dポートの出力バッファのオン/オフは、DCDにより行います。Dポートの各端子に対応するDCDが1のとき、対応するPDRの内容が当該端子より出力されます。出力バッファのオン/オフは、Dポートの各端子ごとに独立して設定できます。DCDは、RAMアドレス上に割り付けられています。

$D_0 \sim D_4$ 端子は、各々内蔵周辺モジュール用端子との兼用端子になっています。これらの端子の機能切り換えは、PMRBにより行います。

Dポートの構成を図12.1に示します。

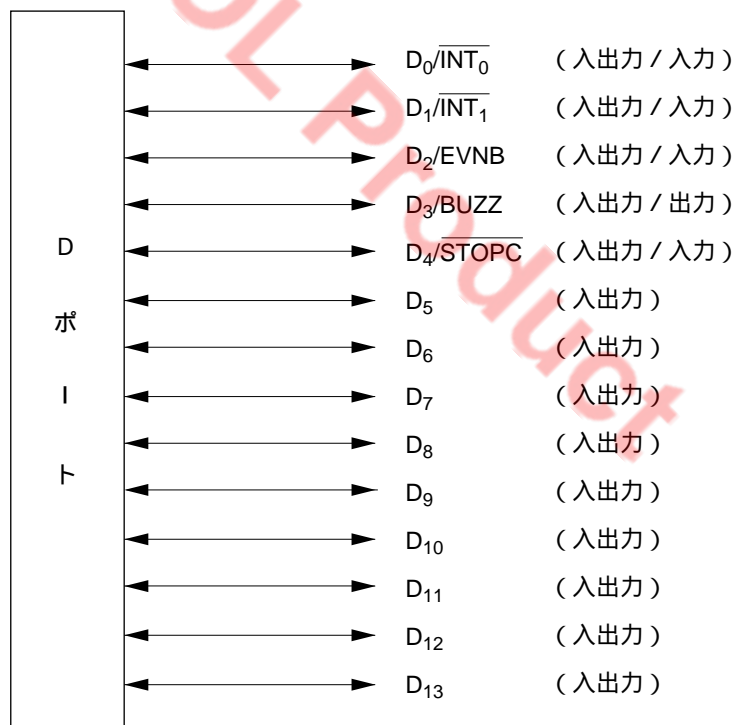


図12.1 Dポートの構成



## 12.2.2 レジスタの構成と説明

Dポートのレジスタ構成を表12.5に示します。

表12.5 Dポートレジスタ構成

アドレス	名 称	略 称	R / W	初期値
——	ポートデータレジスタ	PDR	W*	1
\$ 02C	データコントロールレジスタ	DCD0	W	\$0
\$ 02D		DCD1	W	\$0
\$ 02E		DCD2	W	\$0
\$ 02F		DCD3	W	--00
\$ 024	ポートモードレジスタB	PMRB	W	\$0

【注】\* PDRへの書き込みは、SED、SEDD、RED、REDD命令により行います。

## (1) ポートデータレジスタ (PDR)

D<sub>0</sub> ~ D<sub>13</sub>の各入出力端子は、出力データを格納するPDRを各々内蔵しています。D<sub>0</sub> ~ D<sub>13</sub>端子に対して、SED、SEDD命令を実行すると対応するPDRは1にセットされ、またRED、REDD命令を実行すると0にクリアされます。DポートのDCD0 ~ DCD3の対応するビットが1のとき、当該端子の出力バッファがオンとなり、PDRの値が端子より出力されます。

リセット、およびストップモード時に、PDRは1にセットされます。

## 12. I/Oポート HD404369シリーズ

### (2) データコントロールレジスタ (DCD0~DCD3 : \$02C、\$02D、\$02E、\$02F)

DCD0 : \$02C	ビット :	3	2	1	0
		DCD03	DCD02	DCD01	DCD00
	初期値 :	0	0	0	0
	R/W :	W	W	W	W
DCD1 : \$02D	ビット :	3	2	1	0
		DCD13	DCD12	DCD11	DCD10
	初期値 :	0	0	0	0
	R/W :	W	W	W	W
DCD2 : \$02E	ビット :	3	2	1	0
		DCD23	DCD22	DCD21	DCD20
	初期値 :	0	0	0	0
	R/W :	W	W	W	W
DCD3 : \$02F	ビット :	3	2	1	0
		—	—	DCD31	DCD30
	初期値 :	-	-	0	0
	R/W :	-	-	W	W

DCD0~DCD3 の各ビット	説 明
0	出力バッファ (CMOSバッファ) はオフとなり、出力ハイインピーダンスとなります。 (初期値)
1	出力バッファはオンとなり、対応するPDRの値を出力します。

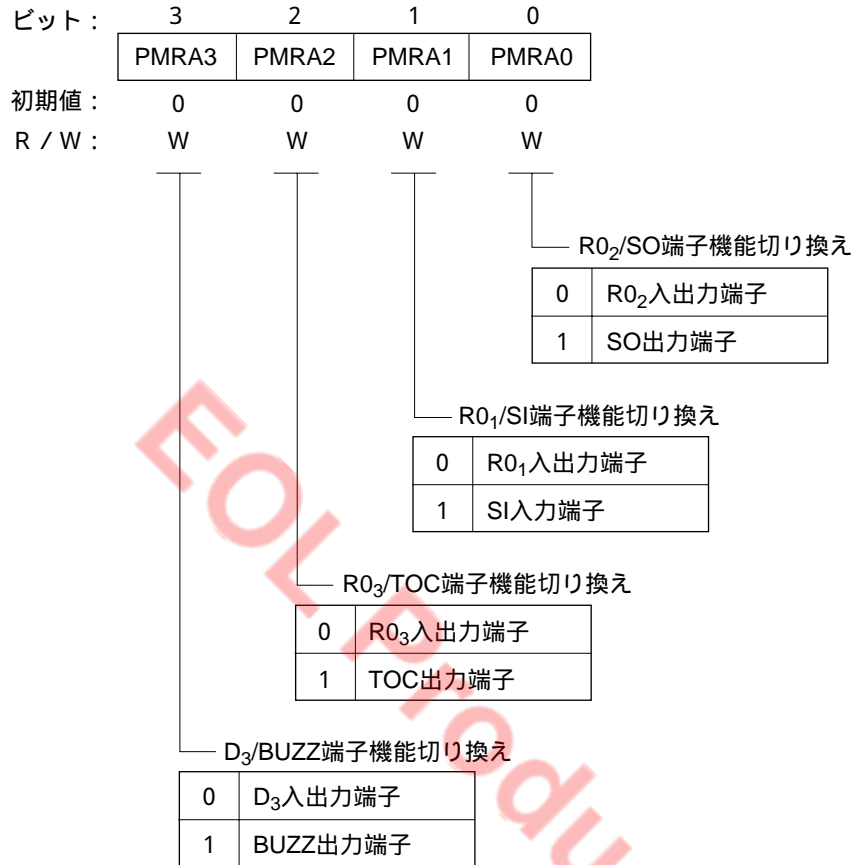
DCD0~DCD3の各ビットとDポートの各端子との対応は次のようになっています。

レジスタ名 ビット	ビット3	ビット2	ビット1	ビット0
DCD0	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
DCD1	D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>
DCD2	D <sub>11</sub>	D <sub>10</sub>	D <sub>9</sub>	D <sub>8</sub>
DCD3	-	-	D <sub>13</sub>	D <sub>12</sub>

(3) ポートモードレジスタA (PMRA : \$004)

PMRAは、4ビットの書き込み専用のレジスタで、PMRA3ビットでD<sub>3</sub>/BUZZ端子の切り換えを設定します。

ここではPMRA3ビットについて説明します。PMRA2~PMRA0ビットについての詳細は「12.3.2(3) ポートモードレジスタA (PMRA)」を参照してください。



ビット3 : D<sub>3</sub>/BUZZ端子機能切り換え (PMRA3)

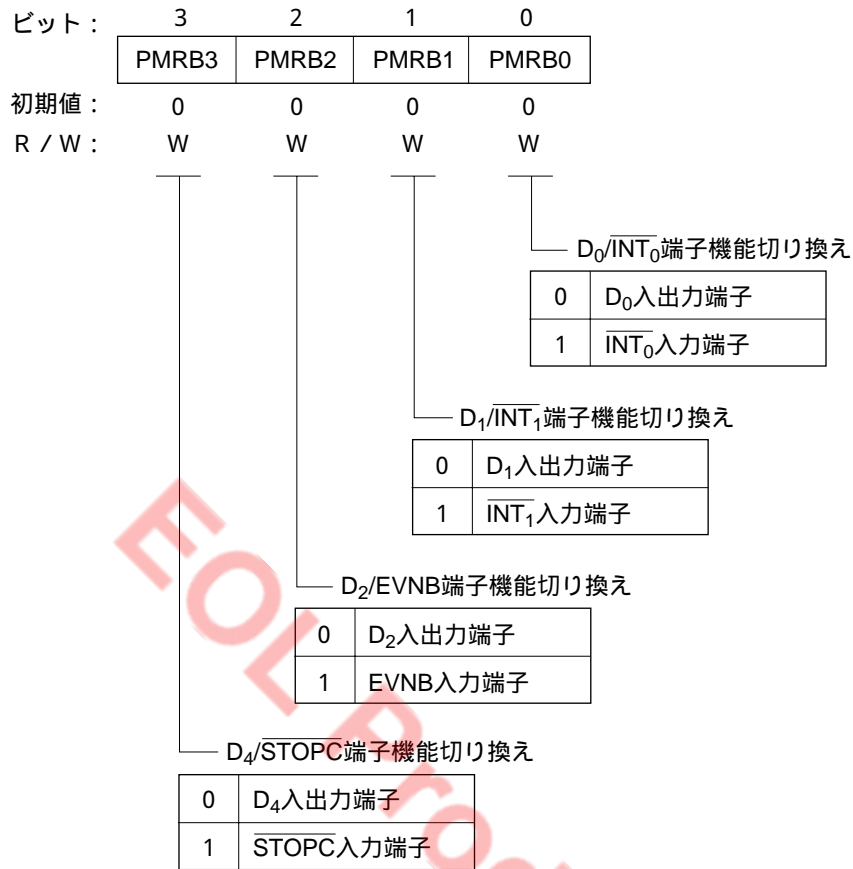
D<sub>3</sub>/BUZZ端子をD<sub>3</sub>入出力端子として使用するか、ブザー出力端子 (BUZZ) として使用するかを選択します。

PMRA3	説明
0	D <sub>3</sub> /BUZZ端子は、D <sub>3</sub> 入出力端子として機能します。 <span style="float: right;">(初期値)</span>
1	D <sub>3</sub> /BUZZ端子は、BUZZ出力端子として機能します。

## 12. I/Oポート HD404369シリーズ

### (4) ポートモードレジスタB (PMRB: \$024)

PMRBは、4ビットの書き込み専用レジスタでDポートの兼用入出力端子の切り換えを行います。



#### ビット3 : D<sub>4</sub>/STOPC端子機能切り換え (PMRB3)

D<sub>4</sub>/STOPC端子をD<sub>4</sub>入出力端子として使用するか、ストップモード解除端子 (STOPC) として使用するかを選択します。

PMRB3	説明
0	D <sub>4</sub> /STOPC端子は、D <sub>4</sub> 入出力端子として機能します。 (初期値)
1	D <sub>4</sub> /STOPC端子は、 $\overline{\text{STOPC}}$ 入力端子として機能します。

#### ビット2 : D<sub>2</sub>/EVNB端子機能切り換え (PMRB2)

D<sub>2</sub>/EVNB端子をD<sub>2</sub>入出力端子として使用するか、タイマBのイベントカウント入力端子 (EVNB) として使用するかを選択します。

PMRB2	説明
0	D <sub>2</sub> /EVNB端子は、D <sub>2</sub> 入出力端子として機能します。 (初期値)
1	D <sub>2</sub> /EVNB端子は、EVNB入力端子として機能します。

**ビット1 :  $D_1/\overline{INT}_1$ 端子機能切り換え (PMRB1)**

$D_1/\overline{INT}_1$ 端子を $D_1$ 入出力端子として使用するか、外部割込み1の入力端子( $\overline{INT}_1$ )として使用するかを選択します。

PMRB1	説 明
0	$D_1/\overline{INT}_1$ 端子は、 $D_1$ 入出力端子として機能します。 (初期値)
1	$D_1/\overline{INT}_1$ 端子は、 $\overline{INT}_1$ 入力端子として機能します。

**ビット0 :  $D_0/\overline{INT}_0$ 端子機能切り換え (PMRB0)**

$D_0/\overline{INT}_0$ 端子を $D_0$ 入出力端子として使用するか、外部割込み0の入力端子( $\overline{INT}_0$ )として使用するかを選択します。

PMRB0	説 明
0	$D_0/\overline{INT}_0$ 端子は、 $D_0$ 入出力端子として機能します。 (初期値)
1	$D_0/\overline{INT}_0$ 端子は、 $\overline{INT}_0$ 入力端子として機能します。

## 12. I/Oポート HD404369シリーズ

### 12.2.3 端子機能

D<sub>0</sub> ~ D<sub>13</sub>の各端子は、PMRAとPMRBの各ビットにより、表12.6に示すように端子機能が切り換わります。

表12.6 D<sub>0</sub> ~ D<sub>13</sub>ポート端子機能 (1 / 2)

端 子	選 択 方 法 と 端 子 機 能		
D <sub>0</sub> /INT <sub>0</sub>	PMRBのPMRB0ビットとDCD0のDCD00ビットにより、次のように切り換わります。		
	PMRB0	0	1
	DCD00	0	1
	端子機能	D <sub>0</sub> 入力端子	D <sub>0</sub> 出力端子
			INT <sub>0</sub> 入力端子
D <sub>1</sub> /INT <sub>1</sub>	PMRBのPMRB1ビットとDCD0のDCD01ビットにより、次のように切り換わります。		
	PMRB1	0	1
	DCD01	0	1
	端子機能	D <sub>1</sub> 入力端子	D <sub>1</sub> 出力端子
			INT <sub>1</sub> 入力端子
D <sub>2</sub> /EVNB	PMRBのPMRB2ビットとDCD0のDCD02ビットにより、次のように切り換わります。		
	PMRB2	0	1
	DCD02	0	1
	端子機能	D <sub>2</sub> 入力端子	D <sub>2</sub> 出力端子
			EVNB出力端子
D <sub>3</sub> /BUZZ	PMRAのPMRA3ビットとDCD0のDCD03ビットにより、次のように切り換わります。		
	PMRA3	0	1
	DCD03	0	1
	端子機能	D <sub>3</sub> 入力端子	D <sub>3</sub> 出力端子
			BUZZ出力端子
D <sub>4</sub> /STOPC	PMRBのPMRB3ビットとDCD1のDCD10ビットにより、次のように切り換わります。		
	PMRB3	0	1
	DCD10	0	1
	端子機能	D <sub>4</sub> 入力端子	D <sub>4</sub> 出力端子
			STOPC入力端子
D <sub>5</sub>	DCD1のDCD11ビットにより、次のように切り換わります。		
	DCD11	0	1
	端子機能	D <sub>5</sub> 入力端子	D <sub>5</sub> 出力端子
D <sub>6</sub>	DCD1のDCD12ビットにより、次のように切り換わります。		
	DCD12	0	1
	端子機能	D <sub>6</sub> 入力端子	D <sub>6</sub> 出力端子

表12.6 D<sub>0</sub> ~ D<sub>13</sub>ポート端子機能 (2 / 2)

端子	選択方法と端子機能		
D <sub>7</sub>	DCD1のDCD13ビットにより、次のように切り換わります。		
	DCD13	0	1
	端子機能	D <sub>7</sub> 入力端子	D <sub>7</sub> 出力端子
D <sub>8</sub>	DCD2のDCD20ビットにより、次のように切り換わります。		
	DCD20	0	1
	端子機能	D <sub>8</sub> 入力端子	D <sub>8</sub> 出力端子
D <sub>9</sub>	DCD2のDCD21ビットにより、次のように切り換わります。		
	DCD21	0	1
	端子機能	D <sub>9</sub> 入力端子	D <sub>9</sub> 出力端子
D <sub>10</sub>	DCD2のDCD22ビットにより、次のように切り換わります。		
	DCD22	0	1
	端子機能	D <sub>10</sub> 入力端子	D <sub>10</sub> 出力端子
D <sub>11</sub>	DCD2のDCD23ビットにより、次のように切り換わります。		
	DCD23	0	1
	端子機能	D <sub>11</sub> 入力端子	D <sub>11</sub> 出力端子
D <sub>12</sub>	DCD3のDCD30ビットにより、次のように切り換わります。		
	DCD30	0	1
	端子機能	D <sub>12</sub> 入力端子	D <sub>12</sub> 出力端子
D <sub>13</sub>	DCD3のDCD31ビットにより、次のように切り換わります。		
	DCD31	0	1
	端子機能	D <sub>13</sub> 入力端子	D <sub>13</sub> 出力端子

### 12.3 Rポート

#### 12.3.1 概要

Rポートは、4ビット×9の入出力ポート（R0～R6、R8、R9）と3ビットの入出力ポート（R7）、1ビットの入力ポート（RA<sub>1</sub>）から構成されています。

R0、R3～R9は標準耐圧CMOS 3ステート入出力ポート、R1、R2は中耐圧NMOSオープンドレイン入出力ポートです。

R0～R9の各ポートは、出力命令（LRA、LRB）により4ビット単位にアクセスして、High/Lowレベル出力を制御します。出力データは、各端子のPDRに格納されます。また、入力命令（LAR、LBR）により、4ビット単位にアクセスして、端子のレベルを読み出すことができます。

入力専用ポート（RA<sub>1</sub>）は、1ビットで構成されています。入力命令を実行した場合、ビット3、2、0については、値は不定となります。

Rポートの出力バッファのオン/オフは、DCRにより行います。Rポートの各端子に対応するDCRが1のとき、対応するPDRの内容が当該端子より出力されます。出力バッファのオン/オフは、Rポートの各端子ごとに独立して設定できます。DCRは、RAMアドレス上に割り付けられています。

R0、R3～R5ポートの端子は、内蔵周辺モジュール用端子と兼用端子になっています。これらの端子機能の切り換えは、レジスタ設定により行います（表12.7参照）。

Rポートの端子構成を図12.2に示します。



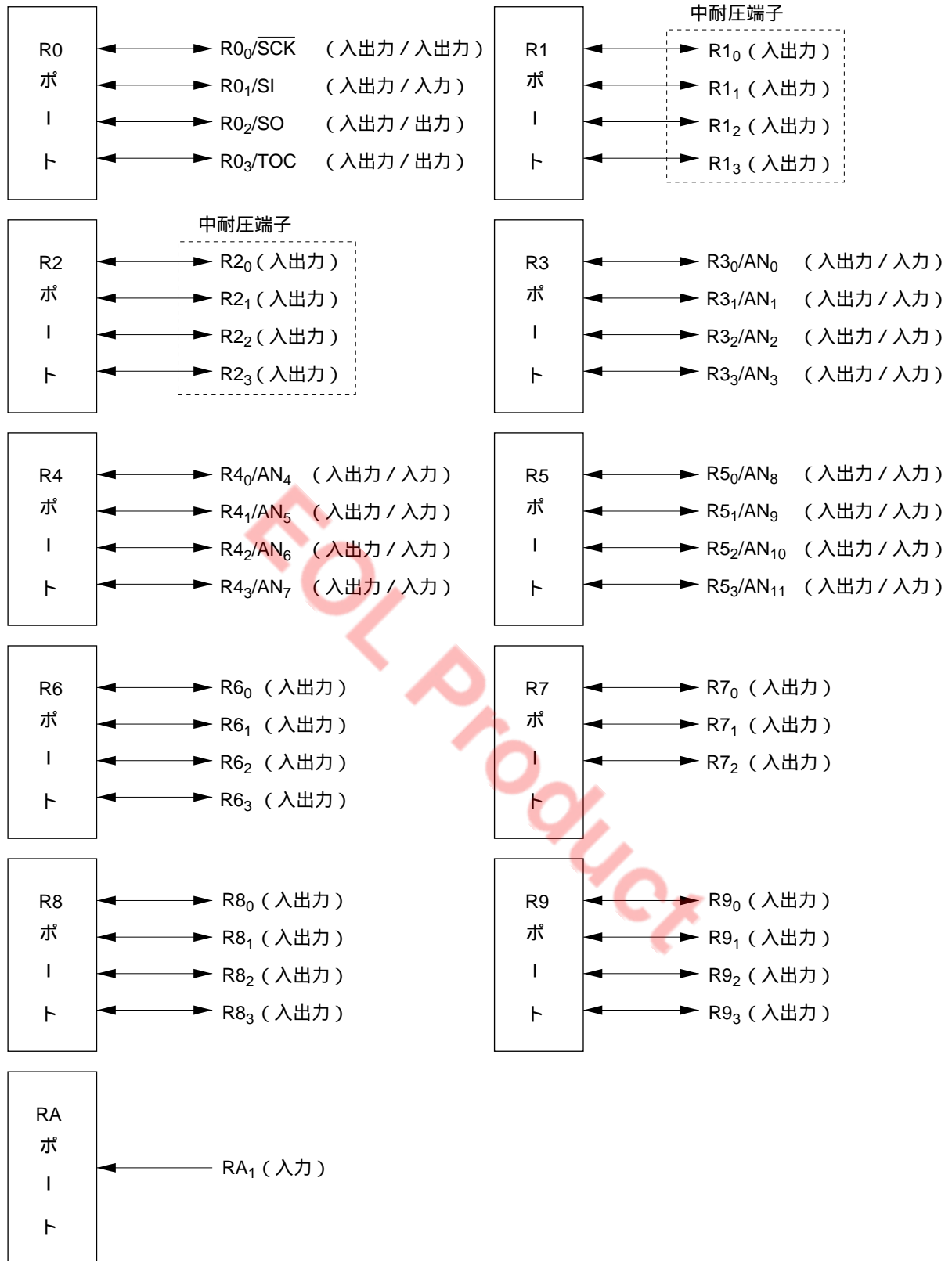


図12.2 Rポートの構成

## 12. I/Oポート HD404369シリーズ

### 12.3.2 レジスタの構成と説明

Rポートのレジスタ構成を表12.7に示します。

表12.7 Rポートレジスタ構成

アドレス	名 称	略 称	R / W	初期値
———	ポートデータレジスタ	PDR	W*	1
\$ 030	データコントロールレジスタ	DCR0	W	\$0
\$ 031		DCR1	W	\$0
\$ 032		DCR2	W	\$0
\$ 033		DCR3	W	\$0
\$ 034		DCR4	W	\$0
\$ 035		DCR5	W	\$0
\$ 036		DCR6	W	\$0
\$ 037		DCR7	W	-000
\$ 038		DCR8	W	\$0
\$ 039		DCR9	W	\$0
\$ 004	ポートモードレジスタA	PMRA	W	\$0
\$ 005	シリアルモードレジスタ	SMR	W	\$0
\$ 019	A/Dモードレジスタ1	AMR1	W	\$0
\$ 01A	A/Dモードレジスタ2	AMR2	W	-000

【注】\* PDRへの書き込みは、LRA、LRB命令により行います。

#### (1) ポートデータレジスタ (PDR)

R0～R9ポートの各入出力端子は、出力データを格納するPDRを各々内蔵しています。R0～R9ポートに対して、LRA、LRB命令を実行するとアキュムレータ (A)、Bレジスタ (B) の内容が、指定されたRポートのPDRに転送されます。R0～R9ポートのDCR0～DCR9の対応するビットが1のとき、当該端子の出力バッファがオンとなり、PDRの値が端子より出力されます。

リセット、およびストップモード時に、PDRは1にセットされます。

## (2) データコントロールレジスタ (DCR0 ~ DCR9 : \$ 030 ~ \$ 039)

DCR0 : \$ 030	ビット :	3	2	1	0
		DCR03	DCR02	DCR01	DCR00
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR1 : \$ 031	ビット :	3	2	1	0
		DCR13	DCR12	DCR11	DCR10
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR2 : \$ 032	ビット :	3	2	1	0
		DCR23	DCR22	DCR21	DCR20
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR3 : \$ 033	ビット :	3	2	1	0
		DCR33	DCR32	DCR31	DCR30
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR4 : \$ 034	ビット :	3	2	1	0
		DCR43	DCR42	DCR41	DCR40
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR5 : \$ 035	ビット :	3	2	1	0
		DCR53	DCR52	DCR51	DCR50
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR6 : \$ 036	ビット :	3	2	1	0
		DCR63	DCR62	DCR61	DCR60
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR7 : \$ 037	ビット :	3	2	1	0
			DCR72	DCR71	DCR70
	初期値 :		0	0	0
	R / W :		W	W	W
DCR8 : \$ 038	ビット :	3	2	1	0
		DCR83	DCR82	DCR81	DCR80
	初期値 :	0	0	0	0
	R / W :	W	W	W	W
DCR9 : \$ 039	ビット :	3	2	1	0
		DCR93	DCR92	DCR91	DCR90
	初期値 :	0	0	0	0
	R / W :	W	W	W	W

## 12. I/Oポート HD404369シリーズ

DCR0～DCR9 の各ビット	説 明
0	出力バッファ（CMOSバッファ）はオフとなり、出力ハイインピーダンスとなります。 (初期値)
1	<ul style="list-style-type: none"> <li>・ CMOS 3 ステート出力バッファはオンとなり、対応するPDRの値を出力します。</li> <li>・ 中耐圧NMOSオープンドレイン端子（R1、R2）は、PDRが0のときLowレベル出力となります。PDRが1のとき、出力ハイインピーダンスとなります。</li> </ul>

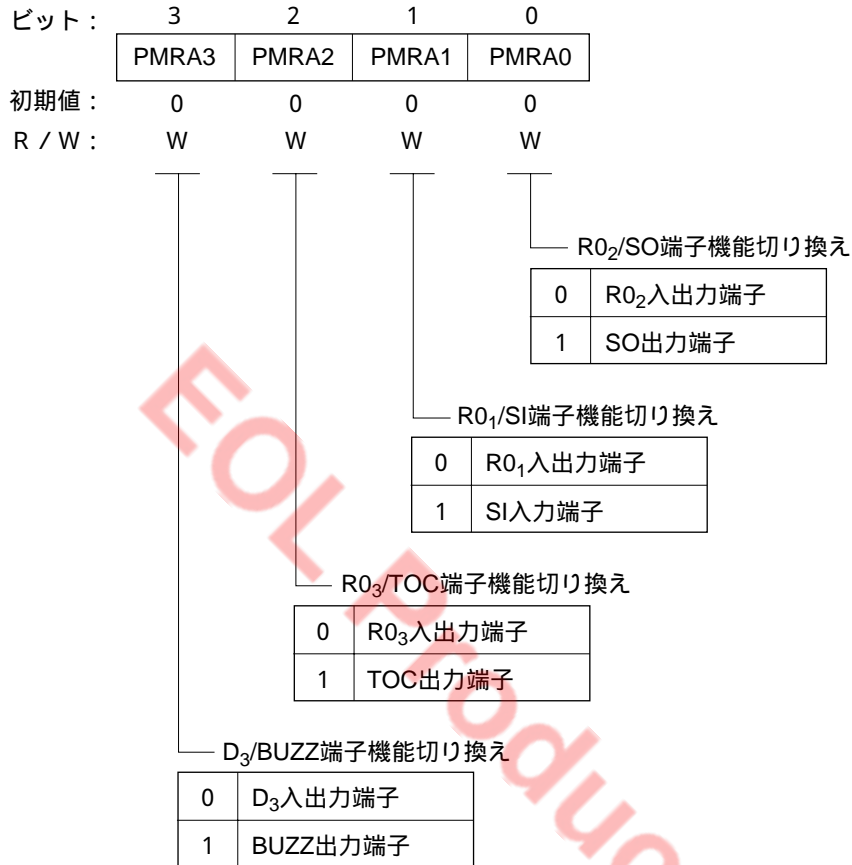
DCR0～DCR9の各ビットとR0～R9ポートの各端子との対応は次のようになっています。

レジスタ名 ビット	ビット 3	ビット 2	ビット 1	ビット 0
DCR0	R0 <sub>3</sub>	R0 <sub>2</sub>	R0 <sub>1</sub>	R0 <sub>0</sub>
DCR1	R1 <sub>3</sub>	R1 <sub>2</sub>	R1 <sub>1</sub>	R1 <sub>0</sub>
DCR2	R2 <sub>3</sub>	R2 <sub>2</sub>	R2 <sub>1</sub>	R2 <sub>0</sub>
DCR3	R3 <sub>3</sub>	R3 <sub>2</sub>	R3 <sub>1</sub>	R3 <sub>0</sub>
DCR4	R4 <sub>3</sub>	R4 <sub>2</sub>	R4 <sub>1</sub>	R4 <sub>0</sub>
DCR5	R5 <sub>3</sub>	R5 <sub>2</sub>	R5 <sub>1</sub>	R5 <sub>0</sub>
DCR6	R6 <sub>3</sub>	R6 <sub>2</sub>	R6 <sub>1</sub>	R6 <sub>0</sub>
DCR7	-	R7 <sub>2</sub>	R7 <sub>1</sub>	R7 <sub>0</sub>
DCR8	R8 <sub>3</sub>	R8 <sub>2</sub>	R8 <sub>1</sub>	R8 <sub>0</sub>
DCR9	R9 <sub>3</sub>	R9 <sub>2</sub>	R9 <sub>1</sub>	R9 <sub>0</sub>

(3) ポートモードレジスタA (PMRA : \$004)

PMRAは、4ビットの書き込み専用レジスタで、PMRA2~PMRA0ビットでR0ポート兼用端子の切り換えを行います。

ここでは、PMRA2~PMRA0ビットについて説明します。PMRA3ビットについての詳細は「12.2.2(3) ポートモードレジスタA (PMRA)」を参照してください。



**ビット2 : R<sub>0</sub><sub>3</sub>/TOC端子機能切り換え (PMRA2)**

R<sub>0</sub><sub>3</sub>/TOC端子をR<sub>0</sub><sub>3</sub>入出力端子として使用するか、タイマC出力端子 (TOC) として使用するかを選択します。

PMRA2	説 明	
0	R <sub>0</sub> <sub>3</sub> /TOC端子は、R <sub>0</sub> <sub>3</sub> 入出力端子として機能します。	(初期値)
1	R <sub>0</sub> <sub>3</sub> /TOC端子は、TOC出力端子として機能します。	

**ビット1 : R<sub>0</sub><sub>1</sub>/SI端子機能切り換え (PMRA1)**

R<sub>0</sub><sub>1</sub>/SI端子をR<sub>0</sub><sub>1</sub>入出力端子として使用するか、シリアル受信データ入力端子 (SI) として使用するかを選択します。

PMRA1	説 明	
0	R <sub>0</sub> <sub>1</sub> /SI端子は、R <sub>0</sub> <sub>1</sub> 入出力端子として機能します。	(初期値)
1	R <sub>0</sub> <sub>1</sub> /SI端子は、SI入力端子として機能します。	

## 12. I/Oポート HD404369シリーズ

### ビット0 : R<sub>0</sub>/SO端子機能切り換え (PMRA0)

R<sub>0</sub>/SO端子をR<sub>0</sub>入出力端子として使用するか、シリアル送信データ出力端子 (SO) として使用するかを選択します。

PMRA0	説明
0	R <sub>0</sub> /SO端子は、R <sub>0</sub> 入出力端子として機能します。 (初期値)
1	R <sub>0</sub> /SO端子は、SO出力端子として機能します。

### (4) シリアルモードレジスタ (SMR : \$005)

SMRは、4ビットの書き込み専用のレジスタで、SMR3ビットでR<sub>0</sub>/SCK端子の切り換えを行います。

ここではSMR3ビットについて説明します。SMR2~SMR0ビットについての詳細は「20.2.1 シリアルモードレジスタ (SMR)」を参照してください。



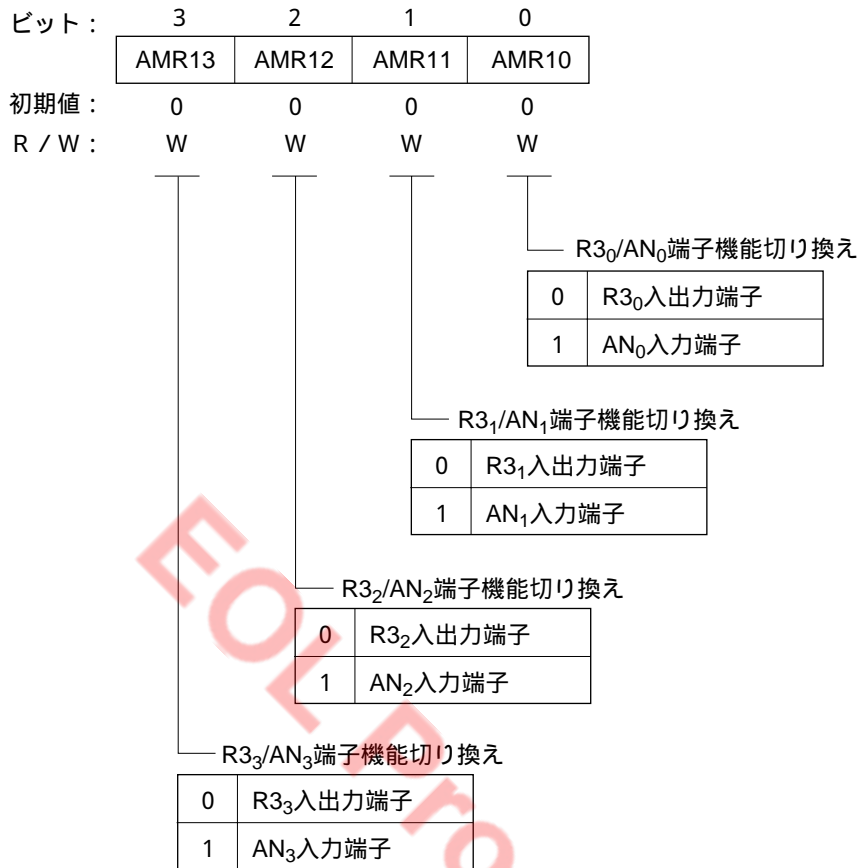
### ビット3 : R<sub>0</sub>/SCK端子機能切り換え (SMR3)

R<sub>0</sub>/SCK端子をR<sub>0</sub>入出力端子として使用するか、シリアルインタフェースの転送クロックの入出力端子 (SCK) として使用するかを選択します。

SMR3	説明
0	R <sub>0</sub> /SCK端子は、R <sub>0</sub> 入出力端子として機能します。 (初期値)
1	R <sub>0</sub> /SCK端子は、SCK入出力端子として機能します。

(5) A/Dモードレジスタ1 (AMR1: \$019)

AMR1は4ビットの書き込み専用レジスタで、R3ポートの兼用端子の切り換えを行います。



**ビット3 : R3<sub>3</sub>/AN<sub>3</sub>端子機能切り換え (AMR13)**

R3<sub>3</sub>/AN<sub>3</sub>端子をR3<sub>3</sub>入出力端子として使用するか、A/Dコンバータのチャンネル3入力端子 (AN<sub>3</sub>) として使用するかを選択します。

AMR13	説明
0	R3 <sub>3</sub> /AN <sub>3</sub> 端子は、R3 <sub>3</sub> 入出力端子として機能します。 (初期値)
1	R3 <sub>3</sub> /AN <sub>3</sub> 端子は、AN <sub>3</sub> 入力端子として機能します。

**ビット2 : R3<sub>2</sub>/AN<sub>2</sub>端子機能切り換え (AMR12)**

R3<sub>2</sub>/AN<sub>2</sub>端子をR3<sub>2</sub>入出力端子として使用するか、A/Dコンバータのチャンネル2入力端子 (AN<sub>2</sub>) として使用するかを選択します。

AMR12	説明
0	R3 <sub>2</sub> /AN <sub>2</sub> 端子は、R3 <sub>2</sub> 入出力端子として機能します。 (初期値)
1	R3 <sub>2</sub> /AN <sub>2</sub> 端子は、AN <sub>2</sub> 入力端子として機能します。

## 12. I/Oポート HD404369シリーズ

---

### ビット1 : R3<sub>1</sub>/AN<sub>1</sub>端子機能切り換え (AMR11)

R3<sub>1</sub>/AN<sub>1</sub>端子をR3<sub>1</sub>入出力端子として使用するか、A/Dコンバータのチャンネル1入力端子 (AN<sub>1</sub>) として使用するかを選択します。

AMR11	説 明
0	R3 <sub>1</sub> /AN <sub>1</sub> 端子は、R3 <sub>1</sub> 入出力端子として機能します。 (初期値)
1	R3 <sub>1</sub> /AN <sub>1</sub> 端子は、AN <sub>1</sub> 入力端子として機能します。

### ビット0 : R3<sub>0</sub>/AN<sub>0</sub>端子機能切り換え (AMR10)

R3<sub>0</sub>/AN<sub>0</sub>端子をR3<sub>0</sub>入出力端子として使用するか、A/Dコンバータのチャンネル0入力端子 (AN<sub>0</sub>) として使用するかを選択します。

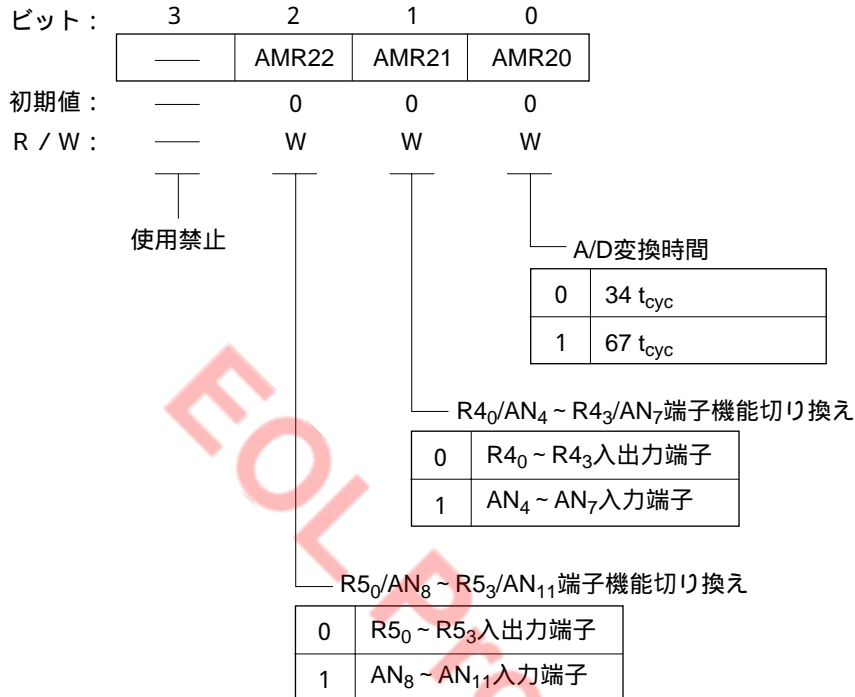
AMR10	説 明
0	R3 <sub>0</sub> /AN <sub>0</sub> 端子は、R3 <sub>0</sub> 入出力端子として機能します。 (初期値)
1	R3 <sub>0</sub> /AN <sub>0</sub> 端子は、AN <sub>0</sub> 入力端子として機能します。



(6) A/Dモードレジスタ2 (AMR2: \$01A)

AMR2は、3ビットの書き込み専用レジスタで、AMR21ビットでR4ポートの4ビットを同時にA/Dコンバータのチャンネル入力4~7 (AN<sub>4</sub>~AN<sub>7</sub>) に、AMR22ビットでR5ポートをAN<sub>8</sub>~AN<sub>11</sub>に切り換えます。

ここではAMR22、AMR21ビットについて説明します。AMR20ビットについての詳細は「15.2.2 A/Dモードレジスタ2 (AMR2)」を参照してください。



**ビット2 : R5<sub>0</sub>/AN<sub>8</sub> ~ R5<sub>3</sub>/AN<sub>11</sub>端子機能切り換え (AMR22)**

R5<sub>0</sub>/AN<sub>8</sub> ~ R5<sub>3</sub>/AN<sub>11</sub>端子をR5<sub>0</sub> ~ R5<sub>3</sub>入出力端子として使用するか、A/Dコンバータのチャンネル8~11入力端子 (AN<sub>8</sub>~AN<sub>11</sub>) として使用するかを選択します。

AMR22	説 明
0	R5 <sub>0</sub> /AN <sub>8</sub> ~ R5 <sub>3</sub> /AN <sub>11</sub> 端子は、R5 <sub>0</sub> ~ R5 <sub>3</sub> 入出力端子として機能します。 (初期値)
1	R5 <sub>0</sub> /AN <sub>8</sub> ~ R5 <sub>3</sub> /AN <sub>11</sub> 端子は、AN <sub>8</sub> ~ AN <sub>11</sub> 入力端子として機能します。

**ビット1 : R4<sub>0</sub>/AN<sub>4</sub> ~ R4<sub>3</sub>/AN<sub>7</sub>端子機能切り換え (AMR21)**

R4<sub>0</sub>/AN<sub>4</sub> ~ R4<sub>3</sub>/AN<sub>7</sub>端子をR4<sub>0</sub> ~ R4<sub>3</sub>入出力端子として使用するか、A/Dコンバータのチャンネル4~7入力端子 (AN<sub>4</sub>~AN<sub>7</sub>) として使用するかを選択します。

AMR21	説 明
0	R4 <sub>0</sub> /AN <sub>4</sub> ~ R4 <sub>3</sub> /AN <sub>7</sub> 端子は、R4 <sub>0</sub> ~ R4 <sub>3</sub> 入出力端子として機能します。 (初期値)
1	R4 <sub>0</sub> /AN <sub>4</sub> ~ R4 <sub>3</sub> /AN <sub>7</sub> 端子は、AN <sub>4</sub> ~ AN <sub>7</sub> 入力端子として機能します。

## 12. I/Oポート HD404369シリーズ

### 12.3.3 端子機能

Rポートの各端子は、レジスタ設定により、表12.8に示すように切り換わります。

表12.8 Rポート端子機能 (1/6)

端子	選択方法と端子機能			
R0/SCK	SMRのSMR3ビットとDCR0のDCR00ビットにより、次のように切り換わります。			
	SMR3	0		1
	DCR00	0	1	_____
	端子機能	R0 <sub>0</sub> 入力端子	R0 <sub>0</sub> 出力端子	SCK入出力端子
R0 <sub>1</sub> /SI	PMRAのPMRA1ビットとDCR0のDCR01ビットにより、次のように切り換わります。			
	PMRA1	0		1
	DCR01	0	1	_____
	端子機能	R0 <sub>1</sub> 入力端子	R0 <sub>1</sub> 出力端子	SI入力端子
R0 <sub>2</sub> /SO	PMRAのPMRA0ビットとDCR0のDCR02ビットにより、次のように切り換わります。			
	PMRA0	0		1
	DCR02	0	1	_____
	端子機能	R0 <sub>2</sub> 入力端子	R0 <sub>2</sub> 出力端子	SO出力端子
R0 <sub>3</sub> /TOC	PMRAのPMRA2ビットとDCR0のDCR03ビットにより、次のように切り換わります。			
	PMRA2	0		1
	DCR03	0	1	_____
	端子機能	R0 <sub>3</sub> 入力端子	R0 <sub>3</sub> 出力端子	TOC出力端子

表12.8 Rポート端子機能 (2/6)

端子	選択方法と端子機能		
R1 <sub>0</sub>	DCR1のDCR10ビットにより、次のように切り換わります。		
	DCR10	0	1
	端子機能	R1 <sub>0</sub> 入力端子	R1 <sub>0</sub> 出力端子*
R1 <sub>1</sub>	DCR1のDCR11ビットにより、次のように切り換わります。		
	DCR11	0	1
	端子機能	R1 <sub>1</sub> 入力端子	R1 <sub>1</sub> 出力端子*
R1 <sub>2</sub>	DCR1のDCR12ビットにより、次のように切り換わります。		
	DCR12	0	1
	端子機能	R1 <sub>2</sub> 入力端子	R1 <sub>2</sub> 出力端子*
R1 <sub>3</sub>	DCR1のDCR13ビットにより、次のように切り換わります。		
	DCR13	0	1
	端子機能	R1 <sub>3</sub> 入力端子	R1 <sub>3</sub> 出力端子*
R2 <sub>0</sub>	DCR2のDCR20ビットにより、次のように切り換わります。		
	DCR20	0	1
	端子機能	R2 <sub>0</sub> 入力端子	R2 <sub>0</sub> 出力端子*
R2 <sub>1</sub>	DCR2のDCR21ビットにより、次のように切り換わります。		
	DCR21	0	1
	端子機能	R2 <sub>1</sub> 入力端子	R2 <sub>1</sub> 出力端子*
R2 <sub>2</sub>	DCR2のDCR22ビットにより、次のように切り換わります。		
	DCR22	0	1
	端子機能	R2 <sub>2</sub> 入力端子	R2 <sub>2</sub> 出力端子*
R2 <sub>3</sub>	DCR2のDCR23ビットにより、次のように切り換わります。		
	DCR23	0	1
	端子機能	R2 <sub>3</sub> 入力端子	R2 <sub>3</sub> 出力端子*

【注】\* R1<sub>0</sub>~R2<sub>3</sub>は中耐圧NMOSオープンドレイン入出力端子です。PDRが1のとき出力ハイインピーダンスとなります。

## 12. I/Oポート HD404369シリーズ

表12.8 Rポート端子機能 (3/6)

端子	選択方法と端子機能		
R3 <sub>0</sub> /AN <sub>0</sub>	AMR1のAMR10ビットとDCR3のDCR30ビットにより、次のように切り換わります。		
	AMR10	0	1
	DCR30	0	1
	端子機能	R3 <sub>0</sub> 入力端子	R3 <sub>0</sub> 出力端子 AN <sub>0</sub> 入力端子
R3 <sub>1</sub> /AN <sub>1</sub>	AMR1のAMR11ビットとDCR3のDCR31ビットにより、次のように切り換わります。		
	AMR11	0	1
	DCR31	0	1
	端子機能	R3 <sub>1</sub> 入力端子	R3 <sub>1</sub> 出力端子 AN <sub>1</sub> 入力端子
R3 <sub>2</sub> /AN <sub>2</sub>	AMR1のAMR12ビットとDCR3のDCR32ビットにより、次のように切り換わります。		
	AMR12	0	1
	DCR32	0	1
	端子機能	R3 <sub>2</sub> 入力端子	R3 <sub>2</sub> 出力端子 AN <sub>2</sub> 入力端子
R3 <sub>3</sub> /AN <sub>3</sub>	AMR1のAMR13ビットとDCR3のDCR33ビットにより、次のように切り換わります。		
	AMR13	0	1
	DCR33	0	1
	端子機能	R3 <sub>3</sub> 入力端子	R3 <sub>3</sub> 出力端子 AN <sub>3</sub> 入力端子
R4 <sub>0</sub> /AN <sub>4</sub>	AMR2のAMR21ビットとDCR4のDCR40ビットにより、次のように切り換わります。		
	AMR21	0	1
	DCR40	0	1
	端子機能	R4 <sub>0</sub> 入力端子	R4 <sub>0</sub> 出力端子 AN <sub>4</sub> 入力端子
R4 <sub>1</sub> /AN <sub>5</sub>	AMR2のAMR21ビットとDCR4のDCR41ビットにより、次のように切り換わります。		
	AMR21	0	1
	DCR41	0	1
	端子機能	R4 <sub>1</sub> 入力端子	R4 <sub>1</sub> 出力端子 AN <sub>5</sub> 入力端子
R4 <sub>2</sub> /AN <sub>6</sub>	AMR2のAMR21ビットとDCR4のDCR42ビットにより、次のように切り換わります。		
	AMR21	0	1
	DCR42	0	1
	端子機能	R4 <sub>2</sub> 入力端子	R4 <sub>2</sub> 出力端子 AN <sub>6</sub> 入力端子
R4 <sub>3</sub> /AN <sub>7</sub>	AMR2のAMR21ビットとDCR4のDCR43ビットにより、次のように切り換わります。		
	AMR21	0	1
	DCR43	0	1
	端子機能	R4 <sub>3</sub> 入力端子	R4 <sub>3</sub> 出力端子 AN <sub>7</sub> 入力端子

表12.8 Rポート端子機能(4/6)

端子	選択方法と端子機能		
R5 <sub>0</sub> /AN <sub>8</sub>	AMR2のAMR22ビットとDCR5のDCR50ビットにより、次のように切り換わります。		
	AMR22	0	1
	DCR50	0	1
	端子機能	R5 <sub>0</sub> 入力端子	R5 <sub>0</sub> 出力端子 AN <sub>8</sub> 入力端子
R5 <sub>1</sub> /AN <sub>9</sub>	AMR2のAMR22ビットとDCR5のDCR51ビットにより、次のように切り換わります。		
	AMR22	0	1
	DCR51	0	1
	端子機能	R5 <sub>1</sub> 入力端子	R5 <sub>1</sub> 出力端子 AN <sub>9</sub> 入力端子
R5 <sub>2</sub> /AN <sub>10</sub>	AMR2のAMR22ビットとDCR5のDCR52ビットにより、次のように切り換わります。		
	AMR22	0	1
	DCR52	0	1
	端子機能	R5 <sub>2</sub> 入力端子	R5 <sub>2</sub> 出力端子 AN <sub>10</sub> 入力端子
R5 <sub>3</sub> /AN <sub>11</sub>	AMR2のAMR22ビットとDCR5のDCR53ビットにより、次のように切り換わります。		
	AMR22	0	1
	DCR53	0	1
	端子機能	R5 <sub>3</sub> 入力端子	R5 <sub>3</sub> 出力端子 AN <sub>11</sub> 入力端子

## 12. I/Oポート HD404369シリーズ

表12.8 Rポート端子機能 (5/6)

端子	選択方法と端子機能		
R6 <sub>0</sub>	DCR6のDCR60ビットにより、次のように切り換わります。		
	DCR60	0	1
	端子機能	R6 <sub>0</sub> 入力端子	R6 <sub>0</sub> 出力端子
R6 <sub>1</sub>	DCR6のDCR61ビットにより、次のように切り換わります。		
	DCR61	0	1
	端子機能	R6 <sub>1</sub> 入力端子	R6 <sub>1</sub> 出力端子
R6 <sub>2</sub>	DCR6のDCR62ビットにより、次のように切り換わります。		
	DCR62	0	1
	端子機能	R6 <sub>2</sub> 入力端子	R6 <sub>2</sub> 出力端子
R6 <sub>3</sub>	DCR6のDCR63ビットにより、次のように切り換わります。		
	DCR63	0	1
	端子機能	R6 <sub>3</sub> 入力端子	R6 <sub>3</sub> 出力端子
R7 <sub>0</sub>	DCR7のDCR70ビットにより、次のように切り換わります。		
	DCR70	0	1
	端子機能	R7 <sub>0</sub> 入力端子	R7 <sub>0</sub> 出力端子
R7 <sub>1</sub>	DCR7のDCR71ビットにより、次のように切り換わります。		
	DCR71	0	1
	端子機能	R7 <sub>1</sub> 入力端子	R7 <sub>1</sub> 出力端子
R7 <sub>2</sub>	DCR7のDCR72ビットにより、次のように切り換わります。		
	DCR72	0	1
	端子機能	R7 <sub>2</sub> 入力端子	R7 <sub>2</sub> 出力端子

表12.8 Rポート端子機能 (6/6)

端子	選択方法と端子機能		
R8 <sub>0</sub>	DCR8のDCR80ビットにより、次のように切り換わります。		
	DCR80	0	1
	端子機能	R8 <sub>0</sub> 入力端子	R8 <sub>0</sub> 出力端子
R8 <sub>1</sub>	DCR8のDCR81ビットにより、次のように切り換わります。		
	DCR81	0	1
	端子機能	R8 <sub>1</sub> 入力端子	R8 <sub>1</sub> 出力端子
R8 <sub>2</sub>	DCR8のDCR82ビットにより、次のように切り換わります。		
	DCR82	0	1
	端子機能	R8 <sub>2</sub> 入力端子	R8 <sub>2</sub> 出力端子
R8 <sub>3</sub>	DCR8のDCR83ビットにより、次のように切り換わります。		
	DCR83	0	1
	端子機能	R8 <sub>3</sub> 入力端子	R8 <sub>3</sub> 出力端子
R9 <sub>0</sub>	DCR9のDCR90ビットにより、次のように切り換わります。		
	DCR90	0	1
	端子機能	R9 <sub>0</sub> 入力端子	R9 <sub>0</sub> 出力端子
R9 <sub>1</sub>	DCR9のDCR91ビットにより、次のように切り換わります。		
	DCR91	0	1
	端子機能	R9 <sub>1</sub> 入力端子	R9 <sub>1</sub> 出力端子
R9 <sub>2</sub>	DCR9のDCR92ビットにより、次のように切り換わります。		
	DCR92	0	1
	端子機能	R9 <sub>2</sub> 入力端子	R9 <sub>2</sub> 出力端子
R9 <sub>3</sub>	DCR9のDCR93ビットにより、次のように切り換わります。		
	DCR93	0	1
	端子機能	R9 <sub>3</sub> 入力端子	R9 <sub>3</sub> 出力端子

## 12.4 使用上の注意

ポートを使用するとき、次の点に注意してください。

(1) MISのMIS2ビットを1にセットすると、PMRAのPMRA0ビットによりR<sub>0</sub>端子またはSO端子機能のいずれが選択されている場合にも、NMOSオープンドレイン出力となります。

(2) ユーザシステムで使用しない入出力端子がフローティングの場合、ノイズによりLSIが誤動作する可能性がありますので、入出力端子の電位を固定する必要があります。

未使用端子は、内蔵プルアップMOSで、V<sub>CC</sub>にプルアップするか、または外部で100k程度の抵抗をつけてV<sub>CC</sub>にプルアップしてください。

プログラムで該当端子のPDRやDCD、DCRの内容をリセット状態と同じ内容に保持してください。また、該当端子を周辺機能入出力端子に選択しないでください。

(3) MISのMIS3ビット = 1 (プルアップMOSアクティブ) かつRポート/アナログ入力兼用端子のPDR = 1の場合、AMR1、AMR2でアナログ入力端子を選択しても、当該端子のプルアップMOSはオフとなりません。

プルアップMOSアクティブを選択し、Rポート/アナログ入力兼用端子をアナログ入力として使用する場合、必ず当該端子のPDRを0にクリアして、プルアップMOSをオフにしてください(リセット後、PDRは1にセットされます)。

図12.3にRポート/アナログ入力兼用端子の回路構成を示します。

AMR1、AMR2は、ポート出力をハイインピーダンスにするためのレジスタであり、アナログ入力チャネルの切り換えは、ACRにより行います。

AMR1 (AMR2)、MIS3ビット、DCR、PDRの組み合わせにより、Rポート/アナログ兼用端子の状態は表12.9に示すようになります。

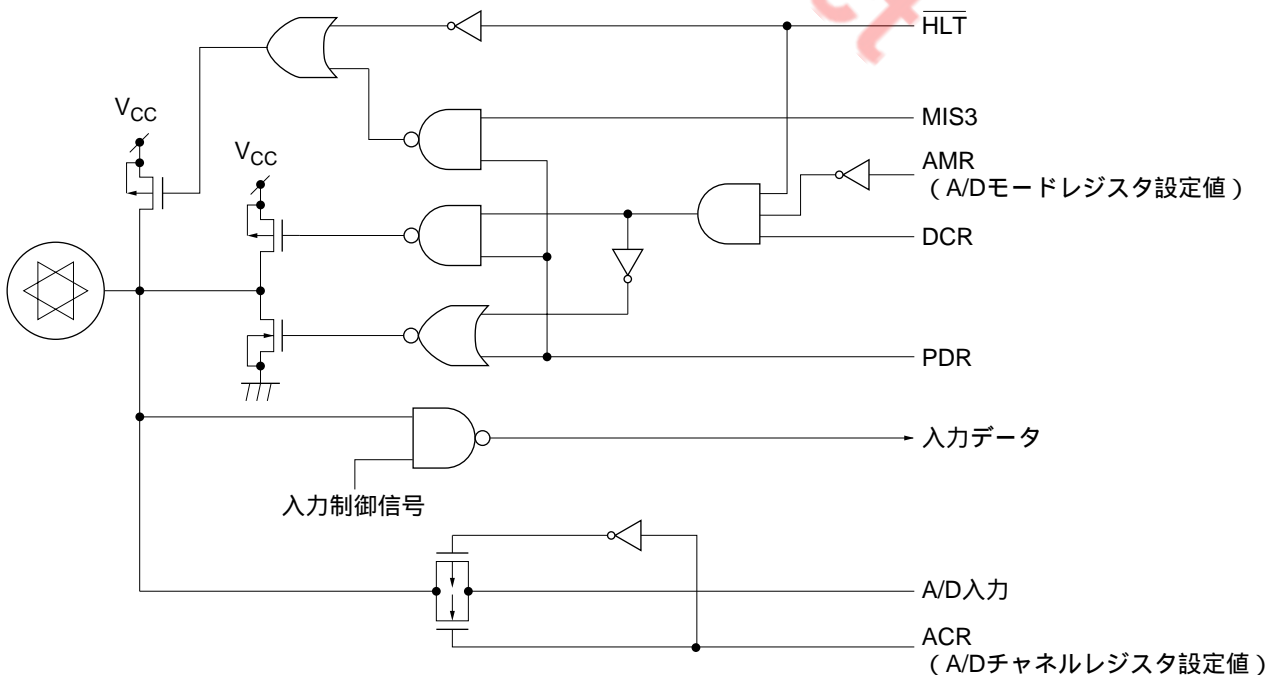


図12.3 Rポート/アナログ入力兼用端子回路構成



表12.9 プログラムによるRポート / アナログ入力兼用端子の制御

AMR1またはAMR2の当該ビット		0 ( R ポ ー ト 選 択 )							
MIS3ビット		0				1			
DCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOSバッファ	PMOS	—		—	ON	—		—	ON
	NMOS	—		ON	—	—		ON	—
プルアップMOS		—				—	ON	—	ON

【注】 — : OFF

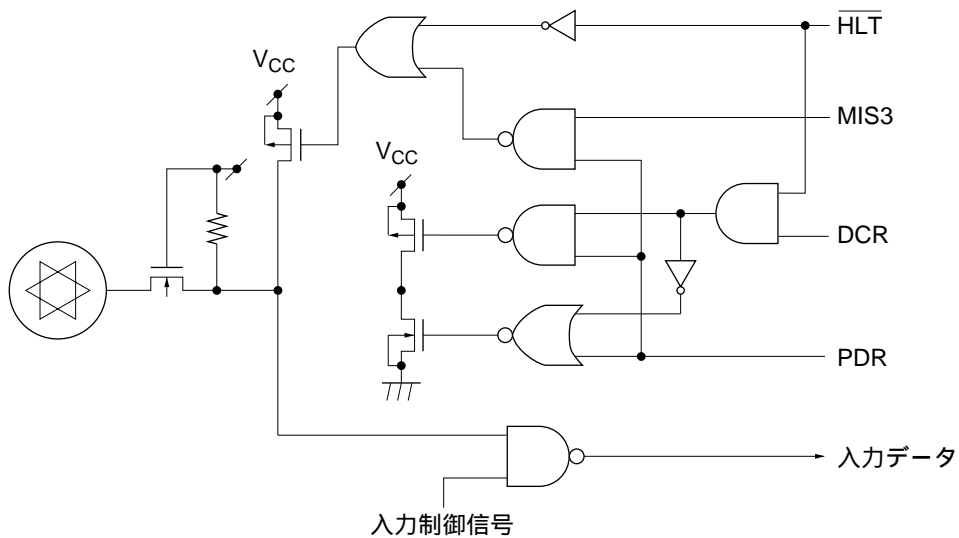
AMR1またはAMR2の当該ビット		1 ( ア ナ ロ グ 入 力 選 択 )							
MIS3ビット		0				1			
DCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOSバッファ	PMOS	—		—	—	—		—	—
	NMOS	—		—	—	—		—	—
プルアップMOS		—				—	ON	—	ON

【注】 — : OFF

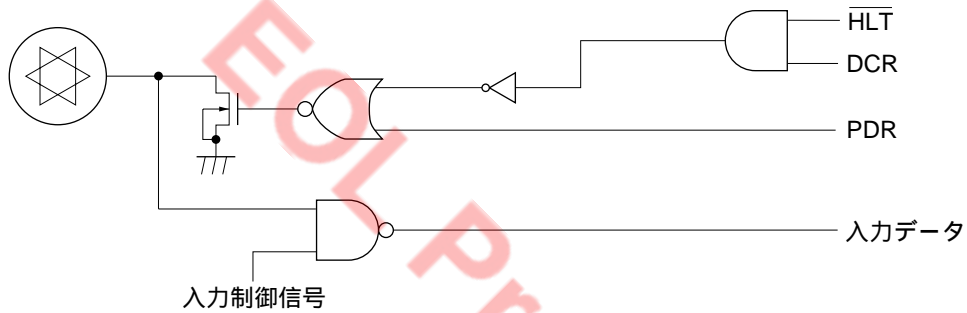
(4) HD404369シリーズのエバリュエーションチップセットでは、図12.4に示すように中耐圧NMOSオープンドレイン端子 ( R1、 R2ポート ) の回路構成が、ZTAT<sup>®</sup>マイコンおよびマスクROM内蔵マイコンと異なります。

ZTAT<sup>®</sup>マイコンおよびマスクROMマイコンでは、表12.10の組み合わせで出力をハイインピーダンスにすることができますが、エバリュエーションチップセットでは出力をハイインピーダンスにできませんので注意してください。

図12.4に中耐圧NMOSオープンドレイン端子の回路構成を示します。



(a) エバチップセット回路構成



(b) ZTAT<sup>®</sup>マイコンおよびマスクROMマイコン内蔵回路構成

図12.4 中耐圧NMOSオープンドレイン端子の回路構成

表12.10 ZTAT<sup>®</sup>マイコンおよびマスクROMマイコンの中耐圧端子ハイインピーダンス制御方法

DCR	PDR	説明
0	*	出力ハイインピーダンス (初期値)
1	0	NMOSバッファオン。Lowレベル出力。
	1	出力ハイインピーダンス

\* : don't care

---

# 13. 発振回路

(HD404344R / HD404394 / HD404318 /  
HD404358 / HD404358Rシリーズ)

---

EOL Product

---

## 第13章 目次

---

13.1	概要 .....	339
13.1.1	特長 .....	339
13.1.2	ブロック図 .....	340
13.1.3	端子構成 .....	341
13.2	発振子の接続および外部クロック入力方法 .....	342
13.3	使用上の注意 .....	343

EOL Product

## 13. 発振回路 HD404344R / HD404394 / HD404318 / HD404358 / HD404358Rシリーズ

### 13.1 概要

#### 13.1.1 特長

HD404344R / HD404394 / HD404318 / HD404358 / HD404358Rシリーズは、システムクロック発振器を内蔵しています。発振器には次の特長があります。

システムクロック発振器には、セラミック発振子、水晶発振子または抵抗を接続するか、外部クロックを入力します。発振周波数を内部で4分周したクロック ( $f_{cyc} = f_{OSC} / 4$ ) がシステムクロックとなります

$$(CPU = PER = f_{cyc})$$

接続可能な発振子、または入力可能な外部クロックの周波数は以下のとおりです。

#### HD404344Rシリーズ

0.4 ~ 4.5MHz\*1の範囲の発振子、または外部クロックを使用してください。また、CR発振\*2の場合、抵抗を接続してください。

#### HD404394 / HD404318シリーズ

0.4 ~ 4.5MHzの範囲の発振子、または外部クロックを使用してください。

#### HD404358シリーズ

0.4 ~ 5.0MHz\*3または0.4 ~ 8.5MHz\*4の範囲の発振子、または外部クロックを使用してください。

#### HD404358Rシリーズ

0.4 ~ 5.0MHz\*5または0.4 ~ 8.5MHz\*6の範囲の発振子、または外部クロックを使用してください。また、CR発振\*7の場合、抵抗を接続してください。

【注】 \*1 HD404341R, HD404342R, HD404344R, HD4074344

\*2 HD40C4341R, HD40C4342R, HD40C4344R

\*3 HD404354, HD404356, HD404358

\*4 HD40A4354, HD40A4356, HD40A4358, HD407A4359

\*5 HD404354R, HD404356R, HD404358R

\*6 HD40A4354R, HD40A4356R, HD40A4358R, HD407A4359R

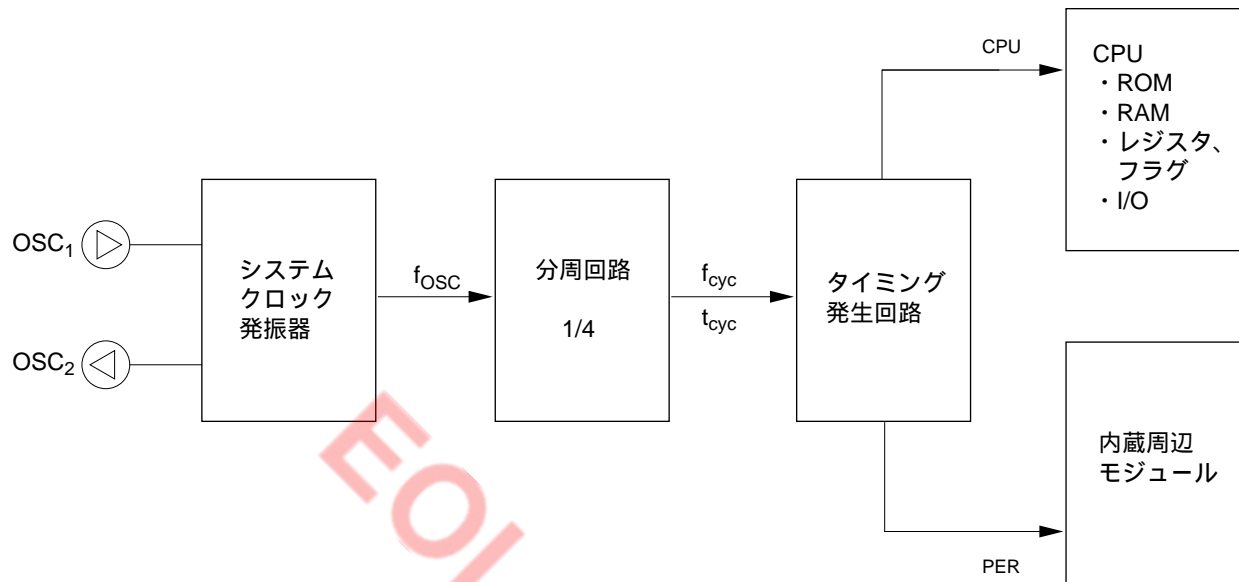
\*7 HD40C4354R, HD40C4356R, HD40C4358R, HD407C4359R

内蔵周辺モジュール動作クロック ( $PER$ ) は、11ビットのプリスケラS (PSS) に入力され、分周されたクロックを内蔵周辺モジュールのカウンタ動作クロックに使用します。分周比は、各内蔵周辺モジュールのモードレジスタにより、各々独立して設定できます。

## 13. 発振回路 HD404344R / HD404394 / HD404318 / HD404358 / HD404358Rシリーズ

### 13.1.2 ブロック図

図13.1に発振回路のブロック図（HD404344R / HD404394 / HD404318 / HD404358 / HD404358Rシリーズ）を示します。



《記号説明》

記号	説明
$f_{OSC}$	OSC <sub>1</sub> 、OSC <sub>2</sub> 発振器に接続されたセラミック発振子、水晶発振子またはCR発振の周波数
$f_{cyc}$	$f_{OSC} / 4$
$t_{cyc}$	周波数 $f_{cyc}$ のクロックの周期（= アクティブモード時の1インストラクションサイクル= プリスケーラS (PSS) の1カウントの周期）
CPU	システムクロック（英数モードの動作クロック）
PER	システムクロック（内蔵周辺モジュールおよび割込み用クロック）

図13.1 発振回路のブロック図（HD404344R / HD404394 / HD404318 / HD404358 / HD404358Rシリーズ）

## 13. 発振回路 HD404344R / HD404394 / HD404318 / HD404358 / HD404358Rシリーズ

### 13.1.3 端子構成

発振回路の端子構成を表13.1に示します。

表13.1 端子構成

名 称	記 号	入出力	機 能
システムクロック発振子接続端子 1	OSC <sub>1</sub>	入力	システムクロック発振子を接続* (OSC <sub>1</sub> は、外部クロック入力可能)
システムクロック発振子接続端子 2	OSC <sub>2</sub>	出力	

【注】 \* HD404344Rシリーズ

0.4 ~ 4.5 MHzのセラミック発振子、または抵抗を接続します。

HD404394 / HD404318シリーズ

0.4 ~ 4.5 MHzのセラミック発振子、または水晶発振子を接続します。

HD404358シリーズ

0.4 ~ 5.0 MHz、および0.4 ~ 8.5 MHzのセラミック発振子、または水晶発振子を接続します。

HD404358Rシリーズ

0.4 ~ 5.0 MHz、および0.4 ~ 8.5 MHzのセラミック発振子、水晶発振子、または抵抗を接続します。

### 13.2 発振子の接続および外部クロック入力方法

システムクロック発振器は、セラミック発振子、水晶発振子、または抵抗を接続するか、外部クロックを入力します。表13.2に発振回路の構成例を示します。

表13.2 発振回路の構成例

	回路構成	回路定数
外部クロック		
セラミック発振 (OSC <sub>1</sub> , OSC <sub>2</sub> )		セラミック発振子：CSA 4.00MG (村田製作所) $R_f = 1M \pm 20\%$ $C_1 = C_2 = 30pF \pm 20\%$
水晶発振*1 (OSC <sub>1</sub> , OSC <sub>2</sub> )		$R_f = 1M \pm 20\%$ $C_1 = C_2 = 10 \sim 22pF \pm 20\%$ 水晶発振子：左図等価回路 $C_0 = 7pF \text{ max}$ $R_s = 100 \text{ max}$ $f = 1.0 \sim 4.5MHz$
CR発振*2 (OSC <sub>1</sub> , OSC <sub>2</sub> )		$R_f = 20k \pm 1\%$

【注】 \*1 HD404318 / HD404358 / HD404358Rシリーズに適用します。

\*2 HD404344R / HD404358Rシリーズに適用します。

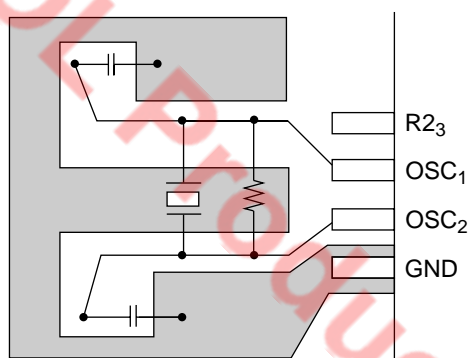


### 13.3 使用上の注意

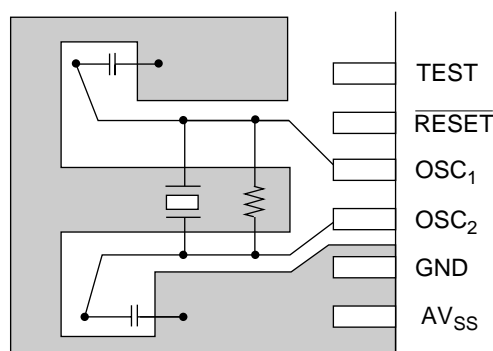
発振子を接続して発振させる場合、次の点に注意してください。

- (1) 水晶発振子またはセラミック発振子を接続する場合、回路定数は発振子、実装回路の浮遊容量などにより異なるため、水晶発振子メーカー、セラミック発振子メーカーと十分相談した上で決定してください。
- (2) OSC<sub>1</sub>、OSC<sub>2</sub>端子と外付け部品（発振子、負荷容量）との配線は、極力短くし、他の配線がこれらの配線と交差しないようにしてください（図13.2参照）。配線が交差すると誘導により正しい発振ができなくなる場合があります。
- (3) 同様にOSC<sub>1</sub>、OSC<sub>2</sub>端子と発振用抵抗R<sub>f</sub>との配線は極力短くし、他の配線がこれらの配線と交差しないようにしてください。

#### HD404344R / HD404394シリーズ



#### HD404318 / HD404358 / HD404358Rシリーズ



 : GND

図13.2 水晶、セラミック発振子の配置例

EOL Product

---

# 14. 発振回路

(HD404339 / HD404369シリーズ)

---

EOL Product

---

## 第14章 目次

---

14.1	概要	347
14.1.1	特長	347
14.1.2	ブロック図	348
14.1.3	端子構成	350
14.1.4	レジスタ、フラグ構成	350
14.2	各レジスタ、フラグの説明	351
14.2.1	システムクロック選択レジスタ1 (SSR1)	351
14.2.2	システムクロック選択レジスタ2 (SSR2)	353
14.2.3	ロースピードオンフラグ (LSON)	354
14.3	発振子の接続および外部クロック入力方法	355
14.4	使用上の注意	357

EOL Product

## 14.1 概要

### 14.1.1 特長

HD404339 / HD404369シリーズは、システムクロック発振器とサブシステムクロック発振器を内蔵しています。発振器には次の特長があります。

システムクロック発振器には、セラミック発振子または水晶発振子を接続するか、外部クロックを入力します。発振周波数を内部で4、8、16、32分周したクロック ( $f_{cyc} = f_{OSC} / 4$ 、 $f_{OSC} / 8$ 、 $f_{OSC} / 16$ 、または  $f_{OSC} / 32$  : ソフトウェアで選択可能) がシステムクロックとなります ( $f_{CPU} = f_{PER} = f_{cyc}$ )。接続可能な発振子、または入力可能な外部クロックの周波数は以下のとおりです。

#### HD404339シリーズ

0.4 ~ 4.5MHzの範囲の発振子、または外部クロックを使用してください。

#### HD404369シリーズ

0.4 ~ 5.0MHz\*1および0.4 ~ 8.5MHz\*2の範囲の発振子、または外部クロックを使用してください。

【注】 \*1 HD404364, HD404368, HD4043612, HD404369

\*2 HD40A4364, HD40A4368, HD40A43612, HD40A4369, HD407A4369

内蔵周辺モジュール動作クロック ( $f_{PER}$ ) は、11ビットのプリスケアラS (PSS) に入力され、分周されたクロックを内蔵周辺モジュールのカウンタ動作クロックに使用します。分周比は、各内蔵周辺モジュールのモードレジスタにより、各々独立して設定できます。

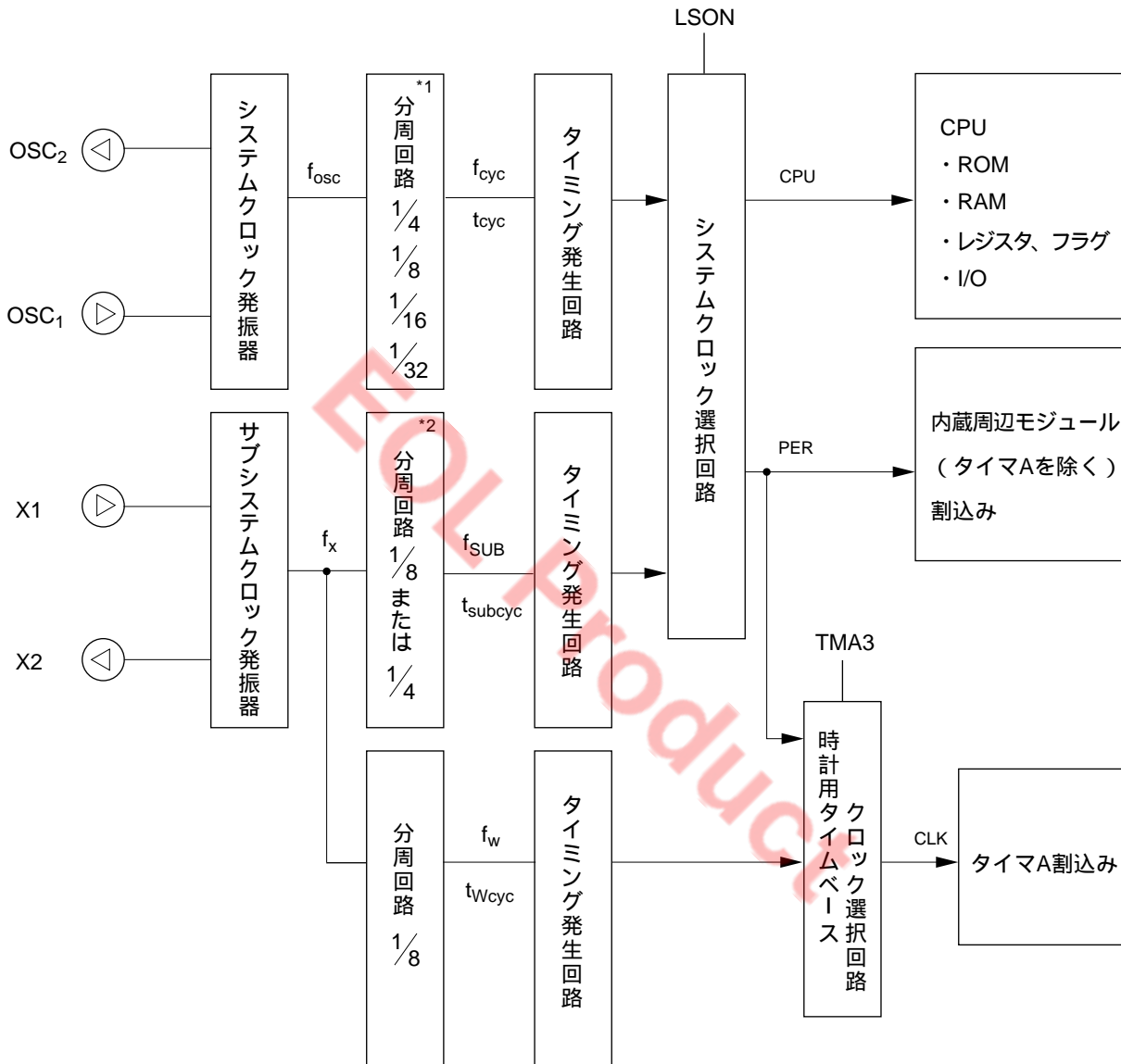
サブシステムクロック発振器には、32.768kHz水晶発振子を接続します。内部の分周回路で4分周または8分周したクロック ( $f_{SUB} = f_X / 4$ または $f_X / 8$ ) がサブアクティブモード時のシステムクロックとなります。分周比は、レジスタ設定で選択可能です。

すべての動作モードにおいて、サブシステムクロックの周波数を8分周したクロックが、5ビットのプリスケアラW (PSW) に入力されています。PSWにより分周されたクロックは、タイマAの時計用タイムベース動作に使用します。

## 14. 発振回路 HD404339 / HD404369シリーズ

### 14.1.2 ブロック図

図14.1に発振回路（HD404339 / HD404369シリーズ）のブロック図を示します。



【注】 記号説明を次頁に示します。

\*1 システムクロック選択レジスタ2 ( SSR2 : \$028 ) のSSR21,SSR20ビットの設定により、分周比の選択が可能です。

\*2 システムクロック選択レジスタ1 ( SSR1 : \$027 ) のSSR12ビットの設定により、分周比の選択が可能です。

図14.1 発振器のブロック図 ( HD404339 / HD404369シリーズ )

## 《記号説明》

記号	説明
$f_{OSC}$	OSC <sub>1</sub> 、OSC <sub>2</sub> 発振器に接続されたセラミック発振子または水晶発振子の周波数
$f_X$	X1、X2発振器に接続された水晶発振子の周波数 (32.768kHz)
$f_{cyc}$	$f_{OSC} / 4$ 、 $f_{OSC} / 8$ 、 $f_{OSC} / 16$ 、または $f_{OSC} / 32$
$t_{cyc}$	周波数 $f_{cyc}$ のクロックの周期 (= アクティブモード時の1インストラクションサイクル= プリスケールS (PSS) の1カウントの周期)
$f_w$	$f_X / 8$
$t_{Wcyc}$	周波数 $f_w$ のクロックの周期 (= プリスケールW (PSW) の1カウントの周期)
$f_{SUB}$	$f_X / 4$ 、または $f_X / 8$
$t_{subcyc}$	周波数 $f_{SUB}$ のクロックの周期 (= サブアクティブモード時の1インストラクションサイクル)
CPU	システムクロック (CPUの動作クロック)
CLK	タイマAおよび割込みフレーム生成用クロック (TMA3ビット=0のときPSSに、またTMA3ビット=1のときPSWから供給されます)
PER	システムクロック (内蔵周辺モジュールおよび割込み用クロック)

## 14. 発振回路 HD404339 / HD404369シリーズ

### 14.1.3 端子構成

発振回路の端子構成を表14.1に示します。

表14.1 端子構成

名 称	記 号	入出力	機 能
システムクロック発振子接続端子 1	OSC <sub>1</sub>	入力	システムクロック発振子を接続* (OSC <sub>1</sub> は、外部クロック入力可能)
システムクロック発振子接続端子 2	OSC <sub>2</sub>	出力	
サブシステムクロック発振子接続端子 1	X1	入力	32.768kHzの水晶発振子を接続
サブシステムクロック発振子接続端子 2	X2	出力	

【注】\* HD404339シリーズ

0.4 ~ 4.5MHzのセラミック発振子、または水晶発振子を接続します。

HD404369シリーズ

0.4 ~ 5.0MHzおよび0.4 ~ 8.5MHzのセラミック発振子、または水晶発振子を接続します。

### 14.1.4 レジスタ、フラグ構成

発振回路を制御するレジスタ、フラグの構成を表14.2に示します。

表14.2 レジスタ、フラグ構成

アドレス	名 称	略 称	R / W	初期値
\$ 027	システムクロック選択レジスタ1	SSR1	W	\$0
\$ 028	システムクロック選択レジスタ2	SSR2	W	\$0
\$ 020,0	ロースピードオンフラグ*	LSON	R / W	0

【注】\* LSONは、レジスタフラグエリアに割り付けられている制御ビットで、RAMビット操作命令のみ使用可能です。

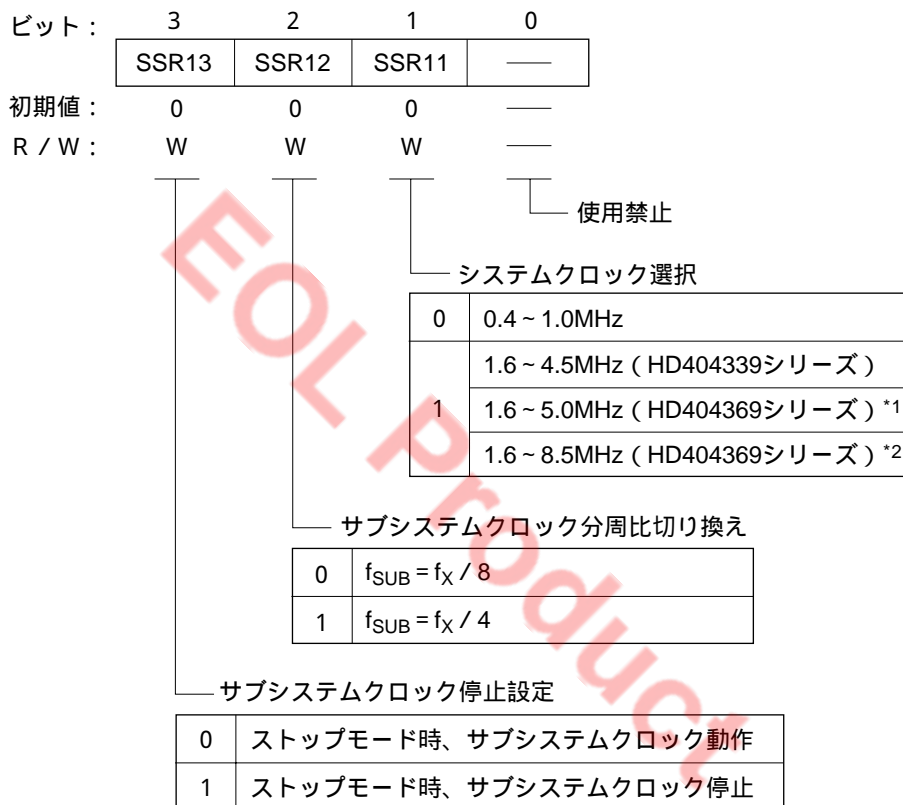


## 14.2 各レジスタ、フラグの説明

### 14.2.1 システムクロック選択レジスタ1 (SSR1 : \$027)

SSR1は、4ビットの書き込み専用レジスタで、使用するシステムクロック発振子周波数 ( $f_{OSC}$ ) に合わせた設定、サブシステムクロック周波数 ( $f_{SUB}$ ) の分周比の設定、およびストップモード時のサブシステムクロック発振の設定を行います。

リセット、およびストップモード時に、SSR1のSSR12、SSR11ビットは0にイニシャライズされます。



【注】 \*1 HD404364, HD404368, HD4043612, HD404369

\*2 HD40A4364, HD40A4368, HD40A43612, HD40A4369, HD407A4369

#### ビット3 : サブシステムクロック停止設定 (SSR13)

ストップモード時に、サブシステムクロック (32.768kHz 発振器) を動作させるか停止させるかを選択します。

本ビットはリセットによってのみ、0にイニシャライズされます。

SSR13	説 明
0	ストップモード時、サブシステムクロックは動作 <span style="float: right;">(初期値)</span>
1	ストップモード時、サブシステムクロックは停止

## 14. 発振回路 HD404339 / HD404369シリーズ

### ビット2：サブシステムクロック分周比切り換え（SSR12）

サブアクティブモード時にCPUおよび内蔵周辺モジュールに供給されるサブシステムクロックの分周比を設定します。ただし、PSWに供給されるサブシステムクロックの分周比は $f_W = f_X / 8$ に固定されています。したがって、タイマAの時計用タイムベースモード時のクロックは、本ビットの設定に影響されません。

本ビットの設定は必ずアクティブモードで行ってください。サブアクティブモードで変更を行うと誤動作する場合があります。また、リセットおよびストップモード時に、本ビットは0にイニシャライズされます。

SSR12	説 明
0	$f_{SUB}$ は、サブシステムクロック発振子周波数 $f_X$ の1/8 ( $f_{SUB} = f_X / 8$ ) CPUの1インストラクションサイクルは、244.14 $\mu$ s ( $f_X = 32.768$ kHz時) (初期値)
1	$f_{SUB}$ は、サブシステムクロック発振子周波数 $f_X$ の1/4 ( $f_{SUB} = f_X / 4$ ) CPUの1インストラクションサイクルは、122.07 $\mu$ s ( $f_X = 32.768$ kHz時)

### ビット1：システムクロック選択（SSR11）

システムクロックの周波数に合わせてSSR11ビットを設定してください。

また、リセットおよびストップモード時に、本ビットは0にイニシャライズされます。

SSR11	説 明
0	システムクロック周波数は0.4 ~ 1.0MHz (初期値)
1	システムクロック周波数は1.6 ~ 4.5MHz (HD404339シリーズ)
	システムクロック周波数は1.6 ~ 5.0MHz (HD404369シリーズ)*1
	システムクロック周波数は1.6 ~ 8.5MHz (HD404369シリーズ)*2

【注】 レジスタ設定値がシステム発振子の周波数と合っていない場合は、32kHz発振を使用するサブシステムが正常に動作しません。サブシステムクロックを使用するときは、システムクロックの周波数を0.4 ~ 1.0MHzまたは1.6 ~ 4.5MHz (1.6 ~ 5.0MHz、1.6 ~ 8.5MHz) のどちらかの範囲内で使用してください。

\*1 HD404364, HD404368, HD4043612, HD404369

\*2 HD40A4364, HD40A4368, HD40A43612, HD40A4369, HD407A4369

14.2.2 システムクロック選択レジスタ2 (SSR2 : \$028)

SSR2は、2ビットの書き込み専用レジスタで、システムクロック分周比の選択を行います。  
リセット、およびストップモード時に、SSR2は\$0にイニシャライズされます。

ビット:	3	2	1	0
	—	—	SSR21	SSR20
初期値:	—	—	0	0
R / W:	—	—	W	W

		使用禁止
		システムクロック分周比選択
0	0	4分周 ( $f_{cyc} = f_{OSC} / 4$ )
	1	8分周 ( $f_{cyc} = f_{OSC} / 8$ )
1	0	16分周 ( $f_{cyc} = f_{OSC} / 16$ )
	1	32分周 ( $f_{cyc} = f_{OSC} / 32$ )

ビット1、0 : システムクロック分周比選択 (SSR21、SSR20)

システムクロックの分周比をシステム発振器の周波数の4、8、16、または32分周 ( $f_{cyc} = f_{OSC} / 4$ 、 $f_{OSC} / 8$ 、 $f_{OSC} / 16$ 、または $f_{OSC} / 32$ ) に設定します。本ビットの値は、設定後、ウォッチモードに入って初めて有効になります。すなわち、分周比の変更を行う場合は、いったんシステムクロックを停止させる必要があります。

SSR21	SSR20	説明
0	0	システムクロックの分周比は4分周 ( $f_{cyc} = f_{OSC} / 4$ ) (初期値)
	1	システムクロックの分周比は8分周 ( $f_{cyc} = f_{OSC} / 8$ )
1	0	システムクロックの分周比は16分周 ( $f_{cyc} = f_{OSC} / 16$ )
	1	システムクロックの分周比は32分周 ( $f_{cyc} = f_{OSC} / 32$ )

システムクロックの分周比を変更する方法は、次の2通りがあります。

- (1) アクティブモードで、SSR21、SSR20ビットに書き込んで分周比を設定します。この時点では、分周比は直前の設定値が有効となっています。この後、ウォッチモードに遷移し、再びアクティブモードに復帰した時点で、システムクロックの分周比は書き込まれた設定に切り換わります。
- (2) サブアクティブモードで、SSR21、SSR20ビットに書き込んで分周比を設定します。この後、ウォッチモードを経由してアクティブモードへ遷移した時点で、システムクロックの分周比は設定値に切り換わります (ダイレクト遷移の場合も同様に切り換わります)。

## 14. 発振回路 HD404339 / HD404369シリーズ

---

### 14.2.3 ロースピードオンフラグ (LSON : \$ 020,0)

LSONは、アクティブモード、ウォッチモード、サブアクティブモード間の動作モード遷移に伴い、システムの動作クロックをシステムクロックとするかサブシステムクロックとするかを選択します。

詳細は、「6.2.5 ロースピードオンフラグ (LSON)」を参照してください。

EOL Product

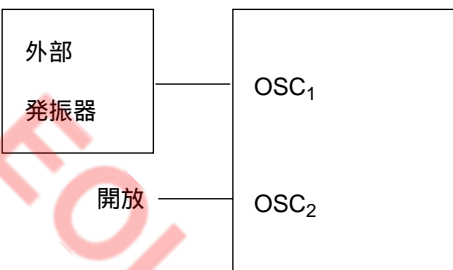
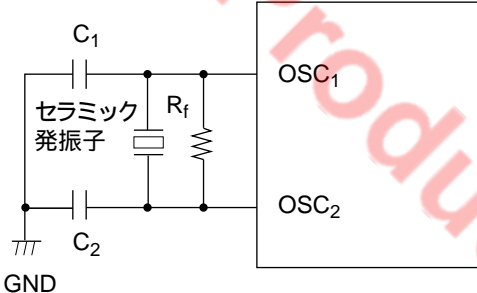
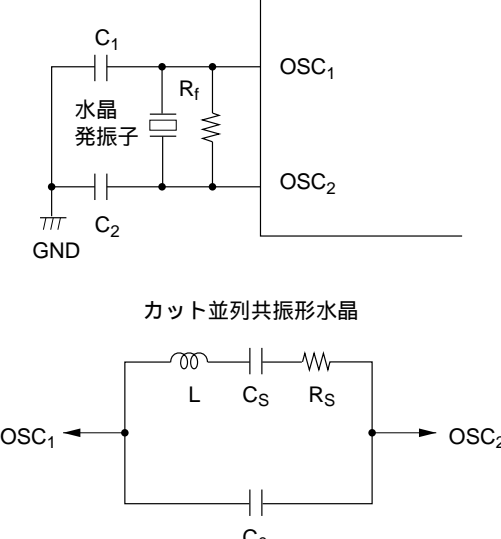
### 14.3 発振子の接続および外部クロック入力方法

システムクロック発振器は、0.4 ~ 4.5 (0.4 ~ 8.5) MHzのセラミック発振子または水晶発振子を接続するか、同様の周波数の外部クロックを入力します。

サブシステムクロック発振器は、32.768kHzの水晶発振子を接続します。

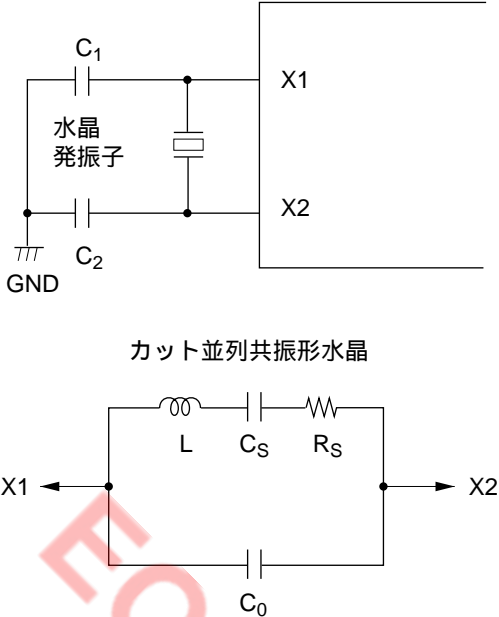
表14.3に発振回路の構成例を示します。

表14.3 発振回路の構成例 (1 / 2)

	回路構成	回路定数
外部クロック入力		<p>_____</p>
セラミック発振子接続 (OSC <sub>1</sub> , OSC <sub>2</sub> )		<p>セラミック発振子 : CSA 4.00MG (村田製作所) R<sub>f</sub> = 1M ± 20% C<sub>1</sub> = C<sub>2</sub> = 30pF ± 20%</p>
水晶発振子接続 (OSC <sub>1</sub> , OSC <sub>2</sub> )	 <p>カット並列共振形水晶</p>	<p>R<sub>f</sub> = 1M ± 20% C<sub>1</sub> = C<sub>2</sub> = 10 ~ 22pF ± 20%</p> <p>水晶発振子 : 左図等価回路 C<sub>0</sub> = 7pF max R<sub>S</sub> = 100 max f = 1.0 ~ 4.5MHz</p>

14. 発振回路 HD404339 / HD404369シリーズ

表14.3 発振回路の構成例 ( 2 / 2 )

	回路構成	回路定数
<p>水晶発振子接続 ( X1, X2 )</p>	 <p>The top diagram shows the connection of a crystal oscillator. A crystal oscillator is connected between terminals X1 and X2. Terminal X1 is connected to a capacitor C1, which is connected to ground. Terminal X2 is connected to a capacitor C2, which is also connected to ground. A label '水晶発振子' (Crystal Oscillator) is placed between the two terminals. The bottom diagram is the equivalent circuit of a cut-series resonant crystal. It consists of a series combination of an inductor L, a capacitor Cs, and a resistor Rs, connected between terminals X1 and X2. A shunt capacitor C0 is connected from the junction between L and Cs to ground.</p> <p>カット並列共振形水晶</p>	<p>水晶発振子 : 32.768kHz : MX38T ( 日本電波工業 )</p> <p><math>C_1 = C_2 = 20\text{pF} \pm 20\%</math>  <math>R_S = 14\text{k}</math>  <math>C_0 = 1.5\text{pF}</math></p>

## 14.4 使用上の注意

発振子を接続して発振させる場合、次の点に注意してください。

- (1) 水晶発振子またはセラミック発振子を接続する場合、回路定数は発振子、実装回路の浮遊容量などにより異なるため、水晶発振子メーカ、セラミック発振子メーカと十分相談した上で決定してください。
- (2) OSC<sub>1</sub>、OSC<sub>2</sub>端子（X1、X2端子）と外付け部品（発振子、負荷容量）との配線は、極力短くし、他の配線がこれらの配線と交差しないようにしてください（図14.2参照）。配線が交差すると誘導により正しい発振ができなくなる場合があります。
- (3) サブシステムクロック（32.768kHz発振器）を使用しない場合は、X1端子をGNDに固定し、X2端子は開放にしてください。

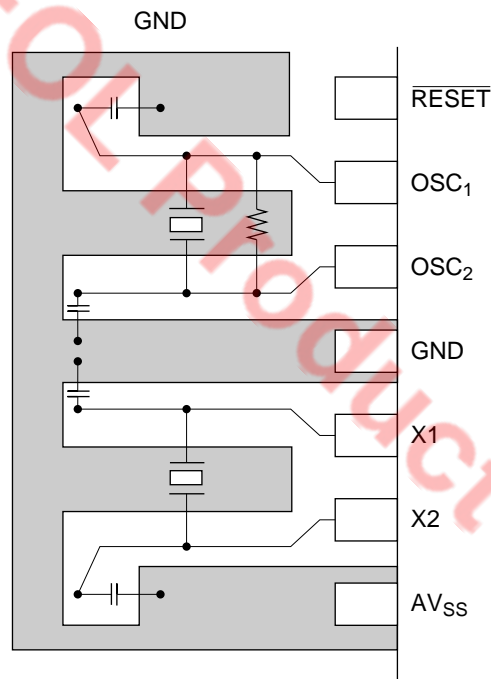


図14.2 水晶、セラミック発振子の配置例

EOL Product



---

# 15. A/Dコンバータ

---

---

## 第15章 目次

---

15.1	概要	361
15.1.1	特長	361
15.1.2	ブロック図	362
15.1.3	端子構成	365
15.1.4	レジスタ、フラグ構成	367
15.2	各レジスタ、フラグの説明	368
15.2.1	A/Dモードレジスタ1 (AMR1)	368
15.2.2	A/Dモードレジスタ2 (AMR2)	370
15.2.3	A/DデータレジスタL、U (ADRL、ADRU)	371
15.2.4	A/Dチャンネルレジスタ (ACR)	372
15.2.5	A/Dスタートフラグ (ADSF)	374
15.2.6	I <sub>AD</sub> オフフラグ (IAOF)	375
15.3	動作説明	376
15.3.1	A/D変換動作	376
15.3.2	低消費電力モード時の動作	377
15.3.3	A/D変換の精度	378
15.3.4	アナログ基準電源に関する注意	379
15.4	割込み	379
15.5	使用上の注意	380
15.6	A/Dコンバータ内蔵マイコン実装上の注意 (HD404318シリーズ、HD404339シリーズのみ)	382

EOL Product

## 15.1 概要

HMCS43 × ×ファミリは、抵抗ラダー方式による逐次比較方式A/Dコンバータを内蔵しています。

### 15.1.1 特長

A/Dコンバータには、次の特長があります。

8ビットの分解能（基準電圧の1 / 256）

入力チャンネル

シリーズ	チャンネル数
HD404344R	4
HD404394	3
HD404318	8
HD404358	
HD404358R	12
HD404339	
HD404369	

アナログ電源

シリーズ	アナログ基準電源
HD404344R	$V_{CC}$ （内部接続）
HD404394	$V_{ref}$
HD404318	$AV_{CC}$
HD404358	
HD404358R	
HD404339	
HD404369	

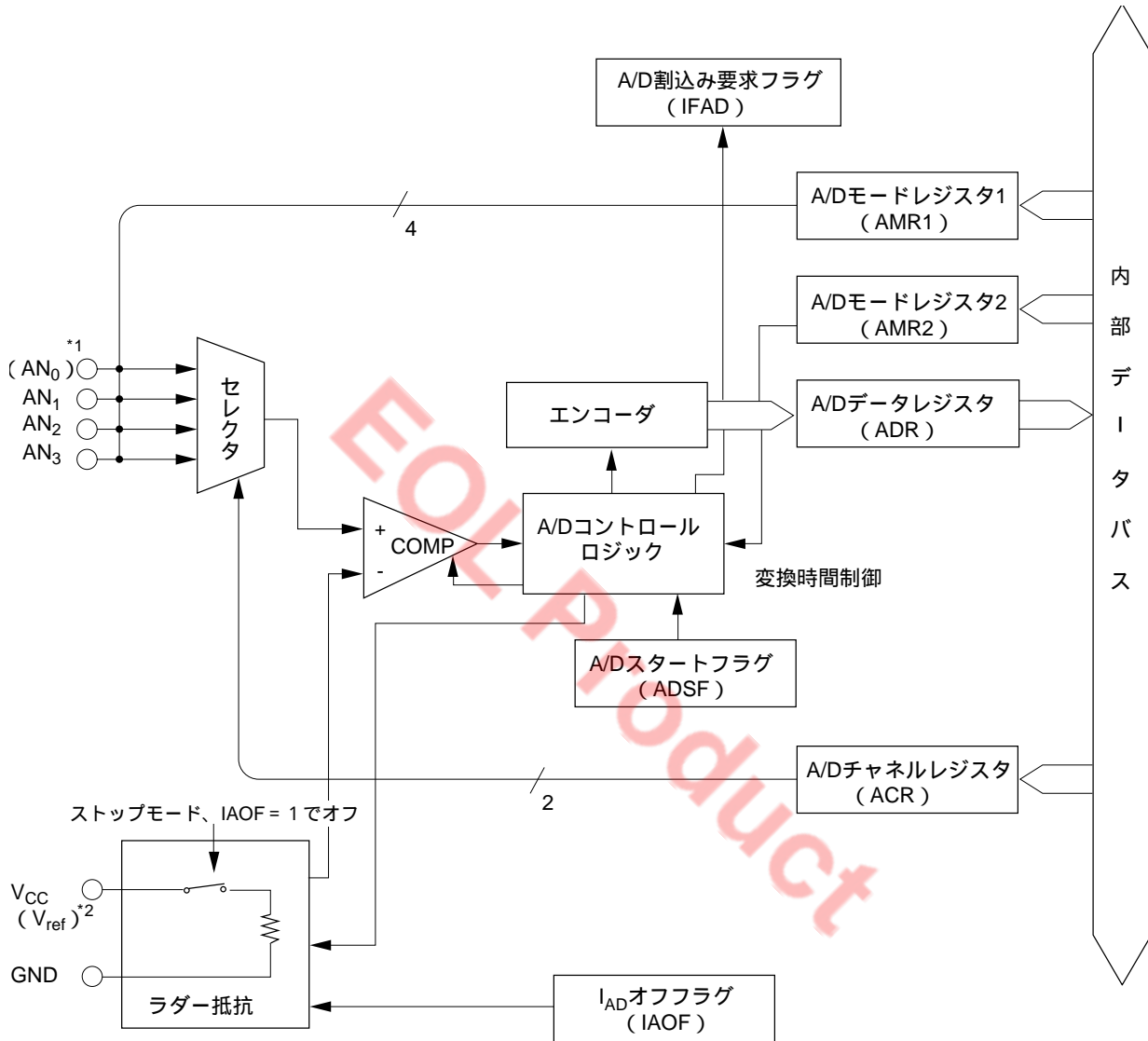
変換時間： $34t_{cyc} / 67t_{cyc}$ （ $t_{cyc}$ ：システムクロック周期）

A/D変換終了時に割込みを発生

## 15. A/Dコンバータ HD404344R / HD404394シリーズ

### 15.1.2 ブロック図

HD404344R / HD404394シリーズ、HD404318 / HD404358 / HD404358Rシリーズ、およびHD404339 / HD404369シリーズのA/Dコンバータのブロック図を、それぞれ図15.1(a)、(b)、および(c)に示します。



【注】\*1 HD404344Rシリーズに適用します。HD404394シリーズでは使用禁止です。

\*2 HD404344Rシリーズでは $V_{CC}$ 、HD404394シリーズでは $V_{ref}$ と接続します。

図15.1(a) A/Dコンバータのブロック図 (HD404344R / HD404394シリーズ)

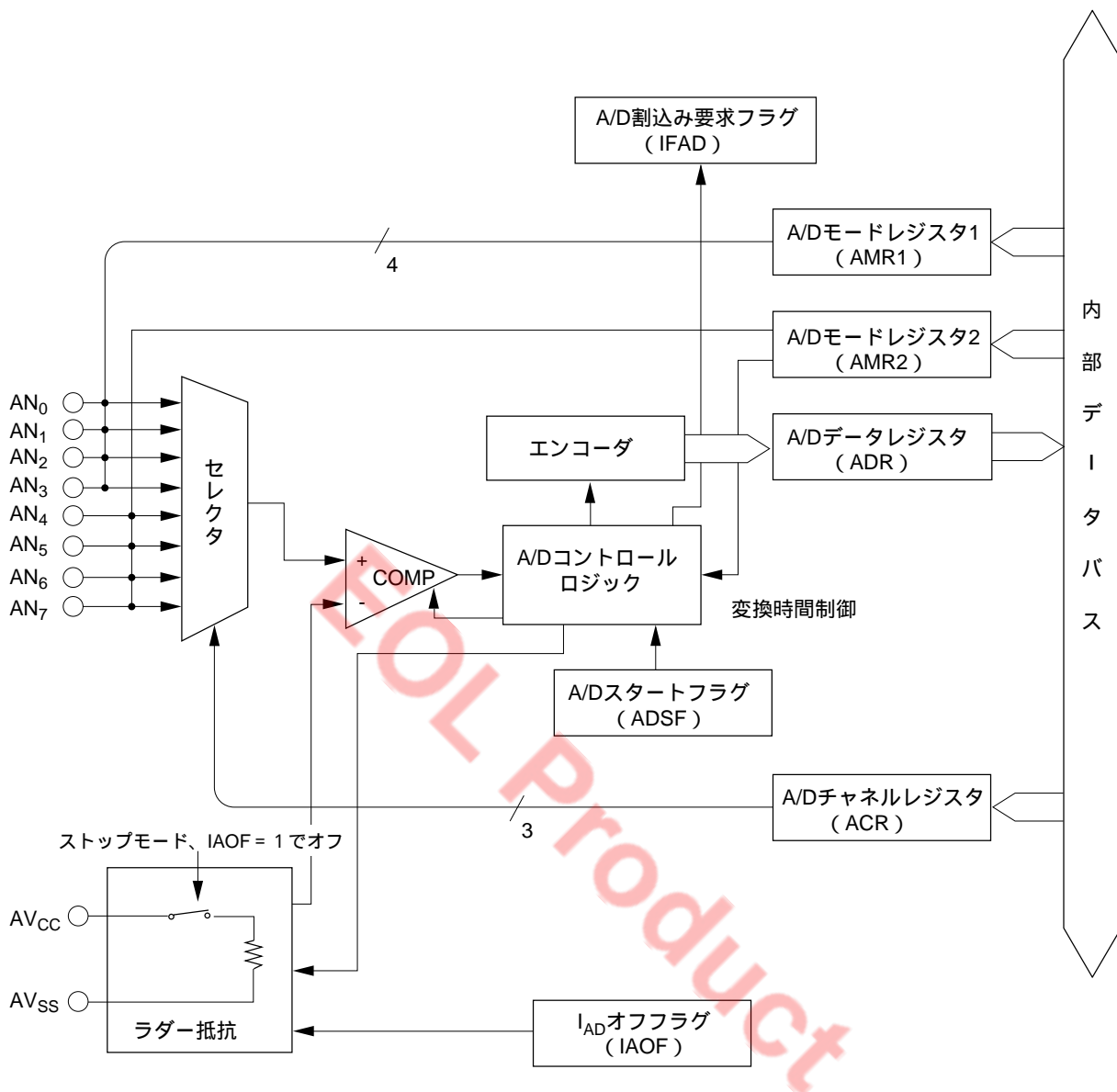


図15.1(b) A/Dコンバータのブロック図 (HD404318 / HD404358 / HD404358Rシリーズ)

15. A/Dコンバータ HD404339 / HD404369シリーズ

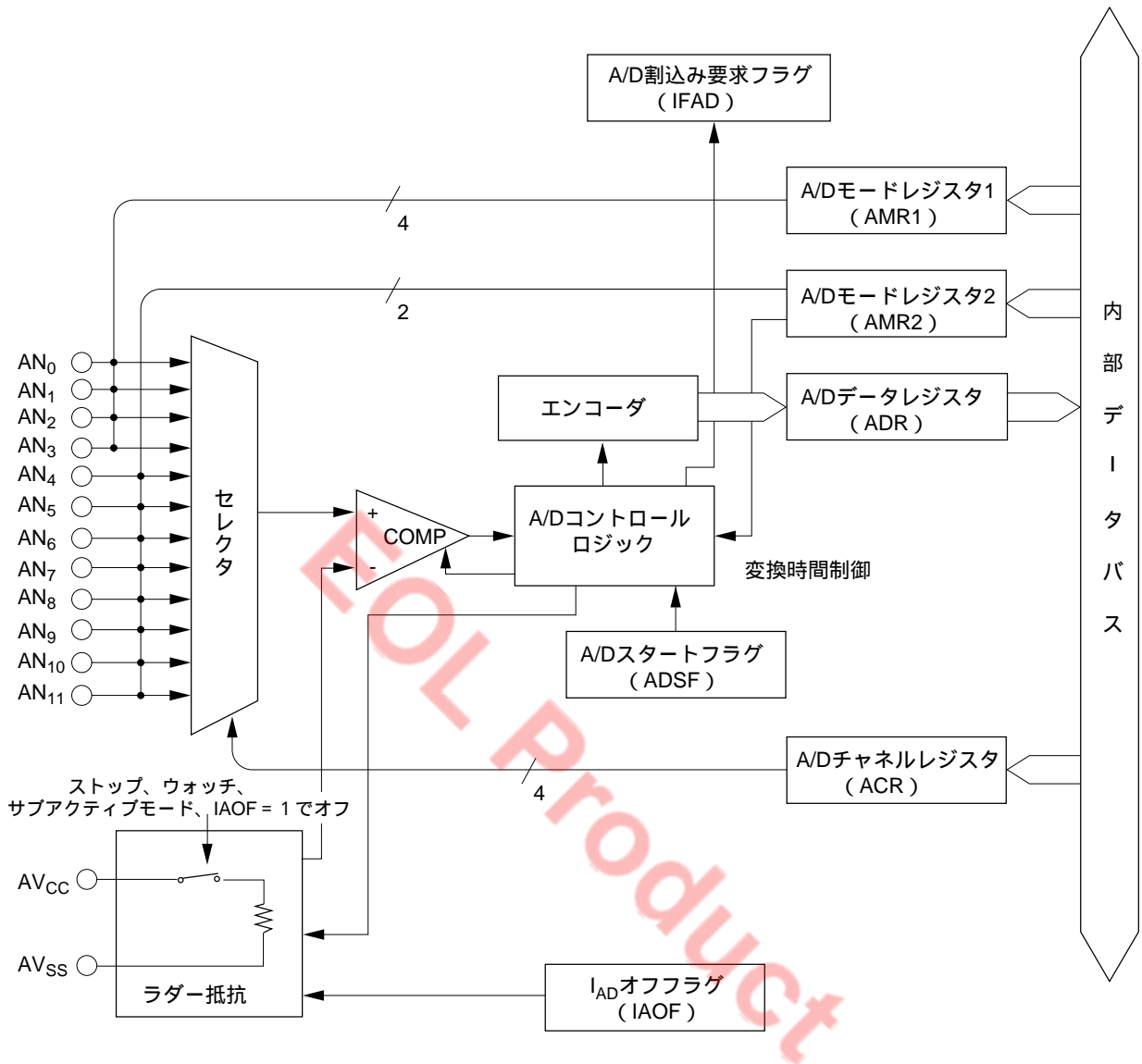


図15.1(c) A/Dコンバータのブロック図 (HD404339 / HD404369シリーズ)

## 15. A/Dコンバータ HD404344R / HD404394 / HD404318 / HD404358 / HD404358Rシリーズ

### 15.1.3 端子構成

A/Dコンバータの端子構成を表15.1に示します。

表15.1 端子構成 (1/2)

#### HD404344Rシリーズ

名 称	記 号	入出力	機 能
アナログ入力チャンネル0	R3 <sub>0</sub> /AN <sub>0</sub>	入出力 / 入力	アナログ入力チャンネル0、R3 <sub>0</sub> と兼用
アナログ入力チャンネル1	R3 <sub>1</sub> /AN <sub>1</sub>	入出力 / 入力	アナログ入力チャンネル1、R3 <sub>1</sub> と兼用
アナログ入力チャンネル2	R3 <sub>2</sub> /AN <sub>2</sub>	入出力 / 入力	アナログ入力チャンネル2、R3 <sub>2</sub> と兼用
アナログ入力チャンネル3	R3 <sub>3</sub> /AN <sub>3</sub>	入出力 / 入力	アナログ入力チャンネル3、R3 <sub>3</sub> と兼用

#### HD404394シリーズ

名 称	記 号	入出力	機 能
アナログ基準電源	V <sub>ref</sub>	——	アナログ基準電源
アナログ入力チャンネル1	R3 <sub>1</sub> /AN <sub>1</sub>	入出力 / 入力	アナログ入力チャンネル1、R3 <sub>1</sub> と兼用
アナログ入力チャンネル2	R3 <sub>2</sub> /AN <sub>2</sub>	入出力 / 入力	アナログ入力チャンネル2、R3 <sub>2</sub> と兼用
アナログ入力チャンネル3	R3 <sub>3</sub> /AN <sub>3</sub>	入出力 / 入力	アナログ入力チャンネル3、R3 <sub>3</sub> と兼用

#### HD404318 / HD404358 / HD404358Rシリーズ

名 称	記 号	入出力	機 能
アナログ電源	AV <sub>CC</sub>	——	アナログ部の電源
アナロググランド	AV <sub>SS</sub>	——	アナログ部のグランド
アナログ入力チャンネル0	R3 <sub>0</sub> /AN <sub>0</sub>	入出力 / 入力	アナログ入力チャンネル0、R3 <sub>0</sub> と兼用
アナログ入力チャンネル1	R3 <sub>1</sub> /AN <sub>1</sub>	入出力 / 入力	アナログ入力チャンネル1、R3 <sub>1</sub> と兼用
アナログ入力チャンネル2	R3 <sub>2</sub> /AN <sub>2</sub>	入出力 / 入力	アナログ入力チャンネル2、R3 <sub>2</sub> と兼用
アナログ入力チャンネル3	R3 <sub>3</sub> /AN <sub>3</sub>	入出力 / 入力	アナログ入力チャンネル3、R3 <sub>3</sub> と兼用
アナログ入力チャンネル4	R4 <sub>0</sub> /AN <sub>4</sub>	入出力 / 入力	アナログ入力チャンネル4、R4 <sub>0</sub> と兼用
アナログ入力チャンネル5	R4 <sub>1</sub> /AN <sub>5</sub>	入出力 / 入力	アナログ入力チャンネル5、R4 <sub>1</sub> と兼用
アナログ入力チャンネル6	R4 <sub>2</sub> /AN <sub>6</sub>	入出力 / 入力	アナログ入力チャンネル6、R4 <sub>2</sub> と兼用
アナログ入力チャンネル7	R4 <sub>3</sub> /AN <sub>7</sub>	入出力 / 入力	アナログ入力チャンネル7、R4 <sub>3</sub> と兼用

## 15. A/Dコンバータ HD404339 / HD404369シリーズ

表15.1 端子構成 (2 / 2)

HD404339 / HD404369シリーズ

名 称	記 号	入出力	機 能
アナログ電源	AV <sub>CC</sub>	——	アナログ部の電源
アナロググランド	AV <sub>SS</sub>	——	アナログ部のグランド
アナログ入力チャンネル0	R3 <sub>0</sub> /AN <sub>0</sub>	入出力 / 入力	アナログ入力チャンネル0、R3 <sub>0</sub> と兼用
アナログ入力チャンネル1	R3 <sub>1</sub> /AN <sub>1</sub>	入出力 / 入力	アナログ入力チャンネル1、R3 <sub>1</sub> と兼用
アナログ入力チャンネル2	R3 <sub>2</sub> /AN <sub>2</sub>	入出力 / 入力	アナログ入力チャンネル2、R3 <sub>2</sub> と兼用
アナログ入力チャンネル3	R3 <sub>3</sub> /AN <sub>3</sub>	入出力 / 入力	アナログ入力チャンネル3、R3 <sub>3</sub> と兼用
アナログ入力チャンネル4	R4 <sub>0</sub> /AN <sub>4</sub>	入出力 / 入力	アナログ入力チャンネル4、R4 <sub>0</sub> と兼用
アナログ入力チャンネル5	R4 <sub>1</sub> /AN <sub>5</sub>	入出力 / 入力	アナログ入力チャンネル5、R4 <sub>1</sub> と兼用
アナログ入力チャンネル6	R4 <sub>2</sub> /AN <sub>6</sub>	入出力 / 入力	アナログ入力チャンネル6、R4 <sub>2</sub> と兼用
アナログ入力チャンネル7	R4 <sub>3</sub> /AN <sub>7</sub>	入出力 / 入力	アナログ入力チャンネル7、R4 <sub>3</sub> と兼用
アナログ入力チャンネル8	R5 <sub>0</sub> /AN <sub>8</sub>	入出力 / 入力	アナログ入力チャンネル8、R5 <sub>0</sub> と兼用
アナログ入力チャンネル9	R5 <sub>1</sub> /AN <sub>9</sub>	入出力 / 入力	アナログ入力チャンネル9、R5 <sub>1</sub> と兼用
アナログ入力チャンネル10	R5 <sub>2</sub> /AN <sub>10</sub>	入出力 / 入力	アナログ入力チャンネル10、R5 <sub>2</sub> と兼用
アナログ入力チャンネル11	R5 <sub>3</sub> /AN <sub>11</sub>	入出力 / 入力	アナログ入力チャンネル11、R5 <sub>3</sub> と兼用



## 15.1.4 レジスタ、フラグ構成

A/Dコンバータのレジスタ、フラグ構成を表15.2に示します。

表15.2 レジスタ、フラグ構成

アドレス	名 称	略 称	R / W	初期値
\$ 019	A/Dモードレジスタ1	AMR1	W	\$0
\$ 01A	A/Dモードレジスタ2	AMR2	W	\$0
\$ 017	A/DデータレジスタL	ADRL	R	\$0
\$ 018	A/DデータレジスタU	ADRU	R	\$8
\$ 016	A/Dチャンネルレジスタ	ACR	W	\$0
\$ 020,2	A/Dスタートフラグ	ADSF	R / W*	0
\$ 021,2	I <sub>AD</sub> オフフラグ	IAOF	R / W*	0

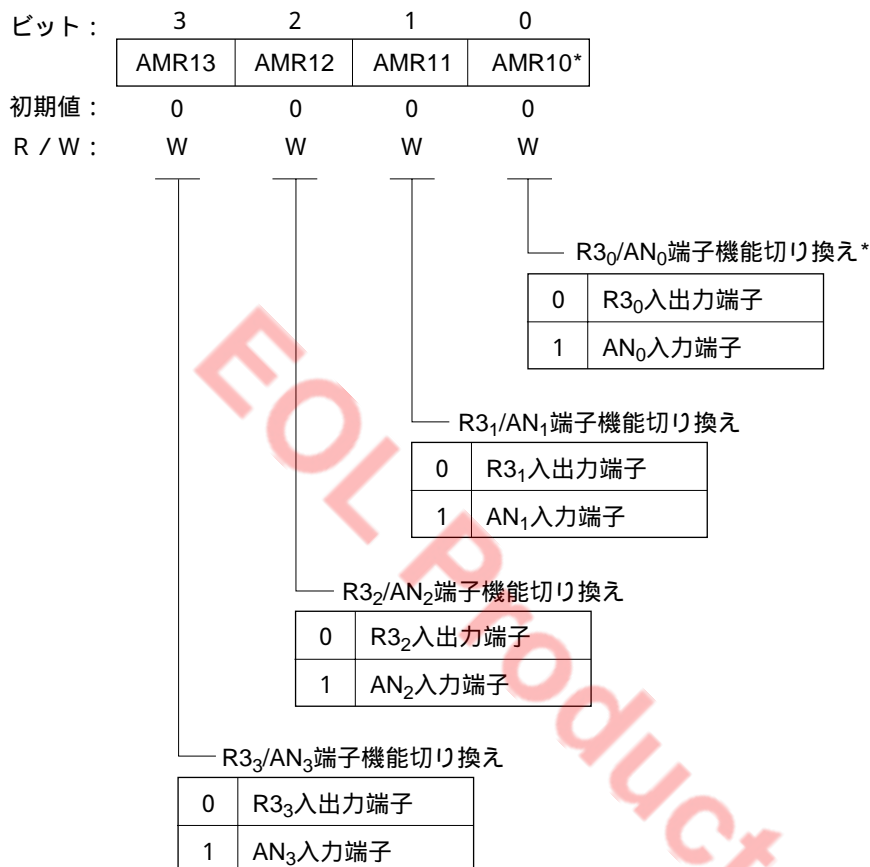
【注】\* ADSFとIAOFは、レジスタフラグエリアに割り付けられており、RAMビット操作命令のみ使用できます。ADSFは、フラグセットのための1書き込みのみ可能であり、0を書き込むことはできません。

## 15. A/Dコンバータ 全シリーズ

### 15.2 各レジスタ、フラグの説明

#### 15.2.1 A/Dモードレジスタ1 (AMR1 : \$019)

AMR1は、4ビットの書き込み専用レジスタで、R3ポートの兼用端子の切り換えを行います。



【注】\* HD404344R / HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズに適用します。

HD404394シリーズではAMR10ビットは使用禁止です。

#### ビット3 : R3<sub>3</sub>/AN<sub>3</sub>端子機能切り換え (AMR13)

R3<sub>3</sub>/AN<sub>3</sub>端子をR3<sub>3</sub>入出力端子として使用するか、A/Dコンバータのチャンネル3入力端子 (AN<sub>3</sub>) として使用するかを選択します。

AMR13	説明
0	R3 <sub>3</sub> /AN <sub>3</sub> 端子は、R3 <sub>3</sub> 入出力端子として機能します。 (初期値)
1	R3 <sub>3</sub> /AN <sub>3</sub> 端子は、AN <sub>3</sub> 入力端子として機能します。

**ビット2：R<sub>32</sub>/AN<sub>2</sub>端子機能切り換え（AMR12）**

R<sub>32</sub>/AN<sub>2</sub>端子をR<sub>32</sub>入出力端子として使用するか、A/Dコンバータのチャンネル2入力端子（AN<sub>2</sub>）として使用するかを選択します。

AMR12	説 明
0	R <sub>32</sub> /AN <sub>2</sub> 端子は、R <sub>32</sub> 入出力端子として機能します。 (初期値)
1	R <sub>32</sub> /AN <sub>2</sub> 端子は、AN <sub>2</sub> 入力端子として機能します。

**ビット1：R<sub>31</sub>/AN<sub>1</sub>端子機能切り換え（AMR11）**

R<sub>31</sub>/AN<sub>1</sub>端子をR<sub>31</sub>入出力端子として使用するか、A/Dコンバータのチャンネル1入力端子（AN<sub>1</sub>）として使用するかを選択します。

AMR11	説 明
0	R <sub>31</sub> /AN <sub>1</sub> 端子は、R <sub>31</sub> 入出力端子として機能します。 (初期値)
1	R <sub>31</sub> /AN <sub>1</sub> 端子は、AN <sub>1</sub> 入力端子として機能します。

HD404344R / HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ

**ビット0：R<sub>30</sub>/AN<sub>0</sub>端子機能切り換え（AMR10）**

R<sub>30</sub>/AN<sub>0</sub>端子をR<sub>30</sub>入出力端子として使用するか、A/Dコンバータのチャンネル0入力端子（AN<sub>0</sub>）として使用するかを選択します。

AMR10	説 明
0	R <sub>30</sub> /AN <sub>0</sub> 端子は、R <sub>30</sub> 入出力端子として機能します。 (初期値)
1	R <sub>30</sub> /AN <sub>0</sub> 端子は、AN <sub>0</sub> 入力端子として機能します。

HD404394シリーズ

**ビット0：リザーブビット**

本ビットは使用禁止です。

## 15. A/Dコンバータ 全シリーズ

### 15.2.2 A/Dモードレジスタ2 (AMR2 : \$01A)

AMR2は、4ビットの書き込み専用レジスタで、A/D変換時間の設定と、Rポートと兼用のアナログ入力端子の端子機能切り換えを行います。



【注】 \*1 HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズに適用します。  
HD404344R / HD404394シリーズではAMR21ビットは使用禁止です。

\*2 HD404339 / HD404369シリーズに適用します。

HD404344R / HD404394 / HD404318 / HD404358 / HD404358RシリーズではAMR22ビットは使用禁止です。

#### HD404339 / HD404369シリーズ

##### ビット2 : R5<sub>0</sub>/AN<sub>8</sub> ~ R5<sub>3</sub>/AN<sub>11</sub>端子機能切り換え (AMR22)

R5<sub>0</sub>/AN<sub>8</sub> ~ R5<sub>3</sub>/AN<sub>11</sub>端子をR5<sub>0</sub> ~ R5<sub>3</sub>入出力端子として使用するか、A/Dコンバータのチャンネル8 ~ 11入力端子 (AN<sub>8</sub> ~ AN<sub>11</sub>) として使用するかを選択します。

AMR22	説明
0	R5 <sub>0</sub> /AN <sub>8</sub> ~ R5 <sub>3</sub> /AN <sub>11</sub> 端子は、R5 <sub>0</sub> ~ R5 <sub>3</sub> 入出力端子として機能します。 (初期値)
1	R5 <sub>0</sub> /AN <sub>8</sub> ~ R5 <sub>3</sub> /AN <sub>11</sub> 端子は、AN <sub>8</sub> ~ AN <sub>11</sub> 入力端子として機能します。

#### HD404344R / HD404394 / HD404318 / HD404358 / HD404358Rシリーズ

##### ビット2 : リザーブビット

本ビットは使用禁止です。

HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ

**ビット1：R<sub>40</sub>/AN<sub>4</sub>～R<sub>43</sub>/AN<sub>7</sub>端子機能切り換え (AMR21)**

R<sub>40</sub>/AN<sub>4</sub>～R<sub>43</sub>/AN<sub>7</sub>端子をR<sub>40</sub>～R<sub>43</sub>入出力端子として使用するか、A/Dコンバータのチャンネル4～7 (AN<sub>4</sub>～AN<sub>7</sub>) 入力端子として使用するかを選択します。

AMR21	説明
0	R <sub>40</sub> /AN <sub>4</sub> ～R <sub>43</sub> /AN <sub>7</sub> 端子は、R <sub>40</sub> ～R <sub>43</sub> 入出力端子として機能します。(初期値)
1	R <sub>40</sub> /AN <sub>4</sub> ～R <sub>43</sub> /AN <sub>7</sub> 端子は、AN <sub>4</sub> ～AN <sub>7</sub> 入力端子として機能します。

HD404344R / HD404394シリーズ

**ビット1：リザーブビット**

本ビットは使用禁止です。

**ビット0：A/D変換時間選択 (AMR20)**

A/D変換時間を選択します。

AMR20	説明
0	変換時間 = 34 t <sub>cyc</sub> (初期値)
1	変換時間 = 67 t <sub>cyc</sub>

【注】 t<sub>cyc</sub>：システムクロック周期

## 15.2.3 A/DデータレジスタL、U (ADRL：\$017、ADRU：\$018)

ADRL、ADRUは、8ビットの読み出し専用のレジスタで、下位ディジット (ADRL) と上位ディジット (ADRU) から構成されています。

A/D変換された8ビットデータはADRL、ADRUに転送され、次の変換開始まで保持されます。

A/D変換中は、本レジスタの内容は保証されません。

ADRL、ADRUは、リセットによりクリアされません。

	ビット：	3	2	1	0
ADRL		ADRL3	ADRL2	ADRL1	ADRL0
	初期値：	0	0	0	0
	R / W：	R	R	R	R
		└─ A/D変換データ (下位4ビット)			

	ビット：	3	2	1	0
ADRU		ADRU3	ADRU2	ADRU1	ADRU0
	初期値：	1	0	0	0
	R / W：	R	R	R	R
		└─ A/D変換データ (上位4ビット)			

## 15. A/Dコンバータ 全シリーズ

### 15.2.4 A/Dチャンネルレジスタ (ACR : \$ 016)

ACRは4ビットの書き込み専用レジスタで、A/D変換を行う入力チャンネルの選択に使用します。

ビット :	3	2	1	0
	ACR3	ACR2	ACR1	ACR0
初期値 :	0	0	0	0
R / W :	W	W	W	W

アナログ入力チャンネル選択

ACR3	ACR2	ACR1	ACR0	入力チャンネル			
				HD404344R	HD404394	HD404318 / HD404358 / HD404358R	HD404339 / HD404369
0	0	0	0	AN <sub>0</sub>		AN <sub>0</sub>	AN <sub>0</sub>
			1	AN <sub>1</sub>	AN <sub>1</sub>	AN <sub>1</sub>	
		1	0	AN <sub>2</sub>	AN <sub>2</sub>	AN <sub>2</sub>	
			1	AN <sub>3</sub>	AN <sub>3</sub>	AN <sub>3</sub>	
	1	0	0			AN <sub>4</sub>	AN <sub>4</sub>
			1			AN <sub>5</sub>	AN <sub>5</sub>
		1	0			AN <sub>6</sub>	AN <sub>6</sub>
			1			AN <sub>7</sub>	AN <sub>7</sub>
1	0	0	0			AN <sub>8</sub>	
			1			AN <sub>9</sub>	
		1	0			AN <sub>10</sub>	
			1			AN <sub>11</sub>	
	1	*	*				

\* : don't care

■ : 使用禁止

#### ビット3 ~ 0 : アナログ入力チャンネル選択 (ACR3 ~ ACR0)

アナログ入力チャンネルの選択を行います。

##### HD404344Rシリーズ

ACR3	ACR2	ACR1	ACR0	説明
0	0	0	0	アナログ入力チャンネル0 (AN <sub>0</sub> )を選択 (初期値)
			1	アナログ入力チャンネル1 (AN <sub>1</sub> )を選択
		1	0	アナログ入力チャンネル2 (AN <sub>2</sub> )を選択
			1	アナログ入力チャンネル3 (AN <sub>3</sub> )を選択
	1	*	*	使用禁止
1	*	*	*	

\* : don't care

## 15. A/Dコンバータ HD404394 / HD404318 / HD404358 / HD404358Rシリーズ

### HD404394シリーズ

ACR3	ACR2	ACR1	ACR0	説 明
0	0	0	0	使用禁止 (初期値)
			1	アナログ入力チャンネル1 (AN <sub>1</sub> )を選択
		1	0	アナログ入力チャンネル2 (AN <sub>2</sub> )を選択
			1	アナログ入力チャンネル3 (AN <sub>3</sub> )を選択
	1	*	*	使用禁止
1	*	*	*	使用禁止

\* : don't care

### HD404318 / HD404358 / HD404358Rシリーズ

ACR3	ACR2	ACR1	ACR0	説 明
0	0	0	0	アナログ入力チャンネル0 (AN <sub>0</sub> )を選択 (初期値)
			1	アナログ入力チャンネル1 (AN <sub>1</sub> )を選択
		1	0	アナログ入力チャンネル2 (AN <sub>2</sub> )を選択
			1	アナログ入力チャンネル3 (AN <sub>3</sub> )を選択
	1	0	0	アナログ入力チャンネル4 (AN <sub>4</sub> )を選択
			1	アナログ入力チャンネル5 (AN <sub>5</sub> )を選択
		1	0	アナログ入力チャンネル6 (AN <sub>6</sub> )を選択
			1	アナログ入力チャンネル7 (AN <sub>7</sub> )を選択
1	*	*	*	使用禁止

\* : don't care

## 15. A/Dコンバータ 全シリーズ

### HD404339 / HD404369シリーズ

ACR3	ACR2	ACR1	ACR0	説明
0	0	0	0	アナログ入力チャンネル0 (AN <sub>0</sub> )を選択 (初期値)
			1	アナログ入力チャンネル1 (AN <sub>1</sub> )を選択
		1	0	アナログ入力チャンネル2 (AN <sub>2</sub> )を選択
			1	アナログ入力チャンネル3 (AN <sub>3</sub> )を選択
	1	0	0	アナログ入力チャンネル4 (AN <sub>4</sub> )を選択
			1	アナログ入力チャンネル5 (AN <sub>5</sub> )を選択
		1	0	アナログ入力チャンネル6 (AN <sub>6</sub> )を選択
			1	アナログ入力チャンネル7 (AN <sub>7</sub> )を選択
1	0	0	0	アナログ入力チャンネル8 (AN <sub>8</sub> )を選択
			1	アナログ入力チャンネル9 (AN <sub>9</sub> )を選択
		1	0	アナログ入力チャンネル10 (AN <sub>10</sub> )を選択
			1	アナログ入力チャンネル11 (AN <sub>11</sub> )を選択
	1	*	*	使用禁止

\* : don't care

#### 15.2.5 A/Dスタートフラグ (ADSF : \$020, 2)

ADSFは、A/D変換開始を設定します。ADSFに1をセットするとA/D変換が開始されます。変換が終了すると変換データは、ADRL、ADRUに転送され、ADSFは0にクリアされます。

ADSFは、RAMビット操作命令によってのみ読み出しまたは書き込みが可能です。

リセット、およびストップモード時にADSFは0にクリアされます。

ADSF	説明
0	(読み出し時) A/D変換が終了していることを示します。 (初期値) (書き込み時) 0書き込みは不可。
1	(読み出し時) A/D変換中であることを示します。 (書き込み時) A/D変換を開始します。



15.2.6  $I_{AD}$  オフフラグ (IAOF : \$021, 2)

IAOFを1にセットすることにより、スタンバイモードおよびアクティブモードにおいてもラダー抵抗に流れる電流をカットすることができます。

ただし、この場合A/D変換は正常に行うことができません。したがって、IAOF = 1 の状態でA/D変換を実行しないでください。

IAOF	説 明
0	ラダー抵抗に電流を流します。 (初期値)
1	ラダー抵抗の電流をカットします。

EOL Product

### 15.3 動作説明

#### 15.3.1 A/D変換動作

図15.2にA/D変換動作のシーケンスを示します。

図15.2 A/D変換動作のシーケンス



A/Dコンバータの動作は次のように行われます。

- ① AMR (AMR1、AMR2、ACR) によりアナログ入力チャネルとA/D変換時間を設定します。
- ② ADSFに1をセットして、A/D変換を開始します。
- ③ A/D変換が終了すると変換データはADRL、ADRUに転送され、ADSFは0にクリアされます。同時にIFADが1にセットされます。
- ④ ADRL、ADRUの内容を読み出します。

A/D変換動作のタイミングチャートを図15.3に示します。

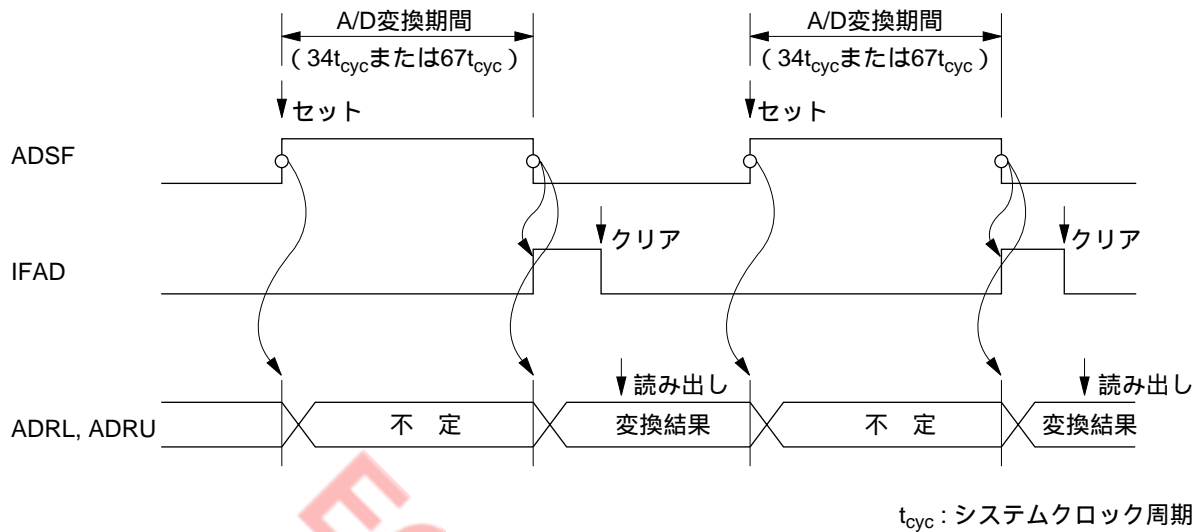


図15.3 A/D変換動作のタイミングチャート

### 15.3.2 低消費電力モード時の動作

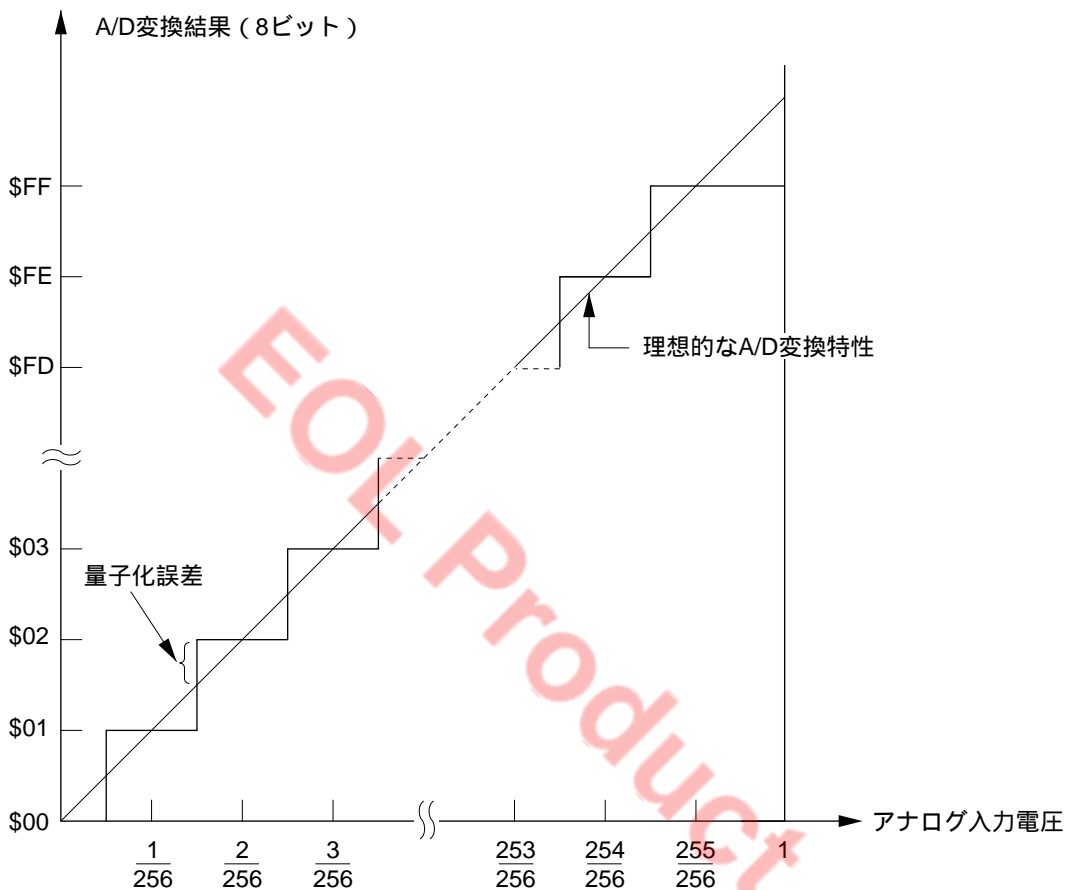
ストップモード、ウォッチモード\*、およびサブアクティブモード\*時には、ラダー抵抗に流れるアナログ電源の供給がオフとなり、A/Dコンバータは動作を停止します。

【注】\* HD404339 / HD404369シリーズのみに適用します。

## 15. A/Dコンバータ 全シリーズ

### 15.3.3 A/D変換の精度

A/Dコンバータは、アナログ信号をデジタルコードに変換するため、本質的に量子化誤差（ $\pm 1/2\text{LSB}$ で定義される）を伴っています。8ビットの分解能をもつA/Dコンバータのアナログ入力電圧とA/D変換結果の対応を図15.4に示します。



【注】 上記アナログ入力電圧のスケールは、 $AV_{CC} - AV_{SS} = 1$ として規格化してあります。

図15.4 A/Dコンバータのアナログ入力電圧とA/D変換結果の対応

A/D変換結果とアナログ入力値との偏差を絶対精度と呼びます。本A/Dコンバータの絶対精度については、「第25章 電気的特性」の各シリーズの「A/Dコンバータ特性」の項を参照してください。

### 15.3.4 アナログ基準電源に関する注意

A/Dコンバータの比較電圧が $AV_{CC}$ または $V_{CC}$ の製品（HD404344R / HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ）では、分解能は $AV_{CC} / 256$ （ $V_{CC} / 256$ ）に固定されます（ $AV_{CC}$ 端子を持つ製品でも、 $V_{CC} - 0.3$   $AV_{CC}$   $V_{CC} + 0.3$ の範囲で比較電圧を印加してください）。

$V_{ref}$ 端子を持つHD404394シリーズは、 $V_{ref}$ 端子の電圧を変化させることにより、さらに細かい分解能（ $V_{ref} / 256$ ）のA/D変換が可能です。ただし、 $V_{ref}$ 端子に印加する電圧は、 $V_{CC} / 2$   $V_{ref}$   $V_{CC}$ の範囲としてください。

## 15.4 割込み

A/Dコンバータの割込み要因は、A/D変換の終了です。

A/D変換が終了すると、割込み制御ビットエリアのIFADが1にセットされます。

IFADは、割込みが受け付けられてもオートクリアされません。割込み処理ルーチンの中でソフトウェアにより0にクリアしてください。

A/D割込みは、割込み制御ビットエリアのA/D割込みマスク（IMAD）により、独立に許可/禁止できます。

### 15.5 使用上の注意

A/Dコンバータを使用するとき、次の点に注意してください。

- (1) ADSFは、レジスタフラグエリアに割り付けられています。ADSFのセットは、SEMまたはSEMD命令を使用してください。また、ADSFに0を書き込まないでください。
- (2) A/D変換中にADSFの書き込みは行わないでください。
- (3) A/D変換中のADRL、ADRUの内容は保証されません。
- (4) A/D変換中にIAOFへの1書き込みは行わないでください。
- (5) MISのMIS3ビット = 1 (プルアップMOSアクティブ) かつRポート/アナログ入力兼用端子のPDR = 1の場合、AMR1でアナログ入力端子を選択しても、当該端子のプルアップMOSはオフとなりません。  
プルアップMOSアクティブを選択し、Rポート/アナログ入力兼用端子をアナログ入力として使用する  
場合、必ず当該端子のPDRを0にクリアして、プルアップMOSをオフにしてください(リセット直後、  
PDRは1にセットされます)。  
図15.5にRポート/アナログ入力兼用端子の回路構成を示します。  
AMR1は、ポート出力をハイインピーダンスにするためのレジスタであり、アナログ入力チャンネルの切  
り換えは、ACRにより行います。  
また、AMR1 (AMR2)、MIS3ビット、DCR、PDRの組み合わせにより、Rポート/アナログ入力兼用端  
子の状態は表15.3に示すようになります。

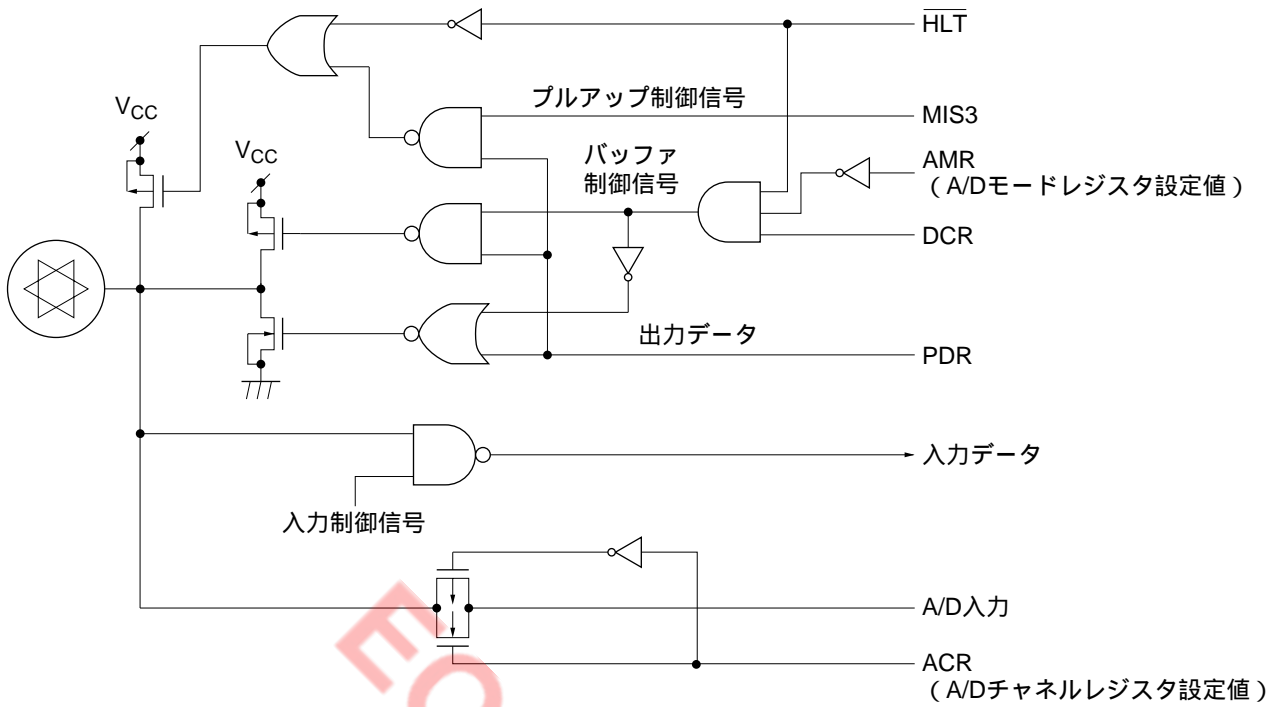


図15.5 Rポート / アナログ入力兼用端子回路構成

表15.3 プログラムによるRポート / アナログ入力兼用端子の制御

AMR1またはAMR2の当該ビット		0 (Rポート選択)							
MIS3ビット		0				1			
DCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOSバッファ	PMOS	—		—	ON	—		—	ON
	NMOS	—		ON	—	—		ON	—
プルアップMOS		—		—		—	ON	—	ON

【注】 — : OFF

AMR1またはAMR2の当該ビット		1 (アナログ入力選択)							
MIS3ビット		0				1			
DCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOSバッファ	PMOS	—		—	—	—		—	—
	NMOS	—		—	—	—		—	—
プルアップMOS		—		—		—	ON	—	ON

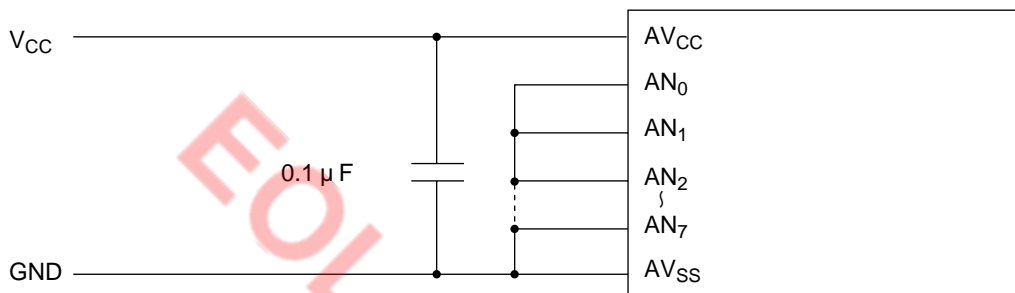
【注】 — : OFF

## 15.6 A/Dコンバータ内蔵マイコン実装上の注意 (HD404318シリーズ、HD404339シリーズのみ)

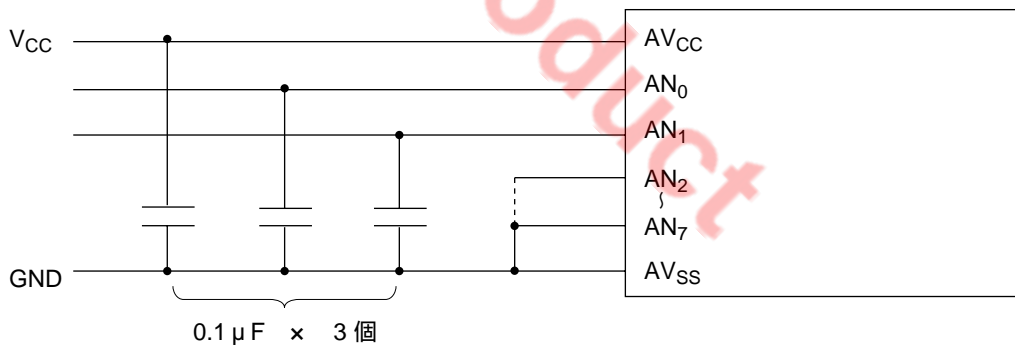
A/Dコンバータ内蔵のマイコンをボードに実装する場合、次の点に注意してください。

- (1)  $AV_{CC}$  ~  $AV_{SS}$ 間、および使用するアナログ端子 ~  $AV_{SS}$ 間に、 $0.1\mu\text{F}$ 程度のバイパスコンデンサ（積層セラミックタイプ）を接続してください。また、使用しないアナログ端子は、 $AV_{SS}$ に接続してください。  
HD404318シリーズの接続例を図15.6(a)に、HD404339シリーズの接続例を図15.6(b)に示します。

$AN_0$  ~  $AN_7$ を使用せず、かつR3、R4ポートも使用しない場合



$AN_0$ 、 $AN_1$ を使用し、 $AN_2$  ~  $AN_7$ を使用しない場合



$AN_0$  ~  $AN_7$  (アナログ端子全部) を使用する場合

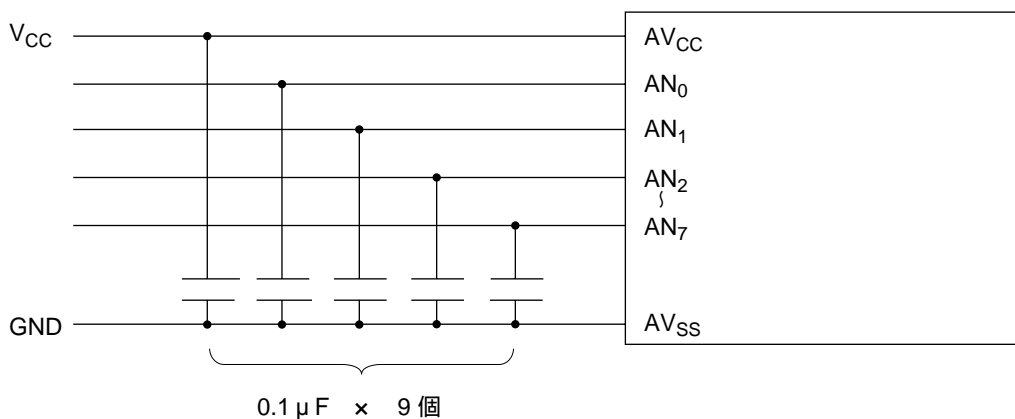
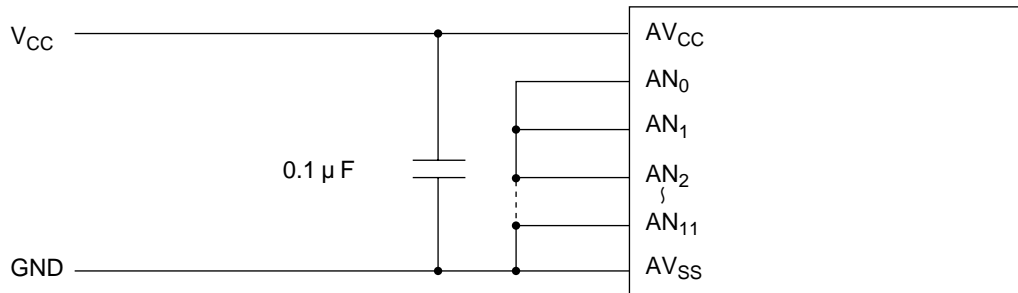


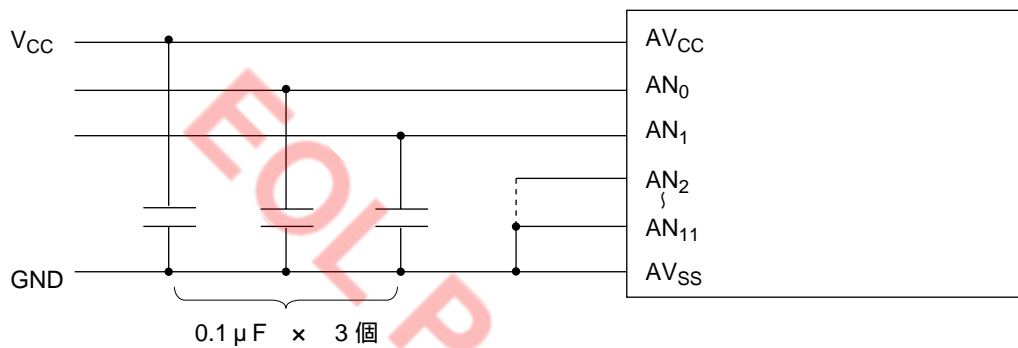
図15.6(a)  $AV_{CC}$  ~  $AV_{SS}$ 間、および使用するアナログ端子 ~  $AV_{SS}$ 間の接続例 (HD404318シリーズ)



AN<sub>0</sub> ~ AN<sub>11</sub>を使用せず、かつR3 ~ R5ポートも使用しない場合



AN<sub>0</sub>、AN<sub>1</sub>を使用し、AN<sub>2</sub> ~ AN<sub>11</sub>を使用しない場合



AN<sub>0</sub> ~ AN<sub>11</sub> (アナログ端子全部) を使用する場合

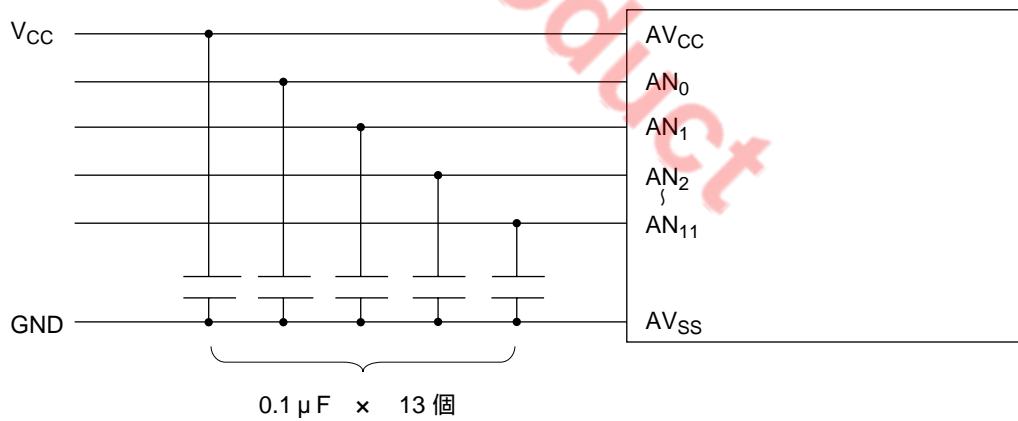


図15.6(b) AV<sub>CC</sub> ~ AV<sub>SS</sub>間、および使用するアナログ端子 ~ AV<sub>SS</sub>間の接続例 (HD404339シリーズ)

## 15. A/Dコンバータ HD404318 / HD404339シリーズ

(2)  $V_{CC}$  ~ GND間には、通常の電源回路設計によるコンデンサを接続してください。電源回路では抵抗は直列に入れられないので、コンデンサを並列に入れます。コンデンサは大容量のもの $C_1$ と小容量のもの $C_2$ を入れます。

接続例を図15.7に示します。

電源ラインとの接続例

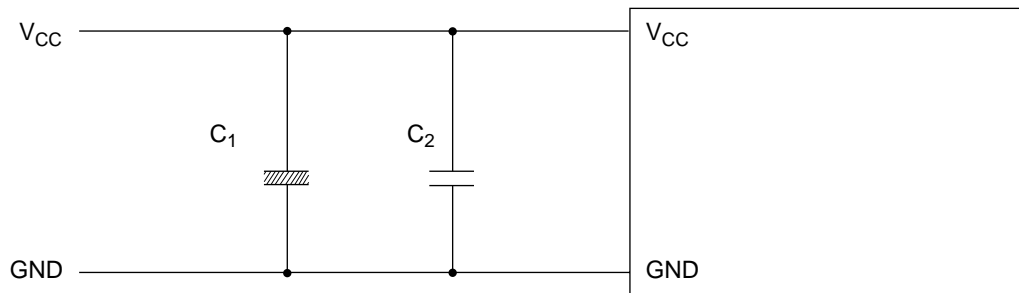


図15.7  $V_{CC}$  ~ GND間の接続例

---

# 16. プリスケーラ

---

EOL Product

---

## 第16章 目次

---

16.1 概要 .....	387
16.2 プリスケーラS ( PSS ) .....	390
16.3 プリスケーラW ( PSW ) (HD404339 / HD404369シリーズのみ) .....	390

EOL Product

## 16.1 概要

HMCS43 × × ファミリはプリスケーラを内蔵しています。内蔵されているプリスケーラは、製品のシリーズにより異なります。

プリスケーラ	シリーズ	
		HD404344R / HD404394 / HD404318 / HD404358 / HD404358R
プリスケーラS (PSS)		
プリスケーラW (PSW)	-	

タイマA～Cの内部クロック、各内蔵周辺モジュールの動作クロックは、内蔵周辺モジュールのモードレジスタによりプリスケーラ出力の中から選択します。

各プリスケーラの入力クロックと動作条件を表16.1に示します。

表16.1 プリスケーラの入力クロックと動作条件

HD404344R / HD404394 / HD404318 / HD404358 / HD404358Rシリーズ

名 称	入力クロック	リセット条件	停止条件
プリスケーラS	・システムクロック	・MCUリセット	・MCUリセット ・ストップモード

HD404339 / HD404369シリーズ

名 称	入力クロック	リセット条件	停止条件
プリスケーラS	・アクティブ、スタンバイモード時は、システムクロック ・サブアクティブモード時は、サブシステムクロック	・MCUリセット	・MCUリセット ・ストップモード ・ウォッチモード
プリスケーラW	・サブシステムクロックによる32.768kHz発振を8分周したクロック	・MCUリセット ・ソフトウェア*	・MCUリセット ・ストップモード

【注】\* タイマモードレジスタA (TMA) のTMA3～TMA1ビットをすべて1にセットすると、PSWは\$00にクリアされます。

## 16. プリスケーラ HD404344R / HD404394 / HD404318 / HD404358 / HD404358Rシリーズ

HD404344R / HD404394シリーズの出力の供給先を図16.1(a)に、HD404318 / HD404358 / HD404358Rシリーズの出力の供給先を図16.1(b)に、HD404339 / HD404369シリーズの出力の供給先を図16.1(c)に示します。

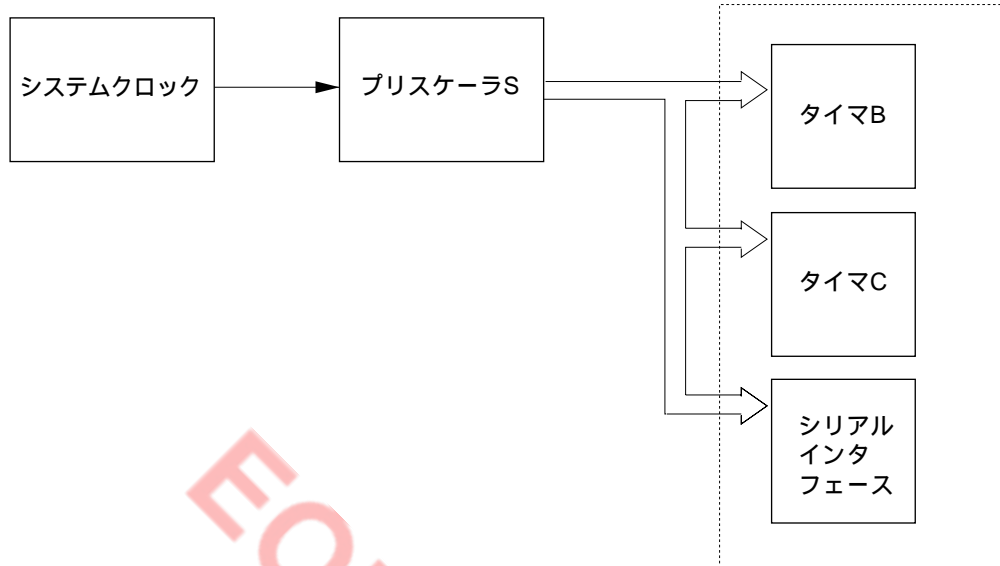


図16.1(a) プリスケーラ出力の供給先 (HD404344R / HD404394シリーズ)

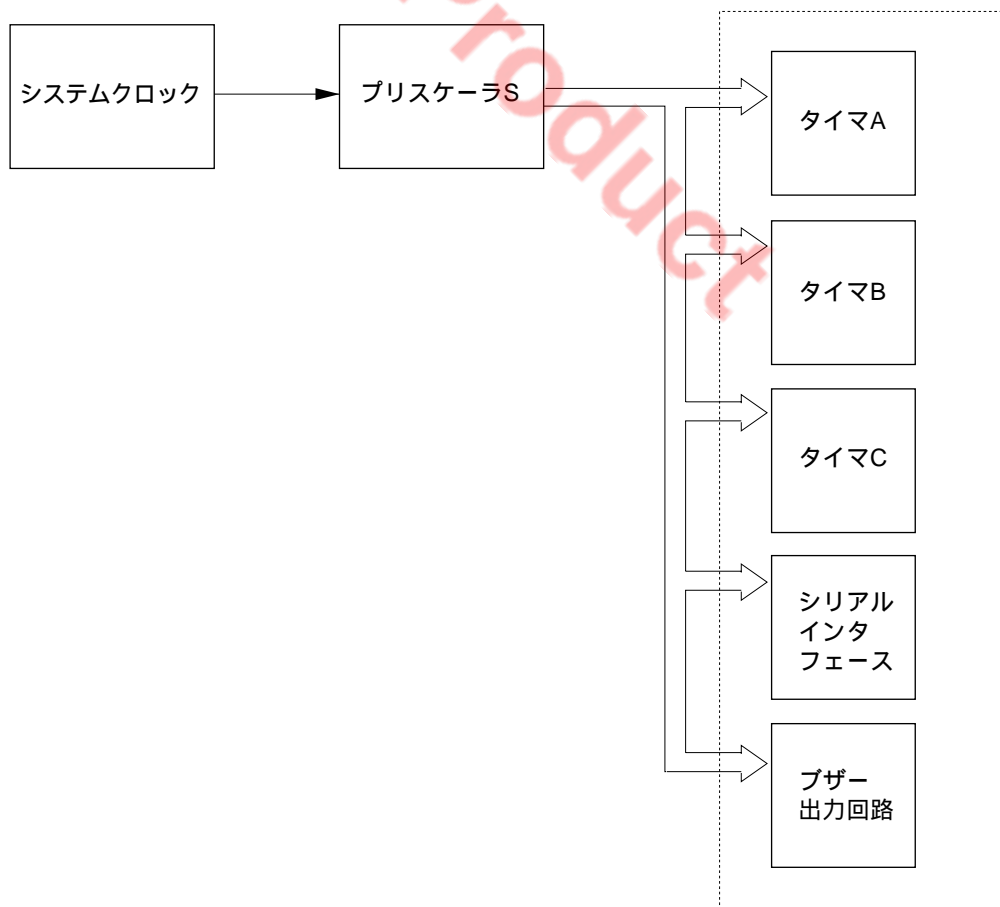


図16.1(b) プリスケーラ出力の供給先 (HD404318 / HD404358 / HD404358Rシリーズ)

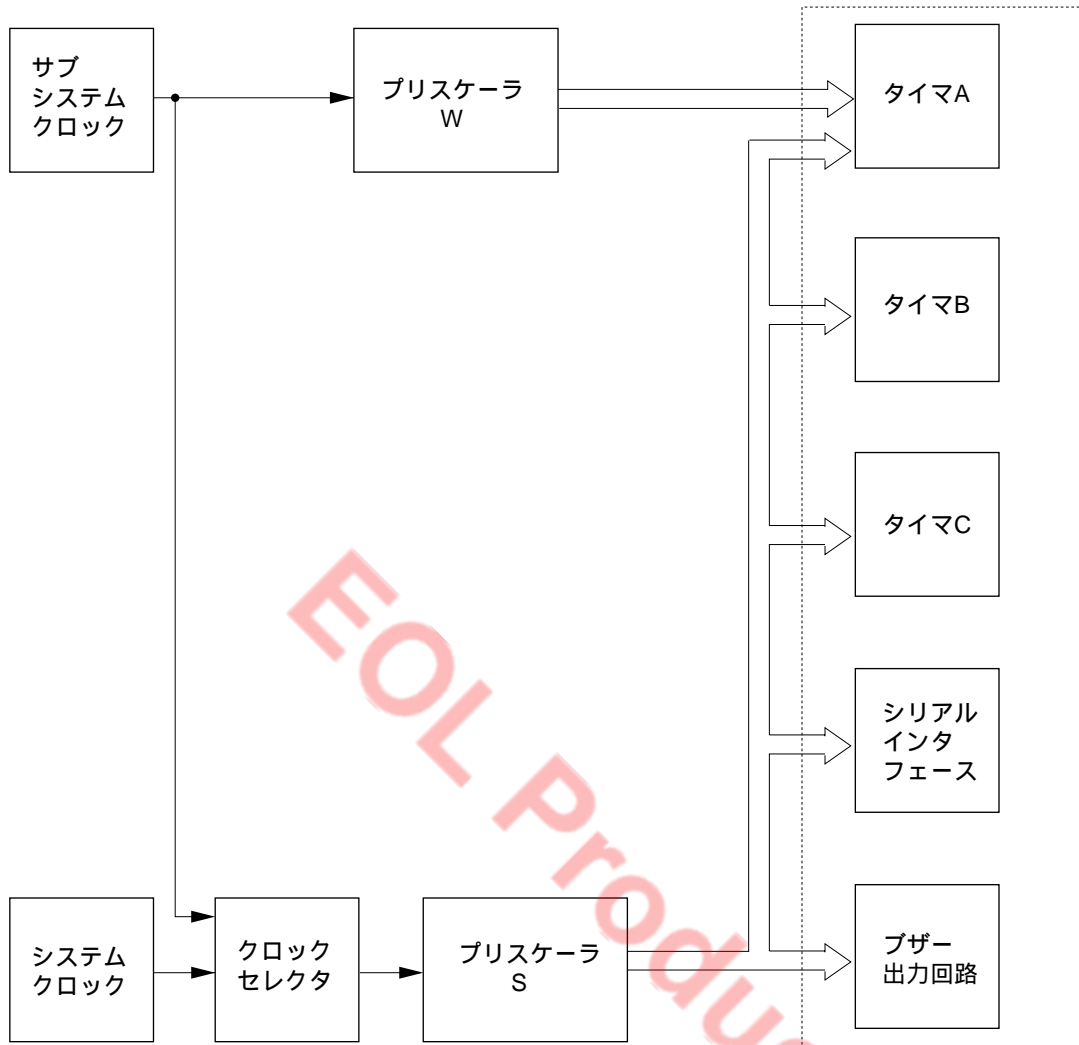


図16.1(c) プリスケーラ出力の供給先 (HD404339 / HD404369シリーズ)

## 16. プリスケーラ 全シリーズ

---

### 16.2 プリスケーラS (PSS)

PSSは、アクティブモード、スタンバイモード時はシステムクロックを入力とし、サブアクティブモード時はサブシステムクロックを入力とする\*11ビットのカウンタです。

リセット時、PSSは\$ 000にイニシャライズされ、リセット解除後、システムクロックを分周します。

PSSは、リセット、ストップモード、およびウォッチモード\* で動作を停止しますが、その他の動作モードでは停止しません。

PSSの出力は各内蔵周辺モジュールで共有していますが、分周比は各内蔵周辺モジュールで独立に設定できます。

【注】\* HD404339 / HD404369シリーズのみ適用します。

### 16.3 プリスケーラW (PSW)(HD404339 / HD404369シリーズのみ)

PSWは、サブシステムクロックによる32.768kHz発振を8分周したクロックを入力とする5ビットのカウンタです。

リセット時、PSWは\$ 00にイニシャライズされ、リセット解除後、サブシステムクロックを分周します。

PSWは、リセット、ストップモードで動作を停止しますが、その他の動作モードでは停止しません。

PSWは、ソフトウェアでリセットすることができます。

PSWの出力は、タイマAでのみ使用します。



---

# 17. タイマA

(HD404318 / HD404358 / HD404358R /  
HD404339 / HD404369シリーズ)

---

EOL Product

---

## 第17章 目次

---

17.1	概要	393
17.1.1	特長	393
17.1.2	ブロック図	394
17.1.3	レジスタ構成	396
17.2	各レジスタの説明	397
17.2.1	タイマモードレジスタA (TMA)	397
17.2.2	タイマカウンタA (TCA)	402
17.3	動作説明	403
17.3.1	フリーランニングタイマ	403
17.3.2	時計用タイムベース動作	403
17.4	割込み	404
17.5	使用上の注意	404

EOL Product

### 17.1 概要

HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズは、タイマAを内蔵しています (HD404344R / HD404394シリーズにはタイマAはありません)。

#### 17.1.1 特長

タイマAは、8ビットのフリーランニングタイマです。

サブシステムクロック発振器 (32.768kHz) を内蔵しているHD404339 / HD404369シリーズでは時計用タイムベースとしての使用も可能です。

#### HD404318 / HD404358 / HD404358Rシリーズ

プリスケーラS (PSS) をクロックソースとして8種類の内部クロック (2048 $t_{cyc}$ 、1024 $t_{cyc}$ 、512 $t_{cyc}$ 、128 $t_{cyc}$ 、32 $t_{cyc}$ 、8 $t_{cyc}$ 、4 $t_{cyc}$ 、2 $t_{cyc}$ ) を選択できます。

タイマカウンタA (TCA) のオーバフローで割込みを要求できます。

#### HD404339 / HD404369シリーズ

プリスケーラS (PSS) をクロックソースとする8種類の内部クロック (2048 $t_{cyc}$ 、1024 $t_{cyc}$ 、512 $t_{cyc}$ 、128 $t_{cyc}$ 、32 $t_{cyc}$ 、8 $t_{cyc}$ 、4 $t_{cyc}$ 、2 $t_{cyc}$ ) を選択できます。

プリスケーラW (PSW) をクロックソースとする (時計用タイムベースモード) 5種類の内部クロック (32 $t_{Wcyc}$ 、16 $t_{Wcyc}$ 、8 $t_{Wcyc}$ 、2 $t_{Wcyc}$ 、1/2 $t_{Wcyc}$ ) を選択できます。

タイマカウンタA (TCA) のオーバフローで割込みを要求できます。

【注】  $t_{cyc}$  (= 1/ PER) はPSSの1カウントの周期、 $t_{Wcyc}$  (= 244.14  $\mu$ s) はPSWの1カウントの周期です。

## 17. タイマA HD404318 / HD404358 / HD404358Rシリーズ

### 17.1.2 ブロック図

HD404318 / HD404358 / HD404358RシリーズおよびHD404339 / HD404369シリーズのタイマAのブロック図を、それぞれ図17.1(a)、(b)に示します。

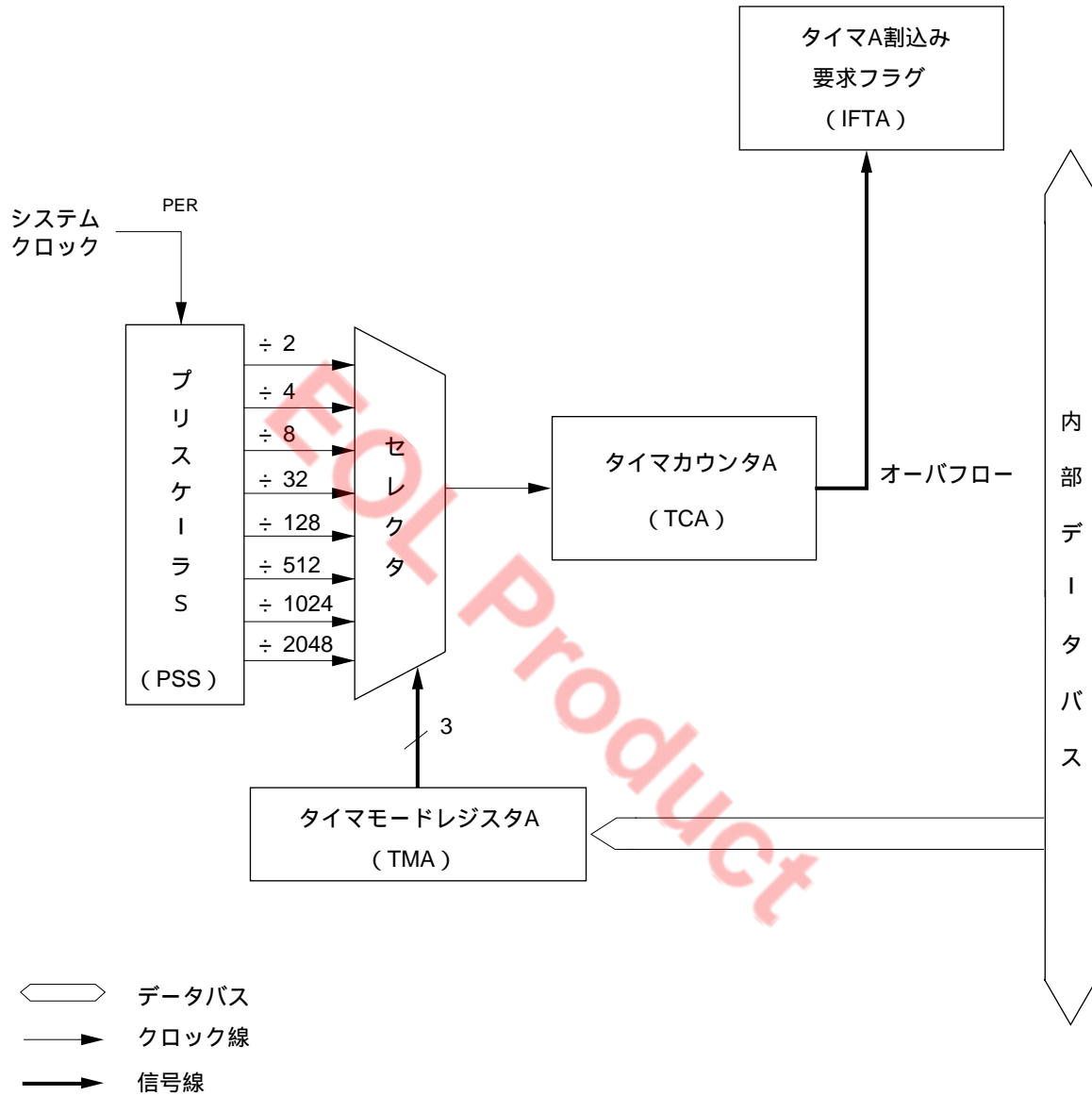


図17.1(a) タイマAのブロック図 (HD404318 / HD404358 / HD404358Rシリーズ)

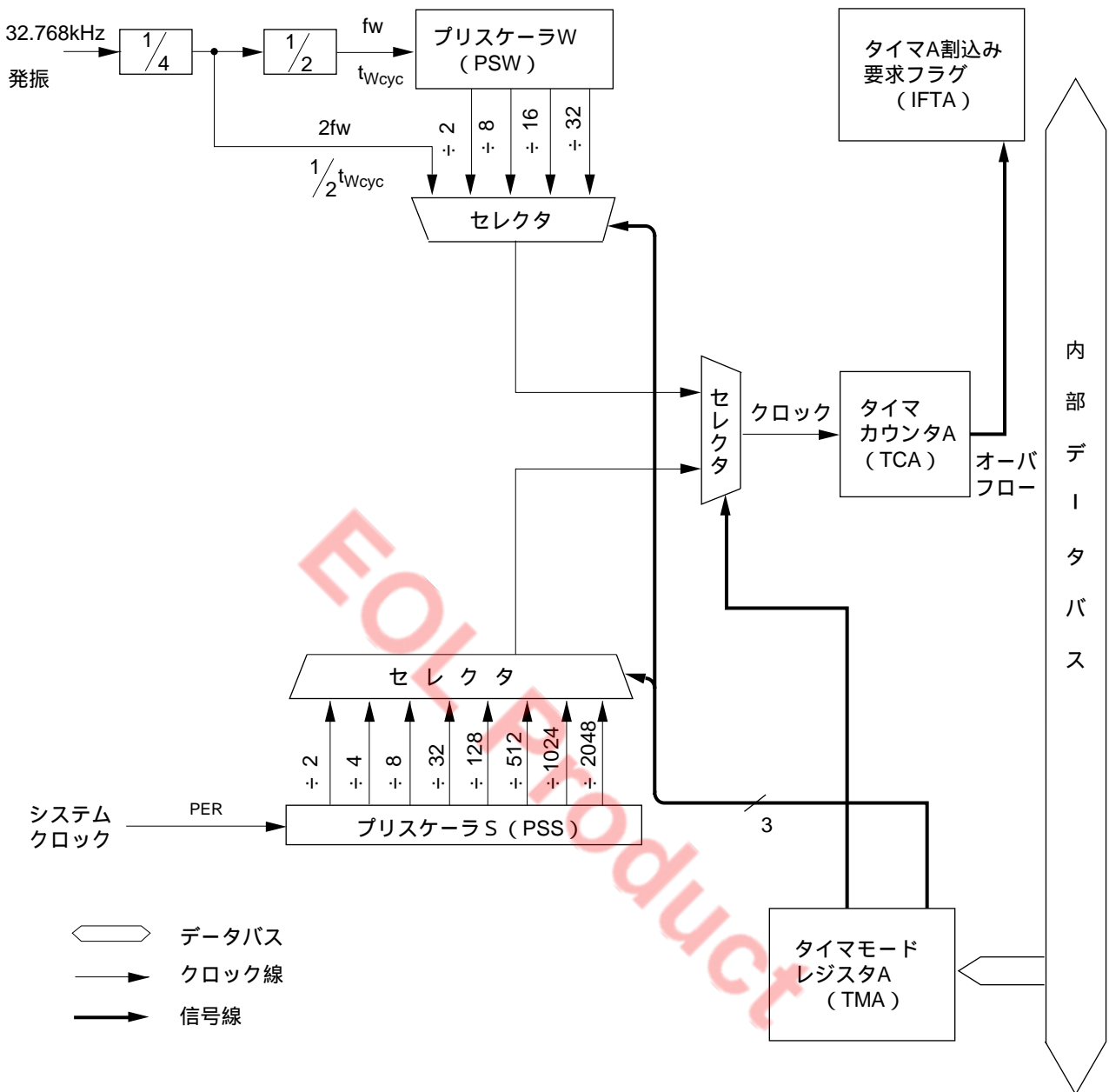


図17.1(b) タイマAのブロック図 (HD404339 / HD404369シリーズ)

## 17. タイマA HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ

### 17.1.3 レジスタ構成

タイマAのレジスタ構成を表17.1に示します。

表17.1 レジスタ構成

アドレス	名 称	略 称	R / W	初期値
\$ 008	タイマモードレジスタA	TMA	W	\$ 0
——	タイマカウンタA	TCA	——	\$00

EOL Product

## 17.2 各レジスタの説明

### 17.2.1 タイマモードレジスタA (TMA : \$008)

HD404318 / HD404358 / HD404358Rシリーズ

TMAは、4ビットの書き込み専用レジスタで、タイマAのクロックソースとなるプリスケ - ラSの分周比を選択します。

リセット、およびストップモード時にTMAは\$0にイニシャライズされます。

ビット:	3	2	1	0
	---	TMA2	TMA1	TMA0
初期値:	---	0	0	0
R/W:	---	W	W	W

使用禁止

タイマAクロック選択

TMA2	TMA1	TMA0	入力クロック周期
0	0	0	2048 $t_{cyc}$
		1	1024 $t_{cyc}$
	1	0	512 $t_{cyc}$
		1	128 $t_{cyc}$
1	0	0	32 $t_{cyc}$
		1	8 $t_{cyc}$
	1	0	4 $t_{cyc}$
		1	2 $t_{cyc}$

【注】  $t_{cyc} = f_{OSC} / 4$

## 17. タイマA HD404318 / HD404358 / HD404358Rシリーズ

### ビット2 ~ 0 : タイマAクロック選択 (TMA2 ~ TMA0)

タイマAの入力クロックソースの分周比を選択します。

TMA2	TMA1	TMA0	説 明					
			ソース プリスケアラ	入力クロック周期				
				記 号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 4MHz
0	0	0	PSS	2048 <sub>t<sub>cyc</sub></sub>	20.48ms	10.24ms	4.096ms	2.048ms
		1	PSS	1024 <sub>t<sub>cyc</sub></sub>	10.24ms	5.12ms	2.048ms	1.024ms
	1	0	PSS	512 <sub>t<sub>cyc</sub></sub>	5.12ms	2.56ms	1.024ms	512 μs
		1	PSS	128 <sub>t<sub>cyc</sub></sub>	1.28ms	640 μs	256 μs	128 μs
1	0	0	PSS	32 <sub>t<sub>cyc</sub></sub>	320 μs	160 μs	64 μs	32 μs
		1	PSS	8 <sub>t<sub>cyc</sub></sub>	80 μs	40 μs	16 μs	8 μs
	1	0	PSS	4 <sub>t<sub>cyc</sub></sub>	40 μs	20 μs	8 μs	4 μs
		1	PSS	2 <sub>t<sub>cyc</sub></sub>	20 μs	10 μs	4 μs	2 μs



HD404339 / HD404369シリーズ

TMAは、4ビットの書き込み専用レジスタで、タイマAのクロックソースとなるプリスケラ (PSS、PSW) およびその分周比を選択します。

リセット、およびストップモード時にTMAは\$ 0 にイニシャライズされます。

ビット:	3	2	1	0
	TMA3	TMA2	TMA1	TMA0
初期値:	0	0	0	0
R/W:	W	W	W	W

タイマAクロック選択

TMA3	TMA2	TMA1	TMA0	プリスケラ	入力クロック周期	モード
0	0	0	0	PSS	2048 $t_{cyc}^{*1}$	フリーランニングタイマモード
			1	PSS	1024 $t_{cyc}$	
		1	0	PSS	512 $t_{cyc}$	
			1	PSS	128 $t_{cyc}$	
	1	0	0	PSS	32 $t_{cyc}$	
			1	PSS	8 $t_{cyc}$	
		1	0	PSS	4 $t_{cyc}$	
			1	PSS	2 $t_{cyc}$	
1	0	0	0	PSW	32 $t_{Wcyc}^{*2}$	時計用タイムベースモード
			1	PSW	16 $t_{Wcyc}$	
		1	0	PSW	8 $t_{Wcyc}$	
			1	PSW	2 $t_{Wcyc}$	
	1	0	0	---	1/2 $t_{Wcyc}$	
			1	---	使用禁止	
		1	*	---	PSW、TCAクリア	

\* : don't care

【注】\*1  $t_{cyc} = f_{osc} / 4, f_{osc} / 8, f_{osc} / 16, \text{または} f_{osc} / 32$

\*2  $t_{Wcyc} = f_x / 8$

ビット3 : タイマAソース - スプリスケラ選択 (TMA3)

タイマAのクロックソースをPSSとするか、PSWとするかを選択します。

TMA3	説明
0	タイマAのクロックソースをPSSとします。 (初期値)
1	タイマAのクロックソースをPSWとします。

## 17. タイマA HD404339 / HD404369シリーズ

### ビット2 ~ 0 : タイマAクロック選択 (TMA2 ~ TMA0)

タイマAの入力クロック周期を選択します。TMA3ビットとの組み合わせで次のようになります。

#### フリーランニングタイマモード

#### (a) システムクロック分周比 : 4分周 (SSR21、SSR20ビット\* = 00)

TMA3	TMA2	TMA1	TMA0	説 明					
				ソース プリスケーラ	入力クロック周期				
					記 号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 4MHz
0	0	0	0	PSS	2048 <sub>t<sub>cyc</sub></sub>	20.48ms	10.24ms	4.096ms	2.048ms
			1	PSS	1024 <sub>t<sub>cyc</sub></sub>	10.24ms	5.12ms	2.048ms	1.024ms
		1	0	PSS	512 <sub>t<sub>cyc</sub></sub>	5.12ms	2.56ms	1.024ms	512 μs
			1	PSS	128 <sub>t<sub>cyc</sub></sub>	1.28ms	640 μs	256 μs	128 μs
	1	0	0	PSS	32 <sub>t<sub>cyc</sub></sub>	320 μs	160 μs	64 μs	32 μs
			1	PSS	8 <sub>t<sub>cyc</sub></sub>	80 μs	40 μs	16 μs	8 μs
		1	0	PSS	4 <sub>t<sub>cyc</sub></sub>	40 μs	20 μs	8 μs	4 μs
			1	PSS	2 <sub>t<sub>cyc</sub></sub>	20 μs	10 μs	4 μs	2 μs

【注】\* システムクロック選択レジスタ2 (SSR2) のビット1、0

#### (b) システムクロック分周比 : 8分周 (SSR21、SSR20ビット\* = 01)

TMA3	TMA2	TMA1	TMA0	説 明					
				ソース プリスケーラ	入力クロック周期				
					記 号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 4MHz
0	0	0	0	PSS	2048 <sub>t<sub>cyc</sub></sub>	40.96ms	20.48ms	8.192ms	4.096ms
			1	PSS	1024 <sub>t<sub>cyc</sub></sub>	20.48ms	10.24ms	4.096ms	2.048ms
		1	0	PSS	512 <sub>t<sub>cyc</sub></sub>	10.24ms	5.12ms	2.048ms	1.024ms
			1	PSS	128 <sub>t<sub>cyc</sub></sub>	2.56ms	1.28ms	512 μs	256 μs
	1	0	0	PSS	32 <sub>t<sub>cyc</sub></sub>	640 μs	320 μs	128 μs	64 μs
			1	PSS	8 <sub>t<sub>cyc</sub></sub>	160 μs	80 μs	32 μs	16 μs
		1	0	PSS	4 <sub>t<sub>cyc</sub></sub>	80 μs	40 μs	16 μs	8 μs
			1	PSS	2 <sub>t<sub>cyc</sub></sub>	40 μs	20 μs	8 μs	4 μs

【注】\* システムクロック選択レジスタ2 (SSR2) のビット1、0

(c) システムクロック分周比 : 16分周 (SSR21、SSR20ビット\* = 10)

TMA3	TMA2	TMA1	TMA0	説 明					
				ソース プリスケータ	入力クロック周期				
					記 号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 4MHz
0	0	0	0	PSS	2048t <sub>cyc</sub>	81.92ms	40.96ms	16.384ms	8.192ms
			1	PSS	1024t <sub>cyc</sub>	40.96ms	20.48ms	8.192m	4.096ms
		1	0	PSS	512t <sub>cyc</sub>	20.48ms	10.24ms	4.096ms	2.048ms
			1	PSS	128t <sub>cyc</sub>	5.12ms	2.56ms	1.024ms	512 μ s
	1	0	0	PSS	32t <sub>cyc</sub>	1.28ms	640 μ s	256 μ s	128 μ s
			1	PSS	8t <sub>cyc</sub>	320 μ s	160 μ s	64 μ s	32 μ s
		1	0	PSS	4t <sub>cyc</sub>	160 μ s	80 μ s	32 μ s	16 μ s
			1	PSS	2t <sub>cyc</sub>	80 μ s	40 μ s	16 μ s	8 μ s

【注】\* システムクロック選択レジスタ2 (SSR2) のビット1、0

(d) システムクロック分周比 : 32分周 (SSR21、SSR20ビット\* = 11)

TMA3	TMA2	TMA1	TMA0	説 明					
				ソース プリスケータ	入力クロック周期				
					記 号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 4MHz
0	0	0	0	PSS	2048t <sub>cyc</sub>	163.84ms	81.92ms	32.768ms	16.384ms
			1	PSS	1024t <sub>cyc</sub>	81.92ms	40.96ms	16.384ms	8.192ms
		1	0	PSS	512t <sub>cyc</sub>	40.96ms	20.48ms	8.192m	4.096ms
			1	PSS	128t <sub>cyc</sub>	10.24ms	5.12ms	2.048ms	1.024ms
	1	0	0	PSS	32t <sub>cyc</sub>	2.56ms	1.28ms	512 μ s	256 μ s
			1	PSS	8t <sub>cyc</sub>	640 μ s	320 μ s	128 μ s	64 μ s
		1	0	PSS	4t <sub>cyc</sub>	320 μ s	160 μ s	64 μ s	32 μ s
			1	PSS	2t <sub>cyc</sub>	160 μ s	80 μ s	32 μ s	16 μ s

【注】\* システムクロック選択レジスタ2 (SSR2) のビット1、0



## 17.3 動作説明

### 17.3.1 フリーランニングタイマ

タイマAは8ビットのフリーランニングタイマとして使用できます。

#### HD404318 / HD404358 / HD404358Rシリーズ

タイマAは、リセット直後からフリーランニングタイマとして停止することなくカウントアップを続けます。

#### HD404339 / HD404369シリーズ

TMAのTMA3ビット = 0 にすると、タイマAはフリーランニングタイマとして動作します。リセット時、TCAは\$00にTMA3ビットは0クリアされるために、リセット直後はフリーランニングタイマとして停止することなくカウントアップを続けます。

フリーランニングタイマ動作時 (TMA3ビット = 0) にTCAをクリアすることはできません。

以下、HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ共通であるフリーランニングタイマ動作を説明します。

タイマAの動作は、TMAのTMA2~TMA0ビットにより、PSSの出力する8種類の内部クロックから選択できます。

TCAのカウント値が\$FFになった後、クロックが入力されると、タイマAはオーバフローし、IFTAが1にセットされます。このとき、タイマA割込みマスク (IMTA) が0ならば、CPUに割込みを要求します。割込みについての詳細は、「第4章 例外処理」を参照してください。

オーバーフロー時には、TCAのカウント値は\$00に戻り、再びカウントアップを開始します。したがって、256の入力クロックごとに、周期的にオーバフローを出力するインタバルタイマとして動作します。

### 17.3.2 時計用タイムベース動作

#### HD404339 / HD404369シリーズ

TMAのTMA3ビット = 1 にすると、タイマAは時計用タイムベースとして動作します。

タイマAの動作クロックは、TMAのTMA2~TMA0ビットにより、PSWの出力する4種類のクロック、およびPSWを介さない1種類のクロックの計5種類の内部クロックから選択できます。

時計用タイムベース動作では、32.768kHz水晶発振を基本クロックとした正確なタイミングで割込みを発生することができます。

時計用タイムベース動作時 (TMA3ビット = 1) に、TMA2、TMA1ビットを11にセットすると、TCAおよびPSWはともに\$00にクリアされます。

時計用タイムベースモードは、ウォッチモード、サブアクティブモードの遷移/解除に使用されます。詳細は、「第6章 低消費電力モード」を参照してください。

## 17.4 割込み

タイマAの割込み要因は、TCAのオーバフロ - です。

TCAがオーバフロ - すると、割込み制御ビットエリアのIFTAが1にセットされます。IFTAは、割込みが受け付けられてもオートクリアされません。割込み処理ル - チンの中でソフトウェアにより0にクリアしてください。

タイマA割込みは、割込み制御ビットエリアのIMTAにより、タイマA割込みを独立に許可または禁止できます。詳細は、「第4章 例外処理」を参照してください。

## 17.5 使用上の注意

タイムベースモード使用時に分周比を途中で切り換えると、オーバフロー周期に誤差が発生しますので途中切り換えは行わないでください。

EOL Product

---

# 18. タイマB

---

---

## 第18章 目次

---

18.1	概要	407
18.1.1	特長	407
18.1.2	ブロック図	408
18.1.3	端子構成	410
18.1.4	レジスタ構成	410
18.2	各レジスタの説明	411
18.2.1	タイマモードレジスタB1 (TMB1)	411
18.2.2	タイマモードレジスタB2 (TMB2)	415
18.2.3	タイマカウンタB (TCB)	416
18.2.4	タイマライトレジスタBL、U (TWBL、TWBU)	417
18.2.5	タイマリードレジスタBL、U (TRBL、TRBU)	418
18.2.6	ポートモードレジスタB (PMRB)	419
18.2.7	インプットキャプチャステータスフラグ (ICSF)	421
18.2.8	インプットキャプチャエラーフラグ (ICEF)	421
18.3	動作説明	422
18.3.1	フリーランニングタイマ動作	422
18.3.2	リロードタイマ動作	423
18.3.3	外部イベントカウンタ動作	423
18.3.4	インプットキャプチャタイマ動作	423
18.4	割込み	424
18.5	使用上の注意	424

EOL Product



## 18.1 概要

### 18.1.1 特長

タイマBは、8ビットの多機能タイマ（フリーランニング/イベントカウンタ/リロードタイマ/インプットキャプチャタイマ\*）です。

タイマBの特長を以下に示します。

【注】\* HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズにのみ適用します。HD404344R / HD404394シリーズのタイマBには、インプットキャプチャ機能はありません。

#### HD404344R / HD404394シリーズ

プリスケラS（PSS）をクロックソースとする7種類の内部クロック（ $2048t_{cyc}$ 、 $512t_{cyc}$ 、 $128t_{cyc}$ 、 $32t_{cyc}$ 、 $8t_{cyc}$ 、 $4t_{cyc}$ 、 $2t_{cyc}$ ）と外部イベントを選択できます。

タイマカウンタB（TCB）のオーバフローで割込みを要求できます。

#### HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ

プリスケラS（PSS）をクロックソースとする7種類の内部クロック（ $2048t_{cyc}$ 、 $512t_{cyc}$ 、 $128t_{cyc}$ 、 $32t_{cyc}$ 、 $8t_{cyc}$ 、 $4t_{cyc}$ 、 $2t_{cyc}$ ）と外部イベントを選択できます。

タイマカウンタB（TCB）のオーバフローで割込みを要求できます。

外部イベントをトリガとするインプットキャプチャタイマ動作が可能です。

インプットキャプチャタイマ動作で割込みを要求できます。

## 18. タイマB 全シリーズ

### 18.1.2 ブロック図

フリーランニング/リロードタイマ動作時のタイマBのブロック図を図18.1に示します。

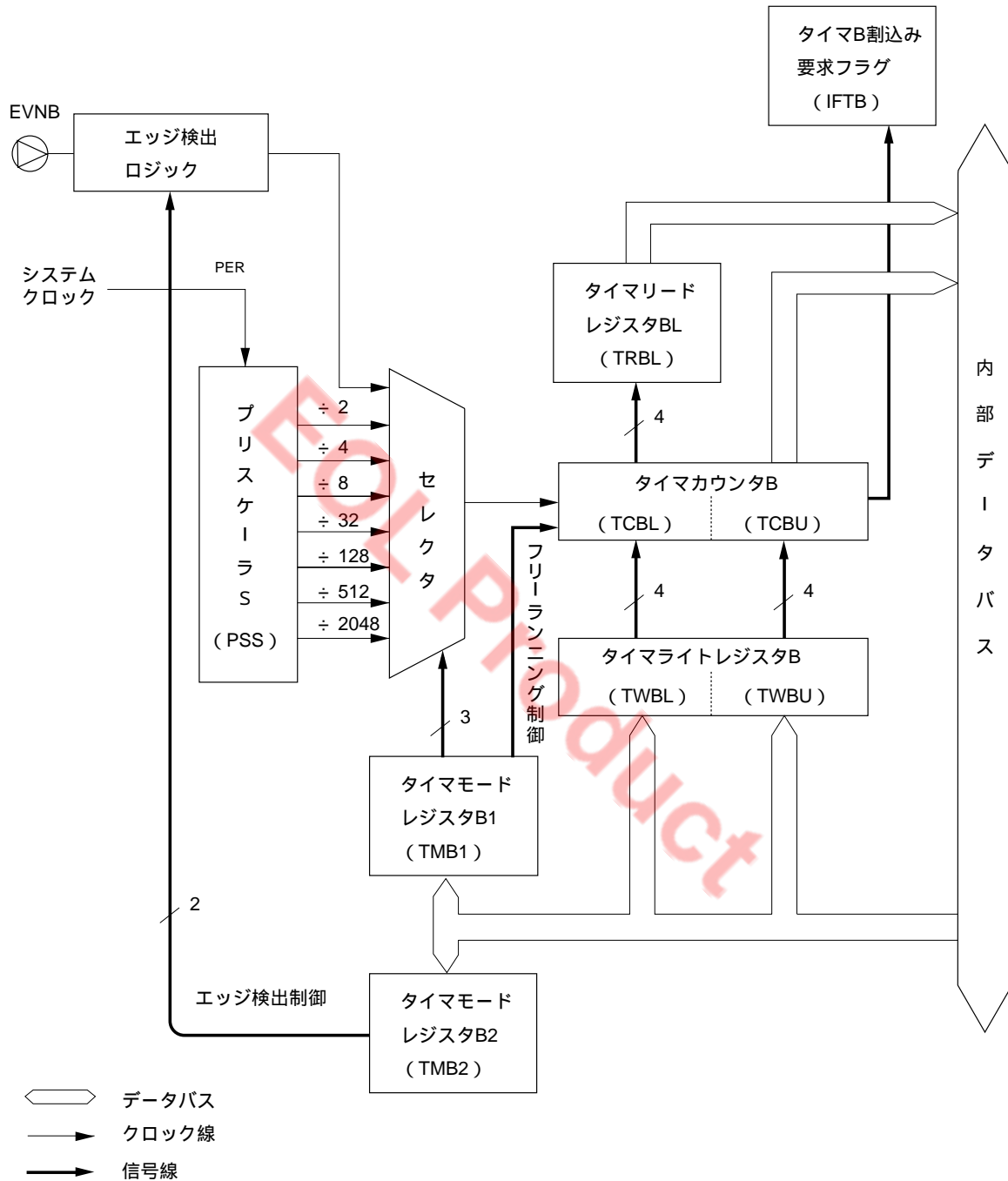


図18.1 タイマBのブロック図 (フリーランニング/リロードタイマ)

# 18. タイマB HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ

インプットキャプチャタイマ動作時のタイマBのブロック図 (HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ) を図18.2に示します。

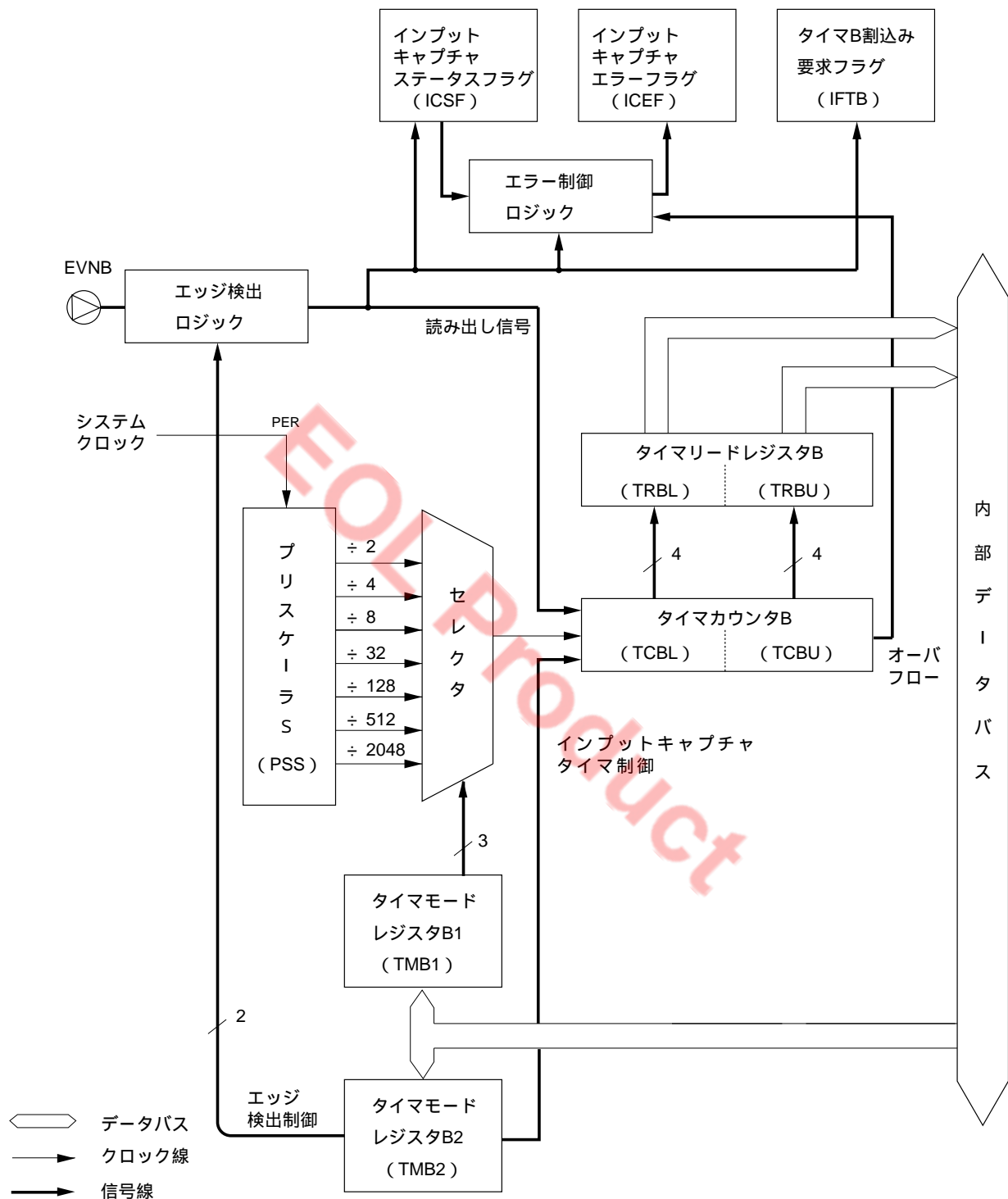


図18.2 タイマBのブロック図 (HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ) (インプットキャプチャタイマ)

## 18. タイマB 全シリーズ

### 18.1.3 端子構成

タイマBの端子構成を表18.1に示します。

表18.1 端子構成

名 称	記 号	入出力	機 能
タイマBイベント入力	EVNB	入 力	タイマBイベント入力端子、インプットキャプチャタイマトリガ入力端子*

【注】\* HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズにのみ適用します。HD404344R / HD404394シリーズのタイマBには、インプットキャプチャ機能はありません。

### 18.1.4 レジスタ構成

タイマBのレジスタ構成を表18.2に示します。

表18.2 レジスタ構成

アドレス	名 称	略 称	R / W	初期値
\$ 009	タイマモードレジスタB1	TMB1	W	\$ 0
\$ 026	タイマモードレジスタB2	TMB2	W	\$ 0
——	タイマカウンタB	TCB	——	\$ 00
\$ 00A	タイマライトレジスタBL	TWBL	W	\$ 0
\$ 00B	タイマライトレジスタBU	TWBU	W	不定
\$ 00A	タイマリードレジスタBL	TRBL	R	不定
\$ 00B	タイマリードレジスタBU	TRBU	R	不定
\$ 024	ポートモードレジスタB	PMRB	W	\$ 0
\$ 021,0	インプットキャプチャステータスフラグ*	ICSF*	R/W*	0
\$ 021,1	インプットキャプチャエラーフラグ*	ICEF*	R/W*	0

【注】\* HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズにのみ適用します。HD404344R / HD404394シリーズのタイマBには、インプットキャプチャ機能はありません。

ICSF、ICEFは、レジスタフラグエリアに割り付けられており、RAMビット操作命令のみ使用可能です。本フラグは、セットのための1ライトのみ可能であり、命令で0にクリアすることはできません。詳細は、「第2章 メモリ」を参照してください。

## 18.2 各レジスタの説明

### 18.2.1 タイマモードレジスタB1 (TMB1 : \$009)

TMB1は、4ビットの書き込み専用レジスタで、タイマBの機能（フリーランニングリロードタイマ）と動作クロックを選択します。

リセット、およびストップモード時に、TMB1は\$0にイニシャライズされます。

ビット:	3	2	1	0
	TMB13	TMB12	TMB11	TMB10
初期値:	0	0	0	0
R/W:	W	W	W	W

タイマBクロック選択

TMB12	TMB11	TMB10	入力クロックソース
0	0	0	2048 $t_{cyc}$
		1	512 $t_{cyc}$
	1	0	128 $t_{cyc}$
		1	32 $t_{cyc}$
1	0	0	8 $t_{cyc}$
		1	4 $t_{cyc}$
	1	0	2 $t_{cyc}$
		1	EVNB (外部イベント入力端子)

【注】 タイマBクロックに外部イベント入力を設定する場合、ポートモードレジスタBを以下のようにしてください。

HD404344R / HD404394シリーズ :

PMRB0ビットを1に設定

HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ : PMRB2ビットを1に設定

タイマB機能選択

0	フリーランニングタイマ
1	リロードタイマ

### ビット3 : タイマB機能選択 (TMB13)

タイマBの機能を選択します。

TMB13	説明
0	フリーランニングタイマ機能を選択します。(初期値)
1	リロードタイマ機能を選択します。

## 18. タイマB 全シリーズ

### ビット2～0：タイマBクロック選択 (TMB12～TMB10)

TCBの入カクロック周期を選択します。

#### アクティブモード

HD404344R / HD404394 / HD404318 / HD404358 / HD404358Rシリーズ

TMB12	TMB11	TMB10	説 明					
			ソース プリスケーラ	入力クロック周期				
				記 号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 4MHz
0	0	0	PSS	2048t <sub>cyc</sub>	20.48ms	10.24ms	4.096ms	2.048ms
		1	PSS	512t <sub>cyc</sub>	5.12ms	2.56ms	1.024ms	512 μs
	1	0	PSS	128t <sub>cyc</sub>	1.28ms	640 μs	256 μs	128 μs
		1	PSS	32t <sub>cyc</sub>	320 μs	160 μs	64 μs	32 μs
1	0	0	PSS	8t <sub>cyc</sub>	80 μs	40 μs	16 μs	8 μs
		1	PSS	4t <sub>cyc</sub>	40 μs	20 μs	8 μs	4 μs
	1	0	PSS	2t <sub>cyc</sub>	20 μs	10 μs	4 μs	2 μs
		1	-	外部イベント入力 (EVNB端子)				

HD404339 / HD404369シリーズ

#### (1) システムクロック分周比：4分周 (SSR21、SSR20\*ビット=00)

TMB12	TMB11	TMB10	説 明					
			ソース プリスケーラ	入力クロック周期				
				記 号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 4MHz
0	0	0	PSS	2048t <sub>cyc</sub>	20.48ms	10.24ms	4.096ms	2.048ms
		1	PSS	512t <sub>cyc</sub>	5.12ms	2.56ms	1.024ms	512 μs
	1	0	PSS	128t <sub>cyc</sub>	1.28ms	640 μs	256 μs	128 μs
		1	PSS	32t <sub>cyc</sub>	320 μs	160 μs	64 μs	32 μs
1	0	0	PSS	8t <sub>cyc</sub>	80 μs	40 μs	16 μs	8 μs
		1	PSS	4t <sub>cyc</sub>	40 μs	20 μs	8 μs	4 μs
	1	0	PSS	2t <sub>cyc</sub>	20 μs	10 μs	4 μs	2 μs
		1	-	外部イベント入力 (EVNB端子)				

【注】\* システムクロック選択レジスタ2 (SSR2) のビット1、0

## 18. タイマB HD404339 / HD404369シリーズ

HD404339 / HD404369シリーズ

### (2) システムクロック分周比：8分周 (SSR21、SSR20\*ビット=01)

TMB12	TMB11	TMB10	説 明					
			ソース プリスケアラ	入力クロック周期				
				記 号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 4MHz
0	0	0	PSS	2048t <sub>cyc</sub>	40.96ms	20.48ms	8.192ms	4.096ms
		1	PSS	512t <sub>cyc</sub>	10.24ms	5.12ms	2.048ms	1.024ms
	1	0	PSS	128t <sub>cyc</sub>	2.56ms	1.28ms	512 μs	256 μs
		1	PSS	32t <sub>cyc</sub>	640 μs	320 μs	128 μs	64 μs
1	0	0	PSS	8t <sub>cyc</sub>	160 μs	80 μs	32 μs	16 μs
		1	PSS	4t <sub>cyc</sub>	80 μs	40 μs	16 μs	8 μs
	1	0	PSS	2t <sub>cyc</sub>	40 μs	20 μs	8 μs	4 μs
		1	-	外部イベント入力 (EVNB)				

【注】\* システムクロック選択レジスタ2 (SSR2) のビット1、0

### (3) システムクロック分周比：16分周 (SSR21、SSR20\*ビット=10)

TMB12	TMB11	TMB10	説 明					
			ソース プリスケアラ	入力クロック周期				
				記 号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 4MHz
0	0	0	PSS	2048t <sub>cyc</sub>	81.92ms	40.96ms	16.384ms	8.192ms
		1	PSS	512t <sub>cyc</sub>	20.48ms	10.24ms	4.096ms	2.048ms
	1	0	PSS	128t <sub>cyc</sub>	5.12ms	2.56ms	1.024ms	512 μs
		1	PSS	32t <sub>cyc</sub>	1.28ms	640 μs	256 μs	128 μs
1	0	0	PSS	8t <sub>cyc</sub>	320 μs	160 μs	64 μs	32 μs
		1	PSS	4t <sub>cyc</sub>	160 μs	80 μs	32 μs	16 μs
	1	0	PSS	2t <sub>cyc</sub>	80 μs	40 μs	16 μs	8 μs
		1	-	外部イベント入力 (EVNB)				

【注】\* システムクロック選択レジスタ2 (SSR2) のビット1、0

## 18. タイマB HD404339 / HD404369シリーズ

### HD404339 / DHD404369シリーズ

#### (4) システムクロック分周比：32分周（SSR21、SSR20\*ビット=11）

TMB12	TMB11	TMB10	説 明					
			ソース プリスケアラ	入力クロック周期				
				記 号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 4MHz
0	0	0	PSS	2048t <sub>cyc</sub>	163.84ms	81.92ms	32.768ms	16.384ms
		1	PSS	512t <sub>cyc</sub>	40.96ms	20.48ms	8.192ms	4.096ms
	1	0	PSS	128t <sub>cyc</sub>	10.24ms	5.12ms	2.048ms	1.024ms
		1	PSS	32t <sub>cyc</sub>	2.56ms	1.28ms	512 μs	256 μs
1	0	0	PSS	8t <sub>cyc</sub>	640 μs	320 μs	128 μs	64 μs
		1	PSS	4t <sub>cyc</sub>	320 μs	160 μs	64 μs	32 μs
	1	0	PSS	2t <sub>cyc</sub>	160 μs	80 μs	32 μs	16 μs
		1	-	外部イベント入力（EVNB端子）				

【注】\* システムクロック選択レジスタ2（SSR2）のビット1、0

#### サブアクティブモード

### HD404339 / HD404369シリーズ

TMB12	TMB11	TMB10	説 明			
			ソース プリスケアラ	記 号	入力クロック周期	
					f <sub>x</sub> = 32.768kHz（サブアクティブモード時）	
		SSR12*ビット=0	SSR12*ビット=1			
0	0	0	PSS	2048t <sub>cyc</sub>	500ms	250ms
		1	PSS	512t <sub>cyc</sub>	125ms	62.5ms
	1	0	PSS	128t <sub>cyc</sub>	31.25ms	15.625ms
		1	PSS	32t <sub>cyc</sub>	7.8125ms	3.9063ms
1	0	0	PSS	8t <sub>cyc</sub>	1.9531ms	976.56 μs
		1	PSS	4t <sub>cyc</sub>	976.56 μs	488.28 μs
	1	0	PSS	2t <sub>cyc</sub>	488.28 μs	244.14 μs
		1	PSS	-	外部イベント入力（EVNB端子）	

【注】\* システムクロック選択レジスタ1（SSR1）のビット2



## 18.2.2 タイマモードレジスタB 2 (TMB2 : \$ 026)

TMB2は、3ビットの書き込み専用レジスタで、インプットキャプチャ機能の設定とEVNB端子入力検出エッジを選択します。

リセット、およびストップモード時に、TMB2は\$ 0にイニシャライズされます。



【注】\* HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズに適用します。  
HD404344R / HD404394シリーズでは、TMB22ビットは使用禁止です。

## ビット2 : インプットキャプチャ設定 (TMB22)

HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ

タイマBの機能を選択します。本ビットが0のとき、TMB1のTMB13ビットによりフリーランニングタイマまたはリロードタイマの選択ができます。

TMB22	説明
0	フリーランニングタイマ / リロードタイマ機能を選択します。 (初期値)
1	インプットキャプチャタイマ機能を選択します。



## 18.2.4 タイマライトレジスタBL、U (TWBL : \$00A、TWBU : \$00B)

TWBL、TWBUは、8ビットの書き込み専用レジスタで、下位ディジット (TWBL) と上位ディジット (TWBU) から構成されています。TWBL、TWBUは、TCBの値の初期設定 (リロードタイマ動作時のリロード値の設定) に使用します。

	ビット:	3	2	1	0
TWBU		TWBU3	TWBU2	TWBU1	TWBU0
	初期値:	不定	不定	不定	不定
	R/W:	W	W	W	W

	ビット:	3	2	1	0
TWBL		TWBL3	TWBL2	TWBL1	TWBL0
	初期値:	0	0	0	0
	R/W:	W	W	W	W

データは、まずTWBL、次にTWBUの順に書き込んでください。TWBLの書き込みでは、TCBの値は変更されません。次にTWBUを書き込んだタイミングで、TCBの上位ディジットにTWBUの値が、またTCBの下位ディジットにTWBLの値が書き込まれます。

2度目以降、TWBL、TWBUを書き込む場合、TWBLのリロード値を変更する必要のないときには、TWBUのみ書き込めば、タイマBのイニシャライズが完了します。

リセット、およびストップモード時に、TWBLは\$0にイニシャライズされますが、TWBUは不定です。

## 18. タイマB 全シリーズ

### 18.2.5 タイマリードレジスタBL、U (TRBL : \$00A、TRBU : \$00B)

TRBL、TRBUは、8ビットの読み出し専用レジスタです。インプットキャプチャタイマ動作\*以外では、下位ディジット (TRBL) とTCBの上位ディジットの値を直接読み出す上位ディジット (TRBU) から構成されています。TRBL、TRBUは、TCBの値を読み出すために使用します。

【注】\* HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズに適用します。HD404344R / HD404394シリーズでは、インプットキャプチャ機能はありません。

	ビット:	3	2	1	0
TRBU		TRBU3	TRBU2	TRBU1	TRBU0
	初期値:	不定	不定	不定	不定
	R/W:	R	R	R	R
	ビット:	3	2	1	0
TRBL		TRBL3	TRBL2	TRBL1	TRBL0
	初期値:	不定	不定	不定	不定
	R/W:	R	R	R	R

読み出しは、まずTRBU、次にTRBLの順に行ってください。TRBUの読み出しでは、TCBの上位ディジットの現在値を読み出すと同時に、TCBの下位ディジットの値がTRBLにラッチされます。次に、TRBLの読み出しにより、ラッチされた値が読み出され、TRBUを読み出した時点のTCBの値が得られます。

HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズインプットキャプチャタイマ動作時では、TRBL、TRBUはTCBの値をラッチする8ビットレジスタとなり、どちらを先に読み出してもかまいません。

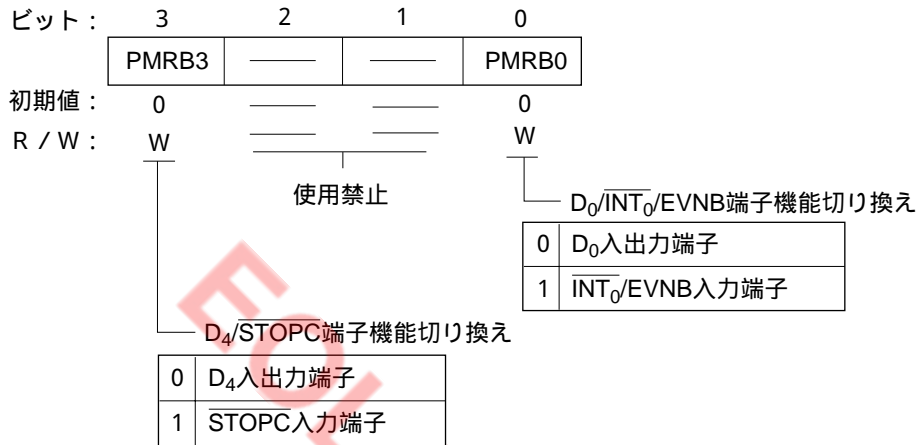
リセット、およびストップモード時、TRBL、TRBUは不定となります。

18.2.6 ポートモードレジスタB (PMRB : \$024)

HD404344R / HD404394シリーズ

PMRBは、2ビットの書き込み専用レジスタで、PMRB0ビットでイベントカウントに使用する入出力端子の切り換えを行います。

ここではPMRB0ビットについて説明します。PMB3ビットの切り換えについては「第7、8章 I/Oポート」の「ポートモードレジスタB (PMRB)」の項を参照してください。



**ビット0 : D<sub>0</sub>/ $\overline{\text{INT}}_0$ /EVNB端子機能切り換え (PMRB0)**

D<sub>0</sub>/ $\overline{\text{INT}}_0$ /EVNB端子をD<sub>0</sub>入出力端子として使用するか、外部割込み0 / タイマBイベントの入力端子 ( $\overline{\text{INT}}_0$ /EVNB)として使用するかを選択します。

PMRB0	説 明
0	D <sub>0</sub> / $\overline{\text{INT}}_0$ /EVNB 端子は、D <sub>0</sub> 入出力端子として機能します。 (初期値)
1	D <sub>0</sub> / $\overline{\text{INT}}_0$ /EVNB端子は、 $\overline{\text{INT}}_0$ /EVNB入力端子として機能します。

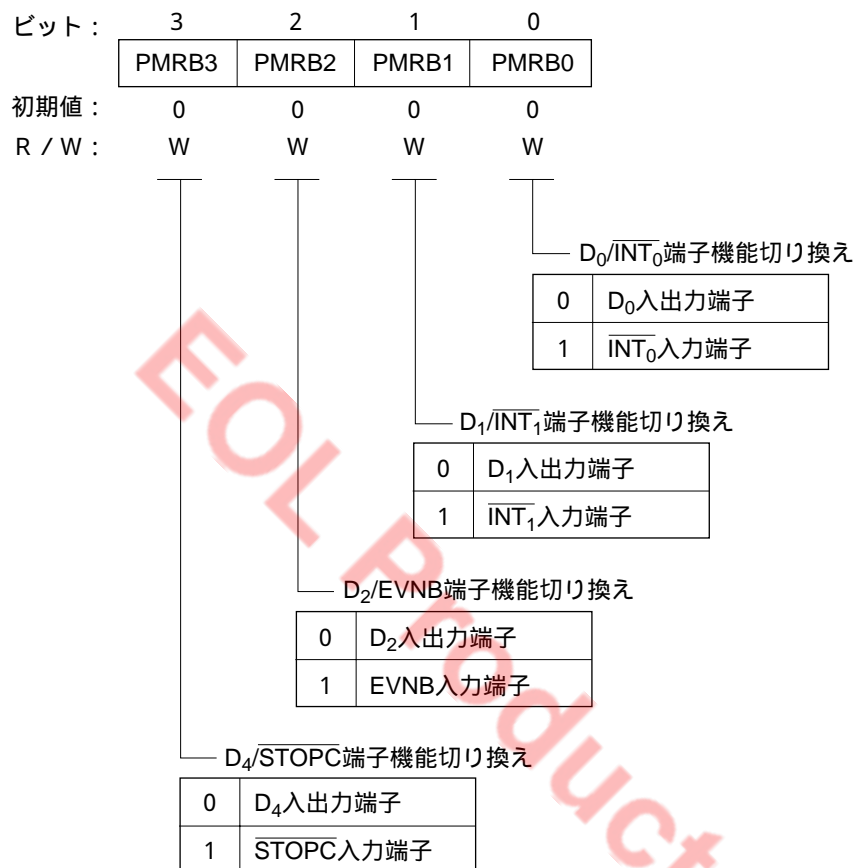
EVNB端子として使用する時には、PMRB0ビットを1にセットしてください。また、TMB1のTMB12~TMB10ビットを111に設定し、TMB2のTMB21、TMB20ビットによって検出エッジを選択してください。このとき、通常は $\overline{\text{INT}}_0$ 割込みはマスクしてください(「18.2.1 タイマモードレジスタB1 (TMB1)」を参照)。

## 18. タイマB HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ

### HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリ - ズ

PMRBは、4ビットの書き込み専用レジスタで、PMRB2ビットでイベントカウントとインプットキャプチャに使用する入出力端子の切り換えを行います。

ここではPMRB2ビットについて説明します。PMRB3、PMRB1、PMRB0ビットの切り換えについては、「第9～12章 I/Oポート」の「ポートモードレジスタ」の項を参照してください。



#### ビット2 : D<sub>2</sub>/EVNB端子機能切り換え (PMRB2)

D<sub>2</sub>/EVNB端子をD<sub>2</sub>入出力端子として使用するか、タイマBイベント入力端子 (EVNB) として使用するかを選択します。

PMRB2	説 明
0	D <sub>2</sub> /EVNB 端子は、D <sub>2</sub> 入出力端子として機能します。 (初期値)
1	D <sub>2</sub> /EVNB端子は、EVNB入力端子として機能します。

EVNB端子として使用する時には、PMRB0ビットを1にセットしてください。また、TMB1のTMB12～TMB10ビットを111に設定し、TMB2のTMB21、TMB20ビットによって検出エッジを選択してください (「18.2.1 タイマモードレジスタB1 (TMB1)」を参照)。

## 18. タイマB HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ

### 18.2.7 インプットキャプチャステータスフラグ (ICSF : \$ 021,0)

#### HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ

ICSFは、インプットキャプチャタイマ動作時 (TMB22 = 1) に、EVNB端子にTMB21 ~ TMB20ビットにより指定されたエッジが検出されると1にセットされます。

ICSFは、RAMビット操作命令によってのみ、読み出しおよび書き込み (0書き込みのみ) が可能です。リセット、およびストップモード時に、ICSFは0にクリアされます。

ICSF	説 明
0	インプットキャプチャトリガ入力 (EVNB) を検出していないことを示します。 (初期値)
1	インプットキャプチャトリガ入力 (EVNB) を検出したことを示します。

### 18.2.8 インプットキャプチャエラーフラグ (ICEF : \$ 021,1)

#### HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ

ICEFは、ICSFが1にセットされた状態で次のインプットキャプチャトリガ入力を検出したとき、またはICSFが1にセットされた状態でTCBがオーバフローしたときに1にセットされます。

ICEFは、RAMビット操作命令によってのみ、読み出しおよび書き込み (0書き込みのみ) が可能です。リセット、およびストップモード時に、ICEFは0にクリアされます。

ICEF	説 明
0	インプットキャプチャタイマ動作のエラーがないことを示します。 (初期値)
1	ICSF = 1の状態、次のインプットキャプチャトリガ入力を検出したか、または、ICSF = 1の状態、TCBがオーバフローしたことを示します。

## 18. タイマB 全シリーズ

### 18.3 動作説明

タイマBは、8ビットの多機能タイマです。各シリーズで使用可能な機能を表18.3に示します。タイマモードレジスタBの設定により、各機能を使い分けます。

表18.3 タイマBの機能

機能	シリーズ	HD404344R / HD404394	HD404318 / HD404358 / HD404358R / HD404339 / HD404369
フリーランニングタイマ			
リロードタイマ			
外部イベントカウンタ			
インプットキャプチャタイマ		-	

#### 18.3.1 フリーランニングタイマ動作

Bタイマは8ビットのフリーランニングタイマとして使用できます。

TMBのTMB22ビット = 0\*、かつTMB1のTMB13ビット = 0にすると、タイマBは8ビットフリーランニングタイマとして動作します。

リセット時、TCBは\$00に、TMB22ビット\*とTMB13ビットはそれぞれ0にクリアされるために、リセット直後は、フリーランニングカウンタとして停止することなくカウントアップを続けます。タイマBの動作クロックは、TMBのTMB12~TMB10ビットにより、PSSの出力する7種類の内部クロックから選択できます。

【注】\* HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズにのみ適用します。HD404344R / HD404394シリーズでは、使用できません。

TCBのカウント値が\$FFになった後、クロックが入力されると、タイマBはオーバフローし、IFTBが1にセットされます。このとき、タイマB割込みマスク(IMTB)が0ならば、CPUに割込みを要求します。割込みについての詳細は、「第4章 例外処理」を参照してください。

オーバフロー時には、TCBのカウント値は\$00に戻り、再びカウントアップを開始します。



### 18.3.2 リロードタイマ動作

TMBのTMB22ビット = 0 \*かつTMB1のTMB13ビット = 1にすると、タイマBは8ビットのリロードタイマとして動作します。TWBL、TWBUにリロード値を設定することにより、同時にその値がTCBに書き込まれ、TCBはその値からカウントアップを開始します。

TCBの値が\$ FFになった後クロックが入力されると、タイマBはオーバフローし、TWBL、TWBUの値がTCBに書き込まれて、その値からカウントアップを継続します。したがって、TWBL、TWBUの値により、オーバフロー周期を入力クロック1～256の範囲で指定できます。

リロードタイマ動作時の動作クロック、割込みについてはフリーランニングタイマと同様です。

TWBL、TWBUにリロード値を再設定すると、同時にTCBにもその値が書き込まれます。

【注】\* HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズにのみ適用します。HD404344R / HD404394シリーズでは、TMB22ビットは使用禁止です。

### 18.3.3 外部イベントカウンタ動作

TMB1のTMB12～TMB10ビットを111に設定すると、TCBはTMB21、TMB20ビットで指定されたEVNB端子の入力エッジでカウントアップします。

その他の動作については、TMB1のTMB13ビットの設定により、フリーランニングタイマ動作、またはリロードタイマ動作と同様になります。

### 18.3.4 インพุットキャプチャタイマ動作

HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ

インพุットキャプチャタイマは、EVNB入力端子の検出エッジの間の時間を計測する機能です。インพุットキャプチャタイマとして使用する場合には、TCBの動作クロックは内部クロックを選択してください。

TMB2のTMB22ビットを1にセットすると、タイマBはインพุットキャプチャタイマ動作となります。このとき、TCBは\$ 00にクリアされます。

検出エッジは、TMB2のTMB21、TMB20ビットにより、EVNB端子入力の立ち下がりエッジ、立ち上がりエッジ、または立ち下がり / 立ち上がり両エッジ検出のいずれかを選択できます。

EVNB端子にエッジが検出されると、そのときのTCBの値がTRBL、TRBUに格納され、IFTBとICSFがそれぞれ1にセットされます。同時にTCBは\$ 00にクリアされ、カウントアップを継続します。

ICSFが1にセットされた状態で、次のエッジを検出したとき、またはTCBがオーバフローしたときには、ICEFが1にセットされます。

タイマBをインพุットキャプチャタイマとして使用する場合（TMB22ビット = 1）TRBL、TRBUはどちらを先に読み出してもかまいません（図18.2参照）。

## 18. タイマB 全シリーズ

---

### 18.4 割込み

タイマBの割込み要因は、TCBのオーバフロー、およびインプットキャプチャタイマ動作時のEVNB端子のエッジ検出\*です。

割込み要因が発生すると、割込み制御ビットエリアのIFTBが1にセットされます。IFTBは、割込みが受け付けられてもオートクリアされません。割込み処理ルーチンの中でソフトウェアにより0にクリアしてください。

タイマB割込みは、割込み制御ビットエリアのIMTBにより、タイマB割込みを独立に許可または禁止できます。

【注】\* HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズにのみ適用します。HD404344R / HD404394シリーズのタイマBには、インプットキャプチャ機能はありません。

### 18.5 使用上の注意

タイマBを使用するとき、次の点に注意してください。

(1) TWBL、TWBUにより、TCBのリロード値設定および、TCBの初期設定を行う場合には、まずTWBL、次にTWBUの順序で書き込んでください。TWBUを書き込んだタイミングで、TWBUとTWBLの値が同時にTCBに書き込まれます。

したがって、TWBLがすでに設定済みであり、上位ディジットのみ変更したい場合には、TWBUのみ書き換えてください。

(2) TRBL、TRBUにより、TCBの値を読み出す場合には、まずTRBU、次にTRBLの順序で読み出してください。TRBUを読み出したタイミングで、その時点のTCBの下位ディジットの値がTRBLにラッチされます。次にTRBLを読み出すとラッチされたデータが読めます。

ただし、インプットキャプチャタイマ動作時のTRBL、TRBUは、どちらを先に読み出してもかまいません。

(3) TMB1の変更は、TMB1への書き込み命令実行の2命令後から有効になります。したがって、TWBL、TWBUへの書き込みによるタイマBのイニシャライズ（リロード値設定、TCBイニシャライズ）は、TMB1変更後のモードが有効となってから実行されるようにプログラムする必要があります。

(4) TMB2で、EVNB端子の立ち上がり / 立ち下がり両エッジ検出を選択した場合には、立ち下がりエッジと立ち上がりエッジの間隔が、 $2t_{cyc}$ 以上になるようにしてください。

---

# 19. タイマC

---

---

## 第19章 目次

---

19.1	概要	427
19.1.1	特長	427
19.1.2	ブロック図	428
19.1.3	端子構成	429
19.1.4	レジスタ構成	429
19.2	各レジスタの説明	430
19.2.1	タイマモードレジスタC (TMC)	430
19.2.2	ポートモードレジスタA (PMRA)	434
19.2.3	タイマカウンタC (TCC)	435
19.2.4	タイマライトレジスタCL、U (TWCL、TWCU)	435
19.2.5	タイマリードレジスタCL、U (TRCL、TRCU)	436
19.2.6	ウォッチドッグオンフラグ (WDON)	437
19.3	動作説明	438
19.3.1	フリーランニングタイマ動作	438
19.3.2	リロードタイマ動作	438
19.3.3	PWM出力動作	439
19.3.4	ウォッチドッグタイマ動作	439
19.4	割込み	440
19.5	使用上の注意	440

EOL Product

## 19.1 概要

### 19.1.1 特長

タイマCは、8ビットの多機能タイマ（フリーランニング/リロードタイマ）です。  
タイマCの特長を以下に示します。

プリスケアラS（PSS）をクロックソースとする8種類の内部クロック（ $2048t_{cyc}$ 、 $1024t_{cyc}$ 、 $512t_{cyc}$ 、 $128t_{cyc}$ 、 $32t_{cyc}$ 、 $8t_{cyc}$ 、 $4t_{cyc}$ 、 $2t_{cyc}$ ）を選択できます。

ウォッチドッグタイマとして使用できます。

波形出力（PWM出力）が可能です。

タイマカウンタC（TCC）のオーバフローで割込みを要求できます。

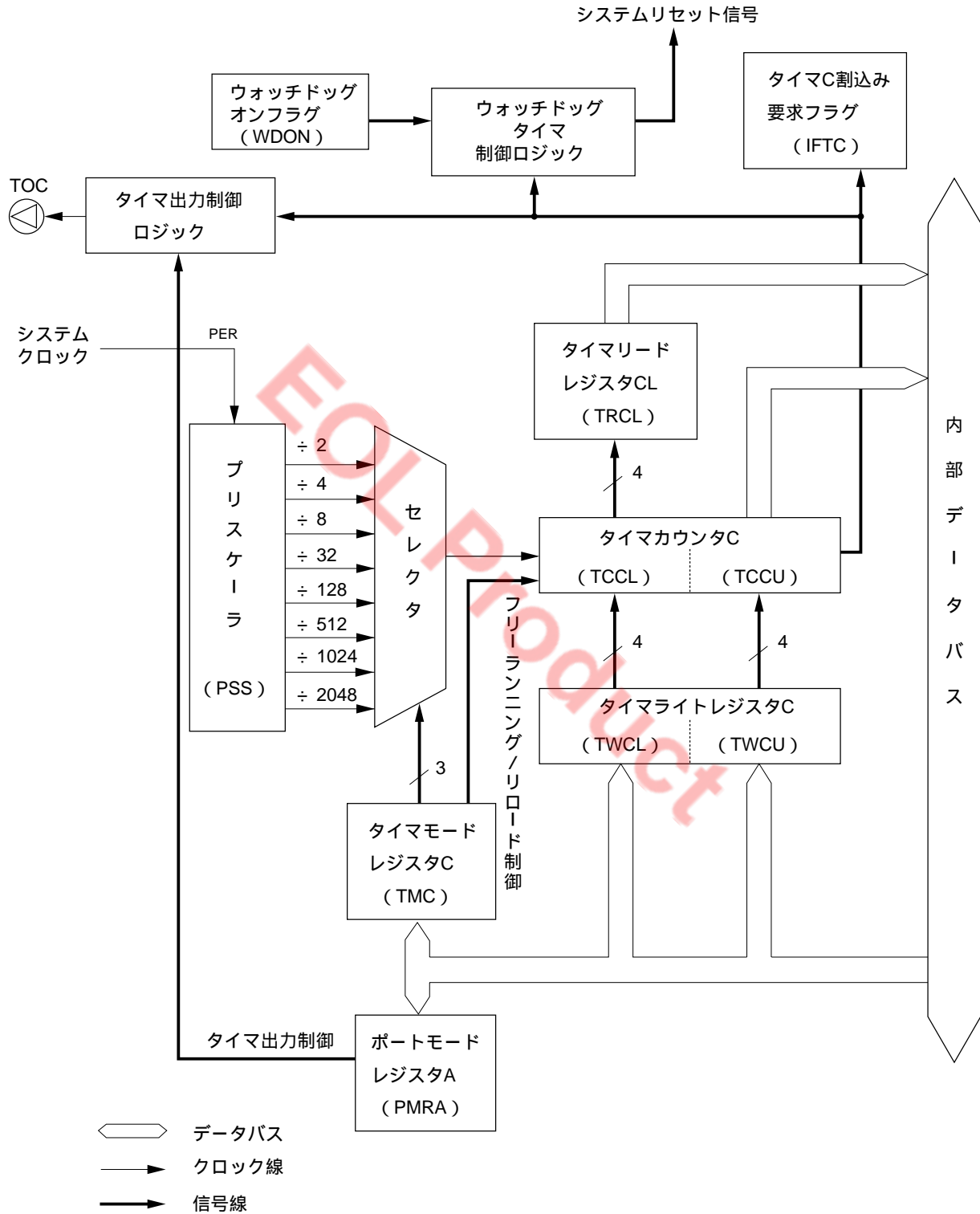
EOL Product

# 19. タイマC 全シリーズ

## 19.1.2 ブロック図

タイマCのブロック図を図19.1に示します。

図19.1 タイマCのブロック図



## 19.1.3 端子構成

タイマCの端子構成を表19.1に示します。

表19.1 端子構成

名 称	記 号	入出力	機 能
タイマC出力	TOC	出 力	タイマC出力端子

## 19.1.4 レジスタ構成

タイマCのレジスタ構成を表19.2に示します。

表19.2 レジスタ構成

アドレス	名 称	略 称	R/W	初期値
\$00D	タイマモードレジスタC	TMC	W	\$0
\$004	ポートモードレジスタA	PMRA	W	\$0
—	タイマカウンタC	TCC	—	\$00
\$00E	タイマライトレジスタCL	TWCL	W	\$0
\$00F	タイマライトレジスタCU	TWCU	W	不定
\$00E	タイマリードレジスタCL	TRCL	R	不定
\$00F	タイマリードレジスタCU	TRCU	R	不定
\$020,1	ウォッチドッグオンフラグ	WDON*	R/W*	0

【注】\* WDONは、レジスタフラグエリアに割り付けられており、RAMビット操作命令のみ使用可能です。本フラグは、セットのための1書き込みのみ可能であり、命令で0にクリアすることはできません。詳細は、「第2章 メモリ」を参照してください。

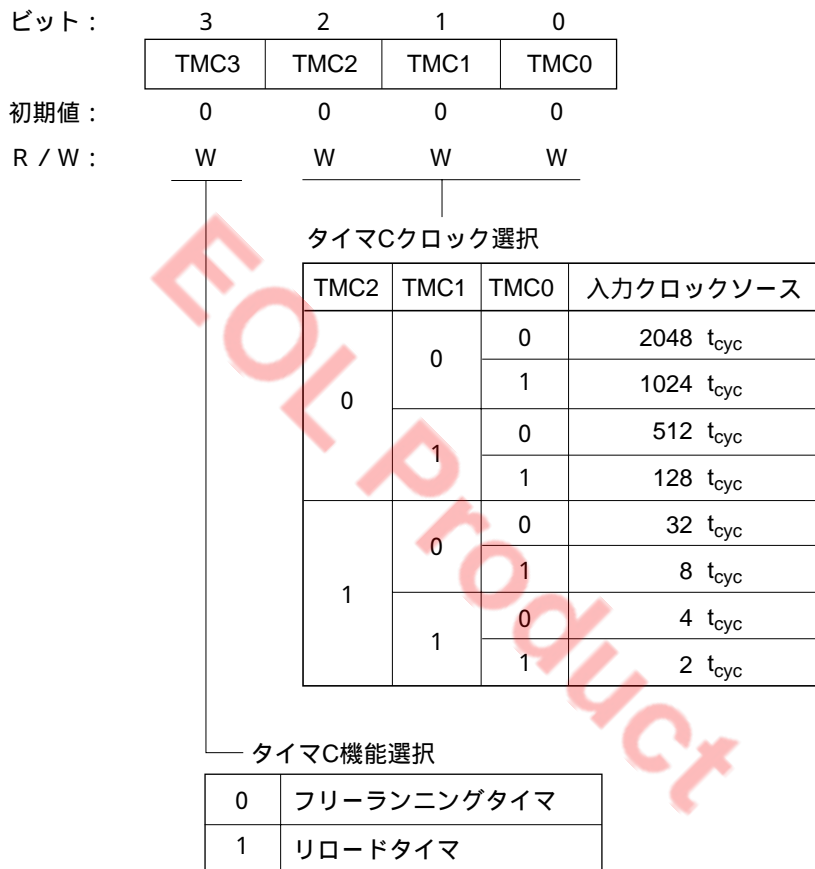
## 19. タイマC 全シリーズ

### 19.2 各レジスタの説明

#### 19.2.1 タイマモードレジスタC (TMC : \$00D)

TMCは、4ビットの書き込み専用レジスタで、タイマCの機能（フリーランニング/リロードタイマ）と動作クロックを選択します。

リセット、およびストップモード時に、TMCは\$0にイニシャライズされます。



#### ビット3 : タイマC機能選択 (TMC3)

タイマCの機能を選択します。

TMC3	説明
0	フリーランニングタイマ機能を選択します。 (初期値)
1	リロードタイマ機能を選択します。



ビット2～0：タイマCクロック選択 (TMC2～TMC0)

TCCの入カクロック周期を選択します。

アクティブモード

HD404344R / HD404394 / HD404318 / HD404358 / HD404358Rシリーズ

TMC2	TMC1	TMC0	説明					
			ソース プリスケーラ	入力クロック周期				
				記号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 4MHz
0	0	0	PSS	2048t <sub>cyc</sub>	20.48ms	10.24ms	4.096ms	2.048ms
		1	PSS	1024t <sub>cyc</sub>	10.24ms	5.12ms	2.048ms	1.024ms
	1	0	PSS	512t <sub>cyc</sub>	5.12ms	2.56ms	1.024ms	512 μs
		1	PSS	128t <sub>cyc</sub>	1.28ms	640 μs	256 μs	128 μs
1	0	0	PSS	32t <sub>cyc</sub>	320 μs	160 μs	64 μs	32 μs
		1	PSS	8t <sub>cyc</sub>	80 μs	40 μs	16 μs	8 μs
	1	0	PSS	4t <sub>cyc</sub>	40 μs	20 μs	8 μs	4 μs
		1	PSS	2t <sub>cyc</sub>	20 μs	10 μs	4 μs	2 μs

HD404339 / HD404369シリーズ

(1) システムクロック分周比：4分周 (SSR21、SSR20ビット\* = 00)

TMC2	TMC1	TMC0	説明					
			ソース プリスケーラ	入力クロック周期				
				記号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 4MHz
0	0	0	PSS	2048t <sub>cyc</sub>	20.48ms	10.24ms	4.096ms	2.048ms
		1	PSS	1024t <sub>cyc</sub>	10.24ms	5.12ms	2.048ms	1.024ms
	1	0	PSS	512t <sub>cyc</sub>	5.12ms	2.56ms	1.024ms	512 μs
		1	PSS	128t <sub>cyc</sub>	1.28ms	640 μs	256 μs	128 μs
1	0	0	PSS	32t <sub>cyc</sub>	320 μs	160 μs	64 μs	32 μs
		1	PSS	8t <sub>cyc</sub>	80 μs	40 μs	16 μs	8 μs
	1	0	PSS	4t <sub>cyc</sub>	40 μs	20 μs	8 μs	4 μs
		1	PSS	2t <sub>cyc</sub>	20 μs	10 μs	4 μs	2 μs

【注】\* システムクロック選択レジスタ2 (SSR2) のビット1、0

## 19. タイマC HD404339 / HD404369シリーズ

### HD404339/HD404369シリーズ

#### (2) システムクロック分周比：8分周（SSR21、SSR20\* = 01）

TMC2	TMC1	TMC0	説 明					
			ソース プリスケータ	入力クロック周期				
				記 号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 4MHz
0	0	0	PSS	2048t <sub>cyc</sub>	40.96ms	20.48ms	8.192ms	4.096ms
		1	PSS	1024t <sub>cyc</sub>	20.48ms	10.24ms	4.096ms	2.048ms
	1	0	PSS	512t <sub>cyc</sub>	10.24ms	5.12ms	2.048ms	1.024ms
		1	PSS	128t <sub>cyc</sub>	2.56ms	1.28ms	512 μs	256 μs
1	0	0	PSS	32t <sub>cyc</sub>	640 μs	320 μs	128 μs	64 μs
		1	PSS	8t <sub>cyc</sub>	160 μs	80 μs	32 μs	16 μs
	1	0	PSS	4t <sub>cyc</sub>	80 μs	40 μs	16 μs	8 μs
		1	PSS	2t <sub>cyc</sub>	40 μs	20 μs	8 μs	4 μs

【注】\* システムクロック選択レジスタ2（SSR2）のビット1、0

#### (3) システムクロック分周比：16分周（SSR21、SSR20\* = 10）

TMC2	TMC1	TMC0	説 明					
			ソース プリスケータ	入力クロック周期				
				記 号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 4MHz
0	0	0	PSS	2048t <sub>cyc</sub>	81.92ms	40.96ms	16.384ms	8.192ms
		1	PSS	1024t <sub>cyc</sub>	40.96ms	20.48ms	8.192ms	4.096ms
	1	0	PSS	512t <sub>cyc</sub>	20.48ms	10.24ms	4.096ms	2.048ms
		1	PSS	128t <sub>cyc</sub>	5.12ms	2.56ms	1.024ms	512 μs
1	0	0	PSS	32t <sub>cyc</sub>	1.28ms	640 μs	256 μs	128 μs
		1	PSS	8t <sub>cyc</sub>	320 μs	160 μs	64 μs	32 μs
	1	0	PSS	4t <sub>cyc</sub>	160 μs	80 μs	32 μs	16 μs
		1	PSS	2t <sub>cyc</sub>	80 μs	40 μs	16 μs	8 μs

【注】\* システムクロック選択レジスタ2（SSR2）のビット1、0

HD404339 / HD404369シリーズ

(4) システムクロック分周比 : 32分周 (SSR21、SSR20\* = 11)

TMC2	TMC1	TMC0	説 明					
			ソース プリスケータ	入力クロック周期				
				記 号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 4MHz
0	0	0	PSS	2048t <sub>cyc</sub>	163.84ms	81.92ms	32.768ms	16.384ms
		1	PSS	1024t <sub>cyc</sub>	81.92ms	40.96ms	16.384ms	8.192ms
	1	0	PSS	512t <sub>cyc</sub>	40.96ms	20.48ms	8.192ms	4.096ms
		1	PSS	128t <sub>cyc</sub>	10.24ms	5.12ms	2.048ms	1.024ms
1	0	0	PSS	32t <sub>cyc</sub>	2.56ms	1.28ms	512 μs	256 μs
		1	PSS	8t <sub>cyc</sub>	640 μs	320 μs	128 μs	64 μs
	1	0	PSS	4t <sub>cyc</sub>	320 μs	160 μs	64 μs	32 μs
		1	PSS	2t <sub>cyc</sub>	160 μs	80 μs	32 μs	16 μs

【注】\* システムクロック選択レジスタ2 (SSR2) のビット1、0

サブアクティブモード

HD404339 / HD404369シリーズ

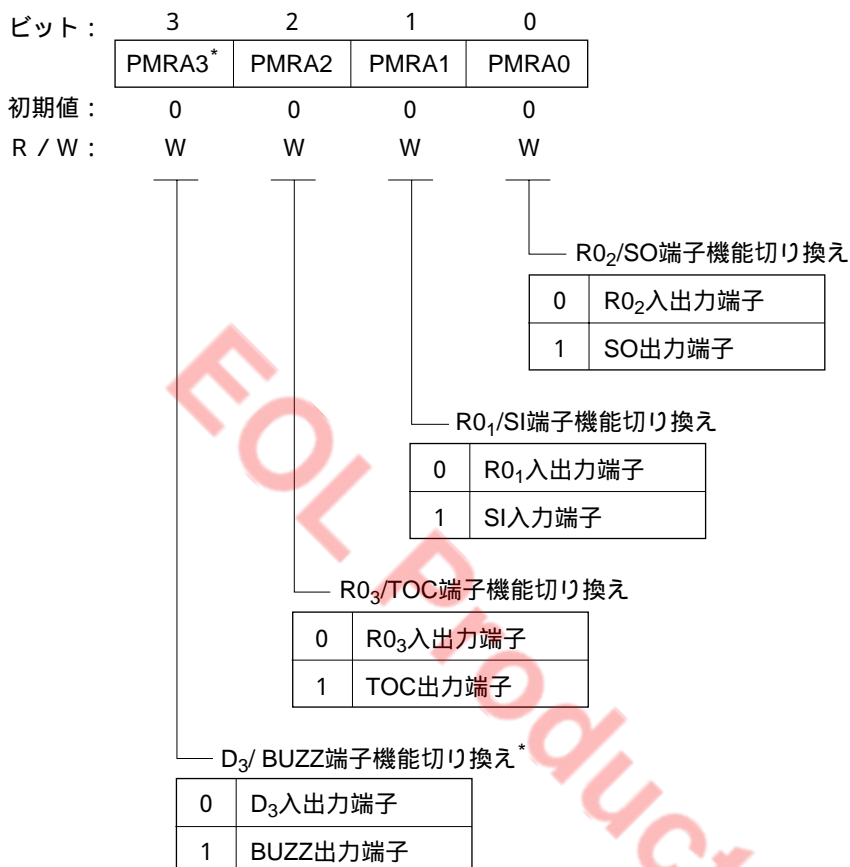
TMC2	TMC1	TMC0	説 明			
			ソース プリスケータ	記 号	入力クロック周期	
					f <sub>x</sub> = 32.768k Hz	
		SSR12ビット* = 0	SSR12ビット* = 1			
0	0	0	PSS	2048t <sub>cyc</sub>	500ms	250ms
		1	PSS	1024t <sub>cyc</sub>	250ms	125ms
	1	0	PSS	512t <sub>cyc</sub>	125ms	62.5ms
		1	PSS	128t <sub>cyc</sub>	31.25ms	15.625ms
1	0	0	PSS	32t <sub>cyc</sub>	7.8125ms	3.9063ms
		1	PSS	8t <sub>cyc</sub>	1.9531ms	976.56 μs
	1	0	PSS	4t <sub>cyc</sub>	976.56 μs	488.28 μs
		1	PSS	2t <sub>cyc</sub>	488.28 μs	244.14 μs

【注】\* システムクロック選択レジスタ1 (SSR1) のビット2

## 19. タイマC 全シリーズ

### 19.2.2 ポートモードレジスタA (PMRA : \$004)

PMRAは、4ビットの書き込み専用レジスタです。PMRA2ビットでR0<sub>3</sub>/TOC端子の機能切り換えを行います。ここでは、PMRA2ビットについて説明します。PMRA3、PMRA1、PMRA0ビットの詳細は、「21.2.1」、「20.2.4」の「ポートモードレジスタA (PMRA)」を参照してください。



【注】\* HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズに適用します。  
HD404344R / HD404394シリーズでは、PMRA3ビットは使用禁止です。

#### ビット2 : R0<sub>3</sub>/TOC端子機能切り換え (PMRA2)

R0<sub>3</sub>/TOC端子をR0<sub>3</sub>入出力端子として使用するか、タイマC出力端子 (TOC) として使用するかを選択します。

PMRA2	説明
0	R0 <sub>3</sub> /TOC端子は、R0 <sub>3</sub> 入出力端子として機能します。 (初期値)
1	R0 <sub>3</sub> /TOC端子は、TOC出力端子として機能します。



## 19. タイマC 全シリーズ

データは、まずTWCL、次にTWCUの順に書き込んでください。TWCLの書き込みでは、TCCの値は変更されません。次にTWCUを書き込んだタイミングで、TCCの上位ディジットにTWCUの値が、またTCCの下位ディジットにTWCLの値が書き込まれます。

2度目以降、TWCL、TWCUを書き込む場合、TWCLのリロード値を変更する必要のないときには、TWCUのみ書き込めば、タイマCのイニシャライズが完了します。

リセット、およびストップモード時に、TWCLは\$0にイニシャライズされますが、TWCUは不定です。

### 19.2.5 タイマリードレジスタCL、U (TRCL : \$00E、TRCU : \$00F)

TRCL、TRCUは、8ビットの読み出し専用レジスタで、下位ディジット (TRCL) とTCCの上位ディジットの値を直接読み出す上位ディジット (TRCU) から構成されています。TRCL、TRCUは、TCCの値を読み出すために使用します。

	ビット :	3	2	1	0
TRCU		TRCU3	TRCU2	TRCU1	TRCU0
	初期値 :	不定	不定	不定	不定
	R / W :	R	R	R	R

	ビット :	3	2	1	0
TRCL		TRCL3	TRCL2	TRCL1	TRCL0
	初期値 :	不定	不定	不定	不定
	R / W :	R	R	R	R

読み出しは、まずTRCU、次にTRCLの順に行ってください。TRCUの読み出しでは、TCCの上位ディジットの現在値を読み出すと同時に、TCCの下位ディジットの値がTRCLにラッチされます。次に、TRCLの読み出しにより、ラッチされた値が読み出され、TRCUを読み出した時点のTCCの値が得られます。

リセット、およびストップモード時、TRCL、TRCUは不定となります。

## 19.2.6 ウォッチドッグオンフラグ (WDON : \$020,1)

WDONは、タイマCをウォッチドッグタイマとして使用するか否かを設定します。WDONは、レジスタフラグエリアに割り付けられており、RAMビット操作命令のみ使用可能です。本フラグは、セットのための1書き込みのみ可能であり、命令により0にクリアすることはできません。

リセット、およびストップモード時に、WDONは0にクリアされます。

WDON	説明
0	タイマCは、通常機能となります。 (初期値)
1	タイマCは、ウォッチドッグタイマとして機能します。タイマCがオーバフローすると、MCUはリセット状態となり、リセット例外処理が開始されます。

EOL Product

## 19. タイマC 全シリーズ

---

### 19.3 動作説明

タイマCは、8ビットの多機能タイマです。タイマCには以下の機能があります。

- (1) フリーランニングタイマ
- (2) リロードタイマ
- (3) PWM出力
- (4) ウォッチドッグタイマ

#### 19.3.1 フリーランニングタイマ動作

TMCのTMC3ビット = 0にすると、タイマCは8ビットフリーランニングタイマとして動作します。

リセット時、TCCは\$00に、TMC3ビットは0にクリアされるために、リセット直後は、フリーランニングカウンタとして停止することなくカウントアップを続けます。タイマCの動作クロックは、TMCのTMC2~TMC0ビットにより、PSSの出力する8種類の内部クロックから選択できます。

TCCの値が\$FFになった後、クロックが入力されると、タイマCはオーバフローし、IFTCが1にセットされます。このとき、タイマC割込みマスク(IMTC)が0ならば、CPUに割込みを要求します。割込みについての詳細は、「第4章 例外処理」を参照してください。

オーバフロー時には、TCCのカウント値は\$00に戻り、再びカウントアップを開始します。

#### 19.3.2 リロードタイマ動作

TMCのTMC3ビット = 1とすると、タイマCは8ビットのリロードタイマとして動作します。

TWCL、TWCUにリロード値を設定することにより、同時にその値がTCCに書き込まれ、TCCはその値からカウントアップを開始します。

TCCの値が\$FFになった後クロックが入力されると、タイマCはオーバフローし、TWCL、TWCUの値がTCCに書き込まれて、その値からカウントアップを継続します。したがって、TWCL、TWCUの値により、オーバフロー周期を入力クロック1~256の範囲で指定できます。

リロードタイマ動作時の動作クロック、割込みについてはフリーランニングタイマと同様です。

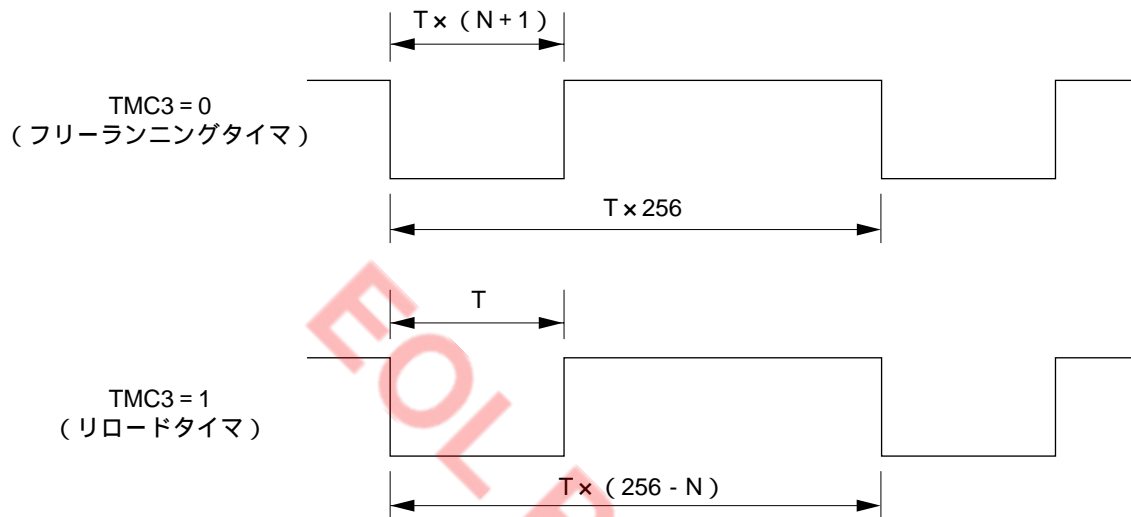
TWCL、TWCUにリロード値を再設定すると、同時にTCCにもその値が書き込まれます。



## 19.3.3 PWM出力動作

PMRAのPMRA2ビット = 1 にすると、R0<sub>3</sub>/TOC端子はTOC出力端子となり、タイマCはPWM出力動作を行います。

PWM出力動作は、デューティ可変のパルス出力機能です。出力波形はTMCとTWCL、TWCUの内容により、図19.2のようになります。



【注】 T : タイマカウンタC (TCC) への入力クロック周期です。タイマモードレジスタC (TMC) により制御します。  
N : タイマライトレジスタCL、U (TWCL、TWCU) の値です。N = 255 のときは、PWM出力はLowレベルに固定となります。

図19.2 PWM出力波形

## 19.3.4 ウォッチドッグタイマ動作

WDONを1にセットすると、タイマCはウォッチドッグタイマとして動作します。ウォッチドッグタイマは、プログラムの暴走検出に使用します。

ウォッチドッグタイマ動作では、タイマCがオーバフローすると、MCUはリセット状態になり、リセット例外処理が開始されます。したがってTCCの値が\$ FFになる前にTCCの再設定を行い、正常動作ではオーバフローが発生しないようにプログラムします。

## 19. タイマC 全シリーズ

---

### 19.4 割込み

タイマCの割込み要因は、TCCのオーバフローです。

TCCがオーバフローすると、割込み制御ビットエリアのIFTCが1にセットされます。IFTCは、割込みが受け付けられてもオートクリアされません。割込み処理ルーチンの中でソフトウェアにより0にクリアしてください。

タイマC割込みは、割込み制御ビットエリアのIMTCにより、タイマC割込みを独立に許可または禁止できます。

### 19.5 使用上の注意

タイマCを使用するとき、次の点に注意してください。

- (1) TWCL、TWCUにより、TCCのイニシャライズを行う場合には、まずTWCL、次にTWCUの順序で書き込んでください。TWCUを書き込んだタイミングで、TWCUとTWCLの値が同時にTCCに書き込まれます。したがって、TWCLがすでに設定済みであり、上位ディジットのみ変更したい場合には、TWCUのみ書き換えてください。

ただし、HD404358 / HD404358R / HD404369シリーズでは、リロードタイマ設定でのPWM出力動作時（PMRA2ビット = 1 かつTMC3ビット = 0）には、TWCL、TWCUを書き込み後、TCCのオーバフローに同期して、TWCUとTWCLの値が同時にTCCに書き込まれます。また、上位ディジットのみ変更したい場合でも、まずTWCL、次にTWCUの順で書き換えてください。

- (2) TRCL、TRCUにより、TCCの値を読み出す場合には、まずTRCU、次にTRCLの順序で読み出してください。TRCUを読み出したタイミングで、その時点のTCCの下位ディジットの値がTRCLにラッチされます。次にTRCLを読み出すとラッチされたデータが読み出せます。

- (3) TMCの変更は、TMCへの書き込み命令実行の2命令後から有効になります。したがって、TWCL、TWCUへの書き込みによるタイマCのイニシャライズ（リロード値設定、TCCイニシャライズ）は、TMC変更後のモードが有効となってから実行されるようにプログラムする必要があります。

- (4) タイマ出力をPWM出力として使用する場合、次の点に注意してください。

PWM出力は、タイマライトレジスタの書き換えを行った直後から、オーバフローによる割込み発生まで表19.3のようになり、デューティおよび周期が設定値と異なります。

このため、PWM出力を使用する場合は、タイマライトレジスタを書き換えた後のオーバフローによる割込み発生以降の出力を使用してください。オーバフロー後のPWM出力は、デューティおよび周期ともに設定値どおりの出力となります。

表19.3 タイマライトレジスタ書き換え直後のPWM出力

PWM出力 モード	Highレベル出力時 タイマライトレジスタ書き換え	Lowレベル出力時 タイマライトレジスタ書き換え
フリーランニング ( HD404344R, HD404394, HD404318, HD404339 シリーズ )	<p>タイマライトレジスタ 書き換え (設定値N) 割込み要求発生</p> <p><math>T \times (255 - N)</math> <math>T \times (N + 1)</math></p>	<p>タイマライトレジスタ 書き換え (設定値N) 割込み要求発生</p> <p><math>T \times (N + 1)</math> <math>T \times (255 - N)</math></p>
リロード (全シリーズ)	<p>タイマライトレジスタ 書き換え (設定値N) 割込み要求発生</p> <p>T <math>T \times (255 - N)</math> T</p>	<p>タイマライトレジスタ 書き換え (設定値N) 割込み要求発生</p> <p>T <math>T \times (255 - N)</math> T</p>

EOL Product

---

# 20. シリアルインタフェース

---

---

## 第20章 目次

---

20.1	概要	445
20.1.1	特長	445
20.1.2	ブロック図	446
20.1.3	端子構成	447
20.1.4	レジスタ構成	447
20.2	各レジスタの説明	448
20.2.1	シリアルモードレジスタ (SMR)	448
20.2.2	シリアルデータレジスタL、U (SRL、SRU)	450
20.2.3	8進カウンタ (OC)	451
20.2.4	ポートモードレジスタA (PMRA)	452
20.2.5	ポートモードレジスタC (PMRC)	453
20.2.6	ミセラニアスレジスタ (MIS)	455
20.3	動作説明	457
20.3.1	動作モード	457
20.3.2	シリアルデータのフォーマット	457
20.3.3	転送クロック	458
20.3.4	動作状態	458
	(1) STS命令待ち状態	460
	(2) 転送クロック待ち状態	460
	(3) 転送状態	460
	(4) 転送クロック連続出力状態 (内部クロックモードのみ)	460
20.3.5	送信 / 受信動作	461
	(1) シリアルインタフェースのイニシャライズ	461
	(2) データ送信	461
	(3) データ受信	466
	(4) 送信 / 受信同時動作	470
	(5) 転送クロック連続出力動作	474
20.3.6	アイドル時のLowレベル / Highレベル出力の選択	475
20.3.7	転送クロックエラーの検出 (外部クロックモード)	475
20.4	割込み	477
20.5	使用上の注意	477

EOL Product

## 20.1 概要

HMCS43××ファミリは、1チャンネルのシリアルインタフェースを内蔵しています。シリアルインタフェースは、他のLSIとシリアルデータの通信を行う内蔵周辺モジュールで、8ビットのクロック同期通信を行います。

### 20.1.1 特長

シリアルインタフェースの特長を以下に示します。

クロックソースは、プリスケラS (PSS)\* 出力を2分周または4分周したクロックとシステムクロックの計13種類の内部クロック、および外部クロックを選択できます。

アイドル時に、転送出力のHighレベルまたはLowレベルの選択ができます。

転送完了時、エラー発生時に割込みを要求できます。

【注】\* 詳細は「第16章 プリスケラ」を参照してください。

## 20. シリアルインタフェース 全シリーズ

### 20.1.2 ブロック図

図20.1にシリアルインタフェースのブロック図を示します。

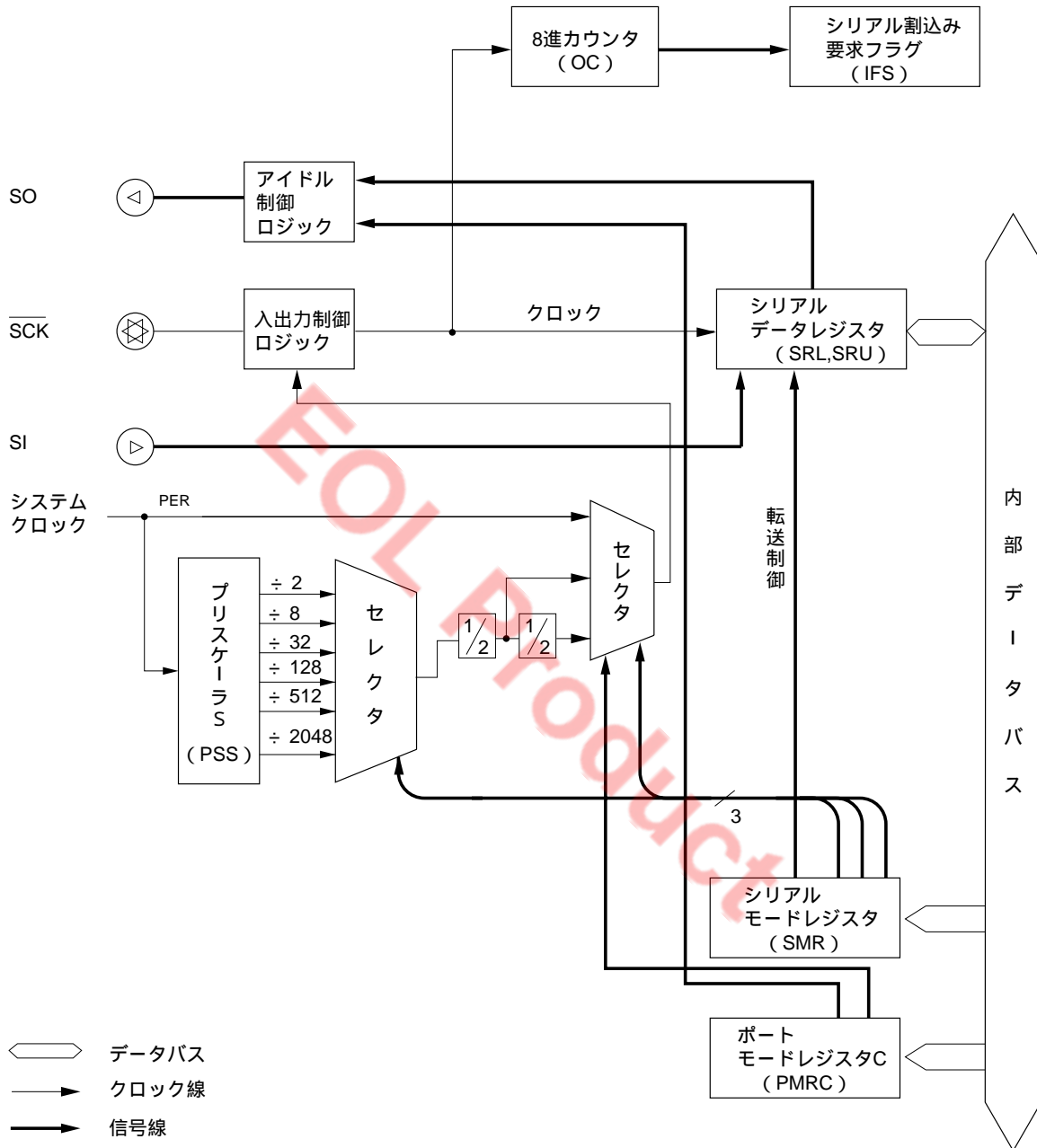


図20.1 シリアルインタフェースのブロック図



## 20.1.3 端子構成

シリアルインタフェースの端子構成を表20.1に示します。

表20.1 端子構成

名 称	記 号	入出力	機 能
シリアルクロック入出力	SCK	入出力	転送クロック入出力
シリアル受信データ入力	SI	入力	シリアル受信データ入力
シリアル送信データ出力	SO	出力	シリアル送信データ出力

## 20.1.4 レジスタ構成

シリアルインタフェースのレジスタ構成を表20.2に示します。

表20.2 レジスタ構成

アドレス	名 称	略 称	R / W	初期値
\$ 005	シリアルモードレジスタ	SMR	W	\$ 0
\$ 006	シリアルデータレジスタL	SRL	R/W	不定
\$ 007	シリアルデータレジスタU	SRU	R/W	不定
———	8進カウンタ	OC	-	000
\$ 004	ポートモードレジスタA	PMRA	W	\$ 0
\$ 025	ポートモードレジスタC	PMRC	W	00-0
\$ 00C	ミセラニアスレジスタ	MIS	W	\$ 0

## 20. シリアルインタフェース 全シリーズ

### 20.2 各レジスタの説明

#### 20.2.1 シリアルモードレジスタ (SMR : \$005)

SMRは、4ビットの書き込み専用レジスタで、Rポート/シリアルクロック端子機能切り換え、転送クロック選択、およびシリアルインタフェースの初期化を制御します。

SMRへの書き込み動作によって、シリアルインタフェースは初期化されます。シリアルデータレジスタおよび8進カウンタへのクロックの供給が停止し、8進カウンタは\$0にクリアされます。

転送中にSMRへの書き込みを行うと、データの送信および受信が途中で打ち切れ、シリアル割込み要求フラグ (IFS) が1にセットされます。

リセット、およびストップモード時に、SMRは\$0にイニシャライズされます。

ビット:	3	2	1	0
	SMR3	SMR2	SMR1	SMR0
初期値:	0	0	0	0
R/W:	W	W	W	W

SMR2	SMR1	SMR0	SCK端子	クロックソース	プリスケアラ分周比*
0	0	0	出力	PSS	PER / 2048
		1	出力	PSS	PER / 512
	1	0	出力	PSS	PER / 128
		1	出力	PSS	PER / 32
1	0	0	出力	PSS	PER / 8
		1	出力	PSS	PER / 2
	1	0	出力	システムクロック	PER
		1	入力	外部クロック	——

R0	SCK端子機能
0	R0入出力端子
1	SCK入出力端子

【注】\* 転送クロック分周比は、SMR2~SMR0ビットで設定されたプリスケアラ分周比とPMRCのPMRC0ビットにより設定されるプリスケアラ出力の分周比（2または4分周）の組み合わせで決まります。

**ビット3 : R0<sub>0</sub>/SCK端子機能切り換え (SMR3)**

R0<sub>0</sub>/SCK端子をR0<sub>0</sub>入出力端子として使用するか、シリアルクロック入出力端子 (SCK) として使用するかを選択します。

SMR3	説 明
0	R0 <sub>0</sub> /SCK端子は、R0 <sub>0</sub> 入出力端子として機能します。 (初期値)
1	R0 <sub>0</sub> /SCK端子は、シリアルクロック入出力端子として機能します。

**ビット2 ~ 0 : 転送クロック選択 (SMR2 ~ SMR0、PMRC0)**

シリアルインタフェースの転送クロックソースをPSS出力、システムクロック、または外部クロックから選択します。PSS出力を選択した場合は、PMRCのPMRC0ビットにより、PSS出力を2分周または4分周したクロックが転送クロックとなります。

PMRC	SMR			SCK端子	転送 クロックソース	転送クロック分周比 (PSS分周比 ÷ 2または4)	転送 クロック周期
PMRC0	SMR2	SMR1	SMR0				
0	0	0	0	出力	PSS	$(\text{PER} / 2048) \div 2$	4096t <sub>cyc</sub> (初期値)
			1	出力	PSS	$(\text{PER} / 512) \div 2$	1024t <sub>cyc</sub>
		1	0	出力	PSS	$(\text{PER} / 128) \div 2$	256t <sub>cyc</sub>
			1	出力	PSS	$(\text{PER} / 32) \div 2$	64t <sub>cyc</sub>
	1	0	0	出力	PSS	$(\text{PER} / 8) \div 2$	16t <sub>cyc</sub>
			1	出力	PSS	$(\text{PER} / 2) \div 2$	4t <sub>cyc</sub>
		1	0	出力	システムクロック	PER	t <sub>cyc</sub>
			1	入力	外部クロック	—	—
1	0	0	0	出力	PSS	$(\text{PER} / 2048) \div 4$	8192t <sub>cyc</sub>
			1	出力	PSS	$(\text{PER} / 512) \div 4$	2048t <sub>cyc</sub>
		1	0	出力	PSS	$(\text{PER} / 128) \div 4$	512t <sub>cyc</sub>
			1	出力	PSS	$(\text{PER} / 32) \div 4$	128t <sub>cyc</sub>
	1	0	0	出力	PSS	$(\text{PER} / 8) \div 4$	32t <sub>cyc</sub>
			1	出力	PSS	$(\text{PER} / 2) \div 4$	8t <sub>cyc</sub>
		1	0	出力	システムクロック	PER	t <sub>cyc</sub>
			1	入力	外部クロック	—	—

【注】 PER : 内蔵周辺モジュール動作クロック  
t<sub>cyc</sub> : システムクロック周期

## 20. シリアルインタフェース 全シリーズ

### 20.2.2 シリアルデータレジスタL、U (SRL : \$006、SRU : \$007)

SRL、SRUは、8ビットの読み出し/書き込み可能なレジスタで、上位ディジット (SRU) と下位ディジット (SRL) から構成されています。

本レジスタは、送信データの書き込み、および受信データの読み出しに使用します。

SRL、SRUに書き込まれたデータは、転送クロックの立ち下がりに同期して最上位ビット (MSB) から最下位ビット (LSB) 方向に1ビットずつシフトし、SO端子よりLSB側から出力されます。

また、SI端子よりLSB側から入力された外部データは、転送クロックの立ち上がりに同期して、MSBからLSB方向に1ビットずつシフトして取り込まれます (図20.2 参照)。

本レジスタの読み出しまたは書き込みは、データの送信および受信が終了してから行う必要があります。データの送信または受信中に本レジスタの読み出しまたは書き込みを行うと、データの内容は保証されません。

リセット、ストップモード時に、SRL、SRUは不定となります。

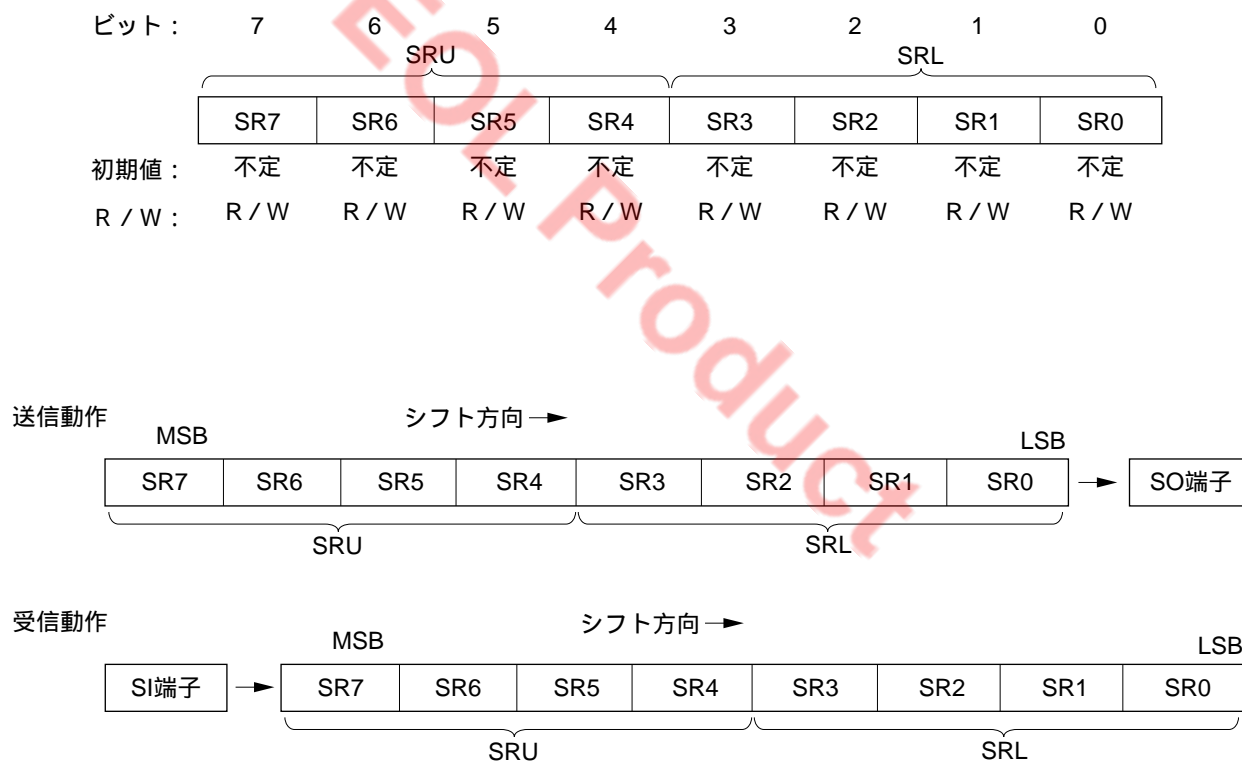


図20.2 送信 / 受信時のシフト動作

## 20.2.3 8進カウンタ (OC)

ビット:	2	1	0
	OC2	OC1	OC0
初期値:	0	0	0
R/W:	—	—	—

OCは3ビットのカウンタで、シリアルインタフェースの動作状態遷移を制御します。

STS命令待ち状態においてSTS命令を実行すると、OCは000にイニシャライズされ、転送状態に遷移した後、転送クロックの立ち上がりで1ずつインクリメントします。転送クロックが8クロック入力されるか、送信または受信が途中で打ち切られたときに、OCは000にクリアされ、シリアルインタフェースは転送状態からSTS命令待ち状態または転送クロック待ち状態に遷移します。このとき同時にIFSが1にセットされます。

リセット、およびストップモード時に、OCは000にイニシャライズされます。

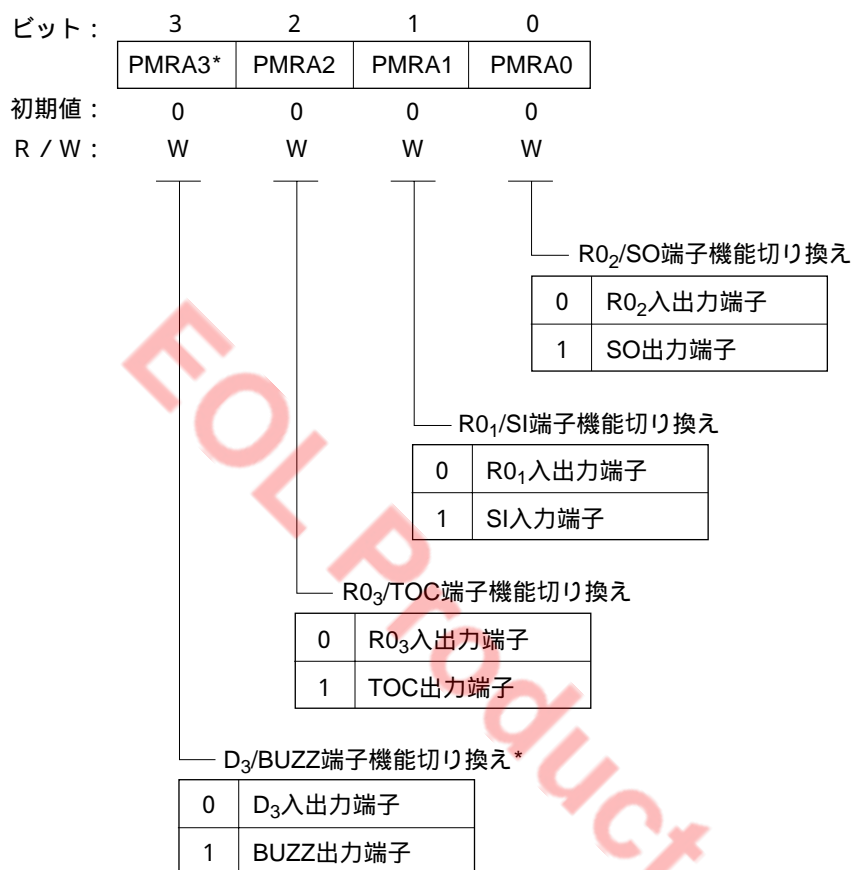
OCと動作状態遷移の詳細は、「20.3.4 動作状態」を参照してください。

## 20. シリアルインタフェース 全シリーズ

### 20.2.4 ポートモードレジスタA (PMRA : \$004)

PMRAは、4ビットの書き込み専用レジスタで、PMRA2~PMRA0ビットでR0ポート兼用端子の切り換えを行います。PMRA3は、DポートのD<sub>3</sub>/BUZZ端子機能の切り換えを行います。

ここでは、PMRA1、PMRA0ビットについて説明します。PMRA3、PMRA2ビットについての詳細は、「21.2.1」、「19.2.2」の「ポートモードレジスタA (PMRA)」を参照してください。



【注】\* HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズに適用します。HD404344R / HD404394シリーズではPMRA3ビットは、使用禁止です。

#### ビット1 : R0<sub>1</sub>/SI端子機能切り換え (PMRA1)

R0<sub>1</sub>/SI端子をR0<sub>1</sub>入出力端子として使用するか、シリアル受信データ入力端子 (SI) として使用するかを選択します。

PMRA1	説明
0	R0 <sub>1</sub> /SI端子は、R0 <sub>1</sub> 入出力端子として機能します。 (初期値)
1	R0 <sub>1</sub> /SI端子は、SI入力端子として機能します。

**ビット0：R0<sub>2</sub>/SO端子機能切り換え (PMRA0)**

R0<sub>2</sub>/SO端子をR0<sub>2</sub>入出力端子として使用するか、シリアル送信データ出力端子 (SO) として使用するかを選択します。

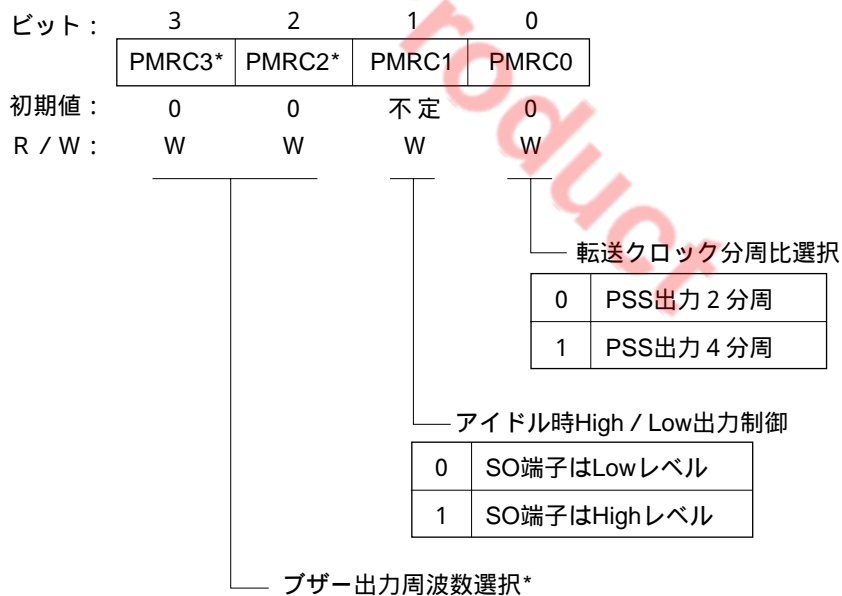
PMRA0	説明
0	R0 <sub>2</sub> /SO端子は、R0 <sub>2</sub> 入出力端子として機能します。 (初期値)
1	R0 <sub>2</sub> /SO端子は、SO出力端子として機能します。

**20.2.5 ポートモードレジスタC (PMRC : \$025)**

PMRCは、4ビットの書き込み専用レジスタで、アイドル時のHighレベル / Lowレベル出力の選択、および転送クロックに使用するPSS出力の分周比の設定を行います。さらに、ブザー出力の周波数の設定を行います。

転送中に本レジスタの書き換えは行わないでください。転送中に書き換えると誤動作の原因となります。

ここではPMRC1、PMRC0ビットについて説明します。PMRC3、PMRC2ビットについての詳細は、「21.2.2 ポートモードレジスタC (PMRC)」を参照してください。



【注】\* HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズに適用します。HD404344R / HD404394シリーズではPMRC3、PMRC2ビットは、使用禁止です。

## 20. シリアルインタフェース 全シリーズ

### ビット1：アイドル時High / Lowレベル出力制御 (PMRC1)

アイドル時のSO端子の状態を制御します。SO端子は、本ビットの書き込みと同時に変化します。  
リセットおよびストップモード時にPMRC1ビットは不定となります。

PMRC1	説 明
0	アイドル時、SO端子はLowレベルとなります。 (初期値)
1	アイドル時、SO端子はHighレベルとなります。

### ビット0：転送クロック分周比選択 (PMRC0)

PSS出力を2分周したクロック、または4分周したクロックのどちらを転送クロックとするかを設定します。SMRのSMR2～SMR0ビットとともに対応するシリアルインタフェースの転送クロックを制御します。  
リセット、およびストップモード時に、PMRC0ビットは0にイニシャライズされます。

PMRC0	説 明
0	PSSを2分周したクロックを転送クロックとして使用します。 (初期値)
1	PSSを4分周したクロックを転送クロックとして使用します。



20.2.6 ミセラニアスレジスタ (MIS : \$ 00C)

MISは、4ビットの書き込み専用レジスタで、ポートのプルアップMOSのオン/オフ、R0<sub>2</sub>/SO端子出力バッファのPMOSのオン/オフ、およびウォッチモード、サブアクティブモード時の割込みフレーム周期 (T) とモード解除時の発振安定時間 (t<sub>RC</sub>) を設定します。

リセット、およびストップモード時に、MISは\$ 0にイニシャライズされます。

ビット :	3	2	1	0
	MIS3	MIS2	MIS1*1	MIS0*1
初期値 :	0	0	0	0
R / W :	W	W	W	W

割込みフレーム同期および発振安定時間設定\*1

MIS1	MIS0	割込みフレーム周期	発振安定時間	発振回路条件
0	0	0.24414ms	0.12207( 0.24414 )ms*2	外部クロック
	1	15.625ms	7.8125ms	セラミック発振子
1	0	125ms	62.5ms	水晶発振子
	1	使用禁止		—————

R0<sub>2</sub>/SO端子出力バッファ制御

0	PMOSアクティブ (CMOS出力)
1	PMOSオフ (NMOSオーブンドレイン出力)

プルアップMOS制御

0	プルアップMOSはすべてオフ
1	プルアップMOSアクティブ

【注】 \*1 HD404339 / HD404369シリーズに適用します。HD404344R / HD404394 / HD404318 / HD404358 / HD404358Rシリーズでは、MIS1、MIS0ビットは使用禁止です。

\*2 ( )内はダイレクト遷移時の値です。

## 20. シリアルインタフェース 全シリーズ

---

ここではMIS2ビットについて説明します。MIS3、MIS1、MIS0ビットについての詳細は、「11.1.2 (4)」、「12.1.2 (4)」、「6.2.1」の「ミセラニアスレジスタ (MIS)」を参照してください。

### ビット2 : R0<sub>2</sub>/SO端子出力バッファ制御 (MIS2)

R0<sub>2</sub>/SO端子出力バッファのPMOSのオン/オフを制御します。

MIS2	説 明
0	R0 <sub>2</sub> /SO端子はCMOS出力となります。 (初期値)
1	R0 <sub>2</sub> /SO端子はNMOSオーブンドレイン出力となります。

EOL Product

## 20.3 動作説明

### 20.3.1 動作モード

シリアルインタフェースは8ビットクロック同期式通信を行います。シリアルインタフェースは表20.3に示すように4種類の動作モードがあり、SMRのSMR3ビットとPMRAのPMRA1、PMRA0ビットにより選択します。

表20.3 シリアルインタフェースの動作モード

SMR	PMRA		動作モード
SMR3	PMRA1	PMRA0	
1	0	0	転送クロック連続出力モード
		1	送信モード
	1	0	受信モード
		1	送信/受信モード

### 20.3.2 シリアルデータのフォーマット

クロック同期式シリアルデータ転送フォーマットを、図20.3に示します。送信および受信できるデータ長は8ビットです。データのLSBから送信/受信されるLSBファースト方式による転送を行います。送信データは、転送クロックの立ち上がりから次の立ち上がりまで出力されます。また、受信データは、転送クロックの立ち上がりで取り込まれます。

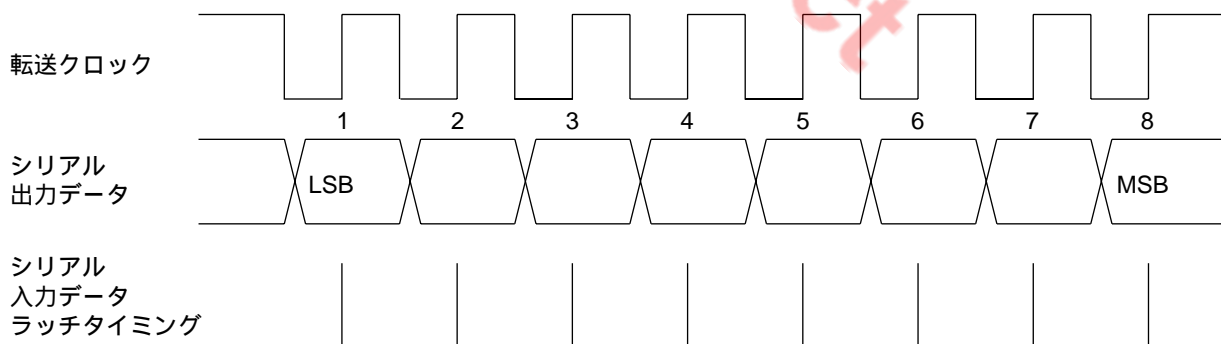


図20.3 クロック同期式シリアルデータ転送フォーマット

## 20. シリアルインタフェース 全シリーズ

---

### 20.3.3 転送クロック

転送クロックは、内部クロックまたは外部クロックを使用できます。内部クロックとしては、PSSを2分周または4分周した12種類のクロックとシステムクロックの計13種類が選択できます。内部クロックを使用した場合には、 $\overline{\text{SCK}}$ 端子は転送クロック出力端子となります。

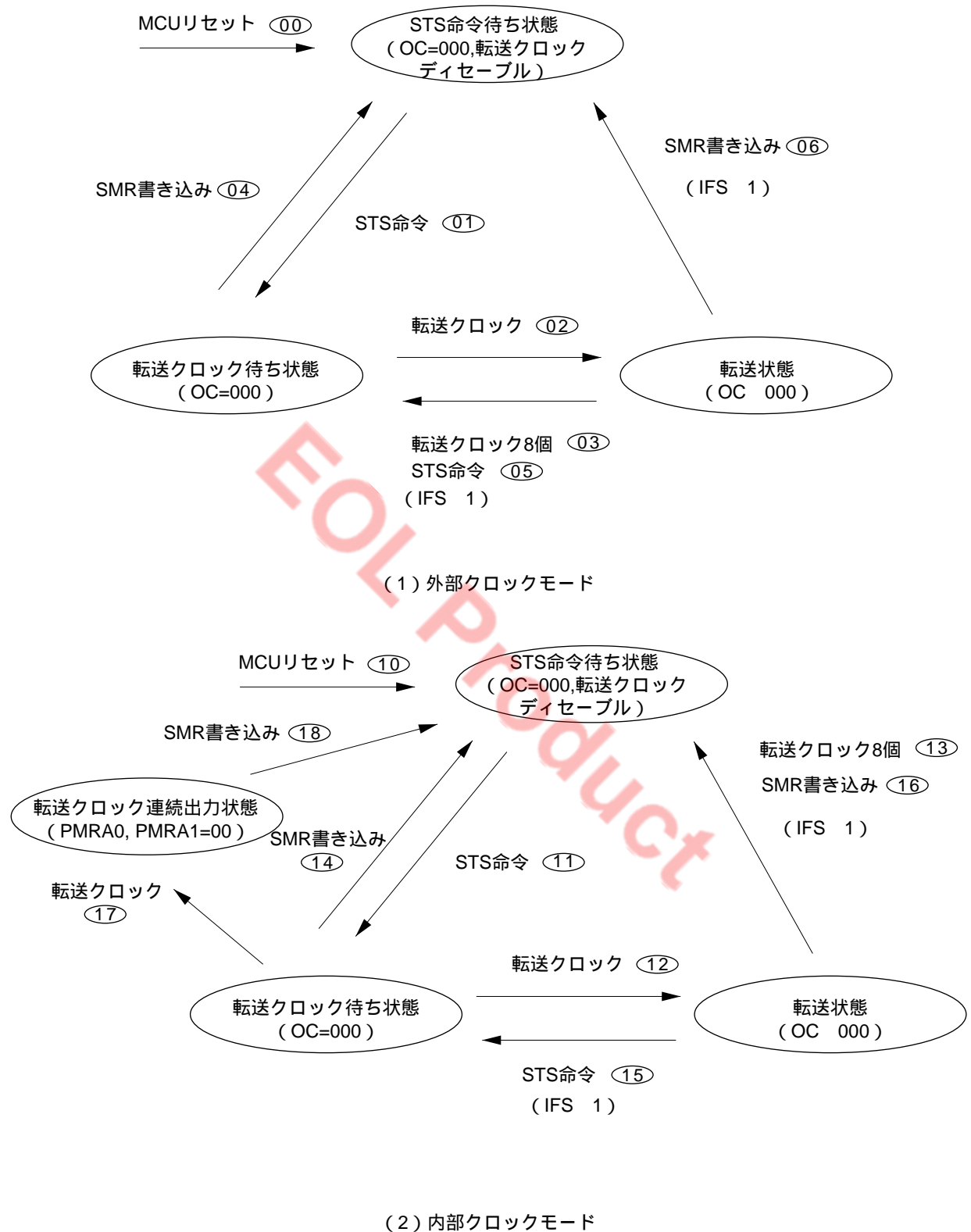
### 20.3.4 動作状態

シリアルインタフェースの転送動作は、STS命令によって開始されます。STS命令を実行すると、OCは000にクリアされ、転送クロックの立ち上がりで1ずつインクリメントします。転送クロックが8クロック入力されたとき、または送信/受信が途中で打ち切られたときには、OCは000にクリアされ、IFSが1にセットされて転送を終了します。

シリアルインタフェースの動作状態には、以下の4通りがあります。

- (1) STS命令待ち状態
- (2) 転送クロック待ち状態
- (3) シリアル状態
- (4) 転送クロック連続出力状態 (内部クロックモードのみ)

シリアルインタフェ - スの動作状態遷移図を図20.4に示します。



○ 内の数字は本文を参照してください。

図20.4 シリアルインタフェ - スの動作状態遷移

## 20. シリアルインタフェース 全シリーズ

---

### (1) STS命令待ち状態

リセット（図20.4中⑩、⑪）により、シリアルインタフェースはSTS命令待ち状態となります。STS命令待ち状態は、シリアルインタフェースの内部状態が初期設定された状態です。この状態で転送クロックが印加されても、シリアルインタフェースは動作しません。STS命令（①、②）が実行されると、転送クロック待ち状態に遷移します。

### (2) 転送クロック待ち状態

転送クロック待ち状態は、STS命令の実行から最初の転送クロックの立ち上がりまでの期間です。

転送クロック待ち状態において、転送クロックが印加（③、④）されると、OCのカウントアップとSRL、SRUのシフト動作が開始され、転送状態に遷移します。ただし、内部クロックモードで転送クロック連続出力モードが選択されている場合には、転送状態にはならず、転送クロック連続出力状態に遷移（⑤）します。

転送クロック待ち状態で、SMRへの書き込み動作を行うと、STS命令待ち状態に遷移（⑥、⑦）します。

### (3) 転送状態

転送状態は、転送クロックの最初の立ち上がりから、8番目の転送クロックの立ち上がりまでの期間です。

転送状態において、STS命令が実行されるか、または転送クロックが8クロック印加されると、OCは000にクリアされ、状態が遷移します。STS命令（⑧、⑨）が実行された場合には、転送クロック待ち状態に遷移します。また、転送クロックが8クロック印加された場合には、外部クロックモード時には転送クロック待ち状態（⑩）へ、内部クロックモード時にはSTS命令待ち状態（⑪）に遷移します。

内部クロックモードでは、転送クロックは8クロック出力後に停止します。

転送状態において、SMRへの書き込み動作（⑫、⑬）が行われると、シリアルインタフェースは初期化され、STS命令待ち状態に遷移します。

転送状態から他の状態への遷移が起こると、OCは000にクリアされ、IFSが1にセットされます。

### (4) 転送クロック連続出力状態（内部クロックモードのみ）

転送クロック連続出力状態は、送信/受信動作を行わず転送クロックのみをSCK端子から出力する状態です。PMRAのPMRA1、PMRA0ビットが00に設定され、転送クロック待ち状態にあるとき、転送クロックが印加（⑭）されると、転送クロック連続出力状態に遷移します。転送クロック連続出力状態において、SMRへの書き込み動作（⑮）が行われると、シリアルインタフェースは初期化され、STS命令待ち状態に遷移します。

## 20.3.5 送信 / 受信動作

## (1) シリアルインタフェースのイニシャライズ

データの送信 / 受信を行うには、まずシリアルインタフェースをソフトウェアによりイニシャライズします。イニシャライズは、リセットまたはSMRへの書き込み動作により実行されます。

## (2) データ送信

## (a) 外部クロックモードの送信動作

外部クロックモードの送信動作フローを図20.5に示します。

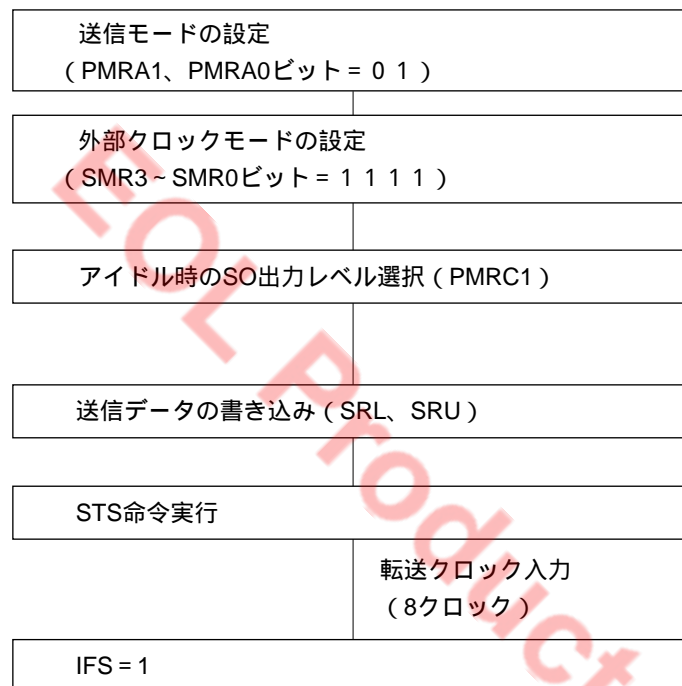


図20.5 外部クロックモードの送信動作フロー

## 20. シリアルインタフェース 全シリーズ

---

外部クロックモードの送信動作は次のように行われます。

- ① PMRA1、PMRA0ビット = 01にして、送信モードにします。
- ② SMR3～SMR0ビット = 1111にして、外部クロックモードに設定します。  
SMRへの書き込みを行うと、シリアルインタフェースの内部状態はイニシャライズされます。
- ③ PMRC1ビットにより、アイドル時のLowレベル出力 / Highレベル出力を選択します。PMRC1ビットへ書き込むと、直ちにSO端子の状態はHighレベルまたはLowレベルに変化します。
- ④ SRL、SRUに送信データを書き込みます。
- ⑤ STS命令を実行します。シリアルインタフェースは、STS命令待ち状態から、転送クロック待ち状態に遷移します。  
外部クロックが入力されると、最初の転送クロックの立ち下がり、転送クロック待ち状態から転送状態に遷移し、シリアルインタフェースは送信動作を開始します。
- ⑥ 転送クロックが8クロック入力されると、OCが000にクリアされてIFSが1にセットされます。同時に転送状態から転送クロック待ち状態に遷移し、送信を終了します。

送信終了後、SO端子は送信データのMSBの値を保持しています。SO端子の出力値は、PMRC1ビットの設定により変更することができます。

転送クロック待ち状態において、引き続き転送クロックが入力されると再び送信動作を行います。また、SMRのダミー書き込みを行うと、STS命令待ち状態に遷移して次回の送信の準備を行います。

送信動作中にSMRへの書き込みを行うと、OCは000にクリアされ、IFSが1にセットされます。同時に、STS命令待ち状態に遷移して、送信は中断されます。



外部クロックモードの送信動作を図20.6に示します。

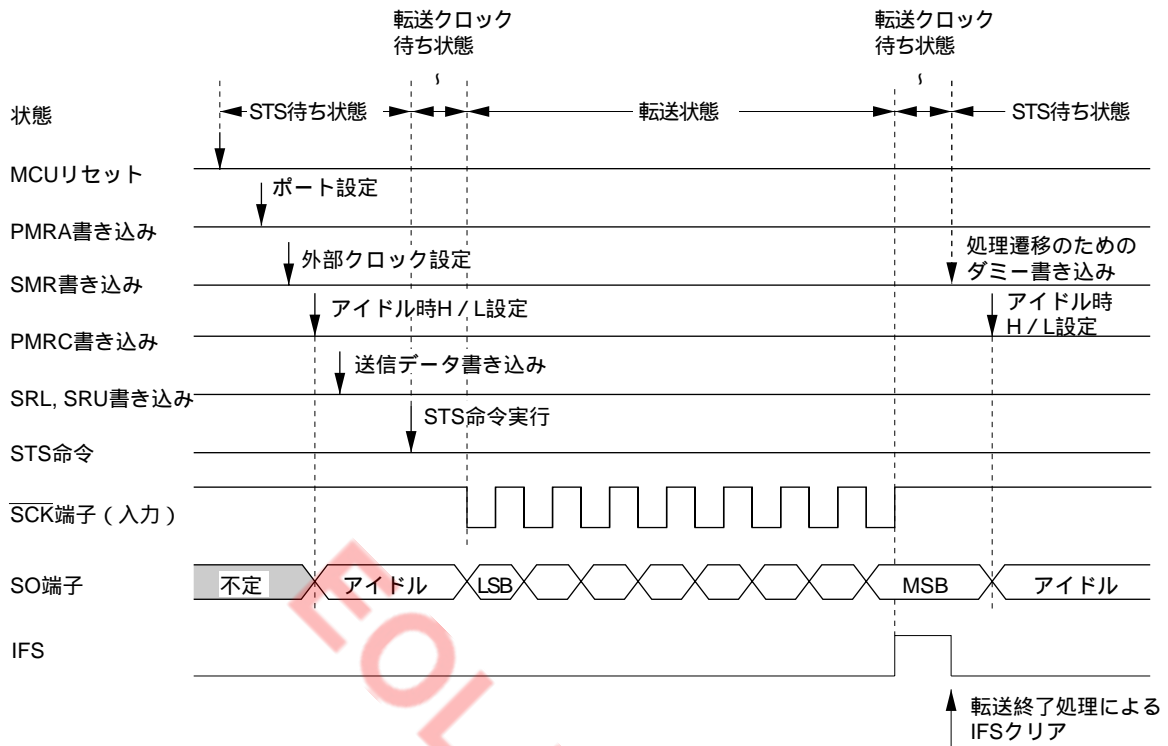


図20.6 シリアル送信動作のシーケンス (外部クロックモード)

(b) 内部クロックモードの送信動作

内部クロックモードの送信動作フローを図20.7に示します。

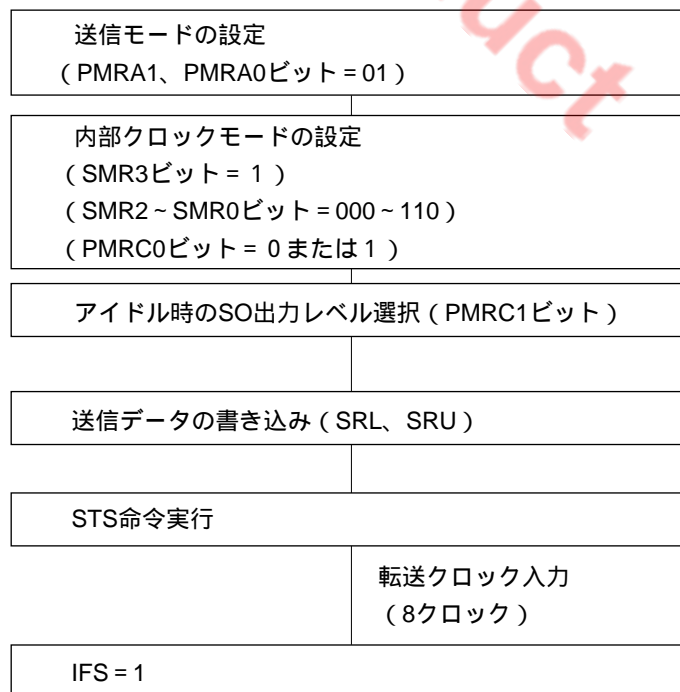


図20.7 内部クロックモードの送信動作フロー

## 20. シリアルインタフェース 全シリーズ

---

内部クロックモードの送信動作は次のように行われます。

- ① PMRA1、PMRA0ビット = 01にして、送信モードにします。
- ② SMR2～SMR0ビットにより内部クロックモードに設定し、転送クロックを選択します。  
SMRへ書き込みを行うと、シリアルインタフェースの内部状態はイニシャライズされます。  
PMRC0ビットにより、プリスケアラ出力の転送クロックを2分周にするか、4分周にするか選択します。
- ③ PMRC1ビットにより、アイドル時のLowレベル出力 / Highレベル出力を選択します。PMRC1ビットへ書き込むと、直ちにSO端子の状態はHighレベルまたはLowレベルに変化します。
- ④ SRL、SRUに送信データを書き込みます。
- ⑤ STS命令を実行します。シリアルインタフェースは、STS命令待ち状態から、転送クロック待ち状態に遷移します。  
内部クロックが入力されると、最初の転送クロックの立ち下がり、転送クロック待ち状態から転送状態に遷移し、シリアルインタフェースは送信動作を開始します。
- ⑥ 転送クロックが8クロック入力されると、OCが000にクリアされて、IFSが1にセットされます。同時に転送状態からSTS命令待ち状態に遷移し、送信を終了します。

送信終了後、SO端子は送信データのMSBの値を保持しています。SO端子の出力値は、PMRC1ビットの設定により変更することができます。

内部クロックモードでは、 $\overline{SCK}$ 端子は転送クロック出力端子となり、選択された内部クロックと同一の転送クロックを出力します。

送信動作中にSMRへの書き込みを行うと、OCは000にクリアされ、IFSが1にセットされます。同時に、STS命令待ち状態に遷移して、送信は中断されます。

内部クロックモードの送信動作を図20.8に示します。

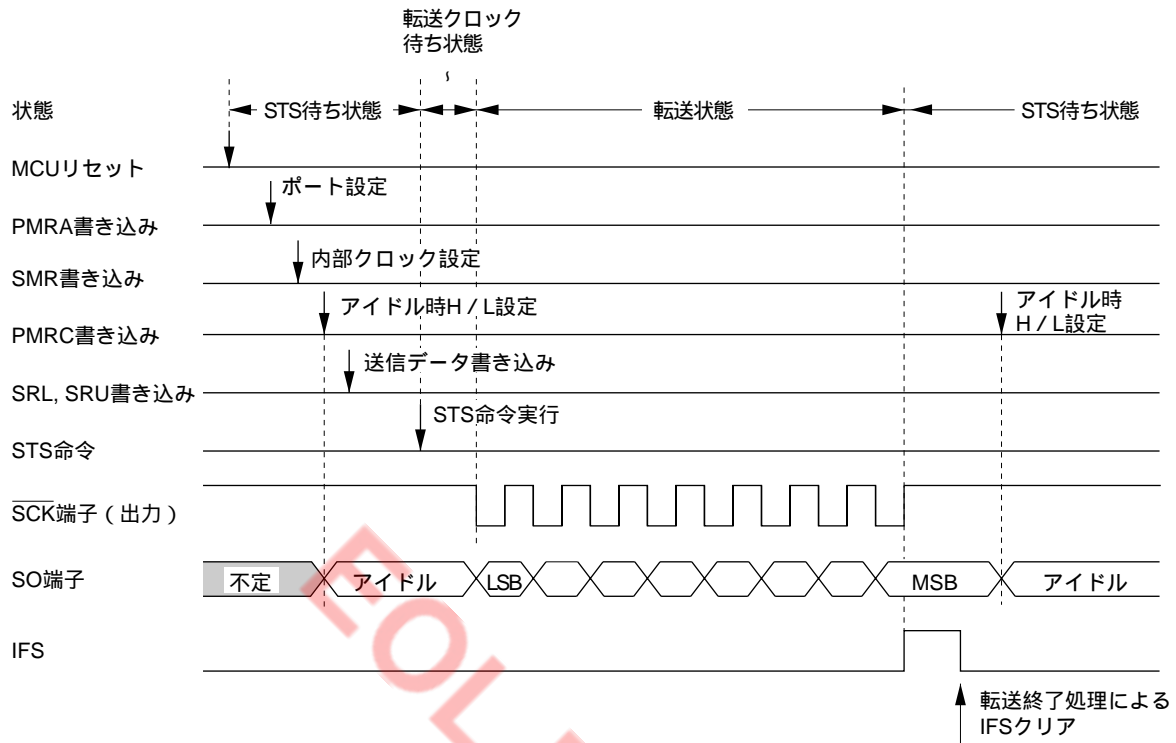


図20.8 シリアル送信動作のシーケンス (内部クロックモード)

## 20. シリアルインタフェース 全シリーズ

### (3) データ受信

#### (a) 外部クロックモードの受信動作

外部クロックモードの受信動作フローを図20.9に示します。

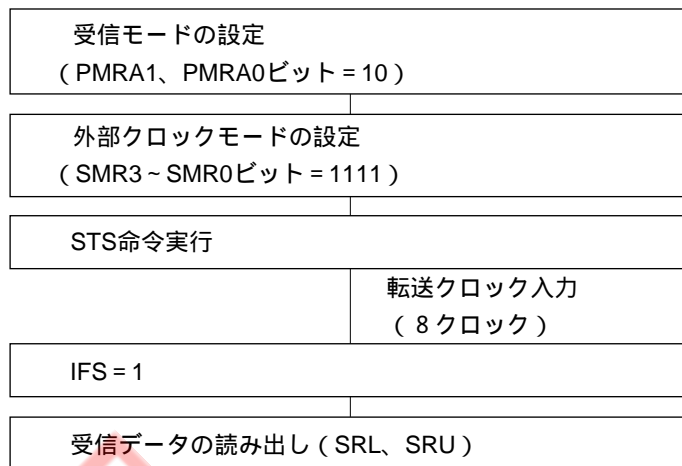


図20.9 外部クロックモードの受信動作フロー

外部クロックモードの受信動作は次のように行われます。

- ① PMRA1、PMRA0ビット = 10にして、受信モードにします。
- ② SMR3 ~ SMR0ビット = 1111にして、外部クロックモードに設定します。  
SMRへ書き込みを行うと、シリアルインタフェースの内部状態はイニシャライズされます。
- ③ STS命令を実行します。シリアルインタフェースは、STS命令待ち状態から、転送クロック待ち状態に遷移します。  
外部クロックが入力されると、最初の転送クロックの立ち下がり、転送クロック待ち状態から転送状態に遷移し、シリアルインタフェースは受信動作を開始します。
- ④ 転送クロックが8クロック入力されると、OCが000にクリアされてIFSが1にセットされます。同時に転送状態から転送クロック待ち状態に遷移し、受信を終了します。
- ⑤ SRL、SRUに格納された受信データを読み出します。

受信終了後、転送クロック待ち状態において、引き続き転送クロックが入力されると再び受信動作を行います。また、SMRのダミー書き込みを行うとSTS命令待ち状態に遷移して次回の受信の準備を行います。

受信動作中にSMRへの書き込みを行うと、OCは000にクリアされ、IFSが1にセットされます。同時に、STS命令待ち状態に遷移して、受信は中断されます。

外部クロックモードの受信動作を図20.10に示します。

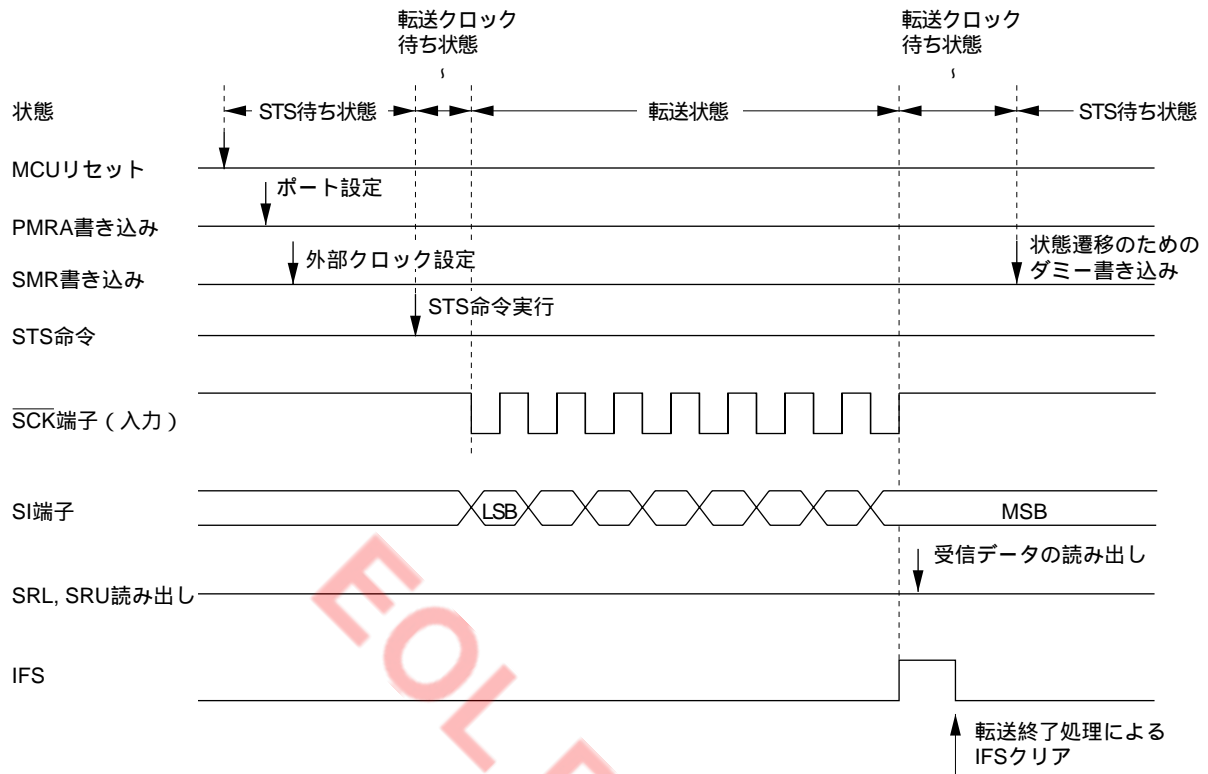


図20.10 シリアル受信動作のシーケンス (外部クロックモード)

## 20. シリアルインタフェース 全シリーズ

### (b) 内部クロックモードの受信動作

内部クロックモードの受信動作フローを図20.11に示します。



図20.11 内部クロックモードの受信動作フロー

内部クロックモードの受信動作は次のように行われます。

- ① PMRA1、PMRA0ビット = 10にして、受信モードにします。
- ② SMR2 ~ SMR0ビットにより内部クロックモードに設定し、転送クロックを選択します。  
SMRへ書き込みを行うと、シリアルインタフェースの内部状態はイニシャライズされます。  
PMRC0ビットにより、プリスケアラ出力の転送クロックを2分周にするか、4分周にするか選択します。
- ③ STS命令を実行します。シリアルインタフェースは、STS命令待ち状態から、転送クロック待ち状態に遷移します。  
内部クロックが入力されると、最初の転送クロックの立ち下がり、転送クロック待ち状態から転送状態に遷移し、シリアルインタフェースは受信動作を開始します。
- ④ 転送クロックが8クロック入力されると、OCが000にクリアされてIFSが1にセットされます。同時に転送状態からSTS命令待ち状態に遷移し、受信を終了します。
- ⑤ SRL、SRUに格納された受信データを読み出します。

受信動作中にSMRへの書き込みを行うと、OCは000にクリアされ、IFSが1にセットされます。同時に、STS命令待ち状態に遷移して、受信は中断されます。

内部クロックモードの受信動作を図20.12に示します。

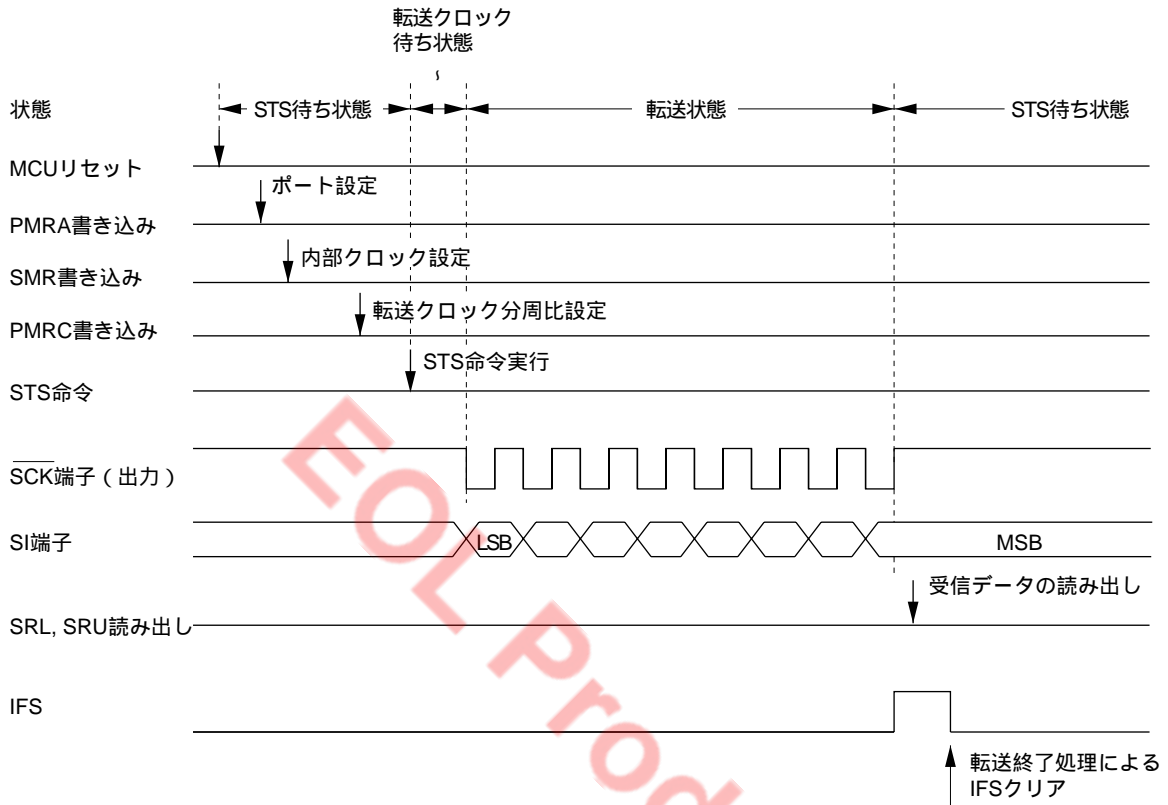


図20.12 シリアル受信動作のシーケンス (内部クロックモード)

## 20. シリアルインタフェース 全シリーズ

---

### (4) 送信 / 受信同時動作

#### (a) 外部クロックモードの送信 / 受信同時動作

外部クロックモードの送信 / 受信同時動作フローを図20.13に示します。

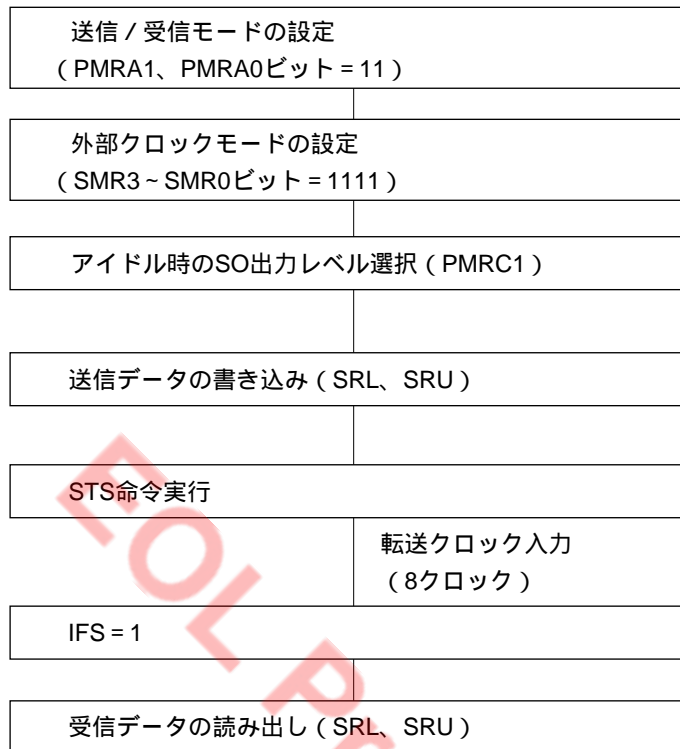


図20.13 外部クロックモードの送信 / 受信同時動作フロー



外部クロックモードの送信 / 受信動作は次のように行われます。

- ① PMRA1、PMRA0ビット = 11にして、送信 / 受信モードにします。
- ② SMR3 ~ SMR0ビット = 1111にして、外部クロックモードに設定します。  
SMRへ書き込みを行うと、シリアルインタフェースの内部状態はイニシャライズされます。
- ③ PMRC1ビットにより、アイドル時のLowレベル出力 / Highレベル出力を選択します。PMRC1ビットへ書き込むと、直ちにSO端子の状態はHighレベルまたはLowレベルに変化します。
- ④ SRL、SRUに送信データを書き込みます。
- ⑤ STS命令を実行します。シリアルインタフェースは、STS命令待ち状態から、転送クロック待ち状態に遷移します。外部クロックが入力されると、最初の転送クロックの立ち下がりで転送クロック待ち状態から転送状態に遷移し、シリアルインタフェースは送信 / 受信同時動作を開始します。転送クロックに同期してSRL、SRUは、MSBからLSB方向にシフトして、MSB側から受信データを取り込み、LSB側から送信データを出力します。
- ⑥ 転送クロックが8クロック入力されると、OCが000にクリアされてIFSが1にセットされます。同時に転送状態から転送クロック待ち状態に遷移し、送信 / 受信を終了します。
- ⑦ SRL、SRUに格納された受信データを読み出します。

送信 / 受信終了後、SO端子は送信データのMSBの値を保持しています。SO端子の出力値は、PMRC1ビットの設定により変更することができます。

転送クロック待ち状態において、引き続き転送クロックが入力されると、再び送信 / 受信動作を行います。また、SMRへのダミー書き込みを行うと、STS命令待ち状態に遷移して次回の送信 / 受信の準備を行います。

送信 / 受信動作中にSMRへの書き込みを行うと、OCは000にクリアされ、IFSが1にセットされます。同時にSTS命令待ち状態に遷移して、送信 / 受信は中断されます。

外部クロックモードの送信 / 受信動作は図20.6、図20.10を参照してください。

## 20. シリアルインタフェース 全シリーズ

(b) 内部クロックモードの送信 / 受信同時動作

内部クロックモードの送信 / 受信同時動作フローを図20.14に示します。

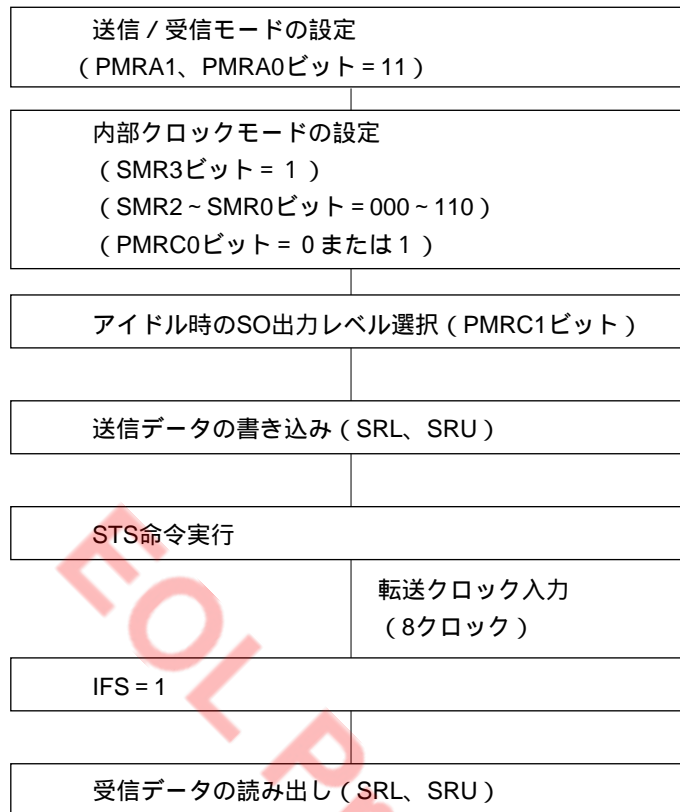


図20.14 内部クロックモードの送信 / 受信同時動作フロー

内部クロックモードの送信 / 受信動作は次のように行われます。

- ① PMRA1、PMRA0ビット = 11にして、送信 / 受信モードにします。
- ② SMR2 ~ SMR0ビットにより内部クロックモードに設定し、転送クロックを選択します。  
SMRへの書き込みを行うと、シリアルインタフェースの内部状態はイニシャライズされます。  
PMRC0ビットにより、プリスケアラ出力の転送クロックを2分周にするか、4分周にするか選択します。
- ③ PMRC1ビットにより、アイドル時のLowレベル出力 / Highレベル出力を選択します。PMRC1ビットへ書き込むと、直ちにSO端子の状態はHighレベルまたはLowレベルに変化します。
- ④ SRL、SRUに送信データを書き込みます。
- ⑤ STS命令を実行します。シリアルインタフェースは、STS命令待ち状態から、転送クロック待ち状態に遷移します。内部クロックが入力されると、最初の転送クロックの立ち下がり、転送クロック待ち状態から転送状態に遷移し、シリアルインタフェースは送信 / 受信同時動作を開始します。
- ⑥ 転送クロックが8クロック入力されると、OCが000にクリアされてIFSが1にセットされます。同時に転送状態からSTS命令待ち状態に遷移し、送信 / 受信を終了します。
- ⑦ SRL、SRUに格納された受信データを読み出します。

送信 / 受信終了後、SO端子は送信データのMSBの値を保持しています。SO端子の出力値は、PMRC1ビットの設定により変更することができます。

内部クロックモードでは、SCK端子は転送クロック出力端子となり、選択された内部クロックと同一の転送クロックを出力します。

送信 / 受信動作中にSMRへの書き込みを行うと、OCは000にクリアされ、IFSが1にセットされます。同時にSTS命令待ち状態に遷移して、送信 / 受信は中断されます。

内部クロックモードの送信 / 受信動作は図20.8、図20.12を参照してください。

## 20. シリアルインタフェース 全シリーズ

### (5) 転送クロック連続出力動作

転送クロック連続出力動作フローを図20.15に示します。

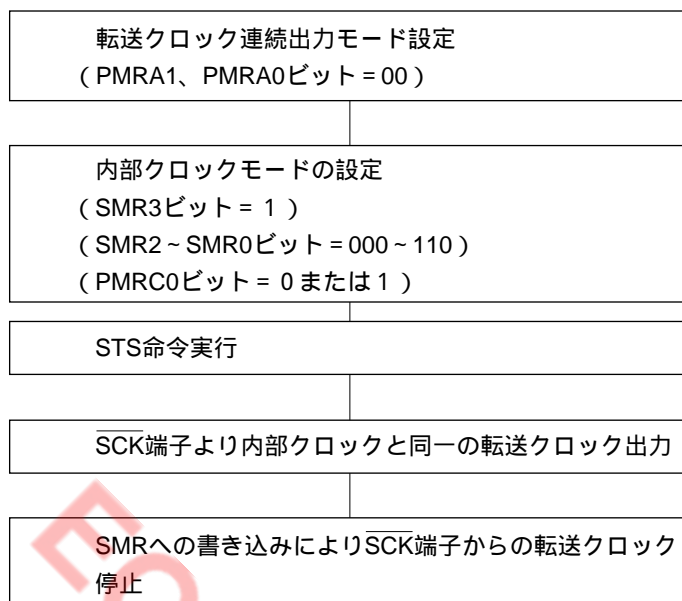


図20.15 転送クロック連続出力動作フロー

転送クロック連続出力動作は次のように行われます。

- ① PMRA1、PMRA0ビット = 00にして、クロック連続出力モードにします。
- ② SMR2 ~ SMR0ビットにより内部クロックモードに設定し、転送クロックを選択します。  
SMRへ書き込みを行うと、シリアルインタフェースの内部状態はイニシャライズされます。  
PMRC0ビットにより、プリスケアラ出力の転送クロックを2分周にするか、4分周にするか選択します。
- ③ STS命令を実行します。シリアルインタフェースは、STS命令待ち状態から転送クロック待ち状態に遷移します。
- ④ 内部クロックが入力されると、最初の転送クロックの立ち下がり、転送クロック待ち状態から転送クロック連続出力状態に遷移し、SCK端子より選択された内部クロックと同一のクロックを出力し続けます。
- ⑤ 転送クロック連続出力状態において、SMRへの書き込みを行うとSTS命令待ち状態に遷移し、転送クロック出力は停止します。

## 20.3.6 アイドル時のLowレベル/Highレベル出力の選択

シリアルインタフェースは、アイドル時（STS待ち状態または転送クロック待ち状態）に、ソフトウェアによりSO端子の出力レベルを任意に設定できます。アイドル時のLowレベル/Highレベル出力の選択は、PMRCのPMRC1ビットに出力レベルを書き込むことにより行います。

転送状態では、SO端子の出力レベルを制御することはできません。

## 20.3.7 転送クロックエラーの検出（外部クロックモード）

シリアルインタフェースは転送状態において、外来の雑音などによって正規の転送クロックに余分なパルスが重ね合わされた場合、誤動作します。このような場合には、図20.16、図20.17に示す手順によって転送クロックのエラーを知ることができます。

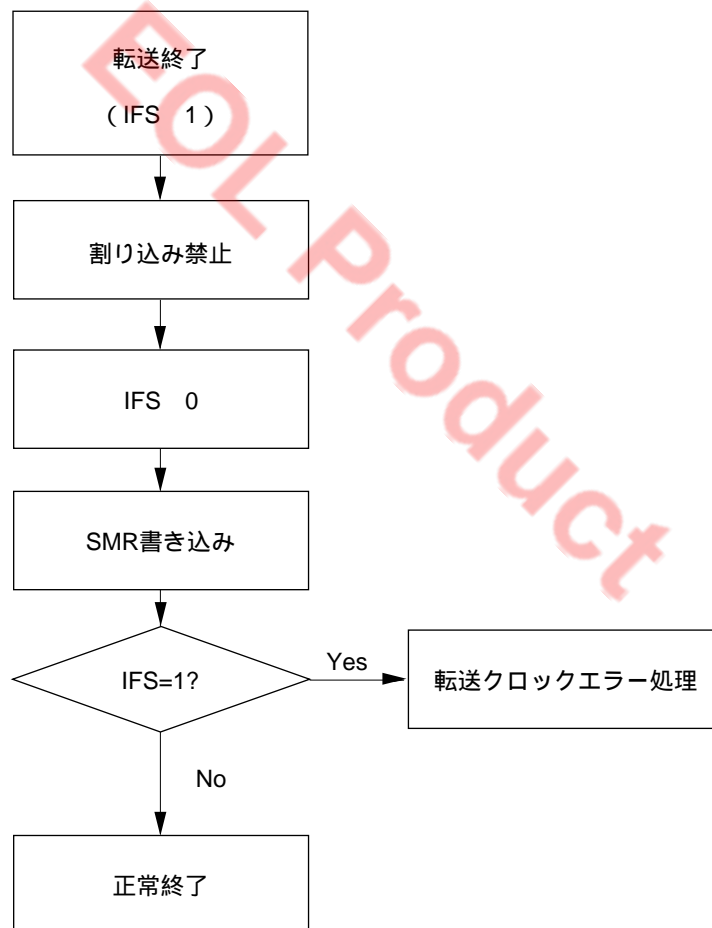


図20.16 転送クロックエラー検出フロー

## 20. シリアルインタフェース 全シリーズ

転送状態において、誤って8クロック以上の転送クロックが印加された場合には、ノイズによる不正クロックを含めた8クロック目にOCは000にクリアされ、IFSが1にセットされます。同時に転送状態から転送クロック待ち状態に遷移しますが、続いて入力された正規の転送クロックの立ち下がりにより再び転送状態に遷移します。

一方、割込み処理ルーチンにおいて、転送終了処理を行い、IFSを0にクリアして、SMRのダミー書き込みを行うと、転送状態からSTS命令待ち状態に遷移するため、IFSは再び1にセットされることとなります(図20.4参照)。したがって、SMRのダミー書き込み後、IFSの内容をテストすることで、転送クロックエラーの有無を判別することができます。

図20.17に、転送クロックエラー検出シーケンスを示します。

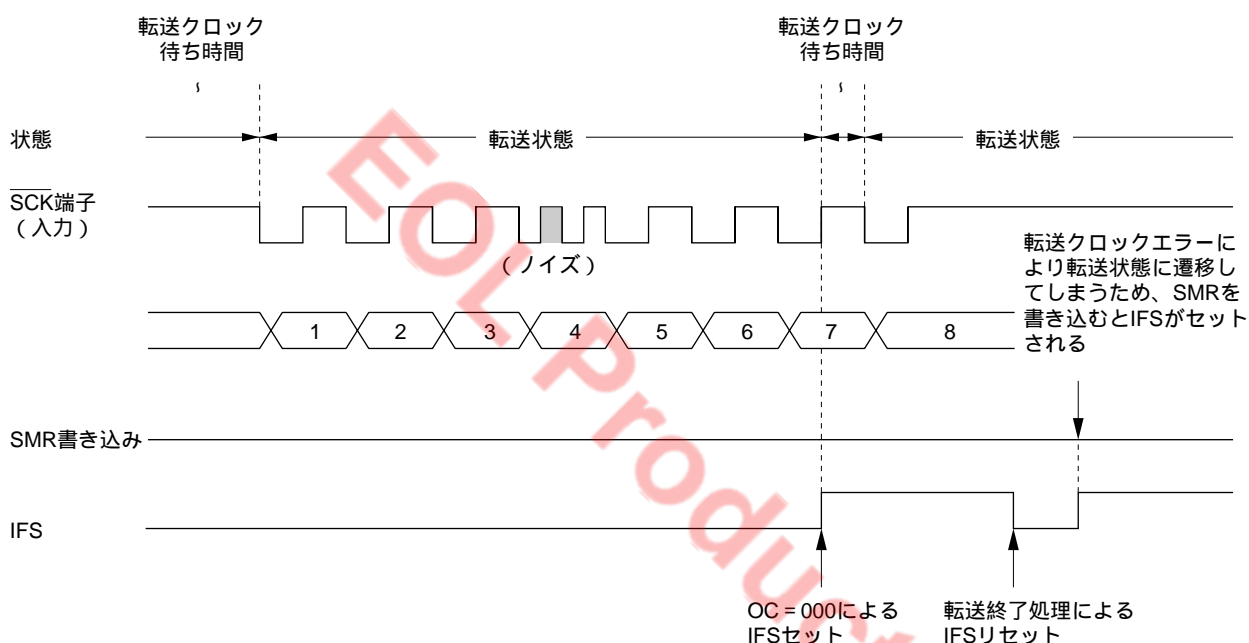


図20.17 転送クロックエラー検出シーケンス

## 20.4 割込み

シリアルインタフェースの割込み要因は、シリアルインタフェースの転送状態から他の状態への遷移（OCの000クリア）です。シリアルインタフェースの割込み要因が発生すると、IFSが1にセットされます。

IFSは、割込みが受け付けられてもオートクリアされません。割込み処理ルーチンの中でソフトウェアでクリアしてください。

シリアル割込みは、IMSによりシリアル割込みを独立に許可または禁止できます。

## 20.5 使用上の注意

シリアルインタフェースを使用するとき、次の点に注意してください。

- (1) 転送クロック待ち状態または転送状態でPMRAの書き込みを行った場合には、再度SMRの書き込みを行い、シリアルインタフェースをイニシャライズしてください。
- (2) 転送状態において、転送クロックの最初のLowレベル期間中に、SMRへの書き込みや、STS命令を実行して他の状態に遷移した場合には、IFSは1にセットされません。IFSを確実にセットするためには、 $\overline{SCK}$ 端子が割り付けられているR0<sub>0</sub>端子に対する入力命令を実行してSCK端子の状態がHighレベルであることを確認してください。その後、SMRへの書き込み、またはSTS命令を実行するようにプログラムしてください。
- (3) SMRの変更は、レジスタへの書き込み命令実行の2命令後から有効になります。したがってSMRへの書き込み後、 $2t_{cyc}$ 以上経過してから、STS命令を実行するようにプログラムする必要があります。
- (4) MISによるPMOSオン/オフ制御は、PMRAによりR0<sub>2</sub>/SO端子のいずれが選択されていても有効となります。

EOL Product



---

# 21. ブザー出力

(HD404318 / HD404358 / HD404358R /  
HD404339 / HD404369シリーズ)

---

EOL Product

---

## 第21章 目次

---

21.1	概要	481
21.1.1	特長	481
21.1.2	ブロック図	482
21.1.3	端子機能	483
21.1.4	レジスタ構成	483
21.2	レジスタ説明	484
21.2.1	ポートモードレジスタA (PMRA)	484
21.2.2	ポートモードレジスタC (PMRC)	485
21.3	動作説明	486

EOL Product

## 21. ブザー出力 HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ

---

### 21.1 概要

HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズは、ブザー出力回路を内蔵していません。

#### 21.1.1 特長

BUZZ端子にシステムクロックを分周した信号を、ブザー駆動用として出力することができます。ブザー出力回路には、次の特長があります。

システムクロックを分周して、4種類の周波数 ( $f_{OSC} = 4\text{MHz}$ のとき、ブザー周波数 = 488Hz、977Hz、1.95kHz、3.91kHz) から1つを選択し、出力することができます。

出力波形は、デューティ50%の矩形波です。

EOL Product

21.1.2 ブロック図

ブザー出力回路のブロック図を図21.1に示します。

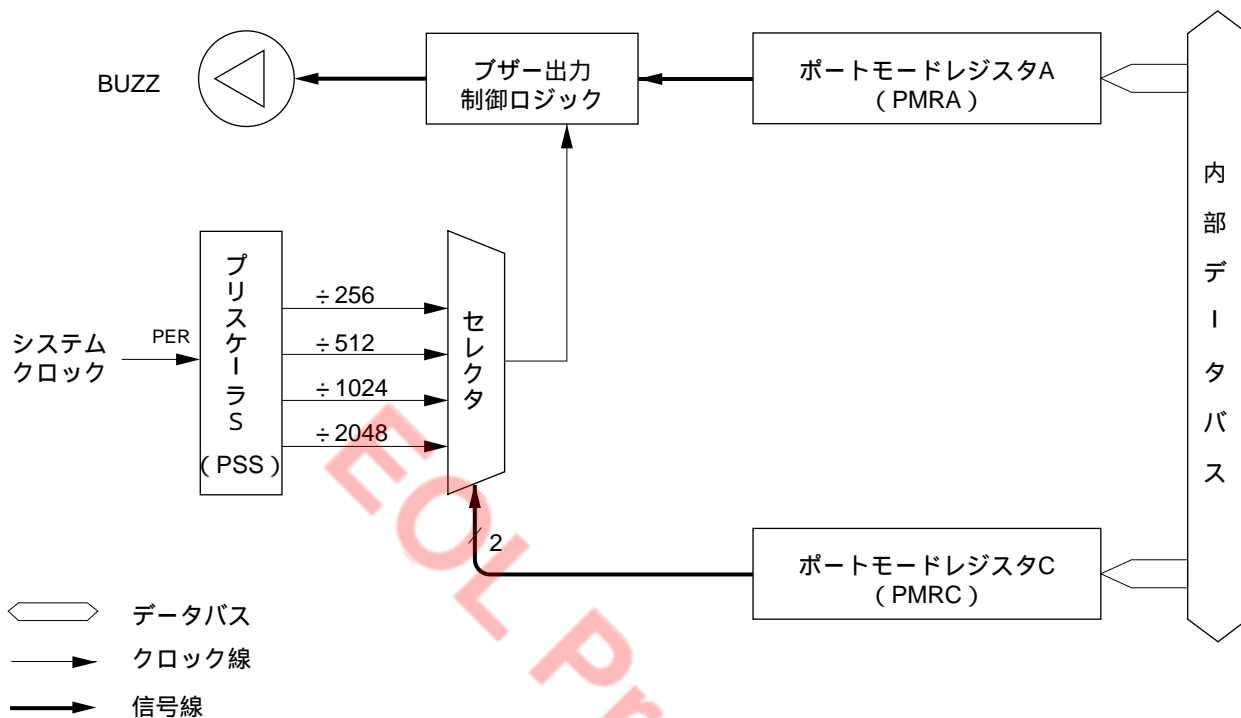


図21.1 ブザー出力回路ブロック図

## 21. ブザー出力 HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ

### 21.1.3 端子機能

ブザー出力回路の端子構成を表21.1に示します。

表21.1 端子構成

名 称	記 号	入出力	機 能
ブザー出力	BUZZ	出力	ブザー用信号出力

### 21.1.4 レジスタ構成

ブザー出力回路のレジスタ構成を表21.2に示します。

表21.2 レジスタ構成

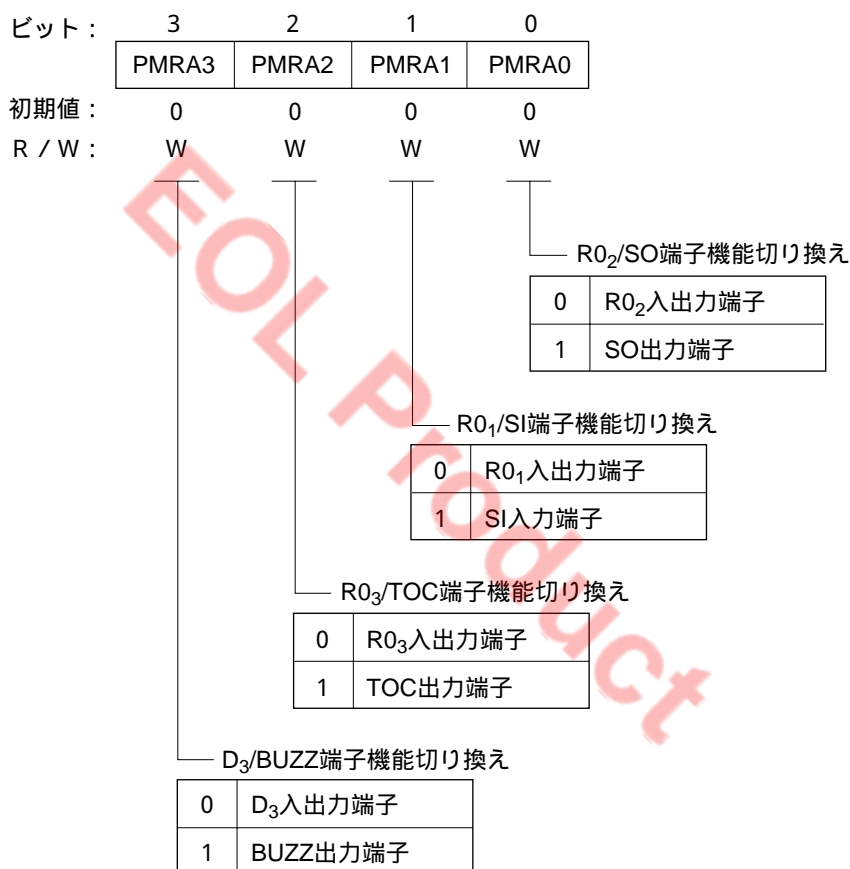
アドレス	名 称	略 称	R / W	初期値
\$ 004	ポートモードレジスタA	PMRA	W	\$0
\$ 025	ポートモードレジスタC	PMRC	W	\$0

## 21.2 レジスタ説明

### 21.2.1 ポートモードレジスタA (PMRA : \$004)

PMRAは、4ビットの書き込み専用レジスタで、R0ポートの端子機能の切り換えの他に、PMRA3ビットでD<sub>3</sub>/BUZZ端子の端子機能の切り換えを行います。

ここではPMRA3ビットについて説明します。PMRA2～PMRA0ビットについての詳細は、HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズの「第9～12章 I/Oポート」の「ポートモードレジスタA (PMRA)」を参照してください。



#### ビット3 : D<sub>3</sub>/BUZZ端子機能切り換え

D<sub>3</sub>/BUZZ端子をD<sub>3</sub>入出力端子として使用するか、ブザー出力端子 (BUZZ) として使用するかを選択します。

PMRA3	説明
0	D <sub>3</sub> /BUZZ端子は、D <sub>3</sub> 入出力端子として機能します。 (初期値)
1	D <sub>3</sub> /BUZZ端子は、BUZZ出力端子として機能します。

## 21. ブザー出力 HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ

### 21.2.2 ポートモードレジスタC (PMRC : \$025)

PMRCは、4ビットの書き込み専用のレジスタで、PMRC3、PMRC2ビットでブザー出力の周波数を選択します。

ここではPMRC3、PMRC2ビットについて説明します。PMRC1、PMRC0ビットについての詳細は「20.2.5 ポートモードレジスタC (PMRC)」を参照してください。



#### ビット3、2 : ブザー周波数選択 (PMRC3、PMRC2)

リセット、およびストップモード時に、PMRC3、PMRC2ビットは0にイニシャライズされます。

PMRC3	PMRC2	説明	ブザー周波数 PER = 1MHzのとき*
0	0	PER / 2048周波数の信号を出力します。	488Hz
	1	PER / 1024周波数の信号を出力します	977Hz
1	0	PER / 512周波数の信号を出力します。	1.95kHz
	1	PER / 256周波数の信号を出力します。	3.91kHz

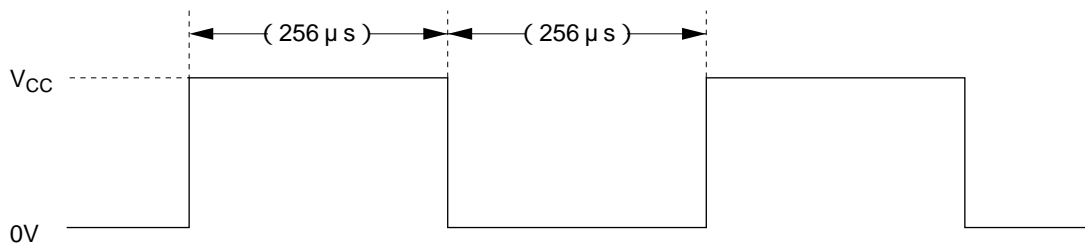
【注】\* HD404318 / HD404358 / HD404358Rシリーズ :  $PER = f_{OSC} / 4$

HD404339 / HD404369シリーズ :  $PER = f_{OSC} / 4, f_{OSC} / 8, f_{OSC} / 16$ または $f_{OSC} / 32$

### 21.3 動作説明

ブザー出力回路は、システムクロックをプリスケラS (PSS) で分周した4種類の周波数から1周波を選択しBUZZ端子に出力します。出力波形例を図21.2に示します。

出力はデューティ50%の矩形波となっています。



$f_{OSC}=4MHz$ 、 $PER=f_{OSC} / 4$ 、 $PER / 512$ 出力設定  
(周波数1.95kHz)

図21.2 ブザー出力波形例



---

# 22. ROM

---

EOL Product

---

## 第22章 目次

---

22.1	概要 .....	489
22.2	PROMモード .....	492
22.2.1	PROMモード .....	492
22.2.2	ソケットアダプタの端子対応とメモリマップ .....	493
22.3	プログラミング .....	501
22.3.1	書き込み / ベリファイ .....	501
22.3.2	書き込み時の注意 .....	505
22.3.3	書き込み後の信頼性 .....	505
22.4	ROM発注時のお願い .....	506

EOL Product

## 22.1 概要

HMCS43 × × ファミリの内蔵するROMを表22.1に示します。

表22.1 内蔵ROM (1 / 3)

## HD404344R / HD404394シリーズ

形 名		容量	ROMタイプ
HD404344Rシリーズ	HD404394シリーズ		
HD404341RS	HD404391S	1,024ワード	マスクROM
HD404341RFP	HD404391FP		
HD404341RFT	HD404391FT		
HD40C4341RS			
HD40C4341RFP			
HD40C4341RFT			
HD404342RS	HD404392S	2,048ワード	
HD404342RFP	HD404392FP		
HD404342RFT	HD404392FT		
HD40C4342RS			
HD40C4342RFP			
HD40C4342RFT			
HD404344RS	HD404394S	4,096ワード	
HD404344RFP	HD404394FP		
HD404344RFT	HD404394FT		
HD40C4344RS			
HD40C4344RFP			
HD40C4344RFT			
HD4074344S	HD4074394S	4,096ワード	ZTAT®*
HD4074344FP	HD4074394FP		
HD4074344FT	HD4074394FT		

【注】\* ZTAT®は、(株)日立製作所の登録商標です。

## HD404318シリーズ

形 名	容量	ROMタイプ
HD404314S	4,096ワード	マスクROM
HD404314H		
HD404316S	6,144ワード	
HD404316H		
HD404318S	8,192ワード	
HD404318H		
HD4074318S	8,192ワード	ZTAT®*
HD4074318H		

【注】\* ZTAT®は、(株)日立製作所の登録商標です。

## 22. ROM HD404358 / HD404358R / HD404339シリーズ

表22.1 内蔵ROM ( 2 / 3 )

### HD404358シリーズ

形名	容量	ROMタイプ
HD404354S / HD40A4354S	4,096ワード	マスクROM
HD404354H / HD40A4354H		
HD404356S / HD40A4356S	6,144ワード	
HD404356H / HD40A4356H		
HD404358S / HD40A4358S	8,192ワード	
HD404358H / HD40A4358H		
HD407A4359S	16,384ワード	ZTAT®*1
HD407A4359H		

【注】 \*1 ZTAT®は、(株)日立製作所の登録商標です。

### HD404358Rシリーズ

形名	容量	ROMタイプ
HD404354RS / HD40A4354RS / HD40C4354RS	4,096ワード	マスクROM
HD404354RH / HD40A4354RH / HD40C4354RH		
HD404356RS / HD40A4356RS / HD40C4356RS	6,144ワード	
HD404356RH / HD40A4356RH / HD40C4356RH		
HD404358RS / HD40A4358RS / HD40C4358RS	8,192ワード	
HD404358RH / HD40A4358RH / HD40C4358RH		
HD407A4359RS / HD407C4359RS	16,384ワード	ZTAT®*1
HD407A4359RH / HD407C4359RH		

【注】 \* ZTAT®は、(株)日立製作所の登録商標です。

### HD404339シリーズ

形名	容量	ROMタイプ	
HD404334S	4,096ワード	マスクROM	
HD404334FS			
HD404336S	6,144ワード		
HD404336FS			
HD404338S	8,192ワード		
HD404338FS			
HD4043312S	12,288ワード		
HD4043312FS			
HD404339S	16,384ワード		
HD404339FS			
HD4074339S	16,384ワード		ZTAT®*
HD4074339FS			

【注】 \* ZTAT®は、(株)日立製作所の登録商標です。

表22.1 内蔵ROM (3/3)

## HD404369シリーズ

形 名	容量	ROMタイプ
HD404364S / HD40A4364S	4,096ワード	マスクROM
HD404364F / HD40A4364F		
HD404368S / HD40A4368S	8,192ワード	
HD404368F / HD40A4368F		
HD4043612S / HD40A43612S	12,288ワード	
HD4043612F / HD40A43612F		
HD404369S / HD40A4369S	16,384ワード	
HD404369F / HD40A4369F		
HD407A4369S	16,384ワード	ZTAT®*
HD407A4369F		

【注】\* ZTAT®は、(株)日立製作所の登録商標です。

EOL Product

## 22. ROM 全シリーズ

### 22.2 PROMモード

#### 22.2.1 PROMモード

HD4074344、HD4074394、HD4074318、HD407A4359、HD407A4359R、HD407C4359R、HD4074339、およびHD407A4369は、PROMモードに設定するとマイクロコンピュータとしての機能を停止して、HN27C256、HN27256と同一方法で内蔵PROMのプログラムを行うことができます。

PROMモードの設定方法を表22.2に示します。

表22.2 PROMモードの設定方法

#### HD4074344 / HD4074394

端子名		設定
モード端子	$\overline{M}_0$ (R3 <sub>1</sub> /AN <sub>1</sub> )	Lowレベル
リセット端子	RESET	

#### HD4074318 / HD4074339

端子名		設定
モード端子	$M_0$ (D <sub>0</sub> / $\overline{INT}_0$ )	Highレベル
モード端子	$M_1$ (D <sub>1</sub> / $\overline{INT}_1$ )	
リセット端子	RESET	Lowレベル

#### HD407A4359 / HD407A4359R / HD407C4359R / HD407A4369

端子名		設定
モード端子	$\overline{M}_0$ (R4 <sub>1</sub> /AN <sub>5</sub> )	Lowレベル
モード端子	$\overline{M}_1$ (R4 <sub>2</sub> /AN <sub>6</sub> )	
リセット端子	RESET	

### 22.2.2 ソケットアダプタの端子対応とメモリマップ

PROMのプログラミングは、表22.3に示すようにパッケージに対応したソケットアダプタを付けて、28ピンに変換し、汎用PROMライターでプログラミングを行います。ソケットアダプタの端子対応図を図22.1～図22.5に示します。

なお、HMCS400シリーズの1命令は10ビット構成ですので、汎用PROMライターが使用できるように変換回路を内蔵しています。1命令を下位5ビットと上位5ビットに分割して、2アドレスで書き込み/読み出しを行うことで、汎用PROMライターを使用することができます。

HD4074344 / HD4074394の場合、4kワードのPROMを内蔵していますので、汎用PROMライターを使用するときには、8kバイトのアドレス（\$0000～\$1FFF）を指定してください。

HD4074318の場合、8kワードのPROMを内蔵していますので、16kバイトのアドレス（\$0000～\$3FFF）を指定してください。

また、HD407A4359、HD407A4359R、HD407C4359R、HD4074339、HD407A4369の場合、16kワードのPROMを内蔵していますので、32kバイトのアドレス（\$0000～\$7FFF）を指定してください。

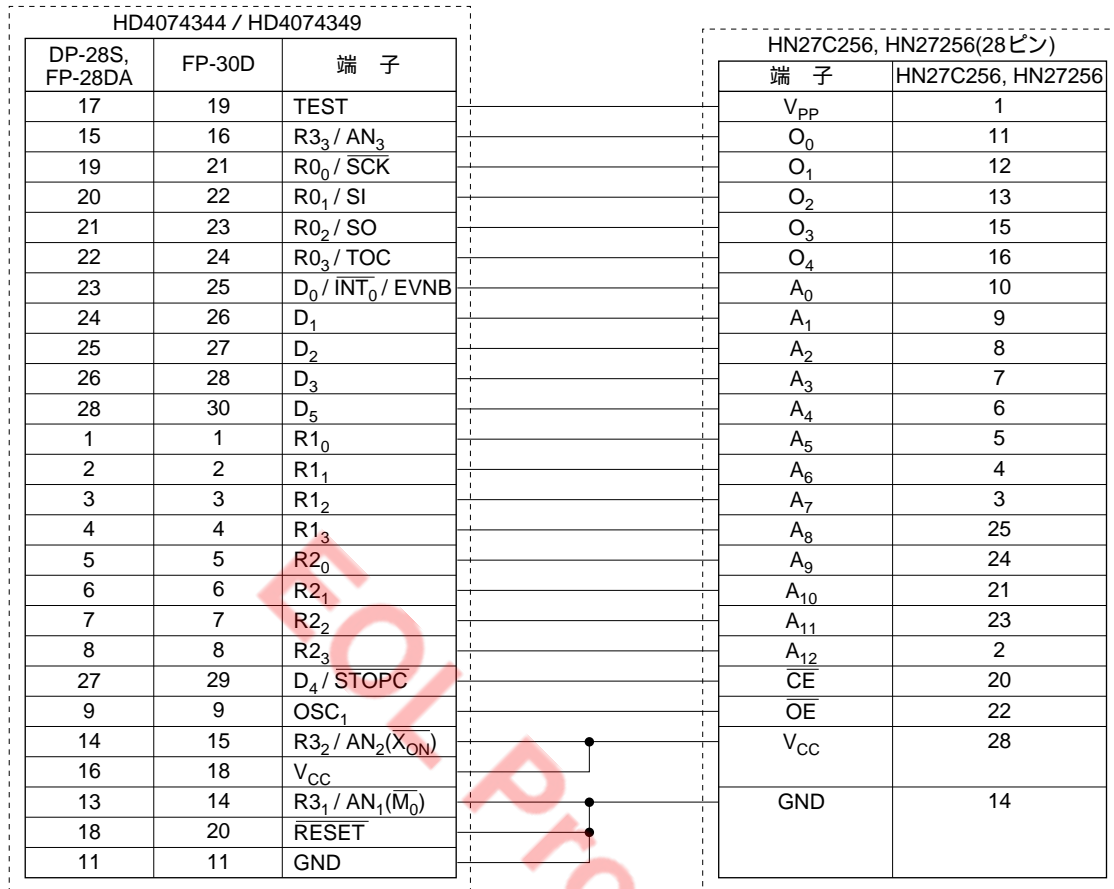
PROMモード時のメモリマップを図22.6～図22.8に示します。

表22.3 ソケットアダプタ

製品名	パッケージ	ソケットアダプタの形名
HD4074344 / HD4074394	DP-28S	HS4344ESS01H
	FP-28DA	HS4344ESP01H
	FP-30D	HS4344ESF01H
HD4074318	DP-42S	HS4318ESS01H
	FP-44A	HS4318ESH01H
HD407A4359 / HD407A4359R / HD407C4359R	DP-42S	HS4359ESS01H
	FP-44A	HS4359ESH01H
HD4074339	DP-64S	HS4339ESS01H
	FP-64B	HS4339ESF01H
HD407A4369	DP-64S	HS4369ESS01H
	FP-64B	HS4369ESF01H

## 22. ROM HD404344R / HD404394シリーズ

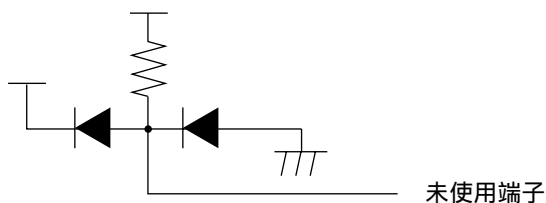
HD4074344、HD4074394のソケットアダプタの端子対応図を図22.1に示します。



### 《記号説明》

- V<sub>PP</sub> : プログラム電源
- O<sub>0</sub> ~ O<sub>4</sub> : データ入出力
- A<sub>0</sub> ~ A<sub>12</sub> : アドレス入力
- OE : 出力イネーブル
- CE : チップイネーブル

- 【注】 1. PROMライタ側の未使用アドレス端子 (A<sub>13</sub>、A<sub>14</sub>) および未使用のデータ端子 (O<sub>5</sub> ~ O<sub>7</sub>) は、ソケットアダプタ内で以下の回路で結線されています。

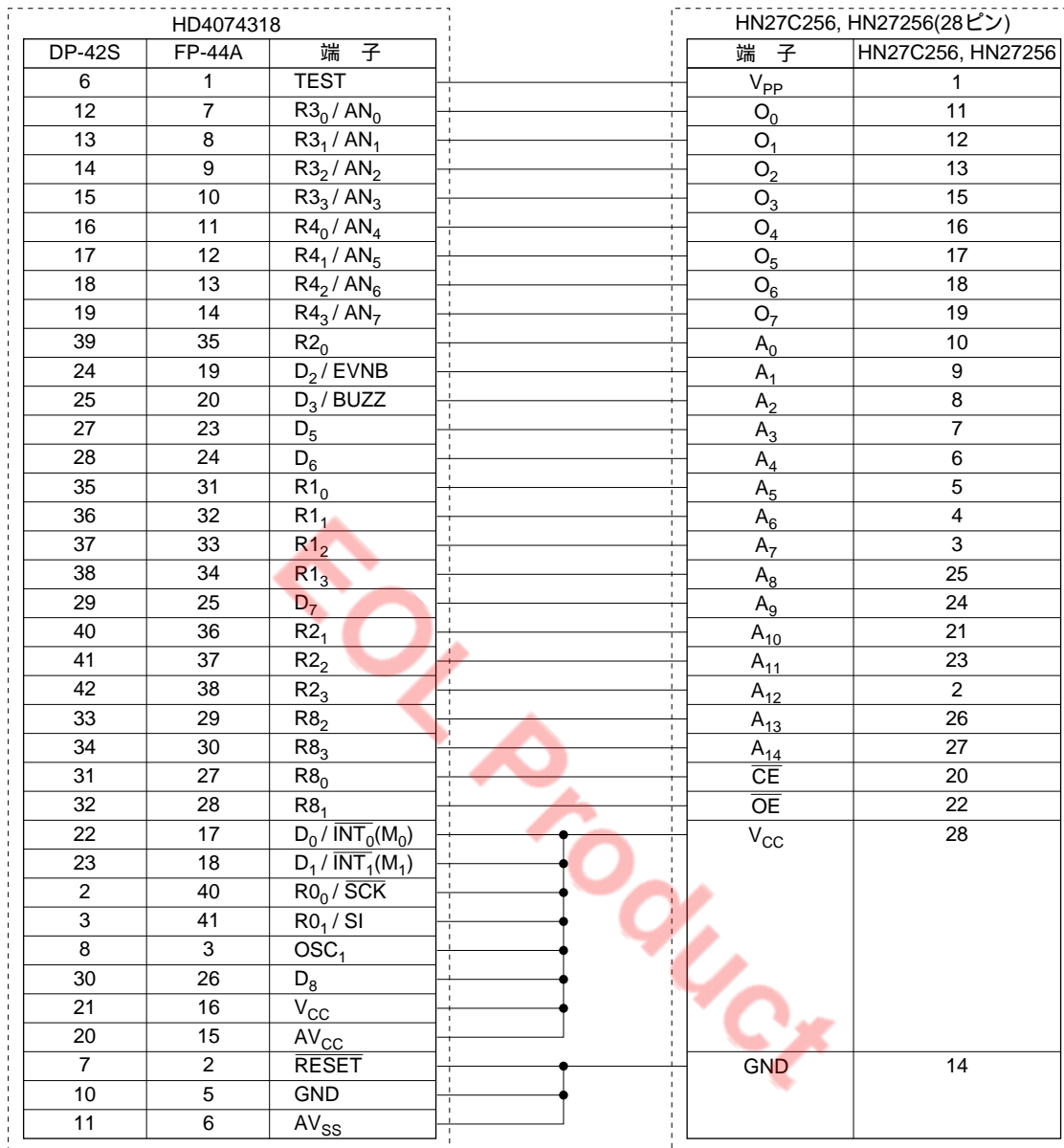


2. 図中に記載されていない端子は、すべてオープンです。

図22.1 HD4074344、HD4074394のソケットアダプタの端子対応図



HD4074318のソケットアダプタの端子対応図を図22.2に示します。



《記号説明》

- V<sub>PP</sub> : プログラム電源
- O<sub>0</sub> ~ O<sub>7</sub> : データ入出力
- A<sub>0</sub> ~ A<sub>14</sub> : アドレス入力
- OE : 出カインーブル
- CE : チップインーブル

【注】 図中に記載されていない端子は、すべてオープンです。

図22.2 HD4074318のソケットアダプタの端子対応図

## 22. ROM HD404358 / HD404358Rシリーズ

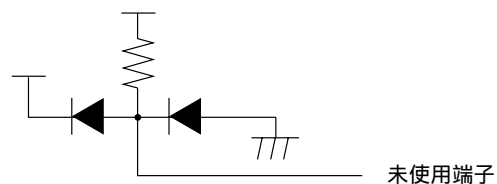
HD407A4359、HD407A4359R、HD407C4359Rのソケットアダプタの端子対応図を図22.3に示します。



### 《記号説明》

V<sub>PP</sub> : プログラム電源  
 O<sub>0</sub> ~ O<sub>4</sub> : データ入出力  
 A<sub>0</sub> ~ A<sub>14</sub> : アドレス入力  
 OE : 出力イネーブル  
 CE : チップイネーブル

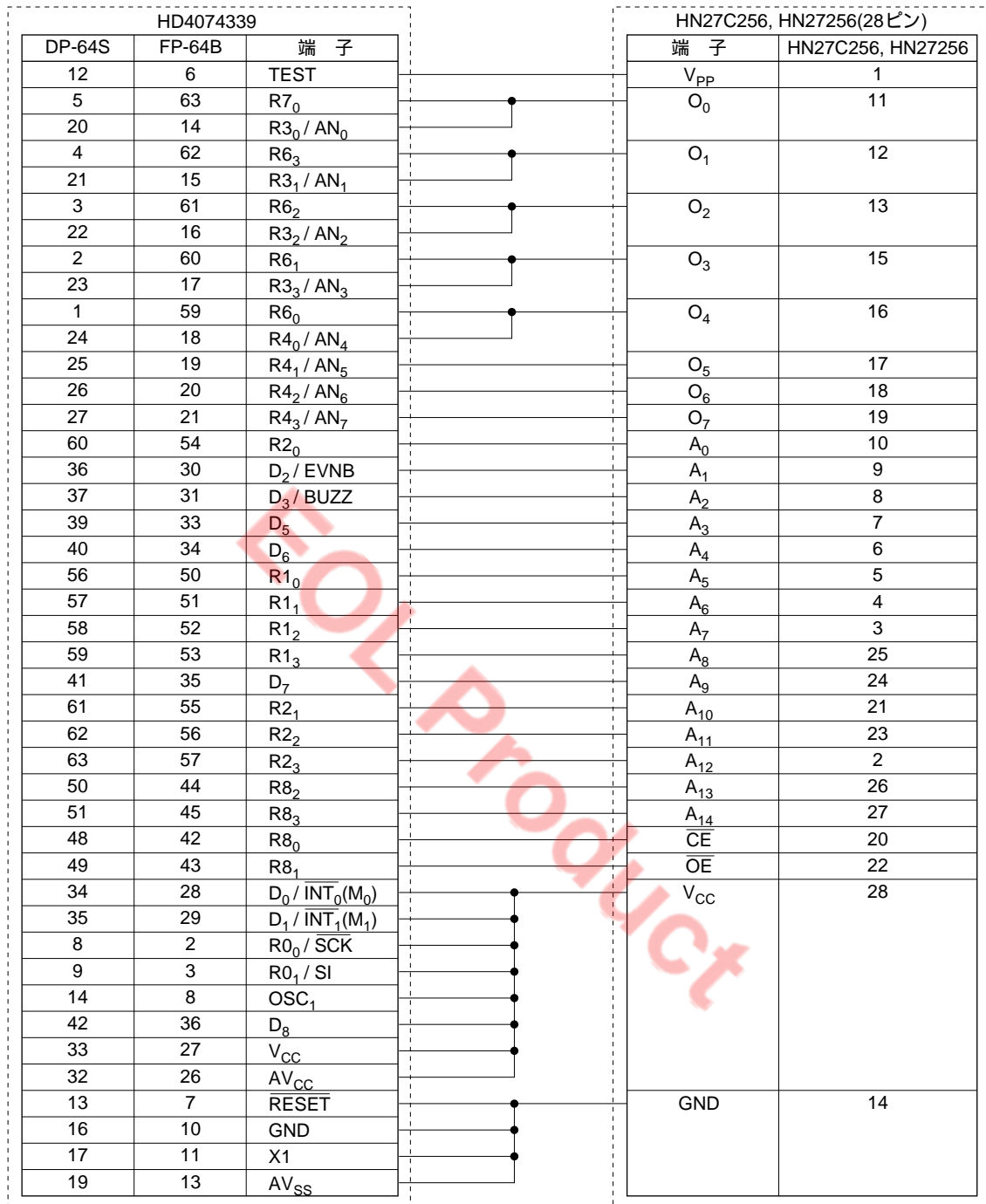
【注】 1. PROMライタ側の未使用のデータ端子 (O<sub>5</sub> ~ O<sub>7</sub>) は、ソケットアダプタ内で以下の回路で結線されています。



2. 図中に記載されていない端子は、すべてオープンです。

図22.3 HD407A4359、HD407A4359R、HD407C4359Rのソケットアダプタの端子対応図

HD4074339のソケットアダプタの端子対応図を図22.4に示します。



《記号説明》

- V<sub>PP</sub> : プログラム電源
- O<sub>0</sub> ~ O<sub>7</sub> : データ入出力
- A<sub>0</sub> ~ A<sub>14</sub> : アドレス入力
- OE : 出力イネーブル
- CE : チップイネーブル

【注】 図中に記載されていない端子は、すべてオープンです。

図22.4 HD4074339のソケットアダプタの端子対応図

## 22. ROM HD404369シリーズ

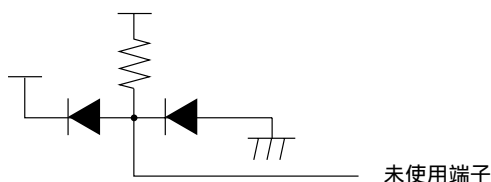
HD407A4369のソケットアダプタの端子対応図を図22.5に示します。



### 《記号説明》

V<sub>PP</sub> : プログラム電源  
O<sub>0</sub> ~ O<sub>4</sub> : データ入出力  
A<sub>0</sub> ~ A<sub>14</sub> : アドレス入力  
OE : 出カインーブル  
CE : チップインーブル

【注】 1. PROMライタ側の未使用のデータ端子 (O<sub>5</sub> ~ O<sub>7</sub>) は、ソケットアダプタ内で以下の回路で結線されています。



2. 図中に記載されていない端子は、すべてオープンです。

図22.5 HD407A4369のソケットアダプタの端子対応図

## 22. ROM HD404344R / HD404394 / HD404318シリーズ

HD4074344、HD4074394のPROMモード時のメモリマップを図22.6に示します。

HN27C256, HN27256アドレスマップ									HD4074344, HD4074394アドレスマップ										
ビット アドレス	7	6	5	4	3	2	1	0	ビット アドレス	9	8	7	6	5	4	3	2	1	0
\$0000	1	1	1	RO <sub>4</sub>	RO <sub>3</sub>	RO <sub>2</sub>	RO <sub>1</sub>	RO <sub>0</sub>	\$0000	RO <sub>9</sub>	RO <sub>8</sub>	RO <sub>7</sub>	RO <sub>6</sub>	RO <sub>5</sub>	RO <sub>4</sub>	RO <sub>3</sub>	RO <sub>2</sub>	RO <sub>1</sub>	RO <sub>0</sub>
\$0001	1	1	1	RO <sub>9</sub>	RO <sub>8</sub>	RO <sub>7</sub>	RO <sub>6</sub>	RO <sub>5</sub>	\$000F	ベクタアドレスエリア (16ワード)									
\$001F	ベクタアドレスエリア (32バイト)								\$0010	ゼロページサブルーチンエリア (64ワード)									
\$0020	ゼロページサブルーチンエリア (128バイト)								\$003F	ゼロページサブルーチンエリア (64ワード)									
\$007F	ゼロページサブルーチンエリア (128バイト)								\$0040	パターン/プログラムエリア (4,096ワード)									
\$0080	パターン/プログラムエリア (8,192バイト)								\$0FFF	パターン/プログラムエリア (4,096ワード)									
\$1FFF	パターン/プログラムエリア (8,192バイト)								\$0FFF	パターン/プログラムエリア (4,096ワード)									

上位3ビットは使用しない (111を入れる)

バイト : 8ビット

ワード : 10ビット

図22.6 HD4074344、HD4074394のPROMモード時のメモリマップ

HD4074318のPROMモード時のメモリマップを図22.7に示します。

HN27C256, HN27256アドレスマップ									HD4074318アドレスマップ										
ビット アドレス	7	6	5	4	3	2	1	0	ビット アドレス	9	8	7	6	5	4	3	2	1	0
\$0000	1	1	1	RO <sub>4</sub>	RO <sub>3</sub>	RO <sub>2</sub>	RO <sub>1</sub>	RO <sub>0</sub>	\$0000	RO <sub>9</sub>	RO <sub>8</sub>	RO <sub>7</sub>	RO <sub>6</sub>	RO <sub>5</sub>	RO <sub>4</sub>	RO <sub>3</sub>	RO <sub>2</sub>	RO <sub>1</sub>	RO <sub>0</sub>
\$0001	1	1	1	RO <sub>9</sub>	RO <sub>8</sub>	RO <sub>7</sub>	RO <sub>6</sub>	RO <sub>5</sub>	\$000F	ベクタアドレスエリア (16ワード)									
\$001F	ベクタアドレスエリア (32バイト)								\$0010	ゼロページサブルーチンエリア (64ワード)									
\$0020	ゼロページサブルーチンエリア (128バイト)								\$003F	ゼロページサブルーチンエリア (64ワード)									
\$007F	ゼロページサブルーチンエリア (128バイト)								\$0040	パターンエリア (4,096ワード)									
\$0080	パターンエリア (8,192バイト)								\$0FFF	パターンエリア (4,096ワード)									
\$1FFF	パターンエリア (8,192バイト)								\$0FFF	パターンエリア (4,096ワード)									
\$2000	プログラムエリア (32,768バイト)								\$1000	プログラムエリア (8,192ワード)									
\$3FFF	プログラムエリア (32,768バイト)								\$1FFF	プログラムエリア (8,192ワード)									

上位3ビットは使用しない (111を入れる)

バイト : 8ビット

ワード : 10ビット

図22.7 HD4074318のPROMモード時のメモリマップ

## 22. ROM HD404358 / HD404358R / HD404339 / HD404369シリーズ

HD407A4359、HD407A4359R、HD407C4359R、HD4074339、HD407A4369のPROMモード時のメモリマップを図22.8に示します。

HN27C256, HN27256アドレスマップ									HD407A4359, HD407A4359R, HD407C4359R, HD4074339, HD407A4369アドレスマップ													
ビット アドレス	7	6	5	4	3	2	1	0	ビット アドレス	9	8	7	6	5	4	3	2	1	0			
\$0000				RO <sub>4</sub>	RO <sub>3</sub>	RO <sub>2</sub>	RO <sub>1</sub>	RO <sub>0</sub>	\$0000				RO <sub>9</sub>	RO <sub>8</sub>	RO <sub>7</sub>	RO <sub>6</sub>	RO <sub>5</sub>	RO <sub>4</sub>	RO <sub>3</sub>	RO <sub>2</sub>	RO <sub>1</sub>	RO <sub>0</sub>
\$0001				RO <sub>9</sub>	RO <sub>8</sub>	RO <sub>7</sub>	RO <sub>6</sub>	RO <sub>5</sub>	\$000F				ベクタアドレスエリア (16ワード)									
\$001F	ベクタアドレスエリア (32バイト)								\$0010				ゼロページサブルーチンエリア (64ワード)									
\$0020	ゼロページサブルーチンエリア (128バイト)								\$003F				パターンエリア (4,096ワード)									
\$007F	パターンエリア (8,192バイト)								\$0040				プログラムエリア (16,192ワード)									
\$0080	プログラムエリア (32,768バイト)								\$0FFF													
\$1FFF									\$1000													
\$2000									\$3FFF													
\$7FFF																						

上位3ビットは使用しない (111を入れる)

バイト : 8ビット

ワード : 10ビット

図22.8 HD407A4359、HD407A4359R、HD407C4359R、HD4074339、HD407A4369のPROMモード時のメモリマップ

## 22.3 プログラミング

PROMモード時の書き込み、ベリファイなどのモード選択は、表22.4に示す設定で行います。

表22.4 PROMモード時の書き込みモードの選択

端子 モード	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$O_0 \sim O_7$ ( $O_0 \sim O_4$ ) <sup>*1</sup>	$A_0 \sim A_{14}$ ( $A_0 \sim A_{12}$ ) <sup>*2</sup>
書き込み	L	H	データ入力	アドレス入力
ベリファイ	H	L	データ出力	アドレス入力
プログラミング禁止	H	H	ハイインピーダンス	アドレス入力

《記号説明》

L : Lowレベル

H : Highレベル

【注】 \*1  $O_0 \sim O_7$  : HD4074318、HD4074339に適用します。

$O_0 \sim O_4$  : HD4074344、HD4074394、HD407A4359、HD407A4359R、HD407C4359R、HD407A4369に適用します。

\*2  $A_0 \sim A_{14}$  : HD4074318、HD407A4359、HD407A4359R、HD407C4359R、HD4074339、HD407A4369に適用します。

$A_0 \sim A_{12}$  : HD4074344、HD4074394に適用します。

なお、書き込み、読み出しは、標準EPROMのHN27C256、HN27256と同じ仕様となっています。

### 22.3.1 書き込み/ベリファイ

書き込み/ベリファイは、効率のよい高速プログラミング方式で行うことができます。この方式は、デバイスへの電圧ストレスを与えることなく、また書き込みデータの信頼性を損なうことなく、高速な書き込みを行うことができます。未使用のアドレス領域のデータは\$FFです。高速プログラミングの基本的なフローを図22.9に示します。また、プログラミング時の電気的特性を表22.5、表22.6に、タイミングを図22.10に示します。

## 22. ROM 全シリーズ

高速プログラミングフローチャートを図22.9に示します。

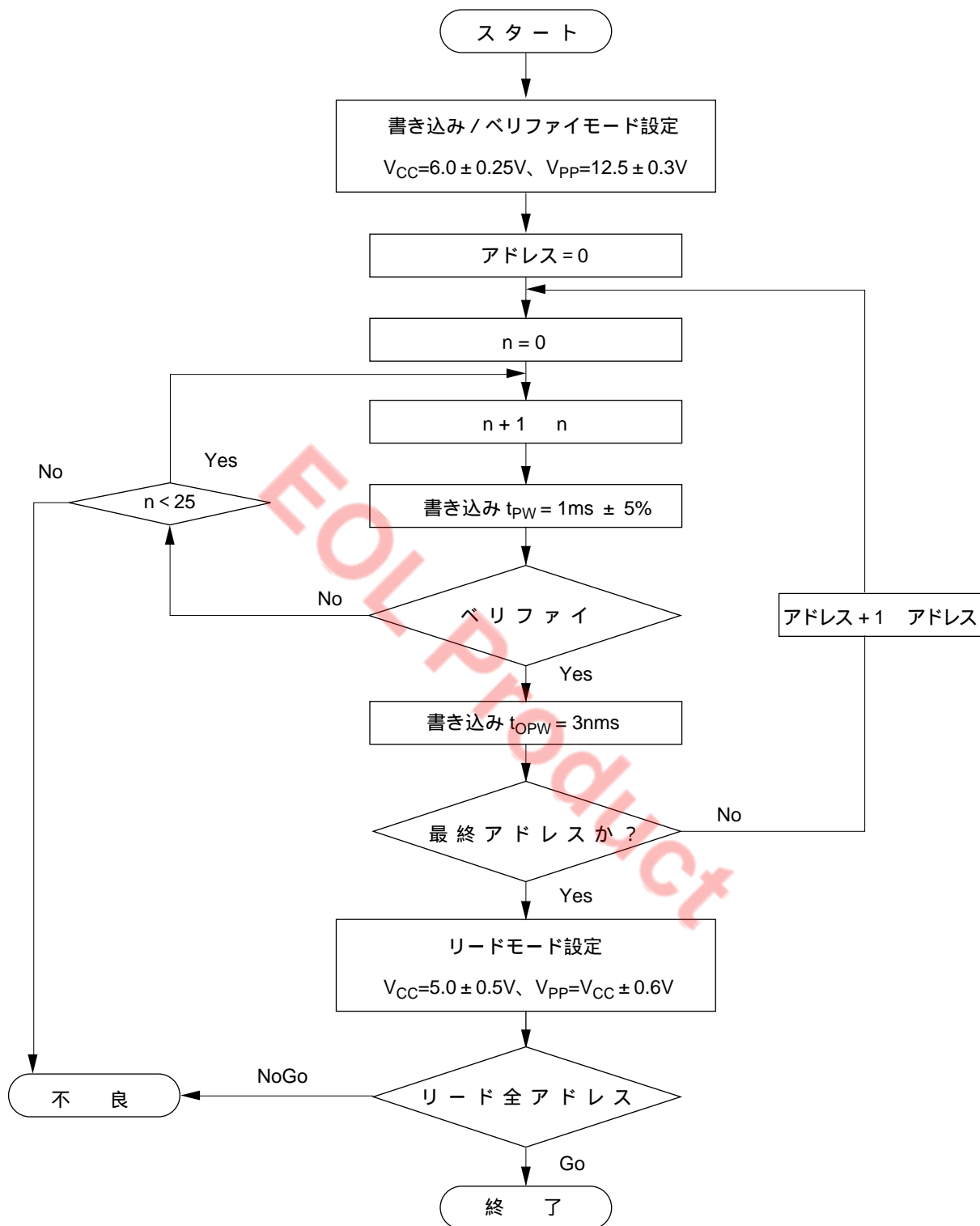


図22.9 高速プログラミングフローチャート



DC特性を表22.5、AC特性を表22.6に示します。

表22.5 DC特性

(特記なき場合は： $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$ )

項目	記号	測定条件	min	typ	max	単位
入力High レベル電圧	$V_{IH}$	$O_0 \sim O_7(O_0 \sim O_4)^*1$ 、 $A_0 \sim A_{14}(A_0 \sim A_{12})^*2$ 、 $\overline{OE}$ 、 $\overline{CE}$	2.2	-	$V_{CC}+0.3$	V
入力Low レベル電圧	$V_{IL}$	$O_0 \sim O_7(O_0 \sim O_4)^*1$ 、 $A_0 \sim A_{14}(A_0 \sim A_{12})^*2$ 、 $\overline{OE}$ 、 $\overline{CE}$	-0.3	-	0.8	V
出力High レベル電圧	$V_{OH}$	$O_0 \sim O_7(O_0 \sim O_4)^*1$ $I_{OH} = -200 \mu A$	2.4	-	-	V
出力Low レベル電圧	$V_{OL}$	$O_0 \sim O_7(O_0 \sim O_4)^*1$ $I_{OL} = 1.6mA$	-	-	0.4	V
入力 リーク電流	$ I_{IL} $	$O_0 \sim O_7(O_0 \sim O_4)^*1$ 、 $A_0 \sim A_{14}(A_0 \sim A_{12})^*2$ 、 $\overline{OE}$ 、 $\overline{CE}$ $V_{in} = 5.25V/0.5V$	-	-	2	$\mu A$
$V_{CC}$ 電流	$I_{CC}$		-	-	30	mA
$V_{PP}$ 電流	$I_{PP}$		-	-	40	mA

【注】 \*1  $O_0 \sim O_7$  : HD4074318、HD4074339に適用します。

$O_0 \sim O_4$  : HD4074344、HD4074394、HD407A4359、HD407A4359R、HD407C4359R、HD407A4369に適用します。

\*2  $A_0 \sim A_{14}$  : HD4074318、HD407A4359、HD407A4359R、HD407C4359R、HD4074339、HD407A4369に適用します。

$A_0 \sim A_{12}$  : HD4074344、HD4074394に適用します。

表22.6 AC特性

(特記なき場合は： $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $T_a = 25 \pm 5$ )

項目	記号	測定条件	min	typ	max	単位
アドレスセットアップ時間	$t_{AS}$	図22.10*	2	-	-	$\mu s$
$\overline{OE}$ セットアップ時間	$t_{OES}$		2	-	-	$\mu s$
データセットアップ時間	$t_{DS}$		2	-	-	$\mu s$
アドレスホールド時間	$t_{AH}$		0	-	-	$\mu s$
データホールド時間	$t_{DH}$		2	-	-	$\mu s$
データ出力ディスエーブル時間	$t_{DF}$		-	-	130	ns
$V_{PP}$ セットアップ時間	$t_{VPS}$		2	-	-	$\mu s$
プログラムパルス幅	$t_{PW}$		0.95	1.0	1.05	ms
オーバプログラム時の $\overline{CE}$ パルス幅	$t_{OPW}$		2.85	-	78.75	ms
$V_{CC}$ セットアップ時間	$t_{VCS}$		2	-	-	$\mu s$
データ出力遅延時間	$t_{OE}$		0	-	500	ns

【注】\* 入力パルスレベル：0.8~2.2V

入力立ち上がり/立ち下がり時間 20ns

タイミング参照レベル { 入力：1.0V、2.0V  
出力：0.8V、2.0V

## 22. ROM 全シリーズ

PROM書き込み / ベリファイタイミングを図22.10に示します。

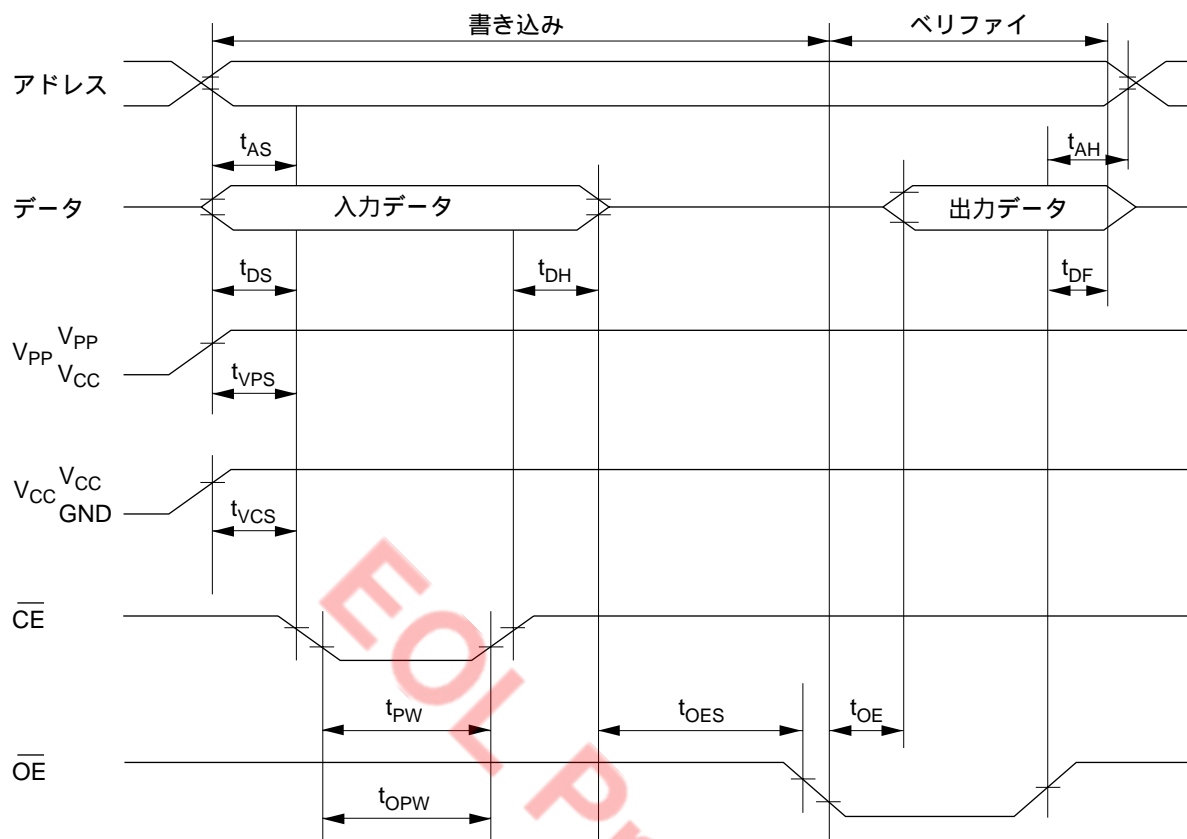


図22.10 PROM書き込み / ベリファイタイミング

### 22.3.2 書き込み時の注意

(1) 書き込みは規定された電圧、タイミングで行ってください。

PROMモード時のプログラム電圧 ( $V_{pp}$ ) は12.5Vです。

定格以上の電圧を加えると、製品の永久破壊に至りますので、注意してください。特にPROMライタのオーバershootなどには十分注意してください。

PROMライタのHN27256、またはHN27C256の日立仕様またはインテル仕様にセットすると、 $V_{pp}$ は12.5Vになります。

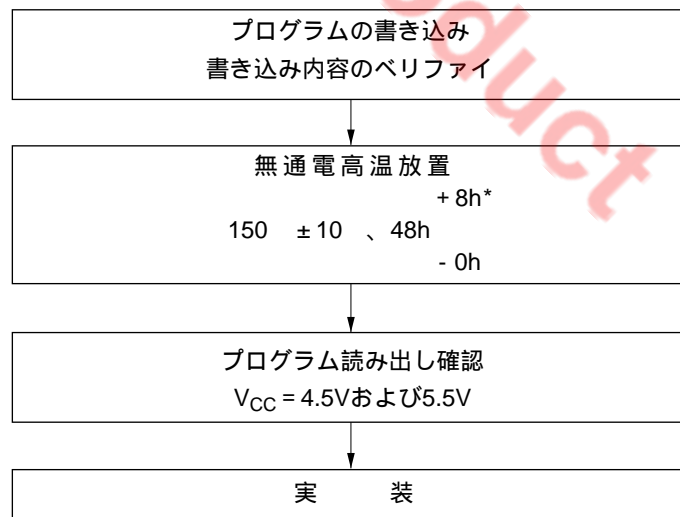
(2) PROMライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していないと、過剰電流によって製品が破壊することがあります。書き込み前に正しくPROMライタに装着されていることを必ず確認してください。

(3) 書き込み中はソケットアダプタおよび製品には触れないようにしてください。接触不良により書き込み不良となる場合があります。

### 22.3.3 書き込み後の信頼性

データ書き込み後、データ保持特性を向上させるために、150 の高温放置をしてスクリーニングを行うと大変有効です。高温放置は、スクリーニングの1つであり、PROMメモリセルの初期のデータ保持不良を短時間で除くことができます。

図22.11に推奨するスクリーニングフローを示します。



【注】\* 放置時間はベーク炉内温度が150 に達してからの時間とします。

図22.11 推奨スクリーニングフロー

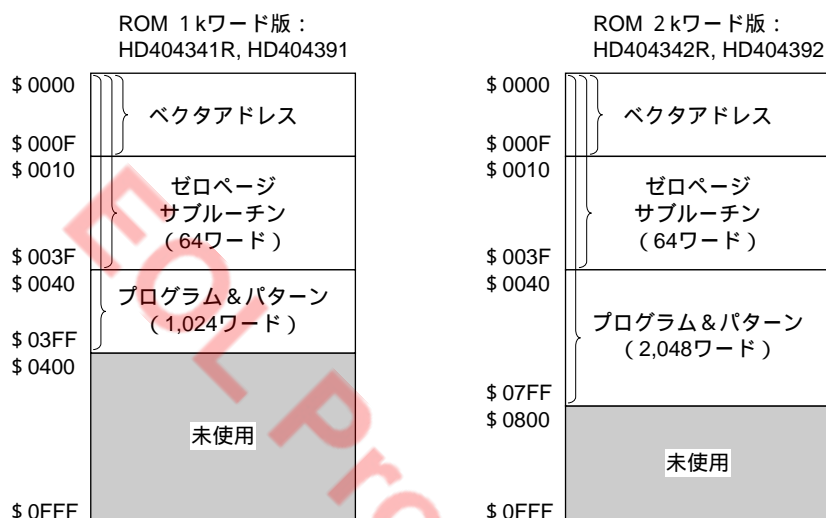
## 22. ROM 全シリーズ

### 22.4 ROM発注時のお願い

実際に使用するROMデータと、マスク描画するデータの領域が異なる製品があります。発注用EPROMには、ROMデータの「未使用」領域アドレスに必ず1を書き込んでください。これは、EPROMを使用して発注する場合と、データ伝送を使用して発注する場合のどちらにも適用します。

該当製品のROMデータ構成図を図22.12に示します。

発注時4kワードのデータが必要となる製品



発注時8kワードのデータが必要となる製品

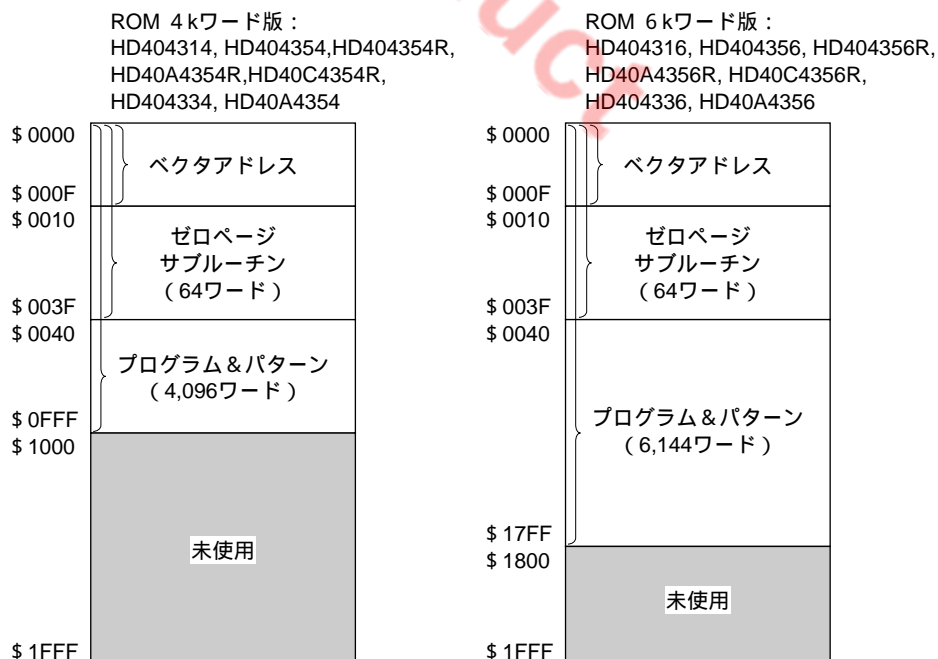


図22.12 ROMデータ構成図(1)

発注時16kワードのデータが必要となる製品

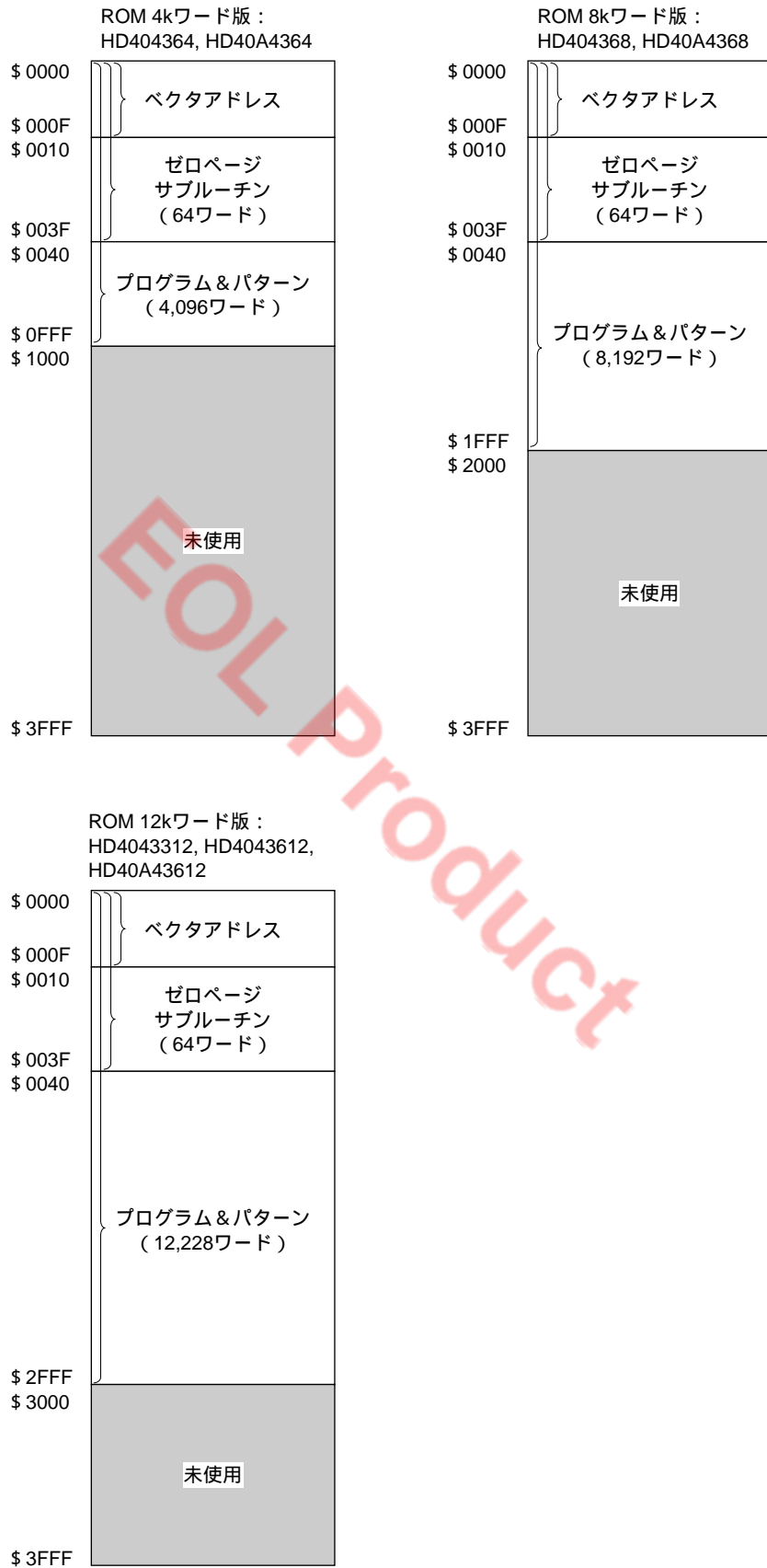


図22.12 ROMデータ構成図(2)

EOL Product

---

# 23. RAM

---

EOL Product

---

## 第23章 目次

---

23.1	概要 .....	511
23.1.1	特長 .....	511
23.1.2	RAMメモリマップ .....	512
23.2	RAMイネーブルフラグ (RAME : \$ 021,3) .....	513
23.3	使用上の注意 .....	513

EOL Product



## 23.1 概要

### 23.1.1 特長

HMCS43 × ×ファミリのRAMは、メモリレジスタ、データ、スタックの各エリアで構成されています。

メモリレジスタとスタックのメモリサイズは全製品について共通ですが、データエリアのサイズは製品によって異なります。

また、システム制御、割込み制御、および内蔵周辺モジュール制御用のレジスタもRAMアドレス空間に割り付けられています。以下、これらの制御用レジスタを除いたRAMエリアについて説明します。

各エリアには、次のような特長があります。

#### メモリレジスタエリア（\$040 ~ \$04F）

16本のメモリレジスタ（MR(0) ~ MR(15)）で構成される16ディジットの領域です。このエリアは、通常のRAMをアクセスする命令に加えて、レジスタ・レジスタ命令（LAMR、XMRA）を使用することができます。

#### データエリア

##### HD404344R / HD404394シリーズ

RAMアドレス \$050 ~ \$0FFの176ディジットの領域です。

##### HD404318シリーズ

RAMアドレス \$050 ~ \$17Fの304ディジットの領域です。

##### HD404358シリーズ

HD404354、HD404356、HD404358、HD40A4354、HD40A4356、HD40A4358（内蔵ROM 8,192ワード以下の製品）では、RAMアドレス \$050 ~ \$17Fの304ディジットの領域です。

HD404359、HD40A4359、HD407A4359（内蔵ROM 12,288ワード以上の製品）では、RAMアドレス \$050 ~ \$1FFの432ディジットの領域です。

##### HD404358Rシリーズ

RAMアドレス \$050 ~ \$1FFの432ディジットの領域です。

##### HD404339シリーズ

RAMアドレス \$050 ~ \$1FFの432ディジットの領域です。

##### HD404369シリーズ

RAMアドレス \$050 ~ \$1FFの432ディジットの領域です。

## 23. RAM 全シリーズ

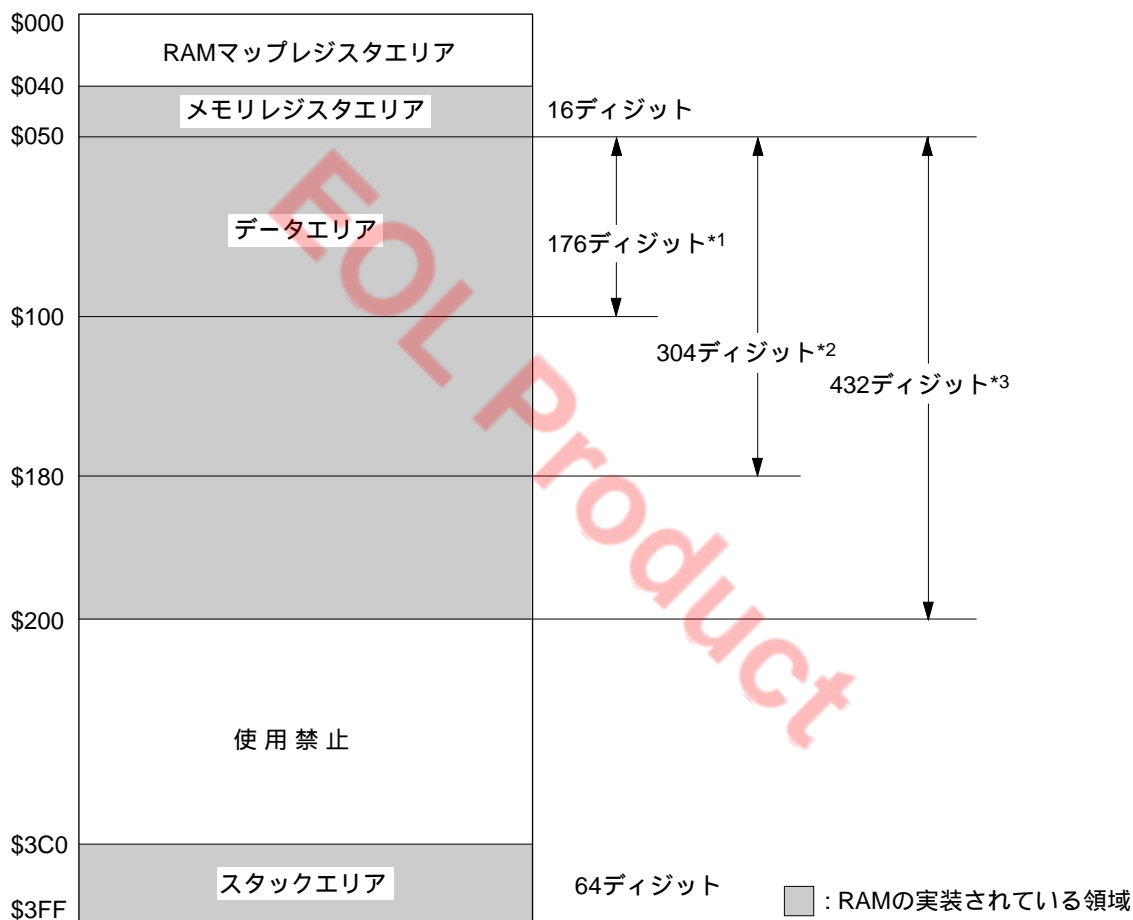
### スタックエリア(\$3C0~ \$3FF)

サブルーチンコールおよび割込み処理時に、プログラムカウンタ(PC)、ステータス(ST)、およびキャリ(CA)を退避する領域です。スタックエリアとして使用しない領域は、データエリアとして使用できません。

### 23.1.2 RAMメモリマップ

RAMメモリマップを図23.1に示します。

RAMアドレス



【注】\*1 HD404344R / HD404394シリーズの全製品に適用します。

\*2 HD404318シリーズの全製品、HD404358シリーズのHD404354、HD404356、HD404358、HD40A4354、HD40A4356、HD40A4358に適用します。

\*3 HD404339シリーズの全製品、HD404358シリーズのHD407A4359、およびHD404358Rシリーズ、HD404369シリーズの全製品に適用します。

図23.1 RAMメモリマップ

## 23.2 RAMイネーブルフラグ (RAME : \$ 021,3)

ストップモード解除時にモード遷移前のRAMの内容が保持されていることを表示するフラグとして、表23.1に示すRAMイネーブルフラグがあります。

表23.1 RAMイネーブルフラグ

アドレス	名 称	略 称	R / W	初期値
\$ 021,3	RAMイネーブルフラグ	RAME	R / W*	0

【注】\* RAMEは、レジスタフラグエリアに割り付けられており、RAMビット操作命令のみ使用可能です。RAMEへの書き込みは、クリアのための0書き込みのみ可能です。

RAMEは、ストップモード解除が $\overline{\text{STOPC}}$ 入力により行われると1にセットされます。ストップモード解除後、本フラグを読み出して1であるならば、ストップモードに入る直前のRAMの内容が保持されていることが保証されます。

RAMEの詳細は、「5.2.2」、「6.2.7」の「RAMイネーブルフラグ」を参照してください。

## 23.3 使用上の注意

RAMを使用するとき、次の点に注意してください。

- (1) 電源投入時のRAMの内容は保証されません。
- (2) リセット時のRAMの内容は保証されません。
- (3) 電源投入後は、リセット入力にかかわらず、メモリレジスタエリア、データエリア、スタックエリアの値は不定です。必ず初期化してご使用ください。

EOL Product

---

# 24. 使用例

---

EOL Product

---

## 第24章 目次

---

24.1 A/Dコンバータの使い方 .....	517
24.2 タイマBの使い方.....	524

EOL Product

## 24.1 A/Dコンバータの使い方

本節ではA/Dコンバータの使用例について説明します。ユーザのシステム設計の際にご活用ください。  
本節の構成を以下に示します。

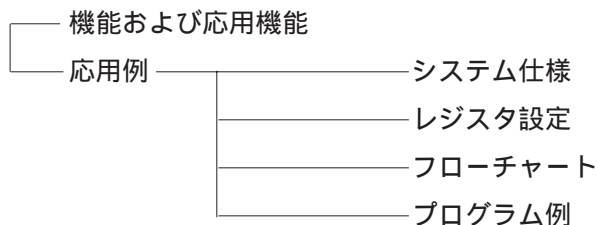


図24.1 使用例の構成

この応用例は、HD404339シリーズを使用した場合を示しています。HD404344R / HD404318 / HD404358 / HD404358R / HD404369シリーズにおいても適用可能ですが、レジスタ設定、クロック設定、およびピン配置は異なりますのでご注意ください（「第15章 A/Dコンバータ」参照）。

【注】 本章に掲載されているタスク例は動作確認しておりますが、実際にご使用になる場合には、必ず動作確認の上ご使用ください。よろしくお願いいたします。

**機能および応用機能**

- (1) 分解能 8 ビットで 4 チャンネルのアナログ入力を測定します。
- (2) 各種センサの検出（温度、湿度等）およびキースキャン等に使用できます。

**応用例（8ビット4チャンネル A/Dコンバータの使い方）**

**システム仕様**

- ・ 4 チャンネルのA/D変換結果をRAMに設定します。結果を設定するRAMの配置を図24.2に示します。

X \ Y	\$ 3	\$ 2	\$ 1	\$ 0
\$A	（下位）			
\$B	CH3 （上位）	CH2	CH1	CH0

図24.2 RAMの配置

- ・ A/D変換の終了は、A/Dコンバータの割込み要求フラグにより検出します。割込みは使用しません。

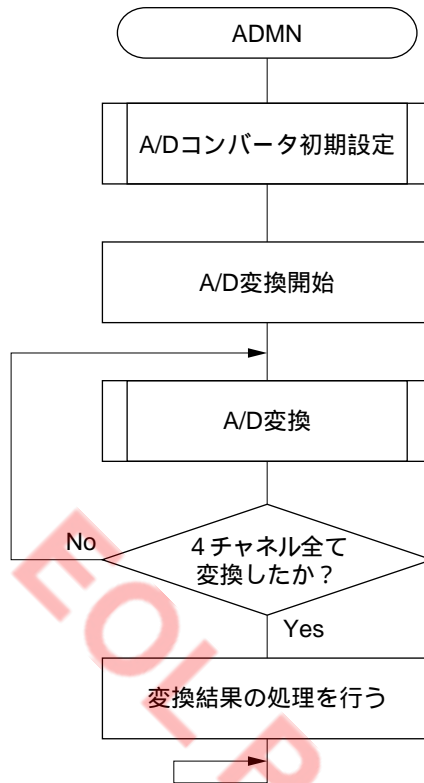
**レジスタ設定**

- ・ A/Dモードレジスタ 1（AMR1：\$019）
- ・ A/Dモードレジスタ 2（AMR2：\$01A）
- ・ A/Dチャンネルレジスタ（ACR：\$016）  
これら 3 本のレジスタにより、アナログ入力端子、A/D変換時間を設定します。
- ・ A/Dスタートフラグ（ADSF：\$020, 2）  
A/D変換の開始を指定するフラグです。  
1：A/D変換開始      0：A/D変換終了
- ・ A/D割込み要求フラグ（IFAD：\$003, 0）  
A/D変換が終了したことを示します。  
1：A/D変換終了      0：A/D変換中
- ・ I<sub>AD</sub>オフフラグ（IAOF：\$021, 2）  
A/D変換器のラダー抵抗に電流（I<sub>AD</sub>）を流します。
- ・ A/Dデータレジスタ（ADRL：\$017、ADRU：\$018）  
8 ビットのA/D変換結果が設定されます。  
ADRL：8 ビットのA/D変換結果のうち、下位 4 ビットが設定されます。  
ADRU：8 ビットのA/D変換結果のうち、上位 4 ビットが設定されます

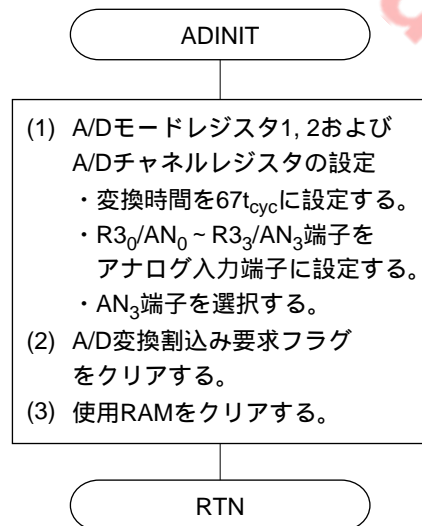


フローチャート

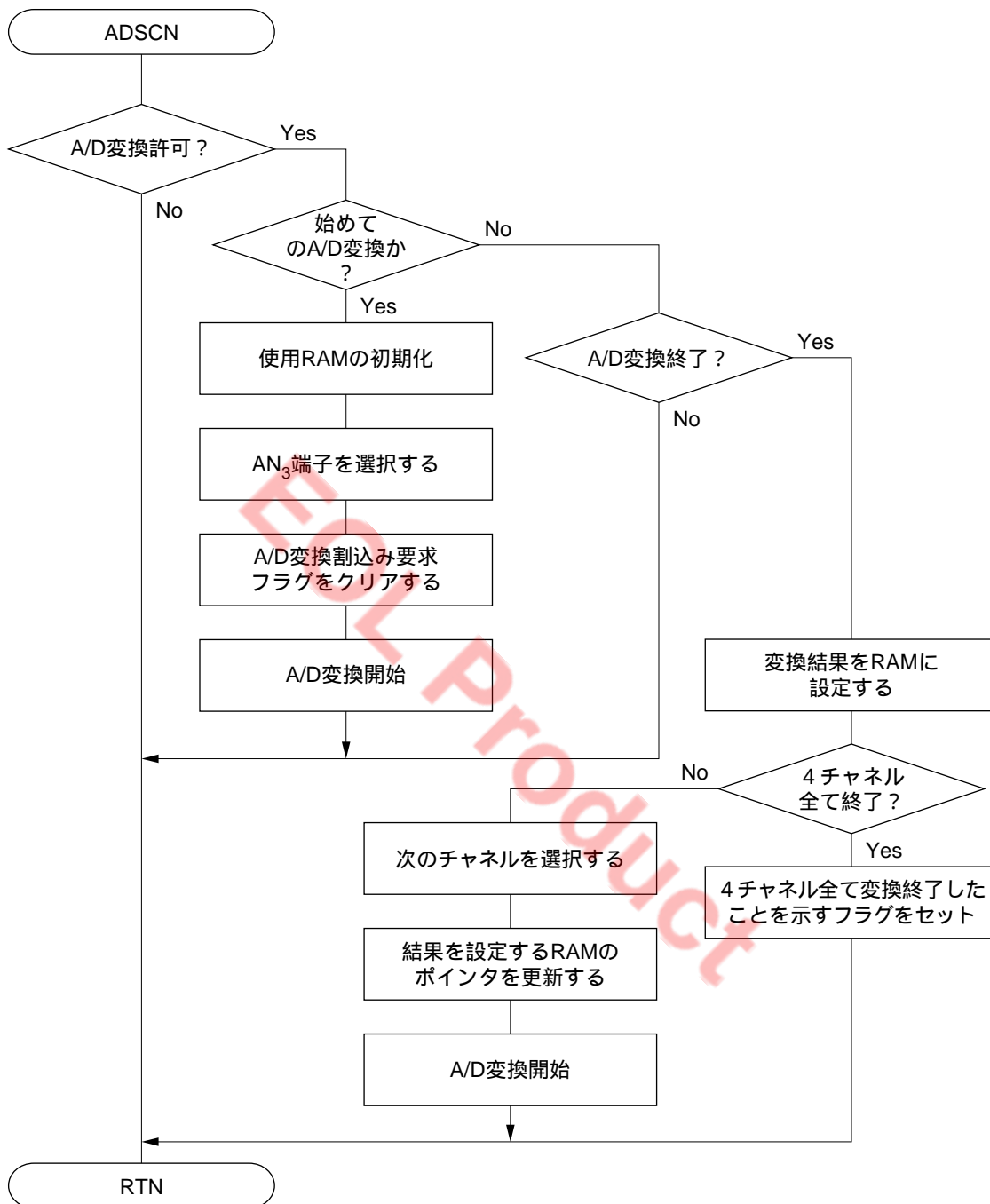
(a) メインルーチン



(b) A/Dコンバータ初期設定



(C) A/D変換



## プログラム例

## \* シンボル定義

RSP	EQU	1, \$000	* スタックポインタリセット
IFAD	EQU	0, \$003	* A/D割込み要求フラグ
ADSF	EQU	2, \$020	* A/Dスタートフラグ
IAOF	EQU	2, \$021	* I <sub>AD</sub> オフフラグ
AMR1	EQU	\$019	* A/Dモードレジスタ1
AMR2	EQU	\$01A	* A/Dモードレジスタ2
ACR	EQU	\$016	* A/Dチャンネルレジスタ
ADRL	EQU	\$017	* A/Dデータレジスタ (下位)
ADRU	EQU	\$018	* A/Dデータレジスタ (上位)

## \* RAM上の配置

ADCHNO	EQU	\$0A4	* A/D変換結果格納アドレスのポインタ
ADFLAG	EQU	\$0B4	* フラグRAM
ADSTF	EQU	0, ADFLAG	* A/Dスタートフラグ
AD1STF	EQU	1, ADFLAG	* A/Dファーストフラグ
ADENDF	EQU	2, ADFLAG	* A/Dエンドフラグ

## \* 割込みベクタ設定

ORG	\$0000	
JMPL	ADMN	* リセットベクタアドレス
JMPL	ADMN	* INT <sub>0</sub> 割込みベクタアドレス
JMPL	ADMN	* INT <sub>1</sub> 割込みベクタアドレス
JMPL	ADMN	* タイマA割込みベクタアドレス
JMPL	ADMN	* タイマB割込みベクタアドレス
JMPL	ADMN	* タイマC割込みベクタアドレス
JMPL	ADMN	* A/D割込みベクタアドレス
JMPL	ADMN	* シリアル割込みベクタアドレス

\* メインプログラム

	ORG	\$0100	
ADMN	EQU	*	
	REMD	RSP	* スタックポインタリセット
	BR	* + 1	* ステータスセット
	CALL	ADINIT	* ADINITルーチンに分岐(A/Dコンバータ、RAMの初期化)
	SEMD	ADSTF	* A/D変換開始
ADMN01	CALL	ADSCN	* ADSCNルーチンに分岐 (A/D変換実行)
	TMD	ADENDF	* A/D変換完了か?
	BRS	ADMN99	* YESならばADMN99へ分岐
	BRS	ADMN01	* NOならばADMN01へ分岐
ADMN99	BRS	ADMN99	

\* ADINITルーチン (A/Dコンバータ、RAMの初期化)

ADINIT	EQU	*	
	LMID	\$F, AMR1	* A/Dモードレジスタ1 (R3 <sub>0</sub> /AN <sub>0</sub> ~ R3 <sub>3</sub> /AN <sub>3</sub> 端子をAN <sub>0</sub> ~ AN <sub>3</sub> 端子に設定)
	LMID	1, AMR2	* A/Dモードレジスタ1 (A/D変換時間を67t <sub>cy</sub> に設定)
	LMID	3, ACR	* A/Dチャンネルレジスタ (アナログ入力チャンネルAN <sub>3</sub> を設定)
	REMD	IFAD	* A/D割込み要求フラグをクリア
	REMD	IAOF	* I <sub>AD</sub> オフ割込みフラグをクリア
	LMID	0, ADFLAG	* 使用フラグのクリア
	LMID	3, ADCHNO	* ポインタを初期設定
	RTN		

\* ADSCNルーチン (A/D変換実行)

ADSCN	EQU	*	
	LWI	0	* Wレジスタをクリア
	TMD	ADSTF	* ADSTFは1か?
	BRS	ADSCN00	* YESならばADSCN00に分岐
ADSCN99	RTN		* NOならばメインプログラムへリターン
ADSCN00	TMD	AD1STF	* AD1STFは1か?
	BRS	ADSCN10	* YESならばADSCN10に分岐

\*\*\*初回 (チャンネル3) のA/D変換\*\*\*

LMID	3, ACR	* A/Dチャンネルレジスタ
REMD	IFAD	* A/D割込み要求フラグ
SEMD	AD1STF	* AD1STFをセット (初回のA/D変換を行うことを示す)
LMID	3, ADCHNO	* ポインタを初期設定
SEMD	ADSF	* A/Dスタートフラグをセット (A/D変換開始)
BRS	ADSCN99	* ADSCN99に分岐

\*\*\*チャンネル0~2のA/D変換\*\*\*

ADSCN10	TMD	IFAD	* A/D割込み要求フラグ (前回のA/D変換は終了したか?)
	BRS	ADSCN11	* YESならばADSCN11に分岐
	BRS	ADSCN99	* NOならばADSCN99に分岐
ADSCN11	REMD	IFAD	* A/D割込み要求フラグをクリア
	LXI	\$A	* ADRL転送先RAMアドレス (X) 指定
	LAMD	ADCHNO	* ポインタをロード
	LYA		* 転送先RAMアドレス (Y) 指定
	LAMD	ADRL	* ADRLの値をアキュムレータに転送
	LMA		* アキュムレータの値をRAMに転送
	LXI	\$B	* ADRL転送先RAMアドレス (X) 指定
	LAMD	ADRU	* ADRLの値をアキュムレータに転送
	LMADY		* アキュムレータの値をRAMに転送 Y Y - 1
	BRS	ADSCN12	* A/D変換終了でなければADSCN12に分岐
	LMID	4, ADFLAG	* A/D変換終了ならばADENDF = 1、AD1STF = 0、 ADSTF = 0に設定
	BRS	ADSCN99	* ADSCN99に分岐
ADSCN12	LAY		* 次の転送先RAMアドレス (Y) をアキュムレータに転送
	LMAD	ADCHNO	* ポインタの更新
	LMAD	ACR	* 次のA/D変換チャンネルの設定
	SEMD	ADSF	* A/Dスタートフラグをセット (A/D変換開始)
	BR	* + 1	* ステータスセット
	BRS	ADSCN99	* ADSCN99に分岐
	END		

## 24.2 タイマBの使い方

本節ではタイマBの使用例について説明します。ユーザのシステム設計の際にご活用ください。  
本節の構成を以下に示します。

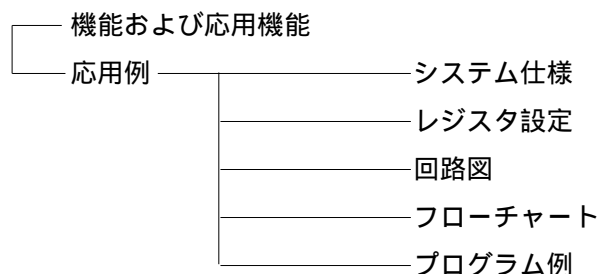


図24.3 使用例の構成

この応用例は、HD404339シリーズを使用した場合を示しています。他にはHD404318 / HD404358 / HD404358R / HD404369シリーズに適用可能ですが、レジスタ設定、クロック設定、およびピン配置がHD404318 / HD404358 / HD404358Rシリーズは異なりますのでご注意ください（「第18章 タイマB」参照）。

【注】 本章に掲載されているタスク例は動作確認しておりますが、実際にご使用になる場合には、必ず動作確認の上ご使用くださいますようお願いいたします。

### 機能および応用機能

- ・フリーランニング/リロードタイマ.....キースキャン制御、一定時間割込み等
- ・外部イベントカウンタ.....パルスカウンタ
- ・インプットキャプチャタイマ動作.....トリガ入力エッジ間の時間計測

### 応用例（タイマBを使用した周波数判定器）

ここでは、HD4074339のタイマB（インプットキャプチャタイマモード）により、入力信号（矩形波）の周波数を判定し、判定結果をLEDにて表示します。

### システム仕様

- ・システムクロックを4MHzとし、内部1MHzで使用します。
- ・EVNB端子より信号を入力し、判定結果はDポート（D<sub>5</sub>、D<sub>6</sub>端子）に接続された2つのLEDで表示します。
- ・入力信号の周波数は下記のように3段階で判定し、LED表示します
  - オーバーフロー..... LED消灯
  - 1000Hz未満..... LED 1つ点灯
  - 1000Hz以上..... LED 2つ点灯
- ・タイマBの動作モードはインプットキャプチャモードで使用します。

### レジスタ設定

- ・システムクロック発振を4MHz、システムクロック分周比を4分周とします。
  - システムクロック選択レジスタ1（SSR1：\$027）ビット1セット
  - システムクロック選択レジスタ2（SSR2：\$028）\$0
- ・入力クロック周期を $8t_{cyc}$ とします。
  - タイマモードレジスタB1（TMB1：\$009）\$4
  - 最大 $8\mu s \times 256$ カウント = 2040 $\mu s$ （490Hz）まで $8\mu s$ 単位で計測可能となります。
- ・タイマをインプットキャプチャモードで使用し、立ち上がりエッジ検出を行う場合。
  - タイマモードレジスタB2（TMB2：\$026）\$6
- ・プルアップMOSアクティブ、ミセラニアスレジスタ（MIS：\$00C）ビット3セット
  - D2/EVNB端子 EVNBで使用 ポートモードレジスタ（PMRB：\$024）ビット2セット

24. 使用例 HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ

TMB1レジスタの設定 (\$009)

ビット名	TMB13	TMB12	TMB11	TMB10
ビット設定	0	1	0	0

TMB2レジスタの設定 (\$026)

ビット名	TMB23	TMB22	TMB21	TMB20
ビット設定	x	1	1	0

タイマBカウンタ出力を図24.4に示します。

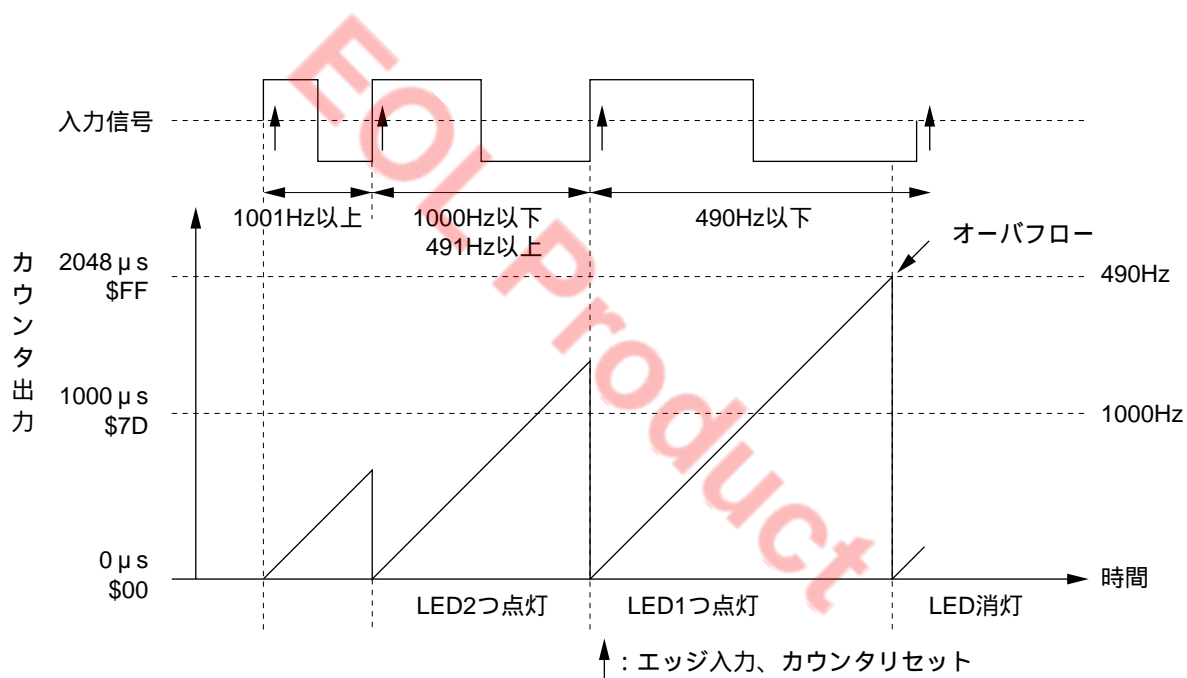


図24.4 タイマBカウンタ出力



周波数判定部回路図

HD4074339によりパルスジェネレータの出力信号の周波数判定を行います。

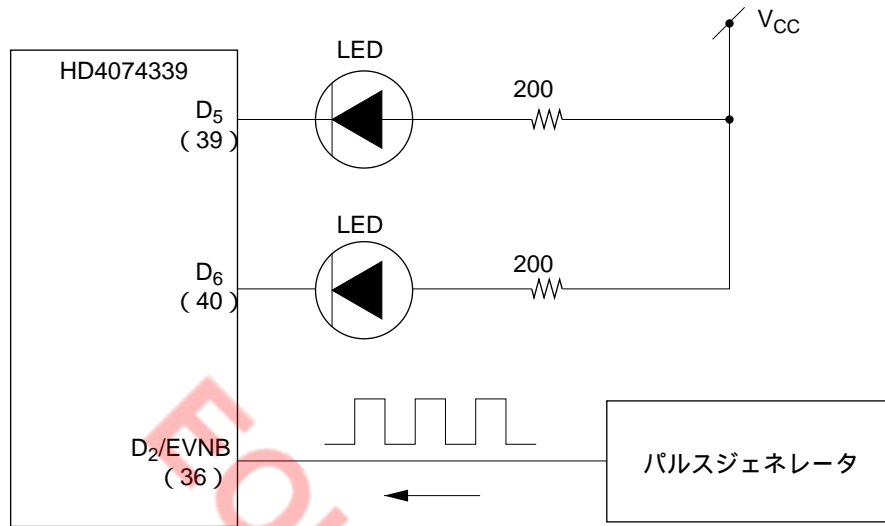
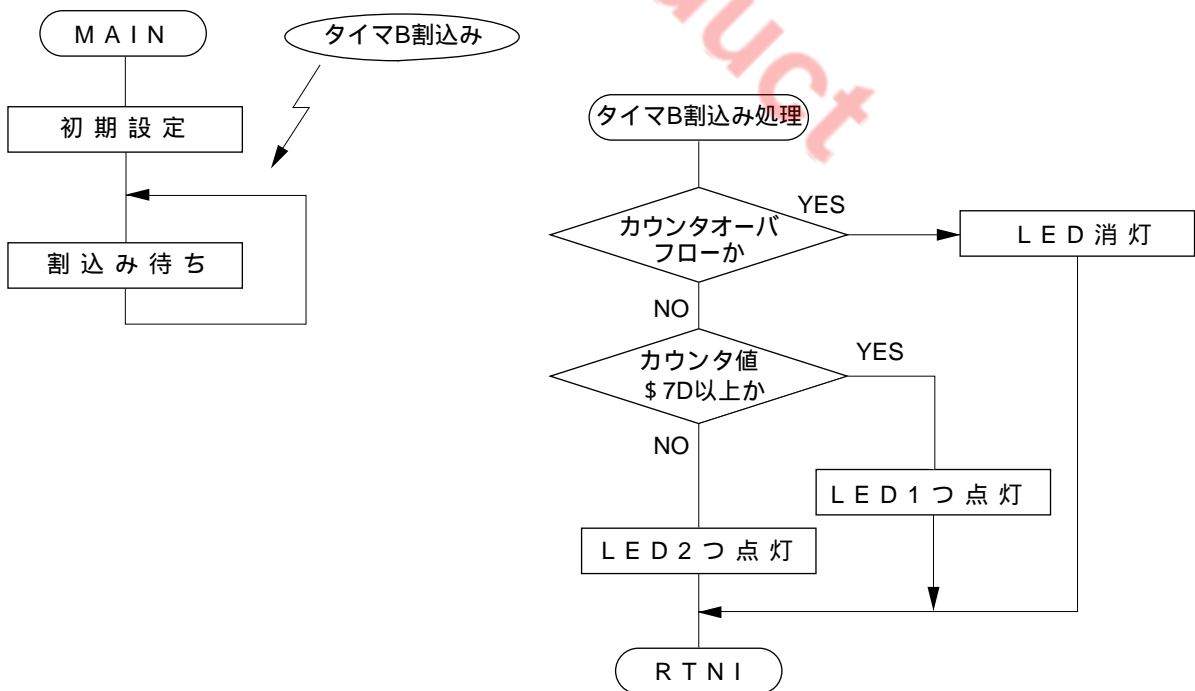


図24.5 周波数判定部回路図

フローチャート



プログラム例

\* シンボル定義

IE	EQU	\$0,\$000	* 割込み許可フラグ
IFTB	EQU	\$0,\$002	* タイマB割込みフラグ
IMTB	EQU	\$1,\$002	* タイマB割込みマスク
MIS	EQU	\$3,\$00C	* ミセラニアスレジスタ
TMB1	EQU	\$009	* タイマモードレジスタB1
TRBL	EQU	\$00A	* タイマリードレジスタB下位
TRBU	EQU	\$00B	* タイマリードレジスタB上位
TMB2	EQU	\$026	* タイマモードレジスタB2
ICEF	EQU	\$1,\$021	* ICTエラーフラグ
ICSF	EQU	\$0,\$021	* ICTステータスフラグ
PMRB	EQU	\$024	* ポートモードレジスタB
SSR1	EQU	\$027	* システムクロック選択レジスタ1
SSR2	EQU	\$028	* システムクロック選択レジスタ2

\* 割込みベクタ設定

	ORG	\$000	
STRV	JMPL	FDPROG	* スタートアドレスベクタ
	ORG	\$008	
ICTV	JMPL	TBINT	* タイマB割込みアドレスベクタ

\* メインプログラム

	ORG	\$1000	
	LMID	\$2,SSR1	* システムクロック4MHz
	LMID	\$0,SSR2	* システムクロック4分周
	LMID	\$4,TMB1	* 入力クロック周期 $8t_{cyc}$
	LMID	\$6,TMB2	* タイマB ICTモード、立ち上がりエッジ検出
	LMID	\$4,PMRB	* ピンモードEVNB
	SEMD	MIS	* プルアップMOSアクティブ
	REMD	ICEF	* ICTエラーフラグリセット
	REMD	ICSF	* ICTステータスフラグリセット
	REMD	IMTB	* タイマB割込みマスクリセット
	SEMD	IE	* IE = 1 (割込み許可)
BINT	NOP		* 割込み待ちループ
	JMPL	BINT	

## 24. 使用例 HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ

### \* タイマB割込みルーチン

TBINT	REMD	IFTB	* タイマB割込みフラグリセット
	TMD	ICEF	* IF ICEF=1
	BRL	SET0	
COMPU	LAI	\$7	
	ALEMD	TRBU	* IF \$7 TRBU
	BRL	IFEQ	
	JMPL	SET2	
IFEQ	ANEMD	TRBU	* IF \$7 TRBU
	BRL	SET1	
COMPL	LAI	\$D	
	ALEMD	TRBL	* IF \$D TRBL
	BRL	SET1	
	JMPL	SET2	
SET0	SEDD	\$5	* LED消灯
	SEDD	\$6	
	JMPL	TMEREND	
SET1	REDD	\$5	* LED1つ点灯
	SEDD	\$6	
	JMPL	TMEREND	
SET2	REDD	\$5	* LED2つ点灯
	REDD	\$6	
TMEREND	REMD	ICEF	* ICTエラーフラグリセット
	REMD	ICSF	* ICTステータスフラグリセット
	RTNI		

END

ICT : インプットキャプチャタイマ

\$ : 16進を示す

EOL Product

---

# 25. 電気的特性

---

---

## 第25章 目次

---

25.1	HD404344Rシリーズ	533
25.1.1	絶対最大定格	533
25.1.2	電気的特性	534
	(1) DC特性	534
	(2) AC特性	536
	(3) A/Dコンバータ特性	540
25.2	HD404394シリーズ	541
25.2.1	絶対最大定格	541
25.2.2	電気的特性	542
	(1) DC特性	542
	(2) AC特性	545
	(3) A/Dコンバータ特性	549
25.3	HD404318シリーズ	550
25.3.1	絶対最大定格	550
25.3.2	電気的特性	551
	(1) DC特性	551
	(2) AC特性	554
	(3) A/Dコンバータ特性	558
25.4	HD404358 / HD404358Rシリーズ	559
25.4.1	絶対最大定格	559
25.4.2	電気的特性	560
	(1) DC特性	560
	(2) AC特性	562
	(3) A/Dコンバータ特性	567
25.5	HD404339シリーズ	568
25.5.1	絶対最大定格	568
25.5.2	電気的特性	569
	(1) DC特性	569
	(2) AC特性	572
	(3) A/Dコンバータ特性	576
25.6	HD404369シリーズ	577
25.6.1	絶対最大定格	577
25.6.2	電気的特性	578
	(1) DC特性	578
	(2) AC特性	581
	(3) A/Dコンバータ特性	587

EOL Product

## 25.1 HD404344Rシリーズ

### 25.1.1 絶対最大定格

HD404344Rシリーズの絶対最大定格を表25.1に示します。

表25.1 絶対最大定格 (HD404344Rシリーズ)

項目	記号	規格値	単位	注記
電源電圧	$V_{CC}$	- 0.3 ~ +7.0	V	
プログラム電圧	$V_{PP}$	- 0.3 ~ +14.0	V	1
端子電圧	$V_T$	- 0.3 ~ $V_{CC}+0.3$	V	2
許容総入力電流 (LSIへの流入)	$I_O$	100	mA	3
許容総出力電流 (LSIからの流出)	- $I_O$	30	mA	4
許容入力電流 (LSIへの流入)	$I_O$	30	mA	5,6
		4	mA	5,7
許容出力電流 (LSIからの流出)	- $I_O$	4	mA	8
動作温度	$T_{opr}$	- 20 ~ +75		
保存温度	$T_{stg}$	- 55 ~ +125		

- 【注】
1. HD4074344のTEST ( $V_{PP}$ ) 端子に適用します。
  2.  $D_0 \sim D_5$ 、R0、R1、R2、R3に適用します。
  3. 許容総入力電流とは、同時に全入出力端子からGNDへ流し込める電流の総和です。
  4. 許容総出力電流とは、 $V_{CC}$ から全入出力端子へ流し出せる電流の総和です。
  5. 許容入力電流とは、各入出力端子からGNDへ流し込める電流の最大値です。
  6.  $D_1$ 、 $D_2$ 、R1、R2に適用します。
  7.  $D_0$ 、 $D_3 \sim D_5$ 、R0、R3に適用します。
  8. 許容出力電流とは、 $V_{CC}$ から各入出力端子へ流し出せる電流の最大値です。

絶対最大定格をこえてLSIを使用した場合、LSIの永久破壊となることがあります。また、通常動作では「電気的特性」の条件で使用することが望ましく、この条件をこえるとLSIの誤動作の原因になると共に、LSIの信頼性に悪影響をおよぼすことがあります。

電圧はすべてGNDを基準とした値です。

## 25. 電気的特性 HD404344Rシリーズ

### 25.1.2 電気的特性

#### (1) DC特性

HD404344RシリーズのDC特性を表25.2、表25.3に示します。

表25.2 DC特性 (HD404344Rシリーズ)

特記なき場合は、 HD404344R、HD404342R、HD404341R、HD40C4344R、  
 HD40C4342R、HD40C4341R :  $V_{CC} = 2.5 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$   
 HD4074344 :  $V_{CC} = 2.7 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力Highレベル電圧	$V_{IH}$	RESET, STOPC, INT <sub>0</sub> , SCK, EVNB		$0.8V_{CC}$	-	$V_{CC}+0.3$	V	
		SI		$0.7V_{CC}$	-	$V_{CC}+0.3$	V	
		OSC <sub>1</sub>		$V_{CC} - 0.5$	-	$V_{CC}+0.3$	V	
入力Lowレベル電圧	$V_{IL}$	RESET, STOPC, INT <sub>0</sub> , SCK, EVNB		- 0.3	-	$0.2V_{CC}$	V	
		SI		- 0.3	-	$0.3V_{CC}$	V	
		OSC <sub>1</sub>		- 0.3	-	0.5	V	
出力Highレベル電圧	$V_{OH}$	SCK, SO, TOC	- $I_{OH} = 0.5mA$	$V_{CC} - 1.0$	-	-	V	
出力Lowレベル電圧	$V_{OL}$	SCK, SO, TOC	$I_{OL} = 0.5mA$	-	-	0.4	V	
入出力リーク電流	$ I_{IL} $	RESET, STOPC, INT <sub>0</sub> , SCK, SI, SO, EVNB, TOC, OSC <sub>1</sub>	$V_{in} = 0V \sim V_{CC}$	-	-	1	$\mu A$	1
アクティブモード消費電流	$I_{CC1}$	$V_{CC}$	$V_{CC} = 5V$ , $f_{OSC} = 4MHz$	-	-	3.5	mA	2
	$I_{CC2}$		$V_{CC} = 3V$ , $f_{OSC} = 400kHz$	-	-	0.4		2, 4
スタンバイモード消費電流	$I_{SBY1}$	$V_{CC}$	$V_{CC} = 5V$ , $f_{OSC} = 4MHz$	-	-	1.5	mA	3
			$V_{CC} = 3V$ , $f_{OSC} = 400kHz$	-	-	0.2		3, 4
	$I_{SBY2}$		$V_{CC} = 3V$ , $f_{OSC} = 400kHz$	-	-	0.4		3, 5
ストップモード消費電流	$I_{STOP}$	$V_{CC}$	$V_{in}(\overline{RESET}) =$ $V_{CC} - 0.3V \sim V_{CC}$ , $V_{in}(TEST) = 0V \sim 0.3V$	-	-	10	$\mu A$	
ストップモード維持電圧	$V_{STOP}$	$V_{CC}$		2	-	-	V	



- 【注】 1. プルアップMOSおよび出力バッファに流れる電流を除きます。  
 2. MCUがリセット状態にあり、入出力電流が流れないときの電源電流です。

測定条件	MCUの状態	・リセット状態
	端子の状態	・ RESET...GND電位 ・ TEST.....GND電位 ・ D <sub>0</sub> ~ D <sub>5</sub> , R <sub>0</sub> ~ R <sub>3</sub> .....V <sub>CC</sub> 電位

3. MCUのタイマが動作し、かつ、入出力電流が流れないときの電源電流です。

測定条件	MCUの状態	・ 入出力：リセット状態と同じ ・ スタンバイモード
	端子の状態	・ RESET...V <sub>CC</sub> 電位 ・ TEST.....GND電位 ・ D <sub>0</sub> ~ D <sub>5</sub> , R <sub>0</sub> ~ R <sub>3</sub> .....V <sub>CC</sub> 電位

4. HD4074344に適用します。  
 5. HD404344R、HD404342R、HD404341R、HD40C4344R、HD40C4342R、HD40C4341Rに適用します。

表25.3 標準端子入出力特性 (HD404344Rシリーズ)

特記なき場合は、 HD404344R、HD404342R、HD404341R、HD40C4344R、  
 HD40C4342R、HD40C4341R : V<sub>CC</sub> = 2.5 ~ 5.5V, GND = 0V, T<sub>a</sub> = - 20 ~ +75  
 HD4074344 : V<sub>CC</sub> = 2.7 ~ 5.5V, GND = 0V, T<sub>a</sub> = - 20 ~ +75

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力Highレベル電圧	V <sub>IH</sub>	D <sub>0</sub> ~ D <sub>5</sub> , R <sub>0</sub> ~ R <sub>3</sub>		0.7V <sub>CC</sub>	-	V <sub>CC</sub> +0.3	V	
入力Lowレベル電圧	V <sub>IL</sub>	D <sub>0</sub> ~ D <sub>5</sub> , R <sub>0</sub> ~ R <sub>3</sub>		- 0.3	-	0.3V <sub>CC</sub>	V	
出力Highレベル電圧	V <sub>OH</sub>	D <sub>0</sub> ~ D <sub>5</sub> , R <sub>0</sub> ~ R <sub>3</sub>	- I <sub>OH</sub> = 0.5mA	V <sub>CC</sub> - 1.0	-	-	V	
出力Lowレベル電圧	V <sub>OL</sub>	D <sub>0</sub> ~ D <sub>5</sub> , R <sub>0</sub> ~ R <sub>3</sub>	I <sub>OL</sub> = 0.5mA	-	-	0.4	V	
		D <sub>1</sub> , D <sub>2</sub> , R <sub>1</sub> , R <sub>2</sub>	I <sub>OL</sub> = 15mA, V <sub>CC</sub> = 4.5V ~ 5.5V	-	-	2.0	V	
入出力リーク電流	I <sub>IL</sub>	D <sub>0</sub> ~ D <sub>5</sub> , R <sub>0</sub> ~ R <sub>3</sub>	V <sub>in</sub> = 0V ~ V <sub>CC</sub>	-	-	1	μA	1
プルアップMOS電流	- I <sub>PU</sub>	D <sub>0</sub> ~ D <sub>5</sub> , R <sub>0</sub> ~ R <sub>3</sub>	V <sub>CC</sub> = 5V, V <sub>in</sub> = 0V	30	150	300	μA	

- 【注】 1. プルアップMOSおよび出力バッファに流れる電流を除きます。

## 25. 電気的特性 HD404344Rシリーズ

### (2) AC特性

HD404344RシリーズのAC特性を表25.4、表25.5に示します。

表25.4 AC特性 (HD404344Rシリーズ)

特記なき場合は、 HD404344R、HD404342R、HD404341R、HD40C4344R、  
 HD40C4342R、HD40C4341R :  $V_{CC} = 2.5 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$   
 HD4074344 :  $V_{CC} = 2.7 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
クロック発振周波数 (セラミック発振)	$f_{OSC}$	OSC <sub>1</sub> , OSC <sub>2</sub>	4分周	0.4	-	4.5	MHz	
クロック発振周波数 (抵抗発振)	$f_{OSC}$	OSC <sub>1</sub> , OSC <sub>2</sub>	4分周 Rf = 20k $\Omega$	1.0	2.0	3.5	MHz	
インストラクションサイクル タイム(セラミック発振、 外部クロック)	$t_{cyc}$		4分周	0.89	-	10	$\mu s$	
インストラクションサイクル タイム(抵抗発振)	$t_{cyc}$		4分周 Rf = 20k $\Omega$	1.14	-	4.0	$\mu s$	
発振安定時間(外部クロック)	$t_{RC}$	OSC <sub>1</sub> , OSC <sub>2</sub>		-	-	2.0	ms	1
発振安定時間(セラミック発振)	$t_{RC}$	OSC <sub>1</sub> , OSC <sub>2</sub>		-	-	2.0	ms	1
発振安定時間(抵抗発振)	$t_{RC}$	OSC <sub>1</sub> , OSC <sub>2</sub>	Rf = 20k $\Omega$	-	-	0.5	ms	1, 8
外部クロックHighレベル幅	$t_{CPH}$	OSC <sub>1</sub>		92	-	-	ns	2
外部クロックLowレベル幅	$t_{CPL}$	OSC <sub>1</sub>		92	-	-	ns	2
外部クロック立ち上がり時間	$t_{CPr}$	OSC <sub>1</sub>		-	-	20	ns	2
外部クロック立ち下がり時間	$t_{CPf}$	OSC <sub>1</sub>		-	-	20	ns	2
$\overline{INT}_0$ , EVNB Highレベル幅	$t_{IH}$	$\overline{INT}_0$ , EVNB		2	-	-	$t_{cyc}$	3
$\overline{INT}_0$ , EVNB Lowレベル幅	$t_{IL}$	$\overline{INT}_0$ , EVNB		2	-	-	$t_{cyc}$	3
リセットLowレベル幅	$t_{RSTL}$	RESET		2	-	-	$t_{cyc}$	4
STOPC Lowレベル幅	$t_{STPL}$	STOPC		1	-	-	$t_{RC}$	5
リセット立ち上がり時間	$t_{RSTr}$	RESET		-	-	20	ms	4
STOPC 立ち上がり時間	$t_{STPr}$	STOPC		-	-	20	ms	5
入力容量	$C_{in}$	TEST, R1 <sub>0</sub> ~ R1 <sub>2</sub> を 除く全入力端子	f = 1MHz, $V_{in} = 0V$	-	-	15	pF	
		TEST		-	-	15	pF	6
				-	-	40	pF	7
		R1 <sub>0</sub> ~ R1 <sub>2</sub>		-	-	15	pF	6
				-	-	30	pF	7

【注】 1. 発振安定時間には、次の3通りがあります。

- (1) 電源投入時に $V_{CC}$ が $V_{CC \text{ min}}$ に達してから発振が安定するまでの時間
- (2) ストップモード解除時に、RESET入力がLowレベルになってから発振が安定するまでの時間
- (3) ストップモード解除時に、STOPC入力がLowレベルになってから発振が安定するまでの時間

パワーオン時およびストップモード解除時には、発振器の発振が安定するのに必要な時間を確保するためにRESET入力またはSTOPC入力を $t_{RC}$ 以上印加してください。

発振安定時間は実装回路の定数、浮遊容量などにより異なるため、セラミック発振子メーカーと十分ご相談の上決定してください。

2. 図25.1参照。
3. 図25.2参照。
4. 図25.3参照。
5. 図25.4参照。
6. HD404344R, HD404342R, HD404341R, HD40C4344R, HD40C4342R, HD40C4341Rに適用します。
7. HD4074344に適用します。
8. HD40C4344R, HD40C4342R, HD40C4341Rに適用します。

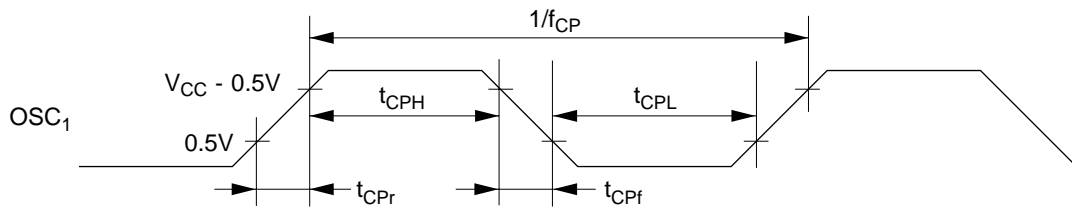


図25.1 外部クロックタイミング (HD404344Rシリーズ)

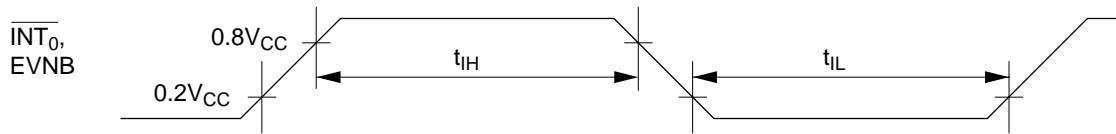


図25.2 割込みタイミング (HD404344Rシリーズ)

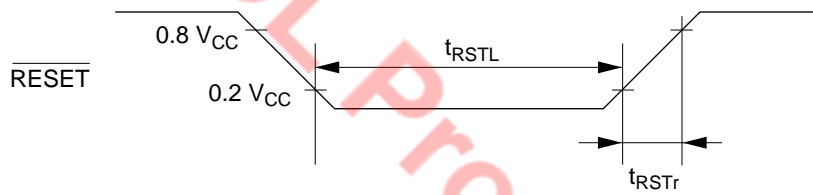


図25.3 リセットタイミング (HD404344Rシリーズ)

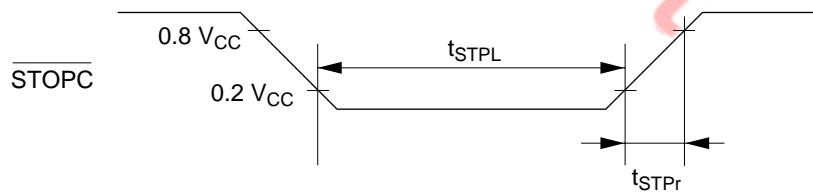


図25.4  $\overline{STOPC}$ タイミング (HD404344Rシリーズ)

## 25. 電気的特性 HD404344Rシリーズ

表25.5 シリアルインタフェースタイミング特性 (HD404344Rシリーズ)

特記なき場合は、 HD404344R、HD404342R、HD404341R、HD40C4344R、  
 HD40C4342R、HD40C4341R :  $V_{CC} = 2.5 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$   
 HD4074344 :  $V_{CC} = 2.7 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

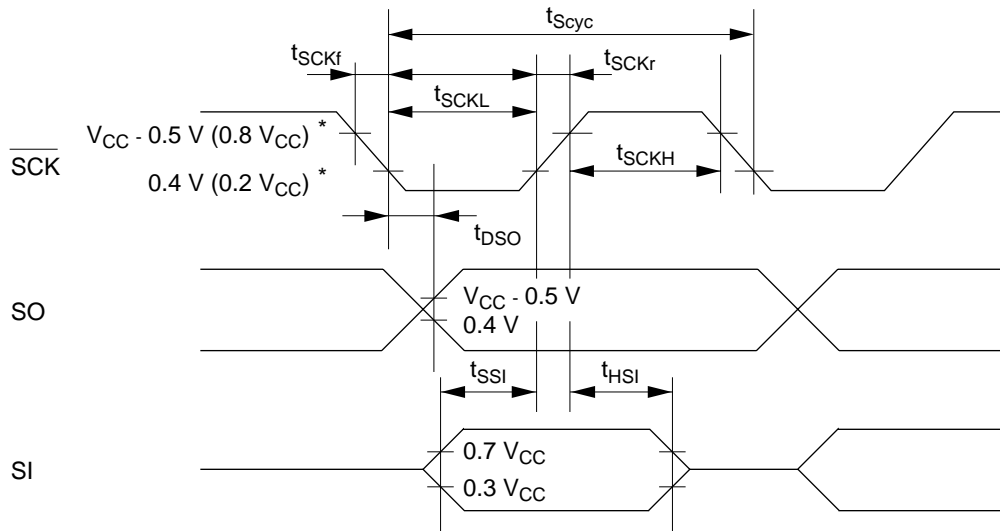
転送クロック出力時

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
転送クロックサイクルタイム	$t_{Scyc}$	SCK	図25.6の負荷	1	-	-	$t_{cyc}$	1
転送クロックHighレベル幅	$t_{SCKH}$	SCK	図25.6の負荷	0.4	-	-	$t_{Scyc}$	1
転送クロックLowレベル幅	$t_{SCKL}$	SCK	図25.6の負荷	0.4	-	-	$t_{Scyc}$	1
転送クロック立ち上がり時間	$t_{SCKr}$	SCK	図25.6の負荷	-	-	80	ns	1
転送クロック立ち下がり時間	$t_{SCKf}$	SCK	図25.6の負荷	-	-	80	ns	1
シリアル出力データ遅延時間	$t_{DSO}$	SO	図25.6の負荷	-	-	300	ns	1
シリアル入力データセットアップ時間	$t_{SSI}$	SI		100	-	-	ns	1
シリアル入力データホールド時間	$t_{HSI}$	SI		200	-	-	ns	1

転送クロック入力時

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
転送クロックサイクルタイム	$t_{Scyc}$	SCK		1	-	-	$t_{cyc}$	1
転送クロックHighレベル幅	$t_{SCKH}$	SCK		0.4	-	-	$t_{Scyc}$	1
転送クロックLowレベル幅	$t_{SCKL}$	SCK		0.4	-	-	$t_{Scyc}$	1
転送クロック立ち上がり時間	$t_{SCKr}$	SCK		-	-	80	ns	1
転送クロック立ち下がり時間	$t_{SCKf}$	SCK		-	-	80	ns	1
シリアル出力データ遅延時間	$t_{DSO}$	SO	図25.6の負荷	-	-	300	ns	1
シリアル入力データセットアップ時間	$t_{SSI}$	SI		100	-	-	ns	1
シリアル入力データホールド時間	$t_{HSI}$	SI		200	-	-	ns	1

【注】 1. 図25.5参照



【注】\*  $V_{CC} - 0.5V$ 、 $0.4V$ は転送クロック出力時の電圧。  
 $0.8V_{CC}$ 、 $0.2V_{CC}$ は転送クロック入力時の電圧。

図25.5 シリアルインタフェースタイミング

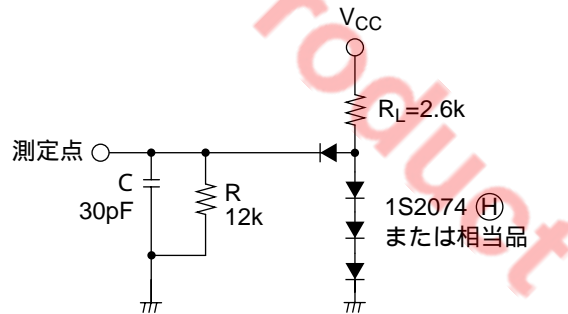


図25.6 タイミング負荷回路

## 25. 電気的特性 HD404344Rシリーズ

### (3) A/Dコンバータ特性

HD404344RシリーズのA/Dコンバータ特性を表25.6に示します。

表25.6 A/Dコンバータ特性 (HD404344Rシリーズ)

特記なき場合は、 HD404344R、HD404342R、HD404341R、HD40C4344R、  
 HD40C4342R、HD40C4341R :  $V_{CC} = 2.5 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$   
 HD4074344 :  $V_{CC} = 2.7 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
アナログ入力電圧	$AV_{in}$	$AN_0 \sim AN_3$		GND	-	$V_{CC}$	V	
アナログ入力容量	$CA_{in}$	$AN_0 \sim AN_3$		-	15	-	pF	
分解能				-	8	-	ビット	
入力数				0	-	4	チャンネル	
絶対精度		$AN_0 \sim AN_3$	$T_a = 25$ , $V_{CC} = 5.0V$	-2.0	-	2.0	LSB	1
				-2.5	-	2.5		2
変換時間				34	-	67	$t_{cyc}$	
入力インピーダンス		$AN_0 \sim AN_3$	$f_{osc} = 1MHz$ , $V_{in} = 0V$	1	-	-	M	

【注】 1. HD404344R、HD404342R、HD404341R、HD40C4344R、HD40C4342R、HD40C4341Rに適用します。  
 2. HD4074344に適用します。

## 25.2 HD404394シリーズ

## 25.2.1 絶対最大定格

HD404394シリーズの絶対最大定格を表25.7に示します。

表25.7 絶対最大定格 (HD404394シリーズ)

項目	記号	規格値	単位	注記
電源電圧	$V_{CC}$	- 0.3 ~ +7.0	V	
プログラム電圧	$V_{PP}$	- 0.3 ~ +14.0	V	1
端子電圧	$V_T$	- 0.3 ~ $V_{CC}+0.3$	V	2
		- 0.3 ~ +15.0	V	3
許容総入力電流 (LSIへの流入)	$I_o$	100	mA	4
許容総出力電流 (LSIからの流出)	- $I_o$	30	mA	5
許容入力電流 (LSIへの流入)	$I_o$	30	mA	6, 7
		4	mA	6, 8
許容出力電流 (LSIからの流出)	- $I_o$	4	mA	9
動作温度	$T_{opr}$	- 20 ~ +75		
保存温度	$T_{stg}$	- 55 ~ +125		

- 【注】
1. HD4074394のTEST ( $V_{PP}$ ) 端子に適用します。
  2.  $D_0 \sim D_5$ 、 $R_0$ 、 $R_{13}$ 、 $R_2$ 、 $R_{31} \sim R_{33}$ に適用します。
  3.  $R_{10} \sim R_{12}$ に適用します。
  4. 許容総入力電流とは、同時に全入出力端子からGNDへ流し込める電流の総和です。
  5. 許容総出力電流とは、 $V_{CC}$ から全入出力端子へ流し出せる電流の総和です。
  6. 許容入力電流とは、各入出力端子からGNDへ流し込める電流の最大値です。
  7.  $D_1$ 、 $D_2$ 、 $R_1$ 、 $R_2$ に適用します。
  8.  $D_0$ 、 $D_3 \sim D_5$ 、 $R_0$ 、 $R_{31} \sim R_{33}$ に適用します。
  9. 許容出力電流とは、 $V_{CC}$ から各入出力端子へ流し出せる電流の最大値です。

絶対最大定格をこえてLSIを使用した場合、LSIの永久破壊となることがあります。また、通常動作では「電気的特性」の条件で使用することが望ましく、この条件をこえるとLSIの誤動作の原因になると共に、LSIの信頼性に悪影響をおよぼすことがあります。

電圧はすべてGNDを基準とした値です。

## 25. 電気的特性 HD404394シリーズ

### 25.2.2 電気的特性

#### (1) DC特性

HD404394シリーズのDC特性を表25.8～表25.10に示します。

表25.8 DC特性 (HD404394シリーズ)

特記なき場合は、 $V_{CC} = 2.7 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力Highレベル電圧	$V_{IH}$	RESET, STOPC, INT <sub>0</sub> , SCK, EVNB		$0.8V_{CC}$	-	$V_{CC}+0.3$	V	
		SI		$0.7V_{CC}$		$V_{CC}+0.3$	V	
		OSC <sub>1</sub>		$V_{CC} - 0.5$	-	$V_{CC}+0.3$	V	
入力Lowレベル電圧	$V_{IL}$	RESET, STOPC, INT <sub>0</sub> , SCK, EVNB		- 0.3	-	$0.2V_{CC}$	V	
		SI		- 0.3	-	$0.3V_{CC}$	V	
		OSC <sub>1</sub>		- 0.3	-	0.5	V	
出力Highレベル電圧	$V_{OH}$	SCK, SO, TOC	- $I_{OH} = 0.5mA$	$V_{CC} - 1.0$	-	-	V	
出力Lowレベル電圧	$V_{OL}$	SCK, SO, TOC	$I_{OL} = 0.5mA$	-	-	0.4	V	
入出力リーク電流	$ I_{IL} $	RESET, STOPC, SCK, INT <sub>0</sub> , SI, SO, EVNB, TOC, OSC <sub>1</sub>	$V_{in} = 0V \sim V_{CC}$	-	-	1	$\mu A$	1
アクティブモード消費電流	$I_{CC1}$	$V_{CC}$	$V_{CC} = 5V,$ $f_{OSC} = 4MHz$	-	-	3.5	mA	2
	$I_{CC2}$		$V_{CC} = 3V,$ $f_{OSC} = 400kHz$	-	-	0.4		
スタンバイモード消費電流	$I_{SBY1}$	$V_{CC}$	$V_{CC} = 5V,$ $f_{OSC} = 4MHz$	-	-	1.5	mA	3
	$I_{SBY2}$		$V_{CC} = 3V,$ $f_{OSC} = 400kHz$	-	-	0.2		
ストップモード消費電流	$I_{STOP}$	$V_{CC}$	$V_{in}(\overline{RESET}) =$ $V_{CC} - 0.3V \sim V_{CC},$ $V_{in}(TEST) = 0 \sim 0.3V$	-	-	10	$\mu A$	
ストップモード維持電圧	$V_{STOP}$	$V_{CC}$		2	-	-	V	



- 【注】 1. プルアップMOSおよび出力バッファに流れる電流を除きます。  
 2. MCUがリセット状態にあり、入出力電流が流れないときの電源電流です。

測定条件	MCUの状態	・リセット状態
	端子の状態	・ $\overline{\text{RESET}} \dots \text{GND}$ 電位 ・ $\overline{\text{TEST}} \dots \text{GND}$ 電位 ・ $D_0 \sim D_5, R_0 \sim R_3 \dots V_{CC}$ 電位

3. MCUのタイマが動作し、かつ、入出力電流が流れないときの電源電流です。

測定条件	MCUの状態	・ 入出力：リセット状態と同じ ・ スタンバイモード
	端子の状態	・ $\overline{\text{RESET}} \dots V_{CC}$ 電位 ・ $\overline{\text{TEST}} \dots \text{GND}$ 電位 ・ $D_0 \sim D_5, R_0 \sim R_3 \dots V_{CC}$ 電位

表25.9 標準端子入出力特性 (HD404394シリーズ)  
 特記なき場合は、 $V_{CC} = 2.7 \sim 5.5V$ ,  $\text{GND} = 0V$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力Highレベル電圧	$V_{IH}$	$D_0 \sim D_5, R_0, R1_3,$ $R2, R3_1 \sim R3_3$		$0.7V_{CC}$	-	$V_{CC}+0.3$	V	
入力Lowレベル電圧	$V_{IL}$	$D_0 \sim D_5, R_0, R1_3,$ $R2, R3_1 \sim R3_3$		- 0.3	-	$0.3V_{CC}$	V	
出力Highレベル電圧	$V_{OH}$	$D_0 \sim D_5, R_0,$ $R3_1 \sim R3_3$	- $I_{OH} = 0.5mA$	$V_{CC} - 1.0$	-	-	V	
		$R1_3, R2$	500k at $V_{CC}$	$V_{CC} - 0.5$	-	-	V	
出力Lowレベル電圧	$V_{OL}$	$D_0 \sim D_5, R_0, R1_3,$ $R2, R3_1 \sim R3_3$	$I_{OL} = 0.5mA$	-	-	0.4	V	
		$D_1, D_2, R1_3, R2$	$I_{OL} = 15mA,$ $V_{CC} = 4.5V \sim 5.5V$	-	-	2.0	V	
入出力リーク電流	$ I_{IL} $	$D_0 \sim D_5, R_0, R1_3,$ $R2, R3_1 \sim R3_3$	$V_{in} = 0V \sim V_{CC}$	-	-	1	$\mu A$	1
プルアップMOS電流	$-I_{PU}$	$D_0 \sim D_5, R_0,$ $R3_1 \sim R3_3$	$V_{CC} = 5V, V_{in} = 0V$	30	150	300	$\mu A$	

- 【注】 1. プルアップMOSおよび出力バッファに流れる電流を除きます。

## 25. 電気的特性 HD404394シリーズ

表25.10 中耐圧NMOSオープンドレイン端子入出力特性 (HD404394シリーズ)

特記なき場合は、 $V_{CC} = 2.7 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力Highレベル電圧	$V_{IH}$	$R1_0 \sim R1_2$		$0.7V_{CC}$	-	12.0	V	
入力Lowレベル電圧	$V_{IL}$	$R1_0 \sim R1_2$		- 0.3	-	$0.3V_{CC}$	V	
出力Highレベル電圧	$V_{OH}$	$R1_0 \sim R1_2$	500k at 12V	11.5	-	-	V	
出力Lowレベル電圧	$V_{OL}$	$R1_0 \sim R1_2$	$I_{OH} = 0.5mA$	-	-	0.4	V	
			$I_{OL} = 15mA$ , $V_{CC} = 4.5V \sim 5.5V$	-	-	2.0	V	
入出力リーク電流	$ I_{IL} $	$R1_0 \sim R1_2$	$V_{in} = 0V \sim 12V$	-	-	20	$\mu A$	1

【注】 1. 出力バッファに流れる電流を除きます。

EOL Product

(2) AC特性

HD404394シリーズのAC特性を表25.11、表25.12に示します。

表25.11 AC特性 (HD404394シリーズ)

特記なき場合は、 $V_{CC} = 2.7 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
クロック発振周波数	$f_{OSC}$	OSC <sub>1</sub> , OSC <sub>2</sub>		0.4	4	4.5	MHz	
インストラクションサイクルタイム (セラミック発振)	$t_{cyc}$	-	4分周	0.89	1	10	μs	
発振安定時間	$t_{RC}$	OSC <sub>1</sub> , OSC <sub>2</sub>		-	-	2	ms	1
外部クロックHighレベル幅	$t_{CPH}$	OSC <sub>1</sub>		92	-	-	ns	2
外部クロックLowレベル幅	$t_{CPL}$	OSC <sub>1</sub>		92	-	-	ns	2
外部クロック立ち上がり時間	$t_{CPr}$	OSC <sub>1</sub>		-	-	20	ns	2
外部クロック立ち下がり時間	$t_{CPl}$	OSC <sub>1</sub>		-	-	20	ns	2
$\overline{INT}_0$ , EVNB Highレベル幅	$t_{IH}$	$\overline{INT}_0$ , EVNB		2	-	-	$t_{cyc}$	3
$\overline{INT}_0$ , EVNB Lowレベル幅	$t_{IL}$	$\overline{INT}_0$ , EVNB		2	-	-	$t_{cyc}$	3
リセットLowレベル幅	$t_{RSTL}$	RESET		2	-	-	$t_{cyc}$	4
STOPC Lowレベル幅	$t_{STPL}$	STOPC		1	-	-	$t_{RC}$	5
リセット立ち上がり時間	$t_{RSTr}$	RESET		-	-	20	ms	4
STOPC立ち上がり時間	$t_{STPr}$	STOPC		-	-	20	ms	5
入力容量	$C_{in}$	TEST, $V_{ref}$ , R1 <sub>0</sub> ~ R1 <sub>2</sub> を除く全入力端子	$f = 1MHz, V_{in} = 0V$	-	-	15	pF	
		TEST	$f = 1MHz, V_{in} = 0V$	-	-	15		6
				-	-	40		7
		$V_{ref}$	$f = 1MHz, V_{in} = 0V$	-	-	30		
		R1 <sub>0</sub> ~ R1 <sub>2</sub>	$f = 1MHz, V_{in} = 0V$	-	-	30		

【注】 1. 発振安定時間には、次の3通りがあります。

(1) 電源投入時に $V_{CC}$ が2.7Vに達してから発振が安定するまでの時間

(2) ストップモード解除時にRESET入力がLowレベルになってから発振が安定するまでの時間

(3) ストップモード解除時にSTOPC入力がLowレベルになってから発振が安定するまでの時間

パワーオン時およびストップモード解除時には、発振器の発振が安定するのに必要な時間を確保するためにRESET入力またはSTOPC入力を $t_{RC}$ 以上印加してください。

発振安定時間は実装回路の定数、浮遊容量などにより異なるため、セラミック発振子メーカーと十分ご相談の上決定してください。

2. 図25.7参照。

3. 図25.8参照。

4. 図25.9参照。

5. 図25.10参照。

6. HD404391、HD404392、HD404394に適用します。

7. HD4074394に適用します。

## 25. 電気的特性 HD404394シリーズ

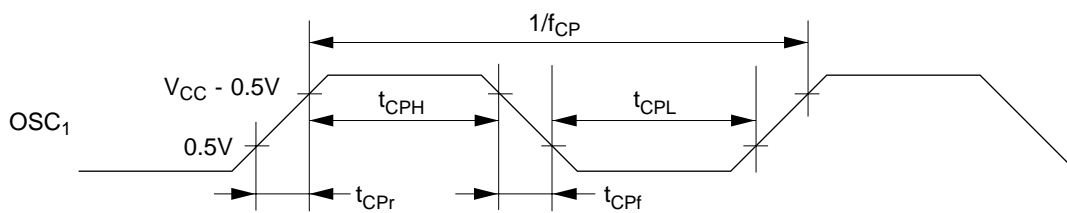


図25.7 外部クロックタイミング (HD404394シリーズ)

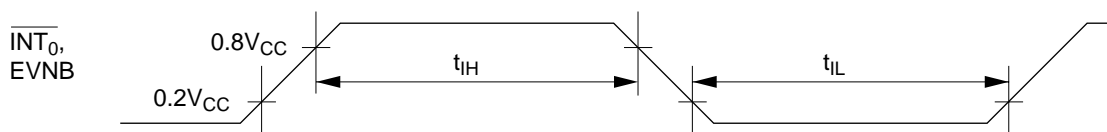


図25.8 割込みタイミング (HD404394シリーズ)

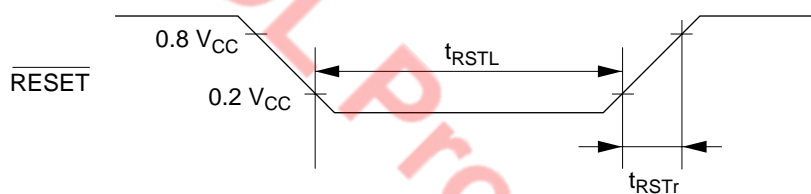


図25.9 リセットタイミング (HD404394シリーズ)

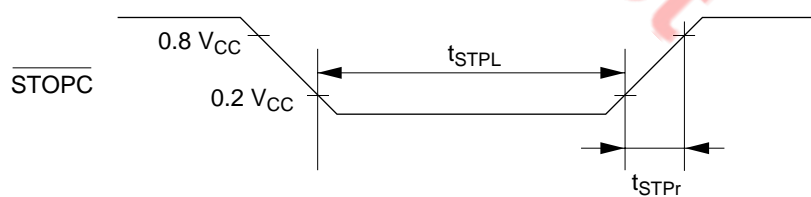


図25.10  $\overline{STOPC}$ タイミング (HD404394シリーズ)

表25.12 シリアルインタフェースタイミング特性 (HD404394シリーズ)

特記なき場合は、 $V_{CC} = 2.7 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$ 

転送クロック出力時

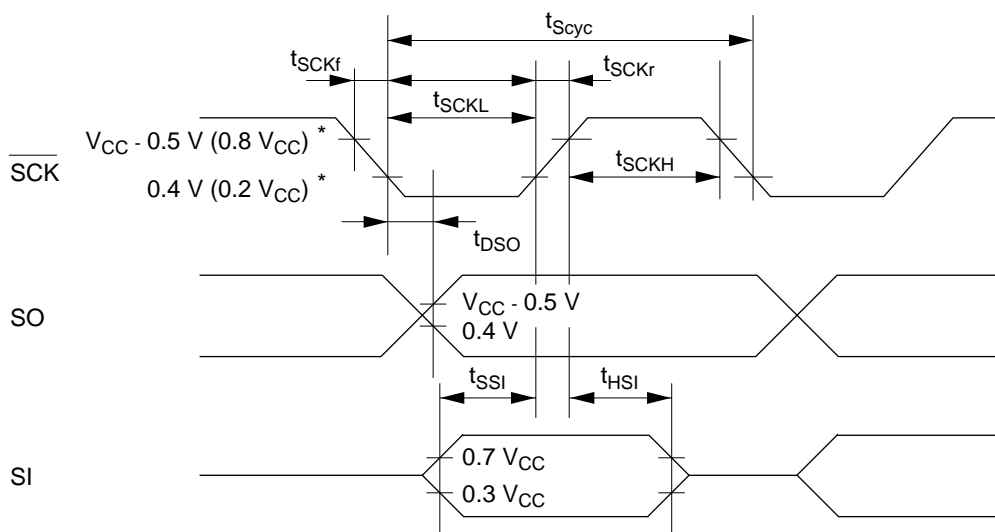
項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
転送クロックサイクルタイム	$t_{Scyc}$	$\overline{SCK}$	図25.12の負荷	1	-	-	$t_{cyc}$	1
転送クロックHighレベル幅	$t_{SCKH}$	$\overline{SCK}$	図25.12の負荷	0.4	-	-	$t_{Scyc}$	1
転送クロックLowレベル幅	$t_{SCKL}$	$\overline{SCK}$	図25.12の負荷	0.4	-	-	$t_{Scyc}$	1
転送クロック立ち上がり時間	$t_{SCKr}$	$\overline{SCK}$	図25.12の負荷	-	-	80	ns	1
転送クロック立ち下がり時間	$t_{SCKf}$	$\overline{SCK}$	図25.12の負荷	-	-	80	ns	1
シリアル出力データ遅延時間	$t_{DSO}$	SO	図25.12の負荷	-	-	300	ns	1
シリアル入力データセットアップ時間	$t_{SSI}$	SI		100	-	-	ns	1
シリアル入力データホールド時間	$t_{HSI}$	SI		200	-	-	ns	1

転送クロック入力時

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
転送クロックサイクルタイム	$t_{Scyc}$	SCK		1	-	-	$t_{cyc}$	1
転送クロックHighレベル幅	$t_{SCKH}$	SCK		0.4	-	-	$t_{Scyc}$	1
転送クロックLowレベル幅	$t_{SCKL}$	SCK		0.4	-	-	$t_{Scyc}$	1
転送クロック立ち上がり時間	$t_{SCKr}$	$\overline{SCK}$		-	-	80	ns	1
転送クロック立ち下がり時間	$t_{SCKf}$	$\overline{SCK}$		-	-	80	ns	1
シリアル出力データ遅延時間	$t_{DSO}$	SO	図25.12の負荷	-	-	300	ns	1
シリアル入力データセットアップ時間	$t_{SSI}$	SI		100	-	-	ns	1
シリアル入力データホールド時間	$t_{HSI}$	SI		200	-	-	ns	1

【注】 1. 図25.11参照

## 25. 電気的特性 HD404394シリーズ



【注】\*  $V_{CC} - 0.5 V$ 、 $0.4 V$ は転送クロック出力時の電圧。  
 $0.8 V_{CC}$ 、 $0.2 V_{CC}$ は転送クロック入力時の電圧。

図25.11 シリアルインタフェースタイミング

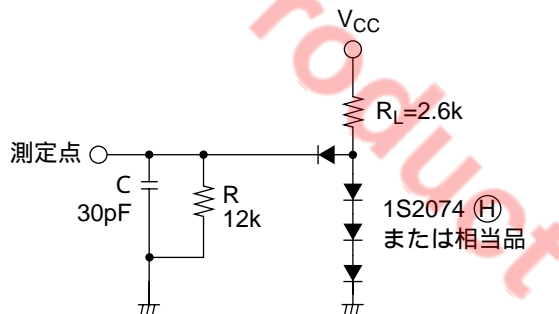


図25.12 タイミング負荷回路

## (3) A/Dコンバータ特性

HD404394シリーズのA/Dコンバータ特性を表25.13に示します。

表25.13 A/Dコンバータ特性 (HD404394シリーズ)  
特記なき場合は、 $V_{CC} = 2.7 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
アナログ入力基準電圧範囲	$V_{ref}$	$V_{ref}$		$0.5V_{CC}$	-	$V_{CC}$	V	
アナログ入力電圧	$AV_{in}$	$AN_1 \sim AN_3$		GND	-	$V_{ref}$	V	
$V_{ref} \sim GND$ 間電流	$I_{AD}$		$V_{ref} = V_{CC} = 5.0V$	-	-	200	$\mu A$	
アナログ入力容量	$CA_{in}$	$AN_1 \sim AN_3$		-	15	-	pF	
分解能				-	8	-	ビット	
入力数				0	-	3	チャンネル	
絶対精度		$AN_1 \sim AN_3$	$T_a = 25$ , $V_{ref} = V_{CC} = 5.0V$	- 3.0	-	3.0	LSB	
変換時間				34	-	67	$t_{cyc}$	
入力インピーダンス		$AN_1 \sim AN_3$	$f_{osc} = 1MHz$ , $V_{in} = 0V$	1	-	-	M	

## 25. 電気的特性 HD404318シリーズ

### 25.3 HD404318シリーズ

#### 25.3.1 絶対最大定格

HD404318シリーズの絶対最大定格を表25.14に示します。

表25.14 絶対最大定格 (HD404318シリーズ)

項目	記号	規格値	単位	注記
電源電圧	$V_{CC}$	- 0.3 ~ +7.0	V	
プログラム電圧	$V_{PP}$	- 0.3 ~ +14.0	V	1
端子電圧	$V_T$	- 0.3 ~ $V_{CC}+0.3$	V	2
		$V_{CC} - 45 \sim V_{CC}+0.3$	V	3
許容総入力電流 (LSIへの流入)	$I_O$	70	mA	4
許容総出力電流 (LSIからの流出)	- $I_O$	150	mA	5
許容入力電流 (LSIへの流入)	$I_O$	4	mA	6, 7
		20	mA	6, 8
許容出力電流 (LSIからの流出)	- $I_O$	4	mA	9, 10
		30	mA	10, 11
動作温度	$T_{opr}$	- 20 ~ +75		
保存温度	$T_{stg}$	- 55 ~ +125		

- 【注】
1. HD4074318のTEST ( $V_{PP}$ ) 端子に適用します。
  2. 標準端子すべてに適用します。
  3. 高耐圧端子に適用します。
  4. 許容総入力電流とは、同時に全入出力端子からGNDへ流し込める電流の総和です。
  5. 許容総出力電流とは、 $V_{CC}$ から全入出力端子へ流し出せる電流の総和です。
  6. 許容入力電流とは、各入出力端子からGNDへ流し込める電流の最大値です。
  7. R3、R4に適用します。
  8. R0に適用します。
  9. R0、R3、R4に適用します。
  10. 許容出力電流とは、 $V_{CC}$ から各入出力端子へ流し出せる電流の最大値です。
  11. D<sub>0</sub>~D<sub>8</sub>、R1、R2、R8に適用します。

絶対最大定格をこえてLSIを使用した場合、LSIの永久破壊となることがあります。また、通常動作では「電気的特性」の条件で使用することが望ましく、この条件をこえるとLSIの誤動作の原因になると同時に、LSIの信頼性に悪影響をおよぼすことがあります。



## 25.3.2 電気的特性

## (1) DC特性

HD404318シリーズのDC特性を表25.15～表25.17に示します。

表25.15 DC特性 (HD404318シリーズ)

特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ ,  $GND = 0V$ ,  $V_{disp} = V_{CC} - 40V \sim V_{CC}$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力Highレベル電圧	$V_{IH}$	RESET, SCK, SI, INT <sub>0</sub> , INT <sub>1</sub> , STOPC, EVNB		0.8V <sub>CC</sub>	-	V <sub>CC</sub> +0.3	V	
		OSC <sub>1</sub>		V <sub>CC</sub> - 0.5	-	V <sub>CC</sub> +0.3	V	
入力Lowレベル電圧	$V_{IL}$	RESET, SCK, SI		- 0.3	-	0.2V <sub>CC</sub>	V	
		INT <sub>0</sub> , INT <sub>1</sub> , STOPC, EVNB		V <sub>CC</sub> - 40	-	0.2V <sub>CC</sub>	V	
		OSC <sub>1</sub>		- 0.3	-	0.5	V	
出力Highレベル電圧	$V_{OH}$	SCK, SO, TOC	- I <sub>OH</sub> = 0.5mA	V <sub>CC</sub> - 0.5	-	-	V	
出力Lowレベル電圧	$V_{OL}$	SCK, SO, TOC	I <sub>OL</sub> = 0.4mA	-	-	0.4	V	
入出力リーク電流	I <sub>IL</sub>	RESET, SCK, SI, SO, TOC, OSC <sub>1</sub>	V <sub>in</sub> = 0V ~ V <sub>CC</sub>	-	-	1	μA	1
		INT <sub>0</sub> , INT <sub>1</sub> , STOPC, EVNB	V <sub>in</sub> = V <sub>CC</sub> - 40V ~ V <sub>CC</sub>	-	-	20		
アクティブモード消費電流	I <sub>CC</sub>	V <sub>CC</sub>	V <sub>CC</sub> = 5V, f <sub>OSC</sub> = 4MHz	-	-	5.0	mA	2, 5
				-	-	8.0	mA	2, 6
スタンバイモード消費電流	I <sub>SBY</sub>	V <sub>CC</sub>	V <sub>CC</sub> = 5V, f <sub>OSC</sub> = 4MHz	-	-	2.0	mA	3
ストップモード消費電流	I <sub>STOP</sub>	V <sub>CC</sub>	V <sub>CC</sub> = 5V	-	-	10	μA	4, 5
				-	-	20	μA	4, 6
ストップモード維持電圧	V <sub>STOP</sub>	V <sub>CC</sub>		2	-	-	V	

## 25. 電気的特性 HD404318シリーズ

- 【注】 1. ブルアップMOSおよび出力バッファに流れる電流を除きます。  
 2. MCUがリセット状態にあり、入出力電流が流れないときの電源電流です。

測定条件	MCUの状態	・リセット状態
	端子の状態	・ $\overline{\text{RESET}}$ , TEST...GND電位 ・ R0, R3, R4... $V_{CC}$ 電位 ・ $D_0 \sim D_8$ , R1, R2, R8, RA <sub>1</sub> ... $V_{disp}$ 電位

3. MCUのタイマが動作し、かつ、入出力電流が流れないときの電源電流です。

測定条件	MCUの状態	・ 入出力：リセット状態と同じ ・ スタンバイモード
	端子の状態	・ $\overline{\text{RESET}}$ ... $V_{CC}$ 電位 ・ TEST...GND電位 ・ R0, R3, R4... $V_{CC}$ 電位 ・ $D_0 \sim D_8$ , R1, R2, R8, RA <sub>1</sub> ... $V_{disp}$ 電位

4. 入出力電流が流れないときの電源電流です。

測定条件	端子の状態	・ R0, R3, R4... $V_{CC}$ 電位 ・ $D_0 \sim D_8$ , R1, R2, R8, RA <sub>1</sub> ...GND電位
------	-------	--

5. HD404314、HD404316、HD404318に適用します。  
 6. HD4074318に適用します。

表25.16 標準端子入出力特性 (HD404318シリーズ)

特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ ,  $GND = 0V$ ,  $V_{disp} = V_{CC} - 40V \sim V_{CC}$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力Highレベル電圧	$V_{IH}$	R0, R3, R4		$0.7V_{CC}$	-	$V_{CC}+0.3V$	V	
入力Lowレベル電圧	$V_{IL}$	R0, R3, R4		-0.3	-	$0.3V_{CC}$	V	
出力Highレベル電圧	$V_{OH}$	R0, R3, R4	- $I_{OH} = 0.5mA$	$V_{CC} - 0.5$	-	-	V	
出力Lowレベル電圧	$V_{OL}$	R3, R4	$I_{OL} = 1.6mA$	-	-	0.4	V	
		R0	$I_{OL} = 10mA$	-	-	2.0	V	
入出力リーク電流	$ I_{IL} $	R0, R3, R4	$V_{in} = 0V \sim V_{CC}$	-	-	1	$\mu A$	1
ブルアップMOS電流	- $I_{PU}$	R0, R3, R4	$V_{CC} = 5V$ , $V_{in} = 0V$	30	150	300	$\mu A$	2
				30	80	180	$\mu A$	3

- 【注】 1. 出力バッファに流れる電流を除きます。  
 2. HD404314、HD404316、HD404318に適用します。  
 3. HD4074318に適用します。

表25.17 高耐圧端子入出力特性 (HD404318シリーズ)

特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ ,  $GND = 0V$ ,  $V_{disp} = V_{CC} - 40V \sim V_{CC}$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力Highレベル電圧	$V_{IH}$	$D_0 \sim D_8, R1, R2,$ $R8, RA_1$		$0.7V_{CC}$	-	$V_{CC}+0.3$	V	
入力Lowレベル電圧	$V_{IL}$	$D_0 \sim D_8, R1, R2,$ $R8, RA_1$		$V_{CC} - 40$	-	$0.3V_{CC}$	V	
出力Highレベル電圧	$V_{OH}$	$D_0 \sim D_8, R1, R2$ $R8, BUZZ$	- $I_{OH} = 15mA$	$V_{CC} - 3.0$	-	-	V	
			- $I_{OH} = 10mA$	$V_{CC} - 2.0$	-	-	V	
			- $I_{OH} = 4mA$	$V_{CC} - 1.0$	-	-	V	
出力Lowレベル電圧	$V_{OL}$	$D_0 \sim D_8, R1, R2$ $R8, BUZZ$	$V_{disp} = V_{CC} - 40V$	-	-	$V_{CC} - 37$	V	1
			150k at $V_{CC} - 40V$	-	-	$V_{CC} - 37$	V	2
入出力リーク電流	$ I_{IL} $	$D_0 \sim D_8, R1, R2,$ $R8, RA_1, BUZZ$	$V_{in} = V_{CC} - 40V \sim V_{CC}$	-	-	20	$\mu A$	3
プルダウン抵抗電流	$I_{PD}$	$D_0 \sim D_8, R1, R2,$ $R8, BUZZ$	$V_{disp} = V_{CC} - 35V,$ $V_{in} = V_{CC}$	200	600	1000	$\mu A$	1

- 【注】 1. マスクオプションで「プルダウン抵抗付き」を選択した端子に適用します。  
 2. マスクオプションで「プルダウン抵抗なし」を選択した端子に適用します。  
 3. 出力バッファに流れる電流を除きます。

## 25. 電気的特性 HD404318シリーズ

### (2) AC特性

HD404318シリーズのAC特性を表25.18、表25.19に示します。

表25.18 AC特性 (HD404318シリーズ)

特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ ,  $GND = 0V$ ,  $V_{disp} = V_{CC} - 40V \sim V_{CC}$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
クロック発振周波数	$f_{OSC}$	OSC <sub>1</sub> , OSC <sub>2</sub>	4分周	0.4	4	4.5	MHz	
インストラクションサイクルタイム	$t_{cyc}$			0.89	1	10	μs	
発振安定時間 (セラミック発振子)	$t_{RC}$	OSC <sub>1</sub> , OSC <sub>2</sub>		-	-	7.5	ms	1
発振安定時間 (水晶発振子)	$t_{RC}$	OSC <sub>1</sub> , OSC <sub>2</sub>		-	-	40	ms	1
外部クロックHighレベル幅	$t_{CPH}$	OSC <sub>1</sub>		92	-	-	ns	2
外部クロックLowレベル幅	$t_{CPL}$	OSC <sub>1</sub>		92	-	-	ns	2
外部クロック立ち上がり時間	$t_{CPr}$	OSC <sub>1</sub>		-	-	20	ns	2
外部クロック立ち下がり時間	$t_{CPf}$	OSC <sub>1</sub>		-	-	20	ns	2
$\overline{INT}_0$ , $\overline{INT}_1$ , EVNB Highレベル幅	$t_{tH}$	$\overline{INT}_0$ , $\overline{INT}_1$ , EVNB		2	-	-	$t_{cyc}$	3
$\overline{INT}_0$ , $\overline{INT}_1$ , EVNB Lowレベル幅	$t_{tL}$	$\overline{INT}_0$ , $\overline{INT}_1$ , EVNB		2	-	-	$t_{cyc}$	3
RESET Lowレベル幅	$t_{RSTL}$	RESET		2	-	-	$t_{cyc}$	4
STOPC Lowレベル幅	$t_{STPL}$	STOPC		1	-	-	$t_{RC}$	5
RESET立ち上がり時間	$t_{RSTr}$	RESET		-	-	20	ms	4
STOPC立ち上がり時間	$t_{STPr}$	STOPC		-	-	20	ms	5
入力容量	$C_{in}$	TESTを除く全入力端子	$f = 1MHz, V_{in} = 0V$	-	-	30	pF	
		TEST	$f = 1MHz, V_{in} = 0V$	-	-	30	pF	6
				-	-	180	pF	7

【注】 1. 発振安定時間は、次の3通りがあります。

(1) 電源投入時に $V_{CC}$ が4.0Vに達してから発振が安定するまでの時間

(2) ストップモード解除時にRESET入力がLowレベルになってから発振が安定するまでの時間

(3) ストップモード解除時にSTOPC入力がLowレベルになってから発振が安定するまでの時間

パワーオン時およびストップモード解除時には、発振器の発振が安定するのに必要な時間を確保するためにRESET入力またはSTOPC入力を $t_{RC}$ 以上を印加してください。

発振安定時間は実装回路の定数、浮遊容量等により異なるため、水晶発振子メーカ、またはセラミック発振子メーカと十分ご相談の上、決定してください。

2. 図25.13参照

3. 図25.14参照

4. 図25.15参照

5. 図25.16参照

6. HD404314、HD404316、HD404318に適用します。

7. HD4074318に適用します。

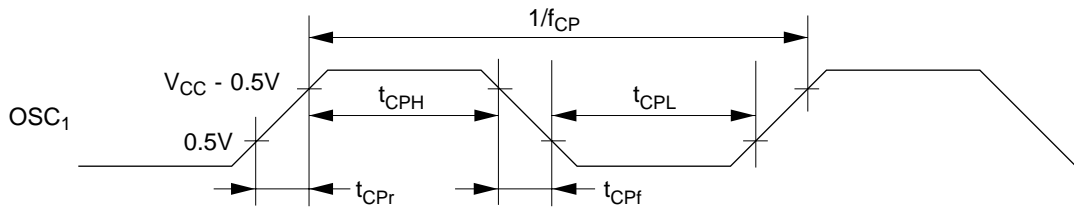


図25.13 外部クロックタイミング (HD404318シリーズ)

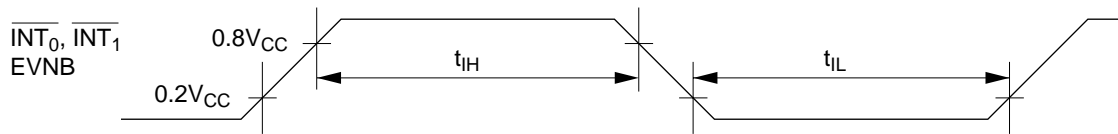


図25.14 割込みタイミング (HD404318シリーズ)

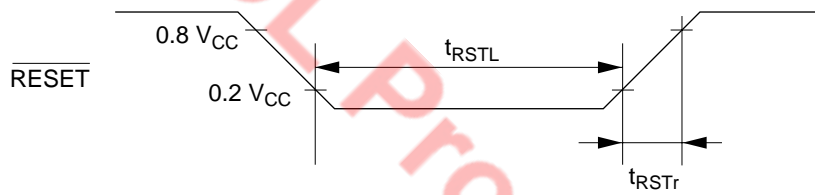


図25.15 リセットタイミング (HD404318シリーズ)

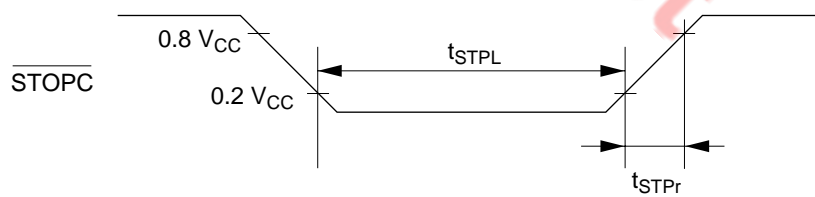


図25.16 STOPCタイミング (HD404318シリーズ)

## 25. 電気的特性 HD404318シリーズ

表25.19 シリアルインタフェースタイミング特性 (HD404318シリーズ)

特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ ,  $GND = 0V$ ,  $V_{disp} = V_{CC} - 40V \sim V_{CC}$ ,  $T_a = -20 \sim +75$

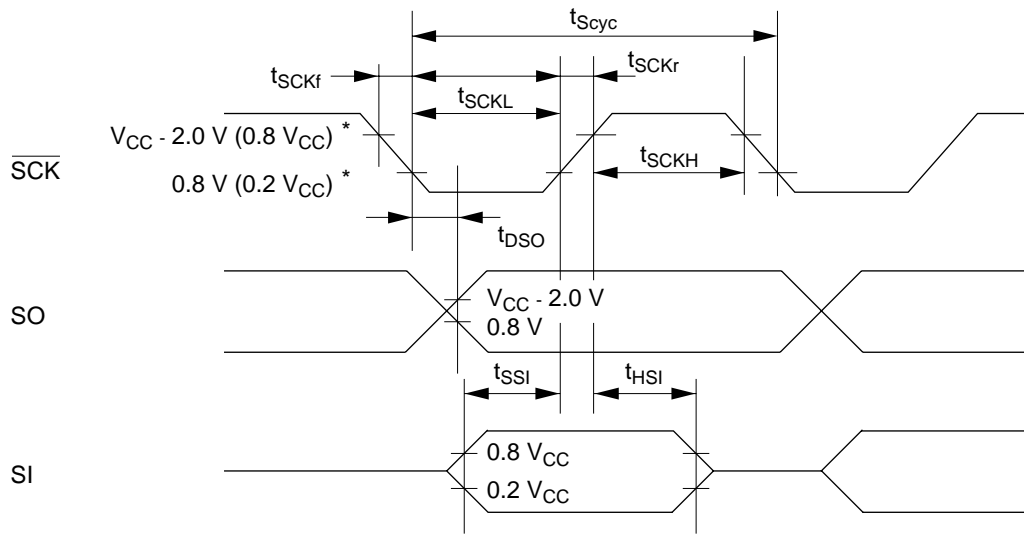
転送クロック出力時

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
転送クロックサイクルタイム	$t_{Scyc}$	SCK	図25.18の負荷	1	-	-	$t_{cyc}$	1
転送クロックHighレベル幅	$t_{SCKH}$	SCK	図25.18の負荷	0.4	-	-	$t_{Scyc}$	1
転送クロックLowレベル幅	$t_{SCKL}$	SCK	図25.18の負荷	0.4	-	-	$t_{Scyc}$	1
転送クロック立ち上がり時間	$t_{SCKr}$	SCK	図25.18の負荷	-	-	80	ns	1
転送クロック立ち下がり時間	$t_{SCKf}$	SCK	図25.18の負荷	-	-	80	ns	1
シリアル出力データ遅延時間	$t_{DSO}$	SO	図25.18の負荷	-	-	300	ns	1
シリアル入力データセットアップ時間	$t_{SSI}$	SI		100	-	-	ns	1
シリアル入力データホールド時間	$t_{HSI}$	SI		200	-	-	ns	1

転送クロック入力時

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
転送クロックサイクルタイム	$t_{Scyc}$	SCK		1	-	-	$t_{cyc}$	1
転送クロックHighレベル幅	$t_{SCKH}$	SCK		0.4	-	-	$t_{Scyc}$	1
転送クロックLowレベル幅	$t_{SCKL}$	SCK		0.4	-	-	$t_{Scyc}$	1
転送クロック立ち上がり時間	$t_{SCKr}$	SCK		-	-	80	ns	1
転送クロック立ち下がり時間	$t_{SCKf}$	SCK		-	-	80	ns	1
シリアル出力データ遅延時間	$t_{DSO}$	SO	図25.18の負荷	-	-	300	ns	1
シリアル入力データセットアップ時間	$t_{SSI}$	SI		100	-	-	ns	1
シリアル入力データホールド時間	$t_{HSI}$	SI		200	-	-	ns	1

【注】 1. 図25.17参照



【注】\*  $V_{CC} - 2.0\text{ V}$ ,  $0.8\text{ V}$ は転送クロック出力時の電圧。  
 $0.8V_{CC}$ ,  $0.2V_{CC}$ は転送クロック入力時の電圧。

図25.17 シリアルインタフェースタイミング (HD404318シリーズ)

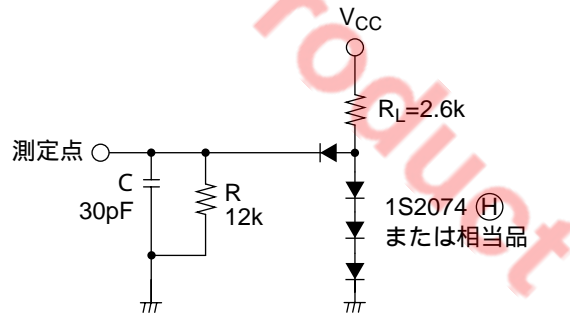


図25.18 タイミング負荷回路

## 25. 電気的特性 HD404318シリーズ

### (3) A/Dコンバータ特性

HD404318シリーズのA/Dコンバータ特性を表25.20に示します。

表25.20 A/Dコンバータ特性 (HD404318シリーズ)

特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ ,  $GND = 0V$ ,  $V_{disp} = V_{CC} - 40V \sim V_{CC}$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
アナログ電源電圧	$AV_{CC}$	$AV_{CC}$		$V_{CC} - 0.3$	$V_{CC}$	$V_{CC} + 0.3$	V	1
アナログ入力電圧	$AV_{in}$	$AN_0 \sim AN_7$		$AV_{SS}$	-	$AV_{CC}$	V	
$AV_{CC} \sim AV_{SS}$ 間電流	$I_{AD}$		$V_{CC} = AV_{CC} = 5.0V$	-	-	200	$\mu A$	
アナログ入力容量	$CA_{in}$	$AN_0 \sim AN_7$		-	-	30	pF	
分解能				8	8	8	ビット	
入力数				0	-	8	チャンネル	
絶対精度				-	-	$\pm 2.0$	LSB	
変換時間				34	-	67	$t_{cyc}$	
入力インピーダンス		$AN_0 \sim AN_7$		1	-	-	M	

【注】 1. A/Dコンバータを使用しない場合、 $V_{CC}$ 端子に接続してください。



## 25.4 HD404358 / HD404358Rシリーズ

## 25.4.1 絶対最大定格

HD404358 / HD404358Rシリーズの絶対最大定格を表25.21に示します。

表25.21 絶対最大定格 (HD404358 / HD404358Rシリーズ)

項目	記号	HD404358シリーズ	HD404358Rシリーズ	単位	注記
		規格値	規格値		
電源電圧	$V_{CC}$	- 0.3 ~ +7.0	- 0.3 ~ +7.0	V	
プログラム電圧	$V_{PP}$	- 0.3 ~ +14.0	- 0.3 ~ +14.0	V	1
端子電圧	$V_T$	- 0.3 ~ $V_{CC}+0.3$	- 0.3 ~ $V_{CC}+0.3$	V	2
		- 0.3 ~ +15.0		V	3
許容総入力電流 (LSIへの流入)	$I_O$	105	160	mA	4
許容総出力電流 (LSIからの流出)	- $I_O$	50	50	mA	5
許容入力電流 (LSIへの流入)	$I_O$	4	4	mA	6, 7
		30	30	mA	6, 8
許容出力電流 (LSIからの流出)	- $I_O$	4	4	mA	9, 10
動作温度	$T_{opr}$	- 20 ~ +75	- 20 ~ +75		
保存温度	$T_{stg}$	- 55 ~ +125	- 55 ~ +125		

- 【注】
1. HD407A4359、HD407A4359R、HD407C4359RのTEST ( $V_{PP}$ ) 端子に適用します。
  2. 標準端子全てに適用します。
  3. 中耐圧端子に適用します。
  4. 許容総入力電流とは、同時に全入出力端子からGNDへ流し込める電流の総和です。
  5. 許容総出力電流とは、 $V_{CC}$ から全入出力端子へ流し込める電流の総和です。
  6. 許容入力電流とは、各入出力端子からGNDへ流し込める電流の最大値です。
  7. HD404358シリーズ、 $D_0 \sim D_8$ 、R0、R1、R3、R4、R8  
HD404358Rシリーズ  $D_0 \sim D_4$ 、R3、R4  
に適用します。
  8. HD404358シリーズ、 $R_2$   
HD404358Rシリーズ  $D_5 \sim D_8$ 、R0、R1、R2、R8  
に適用します。
  9. HD404358シリーズ、 $D_0 \sim D_8$ 、R0、R1、R3、R4、R8  
HD404358Rシリーズ  $D_0 \sim D_8$ 、R0、R1、R2、R3、R4、R8  
に適用します。
  10. 許容出力電流とは、 $V_{CC}$ から各入出力端子へ流し出せる電流の最大値です。

絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件を超えるとLSIの誤動作の原因になると共に、LSIの信頼性に悪影響をおよぼすことがあります。

電圧はすべてGNDを基準とした値です。

## 25. 電気的特性 HD404358 / HD404358Rシリーズ

### 25.4.2 電気的特性

#### (1) DC特性

HD404358 / HD404358RシリーズのDC特性を表25.22～表25.24に示します。

表25.22 DC特性 (HD404358 / HD404358Rシリーズ)

特記なき場合は、HD404354, HD404356, HD404358, HD40A4354, HD40A4356, HD40A4358 :  $V_{CC} = 2.7 \sim 6.0V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$   
 HD407A4359 :  $V_{CC} = 2.7 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$   
 HD404358Rシリーズ :  $V_{CC} = 2.5 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力Highレベル電圧	$V_{IH}$	$\overline{RESET}$ , $\overline{STOPC}$ , $\overline{INT_0}$ , $\overline{INT_1}$ , SCK, EVNB		$0.8V_{CC}$	-	$V_{CC}+0.3$	V	
		SI		$0.7V_{CC}$	-	$V_{CC}+0.3$	V	
		OSC <sub>1</sub>		$V_{CC} - 0.5$	-	$V_{CC}+0.3$	V	
入力Lowレベル電圧	$V_{IL}$	$\overline{RESET}$ , $\overline{STOPC}$ , $\overline{INT_0}$ , $\overline{INT_1}$ , SCK, EVNB		- 0.3	-	$0.2V_{CC}$	V	
		SI		- 0.3	-	$0.3V_{CC}$	V	
		OSC <sub>1</sub>		- 0.3	-	0.5	V	
出力Highレベル電圧	$V_{OH}$	SCK, SO, TOC	$- I_{OH} = 0.5mA$	$V_{CC} - 0.5$	-	-	V	
出力Lowレベル電圧	$V_{OL}$	SCK, SO, TOC	$I_{OL} = 0.4mA$	-	-	0.4	V	
入出力リーク電流	$ I_{IL} $	$\overline{RESET}$ , $\overline{STOPC}$ , $\overline{INT_0}$ , $\overline{INT_1}$ , SCK, SI, SO, EVNB, TOC, OSC <sub>1</sub>	$V_{in} = 0V \sim V_{CC}$	-	-	1	$\mu A$	1
アクティブモード消費電流	$I_{CC}$	$V_{CC}$	$V_{CC} = 5V$ , $f_{OSC} = 4MHz$	-	-	5.0	mA	2, 5
	$I_{CC1}$		$V_{CC} = 5V$ , $f_{OSC} = 4MHz$	-	-	3.5	mA	2, 6
	$I_{CC2}$		$V_{CC} = 3V$ , $f_{OSC} = 400kHz$	-	-	0.6	mA	
	$I_{CC3}$		$V_{CC} = 5V$ , $f_{OSC} = 8MHz$	-	-	6.5	mA	
スタンバイモード消費電流	$I_{SBY}$	$V_{CC}$	$V_{CC} = 5V$ , $f_{OSC} = 4MHz$	-	-	2.0	mA	3, 5
	$I_{SBY1}$		$V_{CC} = 5V$ , $f_{OSC} = 4MHz$	-	-	1.5	mA	3, 6
	$I_{SBY2}$		$V_{CC} = 3V$ , $f_{OSC} = 400kHz$	-	-	0.4	mA	
	$I_{SBY3}$		$V_{CC} = 5V$ , $f_{OSC} = 8MHz$	-	-	2.5	mA	
ストップモード消費電流	$I_{STOP}$	$V_{CC}$	$V_{CC} = 5V$	-	-	10	$\mu A$	4
ストップモード維持電圧	$V_{STOP}$	$V_{CC}$		2	-	-	V	

- 【注】 1. ブルアップMOSおよび出力バッファに流れる電流を除きます。  
 2. MCUがリセット状態にあり、入出力電流が流れないときの電源電流です。

測定条件	MCUの状態	・リセット状態
	端子の状態	・ $\overline{RESET}$ , TEST...GND電位

3. MCUのタイマが動作し、かつ、入出力電流が流れないときの電源電流です。

測定条件	MCUの状態	・入出力：リセット状態と同じ ・スタンバイモード
	端子の状態	・ $\overline{RESET}$ ... $V_{CC}$ 電位 ・TEST...GND電位 ・ $D_0 \sim D_8$ , $R_0 \sim R_4$ , $R_8$ , $RA_1$ ... $V_{CC}$ 電位

4. 入出力電流が流れないときの電源電流です。

測定条件	端子の状態	・ $\overline{RESET}$ ... $V_{CC}$ 電位 ・TEST...GND電位 ・ $D_0 \sim D_8$ , $R_0 \sim R_4$ , $R_8$ , $RA_1$ ... $V_{CC}$ 電位
------	-------	---

5. HD404358シリーズに適用。  
 6. HD404358Rシリーズに適用。

## 25. 電気的特性 HD404358 / HD404358Rシリーズ

表25.23 標準端子入出力特性 (HD404358 / HD404358Rシリーズ)

特記なき場合は、 HD404354, HD404356, HD404358, HD40A4354, HD40A4356  
 HD40A4358 :  $V_{CC} = 2.7 \sim 6.0V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$   
 HD407A4359 :  $V_{CC} = 2.7 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$   
 HD404358Rシリーズ :  $V_{CC} = 2.5 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力Highレベル電圧	$V_{IH}$	HD404358シリーズ D <sub>0</sub> ~ D <sub>8</sub> , R0, R1, R3, R4, R8, RA <sub>1</sub> HD404358Rシリーズ D <sub>0</sub> ~ D <sub>8</sub> , R0 ~ R4, R8, RA <sub>1</sub>		0.7V <sub>CC</sub>	-	V <sub>CC</sub> +0.3	V	
入力Lowレベル電圧	$V_{IL}$	HD404358シリーズ D <sub>0</sub> ~ D <sub>8</sub> , R0, R1, R3, R4, R8, RA <sub>1</sub> HD404358Rシリーズ D <sub>0</sub> ~ D <sub>8</sub> , R0 ~ R4, R8, RA <sub>1</sub>		-0.3	-	0.3V <sub>CC</sub>	V	
出力Highレベル電圧	$V_{OH}$	HD404358シリーズ D <sub>0</sub> ~ D <sub>8</sub> , R0, R1, R3, R4, R8	- I <sub>OH</sub> = 0.5mA	V <sub>CC</sub> - 0.5	-	-	V	
		HD404358Rシリーズ D <sub>0</sub> ~ D <sub>8</sub> , R0 ~ R4, R8		V <sub>CC</sub> - 1.0	-	-		
出力Lowレベル電圧	$V_{OL}$	HD404358シリーズ D <sub>0</sub> ~ D <sub>8</sub> , R0, R1, R3, R4, R8 HD404358Rシリーズ D <sub>0</sub> ~ D <sub>4</sub> , R3, R4	I <sub>OL</sub> = 1.6mA	-	-	0.4	V	
		HD404358Rシリーズ D <sub>5</sub> ~ D <sub>8</sub> , R0 ~ R2, R8	I <sub>OL</sub> = 15mA V <sub>CC</sub> = 4.5 ~ 5.5V	-	-	2.0	V	
入出力リーク電流	I <sub>IL</sub>	HD404358シリーズ D <sub>0</sub> ~ D <sub>8</sub> , R0, R1, R3, R4, R8, RA <sub>1</sub> HD404358Rシリーズ D <sub>0</sub> ~ D <sub>8</sub> , R0 ~ R4, R8, RA <sub>1</sub>	V <sub>in</sub> = 0V ~ V <sub>CC</sub>	-	-	1	μA	1
ブルアップMOS電流	-I <sub>PU</sub>	HD404358シリーズ D <sub>0</sub> ~ D <sub>8</sub> , R0, R1, R3, R4, R8 HD404358Rシリーズ D <sub>0</sub> ~ D <sub>8</sub> , R0 ~ R4, R8	V <sub>CC</sub> = 5V, V <sub>in</sub> = 0V	30	150	300	μA	

【注】 1. 出力バッファに流れる電流を除きます。

表25.24 中耐圧NMOSオープンドレイン端子入出力特性 (HD404358シリーズ)

特記なき場合は、 HD404354, HD404356, HD404358, HD40A4354, HD40A4356,  
 HD40A4358 :  $V_{CC} = 2.7 \sim 6.0V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$   
 HD407A4359 :  $V_{CC} = 2.7 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力Highレベル電圧	$V_{IH}$	R2		0.7V <sub>CC</sub>	-	12.0	V	
入力Lowレベル電圧	$V_{IL}$	R2		-0.3	-	0.3V <sub>CC</sub>	V	
出力Highレベル電圧	$V_{OH}$	R2	500k at 12V	11.5	-	-	V	
出力Lowレベル電圧	$V_{OL}$	R2	I <sub>OL</sub> = 0.4mA	-	-	0.4	V	
			I <sub>OL</sub> = 15mA, V <sub>CC</sub> = 4.5 ~ 5.5V	-	-	2.0	V	
入出力リーク電流	I <sub>IL</sub>	R2	V <sub>in</sub> = 0V ~ V <sub>CC</sub>	-	-	20	μA	1

【注】 1. 出力バッファに流れる電流を除きます。

## 25. 電気的特性 HD404358 / HD404358Rシリーズ

### (2) AC特性

HD404358 / HD404358RシリーズのAC特性を表25.25、表25.26に示します。

表25.25 AC特性 (HD404358シリーズ、HD404358Rシリーズ)

特記なき場合は、  
 HD404354, HD404356, HD404358,  
 HD40A4354, H40A4356, HD40A4358 :  $V_{CC} = 2.7 \sim 6.0V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$   
 HD407A4369 :  $V_{CC} = 2.7 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$   
 HD404354R, HD404356R, HD404358R,  
 HD40A4354R, HD40A4356R, HD40A4358R,  
 HD40C4354R, HD40C4356R, HD40C4358R,  
 HD407A4359R, HD407C4359R :  $V_{CC} = 2.5 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記	
				min	typ	max			
クロック発振周波数 (セラミック発振子、水晶発振子)	$f_{OSC}$	OSC <sub>1</sub> , OSC <sub>2</sub>	4分周	0.4	4	5.0	MHz	6	
			4分周、 $V_{CC} = 4.0 \sim 5.5V$	0.4	4	8.5			
			4分周、 $V_{CC} = 4.5 \sim 5.5V$	0.4	4	8.5			
クロック発振周波数(抵抗発振)	$f_{OSC}$	OSC <sub>1</sub> , OSC <sub>2</sub>	4分周	1.0	2.2	3.5	MHz	8	
インストラクションサイクルタイム (セラミック発振子、水晶発振子、 外部クロック入力)	$t_{cyc}$		4分周	0.8	1	10	$\mu s$	6, 7	
			4分周	0.47	1	10			
インストラクションサイクルタイム (抵抗発振)	$t_{cyc}$		4分周 $R_f = 20 k\Omega$	1.14	1.81	4.0	$\mu s$	8	
発振安定時間 (セラミック発振子)	$t_{RC}$	OSC <sub>1</sub> , OSC <sub>2</sub>		-	-	7.5	ms	1	
発振安定時間 (水晶発振子)	$t_{RC}$	OSC <sub>1</sub> , OSC <sub>2</sub>		-	-	30	ms	1, 11	
				-	-	40		1, 12	
発振安定時間 (抵抗発振)	$t_{RC}$	OSC <sub>1</sub> , OSC <sub>2</sub>		-	-	0.5	ms	1, 8	
外部クロック Highレベル幅	$t_{CPH}$	OSC <sub>1</sub>		80	-	-	ns	2	
			$V_{CC} = 4.0 \sim 5.5V$	47	-	-		2, 6	
			$V_{CC} = 4.5 \sim 5.5V$	47	-	-		2, 7	
外部クロック Lowレベル幅	$t_{CPL}$	OSC <sub>1</sub>		80	-	-	ns	2	
			$V_{CC} = 4.0 \sim 5.5V$	47	-	-		2, 6	
			$V_{CC} = 4.5 \sim 5.5V$	47	-	-		2, 7	
外部クロック 立ち上がり時間	$t_{CPr}$	OSC <sub>1</sub>		-	-	20	ns	2	
			$V_{CC} = 4.0 \sim 5.5V$	-	-	15		2, 6	
			$V_{CC} = 4.5 \sim 5.5V$	-	-	15		2, 7	
外部クロック 立ち下がり時間	$t_{CPf}$	OSC <sub>1</sub>		-	-	20	ns	2	
			$V_{CC} = 4.0 \sim 5.5V$	-	-	15		2, 6	
			$V_{CC} = 4.5 \sim 5.5V$	-	-	15		2, 7	
$\overline{INT}_0, \overline{INT}_1, EVNB$ Highレベル幅	$t_{IH}$	$\overline{INT}_0, \overline{INT}_1, EVNB$		2	-	-	$t_{cyc}$	3	
$\overline{INT}_0, \overline{INT}_1, EVNB$ Lowレベル幅	$t_{IL}$	$\overline{INT}_0, \overline{INT}_1, EVNB$		2	-	-	$t_{cyc}$	3	
RESET Lowレベル幅	$t_{RSTL}$	RESET		2	-	-	$t_{cyc}$	4	
STOPC Lowレベル幅	$t_{STPL}$	STOPC		1	-	-	$t_{RC}$	5	
RESET立ち上がり時間	$t_{RSTr}$	RESET		-	-	20	ms	4	
STOPC立ち上がり時間	$t_{STPr}$	STOPC		-	-	20	ms	5	
入力容量	$C_{in}$	TESTを除く全入力端子	$f = 1MHz, V_{in} = 0V$	-	-	15	pF	11	
				TEST, R2を除く全入力端	-	-	15	pF	12
				-	-	15	pF	13	
				TEST	-	-	40	pF	9
				-	-	180	pF	10	
				R2	-	-	30	pF	12

【注】 1. 発振安定時間は、次の3通りがあります。

- (1) 電源投入時に $V_{CC}$  minに達してから発振が安定するまでの時間
- (2) ストップモード解除時に、 $\overline{RESET}$ 入力がLowレベルになってから発振が安定するまでの時間
- (3) ストップモード解除時に、 $\overline{STOPC}$ 入力がLowレベルになってから発振が安定するまでの時間

パワーオン時およびストップモード解除時には、発振器の発振が安定するのに必要な時間を確保するために $\overline{RESET}$ 入力または $\overline{STOPC}$ 入力を $t_{RC}$ 以上を印加してください。

発振安定時間は実装回路の定数、浮遊容量等により異なるため、水晶発振子メーカ、またはセラミック発振子メーカと十分ご相談の上、決定してください。

2. 図25.19参照
3. 図25.20参照
4. 図25.21参照
5. 図25.22参照
6. HD40A4354R, HD40A4356R, HD40A4358R、HD407A4359Rに適用します。
7. HD40A4354, HD40A4356, HD40A4358, HD407A4359に適用します。
8. HD40C4354R, HD40C4356R, HD40C4358R, HD407C4359Rに適用します。
9. HD407A4359R HD407C4359Rに適用します。
10. HD407A4359に適用します。
11. HD404358Rシリーズに適用します。
12. HD404358シリーズに適用します。
13. HD404354R, HD404356R, HD404358R, HD40A4354R, HD40A4356R, HD40A4358R, HD40C4354R, HD40C4356R, HD40C4358Rに適用します。

EOL Product

25. 電気的特性 HD404358 / HD404358Rシリーズ

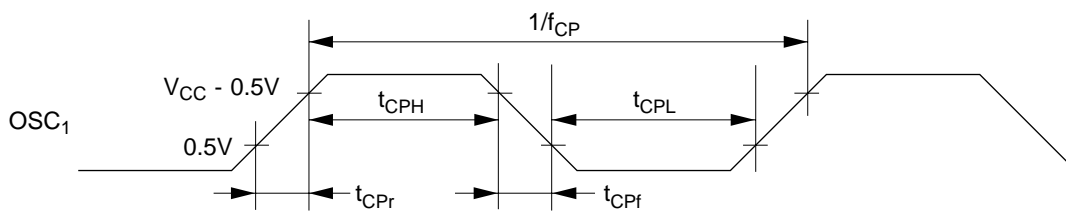


図25.19 外部クロックタイミング (HD404358 / HD404358Rシリーズ)

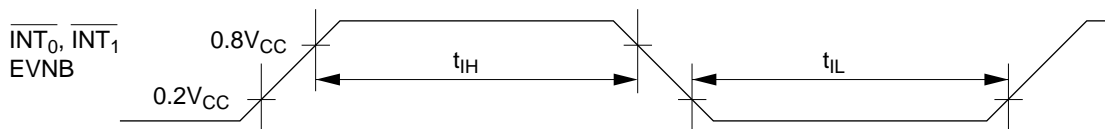


図25.20 割込みタイミング (HD404358 / HD404358Rシリーズ)

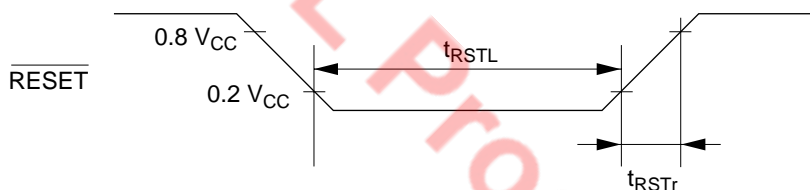


図25.21 リセットタイミング (HD404358 / HD404358Rシリーズ)

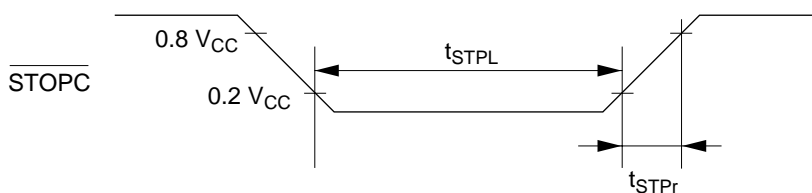


図25.22 STOPCタイミング (HD404358 / HD404358Rシリーズ)

## 25. 電気的特性 HD404358 / HD404358Rシリーズ

表25.26 シリアルインタフェースタイミング特性 (HD404358 / HD404358Rシリーズ)

特記なき場合は、HD404354, HD404356, HD404358,  
 HD40A4354, HD40A4356, HD40A4358 :  $V_{CC} = 2.7 \sim 6.0V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$   
 HD407A4359 :  $V_{CC} = 2.7 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$   
 HD404358Rシリーズ :  $V_{CC} = 2.5 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

転送クロック出力時

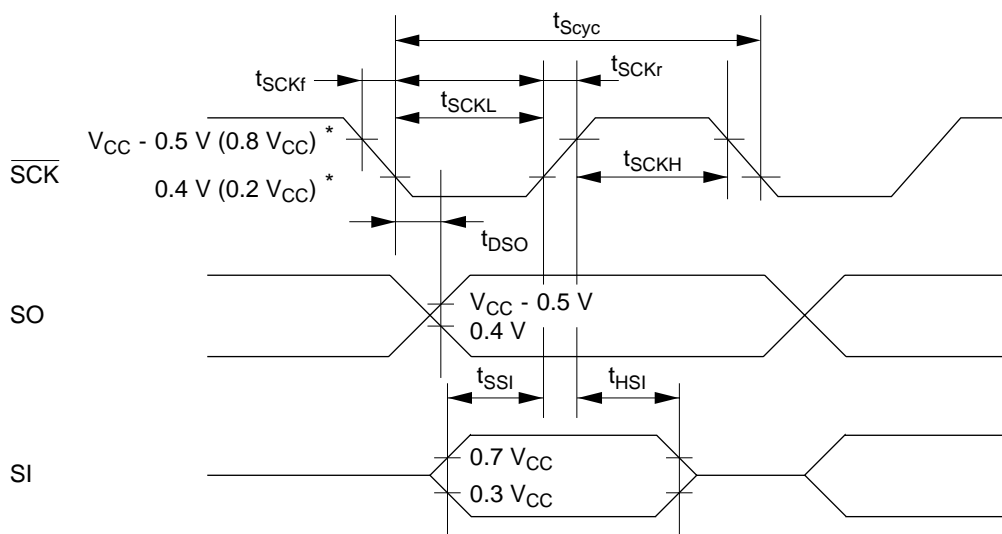
項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
転送クロックサイクルタイム	$t_{S_{cyc}}$	SCK	図25.24の負荷	1	-	-	$t_{cyc}$	1
転送クロックHighレベル幅	$t_{S_{CKH}}$	$\overline{SCK}$	図25.24の負荷	0.4	-	-	$t_{S_{cyc}}$	1
転送クロックLowレベル幅	$t_{S_{CKL}}$	$\overline{SCK}$	図25.24の負荷	0.4	-	-	$t_{S_{cyc}}$	1
転送クロック立ち上がり時間	$t_{S_{CKr}}$	$\overline{SCK}$	図25.24の負荷	-	-	80	ns	1
転送クロック立ち下がり時間	$t_{S_{CKf}}$	SCK	図25.24の負荷	-	-	80	ns	1
シリアル出力データ遅延時間	$t_{DSO}$	SO	図25.24の負荷	-	-	300	ns	1
シリアル入力データセットアップ時間	$t_{SSI}$	SI		100	-	-	ns	1
シリアル入力データホールド時間	$t_{HSI}$	SI		200	-	-	ns	1

転送クロック入力時

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
転送クロックサイクルタイム	$t_{S_{cyc}}$	$\overline{SCK}$		1	-	-	$t_{cyc}$	1
転送クロックHighレベル幅	$t_{S_{CKH}}$	SCK		0.4	-	-	$t_{S_{cyc}}$	1
転送クロックLowレベル幅	$t_{S_{CKL}}$	SCK		0.4	-	-	$t_{S_{cyc}}$	1
転送クロック立ち上がり時間	$t_{S_{CKr}}$	SCK		-	-	80	ns	1
転送クロック立ち下がり時間	$t_{S_{CKf}}$	$\overline{SCK}$		-	-	80	ns	1
シリアル出力データ遅延時間	$t_{DSO}$	SO	図25.24の負荷	-	-	300	ns	1
シリアル入力データセットアップ時間	$t_{SSI}$	SI		100	-	-	ns	1
シリアル入力データホールド時間	$t_{HSI}$	SI		200	-	-	ns	1

【注】 1. 図25.23参照

25. 電気的特性 HD404358 / HD404358Rシリーズ



【注】\*  $V_{CC} - 0.5V$ ,  $0.4 V$ は転送クロック出力時の電圧。  
 $0.8V_{CC}$ ,  $0.2 V_{CC}$ は転送クロック入力時の電圧。

図25.23 シリアルインタフェースタイミング (HD404358 / HD404358Rシリーズ)

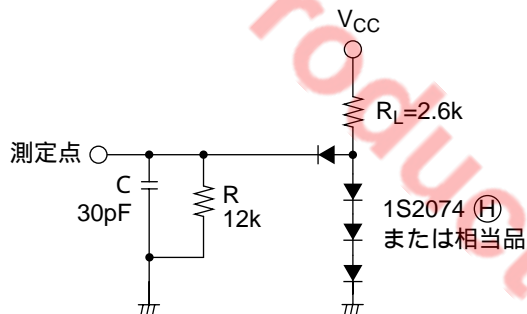


図25.24 タイミング負荷回路



(3) A/Dコンバータ特性

HD404358 / HD404358RシリーズのA/Dコンバータ特性を表25.27に示します。

表25.27 A/Dコンバータ特性 (HD404358 / HD404358Rシリーズ)

特記なき場合は、 HD404354, HD404356, HD404358, HD40A4354, :  $V_{CC} = 2.7 \sim 6.0V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$   
 HD40A4356, HD40A4358 :  $V_{CC} = 2.7 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$   
 HD407A4359 :  $V_{CC} = 2.5 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$   
 HD404358Rシリーズ

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
アナログ電源電圧	$AV_{CC}$	$AV_{CC}$		$V_{CC} - 0.3$	$V_{CC}$	$V_{CC} + 0.3$	V	1
アナログ入力電圧	$AV_{in}$	$AN_0 \sim AN_7$		$AV_{SS}$	-	$AV_{CC}$	V	
$AV_{CC} \sim AV_{SS}$ 間電流	$I_{AD}$		$V_{CC} = AV_{CC} = 5.0V$	-	-	200	$\mu A$	2
				-	-	500		3
アナログ入力容量	$CA_{in}$	$AN_0 \sim AN_7$		-	-	30	pF	
分解能				-	8	-	ビット	
入力数				0	-	8	チャンネル	
絶対精度				-2.0	-	2.0	LSB	
変換時間				34	-	67	$t_{cyc}$	
入力インピーダンス		$AN_0 \sim AN_7$		1	-	-	M	

- 【注】 1. A/Dコンバータを使用しない場合、 $V_{CC}$ 端子に接続してください。  
 2. HD404358シリーズに適用します。  
 3. HD404358Rシリーズに適用します。

## 25. 電気的特性 HD404339シリーズ

### 25.5 HD404339シリーズ

#### 25.5.1 絶対最大定格

HD404339シリーズの絶対最大定格を表25.28に示します。

表25.28 絶対最大定格 (HD404339シリーズ)

項目	記号	規格値	単位	注記
電源電圧	$V_{CC}$	- 0.3 ~ +7.0	V	
プログラム電圧	$V_{PP}$	- 0.3 ~ +14.0	V	1
端子電圧	$V_T$	- 0.3 ~ $V_{CC}+0.3$	V	2
		$V_{CC} - 45 \sim V_{CC}+0.3$	V	3
許容総入力電流 (LSIへの流入)	$I_O$	70	mA	4
許容総出力電流 (LSIからの流出)	- $I_O$	150	mA	5
許容入力電流 (LSIへの流入)	$I_O$	4	mA	6, 7
		20	mA	6, 8
許容出力電流 (LSIからの流出)	- $I_O$	4	mA	9, 10
		30	mA	10, 11
動作温度	$T_{opr}$	- 20 ~ +75		
保存温度	$T_{stg}$	- 55 ~ +125		

- 【注】
1. HD4074339のTEST ( $V_{PP}$ ) 端子に適用します。
  2. 標準端子全てに適用します。
  3. 高耐圧端子に適用します。
  4. 許容総入力電流とは、同時に全入出力端子からGNDへ流し込める電流の総和です。
  5. 許容総出力電流とは、 $V_{CC}$ から全入出力端子へ流し出せる電流の総和です。
  6. 許容入力電流とは、各入出力端子からGNDへ流し込める電流の最大値です。
  7. R3 ~ R5に適用します。
  8. R0、R6、R7に適用します。
  9. R0、R3<sub>0</sub> ~ R7<sub>2</sub>に適用します。
  10. 許容出力電流とは、 $V_{CC}$ から各入出力端子へ流し出せる電流の最大値です。
  11. D<sub>0</sub> ~ D<sub>13</sub>、R1、R2、R8、R9に適用します。

絶対最大定格をこえてLSIを使用した場合、LSIの永久破壊となることがあります。また、通常動作では「電気的特性」の条件で使用することが望ましく、この条件をこえるとLSIの誤動作の原因になると共に、LSIの信頼性に悪影響をおよぼすことがあります。

電圧はすべてGNDを基準とした値です。

25.5.2 電気的特性

(1) DC特性

HD404339シリーズのDC特性を表25.29～表25.31に示します。

表25.29 DC特性 (HD404339シリーズ)

特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ ,  $GND = 0V$ ,  $V_{disp} = V_{CC} - 40V \sim V_{CC}$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力Highレベル電圧	$V_{IH}$	$\overline{RESET}$ , $\overline{SCK}$ , SI, $\overline{INT_0}$ , $\overline{INT_1}$ , $\overline{STOPC}$ , EVNB		$0.8V_{CC}$	-	$V_{CC}+0.3$	V	
		OSC <sub>1</sub>		$V_{CC} - 0.5$	-	$V_{CC}+0.3$	V	
入力Lowレベル電圧	$V_{IL}$	$\overline{RESET}$ , $\overline{SCK}$ , SI		- 0.3	-	$0.2V_{CC}$	V	
		$\overline{INT_0}$ , $\overline{INT_1}$ , $\overline{STOPC}$ , EVNB		$V_{CC} - 40$	-	$0.2V_{CC}$	V	
		OSC <sub>1</sub>		- 0.3	-	0.5	V	
出力Highレベル電圧	$V_{OH}$	$\overline{SCK}$ , SO, TOC	$- I_{OH} = 0.5mA$	$V_{CC} - 0.5$	-	-	V	
出力Lowレベル電圧	$V_{OL}$	$\overline{SCK}$ , SO, TOC	$I_{OL} = 0.4mA$	-	-	0.4	V	
入出力リーク電流	$ I_{IL} $	$\overline{RESET}$ , $\overline{SCK}$ , SI, SO, TOC, OSC <sub>1</sub>	$V_{in} = 0V \sim V_{CC}$	-	-	1	$\mu A$	1
		$\overline{INT_0}$ , $\overline{INT_1}$ , $\overline{STOPC}$ , EVNB	$V_{in} =$ $V_{CC} - 40V \sim V_{CC}$	-	-	20		
アクティブモード消費電流	$I_{CC}$	$V_{CC}$	$V_{CC} = 5V,$ $f_{OSC} = 4MHz$	-	-	5.0	mA	2, 5, 6
				-	-	8.0	mA	2, 5, 7
スタンバイモード消費電流	$I_{SBY}$	$V_{CC}$	$V_{CC} = 5V,$ $f_{OSC} = 4MHz$	-	-	2.0	mA	3, 5
サブアクティブモード消費電流	$I_{SUB}$	$V_{CC}$	$V_{CC} = 5V,$ 32kHz発振器使用	-	-	100	$\mu A$	4, 6
				-	-	320	$\mu A$	4, 7
ウォッチモード消費電流	$I_{WTC}$	$V_{CC}$	$V_{CC} = 5V,$ 32kHz発振器使用	-	-	20	$\mu A$	4
ストップモード消費電流	$I_{STOP}$	$V_{CC}$	X1 = GND, X2 = OPEN	-	-	10	$\mu A$	4, 6
				-	-	20	$\mu A$	4, 7
ストップモード維持電圧	$V_{STOP}$	$V_{CC}$		2	-	-	V	

## 25. 電気的特性 HD404339シリーズ

- 【注】 1. プルアップMOSおよび出力バッファに流れる電流を除きます。  
 2. MCUがリセット状態にあり、入出力電流が流れないときの電源電流です。

測定条件	MCUの状態	・リセット状態
	端子の状態	・ $\overline{\text{RESET}}$ , TEST...GND電位 ・ R0, R3 <sub>0</sub> ~ R7 <sub>2</sub> ...V <sub>CC</sub> 電位 ・ D <sub>0</sub> ~ D <sub>13</sub> , R1, R2, R8, R9, RA <sub>1</sub> ...V <sub>disp</sub> 電位

3. MCUのタイマが動作し、かつ、入出力電流が流れないときの電源電流です。

測定条件	MCUの状態	・ 入出力：リセット状態と同じ ・ スタンバイモード
	端子の状態	・ $\overline{\text{RESET}}$ ...V <sub>CC</sub> 電位 ・ TEST...GND電位 ・ R0, R3 <sub>0</sub> ~ R7 <sub>2</sub> ...V <sub>CC</sub> 電位 ・ D <sub>0</sub> ~ D <sub>13</sub> , R1, R2, R8, R9, RA <sub>1</sub> ...V <sub>disp</sub> 電位

4. 入出力電流が流れないときの電源電流です。

測定条件	端子の状態	・ R0, R3 <sub>0</sub> ~ R7 <sub>2</sub> ...V <sub>CC</sub> 電位 ・ D <sub>0</sub> ~ D <sub>13</sub> , R1, R2, R8, R9, RA <sub>1</sub> ...GND電位
------	-------	--

5. 動作時およびスタンバイモード時の消費電流は $f_{\text{OSC}}$ に比例します。  
 したがって、 $f_{\text{OSC}} = x\text{MHz}$ のときの各電流値は、およそ次のように計算できます。  
 $\text{max値}(f_{\text{OSC}} = x\text{MHz}) = x/4 \times \text{max値}(f_{\text{OSC}} = 4\text{MHz})$   
 6. HD404334、HD404336、HD404338、HD4043312、HD404339に適用します。  
 7. HD4074339に適用します。

表25.30 標準端子入出力特性 (HD404339シリーズ)

特記なき場合は、 $V_{\text{CC}} = 4.0 \sim 5.5\text{V}$ ,  $\text{GND} = 0\text{V}$ ,  $V_{\text{disp}} = V_{\text{CC}} - 40\text{V} \sim V_{\text{CC}}$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力Highレベル電圧	$V_{\text{IH}}$	R0, R3 <sub>0</sub> ~ R7 <sub>2</sub>		$0.7V_{\text{CC}}$	-	$V_{\text{CC}} + 0.3\text{V}$	V	
入力Lowレベル電圧	$V_{\text{IL}}$	R0, R3 <sub>0</sub> ~ R7 <sub>2</sub>		- 0.3	-	$0.3V_{\text{CC}}$	V	
出力Highレベル電圧	$V_{\text{OH}}$	R0, R3 <sub>0</sub> ~ R7 <sub>2</sub>	- $I_{\text{OH}} = 0.5\text{mA}$	$V_{\text{CC}} - 0.5$	-	-	V	
出力Lowレベル電圧	$V_{\text{OL}}$	R3 ~ R5	$I_{\text{OL}} = 1.6\text{mA}$	-	-	0.4	V	
		R0, R6 <sub>0</sub> ~ R7 <sub>2</sub>	$I_{\text{OL}} = 10\text{mA}$	-	-	2.0	V	
入出力リーク電流	$ I_{\text{IL}} $	R0, R3 <sub>0</sub> ~ R7 <sub>2</sub>	$V_{\text{in}} = 0\text{V} \sim V_{\text{CC}}$	-	-	1	$\mu\text{A}$	1
プルアップMOS電流	$-I_{\text{PU}}$	R0, R3 <sub>0</sub> ~ R7 <sub>2</sub>	$V_{\text{CC}} = 5\text{V}, V_{\text{in}} = 0\text{V}$	30	150	300	$\mu\text{A}$	2
				30	80	180	$\mu\text{A}$	3

- 【注】 1. 出力バッファに流れる電流を除きます。  
 2. HD404334、HD404336、HD404338、HD4043312、HD404339に適用します。  
 3. HD4074339に適用します。

表25.31 高耐圧端子入出力特性 (HD404339シリーズ)

特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ ,  $GND = 0V$ ,  $V_{disp} = V_{CC} - 40V \sim V_{CC}$ ,  $T_a = -20 \sim +75$ 

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力Highレベル電圧	$V_{IH}$	$D_0 \sim D_{13}$ , R1, R2, R8, R9, RA <sub>1</sub>		$0.7V_{CC}$	-	$V_{CC}+0.3$	V	
入力Lowレベル電圧	$V_{IL}$	$D_0 \sim D_{13}$ , R1, R2, R8, R9, RA <sub>1</sub>		$V_{CC} - 40$	-	$0.3V_{CC}$	V	
出力Highレベル電圧	$V_{OH}$	$D_0 \sim D_{13}$ , R1, R2, R8, R9, BUZZ	- $I_{OH} = 15mA$	$V_{CC} - 3.0$	-	-	V	
			- $I_{OH} = 10mA$	$V_{CC} - 2.0$	-	-	V	
			- $I_{OH} = 4mA$	$V_{CC} - 1.0$	-	-	V	
出力Lowレベル電圧	$V_{OL}$	$D_0 \sim D_{13}$ , R1, R2, R8, R9, BUZZ	$V_{disp} = V_{CC} - 40V$	-	-	$V_{CC} - 37$	V	1
			150k at $V_{CC} - 40V$	-	-	$V_{CC} - 37$	V	2
入出力リーク電流	$ I_{IL} $	$D_0 \sim D_{13}$ , R1, R2, R8, R9, RA <sub>1</sub> , BUZZ	$V_{in} =$ $V_{CC} - 40V \sim V_{CC}$	-	-	20	$\mu A$	3
プルダウン抵抗電流	$I_{PD}$	$D_0 \sim D_{13}$ , R1, R2, R8, R9, BUZZ	$V_{disp} = V_{CC} - 35V$ , $V_{in} = V_{CC}$	200	600	1000	$\mu A$	1

- 【注】 1. マスクオプションで「プルダウン抵抗付き」を選択した端子に適用します。  
 2. マスクオプションで「プルダウン抵抗なし」を選択した端子に適用します。  
 3. 出力バッファに流れる電流を除きます。

## 25. 電気的特性 HD404339シリーズ

### (2) AC特性

HD404339シリーズのAC特性を表25.32、表25.33に示します。

表25.32 AC特性 (HD404339シリーズ)

特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ ,  $GND = 0V$ ,  $V_{disp} = V_{CC} - 40V \sim V_{CC}$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
クロック発振周波数	$f_{OSC}$	OSC <sub>1</sub> , OSC <sub>2</sub>	4分周	0.4	4	4.5	MHz	1
		X1, X2		-	32.768	-	kHz	
インストラクションサイクルタイム	$t_{cyc}$			0.89	1	10	$\mu s$	
	$t_{subcyc}$		32kHz発振器使用, 8分周	-	244.14	-	$\mu s$	
			32kHz発振器使用, 4分周		-	122.07	-	$\mu s$
発振安定時間 (セラミック発振子)	$t_{RC}$	OSC <sub>1</sub> , OSC <sub>2</sub>		-	-	7.5	ms	2
発振安定時間 (水晶発振子)	$t_{RC}$	OSC <sub>1</sub> , OSC <sub>2</sub>		-	-	40	ms	2
		X1, X2		-	-	2	s	2
外部クロックHighレベル幅	$t_{CPH}$	OSC <sub>1</sub>		92	-	-	ns	3
外部クロックLowレベル幅	$t_{CPL}$	OSC <sub>1</sub>		92	-	-	ns	3
外部クロック立ち上がり時間	$t_{CPr}$	OSC <sub>1</sub>		-	-	20	ns	3
外部クロック立ち下がり時間	$t_{CPf}$	OSC <sub>1</sub>		-	-	20	ns	3
$\overline{INT_0}$ , $\overline{INT_1}$ , EVNB Highレベル幅	$t_{tH}$	$\overline{INT_0}$ , $\overline{INT_1}$ , EVNB		2	-	-	$t_{cyc}/t_{subcyc}$	4
$\overline{INT_0}$ , $\overline{INT_1}$ , EVNB Lowレベル幅	$t_{tL}$	$\overline{INT_0}$ , $\overline{INT_1}$ , EVNB		2	-	-		
RESET Lowレベル幅	$t_{RSTL}$	$\overline{RESET}$		2	-	-	$t_{cyc}$	5
STOPC Lowレベル幅	$t_{STPL}$	$\overline{STOPC}$		1	-	-	$t_{RC}$	6
RESET立ち上がり時間	$t_{RSTr}$	$\overline{RESET}$		-	-	20	ms	5
STOPC立ち上がり時間	$t_{STPr}$	$\overline{STOPC}$		-	-	20	ms	6
入力容量	$C_{in}$	TESTを除く全入力端子	$f = 1MHz, V_{in} = 0V$	-	-	30	pF	
		TEST	$f = 1MHz, V_{in} = 0V$	-	-	30	pF	7
				-	-	180	pF	8

【注】1. サブシステム発振器 (32.768kHz水晶発振) を使用するには、0.4MHz  $f_{OSC}$  1.0MHzおよび1.6MHz  $f_{OSC}$  4.5MHzの範囲で使用してください。その際、システムクロック選択レジスタ1 (SSR1: \$027) のSSR11ビットを設定してください。

2. 発振安定時間は、次の3通りがあります。

(1) 電源投入時に $V_{CC}$ が4.0Vに達してから発振が安定するまでの時間

(2) ストップモード解除時に、RESET入力がLowレベルになってから発振が安定するまでの時間

(3) ストップモード解除時に、STOPC入力がLowレベルになってから発振が安定するまでの時間

パワーオン時およびストップモード解除時には、発振器の発振が安定するのに必要な時間を確保するためにRESET入力またはSTOPC入力を $t_{RC}$ 以上を印加してください。

発振安定時間は実装回路の定数、浮遊容量等により異なるため、水晶発振子メーカー、またはセラミック発振子メーカーと十分ご相談の上、決定してください。

3. 図25.25参照

4. 図25.26参照

5. 図25.27参照

6. 図25.28参照

7. HD404334、HD404336、HD404338、HD4043312、HD404339に適用します。

8. HD4074339に適用します。

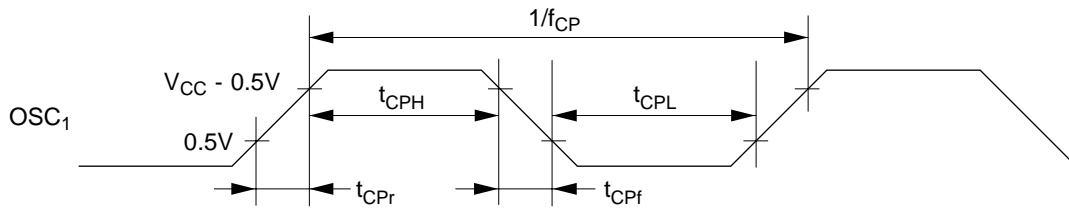


図25.25 外部クロックタイミング (HD404339シリーズ)

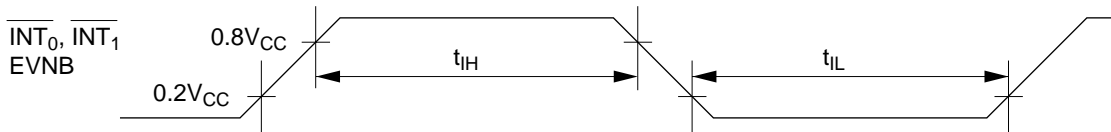


図25.26 割込みタイミング (HD404339シリーズ)

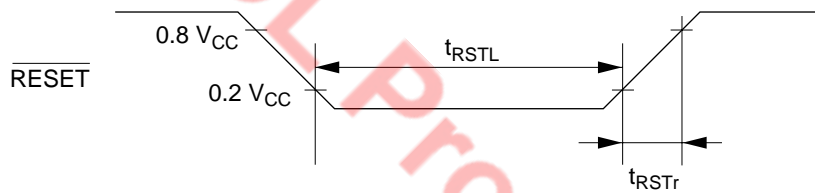


図25.27 リセットタイミング (HD404339シリーズ)

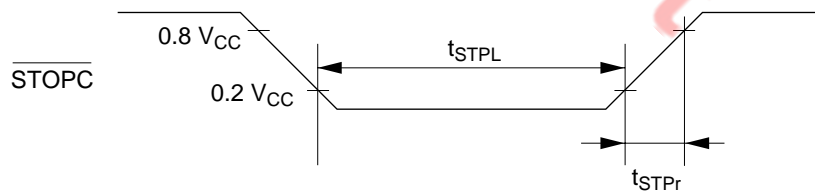


図25.28  $\overline{STOPC}$ タイミング (HD404339シリーズ)

## 25. 電気的特性 HD404339シリーズ

表25.33 シリアルインタフェースタイミング特性 (HD404339シリーズ)

特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ ,  $GND = 0V$ ,  $V_{disp} = V_{CC} - 40V \sim V_{CC}$ ,  $T_a = -20 \sim +75$

### 転送クロック出力時

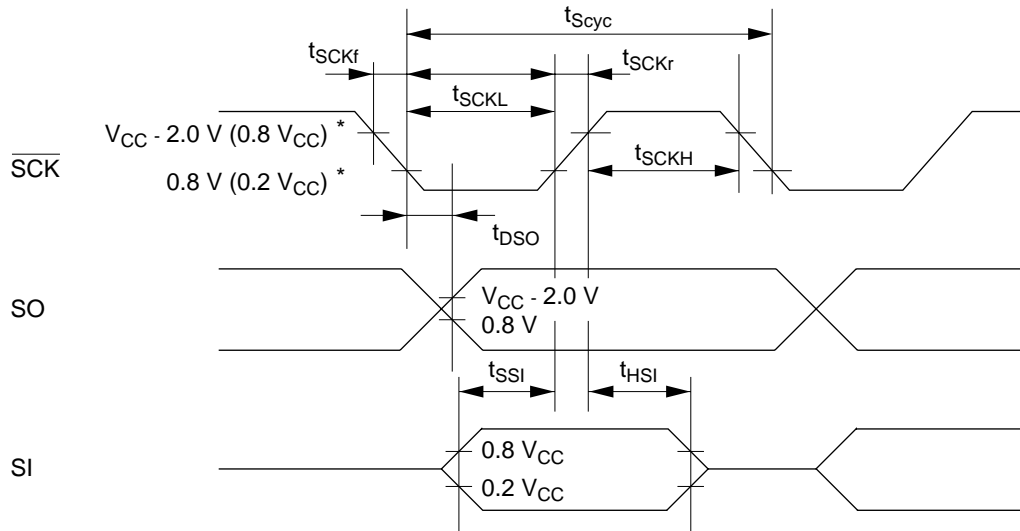
項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
転送クロックサイクルタイム	$t_{Scyc}$	$\overline{SCK}$	図25.30の負荷	1	-	-	$t_{cyc}$	1
転送クロックHighレベル幅	$t_{SCKH}$	$\overline{SCK}$	図25.30の負荷	0.4	-	-	$t_{Scyc}$	1
転送クロックLowレベル幅	$t_{SCKL}$	SCK	図25.30の負荷	0.4	-	-	$t_{Scyc}$	1
転送クロック立ち上がり時間	$t_{SCKr}$	$\overline{SCK}$	図25.30の負荷	-	-	80	ns	1
転送クロック立ち下がり時間	$t_{SCKf}$	SCK	図25.30の負荷	-	-	80	ns	1
シリアル出力データ遅延時間	$t_{DSO}$	SO	図25.30の負荷	-	-	300	ns	1
シリアル入力データセットアップ時間	$t_{SSI}$	SI		100	-	-	ns	1
シリアル入力データホールド時間	$t_{HSI}$	SI		200	-	-	ns	1

### 転送クロック入力時

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
転送クロックサイクルタイム	$t_{Scyc}$	SCK		1	-	-	$t_{cyc}$	1
転送クロックHighレベル幅	$t_{SCKH}$	SCK		0.4	-	-	$t_{Scyc}$	1
転送クロックLowレベル幅	$t_{SCKL}$	$\overline{SCK}$		0.4	-	-	$t_{Scyc}$	1
転送クロック立ち上がり時間	$t_{SCKr}$	$\overline{SCK}$		-	-	80	ns	1
転送クロック立ち下がり時間	$t_{SCKf}$	SCK		-	-	80	ns	1
シリアル出力データ遅延時間	$t_{DSO}$	SO	図25.30の負荷	-	-	300	ns	1
シリアル入力データセットアップ時間	$t_{SSI}$	SI		100	-	-	ns	1
シリアル入力データホールド時間	$t_{HSI}$	SI		200	-	-	ns	1

【注】 1. 図25.29参照





【注】\*  $V_{CC} - 2.0\text{ V}$ 、 $0.8\text{ V}$ は転送クロック出力時の電圧。  
 $0.8V_{CC}$ 、 $0.2 V_{CC}$ は転送クロック入力時の電圧。

図25.29 シリアルインタフェースタイミング (HD404339シリーズ)

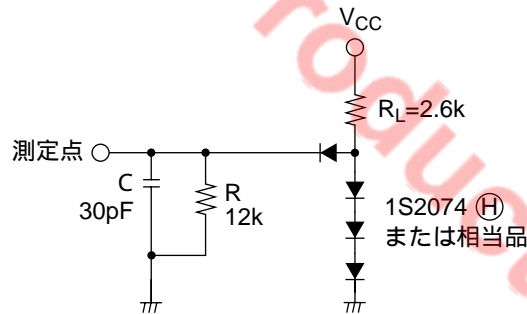


図25.30 タイミング負荷回路

## 25. 電気的特性 HD404339シリーズ

### (3) A/Dコンバータ特性

HD404339シリーズのA/Dコンバータ特性を表25.34に示します。

表25.34 A/Dコンバータ特性 (HD404339シリーズ)

特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ ,  $GND = 0V$ ,  $V_{disp} = V_{CC} - 40V \sim V_{CC}$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
アナログ電源電圧	$AV_{CC}$	$AV_{CC}$		$V_{CC} - 0.3$	$V_{CC}$	$V_{CC} + 0.3$	V	1
アナログ入力電圧	$AV_{in}$	$AN_0 \sim AN_{11}$		$AV_{SS}$	-	$AV_{CC}$	V	
$AV_{CC} \sim AV_{SS}$ 間電流	$I_{AD}$		$V_{CC} = AV_{CC} = 5.0V$	-	-	200	$\mu A$	
アナログ入力容量	$CA_{in}$	$AN_0 \sim AN_{11}$		-	-	30	pF	
分解能				8	8	8	ビット	
入力数				0	-	12	チャンネル	
絶対精度				-	-	$\pm 2.0$	LSB	
変換時間				34	-	67	$t_{cyc}$	
入力インピーダンス		$AN_0 \sim AN_{11}$		1	-	-	M	

【注】 1. A/Dコンバータを使用しない場合、 $V_{CC}$ 端子に接続してください。

## 25.6 HD404369シリーズ

## 25.6.1 絶対最大定格

HD404369シリーズの絶対最大定格を表25.35に示します。

表25.35 絶対最大定格 (HD404369シリーズ)

項目	記号	規格値	単位	注記
電源電圧	$V_{CC}$	- 0.3 ~ +7.0	V	
プログラム電圧	$V_{PP}$	- 0.3 ~ +14.0	V	1
端子電圧	$V_T$	- 0.3 ~ $V_{CC}+0.3$	V	2
		- 0.3 ~ +15.0	V	3
許容総入力電流 (LSIへの流入)	$I_o$	105	mA	4
許容総出力電流 (LSIからの流出)	- $I_o$	50	mA	5
許容入力電流 (LSIへの流入)	$I_o$	4	mA	6, 7
		30	mA	6, 8
許容出力電流 (LSIからの流出)	- $I_o$	4	mA	7, 9
動作温度	$T_{opr}$	- 20 ~ +75		
保存温度	$T_{stg}$	- 55 ~ +125		

- 【注】
1. HD407A4369のTEST ( $V_{PP}$ ) 端子に適用します。
  2. 標準端子全てに適用します。
  3. 中耐圧端子に適用します。
  4. 許容総入力電流とは、同時に全入出力端子からGNDへ流し込める電流の総和です。
  5. 許容総出力電流とは、 $V_{CC}$ から全入出力端子へ流し出せる電流の総和です。
  6. 許容入力電流とは、各入出力端子からGNDへ流し込める電流の最大値です。
  7.  $D_0 \sim D_{13}$ 、 $R_0$ 、 $R_3 \sim R_9$ に適用します。
  8.  $R_1$ 、 $R_2$ に適用します。
  9. 許容出力電流とは、 $V_{CC}$ から各入出力端子へ流し出せる電流の最大値です。

絶対最大定格をこえてLSIを使用した場合、LSIの永久破壊となることがあります。また、通常動作では「電気的特性」の条件で使用することが望ましく、この条件をこえるとLSIの誤動作の原因になると共に、LSIの信頼性に悪影響をおよぼすことがあります。

電圧はすべてGNDを基準とした値です。

## 25. 電気的特性 HD404369シリーズ

### 25.6.2 電気的特性

#### (1) DC特性

HD404369シリーズのDC特性を表25.36～表25.38に示します。

表25.36 DC特性 (HD404369シリーズ)

特記なき場合は、HD404364, HD404368, HD4043612, HD404369,

HD40A4364, HD40A4368, HD40A43612, HD40A4369 :  $V_{CC} = 2.7 \sim 6.0V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

HD407A4369 :  $V_{CC} = 2.7 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力Highレベル電圧	$V_{IH}$	$\overline{RESET}$ , $\overline{STOPC}$ , $\overline{INT_0}$ , $\overline{INT_1}$ , $\overline{SCK}$ , EVNB		$0.8V_{CC}$	-	$V_{CC}+0.3$	V	
		SI		$0.7V_{CC}$		$V_{CC}+0.3$	V	
		OSC <sub>1</sub>		$V_{CC} - 0.5$	-	$V_{CC}+0.3$	V	
入力Lowレベル電圧	$V_{IL}$	$\overline{RESET}$ , $\overline{STOPC}$ , $\overline{INT_0}$ , $\overline{INT_1}$ , $\overline{SCK}$ , EVNB		- 0.3	-	$0.2V_{CC}$	V	
		SI		- 0.3	-	$0.3V_{CC}$	V	
		OSC <sub>1</sub>		- 0.3	-	0.5	V	
出力Highレベル電圧	$V_{OH}$	$\overline{SCK}$ , SO, TOC	- $I_{OH} = 0.5mA$	$V_{CC} - 0.5$	-	-	V	
出力Lowレベル電圧	$V_{OL}$	$\overline{SCK}$ , SO, TOC	$I_{OL} = 0.4mA$	-	-	0.4	V	
入出力リーク電流	$ I_{IL} $	$\overline{RESET}$ , $\overline{STOPC}$ , $\overline{INT_0}$ , $\overline{INT_1}$ , $\overline{SCK}$ , SI, SO, EVNB, TOC, OSC <sub>1</sub>	$V_{in} = 0V \sim V_{CC}$	-	-	1	$\mu A$	1
アクティブモード消費電流	$I_{CC}$	$V_{CC}$	$V_{CC} = 5V$ , $f_{OSC} = 4MHz$	-	-	5.0	mA	2, 5
スタンバイモード消費電流	$I_{SBY}$	$V_{CC}$	$V_{CC} = 5V$ , $f_{OSC} = 4MHz$	-	-	2.0	mA	3, 5
サブアクティブモード消費電流	$I_{SUB}$	$V_{CC}$	$V_{CC} = 5V$ , 32kHz発振器使用	-	-	100	$\mu A$	4
ウォッチモード消費電流	$I_{WTC}$	$V_{CC}$	$V_{CC} = 5V$ , 32kHz発振器使用	-	-	20	$\mu A$	4
ストップモード消費電流	$I_{STOP}$	$V_{CC}$	$V_{CC} = 5V$ , X1 = GND, X2 = OPEN	-	-	10	$\mu A$	4
ストップモード維持電圧	$V_{STOP}$	$V_{CC}$		2	-	-	V	

- 【注】 1. プルアップMOSおよび出力バッファに流れる電流を除きます。  
 2. MCUがリセット状態にあり、入出力電流が流れないときの電源電流です。

測定条件	MCUの状態	・リセット状態
	端子の状態	・RESET, TEST.....GND電位

3. MCUタイマが動作し、かつ、入出力電流が流れないときの電源電流です。

測定条件	MCUの状態	・入出力：リセット状態と同じ ・スタンバイモード
	端子の状態	・RESET...V <sub>CC</sub> 電位 ・TEST.....GND電位 ・D <sub>0</sub> ~D <sub>13</sub> , R0~R9, RA <sub>1</sub> .....V <sub>CC</sub> 電位

4. 入出力電流が流れないときの電源電流です。

測定条件	端子の状態	・RESET...V <sub>CC</sub> 電位 ・TEST.....GND電位 ・D <sub>0</sub> ~D <sub>13</sub> , R0~R9, RA <sub>1</sub> .....V <sub>CC</sub> 電位
------	-------	---

5. 動作時およびスタンバイモード時の消費電流はf<sub>OSC</sub>に比例します。  
 したがって、f<sub>OSC</sub> = xMHzのときの各電流値は、およそ次のように計算できます。  
 max値 ( f<sub>OSC</sub> = xMHz ) = x/4 × max値 ( f<sub>OSC</sub> = 4MHz )

表25.37 標準端子入出力特性 (HD404369シリーズ)

特記なき場合は、HD404364, HD404368, HD4043612, HD404369,  
 HD40A4364, HD40A4368, HD40A43612, HD40A4369 : V<sub>CC</sub> = 2.7 ~ 6.0V, GND = 0V, T<sub>a</sub> = - 20 ~ +75  
 HD407A4369 : V<sub>CC</sub> = 2.7 ~ 5.5V, GND = 0V, T<sub>a</sub> = - 20 ~ +75

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力Highレベル電圧	V <sub>IH</sub>	D <sub>0</sub> ~D <sub>13</sub> , R0, R3~R9, RA <sub>1</sub>		0.7V <sub>CC</sub>	-	V <sub>CC</sub> +0.3	V	
入力Lowレベル電圧	V <sub>IL</sub>	D <sub>0</sub> ~D <sub>13</sub> , R0, R3~R9, RA <sub>1</sub>		- 0.3	-	0.3V <sub>CC</sub>	V	
出力Highレベル電圧	V <sub>OH</sub>	D <sub>0</sub> ~D <sub>13</sub> , R0, R3~R9	- I <sub>OH</sub> = 0.5mA	V <sub>CC</sub> - 0.5	-	-	V	
出力Lowレベル電圧	V <sub>OL</sub>	D <sub>0</sub> ~D <sub>13</sub> , R0, R3~R9	I <sub>OL</sub> = 1.6mA	-	-	0.4	V	
入出力リーク電流	I <sub>IL</sub>	D <sub>0</sub> ~D <sub>13</sub> , R0, R3~R9, RA <sub>1</sub>	V <sub>in</sub> = 0V ~ V <sub>CC</sub>	-	-	1	μA	1
プルアップMOS電流	- I <sub>PU</sub>	D <sub>0</sub> ~D <sub>13</sub> , R0, R3~R9	V <sub>CC</sub> = 5V, V <sub>in</sub> = 0V	30	150	300	μA	

- 【注】 1. 出力バッファに流れる電流を除きます。

## 25. 電気的特性 HD404369シリーズ

表25.38 中耐圧NMOSオープンドレイン端子入出力特性 (HD404369シリーズ)

特記なき場合は、HD404364, HD404368, HD4043612, HD404369,

HD40A4364, HD40A4368, HD40A43612, HD40A4369 :  $V_{CC} = 2.7 \sim 6.0V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

HD407A4369 :  $V_{CC} = 2.7 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力Highレベル電圧	$V_{IH}$	R1, R2		$0.7V_{CC}$	-	12.0	V	
入力Lowレベル電圧	$V_{IL}$	R1, R2		- 0.3	-	$0.3V_{CC}$	V	
出力Highレベル電圧	$V_{OH}$	R1, R2	500k at 12V	11.5	-	-	V	
出力Lowレベル電圧	$V_{OL}$	R1, R2	$I_{OL} = 0.4mA$	-	-	0.4	V	
			$I_{OL} = 15mA$ , $V_{CC} = 4.5 \sim 5.5V$	-	-	2.0	V	
入出力リーク電流	$ I_{IL} $	R1, R2	$V_{in} = 0V \sim V_{CC}$	-	-	20	$\mu A$	1

【注】1. 出力バッファに流れる電流を除きます。

EOL Product

(2) AC特性

HD404369シリーズのAC特性を表25.39(1)、表25.39(2)、表25.40に示します。

表25.39(1) AC特性 (HD404364, HD404368, HD4043612, HD404369)

特記なき場合は、 $V_{CC} = 2.7 \sim 6.0V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記	
				min	typ	max			
クロック発振周波数	$f_{OSC}$	OSC <sub>1</sub> , OSC <sub>2</sub>	4分周	0.4	4	5.0	MHz	1	
		X1, X2		-	32.768	-	kHz		
インストラクションサイクルタイム	$t_{cyc}$			0.8	1	10	$\mu s$	1	
		$t_{subcyc}$		32kHz発振器使用, 8分周	-	244.14	-	$\mu s$	
				32kHz発振器使用, 4分周	-	122.07	-	$\mu s$	
発振安定時間 (セラミック発振子)	$t_{RC}$	OSC <sub>1</sub> , OSC <sub>2</sub>		-	-	7.5	ms	2	
発振安定時間 (水晶発振子)	$t_{RC}$	OSC <sub>1</sub> , OSC <sub>2</sub>		-	-	40	ms	2	
		X1, X2		-	-	2	s	2	
外部クロックHighレベル幅	$t_{CPH}$	OSC <sub>1</sub>		80	-	-	ns	3	
外部クロックLowレベル幅	$t_{CPL}$	OSC <sub>1</sub>		80	-	-	ns	3	
外部クロック立ち上がり時間	$t_{CPr}$	OSC <sub>1</sub>		-	-	20	ns	3	
外部クロック立ち下がり時間	$t_{CPf}$	OSC <sub>1</sub>		-	-	20	ns	3	
INT <sub>0</sub> , INT <sub>1</sub> , EVNB Highレベル幅	$t_{IH}$	INT <sub>0</sub> , INT <sub>1</sub> , EVNB		2	-	-	$\frac{t_{cyc}}{t_{subcyc}}$	4	
INT <sub>0</sub> , INT <sub>1</sub> , EVNB Lowレベル幅	$t_{IL}$	INT <sub>0</sub> , INT <sub>1</sub> , EVNB		2	-	-	$\frac{t_{cyc}}{t_{subcyc}}$	4	
RESET Lowレベル幅	$t_{RSTL}$	RESET		2	-	-	$t_{cyc}$	5	
STOPC Lowレベル幅	$t_{STPL}$	STOPC		1	-	-	$t_{RC}$	6	
RESET立ち上がり時間	$t_{RSTr}$	RESET		-	-	20	ms	5	
STOPC立ち上がり時間	$t_{STPr}$	STOPC		-	-	20	ms	6	
入力容量	$C_{in}$	R1, R2を除く 全入力端子	$f = 1MHz, V_{in} = 0V$	-	-	15	pF		
		R1, R2	$f = 1MHz, V_{in} = 0V$	-	-	30	pF		

【注】 1. サブシステム発振器 (32.768kHz水晶発振) を使用する場合には、0.4MHz  $f_{OSC}$  1.0MHzおよび1.6MHz  $f_{OSC}$  5.0MHzの範囲で使用してください。その際、それぞれの範囲に合わせてシステムクロック選択レジスタ1 (SSR1: \$ 027) のSSR11ビットを設定してください。

2. 発振安定時間は、次の3通りがあります。

(1) 電源投入時に $V_{CC}$ が2.7Vに達してから発振が安定するまでの時間

(2) ストップモード解除時に、RESET入力がLowレベルになってから発振が安定するまでの時間

(3) ストップモード解除時に、STOPC入力がLowレベルになってから発振が安定するまでの時間

パワーオン時およびストップモード解除時には、発振器の発振が安定するのに必要な時間を確保するためにRESET入力またはSTOPC入力を $t_{RC}$ 以上を印加してください。

発振安定時間は実装回路の定数、浮遊容量等により異なるため、水晶発振子メーカ、またはセラミック発振子メーカと十分ご相談の上、決定してください。

3. 図25.31参照

4. 図25.32参照

5. 図25.33参照

6. 図25.34参照

## 25. 電気的特性 HD404369シリーズ

表25.39(2) AC特性 (HD40A4364, HD40A4368, HD40A43612, HD40A4369, HD407A4369)

特記なき場合は、HD40A4364, HD40A4368, HD40A43612, HD40A4369 :  $V_{CC} = 2.7 \sim 6.0V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$   
 HD407A4369 :  $V_{CC} = 2.7 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
クロック発振周波数	$f_{OSC}$	OSC <sub>1</sub> , OSC <sub>2</sub>	4分周	0.4	4	5.0	MHz	1
			4分周, $V_{CC} = 4.5 \sim 5.5V$	0.4	4	8.5	MHz	2
	X1, X2	-	32.768	-	kHz			
インストラクションサイクルタイム	$t_{cyc}$			0.8	1	10	$\mu s$	1
		$V_{CC} = 4.5 \sim 5.5V$		0.47	1	10	$\mu s$	2
	$t_{subcyc}$		32kHz発振器使用, 8分周	-	244.14	-	$\mu s$	
			32kHz発振器使用, 4分周	-	122.07	-	$\mu s$	
発振安定時間 (セラミック発振子)	$t_{RC}$	OSC <sub>1</sub> , OSC <sub>2</sub>		-	-	7.5	ms	3
発振安定時間 (水晶発振子)	$t_{RC}$	OSC <sub>1</sub> , OSC <sub>2</sub>		-	-	40	ms	3
		X1, X2		-	-	2	s	3
外部クロックHighレベル幅	$t_{CPH}$	OSC <sub>1</sub>		80	-	-	ns	4
			$V_{CC} = 4.5 \sim 5.5V$	47	-	-	ns	4
外部クロックLowレベル幅	$t_{CPL}$	OSC <sub>1</sub>		80	-	-	ns	4
			$V_{CC} = 4.5 \sim 5.5V$	47	-	-	ns	4
外部クロック立ち上がり時間	$t_{CPr}$	OSC <sub>1</sub>		-	-	20	ns	4
			$V_{CC} = 4.5 \sim 5.5V$	-	-	15	ns	4
外部クロック立ち下がり時間	$t_{CPf}$	OSC <sub>1</sub>		-	-	20	ns	4
			$V_{CC} = 4.5 \sim 5.5V$	-	-	15	ns	4
$\overline{INT_0}$ , $\overline{INT_1}$ , EVNB Highレベル幅	$t_{IH}$	$\overline{INT_0}$ , $\overline{INT_1}$ , EVNB		2	-	-	$\frac{t_{cyc}}{t_{subcyc}}$	5
$\overline{INT_0}$ , $\overline{INT_1}$ , EVNB Lowレベル幅	$t_{IL}$	$\overline{INT_0}$ , $\overline{INT_1}$ , EVNB		2	-	-	$\frac{t_{cyc}}{t_{subcyc}}$	5
RESET Lowレベル幅	$t_{RSTL}$	RESET		2	-	-	$t_{cyc}$	6
STOPC Lowレベル幅	$t_{STPL}$	STOPC		1	-	-	$t_{RC}$	7
RESET立ち上がり時間	$t_{RSTr}$	RESET		-	-	20	ms	6
STOPC立ち上がり時間	$t_{STPr}$	STOPC		-	-	20	ms	7
入力容量	$C_{in}$	TEST, R1, R2 を除く全入力端子	$f = 1MHz$ , $V_{in} = 0V$	-	-	15	pF	
		TEST	$f = 1MHz$ , $V_{in} = 0V$	-	-	15	pF	8
				-	-	180	pF	9
		R1, R2	$f = 1MHz$ , $V_{in} = 0V$	-	-	30	pF	



- 【注】
1. サブシステム発振器（32.768kHz水晶発振）を使用する場合には、0.4MHz  $f_{OSC}$  1.0MHzおよび1.6MHz  $f_{OSC}$  5.0MHzの範囲で使用してください。その際、それぞれの範囲に合わせてシステムクロック選択レジスタ1（SSR1：\$ 027）のSSR11ビットを設定してください。
  2. サブシステム発振器（32.768kHz水晶発振）を使用する場合には、0.4MHz  $f_{OSC}$  1.0MHzおよび1.6MHz  $f_{OSC}$  8.5MHzの範囲で使用してください。その際、それぞれの範囲に合わせてシステムクロック選択レジスタ1（SSR1：\$ 027）のSSR11ビットを設定してください。
  3. 発振安定時間は、次の3通りがあります。
    - （1）電源投入時に $V_{CC}$ が2.7Vに達してから発振が安定するまでの時間
    - （2）ストップモード解除時に、 $\overline{RESET}$ 入力がLowレベルになってから発振が安定するまでの時間
    - （3）ストップモード解除時に、 $\overline{STOPC}$ 入力がLowレベルになってから発振が安定するまでの時間パワーオン時およびストップモード解除時には、発振器の発振が安定するのに必要な時間を確保するために $\overline{RESET}$ 入力または $\overline{STOPC}$ 入力を $t_{RC}$ 以上を印加してください。  
発振安定時間は実装回路の定数、浮遊容量等により異なるため、水晶発振子メーカ、またはセラミック発振子メーカと十分ご相談の上、決定してください。
  4. 図25.31参照
  5. 図25.32参照
  6. 図25.33参照
  7. 図25.34参照
  8. HD40A4364、HD40A4368、HD40A43612、HD40A4369に適用します。
  9. HD407A4369に適用します。

EOL Product

## 25. 電気的特性 HD404369シリーズ

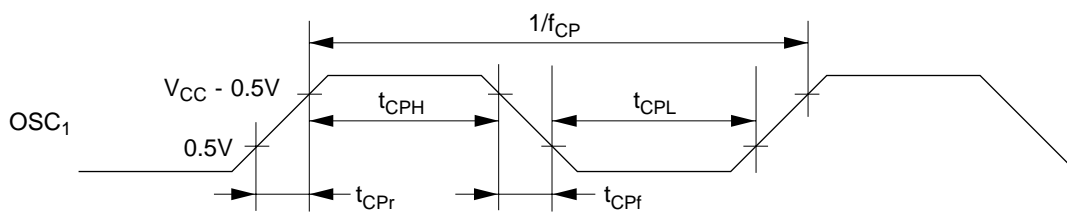


図25.31 外部クロックタイミング (HD404369シリーズ)

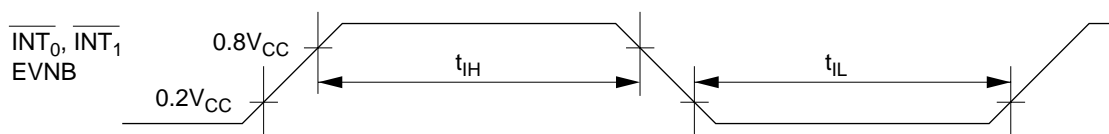


図25.32 割込みタイミング (HD404369シリーズ)

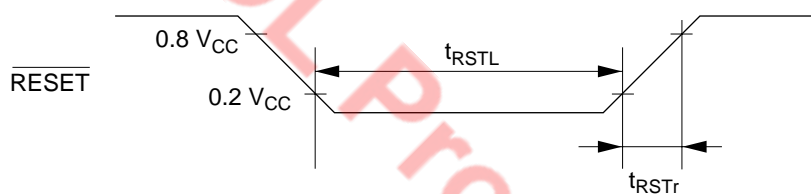


図25.33 リセットタイミング (HD404369シリーズ)

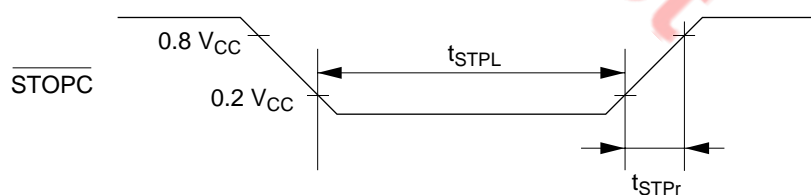


図25.34  $\overline{STOPC}$ タイミング (HD404369シリーズ)

## 25. 電気的特性 HD404369シリーズ

表25.40 シリアルインタフェースタイミング特性 (HD404369シリーズ)

特記なき場合は、HD404364, HD404368, HD4043612, HD404369,

HD40A4364, HD40A4368, HD40A43612, HD40A4369 :  $V_{CC} = 2.7 \sim 6.0V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

HD407A4369

:  $V_{CC} = 2.7 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

転送クロック出力時

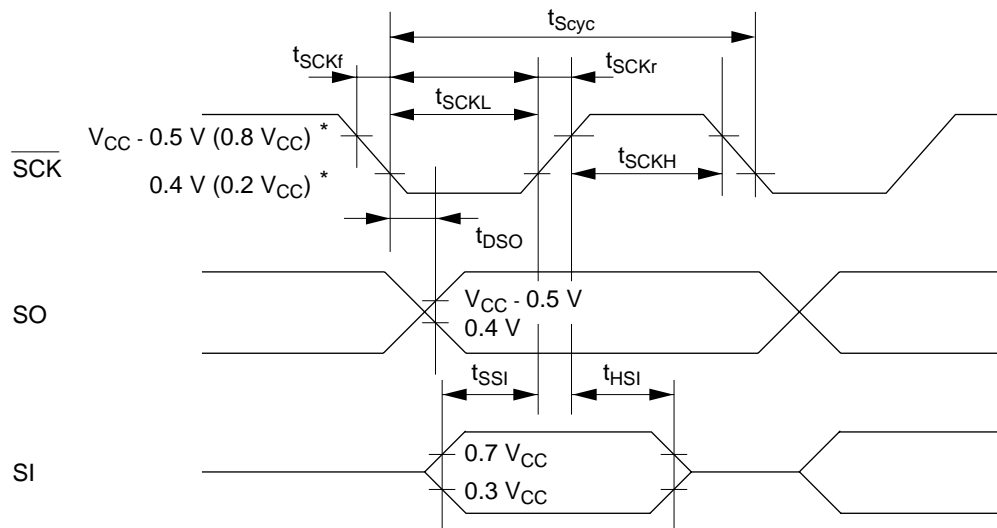
項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
転送クロックサイクルタイム	$t_{S_{cyc}}$	SCK	図25.36の負荷	1	-	-	$t_{cyc}$	1
転送クロックHighレベル幅	$t_{S_{CKH}}$	SCK	図25.36の負荷	0.4	-	-	$t_{S_{cyc}}$	1
転送クロックLowレベル幅	$t_{S_{CKL}}$	SCK	図25.36の負荷	0.4	-	-	$t_{S_{cyc}}$	1
転送クロック立ち上がり時間	$t_{S_{CKr}}$	SCK	図25.36の負荷	-	-	80	ns	1
転送クロック立ち下がり時間	$t_{S_{CKf}}$	SCK	図25.36の負荷	-	-	80	ns	1
シリアル出力データ遅延時間	$t_{DSO}$	SO	図25.36の負荷	-	-	300	ns	1
シリアル入力データセットアップ時間	$t_{SSI}$	SI		100	-	-	ns	1
シリアル入力データホールド時間	$t_{HSI}$	SI		200	-	-	ns	1

転送クロック入力時

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
転送クロックサイクルタイム	$t_{S_{cyc}}$	SCK		1	-	-	$t_{cyc}$	1
転送クロックHighレベル幅	$t_{S_{CKH}}$	SCK		0.4	-	-	$t_{S_{cyc}}$	1
転送クロックLowレベル幅	$t_{S_{CKL}}$	SCK		0.4	-	-	$t_{S_{cyc}}$	1
転送クロック立ち上がり時間	$t_{S_{CKr}}$	$\overline{SCK}$		-	-	80	ns	1
転送クロック立ち下がり時間	$t_{S_{CKf}}$	$\overline{SCK}$		-	-	80	ns	1
シリアル出力データ遅延時間	$t_{DSO}$	SO	図25.36の負荷	-	-	300	ns	1
シリアル入力データセットアップ時間	$t_{SSI}$	SI		100	-	-	ns	1
シリアル入力データホールド時間	$t_{HSI}$	SI		200	-	-	ns	1

【注】 1. 図25.35参照

## 25. 電気的特性 HD404369シリーズ



【注】\*  $V_{CC} - 0.5V$ 、 $0.4V$ は転送クロック出力時の電圧。  
 $0.8V_{CC}$ 、 $0.2V_{CC}$ は転送クロック入力時の電圧。

図25.35 シリアルインタフェースタイミング (HD404369シリーズ)

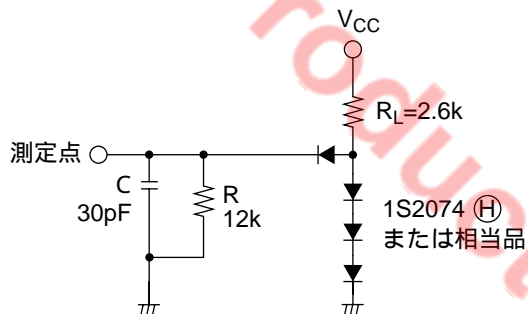


図25.36 タイミング負荷回路

## (3) A/Dコンバータ特性

HD404369シリーズのA/Dコンバータ特性を表25.41に示します。

表25.41 A/Dコンバータ特性 (HD404369シリーズ)

特記なき場合は、HD404364, HD404368, HD4043612, HD404369,

HD40A4364, HD40A4368, HD40A43612, HD40A4369 :  $V_{CC} = 2.7 \sim 6.0V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

HD407A4369

:  $V_{CC} = 2.7 \sim 5.5V$ ,  $GND = 0V$ ,  $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
アナログ電源電圧	$AV_{CC}$	$AV_{CC}$		$V_{CC} - 0.3$	$V_{CC}$	$V_{CC} + 0.3$	V	1
アナログ入力電圧	$AV_{in}$	$AN_0 \sim AN_{11}$		$AV_{SS}$	-	$AV_{CC}$	V	
$AV_{CC} \sim AV_{SS}$ 間電流	$I_{AD}$		$V_{CC} = AV_{CC} = 5.0V$	-	-	200	$\mu A$	
アナログ入力容量	$CA_{in}$	$AN_0 \sim AN_{11}$		-	-	30	pF	
分解能				8	8	8	ビット	
入力数				0	-	12	チャンネル	
絶対精度				-	-	$\pm 2.0$	LSB	
変換時間				34	-	67	$t_{cyc}$	
入力インピーダンス		$AN_0 \sim AN_{11}$		1	-	-	M	

【注】 1. A/Dコンバータを使用しない場合、 $V_{CC}$ 端子に接続してください。

EOL Product

---

# 付録

---

EOL Product

## 付録 目次

---

A	命 令 .....	591
	A.1 命令一覧 .....	591
	A.2 オペレーションコードマップ .....	597
B	レジスタ、フラグ一覧 .....	599
	B.1 I/Oレジスタ一覧 (1) .....	599
	B.2 I/Oレジスタ一覧 (2) .....	601
C	オプションリスト .....	619
	C.1 HD404344Rシリーズオプションリスト .....	619
	C.2 HD404394シリーズオプションリスト .....	620
	C.3 HD404318シリーズオプションリスト .....	621
	C.4 HD404358シリーズオプションリスト .....	622
	C.5 HD404358Rシリーズオプションリスト .....	623
	C.6 HD404339シリーズオプションリスト .....	624
	C.7 HD404369シリーズオプションリスト .....	625
D	外形寸法図 .....	626

EOL Product



## A 命令

### A.1 命令一覧

HMCS400 CPUは101の命令を持ち、これらの命令は次の10種類に分類されます。

- (1) イミディエイト命令
- (2) レジスタ・レジスタ命令
- (3) RAMアドレス命令
- (4) RAM・レジスタ命令
- (5) 演算命令
- (6) 比較命令
- (7) RAMビット操作命令
- (8) ROMアドレス命令
- (9) 入出力命令
- (10) コントロール命令

各命令の機能について表A.1 (1)～(10)に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

#### 《オペレーションの記号》

$A \rightarrow B$	AからBへ転送
$A \leftrightarrow B$	AとBの交換
$\bar{X}$	論理否定 (NOT) 記号
1	Highレベル
0	Lowレベル
LSB	最下位ビット
MSB	最上位ビット
NZ	0 値以外 (Not Zero)
NB	演算によるノーボロー (No Borrow)
OVF	加算によるオーバフロー (Overflow)
$\cap$	論理積 (AND) 記号
$\cup$	論理和 (OR) 記号
$\oplus$	排他的論理和 (Exclusive OR)
$\neq$	不等号 (Not equal)
$\leq$	比較記号 (Less or Equal)
i, m, p	16進数 1 桁 (\$0 ~ \$F) を表します。
d	16進数 3 桁 (\$000 ~ \$3FF) を表します。
n	2 進数 2 ビットを表します。
a	2 進数 6 ビットを表します。
b	2 進数 8 ビットを表します。
u	Pとdを意味します。
y, x	0 または 1 を表します。

表A.1 (1) イミディエイト命令

Operation	Mnemonic	Operation Code	Function	Status	Words Cycles
Load A from immediate	LAI i	1 0 0 0 1 1 $i_3$ $i_2$ $i_1$ $i_0$	$i \rightarrow A$		1/1
Load B from immediate	LBI i	1 0 0 0 0 0 $i_3$ $i_2$ $i_1$ $i_0$	$i \rightarrow B$		1/1
Load memory from immediate	LMID i, d	0 1 1 0 1 0 $i_3$ $i_2$ $i_1$ $i_0$ $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	$i \rightarrow M$		2/2
Load memory from immediate, increment Y	LMIIY i	1 0 1 0 0 1 $i_3$ $i_2$ $i_1$ $i_0$	$i \rightarrow M, Y + 1 \rightarrow Y$	NZ	1/1

表A.1 (2) レジスタ・レジスタ命令

Operation	Mnemonic	Operation Code	Function	Status	Words Cycles
Load A from B	LAB	0 0 0 1 0 0 1 0 0 0	$B \rightarrow A$		1/1
Load B from A	LBA	0 0 1 1 0 0 1 0 0 0	$A \rightarrow B$		1/1
Load A from W	LAW	0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	$W \rightarrow A$		2/2*
Load A from Y	LAY	0 0 1 0 1 0 1 1 1 1	$Y \rightarrow A$		1/1
Load A from SPX	LASPX	0 0 0 1 1 0 1 0 0 0	$SPX \rightarrow A$		1/1
Load A from SPY	LASPY	0 0 0 1 0 1 1 0 0 0	$SPY \rightarrow A$		1/1
Load A from MR	LAMR m	1 0 0 1 1 1 $m_3$ $m_2$ $m_1$ $m_0$	$MR(m) \rightarrow A$		1/1
Exchange MR and A	XMRA m	1 0 1 1 1 1 $m_3$ $m_2$ $m_1$ $m_0$	$MR(m) \leftrightarrow A$		1/1

表A.1 (3) RAMアドレス命令

Operation	Mnemonic	Operation Code	Function	Status	Words Cycles
Load W from immediate	LWI i	0 0 1 1 1 1 0 0 $i_1$ $i_0$	$i \rightarrow W$		1/1
Load X from immediate	LXI i	1 0 0 0 1 0 $i_3$ $i_2$ $i_1$ $i_0$	$i \rightarrow X$		1/1
Load Y from immediate	LYI i	1 0 0 0 0 1 $i_3$ $i_2$ $i_1$ $i_0$	$i \rightarrow Y$		1/1
Load W from A	LWA	0 1 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0	$A \rightarrow W$		2/2*
Load X from A	LXA	0 0 1 1 1 0 1 0 0 0	$A \rightarrow X$		1/1
Load Y from A	LYA	0 0 1 1 0 1 1 0 0 0	$A \rightarrow Y$		1/1
Increment Y	IY	0 0 0 1 0 1 1 1 0 0	$Y + 1 \rightarrow Y$	NZ	1/1
Decrement Y	DY	0 0 1 1 0 1 1 1 1 1	$Y - 1 \rightarrow Y$	NB	1/1
Add A to Y	AYY	0 0 0 1 0 1 0 1 0 0	$Y + A \rightarrow Y$	OVF	1/1
Subtract A from Y	SYY	0 0 1 1 0 1 0 1 0 0	$Y - A \rightarrow Y$	NB	1/1
Exchange X and SPX	XSPX	0 0 0 0 0 0 0 0 0 1	$X \leftrightarrow SPX$		1/1
Exchange Y and SPY	XSPY	0 0 0 0 0 0 0 0 1 0	$Y \leftrightarrow SPY$		1/1
Exchange X and SPX, Y and SPY	XSPXY	0 0 0 0 0 0 0 0 1 1	$X \leftrightarrow SPX,$ $Y \leftrightarrow SPY$		1/1

【注】\* LAW、LWA命令は2ワード目にオペランド(\$000)が必要ですが、アセンブラで自動発生するために記述する必要はありません。

表A.1 (4) RAM・レジスタ命令

Operation	Mnemonic	Operation Code	Function	Status	Words Cycles
Load A from memory	LAM(XY)	0 0 1 0 0 1 0 0 y x	M → A (X ⊕ SPX, Y ⊕ SPY)		1/1
Load A from memory	LAMD d	0 1 1 0 0 1 0 0 0 0 d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>	M → A		2/2
Load B from memory	LBM(XY)	0 0 0 1 0 0 0 0 y x	M → B (X ⊕ SPX, Y ⊕ SPY)		1/1
Load memory from A	LMA(XY)	0 0 1 0 0 1 0 1 y x	A → M (X ⊕ SPX, Y ⊕ SPY)		1/1
Load memory from A	LMAD d	0 1 1 0 0 1 0 1 0 0 d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>	A → M		2/2
Load memory from A, increment Y	LMAIY(X)	0 0 0 1 0 1 0 0 0 x	A → M Y + 1 → Y (X ⊕ SPX)	NZ	1/1
Load memory from A, decrement Y	LMADY(X)	0 0 1 1 0 1 0 0 0 x	A → M Y - 1 → Y (X ⊕ SPX)	NB	1/1
Exchange memory and A	XMA(XY)	0 0 1 0 0 0 0 0 y x	M → A (X ⊕ SPX, Y ⊕ SPY)		1/1
Exchange memory and A	XMAD d	0 1 1 0 0 0 0 0 0 0 d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>	M ⊕ A		2/2
Exchange memory and B	XMB(XY)	0 0 1 1 0 0 0 0 y x	M ⊕ B (X ⊕ SPX, Y ⊕ SPY)		1/1

【注】\* ニーモニック中の (XY) または (X) は、次のように指定します。

- (1) (XY) の付いた命令には 4 つのニーモニックがあります (下表の例は LAM (XY) の場合)。このとき、オペコードの y、x は下表のようにアセンブルされます。

Mnemonic	y	x	Function
LAM	0	0	
LAMX	0	1	X SPX
LAMY	1	0	Y SPY
LAMXY	1	1	X SPX, Y SPY

- (2) (X) の付いた命令には 2 つのニーモニックがあります (下表の例は LMAIY (X) の場合)。このとき、オペコードの x は下表のようにアセンブルされます。

Mnemonic	y	Function
LMAIY	0	
LMAIYX	1	X SPX

表A.1 (5) 演算命令

Operation	Mnemonic	Operation Code	Function	Status	Words Cycles
Add immediate to A	AI i	1 0 1 0 0 0 0 $i_3$ $i_2$ $i_1$ $i_0$	$A + i \rightarrow A$	OVF	1/1
Increment B	IB	0 0 0 1 0 0 1 1 0 0	$B + 1 \rightarrow B$	NZ	1/1
Decrement B	DB	0 0 1 1 0 0 1 1 1 1	$B - 1 \rightarrow B$	NB	1/1
Decimal adjust for addition	DAA	0 0 1 0 1 0 0 1 1 0			1/1
Decimal adjust for subtraction	DAS	0 0 1 0 1 0 1 0 1 0			1/1
Negate A	NEGA	0 0 0 1 1 0 0 0 0 0	$\bar{A} + 1 \rightarrow A$		1/1
Complement B	COMB	0 1 0 1 0 0 0 0 0 0	$\bar{B} \rightarrow B$		1/1
Rotate right A with carry	ROTR	0 0 1 0 1 0 0 0 0 0			1/1
Rotate left A with carry	ROTL	0 0 1 0 1 0 0 0 0 1			1/1
Set carry	SEC	0 0 1 1 1 0 1 1 1 1	$1 \rightarrow CA$		1/1
Reset carry	REC	0 0 1 1 1 0 1 1 0 0	$0 \rightarrow CA$		1/1
Test carry	TC	0 0 0 1 1 0 1 1 1 1		CA	1/1
Add A to memory	AM	0 0 0 0 0 0 1 0 0 0	$M + A \rightarrow A$	OVF	1/1
Add A to memory	AMD d	0 1 0 0 0 0 1 0 0 0 $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	$M + A \rightarrow A$	OVF	2/2
Add A to memory with carry	AMC	0 0 0 0 0 1 1 0 0 0	$M + A + CA \rightarrow A$ $OVF \rightarrow CA$	OVF	1/1
Add A to memory with carry	AMCD d	0 1 0 0 0 1 1 0 0 0 $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	$M + A + CA \rightarrow A$ $OVF \rightarrow CA$	OVF	2/2
Subtract A from memory with carry	SMC	0 0 1 0 0 1 1 0 0 0	$M - A - \bar{CA} \rightarrow A$ $NB \rightarrow CA$	NB	1/1
Subtract A from memory with carry	SMCD d	0 1 1 0 0 1 1 0 0 0 $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	$M - A - \bar{CA} \rightarrow A$ $NB \rightarrow CA$	NB	2/2
OR A and B	OR	0 1 0 1 0 0 0 1 0 0	$A \cup B \rightarrow A$		1/1
AND memory with A	ANM	0 0 1 0 0 1 1 1 0 0	$A \cap M \rightarrow A$	NZ	1/1
AND memory with A	ANMD d	0 1 1 0 0 1 1 1 0 0 $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	$A \cap M \rightarrow A$	NZ	2/2
OR memory with A	ORM	0 0 0 0 0 0 1 1 0 0	$A \cup M \rightarrow A$	NZ	1/1
OR memory with A	ORMD d	0 1 0 0 0 0 1 1 0 0 $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	$A \cup M \rightarrow A$	NZ	2/2
EOR memory with A	EORM	0 0 0 0 0 1 1 1 0 0	$A \oplus M \rightarrow A$	NZ	1/1
EOR memory with A	EORMD d	0 1 0 0 0 1 1 1 0 0 $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	$A \oplus M \rightarrow A$	NZ	2/2

表A.1 (6) 比較命令

Operation	Mnemonic	Operation Code	Function	Status	Words Cycles
Immediate not equal to memory	INEM i	0 0 0 0 1 0 i <sub>3</sub> i <sub>2</sub> i <sub>1</sub> i <sub>0</sub>	i ≠ M	NZ	1/1
Immediate not equal to memory	INEMD i, d	0 1 0 0 1 0 i <sub>3</sub> i <sub>2</sub> i <sub>1</sub> i <sub>0</sub> d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>	i ≠ M	NZ	2/2
A not equal to memory	ANEM	0 0 0 0 0 0 0 1 0 0	A ≠ M	NZ	1/1
A not equal to memory	ANEMD d	0 1 0 0 0 0 0 1 0 0 d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>	A ≠ M	NZ	2/2
B not equal to memory	BNEM	0 0 0 1 0 0 0 1 0 0	B ≠ M	NZ	1/1
Y not equal to immediate	YNEI i	0 0 0 1 1 1 i <sub>3</sub> i <sub>2</sub> i <sub>1</sub> i <sub>0</sub>	Y ≠ i	NZ	1/1
Immediate less than or equal to memory	ILEM i	0 0 0 0 1 1 i <sub>3</sub> i <sub>2</sub> i <sub>1</sub> i <sub>0</sub>	i ≤ M	NB	1/1
Immediate less than or equal to memory	ILEMD i, d	0 1 0 0 1 1 i <sub>3</sub> i <sub>2</sub> i <sub>1</sub> i <sub>0</sub> d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>	i ≤ M	NB	2/2
A less than or equal to memory	ALEM	0 0 0 0 0 1 0 1 0 0	A ≤ M	NB	1/1
A less than or equal to memory	ALEMD d	0 1 0 0 0 1 0 1 0 0 d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>	A ≤ M	NB	2/2
B less than or equal to memory	BLEM	0 0 1 1 0 0 0 1 0 0	B ≤ M	NB	1/1
A less than or equal to immediate	ALEI i	1 0 1 0 1 1 i <sub>3</sub> i <sub>2</sub> i <sub>1</sub> i <sub>0</sub>	A ≤ i	NB	1/1

表A.1 (7) RAMビット操作命令

Operation	Mnemonic	Operation Code	Function	Status	Words Cycles
Set memory bit	SEM n	0 0 1 0 0 0 0 1 n <sub>1</sub> n <sub>0</sub>	1 → M (n)		1/1
Set memory bit	SEMD n, d	0 1 1 0 0 0 0 1 n <sub>1</sub> n <sub>0</sub> d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>	1 → M (n)		2/2
Reset memory bit	REM n	0 0 1 0 0 0 1 0 n <sub>1</sub> n <sub>0</sub>	0 → M (n)		1/1
Reset memory bit	REMD n, d	0 1 1 0 0 0 1 0 n <sub>1</sub> n <sub>0</sub> d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>	0 → M (n)		2/2
Test memory bit	TM n	0 0 1 0 0 0 1 1 n <sub>1</sub> n <sub>0</sub>		M (n)	1/1
Test memory bit	TMD n, d	0 1 1 0 0 0 1 1 n <sub>1</sub> n <sub>0</sub> d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>		M (n)	2/2

表A.1 (8) ROMアドレス命令

Operation	Mnemonic	Operation Code	Function	Status	Words Cycles
Branch on status 1	BR b	1 1 b <sub>7</sub> b <sub>6</sub> b <sub>5</sub> b <sub>4</sub> b <sub>3</sub> b <sub>2</sub> b <sub>1</sub> b <sub>0</sub>		1	1/1
Long branch on status 1	BRL u	0 1 0 1 1 1 p <sub>3</sub> p <sub>2</sub> p <sub>1</sub> p <sub>0</sub> d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>		1	2/2
Long jump unconditionally	JMPL u	0 1 0 1 0 1 p <sub>3</sub> p <sub>2</sub> p <sub>1</sub> p <sub>0</sub> d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>			2/2
Subroutine jump on status 1	CAL a	0 1 1 1 a <sub>5</sub> a <sub>4</sub> a <sub>3</sub> a <sub>2</sub> a <sub>1</sub> a <sub>0</sub>		1	1/2
Long subroutine jump on status 1	CALL u	0 1 0 1 1 0 p <sub>3</sub> p <sub>2</sub> p <sub>1</sub> p <sub>0</sub> d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>		1	2/2
Table branch	TBR p	0 0 1 0 1 1 p <sub>3</sub> p <sub>2</sub> p <sub>1</sub> p <sub>0</sub>			1/1
Return from subroutine	RTN	0 0 0 0 0 1 0 0 0 0			1/3
Return from interrupt	RTNI	0 0 0 0 0 1 0 0 0 1	1 → IE, CA回復	ST	1/3

表A.1 (9) 入出力命令

Operation	Mnemonic	Operation Code	Function	Status	Words Cycles
Set discrete I/O latch	SED	0 0 1 1 1 0 0 1 0 0	1 → D (Y)		1/1
Set discrete I/O latch direct	SEDD m	1 0 1 1 1 0 m <sub>3</sub> m <sub>2</sub> m <sub>1</sub> m <sub>0</sub>	1 → D (m)		1/1
Reset discrete I/O latch	RED	0 0 0 1 1 0 0 1 0 0	0 → D (Y)		1/1
Reset discrete I/O latch direct	REDD m	1 0 0 1 1 0 m <sub>3</sub> m <sub>2</sub> m <sub>1</sub> m <sub>0</sub>	0 → D (m)		1/1
Test discrete I/O latch	TD	0 0 1 1 1 0 0 0 0 0		D (Y)	1/1
Test discrete I/O latch direct	TDD m	1 0 1 0 1 0 m <sub>3</sub> m <sub>2</sub> m <sub>1</sub> m <sub>0</sub>		D (m)	1/1
Load A from R-port register	LAR m	1 0 0 1 0 1 m <sub>3</sub> m <sub>2</sub> m <sub>1</sub> m <sub>0</sub>	R (m) → A		1/1
Load B from R-port register	LBR m	1 0 0 1 0 0 m <sub>3</sub> m <sub>2</sub> m <sub>1</sub> m <sub>0</sub>	R (m) → B		1/1
Load R-port register from A	LRA m	1 0 1 1 0 1 m <sub>3</sub> m <sub>2</sub> m <sub>1</sub> m <sub>0</sub>	A → R (m)		1/1
Load R-port register from B	LRB m	1 0 1 1 0 0 m <sub>3</sub> m <sub>2</sub> m <sub>1</sub> m <sub>0</sub>	B → R (m)		1/1
Pattern generation	P p	0 1 1 0 1 1 p <sub>3</sub> p <sub>2</sub> p <sub>1</sub> p <sub>0</sub>			1/2

表A.1 (10) コントロール命令

Operation	Mnemonic	Operation Code	Function	Status	Words Cycles
No operation	NOP	0 0 0 0 0 0 0 0 0 0			1/1
Start serial	STS	0 1 0 1 0 0 1 0 0 0			1/1
Standby mode/Watch mode*	SBY	0 1 0 1 0 0 1 1 0 0			1/1
Stop mode/Watch mode	STOP	0 1 0 1 0 0 1 1 0 1			1/1

【注】\* サブアクティブモードからの遷移時のみ

A.2 オペレーションコードマップ

表A.2 オペコードマップ ( 1 / 2 )

R9	R8	0																		
		L	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F		
0	H	0	NOP	XSPX	XSPY	XSPXY	ANEM				AM				ORM					
	H	1	RTN	RTNI			ALEM				AMC				EORM					
	H	2	INEM i(4)																	
	H	3	INEM i(4)																	
	H	4	LBM(XY)					BNEM				LAB				IB				
	H	5	LMAIY(X)					AYY				LASPY				IY				
	H	6	NEGA					RED				LASPX							TC	
	H	7	YNEI i(4)																	
	H	8	LMA(XY)						SEM n(2)				REM n(2)				TM n(2)			
	H	9	LAM(XY)						LMA(XY)				SMC			ANM				
	H	A	ROTR	ROTL						DAA					DAS				LAY	
	H	B	TBR p(4)																	
	H	C	XMB(XY)									LBA								DB
	H	D	LMADY(X)					SYI				LYA							DY	
	H	E	TD					SEI				LXA				REC			SEC	
	H	F	LWI i(2)																	
1	H	0	LBI i(4)																	
	H	1	LYI i(4)																	
	H	2	LXI i(4)																	
	H	3	LAI i(4)																	
	H	4	LBR m(4)																	
	H	5	LAR m(4)																	
	H	6	REDD m(4)																	
	H	7	LAMR m(4)																	
	H	8	AI i(4)																	
	H	9	LMIY i(4)																	
	H	A	TDD m(4)																	
	H	B	ALEI i(4)																	
	H	C	LRB m(4)																	
	H	D	LRA m(4)																	
	H	E	SEDD m(4)																	
	H	F	XMRA m(4)																	

1ワード / 2サイクル命令
  1ワード / 3サイクル命令
 RAM ダイレクト アドレス命令 ( 2ワード / 2サイクル )
 2ワード / 2サイクル命令

表A.2 オペコードマップ(2/2)

R9	R8	1																	
		L	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
0	H	0	LAW				ANEMD				AMD				ORMD				
		1	LWA				ALEMD				AMCD				EORMD				
		2	INEMD i(4)																
		3	INEMD i(4)																
		4	COMB				OR				STS				SBY	STOP			
		5	JMPL p(4)																
		6	CALL p(4)																
		7	BRL p(4)																
		8	XMAD				SEMD n(2)				REMD n(2)				TMD n(2)				
		9	LAMD				LMAD				SMCD				ANMD				
		A	LMID i(4)																
		B	P p(4)																
		C	CAL a(6)																
		D																	
		E																	
		F																	
1	H	0	BR b(8)																
		1																	
		2																	
		3																	
		4																	
		5																	
		6																	
		7																	
		8																	
		9																	
		A																	
		B																	
		C																	
		D																	
		E																	
		F																	

1ワード / 2サイクル命令
 
 1ワード / 3サイクル命令
 

 RAM ダイレクト アドレス命令 (2ワード / 2サイクル)
 

 2ワード / 2サイクル命令



## B レジスタ、フラグー覧

### B.1 I/Oレジスター覧(1)

- 無印 : 全シリーズで共通で使用可能なレジスタ、ビットです。  
 : HD404318 / HD404358 / HD404358Rで使用できるレジスタ、ビットです。  
 : HD404339 / HD404369で使用できるレジスタ、ビットです。  
 □ : 全シリーズ共通して使用禁止となっているレジスタ、ビットです。

RAM アドレス	レジスタ名	レジスタ略称	ビット名				モジュール/機能
			ビット3	ビット2	ビット1	ビット0	
\$000	割込み制御ビットエリア		IM0	IF0	RSP	IE	割込み制御
\$001			IMTA	IFTA	IM1	IF1	
\$002			IMTC	IFTC	IMTB	IFTB	
\$003			IMS	IFS	IMAD	IFAD	
\$004	ポートモードレジスタA	PMRA	PMRA3	PMRA2	PMRA1	PMRA0	D <sub>3</sub> ポート、R0 ポート端子 機能切り換え
\$005	シリアルモードレジスタ	SMR	SMR3	SMR2	SMR1	SMR0	シリアル インタフェース
\$006	シリアルデータレジスタL	SRL	SR3	SR2	SR1	SR0	
\$007	シリアルデータレジスタU	SRU	SR7	SR6	SR5	SR4	
\$008	タイマモードレジスタA	TMA	TMA3	TMA2	TMA1	TMA0	タイマA
\$009	タイマモードレジスタB1	TMB1	TMB13	TMB12	TMB11	TMB10	タイマB
\$00A	タイマリードレジスタBL/ タイマライトレジスタBL	TRBL	TRBL3	TRBL2	TRBL1	TRBL0	
		TWBL	TWBL3	TWBL2	TWBL1	TWBL0	
\$00B	タイマリードレジスタBU/ タイマライトレジスタBU	TRBU	TRBU3	TRBU2	TRBU1	TRBU0	
		TWBU	TWBU3	TWBU2	TWBU1	TWBU0	
\$00C	ミセラニアスレジスタ	MIS	MIS3	MIS2	MIS1	MIS0	システム制御他
\$00D	タイマモードレジスタC	TMC	TMC3	TMC2	TMC1	TMC0	タイマC
\$00E	タイマリードレジスタCL/ タイマライトレジスタCL	TRCL	TRCL3	TRCL2	TRCL1	TRCL0	
		TWCL	TWCL3	TWCL2	TWCL1	TWCL0	
\$00F	タイマリードレジスタCU/ タイマライトレジスタCU	TRCU	TRCU3	TRCU2	TRCU1	TRCU0	
		TWCU	TWCU3	TWCU2	TWCU1	TWCU0	
\$010	_____	_____					_____
\$015							
\$016	A/Dチャンネルレジスタ	ACR	ACR3 <sup>*1</sup>	ACR2 <sup>*1</sup>	ACR1 <sup>*1</sup>	ACR0 <sup>*1</sup>	A/Dコンバータ
\$017	A/DデータレジスタL	ADRL	ADRL3	ADRL2	ADRL1	ADRL0	
\$018	A/DデータレジスタU	ADRU	ADRU3	ADRU2	ADRU1	ADRU0	
\$019	A/Dモードレジスタ1	AMR1	AMR13	AMR12	AMR11	AMR10 <sup>*2</sup>	
\$01A	A/Dモードレジスタ2	AMR2		AMR22	AMR21	AMR20	

【注】 \*1 製品がサポートしていない入力チャンネル数の設定は禁止します。

\*2 HD404394シリーズのみAMR10は使用禁止です。

## 付録 全シリーズ

- 無印 : 全シリーズで共通で使用可能なレジスタ、ビットです。  
 : HD404318 / HD404358 / HD404358Rで使用できるレジスタ、ビットです。  
 : HD404339 / HD404369で使用できるレジスタ、ビットです。  
 : 全シリーズ共通して使用禁止となっているレジスタ、ビットです。

RAM アドレス	レジスタ名	レジスタ略称	ビット名				モジュール / 機能
			ビット3	ビット2	ビット1	ビット0	
\$01B \$01F							
\$020	レジスタフラグエリア		DTON	ADSF	WDON	LSON	周辺モジュール 用フラグ他
\$021			RAME	IAOF	ICEF	ICSF	
\$022							
\$023							
\$024	ポートモードレジスタB	PMRB	PMRB3	PMRB2	PMRB1	PMRB0	Dポート端子 機能切り換え
\$025	ポートモードレジスタC	PMRC	PMRC3	PMRC2	PMRC1	PMRC0	シリアルインタ フェース
\$026	タイマモードレジスタB2	TMB2		TMB22	TMB21	TMB20	タイマB
\$027	システムクロック選択 レジスタ1	SSR1	SSR13	SSR12	SSR11		クロック発振器
\$028	システムクロック選択 レジスタ2	SSR2			SSR21	SSR20	
\$029 \$02B							
\$02C \$039	データコントロール レジスタ	DCD0 ~ DCD3, DCR0 ~ DCR9	有効となるビットは製品により異なります。 詳しくは「第7 ~ 12章 I/Oポート」を参照してください。				ポート入出力 制御
\$03A \$03F							

B.2 I/Oレジスタ一覧(2)

\$004 ポートモードレジスタA	PMRA	D0ポート、R0ポート																				
<p>ビット:            3            2            1            0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse;"> <tr> <td style="width: 25px; text-align: center;">PMRA3*</td> <td style="width: 25px; text-align: center;">PMRA2</td> <td style="width: 25px; text-align: center;">PMRA1</td> <td style="width: 25px; text-align: center;">PMRA0</td> </tr> </table> <p>初期値:            0            0            0            0</p> <p>R / W:            W            W            W            W</p> <div style="margin-top: 20px;"> <table border="1" style="margin-left: 100px; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td style="width: 100px;">R<sub>0</sub><sub>2</sub>/SO端子機能切り換え</td> </tr> <tr> <td style="text-align: center;">1</td> <td>R<sub>0</sub><sub>2</sub>入出力端子</td> </tr> </table>   <table border="1" style="margin-left: 100px; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td style="width: 100px;">R<sub>0</sub><sub>1</sub>/SI端子機能切り換え</td> </tr> <tr> <td style="text-align: center;">1</td> <td>R<sub>0</sub><sub>1</sub>入出力端子</td> </tr> </table>   <table border="1" style="margin-left: 100px; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td style="width: 100px;">R<sub>0</sub><sub>3</sub>/TOC端子機能切り換え</td> </tr> <tr> <td style="text-align: center;">1</td> <td>R<sub>0</sub><sub>3</sub>入出力端子</td> </tr> </table>   <table border="1" style="margin-left: 100px; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td style="width: 100px;">D<sub>3</sub>/BUZZ端子機能切り換え*</td> </tr> <tr> <td style="text-align: center;">1</td> <td>D<sub>3</sub>入出力端子</td> </tr> </table> </div>	PMRA3*	PMRA2	PMRA1	PMRA0	0	R <sub>0</sub> <sub>2</sub> /SO端子機能切り換え	1	R <sub>0</sub> <sub>2</sub> 入出力端子	0	R <sub>0</sub> <sub>1</sub> /SI端子機能切り換え	1	R <sub>0</sub> <sub>1</sub> 入出力端子	0	R <sub>0</sub> <sub>3</sub> /TOC端子機能切り換え	1	R <sub>0</sub> <sub>3</sub> 入出力端子	0	D <sub>3</sub> /BUZZ端子機能切り換え*	1	D <sub>3</sub> 入出力端子		
PMRA3*	PMRA2	PMRA1	PMRA0																			
0	R <sub>0</sub> <sub>2</sub> /SO端子機能切り換え																					
1	R <sub>0</sub> <sub>2</sub> 入出力端子																					
0	R <sub>0</sub> <sub>1</sub> /SI端子機能切り換え																					
1	R <sub>0</sub> <sub>1</sub> 入出力端子																					
0	R <sub>0</sub> <sub>3</sub> /TOC端子機能切り換え																					
1	R <sub>0</sub> <sub>3</sub> 入出力端子																					
0	D <sub>3</sub> /BUZZ端子機能切り換え*																					
1	D <sub>3</sub> 入出力端子																					
<p>【注】* HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズに適用します。 HD404344R / HD404394シリーズでは、PMRA3ビットは使用禁止です。</p>																						

\$005 シリアルモードレジスタ SMR シリアルインタフェース

ビット:

	3	2	1	0
	SMR3	SMR2	SMR1	SMR0

初期値: 0 0 0 0

R/W: W W W W

転送クロック選択

SMR2	SMR1	SMR0	SCK端子	クロックソース	プリスケアラ分周比*
0	0	0	出力	PSS	PER / 2048
		1	出力	PSS	PER / 512
	1	0	出力	PSS	PER / 128
		1	出力	PSS	PER / 32
1	0	0	出力	PSS	PER / 8
		1	出力	PSS	PER / 2
	1	0	出力	システムクロック	PER
		1	入力	外部クロック	—

R0 / SCK端子機能切り換え

0	R0 <sub>0</sub> 入出力端子
1	SCK入出力端子

【注】\* 転送クロック分周比は、SMR2～SMR0ビットで設定されたプリスケアラ分周比とPMRCのPMRC0ビットにより設定されるプリスケアラ出力の分周比（2または4分周）の組み合わせで決まります。

\$006 シリアルデータレジスタL	SRL	シリアルインタフェース
\$007 シリアルデータレジスタU	SRU	

ビット:	7	6	5	4	3	2	1	0
	SRU				SRL			
	SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

EOL Product

\$008 タイマモードレジスタA TMA タイマA

HD404318 / HD404358 / HD404358Rシリーズ

ビット:	3	2	1	0
		TMA2	TMA1	TMA0
初期値:	—	0	0	0
R / W:	—	W	W	W

使用禁止

タイマAクロック選択

TMA2	TMA1	TMA0	入力クロック周期
0	0	0	2048 $t_{cyc}$
		1	1024 $t_{cyc}$
	1	0	512 $t_{cyc}$
		1	128 $t_{cyc}$
1	0	0	32 $t_{cyc}$
		1	8 $t_{cyc}$
	1	0	4 $t_{cyc}$
		1	2 $t_{cyc}$

【注】  $t_{cyc} = f_{OSC} / 4$

HD404339 / HD404369シリーズ

ビット:	3	2	1	0
	TMA3	TMA2	TMA1	TMA0
初期値:	0	0	0	0
R / W:	W	W	W	W

タイマAクロック選択

TMA3	TMA2	TMA1	TMA0	プリスケアラ	入力クロック周期	モード
0	0	0	0	PSS	2048 $t_{cyc}^{*1}$	フリーランニングタイマモード
			1	PSS	1024 $t_{cyc}$	
		1	0	PSS	512 $t_{cyc}$	
			1	PSS	128 $t_{cyc}$	
	1	0	0	PSS	32 $t_{cyc}$	
			1	PSS	8 $t_{cyc}$	
		1	0	PSS	4 $t_{cyc}$	
			1	PSS	2 $t_{cyc}$	
1	0	0	0	PSW	32 $t_{Wcyc}^{*2}$	時計用タイムベースモード
			1	PSW	16 $t_{Wcyc}$	
		1	0	PSW	8 $t_{Wcyc}$	
			1	PSW	2 $t_{Wcyc}$	
	1	0	0	—	1 / 2 $t_{Wcyc}$	
			1	—	使用禁止	
		1	*	—	PSW、TCAクリア	

\* : don't care

【注】 \*1  $t_{cyc} = f_{OSC} / 4, f_{OSC} / 8, f_{OSC} / 16, \text{または} f_{OSC} / 32$

\*2  $t_{Wcyc} = f_x / 8$

\$009 タイマモードレジスタB1 TMB1 タイマB

ビット :

	3	2	1	0
	TMB13	TMB12	TMB11	TMB10

初期値 :

	0	0	0	0
--	---	---	---	---

R / W :

	W	W	W	W
--	---	---	---	---

タイマBクロック選択

	TMB12	TMB11	TMB10	入力クロックソース
0	0		0	2048 $t_{cyc}$
			1	512 $t_{cyc}$
	1		0	128 $t_{cyc}$
			1	32 $t_{cyc}$
1	0		0	8 $t_{cyc}$
			1	4 $t_{cyc}$
	1		0	2 $t_{cyc}$
			1	EVNB (外部イベント入力端子)

【注】 タイマBクロックに外部イベント入力を設定する場合、ポートモードレジスタBを以下のようにしてください。

HD404344R / HD404394シリーズ : PMRB0ビットを1に設定  
 HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ : PMRB2ビットを1に設定

タイマB機能選択

0	フリーランニングタイマ
1	リロードタイマ

付録 全シリーズ

\$00A タイマリードレジスタBL	TRBL	タイマB			
\$00B タイマリードレジスタBU	TRBU				
TRBU	ビット:      3          2          1          0 <table border="1"> <tr> <td>TRBU3</td> <td>TRBU2</td> <td>TRBU1</td> <td>TRBU0</td> </tr> </table> 初期値:    不定      不定      不定      不定 R / W:     R          R          R          R	TRBU3	TRBU2	TRBU1	TRBU0
TRBU3	TRBU2	TRBU1	TRBU0		
TRBL	ビット:      3          2          1          0 <table border="1"> <tr> <td>TRBL3</td> <td>TRBL2</td> <td>TRBL1</td> <td>TRBL0</td> </tr> </table> 初期値:    不定      不定      不定      不定 R / W:     R          R          R          R	TRBL3	TRBL2	TRBL1	TRBL0
TRBL3	TRBL2	TRBL1	TRBL0		
\$00A タイマライトレジスタBL	TWBL	タイマB			
\$00B タイマライトレジスタBU	TWBU				
TWBU	ビット:      3          2          1          0 <table border="1"> <tr> <td>TWBU3</td> <td>TWBU2</td> <td>TWBU1</td> <td>TWBU0</td> </tr> </table> 初期値:    不定      不定      不定      不定 R / W:     W          W          W          W	TWBU3	TWBU2	TWBU1	TWBU0
TWBU3	TWBU2	TWBU1	TWBU0		
TWBL	ビット:      3          2          1          0 <table border="1"> <tr> <td>TWBL3</td> <td>TWBL2</td> <td>TWBL1</td> <td>TWBL0</td> </tr> </table> 初期値:    0          0          0          0 R / W:     W          W          W          W	TWBL3	TWBL2	TWBL1	TWBL0
TWBL3	TWBL2	TWBL1	TWBL0		



<b>\$00C ミセラニラスレジスタ</b>	<b>MIS</b>	<b>システム制御</b>																							
ビット： <table border="1" style="display: inline-table; margin-left: 20px;"> <tr> <td style="width: 25%;">3</td> <td style="width: 25%;">2</td> <td style="width: 25%;">1</td> <td style="width: 25%;">0</td> </tr> <tr> <td>MIS3</td> <td>MIS2</td> <td>MIS1*1</td> <td>MIS0*1</td> </tr> </table>			3	2	1	0	MIS3	MIS2	MIS1*1	MIS0*1															
3	2	1	0																						
MIS3	MIS2	MIS1*1	MIS0*1																						
初期値： <table border="1" style="display: inline-table; margin-left: 20px;"> <tr> <td style="width: 25%;">0</td> <td style="width: 25%;">0</td> <td style="width: 25%;">0</td> <td style="width: 25%;">0</td> </tr> </table>			0	0	0	0																			
0	0	0	0																						
R / W： <table border="1" style="display: inline-table; margin-left: 20px;"> <tr> <td style="width: 25%;">W</td> <td style="width: 25%;">W</td> <td style="width: 25%;">W</td> <td style="width: 25%;">W</td> </tr> </table>			W	W	W	W																			
W	W	W	W																						
割込みフレーム同期および発振安定時間設定*1																									
<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">MIS1</th> <th style="width: 10%;">MIS0</th> <th style="width: 20%;">割込みフレーム周期</th> <th style="width: 20%;">発振安定時間</th> <th style="width: 40%;">発振回路条件</th> </tr> </thead> <tbody> <tr> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>0.24414ms</td> <td>0.12207( 0.24414 )ms*2</td> <td>外部クロック</td> </tr> <tr> <td style="text-align: center;">1</td> <td>15.625ms</td> <td>7.8125ms</td> <td>セラミック発振子</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>125ms</td> <td>62.5ms</td> <td>水晶発振子</td> </tr> <tr> <td style="text-align: center;">1</td> <td colspan="2" style="text-align: center;">使用禁止</td> <td style="text-align: center;">—————</td> </tr> </tbody> </table>			MIS1	MIS0	割込みフレーム周期	発振安定時間	発振回路条件	0	0	0.24414ms	0.12207( 0.24414 )ms*2	外部クロック	1	15.625ms	7.8125ms	セラミック発振子	1	0	125ms	62.5ms	水晶発振子	1	使用禁止		—————
MIS1	MIS0	割込みフレーム周期	発振安定時間	発振回路条件																					
0	0	0.24414ms	0.12207( 0.24414 )ms*2	外部クロック																					
	1	15.625ms	7.8125ms	セラミック発振子																					
1	0	125ms	62.5ms	水晶発振子																					
	1	使用禁止		—————																					
R0 <sub>2</sub> /SO端子出力バッファ制御																									
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td>PMOSアクティブ ( CMOS出力 )</td> </tr> <tr> <td style="text-align: center;">1</td> <td>PMOSオフ ( NMOSオーブンドレイン出力 )</td> </tr> </table>			0	PMOSアクティブ ( CMOS出力 )	1	PMOSオフ ( NMOSオーブンドレイン出力 )																			
0	PMOSアクティブ ( CMOS出力 )																								
1	PMOSオフ ( NMOSオーブンドレイン出力 )																								
ブルアップMOS制御																									
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 10%; text-align: center;">0</td> <td>ブルアップMOSはすべてオフ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>ブルアップMOSアクティブ</td> </tr> </table>			0	ブルアップMOSはすべてオフ	1	ブルアップMOSアクティブ																			
0	ブルアップMOSはすべてオフ																								
1	ブルアップMOSアクティブ																								
【注】*1 HD404339 / HD404369シリーズに適用します。 HD404318 / HD404358 / HD404358R / HD404344R / HD404394シリーズは使用禁止です。 *2 ( )内はダイレクト遷移時の値です。																									

\$00D タイマモードレジスタC	TMC	タイマC																																												
<p>ビット：            3            2            1            0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse;"> <tr> <td style="width: 20px;"></td> <td style="width: 40px; text-align: center;">TMC3</td> <td style="width: 40px; text-align: center;">TMC2</td> <td style="width: 40px; text-align: center;">TMC1</td> <td style="width: 40px; text-align: center;">TMC0</td> </tr> </table> <p>初期値：            0            0            0            0</p> <p>R / W：            W            W            W            W</p>		TMC3	TMC2	TMC1	TMC0	<p style="text-align: center;">タイマCクロック選択</p> <table border="1" style="margin-left: 40px; border-collapse: collapse;"> <thead> <tr> <th style="width: 20px;"></th> <th style="width: 40px; text-align: center;">TMC2</th> <th style="width: 40px; text-align: center;">TMC1</th> <th style="width: 40px; text-align: center;">TMC0</th> <th style="width: 100px; text-align: center;">入力クロックソース</th> </tr> </thead> <tbody> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">0</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">2048 t<sub>cyc</sub></td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1024 t<sub>cyc</sub></td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">512 t<sub>cyc</sub></td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">128 t<sub>cyc</sub></td> </tr> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">1</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">32 t<sub>cyc</sub></td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">8 t<sub>cyc</sub></td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">4 t<sub>cyc</sub></td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">2 t<sub>cyc</sub></td> </tr> </tbody> </table> <p style="text-align: center;">タイマC機能選択</p> <table border="1" style="margin-left: 40px; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td style="text-align: center;">フリーランニングタイマ</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">リロードタイマ</td> </tr> </table>		TMC2	TMC1	TMC0	入力クロックソース	0	0	0	0	2048 t <sub>cyc</sub>	1	1	1024 t <sub>cyc</sub>	1	0	0	512 t <sub>cyc</sub>	1	1	128 t <sub>cyc</sub>	1	0	0	0	32 t <sub>cyc</sub>	1	1	8 t <sub>cyc</sub>	1	0	0	4 t <sub>cyc</sub>	1	1	2 t <sub>cyc</sub>	0	フリーランニングタイマ	1	リロードタイマ	
	TMC3	TMC2	TMC1	TMC0																																										
	TMC2	TMC1	TMC0	入力クロックソース																																										
0	0	0	0	2048 t <sub>cyc</sub>																																										
		1	1	1024 t <sub>cyc</sub>																																										
	1	0	0	512 t <sub>cyc</sub>																																										
		1	1	128 t <sub>cyc</sub>																																										
1	0	0	0	32 t <sub>cyc</sub>																																										
		1	1	8 t <sub>cyc</sub>																																										
	1	0	0	4 t <sub>cyc</sub>																																										
		1	1	2 t <sub>cyc</sub>																																										
0	フリーランニングタイマ																																													
1	リロードタイマ																																													
<p>\$00E タイマリードレジスタCL</p> <p style="text-align: right;">TRCL</p>	<p>\$00F タイマリードレジスタCU</p> <p style="text-align: right;">TRCU</p>	<p>タイマC</p>																																												
<p>TRCU</p> <p>ビット：            3            2            1            0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse;"> <tr> <td style="width: 20px;"></td> <td style="width: 40px; text-align: center;">TRCU3</td> <td style="width: 40px; text-align: center;">TRCU2</td> <td style="width: 40px; text-align: center;">TRCU1</td> <td style="width: 40px; text-align: center;">TRCU0</td> </tr> </table> <p>初期値：            不定        不定        不定        不定</p> <p>R / W：            R            R            R            R</p>		TRCU3	TRCU2	TRCU1	TRCU0	<p>TRCL</p> <p>ビット：            3            2            1            0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse;"> <tr> <td style="width: 20px;"></td> <td style="width: 40px; text-align: center;">TRCL3</td> <td style="width: 40px; text-align: center;">TRCL2</td> <td style="width: 40px; text-align: center;">TRCL1</td> <td style="width: 40px; text-align: center;">TRCL0</td> </tr> </table> <p>初期値：            不定        不定        不定        不定</p> <p>R / W：            R            R            R            R</p>		TRCL3	TRCL2	TRCL1	TRCL0																																			
	TRCU3	TRCU2	TRCU1	TRCU0																																										
	TRCL3	TRCL2	TRCL1	TRCL0																																										

\$00E タイマライトレジスタCL	TWCL	タイマC
\$00F タイマライトレジスタCU	TWCU	

TWCU

ビット:	3	2	1	0
	TWCU3	TWCU2	TWCU1	TWCU0
初期値:	不定	不定	不定	不定
R/W:	W	W	W	W

TWCL

ビット:	3	2	1	0
	TWCL3	TWCL2	TWCL1	TWCL0
初期値:	0	0	0	0
R/W:	W	W	W	W

\$016 A/Dチャンネルレジスタ	ACR	A/Dコンバータ
--------------------	-----	----------

ビット:

3	2	1	0
ACR3	ACR2	ACR1	ACR0
初期値:	0	0	0
R/W:	W	W	W

アナログ入力チャンネル選択

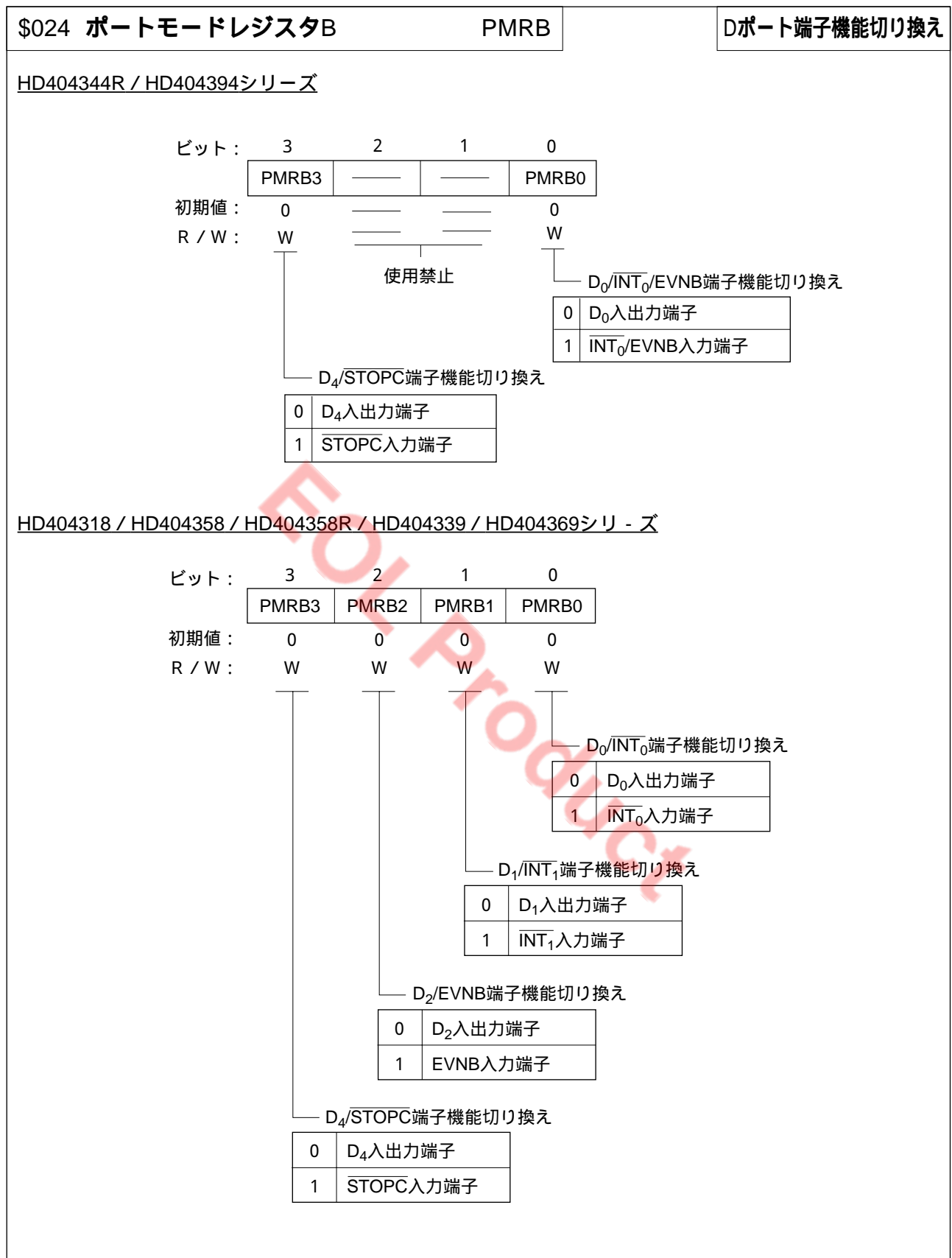
ACR3	ACR2	ACR1	ACR0	入力チャンネル			
				HD404344R	HD404394	HD404318 / HD404358 / HD404358R	HD404339 / HD404369
0	0	0	0	AN <sub>0</sub>		AN <sub>0</sub>	AN <sub>0</sub>
			1	AN <sub>1</sub>	AN <sub>1</sub>	AN <sub>1</sub>	
		1	0	AN <sub>2</sub>	AN <sub>2</sub>	AN <sub>2</sub>	AN <sub>2</sub>
			1	AN <sub>3</sub>	AN <sub>3</sub>	AN <sub>3</sub>	AN <sub>3</sub>
	1	0	0			AN <sub>4</sub>	AN <sub>4</sub>
			1			AN <sub>5</sub>	AN <sub>5</sub>
		1	0			AN <sub>6</sub>	AN <sub>6</sub>
			1			AN <sub>7</sub>	AN <sub>7</sub>
1	0	0	0				AN <sub>8</sub>
			1				AN <sub>9</sub>
		1	0				AN <sub>10</sub>
			1				AN <sub>11</sub>
	1	*	*				

\* : don't care

■ : 使用禁止

\$017 A/DデータレジスタL	ADRL	A/Dコンバータ																																								
\$018 A/DデータレジスタU	ADRU																																									
<div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p>ADRL</p> <table style="margin-left: 20px;"> <tr> <td style="padding-right: 10px;">ビット:</td> <td style="text-align: center;">3</td> <td style="text-align: center;">2</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> </tr> <tr> <td></td> <td style="border: 1px solid black; text-align: center;">ADRL3</td> <td style="border: 1px solid black; text-align: center;">ADRL2</td> <td style="border: 1px solid black; text-align: center;">ADRL1</td> <td style="border: 1px solid black; text-align: center;">ADRL0</td> </tr> <tr> <td>初期値:</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> </tr> <tr> <td>R/W:</td> <td style="text-align: center;">R</td> <td style="text-align: center;">R</td> <td style="text-align: center;">R</td> <td style="text-align: center;">R</td> </tr> </table> </div> <div style="width: 50%; margin-left: 10px;"> <p style="text-align: right;">A/D変換データ (下位4ビット)</p> </div> </div> <div style="display: flex; justify-content: space-between;"> <div style="width: 45%;"> <p>ADRU</p> <table style="margin-left: 20px;"> <tr> <td style="padding-right: 10px;">ビット:</td> <td style="text-align: center;">3</td> <td style="text-align: center;">2</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> </tr> <tr> <td></td> <td style="border: 1px solid black; text-align: center;">ADRU3</td> <td style="border: 1px solid black; text-align: center;">ADRU2</td> <td style="border: 1px solid black; text-align: center;">ADRU1</td> <td style="border: 1px solid black; text-align: center;">ADRU0</td> </tr> <tr> <td>初期値:</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> </tr> <tr> <td>R/W:</td> <td style="text-align: center;">R</td> <td style="text-align: center;">R</td> <td style="text-align: center;">R</td> <td style="text-align: center;">R</td> </tr> </table> </div> <div style="width: 50%; margin-left: 10px;"> <p style="text-align: right;">A/D変換データ (上位4ビット)</p> </div> </div>			ビット:	3	2	1	0		ADRL3	ADRL2	ADRL1	ADRL0	初期値:	0	0	0	0	R/W:	R	R	R	R	ビット:	3	2	1	0		ADRU3	ADRU2	ADRU1	ADRU0	初期値:	1	0	0	0	R/W:	R	R	R	R
ビット:	3	2	1	0																																						
	ADRL3	ADRL2	ADRL1	ADRL0																																						
初期値:	0	0	0	0																																						
R/W:	R	R	R	R																																						
ビット:	3	2	1	0																																						
	ADRU3	ADRU2	ADRU1	ADRU0																																						
初期値:	1	0	0	0																																						
R/W:	R	R	R	R																																						
\$019 A/Dモードレジスタ1	AMR1	A/Dコンバータ																																								
<table style="margin-left: 20px;"> <tr> <td style="padding-right: 10px;">ビット:</td> <td style="text-align: center;">3</td> <td style="text-align: center;">2</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> </tr> <tr> <td></td> <td style="border: 1px solid black; text-align: center;">AMR13</td> <td style="border: 1px solid black; text-align: center;">AMR12</td> <td style="border: 1px solid black; text-align: center;">AMR11</td> <td style="border: 1px solid black; text-align: center;">AMR10*</td> </tr> <tr> <td>初期値:</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> </tr> <tr> <td>R/W:</td> <td style="text-align: center;">W</td> <td style="text-align: center;">W</td> <td style="text-align: center;">W</td> <td style="text-align: center;">W</td> </tr> </table> <div style="margin-left: 20px;"> <p style="text-align: right;">R3<sub>0</sub>/AN<sub>0</sub>端子機能切り換え*</p> <table style="border: 1px solid black; margin-left: 20px;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td>R3<sub>0</sub>入出力端子</td> </tr> <tr> <td style="text-align: center;">1</td> <td>AN<sub>0</sub>入力端子</td> </tr> </table> <p style="text-align: right;">R3<sub>1</sub>/AN<sub>1</sub>端子機能切り換え</p> <table style="border: 1px solid black; margin-left: 20px;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td>R3<sub>1</sub>入出力端子</td> </tr> <tr> <td style="text-align: center;">1</td> <td>AN<sub>1</sub>入力端子</td> </tr> </table> <p style="text-align: right;">R3<sub>2</sub>/AN<sub>2</sub>端子機能切り換え</p> <table style="border: 1px solid black; margin-left: 20px;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td>R3<sub>2</sub>入出力端子</td> </tr> <tr> <td style="text-align: center;">1</td> <td>AN<sub>2</sub>入力端子</td> </tr> </table> <p style="text-align: right;">R3<sub>3</sub>/AN<sub>3</sub>端子機能切り換え</p> <table style="border: 1px solid black; margin-left: 20px;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td>R3<sub>3</sub>入出力端子</td> </tr> <tr> <td style="text-align: center;">1</td> <td>AN<sub>3</sub>入力端子</td> </tr> </table> </div>			ビット:	3	2	1	0		AMR13	AMR12	AMR11	AMR10*	初期値:	0	0	0	0	R/W:	W	W	W	W	0	R3 <sub>0</sub> 入出力端子	1	AN <sub>0</sub> 入力端子	0	R3 <sub>1</sub> 入出力端子	1	AN <sub>1</sub> 入力端子	0	R3 <sub>2</sub> 入出力端子	1	AN <sub>2</sub> 入力端子	0	R3 <sub>3</sub> 入出力端子	1	AN <sub>3</sub> 入力端子				
ビット:	3	2	1	0																																						
	AMR13	AMR12	AMR11	AMR10*																																						
初期値:	0	0	0	0																																						
R/W:	W	W	W	W																																						
0	R3 <sub>0</sub> 入出力端子																																									
1	AN <sub>0</sub> 入力端子																																									
0	R3 <sub>1</sub> 入出力端子																																									
1	AN <sub>1</sub> 入力端子																																									
0	R3 <sub>2</sub> 入出力端子																																									
1	AN <sub>2</sub> 入力端子																																									
0	R3 <sub>3</sub> 入出力端子																																									
1	AN <sub>3</sub> 入力端子																																									
<p>【注】* HD404344R / HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズに適用します。 HD404394シリーズではAMR10ビットは使用禁止です。</p>																																										

\$01A A/Dモードレジスタ 2	AMR2	A/Dコンバータ								
ビット:      3            2            1            0 <table border="1" style="margin-left: 40px; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">—</td> <td style="width: 20px; text-align: center;">AMR22<sup>*2</sup></td> <td style="width: 20px; text-align: center;">AMR21<sup>*1</sup></td> <td style="width: 20px; text-align: center;">AMR20</td> </tr> </table>	—	AMR22 <sup>*2</sup>	AMR21 <sup>*1</sup>	AMR20						
—	AMR22 <sup>*2</sup>	AMR21 <sup>*1</sup>	AMR20							
初期値:      —            0            0            0										
R / W:      —            W            W            W										
<div style="margin-left: 40px;"> <table border="1" style="border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">—</td> <td style="width: 100px;">使用禁止</td> </tr> </table> </div>	—	使用禁止		<div style="margin-left: 40px;"> <table border="1" style="border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">A/D変換時間</td> </tr> <tr> <td style="width: 20px; text-align: center;">0</td> <td style="width: 100px;">34 t<sub>cyc</sub></td> </tr> <tr> <td style="text-align: center;">1</td> <td>67 t<sub>cyc</sub></td> </tr> </table> </div>	A/D変換時間		0	34 t <sub>cyc</sub>	1	67 t <sub>cyc</sub>
—	使用禁止									
A/D変換時間										
0	34 t <sub>cyc</sub>									
1	67 t <sub>cyc</sub>									
		<div style="margin-left: 40px;"> <table border="1" style="border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">R4<sub>0</sub>/AN<sub>4</sub> ~ R4<sub>3</sub>/AN<sub>7</sub>端子機能切り換え<sup>*1</sup></td> </tr> <tr> <td style="width: 20px; text-align: center;">0</td> <td style="width: 100px;">R4<sub>0</sub> ~ R4<sub>3</sub>入出力端子</td> </tr> <tr> <td style="text-align: center;">1</td> <td>AN<sub>4</sub> ~ AN<sub>7</sub>入力端子</td> </tr> </table> </div>	R4 <sub>0</sub> /AN <sub>4</sub> ~ R4 <sub>3</sub> /AN <sub>7</sub> 端子機能切り換え <sup>*1</sup>		0	R4 <sub>0</sub> ~ R4 <sub>3</sub> 入出力端子	1	AN <sub>4</sub> ~ AN <sub>7</sub> 入力端子		
R4 <sub>0</sub> /AN <sub>4</sub> ~ R4 <sub>3</sub> /AN <sub>7</sub> 端子機能切り換え <sup>*1</sup>										
0	R4 <sub>0</sub> ~ R4 <sub>3</sub> 入出力端子									
1	AN <sub>4</sub> ~ AN <sub>7</sub> 入力端子									
		<div style="margin-left: 40px;"> <table border="1" style="border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">R5<sub>0</sub>/AN<sub>8</sub> ~ R5<sub>3</sub>/AN<sub>11</sub>端子機能切り換え<sup>*2</sup></td> </tr> <tr> <td style="width: 20px; text-align: center;">0</td> <td style="width: 100px;">R5<sub>0</sub> ~ R5<sub>3</sub>入出力端子</td> </tr> <tr> <td style="text-align: center;">1</td> <td>AN<sub>8</sub> ~ AN<sub>11</sub>入力端子</td> </tr> </table> </div>	R5 <sub>0</sub> /AN <sub>8</sub> ~ R5 <sub>3</sub> /AN <sub>11</sub> 端子機能切り換え <sup>*2</sup>		0	R5 <sub>0</sub> ~ R5 <sub>3</sub> 入出力端子	1	AN <sub>8</sub> ~ AN <sub>11</sub> 入力端子		
R5 <sub>0</sub> /AN <sub>8</sub> ~ R5 <sub>3</sub> /AN <sub>11</sub> 端子機能切り換え <sup>*2</sup>										
0	R5 <sub>0</sub> ~ R5 <sub>3</sub> 入出力端子									
1	AN <sub>8</sub> ~ AN <sub>11</sub> 入力端子									
<p>【注】 *1 HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズに適用します。                      HD404344R / HD404394シリーズではAMR21ビットは使用禁止です。</p> <p>*2 HD404339 / HD404369シリーズに適用します。                      HD404344R / HD404394 / HD404318 / HD404358 / HD404358RシリーズではAMR22ビットは使用禁止です。</p>										



\$025 ポートモードレジスタC PMRC シリアルインタフェース

ビット:	3	2	1	0
	PMRC3*	PMRC2*	PMRC1	PMRC0
初期値:	0	0	0	0
R/W:	W	W	W	W

転送クロック分周比選択

0	PSS出力 2 分周
1	PSS出力 4 分周

アイドル時High / Low出力制御

0	アイドル時、SO端子はLowレベル出力
1	アイドル時、SO端子はHighレベル出力

ブザー周波数選択 \*

PMRC3	PMRC2	ブザー周波数
0	0	PER / 2048
	1	PER / 1024
1	0	PER / 512
	1	PER / 256

PER : 内蔵周辺モジュール動作クロック

【注】\* HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズに適用します。HD404344R / HD404394シリーズではPMRC3、PMRC2ビットは、使用禁止です。

<b>\$026 タイマモードレジスタB2</b>	<b>TMB2</b>	<b>タイマB</b>
---------------------------	-------------	-------------

ビット:            3            2            1            0

---	TMB22*	TMB21	TMB20
-----	--------	-------	-------

初期値:                    0            0            0

R / W:            ---            W            W            W

EVNB端子検出エッジ選択

TMB21	TMB20	EVNB端子検出エッジ
0	0	検出しない
	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
	1	立ち下がり / 立ち上がり両エッジ検出

--- インพุットキャプチャ設定\*

0	フリーランニング / リロードタイマ
1	インพุットキャプチャタイマ

【注】\* HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズに適用します。  
HD404344R / HD404394シリーズでは、TMB22ビットは使用禁止です。

<b>\$027 システムクロック選択レジスタ1</b>	<b>SSR1</b>	<b>クロック発振器</b>
------------------------------	-------------	----------------

HD404339 / HD404369シリ - ズ

ビット:            3            2            1            0

---	SSR13	SSR12	SSR11	---
-----	-------	-------	-------	-----

初期値:            0            0            0            ---

R / W:            W            W            W            ---

--- 使用禁止

--- システムクロック選択 \*1

0	0.4 ~ 1.0MHz
1	1.6 ~ 4.5MHz ( HD404339シリーズ )
	1.6 ~ 5.0MHz ( HD404369シリーズ ) *2
	1.6 ~ 8.5MHz ( HD404369シリーズ ) *3

--- サブシステムクロック分周比切り換え

0	$f_{SUB} = f_X / 8$
1	$f_{SUB} = f_X / 4$

--- サブシステムクロック停止設定

0	ストップモード時、サブシステムクロック動作
1	ストップモード時、サブシステムクロック停止

【注】 \*1 サブシステムクロック ( 32.768kHz水晶発振 ) を使用する場合には、0.4MHz  $f_{osc}$  1.0MHz および  
1.6MHz  $f_{osc}$  4.5MHz ( 8.5MHz : HD404369シリーズ ) の範囲で使用してください。  
\*2 HD404364, HD404368, HD4043612, HD404369  
\*3 HD40A4364, HD40A4368, HD40A43612, HD40A4369, HD407A4369



**\$028 システムクロック選択レジスタ2**      **SSR2**      **クロック発振器**

HD404339 / HD404369シリーズ

ビット:	3	2	1	0
	—	—	SSR21	SSR20
初期値:	—	—	0	0
R / W:	—	—	W	W

使用禁止

システムクロック分周比選択

0	0	4分周 ( $f_{cyc} = f_{OSC} / 4$ )
	1	8分周 ( $f_{cyc} = f_{OSC} / 8$ )
1	0	16分周 ( $f_{cyc} = f_{OSC} / 16$ )
	1	32分周 ( $f_{cyc} = f_{OSC} / 32$ )

**\$02C データコントロールレジスタD0**      **DCD0**      **Dポート**

HD404344R / HD404394 / HD404358 / HD404358R / HD404369シリーズ

ビット:	3	2	1	0
	DCD03	DCD02	DCD01	DCD00
初期値:	0	0	0	0
R / W:	W	W	W	W

**\$02D データコントロールレジスタD1**      **DCD1**      **Dポート**

HD404344R / HD404394 / HD404358 / HD404358R / HD404369シリーズ

ビット:	3	2	1	0
	DCD13*	DCD12*	DCD11	DCD10
初期値:	0	0	0	0
R / W:	W	W	W	W

【注】 \* HD404358 / HD404358R / HD404369シリーズに適用します。HD404344R / HD404394シリーズでは、DCD13、DCD12ビットは使用禁止です。

**\$02E データコントロールレジスタD2**      **DCD2**      **Dポート**

HD404358 / HD404358R / HD404369シリーズ

ビット:	3	2	1	0
	DCD23*	DCD22*	DCD21*	DCD20
初期値:	0	0	0	0
R / W:	W	W	W	W

【注】 \* HD404369シリーズに適用します。HD404358 / HD404358Rシリーズでは、DCD23 ~ DCD21ビットは使用禁止です。

## 付録 全シリーズ

<b>\$02F データコントロールレジスタD3</b> DCD3	<b>Dポート</b>				
HD404369シリーズ  ビット：      3          2          1          0 <table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td style="width: 40px;">—</td> <td style="width: 40px;">—</td> <td style="width: 40px;">DCD31</td> <td style="width: 40px;">DCD30</td> </tr> </table> 初期値：      -          -          0          0 R / W：      -          -          W          W		—	—	DCD31	DCD30
—	—	DCD31	DCD30		
<b>\$030 データコントロールレジスタR0</b> DCR0	<b>R0ポート</b>				
HD404344R / HD404394 / HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ  ビット：      3          2          1          0 <table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td style="width: 40px;">DCR03</td> <td style="width: 40px;">DCR02</td> <td style="width: 40px;">DCR01</td> <td style="width: 40px;">DCR00</td> </tr> </table> 初期値：      0          0          0          0 R / W：      W          W          W          W		DCR03	DCR02	DCR01	DCR00
DCR03	DCR02	DCR01	DCR00		
<b>\$031 データコントロールレジスタR1</b> DCR1	<b>R1ポート</b>				
HD404344R / HD404394 / HD404358 / HD404358R / HD404369シリーズ  ビット：      3          2          1          0 <table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td style="width: 40px;">DCR13</td> <td style="width: 40px;">DCR12</td> <td style="width: 40px;">DCR11</td> <td style="width: 40px;">DCR10</td> </tr> </table> 初期値：      0          0          0          0 R / W：      W          W          W          W		DCR13	DCR12	DCR11	DCR10
DCR13	DCR12	DCR11	DCR10		
<b>\$032 データコントロールレジスタR2</b> DCR2	<b>R2ポート</b>				
HD404344R / HD404394 / HD404358 / HD404358R / HD404369シリーズ  ビット：      3          2          1          0 <table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td style="width: 40px;">DCR23</td> <td style="width: 40px;">DCR22</td> <td style="width: 40px;">DCR21</td> <td style="width: 40px;">DCR20</td> </tr> </table> 初期値：      0          0          0          0 R / W：      W          W          W          W		DCR23	DCR22	DCR21	DCR20
DCR23	DCR22	DCR21	DCR20		
<b>\$033 データコントロールレジスタR3</b> DCR3	<b>R3ポート</b>				
HD404344R / HD404394 / HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ  ビット：      3          2          1          0 <table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td style="width: 40px;">DCR33</td> <td style="width: 40px;">DCR32</td> <td style="width: 40px;">DCR31</td> <td style="width: 40px;">DCR30*</td> </tr> </table> 初期値：      0          0          0          0 R / W：      W          W          W          W  【注】 * HD404344R / HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズに適用 します。HD404394シリーズでは、DCR30ビットは使用禁止です。		DCR33	DCR32	DCR31	DCR30*
DCR33	DCR32	DCR31	DCR30*		

\$034 データコントロールレジスタR4	DCR4	R4ポート				
<p>HD404318 / HD404358 / HD404358R / HD404339 / HD404369シリーズ</p> <p>ビット:            3            2            1            0</p> <table border="1" data-bbox="544 421 1023 472"> <tr> <td>DCR43</td> <td>DCR42</td> <td>DCR41</td> <td>DCR40</td> </tr> </table> <p>初期値:            0            0            0            0</p> <p>R / W:            W            W            W            W</p>			DCR43	DCR42	DCR41	DCR40
DCR43	DCR42	DCR41	DCR40			
\$035 データコントロールレジスタR5	DCR5	R5ポート				
<p>HD404339 / HD404369シリーズ</p> <p>ビット:            3            2            1            0</p> <table border="1" data-bbox="544 801 1023 853"> <tr> <td>DCR53</td> <td>DCR52</td> <td>DCR51</td> <td>DCR50</td> </tr> </table> <p>初期値:            0            0            0            0</p> <p>R / W:            W            W            W            W</p>			DCR53	DCR52	DCR51	DCR50
DCR53	DCR52	DCR51	DCR50			
\$036 データコントロールレジスタR6	DCR6	R6ポート				
<p>HD404339 / HD404369シリーズ</p> <p>ビット:            3            2            1            0</p> <table border="1" data-bbox="544 1182 1023 1234"> <tr> <td>DCR63</td> <td>DCR62</td> <td>DCR61</td> <td>DCR60</td> </tr> </table> <p>初期値:            0            0            0            0</p> <p>R / W:            W            W            W            W</p>			DCR63	DCR62	DCR61	DCR60
DCR63	DCR62	DCR61	DCR60			
\$037 データコントロールレジスタR7	DCR7	R7ポート				
<p>HD404339 / HD404369シリーズ</p> <p>ビット:            3            2            1            0</p> <table border="1" data-bbox="544 1550 1023 1601"> <tr> <td></td> <td>DCR72</td> <td>DCR71</td> <td>DCR70</td> </tr> </table> <p>初期値:                    0            0            0</p> <p>R / W:                    W            W            W</p>				DCR72	DCR71	DCR70
	DCR72	DCR71	DCR70			
\$038 データコントロールレジスタR8	DCR8	R8ポート				
<p>HD404358 / HD404358R / HD404369シリーズ</p> <p>ビット:            3            2            1            0</p> <table border="1" data-bbox="544 1924 1023 1975"> <tr> <td>DCR83</td> <td>DCR82</td> <td>DCR81</td> <td>DCR80</td> </tr> </table> <p>初期値:            0            0            0            0</p> <p>R / W:            W            W            W            W</p>			DCR83	DCR82	DCR81	DCR80
DCR83	DCR82	DCR81	DCR80			

## 付録 全シリーズ

\$039 データコントロールレジスタR9	DCR9	R9ポート		
HD404369シリーズ				
ビット:	3	2	1	0
	DCR93	DCR92	DCR91	DCR90
初期値:	0	0	0	0
R / W:	W	W	W	W

EOL Product

## C オプションリスト

### C.1 HD404344Rシリーズオプションリスト

選択する仕様に対し 内にチェック  
( 、 ×、 )をつけてください。

#### (1) ROM サイズ

HD404341R	1k ワード	セラミック発振子 外部クロック
HD404342R	2k ワード	
HD404344R	4k ワード	
HD40C4341R	1k ワード	抵抗発振
HD40C4342R	2k ワード	
HD40C4344R	4k ワード	

発注年月日	年 月 日
貴社名	
所属	
御芳名	
ROM コード名	
LSI 型名(日立記入)	

#### (2) ROM コードデータ構成

EPROM 搭載形マイコン ( ZTAT<sup>®</sup>マイコンを含む ) は、下位上位混合タイプを指定してください。

下位上位混合タイプ データの下位 5 ビット(L)、上位 5 ビット(U)を混合して LULULU.. の順に一つの EPROM に書き込んだもの。
下位上位分離タイプ データの下位 5 ビット(L)、上位 5 ビット(U)をそれぞれ別々の EPROM に書き込んだもの。

#### (3) システム発振器 ( OSC1 - OSC2 ) ( 部の選択はできません )

	HD404341R/HD404342R/HD404344R	HD40C4341R/HD40C4342R/HD40C4344R
セラミック発振子	f =	MHz
外部クロック	f =	MHz
抵抗発振		

#### (4) ストップモード

有
無

#### (5) パッケージ

DP - 28S
FP - 28DA
FP - 30D

【注】 ROM発注手順ユーザーズマニュアル ( ADJ-602-096 ) については、担当営業までお問い合わせください。

C.2 HD404394シリーズオプションリスト

選択する仕様に対し 内にチェック  
( 、 ×、 ) をつけてください。

(1) ROM サイズ

HD404391	1k ワード
HD404392	2k ワード
HD404394	4k ワード

発注年月日	年 月 日
貴社名	
所属	
御芳名	
ROM コード名	
LSI 型名(日立記入)	

(2) ROM コードデータ構成

EPROM 搭載形マイコン ( ZTAT®マイコンを含む ) は、下位上位混合タイプを指定してください。

下位上位混合タイプ データの下位 5 ビット(L)、上位 5 ビット(U)を混合して LULULU.. の順に一つの EPROM に書き込んだもの。
下位上位分離タイプ データの下位 5 ビット(L)、上位 5 ビット(U)をそれぞれ別々の EPROM に書き込んだもの。

(3) システム発振器 ( OSC1 - OSC2 )

セラミック発振子	f =	MHz
外部クロック	f =	MHz

(4) ストップモード

有
無

(5) パッケージ

DP - 28S
FP - 28DA
FP - 30D

【注】 ROM発注手順ユーザーズマニュアル ( ADJ-602-096 ) については、担当営業までお問い合わせください。

C.3 HD404318シリーズオプションリスト

選択する仕様に対し 内にチェック ( 、 x、 ) をつけてください。

(1) ROMサイズ

HD404314	4 k ワード
HD404316	6 k ワード
HD404318	8 k ワード

発注年月日	年 月 日
貴社名	
所属	
御芳名	
ROM コード名	
LSI 型名(日立記入)	

(2) I/O オプション

I/O 形式の指定は該当する形式欄に 印をつけてください。  
D: プルダウン抵抗なし E: プルダウン抵抗付

ピン名	I/O	I/O オプション	
		D	E
D0/INT0	I/O		
D1/INT1	I/O		
D2/EVNB	I/O		
D3/BUZZ	I/O		
D4/STOPC	I/O		
D5	I/O		
D6	I/O		
D7	I/O		
D8	I/O		

ピン名	I/O	I/O オプション	
		D	E
R1	R10	I/O	
	R11	I/O	
	R12	I/O	
	R13	I/O	
R2	R20	I/O	
	R21	I/O	
	R22	I/O	
	R23	I/O	
R8	R80	I/O	
	R81	I/O	
	R82	I/O	
	R83	I/O	
RA	RA1	I	(3) にて選択

(3) RA1/Vdisp

RA1 : プルダウン抵抗なし(D)
Vdisp

【注】I/O オプションにおいて 1 端子でもI/OオプションEを選択した場合、RA1/Vdisp 端子は必ず Vdisp を選択してください。

(4) ROM コードデータ構成

EPROM 搭載形マイコン ( ZTAT<sup>®</sup>マイコンを含む ) は、下位上位混合タイプを指定してください。

下位上位混合タイプ データの低位 5 ビット(L)、上位 5 ビット(U)を混合して LULULU.. の順に一つの EPROM に書き込んだもの。
下位上位分離タイプ データの低位 5 ビット(L)、上位 5 ビット(U)をそれぞれ別々の EPROM に書き込んだもの。

(5) システム発振器 ( OSC1 - OSC2 )

セラミック発振子	f =	MHz
水晶発振子	f =	MHz
外部クロック	f =	MHz

(6) ストップモード

有
無

(7) パッケージ

DP - 42S
FP - 44A

【注】 ROM発注手順ユーザズマニュアル ( ADJ-602-096 ) については、担当営業までお問い合わせください。

C.4 HD404358シリーズオプションリスト

選択する仕様に対し 内にチェック  
( 、 x、 )をつけてください。

(1) ROM サイズ

5MHz動作版	HD404354	4 k ワード
8.5MHz動作版	HD40A4354	
5MHz動作版	HD404356	6 k ワード
8.5MHz動作版	HD40A4356	
5MHz動作版	HD404358	8 k ワード
8.5MHz動作版	HD40A4358	

発注年月日	年 月 日
貴社名	
所属	
御芳名	
ROM コード名	
LSI 型名(日立記入)	

(2) ROM コードデータ構成

EPROM 搭載形マイコン ( ZTAT®マイコンを含む ) は、下位上位混合タイプを指定してください。

下位上位混合タイプ データの下位 5 ビット(L)、上位 5 ビット(U)を混合して LULULU.. の順に一つの EPROM に書き込んだもの。
下位上位分離タイプ データの下位 5 ビット(L)、上位 5 ビット(U)をそれぞれ別々の EPROM に書き込んだもの。

(3) システム発振器 ( OSC1 - OSC2 )

セラミック発振子	f =	MHz
水晶発振子	f =	MHz
外部クロック	f =	MHz

(4) ストップモード

有
無

(5) パッケージ

DP - 42S
FP - 44A

【注】 ROM発注手順ユーザーズマニュアル ( ADJ-602-096 ) については、担当営業までお問い合わせください。



C.5 HD404358Rシリーズオプションリスト

選択する仕様に対し 内にチェック  
( 、 x、 )をつけてください。

発注年月日	年 月 日
貴社名	
所属	
御芳名	
ROM コード名	
LSI 型名(日立記入)	

(1) ROM サイズ

5MHz動作版	HD404354R	4 k ワード
8.5MHz動作版	HD40A4354R	
CR発振版	HD40C4354R	
5MHz動作版	HD404356R	6 k ワード
8.5MHz動作版	HD40A4356R	
CR発振版	HD40C4356R	
5MHz動作版	HD404358R	8 k ワード
8.5MHz動作版	HD40A4358R	
CR発振版	HD40C4358R	

(2) ROM コードデータ構成

EPROM 搭載形マイコン ( ZTAT<sup>®</sup>マイコンを含む ) は、下位上位混合タイプを指定してください。

下位上位混合タイプ データの下位 5 ビット(L)、上位 5 ビット(U)を混合して LULULU.. の順に一つの EPROM に書き込んだもの。
下位上位分離タイプ データの下位 5 ビット(L)、上位 5 ビット(U)をそれぞれ別々の EPROM に書き込んだもの。

(3) システム発振器 ( OSC1 - OSC2 ) (  部の選択はできません )

	HD404354R/6R/8R, HD40A4354R/6R/8R	HD40C4354R/6R/8R
セラミック発振子	f =                      MHz	<input type="checkbox"/>
水晶発振子	f =                      MHz	
外部クロック	f =                      MHz	
抵抗発振		

(4) ストップモード

有
無

(5) パッケージ

DP - 42S
FP - 44A

【注】 ROM発注手順ユーザーズマニュアル ( ADJ-602-096 ) については、担当営業までお問い合わせください。

C.6 HD404339シリーズオプションリスト

選択する仕様に対し 内にチェック  
( 、 x、 )をつけてください。

(1) ROM サイズ

HD404334	4 k ワード
HD404336	6 k ワード
HD404338	8 k ワード
HD4043312	12 k ワード
HD404339	16 k ワード

発注年月日	年 月 日
貴社名	
所属	
御芳名	
ROM コード名	
LSI 型名(日立記入)	

(2) 機能オプション

*	32kHz CPU動作あり、時計用タイムベースあり
*	32kHz CPU動作なし、時計用タイムベースあり
	32kHz CPU動作なし、時計用タイムベースなし

[注] \*部のオプション選択時には、サブシステム発振器(X1 - X2)の「水晶発振子」が必要となります。

(3) I/O オプション

I/O 形式の指定は該当する形式欄に 印をつけてください。  
D: プルダウン抵抗なし E: プルダウン抵抗付

ピン名	I/O	I/O オプション	
		D	E
D0/INT0	I/O		
D1/INT1	I/O		
D2/EVNB	I/O		
D3/BUZZ	I/O		
D4/STOPC	I/O		
D5	I/O		
D6	I/O		
D7	I/O		
D8	I/O		
D9	I/O		
D10	I/O		
D11	I/O		
D12	I/O		
D13	I/O		

ピン名	I/O	I/O オプション	
		D	E
R1	R10	I/O	
	R11	I/O	
	R12	I/O	
	R13	I/O	
R2	R20	I/O	
	R21	I/O	
	R22	I/O	
	R23	I/O	
R8	R80	I/O	
	R81	I/O	
	R82	I/O	
	R83	I/O	
R9	R90	I/O	
	R91	I/O	
	R92	I/O	
	R93	I/O	
RA	RA1	I	(4) にて選択

(4) RA1/Vdisp

RA1 : プルダウン抵抗なし(D)
Vdisp

[注] I/O オプションにおいて 1 端子でもI/OオプションEを選択した場合、RA1/Vdisp 端子は必ず Vdisp を選択してください。

(5) ROM コードデータ構成

EPROM 搭載形マイコン ( ZTAT®マイコンを含む ) は、下位上位混合タイプを指定してください。

下位上位混合タイプ データの低位 5 ビット(L)、上位 5 ビット(U)を混合して LULULU.. の順に一つの EPROM に書き込んだもの。
下位上位分離タイプ データの低位 5 ビット(L)、上位 5 ビット(U)をそれぞれ別々の EPROM に書き込んだもの。

(6) システム発振器 ( OSC1 - OSC2 )

セラミック発振子	f =	MHz
水晶発振子	f =	MHz
外部クロック	f =	MHz

(7) ストップモード

有
無

(8) パッケージ

DP - 64S
FP - 64B

[注] ROM発注手順ユーザーズマニュアル ( ADJ-602-096 ) については、担当営業までお問い合わせください。

C.7 HD404369シリーズオプションリスト

選択する仕様に対し 内にチェック  
( 、 x、 )をつけてください。

(1) ROM サイズ

5MHz動作版	HD404364	4 k ワード
8.5MHz動作版	HD40A4364	
5MHz動作版	HD404368	8 k ワード
8.5MHz動作版	HD40A4368	
5MHz動作版	HD4043612	12 k ワード
8.5MHz動作版	HD40A43612	
5MHz動作版	HD404369	16 k ワード
8.5MHz動作版	HD40A4369	

発注年月日	年 月 日
貴社名	
所属	
御芳名	
ROM コード名	
LSI 型名(日立記入)	

(2) 機能オプション

*	32kHz CPU動作あり、時計用タイムベースあり
*	32kHz CPU動作なし、時計用タイムベースあり
	32kHz CPU動作なし、時計用タイムベースなし

[注] \*部のオプション選択時には、サブシステム発振器(X1 - X2)の「水晶発振子」が必要となります。

(3) ROM コードデータ構成

EPROM 搭載形マイコン ( ZTAT®マイコンを含む ) は、下位上位混合タイプを指定してください。

下位上位混合タイプ データの下位 5 ビット(L)、上位 5 ビット(U)を混合して LULULU.. の順に一つの EPROM に書き込んだもの。
下位上位分離タイプ データの下位 5 ビット(L)、上位 5 ビット(U)をそれぞれ別々の EPROM に書き込んだもの。

(4) システム発振器 ( OSC1 - OSC2 )

セラミック発振子	f =	MHz
水晶発振子	f =	MHz
外部クロック	f =	MHz

(5) ストップモード

有
無

(6) パッケージ

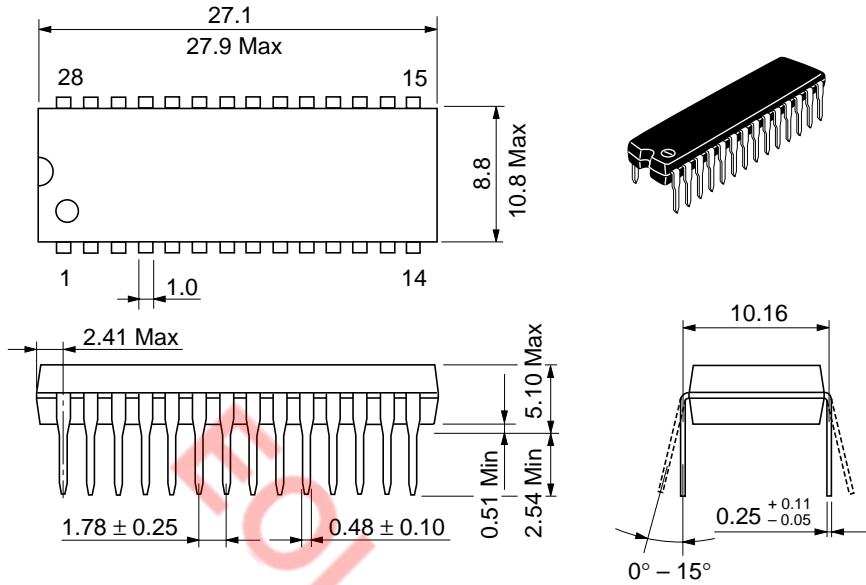
DP - 64S
FP - 64B

【注】 ROM発注手順ユーザーズマニュアル ( ADJ-602-096 ) については、担当営業までお問い合わせください。

D 外形寸法図

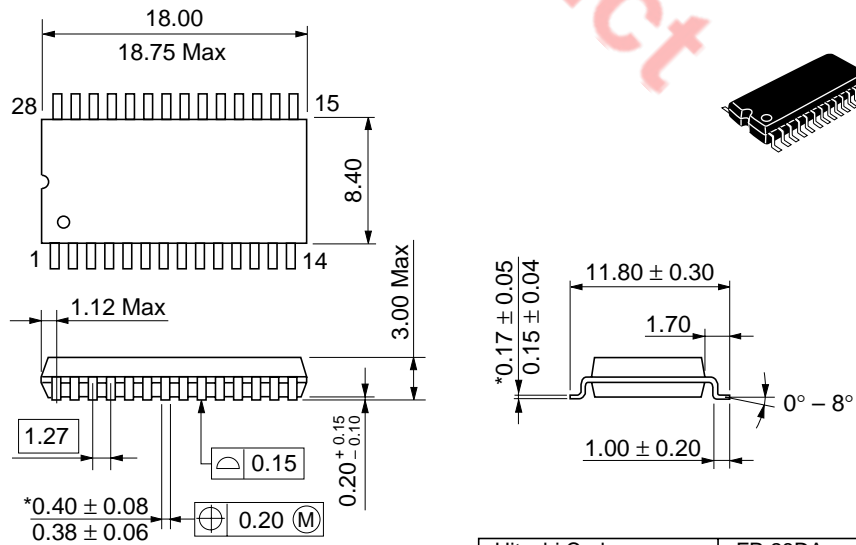
単位：mm

DP-28S



Hitachi Code	DP-28S
JEDEC	—
EIAJ	Conforms
Weight (reference value)	1.9 g

FP-28DA

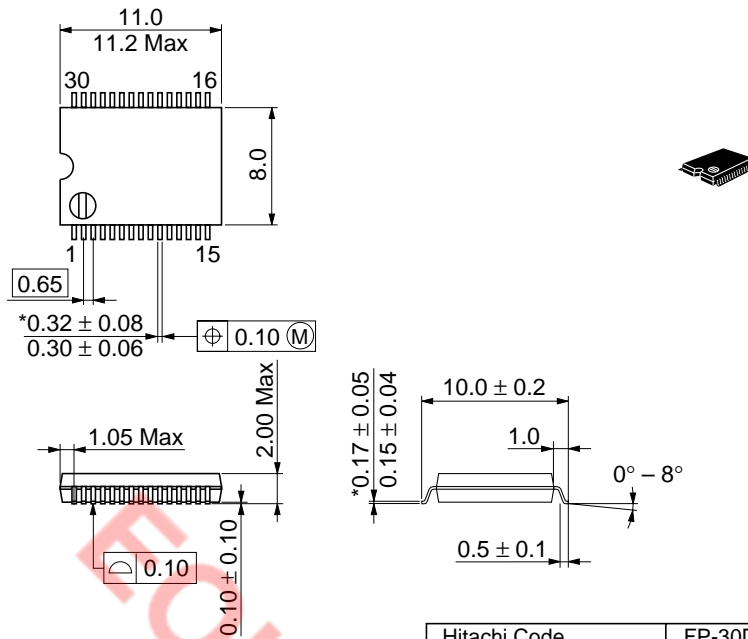


\*Dimension including the plating thickness  
Base material dimension

Hitachi Code	FP-28DA
JEDEC	Conforms
EIAJ	Conforms
Weight (reference value)	0.82 g

FP-30D

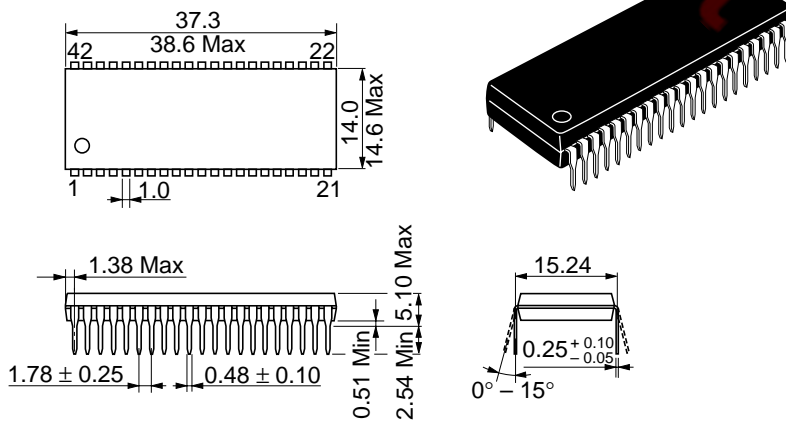
Unit: mm



\*Dimension including the plating thickness  
Base material dimension

Hitachi Code	FP-30D
JEDEC	—
EIAJ	—
Weight (reference value)	—

DP-42S

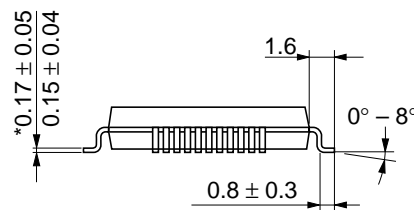
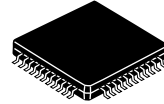
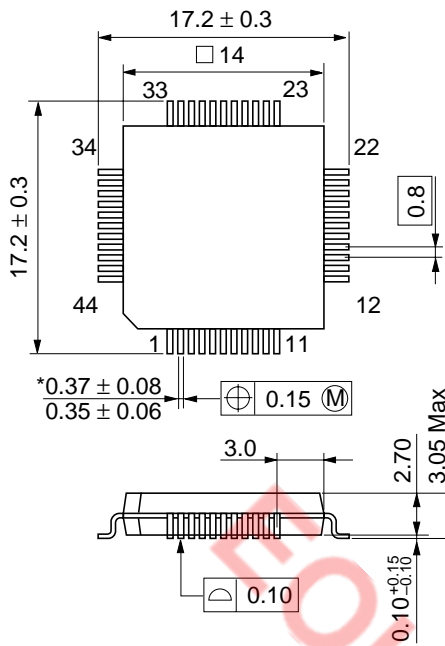


Hitachi Code	DP-42S
JEDEC	—
EIAJ	Conforms
Weight (reference value)	4.8 g

付録 全シリーズ

FP-44A

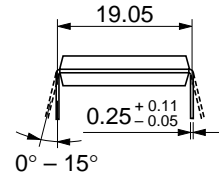
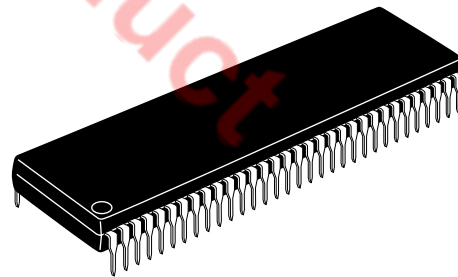
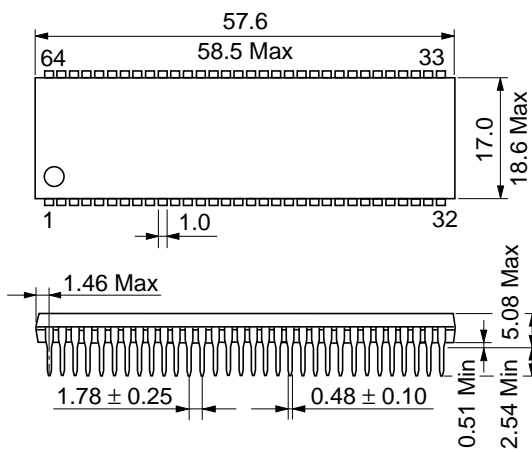
Unit: mm



\*Dimension including the plating thickness  
Base material dimension

Hitachi Code	FP-44A
JEDEC	—
EIAJ	Conforms
Weight (reference value)	1.2 g

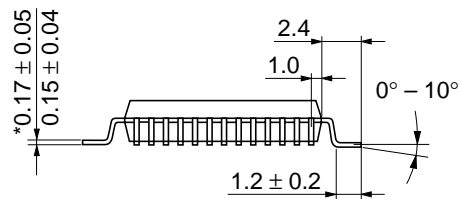
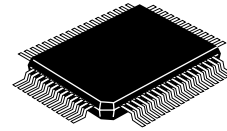
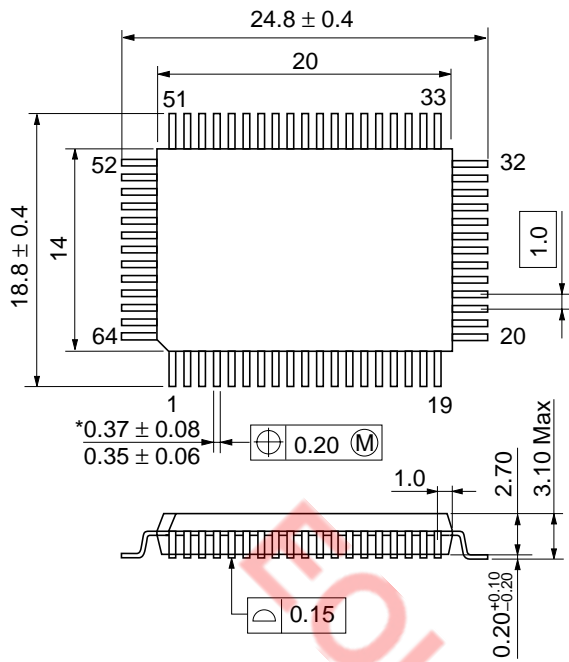
DP-64S



Hitachi Code	DP-64S
JEDEC	—
EIAJ	Conforms
Weight (reference value)	8.8 g

FP-64B

Unit: mm



\*Dimension including the plating thickness  
Base material dimension

Hitachi Code	FP-64B
JEDEC	—
EIAJ	—
Weight (reference value)	1.7 g

EOL Product



EOL Product

HMCS43XX ファミリ ハードウェアマニュアル

発行年月 平成 6 年 3 月 第 1 版

平成 12 年 8 月 第 3 版

発 行 株式会社 日立製作所  
半導体グループ電子統括営業本部

編 集 株式会社 日立小平セミコン  
技術ドキュメントグループ

©株式会社 日立製作所 1994

EOL Product

HMCS43XX ファミリ  
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

ADJ-602-095B(O)