

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

---

## 資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

---

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日  
株式会社ルネサス テクノロジ  
カスタマサポート部

## ご注意

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりますは、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。

# HD64413A Q2SD

ユーザーズマニュアル

SuperH™ RISC engine 周辺 LSI

HD64413A

Quick 2D Graphics  
Renderer with  
Synchronous DRAM  
Interface

## ご注意

- 1 本書に記載の製品及び技術のうち「外国為替及び外国貿易法」に基づき安全保障貿易管理関連貨物・技術に該当するものを輸出する場合、または国外に持ち出す場合は日本国政府の許可が必要です。
- 2 本書に記載された情報の使用に際して、弊社もしくは第三者の特許権、著作権、商標権、その他の知的所有権等の権利に対する保証または実施権の許諾を行うものではありません。また本書に記載された情報を使用した事により第三者の知的所有権等の権利に関わる問題が生じた場合、弊社はその責を負いませんので予めご了承ください。
- 3 製品及び製品仕様は予告無く変更する場合がありますので、最終的な設計、ご購入、ご使用に際しましては、事前に最新の製品規格または仕様書をお求めになりご確認ください。
- 4 弊社は品質・信頼性の向上に努めておりますが、宇宙、航空、原子力、燃焼制御、運輸、交通、各種安全装置、ライフサポート関連の医療機器等のように、特別な品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途にご使用をお考えのお客様は、事前に弊社営業担当迄ご相談をお願い致します。
- 5 設計に際しては、特に最大定格、動作電源電圧範囲、放熱特性、実装条件及びその他諸条件につきましては、弊社保証範囲内でご使用いただきますようお願い致します。保証値を越えてご使用された場合の故障及び事故につきましては、弊社はその責を負いません。また保証値内のご使用であっても半導体製品について通常予測される故障発生率、故障モードをご考慮の上、弊社製品の動作が原因でご使用機器が人身事故、火災事故、その他の拡大損害を生じないようにフェールセーフ等のシステム上の対策を講じて頂きますようお願い致します。
- 6 本製品は耐放射線設計をしておりません。
- 7 本書の一部または全部を弊社の文書による承認なしに転載または複製することを堅くお断り致します。
- 8 本書をはじめ弊社半導体についてのお問い合わせ、ご相談は弊社営業担当迄お願い致します。

## 製品に関する一般的注意事項

### 1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。

接続された場合については保証できません。

### 2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。

未使用の入力端子は、ハイまたはローレベルに固定してください。

### 3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

### 4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。

これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

---

# 本書の構成

---

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 端子
  - ・ 端子構成
  - ・ ピン配置図
  - ・ 端子機能説明
7. UGM アーキテクチャ
8. ディスプレイリスト

各コマンドの説明の構成は、機能、 コマンドフォーマット、 説明、 例等の節で構成されています。
9. レジスタ
  - ・ レジスタ一覧
  - ・ 各レジスタの説明
6. 使用上の注意事項
7. 電気的特性
8. 付録



---

# はじめに

---

Q2SD ( Quick 2D Graphics Renderer with Synchronous DRAM Interface ) は、シンプル、リアルタイム、およびアップグレードをコンセプトとした CPU グラフィックアクセラレータクイックシリーズ ( Q シリーズ ) の SDRAM インタフェース対応 2D グラフィックレンダラーです。Q2SD は、描画、表示、ビデオ入力機能を 1 チップに集積したマルチメディア応用向け高性能グラフィックスレンダリング LSI です。

**対象者** このマニュアルは、Q2SD を用いた応用システムを設計するユーザーを対象としています。  
このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

**目的** このマニュアルは、Q2SD のハードウェア機能と電気的特性をユーザーに理解して頂くことを目的にしています。今回の改訂版では、ビデオ入力機能説明の充実、アプリケーションノートの掲載、また、お客様からご質問を頂いた内容について見直ししました。

**読み方** 目次にしたがって読んでください。  
本書は、大きく分類すると、概要、端子説明、UGMアーキテクチャ、ディスプレイリスト、レジスタ説明、使用上の注意事項の順に構成されています。

**凡例** 数字の表記：2進数は B'xxxx、16進数は H'xxxx  
信号の表記：ローアクティブの信号にはオーバーバーを付けます。  $\overline{\text{xxxx}}$

**関連資料一覧** ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。  
( <http://www.hitachisemiconductor.com/jp/> )

- アプリケーションノート

資料名	資料番号
HD64413AQ2SD アプリケーションノート	ADJ-502-079



---

# 目次

---

1. 概要 .....	1-1
1.1 特長 .....	1-2
1.2 製品仕様 .....	1-7
1.3 ブロック図 .....	1-8
1.4 処理状態 .....	1-10
1.4.1 パワーオン .....	1-10
1.4.2 初期状態（規定の電源を投入したとき） .....	1-10
1.4.3 リセット状態（ $\overline{\text{RESET}}$ 端子に Low レベルを入力したとき） .....	1-11
1.4.4 UGM 初期化状態 .....	1-11
1.4.5 通常動作状態 .....	1-11
2. 端子 .....	2-1
2.1 端子構成 .....	2-1
2.2 ピン配置図 .....	2-2
2.3 端子機能 .....	2-3
2.4 システム制御端子 .....	2-8
2.4.1 動作モード端子 .....	2-8
2.4.2 クロック端子 .....	2-8
2.4.3 リセット端子 .....	2-9
2.4.4 電源端子 .....	2-10
2.5 CPUインタフェース端子 .....	2-11
2.5.1 CPU ライト .....	2-11
2.5.2 CPU リード .....	2-11
2.5.3 DMA ライト .....	2-12
2.5.4 割り込み .....	2-13
2.6 UGMインタフェース端子 .....	2-13
2.7 表示インタフェース端子 .....	2-14
2.7.1 表示信号出力 .....	2-14
2.7.2 ビデオエンコーダインタフェース .....	2-14
2.7.3 CRT インタフェース .....	2-14
2.7.4 D/A コンバータ .....	2-14
2.8 ビデオ取り込みインタフェース端子 .....	2-16
2.8.1 ビデオ取り込みインタフェース .....	2-16

3.	UGM アーキテクチャ .....	3-1
3.1	特長 .....	3-1
3.2	Q2SDアクセス .....	3-2
3.2.1	UGM アクセスの優先順位 .....	3-2
3.2.2	CPU の UGM アクセス .....	3-2
3.2.3	DMAC の UGM アクセス .....	3-3
3.2.4	Q2SD の UGM アクセス .....	3-3
3.2.5	CPU のレジスタアクセス .....	3-3
3.2.6	レジスタの更新 .....	3-4
3.2.7	バイト入れ替え機能 .....	3-6
3.2.8	2次元画像データ変換機能 .....	3-7
3.2.9	入力データフォーマット .....	3-11
3.2.10	UGM 上のデータフォーマット .....	3-14
3.2.11	内部データフォーマット .....	3-16
3.2.12	割り込み出力機能 .....	3-17
3.3	ユニファイドグラフィックスメモリ ( UGM ) .....	3-18
3.3.1	メモリアドレス .....	3-18
3.3.2	メモリマップ .....	3-22
3.3.3	座標系 .....	3-24
3.3.4	ダブルバッファ制御 .....	3-31
3.3.5	リフレッシュ制御 .....	3-37
3.4	表示 .....	3-38
3.4.1	表示画面の設定 .....	3-38
3.4.2	表示画面の合成 .....	3-40
3.4.3	表示走査方式 .....	3-43
3.4.4	表示同期方式 .....	3-50
3.4.5	表示画面の色展開 .....	3-53
3.5	レンダリング .....	3-54
3.5.1	コマンド .....	3-54
3.5.2	画像データの参照 .....	3-56
3.5.3	レンダリング属性 .....	3-59
3.5.4	コマンドフェッチ .....	3-66
3.5.5	Q2SD 内部バッファについて .....	3-68
3.6	ビデオ取り込み機能 .....	3-69
3.6.1	ビデオ取り込み制御 .....	3-69
3.6.2	ビデオ取り込みモード .....	3-71
3.6.3	ビデオ取り込み画像の縮小 .....	3-76
3.6.4	ビデオ取り込み位置の設定 .....	3-77
3.6.5	ビデオ取り込みデータの形式 .....	3-79
3.6.6	YCbCr データと RGB データ .....	3-81

3.7	ビデオ表示機能 .....	3-82
3.7.1	ビデオ面の表示 .....	3-82
3.7.2	表示走査モードとビデオ取り込みモードとの関係 .....	3-82
4.	ディスプレイリスト .....	4-1
4.1	4頂点面描画コマンド .....	4-2
4.1.1	POLYGON4A .....	4-2
4.1.2	POLYGON4B .....	4-6
4.1.3	POLYGON4C .....	4-9
4.2	線描画 .....	4-11
4.2.1	LINE .....	4-11
4.2.2	RLINE .....	4-13
4.2.3	PLINE .....	4-15
4.2.4	RPLINE .....	4-17
4.3	ワーク面描画コマンド .....	4-19
4.3.1	FTRAP .....	4-19
4.3.2	RFTRAP .....	4-21
4.3.3	CLRW .....	4-23
4.4	ワーク線描画 .....	4-25
4.4.1	LINEW .....	4-25
4.4.2	RLINEW .....	4-27
4.5	レジスタ設定コマンド .....	4-29
4.5.1	MOVE .....	4-29
4.5.2	RMOVE .....	4-31
4.5.3	LCOFS .....	4-32
4.5.4	RLCOFS .....	4-34
4.5.5	SCLIP .....	4-36
4.5.6	UCLIP .....	4-38
4.5.7	WPR .....	4-40
4.6	シーケンス制御コマンド .....	4-42
4.6.1	JUMP .....	4-42
4.6.2	GOSUB .....	4-44
4.6.3	RET .....	4-46
4.6.4	NOP3 .....	4-47
4.6.5	VBKEM .....	4-48
4.6.6	TRAP .....	4-49
5.	レジスタ .....	5-1
5.1	レジスタ一覧 .....	5-1
5.2	インタフェース制御レジスタ .....	5-4

5.2.1	システム制御レジスタ (SYSR) .....	5-4
5.2.2	ステータスレジスタ (SR) .....	5-8
5.2.3	ステータスレジスタクリアレジスタ (SRCR) .....	5-11
5.2.4	割り込み許可レジスタ (IER) .....	5-12
5.2.5	メモリモードレジスタ (MEMR) .....	5-14
5.2.6	表示モードレジスタ (DSMR) .....	5-15
5.2.7	表示モード2レジスタ (DSMR2) .....	5-18
5.2.8	レンダリングモードレジスタ (REMR) .....	5-20
5.2.9	入力データ変換モードレジスタ (IEMR) .....	5-22
5.2.10	ビデオ取り込みモードレジスタ (VIMR) .....	5-24
5.3	メモリ制御レジスタ .....	5-27
5.3.1	表示サイズレジスタ (DSR) .....	5-27
5.3.2	表示開始アドレスレジスタ (DSAR) .....	5-28
5.3.3	ディスプレイリスト開始アドレスレジスタ (DLSAR) .....	5-29
5.3.4	多値ソース領域開始アドレスレジスタ (SSAR) .....	5-29
5.3.5	ワーク領域開始アドレスレジスタ (WSAR) .....	5-30
5.3.6	背景開始座標レジスタ (BGSR) .....	5-30
5.3.7	ビデオ領域開始アドレスレジスタ (VSAR) .....	5-31
5.3.8	ビデオウィンドウサイズレジスタ (VSIZER) .....	5-32
5.3.9	カーソル領域開始アドレスレジスタ (CSAR) .....	5-33
5.3.10	描画開始アドレスレジスタ (RSAR) .....	5-34
5.4	表示制御レジスタ .....	5-35
5.4.1	表示ウィンドウレジスタ (DSWR) .....	5-35
5.4.2	水平同期パルス幅レジスタ (HSWR) .....	5-36
5.4.3	水平走査周期レジスタ (HCR) .....	5-37
5.4.4	垂直同期位置レジスタ (VSPR) .....	5-37
5.4.5	垂直走査周期レジスタ (VCR) .....	5-37
5.4.6	表示オフ時出力レジスタ (DOOR) .....	5-38
5.4.7	色検出レジスタ (CDER) .....	5-38
5.4.8	等化パルス幅レジスタ (EQWR) .....	5-39
5.4.9	セパレーション幅レジスタ (SPWR) .....	5-40
5.4.10	ビデオ表示開始位置レジスタ (VPR) .....	5-40
5.4.11	カーソル表示開始位置レジスタ (CSR) .....	5-41
5.4.12	カラーパレットレジスタ (CP000R ~ CP255R) .....	5-43
5.5	レンダリング制御レジスタ .....	5-45
5.5.1	コマンドステータスレジスタ (CSTR) .....	5-45
5.5.2	カレントポイントレジスタ (CURR) .....	5-46
5.5.3	ローカルオフセットレジスタ (LCOR) .....	5-46
5.5.4	ユーザクリップエリアレジスタ (UCLR) .....	5-47
5.5.5	システムクリップエリアレジスタ (SCLR) .....	5-48

5.5.6	リターンアドレスレジスタ (RTNR) .....	5-48
5.5.7	カラーオフセットレジスタ (COLOR) .....	5-49
5.6	データ転送制御レジスタ .....	5-50
5.6.1	DMA 転送開始アドレスレジスタ (DMASR) .....	5-50
5.6.2	DMA 転送語数レジスタ (DMAWR) .....	5-51
5.6.3	画像データ転送開始アドレスレジスタ (ISAR) .....	5-52
5.6.4	画像データサイズレジスタ (IDSR) .....	5-53
5.6.5	画像データエントリレジスタ (IDER) .....	5-53
6.	使用上の注意事項 .....	6-1
6.1	パワーオンシーケンス .....	6-1
6.2	64MビットSDRAM (×16タイプ) 使用について .....	6-1
6.3	CPUインタフェースユニットのFIFOについて .....	6-2
6.4	ビデオ取り込み開始タイミングについて .....	6-2
6.5	リニア形式ソースを用いた描画について .....	6-3
6.6	Q2SDが設定するUGM用SDRAMのモードレジスタ値について .....	6-4
7.	電気的特性 .....	7-1
7.1	絶対最大定格 .....	7-1
7.2	推奨動作条件 .....	7-1
7.3	電気的特性測定方法 .....	7-2
7.3.1	タイミング測定法 .....	7-2
7.3.2	テスト負荷回路 (全出力、全入出力端子) .....	7-2
7.4	電気的特性 .....	7-3
7.4.1	DC 特性 .....	7-3
7.4.2	AC 特性 .....	7-4
7.5	タイミングチャート .....	7-10
7.5.1	クロック .....	7-10
7.5.2	リセットタイミング .....	7-10
7.5.3	CPU リードサイクルタイミング .....	7-11
7.5.4	CPU ライトサイクルタイミング .....	7-11
7.5.5	DMA ライトサイクルタイミング (DMAC Q2SD) .....	7-12
7.5.6	割り込み出力タイミング .....	7-14
7.5.7	UGM リードサイクルタイミング .....	7-14
7.5.8	UGM ライトサイクルタイミング .....	7-15
7.5.9	UGM リフレッシュサイクルタイミング・モードレジスタセットタイミング .....	7-16
7.5.10	マスタモード表示タイミング .....	7-18
7.5.11	TV 同期モード表示タイミング .....	7-19
7.5.12	ビデオインタフェースタイミング .....	7-21

付録 .....	付録-1
A. レジスタの初期値.....	付録-1
A.1 レジスタのハードウェアリセット時の初期値.....	付録-1
B. コマンドとパラメータ.....	付録-2
B.1 コマンドとレンダリング属性の関係.....	付録-2
B.2 コマンドのコマンドコード.....	付録-3
B.3 コマンドのパラメータ仕様.....	付録-4
C. 直線描画アルゴリズム.....	付録-11
D. パッケージ外形寸法図.....	付録-13
E. 表示動作クロックと画面合成について.....	付録-14
F. SuperH.システム構成例.....	付録-18
F.1 クロックの決定.....	付録-19
F.2 ソフトウェアウェイトの設定.....	付録-19
F.3 接続時の注意事項.....	付録-20
F.4 アドレスマップドレジスタの初期化手順.....	付録-20
F.5 メモリ割り当て.....	付録-21
F.5.1 HD64413Aのメモリマッピング.....	付録-21
F.5.2 UGMにおける領域の配置例.....	付録-22
F.5.3 UGMにおけるアドレスの連続性.....	付録-24
F.6 UGMへのデータ転送における注意事項.....	付録-24
G. 表示制御例.....	付録-25
G.1 表示サイズの決め方.....	付録-25
G.2 表示画面の選択方法.....	付録-25
G.3 同期信号の設定方法.....	付録-26
G.4 表示制御に関連するレジスタ値の設定および変更方法.....	付録-29
G.4.1 カラーパレットの設定方法.....	付録-29
G.4.2 同期モードの移行手順.....	付録-29
G.5 カーソル表示の行い方.....	付録-30
H. 描画制御例.....	付録-31
H.1 描画の開始方法例.....	付録-31
H.2 内部更新でフレームチェンジを行う方法例.....	付録-32
H.3 描画コマンドの使用例.....	付録-34
H.3.1 多角形の描画.....	付録-34
H.3.2 任意の形の描画.....	付録-34
H.3.3 円・楕円の描画.....	付録-34
H.3.4 ソースデータを使用した描画.....	付録-35
H.3.5 3次元空間を表現させる方法.....	付録-35
H.4 描画コマンドを使用する際の注意事項.....	付録-36
H.4.1 ローカルオフセットとカレントポイントの関係に関する注意.....	付録-36
H.4.2 相対系コマンドを使用する際の注意.....	付録-36



H.4.3	ソースデータを使用する際の注意.....	付録-37
H.5	描画処理を支援する機能.....	付録-38
H.5.1	描画の中断・再開.....	付録-38
I.	描画性能.....	付録-40
J.	ビデオ取り込み機能の使用例.....	付録-43
J.1	ビデオ取り込み設定例.....	付録-43
J.1.1	インタレース合成取り込み例.....	付録-43
J.1.2	ビデオデータのサイズ変更例.....	付録-45
J.2	ビデオ取り込みデータの利用例.....	付録-47
J.2.1	ビデオ取り込みデータをリアルタイムビデオ面として表示する方法.....	付録-47
J.2.2	ビデオ取り込みデータを多値ソースとして利用する方法.....	付録-47
J.3	ビデオデコーダ.....	付録-53
J.3.1	ビデオデコーダのフィールド制御.....	付録-53
J.3.2	ビデオデコーダの設定.....	付録-54
K.	製品ラインナップ.....	付録-55



---

# 図目次

---

1. 概要	
図1.1 システム構成例	1-1
図1.2 システムの小型化を可能にするUGMアーキテクチャ	1-2
図1.3 システムバスインタフェースの一元化	1-2
図1.4 ダブルバッファ	1-3
図1.5 グラフィックスアクセラレータ	1-4
図1.6 グラフィックス処理のパイプライン化	1-4
図1.7 表示合成機能	1-5
図1.8 デジタルビデオデータの取り込み	1-5
図1.9 3Dアルゴリズムを使用したときのデータの流れ	1-6
図1.10 内部ブロック図	1-9
図1.11 状態遷移図	1-10
2. 端子	
図2.1 端子構成	2-1
図2.2 ピン配置図	2-2
図2.3 CAP1、CAP2端子接続回路例	2-9
図2.4 端子近くの電源間バイパスコンデンサの接続	2-10
図2.5 REXT、CBU、CBL端子接続回路例	2-15
図2.6 ビデオ取り込み端子接続例	2-16
3. UGM アーキテクチャ	
図3.1 UGMを使用したシステム構成例	3-1
図3.2 CPUメモリ空間に対するUGMのマッピング例	3-2
図3.3 バイト入れ替え	3-6
図3.4 画像データ変換機能	3-7
図3.5 YUV、YUV RGB変換時のレジスタ設定手順	3-8
図3.6 320×240のYUVデータを4回のDMA_YUVで UGMに転送するときの設定例	3-8
図3.7 メモリ1単位（512バイト）の構成	3-18
図3.8 UGMのアドレス進行	3-19
図3.9 UGM物理アドレス（バイト）と2次元論理アドレスとの対応	3-20
図3.10 ワークアドレス空間	3-20
図3.11 UGM物理アドレス（バイト）とワークアドレスとの対応	3-21
図3.12 メモリマップ例（16ビット/画素時 画面サイズ640×480相当時）	3-22
図3.13 8ビット/画素と16ビット/画素の関係	3-23
図3.14 HDIS = 1のフレームバッファFB1の配置	3-23
図3.15 スクリーン座標	3-25
図3.16 レンダリング座標	3-26
図3.17 多値ソース座標（ $LN_i = 0$ 、2次元論理アドレス）	3-27
図3.18 多値ソース座標（ $LN_i = 1$ 、リニアアドレス）	3-28
図3.19 2値ソース座標	3-28

図3.20	ワーク座標 .....	3-29
図3.21	オートディスプレイチェンジモードの動作 .....	3-32
図3.22	オートレンダリングモードの動作 .....	3-33
図3.23	マニュアルディスプレイチェンジモードの動作 .....	3-35
図3.24	VBKEMコマンドによる動作 .....	3-36
図3.25	表示タイミング .....	3-38
図3.26	Q2SDの画面表示構成 .....	3-40
図3.27	背景画面の単純スクロール (WRAP = 0) の例 .....	3-42
図3.28	背景画面の球面スクロール (WRAP = 1) の例 .....	3-42
図3.29	ラストスキャン制御の表示例 .....	3-43
図3.30	インタレースシンク方式の表示 .....	3-44
図3.31	ノンインタレース方式の表示 .....	3-45
図3.32	ノンインタレースモード表示出力 .....	3-46
図3.33	インタレースモード表示出力 .....	3-47
図3.34 (1)	インタレースシンク & ビデオモード出力 .....	3-48
図3.34 (2)	インタレースシンク & ビデオモードの出力 .....	3-49
図3.35	TV同期モード時の信号の流れ .....	3-51
図3.36	表示タイミング .....	3-52
図3.37	CSYNC出力波形 .....	3-52
図3.38	描画機能 .....	3-55
図3.39	POLYGON4系転送データの組み合わせ例 .....	3-56
図3.40	多値ソースデータの構成 .....	3-57
図3.41	漢字フォントを2値ソースとした例 (TDX = 24、TDY = 24) .....	3-57
図3.42	2値ワークデータの構成 .....	3-58
図3.43	レンダリング属性のビット配置 .....	3-59
図3.44	ソーススタイル指定例 .....	3-60
図3.45	クリッピング指定例 .....	3-61
図3.46	イーブンオッドセレクト指定例 .....	3-61
図3.47	太線描画の例 (線幅4の描画例) ただし、FWUL = 1かつFWDR = 1 .....	3-63
図3.48	ディスプレイリスト例 .....	3-66
図3.49	背景面に対する描画の中断・再開タイミング例 .....	3-67
図3.50	Q2SD内のバッファ更新 .....	3-68
図3.51	ビデオ取り込み信号 .....	3-70
図3.52	ビデオ取り込みタイミング .....	3-70
図3.53	取り込み状態 .....	3-70
図3.54	表示状態 .....	3-71
図3.55	ビデオ格納領域 .....	3-72
図3.56	インタレース取り込み .....	3-73
図3.57	インタレース合成取り込み .....	3-73
図3.58	インタレース取り込み (奇数) .....	3-74
図3.59	インタレース取り込み (偶数) .....	3-74
図3.60	インタレースのビデオ入力フィールド取り扱い指定 .....	3-75
図3.61	ビデオ取り込み時の間引き .....	3-76
図3.62	ビデオ取り込み時の間引き設定の失敗 .....	3-76
図3.63	ビデオ取り込み領域の設定 .....	3-77
図3.64	ビデオ取り込み領域設定例 .....	3-78
図3.65	YCbCr 4 : 2 : 2データの流れ .....	3-79

図3.66	YCbCr 4 : 2 : 2データの形式	3-79
図3.67	YCbCr RGB変換	3-81
図3.68	RGBデータ (16ビット / 画素)	3-81
図3.69	ビデオ画面表示位置	3-82
図3.70	インタレースモード取り込みと表示との相関	3-83
図3.71	インタレース合成モード取り込みと表示との相関	3-84
図3.72	インタレース奇数モード取り込みと表示との相関	3-85
図3.73	インタレース偶数モード取り込みと表示との相関	3-86
6. 使用上の注意事項		
図6.1	パワーオンシーケンス	6-1
図6.2	ビデオインタフェースタイミング	6-2
7. 電気的特性		
図7.1	$V_{OL}$ のタイミング測定基準	7-2
図7.2	テスト負荷回路	7-2
図7.3	入力クロック	7-10
図7.4	リセットタイミング	7-10
図7.5	CPUリードサイクルタイミング (CPU Q2SD) ハードウェアウェイトあり	7-11
図7.6	CPUライトサイクルタイミング (CPU Q2SD) ハードウェアウェイトあり	7-11
図7.7 (1)	DMAライトサイクルタイミング (シングルアドレス、DMAC Q2SD)	7-12
図7.7 (2)	DMAライトサイクルタイミング (シングルアドレス、DMAC Q2SD)	7-12
図7.7 (3)	DMAライトサイクルタイミング (デュアルアドレス、DMAC Q2SD)	7-13
図7.7 (4)	DMAライトサイクルタイミング (デュアルアドレス、DMAC Q2SD)	7-13
図7.8	割り込み出力タイミング	7-14
図7.9	UGMリードサイクルタイミング	7-14
図7.10	UGMライトサイクルタイミング	7-15
図7.11 (1)	UGMリフレッシュサイクルタイミング	7-16
図7.11 (2)	UGMモードレジスタセットサイクルタイミング	7-17
図7.12	マスタモード表示タイミング	7-18
図7.13 (1)	TV同期モード表示タイミング	7-19
図7.13 (2)	TV同期モード表示タイミング	7-20
図7.14 (1)	ビデオインタフェースタイミング	7-21
図7.14 (2)	ビデオインタフェースタイミング	7-21

## 付録

C. 直線描画アルゴリズム		
図C.1	ラスタディスプレイ上での直線の2つの表現	付録-11
図C.2	(a) 8点法と (b) 4点法の比較	付録-11
図C.3	(a) 8点法描画と (b) 4点法描画の描画点決定プロセスの比較	付録-12
D. パッケージ外形寸法図		
図D.1	パッケージ外形寸法図 (FP-176)	付録-13
F. SuperH.システム構成例		
図F.1	システム構成例	付録-18
図F.2	インタフェースタイミング例	付録-19
図F.3	メモリマッピング例	付録-21

図F.4	UGMメモリマップ .....	付録-23
図F.5	UGMのアドレス遷移概要 .....	付録-24
G. 表示制御例		
図G.1	表示タイミング例 .....	付録-25
図G.2	ノンインタレースモード時の表示タイミング例 .....	付録-26
図G.3	インタレースシンク & ビデオモード時の表示タイミング例 .....	付録-28
図G.4	カーソル割当て .....	付録-30
H. 描画制御例		
図H.1	DBF = 0時の表示・描画制御タイミングチャート .....	付録-33
図H.2	参照・分岐例 .....	付録-35
I. 描画性能		
図I.1	FST = 0のときのPOYLGON4Cの描画性能 (描画範囲: 320 (H) × 240 (V)) ...	付録-40
図I.2	FST = 1のときのPOYLGON4Cの描画性能 (描画範囲: 320 (H) × 240 (V)) ...	付録-41
図I.3	FST = 0のPOYLGON4Cの描画性能 (描画範囲: 320 (H) × 240 (V)) .....	付録-42
J. ビデオ取り込み機能の使用例		
図J.1	インタレース合成取り込み .....	付録-44
図J.2	縦1/4横1/4間引きインタレース合成取り込み .....	付録-46
図J.3	ビデオデータの利用例 .....	付録-49
図J.4	Q2SDビデオ設定フロー (1) .....	付録-50
図J.5	Q2SDビデオ設定フロー (2) .....	付録-51
図J.6	Q2SDビデオ設定フロー (3) .....	付録-52
図J.7	取り込み回路構成例 .....	付録-53
図J.8	デコーダのインタレースデータの出力タイミング例 .....	付録-54

---

# 表目次

---

1. 概要	
表1.1 製品仕様	1-7
表1.2 リセット直後の端子状態	1-11
2. 端子	
表2.1 端子機能	2-3
表2.2 動作モードの選択	2-8
表2.3 入力クロックと動作周波数	2-9
3. UGM アーキテクチャ	
表3.1 内部更新機能付きレジスタ	3-5
表3.2 割り込み出力機能	3-17
表3.3 リフレッシュサイクル数の設定	3-37
表3.4 リフレッシュサイクル数見積例	3-37
表3.5 表示画面で定義した変数	3-39
表3.6 レジスタ設定値対応表	3-39
表3.7 背景画面に関するレジスタ設定	3-42
表3.8 Q2SDの表示とモニタの選択	3-45
表3.9 コマンド一覧表	3-54
表3.10 太線描画の設定	3-63
表3.11 8Bit Pixel Interface	3-79
表3.12 Q2SDのビデオ取り込みと表示の選択	3-87
4. ディスプレイリスト	
表4.1 コマンド一覧表	4-1
5. レジスタ	
表5.1 レジスタマップ	5-1
表5.2 ビット構成	5-21
表5.3 YUVモード設定	5-23
表5.4 ビデオ取り込み間引き率の設定	5-26
7. 電気的特性	
表7.1 絶対最大定格	7-1
表7.2 推奨動作条件	7-1
表7.3 DC特性	7-3
表7.4 入力クロック (MODE2 ~ 0端子 = 000、001、010 : 逓倍ONの場合)	7-4
表7.5 リセット	7-4
表7.6 CPUリードサイクル	7-4
表7.7 CPUライトサイクル	7-5
表7.8 DMAライトサイクル	7-6
表7.9 割り込み出力	7-6

表7.10	UGMリードサイクル	7-7
表7.11	UGMライトサイクル	7-7
表7.12	UGMリフレッシュサイクル・モードレジスタセットサイクル	7-7
表7.13	マスタ表示モード	7-8
表7.14	TV同期表示モード	7-8

## 付録

### A. レジスタの初期値

表A.1	レジスタのハードウェアリセット時の初期値	付録-1
------	----------------------	------

### B. コマンドとパラメータ

表B.1	コマンドとレンダリング属性の関係表	付録-2
表B.2	コマンドのコマンドコード表	付録-3

### E. 表示動作クロックと画面合成について

表E.1	UGMバス幅×32ビット、Q2SD動作周波数：66MHzの場合	付録-14
表E.2	UGMバス幅×32ビット、Q2SD動作周波数：60MHzの場合	付録-15
表E.3	UGMバス幅×32ビット、Q2SD動作周波数：50MHzの場合	付録-15
表E.4	UGMバス幅×32ビット、Q2SD動作周波数：40MHzの場合	付録-16
表E.5	UGMバス幅×16ビット、Q2SD動作周波数：66MHzの場合	付録-16
表E.6	UGMバス幅×16ビット、Q2SD動作周波数：60MHzの場合	付録-17
表E.7	UGMバス幅×16ビット、Q2SD動作周波数：50MHzの場合	付録-17
表E.8	UGMバス幅×16ビット、Q2SD動作周波数：40MHzの場合	付録-17

### G. 表示制御例

表G.1	変数設定例 ( ( TVM1, 0 ) = ( 0, 0 )、( SCM1, 0 ) = ( 0, 0 ) )	付録-26
表G.2	レジスタ設定例 ( ( TVM1, 0 ) = ( 0, 0 )、( SCM1, 0 ) = ( 0, 0 ) )	付録-27
表G.3	変数の設定例 ( ( TVM1, 0 ) = ( 0, 0 )、( SCM1, 0 ) = ( 1, 1 ) )	付録-28
表G.4	レジスタ設定例 ( ( TVM1, 0 ) = ( 0, 0 )、( SCM1, 0 ) = ( 1, 1 ) )	付録-29

### H. 描画制御例

表H.1	DBFと表示面 ( FG ) の関係	付録-32
------	--------------------	-------



# 1. 概要

Q2SD ( Quick 2D Graphics Renderer with Synchronous DRAM Interface ) は、シンプル、リアルタイム、およびアップグレードをコンセプトとした CPU グラフィックアクセラレータクイックシリーズ( Q シリーズ )の SDRAM インタフェース対応 2D グラフィックレンダラーです。

Q2SD は、ユニファイドグラフィックスメモリ ( Unified Graphics Memory、以下 UGM と略します。 )の採用、60 画面 / 秒の高速描画性能で描画バッファと表示バッファをフレーム単位で切り替えるダブルバッファの採用、およびビデオ取り込み機能の採用により、画像用メモリの最小化 ( 最小構成 16M ビット SDRAM 1 個 )、グラフィックスと自然画とビデオ画像の一元的扱い、リアルタイムソフト 3D グラフィックス描画を実現しました。ジオメトリ演算 ( CPU ) とレンダリング演算 ( Q2SD ) の分離により、システムバスの使用効率の向上も実現しました。

Q2SD は、描画、表示、ビデオ取り込み機能を 1 チップに集積したマルチメディア応用向け高性能グラフィックスレンダリング LSI です。Q2SD のシステム構成例を図 1.1 に示します。

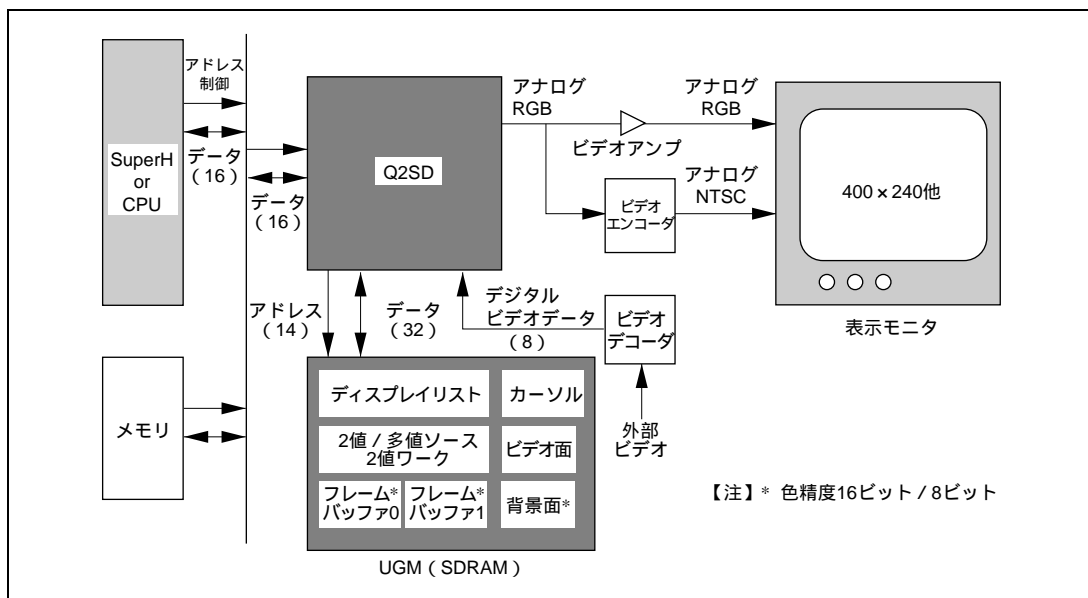


図 1.1 システム構成例

## 1. 概要

### 1.1 特長

#### シンプル (システム構成の最適化)

##### (1) ユニファイドグラフィックスメモリ (UGM) アーキテクチャ採用

- 画像データの一元的扱い [ UGMアーキテクチャ ]。  
形式が異なるデータを同一のUGM上に格納し、それらを管理できます ( 図1.2参照 ) 。

- UGMの必要最小限化

UGM最小構成 : 16ビットデータバス16MビットシンクロナスDRAM(SDRAM) × 1個

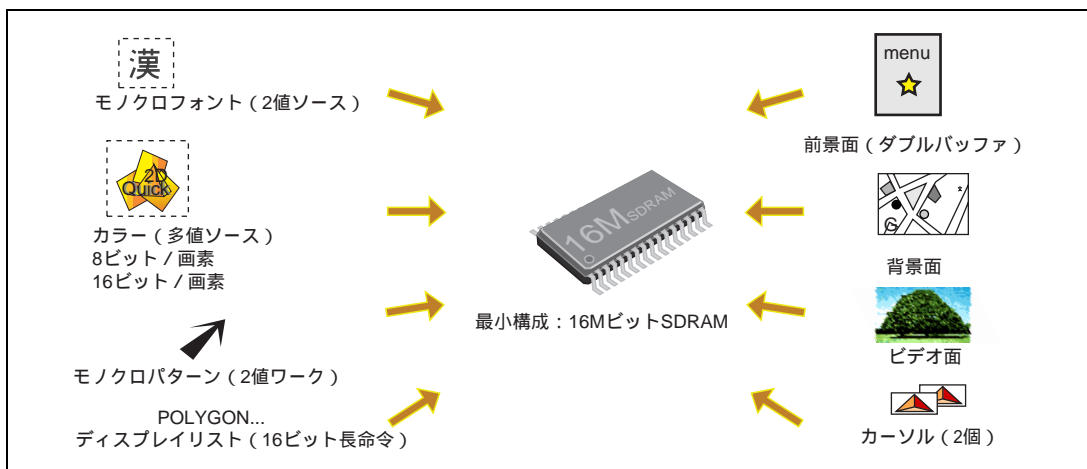
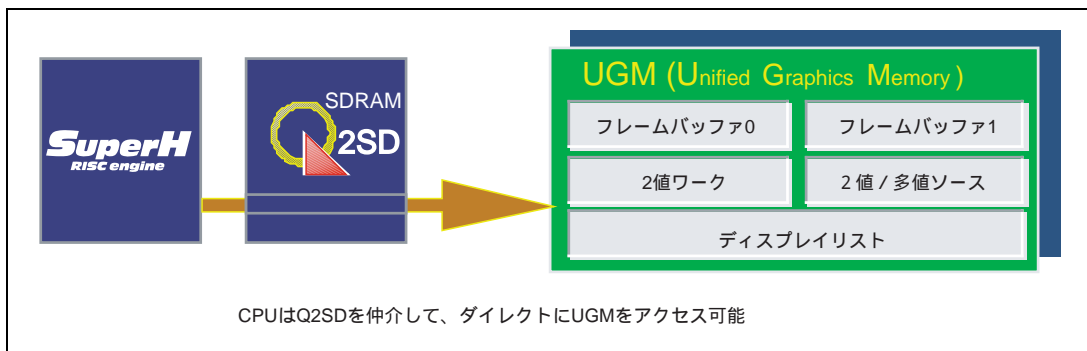


図 1.2 システムの小型化を可能にする UGM アーキテクチャ

- UGMをCPUのメモリ空間に配置

インターフェースの一元化のため、CPUインターフェース回路を内蔵し、UGMをCPUのメモリ空間に配置しました ( 図1.3参照 ) 。これによりCPUのUGM管理が容易に行えます。



CPUはQ2SDを仲介して、ダイレクトにUGMをアクセス可能

図 1.3 システムバスインターフェースの一元化

## リアルタイム

## (1) ダブルバッファ採用

描画バッファと表示バッファをフレームまたはフィールド単位で切り替えるダブルバッファの採用により、表示処理と高速描画処理を同時に行え、リアルタイム動作の表現が実現できます（図 1.4 参照）。

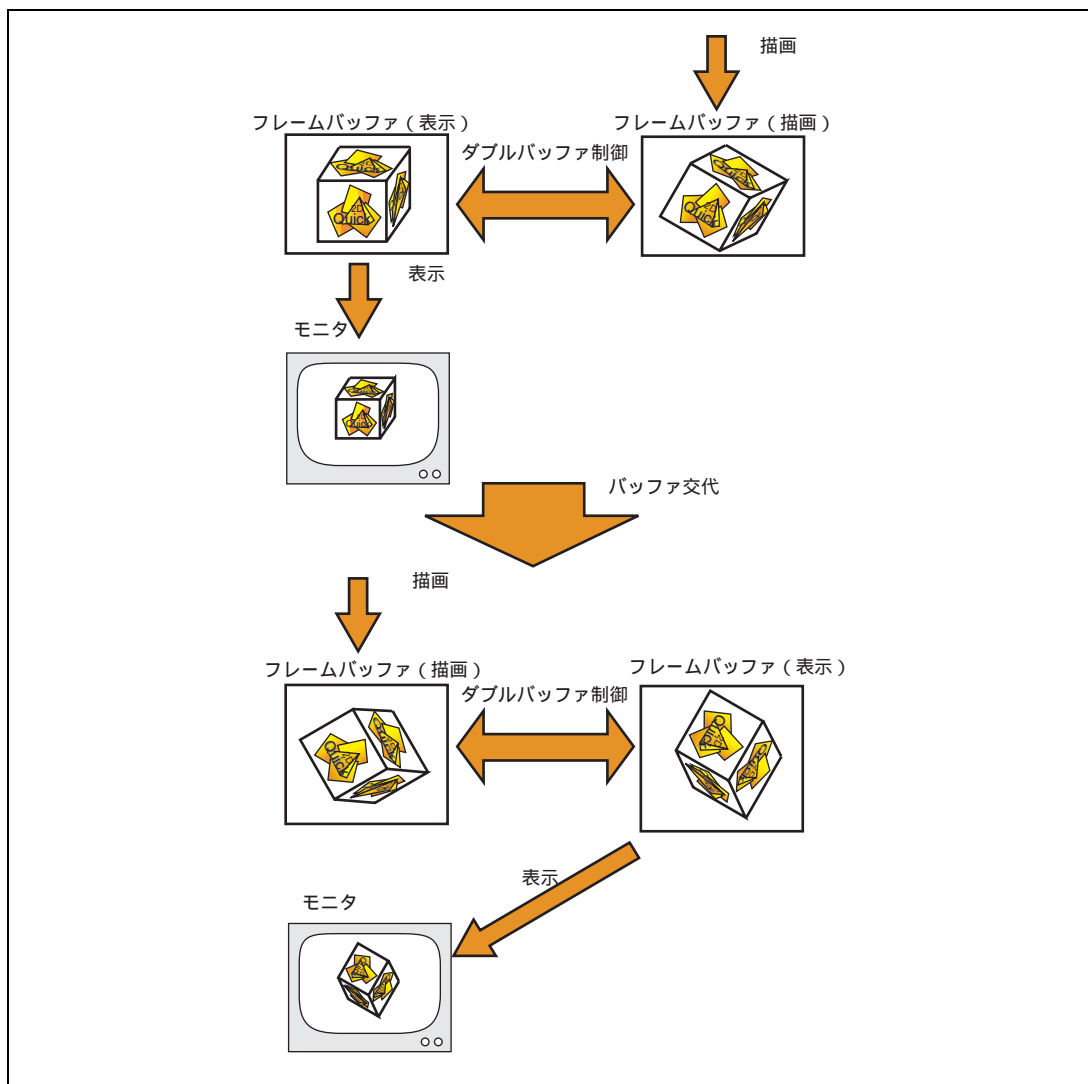


図 1.4 ダブルバッファ

## 1. 概要

### (2) グラフィックスアクセラレータ

Q2SD は、グラフィックス処理の中 CPU では非効率な処理を専用ハード化し、CPU バスの効率向上と、高速リアルタイム描画を実現しました（図 1.5 参照）。

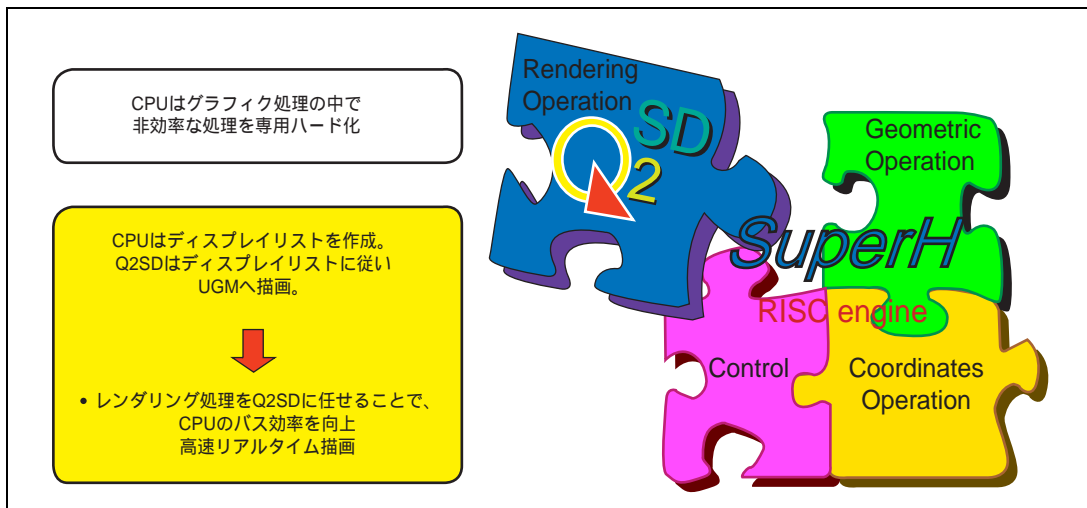


図 1.5 グラフィックスアクセラレータ

### (3) グラフィックス処理のパイプライン化

グラフィックス処理が、CPU のジオメトリ処理と Q2SD のレンダリング処理によるパイプライン化で、一層の高速処理が実現できます（図 1.6 参照）。

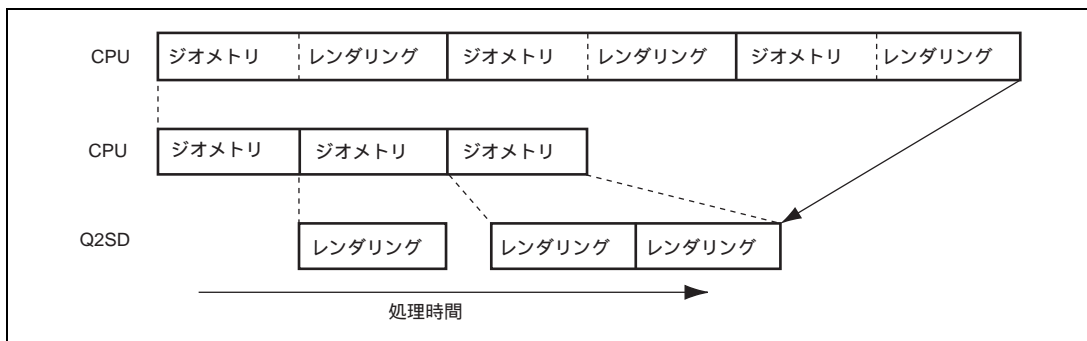


図 1.6 グラフィックス処理のパイプライン化

### (4) ライトオンリー描画の採用

ライト動作のみの描画方式（ライトオンリー描画）を採用し、描画性能を向上させました。

## (5) 表示合成機能

変更のある画像のみ変更を行えるので再描画の時間が短縮できます（図 1.7 参照）。

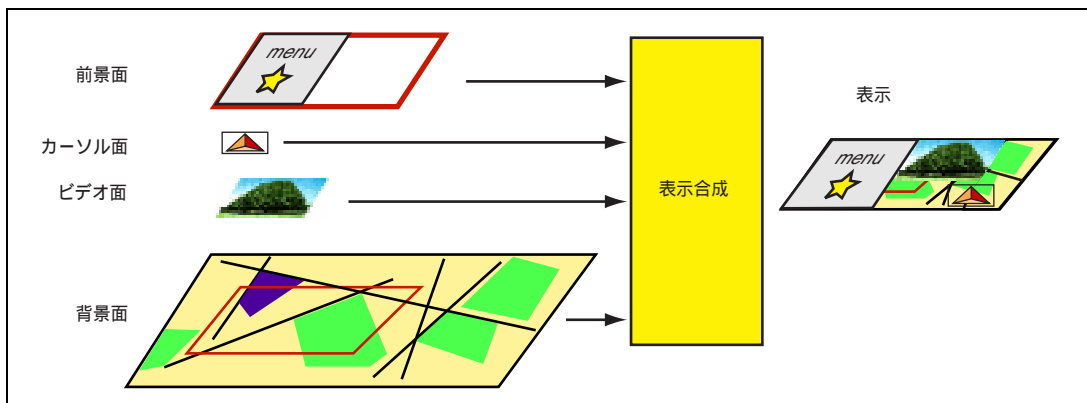


図 1.7 表示合成機能

## (6) デジタルビデオデータの取り込み

多彩な表現でのデジタルビデオ画像のリアルタイム表現ができます。

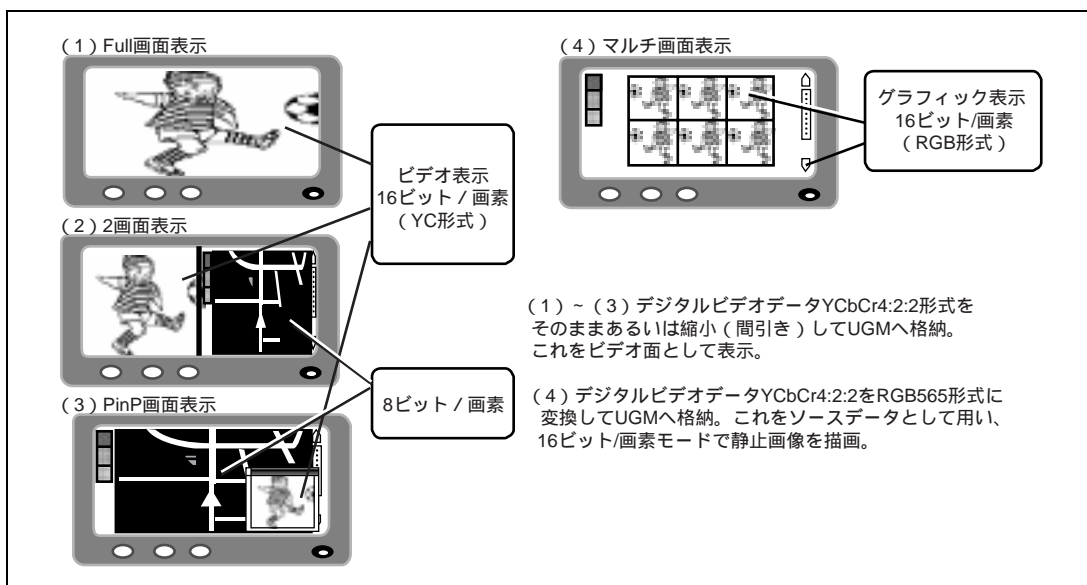


図 1.8 デジタルビデオデータの取り込み

## (7) SDRAM 対応

UGM に SDRAM を使用可能です。これにより、Q2SD は UGM にバーストアクセスが行え、高速な描画を行います。

## 1. 概要

### アップグレード

#### (1) アルゴリズムのアップグレード

Q2SD の描画体系は、座標等の整頓されたデータベースをもとに、CPU で座標変換等のアルゴリズムを実行し、その演算結果を図形として表現する描画体系になっています。これにより、データベースの変更を行わず、アルゴリズムをアップグレードするだけで、様々な形の図形が表現できます（図 1.9 参照）。

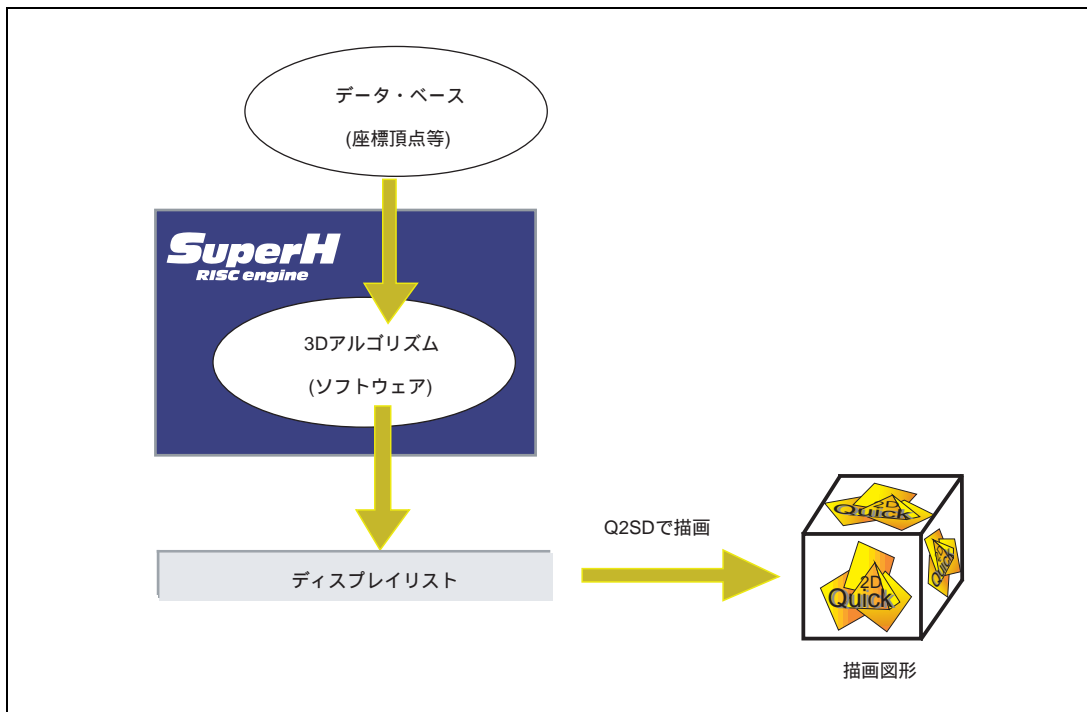


図 1.9 3D アルゴリズムを使用したときのデータの流れ

#### (2) 描画システムのアップグレード

Q2SD は Q シリーズとしてシリーズ化されています。ユーザの用途に合わせてシリーズから選択できます。また、ユーザの必要に応じて、Q2SD または CPU との組み合わせを変更することで、描画システムのアップグレードを図れます。

#### (3) アプリケーションインタフェースの整合性

Q2SD では描画コマンドを厳選し、描画コマンドを 4 種類（4 頂点面描画、線描画、ワーク面描画およびワーク線描画）で構成しました。これにより、アプリケーション内部において、描画コマンドに依存する部分を低減でき、アプリケーション間のインタフェースの整合性の向上を図れます。

## 1.2 製品仕様

Q2SD の製品仕様を表 1.1 に示します。

表 1.1 製品仕様

項 目		機能 / 性能	
描画	描画性能	ポリゴン性能 (20×25 画素) 91000 個 / 秒 (2 画面合成時 60000 個 / 秒)	
		ライン性能 (10 画素) 120 万本 / 秒 (2 画面合成時) (40 万本 / 秒)	
	色表現	ソース : 1、8、16 ビット / 画素、描画 : 8、16 ビット / 画素 ワーク : 2 値	
	描画コマンド	4 頂点面描画、線描画、ワーク面描画、ワーク線描画	
	レジスタ設定コマンド	カレントポイント設定、ローカルオフセット設定、クリッピング、 特定のアドレスマップドレジスタ設定	
シーケンス制御コマンド	ジャンプ、サブルーチン、垂直帰線期間待ち、ノーオペレーション、 ディスプレイリスト終了。		
表示	画面サイズ例	320×240、400×240、480×240、640×480、NTSC、PAL など	
	CRT 走査方式	ノンインタレース、インタレース、インタレースシンク & ビデオ	
	外部同期	マスタ、TV 同期	
	カラーパレット	26 万色中同時 256 色表示	
	カーソル	32×32 画素、2 個、カラーパレット中から表示色を選択可	
	表示面	前景面、背景面、ビデオ面	
ビデオ取り込み		8 ビットマルチプレクス YCbCr 4:2:2 デジタル入力	
システム	描画系内部動作最大クロック周波数 (Q2SD 動作クロック周波数)		66MHz×1、33MHz×2、16.5MHz×4 (逓倍器使用)
	表示系内部動作クロック周波数 (表示動作クロック周波数)		動作周波数 / 2 (最大 33MHz)
	SH インタフェース	コマンド / データ転送	DMA 転送 (シングルアドレス、デュアルアドレス)、 または CPU で行う
		YUV RGB 変換	入力 16 ビット 4:2:2 (Y, U, V 各 8 ビット)、 出力 16 ビット (R:5, G:6, B:5 ビット)
		YUV RGB 変換	入力 8 ビット (d-Y, d-U, d-V 各 4 ビット)、 出力 16 ビット (R:5, G:6, B:5 ビット)
		割り込み出力	TV 同期信号エラーフラグ、フレームフラグ、DMA フラグ、 コマンドエラーフラグ、垂直ブランキングフラグ、 トラップフラグ、コマンド中断フラグ、描画中断フラグ
	SuperH 対応	3.3V 動作の SuperH の SRAM エリア等に配置可能	
UGM インタフェース	32/16 ビットバス幅 SDRAM	最小 16M ビット (16M ビット (×16) 1 個、16M ビット (×16) 2 個並列、64M ビット (×16) 1 個、64M ビット (×32) 1 個より 選択)	

## 1. 概要

項 目			機能 / 性能
システム	DAC	アナログ RGB 出力	RGB 各 6 ビット分解能 (ただし、YCbCr 形式で UGM に格納されたビデオについては、8 ビット分解能)
プロセス / パッケージ			0.35 ミクロン CMOS / 176 ピン LQFP
電源電圧 / 温度範囲			3.3V ± 0.3V / 0 ~ 70 (-40 ~ 85 の特別仕様品については、別途弊社営業担当者へお問い合わせください。)

### 1.3 ブロック図

Q2SD の内部ブロック図を図 1.10 に示します。各ブロックは次のような機能を持っています。

- CPU インタフェースユニット  
CPU による UGM アクセス、CPU による Q2SD 内蔵レジスタアクセス、外部 DMAC による UGM ライトアクセス制御を行います。入力データ YUV (26 万色)、または YUV (26 万色) を RGB (6 万色) データに変換し、UGM に格納します。割り込み出力を行います。
- UGM インタフェースユニット  
UGM として使用する SDRAM の接続に関する制御を行います。
- チップマネージャ  
UGM アーキテクチャにおける各ユニットの動作を調停するユニットです。
- クロックジェネレータ (CPG0、CPG1)  
CPG0 で Q2SD 動作クロックを生成し、各ユニットに供給します (ディスプレイユニットを除く)。CPG1 で表示ドットクロックを生成し、ディスプレイユニットに供給します。
- レンダリングユニット  
UGM 上のディスプレイリストのフェッチと解釈と実行を行います。
- レンダリングバッファユニット  
レンダリングユニットの UGM アクセスの効率向上のため、データ / アドレスをバッファリングします。
- ディスプレイユニット  
CRT の制御信号の生成とアナログ RGB 信号の出力を行います。
- ディスプレイバッファユニット  
前景面、背景面、ビデオ面、カーソル面の表示合成を行います。表示タイミングに従って UGM 上の表示データをアクセスします。カラーパレット (各色 6 ビット) により、8 ビット / 画素のデータを、色変換テーブルに基づき 262,144 色中 256 色の RGB データに変換します。また、ビデオ面のデータが YCbCr データの場合、RGB データに変換します。
- ビデオインユニット  
4 : 2 : 2 YCbCr データを取り込み、YCbCr または RGB 形式で UGM に格納します。間引き処理による画像の縮小取り込みが行えます。





## 1. 概要

### 1.4 処理状態

Q2SD の処理状態には、パワーオン、初期状態、リセット状態、UGM 初期状態、通常状態があります。状態遷移図を、図 1.11 に示します。

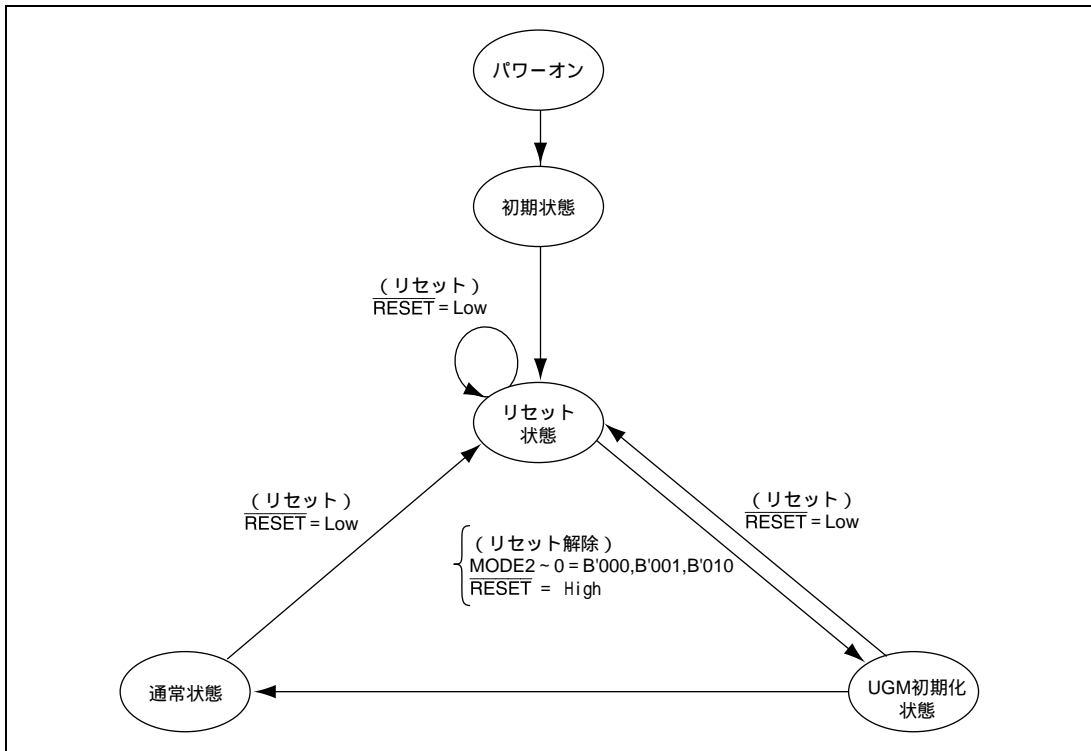


図 1.11 状態遷移図

#### 1.4.1 パワーオン

「6.1 パワーオンシーケンス」を参照してください。

#### 1.4.2 初期状態（規定の電源を投入したとき）

内部状態が不定になります。

- レジスタ：不定
- 入出力端子：不定
- 出力端子：Low / Highレベル出力

### 1.4.3 リセット状態 ( $\overline{\text{RESET}}$ 端子に Low レベルを入力したとき)

リセット直後の Q2SD の端子状態を表 1.2 に示します。 $\overline{\text{RESET}}$  端子が Low レベルのとき、UGM に対してリフレッシュを行いません。 $\overline{\text{RESET}}$  の立ち上がり時点で、MODE2~0 のレベルを取り込みます。このとき、MODE2~0 は B'000、B'001、B'010 のいずれかにレベル固定してください。他の組み合わせはテストモードとなりますので使用しないでください。

表 1.2 リセット直後の端子状態

入出力端子	入力状態	D0 ~ D15*, $\overline{\text{VSYNC}}/\overline{\text{EXVSYNC}}$ , $\overline{\text{HSYNC}}/\overline{\text{EXHSYNC}}$ , $\overline{\text{ODDF}}$
	出力状態 (Low レベル出力)	MD0 ~ MD31
出力端子	Low レベル出力	DISP, CDE
	High レベル出力	$\overline{\text{DREQ}}$ , $\overline{\text{IRL}}$ , $\overline{\text{WAIT}}$
	Low / High レベル出力	$\overline{\text{CSYNC}}$ , MA0 ~ MA13, $\overline{\text{MWE}}$ , $\overline{\text{MRAS}}$ , $\overline{\text{MCAS}}$ , LDQM0, LDQM1, UDQM0, UDQM1, MCLK

【注】 \*  $\overline{\text{RD}}$  が Low レベル入力の場合は、D0 ~ D15 端子は出力状態になります。

### 1.4.4 UGM 初期化状態

UGM として使用する SDRAM の初期化を行います。初期化については、「6.6 Q2SD が設定する UGM 用 SDRAM のモードレジスタ値について」を参照してください。

### 1.4.5 通常動作状態

通常動作状態です。描画コマンドの実行や表示制御を行います。



## 2. 端子

### 2.1 端子構成

Q2SD の端子構成を図 2.1 に示します。

使用しない入力端子は非アクティブになるようにプルアップまたはプルダウンしてください。

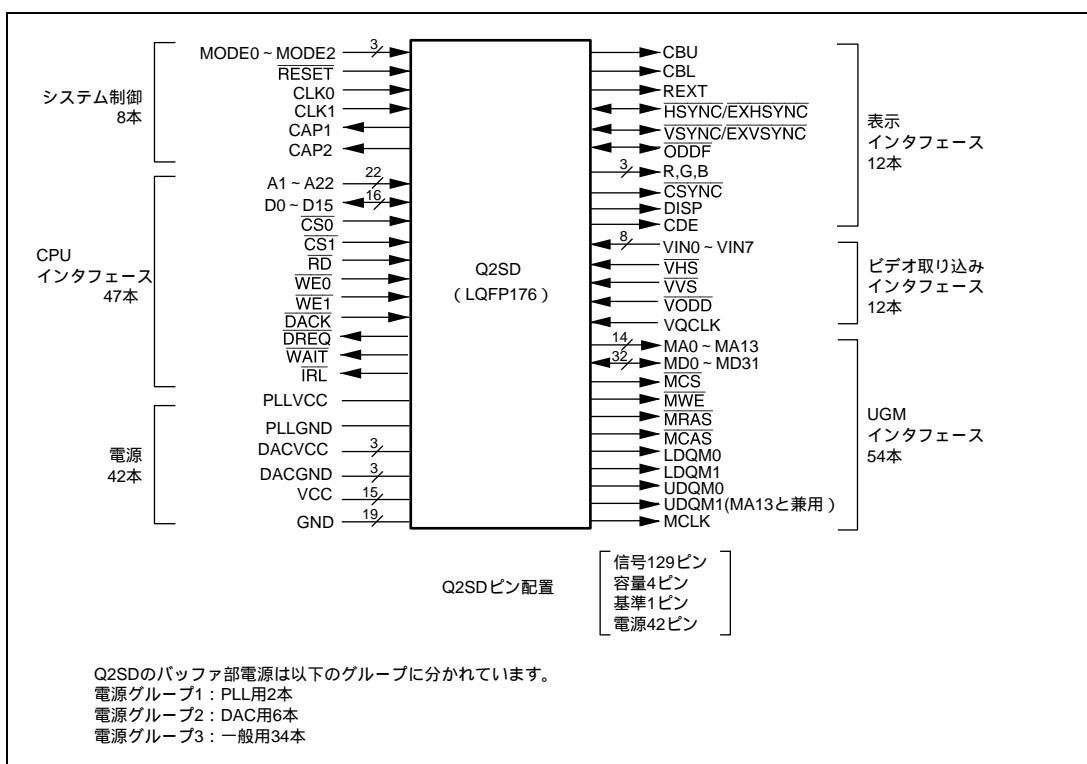


図 2.1 端子構成

## 2.2 ピン配置図

Q2SD のピン配置図を図 2.2 に示します。

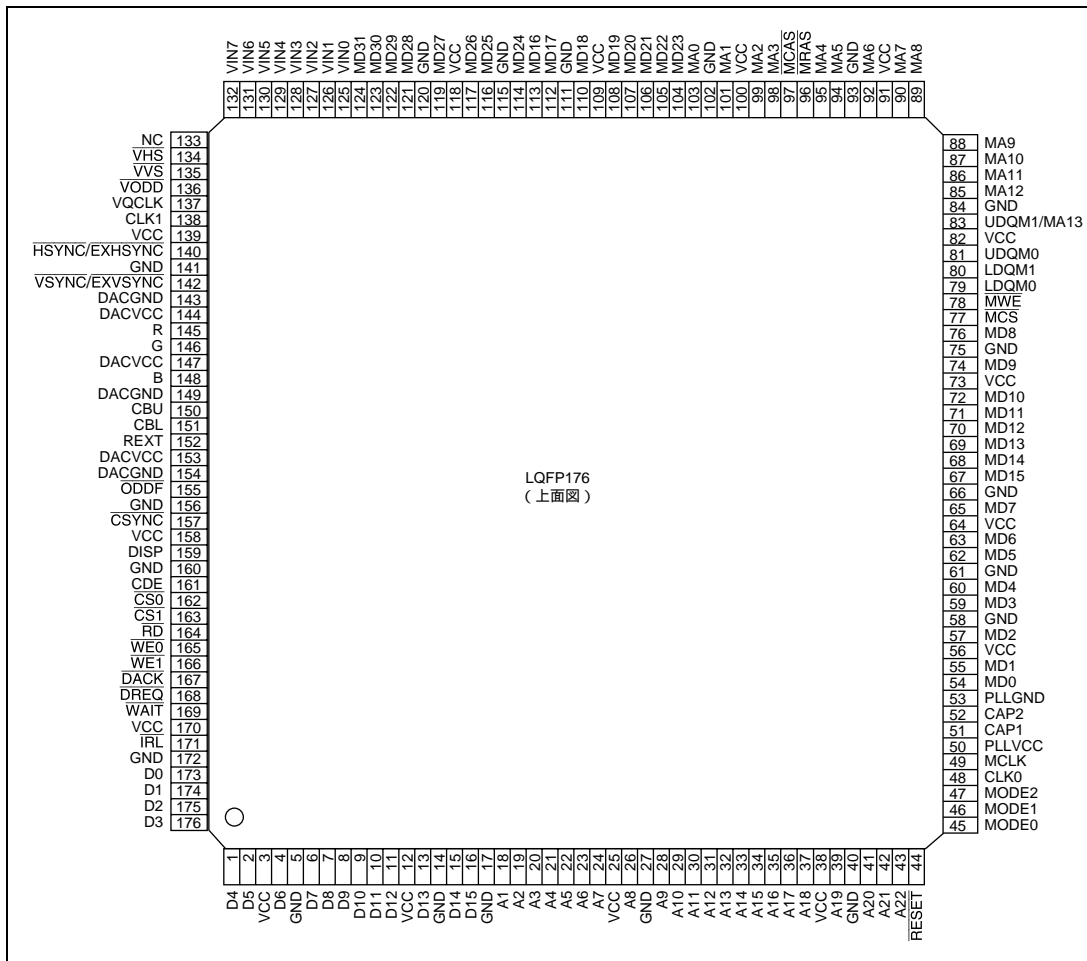


図 2.2 ピン配置図

## 2.3 端子機能

Q2SD の端子機能を表 2.1 に示します。

表 2.1 端子機能

分類	記号	ピン番号	入出力	機能
システム制御	MODE0	45	入力	動作モード端子 0
	MODE1	46	入力	動作モード端子 1
	MODE2	47	入力	動作モード端子 2
	CLK0	48	入力	Q2SD 動作クロック
	CLK1	138	入力	表示動作クロック
	RESET	44	入力	リセット
	CAP1	51	出力	逡倍回路用外部容量端子
	CAP2	52	出力	逡倍回路用外部容量端子
CPU インタフェース	A1	18	入力	CPU アドレス 1
	A2	19	入力	CPU アドレス 2
	A3	20	入力	CPU アドレス 3
	A4	21	入力	CPU アドレス 4
	A5	22	入力	CPU アドレス 5
	A6	23	入力	CPU アドレス 6
	A7	24	入力	CPU アドレス 7
	A8	26	入力	CPU アドレス 8
	A9	28	入力	CPU アドレス 9
	A10	29	入力	CPU アドレス 10
	A11	30	入力	CPU アドレス 11
	A12	31	入力	CPU アドレス 12
	A13	32	入力	CPU アドレス 13
	A14	33	入力	CPU アドレス 14
	A15	34	入力	CPU アドレス 15
	A16	35	入力	CPU アドレス 16
	A17	36	入力	CPU アドレス 17
	A18	37	入力	CPU アドレス 18
	A19	39	入力	CPU アドレス 19
	A20	41	入力	CPU アドレス 20
	A21	42	入力	CPU アドレス 21
	A22	43	入力	CPU アドレス 22
	D0	173	入出力	CPU データ 0
D1	174	入出力	CPU データ 1	

## 2. 端子

分類	記号	ピン番号	入出力	機能
CPU インタフェース	D2	175	入出力	CPU データ 2
	D3	176	入出力	CPU データ 3
	D4	1	入出力	CPU データ 4
	D5	2	入出力	CPU データ 5
	D6	4	入出力	CPU データ 6
	D7	6	入出力	CPU データ 7
	D8	7	入出力	CPU データ 8
	D9	8	入出力	CPU データ 9
	D10	9	入出力	CPU データ 10
	D11	10	入出力	CPU データ 11
	D12	11	入出力	CPU データ 12
	D13	13	入出力	CPU データ 13
	D14	15	入出力	CPU データ 14
	D15	16	入出力	CPU データ 15
	$\overline{CS0}$	162	入力	チップ選択 0 ( UGM )
	$\overline{CS1}$	163	入力	チップ選択 1 ( 内部レジスタ )
	$\overline{RD}$	164	入力	リードストロープ
	$\overline{WE0}$	165	入力	書き込みパルス 0 ( 下位側 )
	$\overline{WE1}$	166	入力	書き込みパルス 1 ( 上位側 )
	$\overline{DACK}$	167	入力	DMA アクノリッジ
$\overline{DREQ}$	168	出力	DMA リクエスト	
$\overline{WAIT}$	169	出力	CPU ウェイト	
$\overline{IRL}$	171	出力	割り込み要求	
表示 インタフェース	CBU	150	出力	DAC 用外部容量端子
	CBL	151	出力	DAC 用外部容量端子
	REXT	152	出力	DAC 用外部リファレンス端子
	R	145	出力	表示データアナログ出力 R
	G	146	出力	表示データアナログ出力 G
	B	148	出力	表示データアナログ出力 B
	$\overline{CSYNC}$	157	出力	コンボジット同期出力信号
	$\overline{HSYNC}/$ $\overline{EXHSYNC}$	140	入出力	水平同期出力 / 外部水平同期入力
	$\overline{VSYNC}/$ $\overline{EXVSYNC}$	142	入出力	垂直同期出力 / 外部垂直同期入力
	DISP	159	出力	表示期間を示す信号 ( 表示期間 High レベル )
	CDE	161	出力	色検出 ( 特定色出力時 High レベル )
	$\overline{ODDF}$	155	入出力	奇数フィールドを示す信号 ( 奇数時 Low レベル )



分類	記号	ピン番号	入出力	機能
ビデオ取り込み インタフェース	VIN0	125	入力	ビデオ入力データ 0
	VIN1	126	入力	ビデオ入力データ 1
	VIN2	127	入力	ビデオ入力データ 2
	VIN3	128	入力	ビデオ入力データ 3
	VIN4	129	入力	ビデオ入力データ 4
	VIN5	130	入力	ビデオ入力データ 5
	VIN6	131	入力	ビデオ入力データ 6
	VIN7	132	入力	ビデオ入力データ 7
	VHS	134	入力	ビデオ水平同期入力
	VVS	135	入力	ビデオ垂直同期入力
	VODD	136	入力	ビデオ入力奇数フィールドを示す信号
	VQCLK	137	入力	ビデオ入力有効データ取り込みクロック
UGM インタフェース	MA0	103	出力	メモリアドレス 0
	MA1	101	出力	メモリアドレス 1
	MA2	99	出力	メモリアドレス 2
	MA3	98	出力	メモリアドレス 3
	MA4	95	出力	メモリアドレス 4
	MA5	94	出力	メモリアドレス 5
	MA6	92	出力	メモリアドレス 6
	MA7	90	出力	メモリアドレス 7
	MA8	89	出力	メモリアドレス 8
	MA9	88	出力	メモリアドレス 9
	MA10	87	出力	メモリアドレス 10
	MA11	86	出力	メモリアドレス 11
	MA12	85	出力	メモリアドレス 12
	MA13	83	出力	メモリアドレス 13 (UDQM1 と兼用)
	MD0	54	入出力	メモリデータ 0
	MD1	55	入出力	メモリデータ 1
	MD2	57	入出力	メモリデータ 2
	MD3	59	入出力	メモリデータ 3
	MD4	60	入出力	メモリデータ 4
	MD5	62	入出力	メモリデータ 5
	MD6	63	入出力	メモリデータ 6
	MD7	65	入出力	メモリデータ 7
	MD8	76	入出力	メモリデータ 8
MD9	74	入出力	メモリデータ 9	
MD10	72	入出力	メモリデータ 10	
MD11	71	入出力	メモリデータ 11	

## 2. 端子

分類	記号	ピン番号	入出力	機能
UGM インタフェース	MD12	70	入出力	メモリデータ 12
	MD13	69	入出力	メモリデータ 13
	MD14	68	入出力	メモリデータ 14
	MD15	67	入出力	メモリデータ 15
	MD16	113	入出力	メモリデータ 16
	MD17	112	入出力	メモリデータ 17
	MD18	110	入出力	メモリデータ 18
	MD19	108	入出力	メモリデータ 19
	MD20	107	入出力	メモリデータ 20
	MD21	106	入出力	メモリデータ 21
	MD22	105	入出力	メモリデータ 22
	MD23	104	入出力	メモリデータ 23
	MD24	114	入出力	メモリデータ 24
	MD25	116	入出力	メモリデータ 25
	MD26	117	入出力	メモリデータ 26
	MD27	119	入出力	メモリデータ 27
	MD28	121	入出力	メモリデータ 28
	MD29	122	入出力	メモリデータ 29
	MD30	123	入出力	メモリデータ 30
	MD31	124	入出力	メモリデータ 31
	MCS	77	出力	メモリチップ選択
	MWE	78	出力	メモリ書き込みパルス
	MRAS	96	出力	ロウ選択信号
	MCAS	97	出力	コラム選択信号
	LDQM0	79	出力	下位ワード下位バイト入出力マスク
	LDQM1	80	出力	下位ワード上位バイト入出力マスク
UDQM0	81	出力	上位ワード下位バイト入出力マスク	
UDQM1	83	出力	上位ワード上位バイト入出力マスク (MA13 と兼用)	
MCLK	49	出力	メモリクロック	
電源	VCC	3	電源	バッファ / 内部用 VDD
	VCC	12	電源	バッファ / 内部用 VDD
	VCC	25	電源	バッファ / 内部用 VDD
	VCC	38	電源	バッファ / 内部用 VDD
	VCC	56	電源	バッファ / 内部用 VDD
	VCC	64	電源	バッファ / 内部用 VDD
	VCC	73	電源	バッファ / 内部用 VDD
	VCC	82	電源	バッファ / 内部用 VDD
	VCC	91	電源	バッファ / 内部用 VDD

分類	記号	ピン番号	入出力	機能
電源	VCC	100	電源	バッファ / 内部用 VDD
	VCC	109	電源	バッファ / 内部用 VDD
	VCC	118	電源	バッファ / 内部用 VDD
	VCC	139	電源	バッファ / 内部用 VDD
	VCC	158	電源	バッファ / 内部用 VDD
	VCC	170	電源	バッファ / 内部用 VDD
	GND	5	グランド	バッファ用 VSS
	GND	14	グランド	バッファ用 VSS
	GND	27	グランド	バッファ用 VSS
	GND	40	グランド	バッファ用 VSS
	GND	58	グランド	バッファ用 VSS
	GND	66	グランド	バッファ用 VSS
	GND	75	グランド	バッファ用 VSS
	GND	84	グランド	バッファ用 VSS
	GND	93	グランド	バッファ用 VSS
	GND	102	グランド	バッファ用 VSS
	GND	111	グランド	バッファ用 VSS
	GND	120	グランド	バッファ用 VSS
	GND	141	グランド	バッファ用 VSS
	GND	160	グランド	バッファ用 VSS
	GND	172	グランド	バッファ用 VSS
	GND	17	グランド	内部用 VSS
	GND	61	グランド	内部用 VSS
	GND	115	グランド	内部用 VSS
	GND	156	グランド	内部用 VSS
	PLLVCC	50	電源	逡倍回路用 VDD
	PLLGND	53	グランド	逡倍回路用 VSS
	DACVCC	144	電源	DAC 用 VDD
	DACVCC	147	電源	DAC 用 VDD
	DACVCC	153	電源	DAC 用 VDD
DACGND	143	グランド	DAC 用 VSS	
DACGND	149	グランド	DAC 用 VSS	
DACGND	154	グランド	DAC 用 VSS	
その他	NC	133		No-Connection (何も接続しないでください)。

## 2. 端子

### 2.4 システム制御端子

#### 2.4.1 動作モード端子

(MODE0、MODE1、MODE2)

Q2SD のシステム動作を決定します、リセット立ち上げ時にモードが確定します。リセット立ち上げ以降のモード変更はできません。

表 2.2 動作モードの選択

MODE2	MODE1	MODE0	説 明
L	L	L	通常動作状態になります。逡倍 ON。外部入力クロックは、デューティフリーとなります。外部入力クロックの 1 倍の周波数のクロックが内部動作クロックになります。
L	L	H	通常動作状態になります。逡倍 ON。外部入力クロックは、デューティフリーとなります。外部入力クロックの 2 倍の周波数のクロックが内部動作クロックになります。
L	H	L	通常動作状態になります。逡倍 ON。外部入力クロックは、デューティフリーとなります。外部入力クロックの 4 倍の周波数のクロックが内部動作クロックになります。
L	H	H	設定禁止
H	*	*	設定禁止

【記号説明】 H : High レベル  
L : Low レベル  
\* : High レベル、Low レベルいずれでも可

#### 2.4.2 クロック端子

(CLK0、CLK1、CAP1、CAP2)

Q2SD のクロックは、CLK0 と CLK1 の 2 系統があります。CLK0 端子には Q2SD 動作クロックの基準となるクロックを、CLK1 端子には表示動作クロックをそれぞれ入力します。

Q2SD 動作クロックは、描画動作をはじめとする Q2SD が動作を行うための基本クロックです。UGM のアクセスも Q2SD 動作クロックを基本としています。Q2SD 内部に Q2SD 動作クロック用の逡倍回路を内蔵しており、CLK0 端子に、Q2SD 動作クロックの 1 倍、1/2 倍、1/4 倍を選択して入力することが可能です。

表示動作クロックは、表示動作を行うための基本クロックで、表示ドットクロック、表示データの出力制御、水平 / 垂直同期信号の生成に使用されます。

これらの関係を表 2.3 に示します。

表 2.3 入力クロックと動作周波数

クロック入力端子	クロック種別	動作クロック
CLK0	右記のいずれかが Q2SD 動作クロックになります。	周波数は、CLK0 の周波数の 1 倍で、デューティが 50% に補正されたクロック
		周波数は、CLK0 の周波数の 2 倍で、デューティが 50% に補正されたクロック
		周波数は、CLK0 の周波数の 4 倍で、デューティが 50% に補正されたクロック
CLK1	右記が表示動作クロックになります。	周波数は、CLK1 の周波数の 1 倍のクロック

Q2SD 動作クロックと表示動作クロックは、以下の範囲で自由に設定することが可能です。したがって、表示装置の特性に左右されず、最大速度で描画動作を行うことができます。

- Q2SD動作クロック周波数 表示動作クロックの2倍の周波数
- 表示動作クロック周波数 33MHz

CAP1、CAP2 は、逓倍回路用の外部容量端子です。CAP1、CAP2 端子の接続回路例を図 2.3 に示します。

内蔵 PLL の発振安定用の容量 C0 および抵抗 R0 は CAP0 端子の近くに置き、他の信号線と交差させないでください。C0 のグラウンドは PLLGND から供給してください。C0 は PLL チャージポンプの外部容量で、R0 はチャージポンプへのノイズ低減用の抵抗です。

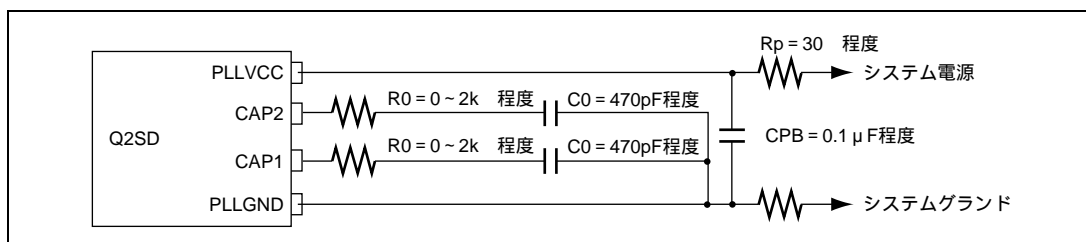


図 2.3 CAP1、CAP2 端子接続回路例

### 2.4.3 リセット端子

#### ( $\overline{\text{RESET}}$ )

ハードウェアリセットを入力します。Low レベルでハードウェアリセット状態となります。

端子は表 1.2 の様になり、レジスタは初期値になります。

## 2. 端子

### 2.4.4 電源端子

(VCC、GND、PLLVCC、PLLGND、DACVCC、DACGND)

通常電源端子、DAC 電源端子および PLL 電源端子には、3.3V を接続します。通常電源端子および DAC 電源端子は複数ありますが、すべての端子に電源を供給してください。

通常電源 (VCC、GND)、PLL 電源 (PLLVCC、PLLGND)、DAC 電源 (DACVCC、DACGND) は、ボードの電源供給元から分離し、できるだけ端子の近くにバイパスコンデンサ CPB および CB1、CB2 を必ず挿入してください。

特に DAC 出力電圧は、1 ステップが微小電圧ですので、外部から入り込んでくるノイズをできるだけ小さくする必要があります。そこで CPB、CB1、CB2 の他に、各電源と GND 間に最低 1 個ずつの電解コンデンサ (10 $\mu$ F 程度) を挿入することをお奨めします。また、DAC のラッチアップ対策として、電源間の電位を同じにすることと、高周波ノイズの流入を防止するため、インダクタンス (100 $\mu$ H 程度) のノイズフィルタを DACVCC と VCC 間に挿入することをお奨めします。

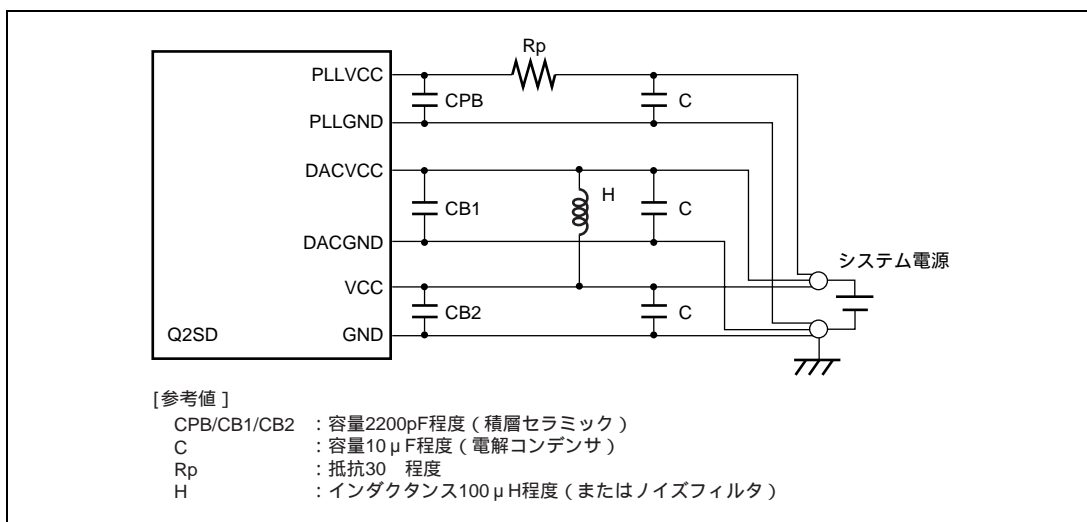


図 2.4 端子近くの電源間バイパスコンデンサの接続

## 2.5 CPU インタフェース端子

(A22 ~ A1、D15 ~ D0、 $\overline{CS0}$ 、 $\overline{CS1}$ 、 $\overline{RD}$ 、 $\overline{WE0}$ 、 $\overline{WE1}$ 、 $\overline{DACK}$ 、 $\overline{DREQ}$ 、 $\overline{WAIT}$ 、 $\overline{IRL}$ )

### 2.5.1 CPU ライト

CPU は、UGM または Q2SD 内部レジスタをアクセスすることができます。UGM のアクセス時は  $\overline{CS0}$  に Low レベルを、Q2SD 内部レジスタのアクセス時は  $\overline{CS1}$  に Low レベルを入力します。 $\overline{CS0}$  と  $\overline{CS1}$  を同時に Low レベルにしないでください。UGM または Q2SD 内部レジスタのアドレスは、A1 ~ A22 に入力します。Q2SD の A22 ~ A1 端子には、メモリモードレジスタ (MEMR) で指定した範囲の UGM アドレスを入力しますが、16M ビットのメモリを 1 個使用する場合は、A22 ~ A21 端子が Low レベルになるように、16M ビットのメモリを 2 個使用する場合は、A22 端子が Low レベルになるように配線してください。アドレスは、バイトアドレスです。Q2SD は、レジスタに対してはワード (2 バイト) アクセスのみ使用できます。UGM に対してはワードアクセス、バイトアクセスが使用できます。ワードアクセスにおいては、 $\overline{WE0}$ 、 $\overline{WE1}$  の両方に Low レベルを入力してください。バイトアクセスにおいては、ビット 7 ~ 0 に対するアクセスでは  $\overline{WE0}$ 、ビット 15 ~ 8 に対するアクセスでは  $\overline{WE1}$  を Low レベルとしてください。

Q2SD は、Q2SD の内部動作による CPU アクセスの延期を  $\overline{WAIT}$  信号によって CPU に知らせます。ただし、Q2SD の  $\overline{WE0}$ 、 $\overline{WE1}$  信号の High レベル幅の規定上、CPU の外部バス動作周波数は、Q2SD の内部動作周波数と同じか、または低く設定してください。Q2SD の  $\overline{WAIT}$  信号は、上記  $\overline{CS0}$  または  $\overline{CS1}$  の Low レベルと、 $\overline{RD}$ 、 $\overline{WE0}$ 、または  $\overline{WE1}$  の Low レベルを検出してから最大 3 サイクル後に、出力バッファディレイ (MAX 15ns) を経てアサートされます。CPU と Q2SD の周波数比、および周期、非同期等のシステムの仕様に応じて Super H のソフトウェアウェイト数を調整してください。

なお、SuperH では、初期値で  $\overline{CS}$  端子が入力ポートとなる製品があります。この信号を Q2SD の  $\overline{CS0}$  または  $\overline{CS1}$  信号と直接接続する場合、リセット時の電圧レベルが不安定にならないように SuperH の  $\overline{CS}$  端子を外部でプルアップしてください。

$\overline{RDY}$  信号でインタフェースを行う SuperH を使用する場合、Q2SD の  $\overline{WAIT}$  信号を反転させて、その信号を  $\overline{RDY}$  信号として使用してください。

$\overline{WAIT}$  信号は Q2SD をアクセスしたときに最小で 1 tcy0 出力されます。

### 2.5.2 CPU リード

ライト動作と基本的に同じです。読み出しは、ワード単位です。ライト動作時は  $\overline{WE0}$ 、 $\overline{WE1}$  によりライト動作を示しますが、リード動作時は  $\overline{RD}$  の Low レベルによりリード動作を示します。

### 2.5.3 DMA ライト

CPU は、DMAC を用いて UGM または Q2SD アドレスマップドレジスタ (画像データエントリレジスタ IDE) をサイクルスチールでライト DMA アクセスすることができます。DMA アクセスを行うためには、DMA 転送開始アドレス、DMA 転送語数、システム制御レジスタ (SYSR) の DMA モード、DMA アドレスモードの設定が必要です。DMA モードの設定後、Q2SD は準備が整いし  $\overline{\text{DREQ}}$  信号を Low レベルにします。DMAC はこれを受けて  $\overline{\text{DACK}}$  信号を Low レベルにし、DMA アクセスを開始します。DMA アクセスは、ワード単位です。

入力データ変換モードレジスタ (IEMR) の YUV モード (YUV2、YUV1、YUV0) を B'000 にしたときに DMA ライトを行う場合には DMA モード (DMA1、DMA0) を B'01 (UGM への DMA 転送) に、YUV モードを B'000 以外にしたときに DMA ライトを行う場合には DMA モードを B'11 (画像データエントリレジスタ (IDER) への DMA 転送) に設定します。

システム制御レジスタ (SYSR) の DMA アドレスモード (DAA1、DAA0) を B'00 または B'01 に設定した場合、シングルアドレス転送のタイミングで転送を行います。DMA アドレスモードを B'10 に設定した場合、デュアルアドレス転送のタイミングで転送を行います。このときの Q2SD へのアクセスは、 $\overline{\text{DACK}}$  を Low レベルにすることにより行ってください。 $\overline{\text{CS0}}$  は無視されます。

UGM アクセス時は DMA モードを B'01 に、Q2SD アドレスマップドレジスタ (画像データエントリレジスタ IDER) のアクセス時は DMA モードを B'11 に設定します。他のアドレスマップドレジスタにはアクセスできません。Q2SD は、DMA 転送開始アドレス (DMASH、L) に設定されたディスティネーションアドレス (UGM アドレス) から DMA 転送語数 (DMAWH、L) に設定されたワード数の転送を行います。Q2SD は内蔵のアドレスカウンタで UGM のアドレスを制御します。外部から入力されたアドレスは使用しません。

DMA 転送終了後、再度 DMA モードの設定を行うときは、ステータスレジスタの DMF ビットが 1 になった (DMA 転送終了) ことを確認してから行ってください。

なお、SuperH 外部バス上の SDRAM から Q2SD へのシングル DMA 転送では、 $\overline{\text{RD}}$  信号の立ち上がりに対する D0~D15 のセットアップ ( $t_{\text{WRDS}}$ ) を Q2SD の動作クロックの 2 サイクル以上必要とするため、SuperH 外部バス動作周波数は動作クロック周波数の 1/2 以下でなければなりません。

(1) デュアルアドレスモードで DMA 転送を行う場合の SuperH の設定

- 書き込みサイクルで  $\overline{\text{DACK}}$  を出力
- ローアクティブで  $\overline{\text{DACK}}$  を出力
- ディスティネーションアドレスは固定させる (UGM の任意のアドレスを設定)
- ソースアドレスは増加させる
- 外部リクエスト、デュアルアドレスモード
- $\overline{\text{DREQ}}$  は立ち下がりエッジ検出
- サイクルスチールモード



(2) シングルアドレスモードで DMA 転送を行う場合の SuperH の設定

- リードサイクルで $\overline{\text{DACK}}$ を出力
- ローアクティブで $\overline{\text{DACK}}$ を出力
- ディスティネーションアドレスは固定させる
- ソースアドレスは増加させる
- 外部リクエスト、シングルアドレスモード
- $\overline{\text{DREQ}}$ は立ち下がりエッジ検出
- サイクルスチールモード

なお、SuperH では、初期値で  $\overline{\text{DACK}}$  端子がアクティブハイとなる製品があります。この場合には、DACK 端子を初期値（アクティブハイ）のままとし、外付け回路で  $\overline{\text{DACK}}$  端子の信号を反転したものを Q2SD の  $\overline{\text{DACK}}$  端子に接続してください。

#### 2.5.4 割り込み

Q2SD は、内部要因により SuperH に対して割り込みを要求します。割り込み要因は、割り込み許可レジスタ (IER) により設定します。

## 2.6 UGM インタフェース端子

(MA0 ~ MA13、MD0 ~ MD31、 $\overline{\text{MCS}}$ 、 $\overline{\text{MWE}}$ 、 $\overline{\text{MRAS}}$ 、 $\overline{\text{MCAS}}$ 、LDQM0、LDQM1、UDQM0、UDQM1、MCLK)

Q2SD は、SDRAM を UGM とします。Q2SD は、SDRAM の直結インタフェースを持っています。ただし、SDRAM の CKE 端子は High レベル固定とし、データ幅が 16 ビットの SDRAM を 1 個だけ接続する場合は、MD0 ~ MD15 の端子を使用してください。MD16 ~ MD31 端子は開放としてください。

SDRAM の動作モード（書き込みモード、 $\overline{\text{CAS}}$  レイテンシ、バーストタイプ、バースト長）は、Q2SD が電源投入の立ち上がり後、自動的に設定します。リフレッシュはオートリフレッシュモードを用いて行い、プリチャージは、オールバンクプリチャージコマンド (PALL) を用いて行います。

### 2.7 表示インタフェース端子

表示インタフェース端子から出力される信号はすべて、表示動作クロックに同期しています。

#### 2.7.1 表示信号出力

(R、G、B)

RGB アナログ表示信号を出力します。画素のデータ分解能は、RGB 各 6 ビットです。表示期間外では、画像データ (R、G、B) が H'000 に相当するレベルになります。

#### 2.7.2 ビデオエンコーダインタフェース

( $\overline{\text{CSYNC}}$ )

コンポジットシンク ( $\overline{\text{CSYNC}}$ ) を出力します。また、マスタモード時、コンポジットシンクに等化パルスを付加させることもできます。

#### 2.7.3 CRT インタフェース

( $\overline{\text{HSYNC}}$ 、 $\overline{\text{EXHSYNC}}$ 、 $\overline{\text{VSYNC}}$ 、 $\overline{\text{EXVSYNC}}$ 、DISP、CDE、 $\overline{\text{ODDF}}$ )

$\overline{\text{HSYNC}}/\overline{\text{EXHSYNC}}$ 、 $\overline{\text{VSYNC}}/\overline{\text{EXVSYNC}}$ 、 $\overline{\text{ODDF}}$  端子で、水平同期信号、垂直同期信号、インタレース制御のための現フィールドが偶数か奇数かを示す信号を入出力します。Q2SD が同期マスタの場合はこれら端子を出力とし、外部装置 (TV、ビデオ) に同期を合わせるときは、入力にします。リセット時は、入力になっているので、これらの端子を無意味の方向にレベル固定すること (プルアップ) が必要です。マスタ (出力) か TV 同期 (入力) かの設定は表示モードレジスタ (DSMR) の TV 同期モード (TVM1、TVM0) で行います。

CDE 端子は UGM 上の表示領域の特定色を検出すると H を出力します。特定色の設定は色検出レジスタ CDER で行います。CDE 信号を、外部に設ける外部ビデオ / Q2 グラフィックス画像の選択回路の選択信号に用いることで、1 画素単位での外部ビデオと Q2 グラフィックス画像の表示合成ができます。DISP 端子は表示期間を示します。表示期間は H を出力します。

#### 2.7.4 D/A コンバータ

(CBU、CBL、REXT)

D/A コンバータは、表示データに対してリニアに変化します。CBU、CBL、REXT には、所定の抵抗および容量を接続してください。

R、G、B の出力端子には、負荷抵抗 RL を接続してください。出力電流 Iout の最大値 Ioutmax と REXT との関係は次式で与えられます。

$$\text{REXT} = (2.842/\text{Ioutmax}) \times \text{DACVCC}$$

負荷抵抗 RL に Ioutmax の電流が流れたときの出力振幅を Vout とすると、

$$\text{REXT} = (2.842 / (Vout/RL)) \times \text{DACVCC}$$

となります。

したがって、RL = 330、DACVCC = 3.3V のとき、Vout = 1VPP を得るためには、REXT = 3.1k となります。

なお、出力最大電流  $I_{outmax}$  は 2.0mA から 3.0mA の範囲で使用してください。

D/A コンバータは 8 ビットの分解能力を持っていますが、動的整定誤差は、負荷抵抗  $R_L$ 、出力端子負荷容量（配線分とビデオアンプ入力容量の合計） $C$ 、および表示動作周波数  $f$  で決まります。

たとえば、 $R_L = 330$ 、 $C = 20\text{pF}$ 、 $f = 33\text{MHz}$  とすると、下記の式を満足するときの  $n$  の値が、このときの D/A コンバータの精度になります。

$$\exp\left(\frac{-1}{R_L \cdot C \cdot f}\right) \leq \frac{1}{2^n} \quad \text{ただし、} n \text{ は整数}$$

つまりこのときの  $n$  は 6 になりますので、D/A コンバータの精度は 6 ビット精度（動的整定誤差は、 $\frac{1}{2^6} = 1.56\%$  フルスケール）になります。

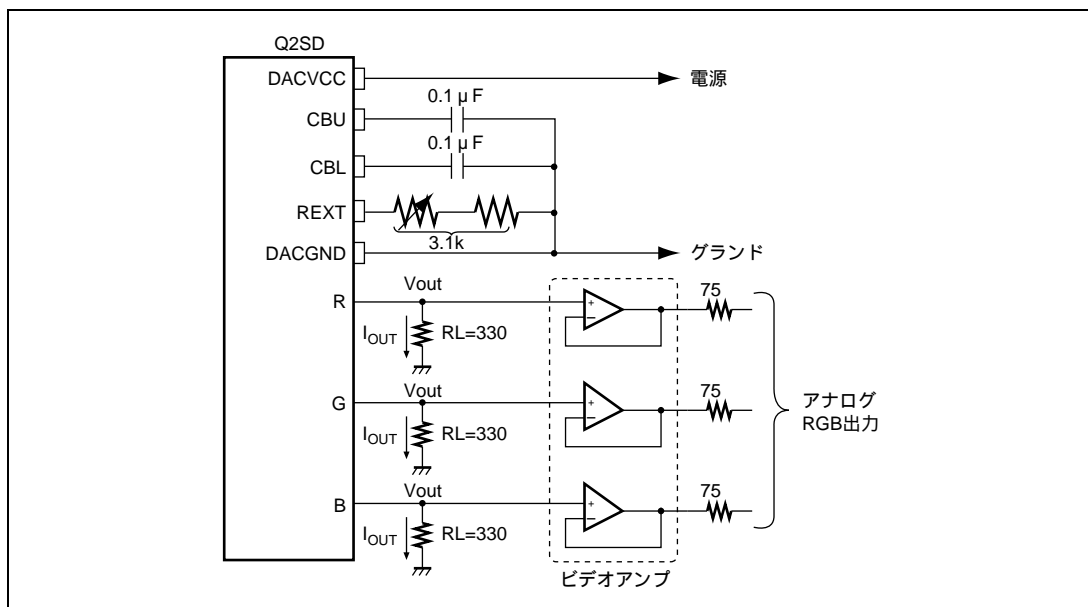


図 2.5 REXT、CBU、CBL 端子接続回路例

## 2.8 ビデオ取り込みインタフェース端子

(VIN0~VIN7、 $\overline{VHS}$ 、 $\overline{VVS}$ 、 $\overline{VODD}$ 、VQCLK)

### 2.8.1 ビデオ取り込みインタフェース

VIN0~VIN7には、VQCLKに同期した8ビットYCbCr4:2:2ビデオデータを入力してください。VQCLKは有効なデータがあるときのみ、データと1対で入力するようにしてください。

$\overline{VHS}$ 、 $\overline{VVS}$ には水平、垂直同期信号を入力してください。これらの信号により、データ取り込み開始位置が決まります。 $\overline{VODD}$ はビデオデータのフィールドを示す記号を入力してください。Lowレベルは奇数フィールドを、Highレベルは偶数フィールドを示します。 $\overline{VODD}$ の極性がNTSCビデオデコーダと一致しない場合は、ビデオデコーダの設定を変更するか、外部で極性反転回路を挿入してください。

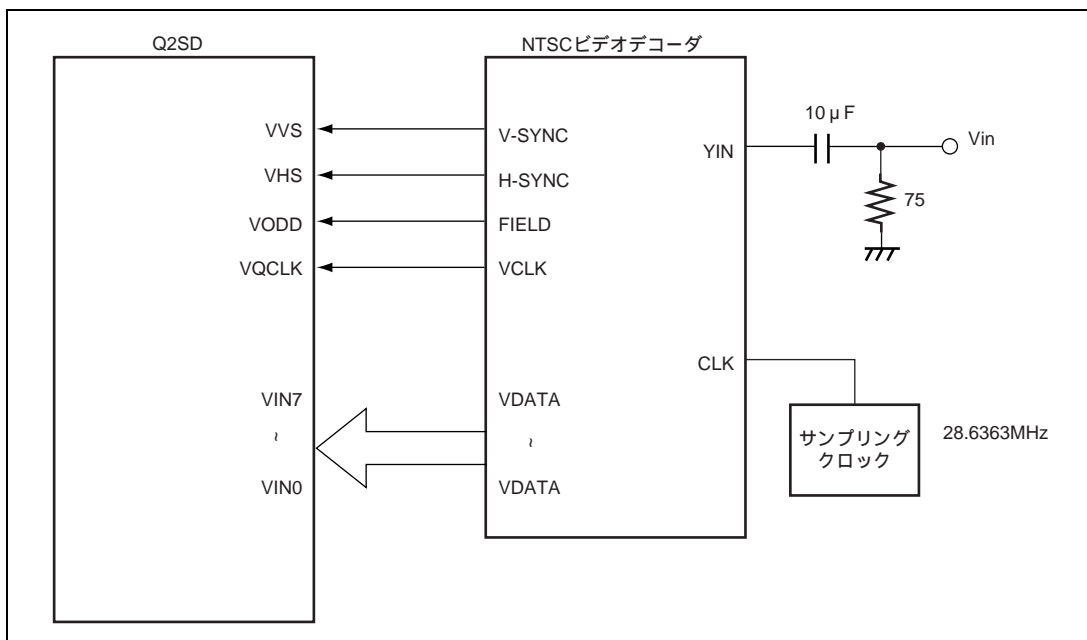


図 2.6 ビデオ取り込み端子接続例

---

## 3. UGM アーキテクチャ

---

### 3.1 特長

Q2SD に接続されるユニファイドグラフィックスメモリ (UGM) は、以下の目的のために使用されます。

- 前景面 (FG)、背景面 (BG)、カーソル面の各領域

Q2SDの描画および表示を行う領域です。前景面はダブルバッファ構成 (フレームバッファ0: FB0、フレームバッファ1: FB1) となっています。

- ディスプレイリスト領域

Q2SDのコマンドリストの格納領域です。Q2SDは、この領域のコマンドをフェッチしながら描画を行います。

- ワーク領域、ソース領域、レンダリング領域等

ワーク領域は、塗りつぶしや、型抜き用のパターンの格納およびFTRAPコマンド描画領域です。2値ソース領域は、フォントデータの格納領域です。多値ソース領域は、自然画やアイコン等の格納領域です。レンダリング領域は、DSARレジスタおよびRSARレジスタで指定されるレンダリング実行領域です。

- ビデオ領域

ビデオ取り込み機能で取り込んだビデオデータを3面分格納する領域です (1面の大きさはビデオウィンドウサイズになります)。

- その他

UGMは、CPUの主記憶領域の一部に割り当てることができるため、上記の他にもCPUの作業領域などに使用することができます。

UGMを使用したシステム構成例を図 3.1 に、CPU メモリ空間に対する UGM のマッピング例を図 3.2 に示します。

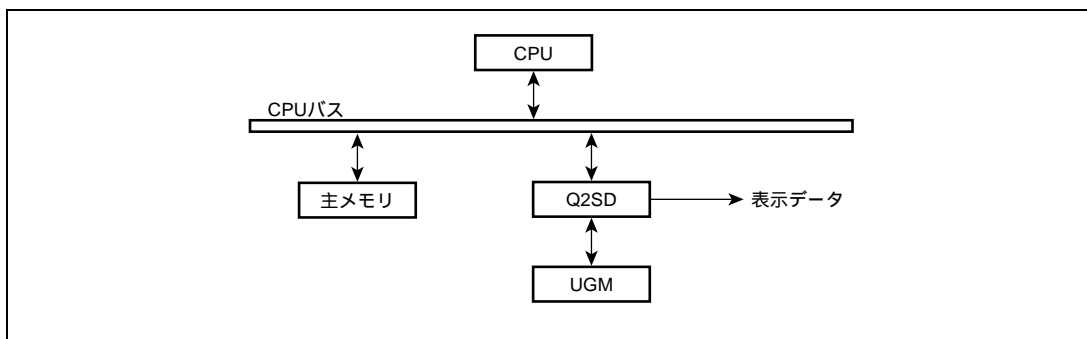


図 3.1 UGM を使用したシステム構成例

### 3. UGM アーキテクチャ

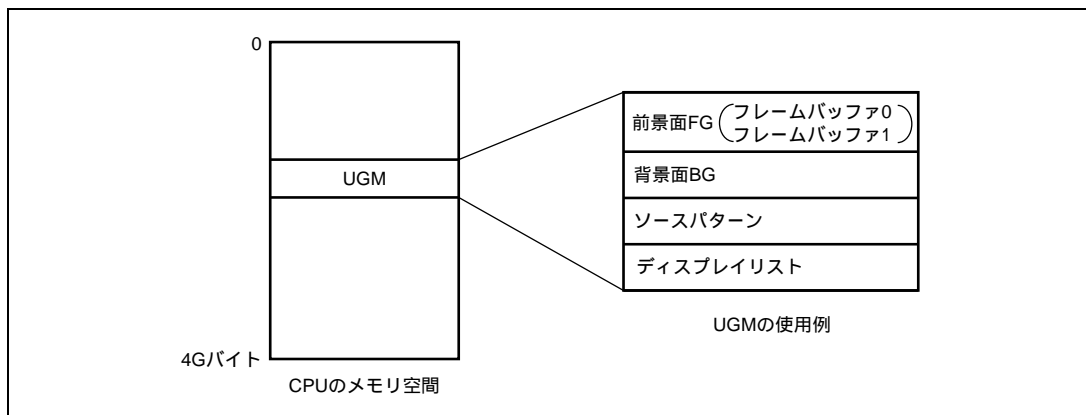


図 3.2 CPU メモリ空間に対する UGM のマッピング例

## 3.2 Q2SD アクセス

### 3.2.1 UGM アクセスの優先順位

UGM のアクセス優先順位は、以下のようになります。

1. リフレッシュ
2. 表示
3. ビデオ取り込み
4. CPU
5. その他 (コマンドフェッチ、描画、ソース参照等)

Q2SD は、それぞれが並行して処理を可能とするため一定の期間アクセスを行った後、他の要求元にアクセス権を渡します。たとえば、3 つの要因がアクセスを要求している場合は、それぞれが交代してアクセスします。

### 3.2.2 CPU の UGM アクセス

UGM は、CPU のメモリ空間の一部として扱います。

ライト動作の場合は、32 バイトの内蔵 FIFO に空きがある場合は最小のウェイトサイクルでアクセス可能です。

リード動作の場合は、数サイクル～数十サイクルのウェイトが入ります。ウェイトサイクル数は、Q2SD 動作クロックと表示動作クロックの関係や画面サイズにより異なります。

FIFO 内に蓄積されたデータの UGM へのストア実行は、システム制御レジスタ (SYSR) のレンダリングスタートビット (RS) が 1 セットされたとき、CPU からの UGM アクセスが  $32t_{\text{cyc}0}$  期間以上アクセスなかったとき、FIFO がいっぱいになったとき、CPU からの UGM リードアクセスがあったときに起こります。

また、CPU に MMU 付きの SuperH を用いた場合は、UGM を SuperH の通常空間で SRAM モードでマッピングしてください。

### 3.2.3 DMAC の UGM アクセス

DMAC を用いて、CPU バスに接続されたメモリと UGM との間でのデータ転送が可能です。この DMA 転送は、ディスプレイリストや画像データの転送に使用することができます。

DMA 転送の場合は、Q2SD 内蔵のアドレスカウンタで UGM のアドレスを制御します。転送アドレスモードは、シングルアドレスモード、デュアルアドレスモードが可能です。ただし、バスモードはサイクルスチールモードのみで、バーストモードはサポートしていません。「2.5.3 DMA ライト」を参照してください。

### 3.2.4 Q2SD の UGM アクセス

UGM としては、SDRAM を用い、Q2SD と直接接続します。SDRAM を用いることにより、Q2SD は 1 サイクル（動作クロック）単位でメモリアクセスが可能となります。

UGM として使用可能な SDRAM は、最大 2 つ（バス幅が  $\times 16$  の場合）までで、電源電圧が 3.3V、Q2SD の電气的特性と初期化シーケンスを満足するメモリです。メモリ構成は下記が使用可能です。

1. 容量 64Mビット（1Mビット  $\times 16 \times 4$  バンク構成）
2. 容量 64Mビット（512kビット  $\times 32 \times 4$  バンク構成）
3. 容量 16Mビット（512kビット  $\times 16 \times 2$  バンク構成）

メモリの種類は、メモリモードレジスタ（MEMR）で設定します。

### 3.2.5 CPU のレジスタアクセス

Q2SD は、CPU のバイトアドレス空間上（H'000 ~ H'7FE）にマッピングされるアドレスマップドレジスタを内蔵しています。インタフェース制御レジスタ、メモリ制御レジスタ、表示制御レジスタ（含カラーパレット）、レンダリング制御レジスタ、データ転送制御レジスタから構成されています。カラーパレットのアクセスはロングワードアクセスのみ有効になります。それ以外のレジスタのアクセスは、ワードアクセスになります。アドレス指定は、 $\overline{CS1}$  端子 = 0 の状態で、A22 ~ A1 端子からアドレスを入力することで行います。

リザーブとなっているアドレスには、読み出し / 書き込みは行わないでください。読み出し / 書き込みを行うとアドレスマップドレジスタの値が失われ、Q2SD の動作が不定になることがあります。

また、Q2SD は UGM へのアクセス権を管理するため、CPU が UGM をアクセスする前に CPU にてアドレスマップドレジスタに初期値を設定しておく必要があります。

以下に設定手順を示します。

1. システム制御レジスタに（SYSR）初期値を設定します。このとき、SRES = 0、DRES = 1、DEN = 0 を設定します。
2. そのほかのレジスタに初期値を設定してください。
3. SRES = 0、DRES = 0 に設定します。

### 3. UGM アーキテクチャ

---

また、ビデオ制御関連のレジスタのビデオ領域開始アドレスレジスタ0~2 (VSAR0~2)、ビデオウィンドウサイズレジスタ (VSIZER)、ビデオ取り込みモードレジスタ (VIMR) は、ビデオ取り込み動作に対して外部更新であるため、その書き換えは、ビデオ取り込みモードレジスタ (VIMR) のビデオ取り込みイネーブルビット (VIE) に0を設定した状態で行ってください。これは、VIMR の VIE ビット以外のビットを変更するときも同様です。以下に手順を示します。

1. VIMRのVIEビットを0に設定します。このとき、VIEビット以外のビットは、その時点で設定されている値を保持してください。
2.  $\overline{VVS}$ の1周期を経過した後に、VSAR0~2、VSIZER、VIMRのVIEビット以外の変更を行ってください。
3. VIMRのVIEビットを1に設定してください。このとき、VIEビット以外のビットは、その時点で設定されている値を保持してください。

#### 3.2.6 レジスタの更新

##### (1) 外部更新

外部更新とは、CPU がアドレスマップドレジスタに設定した値が、CPU のアクセス終了後に反映されることをいいます。また、表示制御に関係するレジスタで、外部更新により設定値を更新するレジスタ (たとえばカラーパレットレジスタ) は、ステータスレジスタ (SR) の VBK フラグ、および FRM フラグが垂直方向のブランキング期間を示している間に書き換えれば、表示がちらつくことなく書き換えられます。

##### (2) 内部更新

内部更新とは、アドレスマップドレジスタに設定された値が、Q2SD の内部の更新タイミングで反映されることをいいます。このため、内部更新機能付きレジスタの場合、CPU が表示タイミングを意識せずに表示動作に関するアドレスマップドレジスタを書き換えても、表示のちらつきを生じさせないようにすることができます。

内部更新は、システム制御レジスタ (SYSR) の DRES ビット=1 の期間、およびフレームの先頭で行います。表示モードレジスタ (DSMR) の WRAP ビット、BG ビット、およびインタレースシンク&ビデオモードにおける BGSX、BGSY は、フィールドの先頭においても内部更新が行われます。更新のタイミングは、DSMR のテレビ同期モードが、TVM1=0、TVM0=0 (マスタモード) のときは  $\overline{VSYNC}$  の立ち下がり設定時となり、TVM1=1、TVM0=0 (TV 同期モード) のときは  $\overline{EXVSYNC}$  の立ち下がり検出時となります。また、TVM1=0、TVM0=1 (同期切り替えモード) のときは、内部更新を行いません。

内部更新機能付きのアドレスマップドレジスタを表 3.1 に示します。これらのレジスタの初期設定は、DRES ビット=1 の期間に行ってください。ただし、表示開始アドレスレジスタ0 (DSAR0)、表示開始アドレスレジスタ1 (DSAIR)、およびレンダリングモードレジスタ (REMR) のグラフィックビットモードビット (GBM) は、表示動作のとき内部更新となります。描画動作のときは外部更新となります。

また、ビデオ領域開始アドレス (VSAR0~2)、ビデオ表示位置 (VPR)、ビデオウィンドウサイズ (VSIZE) は、表示動作のときは、内部更新となり、ビデオ取り込み動作中のときは外部更新となります。



表 3.1 内部更新機能付きレジスタ

## • Q2制御レジスタ

アドレス A[10 : 0]	名 称	略称	内部更新機能を持つビット
H'000	システム制御レジスタ	SYSR	DEN (ビット 13)
H'00A	表示モードレジスタ	DSMR	WRAP (ビット 11) BG (ビット 10)
H'00C	レンダリングモードレジスタ	REMR	GBM (ビット 2~0)
H'056	表示モード 2 レジスタ	DSMD2	全ビット

## • メモリ制御レジスタ

アドレス A[10 : 0]	名 称	略称	内部更新機能を持つビット
H'010	表示サイズレジスタ X	DSRX	全ビット
H'012	表示サイズレジスタ Y	DSRY	全ビット
H'014	表示開始アドレスレジスタ 0	DSAR0	全ビット
H'016	表示開始アドレスレジスタ 1	DSAR1	全ビット
H'04C	背景開始座標レジスタ X	BGSRX	全ビット
H'04E	背景開始座標レジスタ Y	BGSRY	全ビット

## • 表示制御レジスタ

アドレス A[10 : 0]	名 称	略称	内部更新機能を持つビット
H'026	表示ウィンドウレジスタ (水平表示開始位置)	DSWR (HDS)	全ビット
H'028	表示ウィンドウレジスタ (水平表示終了位置)	DSWR (HDE)	全ビット
H'02A	表示ウィンドウレジスタ (垂直表示開始位置)	DSWR (VDS)	全ビット
H'02C	表示ウィンドウレジスタ (垂直表示終了位置)	DSWR (VDE)	全ビット
H'02E	水平同期パルス幅レジスタ	HSWR	全ビット
H'030	水平走査周期レジスタ	HCR	全ビット
H'032	垂直同期位置レジスタ	VSPR	全ビット
H'034	垂直走査周期レジスタ	VCR	全ビット
H'03A	色検出レジスタ H	CDERH	全ビット
H'03C	色検出レジスタ L	CDERL	全ビット
H'058	ビデオ表示開始位置レジスタ (水平表示開始位置)	VPR (HVP)	全ビット
H'05A	ビデオ表示開始位置レジスタ (垂直表示開始位置)	VPR (VVP)	全ビット
H'062	ビデオ領域開始アドレスレジスタ 0H	VSAR0H	全ビット
H'064	ビデオ領域開始アドレスレジスタ 0L	VSAR0L	全ビット
H'066	ビデオ領域開始アドレスレジスタ 1H	VSAR1H	全ビット
H'068	ビデオ領域開始アドレスレジスタ 1L	VSAR1L	全ビット

### 3. UGM アーキテクチャ

アドレス A[10:0]	名 称	略称	内部更新機能を持つビット
H'06A	ビデオ領域開始アドレスレジスタ 2H	VSAR2H	全ビット
H'06C	ビデオ領域開始アドレスレジスタ 2L	VSAR2L	全ビット
H'06E	ビデオウィンドウサイズレジスタ X	VSIZERX	全ビット
H'070	ビデオウィンドウサイズレジスタ Y	VSIZERY	全ビット
H'074	カーソル表示開始位置レジスタ (水平表示開始位置 1)	CSR (HCS1)	全ビット
H'076	カーソル表示開始位置レジスタ (垂直表示開始位置 1)	CSR (VCS1)	全ビット
H'078	カーソル表示開始位置レジスタ (水平表示開始位置 2)	CSR (HCS2)	全ビット
H'07A	カーソル表示開始位置レジスタ (垂直表示開始位置 2)	CSR (VCS2)	全ビット
H'07C	カーソル領域開始アドレスレジスタ 1	CSAR1	全ビット
H'07E	カーソル領域開始アドレスレジスタ 2	CSAR2	全ビット

#### 3.2.7 バイト入れ替え機能

入力データ変換モードレジスタ (IEMR) の DTP および MDTP により、ワードデータ内のバイト単位の上下入れ替えが行えます。MDTP は直接 UGM へ転送するときに参照され、DTP は画像データエントリレジスタ (IDER) 経由で UGM へ転送するときに参照されます。

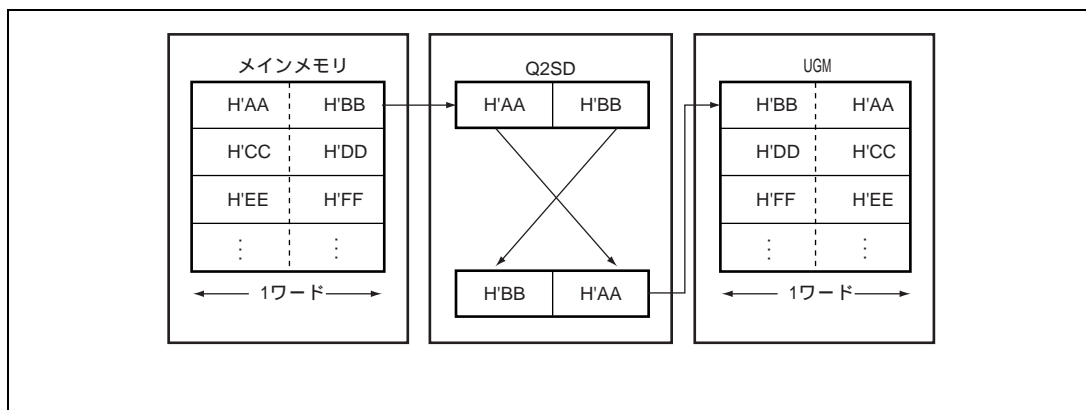


図 3.3 バイト入れ替え

### 3.2.8 2次元画像データ変換機能

#### (1) 2次元画像データ変換

メインメモリ等にリニアアドレスで格納されている画像データを、2次元画像データに変換してUGMに転送するときの方法について説明します。

CPUで画像データエントリレジスタ(IDER)に画像データを転送すると、Q2SDは2次元画像データに変換しながらUGMに格納します。扱えるデータフォーマットは次のとおりです。データ形式の詳細は、「3.2.9 入力データフォーマット」および、「3.2.10 UGM上のデータフォーマット」を参照してください。

IDER入力データ	UGM上のデータ
リニアアドレス YUV データ ( Y、 U、 V 各4ビットデータ)	2次元 RGB データ (R:5ビット、G:6ビット、B:5ビット)
リニアアドレス YUV データ (4:2:2フォーマット)	2次元 RGB データ (R:5ビット、G:6ビット、B:5ビット)
リニアアドレス 16ビット/画素データ	2次元 16ビット/画素データ
リニアアドレス 8ビット/画素データ	2次元 8ビット/画素データ

変換されたRGBデータは、4頂点面描画コマンドのソースデータや各表示面のデータとして用いることができます。

CPUが設定するQ2SDの内部レジスタを図3.4に示します。図3.5に示す順序でレジスタの設定を行ってください。

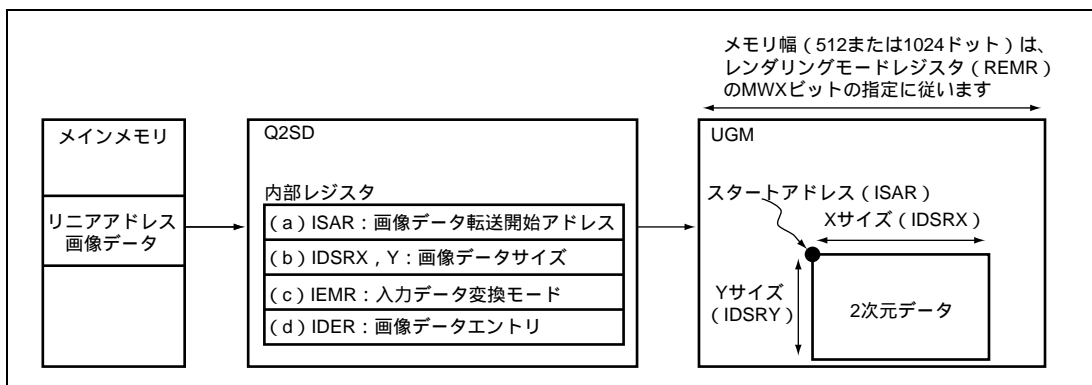


図 3.4 画像データ変換機能

### 3. UGM アーキテクチャ

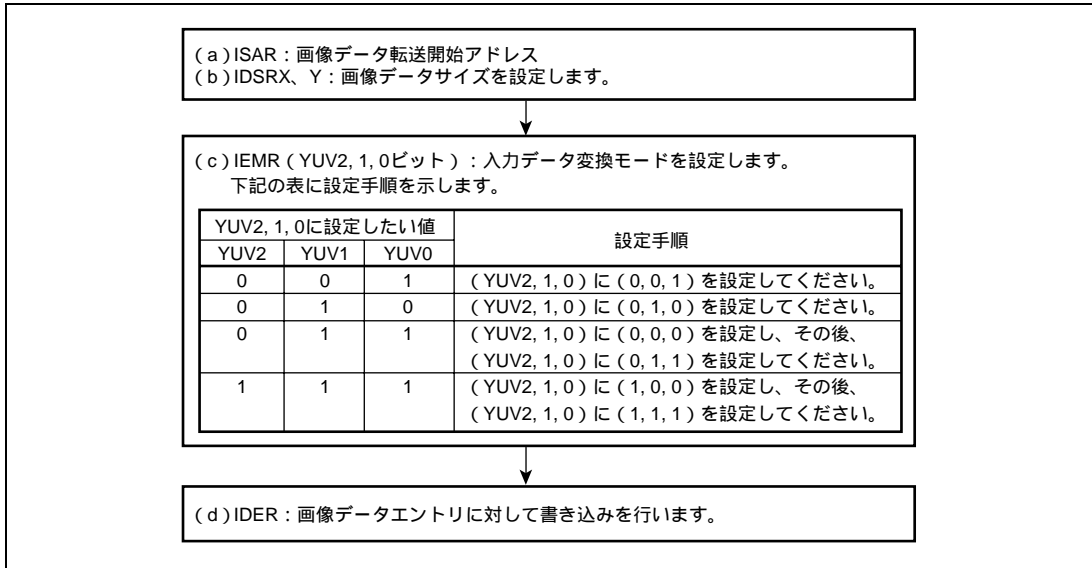


図 3.5 YUV、YUV RGB 変換時のレジスタ設定手順

#### (2) DMA 転送による 2 次元画像変換

DMA 転送で 2 次元画像変換を行うときは、DMA 転送語数レジスタ H、L (DMAWRH、L) に相当する画素数と、画像データサイズレジスタ X、Y (IDSRX、Y) で指定した総画素数が同じになるようにしてください。また、どちらかの値が小さいときは、小さい方の設定値だけ 2 次元画像変換を行い、その後 (YUV2, 1, 0) = (0, 0, 0)、(DMA1, 0) = (0, 0) に戻ります。このため、転送元画像の総転送ワード数が、DMA 転送語数 (DMAWR) よりも大きい場合は、DMA 設定を複数に分けて行う必要があります。また、2 次元画像変換を行うごとに画像データ転送開始アドレスレジスタ (ISAR) を設定してください。

#### (3) 320×240 の YUV データを 4 回の DMA\_YUV で UGM に転送するときの設定例

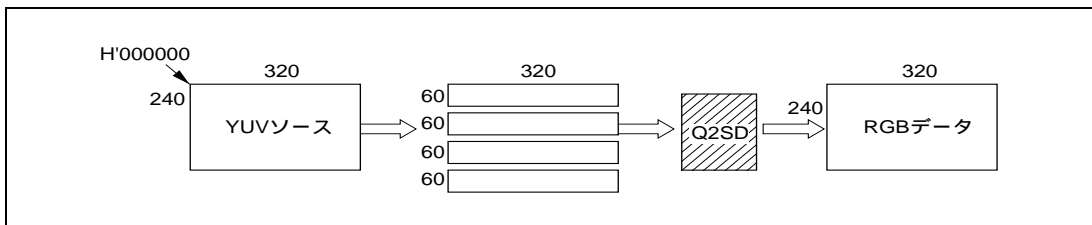


図 3.6 320×240 の YUV データを 4 回の DMA\_YUV で UGM に転送するときの設定例

条件 : YUV ソースサイズ : 320×240 ドット  
 分割回数 : 4 回  
 UGM 転送先アドレス : H'000000  
 YUV モード : YUV-RGB 変換

- 1回目

1. 画像データ転送開始アドレス設定

ISAR = H'000000

2. 画像データサイズレジスタ設定\*<sup>1</sup>

IDSRX = 320

IDSR Y = 60

3. DMA転送語数を設定\*<sup>2</sup>

DMAWR = 19200

4. YUVモードを設定

IEMR = H'01

5. DMAモードを設定

SYSRのDMA = H'11

6. ステータスレジスタ (SR) のDMFビットが1になるのを待つ。

- 2回目

7. 画像データ転送開始アドレス再設定\*<sup>3</sup>

ISAR = 現在のISAR + 転送語数 (Y) = H'C180

8. 画像データサイズレジスタ設定\*<sup>4</sup>

IDSRX = 320

IDSR Y = 60

9. DMA転送語数を設定\*<sup>5</sup>

DMAWR = 19200

10. YUVモードを設定

IEMR = H'01

11. DMAモードを設定

SYSRのDMA = H'11

以降 YUV 転送ソースが終了するまで、上記 6.~11.を繰り返します。

また、以上の設定例は YUV-RGB 変換の設定でも同様です。

### 3. UGM アーキテクチャ

【注】 \*1 ここで、IDSRX/IDSR Y は下記を満足。

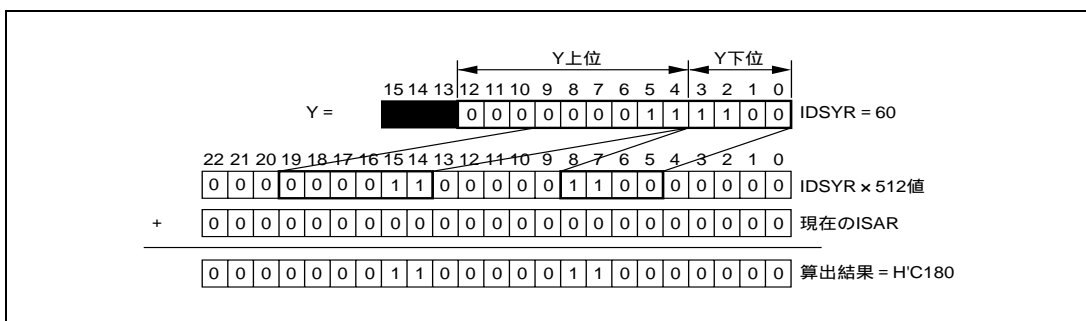
転送の単位はライン単位

1 回の転送は、DMAWR の範囲内

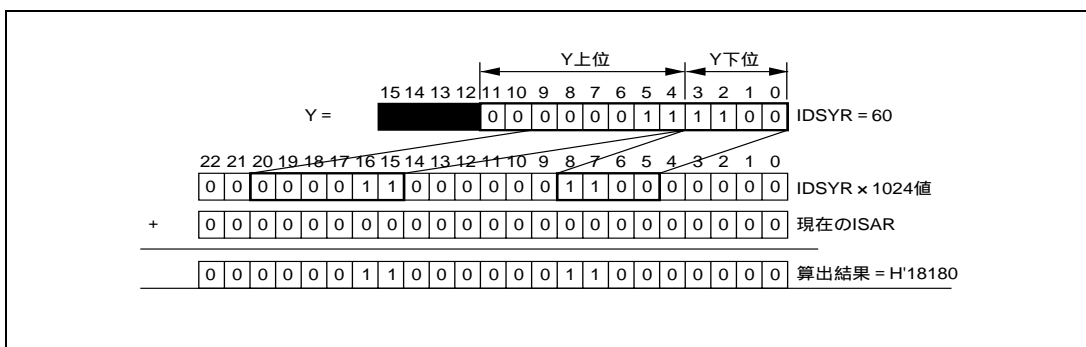
\*2 IDSRX/IDSR Y に対応する転送語数を設定。

\*3 Q2SD では、前景面領域が「3.3.2 メモリマップ」で示すアドレス配置となっています。このため、図 3.9 に示しているメモリ物理アドレスと座標の関係を参考に ISAR に画像データ転送開始アドレスを設定してください。本設定例の場合、2 回目の画像データ転送開始位置は X=0、Y=60 ドットの位置になります。これを X、Y それぞれの上位座標と下位座標に分割し、図 3.9 に代入した値が、2 回目の ISAR に設定する値となります。

- (例) メモリ幅512の2回目のISAR算出方法 (図3.9より)



- (例) メモリ幅1024の2回目のISAR算出方法 (図3.9より)



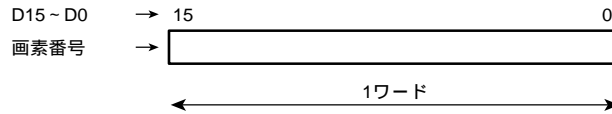
\*4 設定条件は 2.と同じです。

\*5 設定条件は 3.と同じです。

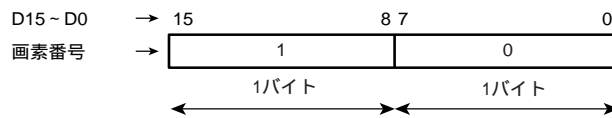
### 3.2.9 入力データフォーマット

入力データの構成を示します。画素番号は画面の左側が0で、右に行くに従い大きくなります。

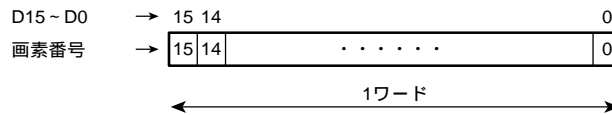
#### (1) 16ビットデータ



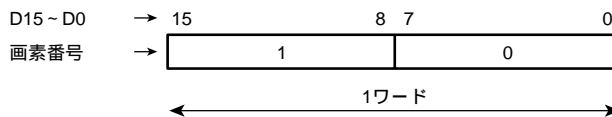
#### (2) 8ビットデータ



#### (3) 1ビット/画素データ



#### (4) 8ビット/画素データ



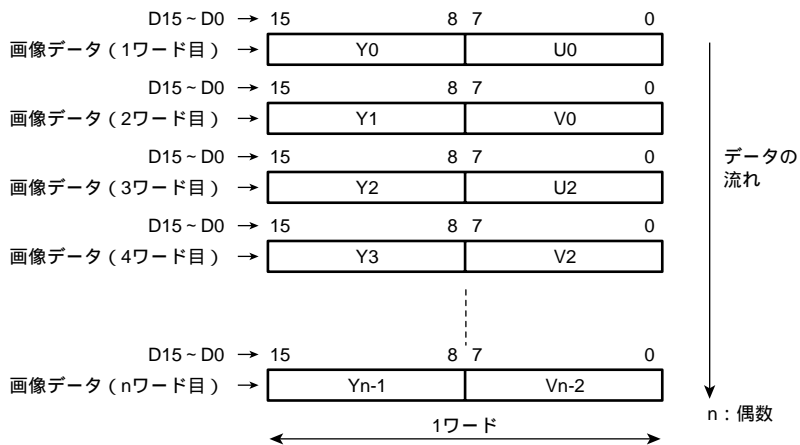
#### (5) RGB データ (16ビット/画素データ)



### 3. UGM アーキテクチャ

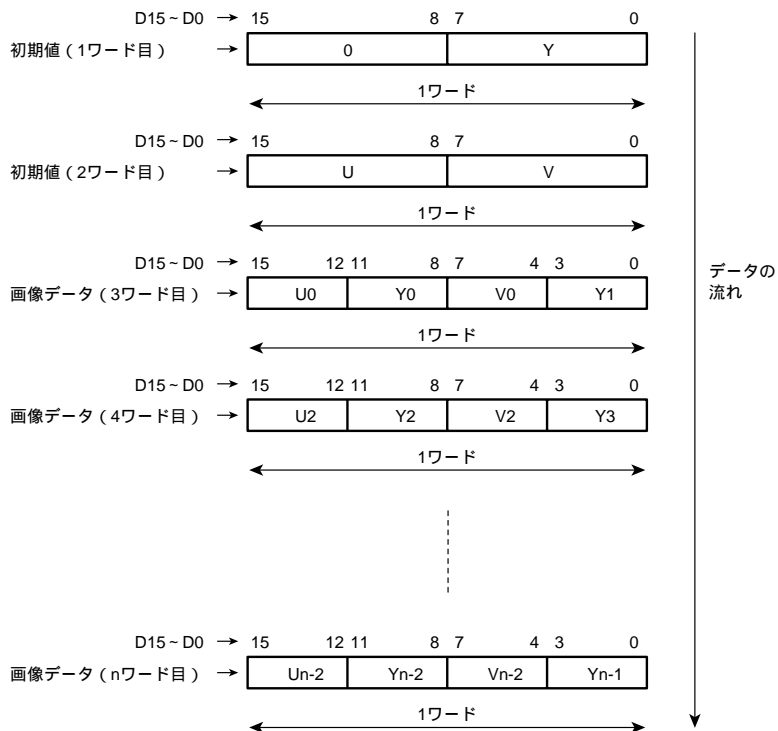
#### (6) YUV データ

YUVデータフォーマットは、4:2:2フォーマットとします。U、Vデータは、水平間引きデータです。



#### (7) ΔYUV データ

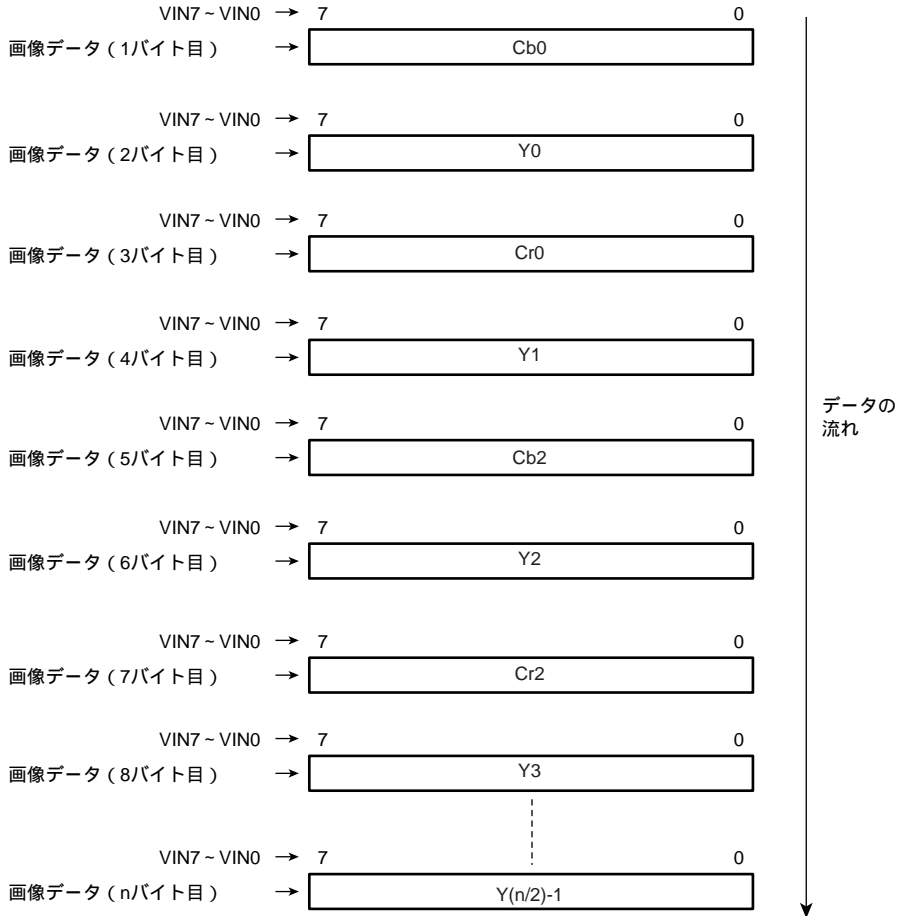
ΔYUVデータは、ラスタを基本単位とし、1本のラスタのデータ構成は、先頭2ワードのデータが初期値、残りが圧縮された画像データとします。





(8) YCbCr データ

ビデオ取り込み端子より入力します。YCbCr は 8 ビットデータ 4 : 2 : 2 フォーマットとします。

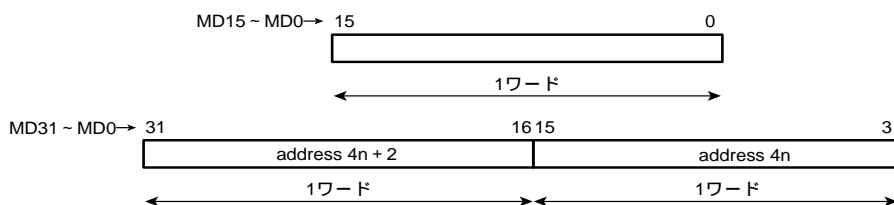


### 3. UGM アーキテクチャ

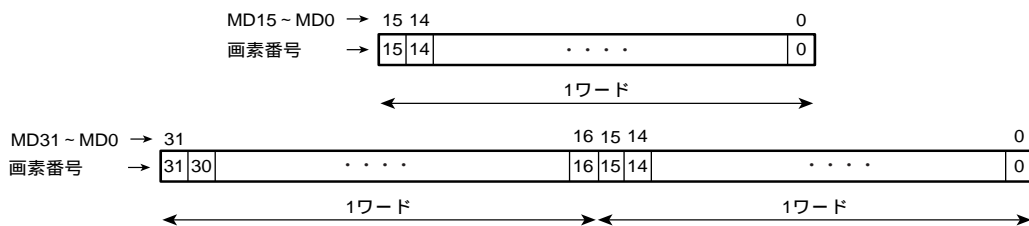
#### 3.2.10 UGM 上のデータフォーマット

UGM 上データの構成を示します (UGM が 16 ビットバス のとき、32 ビットバス のときの順で示します)。  
 Q2SD が扱う画像データは、リトルエンディアンです。画素番号は画面の左側が 0 で、右に行くに従い大きくなります。

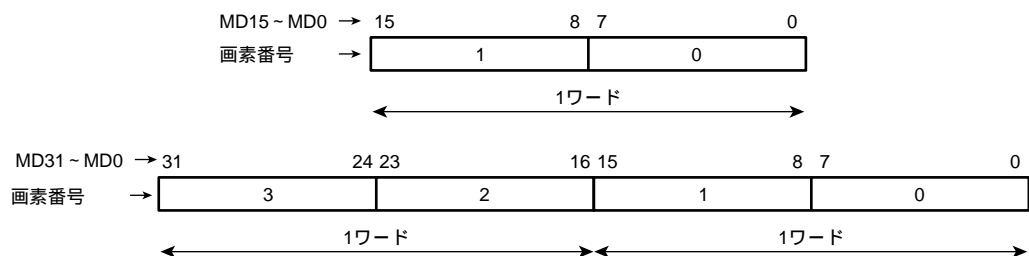
##### (1) 16 ビットデータ



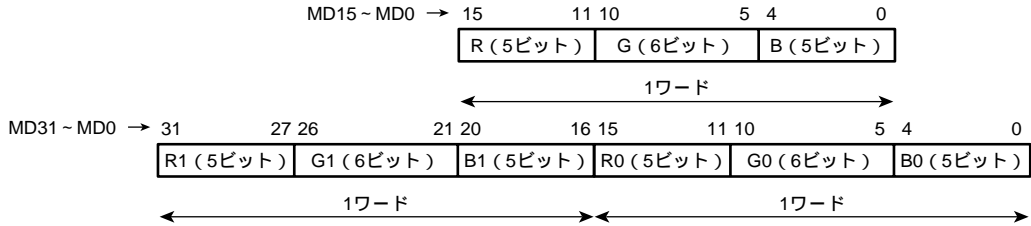
##### (2) 1 ビット / 画素データ



##### (3) 8 ビット / 画素データ

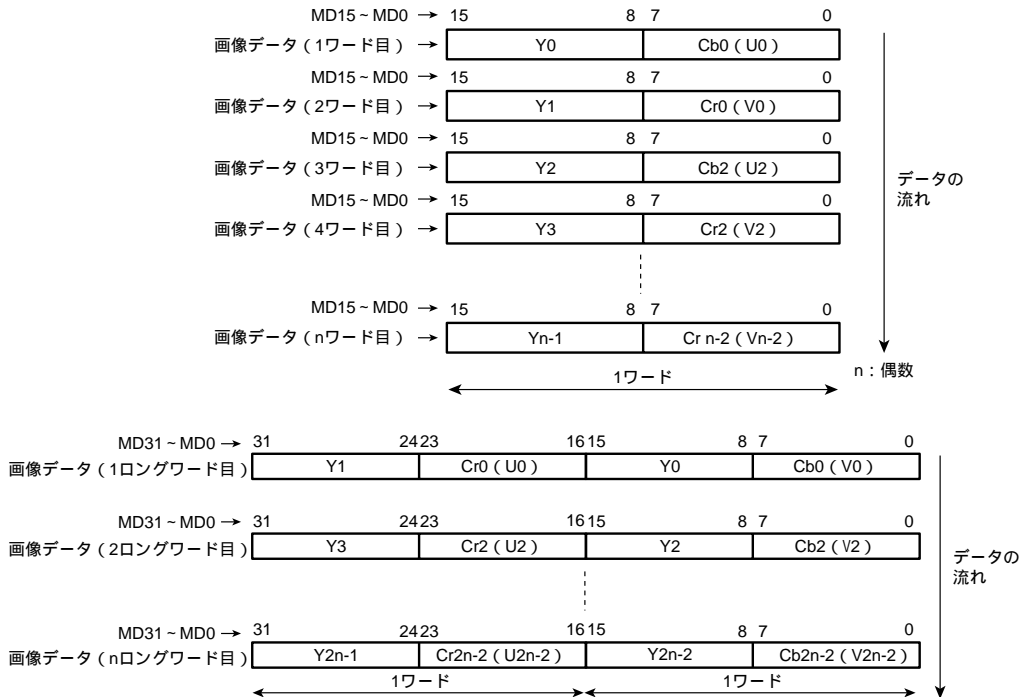


(4) RGB データ (16 ビット / 画素データ)



(5) YCbCr データ (YUV データ)

YCbCr (YUV) データフォーマットは、4 : 2 : 2フォーマットとします。Cr、Cb (U、V) データは、水平間引きデータです。



### 3.2.11 内部データフォーマット

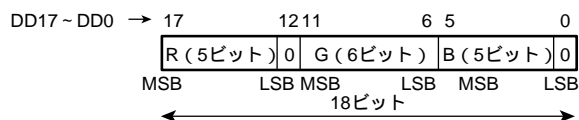
Q2SD 内部のカラーデータの構成を示します。

#### (1) RGB データ

ディスプレイユニットで使用する表示データの構成を示します。

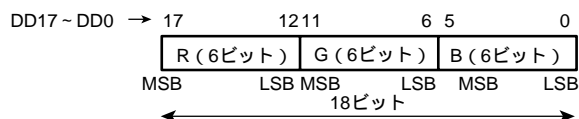
- UGMデータが16ビット/画素 (カラーパレット未使用)

前景面 FG およびカーソルの H'0000 の画素は透過色となり、優先度の低い表示面が透けて表示されます。



- UGMデータが8ビット/画素 (カラーパレット使用)、UGMデータがYCbCrのとき

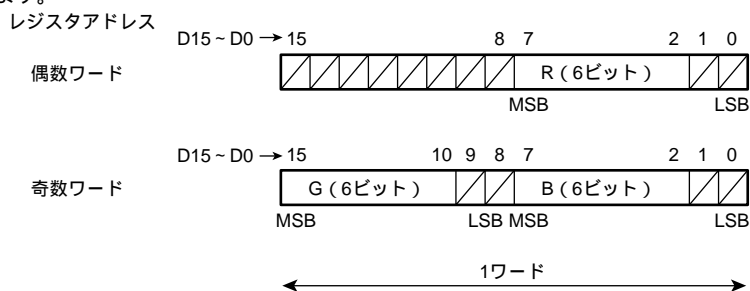
前景面 FG およびカーソルの H'0000 の画素は透過色となり、優先度の低い表示面が透けて表示されます。



DD17 ~ DD0 は内部信号です。Q2SD のアナログ出力は、上記のデータを D/A 変換したものとなります。

#### (2) カラーパレットデータ

カラーパレットレジスタのカラーデータの構成を示します。設定値 H'0000 0000 は、透過色となり優先度の低い面が表示されます。



### 3.2.12 割り込み出力機能

Q2SD は各要因による割り込み出力信号を出力します。割り込み要因の発生は、ステータスレジスタ (SR) に反映され、割り込み要因の選択は割り込み許可レジスタ (IER) に設定されます。これを用いてディスプレイリストおよびソースデータの UGM への転送やカーソルブリンクの制御、DMA 転送制御、エラー処理等を行います。

表 3.2 割り込み出力機能

ステータスレジスタ (SR) のフラグ	内容概略	用途
TVR	EXVSYNC 信号が予定通り入力されない	エラー処理
FRM	表示フレームが切り替わった	描画処理、表示処理、データ転送処理
DMF	DMA 転送が終了	データ転送処理
CER	不当コマンドが検出された	エラー処理
VBK	表示フィールドが切り替わった	描画処理、表示処理、データ転送処理
TRA	TRAP コマンドが実行された	描画処理、表示処理、データ転送処理
CSF	コマンド実行終了前にディスプレイチェンジが発生した	エラー処理
BRK	システム制御レジスタ (SYSR) の RBRK ビットによりコマンド実行が中断された	描画の中断・再開、ソフトデバック

### 3.3 ユニファイドグラフィックスメモリ (UGM)

#### 3.3.1 メモリアドレス

##### (1) メモリ1単位

Q2SD は、UGM のアドレス制御を行います。UGM には、ディスプレイリスト、2 値ソース、8 ビット/画素ソースまたは 16 ビット/画素ソース、8 ビット/画素レンダリングまたは 16 ビット/画素レンダリング、2 値ワーク、ビデオの各領域があります。UGM は、512 バイトをメモリ 1 単位として構成され、各領域ごとにメモリの構成が異なります。図 3.7 に、各領域ごとのメモリ 1 単位の構成を示します。UGM のアドレス進行は、図 3.8 のようにメモリ 1 単位で連続したアドレスになります。

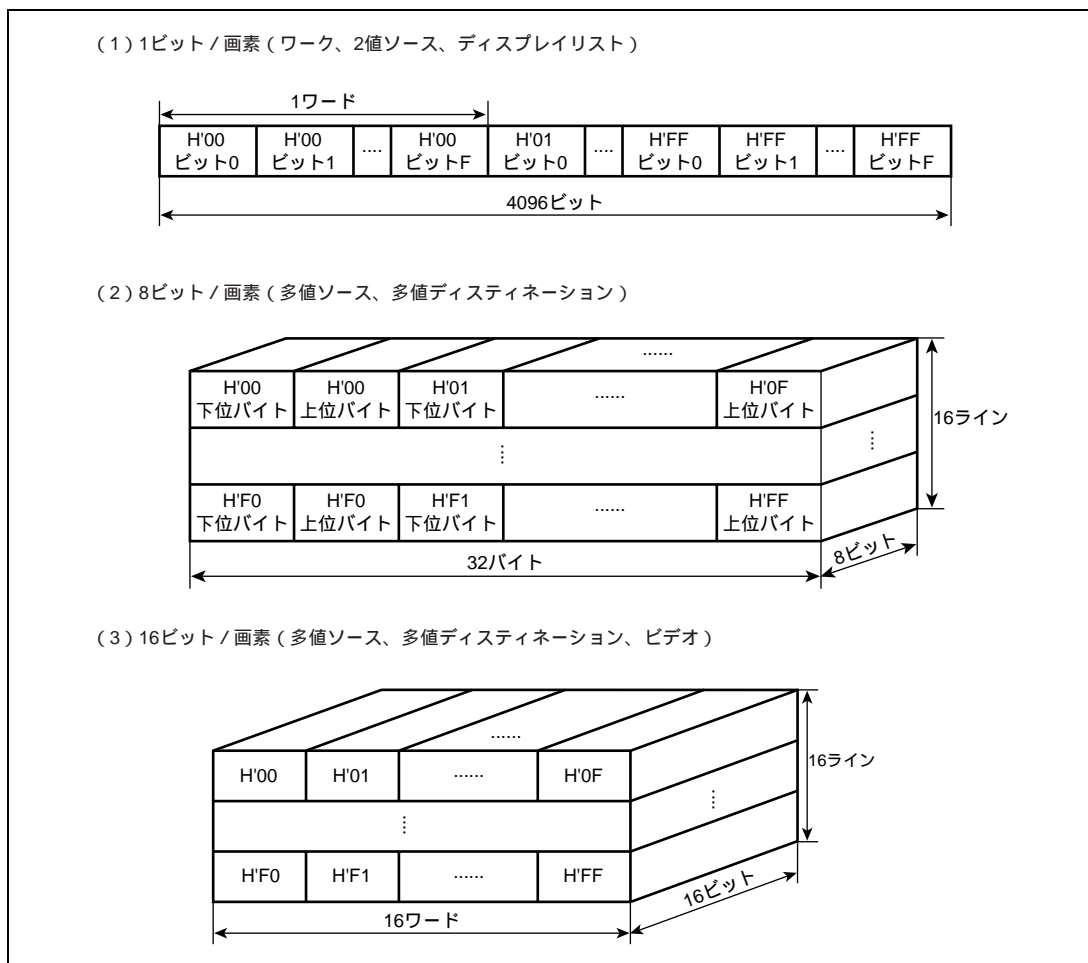


図 3.7 メモリ 1 単位 (512 バイト) の構成

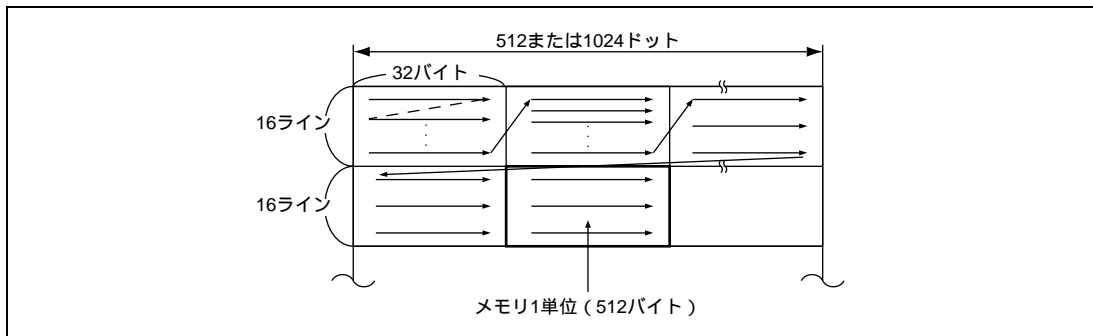


図 3.8 UGM のアドレス進行

### (2) 2次元論理アドレス

Q2SD は、UGM を 2 次元論理アドレス空間として扱います。2 次元論理アドレス空間は、UGM の物理アドレス  $H'0$  を原点とし、表示の横方向に対応する X 軸と、縦方向に対応する Y 軸で表現されます。X 軸で取れる範囲は 0 から 511 または 0 から 1023、Y 軸で取れる範囲は 0 以上です。Q2SD は、表示および描画処理を 2 次元論理アドレスに基づき処理します。図 3.9 に示される 2 次元論理アドレスと UGM 物理アドレスの変換処理は、Q2SD が行います。X 座標上位および X 座標下位は X の値をそれぞれのビット幅に分割したときの値を意味します。Y 座標上位および Y 座標下位も同様に Y の値を分割した値です。CPU で直接 UGM 上の画像を変更するときには、この変換を考慮してアクセスしてください。

### (3) リニアアドレス

Q2SD は、UGM の一部領域をリニアアドレス空間として扱うことができます。これには、その領域のリニアアドレス指定と開始 UGM アドレスの設定が必要です。この空間でのアドレスは UGM 物理アドレスとなります。

### 3. UGM アーキテクチャ



図 3.9 UGM 物理アドレス (バイト) と 2 次元論理アドレスとの対応

#### (4) ワークアドレス

Q2SD は UGM の一部をワークアドレス空間として使用します。ワークアドレスは、1 ビット 1 アドレスとする 2 次元アドレスです。

ワークアドレス空間は、ワーク領域開始アドレスレジスタ (WSAR) で設定したアドレスから始まる空間です。ワークアドレス空間は、レンダリングモードレジスタ (REMR) のメモリ幅ビット (MWX) で指定された画素 (512 または 1024 画素) ごとに折り返して 2 次元空間を構成します。図 3.10、図 3.11 に例を示します。

ワークアドレス空間として必要なメモリ容量は、(MWX ビットで指定した画素数) × (SCLIP コマンドの YMAX + 1) / 8 バイトになります。SCLIP コマンドの YMAX は、垂直方向の表示ライン数 - 1 を設定します。

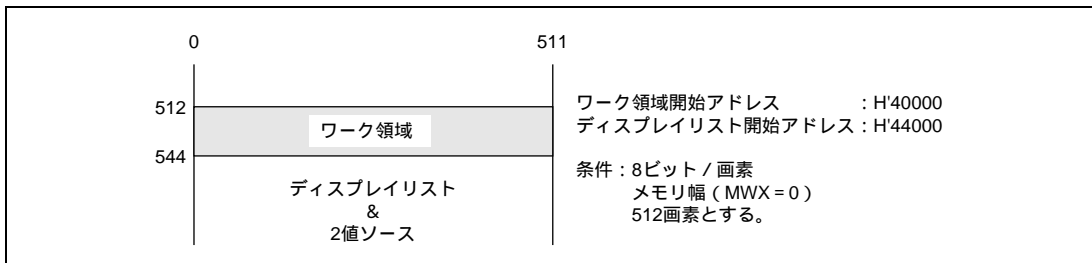


図 3.10 ワークアドレス空間



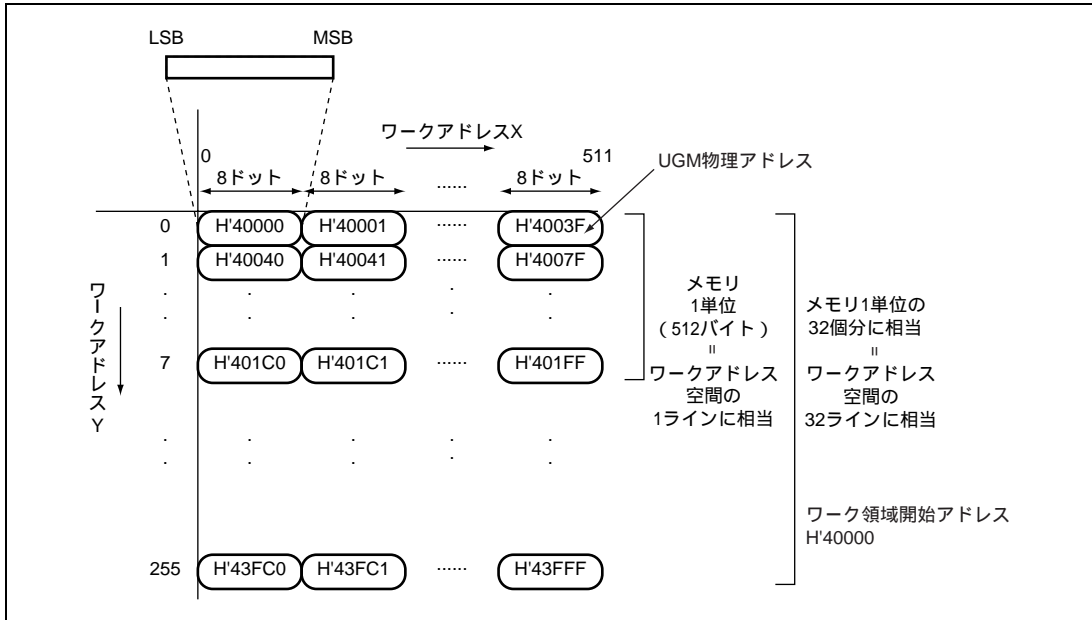


図 3.11 UGM 物理アドレス (バイト) とワークアドレスとの対応

(5) UGM 物理アドレス

UGM に 16MB × 16 のメモリを 2 個使用した場合、UGM は H'000000 ~ H'37FFFE、64MB × 32 を使用した場合で H'000000 ~ H'7FFFFE になります。

### 3.3.2 メモリマップ

図 3.12 に UGM のメモリマップを示します。なお、UGM 上には 8 ビット/画素、16 ビット/画素の領域を混在可能ですが、各領域が重ならないように領域の割り当てを行ってください。このため、図 3.13 のように仮想的に 8 ビット/画素と 16 ビット/画素の領域を考えて、領域の割り当てを行ってください。8 ビット/画素のメモリマップと 16 ビット/画素のメモリマップは Y 方向のドット数において、2 対 1 の関係があります。

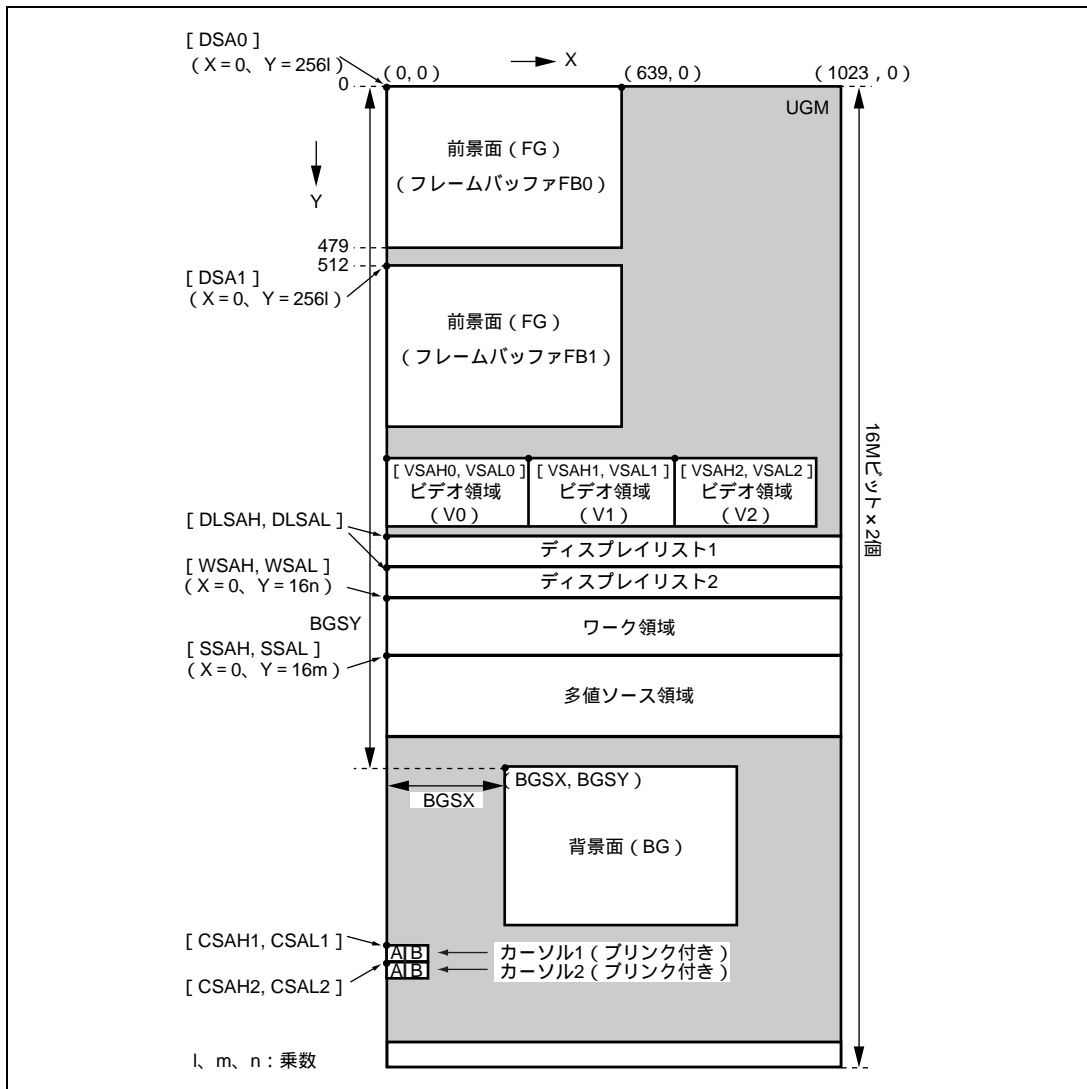


図 3.12 メモリマップ例 (16 ビット/画素時 画面サイズ 640 × 480 相当時)

- [ WSAH、WSAL ] : A22 ~ A13で設定できるアドレス
- [ SSAH、SSAL ] : A22 ~ A13で設定できるアドレス
- [ DSA0 ]、[ DSA1 ] : A22 ~ A16で設定できるアドレス
- [ DLSAH、DLSAL ] : A22 ~ A5で設定できるアドレス
- [ VSAH<sub>n</sub>、VASL<sub>n</sub> ] : A22 ~ A10で設定できるアドレス

【記号説明】 (n=0、1、2)

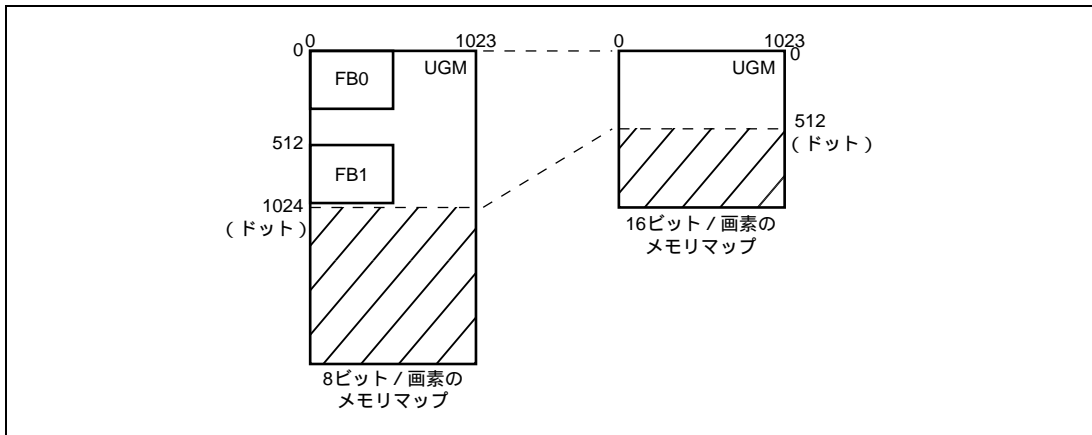


図 3.13 8ビット/画素と16ビット/画素の関係

画面サイズの横幅が512画素以下(たとえば320×240相当)で、メモリ幅1024画素の構成をとる場合には、表示モード2レジスタ(DSMR2)のHDISビットを1に設定することにより、前景面FB1をX=512の位置から設定することができます。このとき、DSA0、DSA1には同じ値を設定します。また、HDISビットを1に設定したときは、GBM2=0、GBM1=0、かつRSAE=0で使用してください。

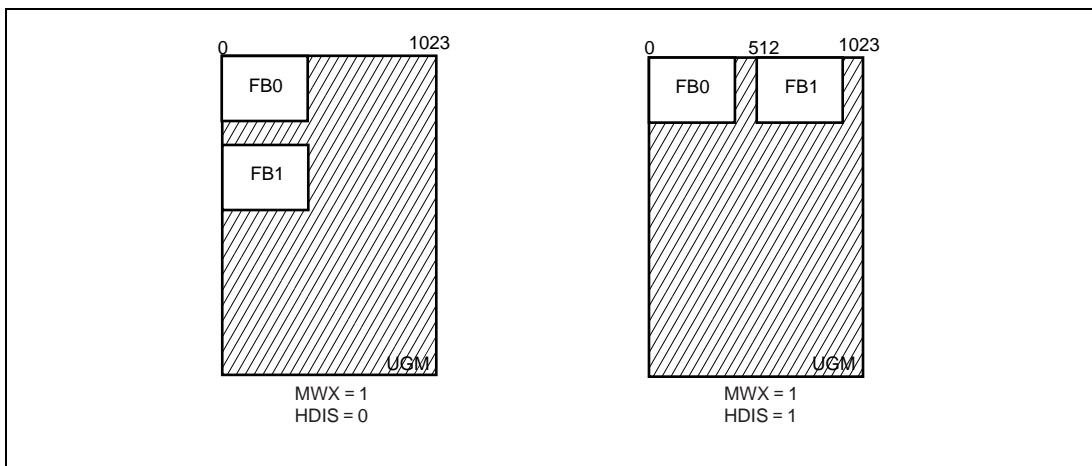


図 3.14 HDIS=1 のフレームバッファ FB1 の配置

#### 3.3.3 座標系

##### (1) 座標系

Q2SD は、表示制御座標としてスクリーン座標、描画制御座標としてレンダリング座標、ワーク座標、多値ソース座標、2 値ソース座標、表示面の座標として前景面座標、背景面座標、ビデオ面座標、カーソル座標を持っています。Q2SD の 2 次元座標は、1 座標が 1 画素に対応 (YCbCr 時のビデオ座標は除く) し、X 座標が表示面の横、Y 座標が表示面の縦に対応します。X 座標の正方向は右、Y 座標の正方向は下となります。座標と UGM 物理アドレスとの対応は、2 次元論理アドレス、リニアアドレス、ワークアドレスの場合があります。2 次元論理アドレスに従う座標は、スクリーン座標、レンダリング座標、レンダリング属性のソースリニア指定 (LNi) が 0 のときの多値ソース座標、前景面座標、背景面座標、ビデオ面座標です。リニアアドレスに従う座標は、LNi が 1 のときの多値ソース座標、2 値ソース座標、カーソル座標です。ワークアドレスに従う座標は、ワーク座標です。なお、2 次元論理アドレス、リニアアドレス、ワークアドレスについては「3.3.1 メモリアドレス」を参照してください。

##### (2) スクリーン座標

スクリーン座標は、表示制御の座標です。スクリーン座標原点は表示領域の左上角に対応し、1X 座標は 1 ドットクロックに、1Y 座標は 1 ラスタラインに相当します。横幅  $x_w$  縦幅  $y_w$  の表示領域の左上角はスクリーン座標 (0, 0) に対応し、右下角はスクリーン座標 ( $x_w - 1$ ,  $y_w - 1$ ) に対応します。各表示面とスクリーン座標との対応は、表示面ごとに異なります。前景面の座標原点は、スクリーン座標原点に重なります。背景面の開始座標は、スクリーン座標原点に重なります。ビデオ面とカーソル面の座標原点は、スクリーン座標値となります。これらの設定はビデオ表示開始位置レジスタ (VPR)、カーソル表示位置レジスタ (CSR) で行います。スクリーン座標の X 座標最大値は、X=511 または X=1023 から選択します。この設定はレンダリングモードレジスタ (REMR) のメモリ幅 (MWX) で行います。

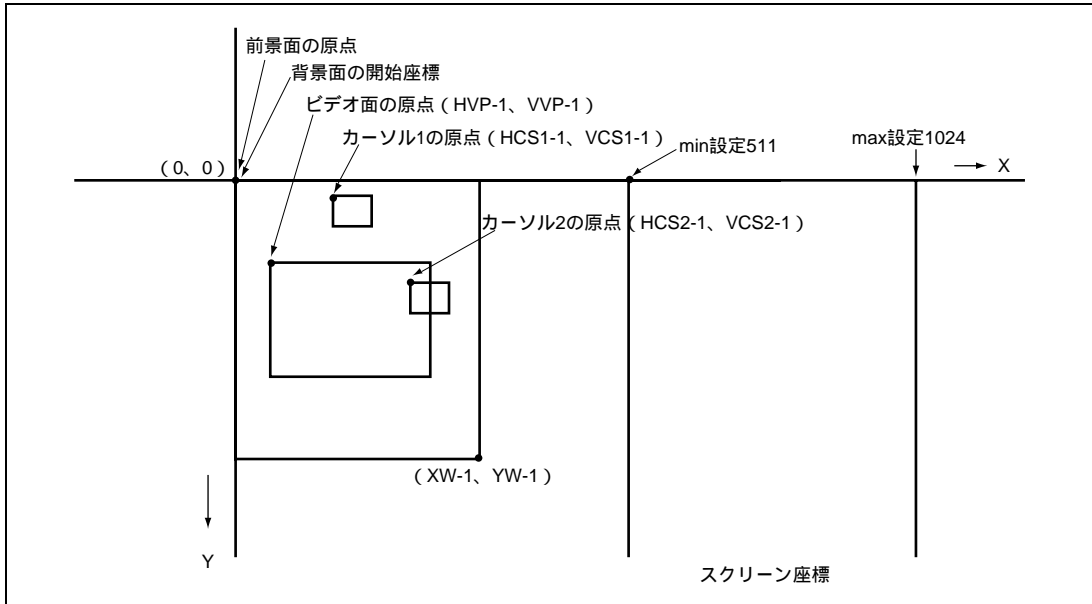


図 3.15 スクリーン座標

### (3) レンダリング座標

レンダリング座標は描画制御の座標で、描画コマンドのディスティネーションの座標です。座標の大きさは図 3.16 のように固定です。この範囲を超える座標値は扱えません。レンダリング座標原点の物理アドレスは、レンダリングモードレジスタ (REMR) の R<sub>SAE</sub> ビットが 0 のときは表示開始アドレスレジスタ (DSAR<sub>0</sub>、DSAR<sub>1</sub>) の設定値となり、1 のときは描画開始アドレスレジスタ (RSAR) の設定値となります。レンダリング座標の 1 座標のデータ幅は、16 ビット (16 ビット / 画素) と 8 ビット (8 ビット / 画素) から選択します。この設定はレンダリングモードレジスタ (REMR) のグラフィックビットモード 2~0 (GBM2~0) で行います。クリッピング領域外では、描画演算は行いますが、UGM に対するアクセスは行いません。また、座標原点は、ローカルオフセットコマンド (LCOFS) で指定するオフセットの分だけ水平垂直にずらすことができます。この場合、必ず LCOFS コマンドで設定したオフセット値 X<sub>O</sub>、Y<sub>O</sub> を加算した座標が下記の式の範囲内に入っている必要があります。ただし、描画コマンドのうち、クリッピングを指定するコマンド (SCLIP、UCLIP) は、オフセットなしのレンダリング座標に従います。

(太線の属性を指定した場合)

- 2045 X + X<sub>O</sub> 2044

- 2045 Y + Y<sub>O</sub> 2044

(太線の属性を指定しない場合)

- 2048 X + X<sub>O</sub> 2047

- 2048 Y + Y<sub>O</sub> 2047

### 3. UGM アーキテクチャ

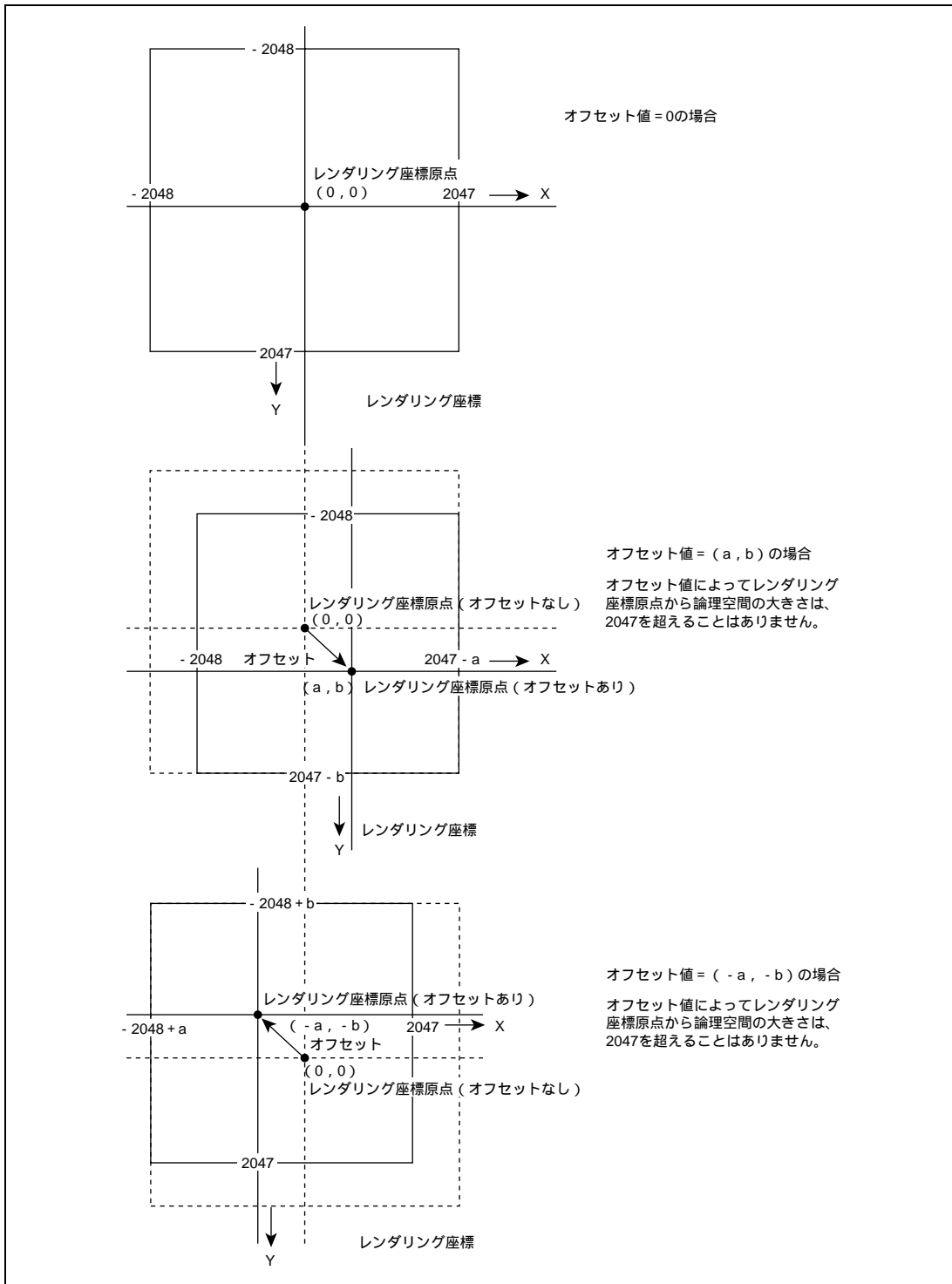


図 3.16 レンダリング座標

## (4) 多値ソース座標

多値ソース座標は描画制御の座標で、描画コマンドで指定する多値ソースデータ（グラフィックスビットマップデータ、自然画）の座標系です。多値ソース座標の1座標のデータ幅は、16ビット（16ビット/画素）と8ビット（8ビット/画素）から選択します。この設定はレンダリングモードレジスタ（REMR）のグラフィックビットモード2~0（GBM2~0）で行います。多値ソース座標のデータ幅はこのレジスタで設定する描画のビット構成に従います。

Q2SDは、レンダリング属性のソースリニア指定（ $LN_i$ ）の値によって2通りの多値ソース座標を使用することができます。

$LN_i=0$ のとき、座標原点は多値ソース領域開始アドレスレジスタ（SSAR）で指定します。図3.17に $LN_i=0$ のときの多値ソース座標を示します。この図で示すように最大1024×1024サイズの正数座標が持てますが、実装するメモリ容量、画面サイズおよび多値ソース領域開始アドレスにより持てる大きさは異なります。多値ソース座標は、多値ソース領域開始アドレスレジスタの設定によって、他の2次元論理アドレスの座標系の全部または一部を重ねて使用することができます。CPUからのデータ転送は図3.9に示すようなアドレス変換が必要です。なお、2次元画像データ変換機能（「3.2.8 2次元画像データ変換機能」参照）を使用すれば図3.9に示すようなアドレス変換はQ2SDが行います。

$LN_i=1$ のとき、Q2SDはUGM上のリニアアドレスで配置された多値ソースデータを使用することができます。座標原点のUGM物理アドレスおよび座標範囲は、描画コマンドのパラメータで指定します。多値ソース1個につき、1つのUGM物理アドレス（座標原点：多値ソースの左上）とその多値ソースの横幅と縦幅を指定します。これらはPOLYGON4Aコマンドのコマンドパラメータであるソースアドレス、TDX、TDYで指定します。他のリニアアドレスの座標系と重ねて（ディスプレイリストと混在など）使用することができます。図3.18に $LN_i=1$ のときの多値ソース座標を示します。

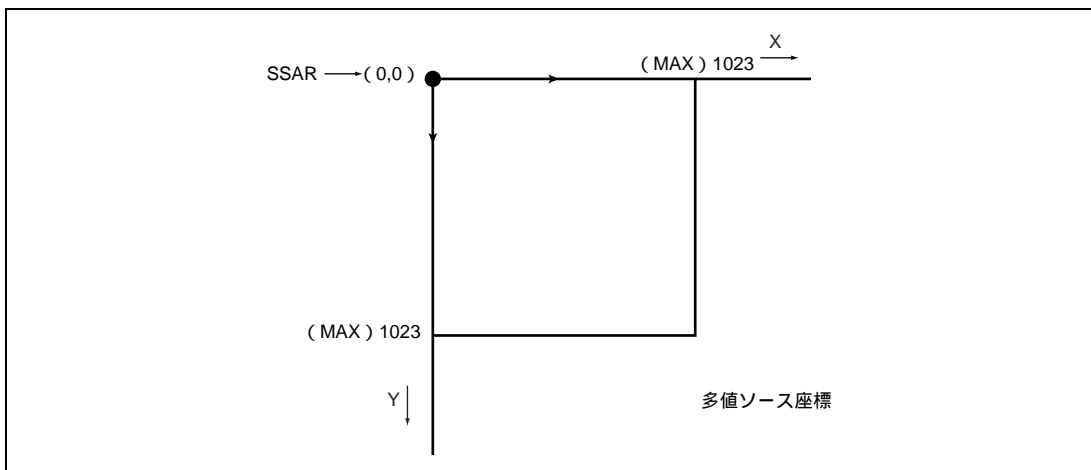


図 3.17 多値ソース座標（ $LN_i=0$ 、2次元論理アドレス）

### 3. UGM アーキテクチャ

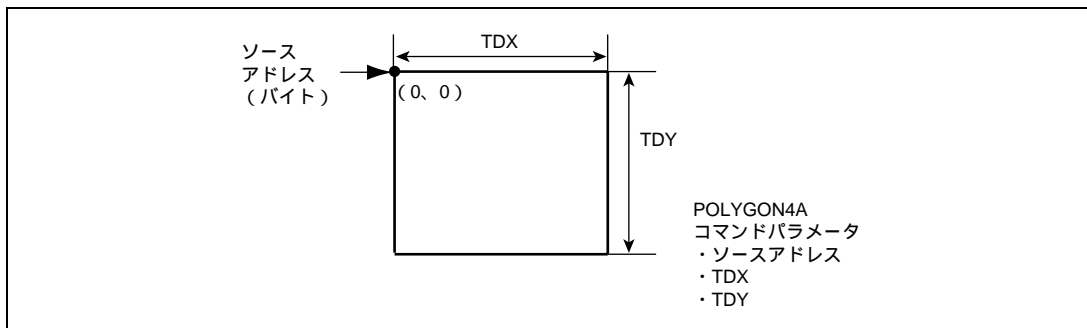


図 3.18 多値ソース座標 (LNi=1、リニアアドレス)

#### (5) 2 値ソース座標

2 値ソース座標は描画制御の座標で、描画コマンドで指定する 2 値ソースデータ(文字パターン、線パターン)の座標系です。2 値ソース座標の 1 座標のデータ幅は、1 ビット (1 ビット / 画素) です。座標原点の UGM 物理アドレスおよび座標範囲は、描画コマンドのパラメータで指定します。2 値ソース 1 個につき、1 つの物理アドレス (座標原点 : 2 値ソースの左上) とその 2 値ソースの横幅と縦幅を指定します。これらは POLYGON4B コマンドのコマンドパラメータであるソースアドレス、TDX、TDY で指定します。他のリニアアドレスの座標系と重ねて (ディスプレイリストと混在など) 使用することができます。ただし、ソース図形の先頭アドレスは、必ずバイトアドレスとなります。

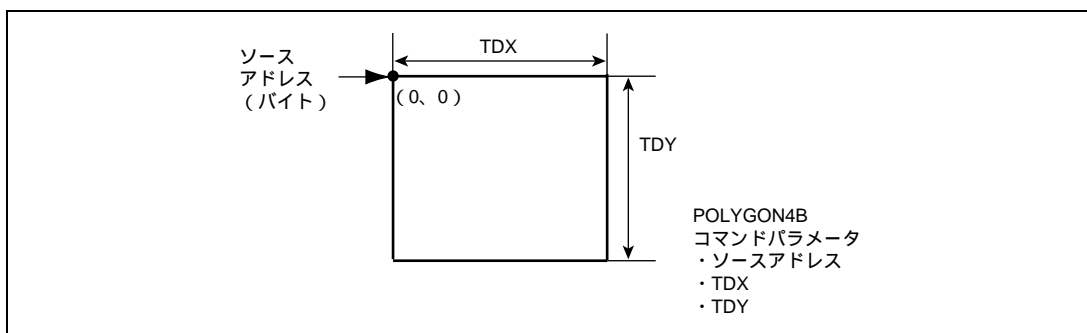


図 3.19 2 値ソース座標

#### (6) ワーク座標系

ワーク座標は描画制御の座標であり、図 3.20 に示すようにレンダリング座標と 1 : 1 で対応します。レンダリング属性のワーク指定 (WORK) を行ったときに用いる図形を管理するための座標です。ワーク系描画コマンドはこの座標で描画動作を行います。ワーク座標の 1 座標のデータ幅は、1 ビットです。ワーク座標原点の物理アドレス、クリッピング処理、オフセットの各処理はレンダリング座標と同一に行われます。ワーク座標原点の物理アドレスは、ワーク領域開始アドレスレジスタ (WSAR) で設定します。



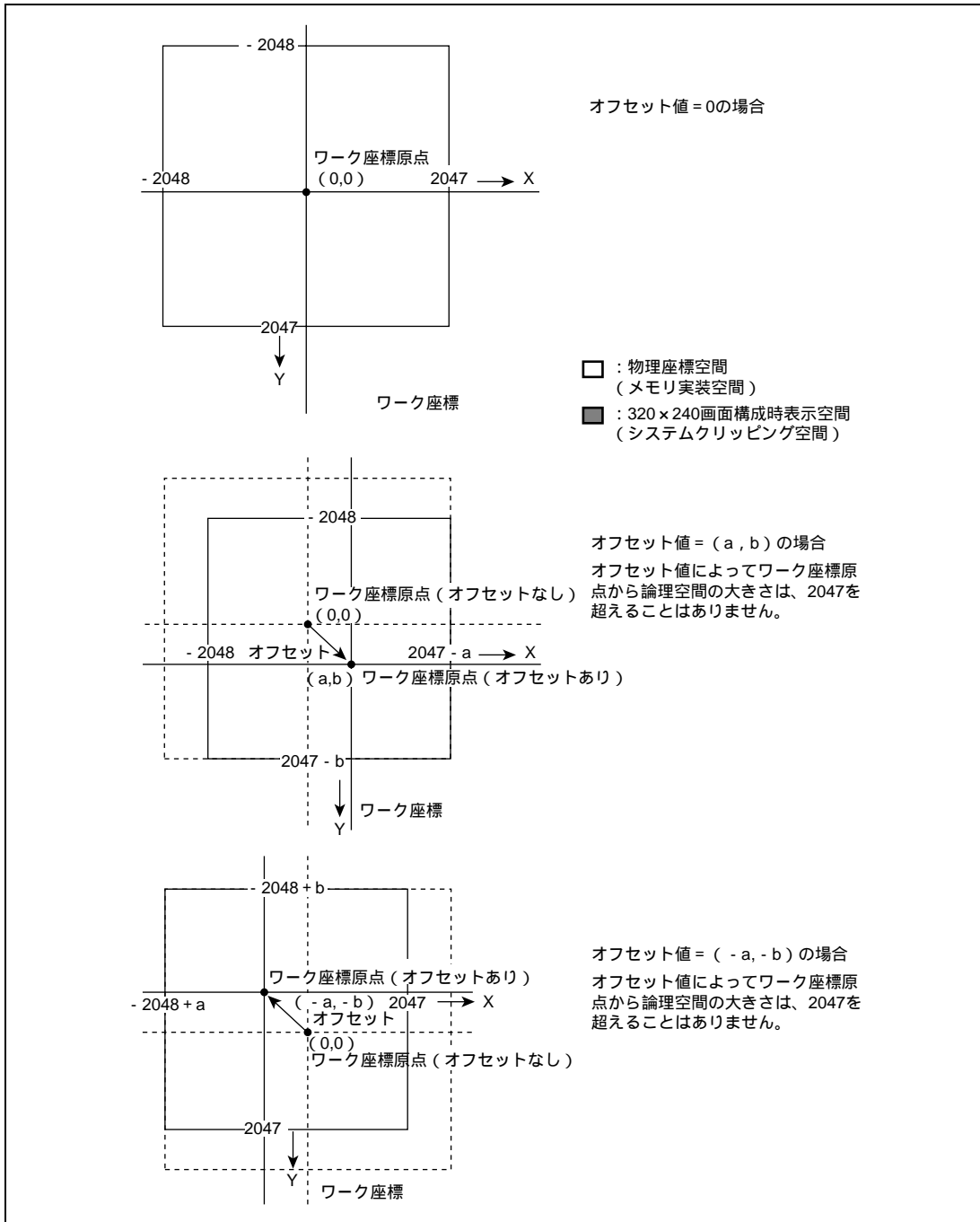


図 3.20 ワーク座標

### 3. UGM アーキテクチャ

---

#### (7) 前景面座標

前景面座標は表示制御の座標であり、前景面 (FG (FB0、FB1)) 領域はこの座標に従います。座標原点の UGM 物理アドレスは、表示開始アドレスレジスタ (DSAR0、DSAR1) に設定します。表示は、DSAR0 で指定する座標原点から行う場合と、DSAR1 で指定する座標原点から行う場合が切り替わるダブルバッファ構成になっています。1 座標のデータ幅は、16 ビット (16 ビット/画素) と 8 ビット (8 ビット/画素) から選択し、前景面座標の X 座標最大値は、X=511 または X=1023 から選択します。これらの設定はレンダリングモードレジスタ (REMR) のグラフィックビットモード 2~0 (GBM2~0)、メモリ幅 (MWX) で行います。

#### (8) 背景面座標

背景面座標は表示制御の座標であり、背景面 (BG) 領域はこの座標に従います。座標原点の UGM 物理アドレスは、H'0 固定です。表示は、背景開始座標レジスタ (BGSR) に設定する座標から行います。1 座標のデータ幅は、16 ビット (16 ビット/画素) と 8 ビット (8 ビット/画素) から選択し、背景面座標の X 座標最大値は、X=511 または X=1023 から選択します。これらの設定はレンダリングモードレジスタ (REMR) のグラフィックビットモード 2~0 (GBM2~0)、メモリ幅 (MWX) で行います。

#### (9) ビデオ面座標

ビデオ面座標は表示制御の座標であり、ビデオ面はこの座標に従います。座標原点の UGM 物理アドレスは、ビデオ領域開始アドレスレジスタ (VSAR0、VSAR1、VSAR2) に設定します。ビデオ取り込みおよび表示は、VSAR0 で指定する座標原点から行う場合と、VSAR1 の場合と、VSAR2 の場合が切り替わるトリプルバッファ構成になっています。1 座標のデータ幅は、YCbCr 時は 1 ワード、RGB 時は 16 ビット (16 ビット/画素) です。これはビデオ取り込みモードレジスタ (VIMR) の RGB ビットに設定します。座標の範囲はビデオウィンドウサイズレジスタ (VSIZER) に設定します。

#### (10) カーソル座標

カーソル座標は表示制御の座標であり、カーソルはこの座標に従います。座標原点の UGM 物理アドレスは、カーソル領域開始アドレスレジスタ (CSAR1、CSAR2) に設定します。CSAR1 で指定する座標原点からカーソル 1 の表示を行い、CSAR2 で指定する座標原点からカーソル 2 の表示を行います。1 座標のデータ幅は、8 ビット (8 ビット/画素) です。X 座標の範囲は 0~31、Y 座標の範囲は 0~31 です。

### 3.3.4 ダブルバッファ制御

Q2SD は、前景面 (FG) として UGM 上に配置した表示と、描画の両フレームバッファを交互に切り替えるダブルバッファ制御を採用しています。この両領域を切り替える動作をディスプレイチェンジといいます。ダブルバッファ制御には、オートディスプレイチェンジモード、オートレンダリングモード、およびマニュアルディスプレイチェンジモードの 3 つのモードがあります。これらのモードは、システム制御レジスタのダブルバッファモードビット (DBM) で指定します。

オートディスプレイチェンジモードとオートレンダリングモードのときのディスプレイチェンジタイミングは、Q2SD がノンインタレースまたはインタレースで動作しているときはフレーム単位で行われ、インタレースシンク & ビデオで動作しているときは、フィールド単位で行われます。

CPU で  $\overline{\text{VSYNC}}$  の同期パルスを見つけるには、Q2SD をインタレースで動作させたときは、ステータスレジスタのフレームフラグビット (FRM) を使用して同期パルスを見つけます。また、Q2SD をノンインタレースで動作させたときは、垂直ブランキングフラグビット (VBK) を使用して、同期パルスを見つけます。Q2SD がインタレースシンク & ビデオで動作しているときは、第 1 フィールドが偶数フィールドに、第 2 フィールドが奇数フィールドに対応しますので VBK または FRM を使用して同期パルスを見つけます。

なお、VBKEM コマンドを使用しても同様なことができます。

- ダブルバッファ制御の切り替えタイミング

1. ノンインタレースモード

1フィールド (1/60秒) で1フレームを構成する走査方式です。ダブルバッファの切り替えは、フレーム単位で行われます。

2. インタレースモード

2フィールド (1/30秒) で1フレームを構成する走査方式です。ダブルバッファの切り替えは、フレーム単位で行われます。

3. インタレースシンク & ビデオモード

2フィールド (1/30秒) で1フレームを構成する走査方式です。ダブルバッファの切り替えは、フィールド単位で行われます。

以下に Q2SD がノンインタレースで動作しているときの例をあげ、各モードについて説明します。

### 3. UGM アーキテクチャ

#### (1) オートディスプレイチェンジモード

オートディスプレイチェンジモードは、表示のディスプレイチェンジを優先的に行うモードです。フレームの終了で、ディスプレイチェンジを行います。フレーム期間中に描画が終了する場合に使用できます。

ディスプレイチェンジ時に描画中であれば、そのディスプレイリストは途中で描画が中止されます。このため、必ず  $\overline{\text{VSYNC}}$  の同期パルスが来るまでに描画が終了している必要があります。

このモードの動作概要を図 3.21 に示します。なお、本モードでは VBKEM コマンドでの描画起動はできません。このため VBK フラグまたは FRM フラグを使用して描画を起動させてください。描画の起動はレンダリングスタートビット (RS) で指定します。

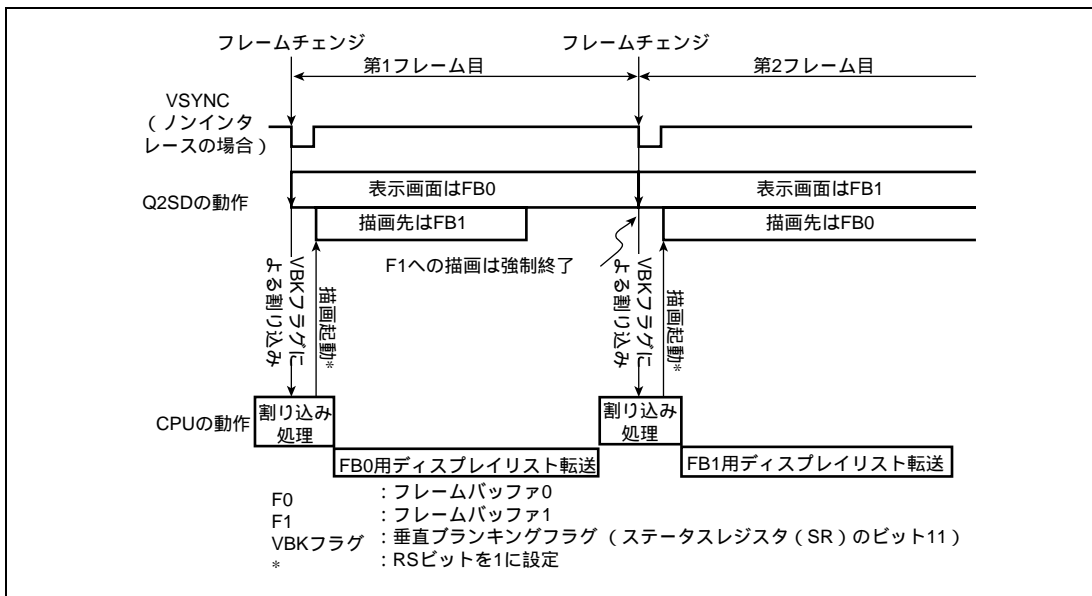


図 3.21 オートディスプレイチェンジモードの動作

(2) オートレンダリングモード

オートレンダリングモードは、TRAP コマンドの実行を終了（描画終了）するまでディスプレイチェンジを行わないモードです。1 フレーム以内に描画が終了しない場合でも、そのまま描画は続行され描画終了直後のフレームでディスプレイチェンジを行います。このモードの動作概要を図 3.22 に示します。描画の起動はレンダリングスタートビット（RS）で指定します。

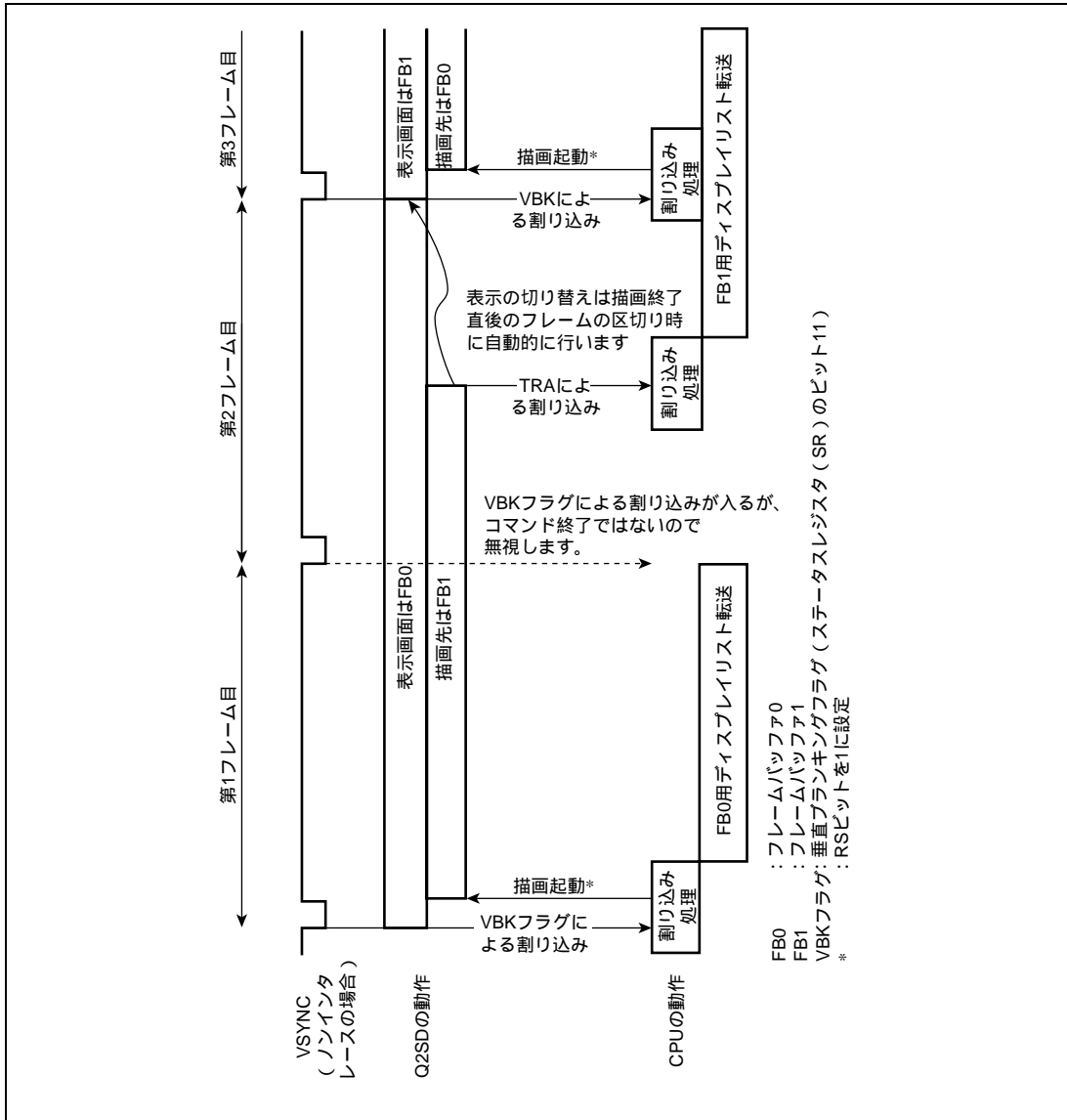


図 3.22 オートレンダリングモードの動作

### 3. UGM アーキテクチャ

---

#### (3) マニュアルディスプレイチェンジモード

マニュアルディスプレイチェンジモードは、ディスプレイチェンジと描画開始をソフトウェアで独立に制御するモードです。ディスプレイチェンジは、ソフトウェアにより SYSR のディスプレイチェンジビット (DC) の設定で FB0、FB1 の切り替えを行うか、ステータスレジスタの DBF で示される表示開始アドレスレジスタ (DSAR) に WPR コマンドで FB0 または FB1 の開始アドレスを設定することで行えます。描画の開始は、システム制御レジスタのレンダリングスタートビット (RS) で制御します。これらの制御タイミングは、VBKEM コマンドまたはステータスレジスタの TRAP フラグ (TRA) による割り込みを用います。このモードにおける DC ビットを使用したときの動作概要を図 3.23 に示します。なお、本モードから他のダブルバッファ制御のモードに移行するときは、必ず DC ビットを 1 に設定し、DC ビットが 0 に戻ったことを確認した後に行ってください。これを行わない場合、描画処理の途中で VSYNC に合わせたタイミングでディスプレイチェンジが発生します。また、DC ビットを 1 に設定するときは、必ず DC ビットが 0 になっていることを確認してから DC ビットに 1 を設定してください。

#### (4) VBKEM と WPR コマンドによる制御

VBKEM コマンドは、ディスプレイリストコマンドのフェッチおよび実行を待機させるコマンドです。VBKEM コマンドは、ノンインタレースモード表示、またはインタレースシンク & ビデオモード表示では次の VSYNC で、インタレースシンクモード表示では次のフレーム開始時点で待機状態が解除されます。このコマンドを使用することにより、VBK フラグビットまたは FRM フラグビットによる割り込みを用いなくて描画処理を開始させることができます。描画関連レジスタへの設定コマンドである WPR コマンドと VBK 信号と同期して終了する VBKEM コマンドの組み合わせで、図 3.24 のように制御します。したがって、CPU は VBK フラグビット割り込みを監視する必要がなくなり、描画終了 (TRAP) 割り込みを観測するだけでよくなります。

なお、本制御を行えるダブルバッファ制御は、オートレンダリングモードとマニュアルディスプレイチェンジモードのみです。

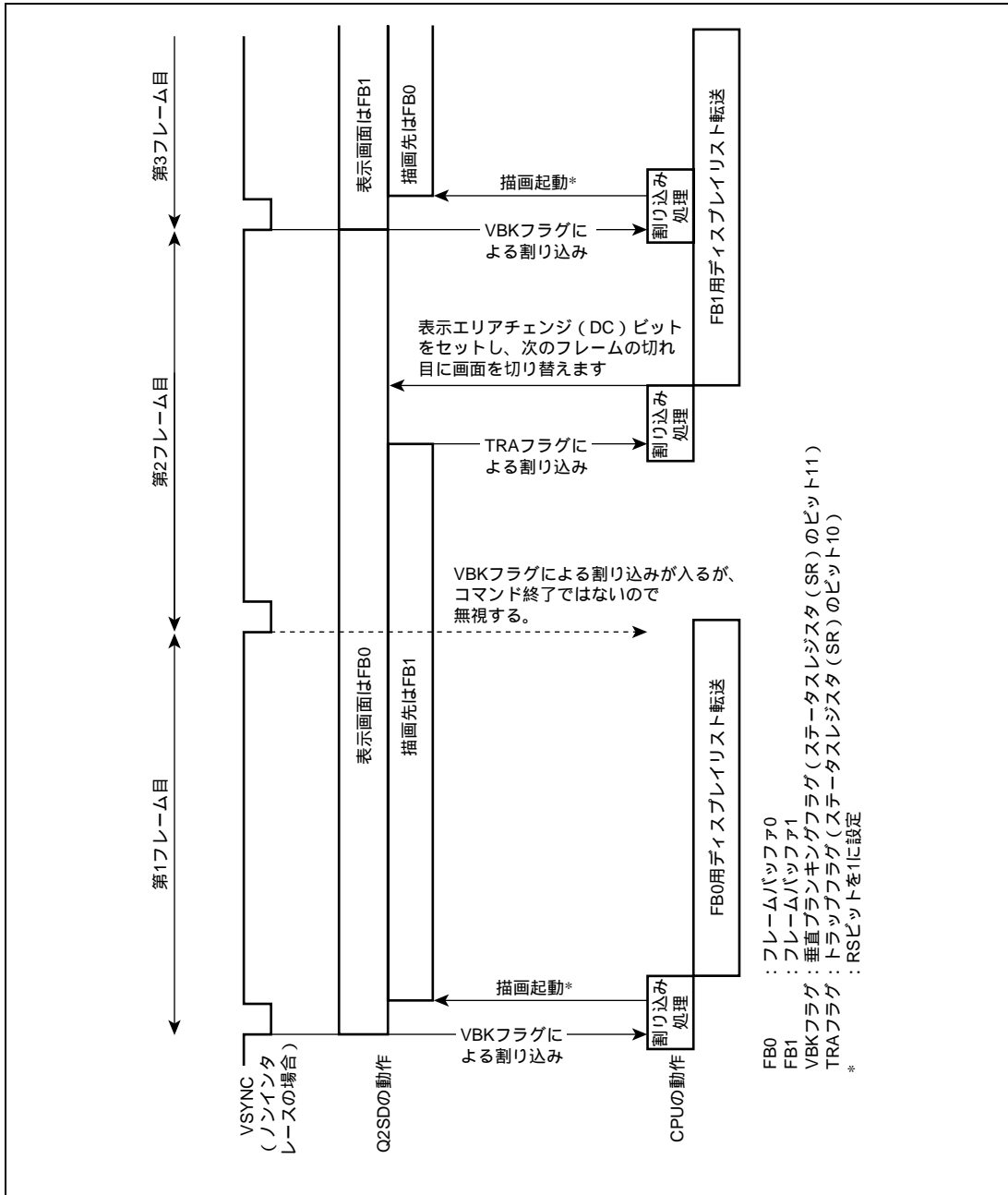


図 3.23 マニュアルディスプレイチェンジモードの動作

### 3. UGM アーキテクチャ

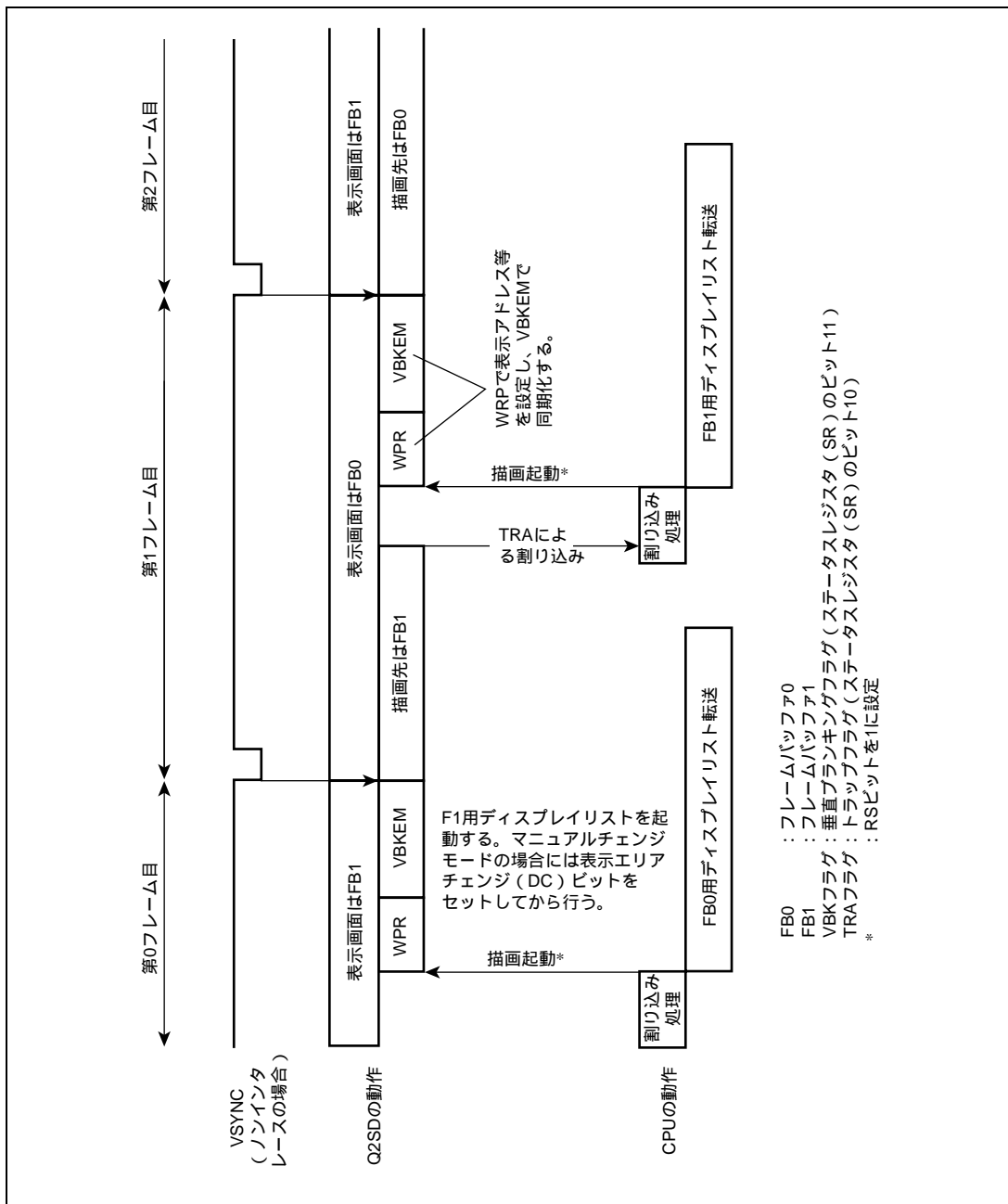


図 3.24 VBKEM コマンドによる動作



### 3.3.5 リフレッシュ制御

Q2SD に接続する UGM のリフレッシュサイクル数を表示モードレジスタ (DSMR) の REF3~0 (リフレッシュサイクル数) ビットに設定します。REF3~0 には、1 ラスタ当たりのリフレッシュ回数を設定します。

たとえば、使用するメモリのリフレッシュ規定が 4096 サイクル / 64ms で、1 フィールド 1 / 60sec とした場合、1 フィールド中に必要なリフレッシュサイクル数は 1067 サイクルです。リフレッシュサイクル数 (回 / ラスタ) は、1 フィールドに必要なサイクル数をライン数で割った値になります。したがって、「1067 ライン数 × リフレッシュサイクル数」となるようにリフレッシュサイクル数を設定してください。

Q2SD は、CAS ピフォ RAS リフレッシュモードに対応します。リフレッシュは、DISP 信号の立ち下がりから REF3~0 ビットの設定値分先行きます。

表 3.4 に設定例を示します。

表 3.3 リフレッシュサイクル数の設定

ビット3	ビット2	ビット1	ビット0	動作
REF3	REF2	REF1	REF0	
0	0	0	0	リフレッシュタイミングを出力しません。
*	*	*	*	リフレッシュタイミングを 1~15 サイクルの任意の値を設定し出力します。

表 3.4 リフレッシュサイクル数見積例

表示画面サイズ	フレームレート	ラスタ数	ラスタ当たりの必要リフレッシュ回数	REF 設定値例
320 × 240	1 / 60 秒	525 / 2 ライン	(1/60) (2/525) (4096/0.064) = 4.06 回	5
480 × 240	1 / 60 秒	525 / 2 ライン	(1/60) (2/525) (4096/0.064) = 4.06 回	5
640 × 480	1 / 60 秒	525 ライン	(1/60) (1/525) (4096/0.064) = 2.03 回	3

## 3.4 表示

### 3.4.1 表示画面の設定

Q2SD は、UGM に描画された画像データを外部または、内部で生成する表示タイミングに同期して出力する機能を持っています。

Q2SD は、表示画面の水平方向はドットクロック単位、および垂直方向はラスタライン単位で表示タイミングを表示制御レジスタで設定します（「5.4 表示制御レジスタ」参照）。

表示制御レジスタは、走査方式、および同期方式により設定値が異なります。表示制御レジスタの設定値対応表を、表 3.5 に示します。

図 3.25 にノンインタレースモード時の表示タイミングを示します。ここでは、表示画面を表 3.5 に示す変数で定義し、レジスタとの対応を表 3.6 に示します。VDS、VDE、VSP、VC には、表示モードレジスタのスクアンモードに関係なく、 $\overline{\text{VSYNC}}$  の 1 周期内のラスタ数をそれぞれに設定してください。DSY には、ノンインタレースモード、インタレースモード時は、 $\overline{\text{VSYNC}}$  の 1 周期内（1 フィールド）のラスタ数を設定し、インタレースシンク&ビデオモード時は、 $\overline{\text{VSYNC}}$  の 2 周期（1 フレーム）のラスタ数を設定してください。

表示動作クロック（表示ドットクロック）の周波数は、 $x_w$  の期間に表示したい画素数を  $x_w$  期間の時間で割った値にしてください。表示動作クロック（表示ドットクロック）は CLK1 端子に入力してください。

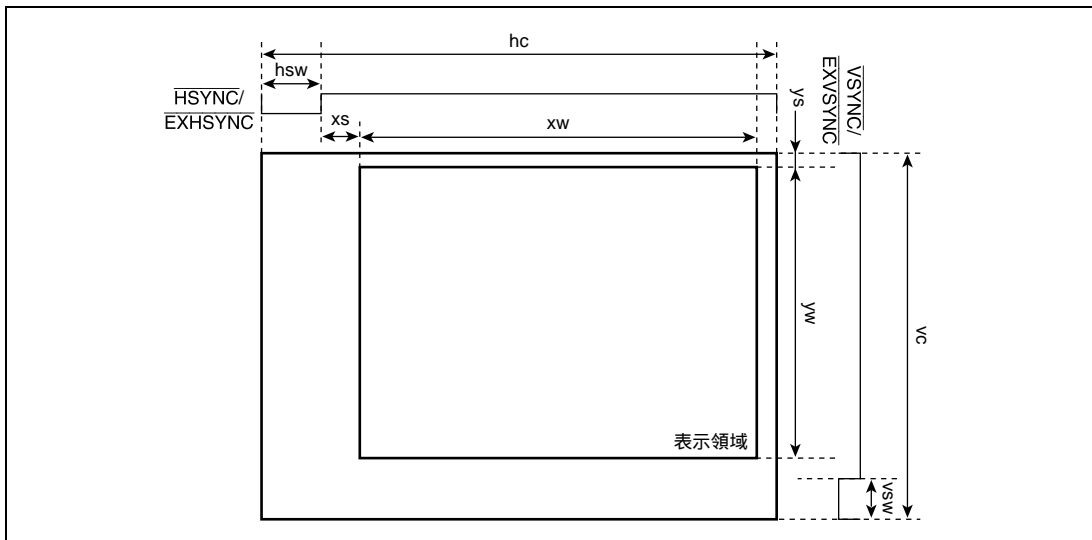


図 3.25 表示タイミング

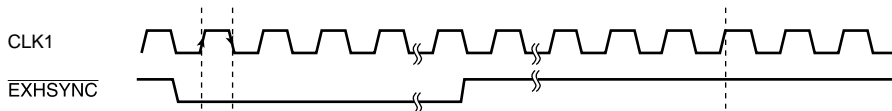
表 3.5 表示画面で定義した変数

変数	内 容	単 位
hc	水平走査周期を示します。	ドットクロック
hsw	水平同期パルス幅を示します。	ドットクロック
xs	HSYNCの立ち上がりから表示画面水平方向の表示開始位置までの間を示します。	ドットクロック
xw	表示画面の1ラスタ当たりの表示幅を示します。	ドットクロック
vc	垂直走査周期を示します。	ラスタライン数
vsw	垂直同期パルス幅を示します。	ラスタライン数
ys	VSYNCの立ち上がりから表示画面垂直方向の表示開始位置までの間を示します。	ラスタライン数
yw	表示画面の垂直表示期間を示します。	ラスタライン数

表 3.6 レジスタ設定値対応表

レジスタアドレス (A[10=0])	レジスタ名称	ビット名称	動作モード		
			マスタモード	TV同期モード	
010	表示サイズレジスタ X (DSRX)	DSX <sup>*5</sup>	xw	xw	
012	表示サイズレジスタ Y (DSRY)	DSY	yw (2yw) <sup>*6</sup>	yw (2yw) <sup>*6</sup>	
026	表示 ウインドウ	水平表示開始位置レジスタ (DSWR・HDS)	HDS <sup>*2*3</sup>	hsw+xs-11	hsw+xs-14
028		水平表示終了位置レジスタ (DSWR・HDE)	HDE <sup>*2</sup>	hsw+xs-11+xw	hsw+xs-14+xw
02A		垂直表示開始位置レジスタ (DSWR・VDS)	VDS <sup>*1*4</sup>	ys-2	ys-2
02C		垂直表示終了位置レジスタ (DSWR・VDE)	VDE <sup>*1</sup>	ys-2+yw	ys-2+yw
02E	水平同期パルス幅レジスタ (HSWR)	HSW	hsw-1	hsw-1	
030	水平走査周期レジスタ (HCR)	HC	hc-1	hc	
032	垂直同期位置レジスタ (VSPR)	VSP <sup>*1</sup>	vc-vsw-1	vc-vsw-1	
034	垂直走査周期レジスタ (VCR)	VC <sup>*1</sup>	vc-1	vc+2	

- 【注】 \*1 すべての走査モードで、VDS、VDE、VSP、VC ビットの設定値は1フィールドの設定になります。  
 \*2 HDS、HDE ビットの規定は、EXHSYNC の Low レベルを CLK1 の立ち上がりで検出し、さらに4つ目の CLK1 の立ち上がりからの値です。



- \*3 HDS ビットの下限値は、 $MCLK = 2 \times CLK1$  のとき  $HDS = 64 \times (CLK1 / MCLK)$ 、 $MCLK > 2 \times CLK1$  のとき  $HDS = (64 + 80) \times (CLK1 / MCLK)$  の設定となります。  
 なお、MCLK、CLK1 の単位は MHz です。また、 $MCLK = 2 \times CLK1$  のときは、MCLK と CLK1 が同期しているクロックを使用してください。MCLK は、通倍数を N とすると  $N \times CLK0$  になります。  
 \*4 インタレースおよびインタレースシンク&ビデオモード時は、VDS = 1 の設定となります。  
 \*5 DSX は、4 以上にしてください。  
 また、カーソルレジスタ内のカーソル1 水平表示開始位置 (HCS1)、カーソル2 水平表示開始位置 (HCS2) が、DSX、DSX - 1、DSX - 2、DSX - 3、DSX - 4、DSX - 5 となる場合は、 $DSX = XW + 6$  としてください。  
 \*6 インタレースシンク&ビデオモード時

#### 3.4.2 表示画面の合成

Q2SD は、画面に表示データの出力を行うか否かを、システム制御レジスタ (SYSR) の表示イネーブルビット (DEN) により選択することができます。表示データの出力を行わないときは、表示オフ時出力レジスタ (DOOR) の設定値が表示されます。

Q2SD は表示画面をカーソル面 (2 面)、前景 (FG) 面、ビデオ面、背景 (BG) 面を合成して重ね合わせ表示をすることができます (図 3.26 参照)。ここでカーソル面と FG 面に関しては黒 (H'0) は、下の面への透過色となるため、黒以外の色を使うことでビデオ面上に文字や絵を合成することができます。

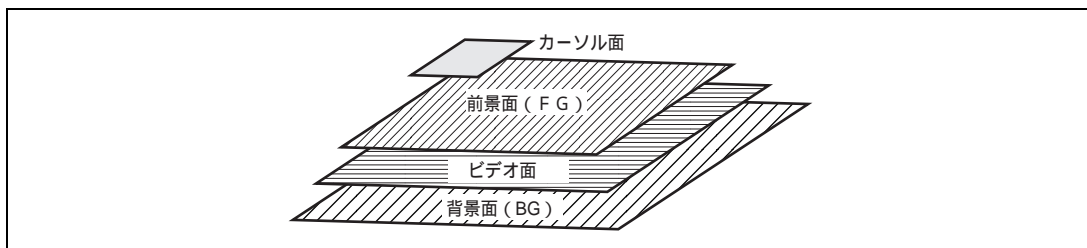


図 3.26 Q2SD の画面表示構成

##### (1) 重ね合わせられる画面の種類

- 前景面 FG (フレームバッファFB0、FB1)
- ビデオ面 VW
- 背景面 BG
- カーソル (カーソル1、カーソル2)

実際に重ね合わせ可能な前景面、ビデオ面、背景面は UGM のバス幅、Q2SD の動作周波数、表示動作クロック周波数に依存します。

「付録 E 表示動作クロックと画面合成について」を参照してください。

##### (2) 重ね合わせられる画面の優先度

以下に示す優先度で表示されます。また、カーソルにおいては、表示モード 2 レジスタ (DSMR2) のウィンドウ優先順位ビット (PRI) に設定された優先順位で表示できます。

前景面 > ビデオ面 > 背景面 (左に行くほど、手前に表示される)

##### (3) 各画面の特長

- 前景面 (FG)

前景面の画素において、その画素のデータが H'0 (8 ビット / 画素時はカラーパレットによる色展開後のデータ) である場合は、ビデオ面等の優先度の低い面が透過されて表示されます。

- ビデオ面 (VW)

ビデオ面では、ビデオ領域開始位置レジスタ (VSAROH、L) で示した UGM 上のデータを、ビデオサイズレジスタ (VSIZE) で設定された矩形範囲を表示データとして表示します。

ビデオ面は、背景面等の表示優先度の低い画面を透過することなく、矩形で表示されます。

またビデオ面はビデオ取り込みモードレジスタ (VIMR) のビデオ取り込みイネーブルビット (VIE) が 1 でも 0 の状態でもかかわらず、ビデオウィンドウステータスビット (VID) の示すビデオ領域開始アドレスレジスタ (VSAROH、L) で定義されるビデオ領域を表示します。

- 背景面 (BG)

UGM0 番地から画素単位で、背景開始座標レジスタ X、Y (BGSX、BGSY) に表示開始位置を設定できます。背景面の Y サイズが 512 を超える場合は、レンダリングモードレジスタのメモリ幅 (MWX) を 1 に設定する必要があります。背景面は、スクロール表示を行うのに適しています。表示モードレジスタ (DSMR) のラップアラウンドモード (WRAP) ビットを立てることにより、球面状に表示エリアをアクセス (球面スクロール) させることができます。背景面を表示させる場合には、前景面と背景面の UGM 上における位置が重ならないようにしてください。

- カーソル

32×32 画素サイズのハードウェアブリンク機能の付いたカーソルを 2 個表示できます。また、カラーパレットによる色展開の後のカーソルの画素データが H'0 である場合は、優先度の低い面が透過されて表示されます。ブリンクの周期は、カーソル表示開始位置レジスタ (CSR) のカーソルブリンク形状 A/B 表示期間長 (BLNKA/BLNKB) で設定します。

#### (4) 表示の有無

以下に各面の表示の有無を設定するビットについて説明します。なお、前景面と背景面においては、必ずどちらか一方、または両方を表示させるようにしてください。

各画面のレジスタの更新は「3.2.6 レジスタの更新」に示したレジスタ更新期間に行ってください。背景面に関する表示内容は、背景画面のラップアラウンドモード (WRAP) ビットによって異なります。

- 前景面の有無 : 表示モード2レジスタ (DSMR2) のFBDビットで設定できます。
- ビデオ面の有無 : 表示モード2レジスタ (DSMR2) のVWEビットで設定できます。
- 背景面の有無 : 表示モードレジスタ (DSMR) のBGビットで設定できます。
- カーソルの有無 : 表示モード2レジスタ (DSMR2) のCE1、CE2ビットで設定できます。

### 3. UGM アーキテクチャ

表 3.7 背景画面に関するレジスタ設定

レジスタ 名称	フィールド		設定値	備考
	ビット番号	名称		
DSMR	10	BG	1 / 0	合成 ON / OFF
	11	WRAP	1 / 0	球面 ON / OFF
REMR	2~0	GBM	000~111	8、16ビット/画素
BGSRX	9~0	BGSX	BG 始点 X 座標	スクリーン座標に従う
BGSRY	13~0	BGSY	BG 始点 Y 座標	

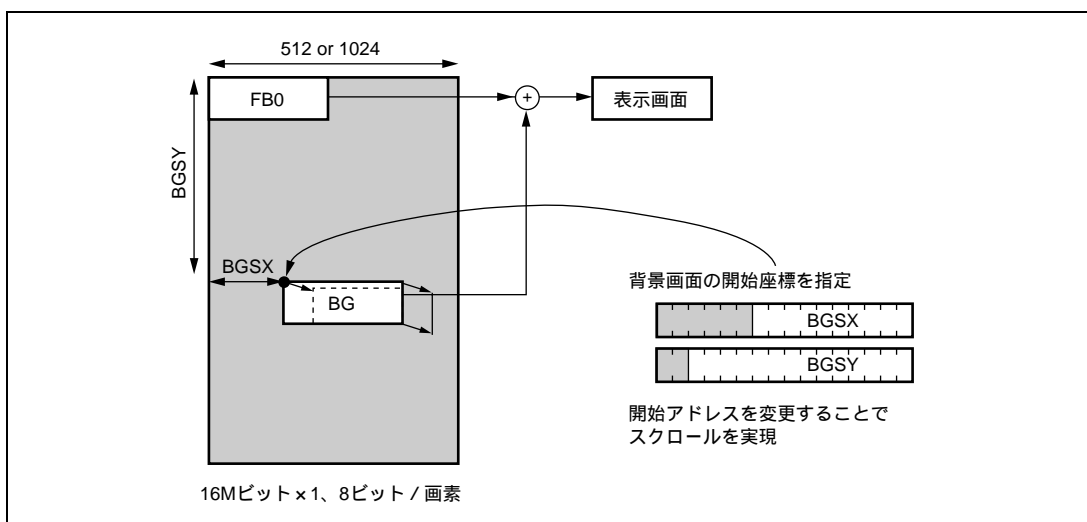


図 3.27 背景画面の単純スクロール (WRAP = 0) の例

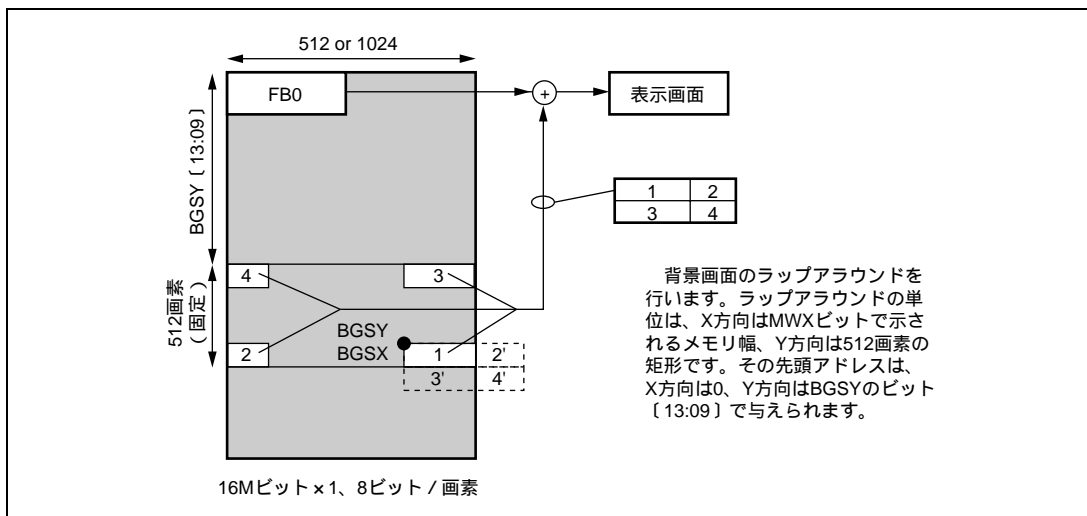


図 3.28 背景画面の球面スクロール (WRAP = 1) の例

### 3.4.3 表示走査方式

#### (1) Q2SD 表示走査方式

Q2SD は、使用するモニタ TV に合わせて、走査方式をノンインタレースモード、インタレースモード、およびインタレースシンク&ビデオモードから選択することができます。モードの設定は、表示モードレジスタ (DSMR) のスキャンモード (SCM) ビットにより行います。

ノンインタレースモードは、1 フィールドで 1 フレームを構成する走査方式です。インタレースモードは、2 フィールドで 1 フレームを構成する走査方式です。この 2 フィールドは、偶数フィールドと奇数フィールドであり、同じデータを表示します。インタレースシンク&ビデオモードも、2 フィールドで 1 フレームを構成する走査方式です。この 2 フィールドは、偶数フィールドと奇数フィールドであり、異なるデータを表示します。

表示モード 2 レジスタ (DSMR2) の ODEV ビットで、インタレースモード、インタレースシンク&ビデオモードにおけるフィールドの表示順を設定します。ODEV ビットが 0 のとき、1 フレームは、奇数フィールド、偶数フィールドの表示順となり、ODEV ビットが 1 のとき、1 フレームは偶数フィールド、奇数フィールドの順になります。

マスタモードのとき Q2SD は、 $\overline{\text{ODDF}}$  端子より偶数フィールド表示中は High レベルを、奇数フィールド表示中は Low レベルを出力します。TV 同期モードのときは、 $\overline{\text{ODDF}}$  端子に偶数フィールドを表示させたい場合は High レベルを、奇数フィールドを表示させたい場合は Low レベルを入力します。図 3.29 にラスタスキャン制御の表示例を示します。

- 垂直走査周期例

- ノンインタレース : 1 / 60秒フィールド、1 / 30秒フィールド
- インタレース : 1 / 30秒フレーム
- インタレースシンク&ビデオ : 1 / 30秒フレーム

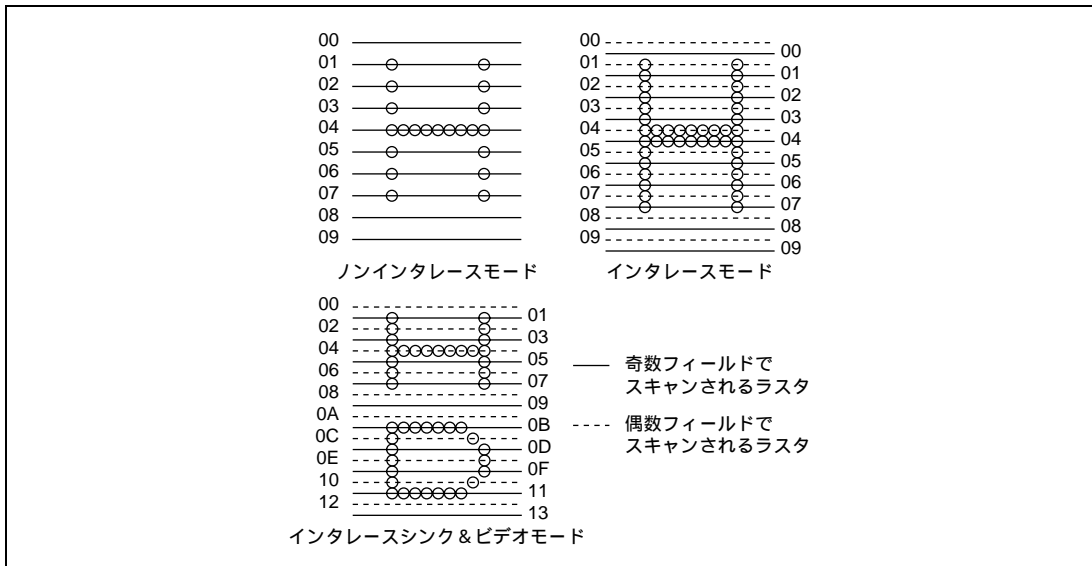


図 3.29 ラスタスキャン制御の表示例

### 3. UGM アーキテクチャ

#### (2) モニタ表示方式との関係

表示を行うモニタには、大きく分けて2通りの方式があります。

- インタレースシンク方式

入力される画像信号を走査同期 VC ごとに、偶数ラインと奇数ラインに切り替えて交互に表示し、2VC 期間で1画面(1フレーム)を合成(先の1VC 分のデータは残像)して表示する方式です。これは、通常のTV やビデオの入力方式です。

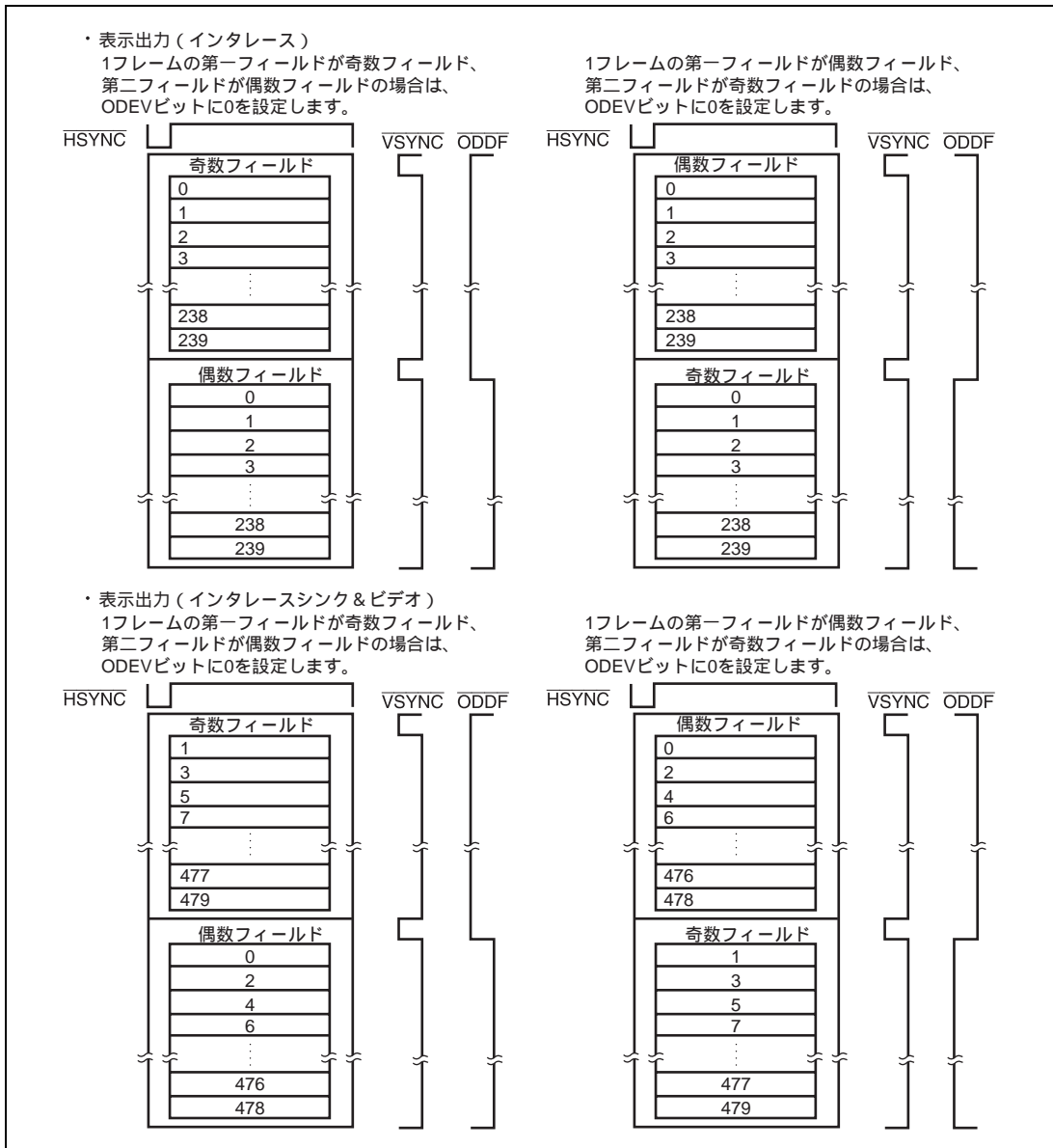


図 3.30 インタレースシンク方式の表示



• ノンインタレース方式

入力される画像信号を間を空けずに、一度に全ライン表示する方式です。高解像度表示のできるモニタなどの入力方式です。

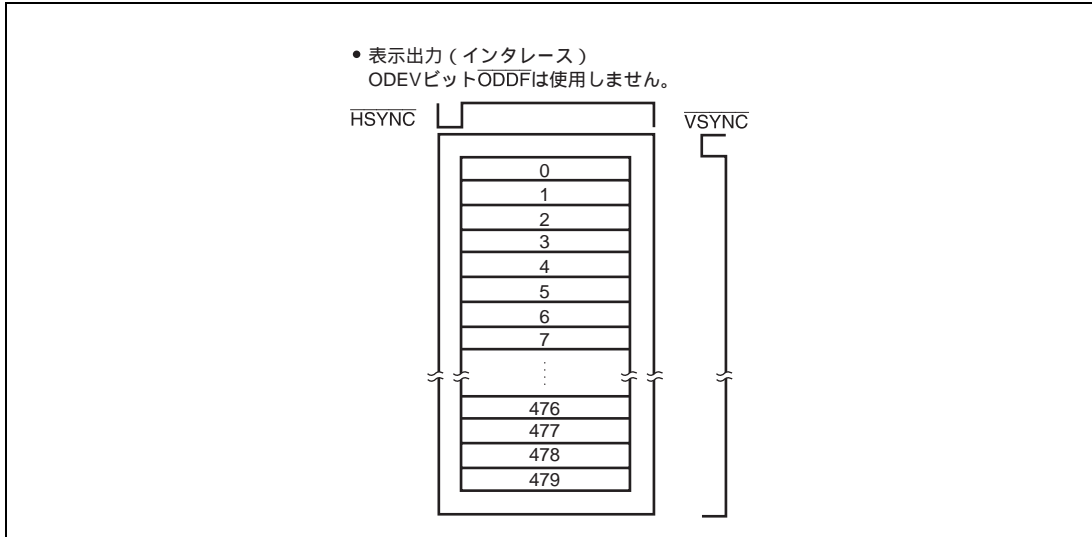


図 3.31 ノンインタレース方式の表示

また、表示機器によっては、入力方式はインタレースシンク方式で、表示方式はノンインタレース方式もあります（プログレッシブ変換機能）。この場合は、表示機器内部にメモリを持ち、半面分の表示データを貯めてから表示を行うので、画面の切り替えは、2VC で 1 画面であり、鮮明さは増しますが、解像度は変わりません。

ノンインタレース方式のモニタは、マルチスキャンタイプであれば、垂直走査周波数を 55 ~ 160Hz、水平走査周波数を 31 ~ 96Hz と変更できるため、解像度をあげることが可能になります。

表示の選択において注意すべき点は、これらの入力方式にあった Q2SD の画像出力を選択しなければいけません。表 3.8 に対応表を示します。

表 3.8 Q2SD の表示とモニタの選択

Q2SD \ モニタ	ノンインタレースモード 表示	インタレースシンクモード 表示	インタレースシンク & ビデオモード表示
インタレースシンク入力方式	ブレが出る	ブレが出る	問題なし
ノンインタレース入力方式	問題なし	問題なし	表示サイズが 1/2 / ブレが出る

### 3. UGM アーキテクチャ

#### (3) ノンインタレースモード表示

表示モードレジスタ (DSMR) のスキャンモードを、SCM1、SCM0=00 に設定することで、ノンインタレースモードになります。ノンインタレース表示は 59.94 フレーム/秒に 1 面分表示するモードとなり、画面切り替えが早いため、高画質な表示を行うことができます。ノンインタレース方式のディスプレイに出力するのに使用します。UGM から読み出すデータは DSMR、DSMR2 の設定によりますが、FG、BG、VW、カーソル 1、カーソル 2 の表示データをすべて出力します。VW 面の VID チェックはフィールドごとに行います。

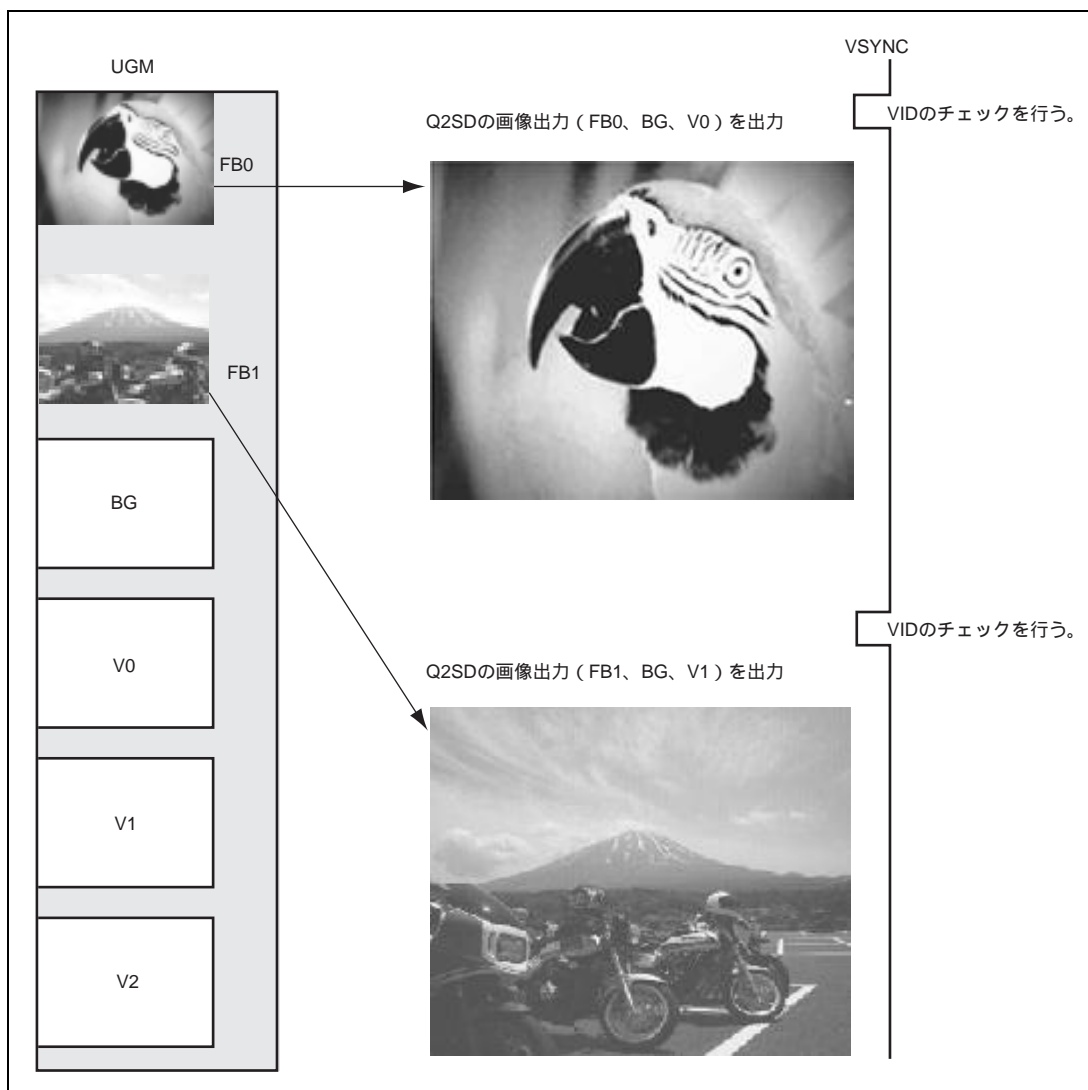


図 3.32 ノンインタレースモード表示出力

## (4) インタレースモード

表示モードレジスタ (DSMR) のスキャンモードを SCM1、SCM0 = 10 に設定することで、インタレースモードになります。Q2SD のインタレース表示は、偶数フィールドと奇数フィールドで同じデータを出力します。つまり 29.97 フレーム / 秒に 1 面分表示するモードとなり、画面切り替えは遅くなります。

インタレース方式のディスプレイに出力するのに使用します。UGM から読み出すデータは、DSMR、DSMR2 の設定によりませんが、FG、BG、VW、カーソル 1、カーソル 2 の表示データをすべて出力します。VW 面の VID のチェックはフレームごとに行います。

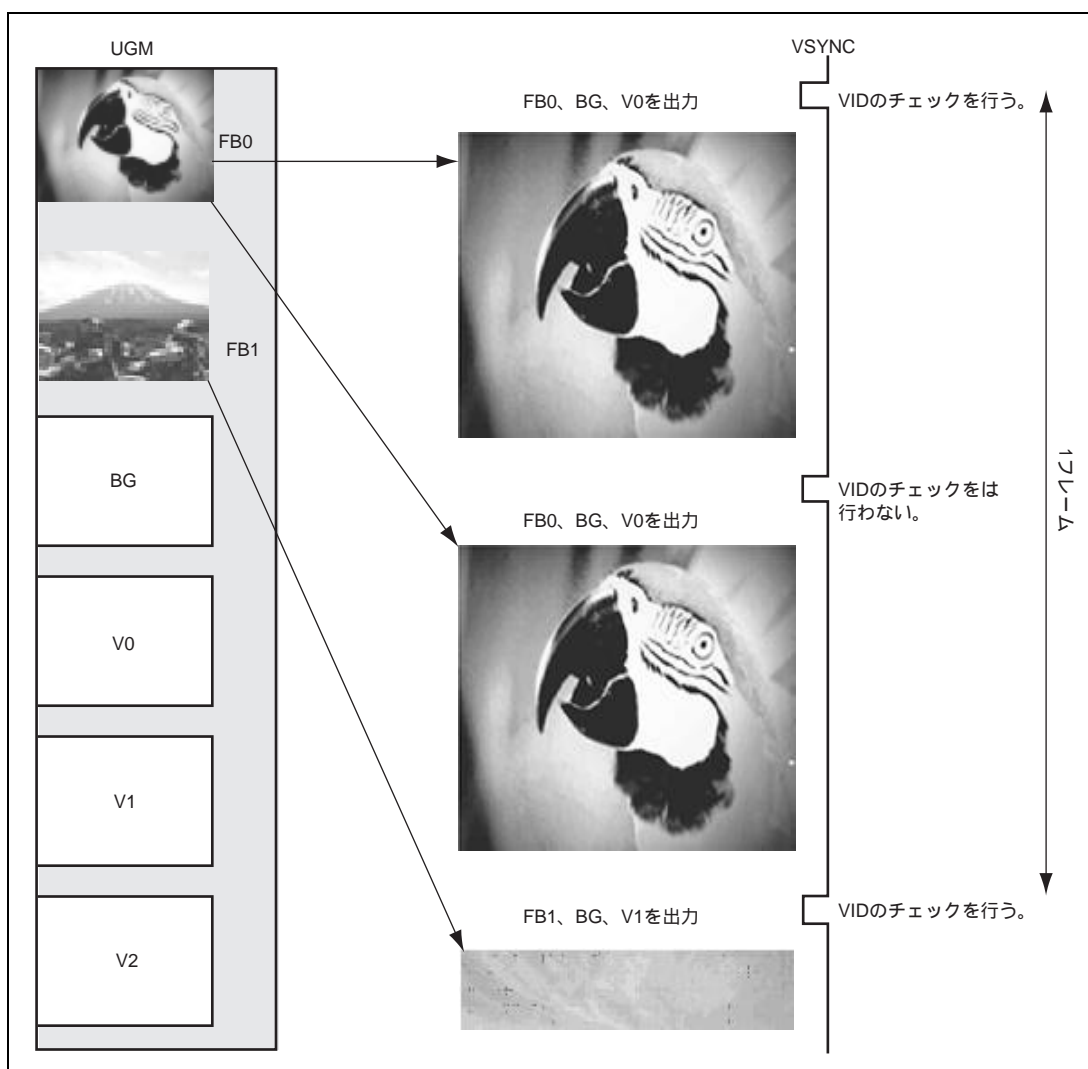


図 3.33 インタレースモード表示出力

### 3. UGM アーキテクチャ

#### (5) インタレースシンク&ビデオモード

表示モードレジスタ (DSM) のスキャンモードを SCM1、SCM0=11 に設定することで、インタレースシンク & ビデオモードになります。インタレース方式のディスプレイに出力するのに使用します。

TV チューナーでは同じ画面のデータを偶数フィールドと奇数フィールドに分けて同一フレームを構成します。インタレースシンク & ビデオモードのとき Q2SD は、フレームチェンジをフィールドごとに行うので、フレーム合成を正しく行うには、FB0 と FB1 が同じ画像になるようにします。ビデオ取り込みを行う場合、VID の更新はフィールド単位で行われるので、異フレームのフィールド間でのフレーム合成が行われることがあります。静止した映像では問題ありませんが、動きのある映像では正常な表示にはなりません。

また、Y 方向の表示サイズは DSY の設定の 1/2 サイズになります。VW 面の VID のチェックはフィールドごとに行います。

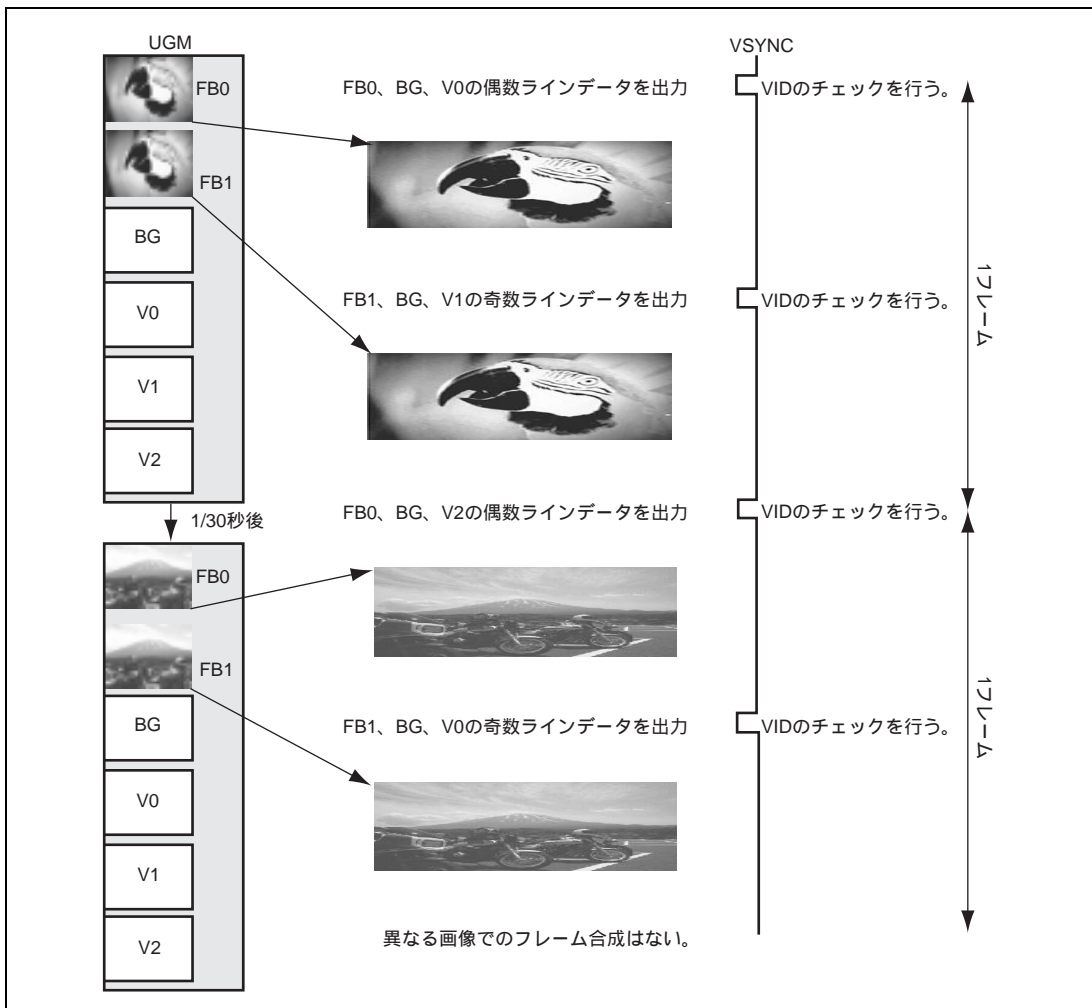


図 3.34 (1) インタレースシンク & ビデオモード出力

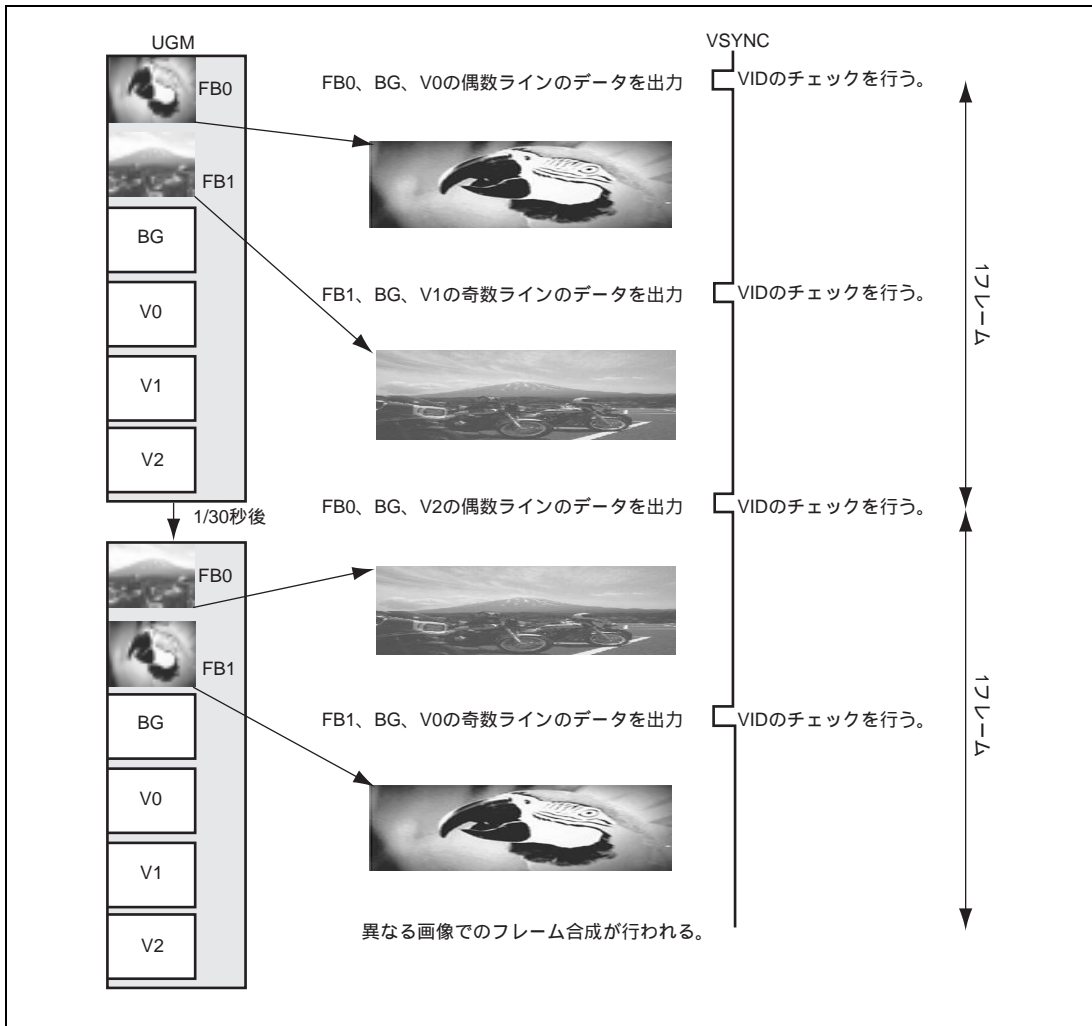


図 3.34 (2) インタレースシンク&ビデオモードの出力

#### 3.4.4 表示同期方式

Q2SD は、外部機器との同期動作を容易にするため、マスタモードの他に TV 同期機能を備えています。

マスタモード、TV 同期モードの選択は、表示モードレジスタ (DSMR) の TV 同期モード (TVM) ビットにより行います。

ステータスレジスタ (SR) のフレームフラグ (FRM) および垂直ブランキングフラグ (VBK) は、同期方式にかかわらず垂直同期位置レジスタ (VSPR) の設定値 (VSP) により決定される垂直同期信号 ( $\overline{\text{VSYNC}}$ ) の立ち下がり位置を検出し、各フラグに反映します。

##### (1) 内部同期モード (マスタモード)

表示制御レジスタに水平、垂直同期信号 ( $\overline{\text{HSYNC}}$ 、 $\overline{\text{VSYNC}}$ ) の周期およびパルス幅を設定することにより、その波形を出力します。また、それに同期して表示データを出力します。

インタレース、インタレースシンク & ビデオモードの場合は、 $\overline{\text{ODDF}}$  端子に奇数フィールド / 偶数フィールドを示す信号を出力します。

UGM のリフレッシュは  $\overline{\text{HSYNC}}$ 、 $\overline{\text{VSYNC}}$  を基準に行います。

##### (2) 外部同期モード (TV 同期モード)

TV 同期モードは、TV・ビデオ等の外部の水平 / 垂直同期信号に Q2SD を同期化して表示出力させるモードです。

このモードは、TV・ビデオ等の同期信号をマスタ、Q2SD をスレーブとして扱います。同期化は、 $\overline{\text{EXHSYNC}}$  入力信号で水平走査ごと、 $\overline{\text{EXVSYNC}}$  入力信号で垂直走査ごとに行われます。

Q2SD は、 $\overline{\text{EXHSYNC}}$  信号の立ち下がりエッジおよび  $\overline{\text{EXVSYNC}}$  の立ち上がりエッジを基準として、表示データを出力します。

このモードでは、同期信号発生回路から水平同期信号、垂直同期信号およびクロックをそれぞれ  $\overline{\text{EXHSYNC}}$ 、 $\overline{\text{EXVSYNC}}$ 、CLK1 端子に入力してください。 $\overline{\text{CSYNC}}$  端子は、High レベルを出力します。 $\overline{\text{EXHSYNC}}$  および  $\overline{\text{EXVSYNC}}$  には等化パルスを含まない信号を使用してください。

インタレースモードおよびインタレースシンク & ビデオモードの場合は、 $\overline{\text{ODDF}}$  端子に奇数フィールド / 偶数フィールドを示す信号を入力してください。

TV 同期モードで動作させる際にも、表示制御レジスタの HSWR、HCR、VSPR、VCR の設定は必須です。

また、ノンインタレースモードの場合は、 $\overline{\text{ODDF}}$  端子の入力レベルが不安定にならないように、 $\overline{\text{ODDF}}$  端子を High または Low レベルに固定してください。

なお、 $\overline{\text{EXHSYNC}}$ 、 $\overline{\text{EXVSYNC}}$  を基準に UGM のリフレッシュを行います。このため  $\overline{\text{EXHSYNC}}$ 、 $\overline{\text{EXVSYNC}}$  は必ず入力してください。 $\overline{\text{EXHSYNC}}$ 、 $\overline{\text{EXVSYNC}}$  が入力されないとリフレッシュを行いません。

TV 同期モード時の信号の流れを図 3.35 に示します。本モードでは、Q2SD にて Q2SD が表示している色と、色検出レジスタ H、L (CDERH、L) に設定した色を比較することで CDE 端子を制御し、マスタの R、G、B 出力とスレーブの R、G、B 出力を外部回路で画素単位に切り替えることが可能です。

Q2SD に設定した表示サイズ分の表示完了前であっても後であっても、 $\overline{\text{EXVSYNC}}$  信号が入力されると、Q2SD は垂直表示完了動作を行い次画面の制御に移行します。 $\overline{\text{EXVSYNC}}$  信号が入力されない場合は、垂直帰線期間のまま  $\overline{\text{EXVSYNC}}$  信号を待ち続けます (自走制御は行いません)。同様に  $\overline{\text{EXHSYNC}}$  信号が入力されると、Q2SD は水平表示完了動作を行い次ラスタの制御に移行します。 $\overline{\text{EXHSYNC}}$  信号が入力されない場合は、水平帰線期

間そのまま  $\overline{\text{EXHSYNC}}$  信号を待ち続けます（自走制御は行いません）。

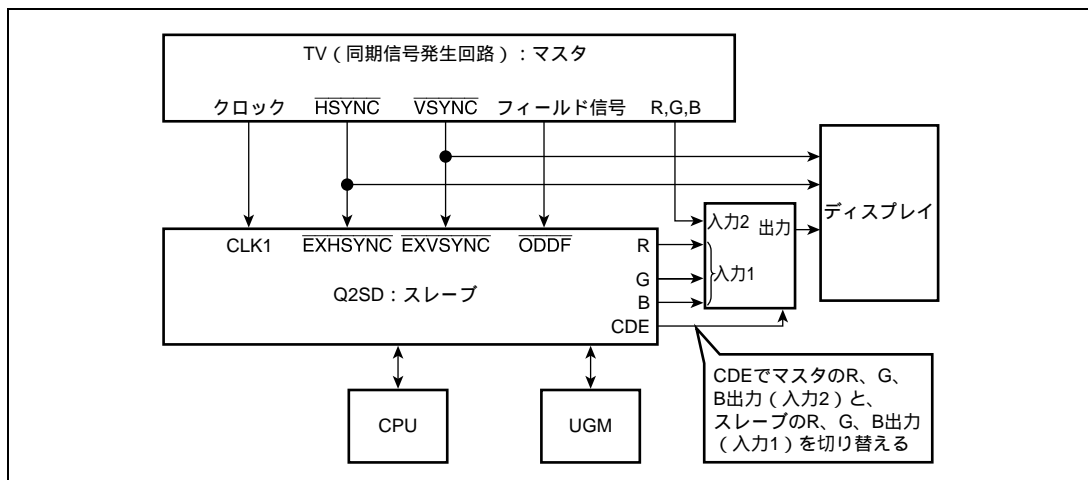


図 3.35 TV 同期モード時の信号の流れ

### (3) TV 同期モードの変更手順

表示モードレジスタ (DSMR) の TV 同期モード (TVM1、TVM0) に B'01 を設定して、同期方式切り替えモードに移行する場合、システム制御レジスタの表示リセット (DRES)、表示イネーブル (DEN) に DRES = 1、DEN = 0 の設定を行ってから、同期方式切り替えモードに移行させてください。

この手順は同期方式切り替えモード時に、Q2SD に UGM をリフレッシュさせるための方法です。なお、本手順を行う場合は、必ず、Q2SD が描画を行っていないときに行ってください。

以下に手順を示します。手順は 1. ~ 3. の順番で行ってください。

1. BG = 0、VWE = 0、CE1 = 0、CE2 = 0 を設定します。
2. DRES = 1、DEN = 0 を設定します。
3. TVM1 = 0、TVM0 = 1 を設定します。

このとき、表示リセットを行いますので、表示バッファは FB0 に、また DBF フラグも 0 になります。

また、同期方式切り替えモードから、他の TV 同期モードに移行するときの手順を 4. ~ 7. に示します。

4. CLK1 にクロックを入力してください。また、TVM1 = 1、TVM0 = 0 を設定するときは、 $\overline{\text{EXHSYNC}}$ 、 $\overline{\text{EXVSYNC}}$ 、ODDF 端子にも信号を入力してください。
5. 表示サイズを変更したい場合に限り、Q2SD のアドレスマップレジスタに値を設定してください。
6. TVM1 = 0、TVM0 = 0 または、TVM1 = 1、TVM0 = 0 の設定により、CLK1 端子からの入力クロックが有効になります。さらに、必要に応じて、BG = 1、VWE = 1、CE1 = 1、CE2 = 1 を設定してください。
7. DRES = 0、DEN = 1 を設定します。内部更新が行われると、Q2SD は表示を開始します。

表示制御レジスタの設定と表示用信号の関係を図 3.36 に示します。

### 3. UGM アーキテクチャ

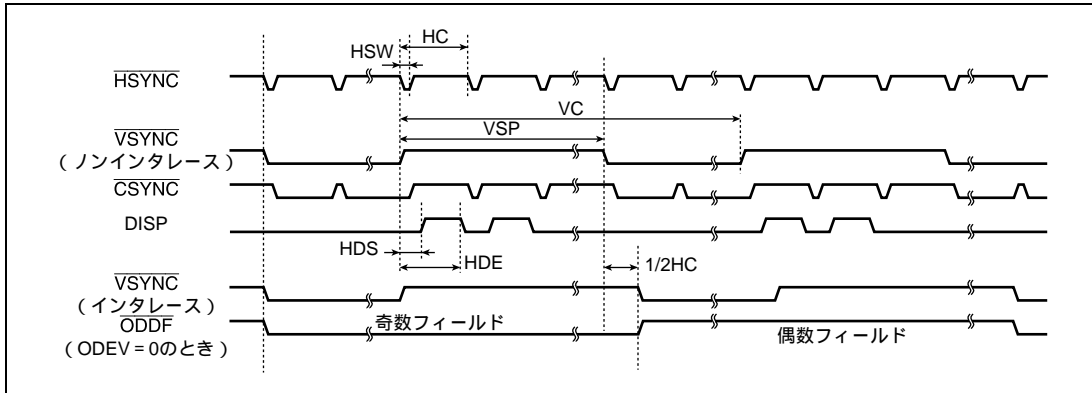


図 3.36 表示タイミング

Q2SD は、マスタモードで表示を行っているとき、コンポジット同期信号を出力します。信号波形は、 $\overline{\text{VSYNC}}$  の立ち下がりが基準になります。等化パルス、セパレーションパルスの Low レベル幅は、それぞれ等化パルス幅レジスタ (EQWR)、セパレーション幅レジスタ (SPWR) で設定できます。

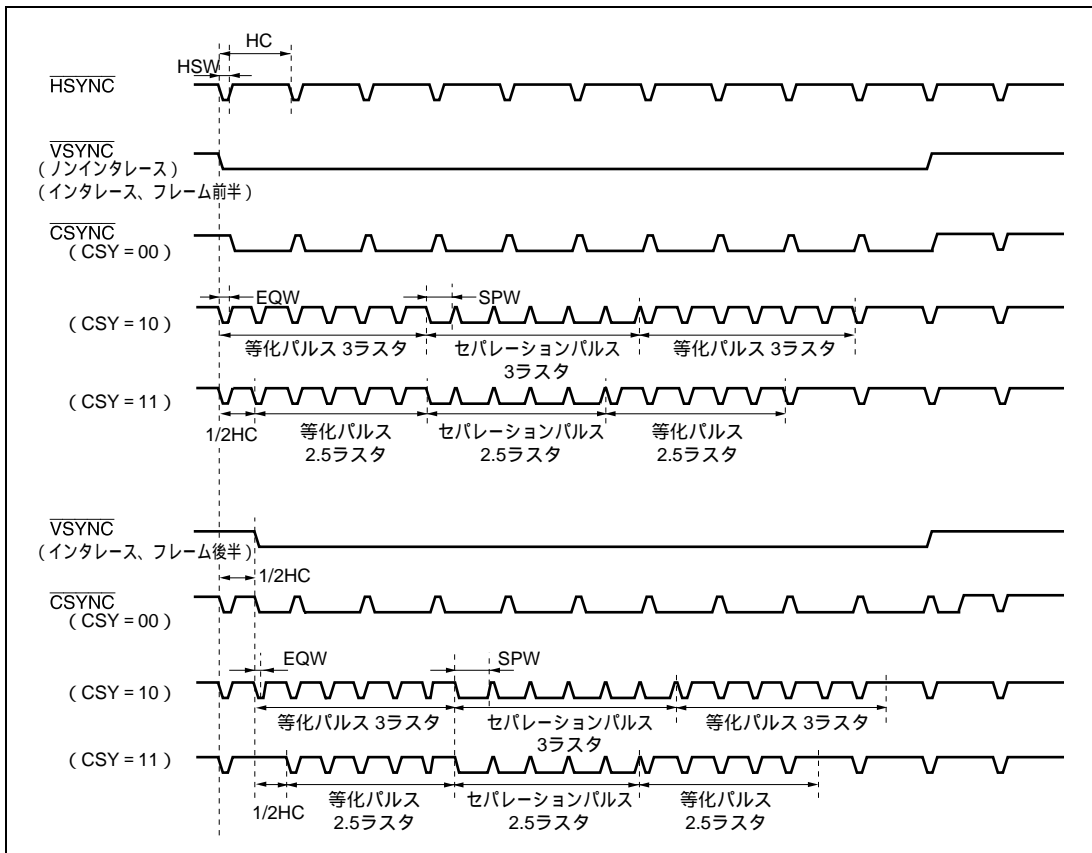


図 3.37  $\overline{\text{CSYNC}}$  出力波形



### 3.4.5 表示画面の色展開

#### (1) カラーパレットによる色展開

Q2SD は、26 万色中同時 256 色表示可能なカラーパレットを内蔵しています。RGB の構成は、それぞれ 6 ビットで、Q2SD レジスタ空間にマッピングされています。カラーパレットは FG、BG、カーソルのうち 8 ビット / 画素に指定された面に対し、RGB それぞれ 6 ビット (26 万色) に展開します。カラーパレットはこれらの面で共有です。

#### (2) ビデオ面の色展開

ビデオ面が YCbCr フォーマットの時、RGB それぞれ 6 ビット (26 万色) に展開します。

## 3.5 レンダリング

### 3.5.1 コマンド

Q2SD では、UGM 上に配置された描画コマンドの集合体をもとに描画を行います。また、描画コマンドの集合体をディスプレイリストといいます。描画コマンドには、レンダリング座標に描画するコマンドとして4頂点面描画および線描画、ワーク座標に描画するコマンドとしてワーク面描画およびワーク線描画があります。描画パラメータを設定するコマンドとしてレジスタ設定コマンド、描画終了等ディスプレイリストの制御を行うためのシーケンス制御コマンドがあります。

また、線描画、台形塗りつぶし、カレントポイント設定コマンドには、絶対座標と相対座標指定コマンドがあります。表 3.9 にコマンド一覧を示します。

表 3.9 コマンド一覧表

種類	コマンド名	機能
4 頂点面描画	POLYGON4 四角形塗りつぶし	4 つの座標を頂点とする四角形を描画します。 ソースの張り付けと指定色での塗りつぶしができます。
	POLYGON4A	転送元を多値ソースとする 4 頂点面描画
	POLYGON4B	転送元を 2 値ソースとする 4 頂点面描画
	POLYGON4C	指定カラーによる 4 頂点面描画
線描画	LINE 折れ線	開始座標から節点座標を経由する折れ線を実線で描画します。
	LINE	折線描画 (絶対座標指定)
	RLINE	折線描画 (相対座標指定)
	PLINE 線種指定折れ線	開始座標から節点座標を経由する折れ線を線種 (パターン) 付きで描画します。
	PLINE	パターン参照折線描画 (絶対座標指定)
	RPLINE	パターン参照折線描画 (相対座標指定)
ワーク面描画	FTRAP 台形塗りつぶし	Y 軸に平行な左側辺を持つ台形を 2 値の EOR で塗りつぶします。
	FTRAP	2 値の EOR での台形フィル (絶対座標指定)
	RFTRAP	2 値の EOR での台形フィル (相対座標指定)
	CLRW 矩形ゼロクリア	2 点座標を対角とする矩形をゼロで塗りつぶします。
ワーク線描画	LINEW 折れ線	開始座標から節点座標を経由する折れ線を実線で描画します。
	LINEW	2 値折線描画 (絶対座標指定)
	RLINEW	2 値折線描画 (相対座標指定)

種類	コマンド名	機能
レジスタ設定	MOVE	カレントポイント設定（絶対座標指定）
	RMOVE	カレントポイント設定（相対座標指定）
	LCOFS	ローカルオフセット値の設定（絶対座標指定）
	RLCOFS	ローカルオフセット値の設定（相対座標指定）
	SCLIP	原点と指定座標点を対角とする矩形をクリッピング領域に設定します。
	UCLIP	2点座標を対角とする矩形をクリッピング領域に設定します。
	WPR	特定のアドレスマップドレジスタを設定します。
シーケンス制御	JUMP	コマンドシーケンスジャンプ（分岐）
	GOSUB	サブルーチンコール（分岐）ネスティングは1。
	RET	サブルーチンリターン（復帰）
	NOP3	無動作：実行処理はありません。
	VBKEM	次の垂直帰線期間まで待ちます。
	TRAP	描画処理を終了し、CPU への割り込み要因を発生します。

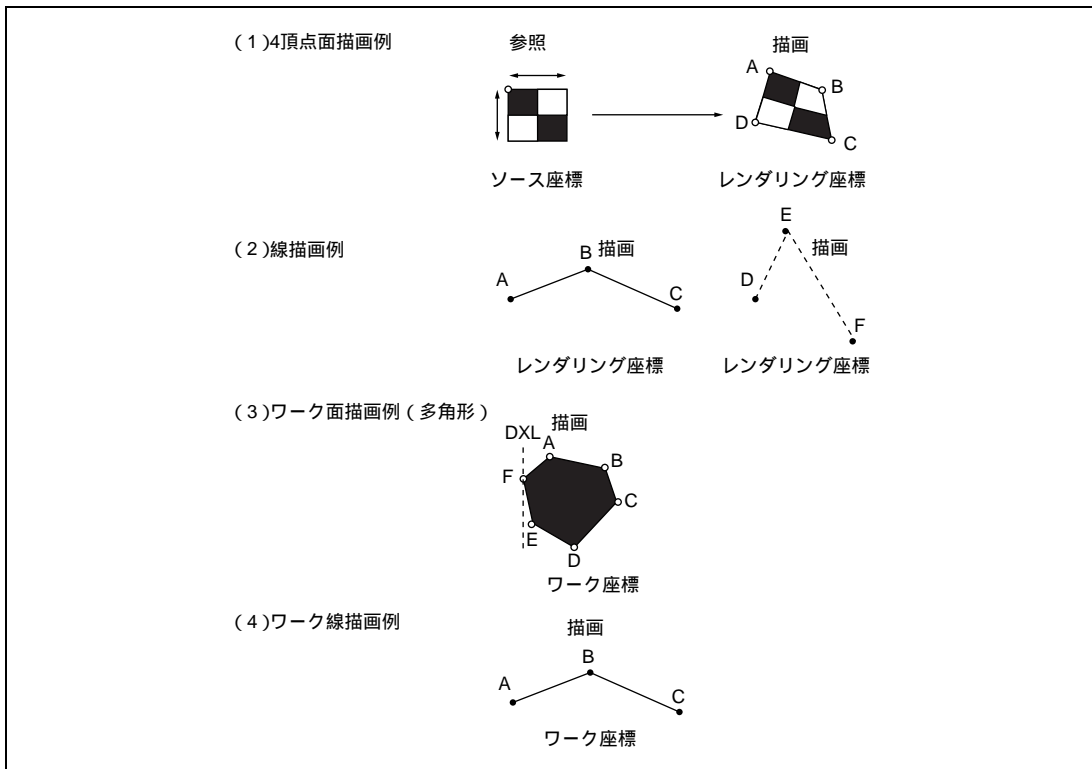


図 3.38 描画機能

### 3.5.2 画像データの参照

Q2SD は、ソースデータを参照しながらのカラー描画や、ワークデータを参照しながらの図形の切り出し描画を行うことができます。Q2SD のコマンドのうち、ソースデータを参照するコマンドは POLYGON4A、POLYGON4B、PLINE、RPLINE、コマンドパラメータに含まれるカラーデータを参照するコマンドは POLYGON4C、LINE、RLINE、LINEW、RLINEW、2 値ワークデータを参照するコマンドは POLYGON4A、POLYGON4B、POLYGON4C です。2 値ワークデータを作成するコマンドとして、FTRAP、RFTRAP、LINEW、RLINEW、CLRW があります。2 値ワークデータの参照は、ソースデータまたはカラーデータの参照と同時に行うことができます。

ソースデータには、多値ソースデータ、2 値ソースデータがあります。

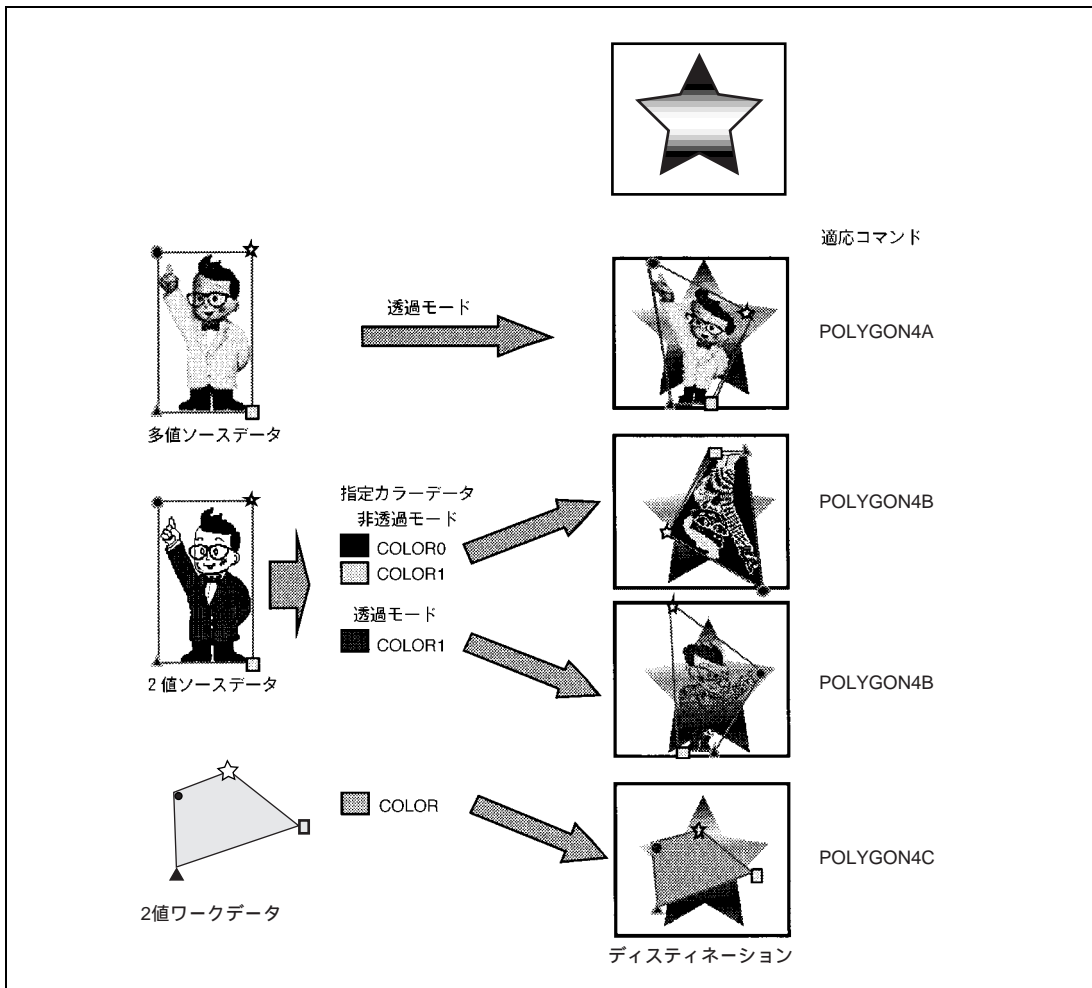


図 3.39 POLYGON4 系転送データの組み合わせ例

(1) 多値ソースデータ

多値ソースデータは、多値ソース座標（2次元座標）に定義します。ただし、横幅（TDX）は8画素以上の値で指定します。多値ソースデータの構成を図3.40に示します。

リニア配置（L<sub>Ni</sub>=1）の場合は、TDXに8画素の倍数の値を設定してください。

多値ソースは、8ビット/画素データまたは16ビット/画素データのどちらかが指定できます。8ビット/画素データの場合、Lowバイトはソース座標のXの小さい側に、HighバイトはXの大きい側となります。

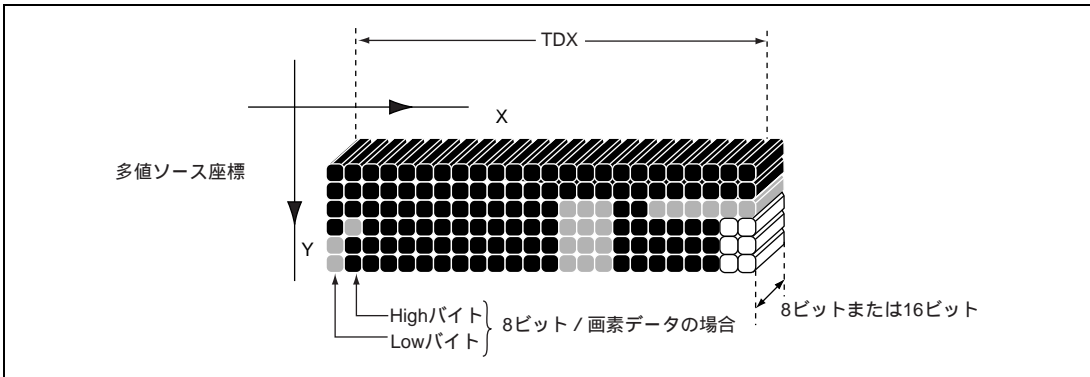


図 3.40 多値ソースデータの構成

(2) 2値ソースデータ

2値ソースデータは、UGMの2値ソース領域にリニアに配置します。そして、POLYGON4Bコマンド中のTDX、およびTDYで2次元座標（2値ソース座標）として管理します。また、2値ソースデータは、Q2SDから2値ソース領域を見たとき、画面左端の画素がLSBに配置される必要があります。ただし、横幅（TDX）は8画素の倍数の値で指定します。2値ソースデータの例を図3.41に示します。

2値ソースは、文字データや線種データの定義に使用します。描画する場合、0はCOLOR0データ、1はCOLOR1データに変換し描画します（透過モードの場合、1のみCOLOR1データに変換し描画します）。

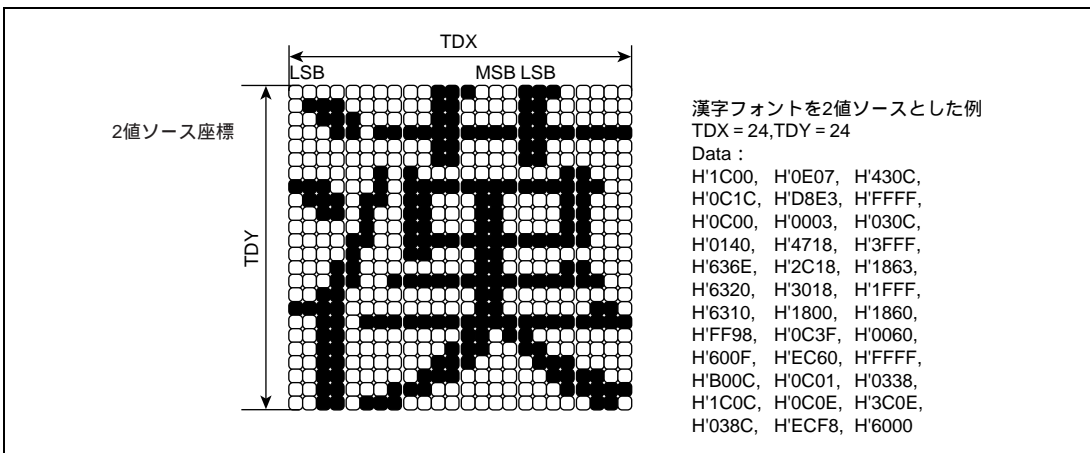


図 3.41 漢字フォントを2値ソースとした例 (TDX = 24、TDY = 24)

### 3. UGM アーキテクチャ

#### (3) 指定カラーデータ

指定カラーデータは、描画パラメータのカラー指定 (COLOR、COLOR0、COLOR1、LINE COLOR0、LINE COLOR1) に直接定義します。Q2SD を 8 ビット / 画素で動作させたとき、描画パラメータのカラー指定には、上位 8 ビットと下位 8 ビットの両方に同じカラーパレット番号を定義します。Q2SD を 16 ビット / 画素で動作させたときは、描画パラメータのカラー指定に直接 R、G、B の値を定義します。

ただし、LINEW および RLINew ではレンダリング属性の EOS ビットで、ワーク座標に描画したい値を定義します。

#### (4) 2 値ワークデータ

2 値ワークデータはワーク座標 (2 次元座標) に定義します。ワークデータは、多角形の塗りつぶしを実現するための作業用データです。FTRAP コマンド等により、多角形の外形データを作成します。作成した図形データでレンダリング図形の切り出しに使用します。たとえば、POLYGON4C コマンドをワーク併用で用いれば、ワーク領域の多角形図形を指定したカラー値でレンダリング領域に描画できます。2 値ワークデータの構成を図 3.42 に示します。

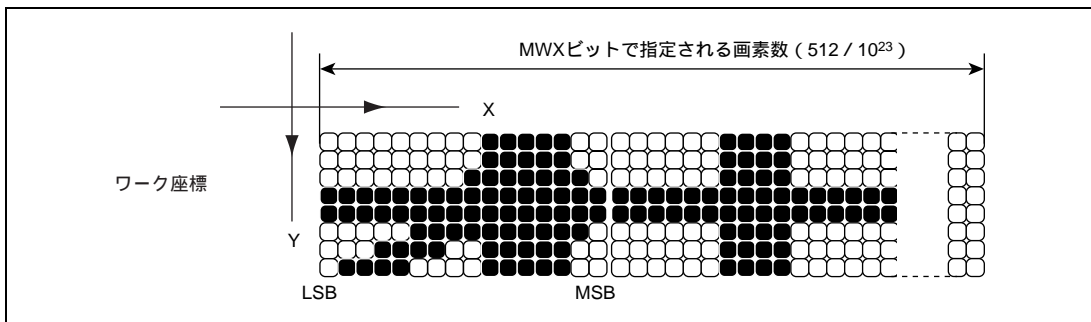


図 3.42 2 値ワークデータの構成

### 3.5.3 レンダリング属性

Q2SD は、透過指定 (TRNS)、ソーススタイル指定 (STYL)、クリッピング指定 (CLIP)、ネット描画指定 (NET)、イーブンオッドセレクト指定 (EOS)、ソースハーフ描画指定 (HALF)、ワーク指定 (WORK)、太線描画指定 (FWUL、W2UL、FWDR、W2DR)、ソースリニアアドレス指定 (LNi)、4 画素単位処理 (FST)、ソース座標相対アドレス指定 (REL)、縁どり指定 (EDG)、カラーオフセット (COOF) を指定可能です (コマンドにより指定可能な属性は異なります)。これらは、コマンド中に埋めこまれていて、コマンド単位で指定できます。図 3.43 にレンダリング属性のビット配置を示します。

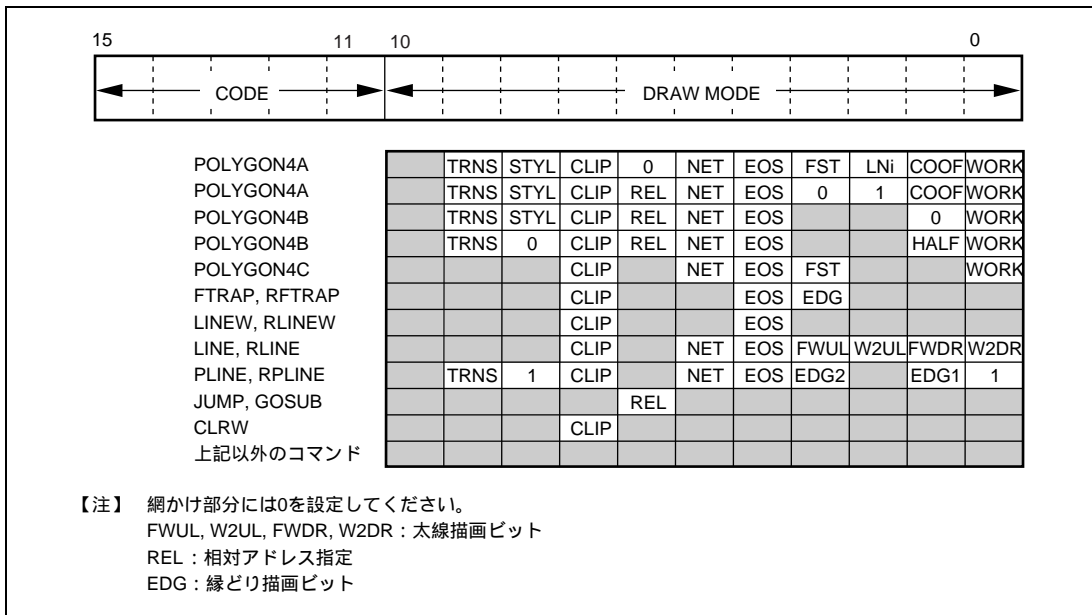


図 3.43 レンダリング属性のビット配置

#### (1) 透過指定 (TRNS)

2 値ソースデータをカラー展開する場合、透過にするか、非透過にするかを TRNS ビットにより描画コマンド単位で選択できます。透過を選択すると、2 値ソースデータの場合 0 が透過となり、1 はパラメータ COLOR1 の値となります。非透過を選択すると、2 値データの 0 がパラメータ COLOR0 の値となり、1 はパラメータ COLOR1 の値となります。同様に多値ソースデータの場合、すべて 0 を透過色として、その画素は描画しません。使用できるコマンドは、POLYGON4A、POLYGON4B、PLINE、および RPLINE で、その他のコマンドでは TRNS ビットを 0 にしてください。

### 3. UGM アーキテクチャ

#### (2) ソーススタイル指定 (STYL)

矩形描画の場合、ソースデータを拡大縮小するか、または繰り返し参照するかを STYL ビットにより描画コマンド単位で選択できます。スタイル指定しない場合、ソースデータはレンダリング領域の大きさによって拡大縮小します。スタイル指定した場合、ソースデータはレンダリング領域の大きさによって繰り返し参照します。このため、ハッチパターンのような繰り返し模様を描画する際に本属性を指定します。使用できるコマンドは、POLYGON4A、POLYGON4B、PLINE、および RPLINE で、その他のコマンドでは STYL ビットを 0 にしてください。ソーススタイル指定をした場合、ソースハーフ指定はしないでください。

図 3.44 にソーススタイル指定例を示します。

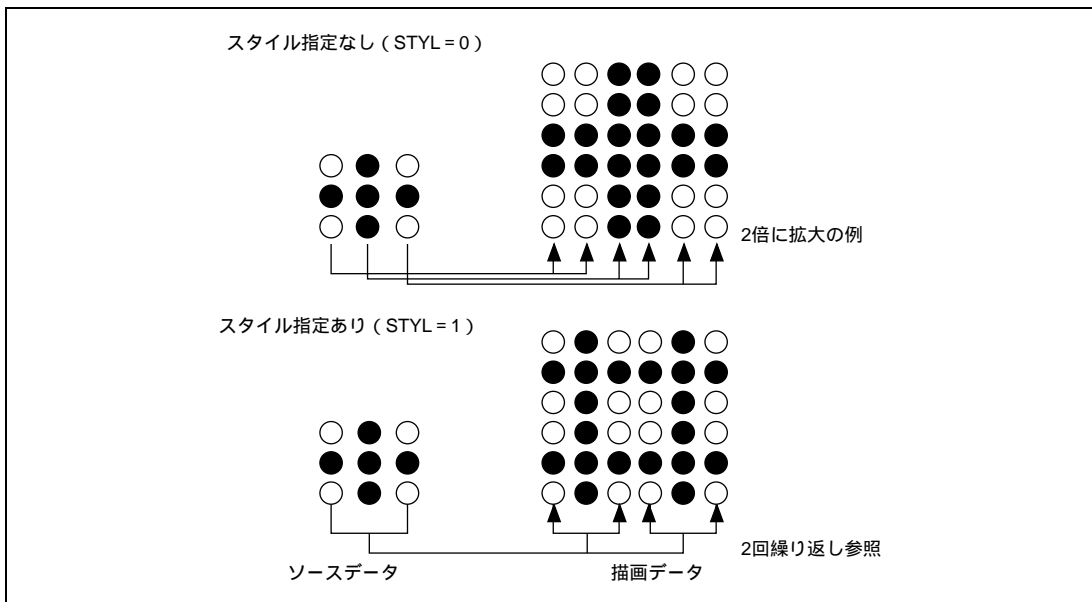


図 3.44 ソーススタイル指定例

#### (3) クリッピング指定 (CLIP)

Q2SD はクリッピング領域管理を行うことができます。クリッピング領域内では描画を行い、クリッピング領域外では演算は行いますがメモリへの書き込みは行いません。クリッピング領域には、SCLIP コマンドで設定するシステムクリッピング領域と、UCLIP コマンドで設定するユーザクリッピング領域があります。

システムクリッピング領域は、描画範囲固定されるものです。システムクリッピング領域は、属性の指定に関係なく常に有効となります。

ユーザクリッピング領域は、システムクリッピング領域内で任意に設定できます。また、その領域内でクリッピングを行うか、行わないかをレンダリング属性の CLIP ビットにより描画コマンド単位で選択できます。境界は描画します。

クリッピングは、オフセットなしのレンダリング座標で設定します。

クリッピング指定例を図 3.45 に示します。



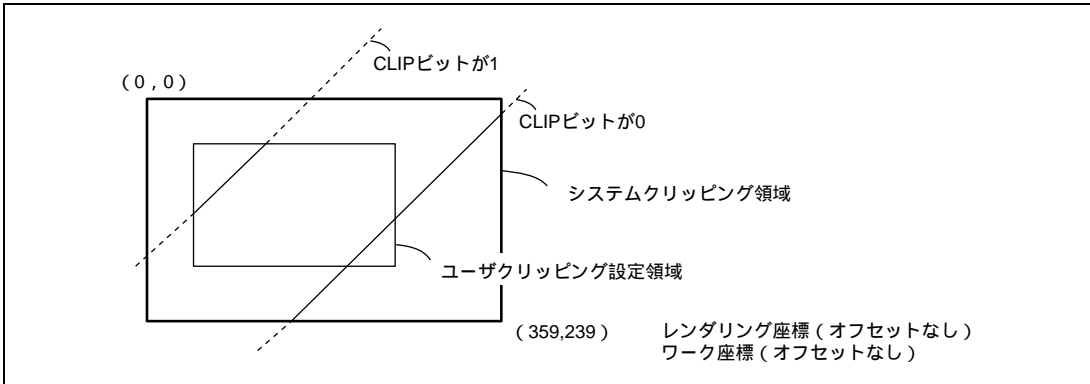


図 3.45 クリッピング指定例

(4) ネット描画指定 (NET)

ネット描画を行うか、行わないかを NET ビットにより描画コマンド単位で選択できます。ネット描画とは、レンダリング座標の  $X+Y=EOS$  ( $0$ : 偶数、 $1$ : 奇数) が真となる座標の画素のみ描画を行う機能です。たとえば、 $EOS=0$  なら  $Y=0, X=0, 2, 4, 6, 8, \dots$ 、 $Y=1, X=1, 3, 5, 7, 9, \dots$  の座標のみ描画を行います。

この機能により、描画する図形と下地を半分づつ重ね合わせることができます。

使用できるコマンドは、POLYGON4系、LINE、RLINE、PLINE、および RPLINE で、その他のコマンドでは NET ビットを  $0$  にしてください。

(5) イーブンオッドセレクト指定 (EOS)

EOS ビット= $0$  を選択すると偶数画素、EOS ビット= $1$  を選択すると奇数画素が選択されます。

ネット指定、ソースハーフ指定とあわせて使用します。また、LINEW および RLINew コマンドでは、EOS ビット= $0$  を選択すると  $0$  でワーク座標に描画、EOS ビット= $1$  を選択すると  $1$  でワーク座標に描画します。

図 3.46 にイーブンオッドセレクト指定例を示します。

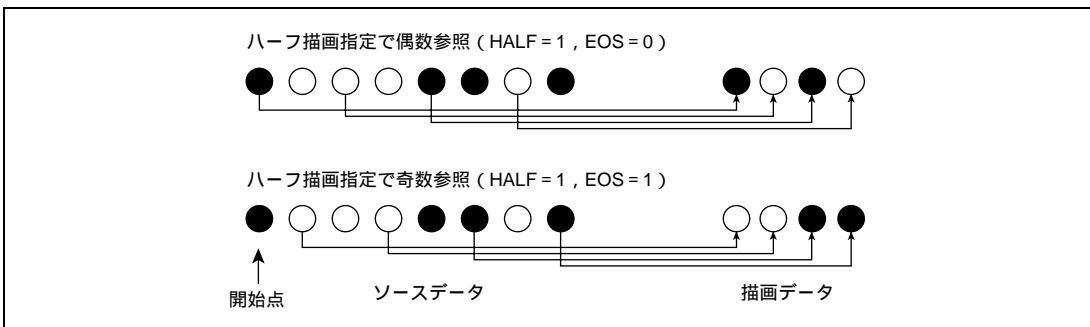


図 3.46 イーブンオッドセレクト指定例

### 3. UGM アーキテクチャ

---

#### (6) ソースハーフ描画指定 (HALF)

ソースデータをすべて参照するか、半分だけ参照するかを HALF ビットで選択します。ソースハーフ描画指定を選択すると、ソースの開始点から EOS (0 : 偶数、1 : 奇数) データのみ参照します。したがって、ソースは横方向半分のデータのみを参照することになります。

使用できるコマンドは、POLYGON4B (2 値ソース) だけで、その他のコマンドでは HALF ビットを 0 にしてください。ソースハーフ指定した場合、ソーススタイル指定はしないでください。また、描画座標の X 座標が負の領域では、描画画像が崩れることがありますので使用しないでください。

#### (7) ワーク指定 (WORK)

レンダリング座標に POLYGON4 系コマンドで描画する場合、2 値ワークデータを参照するか、参照しないかを WORK ビットにより描画コマンド単位で選択できます。

2 値ワークデータ参照を選択した場合、レンダリング座標に対応する画素のワークデータが 1 ならば描画され、0 ならば描画されません。したがって、ワーク座標に描画された図形と同じ形で、レンダリング座標に描画を行うことができます。ワーク座標への描画は、FTRAP コマンドによる描画、または SuperH による描画のどちらか一方の方法で行えます。また、コマンドによる UGM 描画アクセスと SuperH による UGM 描画アクセスを同時に行わないようにしてください。使用できるコマンドは POLYGON4A、POLYGON4B、および POLYGON4C で、その他のコマンドでは WORK ビットを 0 にしてください。

なお、PLINE および RPLINE コマンドでは本属性を指定して用いますが、ワーク参照は行われません。

#### (8) 太線描画指定

パラメータで指定する折線の各線分を基準線とし、この基準線に対し、上左方向および下右方向で独立に太線化を行います。本属性の有無は、FWUL ビットおよび FWDR ビットで指定し、太線の幅を W2UL ビットおよび W2DR ビットを組み合わせることにより線幅 1 から 5 までを描画できます。FWUL ビットは、上または左方向への太線化を有効にします。同様に FWDR ビットは下または右方向への太線化を有効にします。W2UL ビットは、FWUL ビット = 1 のときに有効です。W2DR ビットは、FWDR = 1 のときに有効です。

本属性の指定は、折線の各線分ごとに対して有効です。線分描画の主操作軸により上 (左) および下 (右) 方向に同じ傾き、同じ長さ、同じ軌跡の線を複数回描画します。したがって、折線の連結部分の形状は考慮していません。使用できるコマンドは、LINE、RLINE です。他のコマンドでは、FWUL ビット、W2UL ビット、FWDR ビット、および W2DR ビットのすべてに 0 を設定してください。

太線描画を行う際には、太線領域全体が、描画領域 (x、y とともに -2045 ~ 2044 の範囲) をはみ出さないように頂点座標を設定してください。

表 3.10 太線描画の設定

FWUL	W2UL	FWDR	W2DR	線幅(方向、増幅)
0	0	0	0	1(増幅なし)
0	0	0	1	1(増幅なし)
0	0	1	0	2(下右1)
0	0	1	1	3(下右2)
0	1	0	0	1(増幅なし)
0	1	0	1	1(増幅なし)
0	1	1	0	2(下右1)
0	1	1	1	3(下右2)
1	0	0	0	2(上左1)
1	0	0	1	2(上左1)
1	0	1	0	3(上左1、下右1)
1	0	1	1	4(上左1、下右2)
1	1	0	0	3(上左2)
1	1	0	1	3(上左2)
1	1	1	0	4(上左2、下右1)
1	1	1	1	5(上左2、下右2)

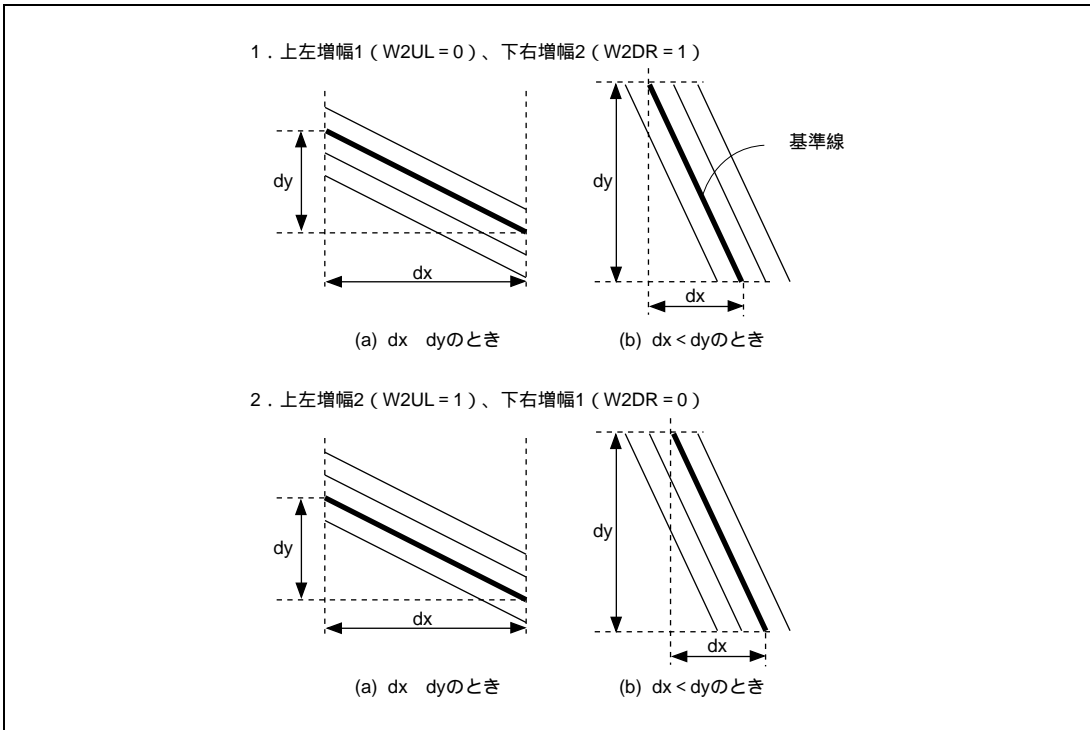


図 3.47 太線描画の例(線幅4の描画例)ただし、FWUL=1かつFWDR=1

### 3. UGM アーキテクチャ

---

#### (9) ソースアドレスのリニア指定 (LNi)

ソースアドレスを2次元論理アドレスとするか、リニアアドレスとするかを LNi ビットにより描画コマンド単位で選択できます。リニアアドレスとする場合に、1を設定してください。

使用できるコマンドは、POLYGON4A です。他のコマンドでは、LNi ビットに0を設定してください。コマンドの動作は「4.1.1 POLYGON4A」を参照してください。

#### (10) 4画素単位処理 (FST)

4画素単位の処理を行うか、行わないかを FST ビットにより描画コマンド単位で設定できます。4画素単位の処理を行う場合に FST ビットに1を設定してください。このとき、CLIPを除く他の描画属性は使用できません。また、使用できるコマンドは、POLYGON4A、POLYGON4C です。他のコマンドでは FST ビットに0を設定してください。本属性を使用する際には各コマンドの「説明」に従ってコマンドのパラメータを設定してください。

#### (11) ソース座標相対アドレス指定 (REL)

POLYGON4A、POLYGON4B、JUMP、GOSUB コマンドにおいて REL ビットを1にすることにより、コマンドコードからの前方または後方に相対アドレスでのソース参照または分岐を行えます。ソースアドレスはリニアアドレスに限ります。なお、リニアに配置されている多値ソースを参照させる関係から、POLYGON4A のときは、LNi ビットを1に設定してください。LNi ビットが0のときの動作は保証されません。

なお、コマンドコードのアドレスが相対アドレスの原点になります。

#### (12) 縁どり描画 (EDG)

FTRAP、RFTRAP コマンドにおいて、EDG ビットを1にすることにより、台形塗りつぶし描画終了後に、縁どりのライン群を描画させることができます。このとき、縁どりラインの描画を0で行うか、1で行うかは EOS ビットで指定します。

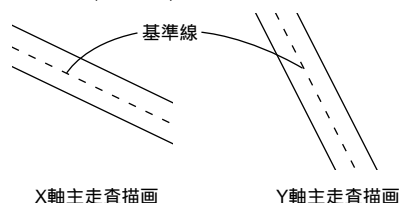
#### (13) 線描画の縁どり指定 (EDG1、EDG2)

線種あり折線に縁どり描画を行うか、行わないかを EDG1 ビットにより描画コマンド単位で選択できます。

この機能は、折線の各線分ごとに対して有効です。線分描画の基準線の上下または左右方向に同じ傾き、同じ長さの実線を描画します。したがって、折線の連結部分の形状は考慮していません。縁どりの実線は COLOR1 の値となります。

使用できるコマンドは、PLINE、RPLINE です。他のコマンドでは、EDG1 ビットに0を設定してください。使用できるソースサイズは8および16です。パラメータのソースサイズ TDX には8または16を設定してください。

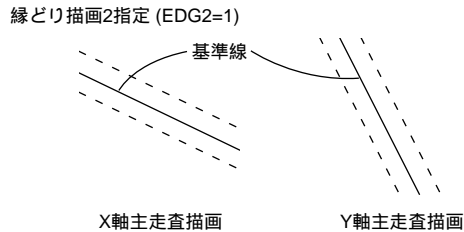
縁どり描画1指定 (EDG1=1)



折線に線種あり縁どり描画を行うか、行わないかを EDG2 ビットにより描画コマンド単位で選択できます。

この機能は、折線の各線分ごとに対して有効です。ここで、パラメータで指定する折線の各線分を基準線と考えます。この機能は折線の各線分に対して次の手順で描画することにより実現しています。まず基準線を線種あり線で描画します。次に、線分描画の主走査軸により基準線の上下方向または左右方向に同じ傾き、同じ長さの線種あり線を描画します。最後に基準線を実線で描画します。したがって、折線の連結部分の形状は考慮していません。最後に描画する実線は COLOR1 の値となります。

使用できるコマンドは、PLINE、RPLINE です。他のコマンドでは、EDG2 ビットに 0 を設定してください。



なお、EDG1、EDG2 に同時に 1 を設定しないでください。

#### (14) カラーオフセット (COOF)

POLYGON4A コマンドで使用可能です。描画が 16 ビット / 画素のとき、レンダリング属性の COOF ビットに 1 を設定すると多値ソースデータの値に、COLOR レジスタの値を加えた結果が描画されます。演算は飽和処理付で行われます。8 ビット / 画素のときには、COOF ビットは必ず 0 に設定してください。また、ソースの縮小描画を行うと描画画像が崩れることがありますので、等倍または拡大描画で使用してください。

#### 3.5.4 コマンドフェッチ

##### (1) コマンドフェッチ動作

Q2SD は、システム制御レジスタ (SYSR) のレンダリングスタートビット (RS) に 1 の書き込みが行われると、UGM 上のディスプレイリストを自らフェッチしながら描画を行います。したがって、RS ビットによるコマンドフェッチ開始の前にディスプレイリストとそのディスプレイリストで使用するソースデータをあらかじめ UGM に格納しておく必要があります。Q2SD は、ディスプレイリスト開始アドレスレジスタ (DLSAR) に設定されているアドレスを先頭に、アドレスの増加方向に順次フェッチを行います。フェッチアドレスを途中で変更するためには、JUMP コマンドや GOSUB コマンドを用います。ディスプレイリストの最後に TRAP コマンドを置くことにより、Q2SD のフェッチを終了させることができます。

Q2SD は、コマンド専用のバッファを内蔵しており、このバッファの分だけまとめて UGM をアクセスします。このバッファ内のコマンドの処理が終了すると再びコマンドのフェッチを行います。

途中で JUMP コマンドや GOSUB コマンド等のフローを変更するコマンドがあると、Q2SD はこれらのコマンドに従った新しいアドレスからフェッチをやり直します。

図 3.48 にディスプレイリスト例を示します。

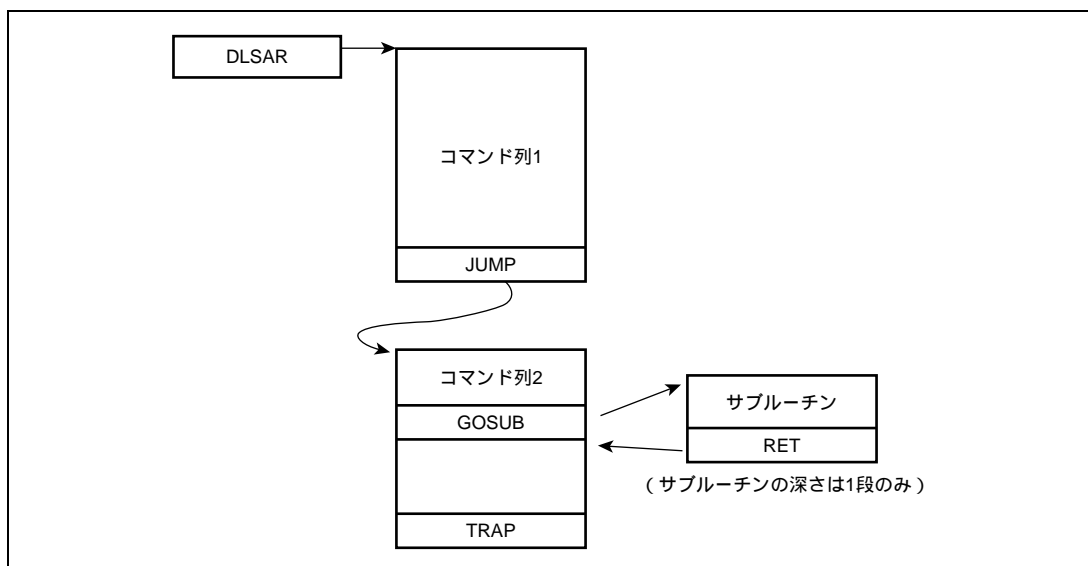


図 3.48 ディスプレイリスト例

## (2) 描画の中断・再開

Q2SD では、描画の中断・再開機能をサポートします。これにより複数の描画処理の優先順位付き並行処理が可能です。本機能は、CPU と Q2SD 間で  $\overline{\text{VSYNC}}$  信号との同期を行うことで実現します。本機能は、主に前景面と背景面の描画を交互に行う際に使用します。

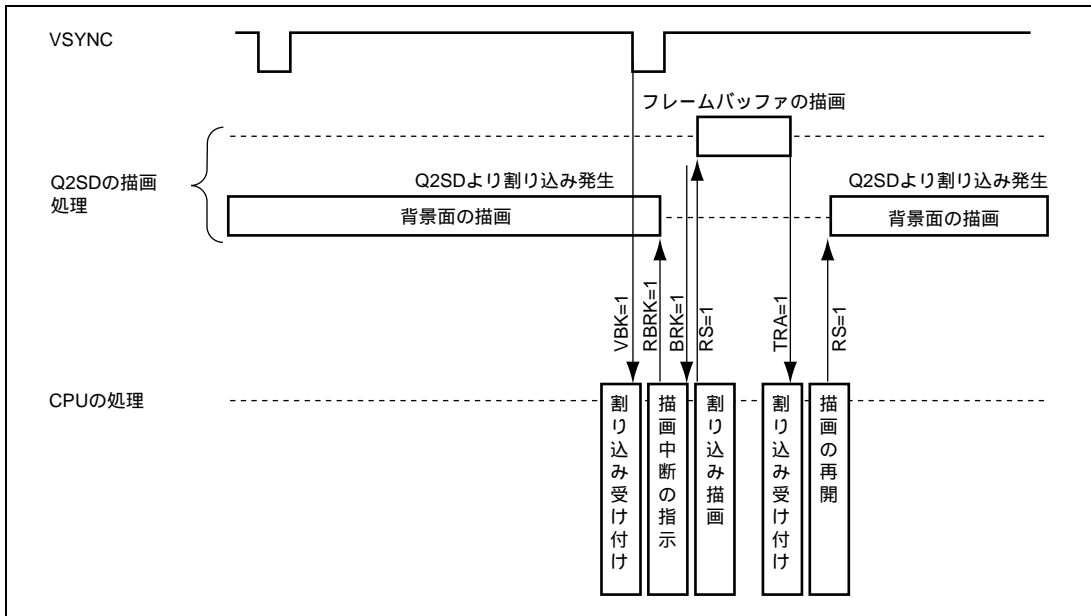


図 3.49 背景面に対する描画の中断・再開タイミング例

## (3) 中断処理

1. ステータスレジスタクリアレジスタ (SRCR) の BRCL ビットに 1 を設定して、ステータスレジスタ (SR) の BRK ビットを 0 にクリアし、システム制御レジスタ (SYSR) の描画中断指示ビット (RBRK) を 1 に設定します。
2. その後、BRK ビットおよび TRA ビットを観測してください。
3. BRK = 1 を観測した場合は、実行中の描画コマンド処理が終了し、次の描画コマンドをフェッチした時点で描画ユニットが停止 (描画中断) した状態であり、再開処理に備えてソフトウェア処理で必要な情報をアドレスマップドレジスタから読み出してメモリ上に退避してください。またこの場合には、RBRK ビットが 0 にクリアされます。
4. TRA = 1 を観測した場合は、TRAP コマンドを実行し、Q2SD の描画処理が終了した状態です。このため、これ以降の再開処理を行わないようにしてください。なお、中断処理後に行わせたい描画は、TRA フラグが 1 になるのを観測するまで行ってください。

### 3. UGM アーキテクチャ

#### (4) 再開処理

1. 中断直後に退避したパラメータを復帰します。直接レジスタへ書き込むものと、コマンドでセットするものがあります。前者にはサブルーチンリターンアドレス（WPRコマンドでのセットも可能です）、後者にはクリップエリア、ローカルオフセット、カレントポイント、実行再開アドレスなどがあります。後者のうち、実行再開アドレスは中断時のコマンドステータスレジスタの値をJUMPコマンドの飛び先としてセットすることにより回復します。それ以外の後者のパラメータは、このJUMPコマンド実行以前に適切なコマンドで回復するように設定してください。
2. サブルーチンリターンアドレス回復のための書き込みを行い、その他パラメータを回復するためのコマンドリストを作成した後、このコマンドリストのアドレスをDLSARにセットし、レンダリングスタートすることで描画を再開できます。

#### 3.5.5 Q2SD 内部バッファについて

Q2SD 内部には、図 3.50 に示すような 3 種類のバッファがあります。それらのバッファは、コマンドバッファ、ソースバッファ、およびワークバッファと呼ばれます。

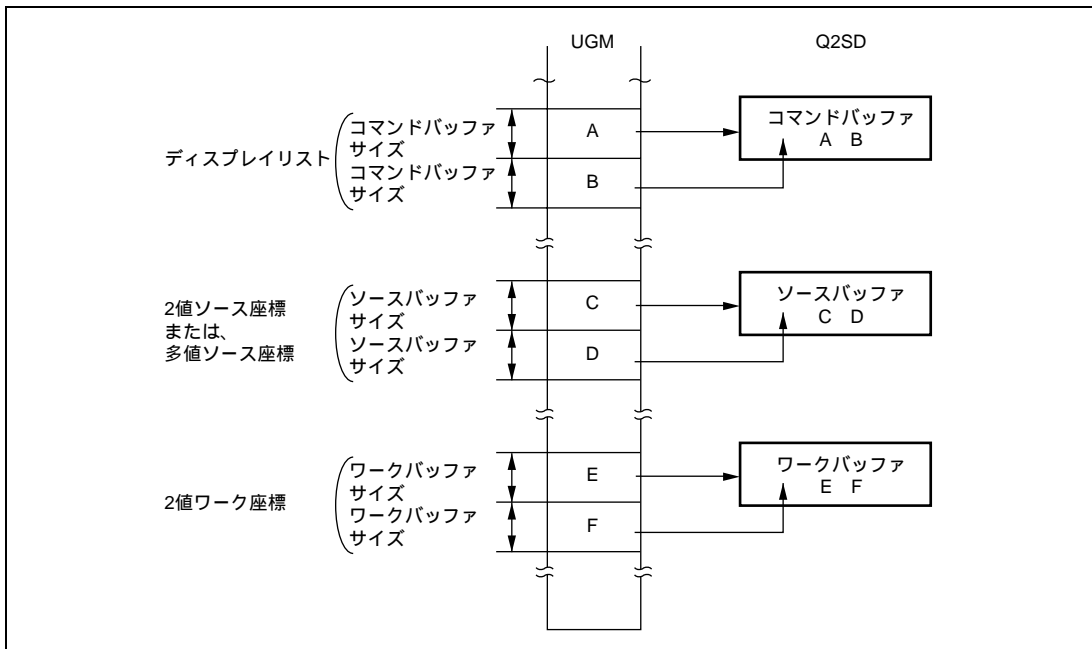


図 3.50 Q2SD 内のバッファ更新



これらのバッファは、UGM 内に存在するデータを、Q2SD が一時的に蓄えるために用い、Q2SD はこのバッファに蓄積されたデータを使用して描画を行います。各バッファの役割は以下のとおりです。

- コマンドバッファ (32バイト×2)  
Q2SDが、UGM上のディスプレイリストを蓄積する際に使用します。バッファサイズは64バイトです。
- ソースバッファ (64バイト)  
Q2SDが、UGM上の2値ソースまたは多値ソースを蓄積する際に使用します。バッファサイズは64バイトです。
- ワークバッファ (16バイト)  
Q2SDが、UGM上の2値ワーク座標に描画する際に使用します。バッファサイズは16バイトです。

各バッファの内容が更新されない場合 (各バッファの容量以下のデータで同一のアドレスを参照したり、前回の参照開始位置から各バッファの容量以下の位置で参照が終了した場合)、UGM 上のデータを書き換えても前回のバッファの内容が使用されます。意図的に各バッファの内容を更新させる場合は、各バッファの容量を超える位置のアドレスが参照されるようにしてください。

## 3.6 ビデオ取り込み機能

Q2SD は NTSC 信号をデジタルエンコードした ITU601 対応の YCbCr 4:2:2 8 ビットデータストリームを取り込むことができます。取り込んだ画像データは、ビデオ面に表示することができます。

### 3.6.1 ビデオ取り込み制御

#### (1) ビデオ取り込み機能の動作

ビデオ取り込みは VQCLK 信号の立ち上がりエッジで行われ、ビデオウィンドウレジスタ (VSIZER) の VSIZEX フィールドに設定された画素数に相当する 8 ビットデータストリームを、VHS 信号ごとに取り込みながら、ビデオ領域開始アドレスレジスタ 0~2H、L (VSAR0~2H、L) で決められた 3 つのビデオ格納領域のどれかに転送します。これらの領域は、フレーム単位に順番に使用されます。ビデオウィンドウステータス (VID0、1) はビデオ取り込みイネーブル (VIE) に 0 を設定したときに有効になり、ビデオ取り込みが完了しているビデオ領域のうち最新の領域を示します。ビデオ格納領域の大きさは、VSIZEX および VSIZEXY で決定されます。VQCLK は、システム動作クロックの 1/2 以下の周波数としてください。また、システム動作クロックは、64~66MHz の範囲としてください。1 回の VHS 当たり、輝度画素数の 2 倍の VQCLK サイクル数が必要です。VVS、VHS、VODD および VQCLK はハードウェアリセット解除後から受け付けられ、VIE = 1 を設定し、最初の VVS 信号の同期信号が入力され、その後、最初の VHS 信号が入力されることでビデオ取り込みを開始します。また、VHS 信号が入力されるごとにビデオ格納領域の取り込みライン数をカウントアップする関係から、VHS 信号による同期化が入力されることでビデオ取り込みを開始します。また、VHS 信号期間に VQCLK を入力させないでください。有効なデータがあるとき以外は VQCLK を Low としてください。VODD (FIELD) 信号の偶数奇数の判定も VHS 信号による同期化期間に行います。なお、メモリモードレジスタ (MEMR) の MES1、MES0 の設定で、UGM のバス幅を 32 ビットにしてビデオ取り込みを行ってください。ビデオ信号の関係は、図 3.51、図 3.52 のようになります。

### 3. UGM アーキテクチャ

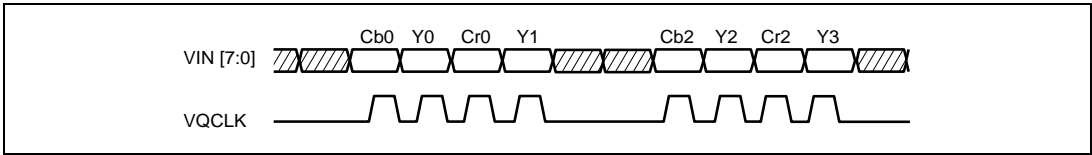


図 3.51 ビデオ取り込み信号

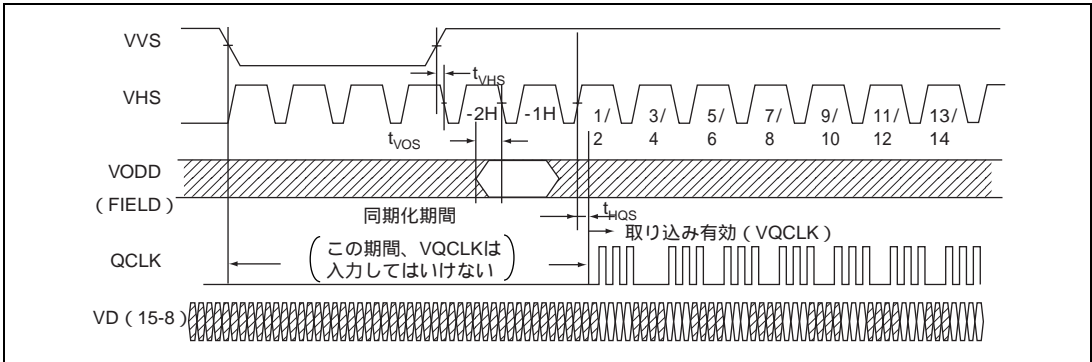


図 3.52 ビデオ取り込みタイミング

#### (2) ビデオ取り込みと表示動作

Q2SD のビデオ取り込みはビデオデコーダから送られてくる ITU-601 対応の 8 ビット YCbCr4 : 2 : 2 データを UGM 内のビデオ取り込み領域 (V0、V1、V2) に順次書き込むという機能です。

ビデオ取り込みは V0、V1、V2 順に行い、ビデオ表示は書き込みが終わった領域から順に開始します。

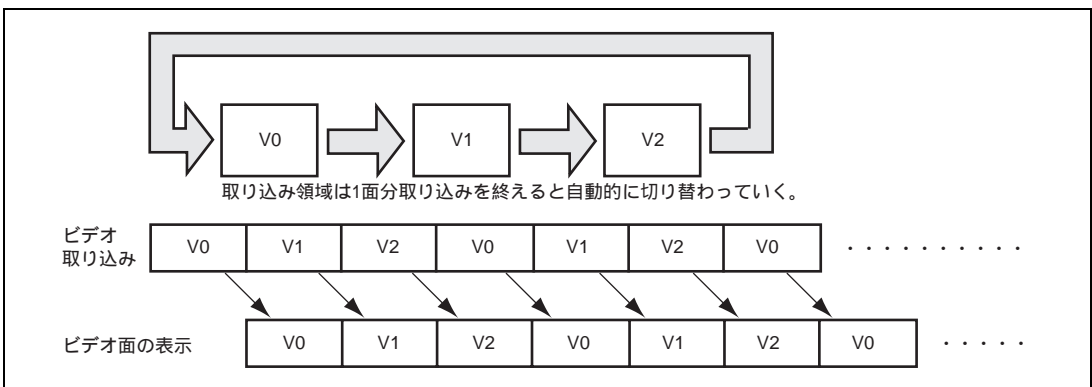


図 3.53 取り込み状態

ビデオ面の表示とビデオ取り込みの機能は別々に動作するので、Q2SD のビデオ取り込みは表示の ON / OFF に関わらず行うことができます。

表示回路とビデオ取り込み回路は非同期なので取り込み開始タイミングもしくは表示開始タイミングがずれるときがありますが、取り込み領域が 3 面あるので対応することができます。

ビデオ表示はビデオ取り込みが動作している（VIE = 1）ときは、最新の VID の示すビデオ取り込み領域を表示します。ビデオ取り込みを途中で停止した場合も、表示中の面をそのまま表示しつづけます（図 3.54）。

取り込みが再開した場合も、同様に VID の示すビデオ取り込み領域を表示します。VIE = 1 によってビデオの取り込み領域は V0 にリセットされます。

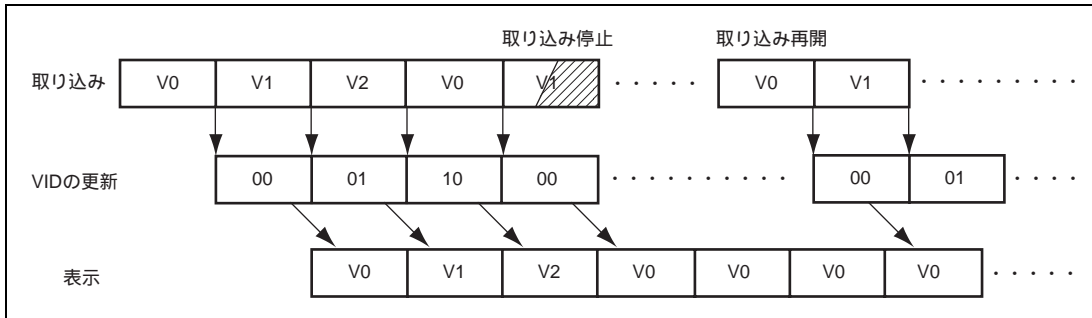


図 3.54 表示状態

### 3.6.2 ビデオ取り込みモード

Q2SD のビデオ取り込みは 4 つの取り込みモードから選択できます。これは使用するビデオ面の解像度、ビデオデコーダの出力形式、出力先（CRT / 液晶 / TV 等）の要因で選択します。

ODEN1、ODEN0 = 01 の場合は、偶数フィールドと奇数フィールドを合わせて 1 フレームの画面を作ります。動きの補間は行いません。動きの激しい動画（フィールド間で画像の移動量が多いとき）においては、静止画としては見づらい画面になることがあります。このモードはフレームレート、縦方向の走査線の数とともに入力ビデオと同じ条件下で、インタレース表示するのに適しています。なお、UGM への取り込みは原信号にライン 0 がいない場合を想定してライン 1 が UGM 上のライン 0 となります。原信号と UGM とでラインの偶奇が入れ代わるので注意してください。したがって、表示において 1 フレームのうち、偶数フィールドを先に表示する場合（ODEV = 1）、取り込みは奇数フィールドから（VINM = 0）となり、奇数フィールドを先に表示する場合（ODEV = 0）、取り込みは偶数フィールドから（VINM = 1）となります。

ODEN1、ODEN0 = 10 または 11 の場合、1 フィールドの画像をもって 1 フィールドの画像とします。その際、縦方向の走査線の数 が 1/2 になります。元の大きさで表示することはできません。縦横比率を保つためには、横方向の倍率を調整してください。ノンインタレース（SCM1、SCM0 = 00）の表示を行う際にはこのモードを使用します。なお、VACTIVE の値は、ビデオ取り込みモードレジスタ（VIMR）の ODEN1、ODEN0 の設定に合わせた値としてください。

ビデオ取り込みを行うとき、なるべくビデオストリームデコーダにてスケーリング処理（間引き処理）を行わずに、VIN 端子にビデオストリームデータを入力させてください。

### 3. UGM アーキテクチャ

(1) ODEN1=0、ODEN0=1 の場合

VACTIVEの値を $2\overline{VVS}$ 間の垂直方向の有効表示総ライン数としてください。

たとえば、 $1\overline{VVS}$ 間の垂直方向の有効表示ライン数が240ラインの場合、

VACTIVE =  $240 \times 2 = 480$ としてください。

(2) ODEN1=0、ODEN0=1でない場合

VACTIVEの値を $1\overline{VVS}$ 間の垂直方向の有効表示ライン数としてください。

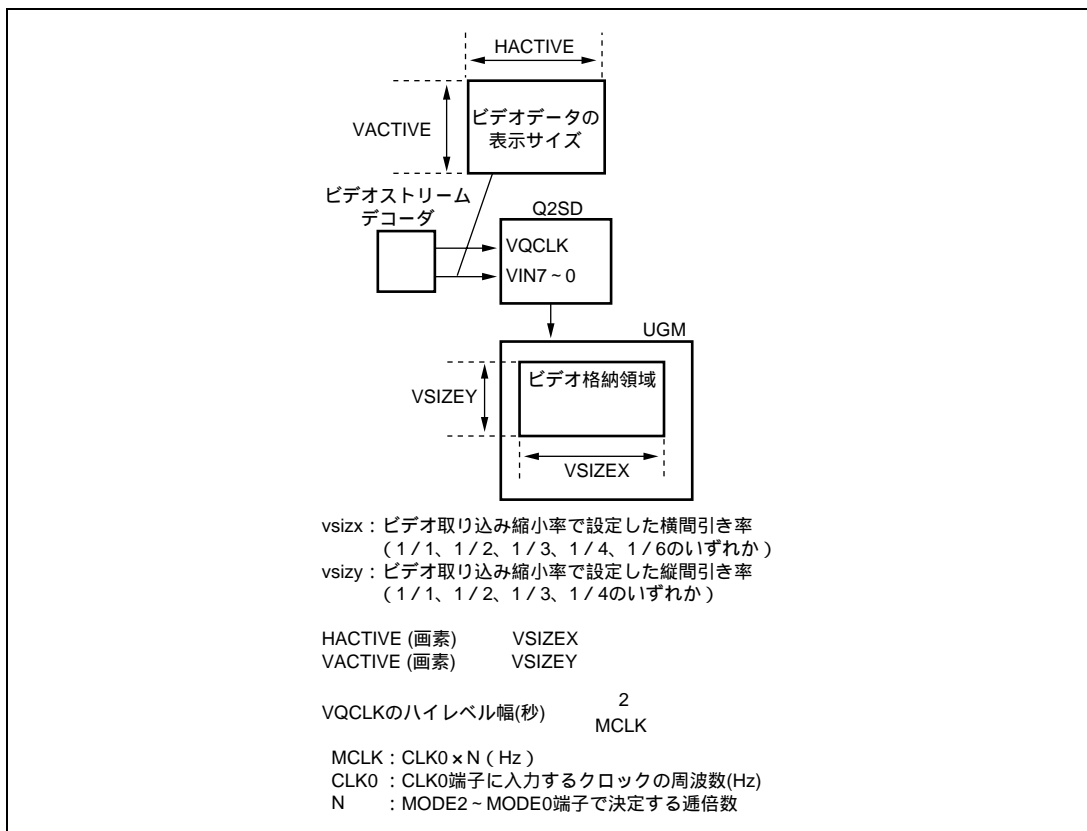


図 3.55 ビデオ格納領域

## (3) ノンインタレースモード取り込み (ODEN1=0、ODEN0=0)

ビデオデコーダの出力がノンインタレースモードの場合に適応します。VSYNC ごとのビデオデータを、1面の取り込み領域に格納します。ビデオデコーダの出力がインタレースシンクモードの場合は、垂直方向のデータが 1/2 になるので、取り込みサイズに注意します。

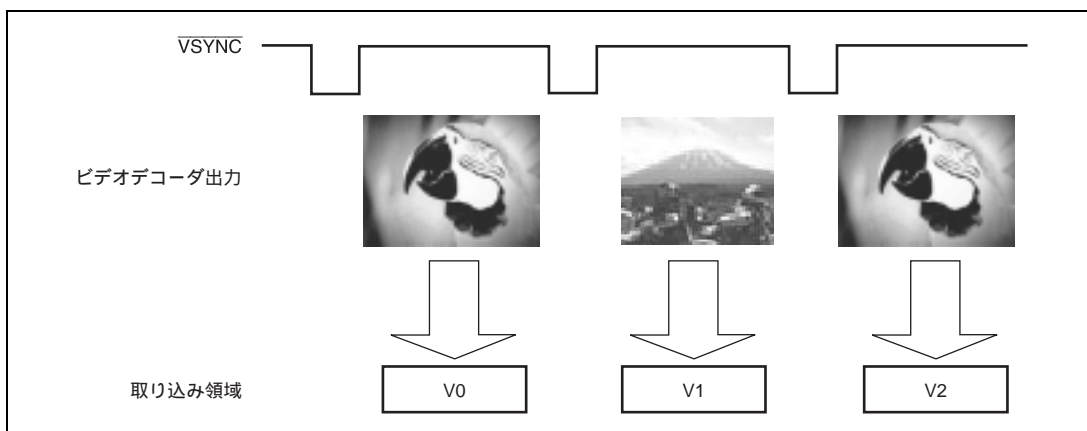


図 3.56 インタレース取り込み

## (4) インタレース合成取り込み (ODEN1=0、ODEN0=1)

ビデオデータがインタレースで送られてくる場合に使用します。偶数フィールド、奇数フィールドを1面の取り込み領域内で合成し、格納します。ビデオデコーダの出力がノンインタレースモードの場合は、正常な合成はされません。

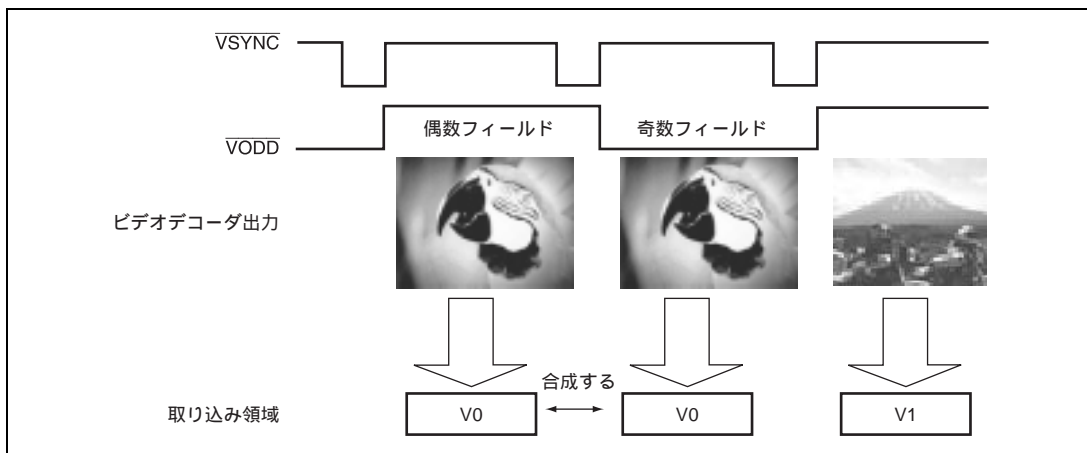


図 3.57 インタレース合成取り込み

### 3. UGM アーキテクチャ

#### (5) インタレース取り込み (奇数面のみ : ODEN1 = 1, ODEN0 = 0)

インタレースで送られてくる奇数フィールド (VODD 信号 = LOW) のデータのみ 1 面の取り込み領域に格納します。垂直方向のデータが 1/2 になるので取り込みサイズに注意します。

ビデオデコーダの出力がノンインタレースシンクモードの場合はコマ落ちはしますが、取り込みデータのサイズは正しくなります。

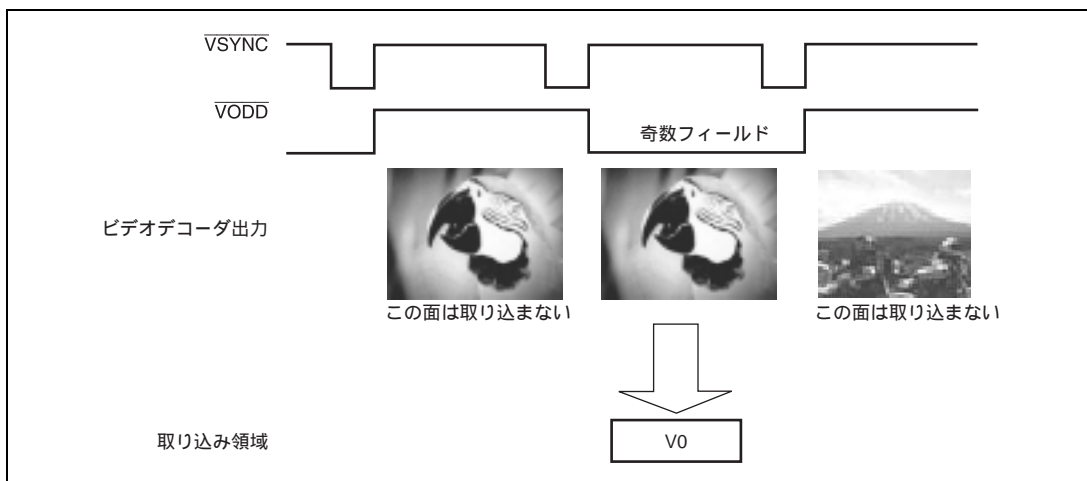


図 3.58 インタレース取り込み (奇数)

#### (6) インタレース取り込み (偶数面のみ : ODEN1 = 1, ODEN0 = 1)

インタレースで送られてくる偶数フィールド (VODD 信号 = High) のデータのみ 1 面の取り込み領域に格納します。垂直方向のデータが 1/2 になるので取り込みサイズに注意します。

ビデオデコーダの出力がノンインタレースシンクモードの場合はコマ落ちはしますが、取り込みデータのサイズは正しくなります。

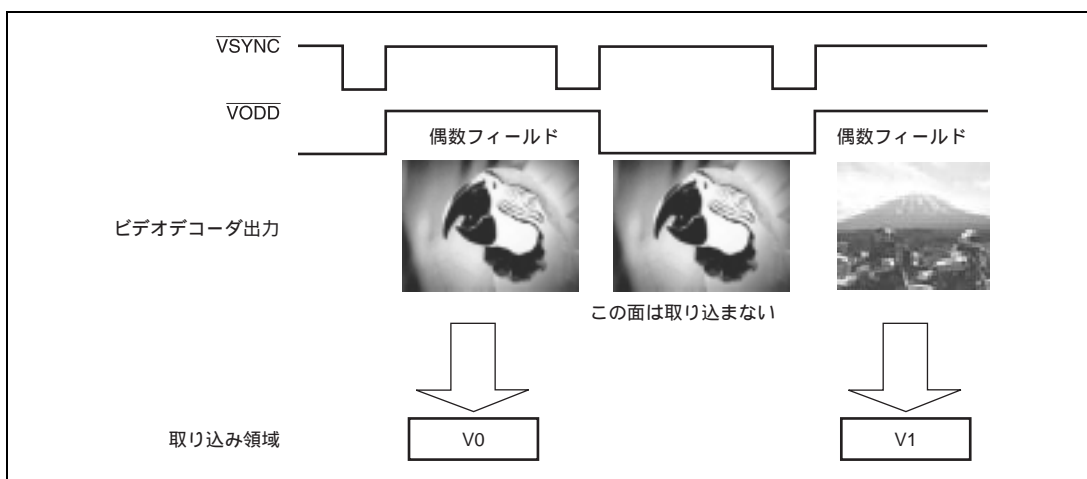


図 3.59 インタレース取り込み (偶数)

(7) ビデオフィールドの取り込み順の指定

Q2SD はインタレースシンク & ビデオのビデオ入力を行う際、ビデオ取り込みモードレジスタ (VIMR) のビデオ取り込みフィールド順モード (VINM) ビットによりフィールドの取り込み順を指定することができます。先に来るフィールドが上のラインか下のラインかを合わせることができます。なお、動き補間を行いませんので、動きの激しい動画においては静止画としては見づらい画面になることがあります。

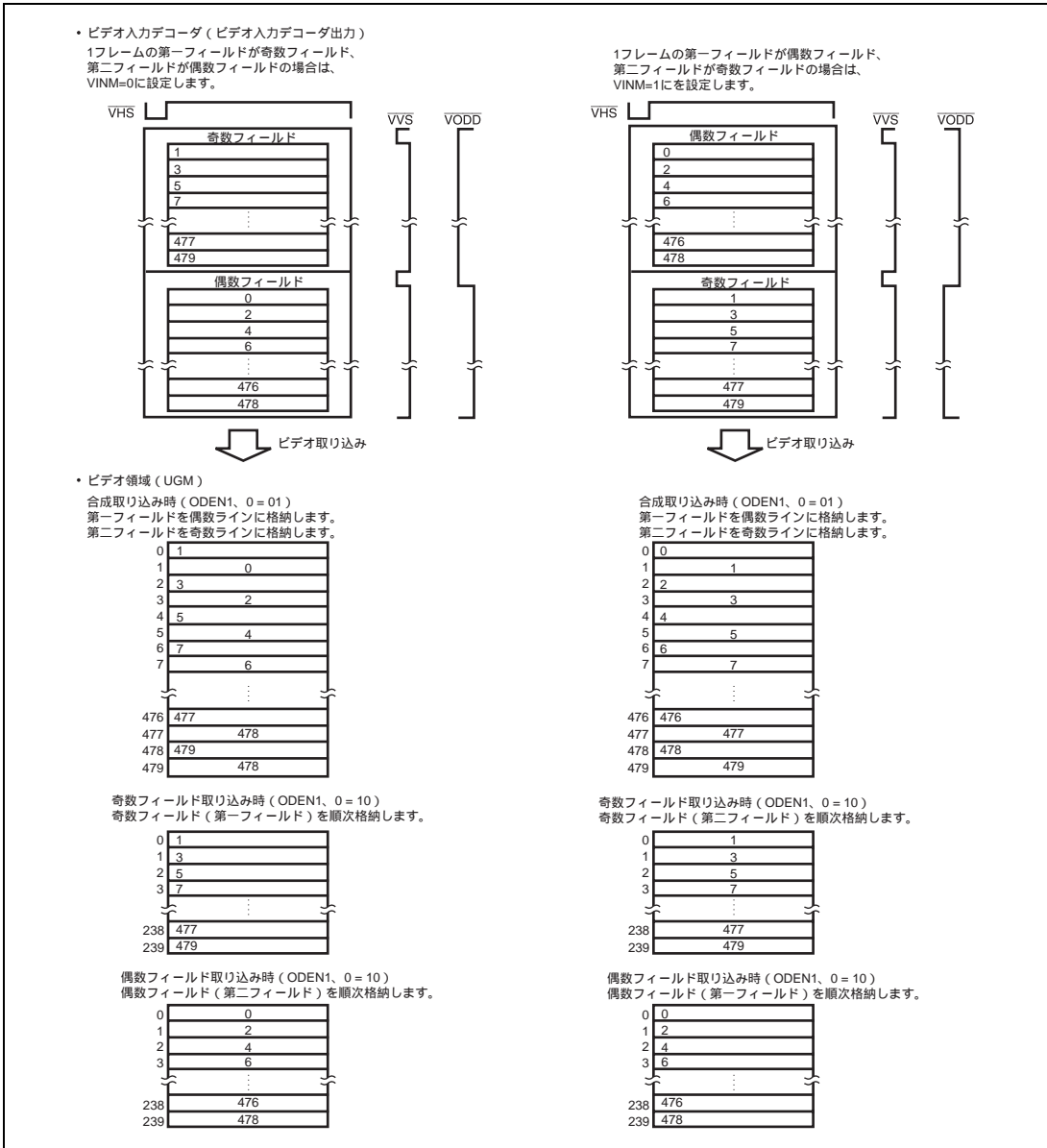


図 3.60 インタレースのビデオ入力フィールド取り扱い指定

### 3.6.3 ビデオ取り込み画像の縮小

Q2SD はビデオ取り込みを行う際、ビデオ取り込みモードレジスタ (VIMR) の VSIZ4~0 ビットで縦と横のサイズをそれぞれ別に間引き設定をして取り込みサイズを小さくすることができます。

設定できる間引きサイズは、横が、1/2、1/3、1/4、1/6 で、縦が、1/2、1/3、1/4 で、VSIZEX、VSIZEY にはそれぞれデジタルエンコーダから出力される水平および垂直方向の有効画素にビデオ取り込み間引き率 (VSIZ4~0) で指定された間引き率を乗じた値 (端数切り捨て) を設定してください。

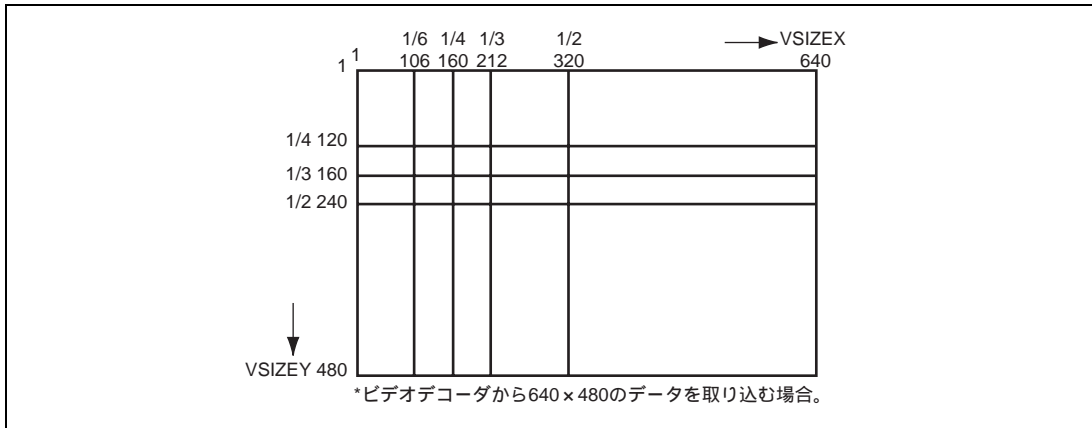


図 3.61 ビデオ取り込み時の間引き

たとえば、ビデオデコーダから送られてくるビデオデータが、640×480 の場合、間引き率を縦横 1/2 に設定すると 320×240 となりますが、VSIZER の設定を VSIZEX : 320、VSIZEY : 240 に設定しないと、表示が正しく行われなくなります。前記の間引き設定のままで VSIZEX の値を 480 にしてしまうと、320 を超えた 321~480 までの領域には、ビデオデータが送られてこないで、ビデオ面には、そのときのメモリ上のデータが表示されます。逆に、VSIZEX の値を 240 などと小さくすると、241~320 までのデータは、取り込みを行わないので、画面が切れたような表示になります。

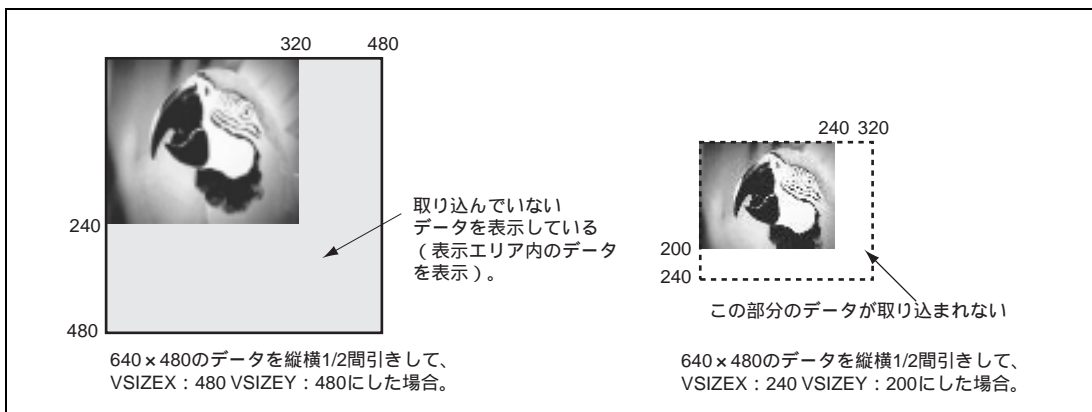


図 3.62 ビデオ取り込み時の間引き設定の失敗



VSIZEY でも同様です。なお、間引き計算で割り切れなかった場合や、奇数になった場合は、切り捨てて偶数化します。

• 例：

ビデオデコーダの送り出しサイズ×間引き率=ビデオウィンドウサイズ

X :  $640 \times 1/3 = 213.33333 \rightarrow 212$

Y :  $480 \times 1/3 = 160$

### 3.6.4 ビデオ取り込み位置の設定

アドレスの計算方法は以下のようになります。

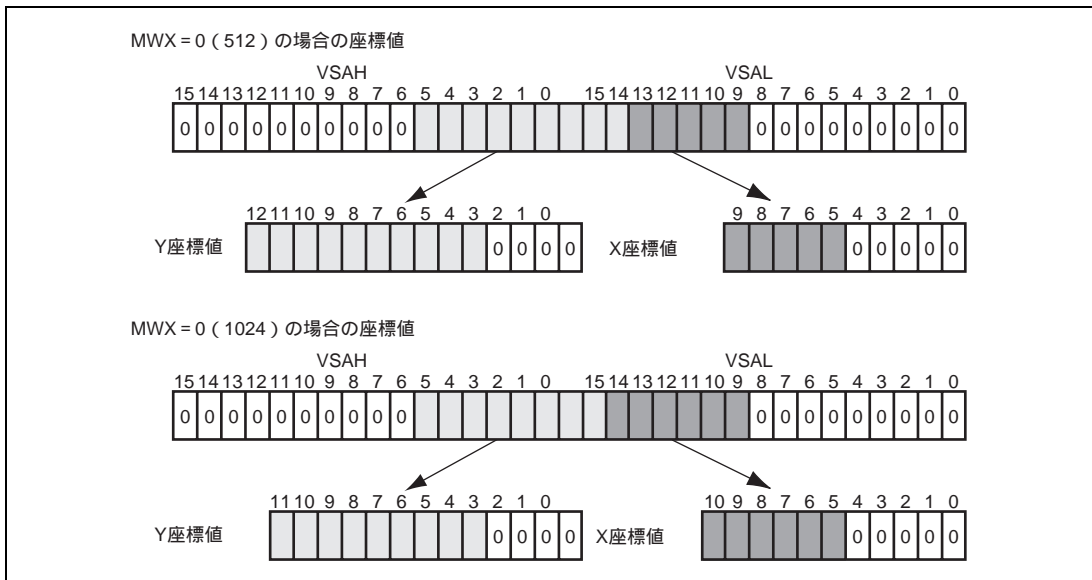


図 3.63 ビデオ取り込み領域の設定

UGM の範囲中であれば、Y は 16 の倍数、X は 64 の倍数の値が自由に設定できます。ただし、設定した領域は 16 ビット / 画素でアクセスされますので、FG 面や BG 面にオーバーラップしていると、そこも 16 ビット / 画素でアクセスされることとなりますので、注意が必要です。また、MWX が 512 モードのときは、Y で指定できる領域が、0~8176 (メモリの設定に注意) で 16 単位に、X で指定できる領域は、0~960 (実際には 511 を超えて指定はできません) で、64 単位となります。X 方向のビデオウィンドウサイズ (VSIZEX) は 512 までとなります。

MWX が 1024 モードのときは、Y で指定できる領域が同じく 16 単位で 0~4080 に、X で指定できる領域も 64 単位で 0~1984 に (実際には 1023 を超えて指定はできません) となります。X 方向のビデオウィンドウサイズ (VSIZEX) は 640 までとなります。

### 3. UGM アーキテクチャ

---

実際にビデオ領域を計算してみます。

MWX = 512 でビデオサイズ 120 × 120 の画面を図 3.64 を 3 つ横にならべる場合、各 VSAH / L レジスタに設定する値は以下のようになります。

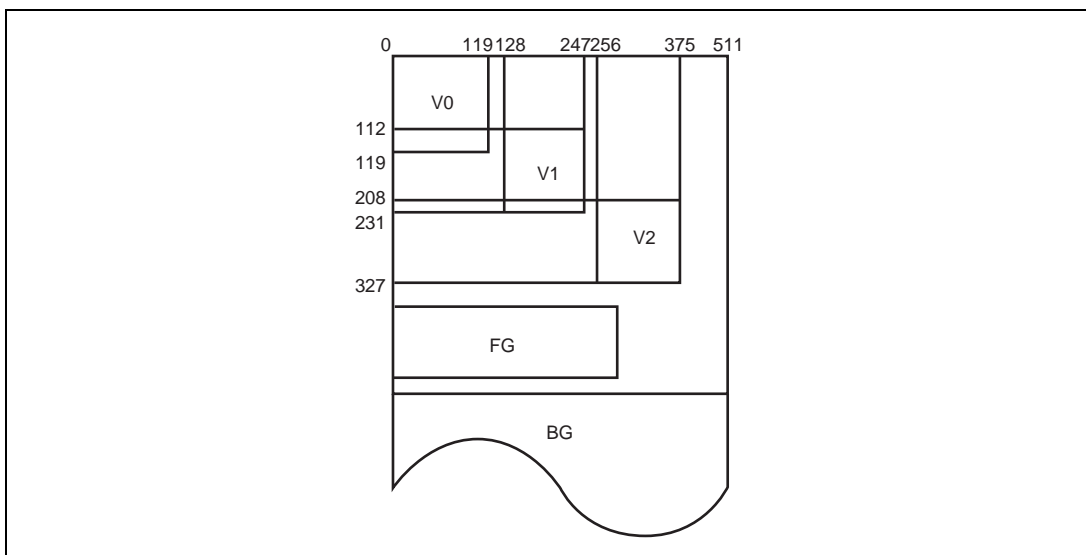


図 3.64 ビデオ取り込み領域設定例

V0 : X = 0、Y = 0

Y 座標 : 00000000000000、X 座標 : 00000000000

VSA : 0000000000000000、0000000000000000

VSAH0 : H'0000

VSAL0 : H'0000

V1 : X = 128、Y = 112

Y 座標 : 00000011100000、X 座標 : 00010000000

VSA : 0000000000000001、1100010000000000

VSAH1 : H'0001

VSAL1 : H'C400

V2 : X = 256、Y = 208

Y 座標 : 00000110100000、X 座標 : 00100000000

VSA : 0000000000000011、0100100000000000

VSAH2 : H'0003

VSAL2 : H'4100

### 3.6.5 ビデオ取り込みデータの形式

Q2SD のビデオ入力インタフェースは、8 ビット VCRCB PIXEL STREAM フォーマットに対応しています。表 3.11 に Q2SD のデータ端子の対応とそれにながれる Y データ、Cr データ、Cb データを示します。図 3.65 はビデオデコーダから送られてくるときのデータの流れを示します。

NTSC 規格では、白黒放送との互換性を保つため、輝度 Y 信号（白黒信号）と、色差 C 信号（色信号）からの YC 信号となっています。これを、ビデオデコーダでサンプリングして量子化したデータとして用います。

サンプリングデータの C データは水平間引きされ、Y データの半分になります。これは、人間の目が、輝度よりも色差に鈍感という性質を応用したものです。さらに、C データは RGB 化するために、赤と青に分けられて、Cb（青 - Y）と Cr（赤 - Y）になり、最終的に YCbCr データとなります。

画素イメージを図 3.66 に示します。

表 3.11 8Bit Pixel Interface

Q2SD	VIN7	VIN6	VIN5	VIN4	VIN3	VIN2	VIN1	VIN0
Y-DATA	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0
C-DATA	Cr7	Cr6	Cr5	Cr4	Cr3	Cr2	Cr1	Cr0
	Cb7	Cb6	Cb5	Cb4	Cb3	Cb2	Cb1	Cb0

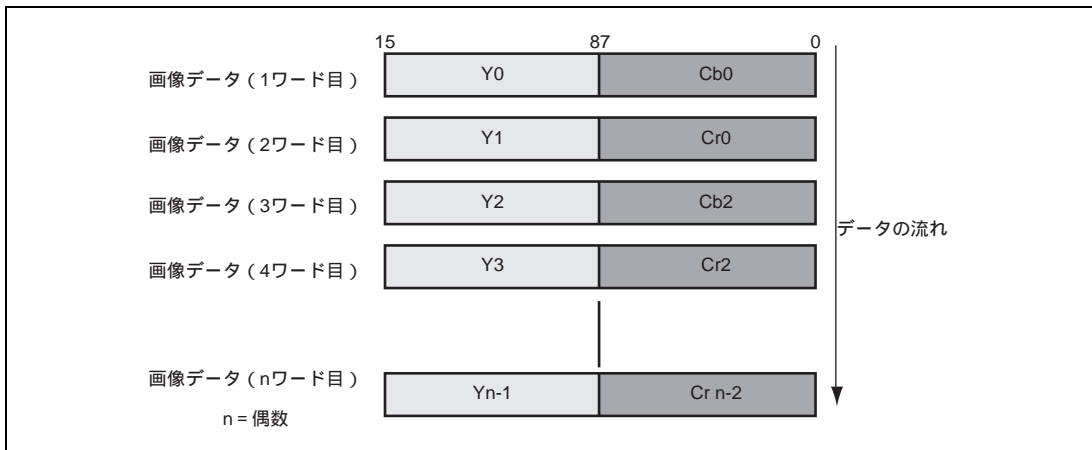


図 3.65 YCbCr 4 : 2 : 2 データの流れ

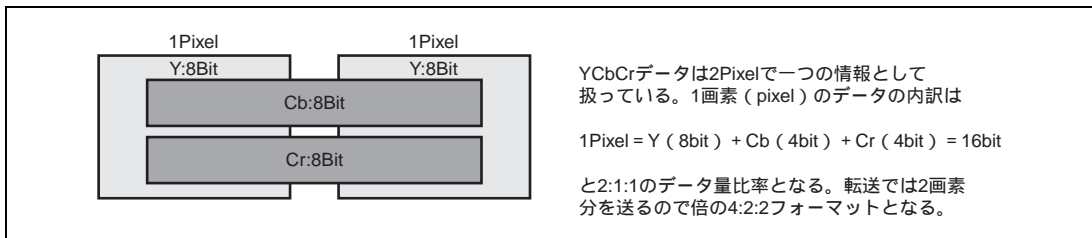


図 3.66 YCbCr 4 : 2 : 2 データの形式

### 3. UGM アーキテクチャ

---

Q2SD では、データの取る範囲(表現方法)で YUV と YCbCr で区別していますが、CCIR601 対応の同じ計算式で RGB に変換できるデータです。YUV は 0~1 で表現したデータ、YCbCr は 8 ビットでのデータ表現を考えて表現したデータです。

YUV の場合

輝度	Y	: 0~1			
色差	U	: -0.5 ~ +0.5	V	: -0.5 ~ +0.5	
RBG	R	: 0~1	G	: 0~1	B : 0~1

YCbCr の場合

輝度	Y	: 16~235			
色差	Cb	: -112~112*	Cr	: -112~112*	
RBG	R	: 16~235	G	: 16~235	B : 16~235

【注】 \* Q2SD のビデオ取り込みに入力するときは 128 のオフセットを加えた 16~240

YCbCr - RGM 変換式

$$R = Y + (Cr - 128) \times 1.37$$

$$G = Y - 0.698 \times (Cr - 128) - 0.336 \times (Cb - 128)$$

$$B = Y + (Cb - 128) \times 1.73$$

【記号説明】 Y: 16~235

Cr, Cb: 16~240

### 3.6.6 YCbCr データと RGB データ

Q2SD は図 3.67 に示すように、内部に YCbCr データを 16 ビット RGB データに変換する回路を 2 つ内蔵しています。どちらか一方を利用するようにしてください。RGB = 1 のときは、VWRY = 0 とし、RGB = 0 のときは、VWRY = 1 としてください。

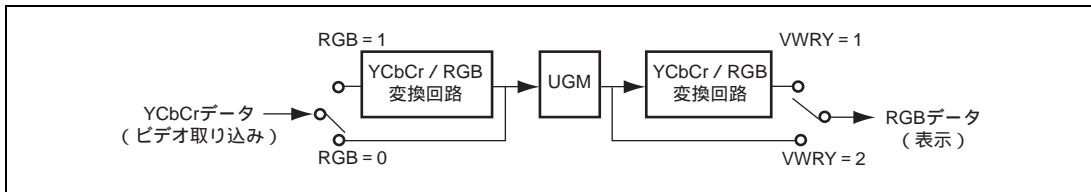


図 3.67 YCbCr RGB 変換

前段の、RGB 変換回路を使用 (VIM レジスタの RGB = 1) すれば、ビデオデコーダの YCbCr データを UGM に格納する時点で、RGB データに変換します。後段の、RGB 回路を使用 (DSMR2 レジスタの VWRY = 1) すればビデオ面表示を行う際に、RGB データに変換します。これによって、UGM 上に格納するデータを YCbCr 形式か、RGB 形式かを選択することができます。

前段の回路を使って、UGM 上に RGB データとして格納すれば、そのデータを多値ソースデータとして描画等に使用することができます。また、前景面 (FG) や背景面 (BG) を 16 ビット / 画素モードにした場合、直接その領域にビデオデータを取り込むことで、ビデオ面以外でも表示させることもできます。後段の回路を使う場合は、CPU などからビデオ取り込み領域に対して、YCbCr データを送り込むことで、そのまま表示をさせることができます。

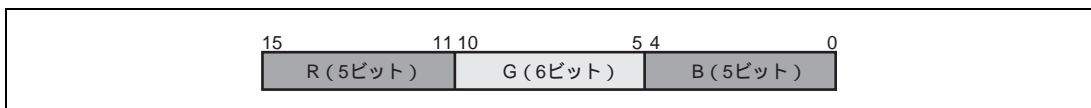


図 3.68 RGB データ (16 ビット / 画素)

### 3.7 ビデオ表示機能

#### 3.7.1 ビデオ面の表示

Q2SD のビデオ面は表示モード 2 レジスタ (DSMR2) の VWE ビットを 1 にすることで、ビデオ取り込みモードレジスタ (VIMR) の VID に示されるビデオ領域 (VSAR0~2) の内容を 16 ビット/画素モードで表示します。ビデオ取り込み機能が動作中は VID の更新に従い、読み込み領域を自動的に切り替えて、常に最新の画面を表示します。

ビデオ面の表示位置は、ビデオ表示開始位置レジスタ (VPR) に設定された位置になります。このため、VWE に 1 を設定するときは前もってビデオ表示開始位置レジスタに初期値を設定しておく必要があります。表示サイズは VSIZEX および VSIZEY に設定したサイズになり、独立したウィンドウ (ビデオ面) として表示されます。また、ビデオ面の表示位置は、表示領域 (DSX / DSY で設定) 内にしてください。ビデオ面の大きさは、取りこみ領域と同じ大きさになります。ノンインタレース表示モードの場合は、任意の場所に設定することができます。インタレースシンク & ビデオとインタレースモードの場合は、Y 方向の設定は必ず偶数値とする必要があります (最下位を 0)。設定条件は以下のようになります。

ビデオ水平表示開始位置 (HVP) = DSX > VSIZEX

ビデオ垂直表示開始位置 (VVP) = DSY > VSIZEY

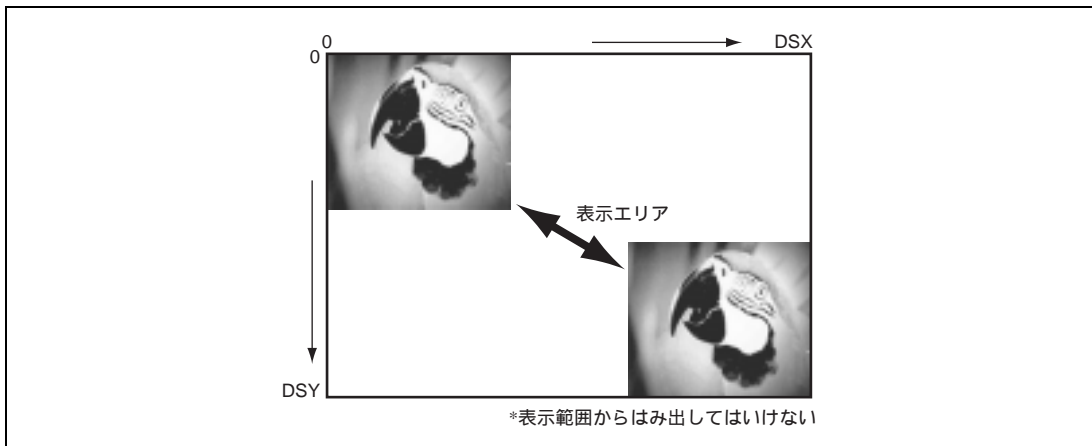


図 3.69 ビデオ画面表示位置

#### 3.7.2 表示走査モードとビデオ取り込みモードとの関係

Q2SD の表示走査モードは、表示モードレジスタ (DSMR) の SCM1、SCM0 ビットの設定によってノンインタレースモード、インタレースモード、インタレースシンク & ビデオモードの 3 種類から選択できます。ビデオ取り込みには 4 つのモードがあり、取り込んだビデオデータを正常に表示させるためには、これらを適性を選択する必要があります。

(1) ノンインタレース取り込みモードと表示走査モードの関係

ノンインタレース取り込みモードは、ビデオデコーダの出力がノンインタレースのとき使用します。ビデオデータは1VCごとに終了します。ノンインタレースモード表示では問題ありません。インタレースシンクモード表示では、一方のフィールドが抜けます(コマ落ち)。インタレースシンク&ビデオモード表示では、元のビデオデータのフレームのEVEN/ODDとは異なる組み合わせでフレームを構成したり、EVEN、ODDのフィールド間違いをする可能性があります。

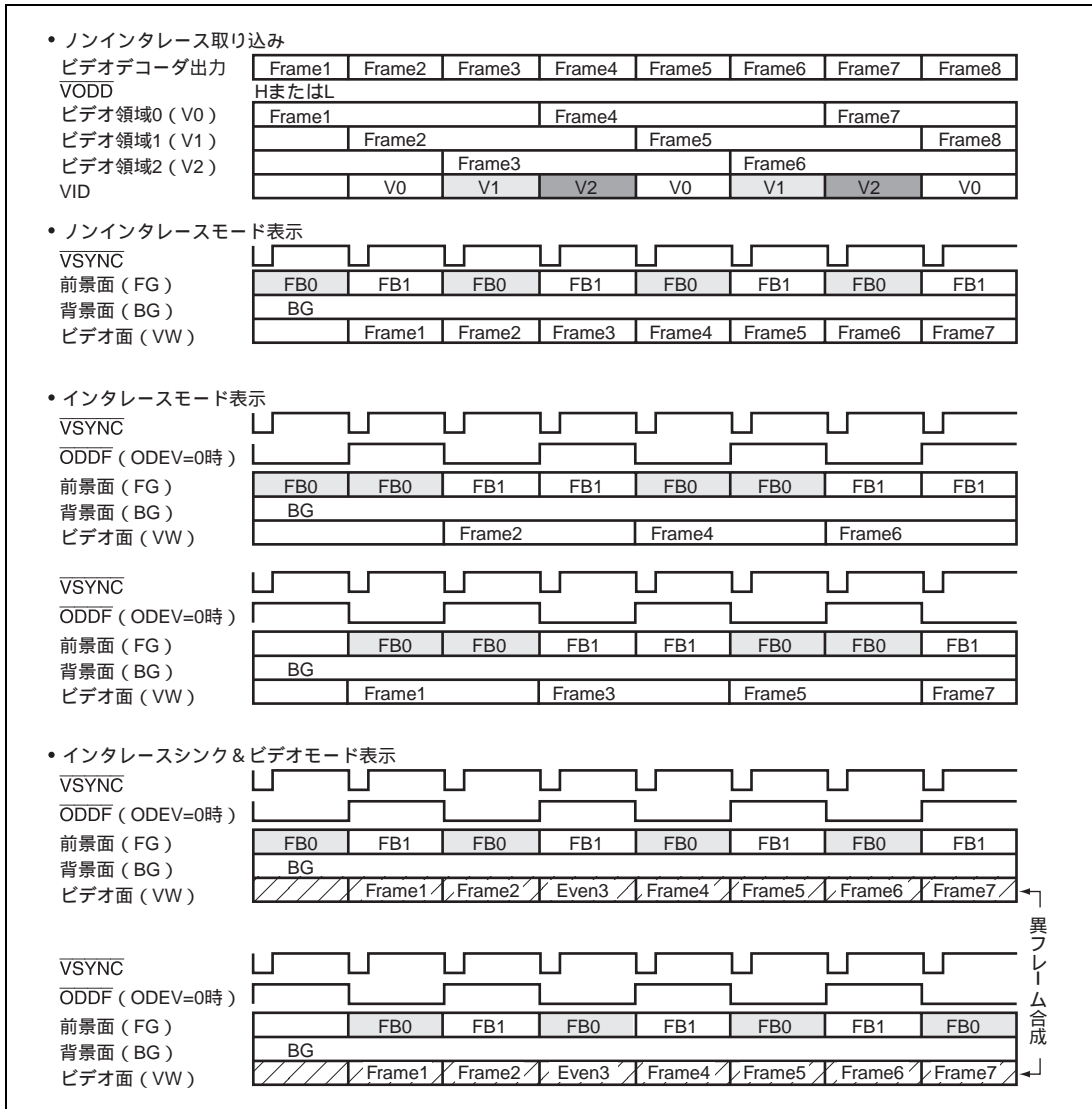


図 3.70 インタレースモード取り込みと表示との相関

### 3. UGM アーキテクチャ

#### (2) インタレース合成取り込みモードと表示走査モードの関係

インタレース合成取り込みモードは、ビデオデコーダの出力がインタレース 2 形式のとき使します。ビデオデータは 2VC ごとに終了し、UGM エリアで合成します。ノンインタレースモード表示、インタレースモード表示では問題ありません。インタレースシンク & ビデオモード表示では取り込みとフレームの頭が合わないときは、異フレーム合成を行うことがあります。通常は、表示系データとビデオ取り込みデータは非同期なので、異フレーム合成は 50% の確率で起きることになります。

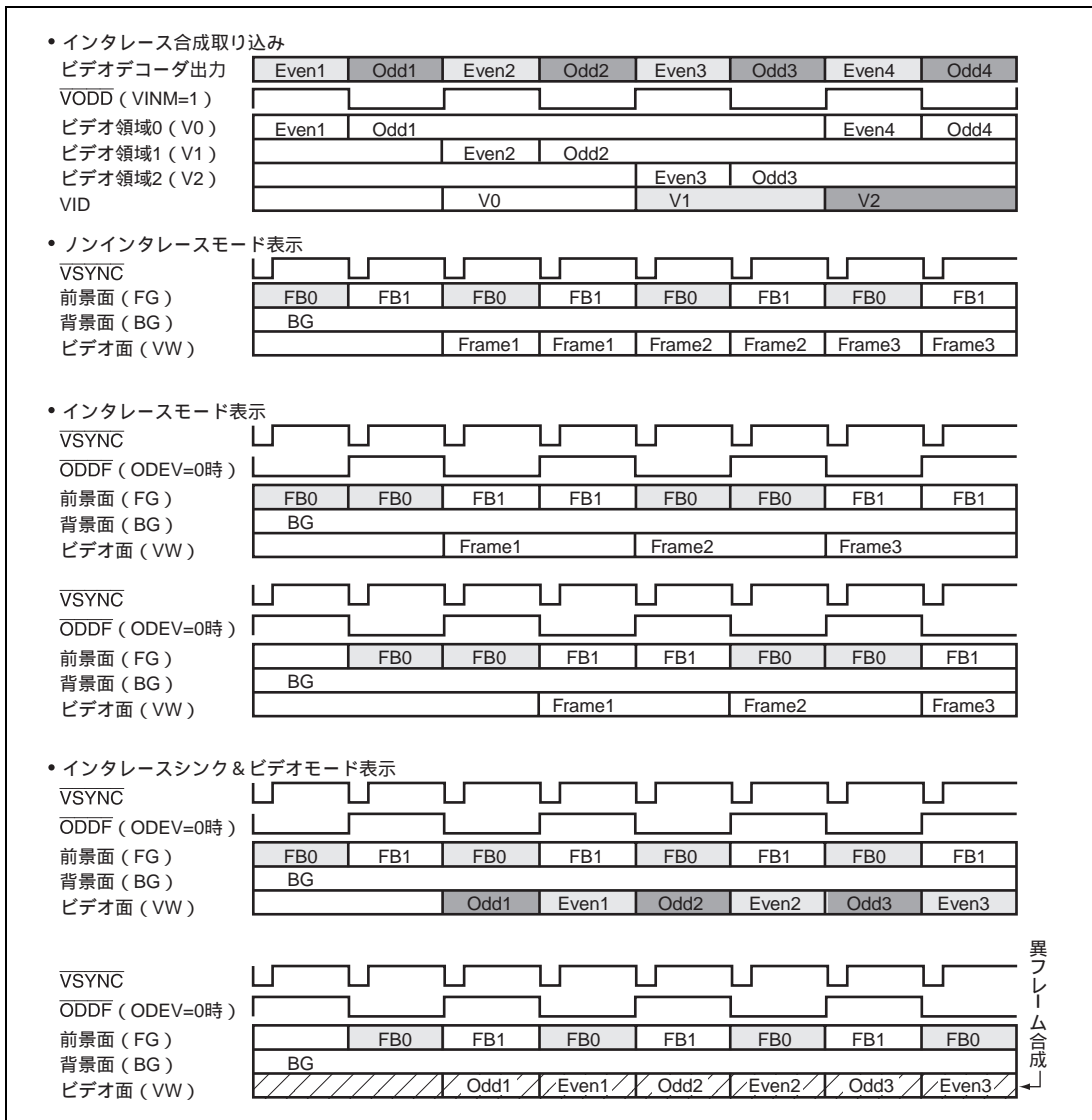


図 3.71 インタレース合成モード取り込みと表示との相関



(3) インタレース奇数取り込みモードと表示走査モードの関係

インタレース奇数取り込みモードは、ビデオデコーダの出力がインタレース形式のとき使用します。ビデオデータは奇数フィールドのデータのみで終了します。ノンインタレースモード表示、インタレースモード表示では問題はありません。インタレースシンク&ビデオモード表示では取り込みとフレームの頭が合わないときは、異フレーム合成を行うことがあります。通常は表示系データとビデオ取り込みデータは非同期なので、異フレーム合成は50%の確率で起きることになります。

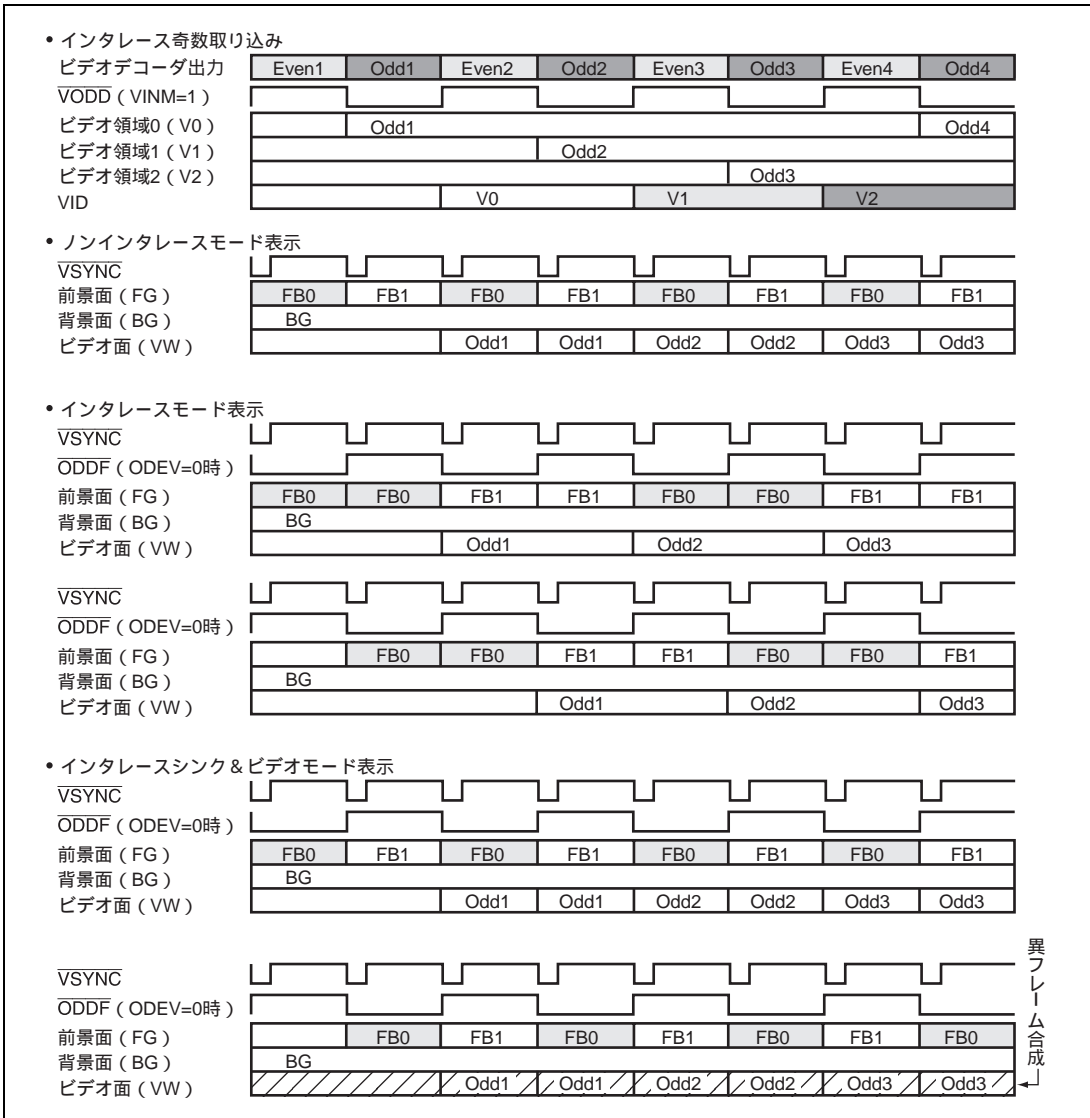


図 3.72 インタレース奇数モード取り込みと表示との相関

### 3. UGM アーキテクチャ

#### (4) インタレース偶数取り込みモードと表示走査モードの関係

インタレース偶数取り込みモードは、ビデオデコーダの出力がインタレース形式のとき使用します。ビデオデータは偶数フィールドのデータのみで終了します。ノンインタレースモード表示、インタレースモード表示では問題はありません。インタレースシンク&ビデオモード表示では取り込みとフレームの頭が合わないときは、異フレーム合成を行うことがあります。通常は表示系データと、ビデオ取り込みデータは非同期なので、異フレーム合成は50%の確率で起きることになります。

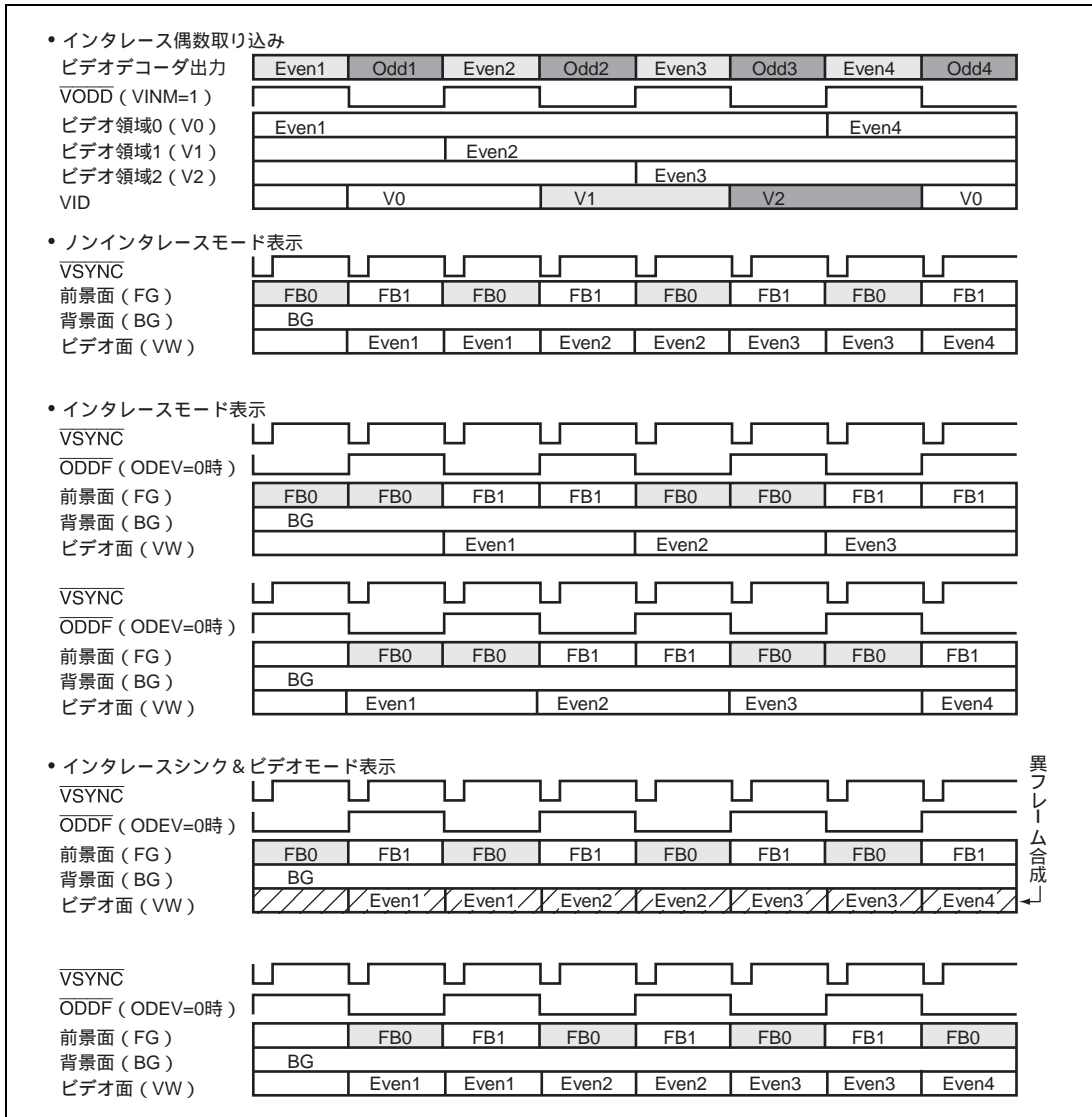


図 3.73 インタレース偶数モード取り込みと表示との相関

(5) ビデオ取り込みモードと表示走査モードの関係

ビデオ取り込みモードと、表示走査モードとの関係を、表 3.12 に示します。

表中の の組み合わせを推奨します。表中の はビデオデコーダの出力をノンインタレースモードにすることで、十分な解像度を得ることができますが、インタレースモードのままを使用する場合は、縦サイズが 1/2 になります（解像度が 1/2 になります）。表中の は、こま落ち（動きがカクカクして見える）や、異フレーム合成（にじみ、急な場面変化でのダブったような画面となる）が起きます。

表 3.12 Q2SD のビデオ取り込みと表示の選択

表示走査モード ビデオ 取り込みモード	ノンインタレース モード表示	インタレースシンク モード表示	インタレースシンク & ビデオモード表示*2
ノンインタレース 取り込み	ビデオデコーダの出力を、 インタレースシンクモード にした場合は、表示サイズに 注意（送り出しの半分のサイ ズになります）。	こま落ちあり ビデオデコーダの出力を、インタ レースシンクモードにした場合 は、表示サイズに注意（送り出 しの半分のサイズになります）。	x 異フレーム合成します。 ビデオデコーダの出力を、イン タレースモードにした場合は、 表示サイズに注意（送り出しの 半分のサイズになります）。
インタレース 合成取り込み	問題なし （ただし、インタレースと同 じ表示状態になります）	問題なし	異フレーム合成あり
インタレース 奇数取り込み	ビデオデコーダの出力を、 インタレースシンクモード にした場合は、表示サイズに 注意（送り出しの半分のサイ ズになります）*1。	ビデオデコーダの出力を、インタ レースシンクモードにした場合 は、表示サイズに注意（送り出 しの半分のサイズになります）*1。	異フレーム合成あり ビデオデコーダの出力を、イン タレースモードにした場合は、 表示サイズに注意（送り出しの 半分のサイズになります）。
インタレース 偶数取り込み	ビデオデコーダの出力を、 インタレースシンクモード にした場合は、表示サイズに 注意（送り出しの半分のサイ ズになります）*1。	ビデオデコーダの出力を、インタ レースシンクモードにした場合 は、表示サイズに注意（送り出 しの半分のサイズになります）*1。	異フレーム合成あり ビデオデコーダの出力を、イン タレースモードにした場合は、 表示サイズに注意（送り出しの 半分のサイズになります）。

【注】 \*1：ビデオデコーダをノンインタレースモードにしたときに、FIELD 信号が出ない場合は不可

\*2：Q2SD のインタレースシンク & ビデオ表示のディスプレイチェンジはフィールドごと（1/60）に行われます。これはビデオ面の VID のチェックをフィールドごと（1/60）に行っているためであり、この表示モードではビデオ取り込みした「同じ面」のデータを偶数フィールドと奇数フィールドに分けては出力しません。つまりビデオで取り込んだ面の半分のデータのみ表示を行って、次のビデオ取り込み面の表示に切り替わってしまいます。このため、フィールドごと（1/60）に 1 面づつの取り込みを行うインタレース取り込みとインタレース奇数取り込み、インタレース偶数取り込みは Y 方向のデータが半分に間引きされてしまいます。これをノンインタレース方式のモニターで表示すると、画面が Y 方向に 1/2 縮小された画面となり、インタレース方式の TV で表示すると違うフレームの偶数フィールドと奇数フィールドが合成された画面となります。また、フレームごと（1/30）に 1 面を構成するインタレース合成取り込みの場合は、取り込みデータと表示データのタイミングが合わない場合が考えられるので、異フレーム間での合成が行われる可能性があります。Q2SD を外部 TV 同期モードにし、ビデオ取り込みの垂直同期信号（VVS）、水平同期信号（VHS）、フィールド信号（VODD）を EXVSYNC、EXHSYNC、ODDF 端子に入力することで同期を取り、回避することができます。

### 3. UGM アーキテクチャ

---

## 4. ディスプレイリスト

表 4.1 コマンド一覧表

種類	コマンド名	機能	掲載ページ
4 頂点面描画	POLYGON4A	レンダリング座標に多値(8または16ビット/画像)ソースを参照しながら、任意の4頂点描画を行います。	4-2
	POLYGON4B	レンダリング座標に2値(1ビット/画像)ソースを参照しながら、任意の4頂点描画を行います。	4-6
	POLYGON4C	レンダリング座標に単色指定で任意の4頂点描画を行います。	4-9
線描画	LINE	レンダリング座標に幅1~5ドットまでの実線を描画します。	4-11
	RLINE	レンダリング座標に幅1~5ドットまでの実線を描画します。	4-13
	PLINE	2値ソースを参照しながら折れ線をレンダリング座標に描画します。	4-15
	RPLINE	2値ソースを参照しながら折れ線をレンダリング座標に描画します。	4-17
ワーク面描画	FTRAP	ワーク座標に多角形を描画します。	4-19
	RFTRAP	ワーク座標に多角形を描画します。	4-21
	CLRW	ワーク座標をゼロクリアします。	4-23
ワーク線描画	LINEW	ワーク座標に1ドット幅の実線を描画します。	4-25
	RLINEW	ワーク座標に1ドット幅の実線を描画します。	4-27
レジスタ設定	MOVE	カレントポインタを設定します。	4-29
	RMOVE	カレントポインタを設定します。	4-31
	LCOFS	レンダリング座標およびワーク座標のオフセット値(ローカルオフセット)を設定します。	4-32
	RLCOFS	ローカルオフセット加算値を設定します。	4-34
	SCLIP	システムクリッピング領域を設定します。	4-36
	UCLIP	ユーザクリッピング領域を設定します。	4-38
	WPR	特定のアドレスマップレジスタに値を設定します。	4-40
シーケンス制御	JUMP	ディスプレイリストのフェッチ先を変更します。	4-42
	GOSUB	ディスプレイリストをサブルーチンコールします。	4-44
	RET	GOSUB コマンドによるサブルーチンコールから復帰します。	4-46
	NOP3	ノーオペレーションです。	4-47
	VBKEM	フレームチェンジタイミングと同期化を行います。	4-48
	TRAP	ディスプレイリストの終了をQ2SDに知らせます。	4-49

## 4. ディスプレイリスト

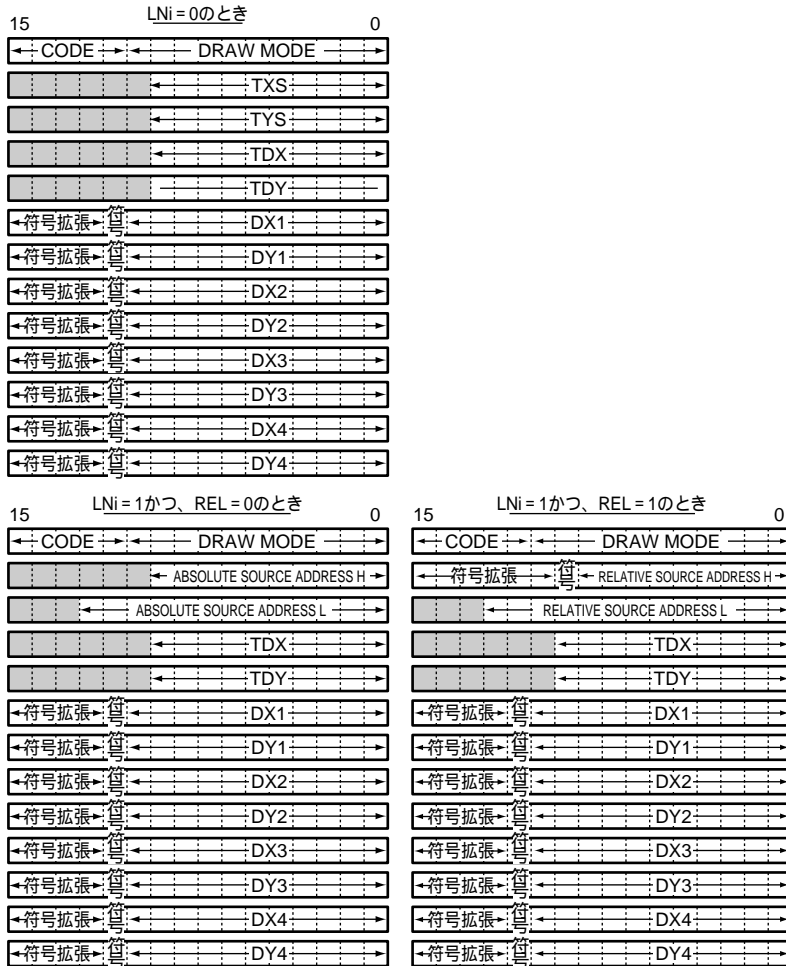
### 4.1 4 頂点面描画コマンド

#### 4.1.1 POLYGON4A

##### (1) 機能

レンダリング座標に多値(8または16ビット/画素)ソースを参照しながら、任意の4頂点描画を行います。

##### (2) コマンドフォーマット



## 1. CODE

B'00000

## 2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
0		A		0	

DRAW MODE										
reserved	TRNS	STYL	CLIP	REL	NET	EOS	FST	LNi	COOF	WORK
0 固定	*	*	0	Z	*	*	0	*	0	*

- 【記号説明】
- 0 : 可
  - V : 可 (ただし、指定カラーは2 値の EOS ビットになります)
  - A : モードにより参照 (WORK=1 のとき有効)
  - \* : モードにより参照 (FST=1 のときには0 を設定してください)
  - Z : モードにより参照 (LNi=0 のときには0 を設定してください)
  - 無印 : 不可 (0 を設定してください)

## 3. コマンドパラメータ

TXS、TYS : ソース開始点

ABSOLUTE/RELATIVE SOURCE ADDRESS H : ソース開始上位アドレス (バイトアドレス)

ABSOLUTE/RELATIVE SOURCE ADDRESS L : ソース開始下位アドレス (バイトアドレス)

TDX、TDY : ソースサイズ

DXn、DYn (n=1~4) : 絶対値、レンダリング座標、負の数は2の補数とします。

## 4. ディスプレイリスト

---

### (3) 説明

多値（8または16ビット/画素）のソースデータを任意の四角形でレンダリング座標に転送します。ソースは必ず水平に走査しますが、描画は外形により斜めに走査することもあります。斜めに走査する描画では、穴埋めを行うために2度書きが生じます。

なお、 $LN_i = 1$  のとき、TDXには8画素の倍数の画素数を設定してください。 $LN_i = 0$  では、TDXに8画素以上の値を画素単位で設定してください。TDXが8画素未満の場合は、多値ソースの参照が正常に行われません。

1. レンダリング属性でソース繰り返し参照（ $STYL = 1$ ）を選択すると、ソースは拡大、縮小せず、繰り返し参照します。
2. レンダリング属性でワーク参照（ $WORK = 1$ ）を選択すると、レンダリング座標と同じ座標のワーク座標を参照しながらワーク座標の画素が1になっているところのみをレンダリング座標に描画します。
3.  $LN_i = 0$  のときは、TXSおよびTYSには、画素単位で設定を行ってください。 $LN_i = 1$  のときは、UGM上のリニアなアドレス空間を多値ソース座標として使用可能です。多値ソース座標については、「3.3.3 座標系（4）多値ソース座標」を参照してください。

なお、 $LN_i = 1$  のときは、ABSOLUTE/RELATIVE SOURCE ADDRESS Hにソースアドレスの上位ビットを、ABSOLUTE/RELATIVE SOURCE ADDRESS Lにソースアドレスの下位ビットを設定してください。ソースアドレスは、 $REL = 0$  のときは絶対アドレスで指定できます。 $REL = 1$  のときは、POLYGON4Aコマンドのコマンドコードが配置されたUGMアドレスからの相対アドレスでソースアドレスを指定できます。絶対アドレスおよび相対アドレスの値は必ず偶数にしてください。相対アドレスが負のときは、2の補数を使用してください。

描画が16ビット/画素のとき、レンダリング属性のCOOFビットに1を設定すると多値ソースデータの値に、COLORレジスタの値を加えた結果が描画されます。演算は飽和处理付で行われます。8ビット/画素のときには、COOFビットは必ず0に設定してください。

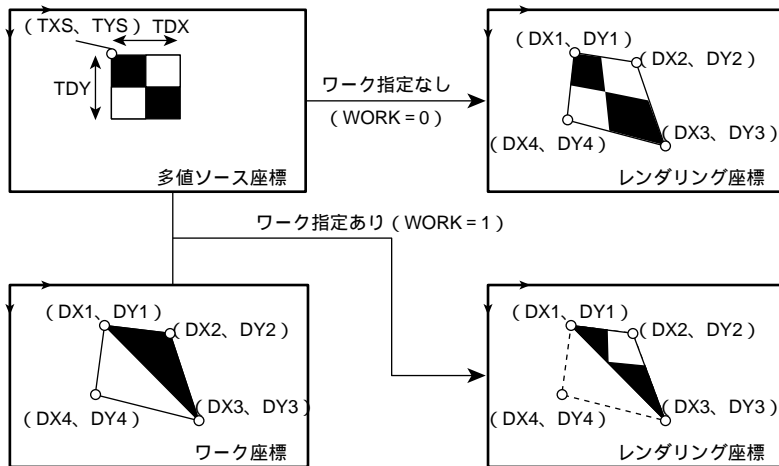


## (4) FST モードについての注意

レジスタ属性の FST ビットを 1 に設定すると、処理が 4 画素単位に行われます。ただし、以下の条件をすべて満たすときのみ正常に動作し、その他の場合の動作は保証されません。これらの条件は内部で判定を行っています。

1. ソースおよびデスティネーションは同サイズの矩形で、 $DX1 = DX4 = 4j - 4$ 、 $DX2 = DX3 = 4k - 1$ 、 $DY1 = DY2$ 、 $DY3 = DY4$ 、 $DX2 - DX1 = 32n - 1$  ( $j, k, n$ は自然数) となるように設定してください。
2. FST=1の場合、CLIPを除く他のレンダリング属性は使用できません。
3. 本コマンドでFST=1で使用する場合は、MOVE、RMOVE、LCOFS、RLCOFSコマンドのいずれかを使用して、クリッピング範囲およびローカルオフセット値を各コマンドの説明に記載されている値に変更した後に使用してください。
4. TXS、TYSは4の倍数を設定してください。
5. 8ビット/画素、16ビット/画素モードで有効です。
6. LCOFS、RLCOFSコマンドにて設定されたローカルオフセットの値は負でない値としてください。

## (5) 例



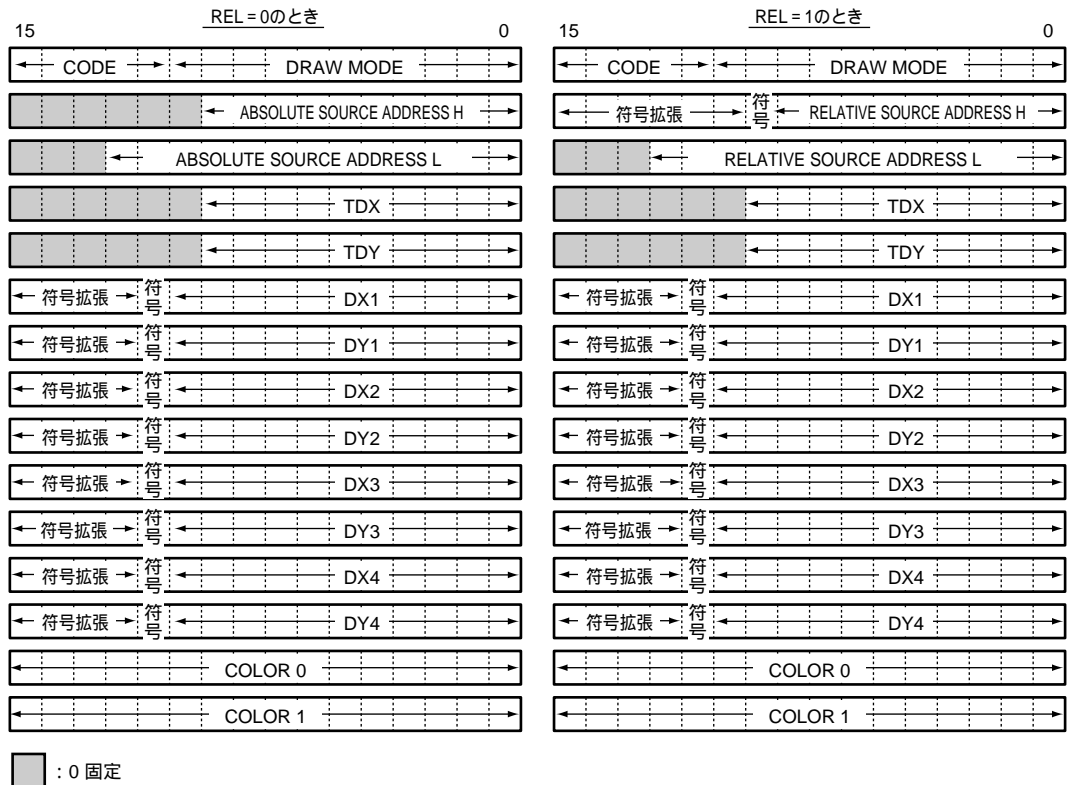
## 4. ディスプレイリスト

### 4.1.2 POLYGON4B

#### (1) 機能

レンダリング座標に2値(1ビット/画素)ソースを参照しながら、任意の4頂点描画を行います。

#### (2) コマンドフォーマット



## 1. CODE

B'00001

## 2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
	0	A		0	

DRAW MODE										
reserved	TRNS	STYL	CLIP	REL	NET	EOS	reserved	reserved	HALF	WORK
0 固定	0	0*	0	0	0	0	0 固定	0 固定	0*	0

- 【記号説明】
- 0 : 可
  - V : 可 (ただし、指定カラーは2 値の EOS ビットになります)
  - A : モードにより参照 (WORK = 1 のとき有効)
  - \* : モードにより参照 (FST = 1 のときには0 を設定してください)
  - Z : モードにより参照 (LNI = 0 のときには0 を設定してください)
  - 無印 : 不可 (0 を設定してください)

【注】 \* STYL ビットと HALF ビットは、同時に 1 に設定できません。

## 3. コマンドパラメータ

ABSOLUTE/ RELATIVE SOURCE ADDRESS H : 1ビット / 画素ソース開始上位アドレス (バイトアドレス)

ABSOLUTE/ RELATIVE SOURCE ADDRESS L : 1ビット / 画素ソース開始下位アドレス (バイトアドレス)

TDX、TDY : ソースサイズ

DX<sub>n</sub>、DY<sub>n</sub> (n = 1 ~ 4) : 絶対値、レンダリング座標、負の数は2の補数とします。

COLOR0、COLOR1 : 8または16ビット / 画素カラー指定

## 4. ディスプレイリスト

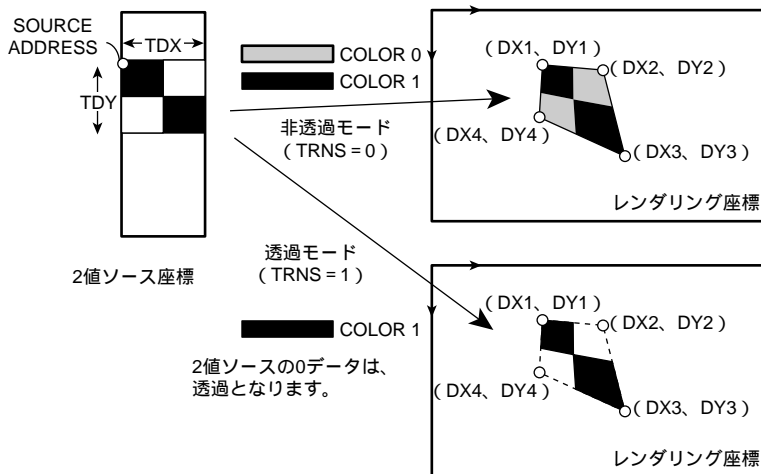
### (3) 説明

2値(1ビット/画素)のソースデータを任意の四角形で、レンダリング領域に、パラメータの COLOR0 および COLOR1 で指定した色で描画します。COLOR0、COLOR1 のデータフォーマットは、「3.2.9 入力データフォーマット」を参照してください。8ビット/画素時のカラー指定(COLOR0、1)には、上位、下位バイトとも同じ8ビットデータを設定してください。ソースは必ず水平に走査しますが、描画は外形により斜めに走査することもあります。斜めに走査する描画では、穴埋めを行うために2度書きが生じます。TDX の値は必ず8画素の倍数の値を設定してください。

- レンダリング属性でソース繰り返し参照(STYL=1)を選択すると、ソースは拡大、縮小せず、繰り返し参照します。
- レンダリング属性でワーク参照(WORK=1)を選択すると、レンダリング座標と同じ座標のワーク座標を参照しながらワーク座標の画素が1になっているところのみをレンダリング座標に描画します。

2値のソースデータは UGM にリニア配置します。ソースアドレスは REL=0 のときは絶対アドレスで指定します。REL=1 のときは、POLYGON4B コマンドのコマンドコードが配置された UGM アドレスからの相対アドレスでソースアドレスを指定します。絶対アドレスおよび相対アドレスの値は必ず偶数にしてください。相対アドレスが負のときは2の補数を使用してください。

### (4) 例

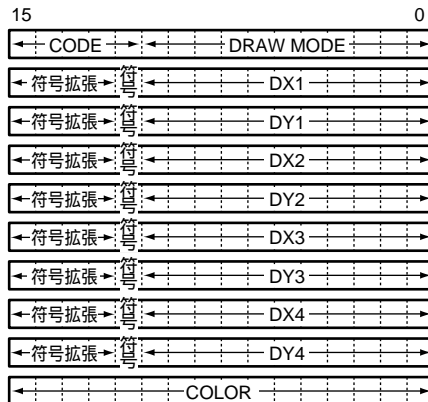


## 4.1.3 POLYGON4C

## (1) 機能

レンダリング座標に単色指定で任意の4頂点描画を行います。

## (2) コマンドフォーマット



## 1. CODE

B'00010

## 2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
		A	O	O	

DRAW MODE										
reserved			CLIP	reserved	NET	EOS	FST	reserved		WORK
0 固定	0 固定	0 固定	O	0 固定	*	*	O	0 固定	0 固定	*

【記号説明】 O : 可

V : 可 (ただし、指定カラーは2 値の EOS ビットになります)

A : モードにより参照 (WORK = 1 のとき有効)

\* : モードにより参照 (FST = 1 のときには0 を設定してください)

Z : モードにより参照 (LNi = 0 のときには0 を設定してください)

無印 : 不可 (0 を設定してください)

## 3. コマンドパラメータ

DXn、DYn (n = 1 ~ 4) : 絶対値、レンダリング座標、負の数は2の補数とします。

COLOR : 8または16ビット / 画素カラー指定

## 4. ディスプレイリスト

---

### (3) 説明

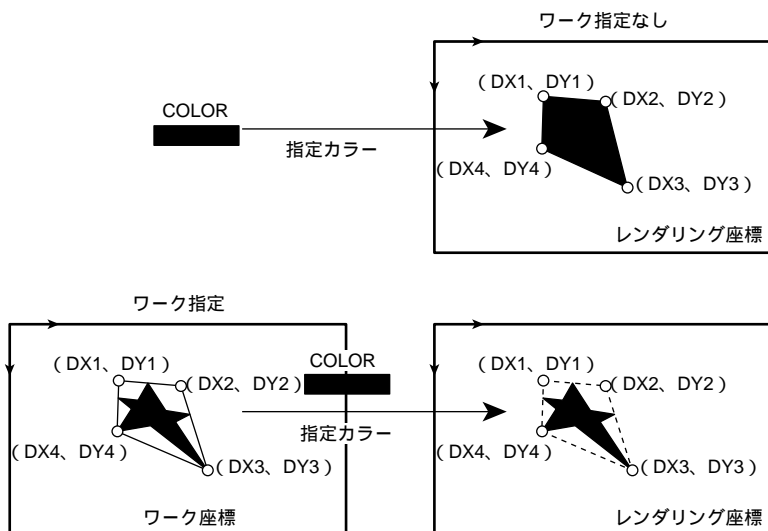
任意の四角形をレンダリング領域に、パラメータの COLOR で指定した単色で描画します。COLOR のデータフォーマットは、「3.2.9 入力データフォーマット」を参照してください。

レンダリング属性でワーク参照 (WORK = 1) を選択した場合、レンダリング座標と同じ座標のワーク座標を参照しながらワーク座標の画素が 1 になっているところのみをレンダリング座標に描画します。

レジスタ属性の FST ビットを 1 に設定すると、処理が 4 画素単位に行われます。ただし、以下の条件をすべて満たすときのみ正常に動作し、その他の場合の動作は保証されません。これらの条件は内部で判定を行っています。

1. ソースおよびデスティネーションは同サイズの矩形で、 $DX1 = DX4 = 4j - 4$ 、 $DX2 = DX3 = 4k - 1$ 、 $DY1 = DY2$ 、 $DY3 = DY4$ 、 $X2 - DX1 = 32n - 1$  ( $j$ 、 $k$ 、 $n$ は自然数)となるように設定してください。
2. FST = 1 の場合、CLIP を除く他のレンダリング属性は使用できません。
3. 本コマンドで FST = 1 で使用する場合は、MOVE、RMOVE、LCOFS、RLCOFS コマンドのいずれかを使用して、クリッピング範囲およびローカルオフセット値を各コマンドの説明に記載されている値に変更した後に使用してください。
4. 8ビット/画素、16ビット/画素モードで有効です。8ビット/画素時のカラー属性には、上位、下位バイトとも同じ8ビットデータを設定してください。
5. LCOFS、RLCOFS コマンドで設定されたローカルオフセットの値は負でない値としてください。

### (4) 例



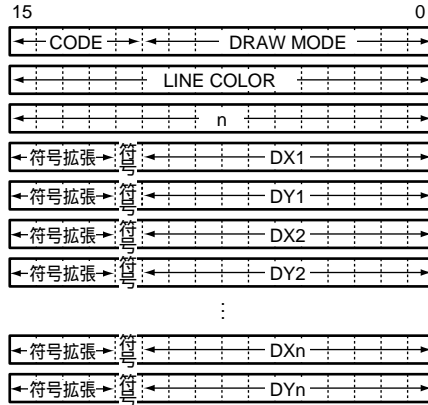
## 4.2 線描画

### 4.2.1 LINE

(1) 機能

レンダリング座標に幅 1~5 ドットまでの実線を描画します。

(2) コマンドフォーマット



1. CODE

B'01100

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
			○	○	

DRAW MODE										
reserved			CLIP	reserved	NET	EOS	FWUL	W2UL	FWDR	W2DR
0 固定	0 固定	0 固定	○	0 固定	○	○	0000 ~ 1111			

【記号説明】 ○ : 可

V : 可 (ただし、指定カラーは 2 値の EOS ビットになります)

A : モードにより参照 (WORK = 1 のとき有効)

\* : モードにより参照 (FST = 1 のときには 0 を設定してください)

Z : モードにより参照 (LNI = 0 のときには 0 を設定してください)

無印 : 不可 (0 を設定してください)

## 4. ディスプレイリスト

---

### 3. コマンドパラメータ

LINE COLOR : 8または16ビット / 画素カラー指定

n (n = 2 ~ 65535) : 頂点数

DXn (n = 2 ~ 65535) : 絶対値、レンダリング座標、負の数は2の補数とします。

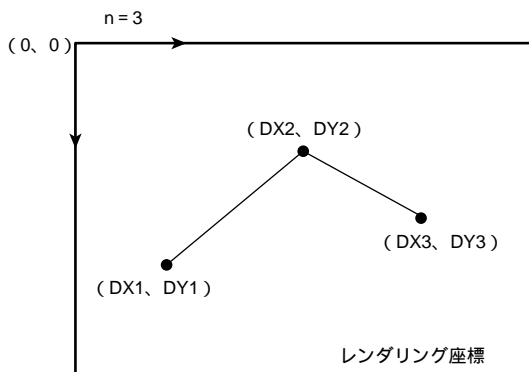
DYn (n = 2 ~ 65535) : 絶対値、レンダリング座標、負の数は2の補数とします。

#### (3) 説明

レンダリング座標に頂点1 (DX1, DY1) から頂点2 (DX2, DY2)、...、頂点 n - 1 (DXn - 1, DYn - 1) を経由し頂点 n (DXn, DYn) まで折れ線をパラメータの LINE COLOR で指定した単色で描画します。LINE COLOR のデータフォーマットは「3.2.9 入力データフォーマット」を参照してください。

【注】 8点法描画です。

#### (4) 例



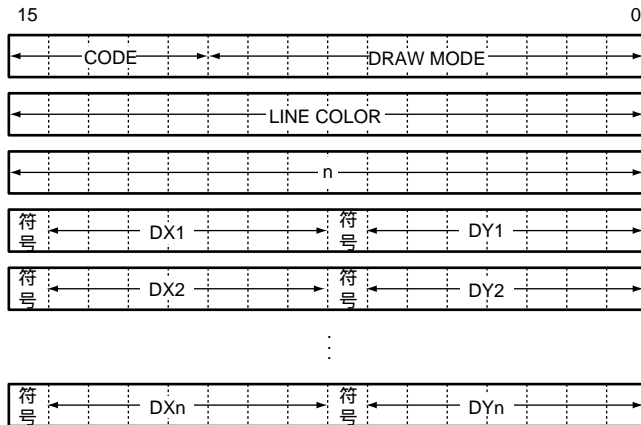


## 4.2.2 RLINE

### (1) 機能

レンダリング座標に幅 1~5 ドットまでの実線を描画します。

### (2) コマンドフォーマット



#### 1. CODE

B'011101

#### 2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
			O	O	

DRAW MODE										
reserved			CLIP	reserved	NET	EOS	FWUL	W2UL	FWDR	W2DR
0 固定	0 固定	0 固定	O	0 固定	O	O	0000 ~ 1111			

- 【記号説明】
- O : 可
  - V : 可 (ただし、指定カラーは 2 値の EOS ビットになります)
  - A : モードにより参照 (WORK=1 のとき有効)
  - \* : モードにより参照 (FST=1 のときには 0 を設定してください)
  - Z : モードにより参照 (LNi=0 のときには 0 を設定してください)
  - 無印 : 不可 (0 を設定してください)

## 4. ディスプレイリスト

---

### 3. コマンドパラメータ

LINE COLOR : 8または16ビット/画素カラー指定

n (n = 1 ~ 65535) : 頂点数

DXn、DYn (n = 1 ~ 65535) : 相対値、レンダリング座標、負の数は2の補数とします。

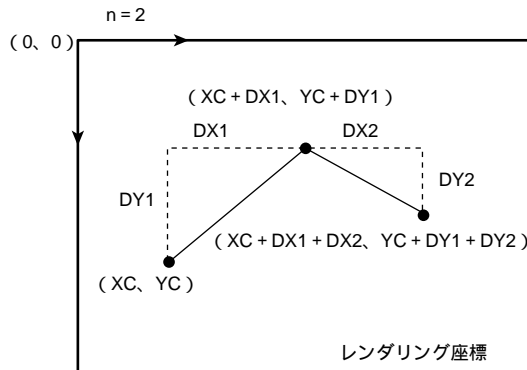
#### (3) 説明

レンダリング座標にカレントポイント(XC、YC)からの相対移動量(DX、DY)で指定した座標への線分(XC、YC) - (XC+DX1、YC+DY1)、(XC+DX1、YC+DY1) - (XC+DX1+DX2、YC+DY1+DY2)、...、(XC+...+DXn-1、YC+...+DYn-1) - (XC+...+DXn-1+DXn、YC+...+DYn-1+DYn)まで折れ線をパラメータのLINE COLORで指定した単色で描画します。LINE COLORのデータフォーマットは「3.2.9 入力データフォーマット」を参照してください。

また、座標最終点はカレントポイント(XC、YC)として記憶されます。

【注】 8点法描画です。

#### (4) 例

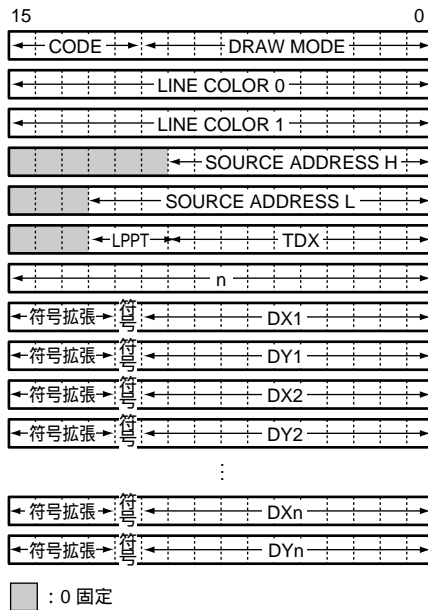


### 4.2.3 PLINE

(1) 機能

2 値ソースを参照しながら折れ線をレンダリング座標に描画します。

(2) コマンドフォーマット



1. CODE

B'01110

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
	0			0	

DRAW MODE										
reserved	TRNS	reserved	CLIP	reserved	NET	EOS	EDG2	reserved	EDG1	reserved
0 固定	0	1 固定	0	0 固定	0	0	0	0 固定	0	1 固定

【記号説明】 O : 可

V : 可 (ただし、指定カラーは2 値の EOS ビットになります)

A : モードにより参照 (WORK = 1 のとき有効)

\* : モードにより参照 (FST = 1 のときには 0 を設定してください)

Z : モードにより参照 (Lni = 0 のときには 0 を設定してください)

無印 : 不可 (0 を設定してください)

## 4. ディスプレイリスト

---

### 3. コマンドパラメータ

LINE COLOR0 : 8または16ビット / 画素カラー指定

LINE COLOR1 : 8または16ビット / 画素カラー指定

SOURCE ADDRESS H : 1ビット / 画素ソース開始上位アドレス (バイトアドレス)

SOURCE ADDRESS L : 1ビット / 画素ソース開始下位アドレス (バイトアドレス)

TDX : ソースサイズ

LPPT : ラインパターンポインタ

n (n = 2 ~ 65535) : 頂点数

DXn (n = 2 ~ 65535) : 絶対値、レンダリング座標、負の数は2の補数とします。

DYn (n = 2 ~ 65535) : 絶対値、レンダリング座標、負の数は2の補数とします。

#### (3) 説明

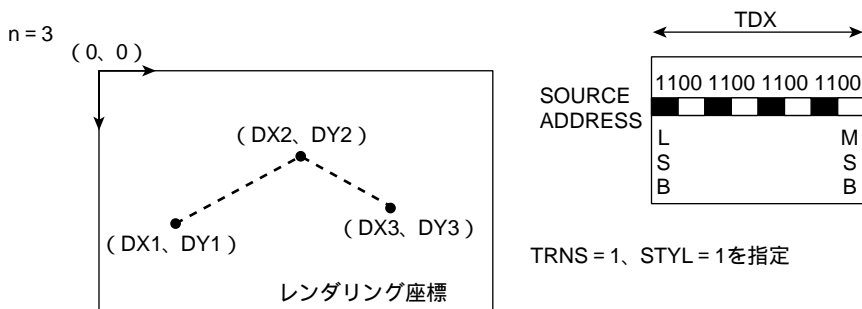
頂点 1 (DX1, DY1) から頂点 2 (DX2, DY2)、...、頂点 n - 1 (DXn - 1, DYn - 1) を経由し頂点 n (DXn, DYn) まで折れ線を描画します。

TDX の値は必ず 8 画素の倍数を設定してください。

ラインパターンポインタに 0~7 の値を設定することにより、2 値ソースデータの参照開始位置を調整することができます。たとえば、0 を設定した場合にはソースデータの最初から、5 を設定した場合には最初の 5 画素分を読み飛ばした位置から参照を開始します。STYL = 1 の場合のパターン繰り返しは、ソース開始位置 + TDX + LPPT - 1 の次の画素からです。ソース開始アドレスは偶数にしてください。

【注】 4 点法描画です。

#### (4) 例

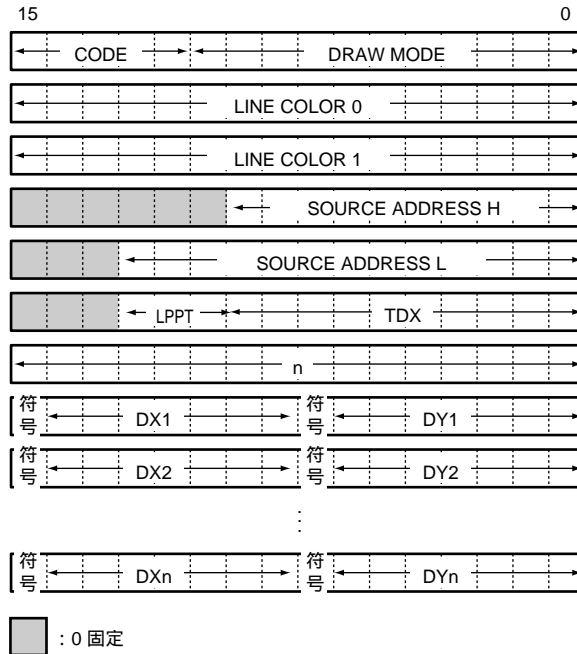


### 4.2.4 RPLINE

(1) 機能

2 値ソースを参照しながら折れ線をレンダリング座標に描画します。

(2) コマンドフォーマット



1. CODE

B'01111

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
	0			0	

DRAW MODE										
reserved	TRNS	reserved	CLIP	reserved	NET	EOS	EDG2	reserved	EDG1	reserved
0 固定	0	1 固定	0	0 固定	0	0	0	0 固定	0	1 固定

- 【記号説明】 V : 可(ただし、指定カラーは2値のEOSビットになります)  
 A : モードにより参照(WORK=1のとき有効)  
 \* : モードにより参照(FST=1のときには0を設定してください)  
 Z : モードにより参照(LNi=0のときには0を設定してください)  
 無印 : 不可(0を設定してください)

## 4. ディスプレイリスト

### 3. コマンドパラメータ

LINE COLOR0 : 8または16ビット / 画素カラー指定

LINE COLOR1 : 8または16ビット / 画素カラー指定

SOURCE ADDRESS H : 1ビット / 画素ソース開始上位アドレス (バイトアドレス)

SOURCE ADDRESS L : 1ビット / 画素ソース開始下位アドレス (バイトアドレス)

LPPT : ラインパターンポインタ

TDX : ソースサイズ

n (n = 1 ~ 65535) : 頂点数

DXn、DYn (n = 1 ~ 65535) : 相対値、レンダリング座標、負の数は2の補数とします。

#### (3) 説明

カレントポイント (XC, YC) からの相対移動量 (DX, DY) で指定した座標への線分 (XC, YC) - (XC + DX1, YC + DY1)、(XC + DX1, YC + DY1) - (XC + DX1 + DX2, YC + DY1 + DY2)、...、(XC + ... + DXn - 1, YC + ... + DYn - 1) - (XC + ... + DXn - 1 + DXn, YC + ... + DYn - 1 + DYn) まで折れ線を描画します。

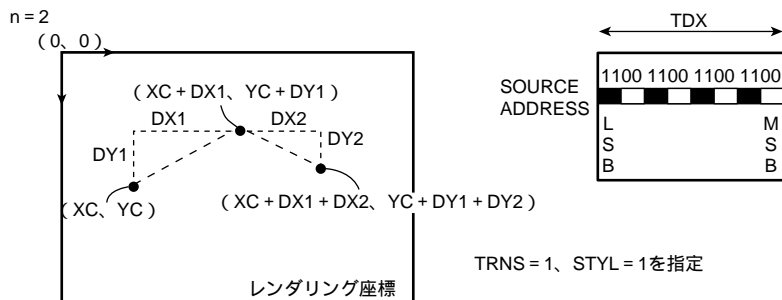
また、座標最終点はカレントポイント (XC, YC) として記憶されます。

TDX の値は必ず 8 画素の倍数を設定してください。

ラインパターンポインタに 0~7 の値を設定することにより、2 値ソースデータの参照開始位置を調整することができます。たとえば、0 を設定した場合にはソースデータの最初から、5 を設定した場合には最初の 5 画素分を読み飛ばした位置から参照を開始します。STYL = 1 の場合のパターン繰り返しは、ソース開始位置 + TDX + LPPT - 1 の次の画素からです。ソース開始アドレスは偶数にしてください。

【注】 4 点法描画です。

#### (4) 例



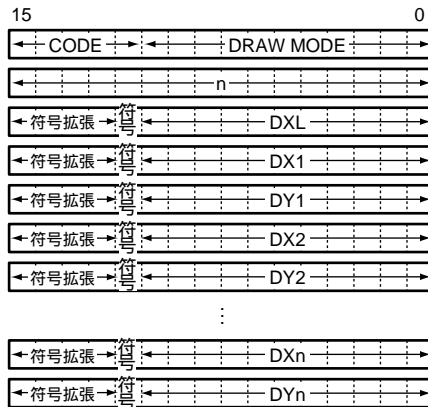
### 4.3 ワーク面描画コマンド

#### 4.3.1 FTRAP

(1) 機能

ワーク座標に多角形を描画します。

(2) コマンドフォーマット



1. CODE

B'01000

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
					○

DRAW MODE										
reserved			CLIP	reserved		EOS	EDG	reserved		
0 固定	0 固定	0 固定	○	0 固定	0 固定	B	○	0 固定	0 固定	0 固定

- 【記号説明】 ○ : 可  
 V : 可 (ただし、指定カラーは 2 値の EOS ビットになります)  
 A : モードにより参照 (WORK = 1 のとき有効)  
 B : モードにより参照 (EDG = 1 のとき有効)  
 \* : モードにより参照 (FST = 1 のときには 0 を設定してください)  
 Z : モードにより参照 (LNI = 0 のときには 0 を設定してください)  
 無印 : 不可 (0 を設定してください)

## 4. ディスプレイリスト

### 3. コマンドパラメータ

$n$  ( $n=2\sim 65535$ ) : 頂点数

DXL : 左側辺座標

$DX_n$  ( $n=2\sim 65535$ ) : 絶対値、ワーク座標、負の数は2の補数とします。

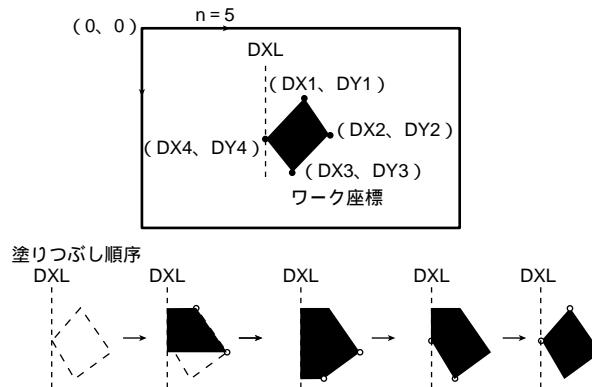
$DY_n$  ( $n=2\sim 65535$ ) : 絶対値、ワーク座標、負の数は2の補数とします。

#### (3) 説明

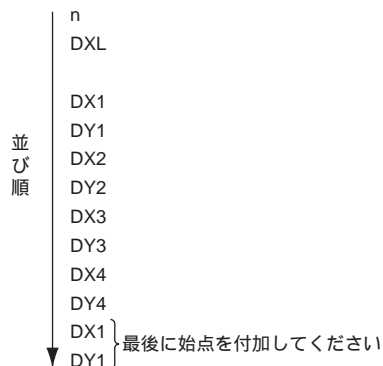
ワーク座標に頂点が  $n - 1$  個の多角形を描画します。X = DXL を左側辺、線分  $(DX_1, DY_1) - (DX_2, DY_2)$ 、 $(DX_2, DY_2) - (DX_3, DY_3)$ 、...、 $(DX_{n-1}, DY_{n-1}) - (DX_n, DY_n)$  を右側辺とする上底および下底が X 軸に平行な台形を  $n - 1$  個ワーク座標に 2 値の EOR で塗りつぶします。ただし、下底の描画は行いません。なお、DXL には、 $DX_1 \sim DX_n$  のうち最小値を設定してください。閉図形になるように  $(DX_n, DY_n) = (DX_1, DY_1)$  としてください。

DRAW MODE の EDG ビットを 1 に設定することにより、塗りつぶした後、縁どりのラインを描画します。ラインの描画データは、EOS ビットで選択します。

#### (4) 例



#### FTRAP のパラメータ並び順



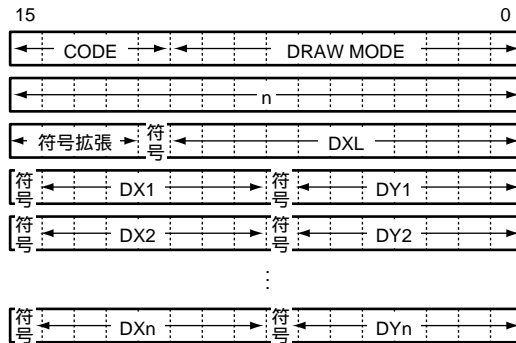


## 4.3.2 RFTRAP

## (1) 機能

ワーク座標に多角形を描画します。

## (2) コマンドフォーマット



## 1. CODE

B'01001

## 2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
					○

DRAW MODE										
reserved			CLIP	reserved		EOS	EDG	reserved		
0 固定	0 固定	0 固定	○	0 固定	0 固定	B	○	0 固定	0 固定	0 固定

- 【記号説明】 ○ : 可  
 V : 可 (ただし、指定カラーは2値のEOSビットになります)  
 A : モードにより参照 (WORK=1 のとき有効)  
 B : モードにより参照 (EDG=1 のとき有効)  
 \* : モードにより参照 (FST=1 のときには0を設定してください)  
 Z : モードにより参照 (LNI=0 のときには0を設定してください)  
 無印 : 不可 (0を設定してください)

## 3. コマンドパラメータ

n (n=1~65535) : 頂点数

DXL : 左側辺座標、ワーク座標、負の数は2の補数とします。

DXn、DYN (n=1~65535) : 相対値、ワーク座標、負の数は2の補数とします。

#### 4. ディスプレイリスト

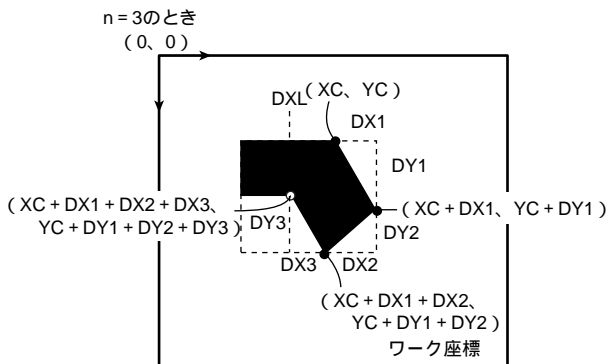
##### (3) 説明

$X = DXL$  を左側辺、カレントポイント  $(XC, YC)$  からの相対移動量  $(DX, DY)$  で指定した座標への線分  $(XC, YC) - (XC + DX1, YC + DY1)$ 、 $(XC + DX1, YC + DY1) - (XC + DX1 + DX2, YC + DY1 + DY2)$ 、...、 $(XC + \dots + DX_{n-1}, YC + \dots + DY_{n-1}) - (XC + \dots + DX_n, YC + \dots + DY_n)$  を右側辺とする上底および下底が  $X$  軸に平行な台形を  $n$  個ワーク座標に 2 値の EOR で塗りつぶします。ただし、下底の描画は行いません。閉図形になるように  $DX1 + DX2 + \dots + DX_n = 0$ 、 $DY1 + DY2 + \dots + DY_n = 0$  としてください。

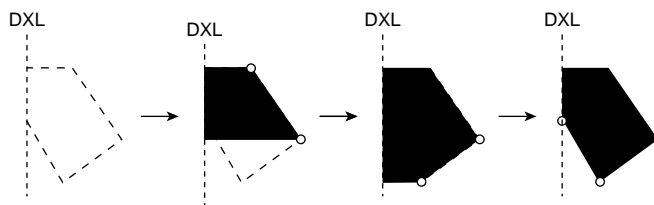
また、座標最終点はカレントポイント  $(XC, YC)$  として記憶されます。閉図形となるように  $DX1 + DX2 + \dots + DX_n = 0$ 、 $DY1 + DY2 + \dots + DY_n = 0$  としてください。

DRAW MODE の EDG ビットを 1 に設定することにより、塗りつぶした後、縁どりのラインを描画します。ラインの描画データは、EOS ビットで選択します。

##### (4) 例



塗りつぶし順序

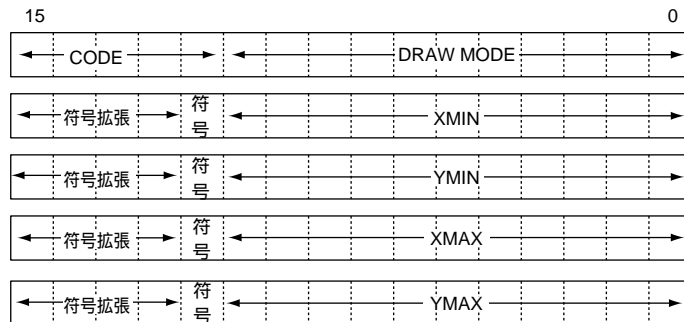


## 4.3.3 CLRW

## (1) 機能

ワーク座標をゼロクリアします。

## (2) コマンドフォーマット



## 1. CODE

B'10100

## 2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
					0

DRAW MODE										
reserved			CLIP	reserved						
0 固定	0 固定	0 固定	0	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

【記号説明】 O : 可

V : 可 (ただし、指定カラーは 2 値の EOS ビットになります)

A : モードにより参照 (WORK=1 のとき有効)

\* : モードにより参照 (FST=1 のときには 0 を設定してください)

Z : モードにより参照 (LNI=0 のときには 0 を設定してください)

無印 : 不可 (0 を設定してください)

## 3. コマンドパラメータ

XMIN、XMAX : 左右 X 座標値、ワーク座標、負の数は 2 の補数とします。

YMIN、YMAX : 上下 Y 座標値、ワーク座標、負の数は 2 の補数とします。

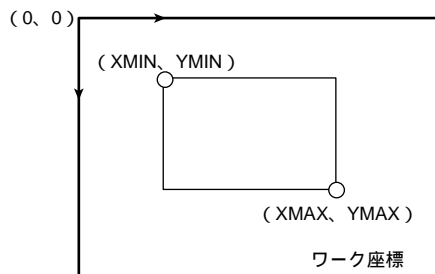
#### 4. ディスプレイリスト

---

(3) 説明

ワーク座標において左上座標 (XMIN, YMIN)、右下座標 (XMAX, YMAX) で指定された領域をゼロクリアします。

(4) 例



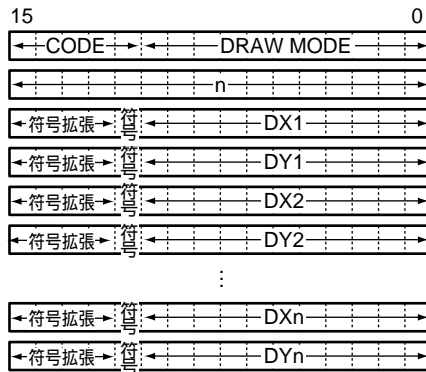
## 4.4 ワーク線描画

### 4.4.1 LINEW

(1) 機能

ワーク座標に1ドット幅の実線を描画します。

(2) コマンドフォーマット



1. CODE

B'01010

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク
			V		O

DRAW MODE										
reserved			CLIP	reserved		EOS	reserved			
0 固定	0 固定	0 固定	O	0 固定	0 固定	O	0 固定	0 固定	0 固定	0 固定

【記号説明】 O : 可

V : 可 (ただし、指定カラーは2 値の EOS ビットになります)

A : モードにより参照 (WORK = 1 のとき有効)

\* : モードにより参照 (FST = 1 のときには0 を設定してください)

Z : モードにより参照 (LNi = 0 のときには0 を設定してください)

無印 : 不可 (0 を設定してください)

## 4. ディスプレイリスト

---

### 3. コマンドパラメータ

$n$  ( $n=2\sim 65535$ ) : 頂点数

$DX_n$  ( $n=2\sim 65535$ ) : 絶対値、ワーク座標、負の数は2の補数とします。

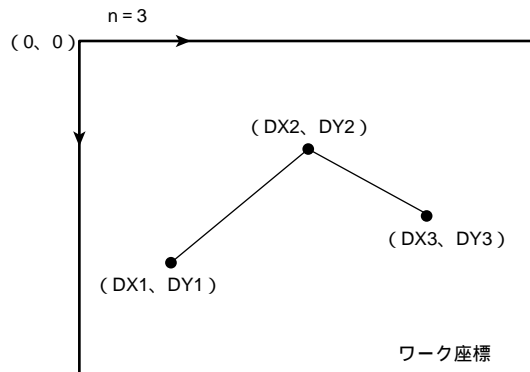
$DY_n$  ( $n=2\sim 65535$ ) : 絶対値、ワーク座標、負の数は2の補数とします。

#### (3) 説明

頂点1 ( $DX_1, DY_1$ ) から頂点2 ( $DX_2, DY_2$ )、...、頂点  $n-1$  ( $DX_{n-1}, DY_{n-1}$ ) を経由し頂点  $n$  ( $DX_n, DY_n$ ) まで折れ線をワーク座標に2値描画します。0 描画か1 描画かの選択は描画モードのEOSビットで行います。EOSビット=0を選択すると0でワーク座標に描画、EOSビット=1を選択すると1でワーク座標に描画します(ワーク座標への多角形塗りつぶし描画図形の縁取り描画に使用します)。

【注】 8点法描画です。

#### (4) 例

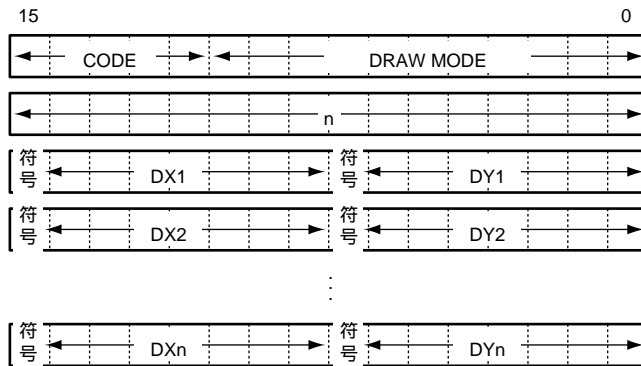


## 4.4.2 RLINEW

## (1) 機能

ワーク座標に1ドット幅の実線を描画します。

## (2) コマンドフォーマット



## 1. CODE

B'01011

## 2. レンダリング属性

参照データ				描画先	
多値ソース	2値ソース	2値ワーク	指定カラー	レンダリング	ワーク
			V		O

DRAW MODE										
reserved			CLIP	reserved		EOS	reserved			
0 固定	0 固定	0 固定	O	0 固定	0 固定	O	0 固定	0 固定	0 固定	0 固定

- 【記号説明】 O : 可  
 V : 可 (ただし、指定カラーは2値のEOSビットになります)  
 A : モードにより参照 (WORK=1のとき有効)  
 \* : モードにより参照 (FST=1のときには0を設定してください)  
 Z : モードにより参照 (LNi=0のときには0を設定してください)  
 無印 : 不可 (0を設定してください)

## 3. コマンドパラメータ

n (n=1~65535) : 頂点数

DXn, DYn (n=1~65535) : 相対値、ワーク座標、負の数は2の補数とします。

#### 4. ディスプレイリスト

---

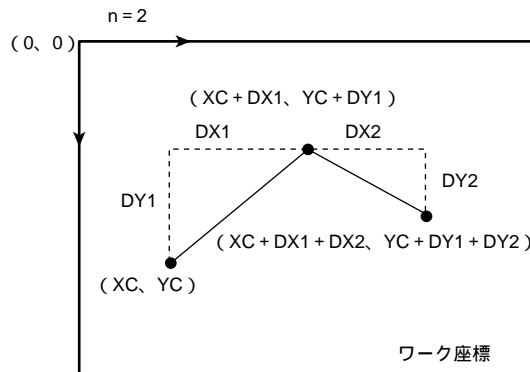
##### (3) 説明

カレントポイント ( $X_C$ ,  $Y_C$ ) からの相対移動量 ( $DX$ ,  $DY$ ) で指定した座標への線分 ( $X_C$ ,  $Y_C$ ) - ( $X_C + DX_1$ ,  $Y_C + DY_1$ )、( $X_C + DX_1$ ,  $Y_C + DY_1$ ) - ( $X_C + DX_1 + DX_2$ ,  $Y_C + DY_1 + DY_2$ )、...、( $X_C + \dots + DX_{n-1}$ ,  $Y_C + \dots + DY_{n-1}$ ) - ( $X_C + \dots + DX_n$ ,  $Y_C + \dots + DY_n$ ) まで折れ線をワーク座標に 2 値描画します。0 描画か 1 描画かの選択はレンダリング属性の EOS ビットで行います。EOS ビット = 0 を選択すると 0 でワーク座標に描画、EOS ビット = 1 を選択すると 1 でワーク座標に描画します。

また、座標最終点はカレントポイント ( $X_C$ ,  $Y_C$ ) として記憶されます (ワーク座標への多角形塗りつぶし描画図形の縁取り描画に使用します)。

【注】 8 点法描画です。

##### (4) 例





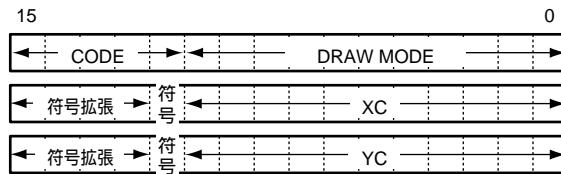
## 4.5 レジスタ設定コマンド

### 4.5.1 MOVE

#### (1) 機能

カレントポインタを設定します。

#### (2) コマンドフォーマット



#### 1. CODE

B'10000

#### 2. レンダリング属性

参照データ				描画先	
多値ソース	2値ソース	2値ワーク	指定カラー	レンダリング	ワーク

DRAW MODE									
reserved									
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

【記号説明】 O : 可

V : 可 (ただし、指定カラーは2値のEOSビットになります)

A : モードにより参照 (WORK=1のとき有効)

\* : モードにより参照 (FST=1のときには0を設定してください)

Z : モードにより参照 (LNI=0のときには0を設定してください)

無印: 不可 (0を設定してください)

#### 3. コマンドパラメータ

XC: 絶対値、レンダリング座標、ワーク座標、負の数は2の補数とします。

YC: 絶対値、レンダリング座標、ワーク座標、負の数は2の補数とします。

## 4. ディスプレイリスト

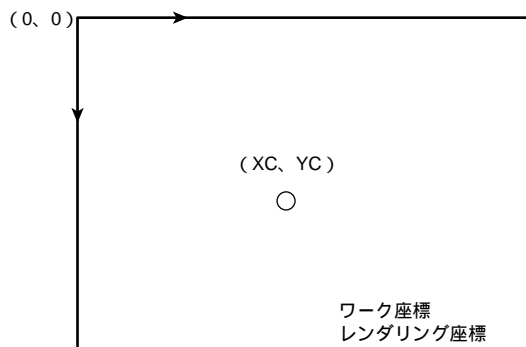
---

### (3) 説明

XC、YC にローカルオフセット値を加算した値をカレントポイントに設定します。また、XC および YC は、絶対座標で設定します。なお、カレントポイントは相対系描画コマンドのみで使用します。

MOVE コマンド発行後は、相対系描画コマンドを連続で使用してください。途中で絶対系描画コマンドを使用した場合、カレントポイントを内部の演算用のレジスタとして使用し、カレントポイントの値を破壊します。そのため、再度相対系描画コマンドを使用する場合は、MOVE コマンドを発行してから使用してください。

### (4) 例

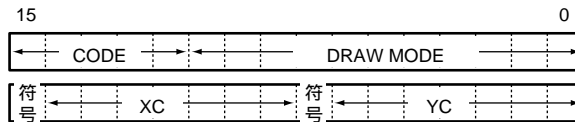


## 4.5.2 RMOVE

### (1) 機能

カレントポイントを設定します。

### (2) コマンドフォーマット



#### 1. CODE

B'10001

#### 2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク

DRAW MODE										
reserved										
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

【記号説明】 O : 可

V : 可 (ただし、指定カラーは2値のEOSビットになります)

A : モードにより参照 (WORK=1 のとき有効)

\* : モードにより参照 (FST=1 のときには0を設定してください)

Z : モードにより参照 (LNI=0 のときには0を設定してください)

無印 : 不可 (0を設定してください)

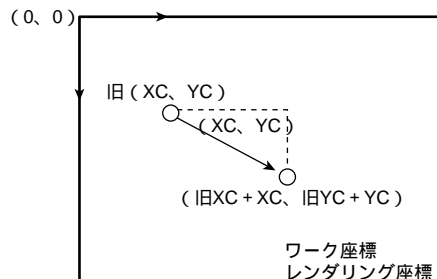
#### 3. コマンドパラメータ

XC、YC : 相対値、レンダリング座標、ワーク座標、負の数は2の補数とします。

### (3) 説明

カレントポイントに XC、YC を加算します。

### (4) 例



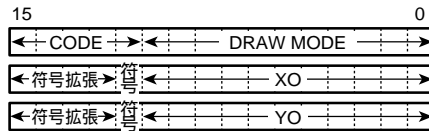
## 4. ディスプレイリスト

### 4.5.3 LCOFS

#### (1) 機能

レンダリング座標およびワーク座標のオフセット値（ローカルオフセット）を設定します。

#### (2) コマンドフォーマット



#### 1. CODE

B'10010

#### 2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク

DRAW MODE									
reserved									
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

【記号説明】 O : 可

V : 可（ただし、指定カラーは2 値の EOS ビットになります）

A : モードにより参照（WORK=1 のとき有効）

\* : モードにより参照（FST=1 のときには0を設定してください）

Z : モードにより参照（LNi=0 のときには0を設定してください）

無印 : 不可（0を設定してください）

#### 3. コマンドパラメータ

XO、YO : ローカルオフセット値絶対指定、レンダリング座標、ワーク座標、負の数は2の補数とします。

## (3) 説明

ローカルオフセットを設定した以降の描画コマンドで指定した座標は、すべてこのオフセット値が加算されます。

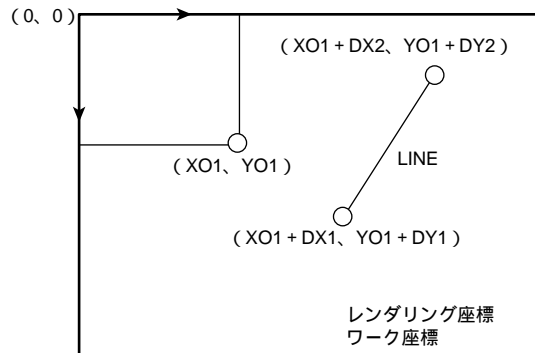
ディスプレイリストの先頭で必ず設定してください（初期値は不定です）。

カレントポイントにローカルオフセットを反映したい場合は、LCOFS コマンドの後で MOVE コマンドを発行してください。

FST 指定を使用するコマンドを使う場合、XO には 4 の倍数を設定してください。

さらに、XO、YO 共に負でない値を使用してください。

## (4) 例



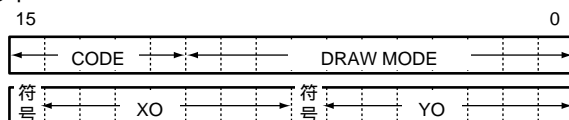
## 4. ディスプレイリスト

### 4.5.4 RLCOFS

#### (1) 機能

ローカルオフセット加算値を設定します。

#### (2) コマンドフォーマット



#### 1. CODE

B'10011

#### 2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク

DRAW MODE									
reserved									
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

- 【記号説明】 O : 可  
 V : 可 (ただし、指定カラーは 2 値の EOS ビットになります)  
 A : モードにより参照 (WORK = 1 のとき有効)  
 \* : モードにより参照 (FST = 1 のときには 0 を設定してください)  
 Z : モードにより参照 (LNI = 0 のときには 0 を設定してください)  
 無印 : 不可 (0 を設定してください)

#### 3. コマンドパラメータ

XO、YO : ローカルオフセット値相対指定、レンダリング座標、ワーク座標、負の数は 2 の補数とします。

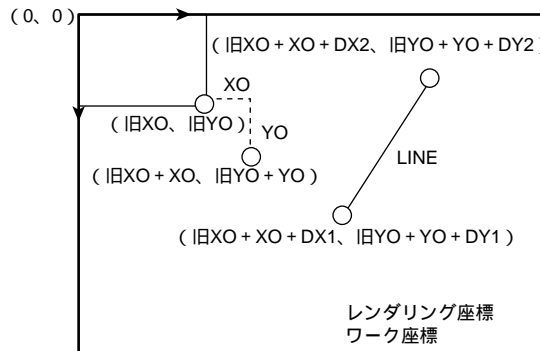
## (3) 説明

ローカルオフセットに  $XO$ 、 $YO$  を加算した値をローカルオフセットとします。これを設定した以降の描画コマンドで指定した座標は、すべてこのオフセット値が加算されます。

また、カレントポイントにローカルオフセット値を反映したい場合は、 $LCOFS$ 、 $RLCOFS$  コマンドでローカルオフセットを設定した後に、 $MOVE$  コマンドを実行するようにしてください。

$FST$  指定を使用するコマンドを使う場合、ローカルオフセットに  $XO$  を加算した値が4の倍数となるようにしてください。さらに、 $XO$ 、 $YO$  にて設定されたローカルオフセットの値が負にならないようにしてください。

## (4) 例



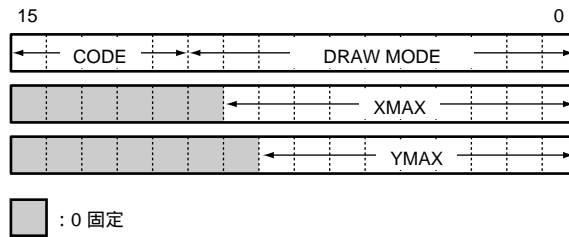
## 4. ディスプレイリスト

### 4.5.5 SCLIP

#### (1) 機能

システムクリッピング領域を設定します。

#### (2) コマンドフォーマット



#### 1. CODE

B'10111

#### 2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク

DRAW MODE										
reserved										
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

- 【記号説明】 O : 可  
 V : 可 (ただし、指定カラーは 2 値の EOS ビットになります)  
 A : モードにより参照 (WORK = 1 のとき有効)  
 \* : モードにより参照 (FST = 1 のときには 0 を設定してください)  
 Z : モードにより参照 (LNI = 0 のときには 0 を設定してください)  
 無印 : 不可 (0 を設定してください)

#### 3. コマンドパラメータ

XMAX : 左右X座標値、レンダリング座標、ワーク座標

YMAX : 上下Y座標値、レンダリング座標、ワーク座標



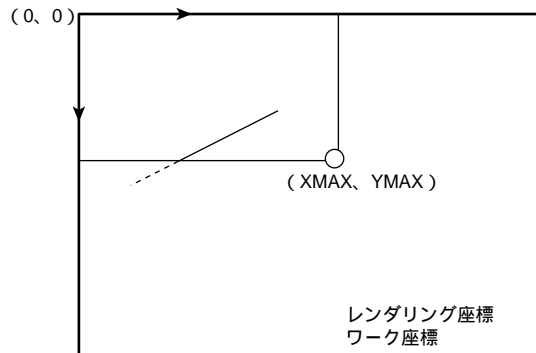
## (3) 説明

レンダリング座標、およびワーク座標において、左上座標  $(0, 0)$ 、右下座標  $(XMAX, YMAX)$  で指定された領域をシステムクリッピング領域に設定します。なお、このコマンドで設定した座標には、LCOFS または RLCOFS コマンドで設定したローカルオフセット値は加算されません。

描画範囲の最大値を  $XMAX$  および  $YMAX$  に設定してください。なお、電源投入後のクリッピング範囲の初期値は不定値となります。このため、最初の実行させるディスプレイリストの先頭で SCLIP コマンドにてクリッピング範囲を設定してください。

FST 指定を使用するコマンドを使う場合、 $XMAX$  は 4 の倍数 - 1 を設定してください。

## (4) 例



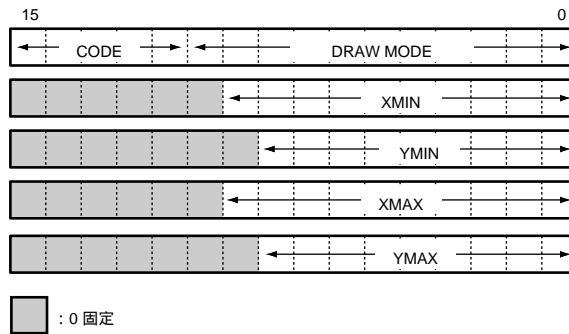
## 4. ディスプレイリスト

### 4.5.6 UCLIP

(1) 機能

ユーザクリッピング領域を設定します。

(2) コマンドフォーマット



1. CODE

B'10101

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク

DRAW MODE										
reserved										
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

- 【記号説明】 O : 可  
 V : 可 (ただし、指定カラーは 2 値の EOS ビットになります)  
 A : モードにより参照 (WORK = 1 のとき有効)  
 \* : モードにより参照 (FST = 1 のときには 0 を設定してください)  
 Z : モードにより参照 (Lni = 0 のときには 0 を設定してください)  
 無印 : 不可 (0 を設定してください)

3. コマンドパラメータ

XMIN、XMAX : 左右 X 座標値、レンダリング座標、ワーク座標

YMIN、YMAX : 上下 Y 座標値、レンダリング座標、ワーク座標

## (3) 説明

レンダリング座標、およびワーク座標において、左上座標 (XMIN, YMIN)、右下座標 (XMAX, YMAX) で指定された領域をユーザクリッピング領域に設定します。なお、このコマンドで設定した座標には、LCOFS または RLCOFS コマンドで設定したローカルオフセット値は加算されません。

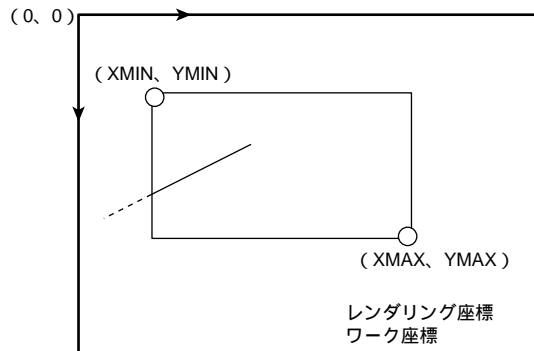
必ず  $XMIN < XMAX$ 、 $YMIN < YMAX$  となる値を設定してください。

システムクリッピング領域を超えないように設定してください。

CLIP=1 のとき有効です。

FST 指定を使用するコマンドを使う場合、XMIN は 4 の倍数、XMAX は 4 の倍数 - 1 を設定してください。

## (4) 例



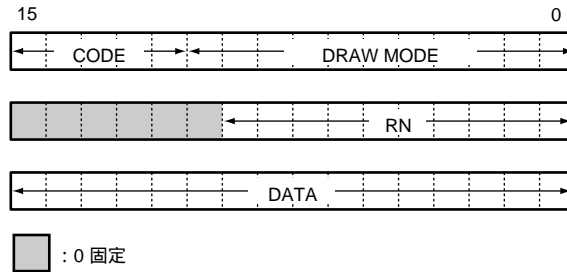
## 4. ディスプレイリスト

### 4.5.7 WPR

#### (1) 機能

特定のアドレスマップレジスタに値を設定します。

#### (2) コマンドフォーマット



#### 1. CODE

B'10110

#### 2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク

DRAW MODE										
reserved										
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

【記号説明】 O : 可

V : 可 (ただし、指定カラーは 2 値の EOS ビットになります)

A : モードにより参照 (WORK = 1 のとき有効)

\* : モードにより参照 (FST = 1 のときには 0 を設定してください)

Z : モードにより参照 (LNI = 1 のときには 0 を設定してください)

無印 : 不可 (0 を設定してください)

#### 3. パラメータ

RN : レジスタ番号

DATA : データ

## (3) 説明

Q2SD のアドレスマップレジスタにデータを書き込みます。レジスタ番号は RN に、書き込むデータは DATA に設定します。

本コマンドにてアドレスマップレジスタに書き込みを行うときは、実行中の描画処理等に悪影響を与えないタイミングで行ってください。

また、SuperH からのアクセス競合が起こらないようにしてください。

本コマンドは主に次の内容を行うためのコマンドです。

- 表示開始アドレスおよび描画開始アドレスの変更 (RN = 00A、00B、04C)
- 多値ソースおよびワークの開始アドレスの変更 (RN = 00E、00F)
- グラフィックビットモードの変更 (RN = 006)
- 描画の中断を行った後、再開処理を行う際のリターンアドレスの設定 (RN = 04A、04B)
- 描画処理を行う際の描画色のオフセット値の変更 (RN = 04D)

このため、書き込みを行えるレジスタは、以下のものに限定します。他のレジスタに対して書き込みを行った場合、その後の動作は保証されません。

RN	レジスタアドレス	名称
00A :	H'014	DSA0
00B :	H'016	DSA1
00E :	H'01C	SSAR
00F :	H'01E	WSAR
04C :	H'098	RSAR
006 :	H'00C	REMR
04A :	H'094	RTNH
04B :	H'096	RTNL
04D :	H'09A	COLOR

## 4. ディスプレイリスト

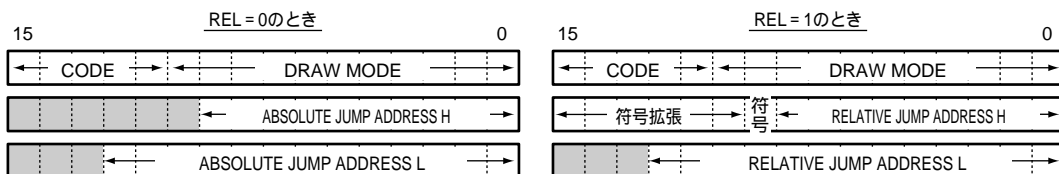
### 4.6 シーケンス制御コマンド

#### 4.6.1 JUMP

##### (1) 機能

ディスプレイリストのフェッチ先を変更します。

##### (2) コマンドフォーマット



: 0 固定

##### 1. CODE

B'11000

##### 2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク

DRAW MODE										
reserved				REL	reserved					
0 固定	0 固定	0 固定	0 固定	0	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

【記号説明】 O : 可

V : 可 (ただし、指定カラーは 2 値の EOS ビットになります)

A : モードにより参照 (WORK = 1 のとき有効)

\* : モードにより参照 (FST = 1 のときには 0 を設定してください)

Z : モードにより参照 (LNI = 0 のときには 0 を設定してください)

無印 : 不可 (0 を設定してください)

##### 3. コマンドパラメータ

ABSOLUTE/RELATIVE JUMP ADDRESS H : 絶対 / 相対ジャンプ先上位アドレス (バイトアドレス)

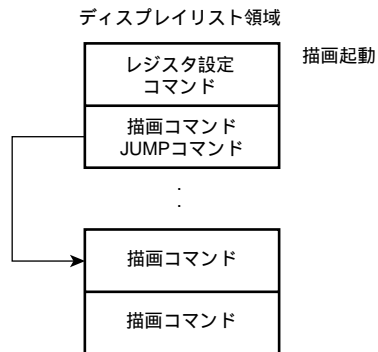
ABSOLUTE/RELATIVE JUMP ADDRESS L : 絶対 / 相対ジャンプ先下位アドレス (バイトアドレス)

## (3) 説明

ディスプレイリストのフェッチ先を指定するアドレスに変更します。

ジャンプ先アドレスは、REL=0 のとき、絶対アドレスで指定できます。REL=1 のときは、コマンドコードが配置されている UGM アドレスからの相対アドレスで指定できます。絶対アドレスおよび相対アドレスの値は偶数にしてください。相対アドレスが負のときは2の補数を使用してください。

## (4) 例



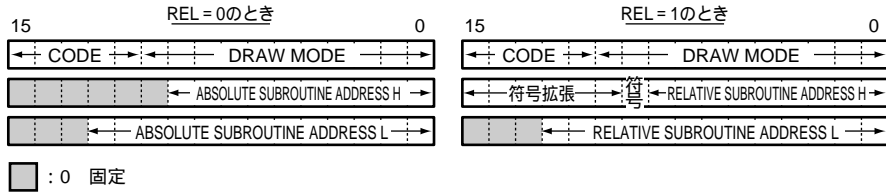
## 4. ディスプレイリスト

### 4.6.2 GOSUB

#### (1) 機能

ディスプレイリストをサブルーチンコールします。

#### (2) コマンドフォーマット



#### 1. CODE

B'11001

#### 2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク

DRAW MODE										
reserved				REL	reserved					
0 固定	0 固定	0 固定	0 固定	0	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

【記号説明】 O : 可

V : 可 (ただし、指定カラーは2値のEOSビットになります)

A : モードにより参照 (WORK=1のとき有効)

\* : モードにより参照 (FST=1のときには0を設定してください)

Z : モードにより参照 (LNi=0のときには0を設定してください)

無印 : 不可 (0を設定してください)

#### 3. コマンドパラメータ

ABSOLUTE/RELATIVE SUBROUTINE ADDRESS H : 絶対 / 相対サブルーチン上位アドレス

(バイトアドレス)

ABSOLUTE/RELATIVE SUBROUTINE ADDRESS L : 絶対 / 相対サブルーチン下位アドレス

(バイトアドレス)

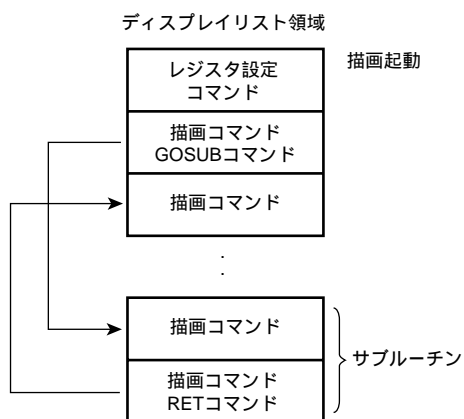


## (3) 説明

ディスプレイリストのフェッチ先を指定するサブルーチンアドレスに変更します。RET 命令により、フェッチアドレスは復帰します。ただし、多重度（ネスト）は 1 なので、サブルーチンの中でサブルーチンコールをすると復帰できなくなります。

サブルーチンアドレスは、REL=0 のとき、絶対アドレスで指定できます。REL=1 のときは、コマンドコードが配置されている UGM アドレスからの相対アドレスで指定できます。絶対アドレスおよび相対アドレスの値は偶数にしてください。相対アドレスが負のときは、2 の補数を使用してください。

## (4) 例



## 4. ディスプレイリスト

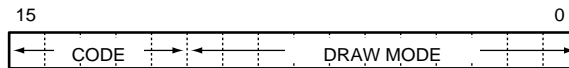
---

### 4.6.3 RET

(1) 機能

GOSUB コマンドによるサブルーチンコールから復帰します。

(2) コマンドフォーマット



1. CODE

B'11011

2. レンダリング属性

参照データ				描画先	
多値ソース	2 値ソース	2 値ワーク	指定カラー	レンダリング	ワーク

DRAW MODE									
reserved									
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

- 【記号説明】
- O : 可
  - V : 可 (ただし、指定カラーは 2 値の EOS ビットになります)
  - A : モードにより参照 (WORK = 1 のとき有効)
  - \* : モードにより参照 (FST = 1 のときには 0 を設定してください)
  - Z : モードにより参照 (LNI = 0 のときには 0 を設定してください)
  - 無印 : 不可 (0 を設定してください)

(3) 説明

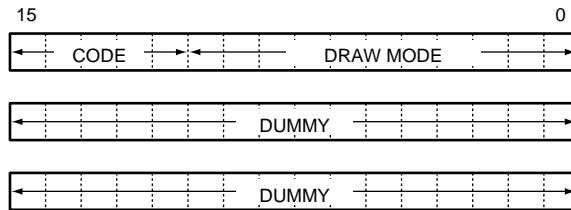
ディスプレイリストのフェッチ先をサブルーチンコール元の次アドレスに復帰させます。

## 4.6.4 NOP3

## (1) 機能

ノーオペレーションを実行します。

## (2) コマンドフォーマット



## 1. CODE

B'11110

## 2. レンダリング属性

参照データ				描画先	
多値ソース	2値ソース	2値ワーク	指定カラー	レンダリング	ワーク

DRAW MODE											
reserved											
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

- 【記号説明】 O : 可  
 V : 可 (ただし、指定カラーは2値のEOSビットになります)  
 A : モードにより参照 (WORK = 1 のとき有効)  
 \* : モードにより参照 (FST = 1 のときには0を設定してください)  
 Z : モードにより参照 (LNi = 0 のときには0を設定してください)  
 無印 : 不可 (0を設定してください)

## (3) 説明

何の動作もしません。コマンドコードも含めて3ワードで構成され、何も処理せず、次の命令をフェッチします。

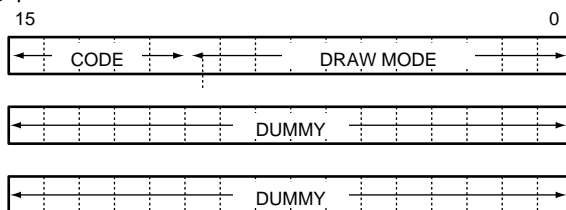
## 4. ディスプレイリスト

### 4.6.5 VBKEM

#### (1) 機能

フレームチェンジタイミングとの同期化を行います。

#### (2) コマンドフォーマット



##### 1. CODE

B'11010

##### 2. レンダリング属性

参照データ				描画先	
多値ソース	2値ソース	2値ワーク	指定カラー	レンダリング	ワーク

DRAW MODE											
reserved											
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

- 【記号説明】 O : 可  
 V : 可 (ただし、指定カラーは2値のEOSビットになります)  
 A : モードにより参照 (WORK = 1 のとき有効)  
 \* : モードにより参照 (FST = 1 のときには0を設定してください)  
 Z : モードにより参照 (LNi = 1 のときには0を設定してください)  
 無印: 不可 (0を設定してください)

#### (3) 説明

本コマンドが実行されると、フレームチェンジのタイミングまで描画動作を待機させます。そして、フレームチェンジタイミングを経過した時点で、次のコマンドへ制御が移ります。フレームチェンジのタイミングはノンインタレース、インタレースシンク&ビデオモードではVBKごとに、インタレースシンクモードではFRMごとになります。

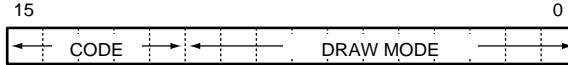
なお、オートディスプレイチェンジモードでは本コマンドを使用することはできません。

### 4.6.6 TRAP

(1) 機能

ディスプレイリストの終了を Q2SD に知らせます。

(2) コマンドフォーマット



1. CODE

B'11111

2. レンダリング属性

参照データ				描画先	
多値ソース	2値ソース	2値ワーク	指定カラー	レンダリング	ワーク

DRAW MODE									
reserved									
0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定	0 固定

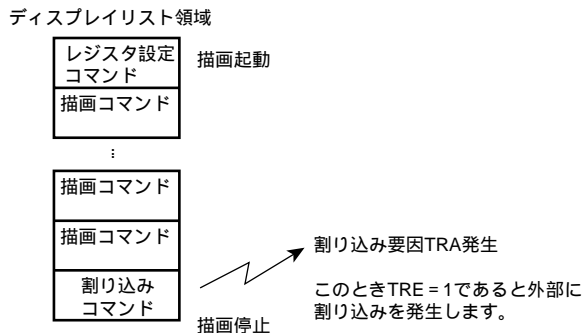
- 【記号説明】
- O : 可
  - V : 可 (ただし、指定カラーは2値のEOSビットになります)
  - A : モードにより参照 (WORK = 1 のとき有効)
  - \* : モードにより参照 (FST = 1 のときには0を設定してください)
  - Z : モードにより参照 (LNi = 0 のときには0を設定してください)
  - 無印 : 不可 (0を設定してください)

(3) 説明

描画動作を停止し、ステータスレジスタ (SR) の TRA を 1 にします。また、割り込み許可レジスタ (IER) の TRE を 1 にした場合に、CPU に対し割り込みを発生します。

ディスプレイリストの終了に必ず入れてください。

(4) 例



#### 4. ディスプレイリスト

---

# 5. レジスタ

## 5.1 レジスタ一覧

表 5.1 レジスタマップ

レジスタアドレス	R/W	レジスタ名	略称	データ																描寫 ページ				
				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
000	R/W	シフトサム制御	SYSR	SRES	DRES	DEN		RBRK	DC	RS	DBM1	DBM0	DMA1	DMA0	DA1	DA0	4							
002	R	ステータス	SR	TVR	FRM	DMF	CER	VBK	TRA	CSF	DBF	BRK	FEMP	Q3	Q2	Q1	Q0	8						
004	W	ステータスレジスタクリア	SRCLR	TVCL	FRCL	DMCL	CECL	VBCL	TRCL	CSCL		BRCL					11							
006	R/W	割り込み許可	IER	TVE	FRE	DME	CEE	VBE	TRE	CSE		BRE					12							
008	R/W	メモリーモード	MEMR														14							
00A	R/W	表示モード	DSMR	FLT			WRAP	BG			TVM1	TVM0	SCM1	SCM0	REF3	REF2	REF1	REF0	15					
00C	R/W	レンジリングモード	REMR	RSAE													GBM2	GBM1	GBM0	20				
00E	R/W	入力データ変換モード	IEMR														YUV2	MDTP	DTP	YUV1	YUV0	22		
010	R/W	表示サイズ															DSX					27		
012	R/W		DSR														DSY							
014	R/W	表示開始アドレス															DSA0					28		
016	R/W		DSAR														DSA1							
018	R/W	ディスプレイリセット開始アドレス	DLSAR														DLSAH						29	
01C	R/W	多進ソース領域開始アドレス	SSAR	SSAL													SSAH							
01E	R/W	ワーク領域開始アドレス	WSAR	WSAL													WSAH						30	
020	R/W	DMA転送開始アドレス	DMASR														DMASL						50	
022	R/W		DMASR														DMASL							
024	R/W	DMA転送語数	DMAWR														DMAWL						51	
026	R/W	水平表示開始位置															HDS							
028	R/W	水平表示終了位置															HDE							
02A	R/W	垂直表示開始位置	DSWR														VDS							36
02C	R/W	垂直表示終了位置															VDE							
02E	R/W	水平同期パルス幅	HSWR														HSW							38
030	R/W	水平差周期	HCR														HC							
032	R/W	垂直同期位置	VSPR														VSP							37
034	R/W	垂直差周期	VCR														VC							
036	R/W	表示オフ時出力	DOOR														DOOR							
038	R/W	色検出	CDER														DOB							38
03A	R/W																CDR							
03C	R/W																CDB							
03E	R	コマンドステータス	CSTR														CSTH							45
040	R																CSTL							





レジスタアドレス	R/W	レジスタ名	略称	データ																描画ページ			
				15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0				
CS1 A [10:0]																							
080	R	カレントポイント	X																				
082	R		Y																				
084	R	ローカルオフセット	X																				
086	R		Y																				
088	R	ユーザクリップエリア	XMIN																				
08A	R		YMIN																				
08C	R		XMAX																				
08E	R		YMAX																				
090	R	システムクリップエリア	XMAX																				
092	R		YMAX																				
094	R/W	リターンアドレス	H																				
096	R/W		L																				
098	R/W	描画開始アドレス	RSAR																				
09A	R/W	カラーオフセット	COLOR																				
09C-1FE																							
200	R/W	カラーパレット	000H																				
202	R/W		000L																				
204	R/W		001H																				
206	R/W		001L																				
208	R/W		002H																				
20A	R/W		002L																				
(略)																							
5FC	R/W	255H																					
5FE	R/W	255L																					
600-7FE																							

## 5. レジスタ

### 5.2 インタフェース制御レジスタ

インタフェース制御レジスタは、Q2SD 全体の制御に関するレジスタで、アドレス A10 ~ A0 = H'000 ~ H'00E、H'056、H'072 にマッピングされています。インタフェース制御レジスタには、以下のレジスタがあります。

- システム制御レジスタ (SYSR)
- ステータスレジスタ (SR)
- ステータスレジスタクリアレジスタ (SRCR)
- 割り込み許可レジスタ (IER)
- メモリモードレジスタ (MEMR)
- 表示モードレジスタ (DSMR)
- 表示モード2レジスタ (DSMR2)
- レンダリングモードレジスタ (REMR)
- 入力データ変換モードレジスタ (IEMR)
- ビデオ取り込みモードレジスタ (VIMR)

#### 5.2.1 システム制御レジスタ (SYSR)

システム制御レジスタ (SYSR) は、Q2SD のシステム動作を設定します。

SYSR は、リセット時に以下のように初期化されます。

- SRESビット、DRESビットは1になります。
- DENビット、RBRKビット、DCビット、RSビット、DMA1ビット、DMA0ビット、DAA1ビット、DAA0ビットは0になります。
- DBM1ビット、DBM0ビットは値を保持します。

レジスタアドレス：H'000

ビット	ビット名	初期値	R/W	説明
15	SRES	1	R/W	ソフトウェアリセット コマンド処理の実行 / 中断を制御します。 0：コマンド処理の実行を許可します。 1：ハードウェアリセットを行うと SRES = 1 になります。初期化時に 0 に設定して使用してください。なお、ソフトウェアで本ビットを 1 に設定すると、描画動作に対してのみ、リセットを行います。この場合、システム動作クロックの 16 サイクル以上の期間 1 にする必要があります。SRES = 1 を設定すると、コマンドエラーフラグ (CER)、トラップフラグ (TRA)、コマンド中断フラグ (CSF)、描画中断 (RBRK)、描画中断フラグ (BRK) は 0 にクリアされます。

ビット	ビット名	初期値	R/W	説明
14 13	DRES DEN	1 0	R/W R/W	<p>表示リセット</p> <p>表示イネーブル</p> <p>表示同期動作の開始 / 停止を制御します。</p> <p>00 : 表示動作を開始します。 ただし、RESET 端子が Low レベルの期間は DRES ビットを 0 にすることはできません。Q2SD を初期状態から動作させる場合は、各コントロールレジスタの設定後に DRES ビットを 0 にクリアしてください。DEN ビット = 0 の状態では、表示データは、表示オフ時出力レジスタ (DOOR) に設定された値となります。</p> <p>01 : 表示動作を開始します。 ただし、RESET 端子が Low レベルの期間は DRES ビットを 0 にすることはできません。Q2SD を初期状態から動作させる場合は、各コントロールレジスタの設定後に DRES ビットを 0 にクリアし、その後に DEN ビットに 1 をセットしてください。表示データは、次のフレームから UGM 上に格納された値となります。</p> <p>10 : 表示同期動作を行いません。ディスプレイユニットが初期化されます。Q2SD は表示モードレジスタの TVM1 および TVM0 の設定に関係なく、UGM に対してリフレッシュ動作のみ行います。本設定では、以下のように動作します。また、DRES、DEN = 01 から 10 に移行するとき、内部更新の関係で一時的に DRES、DEN = 11 になりますが、動作上の問題はありません。</p> <p>(1) SYSR の RS ビットを 1 にセットしても描画は行われません。 (2) 表示データは、すべて 0 が出力されます。 (3) SR の VBK フラグは 0 にクリアされます。 (4) ビデオ取り込み時 (VIE = 1) を除いて、CPU または DMA コントローラによる UGM アクセスを行うとウェイトを出力し続けます。</p> <p>11 : 設定禁止</p>
12, 11	-	-	-	<p>リザーブビット</p> <p>書き込むときは、0 を書き込んでください。</p>
10	RBRK	0	R/W	<p>描画中断</p> <p>描画の中断を制御します。本ビットの設定は、ステータスレジスタ (SR) の BRK ビット = 0 のときに行ってください。</p> <p>0 : TRAP コマンドの実行でステータスレジスタ (SR) の TRA ビットが 1 になり、描画が終了状態になります。</p> <p>1 : Q2SD が描画を行っている最中で実行中のコマンドが終了し、その後、次のコマンドをフェッチした時点でステータスレジスタ (SR) の BRK ビットが 1 になり、描画が終了状態になります。Q2SD が描画を行っていないときに本ビットに 1 を設定したときは、BRK ビットを変更しません。また、中断後のコマンドステータスレジスタ (CSTR) には次のコマンドの先頭アドレスが入ります。</p> <p>本ビットは描画が中断されたときのみ、0 にクリアされます。</p>

## 5. レジスタ

ビット	ビット名	初期値	R/W	説明
9	DC	0	R/W	<p>表示エリアチェンジ                      マニュアルディスプレイチェンジモード時のフレームバッファ切り替えを制御します。</p> <p>0: マニュアルディスプレイチェンジモード時に、表示を行うフレームバッファの切り替えを行いません。DC ビットが0のときは、DC ビットに1を設定できます。</p> <p>1: マニュアルディスプレイチェンジモード時に、表示を行うフレームバッファの切り替えを行います。本ビットが0のときにのみ、1を設定できます。切り替えは、ノンインタレースおよびインタレースではフレーム単位で、インタレースシンク &amp; ビデオではフィールド単位で行います。本ビットはフレームバッファの切り替え後、0にクリアされるので、CPU にて DC を0にクリアしないでください。</p>
8	RS	0	R/W	<p>レンダリングスタート                      レンダリングの開始を指定するビットです。</p> <p>0: レンダリングを開始しません。</p> <p>1: レンダリングを開始します。</p> <p>UGM に格納されている。ディスプレイリストを順に実行します。本ビットはレンダリング開始後、0にクリアされます。なお、本ビットに1を設定すると、CPU インタフェースユニットの FIFO に蓄積されたデータをすべて UGM 上にストアします。</p>
7 6	DBM1 DBM0	* *	R/W R/W	<p>ダブルバッファモード 1、0                      前景面 (FG) のダブルバッファ (FB0、FB1) の制御を選択するビットです。</p> <p>00: オートディスプレイチェンジモードになります。</p> <p>01: オートレンダリングモードになります。</p> <p>10: マニュアルディスプレイチェンジモードになります。</p> <p>11: 設定禁止</p>

ビット	ビット名	初期値	R/W	説明
5 4	DMA1 DMA0	0 0	R/W R/W	<p>DMA モード</p> <p>DMA 転送を指定するビットです。なお、DMA モードの開始および終了のチェックは、ステータスレジスタ (SR) の DMA フラグ (DMF) を使用してください。</p> <p>00 : 通常モードになります。DMA 転送途中だったときは、転送データは保証されません。</p> <p>01 : <math>\overline{CS0}</math> に対応するメモリ (UGM) への DMA 転送モードになります。DMA 転送残数が 0 になると、自動的に本ビットはクリアされ通常モードになります。DMA 転送残数は DMA 転送語数レジスタ (DMAWR) の設定により初期値が決まります。DMA 転送残数は、LSI の内部値で 1 ワードの処理ごとに 1 つずつデクリメントされます。本モード中の CPU による UGM アクセスは行わないでください。また、本モード中に、CPU にて通常モード (DMA1=0、DMA0=0) を設定すると、DMA 転送が強制停止されます。DMA 転送を強制停止した際の転送データは、不定な値となりますので、強制停止を行った場合は、再度 DMA 転送をはじめからやり直してください。</p> <p>10 : 設定禁止</p> <p>11 : <math>\overline{CS1}</math> に対応するレジスタ [画像データエントリレジスタ (IDER)] への DMA 転送モードとなります。このモードでは、レジスタアドレスのインクリメントは行われず、常に IDER へ書き込みます。DMA 転送残数が 0 になると、自動的に本ビットはクリアされ通常モードになります。DMA 転送残数は DMA 転送語数レジスタ (DMAWR) の設定により初期値が決まります。DMA 転送残数は、LSI の内部値で 1 ワードの処理ごとに 1 つずつデクリメントされます。本モード中の CPU による UGM アクセスは行わないでください。また、本モード中に、CPU にて通常モード (DMA1=0、DMA0=0) を設定すると、DMA 転送が強制停止されます。DMA 転送を強制停止した際の転送データは、不定な値となりますので、強制停止を行った場合は、再度 DMA 転送をはじめからやり直してください。</p>
3 2	DAA1 DAA0	0 0	R/W R/W	<p>DMA アドレスモード</p> <p>DMA 転送時のアドレスモードを設定します。</p> <p>00 : シングルアドレスモード。<math>\overline{RD}</math> 信号の立ち上がりと <math>\overline{DACK}</math> 信号の立ち上がりの早い方の立ち上がりでデータを取り込みます。</p> <p>01 : シングルアドレスモード。<math>\overline{DACK}</math> 信号の立ち上がりでデータを取り込みます。<math>\overline{RD}</math> 信号は無視されます。</p> <p>10 : デュアルアドレスモード。</p> <p>11 : 設定禁止</p>
1、0	-	-	-	<p>リザーブビット</p> <p>書き込むときは、0 を書き込んでください。</p>

## 5. レジスタ

### 5.2.2 ステータスレジスタ (SR)

ステータスレジスタ (SR) は、Q2SD の内部状態を外部から読み出すためのものです。

SR は、リセット時に以下のように初期化されます。

- DBFフラグは値を保持します。
- Qフラグは0100にセットされます。
- FEMPフラグは1にセットされます。
- その他のフラグは、0にクリアされます。

レジスタアドレス : H'002

ビット	ビット名	初期値	R/W	説明
15	TVR	0	R	<p>TV 同期信号エラーフラグ</p> <p>垂直周期内に EXVSYNC を検出しなかったことを示すフラグです。</p> <p>0 : SYSR の DRES ビットまたは SRCR の TVCL ビットにより TVR フラグをクリアしてから、垂直走査周期レジスタ (VCR) の設定で決まる垂直周期内に、EXVSYNC の立ち上がりが毎回検出されていることを示します。</p> <p>1 : TV 同期モード (DSMR の TVM1、0 ビット = 10) 時に、VCR の設定値で決まる垂直周期内に EXVSYNC の立ち上がり検出されなかったことを示します。</p> <p>TVR フラグは、リセットまたはソフトウェアによりクリアされるまで状態を保持します。この機能が正常に動作するには EXHSYNC の入力が必要です。</p>
14	FRM	0	R	<p>フレームフラグ</p> <p>フレーム表示後の垂直ブランキング期間を示すフラグです。</p> <p>0 : SYSR の DRES ビットまたは SRCR の FRCL ビットにより FRM フラグをクリアしてから、ノンインタレースでは次の表示終了までの期間を示し、インタレースまたはインタレースシンク &amp; ビデオでは次の偶数フィールドの表示終了までの期間であることを示します。</p> <p>1 : SYSR の DRES ビットまたは SRCR の FRCL ビットにより FRM フラグをクリアした後の最初の偶数フィールドの垂直ブランキング期間から再度 FRM フラグをクリアするまでの期間であることを示します (フレーム単位で切り替わります)。</p>
13	DMF	0	R	<p>DMA フラグ</p> <p>DMA 転送モードが起動し、転送が完了したことを示すフラグです。</p> <p>0 : SRCR の DMCL ビットにより DMF フラグをクリアしてから、一度も DMA 転送モードが起動していないか、次の DMA 転送モード (SYSR の DMA1、0 ビット = 01 または 11) が起動し、転送残数がまだ 0 になっていないことを示します。</p> <p>1 : DMA 転送モードが起動し、転送語数が 0 になったことを示します。DMF フラグは、リセットまたはソフトウェアによりクリアされるまで状態を保持します。</p>

ビット	ビット名	初期値	R/W	説明
12	CER	0	R	<p>コマンドエラーフラグ</p> <p>不当なコマンドをフェッチしたことを示すフラグです。</p> <p>0: 正常状態です。SYSR の SRES ビットまたは SRCR の CECL ビットにより CER フラグをクリアしてから、不当なコマンドをフェッチしていないことを示します。</p> <p>不当なコマンドとは、コマンドコードの上位 5 ビットが未定義であるものです。下位 11 ビットのレンダリング属性の不当性については Q2SD ではチェックを行いません。</p> <p>1: 描画動作停止状態です。SYSR の SRES ビットまたは SRCR の CECL ビットにより CER フラグをクリアしてから、不当なコマンドをフェッチしたため、描画動作を停止したままになっていることを示します。CER フラグは、リセットまたはソフトウェアによりクリアされるまで状態を保持します。</p>
11	VBK	0	R	<p>垂直ブランキングフラグ</p> <p>垂直ブランキング期間を示すフラグです。</p> <p>0: SYSR の DRES ビットまたは SRCR の VBCL ビットにより VBK フラグをクリアしてから、次の表示終了までの期間であることを示します。</p> <p>1: SYSR の DRES ビットまたは SRCR の VBCL ビットにより VBK フラグをクリアした後の最初の垂直ブランキング期間から再度 VBK ビットをクリアするまでの期間であることを示します (フィールド単位で検出します)。</p>
10	TRA	0	R	<p>トラップフラグ</p> <p>TRAP コマンドの実行が終了したことを示すフラグです。</p> <p>0: SYSR の SRES ビットまたは SRCR の TRCL ビットにより TRA フラグをクリアしてから、次の TRAP コマンド実行の終了前までの期間であることを示します。</p> <p>1: TRAP コマンド実行の終了、または現在ディスプレイリストを実行していないことを示します。</p> <p>TRA フラグは、リセットまたはソフトウェアによりクリアされるまで状態を保持します。</p>
9	CSF	0	R	<p>コマンド中断フラグ</p> <p>オートディスプレイチェンジモードまたはマニュアルディスプレイチェンジモードで、コマンド実行がフレームチェンジによって中断されたことを示すフラグです。</p> <p>0: 正常動作</p> <p>1: SYSR の SRES ビットまたは SRCR の CSCL ビットにより CSF フラグをクリアしてから、次のフレーム切り替えのタイミングまでの間に、ディスプレイが完了していない (TRAP コマンド実行が終了していない) ことを示します。CSF フラグは、リセットまたはソフトウェアによりクリアされるまで状態を保持します。</p>

## 5. レジスタ

ビット	ビット名	初期値	R/W	説 明
8	DBF	*	R	<p>ディスプレイバッファフレーム</p> <p>Q2SD が表示開始アドレスとして使用している表示開始アドレスレジスタを表示するフラグです。</p> <p>0 : DSAR0 で示されるアドレスを表示開始アドレスとして使用中。ディスプレイユニットの初期状態です。</p> <p>1 : DSAR1 で示されるアドレスを表示開始アドレスとして使用中。</p>
7	BRK	0	R	<p>描画中断フラグ</p> <p>描画の中断を示すフラグです。</p> <p>0 : SYSR の SRES ビットまたは SRCR の BRCL ビットにより、BRK フラグをクリアしてから、次の描画中断が発生するまでの期間であることを示します。</p> <p>1 : 描画中断指示により、現在コマンドを実行していないことを示します。</p> <p>BRK フラグは、リセットまたはソフトウェアによりクリアされるまで状態を保持します。</p>
6	FEMP	1	R	<p>FIFO エンプティフラグ</p> <p>FIFO には CPU から UGM への転送データが一時的に格納されます。この転送は UGM ライトと画像データエントリレジスタ IDER を経由するデータ転送です。本フラグは、FIFO 内に UGM へのストアデータが存在するか否かを表示します。</p> <p>0 : FIFO 内に UGM へのストアデータが存在する</p> <p>1 : FIFO 内に UGM へのストアデータが存在しない</p> <p>なお、FIFO 内に蓄積されたデータの UGM へのストア実行は、システム制御レジスタ (SYSR) のレンダリングビット (SR) が 1 にセットされたとき、CPU からの UGM アクセスが 32tcyc0 期間以上なかったとき、FIFO が一杯になったとき、CPU からの UGM リードアクセスがあったときに起こります。</p>
5、4	-	-	-	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。</p>
3	Q3	0	R	Q フラグ
2	Q2	1	R	Q シリーズ製品識別のためのフラグです。Q2SD では 0100 が読み出せます。
1	Q1	0	R	0010 : HD64411 (Q2)
0	Q0	0	R	0011 : HD64412 (Q2i) 0100 : HD64413 (Q2SD)

【記号説明】 \* : 値を保持



### 5.2.3 ステータスレジスタクリアレジスタ (SRCR)

ステータスレジスタクリアレジスタ (SRCR) は、対応するステータスレジスタ (SR) の各フラグをクリアします。SRCR のビット 15~9、7 に 1 を書き込むことで、対応する SR のフラグを 0 にクリアすることができます。なお、SR のクリアが終了した後、SRCR は内部的にオール 0 にクリアされます (読み出すと 0 が読み出されます)。

レジスタアドレス : H'004

ビット	ビット名	初期値	R/W	説明
15	TVCL	*	W	TV 同期信号エラーフラグクリア TVCL ビットに 1 を書き込むと、SR の TVR フラグは 0 にクリアされます。
14	FRCL	*	W	フレームフラグクリア FRCL ビットに 1 を書き込むと、SR の FRM フラグは 0 にクリアされます。
13	DMCL	*	W	DMA フラグクリア DMCL ビットに 1 を書き込むと、SR の DMF フラグは 0 にクリアされます。
12	CECL	*	W	コマンドエラーフラグクリア CECL ビットに 1 を書き込むと、SR の CER フラグは 0 にクリアされます。
11	VBCL	*	W	垂直ブランキングフラグクリア VBCL ビットに 1 を書き込むと、SR の VBK フラグは 0 にクリアされます。
10	TRCL	*	W	トラップフラグクリア TRCL ビットに 1 を書き込むと、SR の TRA フラグは 0 にクリアされます。
9	CSCL	*	W	コマンド中断フラグクリア CSCL ビットに 1 を書き込むと、SR の CSF フラグは 0 にクリアされます。
8	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください。
7	BRCL	*	W	描画中断フラグクリア BRCL ビットに 1 を書き込むと、SR の BRK フラグは 0 にクリアされます。
6~0	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください。

【記号説明】 \* : 値を保持

## 5. レジスタ

### 5.2.4 割り込み許可レジスタ (IER)

割り込み許可レジスタ (IER) は、対応するステータスレジスタ (SR) の各フラグによる割り込みを許可 / 禁止します。IER 内の 1 に設定したビット位置に対応する SR のビットが 1 にセットされると、 $\overline{IRL}$  を Low レベルにして CPU に対して割り込みを要求します。

割り込み発生条件は次のようになります。

$$\text{割り込み発生条件} = \overline{IRL} = \overline{a+b+c+d+e+f+g+h}$$

a = TVR・TVE

b = FRM・FRE

c = DMF・DME

d = CER・CEE

e = VBK・VBE

f = TRA・TRE

g = CSF・CSE

h = BRK・BRE

レジスタアドレス : H'006

ビット	ビット名	初期値	R/W	説明
15	TVE	0	R/W	TV 同期信号エラーフラグイネーブル SR の TVR フラグによる割り込みを許可 / 禁止します。 0 : SR の TVR フラグによる割り込みを禁止します。 1 : SR の TVR フラグによる割り込みを許可します。TVR・TVE = 1 のとき CPU に対して $\overline{IRL}$ 割り込みを要求します。
14	FRE	0	R/W	フレームフラグイネーブル SR の FRM フラグによる割り込みを許可 / 禁止します。 0 : SR の FRM フラグによる割り込みを禁止します。 1 : SR の FRM フラグによる割り込みを許可します。FRM・FRE = 1 のとき CPU に対して $\overline{IRL}$ 割り込みを要求します。
13	DME	0	R/W	DMA フラグイネーブル SR の DMF フラグによる割り込みを許可 / 禁止します。 0 : SR の DMF フラグによる割り込みを禁止します。 1 : SR の DMF フラグによる割り込みを許可します。DMF・DME = 1 のとき CPU に対して $\overline{IRL}$ 割り込みを要求します。
12	CEE	0	R/W	コマンドエラーフラグイネーブル SR の CER フラグによる割り込みを許可 / 禁止します。 0 : SR の CER フラグによる割り込みを禁止します。 1 : SR の CER フラグによる割り込みを許可します。CER・CEE = 1 のとき CPU に対して $\overline{IRL}$ 割り込みを要求します。

ビット	ビット名	初期値	R/W	説明
11	VBE	0	R/W	垂直ブランキングフラグイネーブル SR の VBK フラグによる割り込みを許可 / 禁止します。 0 : SR の VBK フラグによる割り込みを禁止します。 1 : SR の VBK フラグによる割り込みを許可します。VBK・VBE = 1 のとき CPU に対して IRL 割り込みを要求します。
10	TRE	0	R/W	トラップフラグイネーブル SR の TRA フラグによる割り込みを許可 / 禁止します。 0 : SR の TRA フラグによる割り込みを禁止します。 1 : SR の TRA フラグによる割り込みを許可します。TRA・TRE = 1 のとき CPU に対して IRL 割り込みを要求します。
9	CSE	0	R/W	コマンド中断フラグイネーブル SR の CSF フラグによる割り込みを許可 / 禁止します。 0 : SR の CSF フラグによる割り込みを禁止します。 1 : SR の CSF フラグによる割り込みを許可します。CSF・CSE = 1 のとき CPU に対して IRL 割り込みを要求します。
8	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください。
7	BRE	0	R/W	描画中断フラグイネーブル SR の BRK フラグによる割り込みを許可 / 禁止します。 0 : SR の BRK フラグによる割り込みを禁止します。 1 : SR の BRK フラグによる割り込みを許可します。BRK・BRE = 1 のとき CPU に対して IRL 割り込みを要求します。
6~0	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください。

## 5. レジスタ

### 5.2.5 メモリモードレジスタ (MEMR)

メモリモードレジスタ (MEMR) は、使用する UGM のメモリサイズ、およびメモリアクセスタイミングを設定します。メモリアクセス中に本レジスタの値を書き換えると、動作が一時不安定になります。

MEMR は、リセット時に MES1、MES0 ビット、MAT ビットが 0 に初期化されます。

レジスタアドレス：H'008

ビット	ビット名	初期値	R/W	説明
15~6	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください。
5	MES1	0	R/W	メモリサイズ UGM として使用する SDRAM のサイズ、個数、およびバス幅を選択します。 00 : メモリサイズ 16M ビット ( × 16 )、1 個使用、16 ビットバス 01 : メモリサイズ 16M ビット ( × 16 )、2 個使用、32 ビットバス 10 : メモリサイズ 64M ビット ( × 16 )、1 個使用、16 ビットバス 11 : メモリサイズ 64M ビット ( × 32 )、1 個使用、32 ビットバス
4	MES0	0	R/W	
3~1	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください。
0	MAT	0	R/W	メモリアクセスタイミング UGM アクセスタイミングを設定します。 APL ( Active Precharge Latency ) 0 : 5 1 : 5 PL ( Precharge Latency ) 0 : 3 1 : 2 RCL ( RAS-CAS Latency ) 0 : 3 1 : 2 WPL ( Write Precharge Latency ) 0 : 2 1 : 2

### 5.2.6 表示モードレジスタ (DSMR)

表示モードレジスタ (DSMR) は、Q2SD の表示動作を設定します。表示動作中に本レジスタの値を書き換えると、動作が一時不安定になります。

DSMR は、リセット時に以下のように初期化されます。

WRAP ビット、BG ビットは 0、TVM1 ビットは 1、TVM0 ビットは 0、REF3 ~ REF0 ビットは 1000 に初期化されます。SCM1 ビット、SCM0 ビットは値を保持します。

レジスタアドレス：H'00A

ビット	ビット名	初期値	R/W	説明
15	FLT	0	R/W	フィルタモード 0: FG と BG の画素データをそれぞれの面として表示出力します。 1: FG と BG の画素データを平均して FG 面のデータとして表示出力します。 GBM=001 / 101、VWE=0、PRI=00、FBD=0、SCM=11 としてください。FG の透過色判定は行いません。結果の透過色判定 (CDE) は行います。また、BG 開始位置を FG 開始位置の 1 ライン下に設定してください。平均は 16 ビットフォーマット (5:6:5) の各部ごとの加算結果を右シフトで求めます。シフト端数は切り捨てです。
14~12	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください。
11	WARP	0	R/W	背景面のラップアラウンドモード構成 0: 背景面のラップアラウンドを行いません。なお、表示領域がメモリ実装空間をはみ出す場合の表示内容は保証されません。 1: 背景面のラップアラウンドを行います。ラップアラウンドの単位は x 方向はレンダリングモードレジスタ (REMR) の MWX ビットで示された画素数、y 方向は 512 です。また、この領域の先頭座標は、背景開始座標レジスタ (BGSR) のビット 13~9 で示されます。
10	BG	0	R/W	背景面合成 0: 背景面の合成を行いません。 1: 背景面の合成を行います。
9, 8	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください。

## 5. レジスタ

ビット	ビット名	初期値	R/W	説明
7 6	TVM1 TVM0	1 0	R/W R/W	<p>TV 同期モード</p> <p>EXHSYNC、EXVSYNC を外部より入力して同期動作する TV 同期モード、または HSYNC、VSYNC を出力するマスタモードを設定するビットです。</p> <p>00：マスタモードになります。Q2SD は、HSYNC、VSYNC、ODDF 信号を出力します。本モードのとき、表示モード 2 レジスタ (DSMR2) の CSY1 が 1 であるときは、等化パルス幅レジスタ (EQWR) およびセパレーション幅レジスタ (SPWR) に初期値を設定してください。</p> <p>1：同期方式の切り替えモードになります。TV 同期モードからマスタモード、またはマスタモードから TV 同期モードへの切り替えは、本モードを経由して行います。本モードでは表示系の動作を強制停止し、DISP 端子は Low レベルを出力します。また、CLK1 端子へのクロック供給を停止 (入力は無効) することもできます (LSI 内部は High レベル固定)。HSYNC、VSYNC、ODDF 端子は、入力となります。</p> <p>10：TV 同期モードになります。Q2SD は、EXHSYNC、EXVSYNC、ODDF 信号を入力します。CSYNC 出力は High レベル固定になります。本モードでは、表示モード 2 レジスタ (DSMR2) の CSY1 および CSY0 の両方に 0 を設定してください。</p> <p>11：設定禁止</p>
5 4	SCM1 SCM0	* *	R/W R/W	<p>スキャンモード</p> <p>表示出力の走査モード、および表示切り替え単位を設定するビットです。</p> <p>00：ノンインタレースモード (1VC 単位でフレームバッファ切り替えが行えます。)</p> <p>01：設定禁止</p> <p>10：インタレースモード (2VC 単位でフレームバッファ切り替えが行えます。)</p> <p>11：インタレースシンク &amp; ビデオモード (1VC 単位でフレームバッファ切り替えが行えます。)</p>

ビット	ビット名	初期値	R/W	説 明
3	REF3	1	R/W	リフレッシュサイクル数
1	REF2	0	R/W	表示で1ラスタ中にリフレッシュを行うサイクル数を設定するビットです。
2	REF1	0	R/W	0000 : リフレッシュタイミングを出力しません。
0	REF0	0	R/W	0001 : リフレッシュサイクル数 = 1
				0010 : リフレッシュサイクル数 = 2
				0011 : リフレッシュサイクル数 = 3
				0100 : リフレッシュサイクル数 = 4
				0101 : リフレッシュサイクル数 = 5
				0110 : リフレッシュサイクル数 = 6
				0111 : リフレッシュサイクル数 = 7
				1000 : リフレッシュサイクル数 = 8
				1001 : リフレッシュサイクル数 = 9
				1010 : リフレッシュサイクル数 = 10
				1011 : リフレッシュサイクル数 = 11
				1100 : リフレッシュサイクル数 = 12
				1101 : リフレッシュサイクル数 = 13
				1110 : リフレッシュサイクル数 = 14
				1111 : リフレッシュサイクル数 = 15

【記号説明】 \* : 値を保持

## 5. レジスタ

### 5.2.7 表示モード 2 レジスタ (DSMR2)

表示モード 2 レジスタ (DSMR2) は、Q2SD の表示動作を設定します。表示動作中に本レジスタの値を書き換えると、動作が一時不安定となります。

DSMR2 は、リセット時に以下のように初期化されます。

CSY1 ビット、CSY0 ビットは値を保持します。その他のビットは 0 にクリアされます。

レジスタアドレス：H'056

ビット	ビット名	初期値	R/W	説明
15~13	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください。
12	CDED	0	R/W	CDE ディスエーブル CDE 端子の出力を制御するビットです。なお、CDE 端子は、TV 同期モード (TVM1 = 1、TVM0 = 0) のときに、外部の同期信号発生回路の映像出力と、Q2SD のアナログ R、G、B 出力を切り替えるための端子です。 0: CDE 端子の出力を許可します。 1: CDE 端子の出力を禁止します。
11	PRI2	0	R/W	ウィンドウ優先順位 画面表示の優先順位を設定するビットです。PRI ビットと組み合わせて設定します。PRI ビットを参照してください。
10	VWRY	0	R/W	ビデオ面 RGB/YC モード ビデオ面に表示されるデータが UGM 上に RGB 形式で格納されているか、YCbCr 形式で格納されているかを選択します。 0: ビデオウィンドウは、UGM 上の RGB データを RGB データとして表示します。 1: ビデオウィンドウは、UGM 上の YCbCr データを RGB データとして表示します。
9	HDIS	0	R/W	メモリ幅 1024 画素のとき、x = 512 から前景面のフレームバッファ 1 (FB1) を開始するモード HDIS = 1 のときは、GBM = 000、001 かつ RSAE = 0 のときに使用できます。 0: 前景面のフレームバッファ 1 (FB1) を x = 0 から開始します。 1: 前景面のフレームバッファ 1 (FB1) を x = 512 から開始します。
8	ODEV	0	R/W	表示フィールド順モード 表示の 1 フレームのフィールド順を指定するビットです。 0: インタレースモード表示およびインタレースシンク & ビデオモード表示の同一フレームにおいて、前半のフィールドで奇数フィールドのデータを出し、ODDF が Low レベルになり、後半のフィールドで偶数フィールドのデータを出し、ODDF が High レベルになります。 1: インタレースモード表示およびインタレースシンク & ビデオモード表示の同一フレームにおいて、前半のフィールド偶数フィールドのデータを出し、ODDF が High レベルになり、後半のフィールドで奇数フィールドのデータを出し、ODDF が Low レベルになります。



ビット	ビット名	初期値	R/W	説明
7 6	CSY1 CSY0	* *	R/W R/W	<p>CSYNC モード</p> <p>CSY1、CSY0 は、マスターモード (TVM1=0、TVM0=0) のときの、CSYNC 信号の出力モードを選択します。なお、CSY1=1 の場合は、必ず、等化パルス幅レジスタ (EQWR) および、セパレーション幅レジスタ (SPWR) に値を設定してください。</p> <p>00: VSYNC と HSYNC の排他的論理和をとった波形を CSYNC として出力します。TV 同期モード (TVM1=1、TVM0=0) のときは、本モードを選択してください。</p> <p>01: 設定禁止</p> <p>10: VSYNC の立ち下がりから 3 ラスタの期間は等化パルス、その後 3 ラスタはセパレーション、その後 3 ラスタは等化パルス、それ以外の期間は HSYNC の波形を出力します。</p> <p>11: VSYNC の立ち下がりから 0.5 ラスタ後から 2.5 ラスタの期間は等化パルス、その後 2.5 ラスタはセパレーション、その後 2.5 ラスタは等化パルス、それ以外の期間は HSYNC の波形を出力します。</p>
5	PRI	0	R/W	<p>ウィンドウ優先順位</p> <p>画面表示の優先順位を設定するビットです。PRI2 ビットと組み合わせて設定します。</p> <p>PRI2 PRI</p> <p>0 0: 画面の優先順位は、カーソル 1、カーソル 2、前景、ビデオ、背景の順です。</p> <p>0 1: 設定禁止</p> <p>1 0: 画面の優先順位は、カーソル 1、前景、ビデオ、カーソル 2、背景の順です。</p> <p>1 1: 画面の優先順位は、前景、ビデオ、カーソル 1、カーソル 2、背景の順です。</p>
4	-	-	-	<p>リザーブビット</p> <p>書き込むときは、0 を書き込んでください。</p>
3	FBD	0	R/W	<p>フロントバッファディスエーブル</p> <p>前景面の表示 / 非表示を選択します。</p> <p>0: 前景面を表示します。</p> <p>1: 前景面を表示しません。</p>
2	CE2	0	R/W	<p>カーソル 2 イネーブル</p> <p>カーソル 2 の表示 / 非表示を選択します。</p> <p>0: カーソル 2 を表示しません。</p> <p>1: カーソル 2 を表示します。カーソルブリンクは必ず行われます。ブリンクを見かけ上行わせないためには、カーソル領域に格納するカーソルブリンク形状 A と B に同一のものを設定してください。また、Q2SD のカーソルブリンクは、カーソルブリンク形状 A と B を交互に表示するものです。カーソルを表示させない期間を設けるためには、形状の一方をすべて透明色としてください。</p>

## 5. レジスタ

ビット	ビット名	初期値	R/W	説明
1	CE1	0	R/W	カーソル1イネーブル カーソル1の表示 / 非表示を選択します。 0: カーソル1を表示しません。 1: カーソル1を表示します。カーソルブリンクは必ず行われます。ブリンクを見かけ上行かせないためには、カーソル領域に格納するカーソルブリンク形状AとBに同一のものを設定してください。また、Q2SDのカーソルブリンクは、カーソルブリンク形状AとBを交互に表示するものです。カーソルを表示させない期間を設けるためには、形状の一方をすべて透明色としてください。
0	VVE	0	R/W	ビデオ面イネーブル ビデオ面の表示 / 非表示を選択します。 0: ビデオ面を表示しません。 1: ビデオ面を表示します。VIE = 1とした後、VIDが変化する前に設定すると表示内容は保証されません。

【記号説明】 \*: 値を保持

### 5.2.8 レンダリングモードレジスタ (REMR)

レンダリングモードレジスタ (REMR) は、Q2SDのレンダリング動作を設定します。描画動作中に本レジスタの値を書き換えると、動作が一時不安定になります。

なお、例外として、ディスプレイリストから WPR コマンドによって書き換える場合には、以下の条件を満たしてください。

- MWXの設定の変更は禁止します。
- GBMは描画のビット構成のみ変更可能です。表示ビットの変更は禁止します。
- RSAEは変更可能です。ただし、GBMの設定に合致したものであることが条件です。

REMR は、リセット時に RSAE ビットは 0 にクリアされ、MWX ビット、GBM2 ~ GBM0 ビットは値を保持します。

レジスタアドレス: H'00C

ビット	ビット名	初期値	R/W	説明
15	RSAE	0	R/W	描画開始アドレスイネーブル 描画領域を表示領域とは別に設定できるようにするビットです。表示領域とは別の描画領域の開始アドレスは、描画開始アドレスレジスタ (RSAR) に設定します。 0: 描画領域として、表示開始アドレスレジスタ (DSAR) の値を用います。この設定を行うときには、GBM は 000、001、010、011 でなければなりません。 1: 描画領域として、描画開始アドレスレジスタ (RSAR) の値を用います。
14~7	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください。

ビット	ビット名	初期値	R/W	説 明
6	MWX	*	R/W	メモリ幅 Q2SD に接続する UGM の X 方向の論理座標空間を設定するビットです。 0 : X 方向の論理座標空間は、512 画素 1 : X 方向の論理座標空間は、1024 画素
5~3	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください。
2	GBM2	*	R/W	グラフィックビットモード 2~0 GBM2~0 ビットは、Q2SD が扱うレンダリングデータ、表示データのビット構成を設定するビットです。ビット構成を表 5.2 に示します。本ビットの設定によっては、RSAE ビットの設定に連動することがありますので注意してください。
1	GBM1	*	R/W	
0	GBM0	*	R/W	

【記号説明】 \* : 値を保持

表 5.2 ビット構成

ビット 2	ビット 1	ビット 0	説 明			
			FG のビット構成	BG のビット構成	描画のビット構成	RSAE の設定
0	0	0	8 ビット / 画素	8 ビット / 画素	8 ビット / 画素	0 または 1
0	0	1	16 ビット / 画素	16 ビット / 画素	16 ビット / 画素	0 または 1
0	1	0	8 ビット / 画素	16 ビット / 画素	8 ビット / 画素	0 または 1
0	1	1	16 ビット / 画素	8 ビット / 画素	16 ビット / 画素	0 または 1
1	0	0	8 ビット / 画素	8 ビット / 画素	16 ビット / 画素	1 のみ可
1	0	1	16 ビット / 画素	16 ビット / 画素	8 ビット / 画素	1 のみ可
1	1	0	8 ビット / 画素	16 ビット / 画素	16 ビット / 画素	1 のみ可
1	1	1	16 ビット / 画素	8 ビット / 画素	8 ビット / 画素	1 のみ可

## 5. レジスタ

### 5.2.9 入力データ変換モードレジスタ (IEMR)

入力データ変換モードレジスタ (IEMR) は、CPU からの入力データの変換形式を設定します。データ変換動作中に本レジスタの値を書き換えると、動作が一時不安定になります。

IEMR は、リセット時に全ビット 0 にクリアされます。

レジスタアドレス：H'00E

ビット	ビット名	初期値	R/W	説明
15~5	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください。
4	YUV2	0	R/W	YUV モード YUV または YUV 形式で入力したデータを、RGB 形式に変換して UGM に格納することを設定します。YUV2、YUV1、YUV0 ビットを組み合わせで設定します。表 5.3 を参照してください。
3	MDTP	0	R/W	メモリデータタイプモード CPU からのワードアクセスの UGM メモリライト転送の際に、バイト単位の入れ替えを行うかどうかを選択します。本ビットは、YUV2、YUV1、YUV0 ビットが 000 であって、DMA1、DMA0 ビットが 00、01 のいずれかであるときに有効となります。  本ビットは、CPU からのレジスタライトについては無効です。また、CPU の UGM メモリリード動作に対しても無効です。  0：CPU からのワードアクセスの UGM メモリライト転送の際に、バイト単位の入れ替えを行いません。 1：CPU からのワードアクセスの UGM メモリライト転送の際に、同一ワード (16 ビット) 内の上下のバイトを入れ替えます。
2	DTP	0	R/W	データタイプモード 画像データエントリレジスタ (IDER) を介したデータ転送の際に、バイト単位の入れ替えを行うかどうかを選択します。本ビットは、YUV2、YUV1、YUV0 ビットが 001、010、011、111 のいずれかであって、DMA1、DMA0 ビットが 00、11 のいずれかであるときに有効となります。  0：IDER を介した転送の際に、バイト単位の入れ替えを行いません。 1：IDER を介した転送の際に、同一ワード (16 ビット) 内の上下のバイトを入れ替えます。
1	YUV1	0	R/W	YUV モード
0	YUV0	0	R/W	YUV または YUV 形式で入力したデータを、RGB 形式に変換して UGM に格納することを設定します。YUV2、YUV1、YUV0 ビットを組み合わせで設定します。表 5.3 を参照してください。

表 5.3 YUV モード設定

ビット4	ビット1	ビット0	説 明
YUV2	YUV1	YUV0	
0	0	0	通常モードになります。 IDER 経由のデータ転送を行いません。また YUV2、1、0 = (0、1、1) を設定するときにも経由します。(初期値)
0	0	1	YUV-RGB 変換を行います。 データ変換総画素数が 0 になると、本ビットは自動的にクリアされ通常モードになります。データ変換総画素数は、画像データサイズレジスタ (IDSR) の設定値 IDSX と IDSY の積の値です。データ変換総画素数は、LSI の内部値で 1 画素の処理ごとに 1 ずつ減算されます。本モードでの CS0 端子を使用する UGM アクセスは行わないでください。
0	1	0	YUV-RGB 変換を行います。 データ変換総画素数が 0 になると、本ビットは自動的にクリアされ通常モードになります。データ変換総画素数は、画像データサイズレジスタ (IDSR) の設定値 IDSX と IDSY の積の値です。データ変換総画素数は、LSI の内部値で 1 画素の処理ごとに 1 ずつ減算されます。本モードでの CS0 端子を使用する UGM アクセスは行わないでください。
0	1	1	16 ビット / 画素のデータを変換なしで転送のみ行います。 データ変換総画素数が 0 になると、本ビットは自動的にクリアされ通常モードになります。データ変換総画素数は、画像データサイズレジスタ (IDSR) の設定値 IDSX と IDSY の積の値です。データ変換総画素数は、LSI の内部値で 1 画素の処理ごとに 1 ずつ減算されます。本モードでの CS0 端子を使用する UGM アクセスは行わないでください。
1	0	0	YUV2、1、0 = (1、1、1) を設定するときには経由してください。
1	0	1	設定禁止
1	1	0	設定禁止
1	1	1	8 ビット / 画素のデータを変換なしで転送のみ行います。 データ変換総画素数が 0 になると、本ビットは自動的にクリアされ通常モードになります。データ変換総画素数は、画像データサイズレジスタ (IDSR) の設定値 IDSX と IDSY の積の値です。IDSX には転送ワード数 (画素数の 1/2) を設定してください。データ変換総画素数は、LSI の内部値で 1 画素の処理ごとに 1 ずつ減算されます。本モードでの CS0 端子を使用する UGM アクセスは行わないでください。

## 5. レジスタ

### 5.2.10 ビデオ取り込みモードレジスタ (VIMR)

ビデオ取り込みモードレジスタ (VIMR) は、ビデオ取り込みの各種設定を行います。

VIMR は、リセット時に以下のように初期化されます。

VID1 ビット、VID0 ビットは 1 に初期化されます。その他のビットは 0 に初期化されます。

レジスタアドレス：H'072

ビット	ビット名	初期値	R/W	説 明
15	VID1	1	R	ビデオウィンドウステータス
14	VID0	1	R	<p>ビデオ入力から取り込んだ画像の最新のものが格納されているビデオ領域を示すステータスフラグです。このビットは、本レジスタの他のビットと性質が異なりますので注意してください。なお、本ビットの値が意味を持つのは、VIE ビットが 0 のときに限られます。VIE ビットが 1 で、ビデオ取り込みが同時進行している場合には、本ビットの意味は保証されませんので注意してください。</p> <p>本ビットへ書き込む場合は、00 を書き込んでください (ただし、書き込み値は無視されます)。読み出した場合の値は、以下の意味を持ちます。</p> <p>00：ビデオ領域 0 に最新画像があります。ビデオ面イネーブル (VWE) が 1 のときにはビデオ領域 0 が表示されます。</p> <p>01：ビデオ領域 1 に最新画像があります。ビデオ面イネーブル (VWE) が 1 のときにはビデオ領域 1 が表示されます。</p> <p>10：ビデオ領域 2 に最新画像があります。ビデオ面イネーブル (VWE) が 1 のときにはビデオ領域 2 が表示されます。</p> <p>11：リセット後の初期状態を示します。ビデオ面イネーブル (VWE) が 1 のときにはビデオ領域 0 が表示されます。</p> <p>静止画として保持する、またはビデオデータを取り出すためには、ビデオ取り込みを停止する必要があります。ビデオ取り込み停止、ビデオウィンドウステータスの読み出し、該当領域からの静止画の取り出しの順になります。</p>
13~10	-	-	-	<p>リザーブビット</p> <p>書き込むときは、0 を書き込んでください (読み出し値は不定となります)。</p>
9	VSIZ4	0	R/W	ビデオ取り込み間引き率
8	VSIZ3	0	R/W	ビデオ取り込みの際の間引き率を設定します。VSIZ4 ~ VSIZ0 ビットを組み合わせ、間引き率を設定します。表 5.4 を参照してください。
7	VSIZ2	0	R/W	
6	VSIZ1	0	R/W	
5	VSIZ0	0	R/W	

ビット	ビット名	初期値	R/W	説明
4	VINM	0	R/W	<p>ビデオ取り込みフィールド順モード</p> <p>ビデオ取り込みの1フレームのフィールド順を指定するビットです。(図 3.60 参照)</p> <p>0: <math>\overline{\text{VODD}}</math> 入力が Low レベルのフィールド(奇数フィールドライン 1、3、5、...)を先に、High レベルのフィールド(偶数フィールドライン 2、4、6、...)を後に取り込みます。1フレームのフィールド順が奇数・偶数となっているビデオデータを取り込むとき使用します。</p> <p>1: <math>\overline{\text{VODD}}</math> 入力が High レベルのフィールド(偶数フィールドライン 2、4、6、...)を先に、Low レベルのフィールド(奇数フィールドライン 1、3、5、...)を後に取り込みます。1フレームのフィールド順が偶数・奇数となっているビデオデータを取り込むとき使用します。</p>
3 2	ODEN1 ODEN0	0 0	R/W R/W	<p>取り込みフィールド選択</p> <p>ビデオ取り込みの際に、ビデオ入力走査方法の指定、取り込みを行うフィールドを選択します。</p> <p>00: 入力ビデオはノンインタレースです。インタレース信号は入力しないでください。</p> <p>01: 入力ビデオはインタレースで、偶数、奇数フィールドを合成してフレーム画面を取り込みます。合成の際に、動きに対する補完は一切行いません。</p> <p>10: 入力ビデオはインタレースで、<math>\overline{\text{VODD}}</math> 信号が Low レベルのフィールド(奇数)のみを取り込みます。取り込んだ画像の走査線の数は、フレーム画面の走査線の数の 1/2 になります。</p> <p>11: 入力ビデオはインタレースで、<math>\overline{\text{VODD}}</math> 信号が High レベルのフィールド(偶数)のみを取り込みます。取り込んだ画像の走査線の数は、フレーム画面の走査線の数の 1/2 になります。</p> <p>ビデオ格納領域の垂直方向のサイズ(VSIZEY)は、ODEN1、ODEN0の設定値に依存します。以下に ODEN1、ODEN0の説明および VSIZEYの計算式を示します。</p> <ul style="list-style-type: none"> <li>• ODEN1 = 0、ODEN0 = 0 ビデオ格納領域の開始アドレスを指定するタイミングは、VVS 単位になり、VVS 単位にデータを取り込みます。 <math display="block">\text{VSIZY} = (\text{1 回分の VVS 信号内に存在する有効ライン数}) \times (\text{ビデオ取り込み間引き率})</math></li> <li>• ODEN1 = 0、ODEN0 = 1 ビデオ格納領域の開始アドレスを指定するタイミングは、2VVS 単位になり、偶数および奇数フィールドの両方のデータを取り込みます。 <math display="block">\text{VSIZY} = (\text{2 回分の VVS 信号内に存在する有効ライン数}) \times (\text{ビデオ取り込み間引き率})</math></li> <li>• ODEN1 = 1 ビデオ格納領域の開始アドレスを指定するタイミングは、2VVS 単位になり、偶数または奇数フィールドのどちらか一方のデータを取り込みます。 <math display="block">\text{VSIZY} = (\text{1 回分の VVS 信号内に存在する有効ライン数}) \times (\text{ビデオ取り込み間引き率})</math></li> </ul>

## 5. レジスタ

ビット	ビット名	初期値	R/W	説明
1	RGB	0	R/W	RGB 変換モード ビデオ取り込みの際に、RGB 変換を行うかどうかを選択します。 0: RGB 変換を行わず、YUV4:2:2のまま UGM へ格納します。このデータは、ビデオウィンドウに表示する以外の用途には使用できません。 1: RGB 変換を行い、RGB データとして UGM へ格納します。このデータは、多値ソースデータとして使用可能。
0	VIE	0	R/W	ビデオ取り込みイネーブル ビデオ取り込みのイネーブルビットです。 0: ビデオ取り込みを行いません。 1: ビデオ取り込みを行います。

表 5.4 ビデオ取り込み間引き率の設定

ビット9	ビット8	ビット7	ビット6	縦間引き率	横間引き率	
					VSIZ0=0	VSIZ0=1
0	0	0	0	1	1	1/2
			1	1	1/3	設定禁止
		1	0	1	設定禁止	設定禁止
			1	1	設定禁止	設定禁止
	1	0	0	1/2	設定禁止	1/2
			1	1/2	1/3	1/6
		1	0	1/2	1/4	設定禁止
			1	1/2	設定禁止	設定禁止
1	0	0	0	1/3	設定禁止	設定禁止
			1	1/3	1/3	1/6
		1	0	1/3	設定禁止	設定禁止
			1	1/3	設定禁止	設定禁止
	1	0	0	1/4	設定禁止	設定禁止
			1	1/4	設定禁止	1/6
		1	0	1/4	1/4	設定禁止
			1	1/4	設定禁止	設定禁止



## 5.3 メモリ制御レジスタ

メモリ制御レジスタは、ユニファイドグラフィックスメモリ（UGM）の構成に関するレジスタで、アドレス A10～A1 = H'010～H'01E、H'04C、H'04E、H'062～H'070、H'07C～H'07E、H'098 にマッピングされています。

メモリ制御レジスタには、以下のレジスタがあります。

- 表示サイズレジスタ（DSR）
- 表示開始アドレスレジスタ（DSAR）
- ディスプレイリスト開始アドレスレジスタ（DLSAR）
- 多値ソース領域開始アドレスレジスタ（SSAR）
- ワーク領域開始アドレスレジスタ（WSAR）
- 背景開始座標レジスタ（BGSR）
- ビデオ領域開始アドレスレジスタ（VSAR）
- ビデオウィンドウサイズレジスタ（VSIZER）
- カーソル領域開始アドレスレジスタ（CSAR）
- 描画開始アドレスレジスタ（RSAR）

### 5.3.1 表示サイズレジスタ（DSR）

表示サイズレジスタ（DSR）は、表示画面の表示サイズを設定します。DSX には横方向の表示ドット数を設定します。DSY にはノンインタレースモード、インタレースモード時、 $\overline{\text{VSYNC1}}$  周期分（1 フィールド）の縦方向の表示ラスタを設定し、インタレースシンク & ビデオモードは  $\overline{\text{VSYNC2}}$  周期分（1 フレーム）の縦方向の表示ラスタ数を設定します。

DSX、DSY フィールドとして使用しないビットには 0 を書き込んでください（読み出し値は不定となります）。

DSR は、リセット時に DSX フィールド、DSY フィールドの値を保持します。

レジスタアドレス：H'010

ビット	ビット名	初期値	R/W	説明
15～10	-	-	-	
9～0	-	*	R/W	DSX

レジスタアドレス：H'012

ビット	ビット名	初期値	R/W	説明
15～9	-	-	-	
8～0	-	*	R/W	DSY

【記号説明】\*：値を保持

## 5. レジスタ

### 5.3.2 表示開始アドレスレジスタ (DSAR)

表示開始アドレスレジスタ (DSAR) は、UGM の前景面 (FG) として使用するメモリの領域を設定します。

DSAR の DSA0 フィールドには、前景面 (FG) のフレームバッファ 0 (FB0) の先頭物理アドレスの上位 7 ビット (A22~A16) を設定します。また、DSA1 フィールドには、前景面 (FG) のフレームバッファ 1 (FB1) の先頭物理アドレスの上位 7 ビット (A22~A16) を設定します。

現在、に表示開始アドレスとして有効になっている表示開始アドレスレジスタは、ステータスレジスタ (SR) の DBF ビットで示されます。表示開始アドレスとして有効になっていない表示開始アドレスレジスタは、レンダリングモードレジスタ (REMR) の RSAE=0 のときには、レンダリング座標の原点になります。また、本レジスタを書き換えたときの new 設定値が有効となるのは、表示開始アドレスとして有効になっている表示開始アドレスレジスタは内部更新時となり、レンダリング座標の原点となっている表示開始アドレスレジスタは外部更新時 (書き換え時) となります。

DSA0、DSA1 フィールドとして使用しないビットには 0 を書き込んでください (読み出し値は不定となります)。

DSAR は、リセット時に DSA0、DSA1 フィールドの値を保持します。

レジスタアドレス : H'014

ビット	ビット名	初期値	R/W	説明
15~7	-	-	-	
6~0	-	*	R/W	DSA0 (アドレス A22~A16 を設定)

レジスタアドレス : H'016

ビット	ビット名	初期値	R/W	説明
15~7	-	-	-	
6~0	-	*	R/W	DSA1 (アドレス A22~A16 を設定)

【記号説明】 \* : 値を保持

### 5.3.3 ディスプレイリスト開始アドレスレジスタ (DLSAR)

ディスプレイリスト開始アドレスレジスタ (DLSAR) は、ディスプレイリストとして使用するメモリの領域を設定します。DLSAR の DLSAH フィールドと DLSAL フィールドの計 18 ビットで、ディスプレイリストの先頭物理アドレスの上位ビット (A22~A5) を設定します。

DLSAH、DLSAL フィールドとして使用しないビットには、0 を書き込んでください (読み出し値は不定となります)。DLSAR は、リセット時に DLSAH、DLSAL フィールドの値を保持します。

レジスタアドレス : H'018

ビット	ビット名	初期値	R/W	説明
15~7	-	-	-	
6~0	-	*	R/W	DLSAH (アドレス A22~A16 を設定)

レジスタアドレス : H'01A

ビット	ビット名	初期値	R/W	説明
15~5	-	*	R/W	DLSAL (アドレス A15~A5 を設定)
4~0	-	-	-	

【記号説明】 \* : 値を保持

### 5.3.4 多値ソース領域開始アドレスレジスタ (SSAR)

多値ソース領域開始アドレスレジスタ (SSAR) は、多値ソース領域として使用するメモリの領域を設定します。本レジスタに設定する物理アドレスが多値ソース座標の原点物理アドレスとなります。ソース領域の先頭物理アドレスの上位ビット (A22~A16) を SSAH フィールドに、下位ビット (A15~A13) を SSAL フィールドに設定します。

表示、描画、ビデオの各領域において使用する表示データのビット構成、メモリ幅によって、設定できるビットの範囲が異なります。8 ビット/画素でメモリ幅 512 画素のときは、全ビット設定可能です。8 ビット/画素でメモリ幅 1024 画素のときは、ビット 13 には 0 を設定してください。16 ビット/画素でメモリ幅 512 画素のときは、ビット 13 には 0 を設定してください。16 ビット/画素でメモリ幅 1024 画素のときは、ビット 14、13 には 0 を設定してください。SSAR は、リセット時に SSAH、SSAL フィールドの値を保持します。

レジスタアドレス : H'01C

ビット	ビット名	初期値	R/W	説明
15~13	-	*	R/W	SSAL (アドレス A15~A13 を設定)
12~7	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください (読み出し値は不定となります)。
6~0	-	*	R/W	SSAH (アドレス A22~A16 を設定)

【記号説明】 \* : 値を保持

## 5. レジスタ

### 5.3.5 ワーク領域開始アドレスレジスタ (WSAR)

ワーク領域開始アドレスレジスタ (WSAR) は、ワーク領域として使用する UGM の領域を設定します。本レジスタに設定する物理アドレスがワーク座標の原点物理アドレスとなります。ワーク領域の先頭物理アドレスの上位ビット (A22~A16) を WSAH フィールドに、下位ビット (A15~A13) を WSAL フィールドに設定します。

表示、描画、ビデオの各領域において使用する表示データのビット構成、メモリ幅によって、設定できるビットの範囲が異なります。8ビット/画素でメモリ幅 512 画素のときは、全ビット設定可能です。8ビット/画素でメモリ幅 1024 画素のときは、ビット 13 には 0 を設定してください。16ビット/画素でメモリ幅 512 画素のときは、ビット 13 には 0 を設定してください。16ビット/画素でメモリ幅 1024 画素のときは、ビット 14、13 には 0 を設定してください。

WSAR は、リセット時に WSAH フィールド、WSAL フィールドの値を保持します。

レジスタアドレス : H'01E

ビット	ビット名	初期値	R/W	説明
15~13	-	*	R/W	WSAL (アドレス A15~A13 を設定)
12~7	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください (読み出し値は不定となります)。
6~0	-	*	R/W	WSAH (アドレス A22~A16 を設定)

【記号説明】 \* : 値を保持

### 5.3.6 背景開始座標レジスタ (BGSR)

背景開始座標レジスタ (BGSR) は、背景面の背景開始座標を設定します。背景面は、UGM の領域が前景面と重ならないように設定してください。BG SX、BG SY フィールドとして使用しないビットには 0 を書き込んでください (読み出し値は不定となります)。

BGSR は、リセット時に BG SX、BG SY の値を保持します。

レジスタアドレス : H'04C

ビット	ビット名	初期値	R/W	説明
15~10	-	-	-	
9~0	-	*	R/W	BG SX

レジスタアドレス : H'04E

ビット	ビット名	初期値	R/W	説明
15、14	-	-	-	
13~0	-	*	R/W	BG SY

【記号説明】 \* : 値を保持

### 5.3.7 ビデオ領域開始アドレスレジスタ (VSAR)

ビデオ領域開始アドレスレジスタ 0~2 (VSAR0~2) は、UGM のビデオ領域として使用するメモリ領域を設定します。ビデオ領域開始アドレス (VSAH、L) で先頭物理アドレスの上位 13 ビット (A22~A10) のみを指定します。

ビデオ格納領域は、VSIZEX、VSIZEY で指定したサイズの領域を 3 面使用します。各々の領域はメモリ単位のアドレス配置です。

VSAH0、VSAL0 は、ビデオ領域 0 (V0) の開始アドレスを設定するフィールドです。

VSAH1、VSAL1 は、ビデオ領域 1 (V1) の開始アドレスを設定するフィールドです。

VSAH2、VSAL2 は、ビデオ領域 2 (V2) の開始アドレスを設定するフィールドです。

表示に使用される領域は、ビデオ取り込みモードレジスタ (VIMR) の VIE ビットが 1 のときは、ビデオ取り込みによって取り込まれた最新の画像が格納されている領域を内部で自動的に選択します。VIE ビットが 0 のときは、最新の画像が格納されているビデオ領域が表示されます。

本レジスタを書き換えたときの新設定値の反映タイミングは、表示出力は表示内部更新タイミング、ビデオ取り込みは次の画像取り込みタイミング ( $\overline{VVS}$  入力の立ち上がり) となります。

VSAH0~2、VSAL0~2 として使用しないビットには 0 を書き込んでください (読み出し値は不定となります)。VSAR2~0 は、リセット時に値を保持します。

- VSAR0

レジスタアドレス : H'062

ビット	ビット名	初期値	R/W	説明
15~7	-	-	-	
6~0	-	*	R/W	VSAH0

レジスタアドレス : H'064

ビット	ビット名	初期値	R/W	説明
15~10	-	*	R/W	VSAL0
9~0	-	-	-	

- VSAR1

レジスタアドレス : H'066

ビット	ビット名	初期値	R/W	説明
15~7	-	-	-	
6~0	-	*	R/W	VSAH1

レジスタアドレス : H'068

ビット	ビット名	初期値	R/W	説明
15~10	-	*	R/W	VSAL1
9~0	-	-	-	

## 5. レジスタ

---

- VSAR2

レジスタアドレス：H'06A

ビット	ビット名	初期値	R/W	説 明
15~7	-	-	-	
6~0	-	*	R/W	VSAH2

レジスタアドレス：H'06C

ビット	ビット名	初期値	R/W	説 明
15~10	-	*	R/W	VSAL2
9~0	-	-	-	

【記号説明】 \*：値を保持

### 5.3.8 ビデオウィンドウサイズレジスタ (VSIZER)

ビデオウィンドウサイズレジスタ (VSIZER) は、ビデオ面の表示サイズを設定します。外部から入力される有効画素の数に取り込みの際の間引き率 VSIZ を乗じた値 (端数切り捨て) を設定してください。レジスタ図に示すように X および Y の最下位ビットは 0 に設定してください。これにより、VSIZEX および VSIZHEY は偶数値の設定となります。

VSIZEX、VSIZHEY フィールドとして使用しないビットには 0 を書き込んでください (読み出し値は不定となります)。VSIZER は、リセット時に値を保持します。

なお、VSIZHEY は、VIMR レジスタの ODEN1、ODEN0 ビットの設定値に依存します。詳細は「5.2.10 ビデオ取り込みモードレジスタ (VIMR)」を参照してください。

レジスタアドレス：H'06E

ビット	ビット名	初期値	R/W	説 明
15~10	-	-	-	
9~1	-	*	R/W	VSIZEX
0	-	-	-	0を設定

レジスタアドレス：H'070

ビット	ビット名	初期値	R/W	説 明
15~9	-	-	-	
8~1	-	*	R/W	VSIZHEY
0	-	-	-	0を設定

【記号説明】 \*：値を保持

### 5.3.9 カーソル領域開始アドレスレジスタ (CSAR)

カーソル領域開始アドレスレジスタ (CSAR) は、UGM 上にカーソル領域として使用するメモリ領域を設定します。カーソル領域開始アドレス High (CSAH) にカーソル領域の先頭物理アドレスの上位ビット (A22 ~ A16) を設定し、カーソル領域開始アドレス Low (CSAL) にカーソル領域の先頭物理アドレスの下位ビット (A15 ~ A11) を設定します。

設定されたアドレスから 1024 バイトにカーソル A の形状、その後 1024 バイトにカーソル B の形状を設定してください。本レジスタを書き換えたときの新設定値の反映タイミングは、内部更新となります。

カーソル表示データは、リニアアドレスデータの形式で設定してください。

CSAR は、リセット時に CSAL1、CSAL2、CSAH1、CSAH2 の値を保持します。

CSAH1、CSAL1 に、カーソル 1 の領域アドレスを設定します。CSAH2、CSAL2 に、カーソル 2 の領域アドレスを設定します。

- CSAR1

レジスタアドレス : H'07C

ビット	ビット名	初期値	R/W	説明
15 ~ 11	-	*	R/W	CSAL1 (アドレス A15 ~ A11 を設定)
10 ~ 7	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください (読み出し値は不定となります)。
6 ~ 0	-	*	R/W	CSAH1 (アドレス A22 ~ A16 を設定)

- CSAR2

レジスタアドレス : H'07E

ビット	ビット名	初期値	R/W	説明
15 ~ 11	-	*	R/W	CSAL2 (アドレス A15 ~ A11 を設定)
10 ~ 7	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください (読み出し値は不定となります)。
6 ~ 0	-	*	R/W	CSAH2 (アドレス A22 ~ A16 を設定)

【記号説明】 \* : 値を保持

## 5. レジスタ

---

### 5.3.10 描画開始アドレスレジスタ (RSAR)

描画開始アドレスレジスタ (RSAR) は、レンダリングモードレジスタ (REMR) の RSAE ビットが 1 のときに有効となる描画領域のレンダリング座標の原点の物理アドレスを設定します。

RSA フィールドには、レンダリング座標原点の物理アドレスの上位 7 ビット (A22 ~ A16) のみを設定します。

RSAR は、リセット時に RSA フィールドの値を保持します。

レジスタアドレス : H'098

ビット	ビット名	初期値	R/W	説 明
15~7	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください (読み出し値は不定となります)。
6~0	-	*	R/W	RSA (アドレス A22 ~ A16 を設定)

【記号説明】 \* : 値を保持



## 5.4 表示制御レジスタ

表示制御レジスタは、表示タイミングを設定するレジスタで、アドレス A10 ~ A0 = H'026 ~ H'03C、H'052 ~ H'054、H'058 ~ H'05A、H'074 ~ H'07A、H'200 ~ H'5FE にマッピングされています。

表示制御レジスタには、以下のレジスタがあります。

- 表示ウィンドウレジスタ (DSWR)
- 水平同期パルス幅レジスタ (HSWR)
- 水平走査周期レジスタ (HCR)
- 垂直同期位置レジスタ (VSPR)
- 垂直走査周期レジスタ (VCR)
- 表示オフ時出力レジスタ (DOOR)
- 色検出レジスタ (CDER)
- 等化パルス幅レジスタ (EQWR)
- セパレーション幅レジスタ (SPWR)
- ビデオ表示開始位置レジスタ (VPR)
- カーソル表示開始位置レジスタ (CSR)
- カラーパレットレジスタ (CP000R ~ CP255R)

### 5.4.1 表示ウィンドウレジスタ (DSWR)

表示ウィンドウレジスタ (DSWR) は、表示画面の水平方向および垂直方向の出力タイミングを設定します。

#### 1. 水平表示開始位置 (HDSフィールド)

水平表示開始位置をドットクロックを単位として設定するフィールドです。

#### 2. 水平表示終了位置 (HDEフィールド)

水平表示終了位置をドットクロックを単位として設定するフィールドです。

#### 3. 垂直表示開始位置 (VDSフィールド)

垂直表示開始位置をラスタラインを単位として設定するフィールドです。

#### 4. 垂直表示終了位置 (VDEフィールド)

垂直表示終了位置をラスタラインを単位として設定するフィールドです。

HDS、HDE、VDS、VDE フィールドとして使用しないビットには 0 を書き込んでください (読み出し値は不定となります)。

DSWR は、リセット時に HDS、HDE、VDS、VDE の値を保持します。

## 5. レジスタ

---

レジスタアドレス：H'026

ビット	ビット名	初期値	R/W	説 明
15~9	-	-	-	
8~0	-	*	R/W	HDS

レジスタアドレス：H'028

ビット	ビット名	初期値	R/W	説 明
15~10	-	-	-	
9~0	-	*	R/W	HDE

レジスタアドレス：H'02A

ビット	ビット名	初期値	R/W	説 明
15~9	-	-	-	
8~0	-	*	R/W	VDS

レジスタアドレス：H'02C

ビット	ビット名	初期値	R/W	説 明
15~10	-	-	-	
9~0	-	*	R/W	VDE

【記号説明】 \*：値を保持

### 5.4.2 水平同期パルス幅レジスタ (HSWR)

水平同期パルス幅レジスタ (HSWR) は、水平信号の Low レベルパルス幅をドットクロックを単位として設定します。HSWR は、リセット時に HSW の値を保持します。

レジスタアドレス：H'02E

ビット	ビット名	初期値	R/W	説 明
15~7	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください (読み出し値は不定となります)。
6~0	-	*	R/W	HSW

【記号説明】 \*：値を保持

### 5.4.3 水平走査周期レジスタ (HCR)

水平走査周期レジスタ (HCR) は、水平走査周期をドットクロックを単位として設定します。TV 同期モード時 (DSMR の TVM1、TVM0 ビット = 10) は、 $\overline{\text{EXHSYNC}}$  の周期より本レジスタによる  $\overline{\text{HSYNC}}$  の周期が、同じか大きくなるように本レジスタを設定してください。HCR は、リセット時に HC の値を保持します。

レジスタアドレス : H'030

ビット	ビット名	初期値	R/W	説明
15~11	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください (読み出し値は不定となります)。
10~0	-	*	R/W	HC

【記号説明】 \* : 値を保持

### 5.4.4 垂直同期位置レジスタ (VSPR)

垂直同期位置レジスタは、垂直同期信号の開始位置をラスタラインを単位として設定します。TV 同期モード時 (DSMR の TVM1、TVM0 ビット = 10) は、 $\overline{\text{EXVSYNC}}$  の立ち下がりより、本レジスタによる  $\overline{\text{VSYNC}}$  の立ち下がり設定位置が、同じか後ろになるように本レジスタを設定してください。VSPR は、リセット時に VSP の値を保持します。

レジスタアドレス : H'032

ビット	ビット名	初期値	R/W	説明
15~10	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください (読み出し値は不定となります)。
9~0	-	*	R/W	VSP

【記号説明】 \* : 値を保持

### 5.4.5 垂直走査周期レジスタ (VCR)

垂直走査周期レジスタ (VCR) は、垂直帰線期間を含めた垂直走査期間をラスタラインを単位として設定します。TV 同期モード時 (DSMR の TVM1、TVM0 ビット = 10) は、 $\overline{\text{EXVSYNC}}$  の立ち上がりより、本レジスタによる  $\overline{\text{VSYNC}}$  の立ち上がり設定位置が、同じか後ろになるように本レジスタを設定してください。本レジスタで設定した垂直走査同期以内に  $\overline{\text{EXVSYNC}}$  の立ち上がりが検出されないと、ステータスレジスタ (SR) の TVR フラグに 1 を設定します。VCR は、リセット時に VC の値を保持します。

レジスタアドレス : H'034

ビット	ビット名	初期値	R/W	説明
15~10	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください (読み出し値は不定となります)。
9~0	-	*	R/W	VC

【記号説明】 \* : 値を保持

## 5. レジスタ

### 5.4.6 表示オフ時出力レジスタ (DOOR)

表示オフ時出力レジスタ (DOOR) は、表示オフ時に出力する表示データを設定します。RGB 成分を各々 DOR フィールド、DOG フィールド、および DOB フィールドに各々 6 ビットで設定します。

DOR、DOG、DOB フィールドとして使用しないビットには 0 を書き込んでください。

DOOR は、リセット時に DOR フィールド、DOG フィールド、DOB フィールドの値を保持します。

レジスタアドレス : H'036

ビット	ビット名	初期値	R/W	説明
15~8	-	-	-	
7~2	-	*	R/W	DOR
1, 0	-	-	-	

レジスタアドレス : H'038

ビット	ビット名	初期値	R/W	説明
15~10	-	*	R/W	DOG
9, 8	-	-	-	
7~2	-	*	R/W	DOB
1, 0	-	-	-	

【記号説明】 \* : 値を保持

### 5.4.7 色検出レジスタ (CDER)

色検出レジスタ (CDER) は、出力カラーデータ (DD17~DD0) と本レジスタの設定値が一致したときに CDE 端子より 1 を出力します。出力カラーデータのフォーマットについては、「3.2.11 内部データフォーマット」を参照してください。本レジスタにて、CDR フィールドと DD17~DD12 で比較、CDG フィールドと DD11~DD6 で比較、CDB フィールドと DD5~DD0 で比較を行います。また、表示期間外で表示データはすべて 0 になりますので、CDER のすべてに 0 を設定した場合には、表示期間外に CDE 端子より 1 が出力されません。

CDR、CDB、CDG フィールドとして使用しないビットには 0 を書き込んでください。

CDER は、リセット時に CDR フィールド、CDG フィールド、CDB フィールドの値を保持します。

レジスタアドレス : H'03A

ビット	ビット名	初期値	R/W	説明
15~8	-	-	-	
7~2	-	*	R/W	CDR
1, 0	-	-	-	

レジスタアドレス：H'03C

ビット	ビット名	初期値	R/W	説明
15～10	-	*	R/W	CDG
9、8	-	-	-	
7～2	-	*	R/W	CDB
1、0	-	-	-	

【記号説明】 \*：値を保持

#### 5.4.8 等化パルス幅レジスタ (EQWR)

等化パルス幅レジスタ (EQWR) は、 $\overline{\text{CSYNC}}$  信号の等化パルスの Low レベルパルス幅をドットクロックを単位として設定します。等化パルスは、1 ラスタ当たり、ラスタの開始と中央の 2 箇所が発生します。

本レジスタは表示モード 2 レジスタ (DSMR2) の CSY1 に 1 を設定したときに有効となります。

EQWR は、リセット時に EQW の値を保持します。

たとえば NTSC 規格の場合、Low レベルパルス幅は約  $2.4\mu\text{s}$  になります。表示動作クロック周波数が  $14.31818\text{MHz}$  であったとすると、本レジスタには、 $2.4\mu\text{s} \times 14.31818\text{MHz} = 35$  を設定してください。

レジスタアドレス：H'052

ビット	ビット名	初期値	R/W	説明
15～7	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください (読み出し値は不定となります)。
6～0	-	*	R/W	EQW

【記号説明】 \*：値を保持

## 5. レジスタ

### 5.4.9 セパレーション幅レジスタ (SPWR)

セパレーション幅レジスタ (SPWR) は、 $\overline{\text{CSYNC}}$  信号のセパレーションパルスの Low レベルパルス幅をドットクロックを単位として設定します。セパレーションパルスは、1 ラスタ当たり、ラスタの開始と中央の 2 箇所が発生します。SPW の値は、水平走査周期の 1/2 より小さい値を設定してください。

本レジスタは表示モード 2 レジスタ (DSMR2) の CSY1 に 1 を設定したときに有効となるレジスタです。SPWR は、リセット時に SPW の値を保持します。

HC を水平走査周期とすると、たとえば、NTSC 規格の場合、セパレーションパルスの Low 幅は

$$\text{約 } \frac{\text{HC}}{2} - 4.7\mu\text{s} \text{ になります。}$$

HC を  $63.555\mu\text{s}$  および表示動作クロック周波数が  $14.31818\text{MHz}$  であったとすると、本レジスタには

$$\left( \frac{63.555\mu\text{s}}{2} - 4.7\mu\text{s} \right) \times 14.31818\text{MHz} = 387$$

を設定してください。

レジスタアドレス : H'054

ビット	ビット名	初期値	R/W	説明
15~10	-	-	-	リザーブビット 書き込むときは、0 を書き込んでください (読み出し値は不定となります)。
9~0	-	*	R/W	SPW

【記号説明】 \* : 値を保持

### 5.4.10 ビデオ表示開始位置レジスタ (VPR)

ビデオ表示開始位置レジスタ (VPR) は、ビデオの水平方向、および垂直方向の出力タイミングを設定します。

1. ビデオ水平表示開始位置 (HVPフィールド)  
ビデオ水平開始位置をドットクロックを単位として設定するフィールドです。
2. ビデオ垂直表示開始位置 (VVPフィールド)  
ビデオ垂直開始位置をラスタラインを単位として設定するフィールドです。

表示モードレジスタ (DSMR) の SCMI、SCM0 ビットが 11 または 10 の場合 (インタレースシンク&ビデオモードまたはインタレースモード)、VVP フィールドのビット 0 は 0 に設定してください。

なお、ビデオ表示領域がフレームバッファ表示画面の外にはみ出さないように開始位置を設定してください。HVP、VVP フィールドは、表示ウィンドウレジスタ (DSWR) の HDS、VDS フィールドとは異なり、スクリーン座標基準の値を設定してください。水平方向は、左上の点を 0 とし、右方向が正となり、ドット単位で 1 ずつ変化します。垂直方向は、左上の点を 0 とし、下方向が正となり、ライン単位で 1 ずつ変化します。

HVP、VVP フィールドとして使用しないビットには0を書き込んでください(読み出し値は不定となります)。VPR は、リセット時に HVP、VVP の値を保持します。

レジスタアドレス：H'058

ビット	ビット名	初期値	R/W	説明
15~10	-	-	-	
9~0	-	*	R/W	HVP

レジスタアドレス：H'05A

ビット	ビット名	初期値	R/W	説明
15~9	-	-	-	
8~0	-	*	R/W	VVP

【記号説明】 \*：値を保持

#### 5.4.11 カーソル表示開始位置レジスタ (CSR)

カーソル表示開始位置レジスタ (CSR) は、カーソル 1、2 の水平方向、および垂直方向の出力タイミングとカーソルブリンク形状 A、B の表示期間長を設定します。

##### 1. カーソル1水平表示開始位置 (HCS1)

カーソル1の水平表示開始位置をドットクロックを単位として設定します。

##### 2. カーソル1垂直表示開始位置 (VCS1)

カーソル1の垂直表示開始位置をラスタラインを単位として設定します。

##### 3. カーソル2水平表示開始位置 (HCS2)

カーソル2の水平表示開始位置をドットクロックを単位として設定します。

##### 4. カーソル2垂直表示開始位置 (VCS2)

カーソル2の垂直表示開始位置をラスタラインを単位として設定します。

##### 5. カーソルブリンク形状A表示期間長 (BLNKA)

カーソル領域に格納された、カーソル形状Aが表示される期間の長さをフィールド単位で設定します。0を設定しないでください。このフィールドはカーソル1、2に共通です。2つのカーソルは同じタイミングで表示形状の切り替えを行います。

##### 6. カーソルブリンク形状B表示期間長 (BLNKB)

カーソル領域に格納された、カーソル形状Bが表示される期間の長さをフィールド単位で設定します。0を設定しないでください。このフィールドはカーソル1、2に共通です。2つのカーソルは同じタイミングで表示形状の切り替えを行います。

## 5. レジスタ

なお、カーソルの大きさは、32×32画素で、カラーパレットレジスタに割り当てた色で表示されます。カーソル表示領域の左上座標が、フレームバッファ表示画面の外にはみ出ないように開始位置を設定してください。また、カーソル1とカーソル2が重なった場合には、カーソル1が優先されてカーソル2が欠けるため、両者が重ならないように開始位置を設定してください。

HCS、VCS フィールドは、表示ウィンドウレジスタ (DSWR) の HDS、VDS フィールドとは異なり、スクリーン座標の左上基準の値を設定してください。水平方向は、左上の点を0とし、右方向が正となり、ドット単位で1ずつ変化します。垂直方向は、左上の点を0とし、下方向が正となり、ライン単位で1ずつ変化します。

カーソルプリンクにおいて、カーソル表示 A の期間は、カーソル領域開始アドレスレジスタで指定されたアドレスから 1024 バイトのデータが表示に使用されます。カーソル表示 B の期間は、カーソル領域開始アドレスレジスタで指定されたアドレスに+1024 バイトを加えた位置から 1024 バイト分のデータが表示に使用されます。

HCS1、VCS1、HCS2、VCS2、BLNKA、BLNKB フィールドとして使用しないビットには0を書き込んでください (読み出し値は不定となります)。

CSR は、リセット時に HCS1、VCS1、HCS2、VCS2、BLNKA、BLNKB の値を保持します。

レジスタアドレス : H'074

ビット	ビット名	初期値	R/W	説明
15~10	-	*	R/W	BLNKA
9~0	-	*	R/W	HCS1

レジスタアドレス : H'076

ビット	ビット名	初期値	R/W	説明
15~10	-	*	R/W	BLNKB
9	-	-	-	
8~0	-	*	R/W	VCS1

レジスタアドレス : H'078

ビット	ビット名	初期値	R/W	説明
15~10	-	-	-	
9~0	-	*	R/W	HCS2

レジスタアドレス : H'07A

ビット	ビット名	初期値	R/W	説明
15~9	-	-	-	
8~0	-	*	R/W	VCS2

【記号説明】 \* : 値を保持



### 5.4.12 カラーパレットレジスタ (CP000R ~ CP255R)

カラーパレットは、アドレス A10 ~ A0 = H'200 ~ H'5FE にマッピングされています。RGB 各 6 ビット、256 色分の設定が行えます。CPU によるカラーパレットのアクセスを行うときは、レンダリングモードレジスタ (REMR) の GBM2 ~ GBM0 ビットに 000、010、100、110 のいずれかを設定してから行ってください。

なお、Q2SD では GBM の値に関係なく、カラーパレットの設定値を保持します。

カラーパレットレジスタ (CP000R ~ CP255R) は、各々 32 ビットの読み出し / 書き込み可能なレジスタです。8 ビット / 画素のときに有効となります。

カラーパレットは、1 画素を構成する 2 ワード単位で制御しています。したがって、カラーパレットレジスタへのアクセスも同じ単位で行う必要があります。

カラーパレットレジスタへの書き込みは、まず R 側レジスタを書き込み、続けて G、B 側レジスタを書き込んでください。R 側は、G、B 側がセットされたときにカラーパレットの新設定値として反映されます。カラーパレットレジスタの読み出しは、まず R 側レジスタを読み出し、続けて G、B 側レジスタを読み出してください。また、カラーパレットレジスタへのアクセスでは、R 側レジスタと G、B 側レジスタの間に他の Q2SD のレジスタへのアクセスすることを禁止します。

したがって、カラーパレットレジスタへのアクセスは、R 側と G、B 側の両方のレジスタを一度にアクセスできるようにロングワード (32 ビット) 単位でアクセスを行ってください。

- CP000R

レジスタアドレス : H'200

ビット	ビット名	初期値	R/W	説明
15~8	-	-	-	
7~2	-	*	R/W	R000 (Red : 6 ビット)
1, 0	-	-	-	

レジスタアドレス : H'202

ビット	ビット名	初期値	R/W	説明
15~10	-	*	R/W	G000 (Green : 6 ビット)
9, 8	-	-	-	
7~2	-	*	R/W	B000 (Blue : 6 ビット)
1, 0	-	-	-	

## 5. レジスタ

---

- CP001R

レジスタアドレス : H'204

ビット	ビット名	初期値	R/W	説 明
15~8	-	-	-	
7~2	-	*	R/W	R001 ( Red : 6 ビット )
1、0	-	-	-	

レジスタアドレス : H'206

ビット	ビット名	初期値	R/W	説 明
15~10	-	*	R/W	G001 ( Green : 6 ビット )
9、8	-	-	-	
7~2	-	*	R/W	B001 ( Blue : 6 ビット )
1、0	-	-	-	

- CP002R

:

- CP255R

レジスタアドレス : H'5FC

ビット	ビット名	初期値	R/W	説 明
15~8	-	-	-	
7~2	-	*	R/W	R255 ( Red : 6 ビット )
1、0	-	-	-	

レジスタアドレス : H'5FE

ビット	ビット名	初期値	R/W	説 明
15~10	-	*	R/W	G255 ( Green : 6 ビット )
9、8	-	-	-	
7~2	-	*	R/W	B255 ( Blue : 6 ビット )
1、0	-	-	-	

【記号説明】 \* : 値を保持

## 5.5 レンダリング制御レジスタ

レンダリング制御レジスタは、レンダリングの制御に関する 16 ビットレジスタで、アドレス A10～A0=H'03E～H'040、H'080～H'096、H'09A にマッピングされています。カレントポインタレジスタ (CURR)、ローカルオフセットレジスタ (LCOR)、ユーザクリップエリアレジスタ (UCLR)、システムクリップエリアレジスタ (SCLR)、リターンアドレスレジスタ (RTNR) の各レジスタをリードするときは、システム制御レジスタ (SYSR) の RBRK に 1 を設定し、BRK が 1 になってからリードを行ってください。BRK が 1 にならないときにリードした値は正しくない場合があります。

レンダリング制御レジスタには、以下のレジスタがあります。

- コマンドステータスレジスタ (CSTR)
- カレントポインタレジスタ (CURR)
- ローカルオフセットレジスタ (LCOR)
- ユーザクリップエリアレジスタ (UCLR)
- システムクリップエリアレジスタ (SCLR)
- リターンアドレスレジスタ (RTNR)
- カラーオフセットレジスタ (COLOR)

### 5.5.1 コマンドステータスレジスタ (CSTR)

コマンドステータスレジスタ (CSTR) は、フレーム切り替え時に実行中であったコマンドワード (オペコードワード) のアドレスを記憶します。

コマンドワードのアドレスの上位ビット (A22～A16) は CSTH フィールドで示され、下位ビット (A15～A1) は CSTL フィールドで示されます。また、CSTH、CSTL フィールドで示されるアドレスは、ワードアドレスとなります。

CSTH、CSTL フィールドとして使用しないビットは読み出すと常に 0 が読み出されます。

CSTR は、リセット時に CSTH、CSTL フィールドの値を保持します。

レジスタアドレス : H'03E

ビット	ビット名	初期値	R/W	説明
15～7	-	-	-	
6～0	-	*	R	CSTH (アドレス A22～A16 を設定)

レジスタアドレス : H'040

ビット	ビット名	初期値	R/W	説明
15～1	-	*	R	CSTL (アドレス A15～A1 を設定)
0	-	-	-	

【記号説明】 \* : 値を保持

## 5. レジスタ

---

### 5.5.2 カレントポインタレジスタ (CURR)

カレントポインタレジスタ (CURR) は、ポインタの現在座標を示します。

本レジスタを読み出すと XC、YC フィールドとして使用していないビットは常に 0 が読み出されます。

CURR は、リセット時に XC、YC の値を保持します。

レジスタアドレス : H'080

ビット	ビット名	初期値	R/W	説明
15、14	-	-	-	
13	-	*	R	符号
12~0	-	*	R	XC

レジスタアドレス : H'082

ビット	ビット名	初期値	R/W	説明
15、14	-	-	-	
13	-	*	R	符号
12~0	-	*	R	YC

【記号説明】 \* : 値を保持

### 5.5.3 ローカルオフセットレジスタ (LCOR)

ローカルオフセットレジスタ (LCOR) は、オフセット座標を示します。

本レジスタを読み出すと XO、YO フィールドとして使用しないビットは常に 0 が読み出されます。

LCOR は、リセット時に XO、YO の値を保持します。

レジスタアドレス : H'084

ビット	ビット名	初期値	R/W	説明
15、14	-	-	-	
13	-	*	R	符号
12~0	-	*	R	XO

レジスタアドレス : H'086

ビット	ビット名	初期値	R/W	説明
15、14	-	-	-	
13	-	*	R	符号
12~0	-	*	R	YO

【記号説明】 \* : 値を保持

### 5.5.4 ユーザクリップエリアレジスタ (UCLR)

ユーザクリップエリアレジスタ (UCLR) は、ユーザクリップ座標を示します。

本レジスタを読み出すと UXMIN、UYMIN、UXMAX、UYMAX フィールドとして使用していないビットは常に 0 が読み出されます。

UCLR は、リセット時に UXMIN、UYMIN、UXMAX および UYMAX の値を保持します。

レジスタアドレス：H'088

ビット	ビット名	初期値	R/W	説明
15、14	-	-	-	
13	-	*	R	符号
12~0	-	*	R	UXMIN (左上 X)

レジスタアドレス：H'08A

ビット	ビット名	初期値	R/W	説明
15、14	-	-	-	
13	-	*	R	符号
12~0	-	*	R	UYMIN (左上 Y)

レジスタアドレス：H'08C

ビット	ビット名	初期値	R/W	説明
15、14	-	-	-	
13	-	*	R	符号
12~0	-	*	R	UXMAX (右下 X)

レジスタアドレス：H'08E

ビット	ビット名	初期値	R/W	説明
15、14	-	-	-	
13	-	*	R	符号
12~0	-	*	R	UYMAX (左上 Y)

【記号説明】 \*：値を保持

## 5. レジスタ

### 5.5.5 システムクリップエリアレジスタ (SCLR)

システムクリップエリアレジスタ (SCLR) は、システムクリップ座標を示します。

本レジスタを読み出すと SXMAX、SYMAX フィールドとして使用していないビットは常に 0 が読み出されま  
す。

SCLR は、リセット時に SXMAX および SYMAX の値を保持します。

レジスタアドレス : H'090

ビット	ビット名	初期値	R/W	説明
15、14	-	-	-	
13	-	*	R	符号 SXMAX (右下 X)
12~0	-	*	R	

レジスタアドレス : H'092

ビット	ビット名	初期値	R/W	説明
15、14	-	-	-	
13	-	*	R	符号 SYMAX (右下 Y)
12~0	-	*	R	

【記号説明】 \* : 値を保持

### 5.5.6 リターンアドレスレジスタ (RTNR)

リターンアドレスレジスタ (RTNR) は、リターンアドレスを設定します。

RTNH フィールドで先頭アドレスの上位ビット (A22~A16) を、RTNL フィールドで下位ビット (A15~A1) を設定します。RTNH、RTNL フィールドにより示されるアドレス (A22~A1) はワードアドレスとなります。RTNH、RTNL フィールドとして使用していないビットには 0 を書き込んでください。(読み出し値は不定となります)。

RTNR は、リセット時に RTNH、RTNL フィールドの値が保持されます。

レジスタアドレス : H'094

ビット	ビット名	初期値	R/W	説明
15~7	-	-	-	
6~0	-	*	R/W	RTNH (アドレス A22~A16 を設定)

レジスタアドレス : H'096

ビット	ビット名	初期値	R/W	説明
15~1	-	*	R/W	RTNL (アドレス A15~A1 を設定)
0	-	-	-	

【記号説明】 \* : 値を保持

### 5.5.7 カラーオフセットレジスタ (COLOR)

オフセットの各成分は、符号付整数として扱われます。

本レジスタは POLYGON4A コマンドで使用可能なレジスタです。描画が 16 ビット/画素のとき、レンダリング属性の COOF ビットに 1 を設定すると多値ソースデータの値に、COLOR レジスタの値を加えた結果が描画されます。演算は飽和处理付で行われます。8 ビット/画素のときには、レンダリング属性の COOF ビットは必ず 0 に設定してください。

レジスタアドレス : H'09A

ビット	ビット名	初期値	R/W	説明
15	-	*	R/W	符号
14~11	-	*	R/W	COOFR (Color Offset R) カラーオフセットの赤成分
10	-	*	R/W	符号
9~5	-	*	R/W	COOFG (Color Offset G) カラーオフセットの緑成分
4	-	*	R/W	符号
3~0	-	*	R/W	COOFB (Color Offset B) カラーオフセットの青成分

【記号説明】 \* : 値を保持

## 5.6 データ転送制御レジスタ

データ転送制御レジスタは、入力データ転送および入力データ変換の制御に関するレジスタで、アドレス A10 ~ A0 = H'020 ~ H'024、H'042 ~ H'04A、H'050 にマッピングされています。

データ転送制御レジスタには、以下のレジスタがあります。

- DMA転送開始アドレスレジスタ (DMASR)
- DMA転送語数レジスタ (DMAWR)
- 画像データ転送開始アドレスレジスタ (ISAR)
- 画像データサイズレジスタ (IDSR)
- 画像データエントリレジスタ (IDER)

### 5.6.1 DMA 転送開始アドレスレジスタ (DMASR)

DMA 転送開始アドレスレジスタ (DMASR) は、DMA 転送時に転送先の UGM の先頭アドレスを設定します。DMASR の DMASH フィールドで先頭アドレスの上位ビット (A22 ~ A16) を、DMASR の DMASL フィールドで下位ビット (A15 ~ A1) を設定します。

CPU がシステム制御レジスタ (SYSR) の DMA1、DMA0 ビット = 01 に設定してから、Q2SD が自動的にクリアするまでの一連の DMA 動作中に本レジスタの値を書き換えると動作が不定となります。

DMA1、DMA0 ビット = 11 のときは、本レジスタの値は参照されません。転送データは、画像データエントリレジスタ (IDER) を経由し、データ変換されて、画像データ転送開始アドレスレジスタ (ISAR) で示されるデータ転送開始アドレスから順次格納されます。

DMASH、DMASL フィールドにより示されるアドレス (A22 ~ A1) はワードアドレスとなります。

DMASH、DMASL フィールドとして使用しないビットには 0 を書き込んでください (読み出し値は不定となります)。DMASR は、リセット時に DMASH、DMASL フィールドの値がすべて 0 に初期化されます。

本レジスタは、DMA 転送を行ったときに、インクリメントされません。

レジスタアドレス : H'020

ビット	ビット名	初期値	R/W	説明
15~7	-	-	-	
6~0	-	0	R/W	DMASH (アドレス A22 ~ A16 を設定)

レジスタアドレス : H'022

ビット	ビット名	初期値	R/W	説明
15~1	-	0	R/W	DMASHL (アドレス A15 ~ A1 を設定)
0	-	-	-	



## 5.6.2 DMA 転送語数レジスタ (DMAWR)

DMA 転送語数レジスタ (DMAWR) は、DMA 転送時に転送するワード数 (1 ワード = 16 ビット) を設定します。

CPU が、システム制御レジスタ (SYSR) の DMA1、DMA0 ビット = 01 または 11 に設定してから、Q2SD が自動的にクリアするまでの一連の DMA 動作中に本レジスタの値を書き換えると動作が不定となります。

DMA1、DMA0 ビット = 11 のときは、本レジスタの値は参照されません。転送データは、画像エントリデータレジスタ (IDER) を経由し、データ変換され、画像データ転送開始アドレスレジスタ (ISAR) で示されるデータ転送開始アドレスから順次格納されます。

DMAWH、DMAWL フィールドとして使用しないビットには 0 を書き込んでください (読み出し値は不定となります)。DMAWR は、リセット時に DMAWH フィールド、DMAWL フィールドの値がすべて 0 に初期化されます。

本レジスタは、DMA 転送を行ったときにデクリメントされません。

レジスタアドレス : H'050

ビット	ビット名	初期値	R/W	説明
15~3	-	-	-	
2~0	-	0	R/W	DMAWH

レジスタアドレス : H'024

ビット	ビット名	初期値	R/W	説明
15~0	-	0	R/W	DMAWL

## 5. レジスタ

---

### 5.6.3 画像データ転送開始アドレスレジスタ (ISAR)

画像データ転送開始アドレスレジスタ (ISAR) は、入力データ変換モードレジスタ (IEMR) の YUV2、YUV1、YUV0 ビット = 001、010、011、または 111 のとき画像データの転送先を物理アドレスで設定します。開始アドレスの上位ビット (A22~16) を ISAH フィールドに、下位ビット (A15~A1) を ISAL フィールドに設定します。また、ISAH、ISAL フィールドで示されるアドレスは、ワードアドレスとなります。

CPU が、YUV2、YUV1、YUV0 ビット = 001、010、011、または 111 に設定してから、Q2SD が YUV モードを自動的にクリアするまでの一連のデータ変換動作中に本レジスタを書き換えると動作が不定となります。

ISAH、ISAL フィールドとして使用しないビットには 0 を書き込んでください。

ISAR は、リセット時に ISAH、ISAL フィールドの値がすべて 0 に初期化されます。

なお、画像データを転送したときに、本レジスタはインクリメントされません。

レジスタアドレス : H'042

ビット	ビット名	初期値	R/W	説明
15~7	-	-	-	
6~0	-	0	R/W	ISAH (アドレス A22~A16 を設定)

レジスタアドレス : H'044

ビット	ビット名	初期値	R/W	説明
15~1	-	0	R/W	ISAL (アドレス A15~A1 を設定)
0	-	-	-	

### 5.6.4 画像データサイズレジスタ (IDSR)

画像データサイズレジスタ (IDSR) は、入力データ変換モードレジスタ (IEMR) の YUV2、YUV1、YUV0 ビット = 001、010、011、または 111 のとき画像データの X サイズ、Y サイズを設定します。画像データの X サイズは YUV2、YUV1、YUV0 ビット = 001、010、または 011 のときは画像数を、111 のときには画素数の 1/2 を設定してください。X サイズは偶数に設定 (IDSX0 ビット = 0) にしてください。

CPU が、YUV2、YUV1、YUV0 ビット = 001、010、011、または 111 に設定してから、Q2SD が YUV モードを自動的にクリアするまでの一連のデータ変換動作中に本レジスタを書き換えると動作が不定となります。

IDSX、IDSY フィールドとして使用しないビットには 0 を書き込んでください。

IDSR は、リセット時に IDSX、IDSY の値がすべて 0 に初期化されます。

レジスタアドレス : H'046

ビット	ビット名	初期値	R/W	説明
15~11	-	-	-	
10~0	-	0	R/W	IDSX*

【注】 \* IDSX フィールドのビット 0 には 0 を設定してください。

レジスタアドレス : H'048

ビット	ビット名	初期値	R/W	説明
15~10	-	-	-	
9~0	-	0	R/W	IDSY

### 5.6.5 画像データエントリレジスタ (IDER)

画像データエントリレジスタ (IDER) は、入力データ変換モードレジスタ (IEMR) の YUV2、YUV1、YUV0 ビット = 001、010、011、または 111 のとき画像データを入力するエントリとなります。

IDER は、リセット時に H'0000 に初期化されます。

レジスタアドレス : H'04A

ビット	ビット名	初期値	R/W	説明
15~0	-	0	W	IDE



## 6. 使用上の注意事項

### 6.1 パワーオンシーケンス

電源投入時の CLK0 信号、CLK1 信号と RESET 信号のタイミングを図 6.1 に示します。VCCn 立ち上がりから CLK0、CLK1 の立ち上がりまでの時間は、50ms 以下、VCCn 立ち上がりから RESET 立ち上がりまでの時間は、100ms 以上にしてください。電源投入後長時間（50ms 以上）CLK0、CLK1 を停止すると、素子破壊を起こすことがあります。

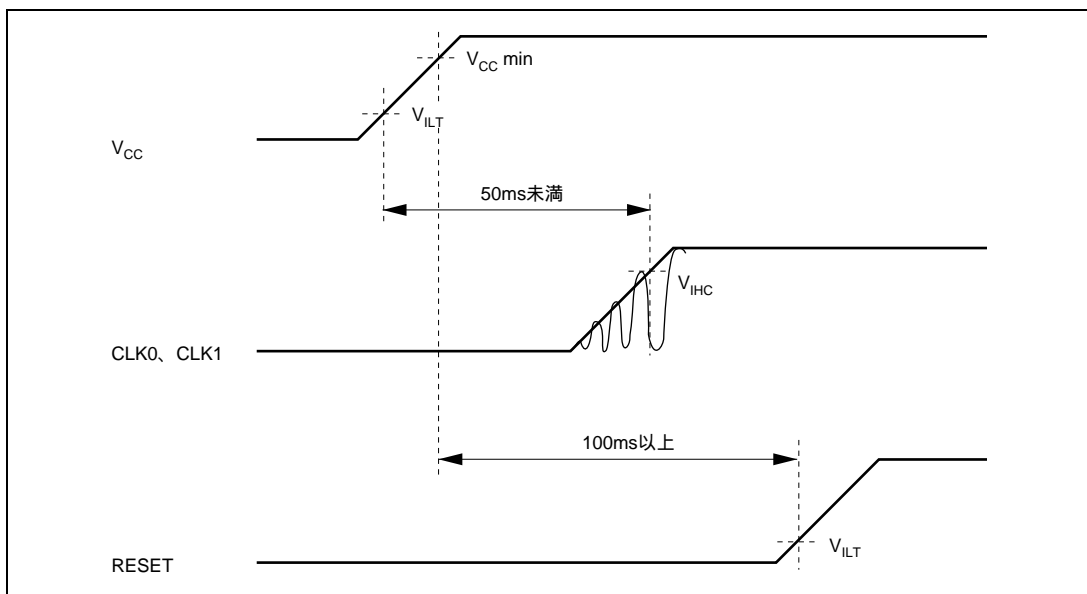


図 6.1 パワーオンシーケンス

### 6.2 64M ビット SDRAM ( × 16 タイプ ) 使用について

Q2SD は、ハードウェアリセット後 70t<sub>cy0</sub> が経過した後にメモリモードレジスタ (MEMR) の MES1、MES0 ビットの値を参照します。UDQM1 端子が MES1、MES0 = 1、0 のときは「MA13 信号」出力端子に、MES1、MES0 が上記以外のときは「上位ワード上位バイト入出力マスク信号」出力端子になります。この時点までに MES1、MES0 の設定が行われないときは、ハードウェアリセットによるクリア値 MES1、MES0 = 0、0 を参照します。

このため、MES1、MES0 = 1、0 (メモリサイズ：64M ビット ( × 16 )、1 個使用、16 ビットバス) モードを使用する場合に限り、ハードウェアリセット後 70t<sub>cy0</sub> が経過するまでの期間に、MES1、MES0 = 1、0 の設定を行ってください。

### 6.3 CPU インタフェースユニットの FIFO について

Q2SD は、CPU から送られてくるディスプレイリストを、16 ワード内蔵 FIFO を経由して UGM にストアします。CPU は、ディスプレイリスト転送に続いてレンダリングスタート指示を Q2SD に与えますが、ディスプレイリスト開始アドレスがディスプレイリストの最後に転送した 16 ワード部分からであった場合、Q2SD はレンダリングスタートによる FIFO フラッシュ完了前に UGM 上のデータのフェッチを開始し、旧データを取り込むことがあります。

旧データを取り込ませないようにするには、CPU はディスプレイリスト転送に続いて、UGM ダミーリードを行いその後、レンダリングスタート指示を Q2SD に与えるようにしてください。

- レンダリングスタートビット (RS)

システム制御レジスタ (SYSR) の RS = 1 に設定すると、ディスプレイリスト開始アドレスレジスタ (DLASR) に示されるアドレスより UGM 上データ (ディスプレイリスト) のフェッチを開始します。

- ディスプレイリスト開始アドレスレジスタ (DLSAR)

ディスプレイリストフェッチ開始アドレスを格納するレジスタ。

### 6.4 ビデオ取り込み開始タイミングについて

VVS = 1、VHS = 1 後の VHS の立ち上がり 2 回検出後のラインからデータを取り込みます。VQCLK は有効なデータ分のみを入力してください。

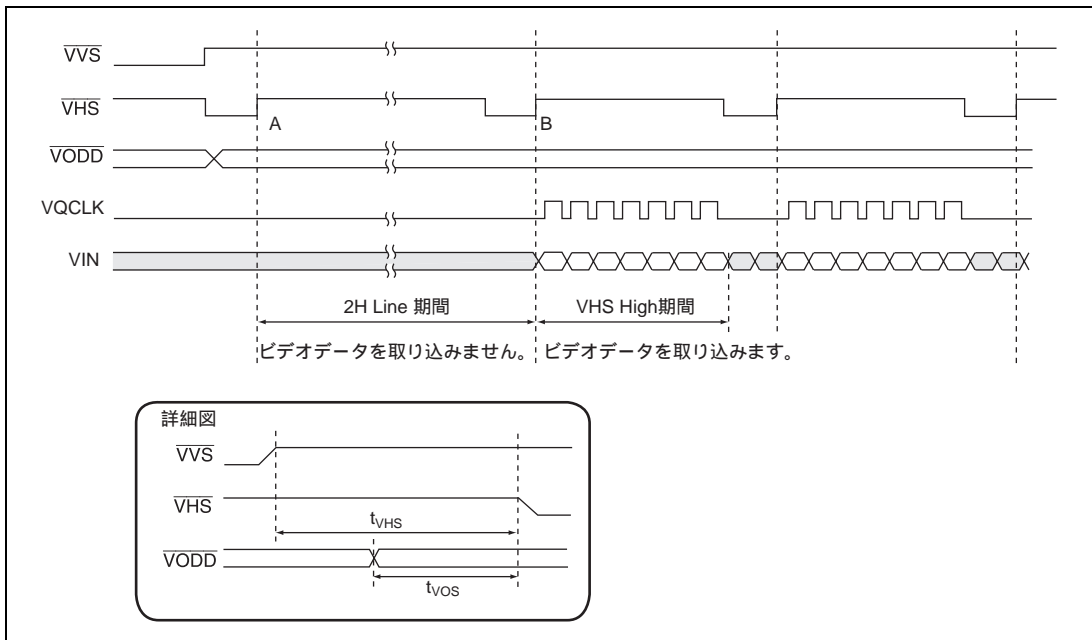


図 6.2 ビデオインタフェースタイミング

## 6.5 リニア形式ソースを用いた描画について

リニア形式ソースを指定して POLYGON4A、POLYGON4B、PLINE、RPLINE コマンドを実行する場合、リニア形式ソースの X 方向の大きさに以下に示すような制約があります。制約を超えて実行した場合、誤描画（ドット）欠けを起すことがあります。制約内で上記コマンドを実行するようにしてください。

製品型番	マーク仕様		ソース X 方向最大サイズ					
			1 ビット / 画素		8 ビット / 画素		16 ビット / 画素	
	マーク型番	マスクコード	BYTE	TDX (画素)	BYTE	TDX (画素)	BYTE	TDX (画素)
HD64413AF	HD64413AF	なし	1 ~ 32	8 ~ 256	8 ~ 32	8 ~ 32	16 ~ 32	8 ~ 16
HD64413AFI	HD64413AFI	なし	1 ~ 32	8 ~ 256	8 ~ 32	8 ~ 32	16 ~ 32	8 ~ 16
HD64413ASF	HD64413AF	S	1 ~ 約 128	8 ~ 1023	8 ~ 1023	8 ~ 1023	8 ~ 2046	8 ~ 1023
HD64413ASFI	HD64413AFI	S	1 ~ 約 128	8 ~ 1023	8 ~ 1023	8 ~ 1023	8 ~ 2046	8 ~ 1023

【注】 TDX : ソースの X 方向のサイズ (画素)

制約あり製品 : HD64413AF、HD64413AFI

制約なし製品 : HD64413ASF、HD64413ASFI

## 6.6 Q2SD が設定する UGM 用 SDRAM のモードレジスタ値について

Q2SD は、リセット解除時に UGM として接続されている SDRAM に対して初期化シーケンスを実行し、SDRAM 内のモードレジスタを設定します。UGM として使用する SDRAM は、Q2SD が設定する下記機能をサポートしているメモリをお使いください。SDRAM 内のモードレジスタの設定値は、下記表に示す固定値です。Q2SD のマスクバージョンにより異なりますのでご注意ください。

製品型番	マーク型番	工程コード	マスクコード	Q2SD が設定する SDRAM 動作モード
HD64413AF* <sup>4</sup>	HD64413AF	なし	なし	バーストリード&バーストライトモード CAS レイテンシ=3 バーストタイプはシーケンシャル バースト長=1* <sup>1</sup>
HD64413AFI* <sup>4</sup>	HD64413AF	I	なし	バーストリード&バーストライトモード CAS レイテンシ=3 バーストタイプはシーケンシャル バースト長=1* <sup>1</sup>
HD64413ASF	HD64413AF	なし	S	バーストリード&シングルライトモード CAS レイテンシ=3 バーストタイプはシーケンシャル バースト長=1* <sup>2*3</sup>
HD64413ASFI	HD64413AF	I	S	バーストリード&シングルライトモード CAS レイテンシ=3 バーストタイプはシーケンシャル バースト長=1* <sup>2*3</sup>

- 【注】 \*1 Q2SD が設定する SDRAM 内モードレジスタ値は H'2030 です。また、メモリ容量 64M ビット、データ幅 16 ビットの SDRAM を 1 個使用する場合には、Q2SD の MA13 に対応する SDRAM 内モードレジスタのビットが don't care になっている製品を使用してください。
- \*2 Q2SD が設定する SDRAM 内モードレジスタ値は H'2230 です。また、メモリ容量 64M ビット、データ幅 16 ビットの SDRAM を 1 個使用する場合には、Q2SD の MA13 に対応する SDRAM 内モードレジスタのビットが don't care になっている製品を使用してください。
- \*3 バーストリード&シングルライトをサポートしていない SDRAM でも以下の製品については、正常動作します。  
MSM56V16160F ( 沖電気工業株式会社製 2Bank 512K × 16 SDRAM F Version )
- \*4 HD64413AF および HD64413AFI は、HD64413ASF および HD64413ASFI の量産開始後、廃止予定です。



## 7. 電気的特性

### 7.1 絶対最大定格

表 7.1 絶対最大定格

項目	記号	規格値	単位
電源電圧	$V_{CC}^{*1}$	- 0.3 ~ + 4.6	V
入力電圧	$V_{in}^{*1}$	- 0.3 ~ $V_{CC} + 0.3$	V
許容出力 Low レベル電流	$ I_{OL} ^{*2}$	2	mA
許容総出力 Low レベル電流	$ \sum I_{OL} ^{*3}$	172	mA
許容出力 High レベル電流	$ -I_{OH} ^{*2}$	2	mA
許容総出力 High レベル電流	$ \sum (-I_{OH}) ^{*3}$	172	mA
動作温度	$T_{opr}$	0 ~ 70	
保存温度	$T_{stg}$	- 55 ~ + 125	

【注】 \*1 GND = 0V を基準とした値。DAV<sub>CC</sub>、PLL<sub>CC</sub>を含む。

\*2 許容出力電流とは、1 出力端子および 1 入出力共通端子から引き込める、または流し出せる電流の最大値。

\*3 許容総出力電流とは、出力端子および入出力共通端子から引き込める、または流し出せる電流の総和。

#### 【使用上の注意】

最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では推奨動作条件で使用する事が望ましく、この条件を超えると LSI の信頼性に悪影響を及ぼすことがあります。

### 7.2 推奨動作条件

表 7.2 推奨動作条件

項目	記号	min	typ	max	単位
電源電圧	$V_{CC}^{*1}$	3.0	3.3	3.6	V
入力 Low レベル電圧 (CLK0、CLK1 を除く)	$V_{ILT}^{*1}$	0	-	0.6	V
入力 Low レベル電圧 (CLK0、CLK1)	$V_{ILC}^{*1}$	0	-	0.6	V
入力 High レベル電圧 (CLK0、CLK1 を除く)	$V_{IHT}^{*1}$	2.2	-	$V_{CC}$	V
入力 High レベル電圧 (CLK0、CLK1)	$V_{IHC}^{*1}$	$0.8V_{CC}$	-	$V_{CC}$	V
動作温度	$T_{opr}^{*2}$	0	25	70	

【注】 \*1 GND = 0V を基準とした値。

\*2 動作温度 - 40 ~ 85 品については弊社営業窓口まで問い合わせください。

### 7.3 電気的特性測定方法

#### 7.3.1 タイミング測定法

タイミング測定時の出力 Low レベル電圧は 1.5V です。また、タイミング測定時の出力 High レベル電圧は 1.5V です。

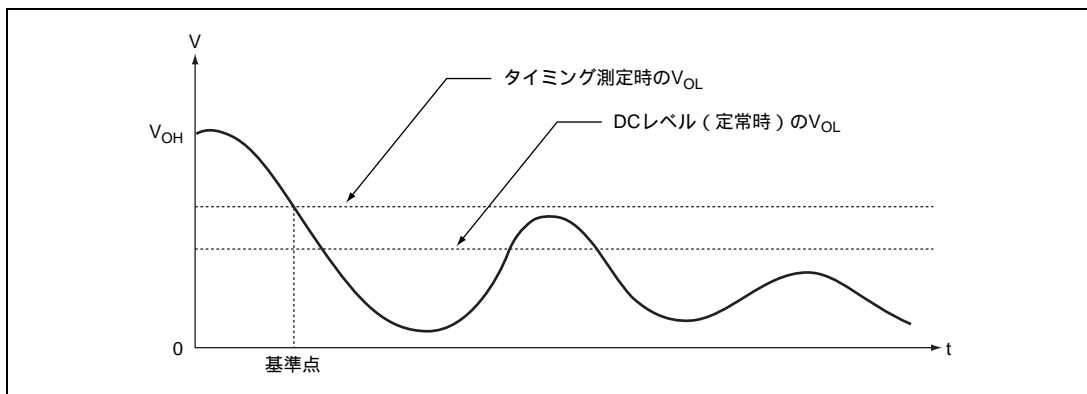


図 7.1  $V_{OL}$  のタイミング測定基準

#### 7.3.2 テスト負荷回路 (全出力、全入出力端子)

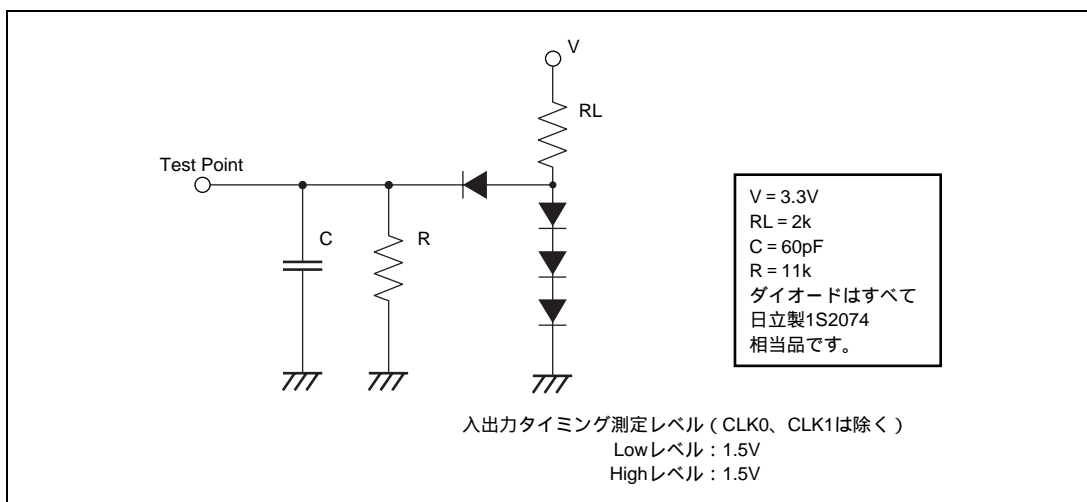


図 7.2 テスト負荷回路

## 7.4 電気的特性

## 7.4.1 DC 特性

表 7.3 DC 特性

( 特記なき場合は、 $V_{CC} = DACV_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $GND = DACGND = PLLGND = 0V$ 、 $T_s = 0 \sim +70$  )  
 各項目の値は目標値であり、サンプル測定後に結果を反映するものも含まれます。

項目	端子名	記号	min	max	単位	測定条件
入力 High レベル電圧 (CMOS レベル)	I1	$V_{IHC}$	$0.8 \times V_{CC}$	$V_{CC} + 0.3$	V	
入力 Low レベル電圧 (CMOS レベル)		$V_{ILC}$	- 0.3	$V_{CC} \times 0.2$		
入力 High レベル電圧 (TTL レベル)	I2, IO	$V_{IHT}$	2.2	$V_{CC} + 0.3$	V	
入力 Low レベル電圧 (TTL レベル)		$V_{ILT}$	- 0.3	$V_{CC} \times 0.2$		
入力リーク電流	I1, I2	$I_{in}$	-	1	$\mu A$	$V_{in} = 0 - V_{CC}$
スリーステート入力電流 (オフ状態)	IO, O	$I_{TSI}$	-	1		$V_{in} = 0.4 - V_{CC}$
出力 High レベル電圧	IO, O	$V_{OH}$	2.2	-	V	$I_{OH} = - 200 \mu A$
出力 Low レベル電圧	IO, O	$V_{OL}$	-	0.6		$I_{OL} = 1.6mA$
入力容量	IO	$C_{in}$	-	20	$pF$	$V_{in} = 0V$
	I1, I2		-	20		$T_s = 25$ $f = 1.0MHz$
消費電流		$I_{CC}$	-	350	$mA$	データバス動作中 / 表示動作中 / コマンド実行中

【注】 表 7.3 で使用されている記号は以下の通りです。

記号	入力	出力	High-Z	Pull-up	端子名
I1	CMOS	-	-	-	CLK0, CLK1
I2	TTL	-	-	-	MOD2~0, RESET, A22~1, CS1, CS0, RD, WE1, WE0, DACK, VIN7~0, VHS, VVS, VODD, VQCLK
IO	TTL	CMOS	有	-	D15~0, HSYNC / EXHSYNC, VSYNC / EXVSYNC, ODDF, MD31~0
O	-	CMOS	-	-	DREQ, WAIT, IRL, CSYNC, DISP, CDE, MA13~0, MCS, MWE, MRAS, MCAS, LDQM1~0, UDQM1~0, MCLK

## 7. 電気的特性

### 7.4.2 AC 特性

#### (1) クロック

表 7.4 入力クロック (MODE2~0 端子 = 000、001、010 : 通倍 ON の場合)

特記なき場合は、 $V_{CC} = DACV_{CC} = PLLV_{CC} = 3.3V \pm 0.3V$ 、 $GND = DACGND = PLLGND = 0V$ 、 $T_a = 0 \sim +70$  とします。  
各タイミングは目標値であり、サンプル測定後に結果を反映するものも含まれます。

項目	記号	min	max	単位	測定条件	備考
CLK0 サイクル時間 1	$t_{cyc}$	15	25	ns	図 7.3	1 通倍
CLK0 サイクル時間 2	$t_{cyc}$	30	50	ns		2 通倍
CLK0 サイクル時間 3	$t_{cyc}$	60	100	ns		4 通倍
CLK0 High レベルパルス幅	$t_{CPWH}$	5.5	-	ns		
CLK0 Low レベルパルス幅	$t_{CPWL}$	5.5	-	ns		
MCLK サイクル時間	$t_{cyc0}$	15	25	ns		
MCLK High レベルパルス幅	$t_{CMPWH}$	5.0	-	ns		
MCLK Low レベルパルス幅	$t_{CMPWL}$	5.0	-	ns		
CLK1 サイクル時間	$t_{cyc1}$	30	200	ns		
CLK1 High レベルパルス幅	$t_{C1PWH}$	10	-	ns		
CLK1 Low レベルパルス幅	$t_{C1PWL}$	10	-	ns		
CLK1 デューティ	$t_{CIDT}$	$0.5t_{cyc1} - 0.07t_{cyc1}$	$0.5t_{cyc1} + 0.07t_{cyc1}$	ns		
CLK1 立ち上がり時間	$t_{cr}$	-	5.0	ns		
CLK1 立ち下がり時間	$t_{cf}$	-	5.0	ns		
MCLK 立ち上がり時間	$t_{mcrr}$	-	4.5	ns		
MCLK 立ち下がり時間	$t_{mcfr}$	-	4.5	ns		

#### (2) リセット

表 7.5 リセット

項目	記号	min	max	単位	測定条件	備考
RESET Low パルス幅	$t_{RESW}$	40	-	$t_{cyc0}$	図 7.4	

#### (3) CPU リードサイクル

表 7.6 CPU リードサイクル

項目	記号	min	max	単位	測定条件	備考
アドレスセットアップ時間	$t_{ADS}$	0	-	ns	図 7.5	
アドレスホールド時間	$t_{ADH}$	0	-	ns		*1
$\overline{CSn}$ セットアップ時間	$t_{CSS}$	0	-	ns		*2
$\overline{CSn}$ ホールド時間	$t_{CSH}$	0	-	ns		*3

項目	記号	min	max	単位	測定条件	備考
WAIT サイクルスタート時間 1	$t_{WAS1}$	-	$3t_{cy0} + 15$	ns	図 7.5	
RD High レベル幅	$t_{RDHW}$	$t_{cy0}$	-	ns		
WAIT に対するリードデータ セットアップ時間	$t_{RDOWS}$	0	-	ns		
WAIT ドライブ時間	$t_{WAD}$	$t_{cy0}$	-	ns		
リードデータターンオン時間	$t_{RDDON}$	0	-	ns		
リードデータホールド時間	$t_{RDDH}$	1.5	-	ns		
リードデータターンオフ時間	$t_{RDDOF}$	1.5	-	ns		
WE High レベル幅	$t_{WEHW}$	$t_{cy0}$	-	ns		

【注】 \*1 アドレス A22～A1 は少なくとも WAIT の立ち上がりまでホールドしてください。

\*2  $\overline{CSn}$  の（立ち下がり）が  $\overline{RD}$  の より遅い場合は、 $t_{ADS}$ 、 $t_{WAS1}$ 、 $t_{RDDON}$ 、 $t_{WEHW}$  の規定は  $\overline{CSn}$  の からの規定となります。 $\overline{CSn} = \overline{CS0}$ 、 $\overline{CS1}$ 。

\*3  $\overline{CSn}$  の（立ち上がり）が  $\overline{RD}$  の より早い場合は、 $t_{ADH}$ 、 $t_{RDDH}$ 、 $t_{RDDOF}$ 、 $t_{WEHW}$  の規定は  $\overline{CSn}$  の からの規定となります。 $\overline{CSn} = \overline{CS0}$ 、 $\overline{CS1}$ 。

#### (4) CPU ライトサイクル

表 7.7 CPU ライトサイクル

項目	記号	min	max	単位	測定条件	備考
アドレスセットアップ時間	$t_{ADS}$	0	-	ns	図 7.6	
アドレスホールド時間	$t_{ADH}$	2	-	ns		
$\overline{CSn}$ セットアップ時間	$t_{CSS}$	0	-	ns		*1
$\overline{CSn}$ ホールド時間	$t_{CSH}$	0	-	ns		*2
$\overline{RD}$ High レベル幅	$t_{RDHW}$	$t_{cy0}$	-	ns		
WAIT ドライブ時間	$t_{WAD}$	$t_{cy0}$	-	ns		
WAIT サイクルスタート時間 2	$t_{WAS2}$	-	$3t_{cy0} + 15$	ns		
WE High レベル幅	$t_{WEHW}$	$t_{cy0}$	-	ns		*3
WE に対するライトデータ セットアップ時間	$t_{WRDES}$	$2t_{cy0}$	-	ns		*3
ライトデータホールド時間	$t_{WRDH}$	2	-	ns		

【注】 \*1  $\overline{CSn}$  の（立ち下がり）が  $\overline{WE}$  の より遅い場合は、 $t_{ADS}$ 、 $t_{RDHW}$ 、 $t_{WAS2}$  の規定は  $\overline{CSn}$  の からの規定になります。 $\overline{CSn} = \overline{CS0}$ 、 $\overline{CS1}$ 。 $\overline{WE} = \overline{WE0}$ 、 $\overline{WE1}$ 。

\*2  $\overline{CSn}$  の（立ち上がり）が  $\overline{WE}$  の より早い場合は、 $t_{ADH}$ 、 $t_{RDHW}$ 、 $t_{WRDES}$ 、 $t_{WRDH}$ 、 $t_{WRDOF}$  の規定は  $\overline{CSn}$  の からの規定になります。 $\overline{CSn} = \overline{CS0}$ 、 $\overline{CS1}$ 。 $\overline{WE} = \overline{WE0}$ 、 $\overline{WE1}$ 。

\*3  $\overline{WE} = \overline{WE0}$ 、 $\overline{WE1}$ 。

## 7. 電気的特性

### (5) DMA ライトサイクル

表 7.8 DMA ライトサイクル

項目	記号	min	max	単位	測定条件	備考
RD High レベル幅	$t_{RDHW}$	$t_{cy0}$	-	ns	図 7.7 (1)、(2) (3)、(4)	
RD Low レベル幅	$t_{RDLW}$	$3t_{cy0}$	-	ns		
WE High レベル幅	$t_{WEHW}$	$t_{cy0}$	-	ns		
ライトデータホールド時間	$t_{WRDH}$	2	-	ns		
RD に対するライトデータセットアップ時間	$t_{WRDRS}$	$2t_{cy0}$	-	ns		
RD に対する DREQ ネグート時間	$t_{DARN}$	-	$3t_{cy0} + 15$	ns		
RD に対する DREQ アサート時間	$t_{DARA}$	$3t_{cy0} + 15$	-	ns		
RD に対する DACK セットアップ時間	$t_{DARS}$	0	-	ns		
RD に対する DACK ホールド時間	$t_{DARH}$	0	-	ns		
WE に対する DACK セットアップ時間	$t_{DAWS}$	0	-	ns		
WE に対する DACK ホールド時間	$t_{DAWH}$	0	-	ns		
WE Low レベル幅	$t_{WELW}$	$3t_{cy0}$	-	ns		
WE に対するライトデータセットアップ時間	$t_{WRDWS}$	$2t_{cy0}$	-	ns		
WE に対するライトデータホールド時間	$t_{WRDWH}$	2	-	ns		
WE に対する DREQ ネグート時間	$t_{DAWN}$	-	$3t_{cy0} + 15$	ns		
WE に対する DREQ ホールド時間	$t_{DAWA}$	$3t_{cy0} + 15$	-	ns		

【注】 \*1  $\overline{DACK}$  の (立ち下がり) が RD の より遅い場合は、 $t_{RDLW}$  の規定は  $\overline{DACK}$  の からの規定になります。

\*2  $\overline{DACK}$  の (立ち上がり) が RD の より早い場合は、 $t_{RDLW}$ 、 $t_{WRDH}$ 、 $t_{WRDRS}$  の規定は  $\overline{DACK}$  の からの規定になります。

\*3  $\overline{DACK}$  の (立ち下がり) が  $\overline{WEn}$  の より遅い場合は、 $t_{WELW}$  の規定は  $\overline{DACK}$  の からの規定になります。 $\overline{WEn} = \overline{WE0}$ 、 $\overline{WE1}$ 。

\*4  $\overline{DACK}$  の (立ち上がり) が  $\overline{WEn}$  の より早い場合は、 $t_{WELW}$ 、 $t_{WRDWS}$ 、 $t_{WRDWH}$  の規定は  $\overline{DACK}$  の から規定になります。 $\overline{WEn} = \overline{WE0}$ 、 $\overline{WE1}$ 。

### (6) 割り込み出力

表 7.9 割り込み出力

項目	記号	min	max	単位	測定条件	備考
IRL 遅延時間	$t_{IRD}$	-	15	ns	図 7.8	

## (7) UGM リードサイクル

表 7.10 UGM リードサイクル

項目	記号	min	max	単位	測定条件	備考
MD 入力セットアップ時間	$t_{MDIS}$	6	-	ns	図 7.9	
MD 入力ホールド時間	$t_{MDIH}$	3	-	ns		
MD 入力ターンオン時間	$t_{MDIN}$	0	-	ns		
MD 入力ターンオフ時間	$t_{MDIF}$	-	9	ns		
MA 遅延時間	$t_{MAD}$	-	12	ns		
MA ホールド時間	$t_{MAH}$	1	-	ns		
MD 出力ターンオフ時間	$t_{MDOF}$	-	12	ns		
MD 出力ターンオン時間	$t_{MDON}$	0	-	ns		
MCS 遅延時間	$t_{MCS D}$	-	12	ns		
MCS ホールド時間	$t_{MCS H}$	1	-	ns		

## (8) UGM ライトサイクル

表 7.11 UGM ライトサイクル

項目	記号	min	max	単位	測定条件	備考
MD 出力遅延時間	$t_{MDO D}$	-	12	ns	図 7.10	
MD 出力ホールド時間	$t_{MDO H}$	1	-	ns		
MA 遅延時間	$t_{MAD}$	-	12	ns		
MA ホールド時間	$t_{MAH}$	1	-	ns		
MCS 遅延時間	$t_{MCS D}$	-	12	ns		
MCS ホールド時間	$t_{MCS H}$	1	-	ns		

## (9) UGM リフレッシュサイクル・モードレジスタセットサイクル

表 7.12 UGM リフレッシュサイクル・モードレジスタセットサイクル

項目	記号	min	max	単位	測定条件	備考
MA 遅延時間	$t_{MAD}$	-	12	ns	図 7.11 (1) (2)	
MA ホールド時間	$t_{MAH}$	1	-	ns		
MCS 遅延時間	$t_{MCS D}$	-	12	ns		
MCS ホールド時間	$t_{MCS H}$	1	-	ns		

## 7. 電気的特性

### (10) マスタ表示モード

表 7.13 マスタ表示モード

項目	記号	min	max	単位	測定条件	備考
CLK1 からの HSYNC 遅延時間	$t_{HSDD}$	-	15	ns	図 7.12	
CLK1 からの VSYNC 遅延時間	$t_{VSDD}$	-	15	ns		
CLK1 からの ODDF 遅延時間	$t_{ODDD}$	-	15	ns		
CLK1 からの CSYNC 遅延時間	$t_{SYDD}$	-	15	ns		
CLK1 からの DISP 遅延時間	$t_{DIDD}$	-	15	ns		
CLK1 からの CDE 遅延時間	$t_{CDEDD}$	-	15	ns		

### (11) TV 同期表示モード

表 7.14 TV 同期表示モード

項目	記号	min	max	単位	測定条件	備考
CLK1 からの DISP 遅延時間	$t_{DIDD}$	-	15	ns	(1) (2)	
CLK1 からの CDE 遅延時間	$t_{CDEDD}$	-	15	ns		
EXHSYNC Low レベル幅	$t_{EXLLW}$	$4t_{cyc1}$	-	ns		
EXHSYNC High レベル幅	$t_{EXHHW}$	$4t_{cyc1}$	-	ns		
EXHSYNC 受領不定時間 1	$t_{EXH1}$	5	-	ns		
EXHSYNC 受領不定時間 2	$t_{EXH2}$	5	-	ns		
EXHSYNC に対する DISP スタート時間	$t_{DIEXH}$	hds-1	hds-1	$t_{cyc1}$		*
EXVSYNC Low レベル幅	$t_{EXVLLW}$	3HC	-	$t_{cyc1}$		
EXVSYNC 受領不定時間 1	$t_{EXV1}$	5	-	ns		
EXVSYNC 受領不定時間 2	$t_{EXV2}$	5	-	ns		
ODDF 受領不定時間 1	$t_{OD1}$	$(ys+yw) \times HC$	-	$t_{cyc1}$		
ODDF 受領不定時間 2	$t_{OD2}$	$1t_{cyc1}$	-	ns		

【注】 \* hds = hsw + xs



## (12) ビデオインタフェース

項目	記号	min	max	単位	測定条件	備考
VQCLK High レベルパルス幅	$t_{OHV}$	15	-	ns	図 7.14 (1)(2)	
VQCLK Low レベルパルス幅	$t_{OLW}$	15	-	ns		
VODD セットアップ時間	$t_{VOS}$	1	-	$t_{Cyc0}$		
VIN セットアップ時間	$t_{VNS}$	5	-	ns		
VIN ホールド時間	$t_{VNH}$	11.7	-	ns		
VVS Low レベルパルス幅	$t_{VVL}$	2	-	Hline		*
VHS Low レベルパルス幅	$t_{VHL}$	64	-	$t_{Cyc0}$		
VQCLK 立ち上がり - VQCLK 立ち上がり期間	$t_{QQP}$	34.5	-	ns		$t_{QQP} > 2 \times t_{Cyc0}$
VODD ホールド時間	$t_{VOH}$	1	-	$t_{Cyc0}$		
VVS セットアップ時間	$t_{VHS}$	5	-	$t_{Cyc0}$		
VHS セットアップ時間	$t_{HGS}$	10	-	$t_{Cyc0}$		
VHS 受領不定時間	$t_{VHSRU}$	2	-	Hline		

【注】 \* Hline は VHS の周期

## (13) ビデオ DAC

項目	記号	min	max	単位	測定条件	備考
分解能		8	8	bit	DC テスト	
微分直線性誤差		-	0.5	LSB	DC テスト	
変換速度		-	33	MHz	データ書き込み テスト	
出力最大電流	Iout		3	mA		
アナログフルスケール出力		0.9	1.1	V	DC テスト	
アナログゼロスケール出力		- 0.1	0.1	V	DC テスト	
フルスケール誤差		- 10	10	%	DC テスト	

## 7.5 タイミングチャート

### 7.5.1 クロック

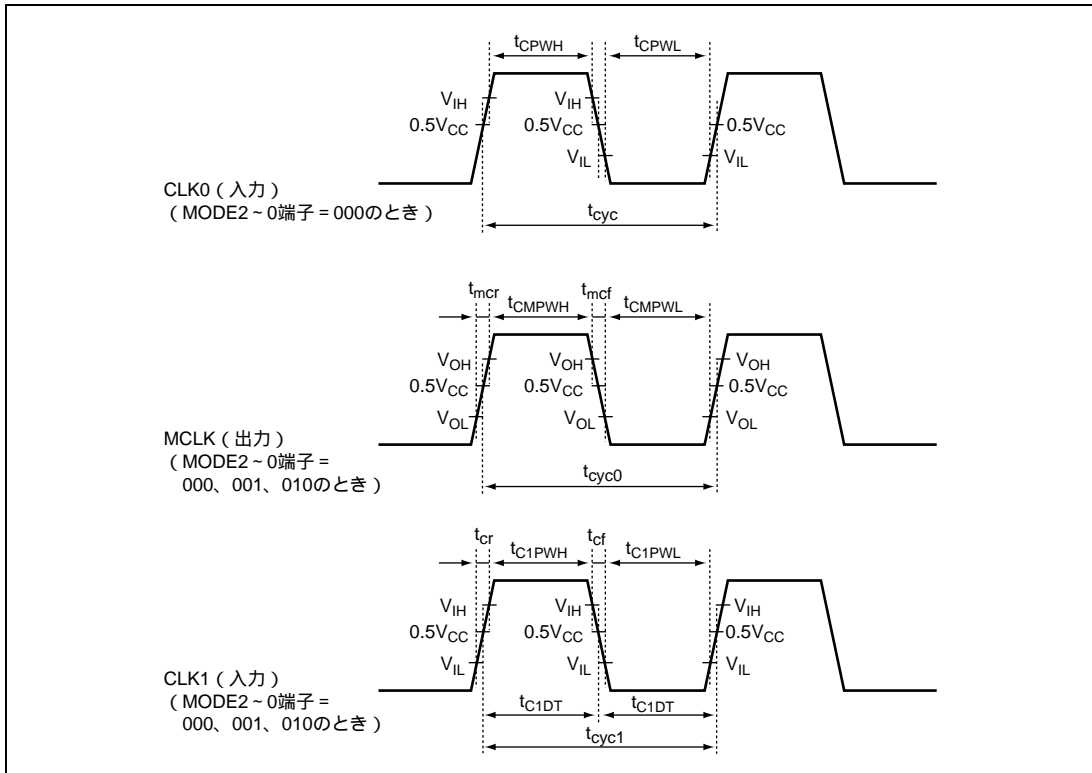


図 7.3 入力クロック

### 7.5.2 リセットタイミング

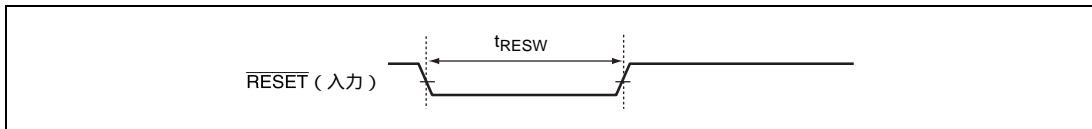


図 7.4 リセットタイミング

## 7.5.3 CPU リードサイクルタイミング

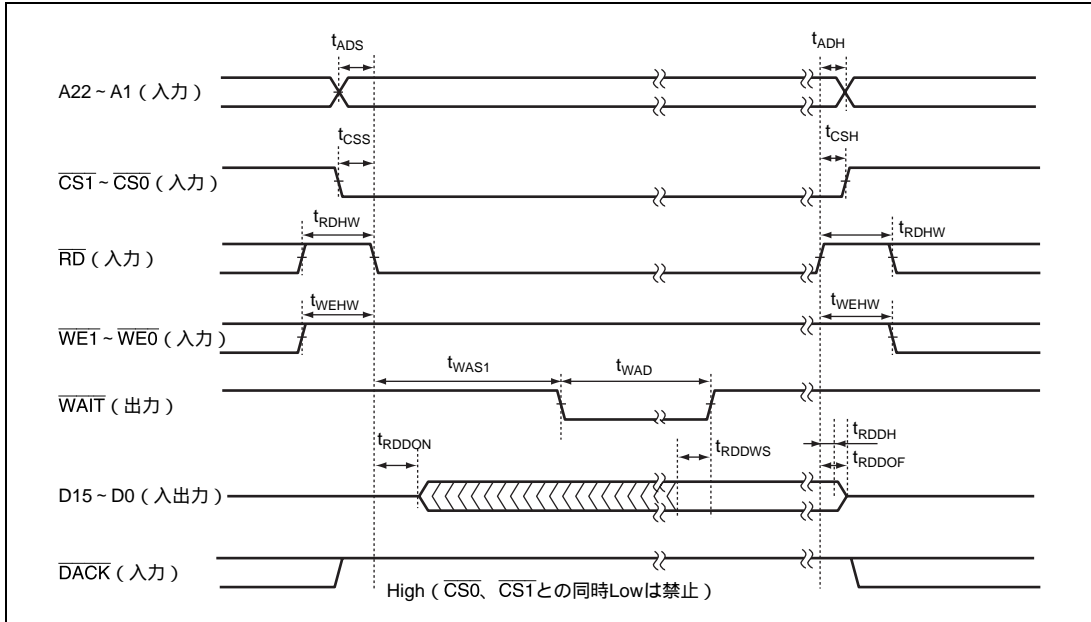


図 7.5 CPU リードサイクルタイミング (CPU Q2SD) ハードウェアウェイトあり

## 7.5.4 CPU ライトサイクルタイミング

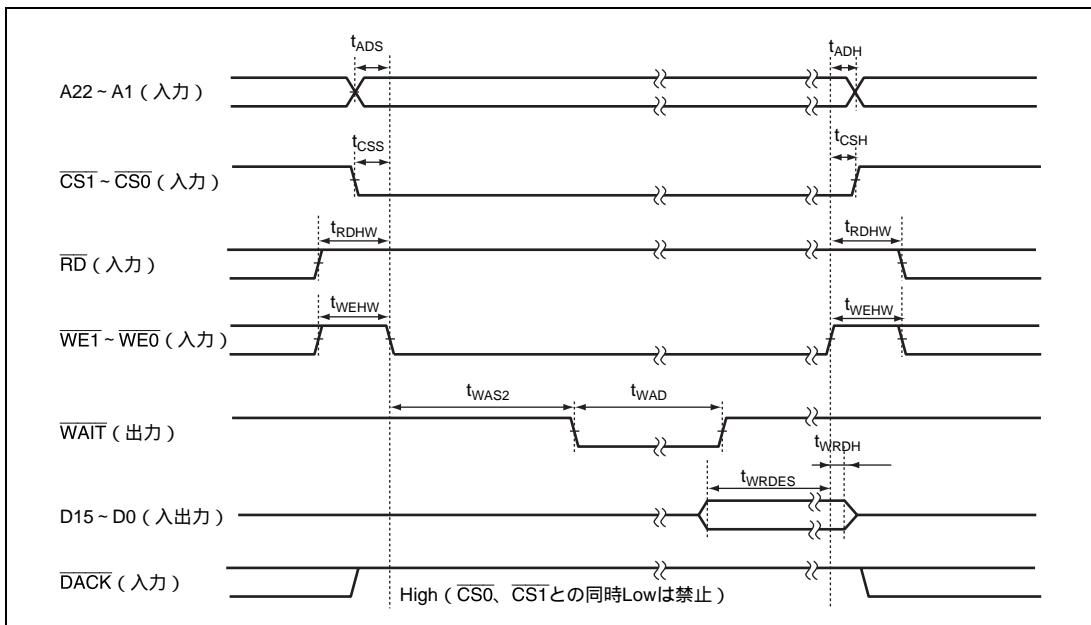


図 7.6 CPU ライトサイクルタイミング (CPU Q2SD) ハードウェアウェイトあり

## 7. 電気的特性

### 7.5.5 DMA ライトサイクルタイミング (DMAC Q2SD)

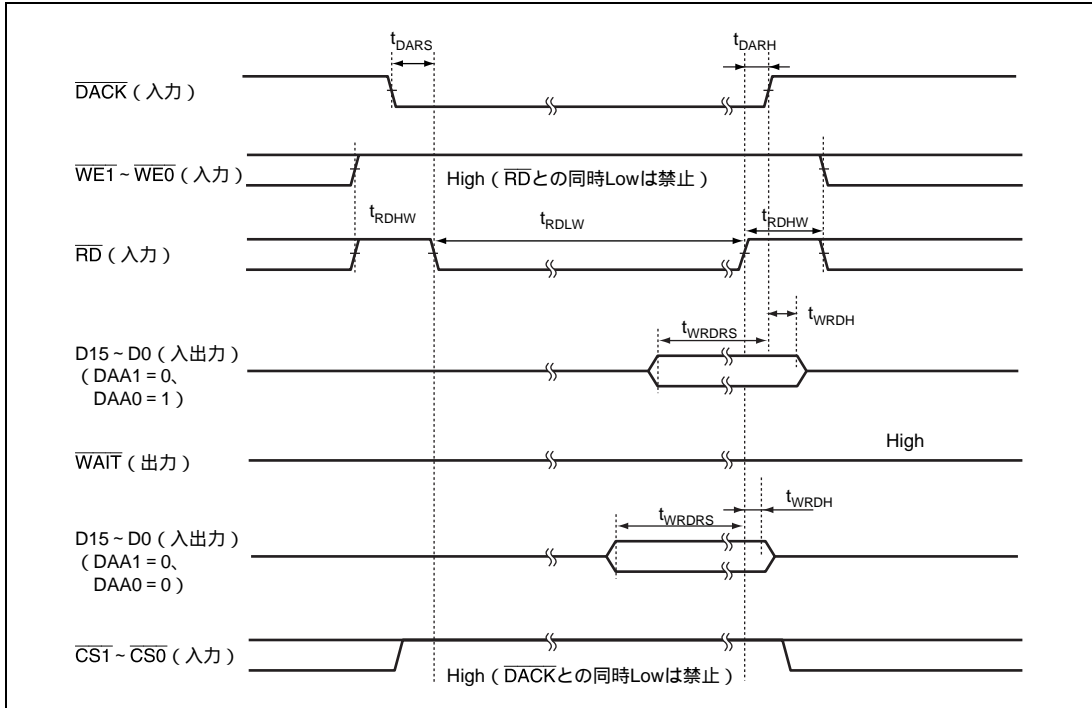


図 7.7 (1) DMA ライトサイクルタイミング (シングルアドレス、DMAC Q2SD)

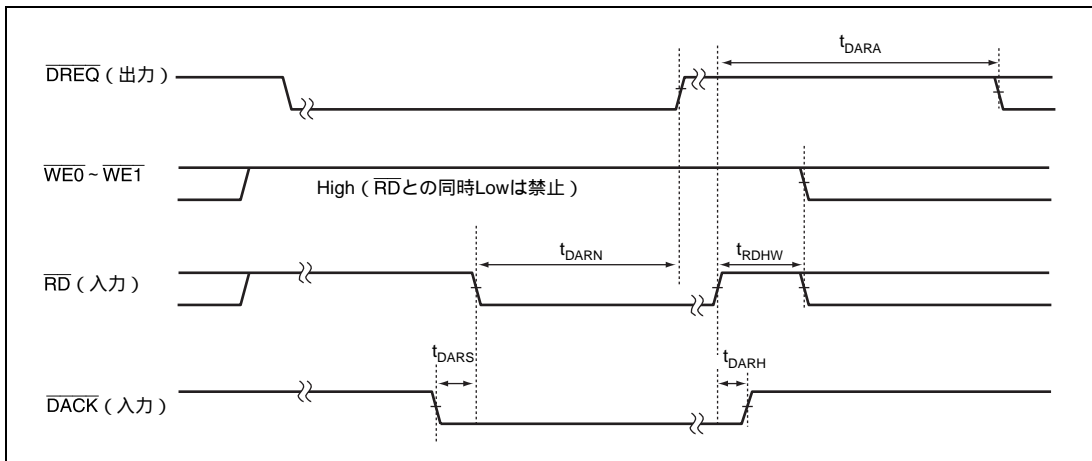


図 7.7 (2) DMA ライトサイクルタイミング (シングルアドレス、DMAC Q2SD)

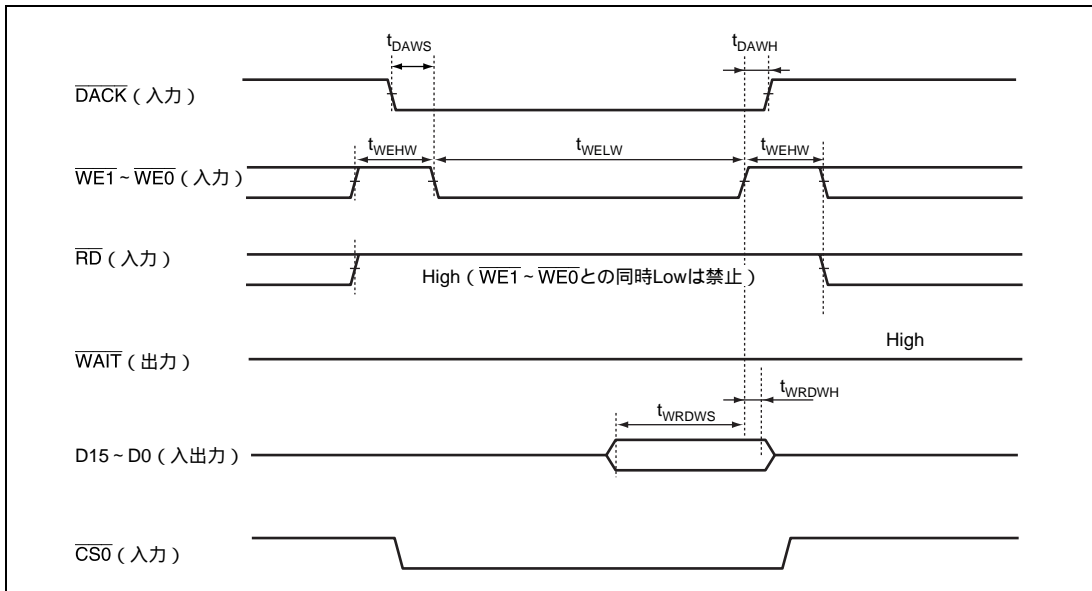


図 7.7 (3) DMA ライトサイクルタイミング (デュアルアドレス、DMAC Q2SD)

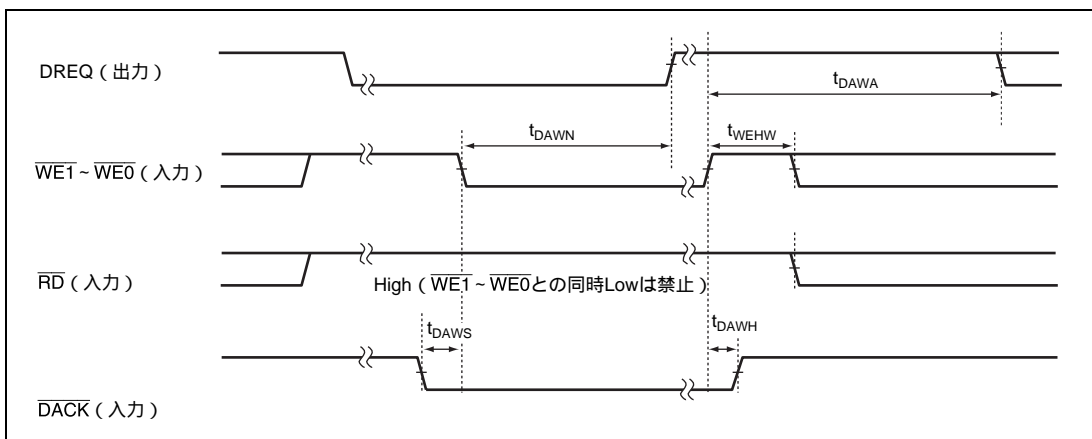


図 7.7 (4) DMA ライトサイクルタイミング (デュアルアドレス、DMAC Q2SD)

## 7. 電気的特性

### 7.5.6 割り込み出力タイミング

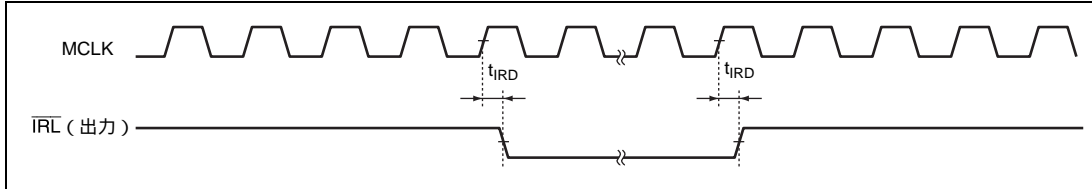


図 7.8 割り込み出力タイミング

### 7.5.7 UGM リードサイクルタイミング

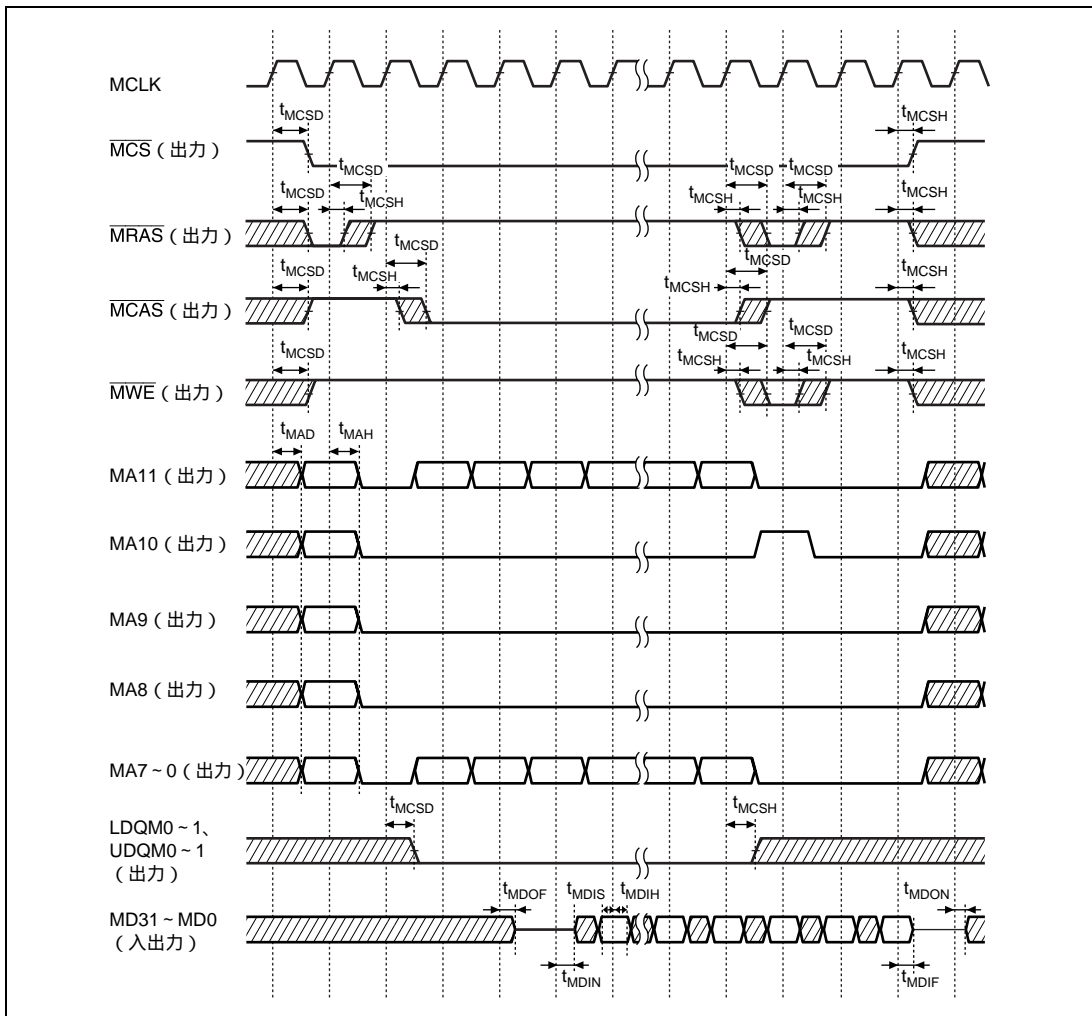


図 7.9 UGM リードサイクルタイミング

## 7.5.8 UGM ライトサイクルタイミング

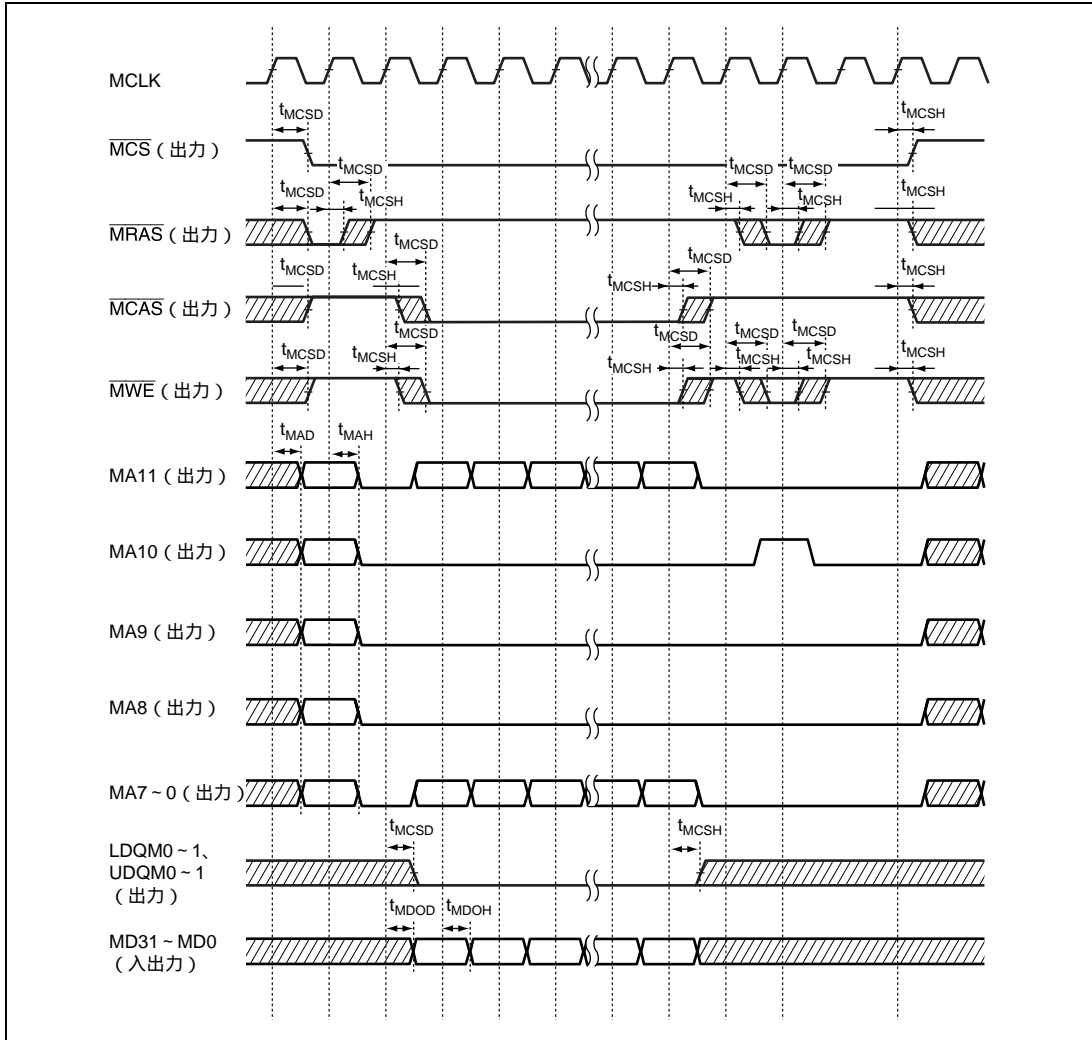


図 7.10 UGM ライトサイクルタイミング

7.5.9 UGM リフレッシュサイクルタイミング・モードレジスタセットタイミング

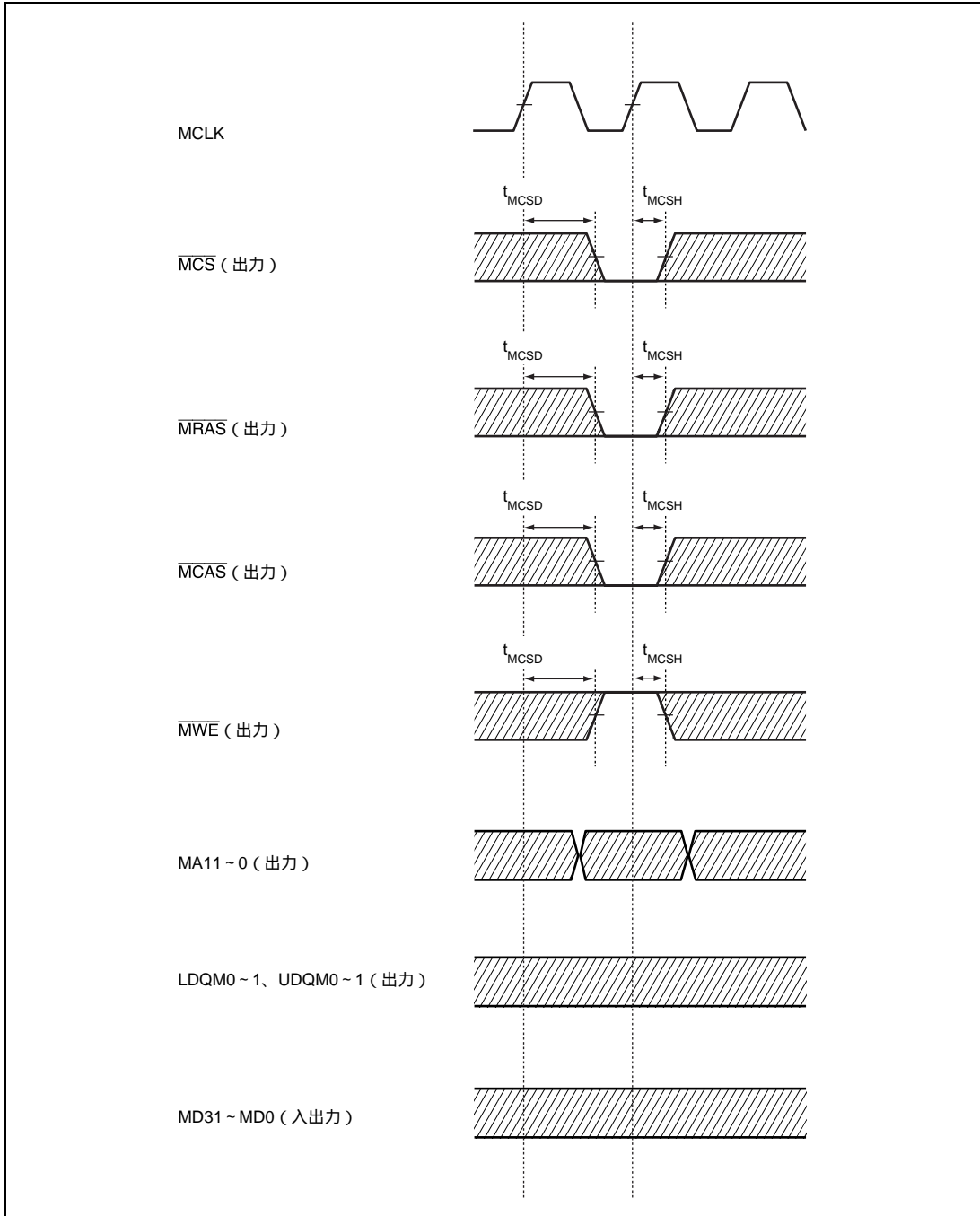


図 7.11 (1) UGM リフレッシュサイクルタイミング



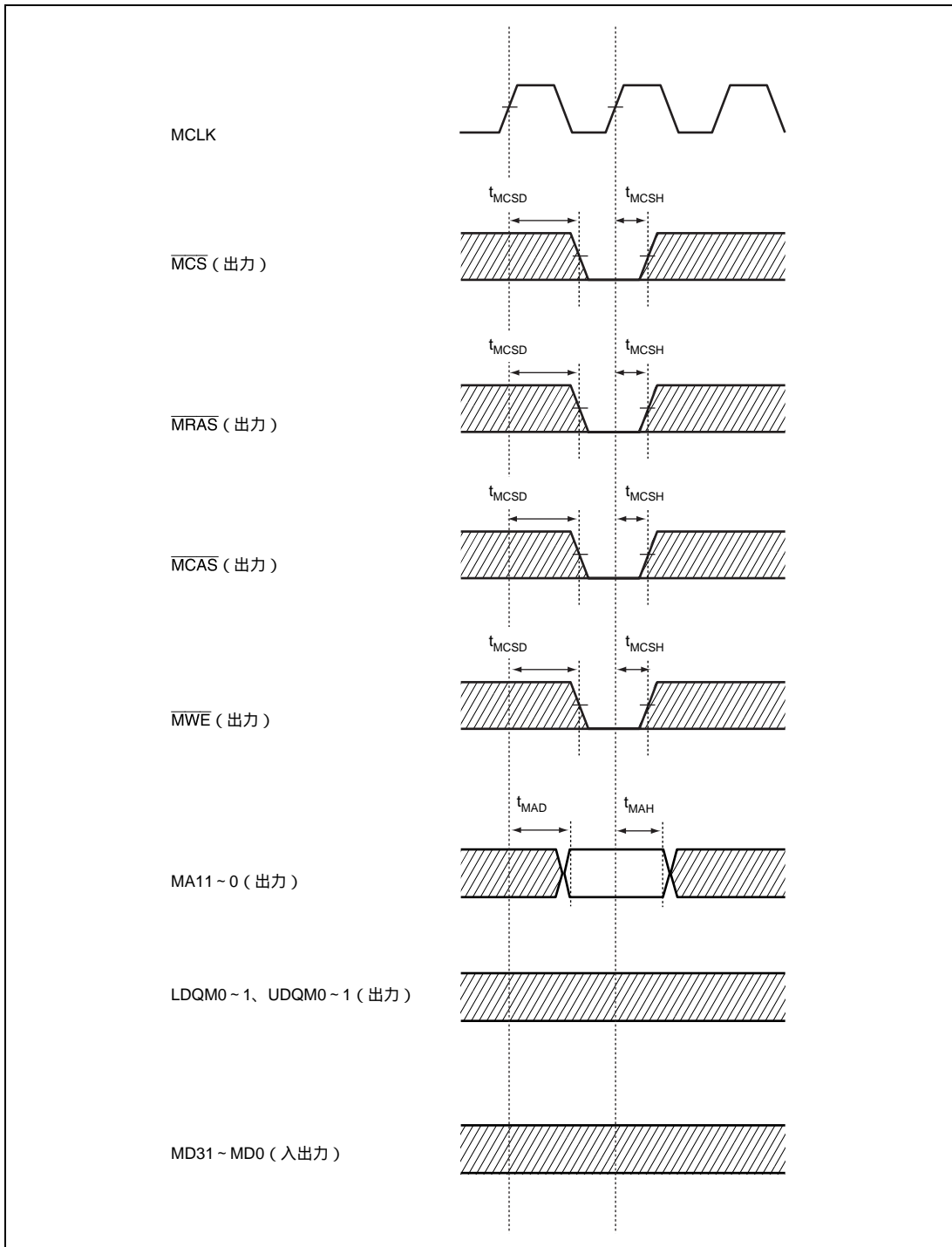


図 7.11 (2) UGM モードレジスタセットサイクルタイミング

7.5.10 マスタモード表示タイミング

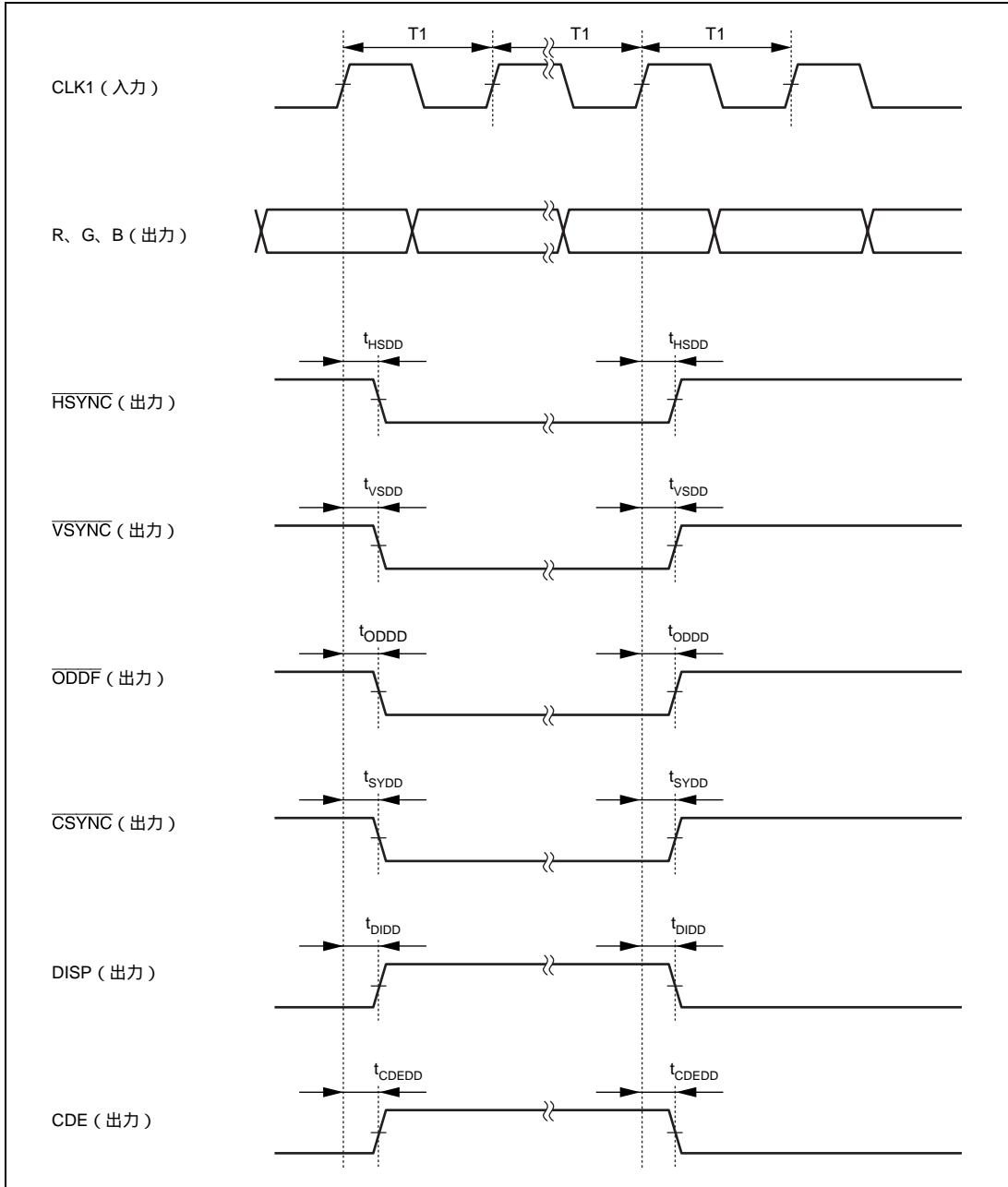


図 7.12 マスタモード表示タイミング

## 7.5.11 TV 同期モード表示タイミング

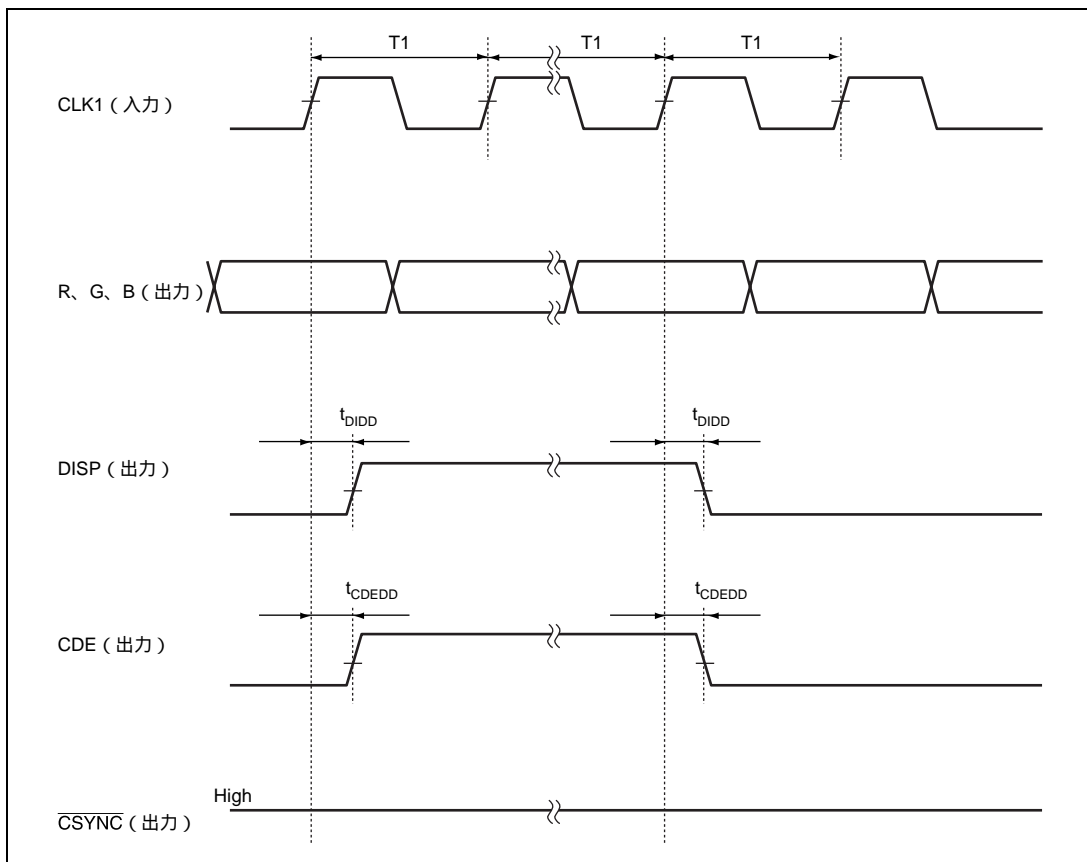


図 7.13 (1) TV 同期モード表示タイミング

7. 電気的特性

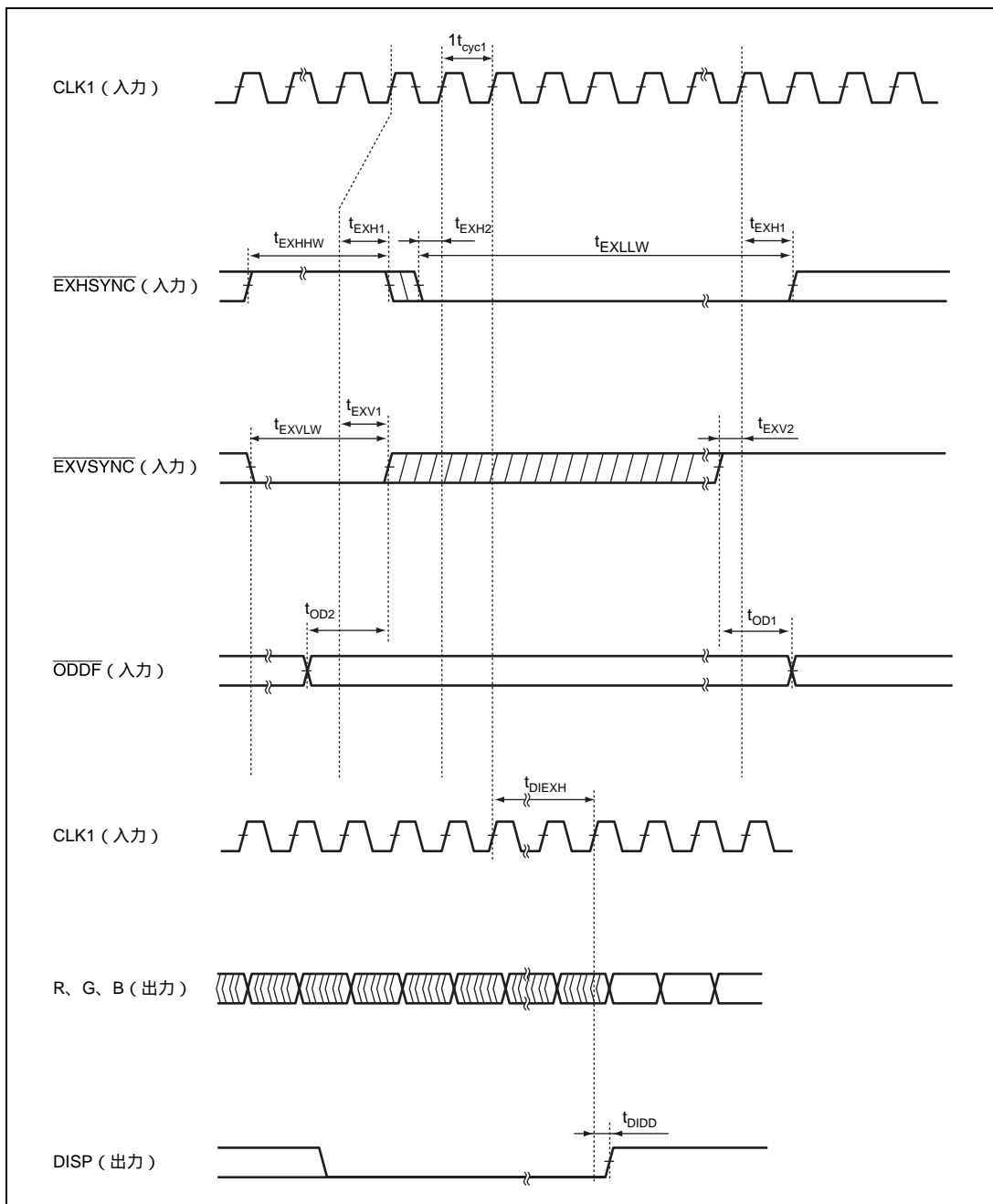


図 7.13 (2) TV 同期モード表示タイミング

## 7.5.12 ビデオインタフェースタイミング

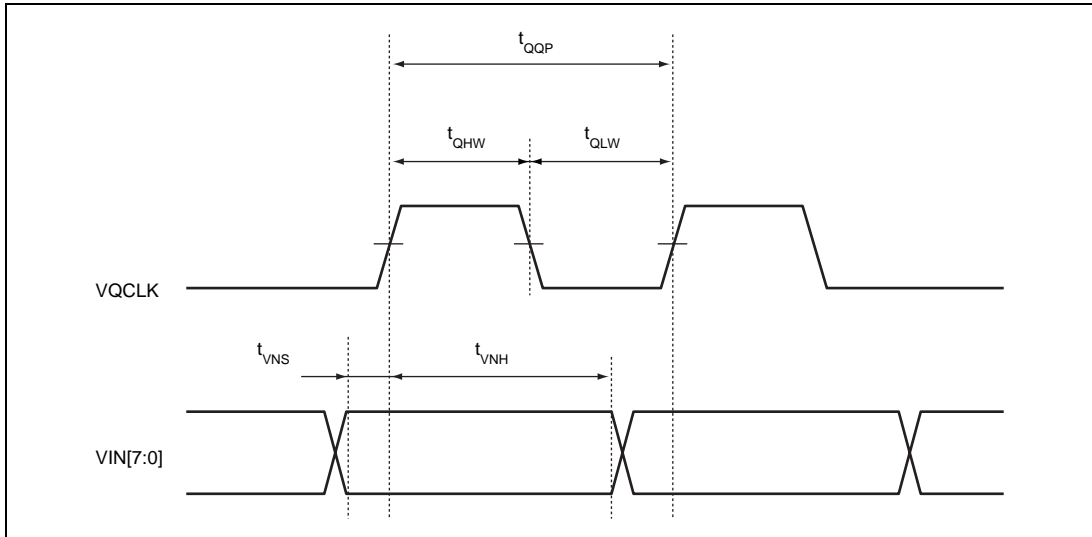


図 7.14 (1) ビデオインタフェースタイミング

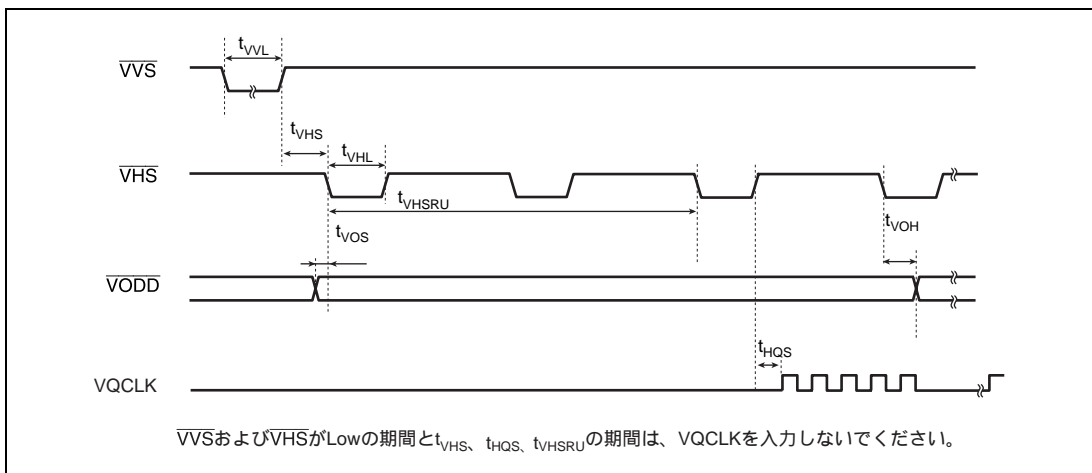


図 7.14 (2) ビデオインタフェースタイミング





B. コマンドとパラメータ

B.1 コマンドとレンダリング属性の関係

表 B.1 コマンドとレンダリング属性の関係表

コマンド	参照データ				描画先	レンダリング属性															
	多 値 ソ ー ス	2 値 ソ ー ス	2 値 ワ ー ク	指 定 カ ラ ー		レ ン ダ リ ン グ	ワ ー ク	T R N S	S T Y L	C L I P	N E T	E O S	H A L F	W O R K	太 線 描 画	F S T	L N i	E D G	R E L	C O O F	線 描 画 縁 ど り
POLYGON4A			A				*	*		*	*		*			*				Z	
POLYGON4B			A																		
POLYGON4C			A							*	*		*								
LINE																					
RLINE																					
PLINE																					
RPLINE																					
FTRAP													B								
RFTRAP													B								
CLRW																					
LINEW				V																	
RLINEW				V																	
MOVE																					
RMOVE																					
LCOFS																					
RLCOFS																					
CLIP																					
WPR																					
JUMP																					
GOSUB																					
RET																					
NOP3																					
VBKEM																					
TRAP																					

- 【記号説明】 : 可
- V : 可 (ただし、指定カラーは2値のEOSビットになります)
  - A : モードにより参照 (WORK = 1 のとき有効)
  - B : モードにより参照 (EDG = 1 のとき有効)
  - \* : モードにより参照 (FST = 1 のときには0を設定してください)
  - Z : モードにより参照 (LNi = 0 のときには0を設定してください)
  - 無印 : 不可 (0を設定してください)
  - : 可能 (使用制限あり、HALF = X < 0 は禁止、COOF = 縮小描画は禁止)



## B.2 コマンドのコマンドコード

表 B.2 コマンドのコマンドコード表

15					0
CODE					DRAW MODE
0	0	0	0	0	POLYGON4A
0	0	0	0	1	POLYGON4B
0	0	0	1	0	POLYGON4C
0	1	0	0	0	FTRAP
0	1	0	0	1	RFTRAP
0	1	0	1	0	LINEW
0	1	0	1	1	RLINEW
0	1	1	0	0	LINE
0	1	1	0	1	RLINE
0	1	1	1	0	PLINE
0	1	1	1	1	RPLINE
1	0	0	0	0	MOVE
1	0	0	0	1	RMOVE
1	0	0	1	0	LCOFS
1	0	0	1	1	RLCOFS
1	0	1	0	0	CLRW
1	0	1	0	1	UCLIP
1	0	1	1	0	WPR
1	0	1	1	1	SCLIP
1	1	0	0	0	JUMP
1	1	0	0	1	GOSUB
1	1	0	1	0	VBKEM
1	1	0	1	1	RET
1	1	1	1	1	TRAP
1	1	1	1	0	NOP3

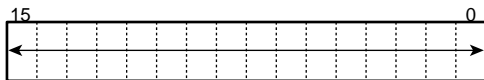
### B.3 コマンドのパラメータ仕様

コマンドコードのワードは略していますのでご注意ください。

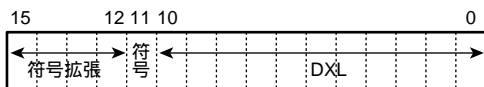
#### (1) POLYGON4 系



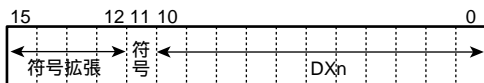
(2) FTRAP、RFTRAP



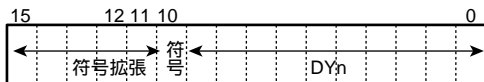
頂点数 (2 n 65535) 絶対  
(1 n 65535) 相対  
符号なし16ビットで与えます。



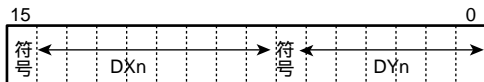
左側辺座標 DXL  
符号あり12ビットで与えます。  
上位の空ビットは符号拡張してください。



絶対座標  
頂点座標 DXn (2 n 65535)  
符号あり12ビットで与えます。  
上位の空ビットは符号拡張してください。

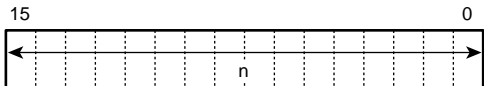


絶対座標  
頂点座標 DYn (2 n 65535)  
符号あり12ビットで与えます。  
上位の空ビットは符号拡張してください。

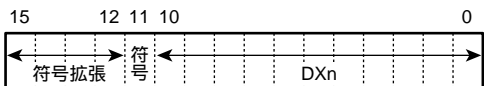


相対座標  
頂点座標 DXn, DYn (1 n 65535)  
符号あり8ビットで与えます。

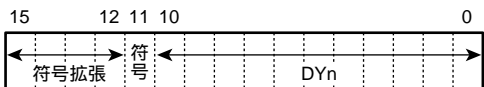
(3) LINEW、RLINEW



頂点数 (2 n 65535) 絶対  
(1 n 65535) 相対  
符号なし16ビットで与えます。



絶対座標  
頂点座標 DXn (2 n 65535)  
符号あり12ビットで与えます。  
上位の空ビットは符号拡張してください。

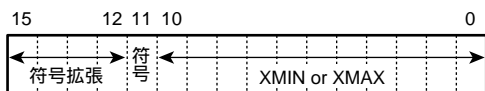


絶対座標  
頂点座標 DYn (2 n 65535)  
符号あり12ビットで与えます。  
上位の空ビットは符号拡張してください。

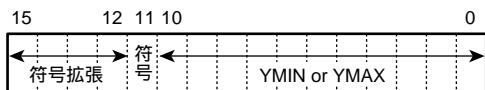


相対座標  
頂点座標 DXn, DYn (1 n 65535)  
符号あり8ビットで与えます。

(4) CLRW

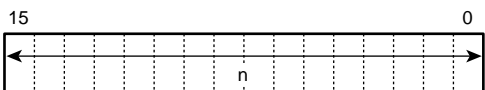


左右X座標 XMIN, XMAX  
符号あり12ビットで与えます。

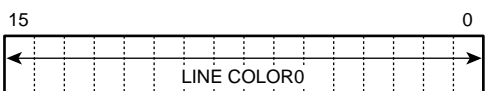


上下Y座標 YMIN, YMAX  
符号あり12ビットで与えます。

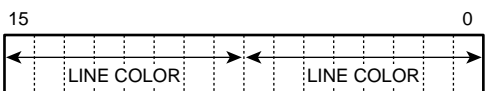
(5) LINE、RLINE



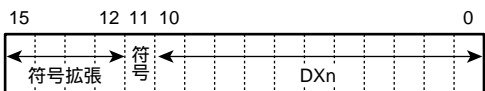
頂点数 (2 n 65535) 絶対  
(1 n 65535) 相対  
符号なし16ビットで与えます。



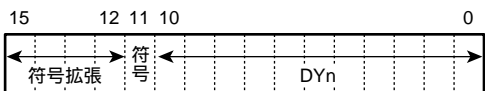
16ビット/画素カラー指定  
カラーデータを16ビットで与えます。



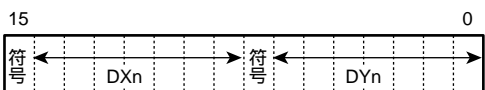
8ビット/画素カラー指定  
カラーデータを8ビットの繰り返しで与えます。



絶対座標  
頂点座標 DXn (2 n 65535)  
符号あり12ビットで与えます。  
上位の空ビットは符号拡張してください。

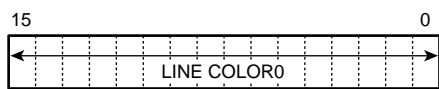


絶対座標  
頂点座標 DYn (2 n 65535)  
符号あり12ビットで与えます。  
上位の空ビットは符号拡張してください。

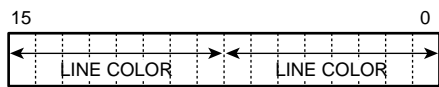


相対座標  
頂点座標 DXn, DYn (1 n 65535)  
符号あり8ビットで与えます。

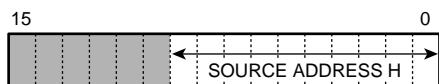
(6) PLINE、RPLINE



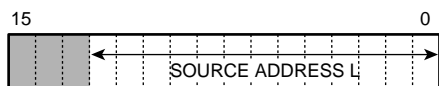
16ビット / 画素カラー指定  
カラーデータを16ビットで与えます。



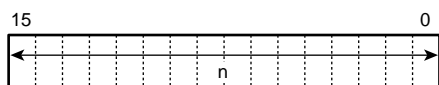
8ビット / 画素カラー指定  
カラーデータを8ビットの繰り返しで与えます。



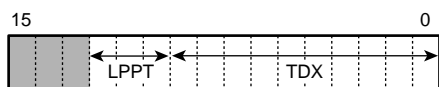
1ビット / 画素ソース開始上位アドレス  
上位10ビットで与えます。



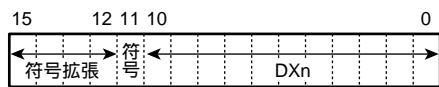
1ビット / 画素ソース開始下位アドレス  
下位13ビットで与えます。  
ソースアドレスは、バイトアドレスで設定します。



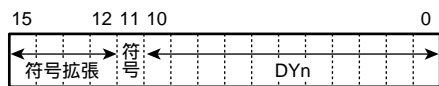
頂点数 (2 n 65535) 絶対  
(1 n 65535) 相対  
符号なし16ビットで与えます。



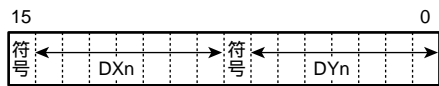
ソースサイズ TDX  
ラインパターンポインタ LPPT  
符号なしMAX10ビットで与えます。  
TDXは8画素単位のみ設定可能です。



絶対座標  
頂点座標 DXn (2 n 65535)  
符号あり12ビットで与えます。  
上位の空ビットは符号拡張してください。

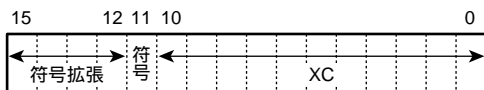


絶対座標  
頂点座標 DYn (2 n 65535)  
符号あり12ビットで与えます。  
上位の空ビットは符号拡張してください。

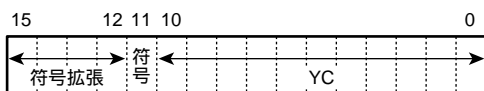


相対座標  
頂点座標 DXn, DYn (1 n 65535)  
符号あり8ビットで与えます。

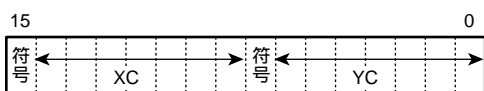
(7) MOVE、RMOVE



絶対座標  
頂点座標 XC  
符号あり12ビットで与えます。  
上位の空ビットは符号拡張してください。

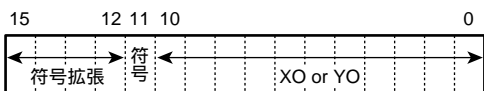


絶対座標  
頂点座標 YC  
符号あり12ビットで与えます。  
上位の空ビットは符号拡張してください。

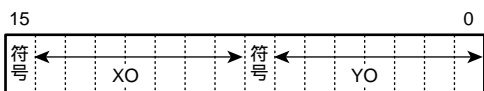


相対座標  
頂点座標 XC, YC  
符号あり8ビットで与えます。

(8) LCOFS、RLCOFS



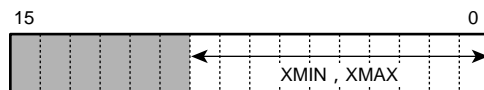
絶対指定  
ローカルオフセット値 XO, YO  
符号あり12ビットで与えます。  
上位の空ビットは符号拡張してください。



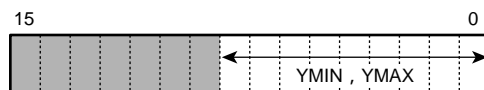
相対指定  
ローカルオフセット値 XO, YO  
符号あり8ビットで与えます。

(9) UCLIP、SCLIP

■ : 0固定


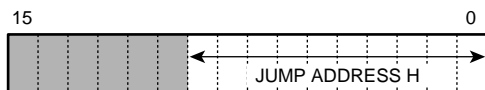


左右X座標 XMIN, XMAX  
符号なし10ビットで与えます。

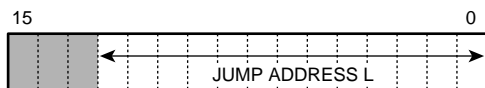


上下Y座標 YMIN, YMAX  
符号なし9ビットで与えます。

## (10) JUMP

 : 0固定


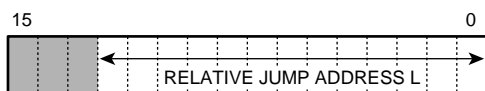
ジャンプ先上位アドレス  
上位10ビットで与えます。



ジャンプ先下位アドレス  
下位13ビットで与えます。  
ジャンプ先のアドレスは、偶数の  
バイトアドレスで設定します。


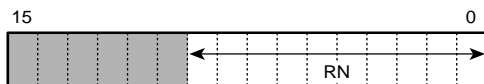


相対ジャンプ先上位アドレス  
上位10ビットで与えます。  
上位の空ビットは符号拡張してください。

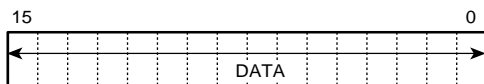


相対ジャンプ先下位アドレス  
下位13ビットで与えます。  
ジャンプ先のアドレスは、偶数の  
バイトアドレスで設定します。

## (11) WPR


 : 0固定


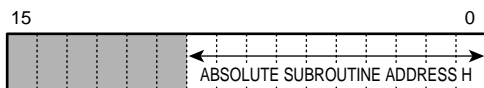
レジスタ番号 RN  
10ビットで与えます。  
ただし、設定できるレジスタに  
制限があります。



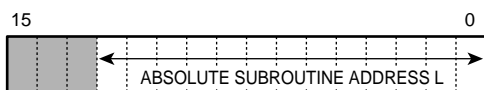
データ  
16ビットで与えます。

( 12 ) GOSUB

 : 0固定



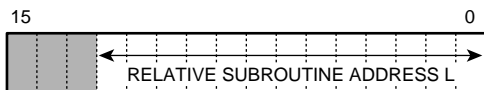
サブルーチン上位アドレス  
上位10ビットで与えます。



サブルーチン下位アドレス  
下位13ビットで与えます。  
サブルーチン先のアドレスは、偶数の  
バイトアドレスで設定します。

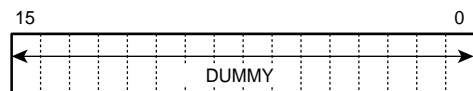


相対サブルーチン先上位アドレス  
上位10ビットで与えます。  
上位の空ビットは符号拡張してください。

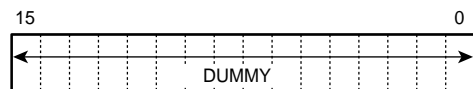


相対サブルーチン先下位アドレス  
下位13ビットで与えます。  
サブルーチン先のアドレスは、偶数の  
バイトアドレスで設定します。

( 13 ) NOP3、VBKEM



参照されません



参照されません

( 14 ) RET、TRAP

コマンドコードのワードのみです。パラメータはありません。



## C. 直線描画アルゴリズム

- 8点法描画と4点法描画

ビットマップディスプレイに直線をプロットした例を図 C.1 (a)、(b) に示します。図中の が画素にあたります。ビットマップディスプレイの性質上、実際の直線とは若干異なる軌跡に画素をならべて直線を描いています。図 C.1 (a)、(b) では、同一の直線を描いているのですが、アルゴリズムが異なるために画素の配置が異なります。両図とも直線は図の左下から開始し、右上に向かって1点ずつ描画しています。図 C.1 (a) の方法では、次に描画する点は現在の点に対して右または右斜め上になります。一方、図 C.1 (b) の方法では、右または上になります。

ここでは、便宜上、図 C.1 (a) の方法を 8 点法描画、図 C.1 (b) の方法を 4 点法描画と呼ぶことにします。

図 C.2 では、8 点法描画と 4 点法描画の違いをやさしく図解しています。4 点法描画では、次の描画のために移動できる方向を、上下左右の 4 点に限定しているのに対し ( 図 C.2 (b) )、8 点法描画では、上下左右に加えて斜め方向も可能にしています ( 図 C.2 (a) )。

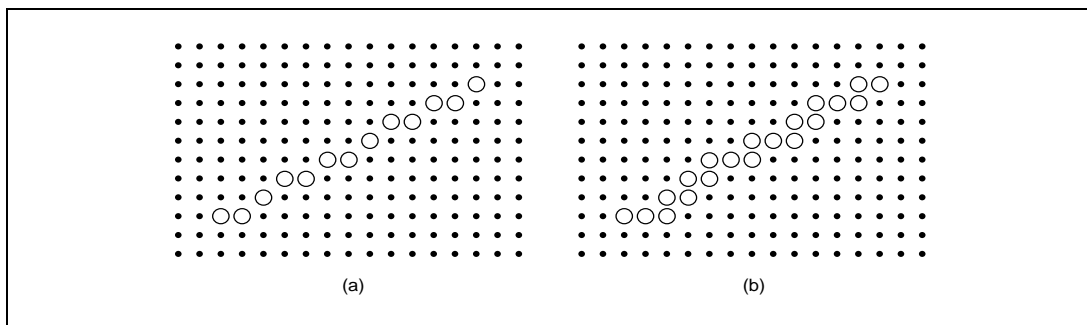


図 C.1 ラスタディスプレイ上での直線の 2 つの表現

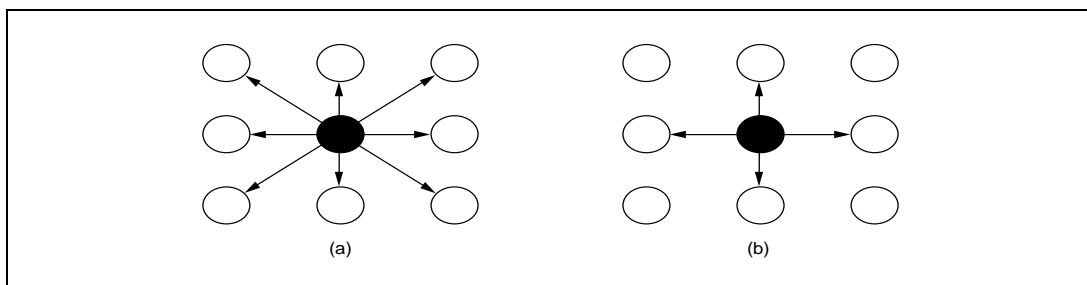


図 C.2 (a) 8 点法と (b) 4 点法の比較

次に、図 C.3 (a) を用いて、8 点法描画の直線近似について説明します。画素 A を描いた次には、画素 B または画素 C が選択されますが、この際の選択基準は、実際の直線からの距離の近さになります。4 点法描画でもこの考え方は同じです。( 図 C.3 (b) )

8 点法描画と 4 点法描画とを比べた場合、8 点法描画の方が若干実際に近い近似が行えますが、アルゴリズム

が複雑になる分、処理に時間を要します。

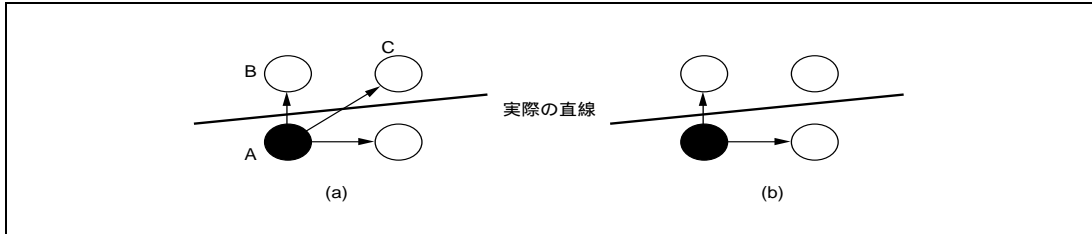


図 C.3 (a) 8点法描画と(b) 4点法描画の描画点決定プロセスの比較

なお、描画アルゴリズムに関心のある方は、以下に示す文献をご覧ください。

1. Jerry van Aken: "Curve-Drawing Algorithms for Raster Display", ACM Trans. Graph. Vol.4, No.2 - ( April, 1985 ), 147-169.
2. J.E.Bresenham: "Algorithm for Computer Control of a Digital Plotter", IBM Syst. J. Vol.4, No.1 ( 1965 ), 25-30
3. J.E.Bresenham: "A Liner Algorithm for Incremental Digital Display of Digital Arcs", Commum. ACM. Vol.20, No.2 ( February 1977 ), 100-106
4. P.E.Danielsson: "Incremental Curve Generation", IEEE Trans. Comput. Vol.C-19 ( September 1970 ), 783-793
5. W.J.Jr.Bernard: "An Improved Algorithm for the Generation of Nonparametric Curves", IEEE Trans. Comput. Vol. C-22, No.12 ( December 1973 ), 1052-1060
6. Jerry van Aken: "An Efficient Ellipse - Drawing Algorithm", IEEE Comput. Graph & Appl. Vol.4, No.9 ( September 1984 ), 24-35
7. Y. Suenaga: "A High-Speed Algorithm for the Generation of Straight Lines and Circular Arcs", IEEE Trans. Comput. Vol. C-28, No.10 ( October 1979 ), 728-736

D. パッケージ外形寸法図

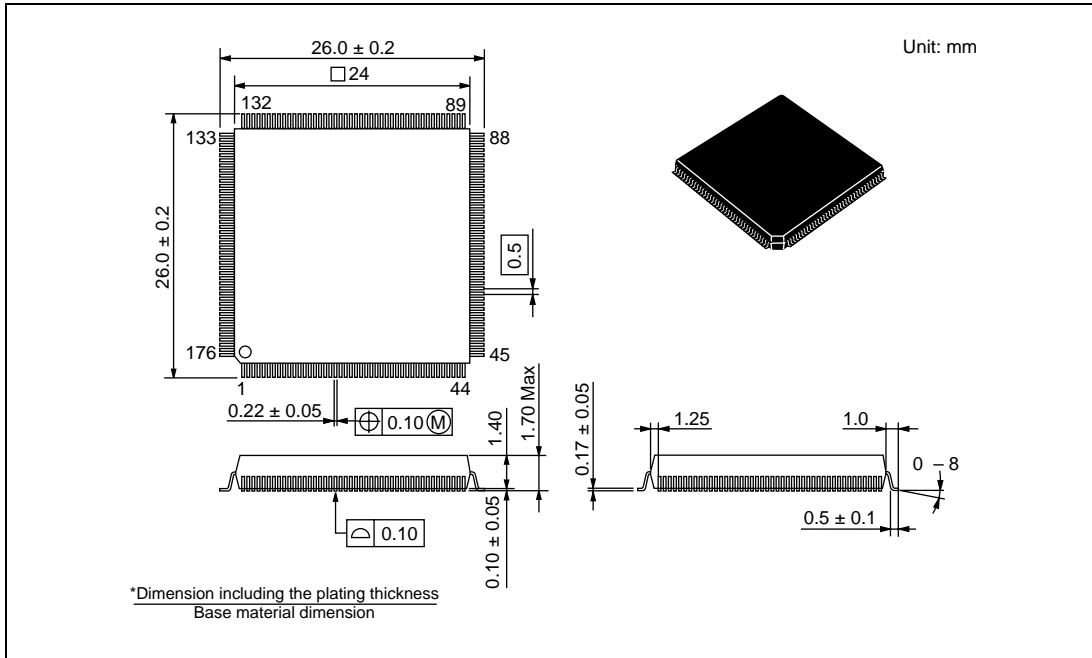


図 D.1 パッケージ外形寸法図 (FP-176)

E. 表示動作クロックと画面合成について

表示動作クロック (CLK1) と FG 面、BG 面、ビデオ面の表示合成可能な範囲について、表 E.1～表 E.8 に示します。

表 E.1 UGM バス幅 × 32 ビット、Q2SD 動作周波数：66MHz の場合

表示画面構成			画面合成の可否判定				
FG 面	BG 面	ビデオ面	320 × 240 CLK1:6.5MHz	480 × 240 9.5MHz	640 × 240 14MHz	640 × 480 25MHz	800 × 480 33MHz
8 ビット / 画素							
16 ビット / 画素							
8 ビット / 画素	8 ビット / 画素						
8 ビット / 画素	16 ビット / 画素					× *	×
16 ビット / 画素	8 ビット / 画素					× *	×
16 ビット / 画素	16 ビット / 画素					×	×
8 ビット / 画素		16 ビット / 画素				×	×
16 ビット / 画素		16 ビット / 画素				×	×
8 ビット / 画素	8 ビット / 画素	16 ビット / 画素				×	×
8 ビット / 画素	16 ビット / 画素	16 ビット / 画素				×	×
16 ビット / 画素	8 ビット / 画素	16 ビット / 画素				×	×
16 ビット / 画素	16 ビット / 画素	16 ビット / 画素				×	×

- 【記号説明】
- : 表示合成可能です。
  - × : 表示合成に不具合が生ずることがあります。
  - ／ : 対応不能です。
- 【注】
- \* : ビデオ入力なしの場合

表 E.2 UGM バス幅 × 32 ビット、Q2SD 動作周波数：60MHz の場合

表示画面構成			画面合成の可否判定			
FG 面	BG 面	ビデオ面	320 × 240 CLK1 : 6.5MHz	480 × 240 9.5MHz	640 × 480 25MHz	800 × 480 33MHz* <sup>3</sup>
8 ビット / 画素						
16 ビット / 画素						
8 ビット / 画素	8 ビット / 画素					
8 ビット / 画素	16 ビット / 画素				×	
16 ビット / 画素	8 ビット / 画素				×	
16 ビット / 画素	16 ビット / 画素				×	
8 ビット / 画素		16 ビット / 画素			×	
16 ビット / 画素		16 ビット / 画素			×	
8 ビット / 画素	8 ビット / 画素	16 ビット / 画素			×	
8 ビット / 画素	16 ビット / 画素	16 ビット / 画素			×	
16 ビット / 画素	8 ビット / 画素	16 ビット / 画素			×	
16 ビット / 画素	16 ビット / 画素	16 ビット / 画素		×	×	

【注】 \*3 Q2SD 動作周波数 > ドットクロックの 2 倍のため不可。ビデオ入力は Q2SD 動作周波数が 64MHz 以上の場合可能。

表 E.3 UGM バス幅 × 32 ビット、Q2SD 動作周波数：50MHz の場合

表示画面構成			画面合成の可否判定			
FG 面	BG 面	ビデオ面	320 × 240 CLK1 : 6.5MHz	480 × 240 9.5MHz	640 × 480 25MHz	800 × 480 33MHz* <sup>3</sup>
8 ビット / 画素						
16 ビット / 画素						
8 ビット / 画素	8 ビット / 画素				×	
8 ビット / 画素	16 ビット / 画素				×	
16 ビット / 画素	8 ビット / 画素				×	
16 ビット / 画素	16 ビット / 画素				×	
8 ビット / 画素		16 ビット / 画素			×	
16 ビット / 画素		16 ビット / 画素			×	
8 ビット / 画素	8 ビット / 画素	16 ビット / 画素			×	
8 ビット / 画素	16 ビット / 画素	16 ビット / 画素		×	×	
16 ビット / 画素	8 ビット / 画素	16 ビット / 画素		×	×	
16 ビット / 画素	16 ビット / 画素	16 ビット / 画素		×	×	

【注】 \*3 Q2SD 動作周波数 > ドットクロックの 2 倍のため不可。ビデオ入力は Q2SD 動作周波数が 64MHz 以上の場合可能。

表 E.4 UGM バス幅×32 ビット、Q2SD 動作周波数：40MHz の場合

表示画面構成			画面合成の可否判定			
FG 面	BG 面	ビデオ面	320×240 CLK1：6.5MHz	480×240 9.5MHz	640×480 25MHz*3	800×480 33MHz*3
8ビット/画素						
16ビット/画素						
8ビット/画素	8ビット/画素					
8ビット/画素	16ビット/画素					
16ビット/画素	8ビット/画素					
16ビット/画素	16ビット/画素					
8ビット/画素		16ビット/画素				
16ビット/画素		16ビット/画素				
8ビット/画素	8ビット/画素	16ビット/画素		×		
8ビット/画素	16ビット/画素	16ビット/画素		×		
16ビット/画素	8ビット/画素	16ビット/画素		×		
16ビット/画素	16ビット/画素	16ビット/画素	×	×		

【注】 \*3 Q2SD 動作周波数 > ドットクロックの2倍のため不可。ビデオ入力は Q2SD 動作周波数が 64MHz 以上の場合可能。

表 E.5 UGM バス幅×16 ビット、Q2SD 動作周波数：66MHz の場合

表示画面構成			画面合成の可否判定			
FG 面	BG 面	ビデオ面	320×240 CLK1：6.5MHz	480×240 9.5MHz	640×480 25MHz	800×480 33MHz
8ビット/画素						
16ビット/画素						×
8ビット/画素	8ビット/画素					×
8ビット/画素	16ビット/画素				×	×
16ビット/画素	8ビット/画素				×	×
16ビット/画素	16ビット/画素				×	×

表 E.6 UGM バス幅 × 16 ビット、Q2SD 動作周波数：60MHz の場合

表示画面構成			画面合成の可否判定			
FG 面	BG 面	ビデオ面	320 × 240 CLK1 : 6.5MHz	480 × 240 9.5MHz	640 × 480 25MHz	800 × 480 33MHz* <sup>3</sup>
8 ビット / 画素						
16 ビット / 画素					×	
8 ビット / 画素	8 ビット / 画素				×	
8 ビット / 画素	16 ビット / 画素				×	
16 ビット / 画素	8 ビット / 画素				×	
16 ビット / 画素	16 ビット / 画素				×	

【注】 \*3 Q2SD 動作周波数 &gt; ドットクロックの 2 倍のため不可

表 E.7 UGM バス幅 × 16 ビット、Q2SD 動作周波数：50MHz の場合

表示画面構成			画面合成の可否判定			
FG 面	BG 面	ビデオ面	320 × 240 CLK1 : 6.5MHz	480 × 240 9.5MHz	640 × 480 25MHz	800 × 480 33MHz* <sup>3</sup>
8 ビット / 画素						
16 ビット / 画素					×	
8 ビット / 画素	8 ビット / 画素				×	
8 ビット / 画素	16 ビット / 画素				×	
16 ビット / 画素	8 ビット / 画素				×	
16 ビット / 画素	16 ビット / 画素				×	

表 E.8 UGM バス幅 × 16 ビット、Q2SD 動作周波数：40MHz の場合

表示画面構成			画面合成の可否判定			
FG 面	BG 面	ビデオ面	320 × 240 CLK1 : 6.5MHz	480 × 240 9.5MHz	640 × 480 25MHz* <sup>3</sup>	800 × 480 33MHz* <sup>3</sup>
8 ビット / 画素						
16 ビット / 画素						
8 ビット / 画素	8 ビット / 画素					
8 ビット / 画素	16 ビット / 画素					
16 ビット / 画素	8 ビット / 画素					
16 ビット / 画素	16 ビット / 画素			×		

【注】 \*3 Q2SD 動作周波数 &gt; ドットクロックの 2 倍のため不可

## F. SuperH.システム構成例

HD64413A は、SuperH のチップセットです。SuperH シリーズ CPU と容易に接続できるように設計されています。メモリは、SDRAM をダイレクト接続で使用します。SDRAM のモードレジスタの初期設定は HD64413A が行います。

表示用のドットクロック (CLK1)、および HD64413A の動作クロック (MCLK) は、非同期のクロックを使用することができます。

表示サイズは、CLK1 に入力可能な最大クロック周波数で決定されます。たとえば、HD64413A がノンインタレースモードで動作するときの表示サイズは、320×240、480×240 ドット程度になり、インタレースシグンク&ビデオモードでは、640×480 ドット程度になります。

HD64413A を TV 同期モードにし、外部のデバイスから、HSYNC、VSYNC、ODDF および CLK1 を HD64413A に供給することで、外部の映像信号と表示合成を行うことが可能です。

また、ビデオ信号をデジタルエンコードしてビデオ取り込みを行うことでビデオ表示ができます。

HD64413A のシステム構成例を図 F.1 に示します。HD64413A は、ビデオ、グラフィックス、静止画、カーソルの混在表示システムの安価実現を指向した専用 IC です。

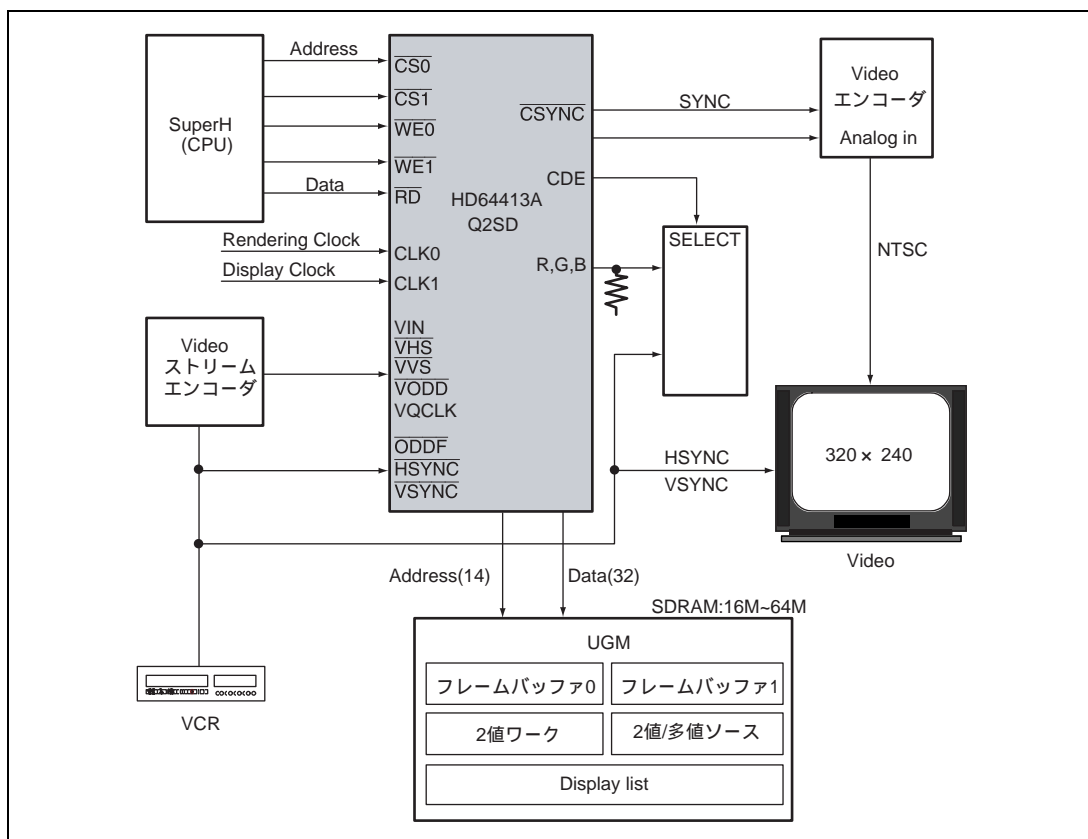


図 F.1 システム構成例



## F.1 クロックの決定

HD64413A に供給するクロックには、CLK1 端子に入力するクロックと、CLK0 端子に入力するクロックがあります。CLK1 端子に入力されるクロックは表示制御用のクロックとして使用し、CLK0 端子に入力されるクロックは動作クロックとして使用します。

1. CLK0端子に使用可能なクロックの種類として、次のいずれかのクロックが使用可能です。

- SuperHのCKIO端子から出力されるクロックを使用する方法

CPUに3.3V動作のSuperH (SH-3、SH-4) を使用する場合は、CKIO端子から出力されるクロックをCLK0端子の入力クロックとして使用できます。また、CKIO端子のファンアウトを増すためにも、CKIO端子の出力クロックをバッファ回路を経由させてからHD64413AのCLK0端子に入力させてください。

- CPUのCKIO端子から出力されるクロック以外のクロックを使用する方法

3.3VレベルのクロックをCLK0端子の入力クロックとして使用できます。

2. CLK1端子に入力するクロックは、下記の条件を満足するクロックを入力してください。

$$MCLK[\text{Hz}] = 2 \times \text{CLK1} [\text{Hz}] \quad (\text{CLK1} = 33.3\text{MHz})$$

$$MCLK = N \times \text{CLK0} \quad (N \text{は通倍数、1、2、4のいずれか})$$

## F.2 ソフトウェアウェイトの設定

Super Hのソフトウェアウェイトサイクルは、SuperHの外部バス動作周波数(CKIO)とHD64413Aの内部動作周波数(MCLK)の関係で決まります。HD64413Aが出力するWAIT信号をSuperHが見つけられるように、SuperHとHD64413AのACタイミングの両方を考慮し、ソフトウェアウェイトサイクル数を設定してください。

ここでは、SH-3を使用し、CKIO = 20MHz、MCLK = 66MHzで使用する場合の例を示します。図F.2に示すように、SuperHのソフトウェアウェイトサイクル( $T_w$ )を2サイクルにすることで、SuperHの $\overline{\text{WAIT}}$ 端子の規定である $t_{\text{WTS}}$ および $t_{\text{WTH}}$ の規定を守れるようになり、SuperHとHD64413A間のハードウェアサイクル( $T_{\text{wx}}$ )を確定できるようになります( $t_{\text{WAS1}} = 3t_{\text{cyc0}} + 15\text{ns} (\text{MAX})$ )。

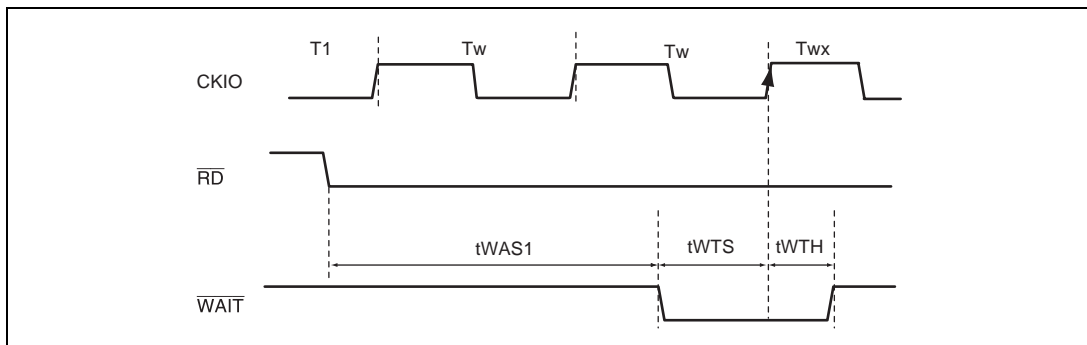


図 F.2 インタフェースタイミング例

### F.3 接続時の注意事項

HD64413A に SuperH を接続する際には、下記のことにご注意してください。

1. SuperHの $\overline{\text{CS}}$ 端子の初期値が入力ポートであり、この端子からHD64413Aの $\overline{\text{CS0}}/\overline{\text{CS1}}$ 端子に接続する信号を生成する場合、ハードウェアリセット解除後の電圧レベルが不安定にならないようにSuperHの $\overline{\text{CS}}$ 端子をプルアップしてください。
2. SuperHに内蔵されているDMACを使用する場合、初期値の設定でDACK端子がアクティブハイの場合には、外部回路にてDACK端子の信号を反転したものを、HD64413AのDACK端子に接続してください。なお、このときのDACK端子は、アクティブハイのままで使用してください。
3. SuperHにSH-4を使用する場合、HD64413AのWAIT端子から出力される信号を外部回路にて反転し、それをSH-4のRDY端子に入力させてください。

### F.4 アドレスマップレジスタの初期化手順

HD64413A のアドレスマップレジスタに初期値を設定する際の標準的な設定手順について説明します。

1. ~ 4.の順番に設定を行ってください。

1. システム制御レジスタにSRES = 0、DRES = 1、DEN = 0を設定し、表示同期動作を停止させます。また、この値を設定してから、表示同期動作を開始するまでの間に、SuperHおよびDMACにてUGMのアクセスを行わせないようにしてください。
2. レジスタアドレスH'004 ~ H'04AおよびH'056のレジスタに初期値を設定します。特に、H'056の各ビットの初期値によっては、それらビットに関連したレジスタにも、初期値を設定する必要があります。
3. GBM2 ~ 0の組み合わせで、8ビット / 画素の表示面を表示させる場合やカーソル表示を行う場合には、カラーパレットレジスタに初期値を設定してください。
4. システム制御レジスタにSRES = 0、DRES = 0を設定し、表示同期動作を開始させます。この設定を行うことで、始めてSuperHはUGMにアクセスを行うことが可能になります。なお、HD64413Aが描画した図形を確認できるようにするために、通常、システム制御レジスタのDBMには、オートレンダリングモードまたは、マニュアルディスプレイチェンジモードを指定します。

## F.5 メモリ割り当て

### F.5.1 HD64413A のメモリマッピング

HD64413A のアドレスマップレジスタおよび UGM は、SuperH のメモリ空間のキャッシュスルー空間にマッピングします。図 F.3 に UGM として 64M ビットの SDRAM を使用したときのメモリマップ例を示します。また、HD64413A の A22 ~ A1 端子には、HD64413A の UGM のアドレスを直接入力させる必要があります。この例の場合は、A1 から A22 を、UGM のアドレスを直接示すためのアドレス信号として用いるようにします。たとえば、SuperH にて UGM の H'000000 番地にアクセスを行う場合には、HD64413A の A22 ~ A1 端子すべてを 0 にしてください。

図 F.3 では、SuperH が UGM をアクセスした際に、キャッシュスルー空間をアクセスするように H'A8000000 から UGM を配置しています。

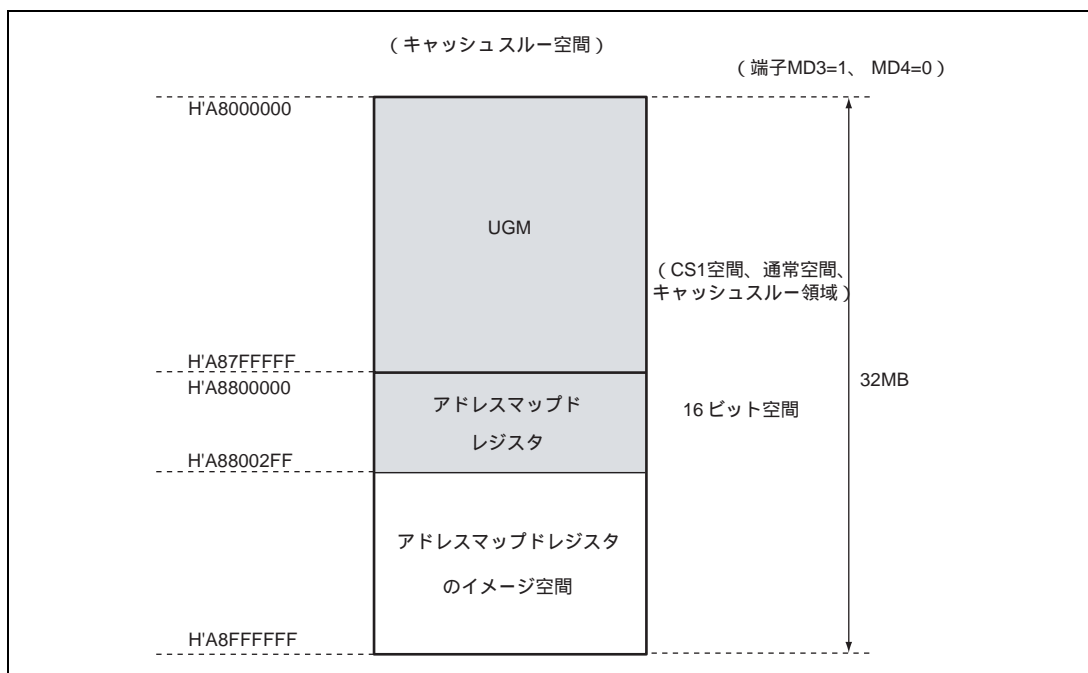


図 F.3 メモリマッピング例

## F.5.2 UGM における領域の配置例

UGM 内の領域配置の例を図 F.4 に示します。なお、本配置例は一例であり、本配置例に限定するものではありません。

### 1. フレームバッファ領域 (FB0、FB1)

ダブルバッファ制御時に、表示領域 (スクリーン座標) および描画領域 (レンダリング座標) として使用するための領域です。これらの領域の表示アドレス (DSA0、DSA1) には、Y軸に接する256ドットおきの位置に相当するUGMアドレスを設定してください。

### 2. ビデオ格納領域 (V0、V1、V2)

ビデオ取り込み機能を使用する際に、取り込んだデータストリームを格納するための領域です。これらの領域は、VVS端子に同期信号が入力されるごとにV0、V1、V2の順番に使用されます。ここでは取り込みサイズを320×240画素としています。また、ビデオ取り込み機能を使用しない場合、V0のみを表示ウィンドウとして使用することも可能です。さらにビデオ取り込み機能を使用しない場合に限り、V0には、16ビット/画素で描画処理をさせることが可能です。これらの領域の表示アドレス (VSAR0~2H、L) には、UGMを16ビット/画素とみたときに、Y軸に方向に16ドットおきで、かつ、X軸方向に32ドットおきの位置に相当するUGMアドレスを設定してください。

なお、ビデオ取り込み機能やビデオ面を表示しない場合、本領域は使用しませんので不要となります。

### 3. ワーク領域 (BWAREA)

ワーク座標として使用するための領域です。ワーク座標のX軸の最大画素は、レンダリングモードレジスタのMWXビットで指定した画素数になります。このため、ワーク座標として必要なメモリ容量は、レンダリングモードレジスタのGBMビットに関係なく、(MWXビットで指定した画素数) × (Y軸方向の表示画素数) / 8バイトになります。ワーク領域アドレス (WASH、WASL) には、Y軸に接する16ドットおきの位置に相当するUGMアドレスを設定してください。

なお、多角形などの任意形状パターンでの描画を行わない場合、本領域は使用しませんので不要となります。

### 4. ディスプレイリスト領域 (DL0、DL1)

ディスプレイリストを格納するための領域です。DL0とDL1の片方の領域をHD64413Aがディスプレイリストをフェッチするためのリード領域、もう片方をSuperHがディスプレイリストを置くためのライト領域として使用します。DL0とDL1はソフトウェア制御で交互に使用します。ディスプレイリスト開始アドレス (DLSAH、DLSAL) には、任意のワード (16ビット) アドレスで指定可能です。

## 5. カーソル1、2領域 (CU1、CU2)

カーソルの形状パターンを格納するための領域です。HD64413Aでは2個のカーソルを表示させることが可能で、それぞれの形状をCU1、CU2におおの格納してください。また、カーソル自身は、8ビット/画素で表示されますので、必ずカラーパレットにカーソルの表示色を設定してください。

なお、CU1、CU2ともに、使用されるメモリ容量は2kバイトです。

## 6. 表示サイズ

640×240 (最大640×480) ドット

## 7. バックグラウンド領域 (BG)

バックグラウンドに面として使用するための領域です。この領域の開始位置は、スクリーン座標で設定します。

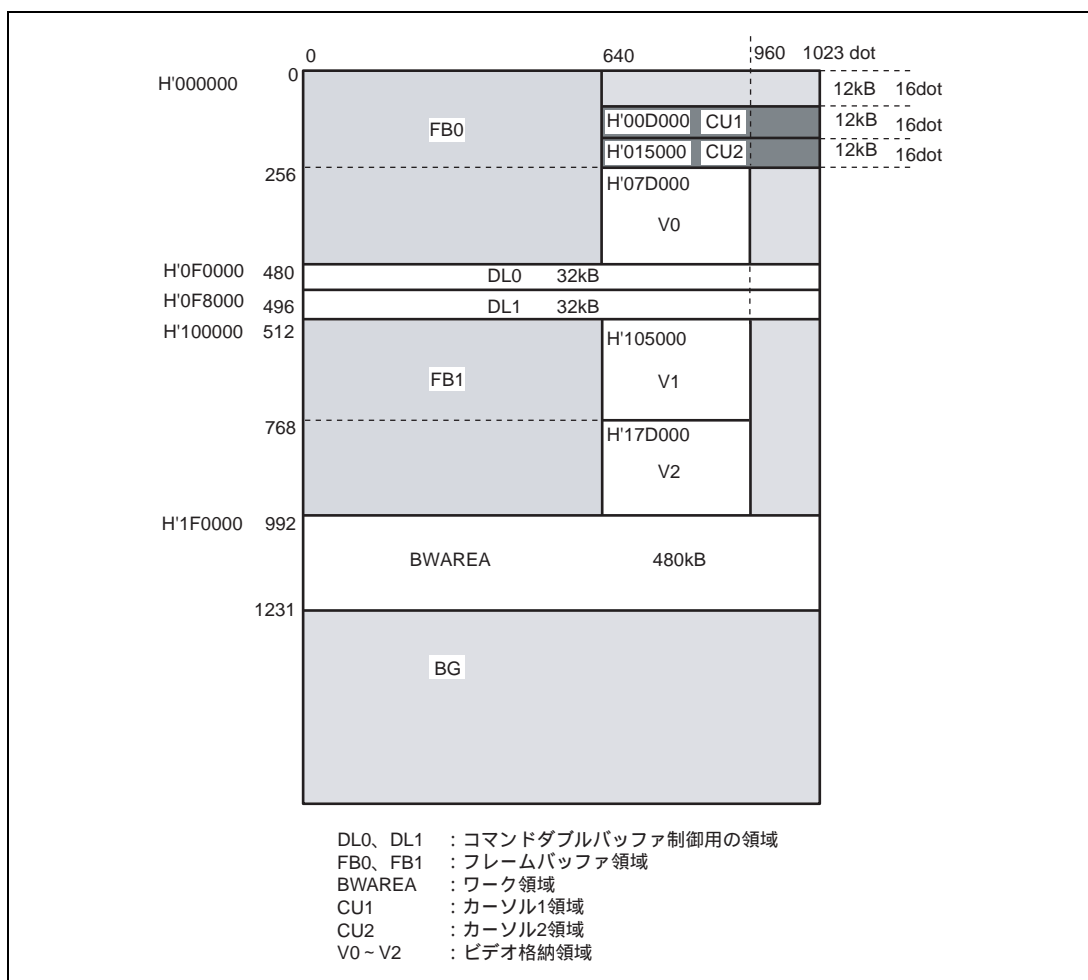


図 F.4 UGM メモリマップ

### F.5.3 UGM におけるアドレスの連続性

図 F.5 に示すように、SuperH から UGM を見たとき、UGM のアドレスは、メモリ 1 単位ごとに連続したタイル状のアドレスとして見えます。このため、FB0、FB1 等の領域割り当てで使用しなかったメモリ 1 単位を複数個使用することで、この空間を、アドレスが連続したメモリ空間として使用できます。

HD64413A の場合、アドレスが連続したメモリ空間に配置可能なものは、2 値ソース、多値ソース、カーソルパターンがあり、通常、これらをこの領域に配置させます。

たとえば、FB0 の右向きには、 $X = 640$ 、 $Y = 0$  の位置から  $(1024 - 640)$  画素  $\times$  16 ライン = 6114 画素、つまり、1 画素 = 2 バイトの関係から 12k バイトの容量を持つアドレスの連続したメモリ空間を獲得できます。ここに CUI の割り当てなどを行います。

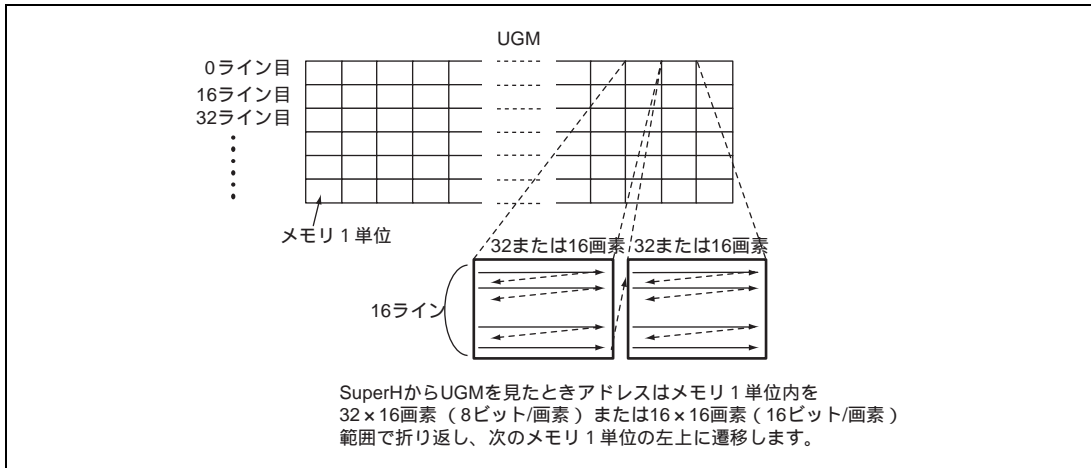


図 F.5 UGM のアドレス遷移概要

### F.6 UGM へのデータ転送における注意事項

SuperH または DMA コントローラで、2 値データやディスプレイリスト等のデータを UGM に転送するには、初めに HD64413A のアドレスマップレジスタに初期設定を行い、表示同期動作を開始させることで、初めて SuperH と UGM 間のデータ伝送が可能になります。

表示同期動作を行っていないときに、SuperH または DMA コントローラが UGM にアクセスを行うと、データ転送が停止する場合がありますので、表示同期動作を行っていないときの UGM へのアクセスは行わないでください。

なお、UGM にアクセスできるバスマスタは、一つだけです。このため、HD64413A のシステム制御レジスタ内の DMA モードが通常モードのときは、SuperH のみが UGM にアクセス可能です。同様に、DMA モードが DMA 転送モードのときは、DMA コントローラのみが UGM にアクセス可能です。

データの転送は、HD64413A が描画処理を行っている最中であっても、転送可能です。

SuperH に内蔵されている DMAC を使用する場合、DMA 転送の終了は、TE (トランスファエンドフラグビット) を確認した後に、必ず HD64413A のステータスレジスタの DMF フラグをチェックするようにしてください。

## G. 表示制御例

### G.1 表示サイズの決め方

水平方向の表示画素数 (Hdot) は、下記の式を満たす値である必要があります。たとえば、CLK0 = 33MHz、N = 1、HD = 44.7 μs とすると、Hdot は、737 画素以下にしてください。

また、表示ドットクロック (CLK1) の周波数は CLK1 = Hdot/HD (Hz) にしてください。

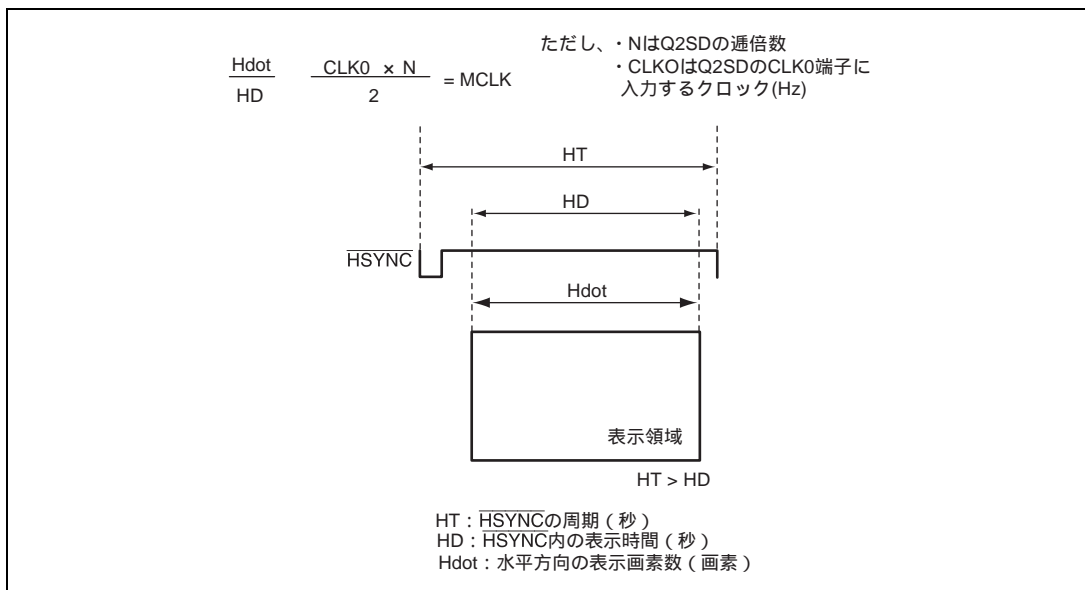


図 G.1 表示タイミング例

### G.2 表示画面の選択方法

HD64413A は、以下の 1. ~ 3.の表示面があります。

1. 前景面 : 最前面に表示される面です。8または16ビット/画素で表示可能で、主に描画処理での動画を実現する際に使用します。
2. 背景面 : 最背面に表示される面です。8または16ビット/画素で表示可能で、主に画素単位でのスクロールを実現する際に使用します。
3. ビデオ面 : 前景面と背景面の間に表示される面です。ビデオ取り込み機能にて取り込まれたストリームデータを表示する際に使用します。

各表示面の選択は、前景面は FBD ビット、背景面は BG ビット、ビデオ面は VWE ビットで選択できます。

### G.3 同期信号の設定方法

HD64413A では表示制御を行うために、アドレスマップレジスタに同期信号の設定を行う必要があります。以下に、同期信号のレジスタ設定例を示します。

1. TV同期モードがマスタモード、かつスキャンモードがノンインタレースのとき  
表示サイズは、320×240ドットとします。  
なお、 $CLK1 = (\text{水平表示画素}) / (\text{xwの時間}) (\text{Hz})$  にしてください。

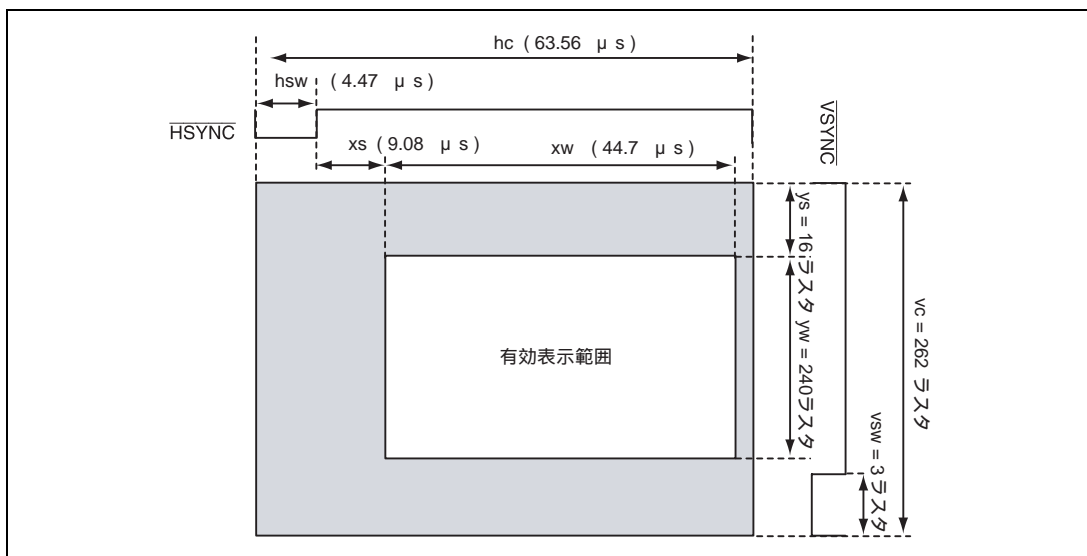


図 G.2 ノンインタレースモード時の表示タイミング例

表 G.1 変数設定例 ( (TVM1, 0) = (0, 0)、(SCM1, 0) = (0, 0) )

変数名	計算式	表示例での値
hsw	$4.47 \mu s \times CLK1$	32
xs	$9.08 \mu s \times CLK1$	65
xw	$44.7 \mu s \times CLK1$	320
hc	$63.56 \mu s \times CLK1$	455

$CLK1 = 7.159 \text{MHz}$



表 G.2 レジスタ設定例 ( (TVM1、0) = (0、0)、(SCM1、0) = (0、0) )

レジスタ名称	計算式 (マスタモード)	表示例での設定値
DSX	xw	320
DSY	yw	240
HDS	hsw + xs - 11	68
HDE	hsw + xs - 11 + xw	406
VDS	ys <sup>2</sup> 2	14
VDE	ys 2 yw	254
HSW	hsw 1	31
HC	hc 1	454
VSP	vc vsw 1	258
VC	vc 1	261

2. TV同期モードがマスタモード、かつスキャンモードがインタレースシンク&ビデオモードのとき  
表示サイズは、640×480ドットとします。

また、 $CLK1 = (\text{水平表示画素}) / (xw\text{の時間}) (\text{Hz})$  にしてください。

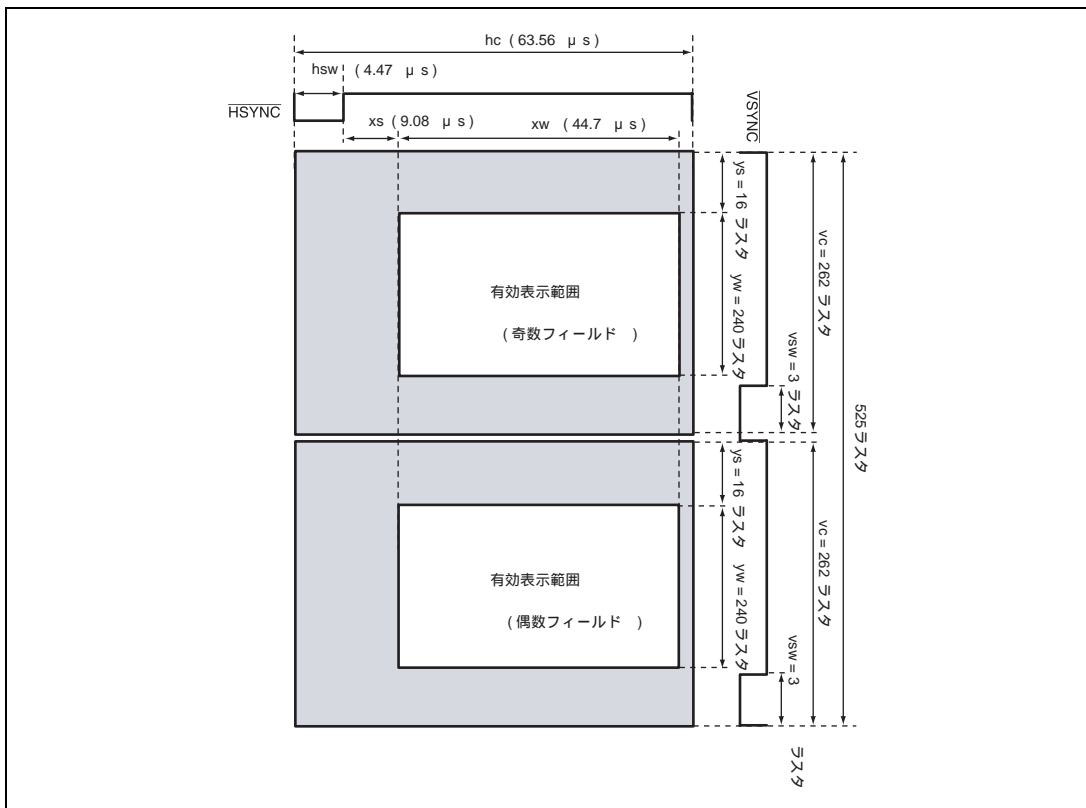


図 G.3 インタレースシンク & ビデオモード時の表示タイミング例

表 G.3 変数の設定例 ( (TVM1, 0) = (0, 0)、(SCM1, 0) = (1, 1) )

変数名	計算式	表示例での値
hsw	$4.47\mu\text{s} \times CLK1$	64
xs*	$9.08\mu\text{s} \times CLK1$	131
xw	$44.7\mu\text{s} \times CLK1$	640
hc	$63.56\mu\text{s} \times CLK1$	910

CLK=14.318MHz

【注】 \* ビデオエンコーダを使用する場合は、有効表示範囲がカラーバーストに重ならないように、xsを決めてください。

表 G.4 レジスタ設定例 ( ( TVM1, 0 ) = ( 0, 0 )、( SCM1, 0 ) = ( 1, 1 ) )

レジスタ名称	計算式 ( マスタモード )	表示例での設定値
DSX	xw	640
DSY	yw × ( VSYNC2 周期分 )	480
HDS	hsw + xs 11	184
HDE	hsw + xs 11 + xw	824
VDS	ys 2	14
VDE	ys 2 + yw	254
HSW	hsw 1	63
HC	hc 1	909
VSP	vc vsw 1	258
VC	vc 1	261

## G.4 表示制御に関連するレジスタ値の設定および変更方法

### G.4.1 カラーパレットの設定方法

HD64413A のカラーパレットは、2 ワード連続アクセスで、カラーパレットのライトまたは、カラーパレットのリードを行う仕様になっています。このため、カラーパレットに値を設定するときは、R を含むレジスタに続けて、必ず、G および B を含むレジスタを設定してください。また、同様に、カラーパレットから値を読み取るときも、R を含むレジスタに続けて、必ず、G および B を含むレジスタを読み出してください。

### G.4.2 同期モードの移行手順

マスタモードから TV 同期モード等へ同期モードの変更は、同期方式切り替えモードを経由して行います。同期方式切り替えモードへの移行は、TVM1 = 0、TVM0 = 1 を設定することで行えます。また、同期方式切り替えモードのとき、HD64413A は、UGM にリフレッシュを行わなくなりますので、DRES = 1、DEN = 0 の設定を行って、HD64413A が UGM をリフレッシュするモードに移行させてから、同期方式切り替えモードに移行させます。以下に手順を示します。

なお、DRES = 1、DEN = 0 が有効になっている間、HD64413A は UGM のリフレッシュを行いますので、SuperH または DMAC による UGM アクセスを行わないでください。

- 同期方式切り替えモードへの移行手順

1. BG = 0、VWE = 0、CE1 = 0、CE2 = 0 を設定します。
2. DRES = 1、DEN = 0 を設定します。この設定で UGM に対し、リフレッシュのみ行います。
3. TVM1 = 0、TVM0 = 1 を設定します。HD64413A は同期方式切り替えモードへ移行します。

- 同期方式切り替えモードからの復帰手順
4. CLK1端子にクロックを入力してください。また、TV同期モード (TVM1 = 1、TVM0 = 0) に移行する場合は、 $\overline{\text{EXHSYNC}}$ 、 $\overline{\text{EXVSYNC}}$ 、 $\overline{\text{ODDF}}$ 端子にも信号を入力してください。
  5. 表示サイズを変更したい場合は、HD64413Aのアドレスマップレジスタに値を設定してください。
  6. TVM1 = 0、TVM0 = 0、またはTVM = 1、TVM0 = 0の設定により、CLK1端子からの入力クロックが有効になります。さらに、必要に応じてBG = 1、VWE = 1、CE1 = 1、CE2 = 1を設定してください。
  7. DRES = 0、DEN = 1を設定します。内部更新が行われると、HD64413Aは表示を開始します。

## G.5 カーソル表示の行い方

HD64413A では、UGM 上の配置された  $32 \times 32$  画素の大きさのカーソルを 2 個表示させることができます。1 個のカーソルはカーソルプリンク形状 A とカーソルプリンク形状 B の 2 つの形状をもち、それらは BLNK A および BLNK B で設定されたタイミングで交互に表示されます。このため、1 個のカーソルあたり、2k バイトのアドレスが連続した領域が必要です。

UGM 上に 2k バイトのアドレスが連続した領域を割り当てるには、図 G.4 のように、水平方向にメモリ 1 単位を 4 個使用することでこの領域を割り当てることができます (メモリ 1 単位については「F.5.3 UGM におけるアドレスの連続性」を参照してください)。

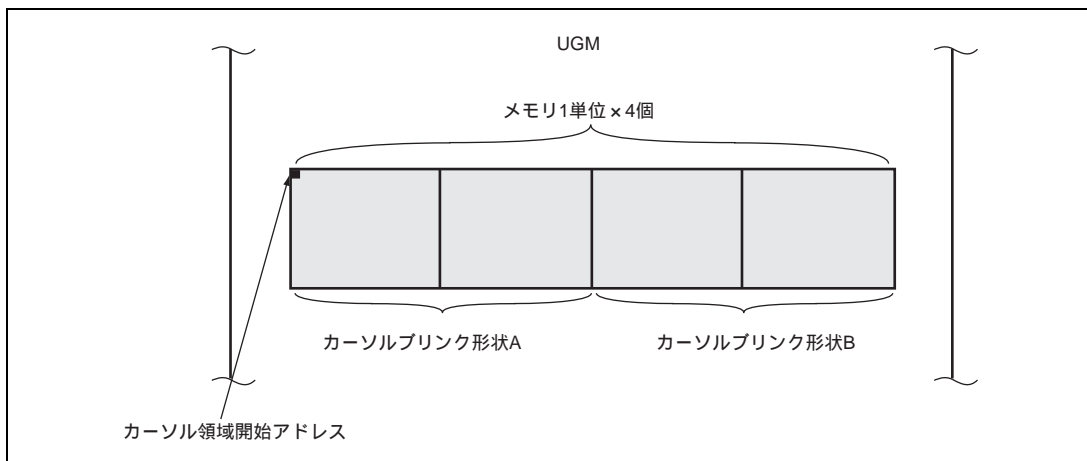


図 G.4 カーソル割当て

HD64413A がカーソルを表示する際には、カーソル領域開始アドレスレジスタで指定されたアドレスから順番にカーソル形状を読み取り、読み取ったデータに基づいてカラーパレットを参照してカラー化され、表示します。

## H. 描画制御例

### H.1 描画の開始方法例

HD64413A は、ディスプレイリストと呼ばれるコマンドの集まりをもとに、レンダリング座標およびワーク座標に描画を行います。以下に描画を行う際の手順を示します。

1. SuperHで、LCOFS、SCLIPコマンドをディスプレイリストとして、UGMに配置します。このディスプレイリストは、HD64413Aのローカルオフセットおよびシステムクリップ範囲の初期値を設定するためのものです。
2. フレームチェンジタイミングと描画開始タイミングを同期させるために、1.で配置したディスプレイリストに続けて、SuperHでVBKEMコマンドをUGMに配置するか、システム制御レジスタ (SYSR) のDBHに設定したフレームチェンジ機能を利用します。
3. HD64413Aに描画を行わせるために、2.で配置したディスプレイリストに続けて、SuperHで、POLYGON4系コマンド等を使用したディスプレイリストをUGMに配置します。
4. ディスプレイリストの終了を示すために、3.で配置したディスプレイリストに続けて、TRAPコマンドを配置します。この時点で、ディスプレイリストの作成は終了です。
5. レンダリング開始アドレスの設定を行った後、RSビットに1を設定してください。このレジスタの設定で、HD64413Aに描画を行わせることができます。

## H.2 内部更新でフレームチェンジを行う方法例

内部更新でフレームチェンジを行う方法例を紹介します。

この方法は、DBM をマニュアルディスプレイチェンジモード固定にし、SuperH で表示開始アドレス DSA0、DSA1 および RSAR を管理して、内部更新でフレームチェンジを行わせる方法です。

描画の中断・再開機能を使用する場合には、描画開始アドレスおよび表示開始アドレスを制御できるこの方法が有効です。この方法を行うには、始めにステータスレジスタ内の DBF ビットを調べ、DSA0、DSA1 のどちらが表示開始アドレスを決定するレジスタになっているのかを判定する必要があります。DBF=0 のとき、DSA0 が表示開始アドレスを決定するレジスタになります。同様に、DBF=1 のとき、DSA1 が表示開始アドレスを決定するレジスタになります。

表 H.1 に DBF と DSA0、DSA1 の関係を示します。

表 H.1 DBF と表示面 (FG) の関係

DBF	DSA0	DSA1
0	表示面	描画面
1	描画面	表示面

DBF が 0 である場合を例に挙げ、DSA0 と DSA1 の管理手順を 1.~4.に示します。

1. 内部更新期間の終了を待ちます。内部更新の終了は、FRMビットをクリアし、その後、FRMビットが1になるのを確認することで行えます。
2. WPRコマンドにて、DSA0に次の内部更新で表示をさせたい位置の表示開始アドレスを設定します。DSA0に設定された表示開始アドレスは、すぐに有効な値としては反映されません。この設定された値は、内部更新を経過することではじめて有効になります。
3. WPRコマンドにて、RSAEに1を、RSARに描画開始アドレスを設定します。
4. ディスプレイリストを転送終了後にUGMダミーリードを行ってから、システム制御レジスタ内のRSビットに1を設定し、描画を開始させます。

以上の 1.から 4.を繰り返すことで、内部更新により、DSA0 に設定した表示開始アドレスが有効になり、フレームチェンジを行えます。

内部更新によるフレームチェンジを使用したときの描画および表示タイミングを図 H.1 に示します。

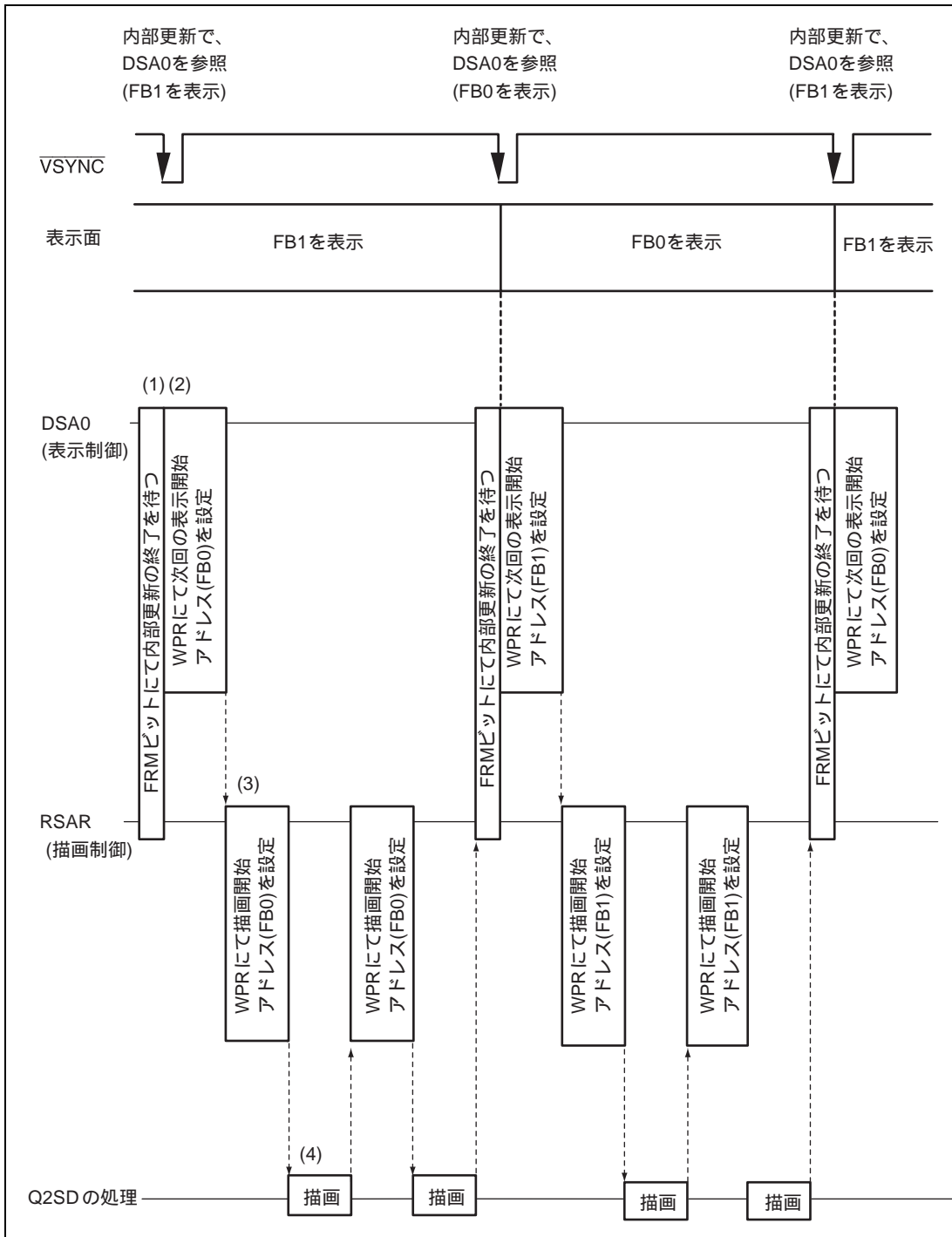


図 H.1 DBF = 0 時の表示・描画制御タイミングチャート

## H.3 描画コマンドの使用例

### H.3.1 多角形の描画

HD64413A で、多角形をレンダリング座標に描画させるには、レンダリング属性のひとつであるワーク参照および、ワーク座標を使用することで行えます。

以下に HD64413A が行う描画手順を示します。

1. ワーク領域をクリアするために、CLRWCコマンドを実行します。
2. FTRAPコマンドで描画を行わせたい多角形の形を、ワーク座標に描画します。
3. レンダリング属性のWORKビットに 1 を設定したPOLYGON4Cコマンドを使用し、ワーク座標に描画済みの形状で、多角形を描画します。
4. LINEコマンドにて、多角形の縁取り線を描画します。

実際は、上記の手順を行わせるためのディスプレイリストを SuperH で生成し、生成したディスプレイリストをもとに HD64413A が描画を行います。

### H.3.2 任意の形の描画

あらかじめワーク座標に固定の任意形状 2 値パターンを部分参照して、その形状で描画をいします。

ワーク座標に 2 値パターンを配置する前に、ワーク座標をゼロクリアする必要があります。また、SuperH と HD64413A によるワーク座標への描画の競合を避けるために、ワーク座標のゼロクリアは、CLRWC コマンドによるゼロクリアではなく、SuperH で直接、ゼロクリアを行うようにします。

### H.3.3 円・楕円の描画

HD64413A で円・楕円の描画を行うには、SuperH で楕円の軌道を算出し、算出した結果をパラメータとして LINE コマンドにて実現します。Bresenham の円アルゴリズムを使用して楕円の軌道を算出します。円の描画は楕円の  $x$  と  $y$  の半径を同じドット数にすることによって実現できます。

ワーク領域に描画する必要がある場合には、LINEW コマンドを使用します。



### H.3.4 ソースデータを使用した描画

HD64413A でソースを参照する描画コマンドを使用する場合、一般的にアプリケーションソフト側でソースデータが UGM に格納されているか判定する必要があります。システムによっては、判定するのが困難であったり、処理が冗長だったりする場合があります。これを回避するための例としてディスプレイリストにソースデータを含ませ、描画コマンドとソースの参照位置を関係づける方法があります。

ソースデータをディスプレイリストに埋め込むには、図 H.2 のように描画コマンドの直後に JUMP コマンドを配置し、ソースデータをスキップさせるようにします。

多値ソースをディスプレイリストに含ませる場合も、同様な方法で実現可能です。この場合には、レンダリング属性の  $LN_i$  ビットに 1 を設定した POLYGON4A コマンドを使用してください。

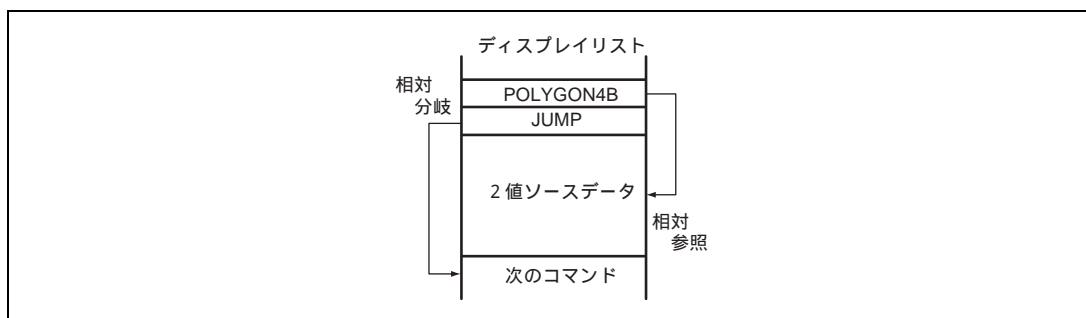


図 H.2 参照・分岐例

### H.3.5 3次元空間を表現させる方法

複数面の四角形で構成された立体図形各々を回転させる処理手順を以下に示します。

1. 3次元の座標値で表現される四角形を定義します。定義された四角形の集まりが、一つの立体図形になります。
2. 四角形ごとに座標値の回転演算を行わせます。
3. 四角形を描画する順番を決定します。描画の順番は、奥から手前への順番とします。順番の決め方は、各四角形のZの値の平均値を求め、それをもとに順番を決定します。プログラムの記述が簡単なバブルソート法では、ソートされる要素数を  $n$  とすると、おおよそ  $n \times n$  回のソートが行われます。また、ヒープソート等の高速なソート方法を使用した場合は、おおよそ  $n \times \log n$  回でソートを終了できます。
4. 四角形ごとに3次元の座標値を、2次元の座標値に変換します。たとえば、各々の頂点のZの値が、Z軸の奥行きどのどの位置に存在するのかを、Zの値との比で示し、それを各々の4頂点に乗算させることで変換を行っています。
5. 3.で得た順番および、4.で得た2次元の座標値を使用して、POLYGON4CコマンドをディスプレイリストとしてUGM上に生成します。

以上の手順が終了すると、UGM 上にディスプレイリストが生成されますので、HD64413A に描画を行わせた結果、3次元空間を表現できます。

## H.4 描画コマンドを使用する際の注意事項

### H.4.1 ローカルオフセットとカレントポイントの関係に関する注意

ローカルオフセット、およびカレントポイントは、コマンドの実行される順番によって、それぞれの値が決まります。このため、ローカルオフセットとカレントポイントの関係を考慮しながら、コマンドを配置してください。以下にコマンドの配置の優先度を示します。

優先度が小さいほど、先に配置すべき描画コマンドとなります。

1. lcofsコマンド : ローカルオフセットの初期値を設定するコマンド
2. rcofsコマンド : 現在のローカルオフセットに対して、相対値でローカルオフセットを移動するコマンド
3. moveコマンド : 現在のローカルオフセットを加算したカレントポイントが設定されるコマンド
4. removeコマンド : 現在のカレントポイントに対して相対値でカレントポイントを移動するコマンド

### H.4.2 相対系コマンドを使用する際の注意

相対座標で座標のパラメータを管理するコマンドを相対系コマンドといいます。この相対系コマンドを使用するときは、前もって、move コマンド等でカレントポイントを生成する必要があります。また、相対系コマンド以外のコマンドは、カレントポイントを演算用のレジスタとして使用し、カレントポイントを破壊します。このため、相対系コマンドでかつ、描画を行うコマンドを使用する際には、相対系コマンド間に、それ以外のコマンドを挿入しないでください。

### H.4.3 ソースデータを使用する際の注意

HD64413A が UGM に配置された 2 値・多値ソースを使用する場合、HD64413A 内部に存在するソースバッファにソースデータを取り込み、蓄積されたソースデータを使用して描画を行います。このソースバッファは 16 ワードの容量をもち、HD64413A は、UGM のアドレスが 16 ワードの境界を超えるごとに 16 ワードづつソースバッファにデータを格納します。このため、2 値・多値ソースを使用する際には、ソースバッファの更新を起こさせるように考慮しながら、HD64413A に描画を行わせる必要があります。また、レンダリング属性の STYL ビットによってソースバッファの更新の行われ方が決まります。1.および 2.に説明します。

#### 1. レンダリング属性のSTYLを0に設定した場合

STYL = 0 の場合、ソースの容量が 16 ワード以内のときに、ソースバッファの更新を起こさせるように考慮する必要があります。以下の方法が考えられます。

- コマンドごとに異なるソースアドレスを指定する。

たとえば、POLYGON4B コマンドで 16 ワード以内の 2 値ソースを参照させたい場合、POLYGON4B コマンドのパラメータである SOURCE ADDRESSH および SOURCE ADDRESSL をコマンドごとに異なるアドレスを指定する方法があります。

- 透過指定を使用する。

16 ワードを超える 2 値ソースを用意し、透過指定を有効にした描画コマンドで、描画の際に、必要な部分の 2 値ソースのみを描画させる方法があります。

#### 2. レンダリング属性のSTYLを1に設定した場合

STYL = 1 の場合、ソースの繰り返し参照を行います。このため、ソースの参照開始アドレスから数えて、16 ワード以内のアドレスでソースの参照が終了した場合に、ソースバッファの更新を起こさせるように考慮する必要があります。以下の方法が考えられます。

- コマンドごとに異なるソースアドレスを指定する。

たとえば、POLYGON4B コマンドで 16 ワード以内の 2 値ソースを参照させたい場合、POLYGON4B コマンドのパラメータである SOURCE ADDRESSH および SOURCE ADDRESSL をコマンドごとに異なるアドレスを指定する方法があります。

## H.5 描画処理を支援する機能

### H.5.1 描画の中断・再開

描画の中断・再開は、HD64412 (Q2i) 以降からサポートされた描画機能を支援するための機能です。この機能は、背景面 (BG) 描画中に前景面 (FG) に対して描画処理を行う場合や、強制的に描画処理を割り込ませる場合などに使用します。描画の中断・再開の使用方法を以下に説明します。

なお、本機能は、システム制御レジスタの DBM ビットに B'10 を設定して、ダブルバッファ制御をマニュアルディスプレイチェンジに固定した状態でのみ使用可能です。

#### 1. 描画の中断

「描画の中断」は、現在行っている描画を中断させるための方法です。描画の中断は、システム制御レジスタ (SYSR) の RBRK ビットに 1 を設定することで行えます。SuperH で RBRK ビットに 1 を設定すると、HD64413A は、現在実行している描画コマンドの処理が終了した後の次のコマンドの先頭で、LSI 内部のレジスタに設定された値 (カレントポインタ、ローカルオフセット、クリッピング範囲、GOSUB コマンドのリターンアドレス) をレンダリング制御レジスタに設定し、描画処理を中断します。

また、SuperH で描画の中断を判定するには、RBRK ビットを 1 に設定後、TRA ビットおよび BRK ビットを読み出してください。TRA ビットが 1 である場合は、RBRK による中断ではなく TRAP コマンド実行による描画の終了であるため、それ以降の描画の再開は行わないようにしてください。また、BRK ビットが 1 である場合は、描画の中断が行われたことを意味します。このため、BRK が 1 になったことを確認することで、描画の中断を判定できます。

BRK ビットが 1 になったら、レンダリング制御レジスタ、レンダリングモードレジスタの描画開始アドレスイネーブル (RSAE)、描画開始アドレスレジスタ (RSAR)、およびコマンドステータスレジスタ (CSTR) に設定されている値を SuperH のソフトウェア処理にてリードし、SuperH のメモリ上に待避させてください。待避した値は、中断した描画を再開するときに使用します。その後、中断中に描画させたいディスプレイリストを生成し、実行してください。

## 2. 描画の再開

「描画の再開」は、「描画の中断」で中断させた描画を再開させるための方法です。描画の再開時の処理は、SuperHにて描画の再開を行うためのディスプレイリストをUGMに配置し、このディスプレイリストへの描画開始を行い(システム制御レジスタのRSビットに1を設定)、RSビットが0に戻ることを確認することで行えます。描画の再開を行うためのディスプレイリストの構成を以下の1.から8.に示します。

- 描画の再開時に使用するディスプレイリストのコマンドの並び順(1.から8.の順)
1. WPRコマンド(描画の中断時に待避した描画開始アドレスレジスタの値を、描画開始アドレスレジスタ(RSAR)に設定する)
  2. WPRコマンド(描画の中断時に待避した描画開始アドレスイネーブルの値を、描画開始アドレスイネーブル(RSAE)に設定する)
  3. WPRコマンド(描画の中断時に待避したGOSUBコマンドのリターンアドレスを、リターンアドレスレジスタ(RTNR)に設定する)
  4. UCLIPコマンド(描画の中断時に待避したUCLIPの値を復帰させる)
  5. SCLIPコマンド(描画の中断時に待避したSCLIPの値を復帰させる)
  6. LCOFSコマンド(描画の中断時に待避したローカルオフセットの値を復帰させる)
  7. MOVEコマンド(描画の中断時に待避したカレントポインタの値を復帰させる)
  8. JUMPコマンド(描画の中断時に待避したコマンドステータスレジスタの値を復帰させる)

## 1. 描画性能

図 I.1 ~ 図 I.3 に HD64413A の描画性能をグラフで示します。グラフは、描画範囲内を POLYGON4C コマンドで塗りつぶしたときの時間を示しています。

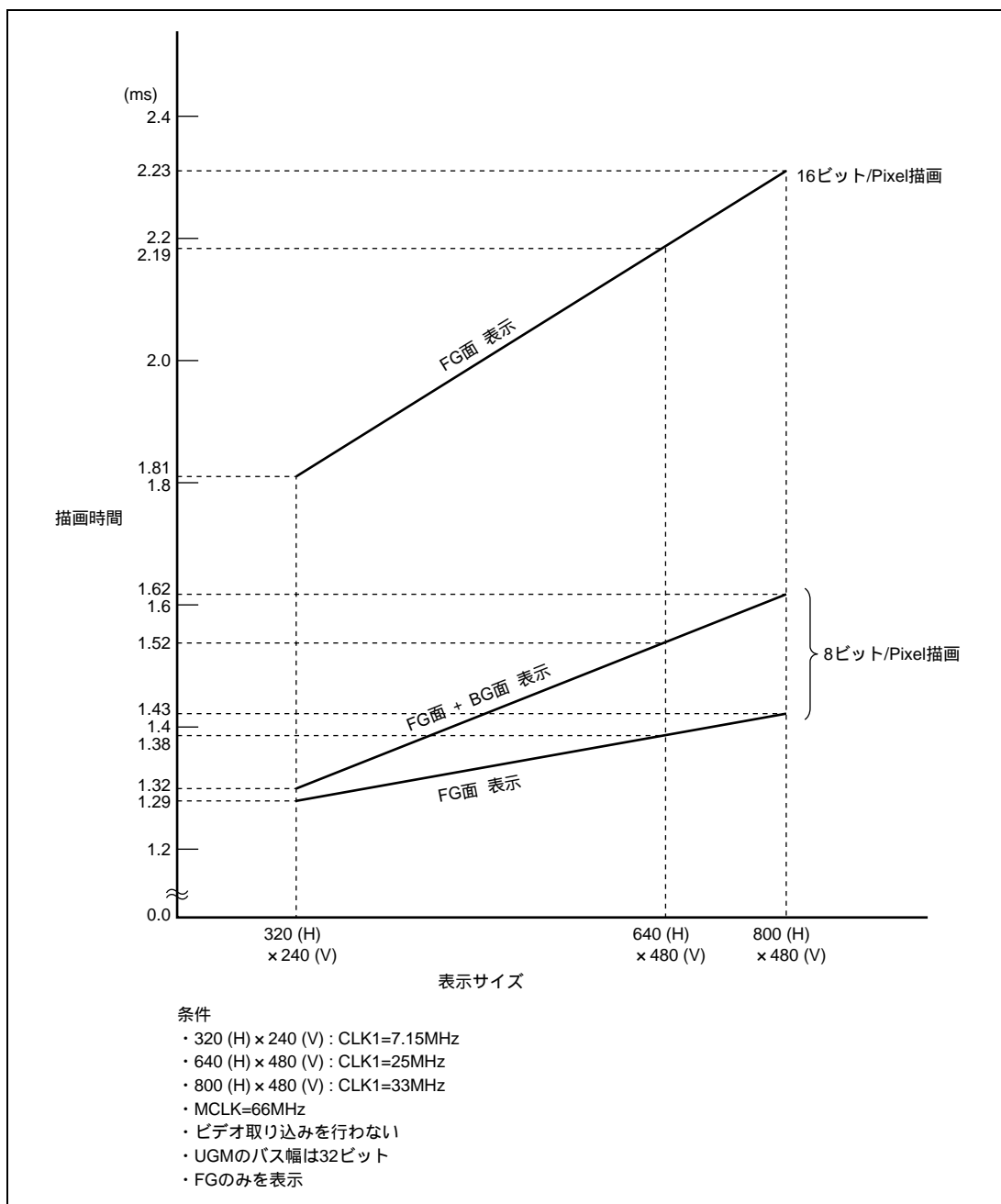


図 I.1 FST = 0 のときの POLYGON4C の描画性能 (描画範囲 : 320 (H) × 240 (V) )

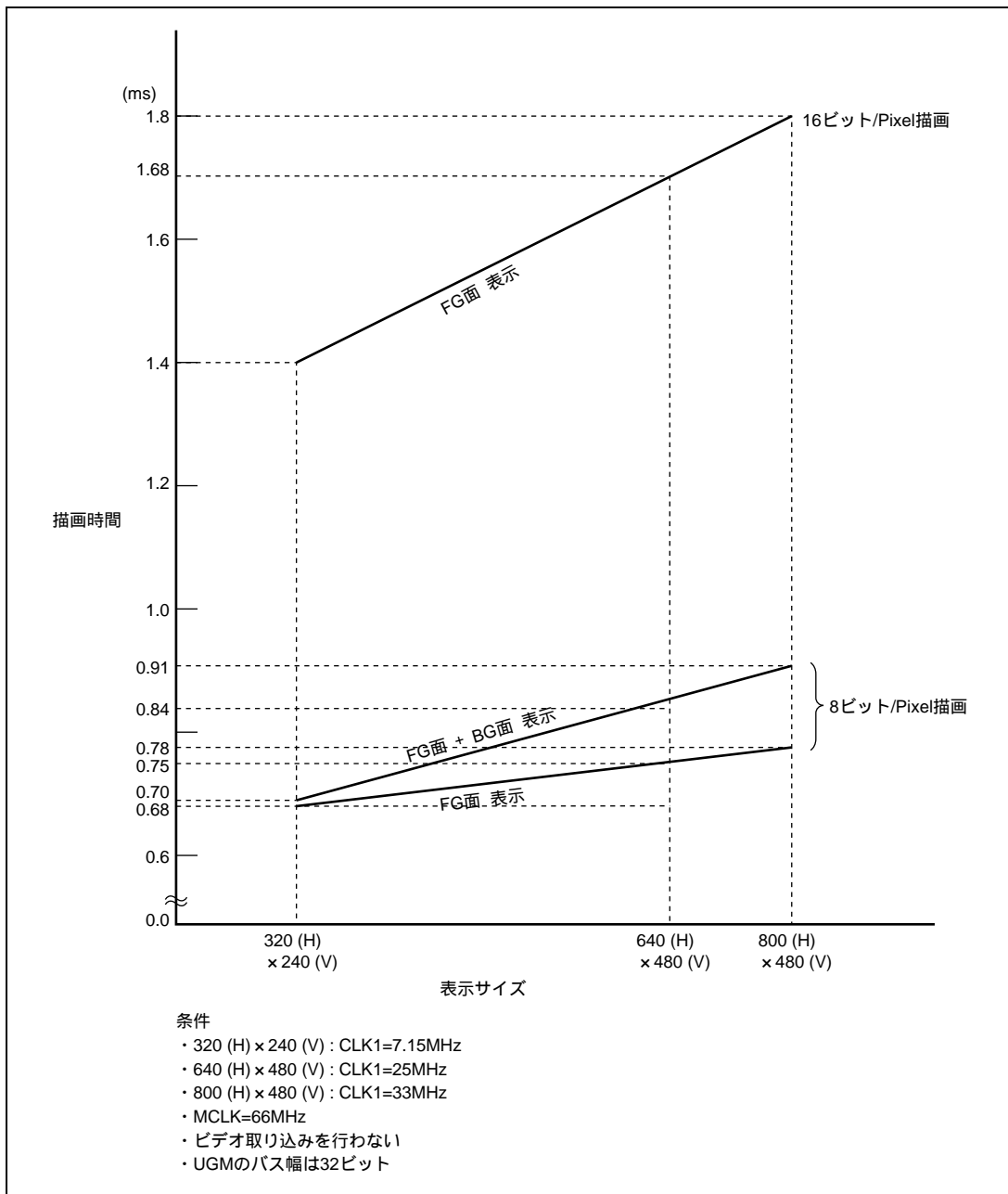


図 I.2 FST = 1 のときの POYLGON4C の描画性能 ( 描画範囲 : 320 ( H ) × 240 ( V ) )

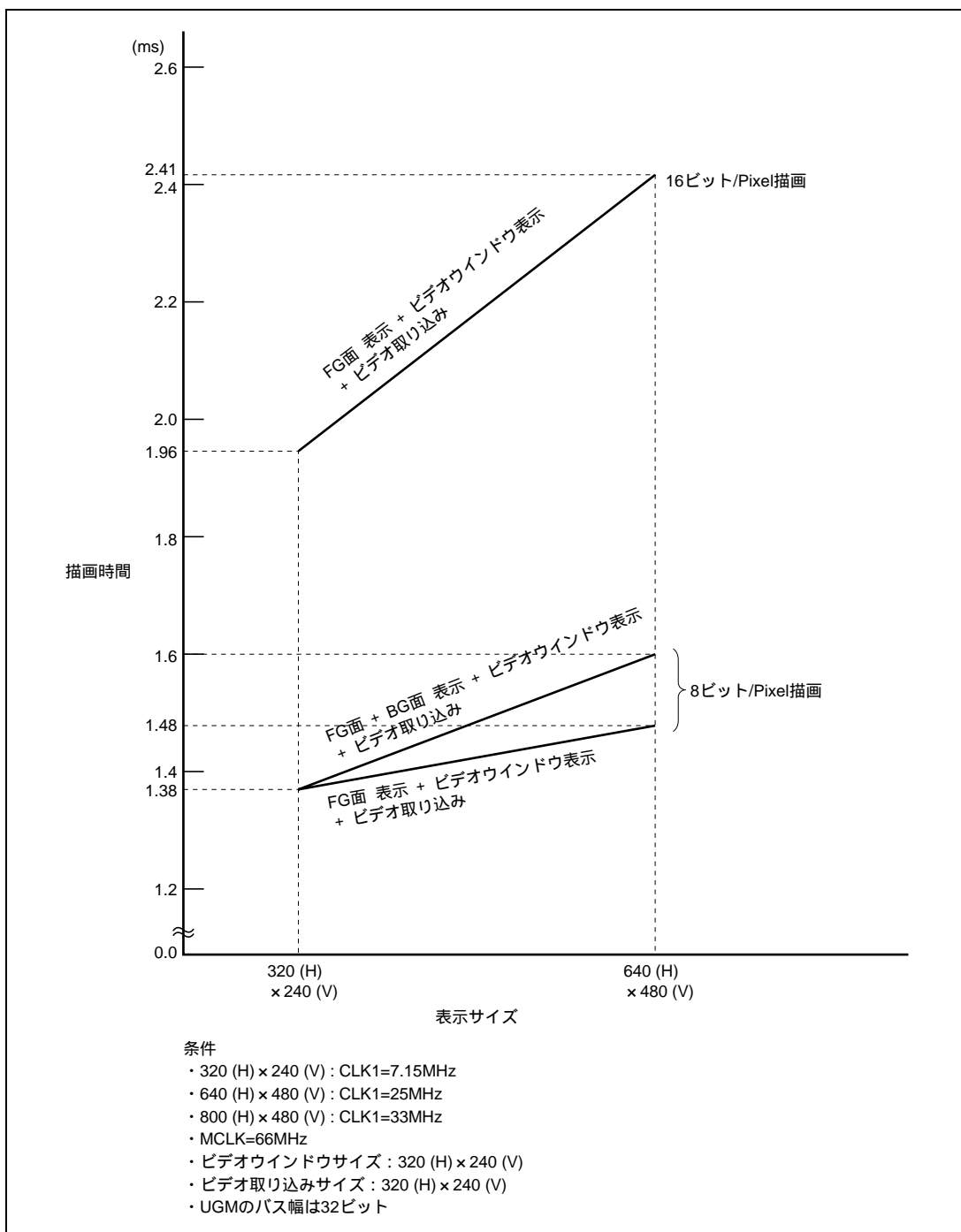


図 I.3 FST = 0 の POYLGON4C の描画性能 ( 描画範囲 : 320 ( H ) × 240 ( V ) )



## J. ビデオ取り込み機能の使用例

### J.1 ビデオ取り込み設定例

#### J.1.1 インタレース合成取り込み例

- 内容

ビデオデータを640×480インタレースで取り込み、ビデオ表示を640×480とし全画面に表示させます。

- Q2SDレジスタ設定

ビデオデコーダのイニシャライズ：インタレース出力640×480モード

MEMR	: H'0031 (64MB×32ビット×1)
DSMR	: H'0003 (ノンインタレース、マスタモード、リフレッシュ3)
REMR	: H'0040 (BG: OFF、FG/BG: 8ビット、1024モード)
DSX	: H'0280 (640)
DSY	: H'01E0 (480)
DSA0R	: H'0000 (B0000000番地)
DSA1R	: H'0008 (B0080000番地)
DSMR2	: H'0409 (ビデオ表示 ON、カーソル1表示 OFF、カーソル2表示 OFF、FG表示 OFF、YC RGB 変換 ON)
HVPR	: H'0000 (X座標 0)
VVPR	: H'0000 (Y座標 0)
VSAH0	: H'0018 (B0180000番地)
VSAL0	: H'0000
VSAH1	: H'0028 (B0280000番地)
VSAL1	: H'0000
VSAH2	: H'0038 (B0380000番地)
VSAL2	: H'0000
VSIZEX	: H'0280 (640)
VSIZEY	: H'01E0 (480)
VIMR	: H'0005 (YC RGB変換 OFF、インタレース合成取り込み、間引き 縦=1、横=1)

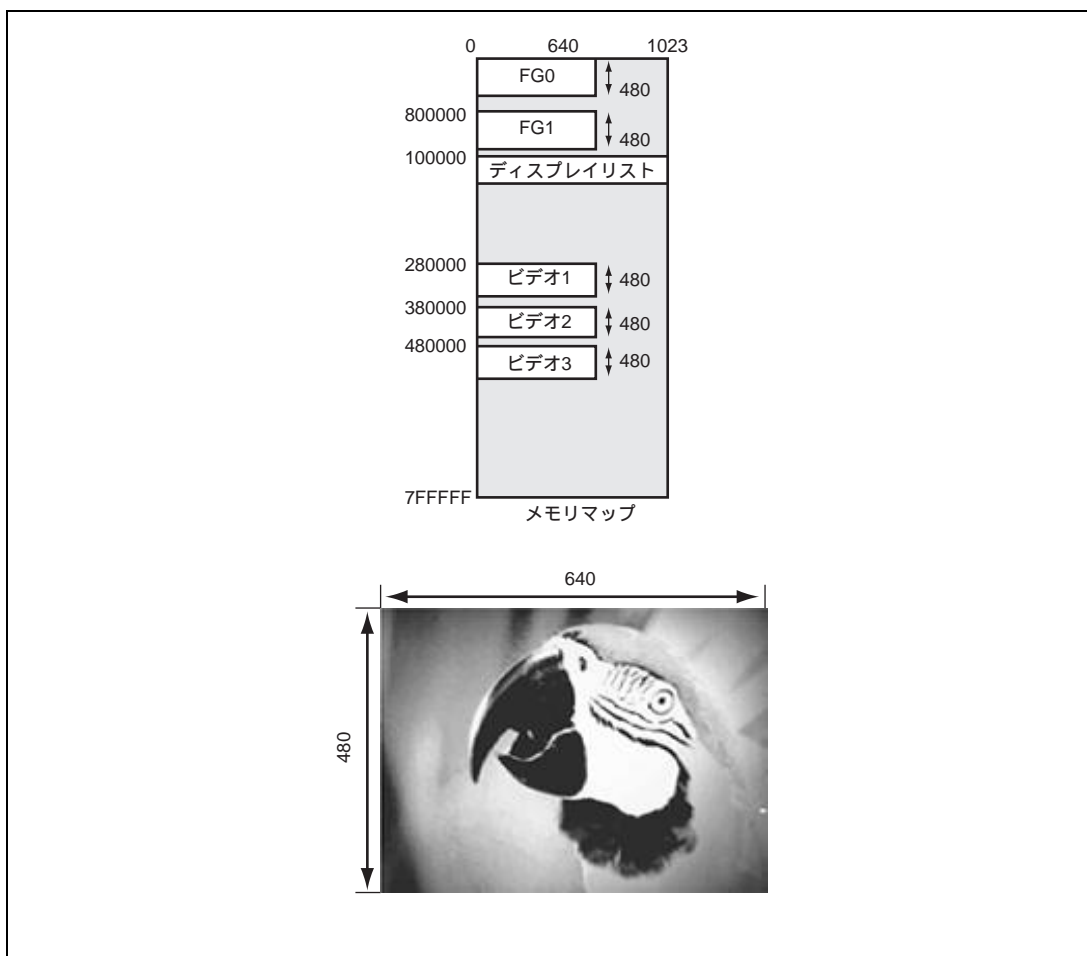


図 J.1 インタレース合成取り込み

## J.1.2 ビデオデータのサイズ変更例

- 内容

320×240の表示に、640×480取り込みを行い、間引き 縦、横：1/4設定としてビデオ表示位置をXY共80移動したところに、160×120のビデオ面を表示させます。

- Q2SDレジスタ設定

BTのイニシャライズプログラム：モニタコマンドWW（ビデオ表示サイズ：640×480モード）

MEMR : H'0011 (16MB×16ビット×2)  
DSMR : H'0003 (ノンインタレース、マスタモード、リフレッシュ3)  
REMR : H'0400 (BG: ON、FG/BG: 8ビット、512モード)  
DSX : H'0140 (320)  
DSY : H'00F0 (240)  
DSA0R : H'0000 (B0000000番地)  
DSA1R : H'0002 (B0020000番地)  
DSMR2 : H'0409 (ビデオ表示 ON、カーソル1表示 OFF、カーソル2表示 OFF、FG表示 OFF、  
YC RGB変換 ON)  
HVPR : H'0050 (X座標 80)  
VVPR : H'0050 (Y座標 80)  
VSAH0 : H'0008 (B0080000番地)  
VSAL0 : H'0000  
VSAH1 : H'0008 (B0100000番地)  
VSAL1 : H'0000  
VSAH2 : H'0018 (B0180000番地)  
VSAL2 : H'0000  
VSIZEX : H'00A0 (160)  
VSIZEY : H'0078 (120)  
VIMR : H'0385 (YC RGB変換 OFF、インタレース合成取り込み、間引き 縦=1/4、横=1/4)

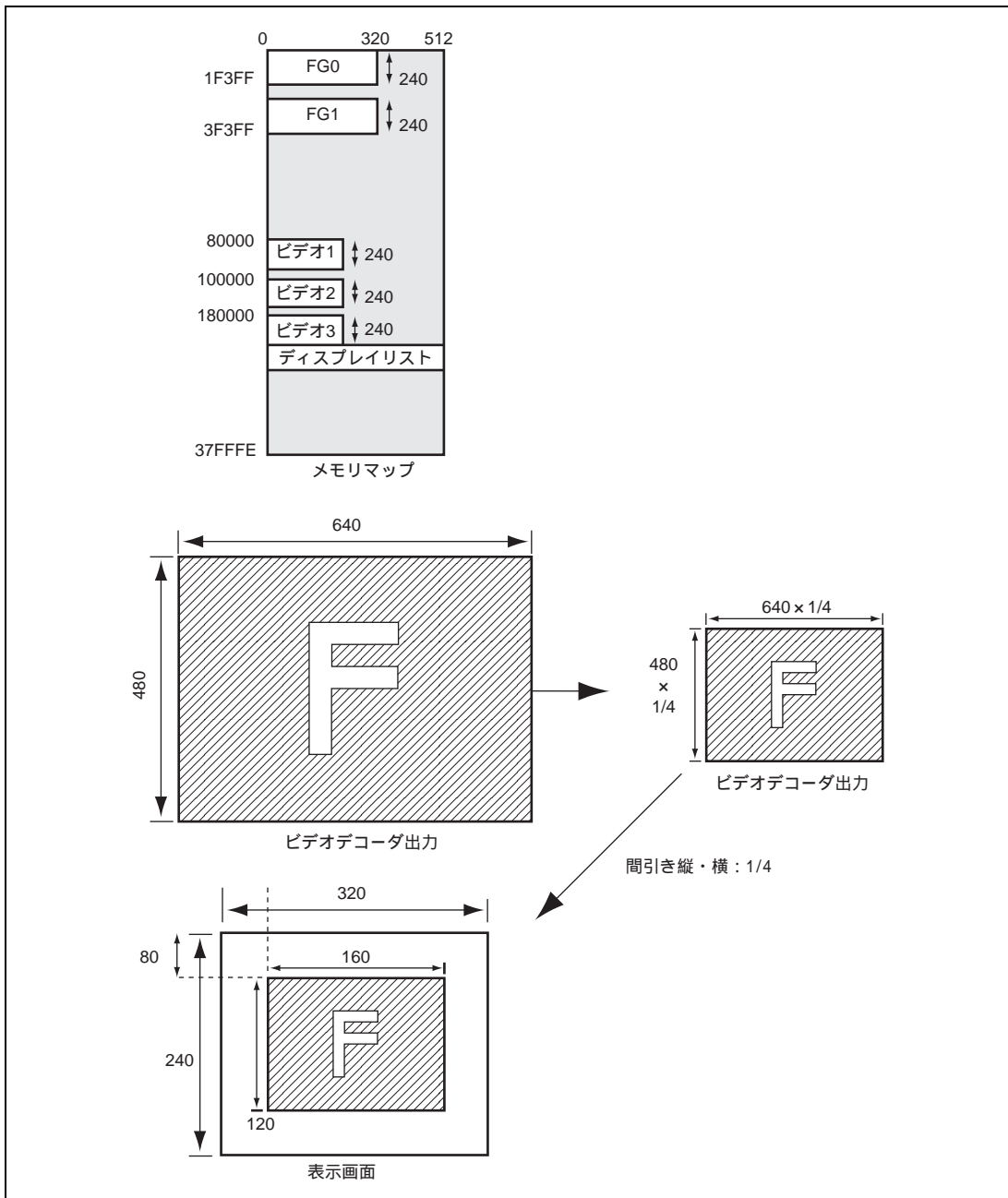


図 J.2 縦 1/4 横 1/4 間引きインタレース合成取り込み

## J.2 ビデオ取り込みデータの利用例

### J.2.1 ビデオ取り込みデータをリアルタイムビデオ面として表示する方法

VIMRレジスタのVIE = 1の場合、表示モード2レジスタ(DSMR2)のVWEビットが1であると、ビデオ格納領域に格納された最新のビデオストリームデータをリアルタイムに表示します。この場合、下記のどちらかを行ってください。

- VIMRレジスタのRGBビットが1のときには、DSMR2レジスタのVWRYに0を設定してください。
- VIMRレジスタのRGBビットが0のときには、DSMR2レジスタのVWRYに1を設定してください。

### J.2.2 ビデオ取り込みデータを多値ソースとして利用する方法

VIMRレジスタのVIE = 0を設定してビデオ取り込みを停止した場合、VIMRのVID1、VID0ビットに最新のビデオストリームデータが格納されたビデオ格納領域が示されます。VIMRのRGBビットが1である状態でビデオ取り込み機能を実行したならば、VID1、VID0が指し示しているビデオ格納領域を16ビット/画素の多値ソースとして参照することが可能です。

なお、VID1、VID0は、ビデオ取り込みを行っている最中(VIE = 1)のときは意味を持ちません。VID1、VID0を参照する場合には、ビデオ取り込みを停止(VIE = 0)してから参照を行ってください。

- 内容

Q2SDのビデオ取り込みをしたデータをRGB変換して、BG面エリアにならべて格納すると同時に、多値ソースデータとして描画機能により図形にビデオデータを貼りつけて描画させます。

- Q2SDレジスタ設定

BTのイニシャライズプログラム：モニタコマンドWW（ビデオ表示サイズ：640×480モード）

MEMR : H'0010 (16MB×16ビット×2)  
DSMR : H'0405 (ノンインタレース、マスタモード、リフレッシュ5、BG:ON)  
REMR : H'0001 (FG/BG:16ビット、512モード)  
DSX : H'0140 (320)  
DSY : H'00F0 (240)  
DSA0R : H'0000 (B0000000番地)  
DSA1R : H'0004 (B0040000番地)  
BGSX : H'0000 (0)  
BGSY : H'0200 (512)  
DSMR2 : H'0001 (ビデオ表示ON、カーソル1表示OFF、カーソル2表示OFF、FG表示ON、  
YC RGB変換OFF)  
HVPR : H'00A0 (X座標160)  
VVPR : H'0078 (Y座標120)  
VSAH0 : H'0008 (B0080000番地)  
VSAL0 : H'0000  
VSAH1 : H'0008 (B0081400番地)  
VSAL1 : H'1400  
VSAH2 : H'0009 (B009C100番地)  
VSAL2 : H'C100  
VSIZEX : H'00A0 (160)  
VSIZEY : H'0078 (120)  
VIMR : H'0183 (YC RGB変換ON、ノンインタレース取り込み、間引き 縦=1/4、横=1/4)

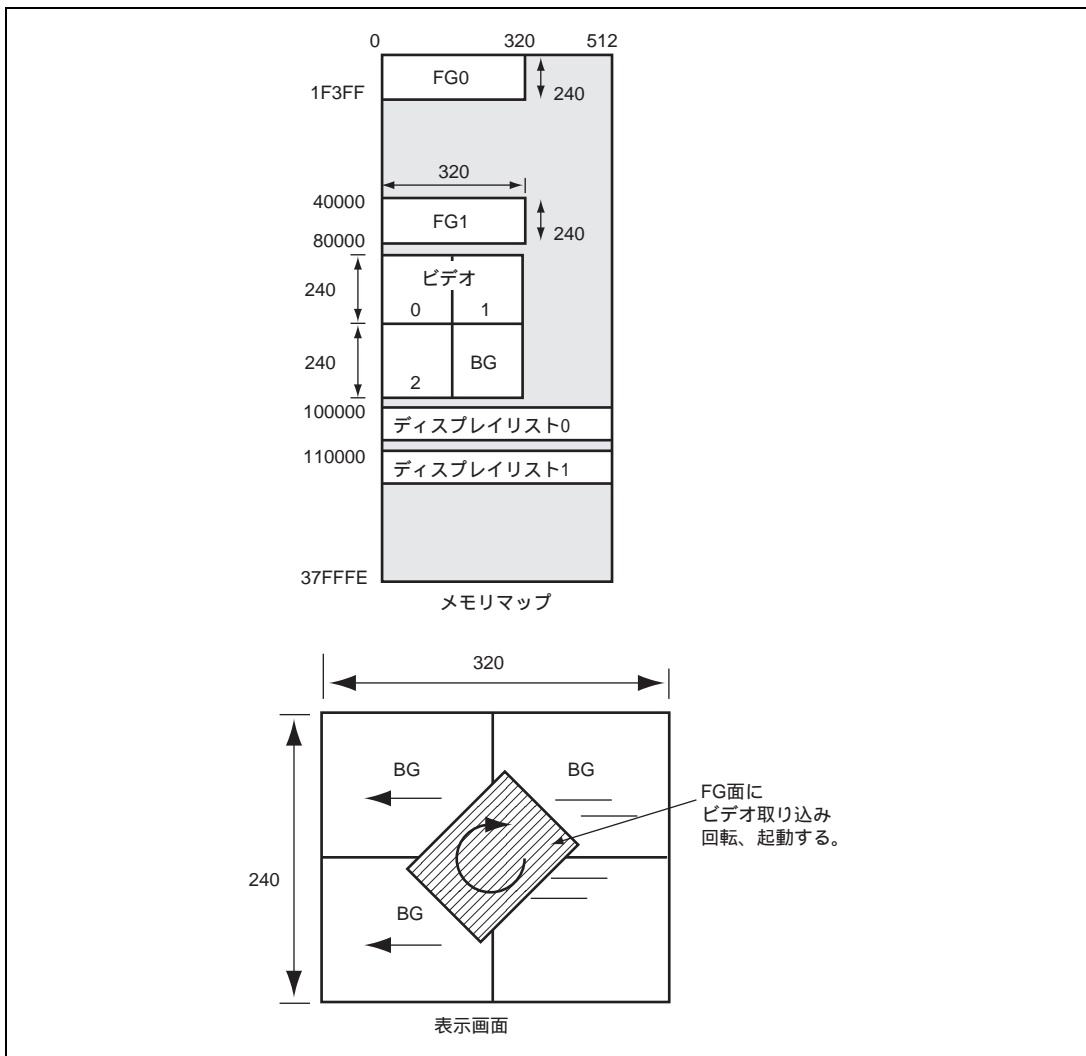


図 J.3 ビデオデータの利用例

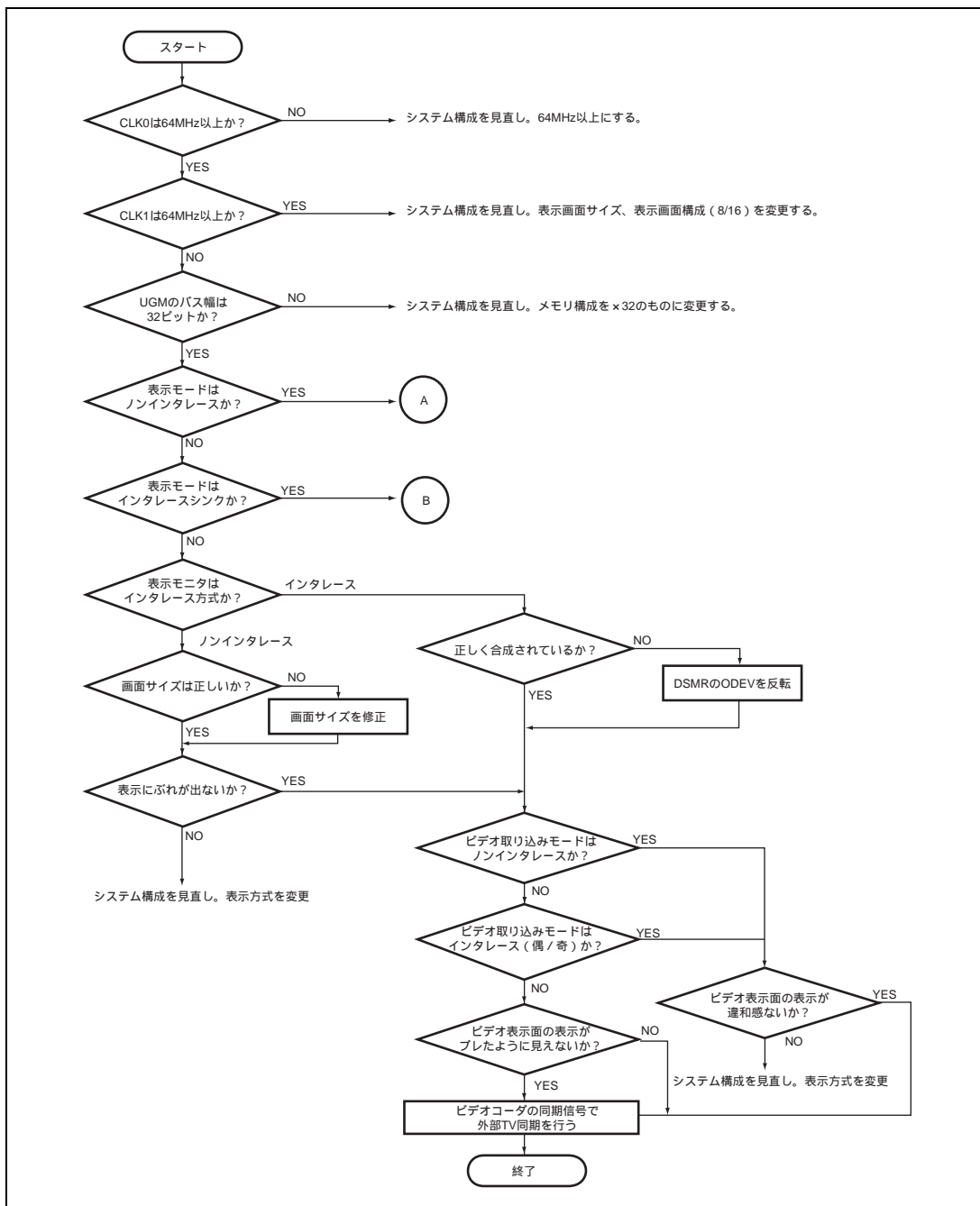


図 J.4 Q2SD ビデオ設定フロー (1)



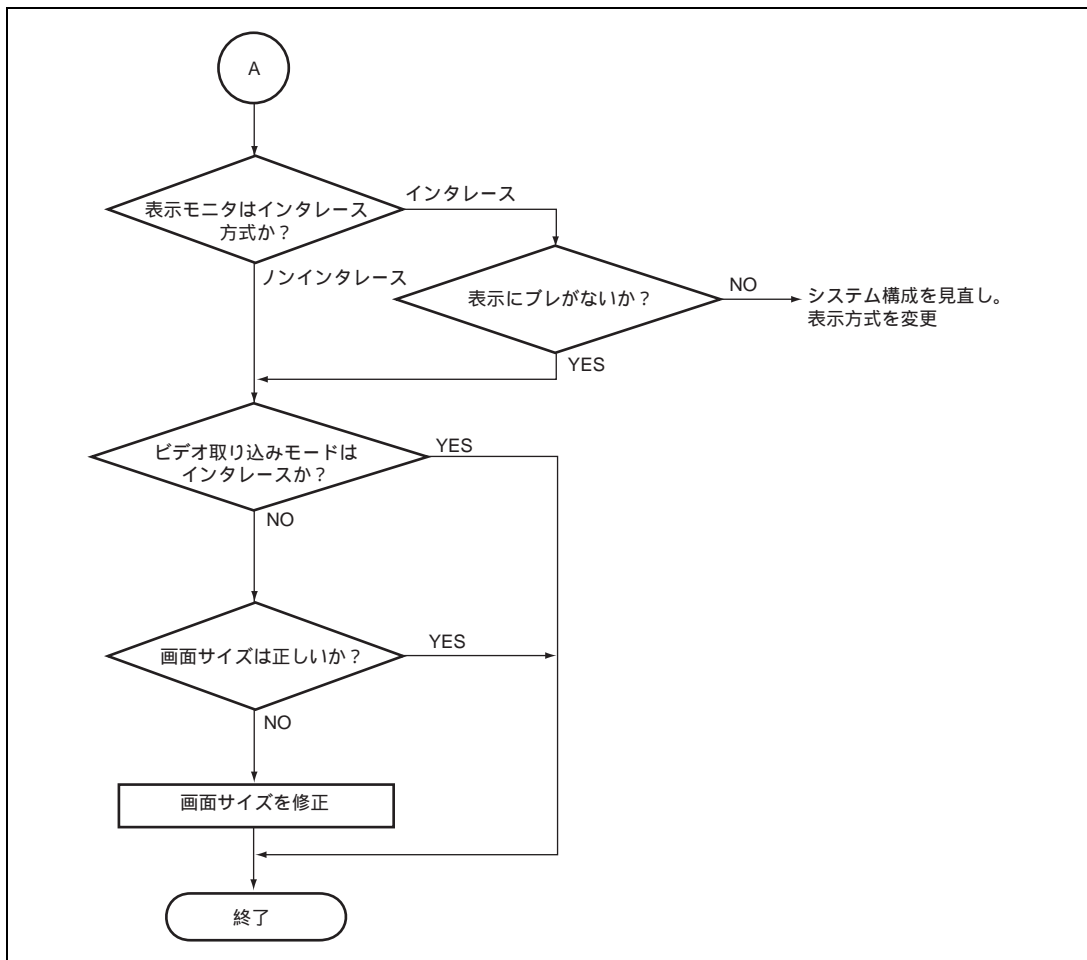


図 J.5 Q2SD ビデオ設定フロー (2)

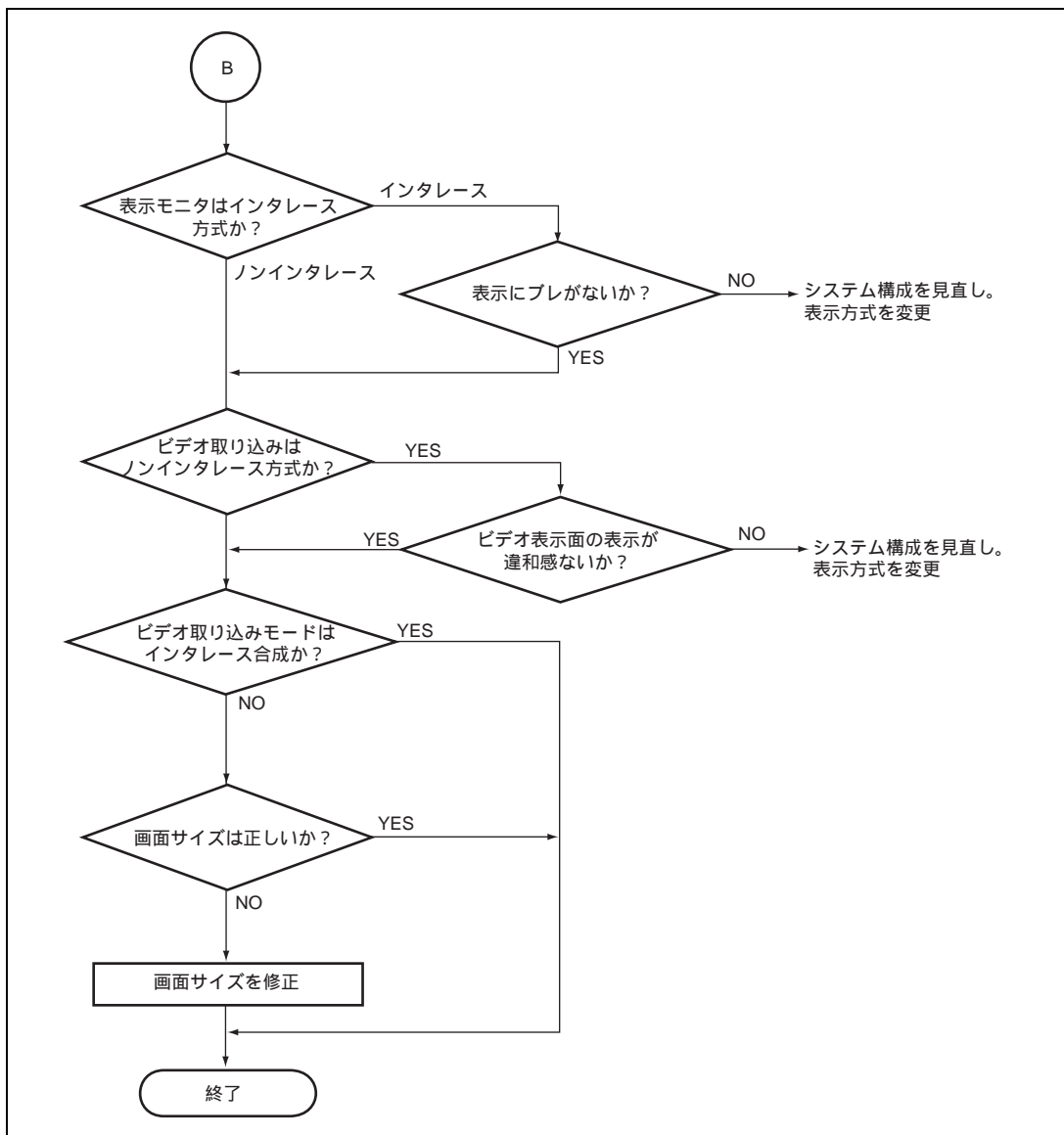


図 J.6 Q2SD ビデオ設定フロー (3)

### J.3 ビデオデコーダ

#### J.3.1 ビデオデコーダのフィールド制御

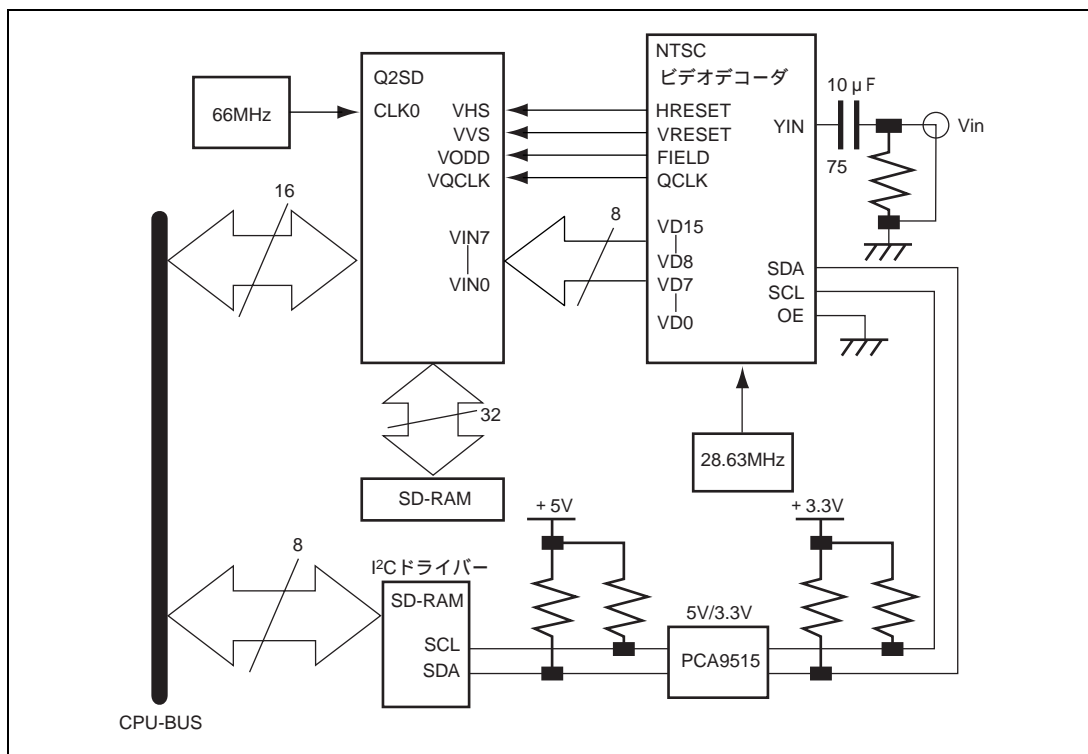


図 J.7 取り込み回路構成例

図 J.7 ではビデオデコーダはデジタル 3.3V インタフェースを持つ 5V アナログデバイスとしています。そのため、I<sup>2</sup>C インタフェースは 5V - 3.3V 変換を行っています。

Q2SD とビデオデコーダの接続は 8 ビット (Vin0 - 7) で、同期信号 (VHS、VVS) と同期クロック (VQCLK) とフィールド信号 (VODD) を接続します。

ビデオデコーダにつながる I<sup>2</sup>C ドライバーはビデオデコーダの設定を CPU で行うためのものです。

Q2SD ではインタレースのフィールドの組み合わせをソースに合わせて切り替えることができます。

NTSC ではフィールドの組み合わせ (トップフィールドとボトムフィールド) が 2 とおり存在しています。フィールドの上下を合わせないと、前の面と今の面の合成になることがあります。このためほとんどのビデオデコーダが FIELD 信号の極性を反転させる機能を持っています。

フレーム	1	2	3	4	1	2	3	4	
トップフィールド (Even)	1	3	5	7	2	4	6	8	
ボトムフィールド (Odd)		2	4	6	8	1	3	5	7
形式	トップファースト (TV、DVD)				ボトムファースト				

NTSC ビデオデコーダのインタレースデータの出力タイミングの例を図 J.8 に示します。インタレースの場合、NTSC ビデオデコーダにより偶数フィールドと奇数フィールドの FIELD 信号の切り替わりタイミングが異なりますので注意してください。

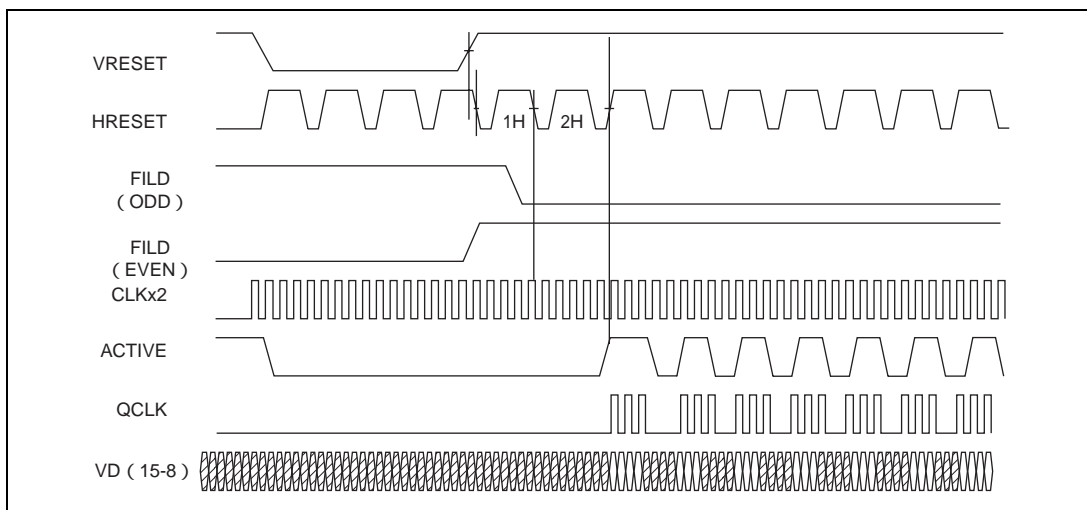


図 J.8 デコーダのインタレースデータの出力タイミング例

### J3.2 ビデオデコーダの設定

Q2SD のビデオ入力機能は、ITU-601 形式の 8 ビットビデオストリームデータを出力できるビデオデコーダと構成する必要があります。当社で接続を確認しているデコーダは、Rockwell 社製 Bt815A、Bt817A、Bt819A、Bt827A / B、Bt829A / B、Bt835 があります。これらのビデオデコーダと接続を行う場合、このデバイスの制御は、I<sup>2</sup>C インタフェースで行います。このため、I<sup>2</sup>C インタフェースを持った CPU、もしくは I<sup>2</sup>C ドライバを用いて、Q2SD でビデオ取り込みを行う前に、ビデオデコーダの初期設定を行う必要があります。必要な設定は以下のとおりです。

- データ出力形式 : NTSC の各モード
- データサイズ : VGA / QVGA / 任意
- 出力形式 : インタレース / ノンインタレース
- インタフェース : 8 ビット ビデオストリーム
- コントラスト : 任意
- 明るさ : 任意
- 色合い : 任意

このとき、ビデオデコーダのデータ出力は Q2SD で設定できない縮小サイズでの取り込みをする場合以外は最大値を設定してください。ただし、縦 (Y) 方向のサイズ設定をビデオデコーダで行う場合、外部に追加回路で VHS 信号、VQCLK 信号が無効ラインのときに出力されないようにする必要がある場合が有ります。

取り込み画像のコントラスト、明るさ、色合いの調整などはビデオデコーダのレジスタで設定してください。

## K. 製品ラインナップ

		動作温度	電気的特性	信頼度
HD64413ASF	一般品	0 ~ 70	7章で示した特性	一般
HD64413ASFI	動作温度範囲拡張品	- 40 ~ 85	7章で示した特性 ただし、Ta= - 40 ~ 85	一般
HD64413ASFD	自動車応用向高信頼度品	- 40 ~ 85	7章で示した特性 ただし、Ta= - 40 ~ 85	高信頼度



HD64413A Q2SD ユーザーズマニュアル

発行年月 1999年9月 初版  
2002年9月 第2版

発 行 株式会社 日立製作所  
半導体グループビジネスオペレーション本部

編 集 株式会社 日立小平セミコン  
技術ドキュメントグループ

©株式会社 日立製作所 1999

HD64413A Q2SD  
ユーザズマニュアル



ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

ADJ-602-232A