

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。  
改訂一覧は改訂箇所をまとめたものであり、詳細については  
必ず本文の内容をご確認ください。

EOL Product

# HD404889シリーズ

ハードウェアマニュアル

ルネサス4ビットシングルチップマイクロコンピュータ

HMCS400ファミリ

## ご注意

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際は、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

## 製品に関する一般的注意事項

### 1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。

### 2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、入力をプルアップかプルダウンによって、ハイまたはローレベルに固定してください。

### 3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

### 4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられています。

これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

---

# はじめに

---

HD404889 シリーズは、強力でプログラム生産効率のよい HMCS400 CPU を核に持ち、液晶表示回路をはじめ、A/D コンバータ、多機能タイマなど各種周辺機能を内蔵した 4 ビットマイクロコンピュータです。CD ラジカセなどの AV 機器はもとより、電子ジャー他の家庭電化製品、電話、ページャなどの幅広い分野の表示パネル制御とシステムコントロールに最適です。

周辺機能は独立したモジュールとして開発され、標準化したインタフェースで各モジュールを結合するモジュールアーキテクチャ方式を採用しています。

HD404889 シリーズは、内蔵 ROM 版と PROM 版 (ZTAT<sup>®</sup> 版) が用意され、PROM 版は汎用 PROM ライタを用いて、ユーザサイドで自由にプログラムの書き込みが行えます。

【注】 ZTAT<sup>®</sup> は、(株)ルネサス テクノロジーの登録商標です。

マスク ROM 版および ZTAT<sup>®</sup> 版は、記載しております電気的特性の基準値を十分満足することを確認しています。しかし、製造プロセスの違い、内部の配線パターン等の違いにより、特性上の実力値や動作マージン、ノイズマージン等は異なります。つきましては、いずれの製品におかれましても同等の実機システム評価試験を行い、動作のご確認をお願いいたします。

HD404889 シリーズ関連資料

下記の資料は、すべて現在使用できるものですが、在庫が少量のものもあります。

在庫については、(株)ルネサス テクノロジ カスタマサポートセンタ E-mail:  
csc@renesas.com へお問い合わせください。

形 名	データシート		プログラミングマニュアル	
	資料 No.	発行日	資料 No.	発行日
HD404889 シリーズ	RJJ03B0050	'03.9	ADJ-602-037	'90.3

EOL Product

## 機能一覧

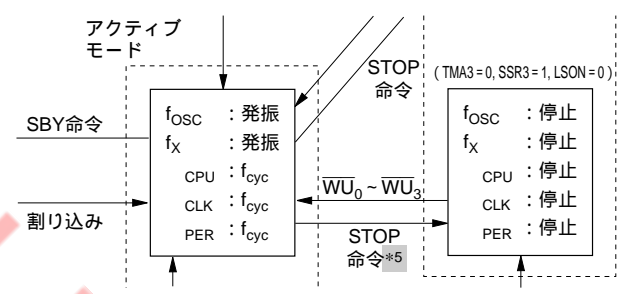
項 目		HD404889 シリーズ
ROM	容量 (ワード)	8 / 12 / 16k
RAM	容量 (ディジット)	1,344
I/O	本数	46
	大電流端子	ソース 4 本、シンク 8 本
	LCD セグメント兼用端子	16
割り込み	優先順位 ↑ 高 ↓ 低	$\overline{WU}_0 \sim \overline{WU}_3$
		$INT_0$
		$INT_1$
		タイマ A
		タイマ B または タイマ D
		タイマ C
		シリアルインタフェースまたは A/D
シリアル インタフェース	本数	1
	アイドル制御	有
	開始命令	STS 命令
A/D コンバータ	チャンネル数	6
液晶表示回路	セグメント数	32
ブザー出力回路		有
システムクロック 発振器	発振子	外部、セラミック、水晶
	周波数 (MHz)	0.4 ~ 1.0 / 1.6 ~ 4.5
	分周比	4 または 32
サブシステム クロック発振器	周波数	32kHz
	分周比	4 / 8
	ストップモード時の停止	可
低消費電力 モード	スタンバイモード	有
	ストップモード	有
	サブアクティブモード	有
	ウォッチモード	有
サブアクティブからアクティブモードへの 直接復帰		可
サブアクティブからストップモードへの直接遷移		



タイマ機能一覧

項 目		HD404889 シリーズ			
		A	B	C	D
タイマ	クロックソースプリスケアラ S				
	クロックソースプリスケアラ W				
	外部イベント入力 (立ち下がり / 立ち上がり / 両エッジ)				
	フリーランニングタイマ				
	タイムベース				
	イベントカウンタ				
	リロード				
	ウォッチドッグ				
	トグル出力				
	PWM				
	インプットキャプチャ				

# 本版で修正または追加された箇所

修正項目	ページ	修正箇所
5.1.2 状態遷移図 図 5.1 状態遷移図	75	<p>【注】*5 の追加</p>  <p>【注】</p> <p>*5 HD404899/HD404878/HD404868シリーズに適用します。</p>

---

# 目次

---

## 第1章 概要

1.1	概要	3
1.2	内部ブロック図	7
1.3	端子説明	8
1.3.1	ピン配置	8
1.3.2	端子機能	12

## 第2章 メモリマップ

2.1	概要	19
2.2	ROMメモリマップ	19
2.2.1	ベクタアドレスエリア	19
2.2.2	ゼロページサブルーチンエリア	19
2.2.3	パターンエリア	19
2.2.4	プログラムエリア	20
2.3	RAMメモリマップ	21
2.3.1	RAMマップレジスタエリア	22
	(1) 割り込み制御ビットエリア (\$000 ~ \$003)	22
	(2) 特殊レジスタエリア (\$004 ~ \$01F, \$024 ~ \$03F)	23
	(3) レジスタフラグエリア (\$020 ~ \$023)	25
2.3.2	メモリレジスタエリア	27
2.3.3	液晶表示データエリア	28
2.3.4	データエリア	29
	(1) バンクレジスタ (V : \$03F)	30
2.3.5	スタックエリア	31

## 第3章 CPU

3.1	概要	35
3.1.1	特長	35
3.1.2	アドレス空間	36
3.1.3	レジスタ構成	36
3.2	各レジスタの説明	37
3.2.1	アキュムレータ (A)、Bレジスタ (B)	37
3.2.2	Wレジスタ (W)、Xレジスタ (X)、Yレジスタ (Y)	37
3.2.3	SPXレジスタ (SPX)、SPYレジスタ (SPY)	37
3.2.4	キャリフラグ (CA)	37
3.2.5	ステータスフラグ (ST)	37
3.2.6	プログラムカウンタ (PC)	38
3.2.7	スタックポインタ (SP)	38
3.3	アドレッシングモード	39
3.3.1	RAMアドレッシングモード	39
	(1) レジスタ間接アドレッシングモード	39
	(2) 直接アドレッシングモード	39
	(3) メモリレジスタアドレッシングモード	40
3.3.2	ROMアドレッシングモードとP命令	40
	(1) ダイレクトアドレッシングモード	40
	(2) カレントページアドレッシングモード	41
	(3) ゼロページアドレッシングモード	41
	(4) テーブルデータアドレッシングモード	42
	(5) P命令	42
3.4	処理状態	44
3.4.1	概要	44
3.4.2	プログラム実行状態	45
	(1) アクティブモード	45
	(2) サブアクティブモード	45
3.4.3	例外処理状態	45
3.4.4	プログラム停止状態	46
	(1) ストップモード	46
	(2) ウォッチモード	46
	(3) スタンバイモード	46

## 第4章 例外処理

4.1	概要	49
-----	----	----

4.2	リセット.....	50
4.2.1	概要.....	50
	(1) $\overline{\text{RESET}}$ 端子入力.....	50
	(2) ウォッチドッグタイマのオーバフロー.....	50
4.2.2	リセットシーケンス.....	50
4.3	ストップモード解除.....	51
4.3.1	概要.....	51
4.3.2	ストップモード解除シーケンス ( $\overline{\text{RESET}}$ 端子入力による).....	51
4.3.3	ストップモード解除シーケンス ( $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$ 端子への立ち下がりエッジ入力による).....	51
4.4	リセットおよびストップモード解除時のレジスタ、フラグの初期値.....	52
4.5	割り込み.....	55
4.5.1	概要.....	55
4.5.2	各レジスタ、フラグの説明.....	56
	(1) ポートモードレジスタ 0 (PMR0 : \$008).....	57
	(2) ポートモードレジスタ 1 (PMR1 : \$009).....	58
	(3) エッジ検出選択レジスタ (ESR : \$006).....	60
	(4) 割り込み許可フラグ (IE : \$000,0).....	60
	(5) ウェイクアップ割り込み要求フラグ (IFWU : \$000,2).....	61
	(6) ウェイクアップ割り込みマスク (IMWU : \$000,3).....	61
	(7) 外部割り込み 0、1 要求フラグ (IF0 : \$001,0、IF1 : \$001,2).....	62
	(8) 外部割り込み 0、1 マスク (IM0 : \$001,1、IM1 : \$001,3).....	62
	(9) タイマ A ~ D 割り込み要求フラグ (IFTA : \$002,0、IFTB : \$002,2、IFTC : \$003,0、IFTD : \$022,2).....	62
	(10) タイマ A ~ D 割り込みマスク (IMTA : \$002,1、IMTB : \$002,3、IMTC : \$003,0、IMTD : \$022,3) ...	63
	(11) シリアル割り込み要求フラグ (IFS : \$023,2).....	63
	(12) シリアル割り込みマスク (IMS : \$023,3).....	64
	(13) A/D 割り込み要求フラグ (IFAD : \$003,2).....	64
	(14) A/D 割り込みマスク (IMAD : \$003,3).....	64
4.5.3	外部割り込み.....	65
4.5.4	内部割り込み.....	65
4.5.5	割り込み動作.....	66

## 第 5 章 低消費電力モード

5.1	概要.....	73
5.1.1	特長.....	73

5.1.2	状態遷移図.....	75
5.1.3	端子構成.....	76
5.1.4	レジスタ、フラグ構成.....	76
5.2	各レジスタ、フラグの説明.....	77
5.2.1	ミセラニアスレジスタ (MIS : \$005) .....	77
5.2.2	システムクロック選択レジスタ (SSR : \$004) .....	79
5.2.3	タイマモードレジスタ A (TMA : \$00F) .....	81
5.2.4	ポートモードレジスタ 0 (PMR0 : \$008) .....	83
5.2.5	ポートモードレジスタ 1 (PMR1 : \$009) .....	84
5.2.6	エッジ検出選択レジスタ (ESR : \$006) .....	86
5.2.7	ロースピードオンフラグ (LSON : \$020,0) .....	87
5.2.8	DTON フラグ (DTON : \$020,3) .....	89
5.2.9	モジュールスタンバイレジスタ 1 (MSR1 : \$00D) .....	89
5.2.10	モジュールスタンバイレジスタ 2 (MSR2 : \$00E) .....	90
5.3	スタンバイモード.....	91
5.3.1	スタンバイモードへの遷移方法.....	91
5.3.2	スタンバイモードの解除方法.....	91
	(1) $\overline{\text{RESET}}$ 端子入力による解除.....	91
	(2) 割り込みによる解除.....	91
5.4	ストップモード.....	93
5.4.1	ストップモードへの遷移方法.....	93
5.4.2	ストップモードの解除方法.....	93
	(1) $\overline{\text{RESET}}$ 端子入力による解除.....	93
	(2) $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$ 端子入力による解除.....	93
5.4.3	ストップモード解除後の発振安定時間.....	94
	(1) $\overline{\text{RESET}}$ 端子入力による解除.....	94
	(2) $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$ 端子入力による解除.....	94
5.5	ウォッチモード.....	95
5.5.1	ウォッチモードへの遷移方法.....	95
5.5.2	ウォッチモードの解除方法.....	95
	(1) $\overline{\text{RESET}}$ 端子入力による解除.....	95
	(2) $\overline{\text{INT}}_0$ 、 $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$ 、またはタイマ A 割り込みによる解除.....	95
5.5.3	ウォッチモード解除後の動作タイミング.....	96
5.6	サブアクティブモード.....	98
5.6.1	サブアクティブモードへの遷移方法.....	98
5.6.2	サブアクティブモードの解除方法.....	98
5.6.3	ダイレクト遷移時 (サブアクティブモードからアクティブモード) の 動作タイミング.....	99

5.7	モジュールスタンバイ機能.....	100
5.7.1	モジュールスタンバイ機能.....	100
5.7.2	使用上の注意.....	100
5.8	割り込みフレーム.....	101
5.9	低消費電力モード動作シーケンス.....	102
5.10	使用上の注意.....	103
5.10.1	割り込みフレーム.....	103
5.10.2	$\overline{WU}_0 \sim \overline{WU}_3$ 端子機能.....	104

## 第6章 I/Oポート

6.1	概要.....	107
6.1.1	特長.....	107
6.1.2	入出力制御.....	109
(1)	入出力端子の回路構成.....	109
(2)	プルアップMOS制御.....	109
(3)	ミセラニクスレジスタ (MIS : \$005).....	110
6.1.3	入出力端子の回路構成.....	111
6.1.4	低消費電力モード時のポートの状態.....	113
6.1.5	未使用端子の処理.....	113
6.2	Dポート.....	114
6.2.1	概要.....	114
6.2.2	レジスタの構成と説明.....	115
(1)	ポートデータレジスタ (PDR).....	115
(2)	データコントロールレジスタ (DCD0 ~ DCD2 : \$030 ~ \$032).....	116
(3)	ポートモードレジスタ 0 (PMR0 : \$008).....	117
6.2.3	端子機能.....	118
6.3	Rポート.....	119
6.3.1	概要.....	119
6.3.2	レジスタの構成と説明.....	121
(1)	ポートデータレジスタ (PDR).....	121
(2)	データコントロールレジスタ (DCR0 ~ DCR8 : \$034 ~ \$03C).....	122
(3)	ポートモードレジスタ 1 (PMR1 : \$009).....	124
(4)	ポートモードレジスタ 2 (PMR2 : \$00A).....	125
(5)	ポートモードレジスタ 3 (PMR3 : \$00B).....	127
(6)	ポートモードレジスタ 4 (PMR4 : \$00C).....	128
(7)	A/Dモードレジスタ (AMR : \$028).....	130
6.3.3	端子機能.....	131

6.4	使用上の注意.....	137
-----	-------------	-----

## 第7章 発振回路

7.1	概要.....	141
	7.1.1 特長.....	141
	7.1.2 ブロック図.....	142
	7.1.3 端子構成.....	144
	7.1.4 レジスタ、フラグ構成.....	144
7.2	各レジスタ、フラグの説明.....	145
	7.2.1 システムクロック選択レジスタ (SSR : \$004) .....	145
	7.2.2 ロースピードオンフラグ (LSON : \$020,0) .....	147
	7.2.3 システムクロック切り換え方法.....	147
7.3	発振子の接続および外部クロック入力方法.....	149
7.4	使用上の注意.....	150

## 第8章 プリスケーラ

8.1	概要.....	153
8.2	プリスケーラ S (PSS) .....	155
8.3	プリスケーラ W (PSW) .....	155

## 第9章 タイマ A

9.1	概要.....	159
	9.1.1 特長.....	159
	9.1.2 ブロック図.....	160
	9.1.3 レジスタ構成.....	160
9.2	各レジスタの説明.....	161
	9.2.1 タイマモードレジスタ A (TMA : \$00F) .....	161
	9.2.2 タイマカウンタ A (TCA) .....	163
9.3	動作説明.....	164
	9.3.1 フリーランニングタイマ.....	164
	9.3.2 時計用タイムベース動作.....	164
9.4	割り込み.....	165
9.5	使用上の注意.....	165



## 第10章 タイマB

10.1	概要	169
10.1.1	特長	169
10.1.2	ブロック図	170
10.1.3	端子構成	171
10.1.4	レジスタ構成	171
10.2	各レジスタの説明	172
10.2.1	タイマモードレジスタ B1 (TMB1 : \$010)	172
10.2.2	タイマモードレジスタ B2 (TMB2 : \$011)	175
10.2.3	タイマカウンタ B (TCB)	176
10.2.4	タイマライトレジスタ BL、U (TWBL : \$012、TWBU : \$013)	177
10.2.5	タイマリードレジスタ BL、U (TRBL : \$012、TRBU : \$013)	178
10.2.6	ポートモードレジスタ 2 (PMR2 : \$00A)	179
10.2.7	モジュールスタンバイレジスタ 1 (MSR1 : \$00D)	180
10.3	動作説明	181
10.3.1	フリーランニングタイマ動作	181
10.3.2	リロードタイマ動作	181
10.3.3	外部イベントカウンタ動作	182
10.3.4	タイマ出力動作	182
	(1) トグル出力モード	182
	(2) PWM 出力モード	183
10.4	割り込み	184
10.5	使用上の注意	184

## 第11章 タイマC

11.1	概要	187
11.1.1	特長	187
11.1.2	ブロック図	188
11.1.3	端子構成	189
11.1.4	レジスタ構成	189
11.2	各レジスタの説明	190
11.2.1	タイマモードレジスタ C1 (TMC1 : \$014)	190
11.2.2	タイマモードレジスタ C2 (TMC2 : \$015)	193
11.2.3	タイマカウンタ C (TCC)	194
11.2.4	タイマライトレジスタ CL、U (TWCL : \$016、TWCU : \$017)	194
11.2.5	タイマリードレジスタ CL、U (TRCL : \$016、TRCU : \$017)	195
11.2.6	ポートモードレジスタ 3 (PMR3 : \$00B)	196

11.2.7	モジュールスタンバイレジスタ 1 (MSR1 : \$00D) .....	197
11.2.8	ウォッチドッグオンフラグ (WDON : \$020,1) .....	198
11.3	動作説明.....	199
11.3.1	フリーランニングタイマ動作.....	199
11.3.2	リロードタイマ動作.....	199
11.3.3	16ビットタイマ動作.....	200
11.3.4	ウォッチドッグタイマ動作.....	200
11.3.5	タイマ出力動作.....	200
	(1) トグル出力モード.....	200
	(2) PWM 出力モード .....	201
11.4	割り込み.....	202
11.5	使用上の注意.....	202

## 第 12 章 タイマ D

12.1	概要 .....	205
12.1.1	特長 .....	205
12.1.2	ブロック図 .....	206
12.1.3	端子構成.....	208
12.1.4	レジスタ構成.....	208
12.2.	各レジスタの説明 .....	209
12.2.1	タイマモードレジスタ D1 (TMD1 : \$018) .....	209
12.2.2	タイマモードレジスタ D2 (TMD2 : \$019) .....	212
12.2.3	タイマカウンタ D (TCD) .....	213
12.2.4	タイマライトレジスタ DL、U (TWDL : \$01A、TWDU : \$01B) .....	214
12.2.5	タイマリードレジスタ DL、U (TRDL : \$01A、TRDU : \$01B) .....	215
12.2.6	ポートモードレジスタ 2 (PMR2 : \$00A) .....	216
12.2.7	モジュールスタンバイレジスタ 1 (MSR1 : \$00D) .....	217
12.2.8	インプットキャプチャステータスフラグ (ICSF : \$021,0) .....	218
12.2.9	インプットキャプチャエラーフラグ (ICEF : \$021,1) .....	218
12.3	動作説明.....	219
12.3.1	フリーランニングタイマ動作.....	219
12.3.2	リロードタイマ動作.....	219
12.3.3	外部イベントカウンタ動作.....	220
12.3.4	インプットキャプチャタイマ動作.....	220
12.4	割り込み.....	221
12.5	使用上の注意.....	222

## 第13章 シリアルインタフェース

13.1	概要	225
13.1.1	特長	225
13.1.2	ブロック図	226
13.1.3	端子構成	227
13.1.4	レジスタ構成	227
13.2	各レジスタの説明	228
13.2.1	シリアルモードレジスタ1 (SMR1 : \$024)	228
13.2.2	シリアルモードレジスタ2 (SMR2 : \$025)	230
13.2.3	シリアルデータレジスタL、U (SRL : \$026、SRU : \$027)	231
13.2.4	8進カウンタ (OC)	232
13.2.5	ポートモードレジスタ3 (PMR3 : \$00B)	233
13.2.6	モジュールスタンバイレジスタ2 (MSR2 : \$00E)	234
13.3	動作説明	235
13.3.1	動作モード	235
13.3.2	シリアルデータのフォーマット	235
13.3.3	転送クロック	236
13.3.4	動作状態	236
	(1) STS 命令待ち状態	238
	(2) 転送クロック待ち状態	238
	(3) 転送状態	238
	(4) 転送クロック連続出力状態 (内部クロックモードのみ)	238
13.3.5	送信 / 受信動作	239
	(1) シリアルインタフェースのイニシャライズ	239
	(2) データ送信	239
	(3) データ受信	242
	(4) 転送クロック連続出力動作	244
13.3.6	アイドル時の Low レベル / High レベル出力の選択	245
13.3.7	転送クロックエラーの検出 (外部クロックモード)	245
13.4	割り込み	247
13.5	使用上の注意	247

## 第14章 A/D コンバータ

14.1	概要	251
14.1.1	特長	251
14.1.2	ブロック図	252
14.1.3	端子構成	253

14.1.4	レジスタ、フラグ構成.....	253
14.2	各レジスタ、フラグの説明.....	254
14.2.1	A/D モードレジスタ (AMR : \$028) .....	254
14.2.2	A/D データレジスタ L、U (ADRL : \$02A、ADRU : \$02B) .....	256
14.2.3	A/D スタートフラグ (ADSF : \$020, 2) .....	256
14.2.4	モジュールスタンバイレジスタ 2 (MSR2 : \$00E) .....	257
14.3	動作説明.....	258
14.3.1	A/D 変換動作 .....	258
14.3.2	低消費電力モード時の動作.....	259
14.3.3	A/D 変換の精度.....	260
14.4	割り込み.....	261
14.5	使用上の注意.....	261

## 第 15 章 液晶表示回路

15.1	概要 .....	265
15.1.1	特長 .....	265
15.1.2	ブロック図 .....	266
15.1.3	端子構成.....	267
15.1.4	レジスタ構成.....	267
15.2	各レジスタの説明 .....	268
15.2.1	液晶表示データエリア (\$050 ~ \$06F) .....	268
15.2.2	液晶表示制御レジスタ (LCR : \$02C) .....	269
15.2.3	液晶表示モードレジスタ (LMR : \$02D) .....	271
15.2.4	ポートモードレジスタ 4 (PMR4 : \$00C) .....	274
15.3	動作説明.....	276
15.3.1	概要 .....	276
15.3.2	スタティック駆動 .....	277
15.3.3	時分割駆動 (デューティ 1/2、1/3、1/4) .....	278
15.3.4	液晶電源の設定.....	281
15.4	応用回路例 .....	282
15.4.1	スタティック駆動での表示例 (「2.」を表示する場合) .....	282
15.4.2	1/2 デューティ、1/2 バイアス駆動での表示例 (「2.」を表示する場合) .....	283
15.4.3	1/3 デューティ、1/3 バイアス駆動での表示例 (「2.」を表示する場合) .....	284
15.4.4	1/4 デューティ、1/3 バイアス駆動での表示例 (「2.」を表示する場合) .....	285
15.5	使用上の注意.....	286

## 第 16 章 ブザー出力回路

16.1	概要 .....	289
	16.1.1 特長 .....	289
	16.1.2 ブロック図 .....	289
	16.1.3 端子構成 .....	290
	16.1.4 レジスタ構成 .....	290
16.2	レジスタの説明 .....	291
	16.2.1 ブザーモードレジスタ (BMR : \$02E) .....	291
	16.2.2 ポートモードレジスタ 2 (PMR2 : \$00A) .....	293
16.3	動作説明 .....	294
	16.3.1 タイマオーバフローのトグル出力動作 .....	294
	16.3.2 システムクロックの分周クロックパルス出力 .....	294

## 第 17 章 ROM

17.1	概要 .....	297
17.2	PROM モード .....	298
	17.2.1 PROM モード .....	298
	17.2.2 ソケットアダプタの端子対応とメモリマップ .....	298
17.3	プログラミング .....	301
	17.3.1 書き込み / ベリファイ .....	301
	17.3.2 書き込み時の注意 .....	304
	17.3.3 書き込み後の信頼性 .....	305
17.4	ROM 発注時のお願い .....	306

## 第 18 章 RAM

18.1	概要 .....	309
	18.1.1 特長 .....	309
	18.1.2 RAM メモリマップ .....	310
	18.1.3 レジスタ構成 .....	310
18.2	各レジスタ、フラグの説明 .....	311
	18.2.1 バンクレジスタ (V : \$03F) .....	311
18.3	使用上の注意 .....	311

## 第 19 章 使用例

19.1	概要 .....	315
------	----------	-----

19.2	システム仕様.....	316
19.3	液晶表示回路図.....	317
19.4	レジスタ仕様.....	318
19.5	フローチャート.....	321
	19.5.1    LCD 表示初期値設定.....	322
	19.5.2    スタートキーが押されてからの処理.....	324
19.6	使用上の注意.....	327

## 第 20 章 電気的特性

20.1	絶対最大定格.....	331
20.2	電気的特性.....	332
	20.2.1    DC 特性.....	332
	20.2.2    内蔵周辺モジュールの特性.....	335
	20.2.3    AC 特性.....	337

## 付録

A.	命令.....	345
	A.1    命令一覧.....	345
	A.2    オペレーションコードマップ.....	352
B.	内部 I/O レジスタ一覧.....	354
	B.1    アドレス一覧.....	354
	B.2    機能一覧.....	356
C.	ROM 発注手順.....	375
	C.1    ROM 書き換え品開発の流れ（発注手順）.....	375
	C.2    ROM 発注時の提出物と注意事項.....	376
D.	オプションリスト.....	377
E.	型名一覧.....	379
F.	外形寸法図.....	380

---

# 1. 概要

---

## 第1章 目次

1.1	概要	3	
1.2	内部ブロック図	7	
1.3	端子説明	8	
	1.3.1	ピン配置	8
	1.3.2	端子機能	12

EOL Product



## 1.1 概要

HD404889 シリーズは、HMCS400 CPU を核にもち、液晶表示回路をはじめ、各種周辺機能を内蔵した4ビットマイクロコンピュータユニット (MCU) です。

HD404889 シリーズの製品ラインアップを表 1.1 に、特長を表 1.2 に示します。

表 1.1 製品ラインアップ

シリーズ	ROM タイプ	製品名	形名	ROM (ワード)	RAM (ディジット)	パッケージ
HD404889	マスク ROM	HD404888	HD404888H	8,192	1,344	FP-80A
			HD404888TE			TFP-80C
		HD4048812	HD4048812H	12,288		FP-80A
			HD4048812TE			TFP-80C
	ZTAT <sup>®</sup>	HD404889	HD404889H	16,384	FP-80A	
			HD404889TE		TFP-80C	
		HD4074889	HD4074889H	16,384	FP-80A	
			HD4074889TE		TFP-80C	

【注】 ZTAT<sup>®</sup>は、(株)ルネサス テクノロジーの登録商標です。

表 1.2 特長 (1)

項目	仕様
CPU	<ul style="list-style-type: none"> <li>・ 3 種類の RAM アドレッシングモード               <ul style="list-style-type: none"> <li>(1) レジスタ間接アドレッシング</li> <li>(2) 直接アドレッシング</li> <li>(3) メモリレジスタアドレッシング</li> </ul> </li> <li>・ 4 種類の ROM アドレッシングモードと P 命令               <ul style="list-style-type: none"> <li>(1) ダイレクトアドレッシング</li> <li>(2) カレントアドレッシング</li> <li>(3) ゼロページアドレッシング</li> <li>(4) テーブルデータアドレッシング</li> <li>(5) P 命令 (ROM データ参照命令)</li> </ul> </li> <li>・ 簡潔かつ効率のよい命令セット</li> <li>・ 1 サイクルまたは 2 サイクルで実行 (リターン命令のみ 3 サイクル)</li> <li>・ 最小命令実行時間 : 0.89 <math>\mu</math> s</li> </ul>
ROM (1 ワード = 10 ビット)	<ul style="list-style-type: none"> <li>・ HD404888 : 8,192 ワード</li> <li>・ HD4048812 : 12,288 ワード</li> <li>・ HD404889 : 16,384 ワード</li> <li>・ HD4074889 : 16,384 ワード</li> </ul>
RAM (1 デジット = 4 ビット)	<ul style="list-style-type: none"> <li>・ 1,344 デジット</li> <li>・ 液晶表示データ用デュアルポート RAM を内蔵</li> </ul>
I/O ポート	<ul style="list-style-type: none"> <li>・ 入出力端子 46 本 (内 12 本は大電流端子)</li> <li>・ 全入出力端子にプログラムで制御可能なプルアップ MOS を内蔵</li> </ul>
液晶表示回路	<ul style="list-style-type: none"> <li>・ 4 本のコモン信号端子と 32 本のセグメント信号端子 (内 16 本のセグメント信号端子は R ポートと兼用)</li> <li>・ ソフトウェアにより、液晶電源分割抵抗の切り離しが可能</li> <li>・ 4 種類のデューティ (スタティック、1/2、1/3、1/4)、および 4 種類の LCD クロックを選択可能 (32.768kHz 発振をクロックソースに選択することで、ウォッチモード時にも表示可能)</li> <li>・ 液晶表示用デュアルポート RAM を内蔵し、表示データを自動的にセグメント端子より出力</li> </ul>

表 1.2 特長 (2)

項目	仕様
タイマ A	<ul style="list-style-type: none"> <li>・ 8 ビットフリーランニングタイマ : システムクロックを分周した 8 種類の内部クロック、または 32.768kHz 発振を分周した 5 種類のクロック (時計用タイムベース) によるカウントアップが可能。</li> <li>・ オーバフロー時に割り込み発生可能</li> </ul>
タイマ B	<ul style="list-style-type: none"> <li>・ 8 ビットフリーランニング/リロードタイマ : 7 種類の内部クロック、またはイベント入力によるカウントアップが可能。イベント入力の検出は、立ち下がりエッジ、立ち上がりエッジ、立ち下がり/立ち上がり両エッジの選択が可能。タイマ出力 (トグル出力、PWM 出力) が可能。</li> <li>・ オーバフロー時に割り込み発生可能。</li> </ul>
タイマ C	<ul style="list-style-type: none"> <li>・ 8 ビットフリーランニング/リロードタイマ : 8 種類の内部クロックによるカウントアップが可能。ウォッチドッグタイマ動作が可能。タイマ出力 (トグル出力、PWM 出力) が可能。</li> <li>・ オーバフロー時に割り込み発生可能。</li> <li>・ 16 ビットモード (タイマ B オーバフロー入力可)。</li> </ul>
タイマ D	<ul style="list-style-type: none"> <li>・ 8 ビットフリーランニング/リロードタイマ : 7 種類の内部クロック、またはイベント入力によるカウントアップが可能。イベント入力の検出は、立ち下がりエッジ、立ち上がりエッジ、立ち下がり/立ち上がり両エッジの選択が可能。インプットキャプチャ動作可能。</li> <li>・ オーバフロー、インプットキャプチャ動作時に割り込み発生可能。</li> </ul>
シリアルインタフェース	<ul style="list-style-type: none"> <li>・ 8 ビットクロック同期式シリアルインタフェース × 1 チャンネル</li> <li>・ 転送クロックは、13 種類の内部クロックまたは外部クロックから選択可能。</li> <li>・ アイドル時のデータ送信端子の High レベル / Low レベル出力制御可能。</li> <li>・ 転送終了 / 中断時に割り込み発生可能。</li> </ul>
A/D コンバータ	<ul style="list-style-type: none"> <li>・ 抵抗ラダー方式による逐次比較形 A/D コンバータ</li> <li>・ 分解能 : 8 ビット</li> <li>・ A/D 変換終了時に割り込み発生可能。</li> <li>・ アナログ入力 : 6 チャンネル (R ポートと兼用)</li> </ul>

表 1.2 特長 (3)

項 目	仕 様
ブザー出力回路	<ul style="list-style-type: none"><li>・タイマオーバーフローのトグル出力可能</li><li>・システムクロックの分周クロックパルス出力可能</li></ul>
割り込み	<ul style="list-style-type: none"><li>・外部割り込み要因：3 要因</li><li>・内部割り込み要因：6 要因</li><li>・割り込みベクタ：8 種類</li></ul>
低消費電力モード	<ul style="list-style-type: none"><li>・スタンバイモード</li><li>・ストップモード</li><li>・ウォッチモード</li><li>・サブアクティブモード</li></ul>
システムクロック	<ul style="list-style-type: none"><li>・0.4 ~ 1.0MHz, 1.6 ~ 4.5MHz</li></ul>
サブシステムクロック	<ul style="list-style-type: none"><li>・32.768kHz</li></ul>

## 1.2 内部ブロック図

図 1.1 に HD404889 シリーズの内部ブロック図を示します。

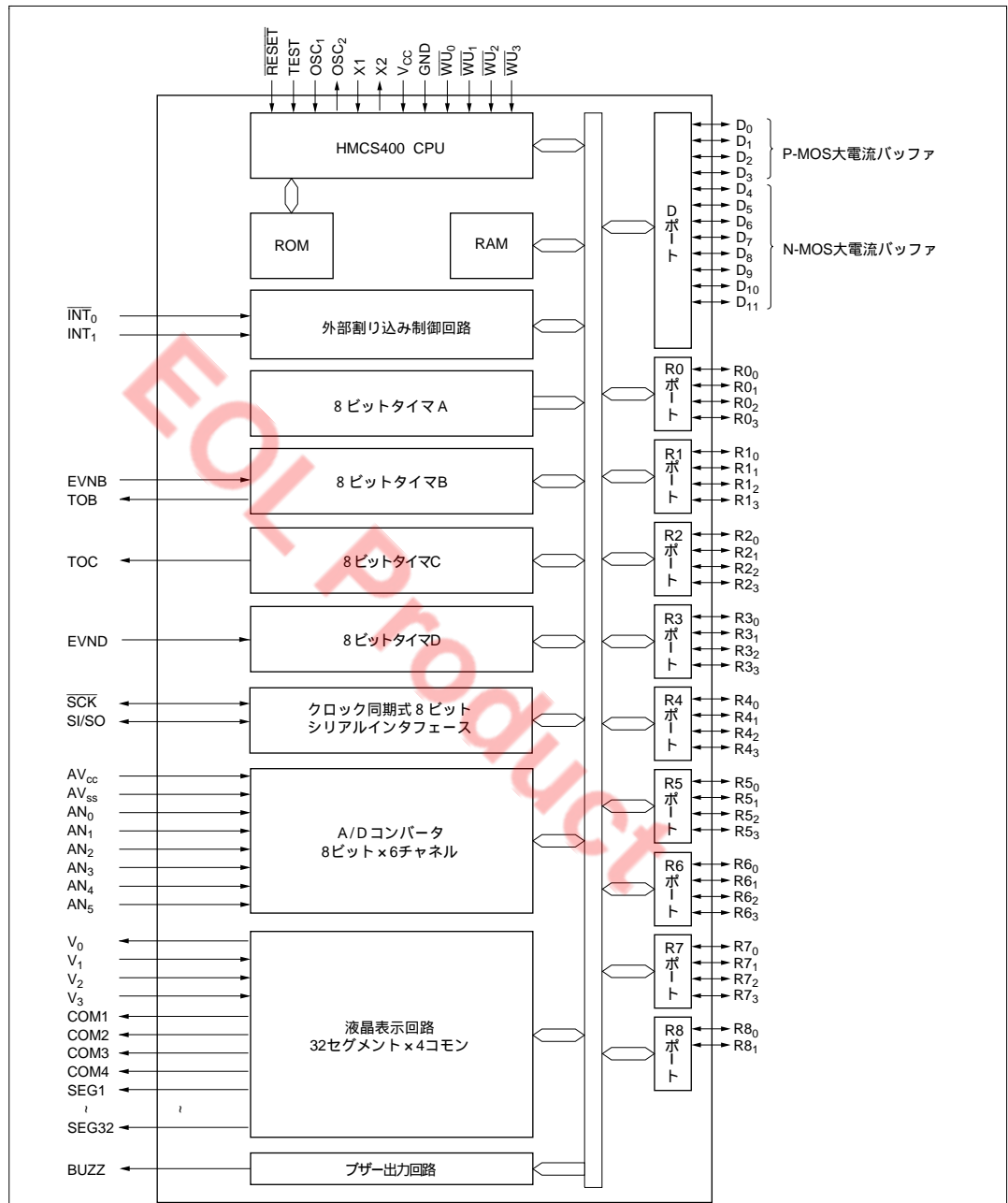


図 1.1 HD404889 シリーズの内部ブロック図

## 1.3 端子説明

### 1.3.1 ピン配置

HD404889 シリーズの FP-80A、TFP-80C のピン配置図を図 1.2 に示します。また、表 1.3 にピン配置一覧を示します。

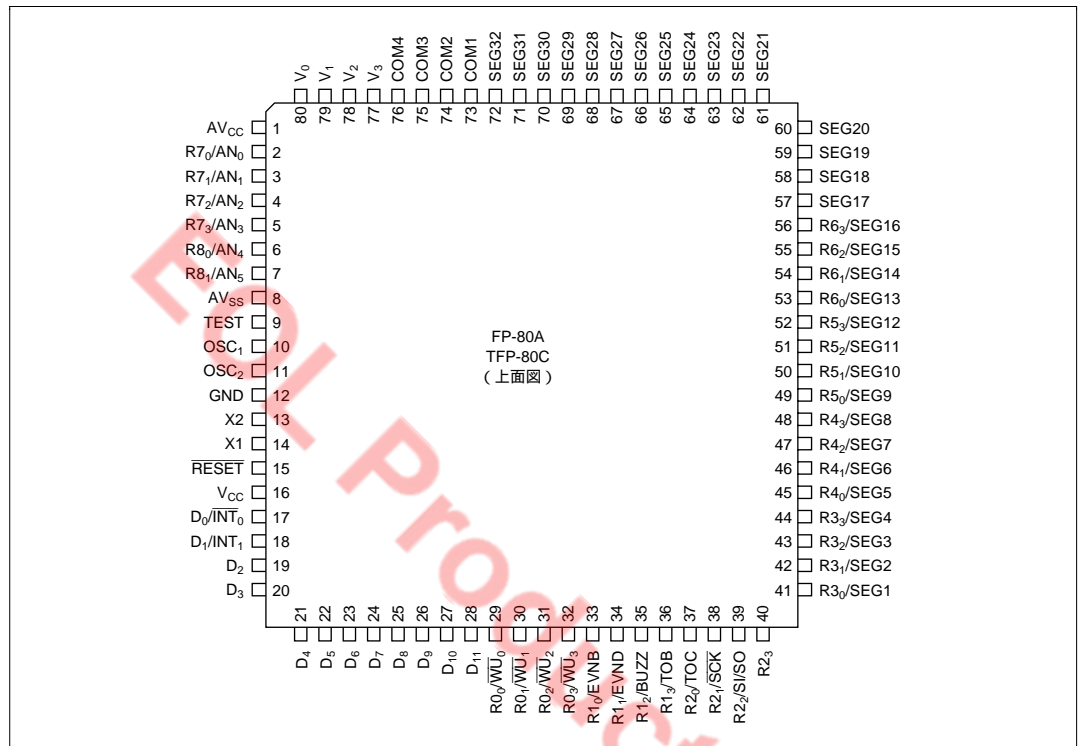


図 1.2 HD404889 シリーズのピン配置図 (FP-80A, TFP-80C)

表 1.3 ピン配置一覧(1)

ピン番号	端子名	端子機能
FP-80A TFP-80C		
1	AV <sub>CC</sub>	アナログ電源
2	R7 <sub>0</sub> /AN <sub>0</sub>	入出力ポート / アナログ入力チャネル
3	R7 <sub>1</sub> /AN <sub>1</sub>	入出力ポート / アナログ入力チャネル
4	R7 <sub>2</sub> /AN <sub>2</sub>	入出力ポート / アナログ入力チャネル
5	R7 <sub>3</sub> /AN <sub>3</sub>	入出力ポート / アナログ入力チャネル
6	R8 <sub>0</sub> /AN <sub>4</sub>	入出力ポート / アナログ入力チャネル
7	R8 <sub>1</sub> /AN <sub>5</sub>	入出力ポート / アナログ入力チャネル
8	AV <sub>SS</sub>	アナロググランド
9	TEST	テスト
10	OSC <sub>1</sub>	システムクロック発振子接続 : 入力
11	OSC <sub>2</sub>	システムクロック発振子接続 : 出力
12	GND	グランド
13	X2	サブシステム発振子接続 : 出力
14	X1	サブシステム発振子接続 : 入力
15	$\overline{\text{RESET}}$	リセット
16	V <sub>CC</sub>	電源
17	D <sub>0</sub> / $\overline{\text{INT}}_0$	ソース大電流入出力ポート / 外部割り込み入力
18	D <sub>1</sub> /INT <sub>1</sub>	ソース大電流入出力ポート / 外部割り込み入力
19	D <sub>2</sub>	ソース大電流入出力ポート
20	D <sub>3</sub>	ソース大電流入出力ポート
21	D <sub>4</sub>	シンク大電流入出力ポート
22	D <sub>5</sub>	シンク大電流入出力ポート
23	D <sub>6</sub>	シンク大電流入出力ポート
24	D <sub>7</sub>	シンク大電流入出力ポート
25	D <sub>8</sub>	シンク大電流入出力ポート
26	D <sub>9</sub>	シンク大電流入出力ポート
27	D <sub>10</sub>	シンク大電流入出力ポート
28	D <sub>11</sub>	シンク大電流入出力ポート
29	R0 <sub>0</sub> / $\overline{\text{WU}}_0$	入出力ポート / ウェイクアップ入力
30	R0 <sub>1</sub> / $\overline{\text{WU}}_1$	入出力ポート / ウェイクアップ入力

表 1.3 ピン配置一覧(2)

ピン番号	端子名	端子機能
FP-80A TFP-80C		
31	R0 <sub>2</sub> /WU <sub>2</sub>	入出力ポート / ウェイクアップ入力
32	R0 <sub>3</sub> /WU <sub>3</sub>	入出力ポート / ウェイクアップ入力
33	R1 <sub>0</sub> /EVNB	入出力ポート / タイマ B イベント入力
34	R1 <sub>1</sub> /EVND	入出力ポート / タイマ D イベント入力
35	R1 <sub>2</sub> /BUZZ	入出力ポート / ブザー出力
36	R1 <sub>3</sub> /TOB	入出力ポート / タイマ B 出力
37	R2 <sub>0</sub> /TOC	入出力ポート / タイマ C 出力
38	R2 <sub>1</sub> /SCK	入出力ポート / シリアル転送クロック入出力
39	R2 <sub>2</sub> /SI/SO	入出力ポート / シリアルデータ入力 / 出力
40	R2 <sub>3</sub>	入出力ポート
41	R3 <sub>0</sub> /SEG1	入出力ポート / セグメント信号出力
42	R3 <sub>1</sub> /SEG2	入出力ポート / セグメント信号出力
43	R3 <sub>2</sub> /SEG3	入出力ポート / セグメント信号出力
44	R3 <sub>3</sub> /SEG4	入出力ポート / セグメント信号出力
45	R4 <sub>0</sub> /SEG5	入出力ポート / セグメント信号出力
46	R4 <sub>1</sub> /SEG6	入出力ポート / セグメント信号出力
47	R4 <sub>2</sub> /SEG7	入出力ポート / セグメント信号出力
48	R4 <sub>3</sub> /SEG8	入出力ポート / セグメント信号出力
49	R5 <sub>0</sub> /SEG9	入出力ポート / セグメント信号出力
50	R5 <sub>1</sub> /SEG10	入出力ポート / セグメント信号出力
51	R5 <sub>2</sub> /SEG11	入出力ポート / セグメント信号出力
52	R5 <sub>3</sub> /SEG12	入出力ポート / セグメント信号出力
53	R6 <sub>0</sub> /SEG13	入出力ポート / セグメント信号出力
54	R6 <sub>1</sub> /SEG14	入出力ポート / セグメント信号出力
55	R6 <sub>2</sub> /SEG15	入出力ポート / セグメント信号出力
56	R6 <sub>3</sub> /SEG16	入出力ポート / セグメント信号出力
57	SEG17	セグメント信号出力
58	SEG18	セグメント信号出力
59	SEG19	セグメント信号出力
60	SEG20	セグメント信号出力



表 1.3 ピン配置一覧(3)

ピン番号	端子名	端子機能
FP-80A TFP-80C		
61	SEG21	セグメント信号出力
62	SEG22	セグメント信号出力
63	SEG23	セグメント信号出力
64	SEG24	セグメント信号出力
65	SEG25	セグメント信号出力
66	SEG26	セグメント信号出力
67	SEG27	セグメント信号出力
68	SEG28	セグメント信号出力
69	SEG29	セグメント信号出力
70	SEG30	セグメント信号出力
71	SEG31	セグメント信号出力
72	SEG32	セグメント信号出力
73	COM1	コモン信号出力
74	COM2	コモン信号出力
75	COM3	コモン信号出力
76	COM4	コモン信号出力
77	V <sub>3</sub>	液晶表示回路用電源
78	V <sub>2</sub>	液晶表示回路用電源
79	V <sub>1</sub>	液晶表示回路用電源
80	V <sub>0</sub>	液晶表示回路用電源

## 1.3.2 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能 (1)

分類	記号	入出力	名称および機能
電源	$V_{CC}$	-	<u>電源</u> システム電源に接続します。
	GND	-	<u>グランド</u> システムグランドに接続します。
	$AV_{CC}$	-	<u>アナログ電源</u> A/D コンバータ用電源端子です。 $V_{CC}$ 端子にできるかぎり近い場所で、 $V_{CC}$ と同電位になるように接続してください。
	$AV_{SS}$	-	<u>アナロググランド</u> A/D コンバータ用グランド端子です。GND 端子にできるかぎり近い場所で、GND と同電位になるように接続してください。
	$V_0, V_1,$ $V_2, V_3$	-	<u>液晶表示回路用電源</u> 液晶表示回路用電源端子です。電源分割抵抗が内蔵されています。 電圧条件は、 $V_{CC} V_1 V_2 V_3$ GND です。
クロック	$OSC_1$	入力	<u>システムクロック発振子接続端子 1</u> セラミック発振子、水晶発振子を接続します。または、外部クロックを入力することもできます。 セラミック発振子、水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 7 章 発振回路」を参照してください。
	$OSC_2$	出力	<u>システムクロック発振子接続端子 2</u> セラミック発振子、水晶発振子を接続します。 $OSC_1$ 端子から外部クロックを入力する場合には、 $OSC_2$ 端子は開放にしてください。
	X1	入力	<u>サブシステムクロック発振子接続端子 1</u> 32.768kHz の水晶発振子を接続します。サブシステムクロック発振器を使用しない場合には、 $V_{CC}$ 電位に固定してください。
	X2	出力	<u>サブシステムクロック発振子接続端子 2</u> 32.768kHz の水晶発振子を接続します。サブシステムクロック発振器を使用しない場合には、開放としてください。

表 1.4 端子機能 (2)

分類	記号	入出力	名称および機能
ポート	D <sub>0</sub> ~ D <sub>3</sub>	入出力	<u>ソース大電流入出力 D ポート</u> 1 ビットごとにアクセスできる入出力端子です。 最大 10mA のソース電流を各端子に供給できます。
	D <sub>4</sub> ~ D <sub>11</sub>	入出力	<u>シンク大電流入出力 D ポート</u> 1 ビットごとにアクセスできる入出力端子です。 最大 15mA のシンク電流を各端子に供給できます。
	R0 <sub>0</sub> ~ R0 <sub>3</sub>	入出力	<u>R0 ポート</u> 4 ビットごとにアクセスできる入出力端子です。
	R1 <sub>0</sub> ~ R1 <sub>3</sub>	入出力	<u>R1 ポート</u> 4 ビットごとにアクセスできる入出力端子です。
	R2 <sub>0</sub> ~ R2 <sub>3</sub>	入出力	<u>R2 ポート</u> 4 ビットごとにアクセスできる入出力端子です。
	R3 <sub>0</sub> ~ R3 <sub>3</sub>	入出力	<u>R3 ポート</u> 4 ビットごとにアクセスできる入出力端子です。
	R4 <sub>0</sub> ~ R4 <sub>3</sub>	入出力	<u>R4 ポート</u> 4 ビットごとにアクセスできる入出力端子です。
	R5 <sub>0</sub> ~ R5 <sub>3</sub>	入出力	<u>R5 ポート</u> 4 ビットごとにアクセスできる入出力端子です。
	R6 <sub>0</sub> ~ R6 <sub>3</sub>	入出力	<u>R6 ポート</u> 4 ビットごとにアクセスできる入出力端子です。
	R7 <sub>0</sub> ~ R7 <sub>3</sub>	入出力	<u>R7 ポート</u> 4 ビットごとにアクセスできる入出力端子です。
	R8 <sub>0</sub> , R8 <sub>1</sub>	入出力	<u>R8 ポート</u> 2 ビットごとにアクセスできる入出力端子です。
システム 制御	TEST	入力	<u>テスト</u> 通常は、GND 電位に接続してください。PROM モード設定時に、High レベルとします。 詳細は、「17.2 PROM モード」を参照してください。
	RESET	入力	<u>リセット</u> この端子が、Low レベルになるとリセット状態になります。

表 1.4 端子機能 (3)

分類	記号	入出力	名称および機能
割り込み	$\overline{\text{INT}}_0, \text{INT}_1$	入力	<u>外部割り込み入力 0、1</u> $\overline{\text{INT}}_0$ は、立ち下がりエッジ検出の外部割り込み入力端子です。 $\text{INT}_1$ は、立ち下がりエッジ、立ち上がりエッジ、立ち下がり / 立ち上がり両エッジの選択が可能な外部割り込み入力端子です。
ウェイクアップ	$\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$	入力	<u>ウェイクアップ入力 0~3</u> ストップモードおよびウォッチモードを解除するための入力端子で、本端子への立ち下がりエッジを検出すると、発振安定時間を確保してアクティブモードへ遷移します。 その他のモードにおいては、立ち下がりエッジ検出の割り込み入力端子となります。
8ビット タイマ	TOB	出力	<u>タイマ B 出力</u> タイマ B の出力端子です。タイマ B オーバフロー時に、トグル出力または PWM 出力を設定できます。
	TOC	出力	<u>タイマ C 出力</u> タイマ C の出力端子です。タイマ C オーバフロー時に、トグル出力、または PWM 出力を設定できます。
	EVNB	入力	<u>タイマ B イベント入力</u> タイマ B のイベント入力端子です。外部イベント信号のカウントは、立ち下がりエッジ、立ち上がりエッジ、立ち下がり / 立ち上がり両エッジから選択できます。
	EVND	入力	<u>タイマ D イベント入力</u> タイマ D のイベント入力端子です。外部イベント信号のカウントは、立ち下がりエッジ、立ち上がりエッジ、立ち下がり / 立ち上がり両エッジから選択できます。
シリアル インタ フェース	$\overline{\text{SCK}}$	入出力	<u>シリアル転送クロック入出力</u> シリアルインタフェースのクロック入出力端子です。
	SI/SO	入力 / 出力	<u>シリアルデータ入出力</u> シリアルインタフェースのデータ入出力端子です。

表 1.4 端子機能 (4)

分類	記号	入出力	名称および機能
A/D コンバータ	AN <sub>0</sub> ~ AN <sub>5</sub>	入力	アナログ入力チャンネル 0 ~ 5 A/D コンバータのアナログ入力端子です。
液晶表示 回路	COM1 ~ COM4	出力	コモン信号出力 1 ~ 4 液晶表示用コモン信号出力端子です。
	SEG1 ~ SEG32	出力	セグメント信号出力 1 ~ 32 液晶表示用セグメント信号出力端子です。
ブザー出力	BUZZ	出力	ブザー出力 ブザー信号出力端子です。

EOL Product

EOL Product

---

# 2. メモリマップ

---

## 第2章 目次

2.1	概要	19
2.2	ROMメモリマップ	19
2.2.1	ベクタアドレスエリア	19
2.2.2	ゼロページサブルーチンエリア	19
2.2.3	パターンエリア	19
2.2.4	プログラムエリア	20
2.3	RAMメモリマップ	21
2.3.1	RAMマップレジスタエリア	22
	(1) 割り込み制御ビットエリア (\$000 ~ \$003)	22
	(2) 特殊レジスタエリア (\$004 ~ \$01F, \$024 ~ \$03F)	23
	(3) レジスタフラグエリア (\$020 ~ \$023)	25
2.3.2	メモリレジスタエリア	27
2.3.3	液晶表示データエリア	28
2.3.4	データエリア	29
	(1) バンクレジスタ (V: \$03F)	30
2.3.5	スタックエリア	31

EOL Product



## 2.1 概要

HD404889 シリーズは、表 2.1 に示す容量の ROM、RAM を内蔵しています。

表 2.1 ROM、RAM 容量

製品名	ROM (ワード)	RAM (ディジット)
HD404888	8,192	1,344
HD4048812	12,288	
HD404889	16,384	
HD4074889	16,384 PROM	

【注】 1ワード：10ビット、1ディジット：4ビット

## 2.2 ROM メモリマップ

### 2.2.1 ベクタアドレスエリア

ベクタアドレスエリアは、ROM アドレスの\$0000 ~ \$000F に割り付けられています。リセット時および割り込み処理時には、その例外処理要因により固有に定められた 8 種類のベクタアドレスエリアからプログラムが実行されます。したがって、各ベクタアドレスには、リセットおよび各割り込み処理ルーチンの先頭アドレスへ分岐するための JMPL 命令（無条件ロングジャンプ命令：2ワード）をプログラムしてください（図 2.1 参照）。

### 2.2.2 ゼロページサブルーチンエリア

ゼロページサブルーチンエリアは、ROM アドレスの\$0000 ~ \$003F に割り付けられています。CAL 命令により、本エリア内の任意のアドレスを条件サブルーチンコールすることができます。

### 2.2.3 パターンエリア

パターンエリアは、ROM アドレスの\$0000 ~ \$0FFF に割り付けられています。

P 命令により、本エリア内の ROM ビットパターン（8ビット）を R1、R2 ポートのポートデータレジスタのペアまたはアキュムレータ、B レジスタのペアに転送できます。

## 2.2.4 プログラムエリア

ROMの全領域をプログラムエリアとして使用できます。

図2.1にHD404889シリーズのROMメモリマップを示します。

ROMアドレス		ROMアドレス	
\$0000	ベクタアドレス (16ワード)	\$0000	JMPL命令 (リセットルーチンヘジャンプ)
\$000F		\$0001	
\$0010	ゼロページサブルーチン (64ワード)	\$0002	JMPL命令 (WU <sub>0</sub> -WU <sub>3</sub> 割り込み処理 ルーチンヘジャンプ)
\$0003		\$0003	
\$0004		\$0004	JMPL命令 (INT <sub>0</sub> 割り込み処理ルーチンヘジャンプ)
\$0005		\$0005	
\$003F	パターン (4,096ワード)	\$0006	JMPL命令 (INT <sub>1</sub> 割り込み処理ルーチンヘジャンプ)
\$0040		\$0007	
\$0FFF		\$0008	JMPL命令 (タイマA割り込み処理 ルーチンヘジャンプ)
\$1000		\$0009	
\$1000	HD404888 プログラム (8,192ワード)	\$000A	JMPL命令 (タイマB、タイマD割り込み処理 ルーチンヘジャンプ)
\$1FFF		\$000B	
\$2000		\$000C	JMPL命令 (タイマC割り込み処理 ルーチンヘジャンプ)
\$2FFF		\$000D	
\$2000	HD4048812 プログラム (12,288ワード)	\$000E	JMPL命令 (A/Dコンバータ、シリアル割り込み 処理ルーチンヘジャンプ)
\$2FFF		\$000F	
\$3000			
\$3FFF			
\$3000	HD404889、HD4074889 プログラム (16,384ワード)		
\$3FFF			

図 2.1 ROMメモリマップ

## 2.3 RAM メモリマップ

図 2.2 に HD404889 シリーズの RAM メモリマップを示します。

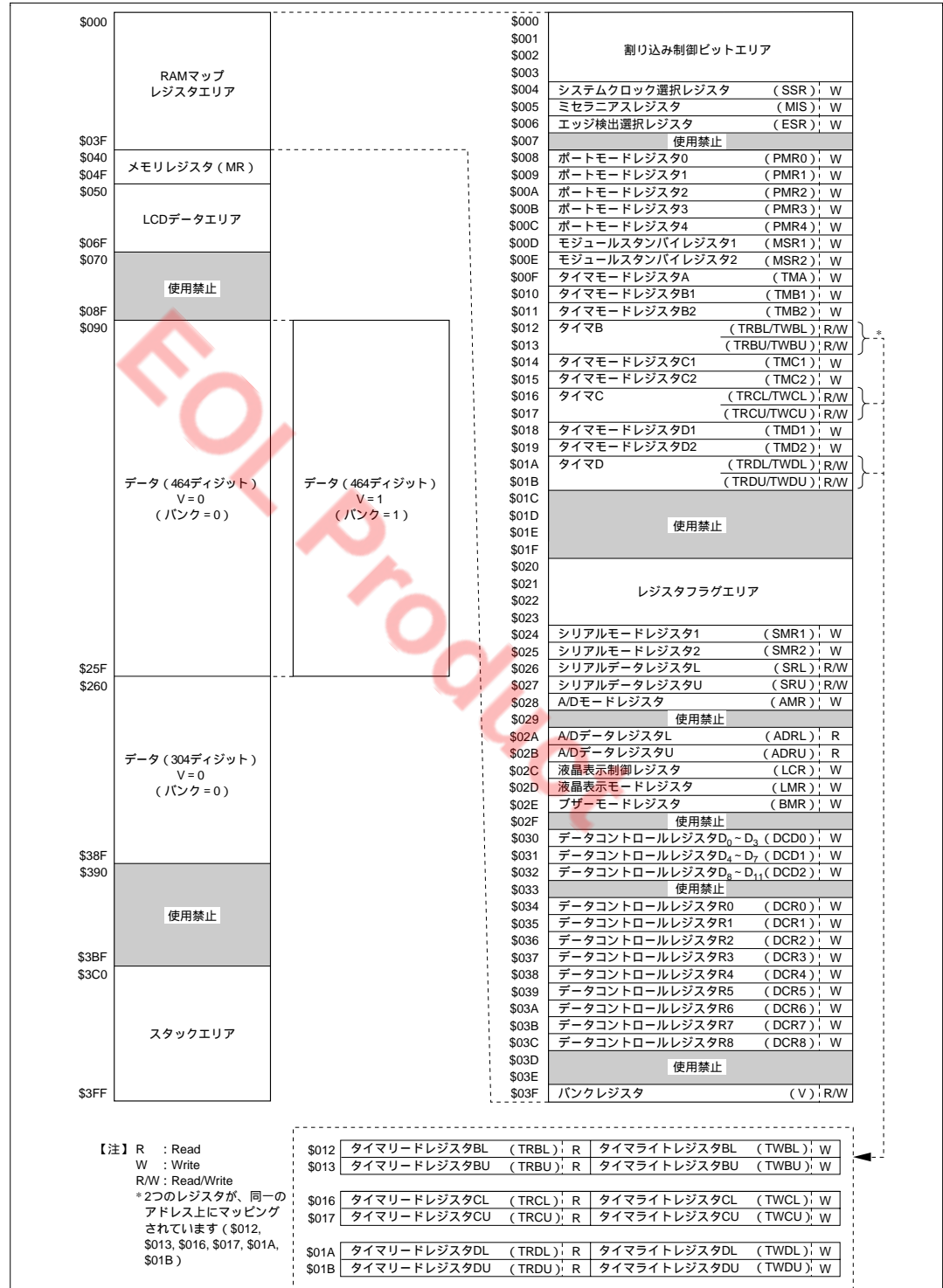


図 2.2 HD404889 シリーズの RAM メモリマップ

### 2.3.1 RAM マップレジスタエリア

RAM マップレジスタエリアは、RAM アドレスの\$000 ~ \$03F に割り付けられており、割り込み制御ビットエリア(\$000 ~ \$003)、特殊レジスタエリア(\$004 ~ \$01F、\$024 ~ \$03F)、およびレジスタフラグエリア(\$020 ~ \$023)の3種類のサブエリアにより構成されます。

電源投入後、メモリレジスタ、LCD データエリア、データエリア、スタックエリアの値は不定です。初期化の上ご使用ください。

#### (1) 割り込み制御ビットエリア (\$000 ~ \$003)

割り込みビットエリアは、割り込み制御に用いる各ビットにより構成されます。各ビットは、RAM ビット操作命令(SEM / SEMD、REM / REMD、TM / TMD)によってのみアクセスできます。図 2.3 に割り込みビットエリアの構成を示します。

割り込み制御エリアの各ビットは、SEM / SEMD 命令によりセットされ、REM / REMD 命令によりクリアされます。また、TM / TMD 命令によりテストできます。ただし、ビットにより制約があります。表 2.2 に割り込み制御ビットエリアの各ビットと命令の制約を示します。

RAMアドレス	ビット3	ビット2	ビット1	ビット0
\$000	IMWU ( $\overline{WU_0 - WU_3}$ 割り込みマスク)	IFWU ( $\overline{WU_0 - WU_3}$ 割り込み要求 フラグ)	RSP (スタックポインタ リセット)	IE (割り込み許可 フラグ)
\$001	IM1 ( $\overline{INT_1}$ 割り込み マスク)	IF1 ( $\overline{INT_1}$ 割り込み 要求フラグ)	IM0 ( $\overline{INT_0}$ 割り込み マスク)	IF0 ( $\overline{INT_0}$ 割り込み 要求フラグ)
\$002	IMTB (タイマB割り込み マスク)	IFTB (タイマB割り込み 要求フラグ)	IMTA (タイマA割り込み マスク)	IFTA (タイマA割り込み 要求フラグ)
\$003	IMAD (A/Dコンバータ 割り込みマスク)	IFAD (A/Dコンバータ 割り込み要求 フラグ)	IMTC (タイマC割り込み マスク)	IFTC (タイマC割り込み 要求フラグ)

図 2.3 割り込み制御ビットエリアの構成

表 2.2 割り込み制御ビットエリアの各ビットと命令の制約

ビット	SEM / SEMD 命令	REM / REMD 命令	TM / TMD 命令*
IE			
IM			
IF			
RSP			x

## 【記号説明】

- : 使用可能
- : 命令実行されません
- x : 使用禁止
- IE : Interrupt Enable Flag (割り込み許可フラグ)
- IM : Interrupt Mask (割り込みマスク)
- IF : Interrupt Request Flag (割り込み要求フラグ)
- RSP : Reset Stack Pointer (スタックポインタのリセット)

【注】 \* TM / TMD 命令を、使用禁止ビットまたは存在しないビットに対して使用した場合、ステータスは不定となります。

## (2) 特殊レジスタエリア (\$004 ~ \$01F、\$024 ~ \$03F)

特殊レジスタエリアは、外部割り込み、周辺機能のモードレジスタ、および I/O ポートのデータコントロールレジスタなどから構成されます。特殊レジスタエリアに割り付けられたレジスタは、読み出し専用、書き込み専用、および読み出し / 書き込み可能の 3 種類があり、イミディエイト命令、RAM・レジスタ命令、演算命令、および比較命令によりアクセスできます。また、本エリア内の液晶表示制御レジスタおよびブザーモードレジスタビット 3 のみ、SEM / SEMD 命令、REM / REMD 命令を使用できますが、その他のレジスタは RAM ビット操作命令は使用できません。

図 2.4 に特殊レジスタエリアの構成を示します。

## 2. メモリマップ

RAMアドレス	ビット3	ビット2	ビット1	ビット0
\$000	割り込み制御ビットエリア			
\$003				
SSR \$004	32kHz発振停止設定	32kHz分周比選択	システムクロック選択	システムクロック分周比切換
MIS \$005	ブルアップMOS制御			割り込みフレーム周期選択
ESR \$006				INT <sub>1</sub> エッジ検出選択
\$007				
PMR0 \$008			D <sub>1</sub> /INT <sub>1</sub>	D <sub>0</sub> /INT <sub>0</sub>
PMR1 \$009	R <sub>0</sub> /WU <sub>3</sub>	R <sub>0</sub> /WU <sub>2</sub>	R <sub>0</sub> /WU <sub>1</sub>	R <sub>0</sub> /WU <sub>0</sub>
PMR2 \$00A	R <sub>1</sub> /TOB	R <sub>1</sub> /BUZZ	R <sub>1</sub> /EVND	R <sub>1</sub> /EVNB
PMR3 \$00B	R <sub>2</sub> /SI/SO		R <sub>2</sub> /SCK	R <sub>2</sub> /TOC
PMR4 \$00C	R6/SEG13~16	R5/SEG9~12	R4/SEG5~8	R3/SEG1~4
MSR1 \$00D	タイマDクロックON/OFF		タイマCクロックON/OFF	タイマBクロックON/OFF
MSR2 \$00E			A/DクロックON/OFF	シリアルクロックON/OFF
TMA \$00F	タイマA/タイムベース	タイマAクロックソース設定		
TMB1 \$010	リロードON/OFF	タイマBクロックソース設定		
TMB2 \$011		タイマB出力モード設定	EVNBエッジ検出選択	
TRBL/TWBL \$012	タイマBレジスタ(下位)			
TRBU/TWBU \$013	タイマBレジスタ(上位)			
TMC1 \$014	リロードON/OFF	タイマCクロックソース設定		
TMC2 \$015		タイマC出力モード設定		
TRCL/TWCL \$016	タイマCレジスタ(下位)			
TRCU/TWCU \$017	タイマCレジスタ(上位)			
TMD1 \$018	リロードON/OFF	タイマDクロックソース設定		
TMD2 \$019		インプットキャプチャ選択	EVNDエッジ検出選択	
TRDL/TWDL \$01A	タイマDレジスタ(下位)			
TRDU/TWDU \$01B	タイマDレジスタ(上位)			
\$01C				
\$01F				
\$020	レジスタフラグエリア			
\$023				
SMR1 \$024	シリアル転送クロックスピード選択			
SMR2 \$025	R <sub>2</sub> /SI/SO PMOS制御	SOアイドルH/L設定		
SRL \$026	シリアルデータレジスタ(下位)			
SRU \$027	シリアルデータレジスタ(上位)			
AMR \$028	アナログチャネル選択			A/D変換時間
\$029				
ADR1 \$02A	A/Dデータレジスタ(下位)			
ADR2 \$02B	A/Dデータレジスタ(上位)			
LCR \$02C	電源分割抵抗スイッチ	時計モード時表示選択	内蔵電源スイッチ	表示ON/OFF
LMR \$02D	入力クロック選択		デューティ選択	
BMR \$02E	クロック出力ON/OFF	ブザー/クロック選択	ブザー/クロックソース選択	
\$02F				
DCD0 \$030	ポートD <sub>3</sub> DCR	ポートD <sub>2</sub> DCR	ポートD <sub>1</sub> DCR	ポートD <sub>0</sub> DCR
DCD1 \$031	ポートD <sub>7</sub> DCR	ポートD <sub>6</sub> DCR	ポートD <sub>5</sub> DCR	ポートD <sub>4</sub> DCR
DCD2 \$032	ポートD <sub>11</sub> DCR	ポートD <sub>10</sub> DCR	ポートD <sub>9</sub> DCR	ポートD <sub>8</sub> DCR
\$033				
DCR0 \$034	ポートR <sub>0</sub> DCR	ポートR <sub>0</sub> DCR	ポートR <sub>0</sub> DCR	ポートR <sub>0</sub> DCR
DCR1 \$035	ポートR <sub>1</sub> DCR	ポートR <sub>1</sub> DCR	ポートR <sub>1</sub> DCR	ポートR <sub>1</sub> DCR
DCR2 \$036	ポートR <sub>2</sub> DCR	ポートR <sub>2</sub> DCR	ポートR <sub>2</sub> DCR	ポートR <sub>2</sub> DCR
DCR3 \$037	ポートR <sub>3</sub> DCR	ポートR <sub>3</sub> DCR	ポートR <sub>3</sub> DCR	ポートR <sub>3</sub> DCR
DCR4 \$038	ポートR <sub>4</sub> DCR	ポートR <sub>4</sub> DCR	ポートR <sub>4</sub> DCR	ポートR <sub>4</sub> DCR
DCR5 \$039	ポートR <sub>5</sub> DCR	ポートR <sub>5</sub> DCR	ポートR <sub>5</sub> DCR	ポートR <sub>5</sub> DCR
DCR6 \$03A	ポートR <sub>6</sub> DCR	ポートR <sub>6</sub> DCR	ポートR <sub>6</sub> DCR	ポートR <sub>6</sub> DCR
DCR7 \$03B	ポートR <sub>7</sub> DCR	ポートR <sub>7</sub> DCR	ポートR <sub>7</sub> DCR	ポートR <sub>7</sub> DCR
DCR8 \$03C			ポートR <sub>8</sub> DCR	ポートR <sub>8</sub> DCR
\$03D				
\$03E				
V \$03F				RAM/バンク設定

■ : 使用禁止

図 2.4 特殊レジスタエリアの構成

## (3) レジスタフラグエリア (\$020 ~ \$023)

レジスタフラグエリアは、DTON、WDON フラグ、および割り込み制御ビットなどから構成されます。各ビットは、RAM ビット操作命令 (SEM / SEMD、REM / REMD、TM / TMD) によってのみアクセスできます。図 2.5 にレジスタフラグエリアの構成を示します。

レジスタフラグエリアの各ビットは、SEM / SEMD 命令によりセットされ、REM / REMD 命令によりクリアされます。また、TM / TMD 命令によりテストできます。ただし、ビットにより制約があります。表 2.3 にレジスタフラグエリアの各ビットと命令の制約を示します。

RAMアドレス	ビット3	ビット2	ビット1	ビット0
\$020	DTON (DTONフラグ)	ADSF (A/Dスタート フラグ)	WDON (ウォッチドッグ オンフラグ)	LSON (ロースピード オンフラグ)
\$021	GEF (ギアイネーブル フラグ)		ICEF (インプットキャプチャ エラーフラグ)	ICSF (インプットキャプチャ ステータスフラグ)
\$022	IMTD (タイマD割り込み マスク)	IFTD (タイマD割り込み 要求フラグ)		
\$023	IMS (シリアル割り込み マスク)	IFS (シリアル割り込み 要求フラグ)		

■ : 使用禁止

図 2.5 レジスタフラグエリアの構成

表 2.3 レジスタフラグエリアの各ビットと命令の制約

ビット	SEM / SEMD 命令	REM / REMD 命令	TM / TMD 命令*
IM LSON			
IF ICSF ICEF			
WDON GEF			×
ADSF		×	
DTON	(アクティブモード)		
	(サブアクティブモード)		
使用禁止			×

- : 使用可能
- : 命令実行されません
- ×
- : 使用禁止

【注】 \* TM / TMD 命令を、使用禁止ビットまたは存在しないビットに対して使用した場合、ステータスは不定となります。



## 2.3.2 メモリレジスタエリア

メモリレジスタ (MR) エリアは、RAM アドレスの\$040 ~ \$04F に割り付けられています。MR エリアの構成を図 2.6 に示します。

本エリアは、16 本の MR により構成され、通常の RAM をアクセスする命令に加えて、レジスタ・レジスタ命令 (LAMR、XMRA) を使用できるデータエリアです。

RAMアドレス	
\$040	MR ( 0 )
\$041	MR ( 1 )
\$042	MR ( 2 )
\$043	MR ( 3 )
\$044	MR ( 4 )
\$045	MR ( 5 )
\$046	MR ( 6 )
\$047	MR ( 7 )
\$048	MR ( 8 )
\$049	MR ( 9 )
\$04A	MR ( 10 )
\$04B	MR ( 11 )
\$04C	MR ( 12 )
\$04D	MR ( 13 )
\$04E	MR ( 14 )
\$04F	MR ( 15 )

図 2.6 メモリレジスタエリアの構成

### 2.3.3 液晶表示データエリア

液晶表示データエリアは、RAM アドレスに割り付けられています。HD404889 シリーズの液晶表示データエリアの構成を図 2.7 に示します。

本エリアは、32 デジットのデュアルポート RAM で構成され、このエリアに書き込まれたデータは表示データとして、自動的にセグメント端子より出力されます(1:点灯,0:非点灯)。液晶表示に使用しない領域は、データエリアとして使用できます。詳細は、「第 15 章 液晶表示回路」を参照してください。

RAM					RAM				
アドレス	ビット3	ビット2	ビット1	ビット0	アドレス	ビット3	ビット2	ビット1	ビット0
\$050	SEG 1	SEG 1	SEG 1	SEG 1	\$060	SEG 17	SEG 17	SEG 17	SEG 17
\$051	SEG 2	SEG 2	SEG 2	SEG 2	\$061	SEG 18	SEG 18	SEG 18	SEG 18
\$052	SEG 3	SEG 3	SEG 3	SEG 3	\$062	SEG 19	SEG 19	SEG 19	SEG 19
\$053	SEG 4	SEG 4	SEG 4	SEG 4	\$063	SEG 20	SEG 20	SEG 20	SEG 20
\$054	SEG 5	SEG 5	SEG 5	SEG 5	\$064	SEG 21	SEG 21	SEG 21	SEG 21
\$055	SEG 6	SEG 6	SEG 6	SEG 6	\$065	SEG 22	SEG 22	SEG 22	SEG 22
\$056	SEG 7	SEG 7	SEG 7	SEG 7	\$066	SEG 23	SEG 23	SEG 23	SEG 23
\$057	SEG 8	SEG 8	SEG 8	SEG 8	\$067	SEG 24	SEG 24	SEG 24	SEG 24
\$058	SEG 9	SEG 9	SEG 9	SEG 9	\$068	SEG 25	SEG 25	SEG 25	SEG 25
\$059	SEG 10	SEG 10	SEG 10	SEG 10	\$069	SEG 26	SEG 26	SEG 26	SEG 26
\$05A	SEG 11	SEG 11	SEG 11	SEG 11	\$06A	SEG 27	SEG 27	SEG 27	SEG 27
\$05B	SEG 12	SEG 12	SEG 12	SEG 12	\$06B	SEG 28	SEG 28	SEG 28	SEG 28
\$05C	SEG 13	SEG 13	SEG 13	SEG 13	\$06C	SEG 29	SEG 29	SEG 29	SEG 29
\$05D	SEG 14	SEG 14	SEG 14	SEG 14	\$06D	SEG 30	SEG 30	SEG 30	SEG 30
\$05E	SEG 15	SEG 15	SEG 15	SEG 15	\$06E	SEG 31	SEG 31	SEG 31	SEG 31
\$05F	SEG 16	SEG 16	SEG 16	SEG 16	\$06F	SEG 32	SEG 32	SEG 32	SEG 32
	COM4	COM3	COM2	COM1		COM4	COM3	COM2	COM1

図 2.7 液晶表示データエリアの構成

### 2.3.4 データエリア

データエリアは、RAMアドレスの\$090～\$38Fに割り付けられています。このうち、\$090～\$25Fの464ディジットは、バンクレジスタ（V）によりバンク切り換えができます。

\$090～\$25F をアクセスする場合には、必ずバンクレジスタの値を設定してください。  
\$260～\$38Fの領域は、Vの値に依存することなくアクセスすることができます。

図2.8にデータエリアの構成を示します。

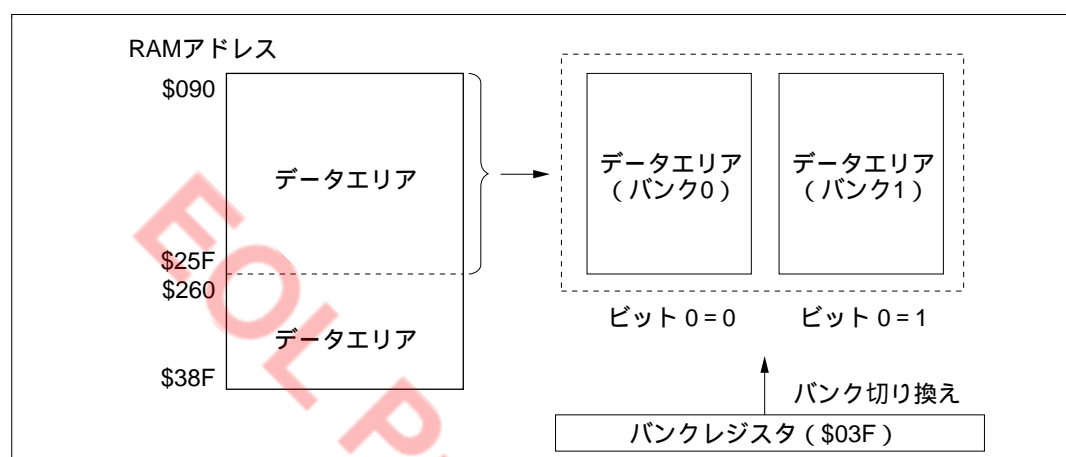


図2.8 データエリアの構成

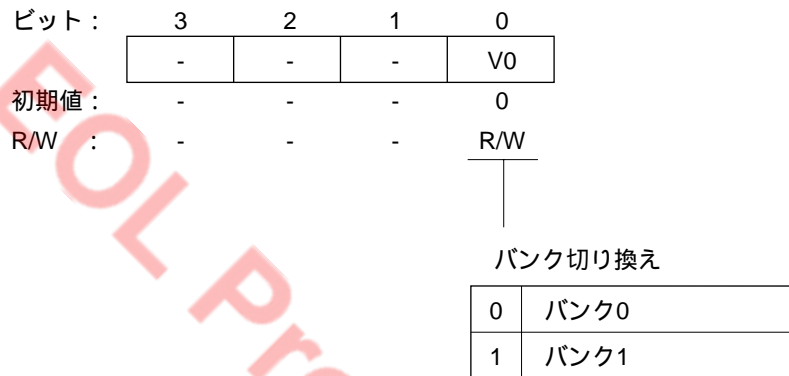
(1) バンクレジスタ (V : \$03F)

Vのレジスタ構成を表2.4に示します。

表2.4 レジスタ構成

アドレス	名 称	略称	R/W	初期値
\$03F	バンクレジスタ	V	R/W	---0

バンクレジスタは、データエリアの\$090 ~ \$25Fのバンクを切り換える読み出し / 書き込み可能な1ビットのレジスタです。



リセット、およびストップモード時に、バンクレジスタは--0にイニシャライズされます。

ビット3、2、1 : リザーブビット

リザーブビットです。読み出し時には、常に0が読み出されます。書き込みは無効です。

ビット0 : バンク切り換え (V0)

データエリアの\$090 ~ \$25Fのバンクを切り換えます。

V0	説 明
0	バンク0が選択されます (初期値)
1	バンク1が選択されます

### 2.3.5 スタックエリア

スタックエリアは、RAM アドレスの\$3C0～\$3FF に割り付けられています。スタックエリアの構成を図 2.9 に示します。

本エリアは、サブルーチンコール時 (CAL、CALL 命令) および割り込み処理時に、プログラムカウンタ (PC)、ステータス (ST)、およびキャリ (CA) の内容を退避するために使用されます。1 レベルにつき 4 デジットが使用されるので、最大 16 レベルのサブルーチンスタックとして使用できます。

退避された PC の値は、RTN 命令および RTNI 命令により PC に戻されます。ST および CA は、RTNI 命令によってのみ退避された値に復帰されます。

スタックエリア中、退避に使用しない領域はデータエリアとして使用できます。

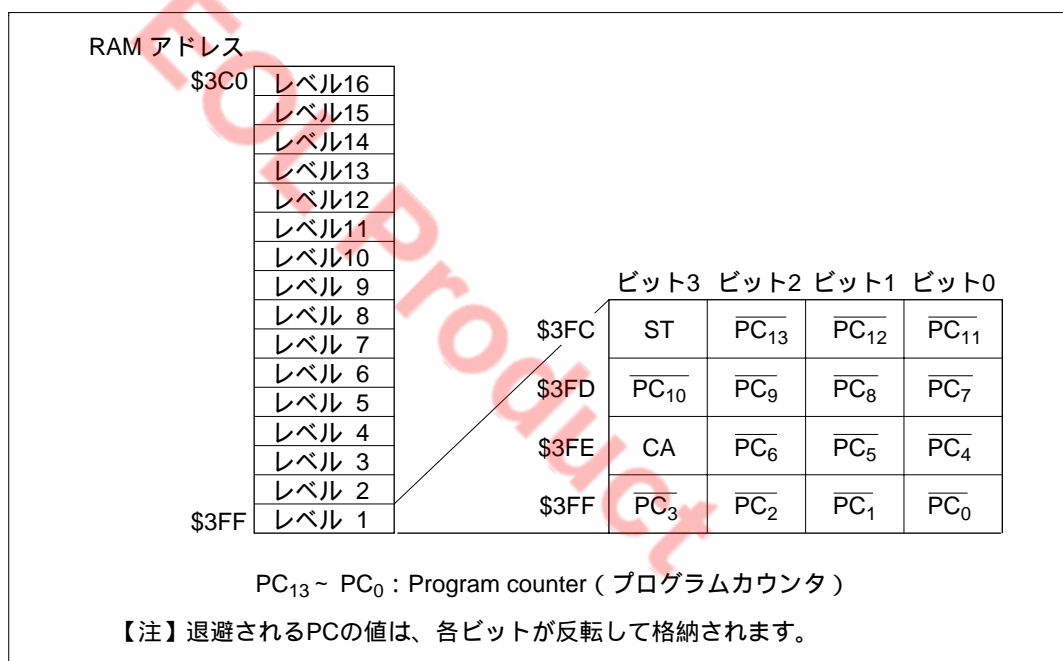


図 2.9 スタックエリアの構成

EOL Product

---

# 3. CPU

---

## 第3章 目次

3.1	概要	35
3.1.1	特長	35
3.1.2	アドレス空間	36
3.1.3	レジスタ構成	36
3.2	各レジスタの説明	37
3.2.1	アキュムレータ (A)、Bレジスタ (B)	37
3.2.2	Wレジスタ (W)、Xレジスタ (X)、Yレジスタ (Y)	37
3.2.3	SPXレジスタ (SPX)、SPYレジスタ (SPY)	37
3.2.4	キャリフラグ (CA)	37
3.2.5	ステータスフラグ (ST)	37
3.2.6	プログラムカウンタ (PC)	38
3.2.7	スタックポインタ (SP)	38
3.3	アドレッシングモード	39
3.3.1	RAMアドレッシングモード	39
	(1) レジスタ間接アドレッシングモード	39
	(2) 直接アドレッシングモード	39
	(3) メモリレジスタアドレッシングモード	40
3.3.2	ROMアドレッシングモードとP命令	40
	(1) ダイレクトアドレッシングモード	40
	(2) カレントページアドレッシングモード	41
	(3) ゼロページアドレッシングモード	41
	(4) テーブルデータアドレッシングモード	42
	(5) P命令	42
3.4	処理状態	44
3.4.1	概要	44
3.4.2	プログラム実行状態	45
	(1) アクティブモード	45

	(2) サブアクティブモード .....	45
3.4.3	例外処理状態 .....	45
3.4.4	プログラム停止状態 .....	46
	(1) ストップモード .....	46
	(2) ウォッチモード .....	46
	(3) スタンバイモード .....	46

EOL Product



## 3.1 概要

HMCS400 CPUの命令は、すべて1ワードまたは2ワードで構成され、1サイクルまたは2サイクル(リターン命令のみ3サイクル)で実行される簡潔かつ効率のよい命令セットとなっています。

### 3.1.1 特長

HMCS400 CPUには、次の特長があります。

10種類 101の命令

- ・イミディエイト命令：4
- ・レジスタ・レジスタ命令：8
- ・RAMアドレス命令：13
- ・RAM・レジスタ命令：10
- ・演算命令：25
- ・比較命令：12
- ・RAMビット操作命令：6
- ・ROMアドレス命令：8
- ・入出力命令：11(P命令\*を含む)
- ・コントロール命令：4

3種類のRAMアドレッシングモードと4種類のROMアドレッシングモード

- ・RAMアドレッシングモード
  - (1) レジスタ間接アドレッシングモード
  - (2) 直接アドレッシングモード
  - (3) メモリレジスタアドレッシングモード
- ・ROMアドレッシングモード
  - (1) ダイレクトアドレッシングモード
  - (2) カレントページアドレッシングモード
  - (3) ゼロページアドレッシングモード
  - (4) テーブルデータアドレッシングモード\*

【注】 \* P命令は、テーブルデータアドレッシングモードで決まるROMアドレスの内容(8ビット)をアキュムレータ・Bレジスタペア、R1・R2ポートのポートデータレジスタペアに転送する特殊な命令です。

16,384ワードのROMアドレス空間と1,024ディジットのRAMアドレス空間

最小命令実行時間

0.89  $\mu$ s ( $f_{OSC} = 4.5\text{MHz}$ )

低消費電力モード

SBY命令、STOP命令により低消費電力モードへ遷移

### 3.1.2 アドレス空間

HMCS400 CPU のメモリアドレス空間は、ROM アドレス空間と RAM アドレス空間の 2 つが独立しています。

ROM アドレス空間はワード (10 ビット) 単位で構成され、\$0000 ~ \$3FFF のアドレスがアクセスできます。また、RAM アドレス空間はディジット (4 ビット) 単位で構成され、\$000 ~ \$3FF のアドレスがアクセスできます。詳細は、「第 2 章 メモリマップ」を参照してください。

### 3.1.3 レジスタ構成

HMCS400 CPU の内部レジスタ構成を図 3.1 に示します。

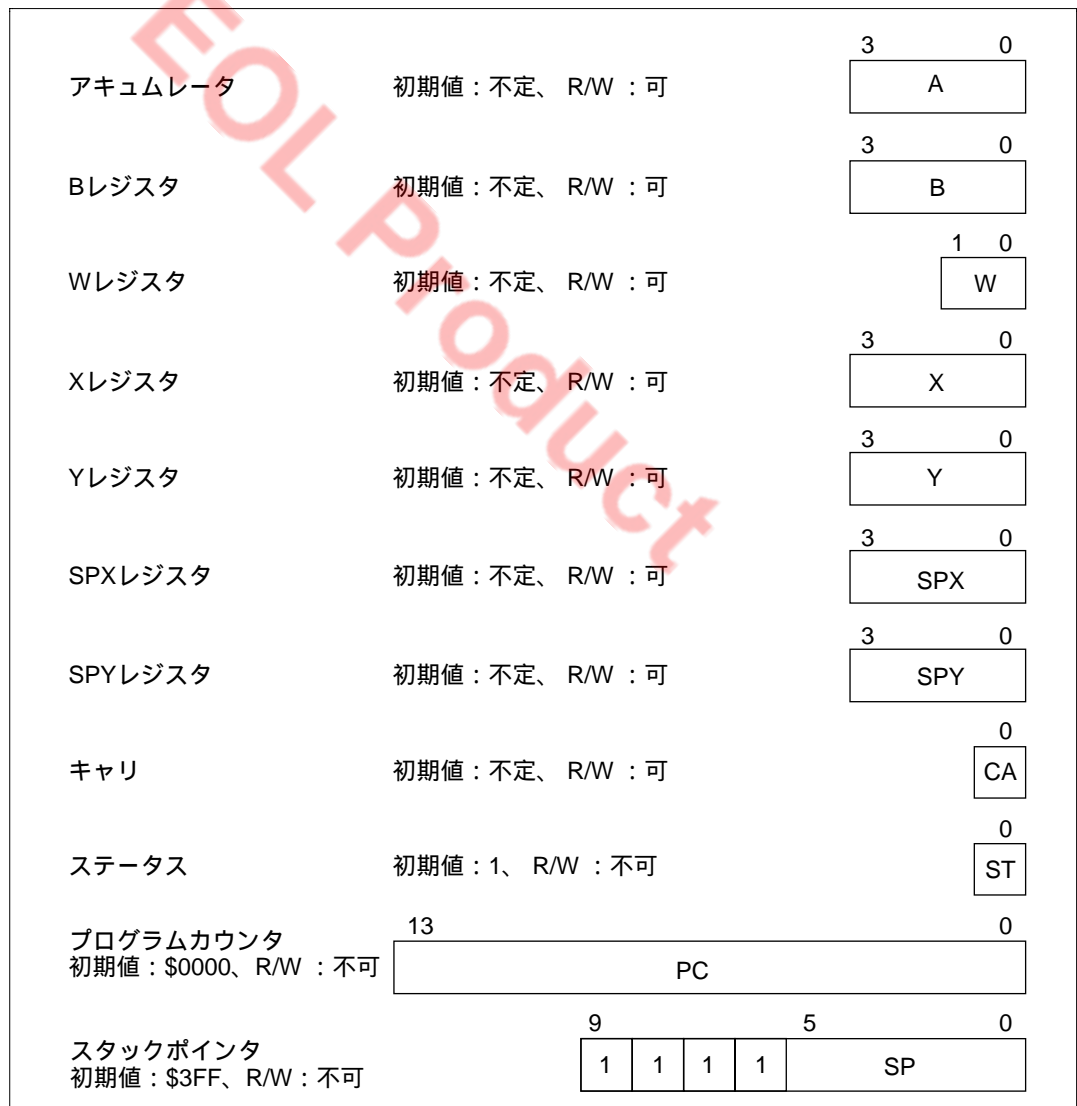


図 3.1 HMCS400 CPU の内部レジスタ構成

## 3.2 各レジスタの説明

### 3.2.1 アキュムレータ (A)、Bレジスタ (B)

AとBは、4ビットのレジスタで、ALU ( Arithmetic and Logic Unit ) の演算結果の保持と、メモリ、入出力ポートおよび他のレジスタ間とのデータ転送を行います。

### 3.2.2 Wレジスタ (W)、Xレジスタ (X)、Yレジスタ (Y)

Wは2ビットのレジスタ、XとYは4ビットのレジスタで、RAMのレジスタ間接アドレッシングモードに使用します。また、Yは、Dポートのアドレッシングにも使用します。

### 3.2.3 SPXレジスタ (SPX)、SPYレジスタ (SPY)

SPXとSPYは、4ビットのレジスタで、各々X、Yの補助レジスタとして使用します。

### 3.2.4 キャリフラグ (CA)

CAは、1ビットのフラグで、演算命令実行時のALUのオーバーフローを保持します。オーバーフローが発生すると1にセットされ、発生しないと0にクリアされます。CAは、キャリセット/リセット命令 (SEC、REC)、キャリ付きローテート命令 (ROTL、ROTR) によっても影響を受けます。

割り込み処理時には、キャリの内容はスタックに退避され、RTNI命令によってのみスタックから復帰します。

### 3.2.5 ステータスフラグ (ST)

STは、1ビットのフラグで、演算命令、比較命令、およびビットテスト命令の結果を保持し、条件分岐命令 (BR、BRL、CAL、CALL) の分岐条件として使用します。

STは、次の演算命令、比較命令、ビットテスト命令、または条件分岐命令が実行されるまで、その内容が保持されます。条件分岐命令の実行後は、条件成立または不成立に関わらずステータスの値は1にセットされます。

割り込み処理時には、STの内容はスタックに退避され、RTNI命令によってのみスタックから復帰します。

### 3.2.6 プログラムカウンタ (PC)

PC は、14 ビットのカウンタで、CPU が次に実行する命令の ROM アドレスを示しています。

### 3.2.7 スタックポインタ (SP)

SP は、スタックエリア上の次の退避空間の RAM アドレスを示す 10 ビットのレジスタです。

SP は、リセットにより \$3FF にイニシャライズされます。サブルーチンコールまたは割り込み処理によりデータが退避されると 4 ずつデクリメントされ、リターン命令によりデータが復帰されると 4 ずつインクリメントされます。

SP の上位 4 ビットは 1111 に固定されています。したがって、スタックは最大 16 レベルまで使用できます。

SP は、上記のリセットによる方法以外に、割り込み制御ビットエリアのリセットスタックポインタ (RSP) ビットを RAM ビット操作命令 (REM、REMD) により、0 にクリアすることで \$3FF にイニシャライズされます。

## 3.3 アドレッシングモード

HMCS400 CPU は、3種類のRAMアドレッシングモードと4種類のROMアドレッシングモードの合計7種類のアドレッシングモードをサポートしています。

### 3.3.1 RAMアドレッシングモード

HMCS400 CPU には、3種類のRAMアドレッシングモードがあります。

#### (1) レジスタ間接アドレッシングモード

レジスタ間接アドレッシングモードの命令は1ワードで構成され、Wレジスタ、Xレジスタ、およびYレジスタの合計10ビットの内容でRAMアドレスを指定します。ただし、\$090～\$25Fの領域をアドレッシングするときは、バンクレジスタ(V)により、バンク0、1を選択する必要があります。

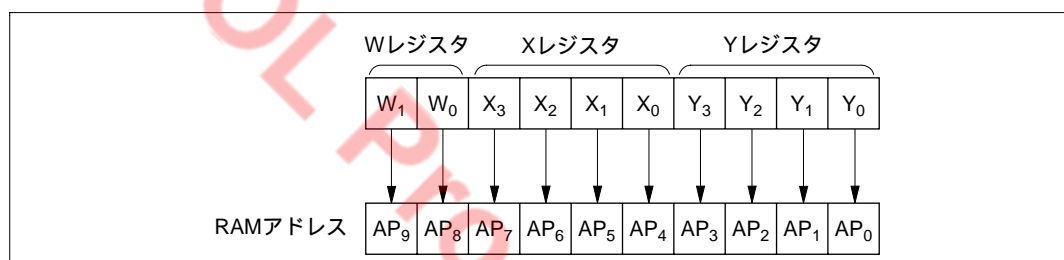


図 3.2 レジスタ間接アドレッシングモード

#### (2) 直接アドレッシングモード

直接アドレッシングモードの命令は2ワードで構成され、1ワード目のオペコードに続く2ワード目の10ビットでRAMアドレスを指定します。ただし、\$090～\$25Fの領域をアドレッシングするときは、バンクレジスタ(V)により、バンク0、1を選択する必要があります。

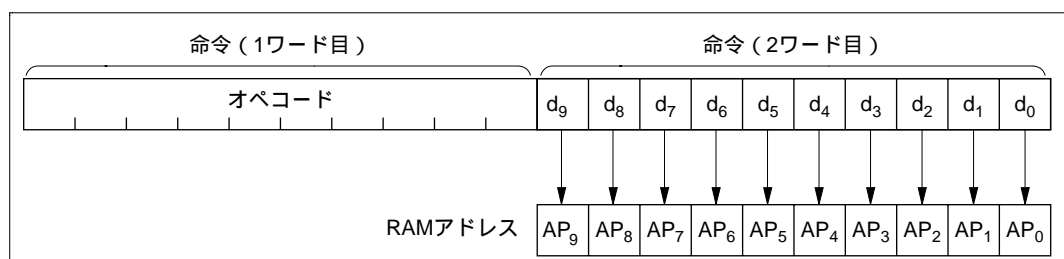


図 3.3 直接アドレッシングモード

### (3) メモリレジスタアドレッシングモード

メモリレジスタアドレッシングモードの命令は1ワードで構成され、オペコード6ビットに続く下位4ビットでメモリレジスタ(MR)0~15を指定します。

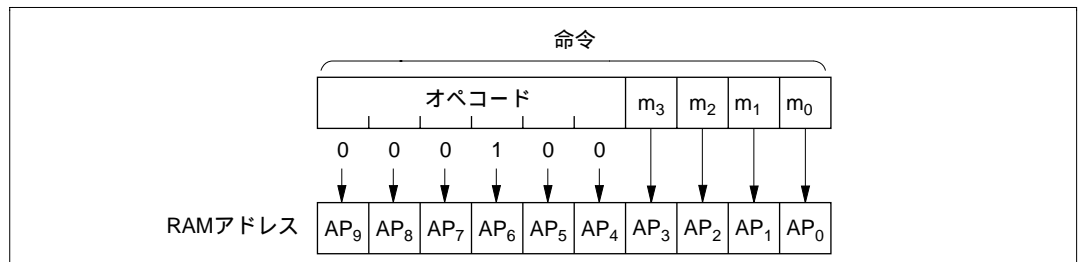


図3.4 メモリレジスタアドレッシングモード

## 3.3.2 ROM アドレッシングモードとP命令

HMCS400 CPUには、4種類のROMアドレッシングモードがあります。また、特殊な例としてP命令により、テーブルデータアドレッシングで決まるアドレスのROMデータを参照することができます(図3.9参照)。

### (1) ダイレクトアドレッシングモード

ダイレクトアドレッシングモードの命令は2ワードで構成され、1ワード目下位4ビットと2ワード目10ビットの計14ビットにより、ROMアドレスを指定します。

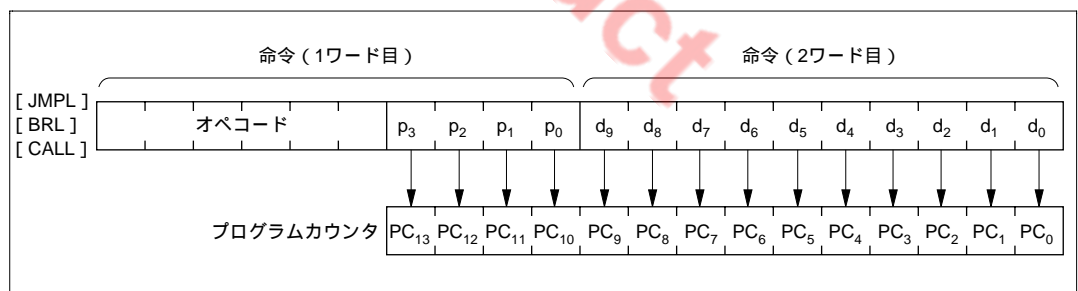


図3.5 ダイレクトアドレッシングモード

## (2) カレントページアドレッシングモード

ROM アドレス空間（\$0000～\$3FFF）を 256 ワード単位に分割して、各 256 ワードをページと呼びます。ROM アドレス空間は、ページ 0～ページ 63 の計 64 ページに分割されます。

カレントページアドレッシングモードの命令は 1 ワードで構成され、オペコード 2 ビットに続く下位 8 ビットにより同一ページ内の ROM アドレスを指定します。

ただし、本アドレッシングを使用する BR 命令が、ページの境界（アドレス  $256n + 255$ ）に置かれた場合には、プログラムカウンタ（PC）の値は次ページに移ります。

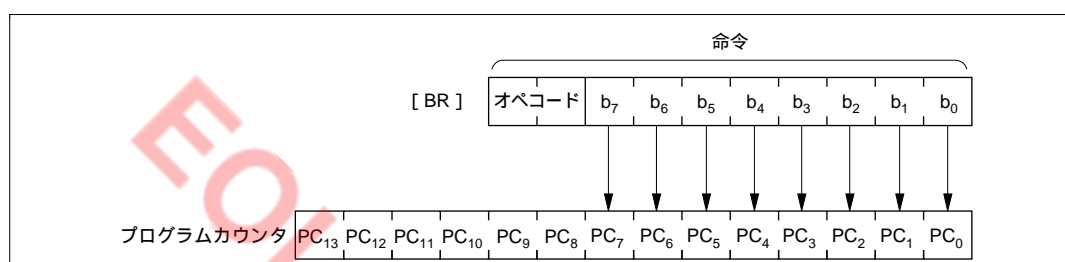


図 3.6 カレントページアドレッシングモード

## (3) ゼロページアドレッシングモード

ゼロページアドレッシングモードの命令は 1 ワードで構成され、オペコード 4 ビットに続く下位 6 ビットにより 0 ページ内の \$0000～\$003F のアドレスを指定します。

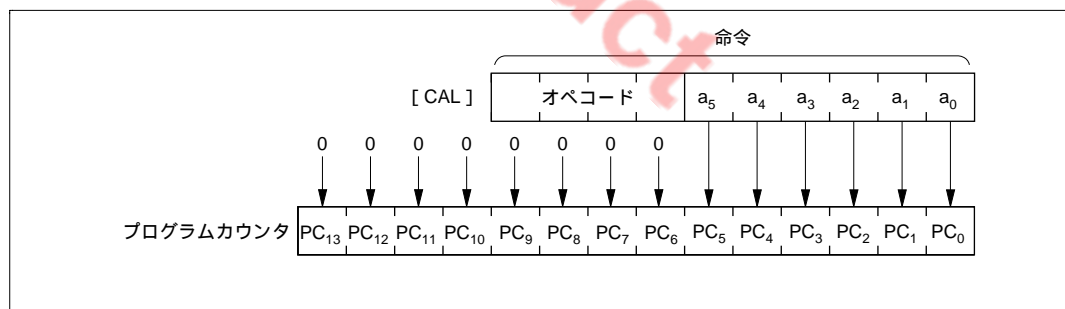


図 3.7 ゼロページアドレッシングモード

#### (4) テーブルデータアドレッシングモード

テーブルデータアドレッシングモードの命令は1ワードで構成され、オペコード6ビットに続く下位4ビットとアキュムレータ (A) および B レジスタ (B) の内容による計 12 ビットで ROM アドレスを指定します。

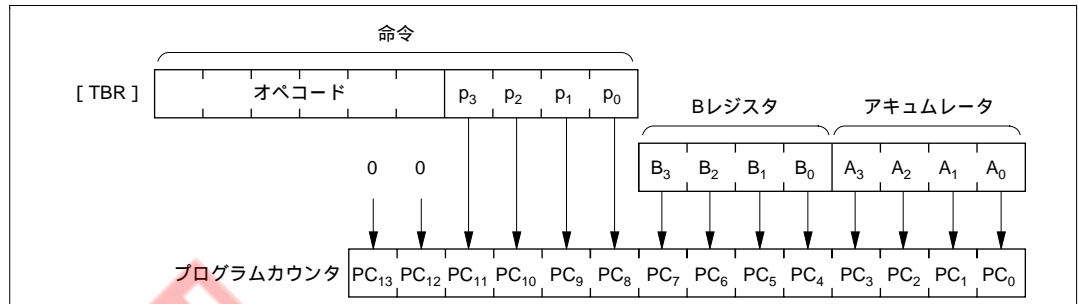


図 3.8 テーブルデータアドレッシングモード

#### (5) P 命令

P 命令により、テーブルデータアドレッシングモードで決まるアドレスの ROM データを参照できます。参照された ROM データの下位 8 ビットは、ROM データのビット 8 が 1 のときは A、B のペアに転送され、ビット 9 が 1 のときには R1、R2 ポートのポートデータレジスタ (PDR) のペアに転送されます。ビット 8 とビット 9 がともに 1 のときは、A、B ペアへの転送と R1、R2 ポートの PDR ペアへの転送が同時に行われます。P 命令の実行により、PC は影響されません。



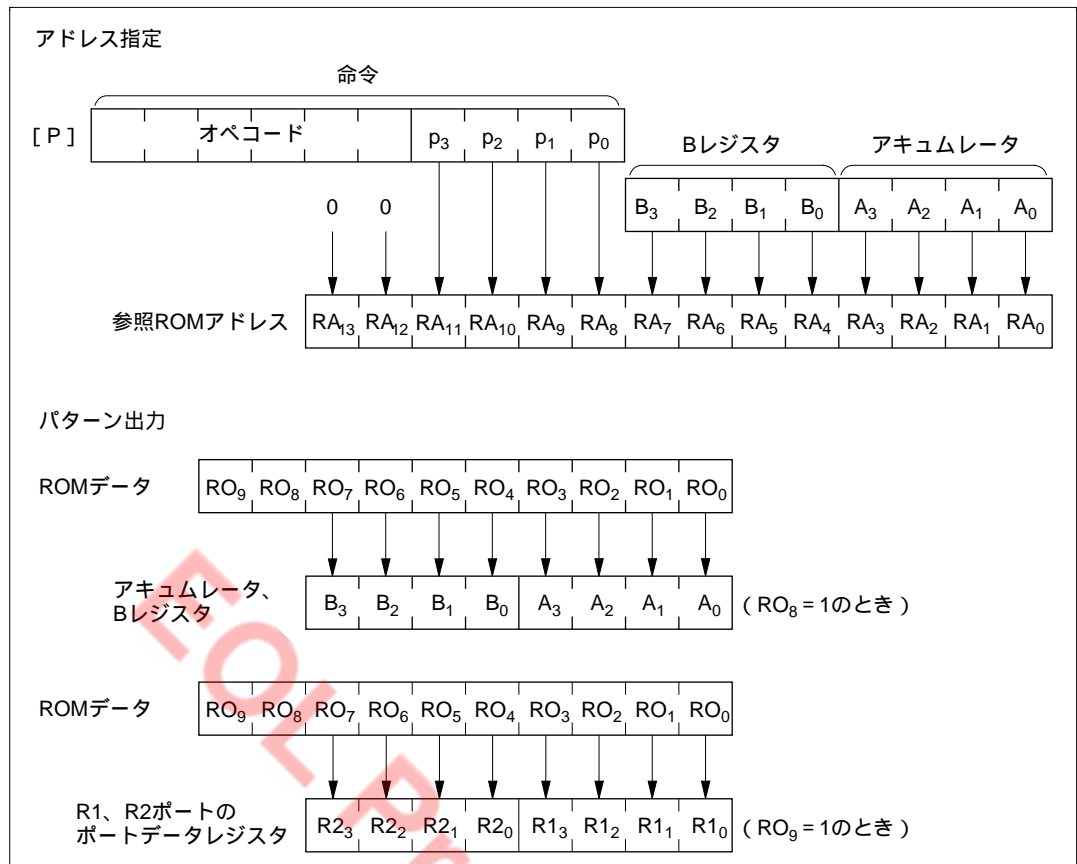


図 3.9 P 命令による ROM データの参照

## 3.4 処理状態

### 3.4.1 概要

HMCS400 CPU の処理状態には、プログラム実行状態、例外処理状態、プログラム停止状態の3種類があります。処理状態の分類を図 3.10 に、各状態間の遷移を図 3.11 に示します。

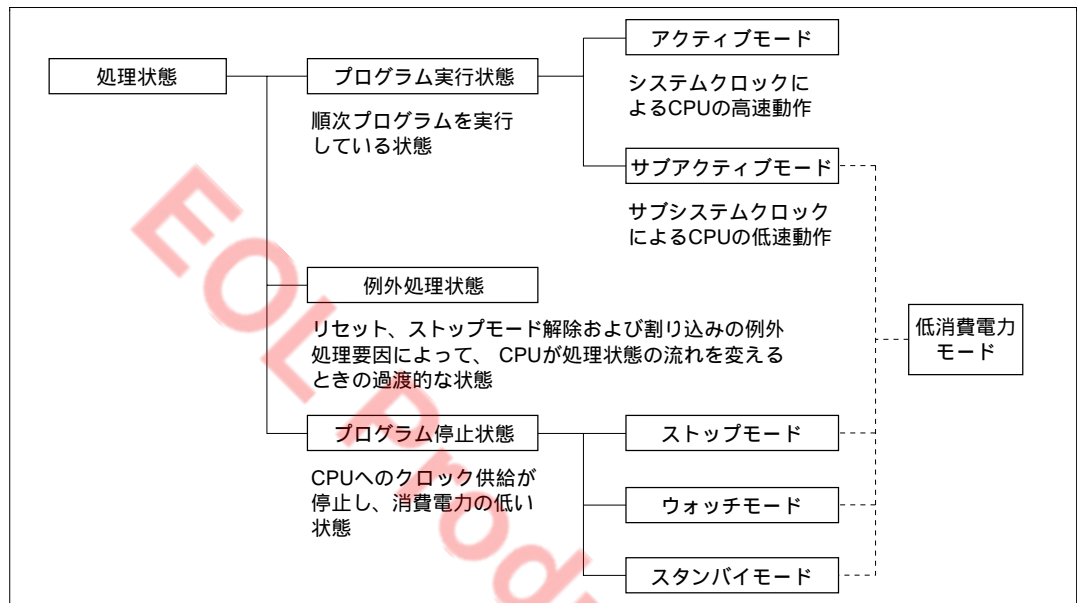


図 3.10 処理状態の分類

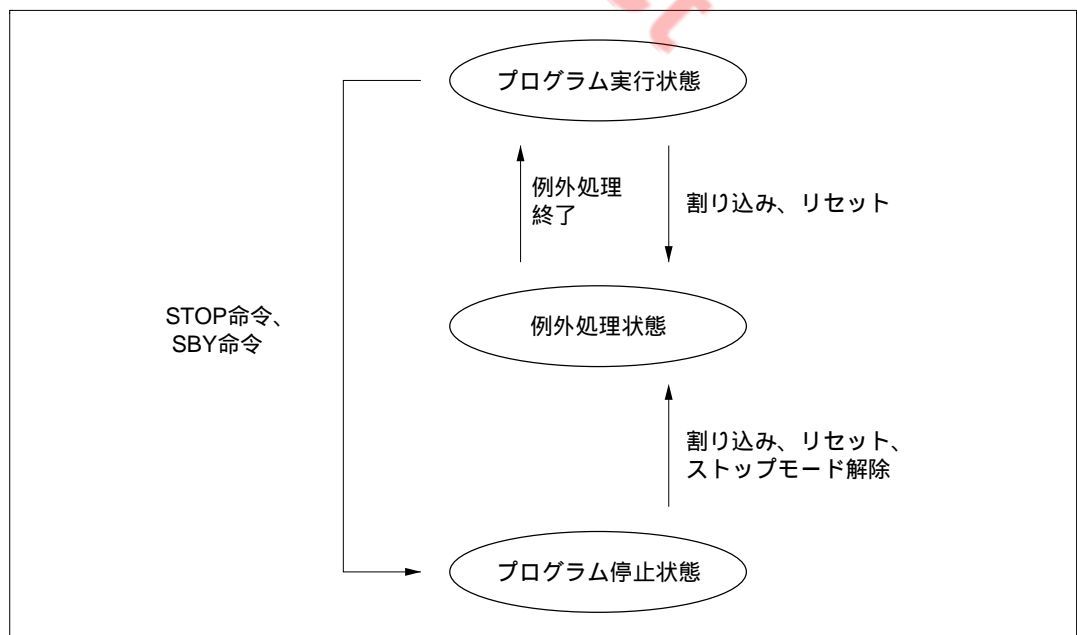


図 3.11 状態遷移図

### 3.4.2 プログラム実行状態

HMCS400 CPU が、順次プログラムを実行している状態です。プログラム実行状態にはアクティブモードとサブアクティブモードがあります。

#### (1) アクティブモード

システムクロックにより、HMCS400 CPU が高速で動作します。

#### (2) サブアクティブモード

サブシステムクロックにより、HMCS400 CPU が低速で動作します。したがって、消費電力の低い状態が実現できます。

サブアクティブモードは、ウォッチモードにおいてレジスタフラグエリアの LSON フラグ=1 の状態で、 $\overline{INT}_0$  割り込み、 $\overline{WU}_0 \sim \overline{WU}_3$  割り込み、またはタイマ A 割り込みが発生すると遷移するモードです。

システムクロック発振器は停止しますが、CPU、内蔵周辺モジュール、I/O ポートはサブシステムクロックにより動作します。ただし、A/D コンバータは動作を停止します。

低消費電力状態の詳細は、「第 5 章 低消費電力モード」を参照してください。

### 3.4.3 例外処理状態

リセット、ストップモード解除、および割り込みの例外処理要因によって、HMCS400 CPU が通常の処理の流れを変えるときの過渡的な状態です。割り込み例外処理では、スタックポインタ (SP) を参照して、プログラムカウンタ (PC)、キャリ (CA)、およびステータス (ST) の退避が行われます。

例外処理についての詳細は、「第 4 章 例外処理」を参照してください。

### 3.4.4 プログラム停止状態

プログラム停止状態には、ストップモード、ウォッチモード、およびスタンバイモードの3つのモードがあります。これらのモードでは、消費電力の低い状態が実現できます。

#### (1) ストップモード

ストップモードは、アクティブモードまたはサブアクティブモードにおいてタイマモードレジスタ A (TMA) の TMA3 ビット = 0 の状態で STOP 命令を実行することによって遷移するモードです。

システムクロック発振器は停止し、CPU、内蔵周辺モジュール、および I/O ポートはストップモード遷移前の状態を保持します。規定の電圧が与えられているかぎり、CPU レジスタ、周辺機能レジスタ、I/O ポート、および RAM の内容は保持されます。

#### (2) ウォッチモード

ウォッチモードは、

- ・アクティブモードにおいて、タイマモードレジスタ A (TMA) の TMA3 ビット = 1 の状態で STOP 命令を実行する

または、

- ・サブアクティブモードにおいて、LSON フラグ = 1 (DTON フラグは任意)、または、LSON フラグ = 0 かつ DTON フラグ = 0 の状態で、STOP 命令、もしくは SBY 命令を実行することにより遷移するモードです。

システムクロック発振器は停止して、サブシステムクロック発振器は動作を継続します。CPU、内蔵周辺モジュールは動作を停止しますが、規定の電圧が与えられているかぎり、CPU レジスタ、周辺機能レジスタ、および RAM の内容は保持されます。また、I/O ポートの状態も保持されます。ただし、内蔵周辺モジュール中、タイマ A は動作を継続します。また、サブシステムクロック動作による、液晶表示回路も動作を継続します。

#### (3) スタンバイモード

スタンバイモードは、アクティブモードにおいて SBY 命令を実行することによって遷移するモードです。

CPU への動作クロックの供給が停止し、CPU は動作を停止しますが、内蔵周辺機能は動作を継続します。CPU の内部レジスタ、RAM の内容、および I/O ポートの状態は保持されます。

---

# 4. 例外処理

---

## 第4章 目次

4.1	概要	49
4.2	リセット	50
4.2.1	概要	50
	(1) $\overline{\text{RESET}}$ 端子入力	50
	(2) ウォッチドッグタイマのオーバフロー	50
4.2.2	リセットシーケンス	50
4.3	ストップモード解除	51
4.3.1	概要	51
4.3.2	ストップモード解除シーケンス ( $\overline{\text{RESET}}$ 端子入力による)	51
4.3.3	ストップモード解除シーケンス ( $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$ 端子への立ち下がりエッジ入力による)	51
4.4	リセットおよびストップモード解除時のレジスタ、フラグの初期値	52
4.5	割り込み	55
4.5.1	概要	55
4.5.2	各レジスタ、フラグの説明	56
	(1) ポートモードレジスタ 0 (PMR0 : \$008)	57
	(2) ポートモードレジスタ 1 (PMR1 : \$009)	58
	(3) エッジ検出選択レジスタ (ESR : \$006)	60
	(4) 割り込み許可フラグ (IE : \$000,0)	60
	(5) ウェイクアップ割り込み要求フラグ (IFWU : \$000,2)	61
	(6) ウェイクアップ割り込みマスク (IMWU : \$000,3)	61
	(7) 外部割り込み 0、1 要求フラグ (IF0 : \$001,0、IF1 : \$001,2)	62
	(8) 外部割り込み 0、1 マスク (IM0 : \$001,1、IM1 : \$001,3)	62
	(9) タイマ A ~ D 割り込み要求フラグ (IFTA : \$002,0、IFTB : \$002,2、IFTC : \$003,0、IFTD : \$022,2)	62
	(10) タイマ A ~ D 割り込みマスク (IMTA : \$002,1、IMTB : \$002,3、IMTC : \$003,0、IMTD : \$022,3)	63

	(11) シリアル割り込み要求フラグ (IFS : \$023,2) .....	63
	(12) シリアル割り込みマスク (IMS : \$023,3) .....	64
	(13) A/D 割り込み要求フラグ (IFAD : \$003,2) .....	64
	(14) A/D 割り込みマスク (IMAD : \$003,3) .....	64
4.5.3	外部割り込み.....	65
4.5.4	内部割り込み.....	65
4.5.5	割り込み動作.....	66

EOL Product

## 4.1 概要

MCU の例外処理要因には、リセット、ストップモード解除、および割り込みがあります。表 4.1 に、例外処理の種類と優先度を示します。

表 4.1 例外処理の種類と優先度

優先度	例外処理要因	例外処理開始タイミング
高 ↑           低	リセット	リセット例外処理要因には、次の 2 種類があります。 <ul style="list-style-type: none"> <li>・ <math>\overline{\text{RESET}}</math> 端子入力 <math>\overline{\text{RESET}}</math> 端子が Low レベルになると、MCU はリセット状態になり、ただちに例外処理を開始します。</li> <li>・ ウォッチドッグタイマのオーバーフロー ウォッチドッグタイマがオーバーフローすると、MCU はリセット状態になり、ただちに例外処理を開始します。</li> </ul>
	ストップモード解除	ストップモード解除例外処理要因には、次の 2 種類があります。 <ul style="list-style-type: none"> <li>・ <math>\overline{\text{RESET}}</math> 端子入力 <math>\overline{\text{RESET}}</math> 端子が Low レベルになると、ストップモードは解除されます。このとき、MCU はリセット状態になり、ただちに例外処理を開始します。</li> <li>・ <math>\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3</math> 端子への立ち下がりエッジ入力 <math>\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3</math> 端子への立ち下がりエッジを検出すると例外処理を開始し、システムクロックの発振安定時間を確保して、ストップモードは解除されます。*</li> </ul>
	割り込み	割り込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。

【注】 \* ストップモードにおいてサブシステムクロック発振器を停止させた場合、ストップモード解除後のサブシステムクロック動作は、ストップモード解除からサブシステムクロックの発振安定時間を確保してから実行してください。

## 4.2 リセット

### 4.2.1 概要

リセットは最も優先順位の高い例外処理です。リセット例外処理要因には次の2種類があります。

#### (1) $\overline{\text{RESET}}$ 端子入力

$\overline{\text{RESET}}$  端子が Low レベルになると、実行中の処理はすべて打ち切れ、MCU はリセット状態になります。リセットによって、CPU の内部状態と、内蔵周辺モジュールの各レジスタがイニシャライズされ、ただちにリセット例外処理が開始されます。

#### (2) ウォッチドッグタイマのオーバーフロー

タイマCをウォッチドッグタイマとして使用しているとき、タイマCがオーバーフローすると、MCU はリセット状態になります。 $\overline{\text{RESET}}$  端子入力によるリセットと同様の動作を行った後、リセット例外処理が開始されます。

### 4.2.2 リセットシーケンス

リセット例外処理要因が発生すると、MCU はリセット状態になります。

システムクロック発振器停止時（電源投入時を含む）に  $\overline{\text{RESET}}$  端子入力によるリセットを行う場合は、発振器の発振安定時間 ( $t_{RC}^*$ ) を確保する必要があります。したがって、 $\overline{\text{RESET}}$  端子入力を  $t_{RC}$  以上 Low レベルに保持してください。

また、動作中にリセットする場合は、最低 2 インストラクションサイクル時間の間、 $\overline{\text{RESET}}$  端子を Low レベルに保持してください。

リセット例外処理要因が発生すると、MCU は次のように動作します。

- (1)  $\overline{\text{RESET}}$  端子入力またはウォッチドッグタイマのオーバーフローにより、リセット例外処理が開始されると、CPU の内部状態と内蔵周辺モジュールの各レジスタがイニシャライズされます。割り込み許可フラグ (IE) は 0 にクリアされ、すべての割り込みの受け付けが禁止されます。各レジスタの初期値は、「4.4 リセットおよびストップモード解除時のレジスタ、フラグの初期値」を参照してください。
- (2) プログラムカウンタ (PC) は、ベクタアドレス \$0000 を取り込みます。したがって、ROM の \$0000 ~ \$0001 番地に JMWL 命令を記述しておくことで、リセット処理ルーチンに分岐することができます。  
 $\overline{\text{RESET}}$  端子入力は非同期入力であり、MCU がどのような動作状態であっても、 $\overline{\text{RESET}}$  端子が Low レベルになるとただちにリセット状態になります。

【注】 \*  $t_{RC}$  は「第 20 章 電気的特性」を参照してください。



## 4.3 ストップモード解除

### 4.3.1 概要

ストップモード解除例外処理要因は、ストップモード時の  $\overline{WU}_0 \sim \overline{WU}_3$  端子への立ち下がりエッジ入力、または  $\overline{RESET}$  端子入力で、この例外処理要因発生により、ストップモードは解除されます。

### 4.3.2 ストップモード解除シーケンス ( $\overline{RESET}$ 端子入力による)

ストップモード時  $\overline{RESET}$  端子を Low レベルにすると、ストップモードは解除され、MCU はリセット状態になります。このときストップモードの解除を確実に行うために  $\overline{RESET}$  端子入力を  $t_{RC}$  以上 Low レベルに保持してください。

### 4.3.3 ストップモード解除シーケンス ( $\overline{WU}_0 \sim \overline{WU}_3$ 端子への立ち下がりエッジ入力による)

ストップモード時に  $\overline{WU}_0 \sim \overline{WU}_3$  端子へ立ち下がりエッジを入力すると、システムクロックの発振安定時間 ( $t_{RC}$ ) を確保してストップモードは解除されます。

ストップモード解除例外処理では、CPU レジスタ、周辺機能レジスタ、I/O ポート、および RAM の内容は保持されます。ストップモード解除後は、ストップモード遷移命令 (STOP または SBY 命令) の 2 アドレス後の命令から実行します。ストップモード遷移命令の後には、必ず NOP 命令を入れてください。

## 4.4 リセットおよびストップモード解除時のレジスタ、フラグの初期値

リセットおよびストップモード解除時のレジスタ、フラグの初期値を表 4.2 に示します。

表 4.2 リセットおよびストップモード解除時のレジスタ、フラグの初期値 (1)

項 目		リセット* <sup>1</sup>	ストップ モード解除
プログラムカウンタ (PC)		\$0000	保持
ステータス (ST)		1	保持
スタックポインタ (SP)		\$3FF	保持
割り込み フラグ/マスク	割り込み許可フラグ (IE)	0	保持
	割り込み要求フラグ (IF)	0	保持
	割り込みマスク (IM)	1	保持
I/O	ポートデータレジスタ (PDR)	全ビット 1	保持
	データコントロールレジスタ (DCD0 ~ DCD2) (DCR0 ~ DCR7) (DCR8)	全ビット 0	保持
		全ビット 0	保持
		--00	保持
	ポートモードレジスタ 0 (PMR0)	--00	保持
	ポートモードレジスタ 1 (PMR1)	0000	保持
	ポートモードレジスタ 2 (PMR2)	0000	保持
	ポートモードレジスタ 3 (PMR3)	0000	保持
	ポートモードレジスタ 4 (PMR4)	0000	保持
エッジ検出選択レジスタ (ESR)	--00	保持	
タイマ/ シリアル インタフェース	タイマモードレジスタ A (TMA)	0000	* <sup>2</sup>
	タイマモードレジスタ B1 (TMB1)	0000	保持
	タイマモードレジスタ B2 (TMB2)	-000	保持
	タイマモードレジスタ C1 (TMC1)	0000	保持
	タイマモードレジスタ C2 (TMC2)	-0--	保持
	タイマモードレジスタ D1 (TMD1)	0000	保持
	タイマモードレジスタ D2 (TMD2)	-000	保持
	シリアルモードレジスタ 1 (SMR1)	0000	保持

次頁に続く

表 4.2 リセットおよびストップモード解除時のレジスタ、フラグの初期値 (2)

項 目		リセット* <sup>1</sup>	ストップ モード解除
タイマ/ シリアル インタフェース	シリアルモードレジスタ 2 (SMR2)	-0X-	保持
	モジュールセレクトレジスタ 1 (MSR1)	-000	保持
	モジュールセレクトレジスタ 2 (MSR2)	--00	保持
	プリスケラ S (PSS)	\$000	不定
	プリスケラ W (PSW)	\$00	* <sup>2</sup>
	タイマカウンタ A (TCA)	\$00	不定
	タイマカウンタ B (TCB)	\$00	不定
	タイマカウンタ C (TCC)	\$00	不定
	タイマカウンタ D (TCD)	\$00	不定
	タイマライトレジスタ B (TWBU, TWBL)	\$X0	保持
	タイマライトレジスタ C (TWCU, TWCL)	\$X0	保持
	タイマライトレジスタ D (TWDU, TWDL)	\$X0	保持
	8進カウンタ (OC)	000	保持
	A/D コンバータ	A/D モードレジスタ (AMR)	0000
液晶表示回路	液晶表示制御レジスタ (LCR)	0000	保持
	液晶表示モードレジスタ (LMR)	0000	保持
ビットレジスタ	Low スピードオンフラグ (LSON)	0	保持
	ウォッチドッグタイマオンフラグ (WDON)	0	保持
	A/D スタートフラグ (ADSF)	0	保持
	ダイレクトトランスファオンフラグ (DTON)	0	保持
	インプットキャプチャステータスフラグ (ICSF)	0	保持
	インプットキャプチャエラーフラグ (ICEF)	0	保持
	ギアイネーブルフラグ (GEF)	0	保持
その他	ミセラニアスレジスタ (MIS)	0-00	保持
	システムクロック選択レジスタ (SSR2, SSR1, ビット 2, 1, 0 SSR0)	0000	保持
	ブザーモードレジスタ (BMR)	0000	保持
	バンクレジスタ (V)	---0	保持

【注】 \*1 X印は不定を、-印は存在しないビットを示します。

\*2 ストップモードにおいて、サブシステムクロックを停止した場合は保持されます。

表 4.2 リセットおよびストップモード解除時のレジスタ、フラグの初期値 (3)


項 目	リセット	ストップモード解除
キャリ (CA)	MCU リセット直前の値は保証されません。プログラムによる初期化が必要です。	保持
アキュムレータ (A)		
B レジスタ (B)		
W レジスタ (W)		
X/SPX レジスタ (X/SPX)		
Y/SPY レジスタ (Y/SPY)		
シリアルデータレジスタ (SRU, SRL)		
A/D データレジスタ (ADRU, ADRL)		
RAM		
システムクロック選択レジスタ ビット 3 (SSR3)		

## 4.5 割り込み

### 4.5.1 概要

割り込み例外処理を開始する要因には、外部要因 ( $\overline{WU}_0 \sim \overline{WU}_3$ 、 $\overline{INT}_0$ 、 $INT_1$ ) と内蔵周辺モジュールからの要求による内部要因があります。これらの割り込み要因には、それぞれ独立のベクタアドレスが割り当てられています。割り込み要因と優先度ならびにベクタアドレスの一覧を表 4.3 に示します。複数の割り込みが同時に発生したときは、優先度の高い割り込みから処理されます。

表 4.3 割り込み要因一覧表

割り込み要因	ベクタアドレス	優先度
リセット	\$0000	高  低
$\overline{WU}_0 \sim \overline{WU}_3$	\$0002	
$\overline{INT}_0$	\$0004	
$INT_1$	\$0006	
タイマ A	\$0008	
タイマ B または タイマ D	\$000A	
タイマ C	\$000C	
シリアルまたは A/D コンバータ	\$000E	

これらの割り込みには次の特長があります。

- (1) すべての外部割り込み、および内部割り込みは、割り込み許可フラグ (IE) により制御されます。  
すなわち、IE ビットが 0 にクリアされていると、すべての割り込みは受け付けられません。
- (2)  $\overline{WU}_0 \sim \overline{WU}_3$ 、 $\overline{INT}_0$  端子入力割り込みは、立ち下がりエッジ検出の外部割り込みです。  
また、 $INT_1$  割り込みは、立ち下がりエッジ、立ち上がりエッジ、立ち下がり / 立ち上がり両エッジ検出のいずれかに設定できます。

## 4.5.2 各レジスタ、フラグの説明

割り込みを制御するレジスタ、フラグの一覧を表 4.4 に示します。なお、割り込み制御ビットエリア、レジスタフラグエリアの制御ビットは、RAM ビット操作命令のみ使用可能です。

表 4.4 割り込み制御レジスタ、フラグ

アドレス	名 称	略称	R/W	初期値
\$008	ポートモードレジスタ 0	PMR0	W	--00
\$009	ポートモードレジスタ 1	PMR1	W	\$0
\$006	エッジ検出選択レジスタ	ESR	W	--00
\$000,0	割り込み許可フラグ	IE	R/W	0
\$000,1	リセット SP ビット	RSP	(W)	不定
\$000,2	ウェイクアップ要求フラグ	IFWU	R/(W)	0
\$000,3	ウェイクアップマスク	IMWU	R/W	1
\$001,0	外部割り込み 0 要求フラグ	IF0	R/(W)	0
\$001,1	外部割り込み 0 マスク	IM0	R/W	1
\$001,2	外部割り込み 1 要求フラグ	IF1	R/(W)	0
\$001,3	外部割り込み 1 マスク	IM1	R/W	1
\$002,0	タイマ A 割り込み要求フラグ	IFTA	R/(W)	0
\$002,1	タイマ A 割り込みマスク	IMTA	R/W	1
\$002,2	タイマ B 割り込み要求フラグ	IFTB	R/(W)	0
\$002,3	タイマ B 割り込みマスク	IMTB	R/W	1
\$003,0	タイマ C 割り込み要求フラグ	IFTC	R/(W)	0
\$003,1	タイマ C 割り込みマスク	IMTC	R/W	1
\$003,2	A/D 割り込み要求フラグ	IFAD	R/(W)	0
\$003,3	A/D 割り込みマスク	IMAD	R/W	1
\$022,2	タイマ D 要求フラグ	IFTD	R/(W)	0
\$022,3	タイマ D マスク	IMTD	R/W	1
\$023,2	シリアル割り込み要求フラグ	IFS	R/(W)	0
\$023,3	シリアル割り込みマスク	IMS	R/W	1

(W) はフラグクリアのための 0 書き込みのみ可能

## (1) ポートモードレジスタ 0 (PMR0 : \$008)

PMR0は、2ビットの書き込み専用のレジスタで、D<sub>0</sub>、D<sub>1</sub>端子機能の切り換えを行います。

リセット時に、PMR0は00にイニシャライズされます。

ビット :	3	2	1	0	
	-	-	PMR01	PMR00	
初期値 :	-	-	0	0	
R/W :	-	-	W	W	

D <sub>0</sub> / $\overline{\text{INT}}_0$ 端子機能切り換え	0	D <sub>0</sub> 入出力端子
	1	$\overline{\text{INT}}_0$ 入力端子

D <sub>1</sub> / $\overline{\text{INT}}_1$ 端子機能切り換え	0	D <sub>1</sub> 入出力端子
	1	$\overline{\text{INT}}_1$ 入力端子

ビット 1 : D<sub>1</sub>/ $\overline{\text{INT}}_1$ 端子機能切り換え (PMR01)

D<sub>1</sub>/ $\overline{\text{INT}}_1$ 端子をD<sub>1</sub>入出力端子として使用するか、 $\overline{\text{INT}}_1$ 入力端子として使用するかを選択します。

PMR01	説 明
0	D <sub>1</sub> / $\overline{\text{INT}}_1$ 端子は、D <sub>1</sub> 入出力端子として機能します。 (初期値)
1	D <sub>1</sub> / $\overline{\text{INT}}_1$ 端子は、 $\overline{\text{INT}}_1$ 入力端子として機能します。

ビット 0 : D<sub>0</sub>/ $\overline{\text{INT}}_0$ 端子機能切り換え (PMR00)

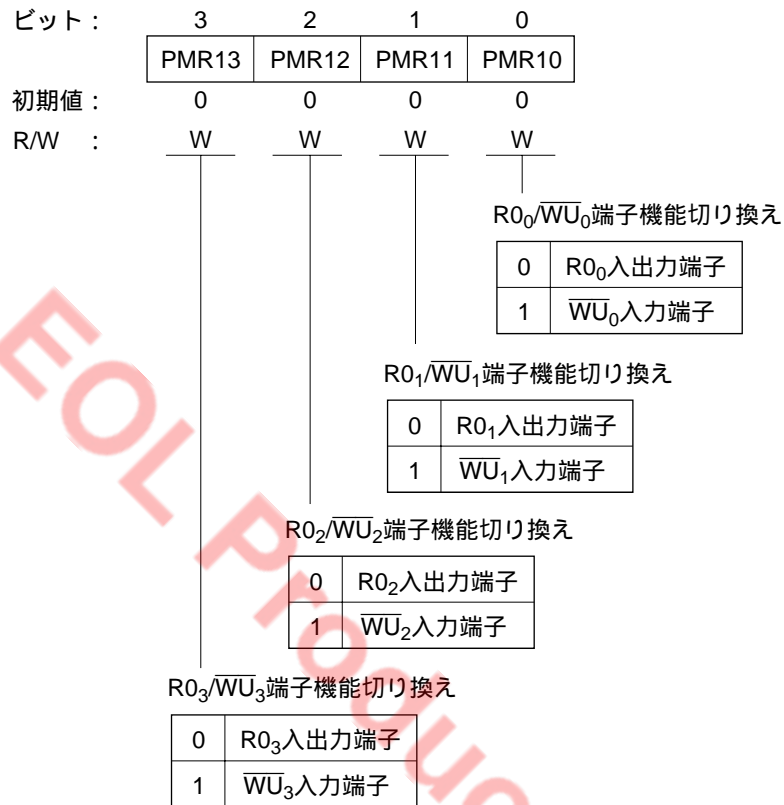
D<sub>0</sub>/ $\overline{\text{INT}}_0$ 端子をD<sub>0</sub>入出力端子として使用するか、 $\overline{\text{INT}}_0$ 入力端子として使用するかを選択します。

PMR00	説 明
0	D <sub>0</sub> / $\overline{\text{INT}}_0$ 端子は、D <sub>0</sub> 入出力端子として機能します。 (初期値)
1	D <sub>0</sub> / $\overline{\text{INT}}_0$ 端子は、 $\overline{\text{INT}}_0$ 入力端子として機能します。

(2) ポートモードレジスタ 1 (PMR1 : \$009)

PMR1 は、4 ビットの書き込み専用レジスタで、R0 ポートの端子機能切り換えを行います。

リセット時に、PMR1 は\$0 にイニシャライズされます。



ビット 3 : R0<sub>3</sub>/ $\overline{WU_3}$ 端子機能切り換え (PMR13)

R0<sub>3</sub>/ $\overline{WU_3}$ 端子を R0<sub>3</sub>入出力端子として使用するか、 $\overline{WU_3}$ 入力端子として使用するかを選択します。

PMR13	説 明
0	R0 <sub>3</sub> / $\overline{WU_3}$ 端子は、R0 <sub>3</sub> 入出力端子として機能します。 (初期値)
1	R0 <sub>3</sub> / $\overline{WU_3}$ 端子は、 $\overline{WU_3}$ 入力端子として機能します。



ビット2： $R0_2/\overline{WU}_2$ 端子機能切り換え（PMR12）

$R0_2/\overline{WU}_2$ 端子を  $R0_2$ 入出力端子として使用するか、 $\overline{WU}_2$ 入力端子として使用するかを選択します。

PMR12	説 明
0	$R0_2/\overline{WU}_2$ 端子は、 $R0_2$ 入出力端子として機能します。 (初期値)
1	$R0_2/\overline{WU}_2$ 端子は、 $\overline{WU}_2$ 入力端子として機能します。

ビット1： $R0_1/\overline{WU}_1$ 端子機能切り換え（PMR11）

$R0_1/\overline{WU}_1$ 端子を  $R0_1$ 入出力端子として使用するか、 $\overline{WU}_1$ 入力端子として使用するかを選択します。

PMR11	説 明
0	$R0_1/\overline{WU}_1$ 端子は、 $R0_1$ 入出力端子として機能します。 (初期値)
1	$R0_1/\overline{WU}_1$ 端子は、 $\overline{WU}_1$ 入力端子として機能します。

ビット0： $R0_0/\overline{WU}_0$ 端子機能切り換え（PMR10）

$R0_0/\overline{WU}_0$ 端子を  $R0_0$ 入出力端子として使用するか、 $\overline{WU}_0$ 入力端子として使用するかを選択します。

PMR10	説 明
0	$R0_0/\overline{WU}_0$ 端子は、 $R0_0$ 入出力端子として機能します。 (初期値)
1	$R0_0/\overline{WU}_0$ 端子は、 $\overline{WU}_0$ 入力端子として機能します。

## (3) エッジ検出選択レジスタ (ESR : \$006)

ESR は、2 ビットの書き込み専用レジスタで、INT<sub>1</sub> 端子入力の検出エッジを選択します。リセット時に、ESR は 00 にイニシャライズされます。

ビット :	3	2	1	0
	-	-	ESR1	ESR0
初期値 :	-	-	0	0
R/W :	-	-	W	W

INT<sub>1</sub> 端子検出エッジ選択

ESR1	ESR0	INT <sub>1</sub> 端子検出エッジ
0	0	検出しない
	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
	1	立ち下がり / 立ち上がり両エッジ検出

ビット 1、0 : INT<sub>1</sub> 端子検出エッジ選択 (ESR1、ESR0)

ESR1	ESR0	説明
0	0	INT <sub>1</sub> 端子入力のエッジを検出しません。 (初期値)
	1	INT <sub>1</sub> 端子入力の立ち下がりエッジ ( $\downarrow$ ) で割り込み要求を発生します。
1	0	INT <sub>1</sub> 端子入力の立ち上がりエッジ ( $\uparrow$ ) で割り込み要求を発生します。
	1	INT <sub>1</sub> 端子入力の立ち下がり / 立ち上がり両エッジ ( $\downarrow$ $\uparrow$ ) で割り込み要求を発生します。

## (4) 割り込み許可フラグ (IE : \$000,0)

IE は、すべての割り込み要求に対して、CPU が割り込みを受け付けるか否かを制御します。IE は、割り込みが受け付けられるとハードウェアにより 0 にクリアされ、RTNI 命令を実行すると 1 にセットされます。

本フラグは、ビット操作命令によってのみ読み出し / 書き込みが可能です。

リセット時に、本フラグは 0 にクリアされます。

IE	説明
0	CPU は、すべての割り込みの受け付けを禁止します。 (初期値)
1	CPU は、割り込みの受け付けを許可します。

## (5) ウェイクアップ割り込み要求フラグ (IFWU : \$000,2)

IFWU は、 $\overline{WU}_0 \sim \overline{WU}_3$  のウェイクアップ割り込み端子入力要求の有無を反映します。ウェイクアップ入力端子の立ち下がり入力エッジを検出すると、ウェイクアップ割り込み要求フラグが1にセットされます。

IFWU は、ビット操作命令によってのみ読み出し / 書き込み (0 書き込みのみ) が可能です。

割り込みが受け付けられても、IFWU はオートクリアされません。ソフトウェアで0を書き込んでクリアしてください。

リセット時に、本フラグは0にクリアされます。

IFWU	説明
0	ウェイクアップ割り込みが要求されていないことを示します。(初期値)
1	ウェイクアップ割り込みが要求されていることを示します。

ストップモードから  $\overline{WU}_0 \sim \overline{WU}_3$  の立ち下がりエッジを検出してアクティブモードへ遷移する場合、IFWU は1にセットされません。また、この遷移はIEの値にかかわらずに行われます。この場合、アクティブモード遷移後にウェイクアップ割り込みベクタ処理は行われず、ストップモード遷移命令の2アドレス後の命令からプログラム実行を開始します。ストップモード遷移命令の後には、必ずNOP命令を入れてください。

## (6) ウェイクアップ割り込みマスク (IMWU : \$000,3)

IMWU は、IFWU をマスクするビットです。IFWU が1にセットされ、かつIMWU が0の時、ウェイクアップ割り込みはCPUに要求されます (IE = 1 のとき)。

IFWU が1にセットされてもIMWU が1のときには、CPUに割り込みは要求されず、ウェイクアップ割り込みは保留されます。

IMWU は、ビット操作命令によってのみ読み出し / 書き込みが可能です。

リセット時に、本フラグは1にセットされます。

IMWU	説明
0	IFWU を許可します。
1	IFWU をマスクします (IFWU が1にセットされても保留となります) (初期値)

ストップモードから  $\overline{WU}_0 \sim \overline{WU}_3$  の立ち下がりエッジを検出してアクティブモードへ遷移する場合は、IMWU を0にクリアしてください。IMWU が0にクリアされていないと、 $\overline{WU}_0 \sim \overline{WU}_3$  の立ち下がりエッジを検出しても、アクティブモードへの遷移は行われません。ストップモードを保持します。

## (7) 外部割り込み 0、1 要求フラグ (IF0 : \$001,0、IF1 : \$001,2)

IF0、IF1 は、 $\overline{INT}_0$ 、 $INT_1$  の外部割り込み端子入力要求の有無を反映します。外部割り込み入力端子が指定された入力エッジを検出すると、対応する外部割り込み要求フラグが 1 にセットされます。

$\overline{INT}_0$  端子入力は、立ち下がりエッジのみを検出します。 $INT_1$  端子入力は、ESR により、立ち下がり、立ち上がり、立ち下がり / 立ち上がり両エッジ検出を選択できます。

IF0、IF1 は、ビット操作命令によってのみ読み出し / 書き込み (0 書き込みのみ) が可能です。

割り込みが受け付けられても、IF0、IF1 はオートクリアされません。ソフトウェアで 0 を書き込んでクリアしてください。

リセット時に本フラグは 0 にクリアされます。

IF0、IF1	説 明
0	$\overline{INT}_0$ 、 $INT_1$ が要求されていないことを示します。 (初期値)
1	$\overline{INT}_0$ 、 $INT_1$ が要求されていることを示します。

## (8) 外部割り込み 0、1 マスク (IM0 : \$001,1、IM1 : \$001,3)

IM0、IM1 は、対応する IF0、IF1 をマスクするビットです。IF0、IF1 が 1 にセットされ、かつ対応する IM0、IM1 が 0 のとき、当該外部割り込みは CPU に要求されます (IE = 1 のとき)。

IF0、IF1 が 1 にセットされても対応する IM0、IM1 が 1 のときには、CPU に割り込みは要求されず当該外部割り込みは保留されます。

IM0、IM1 は、ビット操作命令によってのみ読み出し / 書き込みが可能です。

リセット時に本フラグは 1 にセットされます。

IM0、IM1	説 明
0	IF0、IF1 を許可します。
1	IF0、IF1 をマスクします (IF0、IF1 フラグが 1 にセットされても保留となります)。 (初期値)

## (9) タイマ A ~ D 割り込み要求フラグ

(IFTA : \$002,0、IFTB : \$002,2、IFTC : \$003,0、IFTD : \$022,2)

IFTA ~ IFTD は、タイマ A ~ D 割り込み要求の有無を反映します。タイマ A ~ D がオーバーフローすると、対応する IFTA ~ IFTD が 1 にセットされます。

IFTA ~ IFTD は、ビット操作命令によってのみ読み出し / 書き込み (0 書き込みのみ) が可能です。

割り込みが受け付けられても、IFTA～IFTD はオートクリアされません。ソフトウェアで0を書き込んでクリアしてください。

リセット時に、本フラグは0にクリアされます。

IFTA～IFTD	説 明
0	タイマA～D割り込みが要求されていないことを示します。(初期値)
1	タイマA～D割り込みが要求されていることを示します。

#### (10) タイマA～D割り込みマスク

(IMTA : \$002,1、IMTB : \$002,3、IMTC : \$003,0、IMTD : \$022,3)

IMTA～IMTDは対応するIFTA～IFTDをマスクするビットです。

IFTA～IFTDが1にセットされ、かつ対応するIMTA～IMTDが0のとき、当該タイマ割り込みはCPUに要求されます(IE=1のとき)。

IFTA～IFTDが1にセットされても対応するIMTA～IMTDが1のときには、CPUに割り込みは要求されず当該タイマ割り込みは保留されます。

IMTA～IMTDは、ビット操作命令によってのみ読み出し/書き込みが可能です。

リセット時に、本フラグは1にセットされます。

IMTA～IMTD	説 明
0	IFTA～IFTDを許可します。
1	IFTA～IFTDをマスクします(IFTA～IFTDが1にセットされても保留となります)。(初期値)

#### (11) シリアル割り込み要求フラグ(IFS : \$023,2)

IFSは、シリアル割り込み要求の有無を反映します。シリアルインタフェースが転送終了(強制終了を含む)すると、IFSが1にセットされます。

IFSは、ビット操作命令によってのみ読み出し/書き込み(0書き込みのみ)が可能です。

割り込みが受け付けられても、IFSはオートクリアされません。ソフトウェアで0を書き込んでクリアしてください。

リセット時に、本フラグは0にクリアされます。

IFS	説 明
0	シリアル割り込みが要求されていないことを示します。(初期値)
1	シリアル割り込みが要求されていることを示します。

## (12) シリアル割り込みマスク (IMS : \$023,3)

IMS は、IFS をマスクするビットです。IFS が1にセットされ、かつ IMS が0 のとき、シリアル割り込みはCPU に要求されます (IE = 1 のとき)。

IFS が1にセットされてもIMS が1 のときには、CPU に割り込みは要求されずシリアル割り込みは保留されます。

IMS は、ビット操作命令によってのみ読み出し / 書き込みが可能です。

リセット時に、本フラグは1にセットされます。

IMS	説 明
0	IFS を許可します。
1	IFS をマスクします (シリアル割り込みは、IFS が1にセットされても保留となります)。(初期値)

## (13) A/D 割り込み要求フラグ (IFAD : \$003,2)

IFAD は、A/D 割り込み要求の有無を反映します。A/D コンバータが変換終了すると、IFAD が1にセットされます。

IFAD は、ビット操作命令によってのみ読み出し / 書き込み (0 書き込みのみ) が可能です。

割り込みが受け付けられても、IFAD はオートクリアされません。ソフトウェアで0を書き込んでクリアしてください。

リセット時に、本フラグは0にクリアされます。

IFAD	説 明
0	A/D 割り込みが要求されていないことを示します。(初期値)
1	A/D 割り込みが要求されていることを示します。

## (14) A/D 割り込みマスク (IMAD : \$003,3)

IMAD は、IFAD をマスクするビットです。IFAD が1にセットされ、かつ IMAD が0 のとき、A/D 割り込みはCPU に要求されます (IE = 1 のとき)。

IFAD が1にセットされてもIMAD が1 のときには、CPU に割り込みは要求されず A/D 割り込みは保留されます。

IMAD は、ビット操作命令によってのみ読み出し / 書き込みが可能です。

リセット時に、本フラグは1にセットされます。

IMAD	説 明
0	IFAD を許可します。
1	IFAD をマスクします (A/D 割り込みは、IFAD が 1 にセットされても保留となります)。 (初期値)

### 4.5.3 外部割り込み

外部割り込みは、 $\overline{INT}_0$  と  $INT_1$  の 2 要因があります。 $\overline{INT}_0$  割り込みは、 $\overline{INT}_0$  端子の立ち下がりエッジを検出することで要求されます。 $INT_1$  割り込みは、立ち下がりエッジ、立ち上がりエッジ、立ち下がり / 立ち上がり両エッジ検出をエッジ検出選択レジスタ (ESR) により設定できます。

外部割り込みが要求されると対応する外部割り込み要求フラグ (IF0、IF1) が 1 にセットされます。これらの割り込み要求は、外部割り込みマスク (IM0、IM1) により、各々独立に許可または禁止を設定できます。また、割り込み許可フラグ (IE) により、割り込み全体の許可または禁止を制御できます。

外部割り込みが受け付けられると、割り込み例外処理中に IE がハードウェアにより 0 にクリアされ、他の割り込みの受け付けは禁止されます。

外部割り込みの優先順位は、 $INT_1$  の方が低く  $\overline{INT}_0$  の方が高くなります。詳細は、表 4.3 を参照してください。

### 4.5.4 内部割り込み

内蔵周辺モジュールからの内部割り込み要因は、タイマ A~D 割り込み、A/D 割り込み、およびシリアル割り込みの 6 要因があります。

内部割り込みが要求されると対応する割り込み要求フラグ (IF) が 1 にセットされます。これらの割り込み要求は、割り込み要求マスク (IM) により、各々独立に許可または禁止を設定できます。また、IE により、割り込み全体の許可または禁止を制御できます。

内部割り込みが受け付けられると、割り込み例外処理中に IE がハードウェアにより 0 にクリアされ、他の割り込みの受け付けは禁止されます。

内部割り込みの優先順位については、表 4.3 を参照してください。

### 4.5.5 割り込み動作

割り込みは、割り込みコントローラによって制御されます。割り込みコントローラのブロック図を図 4.1 に、割り込み例外処理の起動条件を表 4.5 に示します。また、割り込み受け付けまでのフローおよび割り込みシーケンスをそれぞれ図 4.2、図 4.3 に示します。割り込み動作を以下に説明します。

- [ 1 ] 対応する割り込みマスク (IM) が 0 にクリアされている状態で、割り込み要因が発生して割り込み要求フラグ (IF) が 1 にセットされたとき、プライオリティコントローラに割り込み要求信号が送られます。
- [ 2 ] プライオリティコントローラは、最高位の割り込み要求を選択し、その他の割り込みを保留します。
- [ 3 ] 割り込み許可フラグ (IE) を参照し、IE = 1 ならば最高位の割り込みが受け付けられますが、IE = 0 のときにはすべての割り込みは保留となります。
- [ 4 ] 割り込みが受け付けられると、そのとき実行中の命令の処理が終了した後、プログラムカウンタ (PC)、キャリ (CA)、およびステータス (ST) の内容をスタックに退避し、スタックポインタ (SP) を 4 だけデクリメントします。
- [ 5 ] IE が 0 にクリアされます。これにより、すべての割り込みの受け付けが禁止されます。
- [ 6 ] 受け付けた割り込みに対応するベクタアドレスを生成し、PC にロードします。ベクタアドレスに記述された JMPL 命令の分岐先のアドレスから、割り込み処理ルーチンの実行を開始します (各ベクタアドレスには、JMPL 命令を記述して、対応する割り込み処理ルーチンへ分岐させてください)。

表 4.5 割り込み例外処理の起動条件

割り込み制御ビット	割り込み要因						
	$\overline{WU}_0 \sim \overline{WU}_3$	$\overline{INT}_0$	$INT_1$	タイマ A	タイマ B または タイマ D	タイマ C	A/D または シリアル
IE	1	1	1	1	1	1	1
$IFWU \cdot \overline{IMWU}$	1	0	0	0	0	0	0
$IF0 \cdot \overline{IM0}$	X	1	0	0	0	0	0
$IF1 \cdot \overline{IM1}$	X	X	1	0	0	0	0
$IFTA \cdot \overline{IMTA}$	X	X	X	1	0	0	0
$IFTB \cdot \overline{IMTB} + IFTD \cdot \overline{IMTD}$	X	X	X	X	1	0	0
$IFTC \cdot \overline{IMTC}$	X	X	X	X	X	1	0
$IFAD \cdot \overline{IMAD} + IFS \cdot \overline{IMS}$	X	X	X	X	X	X	1

X : 0 または 1 いずれの値であっても動作に影響しません。



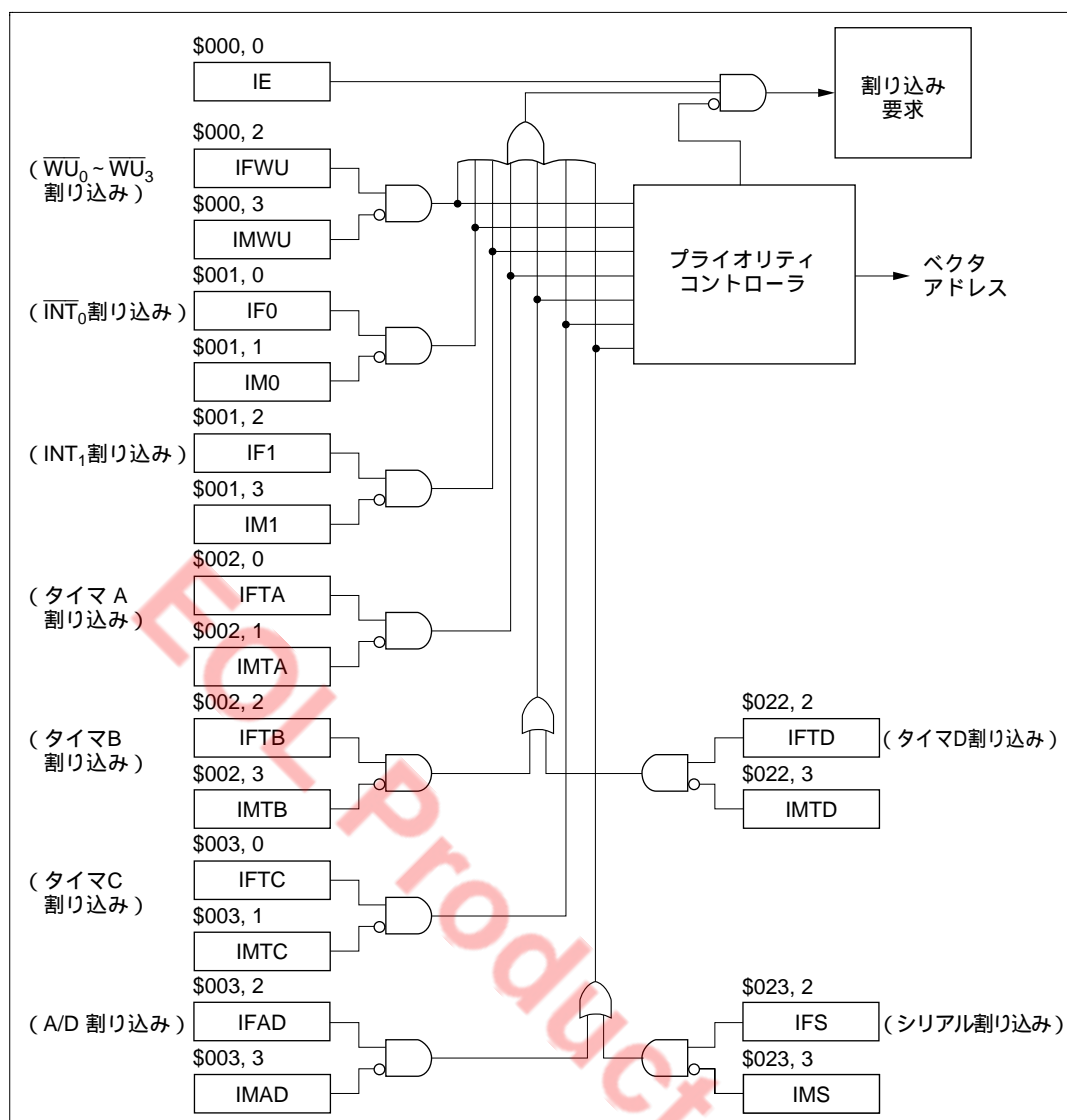


図 4.1 割り込みコントローラのブロック図

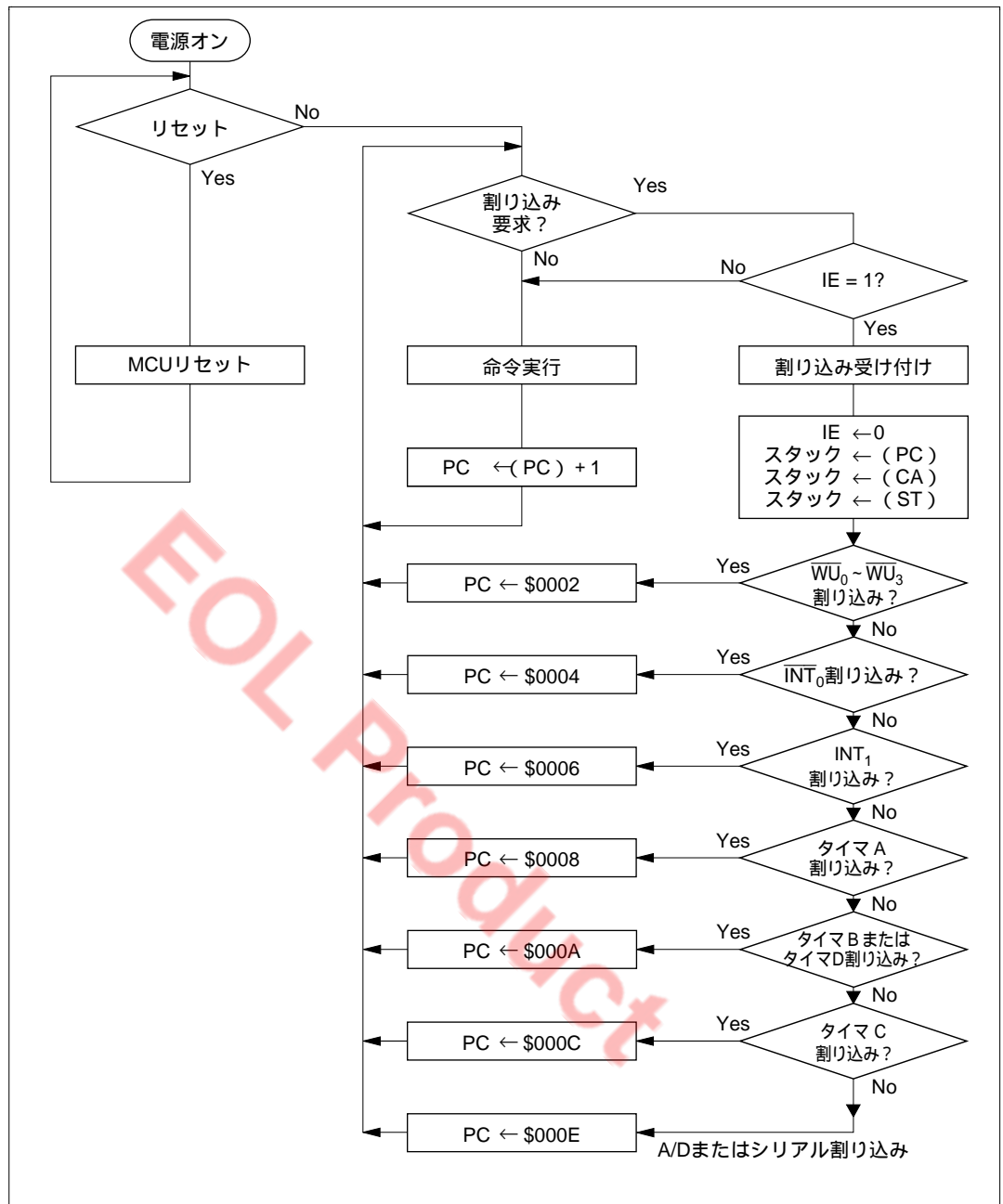


図 4.2 割り込み受け付けまでのフロー

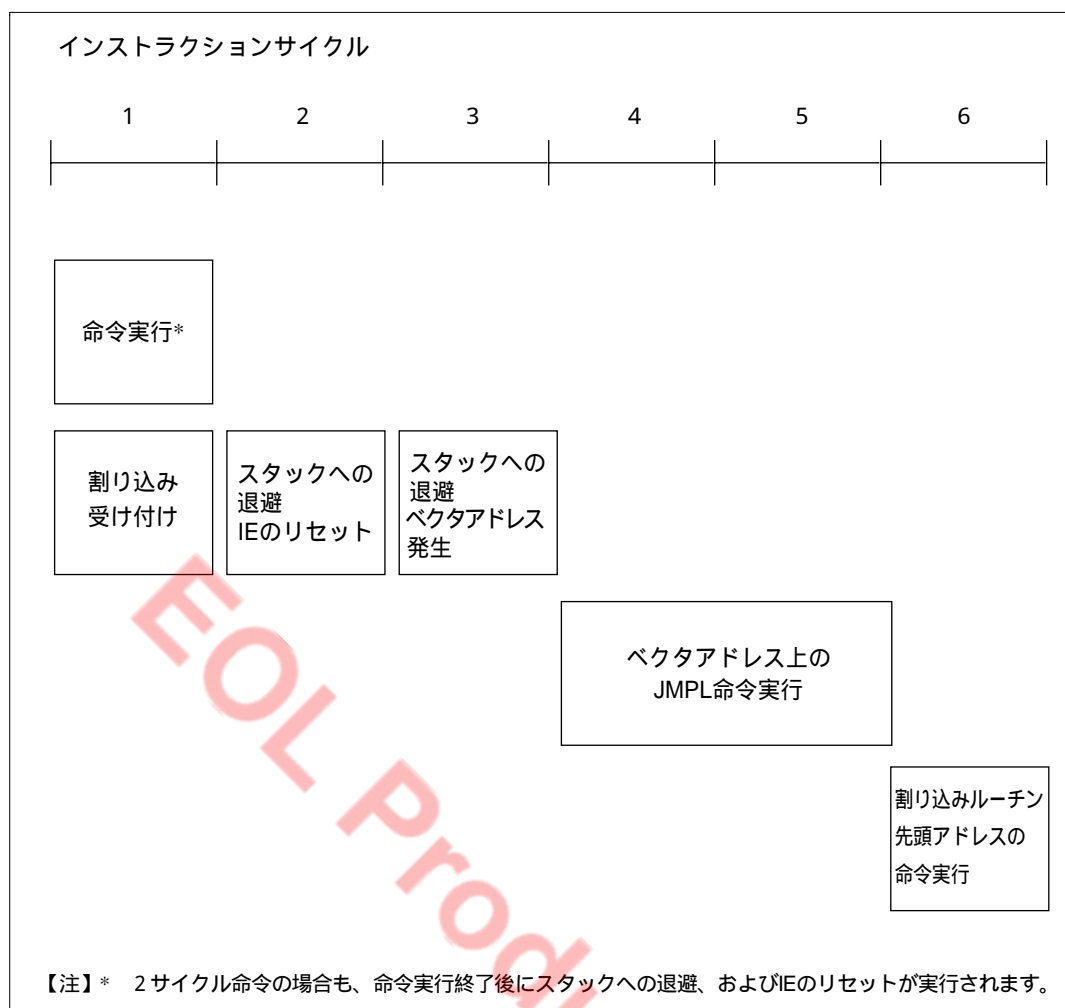


図 4.3 割り込みシーケンス

EOL Product

---

# 5. 低消費電力モード

---

## 第5章 目次

5.1	概要.....	73
5.1.1	特長.....	73
5.1.2	状態遷移図.....	75
5.1.3	端子構成.....	76
5.1.4	レジスタ、フラグ構成.....	76
5.2	各レジスタ、フラグの説明.....	77
5.2.1	ミセラニアスレジスタ (MIS : \$005) .....	77
5.2.2	システムクロック選択レジスタ (SSR : \$004) .....	79
5.2.3	タイマモードレジスタ A (TMA : \$00F) .....	81
5.2.4	ポートモードレジスタ 0 (PMR0 : \$008) .....	83
5.2.5	ポートモードレジスタ 1 (PMR1 : \$009) .....	84
5.2.6	エッジ検出選択レジスタ (ESR : \$006) .....	86
5.2.7	ロースピードオンフラグ (LSON : \$020,0) .....	87
5.2.8	DTON フラグ (DTON : \$020,3) .....	89
5.2.9	モジュールスタンバイレジスタ 1 (MSR1 : \$00D) .....	89
5.2.10	モジュールスタンバイレジスタ 2 (MSR2 : \$00E) .....	90
5.3	スタンバイモード.....	91
5.3.1	スタンバイモードへの遷移方法.....	91
5.3.2	スタンバイモードの解除方法 .....	91
	(1) $\overline{\text{RESET}}$ 端子入力による解除 .....	91
	(2) 割り込みによる解除.....	91
5.4	ストップモード.....	93
5.4.1	ストップモードへの遷移方法 .....	93
5.4.2	ストップモードの解除方法.....	93
	(1) $\overline{\text{RESET}}$ 端子入力による解除 .....	93
	(2) $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$ 端子入力による解除 .....	93
5.4.3	ストップモード解除後の発振安定時間.....	94

## 5. 低消費電力モード

---

	(1) $\overline{\text{RESET}}$ 端子入力による解除 .....	94
	(2) $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$ 端子入力による解除 .....	94
5.5	ウォッチモード .....	95
5.5.1	ウォッチモードへの遷移方法 .....	95
5.5.2	ウォッチモードの解除方法 .....	95
	(1) $\overline{\text{RESET}}$ 端子入力による解除 .....	95
	(2) $\overline{\text{INT}}_0$ 、 $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$ 、またはタイマ A 割り込みによる解除 .....	95
5.5.3	ウォッチモード解除後の動作タイミング .....	96
5.6	サブアクティブモード .....	98
5.6.1	サブアクティブモードへの遷移方法 .....	98
5.6.2	サブアクティブモードの解除方法 .....	98
5.6.3	ダイレクト遷移時 (サブアクティブモードからアクティブモード) の 動作タイミング .....	99
5.7	モジュールスタンバイ機能 .....	100
5.7.1	モジュールスタンバイ機能 .....	100
5.7.2	使用上の注意 .....	100
5.8	割り込みフレーム .....	101
5.9	低消費電力モード動作シーケンス .....	102
5.10	使用上の注意 .....	103
5.10.1	割り込みフレーム .....	103
5.10.2	$\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$ 端子機能 .....	104

## 5.1 概要

### 5.1.1 特長

HD404889 シリーズは、次の4種類の低消費電力モードをサポートしています。

- (1) スタンバイモード
- (2) ストップモード
- (3) ウォッチモード
- (4) サブアクティブモード

各モードの遷移/解除方法とクロックの状態を表5.1に、CPUや内蔵周辺モジュールの内部状態を表5.2に示します。

表5.1 動作モードとクロック状態

モード名	起動方法	解除方法	状態	
			システム クロック 発振器	サブシステム クロック 発振器
スタンバイ モード	アクティブモードからの SBY 命令	<ul style="list-style-type: none"> <li>・ <math>\overline{\text{RESET}}</math> 端子入力</li> <li>・ 割り込み要求</li> </ul>	発振	発振
ストップ モード	アクティブモードからの STOP 命令 (TMA3=0) サブアクティブモードからの STOP/SBY 命令 (TMA3=0, LSON =0, DTON=0)	<ul style="list-style-type: none"> <li>・ <math>\overline{\text{RESET}}</math> 端子入力</li> <li>・ ストップモードにお ける <math>\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3</math> 端子 への立ち下がりエッジ 入力</li> </ul>	停止	*
ウォッチ モード	アクティブモードからの STOP 命令 (TMA3=1) サブアクティブモードからの STOP/SBY 命令 (TMA3=1 で LSON=1 または LSON=0 かつ DTON=0)	<ul style="list-style-type: none"> <li>・ <math>\overline{\text{RESET}}</math> 端子入力</li> <li>・ LSON=0 時のタイマ A、<math>\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3</math>、また は <math>\overline{\text{INT}}_0</math> 割り込み要求</li> </ul>	停止	発振
サブアクティブ モード	LSON=1 の時のウォッチモード からのタイマ A、 $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$ 、ま たは $\overline{\text{INT}}_0$ 割り込み要求	<ul style="list-style-type: none"> <li>・ <math>\overline{\text{RESET}}</math> 端子入力</li> <li>・ STOP / SBY 命令 (TMA3=1、LSON=1、 または LSON=0 かつ DTON=0)</li> <li>・ STOP / SBY 命令 (TMA3=0、LSON=0、 DTON=0)</li> </ul>	停止	発振

【注】 \* システムクロック選択レジスタ (SSR) の SSR3 ビットの設定により、発振/停止の選択ができます。

表 5.2 低消費電力モードの動作

機能	ストップモード	ウォッチモード	スタンバイモード	サブアクティブモード
CPU	保持	保持	保持	
RAM	保持	保持	保持	
タイマ A	リセット			
タイマ B	停止	停止		
タイマ C	停止	停止		
タイマ D	停止	停止		
シリアル インタフェース	停止* <sup>1</sup>	停止* <sup>1</sup>		
A/D コンバータ	停止	停止		停止
液晶表示回路	停止	* <sup>2</sup>		
I/O ポート	保持	保持	保持	

【注】  は動作。

\*1 外部クロックモードでクロックが入力された場合、送信または受信動作を行います。  
ただし、割り込み動作は停止します。

\*2 32.768kHz クロックソース使用時に動作します。



### 5.1.2 状態遷移図

低消費電力モードの状態遷移図を図5.1に示します。

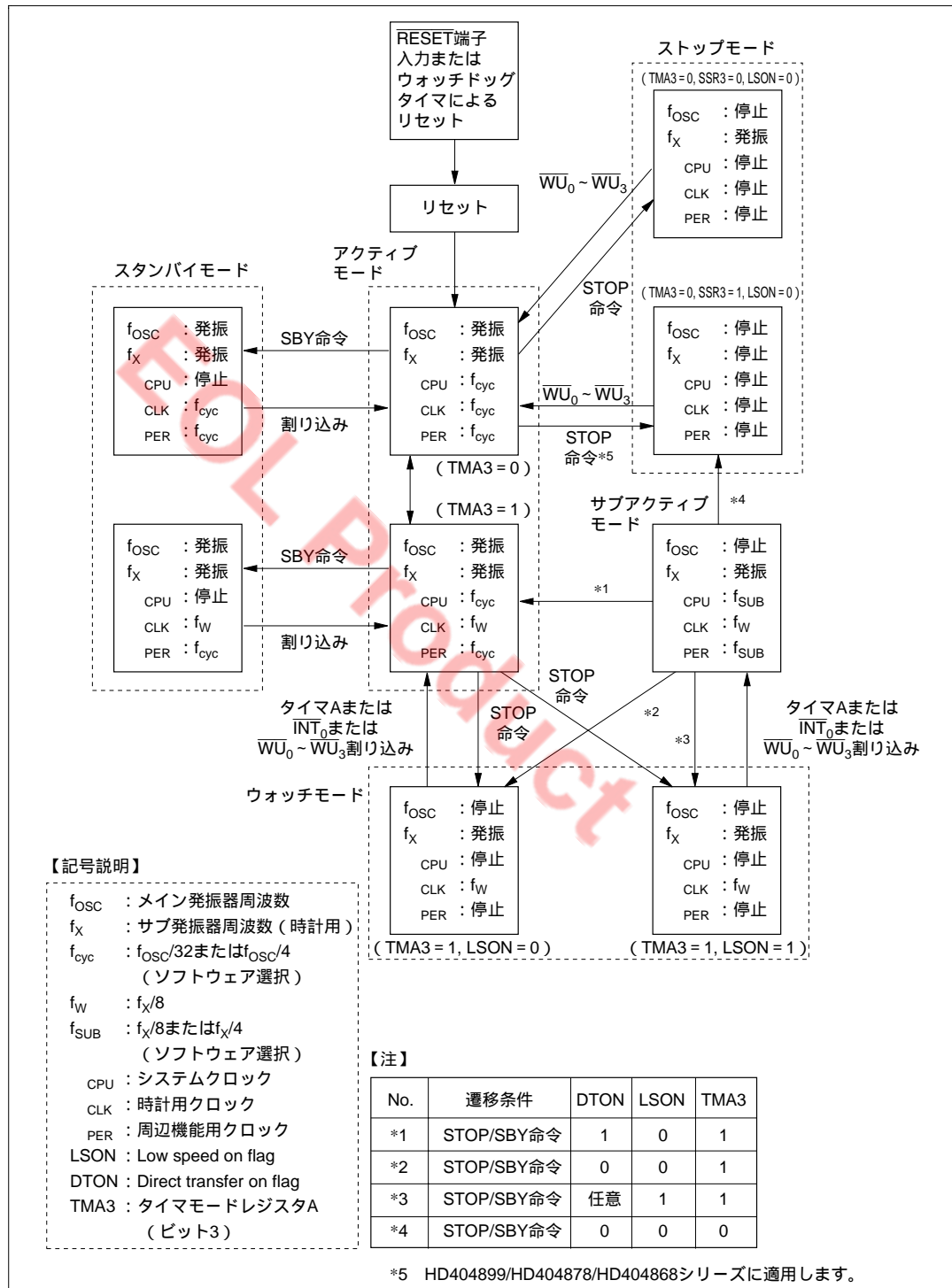


図 5.1 状態遷移図

## 5.1.3 端子構成

低消費電力モードを制御する端子構成を表 5.3 に示します。

表 5.3 端子構成

名称	記号	入出力	機能
ストップモード解除	$\overline{WU}_0 \sim \overline{WU}_3$	入力	ストップモード解除
外部割り込み	$\overline{INT}_0, \overline{WU}_0 \sim \overline{WU}_3$	入力	ウォッチモード解除、スタンバイモード解除
	$INT_1$	入力	スタンバイモード解除

## 5.1.4 レジスタ、フラグ構成

低消費電力モードを制御するレジスタ、フラグ構成を表 5.4 に示します。

表 5.4 レジスタ、フラグ構成

アドレス	名称	略称	R/W	初期値
\$005	ミセラニアスレジスタ	MIS	W	0-00
\$004	システムクロック選択レジスタ	SSR	W	\$0
\$00F	タイマモードレジスタ A	TMA	W	\$0
\$008	ポートモードレジスタ 0	PMR0	W	--00
\$009	ポートモードレジスタ 1	PMR1	W	\$0
\$020,0	ロースピードオンフラグ	LSON	R/W	0
\$020,3	DTON フラグ	DTON	R/W	0
\$006	エッジ検出選択レジスタ	ESR	W	--00
\$00D	モジュールスタンバイレジスタ 1	MSR1	W	-000
\$00E	モジュールスタンバイレジスタ 2	MSR2	W	--00

【注】 レジスタフラグエリアの制御ビットは、RAM ビット操作命令のみ使用可能です。詳細は、「第 2 章 メモリマップ」を参照してください。

## 5.2 各レジスタ、フラグの説明

### 5.2.1 ミセラニアスレジスタ (MIS : \$005)

MIS は、3 ビットの書き込み専用レジスタで、ポートのプルアップ MOS のオン / オフ、およびウォッチモード、サブアクティブモード時の割り込みフレーム周期とモード解除時の発振安定時間を設定します。

リセット時に、MIS は 0-00 にイニシャライズされます。

ここでは、MIS1、MIS0 ビットについて説明します。MIS3 ビットについては、「6.1.2 (3) ミセラニアスレジスタ (MIS)」を参照してください。

ビット :	3	2	1	0
	MIS3	MIS2*2	MIS1	MIS0
初期値 :	0	0	0	0
R/W :	W	W	W	W

割り込みフレーム周期および発振安定時間設定

MIS1	MIS0	割り込みフレーム周期 T (ms)	発振安定時間 $t_{RC}$ (ms)	発振回路条件
0	0	0.24414	0.12207 (0.24414) *1	外部クロック入力
	1	3.90625	7.8125	セラミック発振子
1	0	3.90625	31.25	水晶発振子
	1		使用禁止	—————

プルアップMOS制御

【注】\*1 ( ) 内はダイレクト遷移時の値です。

\*2 ビット2は "0" を設定してください。

ビット1、0：割り込みフレーム周期および発振安定時間設定（MIS1、MIS0）

低消費電力モード（ウォッチモード、サブアクティブモード）時の割り込みフレーム周期と低消費電力モード解除時の発振安定時間を設定します。MIS1、MIS0 ビットによる発振安定時間の設定は、AC 特性で規定されるシステムクロック発振子の発振安定時間( $t_{RC}$ ) 以上になるようにしてください。

MIS1	MIS0	割り込みフレーム周期 (T) * <sup>1</sup>	発振安定時間 ( $t_{RC}$ ) * <sup>1</sup>	発振回路条件
0	0	0.24414ms	0.12207ms(0.24414ms) * <sup>2</sup>	外部クロック入力
	1	3.90625ms	7.8125ms	セラミック発振子接続
1	0	3.90625ms	31.25ms	水晶発振子接続
	1	使用禁止		-

【注】 \*1 T、 $t_{RC}$  の値は、X1、X2 端子に 32.768kHz の水晶発振子を接続したときの値です。

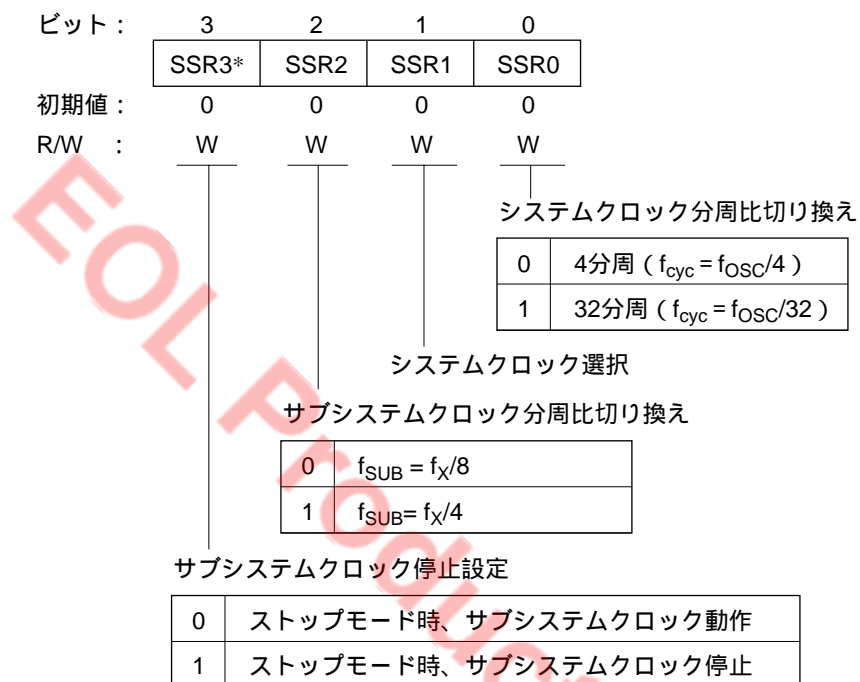
\*2 サブアクティブモードからアクティブモードへダイレクト遷移させる場合のみ、( ) 内の値となります。

## 5.2.2 システムクロック選択レジスタ (SSR : \$004)

SSRは、4ビットの書き込み専用レジスタで、システムクロック分周比の選択、使用するシステムクロック発振子周波数 ( $f_{OSC}$ ) の登録、サブシステムクロック周波数 ( $f_{SUB}$ ) の分周比の設定、およびストップモード時のサブシステムクロック発振の設定を行います。

リセット時に、SSRは\$0にイニシャライズされます。

ここでは、SSR3、SSR2、およびSSR0ビットについて説明します。SSR1ビットについては、「7.2.1 システムクロック選択レジスタ (SSR)」を参照してください。



【注】\* サブシステムクロックを使用しない場合は、ビット3を必ず"1"に設定してください。

### ビット3 : サブシステムクロック停止設定 (SSR3)

ストップモード時に、サブシステムクロック (32.768kHz 発振器) を動作させるか停止させるかを選択します。尚、サブシステムクロックを使用しない場合は必ず"1"に設定してください。

SSR3	説明
0	ストップモード時、サブシステムクロックは動作します。 (初期値)
1	ストップモード時、サブシステムクロックは停止します。

## ビット2：サブシステムクロック分周比切り換え（SSR2）

サブアクティブモード時に CPU および内蔵周辺モジュールに供給されるサブシステムクロックの分周比を設定します。ただし、プリスケアラ W (PSW) に供給されるサブシステムクロックの分周比は、 $f_w = f_x / 8$  に固定されています。

SSR2	説 明
0	$f_{SUB}$ は、サブシステムクロック発振子周波数 $f_x$ の $1/8$ ( $f_{SUB} = f_x / 8$ ) CPU の 1 インストラクションサイクルは、 $244.14 \mu s$ ( $f_x = 32.768kHz$ 時) (初期値)
1	$f_{SUB}$ は、サブシステムクロック発振子周波数 $f_x$ の $1/4$ ( $f_{SUB} = f_x / 4$ ) CPU の 1 インストラクションサイクルは、 $122.07 \mu s$ ( $f_x = 32.768kHz$ 時)

## ビット0：システムクロック分周比切り換え（SSR0）

アクティブモードおよびスタンバイモード時のシステムクロックの分周比を設定します。

システムクロックの分周比の切り換え方法は、「7.2.3 システムクロック切り換え方法」を参照してください。

SSR0	説 明
0	$f_{cyc}$ は、システムクロック発振子周波数 $f_{OSC}$ の $1/4$ ( $f_{cyc} = f_{OSC} / 4$ ) CPU の 1 インストラクションサイクルは、 $1 \mu s$ ( $f_{OSC} = 4.0MHz$ 時) (初期値)
1	$f_{cyc}$ は、システムクロック発振子周波数 $f_{OSC}$ の $1/32$ ( $f_{cyc} = f_{OSC} / 32$ ) CPU の 1 インストラクションサイクルは、 $8 \mu s$ ( $f_{OSC} = 4.0MHz$ 時)

### 5.2.3 タイマモードレジスタ A (TMA : \$00F)

TMA は、4ビットの書き込み専用レジスタで、タイマカウンタ A (TCA) の動作クロックの設定、タイマ A タイムベースモード時のプリスケアラ W (PSW)、TCA のクリア指定を行います。

リセット時に、TMA は\$0 にイニシャライズされます。

ここでは、TMA3 ビットについて説明します。TMA2 ~ TMA0 ビットについては、「9.2.1 タイマモードレジスタ A (TMA)」を参照してください。

ビット :	3	2	1	0
	TMA3	TMA2	TMA1	TMA0
初期値 :	0	0	0	0
R/W :	W	W	W	W

タイマAクロック選択

TMA3	TMA2	TMA1	TMA0	プリスケアラ	入力クロック周期	モード
0	0	0	0	PSS	2048 $t_{cyc}$	フリーランニングタイマ
			1	PSS	1024 $t_{cyc}$	
		1	0	PSS	512 $t_{cyc}$	
			1	PSS	128 $t_{cyc}$	
	1	0	0	PSS	32 $t_{cyc}$	
			1	PSS	8 $t_{cyc}$	
		1	0	PSS	4 $t_{cyc}$	
			1	PSS	2 $t_{cyc}$	
1	0	0	0	PSW	32 $t_{Wcyc}$	時計用タイムベース
			1	PSW	16 $t_{Wcyc}$	
		1	0	PSW	8 $t_{Wcyc}$	
			1	PSW	2 $t_{Wcyc}$	
	1	0	0	-	1 / 2 $t_{Wcyc}$	
			1	-	使用禁止	
		1	X	-	PSW、TCAクリア	

X : Don't care

## ビット3：プリスケアラ選択（TMA3）

TCAのクロックソースを設定します。PSWをクロックソースとした場合、タイマAはタイムベースモードとなり、ウォッチモード、サブアクティブモード時の割り込みフレームのタイミングを生成します。

TMA3	説 明
0	TCAのクロックソースは、PSS。タイマAは、フリーランニングタイマ動作を行います。（初期値）
1	TCAのクロックソースは、PSW。タイマAは、時計用タイムベース動作を行います。（「9.3.2 時計用タイムベース動作」参照）。

EOL Product



## 5.2.4 ポートモードレジスタ 0 (PMR0 : \$008)

PMR0は、2ビットの書き込み専用レジスタで、 $D_0$ 、 $D_1$ 端子機能切り換えを行います。  
リセット時に、PMR0は00にイニシャライズされます。

ビット :	3	2	1	0
	-	-	PMR01	PMR00
初期値 :	-	-	0	0
R/W :	-	-	W	W

D <sub>0</sub> / $\overline{INT}_0$ 端子機能切り換え	<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="text-align: center; width: 20px;">0</td> <td>D<sub>0</sub>入出力端子</td> </tr> <tr> <td style="text-align: center;">1</td> <td><math>\overline{INT}_0</math>入力端子</td> </tr> </table>	0	D <sub>0</sub> 入出力端子	1	$\overline{INT}_0$ 入力端子
0	D <sub>0</sub> 入出力端子				
1	$\overline{INT}_0$ 入力端子				

D <sub>1</sub> / $\overline{INT}_1$ 端子機能切り換え	<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="text-align: center; width: 20px;">0</td> <td>D<sub>1</sub>入出力端子</td> </tr> <tr> <td style="text-align: center;">1</td> <td><math>\overline{INT}_1</math>入力端子</td> </tr> </table>	0	D <sub>1</sub> 入出力端子	1	$\overline{INT}_1$ 入力端子
0	D <sub>1</sub> 入出力端子				
1	$\overline{INT}_1$ 入力端子				

ビット1 :  $D_1/\overline{INT}_1$ 端子機能切り換え (PMR01)

$D_1/\overline{INT}_1$ 端子を  $D_1$ 入出力端子として使用するか、 $\overline{INT}_1$ 入力端子として使用するかを選択します。

PMR01	説 明	
0	$D_1/\overline{INT}_1$ 端子は、 $D_1$ 入出力端子として機能します。	(初期値)
1	$D_1/\overline{INT}_1$ 端子は、 $\overline{INT}_1$ 入力端子として機能します。	

ビット0 :  $D_0/\overline{INT}_0$ 端子機能切り換え (PMR00)

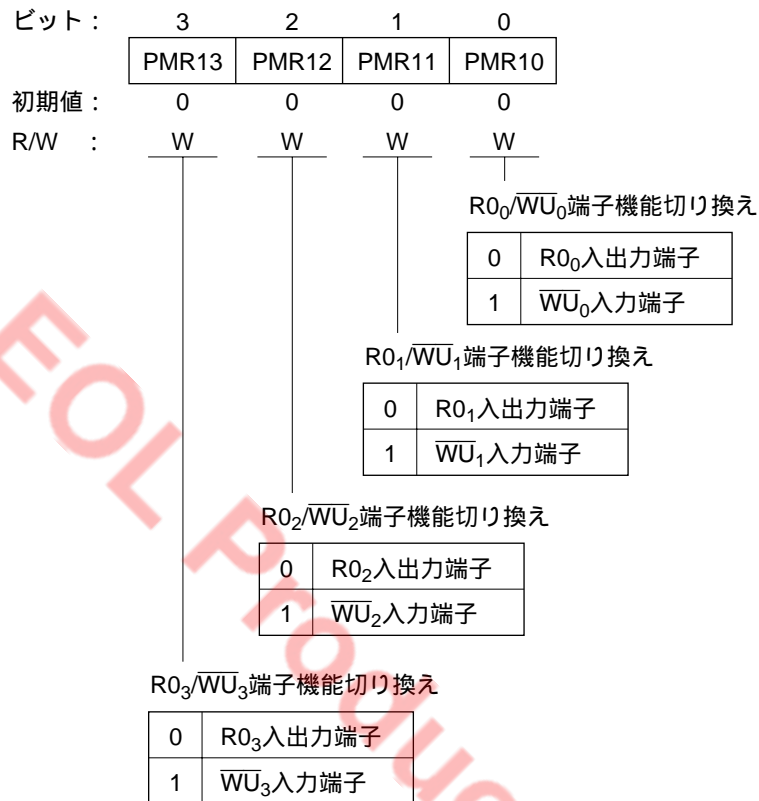
$D_0/\overline{INT}_0$ 端子を  $D_0$ 入出力端子として使用するか、 $\overline{INT}_0$ 入力端子として使用するかを選択します。

PMR00	説 明	
0	$D_0/\overline{INT}_0$ 端子は、 $D_0$ 入出力端子として機能します。	(初期値)
1	$D_0/\overline{INT}_0$ 端子は、 $\overline{INT}_0$ 入力端子として機能します。	

## 5.2.5 ポートモードレジスタ 1 (PMR1 : \$009)

PMR1 は、4 ビットの書き込み専用レジスタで、R0 ポートの端子機能切り換えを行います。

リセット時に、PMR1 は\$0 にイニシャライズされます。



ビット 3 : R0<sub>3</sub>/ $\overline{WU}_3$ 端子機能切り換え (PMR13)

R0<sub>3</sub>/ $\overline{WU}_3$ 端子を R0<sub>3</sub>入出力端子として使用するか、 $\overline{WU}_3$ 入力端子として使用するかを選択します。

PMR13	説明
0	R0 <sub>3</sub> / $\overline{WU}_3$ 端子は、R0 <sub>3</sub> 入出力端子として機能します。 (初期値)
1	R0 <sub>3</sub> / $\overline{WU}_3$ 端子は、 $\overline{WU}_3$ 入力端子として機能します。

ビット2 :  $R0_2/\overline{WU}_2$  端子機能切り換え (PMR12)

$R0_2/\overline{WU}_2$  端子を  $R0_2$  入出力端子として使用するか、 $\overline{WU}_2$  入力端子として使用するかを選択します。

PMR12	説 明
0	$R0_2/\overline{WU}_2$ 端子は、 $R0_2$ 入出力端子として機能します。 (初期値)
1	$R0_2/\overline{WU}_2$ 端子は、 $\overline{WU}_2$ 入力端子として機能します。

ビット1 :  $R0_1/\overline{WU}_1$  端子機能切り換え (PMR11)

$R0_1/\overline{WU}_1$  端子を  $R0_1$  入出力端子として使用するか、 $\overline{WU}_1$  入力端子として使用するかを選択します。

PMR11	説 明
0	$R0_1/\overline{WU}_1$ 端子は、 $R0_1$ 入出力端子として機能します。 (初期値)
1	$R0_1/\overline{WU}_1$ 端子は、 $\overline{WU}_1$ 入力端子として機能します。

ビット0 :  $R0_0/\overline{WU}_0$  端子機能切り換え (PMR10)

$R0_0/\overline{WU}_0$  端子を  $R0_0$  入出力端子として使用するか、 $\overline{WU}_0$  入力端子として使用するかを選択します。

PMR10	説 明
0	$R0_0/\overline{WU}_0$ 端子は、 $R0_0$ 入出力端子として機能します。 (初期値)
1	$R0_0/\overline{WU}_0$ 端子は、 $\overline{WU}_0$ 入力端子として機能します。

## 5.2.6 エッジ検出選択レジスタ ( ESR : \$006 )

ESR は、2 ビットの書き込み専用レジスタで、INT<sub>1</sub> 端子入力の検出エッジを選択します。  
リセット時に、ESR は 00 にイニシャライズされます。

ビット :	3	2	1	0
	-	-	ESR1	ESR0
初期値 :	-	-	0	0
R/W :	-	-	W	W

INT<sub>1</sub> 端子検出エッジ選択

ESR1	ESR0	INT <sub>1</sub> 端子検出エッジ
0	0	検出しない
	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
	1	立ち下がり / 立ち上がり両エッジ検出

ビット 1、0 : INT<sub>1</sub> 端子検出エッジ選択 ( ESR1、ESR0 )

ESR1	ESR0	説明
0	0	INT <sub>1</sub> 端子入力のエッジを検出しません。 ( 初期値 )
	1	INT <sub>1</sub> 端子入力の立ち下がりエッジ ( $\downarrow$ ) で割り込み要求を発生します。
1	0	INT <sub>1</sub> 端子入力の立ち上がりエッジ ( $\uparrow$ ) で割り込み要求を発生します。
	1	INT <sub>1</sub> 端子入力の立ち下がり / 立ち上がり両エッジ ( $\downarrow$ $\uparrow$ ) で割り込み要求を発生します。

## 5.2.7 ロースピードオンフラグ (LSON : \$020,0)

LSON は、動作モード遷移に伴い、CPU およびタイマ A 以外の内蔵周辺モジュールの動作クロックをシステムクロック ( $f_{CPU} = f_{PER} = f_{cyc}$ ) とするか、サブシステムクロック ( $f_{CPU} = f_{PER} = f_{SUB}$ ) とするかを選択します。

本ビットは、ウォッチモード、サブアクティブモードの遷移 / 解除に使用され、DTON フラグ (DTON)、TMA の TMA3 ビット、STOP 命令、SBY 命令、およびタイマ A 時計用タイムベース動作時の  $\overline{INT}_0$  割り込み、 $\overline{WU}_0 \sim \overline{WU}_3$  割り込み、タイマ A 割り込みとの組み合わせで機能します。動作モード遷移を起動する命令の実行、割り込み発生時以外は、本ビットの設定は動作に影響しません。

リセット時に、本フラグは 0 にクリアされます。

LSON	説明
0	タイマ A 以外の内蔵周辺モジュール、および CPU の動作クロックをシステムクロックとします。 (初期値)
1	タイマ A 以外の内蔵周辺モジュール、および CPU の動作クロックをサブシステムクロックとします。

図 5.2 に LSON、DTON が関係する動作モード遷移を示します。

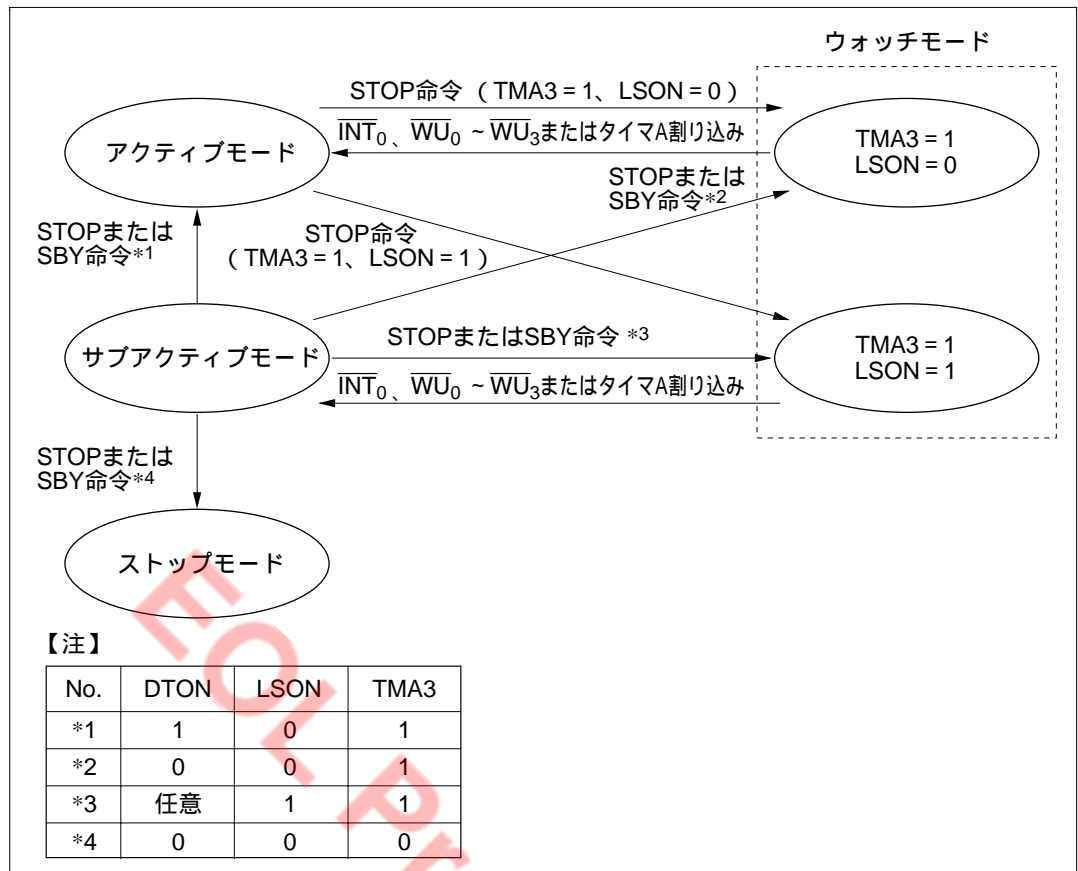


図 5.2 LSON、DTON とモード遷移

LSON は、書き込みと同時に有効となりますが、読み出し値が有効となるのは、状態遷移後です。一例を図 5.3 に示します。

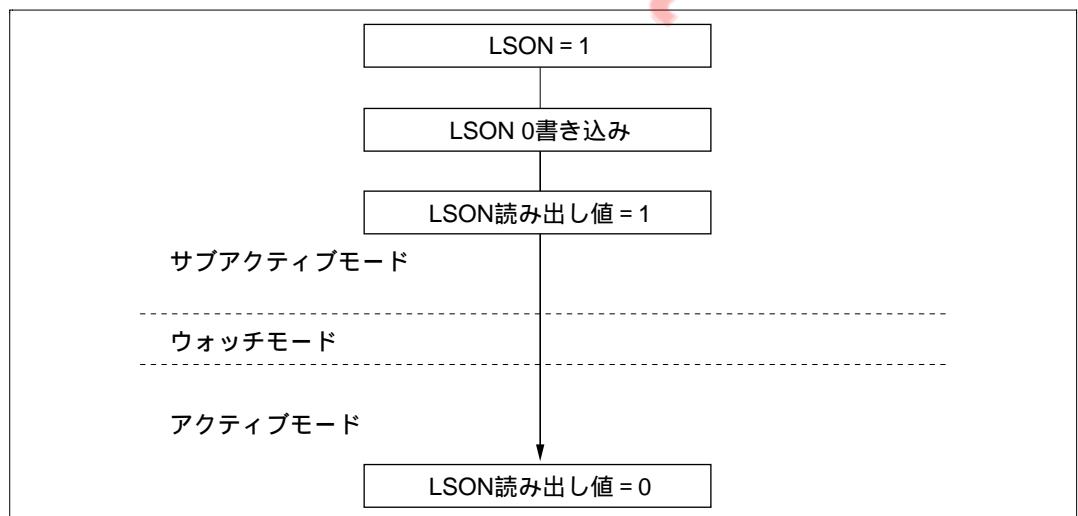


図 5.3 LSON 読み出しシーケンスの例

## 5.2.8 DTON フラグ (DTON : \$020,3)

DTON は、サブアクティブモードからアクティブモードへのダイレクト遷移を制御します。

本フラグは、サブアクティブモードにおいてのみ1にセットできます。

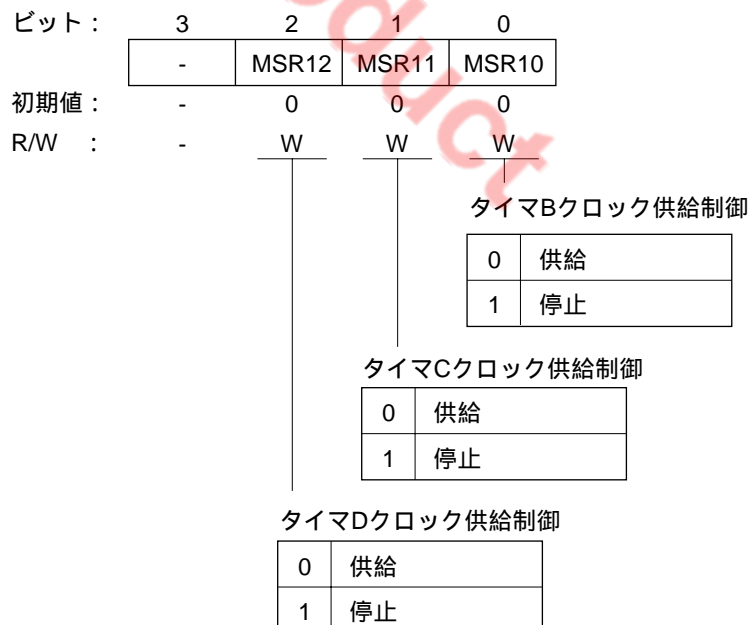
リセット時およびアクティブモード時に、本フラグは0にクリアされます。

DTON	説明
0	サブアクティブモード時、STOP または SBY 命令を実行すると、ウォッチモード、またはストップモードに遷移します。 (初期値)
1	サブアクティブモード時、LSON=0 の状態で STOP または SBY 命令を実行すると、アクティブモードにダイレクト遷移 (LSON=1 のときは、ウォッチモードに遷移) します。

## 5.2.9 モジュールスタンバイレジスタ 1 (MSR1 : \$00D)

MSR1 は3ビットの書き込み専用レジスタで、タイマB、タイマC、タイマDへのシステムクロックの供給/停止を設定します。モジュールスタンバイ中は、モードレジスタの設定値は保持されます。

リセット時に、MSR1 は000 にイニシャライズされます。



詳細は、「10.2.7」、「11.2.7」、「12.2.7」の「モジュールスタンバイレジスタ 1」を参照してください。

### 5.2.10 モジュールスタンバイレジスタ 2 (MSR2 : \$00E)

MSR2 は、2 ビットの書き込み専用レジスタで、A/D コンバータおよびシリアルインタフェースへのシステムクロックの供給 / 停止を設定します。モジュールスタンバイ中は、モードレジスタの設定値は保持されます。

リセット時に、MSR2 は 00 にイニシャライズされます。

ビット :	3	2	1	0
	-	-	MSR21	MSR20
初期値 :	-	-	0	0
R/W :	-	-	W	W

シリアルクロック供給制御	
0	供給
1	停止

A/Dクロック供給制御	
0	供給
1	停止

詳細は「13.2.6」、または「14.2.4」の「モジュールスタンバイレジスタ 2」を参照してください。



## 5.3 スタンバイモード

### 5.3.1 スタンバイモードへの遷移方法

アクティブモードで、SBY 命令を実行するとスタンバイモードへ遷移します。

スタンバイモードでは、発振器は動作し続けますが、命令実行に関係したクロックが停止します。CPU は動作を停止し、レジスタ、RAM、および出力に設定された D ポート、R ポートは、スタンバイモードに入る直前の状態を保持します。また、割り込み、タイマ、シリアルインタフェースなどの内蔵周辺モジュールは、動作を継続します。

消費電力は、CPU が停止する分だけ、アクティブモードに比べて小さくなります。

### 5.3.2 スタンバイモードの解除方法

スタンバイモードの解除には、 $\overline{\text{RESET}}$  端子入力による方法と割り込みによる方法があります。

#### (1) $\overline{\text{RESET}}$ 端子入力による解除

$\overline{\text{RESET}}$  端子が Low レベルになるとリセット状態となり、スタンバイモードは解除されます。

#### (2) 割り込みによる解除

割り込みが要求されると (当該割り込みの割り込み要求フラグ (IF) = 1、割り込みマスク (IM) = 0) スタンバイモードは解除され、アクティブモードに遷移します。遷移後、SBY 命令の次の 1 命令を実行した後、割り込み許可フラグ (IE) が 1 の場合には、当該割り込み例外処理が行われます。また、IE が 0 の場合には、割り込みは保留され、直前の命令系列の実行が続けられます。

図 5.4 に低消費電力モード解除のフローチャートを示します。

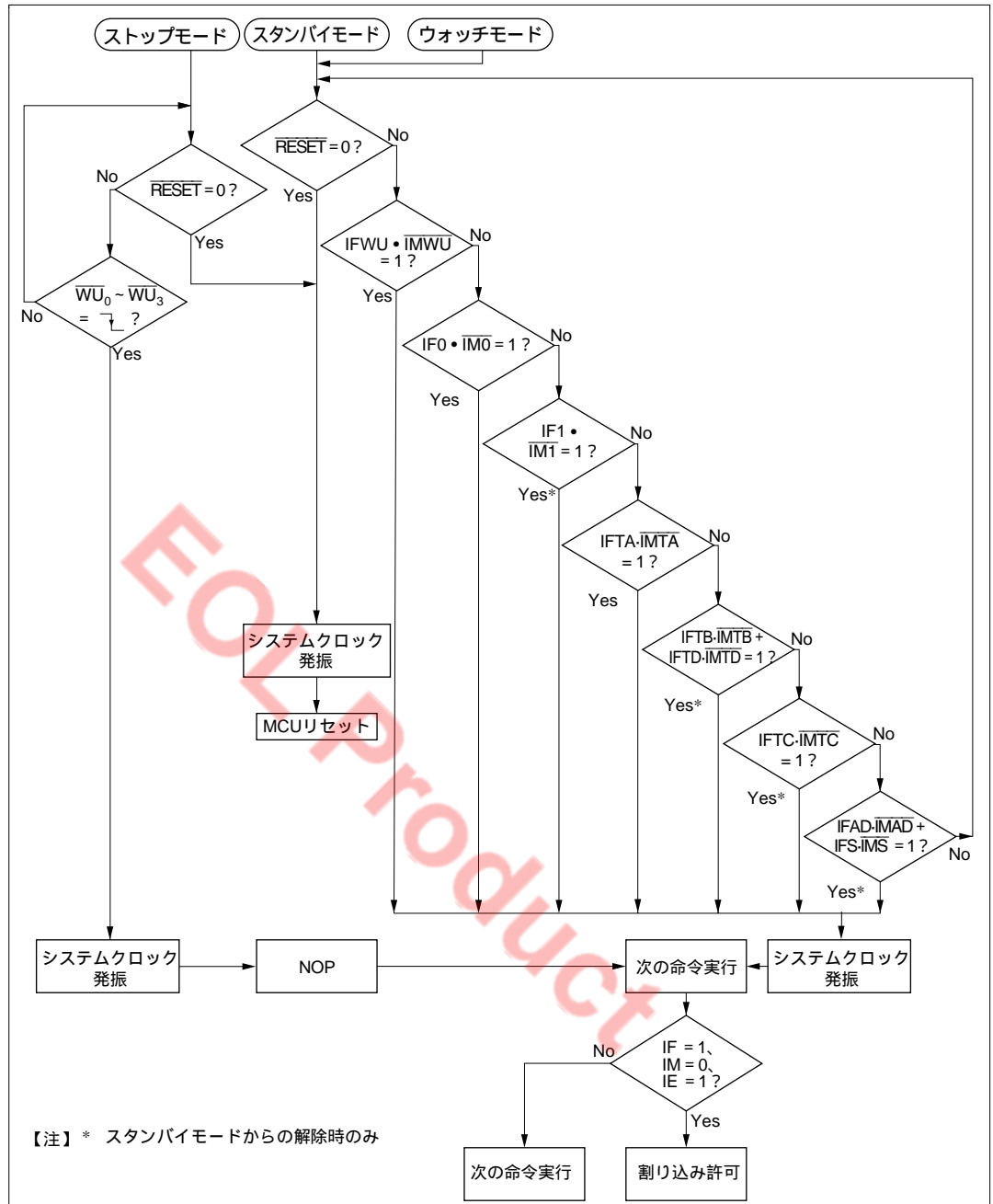


図 5.4 低消費電力モード解除のフローチャート

## 5.4 ストップモード

### 5.4.1 ストップモードへの遷移方法

アクティブモードにおいて、TMAのTMA3=0にクリアした状態でSTOP命令を実行するか、サブアクティブモードにおいてDTON=0、LSON=0、TMA3=0の状態ではSTOPまたはSBY命令を実行すると、ストップモードに遷移します。ストップモードでは、CPU、I/Oポート、RAM、周辺モジュールのレジスタの内容は保持され、内蔵周辺モジュールのすべての機能が停止します。したがって、すべての動作モードで最も消費電力が小さくなります。

ストップモードでは、システムクロックは停止します。また、サブシステムクロックは、SSRのSSR3ビットにより、動作/停止を選択できます。

### 5.4.2 ストップモードの解除方法

ストップモードの解除には、 $\overline{\text{RESET}}$ 端子入力による方法と $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$ 端子入力による方法があります。

#### (1) $\overline{\text{RESET}}$ 端子入力による解除

$\overline{\text{RESET}}$ 端子がLowレベルになるとリセット状態となり、ストップモードは解除されません。

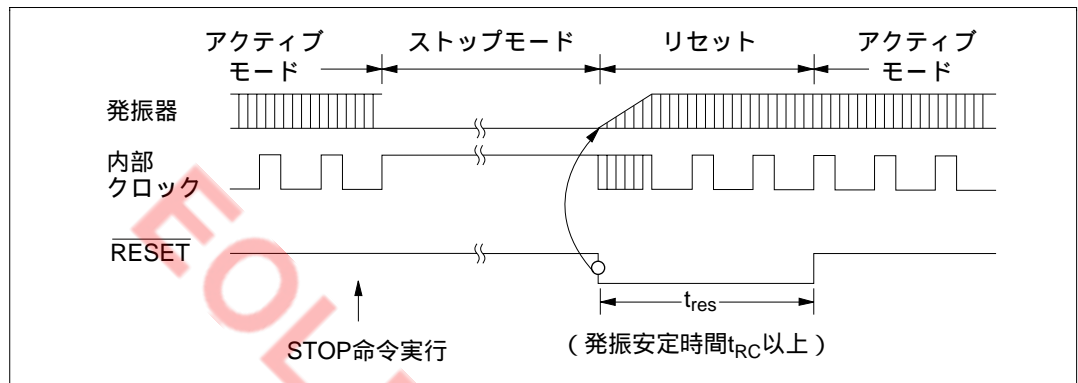
#### (2) $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$ 端子入力による解除

ストップモードにおいて $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$ 端子で立ち下がりエッジを検出すると、発振安定時間を確保してストップモードは解除されます。 $\overline{\text{RESET}}$ 端子入力とは異なり、CPU、I/Oポート、RAM、周辺モジュールのレジスタの内容は、解除後も保持されます。

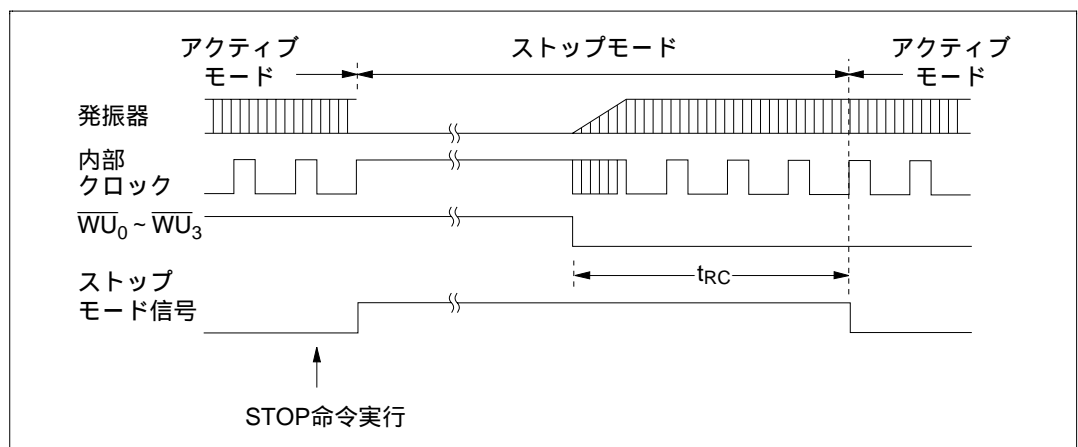
## 5.4.3 ストップモード解除後の発振安定時間

(1)  $\overline{\text{RESET}}$  端子入力による解除

$\overline{\text{RESET}}$  端子入力によるストップモード解除のタイミングチャートを図 5.5 に示します。 $\overline{\text{RESET}}$  端子入力は、発振安定時間 ( $t_{\text{RC}}$ ) 以上入力してください(「第 20 章 電気的特性」の「AC 特性」参照)。

図 5.5  $\overline{\text{RESET}}$  端子入力によるストップモードの解除タイミング(2)  $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$  端子入力による解除

$\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$  端子立ち下がりエッジ入力によるストップモード解除のタイミングチャートを図 5.6 に示します。 $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$  端子への立ち下がりエッジを検出すると、システムクロック発振器が発振を開始し、内部で発振安定時間を確保した後にアクティブモードへ遷移します。発振安定時間の設定は、使用する発振器の種類に合わせて MIS の MIS1、MIS0 ビットにより行ってください。

図 5.6  $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$  端子入力によるストップモード解除タイミング

## 5.5 ウォッチモード

### 5.5.1 ウォッチモードへの遷移方法

アクティブモードにおいて、TMA の  $TMA3 = 1$  にセットした状態で STOP 命令を実行すると、ウォッチモードに遷移します。また、サブアクティブモードにおいて、LSON を 1 にセットした状態、または DTON と LSON を 0 にクリアした状態で STOP または SBY 命令を実行すると、ウォッチモードに遷移します。

ウォッチモード時には、システムクロックは停止しますが、サブシステムクロックは動作します。

ウォッチモードでは、サブシステムクロック動作のタイマ A (時計用タイムベース動作) は動作しますが、その他の内蔵周辺モジュールは停止します。RAM および出力設定された D ポート、R ポートは、ウォッチモードに入る直前の状態を保持します。ウォッチモードでは、ストップモードの次に消費電力が小さくなり、時計動作のみを行うときに便利なモードです。

### 5.5.2 ウォッチモードの解除方法

ウォッチモードの解除には、 $\overline{RESET}$  端子入力による方法と  $\overline{INT}_0$ 、 $\overline{WU}_0 \sim \overline{WU}_3$  またはタイマ A 割り込みによる方法があります。

#### (1) $\overline{RESET}$ 端子入力による解除

$\overline{RESET}$  端子が Low レベルになると、リセット状態となり、ウォッチモードは解除されます。

#### (2) $\overline{INT}_0$ 、 $\overline{WU}_0 \sim \overline{WU}_3$ 、またはタイマ A 割り込みによる解除

$\overline{INT}_0$ 、 $\overline{WU}_0 \sim \overline{WU}_3$ 、またはタイマ A 割り込みが要求されると (当該割り込みの  $IF = 1$  かつ  $IM = 0$ )、ウォッチモードは解除されます。このとき、LSON が 0 ならばアクティブモードに遷移し、LSON が 1 ならばサブアクティブモードに遷移します。

遷移後、STOP または SBY 命令の次の 1 命令を実行した後、IE が 1 の場合には、当該の割り込み例外処理が行われます。また、IE が 0 の場合には、割り込みは保留され、直前の命令系列の実行が続けられます (図 5.4 参照)。

### 5.5.3 ウォッチモード解除後の動作タイミング

$\overline{INT}_0$ 、 $\overline{WU}_0 \sim \overline{WU}_3$ 、またはタイマ A 割り込みにより、ウォッチモードが解除され、アクティブモードに遷移するときの動作タイミングを図 5.7 に示します。 $\overline{INT}_0$ 、 $\overline{WU}_0 \sim \overline{WU}_3$ 、またはタイマ A 割り込みは、MIS の MIS1、MIS0 ビットにより設定された  $T$  に同期して検出されます。続いて、タイマ A 割り込みは、割り込みストローブに対して MIS1、MIS0 ビットにより設定された  $t_{RC}$  を経過した後、割り込み例外処理が開始されます。 $\overline{INT}_0$  および  $\overline{WU}_0 \sim \overline{WU}_3$  割り込みは、MIS の設定により割り込み例外処理を開始するまでの時間が異なります。

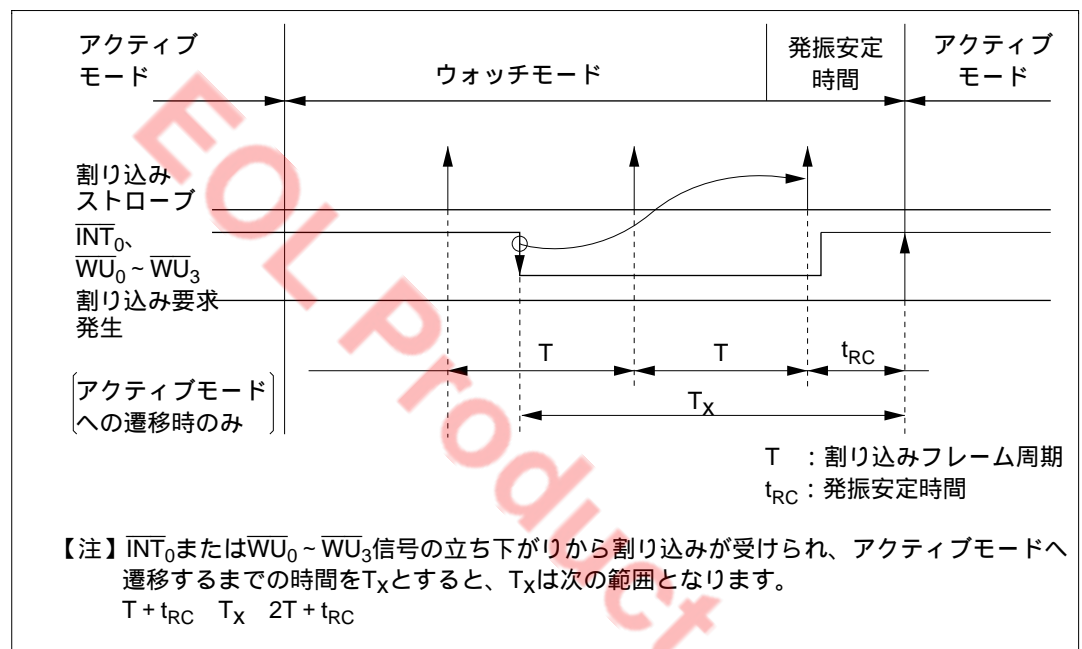


図 5.7 (1) ウォッチモードからアクティブモードへの遷移の動作タイミング  
 (外部クロック時 : MIS1、MIS0 = 00)

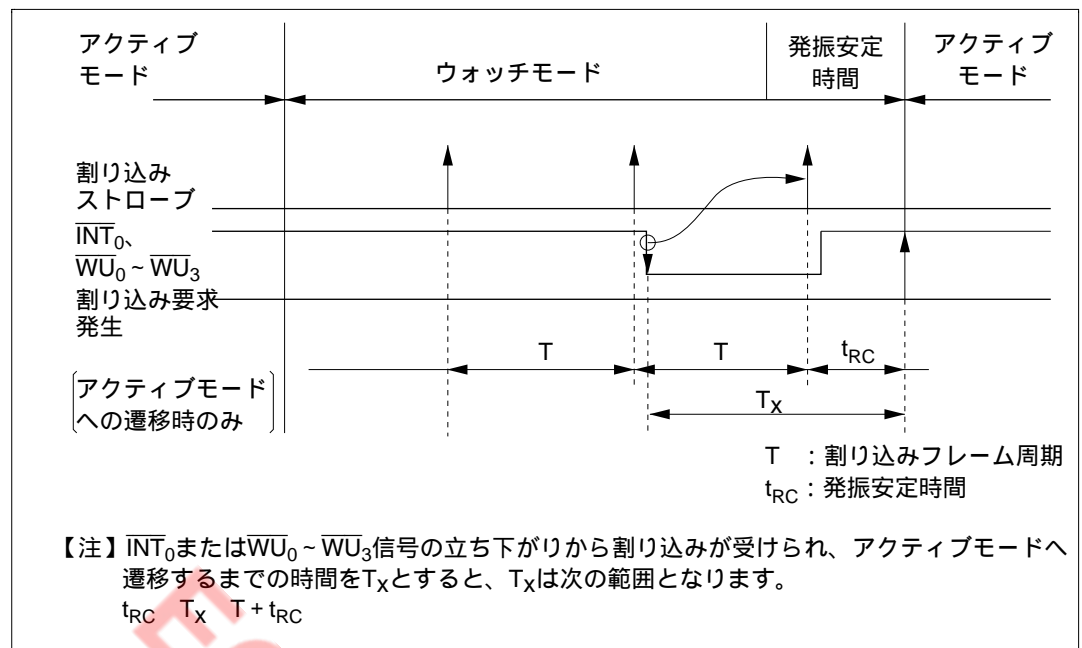


図5.7(2) ウォッチモードからアクティブモードへの遷移の動作タイミング  
 (セラミック発振子または水晶発振子使用時 : MIS1、MIS0 = 01 または 10)

## 5.6 サブアクティブモード

### 5.6.1 サブアクティブモードへの遷移方法

ウォッチモードにおいて、LSON を 1 にセットした状態で、タイマ A、 $\overline{INT}_0$  および  $\overline{WU}_0 \sim \overline{WU}_3$  割り込みが発生すると、サブアクティブモードに遷移します。

サブアクティブモードでは、システムクロックは停止し、サブシステムクロックでシステムが動作します。

A/D コンバータ以外の内蔵周辺モジュールおよび CPU が動作しますが、動作クロックが遅いため、消費電力はウォッチモードの次に小さくなります。

CPU の命令処理速度は、SSR の SSR2 ビットの設定により、 $244.14 \mu s (f_{SUB} = f_X / 8)$  または  $122.07 \mu s (f_{SUB} = f_X / 4)$  の 2 通りの選択ができます。ただし、SSR2 ビットの設定は、アクティブモード時に行ってください。サブアクティブモードで、SSR2 ビットを変更すると誤動作する場合があります。

### 5.6.2 サブアクティブモードの解除方法

サブアクティブモードを解除するには、STOP または SBY 命令を実行します。このとき、LSON、DTON、および TMA3 ビットによって、図 5.2 に示すようにアクティブモード、ウォッチモード、またはストップモードに遷移します。



### 5.6.3 ダイレクト遷移時（サブアクティブモードからアクティブモード）の動作タイミング

DTON と LSON を制御することにより、サブアクティブモードからアクティブモードにダイレクト遷移することができます。以下にその手順を示します。

- [ 1 ] サブアクティブモードにおいて、LSON = 0、かつ DTON = 1\* に設定します。
- [ 2 ] STOP 命令または SBY 命令を実行します。

上記の手順により、図 5.8 に示すように内部処理時間、および MIS の MIS1、MIS0 ビットにより設定された  $t_{RC}$  を確保した後、サブアクティブモードからアクティブモードにダイレクト遷移します。

【注】 \* DTON は、サブアクティブモードでのみ 1 にセットできます。リセット、ストップモード、アクティブモードでは、本フラグは常に 0 にクリアされます。

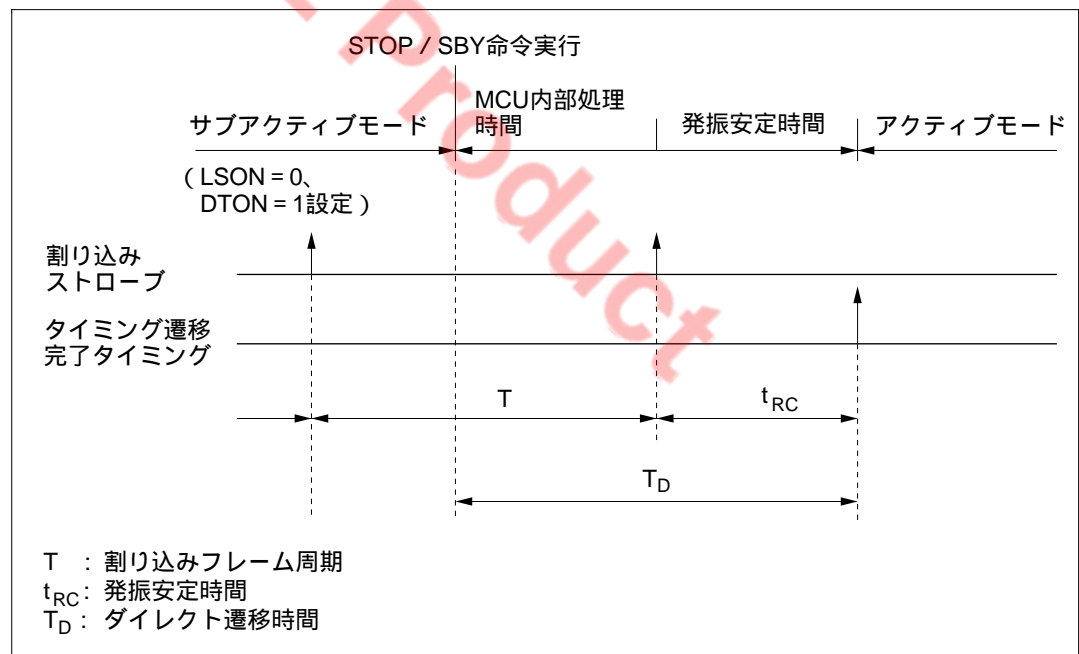


図 5.8 ダイレクト遷移タイミング

図 5.8 に示したように、サブアクティブモードからアクティブモードへの  $T_D$  は、 $t_{RC} < T_D < T + t_{RC}$  となります。

## 5.7 モジュールスタンバイ機能

### 5.7.1 モジュールスタンバイ機能

モジュールスタンバイ機能は、周辺モジュールへのシステムクロックの供給を低消費電力状態とは独立に停止させることができます。MSR1 の MSR12 ~ MSR10 ビット、または MSR2 の MSR21、MSR20 ビットを 1 にセットすることで、対応する周辺モジュール単位に設定できます。モジュールスタンバイが可能な周辺モジュールは、タイマ B、C、D、シリアルインタフェース、A/D コンバータです。

### 5.7.2 使用上の注意

- (1) A/D 変換中に MSR2 の MSR2 ビットへの 1 書き込みは行わないでください。A/D 変換が正常に行われません。
- (2) モジュールスタンバイ状態にする前に、当該モジュールの割り込みマスクをセットしてください。また、モジュールスタンバイ解除後は当該モジュールの割り込み要求フラグをクリアしてください。

## 5.8 割り込みフレーム

ウォッチモード、サブアクティブモードでは、サブシステムクロック発振を8分周したクロック ( $f_x/8$ ) が、タイマ A、 $\overline{INT}_0$  および  $\overline{WU}_0 \sim \overline{WU}_3$  割り込み受け付け回路に供給されます。PSW およびタイマ A は時計用タイムベースとして動作し、割り込みフレーム (T) のタイミングを生成します。T は、MIS の MIS1、MIS0 ビットの設定により3通りの選択が可能です。

ウォッチモード、サブアクティブモードでは、 $\overline{INT}_0$ 、 $\overline{WU}_0 \sim \overline{WU}_3$  またはタイマ A 割り込みは、割り込みフレームに同期したタイミングで発生します。割り込み例外処理は、アクティブモードへの遷移時以外、割り込みストロープのタイミングで開始されます (図 5.7、図 5.8 参照)。

EOL Product

## 5.9 低消費電力モード動作シーケンス

図 5.9 に低消費電力モード動作シーケンスを示します。IE フラグがクリアされ、かつ、割り込みフラグがセットされて当該割り込みマスクが解除された状態で、STOP / SBY 命令を実行する場合、STOP / SBY 命令はキャンセルされ (NOP とみなされ) 次の命令を実行します。このため STOP / SBY 命令実行時には、あらかじめ全ての割り込みフラグをクリアするか、割り込みをマスクしてください。

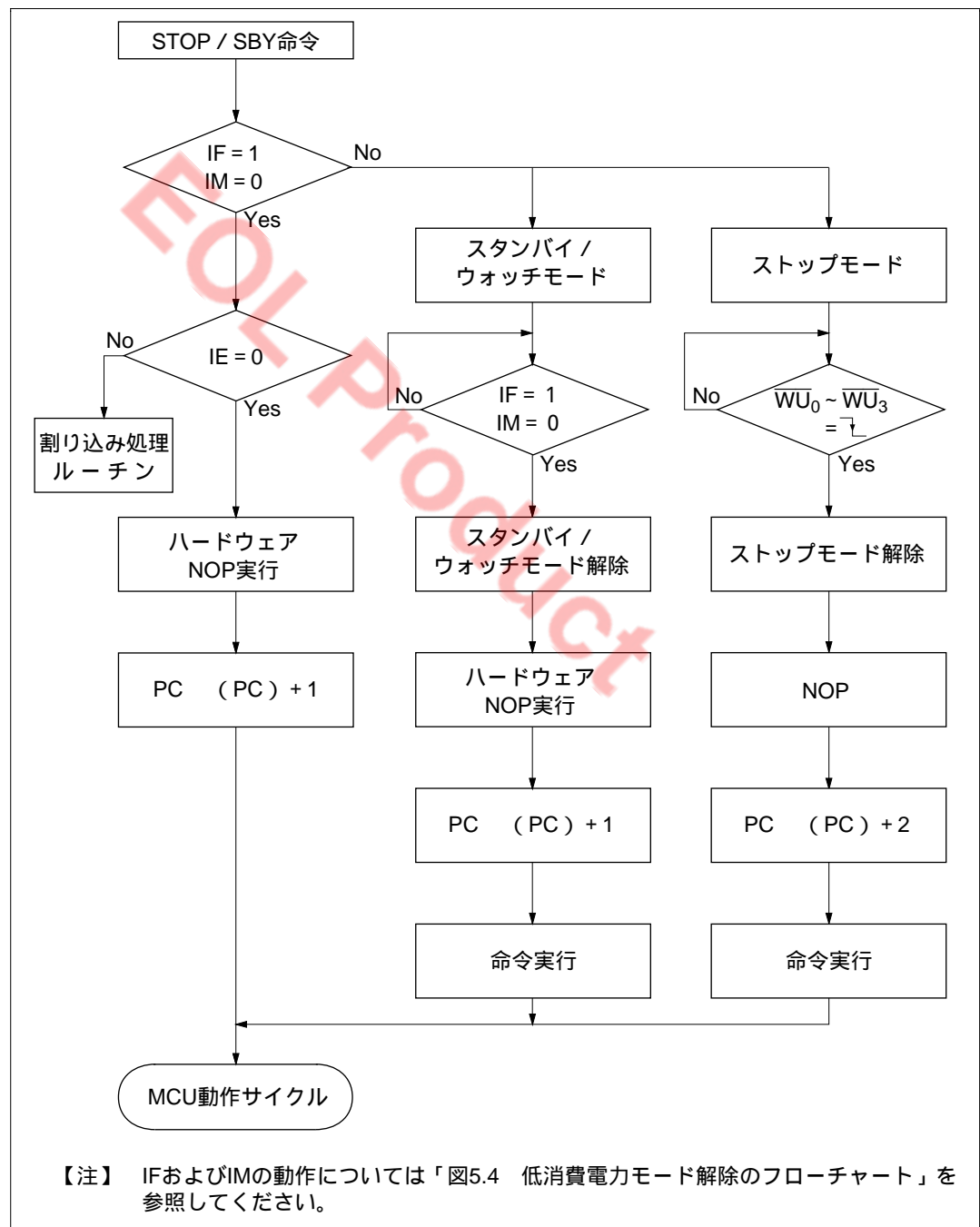


図 5.9 低消費電力モード動作シーケンス

## 5.10 使用上の注意

### 5.10.1 割り込みフレーム

ウォッチモード、サブアクティブモードにおいて、 $\overline{\text{INT}}_0$ および $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$ のHighレベルおよびLowレベル期間が、割り込みフレーム周期より小さいと割り込みが正常検出されません。

MCUのエッジセンス方法を図5.10に示します。MCUは、 $\overline{\text{INT}}_0$ および $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$ の信号を一定周期でサンプリングし、このサンプリングの値がHigh Lowと続いた場合に立ち下がりエッジが発生したと判断します。

割り込み検出エラーは、このサンプリングを割り込みフレーム周期で行っているため発生します。

図5.11 (a)のように、 $\overline{\text{INT}}_0$ または $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$ 信号のHighレベル期間が割り込みフレームの間に入ってしまうと、A点=Low、B点=Lowとなり、立ち下がりエッジと判断されません。また、図5.11 (b)のように $\overline{\text{INT}}_0$ または $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$ 信号のLowレベル期間が割り込みフレームの間に入ってしまうと、A点=High、B点=Highとなり、立ち下がりエッジと判断されません。

このため、ウォッチモード、サブアクティブモードにおいて、 $\overline{\text{INT}}_0$ および $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$ 信号のHighレベル期間、Lowレベル期間を割り込みフレーム周期以上保つようにしてください。

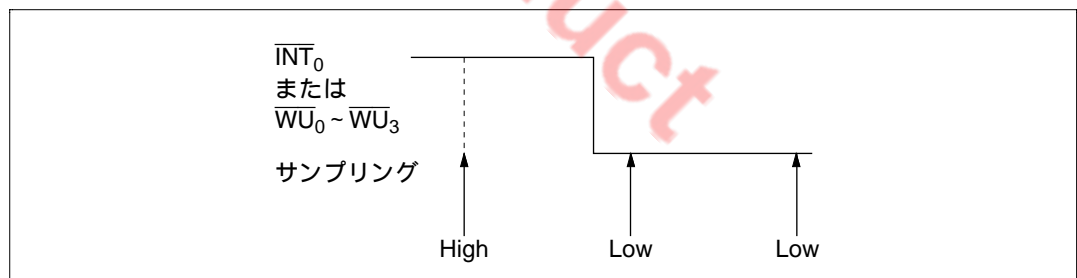


図5.10 エッジセンス方法

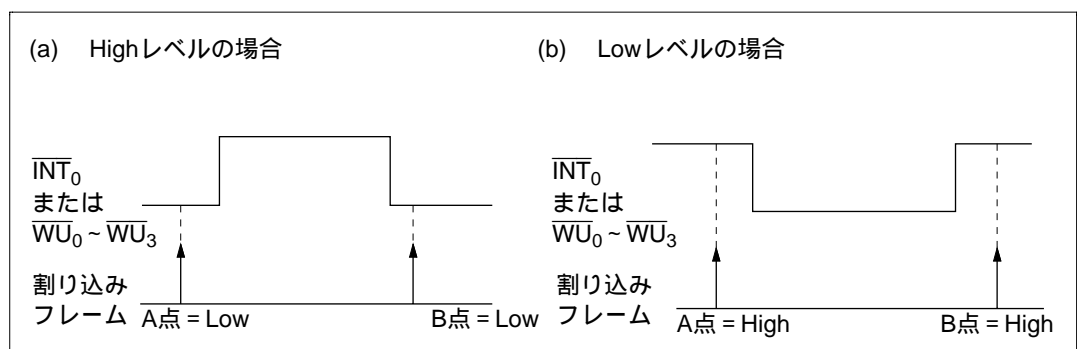


図5.11 サンプルング例

5.10.2  $\overline{WU}_0 \sim \overline{WU}_3$  端子機能

$\overline{WU}_0 \sim \overline{WU}_3$  端子への立ち下がり入力後は、動作モードにより次のように機能します。

動作モード	フラグの設定		$\overline{WU}_0 \sim \overline{WU}_3$ 端子機能	立ち下がり入力後の IFWU の値
	IE	IMWU		
ストップモード	0	0	ストップモードからアクティブモードへ遷移します。	0
		1	状態を保持します。	0
	1	0	ストップモードからアクティブモードへ遷移します。	0
		1	状態を保持します。	0
ストップモード以外のモード	0	0	状態を保持します。	1
		1	状態を保持します。	0
	1	0	ウェイクアップ割り込み要求を発生します。	1
		1	状態を保持します。	0

---

# 6. I/O ポート

---

## 第6章 目次

6.1	概要	107
6.1.1	特長	107
6.1.2	入出力制御	109
	(1) 入出力端子の回路構成	109
	(2) プルアップ MOS 制御	109
	(3) ミセラニラスレジスタ (MIS : \$005)	110
6.1.3	入出力端子の回路構成	111
6.1.4	低消費電力モード時のポートの状態	113
6.1.5	未使用端子の処理	113
6.2	D ポート	114
6.2.1	概要	114
6.2.2	レジスタの構成と説明	115
	(1) ポートデータレジスタ (PDR)	115
	(2) データコントロールレジスタ (DCD0 ~ DCD2 : \$030 ~ \$032)	116
	(3) ポートモードレジスタ 0 (PMR0 : \$008)	117
6.2.3	端子機能	118
6.3	R ポート	119
6.3.1	概要	119
6.3.2	レジスタの構成と説明	121
	(1) ポートデータレジスタ (PDR)	121
	(2) データコントロールレジスタ (DCR0 ~ DCR8 : \$034 ~ \$03C)	122
	(3) ポートモードレジスタ 1 (PMR1 : \$009)	124
	(4) ポートモードレジスタ 2 (PMR2 : \$00A)	125
	(5) ポートモードレジスタ 3 (PMR3 : \$00B)	127
	(6) ポートモードレジスタ 4 (PMR4 : \$00C)	128
	(7) A/D モードレジスタ (AMR : \$028)	130
6.3.3	端子機能	131

6.4 使用上の注意..... 137

EOL Product



## 6.1 概要

### 6.1.1 特長

HD404889 シリーズの I/O ポートの特長を以下に示します。

$D_0 \sim D_3$  の 4 本はソース大電流入出力端子です。また  $D_4 \sim D_{11}$  の 8 本は、シンク大電流入出力端子です。

入出力端子には、タイマやシリアルインタフェースなどの内蔵周辺モジュール用端子と兼用となっている端子があります。これらの端子は、DポートまたはRポートとしての入出力設定よりも、内蔵周辺モジュール用端子としての設定が優先するようになっています。

入出力端子の入力/出力の選択、および内蔵周辺モジュール用端子と兼用となっている端子のポート/内蔵周辺モジュール用端子の選択は、レジスタの設定により行います。内蔵周辺モジュール用端子のうち出力端子はすべて CMOS 出力となります。ただし、 $R2_2/SI/SO$  端子は、レジスタ設定により NMOS オープンドレイン出力にすることができます。

ストップモード時には、MCU 内部はストップモード遷移前の状態が保持されます。各入出力端子はプログラマブルプルアップ MOS を内蔵しており、レジスタ設定により端子ごとにオン/オフを制御できます。なお、プルアップ MOS のオン/オフ設定は、アナログ入力用端子を除き、内蔵周辺モジュール用端子としての設定とは独立に行うことができます。

各ポートの機能一覧を表 6.1 に示します。

表 6.1 ポートの機能

ポート	概要	端子	兼用機能	機能 切り換え用 レジスタ
D <sub>0</sub> ~ D <sub>11</sub>	・大電流入出力ポート (ディスクリートポート) D <sub>0</sub> ~ D <sub>3</sub> はソース大電流入出力端子 D <sub>4</sub> ~ D <sub>11</sub> はシンク大電流入出力端子 ・プログラマブルプルアップ MOS 付 ・SED、SEDD、RED、REDD、TD、TDD 命令によりアクセス	D <sub>0</sub> /INT <sub>0</sub>	外部割り込み入力 0	PMR0
		D <sub>1</sub> /INT <sub>1</sub>	外部割り込み入力 1	
		D <sub>2</sub> ~ D <sub>11</sub>	-	-
R0	・4ビット入出力ポート ・プログラマブルプルアップ MOS 付 ・LAR、LBR、LRA、LRB 命令により アクセス	R0 <sub>0</sub> /WJ <sub>0</sub>	ウェイクアップ入力 0	PMR1
R0 <sub>1</sub> /WJ <sub>1</sub>		ウェイクアップ入力 1		
R0 <sub>2</sub> /WJ <sub>2</sub>		ウェイクアップ入力 2		
R1		R0 <sub>3</sub> /WJ <sub>3</sub>	ウェイクアップ入力 3	PMR2
R1 <sub>0</sub> /EVNB		タイマ B イベント入力		
R1 <sub>1</sub> /EVND		タイマ D イベント入力		
R1 <sub>2</sub> /BUZZ		ブザー出力		
R2		R1 <sub>3</sub> /TOB	タイマ B 出力	PMR3
		R2 <sub>0</sub> /TOC	タイマ C 出力	
		R2 <sub>1</sub> /SCK	シリアルクロック入出力	
		R2 <sub>2</sub> /SI/SO	シリアルデータ入力 / 出力	
R2 <sub>3</sub>	-	-		
R3		R3 <sub>0</sub> /SEG1 ~	セグメント信号出力	PMR4
R3 <sub>3</sub> /SEG4		1 ~ 4		
R4		R4 <sub>0</sub> /SEG5 ~	セグメント信号出力	
R4 <sub>3</sub> /SEG8		5 ~ 8		
R5		R5 <sub>0</sub> /SEG9 ~	セグメント信号出力	
R5 <sub>3</sub> /SEG12		9 ~ 12		
R6		R6 <sub>0</sub> /SEG13 ~	セグメント信号出力	
R6 <sub>3</sub> /SEG16		13 ~ 16		
R7		R7 <sub>0</sub> /AN <sub>0</sub> ~	アナログ入力チャネル	AMR
R7 <sub>3</sub> /AN <sub>3</sub>		0 ~ 3		
R8		R8 <sub>0</sub> /AN <sub>4</sub> ~	アナログ入力チャネル	
R8 <sub>1</sub> /AN <sub>5</sub>		4 ~ 5		

## 6.1.2 入出力制御

### (1) 入出力端子の回路構成

Dポート、Rポートの各端子は、ポートデータレジスタ（PDR）とデータコントロールレジスタ（DCD、DCR）により、入出力が制御されます。各端子に対応するDCD、DCRのビットが1のとき、当該端子は出力端子となり、PDRの値を出力します。また、対応するDCD、DCRのビットが0のとき、当該端子は入力端子となります。

入出力端子の回路構成を図6.1に示します。

【注】 リセット時には、MCU内部がリセット状態となり、内蔵周辺モジュール選択が解除されます。また、入出力制御レジスタがリセットされ、入力または出力端子はハイインピーダンスとなります。ストップモード時には、ストップモード遷移前の状態を保持します。

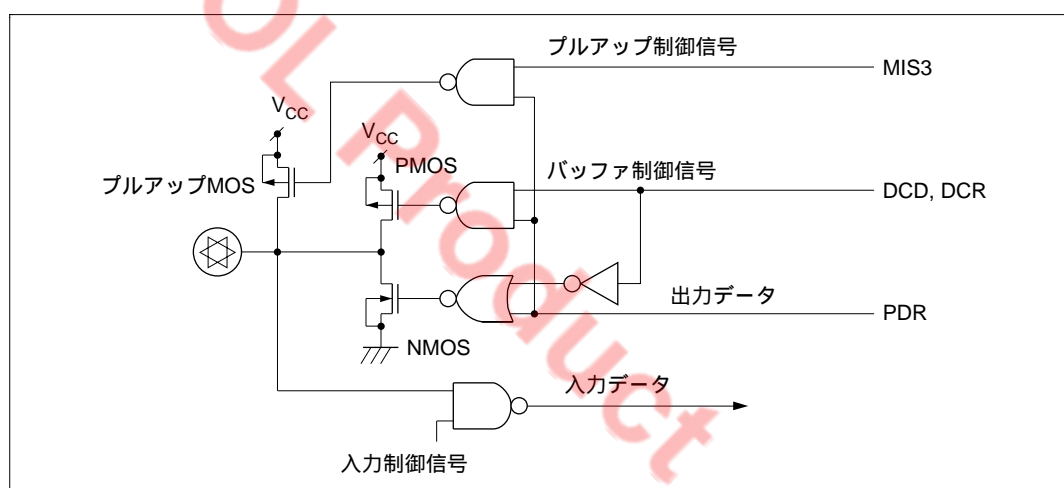


図 6.1 入出力端子の回路構成

### (2) プルアップ MOS 制御

ポートの各入出力端子は、プログラマブルプルアップMOSを内蔵しています。ミセラニアレジスタ（MIS）のMIS3ビットが1のとき、対応するPDRが1の端子のプルアップMOSがオンとなります。PDRにより各端子独立にプルアップMOSのオン/オフが制御できます。

なお、プルアップMOSのオン/オフ設定は、内蔵周辺モジュール用端子と兼用になっている端子においても、それらの設定とは独立に設定できます。

レジスタ設定によるポートの入出力制御を表6.2に示します。

表 6.2 レジスタ設定による入出力端子の制御

MIS3		0				1			
DCD、DCR		0		1		0		1	
PDR		0	1	0	1	0	1	0	1
CMOS	PMOS			ON				ON	
バッファ	NMOS	ON				ON			
プルアップ MOS						ON		ON	

【注】 1. : OFF

2. PDR は、RAM アドレス上に割り付けられていません。PDR は専用の入出力命令によりアクセスします。

### (3) ミセラニアスレジスタ (MIS : \$005)

MIS は、3 ビットの書き込み専用レジスタで、ポートのプルアップ MOS のオン / オフ、およびウォッチモード、サブアクティブモード時の割り込みフレーム周期とモード解除時の発振安定時間を設定します。

リセット時に、MIS は 0-00 にイニシャライズされます。

ビット :	3	2	1	0
	MIS3	-	MIS1	MIS0
初期値 :	0	-	0	0
R/W :	W	-	W	W

割り込みフレーム周期および発振安定時間設定

プルアップMOS制御

0	プルアップMOSはすべてオフ
1	プルアップMOSアクティブ

ここでは、MIS3 ビットについて説明します。MIS1、MIS0 ビットについては、「5.2.1 ミセラニアスレジスタ (MIS)」を参照してください。

#### ビット 3 : プルアップ MOS 制御 (MIS3)

入出力ポートの各端子が内蔵するプルアップ MOS のオン / オフを制御します。

MIS3	説明
0	プルアップ MOS は、すべてオフとなります。(初期値)
1	対応する PDR が 1 の各端子のプルアップ MOS がオンとなります。

## 6.1.3 入出力端子の回路構成

ポート、内蔵周辺モジュールの各端子の回路構成を表 6.3 に示します。

表 6.3 入力/出力端子の回路構成 (1/2)

区分	回路構成	適用端子
入出力端子		$D_0 \sim D_{11}$ $R_0 \sim R_3$ $R_{10} \sim R_{13}$ $R_{20}, R_{21}, R_{23}$ $R_{30} \sim R_{33}$ $R_{40} \sim R_{43}$ $R_{50} \sim R_{53}$ $R_{60} \sim R_{63}$ $R_{70} \sim R_{73}$ $R_{80}, R_{81}$
		$R_{22}$

【注】 リセット時は、入出力制御レジスタがリセットされることにより、入力/出力端子はハイインピーダンス状態となり、また周辺機能選択が解除されます。

表 6.3 入力/出力端子の回路構成 (2/2)

区分	回路構成	適用端子
内蔵周辺モジュール用端子	<p>入出力端子</p> <p>プルアップ制御信号 MIS3 PDR 入出力制御信号 出力データ <math>\overline{\text{SCK}}</math> 入力データ SCK</p>	$\overline{\text{SCK}}$
	<p>出力端子</p> <p>プルアップ制御信号 MIS3 PDR PMOS制御信号 SMR21 出力データ SO</p>	SO
	<p>プルアップ制御信号 MIS3 PDR 出力データ TOB, TOC, BUZZ</p>	TOB, TOC, BUZZ
	<p>入力端子</p> <p>入力データ RESET</p>	$\overline{\text{RESET}}$
	<p>MIS3 PDR <math>\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3</math> etc.</p>	SI, $\overline{\text{INT}}_0$ , INT <sub>1</sub> , $\overline{\text{WU}}_0 \sim \overline{\text{WU}}_3$ , EVNB, EVND
	<p>MIS3 PDR A/D 入力 入力制御信号</p>	AN <sub>0</sub> ~ AN <sub>5</sub>

【注】 リセット時は、入出力制御レジスタがリセットされることにより、入力/出力端子はハイインピーダンス状態となり、また周辺機能選択が解除されます。

### 6.1.4 低消費電力モード時のポートの状態

Rポートは、R<sub>23</sub>端子を除き内蔵周辺モジュール用の入力端子または出力端子との兼用端子となっています。スタンバイモード、ウォッチモード、ストップモードでは、CPUが動作を停止するため、出力ポートに選択された端子は直前の出力を保持します。また、ウォッチモード、スタンバイモードで動作する、内蔵周辺モジュール出力に選択された端子は動作を続けます（停止した内蔵周辺モジュール用出力端子は、直前の値を保持します）。各モードで動作可能な内蔵周辺モジュールについては、「第5章 低消費電力モード」を参照してください。低消費電力モード時のポートの状態を表6.4に示します。

表6.4 低消費電力モード時のポートの状態

ポート	サブアクティブモード		スタンバイ/ウォッチモード		ストップモード	
	出力	入力	出力	入力	出力	入力
Dポート、Rポート	動作	動作	保持	停止	保持	停止
内蔵周辺モジュール 出力端子	動作	動作	保持または 動作	停止	保持	停止

### 6.1.5 未使用端子の処理

ユーザシステムで使用していない入出力端子がフローティングの場合、ノイズによりLSIが誤動作する可能性があります。

未使用端子は、内蔵プルアップMOSでV<sub>CC</sub>にプルアップするか、または外部で100k程度の抵抗を付けてV<sub>CC</sub>にプルアップしてください。

## 6.2 Dポート

### 6.2.1 概要

Dポートは、ソース大電流入出力ポート4本 ( $D_0 \sim D_3$ )、およびシンク大電流入出力ポート8本 ( $D_4 \sim D_{11}$ )で構成され、1ビット単位にアクセスします。

Dポートは、SED、SEDD、RED、REDD命令により、1ビット単位にアクセスして、High/Lowレベル出力を制御します。出力データは、各端子のPDRに格納されます。また、TD、TDD命令により、1ビット単位にアクセスして、端子のレベルをテストすることができます。

Dポートの出力バッファのオン/オフは、DCDにより行います。 $D_0 \sim D_{11}$ の各端子に対応するDCDが1のとき、対応するPDRの内容が当該端子より出力されます。DCDは、RAMアドレス上に割り付けられています。

$D_0$ 、 $D_1$ 端子は、各々割り込み入力端子 $\overline{INT}_0$ 、 $\overline{INT}_1$ との兼用となっています。これらの端子の機能切り換えは、PMR0のPMR00、PMR01ビットにより行います。

Dポートの構成を図6.2に示します。

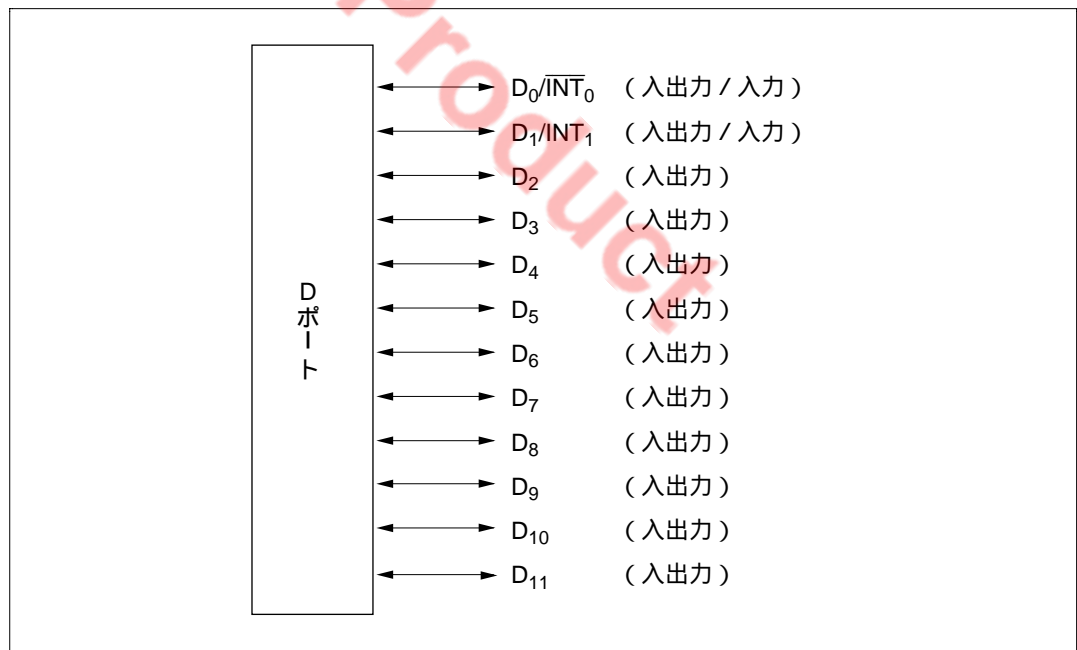


図 6.2 Dポートの構成



## 6.2.2 レジスタの構成と説明

Dポートのレジスタの構成を表6.5に示します。

表6.5 Dポートレジスタ構成

アドレス	名称	略称	R/W	初期値
	ポートデータレジスタ	PDR	W*	1
\$030	データコントロールレジスタ	DCD0	W	\$0
\$031		DCD1	W	\$0
\$032		DCD2	W	\$0
\$008	ポートモードレジスタ0	PMR0	W	--00

【注】 \* PDRへの書き込みは、SED、SEDD、RED、REDD命令により行います。

### (1) ポートデータレジスタ (PDR)

$D_0 \sim D_{11}$ の各入出力端子は、出力データを格納するPDRを各々内蔵しています。 $D_0 \sim D_{11}$ 端子に対して、SED、SEDD命令を実行すると対応するPDRは1にセットされ、またRED、REDD命令を実行すると0にクリアされます。 $D_0 \sim D_{11}$ 端子のDCDが1のとき、当該端子の出力バッファがオンとなり、PDRの値が端子より出力されます。

リセット時に、PDRは1にセットされます。

## (2) データコントロールレジスタ (DCD0 ~ DCD2 : \$030 ~ \$032)

DCD0 : \$030	ビット :	3	2	1	0
		DCD03	DCD02	DCD01	DCD00
	初期値 :	0	0	0	0
	R/W :	W	W	W	W
DCD1 : \$031	ビット :	3	2	1	0
		DCD13	DCD12	DCD11	DCD10
	初期値 :	0	0	0	0
	R/W :	W	W	W	W
DCD2 : \$032	ビット :	3	2	1	0
		DCD23	DCD22	DCD21	DCD20
	初期値 :	0	0	0	0
	R/W :	W	W	W	W

DCD0 ~ 2の 各ビット	説明
0	出力バッファ (CMOS バッファ) はオフとなり、出力ハイインピーダンスとなります。 (初期値)
1	出力バッファはオンとなり、対応する PDR の値を出力します。

DCD0 ~ DCD2 の各ビットと D<sub>0</sub> ~ D<sub>11</sub> 端子の対応は次のようになっています。

レジスタ名	ビット 3	ビット 2	ビット 1	ビット 0
DCD0	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
DCD1	D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>
DCD2	D <sub>11</sub>	D <sub>10</sub>	D <sub>9</sub>	D <sub>8</sub>

## (3) ポートモードレジスタ 0 (PMR0 : \$008)

ビット :	3	2	1	0
	-	-	PMR01	PMR00
初期値 :	-	-	0	0
R/W :	-	-	W	W

D <sub>0</sub> /INT <sub>0</sub> 端子機能切り換え	<table style="border-collapse: collapse; width: 100%;"> <tr> <td style="text-align: center; width: 30px;">0</td> <td>D<sub>0</sub>入出力端子</td> </tr> <tr> <td style="text-align: center;">1</td> <td>INT<sub>0</sub>入力端子</td> </tr> </table>	0	D <sub>0</sub> 入出力端子	1	INT <sub>0</sub> 入力端子
0	D <sub>0</sub> 入出力端子				
1	INT <sub>0</sub> 入力端子				

D <sub>1</sub> /INT <sub>1</sub> 端子機能切り換え	<table style="border-collapse: collapse; width: 100%;"> <tr> <td style="text-align: center; width: 30px;">0</td> <td>D<sub>1</sub>入出力端子</td> </tr> <tr> <td style="text-align: center;">1</td> <td>INT<sub>1</sub>入力端子</td> </tr> </table>	0	D <sub>1</sub> 入出力端子	1	INT <sub>1</sub> 入力端子
0	D <sub>1</sub> 入出力端子				
1	INT <sub>1</sub> 入力端子				

ビット 1 : D<sub>1</sub>/INT<sub>1</sub>端子機能切り換え (PMR01)

D<sub>1</sub>/INT<sub>1</sub>端子を D<sub>1</sub>入出力端子として使用するか、INT<sub>1</sub>入力端子として使用するかを選択します。

本ビットは、リセット時に 0 にイニシャライズされます。

PMR01	説 明
0	D <sub>1</sub> /INT <sub>1</sub> 端子は、D <sub>1</sub> 入出力端子として機能します。 (初期値)
1	D <sub>1</sub> /INT <sub>1</sub> 端子は、INT <sub>1</sub> 入力端子として機能します。

ビット 0 : D<sub>0</sub>/INT<sub>0</sub>端子機能切り換え (PMR00)

D<sub>0</sub>/INT<sub>0</sub>端子を D<sub>0</sub>入出力端子として使用するか、INT<sub>0</sub>入力端子として使用するかを選択します。

本ビットは、リセット時に 0 にイニシャライズされます。

PMR00	説 明
0	D <sub>0</sub> /INT <sub>0</sub> 端子は、D <sub>0</sub> 入出力端子として機能します。 (初期値)
1	D <sub>0</sub> /INT <sub>0</sub> 端子は、INT <sub>0</sub> 入力端子として機能します。

## 6.2.3 端子機能

Dポートの各端子は、PDR、DCD、PMR0の各ビットにより、表6.6に示すように端子機能が切り換わります。

表 6.6 Dポート端子機能

端 子	選択方法と端子機能		
D <sub>0</sub> /INT <sub>0</sub>	PMR0のPMR00ビットとDCD0のDCD00ビットにより、以下のように切り換わります。		
	PMR00	0	
	DCD00	0	1
	端子機能	D <sub>0</sub> 入力端子	D <sub>0</sub> 出力端子
D <sub>1</sub> /INT <sub>1</sub>	PMR0のPMR01ビットとDCD0のDCD01ビットにより、以下のように切り換わります。		
	PMR01	0	
	DCD01	0	1
	端子機能	D <sub>1</sub> 入力端子	D <sub>1</sub> 出力端子
D <sub>2</sub> ~ D <sub>11</sub>	DCD (DCD0 ~ DCD2の端子に対応するビット) により、以下のように切り換わります。		
	DCD0 ~ 2の各ビット	0	1
	端子機能	D <sub>2</sub> ~ D <sub>11</sub> 入力端子	D <sub>2</sub> ~ D <sub>11</sub> 出力端子

【注】 \* INT<sub>1</sub>入力端子は、検出エッジの選択ができます。詳細は、「4.5.2(3) エッジ検出選択レジスタ(ESR)」を参照してください。

## 6.3 Rポート

### 6.3.1 概要

Rポートは、4ビット×8と2ビット×1の入出力ポート（R0～R7, R8<sub>0</sub>, R8<sub>1</sub>）で構成されています。

各ポートは、LAR、LBR命令による4ビット単位の入力、またLRA、LRB命令による4ビット単位（R8ポートは2ビット単位）の出力ができます。出力データは、各端子のPDRに格納されます。

Rポートの出力バッファのオン/オフは、DCRにより行います。Rポートの各端子に対応するDCRが1のとき、対応するPDRの内容が当該端子より出力されます。出力バッファのオン/オフは、Rポートの各端子ごとに独立して設定できます。DCRは、RAMアドレス上に割り付けられます。

Rポートの端子は、R2<sub>3</sub>端子を除き、内蔵周辺モジュール用端子と兼用になっています。これらの端子機能の切り換えは、レジスタ設定により行います（表6.7参照）。

Rポートの端子構成を図6.3に示します。

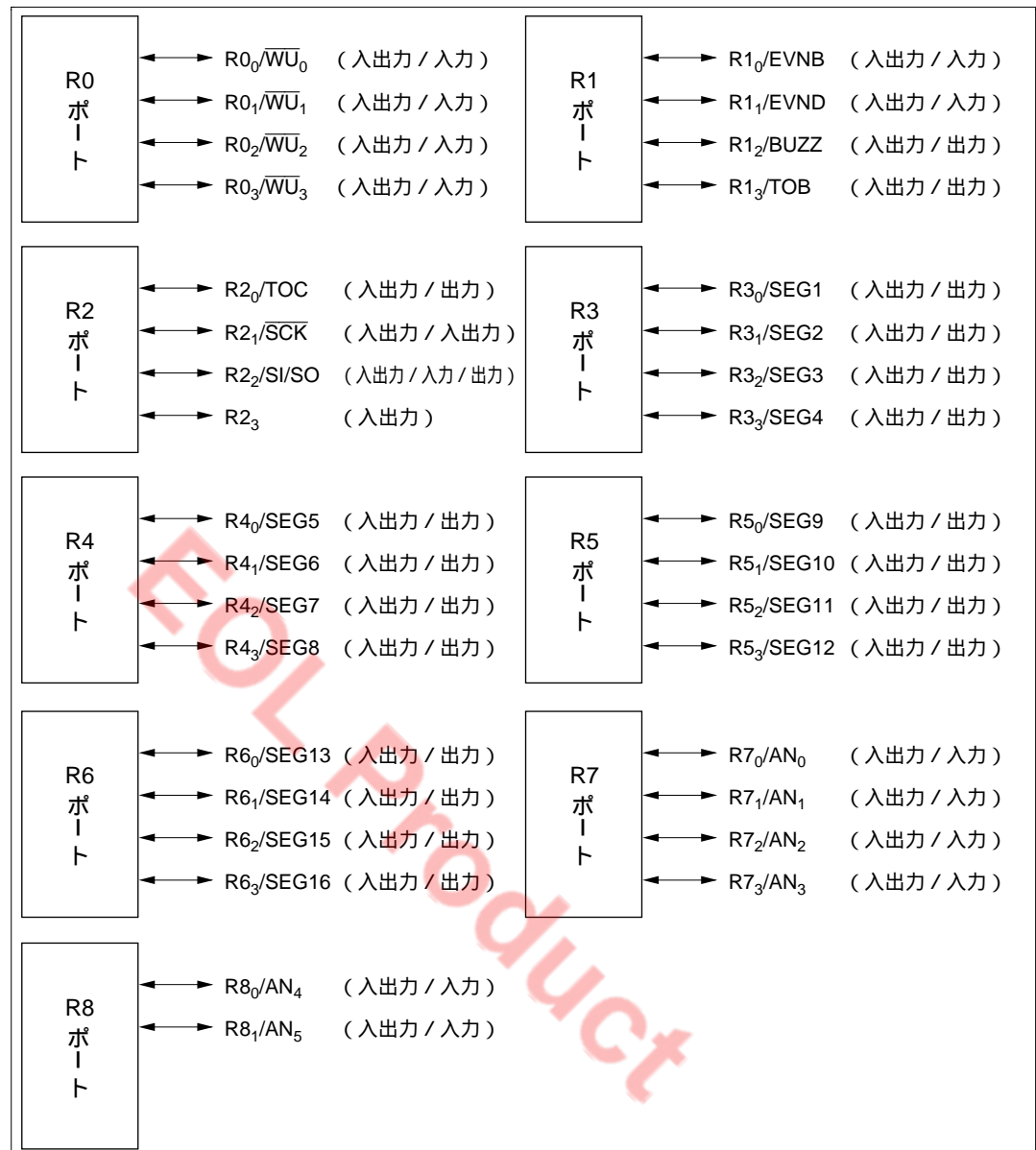


図 6.3 Rポートの構成

## 6.3.2 レジスタの構成と説明

Rポートのレジスタ構成を表6.7に示します。

表6.7 Rポートレジスタ構成

アドレス	名 称	略 称	R/W	初期値
	ポートデータレジスタ	PDR	W*	\$F
\$034	データコントロールレジスタ	DCR0	W	\$0
\$035		DCR1	W	\$0
\$036		DCR2	W	\$0
\$037		DCR3	W	\$0
\$038		DCR4	W	\$0
\$039		DCR5	W	\$0
\$03A		DCR6	W	\$0
\$03B		DCR7	W	\$0
\$03C		DCR8	W	--00
\$009	ポートモードレジスタ1	PMR1	W	\$0
\$00A	ポートモードレジスタ2	PMR2	W	\$0
\$00B	ポートモードレジスタ3	PMR3	W	\$0
\$00C	ポートモードレジスタ4	PMR4	W	\$0
\$028	A/Dモードレジスタ	AMR	W	\$0

【注】 \* PDRへの書き込みはLRA、LRB命令により行います。

### (1) ポートデータレジスタ (PDR)

Rポートの各入出力端子は、出力データを格納するPDRを内蔵しています。Rポートに対してLRA、LRB命令を実行すると、アキュムレータ(A)、Bレジスタ(B)の内容が、指定されたRポートのPDRに転送されます。RポートのDCR0~DCR8の対応するビットが1のとき、当該端子の出力バッファがオンとなり、PDRの値が端子より出力されます。

リセット時に、PDRは\$Fにイニシャライズされます。

## (2) データコントロールレジスタ (DCR0 ~ DCR8 : \$034 ~ \$03C)

DCR0 : \$034	ビット :	3	2	1	0
		DCR03	DCR02	DCR01	DCR00
	初期値 :	0	0	0	0
	R/W :	W	W	W	W
DCR1 : \$035	ビット :	3	2	1	0
		DCR13	DCR12	DCR11	DCR10
	初期値 :	0	0	0	0
	R/W :	W	W	W	W
DCR2 : \$036	ビット :	3	2	1	0
		DCR23	DCR22	DCR21	DCR20
	初期値 :	0	0	0	0
	R/W :	W	W	W	W
DCR3 : \$037	ビット :	3	2	1	0
		DCR33	DCR32	DCR31	DCR30
	初期値 :	0	0	0	0
	R/W :	W	W	W	W
DCR4 : \$038	ビット :	3	2	1	0
		DCR43	DCR42	DCR41	DCR40
	初期値 :	0	0	0	0
	R/W :	W	W	W	W
DCR5 : \$039	ビット :	3	2	1	0
		DCR53	DCR52	DCR51	DCR50
	初期値 :	0	0	0	0
	R/W :	W	W	W	W
DCR6 : \$03A	ビット :	3	2	1	0
		DCR63	DCR62	DCR61	DCR60
	初期値 :	0	0	0	0
	R/W :	W	W	W	W
DCR7 : \$03B	ビット :	3	2	1	0
		DCR73	DCR72	DCR71	DCR70
	初期値 :	0	0	0	0
	R/W :	W	W	W	W
DCR8 : \$03C	ビット :	3	2	1	0
		-	-	DCR81	DCR80
	初期値 :	-	-	0	0
	R/W :	-	-	W	W

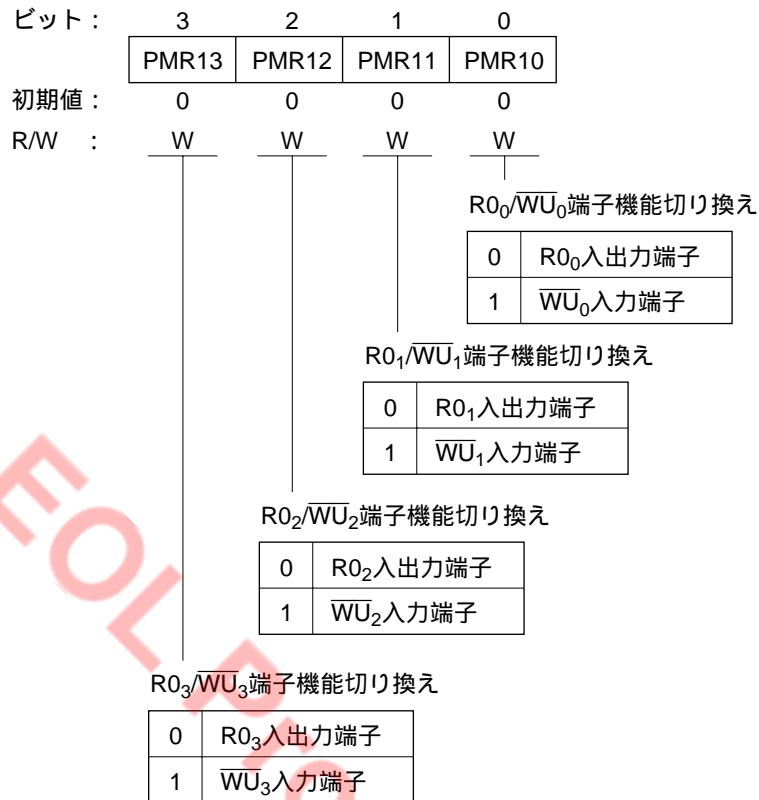


DCR0~8の 各ビット	説 明
0	出力バッファ (CMOS バッファ) はオフとなり、出力ハイインピーダンスとなります。 (初期値)
1	出力バッファはオンとなり、対応する PDR の値を出力します。

DCR0~DCR8 の各ビットと R0~R8 ポートの各端子との対応は次のようになっています。

レジスタ名	ビット 3	ビット 2	ビット 1	ビット 0
DCR0	R0 <sub>3</sub>	R0 <sub>2</sub>	R0 <sub>1</sub>	R0 <sub>0</sub>
DCR1	R1 <sub>3</sub>	R1 <sub>2</sub>	R1 <sub>1</sub>	R1 <sub>0</sub>
DCR2	R2 <sub>3</sub>	R2 <sub>2</sub>	R2 <sub>1</sub>	R2 <sub>0</sub>
DCR3	R3 <sub>3</sub>	R3 <sub>2</sub>	R3 <sub>1</sub>	R3 <sub>0</sub>
DCR4	R4 <sub>3</sub>	R4 <sub>2</sub>	R4 <sub>1</sub>	R4 <sub>0</sub>
DCR5	R5 <sub>3</sub>	R5 <sub>2</sub>	R5 <sub>1</sub>	R5 <sub>0</sub>
DCR6	R6 <sub>3</sub>	R6 <sub>2</sub>	R6 <sub>1</sub>	R6 <sub>0</sub>
DCR7	R7 <sub>3</sub>	R7 <sub>2</sub>	R7 <sub>1</sub>	R7 <sub>0</sub>
DCR8	-	-	R8 <sub>1</sub>	R8 <sub>0</sub>

## (3) ポートモードレジスタ1 (PMR1 : \$009)

ビット3 : R0<sub>3</sub>/ $\overline{WU}_3$ 端子機能切り換え (PMR13)

R0<sub>3</sub>/ $\overline{WU}_3$ 端子をR0<sub>3</sub>入出力端子として使用するか、 $\overline{WU}_3$ 入力端子として使用するかを選択します。

PMR13	説 明
0	R0 <sub>3</sub> / $\overline{WU}_3$ 端子は、R0 <sub>3</sub> 入出力端子として機能します。 (初期値)
1	R0 <sub>3</sub> / $\overline{WU}_3$ 端子は、 $\overline{WU}_3$ 入力端子として機能します。

ビット2 : R0<sub>2</sub>/ $\overline{WU}_2$ 端子機能切り換え (PMR12)

R0<sub>2</sub>/ $\overline{WU}_2$ 端子をR0<sub>2</sub>入出力端子として使用するか、 $\overline{WU}_2$ 入力端子として使用するかを選択します。

PMR12	説 明
0	R0 <sub>2</sub> / $\overline{WU}_2$ 端子は、R0 <sub>2</sub> 入出力端子として機能します。 (初期値)
1	R0 <sub>2</sub> / $\overline{WU}_2$ 端子は、 $\overline{WU}_2$ 入力端子として機能します。

ビット1：R0<sub>1</sub>/ $\overline{WU}_1$ 端子機能切り換え（PMR11）

R0<sub>1</sub>/ $\overline{WU}_1$ 端子をR0<sub>1</sub>入出力端子として使用するか、 $\overline{WU}_1$ 入力端子として使用するかを選択します。

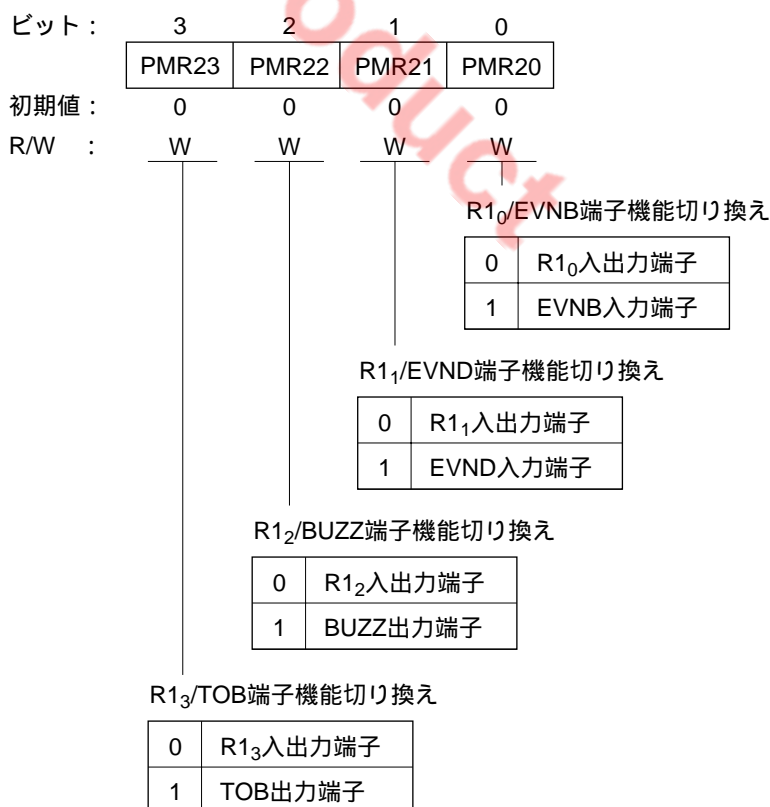
PMR11	説明
0	R0 <sub>1</sub> / $\overline{WU}_1$ 端子は、R0 <sub>1</sub> 入出力端子として機能します。（初期値）
1	R0 <sub>1</sub> / $\overline{WU}_1$ 端子は、 $\overline{WU}_1$ 入力端子として機能します。

ビット0：R0<sub>0</sub>/ $\overline{WU}_0$ 端子機能切り換え（PMR10）

R0<sub>0</sub>/ $\overline{WU}_0$ 端子をR0<sub>0</sub>入出力端子として使用するか、 $\overline{WU}_0$ 入力端子として使用するかを選択します。

PMR10	説明
0	R0 <sub>0</sub> / $\overline{WU}_0$ 端子は、R0 <sub>0</sub> 入出力端子として機能します。（初期値）
1	R0 <sub>0</sub> / $\overline{WU}_0$ 端子は、 $\overline{WU}_0$ 入力端子として機能します。

#### （4）ポートモードレジスタ2（PMR2：\$00A）



ビット3：R1<sub>3</sub>/TOB 端子機能切り換え（PMR23）

R1<sub>3</sub>/TOB 端子を R1<sub>3</sub>入出力端子として使用するか、TOB 出力端子として使用するかを選択します。

PMR23	説 明
0	R1 <sub>3</sub> /TOB 端子は、R1 <sub>3</sub> 入出力端子として機能します。 (初期値)
1	R1 <sub>3</sub> /TOB 端子は、TOB 出力端子として機能します。

ビット2：R1<sub>2</sub>/BUZZ 端子機能切り換え（PMR22）

R1<sub>2</sub>/BUZZ 端子を R1<sub>2</sub>入出力端子として使用するか、BUZZ 出力端子として使用するかを選択します。

PMR22	説 明
0	R1 <sub>2</sub> /BUZZ 端子は、R1 <sub>2</sub> 入出力端子として機能します。 (初期値)
1	R1 <sub>2</sub> /BUZZ 端子は、BUZZ 出力端子として機能します。

ビット1：R1<sub>1</sub>/EVND 端子機能切り換え（PMR21）

R1<sub>1</sub>/EVND 端子を R1<sub>1</sub>入出力端子として使用するか、EVND 入力端子として使用するかを選択します。

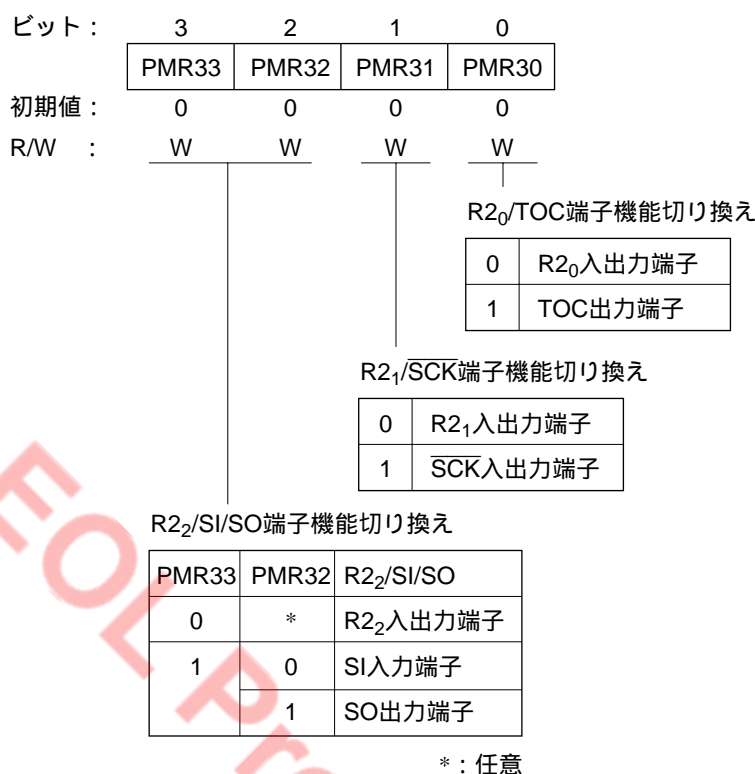
PMR21	説 明
0	R1 <sub>1</sub> /EVND 端子は、R1 <sub>1</sub> 入出力端子として機能します。 (初期値)
1	R1 <sub>1</sub> /EVND 端子は、EVND 入力端子として機能します。

ビット0：R1<sub>0</sub>/EVNB 端子機能切り換え（PMR20）

R1<sub>0</sub>/EVNB 端子を R1<sub>0</sub>入出力端子として使用するか、EVNB 入力端子として使用するかを選択します。

PMR20	説 明
0	R1 <sub>0</sub> /EVNB 端子は、R1 <sub>0</sub> 入出力端子として機能します。 (初期値)
1	R1 <sub>0</sub> /EVNB 端子は、EVNB 入力端子として機能します。

## (5) ポートモードレジスタ3 (PMR3 : \$00B)

ビット3、2 : R2<sub>2</sub>/SI/SO 端子機能切り換え (PMR33、PMR32)

R2<sub>2</sub>/SI/SO 端子を R2<sub>2</sub>入出力端子、SI 入力端子、または SO 出力端子として使用するかを選択します。

PMR33	PMR32	説 明
0	*	R2 <sub>2</sub> /SI/SO 端子は、R2 <sub>2</sub> 入出力端子として機能します。 (初期値)
1	0	R2 <sub>2</sub> /SI/SO 端子は、SI 入力端子として機能します。
	1	R2 <sub>2</sub> /SI/SO 端子は、SO 出力端子として機能します。

\* : 任意

ビット1 : R2<sub>1</sub>/SCK 端子機能切り換え (PMR31)

R2<sub>1</sub>/SCK 端子を R2<sub>1</sub>入出力端子として使用するか、SCK 入出力端子として使用するかを選択します。

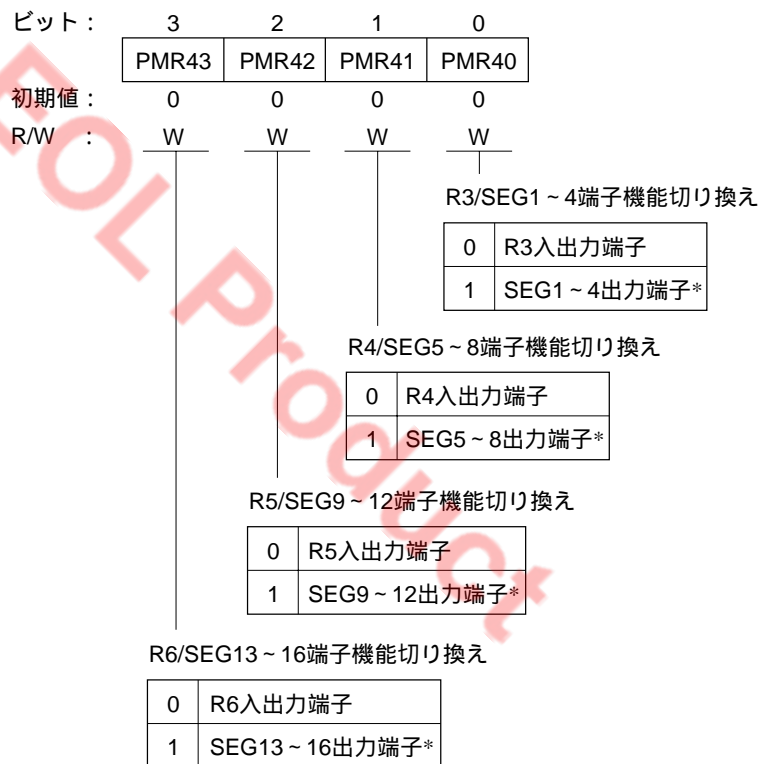
PMR31	説 明
0	R2 <sub>1</sub> /SCK 端子は、R2 <sub>1</sub> 入出力端子として機能します。 (初期値)
1	R2 <sub>1</sub> /SCK 端子は、SCK 入出力端子として機能します。

ビット0：R2<sub>0</sub>/TOC 端子機能切り換え（PMR30）

R2<sub>0</sub>/TOC 端子を R2<sub>0</sub>入出力端子として使用するか、TOC 出力端子として使用するかを選択します。

PMR30	説 明
0	R2 <sub>0</sub> /TOC 端子は、R2 <sub>0</sub> 入出力端子として機能します。 (初期値)
1	R2 <sub>0</sub> /TOC 端子は、TOC 出力端子として機能します。

## (6) ポートモードレジスタ 4 (PMR4 : \$00C)



【注】\* セグメント出力端子として使用する場合、当該端子のポートデータレジスタ（PDR）に0を書き込んでください。

## ビット3：R6/SEG13 ~ SEG16 端子機能切り換え（PMR43）

R6/SEG13 ~ SEG16 端子を R6 入出力端子として使用するか、SEG13 ~ SEG16 出力端子として使用するかを選択します。

PMR43	説 明
0	R6/SEG13 ~ SEG16 端子は、R6 入出力端子として機能します。 (初期値)
1	R6/SEG13 ~ SEG16 端子は、SEG13 ~ SEG16 出力端子として機能します。

## ビット2：R5/SEG9～SEG12端子機能切り換え（PMR42）

R5/SEG9～SEG12端子をR5入出力端子として使用するか、SEG9～SEG12出力端子として使用するかを選択します。

PMR42	説 明
0	R5/SEG9～SEG12端子は、R5入出力端子として機能します。（初期値）
1	R5/SEG9～SEG12端子は、SEG9～SEG12出力端子として機能します。

## ビット1：R4/SEG5～SEG8端子機能切り換え（PMR41）

R4/SEG5～SEG8端子をR4入出力端子として使用するか、SEG5～SEG8出力端子として使用するかを選択します。

PMR41	説 明
0	R4/SEG5～SEG8端子は、R4入出力端子として機能します。（初期値）
1	R4/SEG5～SEG8端子は、SEG5～SEG8出力端子として機能します。

## ビット0：R3/SEG1～SEG4端子機能切り換え（PMR40）

R3/SEG1～SEG4端子をR3入出力端子として使用するか、SEG1～SEG4出力端子として使用するかを選択します。

PMR40	説 明
0	R3/SEG1～SEG4端子は、R3入出力端子として機能します。（初期値）
1	R3/SEG1～SEG4端子は、SEG1～SEG4出力端子として機能します。

## (7) A/D モードレジスタ (AMR : \$028)

ビット :	3	2	1	0
	AMR3	AMR2	AMR1	AMR0
初期値 :	0	0	0	0
R/W :	W	W	W	W

A/D変換時間	0	65t <sub>cyc</sub>
	1	125t <sub>cyc</sub>

アナログ入力チャンネル選択

AMR3	AMR2	AMR1	入力チャンネル
0	0	任意	非選択
		0	AN <sub>0</sub>
	1	AN <sub>1</sub>	
1	0	0	AN <sub>2</sub>
		1	AN <sub>3</sub>
	1	0	AN <sub>4</sub>
		1	AN <sub>5</sub>

ビット 3、2、1 : R7<sub>0</sub>/AN<sub>0</sub>、R7<sub>1</sub>/AN<sub>1</sub>、R7<sub>2</sub>/AN<sub>2</sub>、R7<sub>3</sub>/AN<sub>3</sub>、R8<sub>0</sub>/AN<sub>4</sub>、R8<sub>1</sub>/AN<sub>5</sub> 端子機能切り換え (AMR3、AMR2、AMR1)

R7<sub>0</sub>/AN<sub>0</sub>、R7<sub>1</sub>/AN<sub>1</sub>、R7<sub>2</sub>/AN<sub>2</sub>、R7<sub>3</sub>/AN<sub>3</sub>、R8<sub>0</sub>/AN<sub>4</sub>、R8<sub>1</sub>/AN<sub>5</sub> 端子を、Rポート入出力端子として使用するか、アナログ入力端子として使用するかを選択します。

AMR3	AMR2	AMR1	説 明
0	0	任意	Rポート入出力端子として機能します。 (初期値)
	1	0	R7 <sub>0</sub> /AN <sub>0</sub> 端子は、AN <sub>0</sub> 入力端子として機能します。
		1	R7 <sub>1</sub> /AN <sub>1</sub> 端子は、AN <sub>1</sub> 入力端子として機能します。
1	0	0	R7 <sub>2</sub> /AN <sub>2</sub> 端子は、AN <sub>2</sub> 入力端子として機能します。
		1	R7 <sub>3</sub> /AN <sub>3</sub> 端子は、AN <sub>3</sub> 入力端子として機能します。
	1	0	R8 <sub>0</sub> /AN <sub>4</sub> 端子は、AN <sub>4</sub> 入力端子として機能します。
		1	R8 <sub>1</sub> /AN <sub>5</sub> 端子は、AN <sub>5</sub> 入力端子として機能します。



## 6.3.3 端子機能

Rポートの各端子は、レジスタ設定により、表6.8に示すように切り換わります。

表6.8 Rポート端子機能(1/6)

端 子	選択方法と端子機能		
$R0_0/\overline{WU}_0$	PMR1のPMR10ビットとDCR0のDCR00ビットにより、以下のように切り換わります。		
	PMR10	0	
	DCR00	0	1
	端子機能	$R0_0$ 入力端子	$R0_0$ 出力端子
$R0_1/\overline{WU}_1$	PMR1のPMR11ビットとDCR0のDCR01ビットにより、以下のように切り換わります。		
	PMR11	0	
	DCR01	0	1
	端子機能	$R0_1$ 入力端子	$R0_1$ 出力端子
$R0_2/\overline{WU}_2$	PMR1のPMR12ビットとDCR0のDCR02ビットにより、以下のように切り換わります。		
	PMR12	0	
	DCR02	0	1
	端子機能	$R0_2$ 入力端子	$R0_2$ 出力端子
$R0_3/\overline{WU}_3$	PMR1のPMR13ビットとDCR0のDCR03ビットにより、以下のように切り換わります。		
	PMR13	0	
	DCR03	0	1
	端子機能	$R0_3$ 入力端子	$R0_3$ 出力端子

表 6.8 Rポート端子機能 (2/6)

端 子	選択方法と端子機能		
R1 <sub>0</sub> /EVNB	PMR2のPMR20ビットとDCR1のDCR10ビットにより、以下のように切り換わりま す。		
	PMR20	0	
	DCR10	0	1
	端子機能	R1 <sub>0</sub> 入力端子	R1 <sub>0</sub> 出力端子
			EVNB入力端子
R1 <sub>1</sub> /EVND	PMR2のPMR21ビットとDCR1のDCR11ビットにより、以下のように切り換わりま す。		
	PMR21	0	
	DCR11	0	1
	端子機能	R1 <sub>1</sub> 入力端子	R1 <sub>1</sub> 出力端子
			EVND入力端子
R1 <sub>2</sub> /BUZZ	PMR2のPMR22ビットとDCR1のDCR12ビットにより、以下のように切り換わりま す。		
	PMR22	0	
	DCR12	0	1
	端子機能	R1 <sub>2</sub> 入力端子	R1 <sub>2</sub> 出力端子
			BUZZ出力端子
R1 <sub>3</sub> /TOB	PMR2のPMR23ビットとDCR1のDCR13ビットにより、以下のように切り換わりま す。		
	PMR23	0	
	DCR13	0	1
	端子機能	R1 <sub>3</sub> 入力端子	R1 <sub>3</sub> 出力端子
			TOB出力端子

表 6.8 Rポート端子機能 (3/6)

端 子	選択方法と端子機能			
R2 <sub>0</sub> /TOC	PMR3のPMR30ビットとDCR2のDCR20ビットにより、以下のように切り換わりま す。			
	PMR30	0		1
	DCR20	0	1	-
	端子機能	R2 <sub>0</sub> 入力端子	R2 <sub>0</sub> 出力端子	TOC出力端子
R2 <sub>1</sub> / $\overline{\text{SCK}}$	PMR3のPMR31ビットとDCR2のDCR21ビットにより、以下のように切り換わりま す。			
	PMR31	0		1
	DCR21	0	1	-
	端子機能	R2 <sub>1</sub> 入力端子	R2 <sub>1</sub> 出力端子	$\overline{\text{SCK}}$ 入出力端子
R2 <sub>2</sub> /SI/SO	PMR3のPMR32ビット、PMR33ビットとDCR2のDCR22ビットにより、以下のよ うに切り換わります。			
	PMR33	0		1
	PMR32	任意		0      1
	DCR22	0	1	-      -
	端子機能	R2 <sub>2</sub> 入力端子	R2 <sub>2</sub> 出力端子	SI入力端子      SO*出力端子
R2 <sub>3</sub>	DCR2のDCR23ビットにより、以下のように切り換わります。			
	DCR23	0		1
	端子機能	R2 <sub>3</sub> 入力端子		R2 <sub>3</sub> 出力端子

【注】 \* R2<sub>2</sub>/SI/SO 端子は、出力バッファのPMOSをオフとして、NMOSオープンドレイン出力にすることができます。この設定は、SMR2のSMR22ビットで行います。SMR22ビットの設定は、R2<sub>2</sub>出力端子、SO出力端子のどちらが選択されていても、有効となります。

表 6.8 Rポート端子機能 (4/6)

端 子	選択方法と端子機能		
R3/SEG1 ~ SEG4	PMR4 の PMR40 ビットと DCR3 の DCR30 ~ DCR33 ビットにより、以下のように切り換わります。		
	PMR40	0	
	DCR3n	0	1
	端子機能	R3 <sub>n</sub> 入力端子	R3 <sub>n</sub> 出力端子
			SEGm出力端子
			(n=0~3、m=1~4)
R4/SEG5 ~ SEG8	PMR4 の PMR41 ビットと DCR4 の DCR40 ~ DCR43 ビットにより、以下のように切り換わります。		
	PMR41	0	
	DCR4n	0	1
	端子機能	R4 <sub>n</sub> 入力端子	R4 <sub>n</sub> 出力端子
			SEGm出力端子
			(n=0~3、m=5~8)
R5/SEG9 ~ SEG12	PMR4 の PMR42 ビットと DCR5 の DCR50 ~ DCR53 ビットにより、以下のように切り換わります。		
	PMR42	0	
	DCR5n	0	1
	端子機能	R5 <sub>n</sub> 入力端子	R5 <sub>n</sub> 出力端子
			SEGm出力端子
			(n=0~3、m=9~12)
R6/SEG13 ~ SEG16	PMR4 の PMR43 ビットと DCR6 の DCR60 ~ DCR63 ビットにより、以下のように切り換わります。		
	PMR43	0	
	DCR6n	0	1
	端子機能	R6 <sub>n</sub> 入力端子	R6 <sub>n</sub> 出力端子
			SEGm出力端子
			(n=0~3、m=13~16)

表 6.8 Rポート端子機能 (5/6)

端 子	選択方法と端子機能			
R7 <sub>0</sub> /AN <sub>0</sub>	AMR の AMR1、AMR2、AMR3 ビットと DCR7 の DCR70 ビットにより、以下のよう に切り換わります。			
	AMR3	0	0	
	AMR2	0	1	
	AMR1	-	0	
	DCR70	0	1	-
	端子機能	R7 <sub>0</sub> 入力端子	R7 <sub>0</sub> 出力端子	AN <sub>0</sub> 入力端子
R7 <sub>1</sub> /AN <sub>1</sub>	AMR の AMR1、AMR2、AMR3 ビットと DCR7 の DCR71 ビットにより、以下のよう に切り換わります。			
	AMR3	0	0	
	AMR2	0	1	
	AMR1	-	1	
	DCR71	0	1	-
	端子機能	R7 <sub>1</sub> 入力端子	R7 <sub>1</sub> 出力端子	AN <sub>1</sub> 入力端子
R7 <sub>2</sub> /AN <sub>2</sub>	AMR の AMR1、AMR2、AMR3 ビットと DCR7 の DCR72 ビットにより、以下のよう に切り換わります。			
	AMR3	0	1	
	AMR2	0	0	
	AMR1	-	0	
	DCR72	0	1	-
	端子機能	R7 <sub>2</sub> 入力端子	R7 <sub>2</sub> 出力端子	AN <sub>2</sub> 入力端子
R7 <sub>3</sub> /AN <sub>3</sub>	AMR の AMR1、AMR2、AMR3 ビットと DCR7 の DCR73 ビットにより、以下のよう に切り換わります。			
	AMR3	0	1	
	AMR2	0	0	
	AMR1	-	1	
	DCR73	0	1	-
	端子機能	R7 <sub>3</sub> 入力端子	R7 <sub>3</sub> 出力端子	AN <sub>3</sub> 入力端子

【注】 アナログ入力をする場合は、当該端子の DCR を 0 に設定してください。

表 6.8 Rポート端子機能 (6 / 6)

端 子	選択方法と端子機能			
R8 <sub>0</sub> /AN <sub>4</sub>	AMR の AMR1、AMR2、AMR3 ビットと DCR8 の DCR80 ビットにより、以下のよう に切り換わります。			
	AMR3	0	1	
	AMR2	0	1	
	AMR1	-	0	
	DCR80	0	1	-
	端子機能	R8 <sub>0</sub> 入力端子	R8 <sub>0</sub> 出力端子	AN <sub>4</sub> 入力端子
R8 <sub>1</sub> /AN <sub>5</sub>	AMR の AMR1、AMR2、AMR3 ビットと DCR8 の DCR81 ビットにより、以下のよう に切り換わります。			
	AMR3	0	1	
	AMR2	0	1	
	AMR1	-	1	
	DCR81	0	1	-
	端子機能	R8 <sub>1</sub> 入力端子	R8 <sub>1</sub> 出力端子	AN <sub>5</sub> 入力端子

【注】 アナログ入力をする場合は、当該端子の DCR を 0 に設定してください。

## 6.4 使用上の注意

ポートを使用するとき、次の点に注意してください。

- (1) PMR3のPMR33、PMR32ビットによりR<sub>2</sub>端子またはSO端子機能のいずれが選択されている場合にも、SMR2のSMR22ビットを1にセットすると、NMOSオープンドレイン出力となります。
- (2) PMR4によりセグメント出力に設定された端子を、LAR、LBR命令で読み出したときの値は、保証されません。
- (3) MISのMIS3ビットおよび各端子のPDRによるプルアップMOSのオン/オフ設定は、その端子がA/Dコンバータ以外の内蔵周辺モジュール用端子に設定されている場合でも、有効となります。

EOL Product



---

# 7. 発振回路

---

## 第7章 目次

7.1	概要	141
7.1.1	特長	141
7.1.2	ブロック図	142
7.1.3	端子構成	144
7.1.4	レジスタ、フラグ構成	144
7.2	各レジスタ、フラグの説明	145
7.2.1	システムクロック選択レジスタ (SSR : \$004)	145
7.2.2	ロースピードオンフラグ (LSON : \$020,0)	147
7.2.3	システムクロック切り換え方法	147
7.3	発振子の接続および外部クロック入力方法	149
7.4	使用上の注意	150

EOL Product

## 7.1 概要

### 7.1.1 特長

HD404889 シリーズは、システムクロック発振器とサブシステムクロック発振器を内蔵しています。発振器には次の特長があります。

システムクロック発振器には、セラミック発振子または水晶発振子を接続するか、外部クロックを入力します。発振周波数を内部で4分周または32分周したクロック( $f_{cyc} = f_{OSC} / 4$ または $f_{OSC} / 32$ )がシステムクロックとなります( $f_{CPU} = f_{PER} = f_{cyc}$ )。システムクロックの設定については、「7.2.1 システムクロック選択レジスタ」を参照してください。

システムクロック発振器には、0.4~4.5MHzの範囲の発振子、または外部クロックを使用してください。

内蔵周辺モジュール動作クロック( $f_{PER}$ )は、11ビットのプリスケアラS(PSS)に入力され、分周されたクロックを内蔵周辺モジュールのカウンタ動作クロックに使用します。分周比は、各内蔵周辺モジュールのモードレジスタにより、各々独立して設定できます。

サブシステムクロック発振器には、32.768kHz水晶発振子を接続します。内部の分周回路で4分周または8分周したクロック( $f_{SUB} = f_X / 4$ または $f_X / 8$ )がサブアクティブモード時のシステムクロックとなります。分周比は、レジスタ設定で選択可能です。

すべての動作モードにおいて、サブシステムクロックの周波数を8分周したクロックが、5ビットのプリスケアラW(PSW)に入力されています。PSWにより分周されたクロックは、タイマAの時計用タイムベース動作および液晶表示回路に使用します。

### 7.1.2 ブロック図

図 7.1 に発振回路のブロック図を示します。

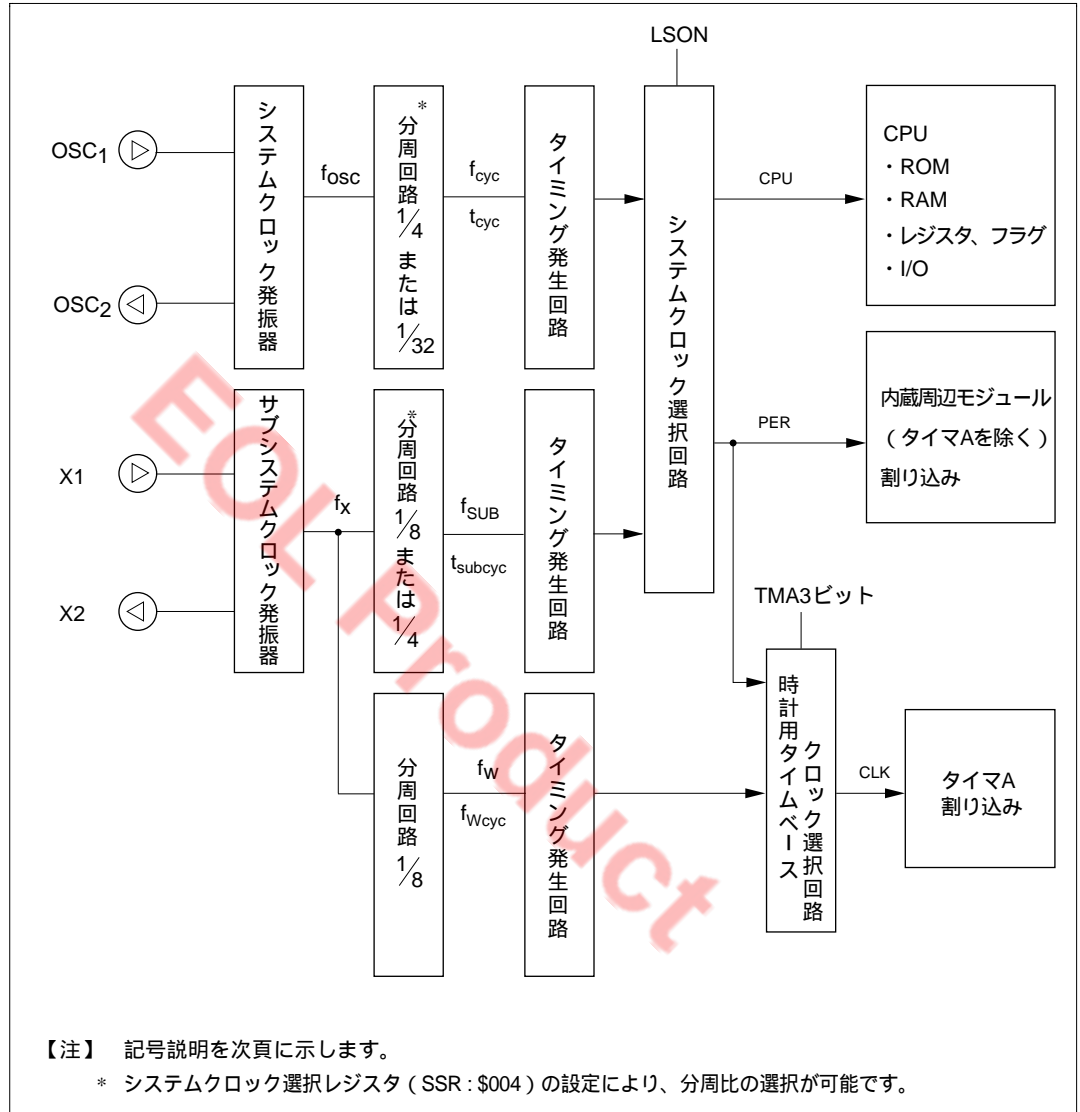


図 7.1 発振器のブロック図

## 【記号説明】

記号	説明
$f_{OSC}$	OSC <sub>1</sub> 、OSC <sub>2</sub> 発振器に接続されたセラミック発振子または水晶発振子の周波数
$f_X$	X1、X2発振器に接続された水晶発振子の周波数 (32.768kHz)
$f_{cyc}$	$f_{OSC} / 4$ または $f_{OSC} / 32$
$t_{cyc}$	周波数 $f_{cyc}$ のクロックの周期 (= アクティブモード時の1インストラクションサイクル=プリスケールS (PSS) の1カウントの周期)
$f_W$	$f_X / 8$
$t_{Wcyc}$	周波数 $f_W$ のクロックの周期 (= プリスケールW (PSW) の1カウントの周期)
$f_{SUB}$	$f_X / 4$ 、または $f_X / 8$
$t_{subcyc}$	周波数 $f_{SUB}$ のクロックの周期 (= サブアクティブモード時の1インストラクションサイクル)
CPU	システムクロック (CPUの動作クロック)
CLK	タイマAおよび割り込みフレーム生成用クロック (TMA3ビット=0のときPSSに、またTMA3ビット=1のときPSWから供給されます)
PER	システムクロック (内蔵周辺モジュールおよび割り込み用クロック)

### 7.1.3 端子構成

発振回路の端子構成を表 7.1 に示します。

表 7.1 端子構成

名 称	記 号	入出力	機 能
システムクロック発振子接続端子 1	OSC <sub>1</sub>	入力	システムクロック発振子を接続* (OSC <sub>1</sub> は、外部クロック入力可能)
システムクロック発振子接続端子 2	OSC <sub>2</sub>	出力	
サブシステムクロック発振子接続端子 1	X1	入力	32.768kHz の水晶発振子を接続
サブシステムクロック発振子接続端子 2	X2	出力	

【注】 \* 0.4~4.5MHz のセラミック、または水晶発振子を接続します。

### 7.1.4 レジスタ、フラグ構成

発振回路を制御するレジスタ、フラグの構成を表 7.2 に示します。

表 7.2 レジスタ、フラグ構成

アドレス	名 称	略 称	R/W	初期値
\$004	システムクロック選択レジスタ	SSR	W	\$0
\$020,0	ロースピードオンフラグ*	LSON	R/W	0

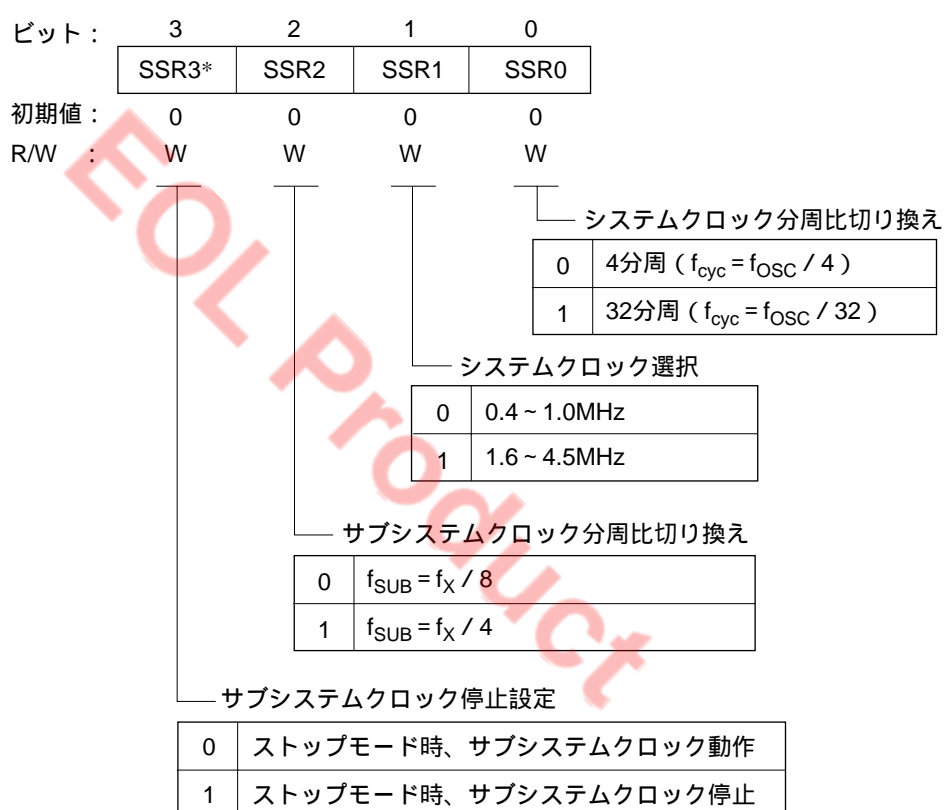
【注】 \* LSON は、レジスタフラグエリアに割り付けられている制御ビットで、RAM ビット操作命令のみ使用可能です。

## 7.2 各レジスタ、フラグの説明

### 7.2.1 システムクロック選択レジスタ (SSR : \$004)

SSR は、4 ビットの書き込み専用レジスタで、使用するシステムクロック発振子周波数 ( $f_{OSC}$ ) に合わせた設定、サブシステムクロック周波数 ( $f_{SUB}$ ) の分周比の設定、ストップモード時のサブシステムクロック発振の設定、およびシステムクロック周波数 ( $f_{OSC}$ ) の分周比の設定を行います。

リセット時に SSR は \$0 にイニシャライズされます。



【注】\* サブシステムクロックを使用しない場合は、ビット3を必ず "1" に設定してください。

#### ビット3 : サブシステムクロック停止設定 (SSR3)

ストップモード時に、サブシステムクロック (32.768kHz 発振器) を動作させるか停止させるかを選択します。尚、サブシステムクロックを使用しない場合は必ず "1" に設定してください。

SSR3	説明
0	ストップモード時、サブシステムクロックは動作 (初期値)
1	ストップモード時、サブシステムクロックは停止

## ビット2：サブシステムクロック分周比切り換え（SSR2）

サブアクティブモード時に CPU および内蔵周辺モジュールに供給されるサブシステムクロックの分周比を設定します。ただし、PSW に供給されるサブシステムクロックの分周比は  $f_w = f_x / 8$  に固定されています。したがって、タイマ A の時計用タイムベースモード時のクロックは、本ビットの設定に影響されません。

本ビットの設定は必ずアクティブモードで行ってください。サブアクティブモードで変更を行うと誤動作する場合があります。

SSR2	説 明
0	$f_{SUB}$ は、サブシステムクロック発振子周波数 $f_x$ の $1/8$ ( $f_{SUB} = f_x / 8$ ) CPU の 1 インストラクションサイクルは、 $244.14 \mu s$ ( $f_x = 32.768kHz$ 時) (初期値)
1	$f_{SUB}$ は、サブシステムクロック発振子周波数 $f_x$ の $1/4$ ( $f_{SUB} = f_x / 4$ ) CPU の 1 インストラクションサイクルは、 $122.07 \mu s$ ( $f_x = 32.768kHz$ 時)

## ビット1：システムクロック選択（SSR1）

システムクロックの周波数に合わせて SSR1 ビットを設定してください。

SSR1	説 明
0	システムクロック周波数は 0.4 ~ 1.0MHz (初期値)
1	システムクロック周波数は 1.6 ~ 4.5MHz

【注】 レジスタ設定値がシステム発振子の周波数と合っていない場合は、32kHz 発振を使用するサブシステムが正常に動作しません。サブシステムクロックを使用するときは、システムクロックの周波数を 0.4 ~ 1.0MHz または 1.6 ~ 4.5MHz のどちらかの範囲内で使用してください。

## ビット0：システムクロック分周比切り換え（SSR0）

システムクロックの分周比を設定します。本ビットの切り換えは、「7.2.3 システムクロック切り換え方法」に示す手順で行ってください。システムクロックの分周比の切り換えは、サブシステムクロックの発振の有無にかかわらずに行えますが、正しい手順で行われなかった場合、MCU は誤動作する場合があります。

SSR0	説 明
0	$f_{cyc}$ は、システムクロック発振子周波数 $f_{OSC}$ の $1/4$ ( $f_{cyc} = f_{OSC} / 4$ ) (初期値)
1	$f_{cyc}$ は、システムクロック発振子周波数 $f_{OSC}$ の $1/32$ ( $f_{cyc} = f_{OSC} / 32$ )



## 7.2.2 ロースピードオンフラグ (LSON : \$020,0)

LSON は、アクティブモード、ウォッチモード、サブアクティブモード間の動作モード遷移に伴い、システムの動作クロックをシステムクロックとするかサブシステムクロックとするかを選択します。

詳細は、「5.2.7 ロースピードオンフラグ (LSON)」を参照してください。

## 7.2.3 システムクロック切り換え方法

MCU は、ソフトウェアによりシステムクロックの分周比の切り換えができる、システムクロックギア機能を内蔵しています。本機能により、システムクロック発振子を 4 分周と 32 分周に切り換えることができます。高速処理が必要な場合は 4 分周に、それ以外は 32 分周で動作させることにより、効率的な電力消費が可能です。図 7.2 に、分周比の切り換え手順を示します。

4 分周から 32 分周への分周比の切り換えは、次の手順で行います。初めに 32 分周の設定 (SSR0 ビット書き込み) を行います。次にギアイネーブルフラグをセットします。これにより分周比の切り換えをするのか、スタンバイモードへ遷移するのか区別を行います。その後で SBY 命令を実行します。

MCU は、ギアイネーブルフラグがセットされていなければスタンバイモードへ、ギアイネーブルフラグがセットされていれば、分周比切り換えモードになります。分周比が切り換わる間、MCU はスタンバイモードへ遷移しますが、切り換え後は自動的にアクティブモードへ復帰します。アクティブモードに遷移すると同時に、ギアイネーブルフラグはリセットされます。

32 分周から 4 分周への分周比の切り換えも、同様の手順で行います。

分周比の切り換えは、すべての割り込みをクリアの上、割り込みを禁止してから行ってください。分周比切り換え中に割り込みが発生すると、MCU は誤動作する場合があります。

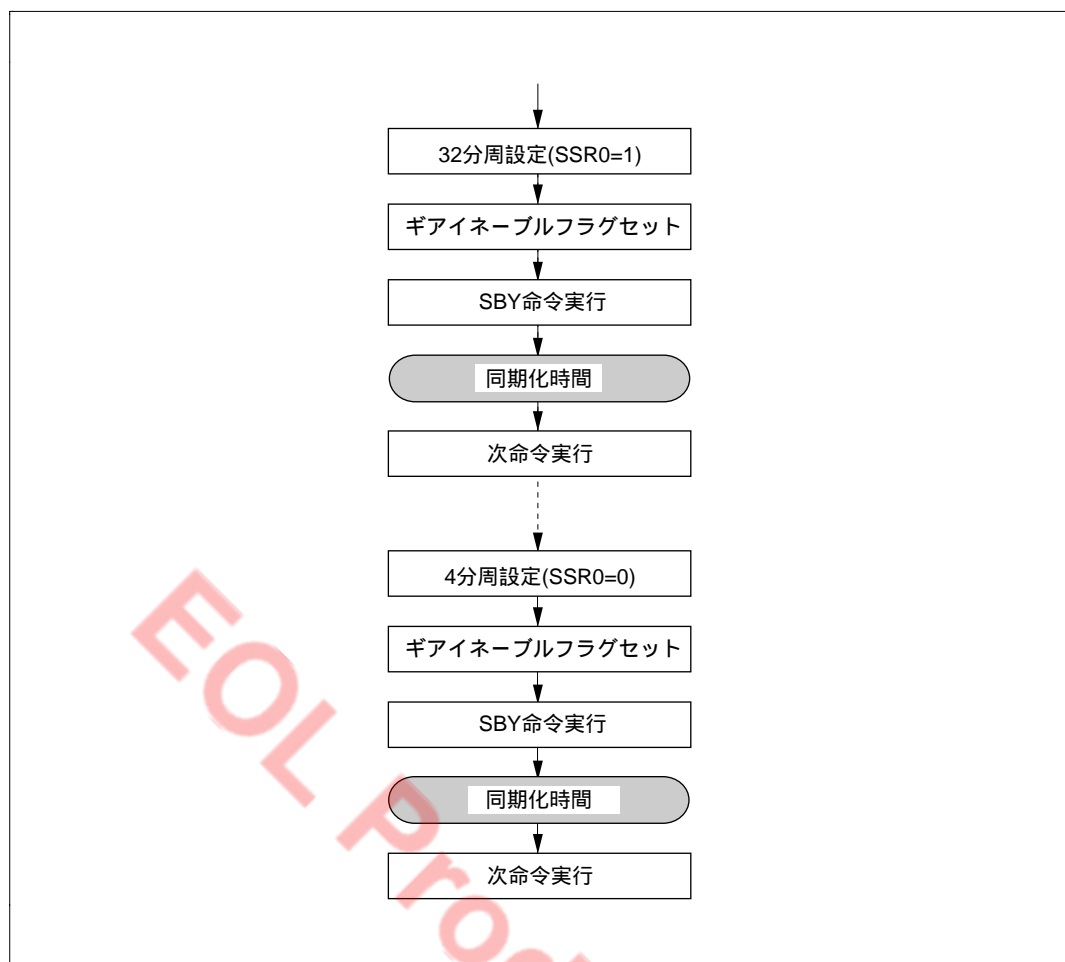


図 7.2 分周比切り換えフロー

## 7.3 発振子の接続および外部クロック入力方法

システムクロック発振器は、0.4～4.5MHzのセラミック発振子または水晶発振子を接続するか、同様の周波数の外部クロックを入力します。

サブシステムクロック発振器は、32.768kHzの水晶発振子を接続します。

表7.3に発振回路の構成例を示します。

表7.3 発振回路の構成例

	回路構成	回路定数
外部 クロック入力		-
セラミック 発振子接続 (OSC <sub>1</sub> 、OSC <sub>2</sub> )		セラミック発振子： CSA4.00MG（村田製作所） $R_f = 1M \pm 20\%$ $C_1 = C_2 = 30pF \pm 20\%$
水晶発振子接続 (OSC <sub>1</sub> 、OSC <sub>2</sub> )		$R_f = 1M \pm 20\%$ $C_1 = C_2 = 10 \sim 22pF \pm 20\%$
水晶発振子接続 (X1、X2)		水晶発振子：32.768kHz ：MX38T（日本電波工業） $C_1 = C_2 = 20pF \pm 20\%$

## 7.4 使用上の注意

発振子を接続して発振させる場合、次の点に注意してください。

- (1) 水晶発振子またはセラミック発振子を接続する場合、回路定数は発振子、実装回路の浮遊容量などにより異なるため、水晶発振子メーカ、セラミック発振子メーカと十分相談した上で決定してください。
- (2) OSC<sub>1</sub>、OSC<sub>2</sub> 端子 (X1、X2 端子) と外付け部品 (発振子、負荷容量) との配線は、極力短くし、他の配線がこれらの配線と交差しないようにしてください(図 7.3 参照)。配線が交差すると誘導により正しい発振ができなくなる場合があります。
- (3) サブシステムクロック (32.768kHz 発振器) を使用しない場合は、X1 端子を V<sub>CC</sub> に固定し、X2 端子は開放にしてください。

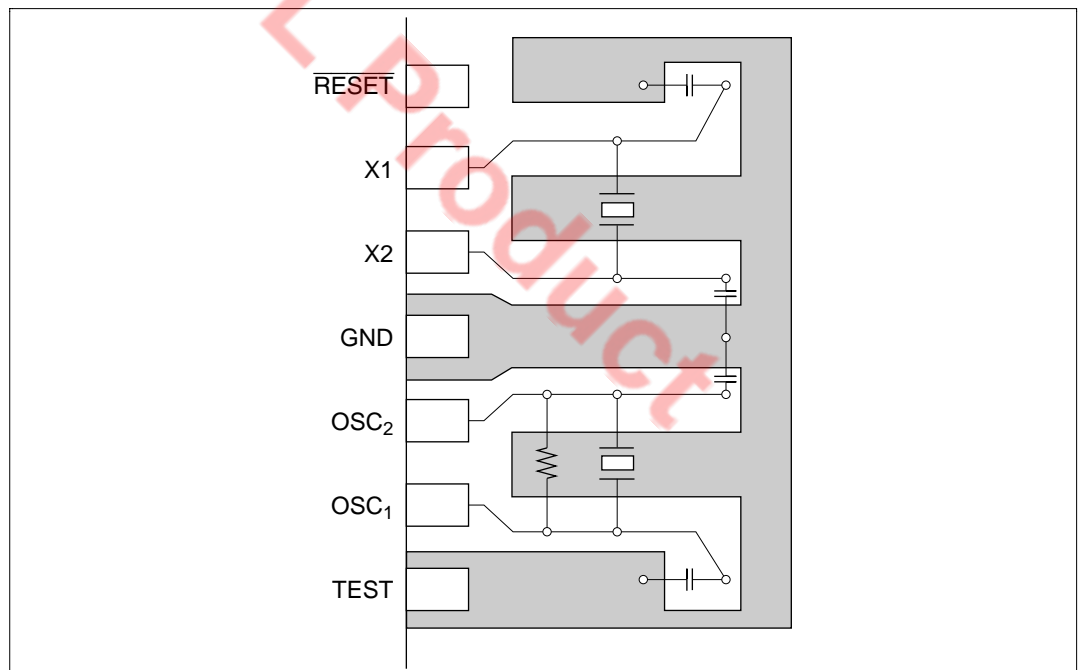


図 7.3 水晶、セラミック発振子の配置例

---

# 8. プリスケーラ

---

## 第8章 目次

8.1	概要 .....	153
8.2	プリスケーラ S (PSS) .....	155
8.3	プリスケーラ W (PSW) .....	155

FOL Product

EOL Product

## 8.1 概要

HD404889 シリーズはプリスケーラ S (PSS) とプリスケーラ W (PSW) の 2 本のプリスケーラを内蔵しています。

タイマ A~D の内部クロック、各内蔵周辺モジュールの動作クロックは、内蔵周辺モジュールのモードレジスタによりプリスケーラ出力の中から選択します。

各プリスケーラの入力クロックと動作条件を表 8.1、出力の供給先を図 8.1 に示します。

表 8.1 プリスケーラの入力クロックと動作条件

名 称	入力クロック	リセット条件	停止条件
プリスケーラ S	・アクティブ、スタンバイモード時は、システムクロック ・サブアクティブモード時は、サブシステムクロック	・MCU リセット	・MCU リセット ・ストップモード ・ウォッチモード
プリスケーラ W	・サブシステムクロックによる 32.768kHz 発振を 8 分周したクロック	・MCU リセット ・ソフトウェア*	・MCU リセット ・ストップモード

【注】 \* タイマモードレジスタ A (TMA) の TMA3~TMA1 ビットをすべて 1 にセットすると、PSW は\$00 にクリアされます。

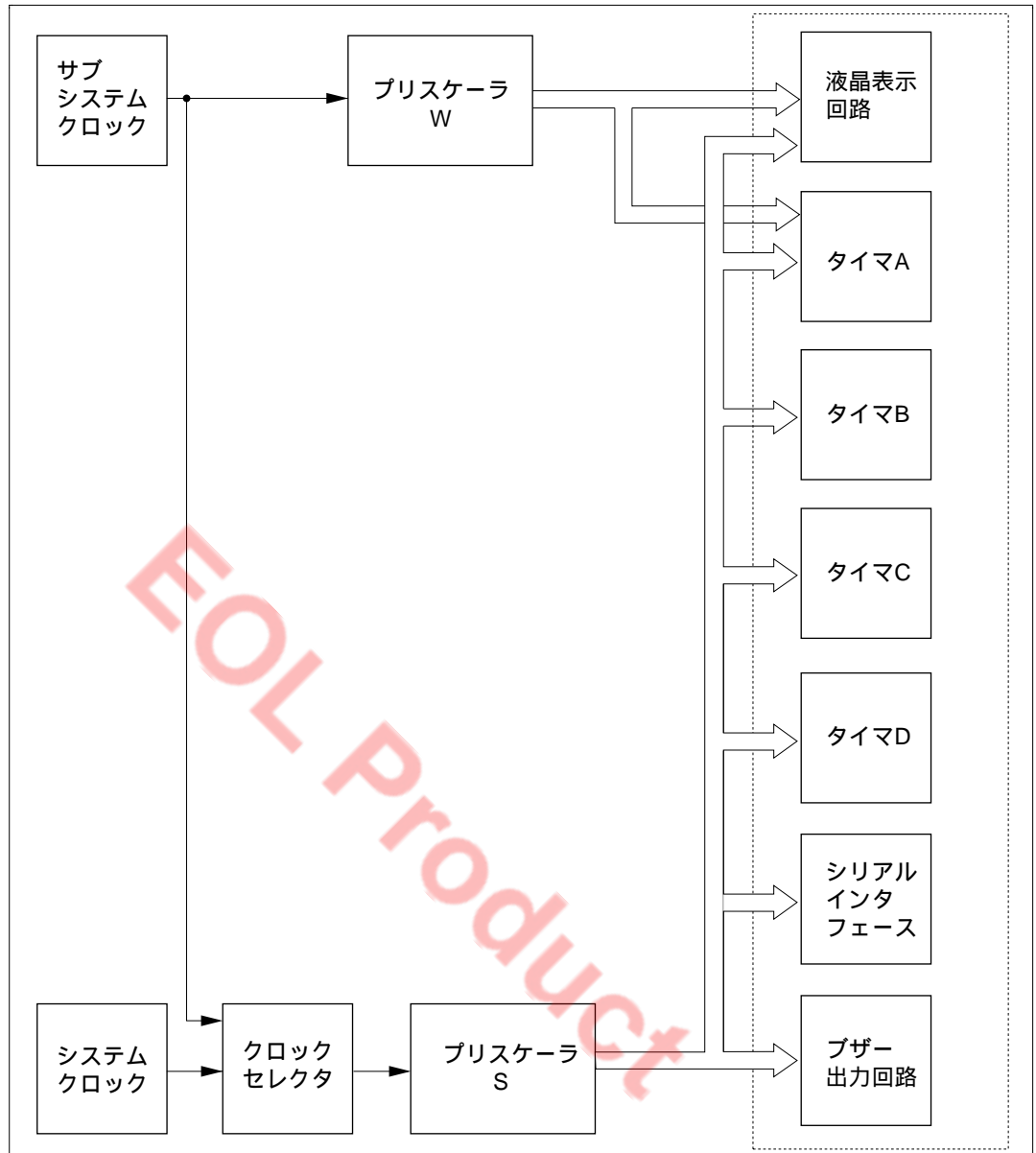


図 8.1 プリスケーラ出力の供給先



## 8.2 プリスケーラ S (PSS)

PSS は、アクティブモード、スタンバイモード時はシステムクロックを入力とし、サブアクティブモード時はサブシステムクロックを入力とする 11 ビットのカウンタです。

リセット時、PSS は\$000 にイニシャライズされ、リセット解除後、システムクロックを分周します。

PSS は、リセット、ストップモード、およびウォッチモードで動作を停止しますが、その他の動作モードでは停止しません。

PSS の出力は各内蔵周辺モジュールで共有していますが、分周比は各内蔵周辺モジュールで独立に設定できます。

## 8.3 プリスケーラ W (PSW)

PSW は、サブシステムクロックによる 32.768kHz 発振を 8 分周したクロックを入力とする 5 ビットのカウンタです。

リセット時、PSW は\$00 にイニシャライズされ、リセット解除後、サブシステムクロックを分周します。

PSW は、リセット、ストップモードで動作を停止しますが、その他の動作モードでは停止しません。

PSW は、ソフトウェアでリセットすることができます。

PSW の出力は、タイマ A、および液晶表示回路で共有していますが、分周比は各内蔵周辺モジュールで独立に設定できます。

EOL Product

---

# 9. タイマ A

---

## 第9章 目次

9.1	概要	159
9.1.1	特長	159
9.1.2	ブロック図	160
9.1.3	レジスタ構成	160
9.2	各レジスタの説明	161
9.2.1	タイマモードレジスタ A (TMA : \$00F)	161
9.2.2	タイマカウンタ A (TCA)	163
9.3	動作説明	164
9.3.1	フリーランニングタイマ	164
9.3.2	時計用タイムベース動作	164
9.4	割り込み	165
9.5	使用上の注意	165

EOL Product

## 9.1 概要

### 9.1.1 特長

タイマ A は、8 ビットのフリーランニングタイマです。

サブシステムクロック発振器 (32.768kHz) による時計用タイムベースとしての使用も可能です。

タイマ A の特長を以下に示します。

プリスケアラ S (PSS) をクロックソースとする 8 種類の内部クロック (2048 $t_{cyc}$ 、1024 $t_{cyc}$ 、512 $t_{cyc}$ 、128 $t_{cyc}$ 、32 $t_{cyc}$ 、8 $t_{cyc}$ 、4 $t_{cyc}$ 、2 $t_{cyc}$ ) を選択できます。

プリスケアラ W (PSW) をクロックソースとする (時計用タイムベースモード)、5 種類の内部クロック (32 $t_{wyc}$ 、16 $t_{wyc}$ 、8 $t_{wyc}$ 、2 $t_{wyc}$ 、1/2 $t_{wyc}$ ) を選択できます。

タイマカウンタ A (TCA) のオーバーフローで割り込みを要求できます。

【注】  $t_{cyc}$  ( = 1 /  $f_{PER}$  ) は PSS の 1 カウントの周期、 $t_{wyc}$  ( = 244.14  $\mu$  s ) は PSW の 1 カウントの周期です。

### 9.1.2 ブロック図

タイマ A のブロック図を図 9.1 に示します。

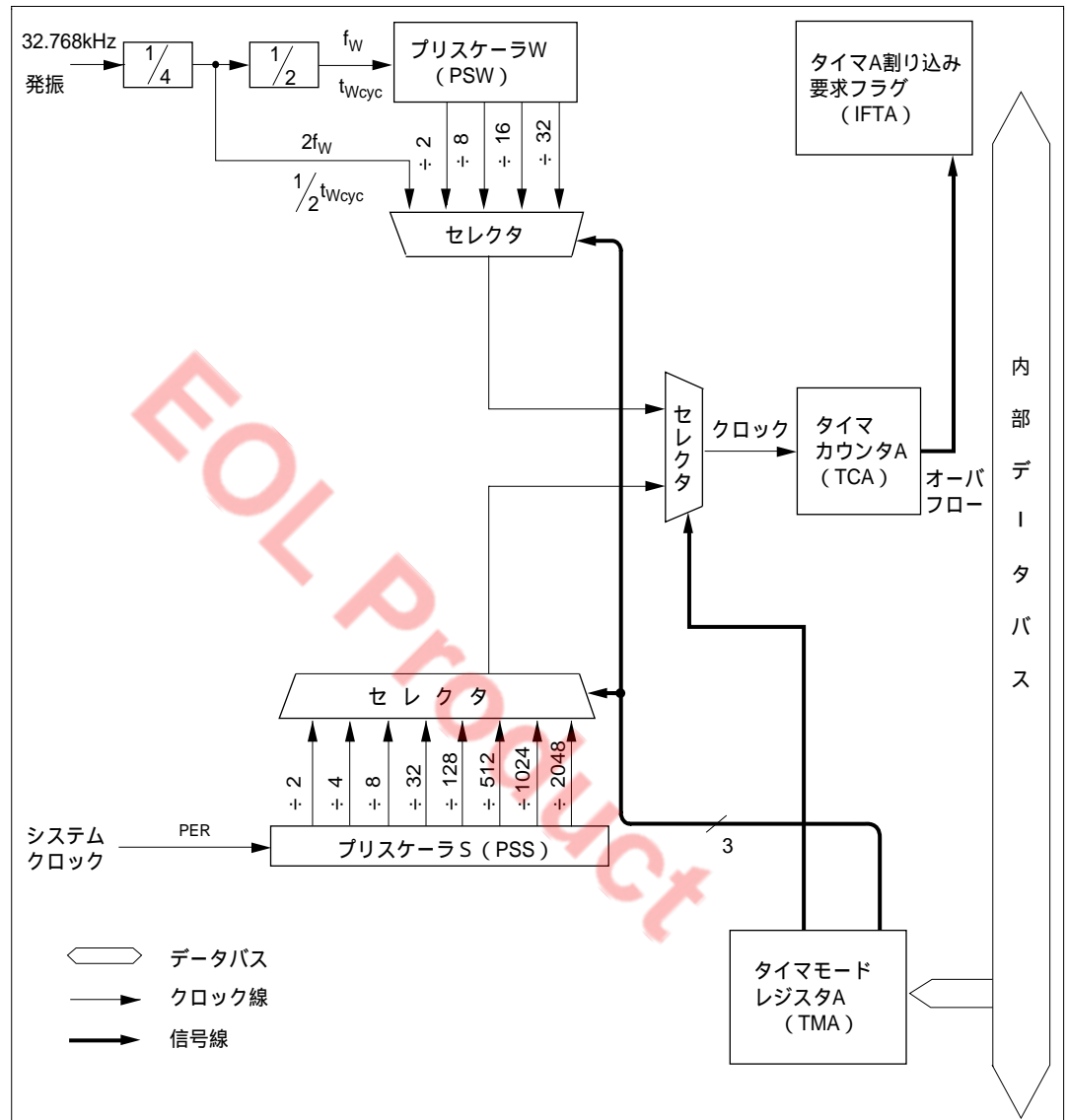


図 9.1 タイマ A のブロック図

### 9.1.3 レジスタ構成

タイマ A のレジスタ構成を表 9.1 に示します。

表 9.1 レジスタ構成

アドレス	名称	略称	R/W	初期値
\$00F	タイマモードレジスタ A	TMA	W	\$0
-	タイマカウンタ A	TCA	-	\$00

## 9.2 各レジスタの説明

### 9.2.1 タイマモードレジスタ A (TMA : \$00F)

TMA は、4 ビットの書き込み専用レジスタで、タイマ A のクロックソースとなるプリスケ - ラ (PSS、PSW)、およびその分周比を選択します。

リセット時に TMA は \$0 にイニシャライズされます。

ビット :	3	2	1	0
	TMA3	TMA2	TMA1	TMA0
初期値 :	0	0	0	0
R/W :	W	W	W	W

タイマ A クロック選択

TMA3	TMA2	TMA1	TMA0	プリスケ - ラ	入力クロック周期	モード
0	0	0	0	PSS	2048 $t_{cyc}$	フリーランニングタイマ
			1	PSS	1024 $t_{cyc}$	
		1	0	PSS	512 $t_{cyc}$	
			1	PSS	128 $t_{cyc}$	
	1	0	0	PSS	32 $t_{cyc}$	
			1	PSS	8 $t_{cyc}$	
		1	0	PSS	4 $t_{cyc}$	
			1	PSS	2 $t_{cyc}$	
1	0	0	0	PSW	32 $t_{Wcyc}$	時計用タイムベース
			1	PSW	16 $t_{Wcyc}$	
		1	0	PSW	8 $t_{Wcyc}$	
			1	PSW	2 $t_{Wcyc}$	
	1	0	0	-	1 / 2 $t_{Wcyc}$	
			1	-	使用禁止	
		1	任意	-	PSW、TCAクリア	

ビット 3 : タイマ A ソ - スプリスケ - ラ選択 (TMA3)

タイマ A のクロックソースを PSS とするか、PSW とするかを選択します。

TMA3	説 明
0	タイマ A のクロックソースを PSS とします。 (初期値)
1	タイマ A のクロックソースを PSW とします。

ビット2~0：タイマ A クロック選択 (TMA2~TMA0)

タイマ A の入力クロック周期を選択します。TMA3 ビットとの組み合わせで次のようになります。

フリーランニングタイマモード

(a) システムクロック分周比：4 分周 (SSR0 ビット = 0) \*

TMA3	TMA2	TMA1	TMA0	説 明						
				ソース プリスケアラ	入力クロック周期					
					記 号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 3.58MHz	f <sub>osc</sub> = 4MHz
0	0	0	0	PSS	2048t <sub>cyc</sub>	20.48ms	10.24ms	4.096ms	2.288ms	2.048ms
			1	PSS	1024t <sub>cyc</sub>	10.24ms	5.12ms	2.048ms	1.144ms	1.024ms
		1	0	PSS	512t <sub>cyc</sub>	5.12ms	2.56ms	1.024ms	572.07 μs	512 μs
			1	PSS	128t <sub>cyc</sub>	1.28ms	640 μs	256 μs	143.02 μs	128 μs
	1	0	0	PSS	32t <sub>cyc</sub>	320 μs	160 μs	64 μs	35.75 μs	32 μs
			1	PSS	8t <sub>cyc</sub>	80 μs	40 μs	16 μs	8.94 μs	8 μs
		1	0	PSS	4t <sub>cyc</sub>	40 μs	20 μs	8 μs	4.45 μs	4 μs
			1	PSS	2t <sub>cyc</sub>	20 μs	10 μs	4 μs	2.23 μs	2 μs

【注】 \* 設定方法については、「7.2.3 システムクロック切り換え方法」を参照してください。

(b) システムクロック分周比：32 分周 (SSR0 ビット = 1) \*

TMA3	TMA2	TMA1	TMA0	説 明						
				ソース プリスケアラ	入力クロック周期					
					記 号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 3.58MHz	f <sub>osc</sub> = 4MHz
0	0	0	0	PSS	2048t <sub>cyc</sub>	163.84ms	81.92ms	32.768ms	18.306ms	16.384ms
			1	PSS	1024t <sub>cyc</sub>	81.92ms	40.96ms	16.384ms	9.153ms	8.192ms
		1	0	PSS	512t <sub>cyc</sub>	40.96ms	20.48ms	8.192ms	4.577ms	4.096ms
			1	PSS	128t <sub>cyc</sub>	10.24ms	5.12ms	2.048ms	1.144ms	1.024ms
	1	0	0	PSS	32t <sub>cyc</sub>	2.56ms	1.28ms	512 μs	286.03 μs	256 μs
			1	PSS	8t <sub>cyc</sub>	640 μs	320 μs	128 μs	71.51 μs	64 μs
		1	0	PSS	4t <sub>cyc</sub>	320 μs	160 μs	64 μs	35.75 μs	32 μs
			1	PSS	2t <sub>cyc</sub>	160 μs	80 μs	32 μs	17.88 μs	16 μs

【注】 \* 設定方法については、「7.2.3 システムクロック切り換え方法」を参照してください。



時計用タイムベースモード

TMA3	TMA2	TMA1	TMA0	説 明		
				ソース プリスケーラ	入力クロック周期	
					記 号	$f_x = 32.768\text{kHz}$
1	0	0	0	PSW	$32t_{Wcyc}$	7.8125ms
			1	PSW	$16t_{Wcyc}$	3.9063ms
		1	0	PSW	$8t_{Wcyc}$	1.9531ms
			1	PSW	$2t_{Wcyc}$	488.29 $\mu$ s
	1	0	0	-	$1 / 2t_{Wcyc}$	122.07 $\mu$ s
			1	使用禁止		
		1	X	PSW、TCA クリア		

X : Don't care

## 9.2.2 タイマカウンタ A (TCA)

TCA は、8 ビットのアップカウンタで、入力する内部クロックによりカウントアップされます。

入力クロック周期は、TMA の TMA3 ~ TMA0 ビットにより選択します。TCA の読み出しおよび書き込みはできません。

TCA がオーバフローすると、タイマ A 割り込み要求フラグ (IFTA) が 1 にセットされます。

リセット時に、TCA は\$00 にイニシャライズされます。

ビット :	7	6	5	4	3	2	1	0
	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	-	-	-	-	-	-

カウント値

## 9.3 動作説明

タイマ A は 8 ビットのフリーランニングタイマとして使用できます。タイマ A には、以下の機能があります。

- (1) フリーランニングタイマ
- (2) 時計用タイムベース

### 9.3.1 フリーランニングタイマ

TMA の TMA3 = 0 にすると、タイマ A はフリーランニングタイマとして動作します。

タイマ A の動作クロックは、TMA の TMA2 ~ TMA0 ビットにより、PSS の出力する 8 種類の内部クロックから選択できます。

TCA のカウント値が \$FF になった後、クロックが入力されるとタイマ A はオーバフローし、IFTA が 1 にセットされます。このとき、タイマ A 割り込みマスク (IMTA) が 0 ならば、CPU に割り込みを要求します。割り込みについての詳細は、「第 4 章 例外処理」を参照してください。

オ - バフロ - 時には、TCA のカウント値は \$00 に戻り、再びカウントアップを開始します。したがって、256 の入力クロックごとに、周期的にオーバフロー - を出力するインターバルタイマとして動作します。

フリーランニングタイマ動作時 (TMA3 = 0) に TCA をクリアすることはできません。

### 9.3.2 時計用タイムベース動作

TMA の TMA3 = 1 にすると、タイマ A は時計用タイムベースとして動作します。

タイマ A の動作クロックは、TMA の TMA2 ~ TMA0 ビットにより、PSW の出力する 4 種類のクロック、および PSW を介さない 1 種類のクロックの計 5 種類の内部クロックから選択できます。

時計用タイムベース動作では、32.768kHz 水晶発振を基本クロックとした正確なタイミングで割り込みを発生することができます。

時計用タイムベース動作時 (TMA3 = 1) に、TMA2、TMA1 ビットを 11 にセットすると、TCA および PSW はともに \$00 にクリアされます。

時計用タイムベースモードは、ウォッチモード、サブアクティブモードの遷移 / 解除に使用されます。詳細は、「第 5 章 低消費電力モード」を参照してください。

## 9.4 割り込み

タイマ A の割り込み要因は、TCA のオーバフローです。

TCA がオーバフローすると、割り込み制御ビットエリアの IFTA が 1 にセットされます。IFTA は、割り込みが受け付けられてもオートクリアされません。割り込み処理ルーチンの中でソフトウェアにより 0 にクリアしてください。

タイマ A 割り込みは、割り込み制御ビットエリアの IMTA により、タイマ A 割り込みを独立に許可または禁止できます。詳細は、「第 4 章 例外処理」を参照してください。

## 9.5 使用上の注意

タイマ A を使用するとき、次の点に注意してください。

- (1) タイムベースモード使用時に分周比を途中で切り換えると、オーバフロー周期に誤差が発生しますので、途中切り換えは行わないでください。
- (2) 液晶表示回路による液晶表示中に TMA の TMA3 ~ TMA1 ビットをすべて 1 に設定して、PSW、TCA のクリアを選択した場合、液晶表示回路はホルト状態になります（パワースイッチ OFF の状態）。したがって、液晶表示を継続する場合には、PSW、TCA のクリア期間を最短にしてください。

EOL Product

---

# 10. タイマ B

---

## 第 10 章 目次

10.1	概要	169
10.1.1	特長	169
10.1.2	ブロック図	170
10.1.3	端子構成	171
10.1.4	レジスタ構成	171
10.2	各レジスタの説明	172
10.2.1	タイマモードレジスタ B1 (TMB1 : \$010)	172
10.2.2	タイマモードレジスタ B2 (TMB2 : \$011)	175
10.2.3	タイマカウンタ B (TCB)	176
10.2.4	タイマライトレジスタ BL、U (TWBL : \$012、TWBU : \$013)	177
10.2.5	タイマリードレジスタ BL、U (TRBL : \$012、TRBU : \$013)	178
10.2.6	ポートモードレジスタ 2 (PMR2 : \$00A)	179
10.2.7	モジュールスタンバイレジスタ 1 (MSR1 : \$00D)	180
10.3	動作説明	181
10.3.1	フリーランニングタイマ動作	181
10.3.2	リロードタイマ動作	181
10.3.3	外部イベントカウンタ動作	182
10.3.4	タイマ出力動作	182
	(1) トグル出力モード	182
	(2) PWM 出力モード	183
10.4	割り込み	184
10.5	使用上の注意	184

EOL Product

## 10.1 概要

### 10.1.1 特長

タイマBは、8ビットの多機能タイマ（フリーランニング/リロードタイマ）です。  
タイマBの特長を以下に示します。

プリスケアラS(PSS)をクロックソースとする7種類の内部クロック（ $2048t_{\text{cyc}}$ 、 $512t_{\text{cyc}}$ 、 $128t_{\text{cyc}}$ 、 $32t_{\text{cyc}}$ 、 $8t_{\text{cyc}}$ 、 $4t_{\text{cyc}}$ 、 $2t_{\text{cyc}}$ ）と外部イベントを選択できます。

タイマカウンタB(TCB)のオーバフローで割り込みを要求できます。

波形出力（トグル出力、PWM出力）が可能です。

未使用時にシステムクロックの供給を止めることができます（モジュールスタンバイ機能）。

EOL Product

### 10.1.2 ブロック図

フリーランニング/リロードタイマ動作時のタイマBのブロック図を図 10.1 に示します。

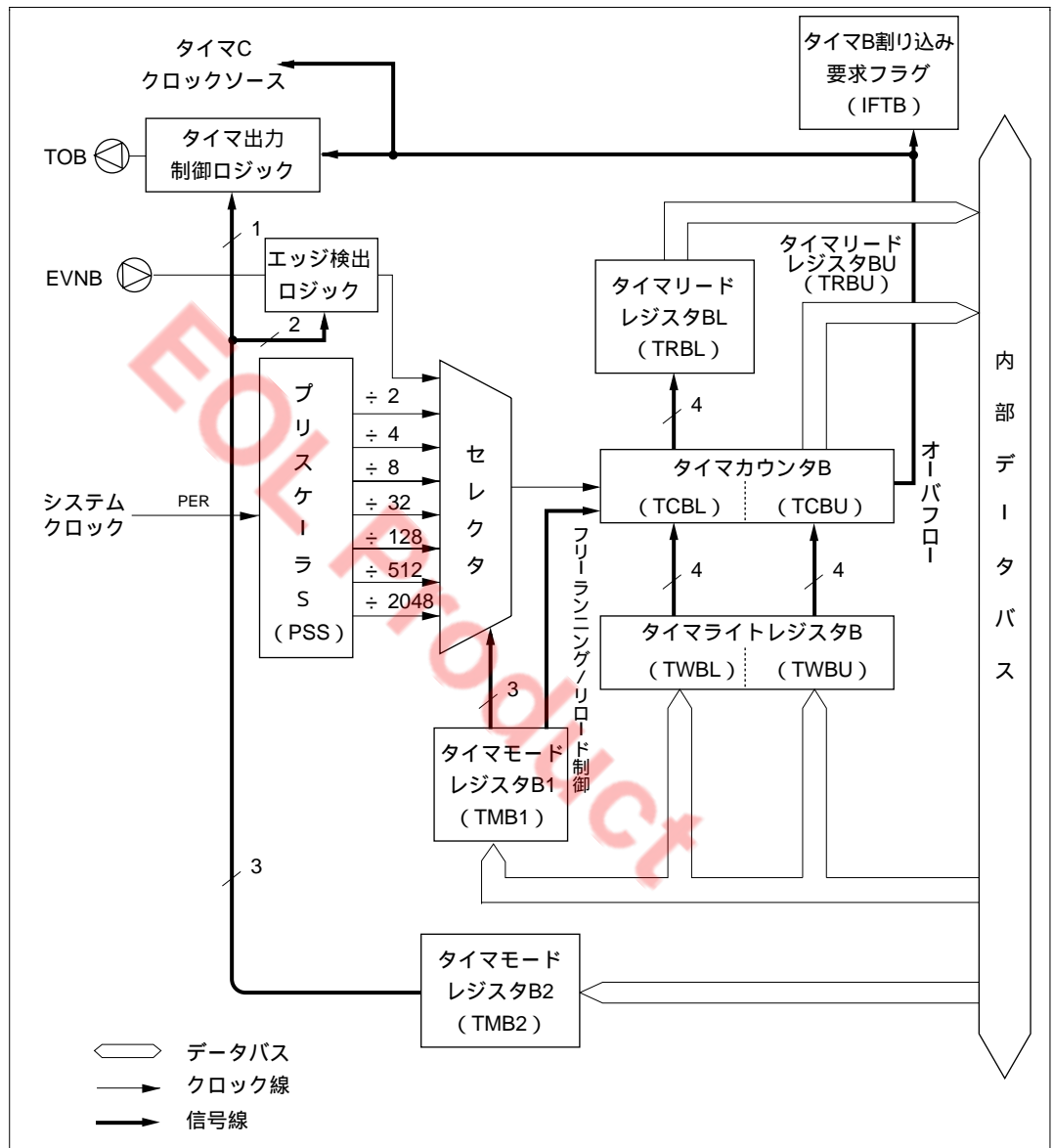


図 10.1 タイマBのブロック図 (フリーランニング/リロードタイマ)



### 10.1.3 端子構成

タイマ B の端子構成を表 10.1 に示します。

表 10.1 端子構成

名 称	記 号	入出力	機 能
タイマ B イベント入力	EVNB	入力	タイマ B イベント入力端子
タイマ B 出力	TOB	出力	タイマ B 出力端子

### 10.1.4 レジスタ構成

タイマ B のレジスタ構成を表 10.2 に示します。

表 10.2 レジスタ構成

アドレス	名 称	略 称	R/W	初期値
\$010	タイマモードレジスタ B1	TMB1	W	\$0
\$011	タイマモードレジスタ B2	TMB2	W	-000
-	タイマカウンタ B	TCB	-	\$00
\$012	タイマライトレジスタ BL	TWBL	W	\$0
\$013	タイマライトレジスタ BU	TWBU	W	不定
\$012	タイマリードレジスタ BL	TRBL	R	不定
\$013	タイマリードレジスタ BU	TRBU	R	不定
\$00A	ポートモードレジスタ 2	PMR2	W	\$0
\$00D	モジュールスタンバイレジスタ 1	MSR1	W	-000

## 10.2 各レジスタの説明

### 10.2.1 タイマモードレジスタ B1 (TMB1 : \$010)

TMB1 は、4ビットの書き込み専用レジスタで、タイマBの機能（フリーランニングリロードタイマ）と動作クロックを選択します。

リセット時に TMB1 は\$0 にイニシャライズされます。

ビット：	3	2	1	0
	TMB13	TMB12	TMB11	TMB10
初期値：	0	0	0	0
R/W：	W	W	W	W

タイマBクロック選択

TMB12	TMB11	TMB10	入力クロックソース
0	0	0	2048 t <sub>cyc</sub>
		1	512 t <sub>cyc</sub>
	1	0	128 t <sub>cyc</sub>
		1	32 t <sub>cyc</sub>
1	0	0	8 t <sub>cyc</sub>
		1	4 t <sub>cyc</sub>
	1	0	2 t <sub>cyc</sub>
		1	EVNB (外部イベント入力端子)*

タイマB機能選択

0	フリーランニングタイマ
1	リロードタイマ

【注】\* タイマBクロックに外部イベント入力を設定する場合、PMR2のPMR20ビットを1に設定してください。

ビット3：タイマB機能選択 (TMB13)

タイマBの機能を選択します。

TMB13	説明
0	フリーランニングタイマ機能を選択します。 (初期値)
1	リロードタイマ機能を選択します。

ビット2~0：タイマBクロック選択（TMB12~TMB10）

TCBの入カクロック周期を選択します。

アクティブモード

(a) システムクロック分周比：4分周（SSR0ビット=0）\*

TMB12	TMB11	TMB10	説 明						
			ソース プリスケアラ	入力クロック周期					
				記 号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 3.58MHz	f <sub>osc</sub> = 4MHz
0	0	0	PSS	2048t <sub>cyc</sub>	20.48ms	10.24ms	4.096ms	2.288ms	2.048ms
		1	PSS	512t <sub>cyc</sub>	5.12ms	2.56ms	1.024ms	572.07 μs	512 μs
	1	0	PSS	128t <sub>cyc</sub>	1.28ms	640 μs	256 μs	143.02 μs	128 μs
		1	PSS	32t <sub>cyc</sub>	320 μs	160 μs	64 μs	35.75 μs	32 μs
1	0	0	PSS	8t <sub>cyc</sub>	80 μs	40 μs	16 μs	8.94 μs	8 μs
		1	PSS	4t <sub>cyc</sub>	40 μs	20 μs	8 μs	4.45 μs	4 μs
	1	0	PSS	2t <sub>cyc</sub>	20 μs	10 μs	4 μs	2.23 μs	2 μs
		1	-	外部イベント入力（EVNB 端子）					

(b) システムクロック分周比：32分周（SSR0ビット=1）\*

TMB12	TMB11	TMB10	説 明						
			ソース プリスケアラ	入力クロック周期					
				記 号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 3.58MHz	f <sub>osc</sub> = 4MHz
0	0	0	PSS	2048t <sub>cyc</sub>	163.84ms	81.92ms	32.768ms	18.306ms	16.384ms
		1	PSS	512t <sub>cyc</sub>	40.96ms	20.48ms	8.192ms	4.577ms	4.096ms
	1	0	PSS	128t <sub>cyc</sub>	10.24ms	5.12ms	2.048ms	1.144ms	1.024ms
		1	PSS	32t <sub>cyc</sub>	2.56ms	1.28ms	512 μs	286.03 μs	256 μs
1	0	0	PSS	8t <sub>cyc</sub>	640 μs	320 μs	128 μs	71.51 μs	64 μs
		1	PSS	4t <sub>cyc</sub>	320 μs	160 μs	64 μs	35.75 μs	32 μs
	1	0	PSS	2t <sub>cyc</sub>	160 μs	80 μs	32 μs	17.88 μs	16 μs
		1	-	外部イベント入力（EVNB 端子）					

【注】 \* 設定方法については、「7.2.3 システムクロック切り換え方法」を参照してください。

## サブアクティブモード

TMB12	TMB11	TMB10	説 明			
			ソース プリスケアラ	入力クロック周期		
				記 号	$f_x = 32.768\text{kHz}$ (サブアクティブモード時)	
			SSR2*ビット=0	SSR2*ビット=1		
0	0	0	PSS	$2048t_{\text{cyc}}$	500ms	250ms
		1	PSS	$512t_{\text{cyc}}$	125ms	62.5ms
	1	0	PSS	$128t_{\text{cyc}}$	31.25ms	15.625ms
		1	PSS	$32t_{\text{cyc}}$	7.8125ms	3.9063ms
1	0	0	PSS	$8t_{\text{cyc}}$	1.9531ms	976.56 $\mu\text{s}$
		1	PSS	$4t_{\text{cyc}}$	976.56 $\mu\text{s}$	488.28 $\mu\text{s}$
	1	0	PSS	$2t_{\text{cyc}}$	488.28 $\mu\text{s}$	244.14 $\mu\text{s}$
		1	-	外部イベント入力 (EVNB 端子)		

【注】 \* システムクロック選択レジスタ (SSR) のビット2

## 10.2.2 タイマモードレジスタ B2 (TMB2 : \$011)

TMB2 は、3 ビットの書き込み専用レジスタで、EVNB 端子入力の検出エッジ選択およびタイマ B 出力モードを設定します。

リセット時に、TMB2 は-000 にイニシャライズされます。

ビット :	3	2	1	0
	-	TMB22	TMB21	TMB20
初期値 :	-	0	0	0
R/W :	-	W	W	W

EVNB端子検出エッジ選択

TMB21	TMB20	EVNB端子検出エッジ
0	0	検出しない
	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
	1	立ち下がり / 立ち上がり両エッジ検出

タイマB出力波形

0	トグル出力
1	PWM出力

ビット 3 : リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。書き込みは無効です。

ビット 2 : タイマ B 出力波形選択 (TMB22)

タイマ B の出力波形を設定します。

TMB22	説 明
0	タイマ B の出力波形を、トグル波形に設定します。 (初期値)
1	タイマ B の出力波形を、PWM 波形に設定します。

ビット 1、0 : EVNB 端子入力の検出エッジの選択 (TMB21、TMB20)  
EVNB 端子の検出エッジを選択します。

TMB21	TMB20	説明
0	0	EVNB 端子入力のエッジを検出しません。(初期値)
	1	EVNB 端子入力の立ち下がりエッジ ( $\downarrow$ ) を検出します。
1	0	EVNB 端子入力の立ち上がりエッジ ( $\uparrow$ ) を検出します。
	1	EVNB 端子入力の立ち下がり / 立ち上がり両エッジ ( $\downarrow$ $\uparrow$ ) を検出します。

### 10.2.3 タイマカウンタ B (TCB)

TCB は、8 ビットのアップカウンタで、入力する内部クロックによりカウントアップされます。

ビット :	7	6	5	4	3	2	1	0
	TCB7	TCB6	TCB5	TCB4	TCB3	TCB2	TCB1	TCB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	-	-	-	-	-	-	-	-

|  
カウント値

TCB の入力クロックは、TMB1 の TMB12 ~ TMB10 ビットにより選択します。

TRBL、TRBU を読み出すと TCB の値が読め、また TWBL、TWBU に書き込むと同じ値が TCB にも書き込まれます。

TCB がオーバーフローすると、タイマ B 割り込み要求フラグ (IFTB) が 1 にセットされます。このとき、タイマ B がフリーランニング機能設定 (TMB13=0) ならば、TCB は \$00 にクリアされ再びカウントアップを開始します。また、タイマ B がリロード機能設定 (TMB13=1) ならば、TWBL、TWBU の値が書き込まれ、その値からカウントアップを開始します。

リセット時に、TCB は \$00 にイニシャライズされます。

### 10.2.4 タイマライトレジスタ BL、U (TWBL : \$012、TWBU : \$013)

TWBL、TWBU は、8 ビットの書き込み専用レジスタで、下位ディジット (TWBL) と上位ディジット (TWBU) から構成されています。TWBL、TWBU は、TCB の値の初期設定 (リロードタイマ動作時のリロード値の設定) に使用します。

	ビット:	3	2	1	0
TWBU		TWBU3	TWBU2	TWBU1	TWBU0
	初期値:	不定	不定	不定	不定
	R/W :	W	W	W	W

	ビット:	3	2	1	0
TWBL		TWBL3	TWBL2	TWBL1	TWBL0
	初期値:	0	0	0	0
	R/W :	W	W	W	W

データは、まず TWBL、次に TWBU の順に書き込んでください。TWBL の書き込みでは、TCB の値は変更されません。次に TWBU を書き込んだタイミングで、TCB の上位ディジットに TWBU の値が、また TCB の下位ディジットに TWBL の値が書き込まれます。

2 回目以降、TWBL、TWBU を書き込む場合、TWBL のリロード値を変更する必要のないときには、TWBU のみ書き込めば、タイマ B のイニシャライズが完了します。

リセット時に TWBL は \$0 にイニシャライズされますが、TWBU は不定です。

### 10.2.5 タイマリードレジスタ BL、U (TRBL : \$012、TRBU : \$013)

TRBL、TRBU は、8ビットの読み出し専用レジスタで、下位ディジット (TRBL) と TCB の上位ディジットの値を直接読み出す上位ディジット (TRBU) から構成されています。

TRBL、TRBU は、TCB の値を読み出すために使用します。

	ビット :	3	2	1	0
TRBU		TRBU3	TRBU2	TRBU1	TRBU0
	初期値 :	不定	不定	不定	不定
	R/W :	R	R	R	R

	ビット :	3	2	1	0
TRBL		TRBL3	TRBL2	TRBL1	TRBL0
	初期値 :	不定	不定	不定	不定
	R/W :	R	R	R	R

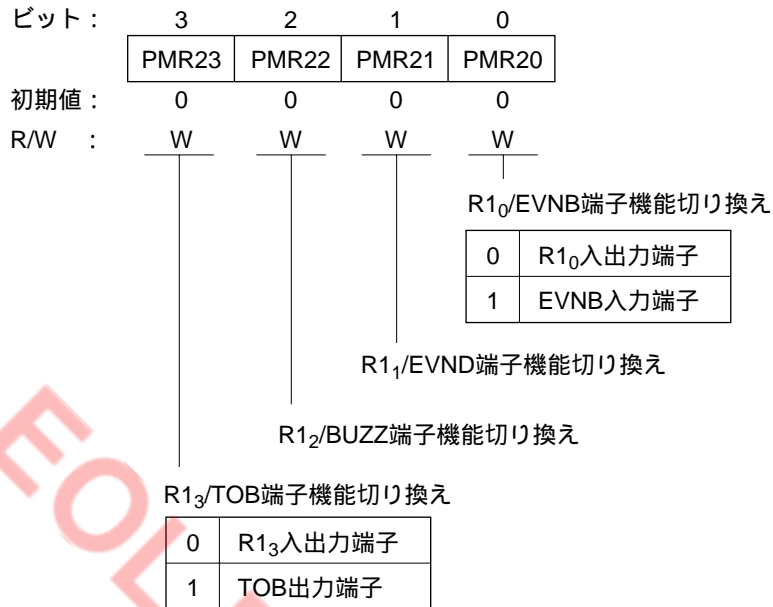
読み出しは、まず TRBU、次に TRBL の順に行ってください。TRBU の読み出しでは、TCB の上位ディジットの現在値を読み出すと同時に、TCB の下位ディジットの値が TRBL にラッチされます。次に、TRBL の読み出しにより、ラッチされた値が読み出され、TRBU を読み出した時点の TCB の値が得られます。

リセット時、TRBL、TRBU は不定となります。



## 10.2.6 ポートモードレジスタ 2 (PMR2 : \$00A)

PMR2は、4ビットの書き込み専用レジスタで、ポートの端子機能切り換えを行います。



ここでは、PMR23、PMR20ビットについてのみ説明します。PMR2の詳細は、「6.3.2 (4) ポートモードレジスタ 2 (PMR2)」を参照してください。

### ビット 3 : R1<sub>3</sub>ポート/TOB 端子機能切り換え (PMR23)

R1<sub>3</sub>/TOB 端子を R1<sub>3</sub>入出力端子として使用するか、TOB 出力端子として使用するかを選択します。

本ビットは、リセット時に 0 にイニシャライズされます。

PMR23	説 明
0	R1 <sub>3</sub> /TOB 端子は、R1 <sub>3</sub> 入出力端子として機能します。 (初期値)
1	R1 <sub>3</sub> /TOB 端子は、TOB 出力端子として機能します。

### ビット 0 : R1<sub>0</sub>/EVNB 端子機能切り換え (PMR20)

R1<sub>0</sub>/EVNB 端子を R1<sub>0</sub>入出力端子として使用するか、EVNB 入力端子として使用するかを選択します。

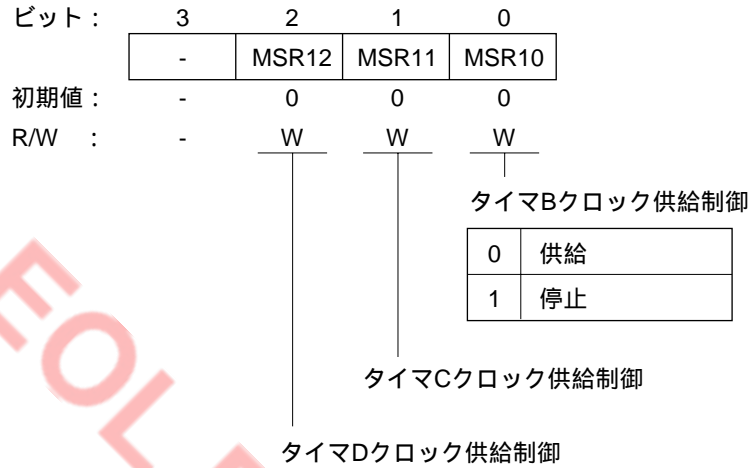
本ビットは、リセット時に 0 にイニシャライズされます。

PMR20	説 明
0	R1 <sub>0</sub> /EVNB 端子は、R1 <sub>0</sub> 入出力端子として機能します。 (初期値)
1	R1 <sub>0</sub> /EVNB 端子は、EVNB 入力端子として機能します。

### 10.2.7 モジュールスタンバイレジスタ 1 (MSR1 : \$00D)

MSR1 は3ビットの書き込み専用レジスタで、タイマB、タイマC、タイマDへのシステムクロックの供給/停止を設定します。モジュールスタンバイ中は、モードレジスタの設定値は保持されます。

リセット時に MSR1 は-000 にイニシャライズされます。



ここでは MSR10 ビットについて説明します。MSR11 および MSR12 ビットについての詳細は、「11.2.7」「12.2.7」の「モジュールスタンバイレジスタ 1 (MSR1)」を参照してください。

ビット0 : タイマBシステムクロック供給制御 (MSR10)

タイマBへのシステムクロックの供給/停止を設定します。

MSR10	説明
0	タイマBへのシステムクロックを供給します。 <span style="float: right;">(初期値)</span>
1	タイマBへのシステムクロックの供給を停止します。

## 10.3 動作説明

タイマBは、8ビットの多機能タイマです。タイマBには以下の機能があります。

- (1) フリーランニングタイマ動作
- (2) リロードタイマ動作
- (3) 外部イベントカウンタ動作
- (4) タイマ出力動作

### 10.3.1 フリーランニングタイマ動作

TMB1のTMB13=0にすると、タイマBは8ビットフリーランニングタイマとして動作します。

リセット時、TCBは\$00に、TMB13ビットは0にクリアされるため、リセット直後はフリーランニングタイマとして、停止することなくカウントアップを続けます。タイマBの動作クロックは、TMB1のTMB12~TMB10ビットにより、PSSの出力する7種類の内部クロック、または外部イベントから選択できます。

割り込みについての詳細は、「第4章 例外処理」を参照してください。

TCBのカウント値が\$FFになった後、クロックが入力されるとタイマBはオーバフローし、IFTBが1にセットされます。このとき、IMTBが0ならば、CPUに割り込みを要求します。

オーバフロー時にTCBのカウント値は\$00に戻り、再びカウントアップを開始します。

### 10.3.2 リロードタイマ動作

TMB1のTMB13=1にすると、タイマBは8ビットリロードタイマとして動作します。TWBL、TWBUにリロード値を設定することにより、同時にその値がTCBにロードされ、TCBはその値からカウントアップを開始します。

TCBの値が\$FFになった後、クロックが入力されるとタイマBはオーバフローし、TWBL、TWBUの値がTCBにロードされて、その値からカウントアップを続けます。したがって、TWBL、TWBUの値により、オーバフロー周期を入力クロック1~256の範囲で設定できます。

リロードタイマ動作時の動作クロック、割り込みについてはフリーランニングタイマ動作と同様です。

TWBL、TWBUによりリロード値を再設定すると、同時にTCBにもその値がロードされます。

### 10.3.3 外部イベントカウンタ動作

タイマBは、EVNB端子をイベント入力端子とする外部イベントカウンタ動作ができません。

TMB1のTMB12~TMB10ビットを111に設定すると、TCBはTMB21、TMB20ビットで指定されたEVNB入力エッジでカウントアップします。

その他の動作については、TMB1のTMB13ビットの設定により、フリーランニングタイマ動作、またはリロードタイマ動作と同様になります。

タイマBをイベントカウンタとして使用する場合、PMR2のPMR20ビットを1に設定してください。

### 10.3.4 タイマ出力動作

タイマBは、TMB2により、次の2種類のタイマ出力モードを選択できます。

- (1) トグル出力モード
- (2) PWM出力モード

PMR2のPMR23ビットを1に設定することにより、R1<sub>3</sub>/TOB端子はTOB出力端子(タイマB出力端子)として機能します。

#### (1) トグル出力モード

TMB2のTMB22ビットを0にすると、タイマBはトグル出力モードとなります。

トグル出力モードは、TCBのオーバフロー時に出力レベルを変化させる機能です。この機能を用いるとリロードタイマ機能と組み合わせ、任意の周期でデューティ50%の波形を出力することができ、ブザー用として使用できます。

フリーランニングタイマ動作時、およびリロードタイマ動作時のトグル出力波形を図10.2に示します。

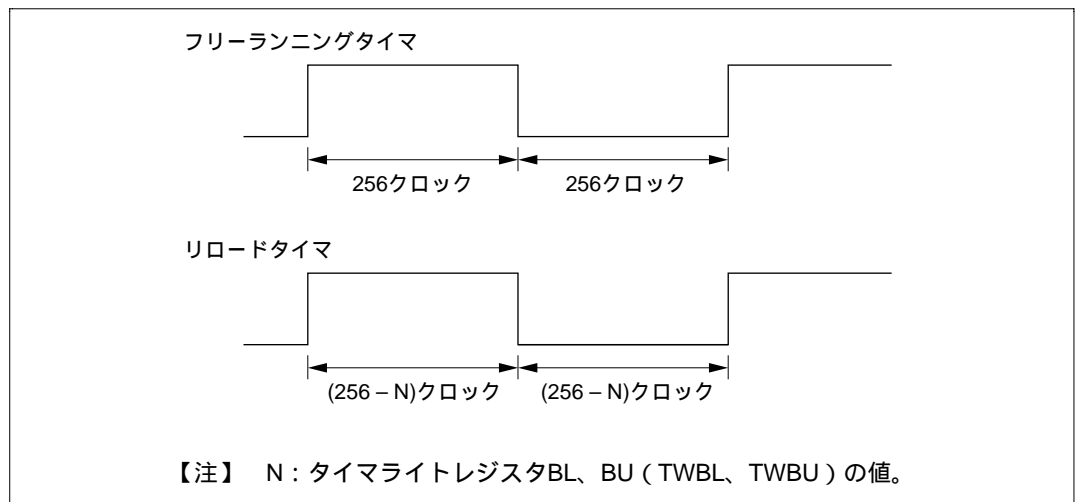


図 10.2 トグル出力波形

## (2) PWM 出力モード

TMB2のTMB22ビットを1にセットすると、タイマBはPWM出力モードとなります。  
 PWM出力モードは、デューティ可変のパルス出力機能です。出力波形は、TMB1とTWBL、TWBUの内容により、図10.3のようになります。

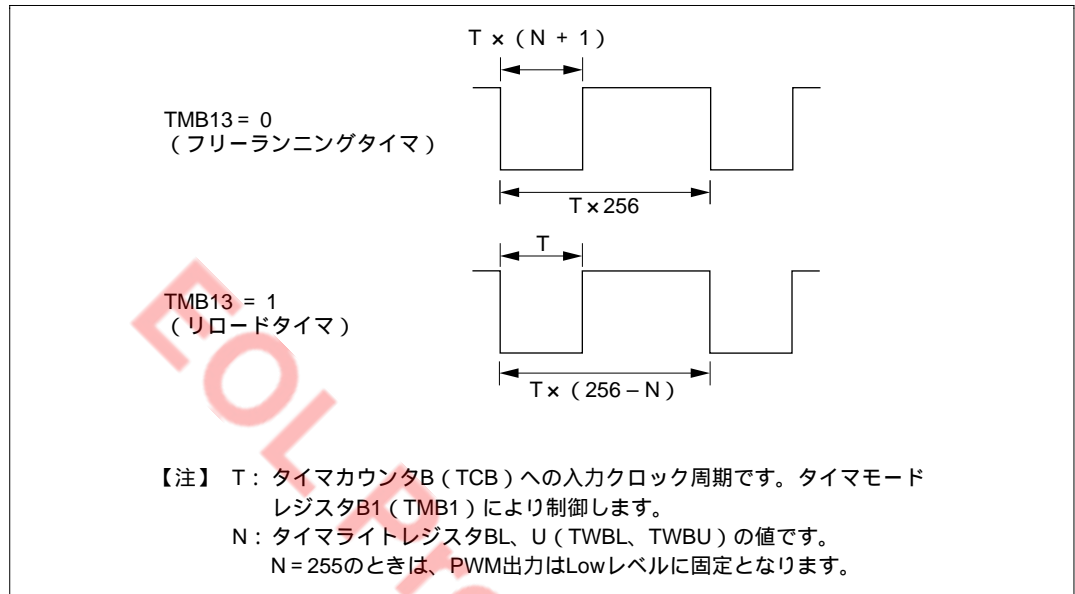


図 10.3 PWM 出力波形

## 10.4 割り込み

タイマ B の割り込み要因は、TCB のオーバフローです。

割り込み要因が発生すると、割り込み制御ビットエリアの IFTB が 1 にセットされます。IFTB は、割り込みが受け付けられてもオートクリアされません。割り込み処理ルーチンの中でソフトウェアにより 0 にクリアしてください。

タイマ B 割り込みは、割り込み制御ビットエリアの IMTB により、タイマ B 割り込みを独立に許可または禁止できます。

## 10.5 使用上の注意

タイマ B を使用するとき、次の点に注意してください。

- (1) TWBL、TWBU により、TCB のリロード値設定、および TCB のイニシャライズを行う場合には、まず TWBL、次に TWBU の順序で書き込んでください。TWBU を書き込んだタイミングで、TWBU と TWBL の値が同時に TCB に書き込まれます。したがって、TWBL がすでに設定済みであり、上位ディジットのみ変更したい場合には、TWBU のみ書き換えてください。
- (2) TRBL、TRBU により、TCB の値を読み出す場合には、まず TRBU、次に TRBL の順序で読み出してください。TRBU を読み出したタイミングで、その時点の TCB の下位ディジットの値が TRBL にラッチされます。次に TRBL を読み出すとラッチされたデータが読めます。
- (3) TMB1 の変更は、TMB1 への書き込み命令実行の 2 命令後から有効になります。したがって、TWBL、TWBU への書き込みによるタイマ B のイニシャライズ（リロード値設定、TCB イニシャライズ）は、TMB1 変更後のモードが有効となってから実行されるようにプログラムする必要があります。
- (4) TMB2 で、EVNB 端子の立ち下がり / 立ち上がり両エッジ検出を選択した場合には、立ち下がりエッジと立ち上がりエッジの間隔が、 $2t_{\text{cyc}}$  以上になるようにしてください。
- (5) モジュールスタンバイ状態にする前に当該モジュールの割り込みマスクをセットしてください。また、モジュールスタンバイ解除後は当該モジュールの割り込み要求フラグをクリアしてください。

---

# 11. タイマ C

---

## 第 11 章 目次

11.1	概要	187
11.1.1	特長	187
11.1.2	ブロック図	188
11.1.3	端子構成	189
11.1.4	レジスタ構成	189
11.2	各レジスタの説明	190
11.2.1	タイマモードレジスタ C1 (TMC1 : \$014)	190
11.2.2	タイマモードレジスタ C2 (TMC2 : \$015)	193
11.2.3	タイマカウンタ C (TCC)	194
11.2.4	タイマライトレジスタ CL、U (TWCL : \$016、TWCU : \$017)	194
11.2.5	タイマリードレジスタ CL、U (TRCL : \$016、TRCU : \$017)	195
11.2.6	ポートモードレジスタ 3 (PMR3 : \$00B)	196
11.2.7	モジュールスタンバイレジスタ 1 (MSR1 : \$00D)	197
11.2.8	ウォッチドッグオンフラグ (WDON : \$020,1)	198
11.3	動作説明	199
11.3.1	フリーランニングタイマ動作	199
11.3.2	リロードタイマ動作	199
11.3.3	16ビットタイマ動作	200
11.3.4	ウォッチドッグタイマ動作	200
11.3.5	タイマ出力動作	200
	(1) トグル出力モード	200
	(2) PWM 出力モード	201
11.4	割り込み	202
11.5	使用上の注意	202

EOL Product



## 11.1 概要

### 11.1.1 特長

タイマCは、8ビットの多機能タイマ（フリーランニング/リロードタイマ）です。クロックソースにタイマBオーバフローを選択することにより、16ビットタイマとして使用可能です。

タイマCの特長を以下に示します。

プリスケラS (PSS) をクロックソースとする8種類の内部クロック ( $2048t_{\text{cyc}}$ 、 $512t_{\text{cyc}}$ 、 $128t_{\text{cyc}}$ 、 $32t_{\text{cyc}}$ 、 $8t_{\text{cyc}}$ 、 $4t_{\text{cyc}}$ 、 $2t_{\text{cyc}}$ 、タイマBオーバフロー) を選択できます。

ウォッチドッグタイマとして使用できます。

波形出力（トグル出力、PWM出力）が可能です。

タイマカウンタC (TCC) のオーバフローで割り込みを要求できます。

未使用時にシステムクロックの供給を止めることができます（モジュールスタンバイ機能）。

### 11.1.2 ブロック図

タイマCのブロック図を図 11.1 に示します。

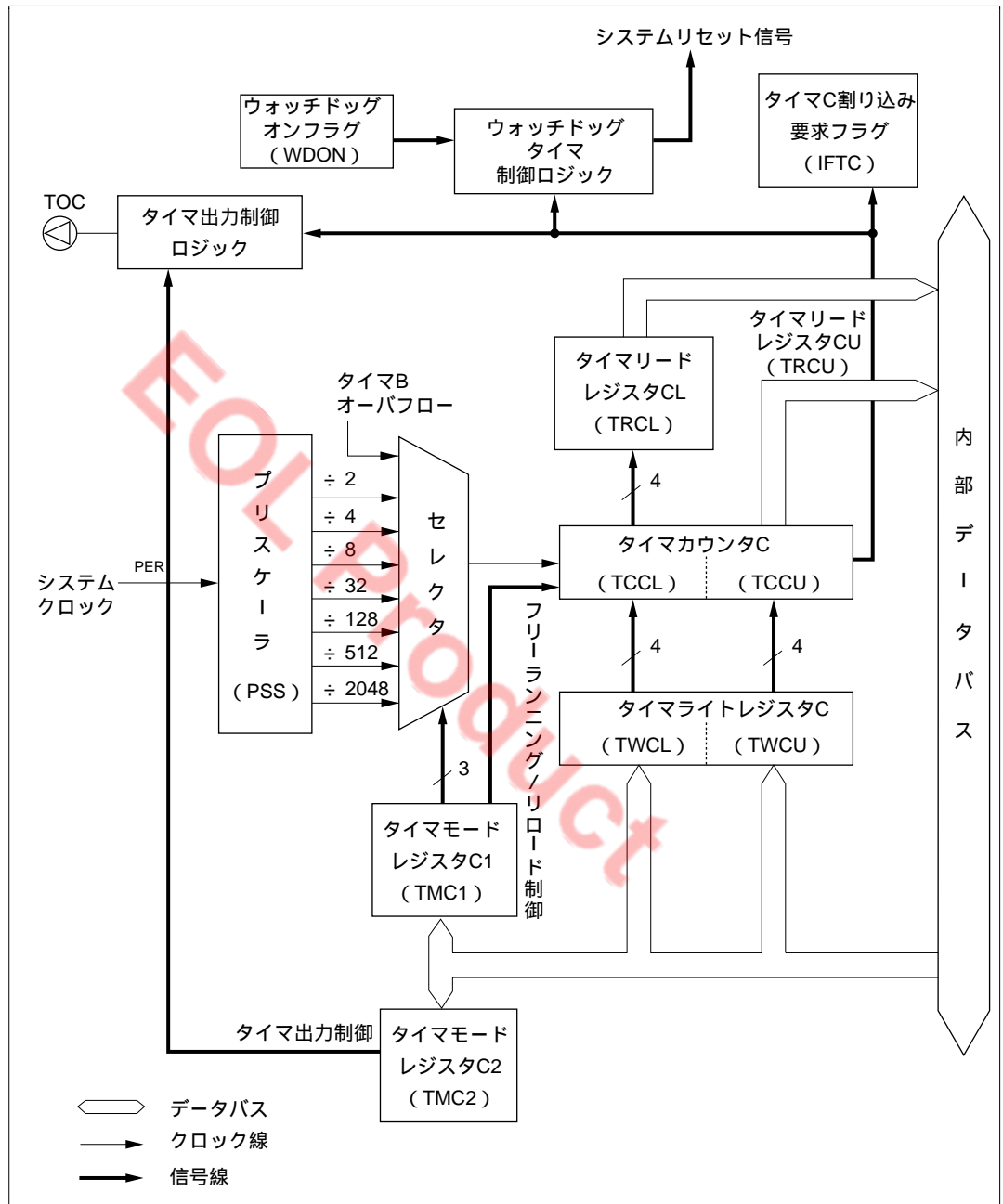


図 11.1 タイマCのブロック図

### 11.1.3 端子構成

タイマCの端子構成を表11.1に示します。

表 11.1 端子構成

名 称	記 号	入出力	機 能
タイマC出力	TOC	出 力	タイマC出力端子

### 11.1.4 レジスタ構成

タイマCのレジスタ構成を表11.2に示します。

表 11.2 レジスタ構成

アドレス	名 称	略 称	R/W	初期値
\$014	タイマモードレジスタ C1	TMC1	W	\$0
\$015	タイマモードレジスタ C2	TMC2	W	-0--
	タイマカウンタ C	TCC		\$00
\$016	タイマライトレジスタ CL	TWCL	W	\$0
\$017	タイマライトレジスタ CU	TWCU	W	不定
\$016	タイマリードレジスタ CL	TRCL	R	不定
\$017	タイマリードレジスタ CU	TRCU	R	不定
\$00B	ポートモードレジスタ 3	PMR3	W	\$0
\$00D	モジュールスタンバイレジスタ 1	MSR1	W	-000
\$020,1	ウォッチドッグオンフラグ	WDON*	R/W*	0

【注】 \* WDON は、レジスタフラグエリアに割り付けられており、RAM ビット操作命令のみ使用可能です。本フラグは、セットのための1書き込みのみ可能であり、命令で0にクリアすることはできません。詳細は、「第2章 メモリマップ」を参照してください。

## 11.2 各レジスタの説明

### 11.2.1 タイマモードレジスタ C1 (TMC1 : \$014)

TMC1 は、4ビットの書き込み専用レジスタで、タイマCの機能（フリーランニング/リロードタイマ）と動作クロックを選択します。

リセット時に、TMC1 は\$0 にイニシャライズされます。

ビット:	3	2	1	0
	TMC13	TMC12	TMC11	TMC10
初期値:	0	0	0	0
R/W :	W	W	W	W

タイマCクロック選択

TMC12	TMC11	TMC10	入力クロックソース
0	0	0	2048 t <sub>cyc</sub>
		1	512 t <sub>cyc</sub>
	1	0	128 t <sub>cyc</sub>
		1	32 t <sub>cyc</sub>
1	0	0	8 t <sub>cyc</sub>
		1	4 t <sub>cyc</sub>
	1	0	2 t <sub>cyc</sub>
		1	タイマBオーバフロー

タイマC機能選択

0	フリーランニングタイマ
1	リロードタイマ

ビット3 : タイマC機能選択 (TMC13)

タイマCの機能を選択します。

TMC13	説明
0	フリーランニングタイマ機能を選択します。 (初期値)
1	リロードタイマ機能を選択します。

ビット2~0：タイマCクロック選択（TMC12~TMC10）

TCCの入力クロック周期を選択します。

アクティブモード

(a) システムクロック分周比：4分周（SSR0ビット=0）\*

TMC12	TMC11	TMC10	説明						
			ソース プリスケアラ	入力クロック周期					
				記号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 3.58MHz	f <sub>osc</sub> = 4MHz
0	0	0	PSS	2048t <sub>cyc</sub>	20.48ms	10.24ms	4.096ms	2.288ms	2.048ms
		1	PSS	512t <sub>cyc</sub>	5.12ms	2.56ms	1.024ms	572.07 μs	512 μs
	1	0	PSS	128t <sub>cyc</sub>	1.28ms	640 μs	256 μs	143.02 μs	128 μs
		1	PSS	32t <sub>cyc</sub>	320 μs	160 μs	64 μs	35.75 μs	32 μs
1	0	0	PSS	8t <sub>cyc</sub>	80 μs	40 μs	16 μs	8.94 μs	8 μs
		1	PSS	4t <sub>cyc</sub>	40 μs	20 μs	8 μs	4.45 μs	4 μs
	1	0	PSS	2t <sub>cyc</sub>	20 μs	10 μs	4 μs	2.23 μs	2 μs
		1	-	タイマB オーバフロー					

【注】 \* 設定方法については、「7.2.3 システムクロック切り換え方法」を参照してください。

(b) システムクロック分周比：32分周（SSR0ビット=1）\*

TMC12	TMC11	TMC10	説明						
			ソース プリスケアラ	入力クロック周期					
				記号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 3.58MHz	f <sub>osc</sub> = 4MHz
0	0	0	PSS	2048t <sub>cyc</sub>	163.84ms	81.92ms	32.768ms	18.306ms	16.384ms
		1	PSS	512t <sub>cyc</sub>	40.96ms	20.48ms	8.192ms	4.577ms	4.096ms
	1	0	PSS	128t <sub>cyc</sub>	10.24ms	5.12ms	2.048ms	1.144ms	1.024ms
		1	PSS	32t <sub>cyc</sub>	2.56ms	1.28ms	512 μs	286.03 μs	256 μs
1	0	0	PSS	8t <sub>cyc</sub>	640 μs	320 μs	128 μs	71.51 μs	64 μs
		1	PSS	4t <sub>cyc</sub>	320 μs	160 μs	64 μs	35.75 μs	32 μs
	1	0	PSS	2t <sub>cyc</sub>	160 μs	80 μs	32 μs	17.88 μs	16 μs
		1	-	タイマB オーバフロー					

【注】 \* 設定方法については、「7.2.3 システムクロック切り換え方法」を参照してください。

## サブアクティブモード

TMC12	TMC11	TMC10	説 明			
			ソース プリスケアラ	入力クロック周期		
				記 号	$f_x = 32.768\text{kHz}$	
					SSR2 ビット* = 0	SSR2 ビット* = 1
0	0	0	PSS	$2048t_{\text{cyc}}$	500ms	250ms
		1	PSS	$512t_{\text{cyc}}$	125ms	62.5ms
	1	0	PSS	$128t_{\text{cyc}}$	31.25ms	15.625ms
		1	PSS	$32t_{\text{cyc}}$	7.8125ms	3.9063ms
1	0	0	PSS	$8t_{\text{cyc}}$	1.9531ms	976.56 $\mu\text{s}$
		1	PSS	$4t_{\text{cyc}}$	976.56 $\mu\text{s}$	488.28 $\mu\text{s}$
	1	0	PSS	$2t_{\text{cyc}}$	488.28 $\mu\text{s}$	244.14 $\mu\text{s}$
		1	-	タイマB オーバフロー		

【注】 \* システムクロック選択レジスタ (SSR) のビット2

## 11.2.2 タイマモードレジスタ C2 (TMC2 : \$015)

TMC2は、1ビットの書き込み専用レジスタで、タイマC出力モードを設定します。  
リセット時に、TMC2は-0-にイニシャライズされます。

ビット:	3	2	1	0
	—	TMC22	-	-
初期値:	—	0	-	-
R/W :	—	W	-	-

↓

タイマC出力波形

0	トグル出力
1	PWM出力

ビット3、1、0：リザーブビット

リザーブビットです。読み出し時には常に0が読み出せます。書き込みは無効です。

ビット2：タイマC出力波形選択 (TMC22)

タイマCの出力波形を設定します。

TMC22	説 明
0	タイマCの出力波形を、トグル波形に設定します。 (初期値)
1	タイマCの出力波形を、PWM波形に設定します。

### 11.2.3 タイマカウンタ C (TCC)

TCC は、8 ビットのアップカウンタで、入力する内部クロックによりカウントアップされます。

ビット :	7	6	5	4	3	2	1	0
	TCC7	TCC6	TCC5	TCC4	TCC3	TCC2	TCC1	TCC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—

|  
カウント値

TCC の入力クロックは、TMC1 の TMC12 ~ TMC10 ビットにより選択します。

TRCL、TRCU を読み出すと TCC の値が読め、また TWCL、TWCU に書き込むと同じ値が TCC も書き込まれます。

TCC がオーバーフローすると、タイマ C 割り込み要求フラグ (IFTC) が 1 にセットされます。このとき、タイマ C がフリーランニング機能設定 (TMC13 = 0) ならば、TCC は \$00 にクリアされ再びカウントアップを開始します。また、タイマ C がリロード機能設定 (TMC13 = 1) ならば、TWCL、TWCU の値が書き込まれ、その値からカウントアップを開始します。

リセット時に、TCC は \$00 にイニシャライズされます。

### 11.2.4 タイマライトレジスタ CL、U (TWCL : \$016、TWCU : \$017)

TWCL、TWCU は、8 ビットの書き込み専用レジスタで、下位ディジット (TWCL) と上位ディジット (TWCU) から構成されています。TWCL、TWCU は、TCC の値の初期設定 (リロードタイマ動作時のリロード値の設定) に使用します。

ビット :	3	2	1	0
TWCU	TWCU3	TWCU2	TWCU1	TWCU0
初期値 :	不定	不定	不定	不定
R/W :	W	W	W	W

ビット :	3	2	1	0
TWCL	TWCL3	TWCL2	TWCL1	TWCL0
初期値 :	0	0	0	0
R/W :	W	W	W	W



データは、まず TWCL、次に TWCU の順に書き込んでください。TWCL の書き込みでは、TCC の値は変更されません。次に TWCU を書き込んだタイミングで、TCC の上位ディジットに TWCU の値が、また TCC の下位ディジットに TWCL の値が書き込まれます。

2 度目以降、TWCL、TWCU を書き込む場合、TWCL のリロード値を変更する必要のないときには、TWCU のみ書き込めば、タイマ C のイニシャライズが完了します。

リセット時に TWCL は \$0 にイニシャライズされますが、TWCU は不定です。

### 11.2.5 タイマリードレジスタ CL、U (TRCL : \$016、TRCU : \$017)

TRCL、TRCU は、8 ビットの読み出し専用レジスタで、下位ディジット (TRCL) と TCC の上位ディジットの値を直接読み出す上位ディジット (TRCU) から構成されています。

TRCL、TRCU は、TCC の値を読み出すために使用します。

ビット :	3	2	1	0
TRCU	TRCU3	TRCU2	TRCU1	TRCU0
初期値 :	不定	不定	不定	不定
R/W :	R	R	R	R

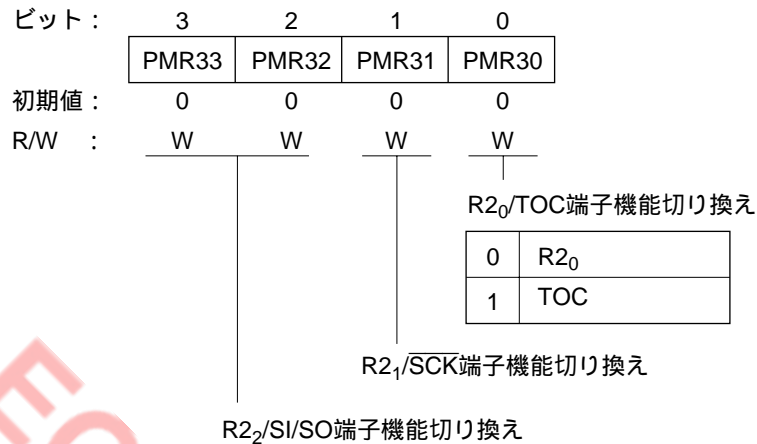
ビット :	3	2	1	0
TRCL	TRCL3	TRCL2	TRCL1	TRCL0
初期値 :	不定	不定	不定	不定
R/W :	R	R	R	R

読み出しは、まず TRCU、次に TRCL の順に行ってください。TRCU の読み出しでは、TCC の上位ディジットの現在値を読み出すと同時に、TCC の下位ディジットの値が TRCL にラッチされます。次に、TRCL の読み出しにより、ラッチされた値が読み出され、TRCU を読み出した時点の TCC の値が得られます。

リセット時、TRCL、TRCU は不定となります。

### 11.2.6 ポートモードレジスタ3 (PMR3 : \$00B)

PMR3は、4ビットの書き込み専用レジスタで、ポートの端子機能切り換えを行います。リセット時に、PMR3は\$0にイニシャライズされます。



ここでは、PMR30ビットについてのみ説明します。PMR33～PMR31ビットの詳細は、「6.3.2 (5) ポートモードレジスタ3」を参照してください。

#### ビット0 : R2<sub>0</sub>/TOC 端子機能切り換え (PMR30)

R2<sub>0</sub>/TOC 端子を R2<sub>0</sub>入出力端子として使用するか、TOC 出力端子として使用するかを選択します。

PMR30	説 明
0	R2 <sub>0</sub> /TOC 端子は、R2 <sub>0</sub> 入出力端子として機能します。 (初期値)
1	R2 <sub>0</sub> /TOC 端子は、TOC 出力端子として機能します。

## 11.2.7 モジュールスタンバイレジスタ 1 (MSR1 : \$00D)

MSR1 は3ビットの書き込み専用レジスタで、タイマB、タイマC、タイマDへのシステムクロックの供給/停止を設定します。モジュールスタンバイ中は、モードレジスタの設定値は保持されます。

リセット時に MSR1 は-000 にイニシャライズされます。

ビット :	3	2	1	0
	-	MSR12	MSR11	MSR10
初期値 :	-	0	0	0
R/W :	-	W	W	W

					タイマBクロック供給制御
					タイマCクロック供給制御
					タイマDクロック供給制御

0	供給
1	停止

ここでは MSR11 ビットについて説明します。MSR10 および MSR12 ビットについての詳細は、「10.2.7」「12.2.7」の「モジュールスタンバイレジスタ 1 (MSR1)」を参照してください。

ビット1 : タイマCシステムクロック供給制御 (MSR11)

タイマCへのシステムクロックの供給/停止を設定します。

MSR11	説 明
0	タイマCへのシステムクロックを供給します。 (初期値)
1	タイマCへのシステムクロックの供給を停止します。

### 11.2.8 ウォッチドッグオンフラグ (WDON : \$020,1)

WDON は、タイマ C をウォッチドッグタイマとして使用するか否かを設定します。WDON は、レジスタフラグエリアに割り付けられており、RAM ビット操作命令のみ使用可能です。本フラグは、セットのための 1 書き込みのみ可能であり、命令により 0 にクリアすることはできません。

リセット時に、WDON は 0 にクリアされます。

WDON	説明
0	タイマ C は、通常機能となります。 (初期値)
1	タイマ C は、ウォッチドッグタイマとして機能します。タイマ C がオーバーフローすると、MCU はリセット状態となり、リセット例外処理が開始されます。

## 11.3 動作説明

タイマCは、8ビットの多機能タイマです。タイマCには以下の機能があります。

- (1) フリーランニングタイマ
- (2) リロードタイマ
- (3) 16ビットタイマ動作
- (4) ウォッチドッグタイマ
- (5) タイマ出力

### 11.3.1 フリーランニングタイマ動作

TMC1のTMC13=0にすると、タイマCは8ビットフリーランニングタイマとして動作します。

リセット時、TCCは\$00に、TMC13ビットは0にクリアされるために、リセット直後は、フリーランニングカウンタとして停止することなくカウントアップを続けます。タイマCの動作クロックは、TMC1のTMC12~TMC10ビットにより、PSSの出力する8種類の内部クロックから選択できます。

TCCの値が\$FFになった後、クロックが入力されると、タイマCはオーバフローし、IFTCが1にセットされます。このとき、IMTCが0ならば、CPUに割り込みを要求します。割り込みについての詳細は、「第4章 例外処理」を参照してください。

オーバフロー時には、TCCのカウント値は\$00に戻り、再びカウントアップを開始します。

### 11.3.2 リロードタイマ動作

TMC1のTMC13=1とすると、タイマCは8ビットのリロードタイマとして動作します。

TWCL、TWCUにリロード値を設定することにより、同時にその値がTCCに書き込まれ、TCCはその値からカウントアップを開始します。

TCCの値が\$FFになった後、クロックが入力されるとタイマCはオーバフローし、TWCL、TWCUの値がTCCに書き込まれ、その値からカウントアップを続けます。したがって、TWCL、TWCUの値により、オーバフロー周期を入力クロック1~256の範囲で指定できます。

リロードタイマ動作時の動作クロック、割り込みについてはフリーランニングタイマと同様です。

TWCL、TWCUにリロード値を再設定すると、同時にTCCにもその値が書き込まれます。

### 11.3.3 16ビットタイマ動作

TMC1のTMC12~TMC10ビットを111にセットすると、タイマCのクロックソースにタイマBのオーバーフロー出力が選択され、タイマCはタイマBと組み合わせた16ビットタイマとして使用できます。

### 11.3.4 ウォッチドッグタイマ動作

WDONを1にセットすると、タイマCはウォッチドッグタイマとして動作します。ウォッチドッグタイマは、プログラムの暴走検出に使用します。

ウォッチドッグタイマ動作では、タイマCがオーバーフローすると、MCUはリセット状態になり、リセット例外処理が開始されます。したがってタイマCをリロードタイマ動作に設定し、TCCの値が\$FFになる前にTCCの再設定を行い、正常動作ではオーバーフローが発生しないようにプログラムします。

### 11.3.5 タイマ出力動作

タイマCは、TMC2により、次の2種類のタイマ出力モードを選択できます。

- (1) トグル出力
- (2) PWM出力

PMR3のPMR30ビットを1に設定することにより、R2<sub>0</sub>/TOC端子はTOC出力端子(タイマC出力端子)として機能します。

#### (1) トグル出力モード

TMC2のTMC22ビットを0にすると、タイマCはトグル出力モードとなります。

トグル出力モードは、TCCのオーバーフロー時に、出力レベルを変化させる機能です。この機能を用いるとリロードタイマ機能と組み合わせ、任意の周期でデューティ50%の波形を出力することができ、ブザー用として使用できます。

フリーランニングタイマ動作時、およびリロードタイマ動作時のトグル出力波形を図11.2に示します。

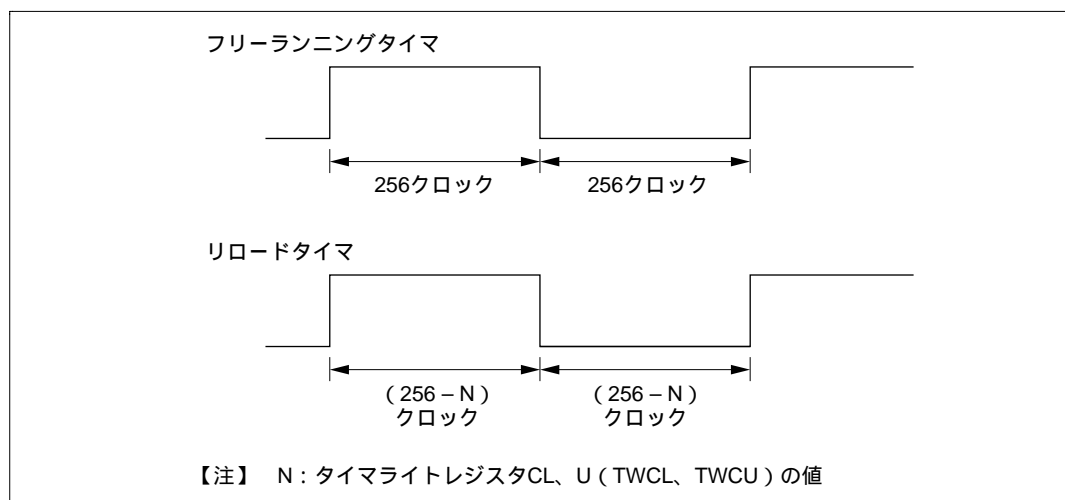


図 11.2 トグル出力波形

## (2) PWM 出力モード

TMC2のTMC22ビットを1にセットすると、タイマはPWM出力モードとなります。

PWM出力モードは、デューティ可変のパルス出力機能です。出力波形は、TMC1とTWCL、TWCUの内容により、図11.3のようになります。

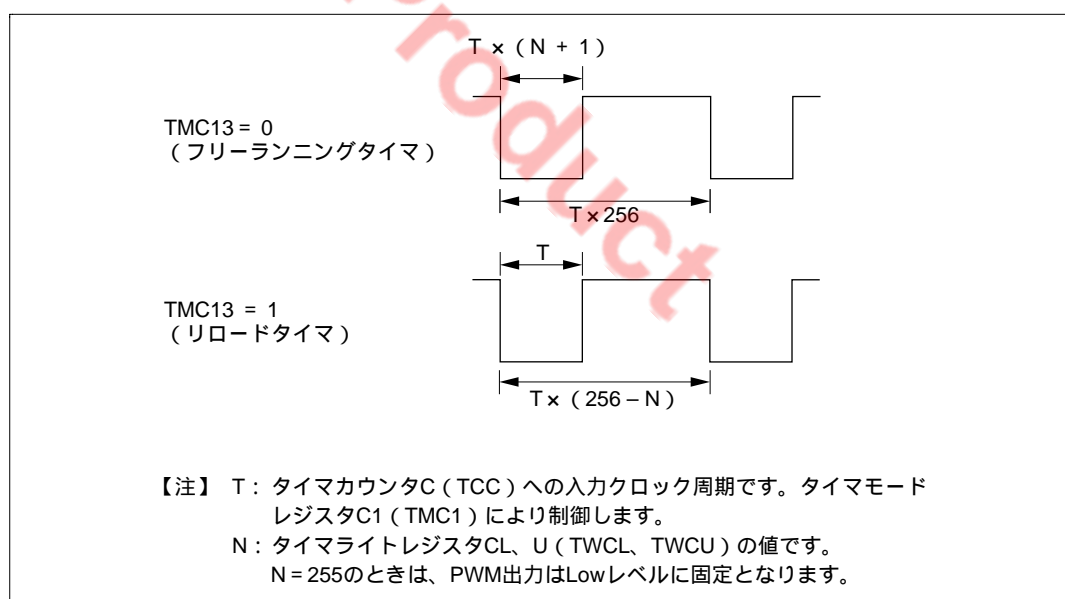


図 11.3 PWM 出力波形

## 11.4 割り込み

タイマ C の割り込み要因は、TCC のオーバフローです。

TCC がオーバフローすると、割り込み制御ビットエリアの IFTC が 1 にセットされます。IFTC は、割り込みが受け付けられてもオートクリアされません。割り込み処理ルーチンの中でソフトウェアにより 0 にクリアしてください。

タイマ C 割り込みは、割り込み制御ビットエリアの IMTC により、タイマ C 割り込みを独立に許可または禁止できます。

## 11.5 使用上の注意

タイマ C を使用するとき、次の点に注意してください。

- (1) TWCL、TWCU により、TCC のイニシャライズを行う場合には、まず TWCL、次に TWCU の順序で書き込んでください。TWCU を書き込んだタイミングで、TWCU と TWCL の値が同時に TCC に書き込まれます。したがって、TWCL がすでに設定済みであり、上位ディジットのみ変更したい場合には、TWCU のみ書き換えてください。
- (2) TRCL、TRCU により、TCC の値を読み出す場合には、まず TRCU、次に TRCL の順序で読み出してください。TRCU を読み出したタイミングで、その時点の TCC の下位ディジットの値が TRCL にラッチされます。次に TRCL を読み出すとラッチされたデータが読み出せます。
- (3) TMC1 の変更は、TMC1 への書き込み命令実行の 2 命令後から有効になります。したがって、TWCL、TWCU への書き込みによるタイマ C のイニシャライズ（リロード値設定、TCC イニシャライズ）は、TMC1 変更後のモードが有効となってから実行されるようにプログラムする必要があります。
- (4) モジュールスタンバイ状態にする前に当該モジュールの割り込みマスクをセットしてください。また、モジュールスタンバイ解除後は当該モジュールの割り込み要求フラグをクリアしてください。



---

# 12. タイマ D

---

## 第 12 章 目次

12.1	概要	205
12.1.1	特長	205
12.1.2	ブロック図	206
12.1.3	端子構成	208
12.1.4	レジスタ構成	208
12.2.	各レジスタの説明	209
12.2.1	タイマモードレジスタ D1 (TMD1 : \$018)	209
12.2.2	タイマモードレジスタ D2 (TMD2 : \$019)	212
12.2.3	タイマカウンタ D (TCD)	213
12.2.4	タイマライトレジスタ DL、U (TWDL : \$01A、TWDU : \$01B)	214
12.2.5	タイマリードレジスタ DL、U (TRDL : \$01A、TRDU : \$01B)	215
12.2.6	ポートモードレジスタ 2 (PMR2 : \$00A)	216
12.2.7	モジュールスタンバイレジスタ 1 (MSR1 : \$00D)	217
12.2.8	インプットキャプチャステータスフラグ (ICSF : \$021,0)	218
12.2.9	インプットキャプチャエラーフラグ (ICEF : \$021,1)	218
12.3	動作説明	219
12.3.1	フリーランニングタイマ動作	219
12.3.2	リロードタイマ動作	219
12.3.3	外部イベントカウンタ動作	220
12.3.4	インプットキャプチャタイマ動作	220
12.4	割り込み	221
12.5	使用上の注意	222

EOL Product

## 12.1 概要

### 12.1.1 特長

タイマDは、8ビットの多機能タイマ(フリーランニング/リロードタイマ/インプットキャプチャタイマ)です。

タイマDの特長を以下に示します。

プリスケアラS(PSS)をクロックソースとする7種類の内部クロック( $2048t_{\text{cyc}}$ 、 $512t_{\text{cyc}}$ 、 $128t_{\text{cyc}}$ 、 $32t_{\text{cyc}}$ 、 $8t_{\text{cyc}}$ 、 $4t_{\text{cyc}}$ 、 $2t_{\text{cyc}}$ )と外部イベントを選択できます。

外部イベントをトリガとするインプットキャプチャタイマ動作が可能です。

タイマカウンタD(TCD)のオーバフローおよびインプットキャプチャタイマ動作で割り込みを要求できます。

未使用時に、システムクロックの供給を止めることができます(モジュールスタンバイ機能)。

### 12.1.2 ブロック図

タイマDのブロック図を図 12.1、図 12.2 に示します。

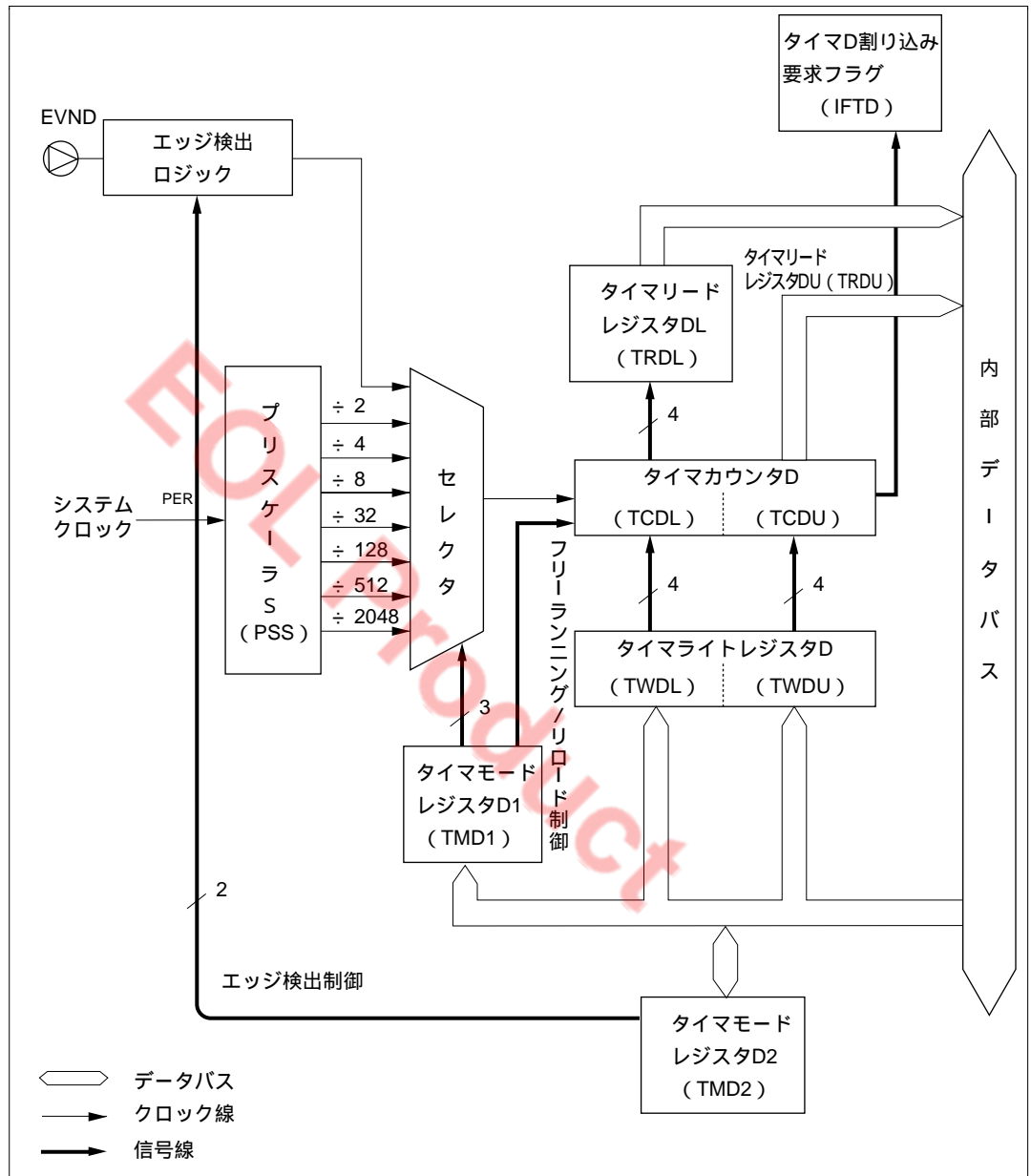


図 12.1 タイマDのブロック図 (フリーランニング/リロードタイマ)

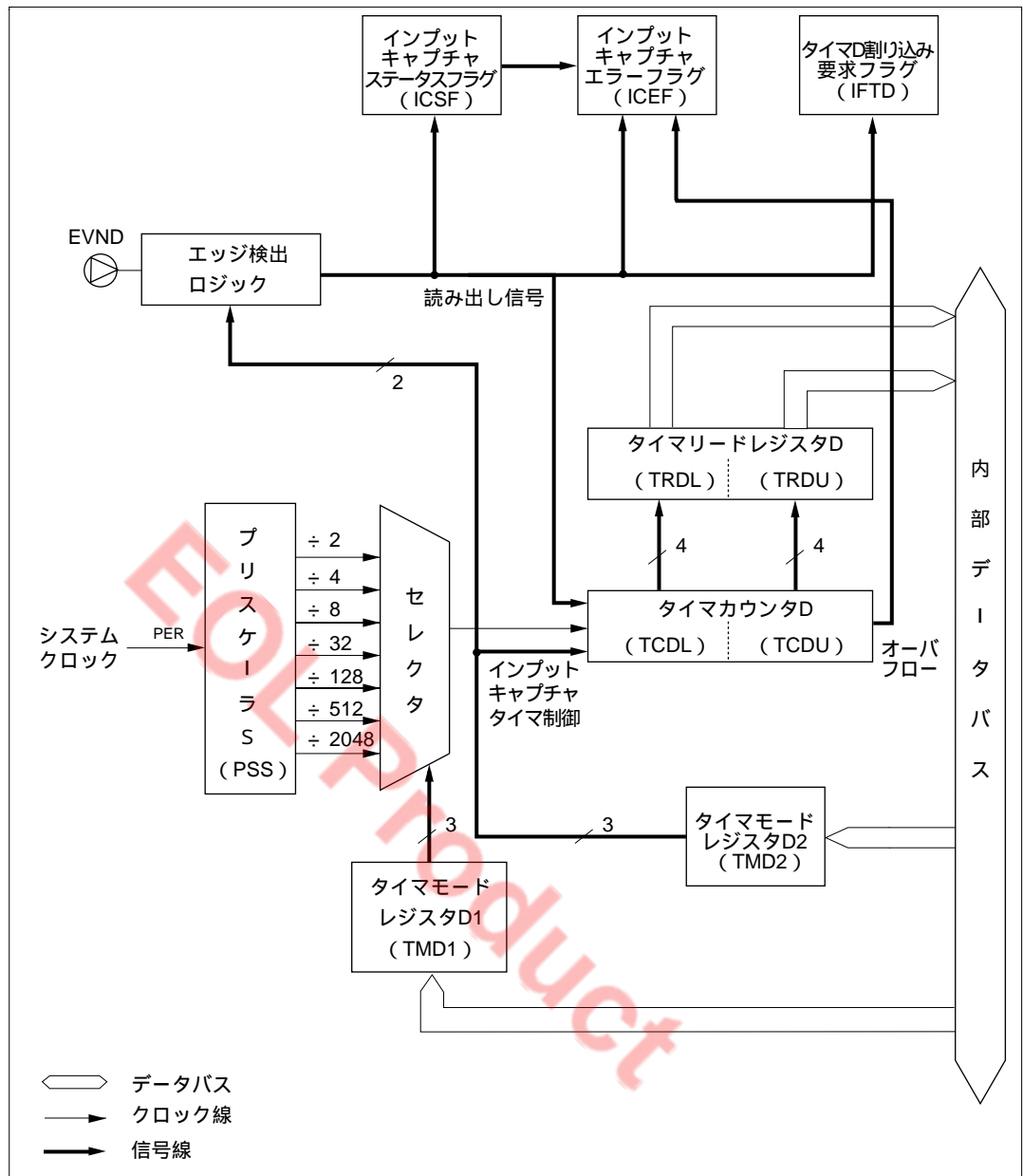


図 12.2 タイマDのブロック図 (入力キャプチャタイマ)

### 12.1.3 端子構成

タイマDの端子構成を表 12.1 に示します。

表 12.1 端子構成

名 称	記 号	入出力	機 能
タイマDイベント入力	EVND	入力	タイマDイベント入力端子、インプットキャプチャ タイマトリガ入力端子

### 12.1.4 レジスタ構成

タイマDのレジスタ構成を表 12.2 に示します。

表 12.2 レジスタ構成

アドレス	名 称	略 称	R/W	初期値
\$018	タイマモードレジスタ D1	TMD1	W	\$0
\$019	タイマモードレジスタ D2	TMD2	W	-000
-	タイマカウンタ D	TCD	-	\$00
\$01A	タイマライトレジスタ DL	TWDL	W	\$0
\$01B	タイマライトレジスタ DU	TWDU	W	不定
\$01A	タイマリードレジスタ DL	TRDL	R	不定
\$01B	タイマリードレジスタ DU	TRDU	R	不定
\$00A	ポートモードレジスタ 2	PMR2	W	\$0
\$00D	モジュールスタンバイレジスタ 1	MSR1	W	-000
\$021, 0	インプットキャプチャステータスフラグ	ICSF	R/W*	0
\$021, 1	インプットキャプチャエラーフラグ	ICEF	R/W*	0

【注】 \* ICSF、ICEF は、レジスタフラグエリアに割り付けられており、RAM ビット操作命令のみ使用可能です。これらのフラグは、クリアのための 0 書き込みのみ可能です。詳細は、「第 2 章 メモリマップ」を参照してください。

## 12.2. 各レジスタの説明

### 12.2.1 タイマモードレジスタ D1 (TMD1 : \$018)

TMD1 は、4ビットの書き込み専用レジスタで、タイマDの機能（フリーランニング/リロードタイマ）と動作クロックを選択します。

リセット時に、TMD1 は\$0 にイニシャライズされます。

ビット :	3	2	1	0
	TMD13	TMD12	TMD11	TMD10
初期値 :	0	0	0	0
R/W :	W	W	W	W

タイマDクロック選択

TMD12	TMD11	TMD10	入力クロックソース
0	0	0	2048 t <sub>cyc</sub>
		1	512 t <sub>cyc</sub>
	1	0	128 t <sub>cyc</sub>
		1	32 t <sub>cyc</sub>
1	0	0	8 t <sub>cyc</sub>
		1	4 t <sub>cyc</sub>
	1	0	2 t <sub>cyc</sub>
		1	EVND (外部イベント入力端子)*

タイマD機能選択

0	フリーランニングタイマ
1	リロードタイマ

【注】\* タイマDクロックに外部イベント入力を設定する場合、PMR2のPMR21ビットを1に設定してください。

ビット3 : タイマD機能選択 (TMD13)

タイマDの機能を選択します。

TMD13	説明
0	フリーランニングタイマ機能を選択します。 (初期値)
1	リロードタイマ機能を選択します。

ビット2~0：タイマDクロック選択（TMD12~TMD10）

TCDの入力クロック周期を選択します。

アクティブモード

(a) システムクロック分周比：4分周（SSR0ビット=0）\*

TMD12	TMD11	TMD10	説明						
			ソース プリスケアラ	入力クロック周期					
				記号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 3.58MHz	f <sub>osc</sub> = 4MHz
0	0	0	PSS	2048t <sub>cyc</sub>	20.48ms	10.24ms	4.096ms	2.288ms	2.048ms
		1	PSS	512t <sub>cyc</sub>	5.12ms	2.56ms	1.024ms	572.07 μs	512 μs
	1	0	PSS	128t <sub>cyc</sub>	1.28ms	640 μs	256 μs	143.02 μs	128 μs
		1	PSS	32t <sub>cyc</sub>	320 μs	160 μs	64 μs	35.75 μs	32 μs
1	0	0	PSS	8t <sub>cyc</sub>	80 μs	40 μs	16 μs	8.94 μs	8 μs
		1	PSS	4t <sub>cyc</sub>	40 μs	20 μs	8 μs	4.45 μs	4 μs
	1	0	PSS	2t <sub>cyc</sub>	20 μs	10 μs	4 μs	2.23 μs	2 μs
		1	-	外部イベント入力（EVND 端子）					

【注】 \* 設定方法については、「7.2.3 システムクロック切り換え方法」を参照してください。

(b) システムクロック分周比：32分周（SSR0ビット=1）\*

TMD12	TMD11	TMD10	説明						
			ソース プリスケアラ	入力クロック周期					
				記号	f <sub>osc</sub> = 400kHz	f <sub>osc</sub> = 800kHz	f <sub>osc</sub> = 2MHz	f <sub>osc</sub> = 3.58MHz	f <sub>osc</sub> = 4MHz
0	0	0	PSS	2048t <sub>cyc</sub>	163.84ms	81.92ms	32.768ms	18.306ms	16.384ms
		1	PSS	512t <sub>cyc</sub>	40.96ms	20.48ms	8.192ms	4.577ms	4.096ms
	1	0	PSS	128t <sub>cyc</sub>	10.24ms	5.12ms	2.048ms	1.144ms	1.024ms
		1	PSS	32t <sub>cyc</sub>	2.56ms	1.28ms	512 μs	286.03 μs	256 μs
1	0	0	PSS	8t <sub>cyc</sub>	640 μs	320 μs	128 μs	71.51 μs	64 μs
		1	PSS	4t <sub>cyc</sub>	320 μs	160 μs	64 μs	35.75 μs	32 μs
	1	0	PSS	2t <sub>cyc</sub>	160 μs	80 μs	32 μs	17.88 μs	16 μs
		1	-	外部イベント入力（EVND 端子）					

【注】 \* 設定方法については、「7.2.3 システムクロック切り換え方法」を参照してください。



## サブアクティブモード

TMD12	TMD11	TMD10	説 明			
			ソース プリスケアラ	記 号	入力クロック周期	
					$f_x = 32.768\text{kHz}$ (サブアクティブモード時)	
				SSR2*ビット=0	SSR2*ビット=1	
0	0	0	PSS	$2048t_{\text{cyc}}$	500ms	250ms
		1	PSS	$512t_{\text{cyc}}$	125ms	62.5ms
	1	0	PSS	$128t_{\text{cyc}}$	31.25ms	15.625ms
		1	PSS	$32t_{\text{cyc}}$	7.8125ms	3.9063ms
1	0	0	PSS	$8t_{\text{cyc}}$	1.9531ms	976.56 $\mu\text{s}$
		1	PSS	$4t_{\text{cyc}}$	976.56 $\mu\text{s}$	488.28 $\mu\text{s}$
	1	0	PSS	$2t_{\text{cyc}}$	488.28 $\mu\text{s}$	244.14 $\mu\text{s}$
		1	—	外部イベント入力 (EVND 端子)		

【注】 \* システムクロック選択レジスタ (SSR) のビット2

### 12.2.2 タイマモードレジスタ D2 (TMD2 : \$019)

TMD2は、3ビットの書き込み専用レジスタで、タイマDの機能（インプットキャプチャ）とEVND端子入力の検出エッジ選択を設定します。

リセット時にTMD2は-000にイニシャライズされます。

ビット:	3	2	1	0
	-	TMD22	TMD21	TMD20
初期値:	-	0	0	0
R/W :	-	W	W	W

EVND端子検出エッジ選択

TMD21	TMD20	EVND端子検出エッジ選択
0	0	検出しない
	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
	1	立ち下がり / 立ち上がり両エッジ検出

インプットキャプチャ機能選択

0	フリーランニング / リロードタイマ
1	インプットキャプチャタイマ

ビット3：リザーブビット

リザーブビットです。読み出し時には、常に0が読み出せます。書き込みは無効です。

ビット2：インプットキャプチャ機能選択（TMD22）

タイマDの機能をインプットキャプチャタイマに設定します。

TMD22	説明
0	フリーランニングまたはリロードタイマ機能を選択します。 (初期値)
1	インプットキャプチャタイマ機能を選択します。

ビット1、0：EVND 端子入力の検出エッジの選択（TMD21、TMD20）

EVND 端子の検出エッジを選択します。

TMD21	TMD20	説明
0	0	EVND 端子入力のエッジを検出しません。（初期値）
	1	EVND 端子入力の立ち下がりエッジ（ $\overline{\square}$ ）を検出します。
1	0	EVND 端子入力の立ち上がりエッジ（ $\square$ ）を検出します。
	1	EVND 端子入力の立ち下がり / 立ち上がり両エッジ（ $\overline{\square}$ $\square$ ）を検出します。

### 12.2.3 タイマカウンタ D（TCD）

TCD は、8 ビットのアップカウンタで、入力する内部クロック、または外部イベントによりカウントアップされます。

ビット：	7	6	5	4	3	2	1	0
	TCD7	TCD6	TCD5	TCD4	TCD3	TCD2	TCD1	TCD0
初期値：	0	0	0	0	0	0	0	0
R/W：	-	-	-	-	-	-	-	-

|  
カウント値

TCD の入力クロックは、TMD1 の TMD12 ~ TMD10 ビットにより選択します。

TRDL、TRDU を読み出すと、TCD の値が読み、また TWDL、TWDU に書き込むと同じ値が TCD に書き込まれます。

TCD がオーバーフローすると、タイマ D 割り込み要求フラグ（IFTD）が 1 にセットされます。このとき、タイマ D がフリーランニング機能設定（TMD13 = 0）ならば、TCD は \$00 にクリアされ再びカウントアップを開始します。また、タイマ D がリロード機能設定（TMD13 = 1）ならば、TWDL、TWDU の値がロードされ、その値からカウントアップを開始します。

リセット時に TCD は \$00 にイニシャライズされます。

### 12.2.4 タイマライトレジスタ DL、U ( TWDL : \$01A、 TWDU : \$01B )

TWDL、TWDU は、8 ビットの書き込み専用レジスタで、下位ディジット ( TWDL ) と上位ディジット ( TWDU ) から構成されています。TWDL、TWDU は、TCD の値の初期設定 ( リロードタイマのリロード値設定 ) に使用します。

	ビット:	3	2	1	0
TWDU		TWDU3	TWDU2	TWDU1	TWDU0
	初期値:	不定	不定	不定	不定
	R/W :	W	W	W	W

	ビット:	3	2	1	0
TWDL		TWDL3	TWDL2	TWDL1	TWDL0
	初期値:	0	0	0	0
	R/W :	W	W	W	W

データは、まず TWDL、次に TWDU の順に書き込んでください。TWDL の書き込みでは、TCD の値は変更されません。次に TWDU を書き込んだタイミングで、TCD の上位ディジットに TWDU の値が、また TCD の下位ディジットに TWDL の値が書き込まれます。

2 回目以降、TWDL、TWDU を書き込む場合、TWDL のリロード値を変更する必要のないときには、TWDU の書き込みのみ行えば、タイマDのイニシャライズが完了します。

リセット時に TWDL は\$0 にイニシャライズされますが、TWDU は不定です。

### 12.2.5 タイマリードレジスタ DL、U (TRDL : \$01A、TRDU : \$01B)

TRDL、TRDU は、8 ビットの読み出し専用レジスタです。インプットキャプチャタイマ動作以外では、下位ディジット (TRDL) と TCD の上位ディジットの値を直接読み出す上位ディジット (TRDU) から構成されています。TRDL、TRDU は、TCD の値を読み出すために使用します。

	ビット:	3	2	1	0
TRDU		TRDU3	TRDU2	TRDU1	TRDU0
	初期値:	不定	不定	不定	不定
	R/W :	R	R	R	R

	ビット:	3	2	1	0
TRDL		TRDL3	TRDL2	TRDL1	TRDL0
	初期値:	不定	不定	不定	不定
	R/W :	R	R	R	R

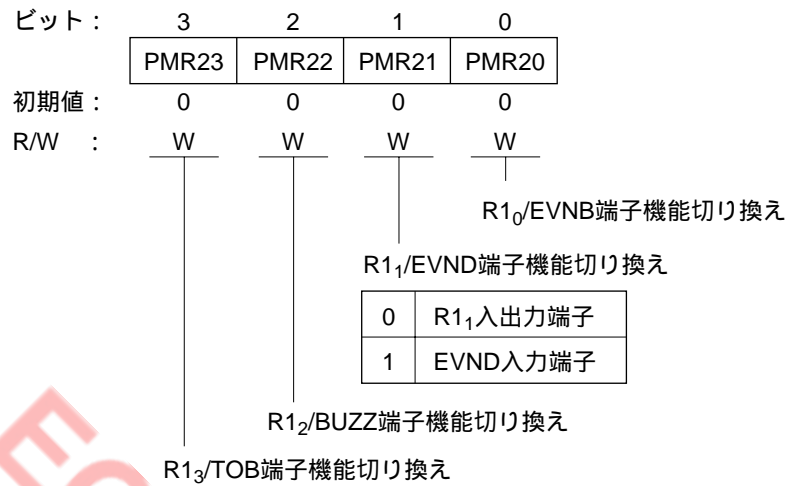
読み出しは、まず TRDU、次に TRDL の順に行ってください。TRDU の読み出しでは、TCD の上位ディジットの現在値を読み出すと同時に、TCD の下位ディジットの値が TRDL にラッチされます。次に、TRDL の読み出しにより、ラッチされた値が読み出され、TRDU を読み出した時点の TCD の値が得られます。

インプットキャプチャタイマ動作時では、TRDL、TRDU は TCD の値をラッチする 8 ビットレジスタとなり、どちらを先に読み出してもかまいません。

リセット時、TRDL、TRDU は不定となります。

## 12.2.6 ポートモードレジスタ 2 (PMR2 : \$00A)

PMR2は、4ビットの書き込み専用レジスタで、ポートの端子機能切り換えを行います。



ここでは、PMR21ビットのみ説明します。PMR2の詳細は、「6.3.2(4)ポートモードレジスタ2(PMR2)」を参照してください。

### ビット1 : R1<sub>1</sub>/EVND 端子機能切り換え (PMR21)

R1<sub>1</sub>/EVND 端子を、R1<sub>1</sub>入出力端子として使用するか、EVND入力端子として使用するかを選択します。

PMR21	説明
0	R1 <sub>1</sub> /EVND 端子は、R1 <sub>1</sub> 入出力端子として機能します。 (初期値)
1	R1 <sub>1</sub> /EVND 端子は、EVND 入力端子として機能します。

## 12.2.7 モジュールスタンバイレジスタ 1 (MSR1 : \$00D)

MSR1 は3ビットの書き込み専用レジスタで、タイマB、タイマC、タイマDへのシステムクロックの供給/停止を設定します。モジュールスタンバイ中は、モードレジスタの設定値は保持されます。

リセット時に MSR1 は-000 イニシャライズされます。

ビット :	3	2	1	0
	-	MSR12	MSR11	MSR10
初期値 :	-	0	0	0
R/W :	-	W	W	W

↑

↑

↑

↑

↑

↑

↑

↑

↑

0	供給
1	停止

ここでは MSR12 ビットについて説明します。MSR11 および MSR10 ビットについての詳細は、「10.2.7」「11.2.7」の「モジュールスタンバイレジスタ 1 (MSR1)」を参照してください。

### ビット 2 : タイマDシステムクロック供給制御 (MSR12)

タイマDへのシステムクロックの供給/停止を設定します。

MSR12	説 明
0	タイマDへのシステムクロックを供給します。 (初期値)
1	タイマDへのシステムクロックの供給を停止します。

### 12.2.8 インพุットキャプチャステータスフラグ (ICSF : \$021,0)

ICSFは、インพุットキャプチャタイマ動作時 (TMD22 = 1) に、TMD21、TMD20 ビットにより指定されたエッジがEVND 端子に検出されると、1にセットされます。

ICSFは、RAMビット操作命令によってのみ、読み出し/書き込み (0書き込みのみ) が可能です。

リセット時にICSFは0にイニシャライズされます。

ICSF	説明
0	インพุットキャプチャタイマトリガ入力 (EVND 端子) を検出していないことを示します。 (初期値)
1	インพุットキャプチャタイマトリガ入力 (EVND 端子) を検出したことを示します。

### 12.2.9 インพุットキャプチャエラーフラグ (ICEF : \$021,1)

ICEFは、ICSFが1にセットされた状態で、次のインพุットキャプチャタイマトリガ入力を検出したとき、またはICSFが1にセットされた状態で、TCDがオーバフローしたときに1にセットされます。

ICEFは、RAMビット操作命令によってのみ、読み出し/書き込み (0書き込みのみ) が可能です。

リセット時にICEFは0にクリアされます。

ICEF	説明
0	下記のインพุットキャプチャタイマ動作のエラーがないことを示します。 (初期値)
1	ICSF = 1 の状態で、次のインพุットキャプチャタイマトリガ入力を検出したか、または、ICSF = 1 の状態で TCD がオーバフローしたことを示します。



## 12.3 動作説明

タイマDは、8ビットの多機能タイマです。タイマDには以下の機能があります。

- (1) フリーランニングタイマ
- (2) リロードタイマ
- (3) 外部イベントカウンタ
- (4) インプットキャプチャタイマ

### 12.3.1 フリーランニングタイマ動作

TMD2のTMD22=0、かつTMD1のTMD13=0にすると、タイマDは8ビットフリーランニングタイマとして動作します。

リセット時、TCDは\$00に、TMD22ビットとTMD13ビットは各々0にクリアされるため、リセット直後はフリーランニングタイマとして停止することなくカウントアップを続けます。タイマDの動作クロックはTMD12~TMD10ビットにより、PSSの出力する7種類の内部クロック、または外部イベントから選択できます。

TCDのカウント値が\$FFになった後、クロックが入力されるとタイマDはオーバフローし、IFTDが1にセットされます。このとき、IMTDが0ならば、CPUに割り込みを要求します。割り込みについての詳細は、「第4章 例外処理」を参照してください。

オーバフロー時に、TCDのカウント値は\$00に戻り、再びカウントアップを開始します。

### 12.3.2 リロードタイマ動作

TMD2のTMD22=0、かつTMD1のTMD13=1にすると、タイマDは8ビットリロードタイマとして動作します。TWDL、TWDUにリロード値を設定することにより、同時にその値がTCDに書き込まれ、TCDはその値からカウントアップを開始します。

TCDの値が\$FFになった後、クロックが入力されるとタイマDはオーバフローし、TWDL、TWDUの値がTCDに書き込まれて、その値からカウントアップを継続します。したがって、TWDL、TWDUの値により、オーバフロー周期を入力クロック1~256の範囲で設定できます。

リロードタイマ動作時の動作クロック、割り込みについてはフリーランニングタイマ動作と同様です。

TWDL、TWDUによりリロード値を再設定すると、同時にTCDにもその値が書き込まれます。

### 12.3.3 外部イベントカウンタ動作

タイマDは、EVND端子をイベント入力端子とする外部イベントカウンタ動作ができません。

TMD1のTMD12~TMD10ビットを111に設定すると、TCDはTMD21、TMD20ビットで指定されたEVND端子入力エッジでカウントアップします。

その他の動作については、TMD1のTMD13ビットの設定により、フリーランニングタイマ動作、またはリロードタイマ動作と同様になります。

タイマDをイベントカウンタとして使用する場合、PMR2のPMR21ビットを1に設定してください。

### 12.3.4 インพุットキャプチャタイマ動作

インพุットキャプチャタイマは、EVND入力端子の検出エッジ間の時間を計測する機能です。インพุットキャプチャタイマとして使用する場合には、TCDの動作クロックは内部クロックを選択してください。

TMD2のTMD22ビットを1にセットすると、タイマDはインพุットキャプチャタイマ動作となります。このとき、TCDは\$00にクリアされます。

検出エッジは、TMD21、TMD20ビットにより、EVND端子入力の立ち下がりエッジ(  $\downarrow$  )、立ち上がりエッジ(  $\uparrow$  )、立ち下がり/立ち上がり両エッジ(  $\downarrow\uparrow$  )検出のいずれかを選択できます。

EVND端子にエッジが検出されると、そのときのTCDの値がTRDL、TRDUに格納され、IFTDとICSFが各々1にセットされます。同時にTCDは\$00にクリアされ、カウントアップを継続します。

ICSFが1にセットされた状態で、次のエッジを検出したとき、またはTCDがオーバーフローしたときには、ICEFが1にセットされます。

タイマDをインพุットキャプチャタイマとして使用する場合(TMD22=1)、TRDL、TRDUは、どちらを先に読み出してもかまいません(図12.2参照)。また、PMR2のPMR21ビットを1に設定してください。

## 12.4 割り込み

タイマDの割り込み要因は、TCDのオーバーフロー、およびインプットキャプチャタイマ動作時のEVND端子のエッジ検出です。

割り込み要因が発生すると、割り込み制御ビットエリアのIFTDが1にセットされます。IFTDは、割り込みが受け付けられてもオートクリアされません。割り込み処理ルーチンの中でソフトウェアにより0にクリアしてください。インプットキャプチャタイマ動作時のタイマDオーバーフロー、およびTCD読み出し前の2回以上のエッジ検出は、ICEFにより判別することができます。

タイマD割り込みは、割り込み制御ビットエリアのIMTDにより、タイマD割り込みを独立に許可または禁止できます。また、タイマD割り込みは、タイマB割り込みと割り込みベクタを共用していますので、この2種類の割り込みの判別は、ソフトウェアで行う必要があります。詳細は、「第4章 例外処理」を参照してください。

## 12.5 使用上の注意

タイマDを使用するとき、次の点に注意してください。

- (1) TWDL、TWDUにより、リロード値設定、およびTCDのイニシャライズを行う場合には、まずTWDL、次にTWDUの順序で書き込んでください。TWDUを書き込んだタイミングで、TWDUとTWDLの値が同時にTCDに書き込まれます。したがって、TWDLがすでに設定済みであり、上位ディジットのみ変更したい場合には、TWDUのみ書き換えてください。
- (2) TRDL、TRDUにより、TCDの値を読み出す場合には、まずTRDU、次にTRDLの順序で読み出してください。TRDUを読み出したタイミングで、その時点のTCDの下位ディジットの値がTRDLにラッチされます。次にTRDLを読み出すとラッチされたデータが読めます。  
ただし、インプットキャプチャタイマ動作時のTRDL、TRDUは、どちらを先に読み出してもかまいません。
- (3) TMD1の変更は、TMD1への書き込み命令実行の2命令後から有効になります。したがって、TWDL、TWDUへの書き込みによるタイマDのイニシャライズ（リロード値設定、TCDイニシャライズ）は、TMD1変更後のモードが有効となってから実行されるようにプログラムする必要があります。
- (4) TMD2で、EVND端子の立ち下がり/立ち上がり両エッジ検出を選択した場合には、立ち下がりエッジと立ち上がりエッジの間隔が、 $2t_{\text{cyc}}$ 以上になるようにしてください。
- (5) モジュールスタンバイ状態にする前に当該モジュールの割り込みマスクをセットしてください。また、モジュールスタンバイ解除後は当該モジュールの割り込み要求フラグをクリアしてください。

---

# 13. シリアルインタフェース

---

## 第13章 目次

13.1	概要	225
13.1.1	特長	225
13.1.2	ブロック図	226
13.1.3	端子構成	227
13.1.4	レジスタ構成	227
13.2	各レジスタの説明	228
13.2.1	シリアルモードレジスタ1 (SMR1 : \$024)	228
13.2.2	シリアルモードレジスタ2 (SMR2 : \$025)	230
13.2.3	シリアルデータレジスタL、U (SRL : \$026、SRU : \$027)	231
13.2.4	8進カウンタ (OC)	232
13.2.5	ポートモードレジスタ3 (PMR3 : \$00B)	233
13.2.6	モジュールスタンバイレジスタ2 (MSR2 : \$00E)	234
13.3	動作説明	235
13.3.1	動作モード	235
13.3.2	シリアルデータのフォーマット	235
13.3.3	転送クロック	236
13.3.4	動作状態	236
	(1) STS 命令待ち状態	238
	(2) 転送クロック待ち状態	238
	(3) 転送状態	238
	(4) 転送クロック連続出力状態 (内部クロックモードのみ)	238
13.3.5	送信 / 受信動作	239
	(1) シリアルインタフェースのイニシャライズ	239
	(2) データ送信	239
	(3) データ受信	242
	(4) 転送クロック連続出力動作	244
13.3.6	アイドル時の Low レベル / High レベル出力の選択	245

## 13. シリアルインタフェース

---

13.3.7	転送クロックエラーの検出（外部クロックモード） .....	245
13.4	割り込み.....	247
13.5	使用上の注意.....	247

EOL Product

## 13.1 概要

HD404889 シリーズは、1 チャンネルのシリアルインタフェースを内蔵しています。シリアルインタフェースは、他の LSI とシリアルデータの通信を行う内蔵周辺モジュールで、8 ビットのクロック同期通信を行います。

### 13.1.1 特長

シリアルインタフェースの特長を以下に示します。

クロックソースは、プリスケアラ S (PSS) \* 出力を 2 分周または 4 分周したクロックとシステムクロックの計 13 種類の内部クロック、および外部クロックを選択できます。アイドル時に、転送出力の High レベルまたは Low レベルの選択ができます。

転送完了時、エラー発生時に割り込みを要求できます。

未使用時にシステムクロックの供給を止めることができます(モジュールスタンバイ機能)。

【注】 \* 詳細は「第 8 章 プリスケアラ」を参照してください。

### 13.1.2 ブロック図

図 13.1 にシリアルインタフェースのブロック図を示します。

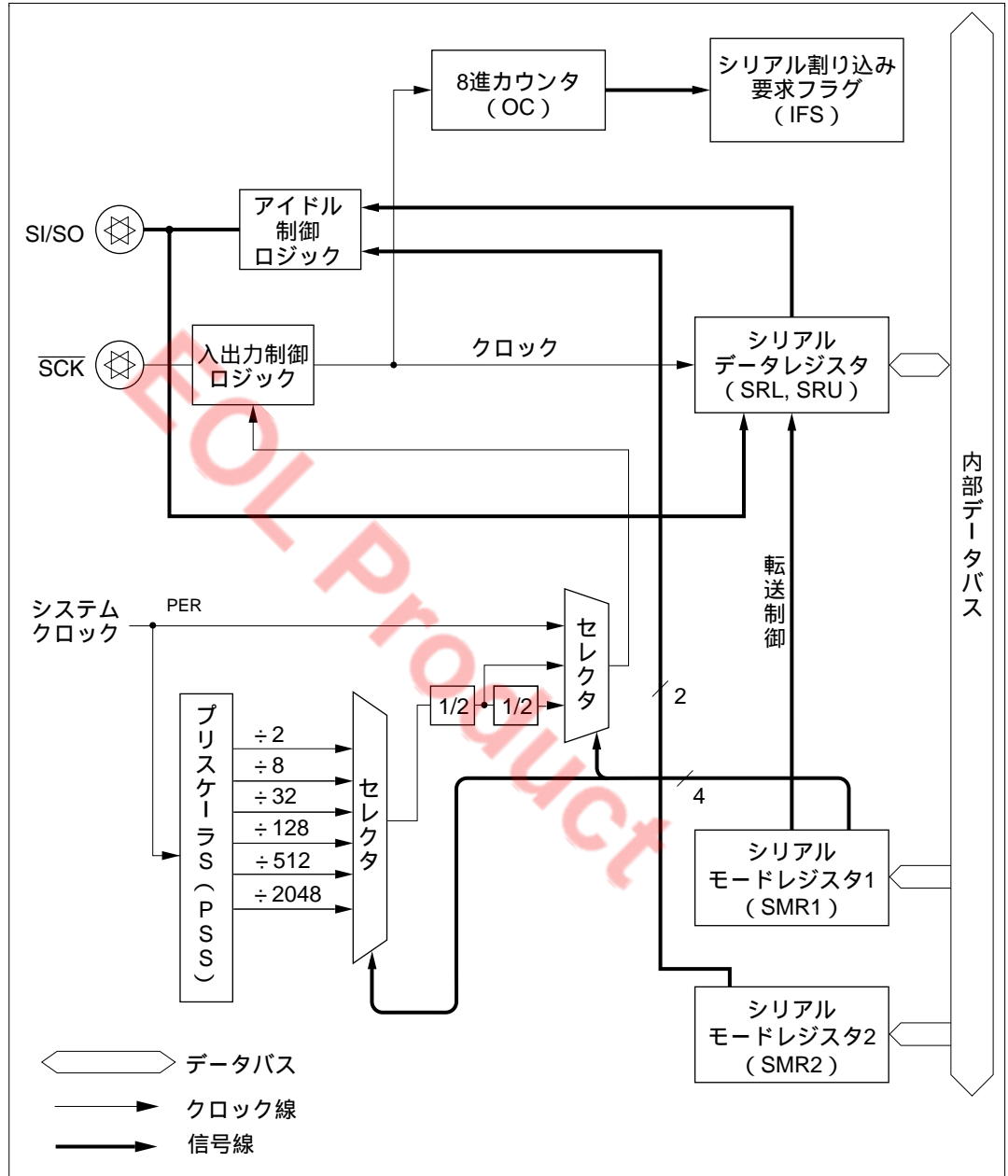


図 13.1 シリアルインタフェ - スのブロック図



### 13.1.3 端子構成

シリアルインタフェースの端子構成を表 13.1 に示します。

表 13.1 端子構成

名 称	記 号	入出力	機 能
シリアルクロック入出力	$\overline{SCK}$	入出力	シリアル転送クロック入出力
シリアル受信データ入力	SI	入力	シリアル受信データ入力
シリアル送信データ出力	SO	出力	シリアル送信データ出力

### 13.1.4 レジスタ構成

シリアルインタフェースのレジスタ構成を表 13.2 に示します。

表 13.2 レジスタ構成

アドレス	名 称	略 称	R/W	初期値
\$024	シリアルモードレジスタ 1	SMR1	W	\$0
\$025	シリアルモードレジスタ 2	SMR2	W	-0X-
\$026	シリアルデータレジスタ L	SRL	R/W	不定
\$027	シリアルデータレジスタ U	SRU	R/W	不定
	8 連カウンタ	OC		000
\$00B	ポートモードレジスタ 3	PMR3	W	\$0
\$00E	モジュールスタンバイレジスタ 2	MSR2	W	--00

【注】 X : SMR2 の SMR21 ビットは不定となります。

## 13.2 各レジスタの説明

### 13.2.1 シリアルモードレジスタ 1 ( SMR1 : \$024 )

SMR1 は、4 ビットの書き込み専用レジスタで、転送クロック選択、およびシリアルインタフェースの初期化を制御します。

SMR1 への書き込み動作によって、シリアルインタフェースは初期化されます。シリアルデータレジスタおよび8進カウンタへのクロックの供給が停止し、8進カウンタは\$0にクリアされます。

転送中に SMR1 への書き込みを行うと、データの送信および受信が途中で打ち切れ、シリアル割り込み要求フラグ ( IFS ) が 1 にセットされます。

リセット時に、SMR1 は\$0 にイニシャライズされます。

ビット :	3	2	1	0
	SMR13	SMR12	SMR11	SMR10
初期値 :	0	0	0	0
R/W :	W	W	W	W

転送クロック選択

SMR13	SMR12	SMR11	SMR10	SCK端子	転送 クロックソース	転送クロック ( PSS分周比 ÷ 2または4 )	転送 クロック周期
0	0	0	0	出力	PSS	( PER / 2048 ) ÷ 2	4096 t <sub>cyc</sub>
			1	出力	PSS	( PER / 512 ) ÷ 2	1024 t <sub>cyc</sub>
		1	0	出力	PSS	( PER / 128 ) ÷ 2	256 t <sub>cyc</sub>
			1	出力	PSS	( PER / 32 ) ÷ 2	64 t <sub>cyc</sub>
	1	0	0	出力	PSS	( PER / 8 ) ÷ 2	16 t <sub>cyc</sub>
			1	出力	PSS	( PER / 2 ) ÷ 2	4 t <sub>cyc</sub>
		1	0	出力	システムクロック	PER	t <sub>cyc</sub>
			1	入力	外部クロック	-	-
1	0	0	0	出力	PSS	( PER / 2048 ) ÷ 4	8192 t <sub>cyc</sub>
			1	出力	PSS	( PER / 512 ) ÷ 4	2048 t <sub>cyc</sub>
		1	0	出力	PSS	( PER / 128 ) ÷ 4	512 t <sub>cyc</sub>
			1	出力	PSS	( PER / 32 ) ÷ 4	128 t <sub>cyc</sub>
	1	0	0	出力	PSS	( PER / 8 ) ÷ 4	32 t <sub>cyc</sub>
			1	出力	PSS	( PER / 2 ) ÷ 4	8 t <sub>cyc</sub>
		1	0	出力	システムクロック	PER	t <sub>cyc</sub>
			1	入力	外部クロック	-	-

【注】 PER : 内蔵周辺モジュール動作クロック

t<sub>cyc</sub> : システムクロック周期

## ビット3～0：転送クロック選択 (SMR13～SMR10)

シリアルインタフェースの転送クロックソースをPSS出力、システムクロック、または外部クロックから選択します。PSS出力を選択した場合は、PSS出力を2分周または4分周したクロックが転送クロックとなります。

SMR13	SMR12	SMR11	SMR10	$\overline{\text{SCK}}$ 端子	転送クロック ソース	転送クロック分周比 (PSS分周比÷2 または4)	転送 クロック周期
0	0	0	0	出力	PSS	$(\text{PER} / 2048) \div 2$	$4096t_{\text{cyc}}$ (初期値)
			1	出力	PSS	$(\text{PER} / 512) \div 2$	$1024t_{\text{cyc}}$
		1	0	出力	PSS	$(\text{PER} / 128) \div 2$	$256t_{\text{cyc}}$
			1	出力	PSS	$(\text{PER} / 32) \div 2$	$64t_{\text{cyc}}$
	1	0	0	出力	PSS	$(\text{PER} / 8) \div 2$	$16t_{\text{cyc}}$
			1	出力	PSS	$(\text{PER} / 2) \div 2$	$4t_{\text{cyc}}$
		1	0	出力	システムクロック	PER	$t_{\text{cyc}}$
			1	入力	外部クロック		
1	0	0	0	出力	PSS	$(\text{PER} / 2048) \div 4$	$8192t_{\text{cyc}}$
			1	出力	PSS	$(\text{PER} / 512) \div 4$	$2048t_{\text{cyc}}$
		1	0	出力	PSS	$(\text{PER} / 128) \div 4$	$512t_{\text{cyc}}$
			1	出力	PSS	$(\text{PER} / 32) \div 4$	$128t_{\text{cyc}}$
	1	0	0	出力	PSS	$(\text{PER} / 8) \div 4$	$32t_{\text{cyc}}$
			1	出力	PSS	$(\text{PER} / 2) \div 4$	$8t_{\text{cyc}}$
		1	0	出力	システムクロック	PER	$t_{\text{cyc}}$
			1	入力	外部クロック		

【注】  $\text{PER}$  : 内蔵周辺モジュール動作クロック

$t_{\text{cyc}}$  : システムクロック周期

### 13.2.2 シリアルモードレジスタ 2 (SMR2 : \$025)

SMR2 は、2 ビットの書き込み専用レジスタで、アイドル時の High レベルまたは Low レベル出力の選択、および R<sub>2</sub>/SI/SO 端子出力バッファの PMOS オン / オフの設定を行います。

【注】 転送中に本レジスタの書き換えは行わないでください。転送中に書き換えると誤動作の原因となります。

ビット:	3	2	1	0
	-	SMR22	SMR21	-
初期値:	-	0	不定	-
R/W :	-	W	W	-

アイドル時High / Low出力制御	
0	アイドル時、SO端子はLowレベル
1	アイドル時、SO端子はHighレベル

R <sub>2</sub> /SI/SO端子出力バッファ制御	
0	PMOSアクティブ
1	PMOSオフ (NMOSオープンドレイン出力)

ビット 3、0 : リザーブビット

リザーブビットです。書き込みは無効です。

ビット 2 : R<sub>2</sub>/SI/SO 端子出力バッファ制御 (SMR22)

R<sub>2</sub>/SI/SO 端子出力バッファの PMOS のオン / オフを制御します。

リセット時に SMR22 ビットは 0 にイニシャライズされます。

SMR22	説明
0	R <sub>2</sub> /SI/SO 端子は CMOS 出力となります。 (初期値)
1	R <sub>2</sub> /SI/SO 端子は NMOS オープンドレイン出力となります。

ビット1：アイドル時 High / Low レベル出力制御 (SMR21)

アイドル時の SO 端子の状態を制御します。SO 端子は、本ビットの書き込みと同時に変化します。

リセット時に SMR21 ビットは不定となります。

SMR21	説明
0	アイドル時、SO 端子は Low レベルとなります。
1	アイドル時、SO 端子は High レベルとなります。

### 13.2.3 シリアルデータレジスタ L、U (SRL : \$026、SRU : \$027)

SRL、SRU は、8 ビットの読み出し / 書き込み可能なレジスタで、上位ディジット (SRU) と下位ディジット (SRL) から構成されています。

本レジスタは、送信データの書き込み、および受信データの読み出しに使用します。

SRL、SRU に書き込まれたデータは、転送クロックの立ち下がりに同期して最上位ビット (MSB) から最下位ビット (LSB) 方向に 1 ビットずつシフトし、SO 端子より LSB 側から出力されます。

また、SI 端子より LSB 側から入力された外部データは、転送クロックの立ち上がりに同期して、MSB から LSB 方向に 1 ビットずつシフトして取り込まれます (図 13.2 参照)。

本レジスタの読み出しまたは書き込みは、データの送信および受信が終了してから行う必要があります。データの送信または受信中に本レジスタの読み出しまたは書き込みを行うと、データの内容は保証されません。

リセット時に、SRL、SRU は不定となります。

ビット：	7	6	5	4	3	2	1	0
	SRU				SRL			
	SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

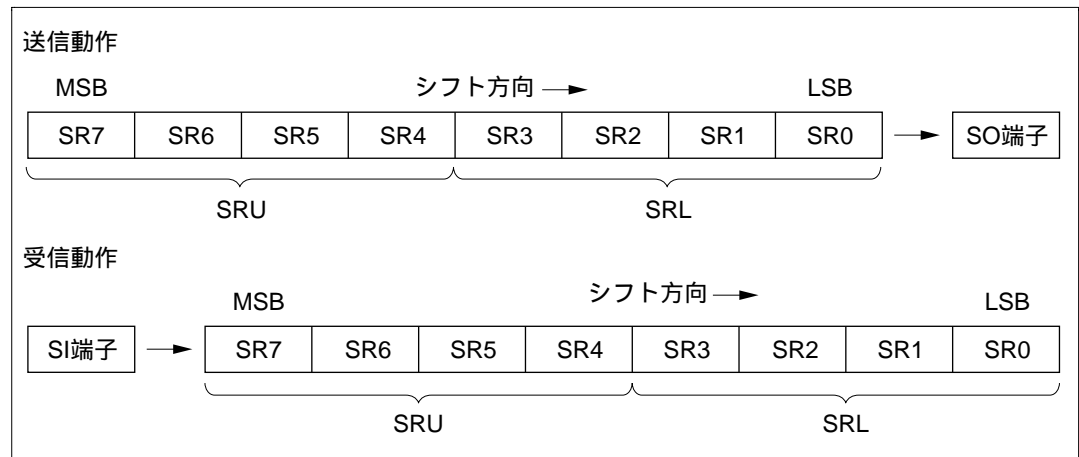


図 13.2 送信 / 受信時のシフト動作

### 13.2.4 8進カウンタ (OC)

ビット :	2	1	0
	OC2	OC1	OC0
初期値 :	0	0	0
R/W :	-	-	-

OCは3ビットのカウンタで、シリアルインタフェースの動作状態遷移を制御します。STS命令待ち状態においてSTS命令を実行すると、OCは000にイニシャライズされ、転送状態に遷移した後、転送クロックの立ち上がりで1ずつインクリメントします。転送クロックが8クロック入力されるか、送信または受信が途中で打ち切られたときに、OCは000にクリアされ、シリアルインタフェースは転送状態からSTS命令待ち状態、または転送クロック待ち状態に遷移します。このとき同時にIFSが1にセットされます。

リセット時に、OCは000にイニシャライズされます。

OCと動作状態遷移の詳細は、「13.3.4 動作状態」を参照してください。

### 13.2.5 ポートモードレジスタ 3 (PMR3 : \$00B)

PMR3 は、4 ビットの書き込み専用レジスタで、ポートの機能切り換えを行います。  
リセット時に、PMR3 は\$0 にイニシャライズされます。

ビット :	3	2	1	0													
	PMR33	PMR32	PMR31	PMR30													
初期値 :	0	0	0	0													
R/W :	W	W	W	W													
					R2 <sub>0</sub> /TOC端子機能切り換え												
					R2 <sub>1</sub> /SCK端子機能切り換え												
					R2 <sub>2</sub> /SI/SO端子機能切り換え												
					<table border="1" style="border-collapse: collapse; margin: 0 auto;"> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">R2<sub>1</sub></td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">SCK</td> </tr> </table>	0	R2 <sub>1</sub>	1	SCK								
0	R2 <sub>1</sub>																
1	SCK																
					<table border="1" style="border-collapse: collapse; margin: 0 auto;"> <thead> <tr> <th style="text-align: center;">PMR33</th> <th style="text-align: center;">PMR32</th> <th style="text-align: center;">R2<sub>2</sub>/SI/SO</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">任意</td> <td style="text-align: center;">R2<sub>2</sub></td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">SI</td> </tr> <tr> <td></td> <td style="text-align: center;">1</td> <td style="text-align: center;">SO</td> </tr> </tbody> </table>	PMR33	PMR32	R2 <sub>2</sub> /SI/SO	0	任意	R2 <sub>2</sub>	1	0	SI		1	SO
PMR33	PMR32	R2 <sub>2</sub> /SI/SO															
0	任意	R2 <sub>2</sub>															
1	0	SI															
	1	SO															

ここでは、PMR33 ~ PMR31 ビットについて説明します。PMR30 ビットについては、「6.3.2 (5) ポートモードレジスタ 3」を参照してください。

#### ビット 3、2 : R2<sub>2</sub>/SI/SO 端子機能切り換え (PMR33、PMR32)

R2<sub>2</sub>/SI/SO 端子を R2<sub>2</sub> 入出力端子として使用するか、シリアル受信データ入力端子 (SI) として使用するか、またはシリアル送信データ出力端子 (SO) として使用するかを選択します。

PMR33	PMR32	説 明
0	任意	R2 <sub>2</sub> /SI/SO 端子は、R2 <sub>2</sub> 入出力端子として機能します。 (初期値)
1	0	R2 <sub>2</sub> /SI/SO 端子は、SI 入力端子として機能します。
	1	R2 <sub>2</sub> /SI/SO 端子は、SO 出力端子として機能します。

ビット1：R2<sub>1</sub>/SCK 端子機能切り換え (PMR31)

R2<sub>1</sub>/SCK 端子を R2<sub>1</sub> 入出力端子として使用するか、シリアル転送クロック入出力端子 (SCK) として使用するかを選択します。

PMR31	説 明
0	R2 <sub>1</sub> /SCK 端子は、R2 <sub>1</sub> 入出力端子として機能します。 (初期値)
1	R2 <sub>1</sub> /SCK 端子は、SCK 入出力端子として機能します。

### 13.2.6 モジュールスタンバイレジスタ 2 (MSR2 : \$00E)

MSR2 は、2 ビットの書き込み専用レジスタで、A/D コンバータおよびシリアルインタフェースへのシステムクロックの供給、停止を設定します。モジュールスタンバイ中は、モードレジスタの設定値は保持されます。

リセット時に、MSR2 は--00 にイニシャライズされます。

ビット：	3	2	1	0	
	-	-	MSR21	MSR20	
初期値：	-	-	0	0	
R/W：	-	-	W	W	

	シリアルクロック供給制御
0	供給
1	停止

	A/Dクロック供給制御
--	-------------

ここでは MSR20 ビットについて説明します。MSR21 ビットについての詳細は、「14.2.4 モジュールスタンバイレジスタ 2 (MSR2)」を参照してください。

ビット0：シリアルクロック供給制御 (MSR20)

シリアルインタフェースへのシステムクロックの供給 / 停止を制御します。

MSR20	説 明
0	シリアルインタフェースへのシステムクロックを供給します。 (初期値)
1	シリアルインタフェースへのシステムクロックの供給を停止します。



## 13.3 動作説明

### 13.3.1 動作モード

シリアルインタフェースは8ビットクロック同期式通信を行います。シリアルインタフェースは表 13.3 に示すように3種類の動作モードがあり、PMR3のPMR33～PMR31ビットにより選択します。

表 13.3 シリアルインタフェースの動作モード

PMR31	PMR33	PMR32	動作モード
1	0	任意	転送クロック連続出力モード
	1	0	受信モード
		1	送信モード

### 13.3.2 シリアルデータのフォーマット

クロック同期式シリアルデータ転送フォーマットを図 13.3 に示します。送信および受信できるデータ長は8ビットです。データのLSBから送信/受信されるLSBファースト方式による転送を行います。送信データは、転送クロックの立ち下がりから次の立ち上がりまで出力されます。また、受信データは、転送クロックの立ち上がりで取り込まれます。

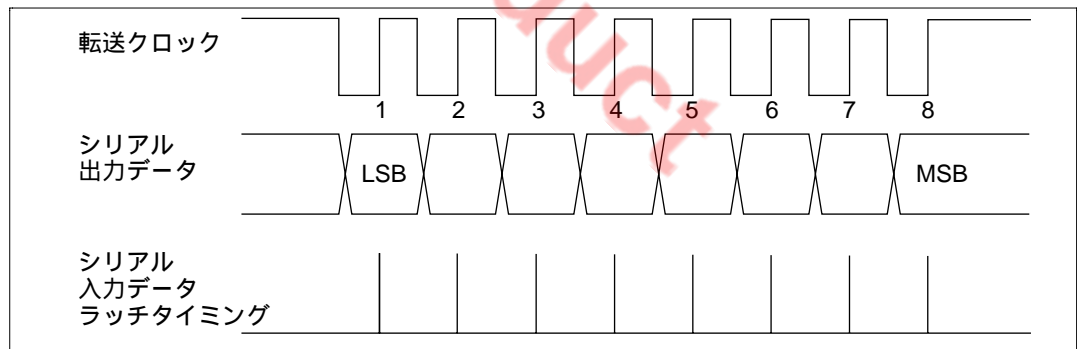


図 13.3 クロック同期式シリアルデータ転送フォーマット

### 13.3.3 転送クロック

転送クロックは、内部クロックまたは外部クロックを使用できます。内部クロックとしては、PSS を 2 分周または 4 分周した 12 種類のクロックとシステムクロックの計 13 種類が選択できます。内部クロックを使用した場合には、 $\overline{SCK}$  端子は転送クロック出力端子となります。

### 13.3.4 動作状態

シリアルインタフェースの転送動作は、STS 命令によって開始されます。STS 命令を実行すると、OC は 000 にクリアされ、転送クロックの立ち上がりで 1 ずつインクリメントします。転送クロックが 8 クロック入力されたとき、または送信 / 受信が途中で打ち切られたときには、OC は 000 にクリアされ、IFS が 1 にセットされて転送を終了します。

シリアルインタフェースの動作状態には、以下の 4 通りがあります。

- (1) STS 命令待ち状態
- (2) 転送クロック待ち状態
- (3) 転送状態
- (4) 転送クロック連続出力状態 (内部クロックモードのみ)

シリアルインタフェースの動作状態遷移図を図 13.4 に示します。

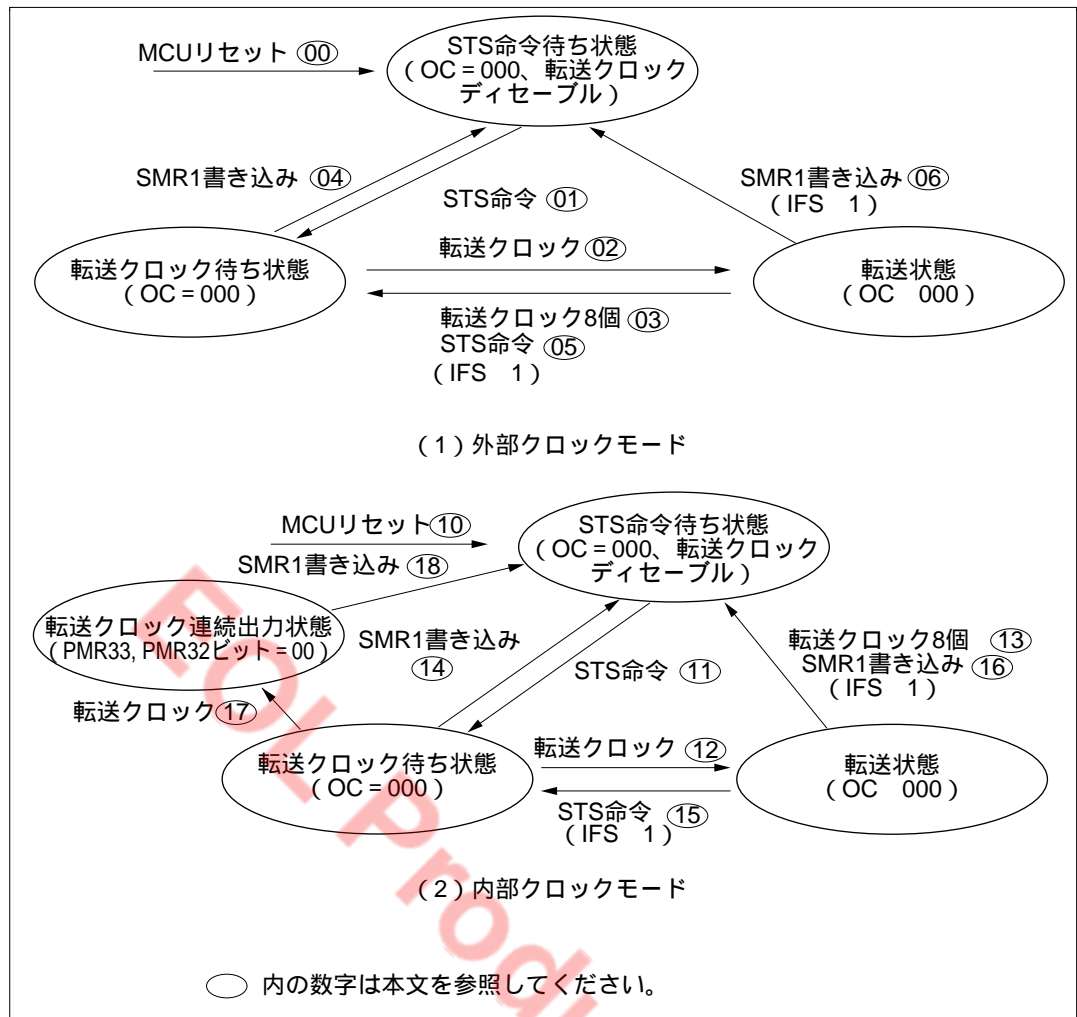


図 13.4 シリアルインタフェースの動作状態遷移

### (1) STS 命令待ち状態

リセット(図 13.4 中⑩、⑪)により、シリアルインタフェースは STS 命令待ち状態となります。STS 命令待ち状態は、シリアルインタフェースの内部状態が初期設定された状態です。この状態で転送クロックが印加されても、シリアルインタフェースは動作しません。STS 命令(①、②)が実行されると、転送クロック待ち状態に遷移します。

### (2) 転送クロック待ち状態

転送クロック待ち状態は、STS 命令の実行から最初の転送クロックの立ち下がりまでの期間です。

転送クロック待ち状態において、転送クロックが印加(③、④)されると、OC のカウンタアップと SRL、SRU のシフト動作が開始され、転送状態に遷移します。ただし、内部クロックモードで転送クロック連続出力モードが選択されている場合には、転送状態にはならず、転送クロック連続出力状態に遷移(⑤)します。

転送クロック待ち状態で、SMR1 への書き込み動作を行うと、STS 命令待ち状態に遷移(⑥、⑦)します。

### (3) 転送状態

転送状態は、転送クロックの最初の立ち下がりから、8 番目の転送クロックの立ち上がりまでの期間です。

転送状態において、STS 命令が実行されるか、または転送クロックが 8 クロック印加されると、OC は 000 にクリアされ、状態が遷移します。STS 命令(⑧、⑨)が実行された場合には、転送クロック待ち状態に遷移します。また、転送クロックが 8 クロック印加された場合には、外部クロックモード時には転送クロック待ち状態(⑩)へ、内部クロックモード時には STS 命令待ち状態(⑪)に遷移します。

内部クロックモードでは、転送クロックは 8 クロック出力後に停止します。

転送状態において、SMR1 への書き込み動作(⑫、⑬)が行われると、シリアルインタフェースは初期化され、STS 命令待ち状態に遷移します。

転送状態から他の状態への遷移が起こると、OC は 000 にクリアされ、IFS が 1 にセットされます。

### (4) 転送クロック連続出力状態(内部クロックモードのみ)

転送クロック連続出力状態は、送信/受信動作を行わず転送クロックのみを  $\overline{SCK}$  端子から出力する状態です。PMR3 の PMR33、PMR32 ビットが 00 に設定され、転送クロック待ち状態にあるとき、転送クロックが印加(⑭)されると、転送クロック連続出力状態に遷移します。転送クロック連続出力状態において、SMR1 への書き込み動作(⑮)が行われると、シリアルインタフェースは初期化され、STS 命令待ち状態に遷移します。

### 13.3.5 送信 / 受信動作

#### (1) シリアルインタフェースのイニシャライズ

データの送信 / 受信を行うには、まずシリアルインタフェースをソフトウェアによりイニシャライズします。イニシャライズは、リセットまたは SMR1 への書き込み動作により実行されます。

#### (2) データ送信

##### (a) 外部クロックモードの送信動作

外部クロックモードの送信動作フローを図 13.5 に示します。

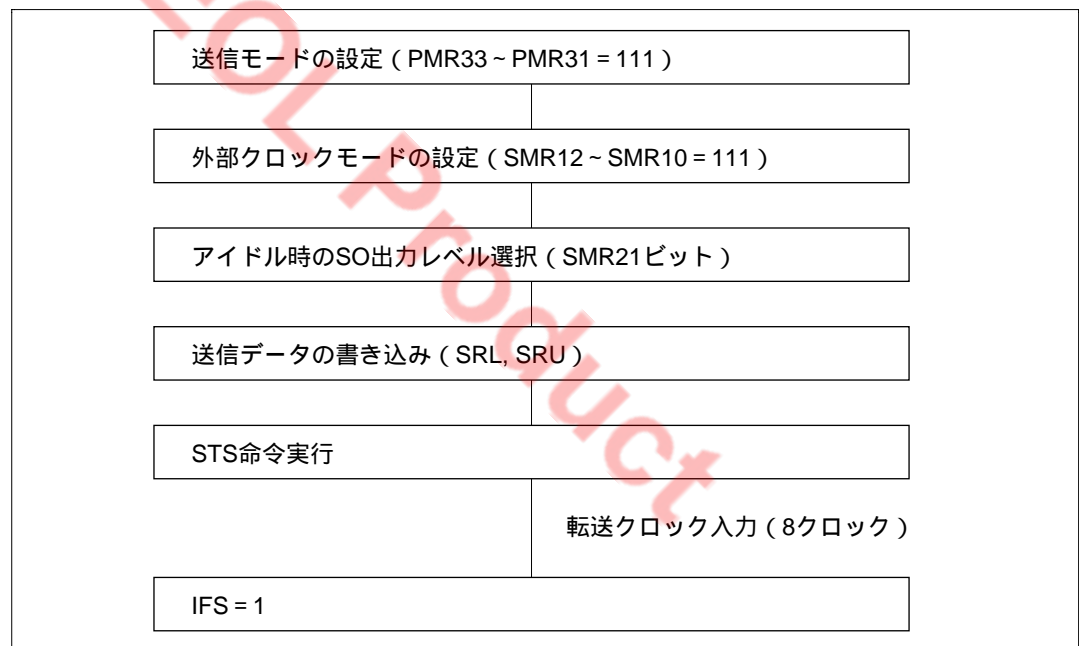


図 13.5 外部クロックモードの送信動作フロー

送信終了後、SO 端子は送信データの MSB の値を保持しています。SO 端子の出力値は、SMR21 ビットの設定により変更することができます。

転送クロック待ち状態において、引き続き転送クロックが入力されると再び送信動作を行います。また、SMR1 のダミー書き込みを行うと、STS 命令待ち状態に遷移して次の送信の準備を行います。

送信動作中に SMR1 への書き込みを行うと、OC は 000 にクリアされ、IFS が 1 にセットされます。同時に、STS 命令待ち状態に遷移して、送信は中断されます。

外部クロックモードの送信動作を図 13.6 に示します。

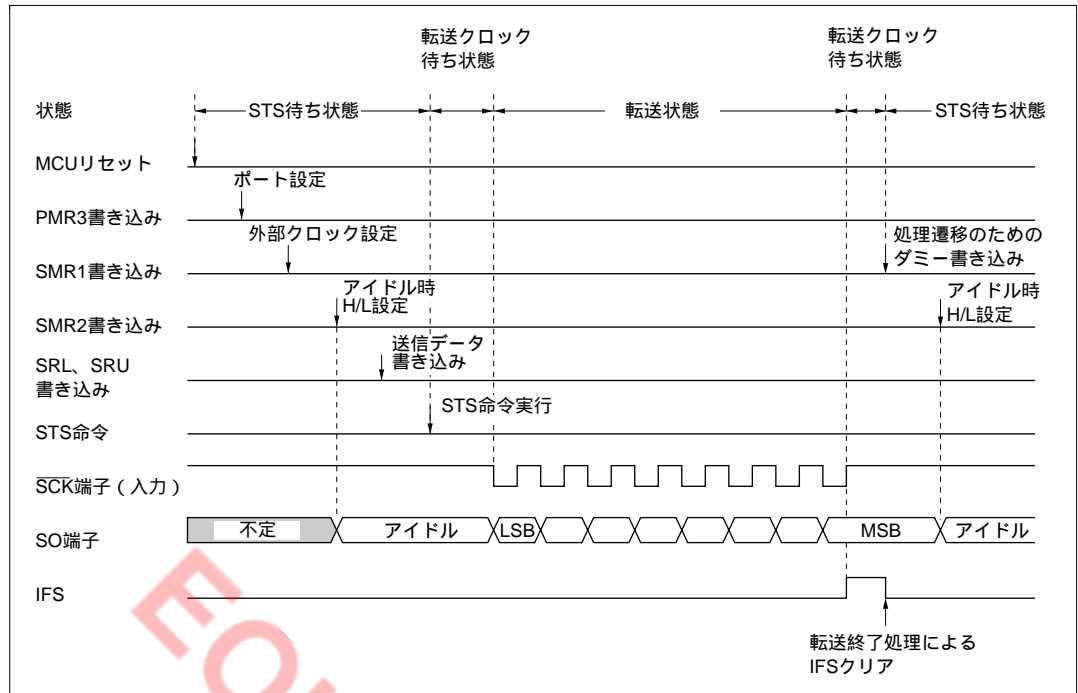


図 13.6 シリアル送信動作のシーケンス (外部クロックモード)

(b) 内部クロックモードの送信動作

内部クロックモードの送信動作フローを図 13.7 に示します。

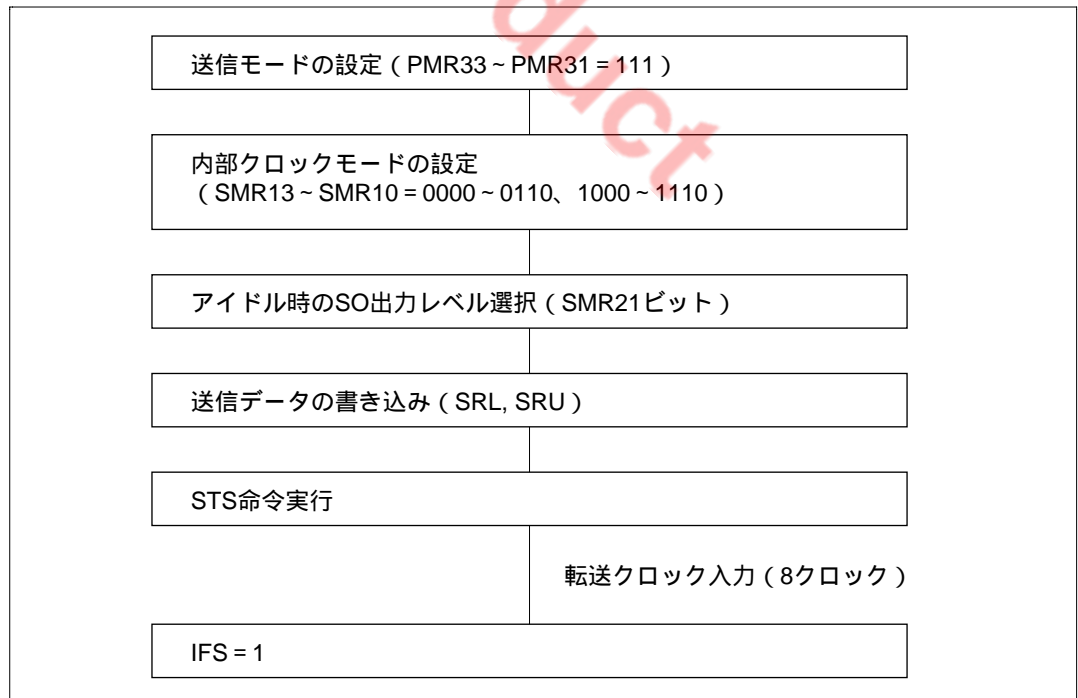


図 13.7 内部クロックモードの送信動作フロー

送信終了後、SO 端子は送信データの MSB の値を保持しています。SO 端子の出力値は、SMR21 ビットの設定により変更することができます。

内部クロックモードでは、 $\overline{\text{SCK}}$  端子は転送クロック出力端子となり、選択された内部クロックと同一の転送クロックを出力します。

送信動作中に SMR1 への書き込みを行うと、OC は 000 にクリアされ、IFS が 1 にセットされます。同時に、STS 命令待ち状態に遷移して、送信は中断されます。

内部クロックモードの送信動作を図 13.8 に示します。

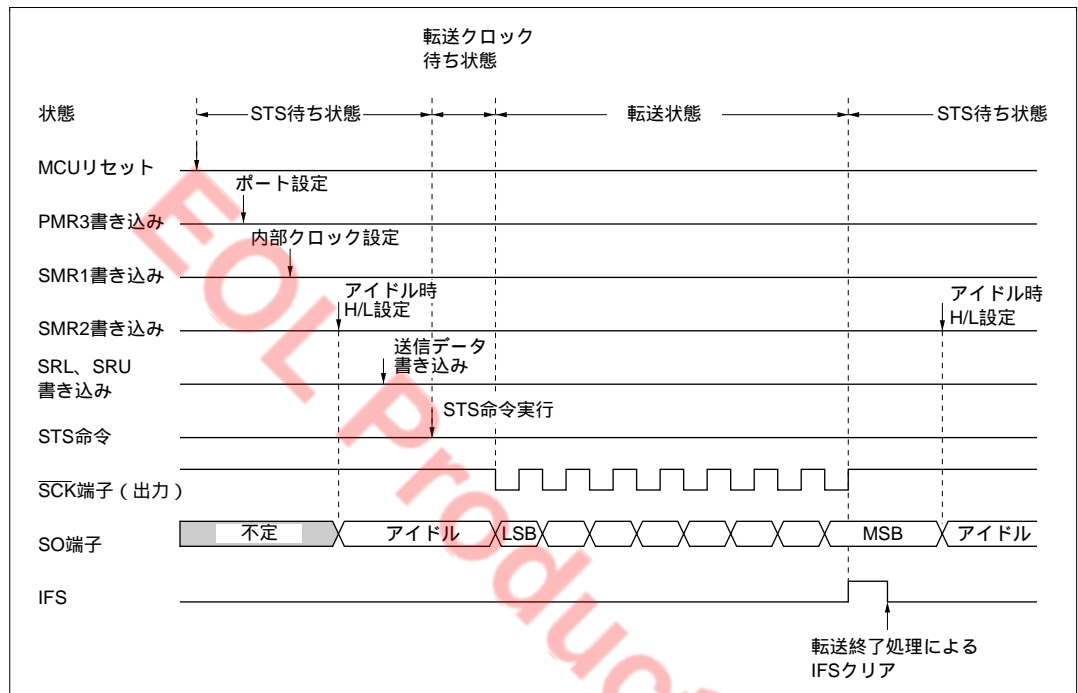


図 13.8 シリアル送信動作のシーケンス (内部クロックモード)

## (3) データ受信

## (a) 外部クロックモードの受信動作

外部クロックモードの受信動作フローを図 13.9 に示します。

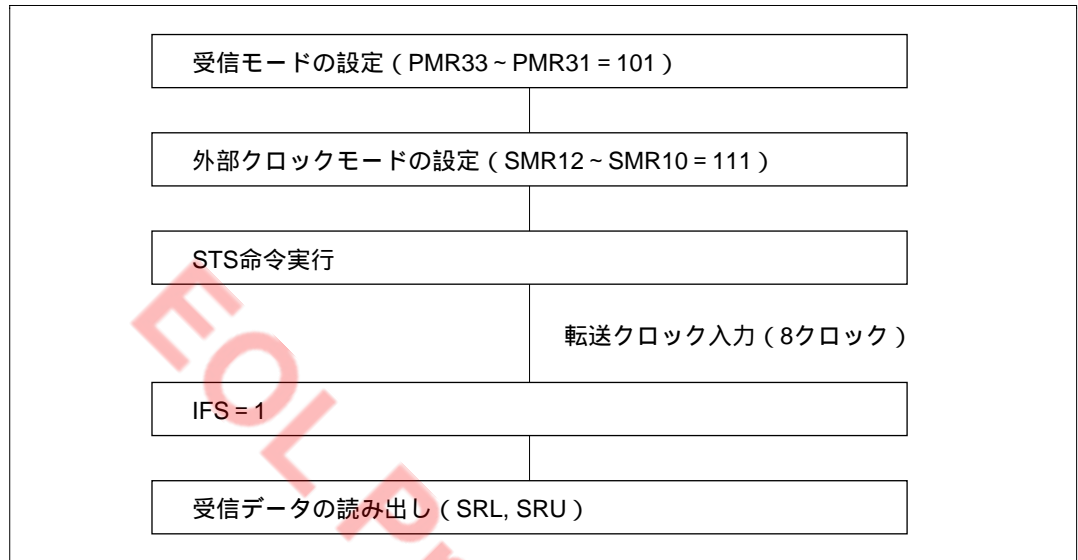


図 13.9 外部クロックモードの受信動作フロー

受信終了後、転送クロック待ち状態において、引き続き転送クロックが入力されると再び受信動作を行います。また、SMR1 のダミー書き込みを行うと STS 命令待ち状態に遷移して、次回の受信の準備を行います。

受信動作中に SMR1 への書き込みを行うと、OC は 000 にクリアされ、IFS が 1 にセットされます。同時に、STS 命令待ち状態に遷移して、受信は中断されます。

外部クロックモードの受信動作を図 13.10 に示します。



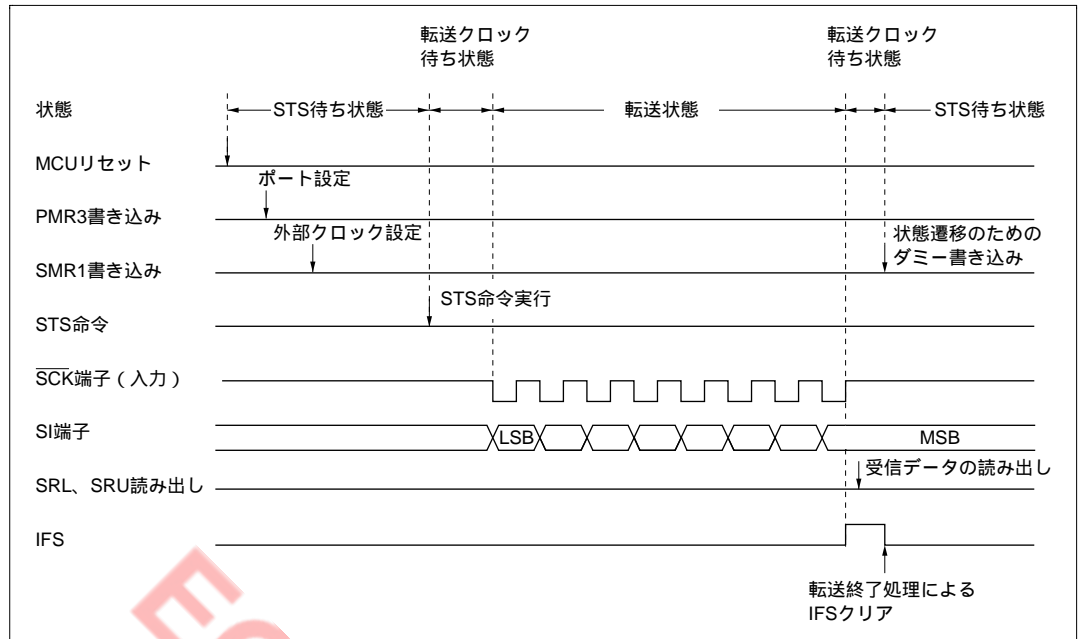


図 13.10 シリアル受信動作のシーケンス (外部クロックモード)

## (b) 内部クロックモードの受信動作

内部クロックモードの受信動作フローを図 13.11 に示します。



図 13.11 内部クロックモードの受信動作フロー

受信動作中に SMR1 への書き込みを行うと、OC は 000 にクリアされ、IFS が 1 にセットされます。同時に、STS 命令待ち状態に遷移して、受信は中断されます。

内部クロックモードの受信動作を図 13.12 に示します。

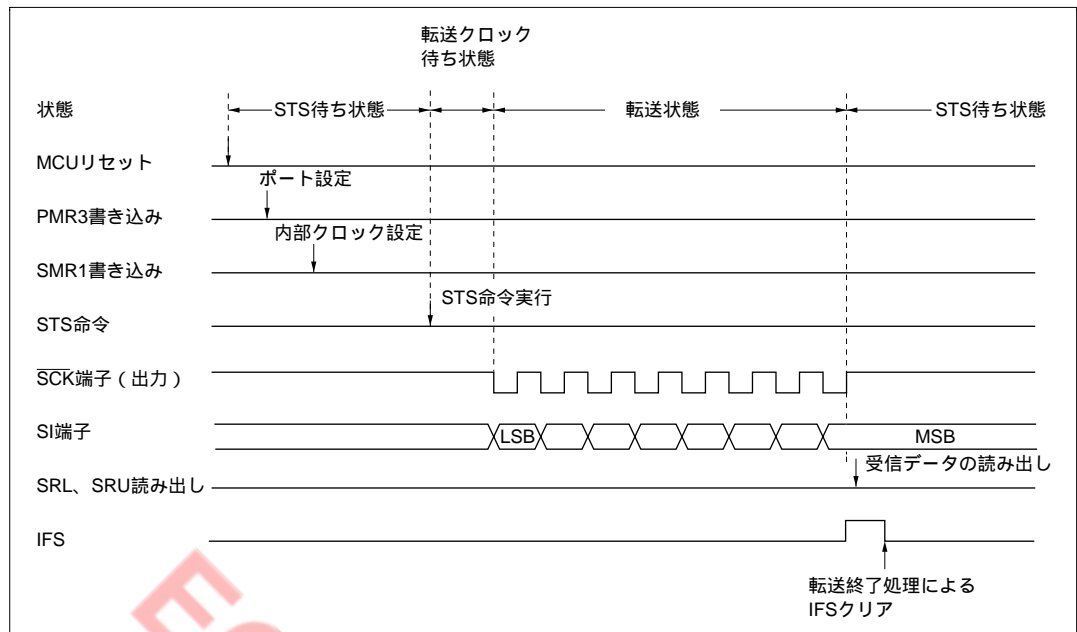


図 13.12 シリアル受信動作のシーケンス (内部クロックモード)

(4) 転送クロック連続出力動作

転送クロック連続出力動作フローを図 13.13 に示します。



図 13.13 転送クロック連続出力動作フロー

### 13.3.6 アイドル時の Low レベル / High レベル出力の選択

シリアルインタフェースは、アイドル時 (STS 命令待ち状態または転送クロック待ち状態) に、ソフトウェアにより SO 端子の出力レベルを任意に設定できます。アイドル時の Low レベル / High レベル出力の選択は、SMR2 の SMR21 ビットに出力レベルを書き込むことにより行います。

転送状態では、SO 端子の出力レベルを制御することはできません。

### 13.3.7 転送クロックエラーの検出 (外部クロックモード)

シリアルインタフェースは転送状態において、外来の雑音などによって正規の転送クロックに余分なパルスが重ね合わされた場合、誤動作します。このような場合には、図 13.14、図 13.15 に示す手順によって、転送クロックのエラーを知ることができます。

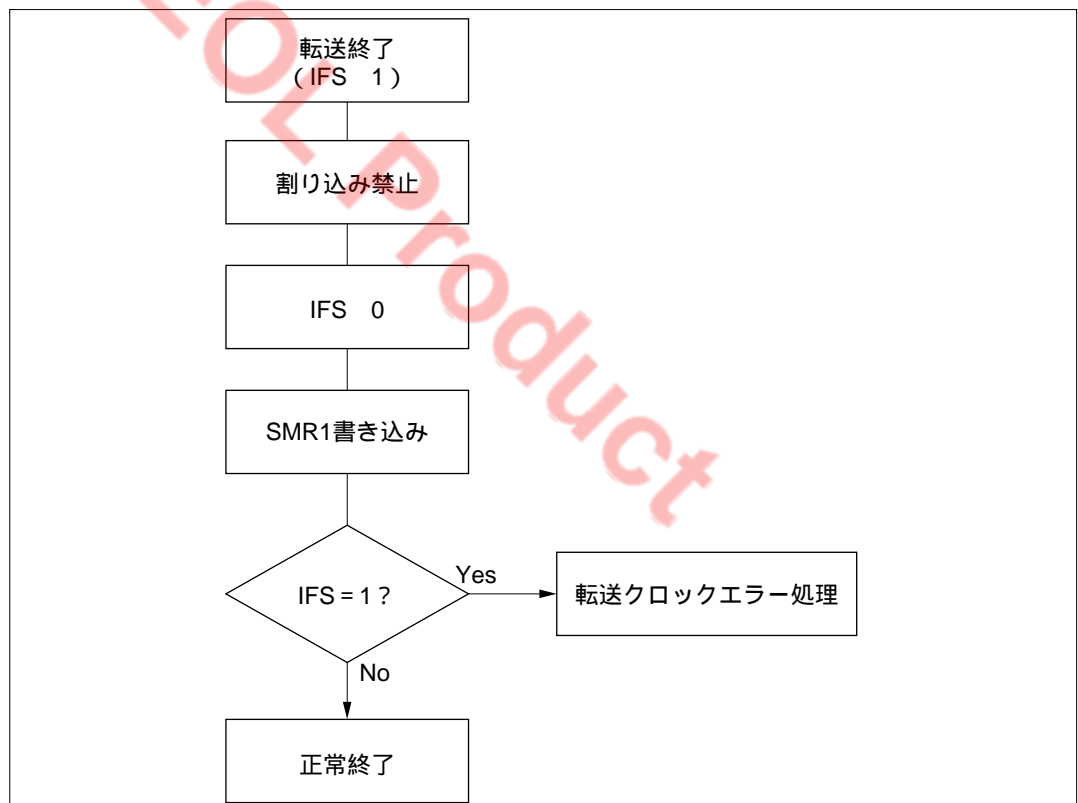


図 13.14 転送クロックエラー検出フロー

転送状態において、誤って8クロック以上の転送クロックが印加された場合には、ノイズによる不正クロックを含めた8クロック目にOCは000にクリアされ、IFSが1にセットされます。同時に転送状態から転送クロック待ち状態に遷移しますが、続いて入力された正規の転送クロックの立ち下がりによって再び転送状態に遷移します。

一方、割り込み処理ルーチンにおいて、転送終了処理を行い、IFSを0にクリアして、SMR1のダミー書き込みを行うと、転送状態からSTS命令待ち状態に遷移するため、IFSは再び1にセットされることとなります(図13.15参照)。したがって、SMR1のダミー書き込み後、IFSの内容をテストすることで、転送クロックエラーの有無を判別することができます。

図13.15に、転送クロックエラー検出シーケンスを示します。

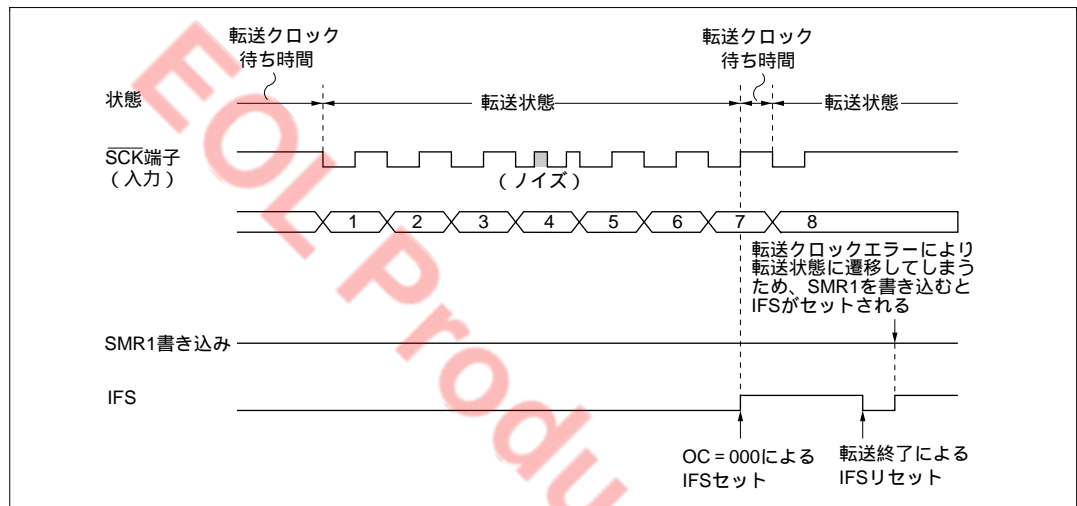


図13.15 転送クロックエラー検出シーケンス

## 13.4 割り込み

シリアルインタフェースの割り込み要因は、シリアルインタフェースの転送状態から他の状態への遷移（OC の 000 クリア）です。シリアルインタフェースの割り込み要因が発生すると、IFS が 1 にセットされます。

IFS は、割り込みが受け付けられてもオートクリアされません。割り込み処理ルーチンの中でソフトウェアでクリアしてください。

シリアル割り込みは、IMS によりシリアル割り込みを独立に許可または禁止できます。また、シリアル割り込みは、A/D 割り込みと割り込みベクタを共用しています。したがって、どちらが選択されているかソフトウェアで判別する必要があります。

## 13.5 使用上の注意

シリアルインタフェースを使用するとき、次の点に注意してください。

- (1) 転送クロック待ち状態または転送状態で PMR3 の書き込みを行った場合には、再度 SMR1 の書き込みを行い、シリアルインタフェースをイニシャライズしてください。
- (2) 転送状態において、転送クロックの最初の Low レベル期間中に、SMR1 への書き込みや、STS 命令を実行して他の状態に遷移した場合には、IFS は 1 にセットされません。IFS を確実にセットするためには、 $\overline{SCK}$  端子が割り付けられている R2<sub>1</sub> 端子に対する入力命令を実行して  $\overline{SCK}$  端子の状態が High レベルであることを確認してください。その後、SMR1 への書き込み、または STS 命令を実行するようにプログラムしてください。
- (3) SMR1 の変更は、レジスタへの書き込み命令実行の 2 命令後から有効になります。したがって SMR1 への書き込み後、 $2t_{cyc}$  以上経過してから、STS 命令を実行するようにプログラムする必要があります。
- (4) SMR2 による PMOS オン / オフ制御は、PMR3 により R2<sub>2</sub>/SI/SO 端子のいずれが選択されていても有効となります。
- (5) モジュールスタンバイ状態にする前に当該モジュールの割り込みマスクをセットしてください。また、モジュールスタンバイ解除後は当該モジュールの割り込み要求フラグをクリアしてください。

EOL Product

---

# 14. A/D コンバータ

---

## 第 14 章 目次

14.1	概要.....	251
14.1.1	特長.....	251
14.1.2	ブロック図.....	252
14.1.3	端子構成.....	253
14.1.4	レジスタ、フラグ構成.....	253
14.2	各レジスタ、フラグの説明.....	254
14.2.1	A/D モードレジスタ (AMR : \$028).....	254
14.2.2	A/D データレジスタ L、U (ADRL : \$02A、ADRU : \$02B).....	256
14.2.3	A/D スタートフラグ (ADSF : \$020, 2).....	256
14.2.4	モジュールスタンバイレジスタ 2 (MSR2 : \$00E).....	257
14.3	動作説明.....	258
14.3.1	A/D 変換動作.....	258
14.3.2	低消費電力モード時の動作.....	259
14.3.3	A/D 変換の精度.....	260
14.4	割り込み.....	261
14.5	使用上の注意.....	261

EOL Product



## 14.1 概要

### 14.1.1 特長

HD404889 シリーズは、抵抗ラダー方式による逐次比較方式 A/D コンバータを内蔵しています。

A/D コンバータには、次の特長があります。

8 ビットの分解能 (基準電圧の 1 / 256)

入力チャンネル : 6 チャンネル

変換時間 :  $65t_{cyc} / 125t_{cyc}$  ( $t_{cyc}$  : システムクロック周期)

A/D 変換終了時に割り込みを発生

モジュールスタンバイ機能

未使用時にシステムクロックの供給を止めることが可能。

### 14.1.2 ブロック図

図 14.1 に A/D コンバータのブロック図を示します。

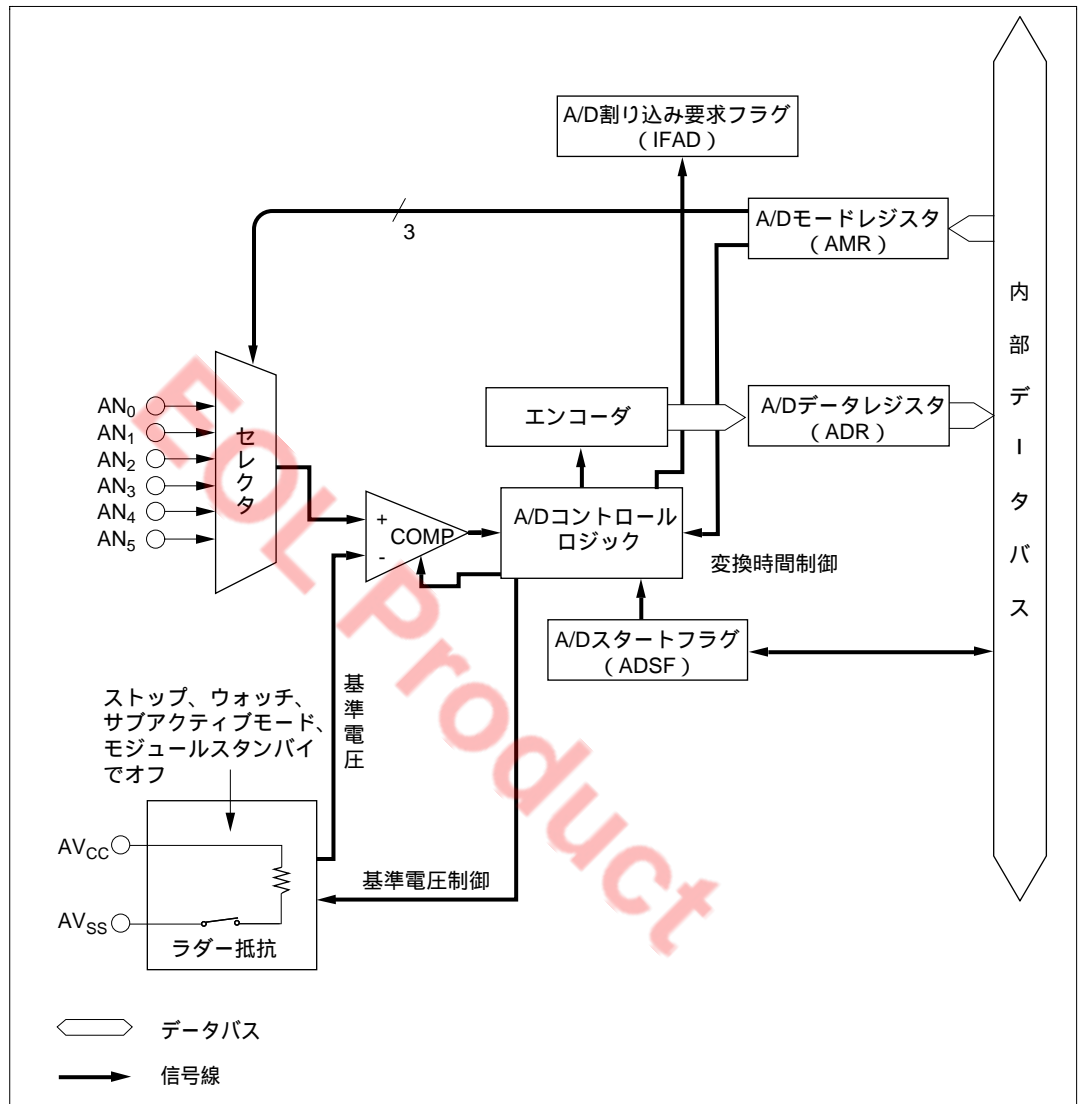


図 14.1 A/D コンバータのブロック図

### 14.1.3 端子構成

A/D コンバータの端子構成を表 14.1 に示します。

表 14.1 端子構成

名 称	記 号	入出力	機 能
アナログ電源	AV <sub>CC</sub>		アナログ部の電源
アナロググランド	AV <sub>SS</sub>		アナログ部のグランド
アナログ入力チャンネル0	AN <sub>0</sub>	入力	アナログ入力チャンネル0
アナログ入力チャンネル1	AN <sub>1</sub>	入力	アナログ入力チャンネル1
アナログ入力チャンネル2	AN <sub>2</sub>	入力	アナログ入力チャンネル2
アナログ入力チャンネル3	AN <sub>3</sub>	入力	アナログ入力チャンネル3
アナログ入力チャンネル4	AN <sub>4</sub>	入力	アナログ入力チャンネル4
アナログ入力チャンネル5	AN <sub>5</sub>	入力	アナログ入力チャンネル5

### 14.1.4 レジスタ、フラグ構成

A/D コンバータのレジスタ、フラグ構成を表 14.2 に示します。

表 14.2 レジスタ、フラグ構成

アドレス	名 称	略 称	R/W	初期値
\$028	A/D モードレジスタ	AMR	W	\$0
\$02A	A/D データレジスタ L	ADRL	R	\$0
\$02B	A/D データレジスタ U	ADRU	R	\$8
\$020, 2	A/D スタートフラグ	ADSF	R/W*	0
\$00E	モジュールスタンバイレジスタ 2	MSR2	W	--00

【注】 \* ADSF は、レジスタフラグエリアに割り付けられており、RAM ビット操作命令のみ使用できます。ADSF は、フラグセットのための 1 書き込みのみ可能であり、0 を書き込むことはできません。

## 14.2 各レジスタ、フラグの説明

### 14.2.1 A/Dモードレジスタ (AMR : \$028)

AMR は 4 ビットの書き込み専用レジスタで、A/D 変換を行う入力チャンネルを選択します。

リセット時に、AMR は\$0 にイニシャライズされます。

ビット :	3	2	1	0	
	AMR3	AMR2	AMR1	AMR0	
初期値 :	0	0	0	0	
R/W :	W	W	W	W	

A/D変換時間選択	
AMR0	変換時間
0	65 $t_{cyc}$
1	125 $t_{cyc}$

アナログ入力チャンネル選択

AMR3	AMR2	AMR1	入力チャンネル
0	0	任意	非選択
		0	AN <sub>0</sub>
	1	AN <sub>1</sub>	
1	0	0	AN <sub>2</sub>
		1	AN <sub>3</sub>
	1	0	AN <sub>4</sub>
		1	AN <sub>5</sub>

## ビット3～1：アナログ入力チャンネル選択（AMR3～AMR1）

アナログ入力チャンネルの選択を行います。

AMR3	AMR2	AMR1	説 明
0	0	0	非選択 (初期値)
		1	非選択
	1	0	アナログ入力チャンネル0 (AN <sub>0</sub> ) を選択
		1	アナログ入力チャンネル1 (AN <sub>1</sub> ) を選択
1	0	0	アナログ入力チャンネル2 (AN <sub>2</sub> ) を選択
		1	アナログ入力チャンネル3 (AN <sub>3</sub> ) を選択
	1	0	アナログ入力チャンネル4 (AN <sub>4</sub> ) を選択
		1	アナログ入力チャンネル5 (AN <sub>5</sub> ) を選択

## ビット0：A/D変換時間選択（AMR0）

A/D変換時間を選択します。

AMR0	説 明
0	変換時間 = $65t_{cyc}$ (初期値)
1	変換時間 = $125t_{cyc}$

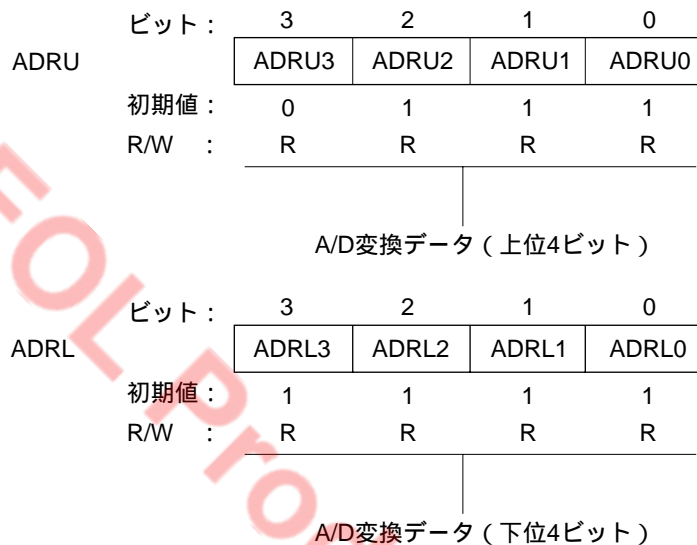
### 14.2.2 A/D データレジスタ L、U (ADRL : \$02A、ADRU : \$02B)

ADRL、ADRU は、8 ビットの読み出し専用のレジスタで、下位ディジット (ADRL) と上位ディジット (ADRU) から構成されています。

A/D 変換された 8 ビットデータは、ADRL、ADRU に転送され、次の変換開始まで保持されます。

A/D 変換中は、本レジスタの内容は保証されません。

ADRL、ADRU は、リセットによりクリアされません。



### 14.2.3 A/D スタートフラグ (ADSF : \$020, 2)

ADSF は、A/D 変換開始を設定します。ADSF に 1 をセットすると A/D 変換が開始されます。変換が終了すると、変換データは ADRL、ADRU に転送され、ADSF は 0 にクリアされます。

ADSF は、RAM ビット操作命令によってのみ読み出しまたは書き込みが可能です。

リセット時に ADSF は 0 にクリアされます。

ADSF	説 明
0	(読み出し時) A/D 変換が終了していることを示します。 (初期値) (書き込み時) 0 書き込みは不可。
1	(読み出し時) A/D 変換中であることを示します。 (書き込み時) A/D 変換を開始します。

## 14.2.4 モジュールスタンバイレジスタ 2 (MSR2 : \$00E)

MSR2 は、2 ビットの書き込み専用レジスタで、A/D コンバータおよびシリアルインタフェースへのシステムクロックの供給、停止を設定します。モジュールスタンバイ中は、モードレジスタの設定値は保持されます。

リセット時に、MSR2 は--00 にイニシャライズされます。

ビット :	3	2	1	0
	-	-	MSR21	MSR20
初期値 :	-	-	0	0
R/W :	-	-	W	W

シリアルクロック供給制御	
0	供給
1	停止

A/Dクロック供給制御

ここでは MSR21 ビットについて説明します。MSR22 ビットについての詳細は、「13.2.6 モジュールスタンバイレジスタ 2 (MSR2)」を参照してください。

MSR2 の MSR21 ビットを 1 にセットすることにより、スタンバイモードおよびアクティブモードにおいてもラダー抵抗に流れる電流と A/D コンバータに供給されるシステムクロックをカットすることができます。

ただし、この場合 A/D 変換は正常に行うことができません。したがって、MSR2 の MSR21 ビットが 1 の状態で A/D 変換を実行しないでください。

MSR21	説明
0	ラダー抵抗に電流を流し、また A/D コンバータにシステムクロックを供給します。 (初期値)
1	ラダー抵抗の電流をカットするとともに A/D コンバータへのシステムクロックの供給を停止します。

## 14.3 動作説明

### 14.3.1 A/D 変換動作

図 14.2 に A/D 変換動作のシーケンスを示します。



図 14.2 A/D 変換動作のシーケンス

A/D コンバータの動作は次のように行われます。

- [1] AMR によりアナログ入力チャネルと A/D 変換時間を設定します。
- [2] ADSF に 1 をセットして、A/D 変換を開始します。
- [3] A/D 変換が終了すると変換データは ADRL、ADRU に転送され、ADSF は 0 にクリアされます。同時に IFAD が 1 にセットされます。
- [4] ADRL、ADRU の内容を読み出します。

このうち、[3] はハードウェアにより自動的に処理されます。[1]、[2]、[4] はソフトウェア動作となります。



A/D 変換動作のタイミングチャートを図 14.3 に示します。

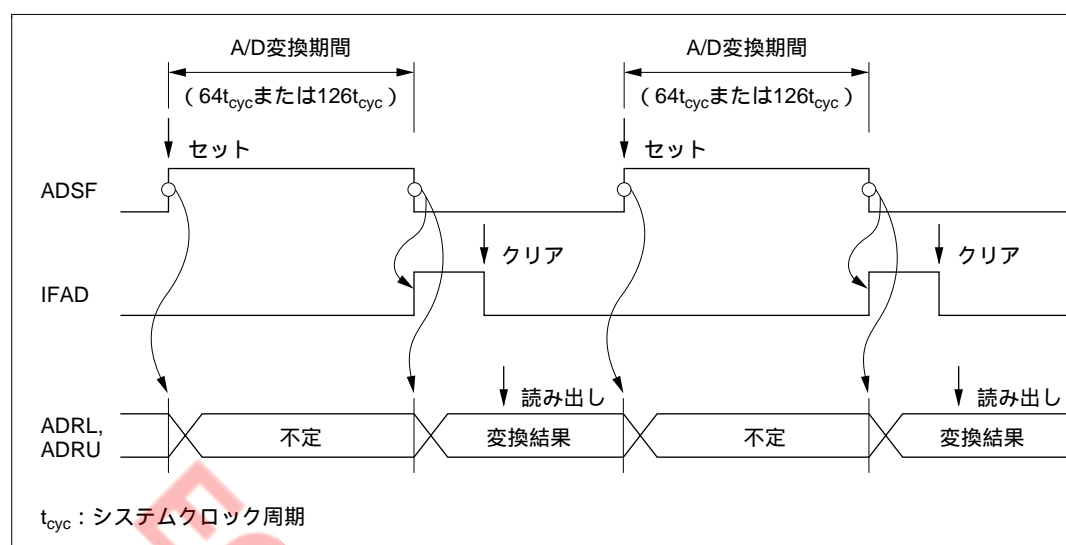


図 14.3 A/D 変換動作のタイミングチャート

### 14.3.2 低消費電力モード時の動作

ストップモード、ウォッチモード、サブアクティブモード、およびモジュールスタンバイ時には、ラダー抵抗に流れるアナログ電源の供給がオフとなり、A/D コンバータは動作を停止します。

### 14.3.3 A/D 変換の精度

A/D コンバータは、アナログ信号をデジタルコードに変換するため、本質的に量子化誤差 ( $\pm 0.5\text{LSB}$  で定義される) を伴っています。8 ビットの分解能をもつ A/D コンバータのアナログ入力電圧と A/D 変換結果の対応を図 14.4 に示します。

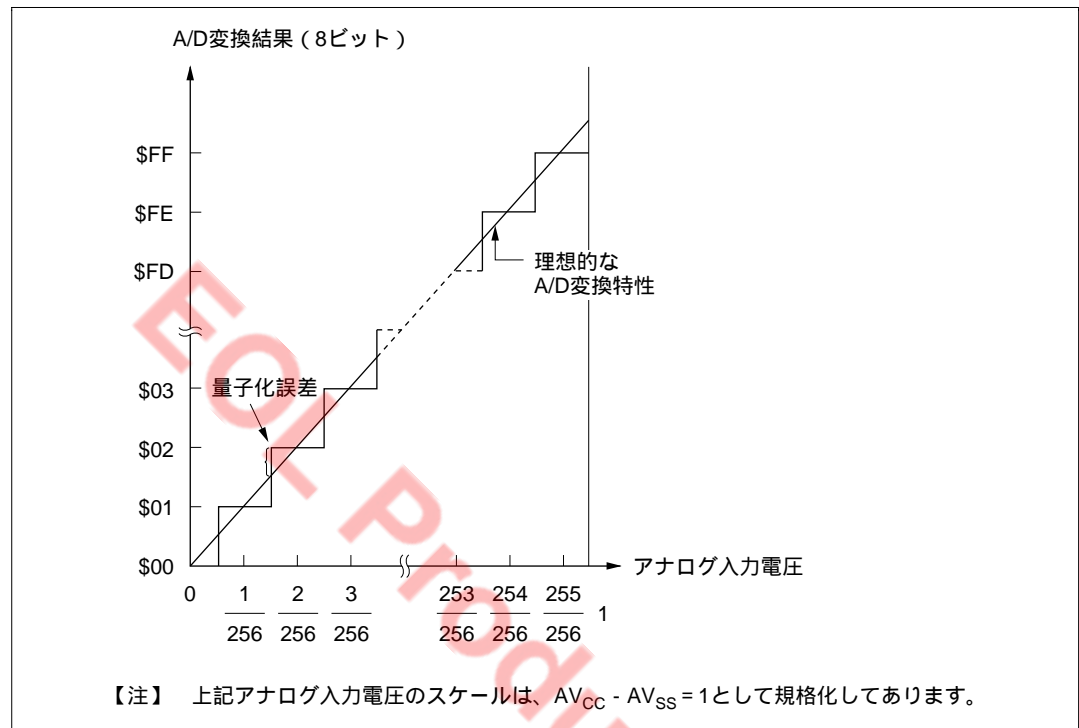


図 14.4 A/D コンバータのアナログ入力電圧と A/D 変換結果の対応

A/D 変換結果とアナログ入力値との偏差を絶対精度と呼びます。本 A/D コンバータの絶対精度については、「第 20 章 電気的特性」の「A/D コンバータ特性」を参照してください。

## 14.4 割り込み

A/D コンバータの割り込み要因は、A/D 変換の終了です。

A/D 変換が終了すると、割り込み制御ビットエリアの IFAD が 1 にセットされます。

IFAD は、割り込みが受け付けられてもオートクリアされません。割り込み処理ルーチンの中でソフトウェアにより 0 にクリアしてください。

A/D 割り込みは、割り込み制御ビットエリアの A/D 割り込みマスク (IMAD) により、独立に許可 / 禁止できます。

また、A/D 割り込みは、シリアル割り込みと割り込みベクタを共用しているため、この 2 種類の割り込みはソフトウェアで判別する必要があります。詳細は、「第 4 章 例外処理」を参照してください。

## 14.5 使用上の注意

A/D コンバータを使用するとき、次の点に注意してください。

- (1) ADSF は、レジスタフラグエリアに割り付けられています。ADSF のセットは、SEM または SEMD 命令を使用してください。また、ADSF に 0 を書き込まないでください。
- (2) A/D 変換中に ADSF の書き込みは行わないでください。
- (3) A/D 変換中の ADRL、ADRU の内容は保証されません。
- (4) A/D 変換中に MSR2 の MSR21 ビットの 1 書き込みは行わないでください。
- (5) モジュールスタンバイ状態にする前に当該モジュールの割り込みマスクをセットしてください。また、モジュールスタンバイ解除後は当該モジュールの割り込み要求フラグをクリアしてください。

EOL Product

---

# 15. 液晶表示回路

---

## 第 15 章 目次

15.1	概要	265
15.1.1	特長	265
15.1.2	ブロック図	266
15.1.3	端子構成	267
15.1.4	レジスタ構成	267
15.2	各レジスタの説明	268
15.2.1	液晶表示データエリア (\$050 ~ \$06F)	268
15.2.2	液晶表示制御レジスタ (LCR : \$02C)	269
15.2.3	液晶表示モードレジスタ (LMR : \$02D)	271
15.2.4	ポートモードレジスタ 4 (PMR4 : \$00C)	274
15.3	動作説明	276
15.3.1	概要	276
15.3.2	スタティック駆動	277
15.3.3	時分割駆動 (デューティ 1/2、1/3、1/4)	278
15.3.4	液晶電源の設定	281
15.4	応用回路例	282
15.4.1	スタティック駆動での表示例 (「2.」を表示する場合)	282
15.4.2	1/2 デューティ、1/2 パイアス駆動での表示例 (「2.」を表示する場合)	283
15.4.3	1/3 デューティ、1/3 パイアス駆動での表示例 (「2.」を表示する場合)	284
15.4.4	1/4 デューティ、1/3 パイアス駆動での表示例 (「2.」を表示する場合)	285
15.5	使用上の注意	286

EOL Product

## 15.1 概要

### 15.1.1 特長

HD404889 シリーズは、4 本のコモン信号出力端子と最大 32 本のセグメント信号出力端子を制御する液晶表示回路を内蔵しています。

液晶表示回路には、次の特長があります。

スタティック、1/2 デューティ、1/3 デューティ、1/4 デューティの設定が可能です。表示データ用デュアルポート RAM を内蔵し、表示データを自動的にセグメント信号出力端子に出力します。

サブシステムクロックをクロックソースとして、ウォッチモード時にも液晶表示が可能です。

ソフトウェアにより液晶電源分割抵抗間のスイッチをオフにすることができます。

### 15.1.2 ブロック図

HD404889 シリーズの液晶表示回路のブロック図を図 15.1 に示します。

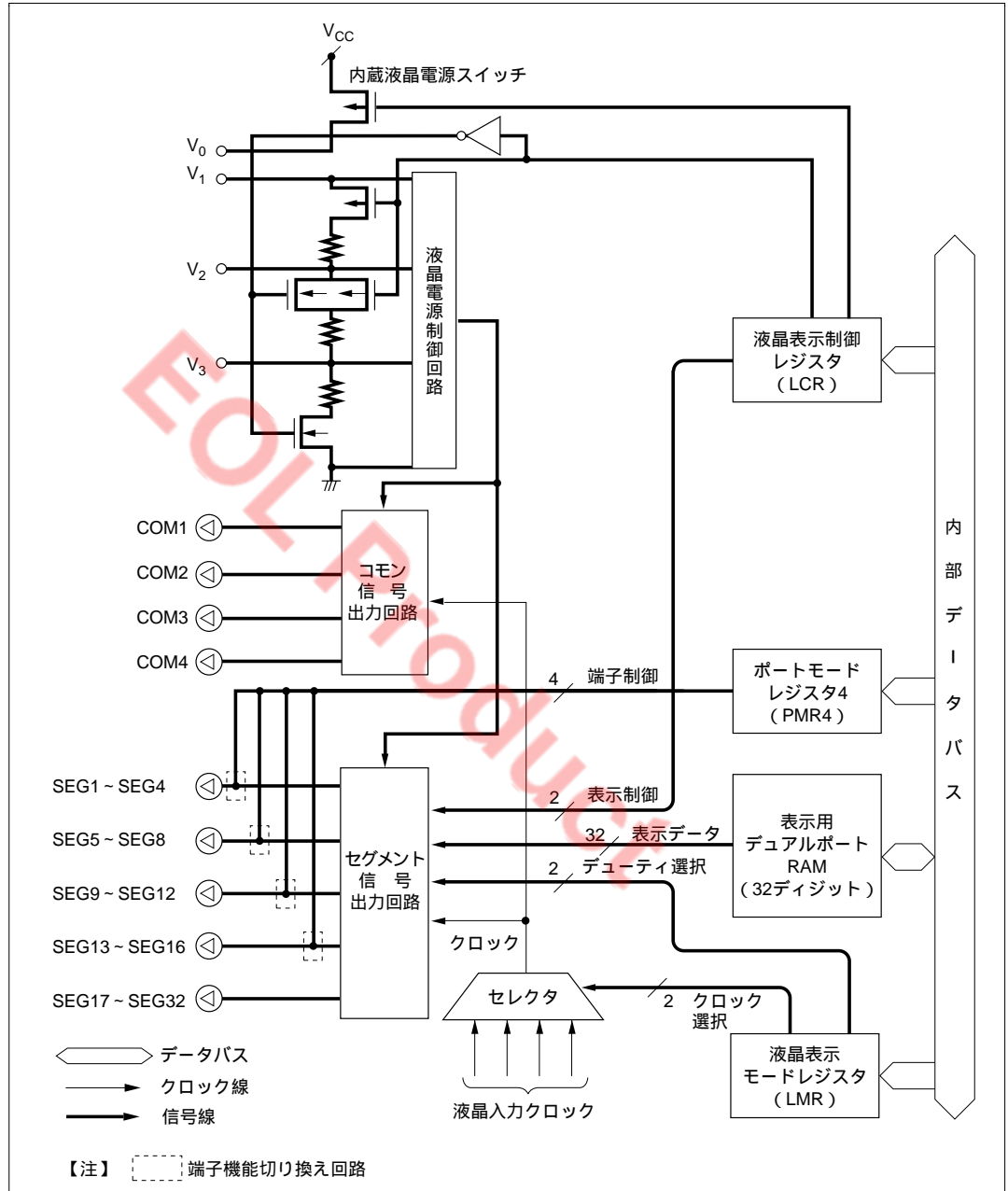


図 15.1 液晶表示回路のブロック図



### 15.1.3 端子構成

液晶表示回路の端子構成を表 15.1 に示します。

表 15.1 端子構成

名 称	記 号	入出力	機 能
液晶表示回路用電源 0、1、2、3	$V_0, V_1, V_2, V_3$	-	液晶表示回路用電源
コモン信号出力 1~4	COM1 ~ COM4	出力	コモン信号出力
セグメント出力 1~32	SEG1 ~ SEG32	出力	セグメント信号出力

### 15.1.4 レジスタ構成

液晶表示回路のレジスタ構成を表 15.2 に示します。

表 15.2 レジスタ構成

アドレス	名 称	略 称	R/W	初期値
\$050 ~ \$06F	液晶表示データエリア	-	R/W	不定
\$02C	液晶表示制御レジスタ	LCR	W	\$0
\$02D	液晶表示モードレジスタ	LMR	W	\$0
\$00C	ポートモードレジスタ 4	PMR4	W	\$0

## 15.2 各レジスタの説明

### 15.2.1 液晶表示データエリア（\$050～\$06F）

HD404889 シリーズの液晶表示データエリアの構成を図 15.2 に示します。液晶表示データエリアは 32 デジット（1 デジット = 4 ビット）のデュアルポート RAM で構成され、同一デジット内の各ビットは 4 種類の各デューティに対応しています。デューティに対応する各エリアに表示データを書き込むことにより、自動的に表示データとしてセグメント出力端子に転送されます。

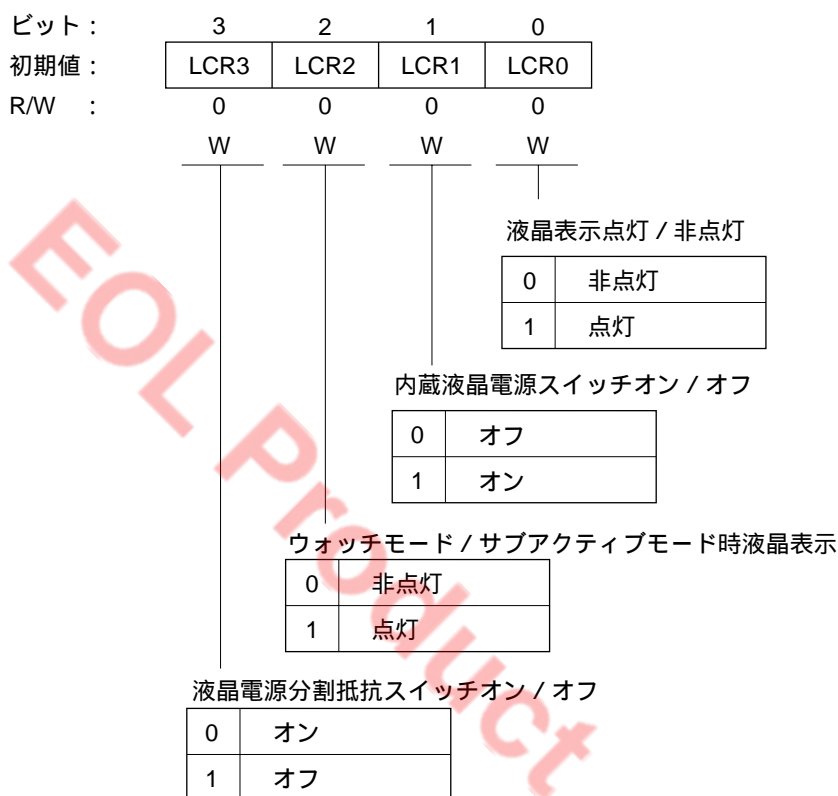
RAM					RAM				
アドレス	ビット3	ビット2	ビット1	ビット0	アドレス	ビット3	ビット2	ビット1	ビット0
\$050	SEG 1	SEG 1	SEG 1	SEG 1	\$060	SEG 17	SEG 17	SEG 17	SEG 17
\$051	SEG 2	SEG 2	SEG 2	SEG 2	\$061	SEG 18	SEG 18	SEG 18	SEG 18
\$052	SEG 3	SEG 3	SEG 3	SEG 3	\$062	SEG 19	SEG 19	SEG 19	SEG 19
\$053	SEG 4	SEG 4	SEG 4	SEG 4	\$063	SEG 20	SEG 20	SEG 20	SEG 20
\$054	SEG 5	SEG 5	SEG 5	SEG 5	\$064	SEG 21	SEG 21	SEG 21	SEG 21
\$055	SEG 6	SEG 6	SEG 6	SEG 6	\$065	SEG 22	SEG 22	SEG 22	SEG 22
\$056	SEG 7	SEG 7	SEG 7	SEG 7	\$066	SEG 23	SEG 23	SEG 23	SEG 23
\$057	SEG 8	SEG 8	SEG 8	SEG 8	\$067	SEG 24	SEG 24	SEG 24	SEG 24
\$058	SEG 9	SEG 9	SEG 9	SEG 9	\$068	SEG 25	SEG 25	SEG 25	SEG 25
\$059	SEG 10	SEG 10	SEG 10	SEG 10	\$069	SEG 26	SEG 26	SEG 26	SEG 26
\$05A	SEG 11	SEG 11	SEG 11	SEG 11	\$06A	SEG 27	SEG 27	SEG 27	SEG 27
\$05B	SEG 12	SEG 12	SEG 12	SEG 12	\$06B	SEG 28	SEG 28	SEG 28	SEG 28
\$05C	SEG 13	SEG 13	SEG 13	SEG 13	\$06C	SEG 29	SEG 29	SEG 29	SEG 29
\$05D	SEG 14	SEG 14	SEG 14	SEG 14	\$06D	SEG 30	SEG 30	SEG 30	SEG 30
\$05E	SEG 15	SEG 15	SEG 15	SEG 15	\$06E	SEG 31	SEG 31	SEG 31	SEG 31
\$05F	SEG 16	SEG 16	SEG 16	SEG 16	\$06F	SEG 32	SEG 32	SEG 32	SEG 32
	COM4	COM3	COM2	COM1		COM4	COM3	COM2	COM1

図 15.2 液晶表示データエリアの構成

## 15.2.2 液晶表示制御レジスタ (LCR : \$02C)

LCR は、4 ビットの書き込み専用レジスタで、液晶表示の点灯 / 非点灯、内蔵液晶電源スイッチのオン / オフ、およびウォッチモード、サブアクティブモード時の液晶表示の点灯 / 非点灯、液晶分割抵抗スイッチのオン / オフを制御します。

LCR は、RAM ビット操作命令 (SEM / SEMD、REM / REMD) の使用が可能です。リセット時に、LCR は\$0 にイニシャライズされます。



### ビット3 : 液晶分割抵抗スイッチオン / オフ

内蔵されている液晶分割抵抗の切り離しを制御します。

LCR3	説 明
0	内蔵されている液晶分割抵抗が接続されます。 (初期値)
1	内蔵されている液晶分割抵抗が切り離されます。

## ビット2：ウォッチモード/サブアクティブモード時液晶表示（LCR2）

ウォッチモード、サブアクティブモード時に液晶表示するか否かを選択します。

LCR2	説 明
0	ウォッチモード、サブアクティブモード時の液晶表示非点灯。ウォッチモード、サブアクティブモード時、すべてのコモン信号出力端子、セグメント信号出力端子が GND 電位に固定されます。また、内蔵液晶電源スイッチはオフとなります。 (初期値)
1	ウォッチモード、サブアクティブモード時の液晶表示点灯。ウォッチモード、サブアクティブモード時、液晶表示データエリアのデータがセグメント信号として出力されます。

## ビット1：内蔵液晶電源スイッチのオン/オフ（LCR1）

液晶表示回路の内蔵電源のオン/オフを制御します。

LCR1	説 明
0	内蔵液晶電源スイッチはオフとなります。 (初期値)
1	内蔵液晶電源スイッチはオンとなります。

## ビット0：液晶表示点灯/非点灯（LCR0）

LCR0	説 明
0	液晶表示非点灯。液晶表示データエリアのデータと関係なく、セグメント信号は非点灯状態になります。 (初期値)
1	液晶表示点灯。液晶表示データエリアのデータが、セグメント信号として出力されます。

【注】 LCR0 の設定が、LCR2 の設定に優先されます。

### 15.2.3 液晶表示モードレジスタ ( LMR : \$02D )

LMR は、4 ビットの書き込み専用レジスタで、4 種類の表示デューティ比、および液晶表示回路用クロックを設定します。

リセット時に、LMR は\$0 にイニシャライズされます。

ビット :	3	2	1	0
	LMR3	LMR2	LMR1	LMR0
初期値 :	0	0	0	0
R/W :	W	W	W	W

デューティ比選択		
LMR1	LMR0	デューティ比
0	0	1 / 4
	1	1 / 3
1	0	1 / 2
	1	1 (スタティック駆動)

クロック選択

LMR3	LMR2	液晶表示回路用クロック
0	0	$CL0 = 32.768 \text{ kHz} \times \text{Duty} / 128$
	1	$CL1 = 32.768 \text{ kHz} \times \text{Duty} / 256$
1	0	$CL2 = \text{PER} \times \text{Duty} / 256$
	1	TMA3 = 0 のとき $CL3 = \text{PER} \times \text{Duty} / 2048$ TMA3 = 1 のとき $CL3 = 32.768 \text{ kHz} \times \text{Duty} / 512$

- 【注】 PER : 周辺機能用クロック  
 Duty : LMR1、LMR0ビットで設定されたデューティ比  
 (1、1/2、1/3、1/4)  
 TMA3 : タイマモードレジスタA (TMA) のビット3

## ビット3、2：クロック選択 (LMR3、LMR2)

液晶表示回路用クロックを選択します。

LMR3	LMR2	説 明
0	0	液晶表示回路用クロックは、 $CL0 = 32.768\text{kHz} \times \text{Duty} / 128$ 。 (サブシステムクロック発振器使用時) (初期値)
	1	液晶表示回路用クロックは、 $CL1 = 32.768\text{kHz} \times \text{Duty} / 256$ 。 (サブシステムクロック発振器使用時)
1	0	液晶表示回路用クロックは、 $CL2 = \text{PER} \times \text{Duty} / 256$ 。
	1	液晶表示回路用クロックは、 TMA3 = 0 のとき、 $CL3 = \text{PER} \times \text{Duty} / 2048$ 。 TMA3 = 1 のとき、 $CL3 = 32.768\text{kHz} \times \text{Duty} / 512$ (サブシステムクロック発振器使用時)。

【注】  $\text{PER}$  : 周辺機能用クロック

Duty : LMR1、LMR0 ビットで設定されたデューティ比 (1、1/2、1/3、1/4)

TMA3 : タイマモードレジスタ A (TMA) のビット3

## ビット1、0：デューティ比選択 (LMR1、LMR0)

コモン信号出力、セグメント信号出力のデューティ比を選択します。

LMR1	LMR0	説 明
0	0	デューティ比は1/4。 (初期値)
	1	デューティ比は1/3。
1	0	デューティ比は1/2。
	1	デューティ比は1 (スタティック駆動)。

デューティ別液晶フレーム周波数を表 15.3 に示します。

表 15.3 (a) デューティ別液晶フレーム周波数 (デューティ比 : 1)

デューティ	LMR3	LMR2		フレーム周期							
				f <sub>OSC</sub> = 400kHz 時		f <sub>OSC</sub> = 800kHz 時		f <sub>OSC</sub> = 2.0MHz 時		f <sub>OSC</sub> = 4.0MHz 時	
				4分周	32分周	4分周	32分周	4分周	32分周	4分周	32分周
スタティック	0	0	CL0	256Hz							
		1	CL1	128Hz							
	1	0	CL2	390.6Hz	48.8Hz	781.3Hz	97.7Hz	1953Hz	244.1Hz	3906Hz	488.3Hz
		1	CL3*	48.8Hz	6.1Hz	97.7Hz	12.2Hz	244.1Hz	30.5Hz	488.3Hz	61.0Hz
64Hz											

表 15.3 (b) デューティ別液晶フレーム周波数 (デューティ比 : 1/2)

デューティ	LMR3	LMR2		フレーム周期							
				f <sub>OSC</sub> = 400kHz 時		f <sub>OSC</sub> = 800kHz 時		f <sub>OSC</sub> = 2.0MHz 時		f <sub>OSC</sub> = 4.0MHz 時	
				4分周	32分周	4分周	32分周	4分周	32分周	4分周	32分周
1/2	0	0	CL0	128Hz							
		1	CL1	64Hz							
	1	0	CL2	195.3Hz	24.4Hz	390.6Hz	48.8Hz	976.6Hz	122.1Hz	1953Hz	244.1Hz
		1	CL3*	24.4Hz	3.1Hz	48.8Hz	6.1Hz	122.1Hz	15.3Hz	244.1Hz	30.5Hz
32Hz											

表 15.3 (c) デューティ別液晶フレーム周波数 (デューティ比 : 1/3)

デューティ	LMR3	LMR2		フレーム周期							
				f <sub>OSC</sub> = 400kHz 時		f <sub>OSC</sub> = 800kHz 時		f <sub>OSC</sub> = 2.0MHz 時		f <sub>OSC</sub> = 4.0MHz 時	
				4分周	32分周	4分周	32分周	4分周	32分周	4分周	32分周
1/3	0	0	CL0	85.3Hz							
		1	CL1	42.7Hz							
	1	0	CL2	130.1Hz	16.3Hz	260.2Hz	32.5Hz	650Hz	81.3Hz	1301Hz	162.6Hz
		1	CL3*	16.3Hz	2.0Hz	32.5Hz	4.1Hz	81.3Hz	10.2Hz	162.6Hz	20.3Hz
21.3Hz											

【注】 \* TMA3 ビットの値により、分周比が異なります。

上段 : CL3 =  $\frac{\text{PER} \times \text{Duty}}{2048}$  ( TMA3 = 0 のとき )

下段 : CL3 =  $\frac{32.768\text{kHz} \times \text{Duty}}{512}$  ( TMA3 = 1 のとき )

表 15.3 (d) デューティ別液晶フレーム周波数 (デューティ比 : 1 / 4)

デューティ	LMR3	LMR2		フレーム周期							
				f <sub>OSC</sub> = 400kHz 時		f <sub>OSC</sub> = 800kHz 時		f <sub>OSC</sub> = 2.0MHz 時		f <sub>OSC</sub> = 4.0MHz 時	
				4分周	32分周	4分周	32分周	4分周	32分周	4分周	32分周
1 / 4	0	0	CL0	64Hz							
		1	CL1	32Hz							
	1	0	CL2	97.7Hz	12.2Hz	195.3Hz	24.4Hz	488.3Hz	61.0Hz	976.6Hz	122.1Hz
		1	CL3*	12.2Hz	1.5Hz	24.4Hz	3.1Hz	61.0Hz	7.6Hz	122.1Hz	15.3Hz
				16Hz							

【注】 \* TMA3 ビットの値により、分周比が異なります。

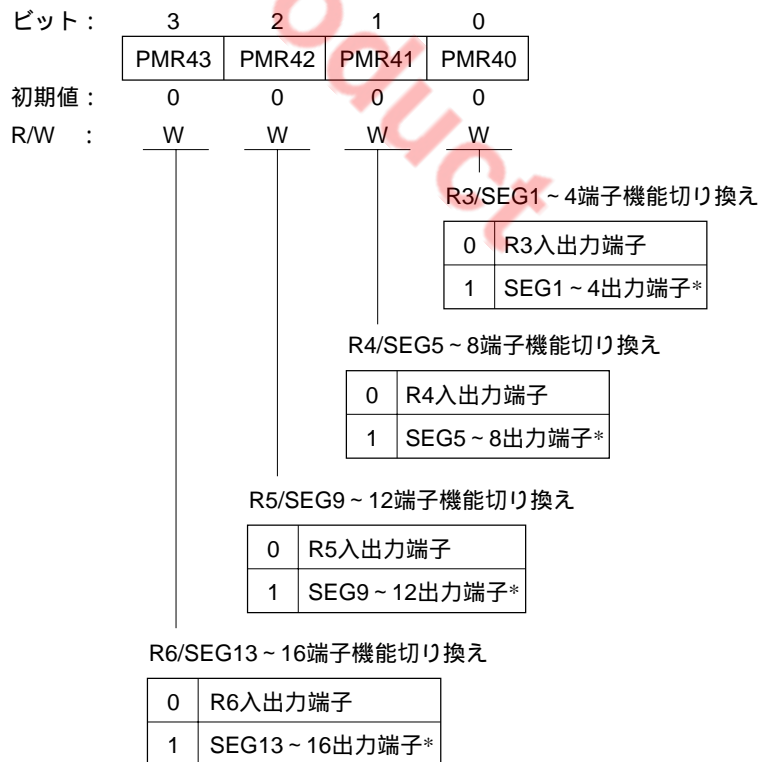
上段 : CL3 =  $\frac{\text{PER} \times \text{Duty}}{2048}$  ( TMA3 = 0 のとき )

下段 : CL3 =  $\frac{32.768\text{kHz} \times \text{Duty}}{512}$  ( TMA3 = 1 のとき )

### 15.2.4 ポートモードレジスタ 4 ( PMR4 : \$00C )

PMR4 は、4 ビットの書き込み専用レジスタで、R3 ~ R6 ポートの端子機能切り換えを行います。

リセット時に、PMR4 は \$0 にイニシャライズされます。



【注】 \* セグメント出力端子として使用する場合、当該端子のポートデータレジスタ ( PDR ) に0を書き込んでください。



## ビット3 : R6/SEG13 ~ SEG16 端子機能切り換え (PMR43)

R6/SEG13 ~ SEG16 端子を R6 入出力端子として使用するか、SEG13 ~ SEG16 出力端子として使用するかを選択します。

PMR43	説 明
0	R6/SEG13 ~ SEG16 端子は、R6 入出力端子として機能します。 (初期値)
1	R6/SEG13 ~ SEG16 端子は、SEG13 ~ SEG16 出力端子として機能します。

## ビット2 : R5/SEG9 ~ SEG12 端子機能切り換え (PMR42)

R5/SEG9 ~ SEG12 端子を R5 入出力端子として使用するか、SEG9 ~ SEG12 出力端子として使用するかを選択します。

PMR42	説 明
0	R5/SEG9 ~ SEG12 端子は、R5 入出力端子として機能します。 (初期値)
1	R5/SEG9 ~ SEG12 端子は、SEG9 ~ SEG12 出力端子として機能します。

## ビット1 : R4/SEG5 ~ SEG8 端子機能切り換え (PMR41)

R4/SEG5 ~ SEG8 端子を R4 入出力端子として使用するか、SEG5 ~ SEG8 出力端子として使用するかを選択します。

PMR41	説 明
0	R4/SEG5 ~ SEG8 端子は、R4 入出力端子として機能します。 (初期値)
1	R4/SEG5 ~ SEG8 端子は、SEG5 ~ SEG8 出力端子として機能します。

## ビット0 : R3/SEG1 ~ SEG4 端子機能切り換え (PMR40)

R3/SEG1 ~ SEG4 端子を R3 入出力端子として使用するか、SEG1 ~ SEG4 出力端子として使用するかを選択します。

PMR40	説 明
0	R3/SEG1 ~ SEG4 端子は、R3 入出力端子として機能します。 (初期値)
1	R3/SEG1 ~ SEG4 端子は、SEG1 ~ SEG4 出力端子として機能します。

## 15.3 動作説明

### 15.3.1 概要

各液晶素子は、図 15.3 に示すようにコモン電圧 ( $V_C$ ) とセグメント電圧 ( $V_S$ ) が印加され、点灯 / 非点灯を制御します。

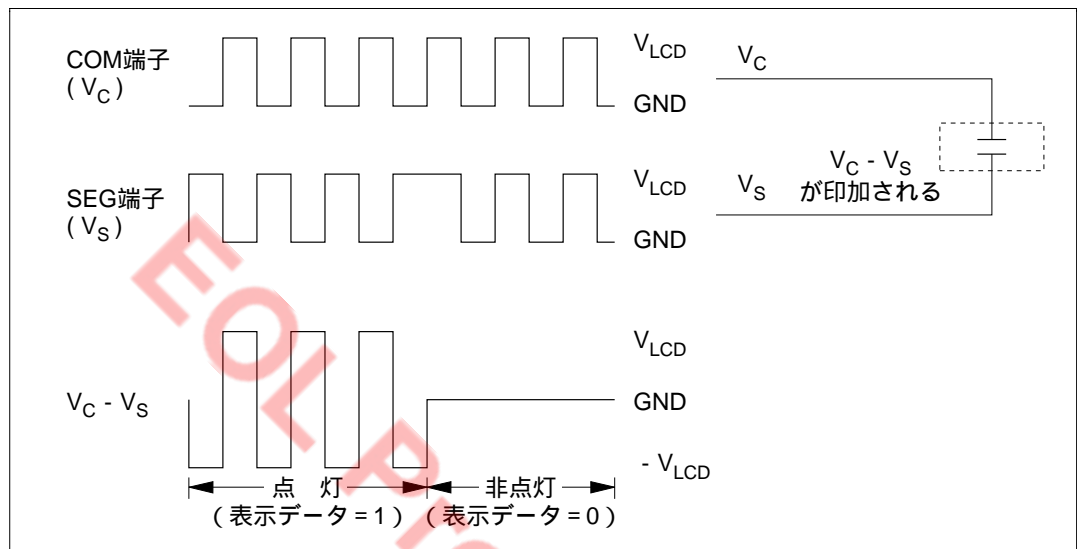


図 15.3 液晶素子の駆動原理 (スタティック駆動の例)

### 15.3.2 スタティック駆動

スタティック駆動は、1本のコモン端子 (COM1) と複数のセグメント端子 (SEG1 ~ SEG32) により表示を制御します。スタティック駆動では、COM1 端子出力の1周期が1フレーム期間となります。スタティック駆動の結線例を図 15.4 に示します。

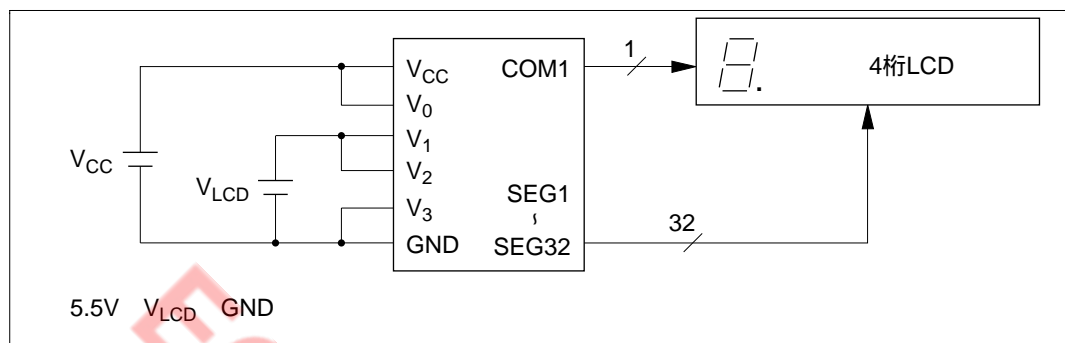


図 15.4 スタティック駆動の結線例

スタティック駆動の動作は、次のように行われます。

- [1] PMR4 により、必要な本数のセグメント端子を設定します。
- [2] LMR1、LMR0 ビットを 11 にしてスタティック駆動を選択し、LMR3、LMR2 ビットにより液晶フレーム周波数を設定します。
- [3] 液晶表示データエリアに、必要な表示データをセットします (1: 点灯、0: 非点灯)。スタティック駆動では、各アドレスのビット 0 のみ使用します。
- [4] LCR0 ビットを 1 にセットして、液晶表示データエリアのデータをセグメント信号として出力します (内蔵液晶電源を使用する場合には、LCR1 ビットを 1 にセットします)。

以上の手順で、表示用データに応じて、接続された液晶がスタティック駆動されます。

液晶動作クロックソースに、プリスケアラ W (PSW) 出力を使用している場合、LCR2 ビットによりウォッチモード、サブアクティブモード時に液晶表示を行うか否か選択できます (LCR2=1 で、ウォッチモード、サブアクティブモード時点灯)。

### 15.3.3 時分割駆動（デューティ 1/2、1/3、1/4）

時分割駆動は、複数のコモン信号出力端子（COM1～COM4）と複数のセグメント信号出力端子（SEG1～SEG32）により表示を制御します。使用するコモン信号出力端子の本数（2～4本）に応じてデューティ 1/2～1/4 の時分割駆動となります。時分割駆動では、図 15.5 に示すように、使用される COM1～COM4 端子が順にアクティブとなる 1 周期が 1 フレーム期間となります。

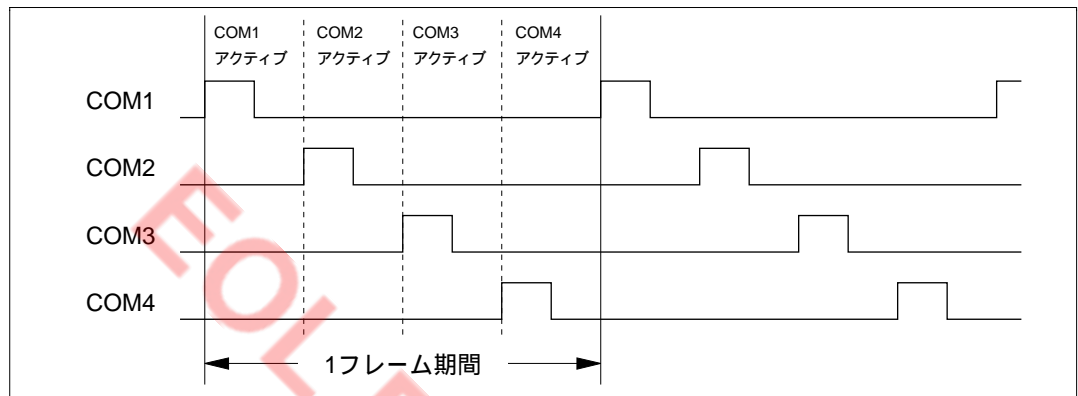


図 15.5 フレーム期間（1/4 デューティの例）

時分割駆動の結線例を図 15.6 に示します。

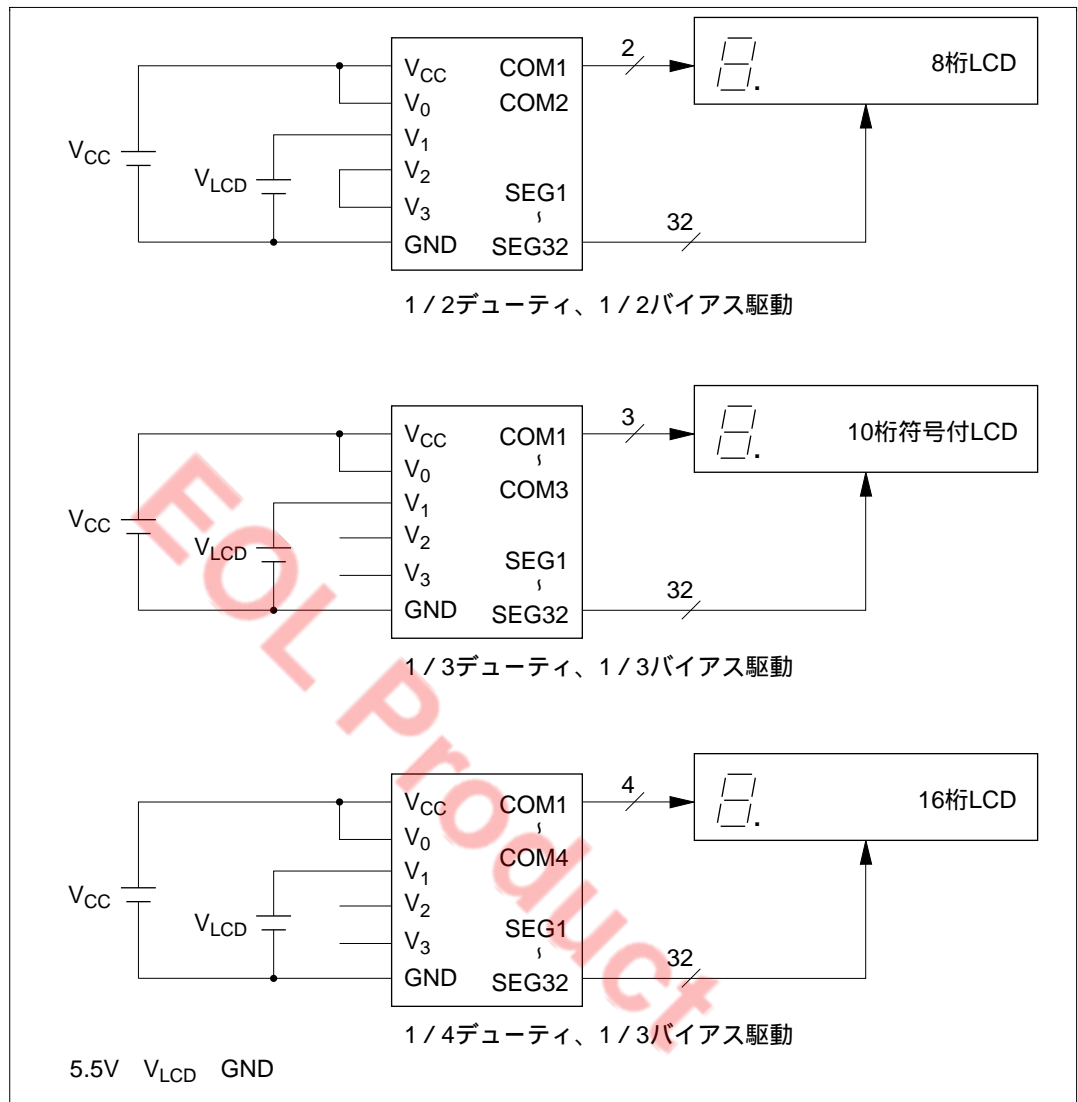


図 15.6 時分割駆動の結線例

時分割駆動は、スタティック駆動に比べ必要なセグメント端子の数が少なくてすみます。反面、良好な表示コントラストを得るために、液晶の電気光学応答特性（電圧 - 表示コントラスト特性）を考慮したバイアス電位の設定が必要になります。

1/N デューティの時分割駆動における最適なバイアス値は、 $1/(N+1)$  バイアスとなります。したがって、通常は1/2 デューティの場合1/2 バイアス、1/3 デューティの場合1/3 バイアス、1/4 デューティの場合、1/3 バイアスの組み合わせが使用されます。

時分割駆動の動作は、次のように行われます（すでに  $V_1$ 、 $V_2$ 、 $V_3$  端子は適当なバイアス電位に設定されているものとします）。

- [1] PMR4 により、必要な本数のセグメント端子を設定します。
- [2] LMR1、LMR0 ビットにより、デューティを選択し、LMR3、LMR2 ビットにより液晶フレーム周波数を設定します。
- [3] 液晶表示データエリアに、必要な表示データをセットします（1：点灯、0：非点灯）。
- [4] LCR0 ビットを1にセットして、液晶表示データエリアのデータをセグメント信号として出力します（内蔵液晶電源を使用する場合には、LCR1 を1にセットします）。

以上の手順で、表示用データに応じて、接続された液晶が時分割駆動されます。

液晶動作クロックソースに、PSW 出力を使用している場合、LCR の LCR2 ビットによりウォッチモード、サブアクティブモード時に液晶表示を行うか否か選択できます（LCR2 = 1 で、ウォッチモード、サブアクティブモード時点灯）。

### 15.3.4 液晶電源の設定

HD404889 シリーズは、液晶表示回路の電源に、電源電圧 ( $V_{CC}$ ) を使用方法と、外部電源を使用する方法を選択することができます。

液晶表示回路の電源に電源電圧 ( $V_{CC}$ ) を使用する場合、液晶電源端子  $V_0$  と  $V_1$  は外部でショートしてください。図 15.7 (a) に接続例を示します。

液晶表示回路の電源に外部電源を使用する場合、液晶電源端子  $V_1$  に外部電源を印加し、 $V_0$  は外部で  $V_{CC}$  とショートしてください。外部電源の最大値は  $V_{CC}$  です。図 15.7 (b) に接続例を示します。

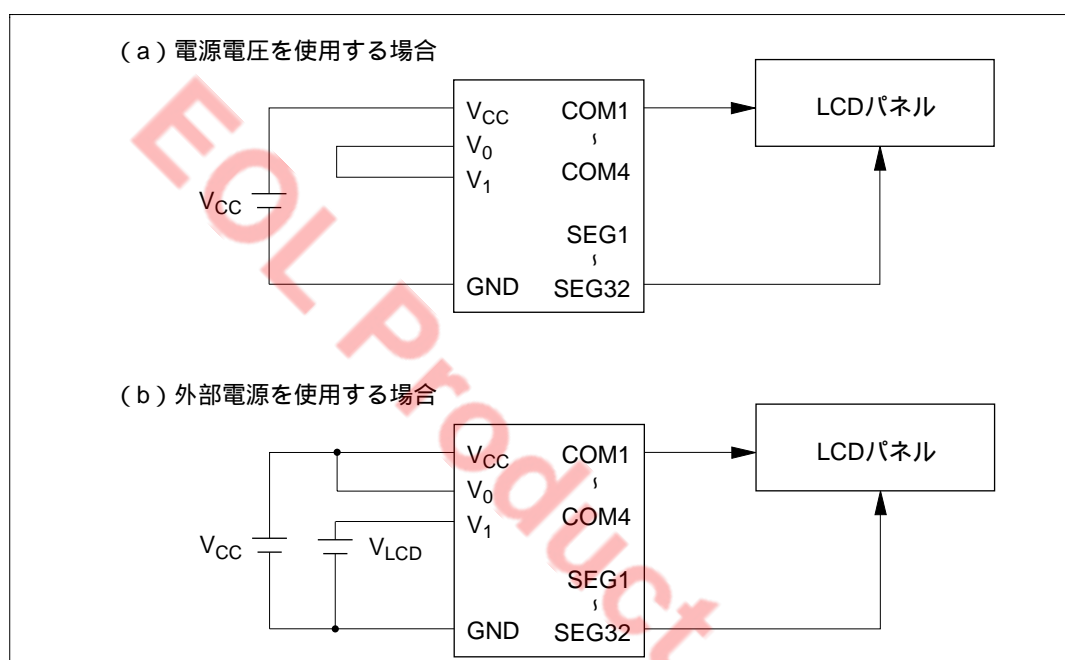


図 15.7 液晶電源の接続例

## 15.4 応用回路例

### 15.4.1 スタティック駆動での表示例（「2.」を表示する場合）

8セグメント液晶表示回路をスタティックで駆動して、「2.」を表示する例を図15.8に示します。8本のセグメント端子出力（SEG1～SEG8）と1本のコモン端子出力（COM1）により、8セグメント液晶表示回路が駆動されます。

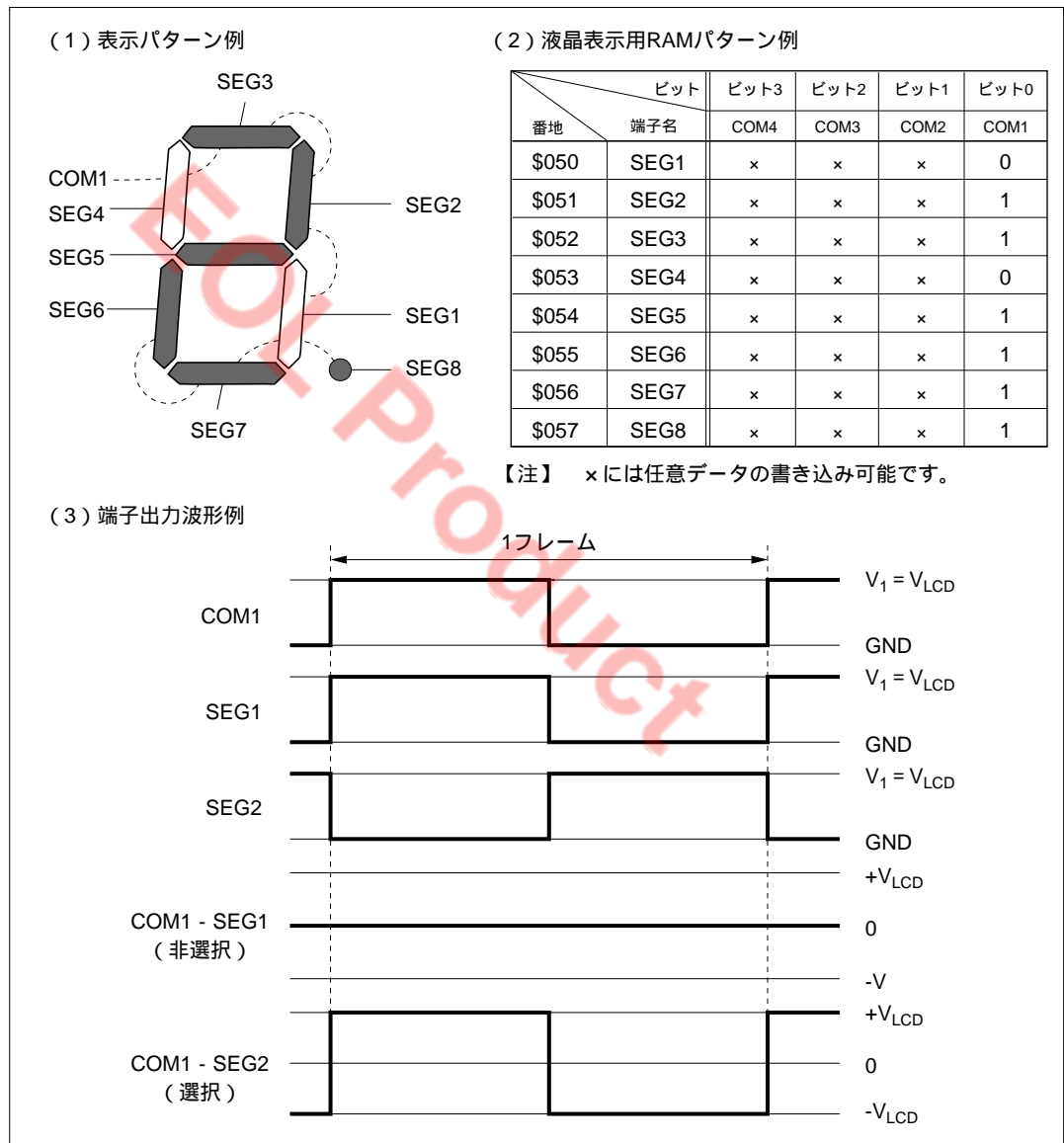


図 15.8 スタティック駆動での表示例



## 15.4.2 1/2 デューティ、1/2 バイアス駆動での表示例（「2.」を表示する場合）

8セグメント液晶表示回路を1/2デューティ、1/2バイアスで駆動して、「2.」を表示する例を図15.9に示します。4本のセグメント端子出力（SEG1～SEG4）と2本の共通端子出力（COM1、COM2）により、8セグメント液晶表示回路が駆動されます。

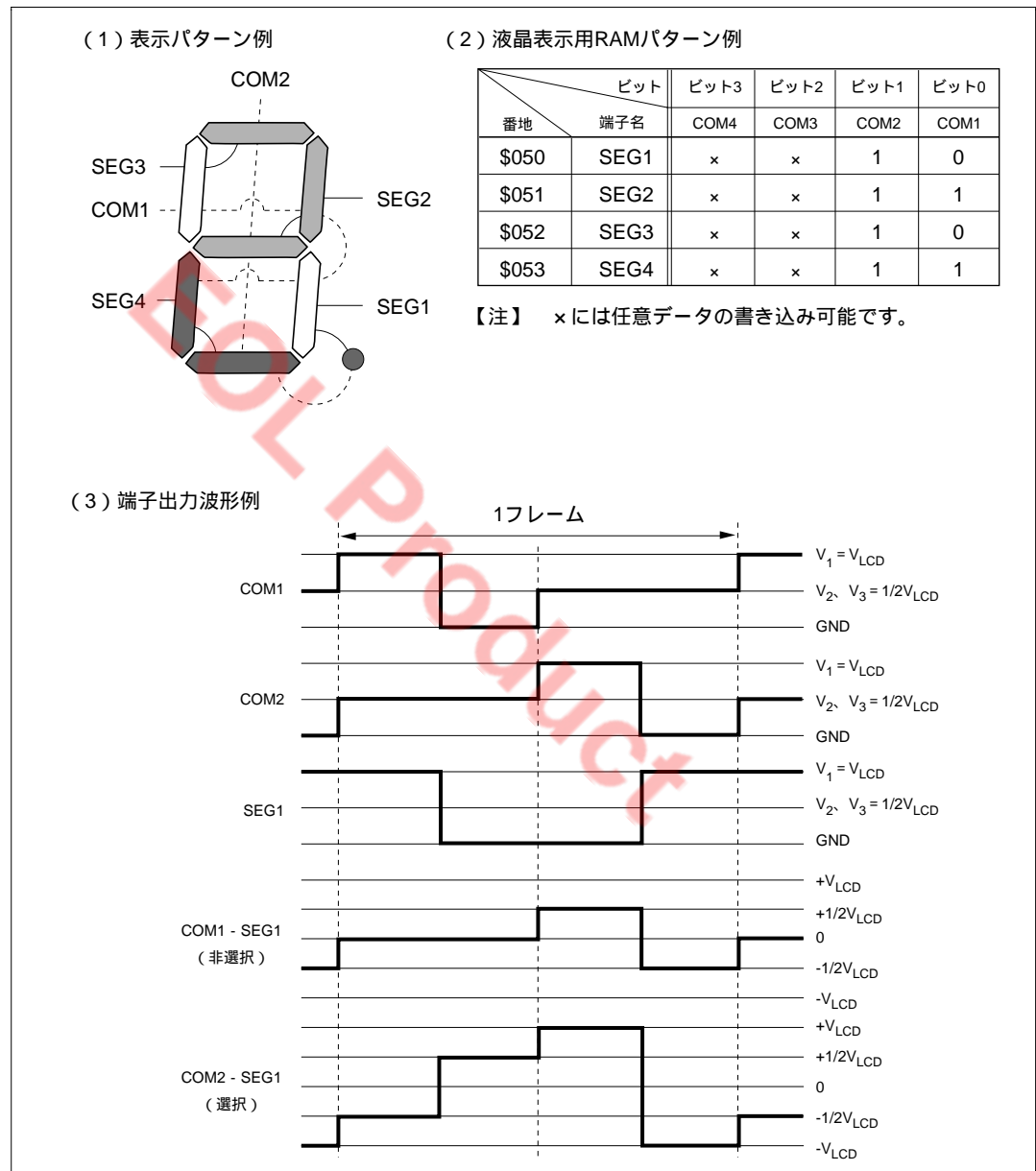


図15.9 1/2 デューティ、1/2 駆動での表示例

### 15.4.3 1/3 デューティ、1/3 バイアス駆動での表示例（「2.」を表示する場合）

8セグメント液晶表示回路を1/3デューティ、1/3バイアスで駆動して、「2.」を表示する例を図15.10に示します。3本のセグメント端子出力（SEG1～SEG3）と3本のコモン端子出力（COM1～COM3）により、8セグメント液晶表示回路が駆動されます。

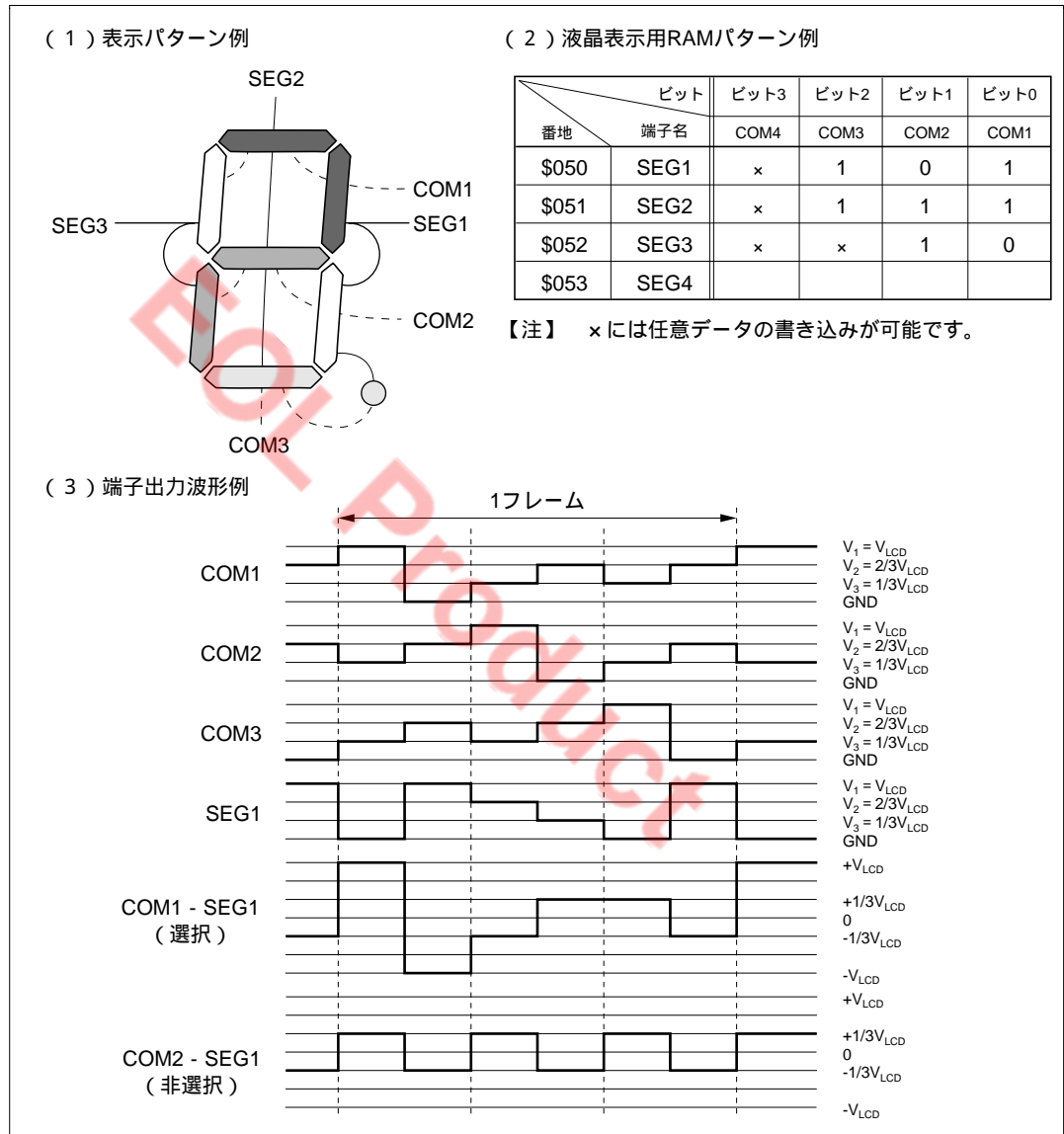


図15.10 1/3デューティ、1/3駆動での表示例

## 15.4.4 1/4 デューティ、1/3 バイアス駆動での表示例（「2.」を表示する場合）

8セグメント液晶表示回路を1/4デューティ、1/3バイアスで駆動して、「2.」を表示する例を図15.11に示します。2本のセグメント端子出力（SEG1、SEG2）と4本のコモン端子出力（COM1～COM4）により、8セグメント液晶表示回路が駆動されます。

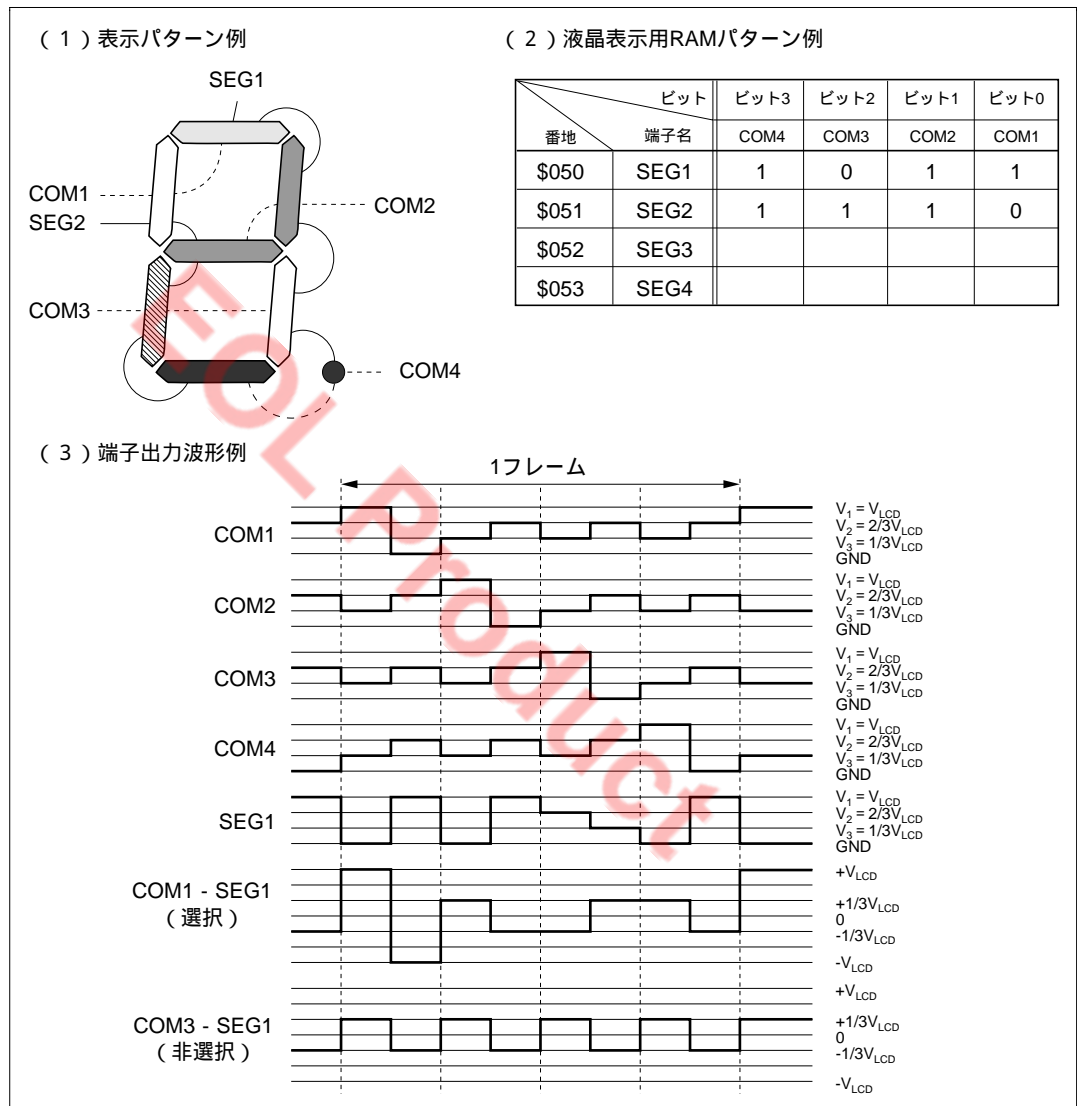


図15.11 1/4 デューティ、1/3 駆動での表示例

## 15.5 使用上の注意

- (1) 駆動する液晶表示の容量が大きい場合、内蔵の分割抵抗に並列に外付け抵抗を設け、分割抵抗の値を下げて使用してください(図 15.12 (a) 参照)。

液晶表示はマトリクス構造をとっているため、負荷容量に流れる充放電電流の経路は複雑です。しかも点灯状態により変化しますので、液晶表示の負荷容量から単純に抵抗値を決定することはできません。抵抗値は液晶表示を組み込む機器の消費電力の要求に合わせて実験にて決める必要があります(コンデンサ  $C = 0.1 \sim 0.3 \mu F$  の付加も有効です: 図 15.12 (b) 参照)。

一般的には、 $R = 1k \sim 10k$  に設定してください。

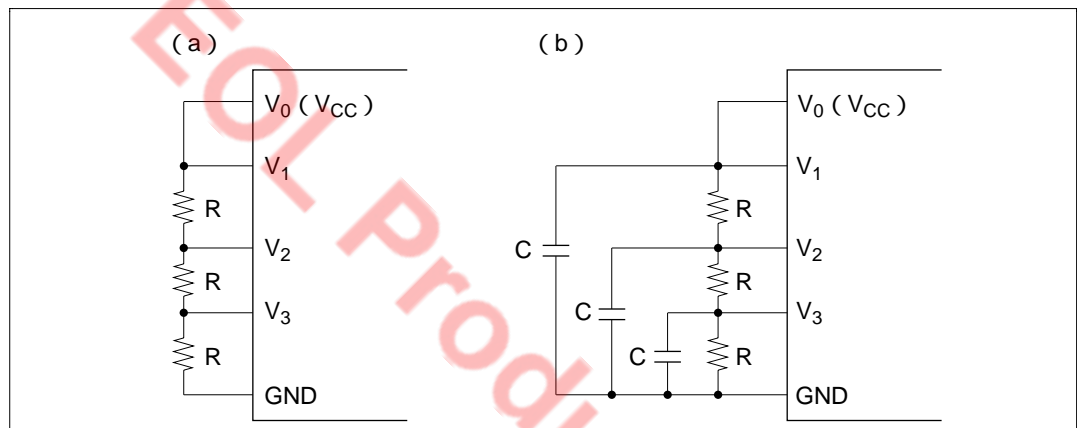


図 15.12 外付け抵抗の例

- (2) 液晶表示中に TMA3 ~ TMA1 ビットを 111 に設定し、PSW、TCA のクリアを選択した場合、液晶表示回路は非表示状態になります(すべてのコモン信号/セグメント信号出力端子が GND 電位に固定されます。また内蔵液晶電源スイッチはオフとなります)。したがって、液晶表示を継続する場合には、PSW と TCA のクリア期間を最短にしてください。
- (3) LCR3 ビットを 1 にして内蔵分割抵抗間のスイッチを OFF し、外部抵抗により LCD 電源レベルを設定する場合、内部インピーダンスは無限大とはなりません。外部抵抗は実験にてご確認の上、決定してください。
- (4)  $R_{3j}/SEG1 \sim R_{6j}/SEG16$  端子において、端子をセグメント出力端子として使用する場合、該当する端子のポートデータレジスタ (PDR) に "0" を書いてください。

---

# 16. ブザー出力回路

---

## 第 16 章 目次

16.1	概要	289
16.1.1	特長	289
16.1.2	ブロック図	289
16.1.3	端子構成	290
16.1.4	レジスタ構成	290
16.2	レジスタの説明	291
16.2.1	ブザーモードレジスタ (BMR : \$02E)	291
16.2.2	ポートモードレジスタ 2 (PMR2 : \$00A)	293
16.3	動作説明	294
16.3.1	タイマオーバフローのトグル出力動作	294
16.3.2	システムクロックの分周クロックパルス出力	294

EOL Product

## 16.1 概要

### 16.1.1 特長

HD404889 シリーズは、ブザー出力回路を内蔵しています。  
ブザー出力回路の特長を以下に示します。

タイマオーバーフローのトグル出力可能

システムクロックの分周クロックパルス出力可能

### 16.1.2 ブロック図

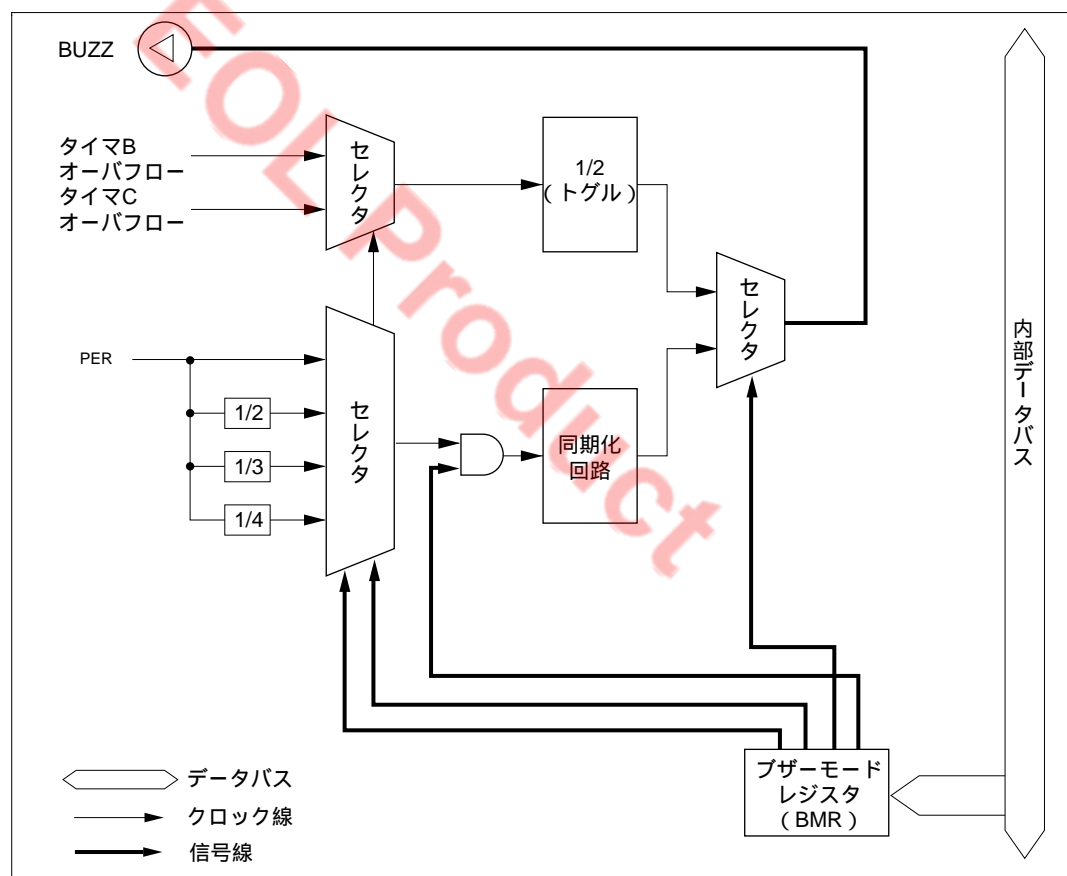


図 16.1 ブザー出力回路

### 16.1.3 端子構成

ブザー出力回路の端子構成を表 16.1 に示します。

表 16.1 端子構成

名称	記号	入出力	機能
ブザー出力	BUZZ	出力	ブザー用信号出力

### 16.1.4 レジスタ構成

ブザー出力回路のレジスタ構成を表 16.2 に示します。

表 16.2 レジスタ構成

アドレス	名称	略称	R/W	初期値
\$02E	ブザーモードレジスタ	BMR	W	\$0
\$00A	ポートモードレジスタ 2	PMR2	W	\$0



## 16.2 各レジスタの説明

### 16.2.1 ブザーモードレジスタ (BMR : \$02E)

BMR は、書き込み専用の4ビットレジスタで、タイマオーバフローによるトグル出力、およびシステムクロック分周パルス出力の設定を行います。

BMR の BMR3 ビットは、ビット操作命令専用です。

リセット時に BMR は \$0 にリセットされます。

ビット :	3	2	1	0
	BMR3	BMR2	BMR1	BMR0
初期値 :	0	0	0	0
R/W :	W	W	W	W

BUZZ端子出力制御

BMR2	BMR1	BMR0	BUZZ端子出力
0	0	任意	タイマBオーバフローの2分周
	1	任意	タイマCオーバフローの2分周
1	0	0	PERクロック
		1	1/2 PERクロック
	1	0	1/3 PERクロック
		1	1/4 PERクロック

クロック出力制御 (BMR2=1の場合有効、ビット操作命令)

0	停止 (Lowレベル)
1	出力

ビット3 : クロック出力制御 (BMR3)

クロックパルスの出力を選択します。

BMR3	説明
0	クロックパルスの出力は停止し、BUZZ端子はLowレベルになります。
1	クロックパルスを出します。

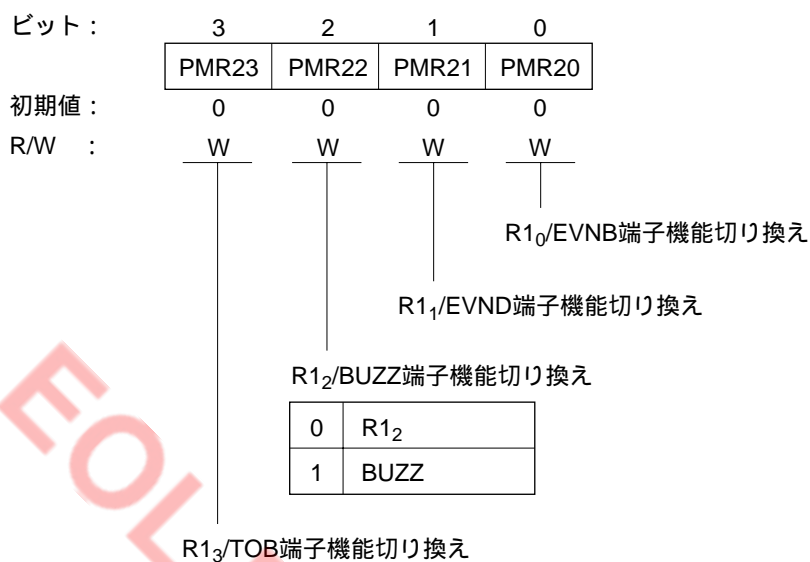
ビット2～0：BUZZ 端子出力制御（BMR2～BMR0）

タイマオーバーフローのトグル出力動作とシステムクロックの分周クロックパルス出力を設定します。

BMR2	BMR1	BMR0	説 明
0	0	任意	タイマBオーバーフローの2分周をトリガとするトグル波形を出力します。
	1	任意	タイマCオーバーフローの2分周をトリガとするトグル波形を出力します。
1	0	0	$\frac{1}{PER}$ クロックを出力します。
		1	$\frac{1}{2 \cdot PER}$ クロックを出力します。
	1	0	$\frac{1}{3 \cdot PER}$ クロックを出力します。
		1	$\frac{1}{4 \cdot PER}$ クロックを出力します。

## 16.2.2 ポートモードレジスタ 2 (PMR2 : \$00A)

PMR2は、書き込み専用の4ビットレジスタで、R1<sub>2</sub>/BUZZの端子切り換えを行います。リセット時にPMR2は\$0にリセットされます。



ここではPMR22ビットについて説明します。

PMR23、PMR21、PMR20ビットについての詳細は、「6.3.2(4) ポートモードレジスタ2」を参照してください。

ビット2 : R1<sub>2</sub>/BUZZ 端子機能切り換え

R1<sub>2</sub>/BUZZ 端子を R1<sub>2</sub> 入出力端子として使用するか、ブザー出力端子 (BUZZ) として使用するかを選択します。

PMR22	説 明
0	R1 <sub>2</sub> /BUZZ 端子は、R1 <sub>2</sub> 入出力端子として機能します。
1	R1 <sub>2</sub> /BUZZ 端子は、BUZZ 出力端子として機能します。

## 16.3 動作説明

### 16.3.1 タイマオーバーフローのトグル出力動作

タイマオーバーフローのトグル出力動作の設定は、BMR の BMR2、BMR1 ビットと、PMR2 の PMR22 ビットにより行います。

BMR2 ビットを 0 とし、BMR1 ビットによりタイマ B またはタイマ C のオーバーフローを選択し、PMR22 ビットを 1 に設定してください。BUZZ 端子よりオーバーフローをトリガにするトグル波形が出力されます。

### 16.3.2 システムクロックの分周クロックパルス出力

システムクロックの分周クロックパルス出力動作の設定は、BMR の BMR3 ~ BMR0 ビットと、PMR2 の PMR22 ビットにより行います。

BMR2 ビットを 1 とし、BMR1 および BMR0 ビットによりシステムクロックの分周比を選択し、PMR2 の PMR22 ビットを 1 にします。クロックパルスは、BMR3 ビットを 1 に設定することにより出力されます。

BMR の BMR3 ビットが 0 の場合は、BUZZ 端子は Low レベルです。

クロックパルス幅は、BMR3 ビットの設定タイミングにかかわらず、一定の幅で出力されますが、出力パルス数については、ソフトウェアと十分に整合をとってください。

BMR の BMR3 ビットは、ビット操作命令のみ使用できます。

---

# 17. ROM

---

## 第17章 目次

17.1	概要	297
17.2	PROMモード	298
17.2.1	PROMモード	298
17.2.2	ソケットアダプタの端子対応とメモリマップ	298
17.3	プログラミング	301
17.3.1	書き込み/ベリファイ	301
17.3.2	書き込み時の注意	304
17.3.3	書き込み後の信頼性	305
17.4	ROM発注時のお願い	306

**EOL Product**

## 17.1 概要

HD404889 シリーズの内蔵する ROM を表 17.1 に示します。

表 17.1 内蔵 ROM

形 名	容量	ROM タイプ
HD404888H	8,192 ワード	マスク ROM
HD404888TE		
HD4048812H	12,288 ワード	
HD4048812TE		
HD404889H	16,384 ワード	
HD404889TE		
HD4074889H	16,384 ワード	ZTAT®*
HD4074889TE		

【注】 \* ZTAT®は、(株)ルネサス テクノロジーの登録商標です。

## 17.2 PROM モード

### 17.2.1 PROM モード

HD4074889 は、ZTAT<sup>®</sup>マイコンです。PROM モードに設定するとマイクロコンピュータとしての機能を停止して、HN27C256、HN27256 と同一方法で内蔵 PROM のプログラムを行うことができます。

PROM モードの設定方法を表 17.2 に示します。

表 17.2 PROM モードの設定方法

端子名		設定
モード端子	$\bar{M}_0$ (R1 <sub>1</sub> /EVND)	Low レベル
モード端子	$\bar{M}_1$ (R1 <sub>2</sub> /BUZZ)	
リセット端子	RESET	
テスト端子	TEST	V <sub>PP</sub> レベル

### 17.2.2 ソケットアダプタの端子対応とメモリマップ

PROM のプログラミングは、表 17.3 に示すようにパッケージに対応したソケットアダプタを付けて、28 ピンに変換し、汎用 PROM ライタでプログラミングを行います。ソケットアダプタの端子対応図を図 17.1 に示します。

なお、HMCS400 シリーズの 1 命令は 10 ビット構成ですので、汎用 PROM ライタが使用できるように変換回路を内蔵しています。1 命令を下位 5 ビットと上位 5 ビットに分割して、2 アドレスで書き込み / 読み出しを行うことで、汎用 PROM ライタを使用することができます。

HD4074889 の場合、16k ワードの PROM を内蔵していますので、32k バイトのアドレス (\$0000 ~ \$7FFF) を指定してください。

PROM モード時のメモリマップを図 17.2 に示します。

表 17.3 ソケットアダプタ

製品名	パッケージ	ソケットアダプタの形名
HD4074889	FP-80A	HS4889ESH01H
	TFP-80C	HS4889ESN01H



HD4074889 のソケットアダプタの端子対応図を図 17.1 に示します。

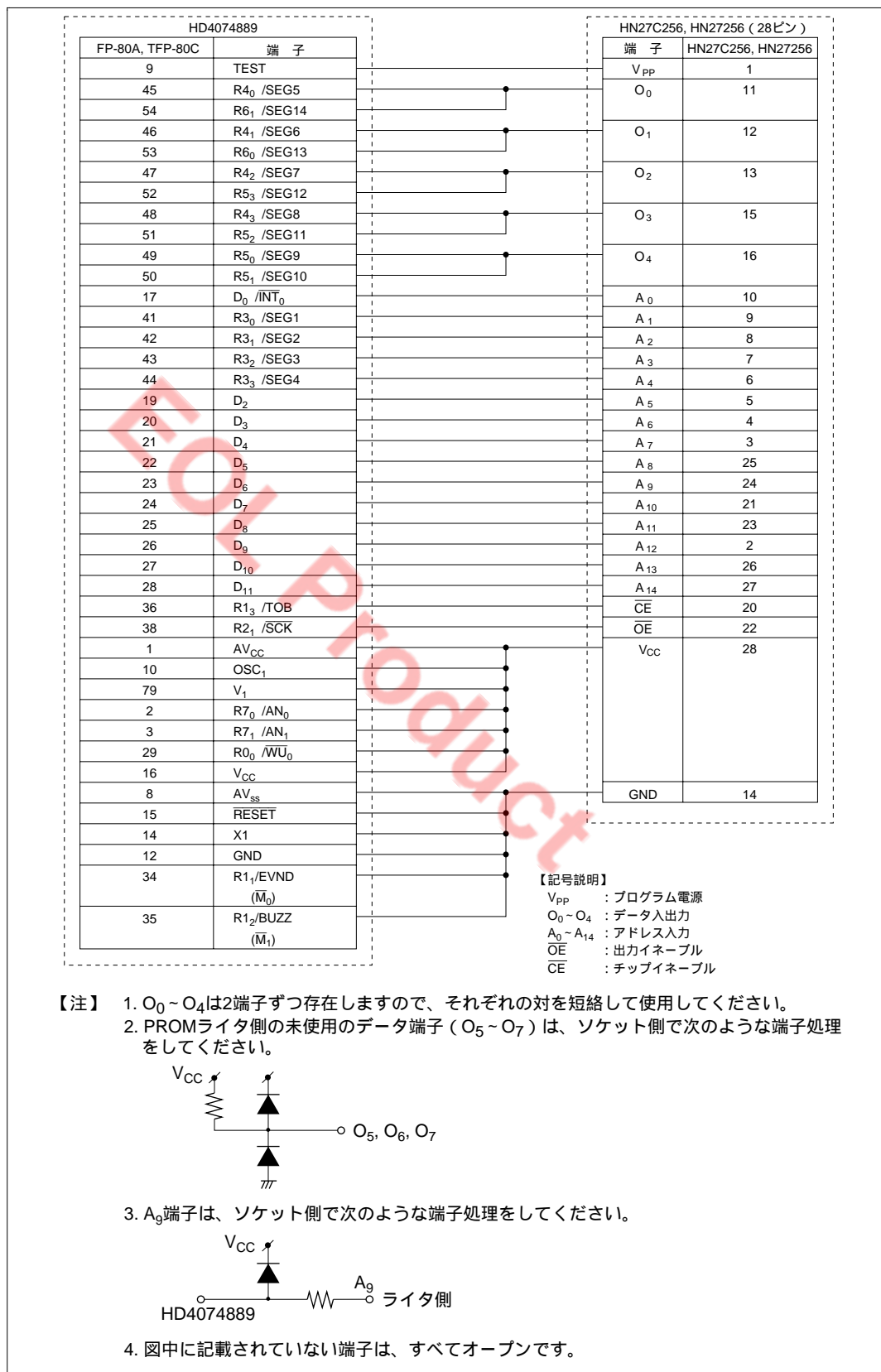


図 17.1 HD4074889 のソケットアダプタの端子対応図

HD4074889 の PROM モード時のメモリマップを図 17.2 に示します。

HN27C256, HN27256 アドレスマップ									HD4074889 アドレスマップ										
ビット アドレス	7	6	5	4	3	2	1	0	ビット アドレス	9	8	7	6	5	4	3	2	1	0
\$0000				RO <sub>4</sub>	RO <sub>3</sub>	RO <sub>2</sub>	RO <sub>1</sub>	RO <sub>0</sub>	\$0000	RO <sub>9</sub>	RO <sub>8</sub>	RO <sub>7</sub>	RO <sub>6</sub>	RO <sub>5</sub>	RO <sub>4</sub>	RO <sub>3</sub>	RO <sub>2</sub>	RO <sub>1</sub>	RO <sub>0</sub>
\$0001	1	1	1	RO <sub>9</sub>	RO <sub>8</sub>	RO <sub>7</sub>	RO <sub>6</sub>	RO <sub>5</sub>											
\$001F	ベクタアドレスエリア (32バイト)								\$000F	ベクタアドレスエリア (16ワード)									
\$0020	ゼロページサブルーチンエリア (128バイト)								\$0010	ゼロページサブルーチンエリア (64ワード)									
\$007F																			
\$0080	パターンエリア (8,192バイト)								\$0040	パターンエリア (4,096ワード)									
\$1FFF																			
\$2000	プログラムエリア (32,768バイト)								\$1000	プログラムエリア (16,384ワード)									
\$7FFF																			

上位3ビットは使用しない(111を入れる)

バイト : 8ビット  
ワード : 10ビット

図 17.2 HD4074889 の PROM モード時のメモリマップ

## 17.3 プログラミング

PROM モード時の書き込み、ベリファイなどのモード選択は、表 17.4 に示す設定で行います。

表 17.4 PROM モード時の書き込みモードの選択

モード	端 子			
	$\overline{CE}$	$\overline{OE}$	$O_0 \sim O_4$	$A_0 \sim A_{14}$
書き込み	L	H	データ入力	アドレス入力
ベリファイ	H	L	データ出力	アドレス入力
プログラミング禁止	H	H	ハイインピーダンス	アドレス入力

【記号説明】

L : Low レベル

H : High レベル

なお、書き込み、読み出しは、標準 EPROM の HN27C256、HN27256 と同じ仕様となっています。

### 17.3.1 書き込み / ベリファイ

書き込み / ベリファイは、効率のよい高速プログラミング方式で行うことができます。この方式は、デバイスへの電圧ストレスを与えることなく、また書き込みデータの信頼性を損なうことなく、高速な書き込みを行うことができます。未使用のアドレス領域のデータは\$FF です。高速プログラミングの基本的なフローを図 17.3 に示します。また、プログラミング時の電気的特性を表 17.5、表 17.6 に、タイミングを図 17.4 に示します。

高速プログラミングフローチャートを図 17.3 に示します。

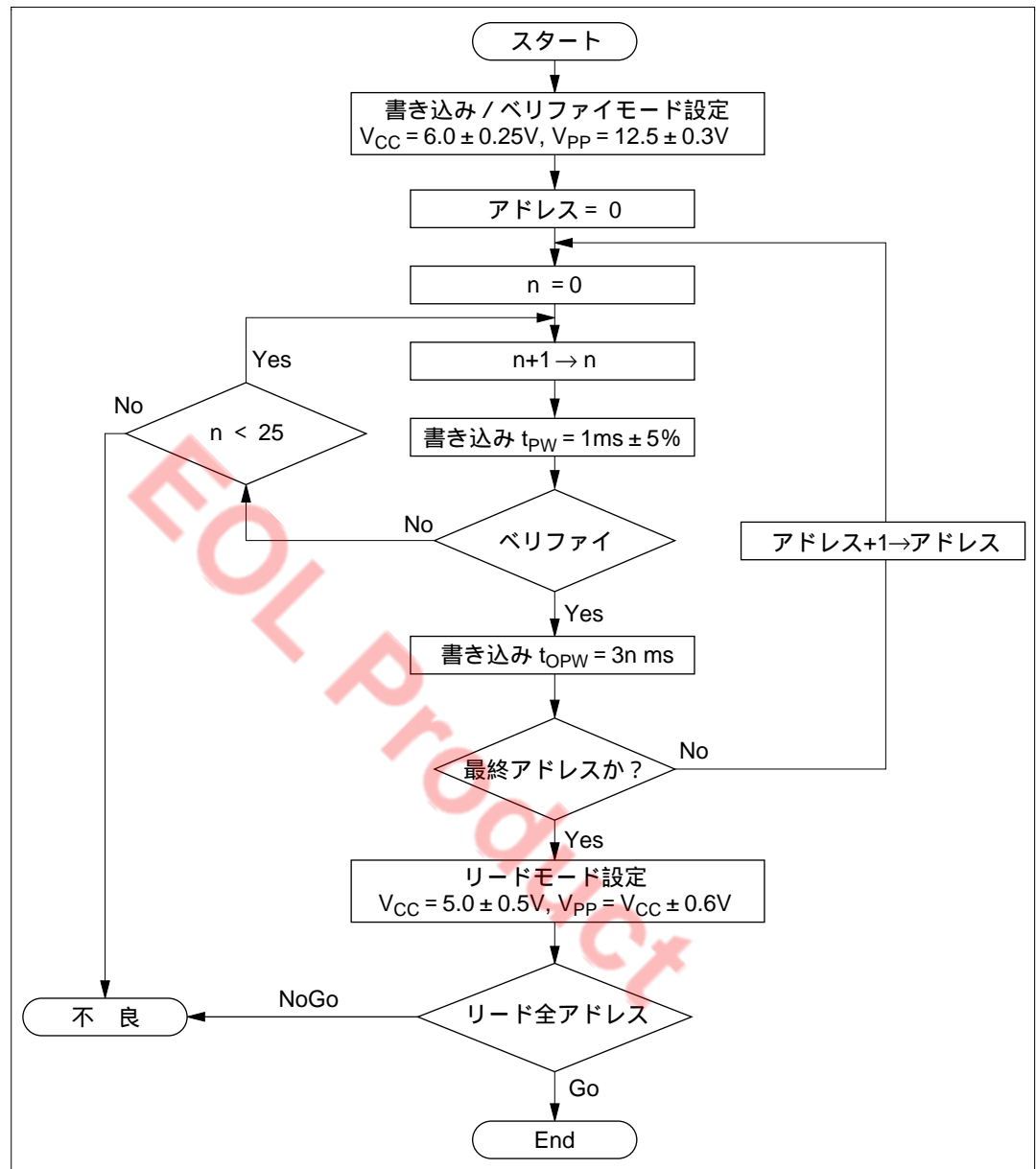


図 17.3 高速プログラミングフローチャート

DC 特性を表 17.5、AC 特性を表 17.6 に示します。

表 17.5 DC 特性

( 特記なき場合は、 $V_{CC} = 6.0V \pm 0.25V$ ,  $V_{PP} = 12.5V \pm 0.3V$ ,  $GND = 0V$ ,  $T_a = 25 \pm 5$  )

項 目		記号	測定条件	min	typ	max	単位
入力 High レベル電圧	$O_0 \sim O_4$ , $A_0 \sim A_{14}$ , $\overline{OE}$ , $\overline{CE}$	$V_{IH}$		2.2	-	$V_{CC} + 0.3$	V
入力 Low レベル電圧	$O_0 \sim O_4$ , $A_0 \sim A_{14}$ , $\overline{OE}$ , $\overline{CE}$	$V_{IL}$		-0.3	-	0.8	V
出力 High レベル電圧	$O_0 \sim O_4$	$V_{OH}$	$I_{OH} = -200 \mu A$	2.4	-	-	V
出力 Low レベル電圧	$O_0 \sim O_4$	$V_{OL}$	$I_{OL} = 1.6mA$	-	-	0.4	V
入力 リーク電流	$O_0 \sim O_4$ , $A_0 \sim A_{14}$ , $\overline{OE}$ , $\overline{CE}$	$ I_{IL} $	$V_{in} = 5.25V/0.5V$	-	-	2	$\mu A$
$V_{CC}$ 電流		$I_{CC}$		-	-	30	mA
$V_{PP}$ 電流		$I_{PP}$		-	-	40	mA

表 17.6 AC 特性

( 特記なき場合は、 $V_{CC} = 6.0V \pm 0.25V$ ,  $V_{PP} = 12.5V \pm 0.3V$ ,  $T_a = 25 \pm 5$  )

項 目	記号	測定条件	min	typ	max	単位
アドレスセットアップ時間	$t_{AS}$	図 17.4*	2	-	-	$\mu s$
$\overline{OE}$ セットアップ時間	$t_{OES}$		2	-	-	$\mu s$
データセットアップ時間	$t_{DS}$		2	-	-	$\mu s$
アドレスホールド時間	$t_{AH}$		0	-	-	$\mu s$
データホールド時間	$t_{DH}$		2	-	-	$\mu s$
データ出力ディスエーブル時間	$t_{DF}$		-	-	130	ns
$V_{PP}$ セットアップ時間	$t_{VPS}$		2	-	-	$\mu s$
プログラムパルス幅	$t_{PW}$		0.95	1.0	1.05	ms
オーバプログラム時の $\overline{CE}$ パルス幅	$t_{OPW}$		2.85	-	78.75	ms
$V_{CC}$ セットアップ時間	$t_{VCS}$		2	-	-	$\mu s$
データ出力遅延時間	$t_{OE}$		0	-	500	ns

【注】 \* 入力パルスレベル：0.8～2.2V

入力立ち上がり / 立ち下がり時間 20ns

タイミング参照レベル { 入力：1.0V、2.0V  
出力：0.8V、2.0V

PROM 書き込み / ベリファイタイミングを図 17.4 に示します。

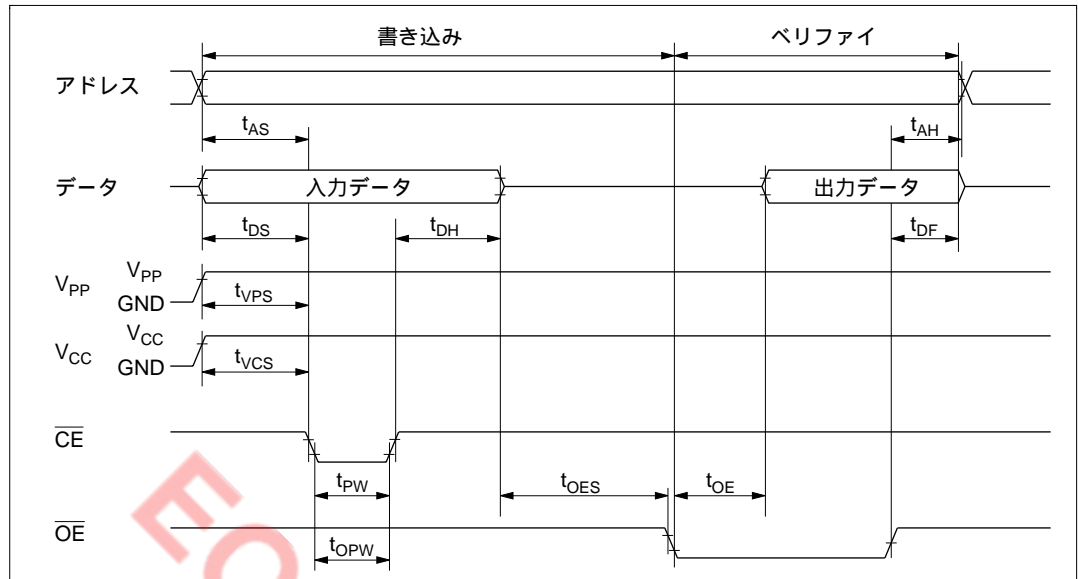


図 17.4 PROM 書き込み / ベリファイタイミング

### 17.3.2 書き込み時の注意

- (1) 書き込みは規定された電圧、タイミングで行ってください。

PROM モード時のプログラム電圧 ( $V_{PP}$ ) は 12.5V です。

定格以上の電圧を加えると、製品の永久破壊に至りますので、注意してください。特に PROM ライタのオーバシュートなどには十分ご注意ください。

PROM ライタの HN27256、または HN27C256 のルネサス仕様またはインテル仕様にセットすると、 $V_{PP}$  は 12.5V になります。

- (2) PROM ライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していないと、過剰電流によって製品が破壊することがあります。書き込み前に正しく PROM ライタに装着されていることを必ず確認してください。

- (3) 書き込み中はソケットアダプタおよび製品には触れないようにしてください。接触不良により書き込み不良となる場合があります。

### 17.3.3 書き込み後の信頼性

データ書き込み後、データ保持特性を向上させるために、150 の高温放置をしてスクリーニングを行うと大変有効です。高温放置は、スクリーニングの1つであり、PROMメモリの初期のデータ保持不良を短時間で除くことができます。

図 17.5 に推奨するスクリーニングフローを示します。

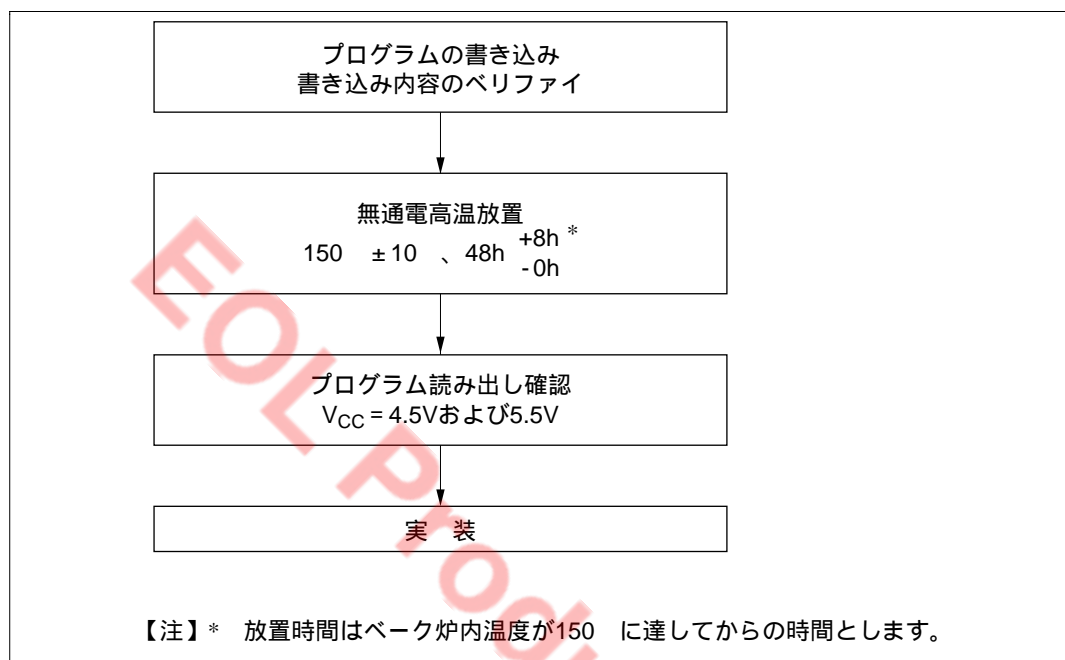


図 17.5 推奨スクリーニングフロー

## 17.4 ROM 発注時のお願い

実際に使用する ROM データと、マスク描画するデータの領域が異なる製品があります。発注用 EPROM には、ROM データの「未使用」領域アドレスに必ず 1 を書き込んでください。これは、EPROM を使用して発注する場合と、データ伝送を使用して発注する場合のどちらにも適用します。

該当製品の ROM データ構成図を図 17.6 に示します。

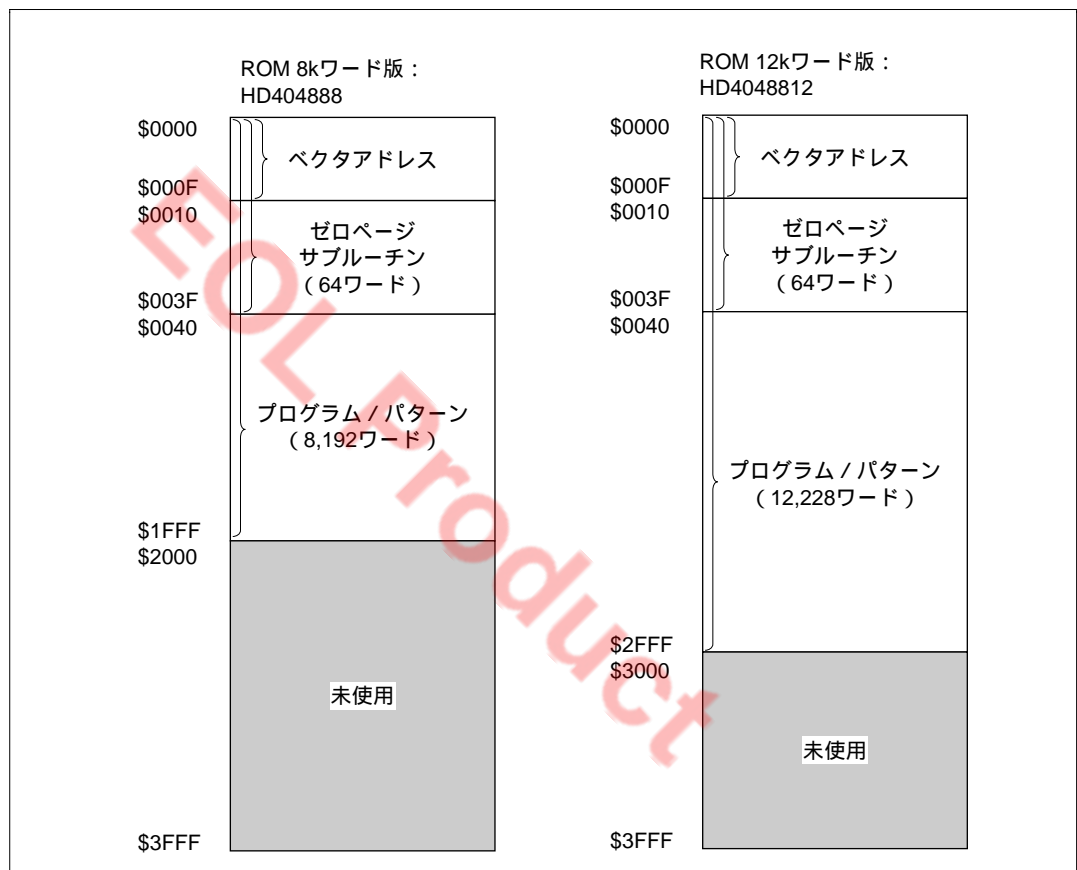


図 17.6 ROM データ構成図



---

# 18. RAM

---

## 第 18 章 目次

18.1	概要 .....	309
	18.1.1  特長 .....	309
	18.1.2  RAM メモリマップ .....	310
	18.1.3  レジスタ構成 .....	310
18.2	各レジスタ、フラグの説明 .....	311
	18.2.1  バンクレジスタ (V : \$03F) .....	311
18.3	使用上の注意 .....	311

EOL Product

## 18.1 概要

### 18.1.1 特長

RAMは、メモリレジスタ、液晶表示、データ、スタックの各エリアで構成されます。各エリアの特長を以下に示します。

#### メモリレジスタエリア (\$040 ~ \$04F)

16本のメモリレジスタ (MR0 ~ MR15) で構成される16ディジットの領域です。このエリアは、通常のRAMをアクセスする命令に加えて、レジスタ・レジスタ命令 (LAMR、XMRA) を使用することができます。

#### 液晶表示データエリア (\$050 ~ \$06F)

デュアルポートRAMが実装された32ディジットの領域です。このエリアに書き込まれたデータは、自動的に表示データとしてセグメント信号出力端子から出力されます。液晶表示に使用しない領域は、データエリアとして使用できます。

#### データエリア (\$090 ~ \$38F)

RAMアドレス\$090 ~ \$38Fの領域です。このうち\$090 ~ \$25Fの領域は2バンク(464ディジット×2)が割り付けられており、バンクレジスタ (V) によりバンクを切り換えて使用します。\$260 ~ \$38Fの領域は、バンクレジスタの設定なしに使用できます。

#### スタックエリア (\$3C0 ~ \$3FF)

サブルーチンコールおよび割り込み処理時に、プログラムカウンタ (PC)、ステータス (ST)、およびキャリ (CA) を退避する領域です。スタックエリアとして使用しない領域は、データエリアとして使用できます。

## 18.1.2 RAM メモリマップ

HD404889 シリーズの RAM メモリマップを図 18.1 に示します。

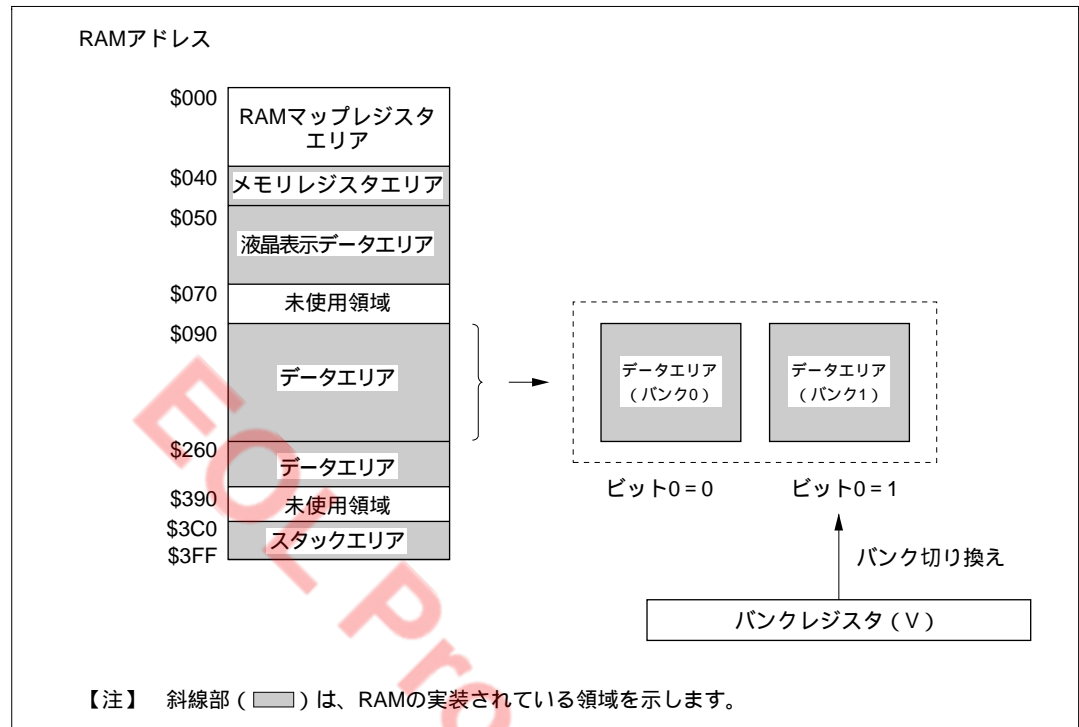


図 18.1 RAM メモリマップ

## 18.1.3 レジスタ構成

RAMを制御するレジスタ、フラグを表 18.1 に示します。

表 18.1 レジスタ構成

アドレス	名称	略称	R/W	初期値
\$03F	バンクレジスタ	V	R/W	---0

## 18.2 各レジスタ、フラグの説明

### 18.2.1 バンクレジスタ (V: \$03F)

ビット:	3	2	1	0
	-	-	-	V0
初期値:	-	-	-	0
R/W :	-	-	-	R/W
				バンク切り換え
				0   バンク0
				1   バンク1

リセット時に、バンクレジスタは--0にイニシャライズされます。  
 Vの詳細は、「2.3.4(1) バンクレジスタ(V)」を参照してください。

## 18.3 使用上の注意

RAMを使用するとき、次の点に注意してください。

- (1) リセット時のRAMの内容は保証されません。
- (2) リセット時、Vは--0にイニシャライズされます。したがって、リセット直後はバンク0が選択されています。

**EOL Product**

---

# 19. 使用例

---

## 第 19 章 目次

19.1	概要	315
19.2	システム仕様	316
19.3	液晶表示回路図	317
19.4	レジスタ仕様	318
19.5	フローチャート	321
19.5.1	LCD 表示初期値設定	322
19.5.2	スタートキーが押されてからの処理	324
19.6	使用上の注意	327

EOL Product



## 19.1 概要

本章では、液晶表示回路や A/D コンバータを用いて、32kHz 発振を使用した「アラーム付きタイマ」の例を説明します。システム設計の際にご活用ください。

【注】 本章に掲載されているフローチャートを実際にご使用になる場合には、必ず動作確認の上ご使用くださいますようお願い致します。

また、本章に掲載されているフローチャートをアセンブラで記述したプログラム例に関しましては、弊社担当営業までご連絡ください。

EOL Product

## 19.2 システム仕様

- (1) 時間の設定方法はスイッチでデジタル/アナログ形式を選択可能とします。  
 デジタル形式の場合：タクトスイッチを用いて秒単位まで設定可能です。  
 アナログ形式の場合：可変抵抗を用いて分単位で設定可能です。
- (2) 設定時間の最大は60分とします。
- (3) 表示には4桁の7セグメントLCDを用い、スタート後1秒ごとにP(パターン)命令を使って時間経過を表示します。
- (4) 0秒になるとブザーを鳴らし表示を点滅した後に停止します。
- (5) 再スタートキーを押すと(2)から動作します。

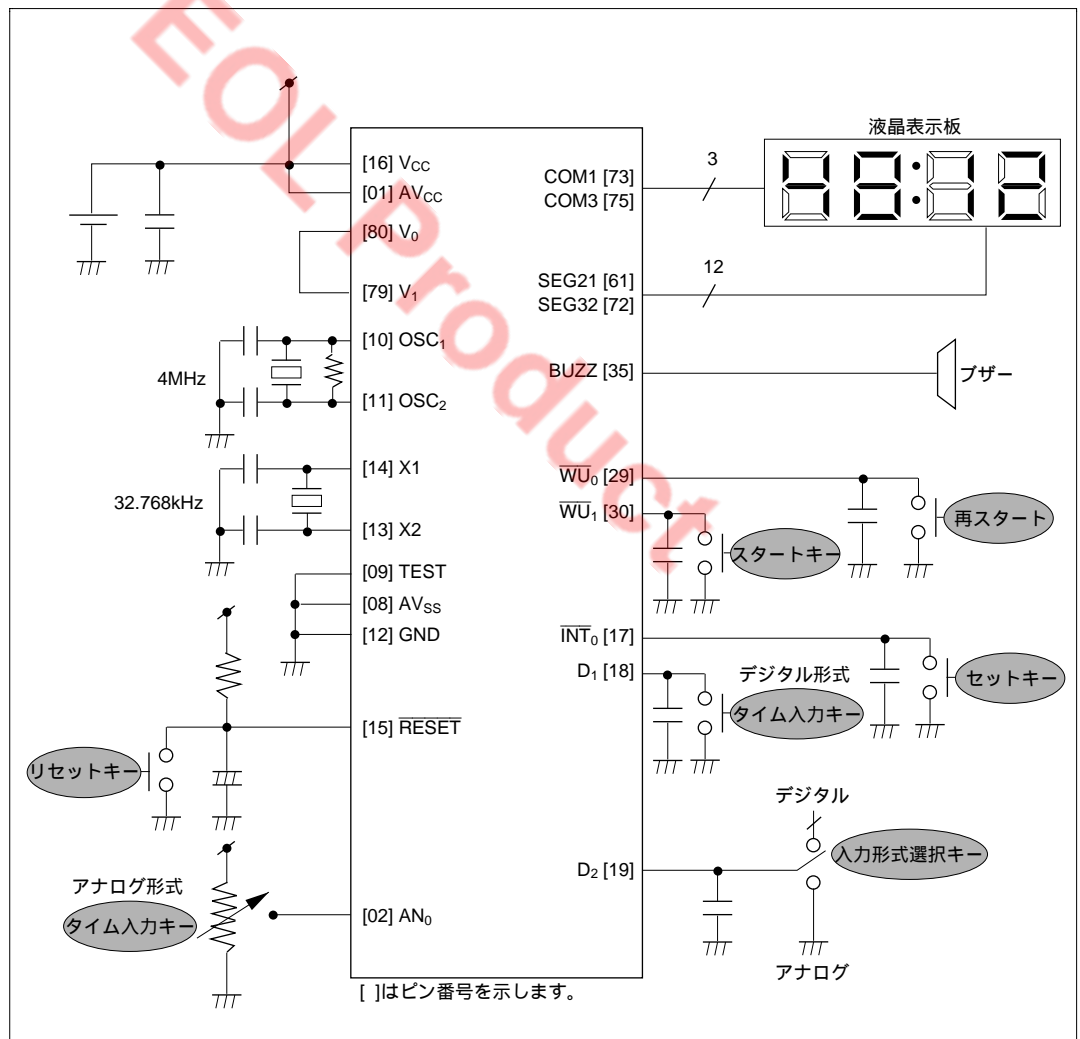


図 19.1 システム構成例

## 19.3 液晶表示回路図

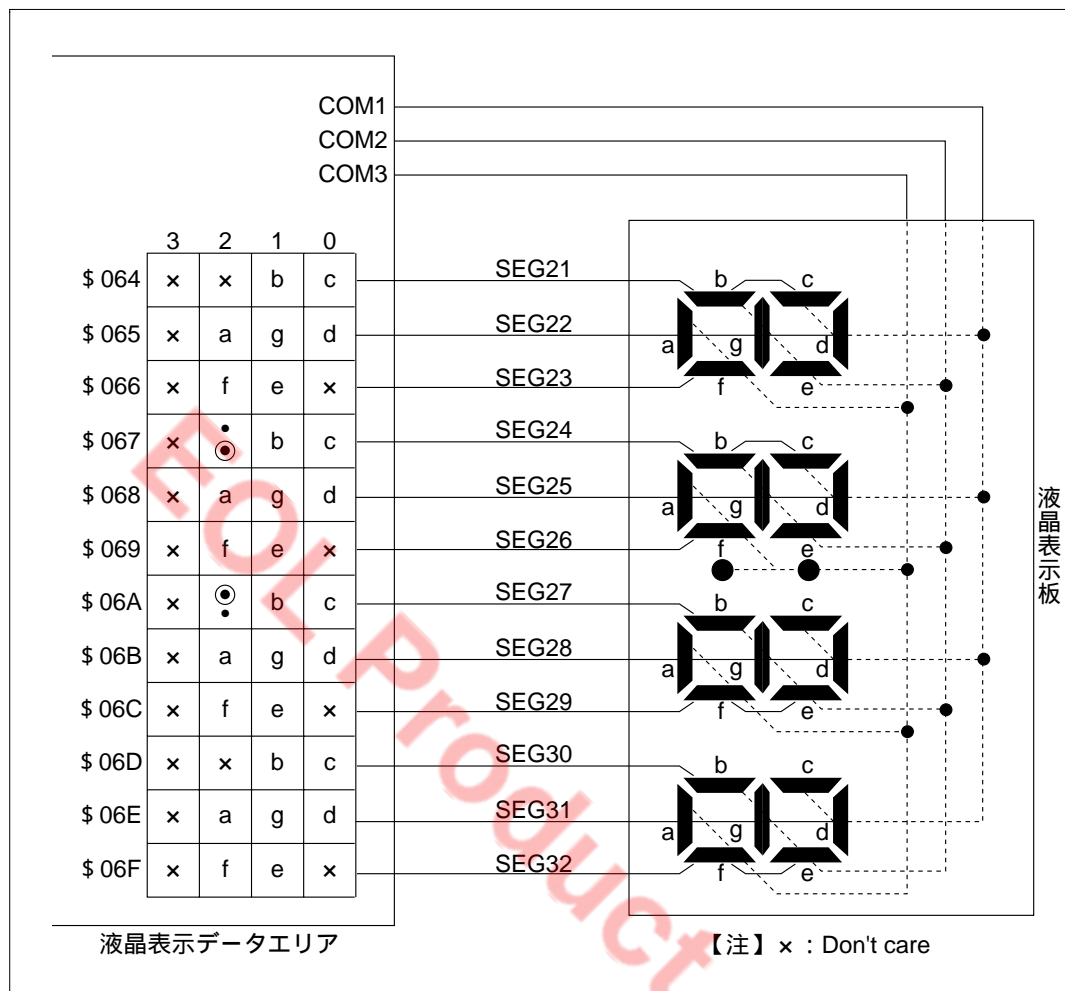


図 19.2 液晶表示回路図

## 19.4 レジスタ仕様

(1) ギア機能を使いメインシステムクロックを  $t_{cyc} = f_{osc}/4$   $f_{osc}/32$  に変更

システムクロック選択レジスタ (SSR = \$004)

ビット名	SSR3	SSR2	SSR1	SSR0
ビット設定	-	-	-	1

ギアイネーブルフラグ (GEF = \$021)

ビット名	GEF	使用禁止	ICEF	ICSF
ビット設定	1		-	-

【注】 - : 本機能設定では無効を示します

(2) ブザー機能の設定 (ブザー出力クロック周波数を PER に設定)

ポートモードレジスタ 2 (PMR2 = \$00A)

ビット名	PMR23	PMR22	PMR21	PMR20
ビット設定	-	1	-	-

ブザーモードレジスタ (BMR = \$02E)

ビット名	BMR3	BMR2	BMR1	BMR0
ビット設定	1*	1	0	0

【注】 \* ブザーを出力する間のみ 1 に設定

- : 本機能設定では無効を示します

(3) ポートの Pull-up MOS を設定

ミセラニアスレジスタ (MIS = \$005)

ビット名	MIS3	使用禁止	MIS1	MIS0
ビット設定	1		-	-

STOP モードでも各端子の状態を保持するため、外付け Pull-up 抵抗は不要です。

【注】 - : 本機能設定では無効を示します

## (4) モジュールスタンバイ機能を使い不要な周辺機能へのクロックを停止

モジュールスタンバイレジスタ 1 (MSR1 = \$00D)

ビット名	使用禁止	MSR12	MSR11	MSR10
ビット設定		0	0	1

モジュールスタンバイレジスタ 2 (MSR2 = \$00E)

ビット名	使用禁止	使用禁止	MSR21	MSR20
ビット設定			1*	1

【注】 \* デジタル形式で時間を設定する場合、0 に設定

## (5) LCD 表示の設定

液晶表示制御レジスタ (LCR = \$02C)

ビット名	LCR3	LCR2	LCR1	LCR0
ビット設定	0	1	1	1

液晶表示モードレジスタ (LMR = \$02D) : 1/3 デューティ駆動

ビット名	LMR3	LMR2	LMR1	LMR0
ビット設定	1	1	0	1

## (6) A/D の設定

A/D モードレジスタ (AMR = \$028)

ビット名	AMR3	AMR2	AMR1	AMR0
ビット設定	0	1	0	0

## (7) サブアクティブモード ストップモードへのダイレクト遷移の設定

ダイレクトオンレジスタ (DTON = \$020, 3)

ロースピードオンレジスタ (LSON = \$020, 0)

ビット名	DTON	ADSF	WDON	LSON
ビット設定	0	-	-	0

タイマモードレジスタ A (TMA = \$00F)

ビット名	TMA3	TMA2	TMA1	TMA0
ビット設定	0	-	-	-

【注】 - : 本機能設定では無効を示します

## (8) ストップモード アクティブモードへのダイレクト遷移の設定

 $\overline{WU}_0 \sim \overline{WU}_3$  割り込みマスクレジスタ (IMWU = \$000) $\overline{WU}_0 \sim \overline{WU}_3$  割り込み要求フラグレジスタ (IFWU = \$000)

ビット名	IMWU	IFWU	RSP	IE
ビット設定	0	0	-	-

【注】 - : 本機能設定では無効を示します

## 19.5 フローチャート

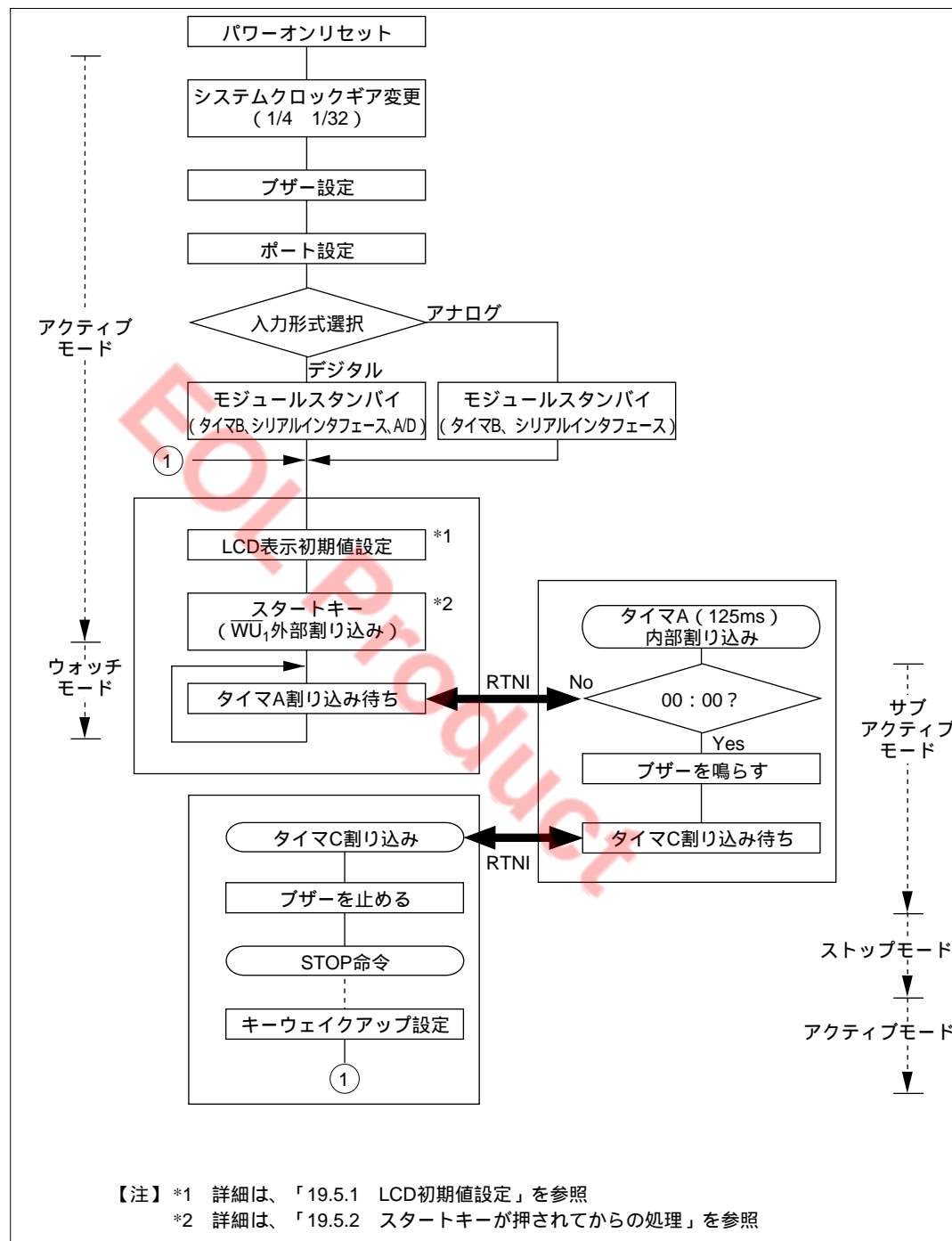


図 19.3 アラーム付きタイマのフローチャート

## 19.5.1 LCD 表示初期値設定

### (1) デジタル形式入力

入力形式選択キーがデジタル形式に設定されている場合、セットキー ( $\overline{\text{INT}}_0$  外部割り込み) とタイム入力キー (タイマ D 内部割り込み) を使ってアラーム付きタイマの初期値を各桁ごとに設定します。

#### (a) $\overline{\text{INT}}_0$ 外部割り込み

システム仕様

セットキーを押す ( $\overline{\text{INT}}_0$  外部割り込み) ごとに、入力桁の選択を右へシフトします。

機能仕様

$\overline{\text{INT}}_0$  外部割り込み発生ごとに、COMCNT (変数) をインクリメントし、0 から 4 のトグル状態とします。

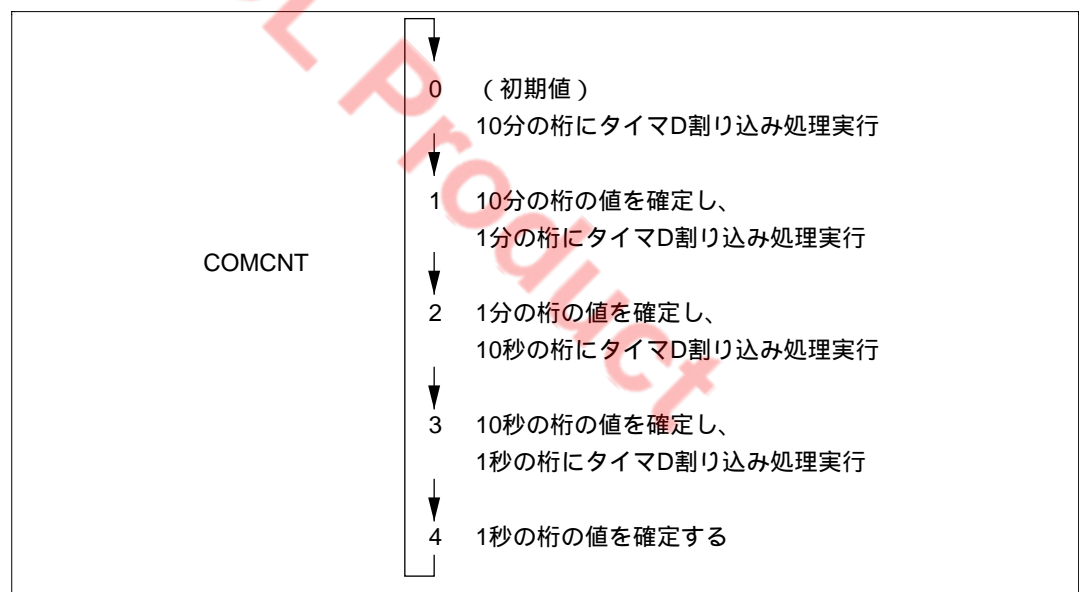


図 19.4  $\overline{\text{INT}}_0$  外部割り込み機能仕様 (デジタル形式)



## (b) タイマD内部割り込み

システム仕様

タイム入力キーを押す毎に、LCDのある桁をインクリメントし、アラーム付きタイマの初期値を設定します。

機能仕様

- ・ 8ms 毎にタイマD割り込みを発生させ、タイム入力キーのレベルをサンプリングします。
- ・ タイム入力キーがLowレベルの場合、スイッチが押されたと判断し、COMCNTが示す桁を1インクリメントします。
- ・ 約1秒(8ms×128)ごとに、COMCNTが示す桁を点滅します。

## (2) アナログ形式入力

入力形式選択キーがアナログ形式に設定されている場合、セットキー( $\overline{\text{INT}}_0$ 外部割り込み)、タイム入力キー(A/D内部割り込み)、タイマD内部割り込みを使ってアラーム付きタイマの初期値を分刻みで設定します。

(a)  $\overline{\text{INT}}_0$ 外部割り込み

システム仕様

セットキーを押す( $\overline{\text{INT}}_0$ 外部割り込み)ごとに、アラーム付きタイマの初期値設定の許可/禁止を行います。

機能仕様

- ・  $\overline{\text{INT}}_0$ 外部割り込みが発生するごとに、SET(変数)を0と1のトグル状態にします。

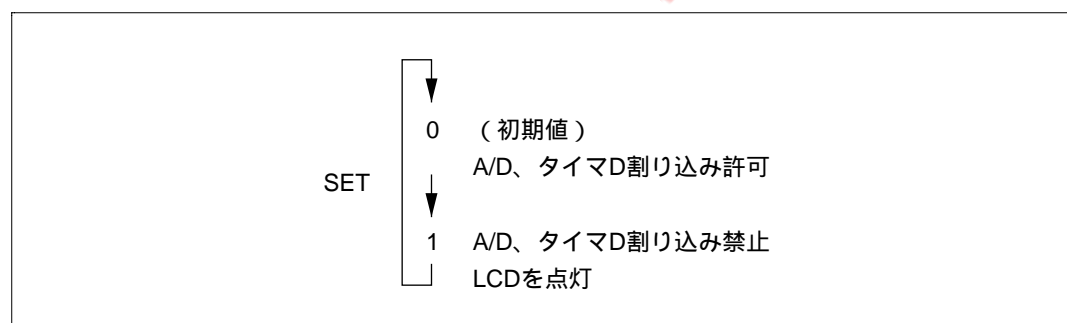


図 19.5  $\overline{\text{INT}}_0$ 外部割り込み機能仕様(アナログ形式)

## (b) A/D内部割り込み

システム仕様

アラーム付きタイマの初期値を分刻みでセットします。

機能仕様

- ・ 可変抵抗の出力電圧を A/D に入力し、1 ~ 60 分のデジタル値に変換して、この値を LCD に表示します。

(c) タイマ D 内部割り込み

システム仕様

アラーム付きタイマの初期値を設定している間、LCD 全桁を点滅します。

機能仕様

- ・ 500ms ごとにタイマ D 割り込みを発生させ、LCD 全桁に点灯 / 消灯のトグル制御を行います。

## 19.5.2 スタートキーが押されてからの処理

### (1) $\overline{WU}_1$ 外部割り込み

スタートキーが押されると  $\overline{WU}_1$  外部割り込みが発生し、アラーム付きタイマの初期値設定を禁止し、タイマ A 割り込みを許可した後ウォッチモードへ (LSON = 1、STOP 命令) 移行します (図 19.6 参照)。

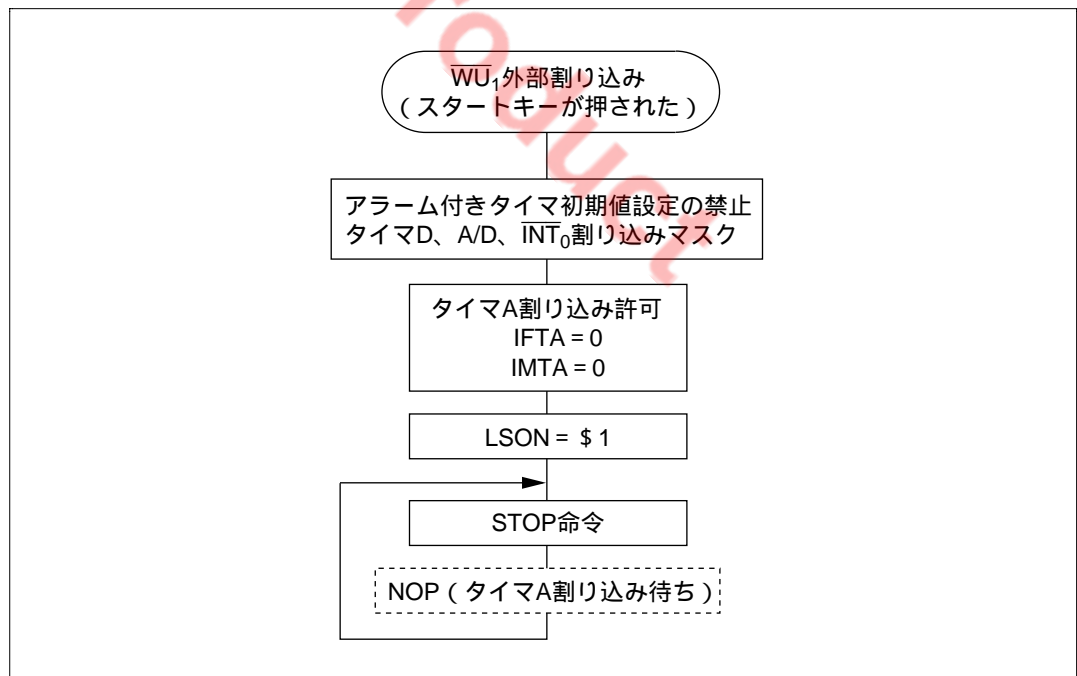


図 19.6  $\overline{WU}_1$  外部割り込みフロー

## (2) タイマ A 内部割り込み

タイマ A 割り込みは 128ms ごとに発生し、処理はサブアクティブモードで実行されます。割り込みが 8 回入ると LCD を 1 秒デクリメントし、P (パターン命令) を使い時間を表示します。

時間が 0 秒になるとブザーを鳴らし、タイマ C 割り込みを許可します (図 19.7 参照)。

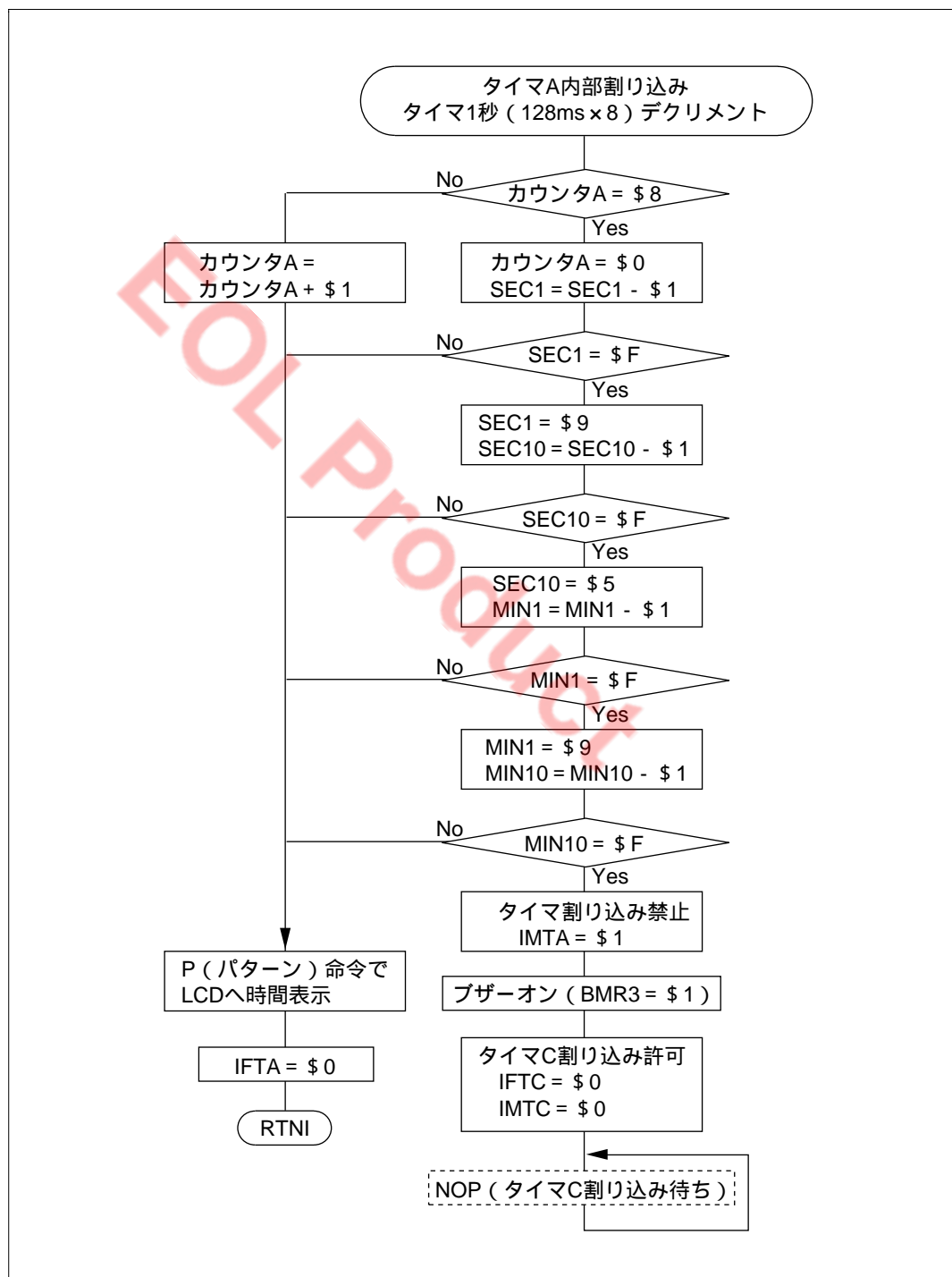


図 19.7 タイマ A 内部割り込みフロー

(3) タイマ C 内部割り込み

タイマ C 割り込みは 500ms ごとに発生し、処理はサブアクティブモードで実行されます。割り込みが 6 回入るとブザーを止め、ストップモードへダイレクト遷移します。

再スタートキーが押されるとアクティブモードへダイレクト遷移します(キーウェイクアップ機能) (図 19.8 参照)。

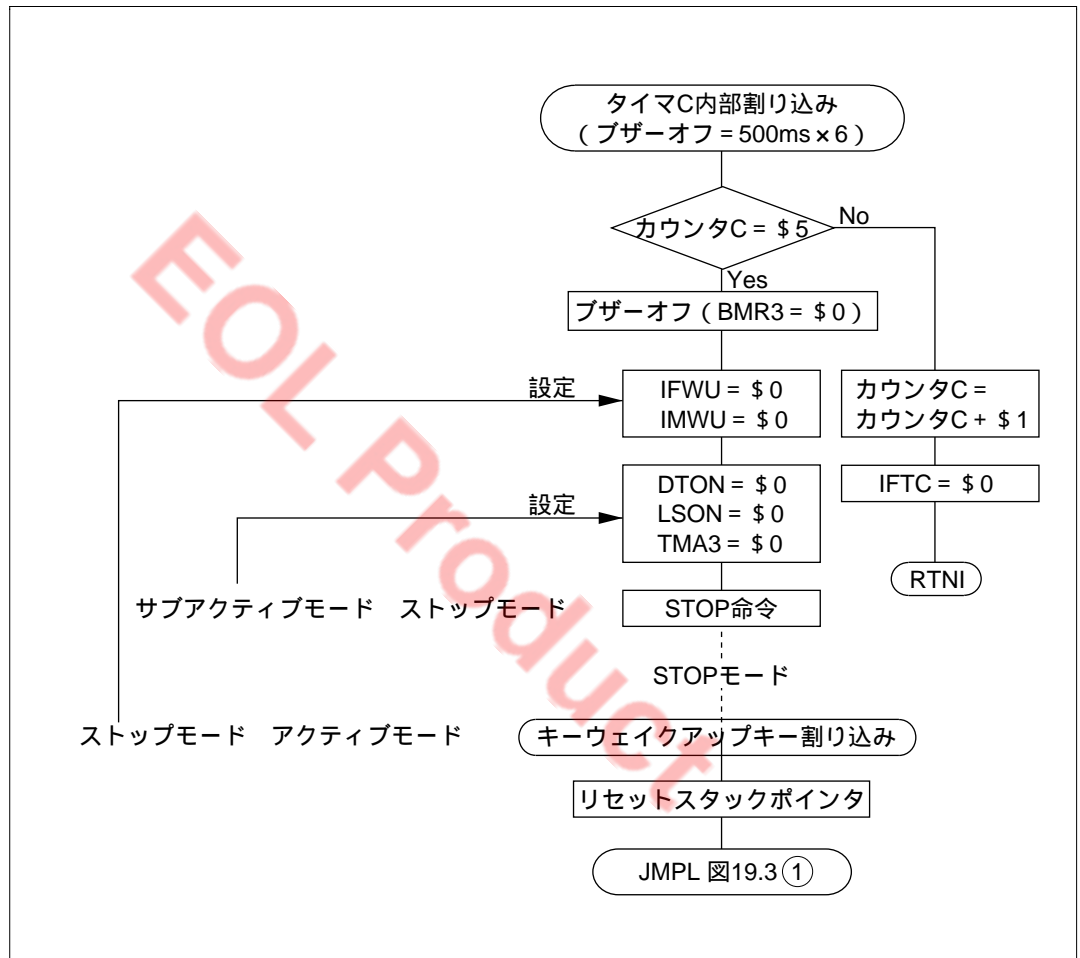


図 19.8 タイマ C 内部割り込みフロー

## 19.6 使用上の注意

タイム入力キーが押された直後は、チャタリング等でレベルが安定しません。例えば、図 19.9 のポイント B に示すレベル 'H' のサンプリングをキャンセルする必要があります（ポイント C で再度、タイム入力キーが押されたと判断してしまいます）。

したがって、タイマ D の割り込み周期（8ms）で、レベル 'L' を連続サンプリングした時点（ポイント D）で、キーが押されたことを確定する必要があります。

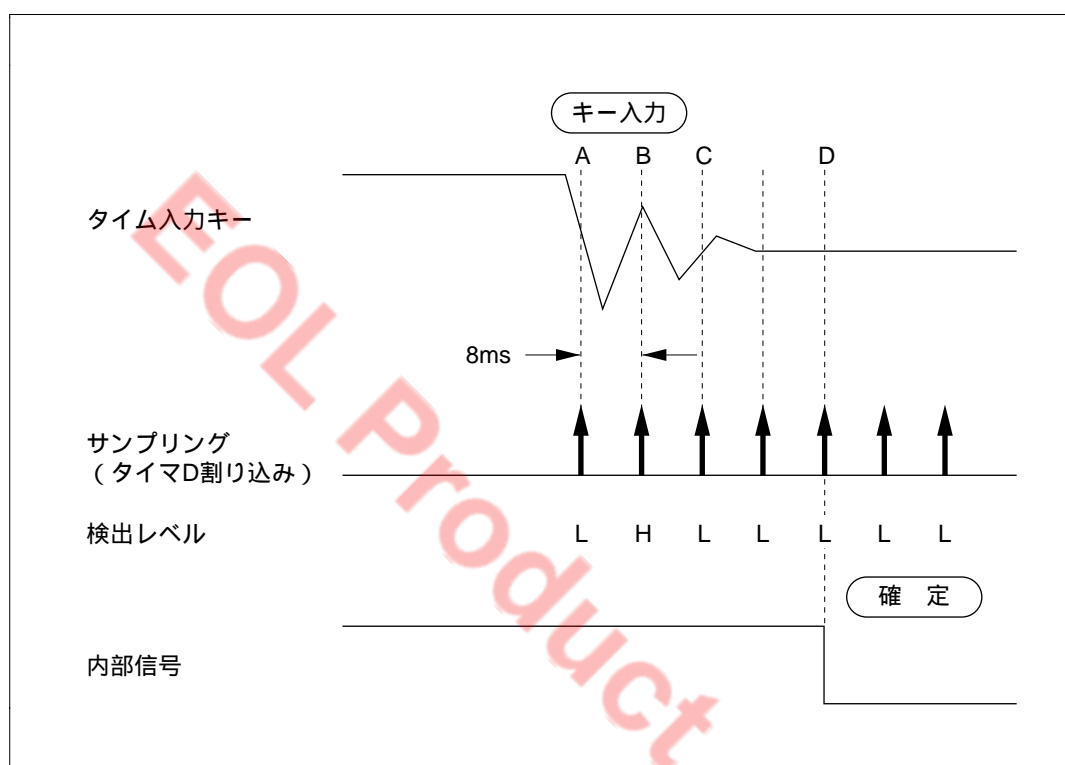


図 19.9 チャタリング・キャンセル例

EOL Product

---

# 20. 電気的特性

---

## 第 20 章 目次

20.1 絶対最大定格.....	331
20.2 電気的特性.....	332
20.2.1 DC 特性.....	332
20.2.2 内蔵周辺モジュールの特性.....	335
20.2.3 AC 特性.....	337

EOL Product



## 20.1 絶対最大定格

HD404889 シリーズの絶対最大定格を表 20.1 に示します。

表 20.1 絶対最大定格

名 称	記号	規格値	単位	注記
電源電圧	$V_{CC}$	-0.3 ~ +7.0	V	
プログラム電圧	$V_{PP}$	-0.3 ~ +14.0	V	1
端子電圧	$V_{IT}$	-0.3 ~ $V_{CC}+0.3$	V	
許容総入力電流 (LSI への流入)	$I_0$	100	mA	2
許容総出力電流 (LSI からの流出)	$-I_0$	50	mA	3
許容入力電流 (LSI への流入)	$I_0$	4	mA	4、5
		30	mA	4、6
許容出力電流 (LSI からの流出)	$-I_0$	4	mA	7、8
		20	mA	7、9
動作温度	$T_{opr}$	-20 ~ +75		
保存温度	$T_{stg}$	-5 ~ +125		

- 【注】
1. HD4074889 の TEST ( $V_{PP}$ ) 端子に適用します。
  2. 許容総入力電流とは、同時に全入出力端子から GND へ流し込める電流の総和です。
  3. 許容総出力電流とは、 $V_{CC}$  から全入出力端子へ流し出せる電流の総和です。
  4. 許容入力電流とは、各入出力端子から GND へ流し込める電流の最大値です。
  5.  $D_0 \sim D_3$ 、 $R0 \sim R8$  に適用します。
  6.  $D_4 \sim D_{11}$  に適用します。
  7. 許容出力電流とは、 $V_{CC}$  から各入出力端子へ流し出せる電流の最大値です。
  8.  $D_4 \sim D_{11}$ 、 $R0 \sim R8$  に適用します。
  9.  $D_0 \sim D_3$  に適用します。

絶対最大定格をこえて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では「電気的特性」の条件で使用することが望ましく、この条件をこえると LSI の誤動作の原因になると共に、LSI の信頼性に悪影響を及ぼすことがあります。

## 20.2 電気的特性

### 20.2.1 DC 特性

HD404889 シリーズの DC 特性を表 20.2 ~ 表 20.4 に示します。

表 20.2 DC 特性

特記なき場合は、HD404888、HD4048812、HD404889 :  $V_{CC} = 1.8V \sim 5.5V$ 、 $GND = 0V$ 、 $T_a = -20 \sim +75$

HD4074889

:  $V_{CC} = 2.0 \sim 5.5V$ 、 $GND = 0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力 High レベル電圧	$V_{IH}$	$\overline{RESET}$ , $\overline{SCK}$ , SI, $\overline{INT}_0$ , INT <sub>1</sub> , $\overline{WU}_0 \sim \overline{WU}_3$ , EVNB, EVND		$0.90V_{CC}$	-	$V_{CC}+0.3$	V	
		OSC <sub>1</sub>	外部クロック動作	$V_{CC}-0.3$	-	$V_{CC}+0.3$	V	
入力 Low レベル電圧	$V_{IL}$	$\overline{RESET}$ , $\overline{SCK}$ , SI, $\overline{INT}_0$ , INT <sub>1</sub> , $\overline{WU}_0 \sim \overline{WU}_3$ , EVNB, EVND		-0.3	-	$0.10V_{CC}$	V	
		OSC <sub>1</sub>	外部クロック動作	-0.3	-	0.3	V	
出力 High レベル電圧	$V_{OH}$	$\overline{SCK}$ , SO, BUZZ, TOB, TOC	$-I_{OH} = 0.3mA$	$V_{CC}-0.5$	-	-	V	
出力 Low レベル電圧	$V_{OL}$	$\overline{SCK}$ , SO, BUZZ, TOB, TOC	$I_{OL} = 0.4mA$	-	-	0.4	V	
入出力リーク 電流	$ I_{IL} $	$\overline{RESET}$ , $\overline{SCK}$ , SI, $\overline{INT}_0$ , INT <sub>1</sub> , $\overline{WU}_0 \sim \overline{WU}_3$ , EVNB, EVND, OSC <sub>1</sub> , TOB, TOC, SO, BUZZ	$V_{in} = 0V \sim V_{CC}$	-	-	1	$\mu A$	1
アクティブ モード	$I_{CC1}$	$V_{CC}$	$V_{CC} = 5V$ , $f_{OSC} = 4MHz$	-	3.0	5.0	mA	2, 4
消費電流	$I_{CC2}$		$V_{CC} = 3V$ , $f_{OSC} = 800kHz$	-	0.4	1.0	mA	2

特記なき場合は、HD404888、HD4048812、HD404889 :  $V_{CC} = 1.8V \sim 5.5V$ 、 $GND = 0V$ 、 $T_a = -20 \sim +75$

HD4074889

:  $V_{CC} = 2.0V \sim 5.5V$ 、 $GND = 0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
スタンバイ モード 消費電流	$I_{SBY1}$	$V_{CC}$	$V_{CC} = 5V$ , $f_{OSC} = 4MHz$ , LCD 点灯	-	1.0	2.0	mA	3、4
	$I_{SBY2}$	$V_{CC}$	$V_{CC} = 3V$ , $f_{OSC} = 800kHz$ , LCD 点灯	-	0.3	0.6	mA	3
サブ アクティブ モード 消費電流	$I_{SUB}$	$V_{CC}$ (HD404888, HD4048812, HD404889)	$V_{CC} = 3V$ , LCD 点灯, 32kHz 発振器使用	-	35	60	$\mu A$	5、6
		$V_{CC}$ (HD407889)		-	70	120	$\mu A$	5、6
ウォッチ モード 消費電流	$I_{WTC1}$	$V_{CC}$	$V_{CC} = 3V$ , LCD 点灯, 32kHz 発振器使用	-	15	30	$\mu A$	5、6
	$I_{WTC2}$	$V_{CC}$	$V_{CC} = 3V$ , LCD 消灯, 32kHz 発振器使用	-	5	8	$\mu A$	6
ストップ モード 消費電流	$I_{STOP}$	$V_{CC}$	$V_{CC} = 3V$ , 32kHz 発振器なし	-	-	5	$\mu A$	6
ストップ モード 維持電圧	$V_{STOP}$	$V_{CC}$	32kHz 発振器なし	1.5	-	-	V	7

- 【注】 1. 出力バッファに流れる電流を除きます。  
 2. MCU がリセット状態にあり、入出力電流が流れないときの電源電流です。

測定条件	MCU の状態	・ リセット状態
	端子の状態	・ $\overline{\text{RESET}}$ , TEST : GND 電位

3. 内蔵タイマが動作し、かつ入出力電流が流れないときの電源電流です。

測定条件	MCU の状態	・ 入出力 : リセット状態と同じ ・ スタンバイモード ・ $f_{\text{cyc}} = f_{\text{osc}}/4$
	端子の状態	・ $\overline{\text{RESET}}$ : $V_{\text{CC}}$ 電位 ・ TEST : GND 電位 ・ $D_0 \sim D_{11}$ , R0 ~ R8 : $V_{\text{CC}}$ 電位

4. 動作時およびスタンバイモード時の消費電流は  $f_{\text{osc}}$  に比例します。  
 したがって、 $f_{\text{osc}} = x\text{MHz}$  のときの各電流値はおよそ次のように計算できます。

$$\text{max 値} (f_{\text{osc}} = x\text{MHz}) = x/4 \times \text{max 値} (f_{\text{osc}} = 4\text{MHz})$$

5. 液晶電源分割抵抗接続時に適用します。  
 6. 入出力電流が流れないときの電源電流です。

測定条件	端子の状態	・ $\overline{\text{RESET}}$ : $V_{\text{CC}}$ 電位 ・ TEST : GND 電位 ・ $D_0 \sim D_{11}$ , R0 ~ R8 : $V_{\text{CC}}$ 電位
------	-------	---

7. RAM データ維持に必要な電圧です。

表 20.3 標準端子入出力特性

特記なき場合は、HD404888、HD4048812、HD404889 :  $V_{\text{CC}} = 1.8\text{V} \sim 5.5\text{V}$ 、GND = 0V、 $T_a = -20 \sim +75$

HD4074889 :  $V_{\text{CC}} = 2.0\text{V} \sim 5.5\text{V}$ 、GND = 0V、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力 High レベル電圧	$V_{\text{IH}}$	R0 ~ R8		$0.7V_{\text{CC}}$	-	$V_{\text{CC}}+0.3$	V	
入力 Low レベル電圧	$V_{\text{IL}}$	R0 ~ R8		-0.3	-	$0.3V_{\text{CC}}$	V	
出力 High レベル電圧	$V_{\text{OH}}$	R0 ~ R8	$-I_{\text{OH}} = 0.3\text{mA}$	$V_{\text{CC}}-0.5$	-	-	V	
出力 Low レベル電圧	$V_{\text{OL}}$	R0 ~ R8	$I_{\text{OL}} = 0.4\text{mA}$	-	-	0.4	V	
入出力リーク電流	$ I_{\text{IL}} $	R0 ~ R8	$V_{\text{IN}} = 0\text{V} \sim V_{\text{CC}}$	-	-	1	$\mu\text{A}$	1
ブルアップ MOS 電流	$-I_{\text{PU}}$	R0 ~ R8	$V_{\text{CC}} = 3\text{V}$ , $V_{\text{IN}} = 0\text{V}$	10	50	150	$\mu\text{A}$	

- 【注】 1. 出力バッファに流れる電流を除きます。

表 20.4 大電流端子入出力特性

特記なき場合は、HD404888、HD4048812、HD404889 :  $V_{CC} = 1.8V \sim 5.5V$ 、 $GND = 0V$ 、 $T_a = -20 \sim +75$ HD4074889 :  $V_{CC} = 2.0V \sim 5.5V$ 、 $GND = 0V$ 、 $T_a = -20 \sim +75$ 

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力 High レベル電圧	$V_{IH}$	$D_0 \sim D_{11}$		$0.7V_{CC}$	-	$V_{CC}+0.3$	V	
入力 Low レベル電圧	$V_{IL}$	$D_0 \sim D_{11}$		-0.3	-	$0.3V_{CC}$	V	
出力 High レベル電圧	$V_{OH}$	$D_4 \sim D_{11}$	$-I_{OH} = 0.3mA$	$V_{CC}-0.5$	-	-	V	
		$D_0 \sim D_3$	$-I_{OH} = 10mA$ , $V_{CC} = 4.5V \sim 5.5V$	$V_{CC}-2.0$	-	-	V	
出力 Low レベル電圧	$V_{OL}$	$D_0 \sim D_3$	$I_{OL} = 0.4mA$	-	-	0.4	V	
		$D_4 \sim D_{11}$	$I_{OL} = 15mA$ , $V_{CC} = 4.5V \sim 5.5V$	-	-	2.0	V	
入出力リーク電流	$ I_{IL} $	$D_0 \sim D_{11}$	$V_{IN} = 0V \sim V_{CC}$	-	-	1	$\mu A$	1
プルアップ MOS 電流	$-I_{PU}$	$D_0 \sim D_{11}$	$V_{CC} = 3V$ , $V_{IN} = 0V$	10	50	150	$\mu A$	

【注】 1. 出力バッファに流れる電流を除きます。

## 20.2.2 内蔵周辺モジュールの特性

HD404889 シリーズの内蔵周辺モジュールの電気的特性を表 20.5、表 20.6 に示します。

表 20.5 液晶表示回路特性

特記なき場合は、HD404888、HD4048812、HD404889 :  $V_{CC} = 1.8V \sim 5.5V$ 、 $GND = 0V$ 、 $T_a = -20 \sim +75$ HD4074889 :  $V_{CC} = 2.0V \sim 5.5V$ 、 $GND = 0V$ 、 $T_a = -20 \sim +75$ 

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
セグメントドライバ 降下電圧	$V_{DS}$	SEG1 ~ SEG32	$I_d = 3 \mu A$ $V_1 = 2.7 \sim 5.5V$	-	-	0.6	V	1
コモンドライバ 降下電圧	$V_{DC}$	COM1 ~ COM4	$I_d = 3 \mu A$ $V_1 = 2.7 \sim 5.5V$	-	-	0.3	V	1
液晶表示電源分割抵抗	$R_W$		$V_1$ -GND 間	50	300	900	k	
液晶表示電圧	$V_{LCD}$	$V_1$		2.2	-	$V_{CC}$	V	2

【注】 1. 電源端子  $V_1$ 、 $V_2$ 、 $V_3$ 、GND から各セグメント端子または、各コモン端子までの電圧降下です。2.  $V_{LCD}$  を内部電源により供給する場合は、 $V_0$  と  $V_1$  を短絡してください。 $V_{LCD}$  を外部電源により供給する場合は、 $V_{CC}$ 、 $V_{LCD}$  2.2V の関係を維持してください。この場合、 $V_0$  端子は  $V_{CC}$  に固定してください。

表 20.6 A/D コンバータ特性

特記なき場合は、HD404888、HD4048812、HD404889 :  $V_{CC} = 1.8V \sim 5.5V$ 、 $GND = 0V$ 、 $T_a = -20 \sim +75$ 

HD4074889

:  $V_{CC} = 2.0V \sim 5.5V$ 、 $GND = 0V$ 、 $T_a = -20 \sim +75$ 

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
アナログ電源電圧	$AV_{CC}$	$AV_{CC}$		$V_{CC}-0.3$	$V_{CC}$	$V_{CC}+0.3$	V	1
アナログ入力電圧	$AV_{in}$	$AN_0 \sim AN_5$		$AV_{SS}$	-	$AV_{CC}$	V	
$AV_{CC}-AV_{SS}$ 間電流	$I_{AD}$		$V_{CC} = AV_{CC} = 5.0V$	-	-	500	$\mu A$	
アナログ入力容量	$CA_{in}$	$AN_0 \sim AN_5$		-	15	-	pF	
分解能				-	8	-	ビット	
入力数				0	-	6	チャンネル	
絶対精度			$V_{CC} = AV_{CC} = 2.7 \sim 5.5V$	-	-	$\pm 2.0$		
			$V_{CC} = AV_{CC} = 1.8 \sim 2.7V$	-	-	$\pm 3.0$		2
変換時間				65	-	125	$t_{cyc}$	
入力インピーダンス		$AN_0 \sim AN_5$		1	-	-	M $\Omega$	

【注】 1. A/D コンバータを使用しない場合は、 $V_{CC}$  端子に接続してください。また、 $AV_{CC}$  の設定範囲は、1.8V  $AV_{CC}$  5.5V です。

2. 変換時間は  $125t_{cyc}$  です。

## 20.2.3 AC 特性

HD404889 シリーズの AC 特性を表 20.7、表 20.8 に示します。

表 20.7 AC 特性

特記なき場合は、HD404888、HD4048812、HD404889 :  $V_{CC} = 1.8V \sim 5.5V$ 、 $GND = 0V$ 、 $T_a = -20 \sim +75$

HD4074889

:  $V_{CC} = 2.0V \sim 5.5V$ 、 $GND = 0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
クロック発振	$f_{OSC}$	OSC <sub>1</sub> , OSC <sub>2</sub>	4 分周	0.4	-	4.5	MHz	1
周波数		X1, X2		-	32.768	-	kHz	
インストラク	$t_{cyc}$		4 分周	0.89	-	10	$\mu s$	
ションサイクル	$t_{subcyc}$		32kHz 発振器使用、	-	244.14	-	$\mu s$	
タイム			8 分周					
			32kHz 発振器使用、	-	122.07	-	$\mu s$	
			4 分周					
発振安定時間 (外部クロック 入力、セラミック 発振子)	$t_{RC}$	OSC <sub>1</sub> , OSC <sub>2</sub>		-	-	7.5	ms	2
発振安定時間 (水晶発振子)	$t_{RC}$	OSC <sub>1</sub> , OSC <sub>2</sub>	$V_{CC} = 2.0V \sim 5.5V$	-	-	30	ms	2, 6
		X1, X2	$T_a = -10 \sim +60$	-	-	2	s	2
外部クロック High レベル幅	$t_{CPH}$	OSC <sub>1</sub>	$f_{OSC} = 4MHz$	105	-	-	ns	3
外部クロック Low レベル幅	$t_{CPL}$	OSC <sub>1</sub>	$f_{OSC} = 4MHz$	105	-	-	ns	3
外部クロック 立ち上がり時間	$t_{CPr}$	OSC <sub>1</sub>	$f_{OSC} = 4MHz$	-	-	20	ns	3
外部クロック 立ち下がり時間	$t_{CPf}$	OSC <sub>1</sub>	$f_{OSC} = 4MHz$	-	-	20	ns	3
$\overline{INT}_0 \sim INT_1$ , EVNB, EVND, $\overline{WU}_0 \sim \overline{WU}_3$ , High レベル幅	$t_H$	$\overline{INT}_0 \sim INT_1$ , EVNB, EVND, $\overline{WU}_0 \sim \overline{WU}_3$		2	-	-	$t_{cyc}/t_{subcyc}$ c	4

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
$\overline{INT}_0 \sim \overline{INT}_1$ , EVNB, EVND, $\overline{WU}_0 \sim \overline{WU}_3$ , Low レベル幅	$t_{\text{L}}$	$\overline{INT}_0 \sim \overline{INT}_1$ , EVNB, EVND, $\overline{WU}_0 \sim \overline{WU}_3$		2	-	-	$t_{\text{cyc}}/t_{\text{subcy}}$ c	4
RESET Low レベル幅	$t_{\text{RSTL}}$	RESET		2	-	-	$t_{\text{cyc}}$	5
RESET 立ち上がり幅	$t_{\text{RSTr}}$	RESET		-	-	20	ms	6
入力容量	$C_{\text{in}}$	TEST を除く 全入力端子	$f = 1\text{MHz}, V_{\text{in}} = 0\text{V}$	-	-	15	pF	
		TEST ( HD404888, HD4048812, HD404889 )		-	-	15	pF	
		TEST ( HD4074889 )		-	-	40	pF	

- 【注】 1. サブシステム発振器( 32.768kHz水晶発振 )を使用する場合には、0.4MHz  $f_{\text{osc}}$  1.0MHz および、1.6MHz  $f_{\text{osc}}$  4.5MHz の範囲で使用してください。その際、システムクロック選択レジスタ( SSR )の SSR1 ビットの設定を、それぞれ 0 および 1 にしてください。
2. 発振安定時間は、
- (1) 電源投入時に  $V_{\text{CC}}$  が規格値 min に達してから発振が安定するまでの時間、
  - (2) ストップモード解除時に RESET 入力 が Low レベルになってから発振が安定するまでの時間です。
- パワーオン時には、発振器の発振が安定するのに必要な時間を確保するために、RESET 入力を  $t_{\text{RC}}$  以上印加してください。発振安定時間は実装回路の定数、浮遊容量により異なるため、発振子メーカーと十分ご相談の上、発振子を決定してください。また、システムクロック ( OSC<sub>1</sub>, OSC<sub>2</sub> ) については、使用する発振子の発振安定時間に合わせ、ミセラニクスレジスタ ( MIS ) の MIS1、MIS0 ビットを設定してください。
3. 図 20.1 参照
  4. 図 20.2 参照
  5. 図 20.3 参照
  6.  $V_{\text{CC}}=2.0 \sim 5.5\text{V}$  です。



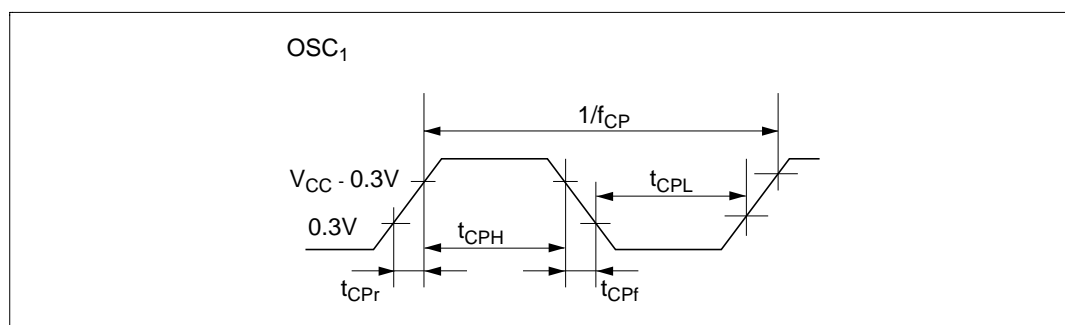


図 20.1 外部クロック入力波形

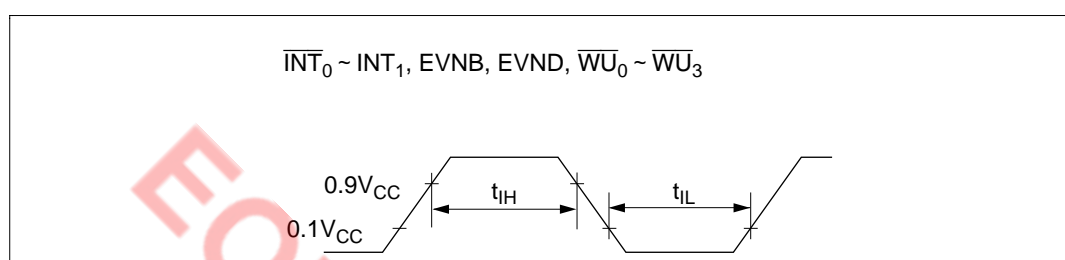


図 20.2 割り込みタイミング

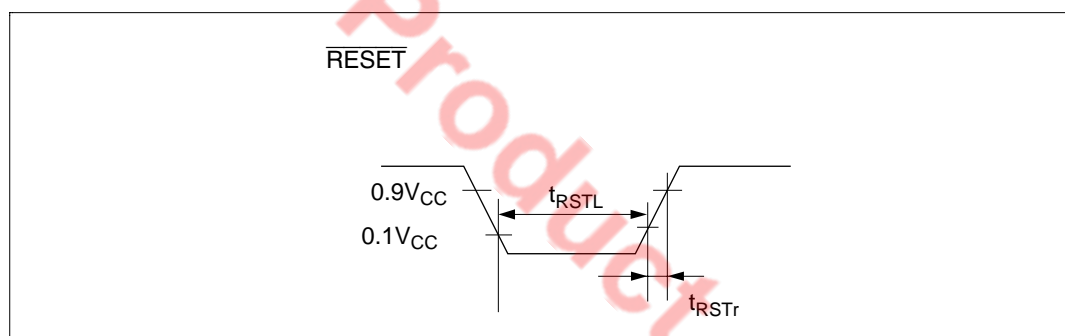


図 20.3 リセットタイミング

表 20.8 シリアルインタフェースタイミング特性

特記なき場合は、HD404888、HD4048812、HD404889 :  $V_{CC} = 1.8V \sim 5.5V$ 、 $GND = 0V$ 、 $T_a = -20 \sim +75$ HD4074889 :  $V_{CC} = 2.0V \sim 5.5V$ 、 $GND = 0V$ 、 $T_a = -20 \sim +75$ 

## 転送クロック出力時

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
転送クロック サイクルタイム	$t_{S_{cyc}}$	$\overline{SCK}$	図 20.5 の負荷	1	-	-	$t_{cyc}$	1
転送クロック High レベル幅	$t_{S_{CKH}}$	$\overline{SCK}$	図 20.5 の負荷	0.4	-	-	$t_{S_{cyc}}$	1
転送クロック Low レベル幅	$t_{S_{CKL}}$	$\overline{SCK}$	図 20.5 の負荷	0.4	-	-	$t_{S_{cyc}}$	1
転送クロック 立ち上がり時間	$t_{S_{CKr}}$	$\overline{SCK}$	図 20.5 の負荷	-	-	100	ns	1
転送クロック 立ち下がり時間	$t_{S_{CKf}}$	$\overline{SCK}$	図 20.5 の負荷	-	-	100	ns	1
シリアル出力 データ遅延時間	$t_{DSO}$	SO	図 20.5 の負荷	-	-	300	ns	1
シリアル入力 データセットア ップ時間	$t_{SSI}$	SI		200	-	-	ns	1
シリアル入力 データホールド 時間	$t_{HSI}$	SI		200	-	-	ns	1

【注】 1. 図 20.4 参照。

## 転送クロック入力時

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
転送クロック サイクルタイム	$t_{S_{Cyc}}$	$\overline{SCK}$		1	-	-	$t_{Cyc}$	1
転送クロック High レベル幅	$t_{S_{CKH}}$	$\overline{SCK}$		0.4	-	-	$t_{S_{Cyc}}$	1
転送クロック Low レベル幅	$t_{S_{CKL}}$	$\overline{SCK}$		0.4	-	-	$t_{S_{Cyc}}$	1
転送クロック 立ち上がり時間	$t_{S_{CKr}}$	$\overline{SCK}$		-	-	100	ns	1
転送クロック 立ち下がり時間	$t_{S_{CKf}}$	$\overline{SCK}$		-	-	100	ns	1
シリアル出力 データ遅延時間	$t_{DSO}$	SO	図 20.5 の負荷	-	-	300	ns	1
シリアル入力 データセットア ップ時間	$t_{SSI}$	SI		200	-	-	ns	1
シリアル入力 データホールド 時間	$t_{HSI}$	SI		200	-	-	ns	1

【注】 1. 図 20.4 参照。

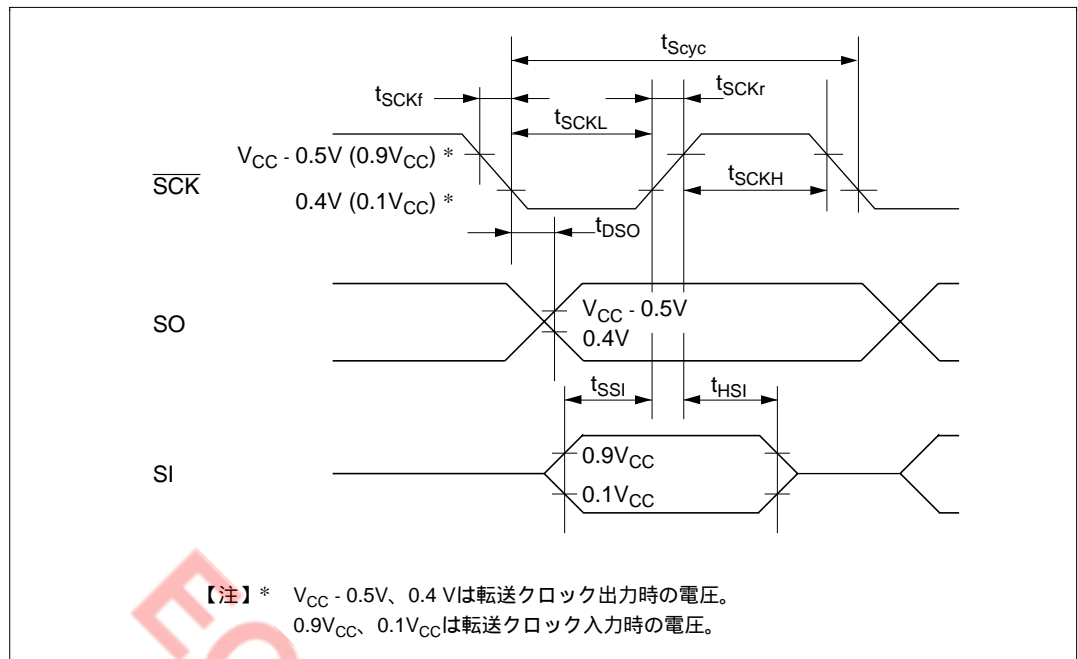


図 20.4 シリアルインタフェースタイミング

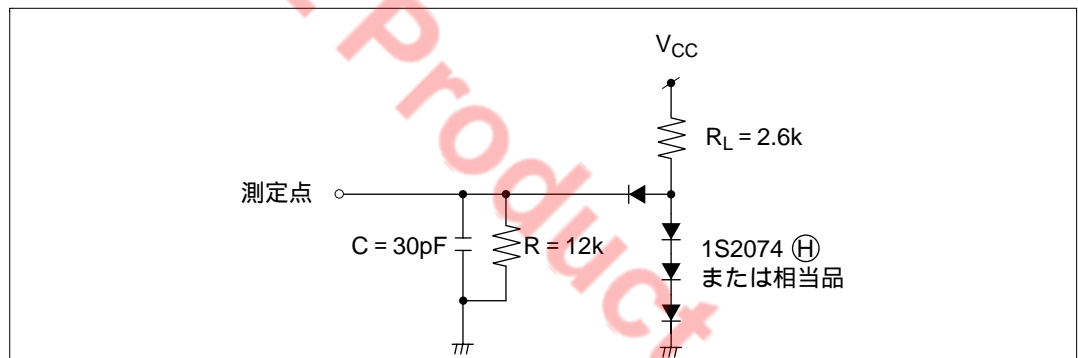


図 20.5 タイミング負荷回路

---

# 付録

---

## 付録 目次

A.	命令 .....	345
	A.1 命令一覧.....	345
	A.2 オペレーションコードマップ.....	352
B.	内部 I/O レジスタ一覧.....	354
	B.1 アドレス一覧.....	354
	B.2 機能一覧.....	356
C.	ROM 発注手順 .....	375
	C.1 ROM 書き換え品開発の流れ（発注手順） .....	375
	C.2 ROM 発注時の提出物と注意事項.....	376
D.	オプションリスト .....	377
E.	型名一覧.....	379
F.	外形寸法図 .....	380

EOL Product

## A. 命令

### A.1 命令一覧

HMCS400 CPU は 101 の命令を持ち、これらの命令は次の 10 種類に分類されます。

- (1) イミディエイト命令
- (2) レジスタ・レジスタ命令
- (3) RAM アドレス命令
- (4) RAM・レジスタ命令
- (5) 演算命令
- (6) 比較命令
- (7) RAM ビット操作命令
- (8) ROM アドレス命令
- (9) 入出力命令
- (10) コントロール命令

各命令の機能について表 A.1 (1) ~ (10) に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

## 《オペレーションの記号》

A B	A から B へ転送
A'B	A と B の交換
$\bar{X}$	論理否定 (NOT) 記号
1	High レベル
0	Low レベル
LSB	最下位ビット
MSB	最上位ビット
NZ	0 値以外 (Not Zero)
NB	演算によるノーボロー (No Borrow)
OVF	加算によるオーバフロー (Overflow)
	論理積 (AND) 記号
	論理和 (OR) 記号
$\approx$	排他的論理和 (Exclusive OR)
	不等号 (Not equal)
$\leq$	比較記号 (Less or Equal)
i, m, p	16 進数 1 桁 (\$0 ~ \$F) を表します。
d	16 進数 3 桁 (\$000 ~ \$3FF) を表します。
n	2 進数 2 ビットを表します。
a	2 進数 6 ビットを表します。
b	2 進数 8 ビットを表します。
u	p と d を意味します。
y, x	0 または 1 を表します。



表 A.1 (1) イミディエイト命令

Operation	Mnemonic	Operation Code	Function	Status	Words/ Cycles
Load A from Immediate	LAI i	1 0 0 0 1 1 $i_3$ $i_2$ $i_1$ $i_0$	i A		1 / 1
Load B from Immediate	LBI i	1 0 0 0 0 0 $i_3$ $i_2$ $i_1$ $i_0$	i B		1 / 1
Load Memory from Immediate	LMID i, d	0 1 1 0 1 0 $i_3$ $i_2$ $i_1$ $i_0$ $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	i M		2 / 2
Load Memory from Immediate, Increment Y	LMIIY i	1 0 1 0 0 1 $i_3$ $i_2$ $i_1$ $i_0$	i M, Y+1 Y	NZ	1 / 1

表 A.1 (2) レジスタ・レジスタ命令

Operation	Mnemonic	Operation Code	Function	Status	Words/ Cycles
Load A from B	LAB	0 0 0 1 0 0 1 0 0 0	B A		1 / 1
Load B from A	LBA	0 0 1 1 0 0 1 0 0 0	A B		1 / 1
Load A from W	LAW	0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	W A		2 / 2*
Load A from Y	LAY	0 0 1 0 1 0 1 1 1 1	Y A		1 / 1
Load A from SPX	LASPX	0 0 0 1 1 0 1 0 0 0	SPX A		1 / 1
Load A from SPY	LASPY	0 0 0 1 0 1 1 0 0 0	SPY A		1 / 1
Load A from MR	LAMR m	1 0 0 1 1 1 $m_3$ $m_2$ $m_1$ $m_0$	MR(m) A		1 / 1
Exchange MR and A	XMRA m	1 0 1 1 1 1 $m_3$ $m_2$ $m_1$ $m_0$	MR(m) A		1 / 1

表 A.1 (3) RAM アドレス命令

Operation	Mnemonic	Operation Code	Function	Status	Words/ Cycles
Load W from Immediate	LWI i	0 0 1 1 1 1 0 0 $i_1$ $i_0$	i W		1 / 1
Load X from Immediate	LXI i	1 0 0 0 1 0 $i_3$ $i_2$ $i_1$ $i_0$	i X		1 / 1
Load Y from Immediate	LYI i	1 0 0 0 0 1 $i_3$ $i_2$ $i_1$ $i_0$	i Y		1 / 1
Load W from A	LWA	0 1 0 0 0 1 0 0 0 0 0 0 0 0 0 0 0 0 0 0	A W		2 / 2*
Load X from A	LXA	0 0 1 1 1 0 1 0 0 0	A X		1 / 1
Load Y from A	LYA	0 0 1 1 0 1 1 0 0 0	A Y		1 / 1
Increment Y	IY	0 0 0 1 0 1 1 1 0 0	Y+1 Y	NZ	1 / 1
Decrement Y	DY	0 0 1 1 0 1 1 1 1 1	Y-1 Y	NB	1 / 1
Add A to Y	AYY	0 0 0 1 0 1 0 1 0 0	Y+A Y	OVF	1 / 1
Subtract A from Y	SY Y	0 0 1 1 0 1 0 1 0 0	Y-A Y	NB	1 / 1
Exchange X and SPX	XSPX	0 0 0 0 0 0 0 0 0 1	X'SPX		1 / 1
Exchange Y and SPY	XSPY	0 0 0 0 0 0 0 0 1 0	Y'SPY		1 / 1
Exchange X and SPX, Y and SPY	XSPXY	0 0 0 0 0 0 0 0 1 1	X'SPX, Y'SPY		1 / 1

【注】 \* LAW、LWA 命令は 2 ワード目にオペランド ( \$000 ) が必要ですが、アセンブラで自動発生するために記述する必要はありません。

表 A.1 (4) RAM・レジスタ命令

Operation	Mnemonic	Operation Code	Function	Status	Words/ Cycles
Load A from Memory	LAM	0 0 1 0 0 1 0 0 0 0	M A		1 / 1
	LAMX	0 0 1 0 0 1 0 0 0 1	M A, X'SPX		
	LAMY	0 0 1 0 0 1 0 0 1 0	M A, Y'SPY		
	LAMXY	0 0 1 0 0 1 0 0 1 1	M A, X'SPX, Y'SPY		
Load A from Memory	LAMD d	0 1 1 0 0 1 0 0 0 0 d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>	M A		2 / 2
Load B from Memory	LBM	0 0 0 1 0 0 0 0 0 0	M B		1 / 1
	LBMX	0 0 0 1 0 0 0 0 0 1	M B, X'SPX		
	LBMY	0 0 0 1 0 0 0 0 1 0	M B, Y'SPY		
	LBMXY	0 0 0 1 0 0 0 0 1 1	M B, X'SPX, Y'SPY		
Load Memory from A	LMA	0 0 1 0 0 1 0 1 0 0	A M		1 / 1
	LMAX	0 0 1 0 0 1 0 1 0 1	A M, X'SPX		
	LMA Y	0 0 1 0 0 1 0 1 1 0	A M, Y'SPY		
	LMAXY	0 0 1 0 0 1 0 1 1 1	A M, X'SPX, Y'SPY		
Load Memory from A	LMAD d	0 1 1 0 0 1 0 1 0 0 d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>	A M		2 / 2
Load Memory from A, Increment Y	LMAY	0 0 0 1 0 1 0 0 0 0	A M, Y+1 Y	NZ	1 / 1
	LMAYX	0 0 0 1 0 1 0 0 0 1	A M, Y+1 Y X'SPX		
Load Memory from A, Decrement Y	LMADY	0 0 1 1 0 1 0 0 0 0	A M, Y-1 Y	NB	1 / 1
	LMADYX	0 0 1 1 0 1 0 0 0 1	A M, Y-1 Y X'SPX		
Exchange Memory and A	XMA	0 0 1 0 0 0 0 0 0 0	M'A		1 / 1
	XMAX	0 0 1 0 0 0 0 0 0 1	M'A, X'SPX		
	XMAY	0 0 1 0 0 0 0 0 1 0	M'A, Y'SPY		
	XMAXY	0 0 1 0 0 0 0 0 1 1	M'A, X'SPX, Y'SPY		
Exchange Memory and A	XMAD d	0 1 1 0 0 0 0 0 0 0 d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>	M=A		2 / 2
Exchange Memory and B	XMB	0 0 1 1 0 0 0 0 0 0	M'B		1 / 1
	XMBX	0 0 1 1 0 0 0 0 0 1	M'B, X'SPX		
	XMBY	0 0 1 1 0 0 0 0 1 0	M'B, Y'SPY		
	XMBXY	0 0 1 1 0 0 0 0 1 1	M'B, X'SPX, Y'SPY		

表 A.1 (5) 演算命令

Operation	Mnemonic	Operation Code	Function	Status	Words/ Cycles
Add Immediate to A	AI i	1 0 1 0 0 0 $i_3$ $i_2$ $i_1$ $i_0$	A+i A	OVF	1/1
Increment B	IB	0 0 0 1 0 0 1 1 0 0	B+1 B	NZ	1/1
Decrement B	DB	0 0 1 1 0 0 1 1 1 1	B-1 B	NB	1/1
Decimal Adjust for Addition	DAA	0 0 1 0 1 0 0 1 1 0			1/1
Decimal Adjust for Subtraction	DAS	0 0 1 0 1 0 1 0 1 0			1/1
Negate A	NEGA	0 0 0 1 1 0 0 0 0 0	$\bar{A}+1$ A		1/1
Complement B	COMB	0 1 0 1 0 0 0 0 0 0	$\bar{B}$ B		1/1
Rotate Right A with Carry	ROTR	0 0 1 0 1 0 0 0 0 0			1/1
Rotate Left A with Carry	ROTL	0 0 1 0 1 0 0 0 0 1			1/1
Set Carry	SEC	0 0 1 1 1 0 1 1 1 1	1 CA		1/1
Reset Carry	REC	0 0 1 1 1 0 1 1 0 0	0 CA		1/1
Test Carry	TC	0 0 0 1 1 0 1 1 1 1		CA	1/1
Add A to Memory	AM	0 0 0 0 0 0 1 0 0 0	M+A A	OVF	1/1
Add A to Memory	AMD d	0 1 0 0 0 0 1 0 0 0 $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	M+A A	OVF	2/2
Add A to Memory with Carry	AMC	0 0 0 0 0 0 1 1 0 0	M+A+ CA A OVF CA	OVF	1/1
Add A to Memory with Carry	AMCD d	0 1 0 0 0 1 1 0 0 0 $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	M+A+ CA A OVF CA	OVF	2/2
Subtract A from Memory with Carry	SMC	0 0 1 0 0 1 1 0 0 0	M-A- $\bar{CA}$ A NB CA	NB	1/1
Subtract A from Memory with Carry	SMCD d	0 1 1 0 0 1 1 0 0 0 $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	M-A- $\bar{CA}$ A NB CA	NB	2/2
OR A and B	OR	0 1 0 1 0 0 0 1 0 0	A B A		1/1
AND Memory with A	ANM	0 0 1 0 0 1 1 1 0 0	A M A	NZ	1/1
AND Memory with A	ANMD d	0 1 1 0 0 1 1 1 0 0 $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	A M A	NZ	2/2
OR Memory with A	ORM	0 0 0 0 0 0 1 1 0 0	A M A	NZ	1/1
OR Memory with A	ORMD d	0 1 0 0 0 0 1 1 0 0 $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	A M A	NZ	2/2
EOR Memory with A	EORM	0 0 0 0 0 1 1 1 0 0	A $\approx$ M A	NZ	1/1
EOR Memory with A	EORMD d	0 1 0 0 0 1 1 1 0 0 $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	A $\approx$ M A	NZ	2/2

表 A.1 ( 6 ) 比較命令

Operation	Mnemonic	Operation Code	Function	Status	Words/ Cycles
Immediate Not Equal to Memory	INEM i	0 0 0 0 1 0 $i_3$ $i_2$ $i_1$ $i_0$	i M	NZ	1 / 1
Immediate Not Equal to Memory	INEMD i, d	0 1 0 0 1 0 $i_3$ $i_2$ $i_1$ $i_0$ $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	i M	NZ	2 / 2
A Not Equal to Memory	ANEM	0 0 0 0 0 0 0 1 0 0	A M	NZ	1 / 1
A Not Equal to Memory	ANEMD d	0 1 0 0 0 0 0 1 0 0 $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	A M	NZ	2 / 2
B Not Equal to Memory	BNEM	0 0 0 1 0 0 0 1 0 0	B M	NZ	1 / 1
Y Not Equal to Immediate	YNEI i	0 0 0 1 1 1 $i_3$ $i_2$ $i_1$ $i_0$	Y i	NZ	1 / 1
Immediate Less than or Equal to Memory	ILEM i	0 0 0 0 1 1 $i_3$ $i_2$ $i_1$ $i_0$	i M	NB	1 / 1
Immediate Less than or Equal to Memory	ILEMD i, d	0 1 0 0 1 1 $i_3$ $i_2$ $i_1$ $i_0$ $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	i M	NB	2 / 2
A Less than or Equal to Memory	ALEM	0 0 0 0 0 1 0 1 0 0	A M	NB	1 / 1
A Less than or Equal to Memory	ALEMD d	0 1 0 0 0 1 0 1 0 0 $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	A M	NB	2 / 2
B Less than or Equal to Memory	BLEM	0 0 1 1 0 0 0 1 0 0	B M	NB	1 / 1
A Less than or Equal to Immediate	ALEI i	1 0 1 0 1 1 $i_3$ $i_2$ $i_1$ $i_0$	A i	NB	1 / 1

表 A.1 ( 7 ) RAMビット操作命令

Operation	Mnemonic	Operation Code	Function	Status	Words/ Cycles
Set Memory Bit	SEM n	0 0 1 0 0 0 0 1 $n_1$ $n_0$	1 M(n)		1 / 1
Set Memory Bit	SEMD n, d	0 1 1 0 0 0 0 1 $n_1$ $n_0$ $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	1 M(n)		2 / 2
Reset Memory Bit	REM n	0 0 1 0 0 0 1 0 $n_1$ $n_0$	0 M(n)		1 / 1
Reset Memory Bit	REMD n, d	0 1 1 0 0 0 1 0 $n_1$ $n_0$ $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$	0 M(n)		2 / 2
Test Memory Bit	TM n	0 0 1 0 0 0 1 1 $n_1$ $n_0$		M(n)	1 / 1
Test Memory Bit	TMD n, d	0 1 1 0 0 0 1 1 $n_1$ $n_0$ $d_9$ $d_8$ $d_7$ $d_6$ $d_5$ $d_4$ $d_3$ $d_2$ $d_1$ $d_0$		M(n)	2 / 2

表 A.1 ( 8 ) ROM アドレス命令

Operation	Mnemonic	Operation Code	Function	Status	Words/ Cycles
Branch on Status 1	BR b	1 1 b <sub>7</sub> b <sub>6</sub> b <sub>5</sub> b <sub>4</sub> b <sub>3</sub> b <sub>2</sub> b <sub>1</sub> b <sub>0</sub>		1	1 / 1
Long Branch on Status 1	BRL u	0 1 0 1 1 1 p <sub>3</sub> p <sub>2</sub> p <sub>1</sub> p <sub>0</sub> d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>		1	2 / 2
Long Jump Unconditionally	JMPL u	0 1 0 1 0 1 p <sub>3</sub> p <sub>2</sub> p <sub>1</sub> p <sub>0</sub> d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>			2 / 2
Subroutine Jump on Status 1	CAL a	0 1 1 1 a <sub>5</sub> a <sub>4</sub> a <sub>3</sub> a <sub>2</sub> a <sub>1</sub> a <sub>0</sub>		1	1 / 2
Long Subroutine Jump on Status 1	CALL u	0 1 0 1 1 0 p <sub>3</sub> p <sub>2</sub> p <sub>1</sub> p <sub>0</sub> d <sub>9</sub> d <sub>8</sub> d <sub>7</sub> d <sub>6</sub> d <sub>5</sub> d <sub>4</sub> d <sub>3</sub> d <sub>2</sub> d <sub>1</sub> d <sub>0</sub>		1	2 / 2
Table Branch	TBR p	0 0 1 0 1 1 p <sub>3</sub> p <sub>2</sub> p <sub>1</sub> p <sub>0</sub>			1 / 1
Return from Subroutine	RTN	0 0 0 0 0 1 0 0 0 0			1 / 3
Return from Interrupt	RTNI	0 0 0 0 0 1 0 0 0 1	1 IE, CA 回復	ST	1 / 3

表 A.1 ( 9 ) 入出力命令

Operation	Mnemonic	Operation Code	Function	Status	Words/ Cycles
Set Discrete I/O Latch	SED	0 0 1 1 1 0 0 1 0 0	1 D(Y)		1 / 1
Set Discrete I/O Latch Direct	SEDD m	1 0 1 1 1 0 m <sub>3</sub> m <sub>2</sub> m <sub>1</sub> m <sub>0</sub>	1 D(m)		1 / 1
Reset Discrete I/O Latch	RED	0 0 0 1 1 0 0 1 0 0	0 D(Y)		1 / 1
Reset Discrete I/O Latch Direct	REDD m	1 0 0 1 1 0 m <sub>3</sub> m <sub>2</sub> m <sub>1</sub> m <sub>0</sub>	0 D(m)		1 / 1
Test Discrete I/O Latch	TD	0 0 1 1 1 0 0 0 0 0		D(Y)	1 / 1
Test Discrete I/O Latch Direct	TDD m	1 0 1 0 1 0 m <sub>3</sub> m <sub>2</sub> m <sub>1</sub> m <sub>0</sub>		D(m)	1 / 1
Load A from R-Port Register	LAR m	1 0 0 1 0 1 m <sub>3</sub> m <sub>2</sub> m <sub>1</sub> m <sub>0</sub>	R(m) A		1 / 1
Load B from R-Port Register	LBR m	1 0 0 1 0 0 m <sub>3</sub> m <sub>2</sub> m <sub>1</sub> m <sub>0</sub>	R(m) B		1 / 1
Load R-Port Register from A	LRA m	1 0 1 1 0 1 m <sub>3</sub> m <sub>2</sub> m <sub>1</sub> m <sub>0</sub>	A R(m)		1 / 1
Load R-Port Register from B	LRB m	1 0 1 1 0 0 m <sub>3</sub> m <sub>2</sub> m <sub>1</sub> m <sub>0</sub>	B R(m)		1 / 1
Pattern Generation	P p	0 1 1 0 1 1 p <sub>3</sub> p <sub>2</sub> p <sub>1</sub> p <sub>0</sub>			1 / 2

表 A.1 ( 10 ) コントロール命令

Operation	Mnemonic	Operation Code	Function	Status	Words/ Cycles
No Operation	NOP	0 0 0 0 0 0 0 0 0 0			1 / 1
Start Serial	STS	0 1 0 1 0 0 1 0 0 0			1 / 1
Stand-by Mode/Watch Mode*	SBY	0 1 0 1 0 0 1 1 0 0			1 / 1
Stop Mode/Watch Mode	STOP	0 1 0 1 0 0 1 1 0 1			1 / 1





【注】 \* サブアクティブモードからの遷移時のみ

## A.2 オペレーションコードマップ

表A.2 オペコードマップ(1/2)

R8		0																	
R9	L	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F		
	0	H	0	NOP	XSPX	XSPY	XSPXY	ANEM							AM				ORM
		1	RTN	RTNI			ALEM								AMC				EORM
		2	INEM i(4)																
		3	INEM i(4)																
		4	LBM(XY)				BNEM				LAB					IB			
		5	LMAIY(X)				AYY				LASPY					IY			
		6	NEGA				RED				LASPX								TC
		7	YNEI i(4)																
		8	LMA(XY)					SEM n(2)				REM n(2)				TM n(2)			
		9	LAM(XY)					LMA(XY)				SMC				ANM			
		A	ROTR	ROTL					DAA					DAS					LAY
		B	TBR p(4)																
		C	XMB(XY)				BLEM				LBA								DB
		D	LMADY(X)				SYI				LYA								DY
		E	TD				SED				LXA					REC			SEC
		F	LWI i(2)																
1		0								LBI i(4)									
		1								LYI i(4)									
		2								LXI i(4)									
		3								LAI i(4)									
		4								LBR m(4)									
		5								LAR m(4)									
		6								REDD m(4)									
		7								LAMR m(4)									
		8								AI i(4)									
		9								LMIIY i(4)									
		A								TDD m(4)									
		B								ALEI i(4)									
		C								LRB m(4)									
		D								LRA m(4)									
		E								SEDD m(4)									
		F								XMRA m(4)									

	1ワード/ 2サイクル命令		1ワード/ 3サイクル命令		RAMダイレクト アドレス命令 (2ワード/2サイクル)		2ワード/ 2サイクル命令
---	------------------	---	------------------	---	------------------------------------	---	------------------

表A.2 オペコードマップ(2/2)

R9	R8	1																	
		L	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
0	H	0	LAW			ANEMD				AMD				ORMD					
		1	LWA			ALEMd				AMCD				EORMD					
		2	INEMD i(4)																
		3	ILEMD i(4)																
		4	COMB			OR				STS				SBY	STOP				
		5	JMPL p(4)																
		6	CALL p(4)																
		7	BRL p(4)																
		8	XMAD			SEMD n(2)					REMD n(2)					TMD n(2)			
		9	LAMD			LMAD				SMCD				ANMD					
		A	LMID i(4)																
		B	P p(4)																
		C																	
		D																	
		E	CAL a(6)																
		F																	
1	H	0																	
		1																	
		2																	
		3																	
		4																	
		5																	
		6																	
		7																	
		8	BR b(8)																
		9																	
		A																	
		B																	
		C																	
		D																	
		E																	
		F																	

1ワード / 2サイクル命令
  1ワード / 3サイクル命令
  RAMダイレクト  
アドレス命令  
(2ワード / 2サイクル)
  2ワード / 2サイクル命令

## B. 内部 I/O レジスタ一覧

## B.1 アドレス一覧

RAM アドレス	エリア名	ビット名				機能
		ビット3	ビット2	ビット1	ビット0	
\$000	割り込み制御	IMWU	IFWU	RSP	IE	割り込み
\$001	ビットエリア	IM1	IF1	IM0	IF0	
\$002		IMTB	IFTB	IMTA	IFTA	
\$003		IMAD	IFAD	IMTC	IFTC	
\$004	特殊レジスタ	SSR3	SSR2	SSR1	SSR0	システム
\$005	エリア	MIS3		MIS1	MIS0	コントロール
\$006				ESR1	ESR0	割り込み
\$007						使用禁止
\$008				PMR01	PMR00	I/O ポート
\$009		PMR13	PMR12	PMR11	PMR10	
\$00A		PMR23	PMR22	PMR21	PMR20	
\$00B		PMR33	PMR32	PMR31	PMR30	
\$00C		PMR43	PMR42	PMR41	PMR40	
\$00D		MSR13	MSR12	MSR11	MSR10	タイマ B~D
\$00E				MSR21	MSR20	A/D、シリアル
\$00F	TMA33	TMA2	TMA1	TMA0	タイマ A	
\$010	TMB13	TMB12	TMB11	TMB10	タイマ B	
\$011		TMB22	TMB21	TMB20		
\$012	TRBL3/ TWBL3	TRBL2/ TWBL2	TRBL1/ TWBL1	TRBL0/ TWBL0		
	TRBU3/ TWBU3	TRBU2/ TWBU2	TRBU1/ TWBU1	TRBU0/ TWBU0		
\$014	TMC13	TMC12	TMC11	TMC10	タイマ C	
\$015		TMC22	TMC21	TMC20		
\$016	TRCL3/ TWCL3	TRCL2/ TWCL2	TRCL1/ TWCL1	TRCL0/ TWCL0		
	TRCU3/ TWCU3	TRCU2/ TWCU2	TRCU1/ TWCU1	TRCU0/ TWCU0		
\$018	TMD13	TMD12	TMD11	TMD10	タイマ D	
\$019		TMD22	TMD21	TMD20		
\$01A	TRDL3/ TWDL3	TRDL2/ TWDL2	TRDL1/ TWDL1	TRDL0/ TWDL0		
	TRDU3/ TWDU3	TRDU2/ TWDU2	TRDU1/ TWDU1	TRDU0/ TWDU0		



RAM アドレス	エリア名	ビット名				機能	
		ビット3	ビット2	ビット1	ビット0		
\$01C	特殊レジスタ エリア					使用禁止	
\$01D							
\$01E							
\$01F							
\$020	レジスタフラグ エリア	DTON	ADSF	WDON	LSON	割り込み、システム コントロール、 A/D コンバータ	
\$021		GEF		ICEF	ICSF		
\$022		IMTD	IFTD				
\$023		IMS	IFS				
\$024	特殊レジスタ エリア	SMR13	SMR12	SMR11	SMR10	シリアル インタフェース	
\$025			SMR22	SMR21			
\$026		SRL3	SRL2	SRL1	SRL0		
\$027		SRU3	SRU2	SRU1	SRU0		
\$028		AMR3	AMR2	AMR1	AMR0	A/D コンバータ	
\$029							
\$02A		ADRL3	ADRL2	ADRL1	ADRL0		
\$02B		ADRU3	ADRU2	ADRU1	ADRU0		
\$02C	LCR3	LCR2	LCR1	LCR0	液晶表示回路		
\$02D	LMR3	LMR2	LMR1	LMR0			
\$02E	BMR3	BMR2	BMR1	BMR0	ブザー		
\$02F					使用禁止		
\$030		DCD03	DCD02	DCD01	DCD00	I/O ポート (Dポート)	
\$031		DCD13	DCD12	DCD11	DCD10		
\$032		DCD23	DCD22	DCD21	DCD20		
\$033						使用禁止	
\$034		DCR03	DCR02	DCR01	DCR00	I/O ポート (Rポート)	
\$035		DCR13	DCR12	DCR11	DCR10		
\$036		DCR23	DCR22	DCR21	DCR20		
\$037		DCR33	DCR32	DCR31	DCR30		
\$038		DCR43	DCR42	DCR41	DCR40		
\$039		DCR53	DCR52	DCR51	DCR50		
\$03A		DCR63	DCR62	DCR61	DCR60		
\$03B		DCR73	DCR72	DCR71	DCR70		
\$03C				DCR81	DCR80		
\$03D							使用禁止
\$03E							
\$03F					V0	RAM	

## B.2 機能一覧

## \$ 004 システムクロック選択レジスタ SSR : システムコントロール

ビット :	3	2	1	0
	SSR3	SSR2	SSR1	SSR0
初期値 :	0	0	0	0
R/W :	W	W	W	W

システムクロック分周比切り換え	
0	4分周 ( $f_{cyc} = f_{OSC} / 4$ )
1	32分周 ( $f_{cyc} = f_{OSC} / 32$ )

システムクロック選択	
0	$f_{OSC} = 0.4 \sim 1.0\text{MHz}$
1	$f_{OSC} = 1.6 \sim 4.5\text{MHz}$

サブシステムクロック分周比切り換え	
0	$f_{SUB} = f_X / 8$
1	$f_{SUB} = f_X / 4$

サブシステムクロック停止設定	
0	ストップモード時、サブシステムクロック動作
1	ストップモード時、サブシステムクロック停止

## \$ 005 ミセラニアスレジスタ MIS : システムコントロール

ビット:	3	2	1	0
	MIS3	-	MIS1	MIS0
初期値:	0	-	0	0
R/W :	W	-	W	W

割り込みフレーム周期および発振安定時間設定

MIS1	MIS0	割り込みフレーム周期 T (ms)	発振安定時間 $t_{RC}$ (ms)	発振回路条件
0	0	0.24414	0.12207 (0.24414) *	外部クロック入力
	1	3.90625	7.8125	セラミック発振子
1	0	3.90625	31.25	水晶発振子
	1	使用禁止		-

プルアップMOS制御

0	プルアップMOSはすべてオフ
1	プルアップMOSアクティブ

【注】\* ( )内はダイレクト遷移時の値です。

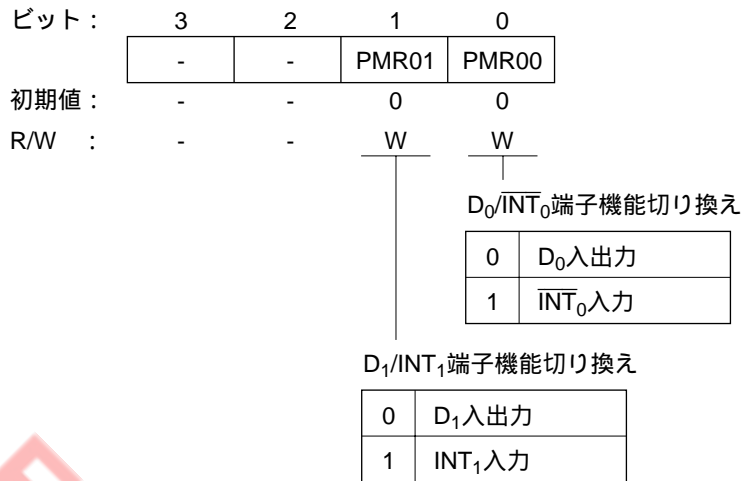
## \$ 006 エッジ検出選択レジスタ ESR : 割り込み

ビット:	3	2	1	0
	-	-	ESR1	ESR0
初期値:	-	-	0	0
R/W :	-	-	W	W

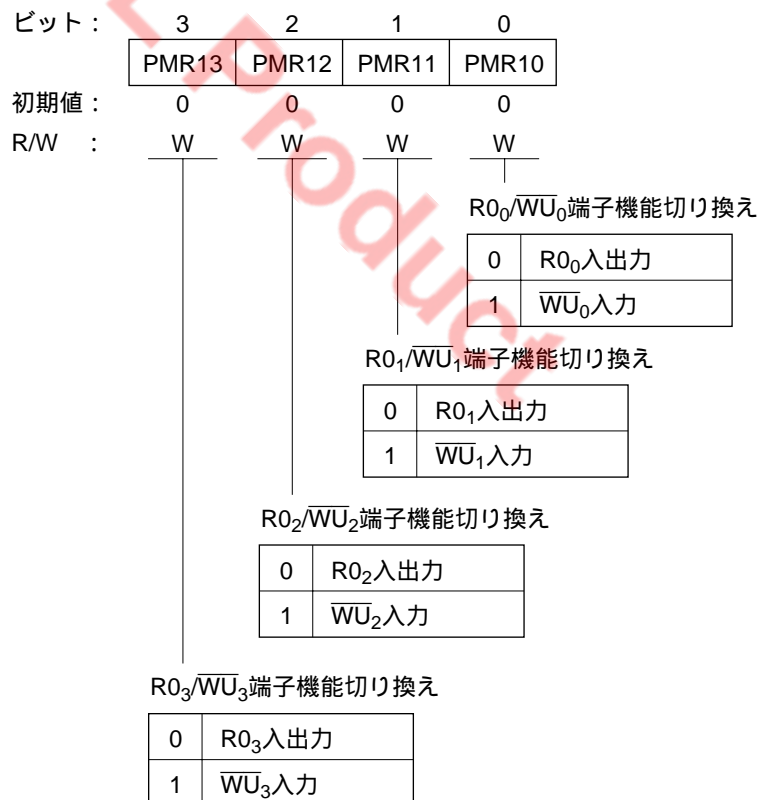
INT<sub>1</sub>端子検出エッジ選択

ESR1	ESR0	INT <sub>1</sub> 端子検出エッジ
0	0	検出しない
	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
	1	立ち下がり / 立ち上がり両エッジ検出

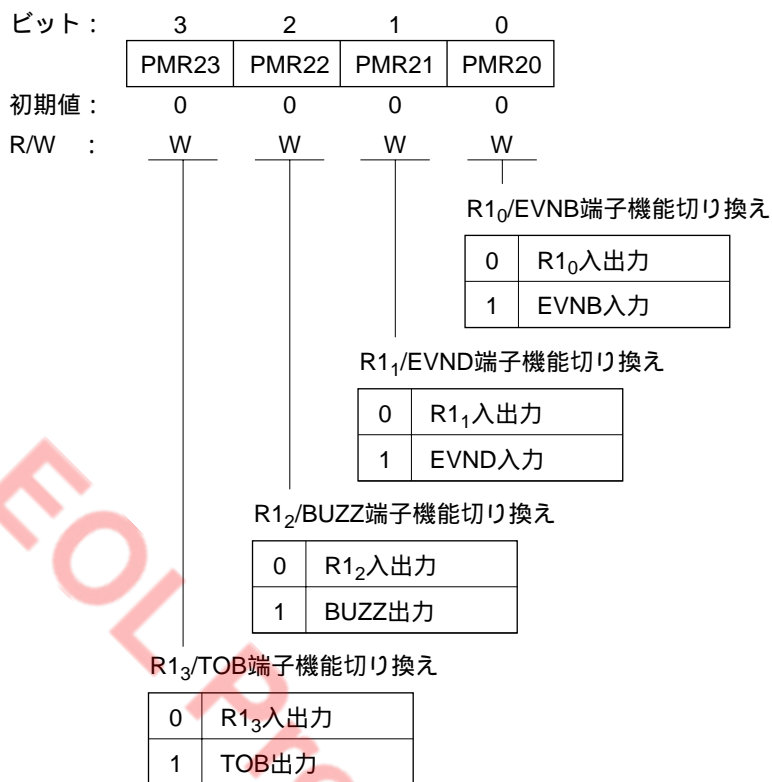
\$ 008 ポートモードレジスタ 0 PMR0 : I/O ポート



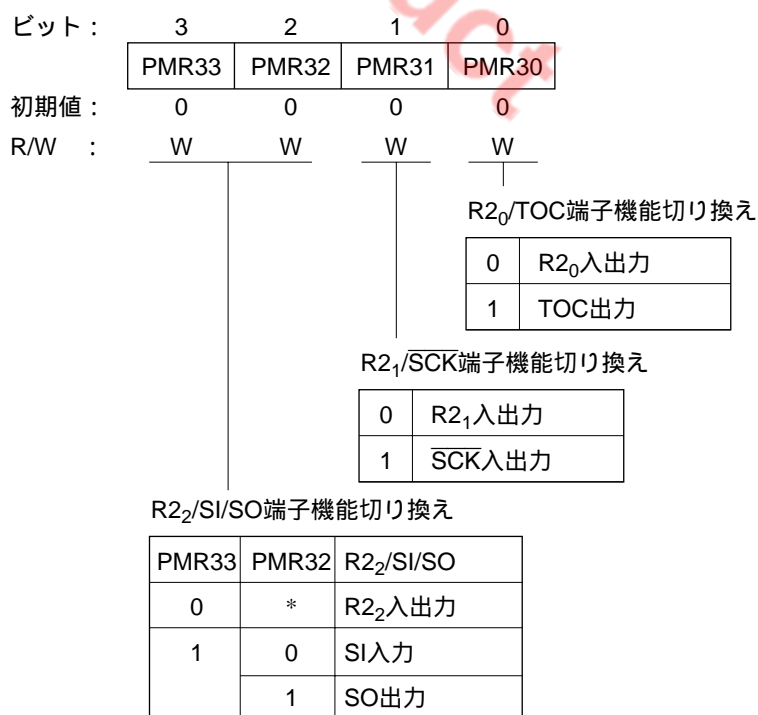
\$ 009 ポートモードレジスタ 1 PMR1 : I/O ポート



## \$ 00A ポートモードレジスタ 2 PMR2 : I/O ポート

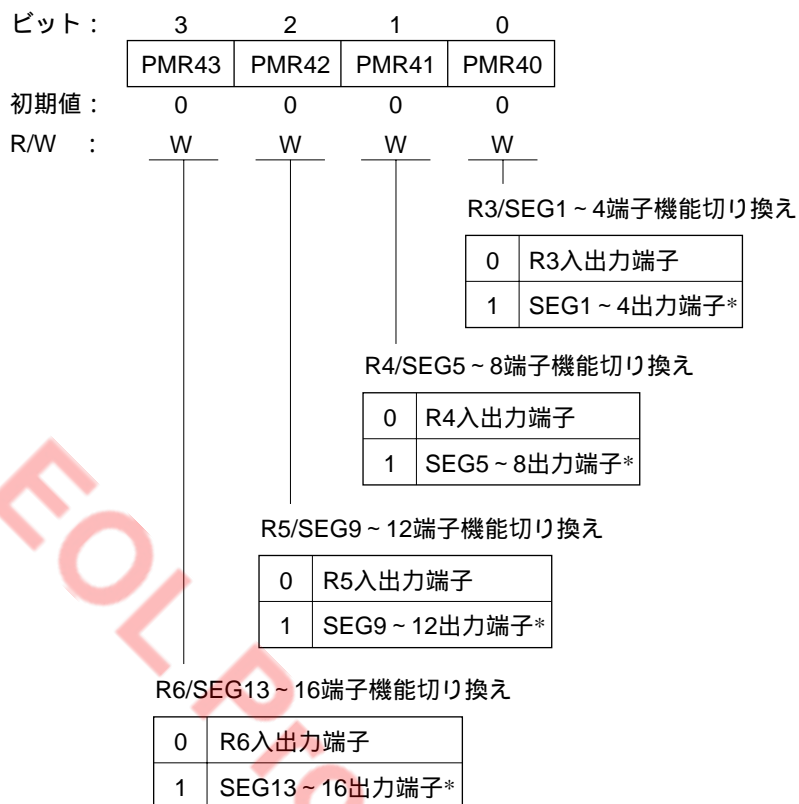


## \$ 00B ポートモードレジスタ 3 PMR3 : I/O ポート



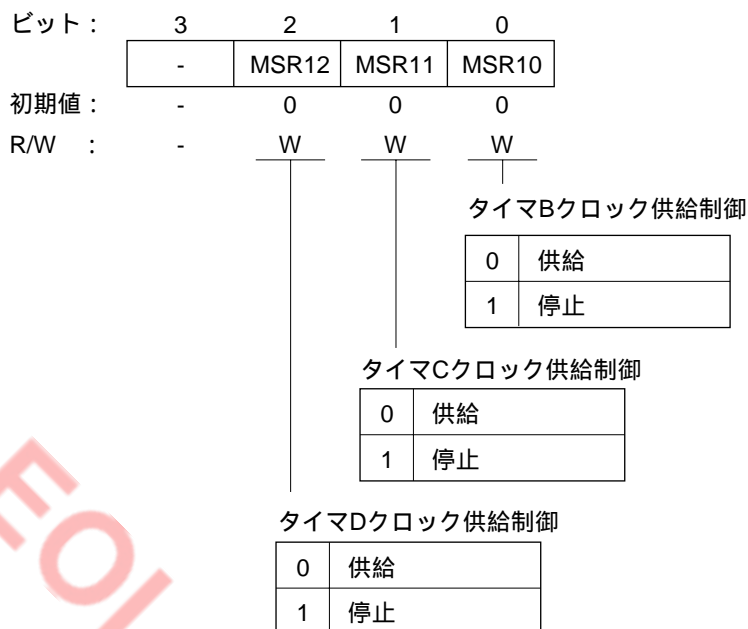
\* : Don't care

## \$ 00C ポートモードレジスタ 4 PMR4 : I/O ポート

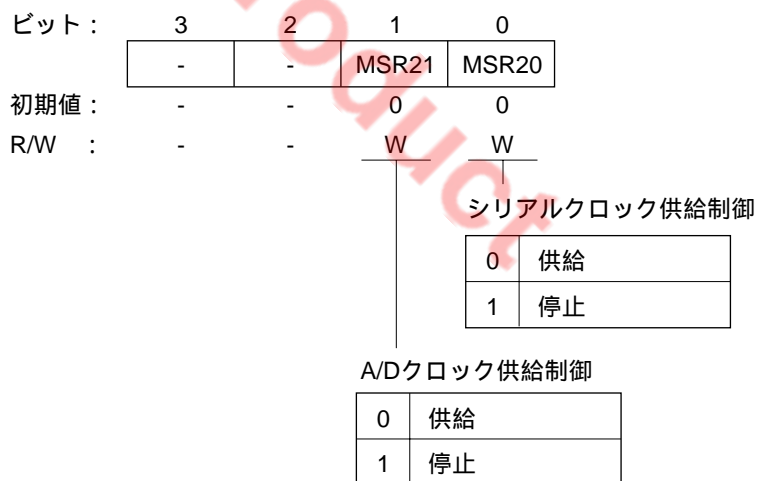


【注】\* セグメント出力端子として使用する場合、当該端子のポートデータレジスタ（PDR）に0を書き込んでください。

## \$ 00D モジュールスタンバイレジスタ 1 MSR1 : タイマ B~D



## \$ 00E モジュールスタンバイレジスタ 2 MSR2 : A/D、シリアルインタフェース



\$ 00F タイマモードレジスタ A TMRA : タイマ A

ビット :	3	2	1	0
	TMA3	TMA2	TMA1	TMA0
初期値 :	0	0	0	0
R/W :	W	W	W	W

タイマAクロック選択

TMA3	TMA2	TMA1	TMA0	プリスケアラ	入力クロック周期	モード
0	0	0	0	PSS	2048 t <sub>cyc</sub>	フリーランニングタイマモード
			1	PSS	1024 t <sub>cyc</sub>	
		1	0	PSS	512 t <sub>cyc</sub>	
			1	PSS	128 t <sub>cyc</sub>	
	1	0	0	PSS	32 t <sub>cyc</sub>	
			1	PSS	8 t <sub>cyc</sub>	
		1	0	PSS	4 t <sub>cyc</sub>	
			1	PSS	2 t <sub>cyc</sub>	
1	0	0	0	PSW	32 t <sub>wcyc</sub>	時計用タイムベースモード
			1	PSW	16 t <sub>wcyc</sub>	
		1	0	PSW	8 t <sub>wcyc</sub>	
			1	PSW	2 t <sub>wcyc</sub>	
	1	0	0	-	1 / 2 t <sub>wcyc</sub>	
			1	-	使用禁止	
		1	任意	-	PSW、TCAクリア	



## \$ 010 タイマモードレジスタ B1 TMB1 : タイマ B

ビット :	3	2	1	0
	TMB13	TMB12	TMB11	TMB10
初期値 :	0	0	0	0
R/W :	W	W	W	W

タイマBクロック選択

TMB12	TMB11	TMB10	入力クロックソース
0	0	0	2048 t <sub>cyc</sub>
		1	512 t <sub>cyc</sub>
	1	0	128 t <sub>cyc</sub>
		1	32 t <sub>cyc</sub>
1	0	0	8 t <sub>cyc</sub>
		1	4 t <sub>cyc</sub>
	1	0	2 t <sub>cyc</sub>
		1	EVNB (外部イベント入力端子)

タイマB機能選択

0	フリーランニングタイマ
1	リロードタイマ

【注】\* タイマBに外部イベント入力を設定する場合、PMR2のPMR20ビットを1に設定してください。

\$ 011 タイマモードレジスタ B2 TMB2 : タイマ B

ビット:	3	2	1	0
	-	TMB22	TMB21	TMB20
初期値:	-	0	0	0
R/W :	-	W	W	W

EVNB端子検出エッジ選択

TMB21	TMB20	EVNB端子検出エッジ
0	0	検出しない
	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
	1	立ち下がり / 立ち上がり両エッジ検出

タイマB出力波形

0	トグル出力
1	PWM出力

\$ 012、\$ 013 タイマライトレジスタ BL、U TWBL、TWBU : タイマ B

	ビット:	3	2	1	0
TWBU		TWBU3	TWBU2	TWBU1	TWBU0
	初期値:	不定	不定	不定	不定
	R/W :	W	W	W	W

	ビット:	3	2	1	0
TWBL		TWBL3	TWBL2	TWBL1	TWBL0
	初期値:	0	0	0	0
	R/W :	W	W	W	W

## \$ 012、\$ 013 タイマリードレジスタ BL、U TRBL、TRBU : タイマ B

	ビット:	3	2	1	0
TRBU		TRBU3	TRBU2	TRBU1	TRBU0
	初期値:	不定	不定	不定	不定
	R/W :	R	R	R	R

	ビット:	3	2	1	0
TRBL		TRBL3	TRBL2	TRBL1	TRBL0
	初期値:	不定	不定	不定	不定
	R/W :	R	R	R	R

## \$ 014 タイマモードレジスタ C1 TMC1 : タイマ C

ビット:	3	2	1	0
	TMC13	TMC12	TMC11	TMC10
初期値:	0	0	0	0
R/W :	W	W	W	W

タイマCクロック選択

TMC12	TMC11	TMC10	入力クロックソース
0	0	0	2048 $t_{cyc}$
		1	512 $t_{cyc}$
	1	0	128 $t_{cyc}$
		1	32 $t_{cyc}$
1	0	0	8 $t_{cyc}$
		1	4 $t_{cyc}$
	1	0	2 $t_{cyc}$
		1	タイマBオーバフロー

タイマC機能選択

0	フリーランニングタイマ
1	リロードタイマ

## \$ 015 タイマモードレジスタ C2 TMC2 : タイマ C

ビット:	3	2	1	0
	—	TMC22	-	-
初期値:	—	0	-	-
R/W :	—	W	-	-

タイムC出力波形

0	トグル出力
1	PWM出力

## \$ 016、\$ 017 タイマライトレジスタ CL、U TWCL、TWCU : タイマ C

	ビット:	3	2	1	0
TWCU		TWCU3	TWCU2	TWCU1	TWCU0
	初期値:	不定	不定	不定	不定
	R/W :	W	W	W	W

	ビット:	3	2	1	0
TWCL		TWCL3	TWCL2	TWCL1	TWCL0
	初期値:	0	0	0	0
	R/W :	W	W	W	W

## \$ 016、\$ 017 タイマリードレジスタ CL、U TRCL、TRCU : タイマ C

	ビット:	3	2	1	0
TRCU		TRCU3	TRCU2	TRCU1	TRCU0
	初期値:	不定	不定	不定	不定
	R/W :	R	R	R	R

	ビット:	3	2	1	0
TRCL		TRCL3	TRCL2	TRCL1	TRCL0
	初期値:	不定	不定	不定	不定
	R/W :	R	R	R	R

## \$ 018 タイマモードレジスタ D1 TMD1 : タイマ D

ビット :	3	2	1	0
	TMD13	TMD12	TMD11	TMD10
初期値 :	0	0	0	0
R/W :	W	W	W	W

タイマDクロック選択

TMD12	TMD11	TMD10	入力クロックソース
0	0	0	2048 $t_{cyc}$
		1	512 $t_{cyc}$
	1	0	128 $t_{cyc}$
		1	32 $t_{cyc}$
1	0	0	8 $t_{cyc}$
		1	4 $t_{cyc}$
	1	0	2 $t_{cyc}$
		1	EVND (外部イベント入力端子)

タイマD機能選択

0	フリーランニングタイマ
1	リロードタイマ

【注】 タイマDに外部イベント入力を設定する場合、PMR2のPMR21ビットを1に設定してください。

## \$ 019 タイマモードレジスタ D2 TMD2 : タイマ D

ビット :	3	2	1	0
	-	TMD22	TMD21	TMD20
初期値 :	-	0	0	0
R/W :	-	W	W	W

## EVND端子検出エッジ選択

TMD21	TMD20	EVND端子検出エッジ
0	0	検出しない
	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
	1	立ち下がり / 立ち上がり両エッジ検出

## インプットキャプチャ設定

0	フリーランニング / リロードタイマ
1	インプットキャプチャタイマ

## \$ 024 シリアルモードレジスタ 1 SMR1 : シリアルインタフェース

ビット :	3	2	1	0
	SMR13	SMR12	SMR11	SMR10
初期値 :	0	0	0	0
R/W :	W	W	W	W

## 転送クロック選択

SMR13	SMR12	SMR11	SMR10	SCK端子	転送 クロックソース	転送クロック (PSS分周比÷2または4)	転送 クロック周期
0	0	0	0	出力	PSS	$(PER / 2048) \div 2$	4096 t <sub>cyc</sub>
			1	出力	PSS	$(PER / 512) \div 2$	1024 t <sub>cyc</sub>
		1	0	出力	PSS	$(PER / 128) \div 2$	256 t <sub>cyc</sub>
			1	出力	PSS	$(PER / 32) \div 2$	64 t <sub>cyc</sub>
	1	0	0	出力	PSS	$(PER / 8) \div 2$	16 t <sub>cyc</sub>
			1	出力	PSS	$(PER / 2) \div 2$	4 t <sub>cyc</sub>
		1	0	出力	システムクロック	PER	t <sub>cyc</sub>
			1	入力	外部クロック	-	-
1	0	0	0	出力	PSS	$(PER / 2048) \div 4$	8192 t <sub>cyc</sub>
			1	出力	PSS	$(PER / 512) \div 4$	2048 t <sub>cyc</sub>
		1	0	出力	PSS	$(PER / 128) \div 4$	512 t <sub>cyc</sub>
			1	出力	PSS	$(PER / 32) \div 4$	128 t <sub>cyc</sub>
	1	0	0	出力	PSS	$(PER / 8) \div 4$	32 t <sub>cyc</sub>
			1	出力	PSS	$(PER / 2) \div 4$	8 t <sub>cyc</sub>
		1	0	出力	システムクロック	PER	t <sub>cyc</sub>
			1	入力	外部クロック	-	-

## \$ 025 シリアルモードレジスタ 2 SMR2 : シリアルインタフェース

ビット :	3	2	1	0
	-	SMR22	SMR21	-
初期値 :	-	0	不定	-
R/W :	-	W	W	-

## アイドル時High/Low制御

0	アイドル時、SO端子はLowレベル出力
1	アイドル時、SO端子はHighレベル出力

R2<sub>2</sub>/SI/SO端子出力バッファ制御

0	PMOSアクティブ
1	PMOSオフ (NMOSオープンドレイン出力)

\$ 026、\$ 027 シリアルデータレジスタ L、U SRL、SRU : シリアルインタフェース

ビット :	7	6	5	4	3	2	1	0
	SRU				SRL			
	SR7	SR6	SR5	SR4	SR3	SR2	SR1	SR0
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

\$ 028 A/D モードレジスタ AMR : A/D コンバータ

ビット :	3	2	1	0
	AMR3	AMR2	AMR1	AMR0
初期値 :	0	0	0	0
R/W :	W	W	W	W

A/D変換時間選択

0	65 t <sub>cyc</sub>
1	125 t <sub>cyc</sub>

アナログ入力チャンネル選択

AMR3	AMR2	AMR1	入力チャンネル
0	0	任意	非選択
	1	0	AN <sub>0</sub>
		1	AN <sub>1</sub>
1	0	0	AN <sub>2</sub>
		1	AN <sub>3</sub>
		1	AN <sub>5</sub>
	1	0	AN <sub>4</sub>
		1	AN <sub>5</sub>



## \$02A、\$02B A/D データレジスタ L、U ADRL、ADRU : A/D コンバータ

	ビット :	3	2	1	0
ADRU		ADRU3	ADRU2	ADRU1	ADRU0
初期値 :		0	1	1	1
R/W :		R	R	R	R

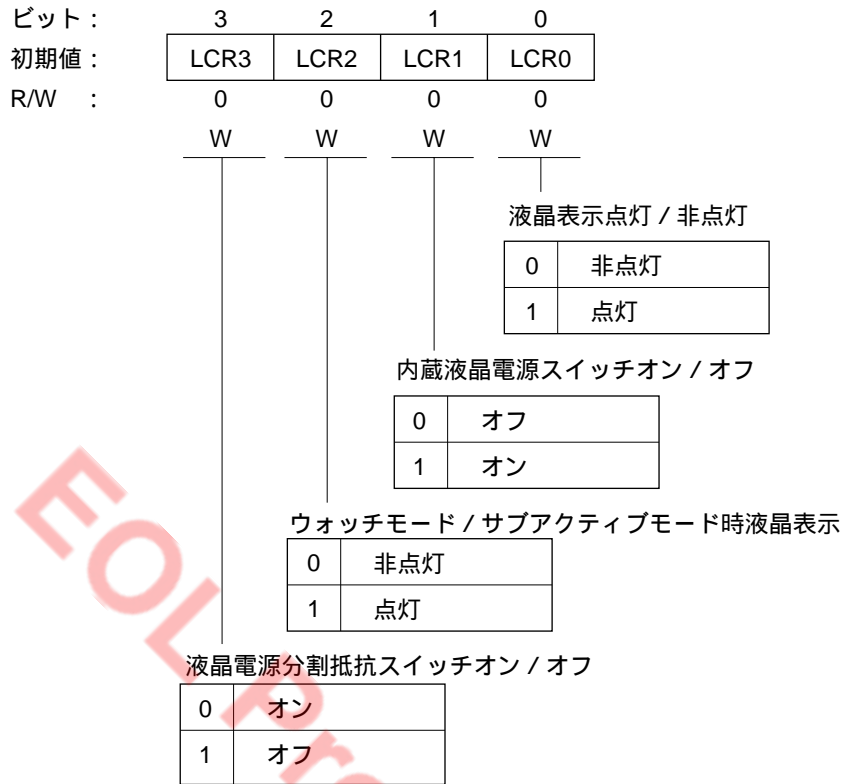
A/D変換データ (上位4ビット)

	ビット :	3	2	1	0
ADRL		ADRL3	ADRL2	ADRL1	ADRL0
初期値 :		1	1	1	1
R/W :		R	R	R	R

A/D変換データ (下位4ビット)

EOL Product

\$ 02C 液晶表示制御レジスタ LCR : 液晶表示回路



\$ 02D 液晶表示モードレジスタ LMR : 液晶表示回路



デューティ	LMR3	LMR2	フレーム周期								
			f <sub>OSC</sub> = 400kHz 時		f <sub>OSC</sub> = 800kHz 時		f <sub>OSC</sub> = 2.0MHz 時		f <sub>OSC</sub> = 4.0MHz 時		
			4分周	32分周	4分周	32分周	4分周	32分周	4分周	32分周	
スタティック	0	0	CL0	256Hz							
		1	CL1	128Hz							
	1	0	CL2	390.6Hz	48.8Hz	781.3Hz	97.7Hz	1953Hz	244.1Hz	3906Hz	488.3Hz
		1	CL3*	48.8Hz	6.1Hz	97.7Hz	12.2Hz	244.1Hz	30.5Hz	488.3Hz	61.0Hz
64Hz											

デューティ	LMR3	LMR2	フレーム周期								
			f <sub>OSC</sub> = 400kHz 時		f <sub>OSC</sub> = 800kHz 時		f <sub>OSC</sub> = 2.0MHz 時		f <sub>OSC</sub> = 4.0MHz 時		
			4分周	32分周	4分周	32分周	4分周	32分周	4分周	32分周	
1/2	0	0	CL0	128Hz							
		1	CL1	64Hz							
	1	0	CL2	195.3Hz	24.4Hz	390.6Hz	48.8Hz	976.6Hz	122.1Hz	1953Hz	244.1Hz
		1	CL3*	24.4Hz	3.1Hz	48.8Hz	6.1Hz	122.1Hz	15.3Hz	244.1Hz	30.5Hz
32Hz											

デューティ	LMR3	LMR2	フレーム周期								
			f <sub>OSC</sub> = 400kHz 時		f <sub>OSC</sub> = 800kHz 時		f <sub>OSC</sub> = 2.0MHz 時		f <sub>OSC</sub> = 4.0MHz 時		
			4分周	32分周	4分周	32分周	4分周	32分周	4分周	32分周	
1/3	0	0	CL0	85.3Hz							
		1	CL1	42.7Hz							
	1	0	CL2	130.1Hz	16.3Hz	260.2Hz	32.5Hz	650Hz	81.3Hz	1301Hz	162.6Hz
		1	CL3*	16.3Hz	2.0Hz	32.5Hz	4.1Hz	81.3Hz	10.2Hz	162.6Hz	20.3Hz
21.3Hz											

デューティ	LMR3	LMR2	フレーム周期								
			f <sub>OSC</sub> = 400kHz 時		f <sub>OSC</sub> = 800kHz 時		f <sub>OSC</sub> = 2.0MHz 時		f <sub>OSC</sub> = 4.0MHz 時		
			4分周	32分周	4分周	32分周	4分周	32分周	4分周	32分周	
1/4	0	0	CL0	64Hz							
		1	CL1	32Hz							
	1	0	CL2	97.7Hz	12.2Hz	195.3Hz	24.4Hz	488.3Hz	61.0Hz	976.6Hz	122.1Hz
		1	CL3*	12.2Hz	1.5Hz	24.4Hz	3.1Hz	61.0Hz	7.6Hz	122.1Hz	15.3Hz
16Hz											

## \$ 02E ブザーモードレジスタ BMR : ブザー出力回路

ビット :	3	2	1	0
	BMR3	BMR2	BMR1	BMR0
初期値 :	0	0	0	0
R/W :	W	W	W	W

## BUZZ端子出力制御

BMR2	BMR1	BMR0	BUZZ端子出力
0	0	任意	タイマBオーバーフローの2分周
	1		タイマCオーバーフローの2分周
1	0	0	PERクロック
		1	1/2 PERクロック
	1	0	1/3 PERクロック
		1	1/4 PERクロック

クロック出力制御 ( BMR2 = 1の場合有効、ビット操作命令 )

0	停止 ( Lowレベル )
1	出力

## C. ROM 発注手順

### C.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2 組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、弊社では図 C.1 の流れ図に沿って ROM 書き換え品の開発を行います。

表 C.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社担当営業へお問い合わせください。

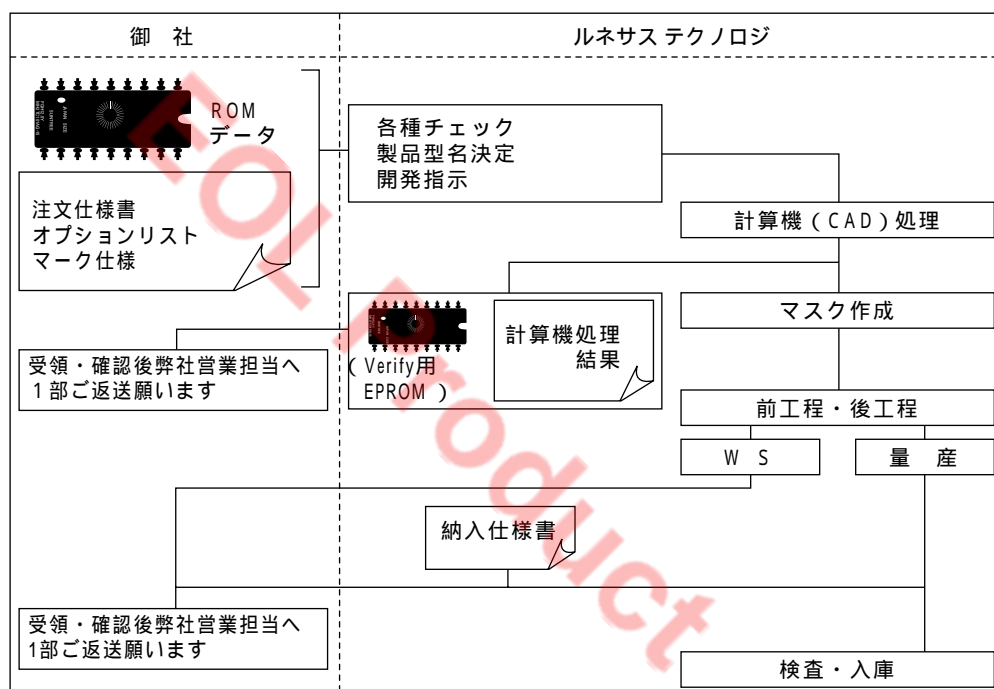


図 C.1 ROM 書き換え品開発の流れ

表 C.1 ROM 発注時に必要な提出物

発注媒体	EPROM または ZTAT <sup>®</sup> マイコン
提出物	ROM データ
	注文仕様書
	オプションリスト* <sup>1</sup>
	マーク仕様例* <sup>2</sup>

【注】 \*1 製品シリーズにより必要ないものがあります。また、内容も異なります。

\*2 特別仕様の場合には、提出してください。

## C.2 ROM 発注時の提出物と注意事項

提出していただく ROM データは、次の注意事項にしたがって、EPROM または ZTAT<sup>®</sup> マイコンで提出してください。なお、EPROM または ZTAT<sup>®</sup> マイコン以外の媒体（フロッピーディスク等）では対応できませんのでご注意ください。

- (1) EPROM に ROM データを書き込む際は、事前にデータを充分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用 EPROM において、ROM データの未使用（NOT USED）領域またはリザーブ領域には、必ず'FF'を書き込んでください。
- (3) 4ビットマイコンでは、実際に使用する ROM データと、マスクに描画するデータの領域が異なる製品があります。その場合、未使用（NOT USED）領域またはリザーブ領域には必ず'FF'を書き込んでください。
- (4) 4ビットマイコンを発注される場合は、EPROM に書き込まれるデータの上位3ビットはすべて“1”としてください。他のデータが書き込まれていると、ルネサス テクノロジより提出する確認用 EPROM とのペリファイチェックで、エラーとなることがあります。
- (5) 提出していただく EPROM には遮光ラベルを貼り、御社の品番等を記入してください。また、上位ビット、下位ビットを別々に分けるなど、内容の異なった EPROM が複数個ある場合には、その内容が識別できるように表示してください。
- (6) EPROM に書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導伝性のシートに梱包するなど取り扱いに充分注意してください（アルミ箔、発泡スチロール等は不可）。なお、これらによるデータの読み取りエラーに備え、同一内容の EPROM を2組以上提出してください。

## D. オプションリスト

HD404888、HD4048812、HD404889 のオプションリスト

選択する仕様に対し 内にチェック ( 、、 ) をつけてください。

発注年月日	年 月 日
貴社名	
所属	
御芳名	
ROM コード名	
LSI 型名 (ルネサス テクノロジ記入)	

### (1) ROM サイズ

HD404888	8K ワード
HD4048812	12K ワード
HD404889	16K ワード

### (2) 機能オプション

*	32kHz CPU 動作あり、時計用タイムベースあり
*	32kHz CPU 動作なし、時計用タイムベースあり
	32kHz CPU 動作なし、時計用タイムベースなし

【注】 \*部のオプション選択時には、サブシステム発振器 (X1 - X2) の「水晶発振子」が必要となります。

### (3) ROM コードデータ構成

EPROM 搭載形マイコン (ZTAT<sup>®</sup>マイコンを含む) は、下位上位混合タイプを指定してください。

<p>下位上位混合タイプ データの低位 5 ビット (L)、上位 5 ビット (U) を混合して LULULU.. の順に一つの EPROM に書き込んだもの。</p>
<p>下位上位分離タイプ データの低位 5 ビット (L)、上位 5 ビット (U) をそれぞれ別々の EPROM に書き込んだもの。</p>

### (4) システム発振器 (OSC1 - OSC2)

セラミック発振子	f =      MHz
水晶発振子	f =      MHz
外部クロック	f =      MHz

次頁につづく

(5) サブシステム発振器 (X1 - X2)

使用しない	-
水晶発振子	f = 32.768kHz

(6) ストップモード

有 (使用)
無 (未使用)

(7) パッケージ

FP-80A
TFP-80C

EOL Product

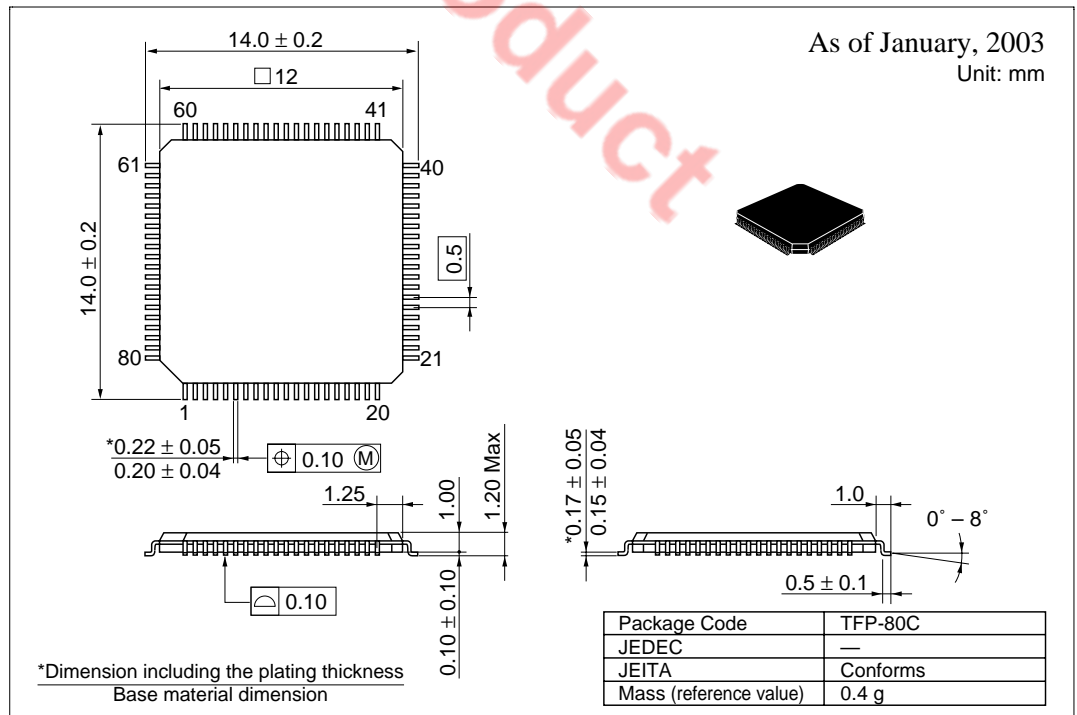
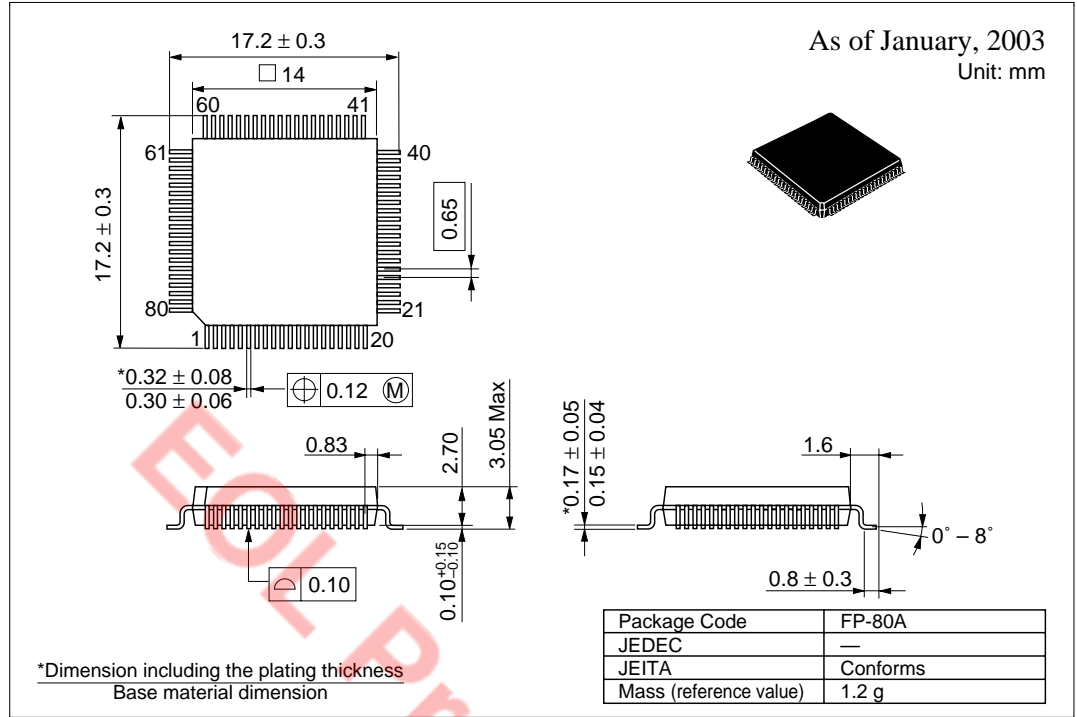


## E. 型名一覧

表 E.1 HD404889 シリーズ型名一覧

区分	製品型名	マーク型名	パッケージ (パッケージコード)
マスク ROM 版	HD404888	HD404888H	80 ピン FP (FP-80A)
		HD404888TE	80 ピン TFP (TFP-80C)
	HD4048812	HD4048812H	80 ピン FP (FP-80A)
		HD4048812TE	80 ピン TFP (TFP-80C)
	HD404889	HD404889H	80 ピン FP (FP-80A)
		HD404889TE	80 ピン TFP (TFP-80C)
ZTAT <sup>®</sup> 版	HD4074889	HD4074889H	80 ピン FP (FP-80A)
		HD4074889TE	80 ピン TFP (TFP-80C)

## F. 外形寸法図



EOL Product

---

HD404889シリーズ ハードウェアマニュアル

発行年月 1996年11月 第1版

2003年8月29日 Rev.3.00

発行 株式会社ルネサステクノロジ 営業企画統括部

〒100-0004 東京都千代田区大手町2-6-2

編集 株式会社ルネサス小平セミコン 技術ドキュメント部

---

©1996, 2003 Renesas Technology Corp. All rights reserved. Printed in Japan.

株式会社ルネサス テクノロジ 営業企画統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

RENESAS

営業お問合せ窓口

<http://www.renesas.com>

ルネサス販売本社	〒100-0005	千代田区丸の内1-8-2 (第二鉄鋼ビル)	(03) 3215-8600
東京支社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西東京支社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札幌支店	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東北支社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
いわき支店	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨城支社	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新潟支店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松本支社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中部営業本部	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜松支店	〒430-7710	浜松市板屋町111-2 (浜松アクタワー10F)	(053) 451-2131
西部営業本部	〒541-0044	大阪市中央区伏見町4-1-1 (大阪明治生命館ランドアクシスタワー10F)	(06) 6233-9500
北陸支社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
中国支社	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
松山支店	〒790-0003	松山市三番町4-4-6 (GEエジソンビル松山2号館3F)	(089) 933-9595
鳥取支店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九州支社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿児島支店	〒890-0053	鹿児島市中央町12-2 (明治生命西鹿児島ビル2F)	(099) 256-9021

技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：カスタマサポートセンター E-Mail: [csc@renesas.com](mailto:csc@renesas.com)

EOL Product

HD404889 シリーズ  
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

RJ09B0064-0300H