

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

16 H8S/2668グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ

H8Sファミリ／H8S/2600シリーズ

H8S/2667F-ZTAT™ HD64F2667

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりますと、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際は、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。

未使用の入力端子は、入力をプルアップかプルダウンによって、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。

リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられています。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 本版で改訂された箇所

改訂履歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。改訂内容のすべてについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

5. 目次
6. 概要
7. 各機能モジュールの説明
 - ・CPU およびシステム制御系
 - ・内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項、
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。
必ずお読みください。(使用上の注意事項は必要により記載されます。)

8. レジスタ一覧
9. 電気的特性
10. 付録
11. 索引

はじめに

H8S/2668 グループは、ルネサスオリジナルアーキテクチャを採用した H8S/2600 CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータ (MCU) です。

H8S/2600 CPU は、内部 32 ビット構成で、16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。

システム構成に必要な機能としては、データ転送ファコンローラ (DTC) のバスマスタ、ROM、RAM のメモリ、16 ビットタイマパルスユニット (TPU)、プログラマブルパルスジェネレータ (PPG)、8 ビットタイマ (TMR)、ウォッチドッグタイマ (WDT)、シリアルコミュニケーションインタフェース (SCI、IrDA)、10 ビット A/D 変換器、8 ビット D/A 変換器、I/O ポートの周辺機能などを内蔵しています。

また、高機能バスコントローラを内蔵し、DRAM、SDRAM などの各種のメモリを高速かつ容易に接続できます。

内蔵 ROM は単一電源フラッシュメモリ (F-ZTAT™*)、マスク ROM があり、仕様流動性の高い応用機器、量産初期から本格的量産の各状況に応じた迅速かつ柔軟な対応が可能です。

【注】F-ZTAT™ は (株) ルネサス テクノロジーの商標です。

対象者 このマニュアルは、H8S/2668 グループを用いた応用システムを設計するユーザを対象としています。このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、H8S/2668 グループのハードウェア機能と電気的特性をユーザに理解して頂くことを目的としています。なお、実行命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」に記載していますので併せて御覧ください。

読み方

- 機能全体を理解しようとするとき。
目次に従って読んでください。
本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU機能の詳細を理解したいとき。
別冊の「H8S/2600シリーズ、H8S/2000シリーズ ソフトウェアマニュアル」を参照してください。
- レジスタ名が分かっていて、詳細機能を知りたいとき。
本書の後ろに「索引」があります。索引からページ番号を検索してください。
「第20章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

凡例 レジスタ表記 : 16 ビットタイムパルスユニット、シリアルコミュニケーションインタフェースなど、
同一または類似した機能が複数チャンネルに存在する場合に次の表記を使用します。

XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記順 : 左側が上位ビット、右側が下位ビットの順に表記します。

数字の表記 : 2 進数は B'XXXX、16 進数は H'XXXX、10 進数は XXXX

信号の表記 : ローアクティブの信号にはオーバーバーを付けます。XXXX

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。

(<http://japan.renesas.com/homepage.jsp>)

- H8S/2668グループに関するユーザーズマニュアル

資料名	資料番号
H8S/2668 グループ ハードウェアマニュアル	本マニュアル
H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル	RJJ09B0143

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンケージエディタ ユーザーズマニュアル	ADJ - 702 - 303
H8S、H8/300 シリーズシミュレータ・デバッガ (Windows 版) ユーザーズマニュアル	ADJ - 702 - 163
H8S、H8/300 シリーズシミュレータ・デバッガ (UNIX 版) ユーザーズマニュアル	ADJ - 702 - 355
H8S、H8/300 シリーズ High-performance Embedded Workshop、 High-performance Debugging Interface チュートリアル	ADJ 702 307
High-performance Embedded Workshop ユーザーズマニュアル	ADJ - 702 - 275

- アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラパッケージ アプリケーションノート	RJJ05B0558
F-ZTAT マイコンテクニカル Q&A	ADJ - 502 - 055

本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）
全体		<ul style="list-style-type: none">• 社名変更による変更 日立製作所 ルネサス テクノロジ• 呼称変更による変更 H8S/2668 シリーズ H8S/2668 グループ

目次

1.	概要	1-1
1.1	特長	1-1
1.2	内部ブロック図	1-2
1.3	端子説明	1-3
1.3.1	ピン配置図	1-3
1.3.2	動作モード別ピン配置一覧	1-4
1.3.3	端子機能	1-9
2.	CPU	2-1
2.1	特長	2-1
2.1.1	H8S/2600 CPU と H8S/2000 CPU との相違点	2-2
2.1.2	H8/300 CPU との相違点	2-3
2.1.3	H8/300H CPU との相違点	2-3
2.2	CPU動作モード	2-4
2.2.1	ノーマルモード	2-4
2.2.2	アドバンスモード	2-6
2.3	アドレス空間	2-8
2.4	レジスタの構成	2-9
2.4.1	汎用レジスタ	2-10
2.4.2	プログラムカウンタ (PC)	2-11
2.4.3	エクステンドレジスタ (EXR)	2-11
2.4.4	コンディションコードレジスタ (CCR)	2-12
2.4.5	積和レジスタ (MAC)	2-13
2.4.6	CPU 内部レジスタの初期値	2-13
2.5	データ形式	2-14
2.5.1	汎用レジスタのデータ形式	2-14
2.5.2	メモリ上でのデータ形式	2-15
2.6	命令セット	2-17
2.6.1	命令の機能別一覧	2-18
2.6.2	命令の基本フォーマット	2-27
2.7	アドレッシングモードと実効アドレスの計算方法	2-28
2.7.1	レジスタ直接 Rn	2-29
2.7.2	レジスタ間接 @ERn	2-29
2.7.3	ディスプレイメント付きレジスタ @ (d:16,ERn) / @ (d:32,ERn)	2-29

2.7.4	ポストインクリメントレジスタ間接@ERn+/ プリデクリメントレジスタ間接@-ERn	2-29
2.7.5	絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32	2-30
2.7.6	イミディエイト #xx:8/#xx:16/#xx:32	2-30
2.7.7	プログラムカウンタ相対 @(d:8, PC)/@(d:16, PC)	2-30
2.7.8	メモリ間接 @@aa:8	2-31
2.7.9	実効アドレスの計算方法	2-32
2.8	処理状態	2-34
2.9	使用上の注意事項	2-35
2.9.1	ビット操作命令使用上の注意事項	2-35
3.	MCU 動作モード	3-1
3.1	動作モードの選択	3-1
3.2	レジスタの説明	3-2
3.2.1	モードコントロールレジスタ (MDCR)	3-2
3.2.2	システムコントロールレジスタ (SYSCR)	3-2
3.3	各動作モードの説明	3-3
3.3.1	モード 1	3-3
3.3.2	モード 2	3-3
3.3.3	モード 3	3-4
3.3.4	モード 4	3-4
3.3.5	モード 5	3-4
3.3.6	モード 6	3-4
3.3.7	モード 7	3-5
3.3.8	端子機能	3-5
3.4	各動作モードのアドレスマップ	3-6
4.	例外処理	4-1
4.1	例外処理の種類と優先度	4-1
4.2	例外処理要因とベクタテーブル	4-2
4.3	リセット	4-3
4.3.1	リセット例外処理	4-3
4.3.2	リセット直後の割り込み	4-5
4.3.3	リセット解除後の内蔵周辺機能	4-5
4.4	トレース例外処理	4-6
4.5	割り込み例外処理	4-6
4.6	トラップ命令例外処理	4-7
4.7	例外処理後のスタックの状態	4-8
4.8	使用上の注意事項	4-9

5.	割り込みコントローラ	5-1
5.1	特長	5-1
5.2	入出力端子	5-2
5.3	レジスタの説明	5-3
5.3.1	割り込みコントロールレジスタ (INTCR)	5-3
5.3.2	インタラプトプライオリティレジスタ A ~ K (IPRA ~ IPRK)	5-4
5.3.3	IRQ イネーブルレジスタ (IER)	5-5
5.3.4	IRQ センسコントロールレジスタ (ISCR)	5-6
5.3.5	IRQ ステータスレジスタ (ISR)	5-8
5.3.6	IRQ 端子セレクトレジスタ (ITSR)	5-8
5.3.7	ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ (SSIER)	5-9
5.4	割り込み要因	5-9
5.4.1	外部割り込み要因	5-9
5.4.2	内部割り込み	5-10
5.5	割り込み例外処理ベクタテーブル	5-11
5.6	割り込み制御モードと割り込み動作	5-15
5.6.1	割り込み制御モード 0	5-15
5.6.2	割り込み制御モード 2	5-17
5.6.3	割り込み例外処理シーケンス	5-19
5.6.4	割り込み応答時間	5-20
5.6.5	割り込みによる DTC の起動	5-21
5.7	使用上の注意事項	5-23
5.7.1	割り込みの発生とディスエーブルとの競合	5-23
5.7.2	割り込みを禁止している命令	5-24
5.7.3	割り込み禁止期間	5-24
5.7.4	EEPMOV 命令実行中の割り込み	5-24
5.7.5	IRQ 端子セレクトレジスタ (ITSR) 設定の変更	5-24
5.7.6	IRQ ステータスレジスタ (ISR) について	5-24
6.	バスコントローラ (BSC)	6-1
6.1	特長	6-1
6.2	入出力端子	6-3
6.3	レジスタの説明	6-3
6.3.1	バス幅コントロールレジスタ (ABWCR)	6-4
6.3.2	アクセスステートコントロールレジスタ (ASTCR)	6-4
6.3.3	ウェイトコントロールレジスタ AH、AL、BH、BL (WTCRAH、WTCRAL、WTCRBH、WTCRBL)	6-5
6.3.4	リードストロブタイミングコントロールレジスタ (RDNCR)	6-9
6.3.5	\overline{CS} アサート期間コントロールレジスタ H、L (CSACRH、CSACRL)	6-9
6.3.6	バスコントロールレジスタ (BCR)	6-11

6.4	バス制御	6-13
6.4.1	エリア分割	6-13
6.4.2	バス仕様	6-14
6.4.3	メモリインタフェース	6-16
6.4.4	チップセレクト信号	6-17
6.5	基本バスインタフェース	6-18
6.5.1	データサイズとデータアライメント	6-18
6.5.2	有効ストロープ	6-19
6.5.3	基本動作タイミング	6-20
6.5.4	ウェイト制御	6-27
6.5.5	リードストロープ (\overline{RD}) タイミング	6-28
6.5.6	チップセレクト (\overline{CS}) アサート期間拡張	6-29
6.6	アイドルサイクル	6-30
6.6.1	動作説明	6-30
6.6.2	アイドルサイクルでの端子状態	6-33
6.7	ライトデータバッファ機能	6-34
6.8	バス権解放	6-34
6.8.1	動作説明	6-35
6.8.2	外部バス権解放状態での端子状態	6-35
6.8.3	遷移タイミング	6-36
6.9	バスアービトレーション	6-37
6.9.1	動作説明	6-37
6.9.2	バス権移行タイミング	6-37
6.10	リセットとバスコントローラ	6-38
6.11	使用上の注意事項	6-38
6.11.1	外部バス権解放機能と全モジュールクロックストップモード	6-38
6.11.2	外部バス権解放機能とソフトウェアスタンバイ	6-38
6.11.3	BREQO 出力タイミング	6-38
7.	データトランスファコントローラ (DTC)	7-1
7.1	特長	7-1
7.2	レジスタの説明	7-2
7.2.1	DTC モードレジスタ A (MRA)	7-3
7.2.2	DTC モードレジスタ B (MRB)	7-4
7.2.3	DTC ソースアドレスレジスタ (SAR)	7-4
7.2.4	DTC デスティネーションアドレスレジスタ (DAR)	7-4
7.2.5	DTC 転送カウントレジスタ A (CRA)	7-5
7.2.6	DTC 転送カウントレジスタ B (CRB)	7-5
7.2.7	DTC イネーブルレジスタ A ~ G (DTCERA ~ DTCERG)	7-5
7.2.8	DTC ベクタレジスタ (DTVECR)	7-6

7.3	起動要因	7-7
7.4	レジスタ情報の配置とDTCベクタテーブル	7-8
7.5	動作説明	7-11
7.5.1	ノーマルモード	7-12
7.5.2	リピートモード	7-13
7.5.3	ブロック転送モード	7-14
7.5.4	チェイン転送	7-15
7.5.5	割り込み要因	7-16
7.5.6	動作タイミング	7-17
7.5.7	DTC 実行ステート数	7-18
7.6	DTC使用手順	7-19
7.6.1	割り込みによる起動	7-19
7.6.2	ソフトウェアによる起動	7-19
7.7	DTC使用例	7-20
7.7.1	ノーマルモード	7-20
7.7.2	チェイン転送	7-20
7.7.3	転送カウンタ=0のときのチェイン転送	7-21
7.7.4	ソフトウェア起動	7-22
7.8	使用上の注意事項	7-23
7.8.1	モジュールストップモードの設定	7-23
7.8.2	内蔵 RAM	7-23
7.8.3	DTCE ビットの設定	7-23
8.	I/O ポート	8-1
8.1	ポート1	8-6
8.1.1	ポート1 データディレクションレジスタ (PIDDDR)	8-6
8.1.2	ポート1 データレジスタ (PIDR)	8-6
8.1.3	ポート1 レジスタ (PORT1)	8-7
8.1.4	端子機能	8-7
8.2	ポート2	8-13
8.2.1	ポート2 データディレクションレジスタ (P2DDR)	8-13
8.2.2	ポート2 データレジスタ (P2DR)	8-13
8.2.3	ポート2 レジスタ (PORT2)	8-14
8.2.4	端子機能	8-14
8.3	ポート3	8-20
8.3.1	ポート3 データディレクションレジスタ (P3DDR)	8-20
8.3.2	ポート3 データレジスタ (P3DR)	8-20
8.3.3	ポート3 レジスタ (PORT3)	8-21
8.3.4	ポート3 オープンドレインコントロールレジスタ (P3ODR)	8-21
8.3.5	ポートファンクションコントロールレジスタ2 (PFCR2)	8-22

8.3.6	端子機能	8-22
8.4	ポート4	8-24
8.4.1	ポート4レジスタ (PORT4)	8-24
8.5	ポート5	8-25
8.5.1	ポート5データディレクションレジスタ (P5DDR)	8-25
8.5.2	ポート5データレジスタ (P5DR)	8-25
8.5.3	ポート5レジスタ (PORT5)	8-26
8.5.4	端子機能	8-26
8.6	ポート6	8-29
8.6.1	ポート6データディレクションレジスタ (P6DDR)	8-29
8.6.2	ポート6データレジスタ (P6DR)	8-29
8.6.3	ポート6レジスタ (PORT6)	8-30
8.6.4	端子機能	8-30
8.7	ポート7	8-32
8.7.1	ポート7データディレクションレジスタ (P7DDR)	8-32
8.7.2	ポート7データレジスタ (P7DR)	8-32
8.7.3	ポート7レジスタ (PORT7)	8-33
8.8	ポート8	8-33
8.8.1	ポート8データディレクションレジスタ (P8DDR)	8-33
8.8.2	ポート8データレジスタ (P8DR)	8-34
8.8.3	ポート8レジスタ (PORT8)	8-34
8.8.4	端子機能	8-35
8.9	ポートA	8-36
8.9.1	ポートAデータディレクションレジスタ (PADDR)	8-36
8.9.2	ポートAデータレジスタ (PADR)	8-37
8.9.3	ポートAレジスタ (PORTA)	8-38
8.9.4	ポートAプルアップMOSコントロールレジスタ (PAPCR)	8-38
8.9.5	ポートAオープンドレインコントロールレジスタ (PAODR)	8-39
8.9.6	ポートファンクションコントロールレジスタ1 (PFCR1)	8-39
8.9.7	端子機能	8-40
8.9.8	ポートA入力プルアップMOSの状態	8-41
8.10	ポートB	8-41
8.10.1	ポートBデータディレクションレジスタ (PBDDR)	8-41
8.10.2	ポートBデータレジスタ (PBDR)	8-42
8.10.3	ポートBレジスタ (PORTB)	8-42
8.10.4	ポートBプルアップMOSコントロールレジスタ (PBPCR)	8-43
8.10.5	端子機能	8-43
8.10.6	ポートB入力プルアップMOSの状態	8-43
8.11	ポートC	8-44
8.11.1	ポートCデータディレクションレジスタ (PCDDR)	8-44
8.11.2	ポートCデータレジスタ (PCDR)	8-45

8.11.3	ポートCレジスタ (PORTC)	8-45
8.11.4	ポートCプルアップMOSコントロールレジスタ (PCPCR)	8-46
8.11.5	端子機能	8-46
8.11.6	ポートC入力プルアップMOSの状態	8-46
8.12	ポートD	8-47
8.12.1	ポートDデータディレクションレジスタ (PDDDR)	8-47
8.12.2	ポートDデータレジスタ (PDDR)	8-48
8.12.3	ポートDレジスタ (PORTD)	8-48
8.12.4	ポートDプルアップMOSコントロールレジスタ (PDPCR)	8-49
8.12.5	モード別端子機能	8-49
8.12.6	ポートD入力プルアップMOSの状態	8-49
8.13	ポートE	8-50
8.13.1	ポートEデータディレクションレジスタ (PEDDR)	8-50
8.13.2	ポートEデータレジスタ (PEDR)	8-51
8.13.3	ポートEレジスタ (PORTE)	8-51
8.13.4	ポートEプルアップMOSコントロールレジスタ (PEPCR)	8-52
8.13.5	端子機能	8-52
8.13.6	ポートE入力プルアップMOSの状態	8-53
8.14	ポートF	8-53
8.14.1	ポートFデータディレクションレジスタ (PFDDR)	8-54
8.14.2	ポートFデータレジスタ (PFDR)	8-55
8.14.3	ポートFレジスタ (PORTF)	8-55
8.14.4	端子機能	8-56
8.15	ポートG	8-58
8.15.1	ポートGデータディレクションレジスタ (PGDDR)	8-58
8.15.2	ポートGデータレジスタ (PGDR)	8-59
8.15.3	ポートGレジスタ (PORTG)	8-59
8.15.4	ポートファンクションコントロールレジスタ0 (PFCR0)	8-60
8.15.5	端子機能	8-60
8.16	ポートH	8-62
8.16.1	ポートHデータディレクションレジスタ (PHDDR)	8-62
8.16.2	ポートHデータレジスタ (PHDR)	8-62
8.16.3	ポートHレジスタ (PORTH)	8-63
8.16.4	端子機能	8-63
9.	16ビットタイマパルスユニット (TPU)	9-1
9.1	特長	9-1
9.2	入出力端子	9-5
9.3	レジスタの説明	9-6
9.3.1	タイマコントロールレジスタ (TCR)	9-8

9.3.2	タイマモードレジスタ (TMDR)	9-11
9.3.3	タイマ I/O コントロールレジスタ (TIOR)	9-12
9.3.4	タイマインタラプトイネーブルレジスタ (TIER)	9-29
9.3.5	タイマステータスレジスタ (TSR)	9-30
9.3.6	タイマカウンタ (TCNT)	9-32
9.3.7	タイマジェネラルレジスタ (TGR)	9-32
9.3.8	タイマスタートレジスタ (TSTR)	9-33
9.3.9	タイマシンクロレジスタ (TSYR)	9-33
9.4	動作説明	9-34
9.4.1	基本動作	9-34
9.4.2	同期動作	9-39
9.4.3	バッファ動作	9-41
9.4.4	カスケード接続動作	9-44
9.4.5	PWM モード	9-46
9.4.6	位相計数モード	9-51
9.5	割り込み要因	9-56
9.6	DTCの起動	9-58
9.7	A/D変換器の起動	9-58
9.8	動作タイミング	9-59
9.8.1	入出力タイミング	9-59
9.8.2	割り込み信号タイミング	9-63
9.9	使用上の注意事項	9-66
9.9.1	モジュールストップモードの設定	9-66
9.9.2	入力クロックの制限事項	9-66
9.9.3	周期設定上の注意事項	9-67
9.9.4	TCNT のライトとクリアの競合	9-68
9.9.5	TCNT のライトとカウントアップの競合	9-68
9.9.6	TGR のライトとコンペアマッチの競合	9-69
9.9.7	バッファレジスタのライトとコンペアマッチの競合	9-69
9.9.8	TGR のリードとインプットキャプチャの競合	9-70
9.9.9	TGR のライトとインプットキャプチャの競合	9-71
9.9.10	バッファレジスタのライトとインプットキャプチャの競合	9-71
9.9.11	オーバフロー/アンダフローとカウンタクリアの競合	9-72
9.9.12	TCNT のライトとオーバフロー/アンダフローの競合	9-73
9.9.13	入出力端子の兼用	9-73
9.9.14	モジュールストップ時の割り込み	9-73
10.	プログラマブルパルスジェネレータ (PPG)	10-1
10.1	特長	10-1
10.2	入出力端子	10-3

10.3	レジスタの説明	10-3
10.3.1	ネクストデータインーブルレジスタ H、L (NDERH、NDERL)	10-4
10.3.2	アウトプットデータレジスタ H、L (PODRH、PODRL)	10-5
10.3.3	ネクストデータレジスタ H、L (NDRH、NDRL)	10-6
10.3.4	PPG 出力コントロールレジスタ (PCR)	10-8
10.3.5	PPG 出力モードレジスタ (PMR)	10-9
10.4	動作説明	10-10
10.4.1	出力タイミング	10-11
10.4.2	通常動作のパルス出力設定手順例	10-12
10.4.3	パルス出力通常動作例 (5 相パルス出力例)	10-13
10.4.4	パルス出力ノンオーバーラップ動作	10-14
10.4.5	ノンオーバーラップ動作のパルス出力設定手順例	10-16
10.4.6	パルス出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力例)	10-17
10.4.7	パルス反転出力	10-19
10.4.8	インプットキャプチャによるパルス出力	10-20
10.5	使用上の注意事項	10-20
10.5.1	モジュールストップモードの設定	10-20
10.5.2	パルス出力端子の動作	10-20
11.	8 ビットタイマ (TMR)	11-1
11.1	特長	11-1
11.2	入出力端子	11-3
11.3	レジスタの説明	11-3
11.3.1	タイマカウンタ (TCNT)	11-4
11.3.2	タイムコンスタントレジスタ A (TCORA)	11-4
11.3.3	タイムコンスタントレジスタ B (TCORB)	11-4
11.3.4	タイマコントロールレジスタ (TCR)	11-5
11.3.5	タイマコントロール/ステータスレジスタ (TCSR)	11-7
11.4	動作説明	11-9
11.4.1	パルス出力	11-9
11.5	動作タイミング	11-10
11.5.1	TCNT のカウントタイミング	11-10
11.5.2	コンペアマッチ時の CMFA、CMFB フラグのセットタイミング	11-10
11.5.3	コンペアマッチ時のタイマ出力タイミング	11-11
11.5.4	コンペアマッチによるカウンタクリアタイミング	11-11
11.5.5	TCNT の外部リセットタイミング	11-12
11.5.6	オーバフローフラグ (OVF) のセットタイミング	11-12
11.6	カスケード接続時の動作	11-13
11.6.1	16 ビットカウントモード	11-13
11.6.2	コンペアマッチカウントモード	11-13

11.7	割り込み要因	11-14
11.7.1	割り込み要因と DTC 起動	11-14
11.7.2	A/D 変換器の起動	11-14
11.8	使用上の注意	11-14
11.8.1	TCNT のライトとカウンタクリアの競合	11-14
11.8.2	TCNT のライトとカウントアップの競合	11-15
11.8.3	TCOR のライトとコンペアマッチの競合	11-16
11.8.4	コンペアマッチ A、B の競合	11-16
11.8.5	内部クロックの切り替えと TCNT の動作	11-17
11.8.6	カスケード接続時のモード設定	11-18
11.8.7	モジュールストップモード時の割り込み	11-18
12.	ウォッチドッグタイマ (WDT)	12-1
12.1	特長	12-1
12.2	入出力端子	12-2
12.3	レジスタの説明	12-2
12.3.1	タイマカウンタ (TCNT)	12-2
12.3.2	タイマコントロール/ステータスレジスタ (TCSR)	12-3
12.3.3	リセットコントロール/ステータスレジスタ (RSTCSR)	12-4
12.4	動作説明	12-5
12.4.1	ウォッチドッグタイマモード	12-5
12.4.2	インターバルタイマモード	12-6
12.5	割り込み要因	12-6
12.6	使用上の注意事項	12-7
12.6.1	レジスタアクセス時の注意	12-7
12.6.2	タイマカウンタ (TCNT) のライトとカウントアップの競合	12-8
12.6.3	CKS2 ~ CKS0 ビットの書き換え	12-8
12.6.4	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	12-8
12.6.5	ウォッチドッグタイマモードでの内部リセット	12-9
12.6.6	$\overline{\text{WDTOVF}}$ 信号によるシステムのリセット	12-9
13.	シリアルコミュニケーションインタフェース (SCI、IrDA)	13-1
13.1	特長	13-1
13.2	入出力端子	13-3
13.3	レジスタの説明	13-3
13.3.1	レシーブシフトレジスタ (RSR)	13-4
13.3.2	レシーブデータレジスタ (RDR)	13-4
13.3.3	トランスミットデータレジスタ (TDR)	13-4
13.3.4	トランスミットシフトレジスタ (TSR)	13-5
13.3.5	シリアルモードレジスタ (SMR)	13-5

13.3.6	シリアルコントロールレジスタ (SCR)	13-7
13.3.7	シリアルステータスレジスタ (SSR)	13-9
13.3.8	スマートカードモードレジスタ (SCMR)	13-13
13.3.9	ビットレートレジスタ (BRR)	13-14
13.3.10	IrDA コントロールレジスタ (IrCR)	13-22
13.3.11	シリアル拡張モードレジスタ (SEMR)	13-23
13.4	調歩同期式モードの動作.....	13-24
13.4.1	送受信フォーマット	13-24
13.4.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	13-26
13.4.3	クロック	13-27
13.4.4	SCI の初期化 (調歩同期式)	13-28
13.4.5	データ送信 (調歩同期式)	13-29
13.4.6	シリアルデータ受信 (調歩同期式)	13-31
13.5	マルチプロセッサ通信機能.....	13-34
13.5.1	マルチプロセッサシリアルデータ送信	13-35
13.5.2	マルチプロセッサシリアルデータ受信	13-36
13.6	クロック同期式モードの動作.....	13-39
13.6.1	クロック	13-39
13.6.2	SCI の初期化.....	13-40
13.6.3	シリアルデータ送信 (クロック同期式)	13-41
13.6.4	シリアルデータ受信 (クロック同期式)	13-43
13.6.5	シリアルデータ送受信同時動作 (クロック同期式)	13-45
13.7	スマートカードインタフェースの動作説明	13-47
13.7.1	接続例	13-47
13.7.2	データフォーマット (ブロック転送モード時を除く)	13-48
13.7.3	ブロック転送モード	13-49
13.7.4	受信データサンプリングタイミングと受信マージン.....	13-50
13.7.5	初期設定	13-51
13.7.6	データ送信 (ブロック転送モードを除く)	13-52
13.7.7	シリアルデータ受信 (ブロック転送モードを除く)	13-55
13.7.8	クロック出力制御	13-57
13.8	IrDA動作.....	13-59
13.9	割り込み要因.....	13-62
13.9.1	通常のシリアルコミュニケーションインタフェースモードにおける割り込み	13-62
13.9.2	スマートカードインタフェースモードにおける割り込み.....	13-63
13.10	使用上の注意事項	13-64
13.10.1	モジュールストップモードの設定.....	13-64
13.10.2	ブレークの検出と処理について.....	13-64
13.10.3	マーク状態とブレークの送出.....	13-64
13.10.4	受信エラーフラグと送信動作について (クロック同期式モードのみ)	13-64
13.10.5	TDR へのライトと TDRE フラグの関係について	13-64

13.10.6	DTC 使用上の制約事項.....	13-65
13.10.7	モード遷移時の動作について.....	13-65
14.	A/D 変換器.....	14-1
14.1	特長.....	14-1
14.2	入出力端子.....	14-3
14.3	レジスタの説明.....	14-4
14.3.1	A/D データレジスタ A ~ H (ADDR _A ~ ADDR _H)	14-4
14.3.2	A/D コントロール/ステータスレジスタ (ADCSR)	14-5
14.3.3	A/D コントロールレジスタ (ADCR)	14-6
14.4	動作説明.....	14-6
14.4.1	シングルモード.....	14-6
14.4.2	スキャンモード.....	14-7
14.4.3	入力サンプリングと A/D 変換時間.....	14-7
14.4.4	外部トリガ入力タイミング.....	14-9
14.5	割り込み要因.....	14-9
14.6	A/D変換精度の定義.....	14-10
14.7	使用上の注意事項.....	14-12
14.7.1	モジュールストップモードの設定.....	14-12
14.7.2	許容信号源インピーダンスについて.....	14-12
14.7.3	絶対精度への影響.....	14-12
14.7.4	アナログ電源端子他の設定範囲.....	14-13
14.7.5	ボード設計上の注意.....	14-13
14.7.6	ノイズ対策上の注意.....	14-13
15.	D/A 変換器.....	15-1
15.1	特長.....	15-1
15.2	入出力端子.....	15-2
15.3	レジスタの説明.....	15-2
15.3.1	D/A データレジスタ 0 ~ 3 (DADR ₀ ~ DADR ₃)	15-2
15.3.2	D/A コントロールレジスタ 01、23 (DACR ₀₁ 、DACR ₂₃)	15-3
15.4	動作説明.....	15-5
15.5	使用上の注意事項.....	15-6
15.5.1	モジュールストップモードの設定.....	15-6
15.5.2	ソフトウェアスタンバイモード時の D/A 出力保持機能.....	15-6
16.	RAM.....	16-1
17.	フラッシュメモリ (F-ZTAT 版)	17-1
17.1	特長.....	17-1

17.2	モード遷移図	17-3
17.3	ブロック構成	17-6
17.4	入出力端子	17-7
17.5	レジスタの説明	17-7
17.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	17-8
17.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	17-9
17.5.3	消去ブロック指定レジスタ 1 (EBR1)	17-9
17.5.4	消去ブロック指定レジスタ 2 (EBR2)	17-10
17.5.5	RAM エミュレーションレジスタ (RAMER)	17-11
17.6	オンボードプログラミングモード	17-12
17.6.1	ブートモード	17-12
17.6.2	ユーザプログラムモード	17-15
17.7	RAMによるフラッシュメモリのエミュレーション	17-16
17.8	フラッシュメモリの書き込み/消去	17-19
17.8.1	プログラム/プログラムベリファイ	17-19
17.8.2	イレース/イレースベリファイ	17-21
17.8.3	フラッシュメモリの書き込み/消去時の割り込み	17-21
17.9	書き込み/消去プロテクト	17-23
17.9.1	ハードウェアプロテクト	17-23
17.9.2	ソフトウェアプロテクト	17-23
17.9.3	エラープロテクト	17-23
17.10	ライターモード	17-24
17.11	フラッシュメモリの低消費電力動作	17-24
17.12	使用上の注意事項	17-24
18.	クロック発振器	18-1
18.1	レジスタの説明	18-2
18.1.1	システムクロックコントロールレジスタ (SCKCR)	18-2
18.1.2	PLL コントロールレジスタ (PLLCR)	18-3
18.2	発振器	18-3
18.2.1	水晶発振子を接続する方法	18-3
18.2.2	外部クロックを入力する方法	18-4
18.3	PLL回路	18-6
18.4	分周器	18-6
18.5	使用上の注意事項	18-6
18.5.1	クロック発振器に関する使用上の注意事項	18-6
18.5.2	発振子に関する注意事項	18-7
18.5.3	ボード設計上の注意事項	18-7

19. 低消費電力状態	19-1
19.1 レジスタの説明	19-4
19.1.1 スタンバイコントロールレジスタ (SBYCR)	19-4
19.1.2 モジュールストップコントロールレジスタ H、L (MSTPCR _H 、MSTPCR _L)	19-6
19.2 動作説明	19-7
19.2.1 クロック分周モード	19-7
19.2.2 スリープモード	19-7
19.2.3 ソフトウェアスタンバイモード	19-8
19.2.4 ハードウェアスタンバイモード	19-11
19.2.5 モジュールストップモード	19-12
19.2.6 全モジュールクロックストップモード	19-12
19.3 クロック出力制御	19-12
19.4 使用上の注意事項	19-13
19.4.1 I/O ポートの状態	19-13
19.4.2 発振安定待機中の消費電流	19-13
19.4.3 DTC のモジュールストップ	19-13
19.4.4 内蔵周辺モジュールの割り込み	19-13
19.4.5 MSTPCR のライト	19-13
20. レジスタ一覧	20-1
20.1 レジスタアドレス一覧 (アドレス順)	20-2
20.2 レジスタビット一覧	20-9
20.3 各動作モードにおけるレジスタの状態	20-18
21. 電気的特性	21-1
21.1 F-ZTAT版 (H8S/2667) の電気的特性	21-1
21.1.1 絶対最大定格	21-1
21.1.2 DC 特性	21-2
21.1.3 AC 特性	21-4
21.1.4 A/D 変換特性	21-20
21.1.5 D/A 変換特性	21-20
21.1.6 フラッシュメモリ特性	21-21
付録	付録-1
A. 各処理状態におけるポートの状態	付録-1
B. 型名一覧	付録-7
C. 外形寸法図	付録-8
索引	索引-1

図目次

1. 概要	
図 1.1	内部ブロック図1-2
図 1.2	ピン配置図1-3
2. CPU	
図 2.1	例外処理ベクタテーブル（ノーマルモード）2-5
図 2.2	ノーマルモードのスタック構造2-5
図 2.3	例外処理ベクタテーブル（アドバンスモード）2-6
図 2.4	アドバンスモードのスタック構造2-7
図 2.5	アドレス空間2-8
図 2.6	CPU 内部レジスタ構成2-9
図 2.7	汎用レジスタの使用法2-10
図 2.8	スタックの状態2-11
図 2.9	汎用レジスタのデータ形式（1）2-14
図 2.9	汎用レジスタのデータ形式（2）2-15
図 2.10	メモリ上でのデータ形式2-16
図 2.11	命令フォーマットの例2-28
図 2.12	メモリ間接による分岐アドレスの指定2-31
図 2.13	状態遷移図2-35
3. MCU 動作モード	
図 3.1	H8S/2667 の各動作モードのアドレスマップ（1）3-6
図 3.2	H8S/2667 の各動作モードのアドレスマップ（2）3-7
4. 例外処理	
図 4.1	リセットシーケンス（アドバンスモード/内蔵 ROM 有効）4-4
図 4.2	リセットシーケンス（アドバンスモード/内蔵 ROM 無効）4-5
図 4.3	例外処理終了後のスタックの状態4-8
図 4.4	SP を奇数に設定したときの動作4-9
5. 割り込みコントローラ	
図 5.1	割り込みコントローラのブロック図5-2
図 5.2	IRQ7 ~ IRQ0 割り込みのブロック図5-10
図 5.3	割り込み制御モード 0 の割り込み受け付けまでのフロー5-16

図 5.4	割り込み制御モード 2 の割り込み受け付けまでのフロー	5-18
図 5.5	割り込み例外処理	5-19
図 5.6	DTC と割り込みコントローラ	5-21
図 5.7	割り込みの発生とディスエーブルの競合	5-23
6. バスコントローラ (BSC)		
図 6.1	バスコントローラのブロック図	6-2
図 6.2	リードストローブネゲートタイミング (3 ステートアクセス空間の場合)	6-9
図 6.3	\overline{CS} 、アドレスアサート期間拡張 (3 ステートアクセス空間、 $RDN_n=0$ の場合)	6-10
図 6.4	エリア分割の様子	6-13
図 6.5	\overline{CS}_n 信号出力タイミング ($n=0\sim 7$)	6-17
図 6.6	アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)	6-18
図 6.7	アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)	6-19
図 6.8	8 ビット 2 ステートアクセス空間のバスタイミング	6-20
図 6.9	8 ビット 3 ステートアクセス空間のバスタイミング	6-21
図 6.10	16 ビット 2 ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)	6-22
図 6.11	16 ビット 2 ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)	6-23
図 6.12	16 ビット 2 ステートアクセス空間のバスタイミング (ワードアクセス)	6-24
図 6.13	16 ビット 3 ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)	6-25
図 6.14	16 ビット 3 ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)	6-26
図 6.15	16 ビット 3 ステートアクセス空間のバスタイミング (ワードアクセス)	6-27
図 6.16	ウェイトステート挿入タイミング例	6-28
図 6.17	リードストローブタイミング例	6-29
図 6.18	チップセレクトアサート期間拡張時タイミング例	6-30
図 6.19	アイドルサイクル動作例 (異なるエリア間での連続リード)	6-31
図 6.20	アイドルサイクル動作例 (リード後のライト)	6-32
図 6.21	アイドルサイクル動作例 (ライト後のリード)	6-32
図 6.22	チップセレクト (\overline{CS}) とリード (\overline{RD}) の関係	6-33
図 6.23	ライトデータバッファ機能使用時のタイミング例	6-34
図 6.24	バス権解放状態遷移タイミング	6-36
7. データトランスファコントローラ (DTC)		
図 7.1	DTC のブロック図	7-2
図 7.2	DTC 起動要因制御ブロック図	7-7
図 7.3	アドレス空間上での DTC レジスタ情報の配置	7-8
図 7.4	DTC 動作フローチャート	7-11
図 7.5	ノーマルモードのメモリマップ	7-13
図 7.6	リピートモードのメモリマップ	7-14
図 7.7	ブロック転送モードのメモリマップ	7-15
図 7.8	チェイン転送の動作	7-16

図 7.9	DTC の動作タイミング (ノーマルモード、リピートモードの例)	7-17
図 7.10	DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2 の例)	7-17
図 7.11	DTC の動作タイミング (チェイン転送の例)	7-17
図 7.12	カウンタ=0 のときのチェイン転送	7-22

9. 16 ビットタイムパルスユニット (TPU)

図 9.1	TPU のブロック図	9-4
図 9.2	カウンタ動作設定手順例	9-34
図 9.3	フリーランニングカウンタの動作	9-35
図 9.4	周期カウンタの動作	9-36
図 9.5	コンペアマッチによる波形出力動作例	9-36
図 9.6	0 出力/1 出力の動作例	9-37
図 9.7	トグル出力の動作例	9-37
図 9.8	インプットキャプチャ動作の設定例	9-38
図 9.9	インプットキャプチャ動作例	9-39
図 9.10	同期動作の設定手順例	9-40
図 9.11	同期動作の動作例	9-41
図 9.12	コンペアマッチバッファ動作	9-42
図 9.13	インプットキャプチャバッファ動作	9-42
図 9.14	バッファ動作の設定手順例	9-42
図 9.15	バッファ動作例 (1)	9-43
図 9.16	バッファ動作例 (2)	9-44
図 9.17	カスケード接続動作設定手順	9-45
図 9.18	カスケード接続動作例 (1)	9-45
図 9.19	カスケード接続動作例 (2)	9-46
図 9.20	PWM モードの設定手順例	9-48
図 9.21	PWM モードの動作例 (1)	9-48
図 9.22	PWM モードの動作例 (2)	9-49
図 9.23	PWM モードの動作例 (3)	9-50
図 9.24	位相計数モードの設定手順例	9-51
図 9.25	位相計数モード 1 の動作例	9-52
図 9.26	位相計数モード 2 の動作例	9-53
図 9.27	位相計数モード 3 の動作例	9-54
図 9.28	位相計数モード 4 の動作例	9-55
図 9.29	位相計数モードの応用例	9-56
図 9.30	内部クロック動作時のカウントタイミング	9-59
図 9.31	外部クロック動作時のカウントタイミング	9-59
図 9.32	アウトプットコンペア出力タイミング	9-60
図 9.33	インプットキャプチャ入力信号タイミング	9-60
図 9.34	カウンタクリアタイミング (コンペアマッチ)	9-61

図 9.35	カウンタクリアタイミング (インプットキャプチャ)	9-61
図 9.36	バッファ動作タイミング (コンペアマッチ)	9-62
図 9.37	バッファ動作タイミング (インプットキャプチャ)	9-62
図 9.38	TGI 割り込みタイミング (コンペアマッチ)	9-63
図 9.39	TGI 割り込みタイミング (インプットキャプチャ)	9-64
図 9.40	TCIV 割り込みのセットタイミング	9-64
図 9.41	TCIU 割り込みのセットタイミング	9-65
図 9.42	CPU によるステータスフラグのクリアタイミング	9-65
図 9.43	DTC の起動によるステータスフラグのクリアタイミング	9-66
図 9.44	位相計数モード時の位相差、オーバーラップ、およびパルス幅	9-67
図 9.45	TCNT のライトとクリアの競合	9-68
図 9.46	TCNT のライトとカウントアップの競合	9-68
図 9.47	TGR のライトとコンペアマッチの競合	9-69
図 9.48	バッファレジスタのライトとコンペアマッチの競合	9-70
図 9.49	TGR のリードとインプットキャプチャの競合	9-70
図 9.50	TGR のライトとインプットキャプチャの競合	9-71
図 9.51	バッファレジスタのライトとインプットキャプチャの競合	9-72
図 9.52	オーバフローとカウンタクリアの競合	9-72
図 9.53	TCNT のライトとオーバフローの競合	9-73

10. プログラマブルパルスジェネレータ (PPG)

図 10.1	PPG のブロック図	10-2
図 10.2	PPG 概要図	10-10
図 10.3	NDR の内容が転送・出力されるタイミング例	10-11
図 10.4	パルス出力通常動作の設定手順例	10-12
図 10.5	パルス出力通常動作例 (5 相パルス出力例)	10-13
図 10.6	パルス出力ノンオーバーラップ動作	10-14
図 10.7	ノンオーバーラップ動作と NDR ライトタイミング	10-15
図 10.8	パルス出力ノンオーバーラップ動作の設定手順例	10-16
図 10.9	パルス出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力)	10-17
図 10.10	パルス反転出力例	10-19
図 10.11	インプットキャプチャによるパルス出力例	10-20

11. 8 ビットタイマ (TMR)

図 11.1	8 ビットタイマのブロック図	11-2
図 11.2	パルス出力例	11-9
図 11.3	内部クロック動作時のカウントタイミング	11-10
図 11.4	外部クロック動作時のカウントタイミング	11-10
図 11.5	コンペアマッチ時の CMF フラグのセットタイミング	11-11
図 11.6	コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング	11-11

図 11.7	コンペアマッチによるカウンタクリアタイミング	11-11
図 11.8	外部リセット入力によるクリアタイミング	11-12
図 11.9	OVF フラグのセットタイミング	11-12
図 11.10	TCNT のライトとクリアの競合	11-15
図 11.11	TCNT のライトとカウントアップの競合	11-15
図 11.12	TCOR のライトとコンペアマッチの競合	11-16
12.	ウォッチドッグタイマ (WDT)	
図 12.1	WDT のブロック図	12-2
図 12.2	ウォッチドッグタイマモード時の動作	12-5
図 12.3	インターバルタイマモード時の動作	12-6
図 12.4	TCNT、TCSR、RSTCSR へのライト	12-7
図 12.5	TCNT のライトとカウントアップの競合	12-8
図 12.6	WDTOVF 信号によるシステムのリセット回路例	12-9
13.	シリアルコミュニケーションインタフェース (SCI、IrDA)	
図 13.1	SCI のブロック図	13-2
図 13.2	調歩同式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)	13-24
図 13.3	調歩同期モードの受信データサンプリングタイミング	13-26
図 13.4	出力クロックと送信データの位相関係 (調歩同期モード)	13-27
図 13.5	SCI の初期化フローチャートの例	13-28
図 13.6	調歩同期モードの送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	13-29
図 13.7	シリアル送信のフローチャートの例	13-30
図 13.8	SCI の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	13-31
図 13.9	シリアル受信データフローチャートの例 (1)	13-32
図 13.9	シリアル受信データフローチャートの例 (2)	13-33
図 13.10	マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)	13-34
図 13.11	マルチプロセッサシリアル送信のフローチャートの例	13-35
図 13.12	SCI の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例)	13-36
図 13.13	マルチプロセッサシリアル受信のフローチャートの例 (1)	13-37
図 13.13	マルチプロセッサシリアル受信のフローチャートの例 (2)	13-38
図 13.14	クロック同期式通信のデータフォーマット (LSB ファーストの場合)	13-39
図 13.15	SCI の初期化フローチャートの例	13-40
図 13.16	クロック同期モードの送信時の動作例	13-41
図 13.17	シリアル送信のフローチャートの例	13-42
図 13.18	SCI の受信時の動作例	13-43
図 13.19	シリアルデータ受信フローチャートの例	13-44

図 13.20	シリアル送受信同時動作のフローチャートの例	13-46
図 13.21	スマートカードインタフェース端子接続概要	13-47
図 13.22	通常のスマートカードインタフェースのデータフォーマット	13-48
図 13.23	ダイレクトコンベンション ($SDIR = SINV = O\bar{E} = 0$)	13-49
図 13.24	インバースコンベンション ($SDIR = SINV = O\bar{E} = 1$)	13-49
図 13.25	スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)	13-50
図 13.26	SCI 送信モードの場合の再転送動作	13-53
図 13.27	送信動作時の TEND フラグ発生タイミング	13-53
図 13.28	送信処理フローの例	13-54
図 13.29	SCI 受信モードの場合の再転送動作	13-55
図 13.30	受信フローの例	13-56
図 13.31	クロック出力固定タイミング	13-57
図 13.32	クロック停止・再起動手順	13-58
図 13.33	IrDA ブロック図	13-59
図 13.34	IrDA の送信/受信動作	13-60
図 13.35	DTC によるクロック同期式送信時の例	13-65
図 13.36	送信時のモード遷移フローチャートの例	13-66
図 13.37	モード遷移時のポートの端子状態 (内部クロック、調歩同期送信)	13-67
図 13.38	モード遷移時のポートの端子状態 (内部クロック、クロック同期送信)	13-67
図 13.39	受信時のモード遷移フローチャートの例	13-68
14. A/D 変換器		
図 14.1	A/D 変換器のブロック図	14-2
図 14.2	A/D 変換タイミング	14-8
図 14.3	外部トリガ入力タイミング	14-9
図 14.4	A/D 変換精度の定義	14-11
図 14.5	A/D 変換精度の定義	14-11
図 14.6	アナログ入力回路の例	14-12
図 14.7	アナログ入力保護回路の例	14-14
図 14.8	アナログ入力端子等価回路	14-14
15. D/A 変換器		
図 15.1	D/A 変換器のブロック図	15-1
図 15.2	D/A 変換器の動作例	15-5
17. フラッシュメモリ (F-ZTAT 版)		
図 17.1	フラッシュメモリのブロック図	17-2
図 17.2	フラッシュメモリに関する状態遷移	17-3
図 17.3	ブートモード	17-4

図 17.4	ユーザプログラムモード.....	17-5
図 17.5	384k バイトフラッシュメモリのブロック構成 (モード 3、4、7)	17-6
図 17.6	ユーザプログラムモードにおける書き込み/消去例	17-15
図 17.7	RAM によるエミュレーションフロー	17-17
図 17.8	RAM のオーバーラップ例	17-18
図 17.9	プログラム/プログラムベリファイフロー	17-20
図 17.10	イレース/イレースベリファイフロー	17-22
図 17.11	電源投入/切断タイミング	17-26
図 17.12	モード遷移タイミング (例: ブートモード ユーザモード ユーザプログラムモード)	17-27
18.	クロック発振器	
図 18.1	クロック発振器のブロック図.....	18-1
図 18.2	水晶発振子の接続例	18-4
図 18.3	水晶発振子の等価回路.....	18-4
図 18.4	外部クロックの接続例.....	18-5
図 18.5	外部クロック入力タイミング.....	18-5
図 18.6	発振回路部のボード設計に関する注意事項	18-7
図 18.7	PLL 回路の外付け推奨回路.....	18-7
19.	低消費電力状態	
図 19.1	モード遷移図	19-3
図 19.2	ソフトウェアスタンバイモードの応用例	19-10
図 19.3	ハードウェアスタンバイモードのタイミング	19-11
21.	電氣的特性	
図 21.1	出力負荷回路	21-4
図 21.2	システムクロックタイミング	21-5
図 21.3 (1)	発振安定時間タイミング.....	21-5
図 21.3 (2)	発振安定時間タイミング.....	21-6
図 21.4	リセット入力タイミング.....	21-7
図 21.5	割り込み入力タイミング.....	21-7
図 21.6	基本バスタイミング / 2 ステートアクセス	21-10
図 21.7	基本バスタイミング / 3 ステートアクセス	21-11
図 21.8	基本バスタイミング / 3 ステートアクセス 1 ウェイト.....	21-12
図 21.9	基本バスタイミング / 2 ステートアクセス (\overline{CS} アサート期間延長)	21-13
図 21.10	基本バスタイミング / 3 ステートアクセス (\overline{CS} アサート期間延長)	21-14
図 21.11	外部バス権開放タイミング.....	21-15
図 21.12	外部バス権要求出力タイミング	21-15
図 21.13	I/O ポート入出力タイミング	21-17
図 21.14	PPG 出力タイミング	21-17

図 21.15	TPU 入出力タイミング	21-17
図 21.16	TPU クロック入力タイミング	21-18
図 21.17	8 ビットタイマ出力タイミング	21-18
図 21.18	8 ビットタイマクロック入力タイミング	21-18
図 21.19	8 ビットタイマリセット入力タイミング	21-18
図 21.20	WDT 出力タイミング	21-19
図 21.21	SCK クロック入力タイミング	21-19
図 21.22	SCI 入出力タイミング / クロック同期式モード	21-19
図 21.23	A/D 変換器外部トリガ入力タイミング	21-19

付録

図 C.1	外形寸法図 (FP-144H)	付録-8
-------	-----------------------	------

表目次

1. 概要

表 1.1	動作モード別ピン配置一覧.....	1-4
表 1.2	端子機能.....	1-9

2. CPU

表 2.1	命令の分類.....	2-17
表 2.2	オペレーションの記号.....	2-18
表 2.3	データ転送命令.....	2-19
表 2.4	算術演算命令 (1).....	2-20
表 2.4	算術演算命令 (2).....	2-21
表 2.5	論理演算命令.....	2-22
表 2.6	シフト命令.....	2-22
表 2.7	ビット操作命令 (1).....	2-23
表 2.7	ビット操作命令 (2).....	2-24
表 2.8	分岐命令.....	2-25
表 2.9	システム制御命令.....	2-26
表 2.10	ブロック転送命令.....	2-27
表 2.11	アドレッシングモード一覧表.....	2-28
表 2.12	絶対アドレスのアクセス範囲.....	2-30
表 2.13	実行アドレスの計算方法 (1).....	2-32
表 2.13	実行アドレスの計算方法 (2).....	2-33

3. MCU 動作モード

表 3.1	MCU 動作モード.....	3-1
表 3.2	各動作モードにおける端子機能.....	3-5

4. 例外処理

表 4.1	例外処理の種類と優先度.....	4-1
表 4.2	例外処理ベクタテーブル.....	4-2
表 4.3	トレース例外処理後の CCR、EXR の状態.....	4-6
表 4.4	トラップ命令例外処理後の CCR、EXR の状態.....	4-7

5. 割り込みコントローラ

表 5.1	端子構成.....	5-2
-------	-----------	-----

表 5.2	割り込み要因とベクタアドレスおよび割り込み優先順位一覧	5-11
表 5.3	割り込み制御モード	5-15
表 5.4	割り込み応答時間	5-20
表 5.5	割り込み例外処理の実行状態のステート数	5-20
表 5.6	割り込み要因の選択とクリア制御	5-22
6. バスコントローラ (BSC)		
表 6.1	端子構成	6-3
表 6.2	各エリアのバス仕様 (基本バスインタフェース)	6-15
表 6.3	使用するデータバスと有効ストロープ	6-19
表 6.4	アイドルサイクルでの端子状態	6-33
表 6.5	バス権解放状態での端子状態	6-35
7. データトランスファコントローラ (DTC)		
表 7.1	割り込み要因と DTC ベクタアドレスおよび対応する DTCE (1)	7-9
表 7.1	割り込み要因と DTC ベクタアドレスおよび対応する DTCE (2)	7-10
表 7.2	チェイン転送の条件	7-12
表 7.3	ノーマルモードのレジスタ機能	7-12
表 7.4	リピートモードのレジスタ機能	7-13
表 7.5	ブロック転送モードのレジスタ機能	7-14
表 7.6	DTC の実行状態	7-18
表 7.7	実行状態に必要なステート数	7-18
8. I/O ポート		
表 8.1	ポートの機能一覧	8-2
表 8.2	ポート A 入力プルアップ MOS の状態	8-41
表 8.3	ポート B 入力プルアップ MOS の状態	8-44
表 8.4	ポート C 入力プルアップ MOS の状態	8-47
表 8.5	ポート D 入力プルアップ MOS の状態	8-50
表 8.6	ポート E 入力プルアップ MOS の状態	8-53
9. 16 ビットタイマパルスユニット (TPU)		
表 9.1	TPU の機能一覧 (1)	9-2
表 9.1	TPU の機能一覧 (2)	9-3
表 9.2	端子構成	9-5
表 9.3	CCLR2 ~ CCLR0 (チャンネル 0、3)	9-8
表 9.4	CCLR2 ~ CCLR0 (チャンネル 1、2、4、5)	9-9
表 9.5	TPSC2 ~ TPSC0 (チャンネル 0)	9-9
表 9.6	TPSC2 ~ TPSC0 (チャンネル 1)	9-9
表 9.7	TPSC2 ~ TPSC0 (チャンネル 2)	9-10

表 9.8	TPSC2 ~ TPSC0(チャンネル3).....	9-10
表 9.9	TPSC2 ~ TPSC0(チャンネル4).....	9-10
表 9.10	TPSC2 ~ TPSC0(チャンネル5).....	9-11
表 9.11	MD3 ~ MD0.....	9-12
表 9.12	TIORH_0.....	9-13
表 9.13	TIORL_0.....	9-14
表 9.14	TIOR_1.....	9-15
表 9.15	TIOR_2.....	9-16
表 9.16	TIORH_3.....	9-17
表 9.17	TIORL_3.....	9-18
表 9.18	TIOR_4.....	9-19
表 9.19	TIOR_5.....	9-20
表 9.20	TIORH_0.....	9-21
表 9.21	TIORL_0.....	9-22
表 9.22	TIOR_1.....	9-23
表 9.23	TIOR_2.....	9-24
表 9.24	TIORH_3.....	9-25
表 9.25	TIORL_3.....	9-26
表 9.26	TIOR_4.....	9-27
表 9.27	TIOR_5.....	9-28
表 9.28	レジスタの組み合わせ.....	9-41
表 9.29	カスケード接続組み合わせ.....	9-44
表 9.30	各 PWM 出力のレジスタと出力端子.....	9-47
表 9.31	位相計数モードクロック入力端子.....	9-51
表 9.32	位相計数モード1のアップ/ダウンカウント条件.....	9-52
表 9.33	位相計数モード2のアップ/ダウンカウント条件.....	9-53
表 9.34	位相計数モード3のアップ/ダウンカウント条件.....	9-54
表 9.35	位相計数モード4のアップ/ダウンカウント条件.....	9-55
表 9.36	TPU 割り込み一覧.....	9-57
10. プログラマブルパルスジェネレータ (PPG)		
表 10.1	PPG の入出力端子.....	10-3
11. 8ビットタイマ (TMR)		
表 11.1	端子構成.....	11-3
表 11.2	TCNT に入力するクロックとカウント条件.....	11-6
表 11.3	8ビットタイマ TMR_0、TMR_1 の割り込み要因.....	11-14
表 11.4	タイマ出力の優先順位.....	11-16
表 11.5	内部クロックの切り替えと TCNT の動作.....	11-17

12. ウォッチドッグタイマ (WDT)

表 12.1	端子構成	12-2
表 12.2	WDT の割り込み要因	12-6

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 13.1	端子構成	13-3
表 13.2	BRR の設定値 N とビットレート B の関係	13-14
表 13.3	ビットレートに対する BRR の設定例〔調歩同期式モード〕(1)	13-15
表 13.3	ビットレートに対する BRR の設定例〔調歩同期式モード〕(2)	13-16
表 13.3	ビットレートに対する BRR の設定例〔調歩同期式モード〕(3)	13-17
表 13.3	ビットレートに対する BRR の設定例〔調歩同期式モード〕(4)	13-18
表 13.4	各動作周波数における最大ビットレート (調歩同期式モード)	13-19
表 13.5	外部クロック入力時の最大ビットレート (調歩同期式モード)	13-19
表 13.6	ビットレートに対する BRR の設定例〔クロック同期式モード〕	13-20
表 13.7	外部クロック入力時の最大ビットレート (クロック同期式モード)	13-20
表 13.8	ビットレートに対する BRR の設定例 (スマートカードインタフェースモードで $n=0$ 、 $S=372$ のとき)	13-21
表 13.9	各動作周波数における最大ビットレート (スマートカードインタフェースモードで $S=372$ のとき)	13-21
表 13.10	シリアル送信/受信フォーマット (調歩同期式モード)	13-25
表 13.11	SSR のステータスフラグの状態と受信データの処理	13-32
表 13.12	IrCKS2 ~ IrCKS0 ビット設定	13-61
表 13.13	SCI 割り込み要因	13-62
表 13.14	SCI 割り込み要因	13-63

14. A/D 変換器

表 14.1	端子構成	14-3
表 14.2	アナログ入力チャンネルと ADDR の対応	14-4
表 14.3	A/D 変換時間 (シングルモード)	14-8
表 14.4	A/D 変換時間 (スキャンモード)	14-8
表 14.5	A/D 変換器の割り込み要因	14-9
表 14.6	アナログ端子の規格	14-14

15. D/A 変換器

表 15.1	端子構成	15-2
表 15.2	D/A 変換の制御	15-3
表 15.3	D/A 変換の制御	15-4

17. フラッシュメモリ (F-ZTAT 版)

表 17.1	ブートモードとユーザプログラムモードの相違点	17-3
--------	------------------------	------

表 17.2	端子構成	17-7
表 17.3	消去ブロック	17-10
表 17.4	オンボードプログラミングモードの設定方法	17-12
表 17.5	ブートモードの動作	17-14
表 17.6	ビットレート自動合わせ込みが可能なシステムクロック周波数	17-14
表 17.7	フラッシュメモリの動作状態	17-24
18.	クロック発振器	
表 18.1	ダンピング抵抗値	18-4
表 18.2	水晶発振子の特性	18-4
表 18.3	外部クロック入力条件	18-5
19.	低消費電力状態	
表 19.1	各モードでの本 LSI の内部状態	19-2
表 19.2	発振安定時間の設定	19-9
表 19.3	各処理状態における 端子の状態	19-13
21.	電気的特性	
表 21.1	絶対最大定格	21-1
表 21.2	DC 特性 (1)	21-2
表 21.3	DC 特性 (2)	21-3
表 21.4	出力許容電流値	21-4
表 21.5	クロックタイミング	21-5
表 21.6	制御信号タイミング	21-6
表 21.7	バスタイミング (1)	21-8
表 21.8	バスタイミング (2)	21-9
表 21.9	内蔵周辺モジュールタイミング	21-16
表 21.10	A/D 変換特性	21-20
表 21.11	D/A 変換特性	21-20
表 21.12	フラッシュメモリ特性	21-21

1. 概要

1.1 特長

- 16ビット高速H8S/2600 CPU
H8/300 CPU、H8/300H CPUとオブジェクトレベルで上位互換
汎用レジスタ：16ビット×16本
基本命令：69種類
- 豊富な周辺機能
データトランスファコントローラ (DTC)
16ビットタイムパルスユニット(TPU)
プログラマブルパルスジェネレータ(PPG)
8ビットタイマ (TMR)
ウォッチドッグタイマ (WDT)
調歩同期式またはクロック同期式シリアルコミュニケーションインタフェース (SCI)
10ビットA/D変換器
8ビットD/A変換器
クロック発振器

- 内蔵メモリ

ROM タイプ	型名	ROM	RAM
フラッシュメモリ版	HD64F2667	384k バイト	16k バイト

- 汎用入出力ポート
入出力ポート：103本
入力ポート：12本
- 各種低消費電力モードをサポート
- 小型パッケージ

パッケージ	(コード)	ボディサイズ	ピンピッチ
LQFP-144	FP-144H	22.0 × 22.0mm	0.5mm

1. 概要

1.2 内部ブロック図

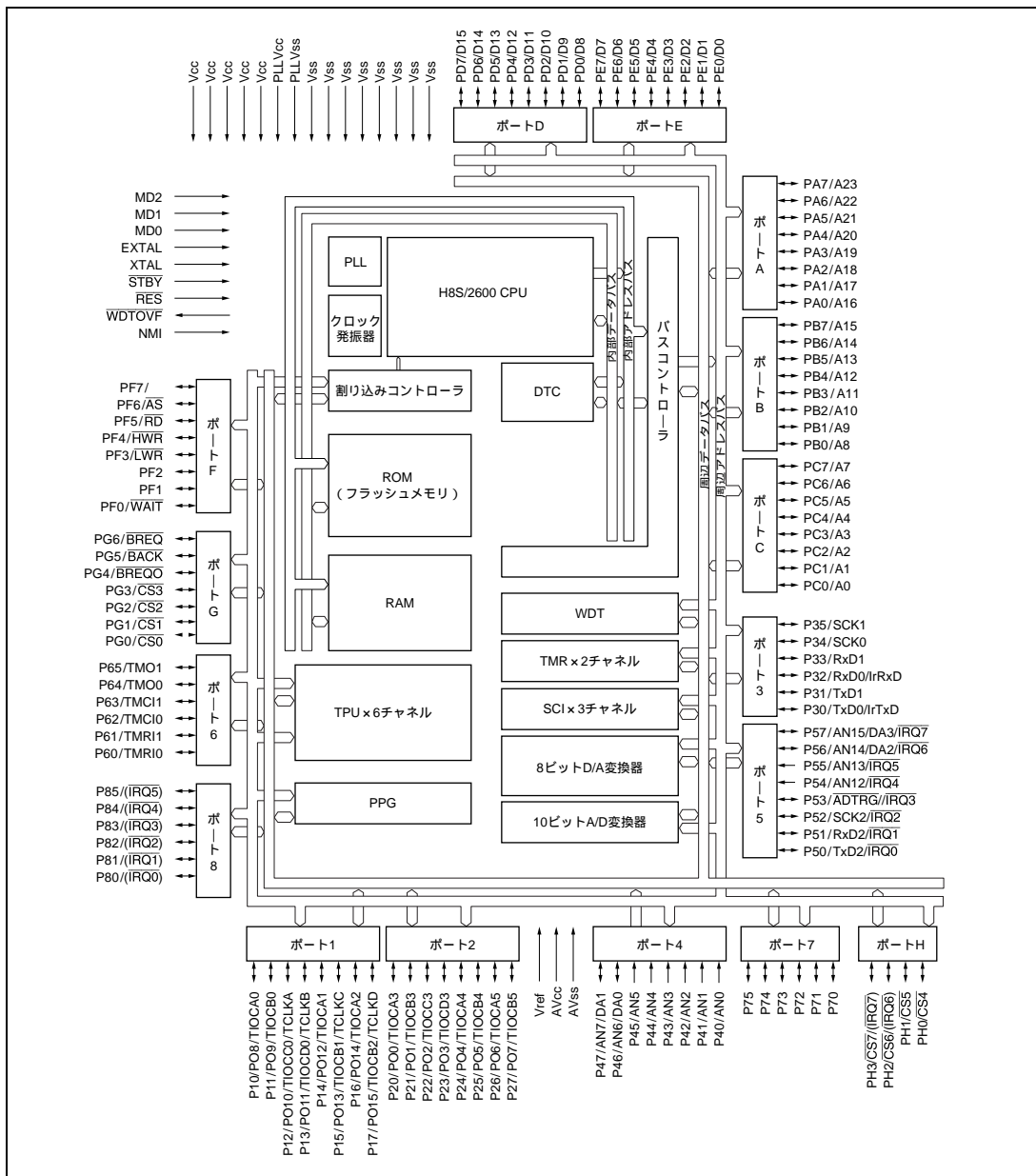


図 1.1 内部ブロック図

1.3 端子説明

1.3.1 ピン配置図

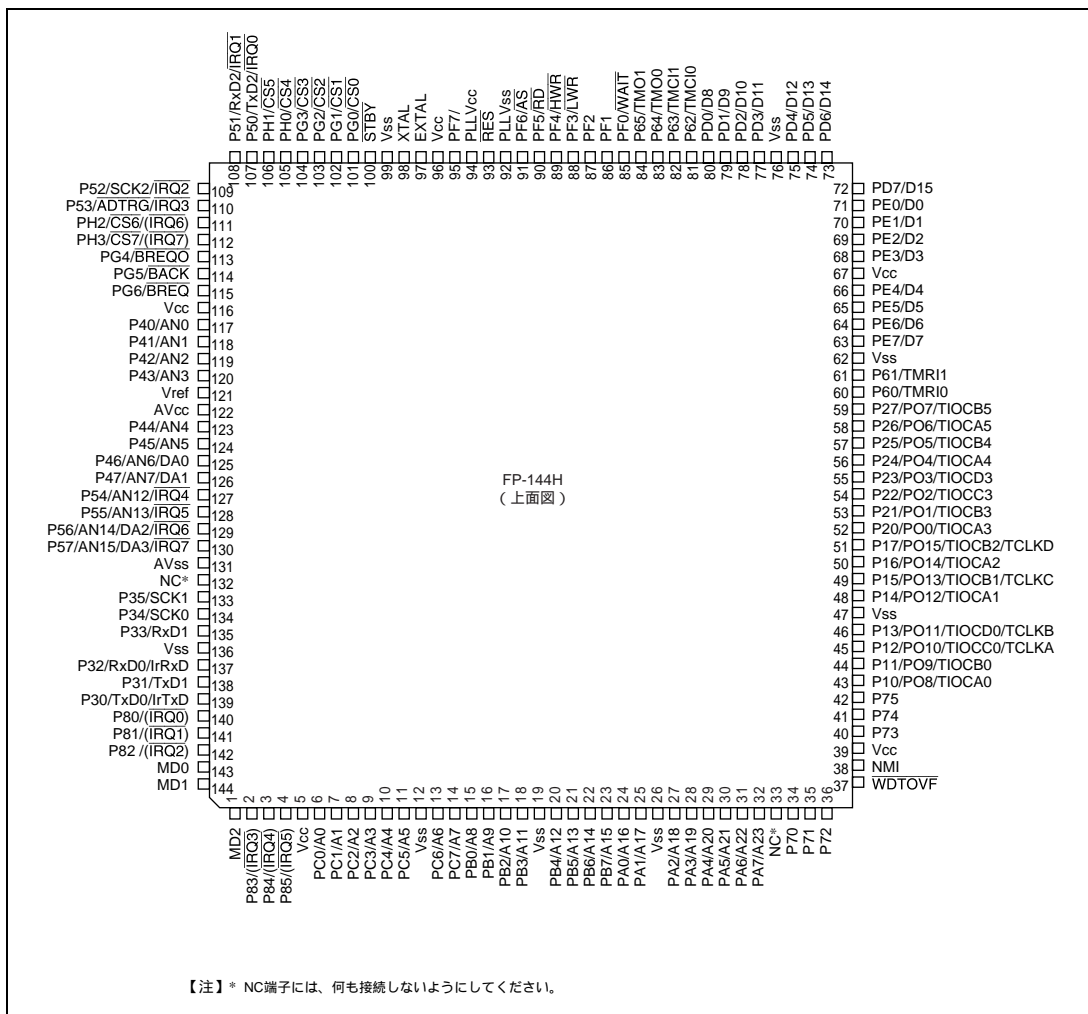


図 1.2 ピン配置図

1. 概要

1.3.2 動作モード別ピン配置一覧

表 1.1 動作モード別ピン配置一覧

ピン 番号	端子名					フラッシュ メモリ ライタモード
	モード 1 モード 5	モード 2 モード 6	モード 4	モード 7		
				EXPE=1	EXPE=0	
1	MD2	MD2	MD2	MD2	MD2	Vss
2	P83/(IRQ3)	P83/(IRQ3)	P83/(IRQ3)	P83/(IRQ3)	P83/(IRQ3)	NC
3	P84/(IRQ4)	P84/(IRQ4)	P84/(IRQ4)	P84/(IRQ4)	P84/(IRQ4)	NC
4	P85/(IRQ5)	P85/(IRQ5)	P85/(IRQ5)	P85/(IRQ5)	P85/(IRQ5)	NC
5	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
6	A0	A0	PC0/A0	PC0/A0	PC0	A0
7	A1	A1	PC1/A1	PC1/A1	PC1	A1
8	A2	A2	PC2/A2	PC2/A2	PC2	A2
9	A3	A3	PC3/A3	PC3/A3	PC3	A3
10	A4	A4	PC4/A4	PC4/A4	PC4	A4
11	A5	A5	PC5/A5	PC5/A5	PC5	A5
12	Vss	Vss	Vss	Vss	Vss	Vss
13	A6	A6	PC6/A6	PC6/A6	PC6	A6
14	A7	A7	PC7/A7	PC7/A7	PC7	A7
15	A8	A8	PB0/A8	PB0/A8	PB0	A8
16	A9	A9	PB1/A9	PB1/A9	PB1	A9
17	A10	A10	PB2/A10	PB2/A10	PB2	A10
18	A11	A11	PB3/A11	PB3/A11	PB3	A11
19	Vss	Vss	Vss	Vss	Vss	Vss
20	A12	A12	PB4/A12	PB4/A12	PB4	A12
21	A13	A13	PB5/A13	PB5/A13	PB5	A13
22	A14	A14	PB6/A14	PB6/A14	PB6	A14
23	A15	A15	PB7/A15	PB7/A15	PB7	A15
24	A16	A16	PA0/A16	PA0/A16	PA0	A16
25	A17	A17	PA1/A17	PA1/A17	PA1	A17
26	Vss	Vss	Vss	Vss	Vss	Vss
27	A18	A18	PA2/A18	PA2/A18	PA2	A18
28	A19	A19	PA3/A19	PA3/A19	PA3	NC
29	A20	A20	PA4/A20	PA4/A20	PA4	NC
30	PA5/A21	PA5/A21	PA5/A21	PA5/A21	PA5	NC
31	PA6/A22	PA6/A22	PA6/A22	PA6/A22	PA6	NC

1. 概要

ピン 番号	端子名					
	モード 1 モード 5	モード 2 モード 6	モード 4	モード 7		フラッシュ メモリ ライトモード
				EXPE=1	EXPE=0	
32	PA7/A23	PA7/A23	PA7/A23	PA7/A23	PA7	NC
33	NC	NC	NC	NC	NC	NC
34	P70	P70	P70	P70	P70	NC
35	P71	P71	P71	P71	P71	NC
36	P72	P72	P72	P72	P72	NC
37	WDTOVF	WDTOVF	WDTOVF	WDTOVF	WDTOVF	NC
38	NMI	NMI	NMI	NMI	NMI	Vcc
39	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
40	P73	P73	P73	P73	P73	NC
41	P74	P74	P74	P74	P74	NC
42	P75	P75	P75	P75	P75	NC
43	P10/PO8/TIOCA0	P10/PO8/TIOCA0	P10/PO8/TIOCA0	P10/PO8/TIOCA0	P10/PO8/TIOCA0	NC
44	P11/PO9/TIOCB0	P11/PO9/TIOCB0	P11/PO9/TIOCB0	P11/PO9/TIOCB0	P11/PO9/TIOCB0	NC
45	P12/PO10/ TIOCC0/TCLKA	P12/PO10/ TIOCC0/TCLKA	P12/PO10/ TIOCC0/TCLKA	P12/PO10/ TIOCC0/TCLKA	P12/PO10/ TIOCC0/TCLKA	NC
46	P13/PO11/ TIOCD0/TCLKB	P13/PO11/ TIOCD0/TCLKB	P13/PO11/ TIOCD0/TCLKB	P13/PO11/ TIOCD0/TCLKB	P13/PO11/ TIOCD0/TCLKB	NC
47	Vss	Vss	Vss	Vss	Vss	Vss
48	P14/PO12/ TIOCA1	P14/PO12/ TIOCA1	P14/PO12/ TIOCA1	P14/PO12/ TIOCA1	P14/PO12/ TIOCA1	NC
49	P15/PO13/ TIOCB1/TCLKC	P15/PO13/ TIOCB1/TCLKC	P15/PO13/ TIOCB1/TCLKC	P15/PO13/ TIOCB1/TCLKC	P15/PO13/ TIOCB1/TCLKC	NC
50	P16/PO14/ TIOCA2	P16/PO14/ TIOCA2	P16/PO14/ TIOCA2	P16/PO14/ TIOCA2	P16/PO14/ TIOCA2	NC
51	P17/PO15/ TIOCB2/TCLKD	P17/PO15/ TIOCB2/TCLKD	P17/PO15/ TIOCB2/TCLKD	P17/PO15/ TIOCB2/TCLKD	P17/PO15/ TIOCB2/TCLKD	NC
52	P20/PO0/TIOCA3	P20/PO0/TIOCA3	P20/PO0/TIOCA3	P20/PO0/TIOCA3	P20/PO0/TIOCA3	NC
53	P21/PO1/TIOCB3	P21/PO1/TIOCB3	P21/PO1/TIOCB3	P21/PO1/TIOCB3	P21/PO1/TIOCB3	NC
54	P22/PO2/TIOCC3	P22/PO2/TIOCC3	P22/PO2/TIOCC3	P22/PO2/TIOCC3	P22/PO2/TIOCC3	\overline{OE}
55	P23/PO3/TIOCD3	P23/PO3/TIOCD3	P23/PO3/TIOCD3	P23/PO3/TIOCD3	P23/PO3/TIOCD3	\overline{CE}
56	P24/PO4/TIOCA4	P24/PO4/TIOCA4	P24/PO4/TIOCA4	P24/PO4/TIOCA4	P24/PO4/TIOCA4	\overline{WE}
57	P25/PO5/TIOCB4	P25/PO5/TIOCB4	P25/PO5/TIOCB4	P25/PO5/TIOCB4	P25/PO5/TIOCB4	Vss
58	P26/PO6/TIOCA5	P26/PO6/TIOCA5	P26/PO6/TIOCA5	P26/PO6/TIOCA5	P26/PO6/TIOCA5	NC
59	P27/PO7/TIOCB5	P27/PO7/TIOCB5	P27/PO7/TIOCB5	P27/PO7/TIOCB5	P27/PO7/TIOCB5	NC
60	P60/TMRI0	P60/TMRI0	P60/TMRI0	P60/TMRI0	P60/TMRI0	NC

1. 概要

ピン 番号	端子名					
	モード 1 モード 5	モード 2 モード 6	モード 4	モード 7		フラッシュ メモリ ライタモード
				EXPE=1	EXPE=0	
61	P61/TMR1	P61/TMR1	P61/TMR1	P61/TMR1	P61/TMR1	NC
62	Vss	Vss	Vss	Vss	Vss	Vss
63	D7	PE7/D7	PE7/D7	PE7/D7	PE7	NC
64	D6	PE6/D6	PE6/D6	PE6/D6	PE6	NC
65	D5	PE5/D5	PE5/D5	PE5/D5	PE5	NC
66	D4	PE4/D4	PE4/D4	PE4/D4	PE4	NC
67	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc
68	D3	PE3/D3	PE3/D3	PE3/D3	PE3	NC
69	D2	PE2/D2	PE2/D2	PE2/D2	PE2	NC
70	D1	PE1/D1	PE1/D1	PE1/D1	PE1	NC
71	D0	PE0/D0	PE0/D0	PE0/D0	PE0	NC
72	D15	D15	D15	D15	PD7	I/O7
73	D14	D14	D14	D14	PD6	I/O6
74	D13	D13	D13	D13	PD5	I/O5
75	D12	D12	D12	D12	PD4	I/O4
76	Vss	Vss	Vss	Vss	Vss	Vss
77	D11	D11	D11	D11	PD3	I/O3
78	D10	D10	D10	D10	PD2	I/O2
79	D9	D9	D9	D9	PD1	I/O1
80	D8	D8	D8	D8	PD0	I/O0
81	P62/TMC10	P62/TMC10	P62/TMC10	P62/TMC10	P62/TMC10	NC
82	P63/TMC11	P63/TMC11	P63/TMC11	P63/TMC11	P63/TMC11	NC
83	P64/TMO0	P64/TMO0	P64/TMO0	P64/TMO0	P64/TMO0	NC
84	P65/TMO1	P65/TMO1	P65/TMO1	P65/TMO1	P65/TMO1	NC
85	PF0/WAIT	PF0/WAIT	PF0/WAIT	PF0/WAIT	PF0	NC
86	PF1	PF1	PF1	PF1	PF1	NC
87	PF2	PF2	PF2	PF2	PF2	NC
88	PF3/LWR	PF3/LWR	PF3/LWR	PF3/LWR	PF3	NC
89	HWR	HWR	HWR	HWR	PF4	NC
90	RD	RD	RD	RD	PF5	NC
91	PF6/AS	PF6/AS	PF6/AS	PF6/AS	PF6	NC
92	PLLvss	PLLvss	PLLvss	PLLvss	PLLvss	Vss
93	RES	RES	RES	RES	RES	RES

ピン 番号	端子名					
	モード 1 モード 5	モード 2 モード 6	モード 4	モード 7		フラッシュ メモリ ライタモード
				EXPE=1	EXPE=0	
94	PLL \overline{Vcc}	PLL \overline{Vcc}	PLL \overline{Vcc}	PLL \overline{Vcc}	PLL \overline{Vcc}	V \overline{cc}
95	PF7/	PF7/	PF7/	PF7/	PF7/	NC
96	V \overline{cc}	V \overline{cc}	V \overline{cc}	V \overline{cc}	V \overline{cc}	V \overline{cc}
97	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL
98	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL
99	V \overline{ss}	V \overline{ss}	V \overline{ss}	V \overline{ss}	V \overline{ss}	V \overline{ss}
100	\overline{STBY}	\overline{STBY}	\overline{STBY}	\overline{STBY}	\overline{STBY}	V \overline{cc}
101	PG0/ $\overline{CS0}$	PG0/ $\overline{CS0}$	PG0/ $\overline{CS0}$	PG0/ $\overline{CS0}$	PG0	NC
102	PG1/ $\overline{CS1}$	PG1/ $\overline{CS1}$	PG1/ $\overline{CS1}$	PG1/ $\overline{CS1}$	PG1	NC
103	PG2/ $\overline{CS2}$	PG2/ $\overline{CS2}$	PG2/ $\overline{CS2}$	PG2/ $\overline{CS2}$	PG2	NC
104	PG3/ $\overline{CS3}$	PG3/ $\overline{CS3}$	PG3/ $\overline{CS3}$	PG3/ $\overline{CS3}$	PG3	NC
105	PH0/ $\overline{CS4}$	PH0/ $\overline{CS4}$	PH0/ $\overline{CS4}$	PH0/ $\overline{CS4}$	PH0	NC
106	PH1/ $\overline{CS5}$	PH1/ $\overline{CS5}$	PH1/ $\overline{CS5}$	PH1/ $\overline{CS5}$	PH1	NC
107	P50/TxD2/ $\overline{IRQ0}$	P50/TxD2/ $\overline{IRQ0}$	P50/TxD2/ $\overline{IRQ0}$	P50/TxD2/ $\overline{IRQ0}$	P50/TxD2/ $\overline{IRQ0}$	V \overline{ss}
108	P51/RxD2/ $\overline{IRQ1}$	P51/RxD2/ $\overline{IRQ1}$	P51/RxD2/ $\overline{IRQ1}$	P51/RxD2/ $\overline{IRQ1}$	P51/RxD2/ $\overline{IRQ1}$	V \overline{ss}
109	P52/SCK2/ $\overline{IRQ2}$	P52/SCK2/ $\overline{IRQ2}$	P52/SCK2/ $\overline{IRQ2}$	P52/SCK2/ $\overline{IRQ2}$	P52/SCK2/ $\overline{IRQ2}$	V \overline{cc}
110	P53/ADTRG/ $\overline{IRQ3}$	P53/ADTRG/ $\overline{IRQ3}$	P53/ADTRG/ $\overline{IRQ3}$	P53/ADTRG/ $\overline{IRQ3}$	P53/ADTRG/ $\overline{IRQ3}$	NC
111	PH2/ $\overline{CS6}$ /($\overline{IRQ6}$)	PH2/ $\overline{CS6}$ /($\overline{IRQ6}$)	PH2/ $\overline{CS6}$ /($\overline{IRQ6}$)	PH2/ $\overline{CS6}$ /($\overline{IRQ6}$)	PH2/($\overline{IRQ6}$)	NC
112	PH3/ $\overline{CS7}$ /($\overline{IRQ7}$)	PH3/ $\overline{CS7}$ /($\overline{IRQ7}$)	PH3/ $\overline{CS7}$ /($\overline{IRQ7}$)	PH3/ $\overline{CS7}$ /($\overline{IRQ7}$)	PH3/($\overline{IRQ7}$)	NC
113	PG4/ $\overline{BREQ0}$	PG4/ $\overline{BREQ0}$	PG4/ $\overline{BREQ0}$	PG4/ $\overline{BREQ0}$	PG4	NC
114	PG5/ \overline{BACK}	PG5/ \overline{BACK}	PG5/ \overline{BACK}	PG5/ \overline{BACK}	PG5	NC
115	PG6/ \overline{BREQ}	PG6/ \overline{BREQ}	PG6/ \overline{BREQ}	PG6/ \overline{BREQ}	PG6	NC
116	V \overline{cc}	V \overline{cc}	V \overline{cc}	V \overline{cc}	V \overline{cc}	V \overline{cc}
117	P40/AN0	P40/AN0	P40/AN0	P40/AN0	P40/AN0	NC
118	P41/AN1	P41/AN1	P41/AN1	P41/AN1	P41/AN1	NC
119	P42/AN2	P42/AN2	P42/AN2	P42/AN2	P42/AN2	NC
120	P43/AN3	P43/AN3	P43/AN3	P43/AN3	P43/AN3	NC
121	V \overline{ref}	V \overline{ref}	V \overline{ref}	V \overline{ref}	V \overline{ref}	NC
122	AV \overline{cc}	AV \overline{cc}	AV \overline{cc}	AV \overline{cc}	AV \overline{cc}	V \overline{cc}
123	P44/AN4	P44/AN4	P44/AN4	P44/AN4	P44/AN4	NC
124	P45/AN5	P45/AN5	P45/AN5	P45/AN5	P45/AN5	NC
125	P46/AN6/DA0	P46/AN6/DA0	P46/AN6/DA0	P46/AN6/DA0	P46/AN6/DA0	NC
126	P47/AN7/DA1	P47/AN7/DA1	P47/AN7/DA1	P47/AN7/DA1	P47/AN7/DA1	NC

1. 概要

ピン 番号	端子名					
	モード 1 モード 5	モード 2 モード 6	モード 4	モード 7		フラッシュ メモリ ライトモード
				EXPE=1	EXPE=0	
127	P54/AN12/ $\overline{\text{IRQ4}}$	P54/AN12/ $\overline{\text{IRQ4}}$	P54/AN12/ $\overline{\text{IRQ4}}$	P54/AN12/ $\overline{\text{IRQ4}}$	P54/AN12/ $\overline{\text{IRQ4}}$	NC
128	P55/AN13/ $\overline{\text{IRQ5}}$	P55/AN13/ $\overline{\text{IRQ5}}$	P55/AN13/ $\overline{\text{IRQ5}}$	P55/AN13/ $\overline{\text{IRQ5}}$	P55/AN13/ $\overline{\text{IRQ5}}$	NC
129	P56/AN14/DA2/ $\overline{\text{IRQ6}}$	P56/AN14/DA2/ $\overline{\text{IRQ6}}$	P56/AN14/DA2/ $\overline{\text{IRQ6}}$	P56/AN14/DA2/ $\overline{\text{IRQ6}}$	P56/AN14/DA2/ $\overline{\text{IRQ6}}$	NC
130	P57/AN15/DA3/ $\overline{\text{IRQ7}}$	P57/AN15/DA3/ $\overline{\text{IRQ7}}$	P57/AN15/DA3/ $\overline{\text{IRQ7}}$	P57/AN15/DA3/ $\overline{\text{IRQ7}}$	P57/AN15/DA3/ $\overline{\text{IRQ7}}$	NC
131	AVss	AVss	AVss	AVss	AVss	Vss
132	NC	NC	NC	NC	NC	NC
133	P35/SCK1	P35/SCK1	P35/SCK1	P35/SCK1	P35/SCK1	NC
134	P34/SCK0	P34/SCK0	P34/SCK0	P34/SCK0	P34/SCK0	NC
135	P33/RxD1	P33/RxD1	P33/RxD1	P33/RxD1	P33/RxD1	NC
136	Vss	Vss	Vss	Vss	Vss	Vss
137	P32/RxD0/IrRxD	P32/RxD0/IrRxD	P32/RxD0/IrRxD	P32/RxD0/IrRxD	P32/RxD0/IrRxD	Vcc
138	P31/TxD1	P31/TxD1	P31/TxD1	P31/TxD1	P31/TxD1	NC
139	P30/TxD0/IrTxD	P30/TxD0/IrTxD	P30/TxD0/IrTxD	P30/TxD0/IrTxD	P30/TxD0/IrTxD	NC
140	P80/($\overline{\text{IRQ0}}$)	P80/($\overline{\text{IRQ0}}$)	P80/($\overline{\text{IRQ0}}$)	P80/($\overline{\text{IRQ0}}$)	P80/($\overline{\text{IRQ0}}$)	NC
141	P81/($\overline{\text{IRQ1}}$)	P81/($\overline{\text{IRQ1}}$)	P81/($\overline{\text{IRQ1}}$)	P81/($\overline{\text{IRQ1}}$)	P81/($\overline{\text{IRQ1}}$)	NC
142	P82/($\overline{\text{IRQ2}}$)	P82/($\overline{\text{IRQ2}}$)	P82/($\overline{\text{IRQ2}}$)	P82/($\overline{\text{IRQ2}}$)	P82/($\overline{\text{IRQ2}}$)	NC
143	MD0	MD0	MD0	MD0	MD0	Vss
144	MD1	MD1	MD1	MD1	MD1	Vss

1.3.3 端子機能

表 1.2 端子機能

分類	記号	ピン番号	入出力	機能
電源	Vcc	5、39 67、96 116	入力	電源端子です。システムの電源に接続してください。
	Vss	12、19 26、47 62、76 99、136	入力	グランド端子です。システムの電源(0V)に接続してください。
	PLLVcc	94	入力	内蔵 PLL 発振器用の電源端子です。
	PLLVss	92	入力	内蔵 PLL 発振器用のグランド端子です。
クロック	XTAL	98	入力	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 18 章 クロック発振器」を参照してください。
	EXTAL	97	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 18 章 クロック発振器」を参照してください。
		95	出力	外部デバイスにシステムクロックを供給します。
動作モード コントロール	MD2 MD1 MD0	1 144 143	入力	動作モードを設定します。これらの端子は動作中に変化させないでください。
システム制御	RES	93	入力	リセット端子です。この端子が Low レベルになると、リセット状態となります。
	STBY	100	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	BREQ	115	入力	本 LSI に対し外部バスマスタがバス権を要求します。
	BREQO	113	出力	外部バス権解放状態で、内部バスマスタが外部アドレス空間をアクセスするときの外部バス権要求信号です。
	BACK	114	出力	バス権を外部バスマスタに解放したことを示します。
アドレスバス	A23 ~ A0	32 ~ 27 25 ~ 20 18 ~ 13 11 ~ 6	出力	アドレス出力端子です。
データバス	D15 ~ D0	72 ~ 75 77 ~ 80 63 ~ 66 68 ~ 71	入出力	双方向データバスです。

1. 概要

分類	記号	ピン番号	入出力	機能
バス制御	$\overline{CS7} \sim \overline{CS0}$	112、111 106 ~ 101	出力	外部アドレス空間の分割エリア 7 ~ 0 の選択信号です。
	\overline{AS}	91	出力	この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	\overline{RD}	90	出力	この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。
	\overline{HWR}	89	出力	外部アドレス空間をライトし、データバスの上位側 (D15 ~ D8) が有効であることを示すストロブ信号です。
	\overline{LWR}	88	出力	外部アドレス空間をライトし、データバスの下位側 (D7 ~ D0) が有効であることを示すストロブ信号です。
	\overline{WAIT}	85	入力	外部 3 ステートアドレス空間をアクセスすると、バスサイクルにウェイトステートの挿入を要求します。
割り込み	NMI	38	入力	ノンマスクابل割り込み要求端子です。使用しない場合は High レベルに固定してください。
	$\overline{IRQ7} \sim \overline{IRQ0}$	130 ~ 127 110 ~ 107	入力	マスク可能な割り込みを要求します。 \overline{IRQn} と (\overline{IRQn}) の入力端子は、割り込みコントローラの IRQ 端子セレクトレジスタ (ITSR) により選択します。(n=0~7)
	($\overline{IRQ7}$) ~ ($\overline{IRQ0}$)	112、111 4 ~ 2 142 ~ 140		
16 ビット タイマパルス ユニット (TPU)	TCLKD	51	入力	タイマの外部クロック入力端子です。
	TCLKC	49		
	TCLKB	46		
	TCLKA	45		
	TIOCA0	43	入出力	TGRA_0 ~ TGRD_0 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCB0	44		
	TIOCC0	45		
	TIOCD0	46		
	TIOCA1	48	入出力	TGRA_1、TGRB_1 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCB1	49		
	TIOCA2	50	入出力	TGRA_2、TGRB_2 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCB2	51		
	TIOCA3	52	入出力	TGRA_3 ~ TGRD_3 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCB3	53		
TIOCC3	54			
TIOCD3	55			
TIOCA4	56	入出力	TGRA_4、TGRB_4 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。	
TIOCB4	57			
TIOCA5	58	入出力	TGRA_5、TGRB_5 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。	
TIOCB5	59			

分類	記号	ピン番号	入出力	機能
プログラマブル パルス ジェネレータ (PPG)	PO15 ~ PO0	51 ~ 48 46 ~ 43 59 ~ 52	出力	パルス出力端子です。
8ビット タイマ (TMR)	TMO0	83	出力	アウトプットコンペア機能による波形出力端子です。
	TMO1	84		
	TMC10	81	入力	外部イベント入力端子です。
	TMC11	82		
	TMR10	60	入力	カウンタリセット入力端子です。
	TMR11	61		
ウォッチ ドッグタイマ (WDT)	WDTOVF	37	出力	ウォッチドッグタイマモード時のカウンタオーバフロー信号 出力端子です。
シリアルコミュ ニケーションイ ンタフェース (SCI)/スマート カードインタフ ェース (SCI_0はIrDA 機能付き)	TxD2	107	出力	データ出力端子です。
	TxD1	138		
	TxD0/IrTxD	139		
	RxD2	108	入力	データ入力端子です。
	RxD1	135		
	RxD0/IrRxD	137		
	SCK2	109	入出力	クロック入出力端子です。
	SCK1	133		
	SCK0	134		
A/D変換器	AN15 ~ AN12	130 ~ 127 126 ~ 123	入力	アナログ入力端子です。
	AN7 ~ AN0	120 ~ 117		
	ADTRG	110	入力	A/D変換開始のための外部トリガ入力端子です。
D/A変換器	DA3 ~ DA0	130、129 126、125	出力	アナログ出力端子です。
A/D変換器 D/A変換器	AVcc	122	入力	A/D変換器、D/A変換器のアナログ電源端子です。 A/D変換器、D/A変換器を使用しない場合は、システムの電源 (+3V)に接続してください。
	AVss	131	入力	A/D変換器、D/A変換器のグランド端子です。 システムの電源(0V)に接続してください。
	Vref	121	入力	A/D変換器、D/A変換器の基準電圧入力端子です。 A/D変換器、D/A変換器を使用しない場合は、システムの電源 (+3V)に接続してください。
I/Oポート	P17 ~ P10	51 ~ 48 46 ~ 43	入出力	8ビットの入出力端子です。
	P27 ~ P20	59 ~ 52	入出力	8ビットの入出力端子です。

1. 概要

分類	記号	ピン番号	入出力	機能
I/O ポート	P35 ~ P30	133 ~ 135 137 ~ 139	入出力	6 ビットの入出力端子です。
	P47 ~ P40	126 ~ 123 120 ~ 117	入力	8 ビットの入力端子です。
	P57 ~ P54	130 ~ 127	入力	4 ビットの入力端子です。
	P53 ~ P50	110 ~ 107	入出力	4 ビットの入出力端子です。
	P65 ~ P60	84 ~ 81 61、60	入出力	6 ビットの入出力端子です。
	P75 ~ P70	42 ~ 40 36 ~ 34	入出力	6 ビットの入出力端子です。
	P85 ~ P80	4 ~ 2 142 ~ 146	入出力	6 ビットの入出力端子です。
	PA7 ~ PA0	32 ~ 27 25、24	入出力	8 ビットの入出力端子です。
	PB7 ~ PB0	23 ~ 20 18 ~ 15	入出力	8 ビットの入出力端子です。
	PC7 ~ PC0	14、13 11 ~ 6	入出力	8 ビットの入出力端子です。
	PD7 ~ PD0	72 ~ 75 77 ~ 80	入出力	8 ビットの入出力端子です。
	PE7 ~ PE0	63 ~ 66 68 ~ 71	入出力	8 ビットの入出力端子です。
	PF7 ~ PF0	95 91 ~ 85	入出力	8 ビットの入出力端子です。
	PG6 ~ PG0	115 ~ 113 104 ~ 101	入出力	7 ビットの入出力端子です。
	PH3 ~ PH0	112、111 106、105	入出力	4 ビットの入出力端子です。

2. CPU

H8S/2600 CPU は、H8/300 CPU および H8/300H CPU と上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8S/2600 CPU には 16 ビットの汎用レジスタが 16 本あり、16M バイトのリニアなアドレス空間を扱うことができるリアルタイム制御に最適な CPU です。この章は H8S/2600 CPU について説明しています。製品によって使用できるモードやアドレス空間が異なりますので、製品ごとの詳細は「第 3 章 MCU 動作モード」を参照してください。

2.1 特長

- H8/300 CPU および H8/300H CPU と上位互換
H8/300 および H8/300H CPU オブジェクトプログラムを実行可能
- 汎用レジスタ：16 ビット × 16 本
8 ビット × 16 本、32 ビット × 8 本としても使用可能
- 基本命令：69 種類
8/16/32 ビット演算命令
乗除算命令
強力なビット操作命令
積和演算命令
- アドレッシングモード：8 種類
レジスタ直接 (Rn)
レジスタ間接 (@ERn)
ディスプレイースメント付レジスタ間接 (@(d:16,ERn)/@(d:32,ERn))
ポストインクリメント/プリデクリメントレジスタ間接 (@ERn+/@-ERn)
絶対アドレス (@aa:8/@aa:16/@aa:24/@aa:32)
イミディエイト (#xx:8/#xx:16/#xx:32)
プログラムカウンタ相対 (@(d:8,PC)/@(d:16,PC))
メモリ間接 (@@aa:8)
- アドレス空間：16M バイト
プログラム：16M バイト
データ：16M バイト

2. CPU

- 高速動作

頻出命令をすべて1~2ステートで実行

8/16/32ビットレジスタ間加減算：1ステート

8×8ビットレジスタ間乗算：3ステート

16÷8ビットレジスタ間除算：12ステート

16×16ビットレジスタ間乗算：4ステート

32÷16ビットレジスタ間除算：20ステート

- CPU動作モード：2種類

ノーマルモード/アドバンスモード

【注】 本LSIではノーマルモードは使用できません。

- 低消費電力状態

SLEEP命令により低消費電力状態に遷移

CPU動作クロックを選択可能

2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は以下のとおりです。

- レジスタ構成

MACレジスタは、H8S/2600 CPUのみサポートしています。

- 基本命令

MAC、CLRMAC、LDMAC、STMACの4命令は、H8S/2600 CPUのみサポートしています。

- MULXU、MULXS命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, ERd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, ERd	5	21

そのほか、製品によってアドレス空間やCCR、EXRの機能、低消費電力状態などが異なる場合があります。

2.1.2 H8/300 CPU との相違点

H8S/2600 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

- 汎用レジスタ、コントロールレジスタを拡張
16ビット×8本の拡張レジスタおよび8ビット×1本、32ビット×2本のコントロールレジスタを追加
- アドレス空間を拡張
ノーマルモードのとき、H8/300 CPUと同一の64kバイトのアドレス空間を使用可能
アドバンスモードのとき、最大16Mバイトのアドレス空間を使用可能
- アドレッシングモードを強化
16Mバイトのアドレス空間を有効に使用可能
- 命令強化
ビット操作命令のアドレッシングモードを強化
符号付き乗除算命令などを追加
積和演算命令を追加
2ビットシフト、2ビットローテート命令を追加
複数レジスタの退避/復帰命令を追加
テストアンドセット命令を追加
- 高速化
基本的な命令を2倍に高速化

2.1.3 H8/300H CPU との相違点

H8S/2600 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

- コントロールレジスタを拡張
8ビット×1本、32ビット×2本のコントロールレジスタを追加
- 命令強化
ビット操作命令のアドレッシングモードを強化
積和演算命令を追加
2ビットシフト、2ビットローテート命令を追加
複数レジスタの退避/復帰命令を追加
テストアンドセット命令を追加
- 高速化
基本的な命令を2倍に高速化

2.2 CPU動作モード

H8S/2600 CPUには、ノーマルモードとアドバンスモードの2つの動作モードがあります。サポートするアドレス空間は、ノーマルモードでは最大64kバイト、アドバンスモードでは16Mバイトです。動作モードはLSIのモード端子によって決まります。

2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造はH8/300 CPUと同一です。

- アドレス空間

最大64kバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0 ~ E7) は、16ビットレジスタとして、または32ビットレジスタの上位16ビットとして使用できます。

拡張レジスタEnは、対応する汎用レジスタRnをアドレスレジスタとして使用している場合でも、16ビットレジスタとして任意の値を設定することができます (ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+) により汎用レジスタRnが参照された場合、キャリ/ポローが発生すると、対応する拡張レジスタEnの内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位16ビットのみが有効となります。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、16ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図2.1に示します。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

メモリ間接 (@aa:8) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは16ビット (ワード) となり、この16ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000 ~ H'00FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

ノーマルモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCR、EXRのスタックの構造を図2.2に示します。EXRは割り込み制御モード0ではスタックされません。割り込み制御モードの詳細は「第4章 例外処理」を参照してください。

【注】 本LSIではノーマルモードは使用できません。

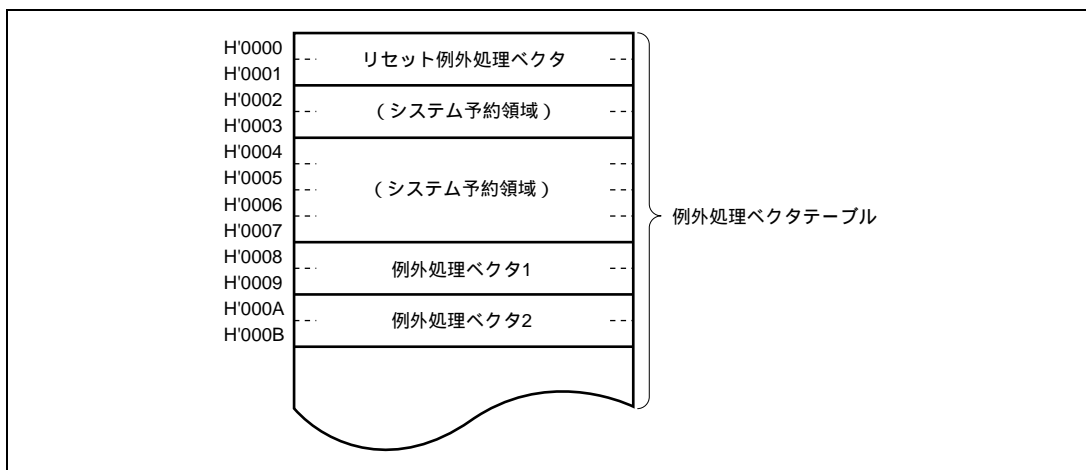


図 2.1 例外処理ベクタテーブル (ノーマルモード)

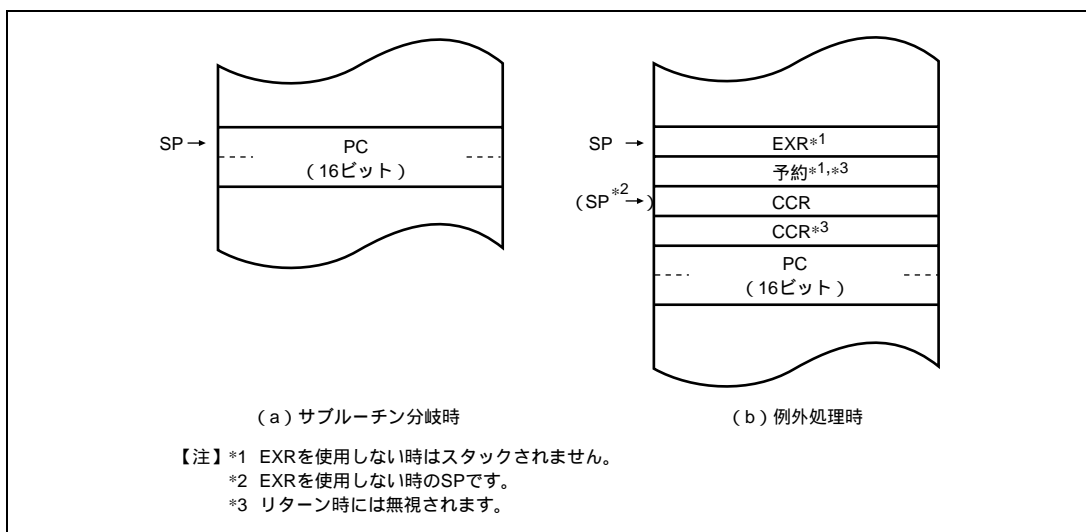


図 2.2 ノーマルモードのスタック構造

2.2.2 アドバンストモード

- アドレス空間

最大16Mバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0 ~ E7) は16ビットレジスタとして使用できます。また、32ビットレジスタあるいはアドレスレジスタの上位16ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンストモードでは、H'00000000から始まる先頭領域に32ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位8ビットは無視され24ビットの分岐先アドレスを格納します (図2.3参照)。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

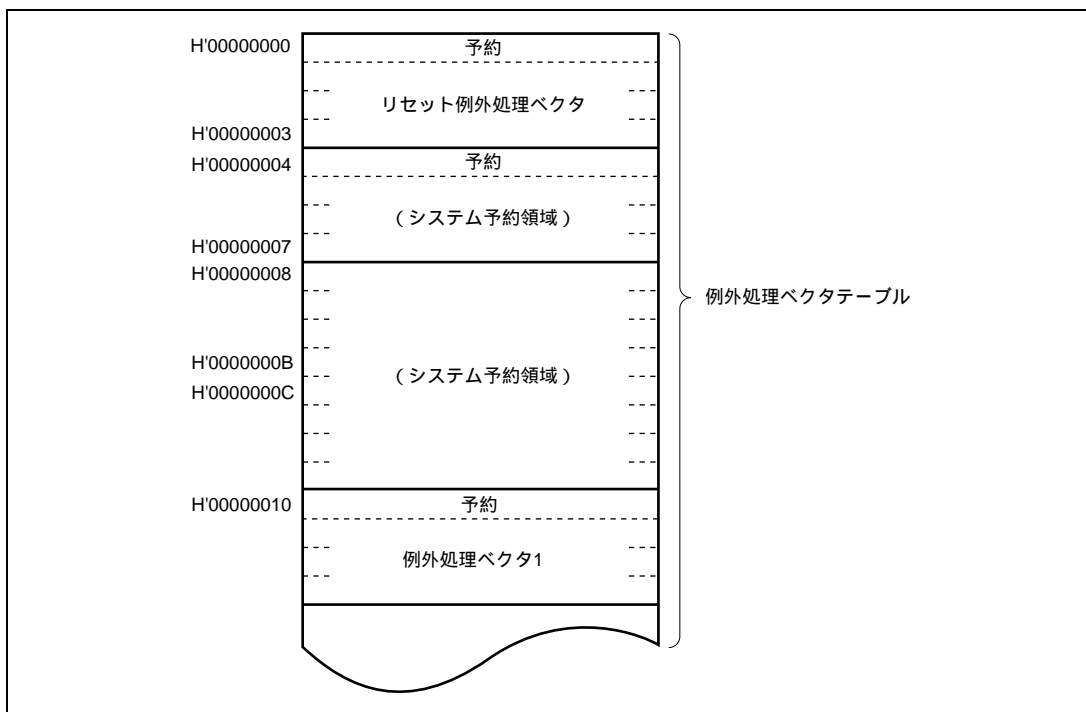


図 2.3 例外処理ベクタテーブル (アドバンストモード)

メモリ間接 (@aa:8) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンスモードでは、オペランドは32ビット（ロングワード）となり、この32ビットが分岐先アドレスとなります。このうち、上位8ビットは予約領域となっておりH'00と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000～H'000000FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

アドバンスモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCR、EXRのスタックの構造を図2.4に示します。EXRは割り込み制御モード0ではスタックされません。割り込み制御モードの詳細は「第4章 例外処理」を参照してください。

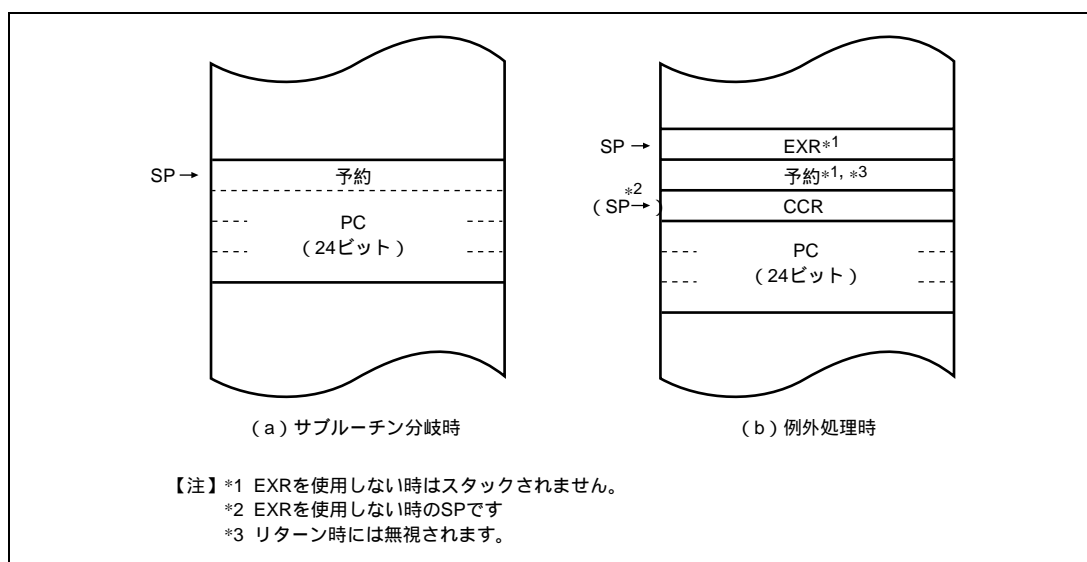


図 2.4 アドバンスモードのスタック構造

2.3 アドレス空間

H8S/2600 CPU のメモリマップを図 2.5 に示します。H8S/2600 CPU は、ノーマルモードのとき最大 64k バイト、アドバンスモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。実際に使用できるモードやアドレス空間は製品ごとに異なります。詳細は「第 3 章 MCU 動作モード」を参照してください。

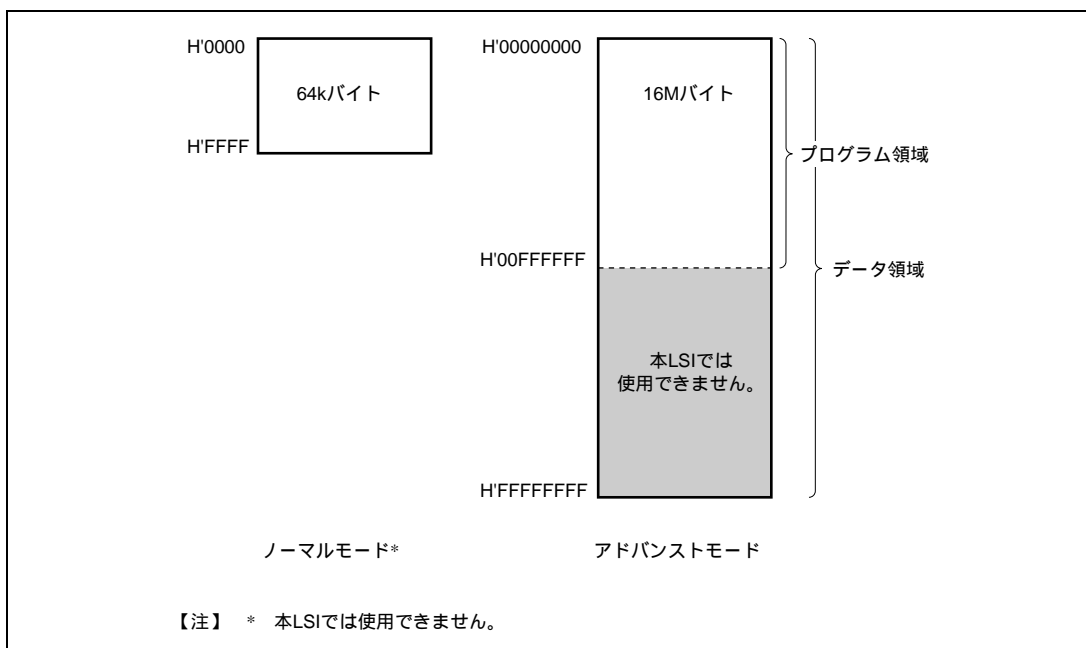


図 2.5 アドレス空間

【注】 本 LSI では、ノーマルモードは使用できません。

2.4 レジスタの構成

H8S/2600 CPU の内部レジスタの構成を図 2.6 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、24 ビットのプログラムカウンタ(PC)、8 ビットのエクステンドレジスタ (EXR)、8 ビットのコンディションコードレジスタ (CCR)および 64 ビット積和レジスタ (MAC) があります。

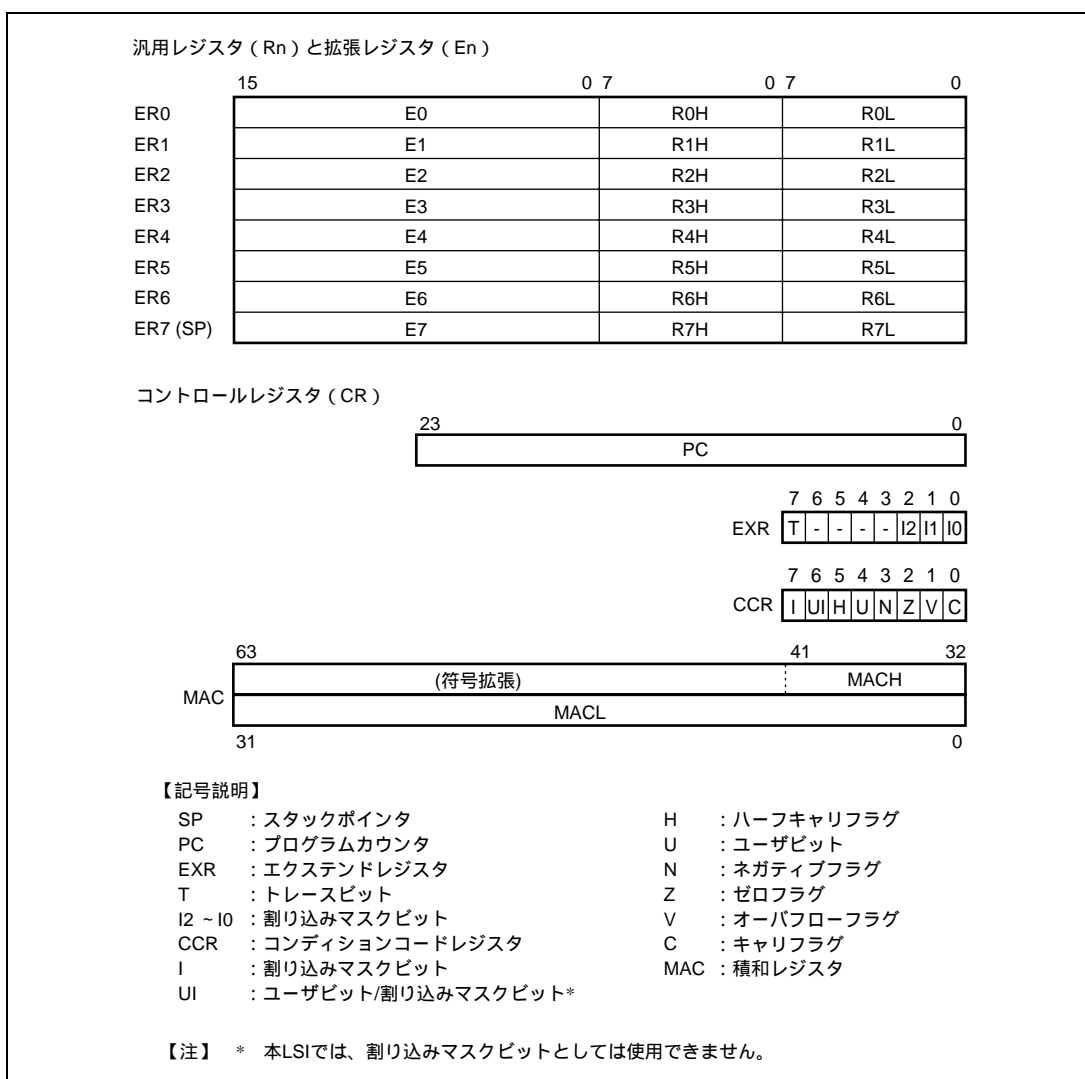


図 2.6 CPU 内部レジスタ構成

2.4.1 汎用レジスタ

H8S/2600 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.7 に示します。

アドレスレジスタまたは 32 ビットレジスタとして使用する場合は一括して汎用レジスタ ER (ER0 ~ ER7) として指定します。

16 ビットレジスタとして使用する場合は汎用レジスタ ER を分割して汎用レジスタ E (E0 ~ E7)、汎用レジスタ R (R0 ~ R7) として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0 ~ E7) を特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタとして使用する場合は汎用レジスタ R を分割して汎用レジスタ RH (R0H ~ R7H)、汎用レジスタ RL (R0L ~ R7L) として指定します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

各レジスタは独立に使用方法を選択できます。

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.8 に示します。

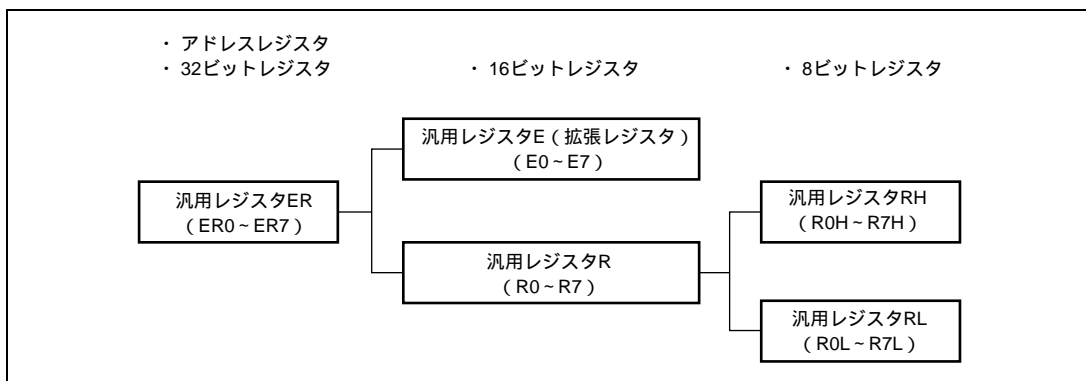


図 2.7 汎用レジスタの使用方法

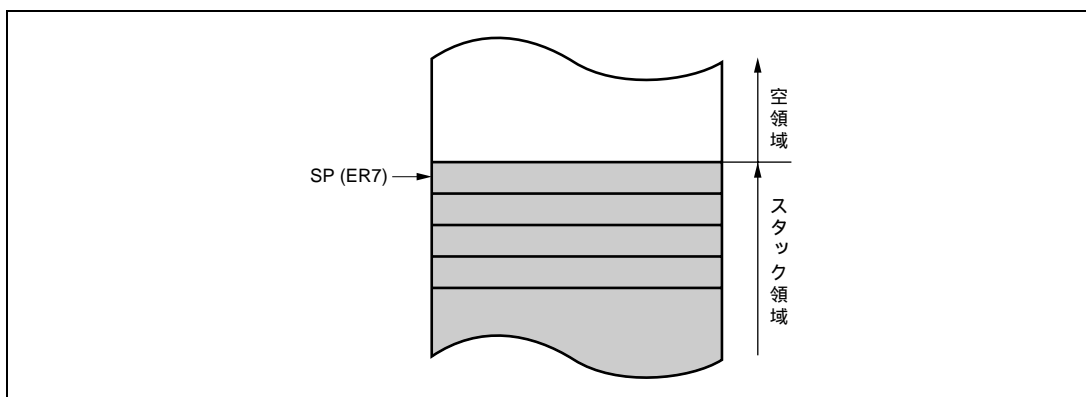


図 2.8 スタックの状態

2.4.2 プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを指します。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時は最下位ビットは 0 とみなされます)。

2.4.3 エクステンドライスタ (EXR)

EXR は 8 ビットのレジスタで LDC、STC、ANDC、ORC、XORC 命令で操作することができます。このうち STC を除く命令を実行した場合、実行終了後 3 ステートの間 NMI を含むすべての割り込みがマスクされます。

ビット	ビット名	初期値	R/W	説明
7	T	0	R/W	トレースビット このビットが 1 にセットされているときは 1 命令実行することにトレース例外処理を開始します。0 にクリアされているときは命令を順次実行します。
6~3		1		リザーブビット リードすると常に 1 が読み出されます。
2~0	I2	1	R/W	割り込み要求マスクレベル (0~7) を指定します。詳細は「第 5 章 割り込みコントローラ」を参照してください。
	I1	1	R/W	
	I0	1	R/W	

2.4.4 コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット 本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI は I ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。詳細は「第 5 章 割り込みコントローラ」を参照してください。
6	UI	不定	R/W	ユーザビット/割り込みマスクビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。本 LSI では、割り込みマスクビットとしては使用できません。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはボローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバフローフラグ 算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 <ul style="list-style-type: none"> • 加算結果のキャリ • 減算結果のボロー • シフト/ローテートのキャリ また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

2.4.5 積和レジスタ (MAC)

64 ビットのレジスタで、積和演算結果を格納します。32 ビットの MACH、MACL から構成されます。MACH は下位 10 ビットが有効で、上位は符号拡張されています。

2.4.6 CPU 内部レジスタの初期値

CPU 内部レジスタのうち、PC はリセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

2.5 データ形式

H8S/2600 CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0,1,2,\dots,7$) という形式でアクセスできます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.9 に示します。

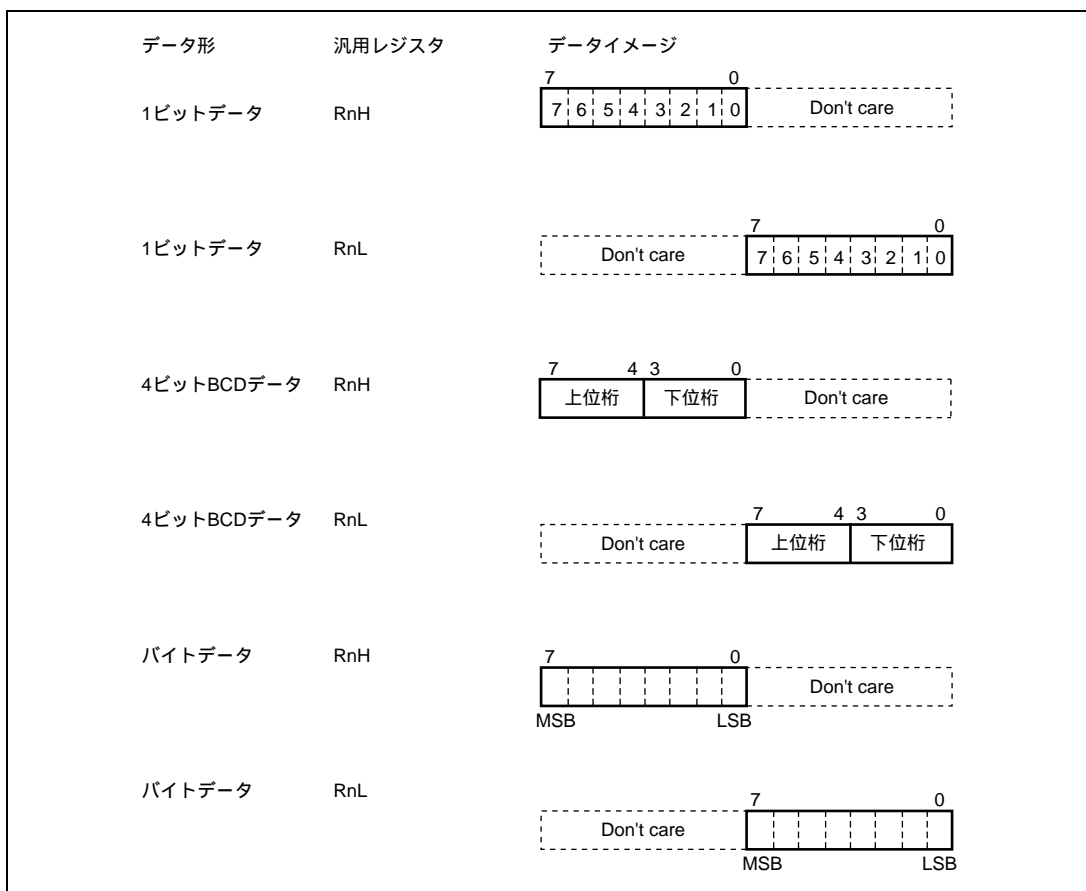


図 2.9 汎用レジスタのデータ形式 (1)

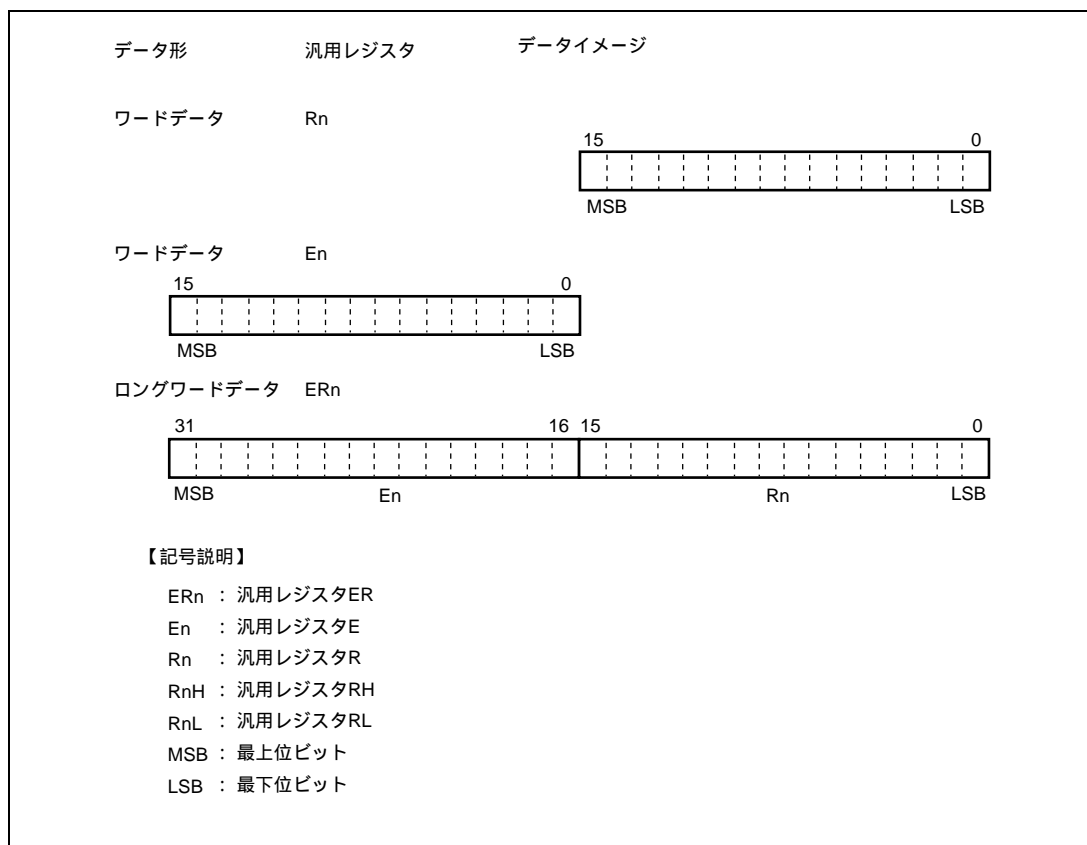


図 2.9 汎用レジスタのデータ形式 (2)

2.5.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.10 に示します。

H8S/2600 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

なお、SP (ER7) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

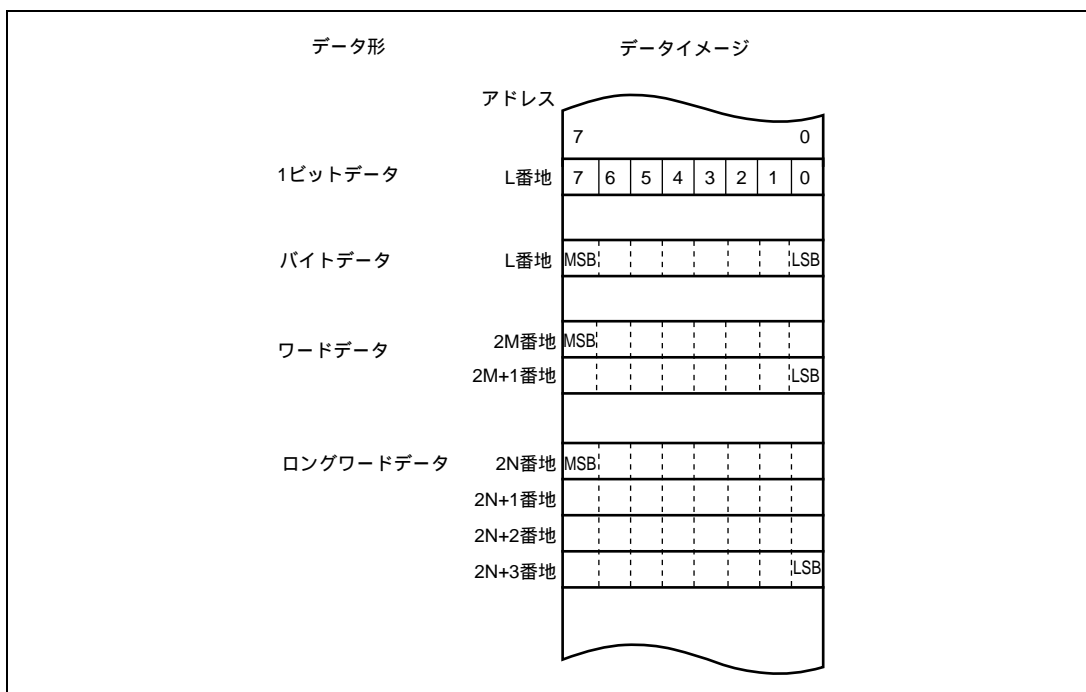


図 2.10 メモリ上でのデータ形式

2.6 命令セット

H8S/2600 CPU の命令は合計 69 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
データ転送命令	MOV	B/W/L	5
	POP * ¹ , PUSH * ¹	W/L	
	LDM, STM	L	
	MOVFP* ³ , MOVTP* ³	B	
算術演算命令	ADD, SUB, CMP, NEG	B/W/L	23
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	B/W/L	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	B/W	
	EXTU, EXTS	W/L	
	TAS* ⁴	B	
	MAC, LDMAC, STMAC, CLRMAC	-	
論理演算命令	AND, OR, XOR, NOT	B/W/L	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	B/W/L	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAN, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc * ² , JMP, BSR, JSR, RTS	-	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	-	9
ブロック転送命令	EPEMOV	-	1

合計 69 種類

【注】 B：バイトサイズ W：ワードサイズ L：ロングワードサイズ

- *1 POP.W Rn, PUSH.W Rn は、それぞれ MOV.W @SP+,Rn、MOV.W Rn,@-SP と同一です。
また、POP.L ERn, PUSH.L ERn は、それぞれ MOV.L @SP+,ERn、MOV.L ERn,@-SP と同一です。
- *2 Bcc は条件分岐命令の総称です。
- *3 本 LSI では使用できません。
- *4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

2. CPU

2.6.1 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.2 オペレーションの記号

記号	説明
Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ)
MAC	積和レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理 (論理的補数)
:8/:16/:24/:32	8/16/24/32 ビット長

【注】* 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ (ER0～ER7) です。

表 2.3 データ転送命令

命令	サイズ*	機能
MOV	B/W/L	(EAs) Rd, Rs (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPE	B	本 LSI では使用できません。
POP	W/L	@SP+ Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W/L	Rn @-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と同一です。 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM	L	@SP+ Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM	L	Rn (レジスタ群) @-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】* サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

2. CPU

表 2.4 算術演算命令 (1)

命令	サイズ*	機能
ADD SUB	B/W/L	$Rd \pm Rs$ Rd , $Rd \pm \#IMM$ Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	$Rd \pm Rs \pm C$ Rd , $Rd \pm \#IMM \pm C$ Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B/W/L	$Rd \pm 1$ Rd , $Rd \pm 2$ Rd 汎用レジスタに 1 または 2 を加減算します (バイトサイズで 1 の加減算のみ可能です)。
ADDS SUBS	L	$Rd \pm 1$ Rd , $Rd \pm 2$ Rd , $Rd \pm 4$ Rd 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	$Rd(10$ 進補正) Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	$Rd \times Rs$ Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット \times 8 ビット 16 ビット、16 ビット \times 16 ビット 32 ビットの乗算が可能です。
MULXS	B/W	$Rd \times Rs$ Rd 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット \times 8 ビット 16 ビット、16 ビット \times 16 ビット 32 ビットの乗算が可能です。
DIVXU	B/W	$Rd \div Rs$ Rd 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット \div 8 ビット 商 8 ビット余り 8 ビット、 32 ビット \div 16 ビット 商 16 ビット余り 16 ビットの除算が可能です。

【注】* サイズはオペランドサイズを示します。

B: バイト

W: ワード

L: ロングワード

表 2.4 算術演算命令 (2)

命令	サイズ* ¹	機 能
DIVXS	B/W	Rd ÷ Rs Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット ÷ 8 ビット 商 8 ビット 余り 8 ビット、 32 ビット ÷ 16 ビット 商 16 ビット 余り 16 ビットの除算が可能です。
CMP	B/W/L	Rd - Rs、Rd - #IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B/W/L	0 - Rd Rd 汎用レジスタの内容の 2 の補数 (算術的補数) をとります。
EXTU	W/L	Rd(ゼロ拡張) Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	Rd(符号拡張) Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
TAS* ²	B	@ERd - 0、1 (<ビット 7> of @ERd) メモリの内容をテストした後、最上位ビット (ビット 7) を 1 にセットします。
MAC	-	(EAs) × (EAd) + MAC MAC メモリとメモリ間の符号付き乗算を行い、結果を積和レジスタに加算します。 16 ビット × 16 ビット + 32 ビット 32 ビットの飽和演算、 16 ビット × 16 ビット + 42 ビット 42 ビットの非飽和演算が可能です。
CLRMAC	-	0 MAC 積和レジスタをゼロクリアします。
LDMAC STMAC	L	Rs MAC、MAC Rd 汎用レジスタと積和レジスタ間でデータ転送します。

【注】 *1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

2. CPU

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B/W/L	Rd Rs Rd, Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd Rs Rd, Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs Rd, Rd⊕#IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	~Rd Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】* サイズはオペランドサイズを示します。

B: バイト

W: ワード

L: ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B/W/L	Rd(シフト処理) Rd 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B/W/L	Rd(シフト処理) Rd 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B/W/L	Rd(ローテート処理) Rd 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	Rd(ローテート処理) Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】* サイズはオペランドサイズを示します。

B: バイト

W: ワード

L: ロングワード

表 2.7 ビット操作命令 (1)

命令	サイズ*	機能
BSET	B	1 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR	B	0 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BNOT	B	~(<ビット番号>of<EAd>) (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~(<ビット番号>of<EAd>) Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C [~(<ビット番号>of<EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C [~(<ビット番号>of<EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】* サイズはオペランドサイズを示します。

B: バイト

2. CPU

表 2.7 ビット操作命令 (2)

命令	サイズ*	機能
BXOR	B	$C \oplus (<\text{ビット番号}> \text{of} <\text{EAd}>)$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	$C \oplus [\sim (<\text{ビット番号}> \text{of} <\text{EAd}>)]$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BLD	B	$(<\text{ビット番号}> \text{of} <\text{EAd}>)$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	$\sim (<\text{ビット番号}> \text{of} <\text{EAd}>)$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	$C (<\text{ビット番号}> \text{of} <\text{EAd}>)$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	$\sim C (<\text{ビット番号}> \text{of} <\text{EAd}>)$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグを反転して転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

表 2.8 分岐命令

命令	サイズ	機能																																																			
Bcc	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA(BT)</td> <td>Always(True)</td> <td>Always</td> </tr> <tr> <td>BRN(BF)</td> <td>Never(False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z=0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z=1</td> </tr> <tr> <td>BCC(BHS)</td> <td>Carry Clear(High or Same)</td> <td>C=0</td> </tr> <tr> <td>BCS(BLO)</td> <td>Carry Set(LOW)</td> <td>C=1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z=0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z=1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V=0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V=1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N=0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N=1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>N\oplusV=0</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>N\oplusV=1</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z (N\oplusV)=0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z (N\oplusV)=1</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA(BT)	Always(True)	Always	BRN(BF)	Never(False)	Never	BHI	High	C Z=0	BLS	Low or Same	C Z=1	BCC(BHS)	Carry Clear(High or Same)	C=0	BCS(BLO)	Carry Set(LOW)	C=1	BNE	Not Equal	Z=0	BEQ	Equal	Z=1	BVC	oVerflow Clear	V=0	BVS	oVerflow Set	V=1	BPL	PLus	N=0	BMI	MInus	N=1	BGE	Greater or Equal	N \oplus V=0	BLT	Less Than	N \oplus V=1	BGT	Greater Than	Z (N \oplus V)=0	BLE	Less or Equal	Z (N \oplus V)=1
ニーモニック	説明	分岐条件																																																			
BRA(BT)	Always(True)	Always																																																			
BRN(BF)	Never(False)	Never																																																			
BHI	High	C Z=0																																																			
BLS	Low or Same	C Z=1																																																			
BCC(BHS)	Carry Clear(High or Same)	C=0																																																			
BCS(BLO)	Carry Set(LOW)	C=1																																																			
BNE	Not Equal	Z=0																																																			
BEQ	Equal	Z=1																																																			
BVC	oVerflow Clear	V=0																																																			
BVS	oVerflow Set	V=1																																																			
BPL	PLus	N=0																																																			
BMI	MInus	N=1																																																			
BGE	Greater or Equal	N \oplus V=0																																																			
BLT	Less Than	N \oplus V=1																																																			
BGT	Greater Than	Z (N \oplus V)=0																																																			
BLE	Less or Equal	Z (N \oplus V)=1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

2. CPU

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に遷移します。
LDC	B/W	(EAs) CCR、(EAs) EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B/W	CCR (EAd)、EXR (EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM CCR、EXR⊕#IMM EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2 PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EEPMOV.B	-	<pre> if R4L = 0 then Repeat @ER5+ @ER6+ R4L - 1 R4L Until R4L = 0 else next; </pre>
EEPMOV.W	-	<pre> if R4 = 0 then Repeat @ER5+ @ER6+ R4 - 1 R4 Until R4 = 0 else next; </pre> <p>ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。</p>

2.6.2 命令の基本フォーマット

H8S/2600 CPU の命令は、2 バイト (ワード) を単位にしています。各命令はオペレーションフィールド (op)、レジスタフィールド (r)、EA 拡張部 (EA)、およびコンディションフィールド (cc) から構成されています。

図 2.11 に命令フォーマットの例を示します。

- オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

- レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

- EA拡張部

イミディエイトデータ、絶対アドレスまたはディスプレイースメントを指定します。8ビット、16ビット、または32ビットです。

- コンディションフィールド

Bcc命令の分岐条件を指定します。

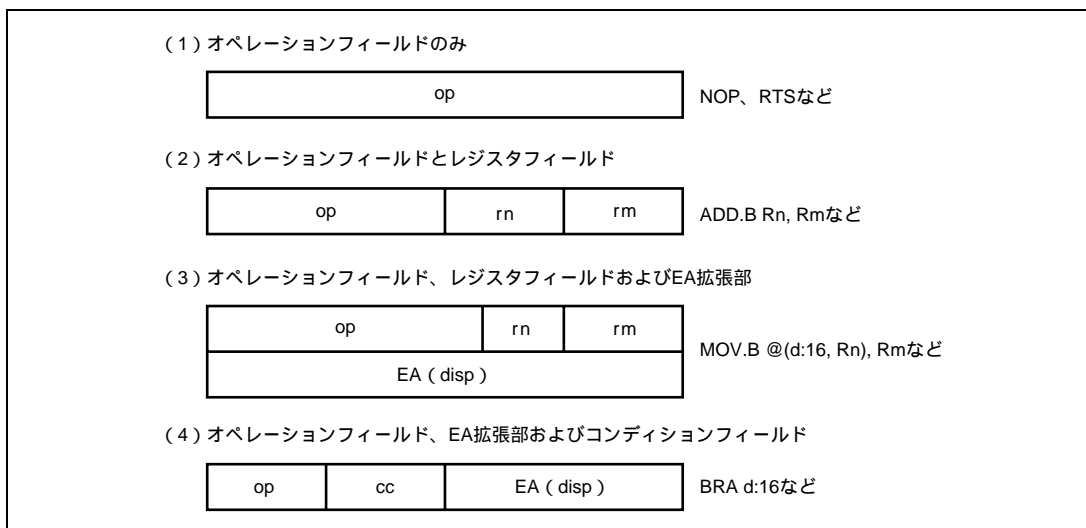


図 2.11 命令フォーマットの例

2.7 アドレッシングモードと実効アドレスの計算方法

H8S/2600 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードが異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn)/@(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8/@aa:16/@aa:24/@aa:32
6	イミディエイト	#xx:8/#xx:16/#xx:32
7	プログラムカウンタ相対	@(d:8,PC)/@(d:16,PC)
8	メモリ間接	@@aa:8

2.7.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ（8ビット、16ビットまたは32ビット）がオペランドとなります。8ビットレジスタとしてはR0H~R7H、R0L~R7Lを指定可能です。16ビットレジスタとしてはR0~R7、E0~E7を指定可能です。32ビットレジスタとしてはER0~ER7を指定可能です。

2.7.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容をアドレスとしてメモリ上のオペランドを指定します。プログラム領域としては、下位24ビットが有効になり、上位8ビットはすべて0（H'00）とみなされます。

2.7.3 ディスプレースメント付きレジスタ @(d:16,ERn)/@(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容に、命令コード中に含まれる16ビットディスプレースメント、または32ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16ビットディスプレースメントは符号拡張されます。

2.7.4 ポストインクリメントレジスタ間接@ERn+/ プリデクリメントレジスタ間接@-ERn

(1) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に1、2または4が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ加算されます。ワードサイズまたはロングワードサイズのとき、アドレスレジスタの内容が偶数となるようにしてください。

(2) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容から、1、2または4を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ減算されます。ワードサイズまたはロングワードサイズのとき、アドレスレジスタの内容が偶数になるようにしてください。

2.7.5 絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。絶対アドレスは8ビット(@aa:8) 16ビット(@aa:16)、24ビット(@aa:24)、または32ビット(@aa:32)です。絶対アドレスのアクセス範囲を表2.12に示します。

データ領域としては、8ビット(@aa:8)、16ビット(@aa:16)、または32ビット(@aa:32)を使用します。8ビット絶対アドレスの場合、上位24ビットはすべて1(H'FFFF)となります。16ビット絶対アドレスの場合、上位16ビットは符号拡張されます。32ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては24ビット(@aa:24)を使用します。上位8ビットはすべて0(H'00)となります。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード*	アドバンストモード
データ領域	8ビット(@aa:8)	H'FF00 ~ H'FFFF	H'FFFF00 ~ H'FFFFFF
	16ビット(@aa:16)	H'0000 ~ H'FFFF	H'000000 ~ H'007FFF、 H'FF8000 ~ H'FFFFFF
	32ビット(@aa:32)		H'000000 ~ H'FFFFFF
プログラム領域	24ビット(@aa:24)		

【注】* 本LSIでは使用できません。

2.7.6 イミディエイト #xx:8/#xx:16/#xx:32

命令コード中に含まれる8ビット(#xx:8)、16ビット(#xx:16)、または32ビット(#xx:32)のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA命令では、ベクタアドレスを指定するための2ビットのイミディエイトデータが命令コードの中に含まれます。

2.7.7 プログラムカウンタ相対 @(d:8, PC)/@(d:16, PC)

Bcc、BSR命令で使用されます。PCの内容で指定される24ビットのアドレスに、命令コード中に含まれる8ビット、または16ビットディスプレースメントを加算して24ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは24ビットに符号拡張されます。加算結果は下位24ビットが有効になり、上位8ビットはすべて0(H'00)とみなされます。また加算されるPCの内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して-126~+128バイト(-63~+64ワード)または-32766~+32768バイト(-16383~+16384ワード)です。このとき、加算結果が偶数となるようにしてください。

2.7.8 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0~255 (ノーマルモードのとき H'0000 ~ H'00FF、アドバンスモードのとき H'000000 ~ H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットに分岐アドレスを生成します。また、アドバンスモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 4 章 例外処理」を参照してください。

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします (「2.5.2 メモリ上でのデータ形式」を参照してください) 。

【注】 本 LSI ではノーマルモードは使用できません。

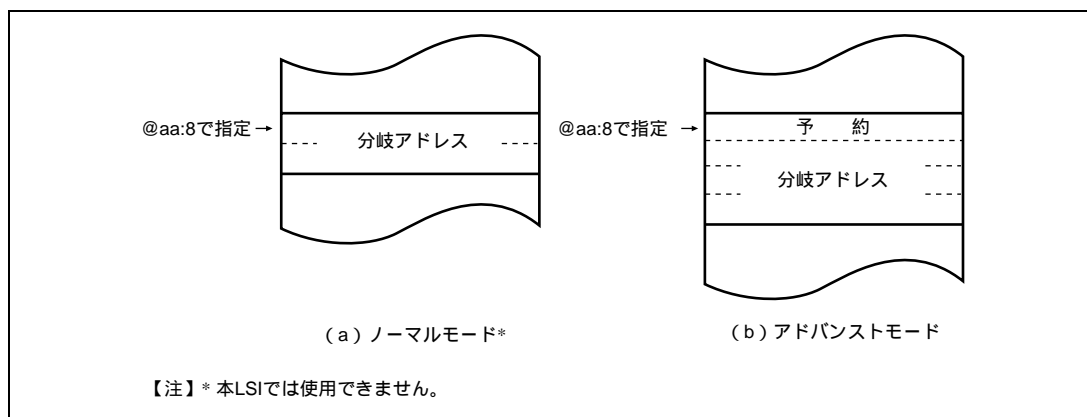


図 2.12 メモリ間接による分岐アドレスの指定

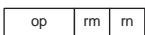

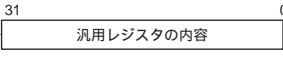
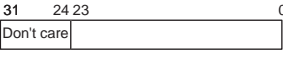
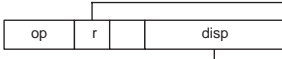
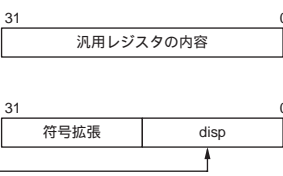
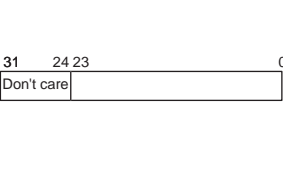
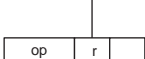
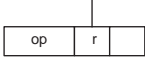
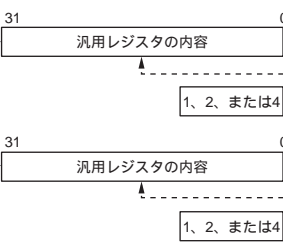
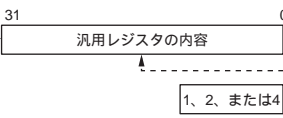
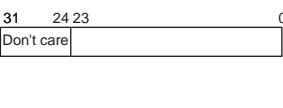
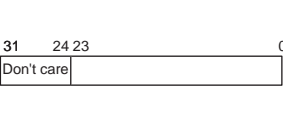
2.7.9 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算法を表 2.13 に示します。

ノーマルモードの場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。

【注】 本 LSI ではノーマルモードは使用できません。

表 2.13 実行アドレスの計算方法（1）

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス（EA）
1	レジスタ直接（Rn） 		オペランドは汎用レジスタの内容です。
2	レジスタ間接（@ERn） 		
3	ディスプレイメント付きレジスタ間接 @d:16,ERn) / @(d:32,ERn) 		
4	ポストインクリメントレジスタ間接/プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+  ・プリデクリメントレジスタ間接 @-ERn 	 	 

オペランドサイズ	加減算される値
バイト	1
ワード	2
ロングワード	4

表 2.13 実行アドレスの計算方法 (2)

No	アドレッシングモード・命令フォーマット	実行アドレス計算方法	実行アドレス (EA)
5	絶対アドレス @aa:8 		
	@aa:16 		
	@aa:24 		
	@aa:32 		
6	イミディエイト #xx:8 / #xx:16 / #xx:32 		オペランドはイミディエイトデータです。
7	プログラムカウンタ相対 @(d:8,PC) / @(d:16,PC) 		
8	メモリ間接 @aa:8 ・ノーマルモード* 		
	・アドバンストモード 		

【注】* 本LSIでは使用できません。

2.8 処理状態

H8S/2600 CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、およびプログラム停止状態の 5 種類があります。処理状態間の状態遷移図を図 2.13 に示します。

- リセット状態

CPU および内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子がLowレベルになると、実行中の処理はすべて中止され、CPUはリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子をLowレベルからHighレベルにすると、リセット例外処理を開始します。リセットの詳細は「第4章 例外処理」を参照してください。ウォッチドッグタイマを内蔵する製品では、ウォッチドッグタイマのオーバフローによってもリセットすることもできます。

- 例外処理状態

例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によってCPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「第4章 例外処理」を参照してください。

- プログラム実行状態

CPUがプログラムを順次実行している状態です。

- バス権解放状態

データトランスファコントローラ（DTC）を内蔵している製品で、これらCPU以外のバスマスタからのバス権要求に対してバス権を解放した状態です。バス権解放状態ではCPUは動作を停止します。

- プログラム停止状態

CPUが動作を停止し、消費電力を低下させた状態です。SLEEP命令の実行、またはハードウェアスタンバイモードへの遷移でCPUはプログラム停止状態になります。詳細は「第19章 低消費電力状態」を参照してください。

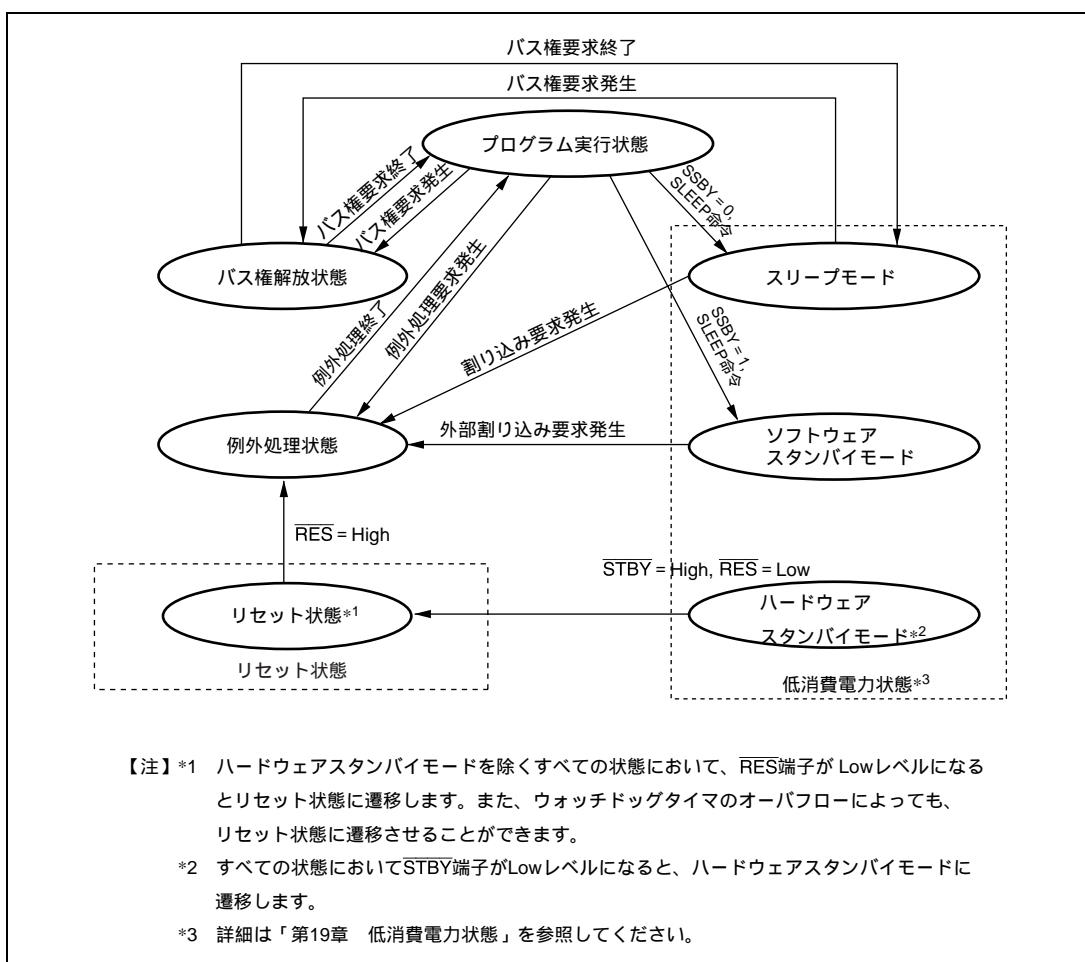


図 2.13 状態遷移図

2.9 使用上の注意事項

2.9.1 ビット操作命令使用上の注意事項

BSET、BCLR、BNOT、BST、BISTの各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用するときは注意が必要です。

また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用できます。この場合、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

3. MCU 動作モード

3.1 動作モードの選択

H8S/2668 グループは、7 種類の動作モード (モード 1~7) があります。動作モードはモード端子 (MD2~MD0) の設定で決まります。

モード 1、2、4~6 は外部メモリおよび周辺デバイスをアクセスできる外部拡張モードです。外部拡張モードでは、プログラム実行開始後にバスコントローラにより、外部アドレス空間をエリアごとに 8 ビットまたは 16 ビットに設定できます。また、いずれか 1 つのエリアを 16 ビットアドレス空間にすると 16 ビットバスモードとなり、すべてのエリアを 8 ビットアクセス空間にすると 8 ビットバスモードとなります。

モード 7 は、外部メモリおよび周辺デバイスへのアクセスをプログラム実行開始時に切り替えることができるシングルチップ起動拡張モードです。

モード 3 はフラッシュメモリの書き込み/消去を行うブートモードです。

モード 4~7 は FLMCR1 の SWE ビットを 1 にセットした場合、フラッシュメモリの書き込み/消去を行うユーザプログラムモードです。

ブートモードとユーザプログラムモードについては「第 17 章 フラッシュメモリ (F-ZTAT 版)」を参照してください。

動作モードは、MD2~MD0 端子で設定します。MD2~MD0 端子は、LSI の動作中に変化させないでください。

表 3.1 MCU 動作モード

MCU 動作モード	MD2	MD1	MD0	CPU 動作モード	内容	内蔵 ROM	外部データバス	
							初期値	最大値
1	0	0	1	アドバンスト	内蔵 ROM 無効拡張モード	無効	16 ビット	16 ビット
2	0	1	0	アドバンスト	内蔵 ROM 無効拡張モード	無効	8 ビット	16 ビット
3	0	1	1	アドバンスト	ブートモード	有効	-	16 ビット
4	1	0	0	アドバンスト	内蔵 ROM 有効拡張モード	有効	8 ビット	16 ビット
5	1	0	1	アドバンスト	内蔵 ROM 有効拡張モード	有効	16 ビット	16 ビット
6	1	1	0	アドバンスト	内蔵 ROM 有効拡張モード	有効	8 ビット	16 ビット
7	1	1	1	アドバンスト	シングルチップモード	有効	-	16 ビット

3. MCU 動作モード

3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。

- モードコントロールレジスタ (MDCR)
- システムコントロールレジスタ (SYSCR)

3.2.1 モードコントロールレジスタ (MDCR)

MDCR は現在の動作モードをモニタするのに用います。

ビット	ビット名	初期値	R/W	説明
7~3		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	MDS2	*	R	モードセレクト 2~0
1	MDS1	*	R	モード端子 (MD2~MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。これらのビットは MD2~MD0 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、MD2~MD0 端子の入力レベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。
0	MDS0	*	R	

【注】 * MD2~MD0 端子の設定により決定されます。

3.2.2 システムコントロールレジスタ (SYSCR)

SYSCR は MAC 命令の飽和演算の選択、フラッシュメモリの制御レジスタの CPU アクセスの制御、外部バスモードの設定、内蔵 RAM の有効/無効の選択を行います。

ビット	ビット名	初期値	R/W	説明
7		1	R/W	リザーブビット
6		1	R/W	初期値を変更しないでください。
5	MACS	0	R/W	MAC サチュレーション MAC 命令の飽和演算、非飽和演算を選択します。 0 : 非飽和演算 1 : 飽和演算
4		0	R/W	リザーブビット 初期値を変更しないでください。

ビット	ビット名	初期値	R/W	説 明
3	FLSHE	0	R/W	<p>フラッシュメモリコントロールレジスタイネーブル</p> <p>フラッシュメモリの制御レジスタ(FLMCR1、FLMCR2、EBR1、EBR2)の CPU アクセスを制御します。このビットを 1 にセットすると、フラッシュメモリの制御レジスタをリード/ライトすることができます。0 にクリアするとフラッシュメモリの制御レジスタは非選択となります。このとき、フラッシュメモリの制御レジスタの内容は保持されています。</p> <p>0：アドレス H'FFFFC8～H'FFFFCB のエリアはフラッシュメモリの制御レジスタを非選択</p> <p>1：アドレス H'FFFFC8～H'FFFFCB のエリアはフラッシュメモリの制御レジスタを選択</p>
2		0		<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトは無効です。</p>
1	EXPE		R/W	<p>外部バスモードイネーブル</p> <p>外部バスモードを設定します。モード 1、2、4～6 では EXPE = 1 に固定されておりライトは無効です。モード 3、7 ではリード/ライト可能です。</p> <p>EXPE = 1 の状態で、EXPE に 0 をライトする場合は、外部バスサイクルが実行されていない状態で行ってください。</p> <p>0：外部アドレス空間無効</p> <p>1：外部アドレス空間有効</p>
0	RAME	1	R/W	<p>RAM イネーブル</p> <p>内蔵 RAM の有効または無効を選択します。このビットではリセットを解除したとき初期化されます。</p> <p>0：内蔵 RAM 無効</p> <p>1：内蔵 RAM 有効</p>

3.3 各動作モードの説明

3.3.1 モード 1

CPU はアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は無効です。ポート A～C がアドレスバス、ポート D、E がデータバス、ポート F～H の一部がバス制御信号となります。リセット直後は 16 ビットバスモードで、すべてのエリアは 16 ビットアクセス空間となります。ただし、バスコントローラにより、すべてのエリアを 8 ビットアクセス空間に設定した場合には 8 ビットバスモードとなります。

3.3.2 モード 2

CPU はアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は無効です。ポート A～C がアドレスバス、ポート D、E がデータバス、ポート F～H の一部がバス制御信号となります。リセット直後は 8 ビットバスモードで、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコ

3. MCU 動作モード

ントローラにより、いずれかのエリアを16ビットアクセス空間に設定した場合には16ビットバスモードとなり、ポートEがデータバスとなります。

3.3.3 モード3

フラッシュメモリのブートモードです。フラッシュメモリの書き込み/消去以外は、モード7と同様の動作となります。

3.3.4 モード4

CPUはアドバンストモードで、アドレス空間は16Mバイトです。内蔵ROMは有効です。エリア0の前半に接続された内蔵ROMのプログラムを実行します。

ポートA~Cはリセット直後は入力ポートになっていますが、各ポートのレジスタの設定によりアドレスバスとすることができます。ポートD、Eがデータバス、ポートF~Hの一部がバス制御信号となります。ポートA~C端子機能の切り替えについては「第8章 I/Oポート」を参照してください。

リセット直後は8ビットバスモードで、すべてのエリアは8ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを16ビットアクセス空間に設定した場合には16ビットバスモードとなり、ポートEがデータバスとなります。

FLMCR1のSWEビットを1にセットすることにより、ユーザプログラムモードに遷移します。

3.3.5 モード5

CPUはアドバンストモードで、アドレス空間は16Mバイトです。内蔵ROMは有効です。エリア0の前半に接続された外部ROMのプログラムを実行します。

ポートA~Cはアドレスバス、ポートD、Eがデータバス、ポートF~Hの一部がバス制御信号となります。

リセット直後は16ビットバスモードで、すべてのエリアは16ビットアクセス空間となります。ただし、バスコントローラにより、すべてのエリアを8ビットアクセス空間に設定した場合には8ビットバスモードとなります。

FLMCR1のSWEビットを1にセットすることにより、ユーザプログラムモードに遷移します。

3.3.6 モード6

CPUはアドバンストモードで、アドレス空間は16Mバイトです。内蔵ROMは有効です。エリア0の前半に接続された外部ROMのプログラムを実行します。

ポートA~Cはアドレスバス、ポートD、Eがデータバス、ポートF~Hの一部がバス制御信号となります。

リセット直後は8ビットバスモードで、すべてのエリアは8ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを16ビットアクセス空間に設定した場合には16ビットバスモードとなり、ポートEがデータバスとなります。

FLMCR1のSWEビットを1にセットすることにより、ユーザプログラムモードに遷移します。

3.3.7 モード7

CPU はアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は有効です。シングルチップモードで起動します。シングルチップモードでは外部アドレス空間は使用できません。

リセット直後はシングルチップモードで、すべての I/O ポートを入出力ポートとして使用できます。ただし SYSCR の EXPE ビットを 1 にセットすると外部拡張モードとなり、外部アドレス空間が有効となります。外部拡張モードの場合、初期状態はすべてのエリアで 16 ビットアクセス空間となっています。ポート A ~ H の端子は内蔵 ROM 有効外部拡張モードと同様です。

FLMCR1 の SWE ビットを 1 にセットすることにより、ユーザプログラムモードに遷移します。

3.3.8 端子機能

動作モードにより、ポート A ~ H の端子機能が切り替わります。H8S/2668 グループの各動作モードにおける端子機能の一覧を表 3.2 に示します。

表 3.2 各動作モードにおける端子機能

ポート		モード1	モード2	モード3	モード4	モード5	モード6	モード7
ポート A	PA7 ~ PA5	P*/A	P*/A	P*/A	P*/A	P*/A	P*/A	P*/A
	PA4 ~ PA0	A	A			A	A	
ポート B		A	A	P*/A	P*/A	A	A	P*/A
ポート C		A	A	P*/A	P*/A	A	A	P*/A
ポート D		D	D	P*/D	D	D	D	P*/D
ポート E		P/D*	P*/D	P*/D	P*/D	P/D*	P*/D	P*/D
ポート F	PF7, PF6	P/C*	P/C*	P*/C	P/C*	P/C*	P/C*	P*/C
	PF5, PF4	C	C		C	C		
	PF3	P/C*	P/C*		P/C*	P/C*		
	PF2 ~ PF0	P*/C	P*/C		P*/C	P*/C		
ポート G	PG6 ~ PG1	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C
	PG0	P/C*	P/C*		P*/C	P/C*	P/C*	
ポート H		P*/C	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C

【記号説明】

- P : 入出力ポート
- A : アドレスバス出力
- D : データバス入出力
- C : 制御信号、クロック入出力
- * : リセット直後

3.4 各動作モードのアドレスマップ

各製品のアドレスマップを図 3.1、図 3.2 に示します。

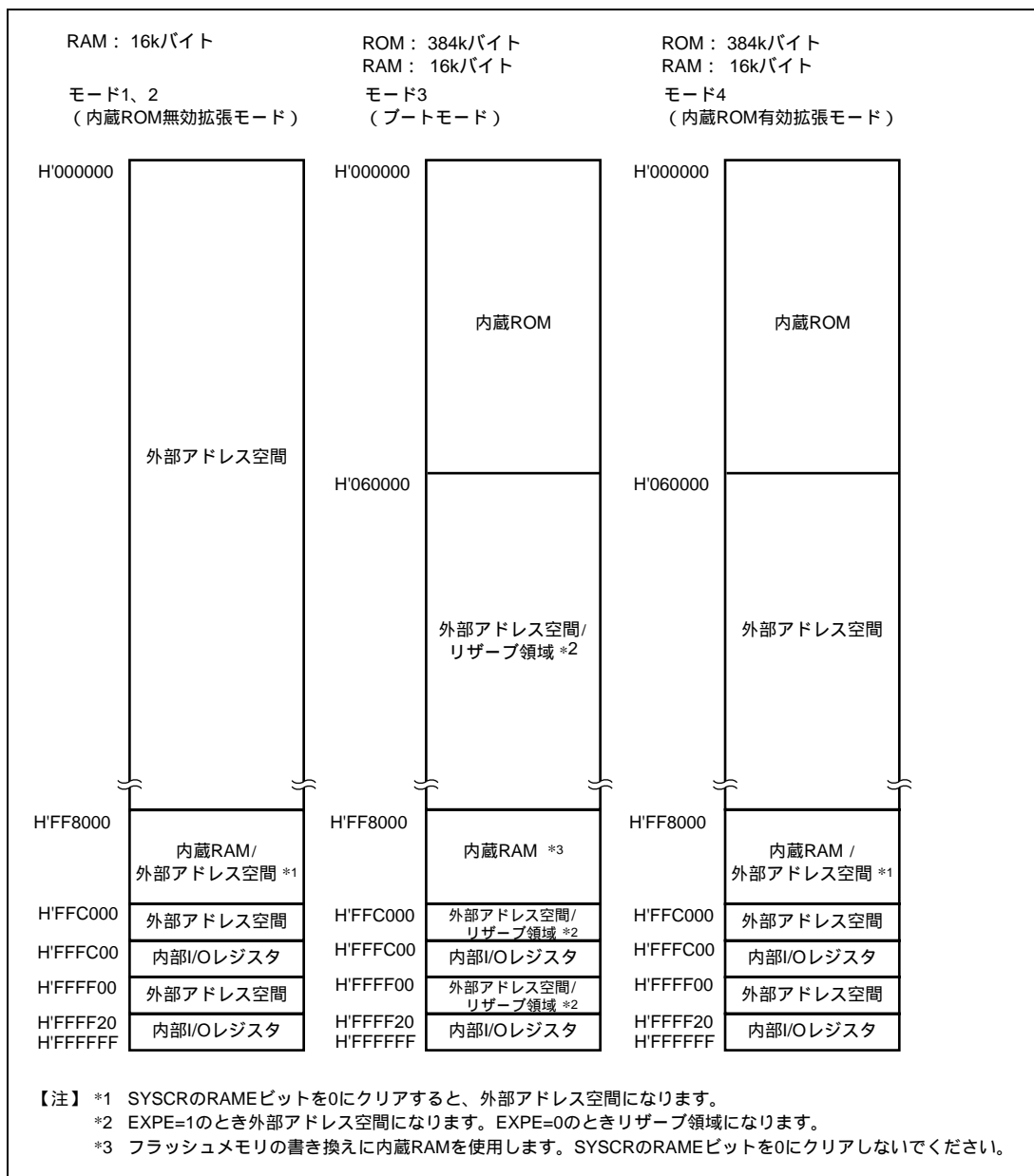


図 3.1 H8S/2667 の各動作モードのアドレスマップ (1)

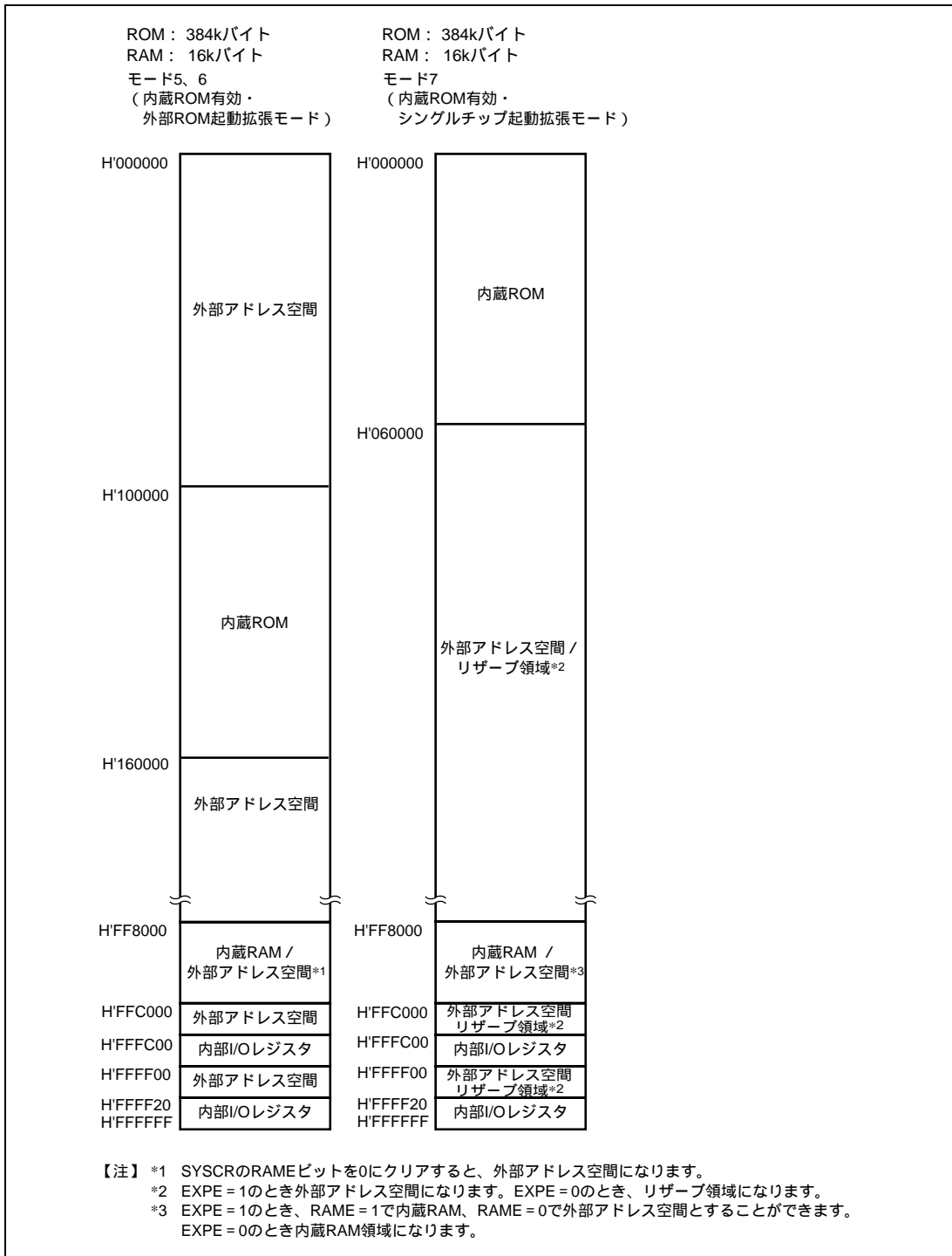


図 3.2 H8S/2667 の各動作モードのアドレスマップ (2)

3. MCU 動作モード

4. 例外処理

4.1 例外処理の種類と優先度

例外処理要因には表 4.1 に示すように、リセット、トレース、割り込み、およびトラップ命令があります。これらの例外処理要因には表 4.1 のように優先順位が設けられており、複数の例外処理要因が同時に発生した場合は、この優先度に従って受け付けられます。例外処理は割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。割り込み制御モードの詳細については、「第 5 章 割り込みコントローラ」を参照してください。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
↑ 高 ↓ 低	リセット	$\overline{\text{RES}}$ 端子の Low レベルから High レベルへの遷移時、またはウォッチドッグタイマのオーバフローにより開始します。 $\overline{\text{RES}}$ 端子が Low レベルのときリセット状態になります。
	トレース* ¹	EXR のトレース (T) ビット = 1 の状態で、命令または例外処理の実行終了時に開始します。
	直接遷移* ²	SLEEP 命令の実行により、直接遷移が発生すると開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。* ³
	トラップ命令* ⁴	トラップ (TRAPA) 命令の実行により開始します。

- 【注】 *1 トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。
*2 本 LSI では使用できません。
*3 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。
*4 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

4. 例外処理

4.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。例外処理要因とベクタアドレスとの対応を表 4.2 に示します。製品によって使用できるモードが異なりますので、製品ごとの詳細は「第 3 章 MCU 動作モード」を参照してください。

表 4.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタアドレス* ¹	
		ノーマルモード* ²	アドバンスモード
パワーオンリセット	0	H'0000 ~ H'0001	H'0000 ~ H'0003
マニュアルリセット* ²	1	H'0002 ~ H'0003	H'0004 ~ H'0007
システム予約	2	H'0004 ~ H'0005	H'0008 ~ H'000B
	3	H'0006 ~ H'0007	H'000C ~ H'000F
	4	H'0008 ~ H'0019	H'0010 ~ H'0013
トレース	5	H'000A ~ H'000B	H'0014 ~ H'0017
割り込み (直接遷移)* ²	6	H'000C ~ H'000D	H'0018 ~ H'001B
割り込み (NMI)	7	H'000E ~ H'000F	H'001C ~ H'001F
トラップ命令 (#0)	8	H'0010 ~ H'0011	H'0020 ~ H'0023
トラップ命令 (#1)	9	H'0012 ~ H'0013	H'0024 ~ H'0027
トラップ命令 (#2)	10	H'0014 ~ H'0015	H'0028 ~ H'002B
トラップ命令 (#3)	11	H'0016 ~ H'0017	H'002C ~ H'002F
システム予約	12	H'0018 ~ H'0019	H'0030 ~ H'0033
	13	H'001A ~ H'001B	H'0034 ~ H'0037
	14	H'001C ~ H'001D	H'0038 ~ H'003B
	15	H'001E ~ H'001F	H'003C ~ H'003F
外部割り込み IRQ0	16	H'0020 ~ H'0021	H'0040 ~ H'0043
外部割り込み IRQ1	17	H'0022 ~ H'0023	H'0044 ~ H'0047
外部割り込み IRQ2	18	H'0024 ~ H'0025	H'0048 ~ H'004B
外部割り込み IRQ3	19	H'0026 ~ H'0027	H'004C ~ H'004F
外部割り込み IRQ4	20	H'0028 ~ H'0029	H'0050 ~ H'0053
外部割り込み IRQ5	21	H'002A ~ H'002B	H'0054 ~ H'0057
外部割り込み IRQ6	22	H'002C ~ H'002D	H'0058 ~ H'005B
外部割り込み IRQ7	23	H'002E ~ H'002F	H'005C ~ H'005F

例外処理要因	ベクタ番号	ベクタアドレス*1	
		ノーマルモード*2	アドバンスモード
システム予約	24	H'0030 ~ H'0031	H'0060 ~ H'0063
	25	H'0032 ~ H'0033	H'0064 ~ H'0067
	26	H'0034 ~ H'0035	H'0068 ~ H'006B
	27	H'0036 ~ H'0037	H'006C ~ H'006F
	28	H'0038 ~ H'0039	H'0070 ~ H'0073
	29	H'003A ~ H'003B	H'0074 ~ H'0077
	30	H'003C ~ H'003D	H'0078 ~ H'007B
	31	H'003E ~ H'003F	H'007C ~ H'007F
内部割り込み*3	32	H'0040 ~ H'0041	H'0080 ~ H'0083
	99	H'00C6 ~ H'00C7	H'018C ~ H'018F

【注】 *1 先頭アドレスの下位 16 ビットを示しています。

*2 本 LSI では使用できません。

*3 割り込みのベクタテーブルは、「5.5 割り込み例外処理ベクタテーブル」を参照してください。

4.3 リセット

リセットは、最も優先順位の高い例外処理です。 $\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。本 LSI を確実にリセットするため、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は $\overline{\text{RES}}$ 端子を最低 20 ステートの間、Low レベルに保持してください。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 12 章 ウォッチドッグタイマ (WDT)」を参照してください。リセット直後は割り込み制御モードは 0 になっています。

4.3.1 リセット例外処理

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理を開始し、本 LSI は次のように動作します。

1. CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化され、EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットが 1 にセットされます。
2. リセット例外処理ベクタアドレスをリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.1、図 4.2 に示します。

4. 例外処理

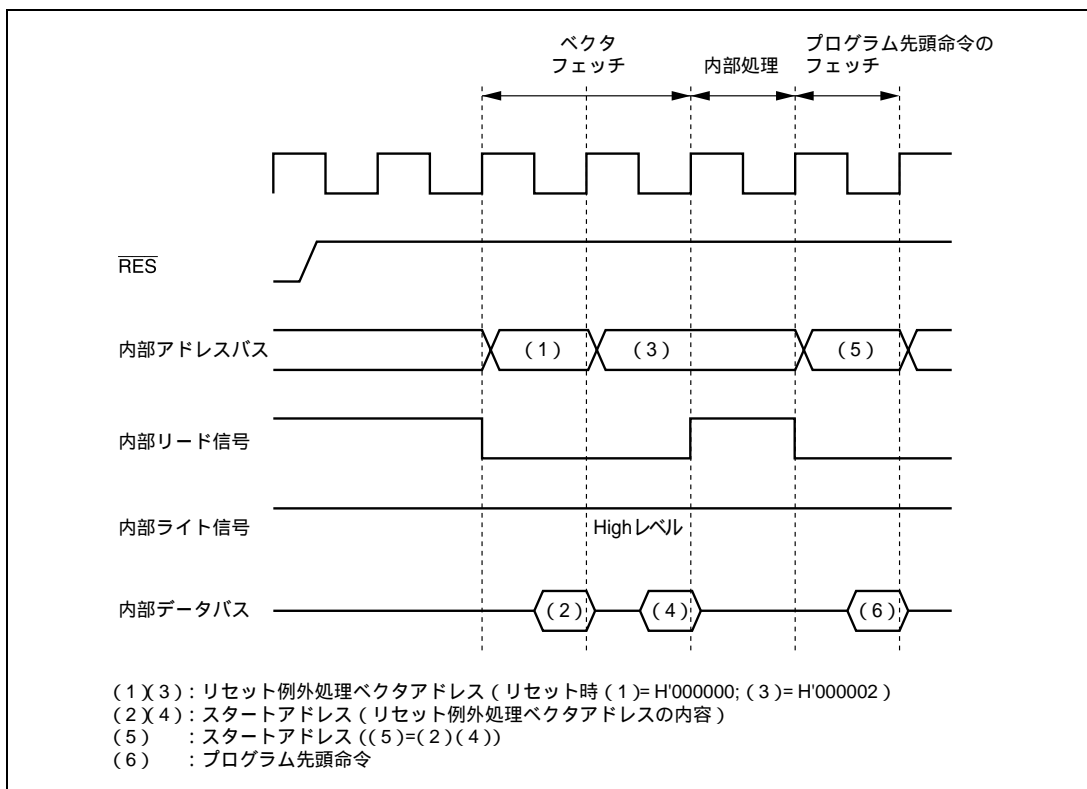


図 4.1 リセットシーケンス (アドバンスモード/内蔵 ROM 有効)

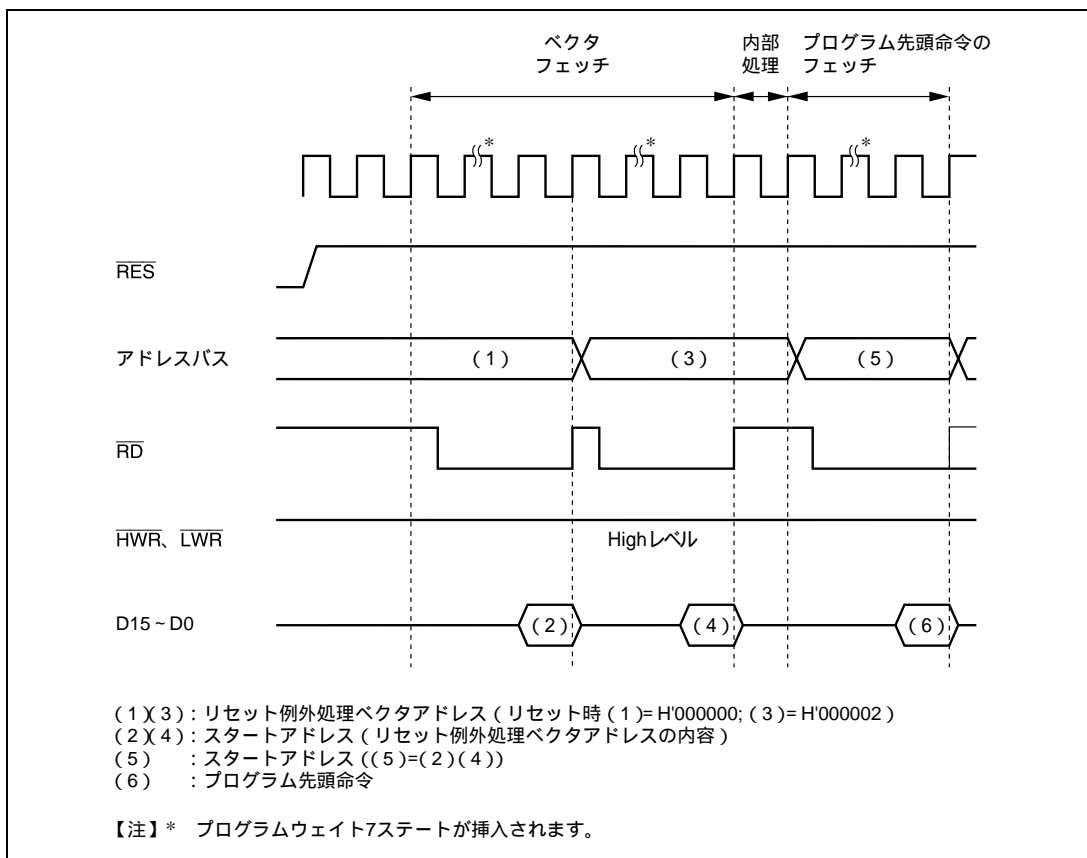


図 4.2 リセットシーケンス (アドバンスモード/内蔵 ROM 無効)

4.3.2 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx, SP)。

4.3.3 リセット解除後の内蔵周辺機能

リセット解除後、MSTPCR は H'0FFF に初期化され、DTC を除くすべてのモジュールがモジュールストップモードになっています。

そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップモードを解除することにより、レジスタのリード/ライトが可能となります。

4.4 トレース例外処理

トレースは、割り込み制御モード2で有効です。割り込み制御モード0では、Tビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードについては、「第5章 割り込みコントローラ」を参照してください。

EXRのTビットを1にセットすると、トレースモードになります。トレースモードではCPUが1命令を実行するたびにトレース例外処理を開始します。トレース例外処理はCCRの割り込みマスクビットの影響を受けません。表4.3にトレース例外処理後のCCR、EXRの状態を示します。トレース例外処理によってEXRのTビットが0にクリアされてトレースモードが解除されますが、スタックに退避されたTビットは1を保持しており、RTE命令によってトレース例外処理ルーチンから復帰した後は再びトレースモードになります。RTE命令の実行ではトレース例外処理を行いません。

トレース例外処理ルーチンでも割り込みを受け付けます。

表 4.3 トレース例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	トレース例外処理は使用できません。			
2	1	-	-	0

【記号説明】

- 1 : 1にセットされます。
- 0 : 0にクリアされます。
- : 実行前の値が保持されます。

4.5 割り込み例外処理

割り込みは割り込みコントローラによって制御されます。割り込み制御には、2つの割り込み制御モードがあり、NMI以外の割り込みに8レベルの優先順位/マスクレベルを設定して、多重割り込みの制御を行うことができます。割り込み例外処理を開始させる要因とベクタアドレスは製品によって異なります。詳細は「第5章 割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

1. プログラムカウンタ(PC)とコンディションコードレジスタ(CCR)、エクステンドレジスタ(EXR)の内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

4.6 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) の内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.4 に、トラップ命令例外処理実行後の CCR、EXR の状態を示します。

表 4.4 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	1	-	-	-
2	1	-	-	0

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

4.7 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.3 に示します。

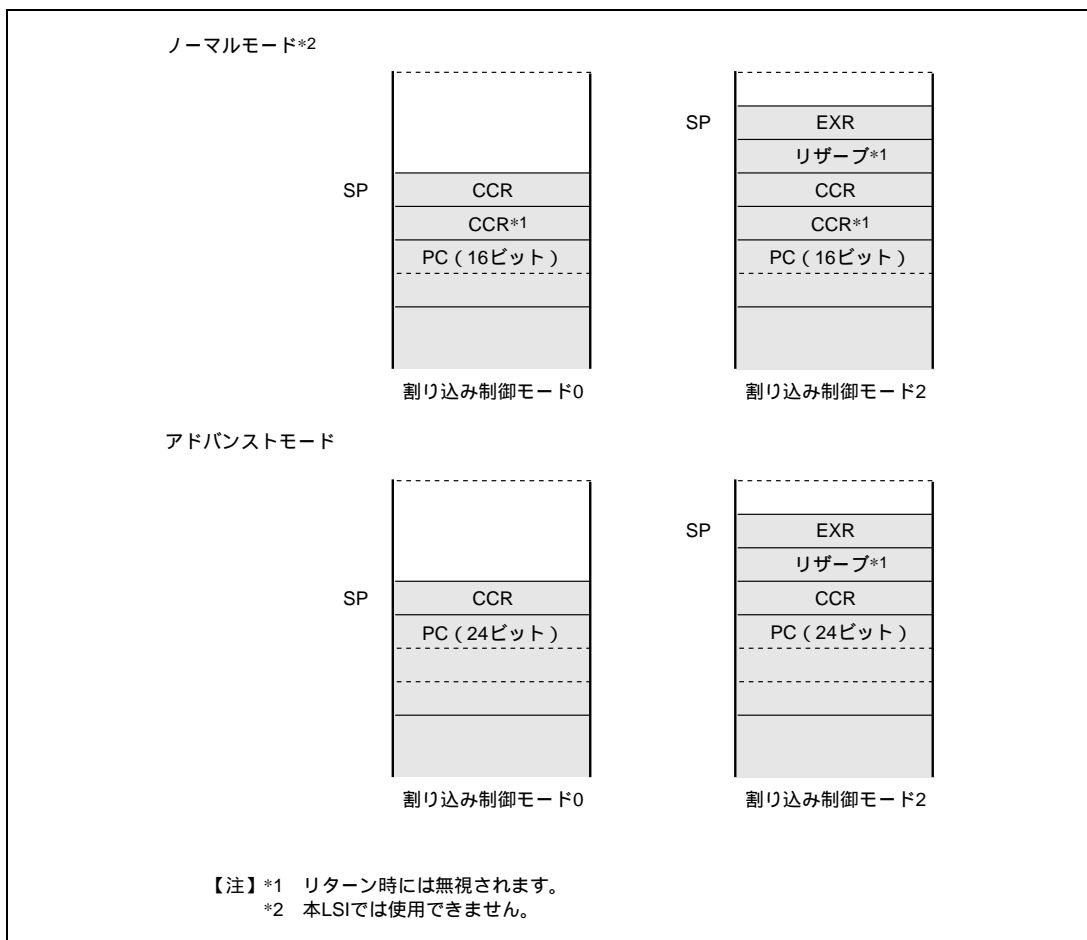


図 4.3 例外処理終了後のスタックの状態

4.8 使用上の注意事項

ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ(SP: ER7)の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH.W Rn (MOV.W Rn, @-SP)
```

```
PUSH.L ERn (MOV.L ERn, @-SP)
```

また、レジスタの復帰は、

```
POP.W Rn (MOV.W @SP+, Rn)
```

```
POP.L ERn (MOV.L @SP+, ERn)
```

を使用してください。

SPを奇数に設定すると、誤動作の原因となります。SPを奇数に設定した場合の動作例を図4.4に示します。

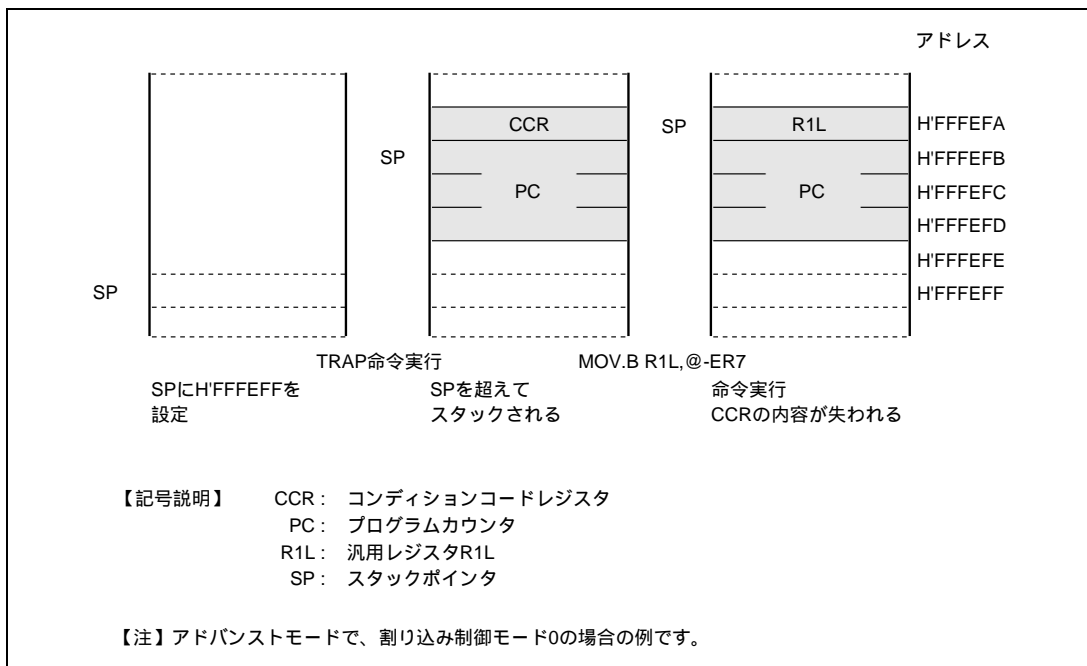


図 4.4 SP を奇数に設定したときの動作

4. 例外处理

5. 割り込みコントローラ

5.1 特長

- 2種類の割り込み制御モード
割り込みコントロールレジスタ (INTCR) のINTM1、INTM0ビットにより、2種類の割り込み制御モードをサポートしています。
- IPRにより、優先順位を設定可能
インタラプトプライオリティレジスタ (IPR) により、NMI以外の割り込み要求にはモジュールごとに8レベルの優先順位を設定できます。NMIは、最優先のレベル8の割り込み要求として、常に受け付けられます。
- 独立したベクタアドレス
すべての割り込み要因には独立したベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。
- 9本の外部割り込み端子
NMIは最優先の割り込みで常に受け付けられます。NMIは立ち上がりエッジまたは立ち下がりエッジを選択できます。 $\overline{IRQ7} \sim \overline{IRQ0}$ は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。
- DTCの制御
割り込み要求によりDTCを起動することができます。

5. 割り込みコントローラ

割り込みコントローラのブロック図を図 5.1 に示します。

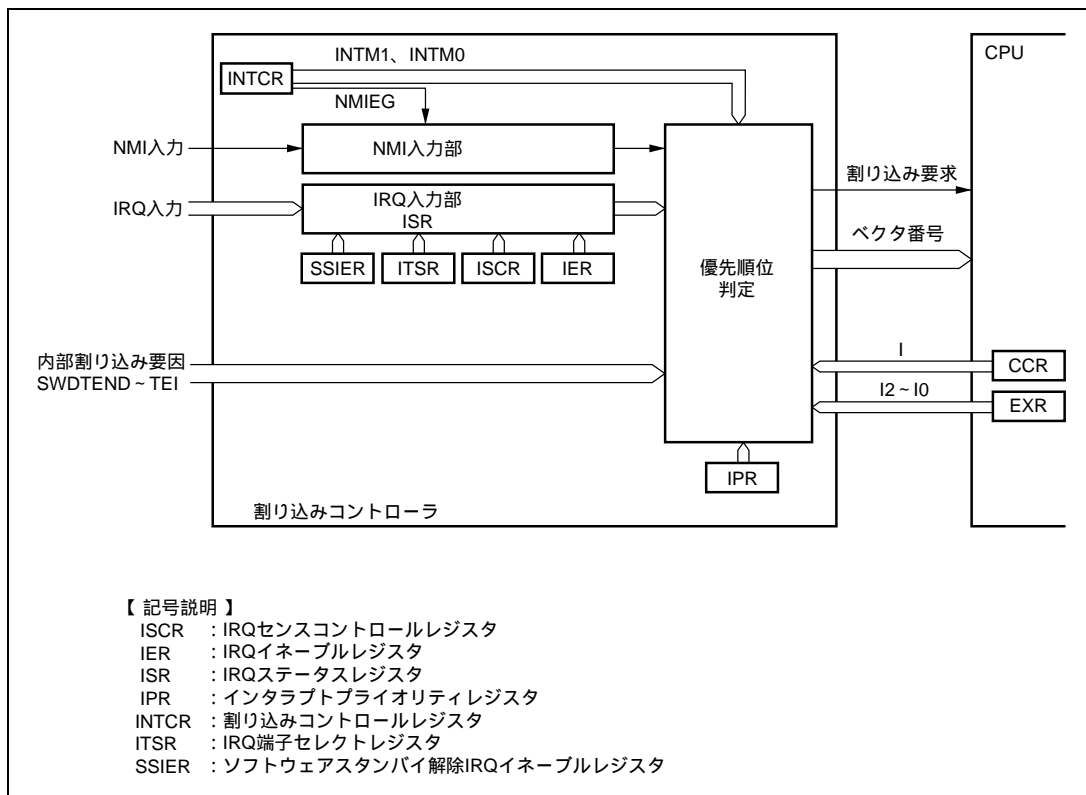


図 5.1 割り込みコントローラのブロック図

5.2 入出力端子

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名 称	入出力	機 能
NMI	入力	ノンマスク外部割り込み端子 立ち上がりエッジまたは立ち下がりエッジを選択可能。
IRQ7 ~ IRQ0	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを独立に選択可能。

5.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。

- 割り込みコントロールレジスタ (INTCR)
- IRQセンスコントロールレジスタ (ISCR)
- IRQイネーブルレジスタ (IER)
- IRQステータスレジスタ (ISR)
- IRQ端子セレクトレジスタ (ITSR)
- ソフトウェアスタンバイ解除IRQイネーブルレジスタ (SSIER)
- インタラプトプライオリティレジスタA (IPRA)
- インタラプトプライオリティレジスタB (IPRB)
- インタラプトプライオリティレジスタC (IPRC)
- インタラプトプライオリティレジスタD (IPRD)
- インタラプトプライオリティレジスタE (IPRE)
- インタラプトプライオリティレジスタF (IPRF)
- インタラプトプライオリティレジスタG (IPRG)
- インタラプトプライオリティレジスタH (IPRH)
- インタラプトプライオリティレジスタI (IPRI)
- インタラプトプライオリティレジスタJ (IPRJ)
- インタラプトプライオリティレジスタK (IPRK)

5.3.1 割り込みコントロールレジスタ (INTCR)

INTCR は割り込み制御モードの選択、NMI の検出エッジの選択を行います。

ビット	ビット名	初期値	R/W	説明
7		0	R/W	リザーブビット
6		0	R/W	リード/ライト可能ですが、0をライトしてください。
5	INTM1	0	R/W	割り込み制御選択モード 1、0 割り込みコントローラの割り込み制御モードを選択します。 00：割り込み制御モード0 1ビットで割り込みを制御します。 01：設定禁止 10：割り込み制御モード2 12～10ビットとIPRで割り込みを制御します。 11：設定禁止
4	INTM0	0	R/W	

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説 明
3	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0 : NMI 入力の下がりエッジで割り込み要求を発生 1 : NMI 入力の上がりエッジで割り込み要求を発生
2~0		0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。

5.3.2 インタラプトプライオリティレジスタ A~K (IPRA~IPRK)

IPR は 16 ビットのリード/ライト可能な 11 本のレジスタで、NMI を除く割り込み要因の優先順位(レベル7~0)を設定します。各割り込み要因と IPR の対応については表 5.2 を参照してください。ビット 14~12、ビット 10~8、ビット 6~4、ビット 2~0 の各 3 ビットに H'0 から H'7 の範囲の値を設定することによって、対応する割り込み要求の優先順位が決まります。IPR のリードはワードサイズで行ってください。

ビット	ビット名	初期値	R/W	説 明
15		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
14	IPR14	1	R/W	対応する割り込み要因の優先順位を設定します。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
13	IPR13	1	R/W	
12	IPR12	1	R/W	
11		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
10	IPR10	1	R/W	対応する割り込み要因の優先順位を設定します。 000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
9	IPR9	1	R/W	
8	IPR8	1	R/W	

ビット	ビット名	初期値	R/W	説明
7		0		リザーブビット リードすると常に0が読み出されます。ライトは無効です。
6	IPR6	1	R/W	対応する割り込み要因の優先順位を設定します。 000: 優先レベル0 (最低) 001: 優先レベル1 010: 優先レベル2 011: 優先レベル3 100: 優先レベル4 101: 優先レベル5 110: 優先レベル6 111: 優先レベル7 (最高)
5	IPR5	1	R/W	
4	IPR4	1	R/W	
3		0		
2	IPR2	1	R/W	対応する割り込み要因の優先順位を設定します。 000: 優先レベル0 (最低) 001: 優先レベル1 010: 優先レベル2 011: 優先レベル3 100: 優先レベル4 101: 優先レベル5 110: 優先レベル6 111: 優先レベル7 (最高)
1	IPR1	1	R/W	
0	IPR0	1	R/W	

5.3.3 IRQ イネーブルレジスタ (IER)

IER は IRQ7 ~ IRQ0 割り込み要求をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
15~8		0	R/W	リザーブビット リード/ライト可能ですがライト時には0をライトしてください。
7	IRQ7E	0	R/W	IRQ7 イネーブル このビットが1のとき IRQ7 割り込み要求がイネーブルになります。
6	IRQ6E	0	R/W	IRQ6 イネーブル このビットが1のとき IRQ6 割り込み要求がイネーブルになります。
5	IRQ5E	0	R/W	IRQ5 イネーブル このビットが1のとき IRQ5 割り込み要求がイネーブルになります。
4	IRQ4E	0	R/W	IRQ4 イネーブル このビットが1のとき IRQ4 割り込み要求がイネーブルになります。

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
3	IRQ3E	0	R/W	IRQ3 イネーブル このビットが1のとき IRQ3 割り込み要求がイネーブルになります。
2	IRQ2E	0	R/W	IRQ2 イネーブル このビットが1のとき IRQ2 割り込み要求がイネーブルになります。
1	IRQ1E	0	R/W	IRQ1 イネーブル このビットが1のとき IRQ1 割り込み要求がイネーブルになります。
0	IRQ0E	0	R/W	IRQ0 イネーブル このビットが1のとき IRQ0 割り込み要求がイネーブルになります。

5.3.4 IRQ センスコントロールレジスタ (ISCR)

ISCR は $\overline{\text{IRQ7}}$ ~ $\overline{\text{IRQ0}}$ 端子から割り込み要求を発生させる要因を選択します。

ビット	ビット名	初期値	R/W	説明
15	IRQ7SCB	0	R/W	IRQ7 センスコントロール B IRQ7 センスコントロール A 00: $\overline{\text{IRQ7}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ7}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ7}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ7}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
14	IRQ7SCA	0	R/W	
13	IRQ6SCB	0	R/W	IRQ6 センスコントロール B IRQ6 センスコントロール A 00: $\overline{\text{IRQ6}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ6}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ6}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ6}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
12	IRQ6SCA	0	R/W	
11	IRQ5SCB	0	R/W	IRQ5 センスコントロール B IRQ5 センスコントロール A 00: $\overline{\text{IRQ5}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ5}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ5}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ5}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
10	IRQ5SCA	0	R/W	
9	IRQ4SCB	0	R/W	IRQ4 センスコントロール B IRQ4 センスコントロール A 00: $\overline{\text{IRQ4}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ4}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ4}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ4}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
8	IRQ4SCA	0	R/W	

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
7 6	IRQ3SCB IRQ3SCA	0 0	R/W R/W	IRQ3 センスコントロール B IRQ3 センスコントロール A 00: $\overline{\text{IRQ3}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ3}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ3}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ3}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
5 4	IRQ2SCB IRQ2SCA	0 0	R/W R/W	IRQ2 センスコントロール B IRQ2 センスコントロール A 00: $\overline{\text{IRQ2}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ2}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ2}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ2}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
3 2	IRQ1SCB IRQ1SCA	0 0	R/W R/W	IRQ1 センスコントロール B IRQ1 センスコントロール A 00: $\overline{\text{IRQ1}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ1}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ1}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ1}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
1 0	IRQ0SCB IRQ0SCA	0 0	R/W R/W	IRQ0 センスコントロール B IRQ0 センスコントロール A 00: $\overline{\text{IRQ0}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ0}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ0}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ0}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

5. 割り込みコントローラ

5.3.5 IRQ ステータスレジスタ (ISR)

ISR は IRQ7 ~ IRQ0 割り込み要求フラグレジスタです。

ビット	ビット名	初期値	R/W	説明
15~8		0	R/(W)*	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
7	IRQ7F	0	R/(W)*	[セット条件]
6	IRQ6F	0	R/(W)*	• ISCR で選択した割り込み要因が発生したとき
5	IRQ5F	0	R/(W)*	[クリア条件]
4	IRQ4F	0	R/(W)*	• 1 の状態をリードした後、0 をライトしたとき
3	IRQ3F	0	R/(W)*	• Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ 入力が High レベルの状態、割り込み例外処理を実行したとき
2	IRQ2F	0	R/(W)*	• 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき
1	IRQ1F	0	R/(W)*	• 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき
0	IRQ0F	0	R/(W)*	• IRQn 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき

【注】 * フラグをクリアするための0ライトのみ可能です。

5.3.6 IRQ 端子セレクトレジスタ (ITSR)

ITSR は $\overline{\text{IRQ7}}$ ~ $\overline{\text{IRQ0}}$ の入力端子を選択します。

ビット	ビット名	初期値	R/W	説明
15~8		0	R/W	リザーブビット リード/ライト可能ですがライト時には0をライトしてください。
7	ITS7	0	R/W	$\overline{\text{IRQ7}}$ の入力端子を選択します。 0 : P57 1 : PH3
6	ITS6	0	R/W	$\overline{\text{IRQ6}}$ の入力端子を選択します。 0 : P56 1 : PH2
5	ITS5	0	R/W	$\overline{\text{IRQ5}}$ の入力端子を選択します。 0 : P55 1 : P85
4	ITS4	0	R/W	$\overline{\text{IRQ4}}$ の入力端子を選択します。 0 : P54 1 : P84
3	ITS3	0	R/W	$\overline{\text{IRQ3}}$ の入力端子を選択します。 0 : P53 1 : P83

ビット	ビット名	初期値	R/W	説 明
2	ITS2	0	R/W	IRQ2の入力端子を選択します。 0 : P52 1 : P82
1	ITS1	0	R/W	IRQ1の入力端子を選択します。 0 : P51 1 : P81
0	ITS0	0	R/W	IRQ0の入力端子を選択します。 0 : P50 1 : P80

5.3.7 ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ (SSIER)

SSIERはソフトウェアスタンバイ状態から復帰するために使用する $\overline{\text{IRQ}}$ 端子を選択します。

ビット	ビット名	初期値	R/W	説 明
15~8		0	R/W	リザーブビット リード/ライト可能ですがライト時には0をライトしてください。
7	SSI7	0	R/W	これらのビットは、ソフトウェアスタンバイ状態から復帰するために使用する $\overline{\text{IRQn}}$ 端子を選択します。 0 : IRQn 割り込み要求は、ソフトウェアスタンバイ状態ではサンプリングされません (n=7~3のときの初期値)。 1 : ソフトウェアスタンバイ状態でIRQn 割り込み要求があると、発振安定時間を経てソフトウェアスタンバイ状態から復帰します(n=2~0のときの初期値)。
6	SSI6	0	R/W	
5	SSI5	0	R/W	
4	SSI4	0	R/W	
3	SSI3	0	R/W	
2	SSI2	1	R/W	
1	SSI1	1	R/W	
0	SSI0	1	R/W	

5.4 割り込み要因

5.4.1 外部割り込み要因

外部割り込みには、NMI、IRQ7~IRQ0の9要因があります。このうち、外部割り込みはソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

ノンマスクابل割り込み要求 NMI は最優先の外部割り込み要求で、割り込み制御モードや CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジと立ち下がりエッジのいずれで割り込み要求を発生させるか、INTCR の NMIEG ビットで選択できます。

(2) IRQ7 ~ IRQ0 割り込み

IRQ7 ~ IRQ0 割り込みは $\overline{\text{IRQ7}}$ ~ $\overline{\text{IRQ0}}$ 端子の入力信号により割り込み要求を発生します。IRQ7 ~ IRQ0 割り込みには以下の特長があります。

5. 割り込みコントローラ

- $\overline{IRQ7} \sim \overline{IRQ0}$ 入力の Low レベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれで割り込み要求を発生させるか、ISCR で選択できます。
- $IRQ7 \sim IRQ0$ 割り込み要求は IER により選択できます。
- IPR により割り込みプライオリティレベルを設定できます。
- $IRQ7 \sim IRQ0$ 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで 0 にクリアすることができます。

$IRQ7 \sim IRQ0$ 割り込み要求を \overline{IRQn} 入力の Low レベルで発生するようにした場合、割り込み要求時には当該 \overline{IRQ} 入力を割り込み処理開始まで Low レベルに保持してください。その後、割り込み処理ルーチン内で、当該 \overline{IRQ} 入力を High レベルに戻し、かつ ISR の $IRQnF$ ビット ($n=7 \sim 0$) を 0 にクリアしてください。割り込み処理開始前に、当該 \overline{IRQ} 入力を High レベルに戻すと当該割り込みが実行されない場合があります。

$IRQ7 \sim IRQ0$ 割り込みの検出は、当該端子の入出力の設定に依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアして、その他の機能の入出力端子としては使用しないでください。

$IRQ7 \sim IRQ0$ 割り込みのブロック図を図 5.2 に示します。

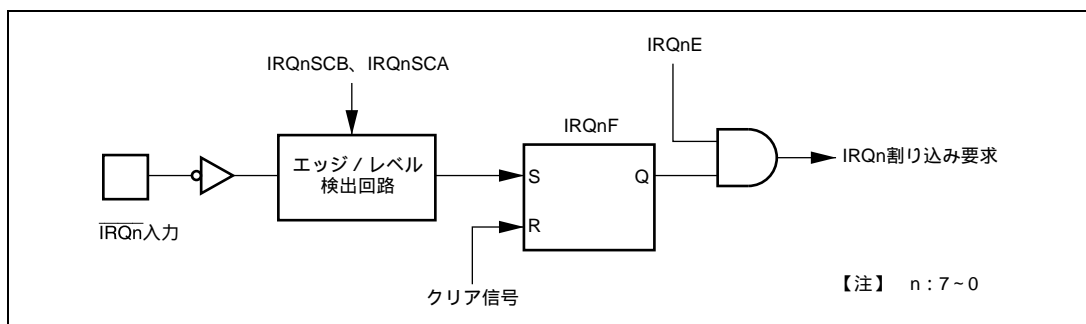


図 5.2 $IRQ7 \sim IRQ0$ 割り込みのブロック図

5.4.2 内部割り込み

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

- 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグとこれらの割り込みイネーブルビットがあり、独立に制御することができます。イネーブルビットが 1 のとき割り込み要求が割り込みコントローラに送られます。
- IPR によって割り込みプライオリティレベルを設定できます。
- TPU、SCI などの割り込み要求により DTC を起動することができます。
- 割り込み要求により DTC を起動する場合は、割り込み制御モードや、CPU の割り込みマスクビットの影響を受けません。

5.5 割り込み例外処理ベクタテーブル

表 5.2 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。割り込み制御モード 2 に設定されている場合、モジュール間の優先順位は、IPR により変更することができます。同一優先順位に設定されたモジュールはデフォルトの優先順位に従います。モジュール内の優先順位は固定されています。

表 5.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因発生元	名称	ベクタ番号	ベクタアドレス*		IPR	優先順位	DTC起動
			アドバンストモード				
外部端子	NMI	7	H'001C			↑ 高	-
	IRQ0	16	H'0040		IPRA14 ~ IPRA12		
	IRQ1	17	H'0044		IPRA10 ~ IPRA8		
	IRQ2	18	H'0048		IPRA6 ~ IPRA4		
	IRQ3	19	H'004C		IPRA2 ~ IPRA0		
	IRQ4	20	H'0050		IPRB14 ~ IPRB12		
	IRQ5	21	H'0054		IPRB10 ~ IPRB8		
	IRQ6	22	H'0058		IPRB6 ~ IPRB4		
		23	H'005C		IPRB2 ~ IPRB0		
システム予約		24	H'0060		IPRC14 ~ IPRC12		-
		25	H'0064		IPRC10 ~ IPRC8		-
		26	H'0068		IPRC6 ~ IPRC4		-
		27	H'006C		IPRC2 ~ IPRC0		-
		28	H'0070		IPRD14 ~ IPRD12		-
		29	H'0074		IPRD10 ~ IPRD8		-
		30	H'0078		IPRD6 ~ IPRD4		-
		31	H'007C		IPRD2 ~ IPRD0		-
DTC	SWDTEND	32	H'0080		IPRE14 ~ IPRE12		-
WDT	WOVI	33	H'0084		IPRE10 ~ IPRE8		-
システム予約		34	H'0088		IPRE6 ~ IPRE4		-
		35	H'008C		IPRE2 ~ IPRE0		-
		36	H'0090		IPRF14 ~ IPRF12		-
		37	H'0094				-
A/D	ADI	38	H'0098		IPRF10 ~ IPRF8		
	システム予約	39	H'009C				-
						↓ 低	

5. 割り込みコントローラ

割り込み要因発生元	名称	ベクタ 番号	ベクタアドレス*	IPR	優先 順位	DTC 起動
			アドバンスト モード			
	システム予約	104	H'01A0	IPRJ2 ~ IPRJ0	↑ 高	-
		105	H'01A4			-
		106	H'01A8			-
		107	H'01AC			-
		108	H'01B0	IPRK14 ~ IPRK12		-
		109	H'01B4			-
		110	H'01B8			-
		111	H'01BC			-
		112	H'01C0	IPRK10 ~ IPRK8		-
		113	H'01C4			-
		114	H'01C8			-
		115	H'01CC			-
		116	H'01D0	IPRK6 ~ IPRK4		-
		117	H'01D4			-
		118	H'01D8			-
		119	H'01DC			-
		120	H'01E0	IPRK2 ~ IPRK0	↓ 低	-
		121	H'01E4			-
		122	H'01E8			-
		123	H'01EC			-
		124	H'01F0			-
		125	H'01F4			-
		126	H'01F8			-
		127	H'01FC			-

【注】 * 先頭アドレスの下位 16 ビットを示しています。

5.6 割り込み制御モードと割り込み動作

割り込みコントローラには割り込み制御モード0と割り込み制御モード2の2種類のモードがあり、割り込み制御モードによって動作が異なります。割り込み制御モードの選択はINTCRで行います。表5.3に割り込み制御モード0と割り込み制御モード2の相違点を示します。

表 5.3 割り込み制御モード

割り込み制御モード	割り込み優先順位	割り込みマスクビット	説明
0	デフォルト	1	各割り込み要因の優先順位はデフォルトで固定されています。 NMIを除く割り込み要因は1ビットによりマスクされます。
2	IPR	12~10	IPRによりNMIを除く各割り込み要因に8レベルの優先順位を設定できます。 12~10ビットにより、8レベルの割り込みマスク制御を行います。

5.6.1 割り込み制御モード0

割り込み制御モード0ではNMIを除く割り込み要求はCPUのCCRのIビットによってマスクされます。割り込み受け付け動作のフローチャートを図5.3に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. CPUのIビットが1にセットされているときは、割り込みコントローラはNMI以外の割り込み要求を保留します。Iビットがクリアされているときは割り込み要求を受け付けます。
3. 複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択してCPUに対して割り込み処理を要求し、その他は保留します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのIビットを1にセットします。これにより、NMIを除く割り込みがマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

5. 割り込みコントローラ

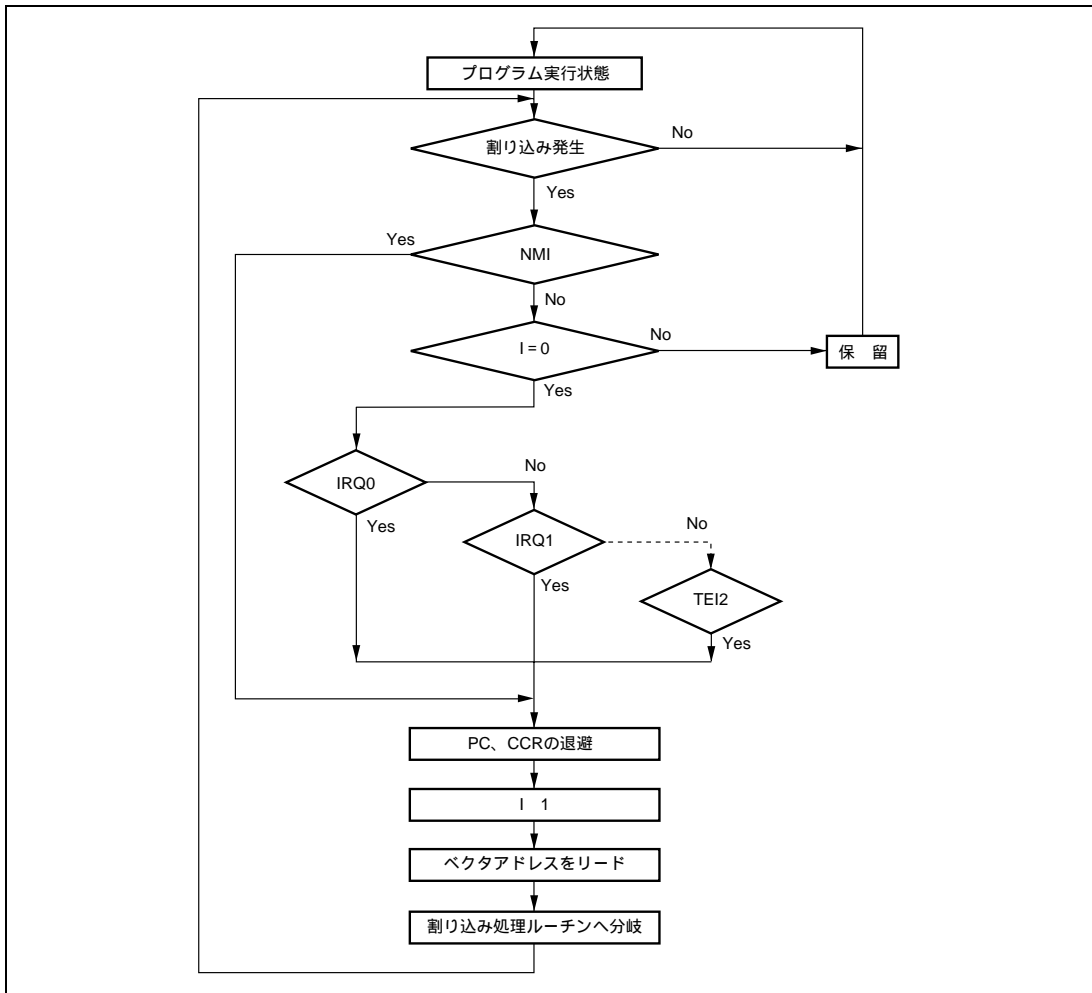


図 5.3 割り込み制御モード 0 の割り込み受け付けまでのフロー

5.6.2 割り込み制御モード 2

割り込み制御モード 2 では NMI を除く割り込み要求は CPU の EXR の割り込みマスクレベル (12~10 ビット) と IPR との比較によって 8 レベルのマスク制御を行います。割り込み受け付け動作のフローチャートを図 5.4 に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 複数の割り込み要求があるときは割り込みコントローラはIPRに設定された割り込みプライオリティレベルに従って最も優先度の高い割り込みを選択し、それより低位の割り込み要求は保留します。プライオリティレベルが同一の場合は表5.2に示すデフォルトの優先順位に従って割り込み要求を選択します。
3. その後、選択した割り込み要求の優先順位とEXRの割り込みマスクレベルとを比較します。設定されていたマスクレベル以下であれば保留し、割り込みマスクレベルより優先順位が高ければCPUに対して割り込み処理を要求します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PC、CCRおよびEXRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. EXRのTビットが0にクリアされます。割り込みマスクレベルは受け付けた割り込みのプライオリティレベルに書き換えられます。受け付けた割り込みがNMIのときは割り込みマスクレベルはH'7に設定されます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

5. 割り込みコントローラ

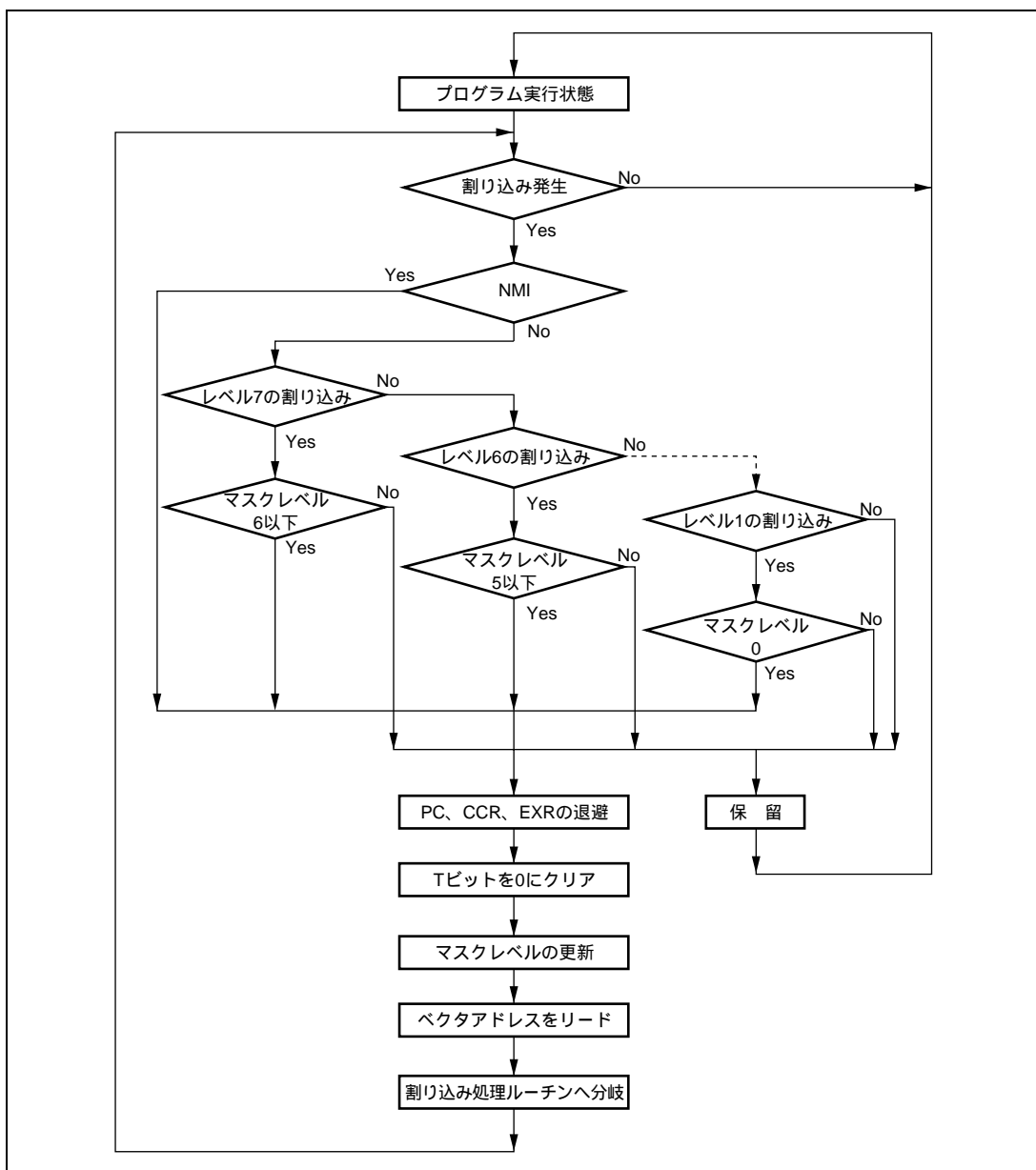


図 5.4 割り込み制御モード 2 の割り込み受け付けまでのフロー

5.6.3 割り込み例外処理シーケンス

図 5.5 に、割り込み例外処理シーケンスを示します。アドバンスドモードで割り込み制御モード 0、プログラム領域およびスタック領域が内蔵メモリの場合の例です。

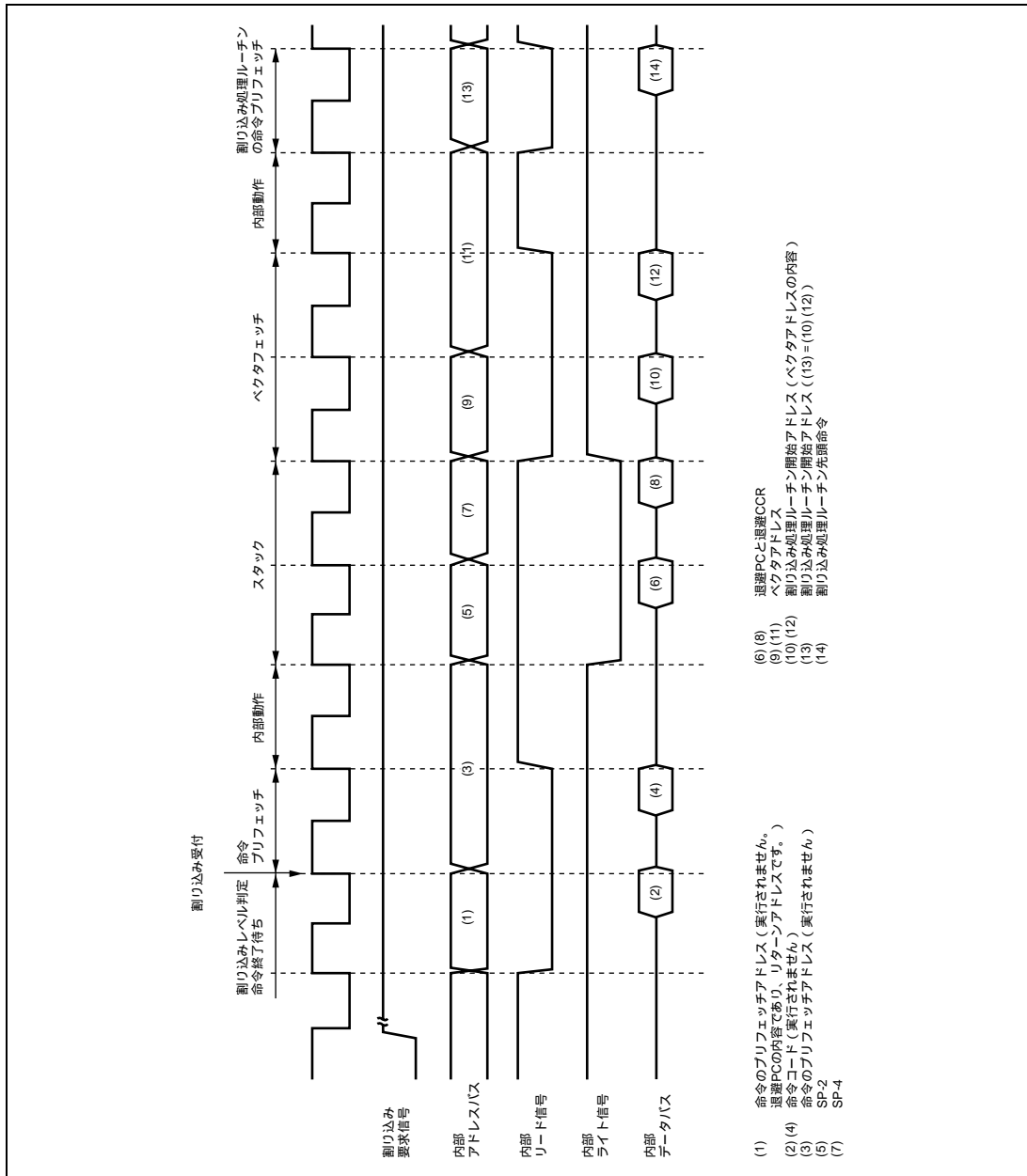


図 5.5 割り込み例外処理

5. 割り込みコントローラ

5.6.4 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.4 に示します。表 5.4 の実行状態の記号については表 5.5 を参照してください。本 LSI は内蔵メモリに対して高速ワードアクセスが可能なため、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることで処理速度の向上が図れます。

表 5.4 割り込み応答時間

No.	実行状態	ノーマルモード*5		アドバンスモード	
		割り込み制御 モード 0	割り込み制御 モード 2	割り込み制御 モード 0	割り込み制御 モード 2
1	割り込み優先順位判定*1	3			
2	実行中の命令が終了するまでの待ちステート数*2	$1 \sim 19 + 2 \cdot S_i$			
3	PC、CCR および EXR のスタック	$2 \cdot S_k$	$3 \cdot S_k$	$2 \cdot S_k$	$3 \cdot S_k$
4	ベクタフェッチ	S_i		$2 \cdot S_i$	
5	命令フェッチ*3	$2 \cdot S_i$			
6	内部処理*4	2			
合計 (内蔵メモリ使用時)		11 ~ 31	12 ~ 32	12 ~ 32	13 ~ 33

- 【注】 *1 内部割り込みの場合 2 ステートとなります。
 *2 MULXS、DIVXS 命令について示しています。
 *3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。
 *4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。
 *5 本 LSI では使用できません。

表 5.5 割り込み例外処理の実行状態のステート数

記号	アクセス対象				
	内部メモリ	外部デバイス			
		8 ビットバス		16 ビットバス	
		2 ステート アクセス	3 ステートア クセス	2 ステートア クセス	3 ステートア クセス
命令フェッチ S_i	1	4	$6 + 2m$	2	$3 + m$
分岐アドレスリード S_j					
スタック操作 S_k					

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

5.6.5 割り込みによる DTC の起動

割り込み要求により DTC を起動することができます。この場合以下の選択を行うことができます。

- (1) CPU に対する割り込み要求
- (2) DTC に対する起動要求
- (3) (1) ~ (2) の複数の選択

なお、DTC を起動できる割り込み要求については、表 5.2 および「第 7 章 データ転送コントローラ (DTC)」を参照してください。

図 5.6 に DTC と割り込みコントローラのブロック図を示します。

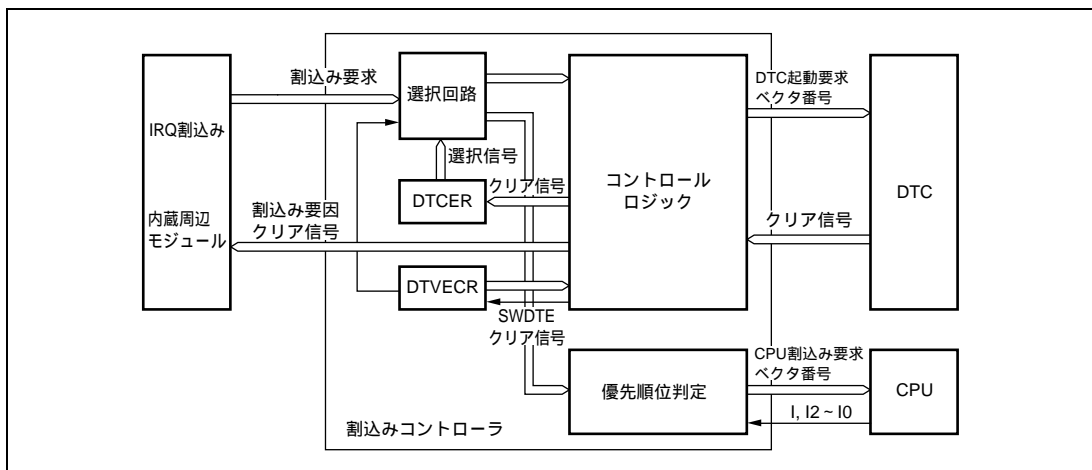


図 5.6 DTC と割り込みコントローラ

(1) 割り込み要因の選択

割り込み要因は、DTC の DTCERA ~ DTCERG の DTCE ビットにより DTC 起動要因とするか、CPU 割り込み要因とするかを選択します。

DTC の MRB の DISEL ビットにより DTC のデータ転送後、DTCE ビットを 0 にクリアして、CPU に割り込みを要求することができます。

なお、DTC が所定回数のデータ転送を行い転送カウンタが 0 になった場合には、DTC のデータ転送後、DTCE もビットを 0 にクリアして、CPU に割り込みを要求します。

(2) 優先順位判定

DTC の起動要因はデフォルトの優先順位に従って選択されます。マスクレベルやプライオリティレベルなどの影響を受けません。それぞれの優先順位は表 7.1 を参照してください。

5. 割り込みコントローラ

(3) 動作順序

同一の割り込みを DTC の起動要因と CPU の割り込み要因に選択した場合は、DTC のデータ転送終了後、CPU の割り込み例外処理を行います。同一の割り込みを DTC の起動要因、または CPU の割り込み要因に選択した場合は、それぞれ独立に動作を行います。

表 5.6 に DTC の DTCE の DTCE ビットおよび MRB の DISEL ビットの設定による割り込み要因の選択とクリア制御を示します。

表 5.6 割り込み要因の選択とクリア制御

設定内容		割り込み要因選択/クリア制御	
DTC		DTC	CPU
DTCE	DISEL		
0	*	×	
1	0		×
	1		
*	*	×	×

【記号説明】

- : 当該割り込みを使用します。割り込み要因のクリアを行います。
(CPU は割り込み処理ルーチンで、要因フラグをクリアしてください。)
- : 当該割り込みを使用します。割り込み要因をクリアしません。
- × : 当該割り込みは使用できません。
- * : Don't care

【注】 SCI および A/D 変換器の割り込み要因は DTC が所定のレジスタをリード/ライトしたときにクリアされ、DISEL ビットには依存しません。

5.7 使用上の注意事項

5.7.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットをクリアして割り込み要求をマスクする場合、割り込みのマスクはその命令実行終了後に有効になります。BCLR 命令、MOV 命令等で割り込みイネーブルビットをクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込みはイネーブル状態にあるため、命令実行終了後にその割り込み例外処理を開始します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを 0 にクリアする場合も同様です。TPU の TIER_0 の TCIEV を 0 にクリアする場合の例を図 5.7 に示します。なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

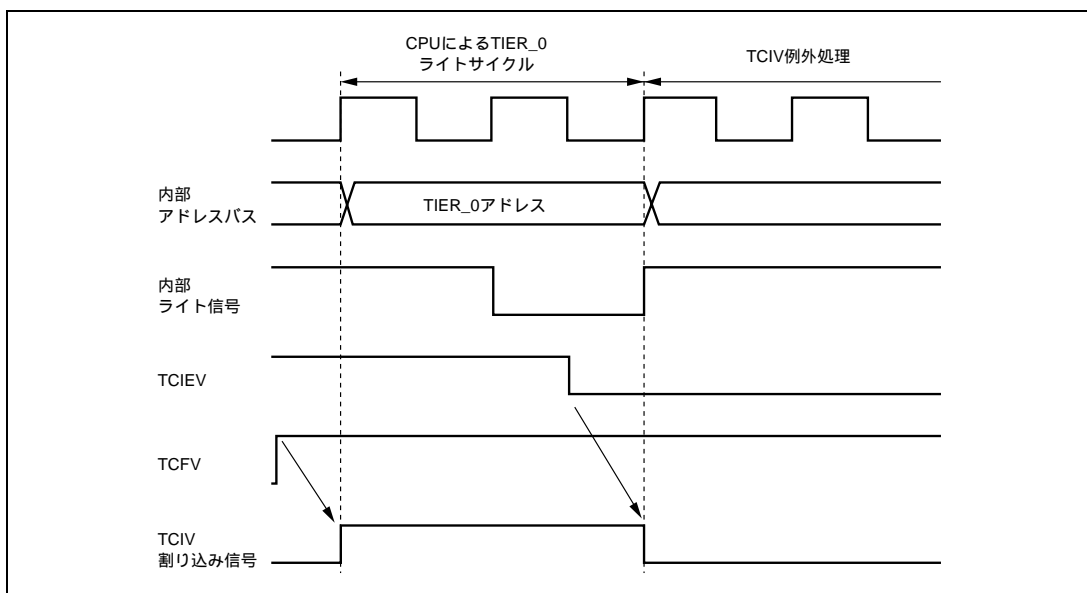


図 5.7 割り込みの発生とディスエーブルの競合

5. 割り込みコントローラ

5.7.2 割り込みを禁止している命令

実行直後に割り込み要求を受け付けない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

5.7.3 割り込み禁止期間

割り込みコントローラには割り込み要求の受け付けを禁止している期間があります。CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新した後の 3 ステート期間は、割り込みコントローラは割り込み要求を受け付けません。

5.7.4 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次の命令のアドレスとなります。このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:  EEPMOV.W
      MOV.W  R4,R4
      BNE   L1
```

5.7.5 IRQ 端子セレクトレジスタ (ITSR) 設定の変更

ITSR の設定を変更する場合、変更前に選択されていた端子のレベルと変更後に選択された端子のレベルが異なると、内部にエッジが発生し、ISR の IRQnF (n=7~0) が意図しないタイミングで 1 にセットされることがあります。このとき IRQn 割り込み要求 (n=7~0) がイネーブルされると、そのまま割り込み例外処理を実行します。意図しない割り込みを防ぐには、ITSR の設定変更を IRQn 割り込み要求を禁止の状態で行い、その後 IRQnF をクリアしてください。

5.7.6 IRQ ステータスレジスタ (ISR) について

リセット後の端子状態により IRQnF=1 となっていることがあるので、リセット後に必ず ISR をリードし、0 をライトしてください。

6. バスコントローラ (BSC)

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間を 8 つのエリアに分割して管理します。バスコントローラはバス権調停機能を持っており、内部バスマスタである CPU およびデータトランスファコントローラ (DTC) の動作を制御します。

バスコントローラのブロック図を図 6.1 に示します。

6.1 特長

- 外部アドレス空間をエリア単位で管理
外部アドレス空間を 2M バイト単位の 8 エリアに分割して管理
エリアごとにバス仕様を設定可能
- 基本バスインタフェース
エリア 0 ~ 7 に対してチップセレクト ($\overline{CS0} \sim \overline{CS7}$) を出力可能
エリアごとに 8 ビットアクセス空間 / 16 ビットアクセス空間を選択可能
エリアごとに 2 ステートアクセス空間 / 3 ステートアクセス空間を選択可能
エリアごとにプログラムウェイトステートを挿入可能
- バス権調停機能 (バスアービトレーション)
バスアービタを内蔵し、CPU および DTC のバス権などを調停

6. バスコントローラ (BSC)

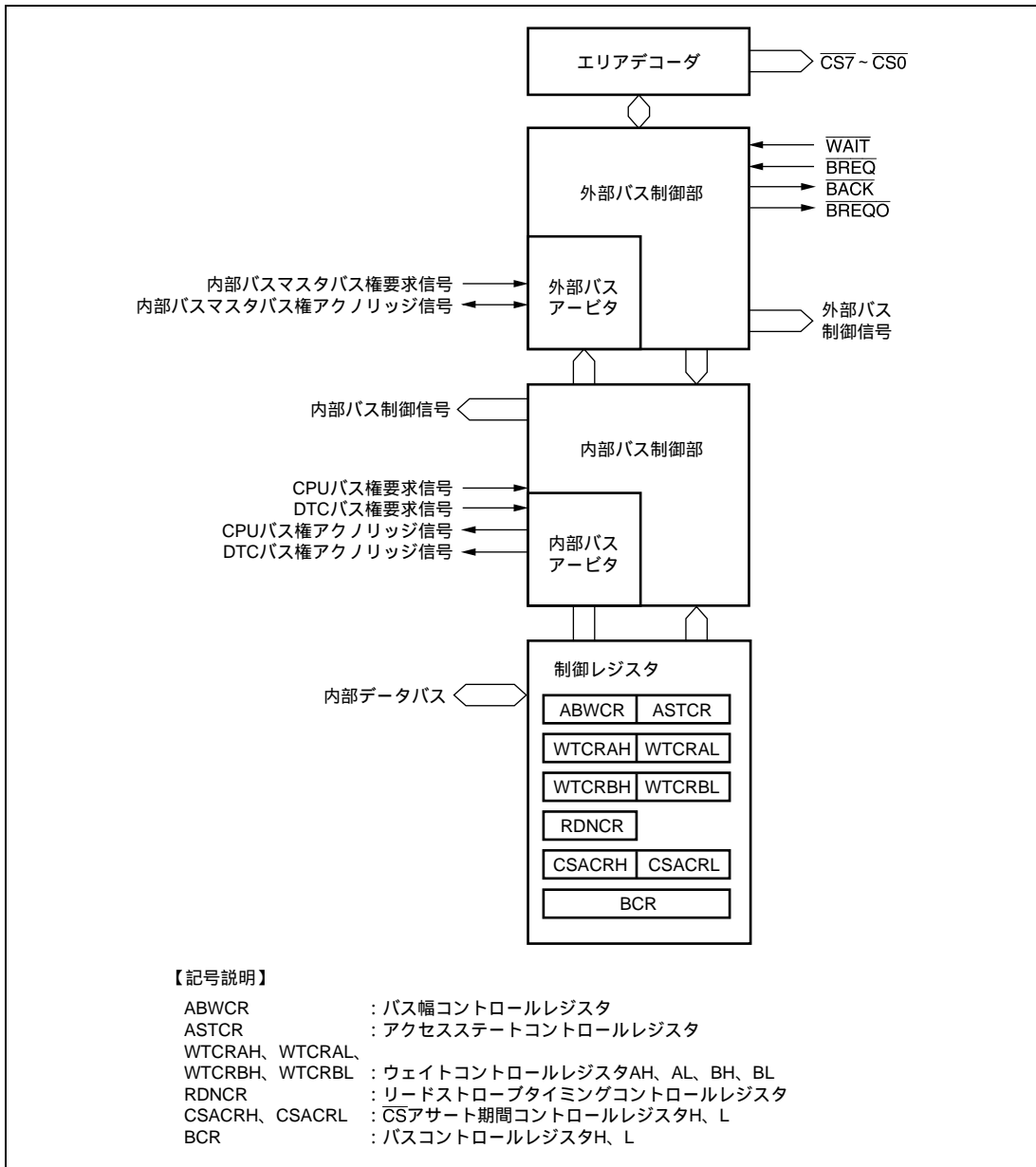


図 6.1 バスコントローラのブロック図

6.2 入出力端子

表 6.1 にバスコントローラの端子構成を示します。

表 6.1 端子構成

名称	記号	入出力	機能
アドレスストローブ	\overline{AS}	出力	外部アドレス空間をアクセスし、アドレスバス上のアドレス出力が有効であることを示すストローブ信号
リード	\overline{RD}	出力	外部アドレス空間をリードしていることを示すストローブ信号
ハイライト/ ライトイネーブル	HWR	出力	外部アドレス空間をライトし、データバスの上位側 (D15 ~ D8) が有効であることを示すストローブ信号
ロウライト	LWR	出力	外部アドレス空間をライトし、データバスの下位側 (D7 ~ D0) が有効であることを示すストローブ信号
チップセレクト 0	$\overline{CS0}$	出力	エリア 0 が選択されていることを示すストローブ信号
チップセレクト 1	$\overline{CS1}$	出力	エリア 1 が選択されていることを示すストローブ信号
チップセレクト 2	$\overline{CS2}$	出力	エリア 2 が選択されていることを示すストローブ信号
チップセレクト 3	$\overline{CS3}$	出力	エリア 3 が選択されていることを示すストローブ信号
チップセレクト 4	$\overline{CS4}$	出力	エリア 4 が選択されていることを示すストローブ信号
チップセレクト 5	$\overline{CS5}$	出力	エリア 5 が選択されていることを示すストローブ信号
チップセレクト 6	$\overline{CS6}$	出力	エリア 6 が選択されていることを示すストローブ信号
チップセレクト 7	$\overline{CS7}$	出力	エリア 7 が選択されていることを示すストローブ信号
ウェイト	WAIT	入力	外部アドレス空間をアクセスするときのウェイト要求信号
バス権要求	BREQ	入力	バス権を外部バスマスタに解放することを要求するリクエスト信号
バス権要求アクノリッジ	\overline{BACK}	出力	バス権を外部バスマスタに解放したことを示すアクノリッジ信号
バス権要求出力	\overline{BREQO}	出力	外部バス権解放状態で、内部バスマスタが外部アドレス空間をアクセスするときの外部バス権要求信号

6.3 レジスタの説明

バスコントローラには以下のレジスタがあります。

- バス幅コントロールレジスタ (ABWCR)
- アクセスステートコントロールレジスタ (ASTCR)
- ウェイトコントロールレジスタAH (WTCRAH)
- ウェイトコントロールレジスタAL (WTCRAL)
- ウェイトコントロールレジスタBH (WTCRBH)
- ウェイトコントロールレジスタBL (WTCRBL)
- リードストローブタイミングコントロールレジスタ (RDNCR)

6. バスコントローラ (BSC)

- \overline{CS} アサート期間コントロールレジスタH (CSACRH)
- \overline{CS} アサート期間コントロールレジスタL (CSACRL)
- バスコントロールレジスタ (BCR)

6.3.1 バス幅コントロールレジスタ (ABWCR)

ABWCR は、外部アドレス空間の各エリアを 8 ビットアクセス空間、または 16 ビットアクセス空間のいずれかに設定します。

ビット	ビット名	初期値*	R/W	説明
7	ABW7	1/0	R/W	エリア 7~0 バス幅コントロール
6	ABW6	1/0	R/W	対応するエリアを 8 ビットアクセス空間とするか、16 ビットアクセス空間とするかを選択します。 0: エリア n を 16 ビットアクセス空間に設定 1: エリア n を 8 ビットアクセス空間に設定 (n=7~0)
5	ABW5	1/0	R/W	
4	ABW4	1/0	R/W	
3	ABW3	1/0	R/W	
2	ABW2	1/0	R/W	
1	ABW1	1/0	R/W	
0	ABW0	1/0	R/W	

【注】 * モード 2、4、6 では 1、モード 1、5、7 では 0 となります。

6.3.2 アクセスステートコントロールレジスタ (ASTCR)

ASTCR は、外部アドレス空間の各エリアを 2 ステートアクセス空間、または 3 ステートアクセス空間のいずれかに設定します。

ビット	ビット名	初期値	R/W	説明
7	AST7	1	R/W	エリア 7~0 アクセスステートコントロール
6	AST6	1	R/W	対応するエリアを 2 ステートアクセス空間にするか、3 ステートアクセス空間とするかを選択します。同時に、ウェイトステートの挿入を許可または禁止します。 0: エリア n を 2 ステートアクセス空間に設定 エリア n のアクセスにウェイトステートの挿入を禁止 1: エリア n を 3 ステートアクセス空間に設定 エリア n のアクセスにウェイトステートの挿入を許可 (n=7~0)
5	AST5	1	R/W	
4	AST4	1	R/W	
3	AST3	1	R/W	
2	AST2	1	R/W	
1	AST1	1	R/W	
0	AST0	1	R/W	

6.3.3 ウェイトコントロールレジスタ AH、AL、BH、BL (WTCRAH、WTCRAL、WTCRBH、WTCRBL)

WTCRA、WTCRB は、外部アドレス空間の各エリアのプログラムウェイトステート数を選択します。

• WTCRAH

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
14	W72	1	R/W	エリア 7 ウェイトコントロール 2~0 ASTCR の AST7=1 のとき、エリア 7 をアクセスするときのプログラムウェイトステート数を選択します。 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを 1 ステート挿入 010 : プログラムウェイトを 2 ステート挿入 011 : プログラムウェイトを 3 ステート挿入 100 : プログラムウェイトを 4 ステート挿入 101 : プログラムウェイトを 5 ステート挿入 110 : プログラムウェイトを 6 ステート挿入 111 : プログラムウェイトを 7 ステート挿入
13	W71	1	R/W	
12	W70	1	R/W	
11	-	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
10	W62	1	R/W	エリア 6 ウェイトコントロール 2~0 ASTCR の AST6=1 のとき、エリア 6 をアクセスするときのプログラムウェイトステート数を選択します。 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを 1 ステート挿入 010 : プログラムウェイトを 2 ステート挿入 011 : プログラムウェイトを 3 ステート挿入 100 : プログラムウェイトを 4 ステート挿入 101 : プログラムウェイトを 5 ステート挿入 110 : プログラムウェイトを 6 ステート挿入 111 : プログラムウェイトを 7 ステート挿入
9	W61	1	R/W	
8	W60	1	R/W	

6. バスコントローラ (BSC)

• WTCRAL

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
6	W52	1	R/W	エリア5ウェイトコントロール2~0 ASTCRのAST5=1のとき、エリア5をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
5	W51	1	R/W	
4	W50	1	R/W	
3	-	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
2	W42	1	R/W	エリア4ウェイトコントロール2~0 ASTCRのAST4=1のとき、エリア4をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
1	W41	1	R/W	
0	W40	1	R/W	

• WTCRBH

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
14	W32	1	R/W	エリア3ウェイトコントロール2~0 ASTCRのAST3=1のとき、エリア3をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
13	W31	1	R/W	
12	W30	1	R/W	
11	-	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
10	W22	1	R/W	エリア2ウェイトコントロール2~0 ASTCRのAST2=1のとき、エリア2をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
9	W21	1	R/W	
8	W20	1	R/W	

6. バスコントローラ (BSC)

• WTCRBL

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
6	W12	1	R/W	エリア1ウェイトコントロール2-0 ASTCRのAST1=1のとき、エリア1をアクセスするときのプログラムウェイトステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
5	W11	1	R/W	
4	W10	1	R/W	
3	-	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
2	W02	1	R/W	エリア0ウェイトコントロール2-0 ASTCRのAST0=1のとき、エリア0をアクセスするときのプログラムウェイトステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
1	W01	1	R/W	
0	W00	1	R/W	

6.3.4 リードストロープタイミングコントロールレジスタ (RDNCR)

RDNCR は、外部アドレス空間のリードアクセス時のリードストロープ信号 (\overline{RD}) のネゲートタイミングを設定します。

ビット	ビット名	初期値	R/W	説明
7	RDN7	0	R/W	リードストロープタイミングコントロール7-0
6	RDN6	0	R/W	これらのビットは対応するエリアのリードアクセス時のリードストロープのネゲートタイミングを設定します。図 6.2 に示すように DRNn = 1 に設定したエリアのリードストロープは、DRN = 0 に設定したときと比べて半ステート早くネゲートします。リードデータのセットアップ/ホールドの規定も同様です。 0: エリア n のリードアクセス時、 \overline{RD} のネゲートタイミングは、リードサイクルの終わり 1: エリア n のリードアクセス時、 \overline{RD} のネゲートタイミングは、リードサイクルの終わりから半ステート手前 (n=7~0)
5	RDN5	0	R/W	
4	RDN4	0	R/W	
3	RDN3	0	R/W	
2	RDN2	0	R/W	
1	RDN1	0	R/W	
0	RDN0	0	R/W	

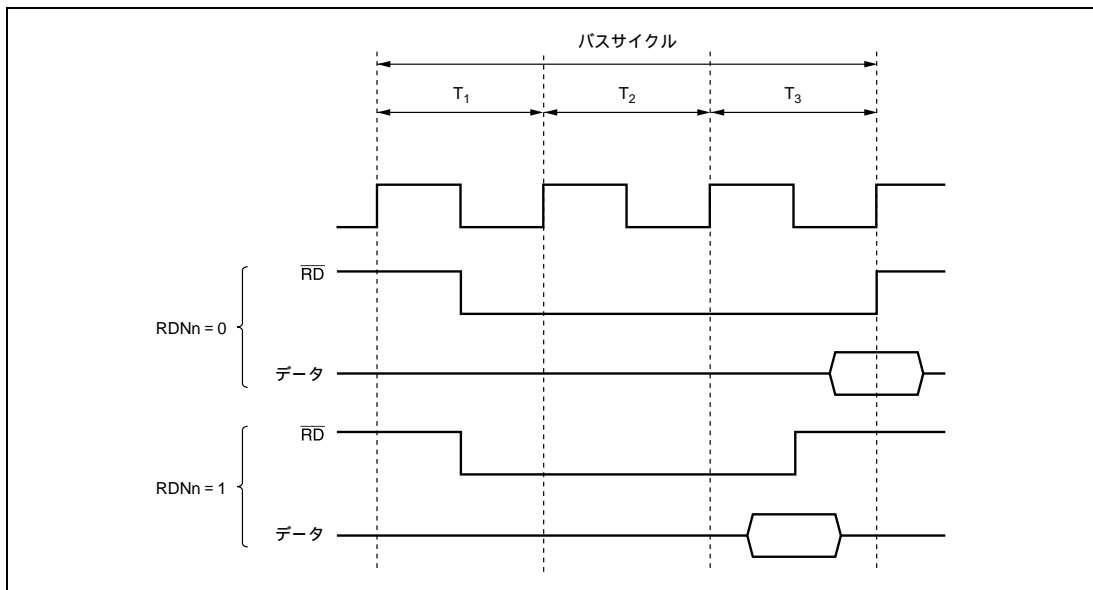


図 6.2 リードストロープネゲートタイミング (3 ステートアクセス空間の場合)

6.3.5 \overline{CS} アサート期間コントロールレジスタ H、L (CSACRH、CSACRL)

CSACRH、CSACRL は、基本バスインタフェースのチップセレクト信号 (\overline{CSn})、アドレス信号のアサート期間を拡張するか否かを選択します。 \overline{CSn} 、アドレス信号のアサート期間を拡張することにより、外部 I/O デバイスとのフレキシブルなインタフェースをとることが可能です。

6. バスコントローラ (BSC)

• CSACRH

ビット	ビット名	初期値	R/W	説明
7	CSXH7	0	R/W	\overline{CS} 、アドレス信号アサート期間コントロール 1 T_h サイクルを挿入するかどうかを指定します (図 6.3 参照)。 $CSXH_n = 1$ に設定したエリアのアクセス時、通常のアクセスサイクルの前に \overline{CS}_n とアドレスがアサートされる T_h サイクルが 1 ステート挿入されます。 0 : エリア n の基本バスインタフェースをアクセス時、 \overline{CS}_n 、アドレスアサート期間 (T_h) を拡張しない 1 : エリア n の基本バスインタフェースをアクセス時、 \overline{CS}_n 、アドレスアサート期間 (T_h) を拡張する ($n=7\sim 0$)
6	CSXH6	0	R/W	
5	CSXH5	0	R/W	
4	CSXH4	0	R/W	
3	CSXH3	0	R/W	
2	CSXH2	0	R/W	
1	CSXH1	0	R/W	
0	CSXH0	0	R/W	

• CSACRL

ビット	ビット名	初期値	R/W	説明
7	CSXT7	0	R/W	\overline{CS} 、アドレス信号アサート期間コントロール 2 T_t サイクルを挿入するかどうかを指定します (図 6.3 参照)。 $CSXT_n = 1$ に設定したエリアのアクセス時、通常のアクセスサイクルの前に \overline{CS}_n とアドレスだけがアサートされる T_t サイクルが 1 ステート挿入されます。 0 : エリア n の基本バスインタフェースをアクセス時、 \overline{CS}_n 、アドレスアサート期間 (T_t) を拡張しない 1 : エリア n の基本バスインタフェースをアクセス時、 \overline{CS}_n 、アドレスアサート期間 (T_t) を拡張する ($n=7\sim 0$)
6	CSXT6	0	R/W	
5	CSXT5	0	R/W	
4	CSXT4	0	R/W	
3	CSXT3	0	R/W	
2	CSXT2	0	R/W	
1	CSXT1	0	R/W	
0	CSXT0	0	R/W	

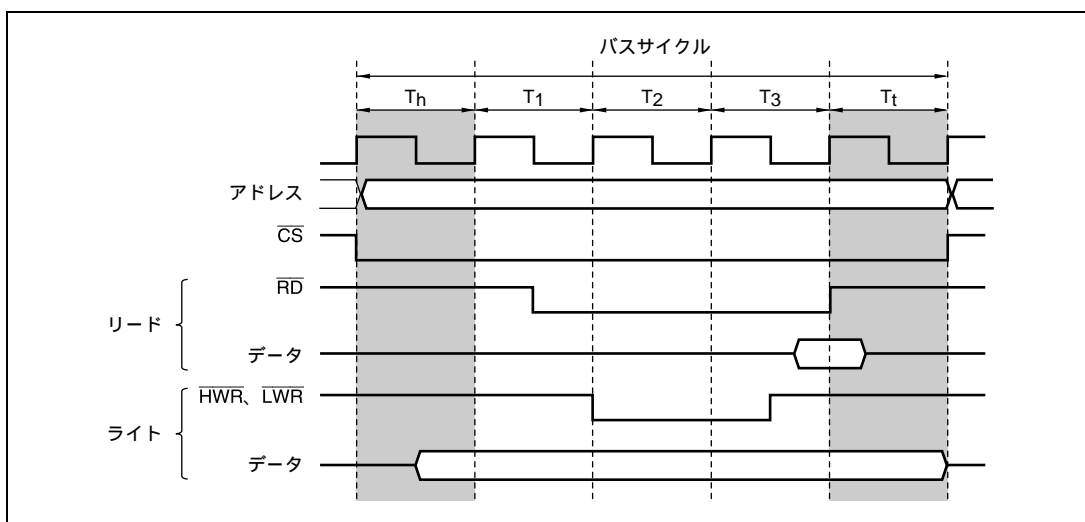


図 6.3 \overline{CS} 、アドレスアサート期間拡張 (3 ステートアクセス空間、 $RDN_n = 0$ の場合)

6.3.6 バスコントロールレジスタ (BCR)

BCR はアイドルサイクル、外部バス解放状態のプロトコル、ライトデータバッファ機能の許可/禁止、 $\overline{\text{WAIT}}$ 端子入力の許可/禁止の選択を行います。

ビット	ビット名	初期値	R/W	説明
15	BRLE	0	R/W	外部バス解放イネーブル 外部バス権の解放を許可または禁止します。 0: 外部バス権の解放を禁止 $\overline{\text{BREQ}}$ 、 $\overline{\text{BACK}}$ 、 $\overline{\text{BREQO}}$ は入出力ポートとして使用可 1: 外部バス権の解放を許可
14	BREQOE	0	R/W	$\overline{\text{BREQO}}$ 端子イネーブル 外部バス解放状態で、内部バスマスタが外部アドレス空間をアクセスするときに外部バスマスタに対してバス権要求信号 ($\overline{\text{BREQO}}$) の出力を制御します。 0: $\overline{\text{BREQO}}$ 信号出力禁止、 $\overline{\text{BREQO}}$ 端子は入出力ポートとして使用可能 1: $\overline{\text{BREQO}}$ 信号出力許可
13	-	0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。
12	IDLC	1	R/W	アイドルサイクルステート数選択 ICIS2、ICIS1、ICIS0 で設定されたアイドルサイクルのステート数を指定します。 0: アイドルサイクルは 1 ステート 1: アイドルサイクルは 2 ステート
11	ICIS1	1	R/W	アイドルサイクル挿入 1 異なるエリアの外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。 0: アイドルサイクルを挿入しない 1: アイドルサイクルを挿入する
10	ICIS0	1	R/W	アイドルサイクル挿入 0 外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルの挿入することができます。 0: アイドルサイクルを挿入しない 1: アイドルサイクルを挿入する
9	WDBE	0	R/W	ライトデータバッファイネーブル 外部ライトサイクルのときライトデータバッファ機能を使用できます。 0: ライトデータバッファ機能を使用しない 1: ライトデータバッファ機能を使用する

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
8	WAITE	0	R/W	<p>WAIT 端子イネーブル</p> <p>WAIT 端子によるウェイト入力の許可または禁止を選択します。</p> <p>0: WAIT 端子によるウェイト入力を禁止</p> <p> WAIT 端子は入出力ポートとして使用可</p> <p>1: WAIT 端子によるウェイト入力を許可</p>
7~3	-	0	R/W	<p>リザーブビット</p> <p>リード/ライト可能ですが、0 をライトしてください。</p>
2	ICIS2	0	R/W	<p>アイドルサイクル挿入 2</p> <p>外部ライトサイクルと外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。</p> <p>0: アイドルサイクルを挿入しない</p> <p>1: アイドルサイクルを挿入する</p>
1、0	-	0	R/W	<p>リザーブビット</p> <p>リード/ライト可能ですが、0 をライトしてください。</p>

6.4 バス制御

6.4.1 エリア分割

バスコントローラは、アドバンストモードではアドレス 16M バイトのアドレス空間を、2M バイト単位でエリア 0~7 の 8 つのエリアに分割し、エリア単位で外部空間のバス制御を行います。各エリアごとに、チップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$) を出力することができます。また、ノーマルモードでは、エリア 0 の一部の 64k バイトのアドレス空間を制御します。図 6.4 にメモリマップの概要を示します。

【注】 本 LSI ではノーマルモードでは使用できません。

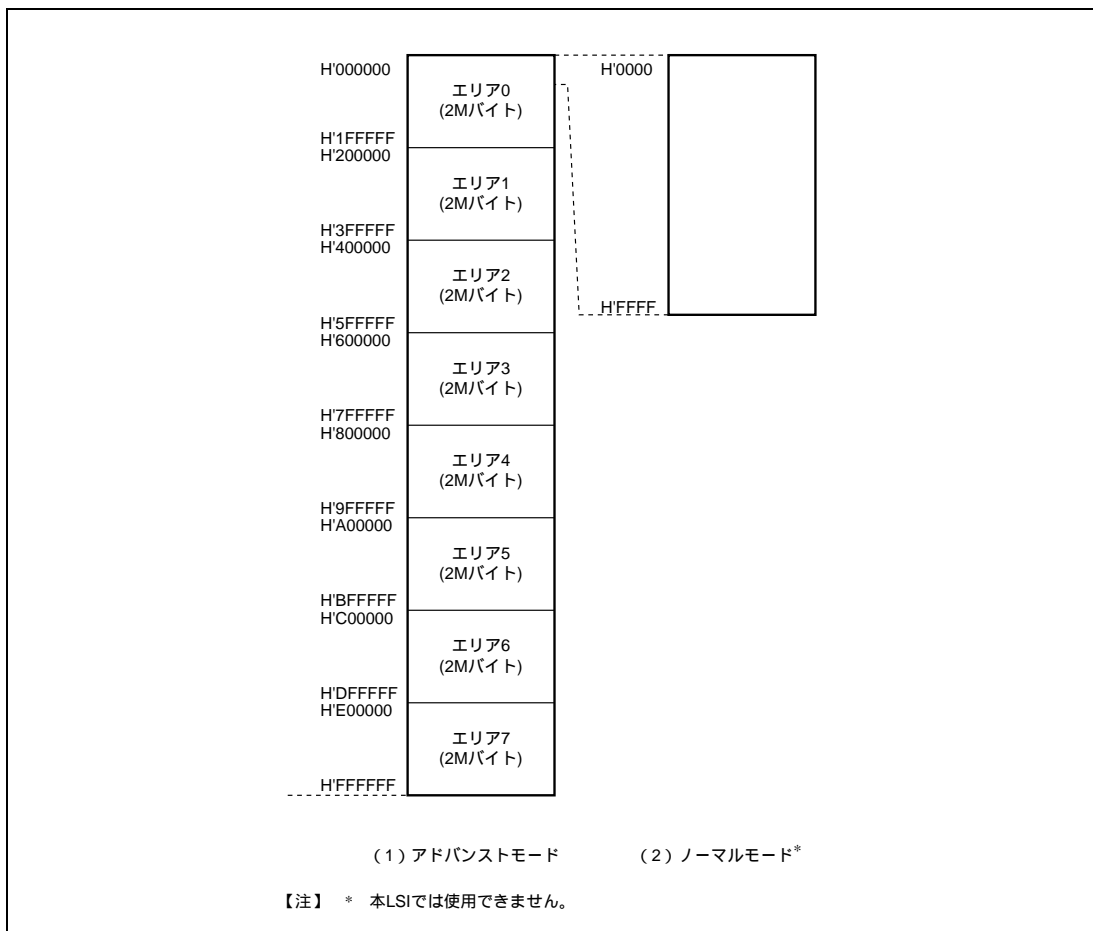


図 6.4 エリア分割の様子

6.4.2 バス仕様

外部アドレス空間のバス仕様は、バス幅、アクセスステート数、プログラムウェイトステート数、リードストロープタイミング、チップセレクト (\overline{CS}) アサート期間拡張ステートの5つの要素で構成されます。なお、内蔵メモリ、内部 I/O レジスタは、バス幅、アクセスステート数は固定で、バスコントローラの影響を受けません。

(1) バス幅

バス幅は、ABWCR により 8 ビットまたは 16 ビットを選択します。8 ビットバスを選択したエリアが 8 ビットアクセス空間、16 ビットバスを選択したエリアが 16 ビットアクセス空間となります。すべてのエリアを 8 ビットアクセス空間に設定すると 8 ビットバスモードに、いずれかのエリアを 16 ビットアクセス空間に設定すると 16 ビットバスモードになります。

(2) アクセスステート数

アクセスステート数は、ASTCR により 2 ステートまたは 3 ステートを選択します。2 ステートアクセスを選択したエリアが 2 ステートアクセス空間、3 ステートアクセスを選択したエリアが 3 ステートアクセス空間となります。

2 ステートアクセス空間に設定すると、ウェイトの挿入が禁止されます。3 ステートアクセス空間に設定すると、WTCRA、WTCRB によるプログラムウェイトと、 \overline{WAIT} 端子による外部ウェイトを挿入することが可能となります。

(3) プログラムウェイトステート数

ASTCR により 3 ステートアクセス空間に設定したとき、WTCRA、WTCRB により自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0~7 ステートを選択可能です。バス幅、アクセスステート数、プログラムウェイトステート数による基本バスインタフェースの各エリアのバス仕様を表 6.2 に示します。

表 6.2 各エリアのバス仕様 (基本バスインタフェース)

ABWCR	ASTCR	WCRA, WCRB			バス仕様 (基本バスインタフェース)				
ABWn	ASTn	Wn2	Wn1	Wn0	バス幅	アクセスステート数	プログラムウェイトステート数		
0	0	-	-	-	16	2	0		
				0			0	0	3
	1	0	0	0		1	1		
				1		0	2		
				1		0	3		
				1		0	4		
				1		0	5		
				1		0	6		
		1	0	0		0	1	7	
						1	0	0	
						1	0	1	
						1	0	2	
						1	0	3	
						1	0	4	
1	0	-	-	-	8	2	0		
				0			0	0	3
	1	0	0	0		1	1		
				1		0	2		
				1		0	3		
				1		0	4		
				1		0	5		
				1		0	6		
		1	0	0		0	1	7	
						1	0	0	
						1	0	1	
						1	0	2	
						1	0	3	
						1	0	4	

(n=0~7)

(4) リードストロブタイミング

RDNCR により、通常空間のリードストロブ (\overline{RD}) のネゲートタイミングを 2 種類 (リードサイクルの終わり、またはリードサイクルの終りから半ステート前) から選択することができます。

(5) チップセレクト (\overline{CS}) アサート期間拡張ステート

外部 I/O デバイスの中にはアドレス、 \overline{CS} 信号と、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} などのストロブ信号との間のセットアップ時間やホールド時間が必要なものがあります。CSACR により、通常空間のアクセスサイクルの前後に \overline{CS} と \overline{AS} 、アドレスだけがアサートされるステートを挿入することができます。

6.4.3 メモリインタフェース

本 LSI のメモリインタフェースには、ROM、SRAM などと直結が可能です。

各エリアの初期状態は、基本バスインタフェースかつ 3 ステートアクセス空間になっています。バス幅の初期状態は動作モードで選択します。

(1) エリア 0

エリア 0 は内蔵 ROM 有効拡張モードでは内蔵 ROM を含んでおり、内蔵 ROM を除いた空間が外部アドレス空間となります。内蔵 ROM 無効拡張モードではエリア 0 のすべての空間が外部アドレス空間となります。

エリア 0 の外部アドレス空間をアクセスするとき、 $\overline{CS0}$ 信号を出力することができます。

(2) エリア 1

エリア 1 は、外部拡張モードのとき、エリア 1 のすべての空間が外部アドレス空間となります。

エリア 1 の外部アドレス空間をアクセスするとき、 $\overline{CS1}$ 信号を出力することができます。

(3) エリア 2~5

エリア 2~5 は、外部拡張モードのとき、エリア 2~5 のすべての空間が外部アドレス空間となります。

エリア 2~5 の外部アドレス空間をアクセスするとき、 $\overline{CS2} \sim \overline{CS5}$ 信号を出力することができます。

(4) エリア 6

エリア 6 は、外部拡張モードのとき、エリア 6 のすべての空間が外部空間となります。

エリア 6 の外部アドレス空間をアクセスするとき、 $\overline{CS6}$ 信号を出力することができます。

(5) エリア 7

エリア 7 は、内蔵 RAM および内部 I/O レジスタを含んでおり、外部拡張モードのとき内蔵 RAM および内部 I/O レジスタ空間を除いた空間が外部アドレス空間となります。なお、内蔵 RAM はシステムコントロールレジスタ (SYSCR) の RAME ビットを 1 にセットしたとき有効で、RAME ビットを 0 にクリアすると内蔵 RAM は無効となり、対応するアドレスは外部アドレス空間になります。

エリア 7 の外部アドレス空間をアクセスするとき、 $\overline{CS7}$ 信号を出力することができます。

6.4.4 チップセレクト信号

本 LSI は、エリア 0~7 に対してそれぞれチップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$) を出力することができます。 $\overline{CS0} \sim \overline{CS7}$ 信号は、当該エリアの外部アドレス空間をアクセスしたとき Low レベルを出力します。図 6.5 に $\overline{CS0} \sim \overline{CS7}$ 信号の出力タイミング例を示します。

$\overline{CS0} \sim \overline{CS7}$ 信号出力の許可または禁止は各 $\overline{CS0} \sim \overline{CS7}$ 端子に対応するポートのデータディレクションレジスタ (DDR) で設定します。

内蔵 ROM 無効拡張モードでは、 $\overline{CS0}$ 端子はリセット後に出力状態になっています。 $\overline{CS1} \sim \overline{CS7}$ 端子はリセット後に入力状態になっていますので、 $\overline{CS1} \sim \overline{CS7}$ 信号を出力するときには、対応する DDR を 1 にセットしてください。

内蔵 ROM 有効拡張モードでは、 $\overline{CS0} \sim \overline{CS7}$ 端子はリセット後にすべて入力状態になっていますので、 $\overline{CS0} \sim \overline{CS7}$ 信号を出力するときには対応する DDR を 1 にセットしてください。

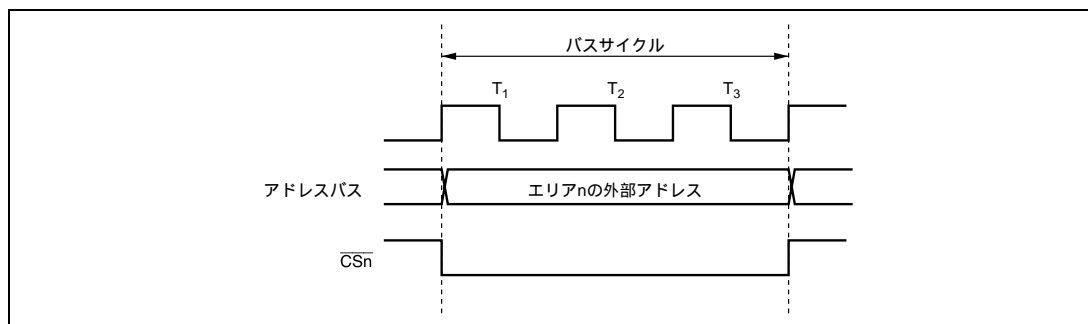


図 6.5 \overline{CSn} 信号出力タイミング (n=0~7)

6.5 基本バスインタフェース

基本バスインタフェースは、ROM、SRAM との直結が可能です。

6.5.1 データサイズとデータアライメント

CPU およびその他の内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラはデータアライメント機能を持っており、外部アドレス空間をアクセスするとき上位側データバス (D15~D8) を使用するか、下位側データバス (D7~D0) を使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間、または 16 ビットアクセス空間) とデータサイズによって制御します。

(1) 8 ビットアクセス空間

図 6.6 に 8 ビットアクセス空間のデータアライメント制御を示します。8 ビットアクセス空間では、常に上位側データバス (D15~D8) を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

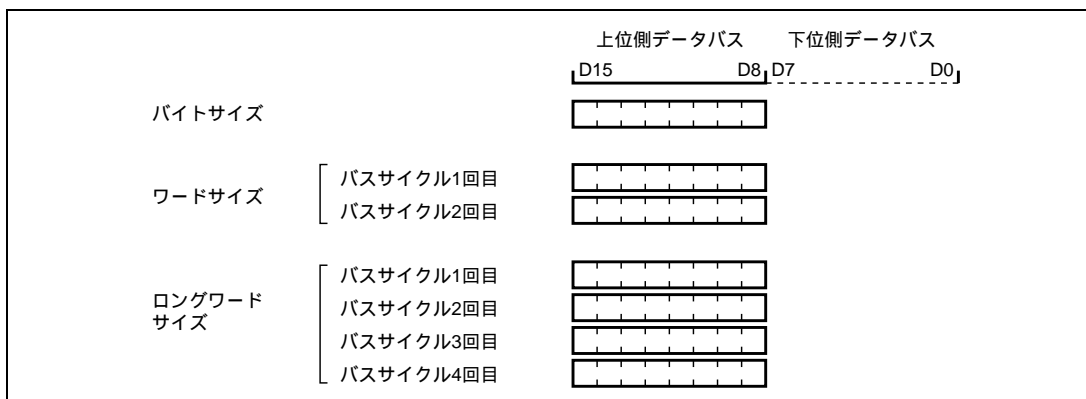


図 6.6 アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)

(2) 16 ビットアクセス空間

図 6.7 に 16 ビットアクセス空間のデータアライメント制御を示します。16 ビットアクセス空間では、上位側データバス (D15~D8) および下位側データバス (D7~D0) を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスはワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか下位側データバスを使用するかは、アドレスの偶数/奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

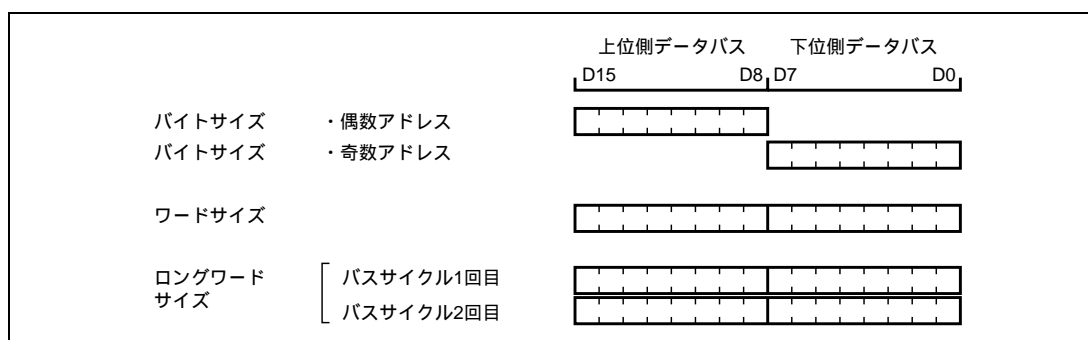


図 6.7 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)

6.5.2 有効ストロープ

表 6.3 にアクセス空間と使用するデータバスおよび有効なストロープを示します。

リード時には、データバスの上位側、下位側の区別なく、 \overline{RD} 信号が有効です。ライト時には、データバスの上位側に対して \overline{HWR} 信号が、下位側に対して \overline{LWR} 信号が有効です。

表 6.3 使用するデータバスと有効ストロープ

エリア	アクセスサイズ	リード/ライト	アドレス	有効なストロープ	データバス上位 (D15~D8)	データバス下位 (D7~D0)
8ビット アクセス空間	バイト	リード	-	\overline{RD}	有効	無効
		ライト	-	\overline{HWR}		Hi-Z
16ビット アクセス空間	バイト	リード	偶数	\overline{RD}	有効	無効
			奇数		無効	有効
		ライト	偶数	\overline{HWR}	有効	Hi-Z
			奇数	\overline{LWR}	Hi-Z	有効
ワード	リード	-	\overline{RD}	有効	有効	
	ライト	-	\overline{HWR} 、 \overline{LWR}	有効	有効	

【注】 Hi-Z: ハイインピーダンス状態

無効: 入力状態で、入力値は無視されます。

6. バスコントローラ (BSC)

6.5.3 基本動作タイミング

(1) 8ビット2ステートアクセス空間

図 6.8 に 8 ビット 2 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。 $\overline{\text{LWR}}$ 端子は常に High レベルに固定されます。ウェイトステートを挿入することができます。

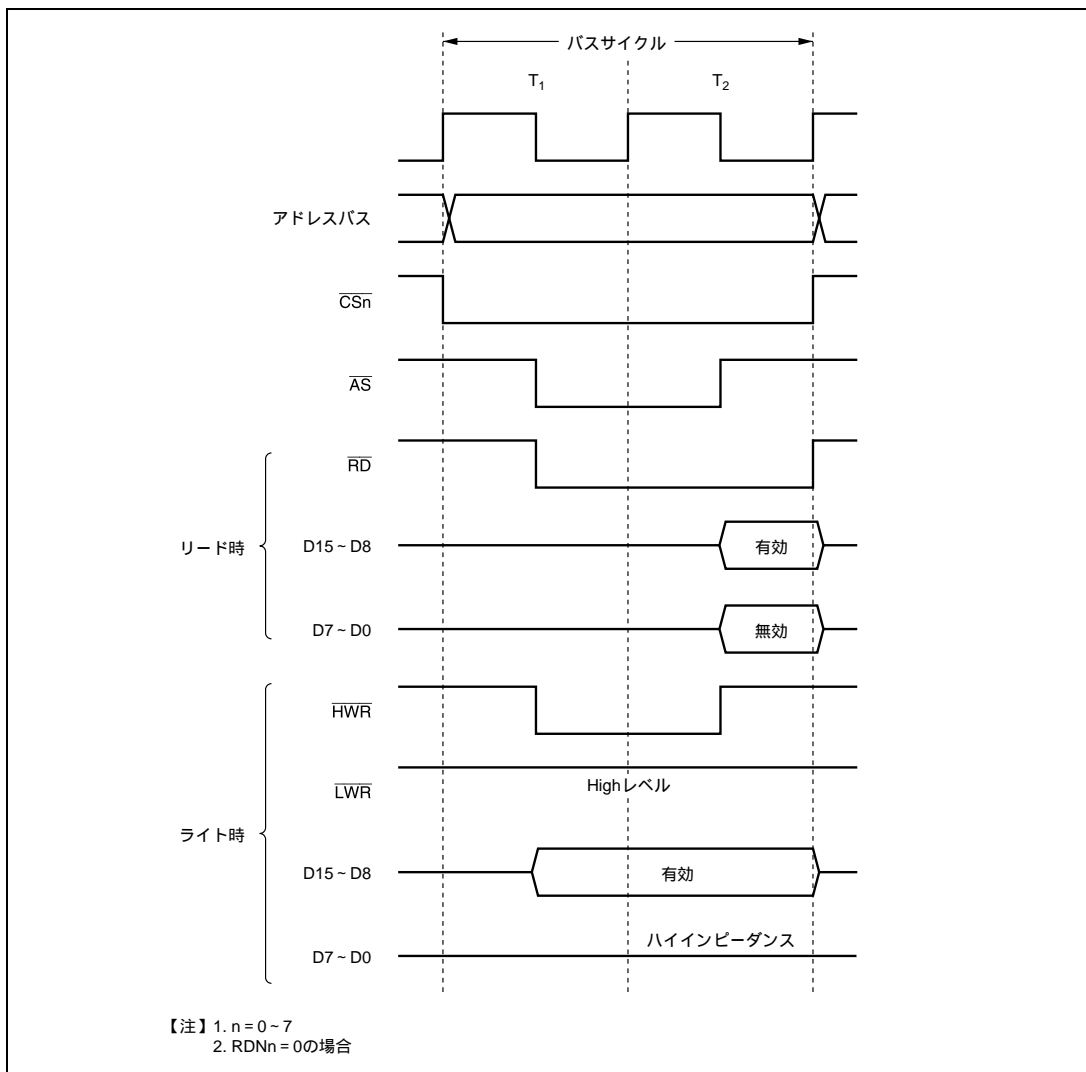


図 6.8 8 ビット 2 ステートアクセス空間のバスタイミング

(2) 8ビット3ステートアクセス空間

図 6.9 に 8 ビット 3 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。 $\overline{\text{LWR}}$ 端子は常に High レベルに固定されます。ウェイトステートを挿入することができます。

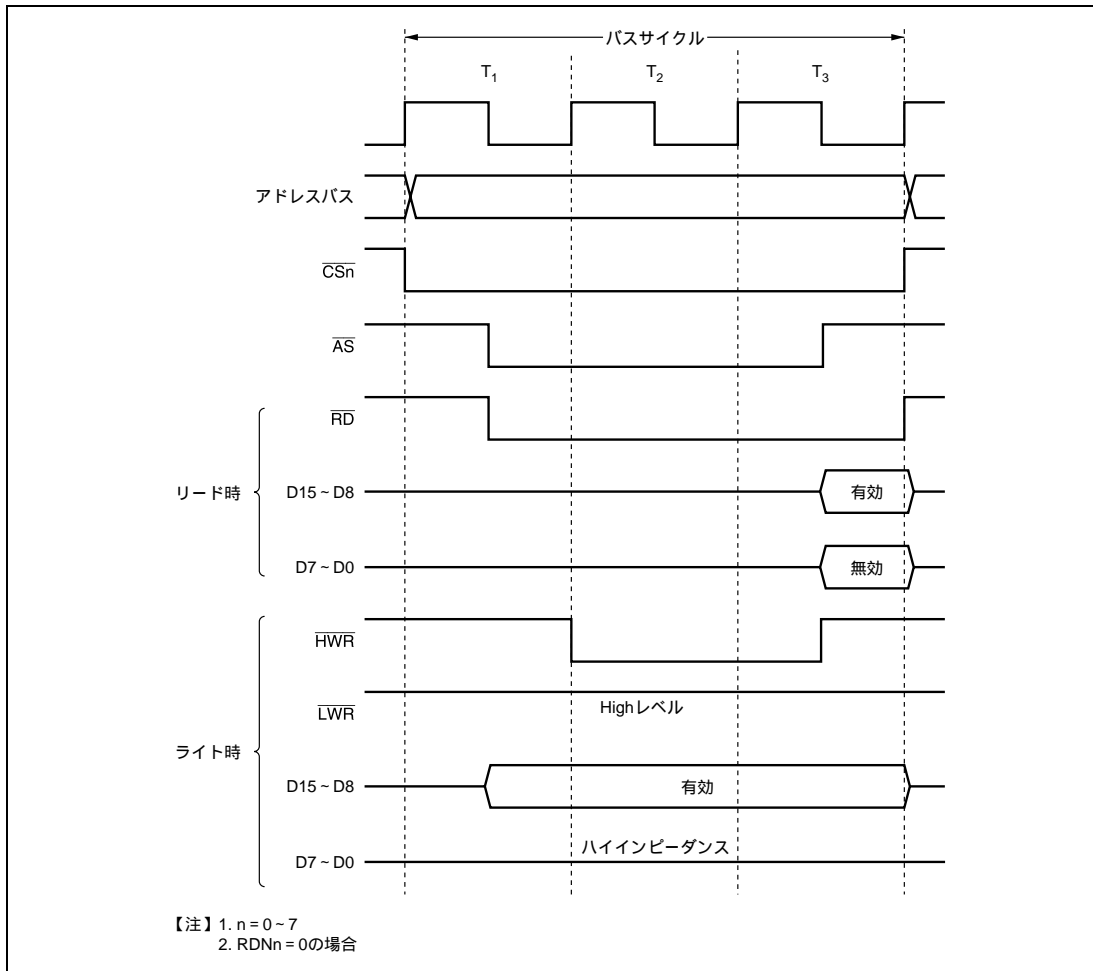


図 6.9 8ビット3ステートアクセス空間のバスタイミング

6. バスコントローラ (BSC)

(3) 16 ビット 2 ステートアクセス空間

図 6.10～図 6.12 に 16 ビット 2 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15～D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7～D0) を使用します。ウェイトステートを挿入することはできません。

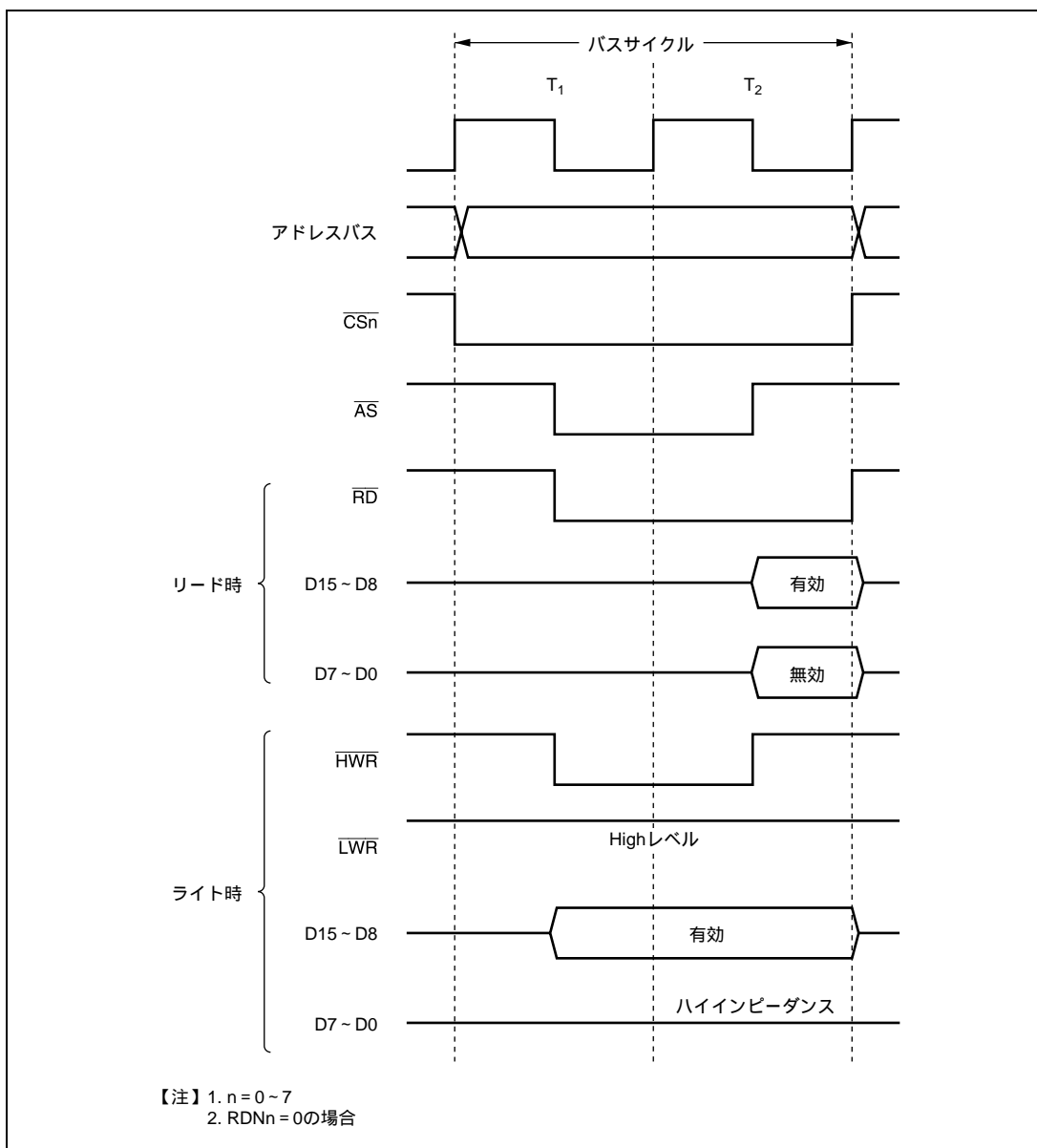


図 6.10 16 ビット 2 ステートアクセス空間のバスタイミング
(偶数アドレスバイトアクセス)

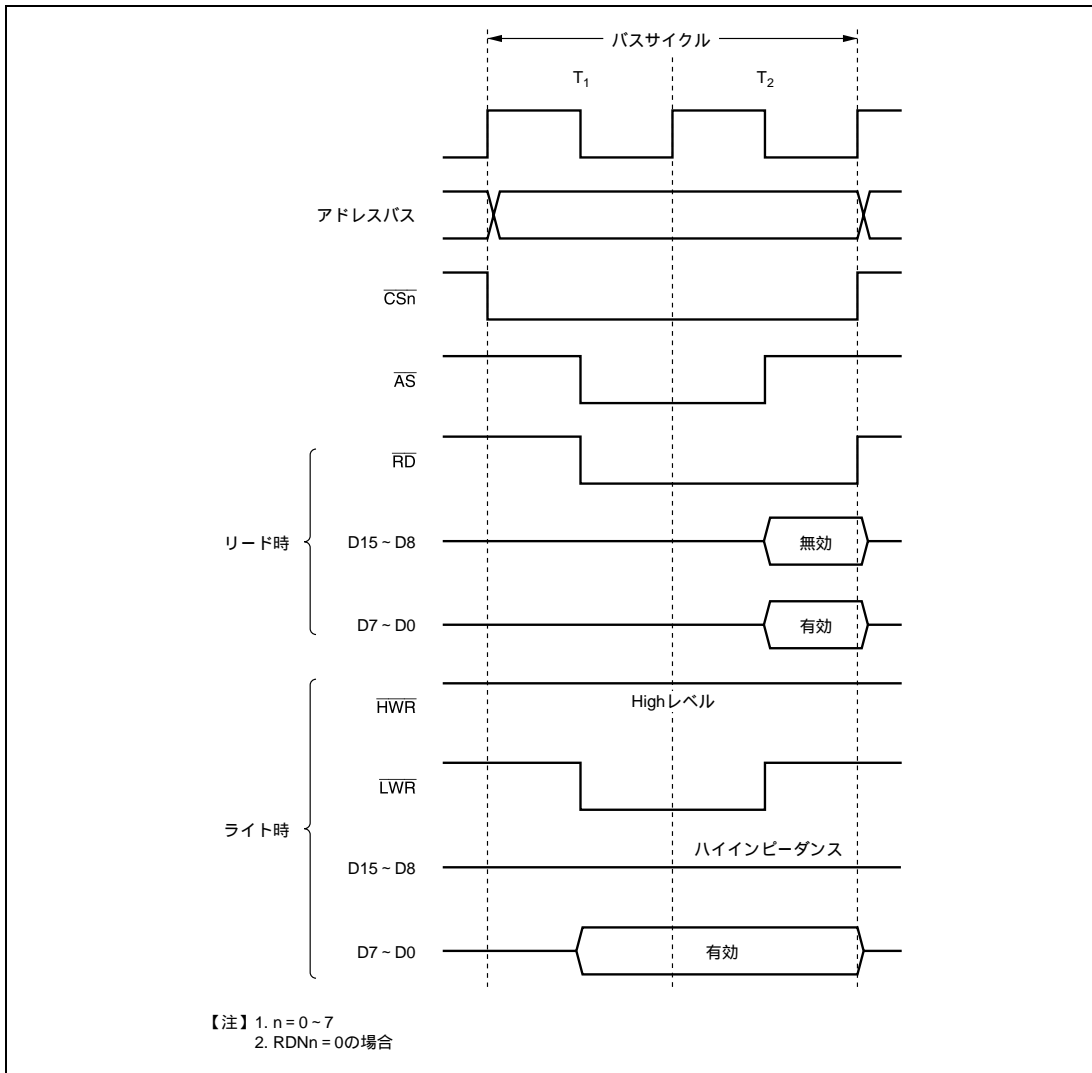


図 6.11 16 ビット 2 ステートアクセス空間のバスタイミング
(奇数アドレスバイトアクセス)

6. バスコントローラ (BSC)

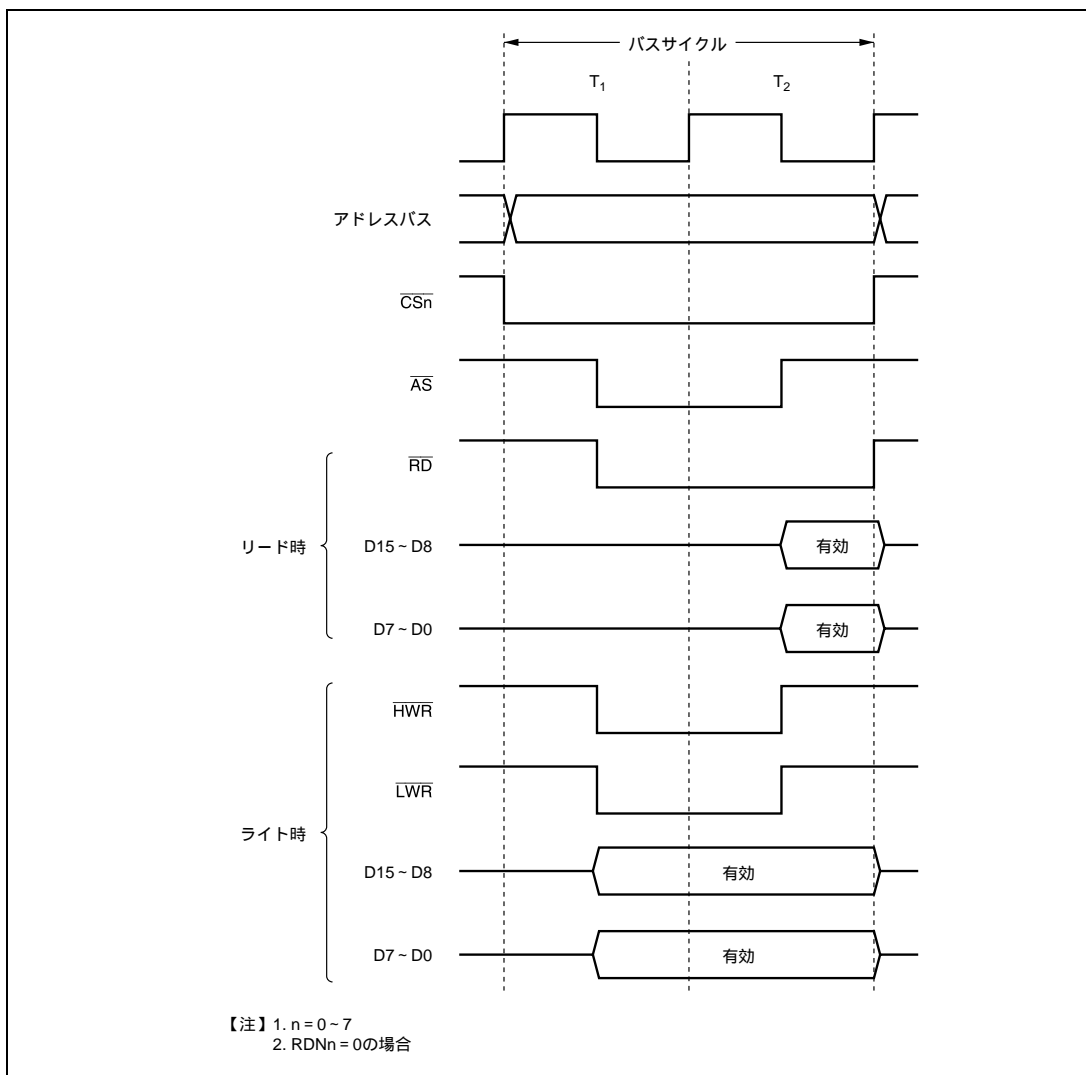


図 6.12 16 ビット 2 ステートアクセス空間のバスタイミング
(ワードアクセス)

(4) 16 ビット 3 ステートアクセス空間

図 6.13~図 6.15 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15~D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7~D0) を使用します。ウェイトステートを挿入することができます。

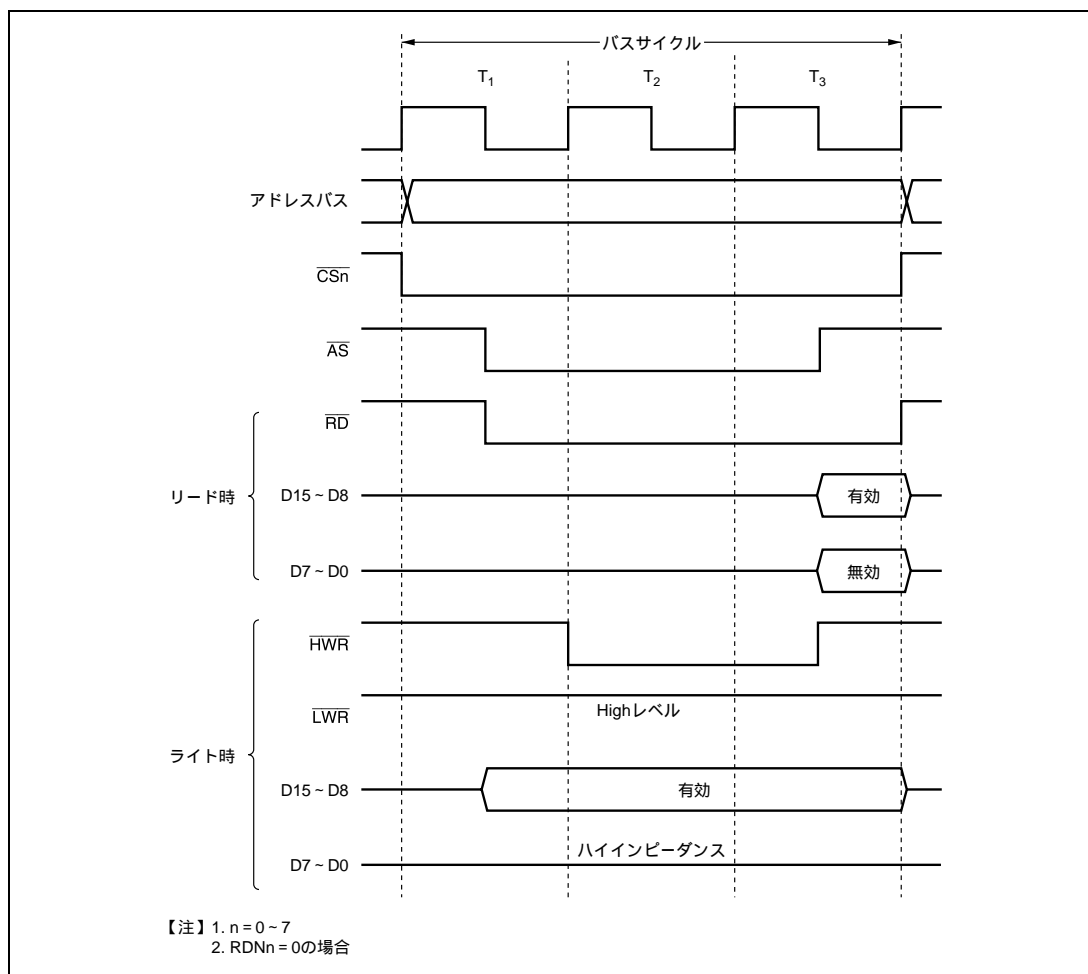


図 6.13 16 ビット 3 ステートアクセス空間のバスタイミング
(偶数アドレスバイトアクセス)

6. バスコントローラ (BSC)

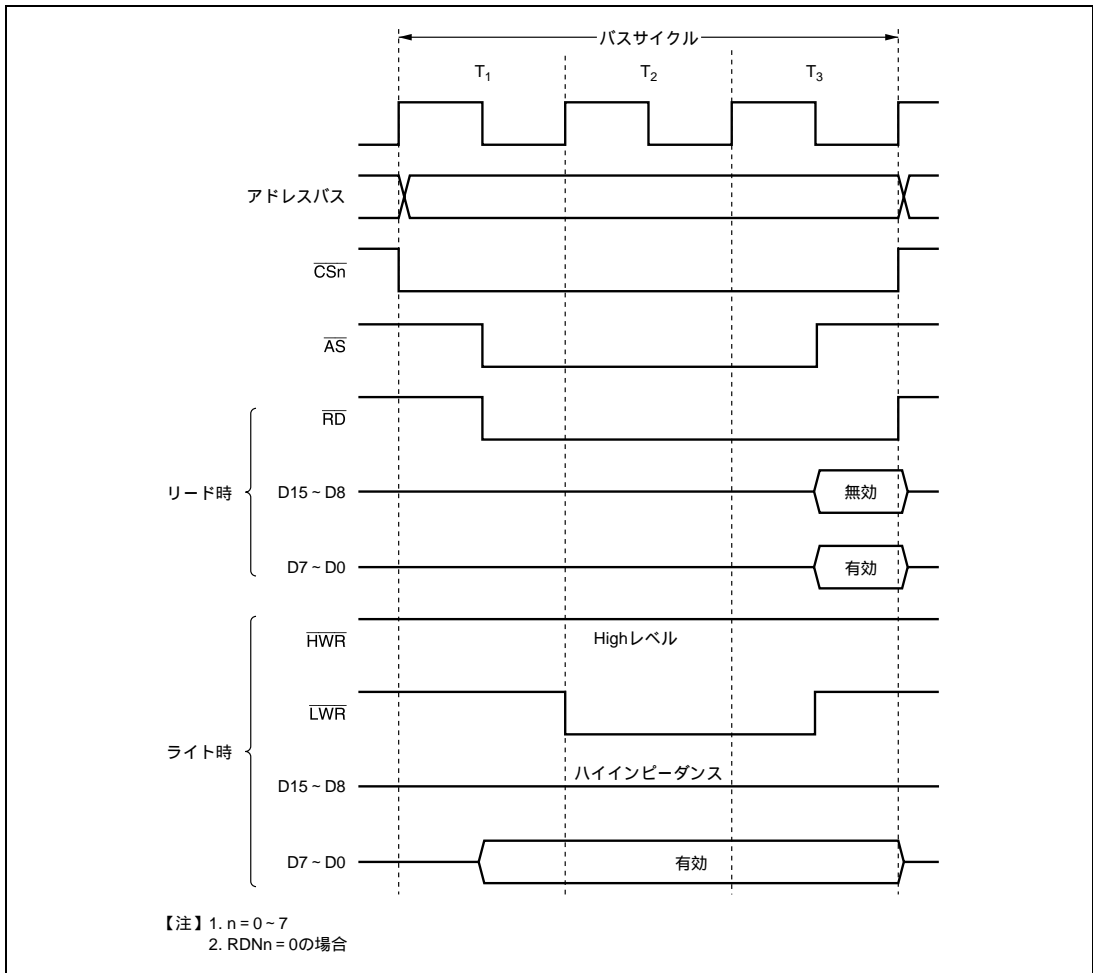


図 6.14 16 ビット 3 ステートアクセス空間のバスタイミング
(奇数アドレスバイトアクセス)

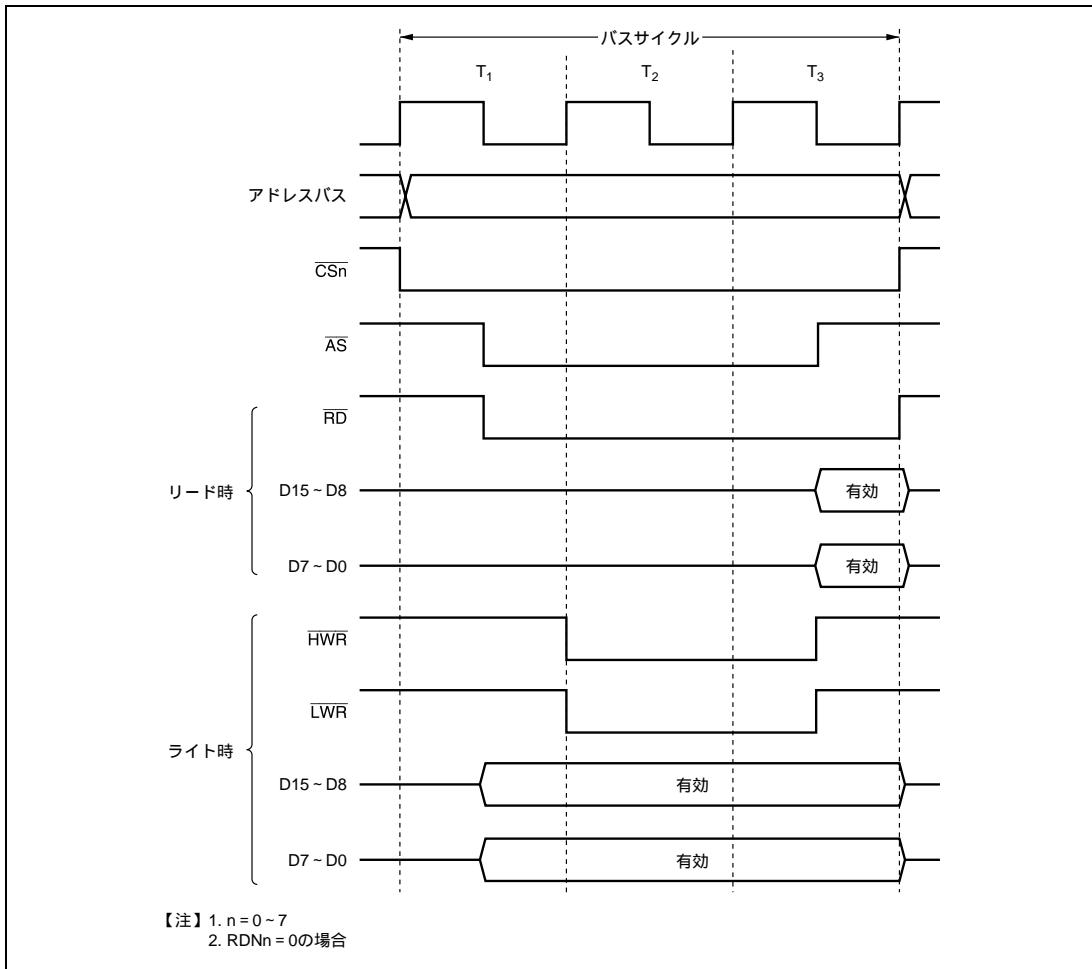


図 6.15 16 ビット 3 ステートアクセス空間のバスタイミング
(ワードアクセス)

6.5.4 ウェイト制御

本 LSI は、外部アドレス空間をアクセスするときウェイトステート (T_w) を挿入して、バスサイクルを引き延ばすことができます。ウェイトステートを挿入する方法には、プログラムウェイトの挿入、 $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入があります。

(1) プログラムウェイトの挿入

WTCRA、WTCRB により、3 ステートアクセス空間に対して、エリア単位で 0 ~ 7 ステートのウェイトステートを自動的に T_2 ステートと T_3 ステートの間に挿入することができます。

6. バスコントローラ (BSC)

(2) 端子ウェイトの挿入

BCR の WAITE ビットを 1 にセットすると、 $\overline{\text{WAIT}}$ 端子によるウェイト入力が有効になります。この状態で外部アドレス空間をアクセスすると、まず WTCRA、WTCRB の設定に従いプログラムウェイトが挿入されます。続いて T_2 または T_w の最後のステートの の立ち下りのタイミングで、 $\overline{\text{WAIT}}$ 端子が Low レベルであると T_w が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると $\overline{\text{WAIT}}$ 端子が High レベルになるまで T_w が挿入されます。7 ステート以上の T_w を挿入する場合や、外部デバイスごとに挿入する T_w 数を変える場合などに有効です。なお、WAITE ビットはすべてのエリアに対して共通です。図 6.16 にウェイトステート挿入のタイミング例を示します。

リセット後は 3 ステートアクセスかつプログラムウェイト 7 ステート挿入、 $\overline{\text{WAIT}}$ 入力禁止状態となっています。

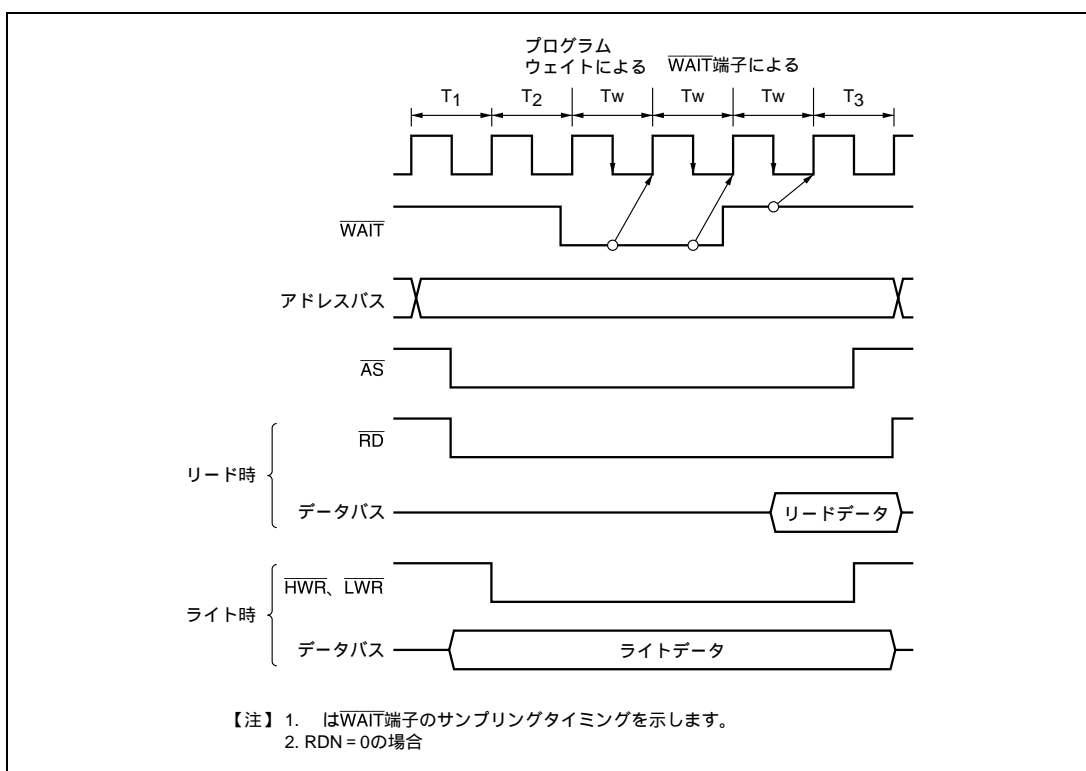


図 6.16 ウェイトステート挿入タイミング例

6.5.5 リードストロープ ($\overline{\text{RD}}$) タイミング

RDNCR の RDN7 ~ RDN0 ビットを 1 にセットすることにより、エリア単位にリードストロープ ($\overline{\text{RD}}$) のタイミングを変更することが可能です。図 6.17 に基本バス 3 ステートアクセス空間でリードストロープのタイミングを変更した場合のタイミング例を示します。

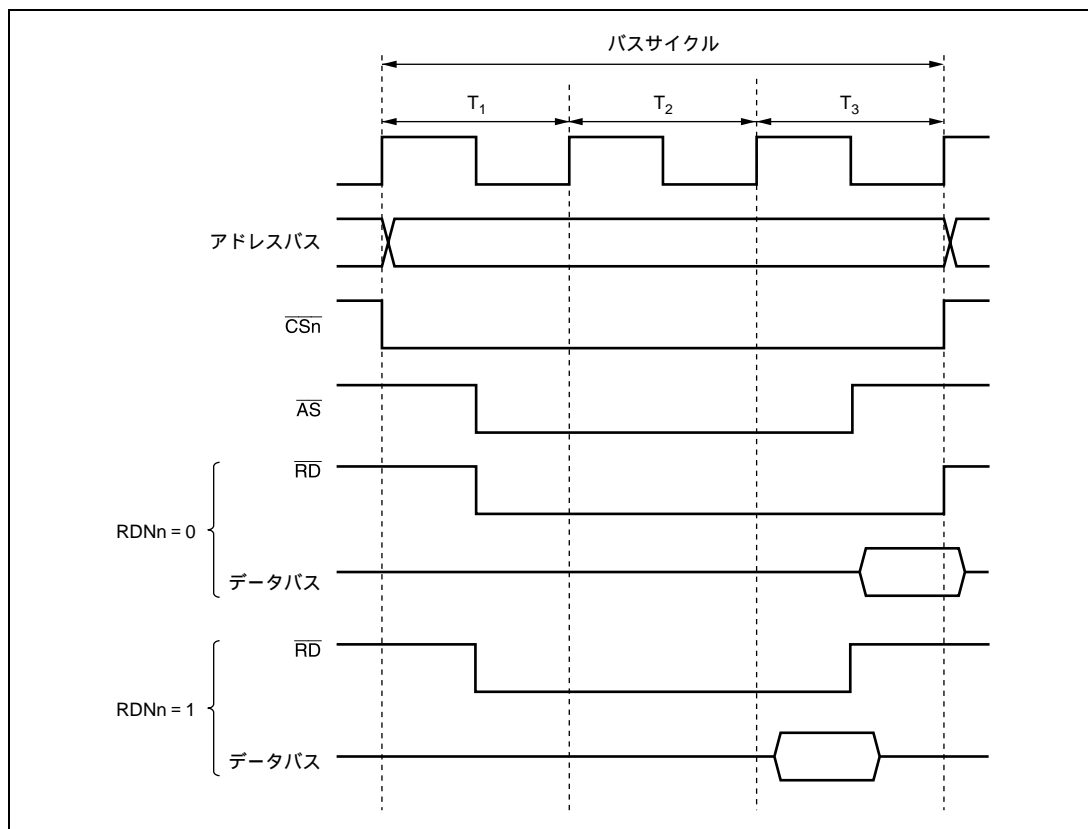


図 6.17 リードストロブタイミング例

6.5.6 チップセレクト (\overline{CS}) アサート期間拡張

外部 I/O デバイスには、アドレス、 \overline{CS} 信号と \overline{RD} 、 \overline{HWR} 、 \overline{LWR} のストロブ信号の間のセットアップ時間やホールド時間が必要な場合があります。CSACR の設定により、基本バス空間のアクセスサイクルの前後に \overline{CS} と \overline{AS} 、アドレスだけがアサートされるステートを挿入することができます。 \overline{CS} アサート期間の拡張はエリア単位に設定可能です。また、ライトアクセス時の \overline{CS} アサート拡張期間では、データバスにライトデータが出力されるのでデータのセットアップ時間およびホールド時間が緩和されます。

図 6.18 に基本バス 3 ステートアクセス空間に \overline{CS} アサート期間を拡張した場合のタイミング例を示します。

6. バスコントローラ (BSC)

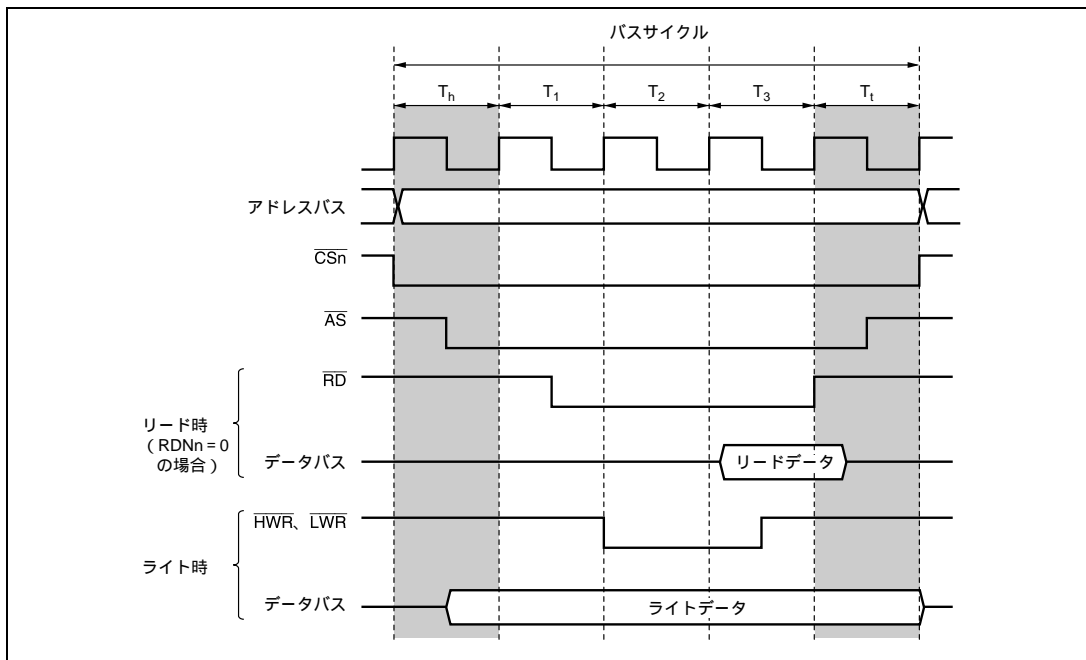


図 6.18 チップセレクトアサート期間拡張時タイミング例

基本バスサイクルの手前に挿入される拡張スタート (T_h) と、基本バスサイクルの後に挿入される拡張スタート (T_t) の両方、もしくは一方だけをエリア単位に指定することが可能です。CSACR の上位 8 ビットの CSXH7 ~ CSXH0 ビットで T_h スタート、下位 8 ビットの CSXT7 ~ CSXT0 ビットで T_t スタートの挿入の有無を設定することができます。

6.6 アイドルサイクル

6.6.1 動作説明

本 LSI は外部アドレス空間をアクセスするとき、(1)異なるエリア間でリードアクセスが連続して発生したとき、(2)リードサイクルの直後にライトサイクルが発生したとき、(3)ライトサイクルの直後にリードサイクルが発生したときの 3 つの場合に、バスサイクルとバスサイクルの間にアイドルサイクル (T_i) を挿入することができます。BCR の IDLC ビットの設定により、アイドルサイクルを 1 ステートまたは 2 ステート挿入可能です。アイドルサイクルの挿入により、出力フローティング時間の大きい ROM など、高速メモリ、I/O インタフェースなどとのデータ衝突を防ぐことができます。

(1) 異なるエリア間での連続リード

BCR の ICIS1 ビットを 1 にセットした状態で、異なるエリア間の連続リードが発生すると、2 回目のリードサイクルの先頭に、アイドルサイクルが挿入されます。

図6.19に動作例を示します。バスサイクルAは出力フローティング時間の大きいROMからのリードサイクル、バスサイクルBはSRAMからのリードサイクルでそれぞれ異なるエリアに配置した場合の例です。(a)はアイドルサイクルを挿入しない場合で、バスサイクルBでROMからのリードデータとSRAMからのリードデータの衝突が発生しています。これに対し、(b)ではアイドルサイクルを挿入しデータの衝突を回避しています。

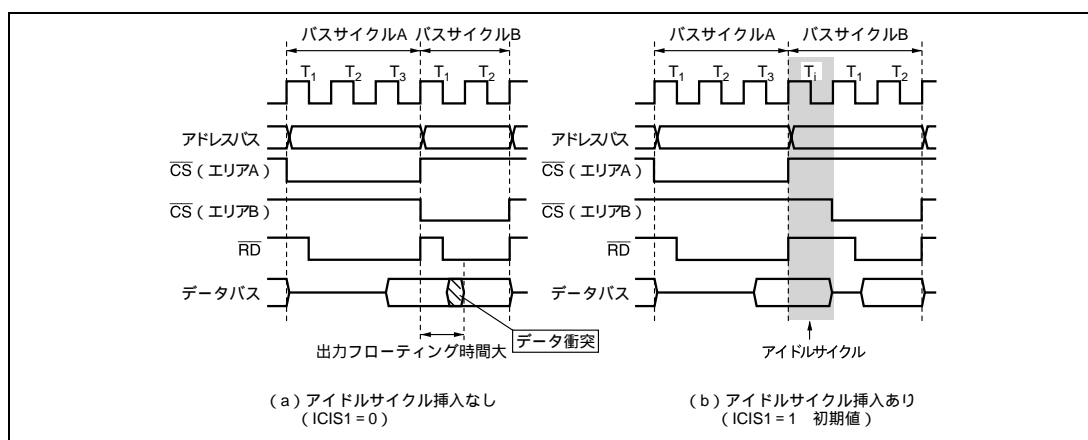


図 6.19 アイドルサイクル動作例 (異なるエリア間での連続リード)

(2) リード後のライト

BCRのICIS0ビットを1にセットした状態で、外部リード後に外部ライトが発生すると、ライトサイクルの先頭にアイドルサイクルが挿入されます。

図6.20に動作例を示します。バスサイクルAは出力フローティング時間の大きいROMからのリードサイクル、バスサイクルBはCPUのライトサイクルの場合の例です。(a)はアイドルサイクルを挿入しない場合で、バスサイクルBでROMからのリードデータとCPUのライトデータの衝突が発生しています。これに対し、(b)ではアイドルサイクルを挿入し、データの衝突を回避しています。

6. バスコントローラ (BSC)

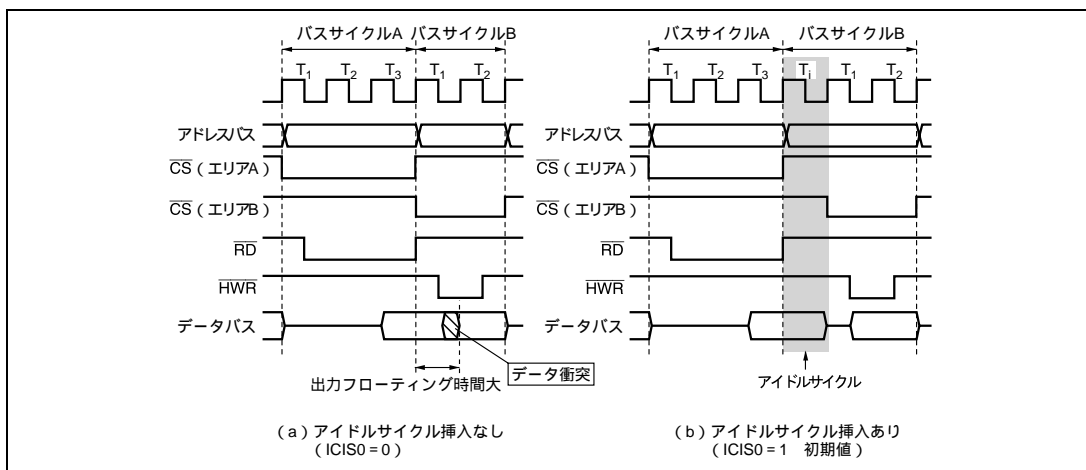


図 6.20 アイドルサイクル動作例 (リード後のライト)

(3) ライト後のリード

BCR の ICIS2 ビットを 1 にセットした状態で、外部ライト後に外部リードが発生すると、リードサイクルの先頭にアイドルサイクルが挿入されます。

図 6.21 に動作例を示します。バスサイクル A は CPU のライトサイクル、バスサイクル B は外部からのリードサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で CPU からリードデータと外部からのリードデータの衝突が発生しています。これに対し、(b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

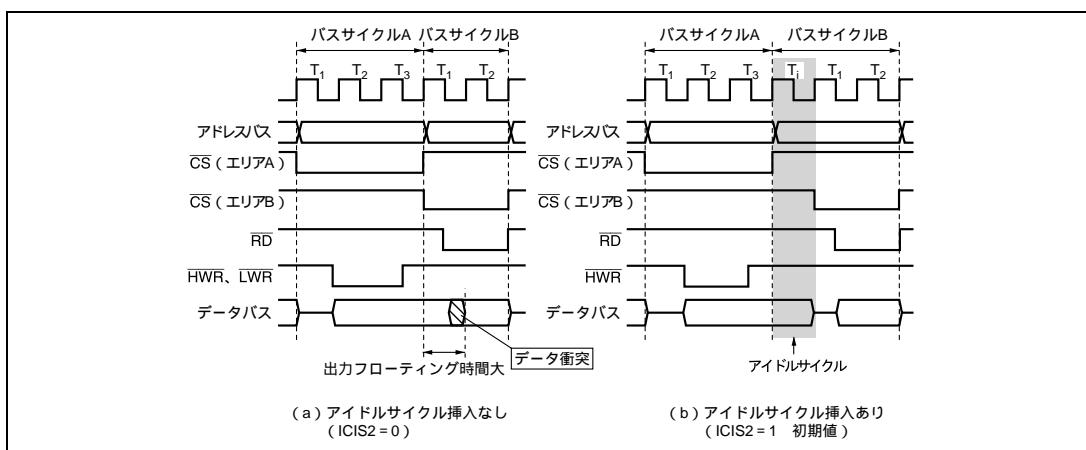
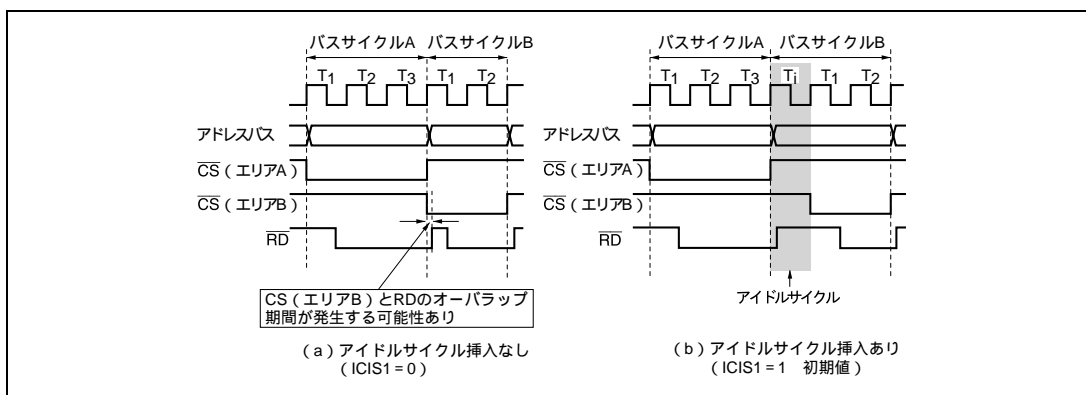


図 6.21 アイドルサイクル動作例 (ライト後のリード)

(4) チップセレクト (\overline{CS}) 信号とリード (\overline{RD}) 信号の関係

システムの負荷条件によっては、 \overline{CS} 信号よりも \overline{RD} 信号の方が遅れる場合があります。図 6.22 に例を示します。(a) のアイドルサイクルを挿入しない設定では、バスサイクル A の \overline{RD} 信号とバスサイクル B の \overline{CS} 信号間でオーバーラップ期間が発生する可能性があります。これに対し、(b) のようにアイドルサイクルを挿入する設定にすれば、 \overline{RD} 信号と \overline{CS} 信号のオーバーラップ期間を回避することができます。なお、リセット解除後の初期状態は、(b) のアイドルサイクルを挿入する設定となっています。

図 6.22 チップセレクト (\overline{CS}) とリード (\overline{RD}) の関係

6.6.2 アイドルサイクルでの端子状態

アイドルサイクルでの端子状態を表 6.4 に示します。

表 6.4 アイドルサイクルでの端子状態

端子名	端子の状態
A23 ~ A0	直後のバスサイクルの内容
D15 ~ D0	ハイインピーダンス
\overline{CS}_n (n = 7 ~ 0)	High レベル
\overline{AS}	High レベル
\overline{RD}	High レベル
HWR, LWR	High レベル

6.7 ライトデータバッファ機能

本 LSI は外部データバスにライトデータバッファ機能を備えています。ライトデータバッファ機能を使用すると、外部ライトと、内部アクセスを並行して実行することができます。BCR の WDBE ビットを 1 にセットすると、ライトデータバッファ機能を使用することができます。

図 6.23 にライトデータバッファ機能を使用したときのタイミング例を示します。この機能を使用したとき、外部ライトが 2 ステート以上続き、次に内部アクセスがある場合、最初の 1 ステートは外部ライトのみが実行されますが、次のステートから外部ライトの終了を待たずに内部アクセス (内蔵メモリ、内部 I/O レジスタのリード/ライト) が並行して実行されます。

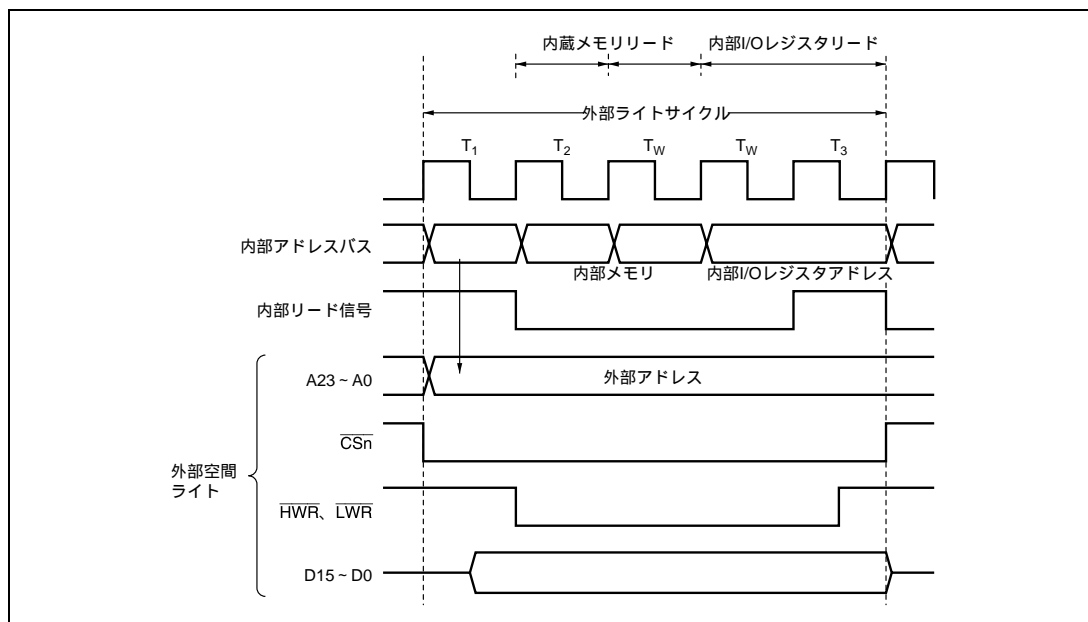


図 6.23 ライトデータバッファ機能使用時のタイミング例

6.8 バス権解放

本 LSI は外部からのバス権要求により、外部バスを解放することができます。外部バス権解放状態では、外部アクセスが発生しない限り内部バスマスタは動作を継続します。また、外部バス権解放状態で、以下の要求が発生すると、外部に対し $\overline{\text{BREQO}}$ 信号を Low レベルにしてバス権を要求することができます。

- 内部バスマスタが外部アクセスをしようとしたとき
- ソフトウェアスタンバイモードまたは全モジュールクロックストップモードへ遷移するための SLEEP 命令が実行されたとき

6.8.1 動作説明

外部拡張モードで、BCR の BRLE ビットを 1 にセットすると、外部にバス権を解放することができます。 $\overline{\text{BREQ}}$ 端子を Low レベルにすることにより、本 LSI に外部バス権を要求します。 $\overline{\text{BREQ}}$ 端子をサンプリングすると、所定のタイミングで $\overline{\text{BACK}}$ 端子を Low レベルにし、アドレスバス、データバス、バス制御信号をハイインピーダンスとして外部バス権解放状態になります。

外部バス権解放状態で、内部バスマスタは内部バスを使用したアクセスを行うことができます。内部バスマスタが外部アクセスをしようとする、いったんバスサイクルの起動を保留し、外部バスマスタからのバス権要求が取り下げられるのを待ちます。また、ソフトウェアスタンバイモードまたは全モジュールクロックストップモードへ遷移するための SLEEP 命令が実行された場合も、外部バスマスタのバス権要求が取り下げられるまで、ソフトウェアスタンバイ並びに全モジュールクロックストップ制御は保留されます。

BCR の BREQOE ビットが 1 にセットされていると、以下の要求が発生したときに $\overline{\text{BREQO}}$ 端子を Low レベルとし、外部にバス権要求を取り下げよう要求することができます。

- 内部バスマスタが外部アクセスをしようとしたとき
- ソフトウェアスタンバイモードまたは全モジュールクロックストップモードへ遷移するための SLEEP 命令が実行されたとき

$\overline{\text{BREQ}}$ 端子を High レベルとすると、所定のタイミングで $\overline{\text{BACK}}$ 端子を High レベルとし、外部バス権解放状態を終了します。

外部バス権解放要求、外部アクセスが同時に発生したときの優先順位は

(高) 外部バス権解放 > 内部バスマスタの外部アクセス (低)

となります。

6.8.2 外部バス権解放状態での端子状態

外部バス権解放状態での端子状態を表 6.5 に示します。

表 6.5 バス権解放状態での端子状態

端子名	端子の状態
A23 ~ A0	ハイインピーダンス
D15 ~ D0	ハイインピーダンス
$\overline{\text{CS}}_n$ (n = 7 ~ 0)	ハイインピーダンス
$\overline{\text{AS}}$	ハイインピーダンス
$\overline{\text{RD}}$	ハイインピーダンス
$\overline{\text{HWR}}$, $\overline{\text{LWR}}$	ハイインピーダンス

6.8.3 遷移タイミング

バス権解放状態への遷移タイミングを図 6.24 に示します。

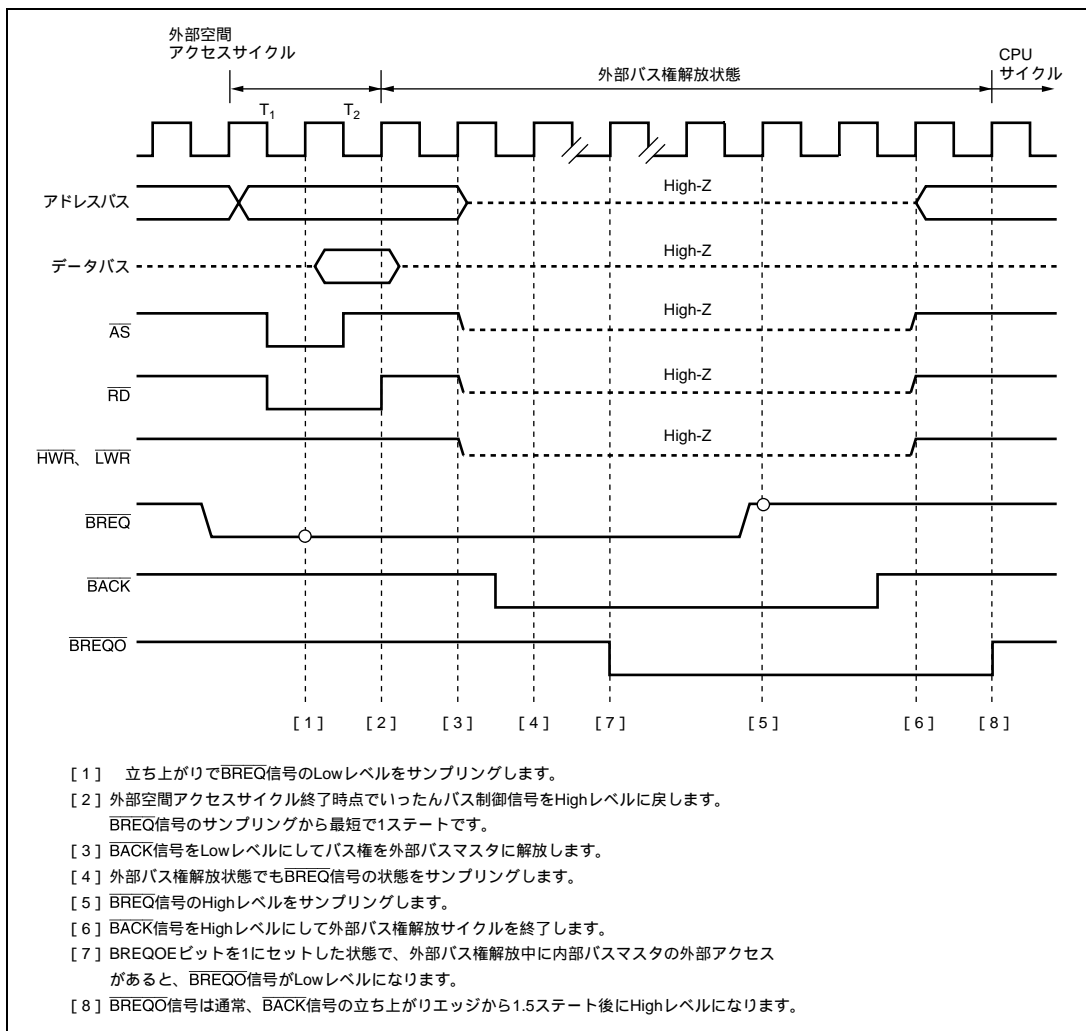


図 6.24 バス権解放状態遷移タイミング

6.9 バスアービトレーション

本 LSI はバスマスタの動作を調停 (バスアービトレーション) するバスアービタを内蔵しています。

バスマスタは、CPU、DTC があり、バス権を占有した状態でリード/ライト動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。バスマスタはバス権を獲得して動作します。

6.9.1 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていればそのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位：

(高) DTC > CPU (低)

6.9.2 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタにはバス権を譲ることができるタイミングがあります。

(1) CPU

CPU は最も優先順位が低いバスマスタで、DTC からのバス権要求があると、バスアービタはバス権をバス権の要求のあったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

- バスサイクルの切れ目で、バス権を移行します。ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合などには、分割されたバスサイクルの切れ目では、バス権は移行しません。
- BSET、BCLRなどのビット操作命令では、いったん対象のデータを読み込み (リード)、所定のビット操作演算後 (モディファイ)、書き戻し (ライト) ます。このようなリード モディファイ ライトサイクルの間は一連のバスサイクルとして実行されるためバス権を移行しません。
- CPUがスリープモードの場合、ただちにバス権を移行します。

(2) DTC

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。

DTC がバス権を解放できるのは、ベクタのリード後、レジスタ情報のリード (3 ステート) 後、1 回のデータ転送後、レジスタ情報のライト (3 ステート) 後です。レジスタ情報のリード (3 ステート) 中、1 回のデータ転送中、レジスタ情報のライト (3 ステート) 中にはバスを解放しません。

6. バスコントローラ (BSC)

(3) 外部バス権解放

BCR レジスタの BRLE ビットを 1 にセットした状態で $\overline{\text{BREQ}}$ 端子が Low レベルとなって外部バス権解放要求が起こるとバスアービタに対してバス権を要求します。

外部バス権解放は、外部バスサイクルが終了した時点で行うことができます。

6.10 リセットとバスコントローラ

リセットでは、バスコントローラを含めて、本 LSI はその時点でリセット状態になります。実行中のバスサイクルは途中で打ち切られます。

6.11 使用上の注意事項

6.11.1 外部バス権解放機能と全モジュールクロックストップモード

本 LSI は MSTPCRH レジスタの ACSE ビットを 1 にセットし、すべての周辺モジュールのクロックを停止する設定 (MSTPCR = H'FFFF) か、もしくは 8 ビットタイマだけを動作させる設定 (MSTPCR = H'FFFE) で SLEEP 命令を実行しスリープ状態へ遷移すると、バスコントローラと I/O ポートもクロックを停止する全モジュールクロックストップモードへ遷移します。この状態では外部バス権解放機能は停止します。スリープモードで外部バス権解放機能を使用する場合は、MSTPCR レジスタの ACSE ビットを 0 にクリアしてください。逆に、外部バス権解放状態で、全モジュールクロックストップモードへ遷移するための SLEEP 命令が実行された場合、全モジュールクロックストップモードへの遷移は保留され、バス権復帰後に遷移します。

6.11.2 外部バス権解放機能とソフトウェアスタンバイ

本 LSI はバス解放中でも、プログラムが内蔵 ROM などで動作していて外部アクセスが起きない場合には、内部バスマスタの動作は停止しません。外部バス解放中にソフトウェアスタンバイモードに遷移するための SLEEP 命令が実行された場合、ソフトウェアスタンバイモードへの遷移は保留され、バス権復帰後に遷移します。

また、ソフトウェアスタンバイモードではクロック発振も停止するため、ソフトウェアスタンバイ中に $\overline{\text{BREQ}}$ が Low レベルとなり、外部バス解放要求があっても、ソフトウェアスタンバイ状態から復帰するまで外部バス解放に応答できません。

6.11.3 BREQO 出力タイミング

BREQOE ビットに 1 をセットして $\overline{\text{BREQO}}$ 信号を出力する場合、 $\overline{\text{BACK}}$ 信号が Low レベルになる前に $\overline{\text{BREQO}}$ が Low レベルになる場合があります。

これは、本 LSI が $\overline{\text{BREQ}}$ の Low レベルをサンプリングして、内部のバス権を調停している間に、すでに次の外部アクセス要求が発生した場合に起こります。

7. データトランスファコントローラ (DTC)

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

図 7.1 に DTC のブロック図を示します。DTC のレジスタ情報は内蔵 RAM に配置されます。DTC を使用する際には、必ず SYSCR の RAME ビットを 1 にセットしてください。DTC と内蔵 RAM (1k バイト) 間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード/ライトを 32 ビット 1 ステートで実行できます。

7.1 特長

- 任意チャンネル数の転送可能
- 転送モード：3種類
ノーマルモード、リピートモード、ブロック転送モード
- 一つの起動要因で複数データの連続転送が可能 (チェイン転送)
- 16Mバイトのアドレス空間を直接指定可能
- ソフトウェアによる起動が可能
- 転送単位をバイト/ワードに設定可能
- DTCを起動した割り込みをCPUに要求可能
- モジュールストップモードの設定可能

7. データトランスファコントローラ (DTC)

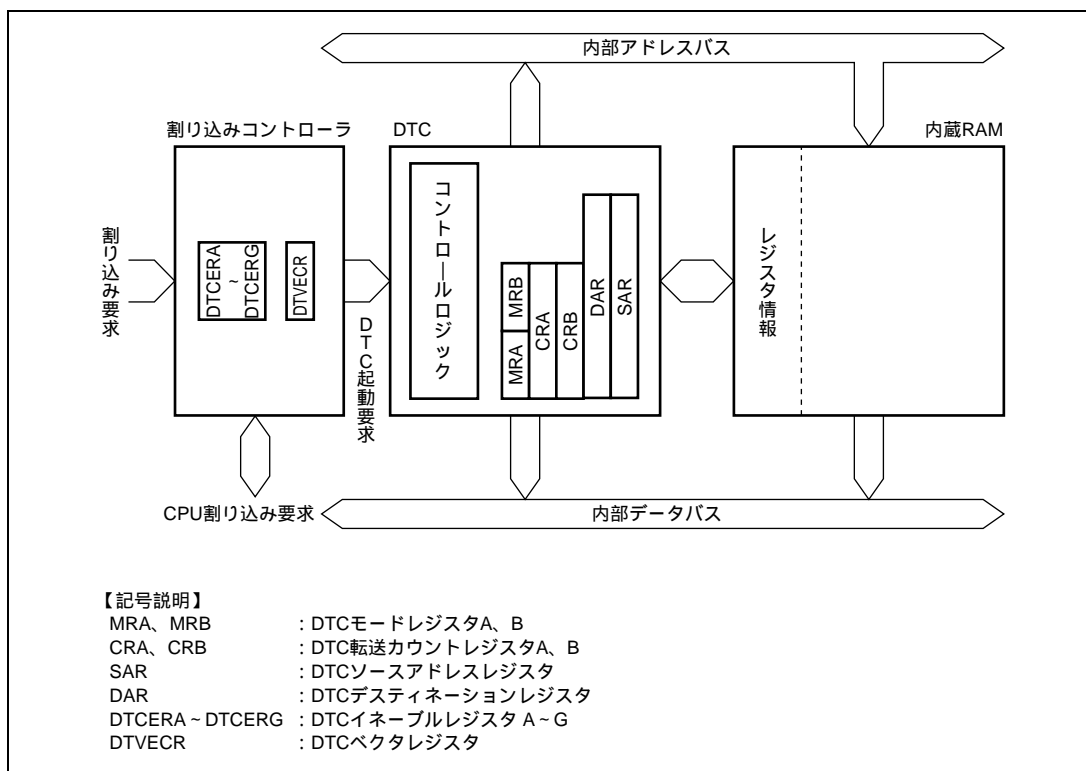


図 7.1 DTC のブロック図

7.2 レジスタの説明

DTC には以下のレジスタがあります。

- DTCモードレジスタA (MRA)
- DTCモードレジスタB (MRB)
- DTCソースアドレスレジスタ (SAR)
- DTCデスティネーションアドレスレジスタ(DAR)
- DTC転送カウントレジスタA (CRA)
- DTC転送カウントレジスタB (CRB)

以上の6本のレジスタはCPUから直接アクセスすることはできません。DTC起動要因が発生すると内蔵RAM上に配置された任意の組のレジスタ情報から該当するレジスタ情報をこれらのレジスタに転送してDTC転送を行い、転送が終了するとこれらのレジスタの内容がRAMに戻されます。

- DTCイネーブルレジスタA~G (DTCERA~DTCERG)
- DTCベクタレジスタ (DTVECR)

7.2.1 DTC モードレジスタ A (MRA)

MRA は DTC の動作モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7 6	SM1 SM0	不定 不定		ソースアドレスモード 1、0 データ転送後の SAR の動作を指定します。 0X : SAR は固定 10 : 転送後 SAR をインクリメント (Sz=0 のとき +1、Sz=1 のとき +2) 11 : 転送後 SAR をデクリメント (Sz=0 のとき -1、Sz=1 のとき -2)
5 4	DM1 DM0	不定 不定		デスティネーションアドレスモード 1、0 データ転送後の DAR の動作を指定します。 0X : DAR は固定 10 : 転送後 DAR をインクリメント (Sz=0 のとき +1、Sz=1 のとき +2) 11 : 転送後 DAR をデクリメント (Sz=0 のとき -1、Sz=1 のとき -2)
3 2	MD1 MD0	不定 不定		DTC モード DTC の転送モードを指定します。 00 : ノーマルモード 01 : リピートモード 10 : ブロック転送モード 11 : 設定禁止
1	DTS	不定		DTC 転送モードセレクト リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のどちらをリピート領域またはブロック領域とするかを指定します。 0 : デスティネーション側がリピート領域またはブロック領域 1 : ソース側がリピート領域またはブロック領域
0	Sz	不定		DTC データトランスファサイズ 転送データのサイズを指定します。 0 : バイトサイズ転送 1 : ワードサイズ転送

【注】 X : Don't care

7. データトランスファコントローラ (DTC)

7.2.2 DTC モードレジスタ B (MRB)

MRB は DTC モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	CHNE	不定		DTC チェイン転送イネーブル このビットが 1 のときチェイン転送を行います。チェイン転送の詳細は「7.5.4 チェイン転送」を参照してください。 CHNE = 1 に設定したデータ転送では、指定した転送回数の終了の判定や起動要因フラグのクリアや DTCER のクリアは行いません。
6	DISEL	不定		DTC インタラプトセレクト このビットが 1 のとき DTC 転送のたびに CPU に対して割り込み要求を発生します。このビットは 0 のときは指定されたデータ転送を終了したときだけ CPU に対して割り込み要求を発生します。
5	CHNS	不定		チェイン転送セレクト チェイン転送の条件を選択します。 0: 連続してチェイン転送を行う 1: 転送カウンタ=0 のときのみチェイン転送を行う
4~0		不定		リザーブビット DTC の動作に影響を与えません。ライトするときは 0 をライトしてください。

7.2.3 DTC ソースアドレスレジスタ (SAR)

SAR は 24 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

7.2.4 DTC デスティネーションアドレスレジスタ (DAR)

DAR は 24 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

7.2.5 DTC 転送カウントレジスタ A (CRA)

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマルモードでは、一括して 16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

リピートモードおよびブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されません。CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。CRAL は、1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。

7.2.6 DTC 転送カウントレジスタ B (CRB)

CRB は 16 ビットのレジスタで、ブロック転送モードのとき、DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送カウンタ (1~65536) として機能し、1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

7.2.7 DTC イネーブルレジスタ A~G (DTCERA~DTCERG)

DTCEr は、DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA~DTCERG があります。各割り込み要因と DTCE ビットの対応については表 7.1 を参照してください。DTCE ビットの設定は、BSET、BCLR などビット操作命令を使用してください。ただし初期設定に限り、複数の起動要因を一度に設定するために、割り込みをマスクして対象となるレジスタをダミーリードした後ライトすることができます。

ビット	ビット名	初期値	R/W	説明
7	DTCE7	0	R/W	DTC 起動イネーブル
6	DTCE6	0	R/W	1 をセットすると対応する割り込み要因が DTC 起動要因として選択されます。
5	DTCE5	0	R/W	[クリア条件]
4	DTCE4	0	R/W	• MRB の DISEL ビットが 1 でデータ転送を終了したとき
3	DTCE3	0	R/W	• 指定した回数の転送が終了したとき
2	DTCE2	0	R/W	DISEL ビットが 0 で、指定した回数の転送が終了していないときはクリアされません。
1	DTCE1	0	R/W	
0	DTCE0	0	R/W	

7. データトランスファコントローラ (DTC)

7.2.8 DTC ベクタレジスタ (DTVECR)

DTVECR は、ソフトウェアによる DTC 起動およびソフトウェア起動割り込み用ベクタ番号を設定します。

ビット	ビット名	初期値	R/W	説明
7	SWDTE	0	R/W	DTC ソフトウェア起動イネーブル このビットを 1 にセットすると DTC が起動します。 [クリア条件] <ul style="list-style-type: none">• DIESEL ビットが 0 で、指定した回数の転送が終了しないとき• CPU に対し、ソフトウェア起動データ転送終了割り込みが要求 (SWDTEND) が発生したあと、0 をライトしたとき DIESEL ビットが 1 で、データ転送を終了したとき、および指定した回数の転送が終了したときはクリアされません。
6	DTVEC6	0	R/W	DTC ソフトウェア起動ベクタ 6~0
5	DTVEC5	0	R/W	ソフトウェアによる DTC 起動ベクタ番号を設定します。
4	DTVEC4	0	R/W	ベクタアドレスは、H'0400 + ベクタ番号 × 2 となります。たとえば、DTVEC6
3	DTVEC3	0	R/W	~ DTVEC0 = H'10 のとき、ベクタアドレスは H'0420 となります。
2	DTVEC2	0	R/W	SWDTE=0 のときだけライト可能です。
1	DTVEC1	0	R/W	
0	DTVEC0	0	R/W	

7.3 起動要因

DTC は割り込み要求またはソフトウェアによる DTVECR へのライト動作により起動します。起動する割り込み要因は DTCER で選択します。1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) 終了時に、起動要因となった割り込みフラグまたは DTCER の対応するビットをクリアします。たとえば RX10 の場合、起動要因フラグは、SCI_0 の RDRF フラグになります。

割り込みで DTC を起動する場合は CPU のマスクレベルおよび割り込みコントローラに設定されたプライオリティレベルの影響を受けません。複数の起動要因が同時に発生した場合には、割り込み要因のデフォルトの優先順位に従って DTC が起動します。DTC 起動要因制御ブロック図を図 7.2 に示します。割り込みコントローラの詳細は、「第 5 章 割り込みコントローラ」を参照してください。

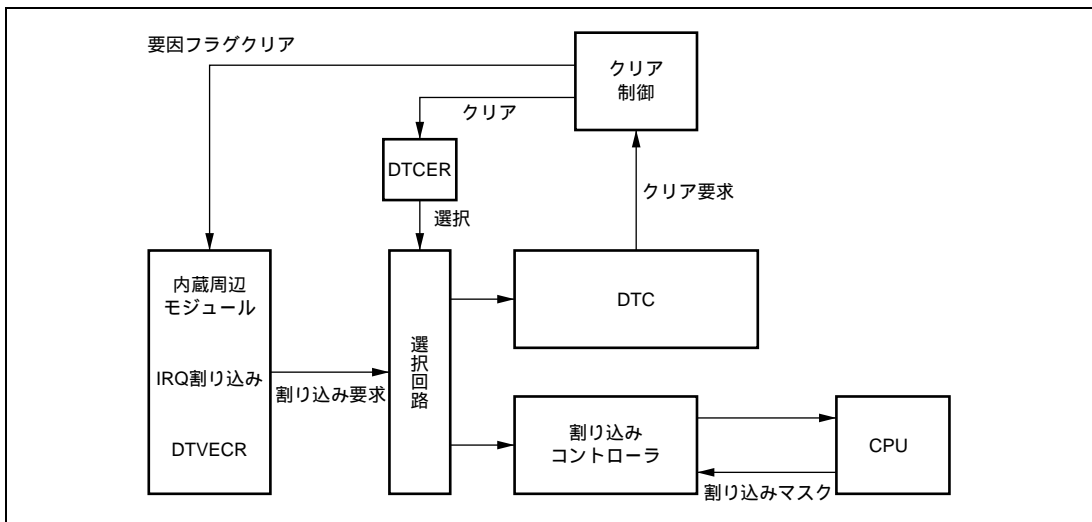


図 7.2 DTC 起動要因制御ブロック図

7. データトランスファコントローラ (DTC)

表 7.1 割り込み要因と DTC ベクタアドレスおよび対応する DTCE (1)

起動要因発生元	起動要因	ベクタ 番号	DTC ベクタアドレス	DTCE*	優先 順位
ソフトウェア	DTVECR へのライト	DTVECR	H'0400+ (DTVECR[6:0] × 2)	-	高 ▲
外部端子	IRQ0	16	H'0420	DTCEA7	▼ 低
	IRQ1	17	H'0422	DTCEA6	
	IRQ2	18	H'0424	DTCEA5	
	IRQ3	19	H'0426	DTCEA4	
	IRQ4	20	H'0428	DTCEA3	
	IRQ5	21	H'042A	DTCEA2	
	IRQ6	22	H'042C	DTCEA1	
	IRQ7	23	H'042E	DTCEA0	
	リザーブ予約	24	H'0430	DTCEB7	
		25	H'0432	DTCEB6	
		26	H'0434	DTCEB5	
		27	H'0436	DTCEB4	
		28	H'0438	DTCEB3	
		29	H'043A	DTCEB2	
		30	H'043C	DTCEB1	
		31	H'043E	DTCEB0	
A/D	ADI	38	H'044C	DTCEC6	
TPU_0	TGI0A	40	H'0450	DTCEC5	
	TGI0B	41	H'0452	DTCEC4	
	TGI0C	42	H'0454	DTCEC3	
	TGI0D	43	H'0456	DTCEC2	
TPU_1	TGI1A	48	H'0460	DTCEC1	
	TGI1B	49	H'0462	DTCEC0	
TPU_2	TGI2A	52	H'0468	DTCED7	
	TGI2B	53	H'046A	DTCED6	
TPU_3	TGI3A	56	H'0470	DTCED5	
	TGI3B	57	H'0472	DTCED4	
	TGI3C	58	H'0474	DTCED3	
	TGI3D	59	H'0476	DTCED2	
TPU_4	TGI4A	64	H'0480	DTCED1	
	TGI4B	65	H'0482	DTCED0	

7. データトランスファコントローラ (DTC)

表 7.1 割り込み要因と DTC ベクタアドレスおよび対応する DTCE (2)

起動要因発生元	起動要因	ベクタ 番号	DTC ベクタアドレス	DTCE*	優先 順位
TPU_5	TGI5A	68	H'0488	DTCEE7	高   低
	TGI5B	69	H'048A	DTCEE6	
TMR_0	CMIA0	72	H'0490	DTCEE3	
	CMIB0	73	H'0492	DTCEE2	
TMR_1	CMIA1	76	H'0498	DTCEE1	
	CMIB1	77	H'049A	DTCEE0	
	リザーブ予約	80	H'04A0	DTCEF7	
		81	H'04A2	DTCEF6	
		82	H'04A4	DTCEF5	
		83	H'04A6	DTCEF4	
SCL_0	RXI0	89	H'04B2	DTCEF3	
	TXI0	90	H'04B4	DTCEF2	
SCL_1	RXI1	93	H'04BA	DTCEF1	
	TXI1	94	H'04BC	DTCEF0	
SCL_2	RXI2	97	H'04C2	DTCEG7	
	TXI2	98	H'04C4	DTCEG6	

【注】 * 対応する割り込みのない DTCE ビットはリザーブビットとなります。0 をライトしてください。
ソフトウェアスタンバイ状態および全モジュールクロックストップモードを割り込みにより解除する場合は、対応する DTCE ビットに 0 をライトしてください。

7.5 動作説明

DTC はレジスタ情報を内蔵 RAM 上に格納します。DTC が起動すると内蔵 RAM からレジスタ情報をリードしてデータ転送を行ない、データ転送後のレジスタ情報を内蔵 RAM に戻します。レジスタ情報を内蔵 RAM に格納することで、任意チャンネル数のデータ転送を行うことができます。転送モードにはノーマルモード、リピートモード、ブロック転送モードがあります。また、MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数の転送を行うことができます (チェーン転送)。さらに、転送カウンタ=0 のときのみチェーン転送を行うこともできます。

転送元アドレスは 24 ビット長の SAR、転送先アドレスは 24 ビット長の DAR で指定します。SAR、DAR は転送後、レジスタ情報に従って独立にインクリメント、デクリメントされるか固定されます。

図 7.4 に DTC の動作フローチャートを示します。表 7.2 に第 1 の転送から第 2 の転送を行うチェーン転送の条件を示します。

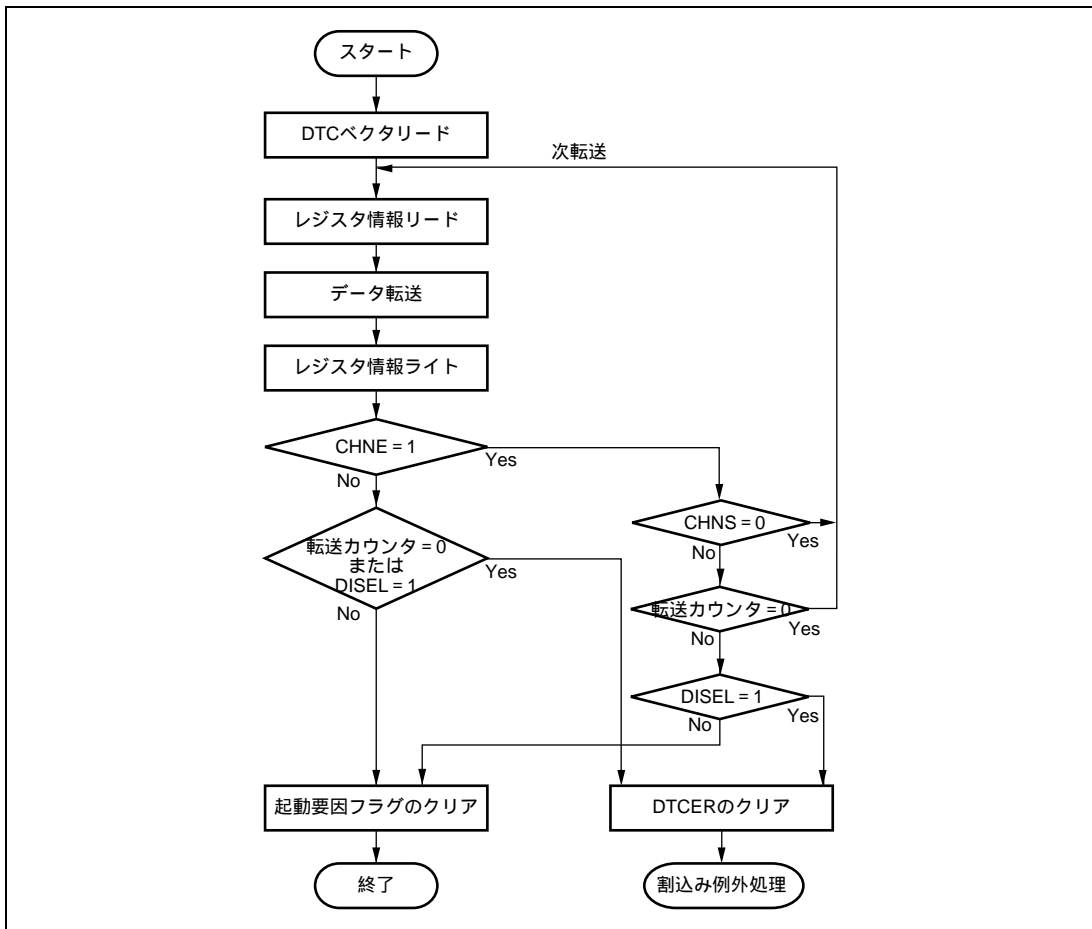


図 7.4 DTC 動作フローチャート

7. データトランスファコントローラ (DTC)

表 7.2 チェイン転送の条件

第 1 の転送				第 2 の転送				DTC 転送
CHNE	CHNS	DISEL	CR	CHNE	CHNS	DISEL	CR	
0		0	0 以外					第 1 の転送で終了
0		0	0					第 1 の転送で終了
0		1						CPU へ割り込み要求
1	0			0		0	0 以外	第 2 の転送で終了
				0		0	0	第 2 の転送で終了
				0		1		CPU へ割り込み要求
1	1	0	0 以外					第 1 の転送で終了
1	1		0	0		0	0 以外	第 2 の転送で終了
				0		0	0	第 2 の転送で終了
				0		1		CPU へ割り込み要求
1	1	1	0 以外					第 1 の転送で終了 CPU へ割り込み要求

7.5.1 ノーマルモード

1 回の動作で、1 バイトまたは 1 ワードの転送を行います。表 7.3 にノーマルモードにおけるレジスタ機能を示します。転送回数は 1 ~ 65536 です。指定回数の転送が終了すると、CPU へ割り込み要求を発生することができます。

表 7.3 ノーマルモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ A	CRA	転送カウント
DTC 転送カウントレジスタ B	CRB	使用しません

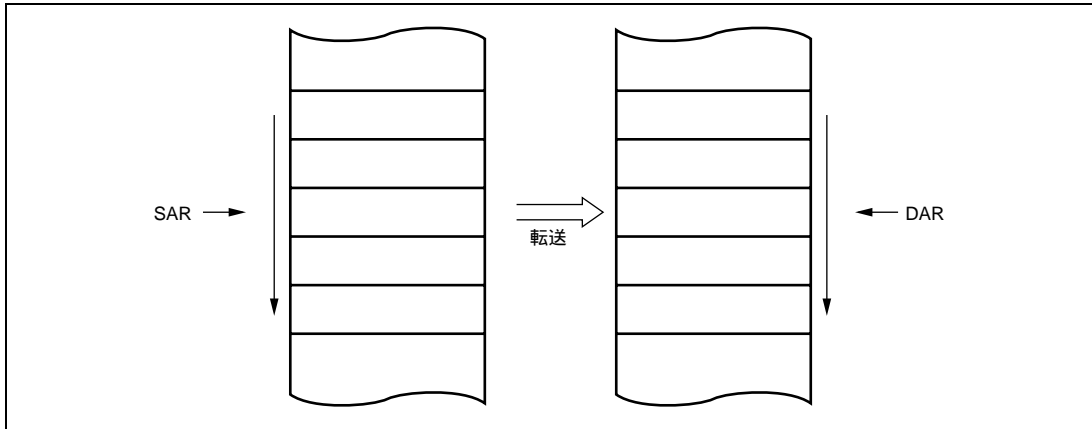


図 7.5 ノーマルモードのメモリマップ

7.5.2 リピートモード

1回の動作で、1バイトまたは1ワードの転送を行います。表 7.4 にリピートモードにおけるレジスタ機能を示します。転送回数は1~256で、指定回数の転送が終了すると、転送カウンタおよびリピートエリアに指定された方のアドレスレジスタの初期状態が回復し、転送を繰り返します。リピートモードでは、転送カウンタがH'00にならないので、DISEL=0の場合はCPUへの割り込み要求は発生しません。

表 7.4 リピートモードのレジスタ機能

名称	略称	機能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ AH	CRAH	転送回数保持
DTC 転送カウントレジスタ AL	CRAL	転送カウンタ
DTC 転送カウントレジスタ B	CRB	使用しません

7. データトランスファコントローラ (DTC)

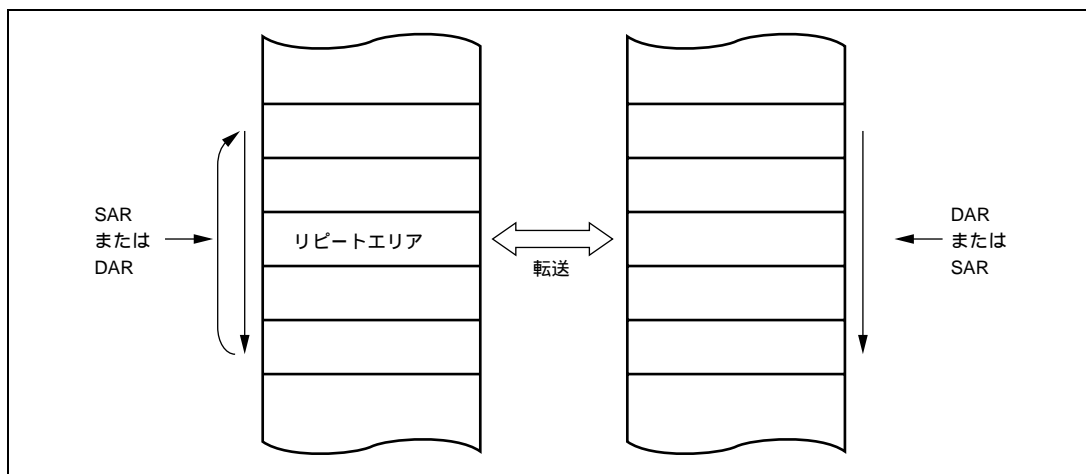


図 7.6 リピートモードのメモリマップ

7.5.3 ブロック転送モード

1回の動作で、1ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。表 7.5 にブロック転送モードにおけるレジスタ機能を示します。ブロックサイズは1~256で、1ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定した方のアドレスレジスタの初期状態が復帰します。他方のアドレスレジスタは、レジスタ情報に従い連続してインクリメント、デクリメントするか固定されます。転送回数は1~65536です。指定回数のブロック転送が終了すると、CPUへ割り込み要求を発生させることができます。

表 7.5 ブロック転送モードのレジスタ機能

名称	略称	機能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウンタレジスタ AH	CRAH	ブロックサイズ保持
DTC 転送カウンタレジスタ AL	CRAL	ブロックサイズカウンタ
DTC 転送カウンタレジスタ B	CRB	転送カウンタ

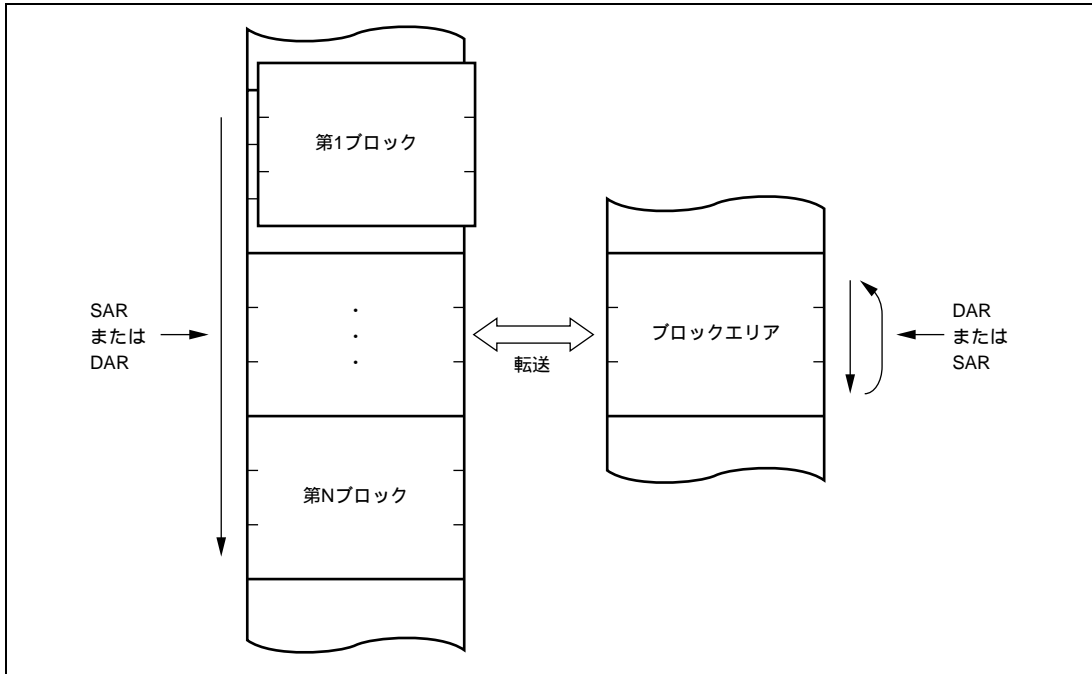


図 7.7 ブロック転送モードのメモリマップ

7.5.4 チェイン転送

MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数のデータ転送を連続して行うことができます。SAR、DAR、CRA、CRB および MRA、MRB は各々独立に設定できます。

図 7.8 にチェイン転送の動作の概要を示します。DTC は起動すると起動要因に対応した DTC ベクタアドレスからレジスタ情報の先頭アドレスをリードし、この先頭アドレスから最初のレジスタ情報をリードします。データ転送終了後 MRB の CHNE ビットをテストし、1 であれば連続して配置された次のレジスタ情報をリードして転送を行います。この動作を CHNE ビットが 0 のレジスタ情報のデータ転送が終了するまで続けます。また CHNE = 1 のとき、CHNS ビットを 1 にセットすると転送カウンタ = 0 のときのみチェイン転送を行うこともできます。

CHNE = 1 の転送では指定した転送回数の終了による CPU への割り込み要求や、DISEL = 1 による CPU への割り込み要求は発生しません。また、CHNE = 1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

7. データトランスファコントローラ (DTC)

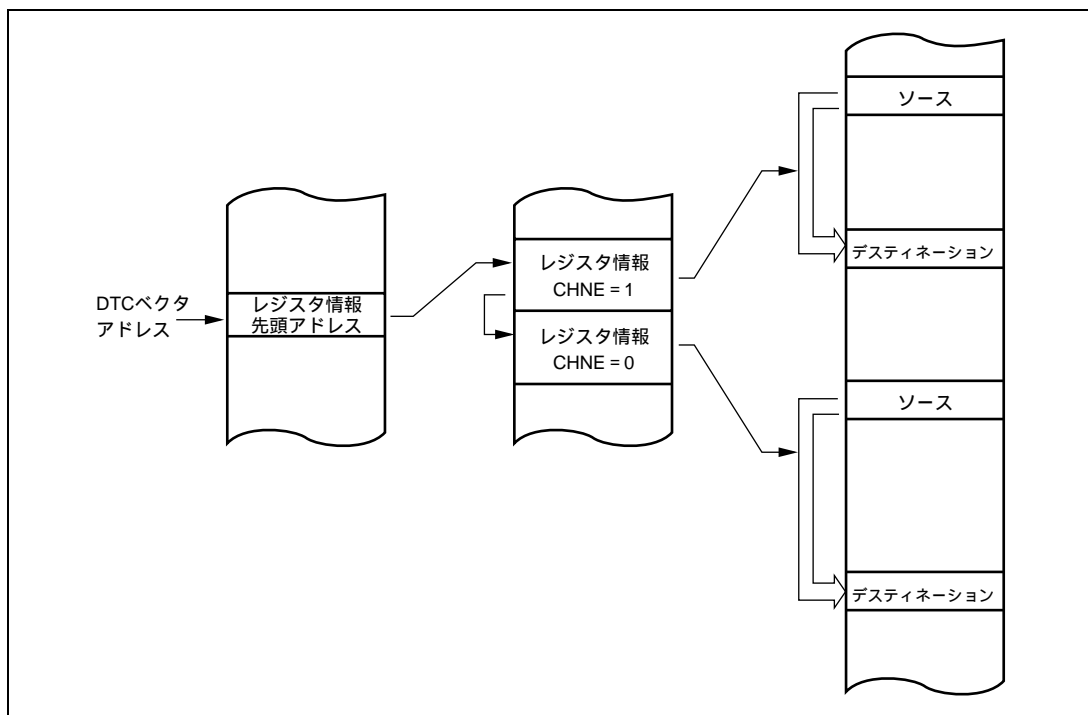


図 7.8 チェイン転送の動作

7.5.5 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DISEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に、SWDTE ビットが 1 に保持され、SWDTEND 割り込みが発生します。割り込み処理ルーチンで SWDTE ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、SWDTE ビットを 1 にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND 割り込みは発生しません。

7.5.6 動作タイミング

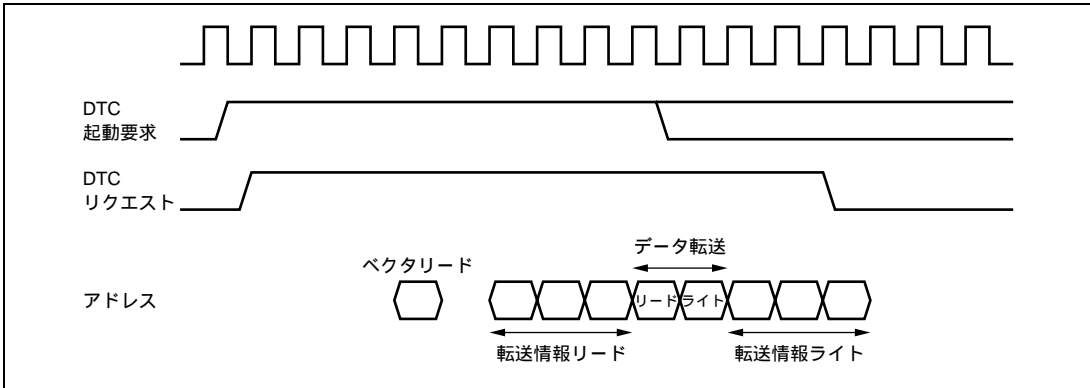


図 7.9 DTC の動作タイミング (ノーマルモード、リピートモードの例)

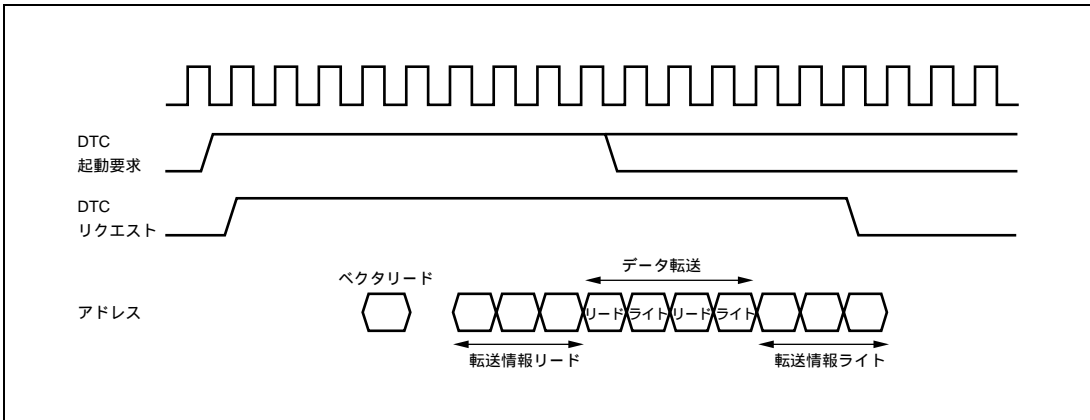


図 7.10 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2 の例)

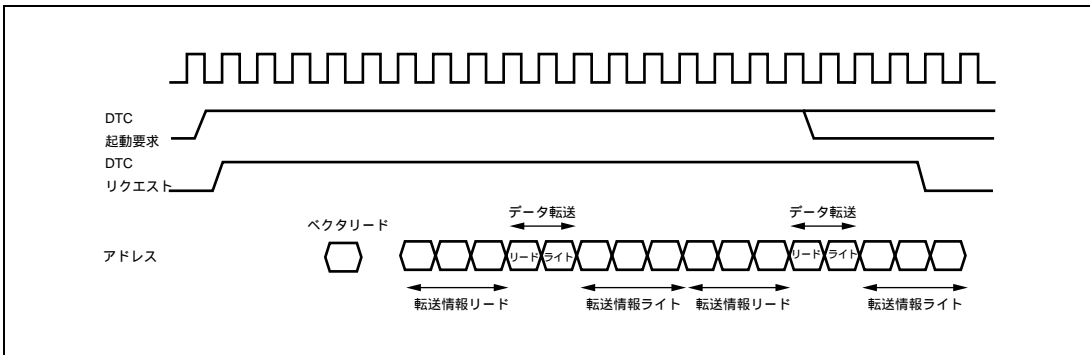


図 7.11 DTC の動作タイミング (チェイン転送の例)

7. データトランスファコントローラ (DTC)

7.5.7 DTC 実行ステート数

表 7.6 に、DTC の 1 回のデータ転送の実行状態を示します。また、表 7.7 に、実行状態に必要なステート数を示します。

表 7.6 DTC の実行状態

モード	ベクタリード I	レジスタ情報 リード/ライト J	データリード K	データライト L	内部動作 M
ノーマル	1	6	1	1	3
リピート	1	6	1	1	3
ブロック転送	1	6	N	N	3

N：ブロックサイズ (CRAH、CRAL の初期設定値)

表 7.7 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内部 I/O レジスタ		外部デバイス			
バス幅		32	16	8	16	8		16	
アクセスステート		1	1	2	2	2	3	2	3
実 行 状 態	ベクタリード S _I	-	1	-	-	4	6+2m	2	3+m
	レジスタ情報 S _J リード/ライト	1	-	-	-	-	-	-	-
	バイトデータリード S _K	1	1	2	2	2	3+m	2	3+m
	ワードデータリード S _K	1	1	4	2	4	6+2m	2	3+m
	バイトデータライト S _L	1	1	2	2	2	3+m	2	3+m
	ワードデータライト S _L	1	1	4	2	4	6+2m	2	3+m
	内部動作 S _M	1							

実行ステート数は次の計算式で計算されます。なお、は 1 つの起動要因で転送する回数分 (CHNE ビットを 1 にセットした数 + 1) の和を示します。

$$\text{実行ステート数} = I \cdot S_I + (J \cdot S_J + K \cdot S_K + L \cdot S_L) + M \cdot S_M$$

たとえば、DTC ベクタアドレスを内蔵 ROM に配置し、ノーマルモードで、内蔵 ROM 内部 I/O レジスタのデータ転送を行った場合、DTC の動作に必要な時間は 13 ステートです。起動からデータライト終了までの時間は 10 ステートです。

7.6 DTC 使用手順

7.6.1 割り込みによる起動

DTC の割り込み起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. 起動要因となる割り込み要因のイネーブルビットを1にセットします。
要因となる割り込みが発生すると、DTCが起動されます。
5. 1回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCEビットが0にクリアされ、CPUに割り込みが要求されます。引き続きDTCによるデータ転送を行う場合には、DTCEビットを1にセットしてください。

7.6.2 ソフトウェアによる起動

DTC のソフトウェア起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. SWDTE = 0を確認します。
4. SWDTEに1を、DTVECRにベクタ番号をライトします。
5. DTVECRにライトしたベクタ番号を確認します。
6. 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引き続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合、または指定した回数のデータ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されます。

7.7 DTC 使用例

7.7.1 ノーマルモード

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

1. MRAはソースアドレス固定 (SM1=SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ノーマルモード (MD1=MD0=0)、バイトサイズ (Sz=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 (CHNE=0、DISEL=0) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

7.7.2 チェイン転送

DTC チェイン転送の例として、PPG によるパルス出力を行う例を示します。チェイン転送を使ってパルス出力データの転送と PPG 出力トリガの周期の変更を行うことができます。チェイン転送の前半で PPG の NDR へのリピートモード転送、後半で TPU の TGR へのノーマルモード転送を行います。起動要因のクリアや指定した回数の転送終了時の割り込み発生は、チェイン転送の後半 (CHNE=0 の時の転送) に限られるためです。

1. PPGのNDRへの転送の設定を行います。MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレス固定 (DM1=DM0=0)、リピートモード (MD1=0、MD0=1)、ワードサイズ (Sz=1) を設定します。ソース側をリピート領域 (DTS=1) に設定します。MRBはチェインモード (CHNE=1、DISEL=0) に設定します。SARはデータテーブルの先頭アドレス、DARはNDRHのアドレス、CRAH、CRALはデータテーブルサイズを設定します。CRBは任意の値とすることができます。
2. TPUのTGRへの転送の設定を行います。MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレス固定 (DM1=DM0=0)、ノーマルモード (MD1=MD0=0)、ワードサイズ (Sz=1) を設定します。SARは、データテーブルの先頭アドレス、DARはTGRAのアドレス、CRAはデータテーブルサイズを設定します。CRBは任意の値とすることができます。

3. NDR転送用レジスタ情報の後に連続してTPU転送用レジスタ情報を配置します。
4. NDR転送用レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
5. DTCERのTGIAに対応するビットを1にセットします。
6. TIORでTGRAをアウトプットコンペアレジスタ(出力禁止)に設定し、TIERでTGIA割り込みを許可します。
7. PODRに出力初期値を設定し、NDRに次の出力値を設定します。DDR、NDERの出力を行うビットを1にセットします。また、PCRで出力トリガとなるTPUのコンペアマッチを選択します。
8. TSTRのCSTビットを1にセットし、TCNTのカウント動作を開始します。
9. TGRAのコンペアマッチが発生するごとに次の出力値がNDRへ、次の出力トリガ周期の設定値がTGRAへそれぞれ転送されます。起動要因のTGFAフラグはクリアされます。
10. 指定した回数の転送終了後(TPU転送用CRAが0になると)、TGFAフラグは1のまま保持され、DTCEビットが0にクリアされ、CPUにTGIA割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

7.7.3 転送カウンタ = 0 のときのチェイン転送

DTCは、転送カウンタが0になったときのみ第2のデータ転送を行い、第1のデータ転送の再設定を行うことによって転送回数が256回以上のリピート転送を行うことができます。128kBの入力バッファを構成する例を示します。ただし、入力バッファは下位アドレスH'0000から始まるように設定します。図7.12に転送カウンタ=0のときのチェイン転送の概要を示します。

1. 第1のデータ転送として、入力データ用のノーマルモードを設定します。転送元アドレスは固定(G/Aなど)、CRA = H'0000 (65536回)、CHNE = 1、CHNS = 1、DISEL = 0としてください。
2. 第1のデータ転送の転送先アドレスの65536回毎の先頭アドレスの上位8ビットアドレスを別の領域(ROMなど)に用意してください。例えば入力バッファをH'200000 ~ H'21FFFFとする場合には、H'21、H'20を用意します。
3. 第2のデータ転送として、第1のデータ転送の転送先アドレスの再設定用のリピートモード(ソース側をリピート領域)とします。転送先は第1の転送用レジスタ情報領域のDARの上位8ビットとします。CHNE = DISEL = 0としてください。上記入力バッファをH'200000 ~ H'21FFFFとする場合には、転送カウンタ = 2とします。
4. 割り込みによって第1のデータ転送を65536回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレスの上位8ビットをH'21に設定します。第1のデータ転送の転送先アドレスの下位16ビットはH'0000になっています。
5. 引き続き割り込みによって第1のデータ転送を第1のデータ転送で指定した65536回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレスの上位8ビットをH'20に設定します。第1のデータ転送の転送先アドレスの下位16ビットはH'0000になっています。

7. データトランスファコントローラ (DTC)

- 上記 4. 5. を無限に繰り返します。第2のデータ転送がリピートモードのため、CPUには割り込みを要求しません。

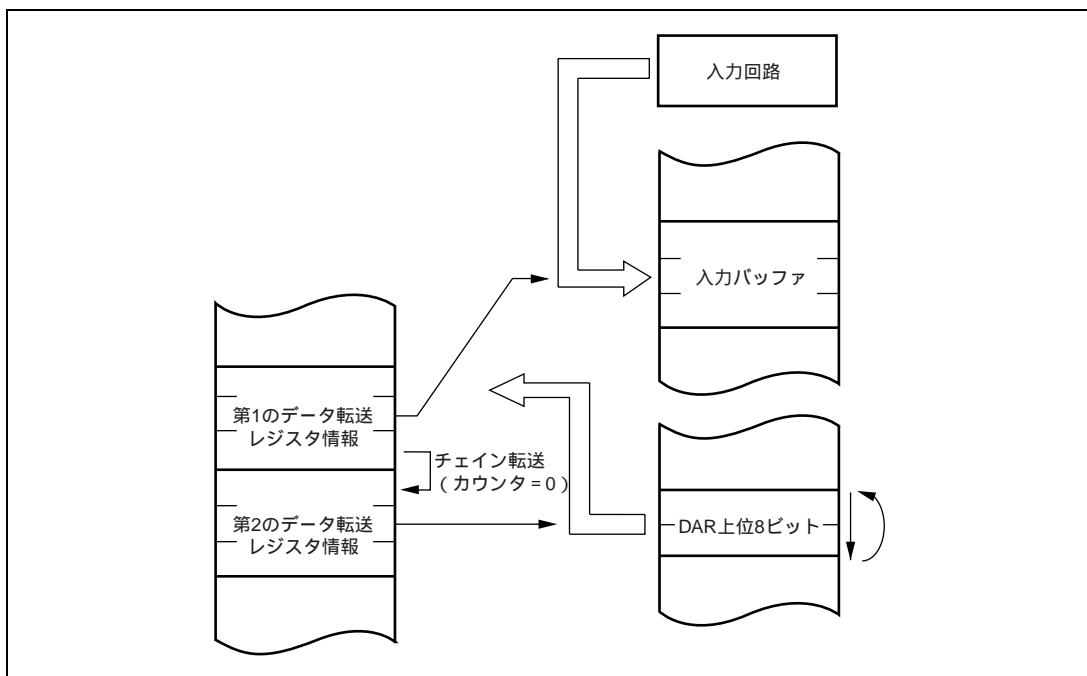


図 7.12 カウンタ=0のときのチェーン転送

7.7.4 ソフトウェア起動

DTC の使用例として、ソフトウェア起動による 1 ブロック 128 バイトのデータ転送を行う例を示します。転送元アドレスは H'1000、転送先アドレスは H'2000 です。ベクタ番号は H'60、したがって、ベクタアドレスは H'04C0 です。

- MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ブロック転送モード (MD1=1、MD0=0)、バイトサイズ (Sz=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のブロック転送 (CHNE=0) を行います。SARは転送元アドレスでH'1000、DARは転送先アドレスでH'2000、CRAは128 (H'8080) を設定します。CRBは1 (H'0001) をセットします。
- レジスタ情報の先頭アドレスを、DTCベクタアドレス (H'04C0) に設定します。
- DTVECRのSWDTE=0を確認します。現在、DTCがソフトウェア起動による転送を行っていないことの確認です。
- SWDTE=1と共に、ベクタ番号H'60を、DTVECRにライトします。ライトデータはHE0です。

- 再度、DTVECRを読み、ベクタ番号H'60が設定されていることを確認します。設定されていないときは、ライトが失敗したことを表わします。3. と 4.の間に割り込みが入り、ここで他のソフトウェアによって起動された場合が、これに相当します。起動したい場合、3. に戻ってください。
- ライトが成功すると、DTCが起動され、128バイト1ブロックの転送を行います。
- 転送後、SWDTEND割り込みが起動します。割り込み処理ルーチンでSWDTEビットの0クリアなど、終了処理を行ってください。

7.8 使用上の注意事項

7.8.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、DTC の動作禁止/許可を設定することが可能です。初期値では、DTC の動作許可状態です。モジュールストップモードを設定することにより、レジスタのアクセスが禁止されます。ただし、DTC が起動中はモジュールストップモードに設定できません。「第 19 章 低消費電力状態」を参照してください。

7.8.2 内蔵 RAM

MRA、MRB、SAR、DAR、CRA、CRB の各レジスタは、内蔵 RAM に配置します。DTC を使用する場合は、SYSCR の RAME ビットを 0 にクリアしないでください。

7.8.3 DTCE ビットの設定

DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り複数の起動要因を一度に設定するときには、割り込みを禁止して当該レジスタのダミーリードを行ってからライトすることができます。

チェーン転送の場合には、連結された最後のデータ転送時に起動要因または DTCER のクリアを行います。一方、SCI および A/D 変換器の割り込み/起動要因は、DTC が所定のレジスタをリード/ライトしたときにクリアされます。したがって、これらの割り込み/起動要因によって DTC を起動する場合、チェーンで連結された最後のデータ転送で当該レジスタのリード/ライトを含まない場合は割り込み/起動要因が保持されます。

7. データトランスファコントローラ (DTC)

8. I/O ポート

ポートの機能一覧を表 8.1 に示します。各ポートは周辺モジュールの入出力端子や割り込み入力と端子を兼用しています。入出力ポートは入出力を制御するデータディレクションレジスタ (DDR)、出力データを格納するデータレジスタ (DR) と端子の状態をリードするポートレジスタ (PORT) から構成されています。入力専用ポートには DR、DDR はありません。

ポート A ~ E には、入力プルアップ MOS が内蔵されており、プルアップ MOS コントロールレジスタ (PCR) で入力プルアップ MOS のオン / オフを制御できます。

ポート 3、ポート A にはオープンドレインコントロールレジスタ (ODR) が内蔵されており、出力バッファの PMOS のオン / オフを選択できます。

ポート 1 ~ 3、5 (P50 ~ P53)、6 ~ 8 は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。ポート A ~ H は 1 個の TTL と 50pF の容量負荷を駆動することができます。

すべての入出力ポートは出力時にダーリントントランジスタを駆動することができます。

ポート 1、ポート 2 はシュミットトリガ入力です。ポート 5、ポート 8、ポート H (PH2、PH3) は、IRQ 入力として使用する際シュミットトリガ入力となります。

8. I/O ポート

表 8.1 ポートの機能一覧

ポート名	概要	モード 1、5	モード 2、6	モード 4	モード 3、7		入出力形 態他
					EXPE=1	EXPE=0	
ポート 1	PPG 出力、 TPU 入出力 と兼用汎用 入出力ポー ト						シュミッ トトリガ 入力
ポート 2	PPG 出力、 TPU 入出 力、割り込み 入力と兼用 汎用入出力 ポート						シュミッ トトリガ 入力
ポート 3	SCI 入出力 と兼用汎用 入出力ポー ト						オープ ン ドレイン 出力可能
ポート 4	A/D 変換器 アナログ入 力、D/A 変換 器アナログ 出力と兼用 汎用入力ポ ート						

ポート名	概要	モード 1、5	モード 2、6	モード 4	モード 3、7		入出力形 態他
					EXPE=1	EXPE=0	
ポート 5	割り込み入 力、A/D 変換 器アナログ 入力、D/A 変 換器アナロ グ出力と兼 用汎用入力 ポート	P57/AN15/DA3/IRQ7 P56/AN14/DA2/IRQ6 P55/AN13/IRQ5 P54/AN12/IRQ4					IRQ 入力 として使 用時シュ ミットト リガ入力
	割り込み入 力、A/D 変換 器入力、SCI 入出力と兼 用汎用入出 力ポート	P53/ADTRG/IRQ3 P52/SCK2/IRQ2 P51/RxD2/IRQ1 P50/TxD2/IRQ0					
ポート 6	割り込み入 力、TMR 入 出力と兼用 汎用入出力 ポート	P65/TMO1 P64/TMO0 P63/TMC11 P62/TMC10 P61/TMR11 P60/TMR10					
ポート 7	汎用入出力 ポート	P75 P74 P73 P72 P71 P70					
ポート 8	割り込み入 力と兼用汎 用入出力ポ ート	P85 (/IRQ5) P84/ (/IRQ4) P83/ (/IRQ3) P82/ (/IRQ2) P81/ (/IRQ1) P80/ (/IRQ0)					IRQ 入力 として使 用時シュ ミットト リガ入力

8. I/O ポート

ポート名	概要	モード 1、5	モード 2、6	モード 4	モード 3、7		入出力形 態他
					EXPE=1	EXPE=0	
ポート A	アドレス出力と兼用汎用入出力ポート	PA7/A23 PA6/A22 PA5/A21 A20 A19 A18 A17 A16		PA7/A23 PA6/A22 PA5/A21 PA4/A20 PA3/A19 PA2/A18 PA1/A17 PA0/A16	PA7/A23 PA6/A22 PA5/A21 PA4/A20 PA3/A19 PA2/A18 PA1/A17 PA0/A16	PA7 PA6 PA5 PA4 PA3 PA2 PA1 PA0	入力プルアップ MOS 内蔵 オープンドレイン 出力可能
ポート B	アドレス出力と兼用汎用入出力ポート	A15 A14 A13 A12 A11 A10 A9 A8		PB7/A15 PB6/A14 PB5/A13 PB4/A12 PB3/A11 PB2/A10 PB1/A9 PB0/A8	PB7/A15 PB6/A14 PB5/A13 PB4/A12 PB3/A11 PB2/A10 PB1/A9 PB0/A8	PB7 PB6 PB5 PB4 PB3 PB2 PB1 PB0	入力プルアップ MOS 内蔵
ポート C	アドレス出力と兼用汎用入出力ポート	A7 A6 A5 A4 A3 A2 A1 A0		PC7/A7 PC6/A6 PC5/A5 PC4/A4 PC3/A3 PC2/A2 PC1/A1 PC0/A0	PC7/A7 PC6/A6 PC5/A5 PC4/A4 PC3/A3 PC2/A2 PC1/A1 PC0/A0	PC7 PC6 PC5 PC4 PC3 PC2 PC1 PC0	入力プルアップ MOS 内蔵
ポート D	データ入出力と兼用汎用入出力ポート	D15 D14 D13 D12 D11 D10 D9 D8			D15 D14 D13 D12 D11 D10 D9 D8	PD7 PD6 PD5 PD4 PD3 PD2 PD1 PD0	入力プルアップ MOS 内蔵

ポート名	概要	モード 1、5	モード 2、6	モード4	モード3、7		入出力形 態他
					EXPE=1	EXPE=0	
ポートE	データ入出力と兼用汎用入出力ポート	D7 D6 D5 D4 D3 D2 D1 D0	PE7/D7 PE6/D6 PE5/D5 PE4/D4 PE3/D3 PE2/D2 PE1/D1 PE0/D0	PE7/D7 PE6/D6 PE5/D5 PE4/D4 PE3/D3 PE2/D2 PE1/D1 PE0/D0	PE7/D7 PE6/D6 PE5/D5 PE4/D4 PE3/D3 PE2/D2 PE1/D1 PE0/D0	PE7 PE6 PE5 PE4 PE3 PE2 PE1 PE0	入力プル アップ MOS内蔵
ポートF	割り込み入力、バス制御入出力と兼用汎用入出力ポート	PF7/ PF6/ \overline{AS} \overline{RD} \overline{HWR} PF3/ \overline{LWR} PF2 PF1 PF0/ \overline{WAIT}			PF7/ PF6/ \overline{AS} \overline{RD} \overline{HWR} PF3/ \overline{LWR} PF2 PF1 PF0/ \overline{WAIT}	PF7/ PF6 PF5 PF4 PF3 PF2 PF1 PF0	
ポートG	バス制御入出力と兼用汎用入出力ポート	PG6/ \overline{BREQ} PG5/ \overline{BACK} PG4/ \overline{BREQO} PG3/ $\overline{CS3}$ PG2/ $\overline{CS2}$ PG1/ $\overline{CS1}$ PG0/ $\overline{CS0}$			PG6/ \overline{BREQ} PG5/ \overline{BACK} PG4/ \overline{BREQO} PG3/ $\overline{CS3}$ PG2/ $\overline{CS2}$ PG1/ $\overline{CS1}$ PG0/ $\overline{CS0}$	PG6 PG5 PG4 PG3 PG2 PG1 PG0	
ポートH	割り込み入力、バス制御入出力と兼用汎用入出力ポート	PH3/ $\overline{CS7}$ / ($\overline{IRQ7}$) PH2/ $\overline{CS6}$ / ($\overline{IRQ6}$) PH1/ $\overline{CS5}$ PH0/ $\overline{CS4}$			PH3/ $\overline{CS7}$ / ($\overline{IRQ7}$) PH2/ $\overline{CS6}$ / ($\overline{IRQ6}$) PH1/ $\overline{CS5}$ PH0/ $\overline{CS4}$	PH3 / ($\overline{IRQ7}$) PH2 / ($\overline{IRQ6}$) PH1 PH0	IRQ入力 として使 用時シュ ミットト リガ入力

8. I/Oポート

8.1 ポート 1

ポート 1 は 8 ビットの兼用入出力ポートです。ポート 1 には以下のレジスタがあります。

- ポート1データディレクションレジスタ (P1DDR)
- ポート1データレジスタ (P1DR)
- ポート1レジスタ (PORT1)

8.1.1 ポート 1 データディレクションレジスタ (P1DDR)

P1DDR はポート 1 の入出力をビットごとに指定します。

リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説 明
7	P17DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P16DDR	0	W	
5	P15DDR	0	W	
4	P14DDR	0	W	
3	P13DDR	0	W	
2	P12DDR	0	W	
1	P11DDR	0	W	
0	P10DDR	0	W	

8.1.2 ポート 1 データレジスタ (P1DR)

P1DR はポート 1 の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	P17DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P16DR	0	R/W	
5	P15DR	0	R/W	
4	P14DR	0	R/W	
3	P13DR	0	R/W	
2	P12DR	0	R/W	
1	P11DR	0	R/W	
0	P10DR	0	R/W	

8.1.3 ポート 1 レジスタ (PORT1)

PORT1 はポート 1 の端子の状態を反映します。

ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P17	- *	R	このレジスタをリードすると、P1DDR がセットされているビットは P1DR の値がリードされます。P1DDR がクリアされているビットは端子の状態がリードされます。
6	P16	- *	R	
5	P15	- *	R	
4	P14	- *	R	
3	P13	- *	R	
2	P12	- *	R	
1	P11	- *	R	
0	P10	- *	R	

【注】* P17～P10 端子の状態により決定されます。

8.1.4 端子機能

ポート 1 は、PPG の出力端子、TPU の入出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- P17/PO15/TIOCB2/TCLKD

TMDR_2 の MD3～MD0 ビット、TIOR_2 の IOB3～IOB0 ビット、TCR_2 の CCLR1、CCLR0 ビットによる TPU チャンネル 2 の設定、TCR_0、TCR_5 の TPSC2～TPSC0 ビット、NDERH の NDER15 ビット、および P17DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 2 の設定	下表 (1)	下表 (2)		
P17DDR	-	0	1	1
NDER15	-	-	0	1
端子機能	TIOCB2 出力	P17 入力	P17 出力	PO15 出力
		TIOCB2 入力* ¹		
TCLKD 入力* ²				

【注】 *1 MD3～MD0 = B'0000、B'01xx かつ IOB3 = 1 の場合に TIOCB2 入力となります。

*2 TCR_0、TCR_5 のいずれかの設定が TPSC2～TPSC0 = B'111 の場合に TCLKD 入力となります。

また、チャンネル 2、4 を位相計数モードに設定すると、TCLKD 入力となります。

8. I/O ポート

TPU チャンネル 2 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3 ~ IOB0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'10 以外	B'10
出力機能	-	アウトプット コンペア出力	-	-	PWM モード 2 出力	-

x : Don't Care

- P16/PO14/TIOCA2

TMDR_2 の MD3 ~ MD0 ビット、TIOR_2 の IOA3 ~ IOA0 ビット、TCR_2 の CCLR1、CCLR0 ビットによる TPU チャンネル 2 の設定、NDERH の NDERH14 ビット、および P16DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 2 の設定	下表 (1)	下表 (2)		
P16DDR	-	0	1	1
NDER14	-	-	0	1
端子機能	TIOCA2 出力	P16 入力	P16 出力	PO14 出力
		TIOCA2 入力*1		

【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOA3 = 1 の場合に TIOCA2 入力となります。

TPU チャンネル 2 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3 ~ MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3 ~ IOA0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00 以外		
CCLR1、CCLR0	-	-	-	-	B'01 以外	B'01
出力機能	-	アウトプット コンペア出力	-	PWM*2 モード 1 出力	PWM モード 2 出力	-

x : Don't Care

【注】 *2 TIOCB2 は出力禁止となります。

- P15/PO13/TIOCB1/TCLKC

TMDR_1 の MD3 ~ MD0 ビット、TIOR_1 の IOB3 ~ IOB0 ビット、TCR_1 の CCLR1、CCLR0 ビットによる TPU チャンネル 1 の設定、TCR_0、TCR_2、TCR_4、TCR_5 の TPSC2 ~ TPSC0 ビット、NDERH の NDER13 ビット、および P15DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 1 の設定	下表 (1)	下表 (2)		
P15DDR	-	0	1	1
NDER13	-	-	0	1
端子機能	TIOCB1 出力	P15 入力	P15 出力	PO13 出力
		TIOCB1 入力* ¹		
	TCLKC 入力* ²			

【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOB3 ~ IOB0 = B'10xx の場合に TIOCB1 入力となります。

*2 TCR_0、TCR_2 のいずれかの設定が TPSC2 ~ TPSC0 = B'111 または TCR_4、TCR_5 のいずれかの設定が TPSC2 ~ TPSC0 = B'101 の場合に TCLKC 入力となります。

また、チャンネル 2、4 を位相計数モードに設定すると、TCLKC 入力となります。

TPU チャンネル 1 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3 ~ IOB0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'10 以外	B'10
出力機能	-	アウトプット コンペア出力	-	-	PWM モード 2 出力	-

x : Don't Care

- P14/PO12/TIOCA1

TMDR_1 の MD3 ~ MD0 ビット、TIOR_1 の IOA3 ~ IOA0 ビット、TCR_1 の CCLR1、CCLR0 ビットによる TPU チャンネル 1 の設定、NDERH の NDER12 ビット、および P14DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 1 の設定	下表 (1)	下表 (2)		
P14DDR	-	0	1	1
NDER12	-	-	0	1
端子機能	TIOCA1 出力	P14 入力	P14 出力	PO12 出力
		TIOCA1 入力* ¹		

【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOA3 ~ IOA0 = B'10xx の場合に TIOCA1 入力となります。

8. I/O ポート

TPU チャンネル 1 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3 ~ MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3 ~ IOA0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'01 以外	B'01
出力機能	-	アウトプット コンペア出力	-	PWM*2 モード 1 出力	PWM モード 2 出力	-

x : Don't Care

【注】 *2 TIOCB1 は出力禁止となります。

- P13/PO11/TIOCD0/TCLKB

TMDR_0 の MD3 ~ MD0 ビット、TIORL_0 の IOD3 ~ IOD0 ビット、TCR_0 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 0 の設定、TCR_0 ~ TCR_2 の TPSC2 ~ TPSC0 ビット、NDERH の NDER11 ビット、および P13DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 0 の設定	下表 (1)	下表 (2)		
P13DDR	-	0	1	1
NDER11	-	-	0	1
端子機能	TIOCD0 出力	P13 入力	P13 出力	PO11 出力
		TIOCD0 入力*1		
TCLKB 入力*2				

【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOD3 ~ IOD0 = B'10xx の場合に TIOCD0 入力となります。

*2 TCR_0 ~ TCR_2 のいずれかの設定が TPSC2 ~ TPSC0 = B'101 の場合に TCLKB 入力となります。

また、チャンネル 1、5 を位相計数モードに設定すると、TCLKB 入力となります。

TPU チャンネル 0 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0	B'0000		B'0010	B'0011		
IOD3 ~ IOD0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00	B'xx00 以外	
CCLR2 ~ CCLR0	-	-	-	-	B'110 以外	B'110
出力機能	-	アウトプット コンペア出力	-	-	PWM モード 2 出力	-

x : Don't Care

- P12/PO10/TIOCC0/TCLKA

TMDR_0 の MD3 ~ MD0 ビット、TIORL_0 の IOC3 ~ IOC0 ビット、TCR_0 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 0 の設定、TCR_0 ~ TCR_5 の TPSC2 ~ TPSC0 ビット、NDERH の NDER10 ビット、および P12DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 0 の設定	下表 (1)	下表 (2)		
P12DDR	-	0	1	1
NDER10	-	-	0	1
端子機能	TIOCC0 出力	P12 入力	P12 出力	PO10 出力
		TIOCC0 入力* ¹		
	TCLKA 入力* ²			

【注】 *1 MD3 ~ MD0 = B'0000、かつ IOC3 ~ IOC0 = B'10xx の場合に TIOCC0 入力となります。

*2 TCR_0 ~ TCR_5 のいずれかの設定が TPSC2 ~ TPSC0 = B'100 の場合に TCLKA 入力となります。

また、チャンネル 1、5 を位相計数モードに設定すると、TCLKA 入力となります。

TPU チャンネル 0 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3 ~ MD0	B'0000		B'001x	B'0010	B'0011	
IOC3 ~ IOC0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2 ~ CCLR0	-	-	-	-	B'101 以外	B'101
出力機能	-	アウトプット コンペア出力	-	PWM* ³ モード 1 出力	PWM モード 2 出力	-

x : Don't Care

【注】 *3 TIOCD0 は出力禁止となります。TMDR_0 の BFA = 1 または BFB = 1 のときは出力禁止で (2) の設定になります。

- P11/PO9/TIOCB0

TMDR_0 の MD3 ~ MD0 ビット、TIORH_0 の IOB3 ~ IOB0 ビットによる TPU チャンネル 0 の設定、NDERH の NDER9 ビット、および P11DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 0 の設定	下表 (1)	下表 (2)		
P11DDR	-	0	1	1
NDER9	-	-	0	1
端子機能	TIOCB0 出力	P11 入力	P11 出力	PO9 出力
		TIOCB0 入力* ¹		

【注】 *1 MD3 ~ MD0 = B'0000、かつ IOB3 ~ IOB0 = B'10xx の場合に TIOCB0 入力となります。

8. I/O ポート

TPU チャンネル 0 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0	B'0000		B'0010	B'0011		
IOB3 ~ IOB0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	-	B'xx00	B'xx00 以外	
CCLR2 ~ CCLR0	-	-	-	-	B'010 以外	B'010
出力機能	-	アウトプット コンペア出力	-	-	PWM モード 2 出力	-

x : Don't Care

- P10/PO8/TIOCA0

TMDR_0 の MD3 ~ MD0 ビット、TIORH_0 の IOA3 ~ IOA0 ビット、TCR_0 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 0 の設定、NDERH の NDER8 ビット、および P10DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 0 の設定	下表 (1)	下表 (2)		
P10DDR	-	0	1	1
NDER8	-	-	0	1
端子機能	TIOCA0 出力	P10 入力	P10 出力	PO8 出力
		TIOCA0 入力*1		

【注】 *1 MD3 ~ MD0 = B'0000、かつ IOA3 ~ IOA0 = B'10xx の場合に TIOCA0 入力となります。

TPU チャンネル 0 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3 ~ MD0	B'0000		B'001x	B'0010	B'0011	
IOA3 ~ IOA0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2 ~ CCLR0	-	-	-	-	B'001 以外	B'001
出力機能	-	アウトプット コンペア出力	-	PWM*2 モード 1 出力	PWM モード 2 出力	-

x : Don't Care

【注】 *2 TIOCB0 は出力禁止となります。

8.2 ポート 2

ポート 2 は 8 ビットの兼用入出力ポートです。ポート 2 には以下のレジスタがあります。

- ポート2データディレクションレジスタ (P2DDR)
- ポート2データレジスタ (P2DR)
- ポート2レジスタ (PORT2)

8.2.1 ポート 2 データディレクションレジスタ (P2DDR)

P2DDR は、ポート 2 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説 明
7	P27DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P26DDR	0	W	
5	P25DDR	0	W	
4	P24DDR	0	W	
3	P23DDR	0	W	
2	P22DDR	0	W	
1	P21DDR	0	W	
0	P20DDR	0	W	

8.2.2 ポート 2 データレジスタ (P2DR)

P2DR は、ポート 2 の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	P27DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
6	P26DR	0	R/W	
5	P25DR	0	R/W	
4	P24DR	0	R/W	
3	P23DR	0	R/W	
2	P22DR	0	R/W	
1	P21DR	0	R/W	
0	P20DR	0	R/W	

8. I/O ポート

8.2.3 ポート 2 レジスタ (PORT2)

PORT2 は、ポート 2 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P27	- *	R	このレジスタをリードすると、P2DDR がセットされているビットは、P2DR の値がリードされます。P2DDR がクリアされているビットは端子の状態がリードされます。
6	P26	- *	R	
5	P25	- *	R	
4	P24	- *	R	
3	P23	- *	R	
2	P22	- *	R	
1	P21	- *	R	
0	P20	- *	R	

【注】 * P27 ~ P20 端子の状態により決定されます。

8.2.4 端子機能

ポート 2 は、PPG の出力端子、TPU の入出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- P27/PO7/TIOCB5

TMDR_5 の MD3 ~ MD0 ビット、TIOR_5 の IOB3 ~ IOB0 ビット、TCR_5 の CCLR1、CCLR0 ビットによる TPU チャンネル 5 の設定、NDERL の NDER7 ビット、および P27DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 5 の設定	下表 (1)	下表 (2)		
P27DDR	-	0	1	1
NDER7	-	-	0	1
端子機能	TIOCB5 出力	P27 入力	P27 出力	PO7 出力
		TIOCB5 入力* ¹		

【注】 *¹ MD3 ~ MD0 = B'0000、B'01xx かつ IOB3 = 1 の場合に TIOCB5 入力となります。

TPUチャンネル5の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3～IOB0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00 以外		
CCLR1、CCLR0	-	-	-	-	B'10 以外	B'10
出力機能	-	アウトプット コンペア出力	-	-	PWM モード2 出力	-

x : Don't Care

- P26/PO6/TIOCA5

TMDR_5のMD3～MD0ビット、TIOR_5のIOA3～IOA0ビット、TCR_5のCCLR1、CCLR0ビットによるTPUチャンネル5の設定、NDERLのNDER6ビット、およびP26DDRビットの組み合わせにより、次のように切り替わります。

EDRAKE	0			
TPUチャンネル5の設定	下表(1)		下表(2)	
P26DDR	-	0	1	1
NDER6	-	-	0	1
端子機能	TIOCA5 出力	P26 入力	P26 出力	PO6 出力
		TIOCA5 入力*1		

【注】 *1 MD3～MD0=B'0000、B'01xx かつ IOA3=1 の場合に TIOCA5 入力となります。

TPUチャンネル5の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3～IOA0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'01 以外	B'01
出力機能	-	アウトプット コンペア出力	-	PWM*2 モード1 出力	PWM モード2 出力	-

x : Don't Care

【注】 *2 TIOCB5 は出力禁止となります。

8. I/O ポート

- P25/PO5/TIOCB4

TMDR_4 の MD3 ~ MD0 ビット、TIOR_4 の IOB3 ~ IOB0 ビット、TCR_4 の CCLR1、CCLR0 ビットによる TPU チャンネル 4 の設定、NDERL の NDER5 ビット、および P25DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 4 の設定	下表 (1)	下表 (2)		
P25DDR	-	0	1	1
NDER5	-	-	0	1
端子機能	TIOCB4 出力	P25 入力	P25 出力	PO5 出力
		TIOCB4 入力* ¹		

【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOB3 ~ IOB0 = B'10xx の場合に TIOCB4 入力となります。

TPU チャンネル 4 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3 ~ IOB0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	-	B'xx00	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'10 以外	B'10
出力機能	-	アウトプット コンペア出力	-	-	PWM モード 2 出力	-

x : Don't Care

- P24/PO4/TIOCA4

TMDR_4 の MD3 ~ MD0 ビット、TIOR_4 の IOA3 ~ IOA0 ビットによる TPU チャンネル 4 の設定、NDERL の NDER4 ビット、および P24DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 4 の設定	下表 (1)	下表 (2)		
P24DDR	-	0	1	1
NDER4	-	-	0	1
端子機能	TIOCA4 出力	P24 入力	P24 出力	PO4 出力
		TIOCA4 入力* ¹		

【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOA3 ~ IOA0 = B'10xx の場合に TIOCA4 入力となります。

TPU チャンネル 4 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3 ~ MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3 ~ IOA0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'01 以外	B'01
出力機能	-	アウトプット コンペア出力	-	PWM*2 モード 1 出力	PWM モード 2 出力	-

x : Don't Care

【注】 *2 TIOCB4 は出力禁止となります。

- P23/PO3/TIOCD3

TMDR_3 の MD3 ~ MD0 ビット、TIORL_3 の IOD3 ~ IOD0 ビット、TCR_3 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 3 の設定、NDERL の NDER3 ビット、および P23DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 3 の設定	下表 (1)	下表 (2)		
P23DDR	-	0	1	1
NDER3	-	-	0	1
端子機能	TIOCD3 出力	P23 入力	P23 出力	PO3 出力
		TIOCD3 入力*1		

【注】 *1 MD3 ~ MD0 = B'0000、かつ IOD3 ~ IOD0 = B'10xx の場合に TIOCD3 入力となります。

TPU チャンネル 3 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0	B'0000		B'0010	B'0011		
IOD3 ~ IOD0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	-	B'xx00	B'xx00 以外	
CCLR2 ~ CCLR0	-	-	-	-	B'110 以外	B'110
出力機能	-	アウトプット コンペア出力	-	-	PWM モード 2 出力	-

x : Don't Care

8. I/O ポート

- P22/PO2/TIOCC3

TMDR_3 の MD3 ~ MD0 ビット、TIORL_3 の IOC3 ~ IOC0 ビット、TCR_3 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 3 の設定、NDERL の NDER2 ビット、および P22DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 3 の設定	下表 (1)	下表 (2)		
P22DDR	-	0	1	1
NDER2	-	-	0	1
端子機能	TIOCC3 出力	P22 入力	P22 出力	PO2 出力
		TIOCC3 入力* ¹		

【注】 *1 MD3 ~ MD0 = B'0000、かつ IOC3 ~ IOC0 = B'10xx の場合に TIOCC3 入力となります。

TPU チャンネル 3 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3 ~ MD0	B'0000		B'001x	B'0010	B'0011	
IOC3 ~ IOC0	B'0000 B'0100 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2 ~ CCLR0	-	-	-	-	B'101 以外	B'101
出力機能	-	アウトプット コンペア出力	-	PWM* ² モード 1 出力	PWM モード 2 出力	-

x : Don't Care

【注】 *2 TIOCD3 は出力禁止となります。TMDR_3 の BFA = 1 または BFB = 1 のときは出力禁止で (2) の設定になります。

- P21/PO1/TIOCB3

TMDR_3 の MD3 ~ MD0 ビット、TIORH_3 の IOB3 ~ IOB0 ビット、TCR_3 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 3 の設定、NDERL の NDER1 ビット、および P21DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 3 の設定	下表 (1)	下表 (2)		
P21DDR	-	0	1	1
NDER1	-	-	0	1
端子機能	TIOCB3 出力	P21 入力	P21 出力	PO1 出力
		TIOCB3 入力* ¹		

【注】 *1 MD3 ~ MD0 = B'0000、かつ IOB3 ~ IOB0 = B'10xx の場合に TIOCB3 入力となります。

TPUチャンネル3の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000		B'0010	B'0011		
IOB3～IOB0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	-	B'xx00	B'xx00 以外	
CCLR2～CCLR0	-	-	-	-	B'010 以外	B'010
出力機能	-	アウトプット コンペア出力	-	-	PWM モード2 出力	-

x : Don't Care

- P20/PO0/TIOCA3

TMDR_3のMD3～MD0ビット、TIORH_3のIOA3～IOA0ビット、TCR_3のCCLR2～CCLR0ビットによるTPUチャンネル3の設定、NDERLのNDER0ビット、およびP20DDRビットの組み合わせにより、次のように切り替わります。

TPUチャンネル3の設定	下表(1)	下表(2)		
P20DDR	-	0	1	1
NDER0	-	-	0	1
端子機能	TIOCA3出力	P20入力	P20出力	PO0出力
TIOCA3入力*1				

【注】 *1 MD3～MD0=B'0000、かつIOA3～IOA0=B'10xxの場合にTIOCA0入力となります。

TPUチャンネル3の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3～MD0	B'0000		B'001x	B'0010	B'0011	
IOA3～IOA0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2～CCLR0	-	-	-	-	B'001 以外	B'001
出力機能	-	アウトプット コンペア出力	-	PWM*2 モード1 出力	PWM モード2 出力	-

x : Don't Care

【注】 *2 TIOCB3は出力禁止となります。

8. I/Oポート

8.3 ポート3

ポート3は6ビットの兼用入出力ポートです。ポート3には以下のレジスタがあります。

- ポート3データディレクションレジスタ (P3DDR)
- ポート3データレジスタ (P3DR)
- ポート3レジスタ (PORT3)
- ポート3オープンドレインコントロールレジスタ (P3ODR)
- ポートファンクションコントロールレジスタ2 (PFCR2)

8.3.1 ポート3データディレクションレジスタ (P3DDR)

P3DDRは、ポート3の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	-	不定	-	リザーブビット
6	-	不定	-	リードすると不定値が読み出されます。
5	P35DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを1にセットすると対応する端子は出力ポートとなり、0にクリアすると入力ポートになります。
4	P34DDR	0	W	
3	P33DDR	0	W	
2	P32DDR	0	W	
1	P31DDR	0	W	
0	P30DDR	0	W	

8.3.2 ポート3データレジスタ (P3DR)

P3DRは、ポート3の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット
6	-	0	-	リードすると0が読み出されます。ライトは無効です。
5	P35DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
4	P34DR	0	R/W	
3	P33DR	0	R/W	
2	P32DR	0	R/W	
1	P31DR	0	R/W	
0	P30DR	0	R/W	

8.3.3 ポート 3 レジスタ (PORT3)

PORT3 は、ポート 3 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	-	不定	-	リザーブビット
6	-	不定	-	リードすると不定値が読み出されます。
5	P35	- *	R	このレジスタをリードすると、P3DDR がセットされているビットは、P3DR の値がリードされます。P3DDR がクリアされているビットは端子の状態がリードされます。
4	P34	- *	R	
3	P33	- *	R	
2	P32	- *	R	
1	P31	- *	R	
0	P30	- *	R	

【注】 * P35 ~ P30 端子の状態により決定されます。

8.3.4 ポート 3 オープンドレインコントロールレジスタ (P3ODR)

P3ODR は、ポート 3 の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット
6	-	0	-	リードすると 0 が読み出されます。ライトは無効です。
5	P35ODR	0	R/W	このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
4	P34ODR	0	R/W	
3	P33ODR	0	R/W	
2	P32ODR	0	R/W	
1	P31ODR	0	R/W	
0	P30ODR	0	R/W	

8. I/O ポート

8.3.5 ポートファンクションコントロールレジスタ 2 (PFCR2)

PFCR2 は、I/O ポートの制御を行います。

ビット	ビット名	初期値	R/W	説明
7~4	-	0	-	リザーブビット リードすると 0 が読み出されます。ライト時は 0 をライトしてください。
3	ASOE	1	R/W	AS 出力イネーブル AS 出力の許可/禁止を選択します。 0:PF6 は I/O ポートとして設定 1:PF6 は AS 出力端子として設定
2	LWROE	1	R/W	LWR 出力イネーブル LWR 出力の許可/禁止を選択します。 0:PF3 は I/O ポートとして設定 1:PF3 は LWR 出力端子として設定
1,0	-	0	-	リザーブビット リードすると 0 が読み出されます。ライト時は 0 をライトしてください。

8.3.6 端子機能

ポート 3 は SCI 入出力端子、バス制御出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- P35/SCK1

SCI_1 の SMR の C/\bar{A} ビット、SCR の CKE0、CKE1 ビット、P35DDR ビットの組み合わせにより、次のように切り替わります。

CKE1	0			1	
C/\bar{A}	0		1	-	-
CKE0	0		1	-	-
P35DDR	0	1	-	-	-
端子機能	P35 入力	P35 出力*	SCK1 出力*	SCK1 出力*	SCK1 入力*

【注】 * P35ODR = 1 のとき、NMOS オープンドレイン出力になります。

- P34/SCK0

SCI_0 の SMR の C/A ビット、SCR の CKE0、CKE1 ビットと P34DDR ビットの組み合わせにより、次のように切り替わります。

CKE1	0			1	
C/A	0		1	-	
CKE0	0		1	-	-
P34DDR	0	1	-	-	-
端子機能	P34 入力	P34 出力*	SCK0 出力*	SCK0 出力*	SCK0 入力

【注】 * P34ODR = 1 のとき、NMOS オープンドレイン出力になります。

- P33/RxD1

SCI_1 の SCR の RE ビットと P33DDR ビットの組み合わせにより、次のように切り替わります。

RE	0		1
P33DDR	0	1	-
端子機能	P33 入力	P33 出力*	RxD1 入力

【注】 * P33ODR = 1 のとき、NMOS オープンドレイン出力になります。

- P32/RxD0/IrRxD

SCI_0 の SCR の RE ビットと P32DDR ビットの組み合わせにより、次のように切り替わります。

RE	0		1
P32DDR	0	1	-
端子機能	P32 入力	P32 出力*	RxD0/IrRxD 入力

【注】 * P32ODR = 1 のとき、NMOS オープンドレイン出力になります。

- P31/TxD1

SCI_1 の SCR の TE ビットと P31DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P31DDR	0	1	-
端子機能	P31 入力	P31 出力*	TxD1 出力*

【注】 * P31ODR = 1 のとき、NMOS オープンドレイン出力になります。

8. I/O ポート

- P30/TxD0/IrTxD

SCI_0 の SCR の TE ビットと P30DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P30DDR	0	1	-
端子機能	P30 入力	P30 出力*	TxD0/IrTxD 出力*

【注】 * P30ODR = 1 のとき、NMOS オープンドレイン出力になります。

8.4 ポート 4

ポート 4 は 8 ビットのアナログ入力兼用入力ポートです。ポート 4 には以下のレジスタがあります。

- ポート4レジスタ (PORT4)

8.4.1 ポート 4 レジスタ (PORT4)

PORT4 は 8 ビットのリード専用レジスタでポート 4 の端子の状態を反映します。

ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P47	- *	R	このレジスタをリードすると、常に端子の状態がリードされます。
6	P46	- *	R	
5	P45	- *	R	
4	P44	- *	R	
3	P43	- *	R	
2	P42	- *	R	
1	P41	- *	R	
0	P40	- *	R	

【注】 * P47 ~ P40 端子の状態により決定されます。

8.5 ポート 5

ポート 5 は 4 ビットの入出力ポート (P53 ~ P50) と 4 ビットの入力専用ポート (P57 ~ P54) です。入力専用ポートにはデータディレクションレジスタ、データレジスタはありません。ポート 3 には以下のレジスタがあります。

- ポート5データディレクションレジスタ (P5DDR)
- ポート5データレジスタ (P5DR)
- ポート5レジスタ (PORT5)

8.5.1 ポート 5 データディレクションレジスタ (P5DDR)

P5DDR は、ポート 5 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7~4	-	不定	-	リザーブビット リードすると不定値が読み出されます。
3	P53DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
2	P52DDR	0	W	
1	P51DDR	0	W	
0	P50DDR	0	W	

8.5.2 ポート 5 データレジスタ (P5DR)

P5DR は、ポート 5 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7~4	-	0	-	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
3	P53DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
2	P52DR	0	R/W	
1	P51DR	0	R/W	
0	P50DR	0	R/W	

8. I/O ポート

8.5.3 ポート 5 レジスタ (PORT5)

PORT5 は、ポート 5 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P57	- *	R	P57 ~ P54 をリードすると常に端子の状態がリードされます。
6	P56	- *	R	
5	P55	- *	R	
4	P54	- *	R	
3	P53	- *	R	P53 ~ P50 をリードすると、P5DDR がセットされているビットは、P5DR の値がリードされます。P5DDR がクリアされているビットは端子の状態がリードされます。
2	P52	- *	R	
1	P51	- *	R	
0	P50	- *	R	

【注】 * P57 ~ P50 端子の状態により決定されます。

8.5.4 端子機能

ポート 5 は SCI 入出力端子、A/D 変換器の入力端子、A/D 変換器のアナログ入力端子、D/A 変換器のアナログ出力端子、割り込み入力と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- P57/AN15/DA3/ $\overline{\text{IRQ7}}$

ITSR の ITS7 ビットにより次のように切り替わります。

端子機能	$\overline{\text{IRQ7}}$ 割り込み入力*
	AN15 入力
	DA3 出力

【注】 * ITS7 = 0 のとき $\overline{\text{IRQ7}}$ 入力となります。

- P56/AN14/DA2/ $\overline{\text{IRQ6}}$

ITSR の ITS6 ビットにより次のように切り替わります。

端子機能	$\overline{\text{IRQ6}}$ 割り込み入力*
	AN14 入力
	DA2 出力

【注】 * ITS6 = 0 のとき $\overline{\text{IRQ6}}$ 入力となります。

- P55/AN13/ $\overline{\text{IRQ5}}$

ITSR の ITS5 ビットにより次のように切り替わります。

端子機能	$\overline{\text{IRQ5}}$ 割り込み入力*
	AN13 入力

【注】 * ITS5 = 0 のとき $\overline{\text{IRQ5}}$ 入力となります。

- P54/AN12/ $\overline{\text{IRQ4}}$

ITSR の ITS4 ビットにより次のように切り替わります。

端子機能	$\overline{\text{IRQ4}}$ 割り込み入力*
	AN12 入力

【注】 * ITS4 = 0 のとき $\overline{\text{IRQ4}}$ 入力となります。

- P53/ADTRG/ $\overline{\text{IRQ3}}$

A/D コントロールレジスタ (ADCR) の TRGS1 ビット、TRGS0 ビット、および ITSR の ITS3 ビット、P53DDR ビットの組み合わせにより次のように切り替わります。

P53DDR	0	1
端子機能	P53 入力	P53 出力
	$\overline{\text{ADTRG}}$ 入力* ¹	
	$\overline{\text{IRQ3}}$ 割り込み入力* ²	

【注】 *¹ TRGS1 = TRGS0 = 1 のとき $\overline{\text{ADTRG}}$ を入力となります。

*² ITS3 = 0 のとき $\overline{\text{IRQ3}}$ 入力となります。

- P52/SCK2/ $\overline{\text{IRQ2}}$

SCI_2 の SMR の $\overline{\text{C/A}}$ ビット、SCR の CKE0、CKE1 ビットと ITSR の ITS2 ビットと P52DDR ビットの組み合わせにより次のように切り替わります。

CKE1	0				1
$\overline{\text{C/A}}$	0			1	-
CKE0	0		1	-	-
P52DDR	0	1	-	-	-
端子機能	P52 入力	P52 出力	SCK2 出力	SCK2 出力	SCK2 入力
	$\overline{\text{IRQ2}}$ 割り込み入力*				

【注】 * ITS2 = 0 のとき $\overline{\text{IRQ2}}$ を入力となります。

8. I/O ポート

- P51/RxD2/ $\overline{\text{IRQ1}}$

SCI₂のSCRのREビットとITSRのITS1ビットとP51DDRビットの組み合わせにより次のように切り替わります。

RE	0		1
P51DDR	0	1	-
端子機能	P51 入力	P51 出力	RxD2 入力
	$\overline{\text{IRQ1}}$ 割り込み入力*		

【注】 * ITS1=0のとき $\overline{\text{IRQ1}}$ を入力となります。

- P50/TxD2/ $\overline{\text{IRQ0}}$

SCI₂のSCRのTEビットとITSRのITS0ビットとP50DDRビットの組み合わせにより次のように切り替わります。

TE	0		1
P50DDR	0	1	-
端子機能	P50 入力	P50 出力	TxD2 入力
	$\overline{\text{IRQ0}}$ 割り込み入力*		

【注】 * ITS0=0のとき $\overline{\text{IRQ0}}$ を入力となります。

8.6 ポート 6

ポート 6 は 6 ビットの兼用入出力ポートです。ポート 6 には以下のレジスタがあります。

- ポート 6 データディレクションレジスタ (P6DDR)
- ポート 6 データレジスタ (P6DR)
- ポート 6 レジスタ (PORT6)

8.6.1 ポート 6 データディレクションレジスタ (P6DDR)

P6DDR は、ポート 6 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	-	不定	-	リザーブビット
6	-	不定	-	リードすると不定値が読み出されます。
5	P65DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
4	P64DDR	0	W	
3	P63DDR	0	W	
2	P62DDR	0	W	
1	P61DDR	0	W	
0	P60DDR	0	W	

8.6.2 ポート 6 データレジスタ (P6DR)

P6DR は、ポート 6 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット
6	-	0	-	リードすると 0 が読み出されます。ライトは無効です。
5	P65DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
4	P64DR	0	R/W	
3	P63DR	0	R/W	
2	P62DR	0	R/W	
1	P61DR	0	R/W	
0	P60DR	0	R/W	

8. I/O ポート

8.6.3 ポート 6 レジスタ (PORT6)

PORT6 は、ポート 6 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	-	不定	-	リザーブビット
6	-	不定	-	リードすると不定値が読み出されます。
5	P65	- *	R	このレジスタをリードすると、P6DDR がセットされているビットは、P6DR の値がリードされます。P6DDR がクリアされているビットは端子の状態がリードされます。
4	P64	- *	R	
3	P63	- *	R	
2	P62	- *	R	
1	P61	- *	R	
0	P60	- *	R	

【注】 * P65 ~ P60 端子の状態により決定されます。

8.6.4 端子機能

ポート 6 は 8 ビットタイマの入出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- P65/TMO1

8 ビットタイマの TCSR_1 の OS3 ~ OS0 ビットと、P65DDR ビットの組み合わせにより、次のように切り替わります。

OS3 ~ OS0	すべてが 0		いずれかが 1
P65DDR	0	1	-
端子機能	P65 入力	P65 出力	TMO1 出力

- P64/TMO0

8 ビットタイマの TCSR_1 の OS3 ~ OS0 ビットと、P64DDR ビットの組み合わせにより、次のように切り替わります。

OS3 ~ OS0	すべてが 0		いずれかが 1
P64DDR	0	1	-
端子機能	P64 入力	P64 出力	TMO0 出力

- P63/TMCI1

P63DDR ビットにより、次のように切り替わります。

P63DDR	0	1
端子機能	P63 入力	P63 出力
	TMCI1 入力*	

【注】 * TMR の外部クロック入力端子として使用する場合は、TCR_1 の CKS2 ~ CKS0 ビットで外部クロックを選択します。

- P62/TMCI0

P62DDR ビットにより、次のように切り替わります。

P62DDR	0	1
端子機能	P62 入力	P62 出力
	TMCI0 入力*	

【注】 * TMR の外部クロック入力端子として使用する場合は、TCR_0 の CKS2 ~ CKS0 ビットで外部クロックを選択します。

- P61/TMRI1

P61DDR ビットにより、次のように切り替わります。

P61DDR	0	1
端子機能	P61 入力	P61 出力
	TMRI1 入力*	

【注】 * TMR のカウンタリセットとして使用する場合は、TCR_1 の CCLR1、CCLR0 ビットをそれぞれ 1 にセットします。

- P60/TMRI0

P60DDR ビットにより、次のように切り替わります。

P60DDR	0	1
端子機能	P60 入力	P60 出力
	TMRI0 入力*	

【注】 * TMR のカウンタリセットとして使用する場合は、TCR_0 の CCLR1、CCLR0 ビットをそれぞれ 1 にセットします。

8. I/Oポート

8.7 ポート7

ポート7は6ビットの兼用入出力ポートです。ポート7には以下のレジスタがあります。

- ポート7データディレクションレジスタ (P7DDR)
- ポート7データレジスタ (P7DR)
- ポート7レジスタ (PORT7)

8.7.1 ポート7データディレクションレジスタ (P7DDR)

P7DDRは、ポート7の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	-	不定	-	リザーブビット
6	-	不定	-	リードすると不定値が読み出されます。
5	P75DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを1にセットすると対応する端子は出力ポートとなり、0にクリアすると入力ポートになります。
4	P74DDR	0	W	
3	P73DDR	0	W	
2	P72DDR	0	W	
1	P71DDR	0	W	
0	P70DDR	0	W	

8.7.2 ポート7データレジスタ (P7DR)

P7DRは、ポート7の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット
6	-	0	-	リードすると0が読み出されます。ライトは無効です。
5	P75DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
4	P74DR	0	R/W	
3	P73DR	0	R/W	
2	P72DR	0	R/W	
1	P71DR	0	R/W	
0	P70DR	0	R/W	

8.7.3 ポート7レジスタ (PORT7)

PORT7 は、ポート7の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	-	不定	-	リザーブビット
6	-	不定	-	リードすると不定値が読み出されます。
5	P75	- *	R	このレジスタをリードすると、P7DDR がセットされているビットは、P7DR の値がリードされます。P7DDR がクリアされているビットは端子の状態がリードされます。
4	P74	- *	R	
3	P73	- *	R	
2	P72	- *	R	
1	P71	- *	R	
0	P70	- *	R	

【注】 * P75～P70 端子の状態により決定されます。

8.8 ポート8

ポート8は6ビットの兼用入出力ポートです。ポート8には以下のレジスタがあります。

- ポート8データディレクションレジスタ (P8DDR)
- ポート8データレジスタ (P8DR)
- ポート8レジスタ (PORT8)

8.8.1 ポート8データディレクションレジスタ (P8DDR)

P8DDR は、ポート8の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット
6	-	0	-	リードすると不定値が読み出されます。
5	P85DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを1にセットすると対応する端子は出力ポートとなり、0にクリアすると入力ポートになります。
4	P84DDR	0	W	
3	P83DDR	0	W	
2	P82DDR	0	W	
1	P81DDR	0	W	
0	P80DDR	0	W	

8. I/O ポート

8.8.2 ポート 8 データレジスタ (P8DR)

P8DR は、ポート 8 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	-	不定	-	リザーブビット
6	-	不定	-	リードすると 0 が読み出されます。ライトは無効です。
5	P85DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
4	P84DR	0	R/W	
3	P83DR	0	R/W	
2	P82DR	0	R/W	
1	P81DR	0	R/W	
0	P80DR	0	R/W	

8.8.3 ポート 8 レジスタ (PORT8)

PORT8 は、ポート 8 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	-	不定	-	リザーブビット
6	-	不定	-	リードすると不定値が読み出されます。
5	P85	- *	R	このレジスタをリードすると、P8DDR がセットされているビットは、P8DR の値がリードされます。P8DDR がクリアされているビットは端子の状態がリードされます。
4	P84	- *	R	
3	P83	- *	R	
2	P82	- *	R	
1	P81	- *	R	
0	P80	- *	R	

【注】 * P85 ~ P80 端子の状態により決定されます。

8.8.4 端子機能

ポート 8 は割り込み入力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- P85/ ($\overline{\text{IRQ5}}$)

P85DDR ビットおよび ITSR の ITS5 ビットにより、次のように切り替わります。

P85DDR	0	1
端子機能	P85 入力	P85 出力
	$\overline{\text{IRQ5}}$ 割り込み入力*	

【注】 * ITS5 = 1 のとき $\overline{\text{IRQ5}}$ 入力となります。

- P84/ ($\overline{\text{IRQ4}}$)

P84DDR ビットおよび ITSR の ITS4 ビットにより、次のように切り替わります。

P84DDR	0	1
端子機能	P84 入力	P84 出力
	$\overline{\text{IRQ4}}$ 割り込み入力*	

【注】 * ITS4 = 1 のとき $\overline{\text{IRQ4}}$ 入力となります。

- P83/ ($\overline{\text{IRQ3}}$)

P83DDR ビットおよび ITSR の ITS3 ビットにより、次のように切り替わります。

P83DDR	0	1
端子機能	P83 入力	P83 出力
	$\overline{\text{IRQ3}}$ 割り込み入力*	

【注】 * ITS3 = 1 のとき $\overline{\text{IRQ3}}$ 入力となります。

- P82/ ($\overline{\text{IRQ2}}$)

P82DDR ビットおよび ITSR の ITS2 ビットにより、次のように切り替わります。

P82DDR	0	1
端子機能	P82 入力	P82 出力
	$\overline{\text{IRQ2}}$ 割り込み入力*	

【注】 * ITS2 = 1 のとき $\overline{\text{IRQ2}}$ 入力となります。

8. I/O ポート

- P81/ ($\overline{\text{IRQ1}}$)

P81DDR ビットおよび ITSR の ITS1 ビットにより、次のように切り替わります。

P81DDR	0	1
端子機能	P81 入力	P81 出力
	$\overline{\text{IRQ1}}$ 割り込み入力*	

【注】 * ITS1 = 1 のとき $\overline{\text{IRQ1}}$ 入力となります。

- P80/ ($\overline{\text{IRQ0}}$)

P80DDR ビットおよび ITSR の ITS0 ビットにより、次のように切り替わります。

P80DDR	0	1
端子機能	P80 入力	P80 出力
	$\overline{\text{IRQ0}}$ 割り込み入力*	

【注】 * ITS0 = 1 のとき $\overline{\text{IRQ0}}$ 入力となります。

8.9 ポート A

ポート A は 8 ビットの兼用入出力ポートです。ポート A には以下のレジスタがあります。

- ポート A データディレクションレジスタ (PADDR)
- ポート A データレジスタ (PADR)
- ポート A レジスタ (PORTA)
- ポート A プルアップ MOS コントロールレジスタ (PAPCR)
- ポート A オープンドレインコントロールレジスタ (PAODR)
- ポートファンクションコントロールレジスタ 1 (PFCR1)

8.9.1 ポート A データディレクションレジスタ (PADDR)

PADDR は、ポート A の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PA7DDR	0	W	<ul style="list-style-type: none"> • モード 1、2、5、6 のとき PA4 ~ PA0 端子は、アドレス出力になります。 PA7 ~ PA5 端子は、A23E ~ A21E ビットがそれぞれ 1 にセットされているとき、PADDR を 1 にセットすると対応する端子はアドレス出力となり、0 にクリアすると入力ポートになります。A23E ~ A21E ビットをそれぞれ 0 にクリアすると入出力ポートとなり、PADDR によって端子機能を切り替えることができます。 • モード 4 のとき A23E ~ A16E ビットがそれぞれ 1 にセットされているとき、PADDR を 1 にセットすると対応する端子はアドレス出力となり、0 にクリアすると入力ポートになります。A23E ~ A16E ビットをそれぞれ 0 にクリアすると入出力ポートとなり、PADDR によって端子機能を切り替えることができます。 • モード 3、7 (EXPE=1) のとき A23E ~ A16E ビットをそれぞれ 1 にセットしたとき、PADDR を 1 にセットすると対応する端子はアドレス出力となり、0 にクリアすると入力ポートになります。A23E ~ A16E ビットをそれぞれ 0 にクリアすると入出力ポートとなり、PADDR を 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。 • モード 3、7 (EXPE=0) のとき ポート A は入出力ポートとなり、PADDR によって端子機能を切り替えることができます。
6	PA6DDR	0	W	
5	PA5DDR	0	W	
4	PA4DDR	0	W	
3	PA3DDR	0	W	
2	PA2DDR	0	W	
1	PA1DDR	0	W	
0	PA0DDR	0	W	

8.9.2 ポート A データレジスタ (PADR)

PADR は、ポート A の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PA7DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
6	PA6DR	0	R/W	
5	PA5DR	0	R/W	
4	PA4DR	0	R/W	
3	PA3DR	0	R/W	
2	PA2DR	0	R/W	
1	PA1DR	0	R/W	
0	PA0DR	0	R/W	

8. I/O ポート

8.9.3 ポート A レジスタ (PORTA)

PORTA は、ポート A の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PA7	- *	R	このレジスタをリードすると、PADDR がセットされているビットは、PADR の値がリードされます。PADDR がクリアされているビットは端子の状態がリードされます。
6	PA6	- *	R	
5	PA5	- *	R	
4	PA4	- *	R	
3	PA3	- *	R	
2	PA2	- *	R	
- *	PA1	- *	R	
0	PA0	- *	R	

【注】 * PA7 ~ PA0 端子の状態により決定されます。

8.9.4 ポート A プルアップ MOS コントロールレジスタ (PAPCR)

PAPCR は、ポート A の入力プルアップ MOS のオン/オフを制御します。モード 1、2、5、6 ではビット 7 ~ 5 が有効です。モード 3、4、7 ではすべてのビットが有効です。

ビット	ビット名	初期値	R/W	説明
7	PA7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PA6PCR	0	R/W	
5	PA5PCR	0	R/W	
4	PA4PCR	0	R/W	
3	PA3PCR	0	R/W	
2	PA2PCR	0	R/W	
1	PA1PCR	0	R/W	
0	PA0PCR	0	R/W	

8.9.5 ポート A オープンドレインコントロールレジスタ (PAODR)

PAODR は、ポート A の端子の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	PA7ODR	0	R/W	このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
6	PA6ODR	0	R/W	
5	PA5ODR	0	R/W	
4	PA4ODR	0	R/W	
3	PA3ODR	0	R/W	
2	PA2ODR	0	R/W	
1	PA1ODR	0	R/W	
0	PA0ODR	0	R/W	

8.9.6 ポートファンクションコントロールレジスタ 1 (PFCR1)

PFCR1 は、I/O ポートの制御を行います。モード 1、2、5、6 ではビット 7 ~ 5 が有効です。モード 3、4、7 ではすべてのビットが有効です。

ビット	ビット名	初期値	R/W	説明
7	A23E	1	R/W	アドレス A23 イネーブル アドレス出力 23 (A23) の許可/禁止を選択します。 0:PA7DDR=1 で DR を出力 1:PA7DDR=1 で A23 を出力
6	A22E	1	R/W	アドレス A22 イネーブル アドレス出力 22 (A22) の許可/禁止を選択します。 0:PA6DDR=1 で DR を出力 1:PA6DDR=1 で A22 を出力
5	A21E	1	R/W	アドレス A21 イネーブル アドレス出力 21 (A21) の許可/禁止を選択します。 0:PA5DDR=1 で DR を出力 1:PA5DDR=1 で A21 を出力
4	A20E	1	R/W	アドレス A20 イネーブル アドレス出力 20 (A20) の許可/禁止を選択します。 0:PA4DDR=1 で DR を出力 1:PA4DDR=1 で A20 を出力
3	A19E	1	R/W	アドレス A19 イネーブル アドレス出力 19 (A19) の許可/禁止を選択します。 0:PA3DDR=1 で DR を出力 1:PA3DDR=1 で A19 を出力

8. I/O ポート

ビット	ビット名	初期値	R/W	説明
2	A18E	1	R/W	アドレス A18 イネーブル アドレス出力 18 (A18) の許可/禁止を選択します。 0:PA2DDR=1 で DR を出力 1:PA2DDR=1 で A18 を出力
1	A17E	1	R/W	アドレス A17 イネーブル アドレス出力 17 (A17) の許可/禁止を選択します。 0:PA1DDR=1 で DR を出力 1:PA1DDR=1 で A17 を出力
0	A16E	1	R/W	アドレス A16 イネーブル アドレス出力 16 (A16) の許可/禁止を選択します。 0:PA0DDR=1 で DR を出力 1:PA0DDR=1 で A16 を出力

8.9.7 端子機能

ポート A はアドレス出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PA7/A23、PA6/A22、PA5/A21

動作モードと EXPE ビットと A23E ~ A21E ビットと PADDR ビットにより次のように切り替わります。

動作モード	1、2、4、5、6				3、7					
EXPE	-				0		1			
AxxE	0		1		-		0		1	
PADDR	0	1	0	1	0	1	0	1	0	1
端子機能	PA 入力	PA 出力	PA 入力	アドレス 出力	PA 入力	PA 出力	PA 入力	PA 出力	PA 入力	アドレス 出力

- PA4/A20、PA3/A19、PA2/A18、PA1/A17、PA0/A16

動作モードと EXPE ビットと A20E ~ A16E ビットと PADDR ビットにより次のように切り替わります。

動作モード	1、2、5、6	4				3、7					
EXPE	-	-				0		1			
AxxE	-	0		1		-		0		1	
PADDR	-	0	1	0	1	0	1	0	1	0	1
端子機能	アドレス 出力	PA 入力	PA 出力	PA 入力	アドレス 出力	PA 入力	PA 出力	PA 入力	PA 出力	PA 入力	アドレス 出力

8.9.8 ポート A 入力プルアップ MOS の状態

ポート A は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、

モード 1、2、5、6 のときは PA7～PA5 端子が使用でき、モード 3、4、7 のときはすべての端子が使用できます。入力プルアップ MOS は、ビット単位でオン/オフを指定できます。

入力プルアップ MOS の状態を表 8.2 に示します。

表 8.2 ポート A 入力プルアップ MOS の状態

モード		リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
4、7	PA7～PA0	OFF		ON/OFF	
1、2、5、6	PA7～PA5	OFF		ON/OFF	
	PA4～PA0	OFF		OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF:PADDR=0 かつ PAPCR=1 のときオン状態、その他のときはオフ状態です。

8.10 ポート B

ポート B は 8 ビットの兼用入出力ポートです。ポート B には以下のレジスタがあります。

- ポート B データディレクションレジスタ (PBDDR)
- ポート B データレジスタ (PBDR)
- ポート B レジスタ (PORTB)
- ポート B プルアップ MOS コントロールレジスタ (PBPCR)

8.10.1 ポート B データディレクションレジスタ (PBDDR)

PBDDR はポート B の入出力をビットごとに指定します。

リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PB7DDR	0	W	• モード 1、2、5、6 のとき PBDDR にかかわらず、対応する各端子はアドレス出力となります。
6	PB6DDR	0	W	
5	PB5DDR	0	W	• モード 3 (EXPE=1)、4、モード 7 (EXPE=1) のとき このビットを 1 にセットすると、対応する端子はアドレス出力となり、0 にクリアすると入力ポートになります。
4	PB4DDR	0	W	
3	PB3DDR	0	W	• モード 3 (EXPE=0)、7 (EXPE=0) のとき ポート B は入出力ポートになり、PBDDR によって端子機能を切り替えることができます。
2	PB2DDR	0	W	
1	PB1DDR	0	W	
0	PB0DDR	0	W	

8. I/O ポート

8.10.2 ポート B データレジスタ (PBDR)

PBDR はポート B の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PB7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PB6DR	0	R/W	
5	PB5DR	0	R/W	
4	PB4DR	0	R/W	
3	PB3DR	0	R/W	
2	PB2DR	0	R/W	
1	PB1DR	0	R/W	
0	PB0DR	0	R/W	

8.10.3 ポート B レジスタ (PORTB)

PORTB はポート B の端子の状態を反映します。

ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PB7	- *	R	このレジスタをリードすると、PBDDR がセットされているビットは PBDR の値がリードされます。PBDDR がクリアされているビットは端子の状態がリードされます。
6	PB6	- *	R	
5	PB5	- *	R	
4	PB4	- *	R	
3	PB3	- *	R	
2	PB2	- *	R	
1	PB1	- *	R	
0	PB0	- *	R	

【注】 * PB7 ~ PB0 端子の状態により決定されます。

8.10.4 ポート B プルアップ MOS コントロールレジスタ (PBPCR)

PBPCR はポート B の入力プルアップ MOS のオン / オフを制御します。モード 3、4、7 のときに有効です。

ビット	ビット名	初期値	R/W	説明
7	PB7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PB6PCR	0	R/W	
5	PB5PCR	0	R/W	
4	PB4PCR	0	R/W	
3	PB3PCR	0	R/W	
2	PB2PCR	0	R/W	
1	PB1PCR	0	R/W	
0	PB0PCR	0	R/W	

8.10.5 端子機能

ポート B の各端子は、アドレス出力端子と兼用となっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PB7/A15、PB6/A14、PB5/A13、PB4/A12、PB3/A11、PB2/A10、PB1/A9、PB0/A8

動作モードと EXPE ビットと PBDDR ビットにより次のように切り替わります。

動作モード	1、2、5、6		4		3、7		
EXPE	-		-		0		1
PBDDR	-	0	1	0	1	0	1
端子機能	アドレス出力	PB 入力	アドレス出力	PB 入力	PB 出力	PB 入力	アドレス出力

8.10.6 ポート B 入力プルアップ MOS の状態

ポート B は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 3、4、7 のときに使用でき、ビット単位でオン / オフを指定できます。

モード 3、4、7 のとき、PBDDR を 0 にクリアした状態で、PBPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS の状態を表 8.3 に示します。

8. I/Oポート

表 8.3 ポート B 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1、2、5、6	OFF		OFF	OFF
3、4、7			ON/OFF	ON/OFF

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF:PBDDR=0 かつ PBPCR=1 のときオン状態、その他のときはオフ状態です。

8.11 ポート C

ポート C は 8 ビットの兼用入出力ポートです。ポート C には以下のレジスタがあります。

- ポート C データディレクションレジスタ (PCDDR)
- ポート C データレジスタ (PCDR)
- ポート C レジスタ (PORTC)
- ポート C プルアップ MOS コントロールレジスタ (PCPCR)

8.11.1 ポート C データディレクションレジスタ (PCDDR)

PCDDR はポート C の入出力をビットごとに指定します。

リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説 明
7	PC7DDR	0	W	<ul style="list-style-type: none"> • モード 1、2、5、6 のとき PCDDR にかかわらず、対応する各端子はアドレス出力となります。
6	PC6DDR	0	W	
5	PC5DDR	0	W	<ul style="list-style-type: none"> • モード 3 (EXPE = 1)、4、モード 7 (EXPE = 1) のとき このビットを 1 にセットすると、対応する端子はアドレス出力となり、0 にクリアすると入力ポートになります。
4	PC4DDR	0	W	
3	PC3DDR	0	W	<ul style="list-style-type: none"> • モード 3 (EXPE = 0)、7 (EXPE = 0) のとき ポート C は入出力ポートになり、PCDDR によって端子機能を切り替えることができます。
2	PC2DDR	0	W	
1	PC1DDR	0	W	
0	PC0DDR	0	W	

8.11.2 ポート C データレジスタ (PCDR)

PCDR はポート C の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	PC7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PC6DR	0	R/W	
5	PC5DR	0	R/W	
4	PC4DR	0	R/W	
3	PC3DR	0	R/W	
2	PC2DR	0	R/W	
1	PC1DR	0	R/W	
0	PC0DR	0	R/W	

8.11.3 ポート C レジスタ (PORTC)

PORTC はポート C の端子の状態を反映します。

ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7	PC7	- *	R	このレジスタをリードすると、PCDDR がセットされているビットはPCDR の値がリードされます。PCDDR がクリアされているビットは端子の状態がリードされます。
6	PC6	- *	R	
5	PC5	- *	R	
4	PC4	- *	R	
3	PC3	- *	R	
2	PC2	- *	R	
1	PC1	- *	R	
0	PC0	- *	R	

【注】 * PC7 ~ PC0 端子の状態により決定されます。

8. I/O ポート

8.11.4 ポート C プルアップ MOS コントロールレジスタ (PCPCR)

PCPCR はポート C の入力プルアップ MOS のオン / オフを制御します。モード 3、4、7 のときに有効です。

ビット	ビット名	初期値	R/W	説明
7	PC7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PC6PCR	0	R/W	
5	PC5PCR	0	R/W	
4	PC4PCR	0	R/W	
3	PC3PCR	0	R/W	
2	PC2PCR	0	R/W	
1	PC1PCR	0	R/W	
0	PC0PCR	0	R/W	

8.11.5 端子機能

ポート C の各端子は、アドレス出力端子と兼用となっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PC7/A7、PC6/A6、PC5/A5、PC4/A4、PC3/A3、PC2/A2、PC1/A1、PC0/A0、

動作モードと EXPE ビットと PCDDR ビットにより次のように切り替わります。

動作モード	1、2、5、6	4		3、7			
EXPE	-	-		0		1	
PCDDR	-	0	1	0	1	0	1
端子機能	アドレス出力	PC 入力	アドレス出力	PC 入力	PC 出力	PC 入力	アドレス出力

8.11.6 ポート C 入力プルアップ MOS の状態

ポート C は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 3、4、7 のときに使用でき、ビット単位でオン / オフを指定できます。

モード 3、4、7 のとき、PCDDR を 0 にクリアした状態で、PCPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS の状態を表 8.4 に示します。

表 8.4 ポート C 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1、2、5、6	OFF		OFF	OFF
3、4、7			ON/OFF	ON/OFF

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF:PCDDR=0 かつ PCPCR=1 のときオン状態、その他のときはオフ状態です。

8.12 ポート D

ポート D は 8 ビットの兼用入出力ポートです。ポート D には以下のレジスタがあります。

- ポート D データディレクションレジスタ (PDDDR)
- ポート D データレジスタ (PDDR)
- ポート D レジスタ (PORTD)
- ポート D プルアップ MOS コントロールレジスタ (PDPCR)

8.12.1 ポート D データディレクションレジスタ (PDDDR)

PDDDR はポート D の入出力をビットごとに指定します。

リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説 明
7	PD7DDR	0	W	<ul style="list-style-type: none"> • モード 1、2、3 (EXPE=1)、4、5、6、7 (EXPE=1) のとき ポート D は、自動的にデータ入出力となります。 • モード 3 (EXPE=0)、7 (EXPE=0) のとき ポート D は入出力ポートになり、PDDDR によって端子機能を切り替えることができます。
6	PD6DDR	0	W	
5	PD5DDR	0	W	
4	PD4DDR	0	W	
3	PD3DDR	0	W	
2	PD2DDR	0	W	
1	PD1DDR	0	W	
0	PD0DDR	0	W	

8. I/O ポート

8.12.2 ポート D データレジスタ (PDDR)

PDDR はポート D の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	PD7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PD6DR	0	R/W	
5	PD5DR	0	R/W	
4	PD4DR	0	R/W	
3	PD3DR	0	R/W	
2	PD2DR	0	R/W	
1	PD1DR	0	R/W	
0	PD0DR	0	R/W	

8.12.3 ポート D レジスタ (PORTD)

PORTD はポート D の端子の状態を反映します。

ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7	PD7	- *	R	このレジスタをリードすると、PDDDR がセットされているビットは PDDR の値がリードされます。PDDDR がクリアされているビットは端子の状態がリードされます。
6	PD6	- *	R	
5	PD5	- *	R	
4	PD4	- *	R	
3	PD3	- *	R	
2	PD2	- *	R	
1	PD1	- *	R	
0	PD0	- *	R	

【注】 * PD7 ~ PD0 端子の状態により決定されます。

8.12.4 ポート D プルアップ MOS コントロールレジスタ (PDPCR)

PDPCR はポート D の入力プルアップ MOS のオン / オフを制御します。モード 3、7 のときに有効です。

ビット	ビット名	初期値	R/W	説明
7	PD7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PD6PCR	0	R/W	
5	PD5PCR	0	R/W	
4	PD4PCR	0	R/W	
3	PD3PCR	0	R/W	
2	PD2PCR	0	R/W	
1	PD1PCR	0	R/W	
0	PD0PCR	0	R/W	

8.12.5 モード別端子機能

ポート D の各端子は、データ入出力端子と兼用となっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PD7/D15、PD6/D14、PD5/D13、PD4/D12、PD3/D11、PD2/D10、PD1/D9、PD0/D8

動作モードと EXPE ビットと PDDDR ビットにより次のように切り替わります。

動作モード	1、2、4、5、6	3、7		
EXPE	-	0		1
PDDDR	-	0	1	-
端子機能	データ入出力	PD 入力	PD 出力	データ入出力

8.12.6 ポート D 入力プルアップ MOS の状態

ポート D は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 3、7 のときに使用でき、ビット単位でオン / オフを指定できます。

モード 3、7 のとき、PDDDR を 0 にクリアした状態で、PDPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS の状態を表 8.5 に示します。

8. I/O ポート

表 8.5 ポート D 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1、2、4、5、6	OFF		OFF	
3、7			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF:PDDDR=0 かつ PDPCR=1 のときオン状態、その他のときはオフ状態です。

8.13 ポート E

ポート E は 8 ビットの兼用入出力ポートです。ポート E には以下のレジスタがあります。

- ポート E データディレクションレジスタ (PEDDR)
- ポート E データレジスタ (PEDR)
- ポート E レジスタ (PORTE)
- ポート E プルアップ MOS コントロールレジスタ (PEPCR)

8.13.1 ポート E データディレクションレジスタ (PEDDR)

PEDDR は、ポート E の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PE7DDR	0	W	<ul style="list-style-type: none"> • モード 1、2、4~6 のとき 8 ビットバスモードとしたとき、ポート E は入出力ポートとなり、PEDDR によって端子機能を切り替えることができます。 16 ビットバスモードとしたとき、ポート E はデータ入出力となります。 8 ビット/16 ビットバスモードについては「第 6 章 バスコントローラ」を参照してください。 • モード 3、7 (EXPE=1) のとき 8 ビットバスモードとしたとき、ポート E は入出力ポートとなります。このビットを 1 にセットすると対応する端子は、出力ポートになり、0 にクリアすると入力ポートになります。 16 ビットバスモードとしたとき、ポート E はデータ入出力となります。 • モード 3、7 (EXPE=0) のとき ポート E は入出力ポートとなり、PEDDR によって端子機能を切り替えることができます。
6	PE6DDR	0	W	
5	PE5DDR	0	W	
4	PE4DDR	0	W	
3	PE3DDR	0	W	
2	PE2DDR	0	W	
1	PE1DDR	0	W	
0	PE0DDR	0	W	

8.13.2 ポート E データレジスタ (PEDR)

PEDR は、ポート E の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PE7DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
6	PE6DR	0	R/W	
5	PE5DR	0	R/W	
4	PE4DR	0	R/W	
3	PE3DR	0	R/W	
2	PE2DR	0	R/W	
1	PE1DR	0	R/W	
0	PE0DR	0	R/W	

8.13.3 ポート E レジスタ (PORTE)

PORTE は、ポート E の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PE7	- *	R	このレジスタをリードすると、PEDDR がセットされているビットは、PEDR の値がリードされます。PEDDR がクリアされているビットは端子の状態がリードされます。
6	PE6	- *	R	
5	PE5	- *	R	
4	PE4	- *	R	
3	PE3	- *	R	
2	PE2	- *	R	
1	PE1	- *	R	
0	PE0	- *	R	

【注】 * PE7 ~ PE0 端子の状態により決定されます。

8. I/Oポート

8.13.4 ポートEプルアップMOSコントロールレジスタ (PEPCR)

PEPCRは、ポートEの入力プルアップMOSのオン/オフを制御します。8ビットバスモードのとき有効です。

ビット	ビット名	初期値	R/W	説明
7	PE7PCR	0	R/W	端子が入力状態のとき、このレジスタの1にセットされたビットに対応する端子の入力プルアップMOSがオンします。
6	PE6PCR	0	R/W	
5	PE5PCR	0	R/W	
4	PE4PCR	0	R/W	
3	PE3PCR	0	R/W	
2	PE2PCR	0	R/W	
1	PE1PCR	0	R/W	
0	PE0PCR	0	R/W	

8.13.5 端子機能

ポートEはデータ入出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PE7/D7、PE6/D6、PE5/D5A、PE4/D4、PE3/D3、PE2/D2、PE1/D1、PE0/D0

動作モードとバスモードとEXPEビットとPEDDRビットにより次のように切り替わります。

動作モード	1、2、4、5、6			3、7				
	すべてのエリアが 8ビット空間		いずれかの エリアが 16ビット空間	-		すべてのエリアが 8ビット空間		いずれかの エリアが 16ビット空間
EXPE	-		-	0		1		1
PEDDR	0	1	-	0	1	0	1	-
端子機能	PE 入力	PE 出力	データ入出力	PE 入力	PE 出力	PE 入力	PE 出力	データ入出力

8.13.6 ポート E 入力プルアップ MOS の状態

ポート E は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、8 ビットバスモードのとき使用でき、ビット単位でオン/オフを指定できます。8 ビットバスモードのとき、PEDDR を 0 にクリアした状態で PEPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS の状態を表 8.6 に示します。

表 8.6 ポート E 入力プルアップ MOS の状態

モード		リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1~7	8 ビットバス	OFF		ON/OFF	
	16 ビットバス			OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF: PEDDR=0 かつ PEPCR=1 のときオン状態、その他のときはオフ状態です。

8.14 ポート F

ポート F は 8 ビットの兼用入出力ポートです。ポート F には以下のレジスタがあります。ポートファンクションコントロールレジスタ 2 については「8.3.5 ポートファンクションコントロールレジスタ 2 (PFDR2)」を参照してください。

- ポート F データディレクションレジスタ (PFDDR)
- ポート F データレジスタ (PFDR)
- ポート F レジスタ (PORTF)
- ポートファンクションコントロールレジスタ 2 (PFDR2)

8. I/O ポート

8.14.1 ポート F データディレクションレジスタ (PFDDR)

PFDDR は、ポート F の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PF7DDR	1/0*	W	<ul style="list-style-type: none"> • モード 1、2、4~6 のとき PF7 端子は、1 にセットすると 出力となり、0 にクリアすると入力ポートになります。 PF6 端子は、ASOE を 1 にセットすると AS 出力となり、0 にクリアすると入出力ポートとなり、PF6DDR によって端子機能を切り替えることができます。 PF5、PF4 端子は、バス制御出力 (\overline{RD}、\overline{HWR}) となります。 PF3 端子は、LWROE を 1 にセットすると \overline{LWR} 出力となり、0 にクリアすると入出力ポートとなり、PF3DDR によって端子機能を切り替えることができます。 PF2、PF1 端子は入出力ポートとなり、PFDDR によって端子機能を切り替えることができます。 PF0 端子は、バスコントローラの設定によりバス制御入出力 (\overline{WAIT}) となります。それ以外の場合 PFDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。 • モード 3、7 (EXPE=1) のとき PF7~PF1 端子は、モード 1、2、4~6 のときと同じです。 PF0 端子は、バスコントローラと PFCR の設定によりバス制御入出力 (\overline{WAIT}) となります。それ以外の場合、入出力ポートとなり、PFDDR によって端子機能を切り替えることができます。 • モード 3、7 (EXPE=0) のとき PF7 端子は、1 にセットすると 出力となり、0 にクリアすると入力ポートになります。 PF6~PF0 端子は入出力ポートとなり、PFDDR によって端子機能を切り替えることができます。
6	PF6DDR	0	W	
5	PF5DDR	0	W	
4	PF4DDR	0	W	
3	PF3DDR	0	W	
2	PF2DDR	0	W	
1	PF1DDR	0	W	
0	PF0DDR	0	W	

【注】 * モード 1、2、4~6 のときは 1 に、モード 3、7 のときは 0 になります。

8.14.2 ポート F データレジスタ (PFDR)

PFDR は、ポート F の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PF7DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
6	PF6DR	0	R/W	
5	PF5DR	0	R/W	
4	PF4DR	0	R/W	
3	PF3DR	0	R/W	
2	PF2DR	0	R/W	
1	PF1DR	0	R/W	
0	PF0DR	0	R/W	

8.14.3 ポート F レジスタ (PORTF)

PORTF は、ポート F の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PF7	- *	R	このレジスタをリードすると、PFDDR がセットされているビットは、PFDR の値がリードされます。PFDDR がクリアされているビットは端子の状態がリードされます。
6	PF6	- *	R	
5	PF5	- *	R	
4	PF4	- *	R	
3	PF3	- *	R	
2	PF2	- *	R	
1	PF1	- *	R	
0	PF0	- *	R	

【注】 * PF7～PF0 端子の状態により決定されます。

8. I/O ポート

8.14.4 端子機能

ポート F は、バス制御信号入出力端子、システムクロック出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PF7/

PF7DDR ビットにより、次のように切り替わります。

動作モード	1 ~ 7	
PFDDR	0	1
端子機能	PF7 入力	出力

- PF6/ \overline{AS}

動作モードと EXPE ビット、ASOE ビット、PF6DDR ビットにより、次のように切り替わります。

動作モード	1, 2, 4, 5, 6			3, 7				
EXPE	-			0		1		
ASOE	1	0		-		1	0	
PF6DDR	-	0	1	0	1	-	0	1
端子機能	\overline{AS} 出力	PF6 入力	PF6 出力	PF6 入力	PF6 出力	\overline{AS} 出力	PF6 入力	PF6 出力

- PF5/ \overline{RD}

動作モードと EXPE ビット、PF5DDR ビットにより、次のように切り替わります。

動作モード	1, 2, 4, 5, 6			3, 7		
EXPE	-			0		1
PF5DDR	-			0	1	-
端子機能	\overline{RD} 出力			PF5 入力	PF5 出力	\overline{RD} 出力

- PF4/ \overline{HWR}

動作モードと EXPE ビット、PF4DDR ビットにより、次のように切り替わります。

動作モード	1, 2, 4, 5, 6			3, 7		
EXPE	-			0		1
PF4DDR	-			0	1	-
端子機能	\overline{HWR} 出力			PF4 入力	PF4 出力	\overline{HWR} 出力

- PF3/ $\overline{\text{LWR}}$

動作モードと EXPE ビット、LWROE ビット、PF3DDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6			3、7				
EXPE	-			0		1		
LWROD	1	0		-		1	0	
PF3DDR	-	0	1	0	1	-	0	1
端子機能	$\overline{\text{LWR}}$ 出力	PF3 入力	PF3 出力	PF3 入力	PF3 出力	$\overline{\text{LWR}}$ 出力	PF3 入力	PF3 出力

- PF2

PF2DDR ビットにより、次のように切り替わります。

PF2DDR	0		1	
端子機能	PF2 入力		PF2 出力	

- PF1

PF1DDR ビットにより、次のように切り替わります。

PF1DDR	0		1	
端子機能	PF1 入力		PF1 出力	

- PF0/ $\overline{\text{WAIT}}$

動作モードと EXPE ビット、BCR の WAITE ビット、および PF0DDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6			3、7				
EXPE	-			0		1		
WAITE	0		1	-		0		1
PF0DDR	0	1	-	0	1	0	1	-
端子機能	PF0 入力	PF0 出力	$\overline{\text{WAIT}}$ 入力	PF0 入力	PF0 出力	PF0 入力	PF0 出力	$\overline{\text{WAIT}}$ 入力

8. I/Oポート

8.15 ポート G

ポート G は 7 ビットの兼用入出力ポートです。ポート G には以下のレジスタがあります。

- ポート G データディレクションレジスタ (PGDDR)
- ポート G データレジスタ (PGDR)
- ポート G レジスタ (PORTG)
- ポートファンクションコントロールレジスタ 0 (PFCR0)

8.15.1 ポート G データディレクションレジスタ (PGDDR)

PGDDR は、ポート G の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット リードすると不定値が読み出されます。
6	PG6DDR	0	W	<ul style="list-style-type: none"> • モード 1、2、4~6 のとき PG6 ~ PG4 端子は、バスコントローラの設定によりバス制御入出力 ($\overline{\text{BREQ}}$、$\overline{\text{BACK}}$、$\overline{\text{BREQO}}$) となります。それ以外の場合、入出力ポートとなり、PGDDR によって端子機能を切り替えることができます。PG3 ~ PG0 端子は $\overline{\text{CS}}$ 出力許可ビット (CS3E ~ CS0E) を 1 にセットしたとき、PGDDR を 1 にセットすると $\overline{\text{CS}}$ 出力となり、0 にクリアすると入力ポートとなります。CS 出力許可ビット (CS3E ~ CS0E) を 0 にクリアすると入出力ポートとなり、PGDDR によって端子機能を切り替えることができます。 • モード 3、7 (EXPE=1) のとき PG6 ~ PG4 端子は、バスコントローラの設定によりバス制御入出力 ($\overline{\text{BREQ}}$、$\overline{\text{BACK}}$、$\overline{\text{BREQO}}$) となります。それ以外の場合、PGDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。PG3 ~ PG0 端子は CS 出力許可ビット (CS3E ~ CS0E) を 1 にセットしたとき、PGDDR を 1 にセットすると $\overline{\text{CS}}$ 出力となり、0 にクリアすると入力ポートとなります。$\overline{\text{CS}}$ 出力許可ビット (CS3E ~ CS0E) を 0 にクリアすると入出力ポートとなり、PGDDR によって端子機能を切り替えることができます。 • モード 3、7 (EXPE=0) のとき PG6 ~ PG0 端子は入出力ポートとなり、PGDDR によって端子機能を切り替えることができます。
5	PG5DDR	0	W	
4	PG4DDR	0	W	
3	PG3DDR	0	W	
2	PG2DDR	0	W	
1	PG1DDR	0	W	
0	PG0DDR	1/0*	W	

【注】 * モード 1、2、5、6 のときは 1 に、モード 3、4、7 のときは 0 になります。

8.15.2 ポート G データレジスタ (PGDR)

PGDR は、ポート G の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	-	1	-	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
6	PG6DR	1	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
5	PG5DR	1	R/W	
4	PG4DR	1	R/W	
3	PG3DR	1	R/W	
2	PG2DR	1	R/W	
1	PG1DR	1	R/W	
0	PG0DR	1	R/W	

8.15.3 ポート G レジスタ (PORTG)

PORTG は、ポート G の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	-	不定	-	リザーブビット リードすると不定値が読み出されます。
6	PG6	- *	R	このレジスタをリードすると、PGDDR がセットされているビットは、PGDR の値がリードされます。PGDDR がクリアされているビットは端子の状態がリードされます。
5	PG5	- *	R	
4	PG4	- *	R	
3	PG3	- *	R	
2	PG2	- *	R	
1	PG1	- *	R	
0	PG0	- *	R	

【注】 * PG6 ~ PG0 端子の状態により決定されます。

8. I/O ポート

8.15.4 ポートファンクションコントロールレジスタ 0 (PFCR0)

PFCR0 は、I/O ポートの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	CS7E	1	R/W	CS7 ~ CS0 イネーブル 対応する \overline{CSn} 出力の出力許可/禁止を選択します。 0:I/O ポートとして設定 1: \overline{CSn} 出力端子として設定 (n=7~0)
6	CS6E	1	R/W	
5	CS5E	1	R/W	
4	CS4E	1	R/W	
3	CS3E	1	R/W	
2	CS2E	1	R/W	
1	CS1E	1	R/W	
0	CS0E	1	R/W	

8.15.5 端子機能

ポート G はバス制御信号入出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PG6/ \overline{BREQ}

動作モードと EXPE ビット、BRLE ビット、PG6DDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6			3、7				
EXPE	-			0		1		
BRLE	0		1	-		0		1
PG6DDR	0	1	-	0	1	0	1	-
端子機能	PG6 入力	PG6 出力	\overline{BREQ} 入力	PG6 入力	PG6 出力	PG6 入力	PG6 出力	\overline{BREQ} 入力

- PG5/ \overline{BACK}

動作モードと EXPE ビット、BRLE ビット、PG5DDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6			3、7				
EXPE	-			0		1		
BRLE	0		1	-		0		1
PG5DDR	0	1	-	0	1	0	1	-
端子機能	PG5 入力	PG5 出力	\overline{BACK} 出力	PG5 入力	PG5 出力	PG5 入力	PG5 出力	\overline{BACK} 出力

- PG4/ $\overline{\text{BREQO}}$

動作モードと EXPE ビット、BRLE ビット、BREQO ビット、PG4DDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6					3、7						
EXPE	-					0		1				
BRLE	0		1			-		0		1		
BREQO	-		0		1	-		-		0		1
PG5DDR	0	1	0	1	-	0	1	0	1	0	1	-
端子機能	PG4 入力	PG4 出力	PG4 入力	PG4 出力	$\overline{\text{BREQO}}$ 出力	PG4 入力	PG4 出力	PG4 入力	PG4 出力	PG4 入力	PG4 出力	$\overline{\text{BREQO}}$ 出力

- PG3/ $\overline{\text{CS3}}$ 、PG2/ $\overline{\text{CS2}}$ 、PG1/ $\overline{\text{CS1}}$ 、PG0/ $\overline{\text{CS0}}$

動作モードと EXPE ビット、CSnE ビット、PGnDDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6				3、7					
EXPE	-				0		1			
CSnE	0		1		-		0		1	
PGnDDR	0	1	0	1	0	1	0	1	0	1
端子機能	PGn 入力	PGn 出力	PGn 入力	$\overline{\text{CSn}}$ 出力	PGn 入力	PGn 出力	PGn 入力	PGn 出力	PGn 入力	$\overline{\text{CSn}}$ 出力

n=0~3

8. I/O ポート

8.16 ポート H

ポート H は 4 ビットの兼用入出力ポートです。ポート H には以下のレジスタがあります。ポートファンクションコントロールレジスタ 0 については「8.15.4 ポートファンクションコントロールレジスタ 0 (PFCR0)」を参照してください。

- ポート H データディレクションレジスタ (PHDDR)
- ポート H データレジスタ (PHDR)
- ポート H レジスタ (PORTH)
- ポートファンクションコントロールレジスタ 0 (PFCR0)

8.16.1 ポート H データディレクションレジスタ (PHDDR)

PHDDR は、ポート H の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7~4	-	0	-	リザーブビット リードすると不定値が読み出されます。
3	PH3DDR	0	W	• モード 1、2、3 (EXPE=1)、4~6、7 (EXPE=1) のとき PH3~PH0 端子は \overline{CS} 出力許可ビット (CS7E~CS4E) を 1 にセットしたとき、PHDDR を 1 にセットすると \overline{CS} 出力となり、0 にクリアすると入力ポートとなります。 \overline{CS} 出力許可ビット (CS7E~CS4E) を 0 にクリアすると入出力ポートとなり、PHDDR によって端子機能を切り替えることができます。 • モード 3 (EXPE=0)、7 (EXPE=0) のとき PH3~PH0 端子は入出力ポートとなり、PHDDR によって端子機能を切り替えることができます。
2	PH2DDR	0	W	
1	PH1DDR	0	W	
0	PH0DDR	0	W	

8.16.2 ポート H データレジスタ (PHDR)

PHDR は、ポート H の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7~4	-	0	-	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
3	PH3DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
2	PH2DR	0	R/W	
1	PH1DR	0	R/W	
0	PH0DR	0	R/W	

8.16.3 ポート H レジスタ (PORTH)

PORTH は、ポート H の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~4	-	不定	-	リザーブビット リードすると不定値が読み出されます。
3	PH3	- *	R	このレジスタをリードすると、PHDDR がセットされているビットは、PHDR の値がリードされます。PHDDR がクリアされているビットは端子の状態がリードされます。
2	PH2	- *	R	
1	PH1	- *	R	
0	PH0	- *	R	

【注】 * PH3~PH0 端子の状態により決定されます。

8.16.4 端子機能

ポート H はバス制御信号入出力端子、割り込み入力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PH3/ $\overline{\text{CS7}}$ ($\overline{\text{IRQ7}}$)

動作モードと EXPE ビット、CS7E ビット、PH3DDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6				3、7					
	EXPE	-				0		1		
CS7E	0		1		-		0		1	
PH3DDR	0	1	0	1	0	1	0	1	0	1
端子機能	PH3	PH3	PH3	$\overline{\text{CS7}}$	PH3	PH3	PH3	PH3	PH3	$\overline{\text{CS7}}$
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力
	$\overline{\text{IRQ7}}$ 入力*									

【注】 * ITS7 の ITS7 ビットが 1 にセットされているとき $\overline{\text{IRQ7}}$ 入力

8. I/O ポート

- PH2/ $\overline{\text{CS6}}$ ($\overline{\text{IRQ6}}$)

動作モードと EXPE ビット、CS6E ビット、PH2DDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6				3、7					
EXPE	-				0		1			
CS6E	0		1		-		0		1	
PH2DDR	0	1	0	1	0	1	0	1	0	1
端子機能	PH2 入力	PH2 出力	PH2 入力	$\overline{\text{CS6}}$ 出力	PH2 入力	PH2 出力	PH2 入力	PH2 出力	PH2 入力	$\overline{\text{CS6}}$ 出力
	$\overline{\text{IRQ6}}$ 入力*									

【注】 * ITSR の ITS6 ビットが 1 にセットされているとき $\overline{\text{IRQ6}}$ 入力

- PH1/ $\overline{\text{CS5}}$ 、PH0/ $\overline{\text{CS4}}$

動作モードと EXPE ビット、CSnE ビット、PHmDDR ビットにより、次のように切り替わります。

動作モード	1、2、4、5、6				3、7					
EXPE	-				0		1			
CSnE	0		1		-		0		1	
PHmDDR	0	1	0	1	0	1	0	1	0	1
端子機能	PHm 入力	PHm 出力	PHm 入力	$\overline{\text{CSn}}$ 出力	PHm 入力	PHm 出力	PHm 入力	PHm 出力	PHm 入力	$\overline{\text{CSn}}$ 出力

n=4、5 m=0、1

9. 16ビットタイマパルスユニット (TPU)

本 LSI は、6 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を内蔵しています。16 ビットタイマパルスユニットの機能一覧を表 9.1 に、ブロック図を図 9.1 に示します。

9.1 特長

- 最大16本のパルス入出力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 各チャンネルとも次の動作を設定可能：コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大15相のPWM出力
- チャンネル0、3はバッファ動作を設定可能
- チャンネル1、2、4、5は各々独立に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 26種類の割り込み要因
- レジスタデータの自動転送が可能
- プログラマブルパルスジェネレータ (PPG) の出力トリガを生成可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールストップモードの設定可能

9. 16ビットタイマパルスユニット (TPU)

表 9.1 TPU の機能一覧 (1)

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4	チャンネル 5
カウントクロック	/1 /4 /16 /64 TCLKA TCLKB TCLKC TCLKD	/1 /4 /16 /64 /256 TCLKA TCLKB TCLKC TCLKD	/1 /4 /16 /64 /1024 TCLKA TCLKB TCLKC TCLKC	/1 /4 /16 /64 /256 /1024 /4096 TCLKA	/1 /4 /16 /64 /1024 TCLKA TCLKC	/1 /4 /16 /64 /256 TCLKA TCLKC TCLKD
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4	TGRA_5 TGRB_5
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0	-	-	TGRC_3 TGRD_3	-	-
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5
カウンタクリア 機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コンペア マッチ 出力	0 出力					
	1 出力					
	トグル 出力					
インプットキャプチャ 機能						
同期動作						
PWM モード						
位相計数モード	-			-		
バッファ動作		-	-		-	-
DTC の起動	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ

【記号説明】

: 可能

- : 不可

表 9.1 TPU の機能一覧 (2)

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
A/D 変換開始トリガ	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ	TGRA_5 の コンペアマッチ または インプット キャプチャ
PPG トリガ	TGRA_0、 TGRB_0 の コンペアマッチ または インプット キャプチャ	TGRA_1、 TGRB_1 の コンペアマッチ または インプット キャプチャ	TGRA_2、 TGRB_2 の コンペアマッチ または インプット キャプチャ	TGRA_3、 TGRB_3 の コンペアマッチ または インプット キャプチャ	-	-
割り込み要因	5 要因 ・コンペアマッチ /インプット キャプチャ 0A ・コンペアマッチ /インプット キャプチャ 0B ・コンペアマッチ /インプット キャプチャ 0C ・コンペアマッチ /インプット キャプチャ 0D ・オーバフロー	4 要因 ・コンペアマッチ /インプット キャプチャ 1A ・コンペアマッチ /インプット キャプチャ 1B ・オーバフロー ・アンダフロー	4 要因 ・コンペアマッチ /インプット キャプチャ 2A ・コンペアマッチ /インプット キャプチャ 2B ・オーバフロー ・アンダフロー	5 要因 ・コンペアマッチ /インプット キャプチャ 3A ・コンペアマッチ /インプット キャプチャ 3B ・コンペアマッチ /インプット キャプチャ 3C ・コンペアマッチ /インプット キャプチャ 3D ・オーバフロー	4 要因 ・コンペアマッチ /インプット キャプチャ 4A ・コンペアマッチ /インプット キャプチャ 4B ・オーバフロー ・アンダフロー	4 要因 ・コンペアマッチ /インプット キャプチャ 5A ・コンペアマッチ /インプット キャプチャ 5B ・オーバフロー ・アンダフロー

9. 16ビットタイマパルスユニット (TPU)

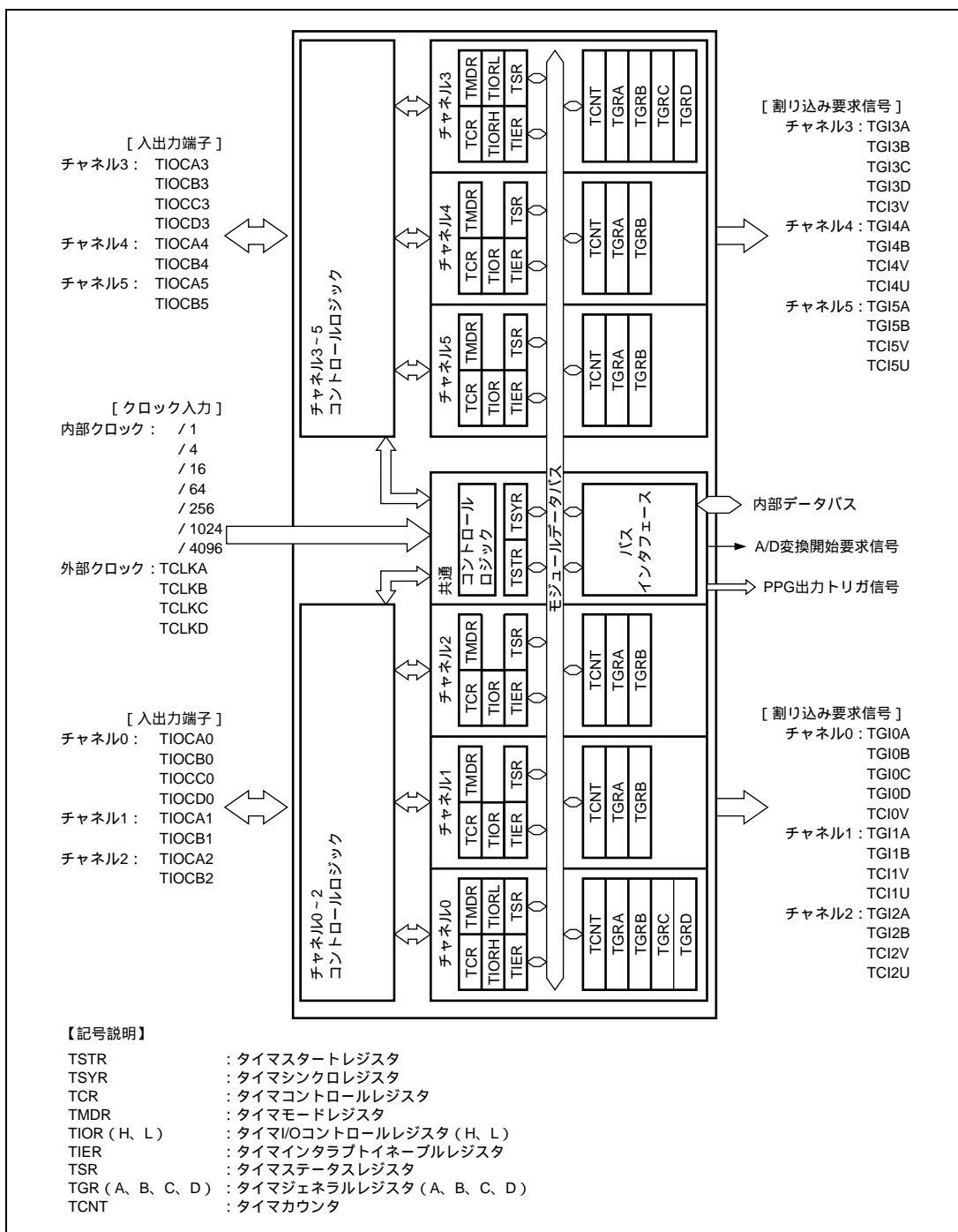


図 9.1 TPU のブロック図

9.2 入出力端子

表 9.2 端子構成

チャンネル	名称	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1、5 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1、5 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2、4 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2、4 の位相計数モード B 相入力)
0	TIOCA0	入出力	TGRA_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCB0	入出力	TGRB_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCC0	入出力	TGRC_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCD0	入出力	TGRD_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
1	TIOCA1	入出力	TGRA_1 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCB1	入出力	TGRB_1 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
2	TIOCA2	入出力	TGRA_2 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCB2	入出力	TGRB_2 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
3	TIOCA3	入出力	TGRA_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCB3	入出力	TGRB_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCC3	入出力	TGRC_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCD3	入出力	TGRD_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
4	TIOCA4	入出力	TGRA_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCB4	入出力	TGRB_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
5	TIOCA5	入出力	TGRA_5 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCB5	入出力	TGRB_5 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子

9.3 レジスタの説明

TPU には各チャンネルに以下のレジスタがあります。

- タイマコントロールレジスタ_0 (TCR_0)
- タイマモードレジスタ_0 (TMDR_0)
- タイマI/OコントロールレジスタH_0 (TIORH_0)
- タイマI/OコントロールレジスタL_0 (TIORL_0)
- タイマインタラプトイネーブルレジスタ_0 (TIER_0)
- タイマステータスレジスタ_0 (TSR_0)
- タイマカウンタ_0 (TCNT_0)
- タイマジェネラルレジスタA_0 (TGRA_0)
- タイマジェネラルレジスタB_0 (TGRB_0)
- タイマジェネラルレジスタC_0 (TGRC_0)
- タイマジェネラルレジスタD_0 (TGRD_0)
- タイマコントロールレジスタ_1 (TCR_1)
- タイマモードレジスタ_1 (TMDR_1)
- タイマI/Oコントロールレジスタ_1 (TIOR_1)
- タイマインタラプトイネーブルレジスタ_1 (TIER_1)
- タイマステータスレジスタ_1 (TSR_1)
- タイマカウンタ_1 (TCNT_1)
- タイマジェネラルレジスタA_1 (TGRA_1)
- タイマジェネラルレジスタB_1 (TGRB_1)
- タイマコントロールレジスタ_2 (TCR_2)
- タイマモードレジスタ_2 (TMDR_2)
- タイマI/Oコントロールレジスタ_2 (TIOR_2)
- タイマインタラプトイネーブルレジスタ_2 (TIER_2)
- タイマステータスレジスタ_2 (TSR_2)
- タイマカウンタ_2 (TCNT_2)
- タイマジェネラルレジスタA_2 (TGRA_2)
- タイマジェネラルレジスタB_2 (TGRB_2)
- タイマコントロールレジスタ_3 (TCR_3)
- タイマモードレジスタ_3 (TMDR_3)
- タイマI/OコントロールレジスタH_3 (TIORH_3)

- タイマI/OコントロールレジスタL_3 (TIORL_3)
- タイマインタラプトイネーブルレジスタ_3 (TIER_3)
- タイマステータスレジスタ_3 (TSR_3)
- タイマカウンタ_3 (TCNT_3)
- タイマジェネラルレジスタA_3 (TGRA_3)
- タイマジェネラルレジスタB_3 (TGRB_3)
- タイマジェネラルレジスタC_3 (TGRC_3)
- タイマジェネラルレジスタD_3 (TGRD_3)
- タイマコントロールレジスタ_4 (TCR_4)
- タイマモードレジスタ_4 (TMDR_4)
- タイマI/Oコントロールレジスタ_4 (TIOR_4)
- タイマインタラプトイネーブルレジスタ_4 (TIER_4)
- タイマステータスレジスタ_4 (TSR_4)
- タイマカウンタ_4 (TCNT_4)
- タイマジェネラルレジスタA_4 (TGRA_4)
- タイマジェネラルレジスタB_4 (TGRB_4)
- タイマコントロールレジスタ_5 (TCR_5)
- タイマモードレジスタ_5 (TMDR_5)
- タイマI/Oコントロールレジスタ_5 (TIOR_5)
- タイマインタラプトイネーブルレジスタ_5 (TIER_5)
- タイマステータスレジスタ_5 (TSR_5)
- タイマカウンタ_5 (TCNT_5)
- タイマジェネラルレジスタA_5 (TGRA_5)
- タイマジェネラルレジスタB_5 (TGRB_5)

共通レジスタ

- タイマスタートレジスタ (TSTR)
- タイマシンクロレジスタ (TSYR)

9. 16 ビットタイマパルスユニット (TPU)

9.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御します。TPU には、各チャンネルに 1 本、計 6 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7	CCLR2	0	R/W	カウンタクリア 2、1、0
6	CCLR1	0	R/W	TCNT のカウンタクリア要因を選択します。詳細は表 9.3、表 9.4 を参照してください。
5	CCLR0	0	R/W	
4	CKEG1	0	R/W	
3	CKEG0	0	R/W	<p>入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: /4 の両エッジ = /2 の立ち上がりエッジ)。チャンネル 1、2、4、5 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが /4 もしくはそれより遅い場合に有効です。入力クロックに /1、あるいは他のチャンネルのオーバーフロー/アンダフローを選択した場合は本設定は無視されます。</p> <p>00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1X: 両エッジでカウント</p>
2	TPSC2	0	R/W	タイマプリスケアラ 2、1、0
1	TPSC1	0	R/W	TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 9.5 ~ 表 9.10 を参照してください。
0	TPSC0	0	R/W	

【記号説明】 X : Don't care

表 9.3 CCLR2 ~ CCLR0 (チャンネル 0、3)

チャンネル	ビット 7	ビット 6	ビット 5	説明
	CCLR2	CCLR1	CCLR0	
0、3	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ/インプットキャプチャで TCNT クリア*2
	1	1	0	TGRD のコンペアマッチ/インプットキャプチャで TCNT クリア*2
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNT はクリアされません。

表 9.4 CCLR2~CCLR0 (チャンネル 1、2、4、5)

チャンネル	ビット 7	ビット 6	ビット 5	説明
	リザーブ*2	CCLR1	CCLR0	
1、2、 4、5	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチインプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチインプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 チャンネル 1、2、4、5 ではビット 7 はリザーブです。リードすると常に 0 がリードされます。ライトは無効です。

表 9.5 TPSC2~TPSC0(チャンネル 0)

チャンネル	ビット 2	ビット 1	ビット 0	説明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : /1 でカウント
	0	0	1	内部クロック : /4 でカウント
	0	1	0	内部クロック : /16 でカウント
	0	1	1	内部クロック : /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 9.6 TPSC2~TPSC0(チャンネル 1)

チャンネル	ビット 2	ビット 1	ビット 0	説明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : /1 でカウント
	0	0	1	内部クロック : /4 でカウント
	0	1	0	内部クロック : /16 でカウント
	0	1	1	内部クロック : /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : /256 でカウント
	1	1	1	TCNT2 のオーバフロー/アンダフローでカウント

【注】チャンネル 1 が位相計数モード時、この設定は無効になります。

9. 16 ビットタイマパルスユニット (TPU)

表 9.7 TPSC2 ~ TPSC0(チャンネル 2)

チャンネル	ビット 2	ビット 1	ビット 0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : /1 でカウント
	0	0	1	内部クロック : /4 でカウント
	0	1	0	内部クロック : /16 でカウント
	0	1	1	内部クロック : /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : /1024 でカウント

【注】チャンネル 2 が位相計数モード時、この設定は無効になります。

表 9.8 TPSC2 ~ TPSC0(チャンネル 3)

チャンネル	ビット 2	ビット 1	ビット 0	説明
	TPSC2	TPSC1	TPSC0	
3	0	0	0	内部クロック : /1 でカウント
	0	0	1	内部クロック : /4 でカウント
	0	1	0	内部クロック : /16 でカウント
	0	1	1	内部クロック : /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	内部クロック : /1024 でカウント
	1	1	0	内部クロック : /256 でカウント
	1	1	1	内部クロック : /4096 でカウント

表 9.9 TPSC2 ~ TPSC0(チャンネル 4)

チャンネル	ビット 2	ビット 1	ビット 0	説明
	TPSC2	TPSC1	TPSC0	
4	0	0	0	内部クロック : /1 でカウント
	0	0	1	内部クロック : /4 でカウント
	0	1	0	内部クロック : /16 でカウント
	0	1	1	内部クロック : /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKC 端子入力でカウント
	1	1	0	内部クロック : /1024 でカウント
	1	1	1	TCNT5 のオーバフロー/アンダフローでカウント

【注】チャンネル 4 が位相計数モード時、この設定は無効になります。

表 9.10 TPSC2 ~ TPSC0 (チャンネル 5)

チャンネル	ビット 2	ビット 1	ビット 0	説明
	TPSC2	TPSC1	TPSC0	
5	0	0	0	内部クロック : /1 でカウント
	0	0	1	内部クロック : /4 でカウント
	0	1	0	内部クロック : /16 でカウント
	0	1	1	内部クロック : /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKC 端子入力でカウント
	1	1	0	内部クロック : /256 でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

【注】チャンネル 5 が位相計数モード時、この設定は無効になります。

9.3.2 タイマモードレジスタ (TMDR)

TMDR は、各チャンネルの動作モードの設定を行います。TPU には、各チャンネルに 1 本、計 6 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7	—	1		リザーブ
6	—	1	—	リードすると常に 1 が読み出されます。ライトは無効です。
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRD を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRB は通常動作 1 : TGRB と TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRC を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0 : TGRA は通常動作 1 : TGRA と TGRC はバッファ動作
3	MD3	0	R/W	モード 3 ~ 0 MD3 ~ MD0 はタイマの動作モードを設定します。 MD3 はリザーブビットです。ライト時には常に 0 としてください。 詳細は表 9.11 を参照してください。
2	MD2	0		
1	MD1	0		
0	MD0	0		

9. 16 ビットタイマパルスユニット (TPU)

表 9.11 MD3 ~ MD0

ビット3	ビット2	ビット1	ビット0	説明
MD3* ¹	MD2* ²	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	リザーブ
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2
0	1	0	0	位相計数モード 1
0	1	0	1	位相計数モード 2
0	1	1	0	位相計数モード 3
0	1	1	1	位相計数モード 4
1	X	X	X	

【記号説明】 X : Don't care

【注】 *1 MD3 はリザーブビットです。ライト時には常に 0 としてください。

*2 チャンネル 0、3 では、位相計数モードの設定はできません。MD2 には常に 0 をライトしてください。

9.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TGR を制御します。TPU には、チャンネル 0、3 に各 2 本、チャンネル 1、2、4、5 に各 1 本、計 8 本の TIOR があります。TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタが停止した状態 (TSTR の CST ビットを 0 にクリアした) で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

- TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIOR_4、TIOR_5

ビット	ビット名	初期値	R/W	説明
7	IOB3	0	R/W	I/O コントロール B3 ~ B0 TGRB の機能を設定します。詳細は表 9.12、表 9.14、表 9.15、表 9.16、表 9.18、表 9.19 を参照してください。
6	IOB2	0	R/W	
5	IOB1	0	R/W	
4	IOB0	0	R/W	
3	IOA3	0	R/W	I/O コントロール A3 ~ A0 TGRA の機能を設定します。詳細は表 9.20、表 9.22、表 9.23、表 9.24、表 9.26、表 9.27 を参照してください。
2	IOA2	0	R/W	
1	IOA1	0	R/W	
0	IOA0	0	R/W	

9. 16 ビットタイムパルスユニット (TPU)

• TIORL_0、TIORL_3

ビット	ビット名	初期値	R/W	説明
7	IOD3	0	R/W	I/O コントロール D3 ~ D0 TGRD の機能を設定します。詳細は表 9.13、表 9.17 を参照してください。
6	IOD2	0	R/W	
5	IOD1	0	R/W	
4	IOD0	0	R/W	
3	IOC3	0	R/W	I/O コントロール C3 ~ C0 TGRC の機能を設定します。詳細は表 9.21、表 9.25 を参照してください。
2	IOC2	0	R/W	
1	IOC1	0	R/W	
0	IOC0	0	R/W	

表 9.12 TIORH_0

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOCB0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCB0 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでイン プットキャプチャ*

【記号説明】 X: Don't care

【注】 * TCR_1 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT_1 のカウントクロックに /1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

9. 16 ビットタイマパルスユニット (TPU)

表 9.13 TIORL_0

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOCD0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* ²	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ* ²	キャプチャ入力元は TIOCD0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCD0 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでイン プットキャプチャ* ¹

【記号説明】 X : Don't care

【注】 *1 TCR_1 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT_1 のカウントクロックに /1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 9.14 TIOR_1

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_1の機能	TIOCB1 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCB1 端子 両エッジでインプットキャプチャ
1	1	X	X		TGRC_0 コンペアマッチ/インプットキャプチャ TGRC_0 のコンペアマッチ/インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 X : Don't care

9. 16 ビットタイマパルスユニット (TPU)

表 9.15 TIOR_2

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_2の機能	TIOCB2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	X	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB2 端子 立ち上がりエッジでインプットキャプチャ
1	X	0	1		キャプチャ入力元は TIOCB2 端子 立ち下がりエッジでインプットキャプチャ
1	X	1	X		キャプチャ入力元は TIOCB2 端子 両エッジでインプットキャプチャ

【記号説明】 X : Don't care

表 9.16 TIORH_3

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_3の機能	TIOCB3 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCB3 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 4/カウントクロック TCNT_4 のカウントアップ/カウントダウンでイン プットキャプチャ*

【記号説明】 X : Don't care

【注】* TCR_4 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT_4 のカウントクロックに /1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

9. 16 ビットタイマパルスユニット (TPU)

表 9.17 TIORL_3

ビット7	ビット6	ビット5	ビット4	説明	
IOD3	IOD2	IOD1	IOD0	TGRD_3 の機能	TIOCD3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	キャプチャ入力元は TIOCD3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCD3 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 4/カウントクロック TCNT_4 のカウントアップ/カウントダウンでイン プットキャプチャ*1

【記号説明】 X : Don't care

【注】 *1 TCR_4 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT_4 のカウントクロックに /1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_3 の BFB ビットを 1 にセットして TGRD_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 9.18 TIOR_4

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_4 の機能	TIOCB4 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB4 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB4 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCB4 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元は TGRC_3 コンペアマッチ/インプットキャプチャ TGRC_3 のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

【記号説明】 X : Don't care

9. 16 ビットタイマパルスユニット (TPU)

表 9.19 TIOR_5

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_5の機能	TIOCB5 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	X	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB5 端子 立ち上がりエッジでインプットキャプチャ
1	X	0	1		キャプチャ入力元は TIOCB5 端子 立ち下がりエッジでインプットキャプチャ
1	X	1	X		キャプチャ入力元は TIOCB5 端子 両エッジでインプットキャプチャ

【記号説明】 X : Don't care

表 9.20 TIORH_0

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOCA0 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	1	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA0 端子 立ち下がりエッジでインプットキャプチャ
1	0	0	0		キャプチャ入力元は TIOCA0 端子 立ち上がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCA0 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでイン プットキャプチャ

【記号説明】 X : Don't care

9. 16 ビットタイマパルスユニット (TPU)

表 9.21 TIORL_0

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOCC0 の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCC0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCC0 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャネル 1/カウントクロック TCNT_1 のカウントアップ/カウントダウンでイン プットキャプチャ

【記号説明】 X : Don't care

【注】 * TMDR_0 の BFA ビットを 1 にセットして TGRC_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 9.22 TIOR_1

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_1の機能	TIOCA1 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCA1 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元は TGRA_0 コンペアマッチ/イン プットキャプチャ チャンネル 0/TGRA_0 のコンペアマッチ/インプット キャプチャの発生でインプットキャプチャ

【記号説明】 X : Don't care

9. 16 ビットタイマパルスユニット (TPU)

表 9.23 TIOR_2

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_2の機能	TIOCA2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	X	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA2 端子 立ち上がりエッジでインプットキャプチャ
1	X	0	1		キャプチャ入力元は TIOCA2 端子 立ち下がりエッジでインプットキャプチャ
1	X	1	X		キャプチャ入力元は TIOCA2 端子 両エッジでインプットキャプチャ

【記号説明】 X : Don't care

表 9.24 TIORH_3

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_3 の機能	TIOCA3 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCA3 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 4/カウントクロック TCNT_4 のカウントアップ/カウントダウンでイン プットキャプチャ

【記号説明】 X : Don't care

9. 16 ビットタイマパルスユニット (TPU)

表 9.25 TIORL_3

ビット3	ビット2	ビット1	ビット0	説明	
IOC3	IOC2	IOC1	IOC0	TGRC_3 の端子	TIOCC3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCC3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCC3 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 4/カウントクロック TCNT_4 のカウントアップ/カウントダウンでイン プットキャプチャ

【記号説明】 X : Don't care

【注】 * TMDR_3 の BFA ビットを 1 にセットして TGRC_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 9.26 TIOR_4

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_4 の機能	TIOCA4 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA4 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA4 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCA4 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元は TGRA_3 コンペアマッチ/イン プットキャプチャ TGRA_3 のコンペアマッチ/インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 X : Don't care

9. 16 ビットタイマパルスユニット (TPU)

表 9.27 TIOR_5

ビット3	ビット2	ビット1	ビット0	説明	
IOA3	IOA2	IOA1	IOA0	TGRA_5の機能	TIOCA5 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	X	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA5 端子 立ち上がりエッジでインプットキャプチャ
1	X	0	1		キャプチャ入力元は TIOCA5 端子 立ち下がりエッジでインプットキャプチャ
1	X	1	X		キャプチャ入力元は TIOCA5 端子 両エッジでインプットキャプチャ

【記号説明】 X : Don't care

9.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、各チャンネルに 1 本、計 6 本の TIER があります。

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ/コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6		1		リザーブビット リードすると 1 がリードされます。ライトは無効です
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2、4、5 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0、3 ではリザーブビットです。 リードすると常に 0 がリードされます。ライトは無効です。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可
3	TGIED	0	R/W	TGR インタラプトイネーブル D チャンネル 0、3 で TSR の TGF D ビットが 1 にセットされたとき、TGF D ビットによる割り込み要求 (TGID) を許可または禁止します。チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 0 : TGF D ビットによる割り込み要求 (TGID) を禁止 1 : TGF D ビットによる割り込み要求 (TGID) を許可
2	TGIEC	0	R/W	TGR インタラプトイネーブル C チャンネル 0、3 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。 チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可

9. 16 ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。 0 : TGFB ビットによる割り込み要求(TGIB)を禁止 1 : TGFB ビットによる割り込み要求(TGIB)を許可
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。 0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可

9.3.5 タイマステータスレジスタ (TSR)

TSR は、各チャンネルのステータスの表示を行います。TPU には、各チャンネルに 1 本、計 6 本の TSR があります。

ビット	ビット名	初期値	R/W	説明
7	TCFD	1	R	カウント方向フラグ チャンネル 1、2、4、5 の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0、3 ではリザーブビットです。リードすると常に 1 がリードされます。 ライトは無効です。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6		1		リザーブビット リードすると常に 1 がリードされます。ライトは無効です
5	TCFU	0	R/(W)*	アンダフローフラグ チャンネル 1、2、4、5 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。 チャンネル 0、3 ではリザーブビットです。リードすると常に 0 がリードされます。 ライトは無効です。 [セット条件] TCNT の値がアンダフロー (H'0000 H'FFFF) したとき [クリア条件] TCFU = 1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき
4	TCFV	0	R/(W)*	オーバーフローフラグ (TCFV) TCNT のオーバーフローの発生を示すステータスフラグです。 [セット条件] TCNT の値がオーバーフローしたとき (H'FFFF H'0000) [クリア条件] TCFV = 1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき

9. 16 ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
3	TGFD	0	R/(W)*	<p>インพุットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0、3 の TGRD のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされません。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき • TGRD がインพุットキャプチャとして機能している場合、インพุットキャプチャ信号により TCNT の値が TGRD に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGID 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFD = 1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき
2	TGFC	0	R/(W)*	<p>インพุットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0、3 の TGRC のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされません。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき • TGRC がインพุットキャプチャとして機能している場合、インพุットキャプチャ信号により TCNT の値が TGRC に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIC 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき
1	TGFB	0	R/(W)*	<p>インพุットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき • TGRB がインพุットキャプチャとして機能している場合、インพุットキャプチャ信号により TCNT の値が TGRB に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき

9. 16 ビットタイマパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R/(W)*	インプットキャプチャ/アウトプットコンペアフラグ A TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none">• TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき• TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき [クリア条件] <ul style="list-style-type: none">• TGIA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき• TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

9.3.6 タイマカウンタ (TCNT)

TCNT は 16 ビットのリード/ライト可能なカウンタです。各チャンネルに 1 本、計 6 本の TCNT があります。

TCNT は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

9.3.7 タイマジェネラルレジスタ (TGR)

TGR は 16 ビットのリード/ライト可能なアウトプットコンペア/インプットキャプチャ兼用のレジスタです。チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のジェネラルレジスタがあります。チャンネル 0、3 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。TGR とバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD になります。

9.3.8 タイマスタートレジスタ (TSTR)

TSTR は、チャンネル0~5のTCNTの動作/停止を選択します。TMDRへ動作モードを設定する場合やTCRへTCNTのカウントクロックを設定する場合は、TCNTのカウント動作を停止してから行ってください。

ビット	ビット名	初期値	R/W	説明
7		0		リザーブビット
6				ライト時は必ず0としてください。
5	CST5	0	R/W	カウンタスタート5~0
4	CST4	0	R/W	TCNTの動作または停止を選択します。
3	CST3	0	R/W	TIOC端子を出力状態で動作中に、CSTビットに0をライトするとカウンタは停止しますが、TIOC端子のアウトプットコンペア出力レベルは保持されます。
2	CST2	0	R/W	CSTビットが0の状態ではTIORへのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。
1	CST1	0	R/W	
0	CST0	0	R/W	0 : TCNT_5 ~ TCNT_0 のカウント動作は停止 1 : TCNT_5 ~ TCNT_0 はカウント動作

9.3.9 タイマシンクロレジスタ (TSYR)

TSYR は、チャンネル0~5のTCNTの独立動作または同期動作を選択します。対応するビットを1にセットしたチャンネルが同期動作を行います。

ビット	ビット名	初期値	R/W	説明
7		0	R/W	リザーブビット
6				ライト時は必ず0としてください。
5	SYNC5	0	R/W	タイマ同期5~0
4	SYNC4	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
3	SYNC3	0	R/W	同期動作を選択すると、複数のTCNTの同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。
2	SYNC2	0	R/W	同期動作の設定には、最低2チャンネルのSYNCビットを1にセットする必要があります。同期クリアの設定には、SYNCビットの他にTCRのCCLR2~CCLR0ビットで、TCNTのクリア要因を設定する必要があります。
1	SYNC1	0	R/W	
0	SYNC0	0	R/W	0 : TCNT_5 ~ TCNT_0 は独立動作 (TCNTのプリセット/クリアは他チャンネルと無関係) 1 : TCNT_5 ~ TCNT_0 は同期動作 TCNTの同期プリセット/同期クリアが可能

9.4 動作説明

9.4.1 基本動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTR の CST0 ~ CST5 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 9.2 に示します。

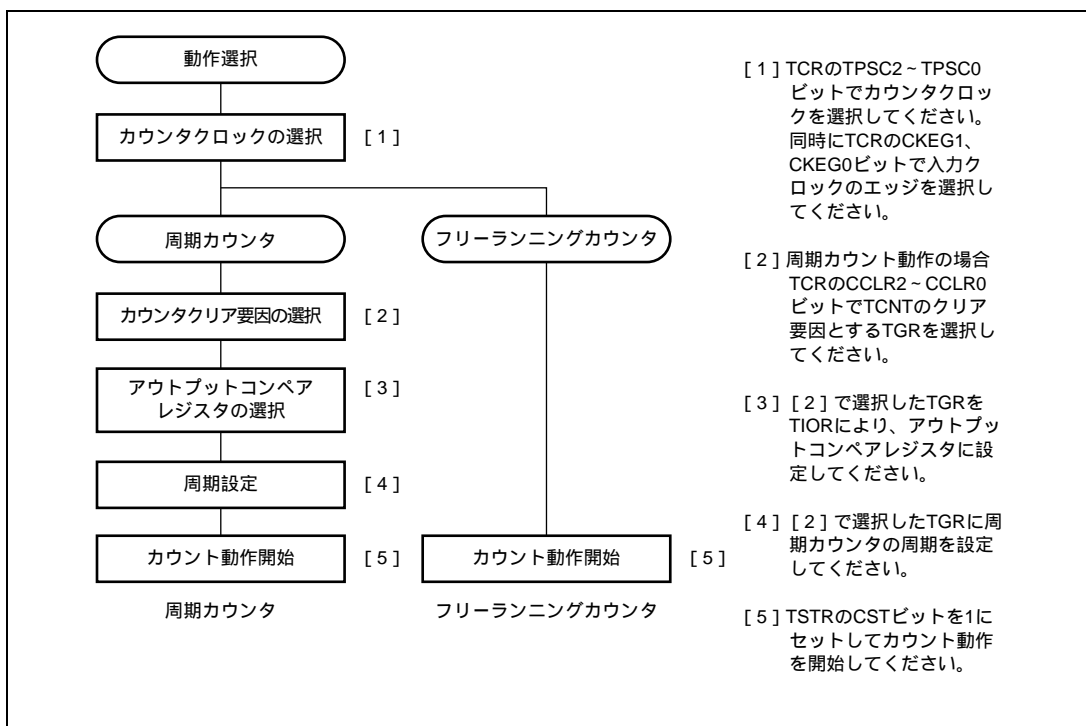


図 9.2 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー(H'FFFF H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、TPU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 9.3 に示します。

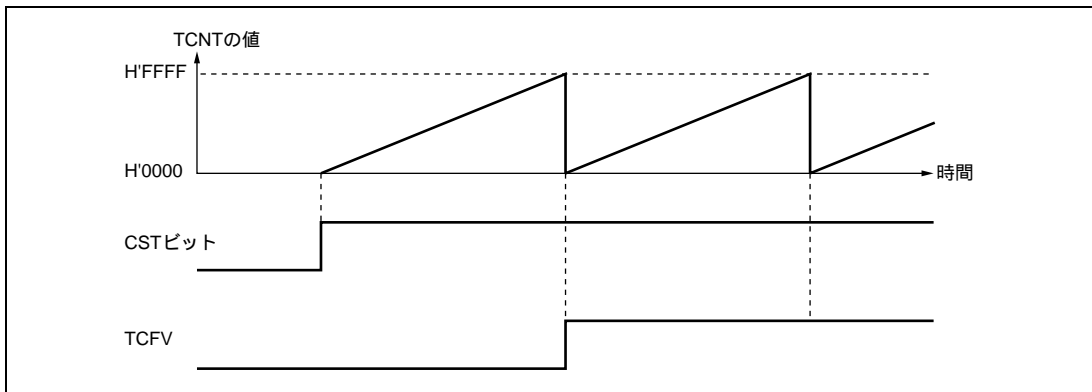


図 9.3 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2~CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、TPU は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 9.4 に示します。

9. 16 ビットタイマパルスユニット (TPU)

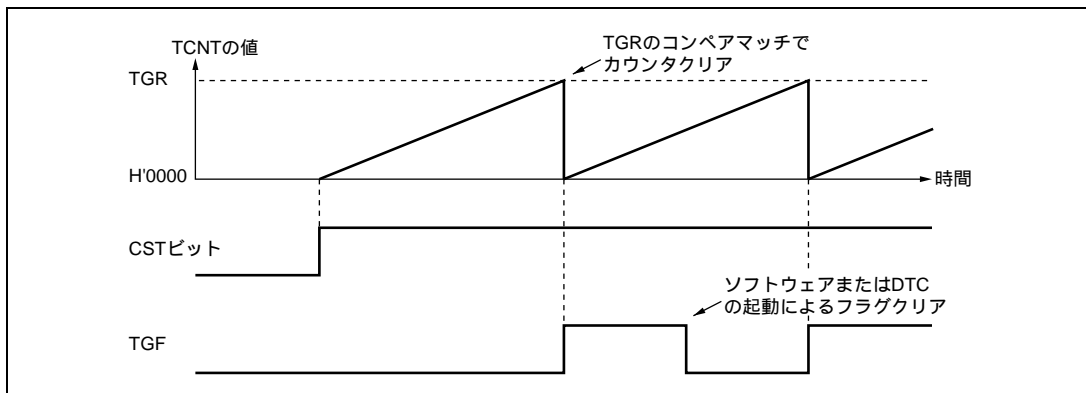


図 9.4 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPU は、コンペアマッチにより対応する出力端子から 0 出力/1 出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 9.5 に示します。

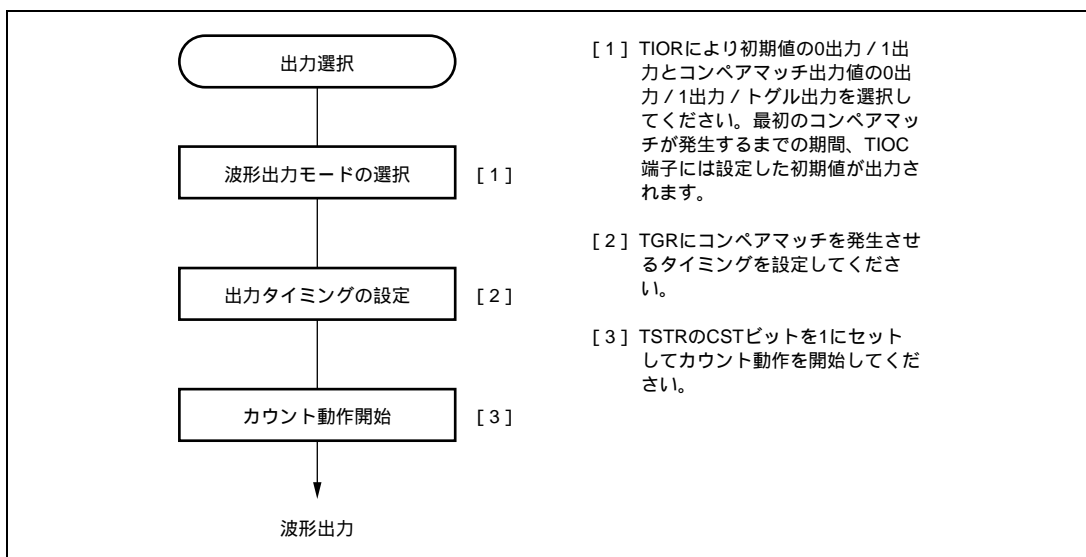


図 9.5 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0出力/1出力例を図9.6に示します。

TCNTをフリーランニングカウント動作とし、コンペアマッチAにより1出力、コンペアマッチBにより0出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

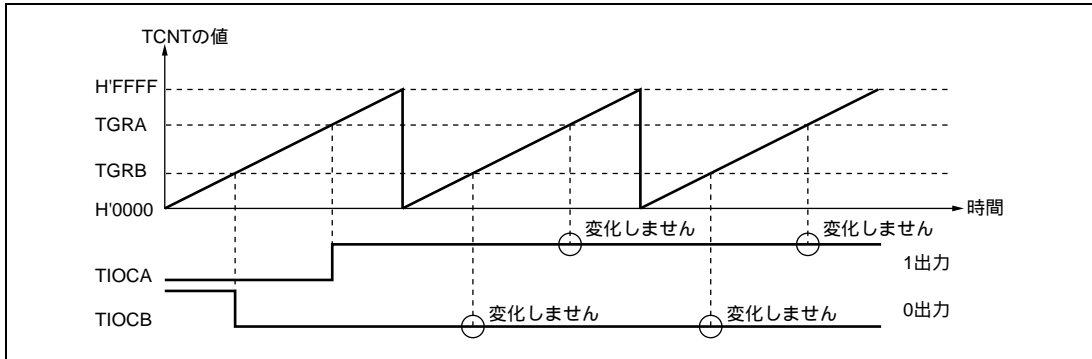


図 9.6 0出力/1出力の動作例

トグル出力の例を図9.7に示します。

TCNTを周期カウント動作(コンペアマッチBによりカウンタクリア)に、コンペアマッチA、Bともトグル出力となるように設定した場合の例です。

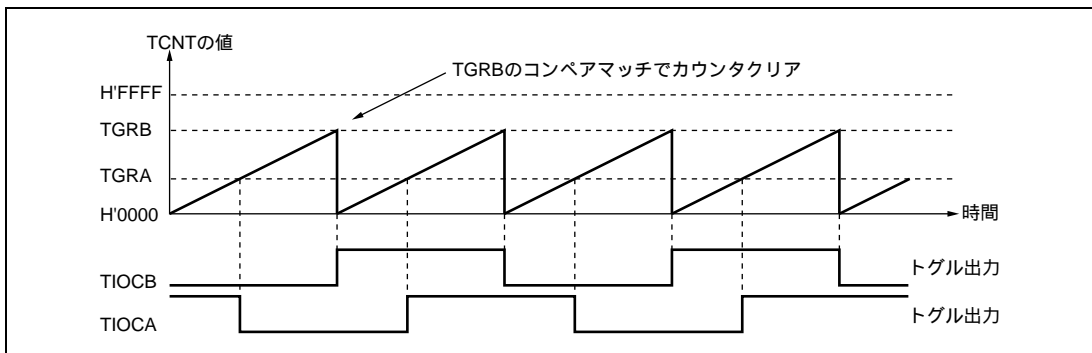


図 9.7 トグル出力の動作例

9. 16 ビットタイマパルスユニット (TPU)

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、チャンネル 0、1、3、4 は別のチャンネルのカウント入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル 0、3 で別のチャンネルのカウント入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウント入力クロックに /1 を選択しないでください。 /1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 9.8 に示します。

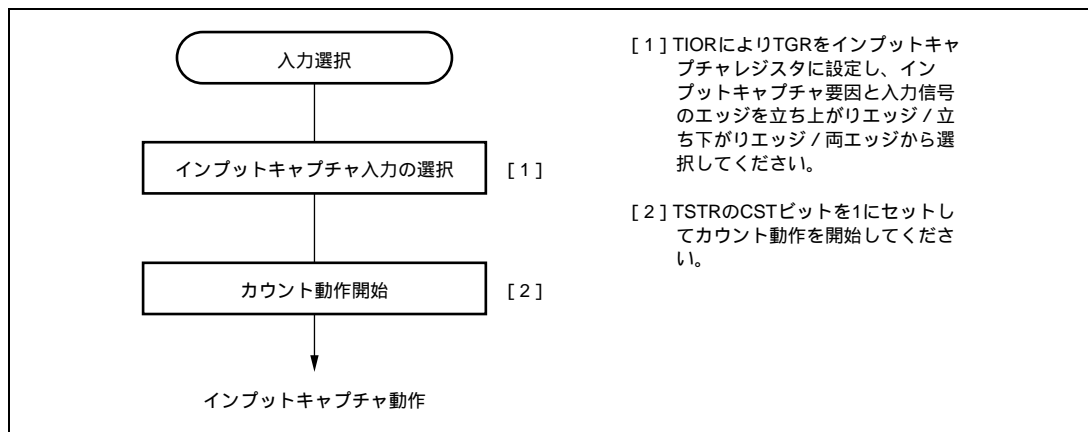


図 9.8 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 9.9 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり/立ち下がりの両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウントクリアされるように設定した場合の例です。

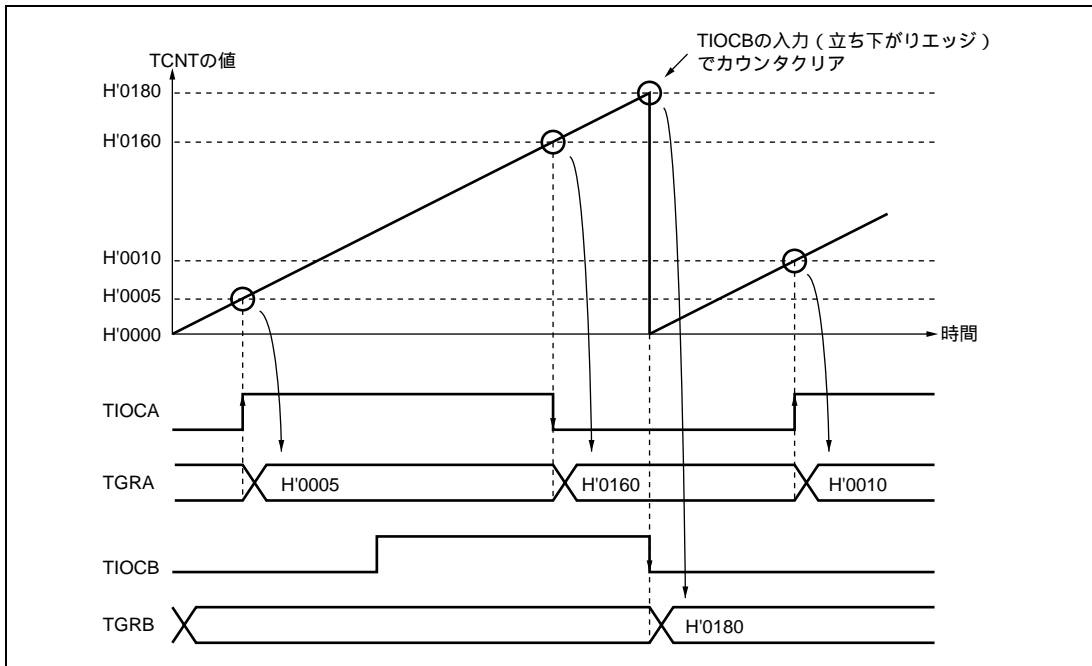


図 9.9 インプットキャプチャ動作例

9.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1 つのタイムベースに対して TGR を増加することができます。

チャンネル 0~5 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 9.10 に示します。

9. 16 ビットタイマパルスユニット (TPU)

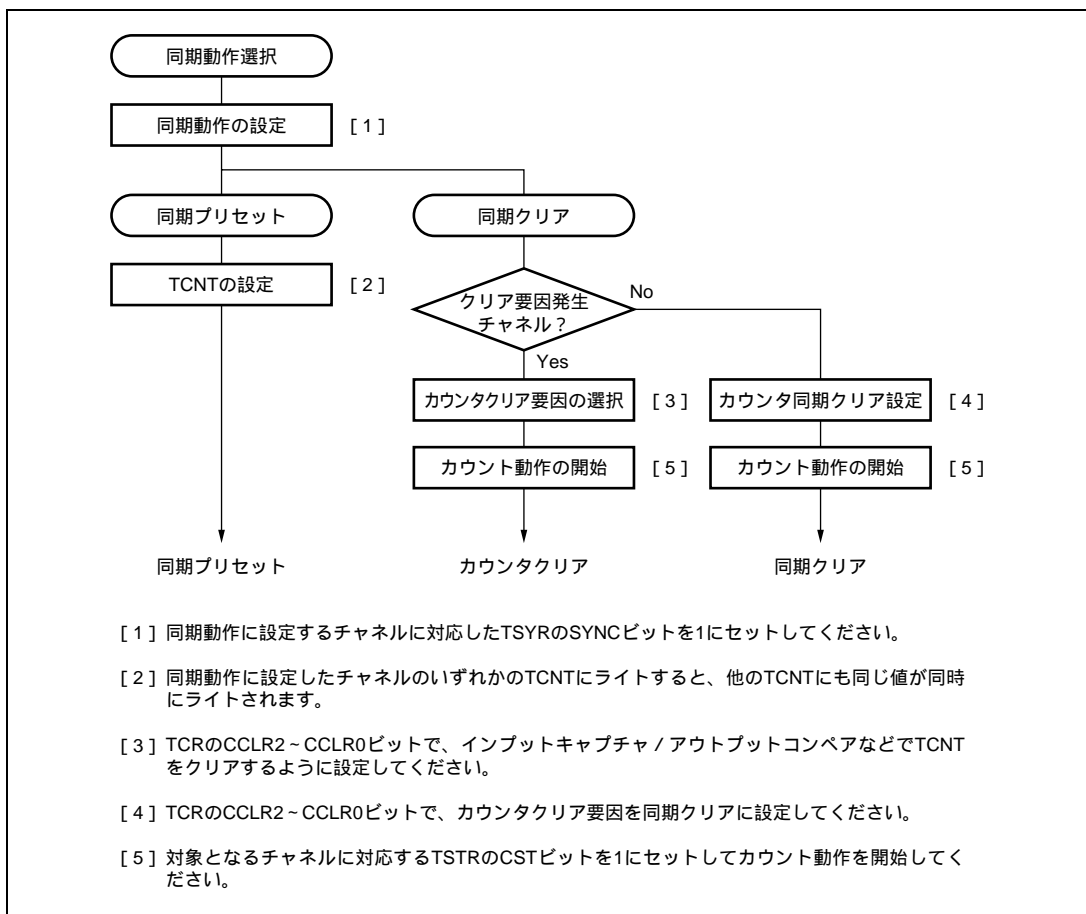


図 9.10 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 9.11 に示します。

チャンネル 0～2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOCA0、TIOCA1、TIOCA2 端子から出力します。このとき、チャンネル 0～2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。

PWM モードについては、「9.4.5 PWM モード」を参照してください。

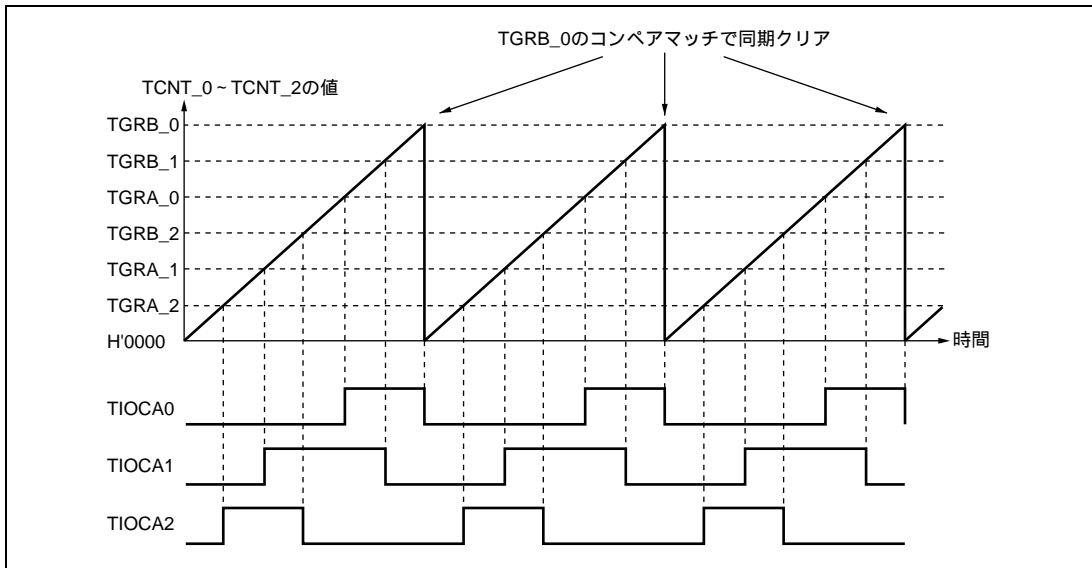


図 9.11 同期動作の動作例

9.4.3 バッファ動作

バッファ動作は、チャンネル0、3が持つ機能です。TGRCとTGRDをバッファレジスタとして使用することができます。

バッファ動作は、TGRをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表 9.28 にバッファ動作時のレジスタの組み合わせを示します。

表 9.28 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3

●TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 9.12 に示します。

9. 16 ビットタイマパルスユニット (TPU)

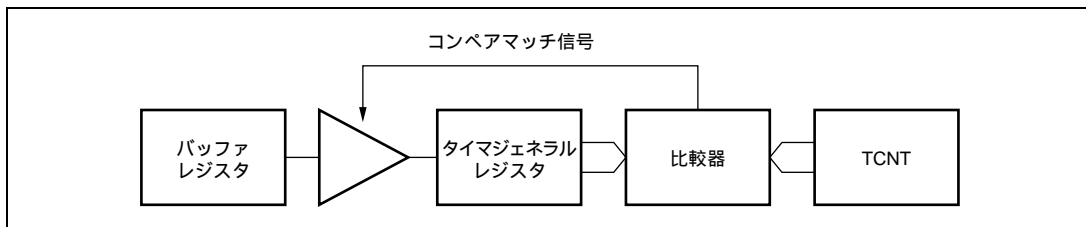


図 9.12 コンペアマッチバッファ動作

●TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 9.13 に示します。

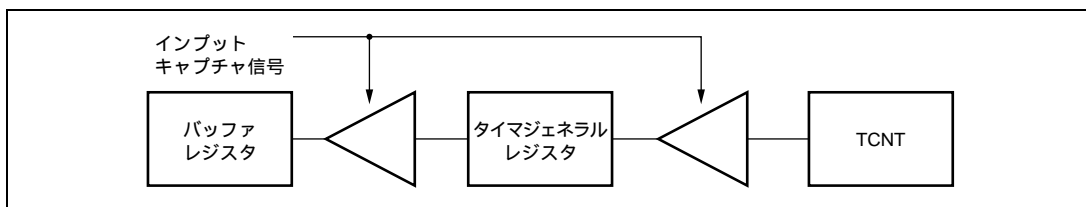


図 9.13 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 9.14 に示します。

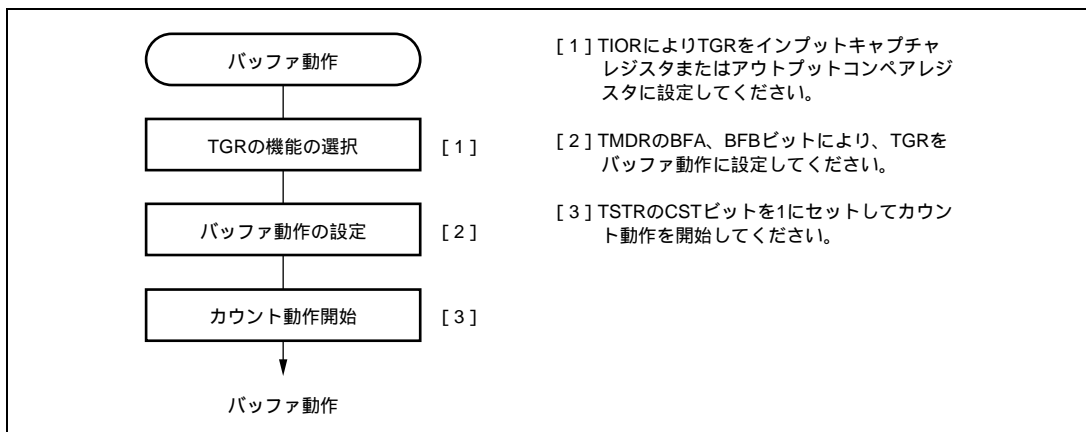


図 9.14 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル0をPWMモード1に設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図9.15に示します。TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAで1出力、コンペアマッチBで0出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイマジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生する度に繰り返されます。

PWMモードについては、「9.4.5 PWMモード」を参照してください。

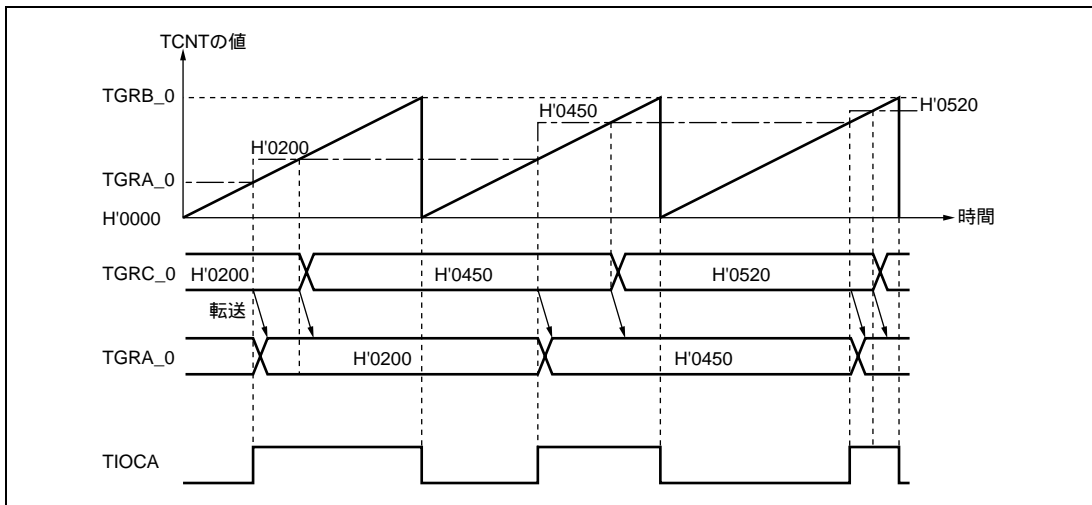


図 9.15 バッファ動作例 (1)

(b) TGR がインプットキャプチャレジスタの場合

TGRAをインプットキャプチャレジスタに設定し、TGRAとTGRCをバッファ動作に設定したときの動作例を図9.16に示します。

TCNTはTGRAのインプットキャプチャでカウンタクリア、TIOCA端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャAによりTCNTの値がTGRAに格納されると同時に、それまでTGRAに格納されていた値がTGRCに転送されます。

9. 16 ビットタイマパルスユニット (TPU)

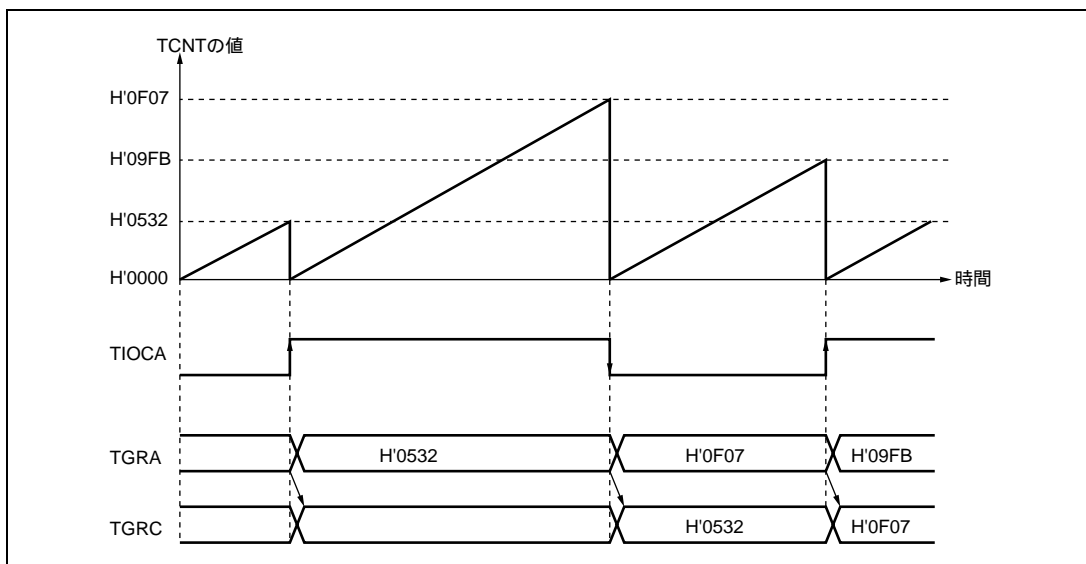


図 9.16 バッファ動作例 (2)

9.4.4 カスケード接続動作

カスケード接続動作は、2 チャンルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、チャンネル 1 (チャンネル 4) のカウンタクロックを TCR の TPSC2 ~ TPSC0 ビットで TCNT_α (TCNT₅) のオーバフロー/アンダフローでカウンタに設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。

表 9.29 にカスケード接続の組み合わせを示します。

【注】 チャンネル 1、4 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 9.29 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
チャンネル 1 とチャンネル 2	TCNT ₁	TCNT ₂
チャンネル 4 とチャンネル 5	TCNT ₄	TCNT ₅

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 9.17 に示します。

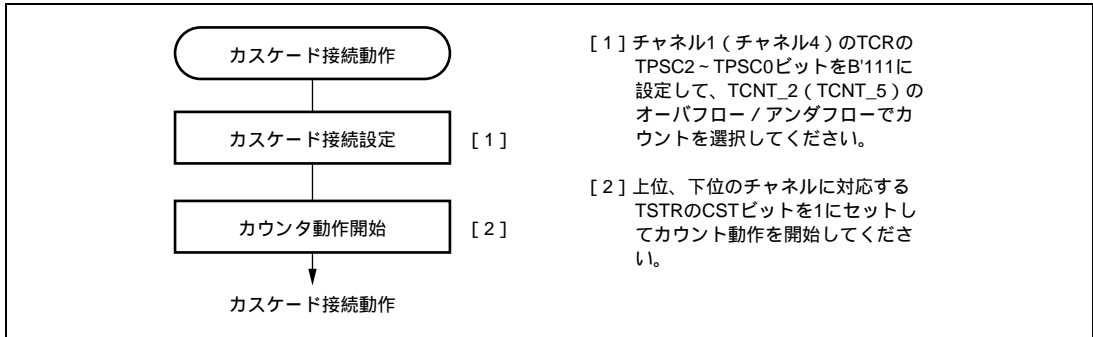


図 9.17 カスケード接続動作設定手順

(2) カスケード接続動作例

TCNT_1 は TCNT_2 のオーバーフロー/アンダフローでカウント、TGRA_1 と TGRA_2 をインプットキャプチャレジスタに設定し、TIOC 端子の立ち上がりエッジを選択した時の動作を図 9.18 に示します。

TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時に入力することにより、TGRA_1 に上位 16 ビット、TGRA_2 に下位 16 ビットの 32 ビットデータが転送されます。

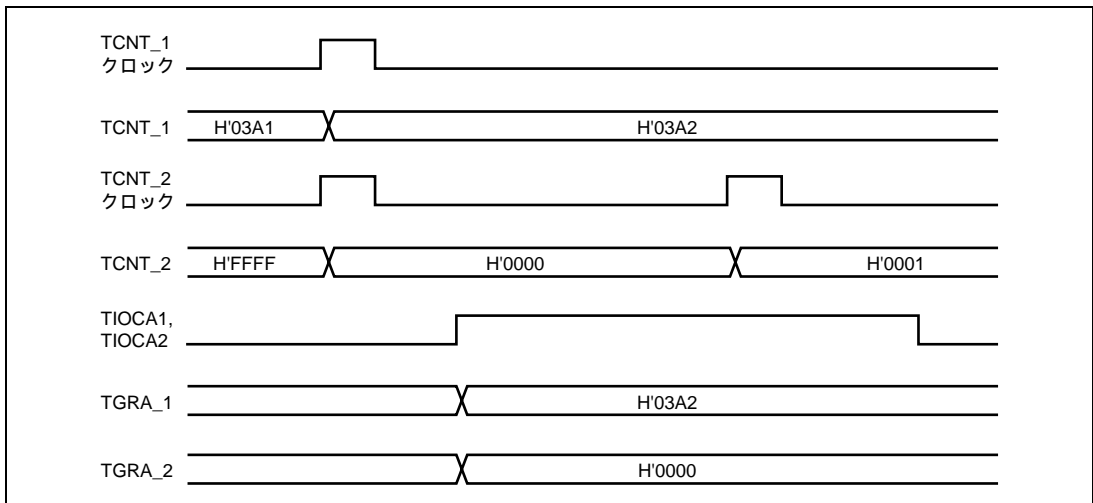


図 9.18 カスケード接続動作例 (1)

TCNT_1 は TCNT_2 のオーバーフロー/アンダフローでカウント、チャンネル 2 を位相計数モードに設定した時の動作を図 9.19 に示します。

TCNT_1 は、TCNT_2 のオーバーフローでアップカウント、TCNT_2 のアンダフローでダウンカウントされます。

9. 16ビットタイマパルスユニット (TPU)

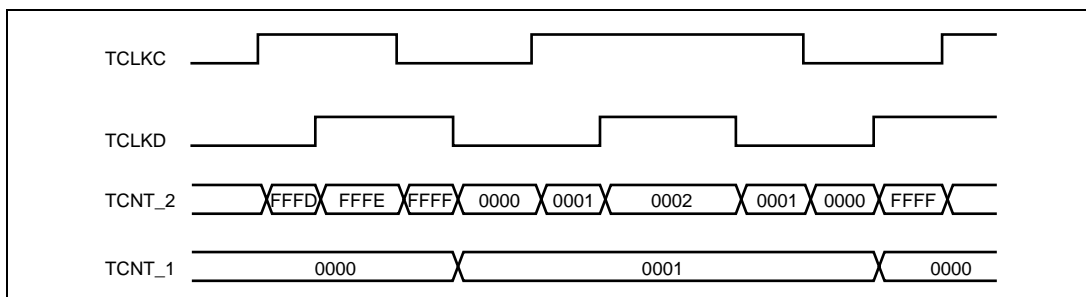


図 9.19 カスケード接続動作例 (2)

9.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力/1 出力/トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0~100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3~IOA0、IOC3~IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3~IOB0、IOD3~IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

(b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 9.30 に示します。

表 9.30 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOCA0	TIOCA0
	TGRB_0		TIOCB0
	TGRC_0	TIOCC0	TIOCC0
	TGRD_0		TIOCD0
1	TGRA_1	TIOCA1	TIOCA1
	TGRB_1		TIOCB1
2	TGRA_2	TIOCA2	TIOCA2
	TGRB_2		TIOCB2
3	TGRA_3	TIOCA3	TIOCA3
	TGRB_3		TIOCB3
	TGRC_3	TIOCC3	TIOCC3
	TGRD_3		TIOCD3
4	TGRA_4	TIOCA4	TIOCA4
	TGRB_4		TIOCB4
5	TGRA_5	TIOCA5	TIOCA5
	TGRB_5		TIOCB5

【注】 PWM モード 2 の時、周期を設定した TGR の PWM 出力はできません。

9. 16 ビットタイマパルスユニット (TPU)

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 9.20 に示します。

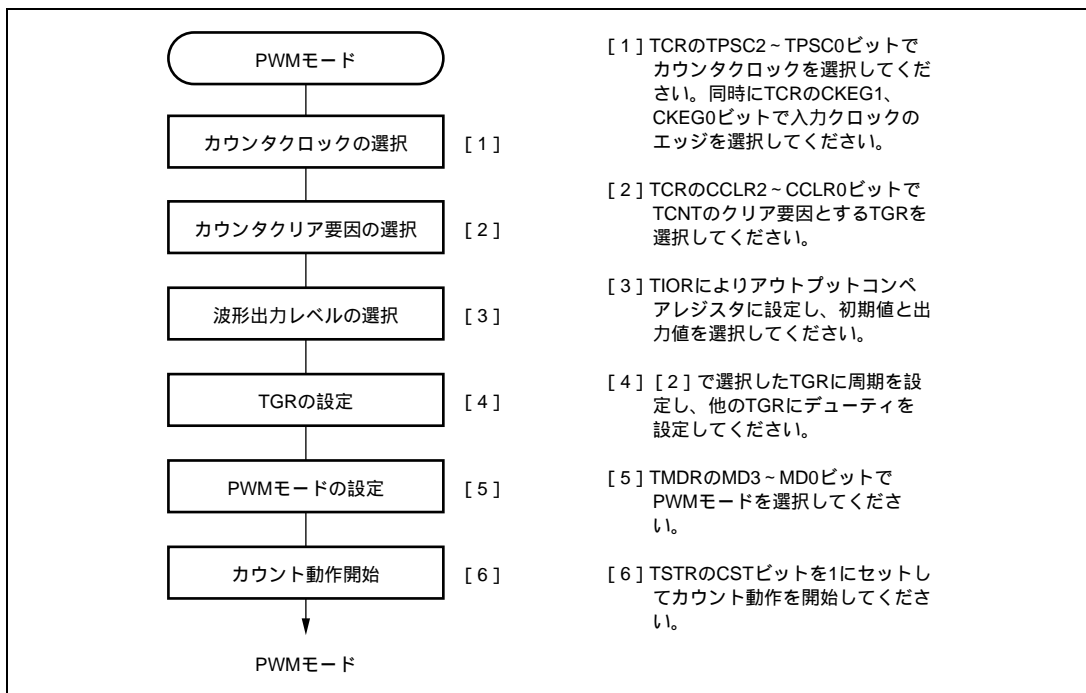


図 9.20 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード 1 の動作例を図 9.21 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

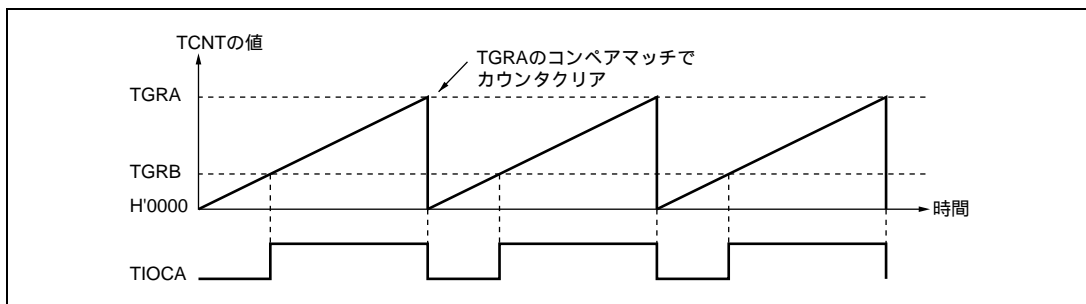


図 9.21 PWM モードの動作例 (1)

PWM モード2の動作例を図9.22に示します。

この図は、チャンネル0と1を同期動作させ、TCNTのクリア要因をTGRB_1のコンペアマッチとし、他のTGR (TGRA_0~TGRD_0, TGRA_1)の初期出力値を0、出力値を1に設定して5相のPWM波形を出力させた場合の例です。

この場合、TGRB_1に設定した値が周期となり、他のTGRに設定した値がデューティになります。

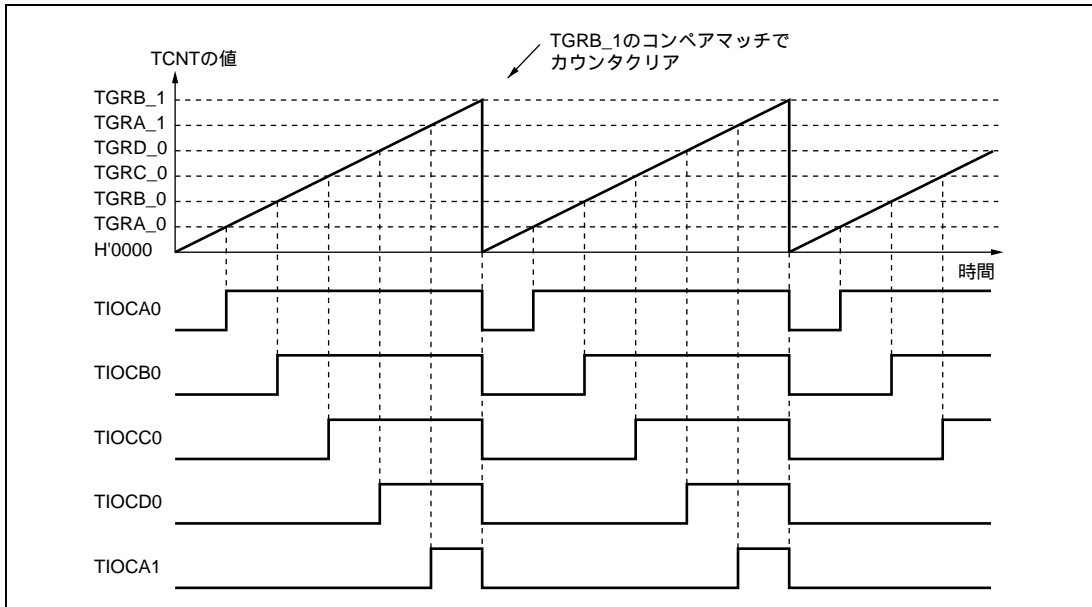


図9.22 PWMモードの動作例(2)

PWMモードで、デューティ0%、デューティ100%のPWM波形を出力する例を図9.23に示します。

9. 16ビットタイマパルスユニット (TPU)

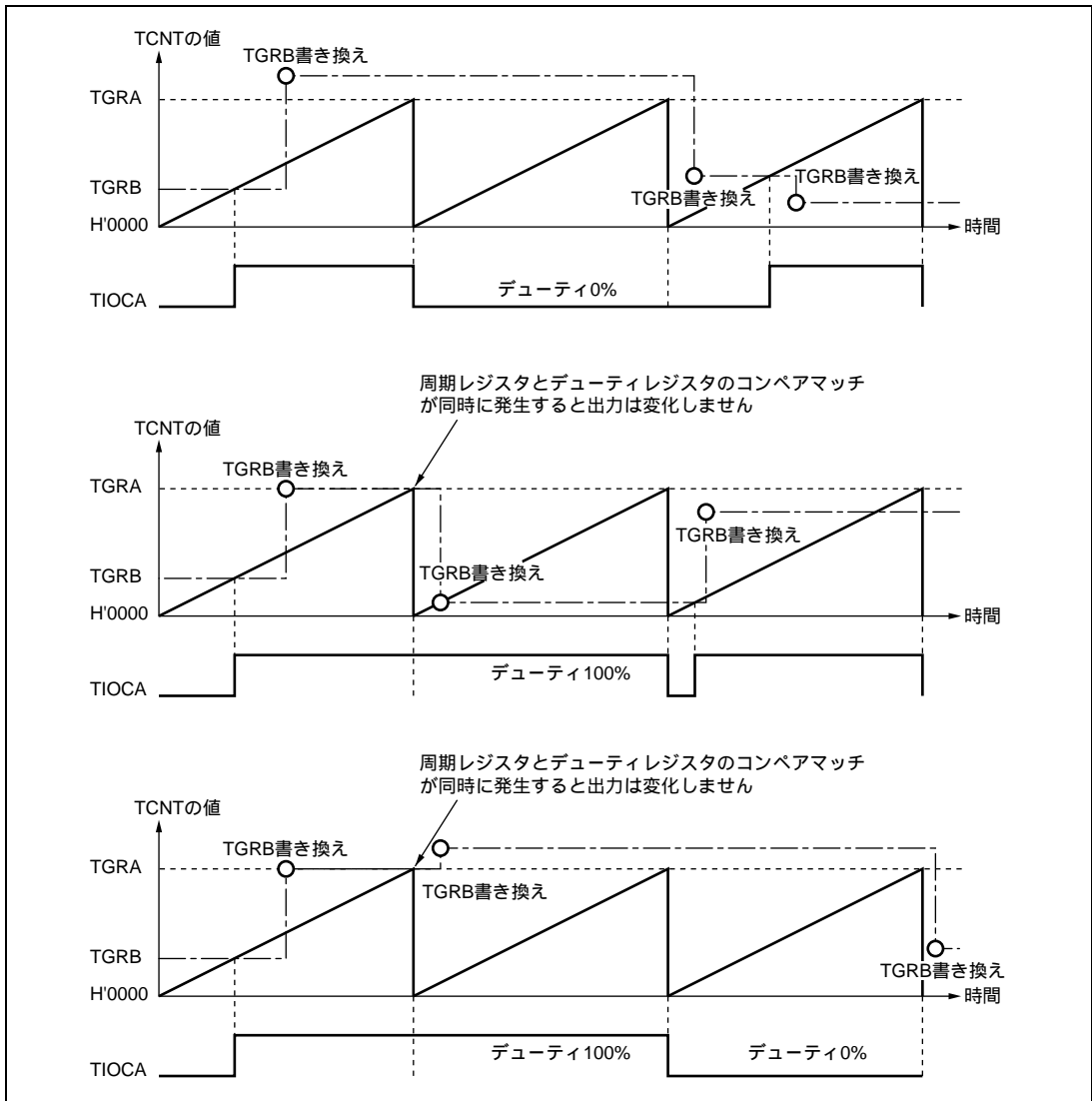


図 9.23 PWM モードの動作例 (3)

9.4.6 位相計数モード

位相計数モードは、チャンネル 1、2、4、5 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ/ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2 ~ TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ/ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生するとすると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 9.31 に外部クロック端子とチャンネルの対応を示します。

表 9.31 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 または 5 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 または 4 を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 9.24 に示します。

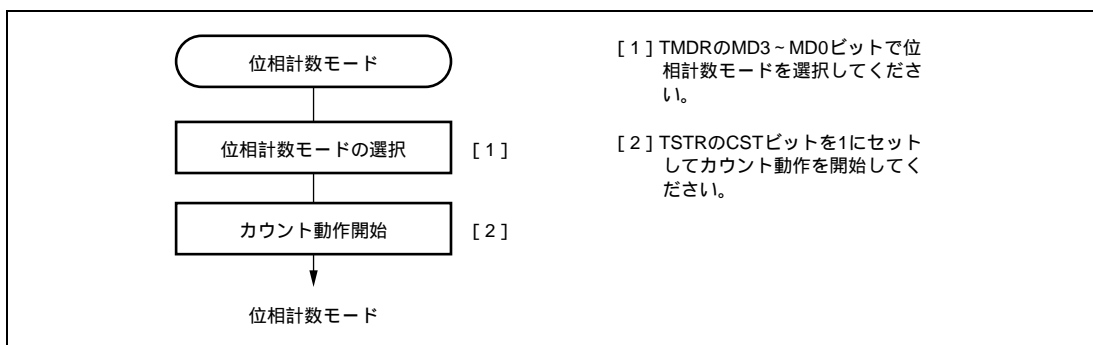


図 9.24 位相計数モードの設定手順例

9. 16 ビットタイマパルスユニット (TPU)

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図9.25に、TCNTのアップ/ダウンカウント条件を表9.32に示します。

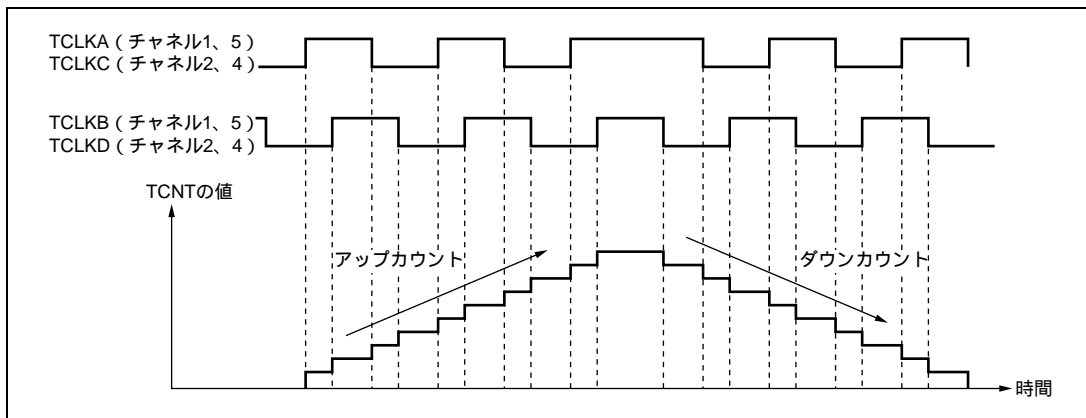


図 9.25 位相計数モード1の動作例

表 9.32 位相計数モード1のアップ/ダウンカウント条件

TCLKA (チャンネル1、5) TCLKC (チャンネル2、4)	TCLKB (チャンネル1、5) TCLKD (チャンネル2、4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(b) 位相計数モード2

位相計数モード2の動作例を図9.26に、TCNTのアップ/ダウンカウント条件を表9.33に示します。

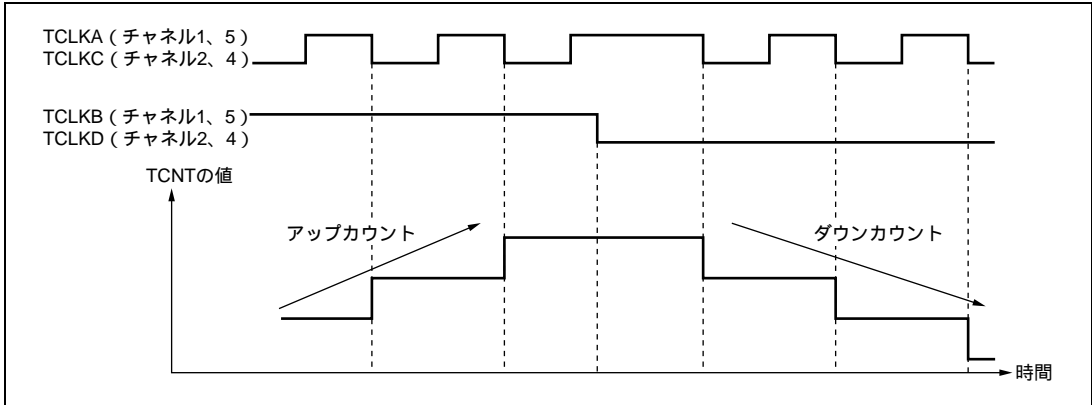


図 9.26 位相計数モード2の動作例

表 9.33 位相計数モード2のアップ/ダウンカウント条件

TCLKA (チャンネル1、5) TCLKC (チャンネル2、4)	TCLKB (チャンネル1、5) TCLKD (チャンネル2、4)	動作内容
High レベル		Don't care
Low レベル		Don't care
	Low レベル	Don't care
	High レベル	アップカウント
High レベル		Don't care
Low レベル		Don't care
	High レベル	Don't care
	Low レベル	ダウンカウント

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

9. 16 ビットタイマパルスユニット (TPU)

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 9.27 に、TCNT のアップ / ダウンカウント条件を表 9.34 に示します。

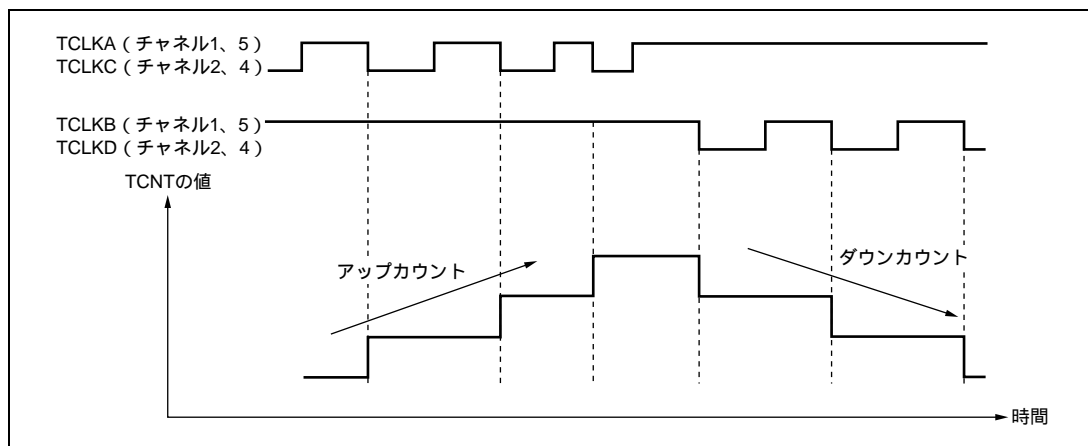


図 9.27 位相計数モード 3 の動作例

表 9.34 位相計数モード 3 のアップ / ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	Don't care

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 9.28 に、TCNT のアップ/ダウンカウント条件を表 9.35 に示します。

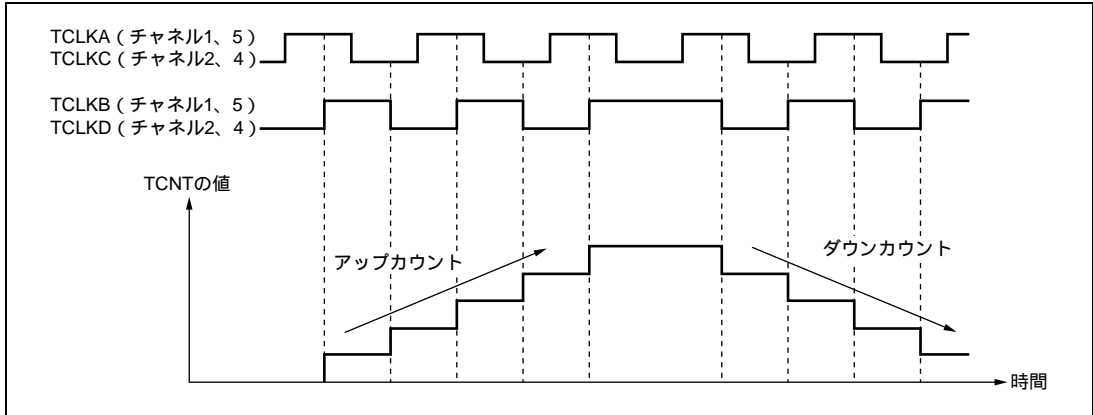


図 9.28 位相計数モード 4 の動作例

表 9.35 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	Don't care
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	Don't care
↓	Low レベル	

【記号説明】

- ↑ : 立ち上がりエッジ
- ↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル 1 を位相計数モードに設定し、チャンネル 0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 9.29 に示します。

チャンネル 1 は位相計数モード 1 に設定し、TCLKA と TCLKB にエンコーダパルスの A 相、B 相を入力します。

チャンネル 0 は TCNT を TGRC_0 のコンペアマッチでカウンタクリアとして動作させ、TGRA_0 と TGRC_0 はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB_0 はインプットキャプチャ機能で使用し、TGRB_0 と TGRD_0 をバッファ動作させます。TGRB_0 のインプットキャプチャ要因は、チャンネル 1

9. 16ビットタイマパルスユニット (TPU)

のカウンタ入カロックとし、2相エンコーダの4 通倍パルスのパルス幅を検出します。

チャンネル1のTGRA_1とTGRB_1は、インプットキャプチャ機能に設定し、インプットキャプチャ要因はチャンネル0のTGRA_0とTGRC_0のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

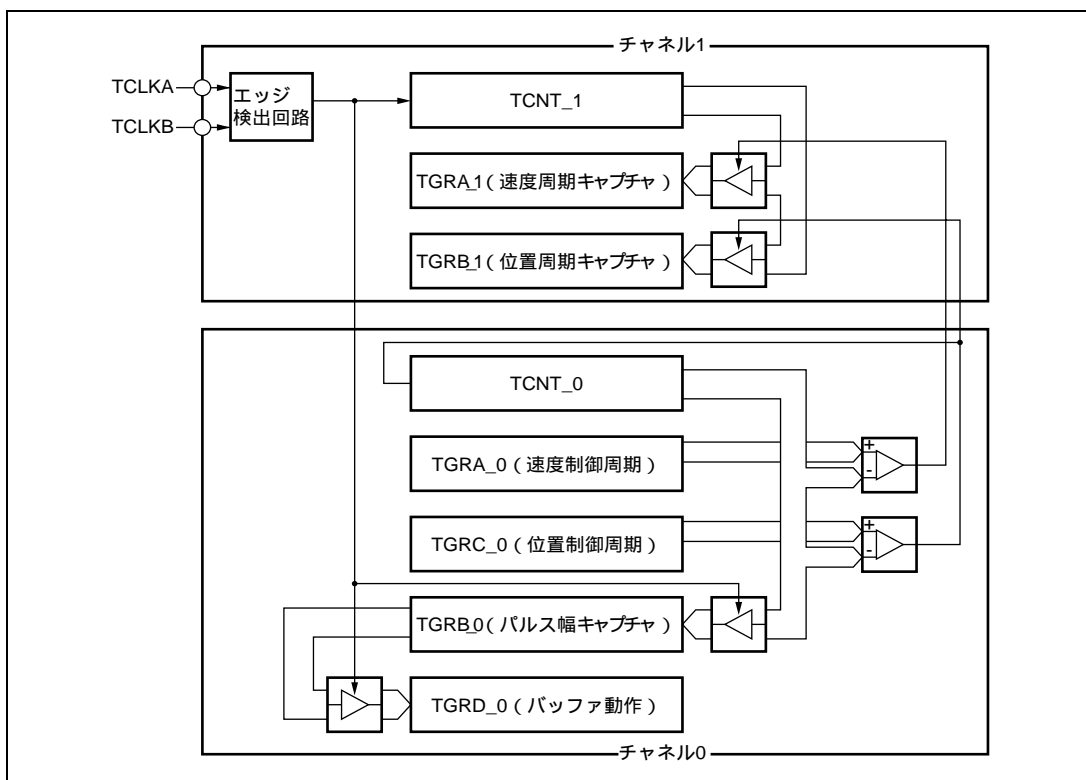


図 9.29 位相計数モードの応用例

9.5 割り込み要因

TPUの割り込み要因には、TGRのインプットキャプチャ/コンペアマッチ、TCNTのオーバフロー、アンダフローの3種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSRの対応するステータスフラグが1にセットされます。このときTIERの対応する許可/禁止ビットが1にセットされていれば、割り込みを要求します。ステータスフラグを0にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳

細は「第5章 割り込みコントローラ」を参照してください。

表 9.36 に TPU の割り込み要因の一覧を示します。

表 9.36 TPU 割り込み一覧

チャンネル	名称	割り込み要因	割り込み フラグ	DTC の起動
0	TGI0A	TGRA_0 のインプットキャプチャ/コンペアマッチ	TGFA_0	可
	TGI0B	TGRB_0 のインプットキャプチャ/コンペアマッチ	TGFB_0	可
	TGI0C	TGRC_0 のインプットキャプチャ/コンペアマッチ	TGFC_0	可
	TGI0D	TGRD_0 のインプットキャプチャ/コンペアマッチ	TGFD_0	可
	TCI0V	TCNT_0 のオーバフロー	TCFV_0	不可
1	TGI1A	TGRA_1 のインプットキャプチャ/コンペアマッチ	TGFA_1	可
	TGI1B	TGRB_1 のインプットキャプチャ/コンペアマッチ	TGFB_1	可
	TCI1V	TCNT_1 のオーバフロー	TCFV_1	不可
	TCI1U	TCNT_1 のアンダフロー	TCFU_1	不可
2	TGI2A	TGRA_2 のインプットキャプチャ/コンペアマッチ	TGFA_2	可
	TGI2B	TGRB_2 のインプットキャプチャ/コンペアマッチ	TGFB_2	可
	TCI2V	TCNT_2 のオーバフロー	TCFV_2	不可
	TCI2U	TCNT_2 のアンダフロー	TCFU_2	不可
3	TGI3A	TGRA_3 のインプットキャプチャ/コンペアマッチ	TGFA_3	可
	TGI3B	TGRB_3 のインプットキャプチャ/コンペアマッチ	TGFB_3	可
	TGI3C	TGRC_3 のインプットキャプチャ/コンペアマッチ	TGFC_3	可
	TGI3D	TGRD_3 のインプットキャプチャ/コンペアマッチ	TGFD_3	可
	TCI3V	TCNT_3 のオーバフロー	TCFV_3	不可
4	TGI4A	TGRA_4 のインプットキャプチャ/コンペアマッチ	TGFA_4	可
	TGI4B	TGRB_4 のインプットキャプチャ/コンペアマッチ	TGFB_4	可
	TCI4V	TCNT_4 のオーバフロー	TCFV_4	不可
	TCI4U	TCNT_4 のアンダフロー	TCFU_4	不可
5	TGI5A	TGRA_5 のインプットキャプチャ/コンペアマッチ	TGFA_5	可
	TGI5B	TGRB_5 のインプットキャプチャ/コンペアマッチ	TGFB_5	可
	TCI5V	TCNT_5 のオーバフロー	TCFV_5	不可
	TCI5U	TCNT_5 のアンダフロー	TCFU_5	不可

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

9. 16ビットタイムパルスユニット (TPU)

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルのTGRのインพุットキャプチャ/コンペアマッチの発生により、TSRのTGFフラグが1にセットされたとき、TIERのTGIEビットが1にセットされていれば、割り込みを要求します。TGFフラグを0にクリアすることで割り込み要求は解除されます。TPUには、チャンネル0、3に各4本、チャンネル1、2、4、5に各2本、計16本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルのTCNTのオーバフローの発生により、TSRのTCFVフラグが1にセットされたとき、TIERのTCIEVビットが1にセットされていれば、割り込みを要求します。TCFVフラグを0にクリアすることで割り込み要求は解除されます。TPUには、各チャンネルに1本、計6本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルのTCNTのアンダフローの発生により、TSRのTCFUフラグが1にセットされたとき、TIERのTCIEUビットが1にセットされていれば、割り込みを要求します。TCFUフラグを0にクリアすることで割り込み要求は解除されます。TPUには、チャンネル1、2、4、5に各1本、計4本のアンダフロー割り込みがあります。

9.6 DTCの起動

各チャンネルのTGRのインพุットキャプチャ/コンペアマッチ割り込みによって、DTCを起動することができます。詳細は「第9章 データトランスファコントローラ」を参照してください。

TPUでは、チャンネル0、3が各4本、チャンネル1、2、4、5が各2本、計16本のインพุットキャプチャ/コンペアマッチ割り込みをDTCの起動要因とすることができます。

9.7 A/D変換器の起動

各チャンネルのTGRAのインพุットキャプチャ/コンペアマッチによって、A/D変換器を起動することができます。

各チャンネルのTGRAのインพุットキャプチャ/コンペアマッチの発生により、TSRのTGFAフラグが1にセットされたとき、TIERのTTGEビットが1にセットされていれば、A/D変換器に対してA/D変換の開始を要求します。このときA/D変換器側で、TPUの変換開始トリガが選択されていれば、A/D変換が開始されます。

TPUでは、各チャンネル1本、計6本のTGRAのインพุットキャプチャ/コンペアマッチ割り込みをA/D変換器の変換開始要因とすることができます。

9.8 動作タイミング

9.8.1 入出力タイミング

(1) TCNTのカウンタタイミング

内部クロック動作の場合のTCNTのカウンタタイミングを図9.30に示します。また、外部クロック動作の場合のTCNTのカウンタタイミングを図9.31に示します。

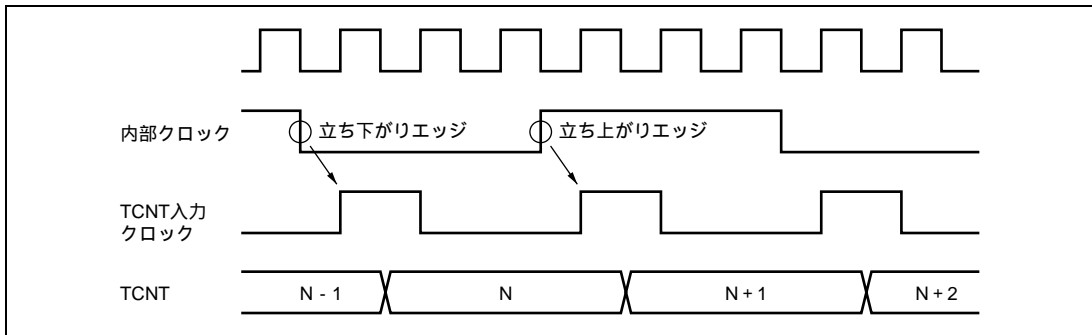


図 9.30 内部クロック動作時のカウンタタイミング

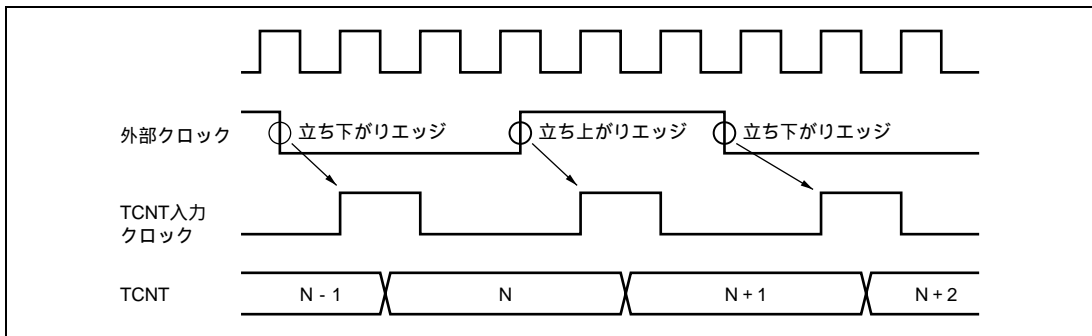


図 9.31 外部クロック動作時のカウンタタイミング

9. 16ビットタイマパルスユニット (TPU)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 9.32 に示します。

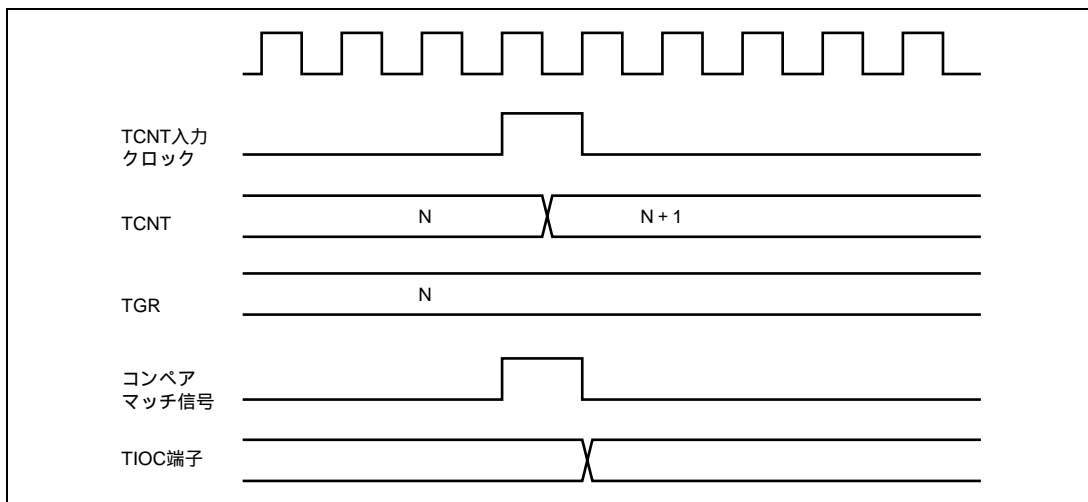


図 9.32 アウトプットコンペア出力タイミング

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 9.33 に示します。

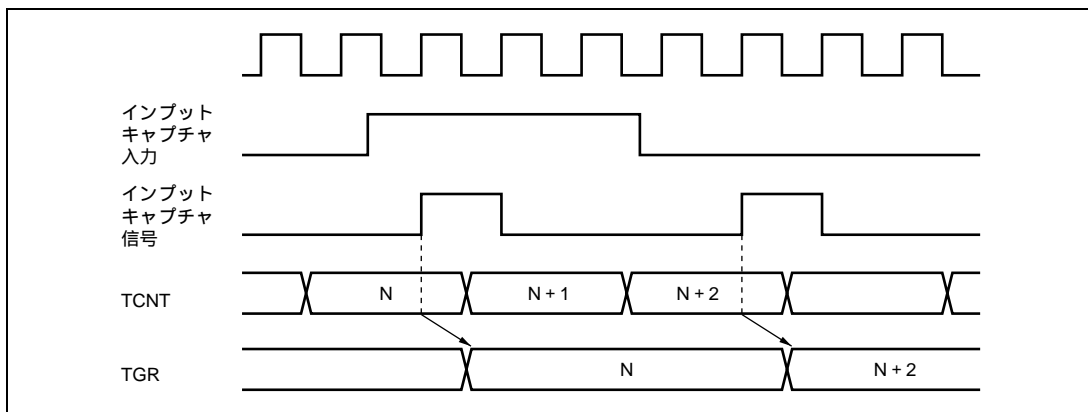


図 9.33 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 9.34 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 9.35 に示します。

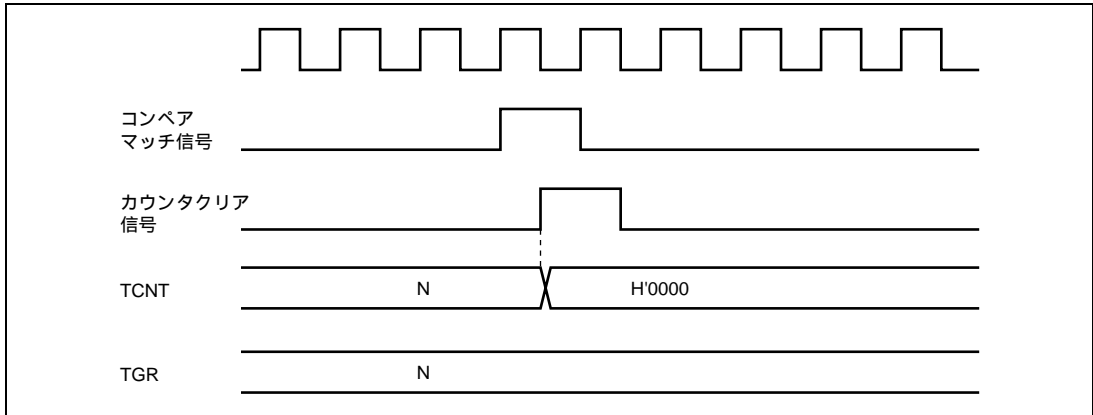


図 9.34 カウンタクリアタイミング (コンペアマッチ)

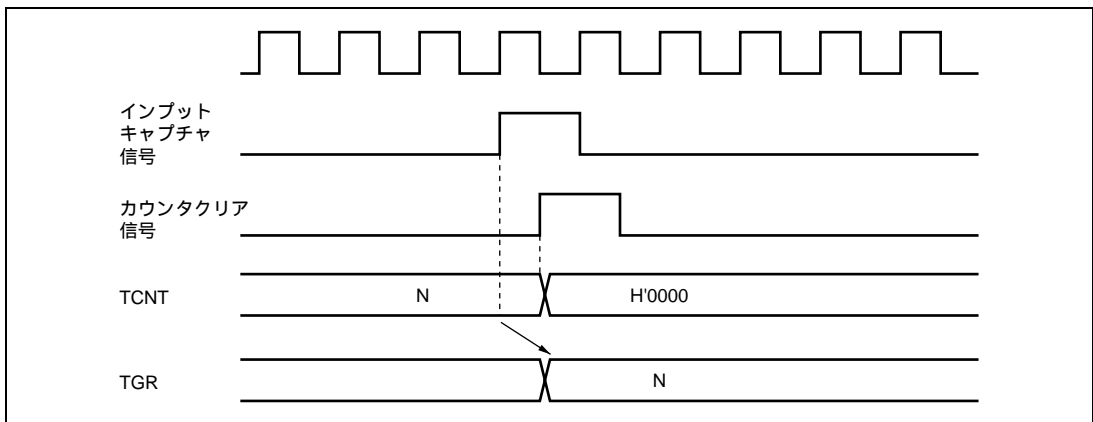


図 9.35 カウンタクリアタイミング (インプットキャプチャ)

9. 16ビットタイマパルスユニット (TPU)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 9.36、図 9.37 に示します。

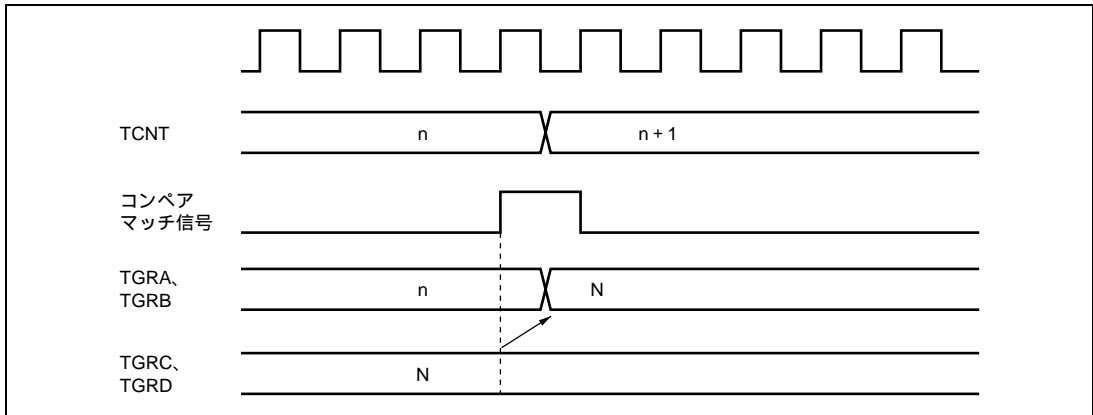


図 9.36 バッファ動作タイミング (コンペアマッチ)

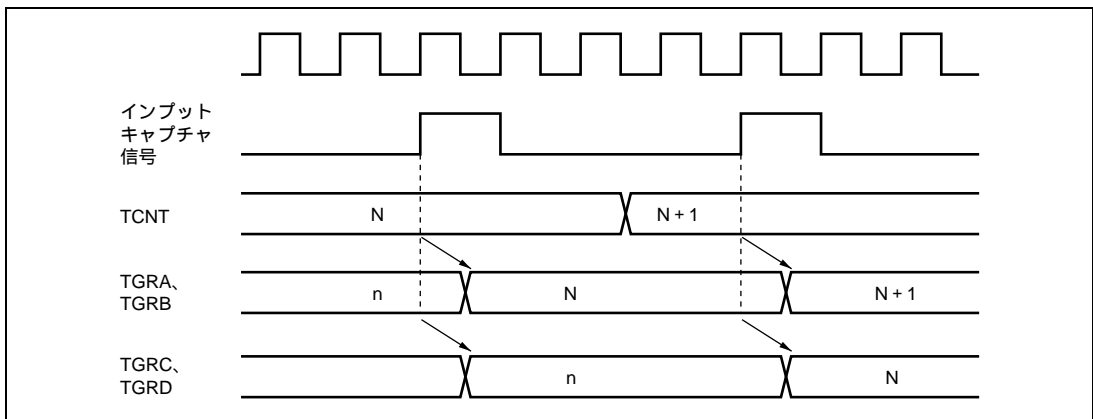


図 9.37 バッファ動作タイミング (インプットキャプチャ)

9.8.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 9.38 に示します。

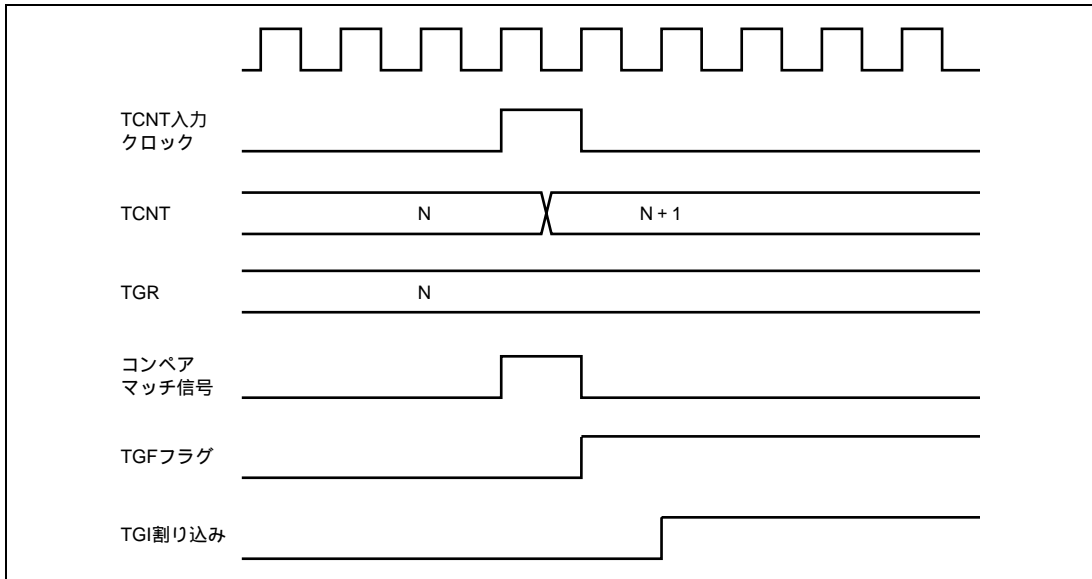


図 9.38 TGI 割り込みタイミング (コンペアマッチ)

(2) インプットキャプチャ時の TGF フラグのセットタイミング

インプットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 9.39 に示します。

9. 16 ビットタイマパルスユニット (TPU)

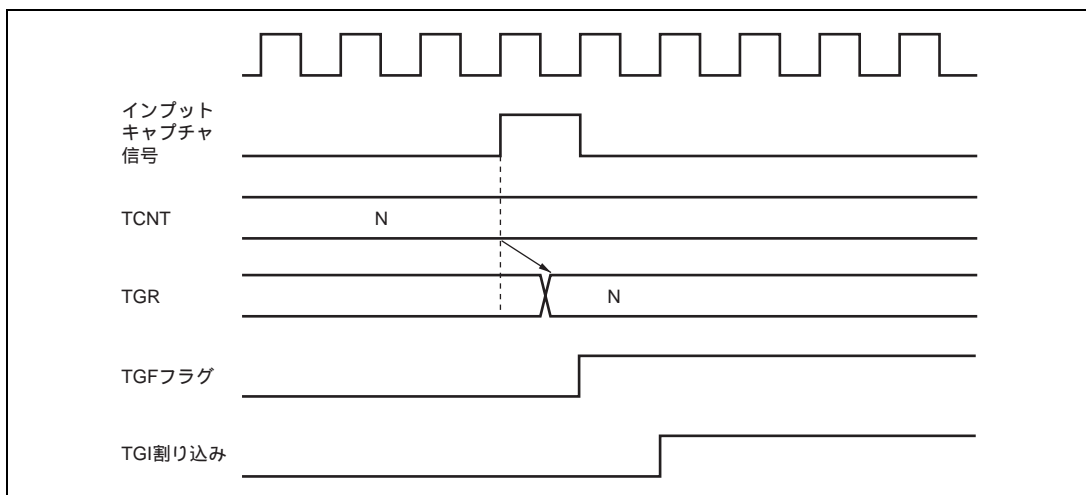


図 9.39 TGI 割り込みタイミング (インプットキャプチャ)

(3) TCFV フラグ/TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 9.40 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 9.41 に示します。

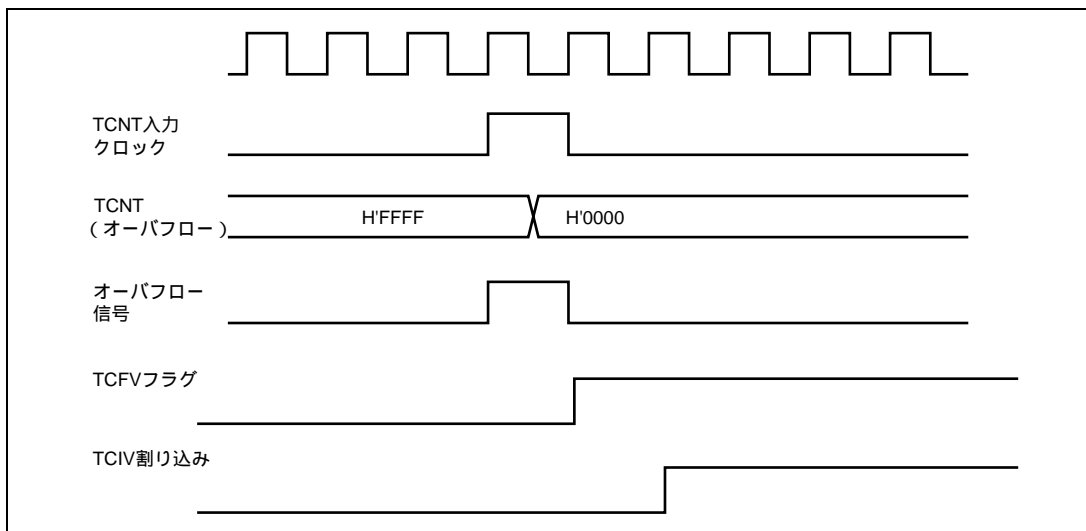


図 9.40 TCIV 割り込みのセットタイミング

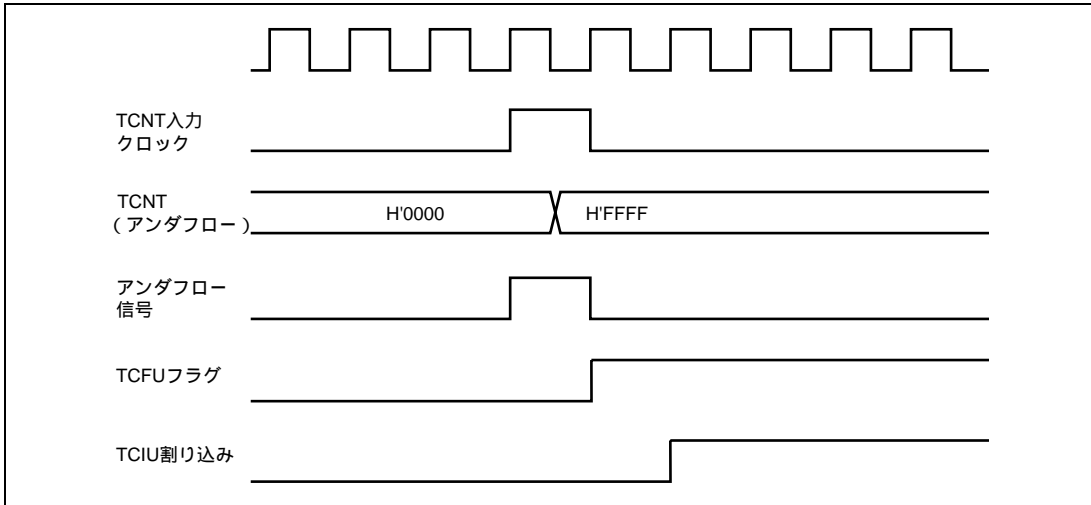


図 9.41 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。DTCを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図9.42に、DTCまたはDMACによるステータスフラグのクリアのタイミングを図9.43に示します。

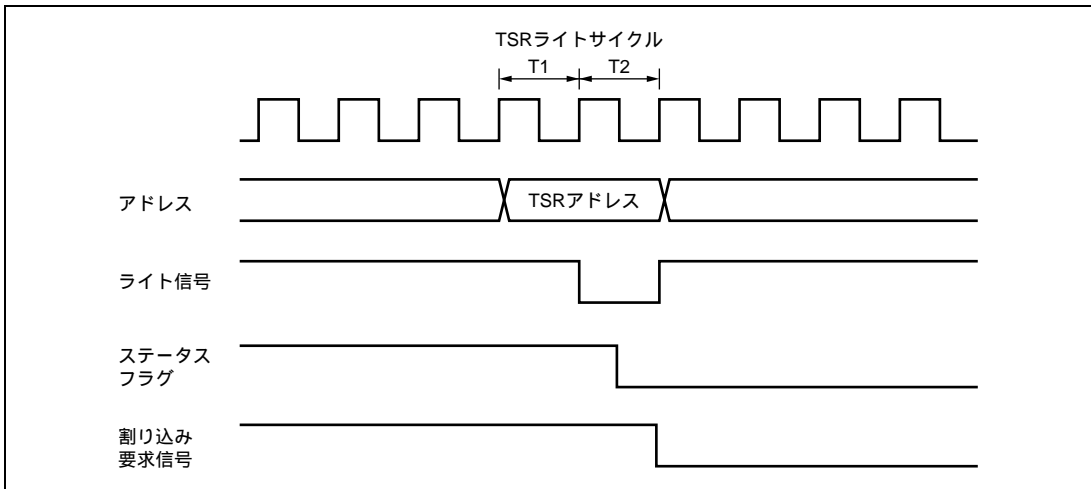


図 9.42 CPU によるステータスフラグのクリアタイミング

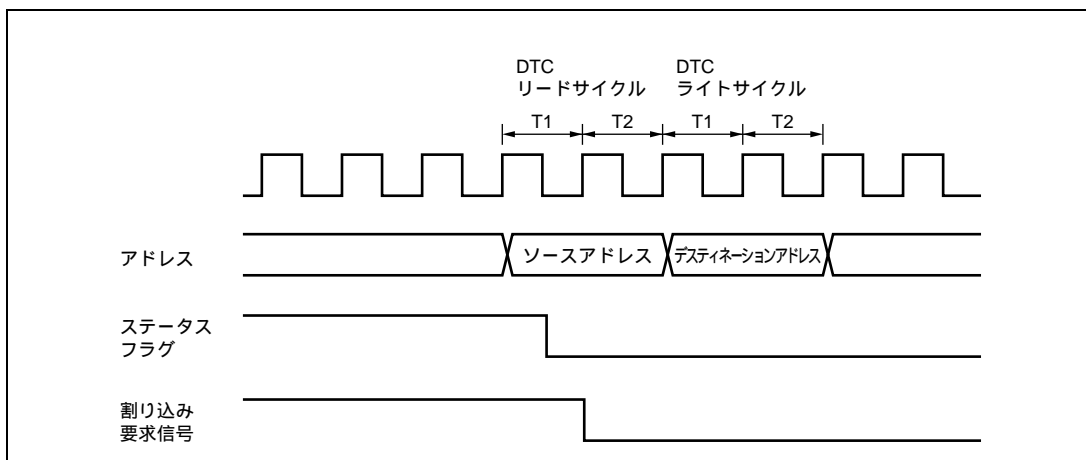


図 9.43 DTC の起動によるステータスフラグのクリアタイミング

9.9 使用上の注意事項

9.9.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TPU の動作禁止/許可を設定することが可能です。初期値では、TPU の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 19 章 低消費電力状態」を参照してください。

9.9.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 9.44 に示します。

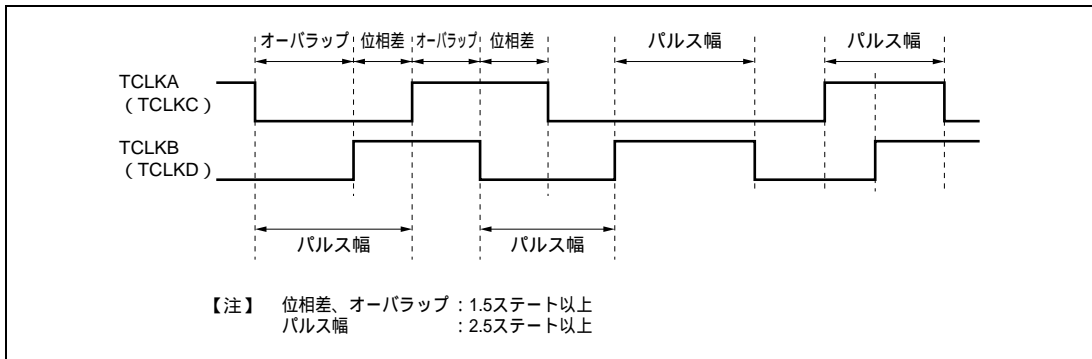


図 9.44 位相計数モード時の位相差、オーバーラップ、およびパルス幅

9.9.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようにになります。

$$f = \frac{f_{clk}}{(N+1)}$$

- f : カウンタ周波数
 : 動作周波数
 N : TGR の設定値

9.9.4 TCNTのライトとクリアの競合

TCNTのライトサイクル中のT2ステートでカウンタクリア信号が発生すると、TCNTへのライトは行われずにTCNTのクリアが優先されます。このタイミングを図9.45に示します。

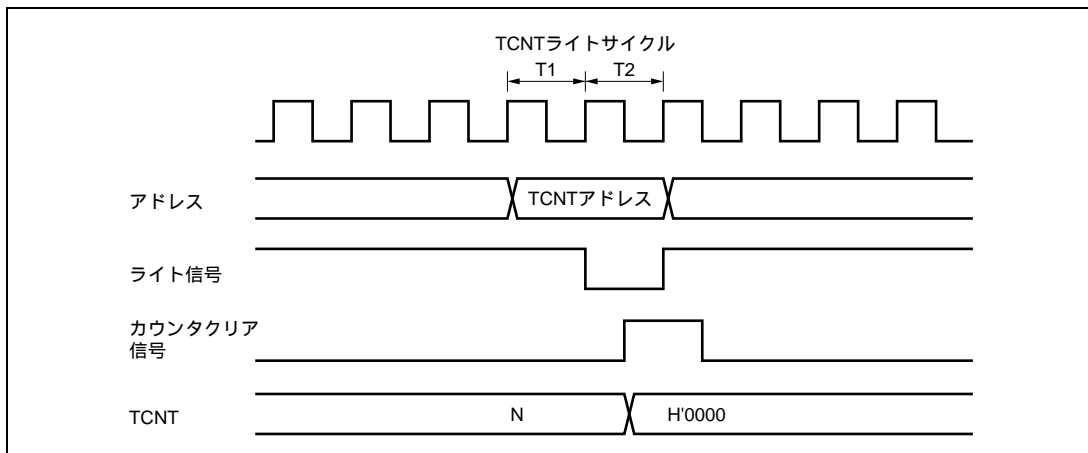


図 9.45 TCNTのライトとクリアの競合

9.9.5 TCNTのライトとカウントアップの競合

TCNTのライトサイクル中のT2ステートでカウントアップが発生してもカウントアップされず、TCNTへのライトが優先されます。このタイミングを図9.46に示します。

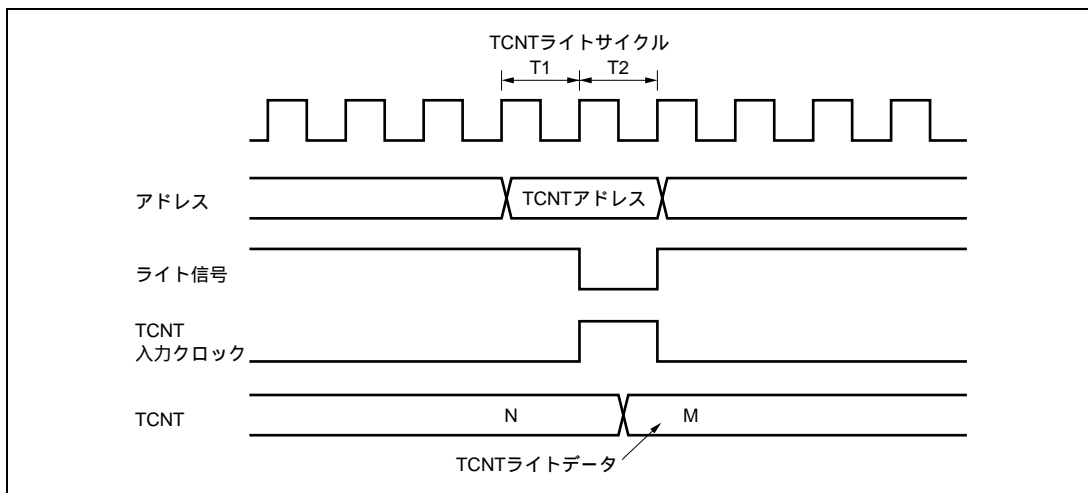


図 9.46 TCNTのライトとカウントアップの競合

9.9.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生しても TGR のライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。

このタイミングを図 9.47 に示します。

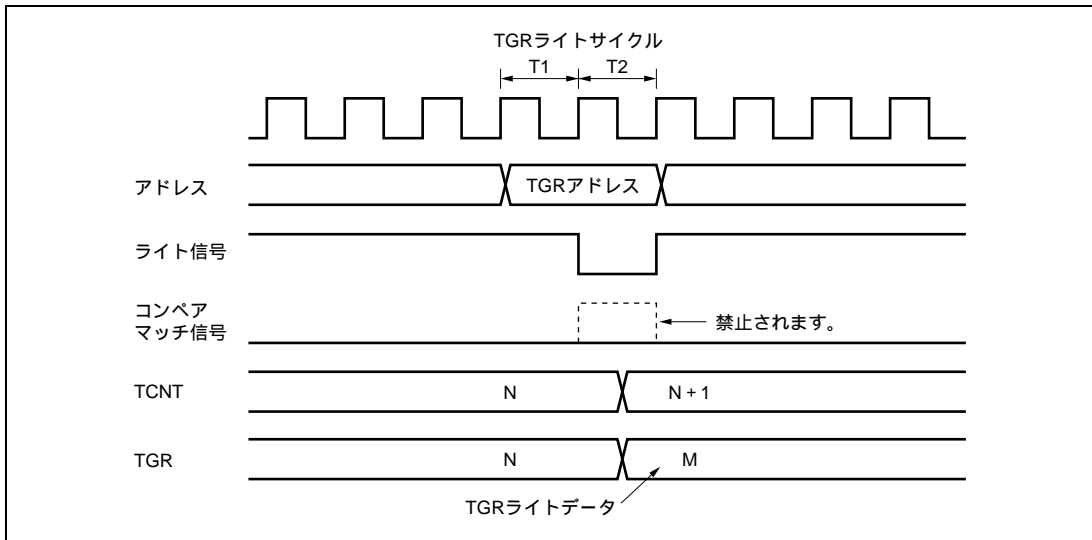


図 9.47 TGR のライトとコンペアマッチの競合

9.9.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。

このタイミングを図 9.48 に示します。

9. 16 ビットタイマパルスユニット (TPU)

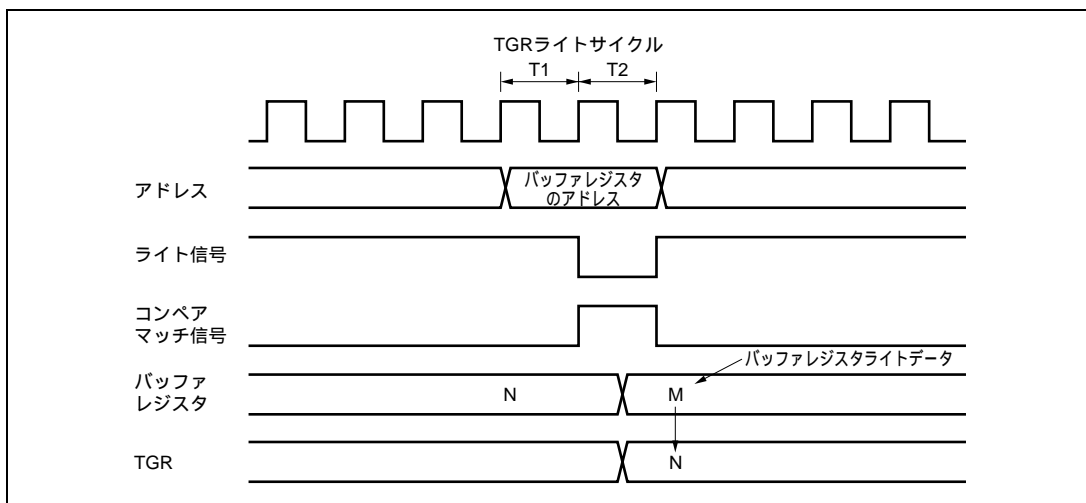


図 9.48 バッファレジスタのライトとコンペアマッチの競合

9.9.8 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の $T1$ ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 9.49 に示します。

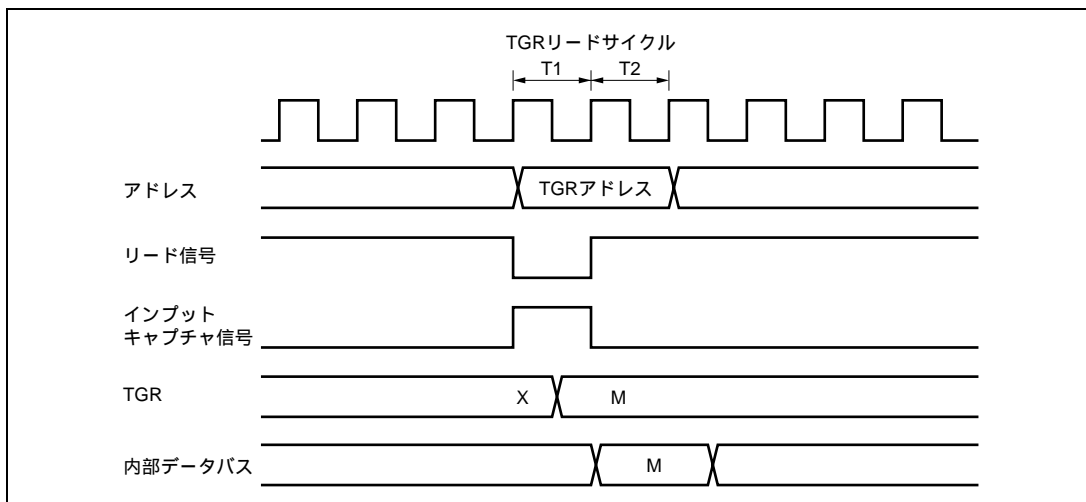


図 9.49 TGR のリードとインプットキャプチャの競合

9.9.9 TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、TGR へのライトは行われず、インプットキャプチャが優先されます。このタイミングを図 9.50 に示します。

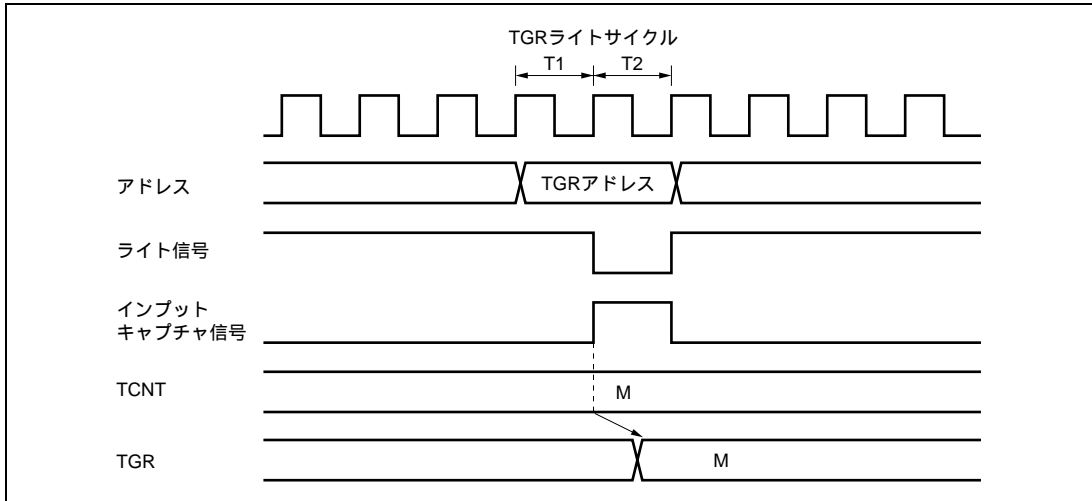


図 9.50 TGR のライトとインプットキャプチャの競合

9.9.10 バッファレジスタのライトとインプットキャプチャの競合

バッファレジスタのライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。このタイミングを図 9.51 に示します。

9. 16 ビットタイマパルスユニット (TPU)

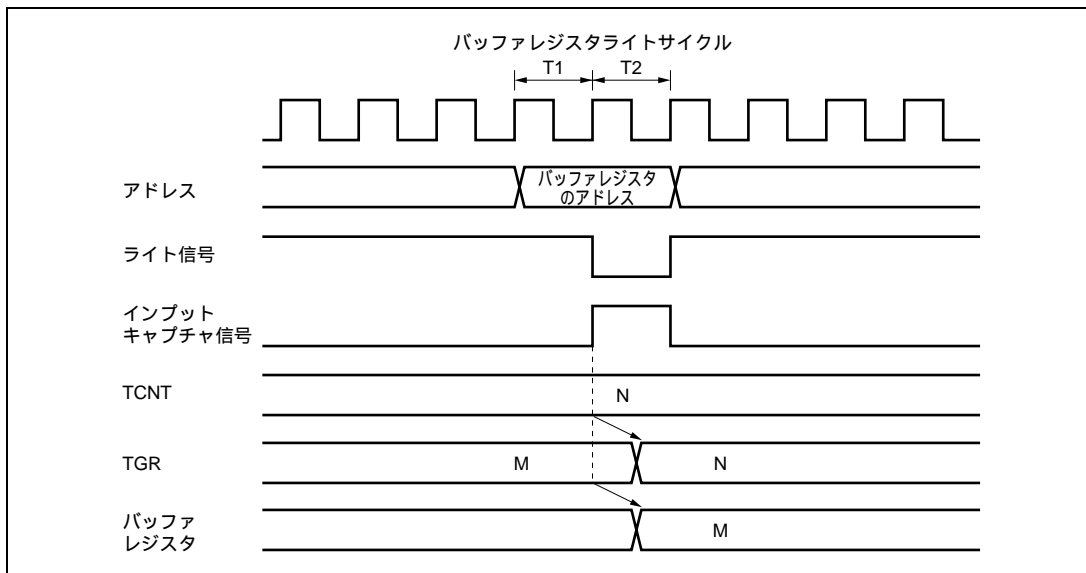


図 9.51 バッファレジスタのライトと入力キャプチャの競合

9.9.11 オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV/TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 9.52 に示します。

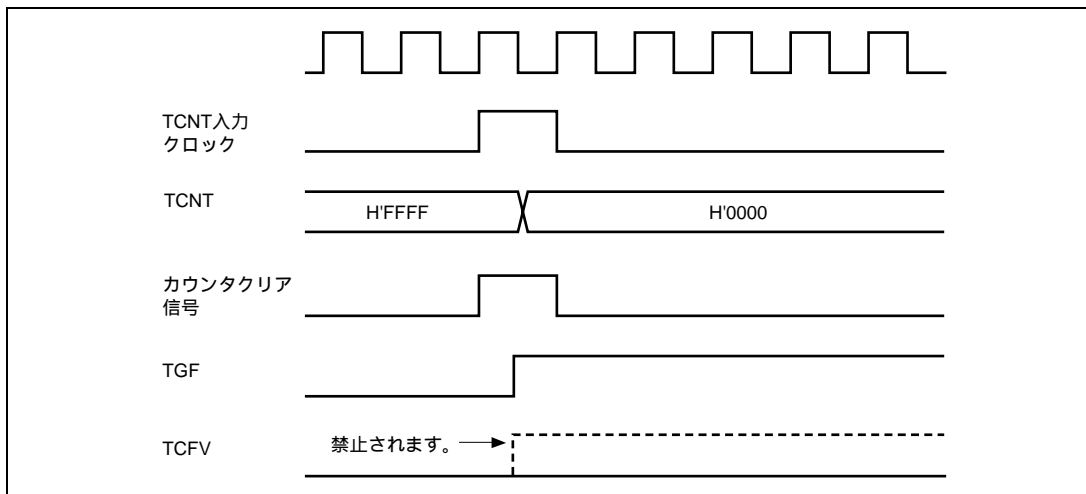


図 9.52 オーバフローとカウンタクリアの競合

9.9.12 TCNT のライトとオーバーフロー/アンダフローの競合

TCNT のライトサイクル中の T2 ステートでカウントアップ/カウントダウンが発生し、オーバーフロー/アンダフローが発生しても TCNT へのライトが優先され、TSR の TCFV/TCFU フラグはセットされません。

TCNT のライトとオーバーフロー競合時の動作タイミングを図 9.53 に示します。

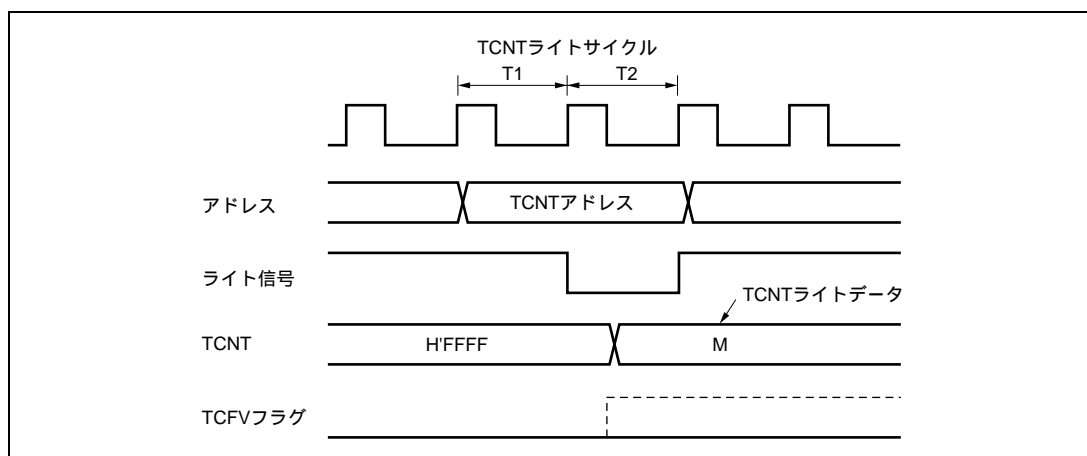


図 9.53 TCNT のライトとオーバーフローの競合

9.9.13 入出力端子の兼用

本 LSI では、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

9.9.14 モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップモードにすると、CPU の割り込み要因、DTC の起動要因のクリアができません。事前に割り込みをディスエーブルしてからモジュールストップモードとしてください。

10. プログラマブルパルスジェネレータ (PPG)

プログラマブルパルスジェネレータ (PPG) は 16 ビットタイマパルスユニット (TPU) をタイムベースとしてパルスを出力します。PPG は 4 ビット単位のパルス出力グループ 3~0 から構成されており、これらは同時に動作させることも、独立に動作させることもできます。PPG のブロック図を図 10.1 に示します。

10.1 特長

- 出力データ16ビット
- 4系統の出力可能
- 出力トリガ信号を選択可能
- ノンオーバーラップ動作可能
- データトランスファコントローラ (DTC) との連携動作可能
- 反転出力の指定可能
- モジュールストップモードの設定可能

10. プログラマブルパルスジェネレータ (PPG)

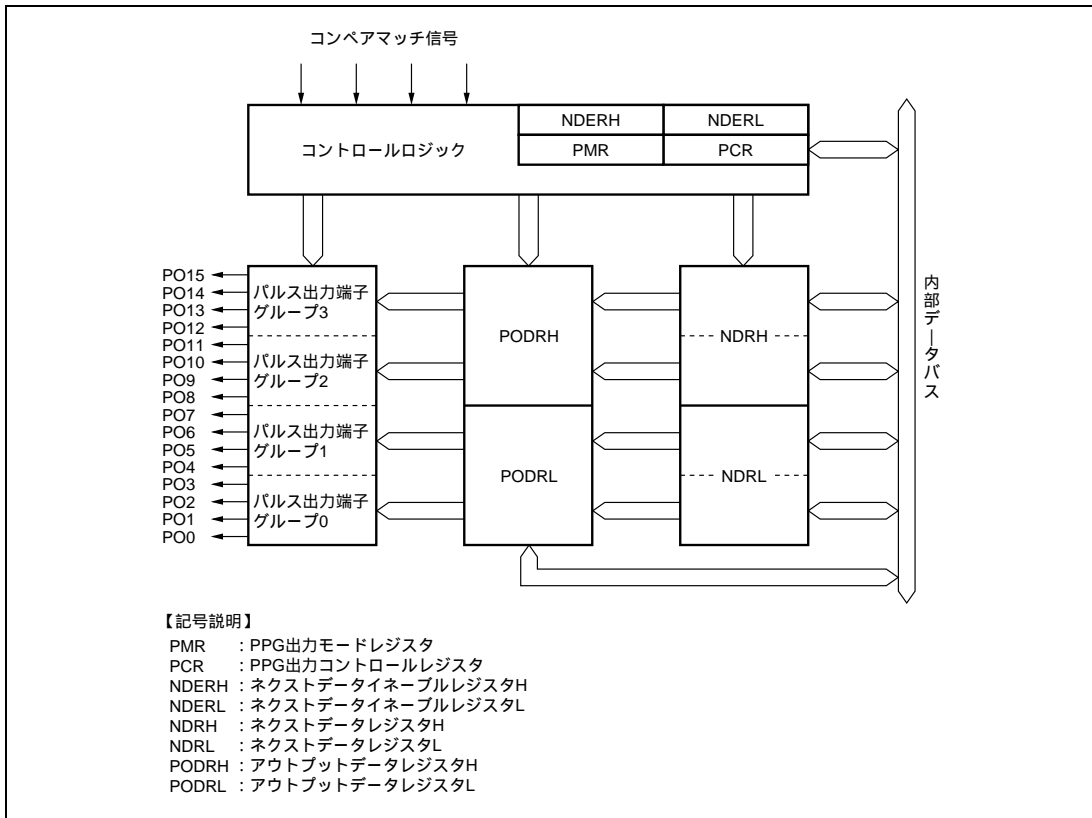


図 10.1 PPG のブロック図

10.2 入出力端子

PPG には表 10.1 の入出力端子があります。

表 10.1 PPG の入出力端子

端子名	入出力	機能
PO15	出力	パルス出力グループ 3 のパルス出力
PO14	出力	
PO13	出力	
PO12	出力	
PO11	出力	パルス出力グループ 2 のパルス出力
PO10	出力	
PO9	出力	
PO8	出力	
PO7	出力	パルス出力グループ 1 のパルス出力
PO6	出力	
PO5	出力	
PO4	出力	
PO3	出力	パルス出力グループ 0 のパルス出力
PO2	出力	
PO1	出力	
PO0	出力	

10.3 レジスタの説明

PPG には以下のレジスタがあります。

- ネクストデータイネーブルレジスタH (NDERH)
- ネクストデータイネーブルレジスタL (NDERL)
- アウトプットデータレジスタH (PODRH)
- アウトプットデータレジスタL (PODRL)
- ネクストデータレジスタH (NDRH)
- ネクストデータレジスタL (NDRL)
- PPG出力コントロールレジスタ (PCR)
- PPG出力モードレジスタ (PMR)

10. プログラマブルパルスジェネレータ (PPG)

10.3.1 ネクストデータイネーブルレジスタ H、L (NDERH、NDERL)

NDERH、NDERL は、PPG によるパルス出力端子をビット単位で選択します。PPG によってパルスを出力するためにはこの他に対応する DDR を 1 にセットする必要があります。

• NDERH

ビット	ビット名	初期値	R/W	説明
7	NDER15	0	R/W	ネクストデータイネーブル 15~8 1 にセットすると選択された出力トリガによって NDRH の対応するビットから PODRH ヘーダが転送されます。クリアされているビットは NDRH から PODRH へのデータ転送は行われません。
6	NDER14	0	R/W	
5	NDER13	0	R/W	
4	NDER12	0	R/W	
3	NDER11	0	R/W	
2	NDER10	0	R/W	
1	NDER9	0	R/W	
0	NDER8	0	R/W	

• NDERL

ビット	ビット名	初期値	R/W	説明
7	NDER7	0	R/W	ネクストデータイネーブル 7~0 1 にセットすると選択された出力トリガによって NDRL の対応するビットから PODRL ヘーダが転送されます。クリアされているビットは NDRL から PODRL へのデータ転送は行われません。
6	NDER6	0	R/W	
5	NDER5	0	R/W	
4	NDER4	0	R/W	
3	NDER3	0	R/W	
2	NDER2	0	R/W	
1	NDER1	0	R/W	
0	NDER0	0	R/W	

10.3.2 アウトプットデータレジスタ H、L (PODRH、PODRL)

PODRH、PODRL は、パルス出力値が格納されます。NDER によりパルス出力に設定されたビットはリード専用となり、ライトできません。

• PODRH

ビット	ビット名	初期値	R/W	説明
7	POD15	0	R/W	アウトプットデータレジスタ 15~8 NDERH によりパルス出力に設定されたビットは PPG 動作中、出力トリガによって NDRH の値がこのレジスタに転送されます。NDERH が 1 にセットされている期間 CPU からはライトできません。NDERH がクリアされている状態ではパルスの初期出力値を設定することができます。
6	POD14	0	R/W	
5	POD13	0	R/W	
4	POD12	0	R/W	
3	POD11	0	R/W	
2	POD10	0	R/W	
1	POD9	0	R/W	
0	POD8	0	R/W	

• PODRL

ビット	ビット名	初期値	R/W	説明
7	POD7	0	R/W	アウトプットデータレジスタ 7~0 NDERL によりパルス出力に設定されたビットは PPG 動作中、出力トリガによって NDRL の値がこのレジスタに転送されます。NDERL が 1 にセットされている期間 CPU からはライトできません。NDERL がクリアされている状態ではパルスの初期出力値を設定することができます。
6	POD6	0	R/W	
5	POD5	0	R/W	
4	POD4	0	R/W	
3	POD3	0	R/W	
2	POD2	0	R/W	
1	POD1	0	R/W	
0	POD0	0	R/W	

10. プログラマブルパルスジェネレータ (PPG)

10.3.3 ネクストデータレジスタ H、L (NDRH、NDRL)

NDRH、NDRL は、パルス出力の次のデータを格納します。NDR のアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

- NDRH

パルス出力グループ 2、3 の出力トリガを同一にすると、以下のように 8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

ビット	ビット名	初期値	R/W	説 明
7	NDR15	0	R/W	ネクストデータレジスタ 15~8
6	NDR14	0	R/W	PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
5	NDR13	0	R/W	
4	NDR12	0	R/W	
3	NDR11	0	R/W	
2	NDR10	0	R/W	
1	NDR9	0	R/W	
0	NDR8	0	R/W	

パルス出力グループ 2 とパルス出力グループ 3 で異なる出力トリガを選択すると、以下のように上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

ビット	ビット名	初期値	R/W	説 明
7	NDR15	0	R/W	ネクストデータレジスタ 15~12
6	NDR14	0	R/W	PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
5	NDR13	0	R/W	
4	NDR12	0	R/W	
3~0	-	すべて 1	-	

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	NDR11	0	R/W	ネクストデータレジスタ 11~8
2	NDR10	0	R/W	PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
1	NDR9	0	R/W	
0	NDR8	0	R/W	

10. プログラマブルパルスジェネレータ (PPG)

- NDRL

パルス出力グループ 0、1 の出力トリガを同一にすると、以下のように 8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

ビット	ビット名	初期値	R/W	説 明
7	NDR7	0	R/W	ネクストデータレジスタ 7~0 PCR で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
6	NDR6	0	R/W	
5	NDR5	0	R/W	
4	NDR4	0	R/W	
3	NDR3	0	R/W	
2	NDR2	0	R/W	
1	NDR1	0	R/W	
0	NDR0	0	R/W	

パルス出力グループ 0 とパルス出力グループ 1 で異なる出力トリガを選択すると、以下のように上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

ビット	ビット名	初期値	R/W	説 明
7	NDR7	0	R/W	ネクストデータレジスタ 7~4 PCR で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
6	NDR6	0	R/W	
5	NDR5	0	R/W	
4	NDR4	0	R/W	
3~0	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7~4	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	NDR3	0	R/W	ネクストデータレジスタ 3~0 PCR で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
2	NDR2	0	R/W	
1	NDR1	0	R/W	
0	NDR0	0	R/W	

10. プログラマブルパルスジェネレータ (PPG)

10.3.4 PPG 出力コントロールレジスタ (PCR)

PCR は、パルス出力トリガ信号をグループ単位で選択します。出力トリガの選択については「10.3.5 PPG 出力モードレジスタ (PMR)」を併せて参照してください。

ビット	ビット名	初期値	R/W	説明
7 6	G3CMS1 G3CMS0	1 1	R/W R/W	グループ 3 コンペアマッチセレクト 1、0 パルス出力グループ 3 の出力トリガを選択します。 00: TPU チャンネル 0 のコンペアマッチ 01: TPU チャンネル 1 のコンペアマッチ 10: TPU チャンネル 2 のコンペアマッチ 11: TPU チャンネル 3 のコンペアマッチ
5 4	G2CMS1 G2CMS0	1 1	R/W R/W	グループ 2 コンペアマッチセレクト 1、0 パルス出力グループ 2 の出力トリガを選択します。 00: TPU チャンネル 0 のコンペアマッチ 01: TPU チャンネル 1 のコンペアマッチ 10: TPU チャンネル 2 のコンペアマッチ 11: TPU チャンネル 3 のコンペアマッチ
3 2	G1CMS1 G1CMS0	1 1	R/W R/W	グループ 1 コンペアマッチセレクト 1、0 パルス出力グループ 1 の出力トリガを選択します。 00: TPU チャンネル 0 のコンペアマッチ 01: TPU チャンネル 1 のコンペアマッチ 10: TPU チャンネル 2 のコンペアマッチ 11: TPU チャンネル 3 のコンペアマッチ
1 0	G0CMS1 G0CMS0	1 1	R/W R/W	グループ 0 コンペアマッチセレクト 1、0 パルス出力グループ 0 の出力トリガを選択します。 00: TPU チャンネル 0 のコンペアマッチ 01: TPU チャンネル 1 のコンペアマッチ 10: TPU チャンネル 2 のコンペアマッチ 11: TPU チャンネル 3 のコンペアマッチ

10.3.5 PPG 出力モードレジスタ (PMR)

PMR は、PPG のパルス出力モードをグループ単位で設定します。反転出力に設定すると PODRH の値が 1 のとき端子に Low レベルを、PODRH の値が 0 のとき端子に High レベルを出力します。また、ノンオーバーラップ動作に設定すると PPG は、出力トリガとなる TPU のコンペアマッチ A、B で出力値を更新します。詳細は、「10.4.4 パルス出力ノンオーバーラップ動作」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	G3INV	1	R/W	グループ 3 インバート パルス出力グループ 3 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
6	G2INV	1	R/W	グループ 2 インバート パルス出力グループ 2 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
5	G1INV	1	R/W	グループ 1 インバート パルス出力グループ 1 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
4	G0INV	1	R/W	グループ 0 インバート パルス出力グループ 0 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
3	G3NOV	0	R/W	グループ 3 ノンオーバーラップ パルス出力グループ 3 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)
2	G2NOV	0	R/W	グループ 2 ノンオーバーラップ パルス出力グループ 2 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)

10. プログラマブルパルスジェネレータ (PPG)

ビット	ビット名	初期値	R/W	説明
1	G1NOV	0	R/W	グループ1 ノンオーバーラップ パルス出力グループ1を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)
0	G0NOV	0	R/W	グループ0 ノンオーバーラップ パルス出力グループ0を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)

10.4 動作説明

PPG 概要図を図 10.2 に示します。PPG は、P1DDR、P2DDR、NDER の対応するビットをそれぞれ 1 にセットすることによりパルス出力状態となります。初期出力値は対応する PODR の初期設定値により決まります。その後、PCR で指定したコンペアマッチが発生すると、対応する NDR の値がそれぞれ PODR に転送されて出力値が更新されます。次のコンペアマッチが発生するまでに NDR に出力データをライトすることにより、コンペアマッチのたびに最大 16 ビットのデータを順次出力することができます。

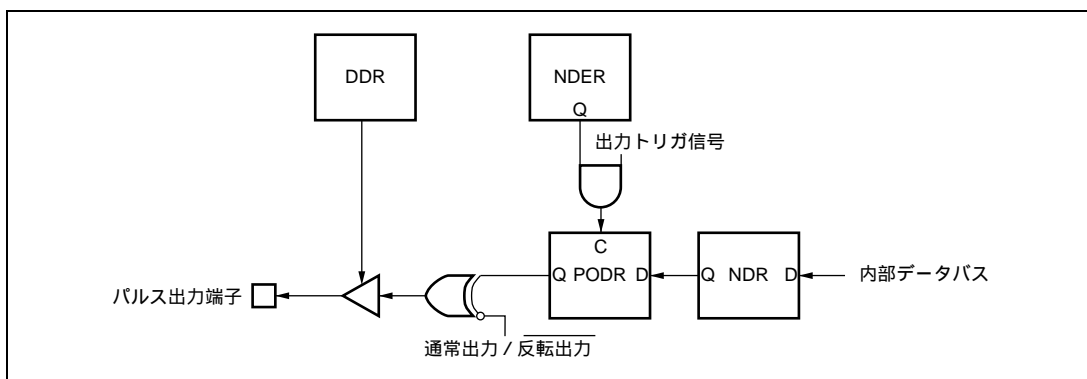


図 10.2 PPG 概要図

10.4.1 出力タイミング

パルス出力許可状態で指定されたコンペアマッチが発生すると、NDR の内容が PODR に転送され、出力されます。このタイミングを図 10.3 に示します。コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

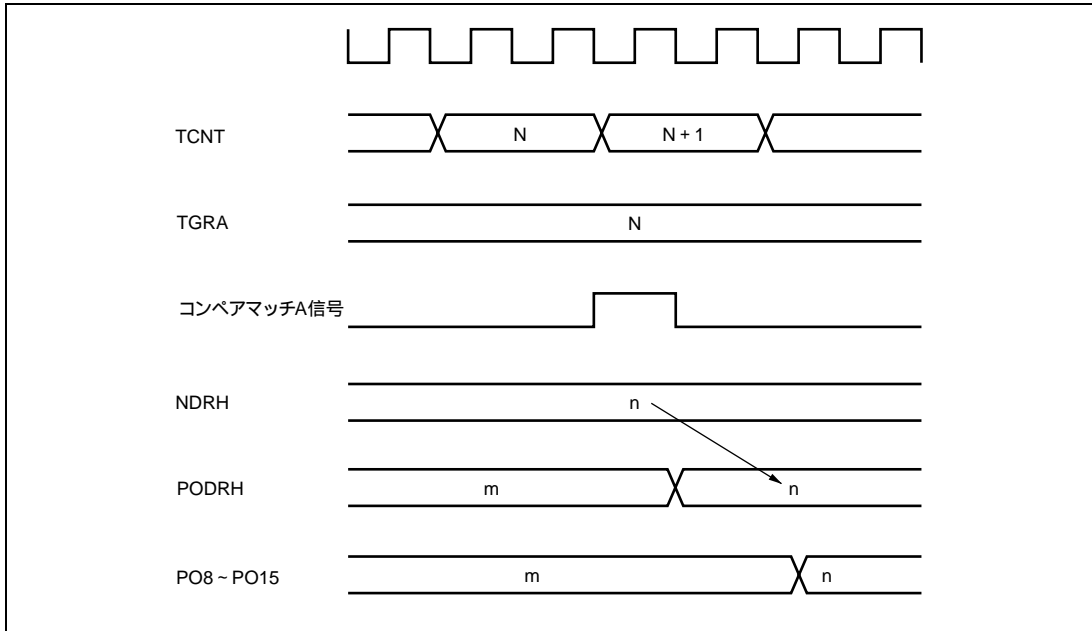


図 10.3 NDR の内容が転送・出力されるタイミング例

10.4.2 通常動作のパルス出力設定手順例

パルス出力通常動作の設定手順例を図 10.4 に示します。

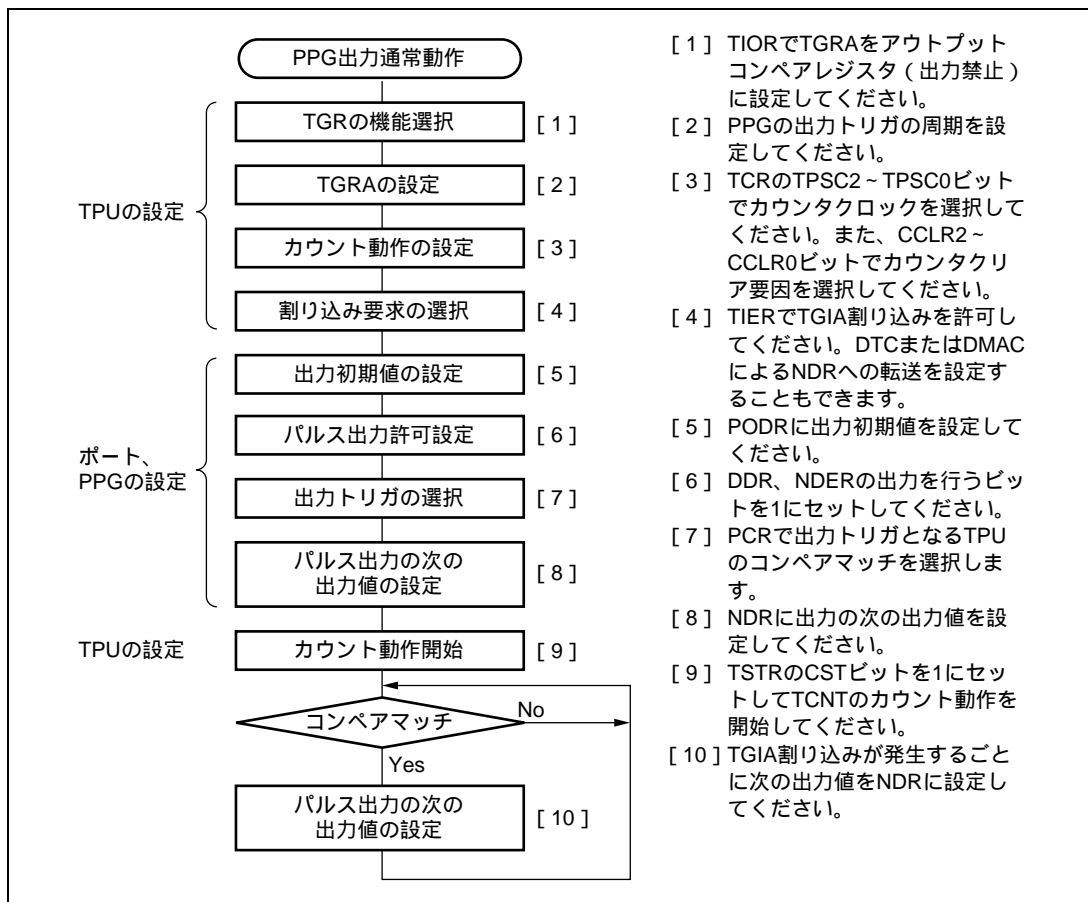


図 10.4 パルス出力通常動作の設定手順例

10.4.3 パルス出力通常動作例 (5相パルス出力例)

パルス出力を使用して一定周期で5相パルスを出力させた例を図10.5に示します。

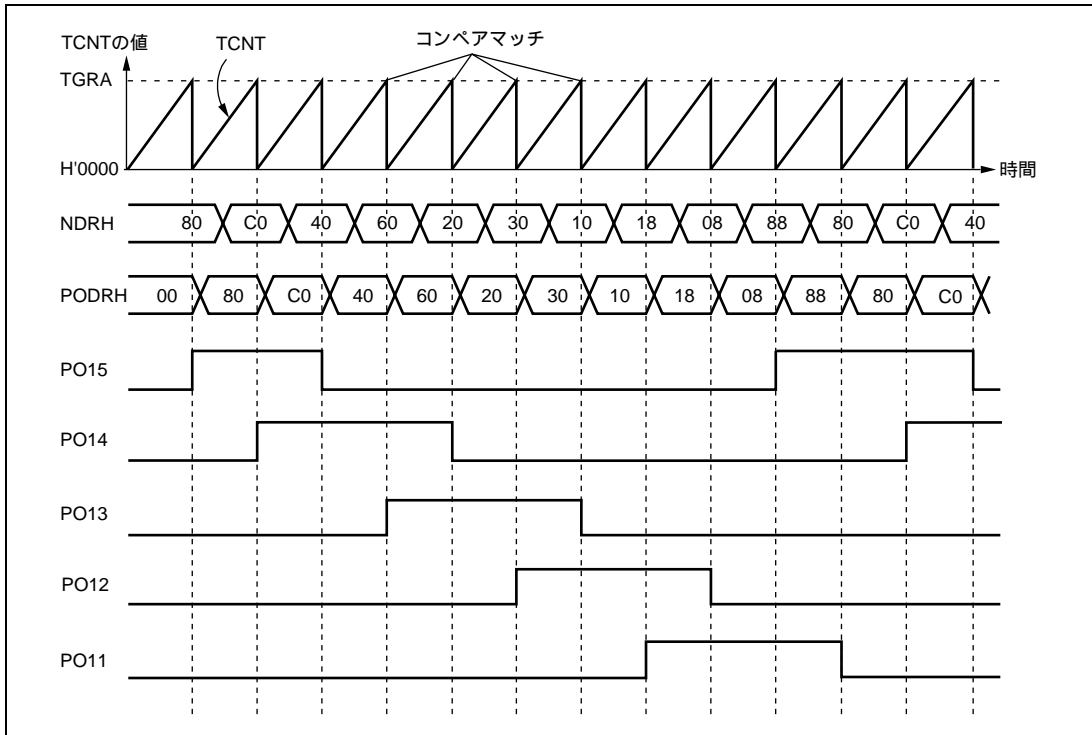


図 10.5 パルス出力通常動作例 (5相パルス出力例)

- 出力トリガとするTPUのTGRAをアウトプットコンペアレジスタに設定します。TGRAには周期を設定し、コンペアマッチAによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、コンペアマッチ/インプットキャプチャA (TGIA) 割り込みを許可します。
- PIDDR、NDERHにH'F8をライトし、PCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより、1で選択したTPUのコンペアマッチに出力トリガを設定します。NDRHに出力データH'80をライトします。
- TPU当該チャンネルの動作を開始しコンペアマッチAが発生すると、NDRHの内容がPODRHに転送され出力されます。TGIA割り込み処理でNDRHに次の出力データH'C0をライトします。
- 以後、TGIA割り込みで順次H'40、H'60、H'20、H'30、H'10、H'18、H'08、H'88...をライトすることで、5相の1 - 2相パルス出力を行うことができます。

TGIA割り込みでDTCを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

10.4.4 パルス出力ノンオーバーラップ動作

ノンオーバーラップ動作時の NDR から PODR への転送は以下のようになっています。

- コンペアマッチAではNDRの内容を常にPODRへ転送します。
- コンペアマッチBではNDRの転送するビットの内容が0のときのみ転送を行います。1のときは転送を行いません。

ノンオーバーラップ時のパルス出力動作を図 10.6 に示します。

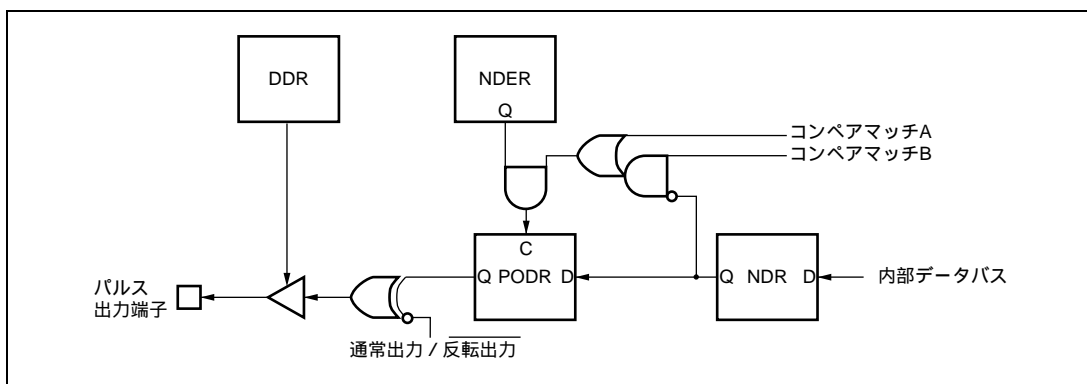


図 10.6 パルス出力ノンオーバーラップ動作

したがって、コンペアマッチ B をコンペアマッチ A よりも先に発生させることにより、0 データの転送を 1 データの転送に先立って行うことが可能です。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまで(ノンオーバーラップ期間)の間、NDR の内容を変更しないようにしてください。

これは TGIA 割り込みの割り込み処理ルーチンで NDR に次のデータをライトすることによって実現できます。また、TGIA 割り込みで DTC を起動することもできます。ただし、このライトは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを図 10.7 に示します。

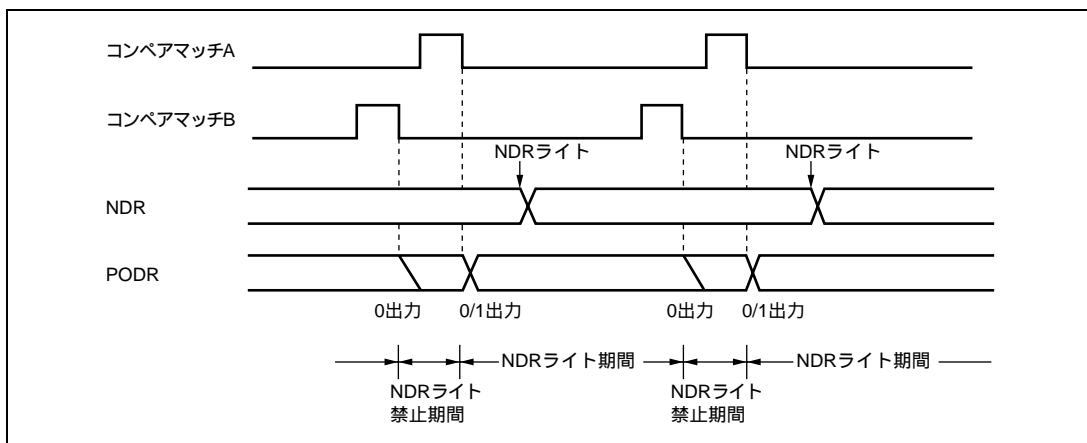


図 10.7 ノンオーバーラップ動作と NDR ライトタイミング

10.4.5 ノンオーバーラップ動作のパルス出力設定手順例

パルス出力ノンオーバーラップ動作の設定手順例を図 10.8 に示します。

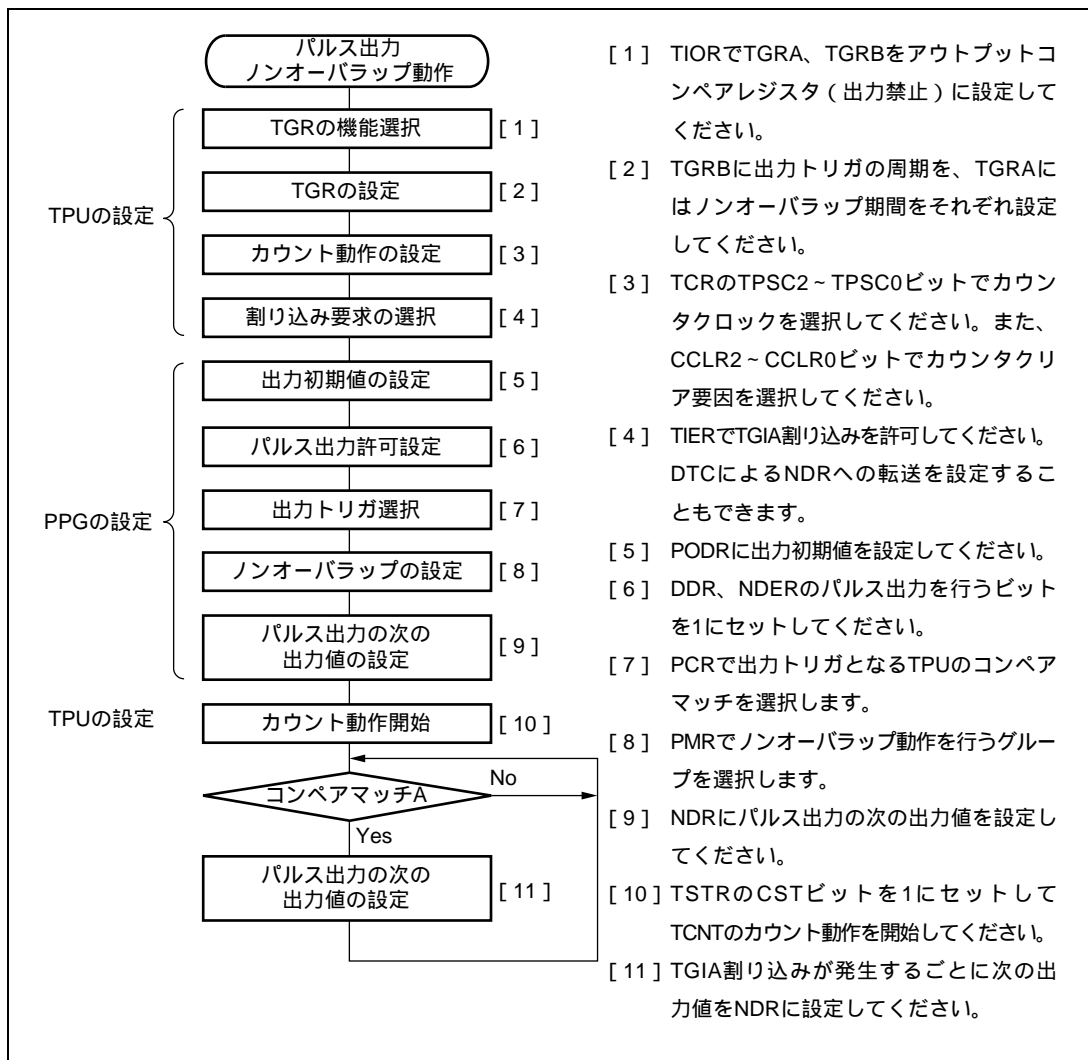


図 10.8 パルス出力ノンオーバーラップ動作の設定手順例

10.4.6 パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力例)

パルス出力を使用して4相の相補ノンオーバーラップのパルスを出力させた例を図10.9に示します。

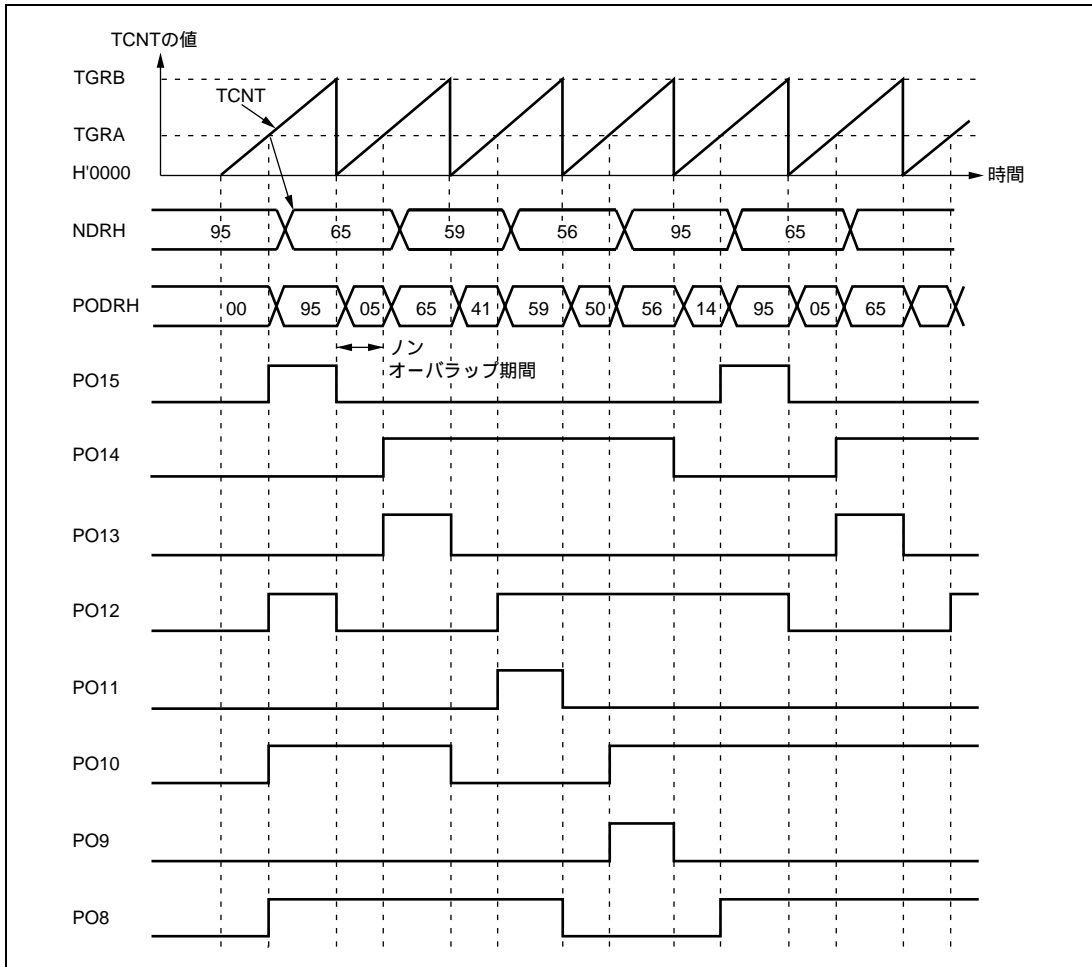


図 10.9 パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力)

10. プログラマブルパルスジェネレータ (PPG)

- 出力トリガとするTPUのTGRA、TGRBをアウトプットコンペアレジスタに設定します。TGRBには周期、TGRAにはノンオーバーラップ期間を設定し、コンペアマッチBによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、TGIA割り込みを許可します。
- P1DDR、NDRHにH'FFをライトし、PCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより、1で選択したTPUのコンペアマッチに出力トリガを設定します。
PMRのG3NOV、G2NOVビットをそれぞれ1にセットして、ノンオーバーラップ動作を設定します。
NDRHに出力データH'95をライトします。
- TPU当該チャネルの動作を開始すると、TGRBのコンペアマッチで1出力 0出力の変化、TGRAのコンペアマッチで0出力 1出力の変化を行います (0出力 1出力の変化はTGRAの設定値分遅延することになります)。
TGIA割り込み処理でNDRHに次の出力データH'65をライトします。
- 以後、TGIA割り込みで順次H'59、H'56、H'95...をライトすることで、4相の相補ノンオーバーラップ出力を発生することができます。
TGIA割り込みでDTCを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

10.4.7 パルス反転出力

PMR の G3INV、G2INV、G1INV および G0INV を 0 に設定すると、PODR の内容に対する反転値を端子出力することができます。

図 10.9 の設定で、さらに G3INV、G2INV を 0 にしたときの端子出力の様子を図 10.10 に示します。

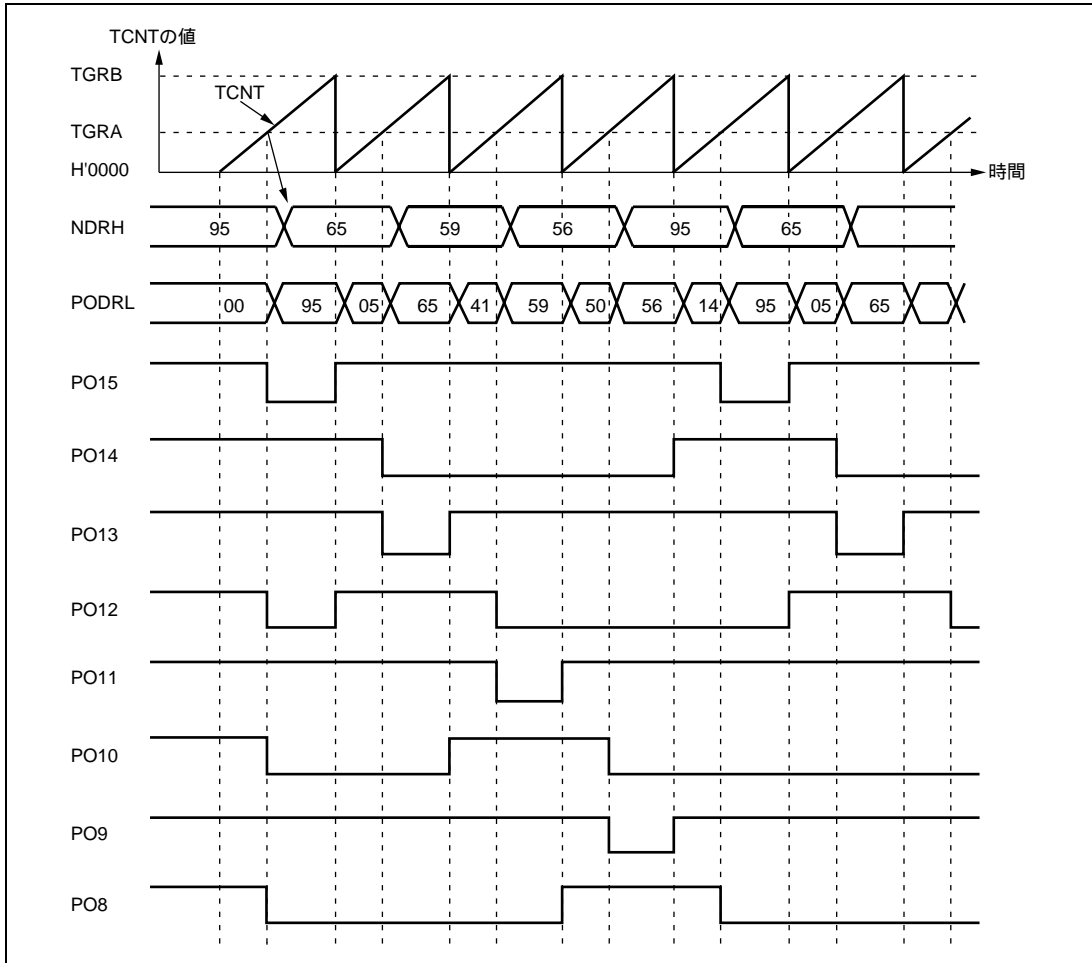


図 10.10 パルス反転出力例

10.4.8 インพุットキャプチャによるパルス出力

パルス出力は、TPU のコンペアマッチだけでなく、インพุットキャプチャによっても可能です。PCR によって選択された TPU の TGRA がインพุットキャプチャレジスタとして機能しているとき、インพุットキャプチャ信号によりパルス出力を行います。

このタイミングを図 10.11 に示します。

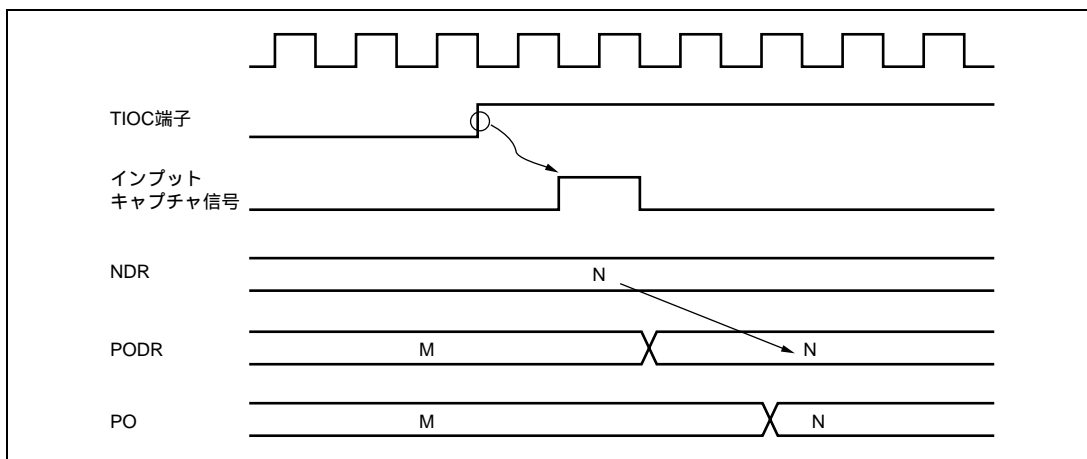


図 10.11 インพุットキャプチャによるパルス出力例

10.5 使用上の注意事項

10.5.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、PPG の動作禁止/許可を設定することが可能です。初期値では、PPG の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 19 章 低消費電力状態」を参照してください。

10.5.2 パルス出力端子の動作

PO0 ~ PO15 は TPU などの他の周辺機能の端子と兼用になっています。これらの端子は、他の周辺機能が出力許可状態になっているときには、パルス出力を行うことができません。ただし、NDR から PODR への転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

11. 8ビットタイマ (TMR)

本 LSI は、8 ビットのカウンタをベースにした 2 チャンネルの 8 ビットタイマを内蔵しています。外部のイベントのカウンタが可能のほか、2 本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

11.1 特長

- 4種類のクロックを選択可能
3種類の内部クロック (/8、 /64、 /8192) と外部クロックのうちから選択できます。
- カウンタのクリア指定が可能
コンペアマッチA、コンペアマッチB、または外部リセット信号のうちから選択できます。
- 2つのコンペアマッチ信号の組み合わせでタイマ出力を制御
独立に動作可能な2つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能です。
- 2チャンネルのカスケード接続が可能 (TMR_0、 TMR_1)
TMR_0を上位、TMR_1を下位とする16ビットタイマとして動作可能です (16ビットカウントモード)。
TMR_1はTMR_0のコンペアマッチをカウント可能です (コンペアマッチカウントモード)。
- 複数の割り込み要因
コンペアマッチA、コンペアマッチB、オーバーフローの3種類があります。
- A/D変換器の変換開始トリガを生成可能

11. 8ビットタイマ (TMR)

8ビットタイマ (TMR_0、TMR_1) のブロック図を図 11.1 に示します。

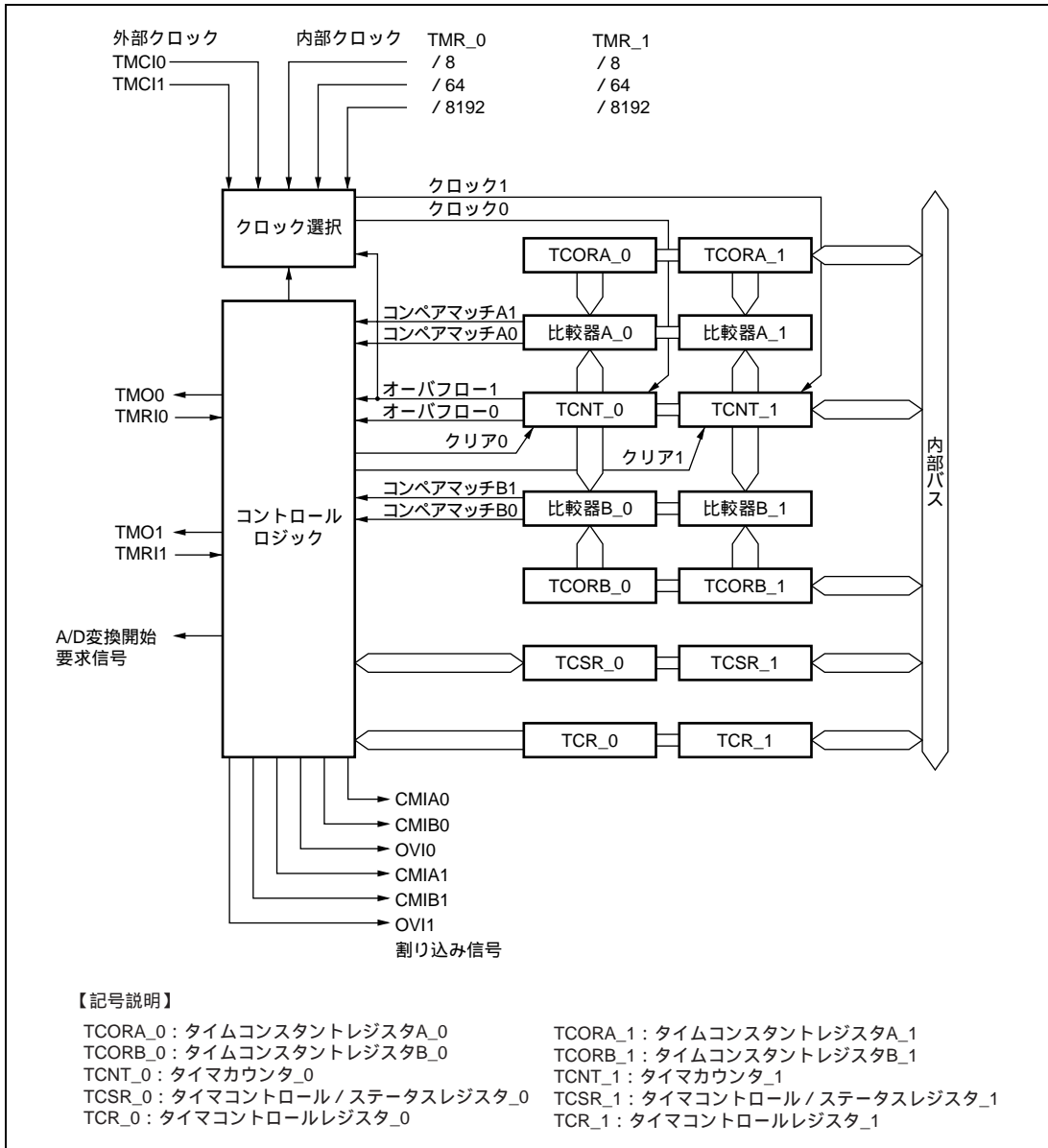


図 11.1 8ビットタイマのブロック図

11.2 入出力端子

TMRの端子構成を表11.1に示します。

表 11.1 端子構成

チャンネル	名称	略称	入出力	機能
0	タイマ出力端子	TMO0	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCi0	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRi0	入力	カウンタ外部リセット入力
1	タイマ出力端子	TMO1	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCi1	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRi1	入力	カウンタ外部リセット入力

11.3 レジスタの説明

TMRには以下のレジスタがあります。モジュールストップコントロールレジスタについては「19.1.2 モジュールストップコントロールレジスタH、L(MSTPCR_H、MSTPCR_L)」を参照してください。

- タイマカウンタ_0 (TCNT_0)
- タイムコンスタントレジスタA_0 (TCORA_0)
- タイムコンスタントレジスタB_0 (TCORB_0)
- タイマコントロールレジスタ_0 (TCR_0)
- タイマコントロール/ステータスレジスタ_0 (TCSR_0)
- タイマカウンタ_1 (TCNT_1)
- タイムコンスタントレジスタA_1 (TCORA_1)
- タイムコンスタントレジスタB_1 (TCORB_1)
- タイマコントロールレジスタ_1 (TCR_1)
- タイマコントロール/ステータスレジスタ_1 (TCSR_1)

11. 8ビットタイマ (TMR)

11.3.1 タイマカウンタ (TCNT)

TCNTは8ビットのアップカウンタです。TCNT_0、TCNT_1を16ビットレジスタとしてワードアクセスすることも可能です。クロックは、TCRのCKS2~CKS0ビットにより選択します。TCNTは、外部リセット入力信号またはコンペアマッチA信号、コンペアマッチB信号によりクリアすることができます。いずれの信号でクリアするかは、TCRのCCLR1、CCLR0ビットにより選択します。また、TCNTがオーバフロー(H'FF H'00)すると、TCSRのOVFが1にセットされます。TCNTの初期値はH'00です。

11.3.2 タイムコンスタントレジスタ A (TCORA)

TCORAは8ビットのリード/ライト可能なレジスタです。TCORA_0、TCORA_1を16ビットレジスタとしてワードアクセスすることも可能です。TCORAの値はTCNTと常に比較され、一致するとTCSRのCMFAが1にセットされます。ただし、TCORAへのライトサイクルのT2ステートでの比較は禁止されています。また、この一致信号(コンペアマッチA)とTCSRのOS1、OS0ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORAの初期値はH'FFです。

11.3.3 タイムコンスタントレジスタ B (TCORB)

TCORBは8ビットのリード/ライト可能なレジスタです。TCORB_0、TCORB_1を16ビットレジスタとしてワードアクセスすることも可能です。TCORBの値はTCNTと常に比較され、一致するとTCSRのCMFBが1にセットされます。ただし、TCORBへのライトサイクルのT2ステートでの比較は禁止されています。また、この一致信号(コンペアマッチB)とTCSRのOS3、OS2ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORBの初期値はH'FFです。

11.3.4 タイマコントロールレジスタ(TCR)

TCR は TCNT の入力クロックの選択、TCNT のクリア条件指定、各割り込み要求の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブル B TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。 0 : CMFB による割り込み要求 (CMIB) を禁止 1 : CMFB による割り込み要求 (CMIB) を許可
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブル A TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求 (CMIA) の許可または禁止を選択します。 0 : CMFA による割り込み要求 (CMIA) を禁止 1 : CMFA による割り込み要求 (CMIA) を許可
5	OVIE	0	R/W	タイマオーバフローインタラプトイネーブル TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求 (OVI) の許可または禁止を選択します。 0 : OVF による割り込み要求 (OVI) を禁止 1 : OVF による割り込み要求 (OVI) を許可
4 3	CCLR1 CCLR0	0 0	R/W R/W	カウンタクリア 1、0 TCNT のクリア条件を指定します。 00 : クリアを禁止 01 : コンペアマッチ A によりクリア 10 : コンペアマッチ B によりクリア 11 : 外部リセット入力の立ち上がりエッジによりクリア
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト 2~0 TCNT に入力するクロックとカウント条件を選択します。表 11.2 を参照してください。

11. 8 ビットタイマ (TMR)

表 11.2 TCNT に入力するクロックとカウント条件

チャネル	TCR			説 明
	ビット 2	ビット 1	ビット 0	
	CKS2	CKS1	CKS0	
TMR_0	0	0	0	クロック入力を禁止
	0	0	1	内部クロック /8 立ち下がりエッジでカウント
	0	1	0	内部クロック /64 立ち下がりエッジでカウント
	0	1	1	内部クロック /8192 立ち下がりエッジでカウント
	1	0	0	TCNT_1 のオーバフロー信号でカウント*
TMR_1	0	0	0	クロック入力を禁止
	0	0	1	内部クロック /8 立ち下がりエッジでカウント
	0	1	0	内部クロック /64 立ち下がりエッジでカウント
	0	1	1	内部クロック /8192 立ち下がりエッジでカウント
	1	0	0	TCNT_0 のコンペアマッチ A でカウント*
共通	1	0	1	外部クロックの立ち上がりエッジでカウント
	1	1	0	外部クロックの立ち下がりエッジでカウント
	1	1	1	外部クロックの立ち上がり/立ち下がり両エッジでカウント

【注】* TMR_0 のクロック入力を TCNT_1 のオーバフロー信号とし、TMR_1 のクロック入力を TCNT_0 のコンペアマッチ信号とするとカウントアップクロックが発生しません。この設定は行わないでください。

11.3.5 タイマコントロール/ステータスレジスタ (TCSR)

TCSR はステータスフラグの表示およびコンペアマッチによる出力制御を行います。

• TCSR_0

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT の値と TCORB の値が一致したとき [クリア条件] CMFB = 1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき CMIB 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT の値と TCORA の値が一致したとき [クリア条件] CMFA = 1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき CMIA 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
5	OVF	0	R/(W)*	タイマオーバーフローフラグ [セット条件] TCNT の値が H'FF から H'00 にオーバーフローしたとき [クリア条件] OVF = 1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ADTE	0	R/W	A/D トリガイネーブル コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。 0 : コンペアマッチ A による A/D 変換開始要求を禁止 1 : コンペアマッチ A による A/D 変換開始要求を許可
3	OS3	0	R/W	アウトプットセレクト 3、2
2	OS2	0	R/W	TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
1	OS1	0	R/W	アウトプットセレクト 1、0
0	OS0	0	R/W	TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

【注】* フラグをクリアするための 0 ライトのみ可能です。

11. 8ビットタイマ (TMR)

• TCSR_1

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT の値と TCORB の値が一致したとき [クリア条件] CMFB = 1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき CMIB 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT の値と TCORA の値が一致したとき [クリア条件] CMFA = 1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき CMIA 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
5	OVF	0	R/(W)*	タイマオーバーフローフラグ [セット条件] TCNT の値が H'FF から H'00 にオーバーフローしたとき [クリア条件] OVF = 1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4		1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	OS3	0	R/W	アウトプットセレクト 3、2
2	OS2	0	R/W	TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00: 変化しない 01: 0 出力 10: 1 出力 11: 反転出力 (トグル出力)
1	OS1	0	R/W	アウトプットセレクト 1、0
0	OS0	0	R/W	TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00: 変化しない 01: 0 出力 10: 1 出力 11: 反転出力 (トグル出力)

【注】* フラグをクリアするための 0 ライトのみ可能です。

11.4 動作説明

11.4.1 パルス出力

任意のデューティパルスを出力させる例を図 11.2 に示します。

1. TCORAのコンペアマッチによりTCNTがクリアされるようにTCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介入なしに出力できます。

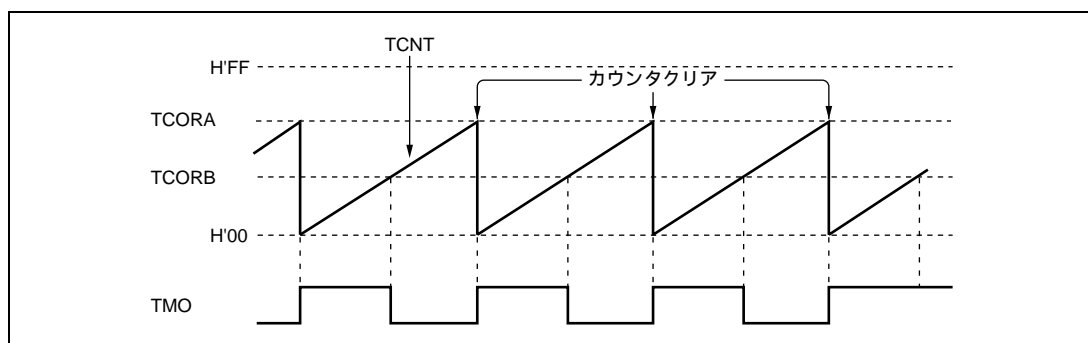


図 11.2 パルス出力例

11.5 動作タイミング

11.5.1 TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 11.3 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 11.4 に示します。なお外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

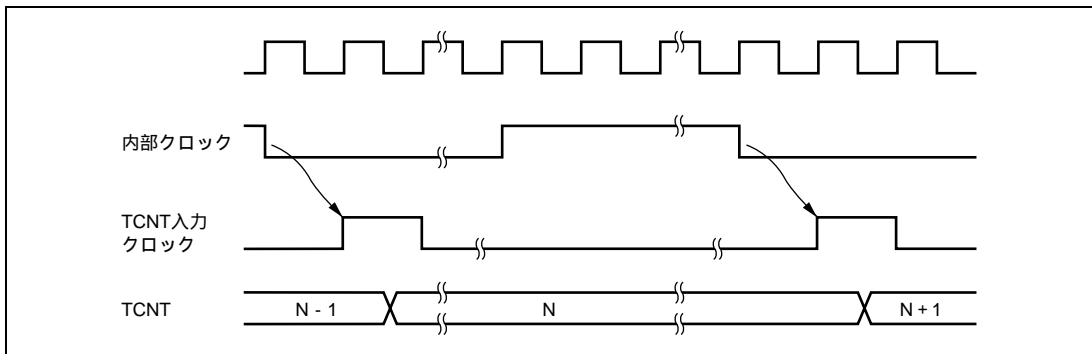


図 11.3 内部クロック動作時のカウントタイミング

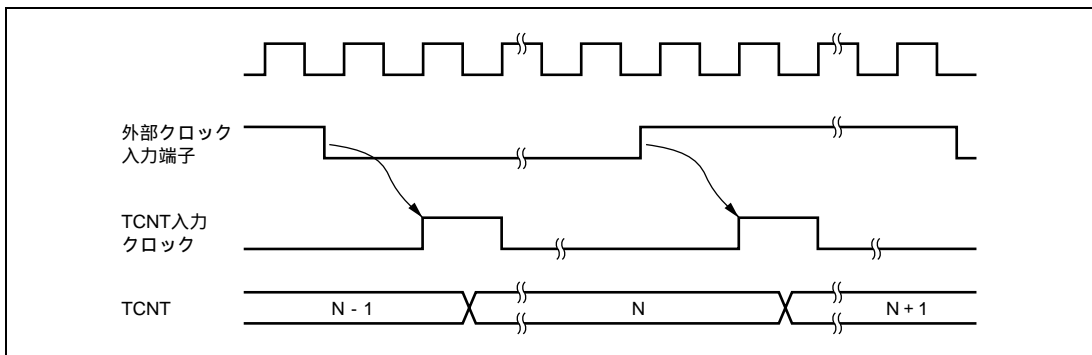


図 11.4 外部クロック動作時のカウントタイミング

11.5.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

TCSR の CMFA、CMFB フラグは、TCOR と TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。したがって、TCNT と TCOR の値が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF フラグのセットタイミングを図 11.5 に示します。

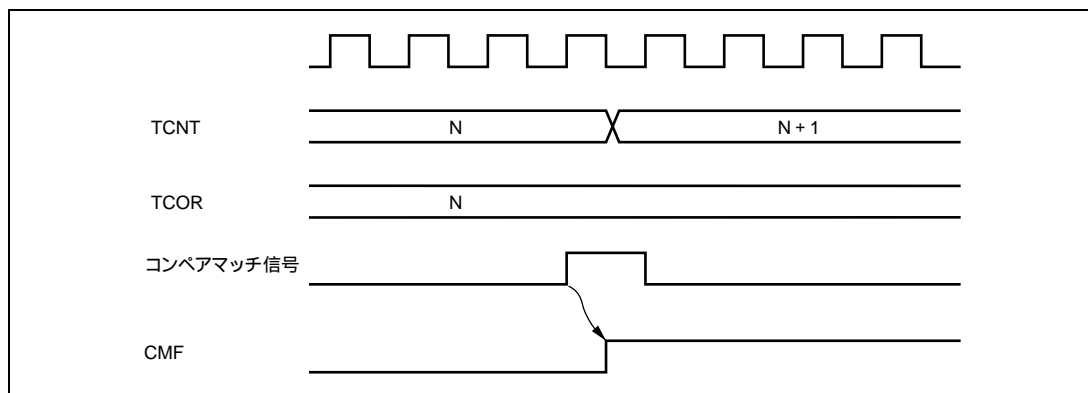


図 11.5 コンペアマッチ時の CMF フラグのセットタイミング

11.5.3 コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR の OS3 ~ OS0 ビットで設定される出力値がタイマ出力端子に出力されます。コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 11.6 に示します。

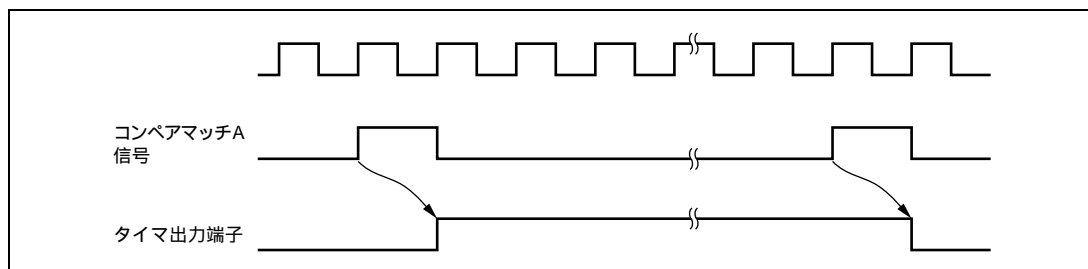


図 11.6 コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング

11.5.4 コンペアマッチによるカウンタクリアタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。コンペアマッチによるカウンタクリアタイミングを図 11.7 に示します。

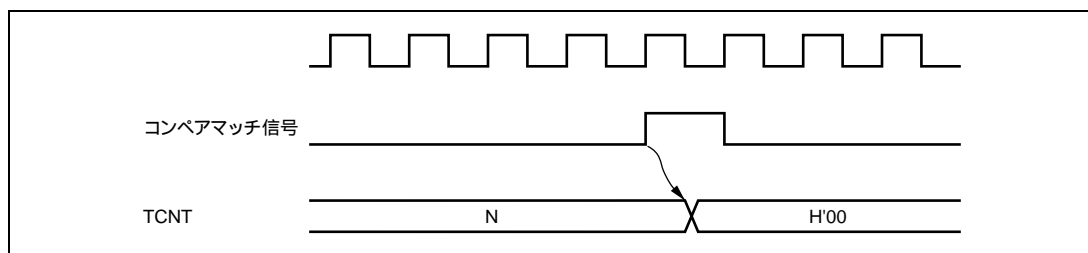


図 11.7 コンペアマッチによるカウンタクリアタイミング

11.5.5 TCNT の外部リセットタイミング

TCNTは、TCRのCCLR1、CCLR0ビットの選択により外部リセット入力の立ち上がりエッジでクリアされます。クリアまでのパルス幅は1.5 ステート以上必要となります。外部リセット入力によるクリアタイミングを図 11.8 に示します。

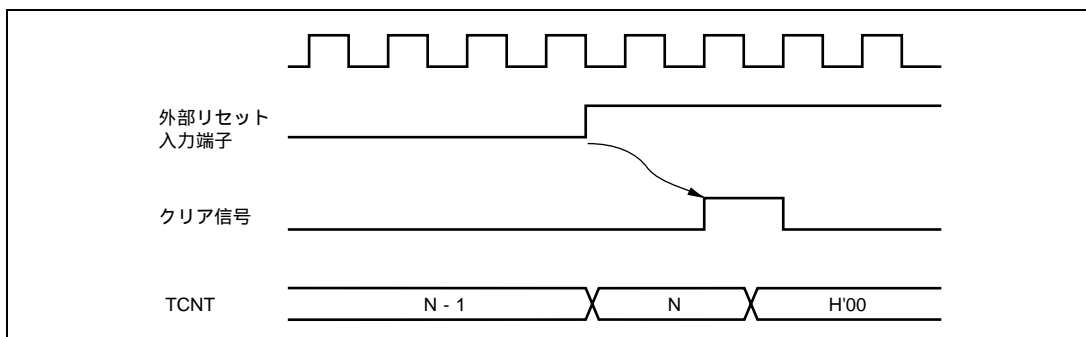


図 11.8 外部リセット入力によるクリアタイミング

11.5.6 オーバフローフラグ (OVF) のセットタイミング

TCSRのOVFは、TCNTがオーバーフロー (H'FF H'00) したとき出力されるオーバーフロー信号により1にセットされます。OVFフラグのセットタイミングを図 11.9 に示します。

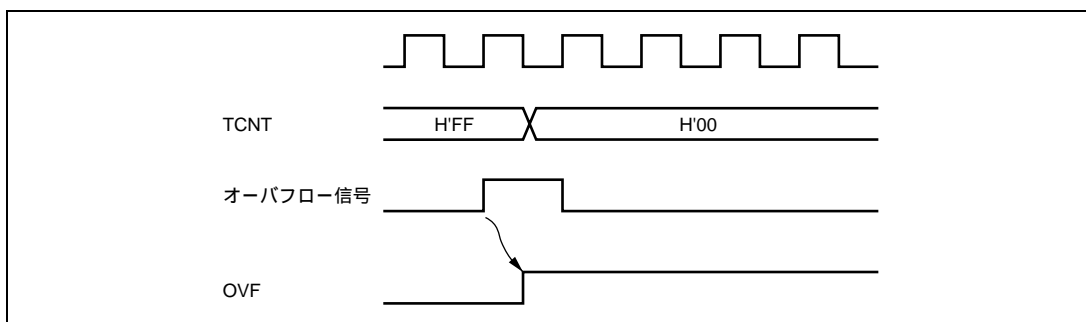


図 11.9 OVF フラグのセットタイミング

11.6 カスケード接続時の動作

TCR_0、TCR_1 のいずれか一方の CKS2~CKS0 ビットを B'100 に設定すると、2チャンネルの8ビットタイマはカスケード接続されます。この場合、1本の16ビットタイマとして使用する16ビットカウントモードか、またはチャンネル0の8ビットタイマのコンペアマッチをチャンネル1のタイマでカウントするコンペアマッチカウントモードにすることができます。

11.6.1 16ビットカウントモード

TCR_0 の CKS2~CKS0 ビットが B'100 のとき、タイマはチャンネル0を上位8ビット、チャンネル1を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

(1) コンペアマッチフラグのセット

- TCSR_0のCMFフラグは、16ビットのコンペアマッチが発生したとき1にセットされます。
- TCSR_1のCMFフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされます。

(2) カウンタクリア指定

- TCR_0のCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生したとき16ビットカウンタ (TCNT_0、TCNT_1の両方) がクリアされます。また、TMRIO端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TCNT_0、TCNT_1の両方) がクリアされません。
- TCR_1のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

(3) 端子出力

- TCSR_0のOS3~OS0ビットによるTMO0端子の出力制御は16ビットのコンペアマッチ条件に従います。
- TCSR_1のOS3~OS0ビットによるTMO1端子の出力制御は下位8ビットのコンペアマッチ条件に従います。

11.6.2 コンペアマッチカウントモード

TCR_1 の CKS2~CKS0 ビットが B'100 のとき、TCNT_1 はチャンネル0のコンペアマッチ A をカウントします。チャンネル0、1の制御はそれぞれ独立に行われます。CMFフラグのセット、割り込みの発生、TMO端子の出力、カウンタクリアなどは各チャンネルの設定に従います。

11.7 割り込み要因

11.7.1 割り込み要因と DTC 起動

8ビットタイマ TMR_0、TMR_1 の割り込み要因は、CMIA、CMIB、OVI の3種類があります。表 11.3 に各割り込み要因と優先順位を示します。各割り込み要因は、TCR または TCSR の各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。また、CMIA、CMIB 割り込みにより DTC を起動することができます。

表 11.3 8ビットタイマ TMR_0、TMR_1 の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
CMIA0	TCORA_0 のコンペアマッチ	CMFA	可	高 ▲ 低
CMIB0	TCORB_0 のコンペアマッチ	CMFB	可	
OVI0	TCNT_0 のオーバーフロー	OVF	不可	低
CMIA1	TCORA_1 のコンペアマッチ	CMFA	可	高 ▲ 低
CMIB1	TCORB_1 のコンペアマッチ	CMFB	可	
OVI1	TCNT_1 のオーバーフロー	OVF	不可	低

11.7.2 A/D 変換器の起動

TMR_0 のコンペアマッチ A により A/D 変換器を起動することができます。TMR_0 のコンペアマッチ A の発生により TCSR_0 の CMFA フラグが 1 にセットされたとき、ADTE ビットが 1 にセットされていれば A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器で 8ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。

11.8 使用上の注意

11.8.1 TCNT のライトとカウンタクリアの競合

図 11.10 のように TCNT のライトサイクル中の T₂ ステートでカウンタクリアが発生すると、カウンタへのライトは行われずクリアが優先されます。

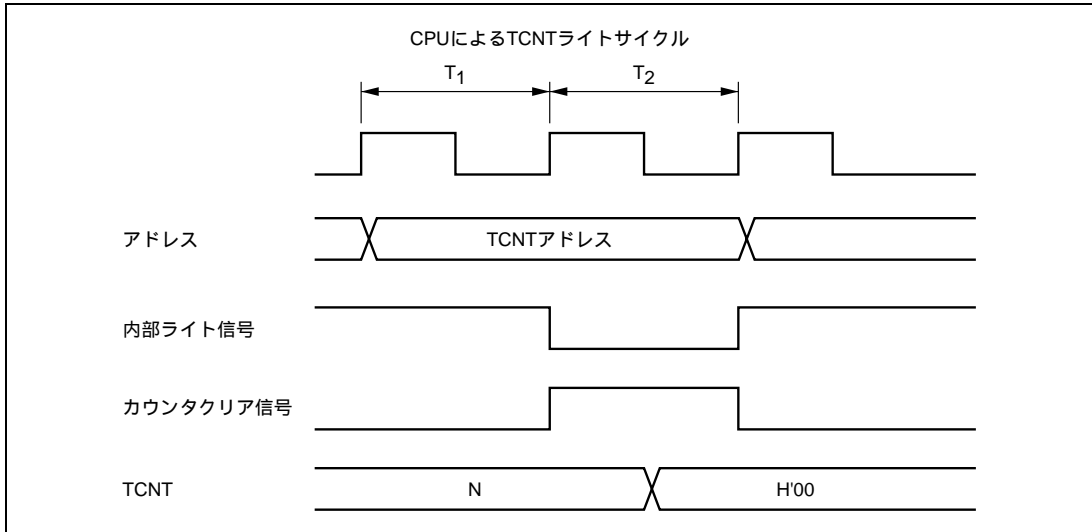


図 11.10 TCNT のライトとクリアの競合

11.8.2 TCNT のライトとカウントアップの競合

図 11.11 のように TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

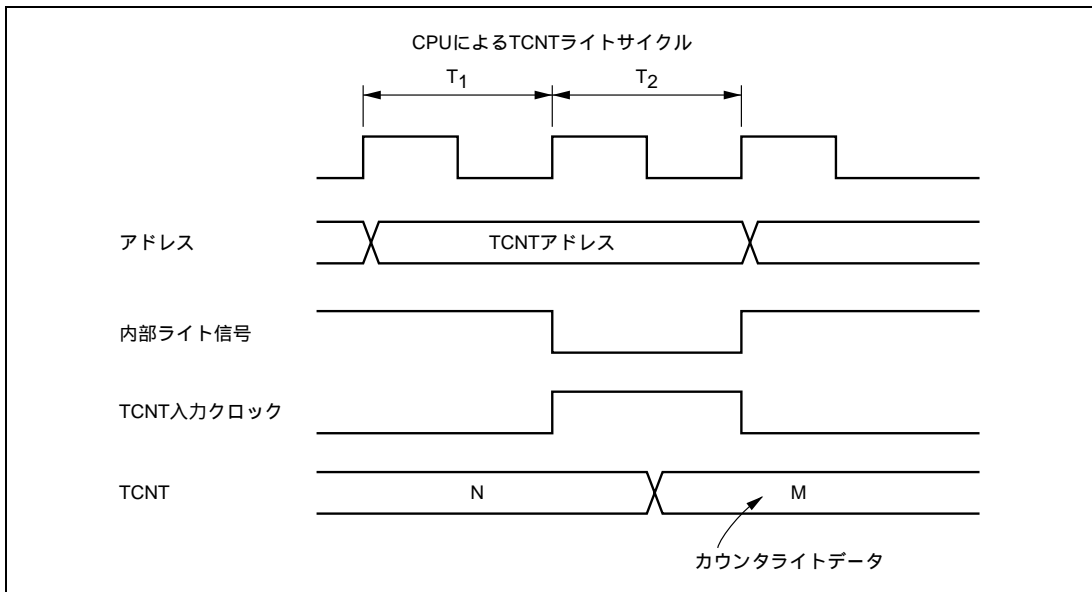


図 11.11 TCNT のライトとカウントアップの競合

11.8.3 TCOR のライトとコンペアマッチの競合

図 11.12 のように TCOR のライトサイクル中の T₂ ステートでコンペアマッチが発生しても、TCOR のライトが優先されコンペアマッチ信号は禁止されます。

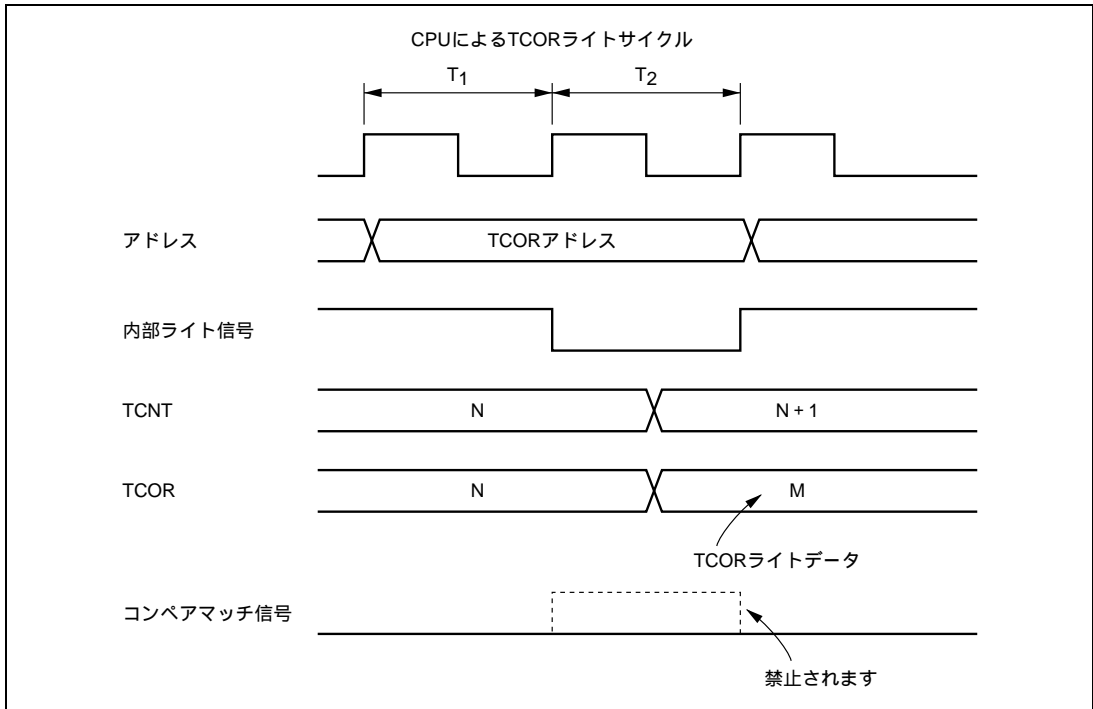


図 11.12 TCOR のライトとコンペアマッチの競合

11.8.4 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 11.4 に示すタイマ出力の優先順位に従って動作します。

表 11.4 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
1 出力	
0 出力	
変化しない	

11.8.5 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0 ビットの書き換え) と TCNT 動作の関係を表 11.5 に示します。

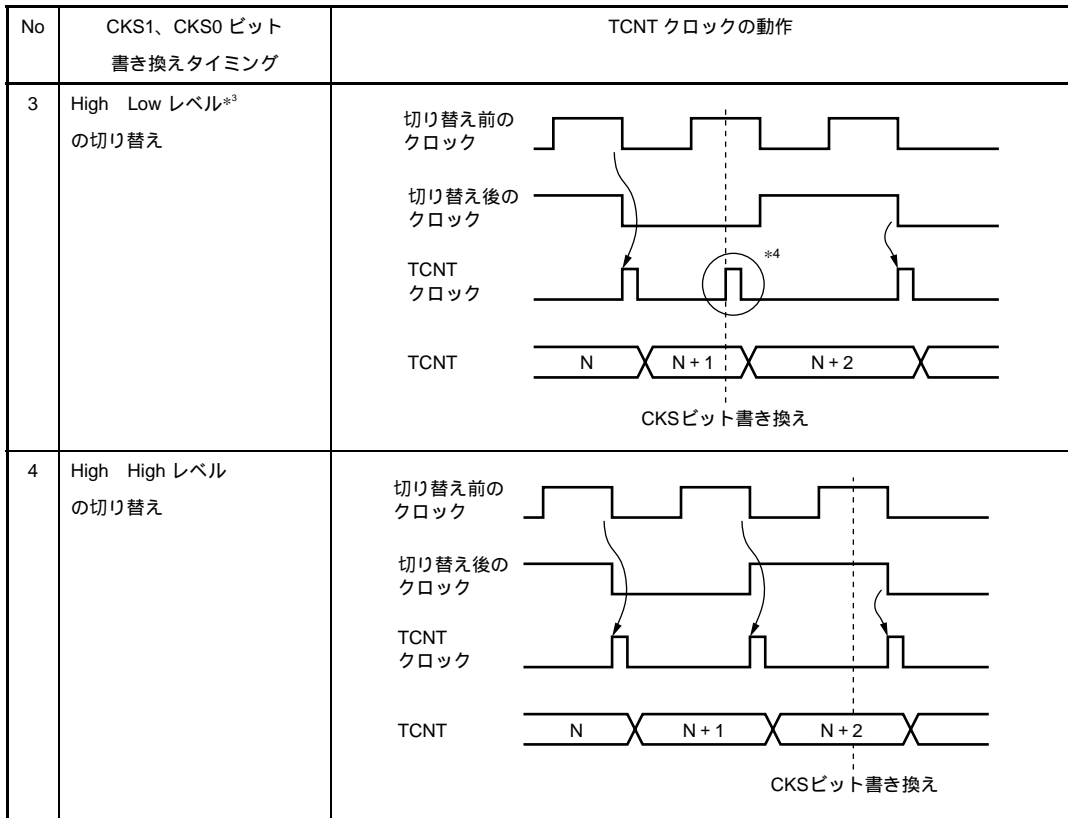
内部クロックから TCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため表 11.5 の No.3 のように、High Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 11.5 内部クロックの切り替えと TCNT の動作

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low Low レベル* ¹ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>N N+1</p> <p>CKSビット書き換え</p>
2	Low High レベル* ² の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>N N+1 N+2</p> <p>CKSビット書き換え</p>

11. 8ビットタイマ (TMR)



【注】 *1 Low レベル 停止、および停止 Low レベルの場合を含みます。

*2 停止 High レベルの場合を含みます。

*3 High レベル 停止を含みます。

*4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

11.8.6 カスケード接続時のモード設定

16ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT_0、TCNT_1の入カクロックが発生しなくなるためカウンタが停止して動作しません。この設定は行わないでください。

11.8.7 モジュールストップモード時の割り込み

割り込みが要求された状態でモジュールストップモードにすると、CPUの割り込み要因、またはDTCの起動要因のクリアができません。事前に割り込みをディスエーブルにするなどして、モジュールストップモードにしてください。

12. ウォッチドッグタイマ (WDT)

ウォッチドッグタイマ (WDT) は 8 ビットのタイマで、システムの暴走などによりカウンタの値が書き換えられずにオーバーフローすると外部にオーバーフロー信号 ($\overline{\text{WDTOVF}}$) を出力します。同時に、本 LSI 内部をリセットすることができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマとして使用する場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。WDT のブロック図を図 12.1 に示します。

12.1 特長

- 8種類のカウント入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード

- カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力、このとき同時に本LSI内部をリセットするかしないかを選択可能

インターバルタイマモード

- カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) を発生

12. ウォッチドッグタイマ (WDT)

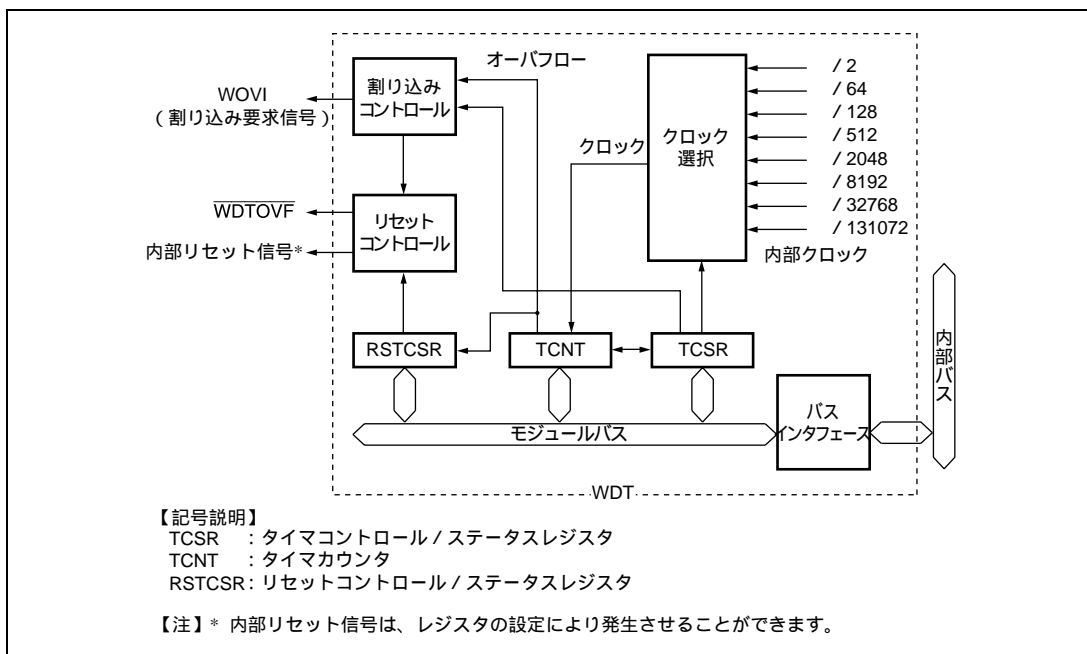


図 12.1 WDT のブロック図

12.2 入出力端子

WDT の端子構成を表 12.1 に示します。

表 12.1 端子構成

名称	記号	入出力	機能
ウォッチドッグタイマオーバーフロー	WDTOVF	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力

12.3 レジスタの説明

WDT には、以下のレジスタがあります。TCNT、TCSR、RSTCSR は容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は、「12.6.1 レジスタアクセス時の注意」を参照してください。

- タイマカウンタ (TCNT)
- タイマコントロール/ステータスレジスタ (TCSR)
- リセットコントロール/ステータスレジスタ (RSTCSR)

12.3.1 タイマカウンタ (TCNT)

TCNT は、リード/ライト可能な 8 ビットのアップカウンタです。TCNT は、タイマコントロール/ステータスレジスタ (TCSR) の TME ビットが 0 のとき、H'00 に初期化されます。

12.3.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、TCNT に入力するクロック、モードの選択などを行います。

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)*	<p>オーバフローフラグ インターバルタイマモードで TCNT がオーバフローしたことを示します。フラグをクリアするための 0 クリアのみ可能です。</p> <p>[セット条件] インターバルタイマモードで TCNT がオーバフロー (H'FF H'00) したとき</p> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされません。</p> <p>[クリア条件] OVF=1 の状態で、TCSR をリード後、OVF に 0 をライトしたとき</p>
6	WT/IT	0	R/W	<p>タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0 : インターバルタイマモード TCNT がオーバフローしたとき、インターバルタイマ割り込み (WOVI) を要求します。</p> <p>1 : ウォッチドッグタイマモード TCNT がオーバフローしたとき、外部へ WDTOVF を出力します。</p>
5	TME	0	R/W	<p>タイマイネーブル このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>
4 3		1 1		<p>リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。</p>
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	<p>クロックセレクト 2 ~ 0 TCNT に入力するクロックを選択します。() 内は = 20MHz のときのオーバフロー周期を表します。</p> <p>000 : クロック /2 (周期 25.6μs) 001 : クロック /64 (周期 819.2μs) 010 : クロック /128 (周期 1.6ms) 011 : クロック /512 (周期 6.6ms) 100 : クロック /2048 (周期 26.2ms) 101 : クロック /8192 (周期 104.9ms) 110 : クロック /32768 (周期 419.4ms) 111 : クロック /131072 (周期 1.68s)</p>

【注】* フラグをクリアするための 0 ライトのみ可能です。

12. ウォッチドッグタイマ (WDT)

12.3.3 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSR は、TCNT のオーバーフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。RSTCSR は、 \overline{RES} 端子からのリセット信号で H'1F に初期化されます。WDT のオーバーフローによる内部リセット信号では初期化されません。

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)*	ウォッチドッグタイマオーバーフローフラグ ウォッチドッグタイマモードで、TCNT がオーバーフローするとセットされます。インターバルタイマモードではセットされません。0 ライトのみ可能です。 [セット条件] ウォッチドッグタイマモードで TCNT がオーバーフロー(H'FF H'00)したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで TCNT のオーバーフローにより LSI 内部をリセットするかどうかを選択します。 0 : TCNT がオーバーフローしても、内部はリセットされません。 (本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。) 1 : TCNT がオーバーフローすると内部がリセットされます。
5	-	0	R/W	リザーブビット リード/ライト可能ですが、動作に影響を与えません。
4 ~ 0		1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

【注】* フラグをクリアするための 0 ライトのみ可能です。

12.4 動作説明

12.4.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときは、TCSR の $\overline{WT}/\overline{IT}$ ビット = 1 に、TME ビット = 1 に設定してください。

ウォッチドッグタイマとして動作しているとき、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、 \overline{WDTOVF} 信号が出力されます。システムが正常に動作している間は、TCNT のオーバーフローは発生しません。TCNT がオーバーフローする前に必ず TCNT の値を書き換えて (通常は H'00 をライトする)、オーバーフローを発生させないようにプログラムしてください。さらに、ウォッチドッグタイマモード時には、 \overline{WDTOVF} 信号を用いて LSI 内部をリセットすることができます。

RSTCSR の RSTE ビットを 1 にセットしておく、TCNT がオーバーフローしたときに、 \overline{WDTOVF} 信号と同時に、本 LSI の内部をリセットする信号が発生します。 \overline{RES} 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

\overline{WDTOVF} 信号は、RSTCSR の RSTE ビット = 1 のとき 132 ステート、RSTE ビット = 0 のとき 130 ステートの間出力されます。内部リセット信号は、518 ステートの間出力されます。

ウォッチドッグタイマモードで TCNT がオーバーフローすると、RSTCSR の WOVF ビットが 1 にセットされます。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバーフローしたとき、本 LSI 全体に対して内部リセット信号が発生します。

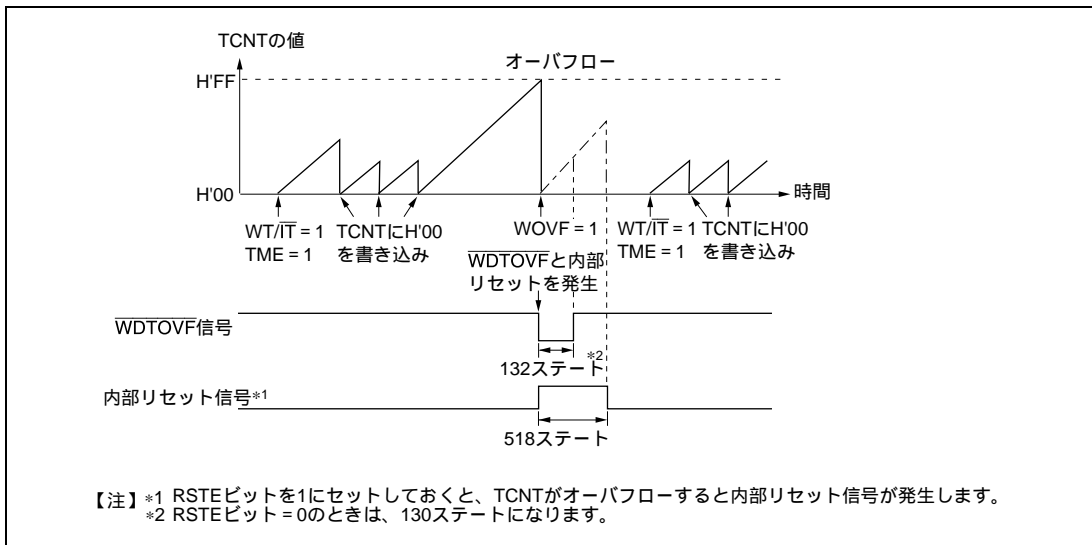


図 12.2 ウォッチドッグタイマモード時の動作

12. ウォッチドッグタイマ (WDT)

12.4.2 インターバルタイマモード

インターバルタイマとして使用するときは、TCSR の WT/\overline{IT} ビット = 0 に、TME ビット = 1 に設定してください。

インターバルタイマとして動作しているときは、TCNT がオーバーフローすることによりインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに割り込みを発生させることができます。

インターバルタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。

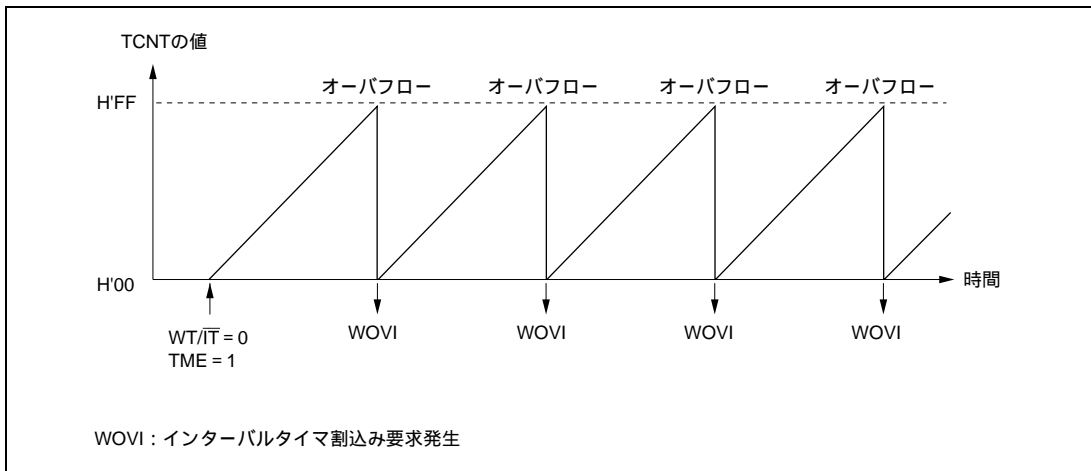


図 12.3 インターバルタイマモード時の動作

12.5 割り込み要因

インターバルタイマモード時、オーバーフローによりインターバルタイマ割り込み (WOVI) を発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

表 12.2 WDT の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動
WOVI	TCNT のオーバーフロー	OVF	不可

12. ウォッチドッグタイマ (WDT)

12.6.2 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートの次サイクルでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 12.5 に示します。

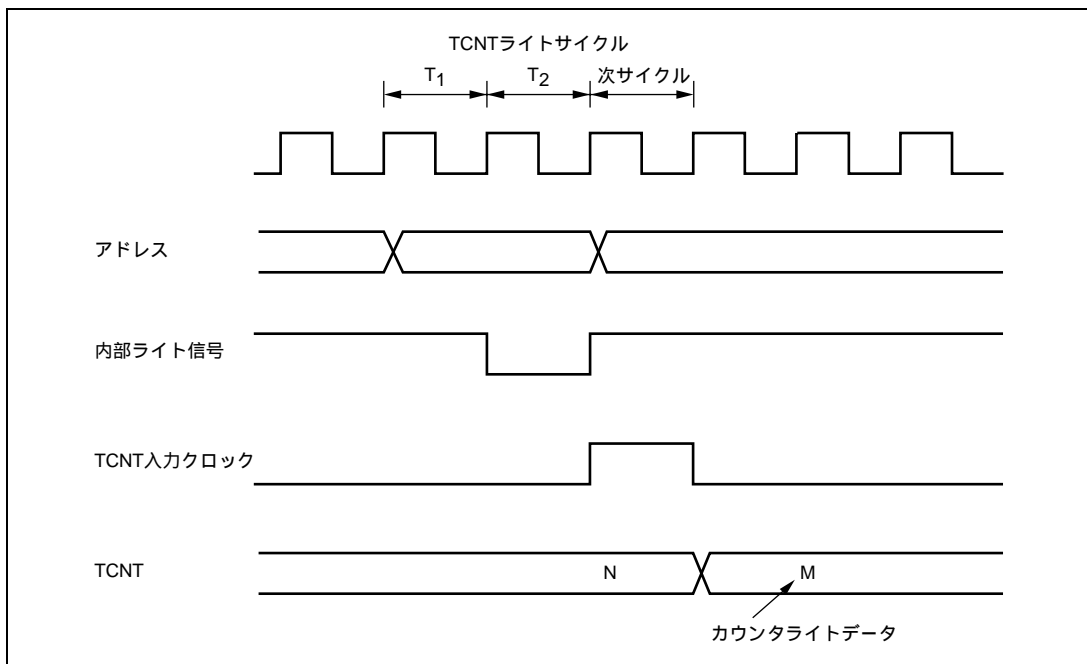


図 12.5 TCNT のライトとカウントアップの競合

12.6.3 CKS2 ~ CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われなかった場合があります。CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

12.6.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

12.6.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバフローしても本 LSI 内部をリセットしませんが、WDT の TCNT、TCSR はリセットされます。

$\overline{\text{WDTOVF}}$ 信号が Low レベルを出力している期間は、TCNT、TCSR、RSTCSR へのライトはできません。また、この期間は WOVF フラグのリードも認識されません。そのため、WOVF フラグのクリアは、 $\overline{\text{WDTOVF}}$ 信号が High レベルになってから、TCSR をリードした後、WOVF フラグに 0 をライトしてください。

12.6.6 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット

$\overline{\text{WDTOVF}}$ 信号を $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。 $\overline{\text{WDTOVF}}$ 信号は、 $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、図 12.6 の示すような回路で行ってください。

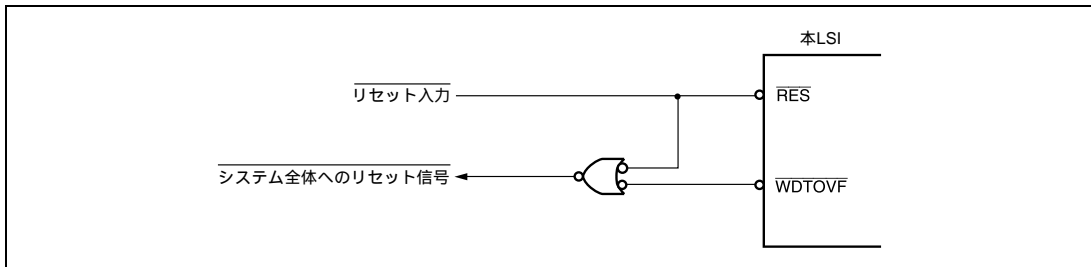


図 12.6 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット回路例

12. ウォッチドッグタイマ (WDT)

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

本 LSI は独立した 3 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。このほか、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したスマートカード (IC カード) インタフェースをサポートしています。また、3 チャンネルのうち 1 チャンネル (SCI_0) は、IrDA 規格バージョン 1.0 に基づく IrDA 通信波形の生成が可能です。SCI のブロック図を図 13.1 に示します。

13.1 特長

- シリアルデータ通信モードを調歩同期式またはクロック同期式に設定可能

- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。

- 内蔵ボーレートジェネレータで任意のビットレートを選択可能

送受信クロックソースとして外部クロックの選択も可能です (スマートカードインタフェースを除く)。

- LSBファースト/MSBファースト選択可能 (調歩同期式7ビットデータを除く)

- 割り込み要因 : 4種類

送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因によりDTCを起動することができます。

- モジュールストップモードの設定可能

調歩同期式モード

- データ長 : 7ビット/8ビット選択可能

- ストップビット長 : 1ビット/2ビット選択可能

- パリティ : 偶数パリティ/奇数パリティ/パリティなしから選択可能

- 受信エラーの検出 : パリティエラー、オーバーランエラー、フレーミングエラー

- ブレークの検出 : フレーミングエラー発生時RxD端子のレベルを直接リードすることでブレークを検出可能

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

- 平均転送レートジェネレータ (SCI_2のみ) : 10.667MHz動作時に115.152kbps / 460.606kbps
16MHz動作時に115.196kbps / 460.784kbps / 720kbps
32MHz動作時に720kbpsを選択可能

クロック同期式モード

- データ長 : 8ビット
- 受信エラーの検出 : オーバランエラー

スマートカードインタフェース

- 受信時パリティエラーを検出するとエラーシグナルを自動送出
- 送信時エラーシグナルを受信するとデータを自動再送信
- ダイレクトコンベンション/インバースコンベンションの両方をサポート

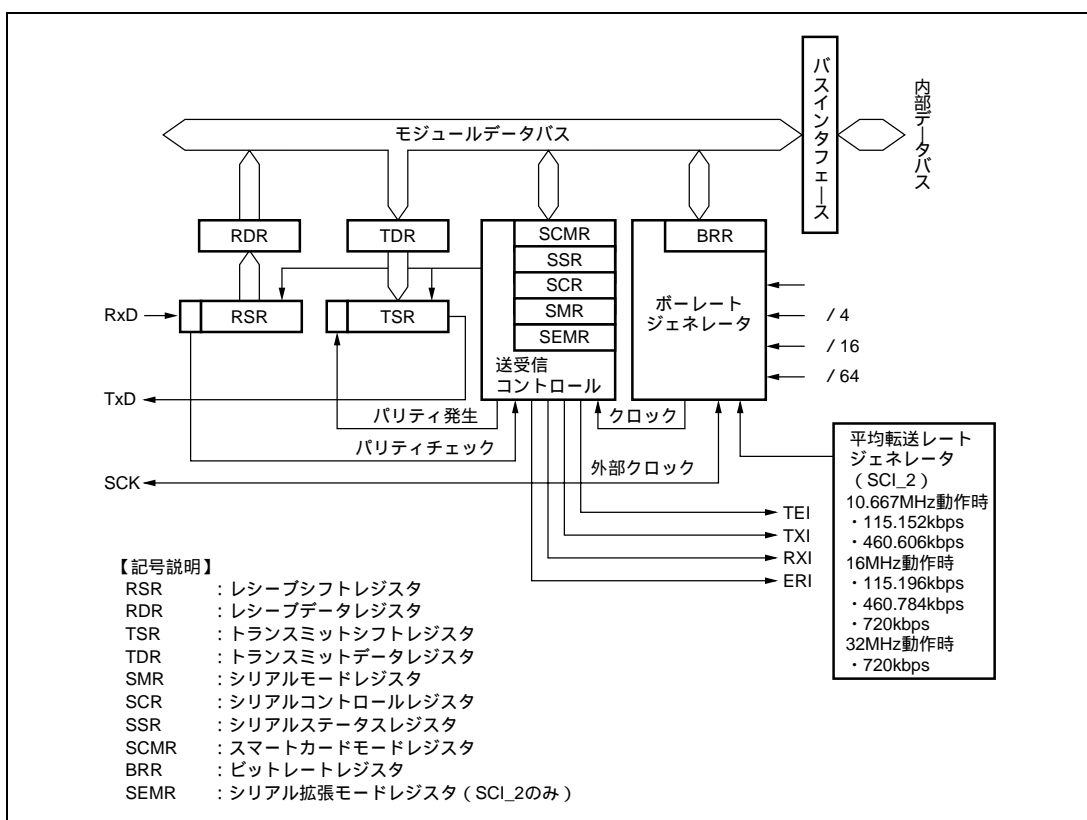


図 13.1 SCI のブロック図

13.2 入出力端子

SCIには、表 13.1 の入出力端子があります。

表 13.1 端子構成

チャンネル	端子名*	入出力	機能
0	SCK0	入出力	チャンネル0のクロック入出力端子
	RxD0/IrRxD	入力	チャンネル0の受信データ入力端子 (通常/IrDA)
	TxD0/IrTxD	出力	チャンネル0の送信データ出力端子 (通常/IrDA)
1	SCK1	入出力	チャンネル1のクロック入出力端子
	RxD1	入力	チャンネル1の受信データ入力端子
	TxD1	出力	チャンネル1の送信データ出力端子
2	SCK2	入出力	チャンネル2のクロック入出力端子
	RxD2	入力	チャンネル2の受信データ入力端子
	TxD2	出力	チャンネル2の送信データ出力端子

【注】* 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

13.3 レジスタの説明

SCIには以下のレジスタがあります。また、シリアルモードレジスタ (SMR)、シリアルステータスレジスタ (SSR)、シリアルコントロールレジスタ (SCR) は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なるため、別々に記載してあります。

- レシーブシフトレジスタ_0 (RSR_0)
- トランスミットシフトレジスタ_0 (TSR_0)
- レシーブデータレジスタ_0 (RDR_0)
- トランスミットデータレジスタ_0 (TDR_0)
- シリアルモードレジスタ_0 (SMR_0)
- シリアルコントロールレジスタ_0 (SCR_0)
- シリアルステータスレジスタ_0 (SSR_0)
- スマートカードモードレジスタ_0 (SCMR_0)
- ビットレートレジスタ_0 (BRR_0)
- IrDAコントロールレジスタ_0 (IrCR_0)
- レシーブシフトレジスタ_1 (RSR_1)
- トランスミットシフトレジスタ_1 (TSR_1)
- レシーブデータレジスタ_1 (RDR_1)
- トランスミットデータレジスタ_1 (TDR_1)
- シリアルモードレジスタ_1 (SMR_1)

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

- シリアルコントロールレジスタ_1 (SCR_1)
- シリアルステータスレジスタ_1 (SSR_1)
- スマートカードモードレジスタ_1 (SCMR_1)
- ビットレートレジスタ_1 (BRR_1)
- レシーブシフトレジスタ_2 (RSR_2)
- トランスミットシフトレジスタ_2 (TSR_2)
- レシーブデータレジスタ_2 (RDR_2)
- トランスミットデータレジスタ_2 (TDR_2)
- シリアルモードレジスタ_2 (SMR_2)
- シリアルコントロールレジスタ_2 (SCR_2)
- シリアルステータスレジスタ_2 (SSR_2)
- スマートカードモードレジスタ_2 (SCMR_2)
- ビットレートレジスタ_2 (BRR_2)
- シリアル拡張モードレジスタ (SEMR)

13.3.1 レシーブシフトレジスタ (RSR)

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

13.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。

13.3.3 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR につきの送信データがライトされていれば TSR へ転送して送信を続けます。TDR は CPU から常にリード/ライト可能ですが、シリアル送信を確実にを行うため TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。

13.3.4 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

13.3.5 シリアルモードレジスタ (SMR)

SMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。SMR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF = 0 のとき)

ビット	ビット名	初期値	R/W	説明
7	C/ \bar{A}	0	R/W	コミュニケーションモード 0 : 調歩同期式モードで動作します。 1 : クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0 : データ長 8 ビットで送受信します。 1 : データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では TDR の MSB (ビット 7) は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/ \bar{E}	0	R/W	パリティモード (調歩同期式モードで PE = 1 のときのみ有効) 0 : 偶数パリティで送受信します。 1 : 奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0 : 1 ストップビット 1 : 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のときマルチプロセッサ機能がイネーブルになります。 マルチプロセッサモードでは PE、O/ \bar{E} ビットの設定は無効です。

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット	ビット名	初期値	R/W	説 明
1	CKS1	0	R/W	クロックセレクト 1~0 内蔵ボーレートジェネレータのクロックソースを選択します。 00 : クロック (n=0) 01 : /4 クロック (n=1) 10 : /16 クロック (n=2) 11 : /64 クロック (n=3) このビットの設定値とボーレートの関係については、「13.3.9 ビットレートレジスタ (BRR)」を参照してください。nは設定値の10進表示で、「13.3.9 ビットレートレジスタ (BRR)」中のnの値を表します。
0	CKS0	0	R/W	

スマートカードインタフェース (SCMR の SMIF=1 のとき)

ビット	ビット名	初期値	R/W	説 明
7	GM	0	R/W	GSM モード このビットを1にセットするとGSMモードで動作します。GSMモードではTENDのセットタイミングが先頭から11.0etuに前倒しされ、クロック出力制御機能が追加されます。詳細は「13.7.8 クロック出力制御」を参照してください。
6	BLK	0	R/W	このビットを1にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「13.7.3 ブロック転送モード」を参照してください。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが1のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースではこのビットは1にセットして使用してください。
4	O/E	0	R/W	パリティモード (調歩同期式モードでPE=1のときのみ有効) 0 : 偶数パリティで送受信します。 1 : 奇数パリティで送受信します。 スマートカードインタフェースにおけるこのビットの使用方法については「13.7.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。
3	BCP1	0	R/W	基本クロックパルス 1~0 スマートカードインタフェースモードにおいて1ビット転送期間中の基本クロック数を選択します。 00 : 32 クロック (S=32) 01 : 64 クロック (S=64) 10 : 372 クロック (S=372) 11 : 256 クロック (S=256) 詳細は、「13.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。Sは「13.3.9 ビットレートレジスタ (BRR)」中のSの値を表します。
2	BCP0	0	R/W	

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット	ビット名	初期値	R/W	説明
1	CKS1	0	R/W	クロックセレクト 1~0
0	CKS0	0	R/W	内蔵ボーレートジェネレータのクロックソースを選択します。 00 : クロック (n=0) 01 : /4 クロック (n=1) 10 : /16 クロック (n=2) 11 : /64 クロック (n=3) このビットの設定値とボーレートの関係については、「13.3.9 ビットレートレジスタ (BRR)」を参照してください。nは設定値の10進表示で、「13.3.9 ビットレートレジスタ (BRR)」中のnの値を表します。

13.3.6 シリアルコントロールレジスタ (SCR)

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「13.9 割り込み要因」を参照してください。SCR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF=0 のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを1にセットすると、TXI 割り込み要求がイネーブルになります。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを1にセットすると、RXI および ERI 割り込み要求がイネーブルになります。
5	TE	0	R/W	トランスミットイネーブル このビットを1にセットすると、送信動作が可能になります。
4	RE	0	R/W	レシーブイネーブル このビットを1にセットすると、受信動作が可能になります。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル(調歩同期式モードで SMR の MP = 1 のとき有効) このビットを1にセットすると、マルチプロセッサビットが0の受信データは読みとばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが1のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「13.5 マルチプロセッサ通信機能」を参照してください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを1にセットすると TEI 割り込み要求がイネーブルになります。

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット	ビット名	初期値	R/W	説明
1	CKE1	0	R/W	クロックイネーブル1-0
0	CKE0	0	R/W	<p>クロックソースおよび SCK 端子の機能を選択します。</p> <p>調歩同期式の場合</p> <p>00: 内蔵ポーレートジェネレータ (SCK 端子は入出力ポートとして使用できます)</p> <p>01: 内蔵ポーレートジェネレータ (SCK 端子からビットレートと同じ周波数のクロックを出力します)</p> <p>1X: 外部クロック (SCK 端子からビットレートの 16 倍の周波数のクロックを入力してください。)</p> <p>クロック同期式の場合</p> <p>0X: 内部クロック (SCK 端子はクロック出力端子となります。)</p> <p>1X: 外部クロック (SCK 端子はクロック入力端子となります。)</p>

【注】X: Don't care

スマートカードインタフェース (SCMR の SMIF=1 のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	<p>トランスミットインタラプトイネーブル</p> <p>このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。</p>
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>このビットを 1 にセットすると、送信動作が可能になります。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>このビットを 1 にセットすると、受信動作が可能になります。</p>
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP = 1 のとき有効)</p> <p>スマートカードインタフェースではこのビットには 0 をライトして使用してください。</p>
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>スマートカードインタフェースではこのビットには 0 をライトして使用してください。</p>

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット	ビット名	初期値	R/W	説明
1	CKE1	0	R/W	クロックイネーブル1-0
0	CKE0	0	R/W	SCK 端子からのクロック出力を制御します。GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は「13.7.8 クロック出力制御」を参照してください。 SMR の GM=0 の場合 00 : 出力ディスエーブル (SCK 端子は入出力ポートとして使用可) 01 : クロック出力 1X : リザーブ SMR の GM=1 の場合 00 : Low 出力固定 01 : クロック出力 10 : High 出力固定 11 : クロック出力

【注】X : Don't care

13.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。SSR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF=0 のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] • SCR の TE が 0 のとき • TDR から TSR にデータが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • TXI 割り込み要求により DTC で TDR へ送信データを転送したとき
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • RXI 割り込みにより DTC で RDR からデータを転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット	ビット名	初期値	R/W	説明
5	ORER	0	R/(W)*	オーバランエラー [セット条件] • RDRF=1の状態では次のデータを受信したとき [クリア条件] • 1の状態をリードした後、0をライトしたとき
4	FER	0	R/(W)*	フレーミングエラー [セット条件] • ストップビットが0のとき [クリア条件] • 1の状態をリードした後、0をライトしたとき 2ストップビットモードのときも1ビット目のストップビットのみチェックします。
3	PER	0	R/(W)*	パリティエラー [セット条件] • 受信中にパリティエラーを検出したとき [クリア条件] • 1の状態をリードした後、0をライトしたとき
2	TEND	1	R	トランスミットエンド [セット条件] • SCRのTEが0のとき • 送信キャラクタの最後尾ビットの送信時、TDREが1のとき [クリア条件] • TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき。 • TXI割り込み要求によりDTCでTDRへ送信データをライトしたとき
1	MPB	0	R	マルチプロセッサビット 受信フレーム中のマルチプロセッサビットの値が格納されます。SCRのREが0のときは変化しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ 送信フレームに付加するマルチプロセッサビットの値を設定します。

【注】 * フラグをクリアするための0ライトのみ可能です。

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

スマートカードインタフェース (SCMR の SMIF=1 のとき)

ビット	ビット名	初期値	R/W	説 明
7	TDRE	1	R/(W)*	<p>トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCR の TE が 0 のとき • TDR から TSR にデータが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • TXI 割り込み要求により DTC で TDR へ送信データを転送したとき
6	RDRF	0	R/(W)*	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • RXI 割り込みにより DTC で RDR からデータを転送したとき <p>SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。</p>
5	ORER	0	R/(W)*	<p>オーバランエラー</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • RDRF=1 の状態で次のデータを受信したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき
4	ERS	0	R/(W)*	<p>エラーシグナルステータス</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • エラーシグナル Low をサンプリングしたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信中にパリティエラーを検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット	ビット名	初期値	R/W	説明
2	TEND	1	R	<p>トランスミットエンド</p> <p>受信側からのエラーシグナルの応答がなく、次の送信データを TDR に転送可能になったときセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCR の TE=0 かつ ESR=0 のとき • 1 バイトのデータを送信して一定期間後、ESR=0 かつ TDRE=1 のとき。 <p>セットされるタイミングはレジスタの設定により以下のように異なります。</p> <p>GM=0、BLK=0 のとき、送信開始から 2.5etu 後</p> <p>GM=0、BLK=1 のとき、送信開始から 1.5etu 後</p> <p>GM=1、BLK=0 のとき、送信開始から 1.0etu 後</p> <p>GM=1、BLK=1 のとき、送信開始から 1.0etu 後</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき。 • TXI 割り込み要求により DTC で TDR へ送信データをライトしたとき
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>スマートカードインタフェースでは使用しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>スマートカードインタフェースではこのビットには 0 をライトして使用してください。</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

13.3.8 スマートカードモードレジスタ (SCMR)

SCMR はスマートカードインタフェースおよびそのフォーマットを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説明
7~4		すべて1		リザーブビット リードすると常に1がリードされます。
3	SDIR	0	R/W	スマートカードデータトランスファディレクション シリアル/パラレル変換の方向を選択します。 0: LSB ファーストで送受信 1: MSB ファーストで送受信 送受信フォーマットが8ビットデータの場合のみ有効です。7ビットデータの場合はLSB ファーストに固定されます。
2	SINV	0	R/W	スマートカードデータインバート 送受信データのロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合はSMRのO/Eビットを反転してください。 0: TDRの内容をそのまま送信、受信データをそのままRDRに格納 1: TDRの内容を反転して送信、受信データを反転してRDRに格納
1		1		リザーブビット リードすると常に1がリードされます。
0	SMIF	0	R/W	スマートカードインタフェースモードセレクト スマートカードインタフェースモードで動作させるとき1をセットします。 0: 通常の調歩同期式またはクロック同期式モード 1: スマートカードインタフェースモード

13.3.9 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR の設定値 N とビットレート B の関係を表 13.2 に示します。BRR の初期値は H'FF で、CPU から常にリード/ライト可能です。

表 13.2 BRR の設定値 N とビットレート B の関係

モード	ビットレート	誤差
調歩同期式	$B = \frac{\times 10^6}{64 \times 2^{2n-1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式	$B = \frac{\times 10^6}{8 \times 2^{2n-1} \times (N+1)}$	
スマートカード インタフェース	$B = \frac{\times 10^6}{S \times 2^{2n+1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$

【注】 B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

n : 動作周波数 (MHz)

n と S : 下表のとおり SMR の設定値によって決まります。

SMR の設定値		n
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

SMR の設定値		S
BCP1	BCP0	
0	0	32
0	1	64
1	0	372
1	1	256

通常の調歩同期式モードにおける BRR の値 N の設定例を表 13.3 に、各動作周波数における設定可能な最大ビットレートを表 13.4 に示します。また、クロック同期式モードにおける BRR の値 N の設定例を表 13.6 に、スマートカードインタフェースにおける BRR の値 N の設定例を表 13.8 に示します。スマートカードインタフェースでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「13.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 13.5、表 13.7 に外部クロック入力時の最大ビットレートを示します。

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 13.3 ビットレートに対する BRR の設定例 [調歩同期式モード] (1)

ビットレート (bit/s)	動作周波数 (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	- 0.04	1	174	- 0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	- 0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	- 2.48	0	15	0.00	0	19	- 2.34
9600	-	-	-	0	6	- 2.48	0	7	0.00	0	9	- 2.34
19200	-	-	-	-	-	-	0	3	0.00	0	4	- 2.34
31250	0	1	0.00	-	-	-	-	-	-	0	2	0.00
38400	-	-	-	-	-	-	0	1	0.00	-	-	-

ビットレート (bit/s)	動作周波数 (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	- 0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	- 1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	-	-	-	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	- 1.70	0	4	0.00
38400	0	2	0.00	-	-	-	0	3	0.00	0	3	1.73

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 13.3 ビットレートに対する BRR の設定例 [調歩同期モード] (2)

ビットレート (bit/s)	動作周波数 (MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	- 0.44	2	108	0.08	2	130	- 0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	- 2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	- 2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	-	-	-	0	7	0.00
38400	0	4	- 2.34	0	4	0.00	0	5	0.00	-	-	-

ビットレート (bit/s)	動作周波数 (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	- 0.26	2	177	- 0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	- 1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	- 2.34	0	19	0.00
31250	0	9	- 1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	- 2.34	0	9	0.00

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 13.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(3)

ビットレート (bit/s)	動作周波数 (MHz)											
	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	- 0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	- 0.93	0	47	0.00	0	51	0.16	0	55	0.00
19200	0	22	- 0.93	0	23	0.00	0	25	0.16	0	27	0.00
31250	0	13	0.00	0	14	- 1.70	0	15	0.00	0	16	1.20
38400	-	-	-	0	11	0.00	0	12	0.16	0	13	0.00

ビットレート (bit/s)	動作周波数 (MHz)											
	18			19.6608			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	- 0.12	3	86	0.31	3	88	- 0.25	3	110	- 0.02
150	2	233	0.16	2	255	0.00	3	64	0.16	3	80	- 0.47
300	2	116	0.16	2	127	0.00	2	129	0.16	2	162	0.15
600	1	233	0.16	1	255	0.00	2	64	0.16	2	80	- 0.47
1200	1	116	0.16	1	127	0.00	1	129	0.16	1	162	0.15
2400	0	233	0.16	0	255	0.00	1	64	0.16	1	80	- 0.47
4800	0	116	0.16	0	127	0.00	0	129	0.16	0	162	0.15
9600	0	58	- 0.69	0	63	0.00	0	64	0.16	0	80	- 0.47
19200	0	28	1.02	0	31	0.00	0	32	- 1.36	0	40	- 0.76
31250	0	17	0.00	0	19	- 1.70	0	19	0.00	0	24	0.00
38400	0	14	- 2.34	0	15	0.00	0	15	1.73	0	19	1.73

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 13.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(4)

ビットレート (bit/s)	動作周波数 (MHz)					
	30			33		
	n	N	誤差 (%)	n	N	誤差 (%)
110	3	132	0.13	3	145	0.33
150	3	97	- 0.35	3	106	0.39
300	2	194	0.16	2	214	- 0.07
600	2	97	- 0.35	2	106	0.39
1200	1	194	0.16	1	214	- 0.07
2400	1	97	- 0.35	1	106	0.39
4800	0	194	0.16	0	214	- 0.07
9600	0	97	- 0.35	0	106	0.39
19200	0	48	- 0.35	0	53	- 0.54
31250	0	29	0	0	32	0
38400	0	23	1.73	0	26	- 0.54

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 13.4 各動作周波数における最大ビットレート (調歩同期式モード)

(MHz)	最大ビットレート (bit/s)	n	N	(MHz)	最大ビットレート (bit/s)	n	N
2	62500	0	0	10	312500	0	0
2.097152	65536	0	0	12	375000	0	0
2.4576	76800	0	0	12.288	384000	0	0
3	93750	0	0	14	437500	0	0
3.6864	115200	0	0	14.7456	460800	0	0
4	125000	0	0	16	500000	0	0
4.9152	153600	0	0	17.2032	537600	0	0
5	156250	0	0	18	562500	0	0
6	187500	0	0	19.6608	614400	0	0
6.144	192000	0	0	20	625000	0	0
7.3728	230400	0	0	25	781250	0	0
8	250000	0	0	30	937500	0	0
9.8304	307200	0	0	33	1031250	0	0

表 13.5 外部クロック入力時の最大ビットレート (調歩同期式モード)

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250	10	2.5000	156250
2.097152	0.5243	32768	12	3.0000	187500
2.4576	0.6144	38400	12.288	3.0720	192000
3	0.7500	46875	14	3.5000	218750
3.6864	0.9216	57600	14.7456	3.6864	230400
4	1.0000	62500	16	4.0000	250000
4.9152	1.2288	76800	17.2032	4.3008	268800
5	1.2500	78125	18	4.5000	281250
6	1.5000	93750	19.6608	4.9152	307200
6.144	1.5360	96000	20	5.0000	312500
7.3728	1.8432	115200	25	6.2500	390625
8	2.0000	125000	30	7.5000	468750
9.8304	2.4576	153600	33	8.2500	515625

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 13.6 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビット レート (bit/s)	動作周波数 (MHz)																	
	2		4		8		10		16		20		25		30		33	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	-	-														
250	2	124	2	249	3	124	-	-	3	249								
500	1	249	2	124	2	249	-	-	3	124	-	-			3	233		
1k	1	124	1	249	2	124	-	-	2	249	-	-	3	97	3	116	3	128
2.5k	0	199	1	99	1	199	1	249	2	99	2	124	2	155	2	187	2	205
5k	0	99	0	199	1	99	1	124	1	199	1	249	2	77	2	93	2	102
10k	0	49	0	99	0	199	0	249	1	99	1	124	1	155	1	187	1	205
25k	0	19	0	39	0	79	0	99	0	159	0	199	0	249	1	74	1	82
50k	0	9	0	19	0	39	0	49	0	79	0	99	0	124	0	149	0	164
100k	0	4	0	9	0	19	0	24	0	39	0	49	0	62	0	74	0	82
250k	0	1	0	3	0	7	0	9	0	15	0	19	0	24	0	29	0	32
500k	0	0*	0	1	0	3	0	4	0	7	0	9	-	-	0	14	-	-
1M			0	0*	0	1			0	3	0	4	-	-	-	-	-	-
2.5M							0	0*			0	1	-	-	0	2	-	-
5M											0	0*	-	-	-	-	-	-

【記号説明】

空欄 : 設定できません。

- : 設定可能ですが誤差がでます。

* : 連続送信/連続受信はできません。

表 13.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.3333	333333.3	16	2.6667	2666666.7
4	0.6667	666666.7	18	3.0000	3000000.0
6	1.0000	1000000.0	20	3.3333	3333333.3
8	1.3333	1333333.3	25	4.1667	4166666.7
10	1.6667	1666666.7	30	5.0000	5000000.0
12	2.0000	2000000.0	33	5.5000	5500000.0
14	2.3333	2333333.3			

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 13.8 ビットレートに対する BRR の設定例 (スマートカードインタフェースモードで n=0、S=372 のとき)

ビットレート (bit/s)	動作周波数 (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	30	0	1	25	0	1	8.99

ビットレート (bit/s)	動作周波数 (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	15.99	0	2	6.60

ビットレート (bit/s)	動作周波数 (MHz)								
	25.00			30.00			33.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	3	12.49	0	3	5.01	0	4	7.59

表 13.9 各動作周波数における最大ビットレート (スマートカードインタフェースモードで S=372 のとき)

(MHz)	最大ビットレート (bit/s)	n	N	(MHz)	最大ビットレート (bit/s)	n	N
7.1424	9600	0	0	18.00	24194	0	0
10.00	13441	0	0	20.00	26882	0	0
10.7136	14400	0	0	25.00	33602	0	0
13.00	17473	0	0	30.00	40323	0	0
14.2848	19200	0	0	33.00	44355	0	0
16.00	21505	0	0				

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

13.3.10 IrDA コントロールレジスタ (IrCR)

IrCR は、SCI_0 の機能の選択を行いません。

ビット	ビット名	初期値	R/W	説明
7	IrE	0	R/W	IrDA イネーブル SCI_0 の入出力を通常の SCI か IrDA かに設定します。 0 : TxD0/IrTxD、RxD0/IrRxD 端子は TxD0、RxD0 として動作 1 : TxD0/IrTxD、RxD0/IrRxD 端子は IrTxD、IrRxD として動作
6	IrCKS2	0	R/W	IrDA クロックセレクト 2~0 IrDA 機能をイネーブルにしたとき、IrTxD 出力パルスエンコード時の High パルス幅を設定します。 000 : パルス幅 = $B \times 3/16$ (ビットレートの 3/16) 001 : パルス幅 = /2 010 : パルス幅 = /4 011 : パルス幅 = /8 100 : パルス幅 = /16 101 : パルス幅 = /32 110 : パルス幅 = /64 111 : パルス幅 = /128
5	IrCKS1	0	R/W	
4	IrCKS0	0	R/W	
3~0		すべて 0		リザーブビット リードすると常に 0 がリードされます。ライトは無効です。

13.3.11 シリアル拡張モードレジスタ (SEMR)

SEMR は、調歩同期式モード時のクロックソースを選択するためのレジスタです。平均転送レートの選択により基本クロックが自動設定できます。SEMR は SCI_2 にのみあります。

ビット	ビット名	初期値	R/W	説明
7~4		不定		リザーブビット リードすると不定値がリードされます。ライトは無効です。
3	ABCS	0	R/W	調歩同期基本クロックセレクト (調歩同期式モードのみ有効) 1 ビット期間の基本クロックを選択します。 0 : 転送レートの 16 倍の周波数の基本クロックで動作 1 : 転送レートの 8 倍の周波数の基本クロックで動作
2	ACS2	0	R/W	調歩同期クロックソースセレクト (調歩同期式モードで CKS1=1 のとき有効) 平均転送レートのクロックソースを選択します。平均転送レート選択時は、ABCS ビットの値に関係なく基本クロックが自動設定されます。 000 : 外部クロック入力 001 : = 10.667MHz 専用の平均転送レート 115.152kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作) 010 : = 10.667MHz 専用の平均転送レート 460.606kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作) 011 : = 32MHz 専用の平均転送レート 720kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作) 100 : 設定禁止 101 : = 16MHz 専用の平均転送レート 115.196kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作) 110 : = 16MHz 専用の平均転送レート 460.784kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作) 111 : = 16MHz 専用の平均転送レート 720kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作) 平均転送レートは、10.667MHz、16MHz または 32MHz の動作周波数以外には対応していません。
1	ACS1	0	R/W	
0	ACS0	0	R/W	

13.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 13.2 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

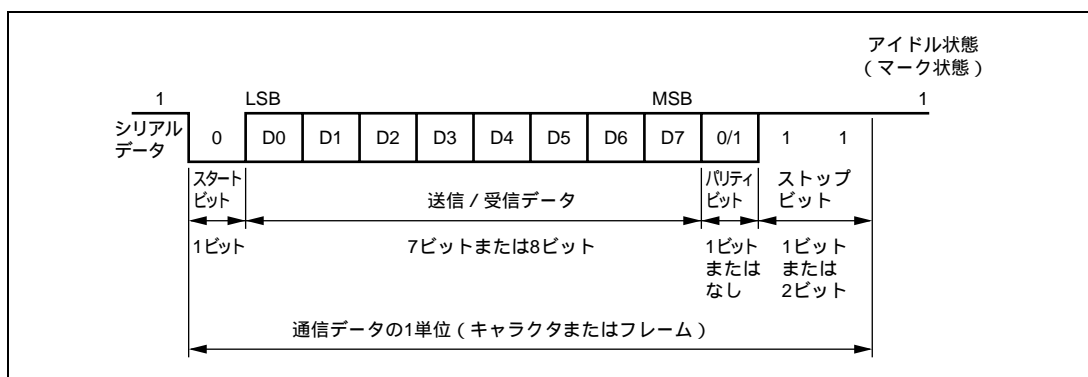


図 13.2 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)

13.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 13.10 に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「13.5 マルチプロセッサ通信機能」を参照してください。

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 13.10 シリアル送信/受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	-	1	0	S	8ビットデータ								MPB	STOP		
0	-	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	-	1	0	S	7ビットデータ							MPB	STOP			
1	-	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

13.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図13.3に示すように受信データを基本クロックの8ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1+F) \right\} \times 100 \quad [\%] \quad \cdots \text{式(1)}$$

M：受信マージン

N：クロックに対するビットレートの比 (N=16)

D：クロックのデューティ (D=0.5~1.0)

L：フレーム長 (L=9~12)

F：クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値)=0、D(クロックのデューティ)=0.5とすると、

$$M = \left\{ 0.5 - \frac{1}{(2 \times 16)} \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

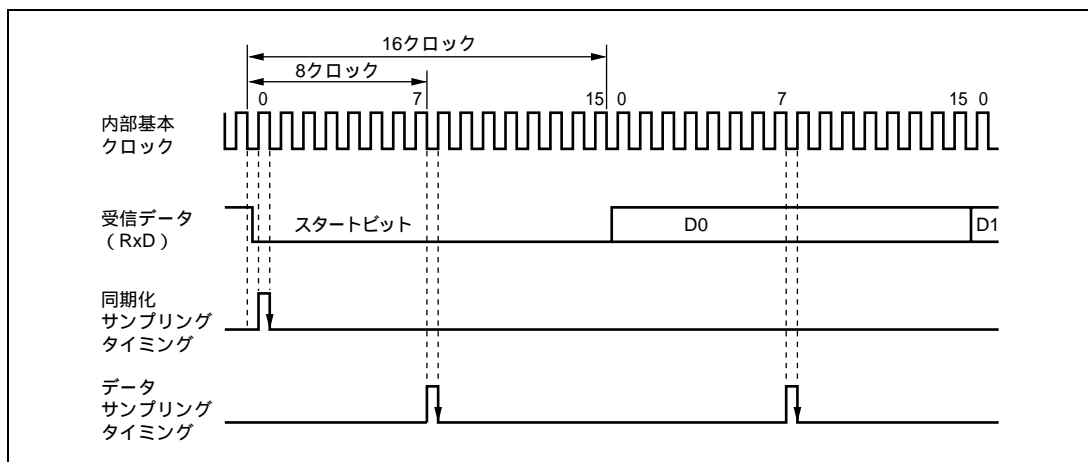


図 13.3 調歩同期式モードの受信データサンプリングタイミング

13.4.3 クロック

SCIの送受信クロックは、SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCK端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK端子にビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるときはSCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図13.4に示すように送信データの中央でクロックが立ち上がります。

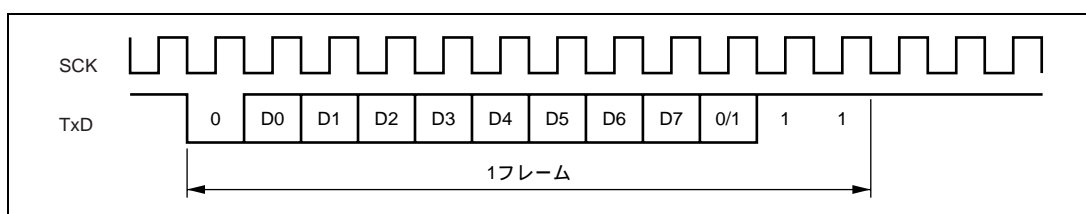


図 13.4 出力クロックと送信データの位相関係 (調歩同期式モード)

13.4.4 SCIの初期化 (調歩同期式)

データの送受信前に、SCRのTE、REビットをクリアした後、図13.5のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、TDREは1にセットされますが、REを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

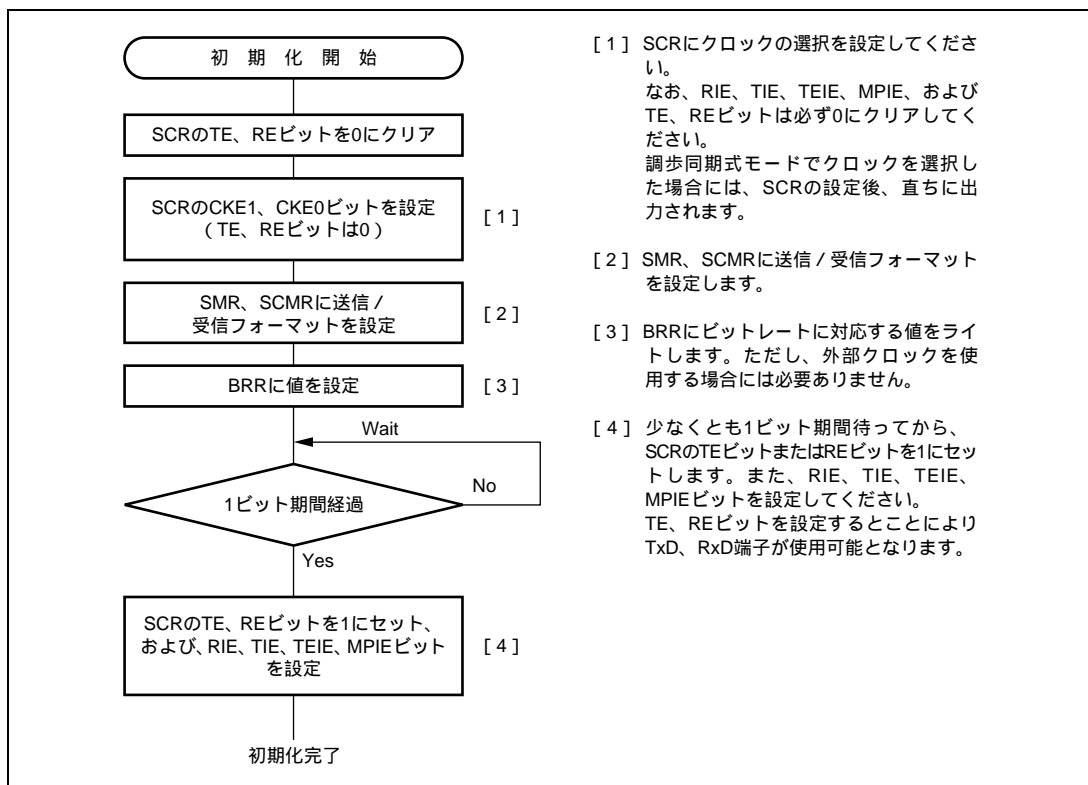


図 13.5 SCIの初期化フローチャートの例

13.4.5 データ送信 (調歩同期式)

図 13.6 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDを1にセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEIを発生します。

図 13.7 にデータ送信のフローチャートの例を示します。

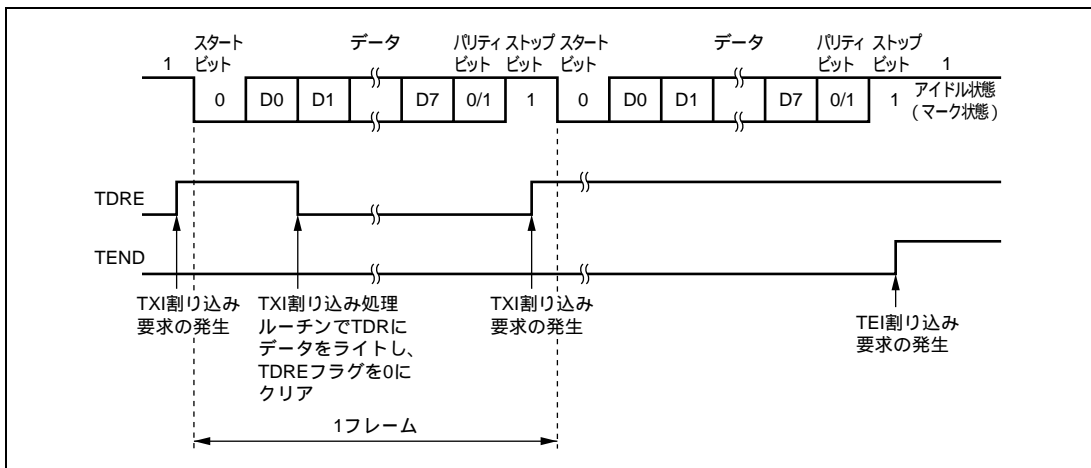


図 13.6 調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

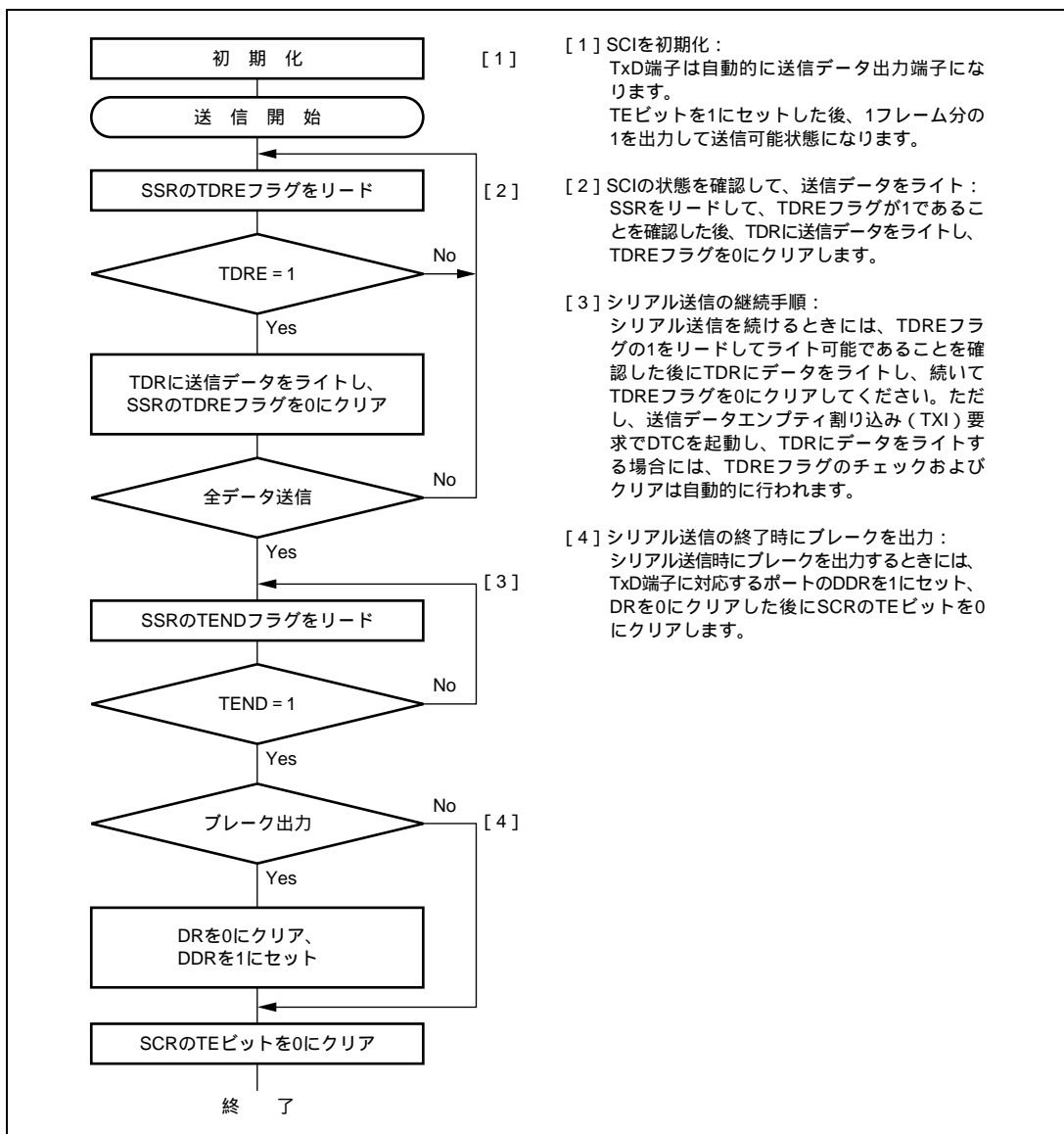


図 13.7 シリアル送信のフローチャートの例

13.4.6 シリアルデータ受信 (調歩同期式)

図 13.8 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
4. フレーミングエラー (ストップビットが0のとき) を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

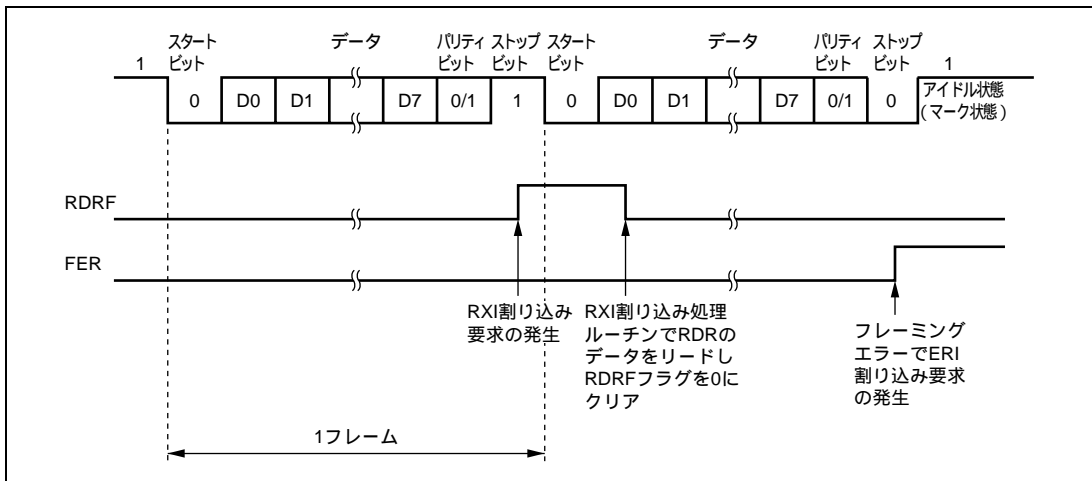


図 13.8 SCI の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を表 13.11 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 13.9 にデータ受信のためのフローチャートの例を示します。

13. シリアルコミュニケーションインタフェース (SCI, IrDA)

表 13.11 SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー + フレーミングエラー
1	1	0	1	消失	オーバランエラー + パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー + パリティエラー
1	1	1	1	消失	オーバランエラー + フレーミングエラー + パリティエラー

【注】 * RDRF は、データ受信前の状態を保持します。

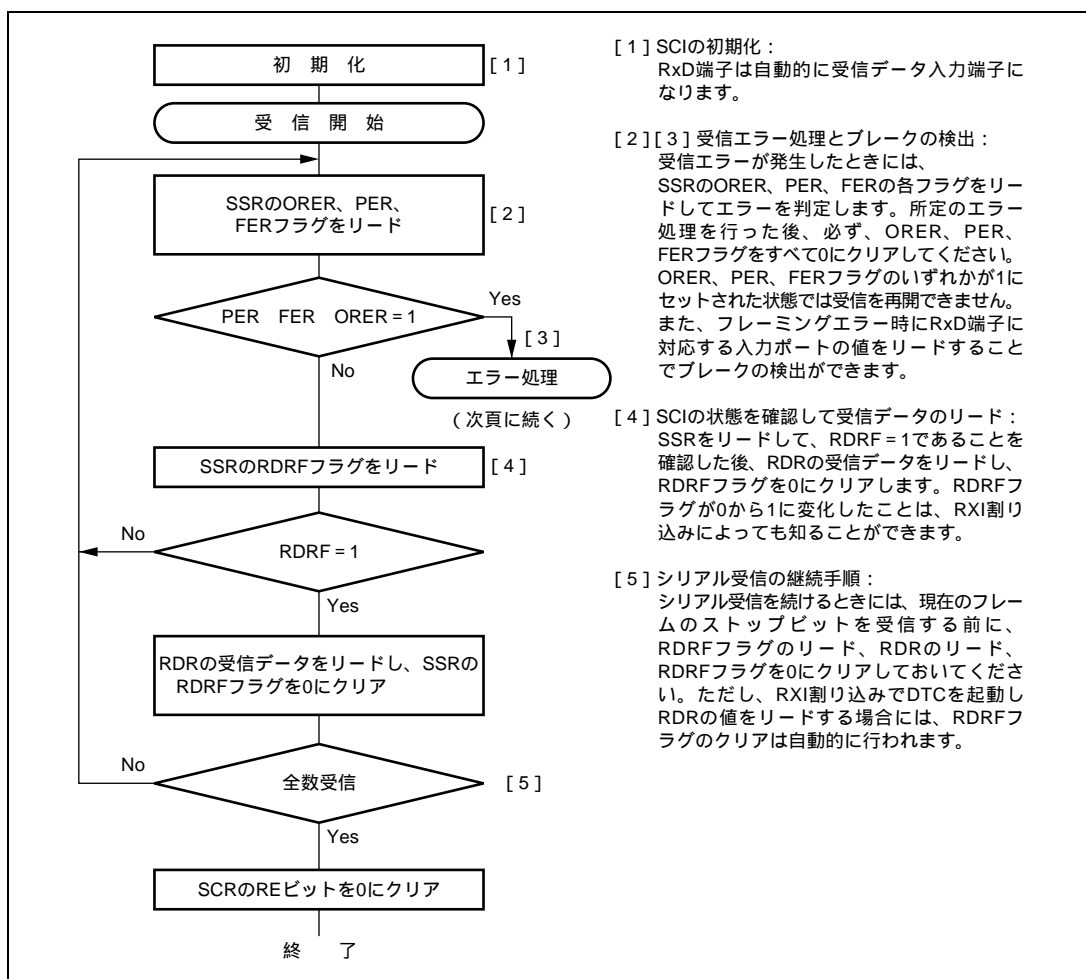


図 13.9 シリアル受信データフローチャートの例 (1)

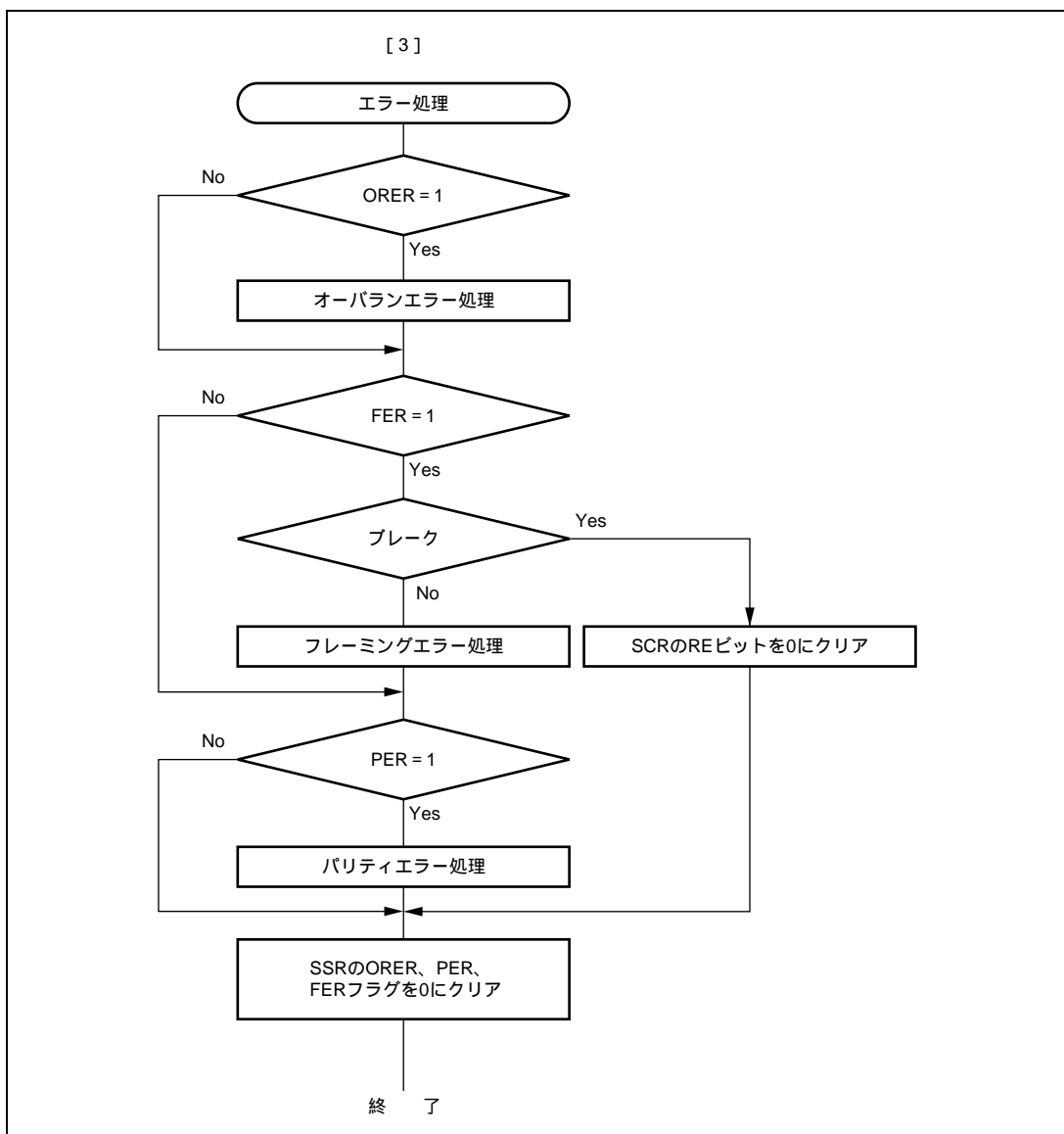


図 13.9 シリアル受信データフローチャートの例 (2)

13.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 13.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCIはこの機能をサポートするため、SCRにMPIEビットが設けてあります。MPIEを1にセットすると、マルチプロセッサビットが1のデータを受け取るまでRSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、ORERの各ステータスフラグのセットを禁止します。マルチプロセッサビットが1の受信キャラクタを受け取ると、SSRのMPBRが1にセットされるとともにMPIEが自動的にクリアされて通常の受信動作に戻ります。このときSCRのRIEがセットされているとRXI割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

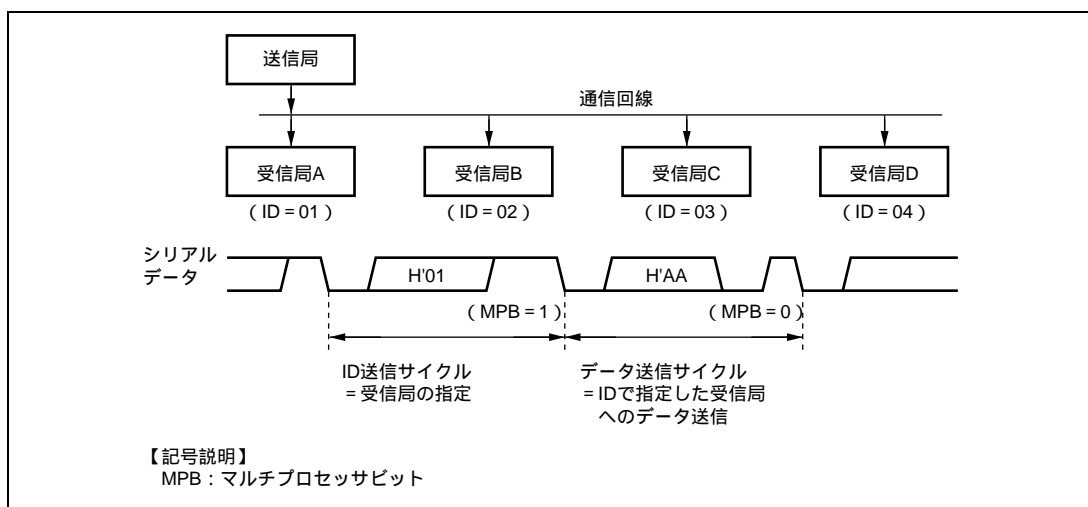


図 13.10 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)

13.5.1 マルチプロセッサシリアルデータ送信

図 13.11 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

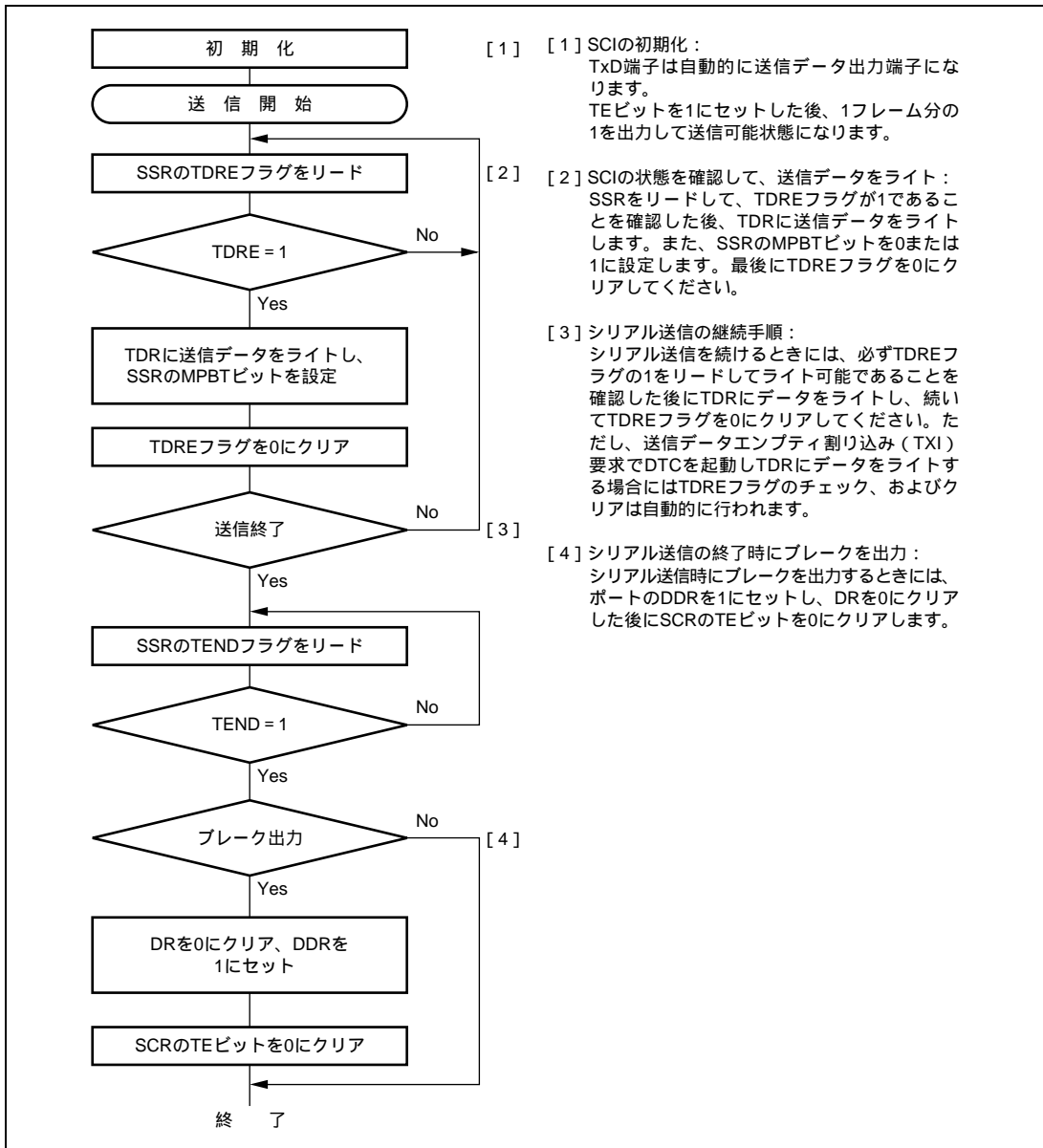


図 13.11 マルチプロセッサシリアル送信のフローチャートの例

13.5.2 マルチプロセッサシリアルデータ受信

図 13.13 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。図 13.12 に受信時の動作例を示します。

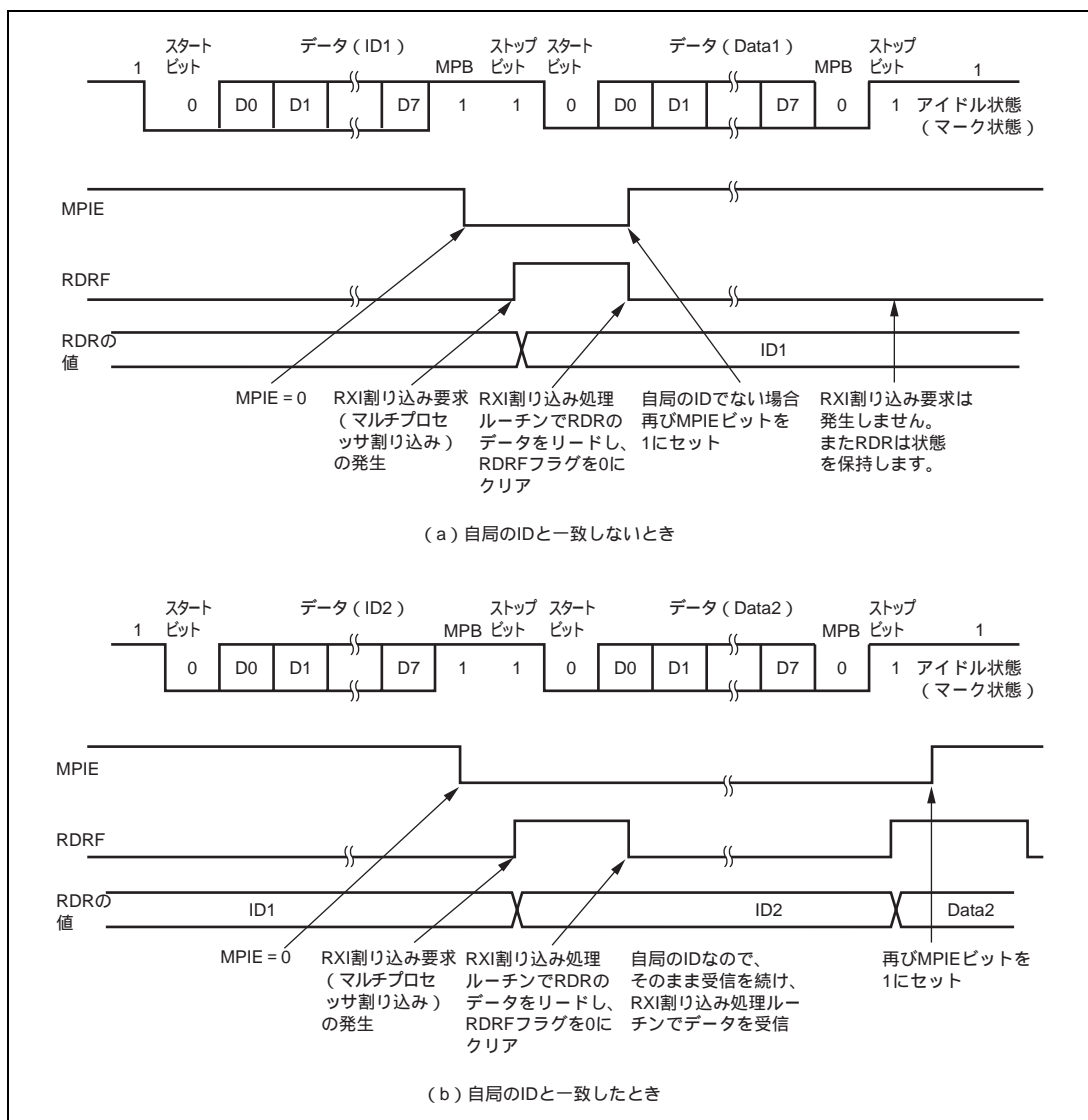


図 13.12 SCI の受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例)

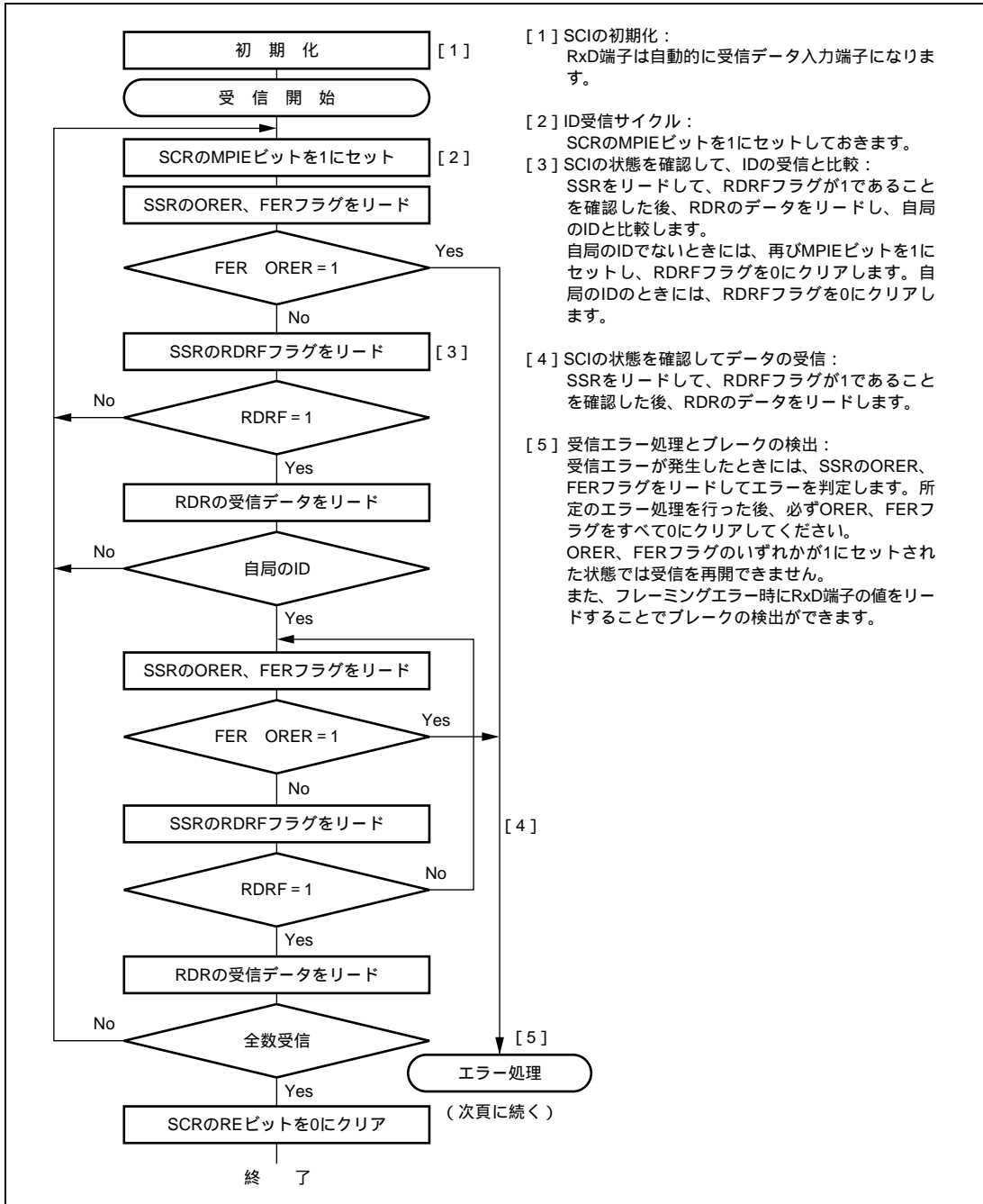


図 13.13 マルチプロセッサシリアル受信のフローチャートの例 (1)

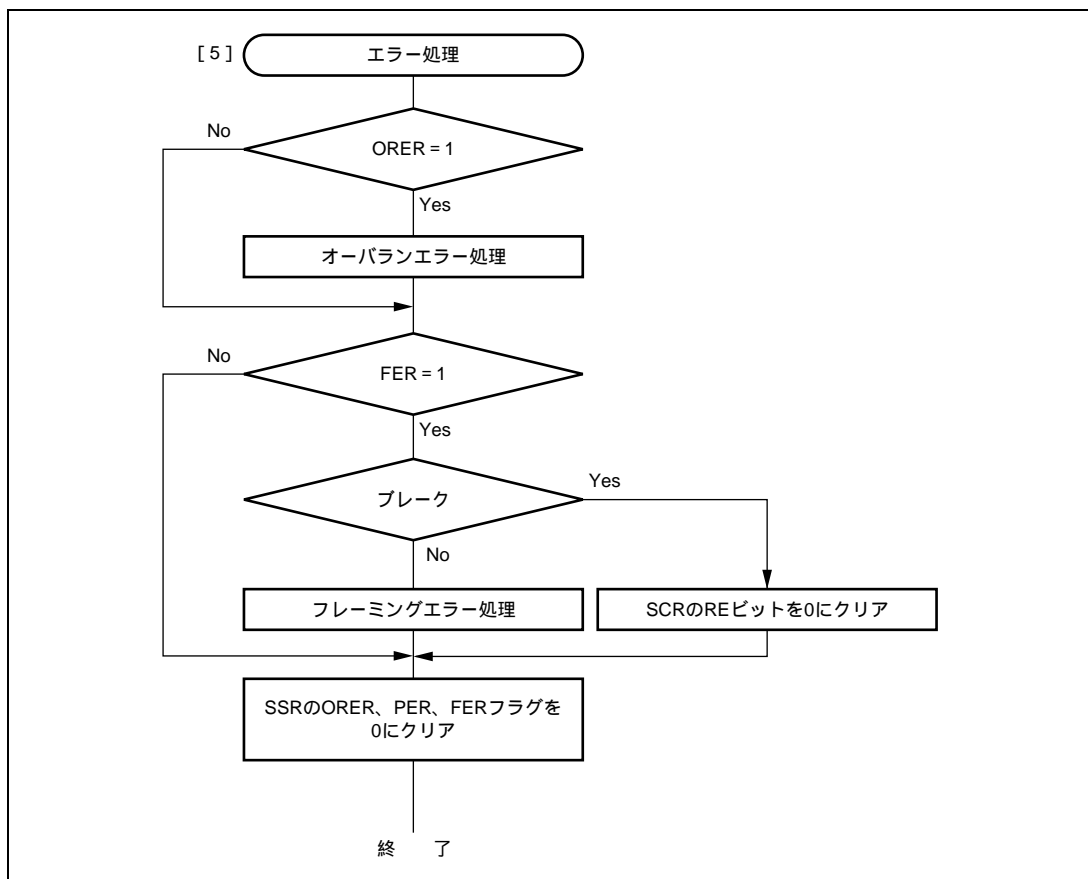


図 13.13 マルチプロセッサシリアル受信のフローチャートの例 (2)

13.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 13.14 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI はデータ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

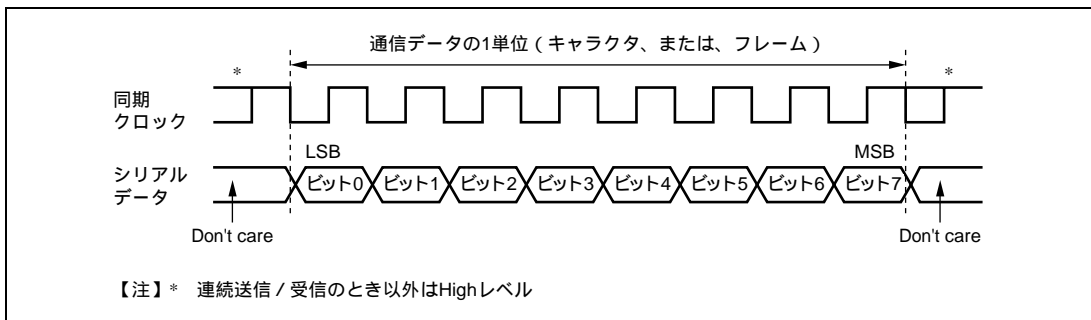


図 13.14 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

13.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

13.6.2 SCIの初期化

データの送受信前に、SCRのTE、REビットをクリアした後、図13.15のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、TDREは1にセットされますが、REを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。

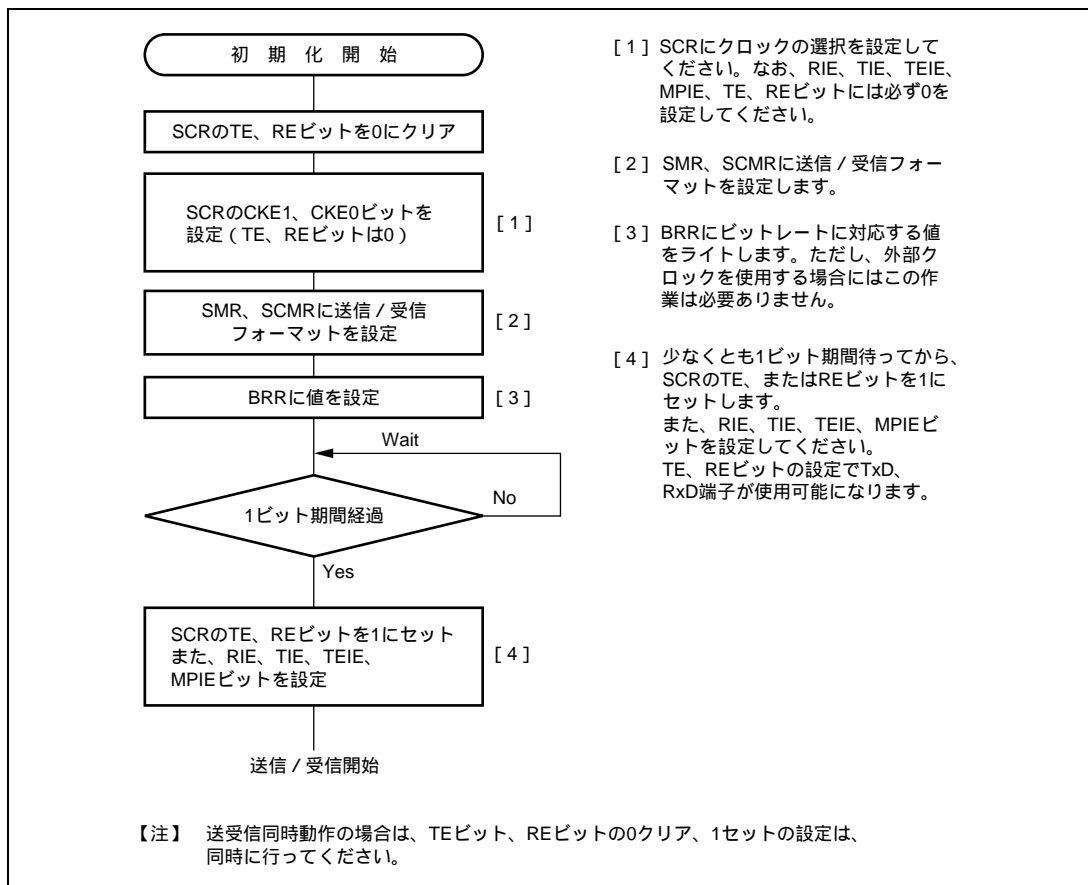


図 13.15 SCIの初期化フローチャートの例

13.6.3 シリアルデータ送信 (クロック同期式)

図 13.16 にクロック同期モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCI は SSR の TDRE を監視し、クリアされると TDR にデータが書き込まれたと認識して TDR から TSR にデータを転送します。
2. TDR から TSR にデータを転送すると、TDRE を 1 にセットして送信を開始します。このとき、SCR の TIE が 1 にセットされていると TXI 割り込み要求を発生します。この TXI 割り込みルーチンで、前に転送したデータの送信が終了するまでに TDR に次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD 端子から 8 ビットのデータを出力します。
4. 最終ビットを送り出すタイミングで TDRE をチェックします。
5. TDRE が 0 であると次の送信データを TDR から TSR にデータを転送し、次のフレームの送信を開始します。
6. TDRE が 1 であると SSR の TEND に 1 をセットし、最終ビット出力状態を保持します。このとき SCR の TEIE が 1 にセットされていると TEI を発生します。SCK 端子は High レベルに固定されます。

図 13.17 にデータ送信のフローチャートの例を示します。受信エラーフラグ (ORER、FER、PER) が 1 にセットされた状態では TDRE をクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを 0 にクリアしておいてください。また、RE ビットをクリアしただけでは、受信エラーフラグはクリアされませんので注意してください。

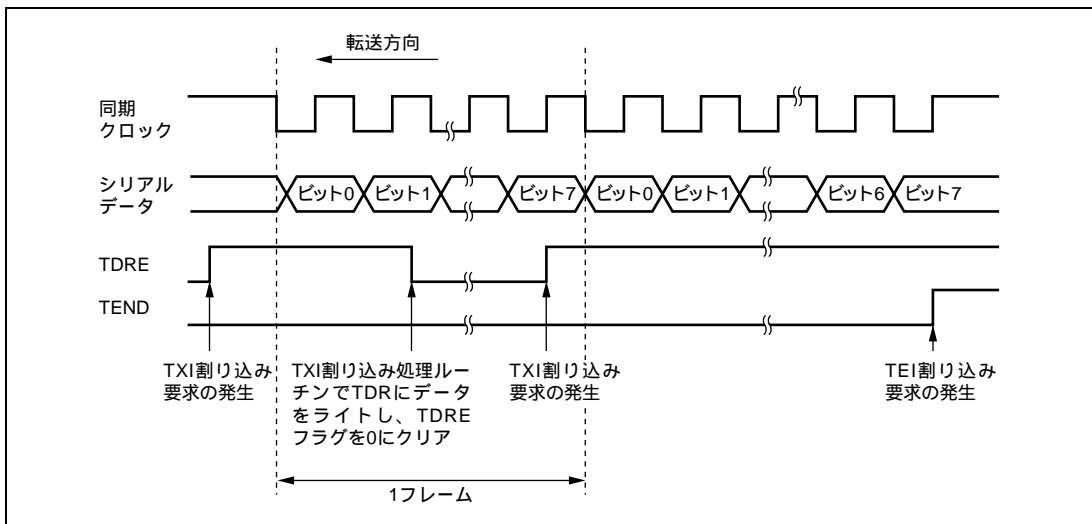


図 13.16 クロック同期モードの送信時の動作例

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

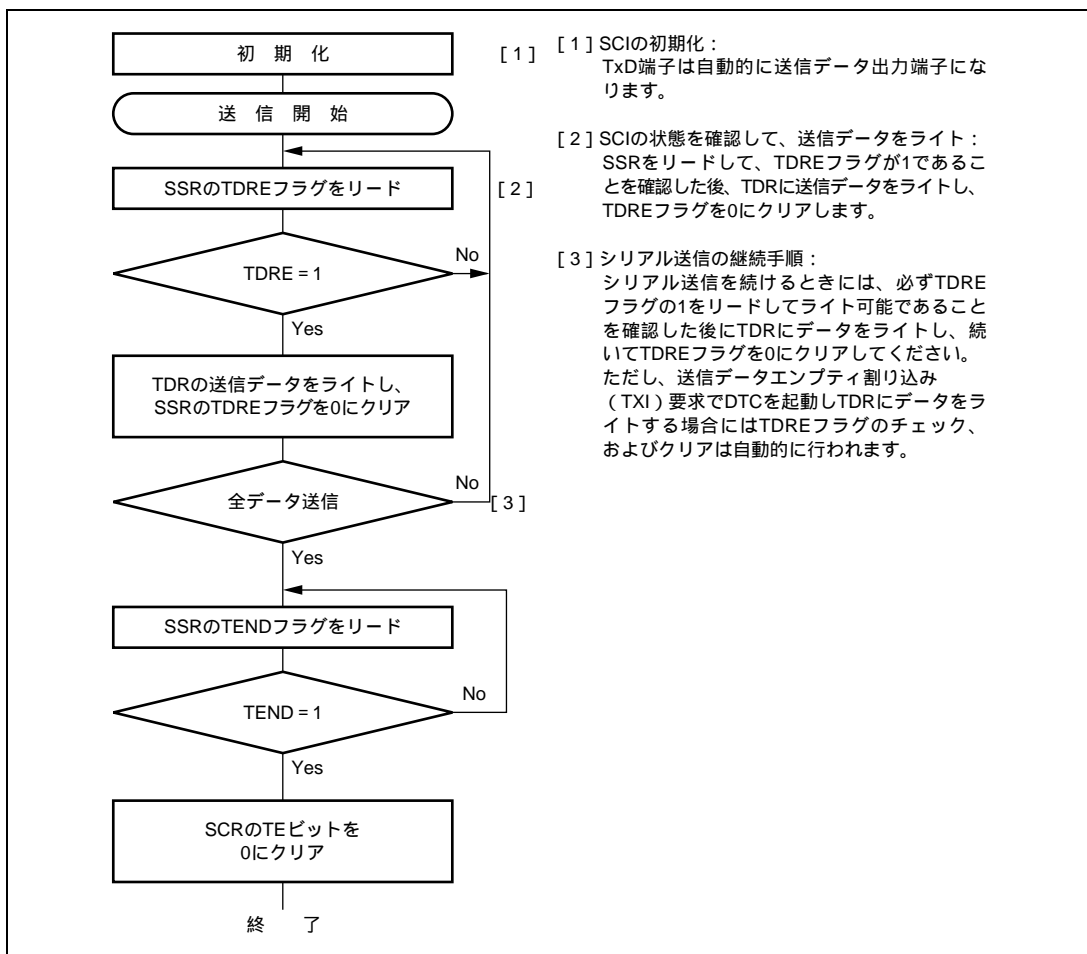


図 13.17 シリアル送信のフローチャートの例

13.6.4 シリアルデータ受信 (クロック同期式)

図 13.18 にクロック同期モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCI は同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データを RSR に取り込みます。
2. オーバランエラーが発生したとき (SSR の RDRF が 1 にセットされたまま次のデータを受信完了したとき) は SSR の ORER をセットします。このとき SCR の RIE が 1 にセットされていると ERI 割り込み要求を発生します。受信データは RDR に転送しません。RDRF は 1 にセットされた状態を保持します。
3. 正常に受信したときは SSR の RDRF をセットし、受信データを RDR に転送します。このとき SCR の RIE が 1 にセットされていると RXI 割り込み要求を発生します。この RXI 割り込み処理ルーチンで RDR に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

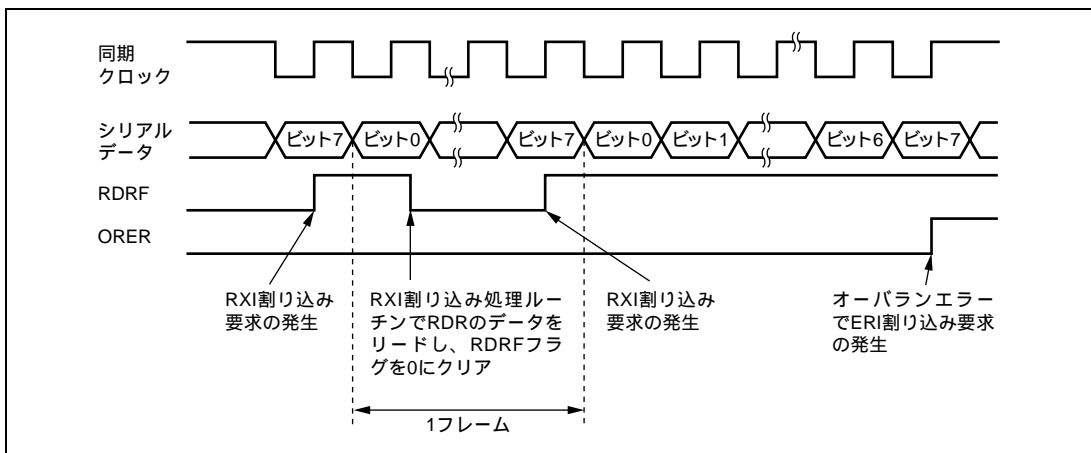


図 13.18 SCI の受信時の動作例

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 13.19 にデータ受信のためのフローチャートの例を示します。

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

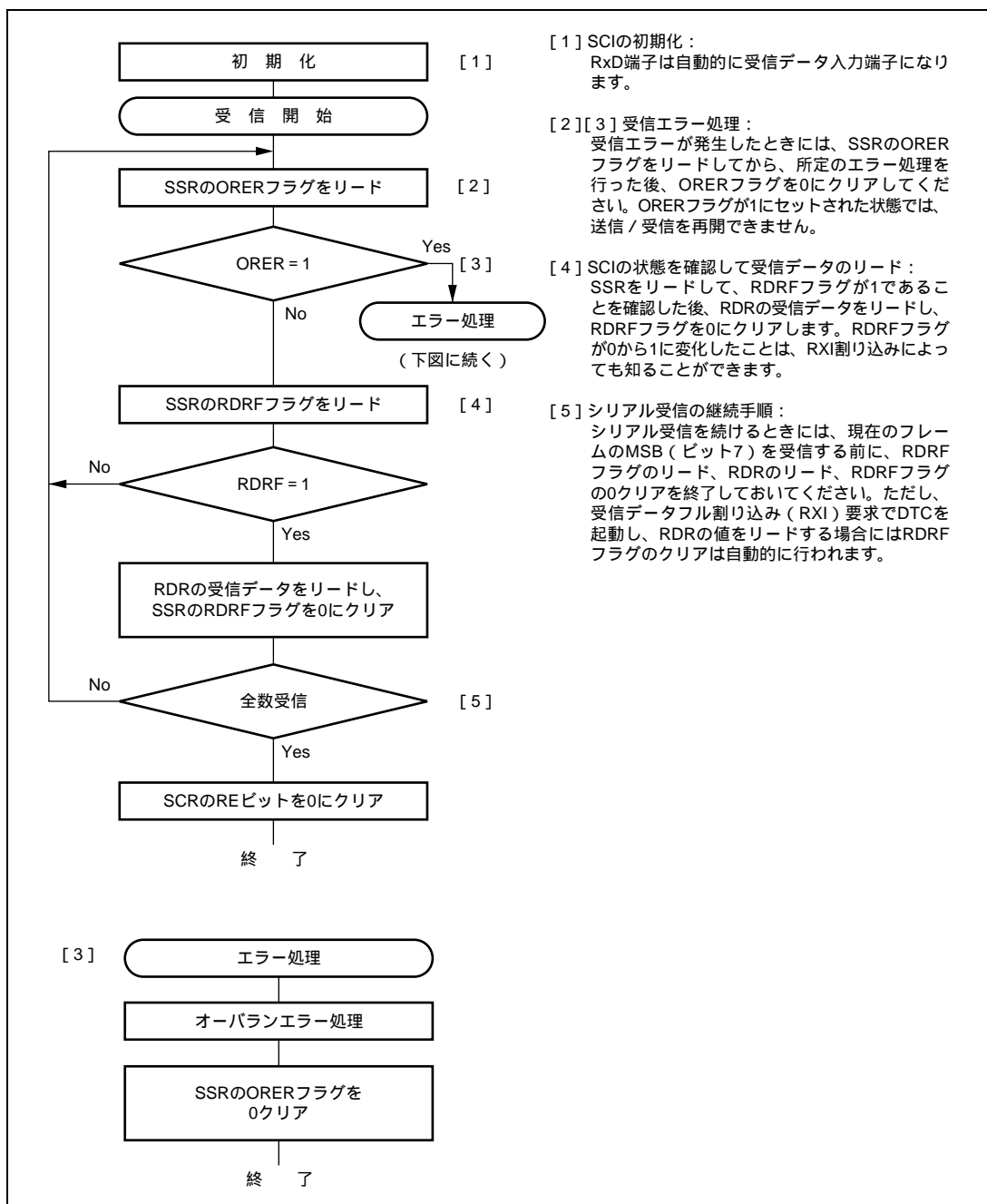


図 13.19 シリアルデータ受信フローチャートの例

13.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 13.20 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

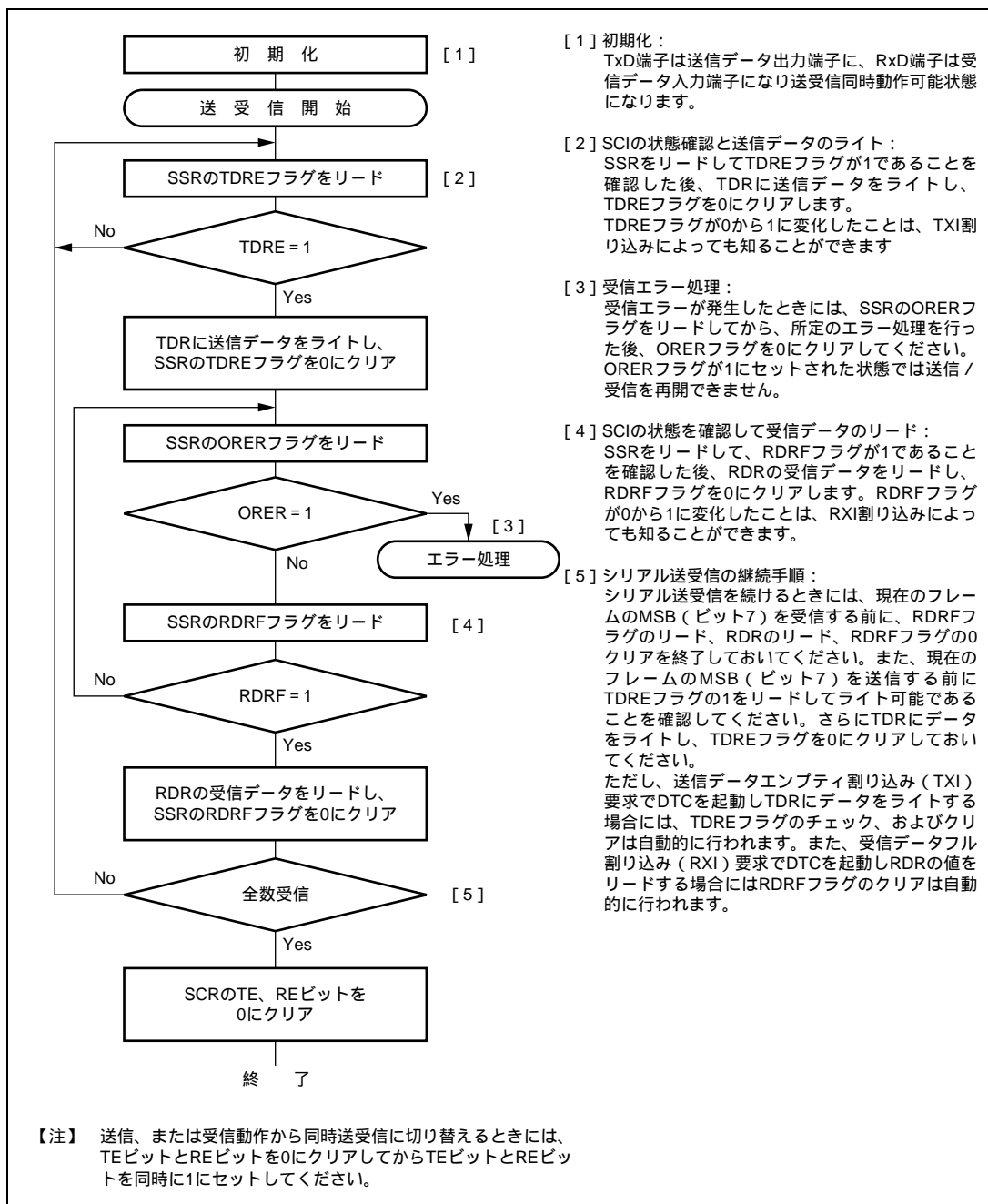


図 13.20 シリアル送受信同時動作のフローチャートの例

13.7 スマートカードインタフェースの動作説明

SCIはシリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したICカード(スマートカード)とのインタフェースをサポートしています。スマートカードインタフェースモードへの切り替えはレジスタにより行います。

13.7.1 接続例

図 13.21 にスマートカードとの接続例を示します。ICカードとは1本のデータ伝送線で送受信が行われるので、TxD端子とRxD端子とを結線し、データ伝送線は抵抗で電源V_{CC}側にプルアップしてください。ICカードを接続しない状態でRE=TE=1に設定すると、閉じた送信/受信が可能となり自己診断をすることができます。SCIで生成するクロックをICカードに供給する場合は、SCK端子出力をICカードのCLK端子に入力してください。リセット信号の出力には本LSIの出力ポートを使用できます。

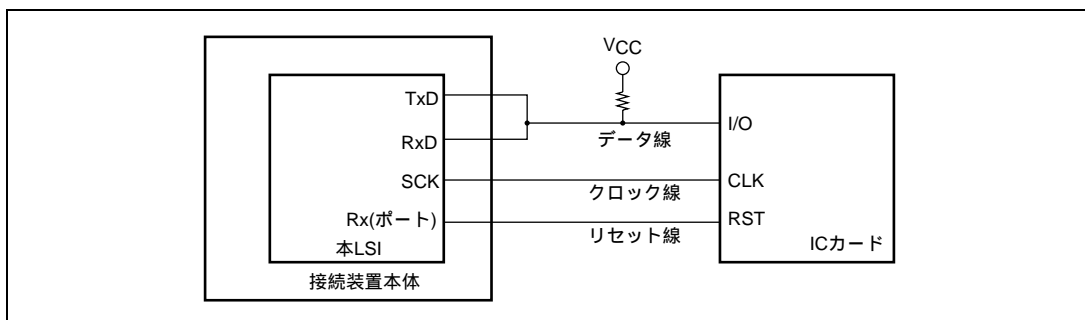


図 13.21 スマートカードインタフェース端子接続概要

13.7.2 データフォーマット (ブロック転送モード時を除く)

図 13.22 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary Time Unit : 1ビットの転送期間) 以上のガードタイムをおきます。
- 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。
- 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを再送信します。

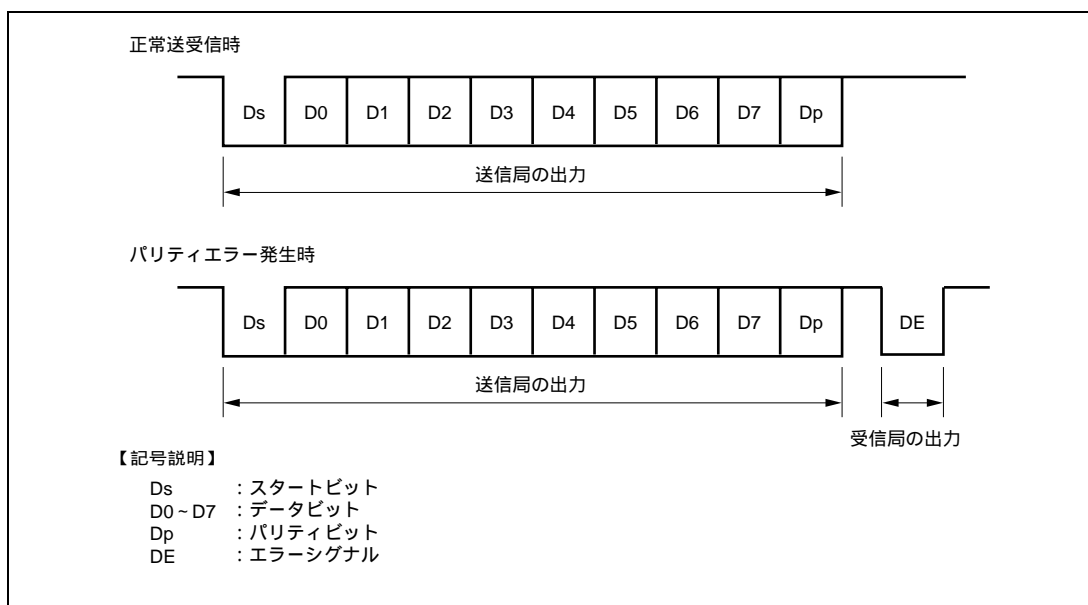
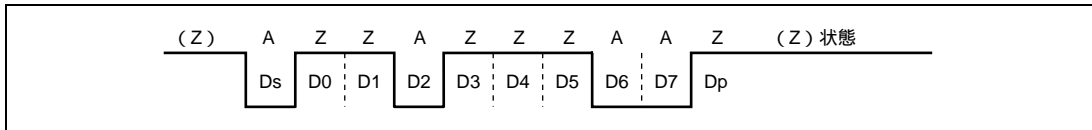
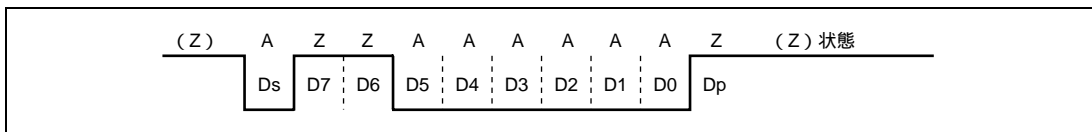


図 13.22 通常のスマートカードインタフェースのデータフォーマット

ダイレクトコンベンションタイプとインパースコンベンションタイプの2種類のICカードとの送受信は以下のように行ってください。

図 13.23 ダイレクトコンベンション (SDIR = SINV = O/\bar{E} = 0)

ダイレクトコンベンションタイプは上記開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。上記の開始キャラクタではデータは H'3B となります。ダイレクトコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 0 にセットしてください。また、スマートカードの規程により偶数パリティとなるよう SMR の O/\bar{E} ビットには 0 をセットしてください。

図 13.24 インバースコンベンション (SDIR = SINV = O/\bar{E} = 1)

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。上記の開始キャラクタではデータは H'3F となります。インバースコンベンションコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 1 にセットしてください。パリティビットはスマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。本 LSI では、SINV ビットはデータビット D7 ~ D0 のみ反転させます。このため、送受信とも SMR の O/\bar{E} ビットに 1 を設定してパリティビットを反転させてください。

13.7.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースと比較して以下の点が異なります。

- 受信時はパリティチェックは行いますが、エラーを検出してもエラーシグナルは出力しません。SSRのPERはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から次のフレーム開始までのガードタイムは最小1etu以上です。
- 送信時は再送信を行わないため、TENDフラグは送信開始から11.5etu後にセットされます。
- ERSフラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に0となります。

13.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースで使用できる送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみです。スマートカードインタフェースモードでは、SCIはBCP1、BCP0の設定によりビットレートの32倍、64倍、372倍、256倍（通常の調歩同期式モードでは16倍に固定されています）の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、図13.25に示すように受信データを基本クロックのそれぞれ16、32、186、128ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N}(1 + F) \right| \times 100\%$$

M：受信マージン（%）

N：クロックに対するビットレートの比（N=32、64、372、256）

D：クロックデューティ（D=0~1.0）

L：フレーム長（L=10）

F：クロック周波数の偏差の絶対値

上の式で、F=0、D=0.5、N=372 とすると、受信マージンは次のようになります。

$$\begin{aligned} M &= (0.5 - 1/2 \times 372) \times 100\% \\ &= 49.866\% \end{aligned}$$

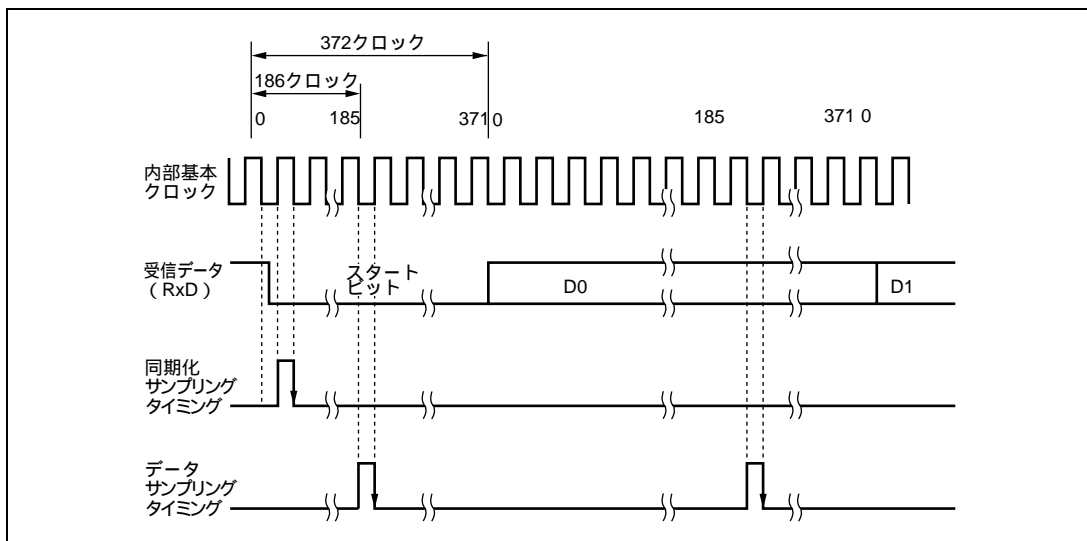


図 13.25 スマートカードインタフェースモード時の受信データサンプリングタイミング（372倍のクロック使用時）

13.7.5 初期設定

データの送受信の前に、以下の手順でSCIを初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRのTE、REビットを0にクリアします。
2. SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
3. SMRのGM、BLK、 $O\bar{E}$ 、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。
4. SCMRのSMIF、SDIR、SINVビットを設定してください。
SMIFビットを1にセットすると、TxD端子およびRxD端子は共にポートからSCIの端子に切り替わり、ハイインピーダンス状態となります。
5. ビットレートに対応する値をBRRに設定します。
6. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。
CKE0ビットを1にセットした場合は、SCK端子からクロックを出力します。
7. 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE=0、TE=1に設定してください。受信動作の完了は、RDRFフラグ、あるいはPER、ORERフラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE=0、RE=1に設定してください。送信動作の完了はTENDフラグで確認できます。

13.7.6 データ送信 (ブロック転送モードを除く)

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースとは動作が異なります (ブロック転送モードを除く)。送信時の再転送動作を図 13.26 に示します。

- 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングするとSSRのERSビットが1にセットされます。このとき、SCRのRIEビットがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングまでにERSをクリアしてください。
- 2 エラーシグナルを受信したフレームでは、SSRのTENDはセットされません。TDRからTSRに再度データが転送され、自動的に再送信を行います。
- 3 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。再転送を含む1フレームの送信が完了したと判断して、SSRのTENDがセットされます。このときSCRのTIEがセットされていれば、TXI割り込み要求を発生します。送信データをTDRに書き込むことにより次のデータが送信されません。

送信処理フローの例を図 13.28 に示します。これら一連の処理はTXI 割り込み要因によってDTC を起動することで、自動的に行うことができます。送信動作では、SSR の TEND フラグが1にセットされると同時にTDRE フラグもセットされ、SCR の TIE をセットしておくことでTXI 割り込み要求を発生します。あらかじめDTC の起動要因にTXI 要求を設定しておけば、TXI 要求によりDTC が起動されて送信データの転送を行います。TDRE およびTEND フラグは、DTC によるデータ転送時に自動的に0にクリアされます。エラーが発生した場合はSCI が自動的に同じデータを再送信します。この間TEND は0のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI とDTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを1にセットしておき、エラー発生時にERI 割り込み要求を発生させ、ERS をクリアしてください。

なお、DTC を使って送受信を行う場合は、必ず先にDTC を設定し、許可状態にしてからSCI の設定を行ってください。DTC の設定方法は「第7章 データトランスファコントローラ (DTC)」を参照してください。

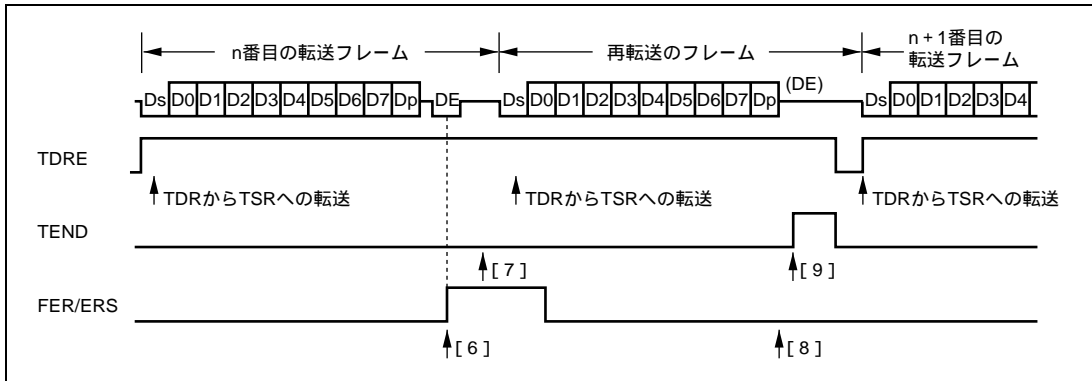


図 13.26 SCI 送信モードの場合の再転送動作

なお、SMR の GM ビットの設定により、TEND フラグのセットタイミングが異なります。図 13.27 に TEND フラグ発生タイミングを示します。

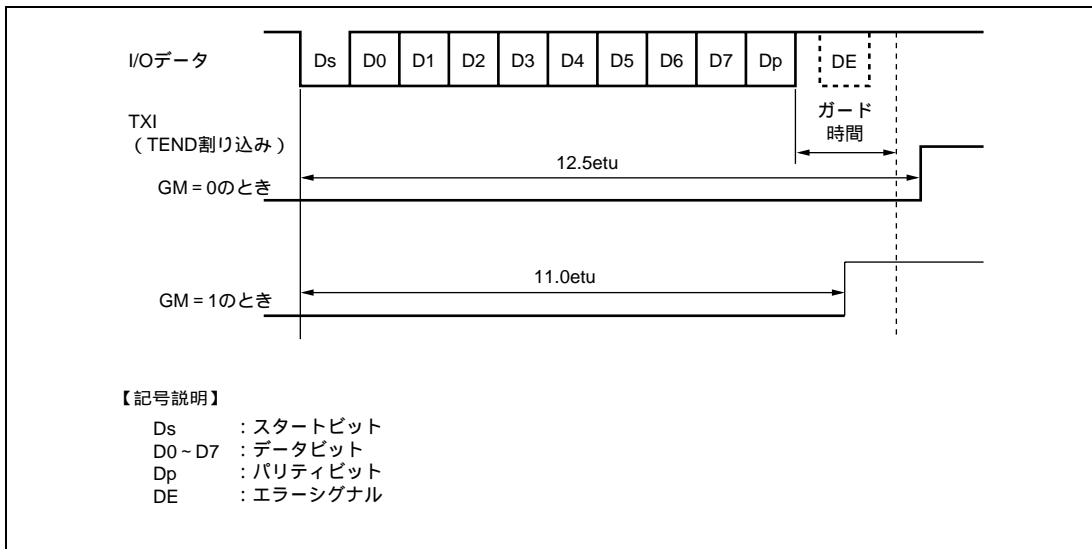


図 13.27 送信動作時の TEND フラグ発生タイミング

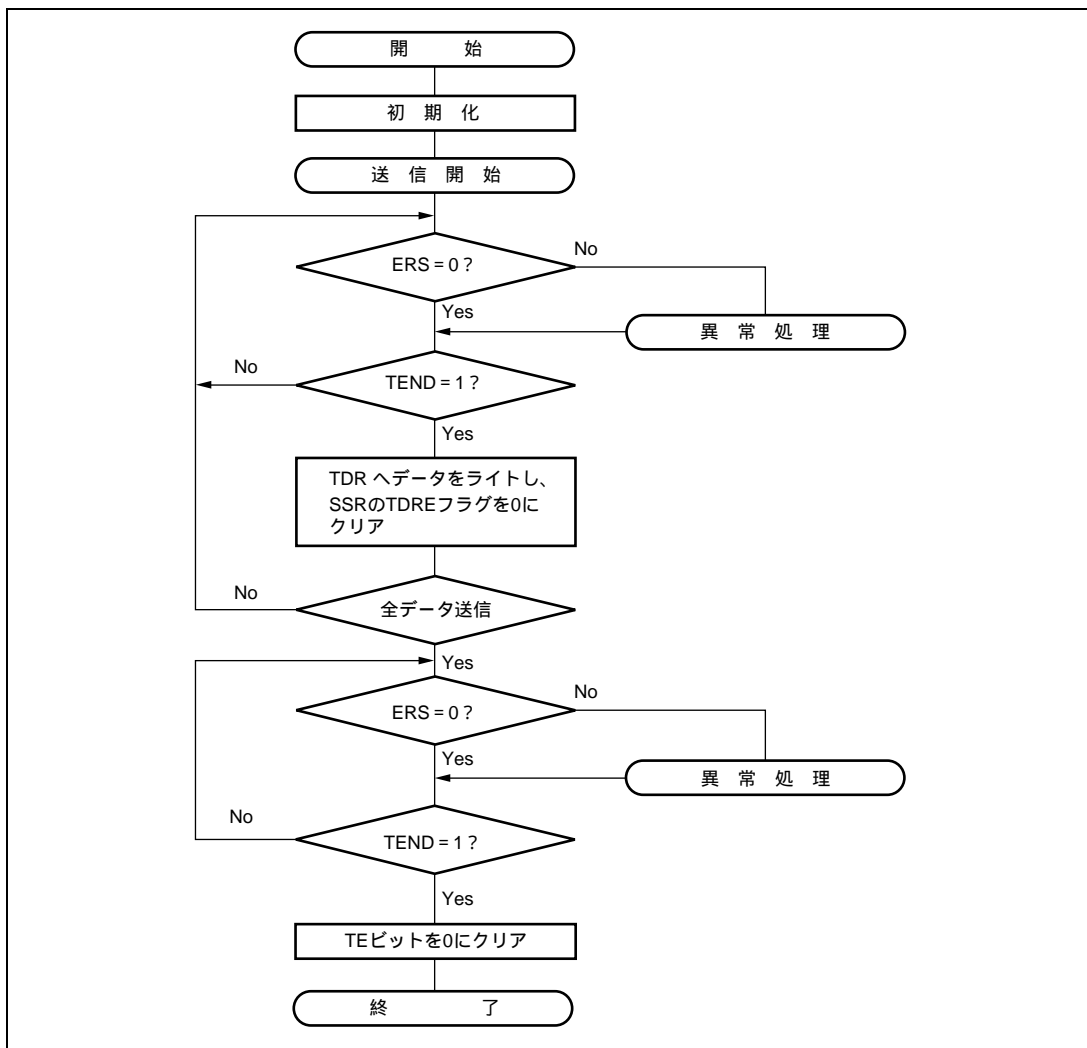


図 13.28 送信処理フローの例

13.7.7 シリアルデータ受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるデータ受信は、通常のシリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 13.29 に示します。

1. 受信データにパリティエラーを検出するとSSRのPERビットが1にセットされます。このとき、SCRのRIEがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでにPERビットをクリアしてください。
2. パリティエラーを検出したフレームではSSRのRDRFビットはセットされません。
3. パリティエラーが検出されない場合は、SSRのPERビットはセットされません。正常に受信を完了したと判断して、SSRのRDRFが1にセットされます。このときSCRのRIEビットがセットされていれば、RXI割り込み要求を発生します。

受信フローの例を図 13.30 に示します。これら一連の処理はRXI 割り込み要因によってDTC を起動することで、自動的に行うことができます。受信動作では、RIE ビットを 1 にセットしておくことでRDRF フラグが 1 にセットされるとRXI 要求を発生します。あらかじめDTCの起動要因にRXI 要求を設定しておけば、RXI 要求によりDTC が起動されて受信データの転送を行います。DTC によりデータが転送されるとRDRF フラグは自動的にクリアされます。また、受信時にエラーが発生しORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合はDTC は起動されず、受信データはスキップされるためDTC に設定したバイト数だけ受信データを転送します。なお、受信時にパリティエラーが発生しPER が 1 にセットされた場合でも、受信したデータはRDR に転送されるのでこのデータをリードすることは可能です。

【注】 ブロック転送モードの場合は「13.4 調歩同期式モードの動作」を参照してください。

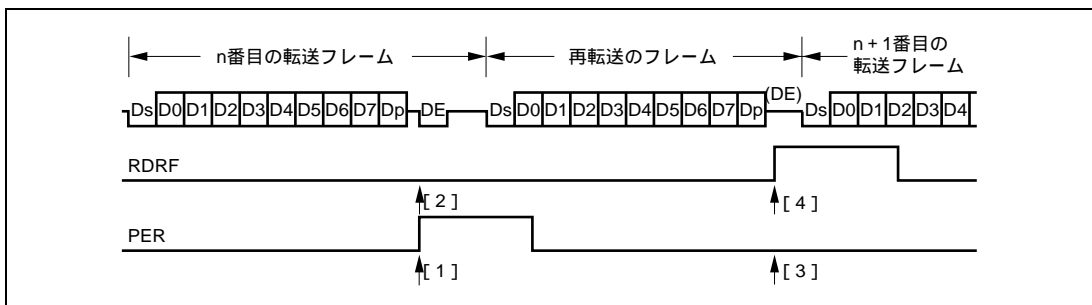


図 13.29 SCI 受信モードの場合の再転送動作

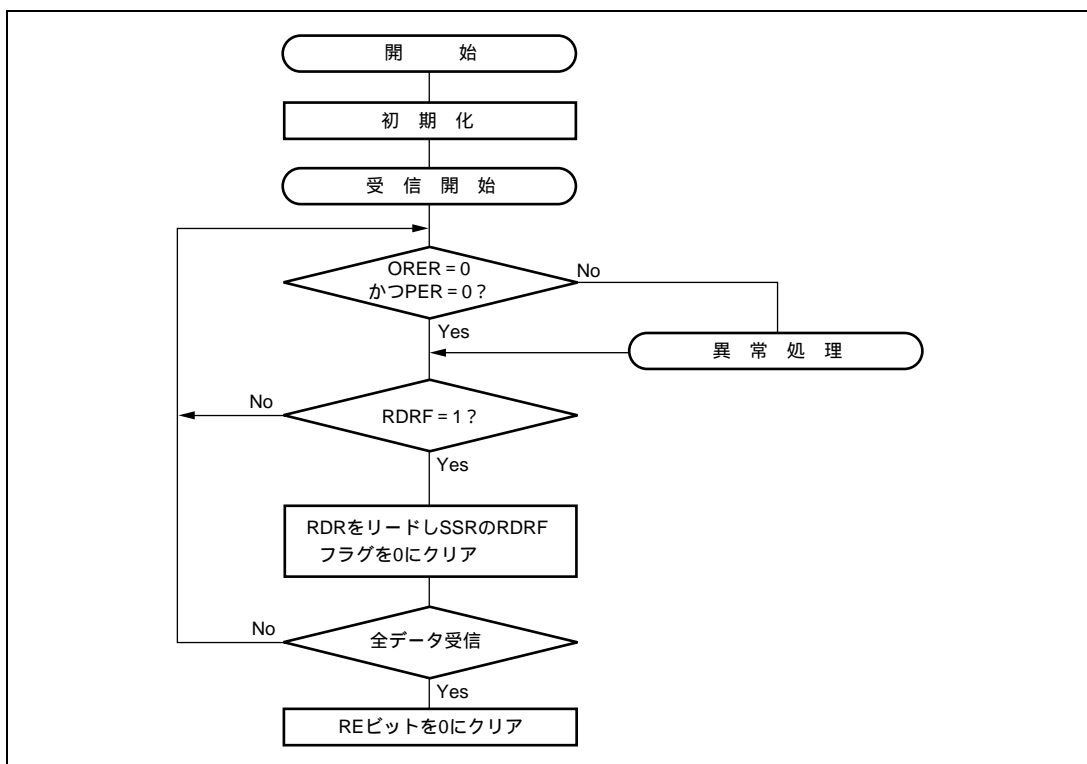


図 13.30 受信フローの例

13.7.8 クロック出力制御

SMRのGMビットが1にセットされているとき、SCRのCKE1、CKE0ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 13.31 にクロック出力の固定タイミングを示します。GM = 1、CKE1 = 0 とし、CKE0 ビットを制御した場合の例です。

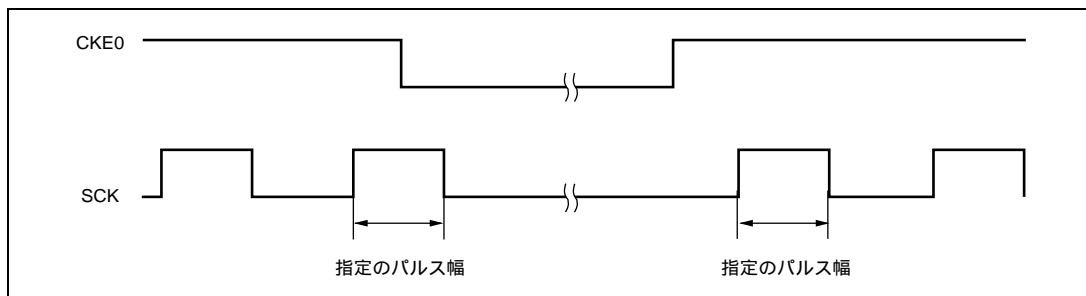


図 13.31 クロック出力固定タイミング

電源投入時およびソフトウェアスタンバイモードへの遷移またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

- 電源投入時

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗/プルダウン抵抗を使用してください。
2. SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
3. SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。
SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。

- スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

1. SCK端子に対応するデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
2. SCRのTEビットとREビットに0をライトし、送信/受信動作を停止させてください。
同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCRのCKE0ビットに0をライトし、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。
この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
5. ソフトウェアスタンバイ状態に遷移させてください。

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

- ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻すとき
 - ソフトウェアスタンバイ状態を解除してください。
 - SCRのCKE0ビットに1をライトし、クロックを出力させてください。クロックを出力させてください。正常なデューティにて信号発生を開始します。

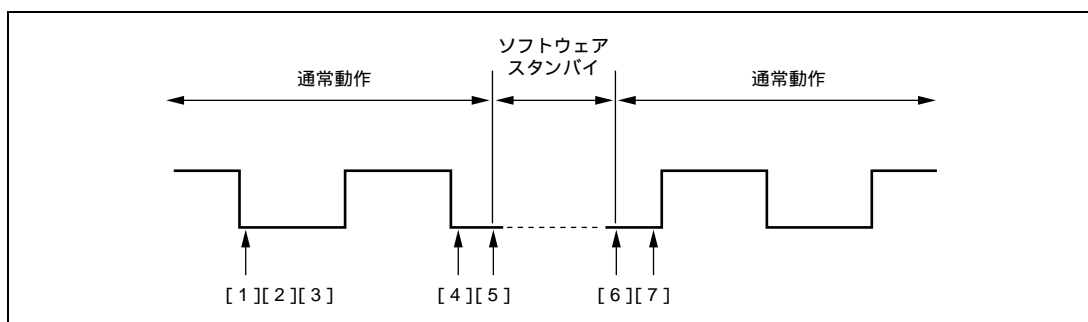


図 13.32 クロック停止・再起動手順

13.8 IrDA 動作

IrCR の IrE ビットで IrDA 機能をイネーブルにすると、SCI_0 の Tx/D0/RxD0 信号は IrDA 規格バージョン 1.0 に準拠した波形のエンコード/デコードを行います (IrTx/D/IrRx/D 端子)。これを赤外線送受信トランシーバ/レシーバと接続することで、IrDA 規格バージョン 1.0 システムに準拠した赤外線送受信を実現することができます。

IrDA 規格バージョン 1.0 システムにおいて、9600bps の転送レートで通信を開始し、その後、必要に応じて転送レートを変化させることができます。本 LSI の IrDA インタフェースでは、自動的に転送レートを変更する機能は内蔵していません。転送レートは、ソフトウェアにより設定を変更してください。

図 13.33 に IrDA のブロック図を示します。

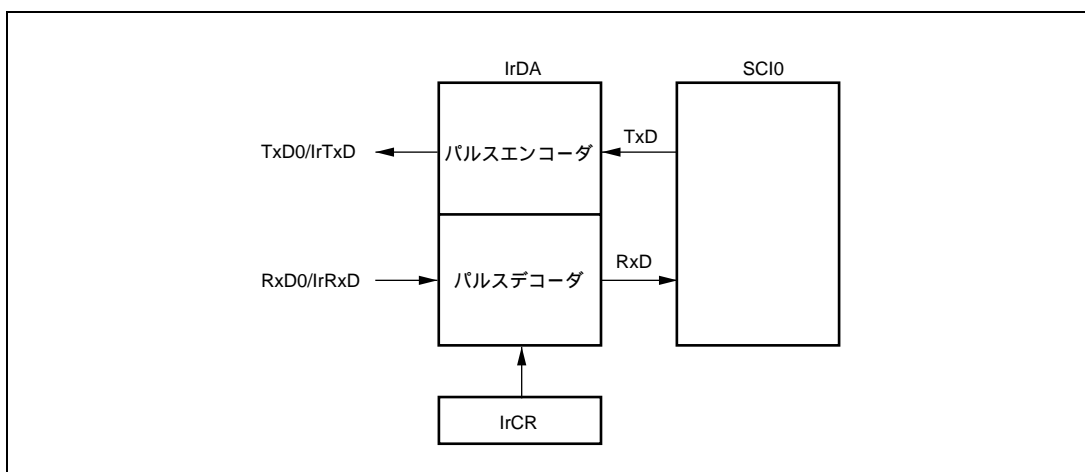


図 13.33 IrDA ブロック図

(1) 送信

送信時、SCI からの出力信号 (UART フレーム) は、IrDA インタフェースにより IR フレームに変換されます (図 13.34 参照)。シリアルデータが 0 のとき、ビットレート (1 ビット幅の期間) の $3/16$ の High パルスが出力されます (初期値)。なお、High パルス幅は IrCR の IrCKS2 ~ IrCKS0 ビットの設定値により変化させることも可能です。規格では、High パルス幅は最小 $1.41 \mu\text{s}$ 、最大 $(3/16 + 2.5\%) \times \text{ビットレート}$ 、または $(3/16 \times \text{ビットレート}) + 1.08 \mu\text{s}$ と定められています。システムクロック が 20MHz のとき、 $1.41 \mu\text{s}$ 以上で最小の High パルス幅としては $1.6 \mu\text{s}$ が設定可能です。また、シリアルデータが 1 のときは、パルスは出力されません。

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

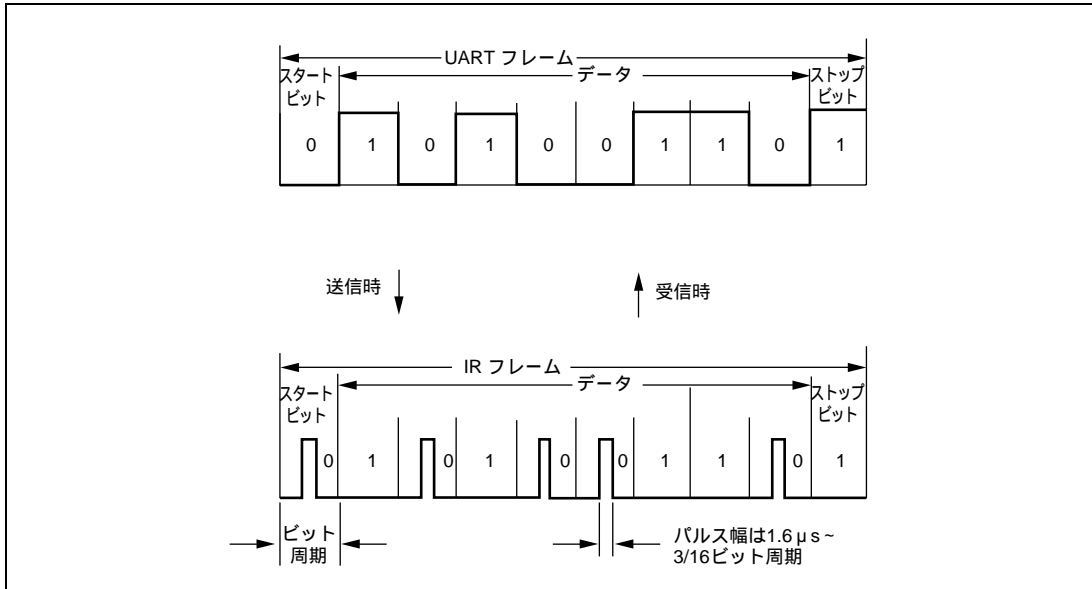


図 13.34 IrDA の送信/受信動作

(2) 受信

受信時、IR フレームのデータは、IrDA インタフェースにより UART フレームに変換され、SCI に入力されます。High パルスが検出されたときに 0 データを出力し、1 ビット期間中にパルスがない場合には 1 データを出力します。最小パルス幅の $1.41 \mu\text{s}$ より短いパルスも 0 信号として認識しますのでご注意ください。

(3) High パルス幅の選択

送信時にビットレート $\times 3/16$ よりパルス幅を短くする場合に、適用可能な IrCKS2 ~ IrCKS0 ビットの設定 (最小パルス幅) と本 LSI の動作周波数およびビットレートの選択を表 13.12 に示します。

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 13.12 IrCKS2 ~ IrCKS0 ビット設定

動作周波数 (MHz)	ビットレート(bps) (上段) / ビット周期 × 3/16(μs) (下段)					
	2400	9600	19200	38400	57600	115200
	78.13	19.53	9.77	4.88	3.26	1.63
2	010	010	010	010	010	-
2.097152	010	010	010	010	010	-
2.4576	010	010	010	010	010	-
3	011	011	011	011	011	-
3.6864	011	011	011	011	011	011
4.9152	011	011	011	011	011	011
5	011	011	011	011	011	011
6	100	100	100	100	100	100
6.144	100	100	100	100	100	100
7.3728	100	100	100	100	100	100
8	100	100	100	100	100	100
9.8304	100	100	100	100	100	100
10	100	100	100	100	100	100
12	101	101	101	101	101	101
12.288	101	101	101	101	101	101
14	101	101	101	101	101	101
14.7456	101	101	101	101	101	101
16	101	101	101	101	101	101
16.9344	101	101	101	101	101	101
17.2032	101	101	101	101	101	101
18	101	101	101	101	101	101
19.6608	101	101	101	101	101	101
20	101	101	101	101	101	101
25	110	110	110	110	110	110

【記号説明】

- : SCI側のビットレート設定ができません。

13.9 割り込み要因

13.9.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み

表 13.13 に通常のシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより独立にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DTC を起動してデータ転送を行うことができます。TDRE フラグは DTC によるデータ転送時に自動的に 0 にクリアされます。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DTC を起動してデータ転送を行うことができます。RDRF フラグは DTC によるデータ転送時に自動的に 0 にクリアされます。

TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

表 13.13 SCI 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
0	ERI0	受信エラー	ORER、FER、PER	不可	高 ↑ 低
	RX10	受信データフル	RDRF	可	
	TX10	送信データエンプティ	TDRE	可	
	TE10	送信終了	TEND	不可	
1	ERI1	受信エラー	ORER、FER、PER	不可	
	RX11	受信データフル	RDRF	可	
	TX11	送信データエンプティ	TDRE	可	
	TE11	送信終了	TEND	不可	
2	ERI2	受信エラー	ORER、FER、PER	不可	
	RX12	受信データフル	RDRF	可	
	TX12	送信データエンプティ	TDRE	可	
	TE12	送信終了	TEND	不可	

13.9.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 13.14 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 13.14 SCI 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
0	ERI0	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	↑ 高 低
	RXI0	受信データフル	RDRF	可	
	TXI0	送信データエンプティ	TEND	可	
1	ERI1	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	
	RXI1	受信データフル	RDRF	可	
	TXI1	送信データエンプティ	TEND	可	
2	ERI2	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	
	RXI2	受信データフル	RDRF	可	
	TXI2	送信データエンプティ	TEND	可	

スマートカードモードの場合も通常の SCI の場合と同様に、DTC を使って送受信を行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、TXI 割り込みが発生します。あらかじめ DTC の起動要因に TXI 要求を設定しておけば、TXI 要求により DTC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DTC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 要求を発生させ、ERS をクリアしてください。

なお、DTC を使って送受信を行う場合は、必ず先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。DTC の設定方法は「第 7 章 データトランスファコントローラ (DTC)」を参照してください。

また、受信動作では、SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。あらかじめ DTC の起動要因に RXI 要求を設定しておけば、RXI 要求で DTC が起動されて受信データの転送を行います。RDRF フラグは、DTC によるデータ転送時に、自動的に 0 にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。そのため DTC は起動されず、かわりに CPU に対し ERI を発生しますのでエラーフラグをクリアしてください。

13.10 使用上の注意事項

13.10.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SCIの動作禁止/許可を設定することが可能です。初期値では、SCIの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第19章 低消費電力状態」を参照してください。

13.10.2 ブレークの検出と処理について

フレーミングエラー検出時に、RxD端子の値を直接リードすることでブレークを検出できます。ブレークではRxD端子からの入力がすべて0になりますので、FERがセットされ、またPERもセットされる可能性があります。SCIは、ブレークを受信した後も受信動作を続けます。したがってFERを0にクリアしてもふたたびFERが1にセットされますので注意してください。

13.10.3 マーク状態とブレークの送出

TEが0のとき、TxD端子はDRとDDRにより入出力方向とレベルが決まるI/Oポートになります。これを利用してTxD端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。TEを1にセットするまで、通信回線をマーク状態(1の状態)にするためには、PCR=1、PDR=1を設定します。このとき、TEが0にクリアされていますので、TxD端子はI/Oポートとなっており1が出力されます。一方、データ送信時にブレークを送出したいときは、PCR=1、PDR=0に設定した後TEを0にクリアします。TEを0にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD端子はI/Oポートになり、TxD端子から0が出力されません。

13.10.4 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ(ORER、PER、FER)が1にセットされた状態では、TDREを0にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを0にクリアしておいてください。また、REを0にクリアしても受信エラーフラグは0にクリアできませんので注意してください。

13.10.5 TDR へのライトと TDRE フラグの関係について

SSRのTDREフラグはTDRからTSRに送信データの転送が行われたことを示すステータスフラグです。SCIがTDRからTSRにデータを転送するとTDREフラグが1にセットされます。

TDRへのデータのライトは、TDREフラグの状態にかかわらず行うことができます。しかし、TDREフラグが0の状態では新しいデータをTDRにライトすると、TDRに格納されていたデータはTSRに転送されていないため失われてしまいます。したがってTDRへの送信データのライトは、必ずTDREフラグが1にセットされていることを確認してから行ってください。

13.10.6 DTC 使用上の制約事項

- (1) 同期クロックに外部クロックソースを使用する場合、DTC による TDR の更新後、クロックで 5 クロック以上経過した後に送信クロックを入力してください。TDR の更新後 4 クロック以内に送信クロックを入力すると誤動作することがあります (図 13.35 参照)。
- (2) DTC により、RDR のリードを行うときは必ず起動要因を当該 SCI の受信完了割り込み (RXI) に設定してください。

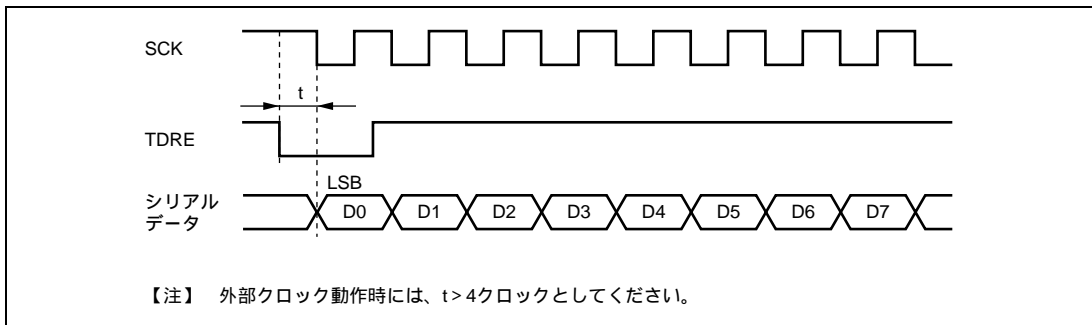


図 13.35 DTC によるクロック同期式送信時の例

13.10.7 モード遷移時の動作について

(1) 送信

モジュールストップモード、ソフトウェアスタンバイモード遷移時には、動作を停止 ($TE = TIE = TEIE = 0$) してから行ってください。TSR、TDR および SSR はリセットされます。モジュールストップモード、ソフトウェアスタンバイモード期間中の出力端子の状態は、ポートの設定に依存し、モード解除後 High 出力となります。送信中に遷移すると、送信中のデータは不確定になります。

モード解除後、送信モードを変えないで送信する場合は、 $TE = 1$ に設定し、SSR リード TDR ライト TDRE クリアで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 13.36 に送信時のモード遷移フローチャートの例を示します。図 13.37、図 13.38 にモード遷移時のポートの端子状態を示します。

また、DTC 転送による送信からモジュールストップモード、ソフトウェアスタンバイモード遷移時には、動作を停止 ($TE = TIE = TEIE = 0$) してから行ってください。解除後 DTC による送信をする場合は $TE = 1$ 、 $TIE = 1$ に設定すると TXI フラグが立ち、DTC による送信が始まります。

(2) 受信

モジュールストップモード、ソフトウェアスタンバイモード遷移時には、受信動作を停止 ($RE = 0$) してから行ってください。RSR、RDR および SSR はリセットされます。受信中に遷移すると、受信中のデータは無効になります。

モード解除後、受信モードを変えないで受信する場合は、 $RE = 1$ に設定して受信を開始してください。受信モ

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

ードを変えて受信する場合は、初期設定から行ってください。

図 13.39 に受信時のモード遷移フローチャートの例を示します。

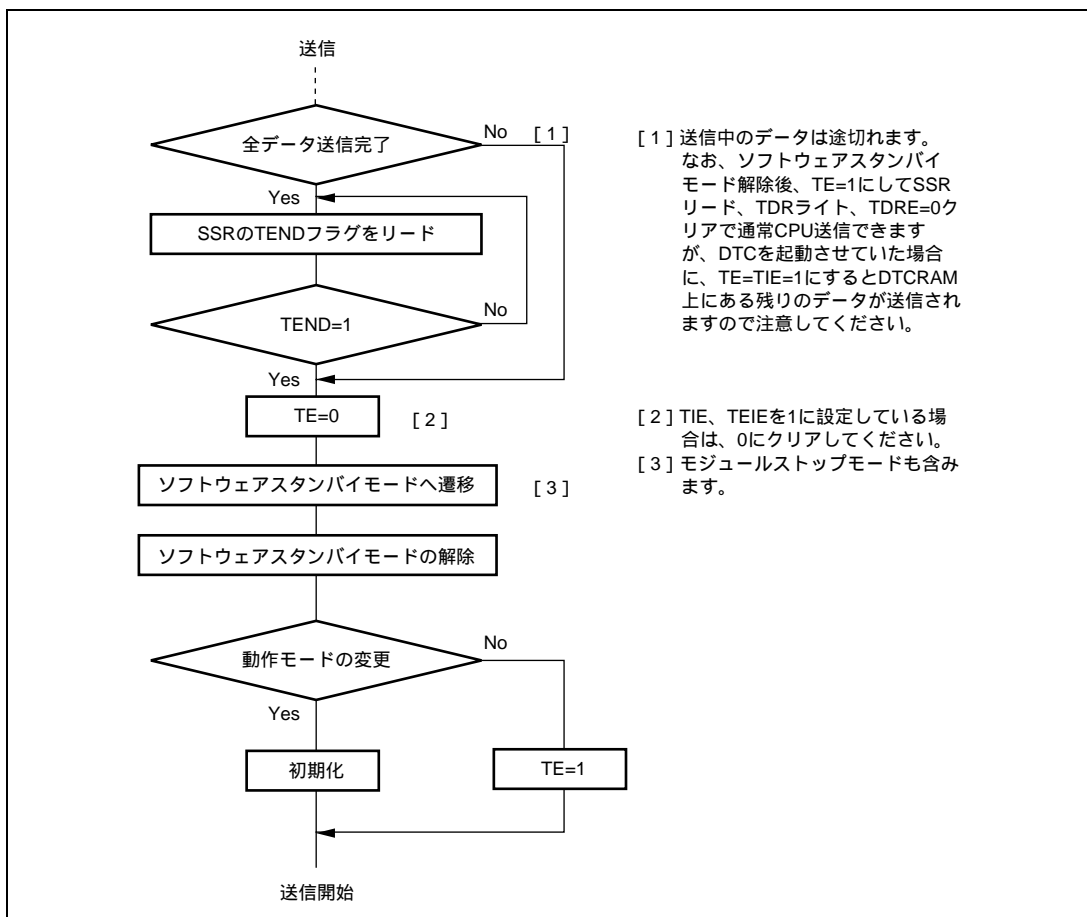


図 13.36 送信時のモード遷移フローチャートの例

13. シリアルコミュニケーションインタフェース (SCI, IrDA)

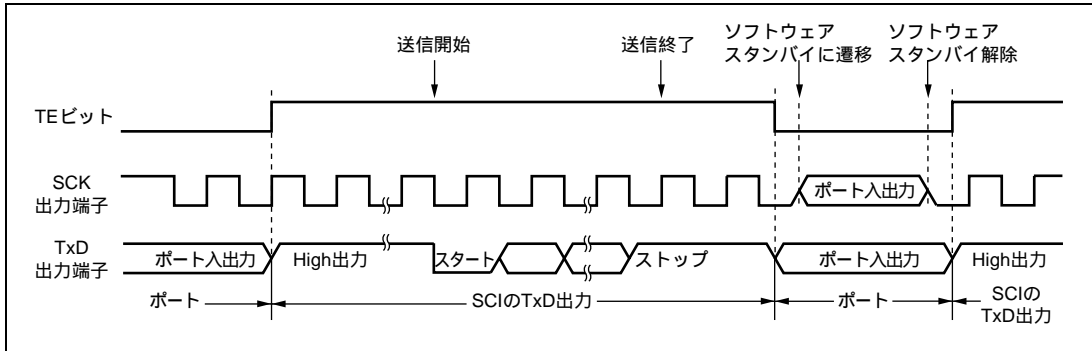
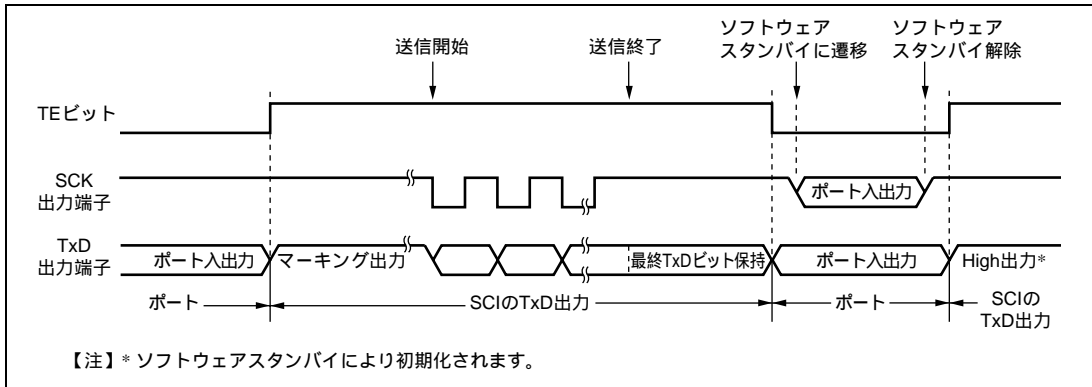


図 13.37 モード遷移時のポートの端子状態 (内部クロック、調歩同期送信)



【注】* ソフトウェアスタンバイにより初期化されます。

図 13.38 モード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

13. シリアルコミュニケーションインタフェース (SCI、IrDA)

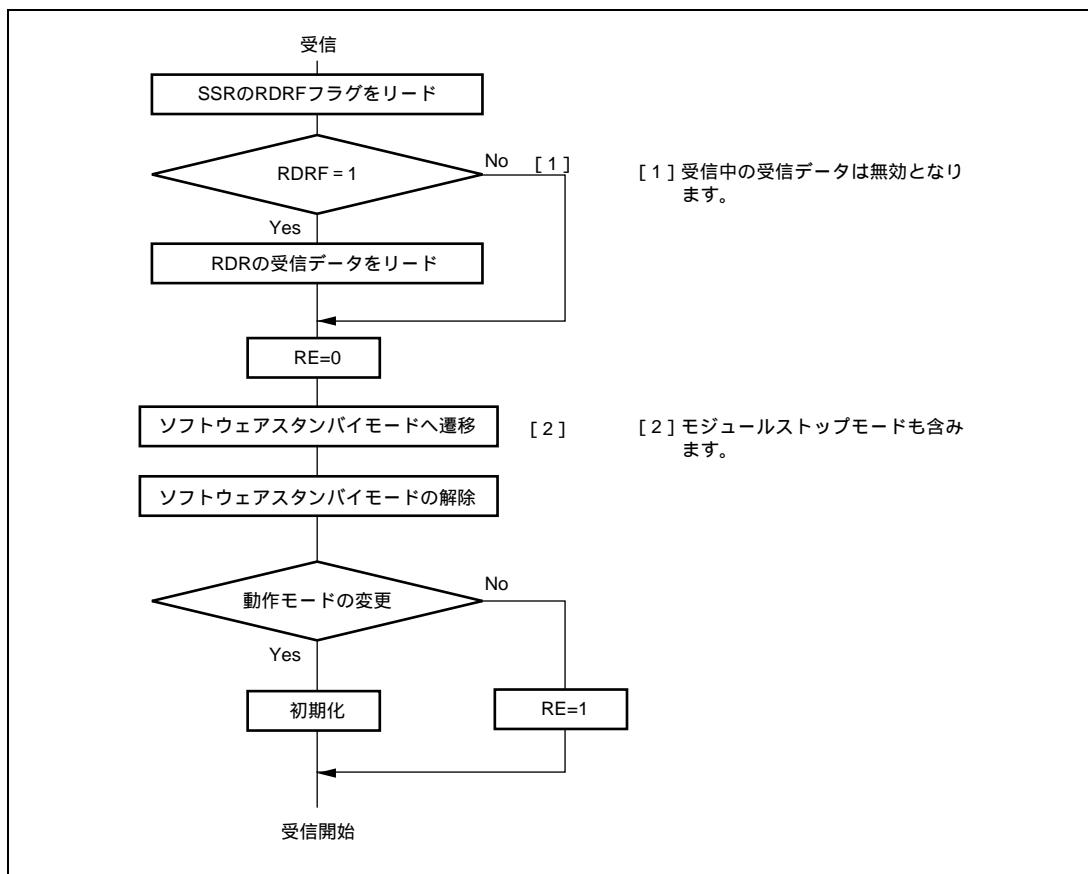


図 13.39 受信時のモード遷移フローチャートの例

14. A/D 変換器

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しており、最大 12 チャンネルのアナログ入力を選択することができます。A/D 変換器のブロック図を図 14.1 に示します。

14.1 特長

- 分解能：10ビット
- 入力チャンネル：12チャンネル
- 変換時間：1チャンネル当たり6.7 μ s (20MHz動作時)
- 動作モード：2種類
 - シングルモード：1チャンネルのA/D変換
 - スキャンモード：1~4チャンネルの連続A/D変換、または1~8チャンネルの連続A/D変換
- データレジスタ：8本
 - A/D変換結果は各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
 - ソフトウェア
 - 16ビットタイマパルスユニット (TPU)、または8ビットタイマ (TMR) による変換開始トリガ
 - 外部トリガ信号
- 割り込み要因
 - A/D変換終了割り込み要求 (ADI) を発生
- モジュールストップモードの設定可能

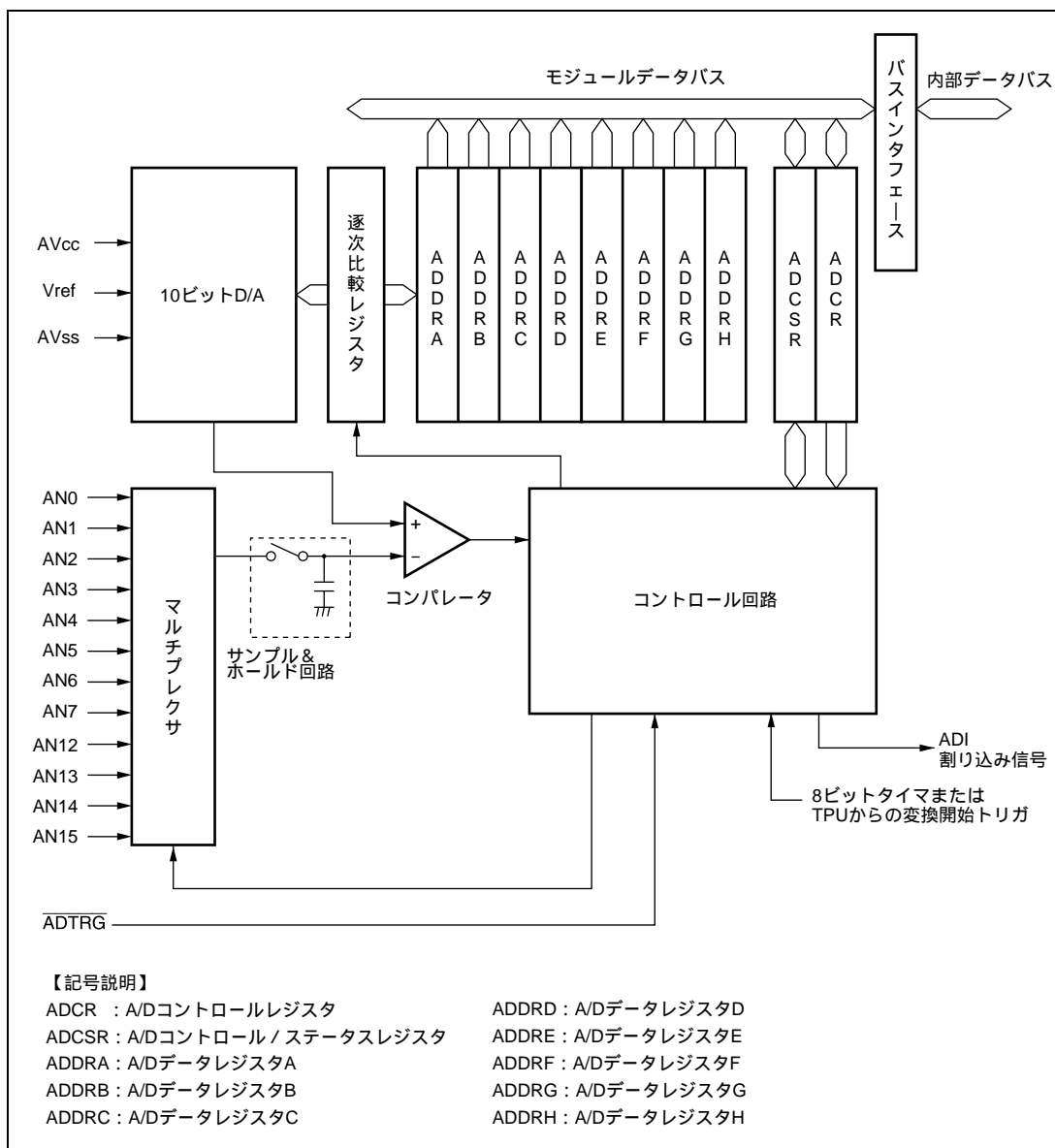


図 14.1 A/D 変換器のブロック図

14.2 入出力端子

A/D 変換器で使用する入力端子を表 14.1 に示します。

12 本のアナログ入力端子は 2 チャネルセットに分割されており、アナログ入力端子 0~7 (AN0~AN7) がチャネルセット 0、アナログ入力端子 12~15 (AN12~AN15) がチャネルセット 1 になっています。

AVcc、AVss は、A/D 変換器内部のアナログ部の電源端子です。Vref は A/D 変換の基準電圧端子です。

表 14.1 端子構成

端子名	記号	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子
リファレンス電圧端子	Vref	入力	A/D 変換器の基準電圧端子
アナログ入力端子 0	AN0	入力	チャネルセット 0 のアナログ入力
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
アナログ入力端子 12	AN12	入力	チャネルセット 1 のアナログ入力
アナログ入力端子 13	AN13	入力	
アナログ入力端子 14	AN14	入力	
アナログ入力端子 15	AN15	入力	
A/D 外部トリガ入力端子	ADTRG	入力	A/D 変換開始のための外部トリガ入力

14.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

- A/DデータレジスタA (ADDRA)
- A/DデータレジスタB (ADDRB)
- A/DデータレジスタC (ADDRC)
- A/DデータレジスタD (ADDRD)
- A/DデータレジスタE (ADDRE)
- A/DデータレジスタF (ADDRF)
- A/DデータレジスタG (ADDRG)
- A/DデータレジスタH (ADDRH)
- A/Dコントロール/ステータスレジスタ (ADCSR)
- A/Dコントロールレジスタ (ADCR)

14.3.1 A/D データレジスタ A ~ H (ADDRA ~ ADDRH)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタで、ADDRA ~ ADDRH の 8 本あります。各アナログ入力チャネルの変換結果が格納される ADDR は表 14.2 のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。ADDR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

CPU 間のデータバスは 16 ビット幅です。CPU から直接リードできます。

表 14.2 アナログ入力チャネルと ADDR の対応

アナログ入力チャネル		変換結果が格納される A/D データレジスタ
チャンネルセット 0 (CH3=0)	チャンネルセット 1 (CH3=1)	
AN0	該当なし	ADDRA
AN1	該当なし	ADDRB
AN2	該当なし	ADDRC
AN3	該当なし	ADDRD
AN4	AN12	ADDRE
AN5	AN13	ADDRF
AN6	AN14	ADDRG
AN7	AN15	ADDRH

14.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は A/D 変換動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] • シングルモードで A/D 変換が終了したとき • スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • ADI 割り込みにより DTC が起動され、ADDR をリードしたとき
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を中止し、待機状態になります。ソフトウェア、TPU、TMR の変換開始トリガ、または ADTRG 端子によって 1 にセットし、A/D 変換を開始します。A/D 変換中は 1 を保持します。シングルモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではリセット、ハードウェアスタンバイモード、ソフトウェアによってクリアされるまで選択されたチャンネルを順次連続変換します。
4		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3	CH3	0	R/W	チャンネルセレクト 3~0 ADCR の SCANE ビット、SCANS ビットとともに、アナログ入力を選択します。 SCANE=0、SCANE=1、SCANE=1、 SCANS=X のとき SCANS=0 のとき SCANS=1 のとき 0000 : AN0 0000 : AN0 0000 : AN0 0001 : AN1 0001 : AN0、AN1 0001 : AN0、AN1 0010 : AN2 0010 : AN0 ~ AN2 0010 : AN0 ~ AN2 0011 : AN3 0011 : AN0 ~ AN3 0011 : AN0 ~ AN3 0100 : AN4 0100 : AN4 0100 : AN0 ~ AN4 0101 : AN5 0101 : AN4、AN5 0101 : AN0 ~ AN5 0110 : AN6 0110 : AN4 ~ AN6 0110 : AN0 ~ AN6 0111 : AN7 0111 : AN4 ~ AN7 0111 : AN0 ~ AN7 10XX : 設定禁止 10XX : 設定禁止 1XXX : 設定禁止 1100 : AN12 1100 : AN12 1101 : AN13 1101 : AN12、AN13 1110 : AN14 1110 : AN12 ~ AN14 1111 : AN15 1111 : AN12 ~ AN15
2	CH2	0	R/W	
1	CH1	0	R/W	
	CH0	0	R/W	
0		0	R/W	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

【記号説明】 X : Don't care

14.3.3 A/D コントロールレジスタ (ADCR)

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	TRGS1	0	R/W	タイマトリガセレクト 1、0
6	TRGS0	0	R/W	トリガ信号による A/D 変換開始をイネーブルにします。 00 : 外部トリガによる A/D 変換開始を禁止 01 : TPU からの変換トリガによる A/D 変換開始 10 : TMR からの変換トリガによる A/D 変換開始 11 : ADTRG による A/D 変換開始
5	SCANE	0	R/W	スキャンモード
4	SCANS	0	R/W	A/D 変換の動作モードを選択します。 0X : シングルモード 10 : スキャンモード。1~4 チャンネルの連続 A/D 変換 11 : スキャンモード。1~8 チャンネルの連続 A/D 変換
3	CKS1	0	R/W	クロックセレクト
2	CKS0	0	R/W	A/D 変換時間の設定を行います。変換時間の設定は変換停止中 (ADST=0) に行ってください。 00 : 変換時間=530 ステート (max) 01 : 変換時間=266 ステート (max) 10 : 変換時間=134 ステート (max) 11 : 変換時間=68 ステート (max)
1		0		リザーブビット
0		0		リードすると常に 0 が読み出されます。ライトは無効です。

【記号説明】 X : Don't care

14.4 動作説明

A/D 変換器は逐次比較方式で分解機能は 10 ビットです。動作モードにはシングルモードとスキャンモードがあります。動作モードやアナログ入力チャンネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャンネルの変更と ADST ビットのセットは同時に行うことができます。

14.4.1 シングルモード

シングルモードは、指定された 1 チャンネルのアナログ入力を以下のように 1 回 A/D 変換します。

- ソフトウェアまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャンネルの A/D 変換を開始します。
- A/D 変換が終了すると、A/D 変換結果がそのチャンネルに対応する A/D データレジスタに転送されます。

3. A/D変換終了後、ADCSRのADFビットが1にセットされます。このとき、ADIEビットが1にセットされていると、ADI割り込み要求を発生します。
4. ADSTビットはA/D変換中は1を保持し、変換が終了すると自動的にクリアされてA/D変換器は待機状態になります。A/D変換中にADSTビットを0にクリアすると変換を中止し、A/D変換器は待機状態になります。

14.4.2 スキャンモード

スキャンモードは指定された最大4チャンネル、または最大8チャンネルのアナログ入力を以下のように順次連続してA/D変換します。

1. ソフトウェア、TPUまたは外部トリガ入力によってADCSRのADSTビットが1にセットされると、選択されたチャンネルセットの第1チャンネルからA/D変換を開始します。
最大4チャンネルの連続A/D変換(SCANE、SCANS = 10)または最大8チャンネルの連続A/D変換(SCANE、SCANS = 11)を選択できます。4チャンネルの連続A/D変換の場合は、CH3、CH2 = 00のときAN0、CH3、CH2 = 01のときAN4、CH3、CH2 = 11のときAN12からA/D変換を開始します。8チャンネルの連続A/D変換の場合は、SH3、SH2 = 00のときAN0からA/D変換を開始します。
2. それぞれのチャンネルのA/D変換が終了するとA/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了するとADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再びチャンネルセットの第1チャンネルからA/D変換を開始します。
4. ADSTビットは自動的にクリアされず、1にセットされている間は2~3を繰り返します。ADSTビットを0にクリアするとA/D変換を中止し、A/D変換器は待機状態になります。その後、ADSTビットを1にセットすると再び第1チャンネルからA/D変換を開始します。

14.4.3 入力サンプリングとA/D変換時間

A/D変換器には、サンプル&ホールド回路が内蔵されています。A/D変換器は、ADCSRのADSTビットが1にセットされてからA/D変換開始遅延時間(t_D)時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D変換のタイミングを図14.2に示します。また、A/D変換時間を表14.3に示します。

A/D変換時間(t_{CONV})は、図14.2に示すように、 t_D と入力サンプリング時間(t_{SPL})を含めた時間となります。ここで t_D は、ADCSRへのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表14.3に示す範囲で変化します。

スキャンモードの変換時間は、表14.3に示す値が1回目の変換時間となります。2回目以降の変換時間は表14.4に示す値となります。いずれの場合も変換時間は「第21章 電気的特性」のA/D変換特性に示す範囲となるようにCKS1、CKS0ビットを設定してください。

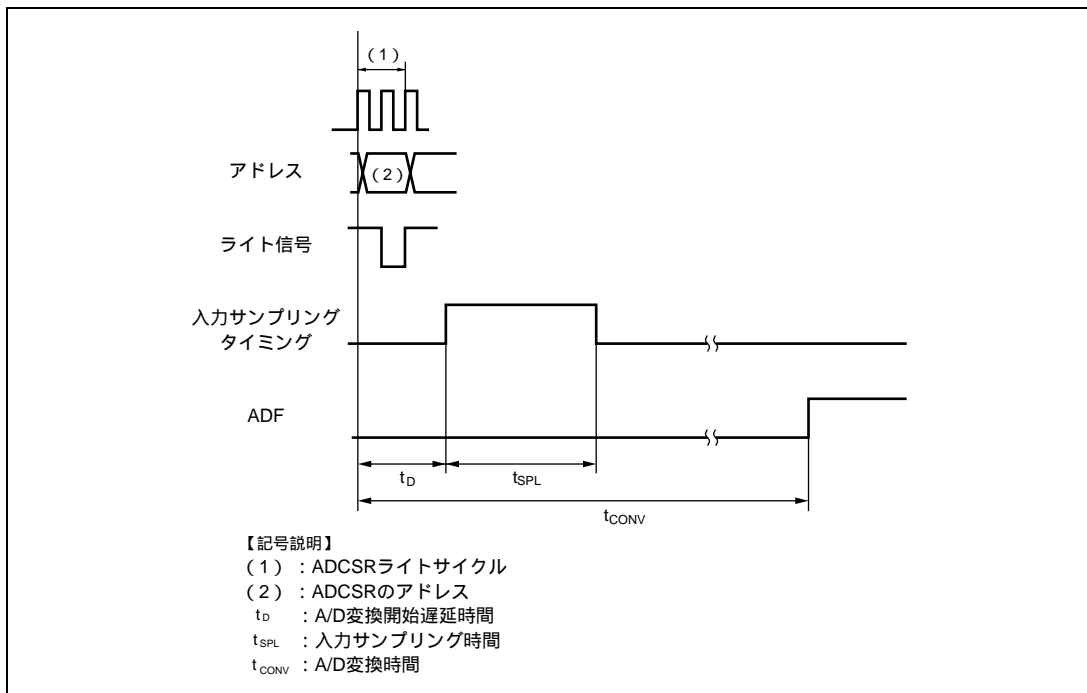


図 14.2 A/D 変換タイミング

表 14.3 A/D 変換時間 (シングルモード)

項目	記号	CKS1 = 0						CKS1 = 1					
		CKS0 = 0			CKS0 = 1			CKS0 = 0			CKS0 = 1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	18	-	33	10	-	17	6	-	9	4	-	5
入力サンプリング時間	t_{SPL}	-	127	-	-	63	-	-	31	-	-	15	-
A/D 変換時間	t_{CONV}	515	-	530	259	-	266	131	-	134	67	-	68

【注】 表中の数値の単位はステートです。

表 14.4 A/D 変換時間 (スキャンモード)

CKS1	CKS0	変換時間 (ステート)
0	0	512 (固定)
	1	256 (固定)
1	0	128 (固定)
	1	64 (固定)

14.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが 11 にセットされているとき、 $\overline{\text{ADTRG}}$ 端子から入力されます。 $\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 14.3 に示します。

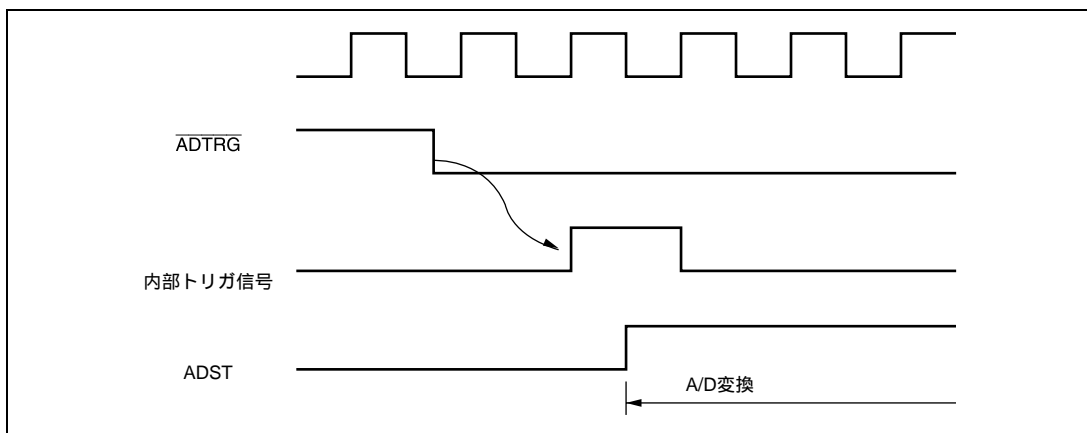


図 14.3 外部トリガ入力タイミング

14.5 割り込み要因

A/D 変換器は、A/D 変換が終了すると、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。ADI 割り込みでデータトランスファコントローラ (DTC) の起動ができます。ADI 割り込みで変換されたデータのリードを DTC で行うと、連続変換がソフトウェアの負担なく実現できます。

表 14.5 A/D 変換器の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動
ADI	A/D 変換終了	ADF	可

14.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

A/D変換器のデジタル出力コード数

- 量子化誤差

A/D変換器が本質的に有する偏差であり、1/2 LSBで与えられる（図14.4）

- オフセット誤差

デジタル出力が最小電圧値B'000000000 (H'000) からB'000000001 (H'001) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差（図14.5）

- フルスケール誤差

デジタル出力がB'111111110 (H'3FE) からB'111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差（図14.5）

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない（図14.5）。

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

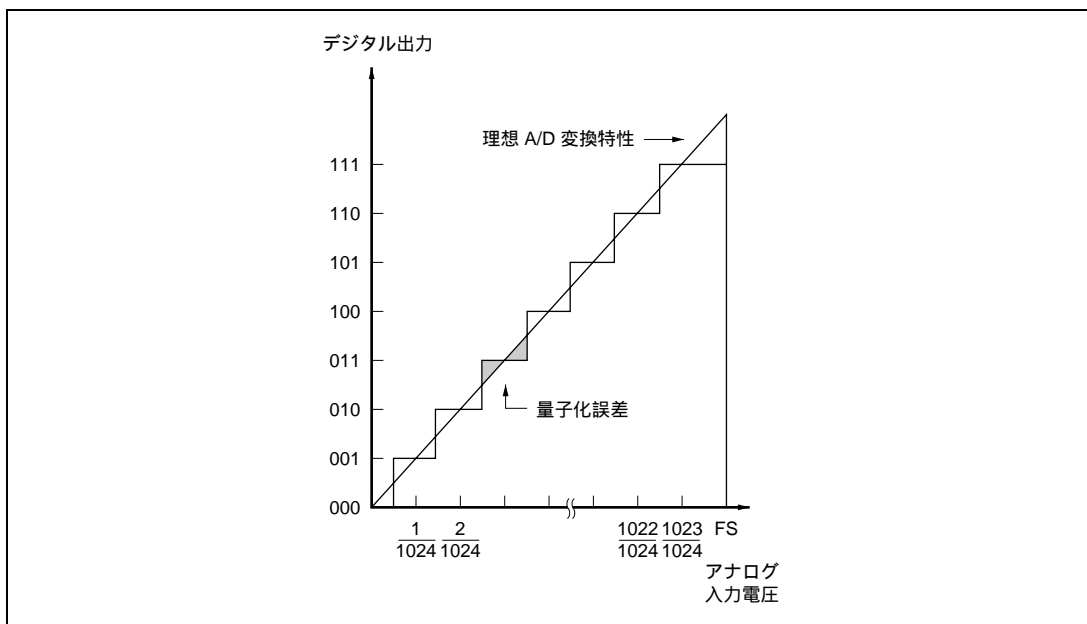


図 14.4 A/D 変換精度の定義

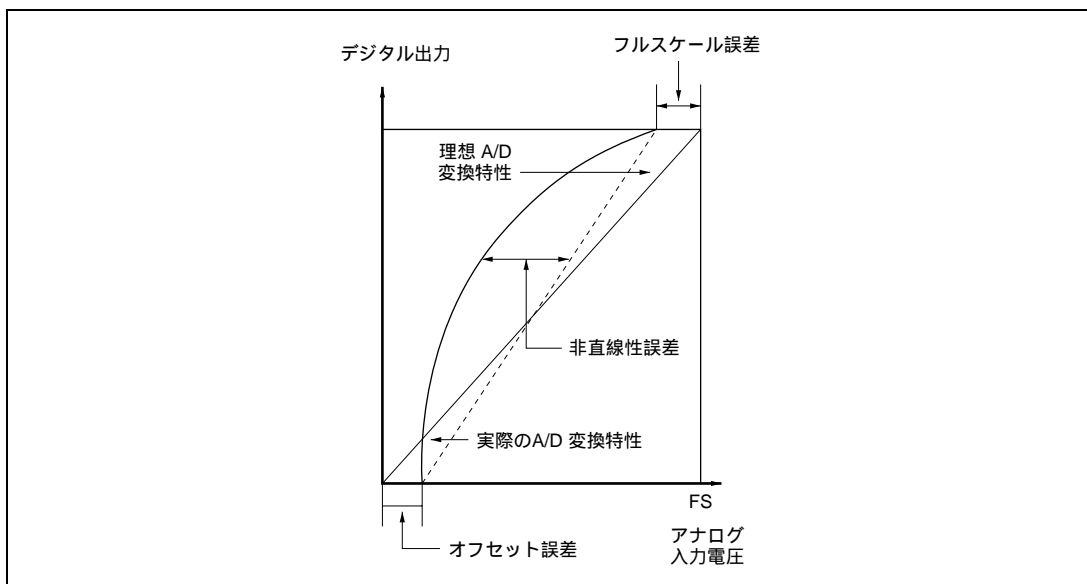


図 14.5 A/D 変換精度の定義

14.7 使用上の注意事項

14.7.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、A/D 変換器の動作禁止/許可を設定することが可能です。初期値では、A/D 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 19 章 低消費電力状態」を参照してください。

14.7.2 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが 10k Ω 以下の入力信号に対し、変換精度が保証される設計となっています。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが 10k Ω を超える場合は、充電不足が生じて A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の 10k Ω だけになりますので、信号源インピーダンスは不用となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば 5mV/ μ s 以上）には追従できないことがあります（図 14.6）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

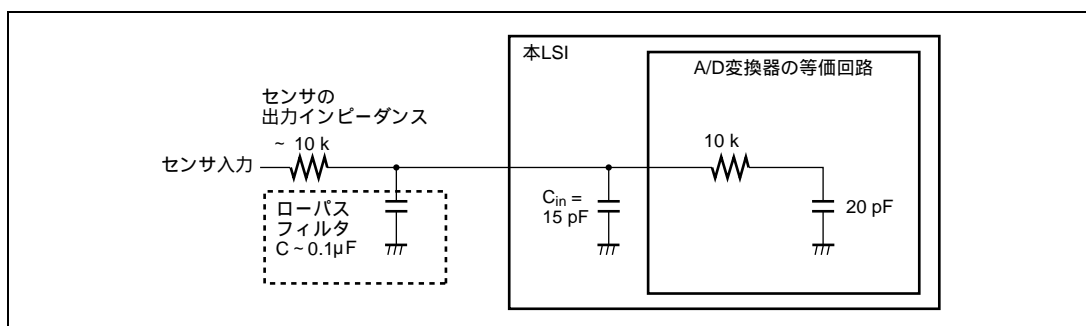


図 14.6 アナログ入力回路の例

14.7.3 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{SS} 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意してください。

14.7.4 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D変換中、アナログ入力端子ANnに印加する電圧は $AV_{SS} \sim V_{AN} \sim V_{ref}$ の範囲としてください。

- AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} の関係

AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} との関係は $AV_{CC} \sim V_{CC}$ かつ $AV_{SS} = V_{SS}$ とし、さらに、A/D変換器を使用しないときも AV_{CC} 、 AV_{SS} 端子をオープンにしないでください。

- V_{ref} の設定範囲

V_{ref} 端子によるリファレンス電圧の設定範囲は、 $V_{ref} \sim AV_{CC}$ にしてください。

14.7.5 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D変換値に悪影響を及ぼします。アナログ入力端子($AN0 \sim AN7$ 、 $AN12 \sim AN15$)、アナログ基準電源(V_{ref})、アナログ電源電圧(AV_{CC})は、アナロググランド(AV_{SS})で、デジタル回路と分離してください。さらに、アナロググランド(AV_{SS})は、ボード上の安定したグランド(V_{SS})に一点接続してください。

14.7.6 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子($AN0 \sim AN7$ 、 $AN12 \sim AN15$)の破壊を防ぐために、図 14.7 に示すように $AV_{CC} - AV_{SS}$ 間に保護回路を接続してください。 AV_{CC} に接続するバイパスコンデンサ、 $AN0 \sim AN7$ 、 $AN12 \sim AN15$ に接続するフィルタ用のコンデンサは、必ず AV_{SS} に接続してください。

なお、フィルタ用のコンデンサを接続すると、 $AN0 \sim AN7$ 、 $AN12 \sim AN15$ の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス(R_{in})を經由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は充分ご検討の上決定してください。

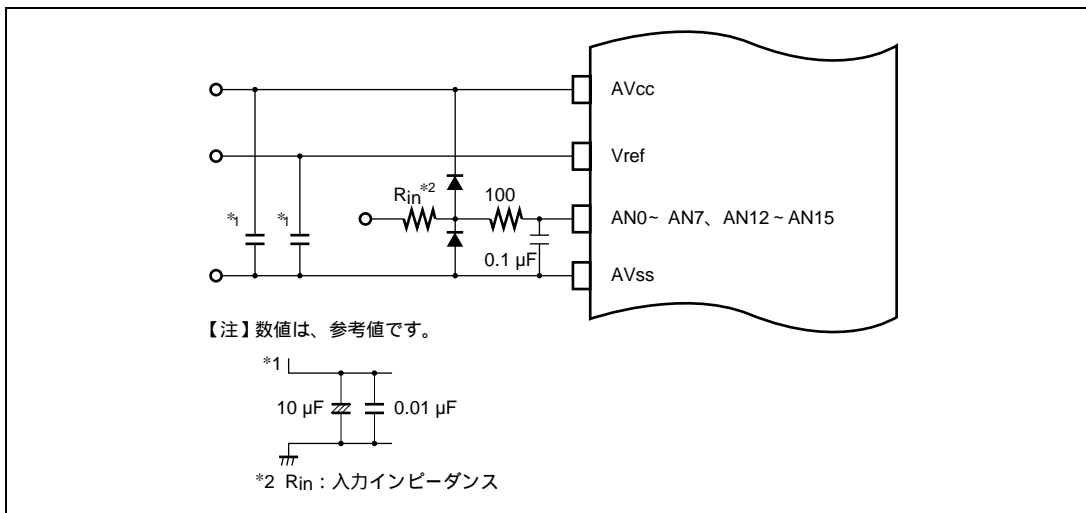


図 14.7 アナログ入力保護回路の例

表 14.6 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	-	20	pF
許容信号源インピーダンス	-	10	k

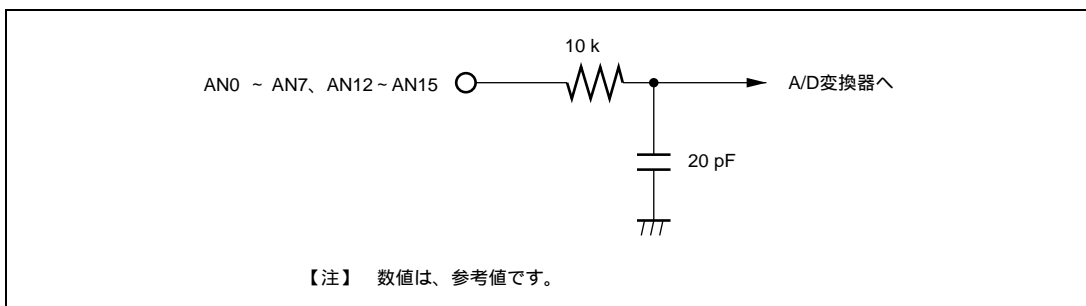


図 14.8 アナログ入力端子等価回路

15. D/A 変換器

15.1 特長

- 分解能：8ビット
- 出力チャンネル：4チャンネル
- 変換時間：最大10 μ s（負荷容量20pF時）
- 出力電圧：0V～Vref
- ソフトウェアスタンバイモード時のD/A出力保持機能
- モジュールストップモードの設定可能

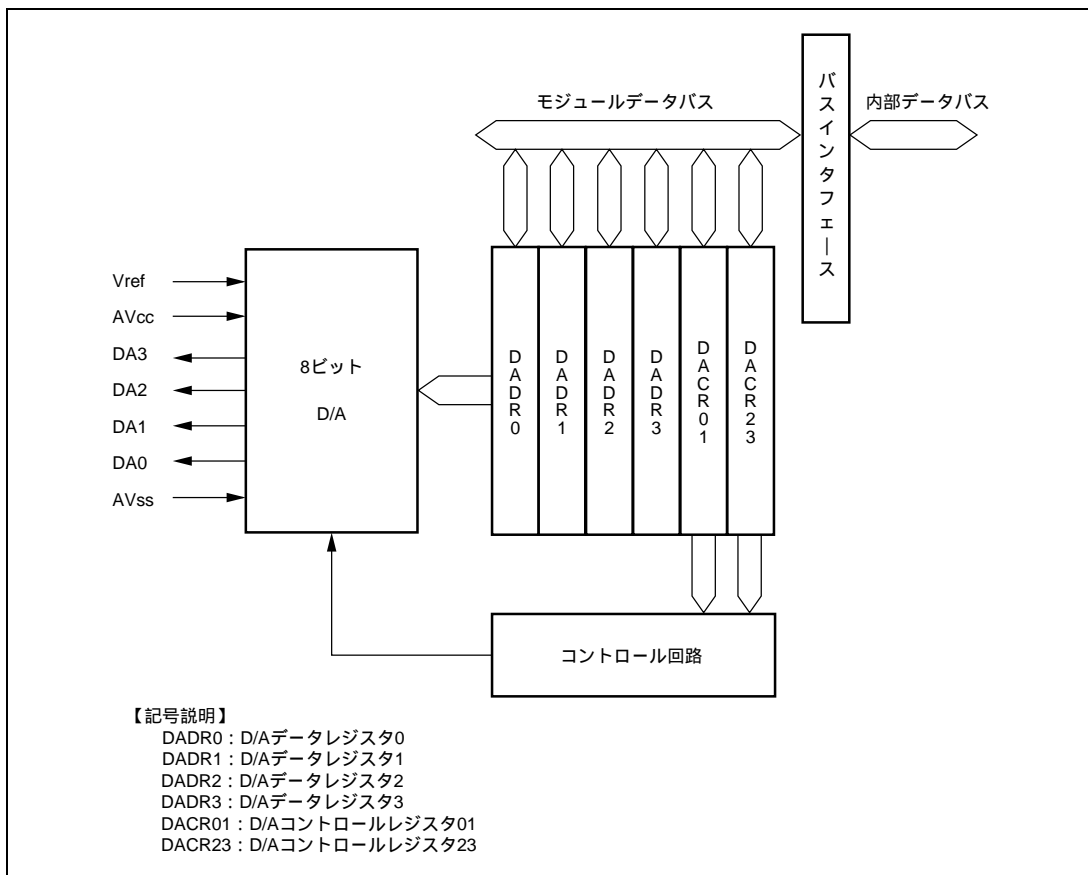


図 15.1 D/A 変換器のブロック図

15.2 入出力端子

D/A 変換器で使用する入出力端子を表 15.1 に示します。

表 15.1 端子構成

名 称	記号	入出力	機 能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子
リファレンス電源端子	Vref	入力	D/A 変換器の基準電圧端子
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA1	出力	チャンネル 1 のアナログ出力
アナログ出力端子 2	DA2	出力	チャンネル 2 のアナログ出力
アナログ出力端子 3	DA3	出力	チャンネル 3 のアナログ出力

15.3 レジスタの説明

D/A 変換器には以下のレジスタがあります。

- D/Aデータレジスタ0 (DADR0)
- D/Aデータレジスタ1 (DADR1)
- D/Aデータレジスタ2 (DADR2)
- D/Aデータレジスタ3 (DADR3)
- D/Aコントロールレジスタ01 (DACR01)
- D/Aコントロールレジスタ23 (DACR23)

15.3.1 D/A データレジスタ 0 ~ 3 (DADR0 ~ DADR3)

DADR は、D/A 変換を行うデータを格納するための 8 ビットのリード/ライト可能なレジスタです。アナログ出力を許可すると、DADR の値が変換されアナログ出力端子に出力されます。

15.3.2 D/A コントロールレジスタ 01、23 (DACR01、DACR23)

DACR は D/A 変換器の動作を制御します。

• DACR01

ビット	ビット名	初期値	R/W	説明
7	DAOE1	0	R/W	D/A アウトプットイネーブル 1 D/A 変換とアナログ出力を制御します。 0: チャンネル 1 のアナログ出力 (DA1) を禁止 1: チャンネル 1 の D/A 変換を許可。チャンネル 1 のアナログ出力 (DA1) を許可
6	DAOE0	0	R/W	D/A アウトプットイネーブル 0 D/A 変換とアナログ出力を制御します。 0: チャンネル 0 のアナログ出力 (DA0) を禁止 1: チャンネル 0 の D/A 変換を許可。チャンネル 0 のアナログ出力 (DA0) を許可
5	DAE	0	R/W	D/A イネーブル DAOE0、DAOE1 ビットとの組み合わせで、D/A 変換を制御します。このビットが 0 にクリアされているとチャンネル 0、1 の D/A 変換は独立に制御されます。このビットが 1 にセットされているとチャンネル 0、1 の D/A 変換は一括して制御されます。変換結果の出力は、DAOE0、DAOE1 ビットにより制御されます。表 15.2 を参照してください。
4~0	-	1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

表 15.2 D/A 変換の制御

ビット 5	ビット 7	ビット 6	説明
DAE	DAOE1	DAOE0	
0	0	0	D/A 変換を禁止
		1	チャンネル 0 の D/A 変換を許可、チャンネル 1 の D/A 変換を禁止
	1	0	チャンネル 1 の D/A 変換を許可、チャンネル 0 の D/A 変換を禁止
		1	チャンネル 0、1 の D/A 変換を許可
1	0	0	D/A 変換を禁止
		1	チャンネル 0、1 の D/A 変換を許可
	1	0	
		1	

15. D/A 変換器

• DACR23

ビット	ビット名	初期値	R/W	説 明
7	DAOE3	0	R/W	D/A アウトプットイネーブル 3 D/A 変換とアナログ出力を制御します。 0 : チャネル 3 のアナログ出力 (DA3) を禁止 1 : チャネル 3 の D/A 変換を許可。チャネル 3 のアナログ出力 (DA3) を許可
6	DAOE2	0	R/W	D/A アウトプットイネーブル 2 D/A 変換とアナログ出力を制御します。 0 : チャネル 2 のアナログ出力 (DA2) を禁止 1 : チャネル 2 の D/A 変換を許可。チャネル 2 のアナログ出力 (DA2) を許可
5	DAE	0	R/W	D/A イネーブル DAOE2、DAOE3 ビットとの組み合わせで、D/A 変換を制御します。このビットが 0 にクリアされているとチャネル 2、3 の D/A 変換は独立に制御されます。このビットが 1 にセットされているとチャネル 2、3 の D/A 変換は一括して制御されます。変換結果の出力は、DAOE2、DAOE3 ビットにより制御されます。表 15.3 を参照してください。
4~0	-	1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

表 15.3 D/A 変換の制御

ビット 5	ビット 7	ビット 6	説 明
DAE	DAOE3	DAOE2	
0	0	0	D/A 変換を禁止
		1	チャネル 2 の D/A 変換を許可、チャネル 3 の D/A 変換を禁止
	1	0	チャネル 3 の D/A 変換を許可、チャネル 2 の D/A 変換を禁止
		1	チャネル 2、3 の D/A 変換を許可
1	0	0	D/A 変換を禁止
		1	チャネル 2、3 の D/A 変換を許可
	1	0	
		1	

15.4 動作説明

4チャンネルのD/A変換器は、それぞれ独立して変換を行うことができます。DACR01、DACR23のDAOEビットを1にセットすると、D/A変換が許可され変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図15.2に示します。

1. DADR0に変換データをライトします。
2. DACR01のDAOE0ビットを1にセットすると、D/A変換が開始されます。 t_{DCONV} 時間経過後、変換結果がアナログ出力端子DA0より出力されます。DADR0を書き換えるかDAOE0ビットを0にクリアするまで、この変換結果が出力され続けます。出力値は以下の式で表わされます。

$$\frac{\text{DADRの内容}}{256} \times V_{\text{ref}}$$

3. DADR0を書き換えるとただちに交換が開始されます。 t_{DCONV} 時間経過後、変換結果が出力されます。
4. DAOE0ビットを0にクリアするとアナログ出力を禁止します。

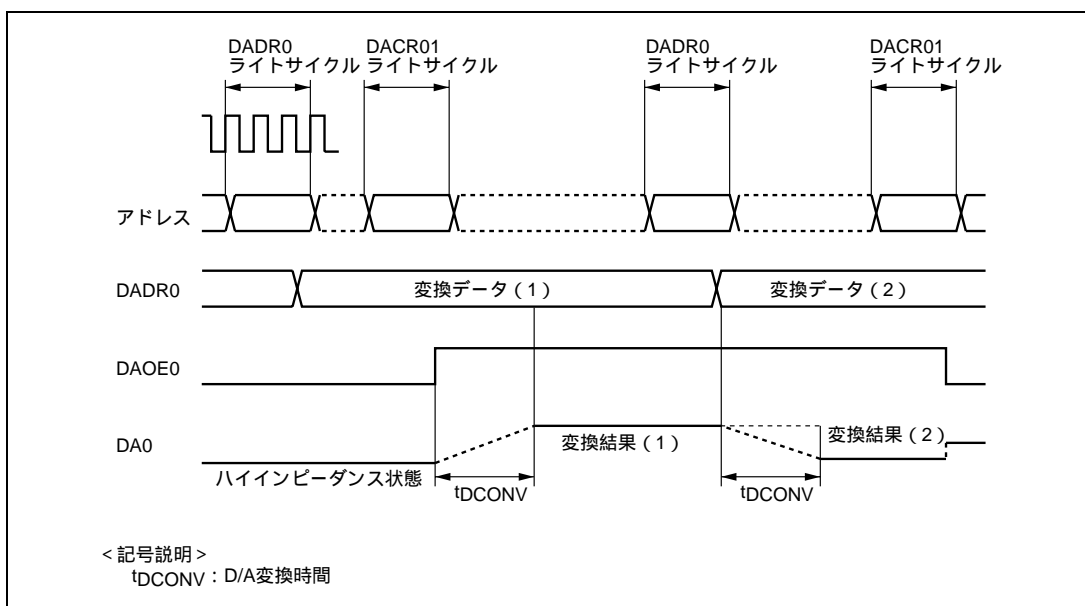


図 15.2 D/A 変換器の動作例

15.5 使用上の注意事項

15.5.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、D/A 変換器の動作禁止/許可を設定することが可能です。初期値では、D/A 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は「第 19 章 低消費電力状態」を参照してください。

15.5.2 ソフトウェアスタンバイモード時の D/A 出力保持機能

D/A 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DAOE0～DAOE3、DAE ビットをすべて 0 にクリアして D/A 出力を禁止してください。

16. RAM

本 LSI は高速スタティック RAM を内蔵しています。RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。

RAM は、システムコントロールレジスタ (SYSCR) の RAME ビットにより有効または無効の制御が可能です。SYSCR については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

製品型名		ROM タイプ	RAM 容量	RAM アドレス
H8S/2668 グループ	HD64F2667	フラッシュメモリ版	16k バイト	H'FF8000 ~ H'FFBFFF

17. フラッシュメモリ (F-ZTAT 版)

フラッシュメモリ版に内蔵されているフラッシュメモリの特長は以下のとおりです。フラッシュメモリのブロック図を図 17.1 に示します。

17.1 特長

- 容量

製品区分		ROM 容量	ROM アドレス
H8S/2668 グループ	HD64F2667	384k バイト	H'000000 ~ H'05FFFF (モード 3、4、7) H'100000 ~ H'15FFFF (モード 5、6)

- 書き込み/消去方式

書き込みは128バイト単位の同時書き込み方式です。消去はブロック単位で行います。384kバイトフラッシュメモリは64kバイト×5ブロック、32kバイト×1ブロック、4kバイト×8ブロックで構成されています。全面消去を行う場合も1ブロックずつ消去してください。

- 書き換え回数

100回まで書き換え可能です。

- オンボードプログラミングモード：2種類

ブートモード

ユーザプログラムモード

内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み/消去ができます。この他、通常のユーザモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。

- ライタモード

オンボードプログラミングの他にPROMライタを用いて書き込み/消去を行うライタモードがあります。

- ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動的に合わせ込みます。

- RAMによるフラッシュメモリのエミュレーション機能

フラッシュメモリとRAMの一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

17. フラッシュメモリ (F-ZTAT 版)

- 書き込み/消去プロテクト

ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類でフラッシュメモリの書き込み/消去に対するプロテクトを設定できます。

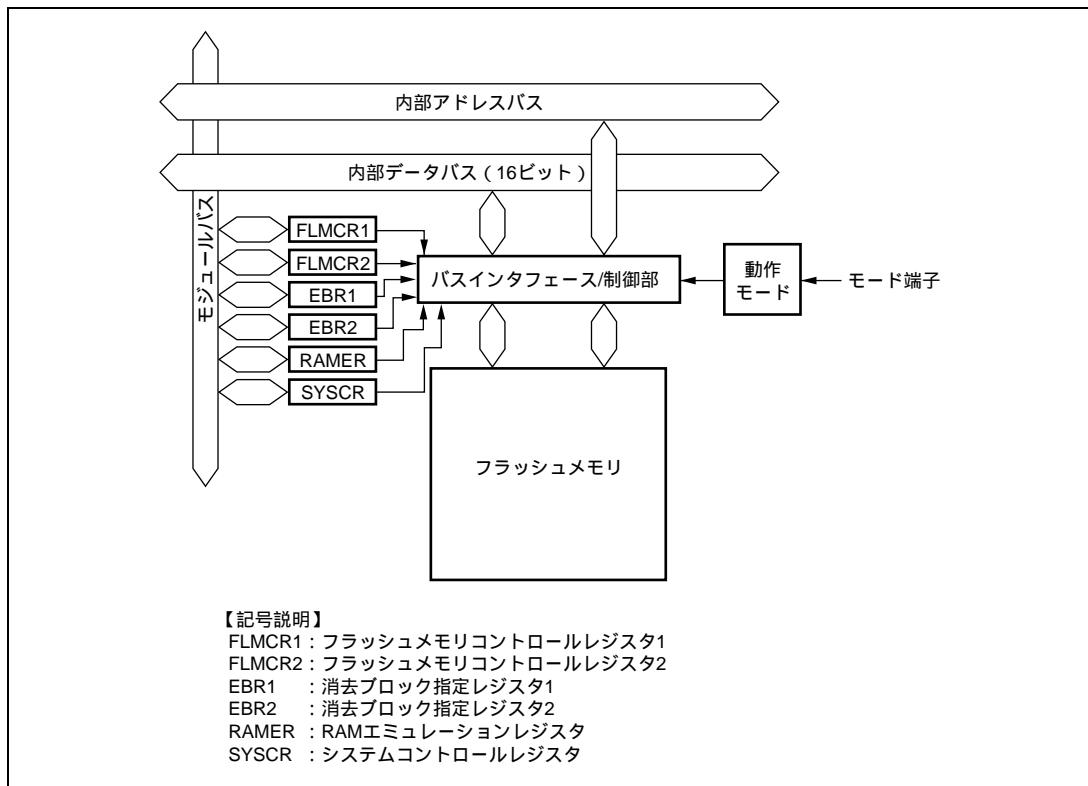


図 17.1 フラッシュメモリのブロック図

17.2 モード遷移図

リセット状態でモード端子を設定しリセットスタートすると、本 LSI は図 17.2 に示すような動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み/消去はできません。フラッシュメモリへの書き込み/消去を行えるモードとしてブートモード、ユーザプログラムモード、ライターモードがあります。

表 17.1 にブートモードとユーザプログラムモードの相違点を示します。図 17.3 にブートモードを、図 17.4 にユーザプログラムモードを示します。

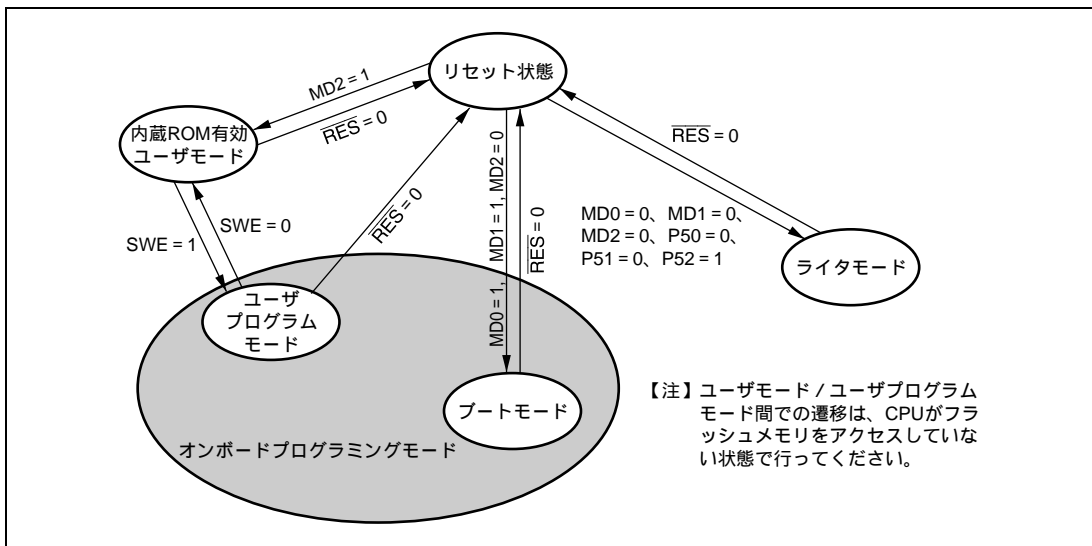


図 17.2 フラッシュメモリに関する状態遷移

表 17.1 ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	プログラム/プログラムベリファイ	プログラム/プログラムベリファイ イレース/イレースベリファイ エミュレーション

【注】* 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

17. フラッシュメモリ (F-ZTAT 版)

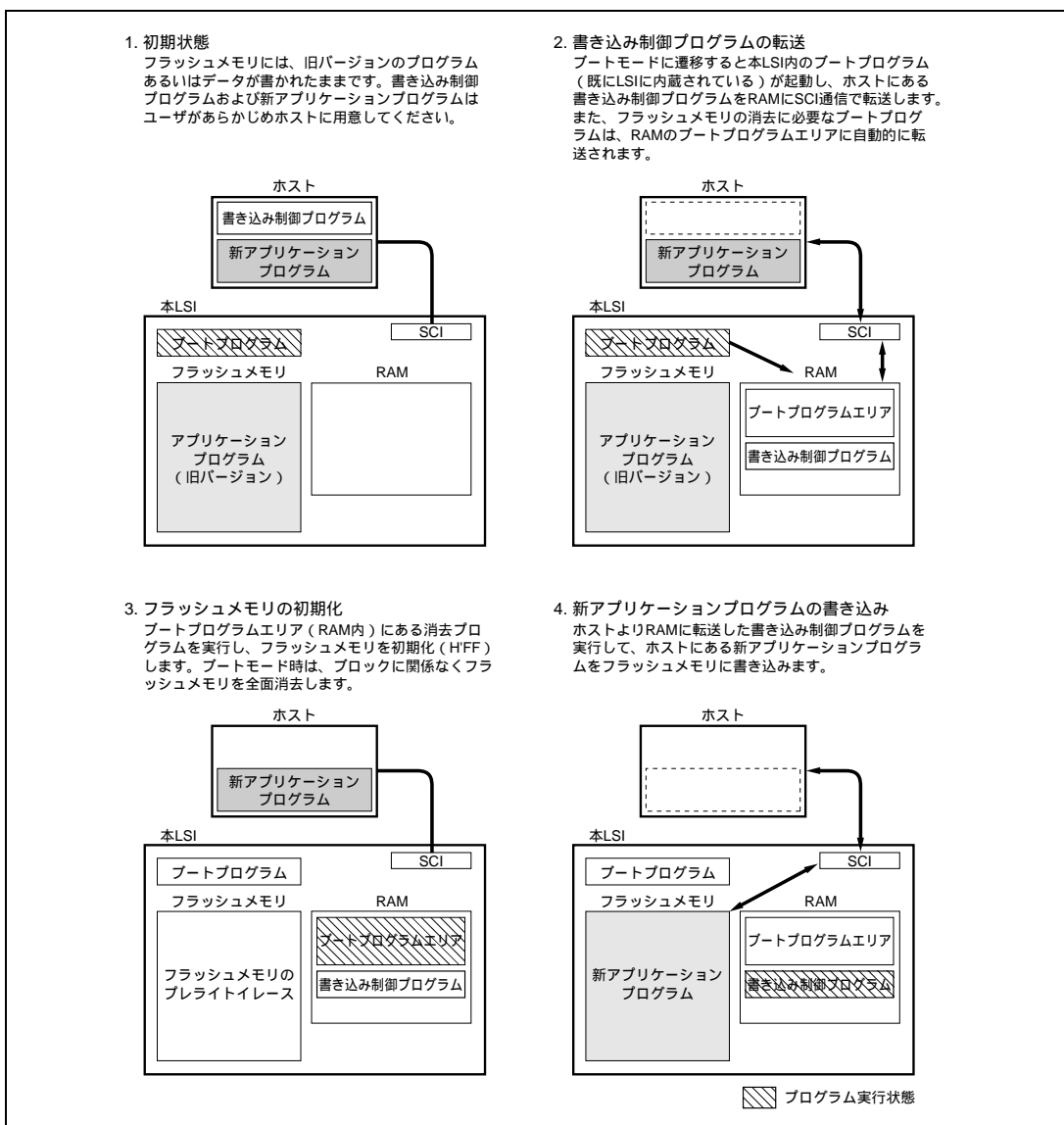


図 17.3 ブートモード

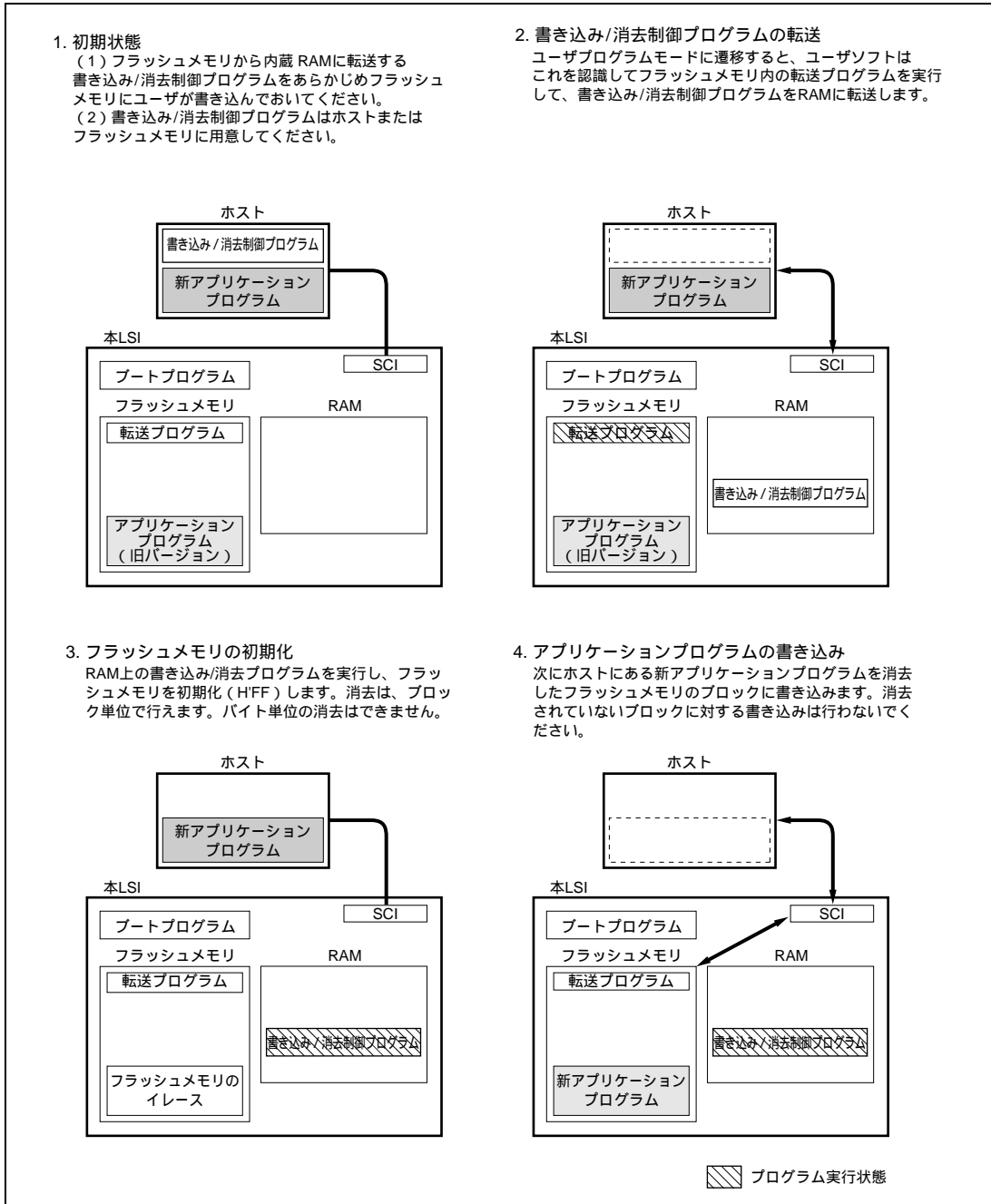


図 17.4 ユーザプログラムモード

17.3 ブロック構成

図 17.5 に 384k バイトフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。384k バイトフラッシュメモリは 64k バイト (5 ブロック)、32k バイト (1 ブロック)、4k バイト (8 ブロック) に分割されています。消去はこのブロック単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

EB0 消去単位4kバイト	H'000000	H'000001	H'000002	書き込み単位 128バイト	H'00007F
				- - - - -	H'000FFF
EB1 消去単位4kバイト	H'001000	H'001001	H'001002	書き込み単位 128バイト	H'00107F
				- - - - -	H'001FFF
EB2 消去単位4kバイト	H'002000	H'002001	H'002002	書き込み単位 128バイト	H'00207F
				- - - - -	H'002FFF
EB3 消去単位4kバイト	H'003000	H'003001	H'003002	書き込み単位 128バイト	H'00307F
				- - - - -	H'003FFF
EB4 消去単位4kバイト	H'004000	H'004001	H'004002	書き込み単位 128バイト	H'00407F
				- - - - -	
EB7 消去単位4kバイト	H'007000	H'007001	H'007002	書き込み単位 128バイト	H'00707F
				- - - - -	H'007FFF
EB8 消去単位32kバイト	H'008000	H'008001	H'008002	書き込み単位 128バイト	H'00807F
				- - - - -	H'00FFFF
EB9 消去単位64kバイト	H'010000	H'010001	H'010002	書き込み単位 128バイト	H'01007F
				- - - - -	H'01FFFF
EB10 消去単位64kバイト	H'020000	H'020001	H'020002	書き込み単位 128バイト	H'02007F
				- - - - -	H'02FFFF
EB11 消去単位64kバイト	H'030000	H'030001	H'030002	書き込み単位 128バイト	H'03007F
				- - - - -	H'03FFFF
EB12 消去単位64kバイト	H'040000	H'040001	H'040002	書き込み単位 128バイト	H'04007F
				- - - - -	H'04FFFF
EB13 消去単位64kバイト	H'050000	H'050001	H'050002	書き込み単位 128バイト	H'05007F
				- - - - -	H'05FFFF

【注】モード5、6のときは、H'100000～H'15FFFFに割り付けられています。

図 17.5 384k バイトフラッシュメモリのブロック構成 (モード 3、4、7)

17.4 入出力端子

フラッシュメモリは表 17.2 に示す端子により制御されます。

表 17.2 端子構成

端子名	入出力	機能
$\overline{\text{RES}}$	入力	リセット
MD2	入力	動作モードを設定
MD1	入力	動作モードを設定
MD0	入力	動作モードを設定
P52	入力	ライトモードの動作モードを設定
P51	入力	ライトモードの動作モードを設定
P50	入力	ライトモードの動作モードを設定
TxD1	出力	シリアル送信データ出力
RxD1	入力	シリアル受信データ入力

17.5 レジスタの説明

フラッシュメモリには以下のレジスタがあります。システムコントロールレジスタについては「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリコントロールレジスタ2 (FLMCR2)
- 消去ブロック指定レジスタ1 (EBR1)
- 消去ブロック指定レジスタ2 (EBR2)
- RAMエミュレーションレジスタ (RAMER)

17. フラッシュメモリ (F-ZTAT 版)

17.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 はフラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については「17.8 フラッシュメモリの書き込み/消去」を参照してください。

ビット	ビット名	初期値	R/W	説明
7		0/1	R	ビット7はリザーブビットです。モード1、2のときリードすると0が読み出されます。モード3~7のときリードすると1が読み出されます。初期値を変更しないでください。
6	SWE	0	R/W	ソフトウェアライトイネーブル このビットが1のときフラッシュメモリの書き込み/消去が可能となります。このビットが0のときこのレジスタの他のビットと EBR1、EBR2 の各ビットはセットできません。
5	ESU	0	R/W	イレースセットアップ SWE = 1 の状態でこのビットを1にセットするとイレースセットアップ状態となり、クリアするとセットアップ状態を解除します。
4	PSU	0	R/W	プログラムセットアップ SWE = 1 の状態でこのビットを1にセットするとプログラムセットアップ状態となり、クリアするとセットアップ状態を解除します。
3	EV	0	R/W	イレースベリファイ SWE = 1 の状態でこのビットを1にセットするとイレースベリファイモードへ遷移し、クリアするとイレースベリファイモードを解除します。
2	PV	0	R/W	プログラムベリファイ SWE = 1 の状態でこのビットを1にセットするとプログラムベリファイモードへ遷移し、クリアするとプログラムベリファイモードを解除します。
1	E	0	R/W	イレース SWE = 1、ESU = 1 の状態でこのビットを1にセットするとイレースモードへ遷移し、クリアするとイレースモードを解除します。
0	P	0	R/W	プログラム SWE = 1、PSU = 1 の状態でこのビットを1にセットするとプログラムモードへ遷移し、クリアするとプログラムモードを解除します。

17.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 はフラッシュメモリの書き込み/消去の状態を表示します。FLMCR2 は読み出し専用レジスタです。書き込みはしないでください。内蔵フラッシュメモリが無効のときは、H'00 が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	FLER	0	R	このビットはフラッシュメモリへの書き込み/消去中にエラーを検出し、エラープロテクト状態となったときセットされます。 詳細は「17.9.3 エラープロテクト」を参照してください。
6~0		0	R	リザーブビット リードすると常に 0 が読み出されます。

17.5.3 消去ブロック指定レジスタ 1 (EBR1)

フラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1 の SWE ビットが 0 のときは EBR1 は H'00 に初期化されます。このレジスタは EBR2 と合わせて、1 ビットのみ設定してください (2 ビット以上同時に 1 に設定しないでください)。設定すると EBR1 と EBR2 はともに 0 にオートクリアされます。消去ブロックは、表 17.3 を参照してください。

ビット	ビット名	初期値	R/W	説明
7	EB7	0	R/W	このビットが 1 のとき EB7 の 4k バイトが消去対象となります。
6	EB6	0	R/W	このビットが 1 のとき EB6 の 4k バイトが消去対象となります。
5	EB5	0	R/W	このビットが 1 のとき EB5 の 4k バイトが消去対象となります。
4	EB4	0	R/W	このビットが 1 のとき EB4 の 4k バイトが消去対象となります。
3	EB3	0	R/W	このビットが 1 のとき EB3 の 4k バイトが消去対象となります。
2	EB2	0	R/W	このビットが 1 のとき EB2 の 4k バイトが消去対象となります。
1	EB1	0	R/W	このビットが 1 のとき EB1 の 4k バイトが消去対象となります。
0	EB0	0	R/W	このビットが 1 のとき EB0 の 4k バイトが消去対象となります。

17. フラッシュメモリ (F-ZTAT 版)

17.5.4 消去ブロック指定レジスタ 2 (EBR2)

フラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1 の SWE ビットが 0 のときは EBR2 は H'00 に初期化されます。このレジスタは EBR1 と合わせて、1 ビットのみ設定してください (2 ビット以上同時に 1 に設定しないでください)。設定すると EBR1 と EBR2 はともに 0 にオートクリアされます。消去ブロックは、表 17.3 を参照してください。

ビット	ビット名	初期値	R/W	説明
7, 6		0	R/W	リザーブビット 初期値を変更しないでください。
5	EB13	0	R/W	このビットが 1 のとき EB13 の 64k バイトが消去対象となります。
4	EB12	0	R/W	このビットが 1 のとき EB12 の 64k バイトが消去対象となります。
3	EB11	0	R/W	このビットが 1 のとき EB11 の 64k バイトが消去対象となります。
2	EB10	0	R/W	このビットが 1 のとき EB10 の 64k バイトが消去対象となります。
1	EB9	0	R/W	このビットが 1 のとき EB 9 の 64k バイトが消去対象となります。
0	EB8	0	R/W	このビットが 1 のとき EB 8 の 32k バイトが消去対象となります。

表 17.3 消去ブロック

ブロック (サイズ)	アドレス	
	モード 3、4、7	モード 5、6
EB0 (4k バイト)	H'000000 ~ H'000FFF	H'100000 ~ H'100FFF
EB1 (4k バイト)	H'001000 ~ H'001FFF	H'101000 ~ H'101FFF
EB2 (4k バイト)	H'002000 ~ H'002FFF	H'102000 ~ H'102FFF
EB3 (4k バイト)	H'003000 ~ H'003FFF	H'103000 ~ H'103FFF
EB4 (4k バイト)	H'004000 ~ H'004FFF	H'104000 ~ H'104FFF
EB5 (4k バイト)	H'005000 ~ H'005FFF	H'105000 ~ H'105FFF
EB6 (4k バイト)	H'006000 ~ H'006FFF	H'106000 ~ H'106FFF
EB7 (4k バイト)	H'007000 ~ H'007FFF	H'107000 ~ H'107FFF
EB8 (32k バイト)	H'008000 ~ H'00FFFF	H'108000 ~ H'10FFFF
EB9 (64k バイト)	H'010000 ~ H'01FFFF	H'110000 ~ H'11FFFF
EB10 (64k バイト)	H'020000 ~ H'02FFFF	H'120000 ~ H'12FFFF
EB11 (64k バイト)	H'030000 ~ H'03FFFF	H'130000 ~ H'13FFFF
EB12 (64k バイト)	H'040000 ~ H'04FFFF	H'140000 ~ H'14FFFF
EB13 (64k バイト)	H'050000 ~ H'05FFFF	H'150000 ~ H'15FFFF

17.5.5 RAM エミュレーションレジスタ (RAMER)

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAMの一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。RAMERの設定は、ユーザモード、ユーザプログラムモードで行ってください。エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後にRAMエミュレーションの対象ROMをアクセスしないでください。直後にアクセスした場合には正常なアクセスは保証されません。

ビット	ビット名	初期値	R/W	説明
7、5		0	R	リザーブビット リードすると常に0が読み出されます。
4		0	R/W	リザーブビット 初期値を変更しないでください。
3	RAMS	0	R/W	RAM セレクト RAMによるフラッシュメモリのエミュレーション選択ビットです。このビットが1のとき、RAMの一部がフラッシュメモリにオーバーラップされ、フラッシュメモリは全ブロック書き込み/消去プロテクト状態となります。このビットが0のとき、RAMエミュレーション機能は無効です。
2	RAM2	0	R/W	フラッシュメモリエリア選択 RAMSが1のとき、RAMとオーバーラップさせるフラッシュメモリのエリアを選択します。これらのエリアは4kバイトの消去ブロックに対応しています。 モード3、4、7 000 : H'000000 ~ H'000FFF(EB0) 001 : H'001000 ~ H'001FFF(EB1) 010 : H'002000 ~ H'002FFF(EB2) 011 : H'003000 ~ H'003FFF(EB3) 100 : H'004000 ~ H'004FFF(EB4) 101 : H'005000 ~ H'005FFF(EB5) 110 : H'006000 ~ H'006FFF(EB6) 111 : H'007000 ~ H'007FFF(EB7) モード5、6 000 : H'100000 ~ H'100FFF(EB0) 001 : H'101000 ~ H'101FFF(EB1) 010 : H'102000 ~ H'102FFF(EB2) 011 : H'103000 ~ H'103FFF(EB3) 100 : H'104000 ~ H'104FFF(EB4) 101 : H'105000 ~ H'105FFF(EB5) 110 : H'106000 ~ H'106FFF(EB6) 111 : H'107000 ~ H'107FFF(EB7)
1	RAM1	0	R/W	
0	RAM0	0	R/W	

17.6 オンボードプログラミングモード

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリへの書き込み、消去、ベリファイを行うことができます。オンボードプログラミングモードには、2種類の動作モード（ブートモード、ユーザプログラムモード）があります。ブートモードの設定方法は、表 17.4 を参照してください。ユーザプログラムモードは、ソフトウェアで制御ビットを設定し動作可能です。また、フラッシュメモリに関する各モードへの状態遷移図は、図 17.2 を参照してください。

表 17.4 オンボードプログラミングモードの設定方法

モード設定		MD2	MD1	MD0
ブートモード	内蔵 ROM 有効・シングルチップ起動拡張モード	0	1	1

17.6.1 ブートモード

ブートモードに遷移すると、本 LSI 内部に組み込まれているブートプログラムが起動します。ブートプログラムは SCL_1 を経由して外部に接続されたホストから書き込み制御プログラムを内蔵 RAM に転送し、フラッシュメモリを全面消去したうえで書き込み制御プログラムを実行します。

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表 17.5 に示します。

- ブートプログラムが起動すると、SCL_1は調歩同期式モードに設定され、ホストから連続送信される調歩同期式シリアル通信データH'00のLow期間を測定してビットレートを計算し、SCL_1のビットレートをホストのビットレートに合わせ込みます。送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。リセット解除はRxD端子がHighの状態で行ってください。必要に応じてRxD端子およびTxD端子は、ボード上でプルアップしてください。リセット解除からLow期間を測定できるまで約100ステートがかかります。
- ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を表17.6の範囲としてください。
- ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは「17.8 フラッシュメモリの書き込み/消去」に沿ったものを用意してください。
- 書き込み制御プログラムに分岐するときSCL_1は送受信動作を終了（SCRのRE=0、TE=0）しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやベリファイデータの送受信に使用できます。TxD端子はHighレベル出力状態となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。

5. ブートモードは、フラッシュメモリに書き込まれているデータがある場合（全データが1でないとき）、フラッシュメモリの全ブロックを消去します。ブートモードはオンボード状態での初期の書き込み、あるいはユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰等に使用してください。

- 【注】
1. ブートモードでは内蔵 RAM の一部 (FF8000 ~ FF87FF) をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアは H'FF8800 ~ H'FFBFFF 番地です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。
 2. ブートモードはリセットにより解除されます。リセット端子を Low レベルにして最低 20 ステート経過後、MD 端子を設定してリセットを解除してください。WDT のオーバフローリセットが発生した場合もブートモードは解除されます。
 3. ブートモードの途中でモード端子の入力レベルを変化させないでください。
 4. フラッシュメモリへの書き込み中、あるいは消去中に割り込みを使用することはできません。

表 17.5 ブートモードの動作

項目	ホストの動作	通信内容	本LSIの動作
	処理内容		処理内容
ブートモード起動			リセットスタート後 ブートプログラムへ分岐 <div style="border: 1px solid black; border-radius: 15px; padding: 5px; display: inline-block;">ブートプログラム起動</div>
ビットレートの合わせ込み	<p>所定のビットレートでH'00を連続送信</p> <p>↓</p> <p>H'00を正常に受信したらH'55送信</p> <p>↓</p> <p>H'AA受信</p>	<p>H'00,H'00・・・H'00</p> <p>← H'00</p> <p>← H'55</p> <p>← H'AA</p>	<ul style="list-style-type: none"> 受信データH'00のLow期間を測定 ビットレートを計算し、SCI_1のBRRを設定 ビットレート合わせ込み終了後、ホストへH'00を送信 H'55を受信したらホストへH'AAを送信
書き込み制御プログラムの転送	<p>転送する書き込み制御プログラムのバイト数(N)を上位バイト、下位バイトの順に2バイト送信</p> <p>↓</p> <p>書き込み制御プログラムを1バイト毎に送信(N回繰り返し)</p>	<p>上位バイト、下位バイト</p> <p>← エコーバック</p> <p>← H'XX</p> <p>← エコーバック</p>	<p>受信した2バイトデータをホストへエコーバック</p> <p>↓</p> <p>受信したデータをホストへエコーバックするとともにRAMへ転送(N回繰り返し)</p>
フラッシュメモリ消去	<p>ブートプログラム消去エラー</p> <p>↓</p> <p>H'AA受信</p>	<p>← H'FF</p> <p>← H'AA</p>	<p>フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへH'AAを送信。 (消去できなかった場合はH'FFを送信して、動作を停止)</p>
			内蔵RAMに転送された書き込み制御プログラムへ分岐し実行を開始

表 17.6 ビットレート自動合わせ込みが可能なシステムクロック周波数

ホストのビットレート	本 LSI のシステムクロック周波数範囲
19200bps	8 ~ 25MHz
9600bps	8 ~ 25MHz

17.6.2 ユーザプログラムモード

ユーザモードではユーザが用意した書き込み/消去プログラムに分岐することで任意のブロックをオンボードで消去し書き換えることができるユーザプログラムモードがあります。分岐のための条件設定やオンボードでの書き換えデータ供給手段をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み/消去プログラムを書き込んでおくか、書き込み/消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み/消去中はフラッシュメモリを読み出せないため、ブートモードと同様書き込み/消去プログラムは内蔵 RAM に転送して実行してください。図 17.6 にユーザプログラムモードでの書き込み/消去手順の例を示します。書き込み/消去プログラムは「17.8 フラッシュメモリの書き込み/消去」に沿ったものを用意してください。

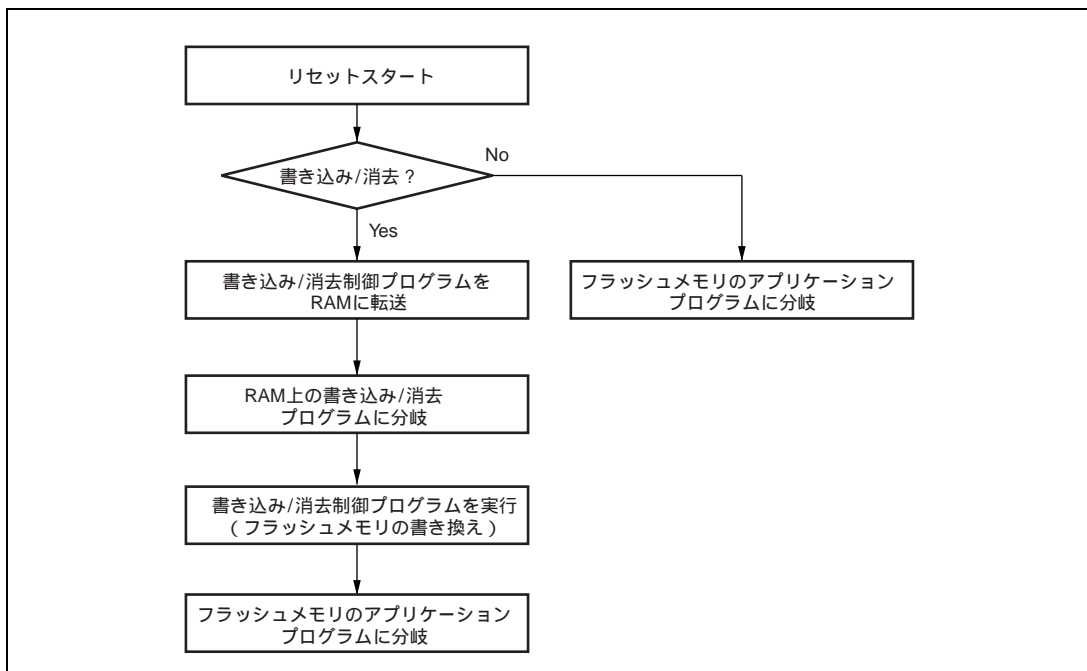


図 17.6 ユーザプログラムモードにおける書き込み/消去例

17.7 RAM によるフラッシュメモリのエミュレーション

フラッシュメモリに対する書き換えデータを内蔵 RAM でリアルタイムにエミュレートできるよう、RAMER によりフラッシュメモリの一部のブロックに RAM をオーバーラップさせて使用することができます。エミュレーション可能なモードはユーザモードおよびユーザプログラムモードです。図 17.7 にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

1. RAMERを設定してリアルタイムな書き換えを必要とするエリアにRAMをオーバーラップさせます。
2. オーバーラップさせたRAMを使ってエミュレートします。
3. 書き換えデータ確定後、RAMSビットをクリアしてRAMのオーバーラップを解除します。
4. オーバーラップさせたRAMに書き込まれたデータをフラッシュメモリ空間 (EB0) に書き込みます。

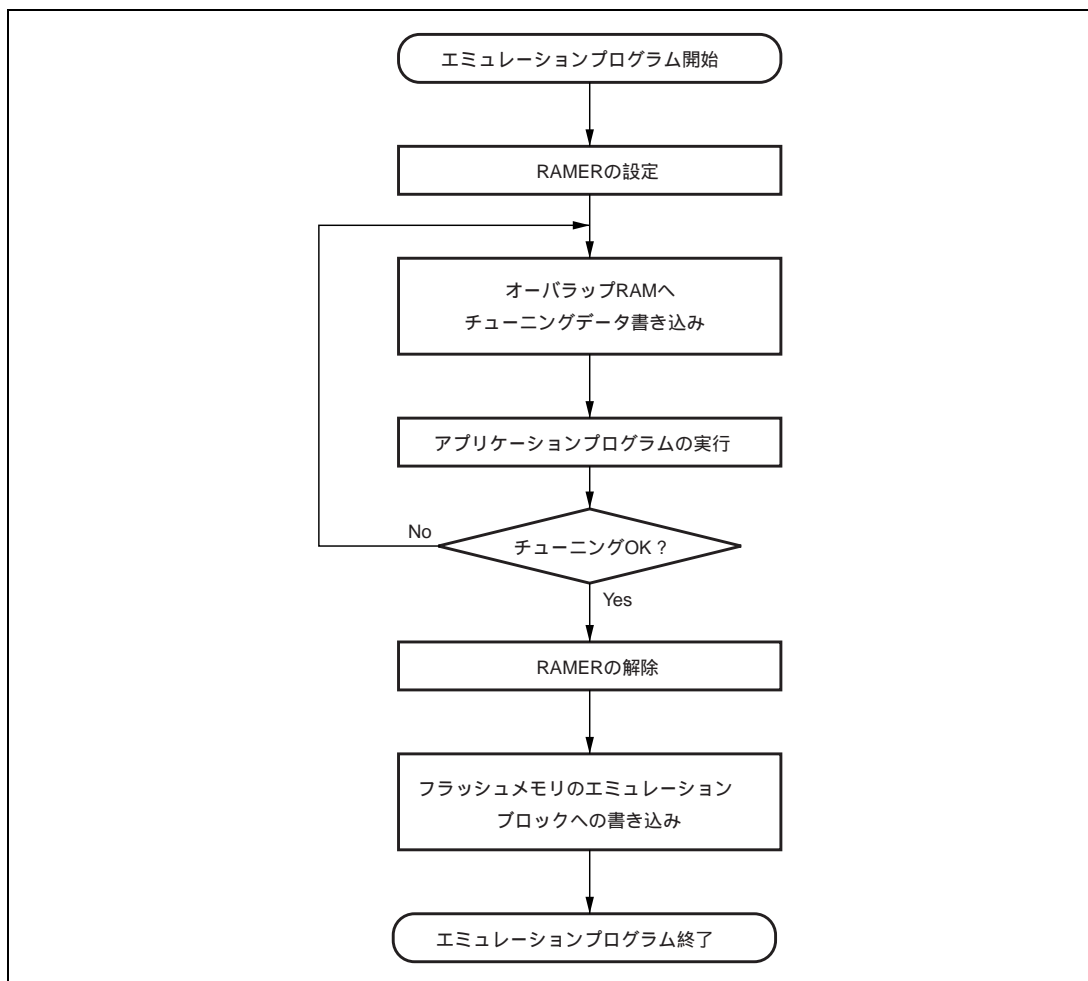


図 17.7 RAM によるエミュレーションフロー

17. フラッシュメモリ (F-ZTAT 版)

フラッシュメモリのブロックをオーバーラップさせる例を図 17.8 に示します。

1. オーバーラップさせるRAMのエリアはH'FFA000 ~ H'FFAFFFの4kバイトに固定されています。
2. オーバーラップできるフラッシュメモリのエリアは4kバイトのEB0 ~ EB7のうちの1ブロックで、RAMERにより選択できます。
3. オーバーラップさせたRAMのエリアはフラッシュメモリ内のアドレスともとのRAMのアドレスの両方からアクセスできます。

- 【注】
1. RAMERのRAMSビットが1にセットされている間、フラッシュメモリは全ブロック書き込み/消去プロテクト状態となり(エミュレーションプロテクト)、FLMCR1のPビットまたはEビットをセットしてもプログラムモード、イレースモードへは遷移しません。
 2. RAMエリアは消去アルゴリズムに沿ったプログラムを実行しても消去されません。
 3. ブロックEB0はベクタテーブルを含みます。RAMエミュレーションする場合、オーバーラップRAMにはベクタテーブルが必要となります。

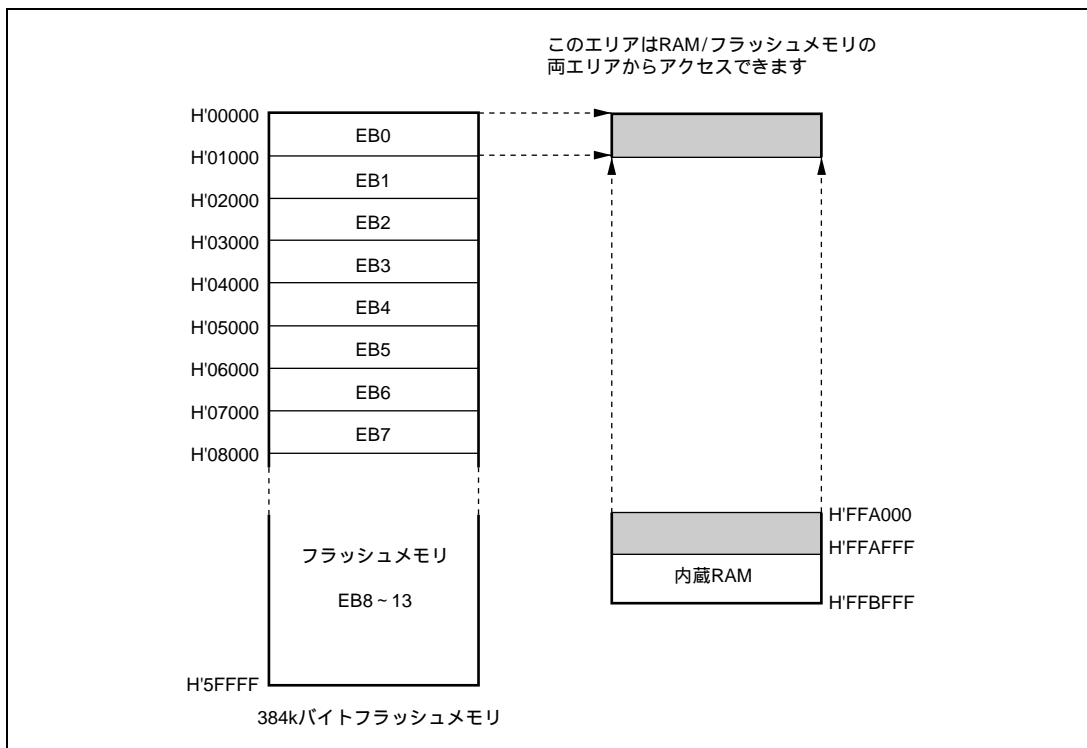


図 17.8 RAM のオーバーラップ例

17.8 フラッシュメモリの書き込み/消去

オンボードでのフラッシュメモリの書き込み/消去はCPUを用いてソフトウェアで行う方式を採用しています。フラッシュメモリはFLMCR1、FLMCR2の設定によってプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザモードでの書き込み/消去プログラムではこれらのモードを組み合わせで書き込み/消去を行います。フラッシュメモリへの書き込みは「17.8.1 プログラム/プログラムベリファイ」に沿って、また、フラッシュメモリの消去は「17.8.2 イレース/イレースベリファイ」に沿って行ってください。

17.8.1 プログラム/プログラムベリファイ

フラッシュメモリへの書き込みは、図 17.9 に示すプログラム/プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損なうことなく書き込みを行うことができます。

1. 書き込みは消去された状態で行い、既書き込まれたアドレスへの再書き込みは行わないでください。
2. 1回の書き込みは128バイト単位です。128バイトに満たないデータを書き込む場合もフラッシュメモリに128バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んでください。
3. RAM上に書き込みデータエリア128バイト、再書き込みデータエリア128バイト、追加書き込みデータエリア128バイトの領域を確保してください。再書き込みデータの演算、追加書き込みデータの演算は図17.9に従ってください。
4. 書き込みデータエリア、再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへはバイト単位で128バイト連続転送してください。プログラムアドレスと128バイトのデータがフラッシュメモリ内にラッチされます。転送先のフラッシュメモリの先頭アドレスは下位8ビットをH'00またはH'80としてください。
5. Pビットがセットされている時間が書き込み時間となります。書き込み時間は図17.9に従ってください。
6. プログラムの暴走等による過剰書き込みを避けるためにウォッチドックタイマの設定をしてください。オーバフロー周期は $(y+z2^+ +) \mu s$ より大きくしてください。
7. ベリファイアドレスへのダミーライトは、下位2ビットがB'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からロングワードで読み出せます。
8. 同一ビットに対するプログラム/プログラムベリファイシーケンスの繰り返しは、最大書き込み回数(N)回を超えないようにしてください。

17. フラッシュメモリ (F-ZTAT 版)

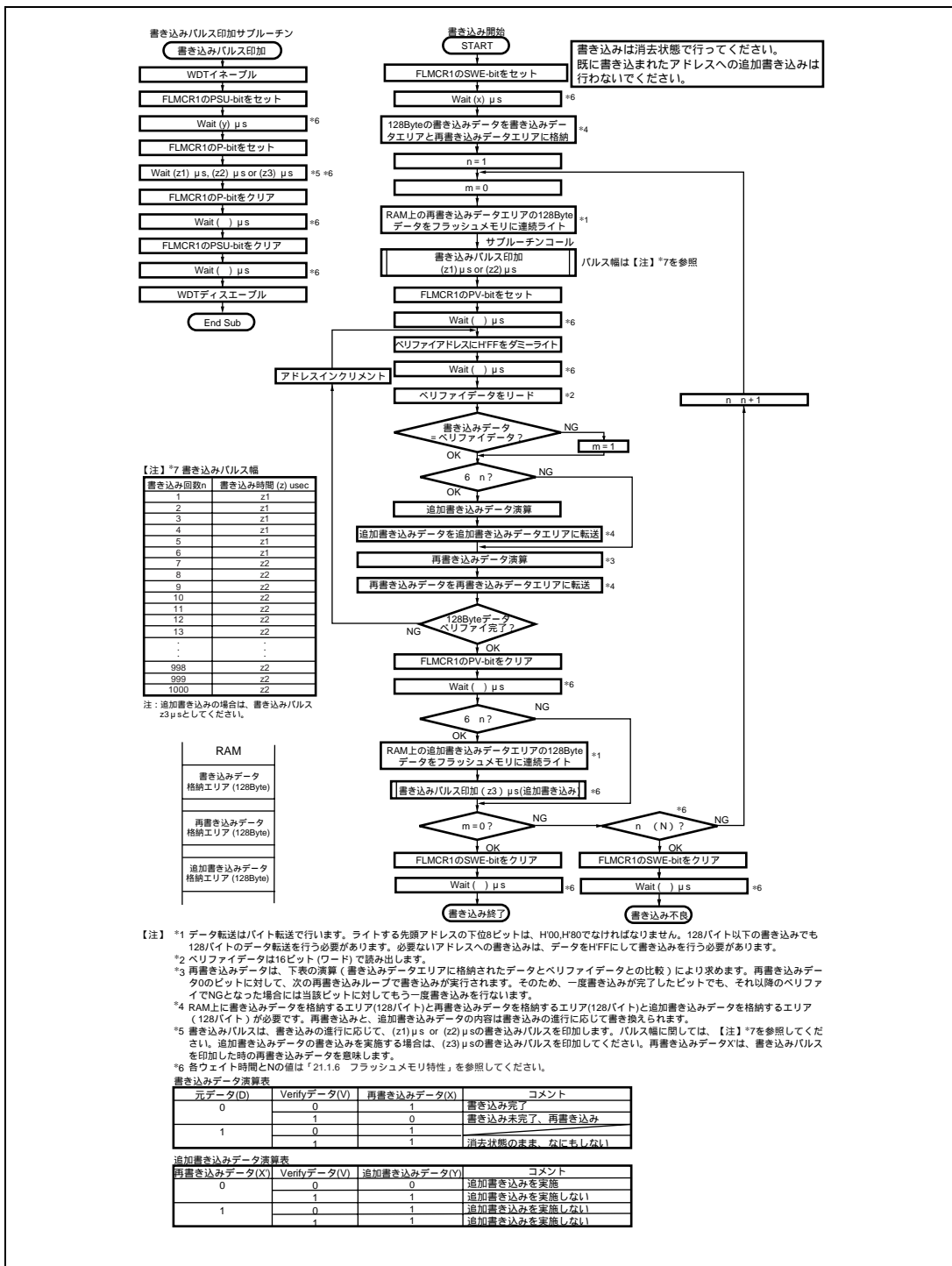


図 17.9 プログラム/プログラムベリファイフロー

17.8.2 イレース/イレースベリファイ

消去は図 17.10 のイレース/イレースベリファイフローチャートに従って行ってください。

1. 消去の前にプレライト (消去するメモリの全データをすべて0にする) を行う必要はありません。
2. 消去はブロック単位で行います。EBR1、EBR2により消去するブロックを1ブロックだけ選択してください。複数のブロックを消去する場合も1ブロックずつ順次消去してください。
3. Eビットが設定されている時間が消去時間となります。
4. ウォッチドックタイマの設定はプログラムの暴走等による過剰書き込みを避けるためのものです。オーバフロー周期は (y+z+) msより大きくしてください。
5. ベリファイアドレスへのダミーライトは、下位2ビットがB'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からロングワードで読み出せます。
6. 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が最大消去回数 (N) 回を超えないようにしてください。

17.8.3 フラッシュメモリの書き込み/消去時の割り込み

フラッシュメモリへの書き込み/消去中、またはブートプログラム実行中は、以下の理由から NMI を含むすべての割り込みを禁止してください。

1. 書き込み/消去中に割り込みが発生すると、正常な書き込み/消去アルゴリズムに沿った動作が保証できなくなる。
2. ベクタアドレスが書き込まれる前、または書き込み/消去中に割り込み例外処理を開始すると、正常なベクタフェッチができずCPUが暴走する。
3. ブートプログラム実行中に割り込みが発生すると、正常なブートモードのシーケンスが実行できなくなる。

17. フラッシュメモリ (F-ZTAT 版)

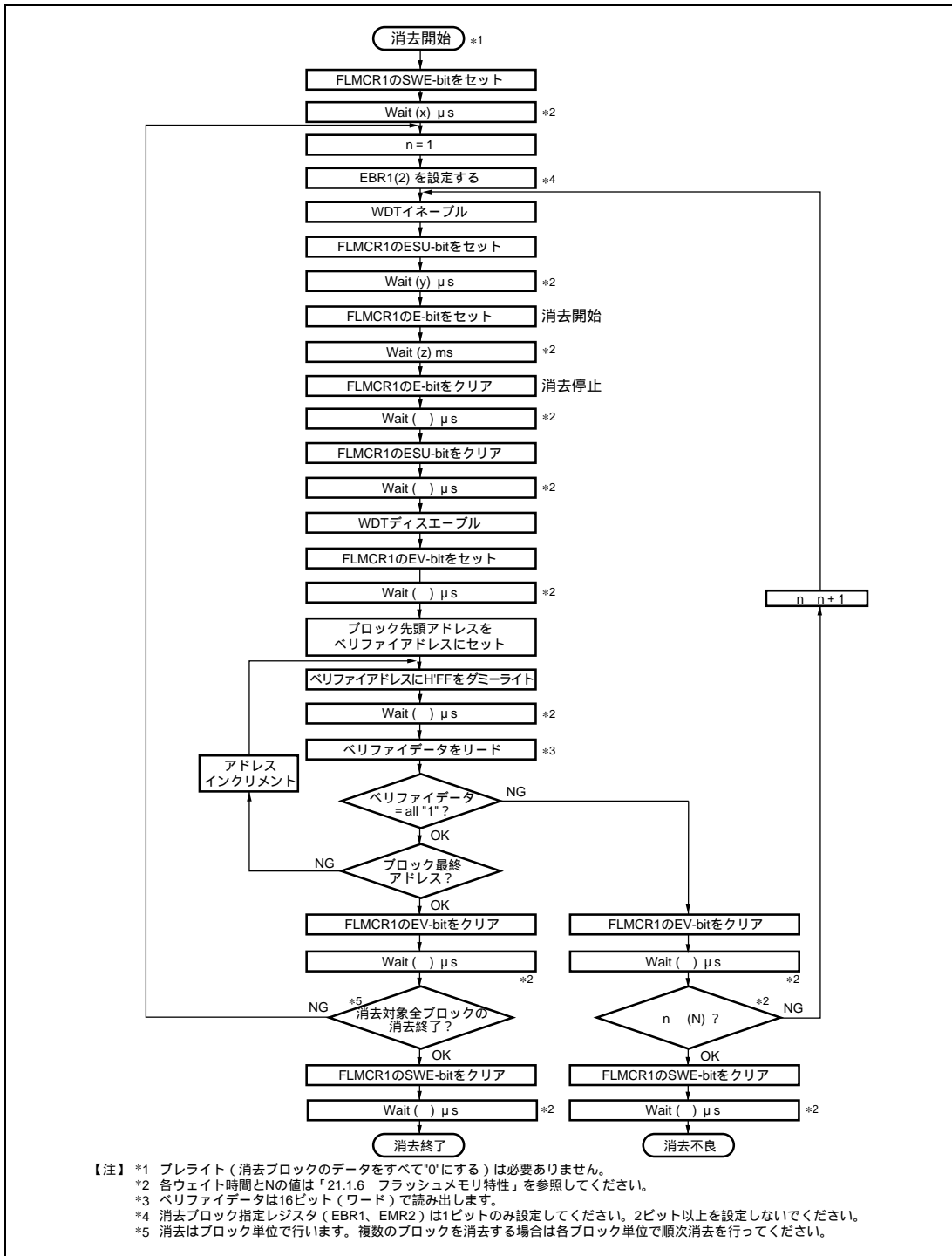


図 17.10 イレース/イレースペリファイフロー

17.9 書き込み/消去プロテクト

フラッシュメモリに対する書き込み/消去プロテクト状態にはハードウェアプロテクトによるもの、ソフトウェアプロテクトによるものとエラープロテクトによるものの3種類あります。

17.9.1 ハードウェアプロテクト

ハードウェアプロテクトは、リセット(WDTによるオーバフローリセットも含む)またはスタンバイモードへの状態遷移によりフラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態をいいます。

FLMCR1、FLMCR2、EBR1、EBR2が初期化されます。 $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子をLowレベルに保持しないとリセット状態になりません。また、動作中のリセットはAC特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子をLowレベルに保持してください。

17.9.2 ソフトウェアプロテクト

ソフトウェアでFLMCR1のSWEビットをクリアすることで全ブロック書き込み/消去プロテクト状態になります(内蔵RAM/外部メモリ上で実行してください)。この状態でFLMCR1のPビットまたはEビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。また、EBR1、EBR2の設定により、ブロックごとに消去プロテクトが可能です。EBR1、EBR2をH'00に設定すると全ブロックが消去プロテクト状態になります。

17.9.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み/消去中にCPUの暴走や書き込み/消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み/消去動作を中断した状態です。書き込み/消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中に以下のエラーを検出すると、FLMCR2のFLERビットが1にセットされ、エラープロテクト状態となります。

- 書き込み/消去中のフラッシュメモリ読み出し(ベクタリードおよび命令フェッチを含む)
- 書き込み/消去中のリセットを除く例外処理開始
- 書き込み/消去中のSLEEP命令実行
- 書き込み/消去中にCPUがバス権を開放

このとき、FLMCR1、FLMCR2、EBR1、EBR2の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。Pビット、Eビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PVビット、EVビットは保持され、ベリファイモードへの遷移は可能です。エラープロテクト状態は、パワーオンリセットまたハードウェアスタンバイモードによってのみ解除できます。

17.10 ライタモード

ライタモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み/消去を行うことができます。PROM ライタはルネサス 512k バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT512V3A) をサポートしているライタを使用してください。

17.11 フラッシュメモリの低消費電力動作

ユーザモードではフラッシュメモリは次のいずれかの状態になります。

- 通常動作状態
フラッシュメモリの読み出しが可能です。
- スタンバイ状態
フラッシュメモリのすべての回路が停止します。

表 17.7 に本 LSI の動作モードとフラッシュメモリの状態の関係を示します。フラッシュメモリがスタンバイ状態から通常動作状態へ復帰する時は、停止した電源回路の安定化時間が必要となります。外部クロックを使用する場合も含めて、通常動作モードへ復帰するときの待機時間が 100 μ s 以上になるよう SBYCR の STS3 ~ STS0 を設定してください。

表 17.7 フラッシュメモリの動作状態

動作モード	フラッシュメモリの状態
アクティブモード	通常動作状態
スリープモード	通常動作状態
スタンバイモード	スタンバイ状態

17.12 使用上の注意事項

オンボードプログラミングモード、RAM エミュレーション機能、およびライタモード使用時の注意事項を示します。

1. 規定された電圧、タイミングでフラッシュメモリへの書き込み/消去を行ってください。
定格以上の電圧を印加した場合、本 LSI の永久破壊となることがあります。PROM ライタはルネサス 512k バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT512V3A) をサポートしているものを使用してください。ライタの設定は HN27C4096 にセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。
2. 電源投入/切断時は、リセット状態にしてください。
V_{cc} 電源の印加/切断時は $\overline{\text{RES}}$ 端子を Low レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入および解除タイミングは停電等による電源の切断、再投入時にも満足するよ

うにしてください。

3. フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。
推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく、書き込み/消去を行うことができます。また、FLMCRIのPビット、Eビットをセットするときは、プログラムの暴走などに備えてあらかじめウォッチドッグタイマを設定してください。
4. SWEビットのセット/クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。
フラッシュメモリ上のプログラム実行とデータの読み出しは、SWEビットをクリアした後100 μ s以上たってから行ってください。SWEビットをセットするとフラッシュメモリのデータを書き換えできますが、SWE = 1のときはプログラムベリファイ/イレースベリファイモード以外ではフラッシュメモリを読み出すことはできません。ベリファイ (プログラム/イレース中のベリファイ) 以外の目的でフラッシュメモリをアクセスしないでください。また、プログラム/イレース/ベリファイ中にSWEビットのクリアを行わないでください。RAMによるエミュレーション機能を使用する場合も、同様にフラッシュメモリ上のプログラム実行とデータ読み出しはSWEビットをクリアした後に行ってください。ただし、フラッシュメモリ空間とオーバーラップしたRAMエリアについては、SWEビットのセット/クリアにかかわらずリード/ライト可能です。
5. フラッシュメモリの書き込み/消去中に割り込みを使用しないでください。
フラッシュメモリへの書き込み/消去を行う場合は、書き込み/消去動作を最優先とするため、NMIを含むすべての割り込み要求を禁止してください。
6. 追加書き込みは行わないでください。書き換えは消去後に行ってください。
オンボードプログラミングでは、128バイトの書き込み単位ブロックへの書き込みは1回のみとしてください。ライターモードでも128バイトの書き込み単位ブロックへの書き込みは1回のみとしてください。書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。
7. 書き込み前に、正しくPROMライターに装着されていることを確認してください。
PROMライターのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。
8. 書き込み中はソケットアダプタや製品に手を触れないでください。
接触不良などにより、書き込み不良になることがあります。
9. 動作中は、SWEビットをクリアしてリセット入力してください。
SWEビットクリア後、100 μ s以上たってからリセット入力してください。

17. フラッシュメモリ (F-ZTAT 版)

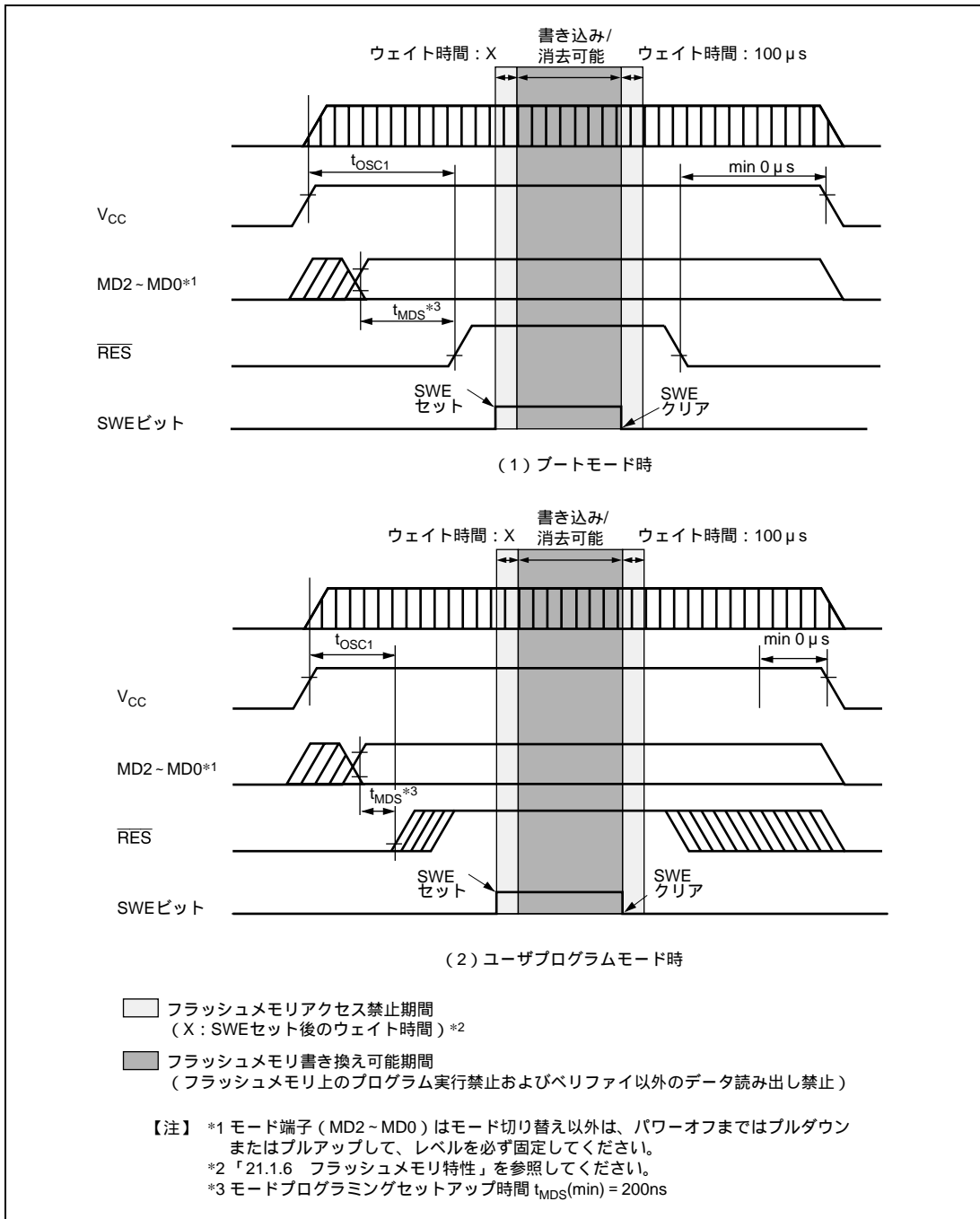


図 17.11 電源投入/切断タイミング

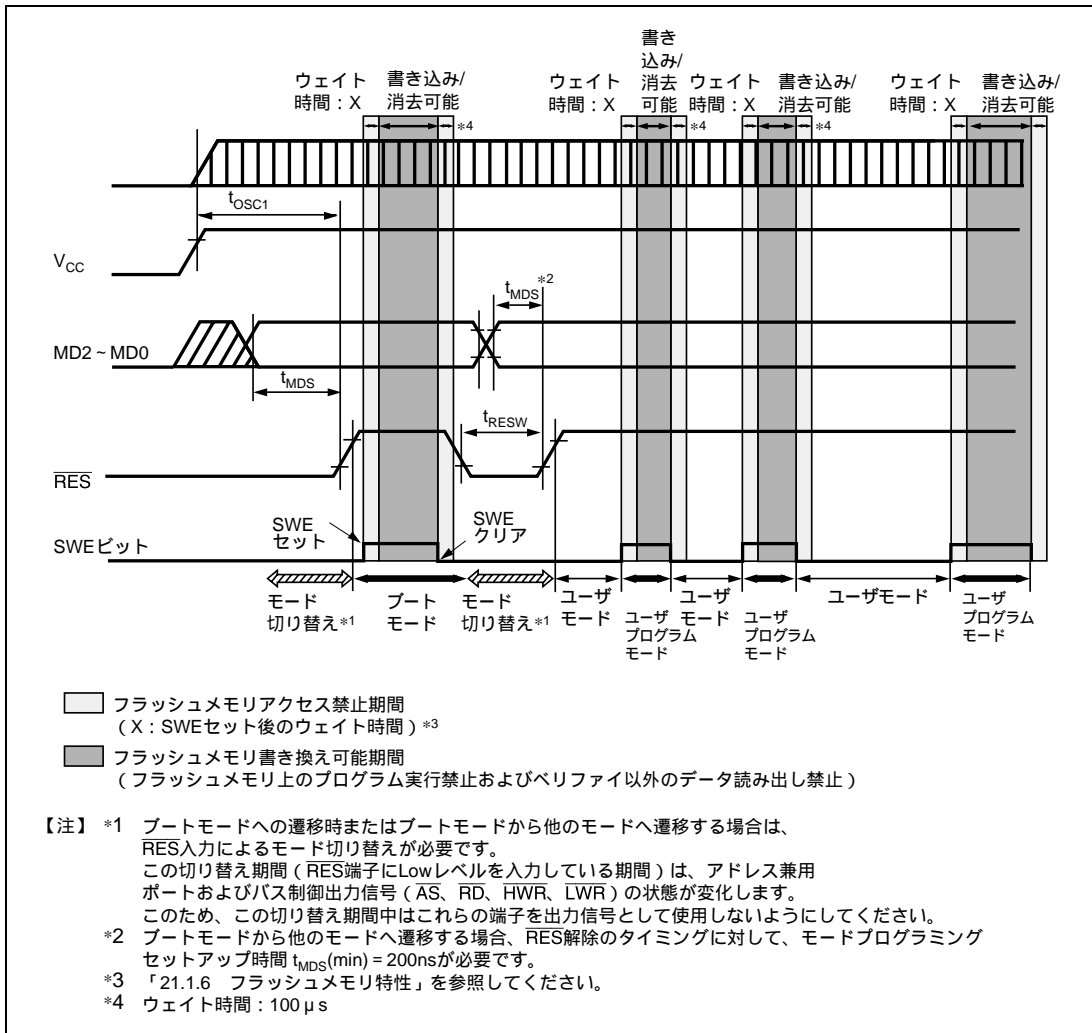


図 17.12 モード遷移タイミング (例: ブートモード ユーザモード ユーザプログラムモード)

18. クロック発振器

本 LSI はクロック発振器を内蔵しており、システムクロック ()、および 内部クロックを生成します。クロック発振器は、発振器、PLL 回路、分周器から構成されます。クロック発振器のブロック図を図 18.1 に示します。

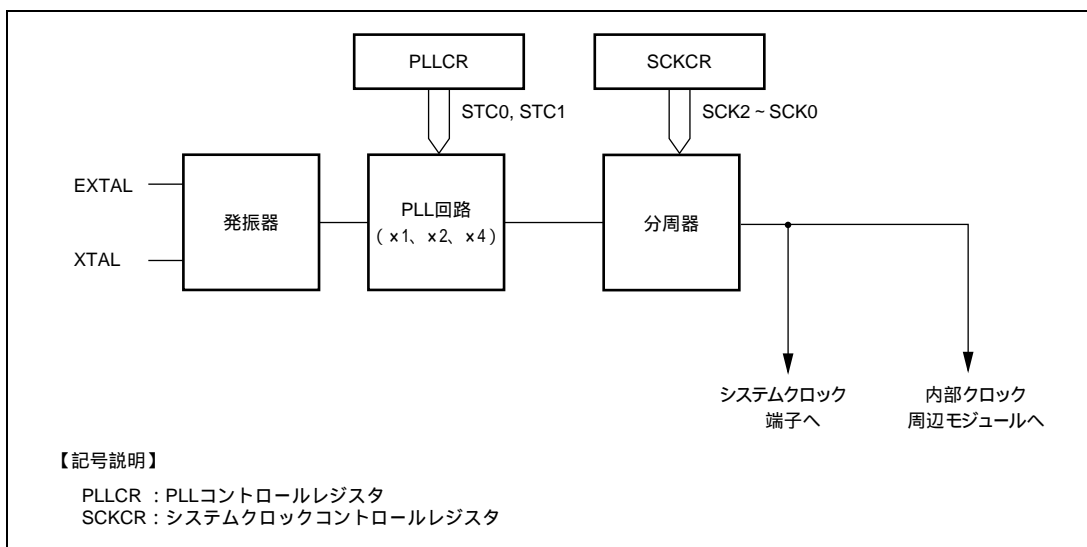


図 18.1 クロック発振器のブロック図

発振器からの周波数は、PLL 回路により変更できます。周波数の変更は、PLL コントロールレジスタ (PLLCR) とシステムクロックコントロールレジスタ (SCKCR) の設定によりソフトウェアで行います。

18.1 レジスタの説明

クロック発振器には以下のレジスタがあります。

- システムクロックコントロールレジスタ(SCKCR)
- PLLコントロールレジスタ(PLLCR)

18.1.1 システムクロックコントロールレジスタ (SCKCR)

SCKCR は 出力の制御、PLL 回路の周波数逡倍率変更時の動作選択、分周器の分周比の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	PSTOP	0	R/W	出力禁止 出力を制御します。 通常動作状態 0: 出力 1: High レベル固定 スリープモード 0: 出力 1: High レベル固定 ソフトウェアスタンバイモード 0: High レベル固定 1: High レベル固定 ハードウェアスタンバイモード 0: ハイインピーダンス 1: ハイインピーダンス 全モジュールクロックストップモード 0: 出力 1: High レベル固定
6		0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
5		0		リザーブビット
4		0		リードすると常に0が読み出されます。ライトは無効です。
3	STCS	0	R/W	周波数逡倍率切り替えモード選択 PLL 回路の周波数逡倍率変更時の動作を選択します。 0: 変更した逡倍率は、ソフトウェアスタンバイモード遷移後に有効 1: 変更した逡倍率は、STC1、STC0 ビット書き換え後に有効

ビット	ビット名	初期値	R/W	説 明
2	SCK2	0	R/W	システムクロックセレクト2~0
1	SCK1	0	R/W	分周比を選択します。
0	SCK0	0	R/W	000 : 1/1 001 : 1/2 010 : 1/4 011 : 1/8 100 : 1/16 101 : 1/32 11X : 設定禁止

【注】 X : Don't care

18.1.2 PLL コントロールレジスタ (PLLCR)

PLLCR は PLL 回路の周波数通倍率を設定します。

ビット	ビット名	初期値	R/W	説 明
7~4		0		リザーブビット リードすると常に0が読み出されます。ライトは無効です。
3		0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
2		0		リザーブビット リードすると常に0が読み出されます。ライトは無効です。
1	STC1	0	R/W	周波数通倍率設定
0	STC0	0	R/W	PLL 回路の周波数通倍率を設定します。 00 : ×1 01 : ×2 10 : ×4 11 : 設定禁止

18.2 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

18.2.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 18.2 に示します。ダンピング抵抗 R_d は表 18.1 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

水晶発振子の等価回路を図 18.3 に示します。水晶発振子は表 18.2 に示す特性のものを使用してください。

18. クロック発振器

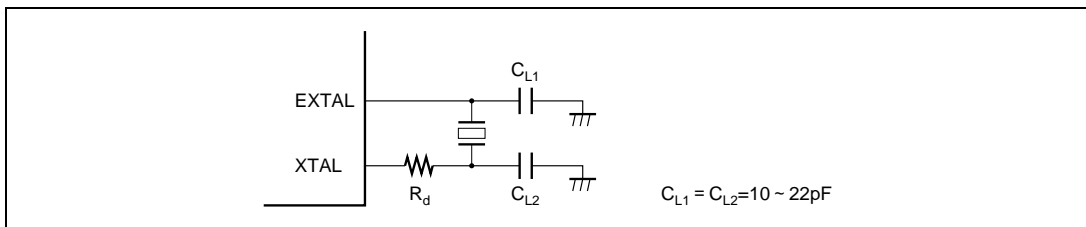


図 18.2 水晶発振子の接続例

表 18.1 ダンピング抵抗値

周波数 (MHz)	8	12	16	20	25
R _d ()	200	0	0	0	0

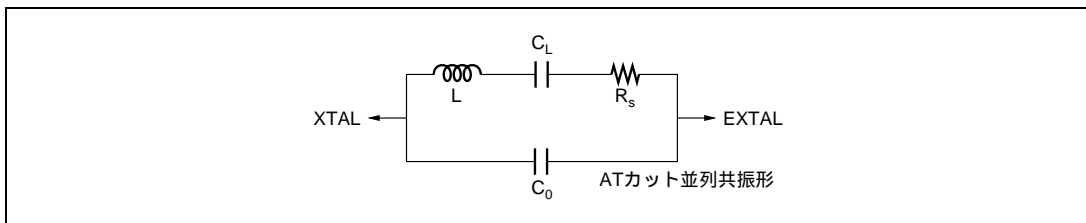


図 18.3 水晶発振子の等価回路

表 18.2 水晶発振子の特性

周波数 (MHz)	8	12	16	20	25
R _s max ()	80	60	50	40	40
C ₀ max (pF)	7				

18.2.2 外部クロックを入力する方法

外部クロック入力の接続例を図 18.4 に示します。XTAL 端子をオープン状態にする場合、寄生容量は 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード時は外部クロックを High レベルにしてください。

外部クロックの入力条件を表 18.3 に示します。

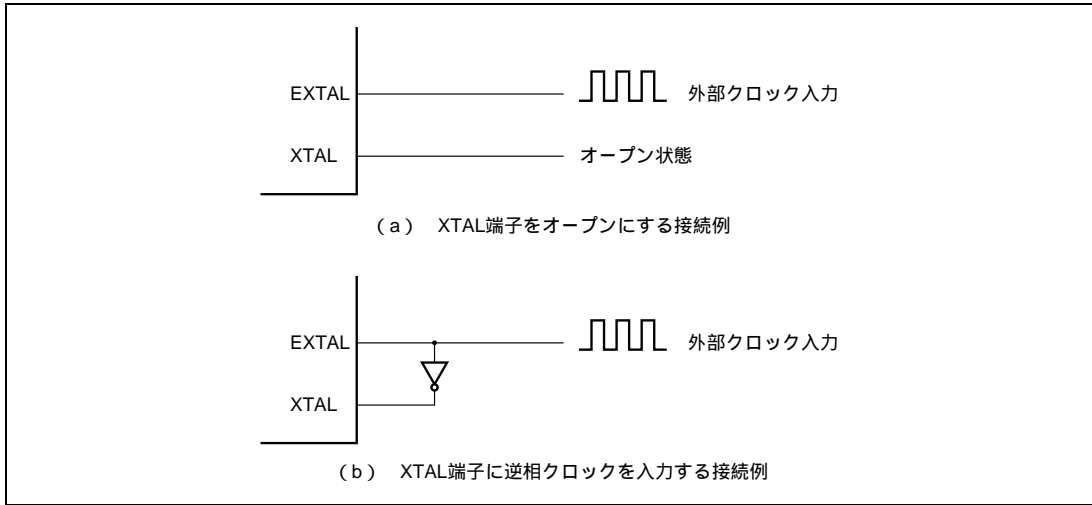


図 18.4 外部クロックの接続例

表 18.3 外部クロック入力条件

項目	記号	$V_{CC} = 3.0 \sim 3.6 \text{ V}$		単位	測定条件
		min	max		
外部クロック入力パルス幅 Low レベル	t_{EXL}	15	-	ns	図 18.5
外部クロック入力パルス幅 High レベル	t_{EXH}	15	-	ns	
外部クロック立ち上がり時間	t_{EXr}	-	5	ns	
外部クロック立ち下がり時間	t_{EXf}	-	5	ns	
クロックパルス幅 Low レベル	t_{CL}	0.4	0.6	tcyc	
クロックパルス幅 High レベル	t_{CH}	0.4	0.6	tcyc	

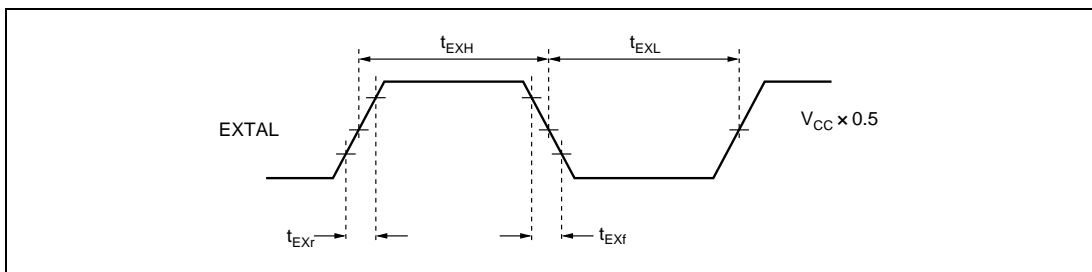


図 18.5 外部クロック入力タイミング

18.3 PLL 回路

PLL 回路は、発振器からの周波数を 1 倍、2 倍、4 倍に通倍する機能を持っています。周波数通倍率は PLLCR の STC1、STC0 ビットで設定します。このとき、内部クロックの立ち上がりエッジの位相は EXTAL 端子の立ち上がりエッジの位相に一致するように制御されます。

PLL 回路の周波数通倍率を変更する場合、SCKCR の STCS ビットの設定で動作が異なります。

STCS ビットが 0 の場合、変更した周波数通倍率はソフトウェアスタンバイモード遷移後に有効になります。遷移時間は、スタンバイコントロールレジスタ (SBYCR) の STS3 ~ STS0 ビットで設定します。SBYCR については「19.1.1 スタンバイコントロールレジスタ (SBYCR)」を参照してください。

1. 初期状態では、PLL回路の通倍率は1倍です。
2. STS3 ~ STS0ビットで遷移時間を設定します。
3. STC1、STC0ビットで周波数通倍率を設定し、ソフトウェアスタンバイモードに遷移します。
4. クロック発振器が停止し、設定したSTC1 ~ STC0の設定が有効となります。
5. ソフトウェアスタンバイモードを解除し、STS3 ~ STS0ビットで設定した、遷移時間が確保されます。
6. 設定した遷移時間経過後、変更した周波数通倍率で本LSIは動作を再開します。

STCS ビットが 1 の場合、STC1、STC0 ビット書き換え後に、変更後の周波数通倍率では本 LSI は動作します。

18.4 分周器

分周器は PLL 回路出力クロックを分周し、1/2、1/4、1/8、1/16、1/32 のクロックを生成します。

18.5 使用上の注意事項

18.5.1 クロック発振器に関する使用上の注意事項

1. SCKCR、PLLCRの設定により の周波数が変わりますので以下の点に注意してください。

分周比は電気的特性のACタイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内に収まるように選択してください。つまり、 $\min = 8\text{MHz}$ 、 $\max = 33\text{MHz}$ とし、 $< 8\text{MHz}$ 、 $> 33\text{MHz}$ とならないように注意してください。
2. 内部モジュールは、すべて を基準に動作します。このため、分周比変更の前後でタイマやSCIなどの時間処理が変わりますので注意してください。また、ソフトウェアスタンバイモード解除用の待機時間も分周比を変更することで変わります。詳細は「19.2.3 (3) ソフトウェアスタンバイモード解除後の発振安定待機時間の設定」を参照してください。
3. ライトデータバッファ機能を用いて、外部バスサイクル実行中にSCKCRあるいはPLLCRの設定を行うと、 の周波数が変わりますので注意してください。

18.5.2 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振回路の回路定数は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

18.5.3 ボード設計上の注意事項

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。図 18.6 に示すように発振回路の近くには信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。

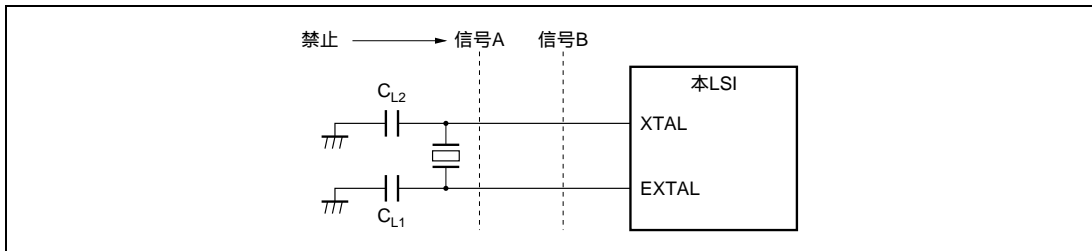


図 18.6 発振回路部のボード設計に関する注意事項

PLL 回路の外付け推奨回路を図 18.7 に示します。PLL V_{cc} 、PLL V_{ss} と V_{cc} 、 V_{ss} はボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CPB および CB を必ず挿入してください。

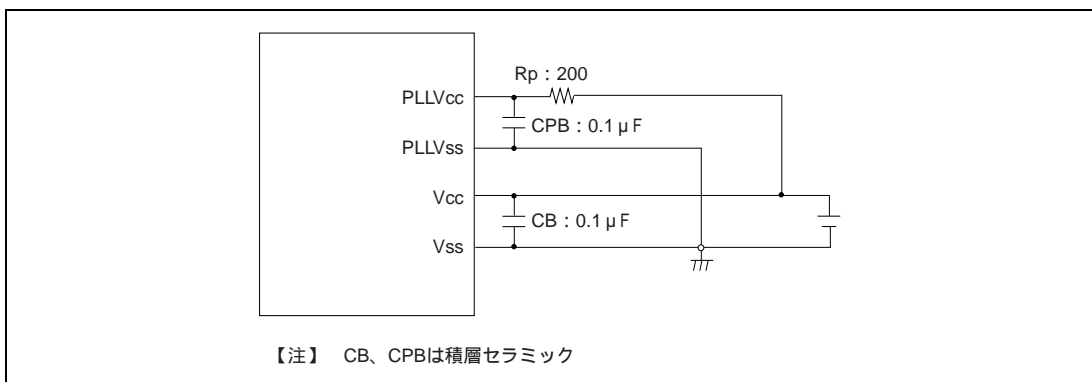


図 18.7 PLL 回路の外付け推奨回路

19. 低消費電力状態

本 LSI には、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、高速モードの他、

- クロック分周モード
- スリープモード
- モジュールストップモード
- 全モジュールクロックストップモード
- ソフトウェアスタンバイモード
- ハードウェアスタンバイモード

の低消費電力状態があります。スリープモードは CPU の状態、クロック分周モードは CPU とバスマスタの状態、モジュールストップモードは内蔵周辺機能（CPU 以外のバスマスタも含む）の状態です。これらは組み合わせて設定することができます。

リセット後は、高速モードになっています。

表 19.1 に各モードでの本 LSI 本の内部状態を示します。図 19.1 に可能なモード間遷移を示します。

19. 低消費電力状態

表 19.1 各モードでの本 LSI の内部状態

動作状態		高速モード	クロック分周モード	スリープモード	モジュールストップモード	全モジュールクロックストップモード	ソフトウェアスタンバイモード	ハードウェアスタンバイモード
クロック発振器		動作	動作	動作	動作	動作	停止	停止
CPU	命令実行	動作	動作	停止	動作	停止	停止	停止
	レジスタ			保持			保持	不定
外部割り込み	NMI	動作	動作	動作	動作	動作	動作	停止
	IRQ0~7							
周辺機能	WDT	動作	動作	動作	動作	動作	停止 (保持)	停止 (リセット)
	TMR	動作	動作	動作	停止 (保持)	動作/ 停止(保持)*	停止 (保持)	停止 (リセット)
	DTC	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	TPU	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	PPG	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	D/A	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	A/D	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (リセット)	停止 (リセット)
	SCI	動作	動作	動作	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)
	RAM	動作	動作	動作	動作	動作	保持	保持
	I/O	動作	動作	動作	動作	保持	保持	ハイインピーダンス

【注】 停止（保持）は、内部レジスタ値保持、内部状態は動作中断を示します。

停止（リセット）は、内部レジスタ値および内部状態を初期化します。

モジュールストップモードは、停止設定をしたモジュールのみ停止（リセットまたは保持）します。

* MSTPCR の MSTP0 ビットの設定により、動作/停止を選択することができます。

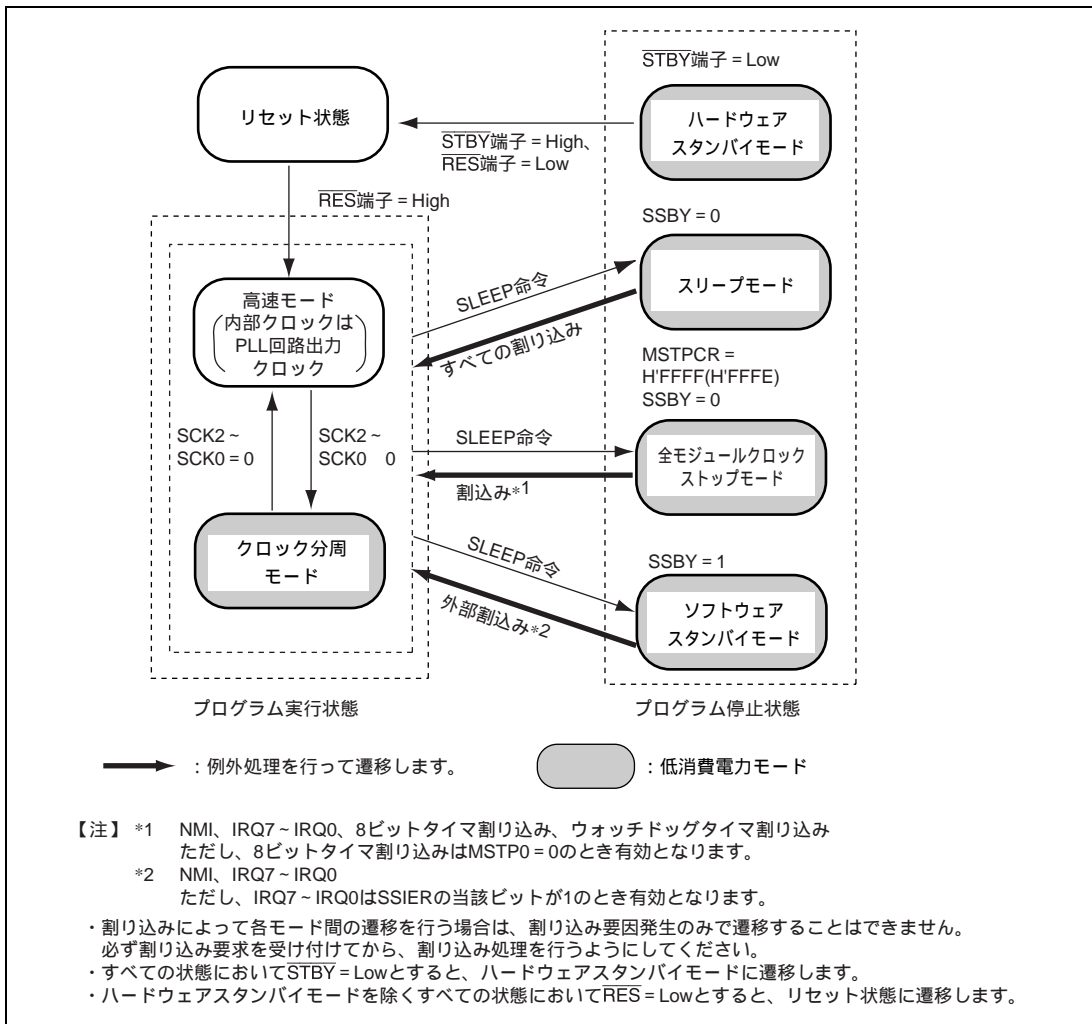


図 19.1 モード遷移図

19.1 レジスタの説明

消費電力モードに関連するレジスタには以下のものがあります。システムクロックコントロールレジスタ (SCKCR) については「18.1.1 システムクロックコントロールレジスタ (SCKCR)」を参照してください。

- システムクロックコントロールレジスタ (SCKCR)
- スタンバイコントロールレジスタ (SBYCR)
- モジュールストップコントロールレジスタH (MSTPCRH)
- モジュールストップコントロールレジスタL (MSTPCRL)

19.1.1 スタンバイコントロールレジスタ (SBYCR)

SBYCRはソフトウェアスタンバイモードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を指定します。 0: SLEEP 命令実行後、スリープモードに遷移 1: SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移 なお、外部割り込みによってソフトウェアスタンバイモードが解除され、通常動作に遷移したときは1にセットされたまま値が変わりません。クリアする場合は0をライトしてください。
6	OPE	1	R/W	出力ポートイネーブル ソフトウェアスタンバイモード時にアドレスバス、バス制御信号 ($\overline{CS7} \sim \overline{CS0}$ 、 \overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR}) の端子状態を保持するか、ハイインピーダンスにするかを指定します。 0: ソフトウェアスタンバイモード時に、端子状態をハイインピーダンス 1: ソフトウェアスタンバイモード時に、端子状態を保持する。
5	-	0	-	リザーブビット
4	-	0	-	リードすると常に0が読み出されます。初期値を変更しないでください。

ビット	ビット名	初期値	R/W	説明
3	STS3	1	R/W	スタンバイタイムセレクト 3~0
2	STS2	1	R/W	外部割り込みによってソフトウェアスタンバイモードを解除する場合に、クロックが安定するまで MCU が待機する時間を選択します。 水晶発振の場合、表 19.2 を参照し、動作周波数に応じて待機時間が発振安定時間以上となるように選択してください。 外部クロックの場合、PLL 回路の安定時間が必要になります。表 19.2 を参照し、待機時間を設定してください。 0000 : 設定禁止 0001 : 設定禁止 0010 : 設定禁止 0011 : 設定禁止 0100 : 設定禁止 0101 : 待機時間 = 64 ステート 0110 : 待機時間 = 512 ステート 0111 : 待機時間 = 1024 ステート 1000 : 待機時間 = 2048 ステート 1001 : 待機時間 = 4096 ステート 1010 : 待機時間 = 16384 ステート 1011 : 待機時間 = 32768 ステート 1100 : 待機時間 = 65536 ステート 1101 : 待機時間 = 131072 ステート 1110 : 待機時間 = 262144 ステート 1111 : 待機時間 = 524288 ステート
1	STS1	1	R/W	
0	STS0	1	R/W	

19. 低消費電力状態

19.1.2 モジュールストップコントロールレジスタ H、L (MSTPCR_H、MSTPCL_L)

MSTPCR はモジュールストップモードの制御を行います。1 のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。

• MSTPCR_H

ビット	ビット名	初期値	R/W	対象モジュール
15	ACSE	0	R/W	全モジュールクロックストップモードイネーブル MSTPCR で制御されるすべての内蔵周辺機能、または TMR 以外の内蔵周辺機能をモジュールストップモードにし、SLEEP 命令実行後の全モジュールクロックストップモードへの遷移を許可または禁止します。 0 : 全モジュールクロックストップモードを禁止 1 : 全モジュールクロックストップモードを許可
14	MSTP14	0	R/W	
13	MSTP13	0	R/W	
12	MSTP12	0	R/W	データトランスファコントローラ (DTC)
11	MSTP11	1	R/W	16 ビットタイマパルスユニット (TPU)
10	MSTP10	1	R/W	プログラマブルパルスジェネレータ (PPG)
9	MSTP9	1	R/W	D/A 変換器 (チャンネル 0、1)
8	MSTP8	1	R/W	D/A 変換器 (チャンネル 2、3)

• MSTPCL_L

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTP7	1	R/W	
6	MSTP6	1	R/W	A/D 変換器
5	MSTP5	1	R/W	
4	MSTP4	1	R/W	
3	MSTP3	1	R/W	シリアルコミュニケーションインタフェース 2 (SCI ₂)
2	MSTP2	1	R/W	シリアルコミュニケーションインタフェース 1 (SCI ₁)
1	MSTP1	1	R/W	シリアルコミュニケーションインタフェース 0 (SCI ₀)
0	MSTP0	1	R/W	8 ビットタイマ (TMR)

19.2 動作説明

19.2.1 クロック分周モード

SCKCR の SCK2 ~ SCK0 ビットを 001 ~ 101 に設定すると、そのバスサイクルの終了時点でクロック分周モードになります。クロック分周モードでは、CPU、バスマスタ、内蔵周辺機能は SCK2 ~ SCK0 ビットで指定した動作クロック (1/2、1/4、1/8、1/16、1/32) で動作します。

クロック分周モードの解除は、SCK2 ~ SCK0 ビットをすべて 0 にクリアすることによって行われ、そのバスサイクルの終了時点で高速モードに遷移し、クロック分周モードは解除されます。

SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されるとクロック分周モードに復帰します。

また、SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されるとクロック分周モードに復帰します。

$\overline{\text{RES}}$ 端子を Low レベルにするとリセット状態に遷移し、クロック分周モードは解除されます。ウォッチドッグタイマのオーバフローによるリセットについても同様です。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

19.2.2 スリープモード

(1) スリープモードへの遷移

SBYCR の SSBY ビット=0 の状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

(2) スリープモードの解除

スリープモードの解除は、すべての割り込み、 $\overline{\text{RES}}$ 、または $\overline{\text{STBY}}$ 端子によって行われます。

- 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI以外の割り込みがCPUでマスクされている場合には、スリープモードは解除されません。

- $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子をLowレベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

19.2.3 ソフトウェアスタンバイモード

(1) ソフトウェアスタンバイモードへの遷移

SBYCRのSSBYビットを1にセットした状態でSLEEP命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPUの内部レジスタの内容と内蔵RAMのデータ、SCIおよびA/D変換器を除く内蔵周辺機能と、I/Oポートの状態は保持されます。アドレスバス、バス制御信号は、SBYCRのOPEビットによりハイインピーダンス状態とするか、端子状態を保持するかを指定できます。本モードでは、発振器が停止するため、消費電力は著しく低減されます。

(2) ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み(NMI、 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 端子)、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 端子は、SSIERの当該SSIビットを1にセットすることにより、ソフトウェアスタンバイモードの解除要因として使用することができます。

- 割り込みによる解除

NMI、 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 割り込み要求信号が入力されると、クロックが発振を開始し、SBYCRのSTS2～STS0ビットによって設定された時間が経過した後、安定したクロックが本LSI全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

$\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビットを1にセットし、かつ $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 割り込みより高い優先順位の割り込みが発生しないようにしてください、なお、CPU側でマスクした場合、またはDTCの起動要因に設定した場合には、ソフトウェアスタンバイモードは解除できません。

- $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子をLowレベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本LSI全体にクロックが供給されます。このとき $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまでLowレベルに保持してください。 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

(3) ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCRのSTS3～STS0ビットの設定は、以下のようにしてください。

- 水晶発振の場合

待機時間が発振安定時間以上となるようにSTS3～STS0ビットを設定してください。

表19.2に、動作周波数とSTS3～STS0ビットの設定に対する待機時間を示します。

- 外部クロックの場合

PLL回路の安定時間が必要となります。表19.2を参照し待機時間を設定してください。

表 19.2 発振安定時間の設定

STS3	STS2	STS1	STS0	待機時間	* [MHz]						単位
					33	25	20	13	10	8	
0	0	0	0	リザーブ	-	-	-	-	-	-	μs
			1	リザーブ	-	-	-	-	-	-	
		1	0	リザーブ	-	-	-	-	-	-	
			1	リザーブ	-	-	-	-	-	-	
	1	0	0	リザーブ	-	-	-	-	-	-	
			1	64	1.9	2.6	3.2	4.9	6.4	8.0	
		1	0	512	15.5	20.5	25.6	39.4	51.2	64.0	
			1	1024	31.0	41.0	51.2	78.8	102.4	128.0	
1	0	0	0	2048	62.1	81.9	102.4	157.5	204.8	256.0	ms
			1	4096	0.12	0.16	0.20	0.32	0.41	0.51	
		1	0	16384	0.50	0.66	0.82	1.26	1.64	2.05	
			1	32765	0.99	1.31	1.64	2.52	3.28	4.10	
	1	0	0	65536	1.99	2.62	3.28	5.04	6.55	8.19	
			1	131072	3.97	5.24	6.55	10.08	13.11	16.38	
		1	0	262144	7.94	10.49	13.11	20.16	26.21	32.77	
			1	524288	15.89	20.97	26.21	40.33	52.43	65.54	

■ : 推奨設定時間

【注】* は分周器の出力です。

(4) ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 19.2 に示します。

この例では、INTCR の NMIEG ビットが 0 にクリアされている（立ち下がりエッジ指定）状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット（立ち上がりエッジ指定）、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

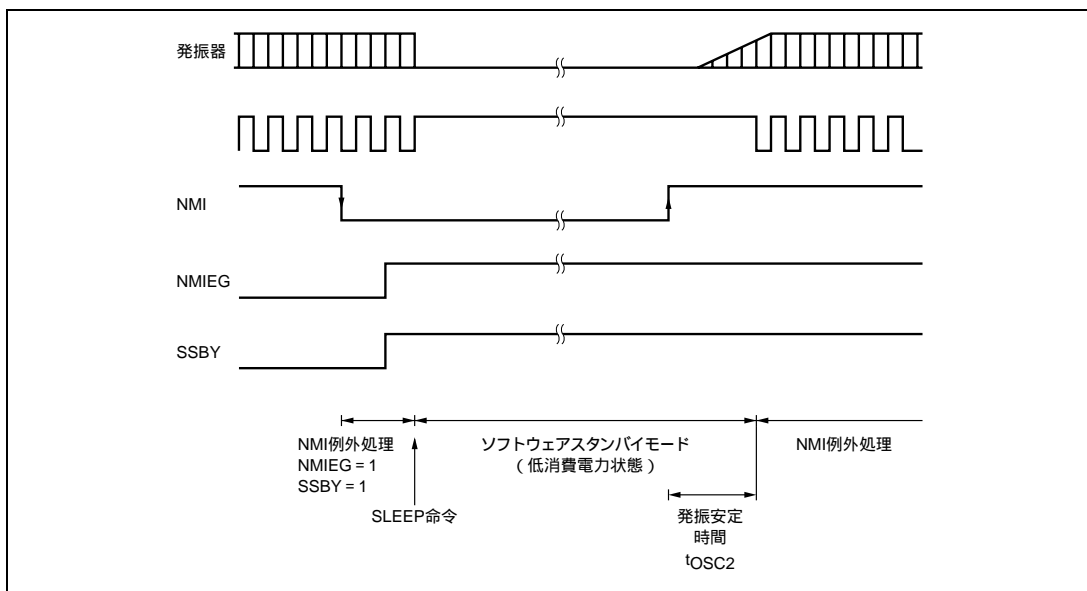


図 19.2 ソフトウェアスタンバイモードの応用例

19.2.4 ハードウェアスタンバイモード

(1) ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。また、ハードウェアスタンバイモード中には、モード端子 (MD2 ~ MD0) の状態を変化させないでください。

(2) ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子によって行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで (発振安定時間については、表 19.2 参照) Low レベルを保持してください。その後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

(3) ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 19.3 に示します。 $\overline{\text{RES}}$ 端子を Low レベルにした後、 $\overline{\text{STBY}}$ 端子を Low レベルにするとハードウェアスタンバイモードに遷移します。ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子を High レベルにしクロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

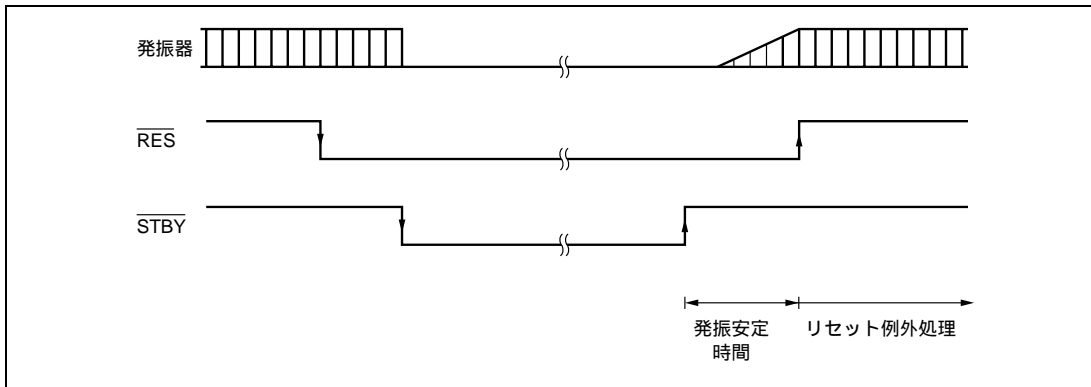


図 19.3 ハードウェアスタンバイモードのタイミング

19.2.5 モジュールストップモード

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を継続します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、SCI を除くモジュールの内部状態が保持されています。

リセット解除後は、DTC を除くすべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

19.2.6 全モジュールクロックストップモード

MSTPCRH の ACSE ビットを 1 にセットし、かつ MSTPCR で制御されるすべての内蔵周辺機能をモジュールストップモードにしたとき (MSTPCR = H'FFFF)、または 8 ビットタイマ以外の内蔵周辺機能をモジュールストップモードにしたとき (MSTPCR = H'FFFE)、SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、バスサイクルの終了時点で 8 ビットタイマ、ウォッチドッグタイマを除く内蔵周辺機能、バスコントローラ、および I/O ポートの動作を停止して全モジュールクロックストップモードへ遷移します。8 ビットタイマは MSTP0 ビットにより動作/停止を選択できます。

全モジュールクロックストップモードの解除は、外部割り込み (NMI、 $\overline{IRQ7} \sim \overline{IRQ0}$ 端子)、 \overline{RES} 端子、内部割り込み (8 ビットタイマ、ウォッチドッグタイマ) によって行われ、例外処理状態を経て通常のプログラム実行状態へ遷移します。割り込みが禁止されている場合と NMI 以外の割り込みが CPU でマスクされている場合、または DTC の起動要因に設定した場合には、全モジュールクロックストップモードは解除されません。

\overline{STBY} 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

19.3 クロック出力制御

SCKCR の PSTOP ビット、対応するポートの DDR により、クロックの出力を制御することができます。PSTOP ビットを 1 にセットすると、バスサイクルの終了時点で クロックは停止し、出力は High レベルになります。PSTOP を 0 にクリアした状態では、クロック出力は許可されます。また、対応するポートの DDR を 0 にクリアすると、クロック出力は禁止され、入力ポートになります。表 19.3 に各処理状態における 端子の状態を示します。

表 19.3 各処理状態における 端子の状態

レジスタの設定値		通常動作状態	スリープモード	ソフトウェア	ハードウェア	全モジュールクロック ストップモード
DDR	PSTOP			スタンバイモード	スタンバイモード	
0	X	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス	ハイ インピーダンス
1	0	出力	出力	High 固定	ハイ インピーダンス	出力
1	1	High 固定	High 固定	High 固定	ハイ インピーダンス	High 固定

19.4 使用上の注意事項

19.4.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

19.4.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

19.4.3 DTC のモジュールストップ

DTC の動作状態によっては、MSTP12～MSTP14 ビットは 1 にセットされない場合があります。DTC のモジュールストップモードの設定は、それぞれ起動されない状態で行ってください。

詳細は「第 7 章 データトランスファコントローラ (DTC)」を参照してください。

19.4.4 内蔵周辺モジュールの割り込み

モジュールストップモードでは、当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールストップとすると、CPU の割り込み要因、または DTC の起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてからモジュールストップモードとしてください。

19.4.5 MSTPCR のライト

MSTPCR は CPU のみでライトしてください。

20. レジスタ一覧

アドレス一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記の通りです。

1. レジスタアドレス一覧(アドレス順)

- 割り付けアドレスの小さいレジスタから順に記載します。
- モジュール名称による分類をしています。
- アクセスサイズを表示しています。

2. レジスタビット一覧

- 「レジスタアドレス一覧(アドレス順)」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「-」で表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットまたは32ビットのレジスタの場合、MSB側のビットから記載しています。

3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧(アドレス順)」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

20. レジスタ一覧

20.1 レジスタアドレス一覧（アドレス順）

アクセスサイズは、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
DTC モードレジスタ A	MRA	8	H'BC00	DTC	16/32	2
DTC ソースアドレスレジスタ	SAR	24	~	DTC	16/32	2
DTC モードレジスタ B	MRB	8	H'BFFF	DTC	16/32	2
DTC デスティネーションアドレスレジスタ	DAR	24		DTC	16/32	2
DTC 転送カウントレジスタ A	CRA	16		DTC	16/32	2
DTC 転送カウントレジスタ B	CRB	16		DTC	16/32	2
シリアル拡張モードレジスタ	SEMR	8	H'FDA8	SCI	8	2
インタラプトプライオリティレジスタ A	IPRA	16	H'FE00	INT	16	2
インタラプトプライオリティレジスタ B	IPRB	16	H'FE02	INT	16	2
インタラプトプライオリティレジスタ C	IPRC	16	H'FE04	INT	16	2
インタラプトプライオリティレジスタ D	IPRD	16	H'FE06	INT	16	2
インタラプトプライオリティレジスタ E	IPRE	16	H'FE08	INT	16	2
インタラプトプライオリティレジスタ F	IPRF	16	H'FE0A	INT	16	2
インタラプトプライオリティレジスタ G	IPRG	16	H'FE0C	INT	16	2
インタラプトプライオリティレジスタ H	IPRH	16	H'FE0E	INT	16	2
インタラプトプライオリティレジスタ I	IPRI	16	H'FE10	INT	16	2
インタラプトプライオリティレジスタ J	IPRJ	16	H'FE12	INT	16	2
インタラプトプライオリティレジスタ K	IPRK	16	H'FE14	INT	16	2
IRQ 端子セレクトレジスタ	ITSR	16	H'FE16	INT	16	2
ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ	SSIER	16	H'FE18	INT	16	2
リザーブレジスタ 0*1	RSVR0	16	H'FE1A	-	16	2
IRQ センスコントロールレジスタ	ISCR	16	H'FE1C	INT	16	2
IrDA コントロールレジスタ_0	IrCR_0	8	H'FE1E	IrDA_0	8	2
ポート 1 データディレクションレジスタ	P1DDR	8	H'FE20	PORT	8	2
ポート 2 データディレクションレジスタ	P2DDR	8	H'FE21	PORT	8	2
ポート 3 データディレクションレジスタ	P3DDR	8	H'FE22	PORT	8	2
ポート 5 データディレクションレジスタ	P5DDR	8	H'FE24	PORT	8	2
ポート 6 データディレクションレジスタ	P6DDR	8	H'FE25	PORT	8	2
ポート 7 データディレクションレジスタ	P7DDR	8	H'FE26	PORT	8	2
ポート 8 データディレクションレジスタ	P8DDR	8	H'FE27	PORT	8	2
ポート A データディレクションレジスタ	PADDR	8	H'FE29	PORT	8	2
ポート B データディレクションレジスタ	PBDDR	8	H'FE2A	PORT	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
ポートCデータディレクションレジスタ	PCDDR	8	H'FE2B	PORT	8	2
ポートDデータディレクションレジスタ	PDDDR	8	H'FE2C	PORT	8	2
ポートEデータディレクションレジスタ	PEDDR	8	H'FE2D	PORT	8	2
ポートFデータディレクションレジスタ	PFDDR	8	H'FE2E	PORT	8	2
ポートGデータディレクションレジスタ	PGDDR	8	H'FE2F	PORT	8	2
ポートファンクションコントロール レジスタ0	PFCCR0	8	H'FE32	PORT	8	2
ポートファンクションコントロール レジスタ1	PFCCR1	8	H'FE33	PORT	8	2
ポートファンクションコントロール レジスタ2	PFCCR2	8	H'FE34	PORT	8	2
ポートAブルアップMOSコントロール レジスタ	PAPCR	8	H'FE36	PORT	8	2
ポートBブルアップMOSコントロール レジスタ	PBPCR	8	H'FE37	PORT	8	2
ポートCブルアップMOSコントロール レジスタ	PCPCR	8	H'FE38	PORT	8	2
ポートDブルアップMOSコントロール レジスタ	PDPCR	8	H'FE39	PORT	8	2
ポートEブルアップMOSコントロール レジスタ	PEPCR	8	H'FE3A	PORT	8	2
ポート3オーブンドレインコントロール レジスタ	P3ODR	8	H'FE3C	PORT	8	2
ポートAオーブンドレイン コントロールレジスタ	PAODR	8	H'FE3D	PORT	8	2
タイマコントロールレジスタ_3	TCR_3	8	H'FE80	TPU_3	16	2
タイマモードレジスタ_3	TMDR_3	8	H'FE81	TPU_3	16	2
タイマI/OコントロールレジスタH_3	TIORH_3	8	H'FE82	TPU_3	16	2
タイマI/OコントロールレジスタL_3	TIORL_3	8	H'FE83	TPU_3	16	2
タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FE84	TPU_3	16	2
タイマステータスレジスタ_3	TSR_3	8	H'FE85	TPU_3	16	2
タイマカウンタ_3	TCNT_3	16	H'FE86	TPU_3	16	2
タイマジェネラルレジスタA_3	TGRA_3	16	H'FE88	TPU_3	16	2
タイマジェネラルレジスタB_3	TGRB_3	16	H'FE8A	TPU_3	16	2
タイマジェネラルレジスタC_3	TGRC_3	16	H'FE8C	TPU_3	16	2
タイマジェネラルレジスタD_3	TGRD_3	16	H'FE8E	TPU_3	16	2
タイマコントロールレジスタ_4	TCR_4	8	H'FE90	TPU_4	16	2
タイマモードレジスタ_4	TMDR_4	8	H'FE91	TPU_4	16	2
タイマI/Oコントロールレジスタ_4	TIOR_4	8	H'FE92	TPU_4	16	2

20. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FE94	TPU_4	16	2
タイマステータスレジスタ_4	TSR_4	8	H'FE95	TPU_4	16	2
タイマカウンタ_4	TCNT_4	16	H'FE96	TPU_4	16	2
タイマジェネラルレジスタ A_4	TGRA_4	16	H'FE98	TPU_4	16	2
タイマジェネラルレジスタ B_4	TGRB_4	16	H'FE9A	TPU_4	16	2
タイマコントロールレジスタ_5	TCR_5	8	H'FEA0	TPU_5	16	2
タイマモードレジスタ_5	TMDR_5	8	H'FEA1	TPU_5	16	2
タイマ I/O コントロールレジスタ_5	TIOR_5	8	H'FEA2	TPU_5	16	2
タイマインタラプトイネーブルレジスタ_5	TIER_5	8	H'FEA4	TPU_5	16	2
タイマステータスレジスタ_5	TSR_5	8	H'FEA5	TPU_5	16	2
タイマカウンタ_5	TCNT_5	16	H'FEA6	TPU_5	16	2
タイマジェネラルレジスタ A_5	TGRA_5	16	H'FEA8	TPU_5	16	2
タイマジェネラルレジスタ B_5	TGRB_5	16	H'FEAA	TPU_5	16	2
バス幅コントロールレジスタ	ABWCR	8	H'FEC0	BSC	16	2
アクセスステートコントロールレジスタ	ASTCR	8	H'FEC1	BSC	16	2
ウェイトコントロールレジスタ AH	WTCRAH	8	H'FEC2	BSC	16	2
ウェイトコントロールレジスタ AL	WTCRAL	8	H'FEC3	BSC	16	2
ウェイトコントロールレジスタ BH	WTCRBH	8	H'FEC4	BSC	16	2
ウェイトコントロールレジスタ BL	WTCRBL	8	H'FEC5	BSC	16	2
リードストロープタイミングコントロール レジスタ	RDNCR	8	H'FEC6	BSC	16	2
CS アサート期間コントロールレジスタ H	CSACRH	8	H'FEC8	BSC	16	2
CS アサート期間コントロールレジスタ L	CSACRL	8	H'FEC9	BSC	16	2
リザーブレジスタ 1*1	RSVR1	16	H'FECA	-	16	2
バスコントロールレジスタ	BCR	16	H'FECC	BSC	16	2
RAM エミュレーションレジスタ (F-ZTAT 版)	RAMER	8	H'FECE	FLASH	16	2
リザーブレジスタ 2*1	RSVR2	64	H'FED0	-	16	2
DTC イネーブルレジスタ A	DTCERA	8	H'FF28	DTC	16	2
DTC イネーブルレジスタ B	DTCERB	8	H'FF29	DTC	16	2
DTC イネーブルレジスタ C	DTCERC	8	H'FF2A	DTC	16	2
DTC イネーブルレジスタ D	DTCERD	8	H'FF2B	DTC	16	2
DTC イネーブルレジスタ E	DTCERE	8	H'FF2C	DTC	16	2
DTC イネーブルレジスタ F	DTCERF	8	H'FF2D	DTC	16	2
DTC イネーブルレジスタ G	DTCERG	8	H'FF2E	DTC	16	2
DTC ベクタレジスタ	DTVECR	8	H'FF30	DTC	16	2
割り込みコントロールレジスタ	INTCR	8	H'FF31	INT	16	2
IRQ イネーブルレジスタ	IER	16	H'FF32	INT	16	2
IRQ ステータスレジスタ	ISR	16	H'FF34	INT	16	2

20. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
スタンバイコントロールレジスタ	SBYCR	8	H'FF3A	SYSTEM	8	2
システムクロックコントロールレジスタ	SCKCR	8	H'FF3B	SYSTEM	8	2
システムコントロールレジスタ	SYSCR	8	H'FF3D	SYSTEM	8	2
モードコントロールレジスタ	MDCR	8	H'FF3E	SYSTEM	8	2
モジュールストップコントロール レジスタH	MSTPCRH	8	H'FF40	SYSTEM	8	2
モジュールストップコントロール レジスタL	MSTPCL	8	H'FF41	SYSTEM	8	2
PLL コントロールレジスタ	PLLCR	8	H'FF45	SYSTEM	8	2
PPG 出力コントロールレジスタ	PCR	8	H'FF46	PPG	8	2
PPG 出力モードレジスタ	PMR	8	H'FF47	PPG	8	2
ネクストデータインーブルレジスタH	NDERH	8	H'FF48	PPG	8	2
ネクストデータインーブルレジスタL	NDERL	8	H'FF49	PPG	8	2
アウトプットデータレジスタH	PODRH	8	H'FF4A	PPG	8	2
アウトプットデータレジスタL	PODRL	8	H'FF4B	PPG	8	2
ネクストデータレジスタH ^{*2}	NDRH	8	H'FF4C	PPG	8	2
ネクストデータレジスタL ^{*2}	NDRL	8	H'FF4D	PPG	8	2
ネクストデータレジスタH ^{*2}	NDRH	8	H'FF4E	PPG	8	2
ネクストデータレジスタL ^{*2}	NDRL	8	H'FF4F	PPG	8	2
ポート1レジスタ	PORT1	8	H'FF50	PORT	8	2
ポート2レジスタ	PORT2	8	H'FF51	PORT	8	2
ポート3レジスタ	PORT3	8	H'FF52	PORT	8	2
ポート4レジスタ	PORT4	8	H'FF53	PORT	8	2
ポート5レジスタ	PORT5	8	H'FF54	PORT	8	2
ポート6レジスタ	PORT6	8	H'FF55	PORT	8	2
ポート7レジスタ	PORT7	8	H'FF56	PORT	8	2
ポート8レジスタ	PORT8	8	H'FF57	PORT	8	2
ポートAレジスタ	PORTA	8	H'FF59	PORT	8	2
ポートBレジスタ	PORTB	8	H'FF5A	PORT	8	2
ポートCレジスタ	PORTC	8	H'FF5B	PORT	8	2
ポートDレジスタ	PORTD	8	H'FF5C	PORT	8	2
ポートEレジスタ	PORTE	8	H'FF5D	PORT	8	2
ポートFレジスタ	PORTF	8	H'FF5E	PORT	8	2
ポートGレジスタ	PORTG	8	H'FF5F	PORT	8	2
ポート1データレジスタ	P1DR	8	H'FF60	PORT	8	2
ポート2データレジスタ	P2DR	8	H'FF61	PORT	8	2
ポート3データレジスタ	P3DR	8	H'FF62	PORT	8	2
ポート5データレジスタ	P5DR	8	H'FF64	PORT	8	2

20. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
ポート6データレジスタ	P6DR	8	H'FF65	PORT	8	2
ポート7データレジスタ	P7DR	8	H'FF66	PORT	8	2
ポート8データレジスタ	P8DR	8	H'FF67	PORT	8	2
ポートAデータレジスタ	PADR	8	H'FF69	PORT	8	2
ポートBデータレジスタ	PBDR	8	H'FF6A	PORT	8	2
ポートCデータレジスタ	PCDR	8	H'FF6B	PORT	8	2
ポートDデータレジスタ	PDDR	8	H'FF6C	PORT	8	2
ポートEデータレジスタ	PEDR	8	H'FF6D	PORT	8	2
ポートFデータレジスタ	PFDR	8	H'FF6E	PORT	8	2
ポートGデータレジスタ	PGDR	8	H'FF6F	PORT	8	2
ポートHレジスタ	PORTH	8	H'FF70	PORT	8	2
ポートHデータレジスタ	PHDR	8	H'FF72	PORT	8	2
ポートHデータディレクションレジスタ	PHDDR	8	H'FF74	PORT	8	2
シリアルモードレジスタ_0	SMR_0	8	H'FF78	SCI_0	8	2
ビットレートレジスタ_0	BRR_0	8	H'FF79	SCI_0	8	2
シリアルコントロールレジスタ_0	SCR_0	8	H'FF7A	SCI_0	8	2
トランスミットデータレジスタ_0	TDR_0	8	H'FF7B	SCI_0	8	2
シリアルステータスレジスタ_0	SSR_0	8	H'FF7C	SCI_0	8	2
レシーブデータレジスタ_0	RDR_0	8	H'FF7D	SCI_0	8	2
スマートカードモードレジスタ_0	SCMR_0	8	H'FF7E	SCI_0	8	2
シリアルモードレジスタ_1	SMR_1	8	H'FF80	SCI_1	8	2
ビットレートレジスタ_1	BRR_1	8	H'FF81	SCI_1	8	2
シリアルコントロールレジスタ_1	SCR_1	8	H'FF82	SCI_1	8	2
トランスミットデータレジスタ_1	TDR_1	8	H'FF83	SCI_1	8	2
シリアルステータスレジスタ_1	SSR_1	8	H'FF84	SCI_1	8	2
レシーブデータレジスタ_1	RDR_1	8	H'FF85	SCI_1	8	2
スマートカードモードレジスタ_1	SCMR_1	8	H'FF86	SCI_1	8	2
シリアルモードレジスタ_2	SMR_2	8	H'FF88	SCI_2	8	2
ビットレートレジスタ_2	BRR_2	8	H'FF89	SCI_2	8	2
シリアルコントロールレジスタ_2	SCR_2	8	H'FF8A	SCI_2	8	2
トランスミットデータレジスタ_2	TDR_2	8	H'FF8B	SCI_2	8	2
シリアルステータスレジスタ_2	SSR_2	8	H'FF8C	SCI_2	8	2
レシーブデータレジスタ_2	RDR_2	8	H'FF8D	SCI_2	8	2
スマートカードモードレジスタ_2	SCMR_2	8	H'FF8E	SCI_2	8	2
A/DデータレジスタA	ADDRA	16	H'FF90	A/D	16	2
A/DデータレジスタB	ADDRB	16	H'FF92	A/D	16	2
A/DデータレジスタC	ADDRC	16	H'FF94	A/D	16	2
A/DデータレジスタD	ADDRD	16	H'FF96	A/D	16	2

20. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
A/D データレジスタ E	ADDRE	16	H'FF98	A/D	16	2
A/D データレジスタ F	ADDRF	16	H'FF9A	A/D	16	2
A/D データレジスタ G	ADDRG	16	H'FF9C	A/D	16	2
A/D データレジスタ H	ADDRH	16	H'FF9E	A/D	16	2
A/D コントロール / ステータスレジスタ	ADCSR	8	H'FFA0	A/D	16	2
A/D コントロールレジスタ	ADCR	8	H'FFA1	A/D	16	2
D/A データレジスタ 0	DADR0	8	H'FFA4	D/A	8	2
D/A データレジスタ 1	DADR1	8	H'FFA5	D/A	8	2
D/A コントロールレジスタ 01	DACR01	8	H'FFA6	D/A	8	2
D/A データレジスタ 2	DADR2	8	H'FFA8	D/A	8	2
D/A データレジスタ 3	DADR3	8	H'FFA9	D/A	8	2
D/A コントロールレジスタ 23	DACR23	8	H'FFAA	D/A	8	2
タイマコントロールレジスタ_0	TCR_0	8	H'FFB0	TMR_0	16	2
タイマコントロールレジスタ_1	TCR_1	8	H'FFB1	TMR_1	16	2
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FFB2	TMR_0	16	2
タイマコントロール/ステータスレジスタ_1	TCSR_1	8	H'FFB3	TMR_1	16	2
タイムコンスタントレジスタ A_0	TCORA_0	8	H'FFB4	TMR_0	16	2
タイムコンスタントレジスタ A_1	TCORA_1	8	H'FFB5	TMR_1	16	2
タイムコンスタントレジスタ B_0	TCORB_0	8	H'FFB6	TMR_0	16	2
タイムコンスタントレジスタ B_1	TCORB_1	8	H'FFB7	TMR_1	16	2
タイマカウンタ_0	TCNT_0	8	H'FFB8	TMR_0	16	2
タイマカウンタ_1	TCNT_1	8	H'FFB9	TMR_1	16	2
タイマコントロール/ステータスレジスタ	TCSR	8	H'FFBC* ³ (ライト時) H'FFBC (リード時)	WDT	16	2
タイマカウンタ	TCNT	8	H'FFBC* ³ (ライト時) H'FFBD (リード時)	WDT	16	2
リセットコントロール/ステータスレジスタ	RSTCSR	8	H'FFBE* ³ (ライト時) H'FFBF (リード時)	WDT	16	2
タイマスタートレジスタ	TSTR	8	H'FFC0	TPU	16	2
タイマシンクロレジスタ	TSYR	8	H'FFC1	TPU	16	2
フラッシュメモリコントロールレジスタ 1 (F-ZTAT 版)	FLMCR1	8	H'FFC8	FLASH	8	2

20. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
フラッシュメモリコントロールレジスタ 2 (F-ZTAT 版)	FLMCR2	8	H'FFC9	FLASH	8	2
消去ブロック指定レジスタ 1 (F-ZTAT 版)	EBR1	8	H'FFCA	FLASH	8	2
消去ブロック指定レジスタ 2 (F-ZTAT 版)	EBR2	8	H'FFCB	FLASH	8	2
タイマコントロールレジスタ_0	TCR_0	8	H'FFD0	TPU_0	16	2
タイマモードレジスタ_0	TMDR_0	8	H'FFD1	TPU_0	16	2
タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FFD2	TPU_0	16	2
タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FFD3	TPU_0	16	2
タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FFD4	TPU_0	16	2
タイマステータスレジスタ_0	TSR_0	8	H'FFD5	TPU_0	16	2
タイマカウンタ_0	TCNT_0	16	H'FFD6	TPU_0	16	2
タイマジェネラルレジスタ A_0	TGRA_0	16	H'FFD8	TPU_0	16	2
タイマジェネラルレジスタ B_0	TGRB_0	16	H'FFDA	TPU_0	16	2
タイマジェネラルレジスタ C_0	TGRC_0	16	H'FFDC	TPU_0	16	2
タイマジェネラルレジスタ D_0	TGRD_0	16	H'FFDE	TPU_0	16	2
タイマコントロールレジスタ_1	TCR_1	8	H'FFE0	TPU_1	16	2
タイマモードレジスタ_1	TMDR_1	8	H'FFE1	TPU_1	16	2
タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FFE2	TPU_1	16	2
タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FFE4	TPU_1	16	2
タイマステータスレジスタ_1	TSR_1	8	H'FFE5	TPU_1	16	2
タイマカウンタ_1	TCNT_1	16	H'FFE6	TPU_1	16	2
タイマジェネラルレジスタ A_1	TGRA_1	16	H'FFE8	TPU_1	16	2
タイマジェネラルレジスタ B_1	TGRB_1	16	H'FFEA	TPU_1	16	2
タイマコントロールレジスタ_2	TCR_2	8	H'FFF0	TPU_2	16	2
タイマモードレジスタ_2	TMDR_2	8	H'FFF1	TPU_2	16	2
タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'FFF2	TPU_2	16	2
タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FFF4	TPU_2	16	2
タイマステータスレジスタ_2	TSR_2	8	H'FFF5	TPU_2	16	2
タイマカウンタ_2	TCNT_2	16	H'FFF6	TPU_2	16	2
タイマジェネラルレジスタ A_2	TGRA_2	16	H'FFF8	TPU_2	16	2
タイマジェネラルレジスタ B_2	TGRB_2	16	H'FFFA	TPU_2	16	2

【注】*1 リザーブレジスタ 0~2 (RSVR0~RSVR 2) に対してはリード/ライトを行わないでください。

*2 PCR の設定により、パルス出力グループ 2 とパルス出力グループ 3 の出力トリガが同一の場合は、NDRH のアドレスは H'FF4C となり、出力トリガが異なる場合は、グループ 2 に対応する NDRH のアドレスは H'FF4E、グループ 3 に対する NDRH のアドレスは H'FF4C となります。同様に、PCR の設定によりパルス出力グループ 0 とパルス出力グループ 1 の出力トリガが同一の場合は、NDRL のアドレスは H'FF4D となり、出力トリガが異なる場合は、グループ 0 に対する NDRL のアドレスは H'FF4F、グループ 1 に対する NDRL のアドレスは H'FF4D となります。

*3 ライトについては、「12.6.1 レジスタアクセス時の注意」を参照してください。

20.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのビット名を以下に示します。

16 ビット、32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MRA	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz	DTC*7
SAR									
MRB	CHNE	DISEL	CHNS						
DAR									
CRA									
CRB									
SEMR					ABCS	ACS2	ACS1	ACS0	SCI_2 スマートカ ードインタ フェース2
IPRA		IPRA14	IPRA13	IPRA12		IPRA10	IPRA9	IPRA8	INT
		IPRA6	IPRA5	IPRA4		IPRA2	IPRA1	IPRA0	
IPRB		IPRB14	IPRB13	IPRB12		IPRB10	IPRB9	IPRB8	
		IPRB6	IPRB5	IPRB4		IPRB2	IPRB1	IPRB0	
IPRC		IPRC14	IPRC13	IPRC12		IPRC10	IPRC9	IPRC8	
		IPRC6	IPRC5	IPRC4		IPRC2	IPRC1	IPRC0	
IPRD		IPRD14	IPRD13	IPRD12		IPRD10	IPRD9	IPRD8	
		IPRD6	IPRD5	IPRD4		IPRD2	IPRD1	IPRD0	
IPRE		IPRE14	IPRE13	IPRE12		IPRE10	IPRE9	IPRE8	
		IPRE6	IPRE5	IPRE4		IPRE2	IPRE1	IPRE0	
IPRF		IPRF14	IPRF13	IPRF12		IPRF10	IPRF9	IPRF8	
		IPRF6	IPRF5	IPRF4		IPRF2	IPRF1	IPRF0	
IPRG		IPRG14	IPRG13	IPRG12		IPRG10	IPRG9	IPRG8	
		IPRG6	IPRG5	IPRG4		IPRG2	IPRG1	IPRG0	

20. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
IPRH		IPRH14	IPRH13	IPRH12		IPRH10	IPRH9	IPRH8	INT
		IPRH6	IPRH5	IPRH4		IPRH2	IPRH1	IPRH0	
IPRI		IPRI14	IPRI13	IPRI12		IPRI10	IPRI9	IPRI8	
		IPRI6	IPRI5	IPRI4		IPRI2	IPRI1	IPRI0	
IPRJ		IPRJ14	IPRJ13	IPRJ12		IPRJ10	IPRJ9	IPRJ8	
		IPRJ6	IPRJ5	IPRJ4		IPRJ2	IPRJ1	IPRJ0	
IPRK		IPRK14	IPRK13	IPRK12		IPRK10	IPRK9	IPRK8	
		IPRK6	IPRK5	IPRK4		IPRK2	IPRK1	IPRK0	
ITSR									
	ITS7	ITS6	ITS5	ITS4	ITS3	ITS2	ITS1	ITS0	
SSIER									
	SSI7	SSI6	SSI5	SSI4	SSI3	SSI2	SSI1	SSI0	
ISCR	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	
	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA	
IrCR_0	IrE	IrCKS2	IrCKS1	IrCKS0					IrDA_0
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	PORT
P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR	
P3DDR			P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	
P5DDR					P53DDR	P52DDR	P51DDR	P50DDR	
P6DDR			P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR	
P7DDR			P75DDR	P74DDR	P73DDR	P72DDR	P71DDR	P70DDR	
P8DDR			P85DDR	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR	
PADDR	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR	
PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR	
PCDDR	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR	
PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR	
PEDDR	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR	
PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR	
PGDDR		PG6DDR	PG5DDR	PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR	
PFCR0	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E	
PFCR1	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E	
PFCR2					ASOE	LWROE			
PAPCR	PA7PCR	PA6PCR	PA5PCR	PA4PCR	PA3PCR	PA2PCR	PA1PCR	PA0PCR	
PBPCR	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR	
PCPCR	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR	
PDPCR	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR	
PEPCR	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR	
P3ODR			P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR	
PAODR	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR	

20. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TCR_3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_3
TMDR_3	-	-	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_3	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_3	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_3	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_3	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRC_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRD_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_4	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_4
TMDR_4	-	-	-	-	MD3	MD2	MD1	MD0	
TIOR_4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_4	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
TSR_4	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
TCNT_4	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_4	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_4	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_5	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_5
TMDR_5	-	-	-	-	MD3	MD2	MD1	MD0	
TIOR_5	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_5	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
TSR_5	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
TCNT_5	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_5	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_5	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

20. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
ABWCR	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	BSC
ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
WTCRAH		W72	W71	W70		W62	W61	W60	
WTCRAL		W52	W51	W50		W42	W41	W40	
WTCRBH		W32	W31	W30		W22	W21	W20	
WTCRBL		W12	W11	W10		W02	W01	W00	
RDNCR	RDN7	RDN6	RDN5	RDN4	RDN3	RDN2	RDN1	RDN0	
CSACRH	CSXH7	CSXH6	CSXH5	CSXH4	CSXH3	CSXH2	CSXH1	CSXH0	
CSACRL	CSXT7	CSXT6	CSXT5	CSXT4	CSXT3	CSXT2	CSXT1	CSXT0	
BCR	BRLE	BREQOE		IDLC	ICIS1	ICIS0	WDBE	WAITE	
						ICIS2			
RAMER	-	-	-	-	RAMS	RAM2	RAM1	RAM0	FLASH (F-ZTAT版)
DTCERA	DTCEA7	DTCEA6	DTCEA5	DTCEA4	DTCEA3	DTCEA2	DTCEA1	DTCEA0	DTC
DTCERB									
DTCERC		DTCEC6	DTCEC5	DTCEC4	DTCEC3	DTCEC2	DTCEC1	DTCEC0	
DTCERD	DTCED7	DTCED6	DTCED5	DTCED4	DTCED3	DTCED2	DTCED1	DTCED0	
DTCERE	DTCEE7	DTCEE6			DTCEE3	DTCEE2	DTCEE1	DTCEE0	
DTCERF					DTCEF3	DTCEF2	DTCEF1	DTCEF0	
DTCERG	DTCEG7	DTCEG6							
DTVECR	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0	
INTCR			INTM1	INTM0	NMIEG				
IER									
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
ISR									
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
SBYCR	SSBY	OPE			STS3	STS2	STS1	STS0	SYSTEM
SCKCR	PSTOP				STCS	SCK2	SCK1	SCK0	
SYSCR			MACS		FLSHE		EXPE	RAME	
MDCR						MDS2	MDS1	MDS0	
MSTPCRH	ACSE	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	
MSTPCRL	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0	
PLLCR							STC1	STC0	
PCR	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0	
PMR	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV	
NDERH	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8	
NDERL	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0	
PODRH	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8	

20. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PODRL	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0	PPG
NDRH* ¹	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8	
NDRL* ¹	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
NDRH* ¹	-	-	-	-	NDR11	NDR10	NDR9	NDR8	
NDRL* ¹	-	-	-	-	NDR3	NDR2	NDR1	NDR0	
PORT1	P17	P16	P15	P14	P13	P12	P11	P10	PORT
PORT2	P27	P26	P25	P24	P23	P22	P21	P20	
PORT3	-	-	P35	P34	P33	P32	P31	P30	
PORT4	P47	P46	P45	P44	P43	P42	P41	P40	
PORT5	P57	P56	P55	P54	P53	P52	P51	P50	
PORT6	-	-	P65	P64	P63	P62	P61	P60	
PORT7	-	-	P75	P74	P73	P72	P71	P70	
PORT8	-	-	P85	P84	P83	P82	P81	P80	
PORTA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	
PORTB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	
PORTC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	
PORTD	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0	
PORTE	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	
PORTF	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0	
PORTG	-	PG6	PG5	PG4	PG3	PG2	PG1	PG0	
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	
P2DR	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR	
P3DR	-	-	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR	
P5DR	-	-	-	-	P53DR	P52DR	P51DR	P50DR	
P6DR	-	-	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR	
P7DR	-	-	P75DR	P74DR	P73DR	P72DR	P71DR	P70DR	
P8DR	-	-	P85DR	P84DR	P83DR	P82DR	P81DR	P80DR	
PADR	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR	
PBDR	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR	
PCDR	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR	
PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR	
PEDR	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR	
PFDR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR	
PGDR	-	PG6DR	PG5DR	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR	
PORTH					PH3	PH2	PH1	PH0	
PHDR					PH3DR	PH2DR	PH1DR	PH0DR	
PHDDR					PH3DDR	PH2DDR	PH1DDR	PH0DDR	

20. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SMR_0	C/ \bar{A} /GM ^{*2}	CHR/BLK ^{*3}	PE	O/ \bar{E}	STOP/ BCP1 ^{*4}	MP/ BCP0 ^{*5}	CKS1	CKS0	SCI_0、 スマート カード
BRR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCR_0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	インタフ
TDR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	エース0
SSR_0	TDRE	RDRF	ORER	FER/ ERS ^{*6}	PER	TEND	MPB	MPBT	
RDR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCMR_0	-	-	-	-	SDIR	SINV	-	SMIF	
SMR_1	C/ \bar{A} /GM ^{*2}	CHR/BLK ^{*3}	PE	O/ \bar{E}	STOP/ BCP1 ^{*4}	MP/ BCP0 ^{*5}	CKS1	CKS0	SCI_1、 スマート カード
BRR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCR_1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	インタフ
TDR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	エース1
SSR_1	TDRE	RDRF	ORER	FER/ ERS ^{*6}	PER	TEND	MPB	MPBT	
RDR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCMR_1	-	-	-	-	SDIR	SINV	-	SMIF	
SMR_2	C/ \bar{A} /GM ^{*2}	CHR/BLK ^{*3}	PE	O/ \bar{E}	STOP/ BCP1 ^{*4}	MP/ BCP0 ^{*5}	CKS1	CKS0	SCI_2、 スマート カード
BRR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCR_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	インタフ
TDR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	エース2
SSR_2	TDRE	RDRF	ORER	FER/ ERS ^{*6}	PER	TEND	MPB	MPBT	
RDR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
SCMR_2	-	-	-	-	SDIR	SINV	-	SMIF	
ADDRA	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	A/D
ADDRB	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADDRC	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADDRD	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADDRE	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	
ADDRF	AD9 AD1	AD8 AD0	AD7 -	AD6 -	AD5 -	AD4 -	AD3 -	AD2 -	

20. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
ADDRG	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D
	AD1	AD0	-	-	-	-	-	-	
ADDRH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADCSR	ADF	ADIE	ADST	-	CH3	CH2	CH1	CH0	
ADCR	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	-	-	
DADR0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	D/A
DADR1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DACR01	DAOE1	DAOE0	DAE	-	-	-	-	-	
DADR2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DADR3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DACR23	DAOE3	DAOE2	DAE	-	-	-	-	-	
TCR_0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_0
TCR_1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_1
TCSR_0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	
TCSR_1	CMFB	CMFA	OVF	-	OS3	OS2	OS1	OS0	
TCORA_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCORA_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCORB_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCORB_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCNT_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCNT_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCSR	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0	WDT
TCNT	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
RSTCSR	WOVF	RSTE	-	-	-	-	-	-	
TSTR	-	-	CST5	CST4	CST3	CST2	CST1	CST0	TPU
TSYR	-	-	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
FLMCR1	-	SWE	ESU	PSU	EV	PV	E	P	FLASH
FLMCR2	FLER	-	-	-	-	-	-	-	(F-ZTAT版)
EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	
EBR2	-	-	EB13	EB12	EB11	EB10	EB9	EB8	
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_0
TMDR_0	-	-	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_0	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_0	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_0	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	

20. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TCNT_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	TPU_0
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRC_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRD_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_1	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_1
TMDR_1	-	-	-	-	MD3	MD2	MD1	MD0	
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_1	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
TSR_1	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
TCNT_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_2	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_2
TMDR_2	-	-	-	-	MD3	MD2	MD1	MD0	
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_2	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
TSR_2	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
TCNT_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

【注】 *1 PCRの設定により、パルス出力グループ2とパルス出力グループ3の出力トリガが同一の場合は、NDRHのアドレスはH'FF4Cとなり、出力トリガが異なる場合は、グループ2に対応するNDRHのアドレスはH'FF4E、グループ3に対するNDRHのアドレスはH'FF4Cとなります。同様に、PCRの設定によりパルス出力グループ0とパルス出力グループ1の出力トリガが同一の場合は、NDRLのアドレスはH'FF4Dとなり、出力トリガが異なる場合は、グループ0に対するNDRLのアドレスはH'FF4F、グループ1に対するNDRLのアドレスはH'FF4Dとなります。

*2 SCIとして使う場合はC/A、スマートカードインタフェースとして使う場合はGMとして機能します。

*3 SCIとして使う場合はCHR、スマートカードインタフェースとして使う場合はBLKとして機能します。

- *4 SCI として使う場合は STOP、スマートカードインタフェースとして使う場合は BCP1 として機能します。
- *5 SCI として使う場合は MP、スマートカードインタフェースとして使う場合は BCP0 として機能します。
- *6 SCI として使う場合は FER、スマートカードインタフェースとして使う場合は ERS として機能します。
- *7 内蔵 RAM 上に配置されています。DTC がレジスタ情報としてアクセスするとき 32 ビットバス、その他のとき 16 ビットバスです。

20. レジスタ一覧

20.3 各動作モードにおけるレジスタの状態

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール	
MRA	初期化							初期化	DTC	
SAR	初期化							初期化		
MRB	初期化							初期化		
DAR	初期化							初期化		
CRA	初期化							初期化		
CRB	初期化							初期化		
SEMR	初期化				初期化	初期化	初期化	初期化	SCI_2	
IPRA	初期化							初期化	INT	
IPRB	初期化							初期化		
IPRC	初期化							初期化		
IPRD	初期化							初期化		
IPRE	初期化							初期化		
IPRF	初期化							初期化		
IPRG	初期化							初期化		
IPRH	初期化							初期化		
IPRI	初期化							初期化		
IPRJ	初期化							初期化		
IPRK	初期化							初期化		
ITSR	初期化							初期化		
SSIER	初期化							初期化		
ISCR	初期化							初期化		
IrCR_0	初期化							初期化		IrDA_0
P1DDR	初期化							初期化		PORT
P2DDR	初期化							初期化		
P3DDR	初期化							初期化		
P5DDR	初期化							初期化		
P6DDR	初期化							初期化		
P7DDR	初期化							初期化		
P8DDR	初期化							初期化		
PADDR	初期化							初期化		
PBDDR	初期化							初期化		
PCDDR	初期化							初期化		

20. レジスタ一覧

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
PDDDR	初期化							初期化	PORT
PEDDR	初期化							初期化	
PFDDR	初期化							初期化	
PGDDR	初期化							初期化	
PFCR0	初期化							初期化	
PFCR1	初期化							初期化	
PFCR2	初期化							初期化	
PAPCR	初期化							初期化	
PBPCR	初期化							初期化	
PCPCR	初期化							初期化	
PDPCR	初期化							初期化	
PEPCR	初期化							初期化	
P3ODR	初期化							初期化	
PAODR	初期化							初期化	
TCR_3	初期化							初期化	TPU_3
TMDR_3	初期化							初期化	
TIORH_3	初期化							初期化	
TIORL_3	初期化							初期化	
TIER_3	初期化							初期化	
TSR_3	初期化							初期化	
TCNT_3	初期化							初期化	
TGRA_3	初期化							初期化	
TGRB_3	初期化							初期化	
TGRC_3	初期化							初期化	
TGRD_3	初期化							初期化	
TCR_4	初期化							初期化	TPU_4
TMDR_4	初期化							初期化	
TIOR_4	初期化							初期化	
TIER_4	初期化							初期化	
TSR_4	初期化							初期化	
TCNT_4	初期化							初期化	
TGRA_4	初期化							初期化	
TGRB_4	初期化							初期化	
TCR_5	初期化							初期化	TPU_5
TMDR_5	初期化							初期化	

20. レジスタ一覧

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
TIOR_5	初期化							初期化	TPU_5
TIER_5	初期化							初期化	
TSR_5	初期化							初期化	
TCNT_5	初期化							初期化	
TGRA_5	初期化							初期化	
TGRB_5	初期化							初期化	
ABWCR	初期化							初期化	BSC
ASTCR	初期化							初期化	
WTCRAH	初期化							初期化	
WTCRAL	初期化							初期化	
WTCRBH	初期化							初期化	
WTCRBL	初期化							初期化	
RDNCR	初期化							初期化	
CSACRH	初期化							初期化	
CSACRL	初期化							初期化	
BROMCRH	初期化							初期化	
RAMER	初期化							初期化	FLASH (F-ZTAT 版)
DTCERA	初期化							初期化	DTC
DTCERB	初期化							初期化	
DTCERC	初期化							初期化	
DTCERD	初期化							初期化	
DTCERE	初期化							初期化	
DTCERF	初期化							初期化	
DTCERG	初期化							初期化	
DTVECR	初期化							初期化	
INTCR	初期化							初期化	INT
IER	初期化							初期化	
ISR	初期化							初期化	
SBYCR	初期化							初期化	SYSTEM
SCKCR	初期化							初期化	
SYSCR	初期化							初期化	
MDCR	初期化							初期化	
MSTPCRH	初期化							初期化	
MSTPCRL	初期化							初期化	

20. レジスタ一覧

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
PLLCR	初期化							初期化	SYSTEM
PCR	初期化							初期化	PPG
PMR	初期化							初期化	
NDERH	初期化							初期化	
NDERL	初期化							初期化	
PODRH	初期化							初期化	
PODRL	初期化							初期化	
NDRH	初期化							初期化	
NDRL	初期化							初期化	
NDRH	初期化							初期化	
NDRL	初期化							初期化	
PORT1									PORT
PORT2									
PORT3									
PORT4									
PORT5									
PORT6									
PORT7									
PORT8									
PORTA									
PORTB									
PORTC									
PORTD									
PORTE									
PORTF									
PORTG									
P1DR	初期化							初期化	
P2DR	初期化							初期化	
P3DR	初期化							初期化	
P5DR	初期化							初期化	
P6DR	初期化							初期化	
P7DR	初期化							初期化	
P8DR	初期化							初期化	
PADR	初期化							初期化	
PBDR	初期化							初期化	

20. レジスタ一覧

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
PCDR	初期化							初期化	PORT
PDDR	初期化							初期化	
PEDR	初期化							初期化	
PFDR	初期化							初期化	
PGDR	初期化							初期化	
PORTH									
PHDR	初期化							初期化	
PHDDR	初期化							初期化	
SMR_0	初期化				初期化	初期化	初期化	初期化	SCI_0
BRR_0	初期化				初期化	初期化	初期化	初期化	
SCR_0	初期化				初期化	初期化	初期化	初期化	
TDR_0	初期化				初期化	初期化	初期化	初期化	
SSR_0	初期化				初期化	初期化	初期化	初期化	
RDR_0	初期化				初期化	初期化	初期化	初期化	
SCMR_0	初期化				初期化	初期化	初期化	初期化	
SMR_1	初期化				初期化	初期化	初期化	初期化	
BRR_1	初期化				初期化	初期化	初期化	初期化	
SCR_1	初期化				初期化	初期化	初期化	初期化	
TDR_1	初期化				初期化	初期化	初期化	初期化	
SSR_1	初期化				初期化	初期化	初期化	初期化	
RDR_1	初期化				初期化	初期化	初期化	初期化	
SCMR_1	初期化				初期化	初期化	初期化	初期化	
SMR_2	初期化				初期化	初期化	初期化	初期化	SCI_2
BRR_2	初期化				初期化	初期化	初期化	初期化	
SCR_2	初期化				初期化	初期化	初期化	初期化	
TDR_2	初期化				初期化	初期化	初期化	初期化	
SSR_2	初期化				初期化	初期化	初期化	初期化	
RDR_2	初期化				初期化	初期化	初期化	初期化	
SCMR_2	初期化				初期化	初期化	初期化	初期化	
ADDRA	初期化							初期化	A/D
ADDRB	初期化							初期化	
ADDRC	初期化							初期化	
ADDRD	初期化							初期化	
ADDRE	初期化							初期化	
ADDRF	初期化							初期化	

20. レジスタ一覧

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
ADDRG	初期化							初期化	A/D
ADDRH	初期化							初期化	
ADCSR	初期化							初期化	
ADCR	初期化							初期化	
DADR0	初期化							初期化	D/A
DADR1	初期化							初期化	
DACR01	初期化							初期化	
DADR2	初期化							初期化	
DADR3	初期化							初期化	
DACR23	初期化							初期化	
TCR_0	初期化							初期化	TMR
TCR_1	初期化							初期化	
TCSR_0	初期化							初期化	
TCSR_1	初期化							初期化	
TCORA_0	初期化							初期化	
TCORA_1	初期化							初期化	
TCORB_0	初期化							初期化	
TCORB_1	初期化							初期化	
TCNT_0	初期化							初期化	
TCNT_1	初期化							初期化	
TCSR	初期化							初期化	WDT
TCNT	初期化							初期化	
RSTCSR	初期化								
TSTR	初期化							初期化	TPU
TSYR	初期化							初期化	
FLMCR1	初期化							初期化	FLASH
FLMCR2	初期化							初期化	(F-ZTAT 版)
EBR1	初期化							初期化	
EBR2	初期化							初期化	
TCR_0	初期化							初期化	TPU_0
TMDR_0	初期化							初期化	
TIORH_0	初期化							初期化	
TIORL_0	初期化							初期化	
TIER_0	初期化							初期化	
TSR_0	初期化							初期化	

20. レジスタ一覧

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
TCNT_0	初期化							初期化	TPU_0
TGRA_0	初期化							初期化	
TGRB_0	初期化							初期化	
TGRC_0	初期化							初期化	
TGRD_0	初期化							初期化	
TCR_1	初期化							初期化	TPU_1
TMDR_1	初期化							初期化	
TIOR_1	初期化							初期化	
TIER_1	初期化							初期化	
TSR_1	初期化							初期化	
TCNT_1	初期化							初期化	TPU_2
TGRA_1	初期化							初期化	
TGRB_1	初期化							初期化	
TCR_2	初期化							初期化	
TMDR_2	初期化							初期化	
TIOR_2	初期化							初期化	TPU_2
TIER_2	初期化							初期化	
TSR_2	初期化							初期化	
TCNT_2	初期化							初期化	
TGRA_2	初期化							初期化	
TGRB_2	初期化							初期化	

21. 電気的特性

21.1 F-ZTAT 版 (H8S/2667) の電気的特性

21.1.1 絶対最大定格

絶対最大定格を表 21.1 に示します。

表 21.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V _{cc} PLL _{Vcc}	- 0.3 ~ + 4.0	V
入力電圧 (ポート 4、P54 ~ P57 以外)	V _{in}	- 0.3 ~ V _{cc} + 0.3	V
入力電圧 (ポート 4、P54 ~ P57)	V _{in}	- 0.3 ~ AV _{cc} + 0.3	V
リファレンス電源電圧	V _{ref}	- 0.3 ~ AV _{cc} + 0.3	V
アナログ電源電圧	AV _{cc}	- 0.3 ~ + 4.0	V
アナログ入力電圧	V _{AN}	- 0.3 ~ AV _{cc} + 0.3	V
動作温度	T _{opr}	通常仕様品: - 20 ~ + 75*	
		広温度範囲仕様品: - 40 ~ + 85*	
保存温度	T _{stg}	- 55 ~ + 125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI 永久破壊となることがあります。

【注】 * フラッシュメモリの書き込み / 消去時の動作温度範囲は、

T_a = 0 ~ +75 (一般仕様)

T_a = 0 ~ +85 (広温度範囲仕様)

です。

21. 電気的特性

21.1.2 DC 特性

表 21.2 DC 特性 (1)

条件 : $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V^{*1}$

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力 電圧	ポート 1、ポート 2	VT^-	$V_{cc} \times 0.2$	-	-	V	
	P50 ~ P53 ^{*2} 、ポート 8 ^{*2} 、 PH2 ^{*2} 、PH3 ^{*2}	VT^+	-	-	$V_{cc} \times 0.7$	V	
		$VT^+ - VT^-$	$V_{cc} \times 0.07$	-	-	V	
	P54 ~ P57 ^{*2}	VT^-	$AV_{cc} \times 0.2$	-	-	V	
		VT^+	-	-	$AV_{cc} \times 0.7$	V	
		$VT^+ - VT^-$	$AV_{cc} \times 0.07$	-	-	V	
入力 High レベル電圧	\overline{STBY} 、MD2 ~ MD0	V_{IH}	$V_{cc} \times 0.9$	-	$V_{cc} + 0.3$	V	
	\overline{RES} 、NMI		$V_{cc} \times 0.9$	-	$V_{cc} + 0.3$	V	
	EXTAL		$V_{cc} \times 0.7$	-	$V_{cc} + 0.3$	V	
	ポート 3、P50 ~ P53 ^{*3} ポート 6 ~ 8 ^{*3} 、 ポート A ~ H ^{*3}		$V_{cc} \times 0.7$	-	$V_{cc} + 0.3$	V	
	ポート 4、P54 ~ P57 ^{*3}		$AV_{cc} \times 0.7$	-	$AV_{cc} + 0.3$	V	
入力 Low レベル電圧	\overline{RES} 、 \overline{STBY} 、 MD2 ~ MD0	V_{IL}	- 0.3	-	$V_{cc} \times 0.1$	V	
	NMI、EXTAL		- 0.3	-	$V_{cc} \times 0.2$	V	
	ポート 3 ~ 8、 ポート A ~ H ^{*3}		- 0.3	-	$V_{cc} \times 0.2$	V	
出力 High レベル電圧	全出力端子	V_{OH}	$V_{cc} - 0.5$	-	-	V	$I_{OH} = -200 \mu A$
			$V_{cc} - 1.0$	-	-	V	$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子	V_{OL}	-	-	0.4	V	$I_{OL} = 1.6mA$
入力リーク 電流	\overline{RES}	$ I_{in} $	-	-	10.0	μA	$V_{in} = 0.5 \sim V_{cc} - 0.5V$
	\overline{STBY} 、NMI、 MD2 ~ MD0		-	-	1.0	μA	
	ポート 4、P54 ~ P57		-	-	1.0	μA	$V_{in} = 0.5 \sim AV_{cc} - 0.5V$

【注】 *1 A/D および D/A 変換器未使用時に AV_{cc} 、 V_{ref} 、 AV_{ss} 端子を開放しないでください。

AV_{cc} 、 V_{ref} 端子は V_{cc} に、 AV_{ss} 端子は V_{ss} にそれぞれ接続してください。

*2 $\overline{IRQ0} \sim \overline{IRQ7}$ として使用した場合です。

*3 $\overline{IRQ0} \sim \overline{IRQ7}$ 以外として使用した場合です。

表 21.3 DC 特性 (2)

条件 : $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V^{*1}$ $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
スリーステートリーク電流 (オフ状態)	ポート 1~3、 P50~P53 ポート 6~8、 ポート A~H	$ I_{TSL} $	-	-	1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート A~E	$-I_p$	10	-	300	μA	$V_{cc} = 3.0 \sim 3.6V$ $V_{in} = 0V$
入力容量	RES	C_{in}	-	-	30	pF	$V_{in} = 0V$
	NMI		-	-	30	pF	$f = 1MHz$
	RES、NMI 以外の全入力端子		-	-	15	pF	$T_a = 25$
消費電流 ^{*2}	通常動作時	I_{cc}^{*4}	-	80 (3.3V)	150	mA	$f = 33MHz$
	スリープ時		-	70 (3.3V)	125	mA	$f = 33MHz$
	スタンバイ時 ^{*3}		-	0.01	10	μA	$T_a = 50$
			-	-	80	μA	$50 < T_a$
全モジュールクロックストップ時 ^{*5}	-	-	50 (3.3V)	125	mA	$f = 33MHz$	
	-	-	-	-	-	-	-
アナログ電源電流	A/D、D/A 変換中	I_{lcc}	-	0.2 (3.0V)	2.0	mA	
	A/D、D/A 変換待機時		-	0.01	5.0	μA	
リファレンス電源電流	A/D、D/A 変換中	I_{lcc}	-	1.4 (3.0V)	4.0	mA	
	A/D、D/A 変換待機時		-	0.01	5.0	μA	
RAM スタンバイ電圧		V_{RAM}	2.0	-	-	V	

【注】 *1 A/D および D/A 変換器未使用時に AV_{cc} 、 V_{ref} 、 AV_{ss} 端子を開放しないでください。 AV_{cc} 、 V_{ref} 端子は V_{cc} に、 AV_{ss} 端子は V_{ss} にそれぞれ接続してください。*2 消費電流値は、 $V_{IH, min} = V_{cc} - 0.5V$ 、 $V_{IL, max} = 0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。*3 V_{RAM} $V_{cc} < 3.0V$ のとき、 $V_{IH, min} = V_{cc} \times 0.9$ 、 $V_{IL, max} = 0.3V$ とした場合の値です。*4 I_{cc} は下記の式に従って V_{cc} と f に依存します。 $I_{cc, max} = 1.0 (mA) + 1.2 (mA / (MHz \times V)) \times V_{cc} \times f$ (通常動作時) $I_{cc, max} = 1.0 (mA) + 1.0 (mA / (MHz \times V)) \times V_{cc} \times f$ (スリープ時)

*5 参照値です。

21. 電気的特性

表 21.4 出力許容電流値

条件 : $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V^{*1}$

$T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	全出力端子	I_{OL}	-	-	2.0	mA
出力 Low レベル許容電流 (総和)	全出力端子の総和	I_{OL}	-	-	80	mA
出力 High レベル許容量 (1 端子あたり)	全出力端子	$-I_{OH}$	-	-	2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$	-	-	40	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 21.4 の値を超えないようにしてください。

*1 A/D および D/A 変換器未使用時に AV_{cc} 、 V_{ref} 、 AV_{ss} 端子を開放しないでください。

AV_{cc} 、 V_{ref} 端子は V_{cc} に、 AV_{ss} 端子は V_{ss} にそれぞれ接続してください。

21.1.3 AC 特性

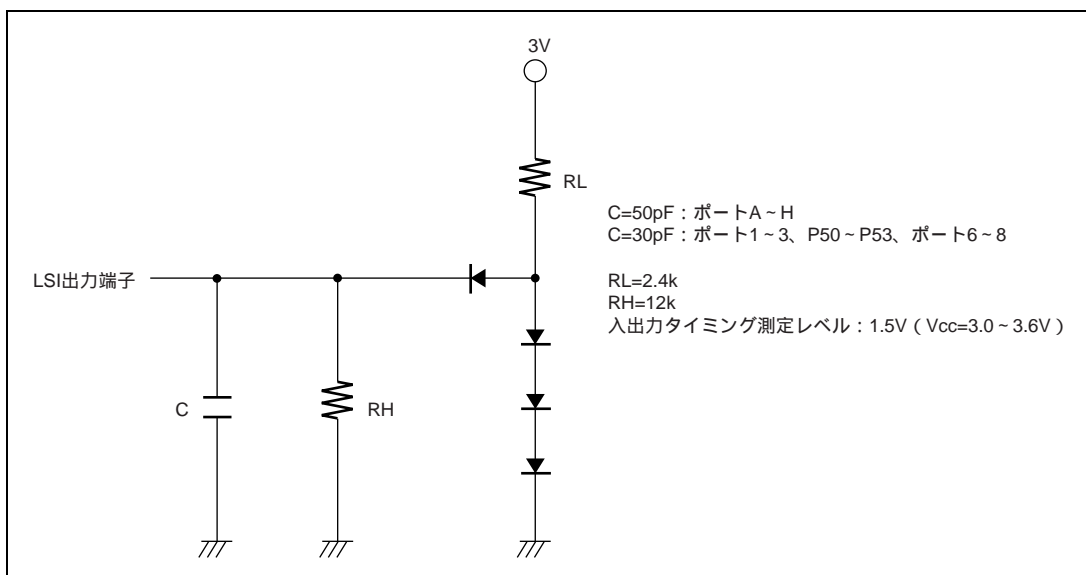


図 21.1 出力負荷回路

(1) クロックタイミング

表 21.5 クロックタイミング

条件 : $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$ = 8 ~ 33MHz、 $T_a = 20 \sim +75$ (通常仕様品) $T_a = 40 \sim +85$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
クロックサイクル時間	t_{cyc}	30.3	125	ns	図 21.2
クロックハイレベルパルス幅	t_{CH}	10	-	ns	図 21.2
クロックローレベルパルス幅	t_{CL}	10	-	ns	
クロック立ち上がり時間	t_{Cr}	-	5	ns	
クロック立ち下がり時間	t_{Cf}	-	5	ns	
リセット発振安定時間 (水晶)	t_{OSC1}	10	-	ms	図 21.3 (1)
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	10	-	ms	図 21.3 (2)
外部クロック出力遅延安定時間	t_{DEXT}	500	-	μs	図 21.3 (1)

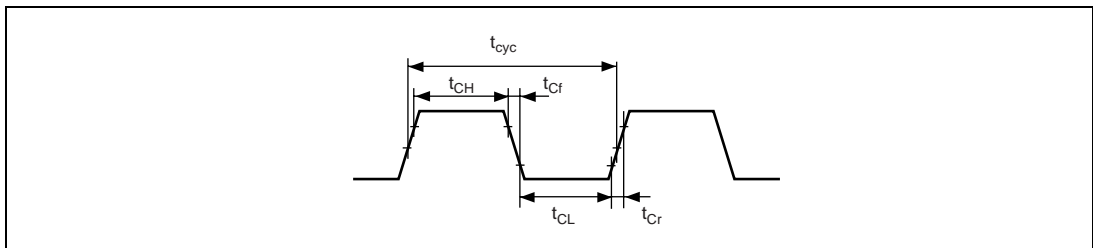


図 21.2 システムクロックタイミング

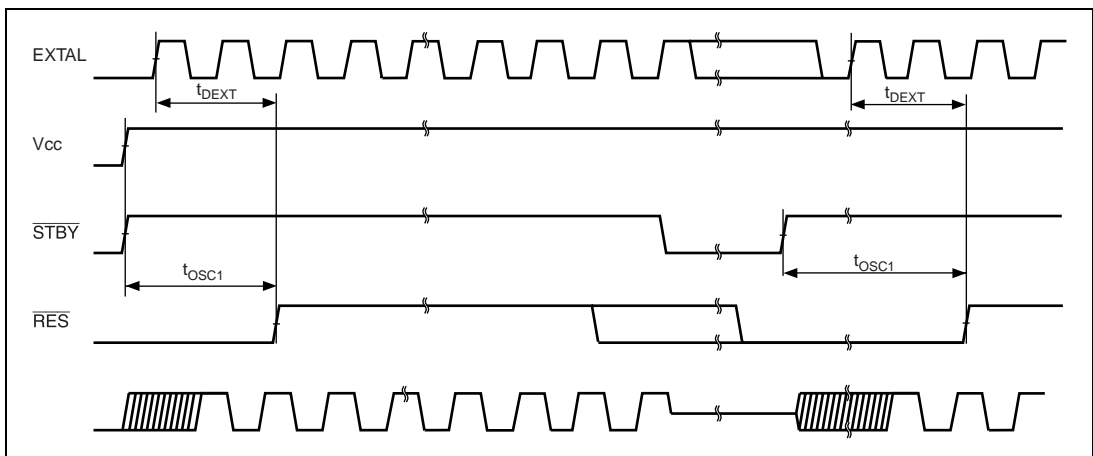


図 21.3 (1) 発振安定時間タイミング

21. 電気的特性

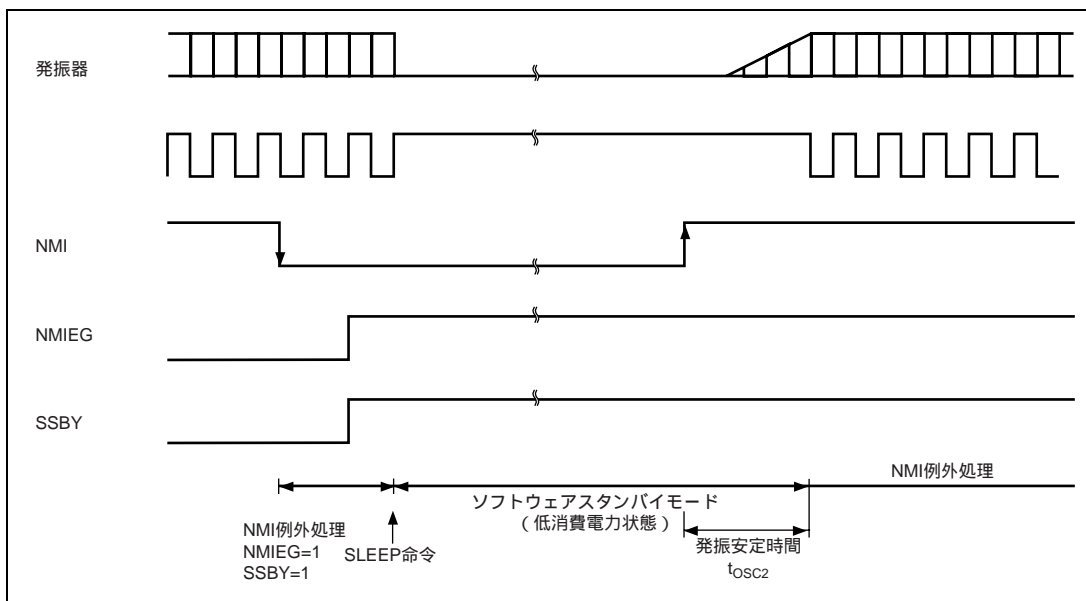


図 21.3 (2) 発振安定時間タイミング

(2) 制御信号タイミング

表 21.6 制御信号タイミング

条件 : $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$

$= 8 \sim 33MHz$ 、 $T_a = 20 \sim +75$ (通常仕様品)

$T_a = 40 \sim +85$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
RES セットアップ時間	t_{RESS}	200	-	ns	図 21.4
RES パルス幅	t_{RESW}	20	-	t_{cyc}	
NMI セットアップ時間	t_{NMIS}	150	-	ns	図 21.5
NMI ホールド時間	t_{NMIH}	10	-		
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200	-		
\overline{IRQ} セットアップ時間	t_{IRQS}	150	-	ns	
\overline{IRQ} ホールド時間	t_{IRQH}	10	-		
\overline{IRQ} パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{IRQW}	200	-		

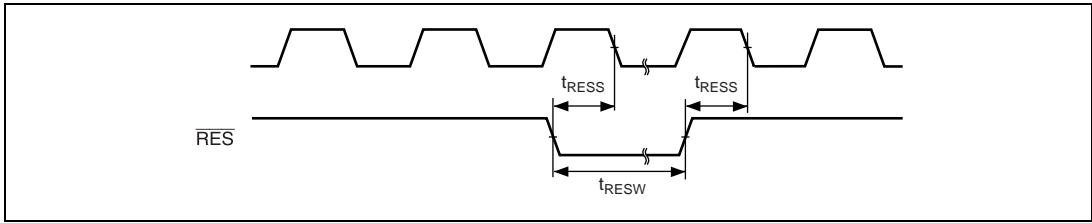


図 21.4 リセット入力タイミング

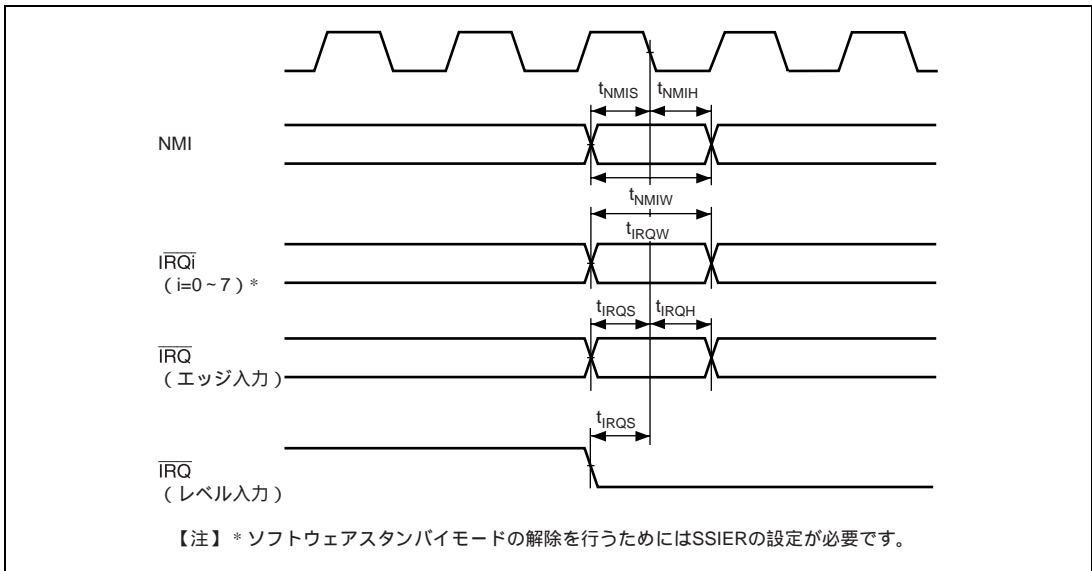


図 21.5 割り込み入力タイミング

21. 電気的特性

(3) バスタイミング

表 21.7 バスタイミング (1)

条件 : $V_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $V_{ref} = 3.0V \sim AV_{cc}$, $V_{ss} = AV_{ss} = 0V$

= 8 ~ 33MHz, $T_a = 20 \sim +75$ (通常仕様品)

$T_a = 40 \sim +85$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	-	20	ns	図 21.6
アドレスセットアップ時間 1	t_{AS1}	$0.5 \times t_{cyc} - 13$	-	ns	~ 図 21.10
アドレスセットアップ時間 2	t_{AS2}	$1.0 \times t_{cyc} - 13$	-	ns	
アドレスセットアップ時間 3	t_{AS3}	$1.5 \times t_{cyc} - 13$	-	ns	
アドレスセットアップ時間 4	t_{AS4}	$2.0 \times t_{cyc} - 13$	-	ns	
アドレスホールド時間 1	t_{AH1}	$0.5 \times t_{cyc} - 8$	-	ns	
アドレスホールド時間 2	t_{AH2}	$1.0 \times t_{cyc} - 8$	-	ns	
アドレスホールド時間 3	t_{AH3}	$1.5 \times t_{cyc} - 8$	-	ns	
CS 遅延時間 1	t_{CSD1}	-	15	ns	
AS 遅延時間	t_{ASD}	-	15	ns	
RD 遅延時間 1	t_{RSD1}	-	15	ns	
RD 遅延時間 2	t_{RSD2}	-	15	ns	
リードデータセットアップ時間 1	t_{RDS1}	15	-	ns	
リードデータセットアップ時間 2	t_{RDS2}	15	-	ns	
リードデータホールド時間 1	t_{RDH1}	0	-	ns	
リードデータホールド時間 2	t_{RDH2}	0	-	ns	
リードデータアクセス時間 2	t_{AC2}	-	$1.5 \times t_{cyc} - 20$	ns	
リードデータアクセス時間 4	t_{AC4}	-	$2.5 \times t_{cyc} - 20$	ns	
リードデータアクセス時間 5	t_{AC5}	-	$1.0 \times t_{cyc} - 20$	ns	
リードデータアクセス時間 6	t_{AC6}	-	$2.0 \times t_{cyc} - 20$	ns	
対アドレスリードデータアクセス時間 2	t_{AA2}	-	$1.5 \times t_{cyc} - 20$	ns	
対アドレスリードデータアクセス時間 3	t_{AA3}	-	$2.0 \times t_{cyc} - 20$	ns	
対アドレスリードデータアクセス時間 4	t_{AA4}	-	$2.5 \times t_{cyc} - 20$	ns	
対アドレスリードデータアクセス時間 5	t_{AA5}	-	$3.0 \times t_{cyc} - 20$	ns	

表 21.8 バスタイミング (2)

条件 : $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$ = 8 ~ 33MHz、 $T_a = 20 \sim +75$ (通常仕様品) $T_a = 40 \sim +85$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
WR 遅延時間 1	t_{WRD1}	-	15	ns	図 21.6 ~ 図 21.10
WR 遅延時間 2	t_{WRD2}	-	15	ns	
WR パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 13$	-	ns	
WR パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 13$	-	ns	
ライトデータ遅延時間	t_{WDD}	-	20	ns	
ライトデータセットアップ時間 1	t_{WDS1}	$0.5 \times t_{cyc} - 13$	-	ns	
ライトデータセットアップ時間 2	t_{WDS2}	$1.0 \times t_{cyc} - 13$	-	ns	
ライトデータセットアップ時間 3	t_{WDS3}	$1.5 \times t_{cyc} - 13$	-	ns	
ライトデータホールド時間 1	t_{WDH1}	$0.5 \times t_{cyc} - 8$	-	ns	
ライトデータホールド時間 3	t_{WDH3}	$1.5 \times t_{cyc} - 8$	-	ns	
WAIT セットアップ時間	t_{WTS}	25	-	ns	
WAIT ホールド時間	t_{WTH}	5	-	ns	
BREQ セットアップ時間	t_{BREQS}	30	-	ns	図 21.11
BACK 遅延時間	t_{BACD}	-	15	ns	
バスフローティング時間	t_{BZD}	-	40	ns	
BREQO 遅延時間	t_{BROOD}	-	25	ns	図 21.12

21. 電気的特性

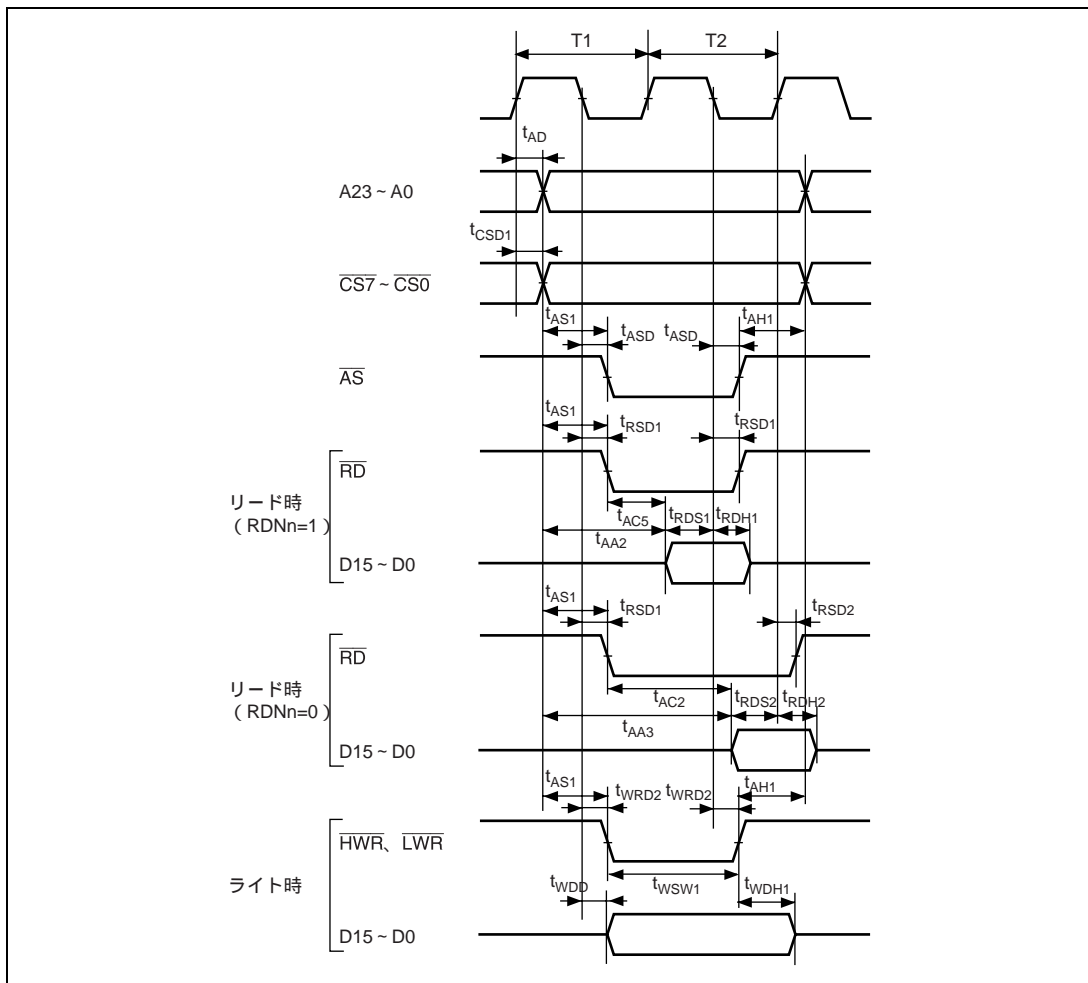


図 21.6 基本バスタイミング / 2 ステートアクセス

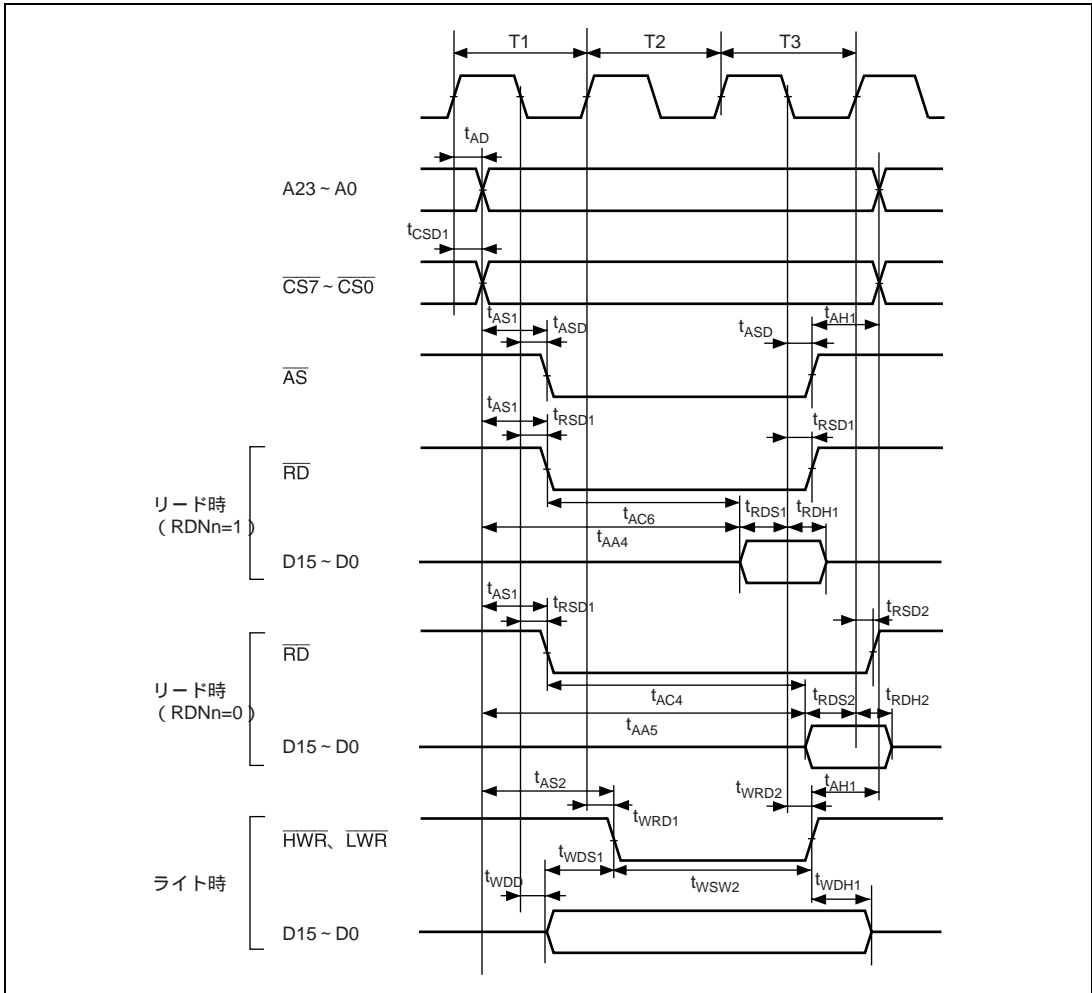


図 21.7 基本バスタイミング / 3 ステートアクセス

21. 電気的特性

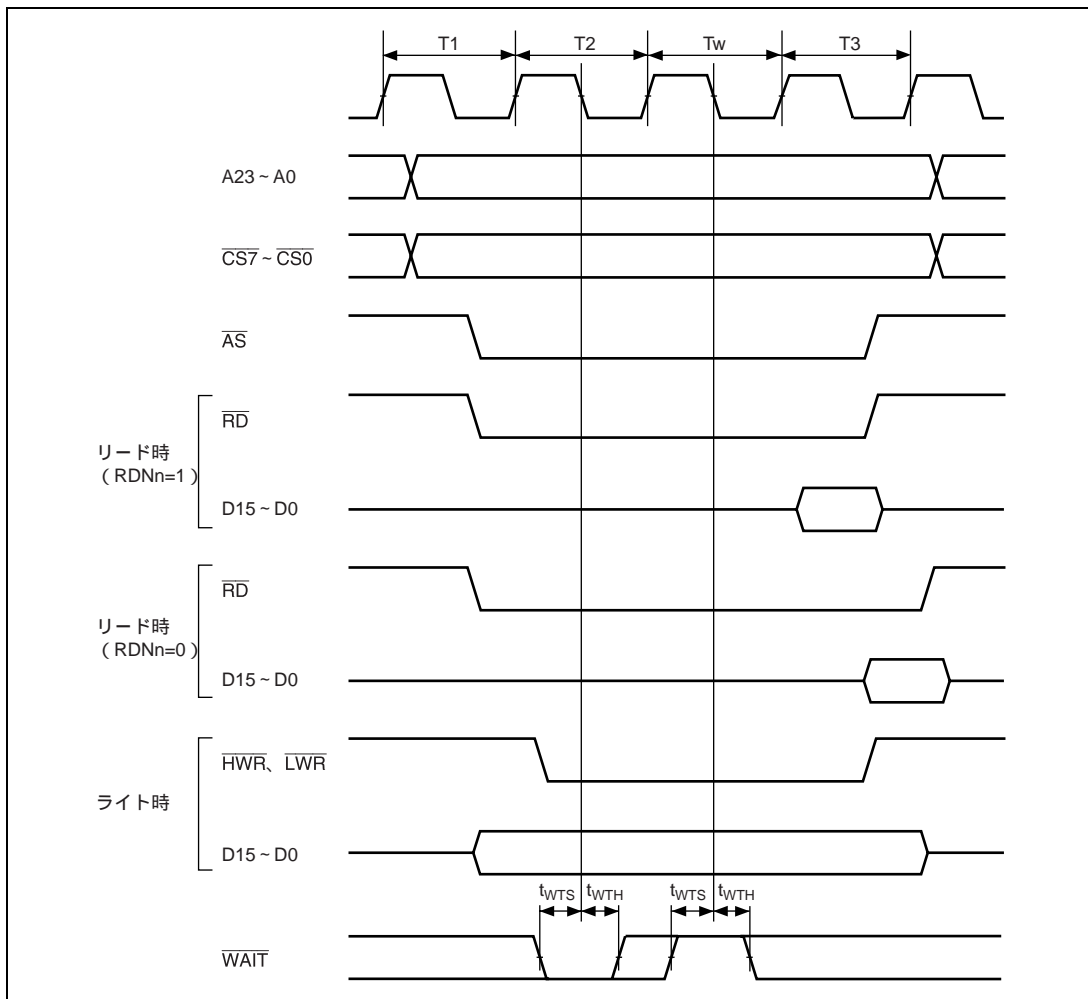


図 21.8 基本バスタイミング / 3 ステートアクセス 1 ウェイト

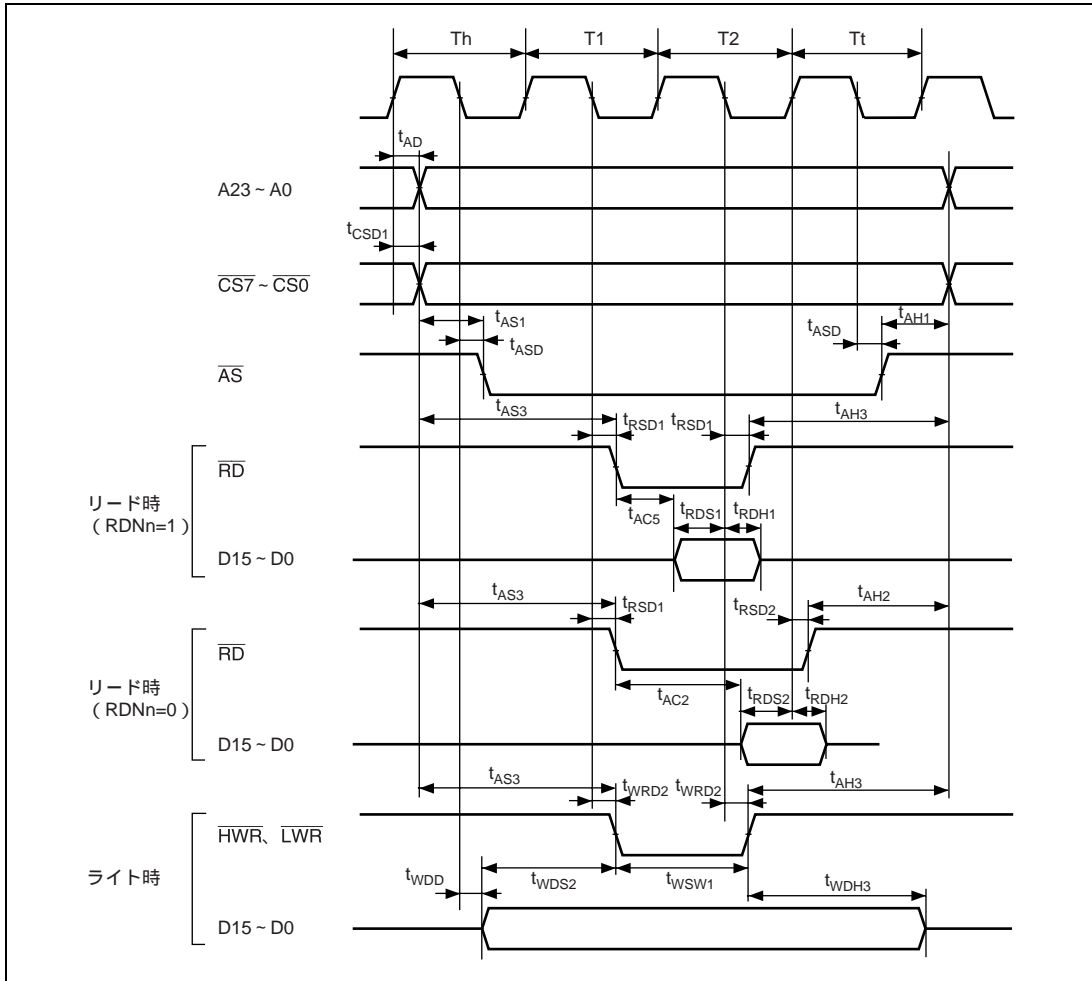


図 21.9 基本バスタイミング / 2 ステートアクセス
(CS アサート期間延長)

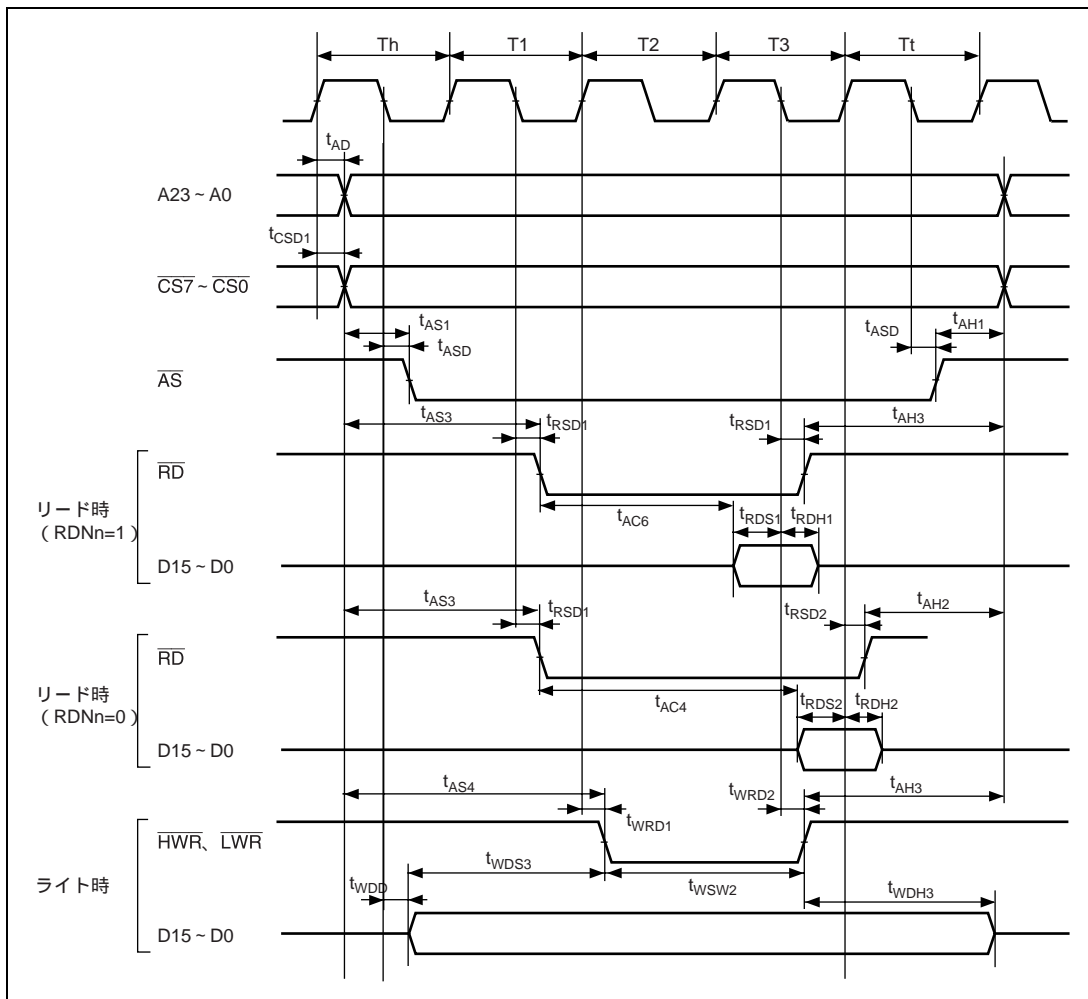


図 21.10 基本バスタイミング / 3 ステートアクセス
(CS アサート期間延長)

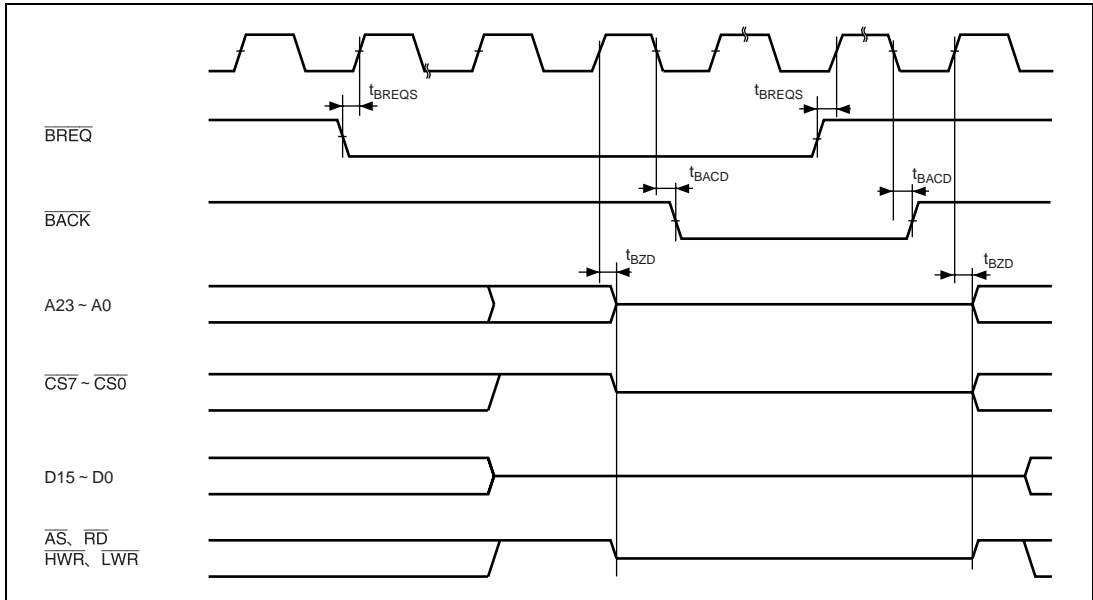


図 21.11 外部バス権開放タイミング

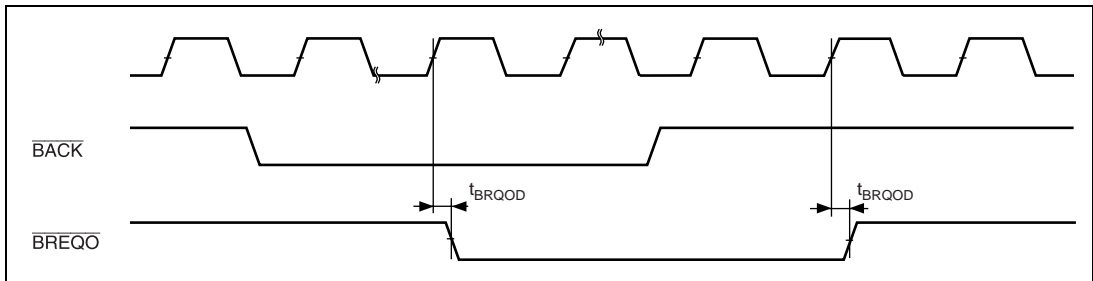


図 21.12 外部バス権要求出力タイミング

21. 電気的特性

(4) 内蔵周辺モジュール

表 21.9 内蔵周辺モジュールタイミング

条件 : $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$

= 8 ~ 33MHz、 $T_a = 20 \sim +75$ (通常仕様品)

$T_a = 40 \sim +85$ (広温度範囲仕様品)

項目		記号	min	max	単位	測定条件	
I/O ポート	出力データ遅延時間	t_{PVD}	-	40	ns	図 21.13	
	入力データセットアップ時間	t_{PRS}	25	-	ns		
	入力データホールド時間	t_{PRH}	25	-	ns		
PPG	パルス出力遅延時間	t_{POD}	-	40	ns	図 21.14	
TPU	タイマ出力遅延時間	t_{TOCD}	-	40	ns	図 21.15	
	タイマ入力セットアップ時間	t_{TICS}	25	-	ns		
	タイマクロック入力セットアップ時間	t_{TCKS}	25	-	ns	図 21.16	
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH}	1.5	-		t_{cyc}
両エッジ指定		t_{TCKWL}	2.5	-	t_{cyc}		
8ビット タイマ	タイマ出力遅延時間	t_{TMOD}	-	40	ns	図 21.17	
	タイマリセット入力セットアップ時間	t_{TMRS}	25	-	ns	図 21.19	
	タイマクロック入力セットアップ時間	t_{TMCS}	25	-	ns	図 21.18	
	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5	-		t_{cyc}
両エッジ指定		t_{TMCWL}	2.5	-	t_{cyc}		
WDT	オーバフロー出力遅延時間	t_{WOVD}	-	40	ns	図 21.20	
SCI	入力クロックサイクル	調歩同期	t_{SOYC}	4	-	t_{cyc}	図 21.21
		クロック同期		6	-		
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{SOYC}		
	入力クロック立ち上がり時間	t_{SCKr}	-	1.5	t_{cyc}		
	入力クロック立ち下がり時間	t_{SCKf}	-	1.5			
	送信データ遅延時間	t_{TXD}	-	40	ns	図 21.22	
	受信データセットアップ時間 (クロック同期)	t_{RXS}	40	-	ns		
受信データホールド時間 (クロック同期)	t_{RXH}	40	-	ns			
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	30	-	ns	図 21.23	

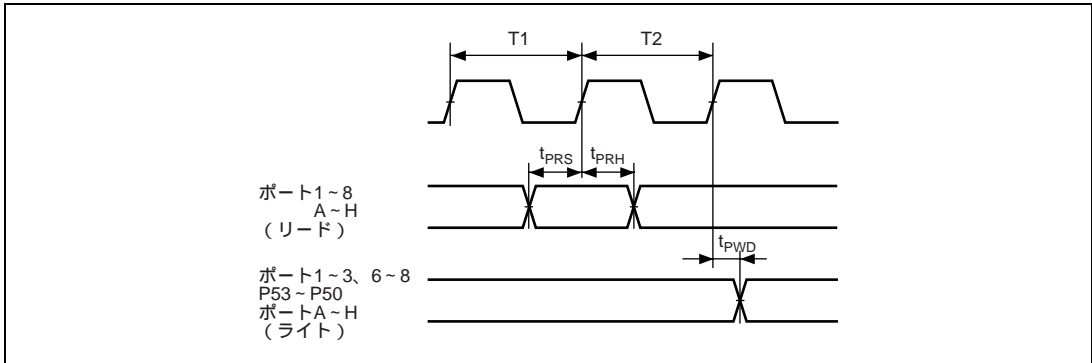


図 21.13 I/O ポート入出力タイミング

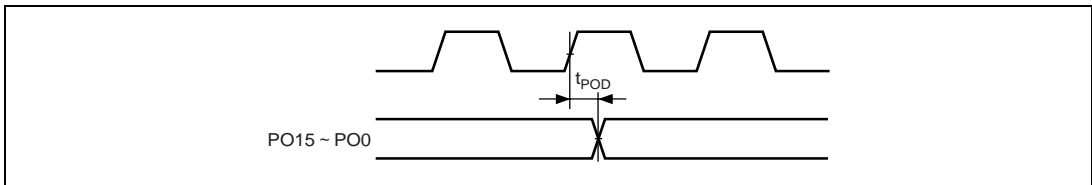


図 21.14 PPG 出力タイミング

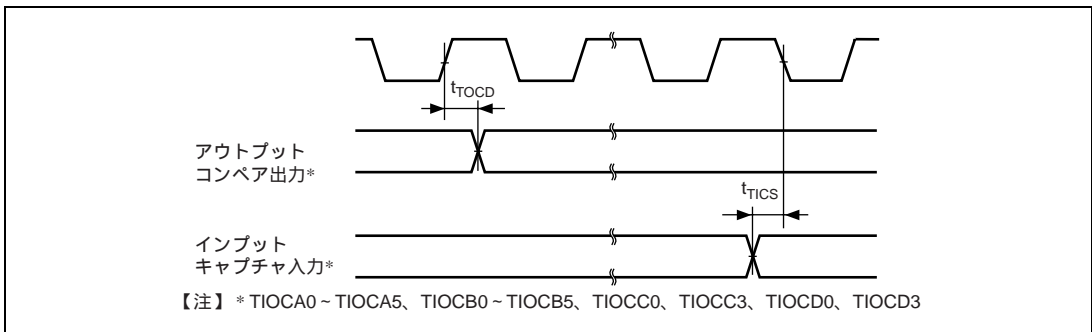


図 21.15 TPU 入出力タイミング

21. 電気的特性

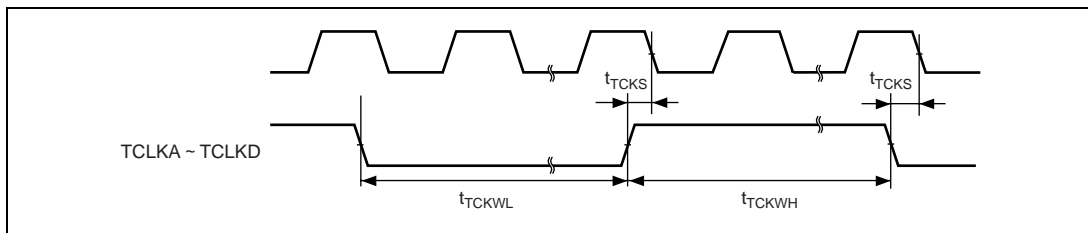


図 21.16 TPU クロック入力タイミング

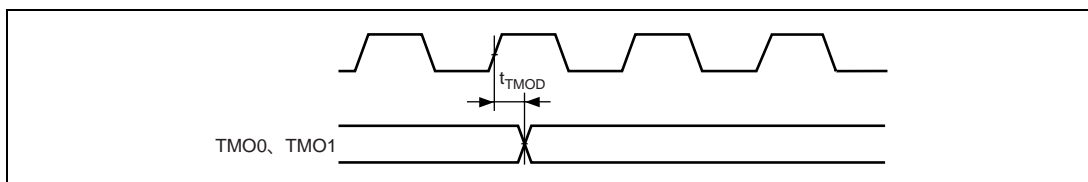


図 21.17 8ビットタイマ出力タイミング

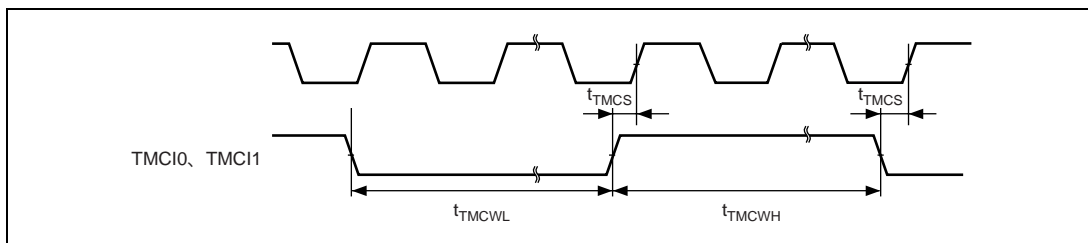


図 21.18 8ビットタイマクロック入力タイミング

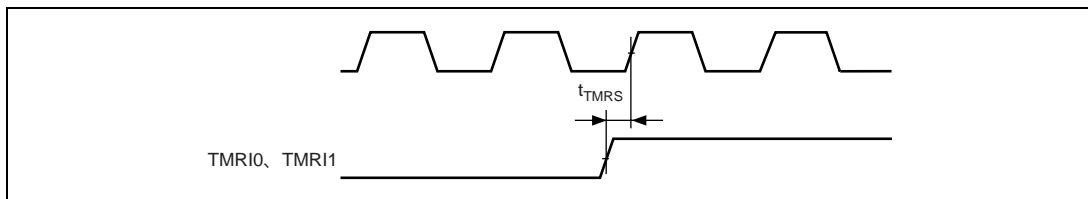


図 21.19 8ビットタイマリセット入力タイミング

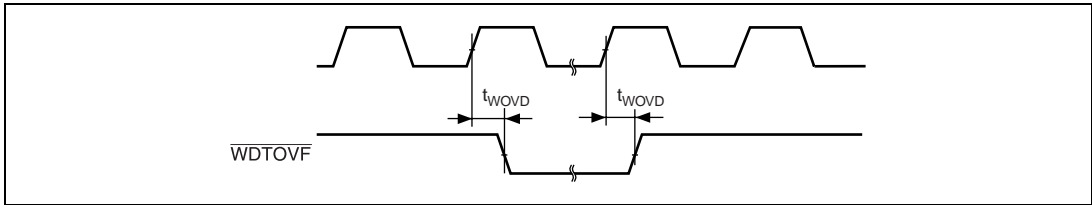


図 21.20 WDT 出力タイミング

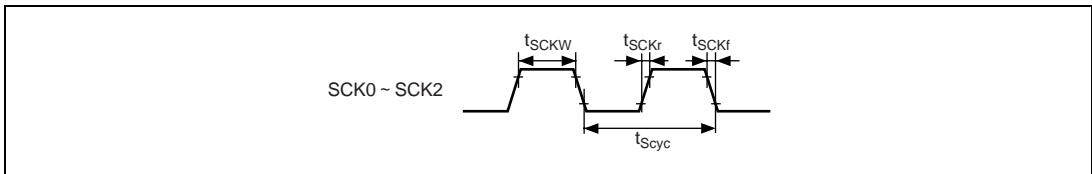


図 21.21 SCK クロック入力タイミング

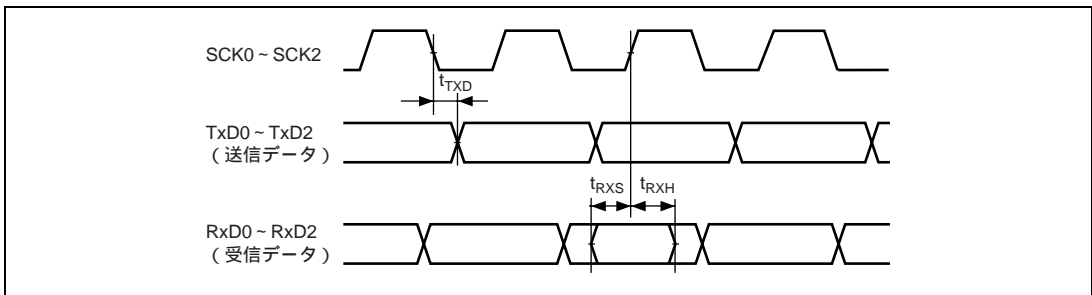


図 21.22 SCI 入出力タイミング / クロック同期式モード

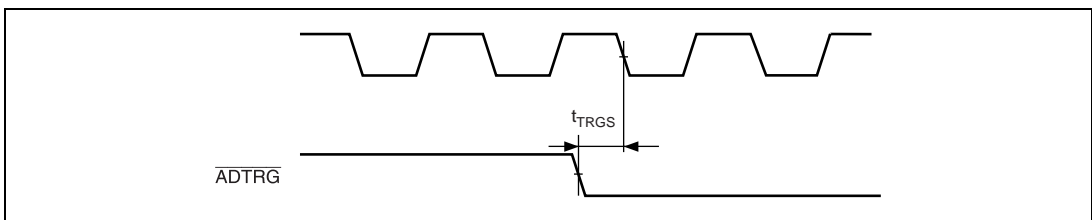


図 21.23 A/D 変換器外部トリガ入力タイミング

21. 電気的特性

21.1.4 A/D 変換特性

表 21.10 A/D 変換特性

条件 : $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$
= 8 ~ 33MHz、 $T_a = 20 \sim +75$ (通常仕様品)
 $T_a = 40 \sim +85$ (広温度範囲仕様品)

項目	min	typ	max	単位
分解能	10	10	10	ビット
変換時間	-	-	8.1	μs
アナログ入力容量	-	-	20	pF
許容信号源インピーダンス	-	-	5	K
非直線性誤差	-	-	± 7.5	LSB
オフセット誤差	-	-	± 7.5	LSB
フルスケール誤差	-	-	± 7.5	LSB
量子化誤差	-	± 0.5	-	LSB
絶対精度	-	-	± 8.0	LSB

21.1.5 D/A 変換特性

表 21.11 D/A 変換特性

条件 : $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$
= 8 ~ 33MHz、 $T_a = 20 \sim +75$ (通常仕様品)
 $T_a = 40 \sim +85$ (広温度範囲仕様品)

項目	min	typ	max	単位	測定条件
分解能	8	8	8	ビット	
変換時間	-	-	10	μs	負荷容量 20pF
絶対精度	-	± 2.0	± 3.0	LSB	負荷抵抗 2M
	-	-	± 2.0	LSB	負荷抵抗 4M

21.1.6 フラッシュメモリ特性

表 21.12 フラッシュメモリ特性

条件 : $V_{cc} = 3.0 \sim 3.6V$, $AV_{cc} = 3.0 \sim 3.6V$, $V_{ref} = 3.0V \sim AV_{cc}$, $V_{ss} = AV_{ss} = 0V$ $T_a = 0 \sim 75$ (書き込み / 消去時の動作温度範囲 : 通常仕様品) $T_a = 0 \sim 85$ (書き込み / 消去時の動作温度範囲 : 広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件	
書き込み時間 ^{*1*} ^{*2*} ^{*4}		t_p	-	10	200	ms/128 バイト		
消去時間 ^{*1*} ^{*3*} ^{*6}		t_e	-	50	1000	ms/128 バイト		
書き換え回数		NWEC	-	-	100	回		
書き込み時	SWE ビットセット後のウェイト時間 ^{*1}	x	1	-	-	μs		
	PSU ビットセット後のウェイト時間 ^{*1}	y	50	-	-	μs		
	P ビットセット後のウェイト時間 ^{*1*} ^{*4}	z	z1	-	-	30	μs	1 n 6
			z2	-	-	200	μs	7 n 1000
			z3			10	μs	追加書き込み ウェイト
	P ビットクリア後のウェイト時間 ^{*1}		5	-	-	μs		
	PSU ビットクリア後のウェイト時間 ^{*1}		5	-	-	μs		
	PV ビットセット後のウェイト時間 ^{*1}		4	-	-	μs		
	H'FF ダミーライト後のウェイト時間 ^{*1}		2	-	-	μs		
	PV ビットクリア後のウェイト時間 ^{*1}		2	-	-	μs		
SWE ビットクリア後のウェイト時間 ^{*1}		100	-	-	μs			
最大書き込み回数 ^{*1*} ^{*4}		N	-	-	1000 ^{*5}	回		
消去時	SWE ビットセット後のウェイト時間 ^{*1}	x	1	-	-	μs		
	ESU ビットセット後のウェイト時間 ^{*1}	y	100	-	-	μs		
	E ビットセット後のウェイト時間 ^{*1*} ^{*3*} ^{*6}	z	-	-	10	μs	消去時間 ウェイト	
	E ビットクリア後のウェイト時間 ^{*1}		10	-	-	μs		
	ESU ビットクリア後のウェイト時間 ^{*1}		10	-	-	μs		
	EV ビットセット後のウェイト時間 ^{*1}		20	-	-	μs		
	H'FF ダミーライト後のウェイト時間 ^{*1}		2	-	-	μs		
	EV ビットクリア後のウェイト時間 ^{*1}		4	-	-	μs		
	SWE ビットクリア後のウェイト時間 ^{*1}		100	-	-	μs		
	最大消去回数 ^{*1*} ^{*6}		N	-	-	100	回	

【注】 *1 各時間の設定は、書き込み / 消去のアルゴリズムに従い、行ってください。

*2 128 バイトあたりの書き込み時間 (フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P ビットをセットしているトータル期間を示します。書き込みベリファイ時間は含まれません。)

*3 1 ブロックを消去する時間 (FLMCR1 の E ビットをセットしている期間を示します。消去ベリファイ時間は含まれません。)

21. 電気的特性

- *4 書き込み時間の最大値

$$t_p(\max) = \sum_{i=1}^N \text{Pビットセット後のウェイト時間}(z)$$

- *5 最大書き込み回数 (N) は、実際の (z) の設定に合わせ、書き込み時間の最大値 ($t_p(\max)$) 以下となるように設定してください。

また、P ビットセット後のウェイト時間 (z) は、下記のように書き込み回数 (n) の値によって切り替えてください。

書き込み回数 n	1	n	6	z = 30 μ s
	7	n	1000	z = 200 μ s

[追加書き込み時] 書き込み回数 n 1 n 6 z = 10 μ s

- *6 消去時間の最大値 ($t_e(\max)$) に対して、E ビットセット後のウェイト時間 (z) と最大消去回数 (N) は以下の関係にあります。

$$t_e(\max) = E \text{ ビットセット後にウェイト時間}(z) \times \text{最大消去回数}(N)$$

付録

A. 各処理状態におけるポートの状態

ポート名 端子名	MCU 動作 モード*1	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
ポート 1	1~7	T	T	keep	keep	入出力ポート
ポート 2	1~7	T	T	keep	keep	入出力ポート
ポート 3	1~7	T	T	keep	keep	入出力ポート
P47/DA1	1~7	T	T	[DAOE1 = 1] keep [DAOE1 = 0] T	keep	入力ポート
P46/DA0	1~7	T	T	[DAOE0 = 1] keep [DAOE0 = 0] T	keep	入力ポート
P45 ~ P40	1~7	T	T	T	T	入力ポート
P57/DA3	1~7	T	T	[DAOE3 = 1] keep [DAOE3 = 0] T	keep	入力ポート
P56/DA2	1~7	T	T	[DAOE2 = 1] keep [DAOE2 = 0] T	keep	入力ポート
P55、P54	1~7	T	T	T	T	入力ポート
P53 ~ P50	1~7	T	T	keep	keep	入出力ポート
ポート 6	1~7	T	T	keep	keep	入出力ポート
ポート 7	1~7	T	T	keep	keep	入出力ポート
ポート 8	1~7	T	T	keep	keep	入出力ポート

付録

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PA7/A23 PA6/A22 PA5/A21	1~7	T	T	[アドレス出力時、 OPE = 0] T [アドレス出力時、 OPE = 1] keep [上記以外] keep	[アドレス出力時] T [上記以外] keep	[アドレス出力時] A23 ~ A21 [上記以外] 入出力ポート
PA4/A20 PA3/A19 PA2/A18 PA1/A17 PA0/A16	1、2、5、6	L	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力 A20 ~ A16
	3、4、7	T	T	[アドレス出力時、 OPE = 0] T [アドレス出力時、 OPE = 1] keep [上記以外] keep	[アドレス出力時] T [上記以外] keep	[アドレス出力時] A20 ~ A16 [上記以外] 入出力ポート
ポート B	1、2、5、6	L	T	[OPE = 0] T [OPE = 1] keep	T	アドレス出力 A15 ~ A8
	4	T	T	[アドレス出力時、 OPE = 0] T [アドレス出力時、 OPE = 1] keep [上記以外] keep	[アドレス出力時] T [上記以外] keep	[アドレス出力時] A15 ~ A8 [上記以外] 入出力ポート

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
ポート B	3、7	T	T	[アドレス出力時、 OPE = 0] T [アドレス出力時、 OPE = 1] keep [上記以外] keep	[アドレス出力時] T [上記以外] keep	[アドレス出力時] A15 ~ A8 [上記以外] 入出力ポート
ポート C	1、2、5、6	L	T	[OPE = 0] T [OPE = 1] Keep	T	アドレス出力 A7 ~ A0
	4	T	T	[アドレス出力時、 OPE = 0] T [アドレス出力時、 OPE = 1] keep [上記以外] keep	[アドレス出力時] T [上記以外] keep	[アドレス出力時] A7 ~ A0 [上記以外] 入出力ポート
	3、7	T	T	[アドレス出力時、 OPE = 0] T [アドレス出力時、 OPE = 1] keep [上記以外] keep	[アドレス出力時] T [上記以外] keep	[アドレス出力時] A7 ~ A0 [上記以外] 入出力ポート
ポート D	1、2、4~6	T	T	T	T	D15 ~ D8
	3、7	T	T	[データバス] T [上記以外] keep	[データバス] T [上記以外] keep	[データバス] D15 ~ D8 [上記以外] 入出力ポート

付録

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード	
ポート E	1、 2、 4 ~ 6	8 ビット バス	T	T	Keep	Keep	入出力ポート
		16 ビット バス	T	T	T	T	D7 ~ D0
	3、 7	8 ビット バス	T	T	Keep	Keep	入出力ポート
		16 ビット バス	T	T	[データバス] T [上記以外] keep	[データバス] T [上記以外] keep	[データバス] D7 ~ D0 [上記以外] 入出力ポート
PF7 /	1、2、4 ~ 6	クロック 出力	T	[クロック出力時] H [上記以外] keep	[クロック出力時] クロック出力 [上記以外] keep	[クロック出力時] クロック出力 [上記以外] 入力ポート	
	3、7	T					
PF6/AS	1、2、4 ~ 6	H	T	[AS 出力時、 OPE = 0] T [AS 出力時、 OPE = 1] H [上記以外] keep	[AS 出力時] T [上記以外] keep	[AS 出力時] AS [上記以外] 入出力ポート	
	3、7	T					
PF5/RD PF4/HWR	1、2、4 ~ 6	H	T	[OPE = 0] T [OPE = 1] H	T	RD、HWR	
	3、7	T		[RD、HWR 出力時、 OPE = 0] T [RD、HWR 出力時、 OPE = 1] H [上記以外] keep	[RD、HWR 出力時] T [上記以外] keep	[RD、HWR 出力時] RD、HWR [上記以外] 入出力ポート	

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PF3/LWR	1、2、4～6	H	T	[LWR 出力時、 OPE = 0] T	[LWR 出力時] T	[LWR 出力時] $\overline{\text{LWR}}$
	3、7	T		[$\overline{\text{LWR}}$ 出力時、 OPE = 1] H [上記以外] keep	[上記以外] keep	[上記以外] 入力ポート
PF2	1～7	T	T	keep	Keep	入力ポート
PF1	1～7	T	T	keep	keep	入力ポート
PF0/WAIT	1～7	T	T	[WAIT 入力時] T [上記以外] keep	[WAIT 入力時] T [上記以外] keep	[WAIT 入力時] $\overline{\text{WAIT}}$ [上記以外] 入力ポート
PG6/ BREQ	1～7	T	T	[BREQ 入力時] T [上記以外] keep	[BREQ 入力時] BREQ	[BREQ 入力時] BREQ [上記以外] 入力ポート
PG5/ BACK	1～7	T	T	[BACK 出力時] T [上記以外] keep	$\overline{\text{BACK}}$	[BACK 出力時] $\overline{\text{BACK}}$ [上記以外] 入力ポート
PG4/ $\overline{\text{BREQO}}$	1～7	T	T	[$\overline{\text{BREQO}}$ 出力時] T [上記以外] keep	[$\overline{\text{BREQO}}$ 出力時] $\overline{\text{BREQO}}$ [上記以外] keep	[$\overline{\text{BREQO}}$ 出力時] $\overline{\text{BREQO}}$ [上記以外] 入力ポート
PG3/CS3 PG2/CS2 PG1/CS1	1～7	T	T	[CS 出力時、OPE = 0] T [$\overline{\text{CS}}$ 出力時、OPE = 1] H [上記以外] keep	[CS 出力時] T [上記以外] keep	[CS 出力時] CS [上記以外] 入力ポート

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PG0/CS0	1、2、5、6	H	T	[CS 出力時、OPE = 0]	[CS 出力時]	[CS 出力時]
	3、4、7	T		T [CS 出力時、OPE = 1] H [上記以外] keep	T [上記以外] keep	CS [上記以外] 入出力ポート
PH3/CS7 PH2/CS6 PH1/CS5 PH0/CS4	1~7	T	T	[CS 出力時、OPE = 0] T [CS 出力時、OPE = 1] H [上記以外] keep	[CS 出力時] T [上記以外] keep	[CS 出力時] CS [上記以外] 入出力ポート

【記号説明】

- | | | | |
|------|--------------------------------|-----|------------------|
| L | : Low レベル | H | : High レベル |
| keep | : 入力ポートはハイインピーダンス、
出力ポートは保持 | T | : ハイインピーダンス |
| OPE | : 出力ポートイネーブル | DDR | : データディレクションレジスタ |

【注】 * 実行中のバスサイクル終了後の状態を示します。

B. 型名一覧

製品分類		製品型名	マーク型名	パッケージ
H8S/2667	F-ZTAT 版	HD64F2667	HD64F2667	144 ピン LQFP (FP-144H)

C. 外形寸法図

外形寸法図については、「ルネサス半導体パッケージデータブック」に掲載されている寸法図を優先します。

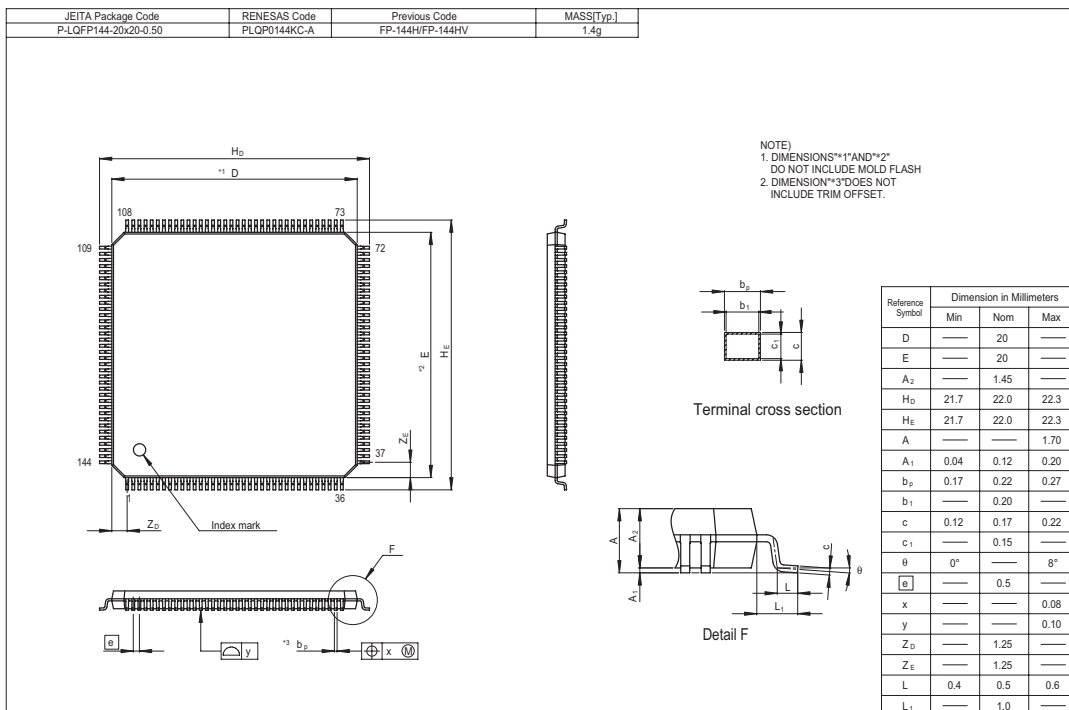


図 C.1 外形寸法図 (FP-144H)

索引

16 ビットタイマパルスユニット	9-1	プログラムカウンタ相対	2-30
PWM モード	9-46	ポストインクリメントレジスタ間接	2-29
インプットキャプチャ機能	9-38	メモリ間接	2-31
カスケード接続動作	9-44	レジスタ間接	2-29
コンペアマッチによる波形出力	9-36	レジスタ直接	2-29
トグル出力	9-36	絶対アドレス	2-30
バッファ動作	9-41	インタラプトプライオリティレジスタ (IPR)	5-1
フリーランニングカウント動作	9-35	ウォッチドッグタイマ	12-1
位相計数モード	9-51	インターバルタイマモード	12-6
周期カウント動作	9-35	ウォッチドッグタイマモード	12-5
同期動作	9-39	エクステンドレジスタ (EXR)	2-11
8 ビットタイマ	11-1	オープンドレインコントロールレジスタ	8-1
16 ビットカウントモード	11-13	オペレーションフィールド	2-27
カスケード接続	11-13	クロック発振器	18-1
コンペアマッチカウントモード	11-13	PLL 回路	18-6
トグル出力	11-16	コンディションコードレジスタ (CCR)	2-12
パルス出力	11-9	コンディションフィールド	2-27
A/D 変換器	14-1	シリアルコミュニケーションインタフェース	13-1
A/D 変換器の起動	9-58	オーバーランエラー	13-31
シングルモード	14-6	クロック同期式モード	13-39
スキャンモード	14-7	パリティエラー	13-31
外部トリガ	14-9	ビットレート	13-14
変換時間	14-7	ブレーク	13-64
Bcc	2-17, 2-25	フレーミングエラー	13-31
CPU 動作モード	2-4	マーク状態	13-64
アドバンスモード	2-6	調歩同期式モード	13-24
ノーマルモード	2-4, 2-5	スタックポインタ (SP)	2-10
D/A 変換器	15-1	データディレクションレジスタ	8-1
EA 拡張部	2-27	データトランスファコントローラ	7-1
MCU 動作モード	3-1	DTC ベクタテーブル	7-8
RAM	16-1	カウンタ=0 時のチェイン転送	7-21
TRAPA 命令	2-30, 4-7	ソフトウェアによる起動	7-16, 7-19
アドレス空間	2-8	ソフトウェア起動	7-22
アドレッシングモード	2-28	ソフトウェア起動割り込み用ベクタ番号	7-6
イミディエイト	2-30	チェイン転送	7-15, 7-16, 7-20
ディスプレイメント付きレジスタ	2-29	ノーマルモード	7-12, 7-20
プリデクリメントレジスタ間接	2-29	ブロック転送モード	7-14

リポートモード.....	7-13	CSACR.....	6-9, 20-4, 20-12, 20-20
レジスタ情報.....	7-8	DACR.....	15-3, 20-7, 20-15, 20-23
データレジスタ.....	8-1	DADR.....	15-2, 20-7, 20-15, 20-23
トレースビット.....	2-11	DAR.....	7-4, 20-2, 20-9, 20-18
バスコントローラ.....	6-1	DT CER.....	7-5, 20-4, 20-12, 20-20
アイドルサイクル.....	6-30	DTVECR.....	7-6, 20-4, 20-12, 20-20
ウェイト制御.....	6-27	EBR1.....	17-9, 20-8, 20-15, 20-23
チップセレクト (CS) アサート期間拡張.....	6-29	EBR2.....	17-10, 20-8, 20-15, 20-23
データサイズとデータアライメント.....	6-18	FLMCR1.....	17-8, 20-7, 20-15, 20-23
バスアービトラージョン.....	6-37	FLMCR2.....	17-9, 20-8, 20-15, 20-23
バス権解放.....	6-34	IER.....	5-5, 20-4, 20-12, 20-20
ライトデータバッファ機能.....	6-34	INTCR.....	5-3, 20-4, 20-12, 20-20
リードストロープ (RD) タイミング.....	6-28	IPR.....	5-4, 5-11, 5-12, 5-13, 5-14, 20-2, 20-9, 20-18
基本バスインタフェース.....	6-18	IrCR.....	13-22, 20-2, 20-10, 20-18
基本動作タイミング.....	6-20	ISCR.....	5-6, 20-2, 20-10, 20-18
有効ストロープ.....	6-19	ISR.....	5-8, 20-4, 20-12, 20-20
フラッシュメモリ.....	17-1	ITSR.....	5-8, 5-24, 20-2, 20-10, 20-18
イレース/イレースベリファイ.....	17-21	MDCR.....	3-2, 20-5, 20-12, 20-20
エラープロテクト.....	17-23	MRA.....	7-3, 20-2, 20-9, 20-18
ソフトウェアプロテクト.....	17-23	MRB.....	7-4, 20-2, 20-9, 20-18
ハードウェアプロテクト.....	17-23	MSTPCR.....	19-6, 20-5, 20-12, 20-20
ブートモード.....	17-12	NDER.....	10-4, 20-5, 20-12, 20-21
プログラム / プログラムベリファイ.....	17-19	NDR.....	10-6, 20-5, 20-13, 20-21
ライタモード.....	17-24	P1DDR.....	8-6, 20-2, 20-10, 20-18
書き込みの単位.....	17-6	P1DR.....	8-6, 20-5, 20-13, 20-21
消去ブロック.....	17-6	P2DDR.....	8-13, 20-2, 20-10, 20-18
プログラマブルパルスジェネレータ.....	10-1	P2DR.....	8-13, 20-5, 20-13, 20-21
パルス出力ノンオーバーラップ動作.....	10-14	P3DDR.....	8-20, 20-2, 20-10, 20-18
出力トリガ.....	10-8	P3DR.....	8-20, 20-5, 20-13, 20-21
プログラムカウンタ (PC).....	2-11	P3ODR.....	8-21, 20-3, 20-10, 20-19
ポートレジスタ.....	8-1	P5DDR.....	8-25, 20-2, 20-10, 20-18
リセット.....	4-3	P5DR.....	8-25, 20-5, 20-13, 20-21
レジスタ		P6DDR.....	8-29, 20-2, 20-10, 20-18
ABWCR.....	6-4, 20-4, 20-12, 20-20	P6DR.....	8-29, 20-6, 20-13, 20-21
ADCR.....	14-6, 20-15, 20-23	P7DDR.....	8-32, 20-2, 20-10, 20-18
ADCSR.....	14-5, 20-15, 20-23	P7DR.....	8-32, 20-6, 20-13, 20-21
ADDR.....	14-4, 20-6, 20-14, 20-22	P8DDR.....	8-33, 20-2, 20-10, 20-18
ASTCR.....	6-4, 20-4, 20-12, 20-20	P8DR.....	8-34, 20-6, 20-13, 20-21
BCR.....	6-11, 20-4, 20-12	PADDR.....	8-36, 20-2, 20-10, 20-18
BRR.....	13-14, 20-6, 20-14, 20-22	PADR.....	8-37, 20-6, 20-13, 20-21
CRA.....	7-5, 20-2, 20-9, 20-18	PAODR.....	8-39, 20-3, 20-10, 20-19
CRB.....	7-5, 20-9, 20-18	PAPCR.....	8-38, 20-3, 20-10, 20-19

PBDDR.....	8-41, 20-2, 20-10, 20-18	RDNCR.....	6-9, 20-4, 20-12, 20-20
PBDR.....	8-42, 20-6, 20-13, 20-21	RDR.....	13-4, 20-6, 20-14, 20-22
PBPCR.....	8-43, 20-3, 20-10, 20-19	RSTCSR.....	12-4, 20-7, 20-15, 20-23
PCDDR.....	8-44, 20-3, 20-10, 20-18	SAR.....	7-4, 20-2, 20-9, 20-18
PCDR.....	8-45, 20-6, 20-13, 20-22	SBYCR.....	19-4, 20-5, 20-12, 20-20
PCPCR.....	8-46, 20-3, 20-10, 20-19	SCKCR.....	18-2, 20-5, 20-12, 20-20
PCR.....	10-8, 20-5, 20-12, 20-21	SCMR.....	13-13, 20-6, 20-14, 20-22
PDDDR.....	8-47, 20-3, 20-10, 20-19	SCR.....	13-7, 20-6, 20-14, 20-22
PDDR.....	8-48, 20-6, 20-13, 20-22	SEMR.....	13-23, 20-2, 20-9, 20-18
PDPCR.....	8-49, 20-3, 20-10, 20-19	SMR.....	13-5, 20-6, 20-14, 20-22
PEDDR.....	8-50, 20-3, 20-10, 20-19	SSIER.....	5-9, 20-2, 20-18
PEDR.....	8-51, 20-6, 20-13, 20-22	SSR.....	13-9, 20-14, 20-22
PEPCR.....	8-52, 20-3, 20-10, 20-19	SYSCR.....	3-2, 20-5, 20-12, 20-20
PFCR0.....	8-60, 20-3, 20-10, 20-19	TCNT.....	9-32, 12-2, 20-3, 20-11, 20-15, 20-16, 20-19, 20-23, 20-24
PFCR1.....	8-39, 20-3, 20-10, 20-19	TCOR.....	11-4, 20-7, 20-15, 20-23
PFCR2.....	8-22, 20-3, 20-10, 20-19	TCR.....	9-8, 11-5, 20-3, 20-8, 20-11, 20-15, 20-19, 20-23
PFDDR.....	8-54, 20-3, 20-10, 20-19	TCSR.....	11-7, 12-3, 20-15, 20-23
PFDR.....	8-55, 20-6, 20-13, 20-22	TDR.....	13-4, 20-14, 20-22
PGDDR.....	8-58, 20-3, 20-10, 20-19	TGR.....	9-26, 9-32, 9-41, 20-3, 20-11, 20-16, 20-19, 20-24
PGDR.....	8-59, 20-6, 20-13, 20-22	TIER.....	9-29, 20-3, 20-8, 20-11, 20-15, 20-19, 20-23
PHDDR.....	8-62, 20-6, 20-13, 20-22	TIOR.....	9-12, 20-3, 20-8, 20-11, 20-15, 20-19, 20-23
PHDR.....	8-62, 20-6, 20-13, 20-22	TMDR... ..	9-11, 20-3, 20-8, 20-11, 20-15, 20-19, 20-23
PLLCR.....	18-3, 20-5, 20-12, 20-21	TSR.....	9-30, 13-5, 20-3, 20-8, 20-11, 20-15, 20-19, 20-23
PMR.....	10-9, 20-5, 20-12, 20-21	TSTR.....	9-33, 20-7, 20-15, 20-23
PODR.....	10-5, 20-5, 20-12, 20-21	TSYR.....	9-33, 20-7, 20-15, 20-23
PORT1.....	8-7, 20-5, 20-13, 20-21	WTCR.....	20-4, 20-12, 20-20
PORT2.....	8-14, 20-5, 20-13, 20-21	レジスタフィールド.....	2-27
PORT3.....	8-21, 20-5, 20-13, 20-21	レジスタ一覧	
PORT4.....	8-24, 20-5, 20-13, 20-21	ビット構成.....	20-1
PORT5.....	8-26, 20-5, 20-13, 20-21	レジスタアドレス.....	20-1
PORT6.....	8-30, 20-5, 20-13, 20-21	レジスタアドレス一覧.....	20-2
PORT7.....	8-33, 20-5, 20-13, 20-21	レジスタの状態.....	20-1
PORT8.....	8-34, 20-5, 20-13, 20-21	レジスタビット一覧.....	20-9
PORTA.....	8-38, 20-5, 20-13, 20-21	各動作モードにおけるレジスタの状態.....	20-18
PORTB.....	8-42, 20-5, 20-13, 20-21	割り込み	
PORTC.....	8-45, 20-5, 20-13, 20-21	ADI.....	14-9
PORTD.....	8-48, 20-5, 20-13, 20-21	CMIA.....	11-14
PORTE.....	8-51, 20-5, 20-13, 20-21	CMIB.....	11-14
PORTF.....	8-55, 20-5, 20-13, 20-21		
PORTG.....	8-59, 20-5, 20-13, 20-21		
PORTH.....	8-63, 20-6, 20-13, 20-22		
RAMER.....	17-11, 20-4, 20-12, 20-20		

NMI 割り込み.....	5-9, 5-24	TGI5B	9-57
OVI	11-14	WOVI.....	12-6
SWDTEND	7-16	割り込みコントローラ	5-1
TCI0V	9-57	割り込みマスクビット	2-12
TCI1U	9-57	割り込み制御モード	5-15
TCI1V	9-57	割り込み要求マスクレベル	2-11
TCI2U	9-57	割り込み例外処理ベクタテーブル	5-11
TCI2V	9-57	実効アドレス	2-28, 2-32
TCI3V	9-57	積和レジスタ (MAC)	2-13
TCI4U	9-57	入力プルアップ MOS	8-1
TCI4V	9-57	汎用レジスタ	2-10
TCI5U	9-57	命令セット	2-17
TCI5V	9-57	システム制御命令	2-26
TGI0A	9-57	シフト命令	2-22
TGI0B	9-57	データ転送命令	2-19
TGI0C	9-57	ビット操作命令	2-23
TGI0D	9-57	ブロック転送命令	2-27
TGI1A	9-57	算術演算命令	2-17, 2-20
TGI1B	9-57	分岐命令	2-25
TGI2A	9-57	論理演算命令	2-22
TGI2B	9-57	例外処理	4-1, 4-2, 4-3
TGI3A	9-57	トラップ命令例外処理	4-7
TGI3B	9-57	トレース例外処理	4-6
TGI3C	9-57	リセット例外処理	4-3
TGI3D	9-57	割り込み例外処理	4-6
TGI4A	9-57	例外処理後のスタックの状態	4-8
TGI4B	9-57	例外処理ベクタテーブル	4-2
TGI5A	9-57		

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8S/2668グループ

発行年月日 2001年9月 第1版

2005年9月9日 Rev.3.00

発行 株式会社ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

営業お問合せ窓口
株式会社ルネサス販売



<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	京	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

H8S/2668 グループ
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0292-0300