

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

H8S/2646 グループ、H8S/2646R F-ZTAT™、 H8S/2648R F-ZTAT™

ユーザーズマニュアル ハードウェア編

ルネサス 16 ビットシングルチップマイクロコンピュータ
H8S ファミリ／H8S/2600 シリーズ

H8S/2646	HD6432646
H8S/2645	HD6432645
H8S/2648	HD6432648
H8S/2647	HD6432647
H8S/2646R	HD64F2646R
H8S/2648R	HD64F2648R

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認くださいとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合は故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違くと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

はじめに

本 LSI は、内部 32 ビット構成の H8S/2600 CPU を核にして、システム構成に必要な周辺機能を集積した高性能マイクロコンピュータです。

本 LSI は、16 ビットタイマパルスユニット (TPU)、プログラマブルパルスジェネレータ (PPG)、ウォッチドッグタイマ (WDT)、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、モータコントロール PWM タイマ (PWM)、LCD コントローラ/ドライバ (LCDC)、I/O ポートなどの周辺機能を内蔵しております。また、データトランスファコントローラ (DTC) を内蔵し、CPU に代わって高速データ転送を行うことにより、高度な制御システムの組み込み用マイコンとして活用できます。内蔵 ROM はフラッシュメモリ (F-ZTAT™*) で、仕様流動性の高い応用機器、量産初期から本格量産の各状況に応じた迅速かつ柔軟な対応が可能です。

【注】* F-ZTAT (株) ルネサス エレクトロニクス (株) の商標です。

対象者 このマニュアルは、H8S/2646 グループを用いた応用システムを設計するユーザを対象としています。

このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、H8S/2646 グループのハードウェア機能と電気的特性をユーザに理解していただくことを目的にしています。

なお、実行命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- 機能全体を理解しようとするとき
→ 目次に従って読んでください。
本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU 機能の詳細を理解したいとき
→ 別冊の「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」を参照してください。

凡例 レジスタ表記：シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャンネルに存在する場合に、次の表記を使用します。

XXX_N (XXX は基本レジスタ名称。N はチャンネル番号)

ビット表記例：左側が上位ビット、右側が下位ビット

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であることを確認してください。

(<http://japan.renesas.com/>)

- H8S/2646 グループに関するユーザーズマニュアル

資料名	資料番号
H8S/2646 グループ ハードウェアマニュアル	本マニュアル
H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル	RJJ09B0143

- 開発ツール関連ユーザーズマニュアル

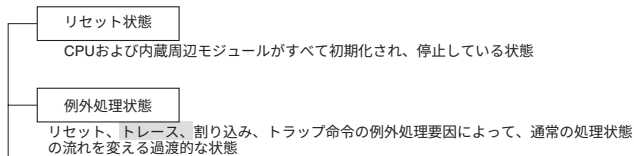
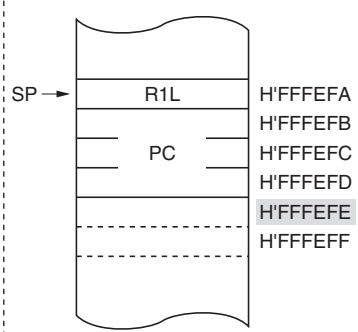
資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンケージエディタ ユーザーズマニュアル	RJJ10J2552
H8S、H8/300 シリーズシミュレータ・デバッガユーザーズマニュアル	RJJ10B0219
High-performance Embedded Workshop ユーザーズマニュアル	RJJ10J2550

- アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラパッケージ アプリケーションノート	RJJ05B0558
H8S シリーズテクニカル Q&A	ADJ-502-065
F-ZTAT マイコンテクニカル Q&A	ADJ-502-055

本版で改訂された箇所

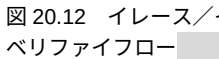
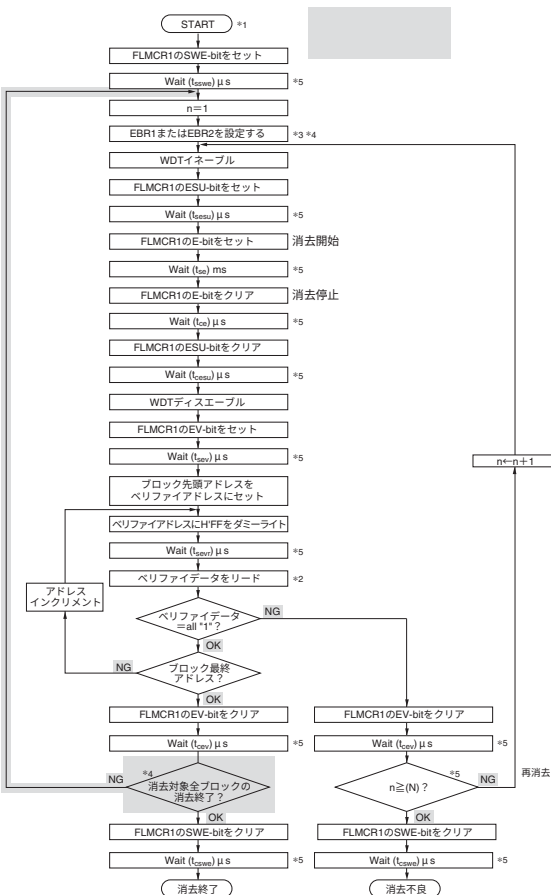
修正項目	ページ	修正内容（詳細はマニュアル参照）																							
1.1 概要 表 1.1 概要	1-3	表を修正 <table><tr><th>項 目</th><th colspan="3">仕 様</th></tr><tr><td rowspan="5">メモリ</td><td colspan="3">フラッシュメモリまたはマスク ROM 高速スタティック RAM</td></tr><tr><td>製品名</td><td>ROM</td><td>RAM</td></tr><tr><td>H8S/2646、H8S/2646R</td><td>128kバイト</td><td>4kバイト</td></tr><tr><td>H8S/2648、H8S/2648R</td><td></td><td></td></tr><tr><td>H8S/2645</td><td>64kバイト</td><td>2kバイト</td></tr><tr><td>H8S/2647</td><td></td><td></td></tr></table>	項 目	仕 様			メモリ	フラッシュメモリまたはマスク ROM 高速スタティック RAM			製品名	ROM	RAM	H8S/2646、H8S/2646R	128kバイト	4kバイト	H8S/2648、H8S/2648R			H8S/2645	64kバイト	2kバイト	H8S/2647		
項 目	仕 様																								
メモリ	フラッシュメモリまたはマスク ROM 高速スタティック RAM																								
	製品名	ROM	RAM																						
	H8S/2646、H8S/2646R	128kバイト	4kバイト																						
	H8S/2648、H8S/2648R																								
	H8S/2645	64kバイト	2kバイト																						
H8S/2647																									
1.3.1 ピン配置図 図 1.2 (1) H8S/2646、 H8S/2646R、H8S/2645 ピン配 置図（FP-144J/FP-144JV、 FP-144G/FP-144GV：上面図）	1-7	図を修正 【注】* FWE端子はマスクROM版ではNCになります。																							
図 1.2 (2) H8S/2648、 H8S/2648R、H8S/2647 ピン配 置図（FP-144J/FP-144JV、 FP-144G/FP-144GV：上面図）	1-8	図を修正 【注】* FWE端子はマスクROM版ではNCになります。																							
2.7.1 アドレッシングモード (8) メモリ間接 @@aa:8	2-31	説明を修正 8ビット絶対アドレスの上位のビットはすべて0となりますので、分岐アドレスを格納できるのは0～255（ノーマルモード*のとき H'0000～H'00FF、アドバンスモードのとき H'000000～H'0000FF）番地です。 ノーマルモード*の場合は、メモリ上のオペランドはワードサイズで指定し、16ビットの分岐アドレスを生成します。																							

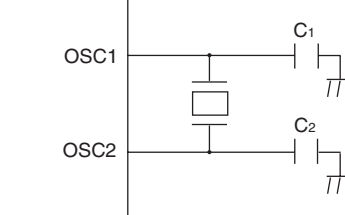
修正項目	ページ	修正内容（詳細はマニュアル参照）																												
2.8.1 概要 図 2.14 処理状態の分類	2-36	図を修正 																												
2.8.3 例外処理状態	2-38	説明を修正 例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によって起動され、CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスに分岐する過渡的な状態です。																												
3.5 各動作モードのアドレスマップ 図 3.1 (2) H8S/2645、H8S/2647 の各動作モードのアドレスマップ	3-8	図を修正 																												
4.1.1 例外処理の種類と優先度	4-1	説明を修正 例外処理には、表 4.1 に示すように、リセット、トレース、直接遷移、トラップ命令、および割り込みによるものがあります。																												
4.7 スタック使用上の注意 図 4.6 SP を奇数に設定したときの動作	4-9	図を修正 																												
8.3.3 DTC ベクタテーブル 表 8.4 割り込み要因と DTC ベクタアドレスおよび対応する DTCE	8-13	表を修正 <table><tr><th>割 り 込 み 要 因</th><th>要 因 発生元</th><th>ベクタ 番号</th><th>ベクタ アドレス</th><th>DTCE※1</th><th>優先 順位</th></tr><tr><td>TGI0A (GR0A コンペアマッチ/インプットキャプチャ)</td><td rowspan="5">TPU チャネル 0</td><td>32</td><td>H'0440</td><td>DTCEB5</td><td rowspan="5">↓ 低</td></tr><tr><td>TGI0B (GR0B コンペアマッチ/インプットキャプチャ)</td><td>33</td><td>H'0442</td><td>DTCEB4</td></tr><tr><td>TGI0C (GR0C コンペアマッチ/インプットキャプチャ)</td><td>34</td><td>H'0444</td><td>DTCEB3</td></tr><tr><td>TGI0D (GR0D コンペアマッチ/インプットキャプチャ)</td><td>35</td><td>H'0446</td><td>DTCEB2</td></tr><tr><td></td><td></td><td></td><td></td></tr></table>	割 り 込 み 要 因	要 因 発生元	ベクタ 番号	ベクタ アドレス	DTCE※1	優先 順位	TGI0A (GR0A コンペアマッチ/インプットキャプチャ)	TPU チャネル 0	32	H'0440	DTCEB5	↓ 低	TGI0B (GR0B コンペアマッチ/インプットキャプチャ)	33	H'0442	DTCEB4	TGI0C (GR0C コンペアマッチ/インプットキャプチャ)	34	H'0444	DTCEB3	TGI0D (GR0D コンペアマッチ/インプットキャプチャ)	35	H'0446	DTCEB2				
割 り 込 み 要 因	要 因 発生元	ベクタ 番号	ベクタ アドレス	DTCE※1	優先 順位																									
TGI0A (GR0A コンペアマッチ/インプットキャプチャ)	TPU チャネル 0	32	H'0440	DTCEB5	↓ 低																									
TGI0B (GR0B コンペアマッチ/インプットキャプチャ)		33	H'0442	DTCEB4																										
TGI0C (GR0C コンペアマッチ/インプットキャプチャ)		34	H'0444	DTCEB3																										
TGI0D (GR0D コンペアマッチ/インプットキャプチャ)		35	H'0446	DTCEB2																										

修正項目	ページ	修正内容（詳細はマニュアル参照）																		
9.13.3 端子機能 表 9.29 ポート F の端子機能	9-57	表を修正 <table><tr><td colspan="2">動作モード</td><td colspan="2">モード4～6</td></tr><tr><td colspan="2">SGS3～0の設定</td><td>SEG出力</td><td>ポート</td></tr><tr><td colspan="2">PF4DDR</td><td>—</td><td>—</td></tr><tr><td rowspan="2">端子機能</td><td>H8S/2646、H8S/2646R、 H8S/2645</td><td>SEG18出力</td><td rowspan="2">HWR出力</td></tr><tr><td>H8S/2648、H8S/2648R、 H8S/2647</td><td>SEG34出力</td></tr></table>	動作モード		モード4～6		SGS3～0の設定		SEG出力	ポート	PF4DDR		—	—	端子機能	H8S/2646、H8S/2646R、 H8S/2645	SEG18出力	HWR出力	H8S/2648、H8S/2648R、 H8S/2647	SEG34出力
動作モード		モード4～6																		
SGS3～0の設定		SEG出力	ポート																	
PF4DDR		—	—																	
端子機能	H8S/2646、H8S/2646R、 H8S/2645	SEG18出力	HWR出力																	
	H8S/2648、H8S/2648R、 H8S/2647	SEG34出力																		
10.7 使用上の注意 (14) サブアクティブモード／ ウォッチモードへの遷移	10-73	説明を追加																		
15.1.3 端子構成	15-3	説明を修正 端子と CAN バスの間にはバスドライバが必要になります。 HA13721 とコンパティブルなものを推奨します。																		
15.2.4 メールボックスコンフ ィグレジスタ（MBCR） ビット 15～9、7～0：メールボ ックス設定レジスタ（MBCR7 ～MBCR1、MBCR15～ MBCR8）	15-10	表を修正 (x=15～0) ⇒ (x=15～1、y=15～9、7～0)																		
15.2.5 送信待ちレジスタ （TXPR） ビット 15～9、7～0：送信待ち レジスタ（TXPR7～TXPR1、 TXPR15～TXPR8）	15-11																			
15.2.6 送信待ち取り消しレジ スタ（TXCR） ビット 15～9、7～0：送信待ち 取り消しレジスタ（TXCR7～ TXCR1、TXCR15～TXCR8）	15-12																			
15.2.7 送信アクノレッジレジ スタ（TXACK） ビット 15～9、7～0：送信アク ノレッジレジスタ（TXACK7～ TXACK1、TXACK15～ TXACK8）	15-12																			
15.2.8 取り消しアクノレッジ レジスタ（ABACK） ビット 15～9、7～0：取り消し アクノレッジレジスタ （ABACK7～ABACK1、 ABACK15～ABACK8）	15-13																			

修正項目	ページ	修正内容（詳細はマニュアル参照）									
15.2.17 ローカルアクセプタンスフィルタマスク（LAFML、LAFMH） LAFMH ビット 7～0、15～13：11 ビット Identifier 用フィルタ（LAFMH7～LAFMH5、LAFMH15～LAFMH8）	15-25	表を修正 <table><tr><th>ビットx</th><th>説 明</th></tr><tr><td>LAFMHx</td><td></td></tr><tr><td>0</td><td>MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致により MC0、MD0（受信専用メールボックス）に格納（初期値）</td></tr><tr><td>1</td><td>MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致にかかわらず MC0、MD0（受信専用メールボックス）に格納 (x=15～5、y=15～13、7～0)</td></tr></table>	ビットx	説 明	LAFMHx		0	MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致により MC0、MD0（受信専用メールボックス）に格納（初期値）	1	MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致にかかわらず MC0、MD0（受信専用メールボックス）に格納 (x=15～5、y=15～13、7～0)	
ビットx	説 明										
LAFMHx											
0	MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致により MC0、MD0（受信専用メールボックス）に格納（初期値）										
1	MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致にかかわらず MC0、MD0（受信専用メールボックス）に格納 (x=15～5、y=15～13、7～0)										
LAFMH ビット 9、8、LAFML15～0:18 ビット Identifier 用フィルタ（LAFMH1、LAFMH0、LAFML7～LAFML0、LAFML15～LAFML8）	15-25	表を修正 <table><tr><th>ビットy</th><th>説 明</th></tr><tr><td>LAFMHx LAFMLy</td><td></td></tr><tr><td>0</td><td>MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致により MC0（受信専用メールボックス）に格納（初期値）</td></tr><tr><td>1</td><td>MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致にかかわらず MC0（受信専用メールボックス）に格納 (x=1、0、y=15～0)</td></tr></table>	ビットy	説 明	LAFMHx LAFMLy		0	MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致により MC0（受信専用メールボックス）に格納（初期値）	1	MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致にかかわらず MC0（受信専用メールボックス）に格納 (x=1、0、y=15～0)	
ビットy	説 明										
LAFMHx LAFMLy											
0	MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致により MC0（受信専用メールボックス）に格納（初期値）										
1	MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致にかかわらず MC0（受信専用メールボックス）に格納 (x=1、0、y=15～0)										
15.3.2 ハードウェアリセット後の初期設定 (2) ビットレートおよびビットタイミングの設定	15-35	説明を修正 上記制限により BCR の TSEG1、TSEG2 の設定可能な範囲を表 15.4 に示します。									
15.4 CAN バスインタフェース ----- 図 15.14 HA13721 を用いたハイスピードインタフェース	15-52	説明を修正 …トランシーバ IC は HA13721 デバイスを推奨します。HA13721 以外の製品を使用する場合は、HA13721 とコンパティブルな製品を使用してください。 図タイトルを修正 図を修正 【注】 NC : No Connection									
16.4.3 入力サンプリングと A/D 変換時間 表 16.5 A/D 変換時間（スキャンモード）	16-14	表を修正 <table><tr><th>CKS1</th><th>CKS0</th><th>変換時間（スタート）</th></tr><tr><td>0</td><td>0</td><td>512（固定）</td></tr><tr><td></td><td>1</td><td>256（固定）</td></tr></table>	CKS1	CKS0	変換時間（スタート）	0	0	512（固定）		1	256（固定）
CKS1	CKS0	変換時間（スタート）									
0	0	512（固定）									
	1	256（固定）									
18.4 使用上の注意事項	18-18	18.4 を追加									
18.4.1 LCD の非表示方法について	18-18	18.4.1 を追加									

修正項目	ページ	修正内容（詳細はマニュアル参照）
20.2.2 モード遷移図 図 20.2 フラッシュメモリに関する状態遷移	20-3	図を修正 【注】 ユーザモード／ユーザプログラムモード間での遷移は、CPUがフラッシュメモリをアクセスしていない状態で行ってください。 *1 RAMエミュレーション可 *2 専用のPROMライタにより本LSIはPROMモードに遷移します。
20.7.2 プログラムベリファイモード 図 20.11 プログラム／プログラムベリファイフロー	20-26	図タイトルを修正 図を修正
20.7.3 イレースモード	20-27	説明を修正 フラッシュメモリの消去は1ブロックごとに、図 20.12 に示すイレース／ベリファイフローチャートに沿って行ってください。 ... …WDT のオーバフロー周期は 19.8ms 程度としてください。

修正項目	ページ	修正内容（詳細はマニュアル参照）
20.7.4 イレースベリファイモード  20.12 イレース／イレースベリファイフロー	20-28	図タイトルを修正 図を修正  【注】 *1 プレライト（消去ブロックのデータをall "0"にする）は必要ありません。 *2 ベリファイデータは16ビット(W)で読み出します。 *3 消去ブロック指定レジスタ（EBR1/EBR2）は1ビットのみ設定してください。2ビット以上を同時に設定しないでください。 *4 消去はブロック単位で行います。複数のブロックを消去する場合は各ブロック単位で順次消去を行ってください。 *5 各ウェイト時間とNの値を「23.7 フラッシュメモリ特性」に示します。
20.11 ライタモード	20-33	20.11 を差し替え
21.3.1 水晶発振子を接続する方法 (3) ボード設計上の注意	21-6	説明を修正 さらに、PLL_{V_{SS}} とその他の V_{CC}、V_{SS} とはボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CB を必ず挿入してください。

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																												
21.7 サブクロック発振器 (1) 32.768kHz 水晶発振子を接続する方法 図 21.6 32.768kHz 水晶発振子の接続例	21-7	図を修正  C1=C2=15pF (typ) * 【注】* C1、C2は、寄生容量を含んだ参考値です。																																																																												
22.1 概要 表 22.1 各モードでのLSIの内部状態	22-2	表を修正 <table><tr><th colspan="2">機能</th><th>高速</th><th>中速</th><th>スリープ</th><th>モジュールストップ</th><th>ウォッチ</th></tr><tr><td rowspan="3">周辺機能</td><td>WDT1</td><td>動作</td><td>動作</td><td>動作</td><td>動作</td><td>サブクロック動作</td></tr><tr><td>WDT0</td><td>動作</td><td>動作</td><td>動作</td><td>動作</td><td>停止(保持)</td></tr><tr><td>DTC</td><td>動作</td><td>中速動作</td><td>動作</td><td>停止(保持)</td><td>停止(保持)</td></tr></table>	機能		高速	中速	スリープ	モジュールストップ	ウォッチ	周辺機能	WDT1	動作	動作	動作	動作	サブクロック動作	WDT0	動作	動作	動作	動作	停止(保持)	DTC	動作	中速動作	動作	停止(保持)	停止(保持)																																																		
機能		高速	中速	スリープ	モジュールストップ	ウォッチ																																																																								
周辺機能	WDT1	動作	動作	動作	動作	サブクロック動作																																																																								
	WDT0	動作	動作	動作	動作	停止(保持)																																																																								
	DTC	動作	中速動作	動作	停止(保持)	停止(保持)																																																																								
22.2.5 モジュールストップコントロールレジスタ (MSTPCR)	22-11	説明を修正 MSTPCRA～C は、リセットまたはハードウェアスタンバイモード時に H'3FFFFFF に、MSTPCRD は、リセットまたはハードウェアスタンバイモード時に B'11*****に初期化されます。ソフトウェアスタンバイモードでは初期化されません。																																																																												
23.3 DC 特性 表 23.2 DC 特性	23-4	表を修正 <table><tr><th colspan="2">項 目</th><th>記 号</th><th>min</th><th>typ</th><th>max</th><th>単位</th><th>測定条件</th></tr><tr><td rowspan="2">消費電流^{*2}</td><td>スタンバイ時</td><td>I_{cc}^{*2}</td><td>—</td><td>2.0</td><td>10</td><td>μA</td><td>T_s ≤ 50℃</td></tr><tr><td></td><td></td><td>—</td><td>—</td><td>80</td><td></td><td>50℃ < T_s</td></tr><tr><td rowspan="2">LCD 電源部ポート電源電流</td><td>動作中</td><td>LPI_{cc}</td><td>—</td><td>10</td><td>20</td><td>mA</td><td>T_s ≤ 50℃</td></tr><tr><td>スタンバイ時</td><td></td><td>—</td><td>0.1</td><td>10</td><td>μA</td><td>50℃ < T_s</td></tr><tr><td rowspan="2">アナログ電源電流</td><td>A/D 変換中</td><td>AI_{cc}</td><td>—</td><td>1.0</td><td>2.0</td><td>mA</td><td>AV_{cc} = 5.0V</td></tr><tr><td>A/D 変換待機時</td><td></td><td>—</td><td>—</td><td>5.0</td><td>μA</td><td></td></tr><tr><td rowspan="2">リファレンス電源電流</td><td>A/D 変換中</td><td>AI_{cc}</td><td>—</td><td>2.5</td><td>4.0</td><td>mA</td><td>V_{ref} = 5.0V</td></tr><tr><td>A/D 変換待機時</td><td></td><td>—</td><td>—</td><td>5.0</td><td>μA</td><td></td></tr><tr><td>RAM スタンバイ電圧^{*3}</td><td></td><td>V_{RAM}</td><td>2.0</td><td>—</td><td>—</td><td>V</td><td></td></tr></table> 【注】*3 VRAM ≤ V _{cc} < 3.0V のとき、VIH min = V _{cc} − 0.1、VIL max = 0.1V とした場合の値です。 *4 I _{cc} は下記の式に従って V _{cc} と f に依存します。 I _{cc} max. = 1.0 (mA) + 0.72 (mA/ (MHz×V)) × V _{cc} × f (通常動作時) I _{cc} max. = 1.0 (mA) + 0.58 (mA/ (MHz×V)) × V _{cc} × f (スリープ時)	項 目		記 号	min	typ	max	単位	測定条件	消費電流 ^{*2}	スタンバイ時	I _{cc} ^{*2}	—	2.0	10	μA	T _s ≤ 50℃			—	—	80		50℃ < T _s	LCD 電源部ポート電源電流	動作中	LPI _{cc}	—	10	20	mA	T _s ≤ 50℃	スタンバイ時		—	0.1	10	μA	50℃ < T _s	アナログ電源電流	A/D 変換中	AI _{cc}	—	1.0	2.0	mA	AV _{cc} = 5.0V	A/D 変換待機時		—	—	5.0	μA		リファレンス電源電流	A/D 変換中	AI _{cc}	—	2.5	4.0	mA	V _{ref} = 5.0V	A/D 変換待機時		—	—	5.0	μA		RAM スタンバイ電圧 ^{*3}		V _{RAM}	2.0	—	—	V	
項 目		記 号	min	typ	max	単位	測定条件																																																																							
消費電流 ^{*2}	スタンバイ時	I _{cc} ^{*2}	—	2.0	10	μA	T _s ≤ 50℃																																																																							
			—	—	80		50℃ < T _s																																																																							
LCD 電源部ポート電源電流	動作中	LPI _{cc}	—	10	20	mA	T _s ≤ 50℃																																																																							
	スタンバイ時		—	0.1	10	μA	50℃ < T _s																																																																							
アナログ電源電流	A/D 変換中	AI _{cc}	—	1.0	2.0	mA	AV _{cc} = 5.0V																																																																							
	A/D 変換待機時		—	—	5.0	μA																																																																								
リファレンス電源電流	A/D 変換中	AI _{cc}	—	2.5	4.0	mA	V _{ref} = 5.0V																																																																							
	A/D 変換待機時		—	—	5.0	μA																																																																								
RAM スタンバイ電圧 ^{*3}		V _{RAM}	2.0	—	—	V																																																																								
表 23.3 出力許容電流値	23-5	表を修正 Ta = 75～85℃ ⇒ Ta = 85℃																																																																												

修正項目	ページ	修正内容（詳細はマニュアル参照）																																											
23.4.3 バスタイミング 図 23.7 基本バスタイミング ／2 ステートアクセス	23-10	図を修正 																																											
図 23.8 基本バスタイミング ／3 ステートアクセス	23-11	図を修正 																																											
23.4.4 内蔵周辺モジュールタイミ ング 図 23.17 SCKクロック入力カタ イミング	23-16	図を修正 H8S/2646、H8S/2646R、H8S/2645 : n = 0、1 H8S/2648、H8S/2648R、H8S/2647 : n = 0~2																																											
図 23.18 SCI 入出力タイミン グ／クロック同期式モード	23-17	図を修正 																																											
23.7 フラッシュメモリ特性 表 23.10 フラッシュメモリ特 性	23-19	特記項目を削除																																											
A.4 命令実行ステート数 表 A.5 命令実行状態（サイク ル数）	付録-31	表を修正 <table><tr><th rowspan="2">命令</th><th rowspan="2">ニーモニック</th><th>命令フェッチ</th><th>分岐アドレス リード</th><th>スタック操作</th><th>バイトデータ アクセス</th><th>ワードデータ アクセス</th><th>内部動作</th></tr><tr><th>I</th><th>J</th><th>K</th><th>L</th><th>M</th><th>N</th></tr><tr><td rowspan="4">LDM</td><td>LDML @SP+, (ERn-ERn+1)</td><td>2</td><td></td><td>4</td><td></td><td></td><td>1</td></tr><tr><td>LDML @SP+, (ERn-ERn+2)</td><td>2</td><td></td><td>6</td><td></td><td></td><td>1</td></tr><tr><td>LDML @SP+, (ERn-ERn+3)</td><td>2</td><td></td><td>8</td><td></td><td></td><td>1</td></tr><tr><td></td><td></td><td></td><td></td><td></td><td></td><td></td></tr></table>	命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作	I	J	K	L	M	N	LDM	LDML @SP+, (ERn-ERn+1)	2		4			1	LDML @SP+, (ERn-ERn+2)	2		6			1	LDML @SP+, (ERn-ERn+3)	2		8			1							
命令	ニーモニック	命令フェッチ			分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作																																				
		I	J	K	L	M	N																																						
LDM	LDML @SP+, (ERn-ERn+1)	2		4			1																																						
	LDML @SP+, (ERn-ERn+2)	2		6			1																																						
	LDML @SP+, (ERn-ERn+3)	2		8			1																																						
A.5 命令実行中のバス状態 表 A.6 命令の実行状態	付録-45	表を修正 <table><tr><th>命令</th><th>1</th><th>2</th><th>3</th><th>4</th><th>5</th><th>6</th><th>7</th><th>8</th><th>9</th></tr><tr><td>MOVFP @aa:16,Rd</td><td colspan="9">本 LSI では使用できません。</td></tr><tr><td>MOVTP Rs,@aa:16</td><td colspan="9"></td></tr></table>	命令	1	2	3	4	5	6	7	8	9	MOVFP @aa:16,Rd	本 LSI では使用できません。									MOVTP Rs,@aa:16																						
命令	1	2	3	4	5	6	7	8	9																																				
MOVFP @aa:16,Rd	本 LSI では使用できません。																																												
MOVTP Rs,@aa:16																																													

修正項目	ページ	修正内容（詳細はマニュアル参照）																																				
B.2 機能一覧 H'F81A:未読メッセージステータスレジスタ UMSR:HCAN	付録-82	図を修正 未読メッセージステータスフラグ <table><tr><td>0</td><td>【クリア条件】1書き込み</td></tr><tr><td>1</td><td>メッセージを受信後未読のまま新規メッセージをオーバーライト 【セット条件】RXPRをクリアする前に新規メッセージを受信したとき</td></tr></table>	0	【クリア条件】1書き込み	1	メッセージを受信後未読のまま新規メッセージをオーバーライト 【セット条件】RXPRをクリアする前に新規メッセージを受信したとき																																
0	【クリア条件】1書き込み																																					
1	メッセージを受信後未読のまま新規メッセージをオーバーライト 【セット条件】RXPRをクリアする前に新規メッセージを受信したとき																																					
H'FEB0:タイマスタートレジスタ TSTR:TPU	付録-167	図を修正 ビット: <table><tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr><tr><td>—</td><td>—</td><td>CST5</td><td>CST4</td><td>CST3</td><td>CST2</td><td>CST1</td><td>CST0</td></tr></table> 初期値: <table><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td><td>0</td></tr></table> R/W: <table><tr><td>—</td><td>—</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td><td>R/W</td></tr></table> カウンタスタート <table><tr><td>0</td><td>TCNTnのカウンタ動作は停止</td></tr><tr><td>1</td><td>TCNTnはカウンタ動作</td></tr></table> (n=5~0)	7	6	5	4	3	2	1	0	—	—	CST5	CST4	CST3	CST2	CST1	CST0	0	0	0	0	0	0	0	0	—	—	R/W	R/W	R/W	R/W	R/W	R/W	0	TCNTnのカウンタ動作は停止	1	TCNTnはカウンタ動作
7	6	5	4	3	2	1	0																															
—	—	CST5	CST4	CST3	CST2	CST1	CST0																															
0	0	0	0	0	0	0	0																															
—	—	R/W	R/W	R/W	R/W	R/W	R/W																															
0	TCNTnのカウンタ動作は停止																																					
1	TCNTnはカウンタ動作																																					
E.2 ハードウェアスタンバイモードからの復帰タイミング 図 E.2 ハードウェアスタンバイモードからの復帰タイミング	付録-277	図を修正 STBY RES NMI																																				

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

第1章 概要

1.1	概要	1-1
1.2	内部ブロック図	1-5
1.3	端子説明	1-7
1.3.1	ピン配置図	1-7
1.3.2	動作モード別端子機能一覧	1-9
1.3.3	端子機能	1-17

第2章 CPU

2.1	概要	2-1
2.1.1	特長	2-1
2.1.2	H8S/2600 CPU と H8S/2000 CPU との相違点	2-2
2.1.3	H8/300 CPU との相違点	2-2
2.1.4	H8/300H CPU との相違点	2-3
2.2	CPU 動作モード	2-4
2.3	アドレス空間	2-9
2.4	レジスタ構成	2-10
2.4.1	概要	2-10
2.4.2	汎用レジスタ	2-11
2.4.3	コントロールレジスタ	2-12
2.4.4	CPU 内部レジスタの初期値	2-14
2.5	データ構成	2-15
2.5.1	汎用レジスタのデータ構成	2-15
2.5.2	メモリ上でのデータ構成	2-17
2.6	命令セット	2-18
2.6.1	概要	2-18
2.6.2	命令とアドレッシングモードの組み合わせ	2-19
2.6.3	命令の機能別一覧	2-20
2.6.4	命令の基本フォーマット	2-28
2.7	アドレッシングモードと実効アドレスの計算方法	2-29
2.7.1	アドレッシングモード	2-29
2.7.2	実効アドレスの計算方法	2-32
2.8	処理状態	2-36
2.8.1	概要	2-36
2.8.2	リセット状態	2-37
2.8.3	例外処理状態	2-38
2.8.4	プログラム実行状態	2-40
2.8.5	バス権解放状態	2-40

2.8.6	低消費電力状態	2-40
2.9	基本動作タイミング	2-41
2.9.1	概要	2-41
2.9.2	内蔵メモリ（ROM、RAM）	2-41
2.9.3	内蔵周辺モジュールアクセスタイミング	2-42
2.9.4	内蔵 HCAN モジュールアクセスタイミング	2-43
2.9.5	外部アドレス空間アクセスタイミング	2-44
2.10	使用上の注意	2-45
2.10.1	TAS 命令	2-45
2.10.2	ビット操作命令使用上の注意事項	2-45

第3章 MCU 動作モード

3.1	概要	3-1
3.1.1	動作モードの選択	3-1
3.1.2	レジスタ構成	3-2
3.2	各レジスタの説明	3-2
3.2.1	モードコントロールレジスタ（MDCR）	3-2
3.2.2	システムコントロールレジスタ（SYSCR）	3-3
3.2.3	端子機能コントロールレジスタ（PFCR）	3-4
3.3	各動作モードの説明	3-5
3.3.1	モード 4	3-5
3.3.2	モード 5	3-5
3.3.3	モード 6	3-6
3.3.4	モード 7	3-6
3.4	各動作モードにおける端子機能	3-6
3.5	各動作モードのアドレスマップ	3-6

第4章 例外処理

4.1	概要	4-1
4.1.1	例外処理の種類と優先度	4-1
4.1.2	例外処理の動作	4-1
4.1.3	例外処理要因とベクタテーブル	4-2
4.2	リセット	4-3
4.2.1	概要	4-3
4.2.2	リセットシーケンス	4-3
4.2.3	リセット直後の割り込み	4-5
4.2.4	リセット解除後の内蔵周辺機能	4-5
4.3	トレース	4-6
4.4	割り込み	4-6
4.5	トラップ命令	4-7
4.6	例外処理後のスタックの状態	4-8
4.7	スタック使用上の注意	4-9

第5章 割り込みコントローラ

5.1	概要	5-1

5.1.1	特長.....	5-1
5.1.2	ブロック図.....	5-2
5.1.3	端子構成.....	5-2
5.1.4	レジスタ構成.....	5-3
5.2	各レジスタの説明.....	5-3
5.2.1	システムコントロールレジスタ (SYSCR)	5-3
5.2.2	インタラプトプライオリティレジスタ A～H、J、K、M (IPRA～H、J、K、M)	5-4
5.2.3	IRQ イネーブルレジスタ (IER)	5-5
5.2.4	IRQ センسコントロールレジスタ H、L (ISCRH、ISCRL)	5-6
5.2.5	IRQ ステータスレジスタ (ISR)	5-7
5.3	割り込み要因.....	5-8
5.3.1	外部割り込み.....	5-8
5.3.2	内部割り込み.....	5-9
5.3.3	割り込み例外処理ベクタテーブル	5-10
5.4	割り込み動作.....	5-13
5.4.1	割り込み制御モードと割り込み動作.....	5-13
5.4.2	割り込み制御モード 0	5-15
5.4.3	割り込み制御モード 2	5-18
5.4.4	割り込み例外処理シーケンス	5-20
5.4.5	割り込み応答時間.....	5-21
5.5	使用上の注意.....	5-22
5.5.1	割り込みの発生とディスエーブルとの競合.....	5-22
5.5.2	割り込みを禁止している命令	5-23
5.5.3	割り込み禁止期間.....	5-23
5.5.4	EEPMOV 命令実行中の割り込み.....	5-23
5.5.5	IRQ 割り込みについて	5-23
5.6	割り込みによる DTC の起動	5-24
5.6.1	概要.....	5-24
5.6.2	ブロック図.....	5-24
5.6.3	動作説明.....	5-25

第 6 章 PC ブレークコントローラ (PBC)

6.1	概要.....	6-1
6.1.1	特長.....	6-1
6.1.2	ブロック図.....	6-2
6.1.3	レジスタ構成.....	6-2
6.2	レジスタの説明.....	6-3
6.2.1	ブレークアドレスレジスタ (BARA)	6-3
6.2.2	ブレークアドレスレジスタ B (BARB)	6-3
6.2.3	ブレークコントロールレジスタ A (BCRA)	6-3
6.2.4	ブレークコントロールレジスタ B (BCRB)	6-5
6.2.5	モジュールストップコントロールレジスタ C (MSTPCRC)	6-5
6.3	動作説明.....	6-6
6.3.1	命令フェッチによる PC ブレーク割り込み動作.....	6-6
6.3.2	データアクセスによる PC ブレーク割り込み動作.....	6-6

6.3.3	PC ブレーク割り込み処理時の注意事項.....	6-7
6.3.4	低消費電力モード遷移時の動作	6-7
6.3.5	連続データ転送時の PC ブレーク動作.....	6-8
6.3.6	命令実行が 1 ステート遅れる場合	6-8
6.3.7	その他の注意事項.....	6-9
第 7 章 バスコントローラ		
7.1	概要.....	7-1
7.1.1	特長.....	7-1
7.1.2	ブロック図.....	7-2
7.1.3	端子構成.....	7-3
7.1.4	レジスタ構成.....	7-3
7.2	各レジスタの説明	7-4
7.2.1	バス幅コントロールレジスタ (ABWCR)	7-4
7.2.2	アクセスステートコントロールレジスタ (ASTCR)	7-4
7.2.3	ウェイトコントロールレジスタ H、L (WCRH、WCRL)	7-5
7.2.4	バスコントロールレジスタ H (BCRH)	7-8
7.2.5	バスコントロールレジスタ L (BCRL)	7-9
7.2.6	端子機能コントロールレジスタ (PFCR)	7-10
7.3	バス制御の概要.....	7-11
7.3.1	エリア分割.....	7-11
7.3.2	バス仕様.....	7-13
7.3.3	メモリインタフェース	7-14
7.3.4	各エリアのバスインタフェース仕様.....	7-14
7.4	基本バスインタフェース	7-15
7.4.1	概要.....	7-15
7.4.2	データサイズとデータアライメント.....	7-15
7.4.3	有効ストロブ.....	7-16
7.4.4	基本タイミング.....	7-17
7.4.5	ウェイト制御.....	7-25
7.5	バースト ROM インタフェース	7-27
7.5.1	概要.....	7-27
7.5.2	基本タイミング.....	7-27
7.5.3	ウェイト制御.....	7-28
7.6	アイドルサイクル	7-29
7.6.1	動作説明.....	7-29
7.6.2	アイドルサイクルでの端子状態	7-31
7.7	ライトデータバッファ機能	7-32
7.8	バスアービトレーション	7-33
7.8.1	概要.....	7-33
7.8.2	動作説明.....	7-33
7.8.3	バス権移行タイミング	7-33
7.9	リセットとバスコントローラ.....	7-33
第 8 章 データトランスファコントローラ (DTC)		
8.1	概要.....	8-1

8.1.1	特長	8-1
8.1.2	ブロック図	8-2
8.1.3	レジスタ構成	8-3
8.2	各レジスタの説明	8-3
8.2.1	DTC モードレジスタ A (MRA)	8-3
8.2.2	DTC モードレジスタ B (MRB)	8-5
8.2.3	DTC ソースアドレスレジスタ (SAR)	8-6
8.2.4	DTC デスティネーションアドレスレジスタ (DAR)	8-6
8.2.5	DTC 転送カウントレジスタ A (CRA)	8-6
8.2.6	DTC 転送カウントレジスタ B (CRB)	8-7
8.2.7	DTC イネーブルレジスタ (DTCER)	8-7
8.2.8	DTC ベクタレジスタ (DTVECR)	8-8
8.2.9	モジュールストップコントロールレジスタ A (MSTPCRA)	8-9
8.3	動作説明	8-10
8.3.1	概要	8-10
8.3.2	起動要因	8-11
8.3.3	DTC ベクタテーブル	8-12
8.3.4	アドレス空間上でのレジスタ情報の配置	8-16
8.3.5	ノーマルモード	8-17
8.3.6	リピートモード	8-18
8.3.7	ブロック転送モード	8-19
8.3.8	チェイン転送	8-20
8.3.9	動作タイミング	8-21
8.3.10	DTC 実行ステート数	8-22
8.3.11	DTC 使用手順	8-23
8.3.12	DTC 使用例	8-23
8.4	割り込み	8-25
8.5	使用上の注意	8-26
第9章 I/O ポート		
9.1	概要	9-1
9.2	ポート 1	9-8
9.2.1	概要	9-8
9.2.2	レジスタ構成	9-8
9.2.3	端子機能	9-10
9.3	ポート 2	9-18
9.3.1	概要	9-18
9.3.2	レジスタ構成	9-18
9.3.3	端子機能	9-19
9.4	ポート 3	9-24
9.4.1	概要	9-24
9.4.2	レジスタ構成	9-24
9.4.3	端子機能	9-26
9.5	ポート 4	9-28
9.5.1	概要	9-28
9.5.2	レジスタ構成	9-28

9.5.3	端子機能	9-29
9.6	ポート 5	9-29
9.6.1	概要	9-29
9.6.2	レジスタ構成	9-30
9.6.3	端子機能	9-31
9.7	ポート 9	9-33
9.7.1	概要	9-33
9.7.2	レジスタ構成	9-33
9.7.3	端子機能	9-33
9.8	ポート A	9-34
9.8.1	概要	9-34
9.8.2	レジスタ構成	9-35
9.8.3	端子機能	9-37
9.8.4	入力プルアップ MOS	9-38
9.9	ポート B	9-39
9.9.1	概要	9-39
9.9.2	レジスタ構成	9-40
9.9.3	端子機能	9-42
9.9.4	入力プルアップ MOS	9-42
9.10	ポート C	9-43
9.10.1	概要	9-43
9.10.2	レジスタ構成	9-44
9.10.3	端子機能	9-46
9.10.4	入力プルアップ MOS	9-46
9.11	ポート D	9-47
9.11.1	概要	9-47
9.11.2	レジスタ構成	9-48
9.11.3	端子機能	9-49
9.11.4	入力プルアップ MOS	9-50
9.12	ポート E	9-50
9.12.1	概要	9-50
9.12.2	レジスタ構成	9-51
9.12.3	端子機能	9-53
9.12.4	入力プルアップ MOS	9-53
9.13	ポート F	9-54
9.13.1	概要	9-54
9.13.2	レジスタ構成	9-55
9.13.3	端子機能	9-56
9.14	ポート H	9-58
9.14.1	概要	9-58
9.14.2	レジスタ構成	9-59
9.14.3	端子機能	9-60
9.15	ポート J	9-60
9.15.1	概要	9-60
9.15.2	レジスタ構成	9-61

9.15.3	端子機能	9-62
9.16	ポート K	9-62
9.16.1	概要	9-62
9.16.2	レジスタ構成	9-63
9.16.3	端子機能	9-64

第 10 章 16 ビットタイマパルスユニット (TPU)

10.1	概要	10-1
10.1.1	特長	10-1
10.1.2	ブロック図	10-4
10.1.3	端子構成	10-5
10.1.4	レジスタ構成	10-6
10.2	各レジスタの説明	10-8
10.2.1	タイマコントロールレジスタ (TCR)	10-8
10.2.2	タイマモードレジスタ (TMDR)	10-12
10.2.3	タイマ I/O コントロールレジスタ (TIOR)	10-14
10.2.4	タイマインタラプトイネーブルレジスタ (TIER)	10-23
10.2.5	タイマステータスレジスタ (TSR)	10-26
10.2.6	タイマカウンタ (TCNT)	10-29
10.2.7	タイマジェネラルレジスタ (TGR)	10-29
10.2.8	タイマスタートレジスタ (TSTR)	10-30
10.2.9	タイマシンクロレジスタ (TSYR)	10-30
10.2.10	モジュールストップコントロールレジスタ A (MSTPCRA)	10-31
10.3	バスマスタとのインタフェース	10-32
10.3.1	16 ビットレジスタ	10-32
10.3.2	8 ビットレジスタ	10-32
10.4	動作説明	10-33
10.4.1	概要	10-33
10.4.2	基本機能	10-34
10.4.3	同期動作	10-40
10.4.4	バッファ動作	10-41
10.4.5	カスケード接続動作	10-44
10.4.6	PWM モード	10-46
10.4.7	位相計数モード	10-51
10.5	割り込み	10-56
10.5.1	割り込み要因と優先順位	10-56
10.5.2	DTC の起動	10-58
10.5.3	A/D 変換器の起動	10-58
10.6	動作タイミング	10-59
10.6.1	入出力タイミング	10-59
10.6.2	割り込み信号タイミング	10-63
10.7	使用上の注意	10-66

第 11 章 プログラマブルパルスジェネレータ (PPG)

11.1	概要	11-1
11.1.1	特長	11-1

11.1.2	ブロック図	11-2
11.1.3	端子構成	11-3
11.1.4	レジスタ構成	11-3
11.2	各レジスタの説明	11-4
11.2.1	ネクストデータインネブルレジスタ H、L (NDERH、NDERL)	11-4
11.2.2	アウトプットデータレジスタ H、L (PODRH、PODRL)	11-5
11.2.3	ネクストデータレジスタ H、L (NDRH、NDRL)	11-6
11.2.4	NDR アクセス時の注意	11-6
11.2.5	PPG 出力コントロールレジスタ (PCR)	11-8
11.2.6	PPG 出力モードレジスタ (PMR)	11-10
11.2.7	ポート 1 データディレクションレジスタ (P1DDR)	11-12
11.2.8	モジュールストップコントロールレジスタ A (MSTPCRA)	11-12
11.3	動作説明	11-13
11.3.1	概要	11-13
11.3.2	出力タイミング	11-14
11.3.3	パルス出力通常動作	11-15
11.3.4	パルス出力ノンオーバーラップ動作	11-17
11.3.5	パルス反転出力	11-19
11.3.6	インプットキャプチャによるパルス出力	11-20
11.4	使用上の注意	11-20

第 12 章 ウォッチドッグタイマ (WDT)

12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-2
12.1.3	端子構成	12-3
12.1.4	レジスタ構成	12-3
12.2	各レジスタの説明	12-4
12.2.1	タイマカウンタ (TCNT)	12-4
12.2.2	タイマコントロール/ステータスレジスタ (TCSR)	12-4
12.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	12-8
12.2.4	レジスタアクセス時の注意	12-9
12.3	動作説明	12-10
12.3.1	ウォッチドッグタイマモード時の動作	12-10
12.3.2	インターバルタイマモード時の動作	12-12
12.3.3	オーバフローフラグ (OVF) のセットタイミング	12-12
12.3.4	ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング	12-13
12.4	割り込み	12-14
12.5	使用上の注意	12-14
12.5.1	タイマカウンタ (TCNT) のライトとカウントアップの競合	12-14
12.5.2	PSS、CKS2～CKS0 ビットの書き換え	12-15
12.5.3	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	12-15
12.5.4	ウォッチドッグタイマモードでの内部リセット	12-15
12.5.5	インターバルタイマモードでの OVF フラグのクリア	12-15

第 13 章 シリアルコミュニケーションインタフェース (SCI)

13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-3
13.1.3	端子構成	13-4
13.1.4	レジスタ構成	13-4
13.2	各レジスタの説明	13-5
13.2.1	レシーブシフトレジスタ (RSR)	13-5
13.2.2	レシーブデータレジスタ (RDR)	13-5
13.2.3	トランスミットシフトレジスタ (TSR)	13-6
13.2.4	トランスミットデータレジスタ (TDR)	13-6
13.2.5	シリアルモードレジスタ (SMR)	13-6
13.2.6	シリアルコントロールレジスタ (SCR)	13-9
13.2.7	シリアルステータスレジスタ (SSR)	13-12
13.2.8	ビットレートレジスタ (BRR)	13-16
13.2.9	スマートカードモードレジスタ (SCMR)	13-21
13.2.10	モジュールストップコントロールレジスタ B (MSTPCRB)	13-22
13.3	動作説明	13-24
13.3.1	概要	13-24
13.3.2	調歩同期式モード時の動作	13-26
13.3.3	マルチプロセッサ通信機能	13-36
13.3.4	クロック同期式モード時の動作	13-44
13.4	SCI 割り込み	13-51
13.5	使用上の注意	13-52

第 14 章 スマートカードインタフェース

14.1	概要	14-1
14.1.1	特長	14-1
14.1.2	ブロック図	14-2
14.1.3	端子構成	14-3
14.1.4	レジスタ構成	14-3
14.2	各レジスタの説明	14-4
14.2.1	スマートカードモードレジスタ (SCMR)	14-4
14.2.2	シリアルステータスレジスタ (SSR)	14-5
14.2.3	シリアルモードレジスタ (SMR)	14-7
14.2.4	シリアルコントロールレジスタ (SCR)	14-8
14.3	動作説明	14-9
14.3.1	概要	14-9
14.3.2	端子接続	14-9
14.3.3	データフォーマット	14-10
14.3.4	レジスタの設定	14-12
14.3.5	クロック	14-14
14.3.6	データの送信／受信動作	14-16
14.3.7	GSM モード時の動作	14-22
14.3.8	ブロック転送モード時の動作	14-23
14.4	使用上の注意	14-23

第 15 章 コントローラエリアネットワーク (HCAN)

15.1	概要	15-1
15.1.1	特長	15-1
15.1.2	ブロック図	15-2
15.1.3	端子構成	15-3
15.1.4	レジスタ一覧表	15-3
15.2	レジスタの説明	15-5
15.2.1	マスタコントロールレジスタ (MCR)	15-5
15.2.2	ジェネラルステータスレジスタ (GSR)	15-6
15.2.3	ビットコンフィグレジスタ (BCR)	15-8
15.2.4	メールボックスコンフィグレジスタ (MBCR)	15-10
15.2.5	送信待ちレジスタ (TXPR)	15-10
15.2.6	送信待ち取り消しレジスタ (TXCR)	15-11
15.2.7	送信アクノレッジレジスタ (TXACK)	15-12
15.2.8	取り消しアクノレッジレジスタ (ABACK)	15-13
15.2.9	受信完了レジスタ (RXPR)	15-14
15.2.10	リモートリクエストレジスタ (RFPR)	15-15
15.2.11	インタラプトレジスタ (IRR)	15-16
15.2.12	メールボックスインタラプトマスクレジスタ (MBIMR)	15-19
15.2.13	インタラプトマスクレジスタ (IMR)	15-20
15.2.14	受信エラーカウンタ (REC)	15-23
15.2.15	送信エラーカウンタ (TEC)	15-23
15.2.16	未読メッセージステータスレジスタ (UMSR)	15-23
15.2.17	ローカルアクセプタンスフィルタマスク (LAFML、LAFMH)	15-24
15.2.18	メッセージコントロール (MC0~MC15)	15-25
15.2.19	メッセージデータ (MD0~MD15)	15-28
15.2.20	モジュールストップコントロールレジスタ C (MSTPCRC)	15-30
15.3	動作説明	15-30
15.3.1	ハードウェアリセットとソフトウェアリセット	15-30
15.3.2	ハードウェアリセット後の初期設定	15-33
15.3.3	送信モード	15-36
15.3.4	受信モード	15-42
15.3.5	HCAN スリープモード	15-46
15.3.6	HCAN HALT モード	15-49
15.3.7	割り込みインタフェース	15-50
15.3.8	DTC インタフェース	15-51
15.4	CAN バスインタフェース	15-52
15.5	使用上の注意	15-52

第 16 章 A/D 変換器

16.1	概要	16-1
16.1.1	特長	16-1
16.1.2	ブロック図	16-2
16.1.3	端子構成	16-3
16.1.4	レジスタ構成	16-4
16.2	各レジスタの説明	16-4

16.2.1	A/D データレジスタ A～D (ADDRA～ADDRD)	16-4
16.2.2	A/D コントロール/ステータスレジスタ (ADCSR)	16-5
16.2.3	A/D コントロールレジスタ (ADCR)	16-7
16.2.4	モジュールストップコントロールレジスタ A (MSTPCRA)	16-8
16.3	バスマスタとのインタフェース.....	16-9
16.4	動作説明.....	16-10
16.4.1	シングルモード (SCAN=0)	16-10
16.4.2	スキャンモード (SCAN=1)	16-11
16.4.3	入力サンプリングと A/D 変換時間.....	16-13
16.4.4	外部トリガ入力タイミング	16-14
16.5	割り込み.....	16-15
16.6	使用上の注意	16-15
第 17 章 モータコントロール PWM タイマ		
17.1	概要	17-1
17.1.1	特長.....	17-1
17.1.2	ブロック図.....	17-2
17.1.3	端子構成.....	17-4
17.1.4	レジスタ構成	17-4
17.2	各レジスタの説明	17-5
17.2.1	PWM コントロールレジスタ 1、2 (PWCR1、2)	17-5
17.2.2	PWM アウトプットコントロールレジスタ 1、2 (PWOCR1、2)	17-7
17.2.3	PWM ポラリティレジスタ 1、2 (PWPR1、2)	17-7
17.2.4	PWM カウンタ 1、2 (PWCNT1、2)	17-8
17.2.5	PWM サイクルレジスタ 1、2 (PWCYR1、2)	17-8
17.2.6	PWM デューティレジスタ 1A、1C、1E、1G (PWDTR1A、1C、1E、1G)	17-9
17.2.7	PWM バッファレジスタ 1A、1C、1E、1G (PWBFR1A、1C、1E、1G)	17-11
17.2.8	PWM デューティレジスタ 2A～2H (PWDTR2A～2H)	17-11
17.2.9	PWM バッファレジスタ 2A～2D (PWBFR2A～2D)	17-13
17.2.10	モジュールストップコントロールレジスタ D (MSTPCRD)	17-14
17.3	バスマスタとのインタフェース.....	17-14
17.3.1	16 ビットデータレジスタ	17-14
17.3.2	8 ビットデータレジスタ	17-15
17.4	動作説明.....	17-15
17.4.1	PWM チャネル 1 の動作.....	17-15
17.4.2	PWM チャネル 2 の動作.....	17-16
17.5	使用上の注意	17-18
第 18 章 LCD コントローラ/ドライバ		
18.1	概要	18-1
18.1.1	特長.....	18-1
18.1.2	ブロック図.....	18-2
18.1.3	端子構成.....	18-3
18.1.4	レジスタ構成	18-3
18.2	各レジスタの説明	18-3
18.2.1	LCD ポートコントロールレジスタ (LPCR)	18-3

18.2.2	LCD コントロールレジスタ (LCR)	18-5
18.2.3	LCD コントロールレジスタ 2 (LCR2)	18-7
18.2.4	モジュールストップコントロールレジスタ D (MSTPCRD)	18-8
18.3	動作説明	18-8
18.3.1	LCD 表示までのセッティング	18-8
18.3.2	LCD RAM と表示の関係	18-10
18.3.3	低消費電力モード時の動作	18-17
18.3.4	LCD 駆動電源の強化	18-18
18.4	使用上の注意事項	18-18
18.4.1	LCD の非表示方法について	18-18
第 19 章 RAM		
19.1	概要	19-1
19.1.1	ブロック図	19-1
19.1.2	レジスタ構成	19-2
19.2	各レジスタの説明	19-2
19.2.1	システムコントロールレジスタ (SYSCR)	19-2
19.3	動作説明	19-2
19.4	使用上の注意	19-3
第 20 章 ROM		
20.1	特長	20-1
20.2	概要	20-2
20.2.1	ブロック図	20-2
20.2.2	モード遷移図	20-3
20.2.3	オンボードプログラミングモード	20-4
20.2.4	RAM によるフラッシュメモリのエミュレーション	20-6
20.2.5	ブートモードとユーザプログラムモードの相違点	20-7
20.2.6	ブロック分割法	20-7
20.3	端子構成	20-8
20.4	レジスタ構成	20-8
20.5	レジスタの説明	20-9
20.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	20-9
20.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	20-11
20.5.3	消去ブロック指定レジスタ 1 (EBR1)	20-12
20.5.4	消去ブロック指定レジスタ 2 (EBR2)	20-12
20.5.5	RAM エミュレーションレジスタ (RAMER)	20-13
20.5.6	フラッシュメモリパワーコントロールレジスタ (FLPWCR)	20-14
20.6	オンボードプログラミングモード	20-15
20.6.1	ブートモード	20-15
20.6.2	ユーザプログラムモード	20-19
20.7	フラッシュメモリの書き込み／消去	20-21
20.7.1	プログラムモード	20-22
20.7.2	プログラムベリファイモード	20-23
20.7.3	イレースモード	20-27

20.7.4	イレースベリファイモード	20-27
20.8	プロテクト	20-29
20.8.1	ハードウェアプロテクト	20-29
20.8.2	ソフトウェアプロテクト	20-29
20.8.3	エラープロテクト	20-30
20.9	RAM によるフラッシュメモリのエミュレーション	20-31
20.10	フラッシュメモリの書き込み／消去時の割り込み処理	20-33
20.11	ライタモード	20-33
20.12	フラッシュメモリと低消費電力状態	20-34
20.12.1	低消費電力状態の注意事項	20-34
20.13	フラッシュメモリの書き込み／消去時の注意	20-35
第 21 章 クロック発振器		
21.1	概要	21-1
21.1.1	ブロック図	21-1
21.1.2	レジスタ構成	21-2
21.2	各レジスタの説明	21-2
21.2.1	システムクロックコントロールレジスタ (SCKCR)	21-2
21.2.2	ローパワーコントロールレジスタ (LPWRCR)	21-3
21.3	発振器	21-4
21.3.1	水晶発振子を接続する方法	21-4
21.4	PLL 回路	21-6
21.5	中速クロック分周器	21-7
21.6	バスマスタクロック選択回路	21-7
21.7	サブクロック発振器	21-7
21.8	サブクロック波形成形回路	21-8
21.9	発振子に関する注意事項	21-8
第 22 章 低消費電力状態		
22.1	概要	22-1
22.1.1	レジスタ構成	22-4
22.2	各レジスタの説明	22-5
22.2.1	スタンバイコントロールレジスタ (SBYCR)	22-5
22.2.2	システムクロックコントロールレジスタ (SCKCR)	22-6
22.2.3	ローパワーコントロールレジスタ (LPWRCR)	22-8
22.2.4	タイマコントロール／ステータスレジスタ (TCSR)	22-10
22.2.5	モジュールストップコントロールレジスタ (MSTPCR)	22-11
22.3	中速モード	22-12
22.4	スリープモード	22-13
22.4.1	スリープモード	22-13
22.4.2	スリープモードの解除	22-13
22.5	モジュールストップモード	22-14
22.5.1	モジュールストップモード	22-14
22.5.2	使用上の注意	22-14

22.6	ソフトウェアスタンバイモード	22-15
22.6.1	ソフトウェアスタンバイモード	22-15
22.6.2	ソフトウェアスタンバイモードの解除	22-15
22.6.3	ソフトウェアスタンバイモード解除後の発振安定時間の設定	22-16
22.6.4	ソフトウェアスタンバイモードの応用例	22-16
22.6.5	使用上の注意	22-17
22.7	ハードウェアスタンバイモード	22-18
22.7.1	ハードウェアスタンバイモード	22-18
22.7.2	ハードウェアスタンバイモードのタイミング	22-18
22.8	ウォッチモード	22-19
22.8.1	ウォッチモード	22-19
22.8.2	ウォッチモードの解除	22-19
22.8.3	使用上の注意	22-19
22.9	サブスリープモード	22-20
22.9.1	サブスリープモード	22-20
22.9.2	サブスリープモードの解除	22-20
22.10	サブアクティブモード	22-20
22.10.1	サブアクティブモード	22-20
22.10.2	サブアクティブモードの解除	22-21
22.11	直接遷移	22-21
22.11.1	直接遷移の概要	22-21
22.12	φクロック出力禁止機能	22-22
22.13	使用上の注意事項	22-22

第 23 章 電気的特性

23.1	絶対最大定格	23-1
23.2	電源電圧と動作周波数範囲	23-2
23.3	DC 特性	23-3
23.4	AC 特性	23-6
23.4.1	クロックタイミング	23-6
23.4.2	制御信号タイミング	23-7
23.4.3	バスタイミング	23-9
23.4.4	内蔵周辺モジュールタイミング	23-14
23.5	A/D 変換特性	23-18
23.6	LCD 特性	23-18
23.7	フラッシュメモリ特性	23-19

付録

A.	命令	付録-1
A.1	命令セット一覧	付録-1
A.2	命令コード一覧	付録-12
A.3	オペレーションコードマップ	付録-22
A.4	命令実行ステート数	付録-26
A.5	命令実行中のバス状態	付録-35
A.6	コンディションコードの変化	付録-49

B.	内部 I/O レジスタ	付録-54
B.1	アドレス一覧	付録-54
B.2	機能一覧	付録-69
C.	I/O ポートのブロック図	付録-235
C.1	ポート 1 ブロック図	付録-235
C.2	ポート 2 ブロック図	付録-241
C.3	ポート 3 ブロック図	付録-243
C.4	ポート 4 ブロック図	付録-250
C.5	ポート 5 ブロック図	付録-251
C.6	ポート 9 ブロック図	付録-255
C.7	ポート A ブロック図	付録-256
C.8	ポート B ブロック図	付録-257
C.9	ポート C ブロック図	付録-258
C.10	ポート D ブロック図	付録-259
C.11	ポート E ブロック図	付録-260
C.12	ポート F ブロック図	付録-261
C.13	ポート H ブロック図	付録-268
C.14	ポート J ブロック図	付録-269
C.15	ポート K ブロック図	付録-270
D.	端子状態	付録-271
D.1	各処理状態におけるポートの状態	付録-271
E.	ハードウェアスタンバイモード遷移／復帰時のタイミングについて	付録-277
E.1	ハードウェアスタンバイモードの遷移タイミング	付録-277
E.2	ハードウェアスタンバイモードからの復帰タイミング	付録-277
F.	外形寸法図	付録-278

図目次

第 1 章 概要

図 1.1 (1)	H8S/2646、H8S/2646R、H8S/2645 内部ブロック図	1-5
図 1.1 (2)	H8S/2648、H8S/2648R、H8S/2647 内部ブロック図	1-6
図 1.2 (1)	H8S/2646、H8S/2646R、H8S/2645 ピン配置図 (FP-144J/FP-144JV、FP-144G/FP-144GV：上面図)	1-7
図 1.2 (2)	H8S/2648、H8S/2648R、H8S/2647 ピン配置図 (FP-144J/FP-144JV、FP-144G/FP-144GV：上面図)	1-8

第 2 章 CPU

図 2.1	CPU 動作モード	2-4
図 2.2	例外処理ベクタテーブル（ノーマルモード）	2-5
図 2.3	ノーマルモードのスタック構造	2-6
図 2.4	例外処理ベクタテーブル（アドバンスモード）	2-7
図 2.5	アドバンスモードのスタック構造	2-8
図 2.6	メモリマップ	2-9
図 2.7	CPU 内部レジスタ構成	2-10
図 2.8	汎用レジスタの使用方法	2-11
図 2.9	スタックの状態	2-12
図 2.10	汎用レジスタのデータ構成 (1)	2-15
図 2.10	汎用レジスタのデータ構成 (2)	2-16
図 2.11	メモリ上でのデータ構成	2-17
図 2.12	命令フォーマットの例	2-28
図 2.13	メモリ間接による分岐アドレスの指定	2-32
図 2.14	処理状態の分類	2-36
図 2.15	状態遷移図	2-37
図 2.16	例外処理終了後のスタックの状態（例）	2-39
図 2.17	内蔵メモリアクセスサイクル	2-41
図 2.18	内蔵メモリアクセス時の端子状態	2-42
図 2.19	内蔵周辺モジュールアクセスサイクル	2-42
図 2.20	内蔵周辺モジュールアクセス時の端子状態	2-43
図 2.21	内蔵 HCAN モジュールアクセスサイクル（ウェイトステートなし）	2-43
図 2.22	内蔵 HCAN モジュールアクセスサイクル（ウェイトステートあり）	2-44
図 2.23	内蔵 HCAN モジュールアクセス時の端子状態	2-44

第 3 章 MCU 動作モード

図 3.1 (1)	H8S/2646、H8S/2646R、H8S/2648、H8S/2648R の各動作モードの アドレスマップ	3-7
図 3.1 (2)	H8S/2645、H8S/2647 の各動作モードのアドレスマップ	3-8

第 4 章 例外処理

図 4.1	例外処理要因	4-2
図 4.2	リセットシーケンス（モード 6、7）	4-4

図 4.3	リセットシーケンス（モード 4）	4-5
図 4.4	割り込み要因と要因数	4-7
図 4.5 (1)	例外処理終了後のスタックの状態 （ノーマルモード：本 LSI では使用できません）	4-8
図 4.5 (2)	例外処理終了後のスタックの状態（アドバンスモード）	4-8
図 4.6	SP を奇数に設定したときの動作	4-9
第 5 章 割り込みコントローラ		
図 5.1	割り込みコントローラのブロック図	5-2
図 5.2	IRQ5～IRQ0 割り込みのブロック図	5-9
図 5.3	IRQnF のセットタイミング	5-9
図 5.4	割り込み制御動作のブロック図	5-14
図 5.5	割り込み制御モード 0 の割り込み受け付けまでのフロー	5-17
図 5.6	割り込み制御モード 2 の割り込み受け付けまでのフロー	5-19
図 5.7	割り込み例外処理	5-20
図 5.8	割り込みの発生とディスエーブルの競合	5-22
図 5.9	DTC と割り込み制御	5-24
第 6 章 PC ブレークコントローラ（PBC）		
図 6.1	PC ブレークコントローラのブロック図	6-2
図 6.2	低消費電力モード遷移時の動作	6-8
第 7 章 バスコントローラ		
図 7.1	バスコントローラのブロック図	7-2
図 7.2	エリア分割の様子	7-12
図 7.3	アクセスサイズとデータアライメント制御（8 ビットアクセス空間）	7-15
図 7.4	アクセスサイズとデータアライメント制御（16 ビットアクセス空間）	7-16
図 7.5	8 ビット 2 ステートアクセス空間のバスタイミング	7-17
図 7.6	8 ビット 3 ステートアクセス空間のバスタイミング	7-18
図 7.7	16 ビット 2 ステートアクセス空間のバスタイミング（1） （偶数アドレスバイトアクセス）	7-19
図 7.8	16 ビット 2 ステートアクセス空間のバスタイミング（2） （奇数アドレスバイトアクセス）	7-20
図 7.9	16 ビット 2 ステートアクセス空間のバスタイミング（3） （ワードアクセス）	7-21
図 7.10	16 ビット 3 ステートアクセス空間のバスタイミング（1） （偶数アドレスバイトアクセス）	7-22
図 7.11	16 ビット 3 ステートアクセス空間のバスタイミング（2） （奇数アドレスバイトアクセス）	7-23
図 7.12	16 ビット 3 ステートアクセス空間のバスタイミング（3） （ワードアクセス）	7-24
図 7.13	ウェイトステート挿入タイミング例	7-26
図 7.14 (a)	バースト ROM アクセスタイミング例（AST0=BRSTS1=1 の場合）	7-27
図 7.14 (b)	バースト ROM アクセスタイミング例（AST0=BRSTS1=0 の場合）	7-28
図 7.15	アイドルサイクル動作例（1）	7-29
図 7.16	アイドルサイクル動作例（2）	7-30
図 7.17	チップセレクト（ $\overline{\text{CS}}$ ）とリード（ $\overline{\text{RD}}$ ）の関係	7-31
図 7.18	ライトデータバッファ機能使用時のタイミング例	7-32

第8章 データトランスファコントローラ (DTC)

図 8.1	DTC のブロック図.....	8-2
図 8.2	DTC 動作フローチャート	8-10
図 8.3	DTC 起動要因制御ブロック図	8-12
図 8.4	DTC ベクタアドレスとレジスタ情報との対応.....	8-13
図 8.5	アドレス空間上での DTC レジスタ情報の配置.....	8-16
図 8.6	ノーマルモードのメモリマップ	8-17
図 8.7	リピートモードのメモリマップ	8-18
図 8.8	ブロック転送モードのメモリマップ.....	8-19
図 8.9	チェーン転送のメモリマップ	8-20
図 8.10	DTC の動作タイミング (ノーマルモード、リピートモードの例)	8-21
図 8.11	DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2 の例)	8-21
図 8.12	DTC の動作タイミング (チェーン転送の例)	8-21

第9章 I/O ポート

図 9.1	ポート 1 の端子機能	9-8
図 9.2	ポート 2 の端子機能	9-18
図 9.3	ポート 3 の端子機能	9-24
図 9.4	ポート 4 の端子機能	9-28
図 9.5 (1)	ポート 5 の端子機能 (H8S/2646、H8S/2646R、H8S/2645)	9-29
図 9.5 (2)	ポート 5 の端子機能 (H8S/2648、H8S/2648R、H8S/2647)	9-29
図 9.6	ポート 9 の端子機能	9-33
図 9.7	ポート A の端子機能	9-34
図 9.8	ポート B の端子機能	9-39
図 9.9	ポート C の端子機能	9-43
図 9.10	ポート D の端子機能	9-47
図 9.11	ポート E の端子機能.....	9-51
図 9.12	ポート F の端子機能.....	9-54
図 9.13	ポート H の端子機能	9-58
図 9.14	ポート J の端子機能.....	9-60
図 9.15	ポート K の端子機能	9-62

第10章 16ビットタイマパルスユニット (TPU)

図 10.1	TPU のブロック図.....	10-4
図 10.2	16ビットレジスタのアクセス動作 (バスマスタ $\longleftrightarrow$ TCNT (16ビット))	10-32
図 10.3	8ビットレジスタのアクセス動作 (バスマスタ $\longleftrightarrow$ TCR (上位8ビット))	10-32
図 10.4	8ビットレジスタのアクセス動作 (バスマスタ $\longleftrightarrow$ TMDR (下位8ビット))	10-33
図 10.5	8ビットレジスタのアクセス動作 (バスマスタ $\longleftrightarrow$ TCR、TMDR (16ビット))	10-33
図 10.6	カウンタ動作設定手順例	10-35
図 10.7	フリーランニングカウンタの動作	10-36
図 10.8	周期カウンタの動作	10-36
図 10.9	コンペアマッチによる波形出力動作例.....	10-37
図 10.10	0出力/1出力の動作例	10-38
図 10.11	トグル出力の動作例	10-38
図 10.12	インプットキャプチャ動作の設定例.....	10-39
図 10.13	インプットキャプチャ動作例	10-39

図 10.14	同期動作の設定手順例	10-40
図 10.15	同期動作の動作例	10-41
図 10.16	コンペアマッチバッファ動作	10-42
図 10.17	インプットキャプチャバッファ動作	10-42
図 10.18	バッファ動作の設定手順例	10-43
図 10.19	バッファ動作例 (1)	10-43
図 10.20	バッファ動作例 (2)	10-44
図 10.21	カスケード接続動作設定手順	10-45
図 10.22	カスケード接続動作例 (1)	10-45
図 10.23	カスケード接続動作例 (2)	10-46
図 10.24	PWM モードの設定手順例	10-48
図 10.25	PWM モードの動作例 (1)	10-48
図 10.26	PWM モードの動作例 (2)	10-49
図 10.27	PWM モード動作例 (3)	10-50
図 10.28	位相計数モードの設定手順例	10-51
図 10.29	位相計数モード 1 の動作例	10-52
図 10.30	位相計数モード 2 の動作例	10-53
図 10.31	位相計数モード 3 の動作例	10-54
図 10.32	位相計数モード 4 の動作例	10-55
図 10.33	位相計数モードの応用例	10-56
図 10.34	内部クロック動作時のカウントタイミング	10-59
図 10.35	外部クロック動作時のカウントタイミング	10-59
図 10.36	アウトプットコンペア出力タイミング	10-60
図 10.37	インプットキャプチャ入力信号タイミング	10-60
図 10.38	カウンタクリアタイミング (コンペアマッチ)	10-61
図 10.39	カウンタクリアタイミング (インプットキャプチャ)	10-61
図 10.40	バッファ動作タイミング (コンペアマッチ)	10-62
図 10.41	バッファ動作タイミング (インプットキャプチャ)	10-62
図 10.42	TGI 割り込みタイミング (コンペアマッチ)	10-63
図 10.43	TGI 割り込みタイミング (インプットキャプチャ)	10-64
図 10.44	TCIV 割り込みのセットタイミング	10-64
図 10.45	TCIU 割り込みのセットタイミング	10-65
図 10.46	CPU によるステータスフラグのクリアタイミング	10-65
図 10.47	DTC の起動によるステータスフラグのクリアタイミング	10-66
図 10.48	位相計数モード時の位相差、オーバーラップ、およびパルス幅	10-66
図 10.49	TCNT のライトとクリアの競合	10-67
図 10.50	TCNT のライトとカウントアップの競合	10-68
図 10.51	TGR のライトとコンペアマッチの競合	10-68
図 10.52	バッファレジスタのライトとコンペアマッチの競合	10-69
図 10.53	TGR のリードとインプットキャプチャの競合	10-70
図 10.54	TGR のライトとインプットキャプチャの競合	10-70
図 10.55	バッファレジスタのライトとインプットキャプチャの競合	10-71
図 10.56	オーバフローとカウンタクリアの競合	10-72
図 10.57	TCNT のライトとオーバフローの競合	10-72

第 11 章 プログラマブルパルスジェネレータ (PPG)

図 11.1	PPG のブロック図	11-2
図 11.2	PPG 出力動作	11-13

図 11.3	NDR の内容が転送・出力されるタイミング例	11-14
図 11.4	パルス出力通常動作の設定手順例	11-15
図 11.5	パルス出力通常動作例（5 相パルス出力例）	11-16
図 11.6	パルス出力ノンオーバーラップ動作の設定手順例.....	11-17
図 11.7	パルス出力ノンオーバーラップ動作例（4 相の相補ノンオーバーラップ出力）	11-18
図 11.8	パルス反転出力例	11-19
図 11.9	インプットキャプチャによるパルス出力例.....	11-20
図 11.10	パルス出力ノンオーバーラップ動作	11-21
図 11.11	ノンオーバーラップ動作と NDR ライトタイミング	11-21
第 12 章 ウォッチドッグタイマ (WDT)		
図 12.1 (a)	WDT0 のブロック図.....	12-2
図 12.1 (b)	WDT1 のブロック図.....	12-3
図 12.2	TCNT、TCSR へのライト (WDT0 の例)	12-9
図 12.3	RSTCSR へのライト (WDT0 の例)	12-10
図 12.4 (a)	WDT0 のウォッチドッグタイマモード時の動作	12-11
図 12.4 (b)	WDT1 のウォッチドッグタイマモード時の動作	12-11
図 12.5	インターバルタイマモード時の動作.....	12-12
図 12.6	OVF のセットタイミング	12-13
図 12.7	WOFV のセットタイミング	12-13
図 12.8	TCNT のライトとカウントアップの競合	12-14
第 13 章 シリアルコミュニケーションインタフェース (SCI)		
図 13.1	SCI のブロック図.....	13-3
図 13.2	調歩同式通信のデータフォーマット （8 ビットデータ／パリティあり／2 ストップビットの例）	13-26
図 13.3	出力クロックと通信データの位相関係（調歩同期式モード）	13-28
図 13.4	SCI の初期化フローチャートの例	13-29
図 13.5	シリアル送信のフローチャートの例.....	13-30
図 13.6	調歩同期式モードでの送信時の動作例 （8 ビットデータ／パリティあり／1 ストップビットの例）	13-32
図 13.7	シリアル受信データフローチャートの例（1）	13-33
図 13.7	シリアル受信データフローチャートの例（2）	13-34
図 13.8	SCI の受信時の動作例 （8 ビットデータ／パリティあり／1 ストップビットの例）	13-36
図 13.9	マルチプロセッサフォーマットを使用したプロセッサ間通信の例 （受信局 A へのデータ H'AA の送信の例）	13-37
図 13.10	マルチプロセッサシリアル送信のフローチャートの例	13-38
図 13.11	SCI の送信時の動作例 （8 ビットデータ／マルチプロセッサビットあり／1 ストップビットの例） ...	13-40
図 13.12	マルチプロセッサシリアル受信のフローチャートの例（1）	13-41
図 13.12	マルチプロセッサシリアル受信のフローチャートの例（2）	13-42
図 13.13	SCI の受信時の動作例 （8 ビットデータ／マルチプロセッサビットあり／1 ストップビットの例） ...	13-43
図 13.14	クロック同期式通信のデータフォーマット	13-44
図 13.15	SCI の初期化フローチャートの例	13-45
図 13.16	シリアル送信のフローチャートの例.....	13-46
図 13.17	SCI の送信時の動作例	13-47

図 13.18 シリアルデータ受信フローチャートの例.....	13-48
図 13.19 SCI の受信時の動作例.....	13-49
図 13.20 シリアル送受信同時動作のフローチャートの例.....	13-50
図 13.21 調歩同期式モードの受信データサンプリングタイミング.....	13-53
図 13.22 DTC によるクロック同期式送信時の例.....	13-54
図 13.23 送信時のモード遷移フローチャートの例.....	13-55
図 13.24 内部クロック、調歩同期送信の場合.....	13-56
図 13.25 内部クロック、クロック同期送信の場合.....	13-56
図 13.26 受信時のモード遷移フローチャートの例.....	13-57
図 13.27 SCK 端子からポート端子へ切り替えるときの動作.....	13-58
図 13.28 SCK 端子からポート端子へ切り替えるときの動作 (Low 出力の回避例)	13-58
第 14 章 スマートカードインタフェース	
図 14.1 スマートカードインタフェースのブロック図.....	14-2
図 14.2 スマートカードインタフェース端子接続概略図.....	14-10
図 14.3 通常のスマートカードインタフェースのデータフォーマット	14-10
図 14.4 送信処理フローの例	14-17
図 14.5 送信動作と内部レジスタの関連	14-18
図 14.6 送信動作時の TEND フラグ発生タイミング	14-18
図 14.7 受信処理フローの例	14-19
図 14.8 クロック出力固定タイミング	14-20
図 14.9 クロック停止・再起動手順	14-22
図 14.10 スマートカードインタフェースモード時の受信データサンプリング タイミング (372 倍のクロック使用時)	14-24
図 14.11 SCI 受信モードの場合の再転送動作	14-25
図 14.12 SCI 送信モードの場合の再転送動作	14-26
第 15 章 コントローラエリアネットワーク (HCAN)	
図 15.1 HCAN のブロック図.....	15-2
図 15.2 スタンダード Identifier	15-27
図 15.3 エクステンデッド Identifier	15-28
図 15.4 ハードウェアリセット時のフローチャート.....	15-31
図 15.5 ソフトウェアリセット時のフローチャート.....	15-32
図 15.6 1 ビットの詳細説明	15-34
図 15.7 送信時のフローチャート	15-38
図 15.8 送信メッセージの取り消しのフローチャート	15-41
図 15.9 受信時のフローチャート	15-43
図 15.10 未読メッセージオーバライトのフローチャート.....	15-46
図 15.11 HCAN スリープモードのフローチャート	15-47
図 15.12 HCAN HALT モードのフローチャート.....	15-49
図 15.13 DTC の転送フローチャート	15-51
図 15.14 HA13721 を用いたハイスピードインタフェース.....	15-52
第 16 章 A/D 変換器	
図 16.1 A/D 変換器のブロック図	16-2
図 16.2 ADDR のアクセス動作 (H'AA40 リード時)	16-9
図 16.3 A/D 変換器の動作例 (シングルモード チャネル 1 選択時)	16-11
図 16.4 A/D 変換器の動作例 (スキャンモード AN0~AN2 の 3 チャネル選択時)	16-12
図 16.5 A/D 変換タイミング	16-13

図 16.6	外部トリガ入力タイミング	16-14
図 16.7	アナログ入力保護回路の例	16-16
図 16.8	アナログ入力端子等価回路	16-16
図 16.9	A/D 変換精度の定義 (1)	16-17
図 16.10	A/D 変換精度の定義 (2)	16-18
図 16.11	アナログ入力回路の例	16-19
第 17 章 モータコントロール PWM タイマ		
図 17.1	PWM チャネル 1 のブロック図.....	17-2
図 17.2	PWM チャネル 2 のブロック図.....	17-3
図 17.3	サイクルレジスタのコンペアマッチ	17-9
図 17.4	デューティレジスタのコンペアマッチ (PWPR1 の OPS=0)	17-10
図 17.5	デューティレジスタの設定値による PWM 出力の相違 (PWPR1 の OPS=0) ...	17-10
図 17.6	デューティレジスタのコンペアマッチ (PWPR2 の OPS=0)	17-12
図 17.7	デューティレジスタの設定値による PWM 出力の相違 (PWPR2 の OPS=0) ...	17-12
図 17.8	16 ビットレジスタのアクセス動作 (バスマスタ↔PWCYR1 (16 ビット)) ...	17-14
図 17.9	8 ビットレジスタのアクセス動作 (バスマスタ↔PWCR1 (上位 8 ビット))	17-15
図 17.10	PWM チャネル 1 の動作.....	17-16
図 17.11	PWM チャネル 2 の動作.....	17-17
図 17.12	PWM チャネル 1 の動作.....	17-18
第 18 章 LCD コントローラ／ドライバ		
図 18.1	LCD コントローラ／ドライバのブロック図.....	18-2
図 18.2	1/2 デューティ時の LCD 駆動電源の処理.....	18-9
図 18.3	LCD RAM マップ (1/4 デューティ)	18-10
図 18.4	LCD RAM マップ (1/3 デューティ)	18-11
図 18.5	LCD RAM マップ (1/2 デューティ)	18-11
図 18.6	LCD RAM マップ (スタティック)	18-12
図 18.7	LCD RAM マップ (1/4 デューティ)	18-13
図 18.8	LCD RAM マップ (1/3 デューティ)	18-13
図 18.9	LCD RAM マップ (1/2 デューティ)	18-14
図 18.10	LCD RAM マップ (スタティック)	18-14
図 18.11	各デューティでの出力波形 (A 波形)	18-15
図 18.12	各デューティでの出力波形 (B 波形)	18-16
図 18.13	外部分割抵抗の接続方法	18-18
第 19 章 RAM		
図 19.1	RAM のブロック図.....	19-1
第 20 章 ROM		
図 20.1	フラッシュメモリのブロック図	20-2
図 20.2	フラッシュメモリに関する状態遷移.....	20-3
図 20.3	ユーザモードユーザプログラムモードのオーバーラップ RAM データの 読み出し	20-6
図 20.4	ユーザプログラムモードのオーバーラップ RAM データの書き込み	20-6
図 20.5	フラッシュメモリのブロック分割	20-7
図 20.6	ブートモード時のシステム構成図	20-15
図 20.7	ブートモード実行手順	20-16

図 20.8	ブートモード時の RAM エリア	20-18
図 20.9	ユーザプログラムモードの実行手順例.....	20-20
図 20.10	FLMCR1 の各ビット設定による状態遷移.....	20-22
図 20.11	プログラム／プログラムベリファイフロー.....	20-26
図 20.12	イレース／イレースベリファイフロー.....	20-28
図 20.13	フラッシュメモリの状態遷移図	20-30
図 20.14	RAM によるエミュレーションフロー	20-31
図 20.15	RAM のオーバーラップ動作例	20-32
図 20.16	電源投入／切断タイミング（ブートモード）	20-37
図 20.17	電源投入／切断タイミング（ユーザプログラムモード）	20-38
図 20.18	モード遷移タイミング（例：ブートモード↔ユーザプログラムモード）	20-39
第 21 章 クロック発振器		
図 21.1	クロック発振器のブロック図	21-1
図 21.2	水晶発振子の接続例	21-4
図 21.3	水晶発振子の等価回路	21-5
図 21.4	発振回路部のボード設計に関する注意事項.....	21-5
図 21.5	PLL 発振回路使用上の注意	21-6
図 21.6	32.768kHz 水晶発振子の接続例.....	21-7
図 21.7	32.768kHz 水晶発振子の等価回路.....	21-8
図 21.8	サブクロックを必要としない場合の端子処理.....	21-8
第 22 章 低消費電力状態		
図 22.1	モード遷移図.....	22-3
図 22.2	中速モードの遷移・解除タイミング.....	22-13
図 22.3	ソフトウェアスタンバイモードの応用例.....	22-17
図 22.4	ハードウェアスタンバイモードのタイミング	22-18
第 23 章 電气的特性		
図 23.1	電源電圧と動作範囲	23-2
図 23.2	出力負荷回路	23-6
図 23.3	システムクロックタイミング	23-7
図 23.4	発振安定時間タイミング	23-7
図 23.5	リセット入力タイミング	23-8
図 23.6	割り込み入力タイミング	23-8
図 23.7	基本バスタイミング／2 ステートアクセス.....	23-10
図 23.8	基本バスタイミング／3 ステートアクセス.....	23-11
図 23.9	基本バスタイミング／3 ステートアクセス 1 ウェイト.....	23-12
図 23.10	バースト ROM アクセスタイミング／2 ステートアクセス.....	23-13
図 23.11	バースト ROM アクセスタイミング／1 ステートアクセス.....	23-13
図 23.12	I/O ポート入出力タイミング	23-15
図 23.13	PPG 出力タイミング.....	23-15
図 23.14	TPU 入出力タイミング.....	23-16
図 23.15	TPU クロック入力タイミング.....	23-16
図 23.16	モータコントロール PWM 出力タイミング	23-16
図 23.17	SCK クロック入力タイミング.....	23-16
図 23.18	SCI 入出力タイミング／クロック同期式モード.....	23-17
図 23.19	A/D 変換器外部トリガ入力タイミング.....	23-17
図 23.20	HCAN 入出力タイミング	23-17

付録

図 A.1	アドレスバス、 $\overline{RD}$ 、 $\overline{HWR}$ 、 $\overline{LWR}$ のタイミング (8 ビットバス・3 ステートアクセス・ウェイトなしの場合)	付録-36
図 C.1 (a)	ポート 1 ブロック図 (P10、P11 端子)	付録-235
図 C.1 (b)	ポート 1 ブロック図 (P12、P13 端子)	付録-236
図 C.1 (c)	ポート 1 ブロック図 (P14 端子)	付録-237
図 C.1 (d)	ポート 1 ブロック図 (P15 端子)	付録-238
図 C.1 (e)	ポート 1 ブロック図 (P16 端子)	付録-239
図 C.1 (f)	ポート 1 ブロック図 (P17 端子)	付録-240
図 C.2 (a)	ポート 2 ブロック図 (P20～P23、P25、P27 端子)	付録-241
図 C.2 (b)	ポート 2 ブロック図 (P24、P26 端子)	付録-242
図 C.3 (a)	ポート 3 ブロック図 (P30 端子)	付録-243
図 C.3 (b)	ポート 3 ブロック図 (P31 端子)	付録-244
図 C.3 (c)	ポート 3 ブロック図 (P32 端子)	付録-245
図 C.3 (d)	ポート 3 ブロック図 (P33 端子)	付録-246
図 C.3 (e)	ポート 3 ブロック図 (P34 端子)	付録-247
図 C.3 (f)	ポート 3 ブロック図 (P35 端子)	付録-248
図 C.3 (g)	ポート 3 ブロック図 (P36、P37 端子)	付録-249
図 C.4	ポート 4 ブロック図 (P40～P47 端子)	付録-250
図 C.5 (a)	ポート 5 ブロック図 (P50、P51、P52 端子) (H8S/2646、H8S/2646R、H8S/2645)	付録-251
図 C.5 (b)	ポート 5 ブロック図 (P50 端子) (H8S/2648、H8S/2648R、H8S/2647)	付録-252
図 C.5 (c)	ポート 5 ブロック図 (P51 端子) (H8S/2648、H8S/2648R、H8S/2647)	付録-253
図 C.5 (d)	ポート 5 ブロック図 (P52 端子) (H8S/2648、H8S/2648R、H8S/2647)	付録-254
図 C.6	ポート 9 ブロック図 (P90～P97 端子)	付録-255
図 C.7	ポート A ブロック図 (PA0～PA7 端子)	付録-256
図 C.8	ポート B ブロック図 (PB0～PB7 端子)	付録-257
図 C.9	ポート C ブロック図 (PC0～PC7 端子)	付録-258
図 C.10	ポート D ブロック図 (PD0～PD7 端子)	付録-259
図 C.11	ポート E ブロック図 (PE0～PE7 端子)	付録-260
図 C.12 (a)	ポート F ブロック図 (PF0 端子)	付録-261
図 C.12 (b)	ポート F ブロック図 (PF2 端子)	付録-262
図 C.12 (c)	ポート F ブロック図 (PF3 端子)	付録-263
図 C.12 (d)	ポート F ブロック図 (PF4 端子)	付録-264
図 C.12 (e)	ポート F ブロック図 (PF5 端子)	付録-265
図 C.12 (f)	ポート F ブロック図 (PF6 端子)	付録-266
図 C.12 (g)	ポート F ブロック図 (PF7 端子)	付録-267
図 C.13	ポート H ブロック図 (PH0～PH7 端子)	付録-268
図 C.14	ポート J ブロック図 (PJ0～PJ7 端子)	付録-269
図 C.15	ポート K ブロック図 (PK6、PK7 端子)	付録-270
図 E.1	ハードウェアスタンバイモードの遷移タイミング	付録-277
図 E.2	ハードウェアスタンバイモードからの復帰タイミング	付録-277
図 F.1	外形寸法図 (H8S/2646R、H8S/2648R)	付録-278
図 F.2	外形寸法図 (H8S/2646、H8S/2645、H8S/2648、H8S/2647)	付録-279

表目次

第 1 章 概要

表 1.1	概要	1-2
表 1.2 (1)	動作モード別端子機能一覧 (H8S/2646、H8S/2646R、H8S/2645)	1-9
表 1.2 (2)	動作モード別端子機能一覧 (H8S/2648、H8S/2648R、H8S/2647)	1-13
表 1.3	端子機能	1-17

第 2 章 CPU

表 2.1	命令の分類	2-18
表 2.2	命令とアドレッシングモードの組み合わせ	2-19
表 2.3	データ転送命令	2-21
表 2.4	算術演算命令	2-21
表 2.5	論理演算命令	2-23
表 2.6	シフト命令	2-23
表 2.7	ビット操作命令	2-24
表 2.8	分岐命令	2-26
表 2.9	システム制御命令	2-27
表 2.10	ブロック転送命令	2-27
表 2.11	アドレッシングモード一覧表	2-29
表 2.12	絶対アドレスのアクセス範囲	2-30
表 2.14	例外処理の種類と優先度	2-38

第 3 章 MCU 動作モード

表 3.1	MCU 動作モードの選択	3-1
表 3.2	レジスタ構成	3-2
表 3.3	各動作モードにおける端子機能	3-6

第 4 章 例外処理

表 4.1	例外処理の種類と優先度	4-1
表 4.2	例外処理ベクタテーブル	4-2
表 4.3	トレース例外処理後の CCR、EXR の状態	4-6
表 4.4	トラップ命令例外処理後の CCR、EXR の状態	4-7

第 5 章 割り込みコントローラ

表 5.1	端子構成	5-2
表 5.2	レジスタ構成	5-3
表 5.3	各割り込み要因と IPR の対応	5-5
表 5.4	割り込み要因とベクタアドレスおよび割り込み優先順位一覧	5-10
表 5.5	割り込み制御モード	5-13
表 5.6	割り込み制御モードと選択される割り込み (1)	5-14
表 5.7	割り込み制御モードと選択される割り込み (2)	5-15
表 5.8	割り込み制御モードと動作および制御信号機能	5-15
表 5.9	割り込み応答時間	5-21

表 5.10	割り込み例外処理の実行状態のステート数.....	5-21
表 5.11	割り込み要因の選択とクリア制御	5-25
第 6 章 PC ブレークコントローラ (PBC)		
表 6.1	レジスタ構成	6-2
第 7 章 バスコントローラ		
表 7.1	端子構成	7-3
表 7.2	レジスタ構成	7-3
表 7.3	各エリアのバス仕様 (基本バスインタフェース)	7-13
表 7.4	使用するデータバスと有効ストロープ	7-16
表 7.5	アイドルサイクルでの端子状態	7-31
第 8 章 データトランスファコントローラ (DTC)		
表 8.1	レジスタ構成	8-3
表 8.2	DTC の機能概要	8-11
表 8.3	起動要因と DTCER のクリア	8-11
表 8.4	割り込み要因と DTC ベクタアドレスおよび対応する DTCE.....	8-13
表 8.5	ノーマルモードのレジスタ機能	8-17
表 8.6	リピートモードのレジスタ機能	8-18
表 8.7	ブロック転送モードのレジスタ機能.....	8-19
表 8.8	DTC の実行状態	8-22
表 8.9	実行状態に必要なステート数	8-22
第 9 章 I/O ポート		
表 9.1 (1)	ポートの機能一覧 (H8S/2646、H8S/2646R、H8S/2645)	9-2
表 9.1 (2)	ポートの機能一覧 (H8S/2648、H8S/2648R、H8S/2647)	9-5
表 9.2	ポート 1 レジスタ構成	9-8
表 9.3	ポート 1 の端子機能	9-10
表 9.4	ポート 2 レジスタ構成	9-18
表 9.5	ポート 2 の端子機能	9-20
表 9.6	ポート 3 レジスタ構成	9-24
表 9.7	ポート 3 の端子機能	9-26
表 9.8	ポート 4 レジスタ構成	9-28
表 9.9	ポート 5 レジスタ構成	9-30
表 9.10 (1)	ポート 5 の端子機能 (H8S/2646、H8S/2646R、H8S/2645)	9-31
表 9.10 (2)	ポート 5 の端子機能 (H8S/2648、H8S/2648R、H8S/2647)	9-32
表 9.11	ポート 9 レジスタ構成	9-33
表 9.12	ポート A レジスタ構成	9-35
表 9.13	PA7~PA4 の端子機能	9-37
表 9.14	PA3~PA0 の端子機能	9-38
表 9.15	入力プルアップ MOS の状態 (ポート A)	9-38
表 9.16	ポート B レジスタ構成.....	9-40
表 9.17	ポート B の端子機能	9-42
表 9.18	入力プルアップ MOS の状態 (ポート B)	9-42
表 9.19	ポート C レジスタ構成.....	9-44
表 9.20	ポート C の端子機能	9-46
表 9.21	入力プルアップ MOS の状態 (ポート C)	9-46
表 9.22	ポート D レジスタ構成	9-48

表 9.23 (1) ポート D の端子機能 (H8S/2646、H8S/2646R、H8S/2645)	9-49
表 9.23 (2) ポート D の端子機能 (H8S/2648、H8S/2648R、H8S/2647)	9-50
表 9.24 入力プルアップ MOS の状態 (ポート D)	9-50
表 9.25 ポート E レジスタ構成	9-51
表 9.26 (1) ポート E の端子機能 (H8S/2646、H8S/2646R、H8S/2645)	9-53
表 9.26 (2) ポート E の端子機能 (H8S/2648、H8S/2648R、H8S/2647)	9-53
表 9.27 入力プルアップ MOS の状態 (ポート E)	9-54
表 9.28 ポート F レジスタ構成	9-55
表 9.29 ポート F の端子機能	9-56
表 9.30 ポート H レジスタ構成	9-59
表 9.31 ポート H の端子機能	9-60
表 9.32 ポート J レジスタ構成	9-61
表 9.33 ポート J の端子機能	9-62
表 9.34 ポート K レジスタ構成	9-63
表 9.35 ポート K の端子機能	9-64
第 10 章 16 ビットタイマパルスユニット (TPU)	
表 10.1 TPU 機能一覧	10-2
表 10.2 TPU の端子構成	10-5
表 10.3 レジスタ構成	10-6
表 10.4 TPU のクロックソース一覧	10-10
表 10.5 レジスタの組み合わせ	10-41
表 10.6 カスケード接続組み合わせ	10-44
表 10.7 各 PWM 出力のレジスタと出力端子	10-47
表 10.8 位相計数モードクロック入力端子	10-51
表 10.9 位相計数モード 1 のアップ/ダウンカウント条件	10-52
表 10.10 位相計数モード 2 のアップ/ダウンカウント条件	10-53
表 10.11 位相計数モード 3 のアップ/ダウンカウント条件	10-54
表 10.12 位相計数モード 4 のアップ/ダウンカウント条件	10-55
表 10.13 TPU 割り込み一覧	10-57
第 11 章 プログラマブルパルスジェネレータ (PPG)	
表 11.1 端子構成	11-3
表 11.2 レジスタ構成	11-3
表 11.3 PPG 動作条件	11-13
第 12 章 ウォッチドッグタイマ (WDT)	
表 12.1 レジスタ構成	12-3
第 13 章 シリアルコミュニケーションインタフェース (SCI)	
表 13.1 端子構成	13-4
表 13.2 レジスタ構成	13-4
表 13.3 ビットレートに対する BRR の設定例 (調歩同期式モード)	13-16
表 13.4 ビットレートに対する BRR の設定例 (クロック同期式モード)	13-18
表 13.5 各周波数における最大ビットレート (調歩同期式モード)	13-20
表 13.6 外部クロック入力時の最大ビットレート (調歩同期式モード)	13-20
表 13.7 外部クロック入力時の最大ビットレート (クロック同期式モード)	13-21
表 13.8 SMR の設定値とシリアル送信/受信フォーマット	13-25
表 13.9 SMR、SCR の設定と SCI のクロックソースの選択	13-25

表 13.10	シリアル送信／受信フォーマット（調歩同期式モード）	13-27
表 13.11	受信エラーと発生条件	13-35
表 13.12	SCI 割り込み要因	13-51
表 13.13	SSR のステータスフラグの状態と受信データの転送	13-52
第 14 章 スマートカードインタフェース		
表 14.1	端子構成	14-3
表 14.2	レジスタ構成	14-3
表 14.3	スマートカードインタフェースでのレジスタ設定	14-12
表 14.4	n と CKS1、CKS0 の対応表	14-14
表 14.5	BRR の設定に対するビットレート B (bit/s) の例 （ただし、n=0、S=372 のとき）	14-14
表 14.6	ビットレート B (bit/s) に対する BRR の設定例 （ただし、n=0、S=372 のとき）	14-15
表 14.7	各周波数における最大ビットレート （スマートカードインタフェースモード時）（ただし S=372 のとき）	14-15
表 14.8	スマートカードインタフェースモードの動作状態と割り込み要因	14-21
第 15 章 コントローラエリアネットワーク（HCAN）		
表 15.1	端子一覧表	15-3
表 15.2	HCAN レジスタ一覧	15-3
表 15.3	BCR に設定可能なレジスタ値の範囲	15-33
表 15.4	BCR の TSEG1、TSEG2 の設定可能な範囲	15-35
表 15.5	HCAN の割り込み要因	15-50
表 15.6	TXPR と TXPR 設定時間または TXPR と TXCR の設定時間の間隔制限	15-55
第 16 章 A/D 変換器		
表 16.1	端子構成	16-3
表 16.2	レジスタ構成	16-4
表 16.3	アナログ入力チャンネルと ADDR の対応	16-5
表 16.4	A/D 変換時間（シングルモード）	16-14
表 16.5	A/D 変換時間（スキャンモード）	16-14
表 16.6	A/D 変換器の割り込み要因	16-15
表 16.7	アナログ端子の規格	16-16
第 17 章 モータコントロール PWM タイマ		
表 17.1	端子構成	17-4
表 17.2	レジスタ構成	17-4
第 18 章 LCD コントローラ／ドライバ		
表 18.1	端子構成	18-3
表 18.2	レジスタ構成	18-3
表 18.3	出力レベルの関係	18-17
表 18.4	低消費電力モードと表示動作の関係	18-17
第 19 章 RAM		
表 19.1	レジスタ構成	19-2
第 20 章 ROM		
表 20.1	ブートモードとユーザプログラムモードの相違点	20-7
表 20.2	端子構成	20-8

表 20.3	レジスタ構成	20-8
表 20.4	消去ブロックの分割	20-13
表 20.5	フラッシュメモリエリアの分割	20-14
表 20.6	オンボードプログラミングモードの設定方法	20-15
表 20.7	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの 周波数	20-17
表 20.8	ハードウェアプロテクト	20-29
表 20.9	ソフトウェアプロテクト	20-29
表 20.10	フラッシュメモリの動作状態	20-34
第 21 章 クロック発振器		
表 21.1	レジスタ構成	21-2
表 21.2	ダンピング抵抗値	21-4
表 21.3	水晶発振子の特性	21-5
第 22 章 低消費電力状態		
表 22.1	各モードでの LSI の内部状態	22-2
表 22.2	低消費電力モード遷移条件	22-4
表 22.3	レジスタ構成	22-4
表 22.4	MSTP ビットと内蔵周辺機能の対応	22-14
表 22.5	発振安定時間の設定	22-16
表 22.6	各処理状態における ϕ 端子の状態	22-22
第 23 章 電気的特性		
表 23.1	絶対最大定格	23-1
表 23.2	DC 特性	23-3
表 23.3	出力許容電流値	23-5
表 23.4	クロックタイミング	23-6
表 23.5	制御信号タイミング	23-7
表 23.6	バスタイミング	23-9
表 23.7	内蔵周辺モジュールタイミング	23-14
表 23.8	A/D 変換特性	23-18
表 23.9	LCD 特性	23-18
表 23.10	フラッシュメモリ特性	23-19
付録		
表 A.1	命令セット一覧	付録-3
表 A.4	実行状態（サイクル）に要するステート数	付録-26
表 A.5	命令実行状態（サイクル数）	付録-27
表 A.6	命令の実行状態	付録-37
表 A.7	コンディションコードの変化	付録-50
表 D.1	各処理状態における I/O ポートの状態 （H8S/2646、H8S/2646R、H8S/2645）	付録-271
表 D.2	各処理状態における I/O ポートの状態 （H8S/2648、H8S/2648R、H8S/2647）	付録-274

1. 概要

1.1 概要

H8S/2646 グループは、ルネサスオリジナルアーキテクチャを採用した H8S/2600 CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータ（MCU）です。

H8S/2600 CPU は、内部 32 ビット構成で、16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。また、H8/300 および H8/300H CPU の命令に対し、オブジェクトレベルで上位互換を保っていますので、H8/300、H8/300L、H8/300H の各シリーズから容易に移行することができます。

システム構成に必要な機能としては、データトランスファコントローラ（DTC）のバスマスタ、ROM、RAM、16 ビットタイマパルスユニット（TPU）、プログラマブルパルスジェネレータ（PPG）、ウォッチドッグタイマ（WDT）、シリアルコミュニケーションインタフェース（SCI）、コントローラエリアネットワーク（HCAN）、A/D 変換器、モータコントロール PWM タイマ（PWM）、LCD コントローラ/ドライバ（LCDC）、I/O ポートの周辺機能などを内蔵しています。

内蔵 ROM は、128k バイトのフラッシュメモリ（F-ZTAT™）*、または 128k/64k バイトのマスク ROM があります。ROM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。また、命令フェッチを高速化し、処理速度を向上しています。

動作モードとしては、モード 4～7 があり、シングルチップモード／外部拡張モードの選択ができます。

H8S/2646 グループの特長を表 1.1 に示します。

【注】* F-ZTAT はルネサス エレクトロニクス（株）の商標です。

表 1.1 概要

項 目	仕 様
CPU	■汎用レジスタマシン 16 ビット×16 本の汎用レジスタ (8 ビット×16 本、32 ビット×8 本としても使用可能) ■リアルタイム制御向きの高速動作 - 最高動作周波数 20MHz - 高速演算 8/16/32 ビットレジスタ間加減算：50ns 16×16 ビットレジスタ間乗算：200ns 16×16+42 ビット積和演算：200ns 32÷16 ビットレジスタ間除算：1000ns ■高速動作に適した命令セット 69 種類の基本命令 8/16/32 ビット転送/演算命令 - 符号なし/符号付き乗除算命令 - 積和演算命令 - 強力なビット操作命令 ■2 種類の CPU 動作モード - ノーマルモード：アドレス空間 64k バイト (本 LSI では使用できません) - アドバンスモード：アドレス空間 16M バイト
バスコントローラ	- アドレス空間を 8 エリアに分割し、エリアごとに独立してバス仕様を設定可能 - エリアごとに 8 ビット/16 ビットアクセス空間を選択可能 - エリアごとに 2 ステート/3 ステートアクセス空間を設定可能 - エリアごとにプログラムウェイトのステート数を設定可能 - バースト ROM を直接接続可能
PC ブレークコントローラ	- PC ブレーク割り込みによるデバッグ機能をサポート - ブレークチャンネル×2 チャンネル
データトランスファコントローラ (DTC)	- 内部割り込み/ソフトウェアによる起動 1 つの起動要因に対して、複数回・複数種類の転送が可能 - リピートモード/ブロック転送モードなどの転送可能 - DTC を起動した割り込みを CPU に要求可能
16 ビットタイマパルスユニット (TPU)	16 ビットタイマ 6 チャンネルを内蔵 - 最大 16 端子のパルス入出力処理が可能 2 相エンコーダのカウント数の自動計測が可能
プログラマブルパルスジェネレータ (PPG)	- TPU をタイムベースとした最大 8 ビットのパルス出力が可能 4 ビット単位のグループで出力トリガを選択可能 - ノンオーバーラップ期間の設定が可能 - 直接出力/反転出力の設定可能
ウォッチドッグタイマ (WDT) ×2 チャンネル	- ウォッチドッグタイマ/インターバルタイマの選択が可能 - サブクロックによる動作が可能 (1 チャンネルのみ)

項 目	仕 様											
シリアルコミュニケーションインタフェース (SCI) ×2 チャンネル (SCI0、SCI1) H8S/2646、H8S/2646R、H8S/2645	● 調歩同期式モード／クロック同期式モードの選択が可能 ● マルチプロセッサ通信機能 ● スマートカードインタフェース機能											
シリアルコミュニケーションインタフェース (SCI) ×3 チャンネル (SCI0、SCI1、SCI2) H8S/2648、H8S/2648R、H8S/2647												
コントロールエリアネットワーク (HCAN) ×1 チャンネル	● CAN：Ver.2.0B 準拠 ● バッファサイズ：送信／受信×15 本、送信専用×1 本 ● 受信メッセージのフィルタリング可能											
A/D 変換器	● 分解能：10 ビット ● 入力：12 チャンネル ● 最小変換時間 13.3μs (20MHz 動作時) ● シングル／スキャンモードの選択が可能 ● サンプル&ホールド機能 ● 外部トリガ／タイマトリガによる A/D 変換の起動が可能											
モータコントロール PWM タイマ (PWM)	● 最大 16 本の 10 ビット PWM パルス出力 ● 8 本の出力×2 チャンネル内蔵 ● デューティは 0%から 100%まで設定可能 ● バッファレジスタのデータを自動転送可能 ● DTC により、ブロック転送および 1 ワードデータ転送が可能											
LCD コントローラ／ドライバ (LCDC)	● 24 セグメント×4COM* ¹ ● 40 セグメント×4COM* ² ● 表示用 LCD RAM (8 ビット×20 バイト (160 ビット)) ● セグメント出力端子を 4 端子ごとにポートとして選択可能 ● 電源分割抵抗を内蔵 【注】 *1 H8S/2646、H8S/2646R、H8S/2645 の場合 *2 H8S/2648、H8S/2648R、H8S/2647 の場合											
I/O ポート	● 入出力端子 92 本、入力専用端子 16 本											
メモリ	● フラッシュメモリまたはマスク ROM ● 高速スタティック RAM <table><tr><th>製品名</th><th>ROM</th><th>RAM</th></tr><tr><td>H8S/2646、H8S/2646R</td><td rowspan="2">128kバイト</td><td rowspan="2">4kバイト</td></tr><tr><td>H8S/2648、H8S/2648R</td></tr><tr><td>H8S/2645</td><td rowspan="2">64kバイト</td><td rowspan="2">2kバイト</td></tr><tr><td>H8S/2647</td></tr></table>	製品名	ROM	RAM	H8S/2646、H8S/2646R	128kバイト	4kバイト	H8S/2648、H8S/2648R	H8S/2645	64kバイト	2kバイト	H8S/2647
製品名	ROM	RAM										
H8S/2646、H8S/2646R	128kバイト	4kバイト										
H8S/2648、H8S/2648R												
H8S/2645	64kバイト	2kバイト										
H8S/2647												

項 目	仕 様																											
割り込みコントローラ	- 外部割り込み端子 7 本 (NMI、IRQ0～IRQ5) - 内部割り込み要因 43 要因 (H8S/2646、H8S/2646R、H8S/2645)、47 要因 (H8S/2648、H8S/2648R、H8S/2647) 8 レベルの優先順位設定が可能																											
低消費電力状態	- 中速モード - スリープモード - モジュールストップモード - ソフトウェアスタンバイモード - ハードウェアスタンバイモード - サブクロック動作																											
動作モード	4 種類の MCU 動作モード																											
		モード	CPU 動作モード	内 容	内蔵 ROM	外部データバス 初期値 最大値																						
		4	アドバンスト	内蔵ROM無効拡張モード	無効	16ビット 16ビット																						
		5		内蔵ROM無効拡張モード	無効	8ビット 16ビット																						
		6		内蔵ROM有効拡張モード	有効	8ビット 16ビット																						
		7		シングルチップモード	有効	—																						
クロック発振器	- システムクロック用 PLL 回路内蔵 (×1、×2、×4) - システムクロック周波数: 4～20MHz - サブクロック周波数: 32.768kHz																											
パッケージ	144 ピンプラスチック QFP (FP-144)																											
製品ラインアップ	<table><tr><th colspan="2">製品型名</th><th rowspan="2">ROM／RAM (バイト)</th><th rowspan="2">パッケージ</th></tr><tr><th>マスクROM版</th><th>F-ZTAT版</th></tr><tr><td>HD6432646</td><td>HD64F2646R</td><td>128k／4k</td><td>FP-144J/FP-144JV</td></tr><tr><td>HD6432645</td><td>—</td><td>64k／2k</td><td>FP-144G/FP-144GV</td></tr><tr><td>HD6432648</td><td>HD64F2648R</td><td>128k／4k</td><td>FP-144J/FP-144JV</td></tr><tr><td>HD6432647</td><td>—</td><td>64k／2k</td><td>FP-144G/FP-144GV</td></tr></table> HD64F2646R、HD64F2648R のパッケージは FP-144J/FP-144JV。						製品型名		ROM／RAM (バイト)	パッケージ	マスクROM版	F-ZTAT版	HD6432646	HD64F2646R	128k／4k	FP-144J/FP-144JV	HD6432645	—	64k／2k	FP-144G/FP-144GV	HD6432648	HD64F2648R	128k／4k	FP-144J/FP-144JV	HD6432647	—	64k／2k	FP-144G/FP-144GV
製品型名		ROM／RAM (バイト)	パッケージ																									
マスクROM版	F-ZTAT版																											
HD6432646	HD64F2646R	128k／4k	FP-144J/FP-144JV																									
HD6432645	—	64k／2k	FP-144G/FP-144GV																									
HD6432648	HD64F2648R	128k／4k	FP-144J/FP-144JV																									
HD6432647	—	64k／2k	FP-144G/FP-144GV																									

1.2 内部ブロック図

内部ブロック図 1.1 (1)、図 1.1 (2) に示します。

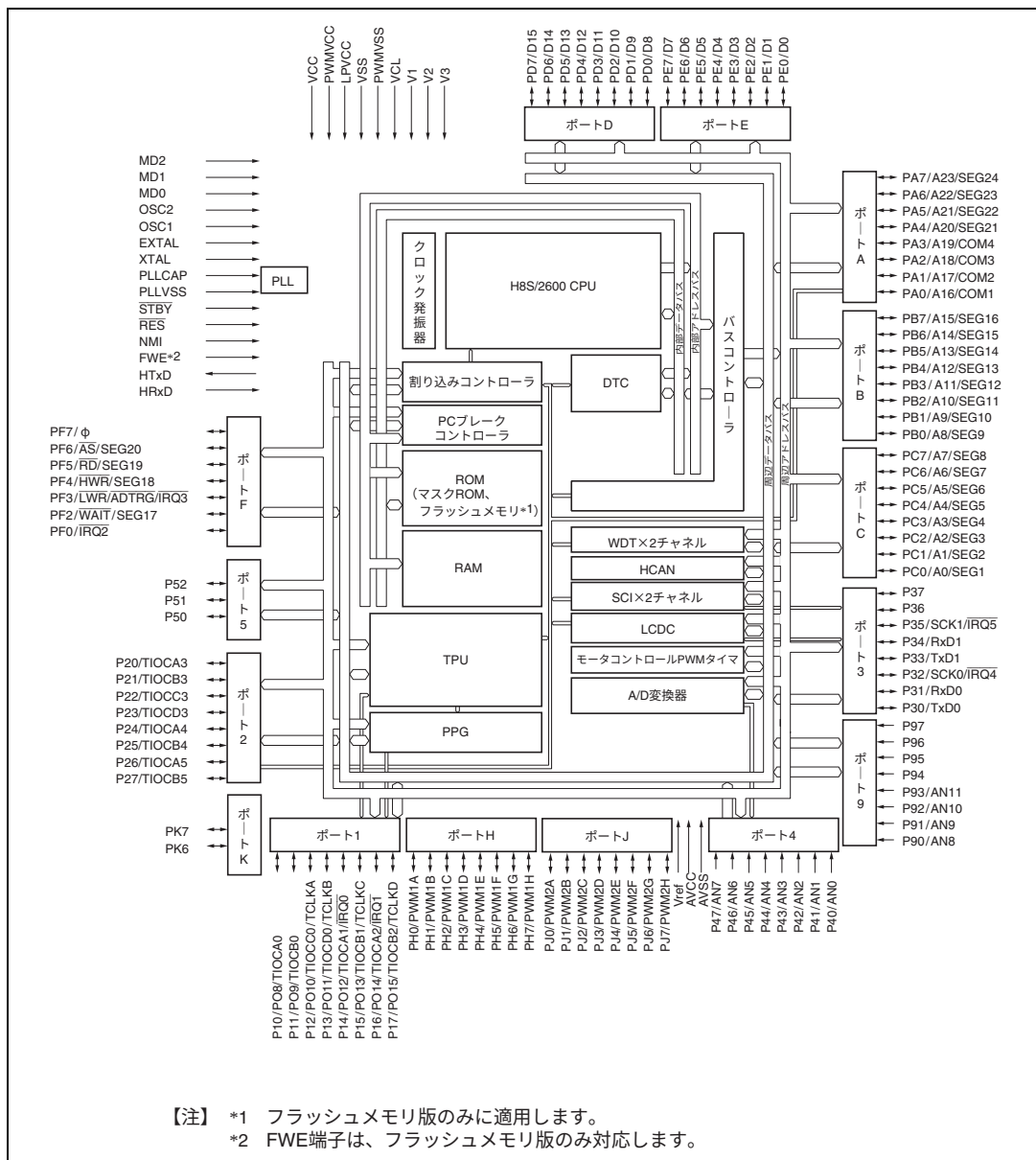


図 1.1 (1) H8S/2646、H8S/2646R、H8S/2645 内部ブロック図

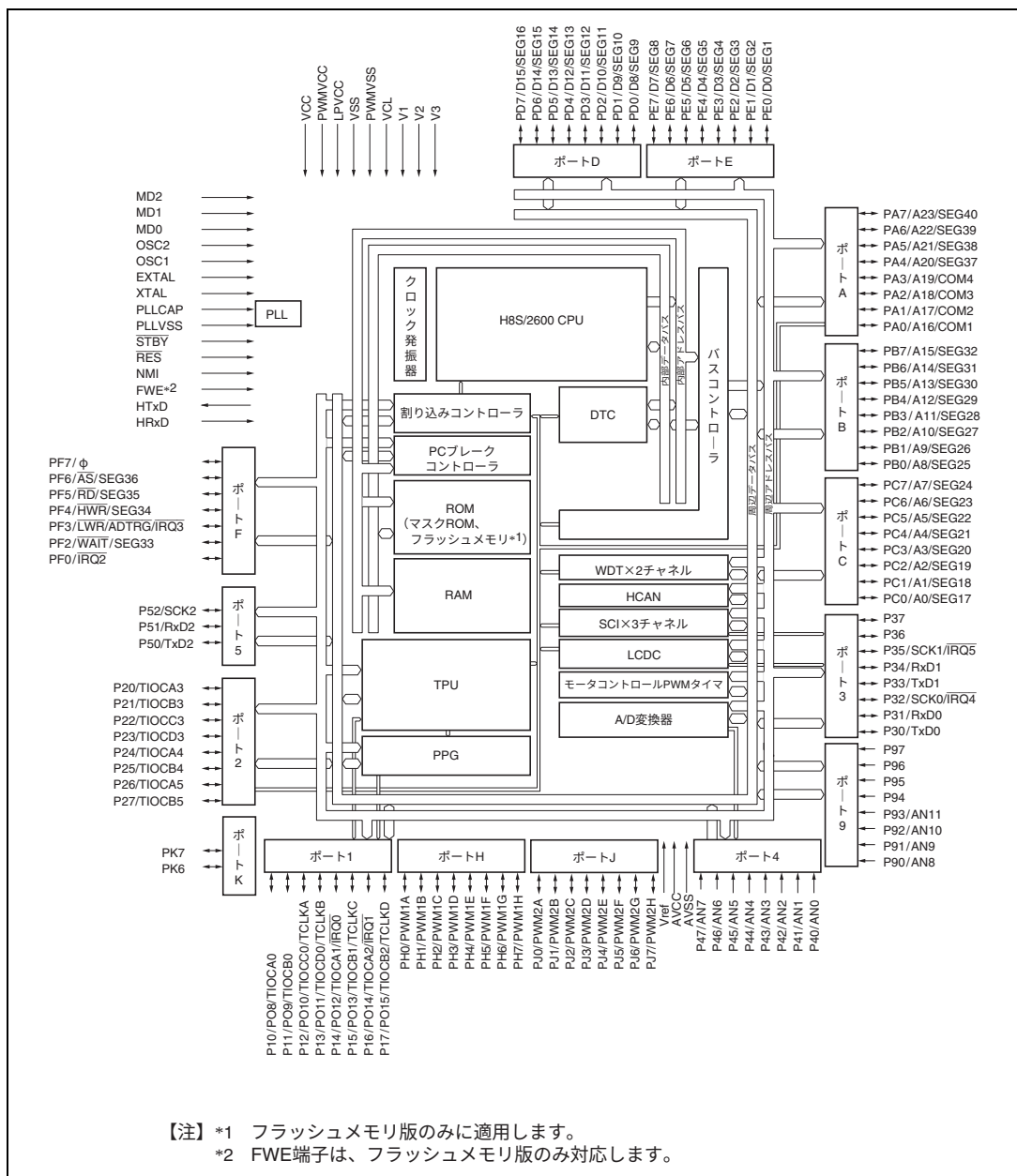


図 1.1 (2) H8S/2648、H8S/2648R、H8S/2647 内部ブロック図

1.3 端子説明

1.3.1 ピン配置図

H8S/2646、H8S/2646R、H8S/2645 のピン配置図を図 1.2 (1) に、H8S/2648、H8S/2648R、H8S/2647 のピン配置図を図 1.2 (2) に示します。

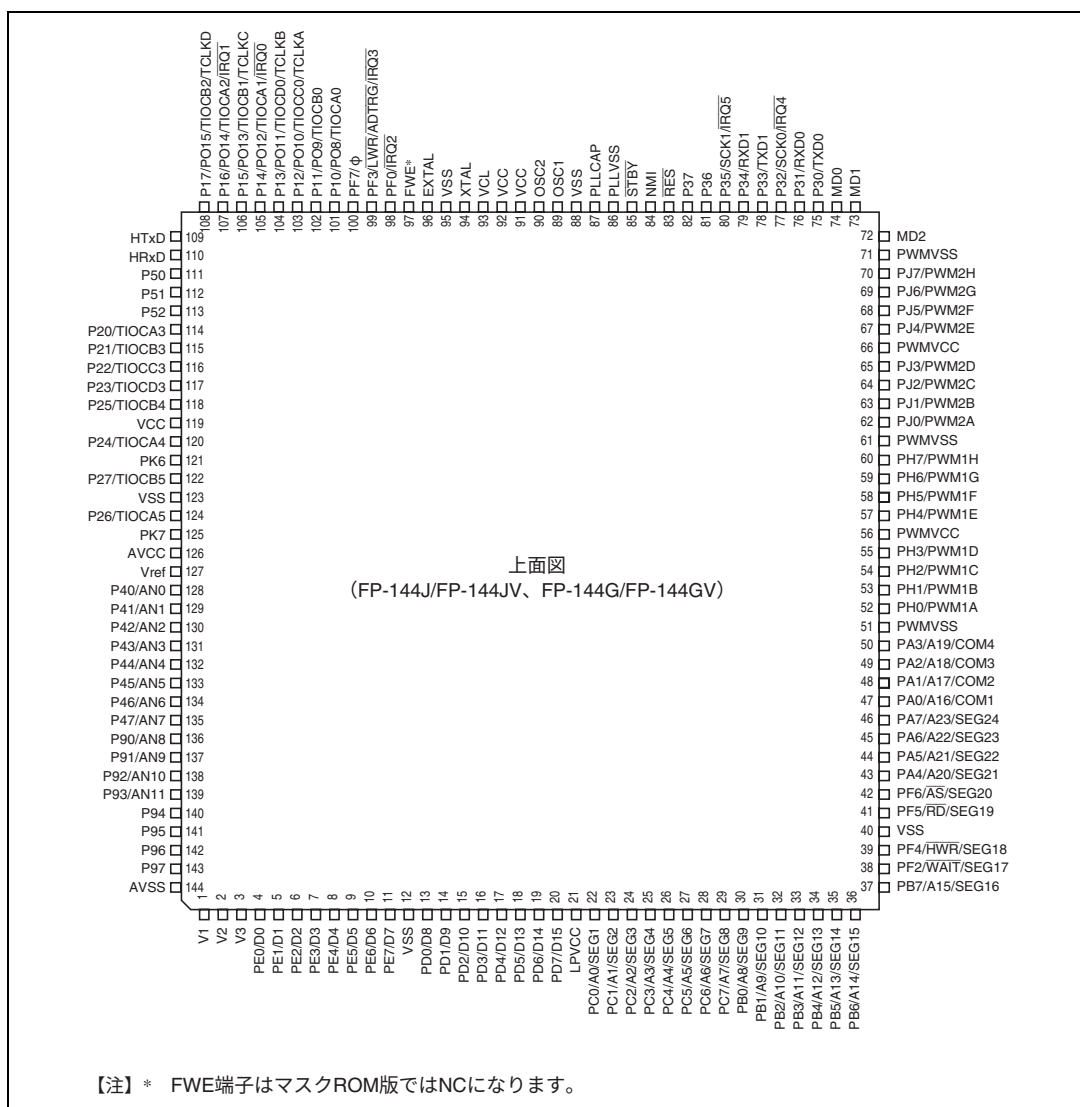


図 1.2 (1) H8S/2646、H8S/2646R、H8S/2645 ピン配置図
(FP-144J/FP-144JV、FP-144G/FP-144GV : 上面図)

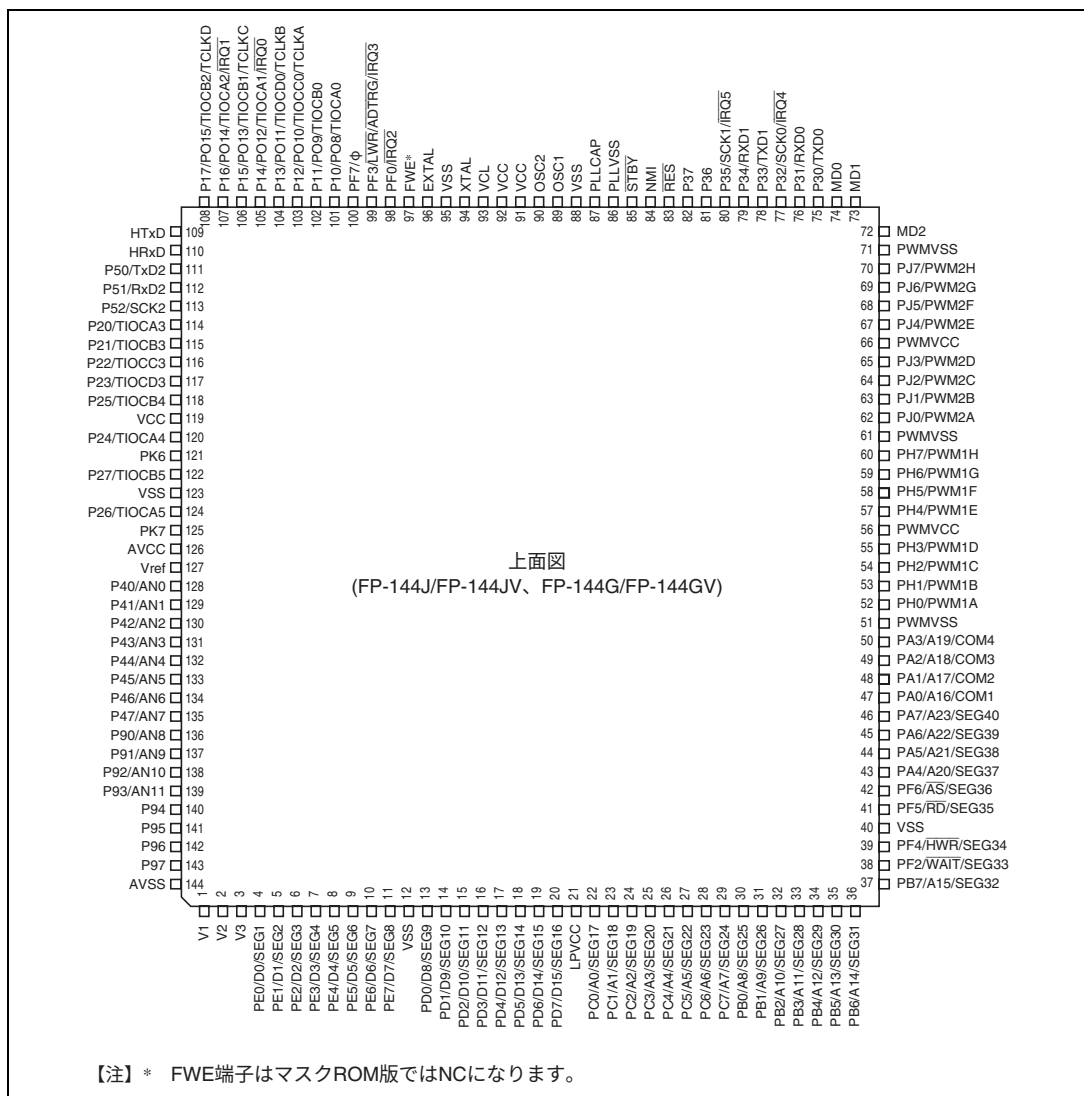


図 1.2 (2) H8S/2648、H8S/2648R、H8S/2647 ピン配置図
(FP-144J/FP-144JV、FP-144G/FP-144GV：上面図)

1.3.2 動作モード別端子機能一覧

動作モード別端子機能を表 1.2 (1)、表 1.2 (2) に示します。

表 1.2 (1) 動作モード別端子機能一覧 (H8S/2646、H8S/2646R、H8S/2645)

ピン番号	端子名			
	モード 4	モード 5	モード 6	モード 7
1	V1	V1	V1	V1
2	V2	V2	V2	V2
3	V3	V3	V3	V3
4	PE0/D0	PE0/D0	PE0/D0	PE0
5	PE1/D1	PE1/D1	PE1/D1	PE1
6	PE2/D2	PE2/D2	PE2/D2	PE2
7	PE3/D3	PE3/D3	PE3/D3	PE3
8	PE4/D4	PE4/D4	PE4/D4	PE4
9	PE5/D5	PE5/D5	PE5/D5	PE5
10	PE6/D6	PE6/D6	PE6/D6	PE6
11	PE7/D7	PE7/D7	PE7/D7	PE7
12	VSS	VSS	VSS	VSS
13	D8	D8	D8	PD0
14	D9	D9	D9	PD1
15	D10	D10	D10	PD2
16	D11	D11	D11	PD3
17	D12	D12	D12	PD4
18	D13	D13	D13	PD5
19	D14	D14	D14	PD6
20	D15	D15	D15	PD7
21	LPVCC	LPVCC	LPVCC	LPVCC
22	A0	A0	PC0/A0/SEG1	PC0/SEG1
23	A1	A1	PC1/A1/SEG2	PC1/SEG2
24	A2	A2	PC2/A2/SEG3	PC2/SEG3
25	A3	A3	PC3/A3/SEG4	PC3/SEG4
26	A4	A4	PC4/A4/SEG5	PC4/SEG5
27	A5	A5	PC5/A5/SEG6	PC5/SEG6
28	A6	A6	PC6/A6/SEG7	PC6/SEG7
29	A7	A7	PC7/A7/SEG8	PC7/SEG8
30	PB0/A8/SEG9	PB0/A8/SEG9	PB0/A8/SEG9	PB0/SEG9
31	PB1/A9/SEG10	PB1/A9/SEG10	PB1/A9/SEG10	PB1/SEG10
32	PB2/A10/SEG11	PB2/A10/SEG11	PB2/A10/SEG11	PB2/SEG11
33	PB3/A11/SEG12	PB3/A11/SEG12	PB3/A11/SEG12	PB3/SEG12
34	PB4/A12/SEG13	PB4/A12/SEG13	PB4/A12/SEG13	PB4/SEG13
35	PB5/A13/SEG14	PB5/A13/SEG14	PB5/A13/SEG14	PB5/SEG14
36	PB6/A14/SEG15	PB6/A14/SEG15	PB6/A14/SEG15	PB6/SEG15
37	PB7/A15/SEG16	PB7/A15/SEG16	PB7/A15/SEG16	PB7/SEG16

ピン番号	端子名			
	モード 4	モード 5	モード 6	モード 7
38	PF2/WAIT/SEG17	PF2/WAIT/SEG17	PF2/WAIT/SEG17	PF2/SEG17
39	HWR/SEG18	HWR/SEG18	HWR/SEG18	PF4/SEG18
40	VSS	VSS	VSS	VSS
41	RD/SEG19	RD/SEG19	RD/SEG19	PF5/SEG19
42	AS/SEG20	AS/SEG20	AS/SEG20	PF6/SEG20
43	PA4/A20/SEG21	PA4/A20/SEG21	PA4/A20/SEG21	PA4/SEG21
44	PA5/A21/SEG22	PA5/A21/SEG22	PA5/A21/SEG22	PA5/SEG22
45	PA6/A22/SEG23	PA6/A22/SEG23	PA6/A22/SEG23	PA6/SEG23
46	PA7/A23/SEG24	PA7/A23/SEG24	PA7/A23/SEG24	PA7/SEG24
47	PA0/A16/COM1	PA0/A16/COM1	PA0/A16/COM1	PA0/COM1
48	PA1/A17/COM2	PA1/A17/COM2	PA1/A17/COM2	PA1/COM2
49	PA2/A18/COM3	PA2/A18/COM3	PA2/A18/COM3	PA2/COM3
50	PA3/A19/COM4	PA3/A19/COM4	PA3/A19/COM4	PA3/COM4
51	PWMVSS	PWMVSS	PWMVSS	PWMVSS
52	PH0/PWM1A	PH0/PWM1A	PH0/PWM1A	PH0/PWM1A
53	PH1/PWM1B	PH1/PWM1B	PH1/PWM1B	PH1/PWM1B
54	PH2/PWM1C	PH2/PWM1C	PH2/PWM1C	PH2/PWM1C
55	PH3/PWM1D	PH3/PWM1D	PH3/PWM1D	PH3/PWM1D
56	PWMVCC	PWMVCC	PWMVCC	PWMVCC
57	PH4/PWM1E	PH4/PWM1E	PH4/PWM1E	PH4/PWM1E
58	PH5/PWM1F	PH5/PWM1F	PH5/PWM1F	PH5/PWM1F
59	PH6/PWM1G	PH6/PWM1G	PH6/PWM1G	PH6/PWM1G
60	PH7/PWM1H	PH7/PWM1H	PH7/PWM1H	PH7/PWM1H
61	PWMVSS	PWMVSS	PWMVSS	PWMVSS
62	PJ0/PWM2A	PJ0/PWM2A	PJ0/PWM2A	PJ0/PWM2A
63	PJ1/PWM2B	PJ1/PWM2B	PJ1/PWM2B	PJ1/PWM2B
64	PJ2/PWM2C	PJ2/PWM2C	PJ2/PWM2C	PJ2/PWM2C
65	PJ3/PWM2D	PJ3/PWM2D	PJ3/PWM2D	PJ3/PWM2D
66	PWMVCC	PWMVCC	PWMVCC	PWMVCC
67	PJ4/PWM2E	PJ4/PWM2E	PJ4/PWM2E	PJ4/PWM2E
68	PJ5/PWM2F	PJ5/PWM2F	PJ5/PWM2F	PJ5/PWM2F
69	PJ6/PWM2G	PJ6/PWM2G	PJ6/PWM2G	PJ6/PWM2G
70	PJ7/PWM2H	PJ7/PWM2H	PJ7/PWM2H	PJ7/PWM2H
71	PWMVSS	PWMVSS	PWMVSS	PWMVSS
72	MD2	MD2	MD2	MD2
73	MD1	MD1	MD1	MD1
74	MD0	MD0	MD0	MD0
75	P30/TXD0	P30/TXD0	P30/TXD0	P30/TXD0
76	P31/RXD0	P31/RXD0	P31/RXD0	P31/RXD0
77	P32/SCK0/IRQ4	P32/SCK0/IRQ4	P32/SCK0/IRQ4	P32/SCK0/IRQ4
78	P33/TXD1	P33/TXD1	P33/TXD1	P33/TXD1

ピン番号	端子名			
	モード 4	モード 5	モード 6	モード 7
79	P34/RXD1	P34/RXD1	P34/RXD1	P34/RXD1
80	P35/SCK1/IRQ5	P35/SCK1/IRQ5	P35/SCK1/IRQ5	P35/SCK1/IRQ5
81	P36	P36	P36	P36
82	P37	P37	P37	P37
83	RES	RES	RES	RES
84	NMI	NMI	NMI	NMI
85	STBY	STBY	STBY	STBY
86	PLLSS	PLLSS	PLLSS	PLLSS
87	PLLCAP	PLLCAP	PLLCAP	PLLCAP
88	VSS	VSS	VSS	VSS
89	OSC1	OSC1	OSC1	OSC1
90	OSC2	OSC2	OSC2	OSC2
91	VCC	VCC	VCC	VCC
92	VCC	VCC	VCC	VCC
93	VCL	VCL	VCL	VCL
94	XTAL	XTAL	XTAL	XTAL
95	VSS	VSS	VSS	VSS
96	EXTAL	EXTAL	EXTAL	EXTAL
97	FWE	FWE	FWE	FWE
98	PF0/IRQ2	PF0/IRQ2	PF0/IRQ2	PF0/IRQ2
99	PF3/LWR/ADTRG/ IRQ3	PF3/LWR/ADTRG/ IRQ3	PF3/LWR/ADTRG/ IRQ3	PF3/ADTRG/IRQ3
100	PF7/φ	PF7/φ	PF7/φ	PF7/φ
101	P10/PO8/TIOCA0	P10/PO8/TIOCA0	P10/PO8/TIOCA0	P10/PO8/TIOCA0
102	P11/PO9/TIOCB0	P11/PO9/TIOCB0	P11/PO9/TIOCB0	P11/PO9/TIOCB0
103	P12/PO10/TIOCC0/ TCLKA	P12/PO10/TIOCC0/ TCLKA	P12/PO10/TIOCC0/ TCLKA	P12/PO10/TIOCC0/ TCLKA
104	P13/PO11/TIOCD0/ TCLKB	P13/PO11/TIOCD0/ TCLKB	P13/PO11/TIOCD0/ TCLKB	P13/PO11/TIOCD0/ TCLKB
105	P14/PO12/TIOCA1/ IRQ0	P14/PO12/TIOCA1/ IRQ0	P14/PO12/TIOCA1/ IRQ0	P14/PO12/TIOCA1/ IRQ0
106	P15/PO13/TIOCB1/ TCLKC	P15/PO13/TIOCB1/ TCLKC	P15/PO13/TIOCB1/ TCLKC	P15/PO13/TIOCB1/ TCLKC
107	P16/PO14/TIOCA2/ IRQ1	P16/PO14/TIOCA2/ IRQ1	P16/PO14/TIOCA2/ IRQ1	P16/PO14/TIOCA2/ IRQ1
108	P17/PO15/TIOCB2/ TCLKD	P17/PO15/TIOCB2/ TCLKD	P17/PO15/TIOCB2/ TCLKD	P17/PO15/TIOCB2/ TCLKD
109	HTxD	HTxD	HTxD	HTxD
110	HRxD	HRxD	HRxD	HRxD
111	P50	P50	P50	P50
112	P51	P51	P51	P51
113	P52	P52	P52	P52

ピン番号	端子名			
	モード 4	モード 5	モード 6	モード 7
114	P20/TIOCA3	P20/TIOCA3	P20/TIOCA3	P20/TIOCA3
115	P21/TIOCB3	P21/TIOCB3	P21/TIOCB3	P21/TIOCB3
116	P22/TIOCC3	P22/TIOCC3	P22/TIOCC3	P22/TIOCC3
117	P23/TIOCD3	P23/TIOCD3	P23/TIOCD3	P23/TIOCD3
118	P25/TIOCB4	P25/TIOCB4	P25/TIOCB4	P25/TIOCB4
119	VCC	VCC	VCC	VCC
120	P24/TIOCA4	P24/TIOCA4	P24/TIOCA4	P24/TIOCA4
121	PK6	PK6	PK6	PK6
122	P27/TIOCB5	P27/TIOCB5	P27/TIOCB5	P27/TIOCB5
123	VSS	VSS	VSS	VSS
124	P26/TIOCA5	P26/TIOCA5	P26/TIOCA5	P26/TIOCA5
125	PK7	PK7	PK7	PK7
126	AVCC	AVCC	AVCC	AVCC
127	Vref	Vref	Vref	Vref
128	P40/AN0	P40/AN0	P40/AN0	P40/AN0
129	P41/AN1	P41/AN1	P41/AN1	P41/AN1
130	P42/AN2	P42/AN2	P42/AN2	P42/AN2
131	P43/AN3	P43/AN3	P43/AN3	P43/AN3
132	P44/AN4	P44/AN4	P44/AN4	P44/AN4
133	P45/AN5	P45/AN5	P45/AN5	P45/AN5
134	P46/AN6	P46/AN6	P46/AN6	P46/AN6
135	P47/AN7	P47/AN7	P47/AN7	P47/AN7
136	P90/AN8	P90/AN8	P90/AN8	P90/AN8
137	P91/AN9	P91/AN9	P91/AN9	P91/AN9
138	P92/AN10	P92/AN10	P92/AN10	P92/AN10
139	P93/AN11	P93/AN11	P93/AN11	P93/AN11
140	P94	P94	P94	P94
141	P95	P95	P95	P95
142	P96	P96	P96	P96
143	P97	P97	P97	P97
144	AVSS	AVSS	AVSS	AVSS

【注】 モード 4 およびモード 5 で、次の端子（D8～15、A0～7、RD、AS、HWR）は外部 ROM とのインタフェースに使用します。

このため、これらの端子は SEG 信号に設定をしないでください。

表 1.2 (2) 動作モード別端子機能一覧 (H8S/2648、H8S/2648R、H8S/2647)

ピン番号	端子名			
	モード 4	モード 5	モード 6	モード 7
1	V1	V1	V1	V1
2	V2	V2	V2	V2
3	V3	V3	V3	V3
4	PE0/D0/SEG1	PE0/D0/SEG1	PE0/D0/SEG1	PE0/SEG1
5	PE1/D1/SEG2	PE1/D1/SEG2	PE1/D1/SEG2	PE1/SEG2
6	PE2/D2/SEG3	PE2/D2/SEG3	PE2/D2/SEG3	PE2/SEG3
7	PE3/D3/SEG4	PE3/D3/SEG4	PE3/D3/SEG4	PE3/SEG4
8	PE4/D4/SEG5	PE4/D4/SEG5	PE4/D4/SEG5	PE4/SEG5
9	PE5/D5/SEG6	PE5/D5/SEG6	PE5/D5/SEG6	PE5/SEG6
10	PE6/D6/SEG7	PE6/D6/SEG7	PE6/D6/SEG7	PE6/SEG7
11	PE7/D7/SEG8	PE7/D7/SEG8	PE7/D7/SEG8	PE7/SEG8
12	VSS	VSS	VSS	VSS
13	D8	D8	D8/SEG9	PD0/SEG9
14	D9	D9	D9/SEG10	PD1/SEG10
15	D10	D10	D10/SEG11	PD2/SEG11
16	D11	D11	D11/SEG12	PD3/SEG12
17	D12	D12	D12/SEG13	PD4/SEG13
18	D13	D13	D13/SEG14	PD5/SEG14
19	D14	D14	D14/SEG15	PD6/SEG15
20	D15	D15	D15/SEG16	PD7/SEG16
21	LPVCC	LPVCC	LPVCC	LPVCC
22	A0	A0	PC0/A0/SEG17	PC0/SEG17
23	A1	A1	PC1/A1/SEG18	PC1/SEG18
24	A2	A2	PC2/A2/SEG19	PC2/SEG19
25	A3	A3	PC3/A3/SEG20	PC3/SEG20
26	A4	A4	PC4/A4/SEG21	PC4/SEG21
27	A5	A5	PC5/A5/SEG22	PC5/SEG22
28	A6	A6	PC6/A6/SEG23	PC6/SEG23
29	A7	A7	PC7/A7/SEG24	PC7/SEG24
30	PB0/A8/SEG25	PB0/A8/SEG25	PB0/A8/SEG25	PB0/SEG25
31	PB1/A9/SEG26	PB1/A9/SEG26	PB1/A9/SEG26	PB1/SEG26
32	PB2/A10/SEG27	PB2/A10/SEG27	PB2/A10/SEG27	PB2/SEG27
33	PB3/A11/SEG28	PB3/A11/SEG28	PB3/A11/SEG28	PB3/SEG28
34	PB4/A12/SEG29	PB4/A12/SEG29	PB4/A12/SEG29	PB4/SEG29
35	PB5/A13/SEG30	PB5/A13/SEG30	PB5/A13/SEG30	PB5/SEG30
36	PB6/A14/SEG31	PB6/A14/SEG31	PB6/A14/SEG31	PB6/SEG31
37	PB7/A15/SEG32	PB7/A15/SEG32	PB7/A15/SEG32	PB7/SEG32
38	WAIT/SEG33	WAIT/SEG33	WAIT/SEG33	PF2/SEG33
39	HWR/SEG34	HWR/SEG34	HWR/SEG34	PF4/SEG34
40	VSS	VSS	VSS	VSS

ピン番号	端子名			
	モード 4	モード 5	モード 6	モード 7
41	RD/SEG35	RD/SEG35	RD/SEG35	PF5/SEG35
42	AS/SEG36	AS/SEG36	AS/SEG36	PF6/SEG36
43	PA4/A20/SEG37	PA4/A20/SEG37	PA4/A20/SEG37	PA4/SEG37
44	PA5/A21/SEG38	PA5/A21/SEG38	PA5/A21/SEG38	PA5/SEG38
45	PA6/A22/SEG39	PA6/A22/SEG39	PA6/A22/SEG39	PA6/SEG39
46	PA7/A23/SEG40	PA7/A23/SEG40	PA7/A23/SEG40	PA7/SEG40
47	PA0/A16/COM1	PA0/A16/COM1	PA0/A16/COM1	PA0/COM1
48	PA1/A17/COM2	PA1/A17/COM2	PA1/A17/COM2	PA1/COM2
49	PA2/A18/COM3	PA2/A18/COM3	PA2/A18/COM3	PA2/COM3
50	PA3/A19/COM4	PA3/A19/COM4	PA3/A19/COM4	PA3/COM4
51	PWMVSS	PWMVSS	PWMVSS	PWMVSS
52	PH0/PWM1A	PH0/PWM1A	PH0/PWM1A	PH0/PWM1A
53	PH1/PWM1B	PH1/PWM1B	PH1/PWM1B	PH1/PWM1B
54	PH2/PWM1C	PH2/PWM1C	PH2/PWM1C	PH2/PWM1C
55	PH3/PWM1D	PH3/PWM1D	PH3/PWM1D	PH3/PWM1D
56	PWMVCC	PWMVCC	PWMVCC	PWMVCC
57	PH4/PWM1E	PH4/PWM1E	PH4/PWM1E	PH4/PWM1E
58	PH5/PWM1F	PH5/PWM1F	PH5/PWM1F	PH5/PWM1F
59	PH6/PWM1G	PH6/PWM1G	PH6/PWM1G	PH6/PWM1G
60	PH7/PWM1H	PH7/PWM1H	PH7/PWM1H	PH7/PWM1H
61	PWMVSS	PWMVSS	PWMVSS	PWMVSS
62	PJ0/PWM2A	PJ0/PWM2A	PJ0/PWM2A	PJ0/PWM2A
63	PJ1/PWM2B	PJ1/PWM2B	PJ1/PWM2B	PJ1/PWM2B
64	PJ2/PWM2C	PJ2/PWM2C	PJ2/PWM2C	PJ2/PWM2C
65	PJ3/PWM2D	PJ3/PWM2D	PJ3/PWM2D	PJ3/PWM2D
66	PWMVCC	PWMVCC	PWMVCC	PWMVCC
67	PJ4/PWM2E	PJ4/PWM2E	PJ4/PWM2E	PJ4/PWM2E
68	PJ5/PWM2F	PJ5/PWM2F	PJ5/PWM2F	PJ5/PWM2F
69	PJ6/PWM2G	PJ6/PWM2G	PJ6/PWM2G	PJ6/PWM2G
70	PJ7/PWM2H	PJ7/PWM2H	PJ7/PWM2H	PJ7/PWM2H
71	PWMVSS	PWMVSS	PWMVSS	PWMVSS
72	MD2	MD2	MD2	MD2
73	MD1	MD1	MD1	MD1
74	MD0	MD0	MD0	MD0
75	P30/TXD0	P30/TXD0	P30/TXD0	P30/TXD0
76	P31/RXD0	P31/RXD0	P31/RXD0	P31/RXD0
77	P32/SCK0/IRQ4	P32/SCK0/IRQ4	P32/SCK0/IRQ4	P32/SCK0/IRQ4
78	P33/TXD1	P33/TXD1	P33/TXD1	P33/TXD1
79	P34/RXD1	P34/RXD1	P34/RXD1	P34/RXD1
80	P35/SCK1/IRQ5	P35/SCK1/IRQ5	P35/SCK1/IRQ5	P35/SCK1/IRQ5
81	P36	P36	P36	P36

ピン番号	端子名			
	モード 4	モード 5	モード 6	モード 7
82	P37	P37	P37	P37
83	RES	RES	RES	RES
84	NMI	NMI	NMI	NMI
85	STBY	STBY	STBY	STBY
86	PLLSS	PLLSS	PLLSS	PLLSS
87	PLLCAP	PLLCAP	PLLCAP	PLLCAP
88	VSS	VSS	VSS	VSS
89	OSC1	OSC1	OSC1	OSC1
90	OSC2	OSC2	OSC2	OSC2
91	VCC	VCC	VCC	VCC
92	VCC	VCC	VCC	VCC
93	VCL	VCL	VCL	VCL
94	XTAL	XTAL	XTAL	XTAL
95	VSS	VSS	VSS	VSS
96	EXTAL	EXTAL	EXTAL	EXTAL
97	FWE	FWE	FWE	FWE
98	PF0/IRQ2	PF0/IRQ2	PF0/IRQ2	PF0/IRQ2
99	PF3/LWR/ADTRG/ IRQ3	PF3/LWR/ADTRG/ IRQ3	PF3/LWR/ADTRG/ IRQ3	PF3/ADTRG/IRQ3
100	PF7/φ	PF7/φ	PF7/φ	PF7/φ
101	P10/PO8/TIOCA0	P10/PO8/TIOCA0	P10/PO8/TIOCA0	P10/PO8/TIOCA0
102	P11/PO9/TIOCB0	P11/PO9/TIOCB0	P11/PO9/TIOCB0	P11/PO9/TIOCB0
103	P12/PO10/TIOCC0/ TCLKA	P12/PO10/TIOCC0/ TCLKA	P12/PO10/TIOCC0/ TCLKA	P12/PO10/TIOCC0/ TCLKA
104	P13/PO11/TIOCD0/ TCLKB	P13/PO11/TIOCD0/ TCLKB	P13/PO11/TIOCD0/ TCLKB	P13/PO11/TIOCD0/ TCLKB
105	P14/PO12/TIOCA1/ IRQ0	P14/PO12/TIOCA1/ IRQ0	P14/PO12/TIOCA1/ IRQ0	P14/PO12/TIOCA1/ IRQ0
106	P15/PO13/TIOCB1/ TCLKC	P15/PO13/TIOCB1/ TCLKC	P15/PO13/TIOCB1/ TCLKC	P15/PO13/TIOCB1/ TCLKC
107	P16/PO14/TIOCA2/ IRQ1	P16/PO14/TIOCA2/ IRQ1	P16/PO14/TIOCA2/ IRQ1	P16/PO14/TIOCA2/ IRQ1
108	P17/PO15/TIOCB2/ TCLKD	P17/PO15/TIOCB2/ TCLKD	P17/PO15/TIOCB2/ TCLKD	P17/PO15/TIOCB2/ TCLKD
109	HTxD	HTxD	HTxD	HTxD
110	HRxD	HRxD	HRxD	HRxD
111	P50/TxD2	P50/TxD2	P50/TxD2	P50/TxD2
112	P51/RxD2	P51/RxD2	P51/RxD2	P51/RxD2
113	P52/SCK2	P52/SCK2	P52/SCK2	P52/SCK2
114	P20/TIOCA3	P20/TIOCA3	P20/TIOCA3	P20/TIOCA3
115	P21/TIOCB3	P21/TIOCB3	P21/TIOCB3	P21/TIOCB3
116	P22/TIOCC3	P22/TIOCC3	P22/TIOCC3	P22/TIOCC3

ピン番号	端子名			
	モード 4	モード 5	モード 6	モード 7
117	P23/TIOCD3	P23/TIOCD3	P23/TIOCD3	P23/TIOCD3
118	P25/TIOCB4	P25/TIOCB4	P25/TIOCB4	P25/TIOCB4
119	VCC	VCC	VCC	VCC
120	P24/TIOCA4	P24/TIOCA4	P24/TIOCA4	P24/TIOCA4
121	PK6	PK6	PK6	PK6
122	P27/TIOCB5	P27/TIOCB5	P27/TIOCB5	P27/TIOCB5
123	VSS	VSS	VSS	VSS
124	P26/TIOCA5	P26/TIOCA5	P26/TIOCA5	P26/TIOCA5
125	PK7	PK7	PK7	PK7
126	AVCC	AVCC	AVCC	AVCC
127	Vref	Vref	Vref	Vref
128	P40/AN0	P40/AN0	P40/AN0	P40/AN0
129	P41/AN1	P41/AN1	P41/AN1	P41/AN1
130	P42/AN2	P42/AN2	P42/AN2	P42/AN2
131	P43/AN3	P43/AN3	P43/AN3	P43/AN3
132	P44/AN4	P44/AN4	P44/AN4	P44/AN4
133	P45/AN5	P45/AN5	P45/AN5	P45/AN5
134	P46/AN6	P46/AN6	P46/AN6	P46/AN6
135	P47/AN7	P47/AN7	P47/AN7	P47/AN7
136	P90/AN8	P90/AN8	P90/AN8	P90/AN8
137	P91/AN9	P91/AN9	P91/AN9	P91/AN9
138	P92/AN10	P92/AN10	P92/AN10	P92/AN10
139	P93/AN11	P93/AN11	P93/AN11	P93/AN11
140	P94	P94	P94	P94
141	P95	P95	P95	P95
142	P96	P96	P96	P96
143	P97	P97	P97	P97
144	AVSS	AVSS	AVSS	AVSS

【注】 モード 4 およびモード 5 で、次の端子（D8～15、A0～7、RD、AS、HWR）は外部 ROM とのインタフェースに使用します。

このため、これらの端子は SEG 信号に設定をしないでください。

1.3.3 端子機能

各端子の機能について表 1.3 に示します。

表 1.3 端子機能

分類	記号	入出力	端子名	名称および機能
電源	VCC	入力	電源	電源に接続します。V _{CC} 端子は、全端子をシステムの電源に接続してください。
	PWMVCC	入力	PWM ポート用電源	ポート H、J およびモータコントロール PWM タイマ出力の電源端子です。
	LPVCC	入力	ポート用電源	ポート A、B、C、D、E およびポート F の一部 (PF2、PF4～6) の電源端子です。
	V1,V2,V3	入力	LCD 用電源	LCD コントローラ/ドライバ用の電源端子です。電源分割抵抗が内蔵されており、通常は解放で用います。電源条件は、 $LPVCC \geq V1 \geq V2 \geq V3 \geq VSS$ です。
	VSS	入力	グランド	電源 (0V) に接続します。V _{SS} 端子は、全端子をシステムの電源 (0V) に接続してください。
	PWMVSS	入力	グランド	ポート H、J およびモータコントロール PWM タイマ出力の電源端子です。全端子をシステムの電源 (0V) に接続してください。
	VCL	入力	内部降圧電源端子	内部降圧電源の電圧安定用のコンデンサを接続する端子です。0.1 μ F のコンデンサを介して V _{SS} に接続してください (端子近くに配置)。外部電源に接続しないでください。
クロック	PLLSS	入力	PLL 用グランド	内蔵 PLL 発振器用のグランドです。
	PLLCAP	入力	PLL 用容量	内蔵 PLL 発振器用の外付け容量端子です。
	XTAL	入力	クリスタル	水晶発振子を接続します。水晶発振子を接続する場合の接続例については、「第 21 章 クロック発振器」を参照してください。 システムクロック発振は、水晶発振子を使用してください。外部クロックによる駆動はできません。
	EXTAL	入力	クリスタル	水晶発振子を接続します。水晶発振子を接続する場合の接続例については、「第 21 章 クロック発振器」を参照してください。
	OSC1	入力	サブクロック	32.768kHz の水晶発振子を接続します。水晶発振子を接続する場合の接続例については「第 21 章 クロック発振器」を参照してください。
	OSC2	入力	サブクロック	32.768kHz での水晶発振子を接続します。水晶発振子を接続する場合の接続例については「第 21 章 クロック発振器」を参照してください。
	ϕ	出力	システムクロック	外部デバイスにシステムクロックを供給します。

分類	記号	入出力	端子名	名称および機能																						
動作モード コントロール	MD2～MD0	入力	モード端子	動作モードを設定します。MD2～MD0 端子と動作モードの関係は次のとおりです。これらの端子は動作中には変化させないでください。																						
				<table><tr><th>MD2</th><th>MD1</th><th>MD0</th><th>動作モード</th></tr><tr><td rowspan="4">0</td><td rowspan="2">0</td><td>0</td><td>—</td></tr><tr><td>1</td><td>—</td></tr><tr><td rowspan="2">1</td><td>0</td><td>—</td></tr><tr><td>1</td><td>—</td></tr><tr><td rowspan="4">1</td><td rowspan="2">0</td><td>0</td><td>モード4</td></tr><tr><td>1</td><td>モード5</td></tr><tr><td rowspan="2">1</td><td>0</td><td>モード6</td></tr><tr><td>1</td><td>モード7</td></tr></table>	MD2	MD1	MD0	動作モード	0	0	0	—	1	—	1	0	—	1	—	1	0	0	モード4	1	モード5	1
MD2	MD1	MD0	動作モード																							
0	0	0	—																							
		1	—																							
	1	0	—																							
		1	—																							
1	0	0	モード4																							
		1	モード5																							
	1	0	モード6																							
		1	モード7																							
システム制御	RES	入力	リセット入力	この端子が Low レベルになると、リセット状態となります。																						
	STBY	入力	スタンバイ	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。																						
	FWE	入力	フラッシュライトイネーブル	フラッシュメモリ用の端子です。																						
割り込み	NMI	入力	ノンマスカブル 割り込み	マスク不可能な割り込みを要求します。未使用の場合は High レベルに固定してください。																						
	IRQ5～IRQ0	入力	割り込み要求 5～0	マスク可能な割り込みを要求します。																						
アドレスバス	A23～A0	出力	アドレスバス	アドレスを出力します。																						
データバス	D15～D0	入出力	データバス	双方向データバスです。																						
バス制御	AS	出力	アドレスストロ ープ	この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。																						
	RD	出力	リード	この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。																						
	HWR	出力	ハイライト	外部空間をライトし、データバスの上位側（D15～D8）が有効であることを示すストロープ信号です。																						
	LWR	出力	ローライト	外部空間をライトし、データバスの下位側（D7～D0）が有効であることを示すストロープ信号です。																						
	WAIT	入力	ウェイト	外部 3 ステートアドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。																						
16 ビット タイマパルス ユニット （TPU）	TCLKD～ TCLKA	入力	クロック入力 D～A	外部クロックを入力します。																						
	TIOCA0、 TIOCB0、 TIOCC0、 TIOCD0	入出力	インプットキャ プチャ／アウト プットコンペア マッチ A0～D0	TGR0A～TGR0D のインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子です。																						
	TIOCA1、 TIOCB1	入出力	インプットキャ プチャ／アウト プットコンペア マッチ A1、B1	TGR1A、TGR1B のインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子です。																						

分類	記号	入出力	端子名	名称および機能
16 ビット タイマパルス ユニット (TPU)	TIOCA2、 TIOCB2	入出力	インプットキャ プチャ／アウト プットコンペア マッチ A2、B2	TGR2A、TGR2B のインプットキャプチャ入力／ア ウトプットコンペア出力／PWM 出力端子です。
	TIOCA3、 TIOCB3、 TIOCC3、 TIOCD3	入出力	インプットキャ プチャ／アウト プットコンペア マッチ A3～D3	TGR3A～TGR3D のインプットキャプチャ入力／ アウトプットコンペア出力／PWM 出力端子です。
	TIOCA4、 TIOCB4	入出力	インプットキャ プチャ／アウト プットコンペア マッチ A4、B4	TGR4A、TGR4B のインプットキャプチャ入力／ア ウトプットコンペア出力／PWM 出力端子です。
	TIOCA5、 TIOCB5	入出力	インプットキャ プチャ／アウト プットコンペア マッチ A5、B5	TGR5A、TGR5B のインプットキャプチャ入力／ア ウトプットコンペア出力／PWM 出力端子です。
プログラマブ ルパルスジェ ネレータ (PPG)	PO15～PO8	出力	パルス出力 15～8	パルス端子です。
シリアルコミ ュニケーショ ンインタフェ ース (SCI) / スマートカー ドインタフェ ース H8S/2646、 H8S/2646R、 H8S/2645	TxD1、TxD0	出力	トランスミット データ	データ出力端子です。
	RxD1、RxD0	入力	レシーブデータ	データ入力端子です。
	SCK1、SCK0	入出力	シリアルクロッ ク	クロック入出力端子です。 SCK0 の出力形式は NMOS プッシュプルです。
シリアルコミ ュニケーショ ンインタフェ ース (SCI) / スマートカー ドインタフェ ース H8S/2648、 H8S/2648R、 H8S/2647	TxD2～TxD0	出力	トランスミット データ	データ出力端子です。
	RxD2～RxD0	入力	レシーブデータ	データ入力端子です。
	SCK2～SCK0	入出力	シリアルクロッ ク	クロック入出力端子です。 SCK0 の出力形式は NMOS プッシュプルです。
HCAN	HTxD	出力	HCAN トランス ミットデータ	CAN バスの送信用端子です。
	HRxD	入力	HCAN レシーブ データ	CAN バスの受信用端子です。
A/D 変換器	AN11～AN0	入力	アナログ入力	アナログ入力端子です。
	ADTRG	入力	A/D 変換外部トリ ガ入力	A/D 変換開始のための外部トリガ入力端子です。
	AVCC	入力	アナログ電源	A/D 変換器の電源端子です。 A/D 変換器を使用しない場合はシステム電源 (+ 5V) に接続してください。

分類	記号	入出力	端子名	名称および機能
A/D 変換器	AVSS	入力	アナロググランド	A/D 変換器のグランドおよび基準電圧です。システムの電源 (0V) に接続してください。
	Vref	入力	アナログリファレンス電源	A/D 変換器の基準電圧入力端子です。A/D 変換器を使用しない場合はシステムの電源 (+5V) に接続してください。
モータコントロール PWM タイマ	PWM1H~PWM1A	出力	PWM 出力	モータコントロール PWM チャンネル 1 の出力端子です。
	PWM2H~PWM2A	出力	PWM 出力	モータコントロール PWM チャンネル 2 の出力端子です。
LCD コントローラ／ドライバ	SEG24~SEG1 (H8S/2646、H8S/2646R、H8S/2645)	出力	LCD セグメント出力	LCD のセグメント出力端子です。
	SEG40~SEG1 (H8S/2648、H8S/2648R、H8S/2647)			
	COM4~COM1	出力	LCD コモン出力	LCD のコモン出力端子です。
I/O ポート	P17~P10	入出力	ポート 1	8 ビットの入出力端子です。ポート 1 データディレクションレジスタ (P1DDR) によって、1 ビットごとに入出力を指定できます。
	P27~P20	入出力	ポート 2	8 ビットの入出力端子です。ポート 2 データディレクションレジスタ (P2DDR) によって、1 ビットごとに入出力を指定できます。
	P37~P30	入出力	ポート 3	8 ビットの入出力端子です。ポート 3 データディレクションレジスタ (P3DDR) によって、1 ビットごとに入出力を指定できます。
	P47~P40	入力	ポート 4	8 ビットの入力端子です。
	P52~P50	入出力	ポート 5	3 ビットの入出力端子です。ポート 5 データディレクションレジスタ (P5DDR) によって、1 ビットごとに入出力を指定できます。
	P97~P90	入力	ポート 9	8 ビットの入力端子です。
	PA7~PA0	入出力	ポート A	8 ビットの入出力端子です。ポート A データディレクションレジスタ (PADDDR) によって、1 ビットごとに入出力を指定できます。
	PB7~PB0	入出力	ポート B	8 ビットの入出力端子です。ポート B データディレクションレジスタ (PBDDR) によって、1 ビットごとに入出力を指定できます。
	PC7~PC0	入出力	ポート C	8 ビットの入出力端子です。ポート C データディレクションレジスタ (PCDDR) によって、1 ビットごとに入出力を指定できます。
	PD7~PD0	入出力	ポート D	8 ビットの入出力端子です。ポート D データディレクションレジスタ (PDDDR) によって、1 ビットごとに入出力を指定できます。

分類	記号	入出力	端子名	名称および機能
I/O ポート	PE7～PE0	入出力	ポート E	8 ビットの入出力端子です。 ポート E データディレクションレジスタ (PEDDR) によって、1 ビットごとに入出力を指定できます。
	PF7～PF2, PF0	入出力	ポート F	7 ビットの入出力端子です。 ポート F データディレクションレジスタ (PFDDR) によって、1 ビットごとに入出力を指定できます。
	PH7～PH0	入出力	ポート H	8 ビットの入出力端子です。 ポート H データディレクションレジスタ (PHDDR) によって、1 ビットごとに入出力を指定できます。
	PJ7～PJ0	入出力	ポート J	8 ビットの入出力端子です。 ポート J データディレクションレジスタ (PJDDR) によって、1 ビットごとに入出力を指定できます。
	PK6～PK7	入出力	ポート K	2 ビットの入出力端子です。 ポート K データディレクションレジスタ (PKDDR) によって、1 ビットごとに入出力を指定できます。

2. CPU

2.1 概要

H8S/2600 CPU は、H8/300 CPU および H8/300H CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。

本 CPU は、16 ビット×16 本の汎用レジスタを持ち、16M バイト（アーキテクチャ上は 4G バイト）のリニアなアドレス空間を扱うことができ、リアルタイム制御に最適です。

2.1.1 特長

本 CPU には、次の特長があります。

■H8/300 CPU および H8/300H CPU の上位互換

- H8/300 および H8/300H CPU オブジェクトプログラムを実行可能

■汎用レジスタ方式

- 16 ビット×16 本（8 ビット×16 本、32 ビット×8 本としても使用可能）

■69 種類の基本命令

- 8/16/32 ビット演算命令
- 乗除算命令
- 強力なビット操作命令
- 積和演算命令

■8 種類のアドレッシングモード

- レジスタ直接 (Rn)
- レジスタ間接 (@ERn)
- ディスプレースメント付きレジスタ間接 (@(d:16,ERn)/@(d:32,ERn))
- ポストインクリメント/プリデクリメントレジスタ間接 (@ERn+/@-ERn)
- 絶対アドレス (@aa:8/@aa:16/@aa:24/@aa:32)
- イミディエイト (#xx:8/#xx:16/#xx:32)
- プログラムカウンタ相対 (@(d:8,PC)/@(d:16,PC))
- メモリ間接 (@@aa:8)

■16M バイトのアドレス空間

- プログラム : 16M バイト
- データ : 16M バイト（アーキテクチャ上は 4G バイト）

■高速動作

- 頻出命令をすべて 1～2 ステートで実行
- 最高動作周波数 : 20MHz
- 8/16/32 ビットレジスタ間加減算 : 50ns
- 8×8 ビットレジスタ間乗算 : 150ns

- 16÷8 ビットレジスタ間除算 : 600ns
- 16×16 ビットレジスタ間乗算 : 200ns
- 32÷16 ビットレジスタ間除算 : 1000ns

■2 種類の CPU 動作モード

- ノーマルモード*／アドバンスモード

【注】* 本 LSI では使用できません。

■低消費電力状態

- SLEEP 命令により低消費電力状態に遷移
- CPU 動作クロックを選択可能

2.1.2 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は、以下のとおりです。

■レジスタ構成

- MAC レジスタは、H8S/2600 CPU のみサポートしています。

■基本命令

- MAC、CLRMAC、LDMAC、STMAC の 4 命令は、H8S/2600 CPU のみサポートしています。

■実行ステート数

- MULXU、MULXS 命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, ERd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, ERd	5	21

そのほか、製品によって、アドレス空間や CCR、EXR の機能、低消費電力状態などが異なる場合があります。

2.1.3 H8/300 CPU との相違点

本 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

■汎用レジスタ、コントロールレジスタを拡張

- 16 ビット×8 本の拡張レジスタ、および 8 ビット×1 本、32 ビット×2 本のコントロールレジスタを追加

■アドレス空間を拡張

- ノーマルモード*のとき、H8/300 CPU と同一の 64k バイトのアドレス空間を使用可能
- アドバンスモードのとき、最大 16M バイトのアドレス空間を使用可能

【注】* 本 LSI では使用できません。

■アドレッシングモードを強化

- 16M バイトのアドレス空間を有効に使用可能

■命令強化

- ビット操作命令のアドレッシングモードを強化
- 符号付き乗除算命令などを追加
- 積和演算命令を追加
- 2 ビットシフト命令を追加
- 複数レジスタの退避／復帰命令を追加
- テストアンドセット命令を追加

■高速化

基本的な命令を 2 倍に高速化

2.1.4 H8/300H CPU との相違点

本 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

■コントロールレジスタを拡張

- 8 ビット×1 本、32 ビット×2 本のコントロールレジスタを追加

■命令強化

- ビット操作命令のアドレッシングモードを強化
- 積和演算命令を追加
- 2 ビットシフト命令を追加
- 複数レジスタの退避／復帰命令を追加
- テストアンドセット命令を追加

■高速化

- 基本的な命令を 2 倍に高速化

2.2 CPU 動作モード

本CPUは、ノーマルモード*およびアドバンストモードの2つのCPU動作モードを持っています。サポートするアドレス空間は、ノーマルモード*の場合最大64kバイト、アドバンストモードの場合16Mバイト（アーキテクチャ上はプログラム領域最大16Mバイト、データ領域最大4Gバイト、合計で最大4Gバイト）となります。

各モードはLSIのモード端子によって選択されます。

【注】* 本LSIでは使用できません。

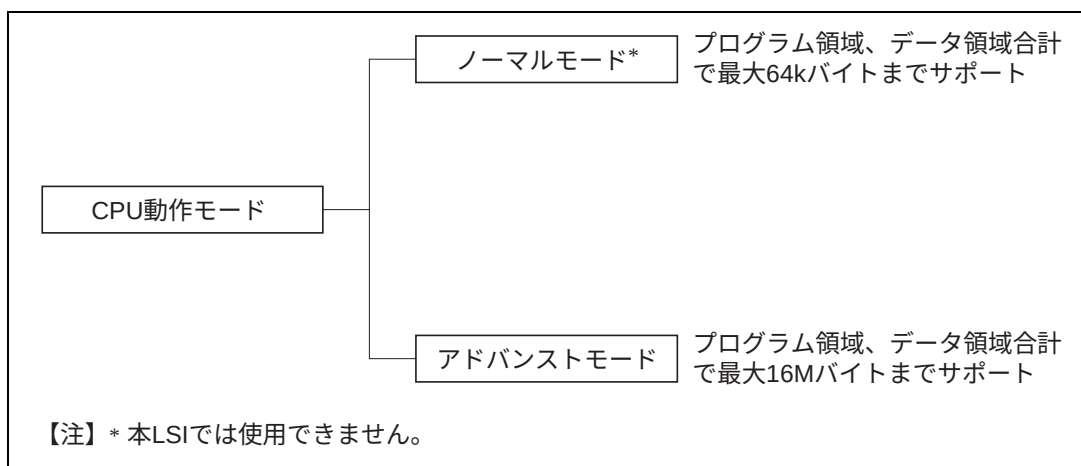


図 2.1 CPU 動作モード

(1) ノーマルモード（本LSIでは使用できません）

ノーマルモードでは例外処理ベクタ、スタックの構造がH8/300 CPUと同一になります。

(a) アドレス空間

最大64kバイトをアクセス可能です。

(b) 拡張レジスタ (En)

拡張レジスタ (E0～E7) は、16ビットレジスタとして、または32ビットレジスタの上位16ビットとして使用できます。

拡張レジスタ En は、対応する汎用レジスタ Rn をアドレスレジスタとして使用している場合でも、16ビットレジスタとして任意の値を設定することができます（ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+) により汎用レジスタ Rn が参照された場合、キャリ／ポローが発生すると、対応する拡張レジスタ En の内容に伝播しますので注意してください）。

(c) 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位16ビットのみが有効となります。

(d) 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000 から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、各 16 ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図 2.2 に示します。例外処理ベクタテーブルは「第 4 章 例外処理」を参照してください。

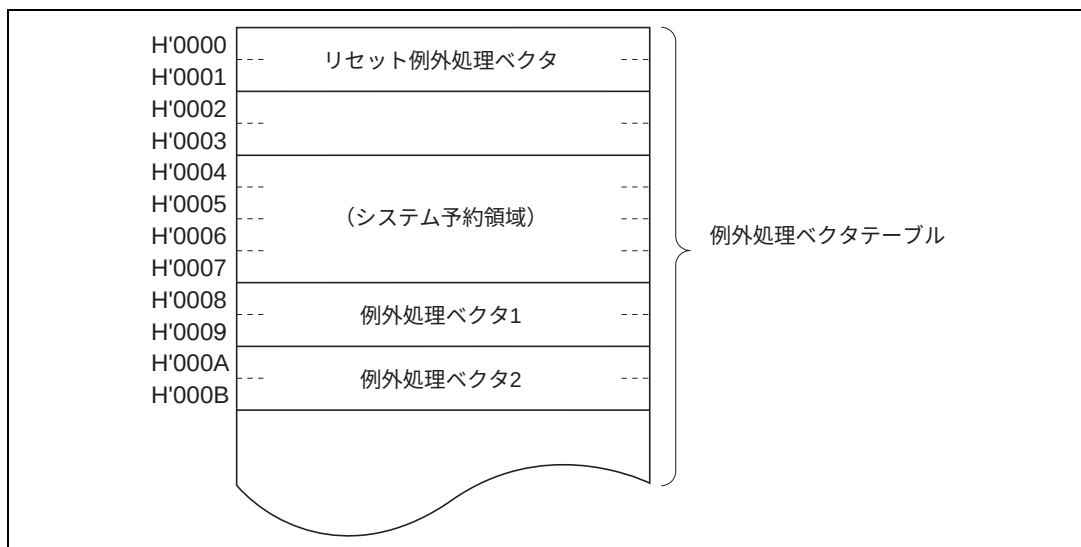


図 2.2 例外処理ベクタテーブル（ノーマルモード）

メモリ間接 (@@aa:8) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは 16 ビット（ワード）となり、この 16 ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000～H'00FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

(e) スタック構造

サブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR、EXR のスタックの構造を図 2.3 に示します。EXR は EXR が無効のときはスタックされません。詳細は「第 4 章 例外処理」を参照してください。

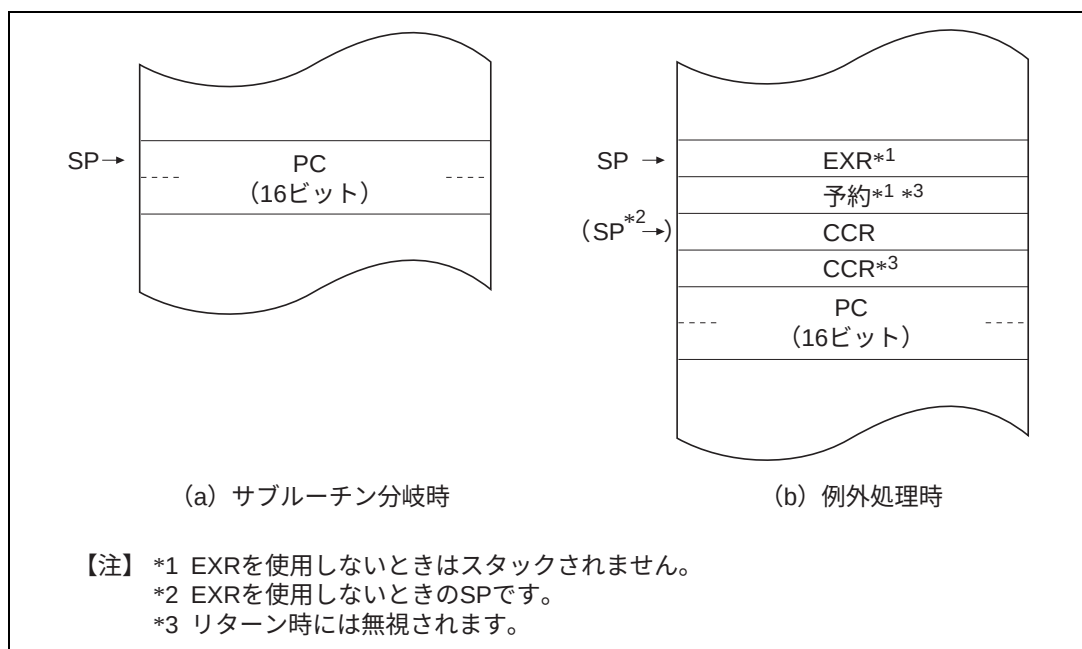


図 2.3 ノーマルモードのスタック構造

(2) アドバンストモード

(a) アドレス空間

最大 16M バイト（アーキテクチャ上はプログラム領域最大 16M バイト、データ領域最大 4G バイト、合計最大 4G バイト）をリニアにアクセス可能です。

(b) 拡張レジスタ (En)

拡張レジスタ (E0～E7) は、16 ビットレジスタとして、または 32 ビットレジスタ・アドレスレジスタの上位 16 ビットとして使用できます。

(c) 命令セット

命令およびアドレッシングモードはすべて使用できます。

(d) 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンストモードでは、H'00000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位 8 ビットは無視され 24 ビットの分岐先アドレスを格納します（図 2.4 参照）。例外処理ベクタテーブルは「第 4 章 例外処理」を参照してください。

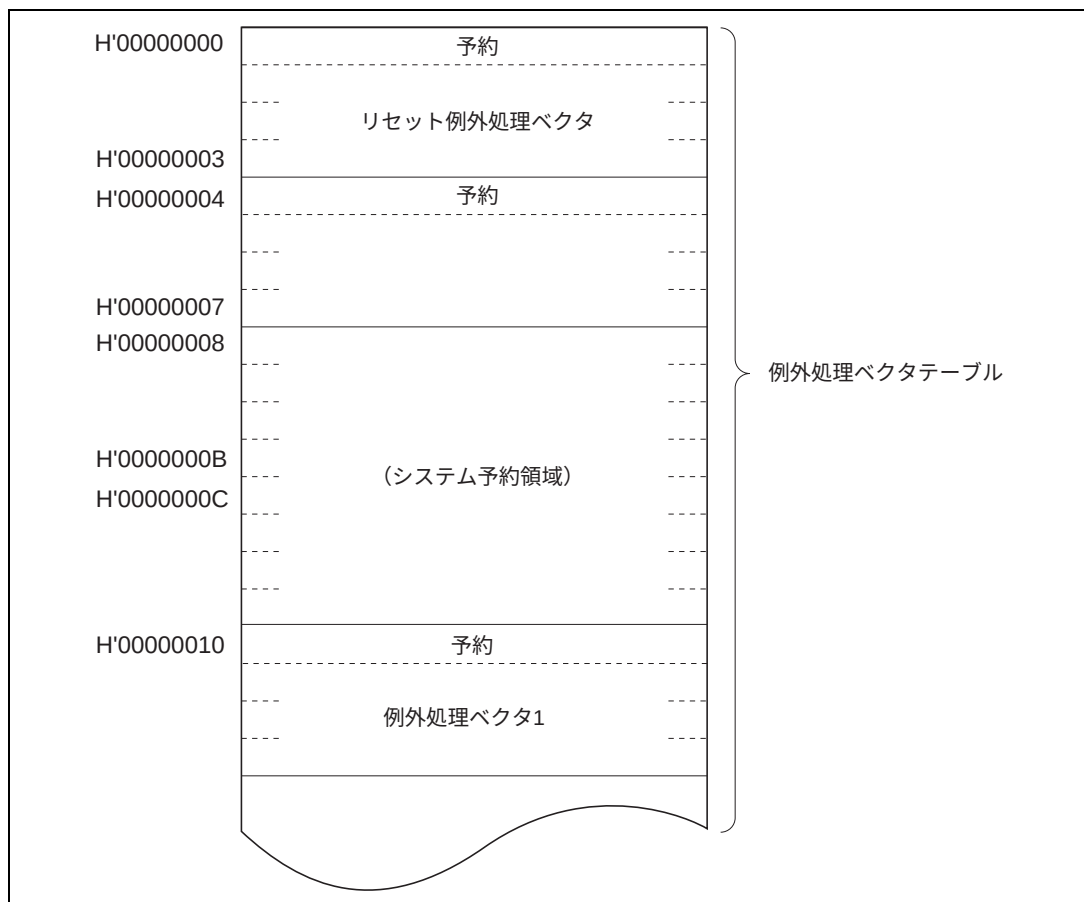


図 2.4 例外処理ベクタテーブル（アドバンストモード）

メモリ間接（@@aa:8）は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンストモードでは、オペランドは 32 ビット（ロングワード）となり、この 32 ビットが分岐先アドレスとなります。このうち、上位 8 ビットは予約領域となっており H'00 と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000～H'000000FF の領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

(e) スタック構造

アドバンストモード時のサブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR、EXR のスタックの構造を図 2.5 に示します。EXR は EXR が無効のときはスタックされません。詳細は「第 4 章 例外処理」を参照してください。

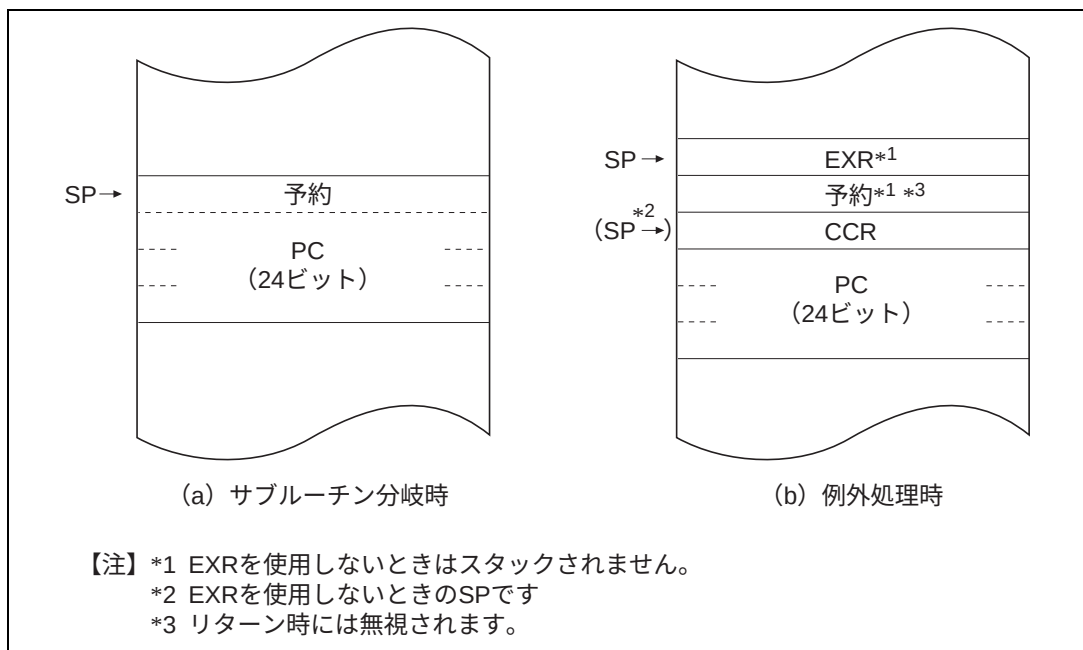


図 2.5 アドバンストモードのスタック構造

2.3 アドレス空間

本 CPU のメモリマップを図 2.6 に示します。本 CPU は、ノーマルモードのとき最大 64k バイト、またアドバンスモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。

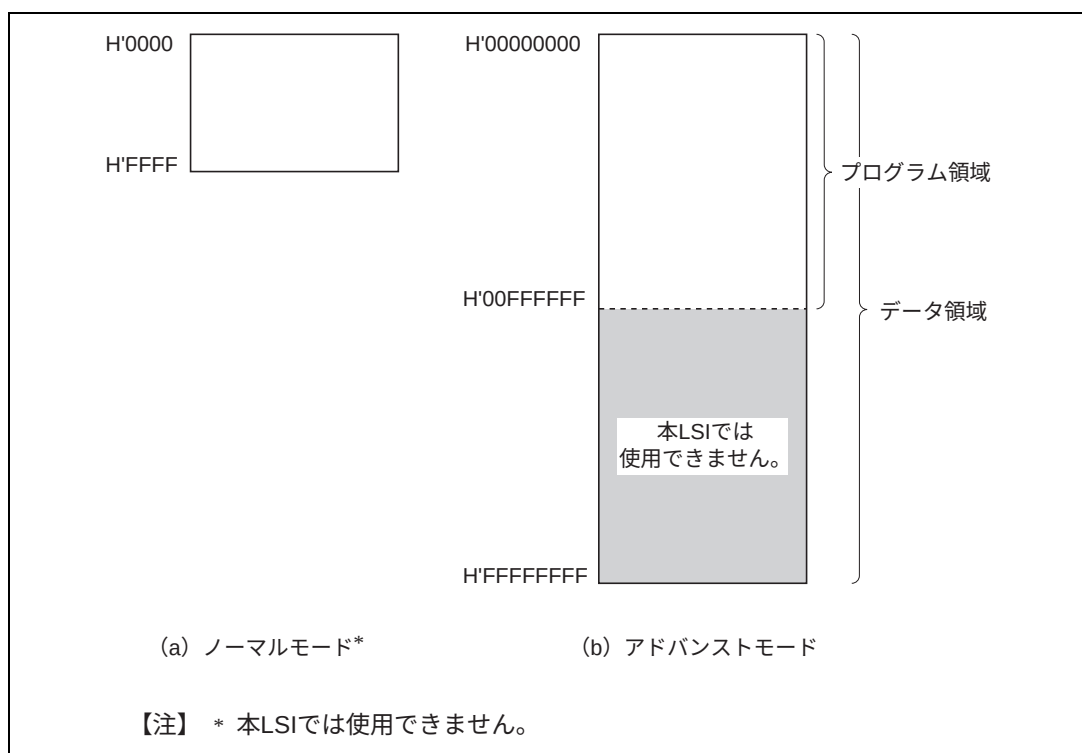


図 2.6 メモリマップ

2.4 レジスタ構成

2.4.1 概要

本 CPU の内部レジスタ構成を図 2.7 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。

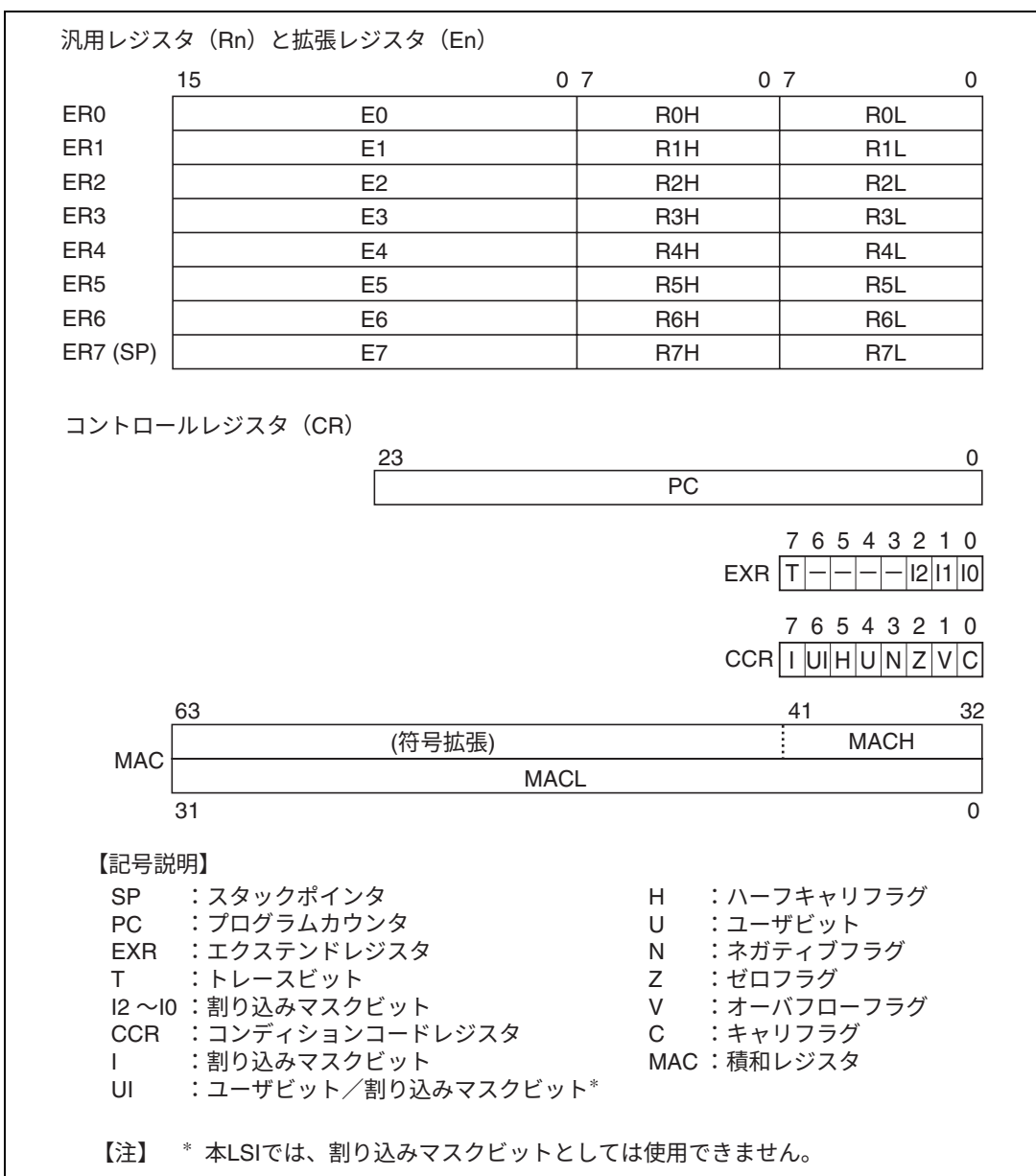


図 2.7 CPU 内部レジスタ構成

2.4.2 汎用レジスタ

本 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタもしくはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビット、および 8 ビットレジスタとして使用できます。

アドレスレジスタおよび 32 ビットレジスタの場合、一括して汎用レジスタ ER (ER0～ER7) として使用します。

16 ビットレジスタの場合、汎用レジスタ ER を分割して汎用レジスタ E (E0～E7)、汎用レジスタ R (R0～R7) として使用します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0～E7) を、特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタの場合、汎用レジスタ R を分割して汎用レジスタ RH (R0H～R7H)、汎用レジスタ RL (R0L～R7L) として使用します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

汎用レジスタの使用方法を図 2.8 に示します。各レジスタ独立に使用方法を選択することができます。

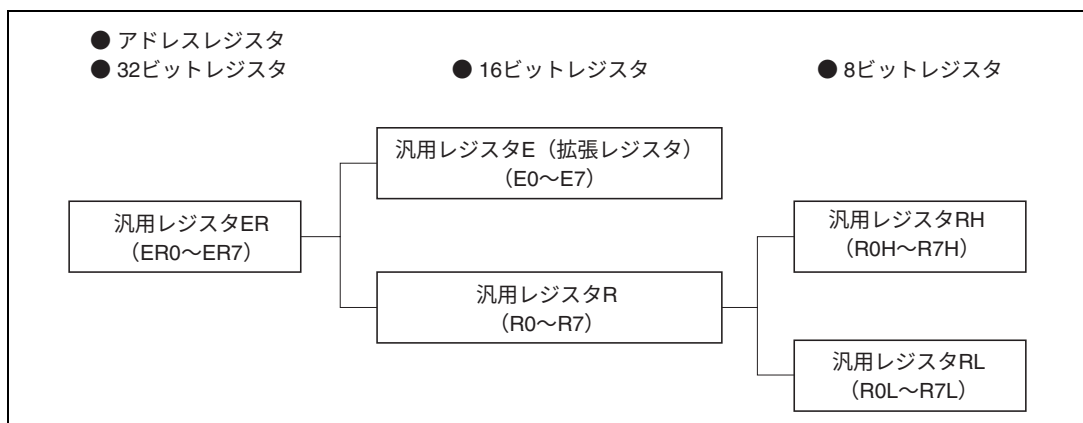


図 2.8 汎用レジスタの使用方法

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.9 に示します。

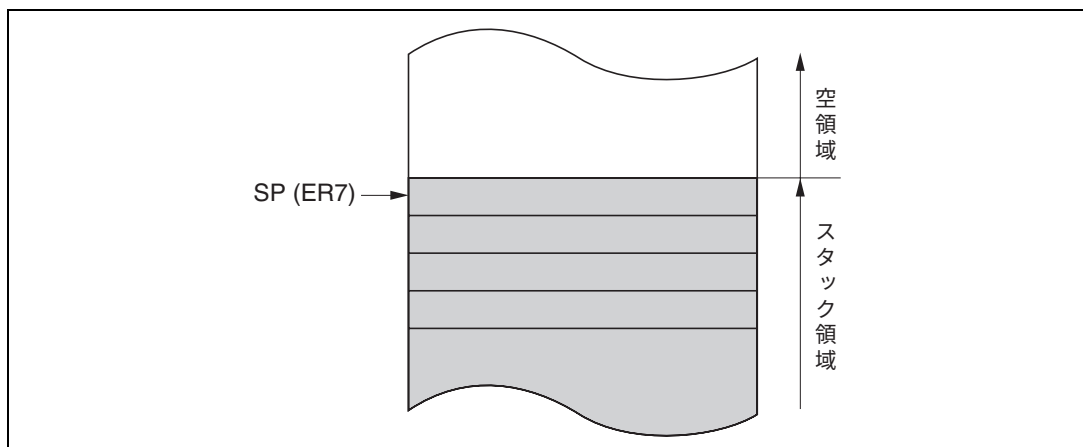


図 2.9 スタックの状態

2.4.3 コントロールレジスタ

コントロールレジスタには、24 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、8 ビットのコンディションコードレジスタ (CCR)、および 64 ビット積和レジスタ (MAC) があります。

(1) プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは 0 とみなされます)。

(2) エクステンドレジスタ (EXR)

8 ビットのレジスタです。トレースビット (T)、割り込みマスクビット (I) を含む 8 ビットで構成されています。

ビット 7：トレースビット (T)

トレースモードか否かを指定します。本ビットが 0 にクリアされているときは命令を順次実行します。1 にセットされているときは 1 命令実行するごとにトレース例外処理を開始します。

ビット 6～3：リザーブビット

リードすると常に 1 が読み出されます。

ビット 2～0：割り込みマスクビット (I2～I0)

割り込み要求マスクレベル (0～7) を指定します。詳細は「第 5 章 割り込みコントローラ」を参照してください。

EXR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。このうち STC を除く命令を実行した場合、実行終了後 3 ステートの間は、NMI を含めてすべての割り込みは受け付けられません。

(3) コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。

ビット 7：割り込みマスクビット (I)

本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI は I ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。詳細は「第 5 章 割り込みコントローラ」を参照してください。

ビット 6：ユーザビット／割り込みマスクビット (UI)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード／ライトできます。本 LSI では、割り込みマスクビットとしては使用できません。

ビット 5：ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはボローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。

ビット 4：ユーザビット (U)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード／ライトできます。

ビット 3：ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット 2：ゼロフラグ (Z)

データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。

ビット 1：オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。

ビット0：キャリフラグ (C)

演算の実行により、キャリが生じたとき1にセットされ、生じなかったとき0にクリアされます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のBORO
- (c) シフト／ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。

各命令ごとのフラグの変化については、「付録 A.1 命令セット一覧」を参照してください。

CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

(4) 積和レジスタ (MAC)

64 ビットのレジスタで、積和演算結果を格納します。32 ビットの MACH、MACL から構成されます。MACH は下位 10 ビットが有効であり、上位は符号拡張されています。

2.4.4 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタからロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

2.5 データ構成

本 CPU は、1 ビット、4 ビット BCD、8 ビット（バイト）、16 ビット（ワード）、および 32 ビット（ロングワード）のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第 n ビット（ $n=0, 1, 2, \dots, 7$ ）という形式でアクセスされます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図 2.10 に示します。

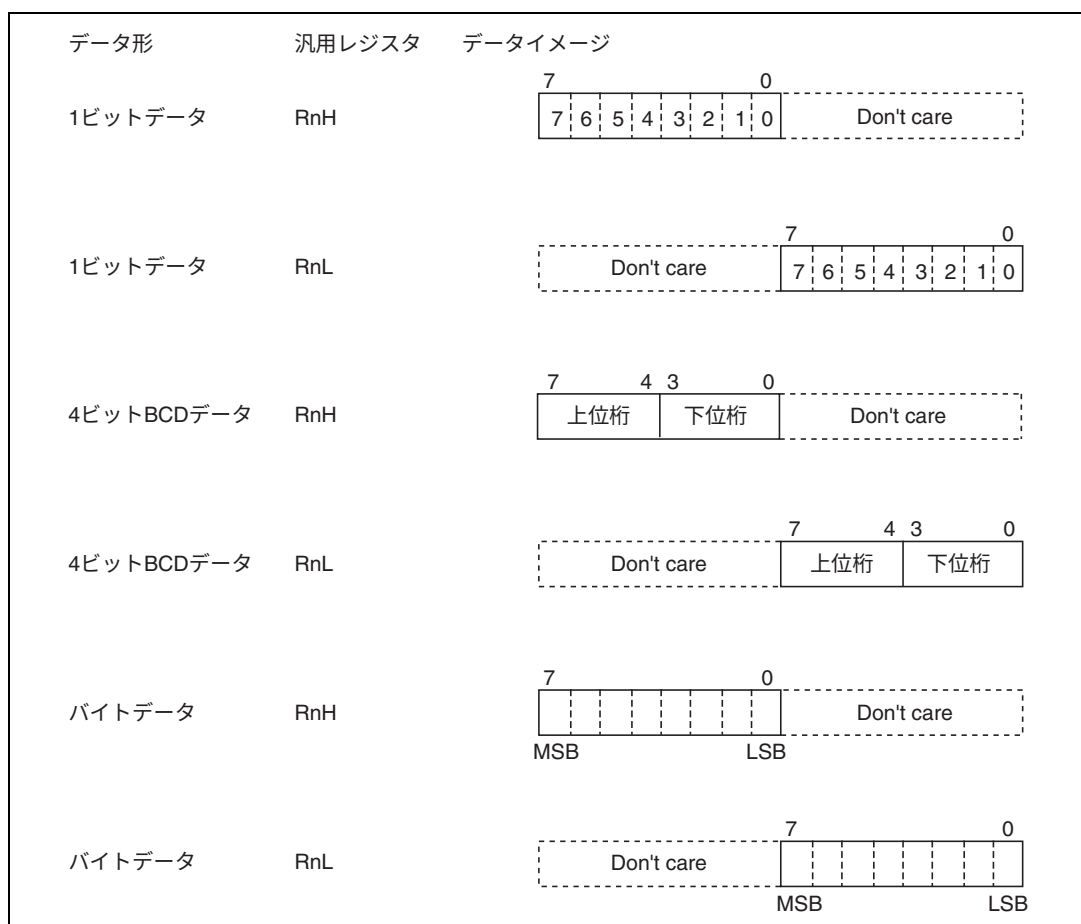


図 2.10 汎用レジスタのデータ構成 (1)

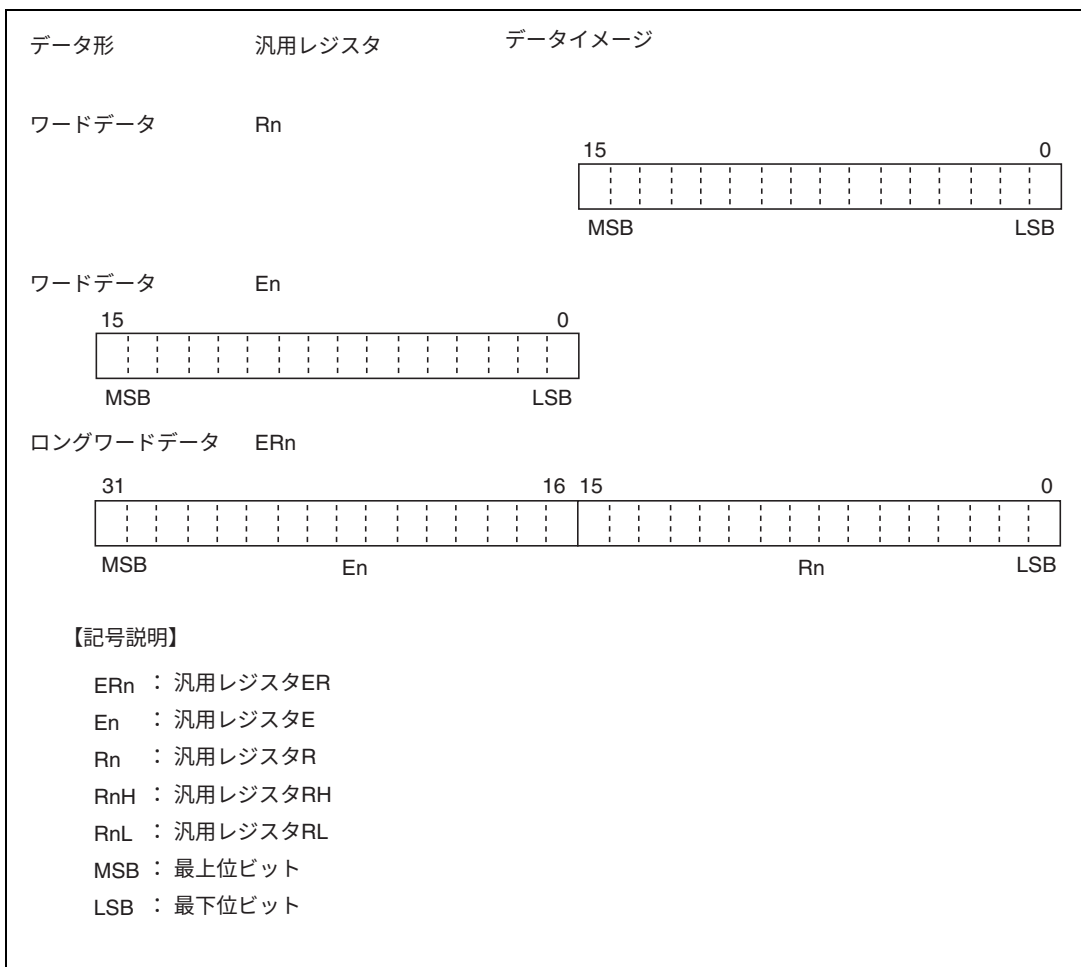


図 2.10 汎用レジスタのデータ構成 (2)

2.5.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図 2.11 に示します。

本 CPU は、メモリ上のワードデータ／ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ／ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

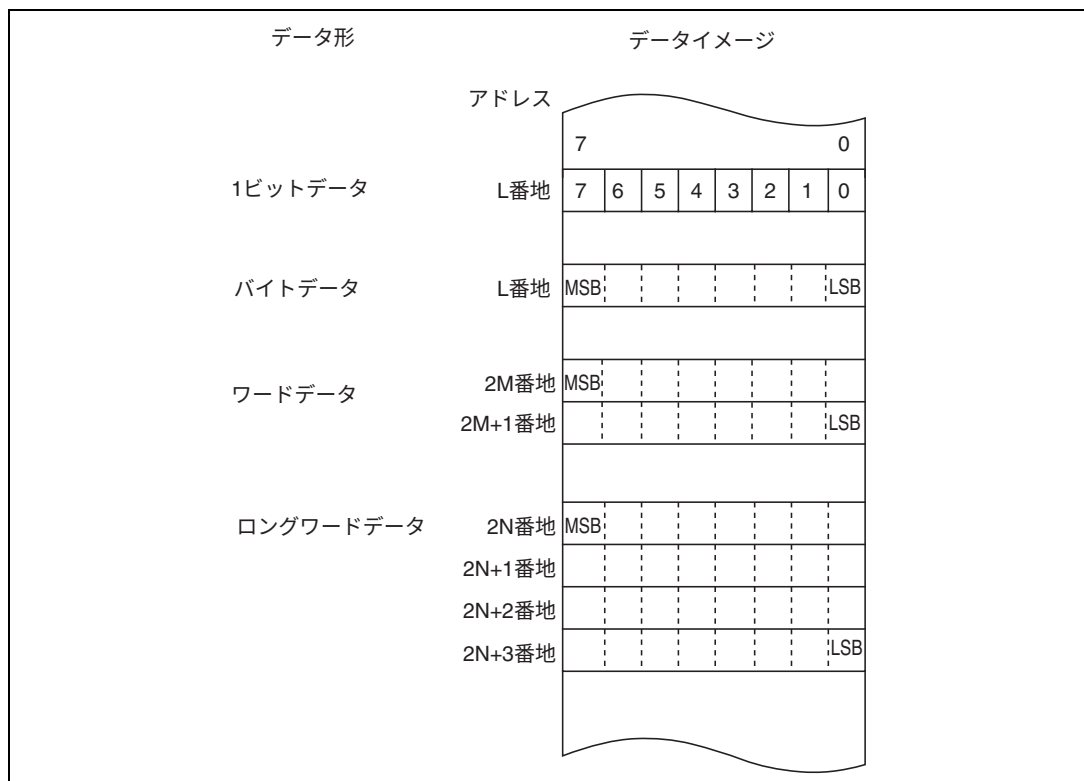


図 2.11 メモリ上でのデータ構成

なお、SP（ER7）をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

2.6 命令セット

2.6.1 概要

本 CPU の命令は合計 69 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分 類	命 令	サイズ	種類
転送命令	MOV	BWL	5
	POP * ¹ , PUSH * ¹	WL	
	LDM, STM	L	
	MOVFPE* ³ , MOVTPE* ³	B	
算術演算命令	ADD, SUB, CMP, NEG	BWL	23
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	BWL	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	BW	
	EXTU, EXTS	WL	
	TAS* ⁴	B	
	MAC, LDMAC, STMAC, CLRMAC	—	
論理演算命令	AND, OR, XOR, NOT	BWL	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	BWL	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc * ² , JMP, BSR, JSR, RTS	—	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	—	9
ブロック転送命令	EEPMOV	—	1

合計 69 種類

【記号説明】

- B : バイトサイズ
W : ワードサイズ
L : ロングワードサイズ

- 【注】 *1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+,Rn、MOV.W Rn,@-SP と同一です。
また、POP.L ERn、PUSH.L ERn は、それぞれ MOV.L @SP+,ERn、MOV.L ERn,@-SP と同一です。
*2 Bcc は条件分岐命令の総称です。
*3 本 LSI では使用できません。
*4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

2.6.2 命令とアドレッシングモードの組み合わせ

本 CPU で使用できる命令とアドレッシングモードの組み合わせを表 2.2 に示します。

表 2.2 命令とアドレッシングモードの組み合わせ

機能	命 令	アドレッシングモード													
		#xx	Rn	@ ERn	@ (d:16, ERn)	@ (d:32, ERn)	@ -ERn/@ ERn+	@ aa:8	@ aa:16	@ aa:24	@ aa:32	@ (d:8, PC)	@ (d:16, PC)	@ @aa:8	I
データ転送命令	MOV	BWL	BWL	BWL	BWL	BWL	BWL	B	BWL	—	BWL	—	—	—	—
	POP, PUSH	—	—	—	—	—	—	—	—	—	—	—	—	—	WL
	LDM, STM	—	—	—	—	—	—	—	—	—	—	—	—	—	L
	MOVFP* ¹ , MOVTP* ¹	—	—	—	—	—	—	—	B	—	—	—	—	—	—
算術演算命令	ADD, CMP	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	SUB	WL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	ADDX, SUBX	B	B	—	—	—	—	—	—	—	—	—	—	—	—
	ADDS, SUBS	—	L	—	—	—	—	—	—	—	—	—	—	—	—
	INC, DEC	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	DAA, DAS	—	B	—	—	—	—	—	—	—	—	—	—	—	—
	MULXU, DIVXU	—	BW	—	—	—	—	—	—	—	—	—	—	—	—
	MULXS, DIVXS	—	BW	—	—	—	—	—	—	—	—	—	—	—	—
	NEG	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	EXTU, EXTS	—	WL	—	—	—	—	—	—	—	—	—	—	—	—
	TAS* ²	—	—	B	—	—	—	—	—	—	—	—	—	—	—
	MAC	—	—	—	—	—	○	—	—	—	—	—	—	—	—
	CLRMAC	—	—	—	—	—	—	—	—	—	—	—	—	—	○
	LDMAC, STMAC	—	—	—	—	—	—	—	—	—	—	—	—	—	—
論理演算命令	AND, OR, XOR	BWL	BWL	—	—	—	—	—	—	—	—	—	—	—	—
	NOT	—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
シフト命令		—	BWL	—	—	—	—	—	—	—	—	—	—	—	—
ビット操作命令		—	B	B	—	—	—	B	B	—	B	—	—	—	—
分岐命令	Bcc, BSR	—	—	—	—	—	—	—	—	—	—	○	○	—	—
	JMP, JSR	—	—	—	—	—	—	—	—	○	—	—	—	○	—
	RTS	—	—	—	—	—	—	—	—	—	—	—	—	—	○
システム制御命令	TRAPA	—	—	—	—	—	—	—	—	—	—	—	—	—	○
	RTE	—	—	—	—	—	—	—	—	—	—	—	—	—	○
	SLEEP	—	—	—	—	—	—	—	—	—	—	—	—	—	○
	LDC	B	B	W	W	W	W	—	W	—	W	—	—	—	—
	STC	—	B	W	W	W	W	—	W	—	W	—	—	—	—
	ANDC, ORC, XORC	B	—	—	—	—	—	—	—	—	—	—	—	—	—
	NOP	—	—	—	—	—	—	—	—	—	—	—	—	—	○
ブロック転送命令		—	—	—	—	—	—	—	—	—	—	—	—	—	BW

【記号説明】

B : バイト
W : ワード
L : ロングワード

【注】 *1 本 LSI では使用できません。

*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

2.6.3 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

《オペレーションの記号》

Rd	汎用レジスタ（デスティネーション側）*
Rs	汎用レジスタ（ソース側）*
Rn	汎用レジスタ*
ERn	汎用レジスタ（32 ビットレジスタ）
MAC	積和レジスタ（32 ビットレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
−	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
∼	反転論理（論理的補数）
:8/:16/:24/:32	8/16/24/32 ビット長

【注】 * 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）、16 ビット（R0～R7、E0～E7）、または 32 ビットレジスタ（ER0～ER7）です。

表 2.3 データ転送命令

命令	サイズ*	機 能
MOV	B/W/L	(EAs)→Rd、Rs→(EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W/L	@SP+→Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W/L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と、また、PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM	L	@SP+→Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM	L	Rn (レジスタ群) →@-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 算術演算命令

命令	サイズ* ¹	機 能
ADD SUB	B/W/L	Rd±Rs→Rd、Rd±#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	Rd±Rs±C→Rd、Rd±#IMM±C→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B/W/L	Rd±1→Rd、Rd±2→Rd 汎用レジスタに 1 または 2 を加減算します (バイトサイズで 1 の加減算のみ可能です)。
ADDS SUBS	L	Rd±1→Rd、Rd±2→Rd、Rd±4→Rd 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	Rd(10 進補正) →Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。

命令	サイズ* ¹	機 能
MULXS	B/W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8ビット×8ビット→16ビット、16ビット×16ビット→32ビットの乗算が可能です。
DIVXU	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16ビット÷8ビット→商8ビット余り8ビット、 32ビット÷16ビット→商16ビット余り16ビットの除算が可能です。
DIVXS	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16ビット÷8ビット→商8ビット余り8ビット、 32ビット÷16ビット→商16ビット余り16ビットの除算が可能です。
CMP	B/W/L	$Rd - Rs, Rd - \#IMM$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果をCCRに反映します。
NEG	B/W/L	$0 - Rd \rightarrow Rd$ 汎用レジスタの内容の2の補数（算術的補数）をとります。
EXTU	W/L	$Rd(\text{ゼロ拡張}) \rightarrow Rd$ 16ビットレジスタの下位8ビットをワードサイズにゼロ拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	$Rd(\text{符号拡張}) \rightarrow Rd$ 16ビットレジスタの下位8ビットをワードサイズに符号拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズに符号拡張します。
TAS	B	$@ERd - 0, 1 \rightarrow (<\text{ビット7}> \text{ of } @ERd) *^2$ メモリの内容をテストした後、最上位ビット（ビット7）を1にセットします。
MAC	—	$(EAs) \times (EAd) + MAC \rightarrow MAC$ メモリとメモリ間の符合付き乗算を行い、結果を積和レジスタに加算します。 16ビット×16ビット+32ビット→32ビットの飽和演算、 16ビット×16ビット+42ビット→42ビットの非飽和演算が可能です。
CLRMAC	—	$0 \rightarrow MAC$ 積和レジスタをゼロクリアします。
LDMAC STMAC	L	$Rs \rightarrow MAC, MAC \rightarrow Rd$ 汎用レジスタと積和レジスタ間でデータ転送します。

【注】 *1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

*2 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

表 2.5 論理演算命令

命令	サイズ*	機 能
AND	B/W/L	$Rd \wedge Rs \rightarrow Rd$ 、 $Rd \wedge \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	$Rd \vee Rs \rightarrow Rd$ 、 $Rd \vee \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	$Rd \oplus Rs \rightarrow Rd$ 、 $Rd \oplus \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	$\sim Rd \rightarrow Rd$ 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.6 シフト命令

命令	サイズ*	機 能
SHAL SHAR	B/W/L	$Rd(\text{シフト処理}) \rightarrow Rd$ 汎用レジスタの内容を算術的にシフトします。 1 ビットまたは 2 ビットのシフトが可能です。
SHLL SHLR	B/W/L	$Rd(\text{シフト処理}) \rightarrow Rd$ 汎用レジスタの内容を論理的にシフトします。 1 ビットまたは 2 ビットのシフトが可能です。
ROTL ROTR	B/W/L	$Rd(\text{ローテート処理}) \rightarrow Rd$ 汎用レジスタの内容をローテートします。 1 ビットまたは 2 ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	$Rd(\text{ローテート処理}) \rightarrow Rd$ 汎用レジスタの内容をキャリフラグを含めてローテートします。 1 ビットまたは 2 ビットのローテートが可能です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.7 ビット操作命令

命令	サイズ*	機 能
BSET	B	1→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR	B	0→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BNOT	B	~(<ビット番号>of<EAd>)→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~(<ビット番号>of<EAd>)→Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C ∧ (<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C ∧ [~(<ビット番号>of<EAd>)] → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C ∨ (<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C ∨ [~(<ビット番号>of<EAd>)] → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BXOR	B	C ⊕ (<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	C ⊕ [~(<ビット番号>of<EAd>)] → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

命令	サイズ*	機 能
BLD	B	(<ビット番号>of<EAd>) →C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	~(<ビット番号>of<EAd>) →C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	C→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	~C→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグを反転して転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

表 2.8 分岐命令

命令	サイズ*	機 能																																																			
Bcc	—	指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。 <table> <tr> <th>ニーモニック</th><th>説 明</th><th>分岐条件</th></tr> <tr> <td>BRA (BT)</td><td>Always (True)</td><td>Always</td></tr> <tr> <td>BRN (BF)</td><td>Never (False)</td><td>Never</td></tr> <tr> <td>BHI</td><td>High</td><td>$C \vee Z = 0$</td></tr> <tr> <td>BLS</td><td>Low or Same</td><td>$C \vee Z = 1$</td></tr> <tr> <td>BCC (BHS)</td><td>Carry Clear (High or Same)</td><td>$C = 0$</td></tr> <tr> <td>BCS (BLO)</td><td>Carry Set (LOW)</td><td>$C = 1$</td></tr> <tr> <td>BNE</td><td>Not Equal</td><td>$Z = 0$</td></tr> <tr> <td>BEQ</td><td>Equal</td><td>$Z = 1$</td></tr> <tr> <td>BVC</td><td>oVerflow Clear</td><td>$V = 0$</td></tr> <tr> <td>BVS</td><td>oVerflow Set</td><td>$V = 1$</td></tr> <tr> <td>BPL</td><td>PLus</td><td>$N = 0$</td></tr> <tr> <td>BMI</td><td>MInus</td><td>$N = 1$</td></tr> <tr> <td>BGE</td><td>Greater or Equal</td><td>$N \oplus V = 0$</td></tr> <tr> <td>BLT</td><td>Less Than</td><td>$N \oplus V = 1$</td></tr> <tr> <td>BGT</td><td>Greater Than</td><td>$Z \vee (N \oplus V) = 0$</td></tr> <tr> <td>BLE</td><td>Less or Equal</td><td>$Z \vee (N \oplus V) = 1$</td></tr> </table>	ニーモニック	説 明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	$C \vee Z = 0$	BLS	Low or Same	$C \vee Z = 1$	BCC (BHS)	Carry Clear (High or Same)	$C = 0$	BCS (BLO)	Carry Set (LOW)	$C = 1$	BNE	Not Equal	$Z = 0$	BEQ	Equal	$Z = 1$	BVC	oVerflow Clear	$V = 0$	BVS	oVerflow Set	$V = 1$	BPL	PLus	$N = 0$	BMI	MInus	$N = 1$	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z \vee (N \oplus V) = 0$	BLE	Less or Equal	$Z \vee (N \oplus V) = 1$
ニーモニック	説 明	分岐条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	$C \vee Z = 0$																																																			
BLS	Low or Same	$C \vee Z = 1$																																																			
BCC (BHS)	Carry Clear (High or Same)	$C = 0$																																																			
BCS (BLO)	Carry Set (LOW)	$C = 1$																																																			
BNE	Not Equal	$Z = 0$																																																			
BEQ	Equal	$Z = 1$																																																			
BVC	oVerflow Clear	$V = 0$																																																			
BVS	oVerflow Set	$V = 1$																																																			
BPL	PLus	$N = 0$																																																			
BMI	MInus	$N = 1$																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$Z \vee (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V) = 1$																																																			
JMP	—	指定されたアドレスへ無条件に分岐します。																																																			
BSR	—	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	—	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	—	サブルーチンから復帰します。																																																			

【注】 * サイズはオペランドサイズを示します。

表 2.9 システム制御命令

命令	サイズ*	機 能
TRAPA	—	命令トラップ例外処理を行います。
RTE	—	例外処理ルーチンから復帰します。
SLEEP	—	低消費電力状態に遷移します。
LDC	B/W	(EAs)→CCR、(EAs)→EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B/W	CCR→(EAd)、EXR→(EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR∧#IMM→CCR、EXR∧#IMM→EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR∨#IMM→CCR、EXR∨#IMM→EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR、EXR⊕#IMM→EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	—	PC+2→PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ*	機 能
EEPMOV.B	—	if R4L≠0 then Repeat @ER5+→@ER6+ R4L-1→R4L Until R4L=0 else next;
EEPMOV.W	—	if R4≠0 then Repeat @ER5+→@ER6+ R4-1→R4 Until R4=0 else next; ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

【注】 * サイズはオペランドサイズを示します。

2.6.4 命令の基本フォーマット

本 CPU の命令は、2 バイト（ワード）を単位にしています。各命令はオペレーションフィールド（op）、レジスタフィールド（r）、EA 拡張部（EA）、およびコンディションフィールド（cc）から構成されています。

図 2.12 に命令フォーマットの例を示します。

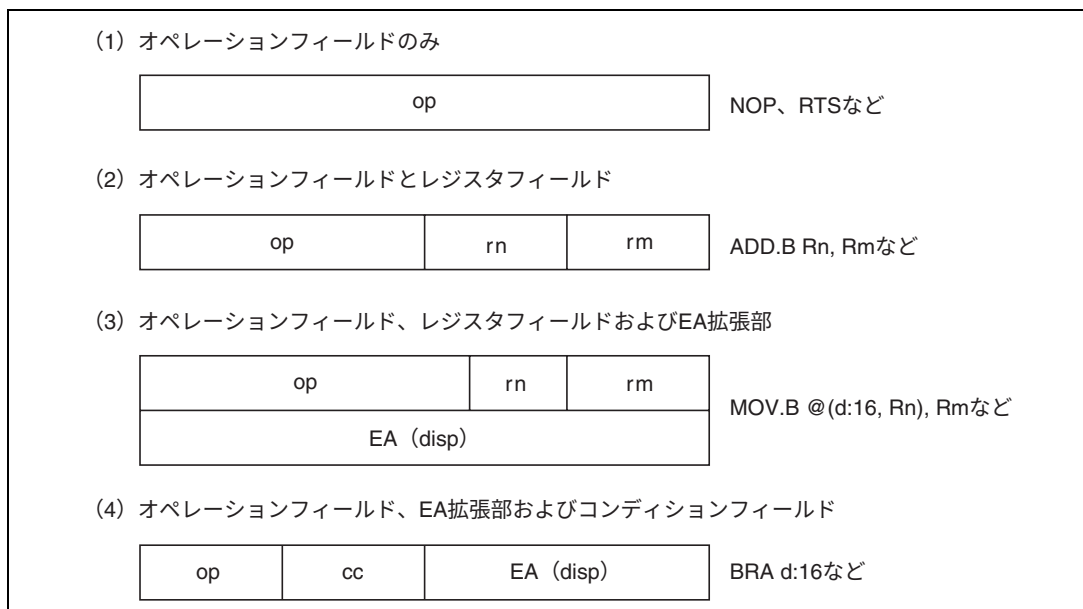


図 2.12 命令フォーマットの例

(1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭 4 ビットを必ず含みます。2 つのオペレーションフィールドを持つ場合もあります。

(2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき 3 ビット、データレジスタのとき 3 ビットまたは 4 ビットです。2 つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

(3) EA 拡張部

イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8 ビット、16 ビット、または 32 ビットです。

(4) コンディションフィールド

Bcc 命令の分岐条件を指定します。

2.7 アドレッシングモードと実効アドレスの計算方法

2.7.1 アドレッシングモード

本 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。

転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。

また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn)/@(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8/@aa:16/@aa:24/@aa:32
6	イミディエイト	#xx:8/#xx:16/#xx:32
7	プログラムカウンタ相対	@(d:8,PC)/@(d:16,PC)
8	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。

8 ビットレジスタとしては R0H~R7H、R0L~R7L を指定可能です。

16 ビットレジスタとしては R0~R7、E0~E7 を指定可能です。

32 ビットレジスタとしては ER0~ER7 を指定可能です。

(2) レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。

プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。

(3) ディスプレースメント付きレジスタ間接 @ (d:16,ERn) /@ (d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

(4) ポストインクリメントレジスタ間接 @ERn+／プリデクリメントレジスタ間接 @-ERn

(a) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズのとき、アドレスレジスタの内容が偶数となるようにしてください。

(b) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2 または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズのとき、アドレスレジスタの内容が偶数になるようにしてください。

(5) 絶対アドレス @aa:8／@aa:16／@aa:24／@aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、24 ビット (@aa:24)、または 32 ビット (@aa:32) です。

データ領域としては、8 ビット (@aa:8)、16 ビット (@aa:16)、または 32 ビット (@aa:32) を使用します。8 ビット絶対アドレスの場合、上位 24 ビットはすべて 1 (H'FFFF) となります。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット (@aa:24) を使用します。上位 8 ビットはすべて 0 (H'00) となります。

絶対アドレスのアクセス範囲を表 2.12 に示します。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード*	アドバンストモード
データ領域	8 ビット (@aa:8)	H'FF00～H'FFFF	H'FFFF00～H'FFFFFF
	16 ビット (@aa:16)	H'0000～H'FFFF	H'000000～H'007FFF、H'FF8000～H'FFFFFF
	32 ビット (@aa:32)		H'000000～H'FFFFFF
プログラム領域	24 ビット (@aa:24)		

【注】 * 本 LSI では使用できません。

(6) イミディエイト #xx:8／#xx:16／#xx:32

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが、命令コードの中に含まれます。

(7) プログラムカウンタ相対 @ (d:8, PC) ／@ (d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126～+128 バイト (-63～+64 ワード) または -32766～+32768 バイト (-16383～+16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。

8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0～255 (ノーマルモード*のとき H'0000～H'00FF、アドバンスモードのとき H'000000～H'0000FF) 番地です。

ノーマルモード*の場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。

また、アドバンスモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。

ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 4 章 例外処理」を参照してください。

【注】* 本 LSI では使用できません。

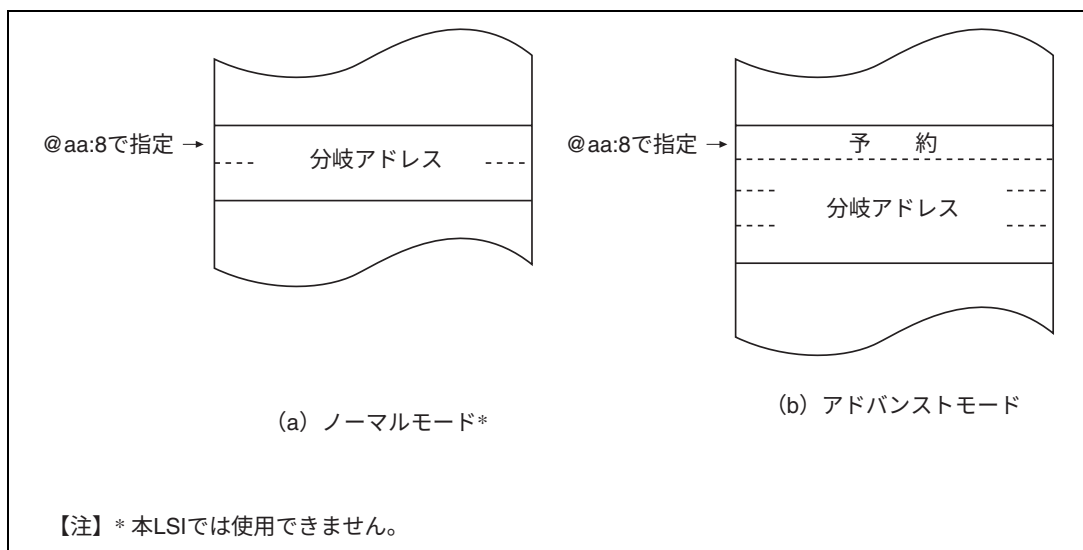


図 2.13 メモリ間接による分岐アドレスの指定

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは0とみなされ、1番地前から始まるデータまたは命令コードをアクセスします（「2.5.2 メモリ上でのデータ構成」を参照してください）。

2.7.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算法を表 2.13 に示します。

ノーマルモード*の場合、実効アドレスの上位8ビットは無視され、16ビットのアドレスとなります。

【注】* 本LSIでは使用できません。

表2.13 実行アドレスの計算方法

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)														
1	レジスタ直接 (Rn) <table><tr><td>op</td><td>rm</td><td>m</td></tr></table>	op	rm	m		オペランドは汎用レジスタの内容です。											
op	rm	m															
2	レジスタ間接 (@ERn) <table><tr><td>op</td><td>r</td><td></td></tr></table>	op	r		汎用レジスタの内容 0 31 24 23 Don't care 0												
op	r																
3	ディスプレースメント付きレジスタ間接 @ (d:16,ERn) / @ (d:32,ERn) <table><tr><td>op</td><td>r</td><td>disp</td></tr></table>	op	r	disp	汎用レジスタの内容 0 31 + 0 31 24 23 Don't care 0 符号拡張 disp												
op	r	disp															
4	ポストインクリメントレジスタ間接/プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+ <table><tr><td>op</td><td>r</td><td></td></tr></table> ・プリデクリメントレジスタ間接 @-ERn <table><tr><td>op</td><td>r</td><td></td></tr></table>	op	r		op	r		汎用レジスタの内容 0 31 + 0 31 24 23 Don't care 0 1、2、または4 汎用レジスタの内容 0 31 - 0 31 24 23 Don't care 0 1、2、または4 <table><tr><td>オペランドサイズ</td><td>加減算される値</td></tr><tr><td>バイト</td><td>1</td></tr><tr><td>ワード</td><td>2</td></tr><tr><td>ロングワード</td><td>4</td></tr></table>	オペランドサイズ	加減算される値	バイト	1	ワード	2	ロングワード	4	
op	r																
op	r																
オペランドサイズ	加減算される値																
バイト	1																
ワード	2																
ロングワード	4																

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス		
	@aa:8 op abs		312423 Don't care 87 H'FFFF 0
	@aa:16 op abs		312423 Don't care 1615 符号拡張 0
	@aa:24 op abs		312423 Don't care 0
	@aa:32 op abs		312423 Don't care 0
6	イミディエイト #xx:8 / #xx:16 / #xx:32 op IMM		オペランドはイミディエイトデータです。

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
7	プログラムカウンタ相対 @(d:8,PC)/@(d:16,PC) op disp	23 PCの内容 0 23 符号拡張 0 + 31 24 23 0	31 24 23 0 Don't care
8	メモリ間接 @aa:8 ・ノーマルモード* op abs ・アドバンスドモード op abs	31 8 7 0 H'000000 15 0 メモリの内容 31 8 7 0 H'000000 abs 0 メモリの内容	31 24 23 16 15 0 Don't care H'00

【注】 * 本LSIでは使用できません。

2.8 処理状態

2.8.1 概要

本 LSI の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、および低消費電力状態の 5 種類があります。

処理状態の分類を図 2.14 に、処理状態間の遷移を図 2.15 に示します。

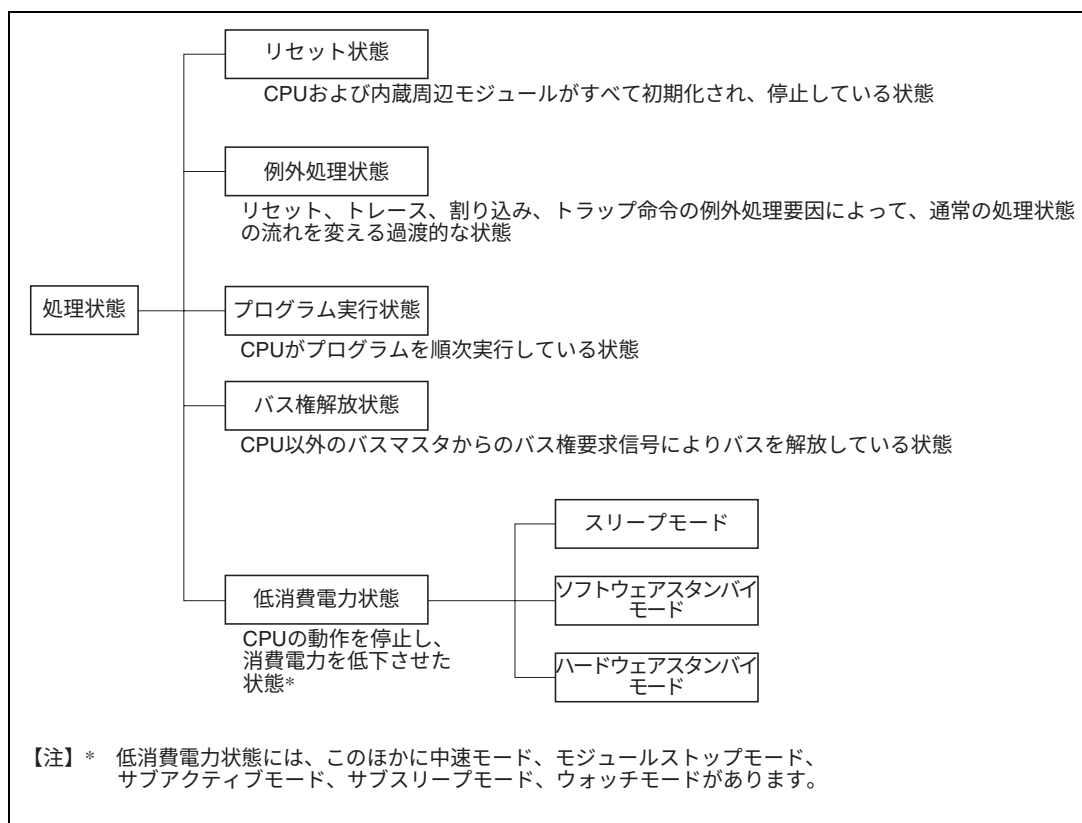


図 2.14 処理状態の分類

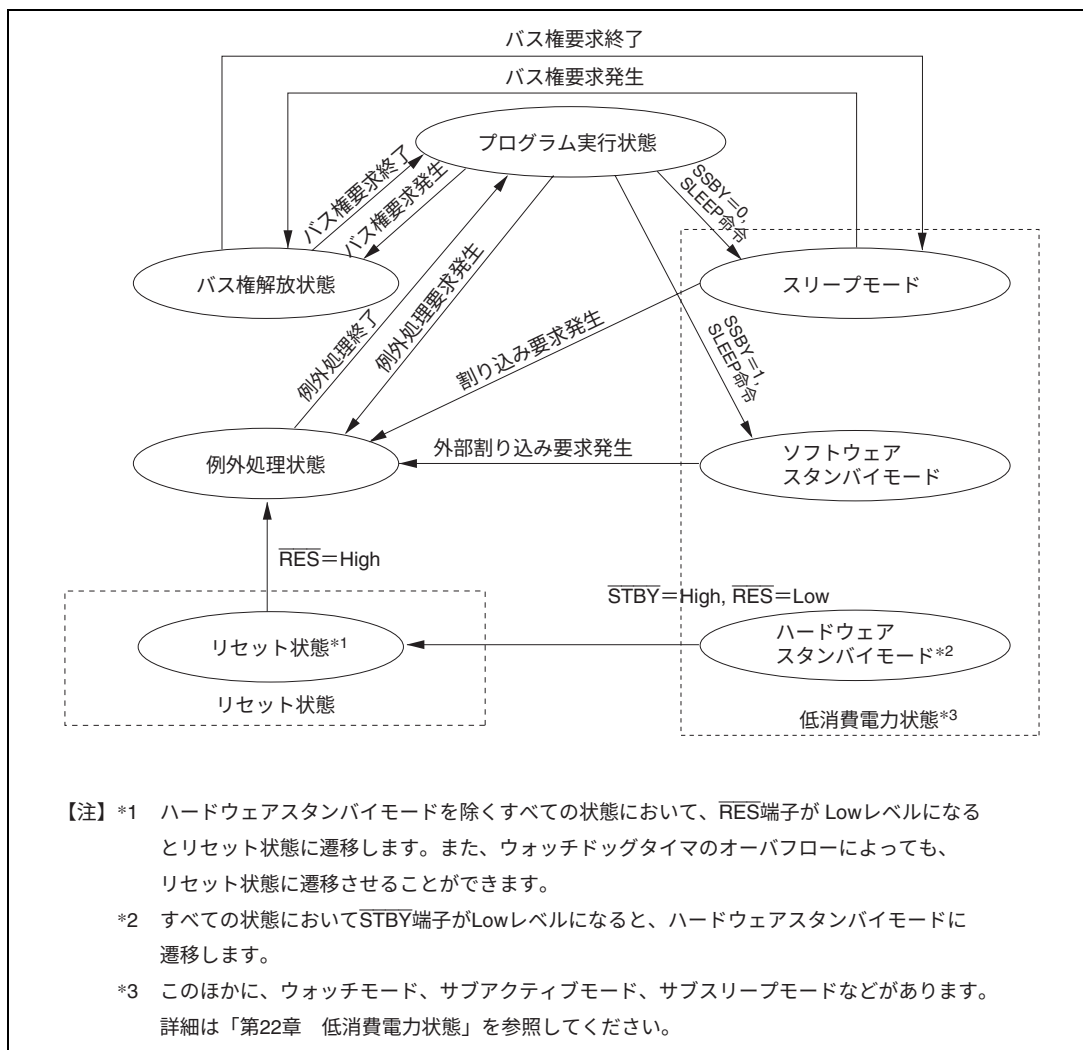


図 2.15 状態遷移図

2.8.2 リセット状態

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて中止され、CPU はリセット状態になります。リセット状態ではすべての割り込みが禁止されます。

$\overline{\text{RES}}$ 端子を Low レベルから High レベルにすると、リセット例外処理を開始します。

ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第12章 ウォッチドッグタイマ (WDT)」を参照してください。

2.8.3 例外処理状態

例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によって起動され、CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスに分岐する過渡的な状態です。

(1) 例外処理の種類と優先度

例外処理要因には、リセット、トレース、割り込み、およびトラップ命令があります。表 2.14 に、例外処理の種類と優先度を示します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSCR で設定される割り込み制御モードによって、例外処理やスタックの構造が異なります。

表 2.14 例外処理の種類と優先度

優先度	例外処理要因	例外処理検出 タイミング	例外処理開始タイミング
高 ↑ ↓ 低	リセット	クロック同期	RES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドッグタイマのオーバフローにより例外処理を開始します。
	トレース	命令実行終了時または例外処理終了時* ¹	T ビット=1 の状態で命令または例外処理の実行終了時開始します。
	割り込み	命令実行終了時または例外処理終了時* ²	割り込み要求が発生すると、命令実行終了時または例外処理終了時に例外処理を開始します。
	トラップ命令	TRAPA 命令実行時	TRAPA 命令を実行すると、例外処理を開始します。* ³

【注】 *¹ トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。

*² ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

*³ トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

(2) リセット例外処理

RES 端子を Low レベルにしてリセット状態とした後、RES 端子を High レベルにすると、リセット例外処理を開始します。RES 端子が Low レベルのときリセット状態になります。

リセット例外処理が起動されると、CPU は、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出し、そのスタートアドレスからプログラムの実行を開始します。

リセット例外処理実行中、および終了後は、NMI を含めたすべての割り込みが禁止されます。

(3) トレース

トレースは、割り込み制御モード 2 で有効です。

EXR の T ビットが 1 にセットされていると、トレースモードになります。トレースモードが設定されていると、1 命令の実行を終了するたびにトレース例外処理を開始します。

トレース例外処理実行後、EXR の T ビットが 0 にクリアされ、トレースモードが解除されます。割り込みマスクは影響を受けません。

スタックに退避された T ビットは 1 を保持しており、RTE 命令を実行して、トレース例外処理ルーチンから復帰した後は、再び、トレースモードになります。

RTE 命令実行後は、トレース例外処理を行いません。

割り込み制御モード 0 では、T ビットの状態によらず、トレースモードにはなりません。

(4) 割り込み例外処理およびトラップ命令例外処理

割り込み例外処理およびトラップ命令例外処理が起動されると、CPU は、SP (ER7) を参照してプログラムカウンタとコントロールレジスタをスタックに退避します。そして、CPU はコントロールレジスタの割り込みマスクビットを再設定します。次に、例外処理ベクタテーブルからスタートアドレス (ベクタ) を取り出し、そのスタートアドレスからプログラムの実行を開始します。

例外処理終了後のスタックの状態を図 2.16 に示します。

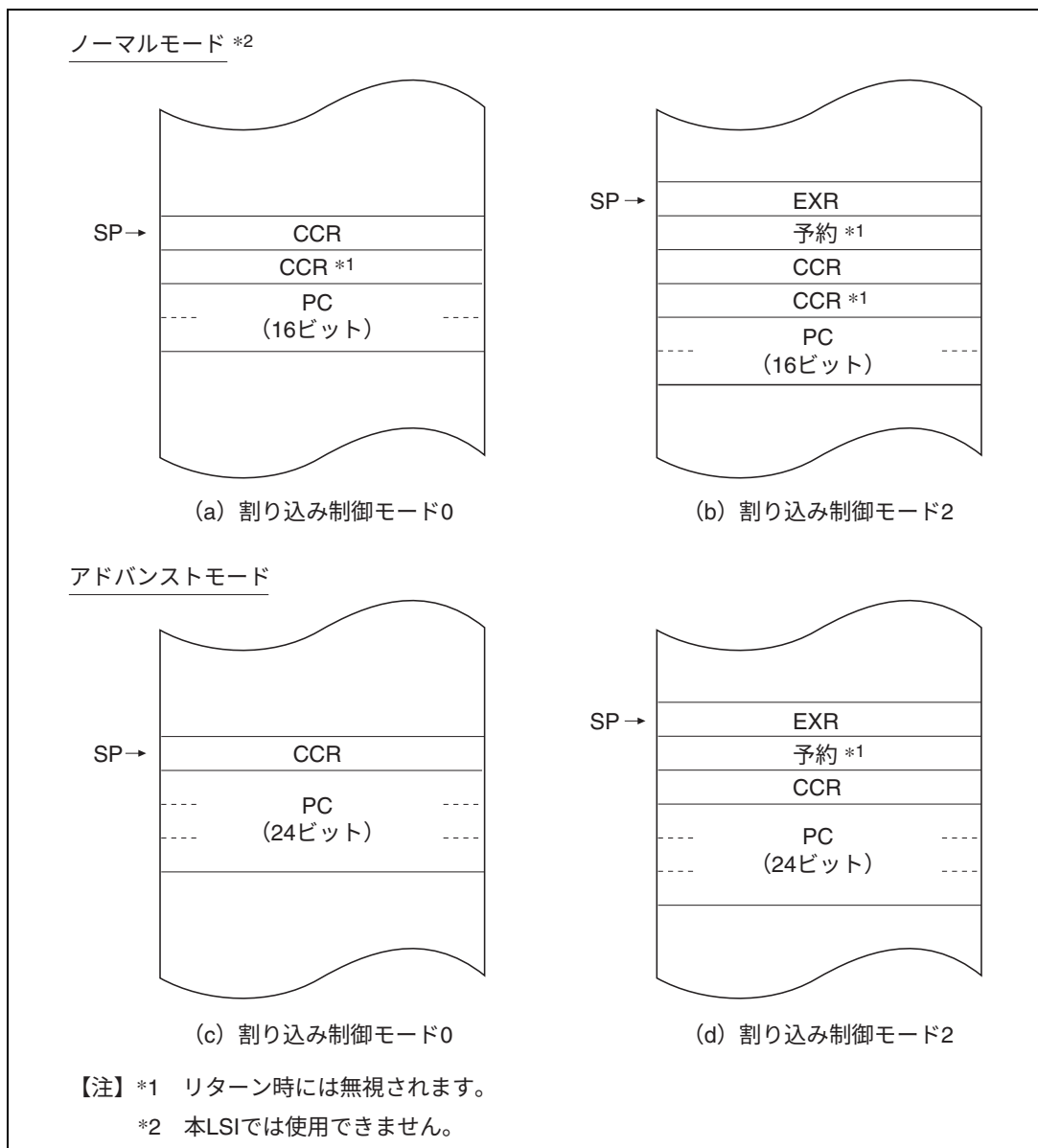


図 2.16 例外処理終了後のスタックの状態 (例)

2.8.4 プログラム実行状態

CPU がプログラムを順次実行している状態です。

2.8.5 バス権解放状態

CPU 以外のバスマスタによるバス権要求に対して、バス権を解放した状態です。バス権解放状態では、CPU は動作を停止します。

なお、CPU 以外のバスマスタにはデータトランスファコントローラ（DTC）があります。詳細は、「第 7 章 バスコントローラ」を参照してください。

2.8.6 低消費電力状態

低消費電力状態には、CPU の動作を停止した状態と、CPU の動作を停止しない状態があります。CPU の動作を停止した低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモード、サブスリープモード、ウォッチモードがあります。

また、その他の低消費電力状態には、中速モード、モジュールストップモード、サブアクティブモードがあります。中速モードでは CPU およびその他のバスマスタが中速クロックで動作します。モジュールストップモードでは、モジュール単位で、CPU 以外のモジュールの動作を停止します。サブアクティブモード、サブスリープモード、ウォッチモードはサブクロック入力を利用した低消費電力状態です。詳細は「第 22 章 低消費電力状態」を参照してください。

(1) スリープモード

スリープモードには、SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=0 の状態で、SLEEP 命令を実行することによって遷移します。スリープモードでは、CPU の動作は SLEEP 命令実行直後で停止します。CPU の内部レジスタの内容は保持されます。

(2) ソフトウェアスタンバイモード

ソフトウェアスタンバイモードには、SBYCR の SSBY ビット=1、LPWRCR の LSON ビット=0、TCSR（WDT1）の PSS ビット=0 の状態で、SLEEP 命令を実行することによって遷移します。ソフトウェアスタンバイモードでは、CPU およびクロックをはじめ MCU のすべての動作が停止します。規定の電圧が与えられている限り、CPU の内部レジスタの内容および内蔵 RAM の内容は保持されます。また、I/O ポートの状態も保持されます。

(3) ハードウェアスタンバイモード

ハードウェアスタンバイモードには、STBY 端子を Low レベルにすることによって遷移します。ハードウェアスタンバイモードでは、CPU およびクロックをはじめ MCU のすべての動作が停止します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵 RAM の内容は保持されます。

2.9 基本動作タイミング

2.9.1 概要

本 CPU は、システムクロック (ϕ) を基準に動作しています。 ϕ の立ち上がりから次の立ち上がりまでの 1 単位をステートと呼びます。メモリサイクルまたはバスサイクルは、1、2 または 3 ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部アドレス空間によってそれぞれ異なるアクセスを行います。

2.9.2 内蔵メモリ (ROM、RAM)

内蔵メモリのアクセスは 1 ステートアクセスを行います。このとき、データバス幅は 16 ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアクセスサイクルを図 2.17 に、端子状態を図 2.18 に示します。

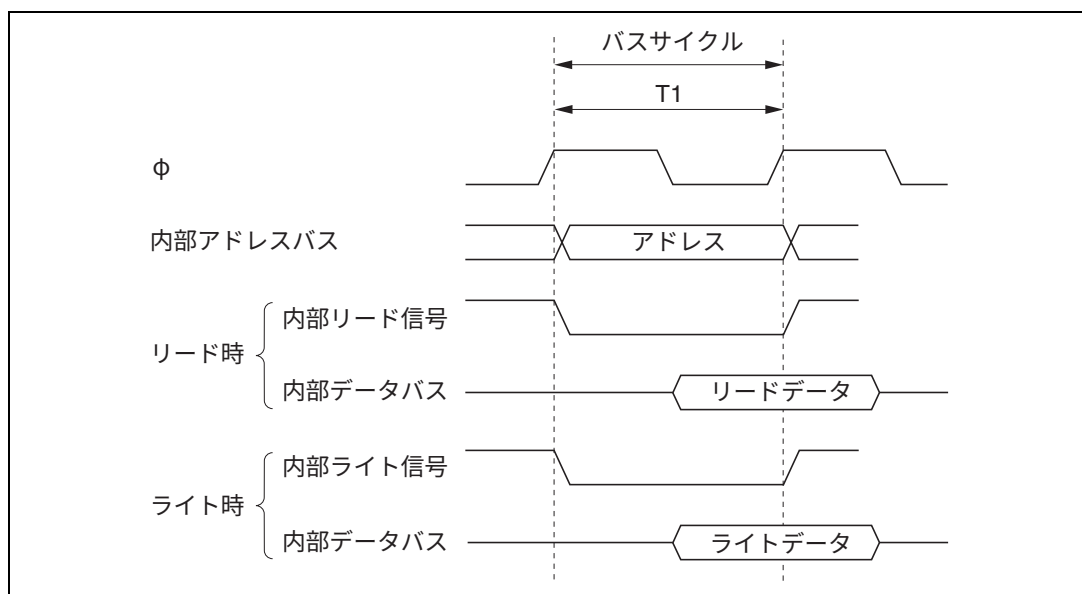


図 2.17 内蔵メモリアクセスサイクル

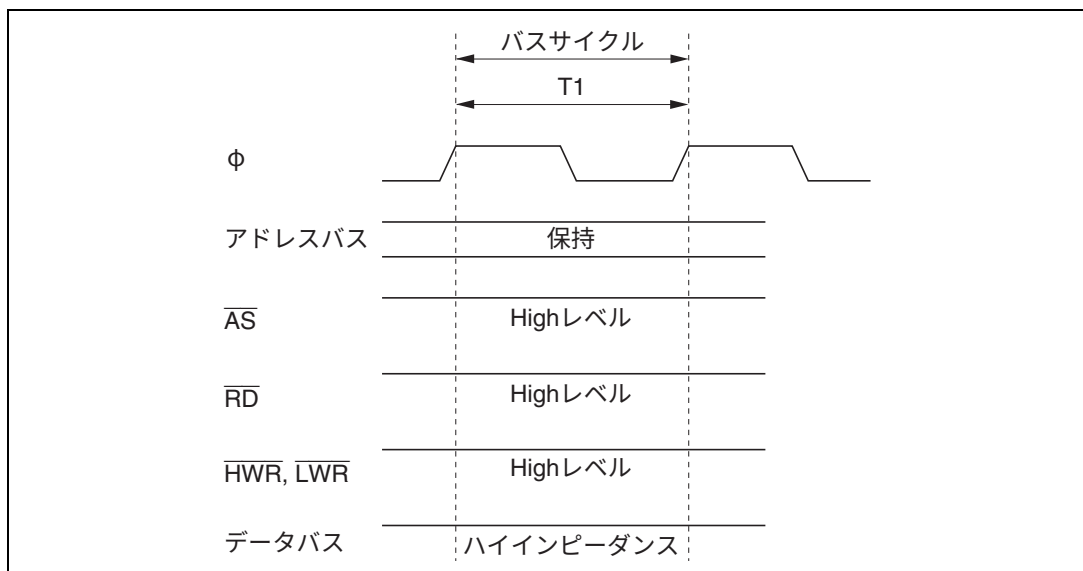


図 2.18 内蔵メモリアクセス時の端子状態

2.9.3 内蔵周辺モジュールアクセスタイミング

内蔵周辺モジュールのアクセスは2ステートで行われます。このとき、データバス幅は8ビットまたは16ビットで内部I/Oレジスタにより異なります。内蔵周辺モジュールアクセスサイクルを図2.19、端子状態を図2.20に示します。

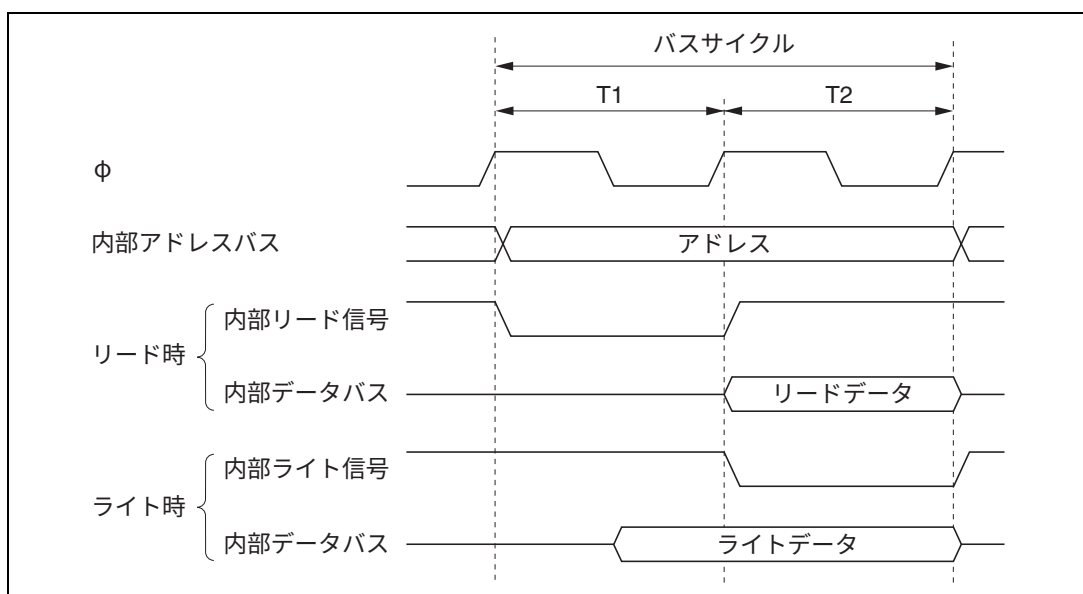


図 2.19 内蔵周辺モジュールアクセスサイクル

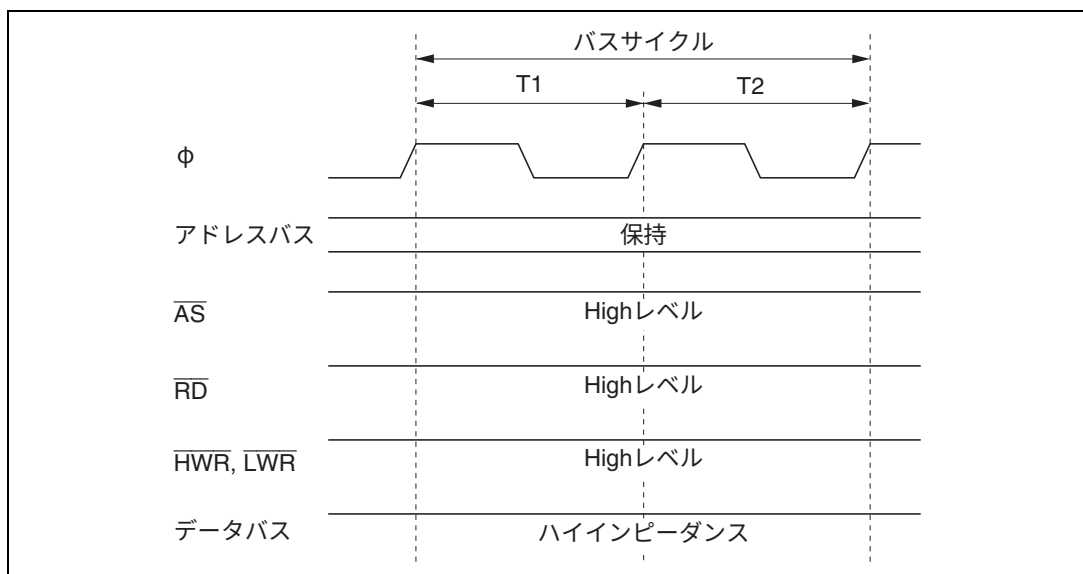


図 2.20 内蔵周辺モジュールアクセス時の端子状態

2.9.4 内蔵 HCAN モジュールアクセスタイミング

内蔵 HCAN モジュールのアクセスは 4 ステートで行われます。このとき、データバス幅は 16 ビットです。また、HCAN からのウェイト要求により、ウェイトステートが挿入されることがあります。内蔵 HCAN モジュールアクセスサイクルを図 2.21、図 2.22 に、端子状態を図 2.23 に示します。

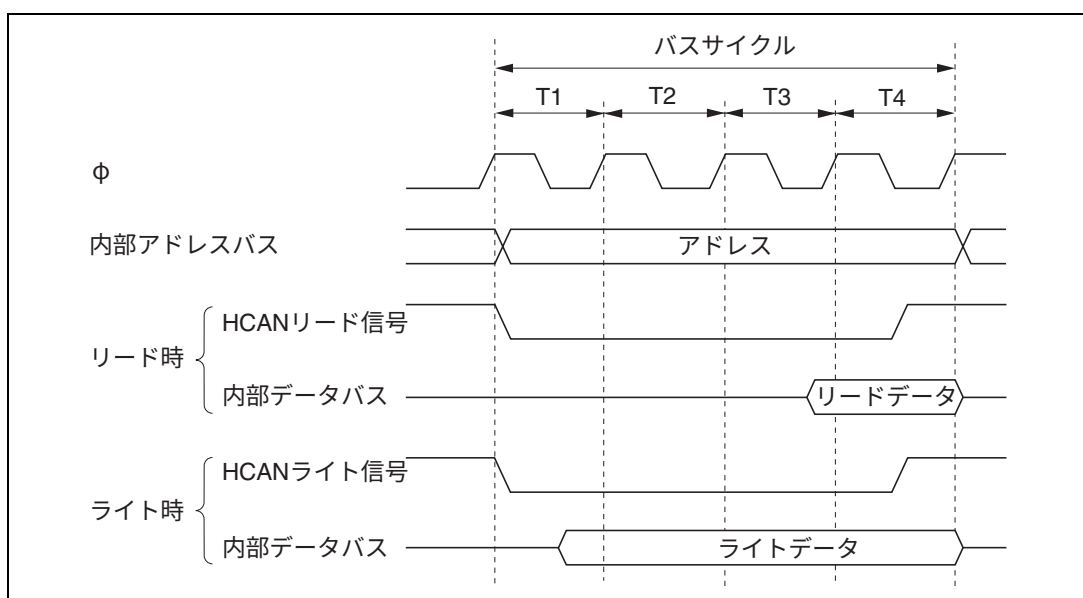


図 2.21 内蔵 HCAN モジュールアクセスサイクル（ウェイトステートなし）

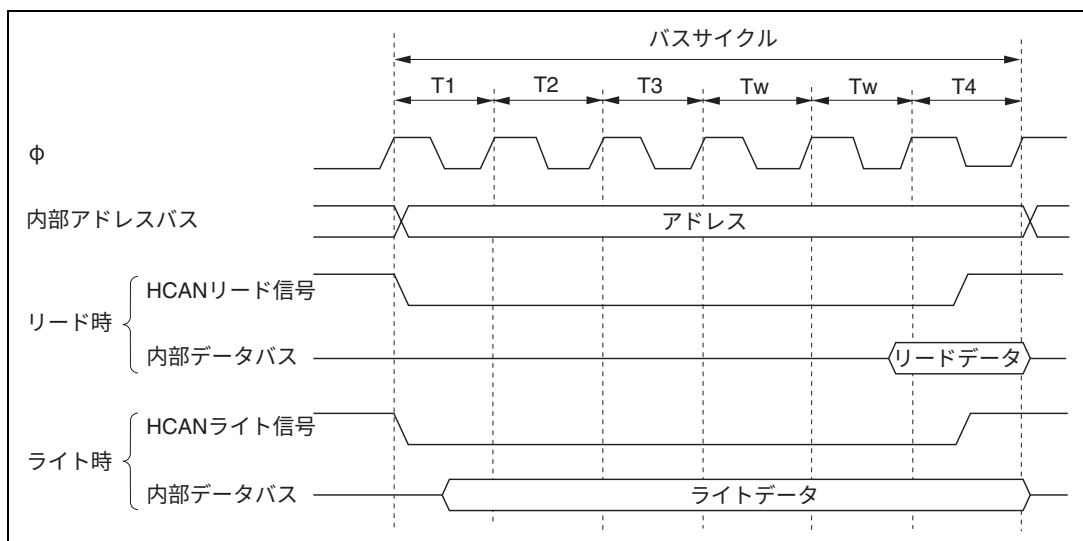


図 2.22 内蔵 HCAN モジュールアクセスサイクル（ウェイトステートあり）

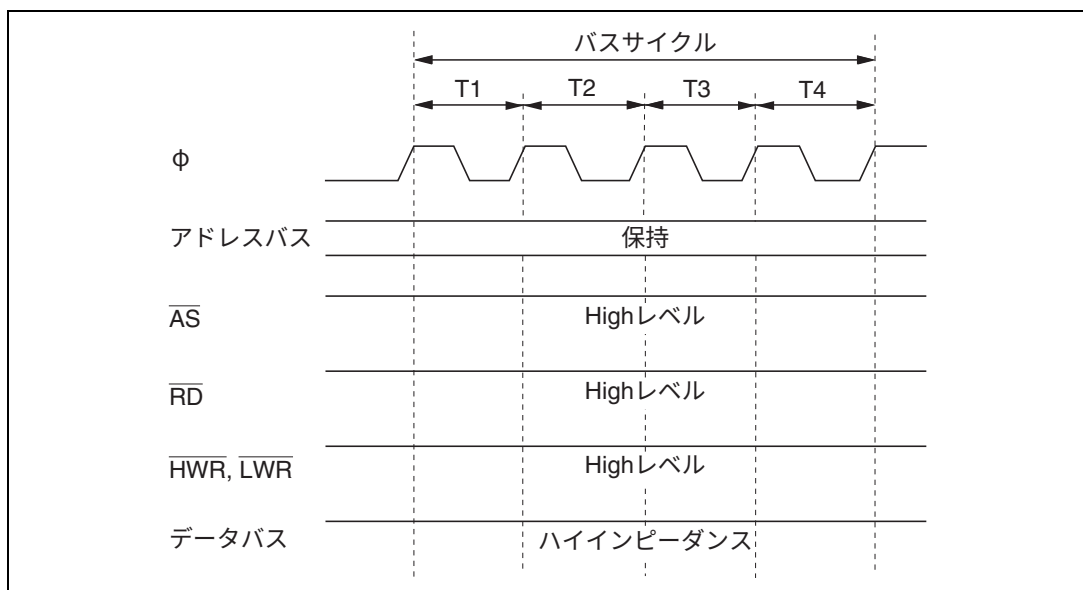


図 2.23 内蔵 HCAN モジュールアクセス時の端子状態

2.9.5 外部アドレス空間アクセスタイミング

外部アドレス空間のアクセスを行うときのデータバス幅は、8 ビットまたは 16 ビット、バスサイクルは 2 ステートまたは 3 ステートです。3 ステートアクセスではウェイトステートを挿入することができます。詳細は「第 7 章 バスコントローラ」を参照してください。

2.10 使用上の注意

2.10.1 TAS 命令

TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

なお、ルネサス製 H8S、H8/300 シリーズ C/C++コンパイラでは、TAS 命令は生成されません。ユーザ定義の組み込み関数として TAS 命令を使用する場合にはレジスタ ER0、ER1、ER4、ER5 を使用するようにお願いいたします。

2.10.2 ビット操作命令使用上の注意事項

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用するときは注意が必要です。

また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用できます。この場合、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

3. MCU 動作モード

3.1 概要

3.1.1 動作モードの選択

本 LSI には、4 種類の動作モード（モード 4～7）があります。これらのモードは、モード端子（MD2～MD0）の設定で決まります。表 3.1 のように CPU 動作モード、内蔵 ROM の有効／無効、バス幅の初期状態を選択することができます。

表 3.1 に、MCU 動作モードの選択を示します。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD2	MD1	MD0	CPU 動作モード	内容	内蔵 ROM	外部データバス	
							初期値	最大値
0*	0	0	0	—	—	—	—	
1*			1					
2*		1	0					
3*			1					
4	1	0	0	アドバンスト	内蔵 ROM 無効 拡張モード	無効	16 ビット	16 ビット
5			1		内蔵 ROM 有効 拡張モード	有効	8 ビット	16 ビット
6		1	0				8 ビット	16 ビット
7			1		シングルチップ モード		—	

【注】 * 本 LSI では使用できません。

アドレス空間は、CPU のアーキテクチャ上は 4G バイトですが、本 LSI では最大 16M バイトになります。

モード 4～6 は、外部メモリおよび周辺デバイスをアクセスすることができる外部拡張モードです。

外部拡張モードでは、8 ビットバスモードと 16 ビットバスモードを切り替えることができます。プログラム実行開始後、バスコントローラの設定により、エリアごとに 8 ビットまたは 16 ビットアドレス空間にすることができます。また、いずれか 1 つのエリアを 16 ビットアクセス空間にすると 16 ビットバスモードになり、すべてのエリアを 8 ビットアクセス空間にすると 8 ビットバスモードになります。各動作モードによって端子の機能が切り替わります。

モード 4～7 以外は本 LSI では使用できません。したがって、モード端子は必ずモード 4～7 になるように設定してください。

モード端子は、動作中に変化させないでください。

3.1.2 レジスタ構成

本 LSI にはモード端子（MD2～MD0）の状態が反映されるモードコントロールレジスタ（MDCR）と、本 LSI の動作を制御するシステムコントロールレジスタ（SYSCR）があります。レジスタ構成を表 3.2 に示します。

表 3.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
モードコントロールレジスタ	MDCR	R	不定	H'FDE7
システムコントロールレジスタ	SYSCR	R/W	H'01	H'FDE5
端子機能コントロールレジスタ	PFCR	R/W	H'0D/H'00	H'FDEB

【注】 * アドレスの下位 16 ビットを示しています。

3.2 各レジスタの説明

3.2.1 モードコントロールレジスタ（MDCR）

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	MDS2	MDS1	MDS0
初期値：	1	0	0	0	0	—*	—*	—*
R/W：	—	—	—	—	—	R	R	R

【注】 * MD2～MD0端子により決定されます。

MDCR は 8 ビットのリード専用レジスタで、本 LSI の現在の動作モードをモニタするのに用います。

ビット 7：リザーブビット

ライトはしないでください。

ビット 6～3：リザーブビット

リードすると常に 0 が読み出されます。ライトはしないでください。

ビット 2～0：モードセレクト 2～0（MDS2～MDS0）

モード端子（MD2～MD0）の入力レベルを反映した値（現在の動作モード）を示しています。MDS2～MDS0 ビットは MD2～MD0 端子にそれぞれ対応します。これらのビットはリード専用でライトはしないでください。MDCR をリードすると、モード端子（MD2～MD0）の入力レベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。

3.2.2 システムコントロールレジスタ (SYSCR)

ビット：	7	6	5	4	3	2	1	0
	MACS	—	INTM1	INTM0	NMIEG	—	—	RAME
初期値：	0	0	0	0	0	0	0	1
R/W：	R/W	—	R/W	R/W	R/W	R/W	—	R/W

SYSCR は 8 ビットのリード／ライト可能なレジスタで、MAC 命令の飽和演算の選択、割り込み制御モードの選択、NMI の検出エッジの選択、内蔵 RAM の有効／無効の選択を行います。

SYSCR は、リセットまたはハードウェアスタンバイモード時に H'01 に初期化されます。また、SYSCR はソフトウェアスタンバイモードでは、初期化されません。

ビット 7：MAC サチュレーション (MACS)

MAC 命令の飽和演算、非飽和演算を選択します。

ビット 7	説 明
MACS	
0	MAC 命令は非飽和演算 (初期値)
1	MAC 命令は飽和演算

ビット 6：リザーブビット

リードすると、常に 0 が読み出されます。ライトは無効です。

ビット 5、4：割り込み制御モード 1、0 (INTM1、INTM0)

割り込みコントローラの割り込み制御モードを選択します。割り込み制御モードの詳細については、「5.4.1 割り込み制御モードと割り込み動作」を参照してください。

ビット 5	ビット 4	割り込み 制御モード	説 明
0	0	0	1 ビットで、割り込みを制御 (初期値)
	1	—	設定禁止
1	0	2	I2～I0 ビットと IPR で、割り込みを制御
	1	—	設定禁止

ビット 3：NMI エッジセレクト (NMIEG)

NMI 割り込みの入力エッジ選択を行います。

ビット 3	説 明
NMIEG	
0	NMI 入力の立ち下がりエッジで割り込み要求を発生 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を発生

ビット 2：リザーブビット

ライト時は 0 を書き込んでください。

ビット 1：リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

ビット 0：RAM イネーブル (RAME)

内蔵 RAM の有効または無効を選択します。RAME ビットはリセット状態の解除時に初期化されません。ソフトウェアスタンバイモードでは初期化されません。

【注】DTC を使用する場合は、必ず RAME ビットを 1 にセットしてください。

ビット 0	説 明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

3.2.3 端子機能コントロールレジスタ (PFCR)

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	AE3	AE2	AE1	AE0
初期値	0	0	0	0	1/0	1/0	0	1/0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PFCR は 8 ビットのリード／ライト可能なレジスタで、内蔵 ROM 有効拡張モード時のアドレス出力制御を行います。

PFCR はリセットまたはハードウェアスタンバイモード時に H'0D/H'00 に初期化されます。

ビット 7～4：リザーブビット

ライト時は 0 を書き込んでください。

ビット 3～0：アドレス出力イネーブル 3～0 (AE3～AE0)

内蔵 ROM 無効拡張モードと内蔵 ROM 有効モード時のアドレス出力 A8～A23 の許可／禁止を選択します。アドレス出力を許可した端子は、対応する DDR に関係なくアドレスが出力されます。アドレス出力を禁止した端子は、対応する DDR を 1 にセットするとポート出力となります。

ビット 3	ビット 2	ビット 1	ビット 0	説 明
AE3	AE2	AE1	AE0	
0	0	0	0	A8～A23 出力を禁止 (初期値*)
0	0	0	1	A8 出力を許可。A9～A23 出力を禁止
0	0	1	0	A8、A9 出力を許可。A10～A23 出力を禁止
0	0	1	1	A8～A10 出力を許可。A11～A23 出力を禁止
0	1	0	0	A8～A11 出力を許可。A12～A23 出力を禁止
0	1	0	1	A8～A12 出力を許可。A13～A23 出力を禁止
0	1	1	0	A8～A13 出力を許可。A14～A23 出力を禁止
0	1	1	1	A8～A14 出力を許可。A15～A23 出力を禁止
1	0	0	0	A8～A15 出力を許可。A16～A23 出力を禁止
1	0	0	1	A8～A16 出力を許可。A17～A23 出力を禁止
1	0	1	0	A8～A17 出力を許可。A18～A23 出力を禁止
1	0	1	1	A8～A18 出力を許可。A19～A23 出力を禁止
1	1	0	0	A8～A19 出力を許可。A20～A23 出力を禁止
1	1	0	1	A8～A20 出力を許可。A21～A23 出力を禁止 (初期値*)
1	1	1	0	A8～A21 出力を許可。A22、A23 出力を禁止
1	1	1	1	A8～A23 出力を許可

【注】 * 内蔵 ROM 有効拡張モードのとき、AE3～AE0 ビットは B'0000 に初期化されます。
また、内蔵 ROM 無効拡張モードのとき、AE3～AE0 ビットは B'1101 に初期化されます。なお、A0～A7 アドレスは、対応する DDR を 1 にセットすることでアドレス出力となります。

3.3 各動作モードの説明

3.3.1 モード 4

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は無効です。ポート A、B、C がアドレスバス、ポート D、E がデータバス、ポート F の一部がバス制御信号となります。

リセット直後は 16 ビットバスモードとなり、すべてのエリアは 16 ビットアクセス空間となります。ただし、バスコントローラにより、すべてのエリアを 8 ビットアクセス空間に設定した場合には、8 ビットバスモードとなります。

3.3.2 モード 5

CPU はアドバンスモードでアドレス空間は 16M バイトです。内蔵 ROM は無効です。ポート A、B、C がアドレスバス、ポート D がデータバス、ポート F の一部がバス制御信号となります。

リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなり、ポート E がデータバスとなります。

3.3.3 モード 6

CPU はアドバンストモードでアドレス空間は 16M バイトです。内蔵 ROM は有効です。ポート A、B、C はリセット直後は入力ポートになっています。対応する DDR（データディレクションレジスタ）を 1 にセットすることにより、アドレスを出力することができます。ポート D がデータバス、ポート F の一部がバス制御信号となります。

リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラによりいずれかのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなりポート E がデータバスとなります。

3.3.4 モード 7

CPU はアドバンストモードでアドレス空間は 16M バイトです。内蔵 ROM は有効であり、外部アドレスは使用できません。

すべての I/O ポートを入出力ポートとして使用できます。

3.4 各動作モードにおける端子機能

動作モードにより、ポート A～F の端子機能が切り替わります。各動作モードにおける端子機能の一覧を表 3.3 に示します。

表 3.3 各動作モードにおける端子機能

ポート		モード 4	モード 5	モード 6	モード 7
ポート A		P/A*	P/A*	P*/A	P
ポート B		P/A*	P/A*	P*/A	P
ポート C		A	A	P*/A	P
ポート D		D	D	D	P
ポート E		P/D*	P*/D	P*/D	P
ポート F	PF7	P/C*	P/C*	P/C*	P
	PF6～PF4	C	C	C	
	PF3	P/C*	P*/C	P*/C	
	PF2	P*/C	P*/C	P*/C	

【記号説明】

- P : 入出力ポート
- A : アドレスバス出力
- D : データバス入出力
- C : 制御信号・クロック入出力
- * : リセット直後

3.5 各動作モードのアドレスマップ

各動作モードのアドレスマップを図 3.1 (1)、図 3.1 (2) に示します。

アドレス空間は、モード 4～7（アドバンストモード）で 16M バイトです。

モード 4～7 のとき、アドレス空間は 8 エリアに分割されています。詳細は、「第 7 章 バスコントローラ」を参照してください。

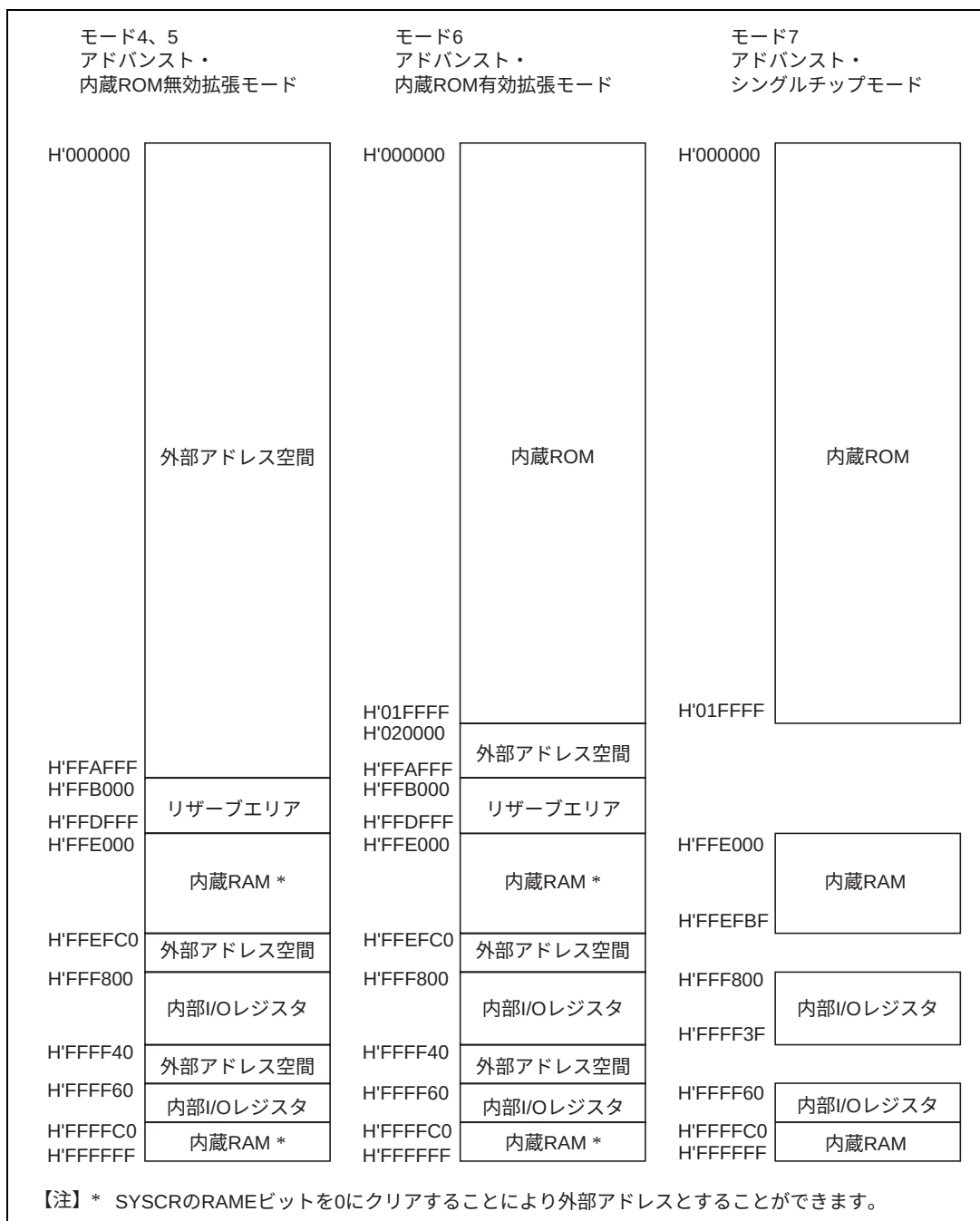


図 3.1 (1) H8S/2646、H8S/2646R、H8S/2648、H8S/2648R の各動作モードのアドレスマップ

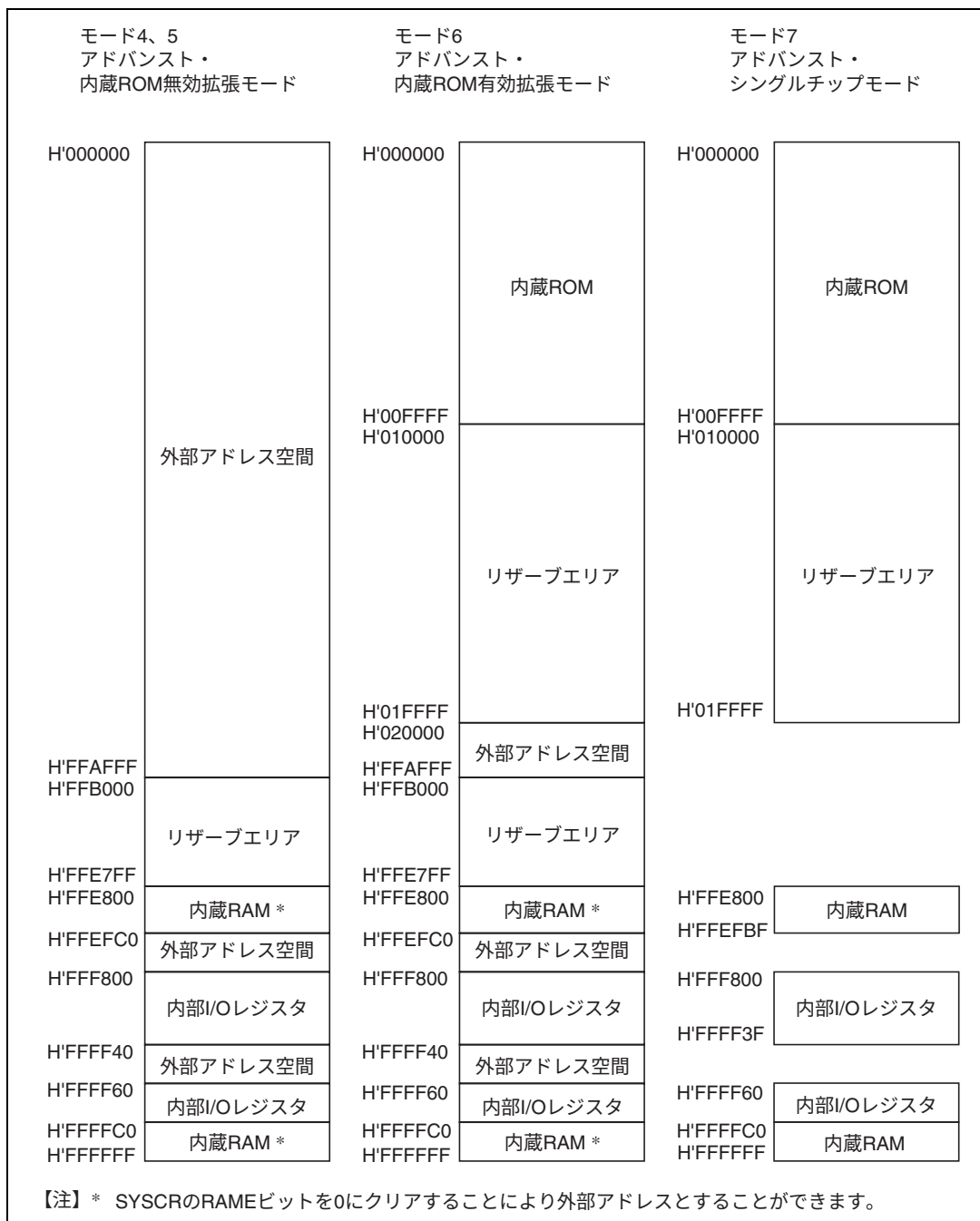


図 3.1 (2) H8S/2645、H8S/2647 の各動作モードのアドレスマップ

4. 例外処理

4.1 概要

4.1.1 例外処理の種類と優先度

例外処理には、表 4.1 に示すように、リセット、トレース、直接遷移、トラップ命令、および割り込みによるものがあります。これらの例外処理には表 4.1 に示すように優先順位が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

SYSCR の INTM0、INTM1 ビットで設定される割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
↑ 高 ↓ 低	リセット	RES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドッグタイマのオーバフローにより開始します。RES 端子が Low レベルのときリセット状態になります。
	トレース* ¹	トレース (T) ビット=1 の状態で、命令または例外処理の実行終了時に開始します。
	直接遷移	SLEEP 命令の実行により、直接遷移が発生すると開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。* ²
	トラップ命令* ³ (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。

【注】 *¹ トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。

*² ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

*³ トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

4.1.2 例外処理の動作

例外処理は、各例外処理要因により起動されます。

トラップ命令および割り込み例外処理は、次のように動作します。

- [1] プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) をスタックに退避します。
- [2] 割り込みマスクビットを更新します。T ビットを 0 にクリアします。
- [3] 起動要因に対応するベクタアドレスを生成し、そのベクタアドレスの内容が示す番地からプログラムの実行が開始されます。

リセット例外処理の場合は上記 [2]、[3] の動作を行います。

4.1.3 例外処理要因とベクタテーブル

各例外処理要因は、図 4.1 に示すように分類されます。

これらの例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。

これらの要因とベクタアドレスとの対応を表 4.2 に示します。

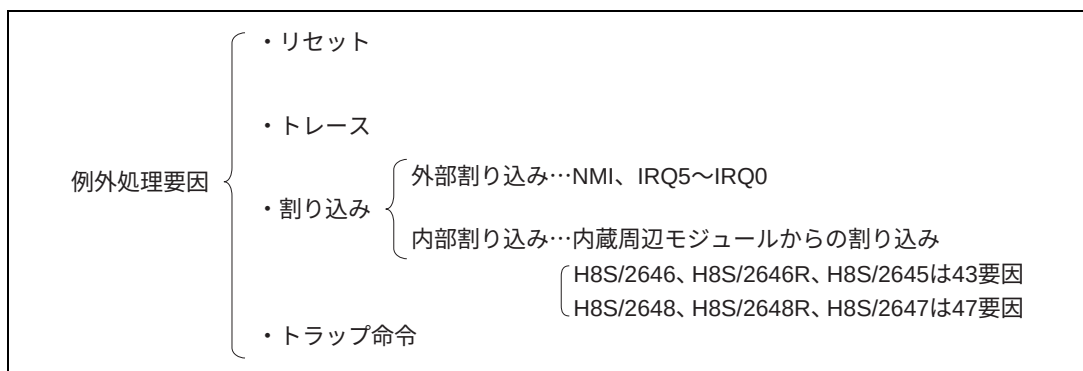


図 4.1 例外処理要因

表 4.2 例外処理ベクタテーブル

例外処理要因		ベクタ番号	ベクタアドレス* ¹
			アドバンスドモード
リセット		0	H'0000～H'0003
システム予約		1	H'0004～H'0007
		2	H'0008～H'000B
		3	H'000C～H'000F
		4	H'0010～H'0013
トレース		5	H'0014～H'0017
直接遷移* ³		6	H'0018～H'001B
外部割り込み	NMI	7	H'001C～H'001F
トラップ命令（4 要因）		8	H'0020～H'0023
		9	H'0024～H'0027
		10	H'0028～H'002B
		11	H'002C～H'002F
システム予約		12	H'0030～H'0033
		13	H'0034～H'0037
		14	H'0038～H'003B
		15	H'003C～H'003F

例外処理要因		ベクタ番号	ベクタアドレス* ¹
			アドバンスモード
外部割り込み	IRQ0	16	H'0040～H'0043
	IRQ1	17	H'0044～H'0047
	IRQ2	18	H'0048～H'004B
	IRQ3	19	H'004C～H'004F
	IRQ4	20	H'0050～H'0053
	IRQ5	21	H'0054～H'0057
システム予約		22	H'0058～H'005B
		23	H'005C～H'005F
内部割り込み* ²		24	H'0060～H'0063
		127	H'01FC～H'01FF

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 内部割り込みのベクタテーブルは、「5.3.3 割り込み例外処理ベクタテーブル」を参照してください。

*3 直接遷移については、「22.11 直接遷移」を参照してください。

4.2 リセット

4.2.1 概要

リセットは、最も優先順位の高い例外処理です。

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。リセット直後は割り込み制御モード 0 になっています。

$\overline{\text{RES}}$ 端子が Low レベルから High レベルになるとリセット例外処理が開始されます。

またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 12 章 ウォッチドッグタイマ (WDT)」を参照してください。

4.2.2 リセットシーケンス

$\overline{\text{RES}}$ 端子が Low レベルになると本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は $\overline{\text{RES}}$ 端子を最低 20 ステートの間、Low レベルにしてください。

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理が開始され、本 LSI は次のように動作します。

- [1] CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化され、EXRのTビットは0にクリアされ、EXR、CCRのIビットが1にセットされます。
- [2] リセット例外処理ベクタアドレスをリードしてPCに転送した後、PCで示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.2、図 4.3 に示します。

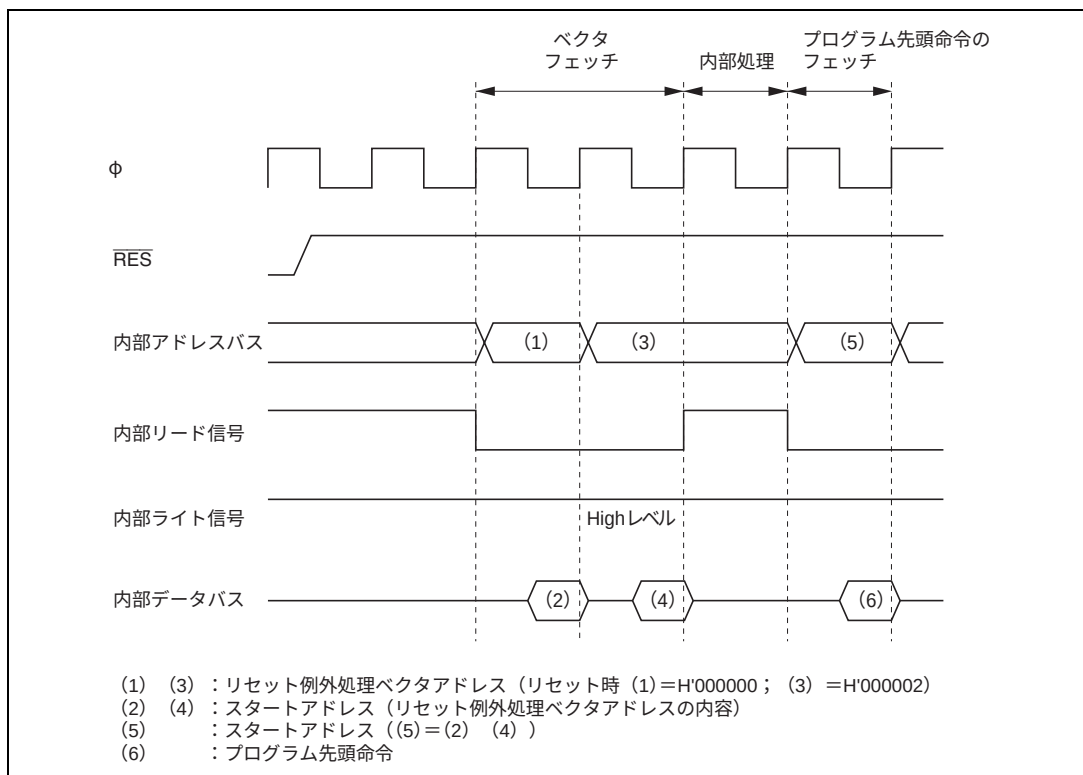


図 4.2 リセットシーケンス (モード 6、7)

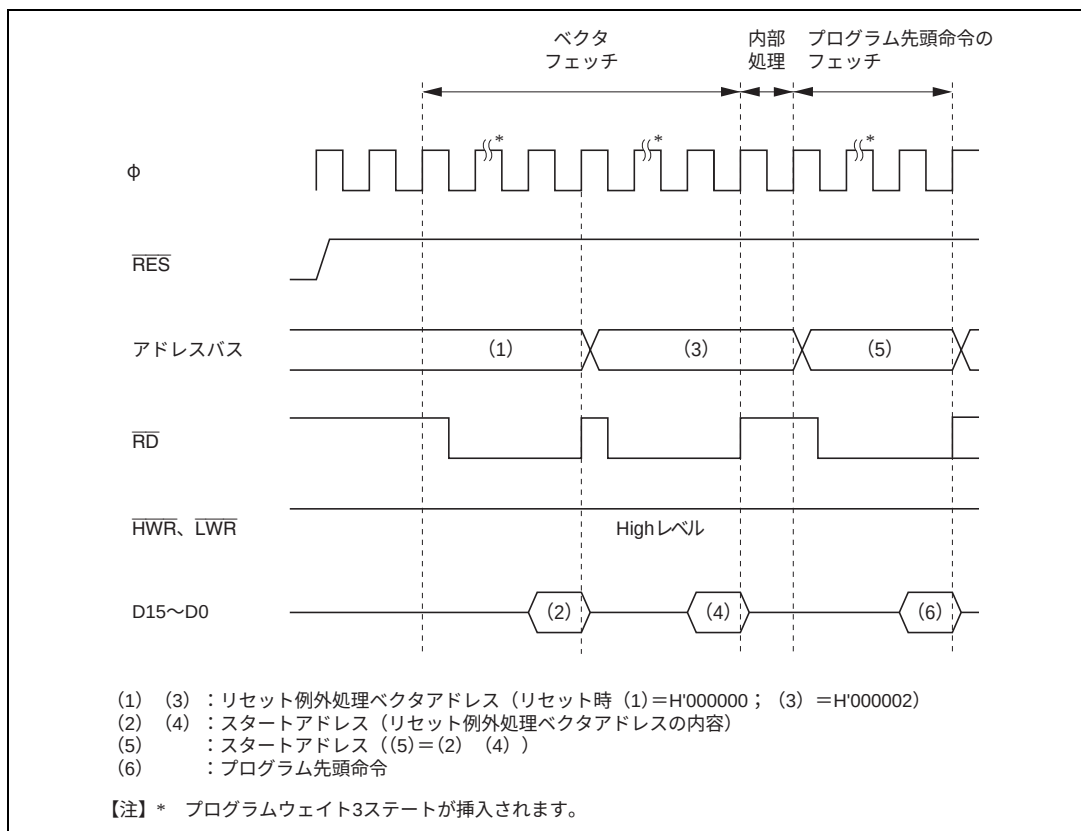


図 4.3 リセットシーケンス (モード 4)

4.2.3 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx: 32, SP)。

4.2.4 リセット解除後の内蔵周辺機能

リセット解除後、MSTPCRA~MSTPCRD は H'3F、H'FF、H'FF、B'11*****^{*1} に初期化され、DTC を除くすべてのモジュールがモジュールストップモードになっています。

そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップモードを解除することにより、レジスタのリード/ライトが可能となります。

【注】*1 ビット 5~0 は不定値になります。

4.3 トレース

トレースは、割り込み制御モード2で有効です。割り込み制御モード0では、Tビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードについては、「第5章 割り込みコントローラ」を参照してください。

EXRのTビットが1にセットされていると、トレースモードになります。トレースモードが設定されていると、1命令の実行を終了するたびにトレース例外処理を開始します。

トレース例外処理実行後、EXRのTビットが0にクリアされ、トレースモードが解除されます。割り込みマスクの影響を受けません。

表4.3にトレース命令例外処理実行後のCCR、EXRの状態を示します。

トレース例外処理ルーチンでも割り込みを受け付けます。

スタックに退避されたTビットは1を保持しており、RTE命令を実行して、トレース例外処理ルーチンから復帰した後は、再び、トレースモードになります。

RTE命令実行後は、トレース例外処理を行いません。

表 4.3 トレース例外処理後のCCR、EXRの状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	トレース例外処理は使用できません。			
2	1	—	—	0

【記号説明】

- 1 : 1にセットされます。
- 0 : 0にクリアされます。
- : 実行前の値が保持されます。

4.4 割り込み

割り込み例外処理を開始させる要因には、7本の外部割り込み（NMI、IRQ5～IRQ0）と、内蔵周辺モジュールからの要求による内部要因、H8S/2646、H8S/2646R、H8S/2645は43要因、H8S/2648、H8S/2648R、H8S/2647は47要因があります。割り込み要因と要因数を図4.4に示します。

割り込み要因を要求する内蔵周辺モジュールには、ウォッチドッグタイマ（WDT）、16ビットタイマパルスユニット（TPU）、シリアルコミュニケーションインタフェース（SCI）、データトランスファコントローラ（DTC）、PCブレークコントローラ（PBC）、A/D変換器、モータコントロールPWMタイマ（PWM）、コントローラエリアネットワーク（HCAN）などがあります。割り込みベクタアドレスは各要因別に割り当てられています。

NMIは最も優先度の高い割り込みです。割り込みは、割り込みコントローラによって制御されます。割り込み制御には、2つの割り込み制御モードがあり、NMI以外の割り込みに8レベルの優先順位／マスクレベルを設定して、多重割り込みの制御を行うことができます。

割り込みについての詳細は「第5章 割り込みコントローラ」を参照してください。

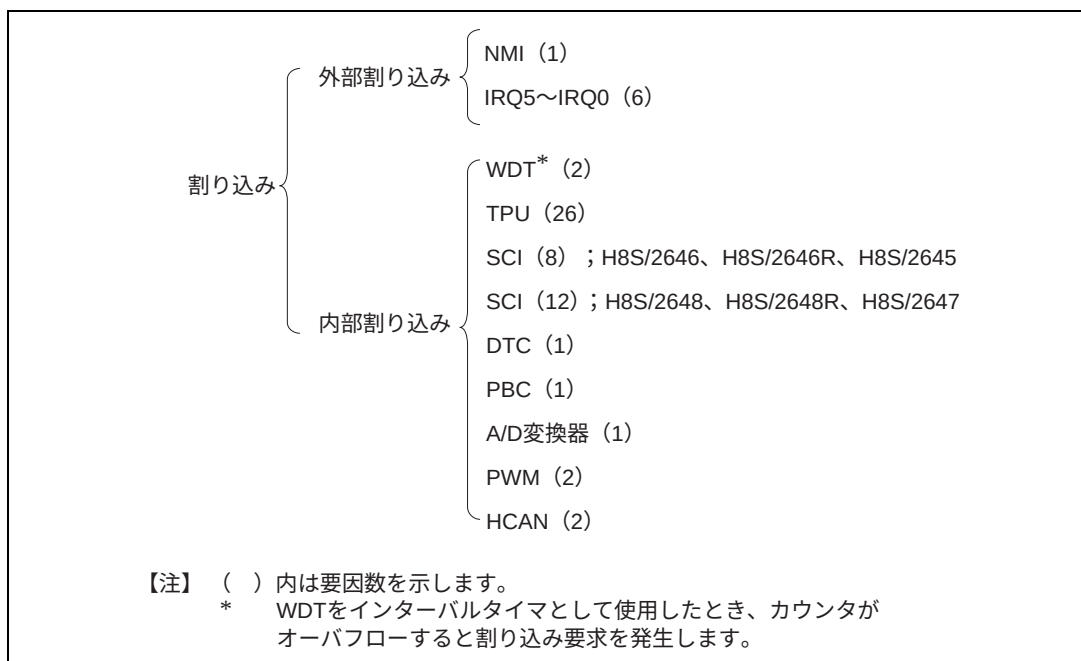


図 4.4 割り込み要因と要因数

4.5 トラップ命令

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

TRAPA 命令は、命令コード中で指定した 0～3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.4 に、トラップ命令例外処理実行後の CCR、EXR の状態を示します。

表 4.4 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2～I0	T
0	1	—	—	—
2	1	—	—	0

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

4.6 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.5 に示します。

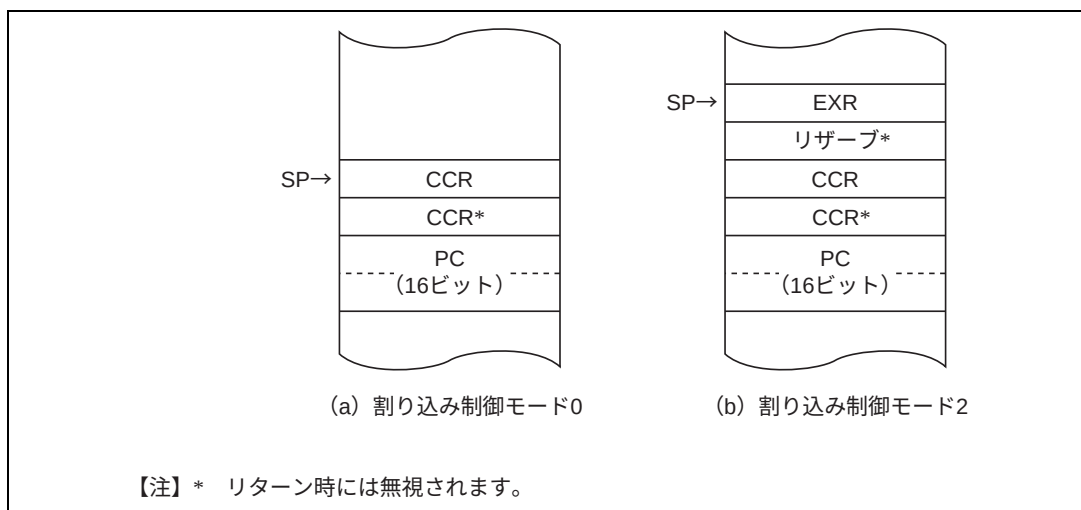


図 4.5 (1) 例外処理終了後のスタックの状態（ノーマルモード：本 LSI では使用できません）

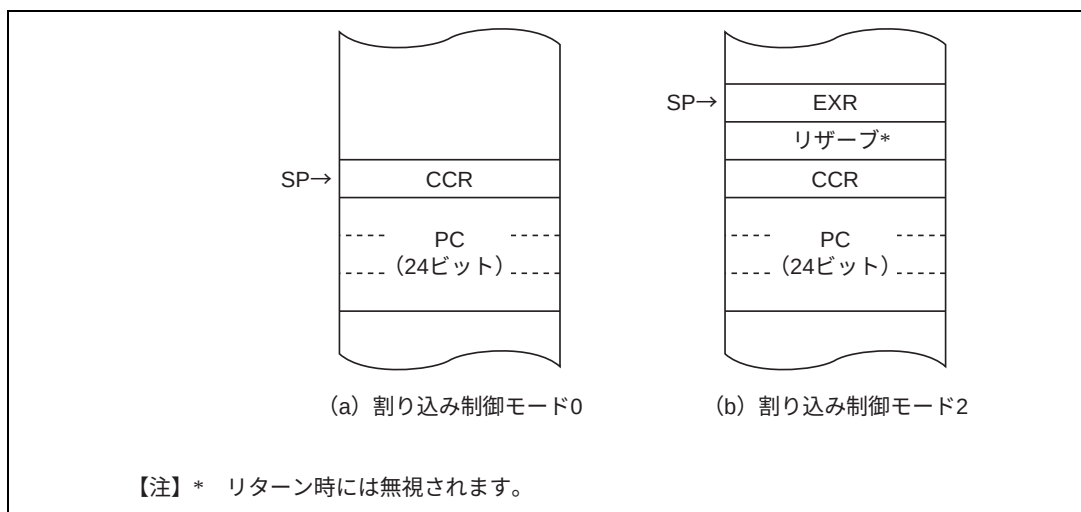


図 4.5 (2) 例外処理終了後のスタックの状態（アドバンスモード）

4.7 スタック使用上の注意

本 LSI では、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP: ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH.W Rn (MOV.W Rn, @-SP)
PUSH.L ERn (MOV.L ERn, @-SP)
```

また、レジスタの復帰は、

```
POP.W Rn (MOV.W @SP+, Rn)
POP.L ERn (MOV.L @SP+, ERn)
```

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 4.6 に示します。

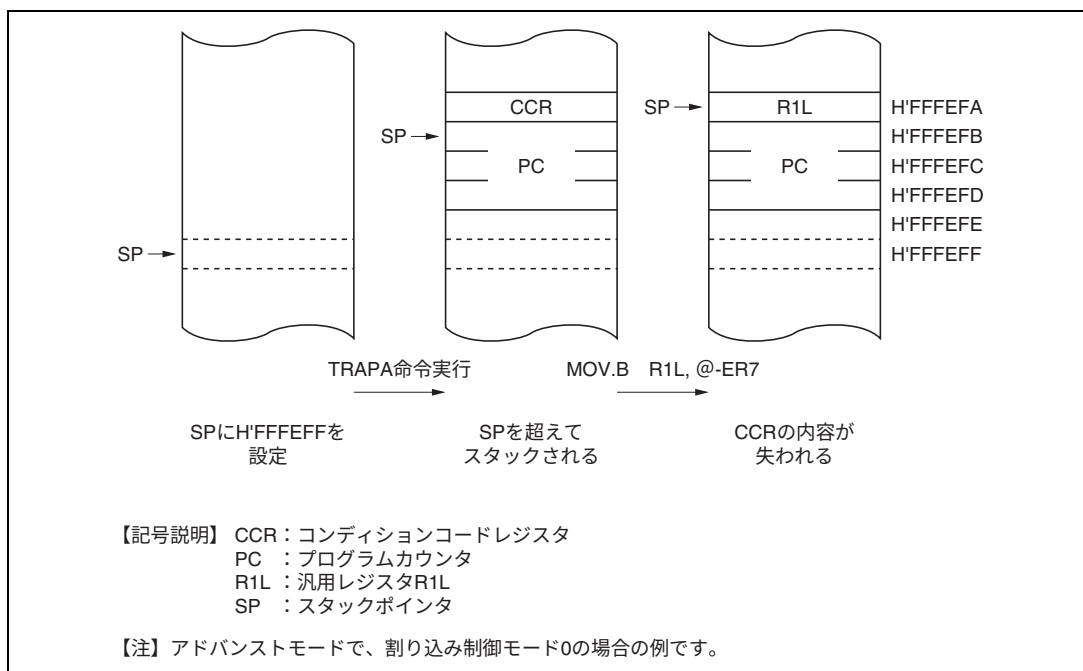


図 4.6 SP を奇数に設定したときの動作

5. 割り込みコントローラ

5.1 概要

5.1.1 特長

本 LSI は割り込みコントローラにより、割り込みの制御を行います。割り込みコントローラには、次の特長があります。

■2 種類の割り込み制御モード

- システムコントロールレジスタ (SYSCR) の INTM1、INTM0 ビットにより、2 種類の割り込み制御モードを設定できます。

■IPR により、優先順位を設定可能

- 割り込み優先順位を設定するインタラプトプライオリティレジスタ (IPR) を備えており、NMI 以外の割り込みは、モジュールごとに 8 レベルの優先順位を設定できます。
- NMI は、最優先のレベル 8 の割り込み要求として、常に受け付けられます。

■独立したベクタアドレス

- すべての割り込み要因には独立のベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。

■7 本の外部割り込み端子

- NMI は最優先の割り込みで常に受け付けられます。NMI は立ち上がりエッジまたは立ち下がりエッジを選択できます。
- IRQ5～IRQ0 は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。

■DTC の制御

- 割り込みによる DTC の起動の制御を行います。

5.1.2 ブロック図

割り込みコントローラのブロック図を図 5.1 に示します。

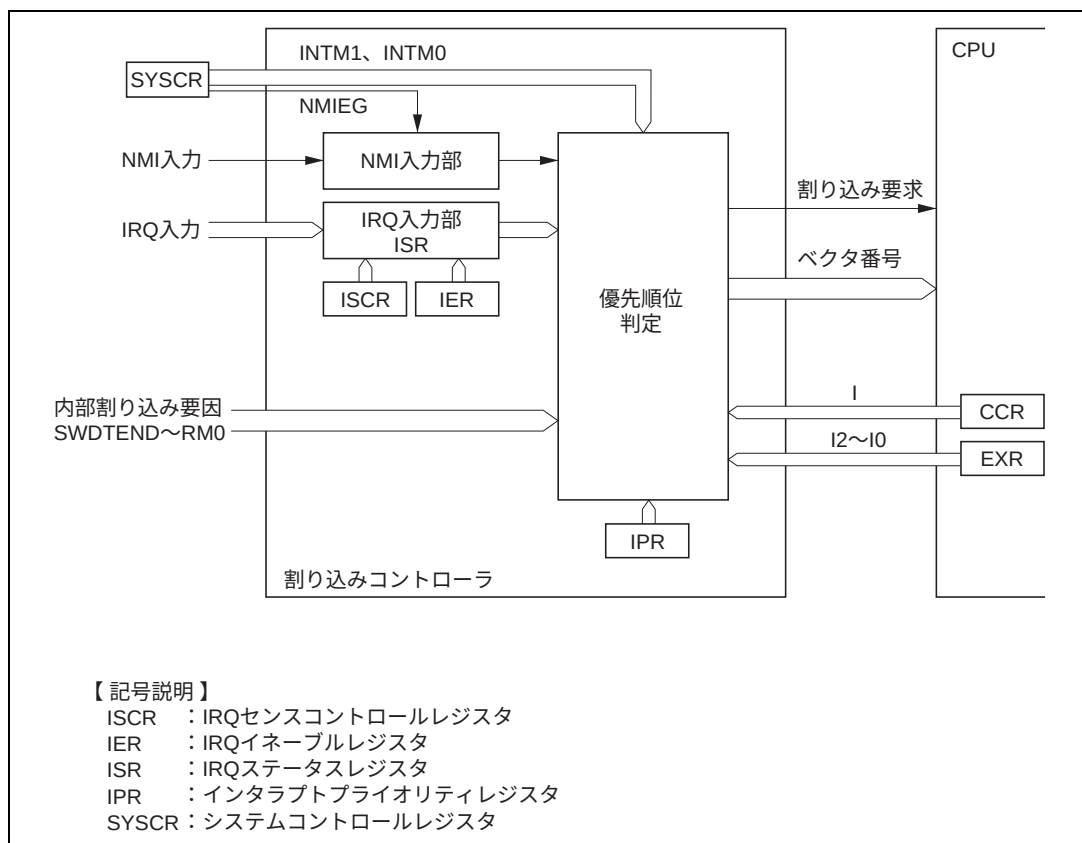


図 5.1 割り込みコントローラのブロック図

5.1.3 端子構成

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名 称	記号	入出力	機 能
ノンマスクابل 割り込み	NMI	入力	マスク不可能な外部割り込み。立ち上がりエッジまたは立ち下がりエッジを選択可能
外部割り込み要求 5~0	IRQ5~IRQ0	入力	マスク可能な外部割り込み。立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを選択可能

5.1.4 レジスタ構成

割り込みコントローラのレジスタ構成を表 5.2 に示します。

表 5.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス* ¹
システムコントロールレジスタ	SYSCR	R/W	H'01	H'FDE5
IRQ センスコントロールレジスタ H	ISCRH	R/W	H'00	H'FE12
IRQ センスコントロールレジスタ L	ISCR L	R/W	H'00	H'FE13
IRQ イネーブルレジスタ	IER	R/W	H'00	H'FE14
IRQ ステータスレジスタ	ISR	R/(W)* ²	H'00	H'FE15
インタラプトプライオリティレジスタ A	IPRA	R/W	H'77	H'FEC0
インタラプトプライオリティレジスタ B	IPRB	R/W	H'77	H'FEC1
インタラプトプライオリティレジスタ C	IPRC	R/W	H'77	H'FEC2
インタラプトプライオリティレジスタ D	IPRD	R/W	H'77	H'FEC3
インタラプトプライオリティレジスタ E	IPRE	R/W	H'77	H'FEC4
インタラプトプライオリティレジスタ F	IPRF	R/W	H'77	H'FEC5
インタラプトプライオリティレジスタ G	IPRG	R/W	H'77	H'FEC6
インタラプトプライオリティレジスタ H	IPRH	R/W	H'77	H'FEC7
インタラプトプライオリティレジスタ J	IPRJ	R/W	H'77	H'FEC9
インタラプトプライオリティレジスタ K	IPRK	R/W	H'77	H'FECA
インタラプトプライオリティレジスタ M	IPRM	R/W	H'77	H'FECC

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

5.2 各レジスタの説明

5.2.1 システムコントロールレジスタ (SYSCR)

ビット：	7	6	5	4	3	2	1	0
	MACS	—	INTM1	INTM0	NMIEG	—	—	RAME
初期値：	0	0	0	0	0	0	0	1
R/W：	R/W	—	R/W	R/W	R/W	R/W	—	R/W

SYSCR は 8 ビットのリード／ライト可能なレジスタで、割り込み制御モードの選択、NMI の検出エッジの選択を行います。

ここでは、ビット 5～3 についてのみ説明します。その他のビットの詳細については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

ビット 5～3 はリセットまたはハードウェアスタンバイモード時に、H'01 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 5、4：割り込み制御選択モード 1、0 (INTM1、INTM0)

割り込みコントローラの割り込み制御モードを 2 つのモードの中から選択します。

ビット 5	ビット 4	割り込み 制御モード	説 明
INTM1	INTM0		
0	0	0	1 ビットで、割り込みを制御します。(初期値)
	1	—	設定禁止
1	0	2	I2～I0 ビットと IPR で、割り込みを制御します。
	1	—	設定禁止

ビット 3：NMI エッジセレクト (NMIEG)

NMI 端子の入力エッジ選択を行います。

ビット 3	説 明
NMIEG	
0	NMI 入力の立ち下がりエッジで割り込み要求を発生 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を発生

5.2.2 インタラプトプライオリティレジスタ A～H、J、K、M
(IPRA～H、J、K、M)

ビット：	7	6	5	4	3	2	1	0
	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0
初期値：	0	1	1	1	0	1	1	1
R/W：	—	R/W	R/W	R/W	—	R/W	R/W	R/W

IPR は 8 ビットのリード／ライト可能な 11 本のレジスタで、NMI を除く割り込みの優先順位（レベル 7～0）を設定します。

各割り込み要因と IPR の対応を表 5.3 に示します。

IPR は、NMI を除く各割り込み要因の優先順位（レベル 7～0）を設定します。

IPR はリセットまたはハードウェアスタンバイモード時に、H'77 に初期化されます。

ビット 7、3：リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

表 5.3 各割り込み要因と IPR の対応

レジスタ	ビット	
	6～4	2～0
IPRA	IRQ0	IRQ1
IPRB	IRQ2	IRQ4
	IRQ3	IRQ5
IPRC	—*1	DTC
IPRD	ウォッチドッグタイマ 0	—*1
IPRE	PC ブレーク	A/D 変換器、 ウォッチドッグタイマ 1
IPRF	TPU チャンネル 0	TPU チャンネル 1
IPRG	TPU チャンネル 2	TPU チャンネル 3
IPRH	TPU チャンネル 4	TPU チャンネル 5
IPRJ	—*1	SCI チャンネル 0
IPRK	SCI チャンネル 1	SCI チャンネル 2*2
IPRM	PWM チャンネル 1, 2	HCAN

【注】 *1 リザーブビットです。リードすると 1 が読み出されます。ライトは無効です。

*2 H8S/2646、H8S/2646R、H8S/2645 の場合リザーブビットです。リードすると 1 が読み出されます。書き込む値も常に H'7 にしてください。H8S/2648、H8S/2648R、H8S/2647 の場合 SCI チャンネル 2 の IPR ビットになります。

表 5.3 に示すように、1 本の IPR に複数の割り込みが割り当てられています。ビット 6～4、ビット 2～0 の各 3 ビットに H'0 から H'7 の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0（最低）に、H'7 をセットすると優先レベル 7（最高）になります。

割り込み要求が発生すると、IPR で設定した優先順位に従って最も優先順位の高い割り込みが選択されます。その後、この割り込みレベルと CPU 内の EXR の I2～I0 ビットで設定された割り込みマスクレベルとを比較し、割り込みの優先レベルが設定したマスクレベルより高ければ、CPU に対して割り込み要求が発生します。

5.2.3 IRQ イネーブルレジスタ (IER)

ビット：	7	6	5	4	3	2	1	0
	—	—	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IER は 8 ビットのリード／ライト可能なレジスタで、IRQ5～IRQ0 割り込み要求の許可または禁止を制御します。

IER はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7～6：リザーブビット

リードすると常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 5～0：IRQ5～IRQ0 イネーブル (IRQ5E～IRQ0E)

IRQ5～IRQ0 割り込みを許可または禁止するかを選択します。

ビット n	説 明	
IRQnE		
0	IRQn 割り込みを禁止	(初期値)
1	IRQn 割り込みを許可	

(n=5～0)

5.2.4 IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)

ISCRH

ビット：	15	14	13	12	11	10	9	8
	—	—	—	—	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ISCRL

ビット：	7	6	5	4	3	2	1	0
	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ISCR は 16 ビットのリード／ライト可能なレジスタで、 $\overline{\text{IRQ5}} \sim \overline{\text{IRQ0}}$ 端子の入力の立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを選択します。

ISCR はリセットまたはハードウェアスタンバイモード時に、H'0000 に初期化されます。

ビット 15～12：リザーブビット

リードすると常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 11～0 : IRQ5 センスコントロール A、B (IRQ5SCA、IRQ5SCB)
～IRQ0 センスコントロール A、B (IRQ0SCA、IRQ0SCB)

ビット 11～0		説 明
IRQ5SCB～ IRQ0SCB	IRQ5SCA～ IRQ0SCA	
0	0	IRQ5～IRQ0 入力の Low レベルで割り込み要求を発生 (初期値)
	1	IRQ5～IRQ0 入力の立ち下がりエッジで割り込み要求を発生
1	0	IRQ5～IRQ0 入力の立ち上がりエッジで割り込み要求を発生
	1	IRQ5～IRQ0 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

5.2.5 IRQ ステータスレジスタ (ISR)

ビット :	7	6	5	4	3	2	1	0
	—	—	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするための0ライトのみ可能です。

ISR は 8 ビットのリード／ライト可能なレジスタで、IRQ5～IRQ0 割り込み要求のステータス表示を行います。

ISR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。
ソフトウェアスタンバイモードでは初期化されません。

ビット 7～6 : リザーブビット

リードすると常に 0 が読み出されます。

ビット 5～0 : IRQ5～IRQ0 フラグ (IRQ5F～IRQ0F)

IRQ5～IRQ0 割り込み要求のステータスの表示を行います。

ビット n	説 明
IRQnF	
0	[クリア条件] (初期値) (1) IRQnF=1 の状態で IRQnF フラグをリードした後、IRQnF フラグに 0 をライトしたとき (2) Low レベル検出設定 (IRQnSCB=IRQnSCA=0) の状態かつ $\overline{\text{IRQn}}$ 入力 High レベルの状態、割り込み例外処理を実行したとき (3) 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時 (IRQnSCB=1、または IRQnSCA=1) の状態で IRQn 割り込み例外処理を実行したとき (4) IRQn 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
1	[セット条件] (1) Low レベル検出設定 (IRQnSCB=IRQnSCA=0) の状態で $\overline{\text{IRQn}}$ 入力 Low レベルになったとき (2) 立ち下がりエッジ検出設定時 (IRQnSCB=0、IRQnSCA=1) の状態で $\overline{\text{IRQn}}$ 入力に立ち下がりエッジが発生したとき (3) 立ち上がりエッジ検出設定時 (IRQnSCB=1、IRQnSCA=0) の状態で $\overline{\text{IRQn}}$ 入力に立ち上がりエッジが発生したとき (4) 両エッジ検出設定時 (IRQnSCB=IRQnSCA=1) の状態で $\overline{\text{IRQn}}$ 入力に立ち下がり、または立ち上がりエッジが発生したとき

(n=5~0)

5.3 割り込み要因

割り込み要因には、外部割り込み (NMI、IRQ5~IRQ0) と内部割り込み*があります。

【注】 * H8S/2648、H8S/2648R、H8S/2647 は 47 要因
H8S/2646、H8S/2646R、H8S/2645 は 43 要因

5.3.1 外部割り込み

外部割り込みには、NMI、IRQ5~IRQ0 の 7 要因があります。各外部割り込みは、ソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

NMI は最優先の割り込みで、割り込み制御モードや、CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジまたは立ち下がりエッジのいずれかで割り込みを要求するか、SYSCR の NMIEG ビットで選択できます。

NMI 割り込み例外処理のベクタ番号は 7 です。

(2) IRQ5~IRQ0 割り込み

IRQ5~IRQ0 割り込みは $\overline{\text{IRQ5}} \sim \overline{\text{IRQ0}}$ 端子の入力信号により要求されます。IRQ5~IRQ0 割り込みには次の特長があります。

- (a) $\overline{\text{IRQ5}} \sim \overline{\text{IRQ0}}$ 端子の Low レベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれかで割り込みを要求するか、ISCR で選択できます。
- (b) IRQ5~IRQ0 割り込み要求を許可するか禁止するかを、IER で選択できます。
- (c) IPR により割り込みプライオリティレベルを設定できます。

- (d) IRQ5～IRQ0割り込み要求のステータスは、ISRに表示されます。ISRのフラグはソフトウェアで0にクリアすることができます。

IRQ5～IRQ0 割り込みのブロック図を図 5.2 に示します。

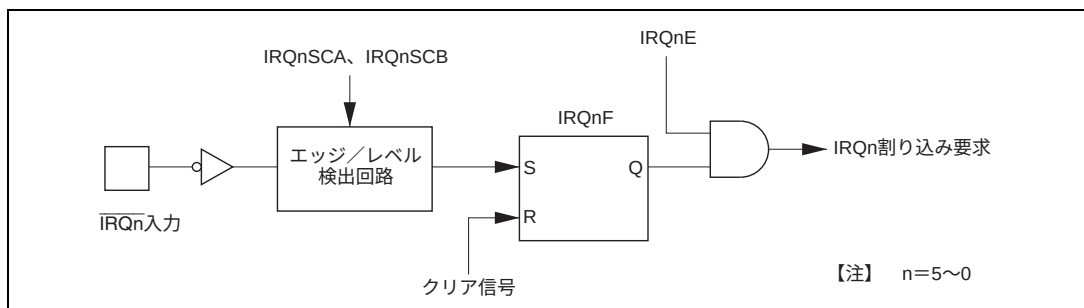


図 5.2 IRQ5～IRQ0 割り込みのブロック図

IRQnF のセットタイミングを図 5.3 に示します。

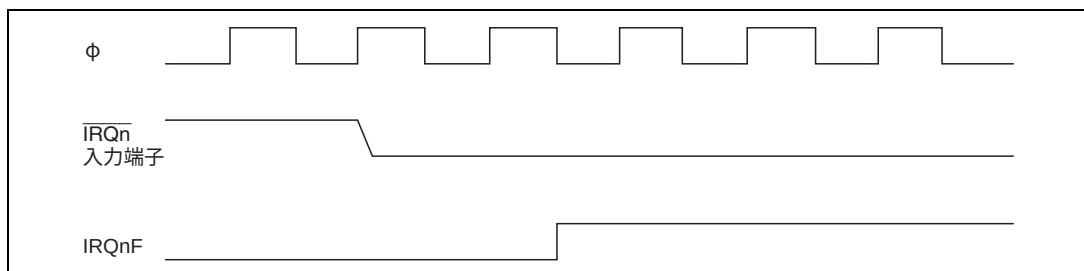


図 5.3 IRQnF のセットタイミング

IRQ5～IRQ0 割り込み例外処理のベクタ番号は、21～16 です。

IRQ5～IRQ0 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアしてその他の機能の入出力端子としては使用しないでください。

5.3.2 内部割り込み

内蔵周辺モジュールからの割り込みによる内部割り込みには、H8S/2648、H8S/2648R、H8S/2647 は 47 要因、H8S/2646、H8S/2646R、H8S/2645 は 43 要因があります。

- (1) 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグと、これらの割り込みを許可するか禁止するかを選択するイネーブルビットがあります。これらがいずれも 1 にセットされると割り込み要求が割り込みコントローラに要求されます。
- (2) IPRによって割り込みプライオリティレベルを設定できます。
- (3) TPU、SCIなどの割り込み要求によりDTCの起動ができます。

割り込みによりDTCの起動を行う場合、割り込み制御モードや、CPUの割り込みマスクビットの影響を受けません。

5.3.3 割り込み例外処理ベクタテーブル

表 5.4 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。

モジュール間の優先順位は、IPR により設定することができます。2 つ以上のモジュールを同一の優先順位に設定した場合、また、モジュール内の優先順位は、表 5.4 のとおり固定です。

表 5.4 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因	要因発生元	ベクタ 番号	ベクタアドレス*1	IPR	優先 順位
			アドバンスト モード		
NMI	外部端子	7	H'001C		高 ↑
IRQ0		16	H'0040	IPRA6～IPRA4	
IRQ1		17	H'0044	IPRA2～IPRA0	
IRQ2		18	H'0048	IPRB6～IPRB4	
IRQ3		19	H'004C		
IRQ4		20	H'0050	IPRB2～IPRB0	
IRQ5		21	H'0054		
システム予約	—	22 23	H'0058 H'005C	—	
SWDTEND (ソフトウェア起動データ転送終了)	DTC	24	H'0060	IPRC2～IPRC0	
WOVI0 (インターバルタイマ)	ウォッチドッグ タイマ 0	25	H'0064	IPRD6～IPRD4	
システム予約	—	26	H'0068	—	
PC ブレーク	PC ブレーク コントローラ	27	H'006C	IPRE6～IPRE4	
ADI (A/D 変換終了)	A/D	28	H'0070	IPRE2～IPRE0	
WOVI1 (インターバルタイマ)	ウォッチドッグ タイマ 1	29	H'0074		
システム予約	—	30 31	H'0078 H'007C	—	
TGI0A (TGR0A インพุットキャプチャ／ コンペアマッチ)	TPU チャンネル 0	32	H'0080	IPRF6～IPRF4	
TGI0B (TGR0B インพุットキャプチャ／ コンペアマッチ)		33	H'0084		
TGI0C (TGR0C インพุットキャプチャ／ コンペアマッチ)		34	H'0088		
TGI0D (TGR0D インพุットキャプチャ／ コンペアマッチ)		35	H'008C		
TCI0V (オーバフロー-0)		36	H'0090		
システム予約	—	37 38 39	H'0094 H'0098 H'009C	—	↓ 低

5-11

【注】 *1 先頭アドレスの下位 16 ビットを示しています。
*2 H8S/2648、H8S/2648R、H8S/2647 を示し、H8S/2646、H8S/2646R、H8S/2645 では、リザーブとなります。

5.4 割り込み動作

5.4.1 割り込み制御モードと割り込み動作

本 LSI の割り込みの動作は、割り込み制御モードによって異なります。

NMI 割り込みはリセット状態、ハードウェアスタンバイ状態を除き常に受け付けられます。IRQ 割り込みおよび内蔵周辺モジュールの割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。このイネーブルビットを 0 にクリアすると、その割り込み要求は禁止されます。イネーブルビットを 1 にセットした割り込み要因が、割り込みコントローラで制御されます。

表 5.5 に割り込み制御モードを示します。

SYSCR の INTM1、INTM0 ビットによる割り込み制御モードの設定、IPR による割り込み優先順位の設定、および、CPU の CCR の I ビット、EXR の I2～I0 ビットによるマスク状態に基づいて、割り込みコントローラは割り込みを制御します。

表 5.5 割り込み制御モード

割り込み制御 モード	SYSCR		優先順位設 定レジスタ	割り込み マスクビット	説 明
	INTM1	INTM0			
0	0	0	—	I	I ビットにより、割り込みマスク制御を行います。
—		1	—	—	設定禁止
2	1	0	IPR	I2～I0	I2～I0 ビットにより、8 レベルの割り込みマスク制御を行います。 IPR により、8 レベルの優先順位の設定ができます。
—		1	—	—	設定禁止

図 5.4 に優先順位判定回路のブロック図を示します。

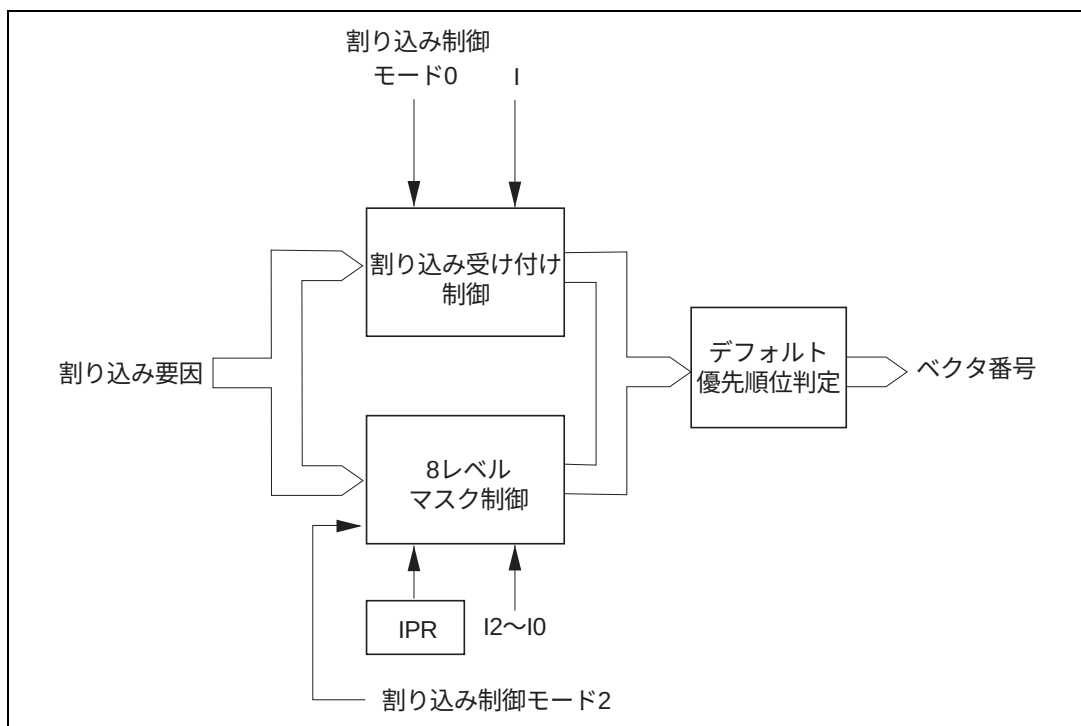


図 5.4 割り込み制御動作のブロック図

(1) 割り込み受け付け制御

割り込み制御モード 0 のとき、CCR の I ビットにより割り込み受け付け制御を行います。

表 5.6 に、割り込み制御モードと選択可能な割り込みについて示します。

表 5.6 割り込み制御モードと選択される割り込み (1)

割り込み制御モード	割り込みマスクビット	選択される割り込み
	I	
0	0	すべての割り込み
	1	NMI 割り込み
2	*	すべての割り込み

【記号説明】

* : Don't care

(2) 8 レベル制御

割り込み制御モード 2 のとき、割り込み受け付け制御において、選択された割り込みに対して割り込みプライオリティレベル (IPR) に従った 8 レベルのマスキレベル判定を行います。

IPR で設定したプライオリティレベルが、マスキレベルよりも大きく、かつ最もプライオリティレベルの高い割り込み要因を選択します。

表 5.7 割り込み制御モードと選択される割り込み (2)

割り込み制御モード	選択される割り込み
0	すべての割り込み
2	プライオリティレベルがマスキレベルより大きい (IPR>I2~I0) かつ、プライオリティレベル (IPR) が最大の割り込み

(3) デフォルト優先順位判定

8 レベル制御において選択された割り込みについて優先順位を判定し、ベクタ番号を生成します。

IPR に対して同じ値を設定した場合には、複数の割り込み要因の受け付けが許可されることになるため、あらかじめデフォルトで設定した優先順位に従って最も優先順位の高い割り込み要因のみを選択しベクタ番号を生成します。

受け付けられた割り込み要因よりも低い優先順位を持った割り込み要因は保留されます。

表 5.8 に割り込み制御モードと動作および制御信号機能を示します。

表 5.8 割り込み制御モードと動作および制御信号機能

割り込み制御モード	設 定		割り込み受け付け制御		8 レベル制御			デフォルト優先順位判定	T (トレース)
	INTM1	INTM0		I		I2~I0	IPR		
0	0	0	○	IM	×	—	—*2	○	—
2	1	0	×	—*1	○	IM	PR	○	T

【記号説明】

- : 割り込み動作制御を行います。
- ×
- IM : 割り込みマスキビットとして使用。
- PR : 優先順位を設定。
- : 使用しません。

【注】 *1 割り込み受け付け時に 1 にセットされます。

*2 初期設定値を保持してください。

5.4.2 割り込み制御モード 0

IRQ 割り込み、および内蔵周辺モジュールの割り込みは CPU の CCR の I ビットによって許可または禁止を設定できます。I ビットが 0 にクリアされているときは許可状態、1 にセットされているときは禁止状態です。

この場合の割り込み受け付けの動作フローチャートを図 5.5 に示します。

- [1] 対応する割り込みイネーブルビットが 1 にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- [2] I ビットを参照します。I ビットが 0 にクリアされているときは、割り込み要求が受け付けられます。I ビットが 1 にセットされているときは、NMI 割り込みのみ受け付けられ、その他の割り込み要求は保留されます。

- [3] 割り込みコントローラに対して割り込み要求が送られ、優先順位に従って最高位の割り込みが選択され、その他は保留となります。
- [4] 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- [5] 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- [6] 次にCCRのIビットが1にセットされます。これにより、NMIを除く割り込みはマスクされます。
- [7] 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

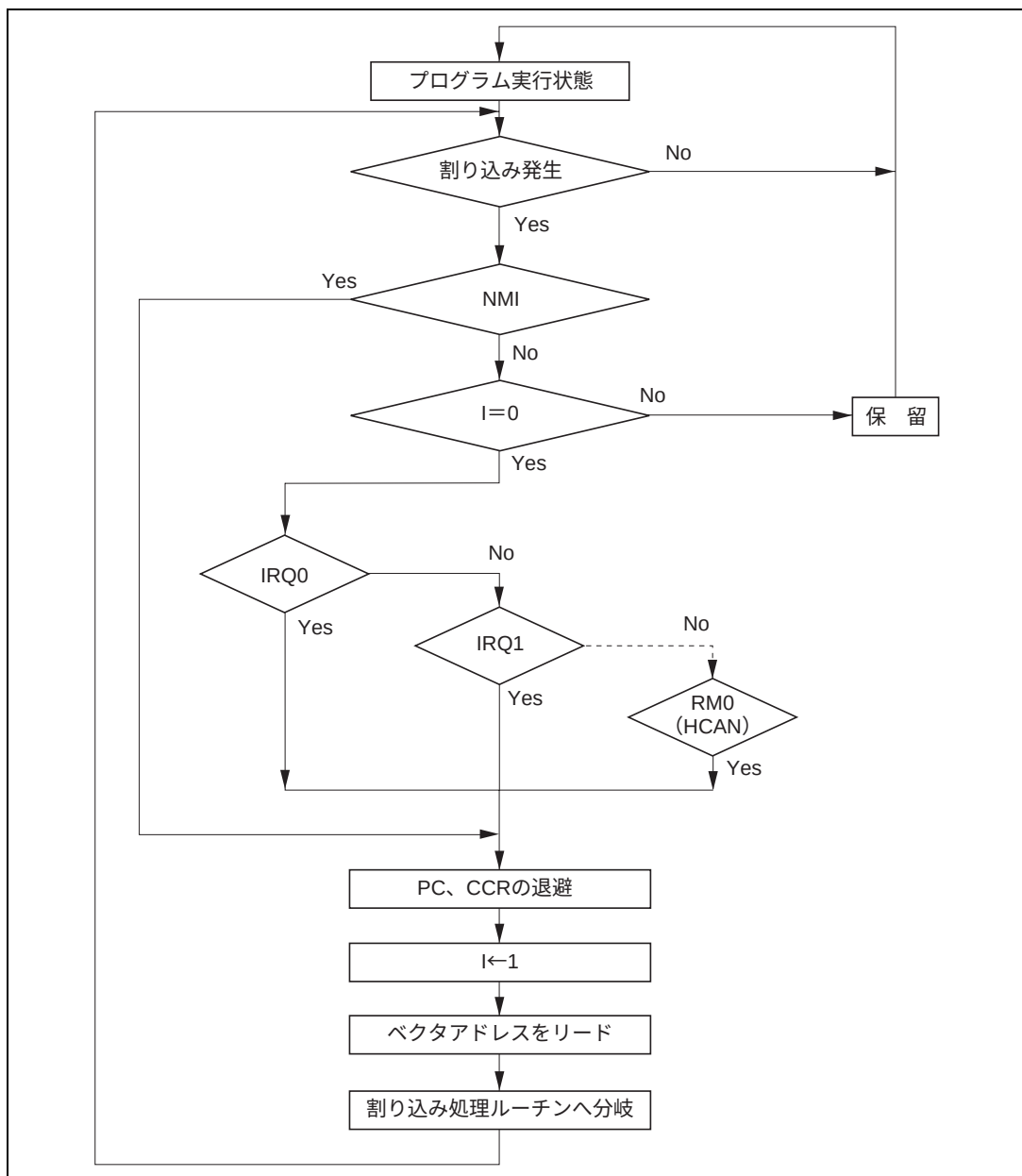


図 5.5 割り込み制御モード 0 の割り込み受け付けまでのフロー

5.4.3 割り込み制御モード 2

IRQ 割り込み、および内蔵周辺モジュールの割り込みは、CPU の EXR の割り込みマスクレベル (I2 ~ I0 ビット) と IPR との比較によって 8 レベルのマスクレベルを実現できます。

このときの割り込み受け付けの動作フローチャートを図 5.6 に示します。

- [1] 対応する割り込みイネーブルビットが1にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- [2] 割り込みコントローラに対して割り込み要求が送られると、IPRに設定された割り込みプライオリティレベルに従って最も優先順位の高い割り込みが選択され、それより低位の優先順位の割り込み要求は保留となります。このとき、同一優先順位の割り込み要求が同時に複数個発生したときは、表5.4に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- [3] その後、選択された割り込み要求の優先順位とEXRの割り込みマスクレベルとが比較されます。ここで、そのときに設定されていたマスクレベル以下の要求は保留され、割り込みマスクレベルより優先順位の高い割り込み要求だけが受け付けられます。
- [4] 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- [5] 割り込み例外処理によって、PC、CCR、およびEXRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- [6] EXRのTビットが0にクリアされます。割り込みマスクレベルは受け付けた割り込みのプライオリティレベルに書き換えられます。
受け付けた割り込みがNMIのとき、割り込みマスクレベルはH'7に設定されます。
- [7] 受け付けた割り込みに対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

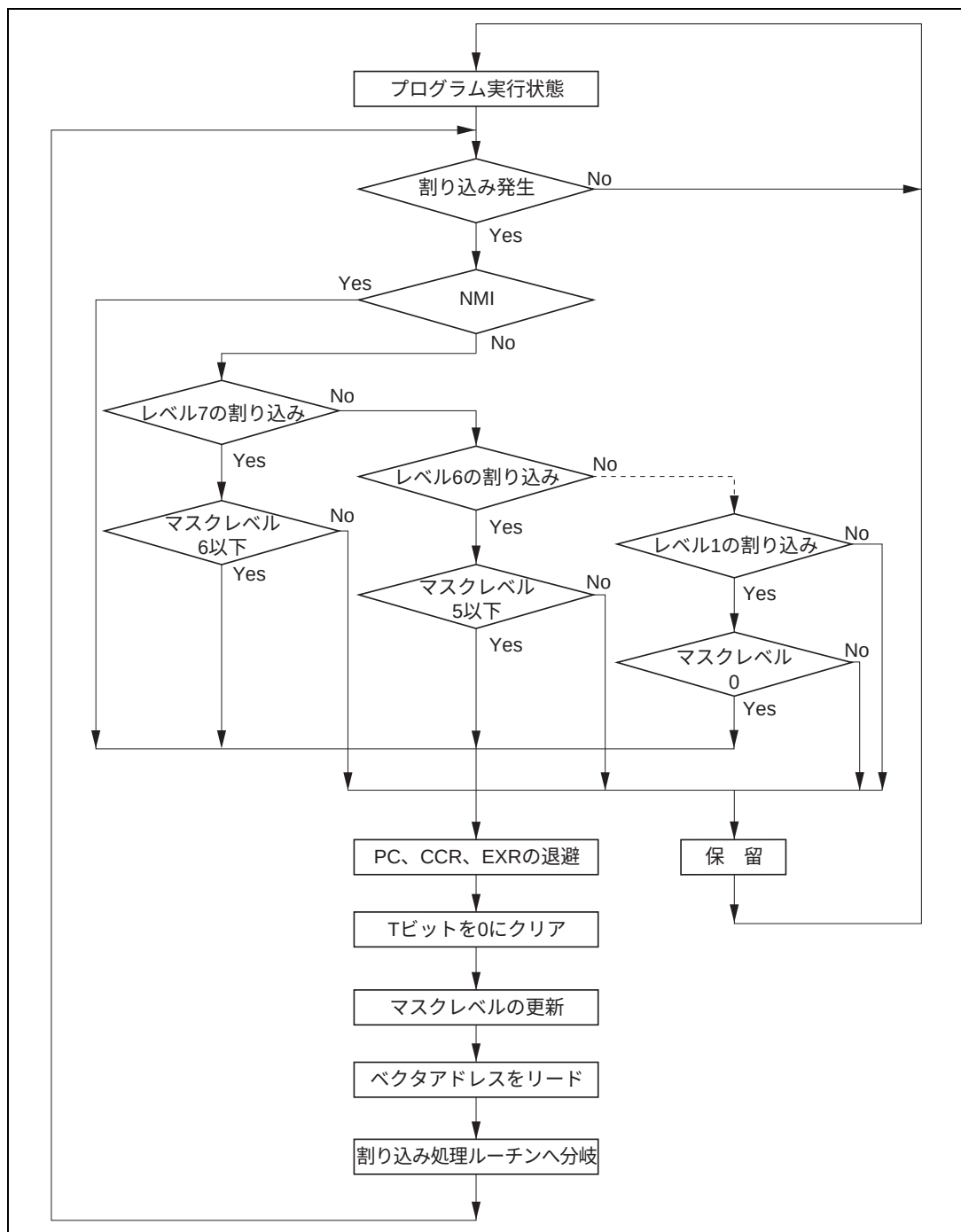


図 5.6 割り込み制御モード 2 の割り込み受け付けまでのフロー

5.4.4 割り込み例外処理シーケンス

図 5.7 に、割り込み例外処理シーケンスを示します。アドバンスドモードで割り込み制御モード 0 とし、プログラム領域およびスタック領域を内蔵メモリとした場合の例です。

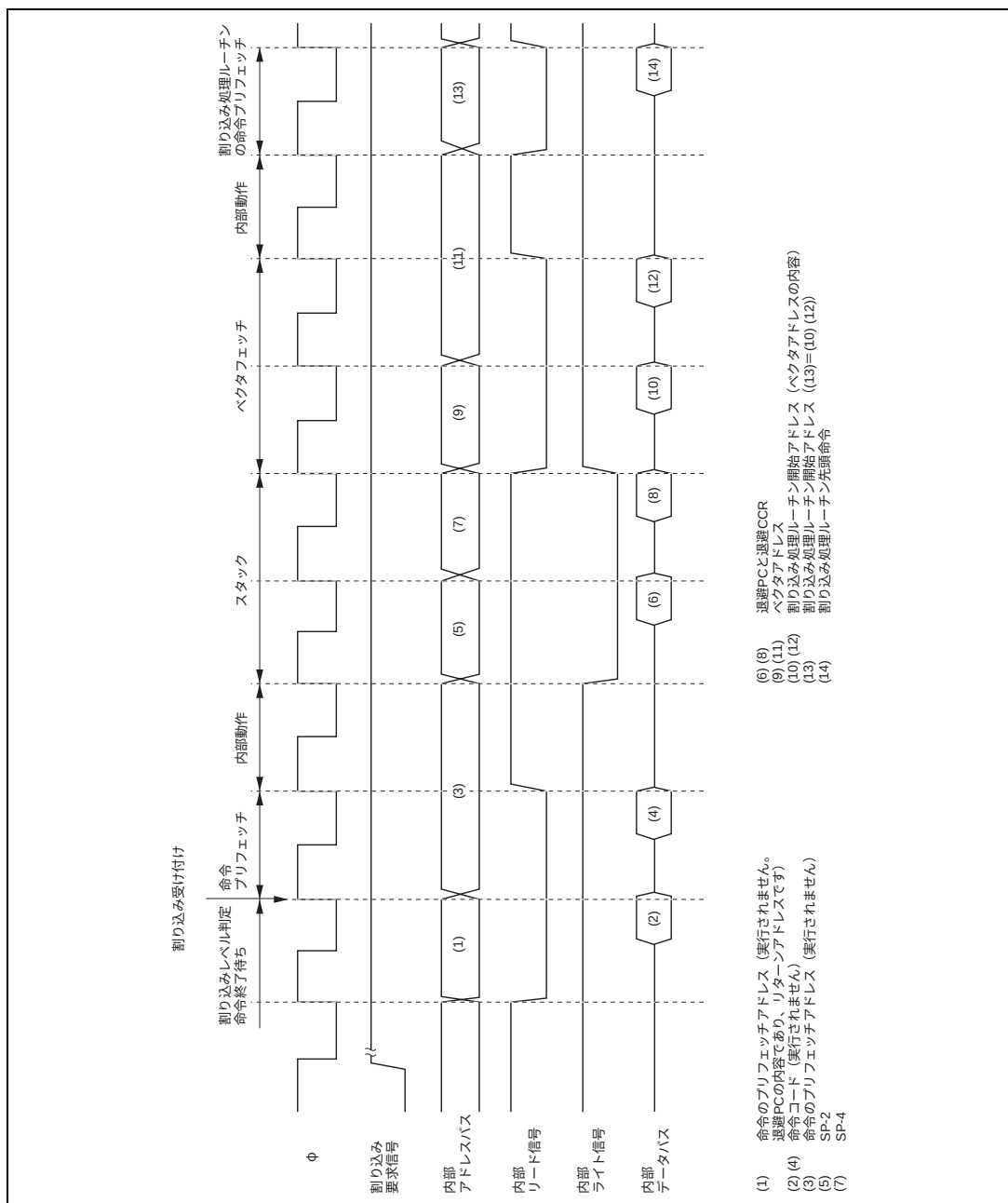


図 5.7 割り込み例外処理

5.4.5 割り込み応答時間

本 LSI では、内蔵メモリに対する高速ワードアクセスを可能にしており、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることにより、処理速度の向上を図ることができます。

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.9 に示します。表 5.9 の実行状態の記号については表 5.10 を参照してください。

表 5.9 割り込み応答時間

No.	実行状態	ノーマルモード*5		アドバンスモード	
		INTM1=0	INTM1=1	INTM1=0	INTM1=1
1	割り込み優先順位判定*1	3			
2	実行中の命令が終了するまでの待ちステート数*2	1～ (19+2・S _i)			
3	PC、CCR および EXR のスタック	2・S _k	3・S _k	2・S _k	3・S _k
4	ベクタフェッチ	S _i		2・S _i	
5	命令フェッチ*3	2・S _i			
6	内部処理*4	2			
合計 (内蔵メモリ使用時)		11～31	12～32	12～32	13～33

【注】 *1 内部割り込みの場合 2 ステートとなります。

*2 MULXS、DIVXS 命令について示しています。

*3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。

*4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。

*5 本 LSI では使用できません。

表 5.10 割り込み例外処理の実行状態のステート数

記 号	アクセス対象					
	内部メモリ	外部デバイス				
		8 ビットバス		16 ビットバス		
		2 ステート アクセス	3 ステート アクセス	2 ステート アクセス	3 ステート アクセス	
命令フェッチ	S_i	1	4	$6+2m$	2	$3+m$
分岐アドレスリード	S_j					
スタック操作	S_k					

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

5.5 使用上の注意

5.5.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットを 0 にクリアして割り込みを禁止する場合、割り込みの禁止はその命令実行終了後に有効になります。

すなわち、BCLR 命令、MOV 命令などで割り込みイネーブルビットを 0 にクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込み許可状態にあるため、命令実行終了後にその割り込み例外処理を実行します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。

割り込み要因フラグを 0 にクリアする場合も同様です。

TPU の TIER0 の TCIEV を 0 にクリアする場合の例を図 5.8 に示します。

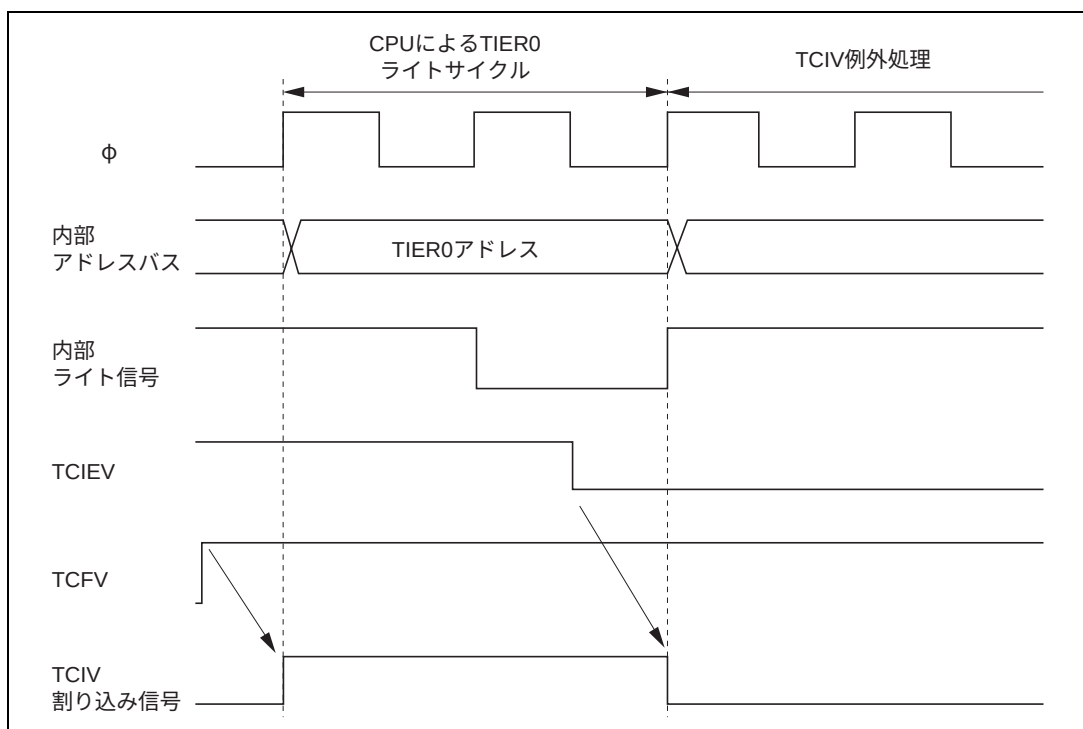


図 5.8 割り込みの発生とディスエーブルの競合

なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

5.5.2 割り込みを禁止している命令

割り込みを禁止している命令には、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は、NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。

これらの命令により I ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

5.5.3 割り込み禁止期間

割り込みコントローラには割り込み受け付けを禁止している期間があります。

CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新した後の 3 ステート期間は、割り込みコントローラは割り込みの受け付けを禁止します。

5.5.4 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次命令のアドレスとなります。

このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:   EEPMOV.W
      MOV.W   R4,R4
      BNE     L1
```

5.5.5 IRQ 割り込みについて

クロック動作時、IRQ はクロック同期で入力を受け付けます。ソフトウェアスタンバイ時は非同期で入力を受け付けます。

入力条件については「23.4.2 制御信号タイミング」を参照してください。

5.6 割り込みによる DTC の起動

5.6.1 概要

割り込みにより、DTC を起動することができます。この場合、以下の選択を行うことができます。

- (1) CPUに対する割り込み要求
- (2) DTCに対する起動要求
- (3) (1) ~ (2) の複数の選択

なお、DTC を起動できる割り込み要求については、「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

5.6.2 ブロック図

図 5.9 に、DTC と割り込みコントローラのブロック図を示します。

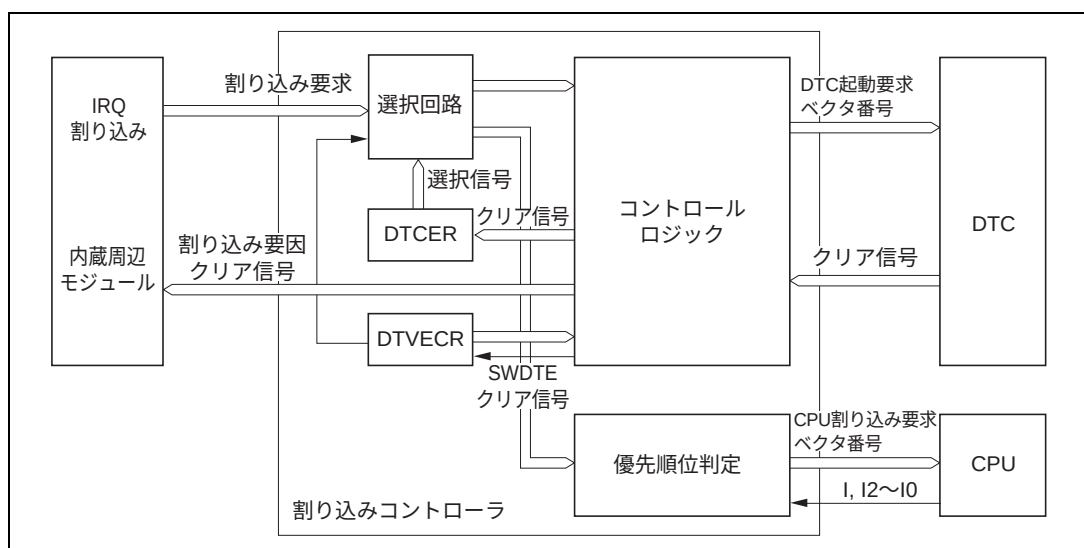


図 5.9 DTC と割り込み制御

5.6.3 動作説明

DTC 制御の割り込みコントローラの機能は 3 つに大別されます。

(1) 割り込み要因の選択

割り込み要因は、DTC の DTCERA～DTCERG、DTCERI の DTCE ビットにより、DTC 起動要求とするか、CPU 割り込み要求とするかを選択します。

DTC の MRB の DISEL ビットの指定により、DTC のデータ転送後、DTCE ビットを 0 にクリアして、CPU に割り込みを要求することができます。

なお、DTC が所定回数のデータ転送を行い、転送カウンタが 0 になった場合には、DTC のデータ転送後、DTCE もビットを 0 にクリアして、CPU に割り込みを要求します。

(2) 優先順位判定

DTC の起動要因はデフォルトの優先順位に従って選択されます。マスキレベルやプライオリティレベルなどの影響を受けません。それぞれの優先順位は、「8.3.3 DTC ベクタテーブル」を参照してください。

(3) 動作順序

同一の割り込みを、DTC の起動要因と CPU の割り込み要因に選択した場合、DTC のデータ転送が行われ、その後、CPU の割り込み例外処理が行われます。

表 5.11 に、DTC の DTCERA～DTCERG、DTCERI の DTCE ビット、および DTC の MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

表 5.11 割り込み要因の選択とクリア制御

設定内容		割り込み要因選択・クリア制御	
DTC			
DTCE	DISEL	DTC	CPU
0	*	×	◎
1	0	◎	×
	1	○	◎

【記号説明】

- ◎ : 当該割り込みを使用します。割り込み要因のクリアを行います。
(CPU は割り込み処理ルーチンで、要因フラグをクリアしてください。)
- : 当該割り込みを使用します。割り込み要因をクリアしません。
- ×
- * : Don't care

(4) 使用上の注意

SCI および A/D 変換器の割り込み要因は、DTC が所定のレジスタをリード／ライトしたときにクリアされます。

6. PC ブレークコントローラ (PBC)

6.1 概要

PC ブレークコントローラ (PBC) は、プログラムデバックを容易にする機能を提供します。この機能を使用することにより、セルフモニタデバッガを容易に作成でき、インサーキットエミュレータを使用しなくても本 LSI 単体で手軽にプログラムをデバックできます。PBC に設定できるブレーク条件には、命令フェッチ、データリード、データライト、データリード／ライトの 4 条件があります。

6.1.1 特長

PC ブレークコントローラは、次の特長があります。

■ブレークチャンネル数：2 チャンネル（チャンネル A、B）

■ブレークコンペア条件として以下の条件を設定可能

- アドレス 24 ビット
ビットマスク可能
- バスサイクル
命令フェッチ
データアクセス：データリード、データライト、データリード／ライト
- バスマスタ
CPU、CPU／DTCのいずれかから選択可能

■ブレーク条件成立後、下記タイミングで PC ブレーク例外処理を実行

- 設定したアドレスでフェッチした命令の実行直前（命令フェッチ）
- 設定したアドレスのデータをアクセスする命令の実行直後（データアクセス）

■モジュールストップモードの設定可能

- 初期値では PBC の動作は停止。モジュールストップモードを解除することによりレジスタのアクセスが可能

6.1.2 ブロック図

PC ブレークコントローラのブロック図を図 6.1 に示します。

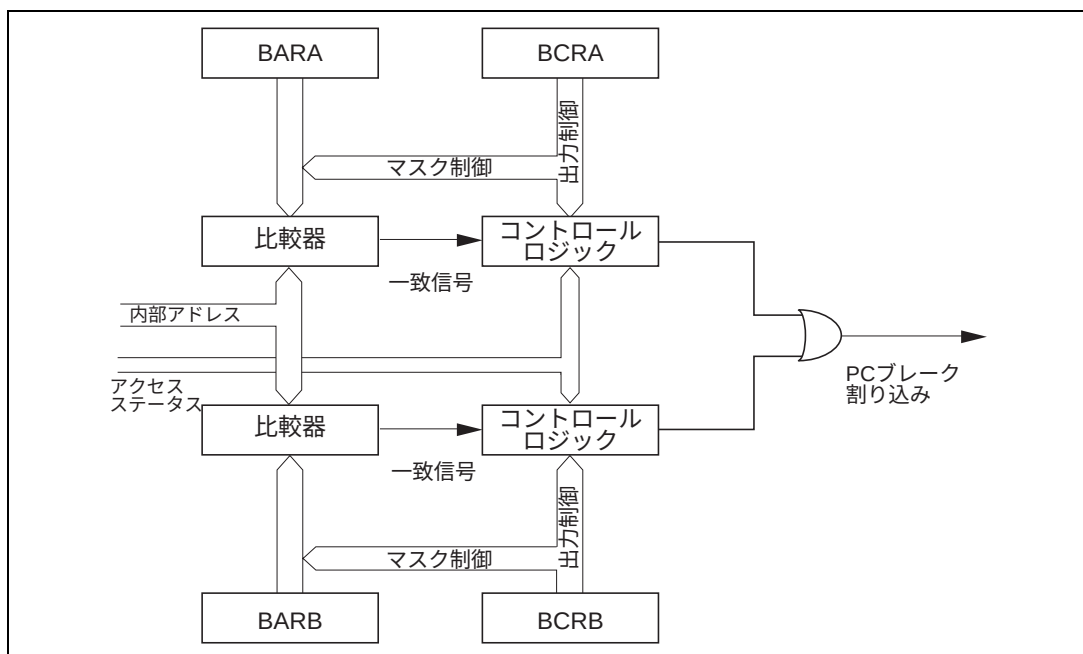


図 6.1 PC ブレークコントローラのブロック図

6.1.3 レジスタ構成

表 6.1 に PC ブレークコントローラのレジスタ構成を示します。

表 6.1 レジスタ構成

名称	略称	R/W	初期値	アドレス*1
ブレークアドレスレジスタ A	BARA	R/W	H'XX000000	H'FE00
ブレークアドレスレジスタ B	BARB	R/W	H'XX000000	H'FE04
ブレークコントロールレジスタ A	BCRA	R/(W)*2	H'00	H'FE08
ブレークコントロールレジスタ B	BCRB	R/(W)*2	H'00	H'FE09
モジュールストップコントロールレジスタ C	MSTPCRC	R/W	H'FF	H'FDEA

【注】 *1 アドレスの下位 16 ビットを示します。

*2 フラグをクリアするための 0 ライトのみ可能です。

6.2 レジスタの説明

6.2.1 ブレークアドレスレジスタ (BARA)

ビット:	31	...	24	23	22	21	20	19	18	17	16	...	7	6	5	4	3	2	1	0
	—	...	—	BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16	...	BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0
初期値:	不定	...	不定	0	0	0	0	0	0	0	0	...	0	0	0	0	0	0	0	0
R/W:	—	...	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	...	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BARA は、32 ビットのリード／ライト可能なレジスタで、チャンネル A のブレークアドレスを指定します。

BAA23～BAA0 はリセットまたはハードウェアスタンバイモード時に、H'000000 に初期化されません。

ビット 31～24：リザーブビット

リード値は不定で、ライトは無効です。

ビット 23～0：ブレークアドレス 23～0 (BAA23～BAA0)

チャンネル A の PC ブレークのアドレスを設定します。

6.2.2 ブレークアドレスレジスタ B (BARB)

チャンネル B のブレークアドレスレジスタです。ビット構成は、BARA と同様です。

6.2.3 ブレークコントロールレジスタ A (BCRA)

ビット:	7	6	5	4	3	2	1	0
	CMFA	CDA	BAMRA2	BAMRA1	BAMRA0	CSELA1	CSELA0	BIEA
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

BCRA はチャンネル A の PC ブレークを制御します。BCRA には (1) ブレーク条件のバスマスタの選択 (2) アドレス比較のマスクを行うビットの指定 (3) ブレーク条件を命令フェッチか、データアクセスで行うかを設定します。また、条件一致フラグを持っています。

BCRA はリード／ライト可能な 8 ビットのレジスタで、リセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7：コンディションマッチフラグ A (CMFA)

チャンネル A に設定したブレーク条件が成立したとき、1 にセットされます。0 クリアは行いません。

ビット 7	説明
CMFA	
0	[クリア条件] CMFA=1 の状態で CMFA をリード後、CMFA に 0 をライトしたとき (初期値)
1	[セット条件] チャンネル A の設定した条件が成立したとき

ビット 6：CPU サイクル／DTC サイクルセレクト A (CDA)

チャンネル A のブレーク条件のバスマスタを選択します。

ビット 6	説明
CDA	
0	CPU がバスマスタのとき、PC ブレークを行う (初期値)
1	CPU または DTC がバスマスタのとき、PC ブレークを行う

ビット 5～3：ブレークアドレスマスクレジスタ A2～A0 (BAMRA2～BAMRA0)

BARA に設定されているブレークアドレス (BAA23～BAA0) の各ビットをマスクするかどうかを指定します。

ビット 5	ビット 4	ビット 3	説明
BAMRA 2	BAMRA 1	BAMRA 0	
0	0	0	BARA をマスクせず全ビットをブレーク条件に含める (初期値)
0	0	1	BAA0 (下位 1 ビット) をマスクしブレーク条件に含めない
0	1	0	BAA1～0 (下位 2 ビット) をマスクしブレーク条件に含めない
0	1	1	BAA2～0 (下位 3 ビット) をマスクしブレーク条件に含めない
1	0	0	BAA3～0 (下位 4 ビット) をマスクしブレーク条件に含めない
1	0	1	BAA7～0 (下位 8 ビット) をマスクしブレーク条件に含めない
1	1	0	BAA11～0 (下位 12 ビット) をマスクしブレーク条件に含めない
1	1	1	BAA15～0 (下位 16 ビット) をマスクしブレーク条件に含めない

ビット 2～1：ブレーク条件選択 (CSELA1～CSELA0)

チャンネル A のブレーク条件を、命令フェッチにするか、データリード、データライト、データリード／ライトサイクルにするかを選択します。

ビット 2	ビット 1	説明
CSELA1	CSELA0	
0	0	命令フェッチをブレーク条件とする (初期値)
0	1	データリードサイクルをブレーク条件とする
1	0	データライトサイクルをブレーク条件とする
1	1	データリード／ライトサイクルをブレーク条件とする

ビット 0：ブレーク割り込みイネーブル (BIEA)

チャンネル A の PC ブレーク割り込みを許可または禁止します。

ビット 0	説明
BIEA	
0	PC ブレーク割り込みを禁止 (初期値)
1	PC ブレーク割り込みを許可

6.2.4 ブレークコントロールレジスタ B (BCRB)

チャンネル B のブレークコントロールレジスタです。ビット構成は、BCRA と同様です。

6.2.5 モジュールストップコントロールレジスタ C (MSTPCRC)

ビット：	7	6	5	4	3	2	1	0
	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRC は 8 ビットのリード／ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPC4 ビットを 1 にセットすると、バスサイクルの終了時点で PC ブレークコントローラの動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード／ライトはできません。詳細は、「22.5 モジュールストップモード」を参照してください。

MSTPCRC は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 4：モジュールストップ (MSTPC4)

PC ブレークコントローラのモジュールストップモードを指定します。

ビット 4	説 明
MSTPC4	
0	PC ブレークコントローラのモジュールストップモード解除
1	PC ブレークコントローラのモジュールストップモード設定 (初期値)

6.3 動作説明

ブレーク条件の設定から PC ブレーク割り込み例外処理までの動作の流れを、チャンネル A を例にして「6.3.1 命令フェッチによる PC ブレーク割り込み動作」、「6.3.2 データアクセスによる PC ブレーク割り込み動作」に示します。

6.3.1 命令フェッチによる PC ブレーク割り込み動作

(1) 初期設定

- ブレークアドレスを BARA に設定します。命令フェッチによる PC ブレークでは、命令の第 1 バイトが存在するアドレスにブレークアドレスを設定してください。
- ブレーク条件を BCRA に設定します。

BCRA のビット 6 (CDA)：命令フェッチによる PC ブレークでは、バスマスタは CPU に限定されます。0 を設定して CPU を選択してください。

BCRA のビット 5～3 (BAMA2～0)：マスクするアドレスのビットを設定します。

BCRA のビット 2～1 (CSELA1～0)：00 を設定して命令フェッチをブレーク条件とします。

BCRA ビット 0 (BIEA)：1 に設定し、ブレーク割り込みを許可します。

(2) ブレーク条件成立

- 設定したアドレスの命令をフェッチすると、フェッチした命令を実行する直前で PC ブレーク要求が発生し、コンディションマッチフラグ (CMFA) がセットされます。

(3) 割り込み処理

- 割り込みコントローラで優先順位判定後、PC ブレーク割り込み例外処理を開始します。

6.3.2 データアクセスによる PC ブレーク割り込み動作

(1) 初期設定

- ブレークアドレスを BARA に設定します。データアクセスによる PC ブレークでは、ブレークアドレスを、対象の ROM または RAM、I/O あるいは外部アドレス空間のアドレスに設定してください。データアクセスには、スタック動作や分岐アドレスのリードも含まれます。
- ブレーク条件を BCRA に設定します。

BCRA のビット 6 (CDA)：バスマスタを選択してください。

BCRA のビット 5～3 (BAMA2～0)：マスクするアドレスのビットを設定します。

BCRA のビット 2～1 (CSELA1～0)：01、10、11 を設定してデータアクセスをブレーク条件とします。

BCRA のビット 0 (BIEA)：1 に設定し、ブレーク割り込みを許可します。

- (2) ブレーク条件成立
 - 設定したアドレスのデータアクセスを行った命令の実行後、PC ブレーク要求が発生し、コンディションマッチフラグ (CMFA) がセットされます。
- (3) 割り込み処理
 - 割り込みコントローラで優先順位判定後、PC ブレーク割り込み例外処理を開始します。

6.3.3 PC ブレーク割り込み処理時の注意事項

- (1) PCブレーク割り込みは、チャンネルAとチャンネルBの兼用です。割り込み処理の中でどちらのチャンネルからの要求かを判定してください。
- (2) CMFA、CMFBは0をクリアされませんので、CMFA=1またはCMFB=1の状態では、CMFAまたはCMFBをリード後、0をライトしてください。1にセットしたままの状態では、割り込み処理後、再度割り込み要求が発生します。
- (3) DTCがバスマスタのときに発生したPCブレーク割り込みは、バスコントローラでバス権がCPUに移行した後に受け付けられます。

6.3.4 低消費電力モード遷移時の動作

SLEEP 命令の次のアドレスの命令フェッチに PC ブレーク割り込みを設定した場合の動作を以下に示します。

- (1) SLEEP 命令により高速 (中速) モードからスリープモードへ、サブアクティブモードからサブスリープモードへ遷移する場合
SLEEP 命令実行後、スリープモード、サブスリープモードへ遷移しないで、PC ブレーク例外処理を実行します。PC ブレーク例外処理実行後、SLEEP 命令の次のアドレスの命令を実行します (図6.2 (A))。
- (2) SLEEP 命令により高速 (中速) モードからサブアクティブモードへ遷移する場合
SLEEP 命令実行後、直接遷移例外処理を経てサブアクティブモードへ遷移します。遷移後、PC ブレーク例外処理を実行、SLEEP 命令の次のアドレスの命令を実行します (図6.2 (B))。
- (3) SLEEP 命令によりサブアクティブモードから高速 (中速) モードへ遷移する場合
SLEEP 命令実行後、クロック発振安定時間、直接遷移例外処理を経て高速 (中速) モードへ遷移します。遷移後、PC ブレーク例外処理を実行、SLEEP 命令の次のアドレスの命令を実行します (図6.2 (C))。
- (4) SLEEP 命令によりソフトウェアスタンバイモード、ウォッチモードへ遷移する場合
SLEEP 命令実行後、各モードに遷移し、PC ブレーク例外処理は実行しません。ただし、CMFA、CMFBはセットされます (図6.2 (D))。

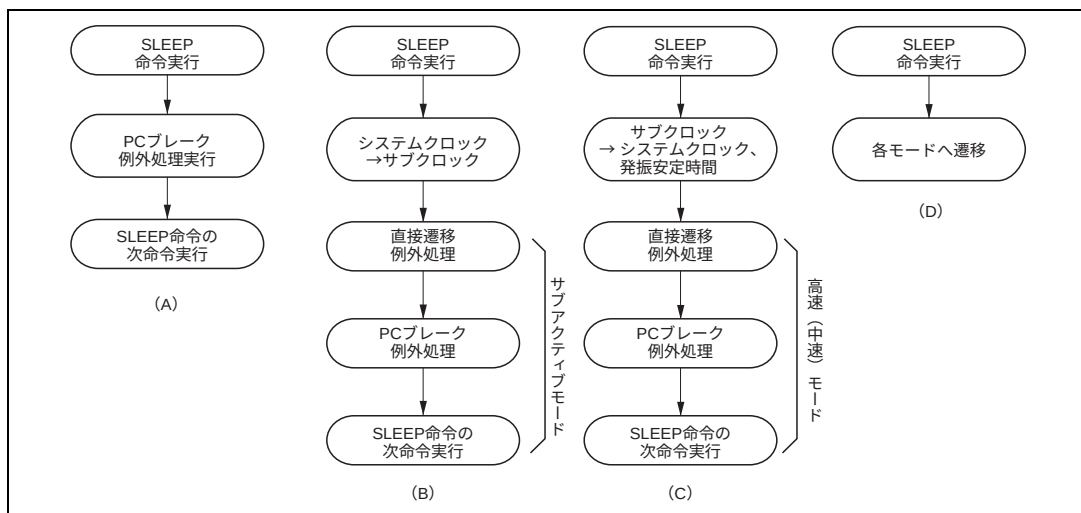


図 6.2 低消費電力モード遷移時の動作

6.3.5 連続データ転送時の PC ブレーク動作

次の動作をしているときに発生した PC ブレーク割り込みは、指定の転送を終了した時点で例外処理を実行します。

- (1) EEPMOV.B命令の転送アドレスにPCブレイク割り込みが発生した場合
すべてのデータの転送が終了しEEPMOV.B命令が終了した後、PCブレイク例外処理を実行します。
- (2) DTCの転送アドレスにブレイク割り込みが発生した場合
DTCが指定された回数のデータ転送を終了した後、あるいはDISELビットが1にセットされたデータを転送終了した後、PCブレイク例外処理を実行します。

6.3.6 命令実行が 1 ステート遅れる場合

次の場合は、通常の動作に比較して命令実行が 1 ステート遅れますので、ご注意ください。

- (1) 内蔵ROM/RAM内に存在する1ワード分岐命令（Bcc d:8、BSR、JSR、JMP、TRAPA、RTE、RTS）はPBCが有効な場合（ブレイク割り込みイネーブルビットが許可されている場合）、常に命令実行が1ステート遅れます。
- (2) 命令フェッチによるブレイク割り込みを設定した場合、設定アドレスが内蔵ROM/RAM空間を示し、そのアドレスをデータアクセスとして使用したとき、データアクセスを実行している命令は、通常動作より1ステート遅れます。
- (3) 命令フェッチによるブレイク割り込みを設定した場合、ブレイク割り込みが発生すると、設定した命令より1つ前の実行中の命令が、以下に示すアドレッシングモードを持ち、そのアドレスが内蔵ROM/RAMを示している場合は、通常動作より1ステート遅れます。
(@ERn,@(d:16,ERn),@(d:32,ERn),@-ERn/ERn+,@aa:8,@aa:24,@aa:32,@(d:8,PC),
@(d:16,:PC),@aa:8)

- (4) 命令フェッチによるブレーク割り込みを設定した場合、ブレーク割り込みが発生すると、設定した命令より1つ前の実行中の命令が、NOP、SLEEPであるか、あるいは#xx,Rnをアドレッシングモードとして持ち、かつその命令が内蔵ROM/RAMに存在する場合、通常動作より1ステート遅れます。

6.3.7 その他の注意事項

- (1) BSR、JSR、JMP、TRAPA、RTE、RTSの次のアドレスの命令フェッチにPCブレークを設定した場合
BSR、JSR、JMP、TRAPA、RTE、RTSの次のアドレスの命令はフェッチされても実行しないため、次のアドレスの命令フェッチでPCブレーク割り込みは発生しません。
- (2) LDC、ANDC、ORC、XORC命令によりIビットを設定した場合、実行命令終了の2ステート後にPCブレーク割り込みが有効になります。また、これらの命令の次命令にPCブレーク割り込みを設定した場合、LDC、ANDC、ORC、XORは、3ステート期間、NMI割り込みを含めて割り込みが禁止されるため、必ず次の命令を実行します。
詳細は「第5章 割り込みコントローラ」を参照してください。
- (3) Bcc命令の次のアドレスの命令フェッチにPCブレークを設定した場合
分岐条件により次のアドレスの命令を実行するときはPCブレーク割り込みが発生しますが、次のアドレスの命令を実行しないときはPCブレーク割り込みが発生しません。
- (4) Bcc命令の分岐先のアドレスの命令フェッチにPCブレークを設定した場合
分岐条件により分岐先の命令を実行するときはPCブレーク割り込みが発生しますが、分岐先の命令を実行しないときはPCブレーク割り込みが発生しません。

7. バスコントローラ

7.1 概要

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間を 8 つのエリアに分割して管理します。各エリアでは、バス幅、アクセスステート数などのバス仕様を独立に設定することが可能であり、複数のメモリを容易に接続することができます。

また、バスコントローラはバス権調停機能を持っており、内部バスマスタである CPU およびデータトランスファコントローラ (DTC) の動作を制御します。

7.1.1 特長

バスコントローラの特長を以下に示します。

■外部アドレス空間をエリア単位で管理

- 外部空間を 2M バイト単位の 8 エリアに分割して管理
- エリアごとにバス仕様を設定可能
- バースト ROM インタフェースを設定可能

■基本バスインタフェース

- エリアごとに、8 ビットアクセス空間／16 ビットアクセス空間を選択可能
- エリアごとに、2 ステートアクセス空間／3 ステートアクセス空間を選択可能
- エリアごとに、プログラムウェイトステートを挿入可能

■バースト ROM インタフェース

- エリア 0 に対してバースト ROM インタフェースを設定可能
- バーストアクセスの 1 または 2 ステートを選択可能

■アイドルサイクル挿入

- 異なるエリア間の外部リードサイクル時、アイドルサイクルを挿入可能
- 外部リードサイクルの直後の外部ライトサイクル時、アイドルサイクルを挿入可能

■ライトバッファ機能

- 外部ライトサイクルと内部アクセスを並列に実行可能

■バス権調停機能 (バスアービトレーション)

- バスアービタを内蔵し、CPU および DTC のバス権を調停

■その他

- 外部バス権解放機能

7.1.2 ブロック図

バスコントローラのブロック図を図 7.1 に示します。

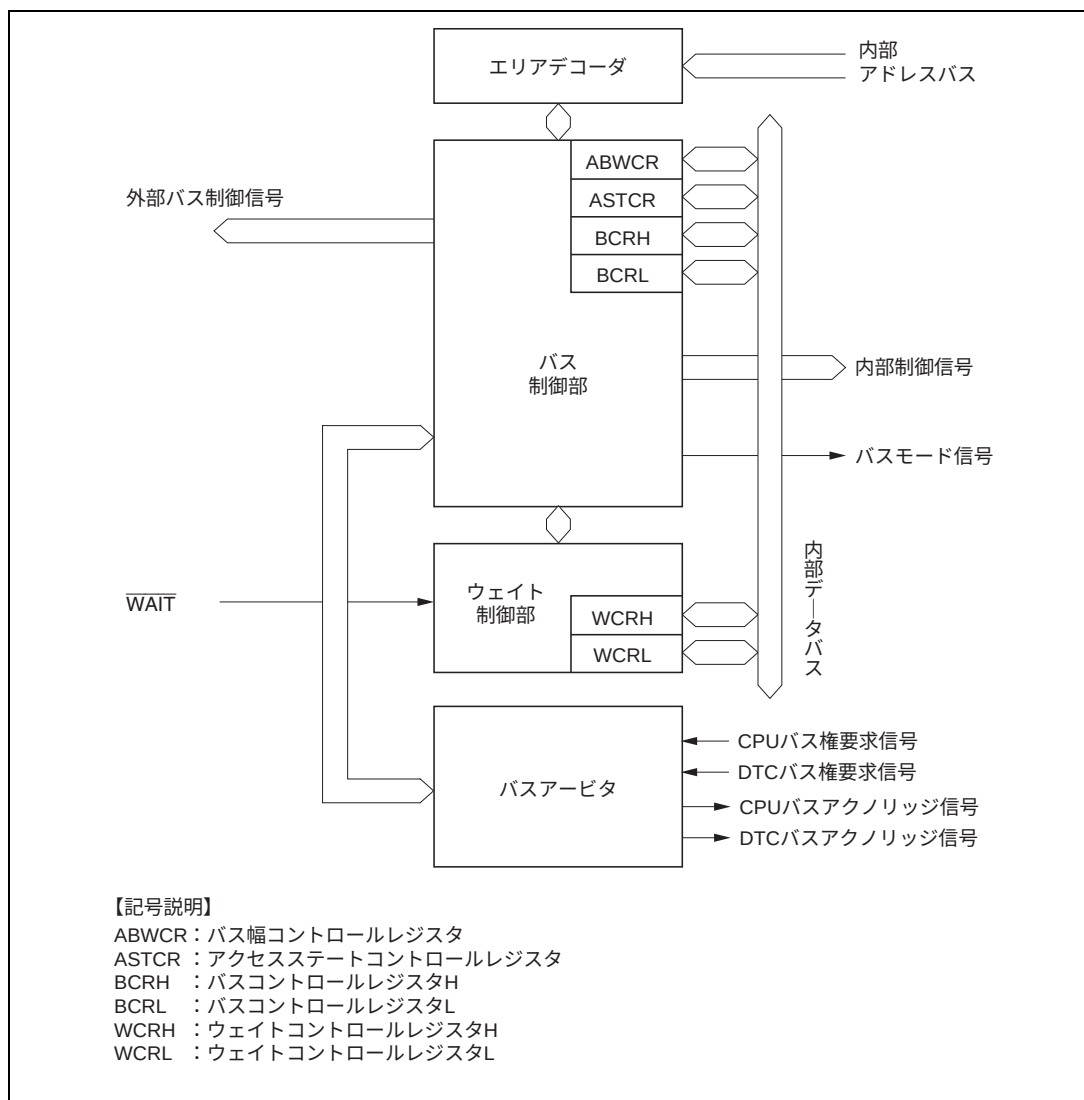


図 7.1 バスコントローラのブロック図

7.1.3 端子構成

表 7.1 にバスコントローラの端子構成を示します。

表 7.1 端子構成

名 称	記号	入出力	機 能
アドレスストローブ	$\overline{AS}$	出力	アドレスバス上のアドレス出力が有効であることを示すストローブ信号。
リード	$\overline{RD}$	出力	外部空間をリードしていることを示すストローブ信号。
ハイライト	$\overline{HWR}$	出力	外部空間をライトし、データバスの上位側 (D15～D8) が有効であることを示すストローブ信号。
ローライト	$\overline{LWR}$	出力	外部空間をライトし、データバスの下位側 (D7～D0) が有効であることを示すストローブ信号。
ウェイト	$\overline{WAIT}$	入力	外部 3 ステートアクセス空間をアクセスするときのウェイト要求信号。

7.1.4 レジスタ構成

表 7.2 にバスコントローラのレジスタ構成を示します。

表 7.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス* ¹
バス幅コントロールレジスタ	ABWCR	R/W	H'FF/H'00* ²	H'FED0
アクセスステートコントロールレジスタ	ASTCR	R/W	H'FF	H'FED1
ウェイトコントロールレジスタ H	WCRH	R/W	H'FF	H'FED2
ウェイトコントロールレジスタ L	WCRL	R/W	H'FF	H'FED3
バスコントロールレジスタ H	BCRH	R/W	H'D0	H'FED4
バスコントロールレジスタ L	BCRL	R/W	H'08	H'FED5
端子機能コントロールレジスタ	PFCR	R/W	H'0D/H'00	H'FDEB

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 MCU 動作モードによって決まります。

7.2 各レジスタの説明

7.2.1 バス幅コントロールレジスタ (ABWCR)

ビット：	7	6	5	4	3	2	1	0
	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
モード5～7								
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
モード4								
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ABWCR は 8 ビットのリード／ライト可能なレジスタで、各エリアを 8 ビットアクセス空間または 16 ビットアクセス空間のいずれかに設定します。

ABWCR は、外部メモリ空間のデータバス幅を設定します。内蔵メモリおよび内部 I/O レジスタのバス幅は ABWCR の設定値にかかわらず固定です。

ABWCR は、リセットおよびハードウェアスタンバイモード時に、モード 5～7 では H'FF に初期化され、モード 4 では、H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7～0：エリア 7～0 バス幅コントロール (ABW7～ABW0)

対応するエリアを 8 ビットアクセス空間とするか、16 ビットアクセス空間とするかを選択します。

ビット n	説 明
ABWn	
0	エリア n を 16 ビットアクセス空間に設定
1	エリア n を 8 ビットアクセス空間に設定

(n=7～0)

7.2.2 アクセスステートコントロールレジスタ (ASTCR)

ビット：	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ASTCR は 8 ビットのリード／ライト可能なレジスタで、各エリアを 2 ステートアクセス空間または 3 ステートアクセス空間のいずれかに設定します。

ASTCR は、外部メモリ空間のアクセスステート数を設定します。内蔵メモリおよび内部 I/O レジスタに対するアクセスステート数は ASTCR の設定値にかかわらず固定です。

ASTCR は、リセットおよびハードウェアスタンバイモード時に、H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7～0：エリア 7～0 アクセスステートコントロール (AST7～AST0)

対応するエリアを 2 ステートアクセス空間にするか、3 ステートアクセス空間とするかを選択します。

同時に、ウェイトステートの挿入を許可または禁止します。

ビット n	説 明
ASTn	
0	エリア n を 2 ステートアクセス空間に設定 エリア n の外部空間アクセスにウェイトステートの挿入を禁止
1	エリア n の外部空間アクセスは 3 ステートアクセス (初期値) エリア n の外部空間アクセスにウェイトステートの挿入を許可

(n=7～0)

7.2.3 ウェイトコントロールレジスタ H、L (WCRH、WCRL)

WCRH、WCRL は、それぞれ 8 ビットのリード／ライト可能なレジスタで、各エリアのプログラムウェイトステート数を選択します。

内蔵メモリおよび内部 I/O レジスタに対しては、プログラムウェイトは挿入されません。

WCRH、WCRL は、リセットおよびハードウェアスタンバイモード時に、H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

(1) WCRH

ビット：	7	6	5	4	3	2	1	0
	W71	W70	W61	W60	W51	W50	W41	W40
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7、6：エリア 7 ウェイトコントロール 1、0 (W71、W70)

ASTCR の AST7 ビットが 1 にセットされた状態でエリア 7 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 7	ビット 6	説 明
W71	W70	
0	0	エリア 7 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 7 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 7 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 7 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

ビット 5、4：エリア 6 ウェイトコントロール 1、0 (W61、W60)

ASTCR の AST6 ビットが 1 にセットされた状態でエリア 6 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 5 W61	ビット 4 W60	説 明
0	0	エリア 6 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 6 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 6 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 6 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

ビット 3、2：エリア 5 ウェイトコントロール 1、0 (W51、W50)

ASTCR の AST5 ビットが 1 にセットされた状態でエリア 5 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 3 W51	ビット 2 W50	説 明
0	0	エリア 5 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 5 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 5 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 5 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

ビット 1、0：エリア 4 ウェイトコントロール 1、0 (W41、W40)

ASTCR の AST4 ビットが 1 にセットされた状態でエリア 4 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 1 W41	ビット 0 W40	説 明
0	0	エリア 4 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 4 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 4 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 4 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

(2) WCRL

ビット：	7	6	5	4	3	2	1	0
	W31	W30	W21	W20	W11	W10	W01	W00
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7、6：エリア 3 ウェイトコントロール 1、0 (W31、W30)

ASTCR の AST3 ビットが 1 にセットされた状態でエリア 3 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 7	ビット 6	説 明
W31	W30	
0	0	エリア 3 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 3 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 3 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 3 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

ビット 5、4：エリア 2 ウェイトコントロール (W21、W20)

ASTCR の AST2 ビットが 1 にセットされた状態でエリア 2 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 5	ビット 4	説 明
W21	W20	
0	0	エリア 2 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 2 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 2 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 2 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

ビット 3、2：エリア 1 ウェイトコントロール 1、0 (W11、W10)

ASTCR の AST1 ビットが 1 にセットされた状態でエリア 1 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 3	ビット 2	説 明
W11	W10	
0	0	エリア 1 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 1 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 1 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 1 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

ビット 1、0：エリア 0 ウェイトコントロール 1、0 (W01、W00)

ASTCR の AST0 ビットが 1 にセットされた状態で、エリア 0 の外部空間をアクセスするときの、プログラムウェイトステート数を選択します。

ビット 1	ビット 0	説 明
W01	W00	
0	0	エリア 0 の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア 0 の外部空間アクセス時、プログラムウェイトを 1 ステート挿入
1	0	エリア 0 の外部空間アクセス時、プログラムウェイトを 2 ステート挿入
	1	エリア 0 の外部空間アクセス時、プログラムウェイトを 3 ステート挿入 (初期値)

7.2.4 バスコントロールレジスタ H (BCRH)

ビット：	7	6	5	4	3	2	1	0
	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	—	—	—
初期値：	1	1	0	1	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BCRH は 8 ビットのリード／ライト可能なレジスタで、アイドルサイクル挿入の許可または禁止、エリア 0 のメモリインタフェースの選択を行います。

BCRH は、リセットおよびハードウェアスタンバイモード時に、H'D0 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7：アイドルサイクル挿入 1 (ICIS1)

異なるエリアの外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。

ビット 7	説 明
ICIS1	
0	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない
1	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する (初期値)

ビット 6：アイドルサイクル挿入 0 (ICIS0)

外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。

ビット 6	説 明
ICIS0	
0	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない
1	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する (初期値)

ビット 5：バースト ROM イネーブル (BRSTRM)

エリア 0 をバースト ROM インタフェースとするかを選択します。

ビット 5	説 明
BRSTRM	
0	エリア 0 は基本バスインタフェース (初期値)
1	エリア 0 はバースト ROM インタフェース

ビット 4：バーストサイクルセレクト 1 (BRSTS1)

バースト ROM インタフェースのバーストサイクル数を選択します。

ビット 4	説 明
BRSTS1	
0	バーストサイクルは 1 ステート
1	バーストサイクルは 2 ステート (初期値)

ビット 3：バーストサイクルセレクト 0 (BRSTS0)

バースト ROM インタフェースのバーストアクセス可能なワード数を選択します。

ビット 3	説 明
BRSTS0	
0	バーストアクセスは最大 4 ワード (初期値)
1	バーストアクセスは最大 8 ワード

ビット 2～0：リザーブビット

ライト時は 0 を書き込んでください。

7.2.5 バスコントロールレジスタ L (BCRL)

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	WDBE	WAITE
初期値：	0	0	0	0	1	0	0	0
R/W：	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W

BCRL は 8 ビットのリード／ライト可能なレジスタで、外部バス解放状態のプロトコルの選択、ライトデータバッファ機能の許可または禁止、 $\overline{\text{WAIT}}$ 端子入力の許可または禁止の選択を行います。

BCRL は、リセットおよびハードウェアスタンバイモード時に、H'08 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7、6：リザーブビット

ライト時は 0 を書き込んでください。

ビット 5：リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

ビット 4：リザーブビット

ライト時は 0 を書き込んでください。

ビット 3：リザーブビット

ライト時は 1 を書き込んでください。

ビット 2：リザーブビット

ライト時は 0 を書き込んでください。

ビット 1：ライトデータバッファイネーブル (WDBE)

外部ライトサイクルのとき、ライトバッファ機能を使用するか、使用しないかを選択します。

ビット 1	説 明
WDBE	
0	ライトデータバッファ機能を使用しない (初期値)
1	ライトデータバッファ機能を使用する

ビット 0：WAIT 端子イネーブル (WAITE)

$\overline{\text{WAIT}}$ 端子によるウェイト入力の許可または禁止を選択します。

ビット 0	説 明
WAITE	
0	WAIT 端子によるウェイト入力を禁止。WAIT 端子は入出力ポートとして使用可 (初期値)
1	WAIT 端子によるウェイト入力を許可

7.2.6 端子機能コントロールレジスタ (PFCR)

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	AE3	AE2	AE1	AE0
初期値：	0	0	0	0	1/0	1/0	0	1/0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PFCR は 8 ビットのリード／ライト可能なレジスタで、内蔵 ROM 有効拡張モード時のアドレス出力制御を行います。

PFCR はリセットまたはハードウェアスタンバイモード時に H'0D/H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

ビット 7～4：リザーブビット

ライト時は 0 を書き込んでください。

ビット 3～0：アドレス出力イネーブル 3～0 (AE3～AE0)

内蔵 ROM 無効拡張モードと内蔵 ROM 有効モード時のアドレス出力 A8～A23 の許可／禁止を選択します。アドレス出力を許可した端子は、対応する DDR に関係なくアドレスが出力されます。アドレス出力を禁止した端子は、対応する DDR を 1 にセットするとポート出力となります。

ビット 3 AE3	ビット 2 AE2	ビット 1 AE1	ビット 0 AE0	説 明
0	0	0	0	A8～A23 出力を禁止 (初期値) *
			1	A8 出力を許可。A9～A23 出力を禁止
		1	0	A8、A9 出力を許可。A10～A23 出力を禁止
			1	A8～A10 出力を許可。A11～A23 出力を禁止
	1	0	0	A8～A11 出力を許可。A12～A23 出力を禁止
			1	A8～A12 出力を許可。A13～A23 出力を禁止
		1	0	A8～A13 出力を許可。A14～A23 出力を禁止
			1	A8～A14 出力を許可。A15～A23 出力を禁止
1	0	0	0	A8～A15 出力を許可。A16～A23 出力を禁止
			1	A8～A16 出力を許可。A17～A23 出力を禁止
		1	0	A8～A17 出力を許可。A18～A23 出力を禁止
			1	A8～A18 出力を許可。A19～A23 出力を禁止
	1	0	0	A8～A19 出力を許可。A20～A23 出力を禁止
			1	A8～A20 出力を許可。A21～A23 出力を禁止 (初期値) *
		1	0	A8～A21 出力を許可。A22、A23 出力を禁止
			1	A8～A23 出力を許可

【注】 * 内蔵 ROM 有効拡張モードのとき、AE3～AE0 ビットは B'0000 に初期化されます。また、内蔵 ROM 無効拡張モードのとき、AE3～AE0 ビットは B'1101 に初期化されます。
なお、A0～A7 アドレスは、対応する DDR を 1 にセットすることでアドレス出力となります。

7.3 バス制御の概要

7.3.1 エリア分割

バスコントローラは、アドバンスモードのとき、16M バイトのアドレス空間を 2M バイト単位で、エリア 0～7 の 8 つのエリアに分割し、エリア単位で外部空間のバス制御を行います。また、ノーマルモード*では、エリア 0 の一部の、64k バイトのアドレス空間を制御します。図 7.2 にメモリマップの概要を示します。

【注】 * 本 LSI では使用できません。

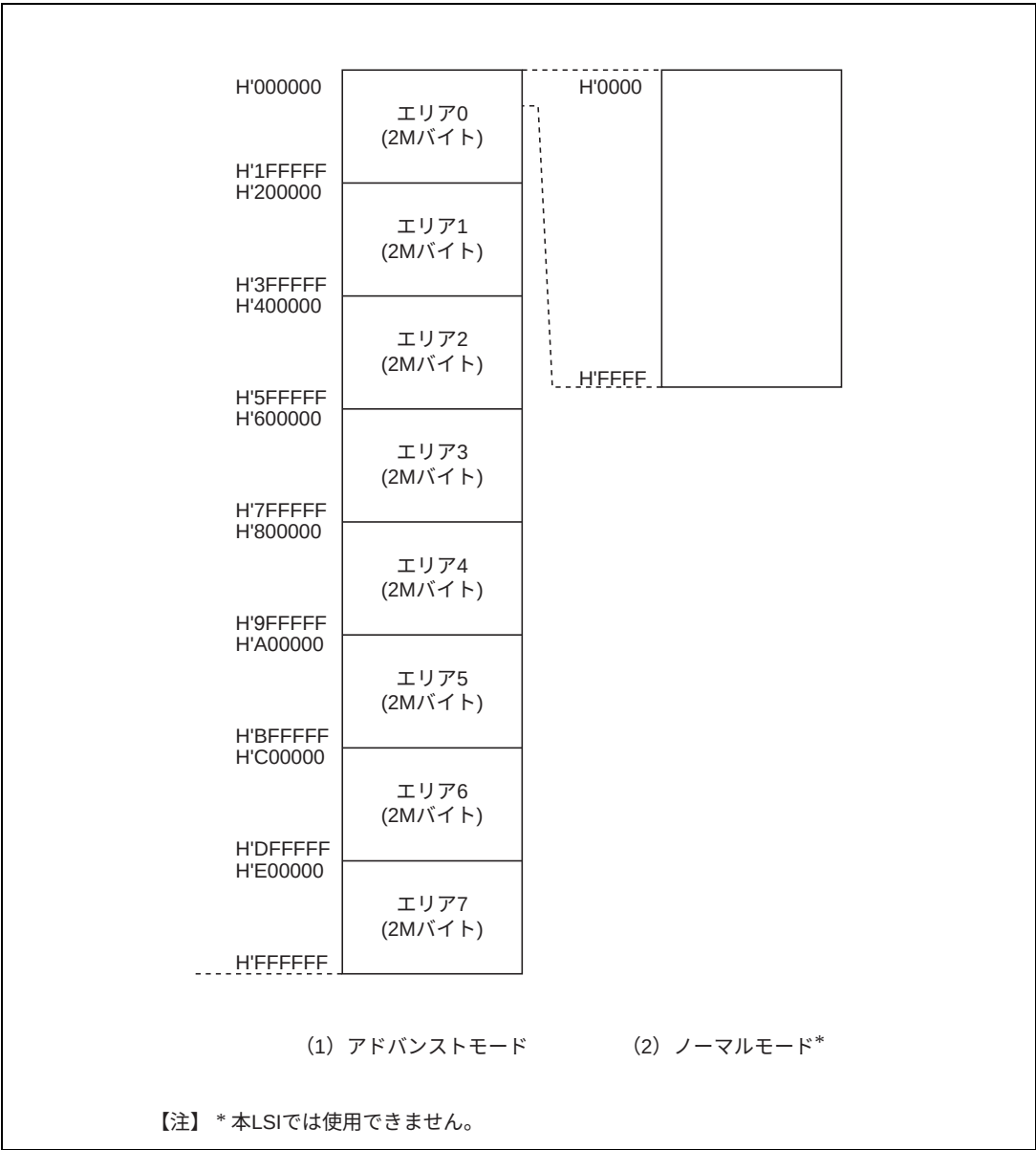


図 7.2 エリア分割の様子

7.3.2 バス仕様

外部空間のバス仕様は、(1) バス幅、(2) アクセスステート数、(3) プログラムウェイトステート数、の3つの要素で構成されます。

なお、内蔵メモリ、内部 I/O レジスタのバス幅、アクセスステート数は固定で、バスコントローラの影響を受けません。

(1) バス幅

バス幅は ABWCR により、8 ビットまたは 16 ビットを選択します。8 ビットバスを選択したエリアが 8 ビットアクセス空間、16 ビットバスを選択したエリアが 16 ビットアクセス空間です。

すべてのエリアを 8 ビットアクセス空間に設定すると 8 ビットバスモードに、いずれかのエリアを 16 ビットアクセス空間に設定すると 16 ビットバスモードになります。なお、バースト ROM インタフェースを設定すると、常に 16 ビットバスモードとなります。

(2) アクセスステート数

アクセスステート数は、ASTCR により、2 ステートまたは 3 ステートを選択します。2 ステートアクセスを選択したエリアが 2 ステートアクセス空間、3 ステートアクセスを選択したエリアが 3 ステートアクセス空間です。

なお、バースト ROM インタフェースでは、ASTCR によらず、アクセスステート数が決まる場合があります。

2 ステートアクセス空間に設定すると、ウェイトの挿入が禁止されます。

(3) プログラムウェイトステート数

ASTCR によって 3 ステートアクセス空間に設定したとき、WCRH、WCRL により、自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0~3 ステートを選択可能です。

基本バスインタフェースの各エリアのバス仕様を表 7.3 に示します。

表 7.3 各エリアのバス仕様（基本バスインタフェース）

ABWCR	ASTCR	WCRH、WCRL		バス仕様（基本バスインタフェース）		
ABWn	ASTn	Wn1	Wn0	バス幅	アクセスステート数	プログラムウェイトステート数
0	0	—	—	16	2	0
	1	0	0		3	0
			1			1
		1	0			2
			1			3
1	0	—	—	8	2	0
	1	0	0		3	0
			1			1
		1	0			2
			1			3

7.3.3 メモリインタフェース

本 LSI のメモリインタフェースには、ROM、SRAM などの直結が可能な基本バスインタフェース、およびバースト ROM の直結が可能なバースト ROM インタフェースがあり、エリア単位で選択することができます。

基本バスインタフェースを設定したエリアが通常空間です。また、バースト ROM インタフェースを設定したエリアがバースト ROM 空間です。

7.3.4 各エリアのバスインタフェース仕様

各エリアの初期状態は、基本バスインタフェースかつ 3 ステートアクセス空間になっています。バス幅の初期状態は動作モードで選択します。ここで説明しているバス仕様に関しては、基本的なことについてのみ記載していますので、必ず「7.4 基本バスインタフェース」、「7.5 バースト ROM インタフェース」の各メモリインタフェースの項目を確認してください。

(1) エリア 0

エリア 0 は内蔵 ROM を含んでおり、ROM 無効拡張モードでは、エリア 0 のすべての空間が外部空間となります。ROM 有効拡張モードでは、内蔵 ROM を除いた空間が外部空間となります。

エリア 0 は、基本バスインタフェースまたはバースト ROM インタフェースを選択することができます。

(2) エリア 1～6

エリア 1～6 は外部拡張モードのとき、エリア 1～6 のすべての空間が外部空間となります。

エリア 1～6 は、基本バスインタフェースのみを使用することができます。

(3) エリア 7

エリア 7 は内蔵 RAM および内部 I/O レジスタを含んでおり、外部拡張モードのとき、内蔵 RAM および内部 I/O レジスタ空間を除いた空間が外部空間となります。なお、内蔵 RAM はシステムコントロールレジスタ (SYSCR) の RAME ビットを 1 にセットしたとき有効で、RAME ビットを 0 にクリアすると、内蔵 RAM は無効になり、対応するアドレスは外部空間になります。

エリア 7 のメモリインタフェースには、基本バスインタフェースのみを使用することができます。

7.4 基本バスインタフェース

7.4.1 概要

基本バスインタフェースは、ROM、SRAM などの直結が可能です。

ABWCR、ASTCR、WCRH、WCRL によってバス仕様を選択できます。表 7.3 を参照してください。

7.4.2 データサイズとデータアライメント

CPU およびその他の内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラは、データアライメント機能を持っており、外部空間をアクセスするとき、上位側データバス（D15～D8）を使用するか、下位側データバス（D7～D0）を使用するかを、アクセスするエリアのバス仕様（8 ビットアクセス空間か 16 ビットアクセス空間）とデータサイズによって制御します。

(1) 8 ビットアクセス空間

図 7.3 に 8 ビットアクセス空間のデータアライメント制御を示します。8 ビットアクセス空間では、常に上位側データバス（D15～D8）を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

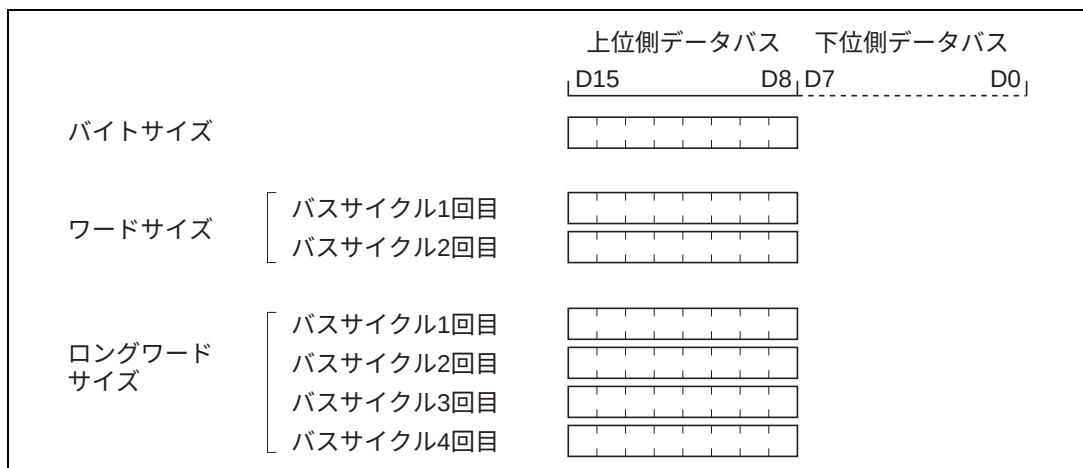


図 7.3 アクセスサイズとデータアライメント制御（8 ビットアクセス空間）

(2) 16 ビットアクセス空間

図 7.4 に 16 ビットアクセス空間のデータアライメント制御を示します。16 ビットアクセス空間では、上位側データバス（D15～D8）および下位側データバス（D7～D0）を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスは、ワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか、下位側データバスを使用するかは、アドレスの偶数／奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

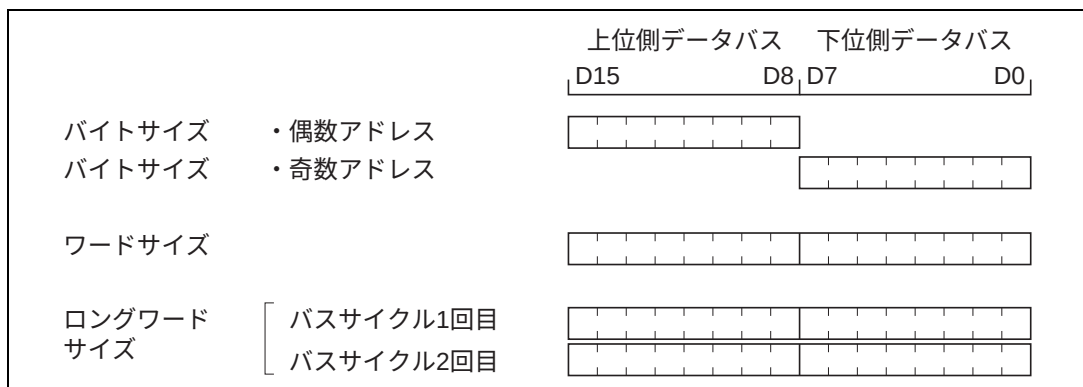


図 7.4 アクセスサイズとデータアライメント制御（16 ビットアクセス空間）

7.4.3 有効ストローブ

表 7.4 にアクセス空間と、使用するデータバスおよび有効なストローブを示します。

リード時には、データバスの上位側、下位側の区別なく、RD 信号が有効です。

ライト時には、データバスの上位側に対して HWR 信号が、下位側に対して LWR 信号が有効です。

表 7.4 使用するデータバスと有効ストローブ

エリア	アクセス サイズ	リード/ ライト	アドレス	有効な ストローブ	データバス上位 (D15～D8)	データバス下位 (D7～D0)
8 ビット アクセス空間	バイト	リード	—	RD	有効	無効
		ライト	—	HWR		Hi-Z
16 ビット アクセス空間	バイト	リード	偶数	RD	有効	無効
			奇数		無効	有効
		ライト	偶数	HWR	有効	Hi-Z
			奇数	LWR	Hi-Z	有効
	ワード	リード	—	RD	有効	有効
		ライト	—	HWR、LWR	有効	有効

【注】 Hi-Z：ハイインピーダンス状態です。

無効：入力状態であり、入力値は無視されます。

7.4.4 基本タイミング

(1) 8 ビット 2 ステートアクセス空間

図 7.5 に 8 ビット 2 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側（D15～D8）を使用します。

$\overline{\text{LWR}}$ 端子は常に High レベルに固定されます。ウェイトステートを挿入することはできません。

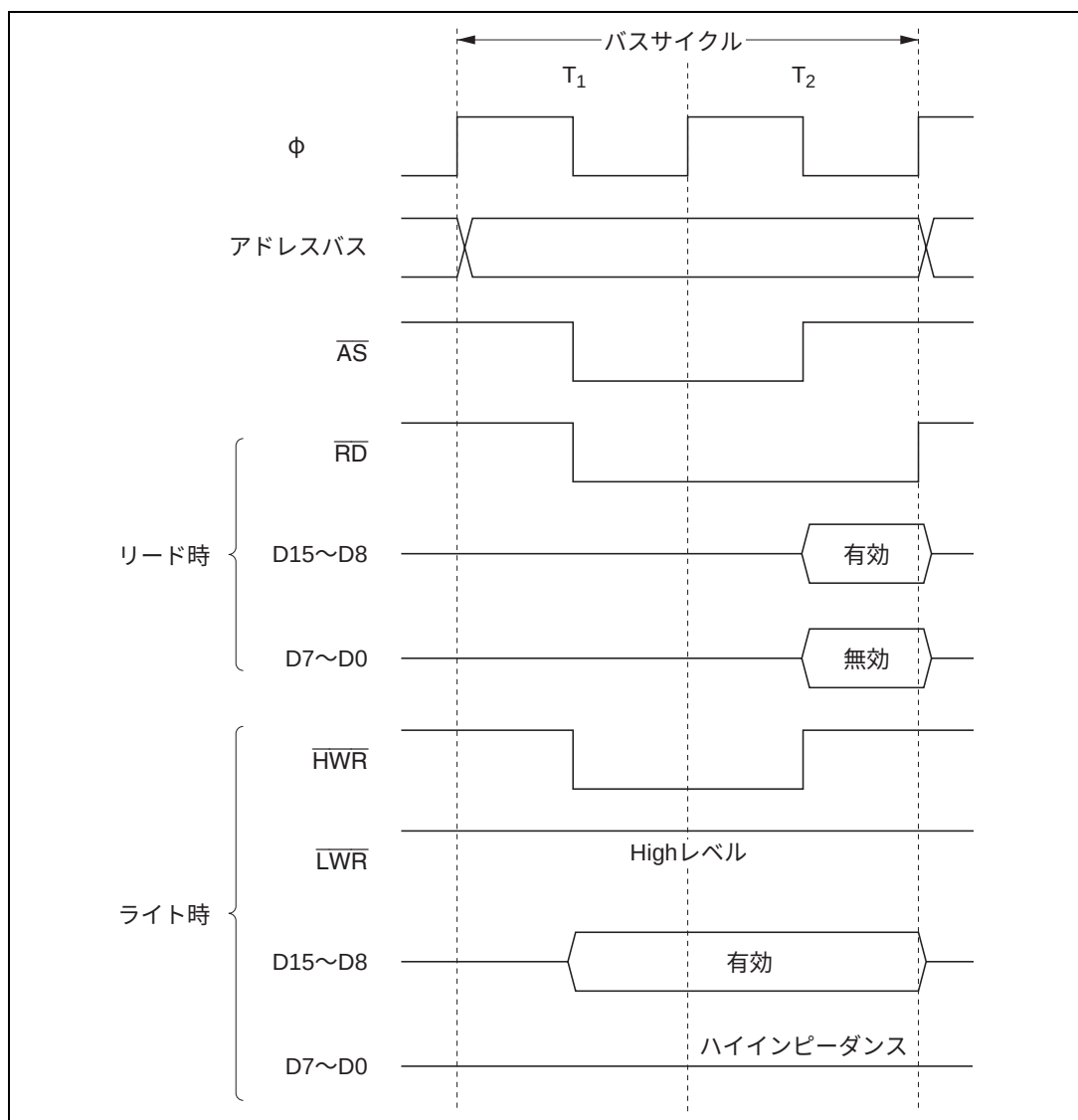


図 7.5 8 ビット 2 ステートアクセス空間のバスタイミング

(2) 8 ビット 3 ステートアクセス空間

図 7.6 に 8 ビット 3 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。

$\overline{\text{LWR}}$ 端子は常に High レベルに固定されます。ウェイトステートを挿入することができます。

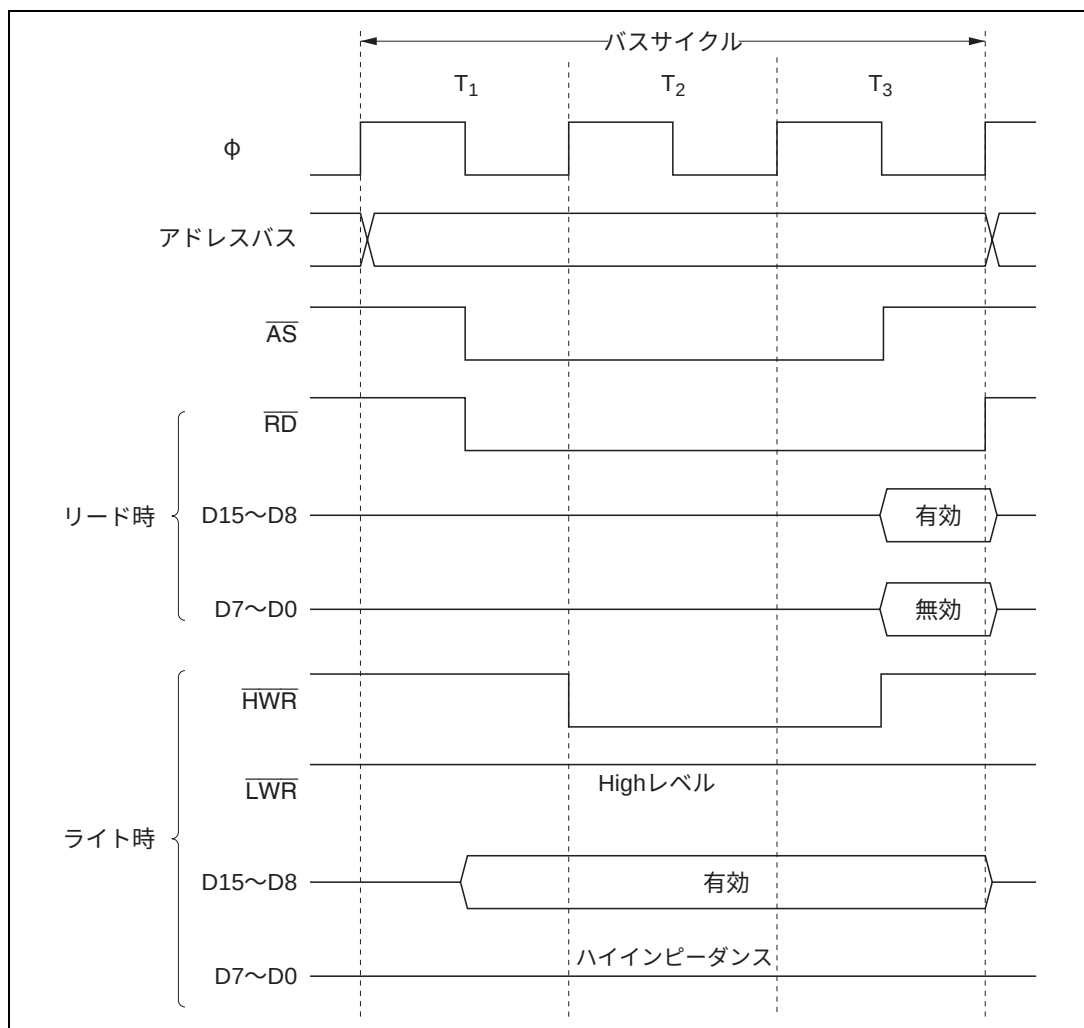


図 7.6 8 ビット 3 ステートアクセス空間のバスタイミング

(3) 16 ビット 2 ステートアクセス空間

図 7.7～図 7.9 に 16 ビット 2 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側（D15～D8）を使用し、奇数アドレスに対してはデータバスは下位側（D7～D0）を使用します。

ウェイトステートを挿入することはできません。

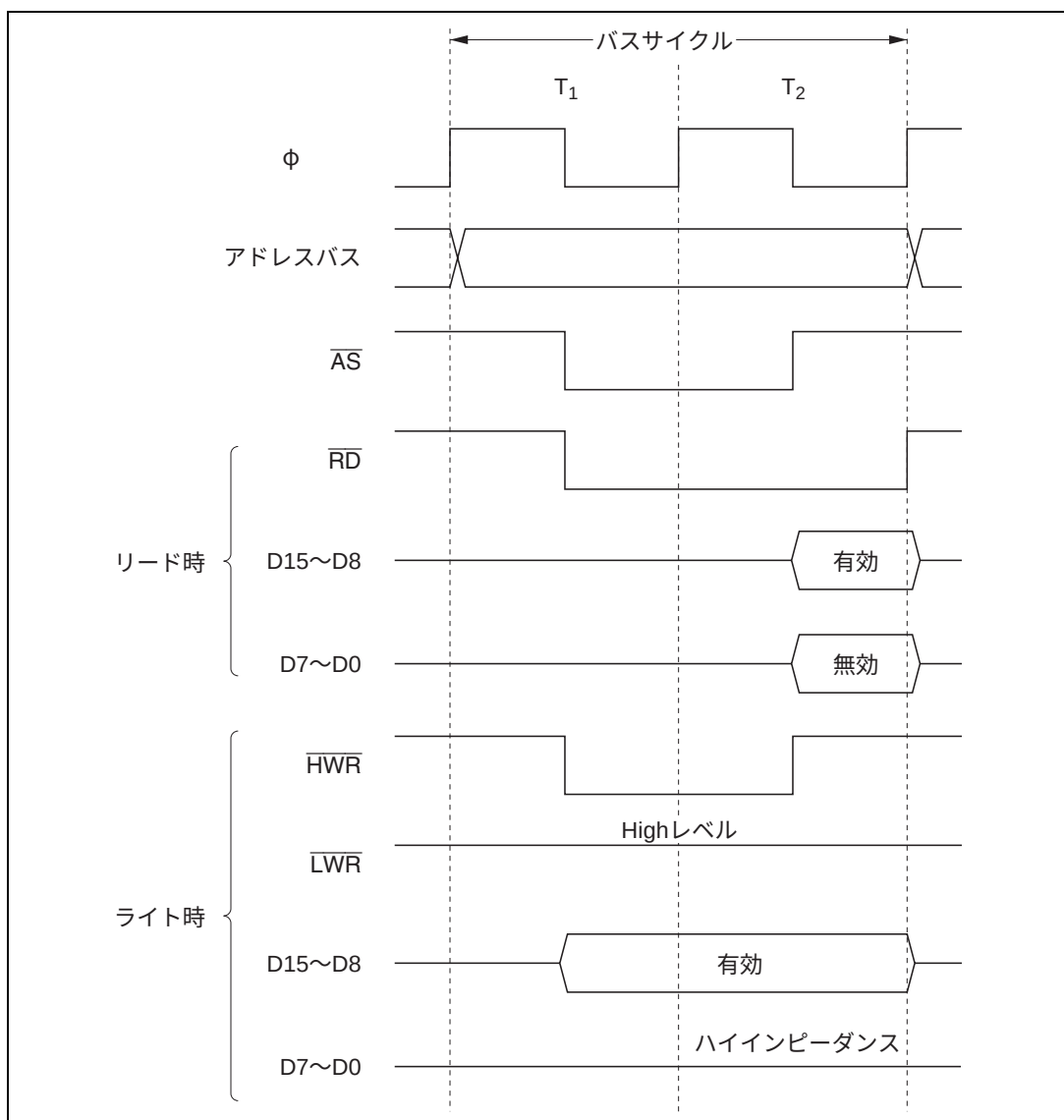


図 7.7 16 ビット 2 ステートアクセス空間のバスタイミング (1)
(偶数アドレスバイトアクセス)

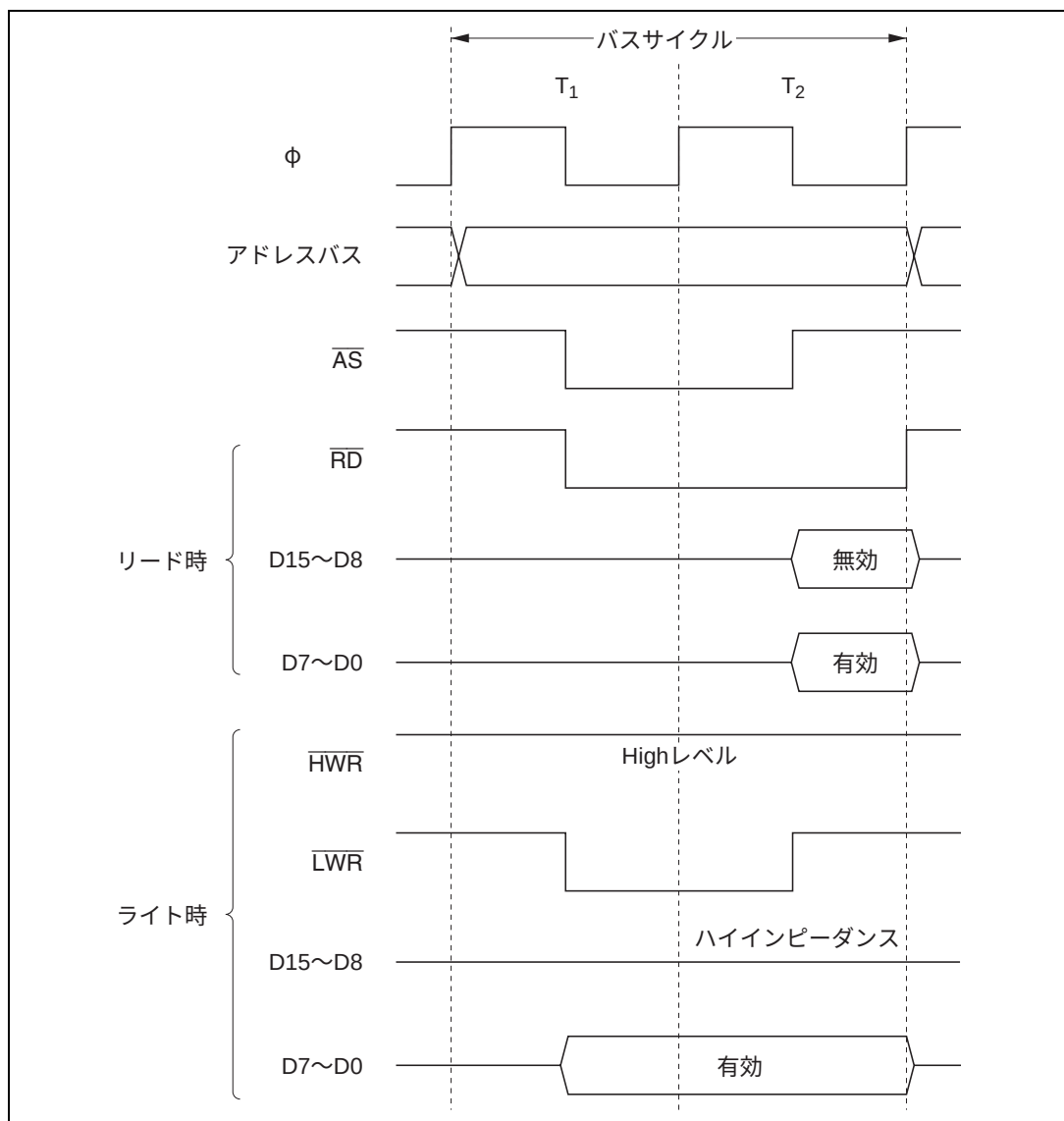


図 7.8 16 ビット 2 ステートアクセス空間のバスタイミング (2)
(奇数アドレスバイトアクセス)

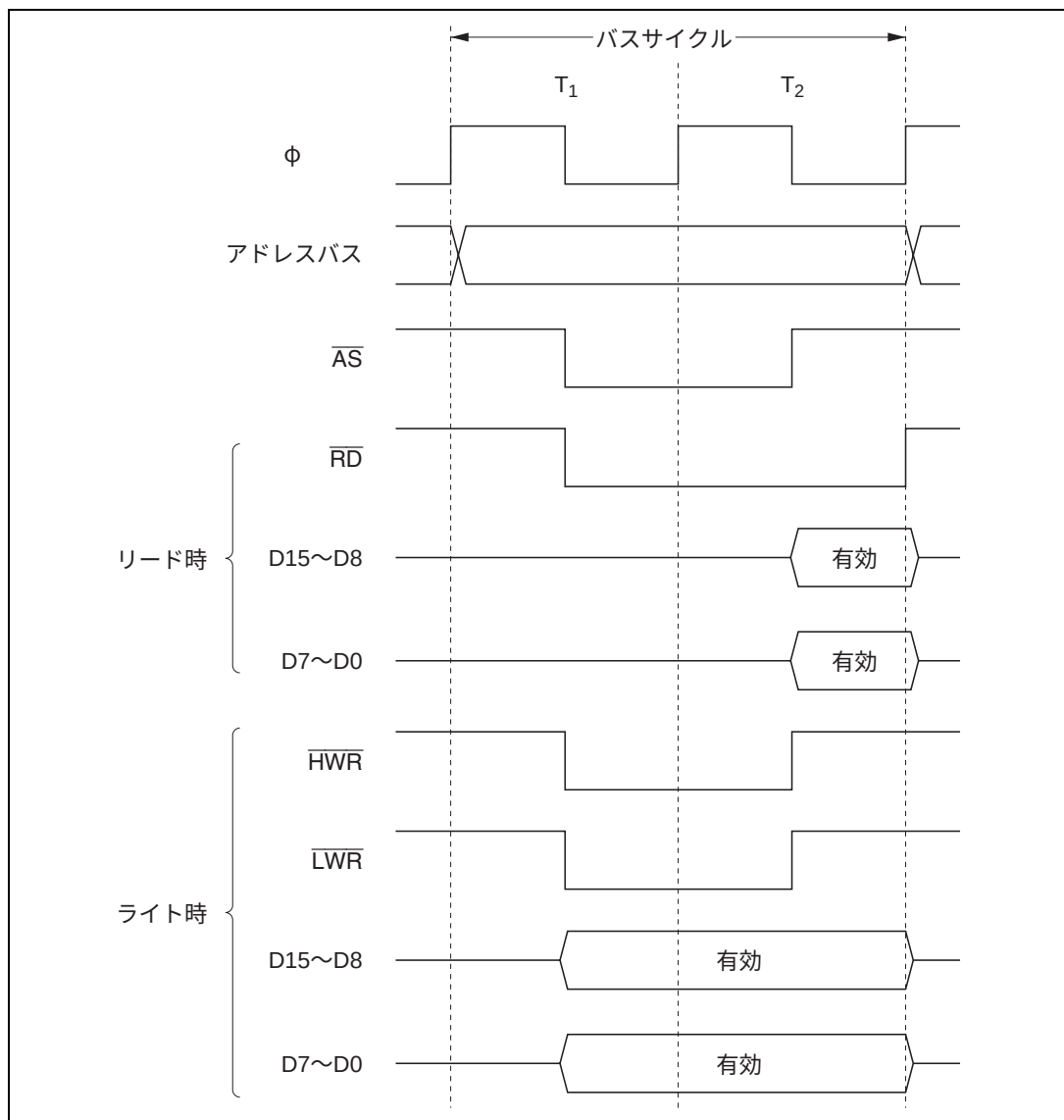


図 7.9 16 ビット 2 ステートアクセス空間のバスタイミング (3)
(ワードアクセス)

(4) 16 ビット 3 ステートアクセス空間

図 7.10～図 7.12 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15～D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7～D0) を使用します。

ウェイトステートを挿入することができます。

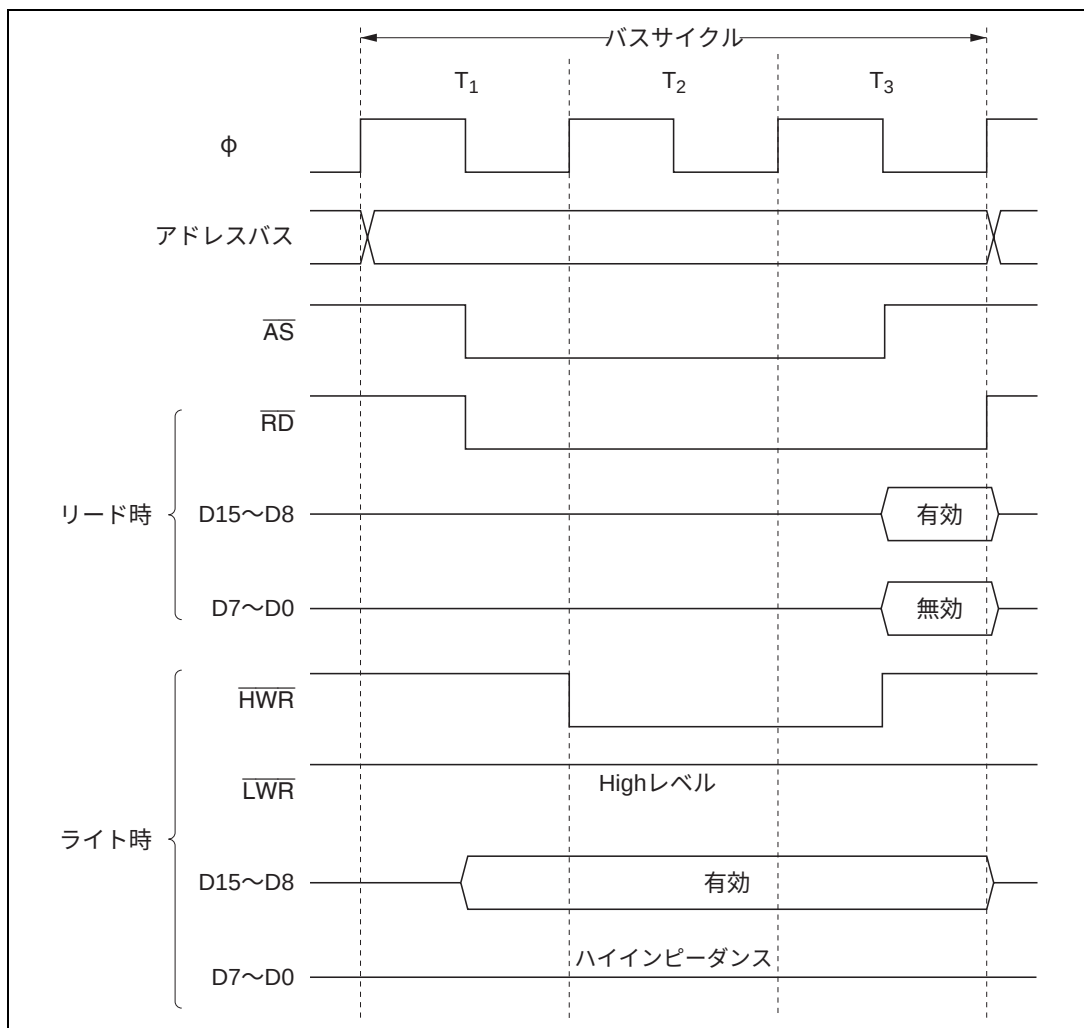


図 7.10 16 ビット 3 ステートアクセス空間のバスタイミング (1)
(偶数アドレスバイトアクセス)

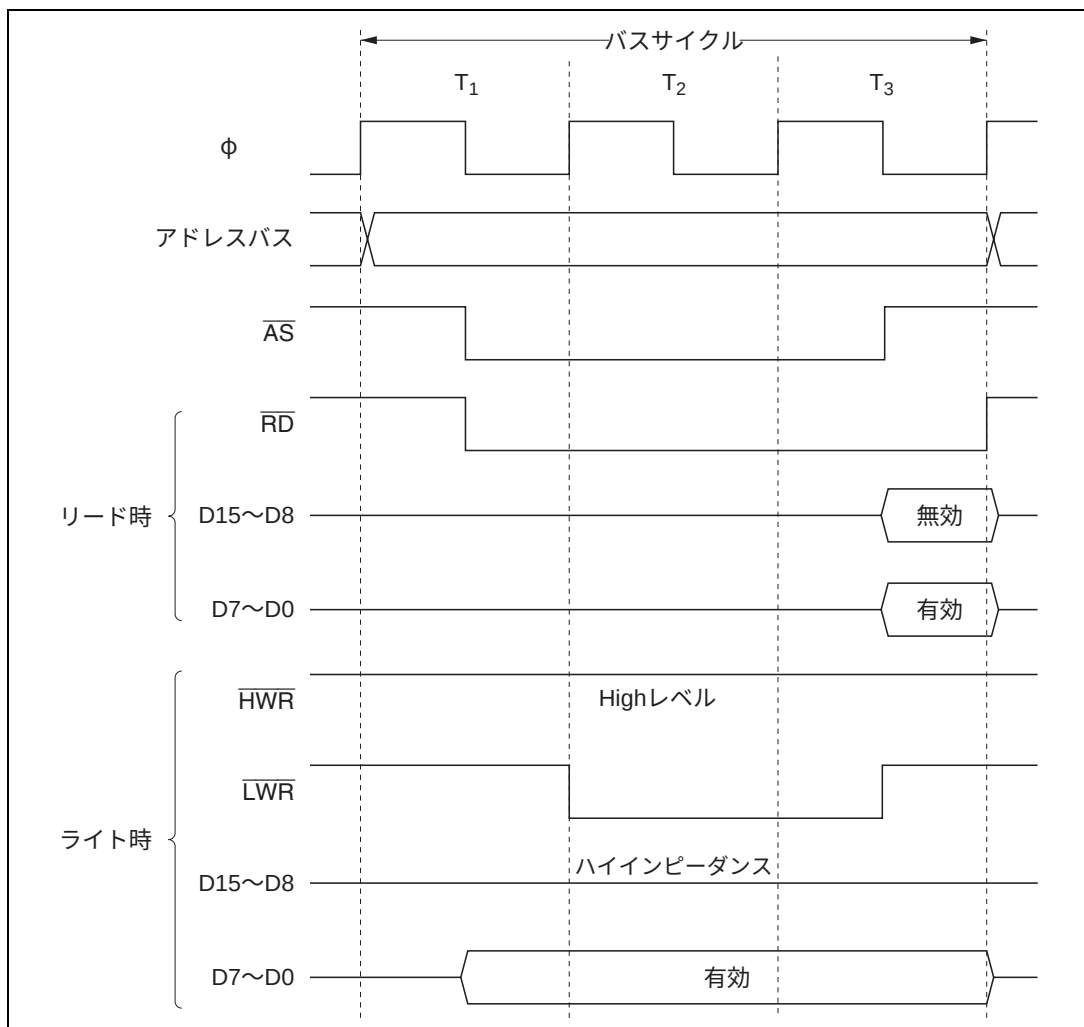


図 7.11 16 ビット 3 ステートアクセス空間のバスタイミング (2)
(奇数アドレスバイトアクセス)

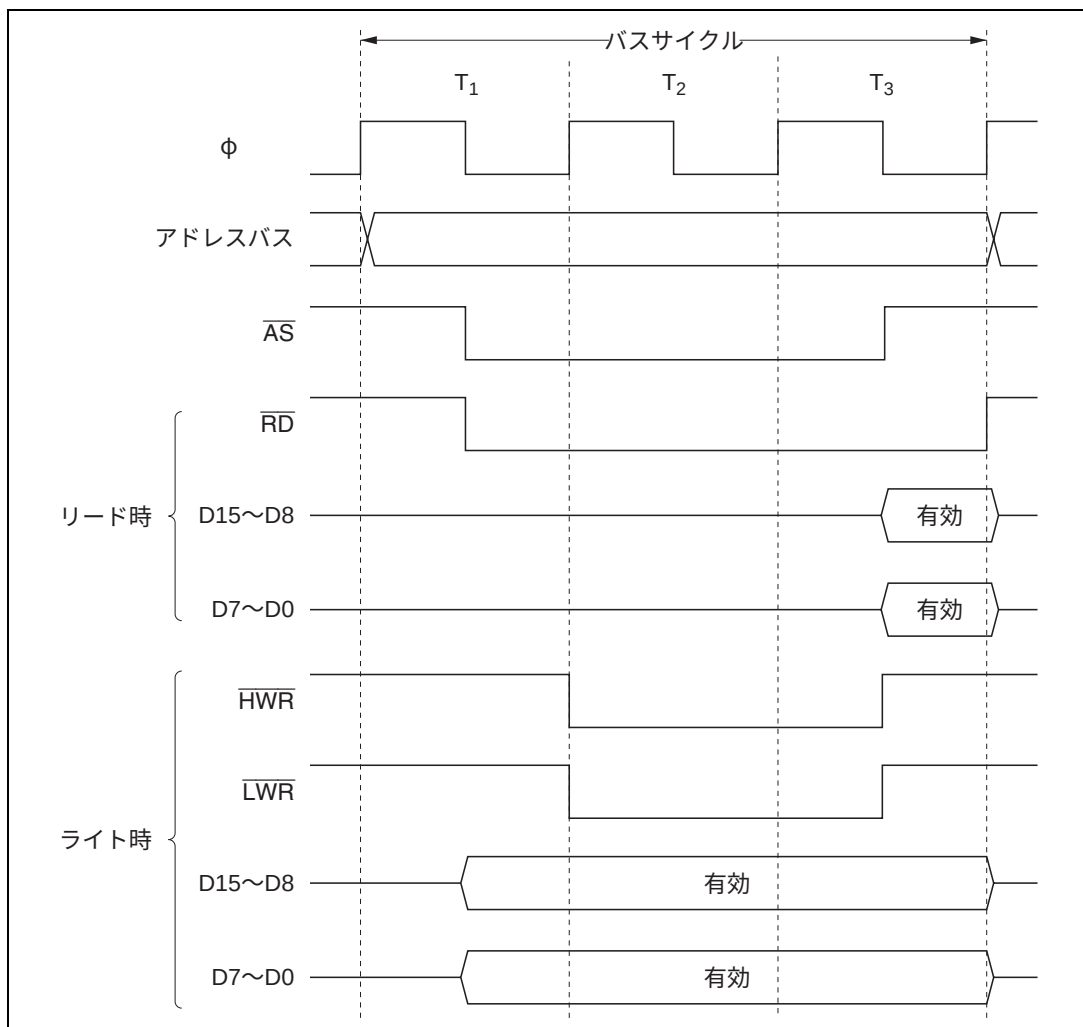


図 7.12 16 ビット 3 ステートアクセス空間のバスタイミング (3)
(ワードアクセス)

7.4.5 ウェイト制御

本 LSI は、外部空間をアクセスするときウェイトステート (T_w) を挿入してバスサイクルを引き延ばすことができます。ウェイトステートを挿入する方法には、(1) プログラムウェイトの挿入、(2) $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入、があります。

(1) プログラムウェイトの挿入

WCRH、WCRL の設定により、3 ステートアクセス空間に対して、エリア単位で 0~3 ステートのウェイトステートを自動的に T_2 ステートと T_3 ステートの間に挿入することができます。

(2) 端子ウェイトの挿入

BCRH の WAITE ビットを 1 にセットすると、 $\overline{\text{WAIT}}$ 端子によるウェイト入力が有効になります。この状態で、外部空間をアクセスすると、まず、WCRH、WCRL の設定に従ってプログラムウェイトが挿入されます。続いて T_2 または T_w の最後のステートの ϕ の立ち下りのタイミングで、 $\overline{\text{WAIT}}$ 端子が Low レベルであると、 T_w が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルになるまで T_w が挿入されます。

4 ステート以上の T_w を挿入する場合や、外部デバイスごとに挿入する T_w 数を変える場合などに有効です。

なお、WAITE ビットはすべてのエリアに対して共通です。

図 7.13 にウェイトステート挿入のタイミング例を示します。

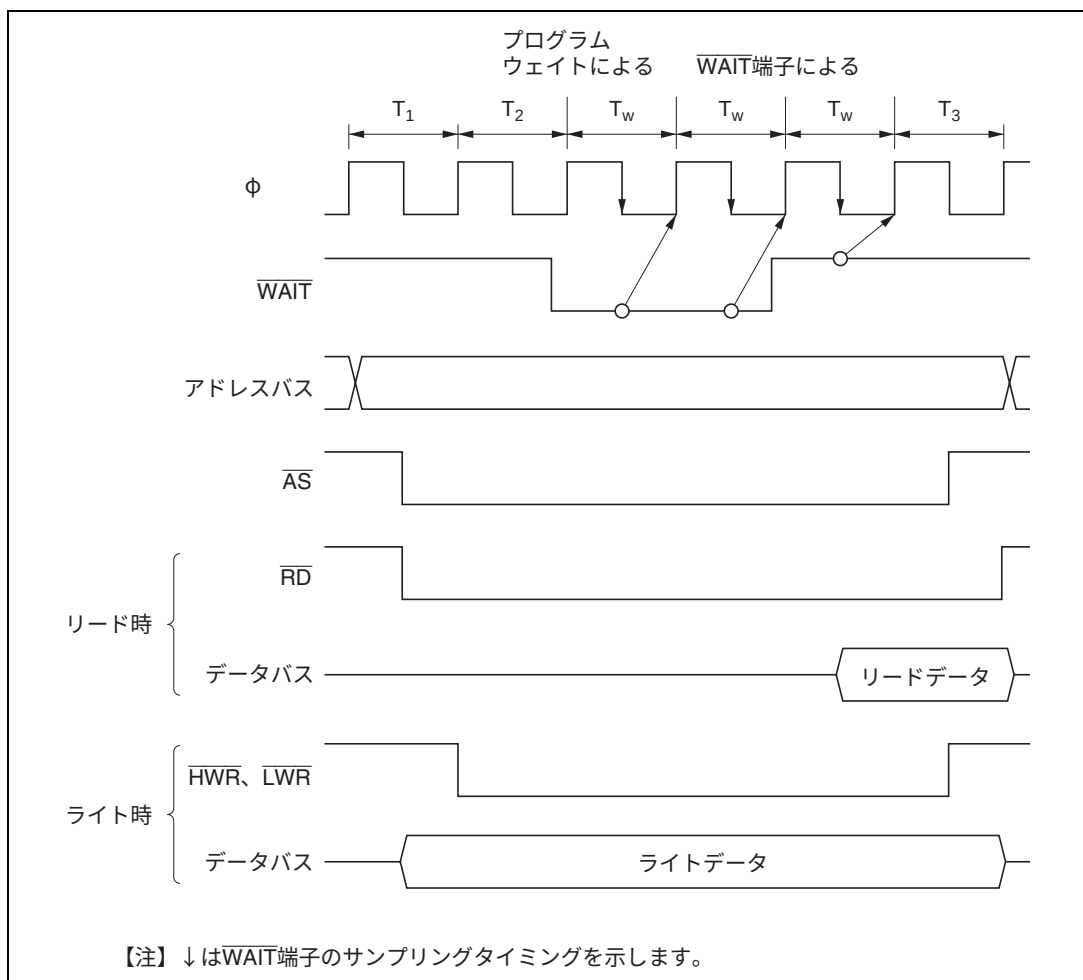


図 7.13 ウェイトステート挿入タイミング例

リセット後は、3 ステートアクセスかつプログラムウェイト 3 ステート挿入、WAIT 入力禁止状態となっています。

7.5 バースト ROM インタフェース

7.5.1 概要

本 LSI は、エリア 0 の外部空間をバースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。バースト ROM 空間インタフェースでは、16 ビット構成のバーストアクセス可能な ROM を高速にアクセスすることができます。

BCRH の BRSTRM ビットにより、エリア 0 をバースト ROM 空間に設定します。CPU の命令フェッチに限り最大 4 ワード／8 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートまたは 2 ステートを選択できます。

7.5.2 基本タイミング

バースト ROM インタフェースの、イニシャルサイクル（フルアクセス）のアクセスステート数は ASTCR の AST0 ビットの設定に従います。また、AST0 ビットを 1 にセットした場合は、ウェイトステートを挿入することもできます。バーストサイクルは、BCRH の BRSTS1 ビットの設定により、1 ステートまたは 2 ステートの選択が可能です。ウェイトステートは挿入できません。エリア 0 をバースト ROM 空間に設定した場合、ABWCR の ABW0 ビットの設定によらずエリア 0 は、16 ビットアクセス空間となります。

また、BCRH の BRSTS0 ビットを 0 にクリアすると最大 4 ワードのバーストアクセスを行います。BRSTS0 ビットを 1 にセットすると最大 8 ワードのバーストアクセスを行います。

バースト ROM 空間の基本アクセスタイミングを図 7.14 (a) (b) に示します。

図 7.14 (a) は、AST0 ビット、BRSTS1 ビットをいずれも 1 に設定した場合の例です。

図 7.14 (b) は、AST0 ビット、BRSTS1 ビットをいずれも 0 に設定した場合の例です。

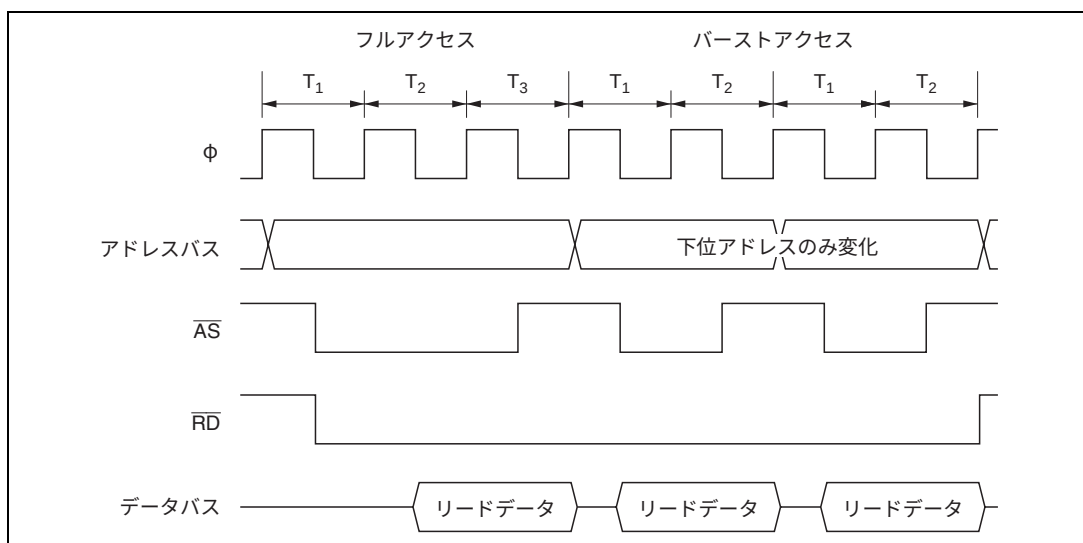


図 7.14 (a) バースト ROM アクセスタイミング例 (AST0=BRSTS1=1 の場合)

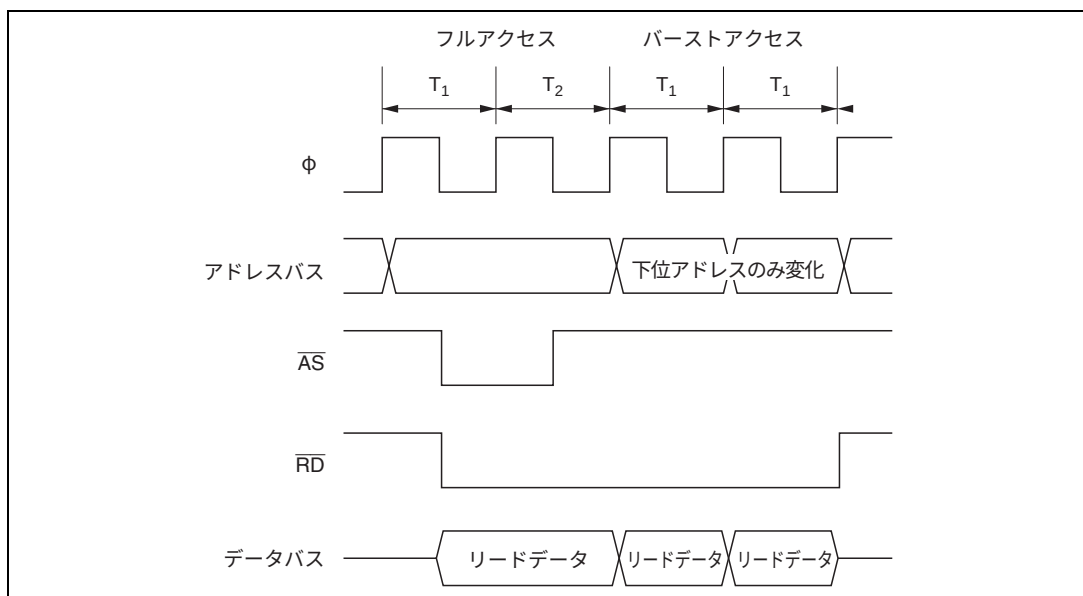


図 7.14 (b) バースト ROM アクセスタイミング例 (AST0=BRSTS1=0 の場合)

7.5.3 ウェイト制御

バースト ROM インタフェースのイニシャルサイクル（フルアクセス）には、基本バスインタフェースと同様に、(1) プログラムウェイトの挿入、(2) $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入、が可能です。「7.4.5 ウェイト制御」を参照してください。

バーストサイクルにはウェイトステートを挿入することはできません。

7.6 アイドルサイクル

7.6.1 動作説明

本 LSI は外部空間をアクセスするとき、(1) 異なるエリア間でリードアクセスが連続して発生したとき、(2) リードサイクルの直後にライトサイクルが発生したとき、の 2 つの場合に、バスサイクルとバスサイクルの間にアイドルサイクル (T_1) を 1 ステート挿入することができます。アイドルサイクルを挿入することにより、たとえば出力フローティング時間の大きい ROM などと、高速メモリ、I/O インタフェースなどとのデータ衝突を防ぐことができます。

(1) 異なるエリア間での連続リード

BCRH の ICIS1 ビットを 1 にセットした状態で、異なるエリア間の連続リードが発生すると、2 回目のリードサイクルの先頭に、アイドルサイクルが挿入されます。

図 7.15 に動作例を示します。バスサイクル A は、出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は SRAM からのリードサイクルで、それぞれ異なるエリアに配置した場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと SRAM からのリードデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

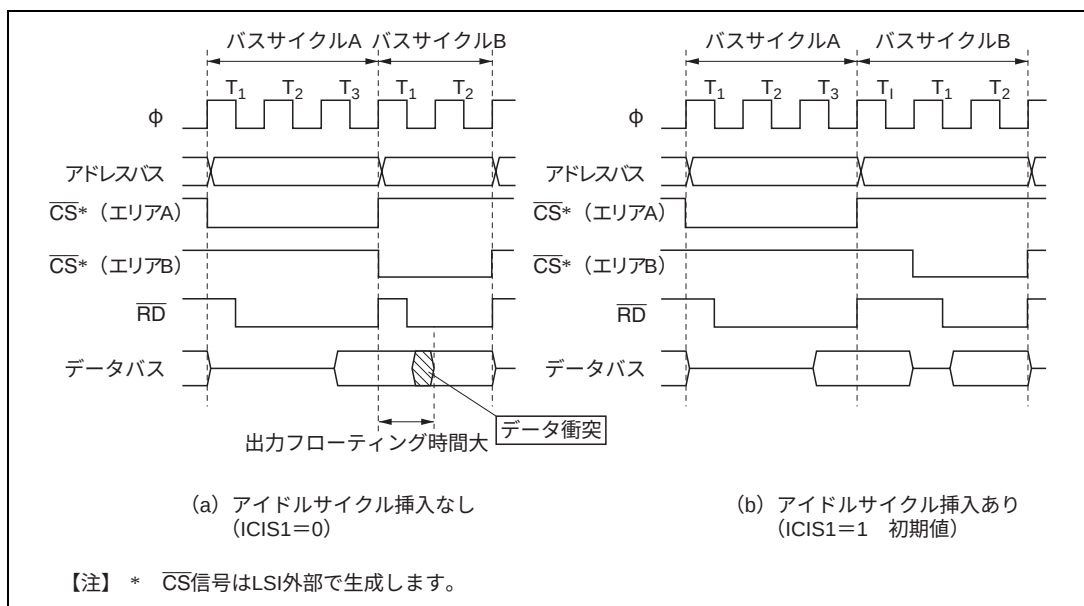


図 7.15 アイドルサイクル動作例 (1)

(2) リード後のライト

BCRH の ICIS0 ビットを 1 にセットした状態で、外部リード後に外部ライトが発生すると、ライトサイクルの先頭にアイドルサイクルが挿入されます。

図 7.16 に動作例を示します。バスサイクル A は、出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で、ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

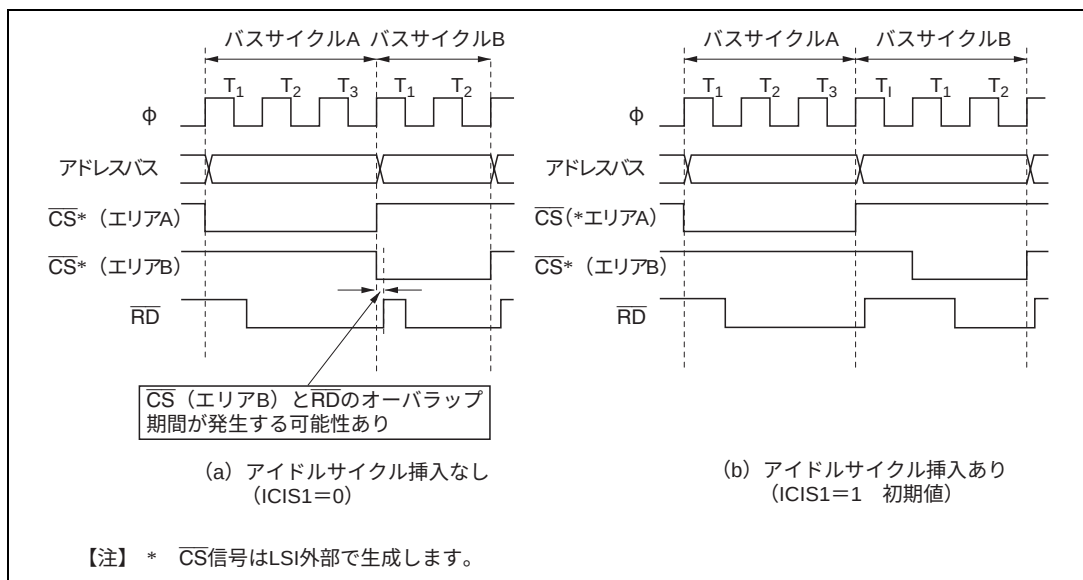


図 7.16 アイドルサイクル動作例 (2)

(3) チップセレクト ($\overline{CS}$) 信号*とリード ($\overline{RD}$) 信号の関係

システムの負荷条件によっては、 $\overline{CS}$ 信号*よりも $\overline{RD}$ 信号の方が遅れる場合があります。図 7.17 に例を示します。

このような場合、(a) のアイドルサイクルを挿入しない設定では、バスサイクル A の $\overline{RD}$ 信号とバスサイクル B の $\overline{CS}$ 信号間でオーバーラップが発生する可能性があります。

これに対し、(b) のようにアイドルサイクルを挿入する設定にすれば、 $\overline{RD}$ 信号と $\overline{CS}$ 信号のオーバーラップを回避することができます。

なお、リセット解除後の初期状態は、(b) のアイドルサイクルを挿入する設定となっています。

【注】 * $\overline{CS}$ 信号は LSI 外部で生成します。

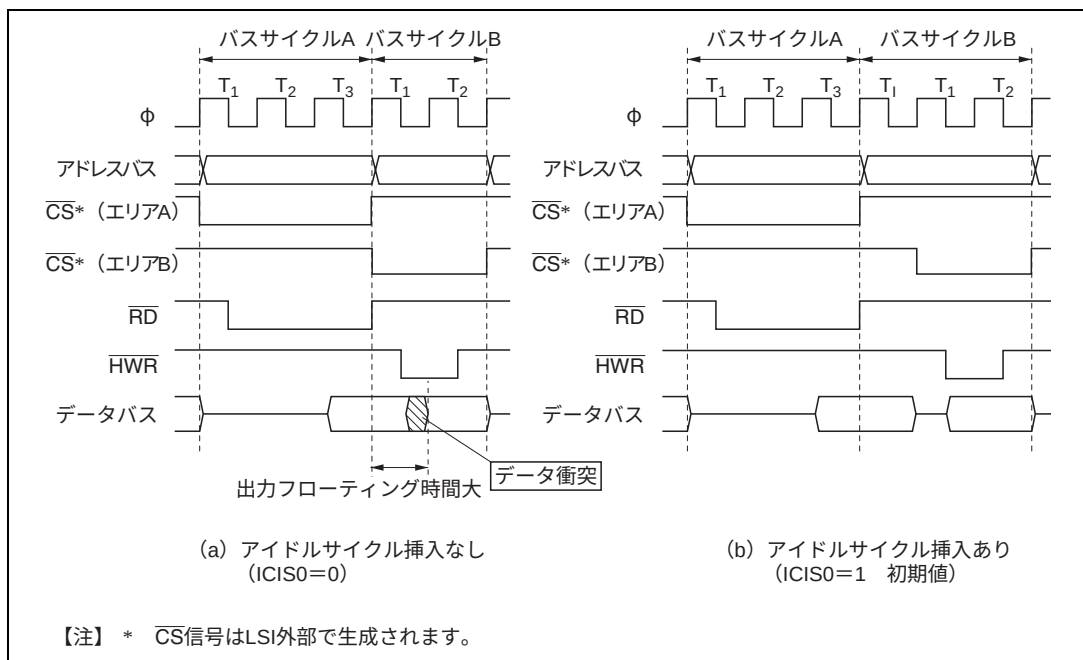


図 7.17 チップセレクト ($\overline{CS}$) *とリード ($\overline{RD}$) の関係

7.6.2 アイドルサイクルでの端子状態

アイドルサイクルでの端子状態を表 7.5 に示します。

表 7.5 アイドルサイクルでの端子状態

端子名	端子の状態
A23~A0	直後のバスサイクルの内容
D15~D0	ハイインピーダンス
AS	High レベル
$\overline{RD}$	High レベル
HWR	High レベル
LWR	High レベル

7.7 ライトデータバッファ機能

本 LSI は外部データバスにライトデータバッファ機能を備えています。ライトデータバッファ機能を使用すると、外部ライトと内部アクセスを並行して実行することができます。BCRL の WDBE ビットを 1 にセットすると、ライトデータバッファ機能を使用することができます。

図 7.18 にライトデータバッファ機能を使用したときのタイミング例を示します。この機能を使用したとき、外部ライトが 2 ステート以上続き、次に内部アクセスがある場合、最初の 1 ステートは外部ライトのみが実行されますが、次のステートから外部ライトの終了を待たずに内部アクセス（内蔵メモリ、内部 I/O レジスタのリード／ライト）が並行して実行されます。

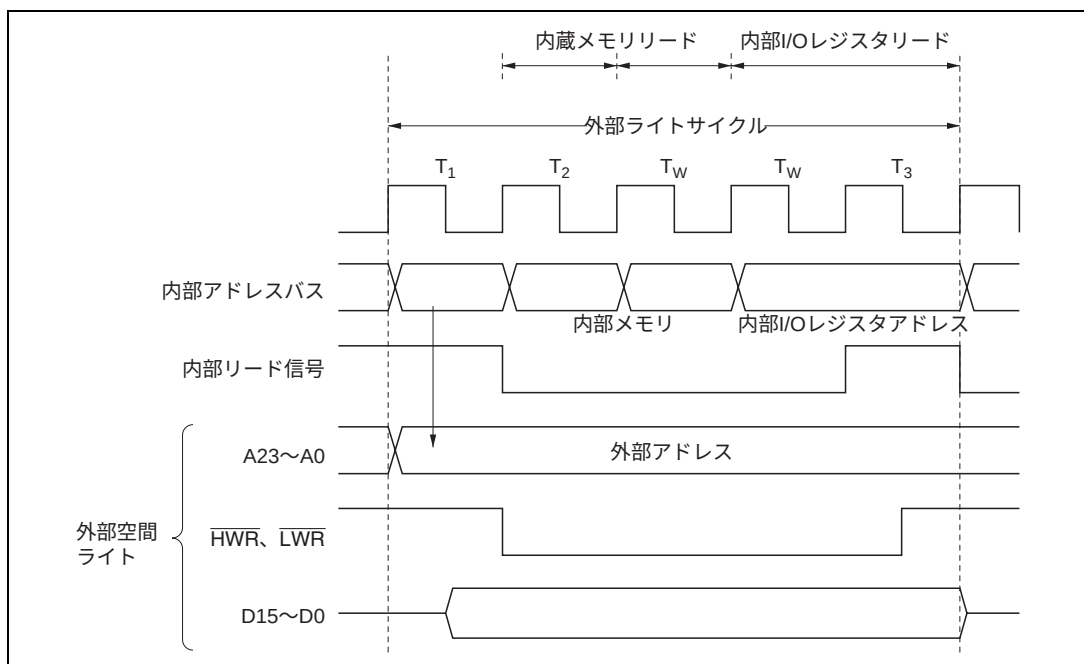


図 7.18 ライトデータバッファ機能使用時のタイミング例

7.8 バスアービトレーション

7.8.1 概要

本 LSI はバスマスタの動作を調停(バスアービトレーション)するバスアービタを内蔵しています。バスマスタは、CPU、DTC の 2 つがあり、バス権を占有した状態でリード／ライト動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。バスマスタはバス権を獲得して動作します。

7.8.2 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていれば、そのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位：

(高) DTC > CPU (低)

7.8.3 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタにはバス権を譲ることができるタイミングがあります。

(1) CPU

CPU は最も優先順位が低いバスマスタで、DTC からのバス権要求があると、バスアービタはバス権をバス権の要求のあったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

- (a) バスサイクルの切れ目で、バス権を移行します。ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合などには、分割されたバスサイクルの切れ目では、バス権は移行しません。バス権を移行しないタイミングは「付録A.5 命令実行中のバス状態」を参照してください。
- (b) CPUがスリープモードの場合、直ちにバス権を移行します。

(2) DTC

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。

DTC がバス権を解放できるのは、ベクタのリード後、レジスタ情報のリード（3 ステート）後、1 回のデータ転送後、レジスタ情報のライト（3 ステート）後です。レジスタ情報のリード（3 ステート）中、1 回のデータ転送中、レジスタ情報のライト（3 ステート）中にはバスを解放しません。

7.9 リセットとバスコントローラ

リセットでは、バスコントローラを含めて、本 LSI はその時点でリセット状態になります。実行中のバスサイクルは途中で打ち切られます。

8. データトランスファコントローラ (DTC)

8.1 概要

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

8.1.1 特長

■任意チャネル数の転送可能

- メモリ上に転送情報を格納
- 1 つの起動要因に対して複数のデータ転送が可能 (チェイン転送)

■豊富な転送モード

- ノーマルモード／リピートモード／ブロック転送モードの選択が可能
- 転送元、転送先アドレスのインクリメント／デクリメント／固定の選択が可能

■16M バイトのアドレス空間を直接指定可能

- 転送元、転送先アドレスを 24 ビットで指定

■転送単位をバイト／ワードに設定可能

■DTC を起動した割り込みを CPU に要求可能

- 1 回のデータ転送の終了後に、CPU に対する割り込み要求を発生可能
- 指定したデータ転送のすべての終了後に、CPU に対する割り込み要求を発生

■ソフトウェアによる起動が可能

■モジュールストップモードの設定可能

- 初期値では DTC のレジスタのアクセスが可能。モジュールストップモードの設定により DTC の動作は停止

8.1.2 ブロック図

DTC のブロック図を図 8.1 に示します。

DTC のレジスタ情報は内蔵 RAM に配置されます*。DTC と内蔵 RAM (1k バイト) 間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード/ライトを 32 ビット 1 ステートで実行できます。

【注】* DTC を使用するときには、必ず SYSCR の RAME ビットを 1 にセットしてください。

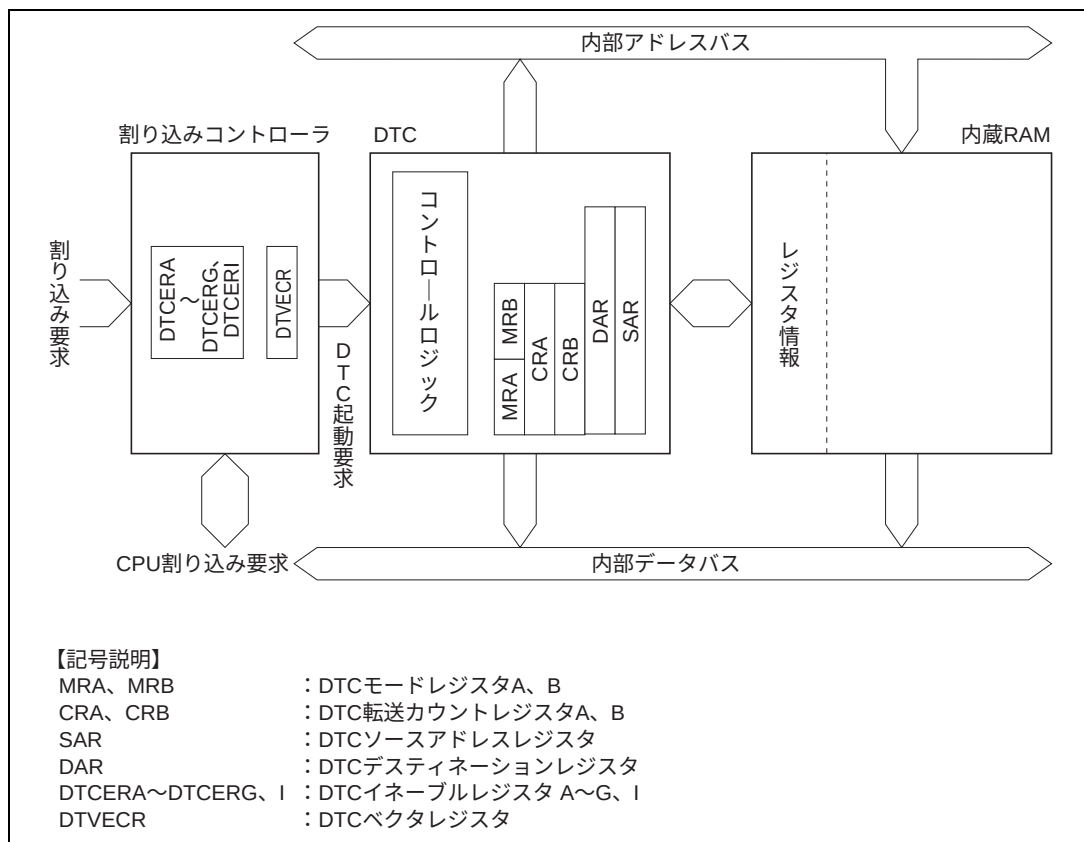


図 8.1 DTC のブロック図

8.1.3 レジスタ構成

DTC のレジスタ構成を表 8.1 に示します。

表 8.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス* ¹
DTC モードレジスタ A	MRA	—* ²	不定	—* ³
DTC モードレジスタ B	MRB	—* ²	不定	—* ³
DTC ソースアドレスレジスタ	SAR	—* ²	不定	—* ³
DTC デスティネーションアドレスレジスタ	DAR	—* ²	不定	—* ³
DTC 転送カウントレジスタ A	CRA	—* ²	不定	—* ³
DTC 転送カウントレジスタ B	CRB	—* ²	不定	—* ³
DTC イネーブルレジスタ	DTCER	R/W	H'00	H'FE16～ H'FE1E
DTC ベクタレジスタ	DTVECR	R/W	H'00	H'FE1F
モジュールストップコントロールレジスタ A	MSTPCRA	R/W	H'3F	H'FDE8

【注】 *¹ アドレスの下位 16 ビットを示しています。

*² DTC 内のレジスタは直接リード／ライトできません。

*³ 内蔵 RAM のアドレス H'EBC0～H'EFBF にレジスタ情報として配置します。外部メモリ空間には配置できません。DTC を使用する場合は SYSCR の RAME ビットを 0 にクリアしないでください。

8.2 各レジスタの説明

8.2.1 DTC モードレジスタ A (MRA)

ビット：	7	6	5	4	3	2	1	0
	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	—	—	—	—	—	—	—	—

MRA は 8 ビットのレジスタで、DTC の動作モードの制御を行います。

ビット 7、6：ソースアドレスモード 1、0 (SM1、SM0)

データ転送後に、SAR をインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット 7	ビット 6	説 明
SM1	SM0	
0	—	SAR は固定
1	0	SAR は転送後インクリメント (Sz=0 のとき+1、Sz=1 のとき+2)
	1	SAR は転送後デクリメント (Sz=0 のとき−1、Sz=1 のとき−2)

ビット 5、4：デスティネーションアドレスモード 1、0 (DM1、DM0)

データ転送後に、DAR をインクリメントするか、デクリメントするか、または固定とするかを指定します。

ビット 5	ビット 4	説 明
DM1	DM0	
0	—	DAR は固定
1	0	DAR は転送後インクリメント (Sz=0 のとき+1、Sz=1 のとき+2)
	1	DAR は転送後デクリメント (Sz=0 のとき-1、Sz=1 のとき-2)

ビット 3、2：DTC モード (MD1、MD0)

DTC の転送モードを指定します。

ビット 3	ビット 2	説 明
MD1	MD0	
0	0	ノーマルモード
	1	リピートモード
1	0	ブロック転送モード
	1	—

ビット 1：DTC 転送モードセレクト (DTS)

リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のいずれをリピート領域またはブロック領域とするかを指定します。

ビット 1	説 明
DTS	
0	デスティネーション側がリピート領域またはブロック領域
1	ソース側がリピート領域またはブロック領域

ビット 0：DTC データトランスファサイズ (Sz)

データ転送のデータサイズを指定します。

ビット 0	説 明
Sz	
0	バイトサイズ転送
1	ワードサイズ転送

8.2.2 DTC モードレジスタ B (MRB)

ビット：	7	6	5	4	3	2	1	0
	CHNE	DISEL	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	—	—	—	—	—	—	—	—

MRB は 8 ビットのレジスタで、DTC モードの制御を行います。

ビット 7：DTC チェイン転送イネーブル (CHNE)

チェイン転送を指定します。チェイン転送では、1 回の要求に対し複数のデータ転送を連続して行うことができます。

CHNE=1 に設定したデータ転送では、指定した転送回数の終了の判定や割り込み要因フラグのクリアや DTCER のクリアは行いません。

ビット 7	説明
CHNE	
0	DTC データ転送終了 (起動待ち状態)
1	DTC チェイン転送 (新しいレジスタ情報をリードして、データ転送を行う)

ビット 6：DTC インタラプトセレクト (DISEL)

1 回のデータ転送後に CPU への割り込み要求の禁止または許可を指定します。

ビット 6	説明
DISEL	
0	DTC データ転送終了後、転送カウンタが 0 でなければ、CPU への割り込みを禁止 (DTC は、起動要因となった割り込み要因フラグを 0 にクリア)
1	DTC データ転送終了後、CPU への割り込みを許可 (DTC は、起動要因となった割り込み要因フラグを 0 にクリアしない)

ビット 5～0：リザーブビット

本 LSI では、DTC の動作に影響を与えません。0 をライトしてください。

8.2.3 DTC ソースアドレスレジスタ (SAR)

ビット：	23	22	21	20	19	---	4	3	2	1	0
	☐	☐	☐	☐	☐	---	☐	☐	☐	☐	☐
初期値：	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W	—	—	—	—	—	---	—	—	—	—	—

SAR は 24 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

8.2.4 DTC デスティネーションアドレスレジスタ (DAR)

ビット：	23	22	21	20	19	---	4	3	2	1	0
	☐	☐	☐	☐	☐	---	☐	☐	☐	☐	☐
初期値：	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W	—	—	—	—	—	---	—	—	—	—	—

DAR は 24 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

8.2.5 DTC 転送カウントレジスタ A (CRA)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

←
CRAH
→
CRAL
→

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマルモードでは、一括して 16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

リピートモードおよびブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。CRAL は、1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。この動作を繰り返します。

8.2.6 DTC 転送カウントレジスタ B (CRB)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

CRB は 16 ビットのレジスタで、ブロック転送モードのとき、DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送カウンタ (1~65536) として機能し、1 回のデータ転送を行うたびに、デクリメント (−1) され、カウンタ値が H'0000 になると転送を終了します。

8.2.7 DTC イネーブルレジスタ (DTCER)

ビット：	7	6	5	4	3	2	1	0
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DTCER は、DTC によって起動される割り込み要因ごとに対応した 8 ビットのリード／ライトが可能な 8 本のレジスタで、DTCERA~DTCERG、DTCERI があります。各割り込み要因による DTC 起動の許可または禁止を制御します。

DTCER はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット n：DTC 起動イネーブル (DTCEn)

ビット n	説明
DTCEn	
0	割り込みによる DTC 起動を禁止 [クリア条件] • DISEL ビットが 1 でデータ転送を終了したとき • 指定した回数の転送が終了したとき (初期値)
1	割り込みによる DTC 起動を許可 [保持条件] DISEL ビットが 0 で、指定した回数の転送が終了していないとき

(n=7~0)

DTCE ビットは、DTC によって起動される各割り込み要因ごとに設定できます。各割り込み要因と DTCE ビットの対応、およびそのときに割り込みコントローラが発生するペクタ番号について表 8.4 に示します。

DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード／ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するときには、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

8.2.8 DTC ベクタレジスタ (DTVECR)

ビット：	7	6	5	4	3	2	1	0
	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0
初期値：	0	0	0	0	0	0	0	0
R/W	R/(W)*1	R/(W)*2	R/(W)*2	R/(W)*2	R/(W)*2	R/(W)*2	R/(W)*2	R/(W)*2

【注】*1 SWDTEビットは、1ライトのみ可能です。

*2 DTVEC6～DTVEC0ビットは、SWDTE=0のときライト可能です。

DTVECR は、8 ビットのリード／ライトが可能なレジスタで、ソフトウェアによる DTC 起動の許可または禁止の設定、およびソフトウェア起動割り込み用ベクタ番号を設定します。

DTVECR はリセットまたはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7：DTC ソフトウェア起動イネーブル (SWDTE)

DTC ソフトウェア起動の許可または禁止を設定します。

ビット 7	説 明
SWDTE	
0	DTC ソフトウェア起動を禁止 (初期値) [クリア条件] • DIESEL ビットが 0 で、指定した回数の転送が終了していないとき • CPU に対し、ソフトウェア起動データ転送終了割り込み (SWDTEND) が要求されたあと、0 をライトしたとき
1	DTC ソフトウェア起動を許可 [保持条件] • DIESEL ビットが 1 で、データ転送を終了したとき • 指定した回数の転送が終了したとき • ソフトウェア起動によるデータ転送中

ビット 6～0：DTC ソフトウェア起動ベクタ 6～0 (DTVEC6～DTVEC0)

DTC ソフトウェア起動のベクタ番号を設定します。

ベクタアドレスは、H'0400+(ベクタ番号)<<1)となります。ここで<<1 は 1 ビットの左シフトを表します。たとえば、DTVEC6～DTVEC0=H'10 のとき、ベクタアドレスは H'0420 となります。

8.2.9 モジュールストップコントロールレジスタ A (MSTPCRA)

ビット：	7	6	5	4	3	2	1	0
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値：	0	0	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRA は 8 ビットのリード／ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPA6 ビットを 1 にセットすると、バスサイクルの終了時点で DTC は動作を停止してモジュールストップモードへ遷移します。ただし、DTC が起動中の場合、MSTPA6 ビットに 1 をライトすることはできません。詳細は、「22.5 モジュールストップモード」を参照してください。

MSTPCRA は、リセットまたはハードウェアスタンバイモード時に H'3F に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 6：モジュールストップ (MSTPA6)

DTC のモジュールストップモードを指定します。

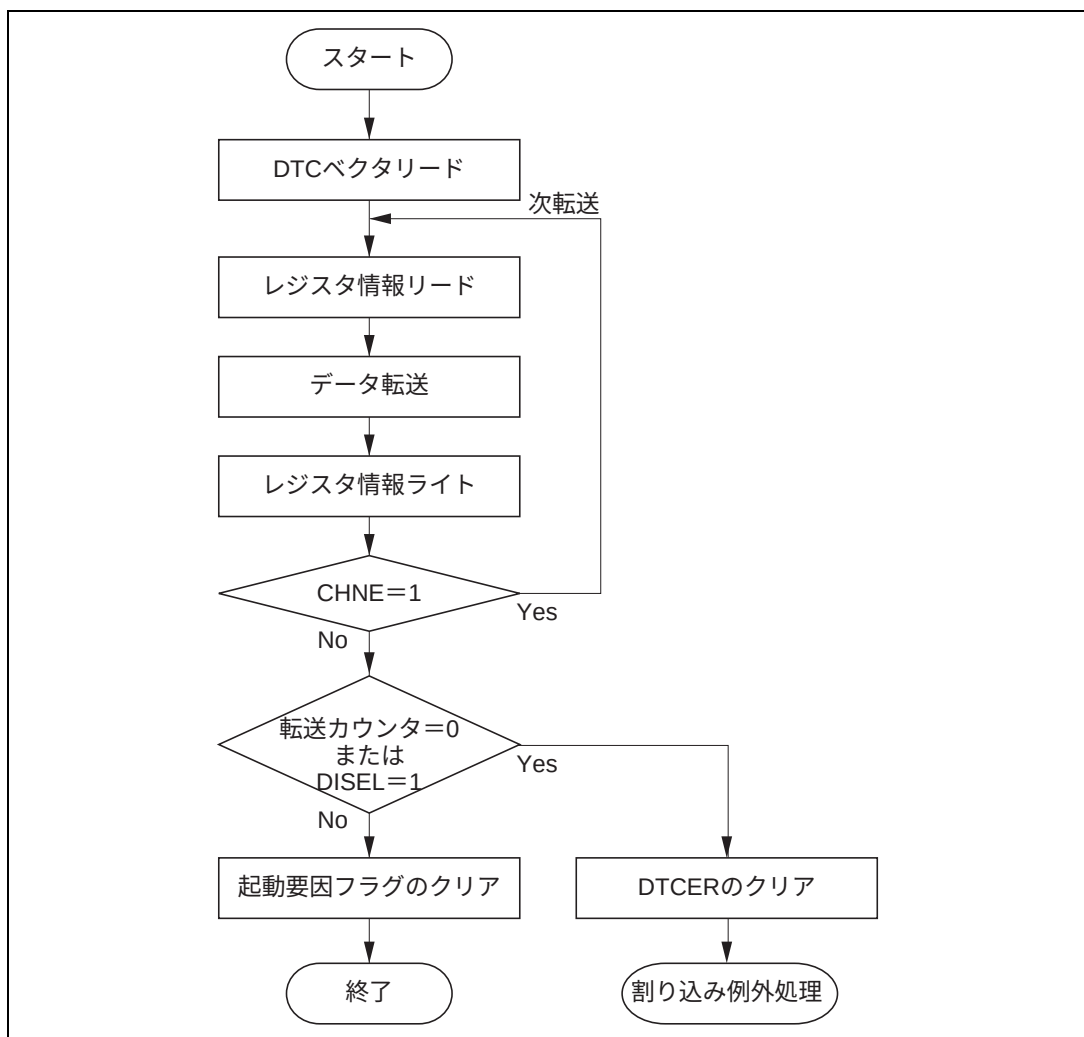
ビット 6	説 明
MSTPA6	
0	DTC のモジュールストップモード解除 (初期値)
1	DTC のモジュールストップモード設定

8.3 動作説明

8.3.1 概要

DTC は、レジスタ情報をメモリ上に格納しておき、起動要因が発生すると、レジスタ情報をリードし、このレジスタ情報に基づいてデータ転送を行います。データ転送後、レジスタ情報をメモリ上にライトします。レジスタ情報をメモリ上に格納しておくことにより、任意チャネル数のデータ転送を行うことができます。また、CHNE ビットを 1 にセットしておくことにより、1つの起動要因で複数の転送を行うことができます。

図 8.2 に DTC の動作フローチャートを示します。



DTC の転送モードには、ノーマルモード、リピートモード、ブロック転送モードがあります。

DTC は、転送元アドレスを 24 ビット長の SAR、転送先アドレスを 24 ビット長の DAR で指定します。SAR、DAR は転送後、それぞれ独立にインクリメントまたはデクリメント、あるいは固定とされます。

表 8.2 に、DTC の機能概要を示します。

表 8.2 DTC の機能概要

転送モード	起動要因	アドレスレジスタ	
		転送元	転送先
(1) ノーマルモード 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 - メモリアドレスを 1 または 2 増減 - 転送回数は 1~65536 (2) リピートモード 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 - メモリアドレスを 1 または 2 増減 - 指定回数 (1~256) 転送後、初期状態を回復して動作を継続 (3) ブロック転送モード 1 回の転送要求で指定したブロックサイズの転送 - ブロックサイズ 1~256 バイトまたはワード - 転送回数は 1~65536 - ソースまたはデスティネーションのいずれかをブロックエリアに指定可能	- IRQ - TPU の TGI - SCI の TXI、RXI - A/D 変換器の ADI - モータコントロール PWM タイマの CMI - HCAN の RM0 (メールボックス 0) - ソフトウェア	24 ビット	24 ビット

8.3.2 起動要因

DTC は、割り込み要因、もしくはソフトウェアによる DTVECR へのライト動作を起動要因として動作します。割り込み要因を、CPU に対する割り込み要求とするか、DTC の起動要因とするかは、割り込み要因ごとに DTCER の対応するビットで指定します。

対応するビットを 1 にセットすると DTC の起動要因となり、0 にクリアすると、CPU の割り込み要因となります。

1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) 終了時に、起動要因または DTCER の対応するビットをクリアします。表 8.3 に起動要因と DTCER のクリアを示します。

起動要因フラグは、たとえば RXI0 の場合、SCI0 の RDRF フラグになります。

表 8.3 起動要因と DTCER のクリア

起動要因	DISEL ビットが 0 で、指定した回数の転送が終了していないとき	DISEL ビットが 1 のとき、または指定した回数の転送が終了したとき
ソフトウェア起動	SWDTE ビットは 0 にクリア	- SWDTE ビットは 1 を保持 - CPU に割り込みを要求
割り込み起動	- DTCER の対応するビットは 1 を保持 - 起動要因フラグは 0 にクリア	- DTCER の対応するビットは 0 にクリア - 起動要因フラグは 1 を保持 - 起動要因となった割り込みを CPU に要求

図 8.3 に、起動要因制御ブロック図を示します。詳細は、「第 5 章 割り込みコントローラ」を参照してください。

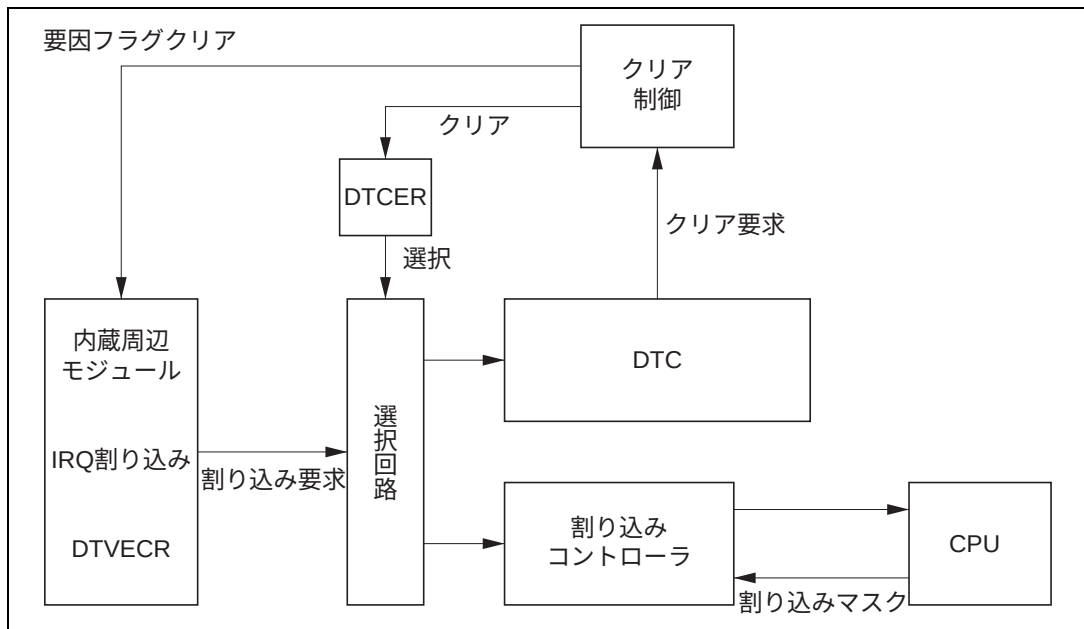


図 8.3 DTC 起動要因制御ブロック図

割り込みを DTC の起動要因に指定した場合、CPU のマスクレベルおよび割り込みコントローラの優先順位の指定の影響を受けません。複数の起動要因が同時に発生した場合には、デフォルトの優先順位に従って受け付けられ、DTC が起動されます。

8.3.3 DTC ベクタテーブル

図 8.4 に、DTC ベクタアドレスとレジスタ情報の対応を示します。

表 8.4 に、起動要因とベクタアドレスの対応を示します。ソフトウェアによる起動の場合、ベクタアドレスは $H'0400 + (DTVECR[6:0] \ll 1)$ で求めます ($\ll 1$ は 1 ビットの左シフトを表します)。たとえば、DTVECR が $H'10$ のとき、ベクタアドレスは $H'0420$ となります。

起動要因ごとのベクタアドレスから、レジスタ情報先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。レジスタ情報は内蔵 RAM 空間上の所定のアドレスに配置することができます。レジスタ情報の先頭アドレスは 4 の倍数番地としてください。

ベクタアドレスの構造は、ノーマルモード*とアドバンスモードとは同じです。ともに 2 バイト単位です。この 2 バイトは、内蔵 RAM 空間上の所定のアドレスの下位側を指定します。

【注】* 本 LSI では使用できません。

8-14

割 り 込 み 要 因	要 因 発生元	ベクタ 番号	ベクタ アドレス	DTCE* ¹	優先 順位
RXI2 (受信完了 2) * ²	SCI チャンネル 2	89	H'04B2	DTCEF7	高 ↑ ↓ 低
TXI2 (送信データエンプティ 2)		90	H'04B4	DTCEF6	
リザーブ	—	91 ∟ 103	H'04B6 ∟ H'04CE	—	
CMI1 (PWCYR1 コンペアマッチ)	PWM	104	H'04D0	DTCEG7	
CMI2 (PWCYR2 コンペアマッチ)		105	H'04D2	DTCEG6	
リザーブ	—	106 ∟ 108	H'04D4 ∟ H'04D8	—	
RM0 (メールボックス 0 受信)	HCAN	109	H'04DA	DTCEG2	
リザーブ	—	110 ∟ 124	H'04DC ∟ H'04FC	—	

【注】 *¹ 対応する割り込みのない DTCE ビットはリザーブビットとなります。0 をライトしてください。

*² H8S/2648、H8S/2648R、H8S/2647 の場合を示し、H8S/2646、H8S/2646R、H8S/2645 では、リザーブとなります。

8.3.4 アドレス空間上でのレジスタ情報の配置

図 8.5 に、アドレス空間上でのレジスタ情報の配置を示します。

レジスタ情報先頭アドレス（バクタアドレスの内容）から、MRA、SAR、MRB、DAR、CRA、CRBの順序で配置してください。チェーン転送の場合は、連続した領域にレジスタ情報を配置してください。

レジスタ情報は、内蔵 RAM 上（アドレス：H'FFEB00～H'FFEBFF）に配置してください。

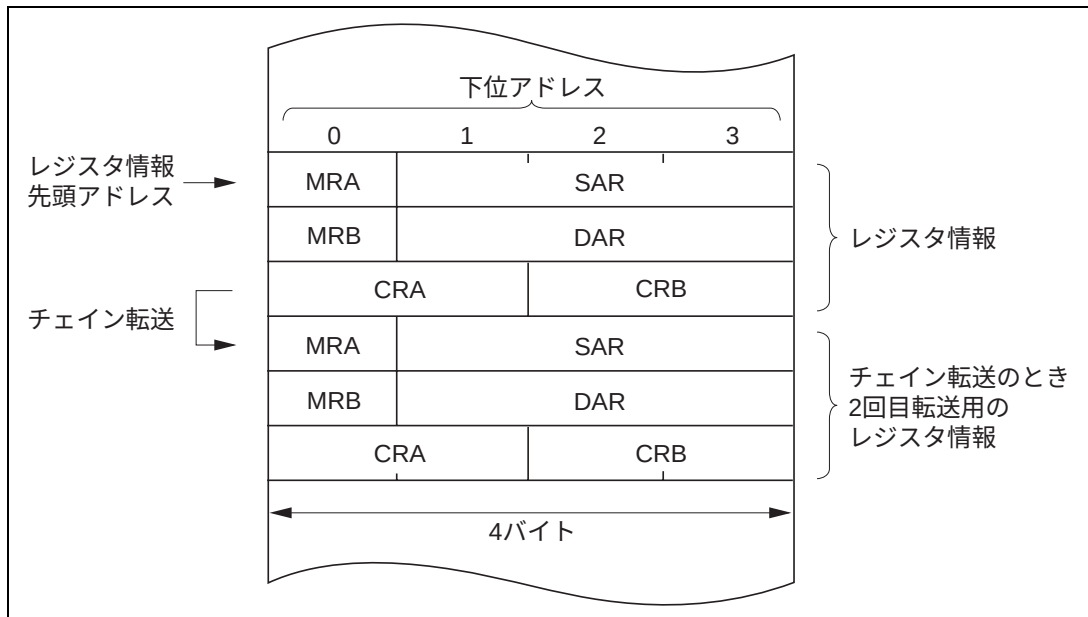


図 8.5 アドレス空間上での DTC レジスタ情報の配置

8.3.5 ノーマルモード

1 回の動作で、1 バイトまたは 1 ワードの転送を行います。

転送回数は 1～65536 です。指定回数の転送が終了すると、CPU へ割り込みを要求することができます。

表 8.5 にノーマルモードのレジスタ機能を、図 8.6 にノーマルモードのメモリマップを示します。

表 8.5 ノーマルモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ A	CRA	転送カウント
DTC 転送カウントレジスタ B	CRB	使用しません

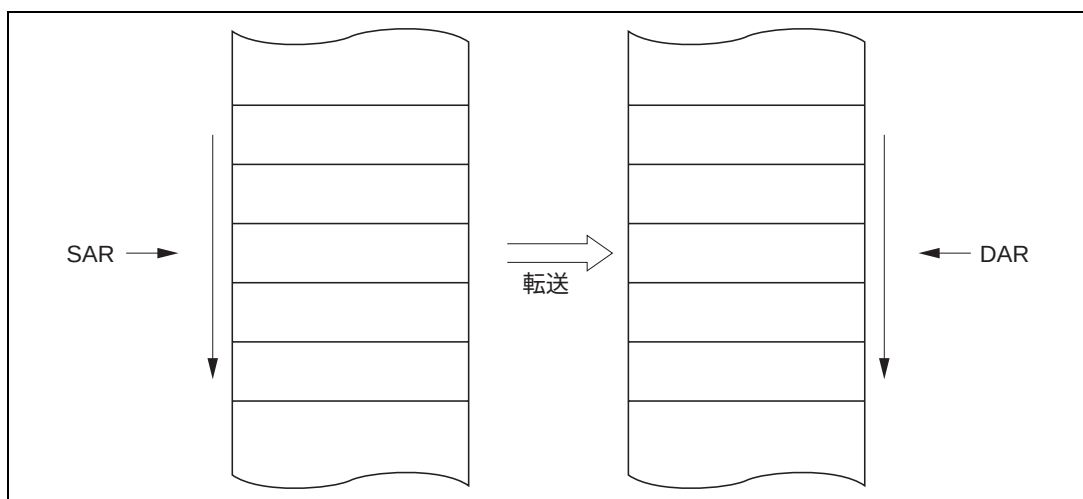


図 8.6 ノーマルモードのメモリマップ

8.3.6 リピートモード

1 回の動作で、1 バイトまたは 1 ワードの転送を行います。

転送回数は 1～256 を指定し、指定回数の転送が終了すると、転送カウンタと、リピートエリアに指定したアドレスレジスタの初期状態を回復し、転送を繰り返します。リピートモードでは、転送カウンタが H'00 になりませんので、DISEL=0 の場合、CPU への割り込みは要求されません。

表 8.6 にリピートモードのレジスタ機能を、図 8.7 にリピートモードのメモリマップを示します。

表 8.6 リピートモードのレジスタ機能

名称	略称	機能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウンタレジスタ AH	CRAH	転送回数保持
DTC 転送カウンタレジスタ AL	CRAL	転送カウンタ
DTC 転送カウンタレジスタ B	CRB	使用しません

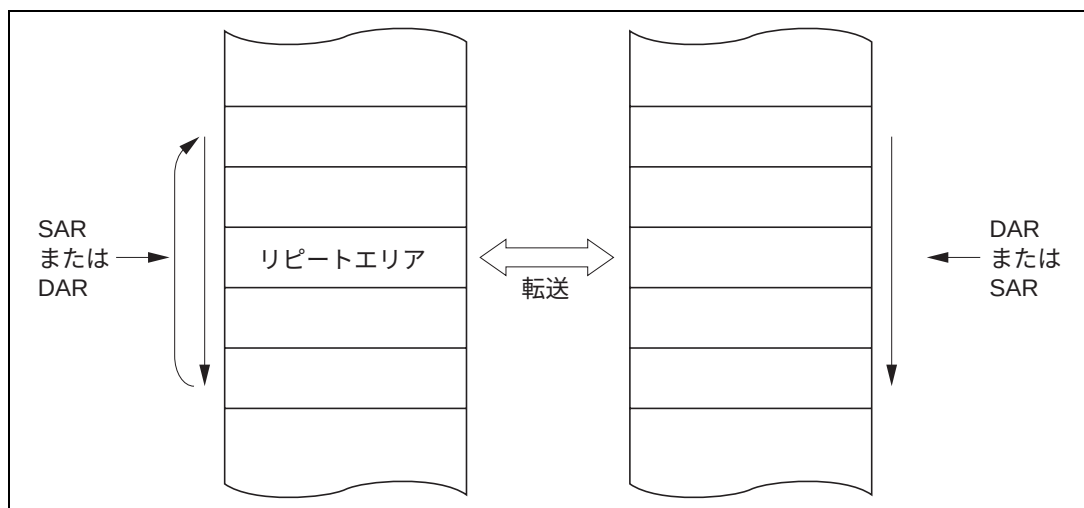


図 8.7 リピートモードのメモリマップ

8.3.7 ブロック転送モード

1 回の動作で、1 ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。

ブロックサイズは 1～256 です。1 ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定したアドレスレジスタの初期状態を復帰します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいは固定とされます。

転送回数は 1～65536 です。指定回数のブロック転送が終了すると、CPU へ割り込みを要求することができます。

表 8.7 にブロック転送モードのレジスタ機能を、図 8.8 にブロック転送モードのメモリマップを示します。

表 8.7 ブロック転送モードのレジスタ機能

名称	略称	機能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ AH	CRAH	ブロックサイズ保持
DTC 転送カウントレジスタ AL	CRAL	ブロックサイズカウンタ
DTC 転送カウントレジスタ B	CRB	転送カウンタ

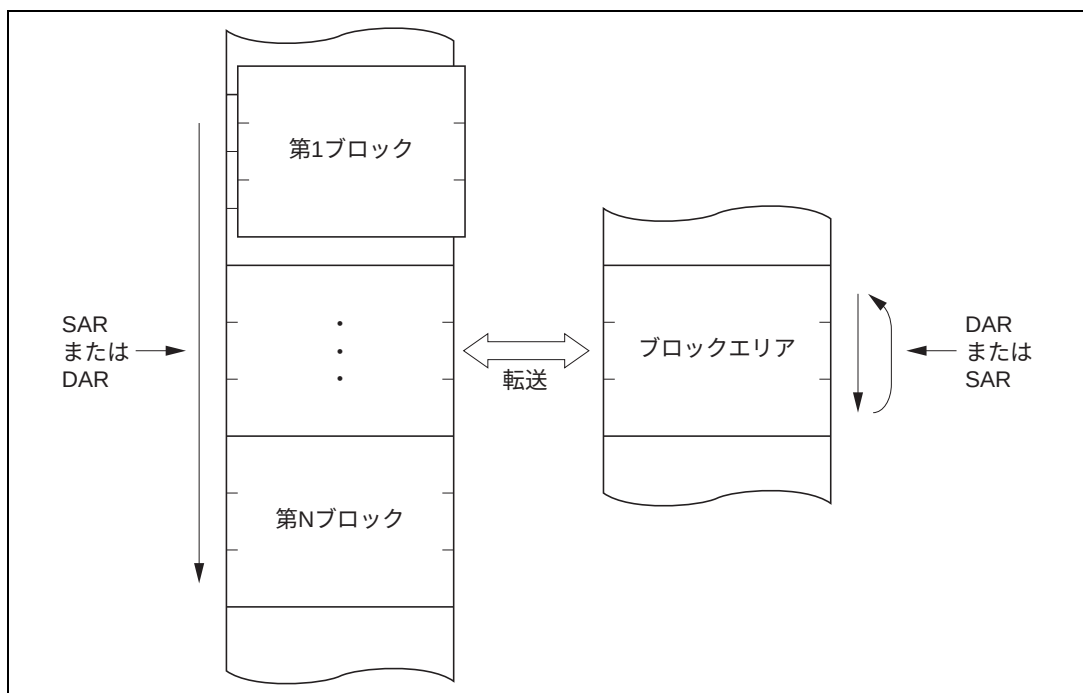


図 8.8 ブロック転送モードのメモリマップ

8.3.8 チェイン転送

CHNE ビットを 1 にセットしておくことにより、1 回の転送要求に対し複数のデータ転送を連続して行うことができます。データ転送を定義する SAR、DAR、CRA、CRB および MRA、MRB はおのの独立に設定できます。

図 8.9 にチェイン転送のメモリマップを示します。

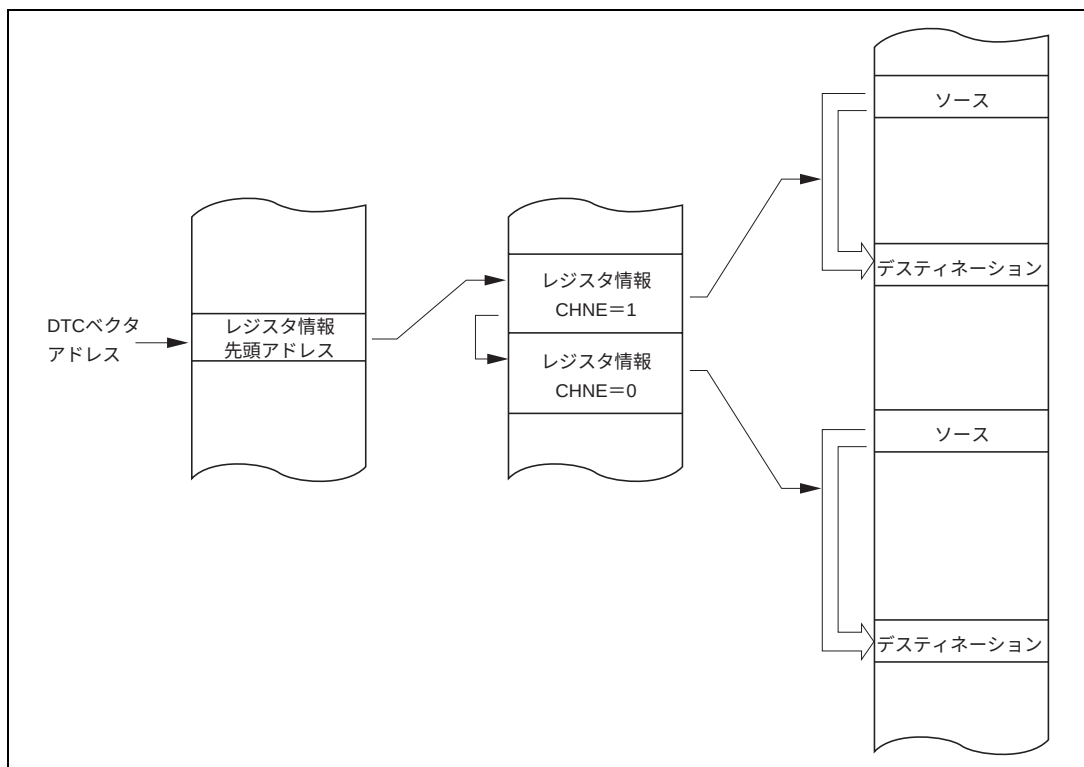


図 8.9 チェイン転送のメモリマップ

CHNE=1 の転送において、指定した転送回数の終了による CPU への割り込み要求や、DISEL=1 による CPU への割り込み要求は発生しません。また、CHNE=1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

8.3.9 動作タイミング

図 8.10～図 8.12 に、DTC の動作タイミングの例を示します。

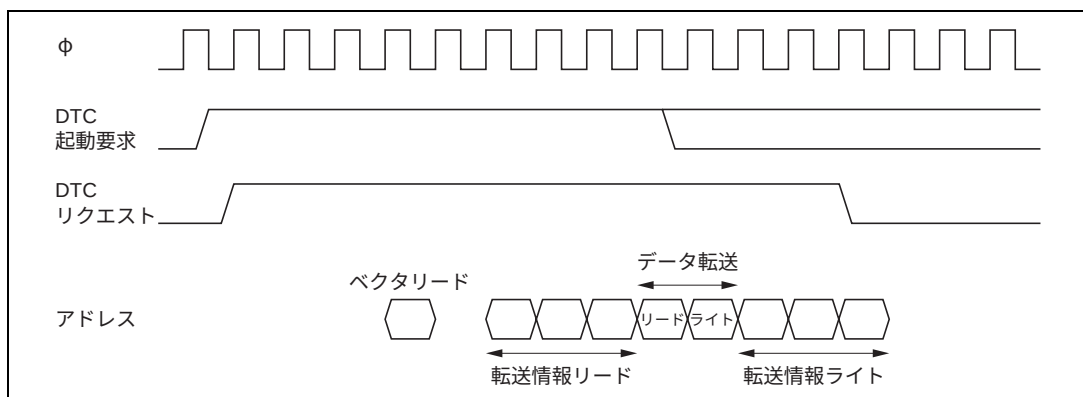


図 8.10 DTC の動作タイミング (ノーマルモード、リピートモードの例)

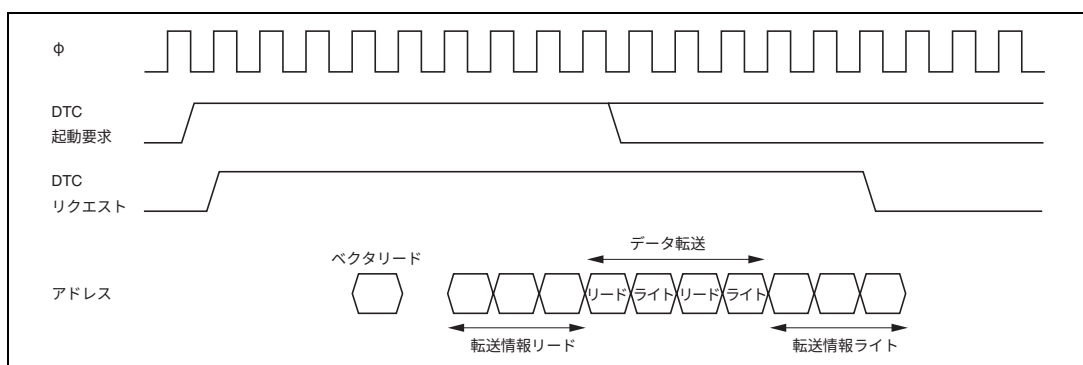


図 8.11 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2 の例)

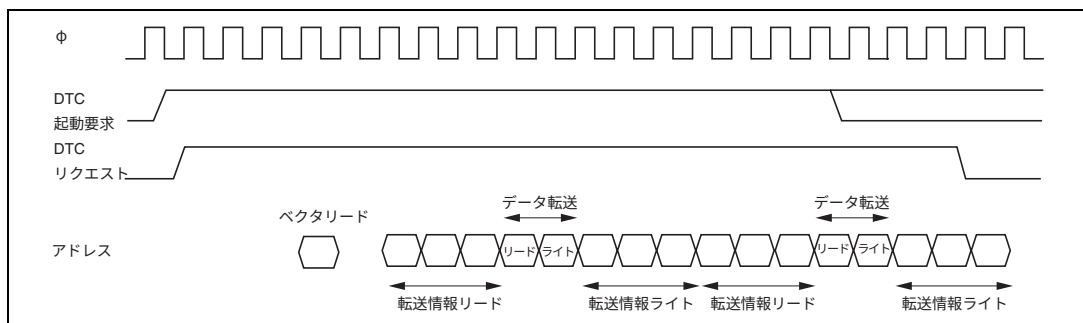


図 8.12 DTC の動作タイミング (チェイン転送の例)

8.3.10 DTC 実行ステート数

表 8.8 に、DTC の 1 回のデータ転送の実行状態を示します。また、表 8.9 に、実行状態に必要なステート数を示します。

表 8.8 DTC の実行状態

モード	ベクタリード I	レジスタ情報 リード/ライト J	データリード K	データライト L	内部動作 M
ノーマル	1	6	1	1	3
リピート	1	6	1	1	3
ブロック転送	1	6	N	N	3

N：ブロックサイズ (CRAH、CRAL の初期設定値)

表 8.9 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内部 I/O レジスタ		外部デバイス			
バス幅		32	16	8	16	8		16	
アクセスステート		1	1	2	2	2	3	2	3
実行 状態	ベクタリード S_i	—	1	—	—	4	6+2m	2	3+m
	レジスタ情報 S_j リード/ライト	1	—	—	—	—	—	—	—
	バイトデータリード S_k	1	1	2	2	2	3+m	2	3+m
	ワードデータリード S_k	1	1	4	2	4	6+2m	2	3+m
	バイトデータライト S_L	1	1	2	2	2	3+m	2	3+m
	ワードデータライト S_L	1	1	4	2	4	6+2m	2	3+m
内部動作 S_M		1							

実行ステート数は次の計算式で計算されます。なお、 Σ は 1 つの起動要因で転送する回数分 (CHNE ビットを 1 にセットした数+1) の和を示します。

$$\text{実行ステート数} = I \cdot (S_i + 1) + \Sigma (J \cdot S_j + K \cdot S_k + L \cdot S_L) + M \cdot S_M$$

たとえば、DTC ベクタアドレスを内蔵 ROM に配置し、ノーマルモードで、内蔵 ROM→内部 I/O レジスタのデータ転送を行った場合、DTC の動作に必要な時間は 14 ステートです。起動からデータライト終了までの時間は 11 ステートです。

8.3.11 DTC 使用手順

(1) 割り込みによる起動

DTC の割り込み起動による使用手順を以下に示します。

- [1] MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
- [2] レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
- [3] DTCERの対応するビットを1にセットします。
- [4] 起動要因となる割り込み要因のイネーブルビットを1にセットします。
要因となる割り込みが発生すると、DTCが起動されます。
- [5] 1回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCEビットが0にクリアされ、CPUに割り込みが要求されます。引き続きDTCによるデータ転送を行う場合には、DTCEを1にセットしてください。

(2) ソフトウェアによる起動

DTC のソフトウェア起動による使用手順を以下に示します。

- [1] MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
- [2] レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
- [3] SWDTE=0を確認します。
- [4] SWDTEに1を、DTVECRにベクタ番号をライトします。
- [5] DTVECRにライトしたベクタ番号を確認します。
- [6] 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引き続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合、または指定した回数のデータ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されます。

8.3.12 DTC 使用例

(1) ノーマルモード

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

- [1] MRAはソースアドレス固定 (SM1=SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ノーマルモード (MD1=MD0=0)、バイトサイズ (Sz=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 (CHNE=0、DISEL=0) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
- [2] レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
- [3] DTCERの対応するビットを1にセットします。
- [4] SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。

- [5] SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
- [6] 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

(2) チェイン転送

DTC チェイン転送の例として、PPG によるパルス出力を行う例を示します。チェイン転送を使ってパルス出力データの転送と PPG 出力トリガの周期の変更を行うことができます。チェイン転送の前半で PPG の NDR へのリピータモード転送、後半で TPU の TGR へのノーマルモード転送を行います。起動要因のクリアや指定した回数の転送終了時の割り込み発生は、チェイン転送の後半 (CHNE=0 のときの転送) に限られるためです。

- [1] PPGのNDRへの転送の設定を行います。MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレス固定 (DM1=DM0=0)、リピータモード (MD1=0、MD0=1)、ワードサイズ (Sz=1) を設定します。ソース側をリピータ領域 (DTS=1) に設定します。MRBはチェインモード (CHNE=1、DISEL=0) に設定します。SARはデータテーブルの先頭アドレス、DARはNDRHのアドレス、CRAH、CRALはデータテーブルサイズを設定します。CRBは任意の値とすることができます。
- [2] TPUのTGRへの転送の設定を行います。MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレス固定 (DM1=DM0=0)、ノーマルモード (MD1=MD0=0)、ワードサイズ (Sz=1) を設定します。SARは、データテーブルの先頭アドレス、DARはTGRAのアドレス、CRAはデータテーブルサイズを設定します。CRBは任意の値とすることができます。
- [3] NDR転送用レジスタ情報の後に連続してTPU転送用レジスタ情報を配置します。
- [4] NDR転送用レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
- [5] DTCERのTGIAに対応するビットを1にセットします。
- [6] TIORでTGRAをアウトプットコンペアレジスタ (出力禁止) に設定し、TIERでTGIA割り込みを許可します。
- [7] PODRに出力初期値を設定し、NDRに次の出力値を設定します。DDR、NDERの出力を行うビットを1にセットします。また、PCRで出力トリガとなるTPUのコンペアマッチを選択します。
- [8] TSTRのCSTビットを1にセットし、TCNTのカウント動作を開始します。
- [9] TGRAのコンペアマッチが発生するごとに次の出力値がNDRへ、次の出力トリガ周期の設定値がTGRAへそれぞれ転送されます。起動要因のTGFAフラグはクリアされます。
- [10] 指定した回数の転送終了後 (TPU転送用CRAが0になると)、TGFAフラグは1のまま保持され、DTCEビットが0にクリアされ、CPUにTGIA割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

(3) ソフトウェア起動

DTC の使用例として、ソフトウェア起動による 1 ブロック 128 バイトのデータ転送を行う例を示します。転送元アドレスは H'1000、転送先アドレスは H'2000 です。ベクタ番号は H'60、したがって、ベクタアドレスは H'04C0 です。

- [1] MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ブロック転送モード (MD1=1、MD0=0)、バイトサイズ (Sz=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のブロック転送 (CHNE=0) を行います。SARは転送元アドレスでH'1000、DARは転送先アドレスでH'2000、CRAは128 (H'8080) を設定します。CRBは1 (H'0001) をセットします。
- [2] レジスタ情報の先頭アドレスを、DTCベクタアドレス (H'04C0) に設定します。
- [3] DTVECRのSWDTE=0を確認します。現在、DTCがソフトウェア起動による転送を行っていないことの確認です。
- [4] SWDTE=1とともに、ベクタ番号H'60を、DTVECRにライトします。ライトデータはH'E0です。
- [5] 再度、DTVECRを読み、ベクタ番号H'60が設定されていることを確認します。設定されていないときは、ライトが失敗したことを表します。[3] と [4] の間に割り込みが入り、ここで他のソフトウェアによって起動された場合が、これに相当します。起動したい場合、[3] に戻ってください。
- [6] ライトが成功すると、DTCが起動され、128バイト1ブロックの転送を行います。
- [7] 転送後、SWDTEND割り込みが起動します。割り込み処理ルーチンでSWDTEビットの0クリアなど、終了処理を行ってください。

8.4 割り込み

DTC が指定された回数のデータ転送を終了したとき、および DIESEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DIESEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に、SWDTE ビットが 1 に保持され、SWDTEND 割り込みが発生します。割り込み処理ルーチンで SWDTE ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、SWDTE ビットを 1 にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND 割り込みは発生しません。

8.5 使用上の注意

(1) モジュールストップ

MSTPCRA の MSTPA6 ビットを 1 にセットすると、DTC のクロックが停止し、DTC はモジュールストップ状態となります。ただし、DTC が起動中には MSTPA6 ビットに 1 をライトできません。

(2) 内蔵 RAM

MRA、MRB、SAR、DAR、CRA、CRB の各レジスタは、内蔵 RAM に配置します。DTC を使用する場合は、SYSCR の RAME ビットを 0 にクリアしないでください。

(3) DTCE ビットの設定

DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード／ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するときには、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

9. I/O ポート

9.1 概要

本 LSI には、13 本の入出力ポート（ポート 1～3、5、A～F、H、J、K）と 2 本の入力専用ポート（ポート 4、9）があります。

ポート機能一覧を表 9.1 に示します。各ポートの端子機能は兼用になっています。

各ポートは、入出力を制御するデータディレクションレジスタ（DDR）と、出力データを格納するデータレジスタ（DR）と、端子の状態をリードするポートレジスタ（PORT）から構成されています。なお、入力専用ポートには DR、DDR はありません。

本 LSI のポート A～E には、入力プルアップ MOS が内蔵されており、DDR、DR のほかに、入力プルアップ MOS コントロールレジスタ（PCR）で、入力プルアップ MOS のオン／オフを制御します。

本 LSI のポート 3 およびポート A～C には、オープンドレインコントロールレジスタ（ODR）が内蔵されており、出力バッファの PMOS のオン／オフを制御します。

ポート A～F は 1 個の TTL 負荷と 50pF の容量負荷を駆動することができ、ポート A～F 以外は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。すべての入出力ポートは出力時にダーリントントランジスタを駆動することができます。また、ポート 1、A～C は LED を駆動する（シンク電流 10mA）ことができます。また、ポート A～E、F の一部は、LCD ドライバとして使用することが可能です。

各ポートのブロック図は、「付録 C. I/O ポートのブロック図」を参照してください。

表 9.1 (1) ポートの機能一覧 (H8S/2646、H8S/2646R、H8S/2645)

ポート	概要	端子	モード 4	モード 5	モード 6	モード 7
ポート 1	8 ビットの入出力ポート - シュミットトリガ入力 (P16、P14)	P17/PO15/TIOCB2/TCLKD P16/PO14/TIOCA2/ $\overline{\text{IRQ1}}$ P15/PO13/TIOCB1/ TCLKC P14/PO12/TIOCA1/ $\overline{\text{IRQ0}}$ P13/PO11/TIOCD0/ TCLKB P12/PO10/TIOCC0/ TCLKA P11/PO9/TIOCB0 P10/PO8/TIOCA0	TPU の入出力端子 (TCLKA、TCLKB、TCLKC、TCLKD、TIOCA0、TIOCB0、TIOCC0、TIOCD0、TIOCA1、TIOCB1、TIOCA2、TIOCB2) と PPG の出力端子 (PO15~PO8) と割り込み入力端子 ($\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$) と 8 ビット入出力ポートとの兼用			
ポート 2	8 ビットの入出力ポート	P27/TIOCB5 P26/TIOCA5 P25/TIOCB4 P24/TIOCA4 P23/TIOCD3 P22/TIOCC3 P21/TIOCB3 P20/TIOCA3	TPU の入出力端子(TIOCB5、TIOCA5、TIOCB4、TIOCA4、TIOCD3、TIOCC3、TIOCB3、TIOCA3)と 8 ビットの入出力ポートの兼用			
ポート 3	8 ビットの入出力ポート	P37 P36 P35/SCK1/ $\overline{\text{IRQ5}}$ P34/RxD1 P33/TxD1 P32/SCK0/ $\overline{\text{IRQ4}}$ P31/RxD0 P30/TxD0	SCI(チャンネル 0,1)の入出力端子(TxD0,RxD0,SCK0, TxD1,RxD1,SCK1)と割り込み入力端子 ($\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ5}}$) と 8 ビットの入出力ポートの兼用。			
ポート 4	8 ビットの入力ポート	P47/AN7 P46/AN6 P45/AN5 P44/AN4 P43/AN3 P42/AN2 P41/AN1 P40/AN0	A/D 変換器のアナログ入力 (AN7~AN0) と 8 ビットの入力ポートの兼用			
ポート 5	3 ビットの入出力ポート	P52 P51 P50	3 ビットの入出力ポート			
ポート 9	8 ビットの入力ポート	P97 P96 P95 P94 P93/AN11 P92/AN10 P91/AN9 P90/AN8	A/D 変換器のアナログ入力 (AN11~AN8) と 8 ビット入力ポートの兼用			

ポート	概要	端子	モード 4,5	モード 6	モード 7
ポート A	8 ビットの入出力ポート - 入力プルアップ MOS 内蔵 - オープンドレイン出力可能	PA7/A23/SEG24 PA6/A22/SEG23 PA5/A21/SEG22 PA4/A20/SEG21 PA3/A19/COM4 PA2/A18/COM3 PA1/A17/COM2 PA0/A16/COM1	LCD のセグメント、コモン出力(SEG21～24,COM1～4)とアドレス出力 (A23～A16) と 8 ビットの入出力ポートとの兼用		LCD のセグメント、コモン出力 (SEG21～24,COM1～4) と 8 ビットの入出力ポートとの兼用
ポート B	8 ビットの入出力ポート - 入力プルアップ MOS 内蔵 - オープンドレイン出力可能	PB7/A15/SEG16 PB6/A14/SEG15 PB5/A13/SEG14 PB4/A12/SEG13 PB3/A11/SEG12 PB2/A10/SEG11 PB1/A9/SEG10 PB0/A8/SEG9	LCD のセグメント出力(SEG9～16)とアドレス出力 (A15～A8) と 8 ビットの入出力ポートの兼用		LCD のセグメント出力 (SEG9～16) と 8 ビットの入出力ポートの兼用
ポート C	8 ビットの入出力ポート - 入力プルアップ MOS 内蔵 ・オープンドレイン出力可能	PC7/A7/SEG8 PC6/A6/SEG7 PC5/A5/SEG6 PC4/A4/SEG5 PC3/A3/SEG4 PC2/A2/SEG3 PC1/A1/SEG2 PC0/A0/SEG1	アドレス出力 (A7～A0)	LCD のセグメント出力 (SEG1～8)とアドレス出力 (A7～A0) と 8 ビット入出力ポートとの兼用	LCD のセグメント出力 (SEG1～8) と 8 ビット入出力ポートとの兼用
ポート D	8 ビットの入出力ポート - 入力プルアップ MOS 内蔵	PD7/D15 PD6/D14 PD5/D13 PD4/D12 PD3/D11 PD2/D10 PD1/D9 PD0/D8	データバス入出力		8 ビット入出力ポート
ポート E	8 ビットの入出力ポート - 入力プルアップ MOS 内蔵	PE7/D7 PE6/D6 PE5/D5 PE4/D4 PE3/D3 PE2/D2 PE1/D1 PE0/D0	8 ビットバスモードのとき 8 ビット入出力ポート 16 ビットバスモードのときデータバス入出力と 8 ビット入出力ポートの兼用		8 ビット入出力ポート

ポート	概要	端子	モード 4,5	モード 6	モード 7
ポート F	• 7ビットの入出力ポート	PF7/ ϕ	DDR=0 のとき入力ポート DDR=1 のとき ϕ 出力		
		PF6/ $\overline{AS}$ /SEG20 PF5/ $\overline{RD}$ /SEG19 PF4/ $\overline{HWR}$ /SEG18	LCD のセグメント出力(SEG18~20)とバス制御信号($\overline{AS}$ 、 $\overline{RD}$ 、 $\overline{HWR}$)、との兼用	LCD のセグメント出力(SEG18~20)と、入出力ポートの兼用	
		PF3/ $\overline{LWR}$ /ADTRG/IRQ3	バス制御信号 ($\overline{LWR}$) と ADTRG、 $\overline{IRQ3}$ 入力との兼用	入出力ポートと ADTRG、 $\overline{IRQ3}$ 入力の兼用	
		PF2/ $\overline{WAIT}$ /SEG17	WAITE=0 のとき (リセット後) LCD のセグメント出力(SEG17)と入出力ポートの兼用 WAITE=1 のとき LCD のセグメント出力と $\overline{WAIT}$ 入力の兼用	LCD のセグメント出力(SEG17)と入出力ポートの兼用	
		PF0/ $\overline{IRQ2}$	$\overline{IRQ2}$ 入力と入出力ポートの兼用		
ポート H	• 8ビットの入出力ポート	PH7/PWM1H PH6/PWM1G PH5/PWM1F PH4/PWM1E PH3/PWM1D PH2/PWM1C PH1/PWM1B PH0/PWM1A	モータコントロール PWM タイマ (チャンネル 1) の出力端子 (PWM1A~PWM1H) と 8ビットの入出力ポートとの兼用		
ポート J	• 8ビットの入出力ポート	PJ7/PWM2H PJ6/PWM2G PJ5/PWM2F PJ4/PWM2E PJ3/PWM2D PJ2/PWM2C PJ1/PWM2B PJ0/PWM2A	モータコントロール PWM タイマ (チャンネル 2) の出力端子 (PWM2A~PWM2H) と 8ビットの入出力ポートとの兼用		
ポート K	• 2ビットの入出力ポート	PK7 PK6	2ビットの入出力ポート		

表 9.1 (2) ポートの機能一覧 (H8S/2648、H8S/2648R、H8S/2647)

ポート	概要	端子	モード 4	モード 5	モード 6	モード 7
ポート 1	8 ビットの入出力ポート - シュミットトリガ入力 (P16、P14)	P17/PO15/TIOCB2/TCLKD P16/PO14/TIOCA2/ $\overline{\text{IRQ1}}$ P15/PO13/TIOCB1/ TCLKC P14/PO12/TIOCA1/ $\overline{\text{IRQ0}}$ P13/PO11/TIOCD0/TCLKB P12/PO10/TIOCC0/TCLKA P11/PO9/TIOCB0 P10/PO8/TIOCA0	TPU の入出力端子 (TCLKA、TCLKB、TCLKC、TCLKD、TIOCA0、TIOCB0、TIOCC0、TIOCD0、TIOCA1、TIOCB1、TIOCA2、TIOCB2) と PPG の出力端子 (PO15~PO8) と割り込み入力端子 ($\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$) と 8 ビット入出力ポートとの兼用			
ポート 2	8 ビットの入出力ポート	P27/TIOCB5 P26/TIOCA5 P25/TIOCB4 P24/TIOCA4 P23/TIOCD3 P22/TIOCC3 P21/TIOCB3 P20/TIOCA3	TPU の入出力端子(TIOCB5、TIOCA5、TIOCB4、TIOCA4、TIOCD3、TIOCC3、TIOCB3、TIOCA3)と 8 ビットの入出力ポートとの兼用			
ポート 3	8 ビットの入出力ポート	P37 P36 P35/SCK1/ $\overline{\text{IRQ5}}$ P34/RxD1 P33/TxD1 P32/SCK0/ $\overline{\text{IRQ4}}$ P31/RxD0 P30/TxD0	SCI(チャンネル 0,1)の入出力端子 (TxD0,RxD0,SCK0,TxD1,RxD1,SCK1)と割り込み入力端子 ($\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ5}}$) と 8 ビットの入出力ポートとの兼用。			
ポート 4	8 ビットの入力ポート	P47/AN7 P46/AN6 P45/AN5 P44/AN4 P43/AN3 P42/AN2 P41/AN1 P40/AN0	A/D 変換器のアナログ入力 (AN7~AN0) と 8 ビットの入力ポートとの兼用			
ポート 5	3 ビットの入出力ポート	P52/SCK2 P51/RxD2 P50/TxD2	SCI(チャンネル 2)の入出力端子(TxD2,RxD2,SCK2)と 3 ビットの入出力ポートとの兼用			
ポート 9	8 ビットの入力ポート	P97 P96 P95 P94 P93/AN11 P92/AN10 P91/AN9 P90/AN8	A/D 変換器のアナログ入力 (AN11~AN8) と 8 ビット入力ポートとの兼用			

ポート	概要	端子	モード 4,5	モード 6	モード 7
ポート A	8 ビットの入出力ポート - 入力プルアップ MOS 内蔵 - オープンドレイン出力可能	PA7/A23/SEG40 PA6/A22/SEG39 PA5/A21/SEG38 PA4/A20/SEG37 PA3/A19/COM4 PA2/A18/COM3 PA1/A17/COM2 PA0/A16/COM1	LCD のセグメント、コモン出力 (SEG37~40,COM1~4) とアドレス出力 (A23~A16) と 8 ビットの入出力ポートとの兼用		LCD のセグメント、コモン出力 (SEG37~40,COM1~4) と 8 ビットの入出力ポートとの兼用
ポート B	8 ビットの入出力ポート - 入力プルアップ MOS 内蔵 - オープンドレイン出力可能	PB7/A15/SEG32 PB6/A14/SEG31 PB5/A13/SEG30 PB4/A12/SEG29 PB3/A11/SEG28 PB2/A10/SEG27 PB1/A9/SEG26 PB0/A8/SEG25	LCD のセグメント出力 (SEG25~32) とアドレス出力 (A15~A8) と 8 ビットの入出力ポートとの兼用		LCD のセグメント出力 (SEG25~32) と 8 ビットの入出力ポートとの兼用
ポート C	8 ビットの入出力ポート - 入力プルアップ MOS 内蔵 - オープンドレイン出力可能	PC7/A7/SEG24 PC6/A6/SEG23 PC5/A5/SEG22 PC4/A4/SEG21 PC3/A3/SEG20 PC2/A2/SEG19 PC1/A1/SEG18 PC0/A0/SEG17	アドレス出力 (A7~A0)	LCD のセグメント出力 (SEG17~24) とアドレス出力 (A7~A0) と 8 ビット入出力ポートとの兼用	LCD のセグメント出力 (SEG17~24) と 8 ビット入出力ポートとの兼用
ポート D	8 ビットの入出力ポート - 入力プルアップ MOS 内蔵	PD7/D15/SEG16 PD6/D14/SEG15 PD5/D13/SEG14 PD4/D12/SEG13 PD3/D11/SEG12 PD2/D10/SEG11 PD1/D9/SEG10 PD0/D8/SEG9	データバス入出力	LCD のセグメント出力 (SEG9~16) とデータバス入出力との兼用	LCD のセグメント出力 (SEG9~16) と 8 ビット入出力ポートとの兼用
ポート E	8 ビットの入出力ポート - 入力プルアップ MOS 内蔵	PE7/D7/SEG8 PE6/D6/SEG7 PE5/D5/SEG6 PE4/D4/SEG5 PE3/D3/SEG4 PE2/D2/SEG3 PE1/D1/SEG2 PE0/D0/SEG1	8 ビットバスモードのとき LCD のセグメント出力 (SEG1~8) と入出力ポートとの兼用 16 ビットバスモードのとき LCD のセグメント出力 (SEG1~8) とデータバス入出力と入出力ポートとの兼用		LCD のセグメント出力 (SEG1~8) と 8 ビット入出力ポートとの兼用

ポート	概要	端子	モード 4,5	モード 6	モード 7
ポート F	7 ビットの 入出力ポート	PF7/ ϕ	DDR=0 のとき入力ポート DDR=1 のとき ϕ 出力		
		PF6/ $\overline{AS}$ /SEG36 PF5/ $\overline{RD}$ /SEG35 PF4/ $\overline{HWR}$ /SEG34	LCD のセグメント出力(SEG34～SEG36)とバス制御信号($\overline{AS}$ 、 $\overline{RD}$ 、 $\overline{HWR}$)、との兼用		LCD のセグメント出力(SEG34～36)と、入出力ポートとの兼用
		PF3/ $\overline{LWR}$ /ADTRG/IRQ3	バス制御信号 ($\overline{LWR}$) と ADTRG、IRQ3 入力との兼用		入出力ポートと ADTRG、IRQ3 入力との兼用
		PF2/ $\overline{WAIT}$ /SEG33	WAITE=0、BREQ0E=0 のとき (リセット後) LCD のセグメント出力 (SEG33) と入出力ポートとの兼用 WAITE=1、BREQ0E=0 のとき LCD のセグメント出力と $\overline{WAIT}$ 入力との兼用		LCD のセグメント出力 (SEG33) と入出力ポートとの兼用
		PF0/ $\overline{IRQ2}$	$\overline{IRQ2}$ 入力と入出力ポートとの兼用		
ポート H	8 ビットの 入出力ポート	PH7/PWM1H PH6/PWM1G PH5/PWM1F PH4/PWM1E PH3/PWM1D PH2/PWM1C PH1/PWM1B PH0/PWM1A	PWM (チャンネル 1) の出力と 8 ビットの入出力ポートとの兼用		
ポート J	8 ビットの 入出力ポート	PJ7/PWM2H PJ6/PWM2G PJ5/PWM2F PJ4/PWM2E PJ3/PWM2D PJ2/PWM2C PJ1/PWM2B PJ0/PWM2A	PWM (チャンネル 2) の出力と 8 ビットの入出力ポートとの兼用		
ポート K	2 ビットの 入出力ポート	PK7 PK6	2 ビットの入出力ポート		

9.2 ポート 1

9.2.1 概要

ポート 1 は、8 ビットの入出力ポートです。ポート 1 は、PPG の出力端子（PO15～PO8）、TPU の入出力端子（TCLKA、TCLKB、TCLKC、TCLKD、TIOCA0、TIOCB0、TIOCC0、TIOCD0、TIOCA1、TIOCB1、TIOCA2、TIOCB2）、外部割り込み端子（ $\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ1}}$ ）と兼用になっています。ポート 1 の各端子の構成を図 9.1 に示します。

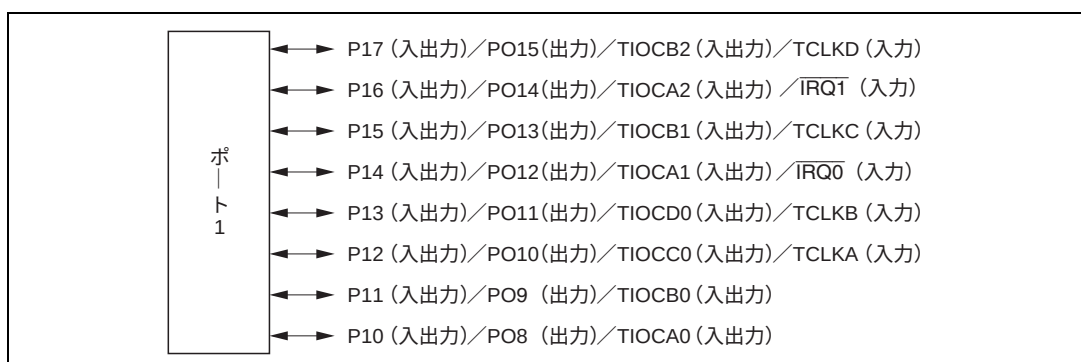


図 9.1 ポート 1 の端子機能

9.2.2 レジスタ構成

表 9.2 にポート 1 のレジスタ構成を示します。

表 9.2 ポート 1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 1 データディレクションレジスタ	P1DDR	W	H'00	H'FE30
ポート 1 データレジスタ	P1DR	R/W	H'00	H'FF00
ポート 1 レジスタ	PORT1	R	不定	H'FFB0

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 1 データディレクションレジスタ (P1DDR)

ビット:	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

P1DDR は、8 ビットのライト専用レジスタで、ポート 1 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P1DDR を 1 にセットすると対応するポート 1 の各端子は出力となり、0 にクリアすると入力になります。

P1DDR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、P1DDR は直前の状態を保持します。

(2) ポート 1 データレジスタ (P1DR)

ビット：	7	6	5	4	3	2	1	0
	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR
初期値：	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P1DR は、8 ビットのリード／ライト可能なレジスタで、ポート 1 の各端子 (P17～P10) の出力データを格納します。

P1DR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート 1 レジスタ (PORT1)

ビット：	7	6	5	4	3	2	1	0
	P17	P16	P15	P14	P13	P12	P11	P10
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W	R	R	R	R	R	R	R	R

【注】* P17～P10端子の状態により決定されます。

PORT1 は、8 ビットのリード専用レジスタで、ライトは無効です。端子の状態を反映します。ポート 1 の各端子 (P17～P10) の出力データのライトは必ず P1DR に対して行ってください。

P1DDR が 1 にセットされているとき、ポート 1 のリードを行うと P1DR の値をリードします。P1DDR が 0 にクリアされているとき、ポート 1 のリードを行うと端子の状態が読み出されます。

PORT1 は、リセットまたはハードウェアスタンバイモードでは P1DDR、P1DR が初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

9.2.3 端子機能

ポート 1 の各端子は、PPG の出力端子（PO15～PO8）、TPU の入出力端子（TCLKA、TCLKB、TCLKC、TCLKD、TIOCA0、TIOCB0、TIOCC0、TIOCD0、TIOCA1、TIOCB1、TIOCA2、TIOCB2）、外部割り込み入力端子（IRQ0、IRQ1）と兼用になっています。ポート 1 の端子機能を表 9.3 に示します。

表 9.3 ポート 1 の端子機能

端子

選択方法と端子機能

P17/PO15/
TIOCB2/
TCLKD

TMDR2 の MD3～MD0 ビット、TIOCR2 の IOB3～IOB0 ビット、TCR2 の CCLR1、CCLR0 ビットによる TPU チャネル 2 の設定、TCR0、TCR5 の TPSC2～TPSC0 ビット、NDERH の NDER15 ビット、および P17DDR ビットの組み合わせにより、次のように切り替わります。

TPUチャネル2の設定	下表（1）	下表（2）		
P17DDR	—	0	1	1
NDER15	—	—	0	1
端子機能	TIOCB2出力	P17入力	P17出力	PO15出力
		TIOCB2入力*1		
	TCLKD入力*2			

【注】

*1 MD3～MD0=B'0000、B'01xx かつ IOB3=1 の場合に TIOCB2 入力となります。

*2 TCR0、TCR5 のいずれかの設定が TPSC2～TPSC0=B'111 の場合に TCLKD 入力となります。

また、チャネル 2、4 を位相計数モードに設定すると、TCLKD 入力となります。

TPUチャネル2の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3～IOB0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	—	B'xx00	B'xx00以外	
CCLR1、CCLR0	—	—	—	—	B'10以外	B'10
出力機能	—	アウトプットコンペア出力	—	—	PWMモード2出力	—

x：Don't care

x : Don't care

端子	選択方法と端子機能						
P16/PO14/ TIOCA2/ IRQ1	TMDR2 の MD3～MD0 ビット、TIOA2 の IOA3～IOA0 ビット、TCR2 の CCLR1、CCLR0 ビットによる TPU チャネル 2 の設定、NDERH の NDER14 ビット、および P16DDR ビットの組み合わせにより、次のように切り替わります。						
TPUチャネル2の設定		下表（1）	下表（2）				
P16DDR		—	0	1	1		
NDER14		—	—	0	1		
端子機能	TIOCA2出力	P16入力	P16出力	PO14出力			
					TIOCA2入力*1		
			IRQ1入力				
TPUチャネル2の設定		(2)	(1)	(2)	(1)	(1)	(2)
MD3～MD0		B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3～IOA0		B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00以外	B'xx00以外	
CCLR1、CCLR0		—	—	—	—	B'01以外	B'01
出力機能		—	アウトプット コンペア出力	—	PWM *2 モード1出力	PWM モード2出力	—

x：Don't care

【注】

*1 MD3～MD0=B'0000、B'01xx かつ IOA3=1 の場合に TIOCA2 入力となります。

*2 TIOCB2 は出力禁止となります。

端子

P15/PO13/
TIOCB1/
TCLKC

選択方法と端子機能

TMDR1 の MD3～MD0 ビット、TIOR1 の IOB3～IOB0 ビット、TCR1 の CCLR1、CCLR0 ビットによる TPU チャンネル 1 の設定、TCR0、TCR2、TCR4、TCR5 の TPSC2～TPSC0 ビット、NDERH の NDER13 ビット、および P15DDR ビットの組み合わせにより、次のように切り替わります。

TPUチャンネル1の設定	下表 (1)	下表 (2)		
P15DDR	—	0	1	1
NDER13	—	—	0	1
端子機能	TIOCB1出力	P15入力	P15出力	PO13出力
		TIOCB1入力*1		
	TCLKC入力*2			

【注】 *1 MD3～MD0=B'0000、B'01xx かつ IOB3～IOB0=B'10xx の場合に TIOCB1 入力となります。

*2 TCR0、TCR2 のいずれかの設定が TPSC2～TPSC0=B'110 または TCR4、TCR5 のいずれかの設定が TPSC2～TPSC0=B'101 の場合に TCLKC 入力となります。

また、チャンネル 2、4 を位相計数モードに設定すると、TCLKC 入力となります。

TPUチャンネル1の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3～IOB0	B'0000	B'0001～B'0011	—	B'xx00	B'xx00以外	
	B'0100	B'0101～B'0111				
	B'1xxx					
CCLR1、CCLR0	—	—	—	—	B'10以外	B'10
出力機能	—	アウトプットコンペア出力	—	—	PWMモード2出力	—

x : Don't care

端子

選択方法と端子機能

P14/PO12/
TIOCA1/
IRQ0

TMDR1 の MD3～MD0 ビット、TIOA1 の IOA3～IOA0 ビット、TCR1 の CCLR1、CCLR0 ビットによる TPU チャネル 1 の設定、NDERH の NDER12 ビット、および P14DDR ビットの組み合わせにより、次のように切り替わります。

TPUチャネル1の設定	下表 (1)		下表 (2)		
P14DDR	—		0	1	1
NDER12	—		—	0	1
端子機能	TIOCA1出力		P14入力	P14出力	PO12出力
			TIOCA1入力*1		
	IRQ0入力				

TPUチャネル1の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3～MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3～IOA0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00以外	B'xx00以外	
CCLR1、CCLR0	—	—	—	—	B'01以外	B'01
出力機能	—	アウトプット コンペア出力	—	PWM *2 モード1出力	PWM モード2出力	—

x : Don't care

【注】 *1 MD3～MD0=B'0000、B'01xx かつ IOA3～IOA0=B'10xx の場合に TIOCA1 入力となります。

*2 TIOCB1 は出力禁止となります。

端子

P13/PO11/
TIOCD0/
TCLKB

動作モードと TMDR0 の MD3～MD0 ビット、TIOR0L の IOD3～IOD0 ビット、TCR0 の CCLR2～CCLR0 ビットによる TPU チャンネル 0 の設定、TCR0～TCR2 の TPSC2～TPSC0 ビット、NDERH の NDER11 ビット、および P13DDR ビットの組み合わせにより、次のように切り替わります。

TPUチャンネル0の設定

下表 (1)

P13DDR

NDER11

端子機能

下表 (2)

0

1

PO11出力

1

0

TIOCD0出力

1

1

TIOCD0入力*1

TCLKB入力*2

【注】

*1 MD3～MD0=B'0000、かつ IOD3～IOD0=B'10xx の場合に TIOCD0 入力となります。

*2 TCR0～TCR2 のいずれかの設定が TPSC2～TPSC0=B'101 の場合に TCLKB 入力となります。

また、チャンネル 1、5 を位相計数モードに設定すると TCLKB 入力となります。

TPUチャンネル0の設定

(2)

(1)

(2)

(2)

(1)

(2)

MD3～MD0

B'0000

B'0010

B'0011

IOD3～IOD0

B'0000

B'0100

B'1xxx

B'0001～B'0011

B'0101～B'0111

—

B'xx00

B'xx00以外

CCLR2～CCLR0

—

—

—

—

B'110以外

B'110

出力機能

—

アウトプットコンペア出力

—

—

PWMモード2出力

—

x : Don't care

端子	選択方法と端子機能						
P12/PO10/ TIOCC0/ TCLKA	動作モードと TMDR0 の MD3～MD0 ビット、TIOR0L の IOC3～IOC0 ビット、TCR0 の CCLR2～CCLR0 ビットによる TPU チャネル 0 の設定、TCR0～TCR5 の TPSC2～TPSC0 ビット、NDERH の NDER10 ビット、および P12DDR ビットの組み合わせにより、次のように切り替わります。						
TPUチャネル0の設定		下表 (1)	下表 (2)				
P12DDR		—	0	1	1		
NDER10		—	—	0	1		
端子機能	TIOCC0出力	P12入力	P12出力	PO10出力			
				TIOCC0入力*1			
	TCLKA入力*2						
TPUチャネル0の設定		(2)	(1)	(2)	(1)	(1)	(2)
MD3～MD0		B'0000		B'001x	B'0010	B'0011	
IOC3～IOC0		B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00以外	B'xx00以外	
CCLR2～CCLR0		—	—	—	—	B'101以外	B'101
出力機能		—	アウトプット コンペア出力	—	PWM *3 モード1出力	PWM モード2出力	—
x : Don't care							
【注】 *1 MD3～MD0=B'0000、かつ IOC3～IOC0=B'10xx の場合に TIOCC0 入力となります。							
*2 TCR0～TCR5 のいずれかの設定が TPSC2～TPSC0=B'100 の場合に TCLKA 入力となります。 また、チャネル 1、5 を位相計数モードに設定すると TCLKA 入力となります。							
*3 TIOCD0 は出力禁止となります。 TMDR0 の BFA=1 または BFB=1 のときは出力禁止で (2) の設定になります。							

端子	選択方法と端子機能					
P11/PO9/ TIOCB0	動作モードと TMDR0 の MD3～MD0 ビット、TIOH の IOB3～IOB0 ビットによる TPU チャネル 0 の設定、 NDERH の NDER9 ビット、および P11DDR ビットの組み合わせにより、次のように切り替わります。					
TPUチャネル0の設定		下表 (1)	下表 (2)			
P11DDR	—	0	1	1		
NDER9	—	—	0	1		
端子機能	TIOCB0出力	P11入力	P11出力	PO9出力		
		TIOCB0入力*				
【注】 * MD3～MD0=B'0000、かつ IOB3～IOB0=B'10xx の場合に TIOCB0 入力となります。						
TPUチャネル0の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000		B'0010	B'0011		
IOB3～IOB0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	—	B'xx00	B'xx00以外	
CCLR2～CCLR0	—	—	—	—	B'010以外	B'010
出力機能	—	アウトプットコンペア出力	—	—	PWMモード2出力	—
x : Don't care						

端子

選択方法と端子機能

P10/PO8/
TIOCA0

動作モードと TMDR0 の MD3～MD0 ビット、TIOH の IOA3～IOA0 ビット、TCR0 の CCLR2～CCLR0 ビットによる TPU チャンネル 0 の設定、 NDERH の NDER8 ビット、および P10DDR ビットの組み合わせにより、次のように切り替わります。

TPUチャンネル0の設定	下表 (1)	下表 (2)		
P10DDR	—	0	1	1
NDER8	—	—	0	1
端子機能	TIOCA0出力	P10入力	P10出力	PO8出力
		TIOCA0入力*1		

TPUチャンネル0の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3～MD0	B'0000		B'001x	B'0010	B'0011	
IOA3～IOA0	B'0000	B'0001～B'0011	B'xx00	B'xx00以外	B'xx00以外	
	B'0100	B'0101～B'0111				
	B'1xxx					
CCLR2～CCLR0	—	—	—	—	B'001以外	B'001
出力機能	—	アウトプット	—	PWM *2	PWM	—
		コンペア出力		モード1出力	モード2出力	

x : Don't care

【注】 *1 MD3～MD0=B'0000、かつ IOA3～IOA0= B'10xx の場合に TIOCA0 入力となります。

*2 TIOCB0 は出力禁止となります。

9.3 ポート 2

9.3.1 概要

ポート 2 は、8 ビットの入出力ポートです。ポート 2 は、TPU の入出力端子（TIOCB5、TIOCA5、TIOCB4、TIOCA4、TIOCD3、TIOCC3、TIOCB3、TIOCA3）と兼用になっています。ポート 2 の端子機能は動作モードによって切り替わります。

ポート 2 の各端子の構成を図 9.2 に示します。

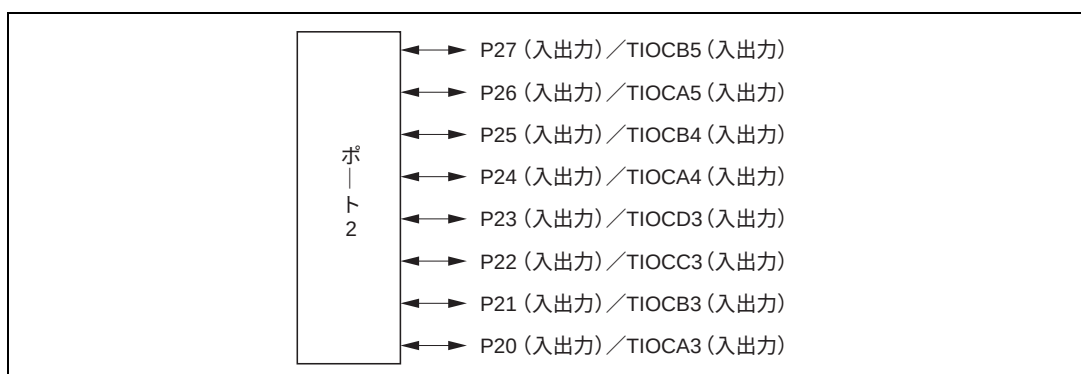


図 9.2 ポート 2 の端子機能

9.3.2 レジスタ構成

表 9.4 にポート 2 のレジスタ構成を示します。

表 9.4 ポート 2 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 2 データディレクションレジスタ	P2DDR	W	H'00	H'FE31
ポート 2 データレジスタ	P2DR	R/W	H'00	H'FF01
ポート 2 レジスタ	PORT2	R	不定	H'FFB1

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 2 データディレクションレジスタ（P2DDR）

ビット：	7	6	5	4	3	2	1	0
	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

P2DDR は、8 ビットのライト専用レジスタで、ポート 2 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P2DDR を 1 にセットすると対応するポート 2 の各端子は出力となり、0 にクリアすると入力になります。

P2DDR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、P2DDR は直前の状態を保持します。

(2) ポート 2 データレジスタ (P2DR)

ビット：	7	6	5	4	3	2	1	0
	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P2DR は、8 ビットのリード／ライト可能なレジスタで、ポート 2 の各端子 (P27～P20) の出力データを格納します。

P2DR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート 2 レジスタ (PORT2)

ビット：	7	6	5	4	3	2	1	0
	P27	P26	P25	P24	P23	P22	P21	P20
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

【注】* P27～P20端子の状態により決定されます。

PORT2 は、8 ビットのリード専用レジスタで、ライトは無効です。端子の状態を反映します。ポート 2 の各端子 (P27～P20) の出力データのライトは必ず P2DR に対して行ってください。

P2DDR が 1 にセットされているとき、ポート 2 のリードを行うと P2DR の値をリードします。P2DDR が 0 にクリアされているとき、ポート 2 のリードを行うと端子の状態が読み出されます。

PORT2 は、リセットまたはハードウェアスタンバイモードでは P2DDR、P2DR が初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

9.3.3 端子機能

ポート 2 の各端子は、TPU の入出力端子 (TIOCB5、TIOCA5、TIOCB4、TIOCA4、TIOCD3、TIOCC3、TIOCB3、TIOCA3) と兼用になっています。ポート 2 の端子機能を表 9.5 に示します。

表 9.5 ポート 2 の端子機能

端子	選択方法と端子機能						
P27/ TIOCB5	TMDR5 の MD3～0 ビット、TIOB5 の IOB3～IOB0 ビット、TCR5 の CCLR1、CCLR0 ビットによる TPU チャネル 5 の設定、 および P27DDR ビットの組み合わせにより、次のように切り替わります。						
	TPUチャネル5の設定	下表（1）		下表（2）			
	P27DDR	—		0		1	
	端子機能	TIOCB5出力	P27入力		P27出力		
			TIOCB5入力*				
	【注】 * MD3～MD0=B'0000、B'01xx かつ IOB=1 の場合に TIOCB5 入力となります。						
	TPUチャネル5の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3～MD0	B'0000、B'01xx		B'0010	B'0011		
	IOB3～IOB0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	—	B'xx00	B'xx00以外	
	CCLR1、CCLR0	—	—	—		B'10以外	B'10
出力機能	—	アウトプットコンペア出力	—		PWMモード2出力	—	
P26/ TIOCA5	TMDR5 の MD3～0 ビット、TIOB5 の IOA3～IOA0 ビット、TCR5 の CCLR1、CCLR0 ビットによる TPU チャネル 5 の設定、 および P26DDR ビットの組み合わせにより、次のように切り替わります。						
	TPUチャネル5の設定	下表（1）		下表（2）			
	P26DDR	—		0		1	
	端子機能	TIOCA5出力	P26入力*		P26出力		
			TIOCA5入力*				
	【注】 * TIOCB5 は出力禁止になります。						
	TPUチャネル5の設定	(2)	(1)	(2)	(2)	(1)	(2)
	MD3～MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
	IOA3～IOA0	B'0000 B'0100 B'1xxx	B'0001～B'0011 B'0101～B'0111	B'xx00	B'xx00以外	B'xx00以外	
	CCLR1、CCLR0	—	—	—	—	B'01以外	B'01
出力機能	—	アウトプットコンペア出力	—	PWM* モード1出力	PWM モード2出力	—	

端子	選択方法と端子機能						
P25/ TIOCB4	TMDR4 の MD3～MD0 ビット、TIOB4 の IOB3～IOB0 ビット、TCR4 の CCR1、CCR0 ビットによる TPU チャンネル 4 の設定、および P25DDR の組み合わせにより、次のように切り替わります。						
TPUチャンネル4の設定		下表 (1)		下表 (2)			
P25DDR		—		0		1	
端子機能		TIOCB4出力		P25入力		P25出力	
				TIOCB4入力			
TPUチャンネル4の設定		(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0		B'0000、B'01xx		B'0010	B'0011		
IOB3～IOB0		B'0000	B'0001～B'0011	—	B'xx00	B'xx00以外	
		B'0100	B'0101～B'0111				
		B'1xxx					
CCLR1、CCLR0		—	—	—	—	B'10以外	B'10
出力機能		—	アウトプットコンペア出力	—	—	PWM モード2出力	—

P24/ TIOCA4	TMDR4 の MD3～MD0 ビット、TIOB4 の IOA3～IOA0 ビット、TCR4 の CCR1、CCR0 ビットによる TPU チャンネル 4 の設定、および P24DDR の組み合わせにより、次のように切り替わります。						
TPUチャンネル4の設定		下表 (1)		下表 (2)			
P24DDR		—		0		1	
端子機能		TIOCA4出力		P24入力*		P24出力	
				TIOCA4入力*			
TPUチャンネル4の設定		(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0		B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3～IOA0		B'0000	B'0001～B'0011	B'xx00	B'xx00以外	B'xx00以外	
		B'0100	B'0101～B'0111				
		B'1xxx					
CCLR1、CCLR0		—	—	—	—	B'01以外	B'01
出力機能		—	アウトプットコンペア出力	—	PWM* モード1出力	PWM モード2出力	—

【注】 * TIOCB4 は出力禁止になります。

端子	選択方法と端子機能						
P23/ TIOCD3	TMDR3 の MD3～MD0 ビット、TIOR3L の IOD3～IOD0 ビット、TCR3 の CCLR2～CCLR0 ビットによる TPU チャンネル 3 の設定、および P23DDR の組み合わせにより、次のように切り替わります。						
TPUチャンネル3の設定		下表（1）		下表（2）			
P23DDR		－		0		1	
端子機能		TIOCD3出力		P23入力		P23出力	
				TIOCD3入力			
TPUチャンネル3の設定		(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0		B'0000		B'0010		B'0011	
IOD3～IOD0		B'0000	B'0001～B'0011	－	B'xx00	B'xx00以外	
		B'0100	B'0101～B'0111				
		B'1xxx					
CCLR2～CCLR0		－	－	－	－	B'110以外	B'110
出力機能		－	アウトプットコンペア出力	－	－	PWM モード2出力	－
【注】 * TIOCD3 は出力禁止になります。							
P22/ TIOCC3	TMDR3 の MD3～MD0 ビット、TIOR3L の IOC3～IOC0 ビット、TCR3 の CCR2～CCR0 ビットによる TPU チャンネル 3 の設定、および P22DDR の組み合わせにより、次のように切り替わります。						
TPUチャンネル3の設定		下表（1）		下表（2）			
P22DDR		－		0		1	
端子機能		TIOCC3出力		P22入力		P22出力	
				TIOCC3入力			
TPUチャンネル3の設定		(2)	(1)	(2)	(1)	(1)	(2)
MD3～MD0		B'0000		B'001x		B'0010	
IOC3～IOC0		B'0000	B'0001～B'0011	B'xx00	B'xx00以外		B'xx00以外
		B'0100	B'0101～B'0111				
		B'1xxx					
CCLR2～CCLR0		－	－	－	－	B'101以外	B'101
出力機能		－	アウトプットコンペア出力	－	PWM* モード1出力	PWM モード2出力	－
【注】 * TIOCD3 は出力禁止になります。							

端子	選択方法と端子機能						
P21/ TIOCB3	TMDR3 の MD3～MD0 ビット、TIOR3L の IOB3～IOB0 ビット、TCR3 の CCR2～CCR0 ビットによる TPU チャンネル 3 の設定、および P21DDR の組み合わせにより、次のように切り替わります。						
TPUチャンネル3の設定		下表 (1)		下表 (2)			
P21DDR		—		0		1	
端子機能		TIOCB3出力		P21入力		P21出力	
				TIOCB3入力			
TPUチャンネル3の設定		(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0		B'0000		B'0010	B'0011		
IOB3～IOB0		B'0000	B'0001～B'0011	—	B'xx00	B'xx00以外	
		B'0100	B'0101～B'0111				
		B'1xxx					
CCLR2～CCLR0		—	—	—	—	B'010以外	B'010
出力機能		—	アウトプットコンペア出力	—	—	PWM モード2出力	—

P20/ TIOCA3	TMDR3 の MD3～MD0 ビット、TIOR3L の IOA3～IOA0 ビット、TCR3 の CCR2～CCR0 ビットによる TPU チャンネル 3 の設定、および P20DDR の組み合わせにより、次のように切り替わります。						
TPUチャンネル3の設定		下表 (1)		下表 (2)			
P20DDR		—		0		1	
端子機能		TIOCA3出力		P20入力		P20出力	
				TIOCA3入力			
TPUチャンネル3の設定		(2)	(1)	(2)	(1)	(1)	(2)
MD3～MD0		B'0000		B'001x	B'0010	B'0011	
IOA3～IOA0		B'0000	B'0001～B'0011	B'xx00	B'xx00以外	B'xx00以外	
		B'0100	B'0101～B'0111				
		B'1xxx					
CCLR2～CCLR0		—	—	—	—	B'001以外	B'001
出力機能		—	アウトプットコンペア出力	—	PWM* モード1出力	PWM モード2出力	—

【注】 * TIOCB3 は出力禁止になります。

9.4 ポート 3

9.4.1 概要

ポート 3 は、8 ビットの入出力ポートです。ポート 3 は、SCI の入出力端子（TxD0、RxD0、SCK0、TxD1、RxD1、SCK1）、外部割り込み入力端子（ $\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ5}}$ ）と兼用になっています。ポート 3 の端子機能はいずれの動作モードでも共通です。ポート 3 の各端子の構成を図 9.3 に示します。

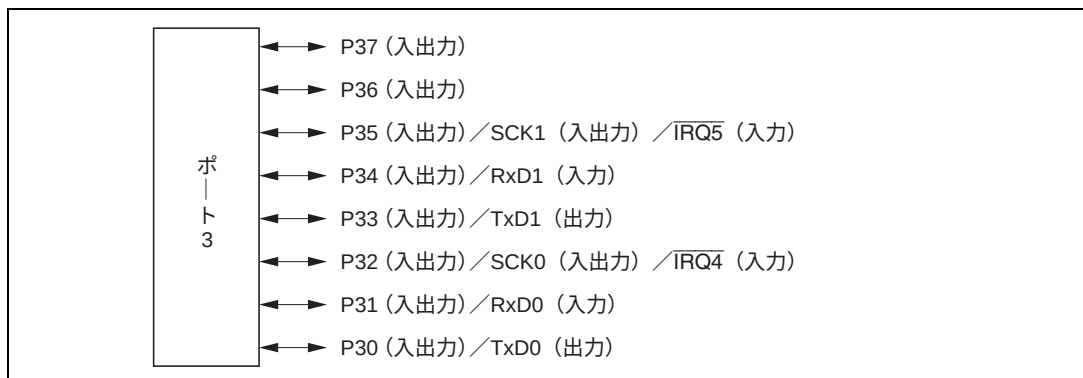


図 9.3 ポート 3 の端子機能

9.4.2 レジスタ構成

表 9.6 にポート 3 のレジスタ構成を示します。

表 9.6 ポート 3 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 3 データディレクションレジスタ	P3DDR	W	H'00	H'FE32
ポート 3 データレジスタ	P3DR	R/W	H'00	H'FF02
ポート 3 レジスタ	PORT3	R	不定	H'FFB2
ポート 3 オープンドレインコントロールレジスタ	P3ODR	R/W	H'00	H'FE46

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 3 データディレクションレジスタ (P3DDR)

ビット：	7	6	5	4	3	2	1	0
	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

P3DDR は、8 ビットのライト専用レジスタで、ポート 3 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P3DDR を 1 にセットすると対応するポート 3 の各端子は出力となり、0 にクリアすると入力になります。

リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。SCI は初期化されるため、P3DDR、P3DR の指定によって端子状態が決定されます。

(2) ポート 3 データレジスタ (P3DR)

ビット：	7	6	5	4	3	2	1	0
	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P3DR は、8 ビットのリード／ライト可能なレジスタで、ポート 3 の各端子 (P37～P30) の出力データを格納します。

P3DR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート 3 レジスタ (PORT3)

ビット：	7	6	5	4	3	2	1	0
	P37	P36	P35	P34	P33	P32	P31	P30
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

【注】* P37～P30端子の状態により決定されます。

PORT3 は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート 3 の各端子 (P37～P30) の出力データのライトは必ず P3DR に対して行ってください。

P3DDR が 1 にセットされているとき、ポート 3 のリードを行うと P3DR の値をリードします。P3DDR が 0 にクリアされているとき、ポート 3 のリードを行うと端子の状態が読み出されます。

PORT3 は、リセットまたはハードウェアスタンバイモードでは、P3DDR、P3DR が初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート 3 オープンドレインコントロールレジスタ (P3ODR)

ビット：	7	6	5	4	3	2	1	0
	P37ODR	P36ODR	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P3ODR は、8 ビットのリード／ライト可能なレジスタで、ポート 3 の各端子 (P37～P30) の PMOS のオン／オフを制御します。

P3ODR を 1 にセットするとポート 3 の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。

P3ODR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

9.4.3 端子機能

ポート 3 の各端子は、SCI の入出力端子 (TxD0、RxD0、SCK0、TxD1、RxD1、SCK1)、外部割り込み入力端子 ($\overline{\text{IRQ4}}$ 、 $\overline{\text{IRQ5}}$) と兼用になっています。ポート 3 の端子機能を表 9.7 に示します。

表 9.7 ポート 3 の端子機能

端子	選択方法と端子機能				
P37	P37DDR ビットにより、次のように切り替わります。				
	P37DDR	0	1		
	端子機能	P37入力端子	P37出力端子*		
	【注】 * P37ODR=1 のとき、NMOS オープンドレイン出力になります。				
P36	P36DDR ビットにより、次のように切り替わります。				
	P36DDR	0	1		
	端子機能	P36入力端子	P36出力端子*		
	【注】 * P36ODR=1 のとき、NMOS オープンドレイン出力になります。				
P35/SCK1/ IRQ5	SCI1 の SMR の C/ $\bar{A}$ ビット、SCR の CKE0、CKE1 ビット、および P35DDR ビットの組み合わせにより、次のように切り替わります。				
	CKE1	0			1
	C/ $\bar{A}$	0		1	—
	CKE0	0		1	—
	P35DDR	0	1	—	—
	端子機能	P35 入力端子	P35 出力端子	SCK1 出力端子*	SCK1 出力端子*
		SCK1 入力端子			
		IRQ5入力			
	【注】 * P35ODR=1 のとき、NMOS オープンドレイン出力となります。				

端子	選択方法と端子機能				
P34/RxD1	SCI1 の SCR の RE ビットと P34DDR ビットの組み合わせにより、次のように切り替わります。				
	RE	0		1	
	P34DDR	0	1	—	
	端子機能	P34入力端子		P34出力端子*	RxD1入力端子
	【注】 * P34ODR=1 のとき、NMOS オープンドレイン出力になります。				
P33/TxD1	SCI1 の SCR の TE ビットと P33DDR ビットの組み合わせにより、次のように切り替わります。				
	TE	0		1	
	P33DDR	0	1	—	
	端子機能	P33入力端子		P33出力端子*	TxD1出力端子
	【注】 * P33ODR=1 のとき、NMOS オープンドレイン出力になります。				
P32/SCK0/ IRQ4	SCI0 の SMR の C/ $\bar{A}$ ビット、SCR の CKE0、CKE1 ビット、および P32DDR ビットの組み合わせにより、次のように切り替わります。				
	CKE1	0			1
	C/ $\bar{A}$	0		1	—
	CKE0	0		1	—
	P32DDR	0	1	—	—
	端子機能	P32 入力端子	P32 出力端子	SCK0 出力端子*	SCK0 出力端子*
		IRQ4入力			
	【注】 * P32ODR=1 のとき、NMOS オープンドレイン出力になります。				
P31/RxD0	SCI0 の SCR の RE ビットと P31DDR ビットの組み合わせにより、次のように切り替わります。				
	RE	0		1	
	P31DDR	0	1	—	
	端子機能	P31入力端子		P31出力端子*	RxD0入力端子
	【注】 * P31ODR=1 のとき、NMOS オープンドレイン出力になります。				
P30/TxD0	SCI0 の SCR の TE ビットと P30DDR ビットの組み合わせにより、次のように切り替わります。				
	TE	0		1	
	P30DDR	0	1	—	
	端子機能	P30入力端子		P30出力端子*	TxD0出力端子
	【注】 * P30ODR=1 のとき、NMOS オープンドレイン出力になります。				

9.5 ポート 4

9.5.1 概要

ポート 4 は、8 ビットの入力専用ポートです。ポート 4 は、A/D 変換器のアナログ入力端子（AN0～AN7）との兼用になっています。ポート 4 の端子機能はいずれの動作モードでも共通です。ポート 4 の各端子の構成を図 9.4 に示します。

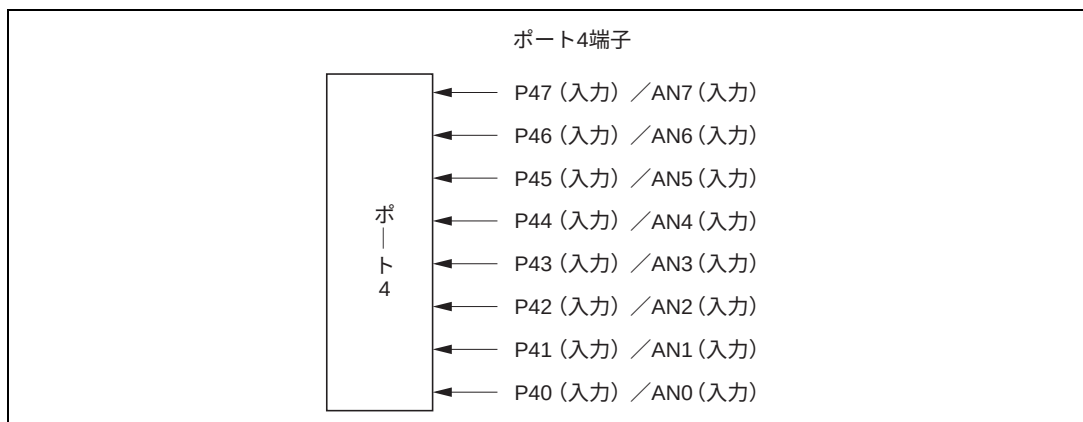


図 9.4 ポート 4 の端子機能

9.5.2 レジスタ構成

表 9.8 にポート 4 のレジスタ構成を示します。ポート 4 は入力専用ポートであり、データディレクションレジスタ、データレジスタはありません。

表 9.8 ポート 4 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート 4 レジスタ	PORT4	R	不定	H'FFB3

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 4 レジスタ (PORT4)

PORT4 のリードを行うと、常に端子の状態が読み出されます。

ビット：	7	6	5	4	3	2	1	0
	P47	P46	P45	P44	P43	P42	P41	P40
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

【注】 * P47～P40端子の状態により決定されます。

9.5.3 端子機能

ポート 4 の各端子は、A/D 変換器のアナログ入力端子 (AN0～AN7) との兼用になっています。

9.6 ポート 5

9.6.1 概要

ポート 5 は、3 ビットの入出力ポートです。ポート 5 の端子機能はいずれの動作モードでも共通です。ポート 5 の各端子の構成を図 9.5 (1)、図 9.5 (2) に示します。

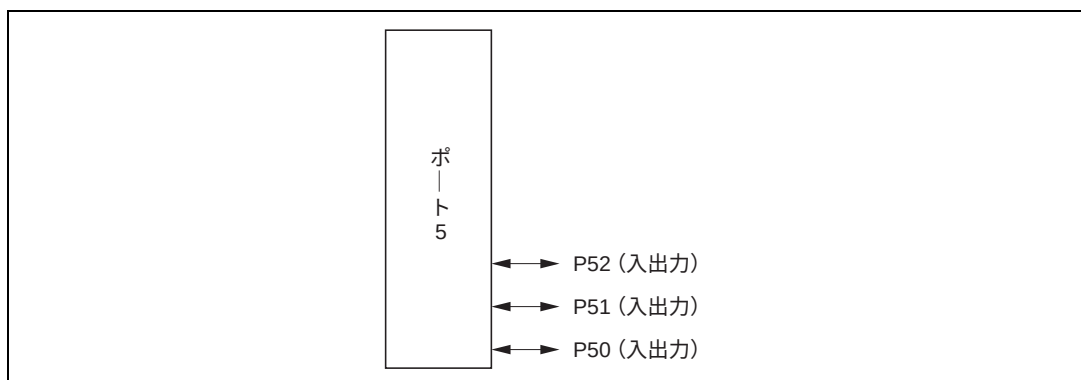


図 9.5 (1) ポート 5 の端子機能 (H8S/2646、H8S/2646R、H8S/2645)

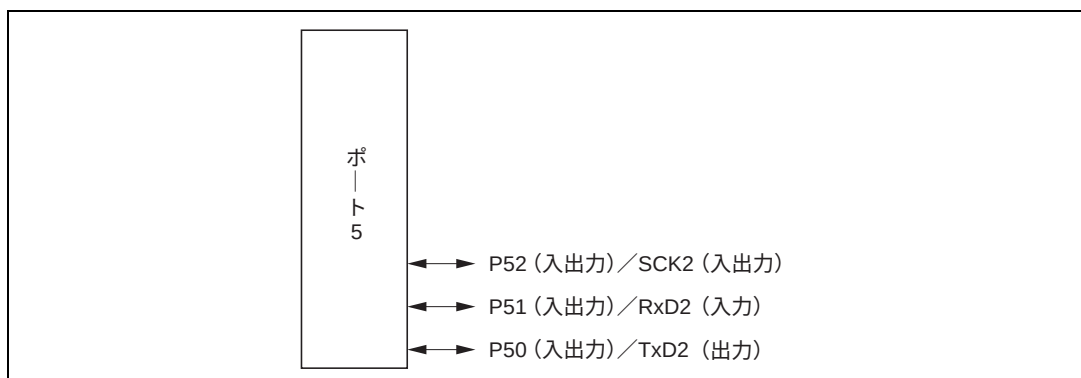


図 9.5 (2) ポート 5 の端子機能 (H8S/2648、H8S/2648R、H8S/2647)

9.6.2 レジスタ構成

表 9.9 にポート 5 のレジスタ構成を示します。

表 9.9 ポート 5 レジスタ構成

名 称	略称	R/W	初期値* ²	アドレス* ¹
ポート 5 データディレクションレジスタ	P5DDR	W	H'0	H'FE34
ポート 5 データレジスタ	P5DR	R/W	H'0	H'FF04
ポート 5 レジスタ	PORT5	R	H'0	H'FFB4

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 2～0 の値を示しています。

(1) ポート 5 データディレクションレジスタ (P5DDR)

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	P52DDR	P51DDR	P50DDR
初期値：	不定	不定	不定	不定	不定	0	0	0
R/W：	—	—	—	—	—	W	W	W

P5DDR は、8 ビットのライト専用レジスタで、ポート 5 の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

P5DDR を 1 にセットすると対応するポート 5 の各端子は出力となり、0 にクリアすると入力になります。

リセットまたはハードウェアスタンバイモードでは、H'0（ビット 2～0）に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。H8S/2648、H8S/2648R、H8S/2647 の場合 SCI は初期化されるため、P5DDR、P5DR の指定によって端子状態が決定されます。

(2) ポート 5 データレジスタ (P5DR)

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	P52DR	P51DR	P50DR
初期値：	不定	不定	不定	不定	不定	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W

P5DR は、8 ビットのリード／ライト可能なレジスタで、ポート 5 の各端子（P52～P50）の出力データを格納します。

P5DR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート 5 レジスタ (PORT5)

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	P52	P51	P50
初期値：	不定	不定	不定	不定	不定	—*	—*	—*
R/W：	—	—	—	—	—	R	R	R

【注】* P52～P50端子の状態により決定されます。

PORT5 は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート 5 の各端子 (P52～P50) の出力データのライトは必ず P5DR に対して行ってください。

P5DDR が 1 にセットされているとき、ポート 5 のリードを行うと P5DR の値をリードします。P5DDR が 0 にクリアされているとき、ポート 5 のリードを行うと端子の状態が読み出されます。

PORT5 は、リセットまたはハードウェアスタンバイモードでは、P5DDR、P5DR が初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

9.6.3 端子機能

ポート 5 の端子機能を表 9.10 (1)、表 9.10 (2) に示します。また、H8S/2648、H8S/2648R、H8S/2647 の場合、ポート 5 の各端子は、SCI の入出力端子 (TxD2、RxD2、SCK2) と兼用になっています。

表 9.10 (1) ポート 5 の端子機能 (H8S/2646、H8S/2646R、H8S/2645)

端子	選択方法と端子機能		
P52	P52DDR ビットにより、次のように切り替わります。		
	P52DDR	0	1
	出力機能	P52入力端子	P52出力端子
P51	P51DDR ビットにより、次のように切り替わります。		
	P51DDR	0	1
	端子機能	P51入力端子	P51出力端子
P50	P50DDR ビットにより、次のように切り替わります。		
	P50DDR	0	1
	端子機能	P50入力端子	P50出力端子

表 9.10 (2) ポート 5 の端子機能 (H8S/2648、H8S/2648R、H8S/2647)

端子

選択方法と端子機能

P52/SCK2

SCI2 の SMR の C/ $\bar{A}$ ビット、SCR の CKE0、CKE1 ビット、および P52DDR ビットの組み合わせにより、次のように切り替わります。

CKE1	0				1
C/ $\bar{A}$	0			1	—
CKE0	0		1	—	—
P52DDR	0	1	—	—	—
出力機能	P52 入力端子	P52 出力端子	SCK2 出力端子	SCK2 出力端子	SCK2 入力端子

P51/RxD2

SCI2 の SCR の RE ビットと P51DDR ビットの組み合わせにより、次のように切り替わります。

RE	0		1
P51DDR	0	1	—
端子機能	P51入力端子	P51出力端子	RxD2入力端子

P50/TxD2

SCI2 の SCR の TE ビットと P50DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P50DDR	0	1	—
端子機能	P50入力端子	P50出力端子	TxD2出力端子

9.7 ポート 9

9.7.1 概要

ポート 9 は、8 ビットの入力専用ポートです。ポート 9 は、A/D 変換器のアナログ入力端子（AN8～AN11）との兼用になっています。ポート 9 の端子機能はいずれの動作モードでも共通です。ポート 9 の各端子の構成を図 9.6 に示します。

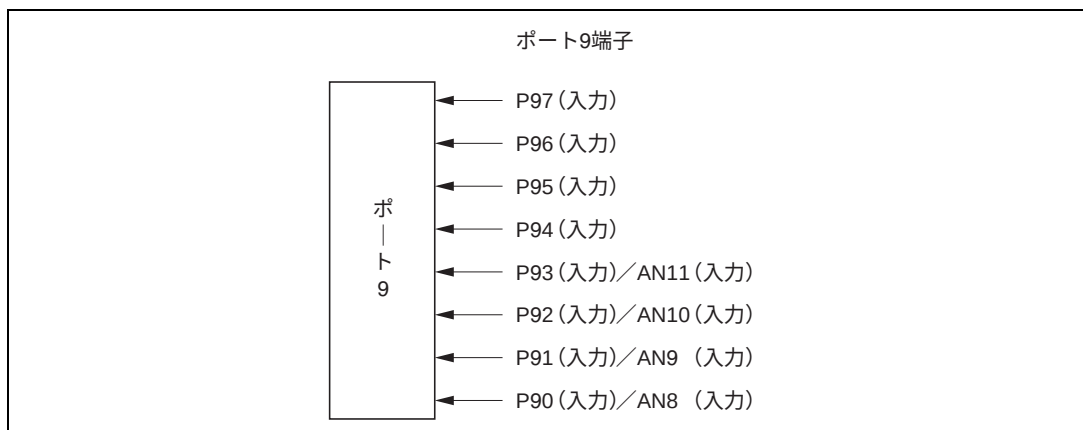


図 9.6 ポート 9 の端子機能

9.7.2 レジスタ構成

表 9.11 にポート 9 のレジスタ構成を示します。ポート 9 は入力専用ポートであり、データディレクションレジスタ、データレジスタはありません。

表 9.11 ポート 9 レジスタ構成

名称	略称	R/W	初期値	アドレス*
ポート 9 レジスタ	PORT9	R	不定	H'FFB8

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 9 レジスタ (PORT9)

PORT9 のリードを行うと、常に端子の状態が読み出されます。

ビット：	7	6	5	4	3	2	1	0
	P97	P96	P95	P94	P93	P92	P91	P90
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

【注】 * P97～P90端子の状態により決定されます。

9.7.3 端子機能

ポート 9 の各端子は、A/D 変換器のアナログ入力端子（AN8～AN11）との兼用になっています。

9.8 ポート A

9.8.1 概要

ポート A は、8 ビットの入出力ポートです。ポート A は、アドレスバス出力と、LCD ドライバの出力端子 (H8S/2646、H8S/2646R、H8S/2645:SEG24~21、COM4~1、H8S/2648、H8S/2648R、H8S/2647:SEG40~37、COM4~1) と兼用になっています。動作モードによって端子機能が切り替わります。

ポート A は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート A の各端子の構成を図 9.7 に示します。

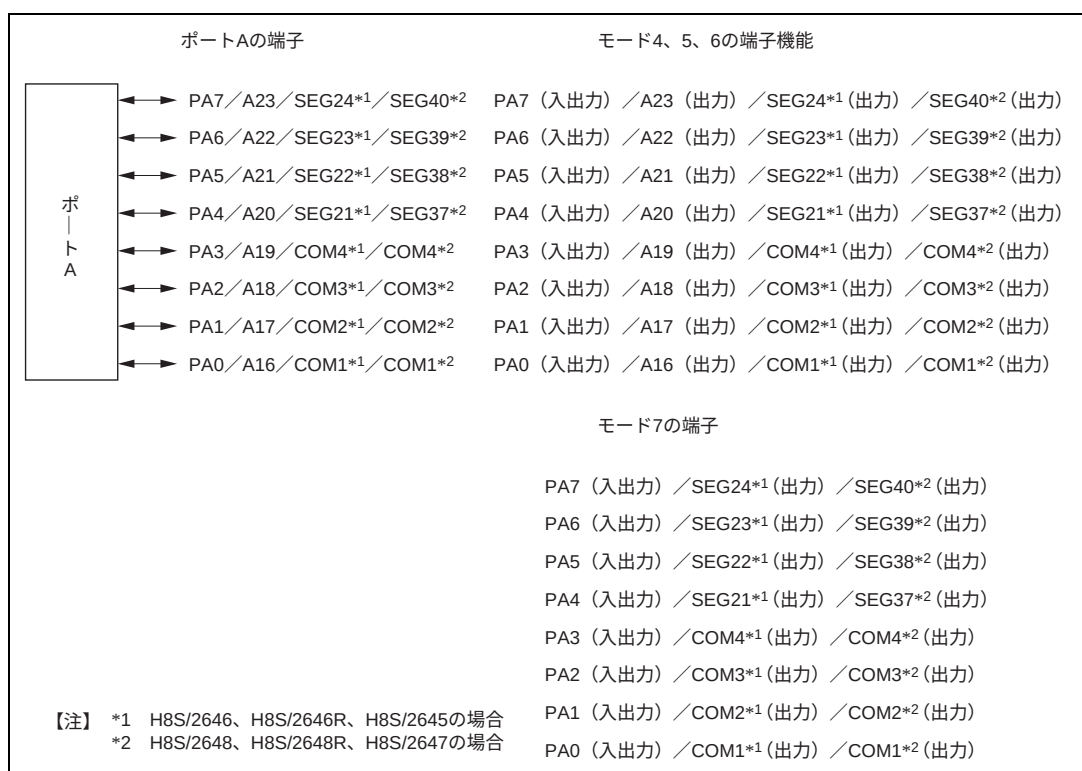


図 9.7 ポート A の端子機能

9.8.2 レジスタ構成

表 9.12 にポート A のレジスタ構成を示します。

表 9.12 ポート A レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート A データディレクションレジスタ	PADDR	W	H'00	H'FE39
ポート A データレジスタ	PADR	R/W	H'00	H'FF09
ポート A レジスタ	PORTA	R	不定	H'FFB9
ポート A プルアップ MOS コントロールレジスタ	PAPCR	R/W	H'00	H'FE40
ポート A オープンドレインコントロールレジスタ	PAODR	R/W	H'00	H'FE47

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート A データディレクションレジスタ (PADDR)

ビット：	7	6	5	4	3	2	1	0
	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

PADDR は、8 ビットのライト専用レジスタで、ポート A の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PADDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、PADDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(a) モード 4、5、6

LCD ドライバの LPCR の SGS3～0 が B'0000 以外のときは、セグメント端子になります。SGS3～0 が B'0000 のときには、PA7DDR～PA0DDR ビットにかかわらず、PFCR の AE3～AE0 ビットの設定に従いポート A の各端子はアドレス出力となります。また、アドレス出力ではないとき、PADDR を 1 にセットすると対応するポート A の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(b) モード 7

LCD ドライバの LPCR の SGS3～0 が B'0000 以外のときは、セグメント端子になります。SGS3～0 が B'0000 のときには、PADDR を 1 にセットすると対応するポート A の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。

(2) ポート A データレジスタ (PADR)

ビット：	7	6	5	4	3	2	1	0
	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PADR は、8 ビットのリード／ライト可能なレジスタで、ポート A の各端子 (PA7～PA0) の出力データを格納します。

PADR は、リセットまたはハードウェアスタンバイモードでは、H'00 ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート A レジスタ (PORTA)

ビット：	7	6	5	4	3	2	1	0
	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

【注】* PA7～PA0端子の状態により決定されます。

PORTA は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート A の各端子 (PA7～PA0) の出力データのライトは必ず PADR に対して行ってください。

PADDR が 1 にセットされているとき、ポート A のリードを行うと PADR の値をリードします。PADDR が 0 にクリアされているとき、ポート A のリードを行うと端子の状態が読み出されます。

LCD ドライバとして使用している端子をリードすると、不定値が読み出されます。

PORTA は、リセットまたはハードウェアスタンバイモードでは、PADDR、PADR が初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート A プルアップ MOS コントロールレジスタ (PAPCR)

ビット：	7	6	5	4	3	2	1	0
	PA7PCR	PA6PCR	PA5PCR	PA4PCR	PA3PCR	PA2PCR	PA1PCR	PA0PCR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PAPCR は、8 ビットのリード／ライト可能なレジスタで、ポート A に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 4～6 では、PFCR、LPCR、および DDR の設定により、端子が入力状態のとき PAPCR を 1 にセットすると、入力プルアップ MOS はオンします。

モード 7 では、LPCR および DDR の設定により、端子が入力状態のとき PAPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PAPCR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(5) ポート A オープンドレインコントロールレジスタ (PAODR)

ビット：	7	6	5	4	3	2	1	0
	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PAODR は、8 ビットのリード／ライト可能なレジスタで、ポート A の各端子 (PA7～PA0) の PMOS のオン／オフを制御します。

PFCR の AE3～AE0 の設定により、アドレス、LCD 出力以外のとき PAODR を 1 にセットするとポート A の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。

PAODR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

9.8.3 端子機能

ポート A は、アドレスバス出力と、LCD ドライバの出力端子 (SEG21～24、COM1～4) と兼用になっています。モード 4～6 とモード 7 では端子機能が異なります。

ポート A の端子機能を表 9.13 および表 9.14 に示します。

表 9.13 PA7～PA4 の端子機能

端子		選択方法と端子機能							
H8S/2646 H8S/2646R H8S/2645	PA7/A23/ SEG24～ PA4/A20/ SEG21	動作モードと、LCD ドライバの LPCR の SGS3～SGS0 ビット、PFCR の AE3～AE0 ビット、PADDR の PA7DDR～PA4DDR ビットの組み合わせにより、次のように切り替わります。							
H8S/2648 H8S/2648R H8S/2647	PA7/A23/ SEG40～ PA4/A20/ SEG37	SGS3～SGS0の設定	ポート					SEG出力	
								H8S/2646、 H8S/2646R、 H8S/2645	H8S/2648、 H8S/2648R、 H8S/2647
		動作モード	モード4、5、6			モード7		—	—
		AE3～AE0の設定	アドレス 出力を許可	アドレス出力を禁止		—		—	—
		PAnDDR	—	0	1	0	1	—	—
端子機能		A23～A20 出力	PA7～PA4 入力	PA7～PA4 出力	PA7～PA4 入力	PA7～PA4 出力	SEG24～ SEG21出力	SEG40～ SEG37出力	

n=7～4

n=7～4

表 9.14 PA3～PA0 の端子機能

端子	選択方法と端子機能						
PA3/A19/ COM4～ PA0/A16/ COM1	動作モードと、LCD ドライバの LPCR の SGS3～SGS0 ビット、PFCR の AE3～AE0 ビット、PADDR の PA3DDR～PA0DDR ビットの組み合わせにより、次のように切り替わります。						
	SGS3～SGS0の設定	0000					0000以外
	動作モード	モード4、5、6			モード7		—
	AE3～AE0の設定	アドレス 出力を許可	アドレス出力を禁止		—		—
	PAnDDR	—	0	1	0	1	—
	端子機能	A19～A16 出力	PA3～PA0 入力	PA3～PA0 出力	PA3～PA0 入力	PA3～PA0 出力	COM1～ COM4出力

n=3～0

9.8.4 入力プルアップ MOS

ポート A は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS は、ビット単位でオン／オフを指定できます。

モード 4～6 では、PFCR、LCD ドライバの LPCR および DDR の設定により、端子が入力状態のとき PAPCR を 1 にセットすると、入力プルアップ MOS はオンします。

モード 7 では、LCD ドライバの LPCR および DDR の設定により、端子が入力状態のとき PAPCR を 1 にセットすると、入力プルアップ MOS はオンします。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモード時にはオフします。ソフトウェアスタンバイモード時には直前の状態を保持します。

入力プルアップ MOS の状態を表 9.15 に示します。

表 9.15 入力プルアップ MOS の状態（ポート A）

端子状態	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	その他の 動作時
アドレス出力または LCD 出力	OFF		OFF	
上記以外			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PADDR=0 かつ PAPCR=1 のときオン状態、その他のときはオフ状態です。

9.9 ポート B

9.9.1 概要

ポート B は、8 ビットの入出力ポートです。ポート B は、LCD ドライバの出力端子（H8S/2646、H8S/2646R、H8S/2645 : SEG16~9、H8S/2648、H8S/2648R、H8S/2647 : SEG32~25）とアドレスバス出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート B は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート B の各端子の構成を図 9.8 に示します。

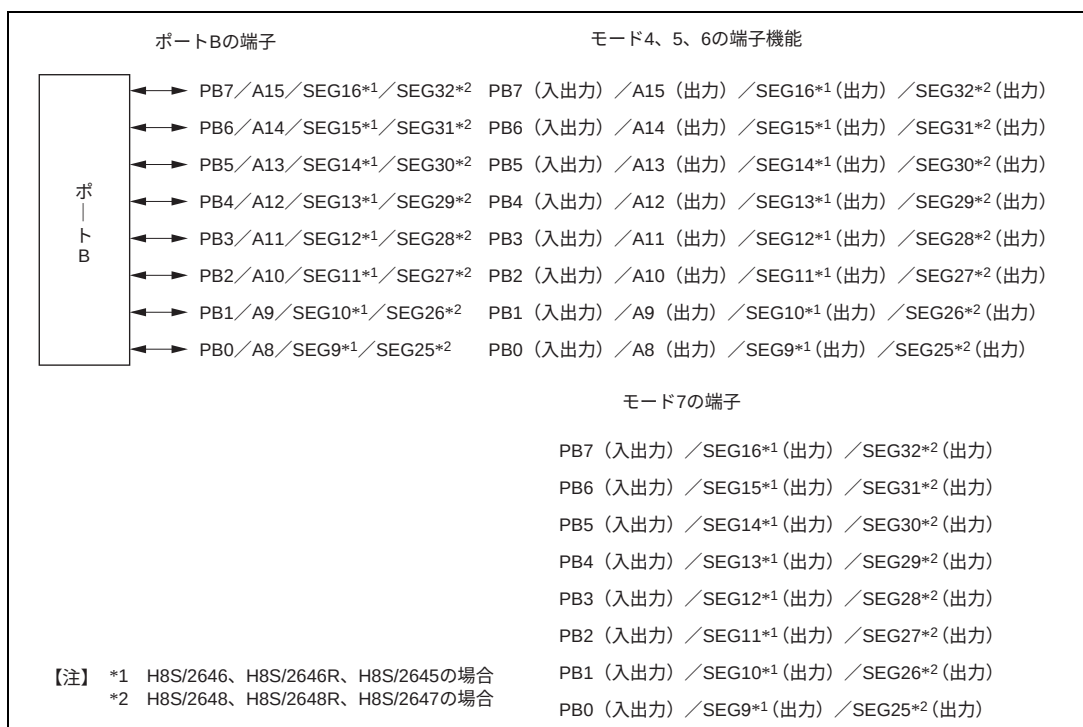


図 9.8 ポート B の端子機能

9.9.2 レジスタ構成

表 9.16 にポート B のレジスタ構成を示します。

表 9.16 ポート B レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート B データディレクションレジスタ	PBDDR	W	H'00	H'FE3A
ポート B データレジスタ	PBDR	R/W	H'00	H'FF0A
ポート B レジスタ	PORTB	R	不定	H'FFBA
ポート B プルアップ MOS コントロールレジスタ	PBPCR	R/W	H'00	H'FE41
ポート B オープンドレインコントロールレジスタ	PBODR	R/W	H'00	H'FE48

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート B データディレクションレジスタ (PBDDR)

ビット：	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

PBDDR は、8 ビットのライト専用レジスタで、ポート B の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PBDDR は、リセットまたはハードウェアスタンバイモードでは H'00 に初期化されます。ソフトウェアスタンバイモードでは、PBDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(2) ポート B データレジスタ (PBDR)

ビット：	7	6	5	4	3	2	1	0
	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PBDR は、8 ビットのリード／ライト可能なレジスタで、ポート B の各端子 (PB7～PB0) の出力データを格納します。

PBDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート B レジスタ (PORTB)

ビット：	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W	R	R	R	R	R	R	R	R

【注】* PB7～PB0端子の状態により決定されます。

PORTB は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート B の各端子 (PB7～PB0) の出力データのライトは必ず PBDR に対して行ってください。

PBDDR が 1 にセットされているとき、ポート B のリードを行うと PBDR の値をリードします。PBDDR が 0 にクリアされているとき、ポート B のリードを行うと端子の状態が読み出されます。

LCD ドライバとして使用している端子をリードすると、不定値が読み出されます。

PORTB は、リセットまたはハードウェアスタンバイモードでは、PBDDR、PBDR が初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート B プルアップ MOS コントロールレジスタ (PBPCR)

ビット：	7	6	5	4	3	2	1	0
	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR
初期値：	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PBPCR は、8 ビットのリード／ライト可能なレジスタで、ポート B に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 4～6 では、LCD ドライバの LPCR、および DDR の設定により、端子が入力状態のとき PBPCR を 1 にセットすると、入力プルアップ MOS はオンします。

モード 7 では、DDR の設定により、端子が入力状態のとき PBPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PBPCR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(5) ポート B オープンドレインコントロールレジスタ (PBODR)

ビット：	7	6	5	4	3	2	1	0
	PB7ODR	PB6ODR	PB5ODR	PB4ODR	PB3ODR	PB2ODR	PB1ODR	PB0ODR
初期値：	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PBODR は、8 ビットのリード／ライト可能なレジスタで、ポート B の各端子 (PB7～PB0) の PMOS のオン／オフを制御します。

PFCCR の AE3～AE0 の設定により、アドレス出力以外のとき、PBODR を 1 にセットするとポート B の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。LCD ドライバとして使用する場合は、PBODR を 1 にセットしないでください。

PBODR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフト

ウェアスタンバイモードでは、直前の状態を保持します。

9.9.3 端子機能

ポート B は、LCD ドライバの出力端子（H8S/2646、H8S/2646R、H8S/2645：SEG16～9、H8S/2648、H8S/2648R、H8S/2647：SEG32～25）とアドレスバス出力機能を持っています。モード 4～6 とモード 7 では端子機能が異なります。

ポート B の端子機能を表 9.17 に示します。

表 9.17 ポート B の端子機能

SGS3～0 の設定	ポート					SEG 出力	
						H8S/2646 H8S/2646R H8S/2645	H8S/268 H8S/2648R H8S/2647
動作モード	モード 4、5、6			モード 7		—	—
AE3～0 の設定	アドレス 出力を許可	アドレス出力を禁止		—		—	—
PBnDDR	—	0	1	0	1	—	—
端子機能	A15～A8 出力	PB7～0 入力	PB7～0 出力	PB7～0 入力	PB7～0 出力	SEG16～9 出力	SEG32～25 出力

9.9.4 入力プルアップ MOS

ポート B は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はビット単位でオン／オフを指定できます。

モード 4～6 では、PFCR、LCD ドライバの LPCR、および DDR の設定により、端子が入力状態のとき PBPCR を 1 にセットすると、入力プルアップ MOS はオンします。

モード 7 では、LCD ドライバの LPCR、および DDR の設定により、端子が入力状態のとき PBPCR を 1 にセットすると、入力プルアップ MOS はオンします。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 9.18 に示します。

表 9.18 入力プルアップ MOS の状態（ポート B）

端子状態	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	その他の 動作時
アドレス出力または LCD 出力	OFF		OFF	
上記以外			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PBDDR=0 かつ PBPCR=1 のときオン状態、その他のときはオフ状態です。

9.10 ポート C

9.10.1 概要

ポート C は、8 ビットの入出力ポートです。ポート C は、LCD ドライバの出力端子（H8S/2646、H8S/2646R、H8S/2645：SEG8～1、H8S/2648、H8S/2648R、H8S/2647：SEG24～17）とアドレスバス出力機能を持っており、動作モードによって端子機能が切り替わります。

ポート C は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート C の各端子の構成を図 9.9 に示します。

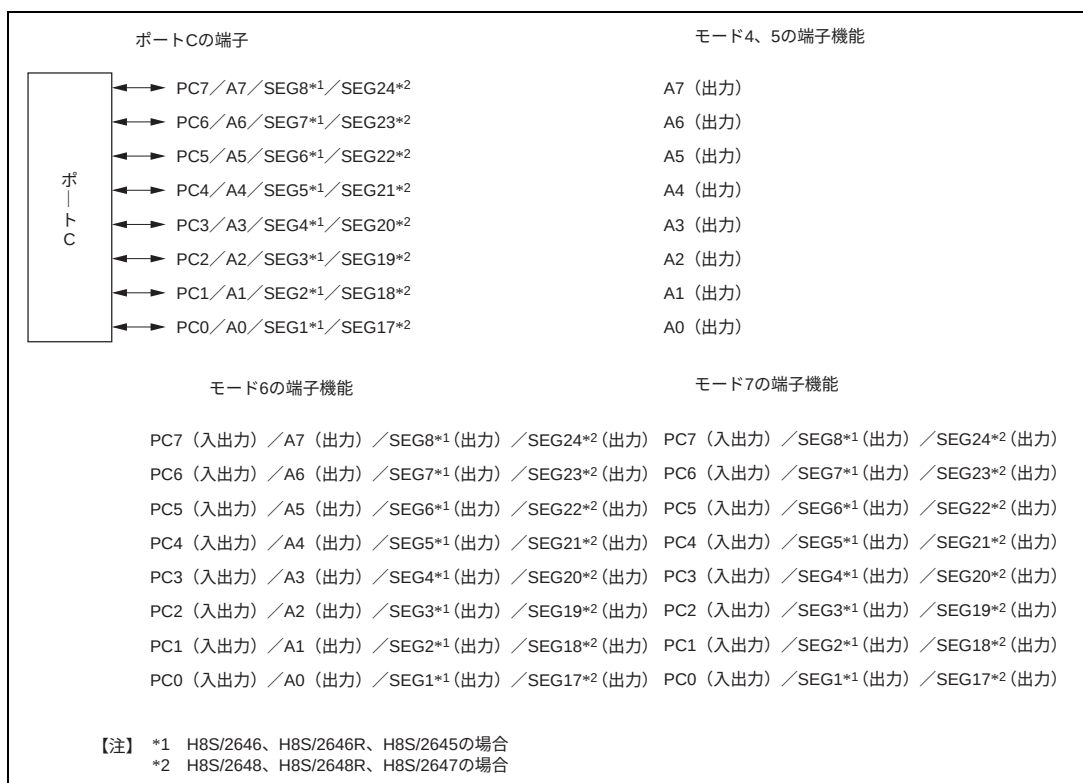


図 9.9 ポート C の端子機能

9.10.2 レジスタ構成

表 9.19 にポート C のレジスタ構成を示します。

表 9.19 ポート C レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート C データディレクションレジスタ	PCDDR	W	H'00	H'FE3B
ポート C データレジスタ	PCDR	R/W	H'00	H'FF0B
ポート C レジスタ	PORTC	R	不定	H'FFBB
ポート C プルアップ MOS コントロールレジスタ	PCPCR	R/W	H'00	H'FE42
ポート C オープンドレインコントロールレジスタ	PCODR	R/W	H'00	H'FE49

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート C データディレクションレジスタ (PCDDR)

ビット：	7	6	5	4	3	2	1	0
	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

PCDDR は、8 ビットのライト専用レジスタで、ポート C の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PCDDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、PCDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、アドレス出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

(2) ポート C データレジスタ (PCDR)

ビット：	7	6	5	4	3	2	1	0
	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DDR	PC1DR	PC0DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PCDR は、8 ビットのリード／ライト可能なレジスタで、ポート C の各端子 (PC7～PC0) の出力データを格納します。

PCDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート C レジスタ (PORTC)

ビット：	7	6	5	4	3	2	1	0
	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

【注】* PC7～PC0端子の状態により決定されます。

PORTC は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート C の各端子 (PC7～PC0) の出力データのライトは必ず PCDDR に対して行ってください。

PCDDR が 1 にセットされているとき、ポート C のリードを行うと PCDDR の値をリードします。PCDDR が 0 にクリアされているとき、ポート C のリードを行うと端子の状態が読み出されます。

LCD ドライバとして使用している端子をリードすると、不定値が読み出されます。

PORTC は、リセットまたはハードウェアスタンバイモードでは、PCDDR、PCDDR が初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート C プルアップ MOS コントロールレジスタ (PCPCR)

ビット：	7	6	5	4	3	2	1	0
	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PCPCR は、8 ビットのリード／ライト可能なレジスタで、ポート C に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 6、7 では、LCD ドライバの LPCR および PCDDR の設定により、ポートが入力状態のとき PCPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PCPCR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(5) ポート C オープンドレインコントロールレジスタ (PCODR)

ビット：	7	6	5	4	3	2	1	0
	PC7ODR	PC6ODR	PC5ODR	PC4ODR	PC3ODR	PC2ODR	PC1ODR	PC0ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PCODR は、8 ビットのリード／ライト可能なレジスタで、ポート C の各端子 (PC7～PC0) の PMOS のオン／オフを制御します。

PFCCR の AE3～AE0 の設定により、アドレス出力以外のとき、PCODR を 1 にセットするとポート C の各端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力となります。

LCD ドライバとして使用する場合には、PCODR を 1 にセットしないでください。

PCODR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

9.10.3 端子機能

ポート C は、LCD のセグメント出力端子（H8S/2646、H8S/2646R、H8S/2645：SEG8～1、H8S/2648、H8S/2648R、H8S/2647：SEG24～17）とアドレスバス出力機能と兼用になっています。モード 4、5 とモード 6 とモード 7 では端子機能が異なります。ポート C の端子機能を表 9.20 に示します。

表 9.20 ポート C の端子機能

SGS3～0 の 設定	ポート					SEG 出力	
						H8S/2646 H8S/2646R H8S/2645	H8S/2648 H8S/2648R H8S/2647
動作モード	モード 4、5	モード 6		モード 7		—	—
PCnDDR	—	0	1	0	1	—	—
端子機能	A7～A0 出力	PC7～0 入力	A7～A0 出力	PC7～0 入力	PC7～0 出力	SEG8～1 出力	SEG24～17 出力

【注】 モード 4 と 5 は、内蔵 ROM 無効拡張モードです。

セグメント出力に設定すると、アドレス出力ができなくなり、外部 ROM とインタフェースできなくなります。モード 4 と 5 では、セグメント出力設定をしないでください。

9.10.4 入力プルアップ MOS

ポート C は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 6、7 のときに使用でき、ビット単位でオン／オフを指定できます。

モード 6、7 のとき、LCD ドライバの LPCR と PCDDR の設定により、入力状態のとき PCPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 9.21 に示します。

表 9.21 入力プルアップ MOS の状態（ポート C）

端子状態	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	その他の 動作時
アドレス出力	OFF		OFF	
上記以外			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PCDDR=0 かつ PCPCR=1 のときオン状態、その他のときはオフ状態です。

9.11 ポート D

9.11.1 概要

ポート D は、8 ビットの入出力ポートです。ポート D は、データバス入出力機能を持っており、動作モードによって端子機能が切り替わります。また H8S/2648、H8S/2648R、H8S/2647 の場合、LCD ドライバの出力端子（SEG16～SEG9）機能があります。

ポート D は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート D の各端子の構成を図 9.10 に示します。

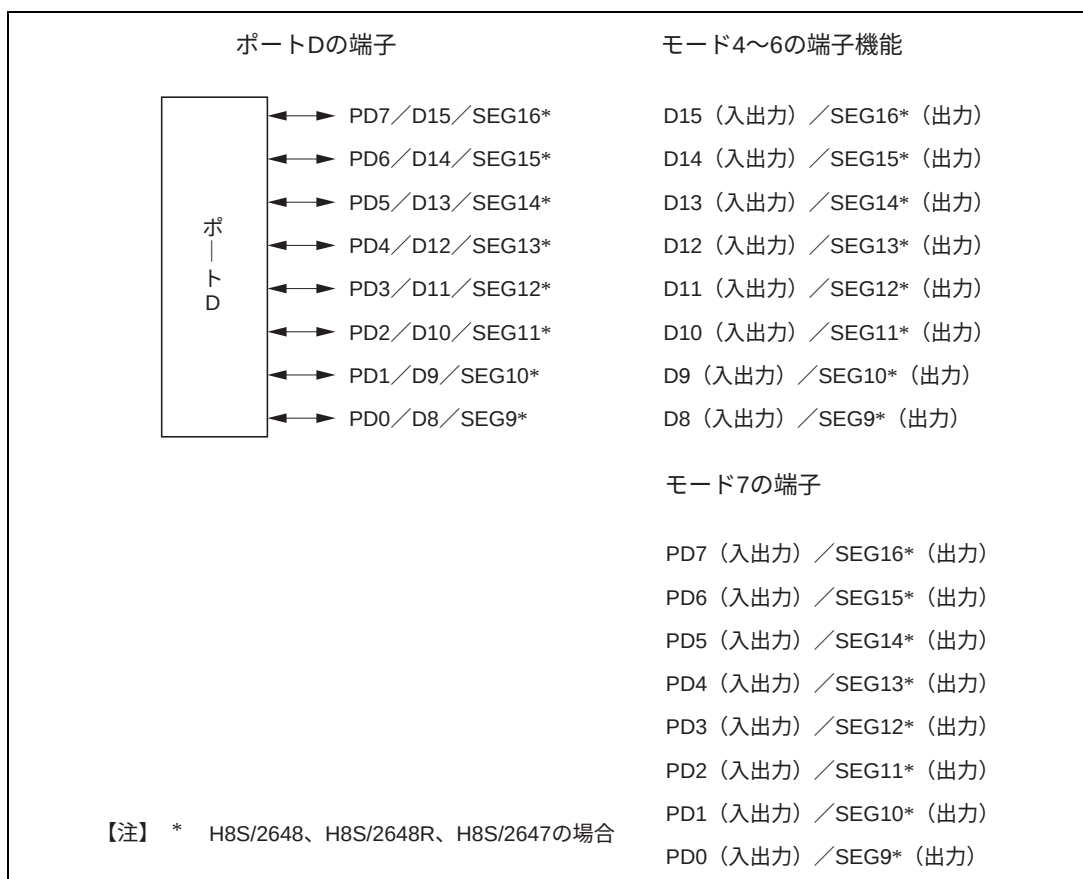


図 9.10 ポート D の端子機能

9.11.2 レジスタ構成

表 9.22 にポート D のレジスタ構成を示します。

表 9.22 ポート D レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート D データディレクションレジスタ	PDDDR	W	H'00	H'FE3C
ポート D データレジスタ	PDDR	R/W	H'00	H'FF0C
ポート D レジスタ	PORTD	R	不定	H'FFBC
ポート D プルアップ MOS コントロールレジスタ	PDPCR	R/W	H'00	H'FE43

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート D データディレクションレジスタ (PDDDR)

ビット：	7	6	5	4	3	2	1	0
	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

PDDDR は、8 ビットのライト専用レジスタで、ポート D の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PDDDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、PDDDR は直前の状態を保持します。

(2) ポート D データレジスタ (PDDR)

ビット：	7	6	5	4	3	2	1	0
	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDDR は、8 ビットのリード／ライト可能なレジスタで、ポート D の各端子 (PD7～PD0) の出力データを格納します。

PDDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート D レジスタ (PORTD)

ビット：	7	6	5	4	3	2	1	0
	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

【注】 * PD7～PD0端子の状態により決定されます。

PORTD は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート D の各端子（PD7～PD0）の出力データのライトは必ず PDDR に対して行ってください。

PDDDR が 1 にセットされているとき、ポート D のリードを行うと PDDR の値をリードします。PDDDR が 0 にクリアされているとき、ポート D のリードを行うと端子の状態が読み出されます。LCD ドライバとして使用している端子をリードすると、不定値が読み出されます。

PORTD は、リセットまたはハードウェアスタンバイモードでは、PDDDR、PDDR が初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート D プルアップ MOS コントロールレジスタ (PDPCR)

ビット：	7	6	5	4	3	2	1	0
	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR
初期値：	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDPCR は、8 ビットのリード／ライト可能なレジスタで、ポート D に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 7 では、PDDDR と LPCR の設定により入力端子の状態で、PDPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PDPCR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

9.11.3 端子機能

ポート D の各端子は、モード 4～6 のとき自動的にデータバス入出力端子（D15～D8）となります。モード 7 のとき、ポート D の各端子は入出力ポートとして機能し、各端子はビット単位で入出力を指定可能です。

ポート D の端子機能を表 9.23 (1)、表 9.23 (2) に示します。

表 9.23 (1) ポート D の端子機能（H8S/2646、H8S/2646R、H8S/2645）

端子	選択方法と端子機能		
PD7/D15、 PD6/D14、 PD5/D13、 PD4/D12、 PD3/D11、 PD2/D10、 PD1/D9、 PD0/D8	動作モードと PDDDR の組み合わせにより次のように切り替わります。		
	動作モード	モード4～6	モード7
	PDn DDR	—	01
	端子機能	データバス入出力（D15～D8）	PDn 入力PDn 出力
	n=7～0		

表 9.23 (2) ポート D の端子機能 (H8S/2648、H8S/2648R、H8S/2647)

端子	選択方法と端子機能			
PD7/D15/ SEG9～ PD0/D8/ SEG16	SGS3～0の設定	ポート		SEG出力
	動作モード	モード4～6	モード7	
	PDDDR	—	0	1
	端子機能	D15～D8入出力	PD7～0入力	PD7～0出力
	SEG9～16			
【注】 モード4と5は、内蔵ROM無効拡張モードです。 セグメント出力に設定すると、データ入出力ができなくなり、外部ROMとインタフェースができなくなります。モード4と5では、セグメント出力設定をしないでください。				

9.11.4 入力プルアップ MOS

ポート D は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 7 のときに使用でき、ビット単位でオン／オフを指定できます。

モード 7 のとき、PDDDR と LPCR の設定により端子が入力の状態で、PDPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 9.24 に示します。

表 9.24 入力プルアップ MOS の状態 (ポート D)

モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	その他の 動作時
4～6	OFF		OFF	
7			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PDDDR=0 かつ PDPCR=1 かつセグメントドライバでないときオン状態、その他のときはオフ状態です。

9.12 ポート E

9.12.1 概要

ポート E は、8 ビットの入出力ポートです。ポート E は、データバス入出力機能を持っており、動作モードおよび 8 ビット／16 ビットバスモードによって端子機能が切り替わります。また H8S/2648、H8S/2648R、H8S/2647 の場合、LCD ドライバの出力端子 (SEG8～SEG1) 機能があります。

ポート E は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート E の各端子の構成を図 9.11 に示します。

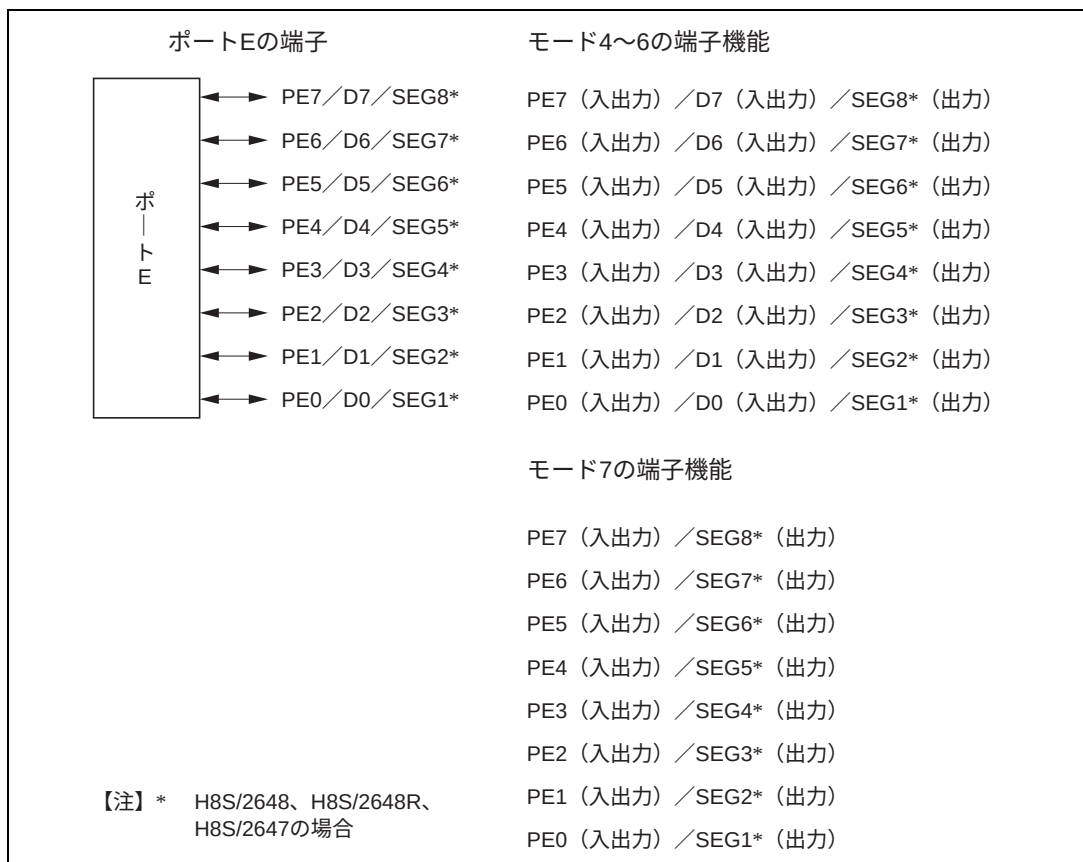


図 9.11 ポート E の端子機能

9.12.2 レジスタ構成

表 9.25 にポート E のレジスタ構成を示します。

表 9.25 ポート E レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート E データディレクションレジスタ	PEDDR	W	H'00	H'FE3D
ポート E データレジスタ	PEDR	R/W	H'00	H'FF0D
ポート E レジスタ	PORTE	R	不定	H'FFBD
ポート E プルアップ MOS コントロールレジスタ	PEPCR	R/W	H'00	H'FE44

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート E データディレクションレジスタ (PEDDR)

ビット：	7	6	5	4	3	2	1	0
	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

PEDDR は、8 ビットのライト専用レジスタで、ポート E の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PEDDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、PEDDR は直前の状態を保持します。

(2) ポート E データレジスタ (PEDR)

ビット：	7	6	5	4	3	2	1	0
	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PEDR は、8 ビットのリード／ライト可能なレジスタで、ポート E の各端子 (PE7～PE0) の出力データを格納します。

PEDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート E レジスタ (PORTE)

ビット：	7	6	5	4	3	2	1	0
	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

【注】* PE7～PE0端子の状態により決定されます。

PORTE は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート E の各端子 (PE7～PE0) の出力データのライトは必ず PEDR に対して行ってください。

PEDDR が 1 にセットされているとき、ポート E のリードを行うと PEDR の値をリードします。PEDDR が 0 にクリアされているとき、ポート E のリードを行うと端子の状態が読み出されます。LCD ドライバとして使用している端子をリードすると、不定値が読み出されます。

PORTE は、リセットまたはハードウェアスタンバイモードでは、PEDDR、PEDR が初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

(4) ポート E プルアップ MOS コントロールレジスタ (PEPCR)

ビット：	7	6	5	4	3	2	1	0
	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PEPCR は、8 ビットのリード／ライト可能なレジスタで、ポート E に内蔵された入力プルアップ MOS をビットごとに制御します。

モード 4～6 で 8 ビットバスモードのとき、またはモード 7 のとき、LPCR および PEDDR の設定により端子が入力の状態で PEPCR を 1 にセットすると、入力プルアップ MOS はオンします。

PEPCR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

9.12.3 端子機能

ポート E の端子機能を表 9.26 (1)、表 9.26 (2) に示します。

表 9.26 (1) ポート E の端子機能 (H8S/2646、H8S/2646R、H8S/2645)

動作モード	モード 4～6			モード 7	
バス幅の設定	16 ビットモード	8 ビットモード		—	
PEDDR	—	0	1	0	1
端子機能	D7～0 入出力	PE7～0 入力	PE7～0 出力	PE7～0 入力	PE7～0 出力

表 9.26 (2) ポート E の端子機能 (H8S/2648、H8S/2648R、H8S/2647)

SGS3～0 の設定	ポート					SEG 出力
動作モード	モード 4～6			モード 7		—
バス幅の設定	16 ビットモード	8 ビットモード		—		—
PEDDR	—	0	1	0	1	—
端子機能	D7～0 入出力	PE7～0 入力	PE7～0 出力	PE7～0 入力	PE7～0 出力	SEG1～8 出力

9.12.4 入力プルアップ MOS

ポート E は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、モード 4～6 で 8 ビットバスモードのとき、またはモード 7 のときに使用でき、ビット単位でオン／オフを指定できます。

モード 4～6 で 8 ビットバスモードのとき、またはモード 7 のとき、LPCR および PEDDR の設定により端子が入力の状態で PEPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を表 9.27 に示します。

表 9.27 入力プルアップ MOS の状態（ポート E）

モード		リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
7		OFF		ON/OFF	
4～6	8 ビットバス				
	16 ビットバス			OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PEDDR=0 かつ PEPCR=1 かつ LCD ドライバ端子でないときオン状態、その他のときはオフ状態です。

9.13 ポート F

9.13.1 概要

ポート F は、7 ビットの入出力ポートです。ポート F は、LCD ドライバの出力端子（SEG20～17）、外部割り込み入力端子（ $\overline{\text{IRQ2}}$ 、 $\overline{\text{IRQ3}}$ ）、A/D トリガ入力端子（ $\overline{\text{ADTRG}}$ ）、バス制御信号入出力端子（ $\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{HWR}}$ 、 $\overline{\text{LWR}}$ 、 $\overline{\text{WAIT}}$ ）、およびシステムクロック出力端子（ ϕ ）と兼用になっています。

ポート F の各端子の構成を図 9.12 に示します。

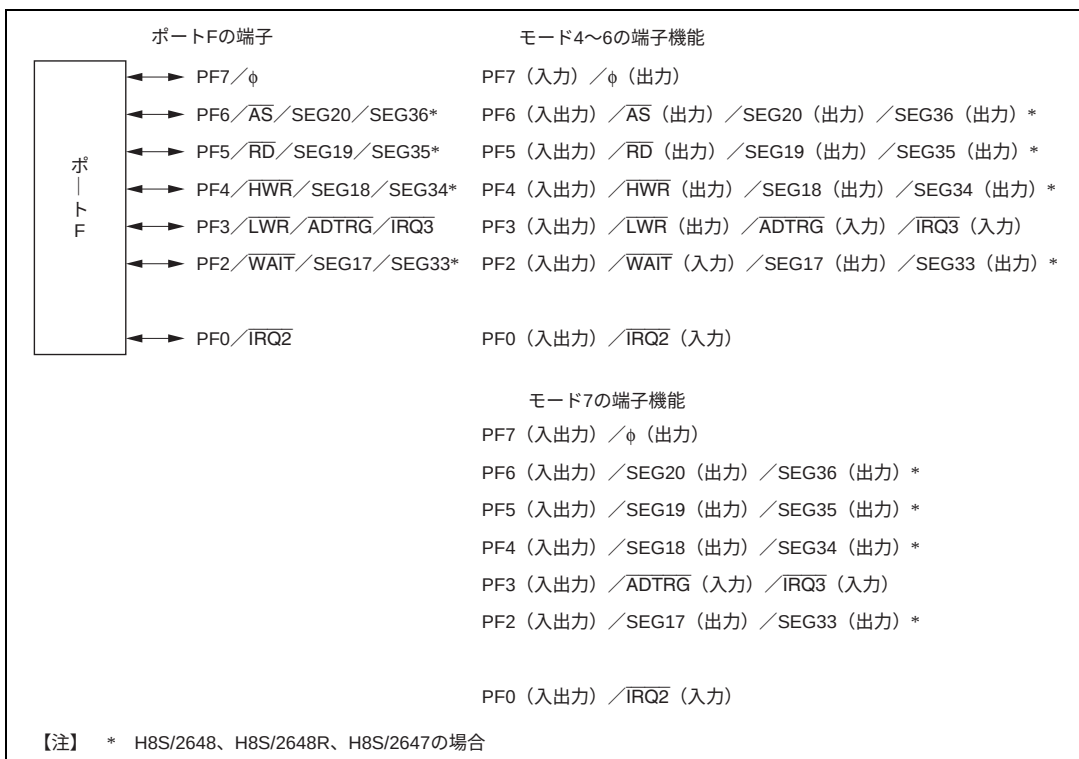


図 9.12 ポート F の端子機能

9.13.2 レジスタ構成

表 9.28 にポート F のレジスタ構成を示します。

表 9.28 ポート F レジスタ構成

名 称	略称	R/W	初期値	アドレス* ¹
ポート F データディレクションレジスタ	PFDDR	W	H'80/H'00* ²	H'FE3E
ポート F データレジスタ	PFDR	R/W	H'00	H'FF0E
ポート F レジスタ	PORTF	R	不定	H'FFBE

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 モードによって、初期値が異なります。

(1) ポート F データディレクションレジスタ (PFDDR)

ビット：	7	6	5	4	3	2	1	0
	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	—	PF0DDR
モード4～6								
初期値：	1	0	0	0	0	0	不定	0
R/W：	W	W	W	W	W	W	—	W
モード7								
初期値：	0	0	0	0	0	0	不定	0
R/W：	W	W	W	W	W	W	—	W

PFDDR は、8 ビットのライト専用レジスタです。

PFDDR のビット 7～2、0 は、ポート F の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PFDDR は、リセットまたはハードウェアスタンバイモードでは、モード 4～6 の場合 H'80 に、モード 7 の場合 H'00 に初期化されます。ソフトウェアスタンバイモードでは、PFDDR は直前の状態を保持します。ソフトウェアスタンバイモードに遷移したとき、バス制御出力端子は出力状態を保持するか、ハイインピーダンス状態とするかを、SBYCR の OPE ビットで選択します。

PFDDR のビット 1 は、リザーブビットです。

(2) ポート F データレジスタ (PFDR)

ビット：	7	6	5	4	3	2	1	0
	—	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	—	PF0DR
初期値：	0	0	0	0	0	0	不定	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W

PFDR は、8 ビットのリード／ライト可能なレジスタです。

PFDR のビット 6～2、0 は、ポート F の各端子 (PF6～PF2,PF0) の出力データを格納します。

PFDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

PFDR のビット 7、1 は、リザーブビットです。ライト時は必ず 0 としてください。

(3) ポート F レジスタ (PORTF)

ビット：	7	6	5	4	3	2	1	0
	PF7	PF6	PF5	PF4	PF3	PF2	—	PF0
初期値：	—*	—*	—*	—*	—*	—*	不定	—*
R/W：	R	R	R	R	R	R	—	R

【注】* PF7～PF2、PF0端子の状態により決定されます。

PORTF は、8 ビットのリード専用レジスタです。PORTF のビット 7～2、0 は、端子の状態を反映します。ライトは無効です。ポート F の各端子 (PF7～PF2、PF0) の出力データのライトは必ず PFDR に対して行ってください。

PFDDR が 1 にセットされているとき、ポート F のリードを行うと PFDR の値をリードします。PFDDR が 0 にクリアされているとき、ポート F のリードを行うと端子の状態が読み出されます。

LCD ドライバとして使用している端子をリードすると、不定値が読み出されます。

PORTF は、リセットまたはハードウェアスタンバイモードでは、PFDDR、PFDR が初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

PORTF のビット 1 は、リザーブビットです。

9.13.3 端子機能

ポート F は、LCD ドライバの出力端子 (SEG20～17) 外部割り込み入力端子 ($\overline{\text{IRQ2}}$ 、 $\overline{\text{IRQ3}}$)、A/D トリガ入力端子 (ADTRG)、バス制御信号入出力端子 (AS、RD、HWR、LWR、WAIT)、およびシステムクロック (ϕ) 出力端子と兼用になっています。モード 4～6 とモード 7 では端子機能が異なります。ポート F の端子機能を表 9.29 に示します。

表 9.29 ポート F の端子機能

端子	選択方法と端子機能						
PF7/ ϕ	PF7DDR ビットにより、次のように切り替わります。						
	PF7DDR	0			1		
	端子機能	PF7入力			ϕ 出力		
PF6/ $\overline{\text{AS}}$ / SEG20 (H8S/2646、 H8S/2646R、 H8S/2645)	動作モードと SGS3～0 の設定、PF6DDR ビットにより次のように切り替わります。						
PF6/ $\overline{\text{AS}}$ / SEG36 (H8S/2648、 H8S/2648R、 H8S/2647)	動作モード		モード4～6		モード7		
	SGS3～0の設定		SEG出力	ポート	SEG出力	ポート	
	PF6DDR		—	—	—	0	1
	端子機能	H8S/2646、H8S/2646R、 H8S/2645	SEG20出力	$\overline{\text{AS}}$ 出力	SEG20出力	PF6入力	PF6出力
		H8S/2648、H8S/2648R、 H8S/2647	SEG36出力		SEG36出力		

端子	選択方法と端子機能						
PF5/RD/ SEG19 (H8S/2646、 H8S/2646R、 H8S/2645)	動作モードと SGS3～0 の設定、PF5DDR ビットにより、次のように切り替わります。						
PF5/RD/ SEG35 (H8S/2648、 H8S/2648R、 H8S/2647)	動作モード		モード4～6		モード7		
	SGS3～0の設定		SEG出力	ポート	SEG出力	ポート	
	PF5DDR		—	—	—	0	1
	端子機能	H8S/2646、H8S/2646R、 H8S/2645	SEG19出力	RD出力	SEG19出力	PF5入力	PF5出力
		H8S/2648、H8S/2648R、 H8S/2647	SEG35出力		SEG35出力		
PF4/HWR/ SEG18 (H8S/2646、 H8S/2646R、 H8S/2645)	動作モードと SGS3～0 の設定、PF4DDR ビットにより、次のように切り替わります。						
PF4/HWR/ SEG34 (H8S/2648、 H8S/2648R、 H8S/2647)	動作モード		モード4～6		モード7		
	SGS3～0の設定		SEG出力	ポート	SEG出力	ポート	
	PF4DDR		—	—	—	0	1
	端子機能	H8S/2646、H8S/2646R、 H8S/2645	SEG18出力	HWR出力	SEG18出力	PF4入力	PF4出力
		H8S/2648、H8S/2648R、 H8S/2647	SEG34出力		SEG34出力		
PF3/LWR/ ADTRG/ IRQ3	動作モードと TRGS1、TRGS0 ビットおよび PF3DDR ビットの組み合わせにより、次のように切り替わります。						
	動作モード	モード4～6			モード7		
	バスモード	16ビットバスモード	8ビットバスモード		—		
	PF3DDR	—	0	1	0	1	
	端子機能	LWR出力	PF3入力	PF3出力	PF3入力	PF3出力	
			ADTRG入力*1				
			IRQ3入力*2				
	【注】 *1 TRGS0=TRGS1=1 のとき ADTRG 入力となります。						
*2 外部割り込み入力端子として使用する場合には、他の機能の入出力端子として使用しないでください。							

端子	選択方法と端子機能															
PF2/ WAIT/ SEG17 (H8S/2646、 H8S/2646R、 H8S/2645)	動作モードと SGS3～0 ビット、WAITE ビット、および PF2DDR ビットの組み合わせにより次のように切り替わります。															
PF2/ WAIT/ SEG33 (H8S/2648、 H8S/2648R、 H8S/2647)	動作モード		モード4～6				モード7									
	SGS3～0の設定		SEG出力		ポート		SEG出力		ポート							
	WAITE		—		0		1		1		—					
	PF2DDR		—		0		1		—		—		0		1	
	端子機能	H8S/2646、 H8S/2646R、 H8S/2645	SEG17出力	PF2入力	PF2出力	WAIT入力	SEG17出力	PF2入力	PF2出力							
		H8S/2648、 H8S/2648R、 H8S/2647	SEG33出力				SEG33出力									
PF0/ IRQ2	PF0DDR ビットにより次のように切り替わります。															
	PF0DDR		0				1									
	端子機能		PF0入力				PF0出力									
			IRQ2入力													

9.14 ポート H

9.14.1 概要

ポート H は、8 ビットの入出力ポートです。ポート H は、モータコントロール PWM タイマの出力端子（PWM1A～PWM1H）と兼用になっています。

ポート H の各端子の構成を図 9.13 に示します。

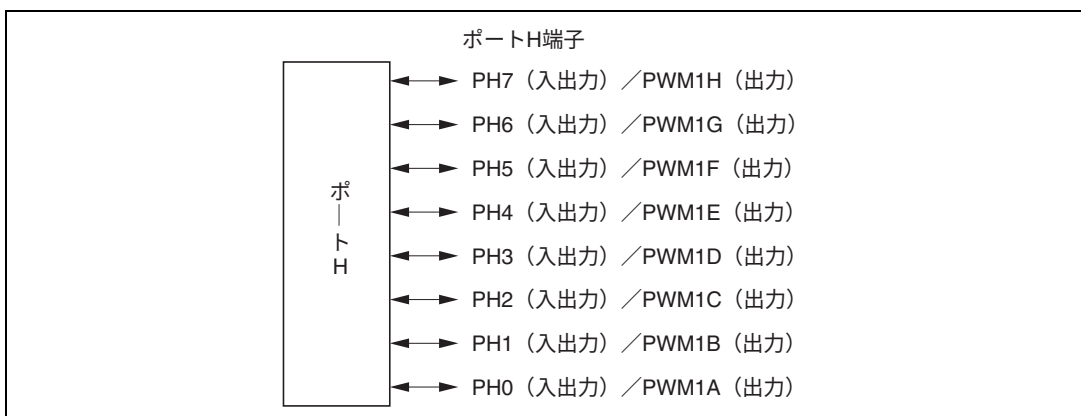


図 9.13 ポート H の端子機能

9.14.2 レジスタ構成

表 9.30 にポート H のレジスタ構成を示します。

表 9.30 ポート H レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート H データディレクションレジスタ	PHDDR	W	H'00	H'FC20
ポート H データレジスタ	PHDR	R/W	H'00	H'FC24
ポート H レジスタ	PORTH	R	不定	H'FC28

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート H データディレクションレジスタ (PHDDR)

ビット：	7	6	5	4	3	2	1	0
	PH7DDR	PH6DDR	PH5DDR	PH4DDR	PH3DDR	PH2DDR	PH1DDR	PH0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

PHDDR は、8 ビットのライト専用レジスタで、ポート H の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PHDDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、PHDDR は直前の状態を保持します。

(2) ポート H データレジスタ (PHDR)

ビット：	7	6	5	4	3	2	1	0
	PH7DR	PH6DR	PH5DR	PH4DR	PH3DR	PH2DR	PH1DR	PH0DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PHDR は、8 ビットのリード／ライト可能なレジスタで、ポート H の各端子 (PH7～PH0) の出力データを格納します。

PHDR は、リセットまたはハードウェアスタンバイモードでは、H'00 ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート H レジスタ (PORTH)

ビット：	7	6	5	4	3	2	1	0
	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

【注】 * PH7～PH0端子の状態により決定されます。

PORTH は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート H の各端子（PH7～PH0）の出力データのライトは必ず PHDR に対して行ってください。

PHDDR が 1 にセットされているとき、ポート H のリードを行うと PHDR の値をリードします。PHDDR が 0 にクリアされているとき、ポート H のリードを行うと端子の状態が読み出されます。

PORTH は、リセットまたはハードウェアスタンバイモードでは、PHDDR、PHDR が初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

9.14.3 端子機能

ポート H は、モータコントロール PWM タイマの PWOCR1 の OE1A～OE1H と PHDDR の値により、表 9.31 に示すようにビットごとに端子機能が切り替わります。

表 9.31 ポート H の端子機能

OE1A～OE1H	1	0	
PHDDR	—	0	1
端子機能	モータコントロール PWM タイマ出力	PH7～0 入力	PH7～0 出力

9.15 ポート J

9.15.1 概要

ポート J は、8 ビットの入出力ポートです。ポート J は、モータコントロール PWM タイマの出力端子（PWM2A～PWM2H）と兼用になっています。

ポート J の各端子の構成を図 9.14 に示します。

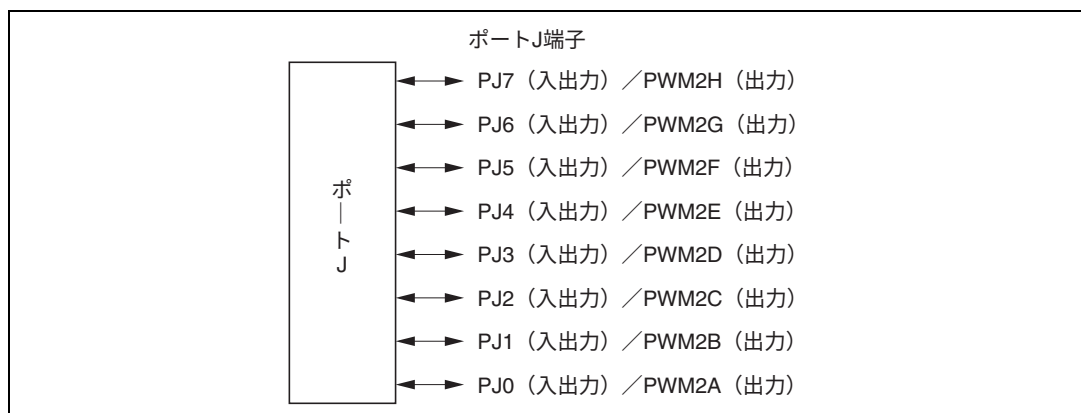


図 9.14 ポート J の端子機能

9.15.2 レジスタ構成

表 9.32 にポート J のレジスタ構成を示します。

表 9.32 ポート J レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート J データディレクションレジスタ	PJDDR	W	H'00	H'FC21
ポート J データレジスタ	PJDR	R/W	H'00	H'FC25
ポート J レジスタ	PORTJ	R	不定	H'FC29

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート J データディレクションレジスタ (PJDDR)

ビット：	7	6	5	4	3	2	1	0
	PJ7DDR	PJ6DDR	PJ5DDR	PJ4DDR	PJ3DDR	PJ2DDR	PJ1DDR	PJ0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

PJDDR は、8 ビットのライト専用レジスタで、ポート J の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PJDDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、PJDDR は直前の状態を保持します。

(2) ポート J データレジスタ (PJDR)

ビット：	7	6	5	4	3	2	1	0
	PJ7DR	PJ6DR	PJ5DR	PJ4DR	PJ3DR	PJ2DR	PJ1DR	PJ0DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PJDR は、8 ビットのリード／ライト可能なレジスタで、ポート J の各端子 (PJ7～PJ0) の出力データを格納します。

PJDR は、リセットまたはハードウェアスタンバイモードでは H'00、ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート J レジスタ (PORTJ)

ビット：	7	6	5	4	3	2	1	0
	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

【注】 * PJ7～PJ0端子の状態により決定されます。

PORTJ は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート J の各端子 (PJ7～PJ0) の出力データのライトは必ず PJDR に対して行ってください。

PJDDR が 1 にセットされているとき、ポート J のリードを行うと PJDR の値をリードします。PJDDR が 0 にクリアされているとき、ポート J のリードを行うと端子の状態が読み出されます。

PORTJ は、リセットまたはハードウェアスタンバイモードでは、PJDDR、PJDR が初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

9.15.3 端子機能

ポート J は、モータコントロール PWM タイマの PWOCR2 の OE2A～OE2H と PJDDR の値により、表 9.33 に示すようにビットごとに端子機能が切り替わります。

表 9.33 ポート J の端子機能

OE2A～OE2H	1	0	
PJDDR	—	0	1
端子機能	モータコントロール PWM タイマ出力	PJ7～0 入力	PJ7～0 出力

9.16 ポート K

9.16.1 概要

ポート K は、2 ビットの入出力ポートです。

ポート K の各端子の構成を図 9.15 に示します。

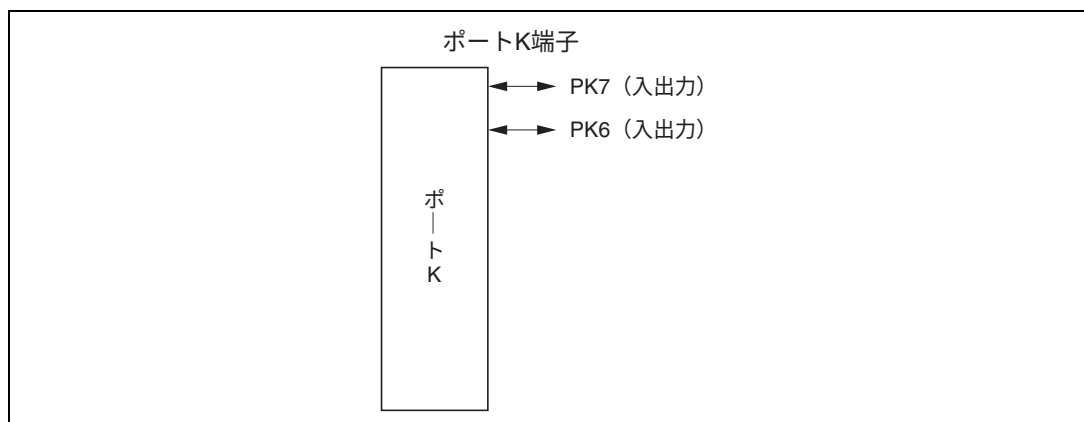


図 9.15 ポート K の端子機能

9.16.2 レジスタ構成

表 9.34 にポート K のレジスタ構成を示します。

表 9.34 ポート K レジスタ構成

名 称	略称	R/W	初期値	アドレス*
ポート K データディレクションレジスタ	PKDDR	W	H'0	H'FC22
ポート K データレジスタ	PKDR	R/W	H'0	H'FC26
ポート K レジスタ	PORTK	R	不定	H'FC2A

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート K データディレクションレジスタ (PKDDR)

ビット：	7	6	5	4	3	2	1	0
	PK7DDR	PK6DDR	—	—	—	—	—	—
初期値：	0	0	不定	不定	不定	不定	不定	不定
R/W：	W	W	—	—	—	—	—	—

PKDDR は、8 ビットのライト専用レジスタで、ポート K の各端子の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

PKDDR は、リセットまたはハードウェアスタンバイモードでは、H'00 に初期化されます。ソフトウェアスタンバイモードでは、PKDDR は直前の状態を保持します。

(2) ポート K データレジスタ (PKDR)

ビット：	7	6	5	4	3	2	1	0
	PK7DR	PK6DR	—	—	—	—	—	—
初期値：	0	0	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	—	—	—	—	—	—

PKDR は、8 ビットのリード／ライト可能なレジスタで、ポート K の各端子 (PK7、PK6) の出力データを格納します。

PKDR は、リセットまたはハードウェアスタンバイモードでは、H'00 ソフトウェアスタンバイモードでは、直前の状態を保持します。

(3) ポート K レジスタ (PORTK)

ビット：	7	6	5	4	3	2	1	0
	PK7	PK6	—	—	—	—	—	—
初期値：	—*	—*	不定	不定	不定	不定	不定	不定
R/W：	R	R	—	—	—	—	—	—

【注】 * PF7、PF6端子の状態により決定されます。

PORTK は、8 ビットのリード専用レジスタで、端子の状態を反映します。ライトは無効です。ポート K の各端子（PK7、PK6）の出力データのライトは必ず PKDR に対して行ってください。

PKDDR が 1 にセットされているとき、ポート K のリードを行うと PKDR の値をリードします。PKDDR が 0 にクリアされているとき、ポート K のリードを行うと端子の状態が読み出されます。

PORTK は、リセットまたはハードウェアスタンバイモードでは、PKDDR、PKDR が初期化されるため、端子の状態により決定されます。ソフトウェアスタンバイモードでは、直前の状態を保持します。

9.16.3 端子機能

ポート K は、PKDDR の値により、表 9.35 に示すようにビットごとに端子機能が切り替わります。

表 9.35 ポート K の端子機能

PKDDR	0	1
端子機能	PK7、6 入力	PK7、6 出力

10. 16 ビットタイマパルスユニット (TPU)

10.1 概要

本 LSI は、6 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を内蔵しています。

10.1.1 特長

■最大 16 本のパルス入出力が可能

- ・チャンネル 0、3 は各 4 本、チャンネル 1、2、4、5 は各 2 本、合計 16 本のタイマジェネラルレジスタ (TGR) を持ち、各レジスタ独立にアウトプットコンペア／インプットキャプチャレジスタの設定が可能
- ・チャンネル 0、3 の TGRC、TGRD は、バッファレジスタとして使用可能

■各チャンネルごとに 8 種類のカウンタ入力クロックを選択可能

■各チャンネルとも次の動作を設定可能

- ・コンペアマッチによる波形出力 : 0 出力、1 出力、トグル出力が選択可能
- ・インプットキャプチャ機能 : 立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が選択可能
- ・カウンタクリア動作 : コンペアマッチ、インプットキャプチャによるカウンタクリアが可能
- ・同期動作 : 複数のタイマカウンタ (TCNT) への同時書き込みが可能
コンペアマッチ／インプットキャプチャによる同時クリアが可能
カウンタの同期動作による各レジスタの同期入出力が可能
- ・PWM モード : 任意デューティの PWM 出力が可能
同期動作と組み合わせることにより、最大15相のPWM出力が可能

■チャンネル 0、3 はバッファ動作を設定可能

- ・インプットキャプチャレジスタのダブルバッファ構成が可能
- ・アウトプットコンペアレジスタの自動書き換えが可能

■チャンネル 1、2、4、5 はおのおの独立に位相計数モードを設定可能

- ・2 相エンコーダパルスのアップダウンカウントが可能

■カスケード接続動作

- ・チャンネル 2 (チャンネル 5) の入力クロックを、チャンネル 1 (チャンネル 4) のオーバフロー／アンダフローにすることにより 32 ビットカウンタとして動作

■内部 16 ビットバスによる高速アクセス

- ・16 ビットバスインタフェースによる高速アクセスが可能

■26 種類の割り込み要因

- チャンネル 0、3 はコンペアマッチ／インプットキャプチャ兼用割り込み×4 本、オーバーフロー割り込み×1 本が独立に要求可能
- チャンネル 1、2、4、5 はコンペアマッチ／インプットキャプチャ兼用割り込み×2 本、オーバーフロー割り込み×1 本、アンダフロー割り込み×1 本が独立に要求可能

■レジスタのデータの自動転送が可能

- データトランスファコントローラ (DTC) の起動により、ブロック転送、1 ワードデータ転送および 1 バイトデータ転送が可能

■プログラマブルパルスジェネレータ (PPG) の出力トリガを生成可能

- チャンネル 0～3 のコンペアマッチ／インプットキャプチャ信号を PPG の出力トリガとして使用可能

■A/D 変換器の変換スタートトリガを生成可能

- チャンネル 0～5 のコンペアマッチ A／インプットキャプチャ A 信号を A/D 変換器の変換開始トリガとして使用可能

■モジュールストップモードの設定可能

- 初期値では TPU の動作は停止。モジュールストップモードを解除することによりレジスタのアクセスが可能

表 10.1 に TPU の機能一覧を示します。

表 10.1 TPU 機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4	チャンネル 5
カウントクロック	Φ/1 Φ/4 Φ/16 Φ/64 TCLKA TCLKB TCLKC TCLKD	Φ/1 Φ/4 Φ/16 Φ/64 Φ/256 TCLKA TCLKB	Φ/1 Φ/4 Φ/16 Φ/64 Φ/1024 TCLKA TCLKB TCLKC	Φ/1 Φ/4 Φ/16 Φ/64 Φ/256 Φ/1024 Φ/4096 TCLKA	Φ/1 Φ/4 Φ/16 Φ/64 Φ/1024 TCLKA TCLKC	Φ/1 Φ/4 Φ/16 Φ/64 Φ/256 TCLKA TCLKC TCLKD
ジェネラルレジスタ	TGR0A TGR0B	TGR1A TGR1B	TGR2A TGR2B	TGR3A TGR3B	TGR4A TGR4B	TGR5A TGR5B
ジェネラルレジスタ／バッファレジスタ	TGR0C TGR0D	—	—	TGR3C TGR3D	—	—
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5
カウンタクリア機能	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4	チャンネル 5
コンペア マッチ 出力	0 出力	○	○	○	○	○
	1 出力	○	○	○	○	○
	トグル 出力	○	○	○	○	○
インプットキャプ チャ機能	○	○	○	○	○	○
同期動作	○	○	○	○	○	○
PWM モード	○	○	○	○	○	○
位相計数モード	—	○	○	—	○	○
バッファ動作	○	—	—	○	—	—
DTC の起動	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ
A/D 変換開始 トリガ	TGR0A の コンペアマッ チまたは インプット キャプチャ	TGR1A の コンペアマッ チまたは インプット キャプチャ	TGR2A の コンペアマッ チまたは インプット キャプチャ	TGR3A の コンペアマッ チまたは インプット キャプチャ	TGR4A の コンペアマッ チまたは インプット キャプチャ	TGR5A の コンペアマッ チまたは インプット キャプチャ
PPG トリガ	TGR0A、 TGR0B の コンペアマッ チまたは インプット キャプチャ	TGR1A、 TGR1B の コンペアマッ チまたは インプット キャプチャ	TGR2A、 TGR2B の コンペアマッ チまたは インプット キャプチャ	TGR3A、 TGR3B の コンペアマッ チまたは インプット キャプチャ	—	—
割り込み要因	5 要因 - コンペアマ ッチ／イン プットキャ プチャ 0A - コンペアマ ッチ／イン プットキャ プチャ 0B - コンペアマ ッチ／イン プットキャ プチャ 0C - コンペアマ ッチ／イン プットキャ プチャ 0D - オーバフロ —	4 要因 - コンペアマ ッチ／イン プットキャ プチャ 1A - コンペアマ ッチ／イン プットキャ プチャ 1B - オーバフロ — - アンダフロ —	4 要因 - コンペアマ ッチ／イン プットキャ プチャ 2A - コンペアマ ッチ／イン プットキャ プチャ 2B - オーバフロ — - アンダフロ —	5 要因 - コンペアマ ッチ／イン プットキャ プチャ 3A - コンペアマ ッチ／イン プットキャ プチャ 3B - コンペアマ ッチ／イン プットキャ プチャ 3C - コンペアマ ッチ／イン プットキャ プチャ 3D - オーバフロ —	4 要因 - コンペアマ ッチ／イン プットキャ プチャ 4A - コンペアマ ッチ／イン プットキャ プチャ 4B - オーバフロ — - アンダフロ —	4 要因 - コンペアマ ッチ／イン プットキャ プチャ 5A - コンペアマ ッチ／イン プットキャ プチャ 5B - オーバフロ — - アンダフロ —

【記号説明】

- : 可能
— : 不可

10.1.2 ブロック図

TPU のブロック図を図 10.1 に示します。

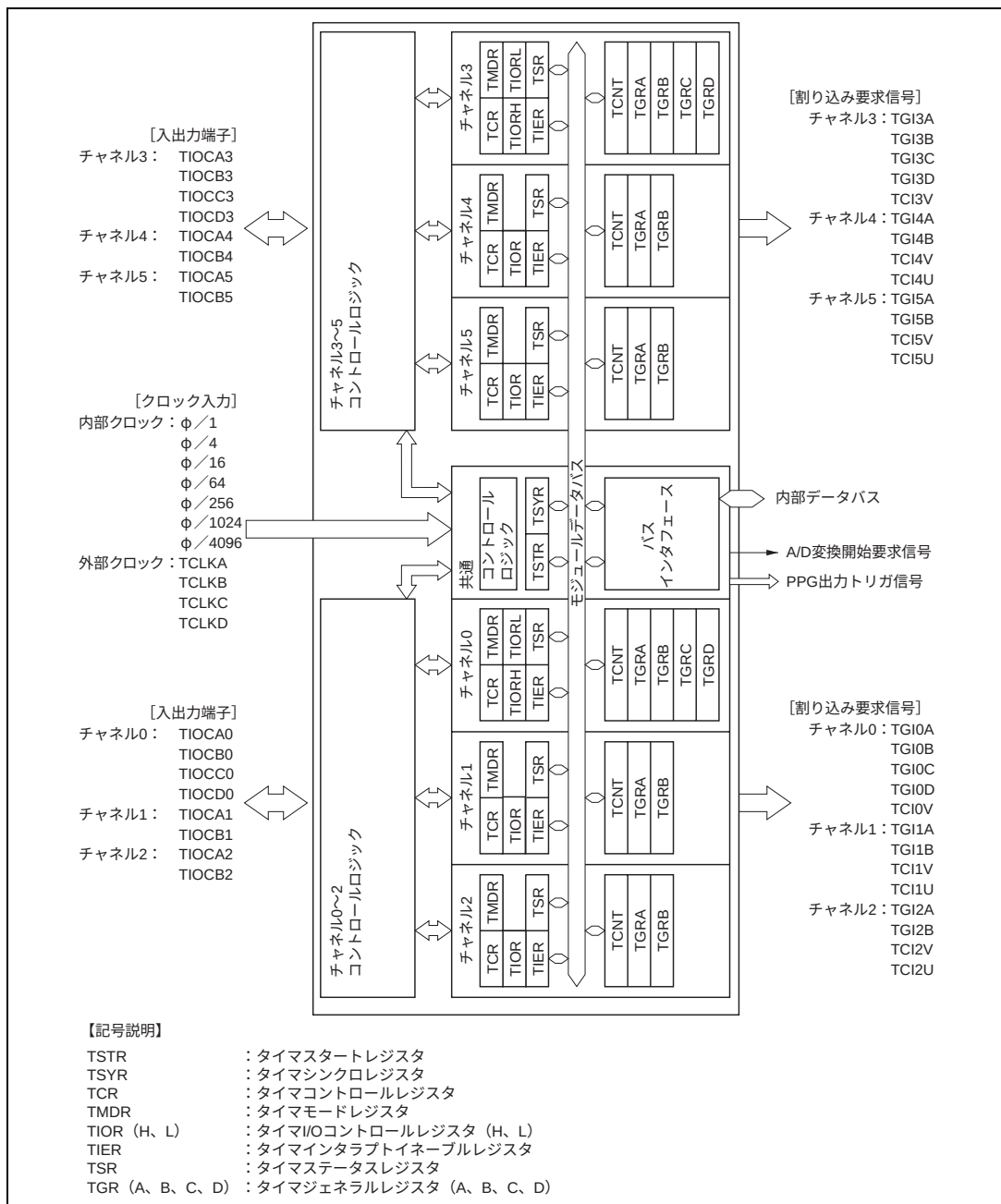


図 10.1 TPU のブロック図

10.1.3 端子構成

TPU の端子構成を表 10.2 に示します。

表 10.2 TPU の端子構成

チャネル	名 称	略称	入出力	機 能
共通	クロック入力 A	TCLKA	入力	外部クロック A 入力端子 (チャネル 1、5 の位相計数モード A 相入力)
	クロック入力 B	TCLKB	入力	外部クロック B 入力端子 (チャネル 1、5 の位相計数モード B 相入力)
	クロック入力 C	TCLKC	入力	外部クロック C 入力端子 (チャネル 2、4 の位相計数モード A 相入力)
	クロック入力 D	TCLKD	入力	外部クロック D 入力端子 (チャネル 2、4 の位相計数モード B 相入力)
0	インプットキャプチャ/ アウトコンペアマッチ A0	TIOCA0	入出力	TGR0A のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	インプットキャプチャ/ アウトコンペアマッチ B0	TIOCB0	入出力	TGR0B のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	インプットキャプチャ/ アウトコンペアマッチ C0	TIOCC0	入出力	TGR0C のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	インプットキャプチャ/ アウトコンペアマッチ D0	TIOCD0	入出力	TGR0D のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
1	インプットキャプチャ/ アウトコンペアマッチ A1	TIOCA1	入出力	TGR1A のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	インプットキャプチャ/ アウトコンペアマッチ B1	TIOCB1	入出力	TGR1B のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
2	インプットキャプチャ/ アウトコンペアマッチ A2	TIOCA2	入出力	TGR2A のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	インプットキャプチャ/ アウトコンペアマッチ B2	TIOCB2	入出力	TGR2B のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
3	インプットキャプチャ/ アウトコンペアマッチ A3	TIOCA3	入出力	TGR3A のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	インプットキャプチャ/ アウトコンペアマッチ B3	TIOCB3	入出力	TGR3B のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	インプットキャプチャ/ アウトコンペアマッチ C3	TIOCC3	入出力	TGR3C のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	インプットキャプチャ/ アウトコンペアマッチ D3	TIOCD3	入出力	TGR3D のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
4	インプットキャプチャ/ アウトコンペアマッチ A4	TIOCA4	入出力	TGR4A のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	インプットキャプチャ/ アウトコンペアマッチ B4	TIOCB4	入出力	TGR4B のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
5	インプットキャプチャ/ アウトコンペアマッチ A5	TIOCA5	入出力	TGR5A のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子
	インプットキャプチャ/ アウトコンペアマッチ B5	TIOCB5	入出力	TGR5B のインプットキャプチャ入力/ アウトプットコンペア出力/PWM 出力端子

10.1.4 レジスタ構成

TPU のレジスタ構成を表 10.3 に示します。

表 10.3 レジスタ構成

チャンネル	名 称	略 称	R/W	初期値	アドレス* ¹
0	タイマコントロールレジスタ 0	TCR0	R/W	H'00	H'FF10
	タイマモードレジスタ 0	TMDR0	R/W	H'C0	H'FF11
	タイマ I/O コントロールレジスタ 0H	TIOR0H	R/W	H'00	H'FF12
	タイマ I/O コントロールレジスタ 0L	TIOR0L	R/W	H'00	H'FF13
	タイマインタラプトイネーブルレジスタ 0	TIER0	R/W	H'40	H'FF14
	タイマステータスレジスタ 0	TSR0	R/(W) * ²	H'C0	H'FF15
	タイマカウンタ 0	TCNT0	R/W	H'0000	H'FF16
	タイマジェネラルレジスタ 0A	TGR0A	R/W	H'FFFF	H'FF18
	タイマジェネラルレジスタ 0B	TGR0B	R/W	H'FFFF	H'FF1A
	タイマジェネラルレジスタ 0C	TGR0C	R/W	H'FFFF	H'FF1C
	タイマジェネラルレジスタ 0D	TGR0D	R/W	H'FFFF	H'FF1E
1	タイマコントロールレジスタ 1	TCR1	R/W	H'00	H'FF20
	タイマモードレジスタ 1	TMDR1	R/W	H'C0	H'FF21
	タイマ I/O コントロールレジスタ 1	TIOR1	R/W	H'00	H'FF22
	タイマインタラプトイネーブルレジスタ 1	TIER1	R/W	H'40	H'FF24
	タイマステータスレジスタ 1	TSR1	R/(W) * ²	H'C0	H'FF25
	タイマカウンタ 1	TCNT1	R/W	H'0000	H'FF26
	タイマジェネラルレジスタ 1A	TGR1A	R/W	H'FFFF	H'FF28
	タイマジェネラルレジスタ 1B	TGR1B	R/W	H'FFFF	H'FF2A
2	タイマコントロールレジスタ 2	TCR2	R/W	H'00	H'FF30
	タイマモードレジスタ 2	TMDR2	R/W	H'C0	H'FF31
	タイマ I/O コントロールレジスタ 2	TIOR2	R/W	H'00	H'FF32
	タイマインタラプトイネーブルレジスタ 2	TIER2	R/W	H'40	H'FF34
	タイマステータスレジスタ 2	TSR2	R/(W) * ²	H'C0	H'FF35
	タイマカウンタ 2	TCNT2	R/W	H'0000	H'FF36
	タイマジェネラルレジスタ 2A	TGR2A	R/W	H'FFFF	H'FF38
	タイマジェネラルレジスタ 2B	TGR2B	R/W	H'FFFF	H'FF3A
3	タイマコントロールレジスタ 3	TCR3	R/W	H'00	H'FE80
	タイマモードレジスタ 3	TMDR3	R/W	H'C0	H'FE81
	タイマ I/O コントロールレジスタ 3H	TIOR3H	R/W	H'00	H'FE82
	タイマ I/O コントロールレジスタ 3L	TIOR3L	R/W	H'00	H'FE83
	タイマインタラプトイネーブルレジスタ 3	TIER3	R/W	H'40	H'FE84
	タイマステータスレジスタ 3	TSR3	R/(W) * ²	H'C0	H'FE85
	タイマカウンタ 3	TCNT3	R/W	H'0000	H'FE86
	タイマジェネラルレジスタ 3A	TGR3A	R/W	H'FFFF	H'FE88
	タイマジェネラルレジスタ 3B	TGR3B	R/W	H'FFFF	H'FE8A
	タイマジェネラルレジスタ 3C	TGR3C	R/W	H'FFFF	H'FE8C
	タイマジェネラルレジスタ 3D	TGR3D	R/W	H'FFFF	H'FE8E

チャンネル	名 称	略 称	R/W	初期値	アドレス* ¹
4	タイマコントロールレジスタ 4	TCR4	R/W	H'00	H'FE90
	タイマモードレジスタ 4	TMDR4	R/W	H'C0	H'FE91
	タイマ I/O コントロールレジスタ 4	TIOR4	R/W	H'00	H'FE92
	タイマインタラプトイネーブルレジスタ 4	TIER4	R/W	H'40	H'FE94
	タイマステータスレジスタ 4	TSR4	R/(W) * ²	H'C0	H'FE95
	タイマカウンタ 4	TCNT4	R/W	H'0000	H'FE96
	タイマジェネラルレジスタ 4A	TGR4A	R/W	H'FFFF	H'FE98
	タイマジェネラルレジスタ 4B	TGR4B	R/W	H'FFFF	H'FE9A
5	タイマコントロールレジスタ 5	TCR5	R/W	H'00	H'FEA0
	タイマモードレジスタ 5	TMDR5	R/W	H'C0	H'FEA1
	タイマ I/O コントロールレジスタ 5	TIOR5	R/W	H'00	H'FEA2
	タイマインタラプトイネーブルレジスタ 5	TIER5	R/W	H'40	H'FEA4
	タイマステータスレジスタ 5	TSR5	R/(W) * ²	H'C0	H'FEA5
	タイマカウンタ 5	TCNT5	R/W	H'0000	H'FEA6
	タイマジェネラルレジスタ 5A	TGR5A	R/W	H'FFFF	H'FEA8
	タイマジェネラルレジスタ 5B	TGR5B	R/W	H'FFFF	H'FEAA
共通	タイマスタートレジスタ	TSTR	R/W	H'00	H'FEB0
	タイマシンクロレジスタ	TSYR	R/W	H'00	H'FEB1
	モジュールストップコントロールレジスタ A	MSTPCRA	R/W	H'3F	H'FDE8

- 【注】 *1 アドレスの下位 16 ビットを示しています。
*2 フラグをクリアするための 0 ライトのみ可能です。

10.2 各レジスタの説明

10.2.1 タイマコントロールレジスタ (TCR)

チャンネル0：TCR0

チャンネル3：TCR3

ビット：	7	6	5	4	3	2	1	0
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値：	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル1：TCR1

チャンネル2：TCR2

チャンネル4：TCR4

チャンネル5：TCR5

ビット：	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値：	0	0	0	0	0	0	0	0
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCR は各チャンネルの TCNT を制御する 8 ビットのレジスタです。TPU には、チャンネル 0～5 に各 1 本、計 6 本の TCR があります。TCR は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット 7、6、5：カウンタクリア 2、1、0 (CCLR2、CCLR1、CCLR0)

TCNT のカウンタクリア要因を選択します。

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	CCLR2	CCLR1	CCLR0	
0, 3	0	0	0	TCNT のクリア禁止 (初期値)
			1	TGRA のコンペアマッチ／インプットキャプチャで TCNT クリア
		1	0	TGRB のコンペアマッチ／インプットキャプチャで TCNT クリア
			1	同期クリア／同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1
	1	0	0	TCNT のクリア禁止
			1	TGRC のコンペアマッチ／インプットキャプチャで TCNT クリア*2
		1	0	TGRD のコンペアマッチ／インプットキャプチャで TCNT クリア*2
			1	同期クリア／同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	リザーブ*3	CCLR1	CCLR0	
1, 2 4, 5	0	0	0	TCNT のクリア禁止 (初期値)
			1	TGRA のコンペアマッチ／インプットキャプチャで TCNT クリア
		1	0	TGRB のコンペアマッチ／インプットキャプチャで TCNT クリア
			1	同期クリア／同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ／インプットキャプチャが発生しないため、TCNT はクリアされません。

*3 チャンネル 1、2、4、5 ではビット 7 はリザーブです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 4、3：クロックエッジ 1、0 (CKEG1、CKEG0)

入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が $1/2$ になります (例： $\phi/4$ の両エッジ = $\phi/2$ の立ち上がりエッジ)。チャンネル 1、2、4、5 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。

ビット 4	ビット 3	説 明
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1	—	両エッジでカウント

【注】 内部クロックのエッジ選択は、入力クロックが $\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $\phi/1$ 、あるいは他のチャンネルのオーバフロー／アンダフローを選択した場合は本設定は無視されます。

ビット 2、1、0：タイマプリスケラ 2、1、0 (TPSC2～TPSC0)

TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。表 10.4 に各チャンネルごとに設定可能なクロックソース一覧を示します。

表 10.4 TPU のクロックソース一覧

チャンネル	内部クロック							外部クロック				他のチャンネルの オーバフロー/ アンダフロー
	$\phi/1$	$\phi/4$	$\phi/16$	$\phi/64$	$\phi/256$	$\phi/1024$	$\phi/4096$	TCLKA	TCLKB	TCLKC	TCLKD	
0	○	○	○	○				○	○	○	○	
1	○	○	○	○	○			○	○			○
2	○	○	○	○		○		○	○	○		
3	○	○	○	○	○	○	○	○				
4	○	○	○	○		○		○		○		○
5	○	○	○	○	○			○		○	○	

【記号説明】

- : 設定あり
空欄 : 設定なし

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック： $\phi/1$ でカウント (初期値)
			1	内部クロック： $\phi/4$ でカウント
		1	0	内部クロック： $\phi/16$ でカウント
			1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKB 端子入力でカウント
		1	0	外部クロック：TCLKC 端子入力でカウント
			1	外部クロック：TCLKD 端子入力でカウント

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック： $\phi/1$ でカウント (初期値)
			1	内部クロック： $\phi/4$ でカウント
		1	0	内部クロック： $\phi/16$ でカウント
			1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKB 端子入力でカウント
		1	0	内部クロック： $\phi/256$ でカウント
			1	TCNT2 のオーバフロー／アンダフローでカウント

【注】 チャンネル 1 が位相計数モード時、この設定は無効になります。

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック：φ/1 でカウント (初期値)
			1	内部クロック：φ/4 でカウント
		1	0	内部クロック：φ/16 でカウント
			1	内部クロック：φ/64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKB 端子入力でカウント
		1	0	外部クロック：TCLKC 端子入力でカウント
			1	内部クロック：φ/1024 でカウント

【注】 チャンネル 2 が位相計数モード時、この設定は無効になります。

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
3	0	0	0	内部クロック：φ/1 でカウント (初期値)
			1	内部クロック：φ/4 でカウント
		1	0	内部クロック：φ/16 でカウント
			1	内部クロック：φ/64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	内部クロック：φ/1024 でカウント
		1	0	内部クロック：φ/256 でカウント
			1	内部クロック：φ/4096 でカウント

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
4	0	0	0	内部クロック：φ/1 でカウント (初期値)
			1	内部クロック：φ/4 でカウント
		1	0	内部クロック：φ/16 でカウント
			1	内部クロック：φ/64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKC 端子入力でカウント
		1	0	内部クロック：φ/1024 でカウント
			1	TCNT5 のオーバーフロー／アンダフローでカウント

【注】 チャンネル 4 が位相計数モード時、この設定は無効になります。

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
5	0	0	0	内部クロック： $\phi/1$ でカウント (初期値)
			1	内部クロック： $\phi/4$ でカウント
		1	0	内部クロック： $\phi/16$ でカウント
			1	内部クロック： $\phi/64$ でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
			1	外部クロック：TCLKC 端子入力でカウント
		1	0	内部クロック： $\phi/256$ でカウント
			1	外部クロック：TCLKD 端子入力でカウント

【注】 チャンネル 5 が位相計数モード時、この設定は無効になります。

10.2.2 タイマモードレジスタ (TMDR)

チャンネル0：TMDR0

チャンネル3：TMDR3

ビット：	7	6	5	4	3	2	1	0
	—	—	BFB	BFA	MD3	MD2	MD1	MD0
初期値：	1	1	0	0	0	0	0	0
R/W：	—	—	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル1：TMDR1

チャンネル2：TMDR2

チャンネル4：TMDR4

チャンネル5：TMDR5

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	MD3	MD2	MD1	MD0
初期値：	1	1	0	0	0	0	0	0
R/W：	—	—	—	—	R/W	R/W	R/W	R/W

TMDR は 8 ビットのリード／ライト可能なレジスタで、各チャンネルの動作モードの設定を行います。TPU には、各チャンネル 1 本、計 6 本の TMDR があります。TMDR は、リセットまたはハードウェアスタンバイモード時に H'CO に初期化されます。

TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット 7、6：リザーブ

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 5：バッファ動作 B (BFB)

TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ／アウトプットコンペアは発生しません。

TGRD を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 5	説 明
BFB	
0	TGRB は通常動作 (初期値)
1	TGRB と TGRD はバッファ動作

ビット 4：バッファ動作 A (BFA)

TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ／アウトプットコンペアは発生しません。

TGRC を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 4	説 明
BFA	
0	TGRA は通常動作 (初期値)
1	TGRA と TGRC はバッファ動作

ビット 3～0：モード 3～0 (MD3～MD0)

MD3～MD0 はタイマの動作モードを設定します。

ビット 3	ビット 2	ビット 1	ビット 0	説 明
MD3* ¹	MD2* ²	MD1	MD0	
0	0	0	0	通常動作 (初期値)
			1	リザーブ
		1	0	PWM モード 1
			1	PWM モード 2
	1	0	0	位相計数モード 1
			1	位相計数モード 2
		1	0	位相計数モード 3
			1	位相計数モード 4
1	*	*	*	—

* : Don't care

- 【注】 *1 MD3 はリザーブビットです。
ライト時には常に 0 を書き込んでください。
- *2 チャンネル 0、3 では、位相計数モードの設定はできません。
MD2 には常に 0 をライトしてください。

10.2.3 タイマ I/O コントロールレジスタ (TIOR)

チャンネル0：TIOR0H

チャンネル1：TIOR1

チャンネル2：TIOR2

チャンネル3：TIOR3H

チャンネル4：TIOR4

チャンネル5：TIOR5

ビット：	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値：	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネル0：TIOR0L

チャンネル3：TIOR3L

ビット：	7	6	5	4	3	2	1	0
	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値：	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TGRC、あるいはTGRDをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

TIOR は TGR を制御する 8 ビットのレジスタです。TPU には、チャンネル 0、3 に各 2 本、チャンネル 1、2、4、5 に各 1 本、計 8 本の TIOR があります。TIOR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタ停止した (TSTR の CST ビットを 0 にクリアした) 状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

ビット 7～4：I/O コントロール B3～0 (IOB3～IOB0)

I/O コントロール D3～0 (IOD3～IOD0)

IOB3～IOB0 ビットは TGRB の機能を設定します。

IOD3～IOD0 ビットは TGRD の機能を設定します。

チャンネル	ビット 7	ビット 6	ビット 5	ビット 4	説 明					
	IOB3	IOB2	IOB1	IOB0						
0	0	0	0	0	TGR0B は アウトプット コンペア レジスタ	出力禁止 (初期値)				
				1		初期出力は 0 出力	コンペアマッチで 0 出力			
				0			コンペアマッチで 1 出力			
				1			コンペアマッチでトグル出力			
			1	0		出力禁止				
						初期出力は 1 出力	コンペアマッチで 0 出力			
							コンペアマッチで 1 出力			
							コンペアマッチでトグル出力			
		1	0	0		0	TGR0B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCB0 端子	立ち上がりエッジでインプットキャプチャ	
						1			立ち下がりエッジでインプットキャプチャ	
	1			両エッジでインプットキャプチャ						
	1		*	*						

キャプチャ入力元 はチャンネル 1/ カウントクロック	TCNT1 のカウントアップ/ カウントダウンでインプット キャプチャ* ¹

* : Don't care

チャンネル	ビット 7	ビット 6	ビット 5	ビット 4	説 明					
	IOD3	IOD2	IOD1	IOD0						
0	0	0	0	0	TGR0D は アウトプット コンペア レジスタ* ²	出力禁止 (初期値)				
				1		初期出力は0 出力	コンペアマッチで 0 出力			
				0			コンペアマッチで 1 出力			
			1	コンペアマッチでトグル出力						
			1	0		0	出力禁止			
		1				初期出力は1 出力	コンペアマッチで 0 出力			
		0					コンペアマッチで 1 出力			
		1		コンペアマッチでトグル出力						
		1		0		0	0	TGR0D は インプット キャプチャ レジスタ* ²	キャプチャ入力元 は TIODC0 端子	立ち上がりエッジでインプットキャプチャ
			1				立ち下がりエッジでインプットキャプチャ			
	1		両エッジでインプットキャプチャ							
	1		*	*	キャプチャ入力元 はチャンネル1/ カウントクロック	TCNT1 のカウントアップ/ カウントダウンでインプット キャプチャ* ¹				

* : Don't care

- 【注】 *¹ TCR1 の TPSC2~TPSC0 ビットを B'000 とし、TCNT1 のカウントクロックに $\phi/1$ を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。
- *² TMDR0 の BFB ビットを 1 にセットして TGR0D をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

チャネル	ビット 7	ビット 6	ビット 5	ビット 4	説 明		
	IOB3	IOB2	IOB1	IOB0			
1	0	0	0	0	TGR1B は アウトプット コンペア レジスタ	出力禁止 (初期値)	
				1		初期出力は 0 出力	コンペアマッチで 0 出力
				0			コンペアマッチで 1 出力
				1			コンペアマッチでトグル出力
			1	0		出力禁止	初期出力は 1 出力
				1			コンペアマッチで 0 出力
				0			コンペアマッチで 1 出力
	1	0	0	0	TGR1B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCB1 端子	立ち上がりエッジでインプットキャプチャ
				1			立ち下がりエッジでインプットキャプチャ
				*			両エッジでインプットキャプチャ
			1	*		キャプチャ入力元 は TGR0C コンペ アマッチ/インプ ットキャプチャ	TGR0C のコンペアマッチ/ インプットキャプチャの発生で インプットキャプチャ

*: Don't care

チャネル	ビット 7	ビット 6	ビット 5	ビット 4	説 明		
	IOB3	IOB2	IOB1	IOB0			
2	0	0	0	0	TGR2B は アウトプット コンペア レジスタ	出力禁止 (初期値)	
				1		初期出力は 0 出力	コンペアマッチで 0 出力
				0			コンペアマッチで 1 出力
				1			コンペアマッチでトグル出力
		1	0	0		出力禁止	初期出力は 1 出力
				1			コンペアマッチで 0 出力
				0			コンペアマッチで 1 出力
	1	*	0	0	TGR2B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCB2 端子	立ち上がりエッジでインプットキャプチャ
				1			立ち下がりエッジでインプットキャプチャ
				*			両エッジでインプットキャプチャ
			1				

*: Don't care

チャネル	ビット 7	ビット 6	ビット 5	ビット 4	説 明	
	IOB3	IOB2	IOB1	IOB0		
3	0	0	0	0	TGR3B は アウトプット コンペア レジスタ	出力禁止 (初期値)
				1		初期出力は 0 出力
				0		コンペアマッチで 0 出力
				1		コンペアマッチで 1 出力
			1	0		コンペアマッチでトグル出力
				1		
		1	0	0		出力禁止
				1		初期出力は 1 出力
				0		コンペアマッチで 0 出力
				1		コンペアマッチで 1 出力
			1	0		コンペアマッチでトグル出力
				1		
	1	0	0	0	TGR3B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCB3 端子
				1		立ち上がりエッジでインプットキャプチャ
				0		立ち下がりエッジでインプットキャプチャ
				1		両エッジでインプットキャプチャ
		1	*	*		キャプチャ入力元 はチャネル 4/ カウントクロック
				*		TCNT4 のカウントアップ/ カウントダウンでインプット キャプチャ* ¹

* : Don't care

チャネル	ビット 7	ビット 6	ビット 5	ビット 4	説 明	
	IOD3	IOD2	IOD1	IOD0		
3	0	0	0	0	TGR3D は アウトプット コンペア レジスタ* ²	出力禁止 (初期値)
				1		初期出力は 0 出力
				0		コンペアマッチで 0 出力
				1		コンペアマッチで 1 出力
		1	0	0		コンペアマッチでトグル出力
				1		
		1	0	0		出力禁止
				1		初期出力は 1 出力
				0		コンペアマッチで 0 出力
				1		コンペアマッチで 1 出力
			1	0		コンペアマッチでトグル出力
				1		
	1	0	0	0	TGR3D は インプット キャプチャ レジスタ* ²	キャプチャ入力元 は TIOCD3 端子
				1		立ち上がりエッジでインプットキャプチャ
				0		立ち下がりエッジでインプットキャプチャ
				1		両エッジでインプットキャプチャ
		1	*	*		キャプチャ入力元 はチャネル 4/ カウントクロック
				*		TCNT4 のカウントアップ/ カウントダウンでインプット キャプチャ* ¹

* : Don't care

- 【注】 *¹ TCR4 の TPSC2~TPSC0 ビットを B'000 とし、TCNT4 のカウントクロックに $\phi/1$ を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。
- *² TMDR3 の BFB ビットを 1 にセットして TGR3D をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

チャネル	ビット 7	ビット 6	ビット 5	ビット 4	説 明			
	IOB3	IOB2	IOB1	IOB0				
4	0	0	0	0	TGR4B は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は0出力	コンペアマッチで0出力	
				1			0	コンペアマッチで1出力
			1				コンペアマッチでトグル出力	
		1	0	0		出力禁止	初期出力は1出力	コンペアマッチで0出力
				1				コンペアマッチで1出力
				1				0
			1					
	1	0	0	0	TGR4B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCB4 端子	立ち上がりエッジでインプットキャプチャ	
				1			立ち下がりエッジでインプットキャプチャ	
			1	*			両エッジでインプットキャプチャ	
		1		*		キャプチャ入力元 は TGR3C コンペア マッチ／インプ ットキャプチャ		TGR3C のコンペアマッチ／ インプットキャプチャの発生で インプットキャプチャ

*: Don't care

チャンネル	ビット 7	ビット 6	ビット 5	ビット 4	説 明				
	IOB3	IOB2	IOB1	IOB0					
5	0	0	0	0	TGR5B は アウトプット コンペア レジスタ	(初期値)			
				1		初期出力は 0 出力	コンペアマッチで 0 出力		
			1	0			コンペアマッチで 1 出力		
				1			コンペアマッチでトグル出力		
		1	0	0		出力禁止			
				1			初期出力は 1 出力	コンペアマッチで 0 出力	
			1	0				コンペアマッチで 1 出力	
				1				コンペアマッチでトグル出力	
	1	*	0	0	TGR5B は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCB5 端子	立ち上がりエッジでインプットキャプチャ		
				1			立ち下がりエッジでインプットキャプチャ		
			1	*			両エッジでインプットキャプチャ		

*: Don't care

ビット 3～0 : I/O コントロール A3～0 (IOA3～IOA0)

I/O コントロール C3～0 (IOC3～IOC0)

IOA3～IOA0 は TGRA の機能を設定します。

IOC3～IOC0 は TGRC の機能を設定します。

チャネル	ビット 3	ビット 2	ビット 1	ビット 0	説 明		
	IOA3	IOA2	IOA1	IOA0			
0	0	0	0	0	TGR0A は アウトプット コンペア レジスタ	出力禁止 (初期値)	
				1		初期出力は 0 出力	コンペアマッチで 0 出力
				0			コンペアマッチで 1 出力
				1			コンペアマッチでトグル出力
			1	0		出力禁止	
				1		初期出力は 1 出力	コンペアマッチで 0 出力
			1	0			コンペアマッチで 1 出力
				1			コンペアマッチでトグル出力
	1	0	0	0	TGR0A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCA0 端子	立ち上がりエッジでインプットキャプチャ
				1			立ち下がりエッジでインプットキャプチャ
				*			両エッジでインプットキャプチャ
			1	*		キャプチャ入力元 はチャネル 1/ カウントクロック	TCNT1 のカウントアップ/ カウントダウンでインプット キャプチャ

* : Don't care

チャネル	ビット 3	ビット 2	ビット 1	ビット 0	説 明		
	IOC3	IOC2	IOC1	IOC0			
0	0	0	0	0	TGR0C は アウトプット コンペア レジスタ* ¹	出力禁止 (初期値)	
				1		初期出力は 0 出力	コンペアマッチで 0 出力
				0			コンペアマッチで 1 出力
				1			コンペアマッチでトグル出力
			1	0		出力禁止	
				1		初期出力は 1 出力	コンペアマッチで 0 出力
			1	0			コンペアマッチで 1 出力
				1			コンペアマッチでトグル出力
	1	0	0	0	TGR0C は インプット キャプチャ レジスタ* ¹	キャプチャ入力元 は TIOCC0 端子	立ち上がりエッジでインプットキャプチャ
				1			立ち下がりエッジでインプットキャプチャ
				*			両エッジでインプットキャプチャ
			1	*		キャプチャ入力元 はチャネル 1/ カウントクロック	TCNT1 のカウントアップ/ カウントダウンでインプット キャプチャ

* : Don't care

【注】 *¹ TMDR0 の BFA ビットを 1 にセットして TGR0C をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

チャネル	ビット 3	ビット 2	ビット 1	ビット 0	説 明	
	IOA3	IOA2	IOA1	IOA0		
1	0	0	0	0	TGR1A は アウトプット コンペア レジスタ	出力禁止 (初期値)
				1		初期出力は 0 出力
			1	0		コンペアマッチで 0 出力
				1		コンペアマッチで 1 出力
		1	0	0		コンペアマッチでトグル出力
				1		出力禁止
	1	0	0	0	TGR1A は インプット キャプチャ レジスタ	初期出力は 1 出力
				1		コンペアマッチで 0 出力
			1	0		コンペアマッチで 1 出力
				1		コンペアマッチでトグル出力
		1	0	0		キャプチャ入力元 は TIOCA1 端子
				1		立ち上がりエッジでインプットキャプチャ
	1	0	0	0	TGR1A は インプット キャプチャ レジスタ	立ち下がりエッジでインプットキャプチャ
				1		両エッジでインプットキャプチャ
	1	0	0	0	TGR1A は インプット キャプチャ レジスタ	キャプチャ入力元 は TGR0A コンペ アマッチ/インプ ットキャプチャ
				1		チャンネル 0/TGR0A の コンペアマッチ/ インプットキャプチャの発生で インプットキャプチャ

*: Don't care

チャネル	ビット 3	ビット 2	ビット 1	ビット 0	説 明	
	IOA3	IOA2	IOA1	IOA0		
2	0	0	0	0	TGR2A は アウトプット コンペア レジスタ	出力禁止 (初期値)
				1		初期出力は 0 出力
			1	0		コンペアマッチで 0 出力
				1		コンペアマッチで 1 出力
		1	0	0		コンペアマッチでトグル出力
				1		出力禁止
	1	0	0	0	TGR2A は インプット キャプチャ レジスタ	初期出力は 1 出力
				1		コンペアマッチで 0 出力
			1	0		コンペアマッチで 1 出力
				1		コンペアマッチでトグル出力
	1	0	0	0	TGR2A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCA2 端子
				1		立ち上がりエッジでインプットキャプチャ
	1	0	0	0	TGR2A は インプット キャプチャ レジスタ	立ち下がりエッジでインプットキャプチャ
				1		両エッジでインプットキャプチャ
	1	0	0	0	TGR2A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCA2 端子
				1		立ち上がりエッジでインプットキャプチャ

*: Don't care

チャネル	ビット 3	ビット 2	ビット 1	ビット 0	説 明					
	IOA3	IOA2	IOA1	IOA0						
3	0	0	0	0	TGR3A は アウトプット コンペア レジスタ	出力禁止 (初期値)				
				1		初期出力は 0 出力	コンペアマッチで 0 出力			
			1	コンペアマッチで 1 出力						
				1			コンペアマッチでトグル出力			
			1	0		出力禁止				
						初期出力は 1 出力	コンペアマッチで 0 出力			
				1			コンペアマッチで 1 出力			
							1	コンペアマッチでトグル出力		
		1	0	0		0	TGR3A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCA3 端子	立ち上がりエッジでインプットキャプチャ	
						1			立ち下がりエッジでインプットキャプチャ	
	1			両エッジでインプットキャプチャ						
	1		*	*						
					キャプチャ入力元 はチャネル 4/ カウントクロック	TCNT4 のカウントアップ/ カウントダウンでインプット キャプチャ				

* : Don't care

チャンネル	ビット 3	ビット 2	ビット 1	ビット 0	説 明				
	IOC3	IOC2	IOC1	IOC0					
3	0	0	0	0	TGR3C は アウトプット コンペア レジスタ ^{*1}	出力禁止 (初期値)			
				1		初期出力は 0 出力	コンペアマッチで 0 出力		
				0			コンペアマッチで 1 出力		
			1	コンペアマッチでトグル出力					
			1	0		0	出力禁止	初期出力は 1 出力	
		1				コンペアマッチで 0 出力			
		0				コンペアマッチで 1 出力			
		1		0		コンペアマッチでトグル出力			
				1					
		1	0	0		0	TGR3C は インプット キャプチャ レジスタ ^{*1}	キャプチャ入力元 は TIOCC3 端子	立ち上がりエッジでインプットキャプチャ
	1				立ち下がりエッジでインプットキャプチャ				
	1			*	両エッジでインプットキャプチャ				
				*					
	1		*	*		キャプチャ入力元 はチャンネル 4/ カウントクロック		TCNT4 のカウントアップ/ カウントダウンでインプット キャプチャ	

* : Don't care

【注】 *¹ TMDR3 の BFA ビットを 1 にセットして TGR3C をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

チャネル	ビット 3	ビット 2	ビット 1	ビット 0	説 明			
	IOA3	IOA2	IOA1	IOA0				
4	0	0	0	0	TGR4A は アウトプット コンペア レジスタ	出力禁止 (初期値)		
				1		初期出力は 0 出力	コンペアマッチで 0 出力	
				0			コンペアマッチで 1 出力	
			1	コンペアマッチでトグル出力				
		1	0	0		出力禁止	初期出力は 1 出力	コンペアマッチで 0 出力
				1				コンペアマッチで 1 出力
				0				コンペアマッチでトグル出力
			1	1				コンペアマッチでトグル出力
	1	0	0	0	TGR4A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCA4 端子	立ち上がりエッジでインプットキャプチャ	
				1			立ち下がりエッジでインプットキャプチャ	
				*			両エッジでインプットキャプチャ	
		1	*	*		キャプチャ入力元 は TGR3A コンペア マッチ／インプ ットキャプチャ	TGR3A のコンペアマッチ／ インプットキャプチャの発生で インプットキャプチャ	

*: Don't care

チャネル	ビット 3	ビット 2	ビット 1	ビット 0	説 明		
	IOA3	IOA2	IOA1	IOA0			
5	0	0	0	0	TGR5A は アウトプット コンペア レジスタ	出力禁止 (初期値)	
				1		初期出力は 0 出力	コンペアマッチで 0 出力
				0			コンペアマッチで 1 出力
			1	1			コンペアマッチでトグル出力
		1	0	0		出力禁止	
				1		初期出力は 1 出力	コンペアマッチで 0 出力
				0			コンペアマッチで 1 出力
			1	1			コンペアマッチでトグル出力
	1	*	0	0	TGR5A は インプット キャプチャ レジスタ	キャプチャ入力元 は TIOCA5 端子	立ち上がりエッジでインプットキャプチャ
				1			立ち下がりエッジでインプットキャプチャ
				*			両エッジでインプットキャプチャ

*: Don't care

10.2.4 タイマインタラプトイネーブルレジスタ (TIER)

チャンネル0：TIER0

チャンネル3：TIER3

ビット：	7	6	5	4	3	2	1	0
	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値：	0	1	0	0	0	0	0	0
R/W：	R/W	—	—	R/W	R/W	R/W	R/W	R/W

チャンネル1：TIER1

チャンネル2：TIER2

チャンネル4：TIER4

チャンネル5：TIER5

ビット：	7	6	5	4	3	2	1	0
	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
初期値：	0	1	0	0	0	0	0	0
R/W：	R/W	—	R/W	R/W	—	—	R/W	R/W

TIER は 8 ビットのレジスタで、各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、各チャンネル 1 本、計 6 本の TIER があります。TIER は、リセットまたはハードウェアスタンバイモード時に H'40 に初期化されます。

ビット 7：A/D 変換開始要求イネーブル (TTGE)

TGRA のインプットキャプチャ／コンペアマッチによる、A/D 変換開始要求の発生を許可または禁止します。

ビット 7	説 明
TTGE	
0	A/D 変換開始要求の発生を禁止 (初期値)
1	A/D 変換開始要求の発生を許可

ビット 6：リザーブ

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 5：アンダフローインタラプトイネーブル (TCIEU)

チャンネル 1、2、4、5 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。

チャンネル 0、3 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 5	説 明
TCIEU	
0	TCFU による割り込み要求 (TCIU) を禁止 (初期値)
1	TCFU による割り込み要求 (TCIU) を許可

ビット 4：オーバフローインタラプトイネーブル (TCIEV)

TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。

ビット 4	説 明
TCIEV	
0	TCFV による割り込み要求 (TCIV) を禁止 (初期値)
1	TCFV による割り込み要求 (TCIV) を許可

ビット 3：TGR インタラプトイネーブル D (TGIED)

チャンネル 0、3 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。

チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 3	説 明
TGIED	
0	TGFD ビットによる割り込み要求 (TGID) を禁止 (初期値)
1	TGFD ビットによる割り込み要求 (TGID) を許可

ビット 2：TGR インタラプトイネーブル C (TGIEC)

チャンネル 0、3 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。

チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 2	説 明
TGIEC	
0	TGFC ビットによる割り込み要求 (TGIC) を禁止 (初期値)
1	TGFC ビットによる割り込み要求 (TGIC) を許可

ビット 1：TGR インタラプトイネーブル B (TGIEB)

TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。

ビット 1	説 明
TGIEB	
0	TGFB ビットによる割り込み要求 (TGIB) を禁止 (初期値)
1	TGFB ビットによる割り込み要求 (TGIB) を許可

ビット 0：TGR インタラプトイネーブル A (TGIEA)

TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。

ビット 0	説 明
TGIEA	
0	TGFA ビットによる割り込み要求 (TGIA) を禁止 (初期値)
1	TGFA ビットによる割り込み要求 (TGIA) を許可

10.2.5 タイマステータスレジスタ (TSR)

チャンネル0：TSR0

チャンネル3：TSR3

ビット：	7	6	5	4	3	2	1	0
	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
初期値：	1	1	0	0	0	0	0	0
R/W	—	—	—	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするための0ライトのみ可能です。

チャンネル1：TSR1

チャンネル2：TSR2

チャンネル4：TSR4

チャンネル5：TSR5

ビット：	7	6	5	4	3	2	1	0
	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA
初期値：	1	1	0	0	0	0	0	0
R/W	R	—	R/(W)*	R/(W)*	—	—	R/(W)*	R/(W)*

【注】* フラグをクリアするための0ライトのみ可能です。

TSR は 8 ビットのレジスタで、各チャンネルのステータスの表示を行います。TPU には、各チャンネル 1 本、計 6 本の TSR があります。TSR は、リセットまたはハードウェアスタンバイモード時に H'CO に初期化されます。

ビット 7：カウント方向フラグ (TCFD)

チャンネル 1、2、4、5 の TCNT のカウント方向を示すステータスフラグです。

チャンネル 0、3 ではリザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 7	説 明
TCFD	
0	TCNT はダウンカウント
1	TCNT はアップカウント (初期値)

ビット 6：リザーブ

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 5：アンダフローフラグ (TCFU)

チャンネル 1、2、4、5 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。

チャンネル 0、3 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 5	説 明
TCFU	
0	[クリア条件] (初期値) TCFU=1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき
1	[セット条件] TCNT の値がアンダフロー (H'0000→H'FFFF) したとき

ビット 4：オーバフローフラグ (TCFV)

TCNT のオーバフローの発生を示すステータスフラグです。

ビット 4	説 明
TCFV	
0	[クリア条件] (初期値) TCFV=1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき
1	[セット条件] TCNT の値がオーバフロー (H'FFFF→H'0000) したとき

ビット 3：インプットキャプチャ／アウトプットコンペアフラグ D (TGFD)

チャンネル 0、3 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 3	説 明
TGFD	
0	[クリア条件] (初期値) (1) TGID 割り込みにより DTC が起動され、DTC の MRB の DIESEL ビットが 0 のとき (2) TGFD=1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき
1	[セット条件] (1) TGRD がアウトプットコンペアレジスタとして機能している場合、 TCNT=TGRD になったとき (2) TGRD がインプットキャプチャとして機能している場合、 インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき

ビット 2：インプットキャプチャ／アウトプットコンペアフラグ C (TGFC)

チャンネル 0、3 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 2	説 明
TGFC	
0	[クリア条件] (初期値) (1) TGIC 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき (2) TGFC=1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき
1	[セット条件] (1) TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRC になったとき (2) TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき

ビット 1：インプットキャプチャ／アウトプットコンペアフラグ B (TGFB)

TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット 1	説 明
TGFB	
0	[クリア条件] (初期値) (1) TGIB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき (2) TGFB=1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき
1	[セット条件] (1) TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRB になったとき (2) TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき

ビット 0：インプットキャプチャ／アウトプットコンペアフラグ A (TGFA)

TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット 0	説 明
TGFA	
0	[クリア条件] (初期値) (1) TGIA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき (2) TGFA=1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき
1	[セット条件] (1) TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT=TGRA になったとき (2) TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき

10.2.6 タイマカウンタ (TCNT)

チャンネル0：TCNT0 (アップカウンタ)
 チャンネル1：TCNT1 (アップ／ダウンカウンタ*)
 チャンネル2：TCNT2 (アップ／ダウンカウンタ*)
 チャンネル3：TCNT3 (アップカウンタ)
 チャンネル4：TCNT4 (アップ／ダウンカウンタ*)
 チャンネル5：TCNT5 (アップ／ダウンカウンタ*)

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

 初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

【注】* 位相計数モード (および位相計数モードの他のチャンネルのオーバフロー／アンダフローのカウント時) のみアップ／ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

TCNT は 16 ビットのカウンタです。各チャンネルに 1 本、計 6 本の TCNT があります。
 TCNT は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。
 TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

10.2.7 タイマジェネラルレジスタ (TGR)

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

 初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

TGR は 16 ビットのアウトプットコンペア／インプットキャプチャ兼用のレジスタです。チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のジェネラルレジスタがあります。チャンネル 0、3 の TGRC と TGRD は、バッファレジスタとして動作設定することができます*。TGR はリセットまたはハードウェアスタンバイモード時に H'FFFF に初期化されます。

TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

【注】* TGR とバッファレジスタの組み合わせは、TGRA—TGRC、TGRB—TGRD になります。

10.2.8 タイマスタートレジスタ (TSTR)

ビット：	7	6	5	4	3	2	1	0
	—	—	CST5	CST4	CST3	CST2	CST1	CST0
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	R/W	R/W	R/W	R/W	R/W	R/W

TSTR は 8 ビットのリード／ライト可能なレジスタで、チャンネル 0～5 の TCNT の動作／停止を選択します。TSTR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット 7、6：リザーブビット

ライト時は必ず 0 を書き込んでください。

ビット 5～0：カウンタスタート 5～0 (CST5～CST0)

TCNT の動作または停止を選択します。

ビット n	説明
CSTn	
0	TCNTn のカウント動作は停止 (初期値)
1	TCNTn はカウント動作

(n=5～0)

【注】 TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。

10.2.9 タイマシンクロレジスタ (TSYR)

ビット：	7	6	5	4	3	2	1	0
	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	R/W	R/W	R/W	R/W	R/W	R/W

TSYR は 8 ビットのリード／ライト可能なレジスタで、チャンネル 0～5 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

TSYR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。

ビット 7、6：リザーブビット

ライト時は必ず 0 を書き込んでください。

ビット 5～0：タイマ同期 5～0 (SYNC5～SYNC0)

他のチャンネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期プリセット*¹や、他チャンネルのカウントクリアによる同期クリア*²が可能となります。

ビット n	説 明
SYNCn	
0	TCNTn は独立動作 (TCNT のプリセット／クリアは他チャンネルと無関係) (初期値)
1	TCNTn は同期動作 TCNT の同期プリセット／同期クリアが可能

(n=5～0)

【注】 *1 同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。

*2 同期クリアの設定には、SYNC ビットのほかに TCR の CCLR2～CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。

10.2.10 モジュールストップコントロールレジスタ A (MSTPCRA)

ビット：	7	6	5	4	3	2	1	0
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値：	0	0	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRA は 8 ビットのリード／ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPA5 ビットを 1 にセットすると、バスサイクルの終了時点で TPU は動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード／ライトはできません。詳細は、「22.5 モジュールストップモード」を参照してください。

MSTPCRA は、リセットまたはハードウェアスタンバイモード時に H'3F に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 5：モジュールストップ (MSTPA5)

TPU のモジュールストップモードを指定します。

ビット 5	説 明
MSTPA5	
0	TPU のモジュールストップモード解除
1	TPU のモジュールストップモード設定 (初期値)

10.3 バスマスタとのインタフェース

10.3.1 16 ビットレジスタ

TCNT、TGR は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位でのリード／ライトが可能です。

8 ビット単位でのリード／ライトはできません。常に 16 ビット単位でアクセスしてください。

16 ビットレジスタのアクセス動作例を図 10.2 に示します。

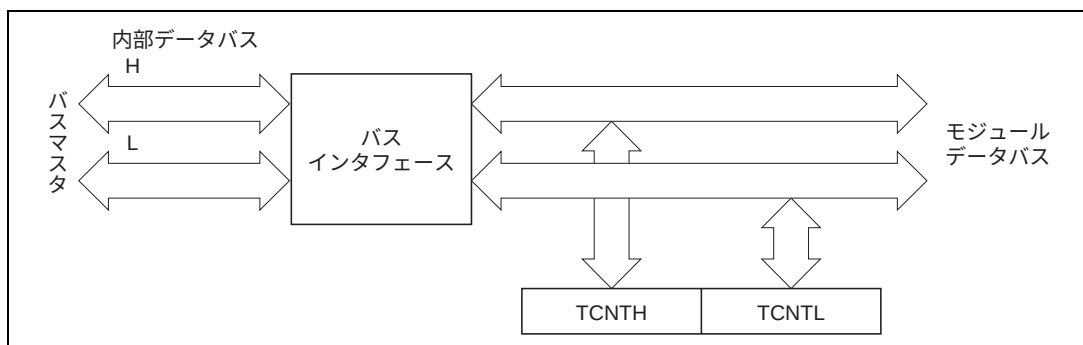


図 10.2 16 ビットレジスタのアクセス動作 (バスマスタ↔TCNT (16 ビット))

10.3.2 8 ビットレジスタ

TCNT、TGR 以外のレジスタは 8 ビットのレジスタです。CPU との間のデータバスは 16 ビット幅なので、16 ビット単位でのリード／ライトが可能です。また、8 ビット単位でのリード／ライトもできます。

8 ビットレジスタのアクセス動作例を図 10.3、図 10.4、図 10.5 に示します。

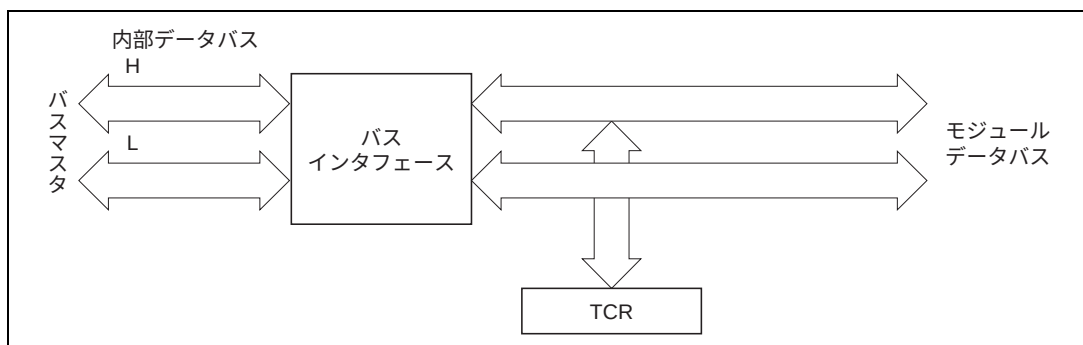


図 10.3 8 ビットレジスタのアクセス動作 (バスマスタ↔TCR (上位 8 ビット))

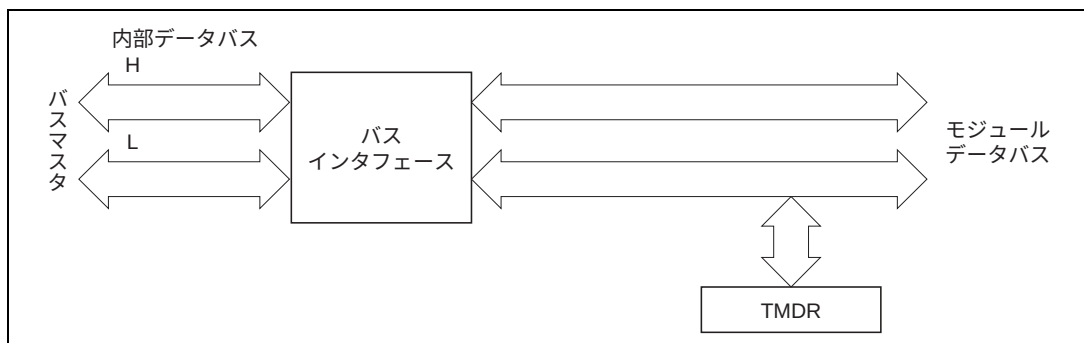


図 10.4 8 ビットレジスタのアクセス動作 (バスマスタ↔TMDR (下位 8 ビット))

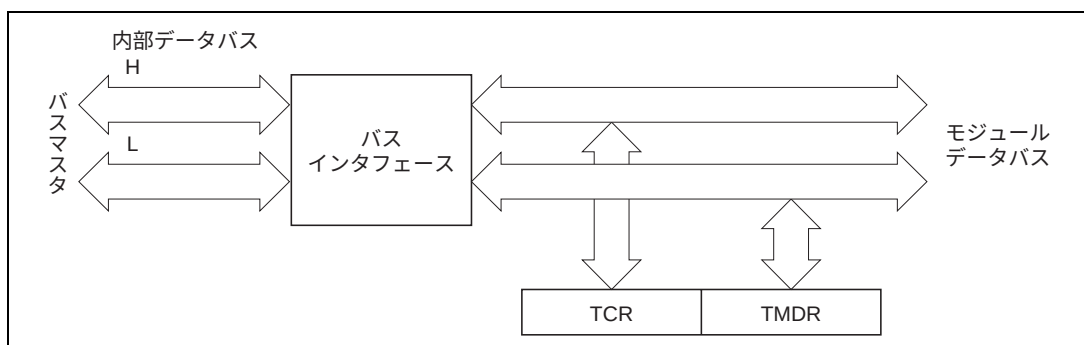


図 10.5 8 ビットレジスタのアクセス動作 (バスマスタ↔TCR、TMDR (16 ビット))

10.4 動作説明

10.4.1 概要

各モードの動作概要を以下に示します。

(1) 通常動作

各チャンネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(2) 同期動作

同期動作を設定したチャンネルの TCNT は、同期プリセット動作を行います。すなわち、同期動作に設定されたチャンネルのうち任意の TCNT を書き換えると、他のチャンネルの TCNT も同時に書き換えられます。また、同期動作に設定させた複数のチャンネルの TSYR のタイマ同期ビットの設定により、TCNT の同期クリアが可能です。

(3) バッファ動作

(a) TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると対応するチャンネルのバッファレジスタの値が TGR に転送されます。

(b) TGR がインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値が TGR に転送されると同時に、それまで格納されていた TGR の値がバッファレジスタに転送されます。

(4) カスケード接続動作

チャンネル 1 カウンタ (TCNT1) とチャンネル 2 カウンタ (TCNT2) またはチャンネル 4 カウンタ (TCNT4) とチャンネル 5 カウンタ (TCNT5) を接続して 32 ビットカウンタとして動作させることができます。

(5) PWM モード

PWM 波形を出力するモードです。出力レベルは TIOR により設定できます。
各 TGR の設定により、デューティ 0~100% の PWM 波形が出力できます。

(6) 位相計数モード

チャンネル 1、2、4、5 で外部クロック入力端子から入力される 2 つのクロックの位相を検出して、TCNT をアップ/ダウンさせるモードです。位相計数モードに設定すると、対応する TCLK 端子はクロック入力となり、また TCNT はアップ/ダウンカウント動作を行います。

2 相エンコーダパルスの入力として使用できます。

10.4.2 基本機能

(1) カウンタの動作

TSTR の CST0~CST5 ビットを 1 にセットすると、対応するチャンネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図 10.6 に示します。

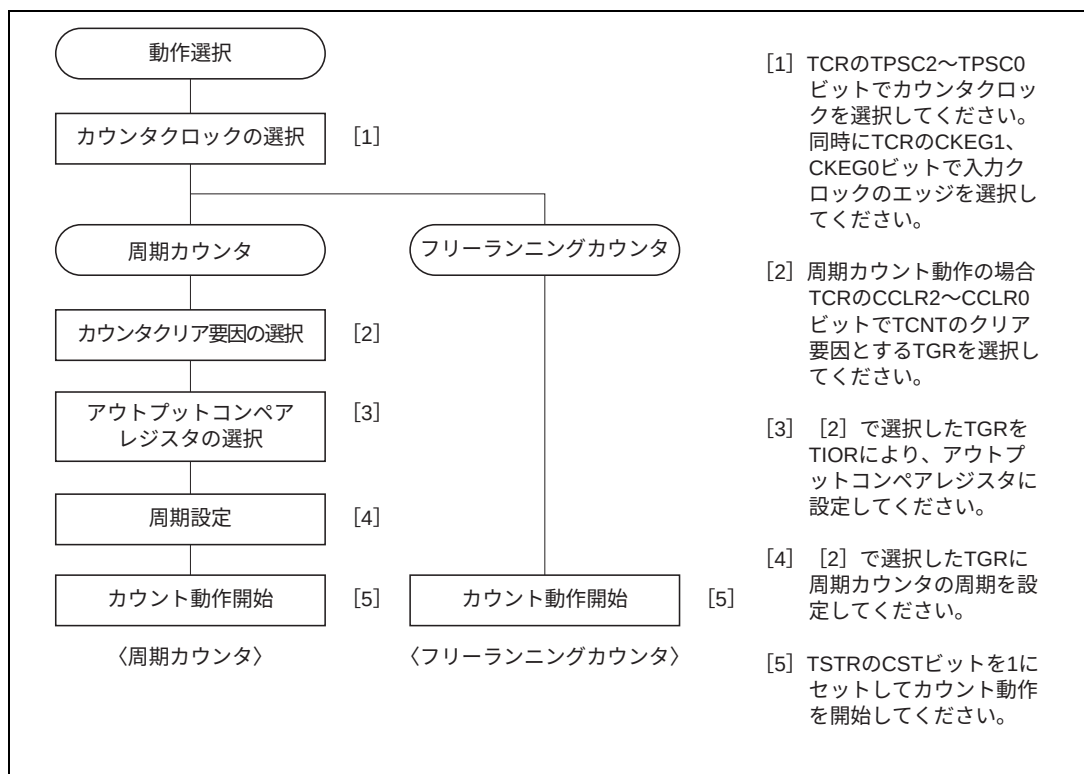


図 10.6 カウンタ動作設定手順例

(b) フリーランニングカウント動作と周期カウント動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー(H'FFFF→H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、TPU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 10.7 に示します。

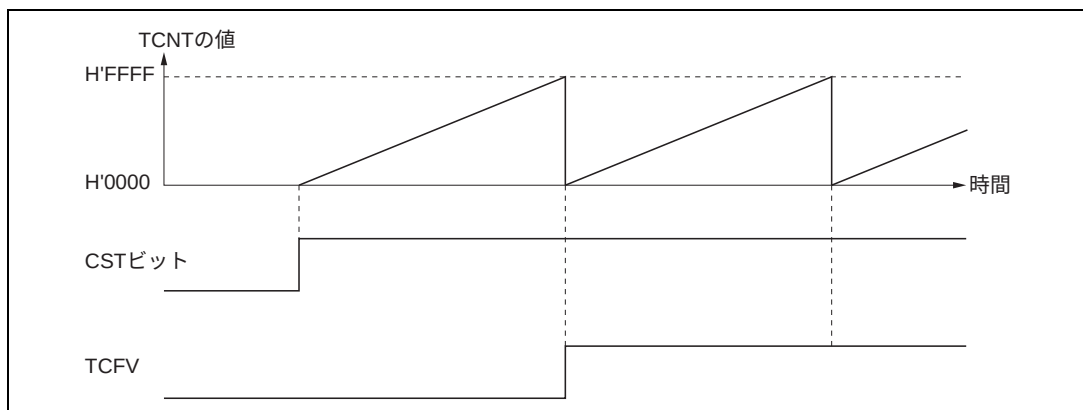


図 10.7 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2 ~ CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、TPU は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 10.8 に示します。

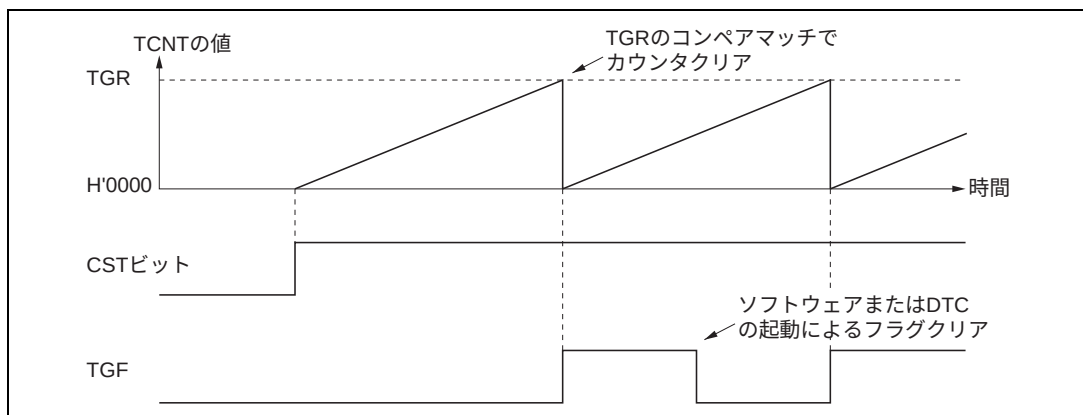


図 10.8 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPU は、コンペアマッチにより対応する出力端子から 0 出力／1 出力／トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 10.9 に示します。

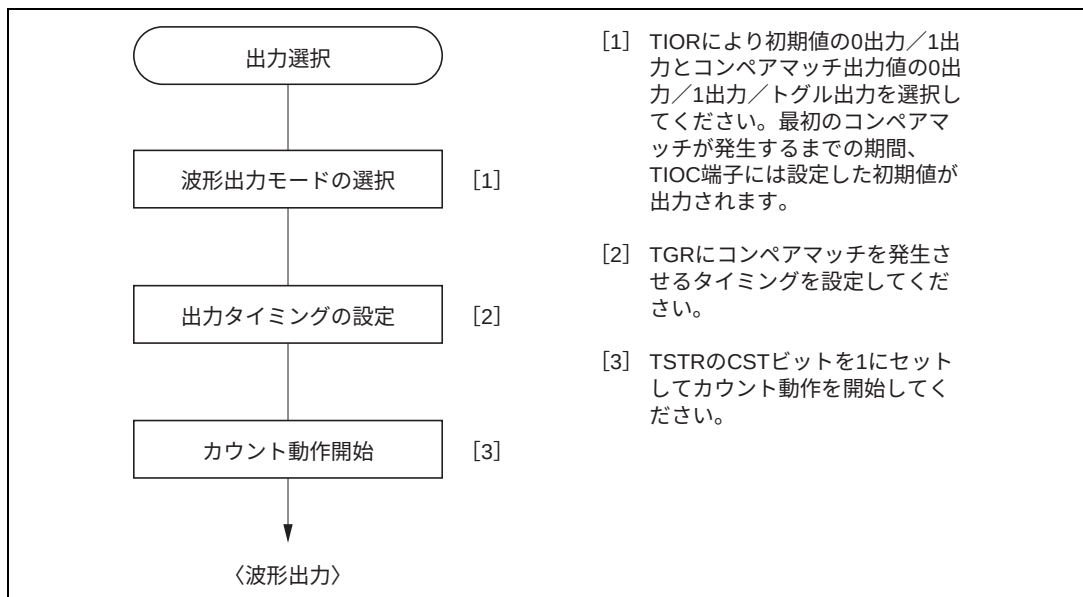


図 10.9 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力／1 出力例を図 10.10 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

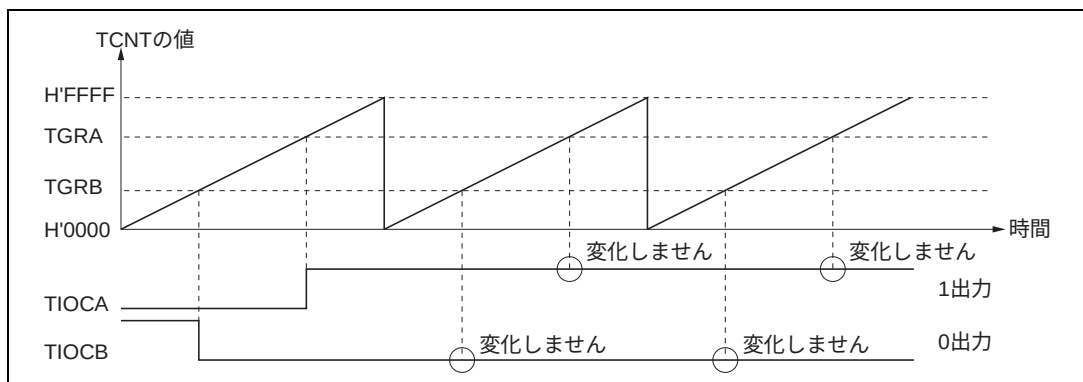


図 10.10 0 出力 / 1 出力の動作例

トグル出力の例を図 10.11 に示します。

TCNT を周期カウント動作（コンペアマッチ B によりカウンタクリア）に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

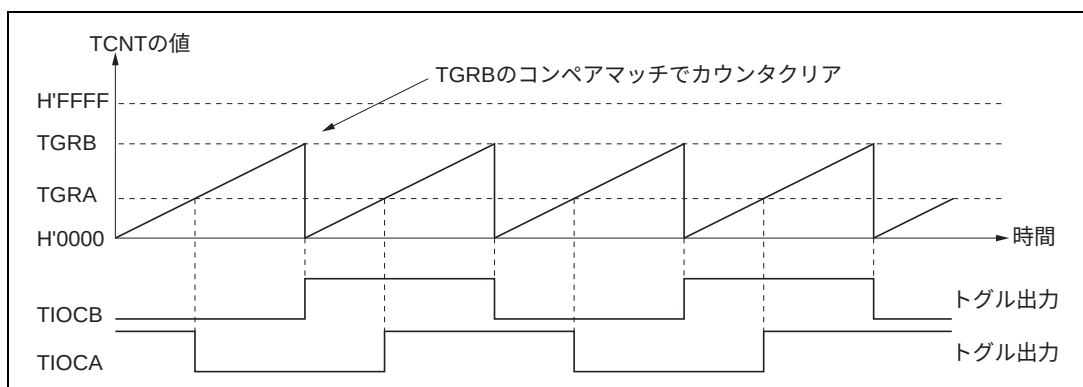


図 10.11 トグル出力の動作例

(3) インプットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、チャンネル 0、1、3、4 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインプットキャプチャの要因とすることもできます。

【注】 チャンネル 0、3 で別のチャンネルのカウンタ入力クロックをインプットキャプチャ入力とする場合は、インプットキャプチャ入力とするカウンタ入力クロックに $\phi/1$ を選択しないでください。 $\phi/1$ を選択した場合は、インプットキャプチャは発生しません。

(a) インプットキャプチャ動作の設定手順例

インプットキャプチャ動作の設定手順例を図 10.12 に示します。

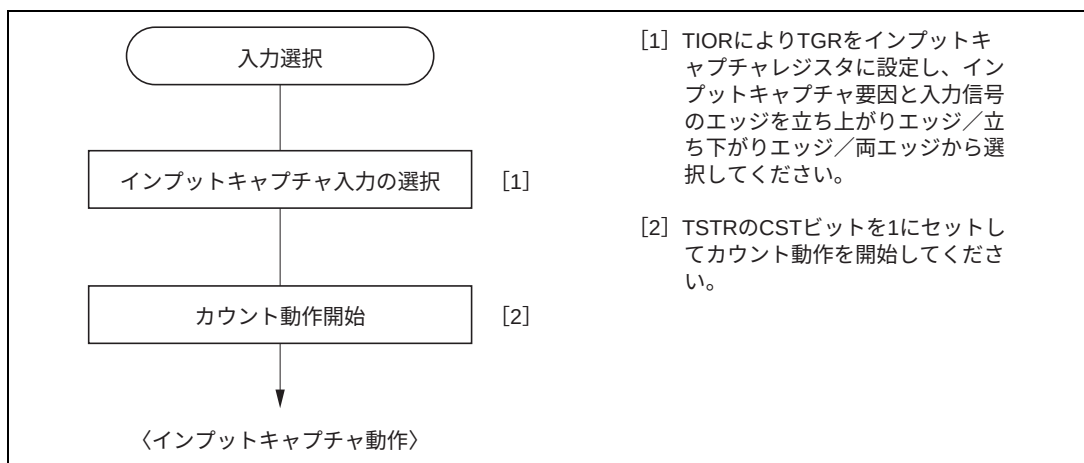


図 10.12 インプットキャプチャ動作の設定例

(b) インプットキャプチャ動作例

インプットキャプチャ動作例を図 10.13 に示します。

TIOCA 端子のインプットキャプチャ入力エッジは立ち上がり／立ち下がりの両エッジ、また TIOCB 端子のインプットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインプットキャプチャでカウンタクリアされるように設定した場合の例です。

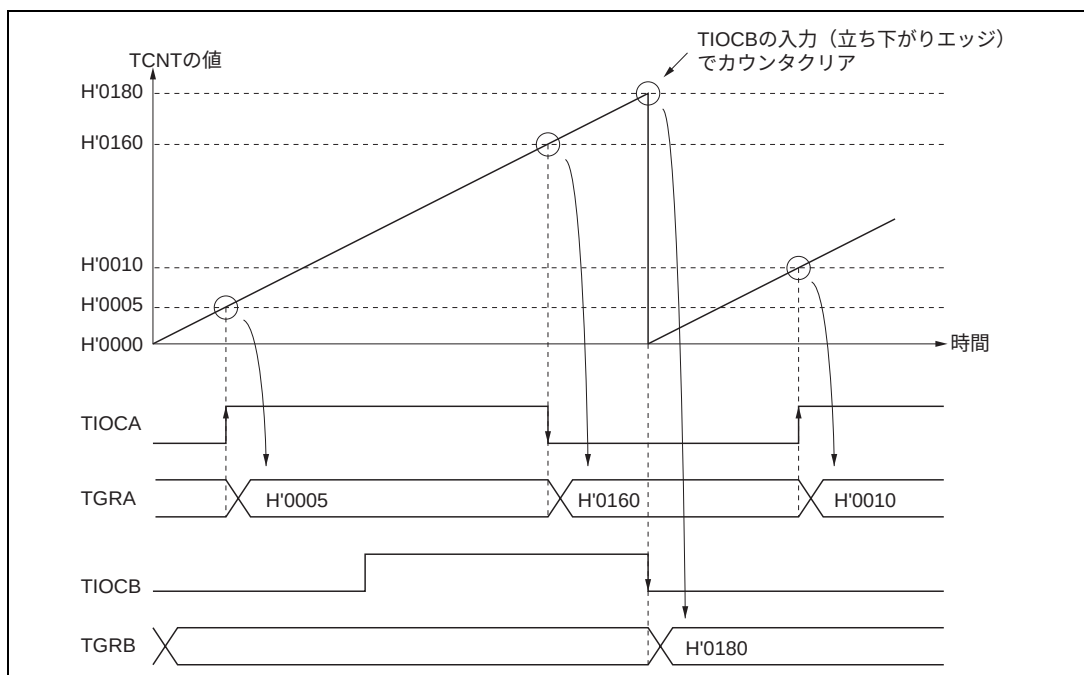


図 10.13 インプットキャプチャ動作例

10.4.3 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1つのタイムベースに対して TGR を増加することができます。

チャンネル 0～5 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 10.14 に示します。

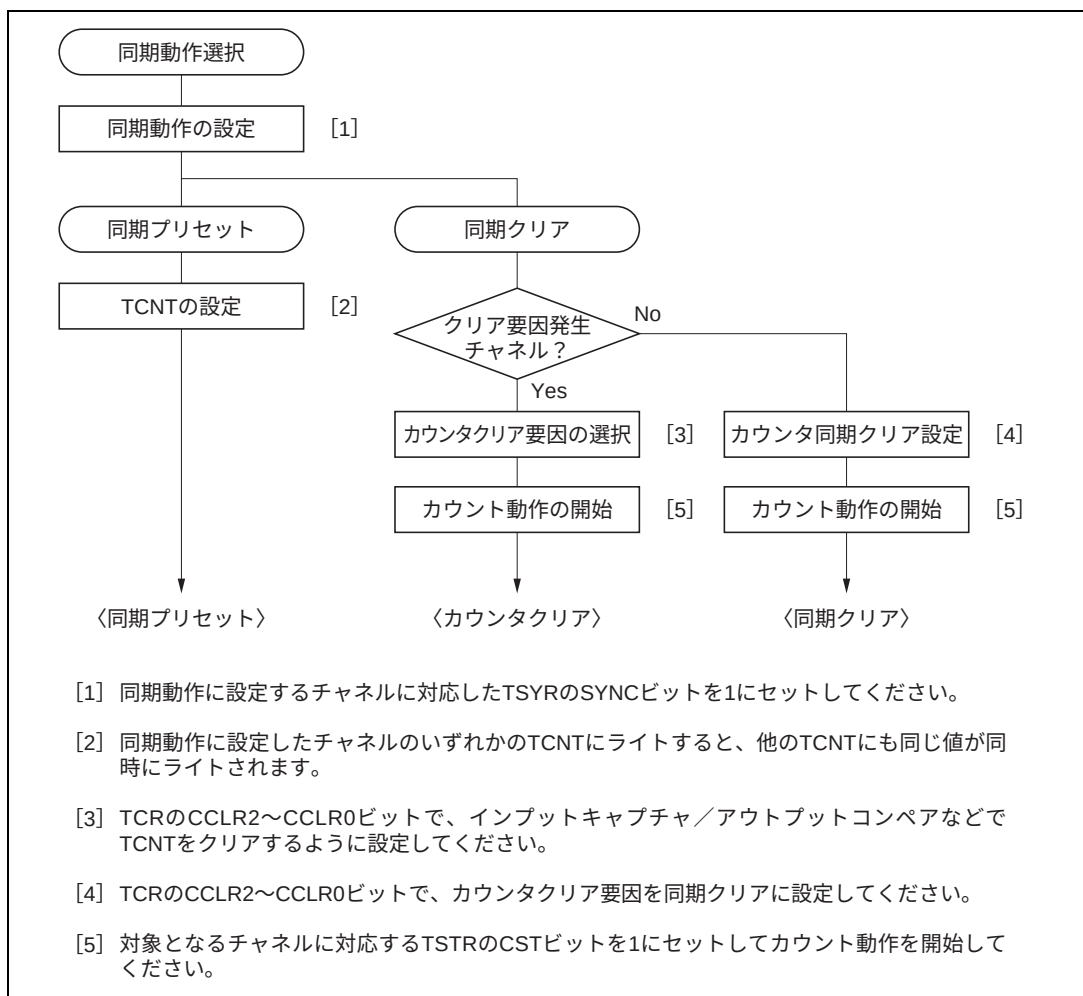


図 10.14 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 10.15 に示します。

チャンネル 0～2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGR0B のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TI0C0A、TI0C1A、TI0C2A 端子から出力します。このとき、チャンネル 0～2 の TCNT は同期プリセット、TGR0B のコンペアマッチによる同期クリアを行い、TGR0B に設定したデータが PWM 周期となります。

PWM モードについては、「10.4.6 PWM モード」を参照してください。

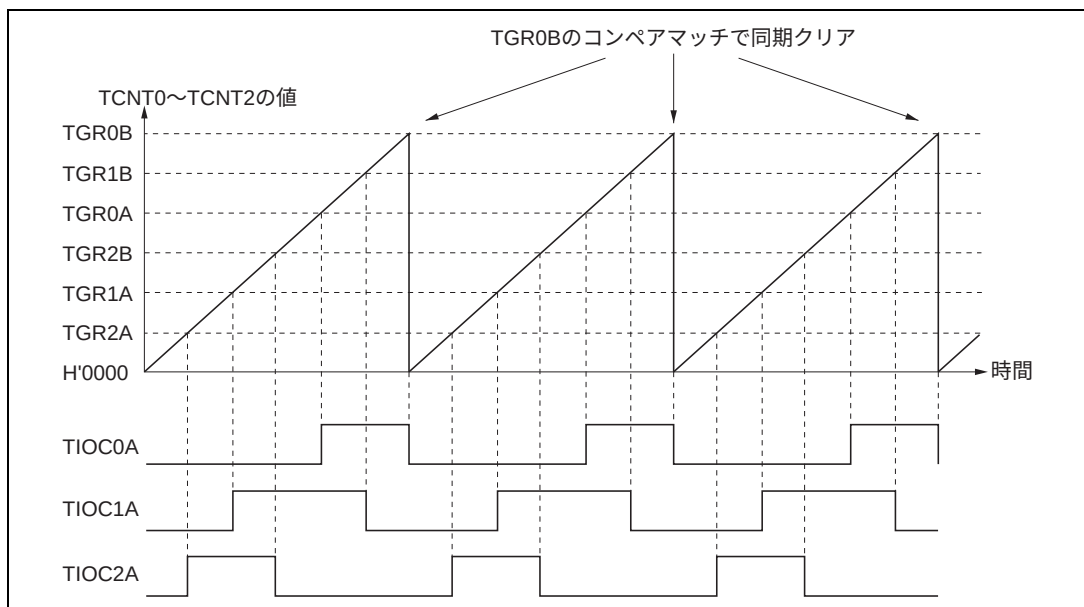


図 10.15 同期動作の動作例

10.4.4 バッファ動作

バッファ動作は、チャンネル 0、3 が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。

バッファ動作は、TGR をインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表 10.5 にバッファ動作時のレジスタの組み合わせを示します。

表 10.5 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGR0A	TGR0C
	TGR0B	TGR0D
3	TGR3A	TGR3C
	TGR3B	TGR3D

・TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 10.16 に示します。

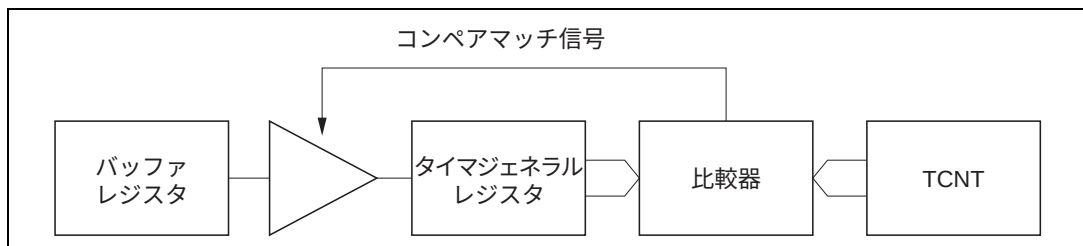


図 10.16 コンペアマッチバッファ動作

・TGR が入力キャプチャレジスタの場合

入力キャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていたタイマジェネラルレジスタの値をバッファレジスタに転送します。

この動作を図 10.17 に示します。

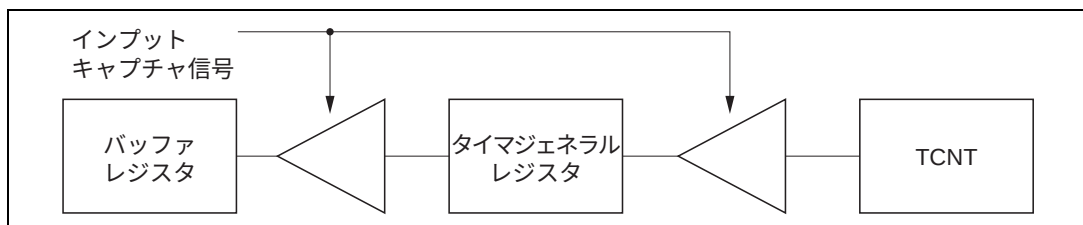


図 10.17 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 10.18 に示します。

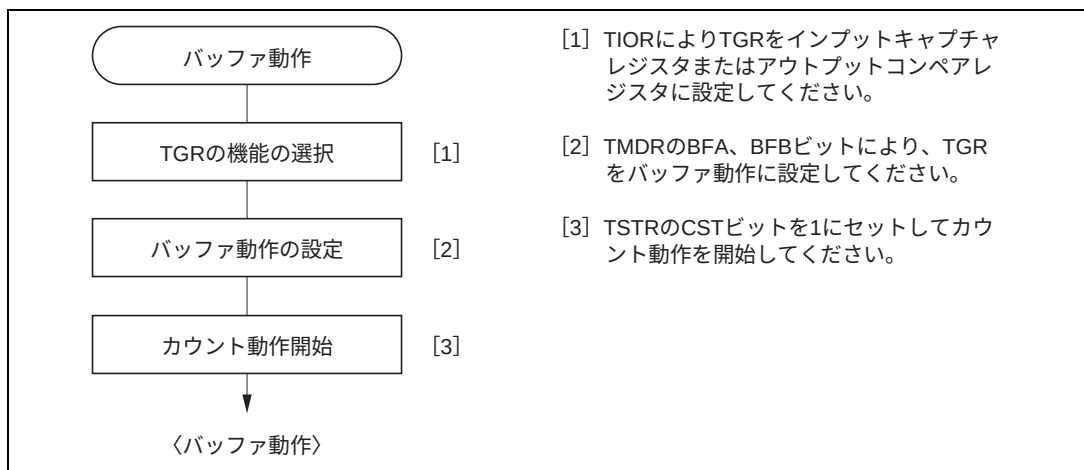


図 10.18 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 10.19 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生するたびに繰り返されます。

PWM モードについては、「10.4.6 PWM モード」を参照してください。

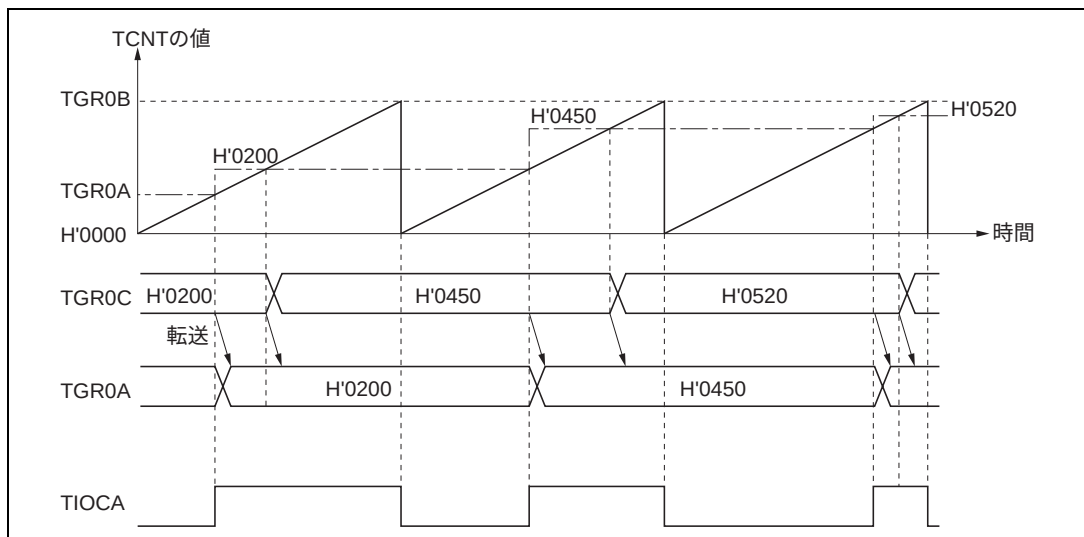


図 10.19 バッファ動作例 (1)

(b) TGR がインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 10.20 に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、TIOCA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ／立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

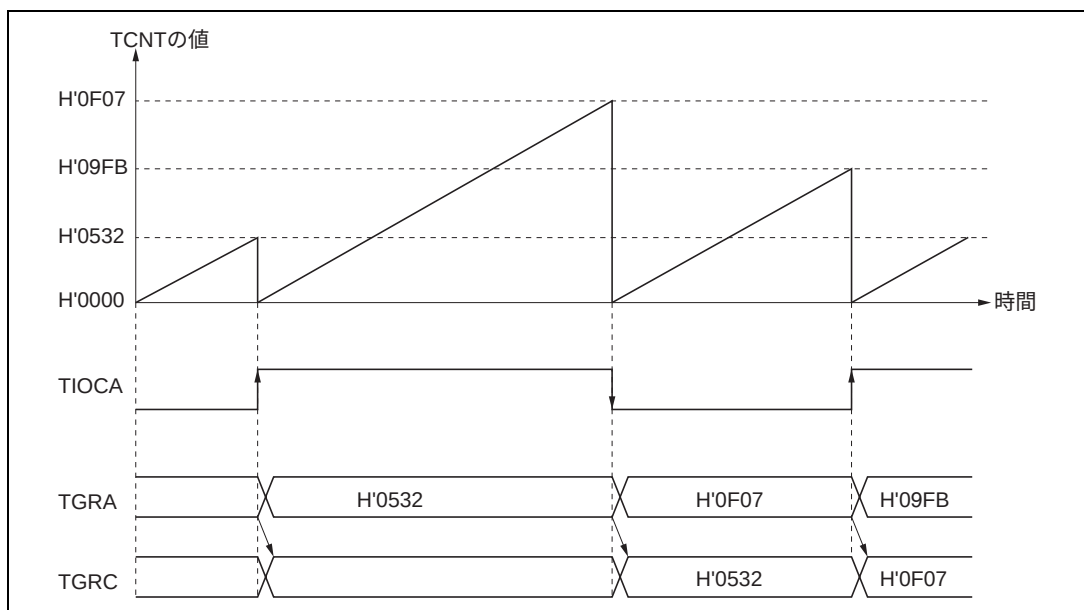


図 10.20 バッファ動作例 (2)

10.4.5 カスケード接続動作

カスケード接続動作は、2 チャンルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、チャンネル 1(チャンネル 4)のカウンタクロックを TCR の TPSC2～TPSC0 ビットで TCNT2 (TCNT5) のオーバフロー／アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。

表 10.6 にカスケード接続の組み合わせを示します。

【注】 チャンネル 1、4 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 10.6 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
チャンネル 1 とチャンネル 2	TCNT1	TCNT2
チャンネル 4 とチャンネル 5	TCNT4	TCNT5

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 10.21 に示します。

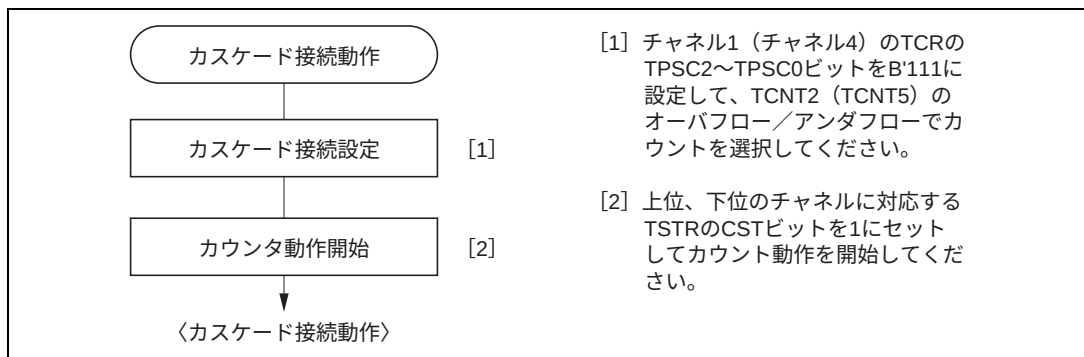


図 10.21 カスケード接続動作設定手順

(2) カスケード接続動作例

TCNT1 は TCNT2 のオーバーフロー／アンダフローでカウント、TGR1A と TGR2A をインプットキャプチャレジスタに設定し、TIOC 端子の立ち上がりエッジを選択したときの動作を図 10.22 に示します。

TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時に入力することにより、TGR1A に上位 16 ビット、TGR2A に下位 16 ビットの 32 ビットデータが転送されます。

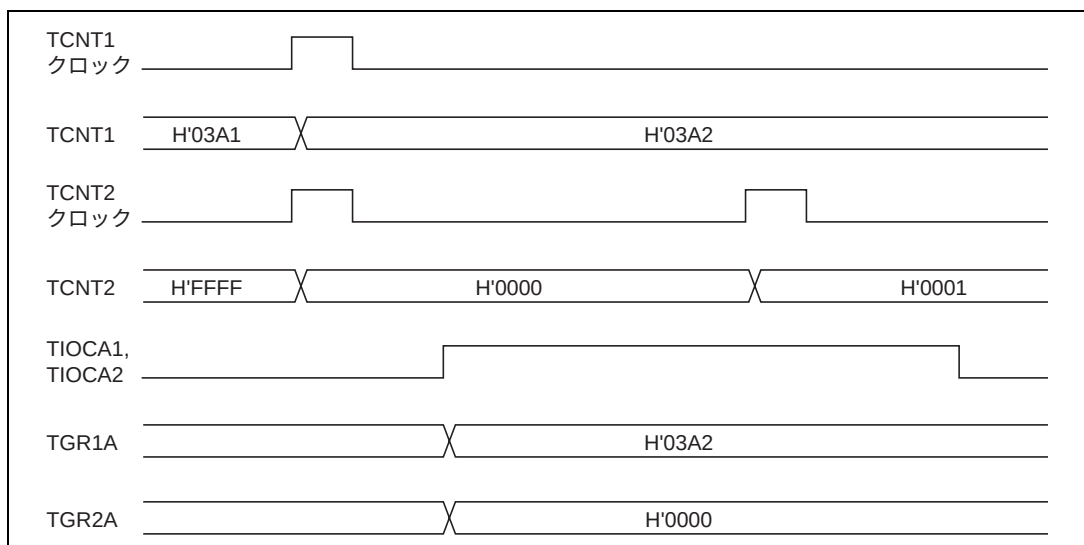


図 10.22 カスケード接続動作例 (1)

TCNT1 は TCNT2 のオーバフロー／アンダフローでカウント、チャンネル 2 を位相計数モードに設定したときの動作を図 10.23 に示します。

TCNT1 は、TCNT2 のオーバフローでアップカウント、TCNT2 のアンダフローでダウンカウントされます。

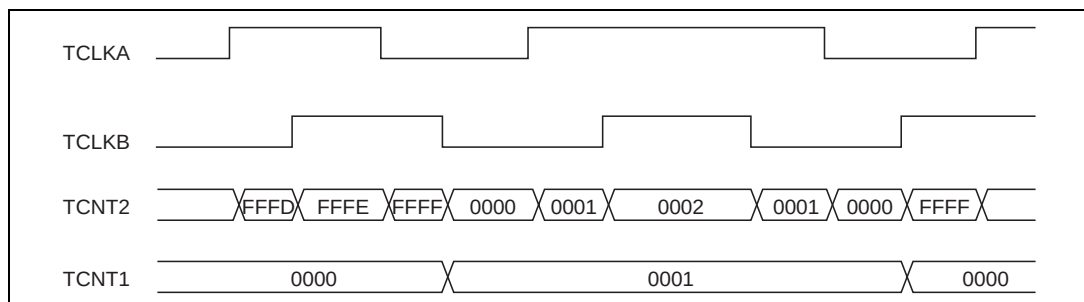


図 10.23 カスケード接続動作例 (2)

10.4.6 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力します。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3～IOA0、IOC3～IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3～IOB0、IOD3～IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

(b) PWM モード 2

TGRの1本を周期レジスタ、他のTGRをデューティレジスタに使用してPWM出力を生成します。コンペアマッチによって、TIORで指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値はTIORで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 10.7 に示します。

表 10.7 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGR0A	TIOCA0	TIOCA0
	TGR0B		TIOCB0
	TGR0C	TIOCC0	TIOCC0
	TGR0D		TIOCD0
1	TGR1A	TIOCA1	TIOCA1
	TGR1B		TIOCB1
2	TGR2A	TIOCA2	TIOCA2
	TGR2B		TIOCB2
3	TGR3A	TIOCA3	TIOCA3
	TGR3B		TIOCB3
	TGR3C	TIOCC3	TIOCC3
	TGR3D		TIOCD3
4	TGR4A	TIOCA4	TIOCA4
	TGR4B		TIOCB4
5	TGR5A	TIOCA5	TIOCA5
	TGR5B		TIOCB5

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

(2) PWM モードの設定手順例

PWM モードの設定手順例を図 10.24 に示します。

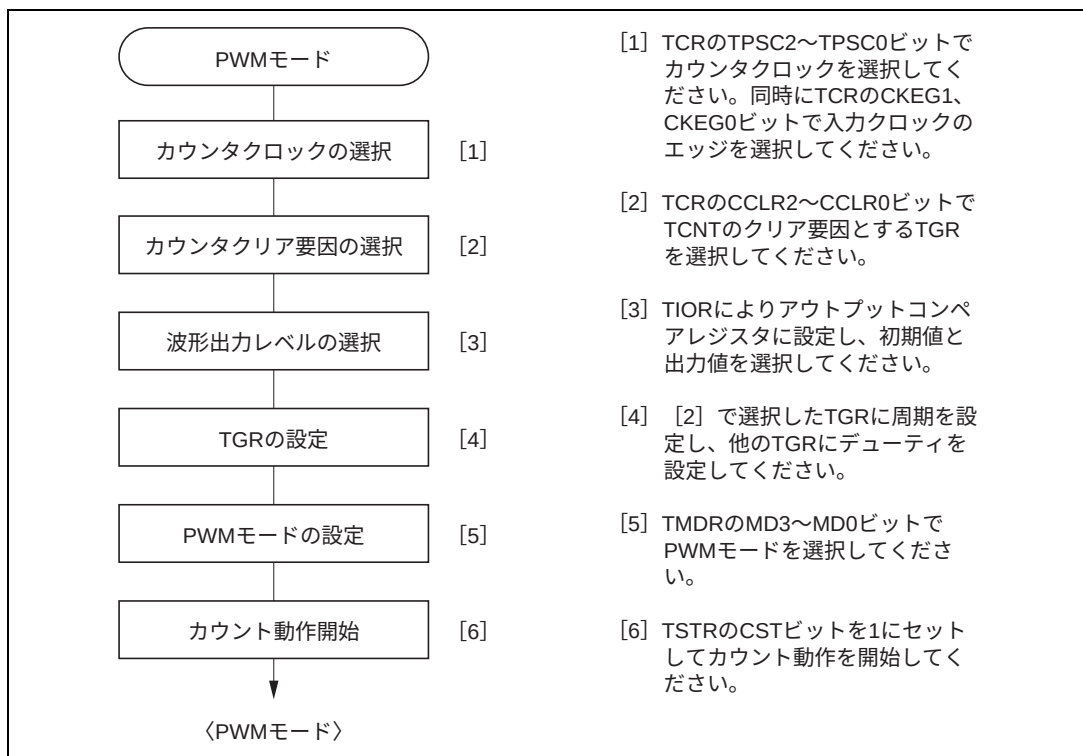


図 10.24 PWM モードの設定手順例

(3) PWM モードの動作例

PWM モード 1 の動作例を図 10.25 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

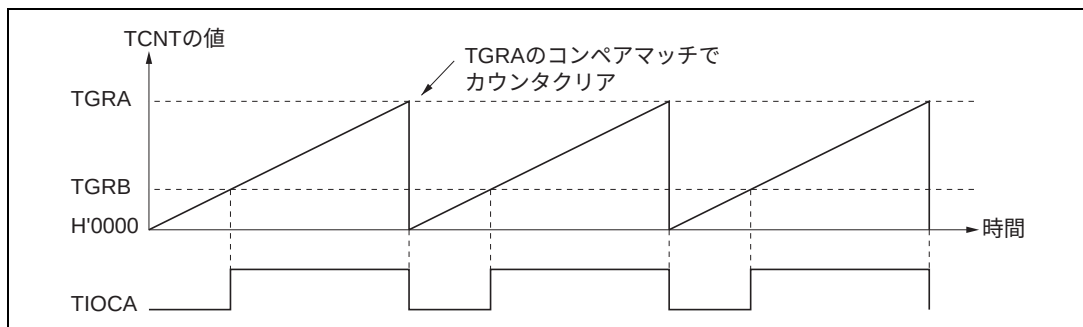


図 10.25 PWM モードの動作例 (1)

PWM モード 2 の動作例を図 10.26 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGR1B のコンペアマッチとし、他の TGR (TGR0A～TGR0D、TGR1A) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGR1B に設定した値が周期となり、他の TGR に設定した値がデューティになります。

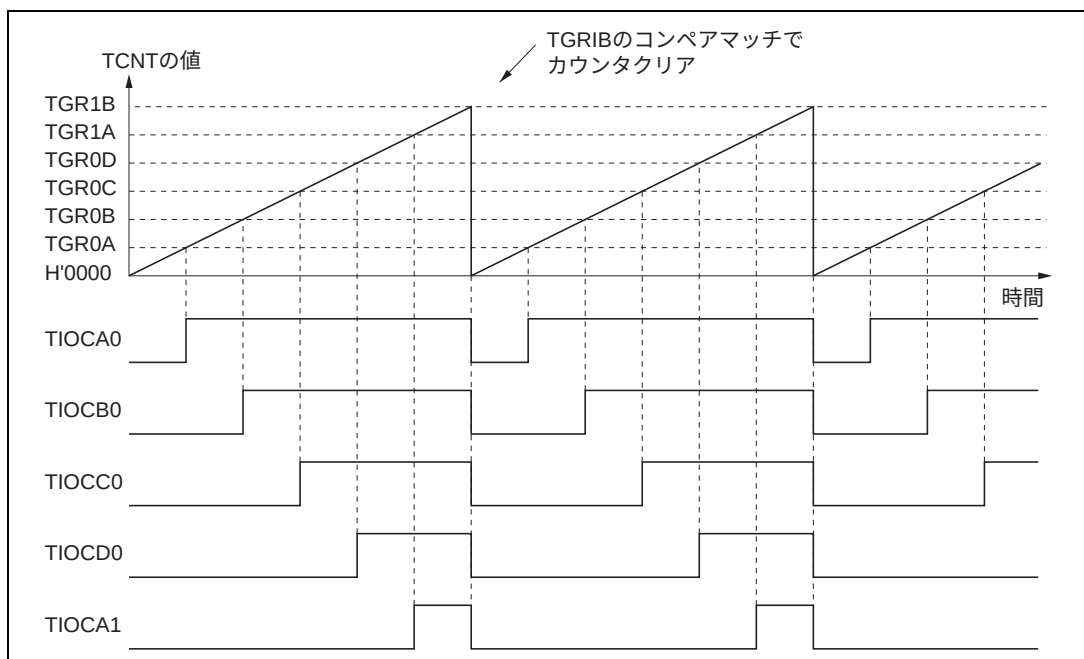


図 10.26 PWM モードの動作例 (2)

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 10.27 に示します。

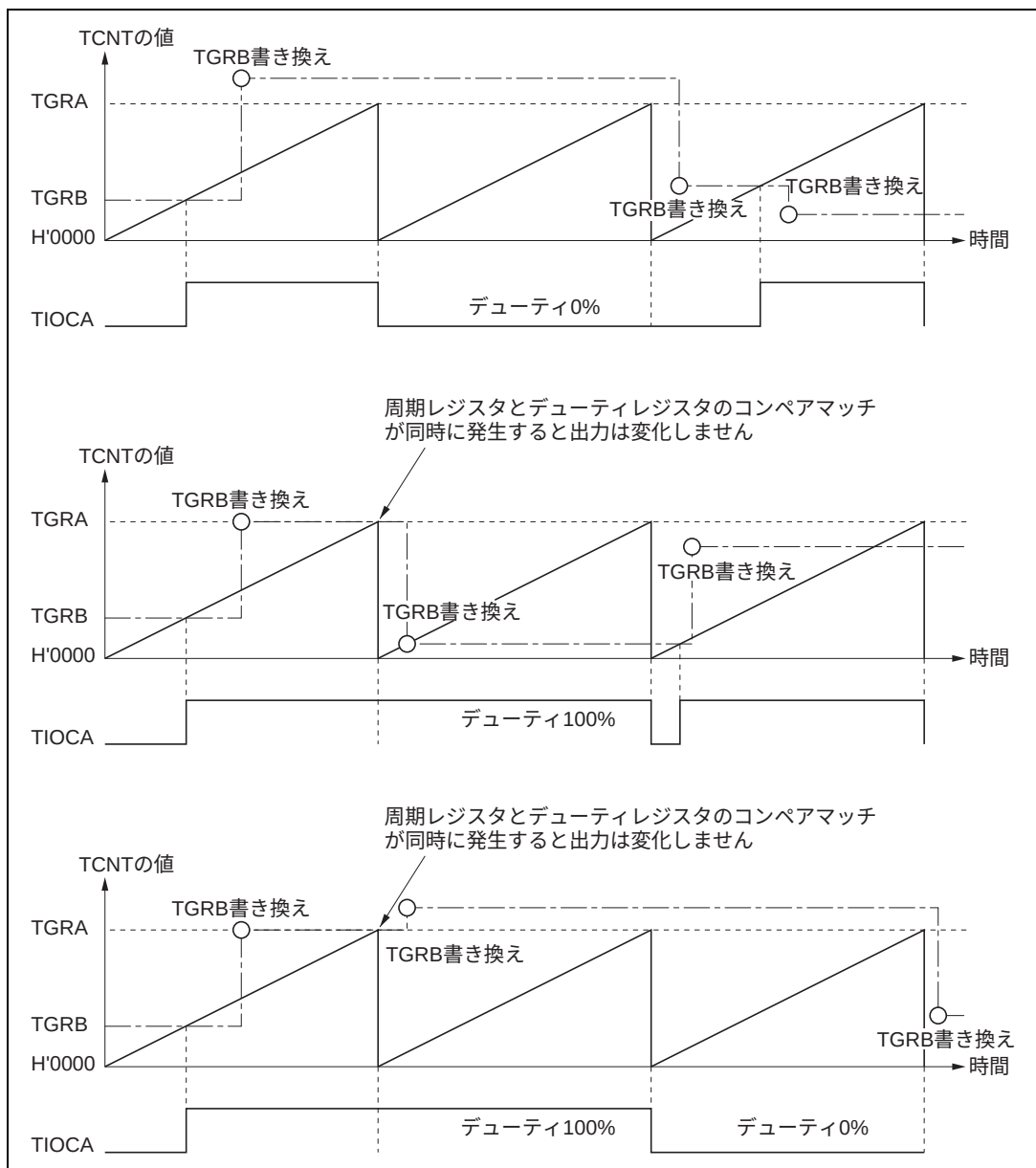


図 10.27 PWM モード動作例 (3)

10.4.7 位相計数モード

位相計数モードは、2 本の外部クロック入力の位相差を検出し、TCNT をアップ／ダウンカウントします。このモードはチャンネル 1、2、4、5 で設定可能です。

位相計数モードに設定すると、TCR の TPSC2～TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ／ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOF、TIER、TGR の機能は有効ですので、インプットキャプチャ／コンペアマッチ機能や割り込み機能は使用することができます。

TCNT がアップカウント時、オーバフローが発生するとすると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 10.8 に外部クロック端子とチャンネルの対応を示します。

表 10.8 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 または 5 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 または 4 を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 10.28 に示します。

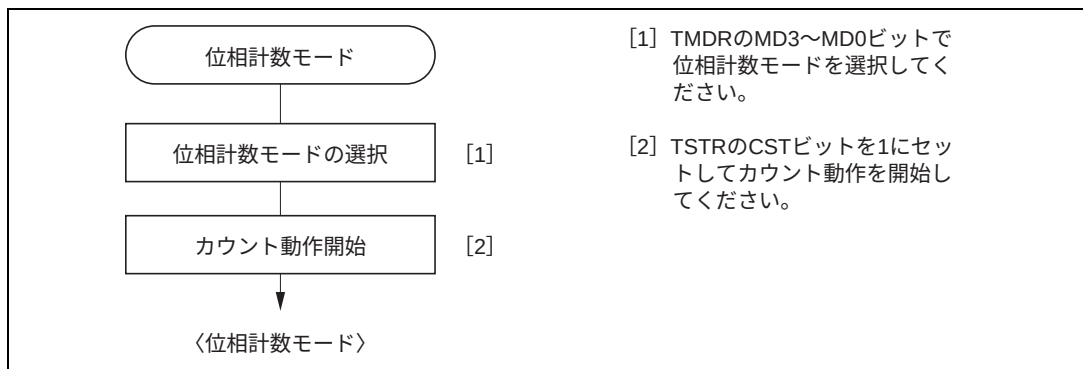


図 10.28 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT がアップ／ダウンカウントします。また、カウント条件により 4つのモードがあります。

(a) 位相計数モード 1

位相計数モード 1 の動作例を図 10.29 に、TCNT のアップ／ダウンカウント条件を表 10.9 に示します。

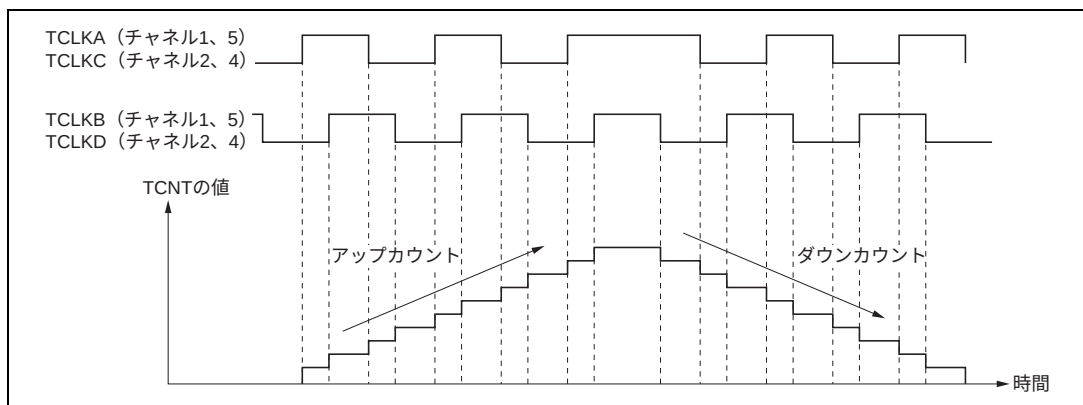


図 10.29 位相計数モード 1 の動作例

表 10.9 位相計数モード 1 のアップ／ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル		アップカウント
Low レベル		
	Low レベル	
	High レベル	
High レベル		ダウンカウント
Low レベル		
	High レベル	
	Low レベル	

【記号説明】

：立ち上がりエッジ

：立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 10.30 に、TCNT のアップ/ダウンカウント条件を表 10.10 に示します。

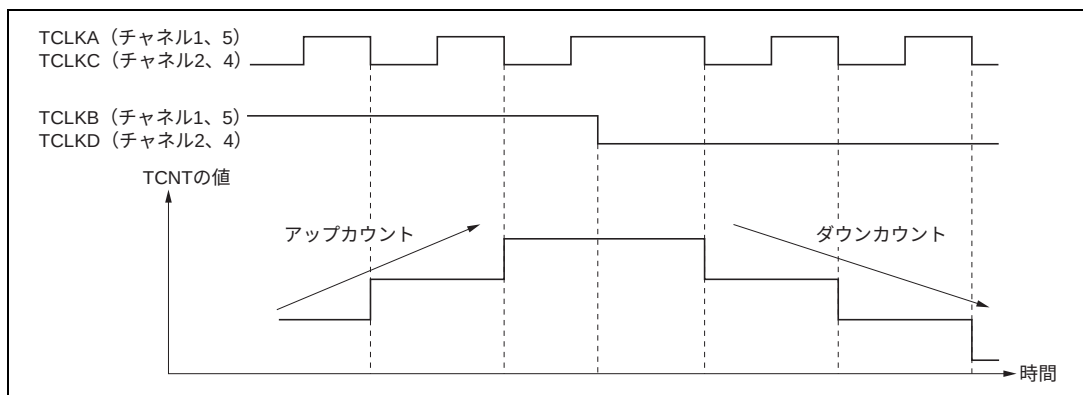


図 10.30 位相計数モード 2 の動作例

表 10.10 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル		Don't care
Low レベル		
	Low レベル	アップカウント
	High レベル	
High レベル		Don't care
Low レベル		
	High レベル	ダウンカウント
	Low レベル	

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 10.31 に、TCNT のアップ/ダウンカウント条件を表 10.11 に示します。

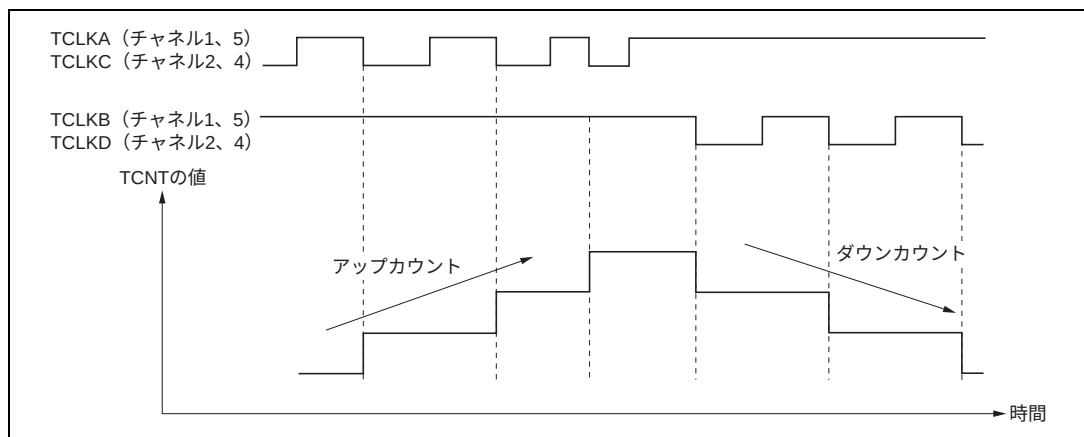


図 10.31 位相計数モード 3 の動作例

表 10.11 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル		Don't care
Low レベル		
	Low レベル	
	High レベル	アップカウント
High レベル		ダウンカウント
Low レベル		Don't care
	High レベル	
	Low レベル	

【記号説明】

：立ち上がりエッジ

：立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 10.32 に、TCNT のアップ/ダウンカウント条件を表 10.12 に示します。

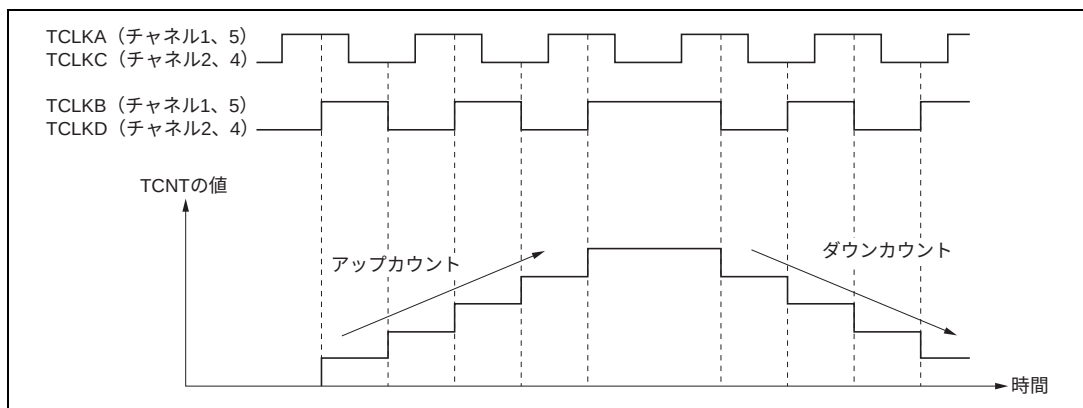


図 10.32 位相計数モード 4 の動作例

表 10.12 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル		アップカウント
Low レベル		アップカウント
	Low レベル	Don't care
	High レベル	Don't care
High レベル		ダウンカウント
Low レベル		ダウンカウント
	High レベル	Don't care
	Low レベル	Don't care

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル 1 を位相計数モードに設定し、チャンネル 0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 10.33 に示します。

チャンネル 1 は位相計数モード 1 に設定し、TCLKA と TCLKB にエンコーダパルスの A 相、B 相を入力します。

チャンネル 0 は TCNT を TGR0C のコンペアマッチでカウンタクリアとして動作させ、TGR0A と TGR0C はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGR0B はインプットキャプチャ機能で使い、TGR0B と TGR0D をバッファ動作させます。TGR0B のインプットキャプチャ要因は、チャンネル 1 のカウンタ入力クロックとし、2 相エンコーダの 4 通倍パルスのパルス幅の検出を行います。

チャンネル1のTGR1AとTGR1Bは、インプットキャプチャ機能に設定し、インプットキャプチャ要因はチャンネル0のTGR0AとTGR0Cのコンペアマッチを選択し、それぞれの制御周期時のアップ／ダウンカウンタの値を格納します。

これにより、正確な位置／速度検出が行うことができます。

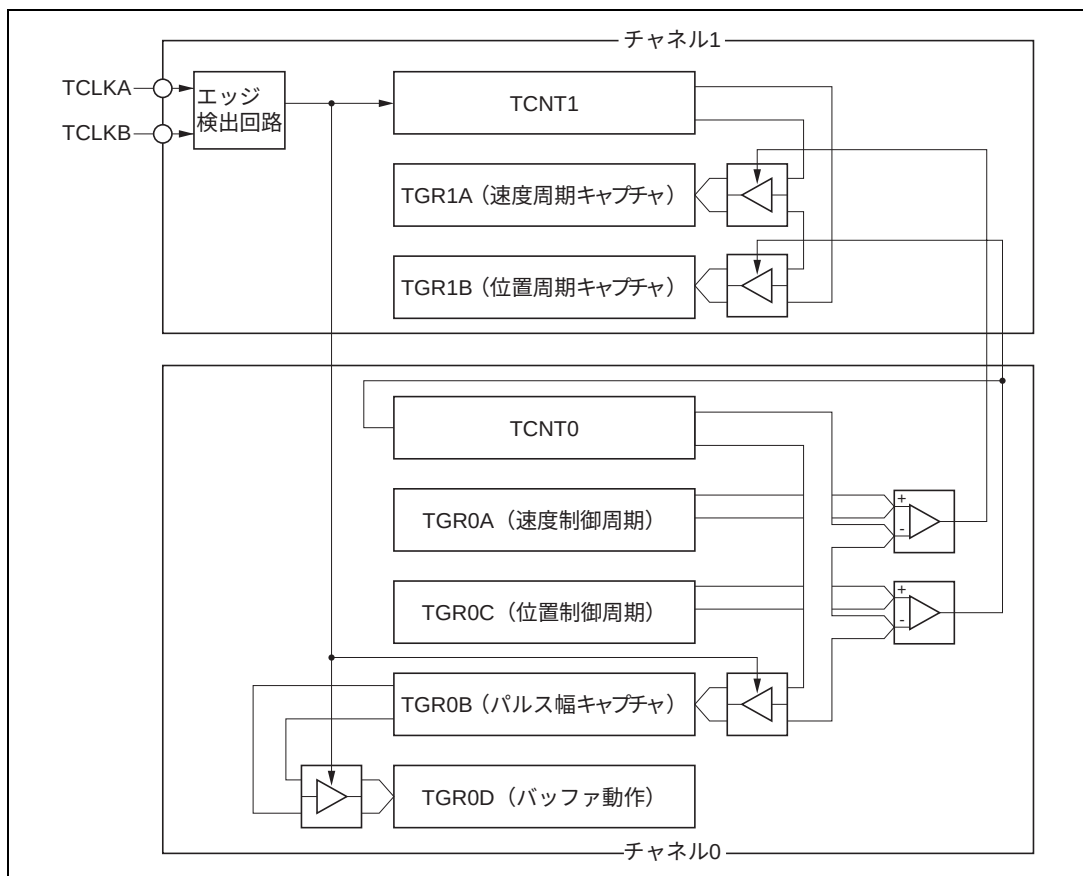


図 10.33 位相計数モードの応用例

10.5 割り込み

10.5.1 割り込み要因と優先順位

TPUの割り込み要因には、TGRのインプットキャプチャ／コンペアマッチ、TCNTのオーバフロー、アンダフローの3種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可／禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSRの対応するステータスフラグが1にセットされます。このときTIERの対応する許可／禁止ビットが1にセットされていれば、割り込みを要求します。ステータスフラグを0にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「第5章 割り込みコントローラ」を参照してください。

表 10.13 に TPU の割り込み要因の一覧を示します。

表 10.13 TPU 割り込み一覧

チャンネル	割り込み要因	内 容	DTC の起動	優先 順位
0	TGI0A	TGR0A のインプットキャプチャ／コンペアマッチ	可	高
	TGI0B	TGR0B のインプットキャプチャ／コンペアマッチ	可	
	TGI0C	TGR0C のインプットキャプチャ／コンペアマッチ	可	
	TGI0D	TGR0D のインプットキャプチャ／コンペアマッチ	可	
	TCI0V	TCNT0 のオーバフロー	不可	
1	TGI1A	TGR1A のインプットキャプチャ／コンペアマッチ	可	↑ ↓
	TGI1B	TGR1B のインプットキャプチャ／コンペアマッチ	可	
	TCI1V	TCNT1 のオーバフロー	不可	
	TCI1U	TCNT1 のアンダフロー	不可	
2	TGI2A	TGR2A のインプットキャプチャ／コンペアマッチ	可	
	TGI2B	TGR2B のインプットキャプチャ／コンペアマッチ	可	
	TCI2V	TCNT2 のオーバフロー	不可	
	TCI2U	TCNT2 のアンダフロー	不可	
3	TGI3A	TGR3A のインプットキャプチャ／コンペアマッチ	可	
	TGI3B	TGR3B のインプットキャプチャ／コンペアマッチ	可	
	TGI3C	TGR3C のインプットキャプチャ／コンペアマッチ	可	
	TGI3D	TGR3D のインプットキャプチャ／コンペアマッチ	可	
	TCI3V	TCNT3 のオーバフロー	不可	
4	TGI4A	TGR4A のインプットキャプチャ／コンペアマッチ	可	
	TGI4B	TGR4B のインプットキャプチャ／コンペアマッチ	可	
	TCI4V	TCNT4 のオーバフロー	不可	
	TCI4U	TCNT4 のアンダフロー	不可	
5	TGI5A	TGR5A のインプットキャプチャ／コンペアマッチ	可	
	TGI5B	TGR5B のインプットキャプチャ／コンペアマッチ	可	
	TCI5V	TCNT5 のオーバフロー	不可	
	TCI5U	TCNT5 のアンダフロー	不可	低

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

(1) インプットキャプチャ／コンペアマッチ割り込み

各チャンネルの TGR のインプットキャプチャ／コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のインプットキャプチャ／コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、各チャンネルに 1 本、計 6 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 1、2、4、5 に各 1 本、計 4 本のアンダフロー割り込みがあります。

10.5.2 DTC の起動

(1) DTC の起動

各チャンネルの TGR のインプットキャプチャ／コンペアマッチ割り込みによって、DTC を起動することができます。詳細は「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

TPU では、チャンネル 0、3 が各 4 本、チャンネル 1、2、4、5 が各 2 本、計 16 本のインプットキャプチャ／コンペアマッチ割り込みを DTC の起動要因とすることができます。

10.5.3 A/D 変換器の起動

各チャンネルの TGRA のインプットキャプチャ／コンペアマッチによって、A/D 変換器を起動することができます。

各チャンネルの TGRA のインプットキャプチャ／コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、TPU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

TPU では、各チャンネル 1 本、計 6 本の TGRA のインプットキャプチャ／コンペアマッチ割り込みを A/D 変換器の変換開始要因とすることができます。

10.6 動作タイミング

10.6.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 10.34 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 10.35 に示します。

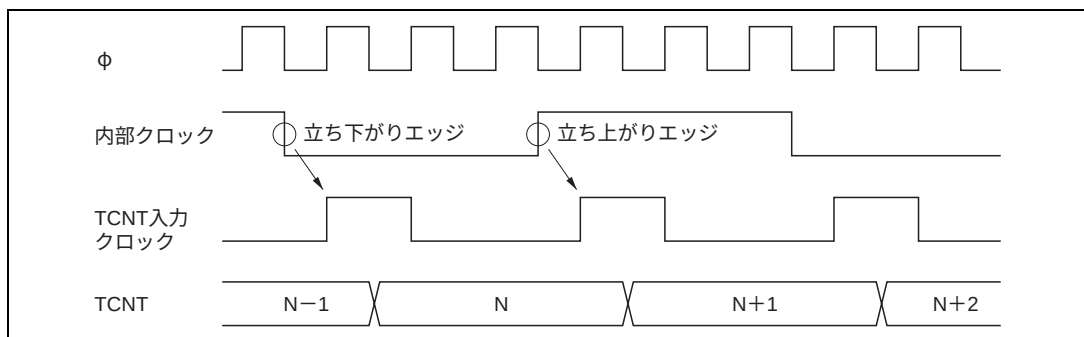


図 10.34 内部クロック動作時のカウントタイミング

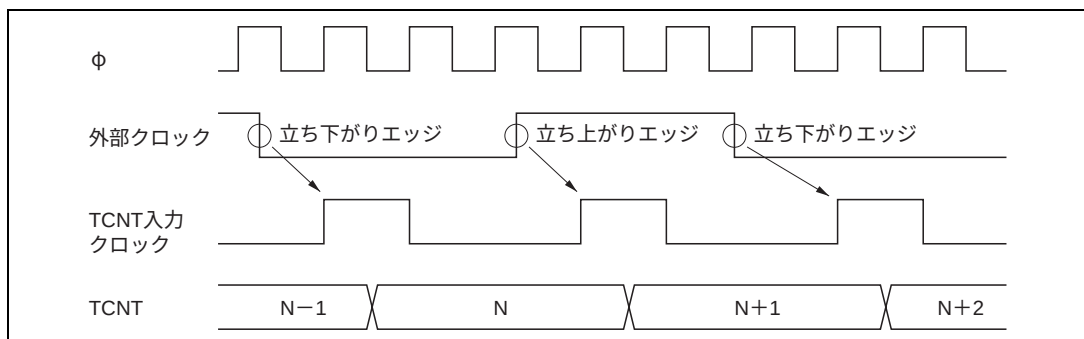


図 10.35 外部クロック動作時のカウントタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOF で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 10.36 に示します。

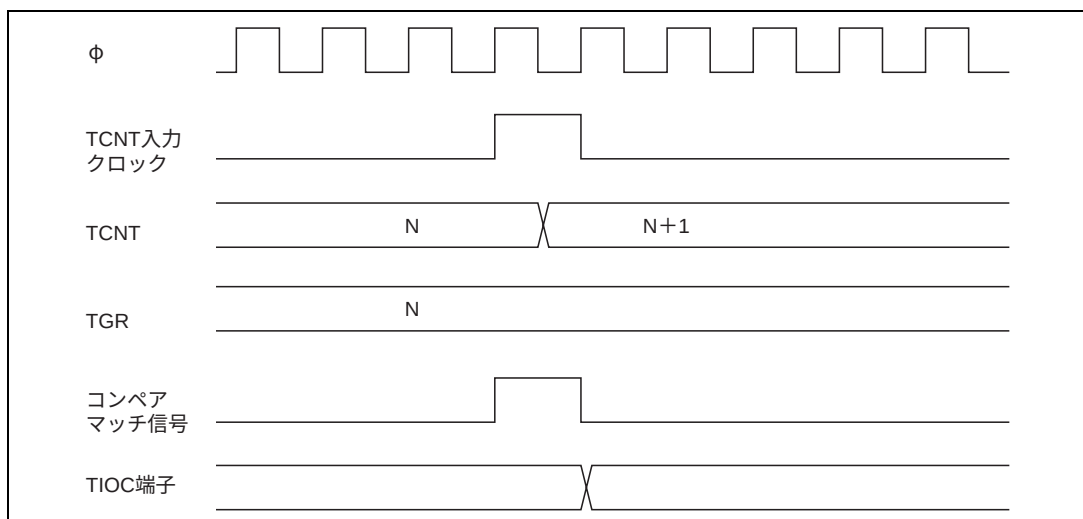


図 10.36 アウトプットコンペア出力タイミング

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 10.37 に示します。

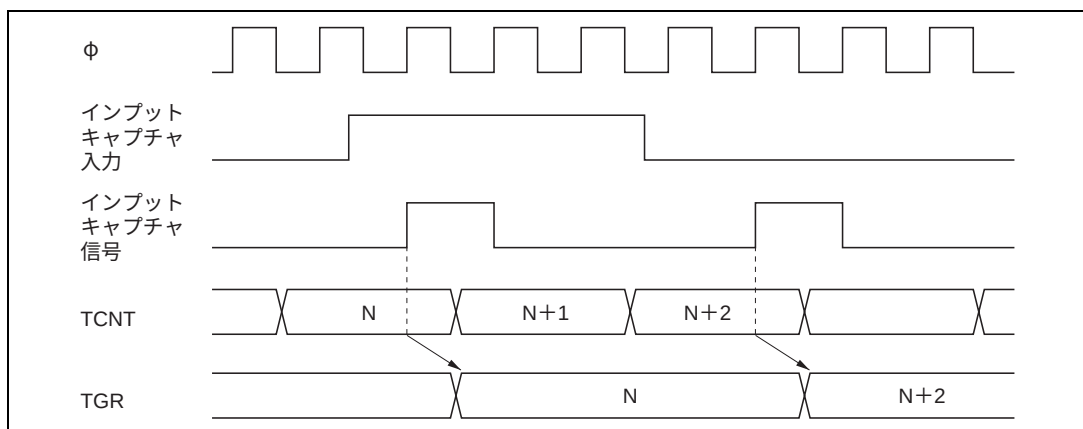


図 10.37 インプットキャプチャ入力信号タイミング

(4) コンペアマッチ／インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 10.38 に示します。
インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 10.39 に示します。

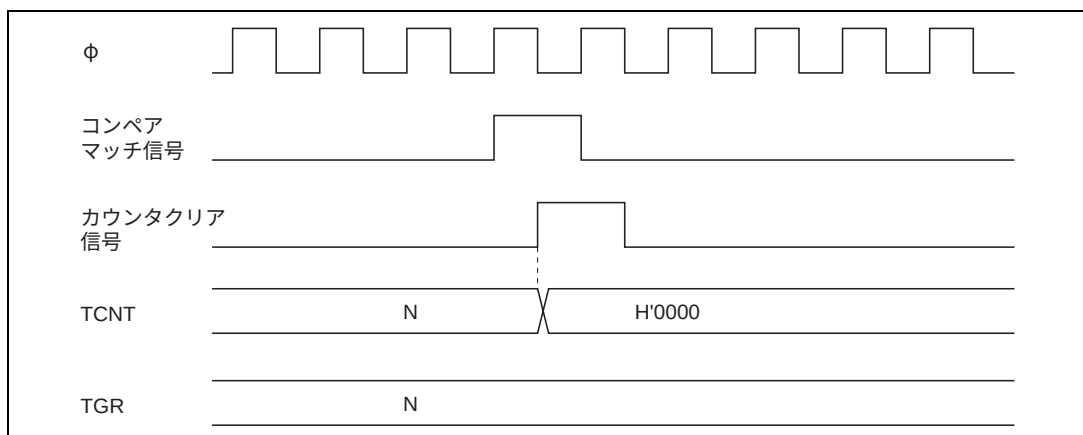


図 10.38 カウンタクリアタイミング (コンペアマッチ)

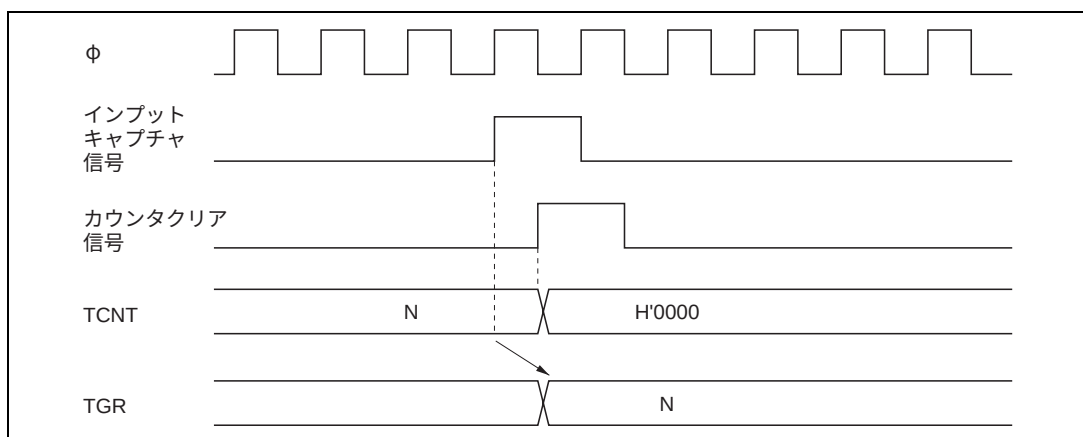


図 10.39 カウンタクリアタイミング (インプットキャプチャ)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 10.40、図 10.41 に示します。

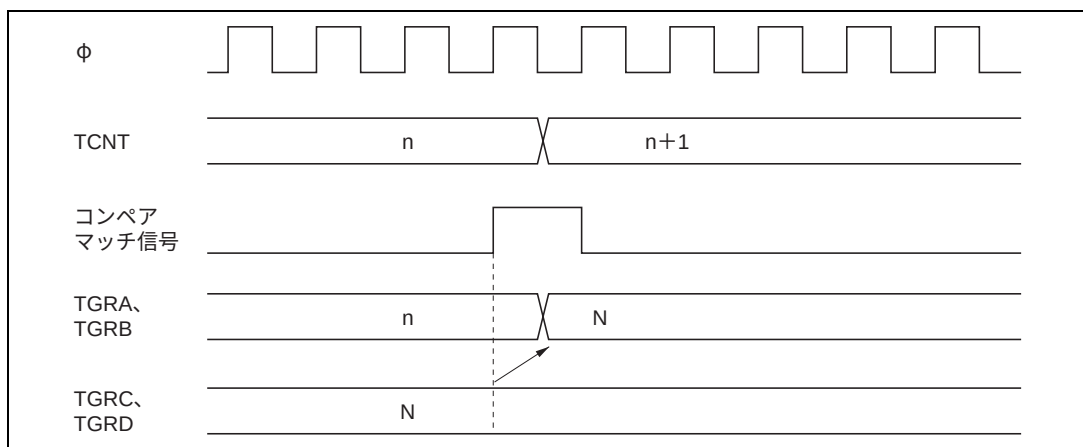


図 10.40 バッファ動作タイミング (コンペアマッチ)

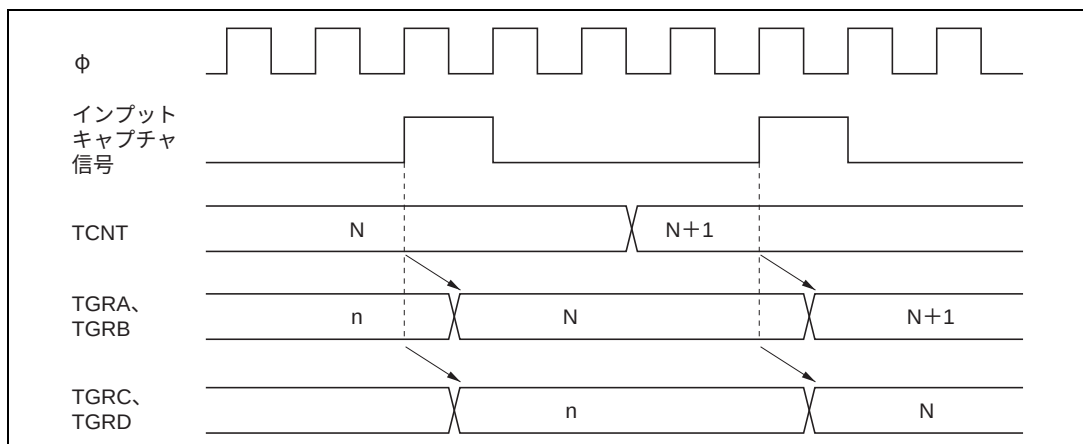


図 10.41 バッファ動作タイミング (インプットキャプチャ)

10.6.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.42 に示します。

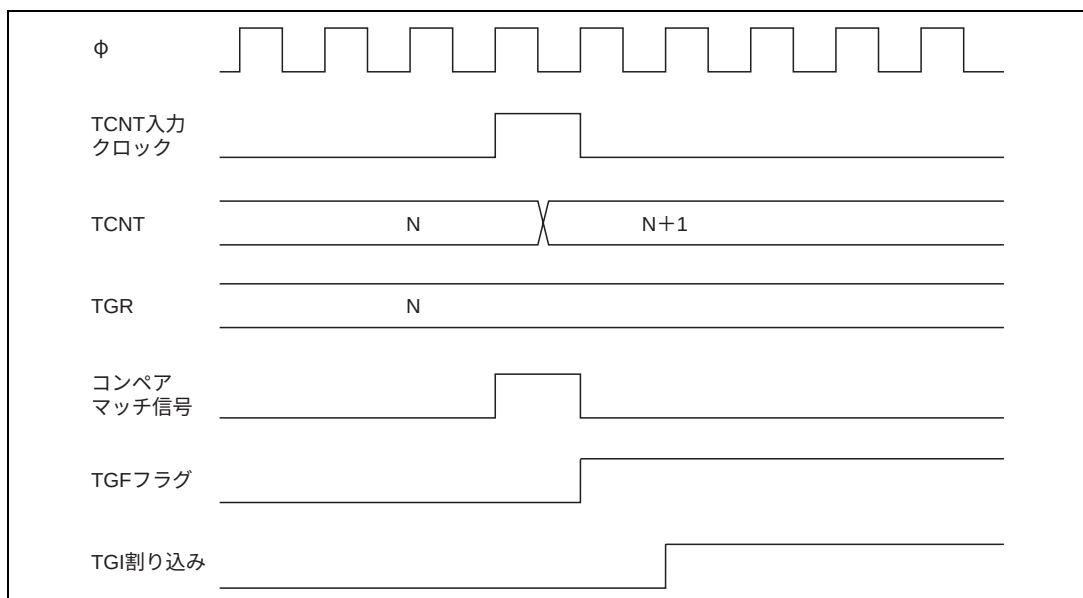


図 10.42 TGI 割り込みタイミング (コンペアマッチ)

(2) インプットキャプチャ時の TGF フラグのセットタイミング

インプットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.43 に示します。

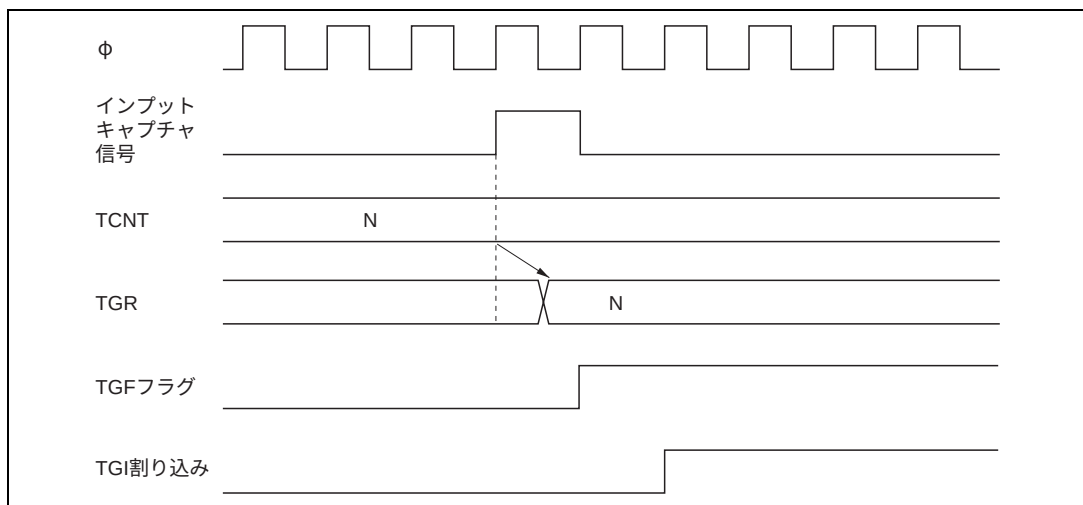


図 10.43 TGI 割り込みタイミング (入力キャプチャ)

(3) TCFV フラグ/TCFU フラグのセットタイミング

オーバーフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 10.44 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 10.45 に示します。

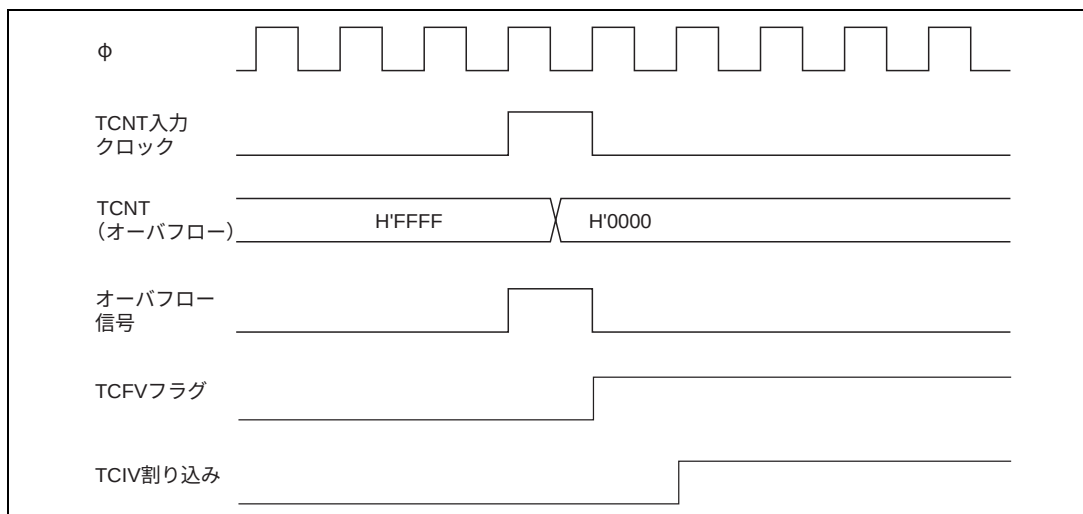


図 10.44 TCIV 割り込みのセットタイミング

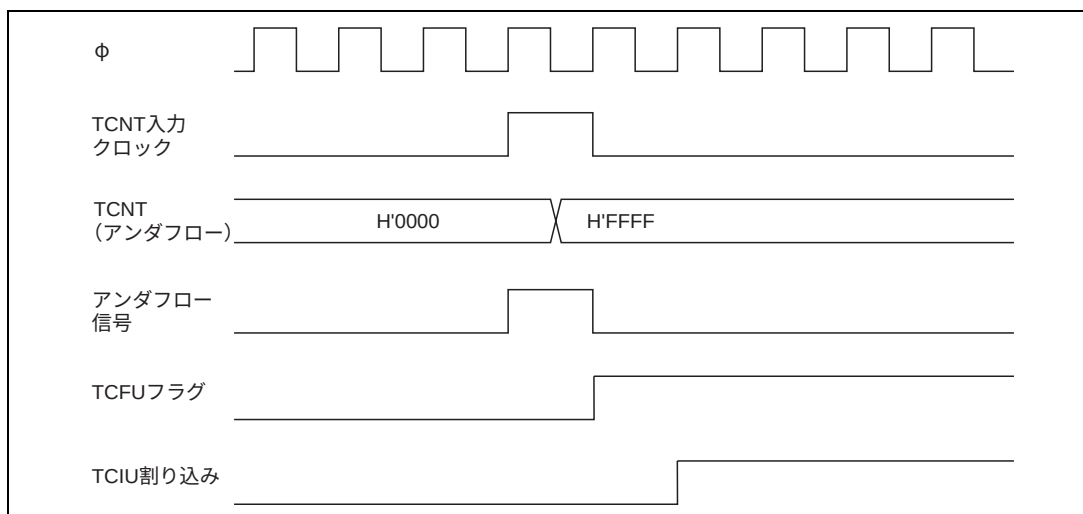


図 10.45 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグは CPU が 1 の状態をリードした後、0 をライトするとクリアされます。DTC を起動する場合は、自動的にクリアすることもできます。CPU によるステータスフラグのクリアタイミングを図 10.46 に、DTC によるステータスフラグのクリアのタイミングを図 10.47 に示します。

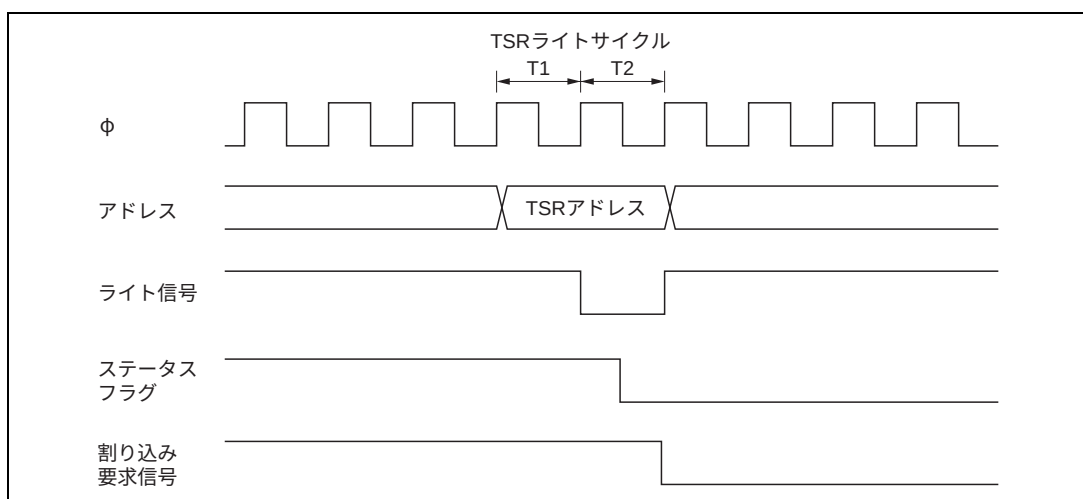


図 10.46 CPU によるステータスフラグのクリアタイミング

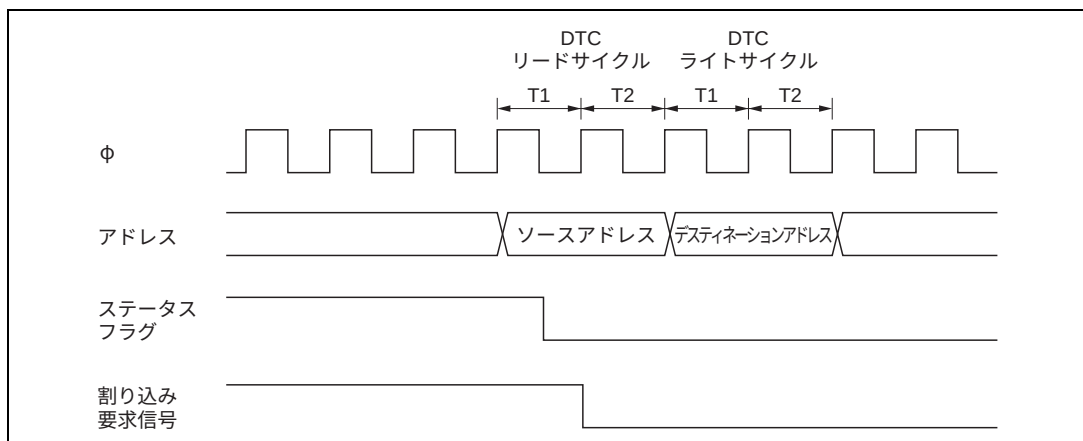


図 10.47 DTC の起動によるステータスフラグのクリアタイミング

10.7 使用上の注意

TPU の動作中、次のような動作や競合が起きますので注意してください。

(1) 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上が必要です。位相計数モードの入力クロックの条件を図 10.48 に示します。

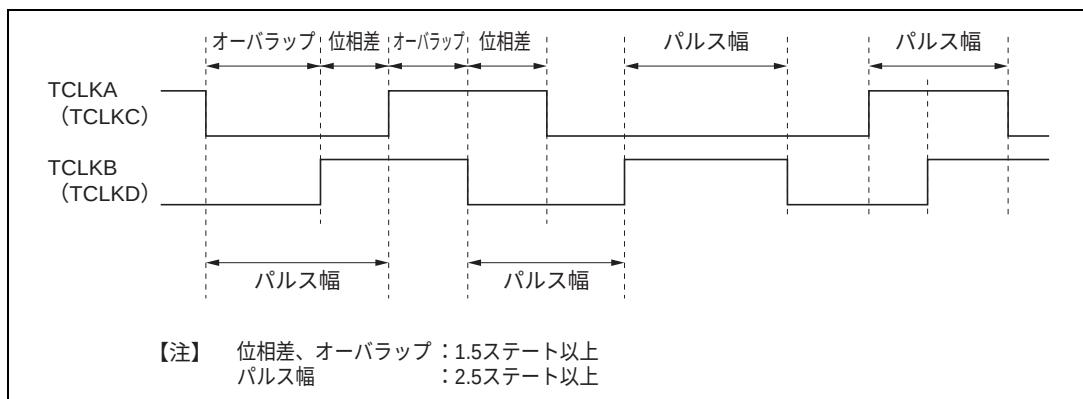


図 10.48 位相計数モード時の位相差、オーバーラップ、およびパルス幅

(2) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式のようにになります。

$$f = \frac{\phi}{(N+1)}$$

f : カウンタ周波数

φ : 動作周波数

N : TGR の設定値

(3) TCNT のライトとクリアの競合

TCNT のライトサイクル中の T2 ステートで、カウンタクリア信号が発生すると、TCNT へのライトは行われずに、TCNT のクリアが優先されます。

このタイミングを図 10.49 に示します。

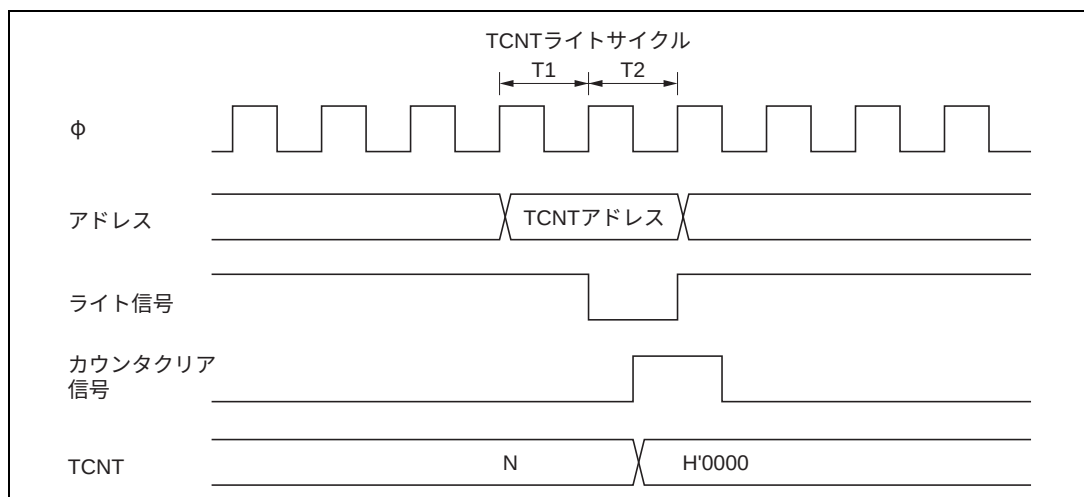


図 10.49 TCNT のライトとクリアの競合

(4) TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップが発生しても、カウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 10.50 に示します。

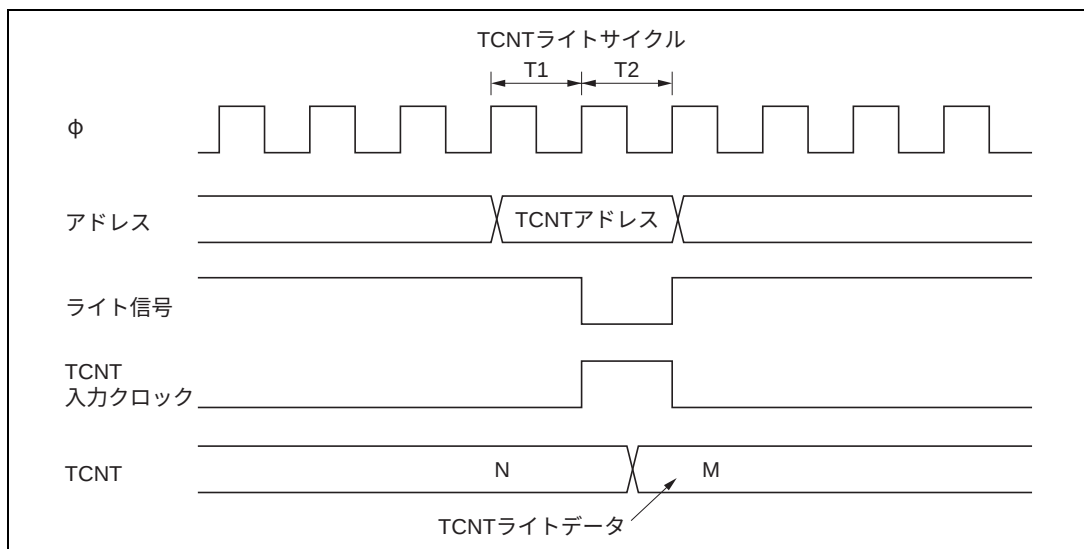


図 10.50 TCNT のライトとカウントアップの競合

(5) TGR のライトとコンペアマッチの競合

TGRのライトサイクル中のT2ステートでコンペアマッチが発生しても、TGRのライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。

このタイミングを図 10.51 に示します。

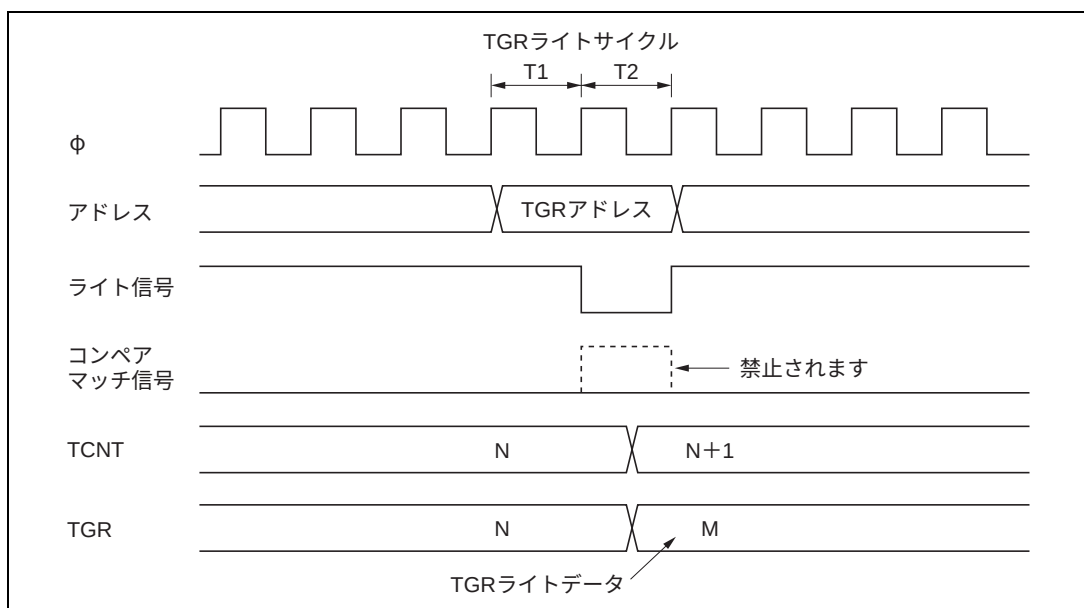


図 10.51 TGR のライトとコンペアマッチの競合

(6) バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。

このタイミングを図 10.52 に示します。

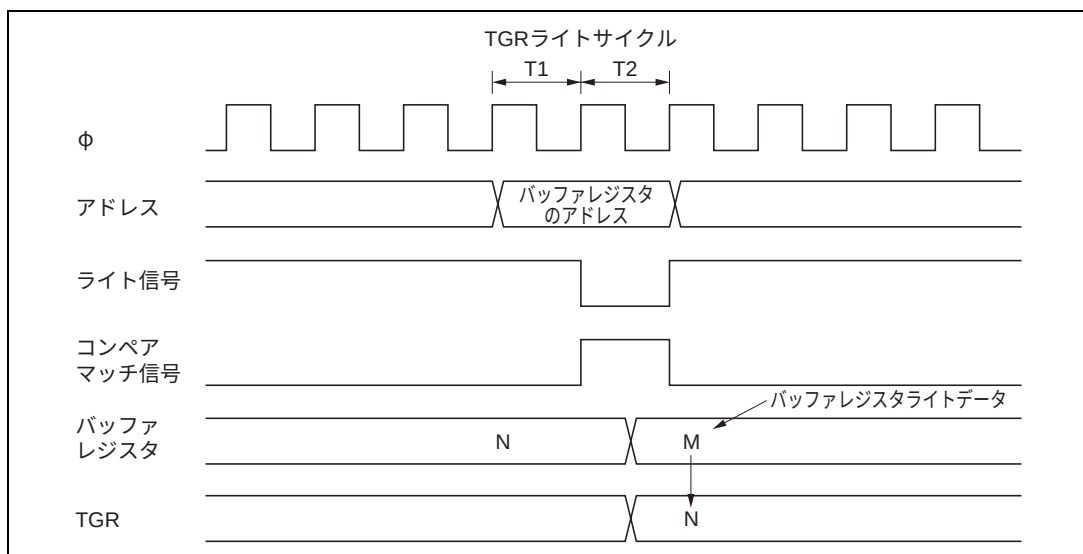


図 10.52 バッファレジスタのライトとコンペアマッチの競合

(7) TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 10.53 に示します。

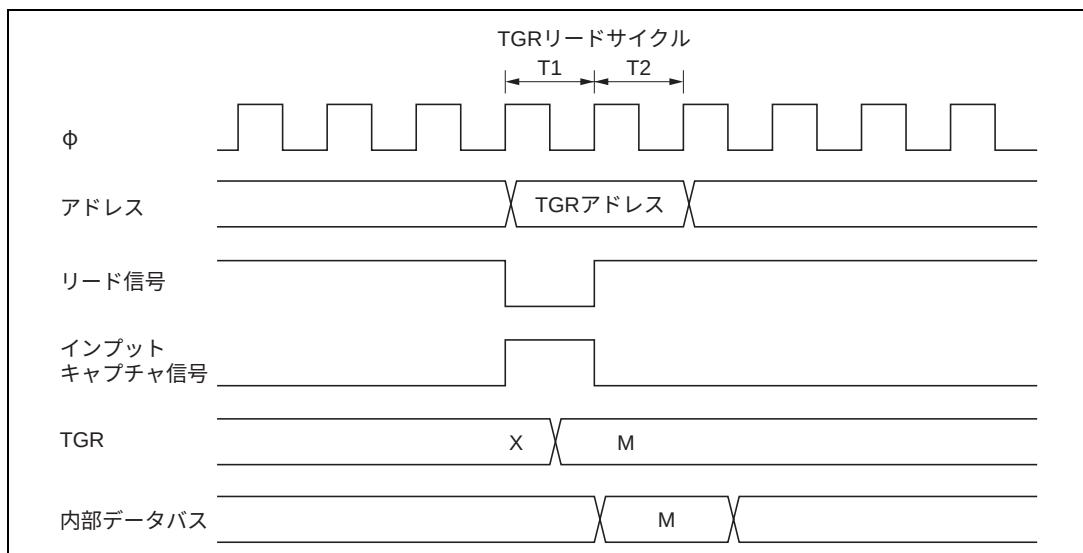


図 10.53 TGR のリードと入力キャプチャの競合

(8) TGR のライトと入力キャプチャの競合

TGR のライトサイクル中の T2 ステートで入力キャプチャ信号が発生すると、TGR へのライトは行われず、入力キャプチャが優先されます。

このタイミングを図 10.54 に示します。

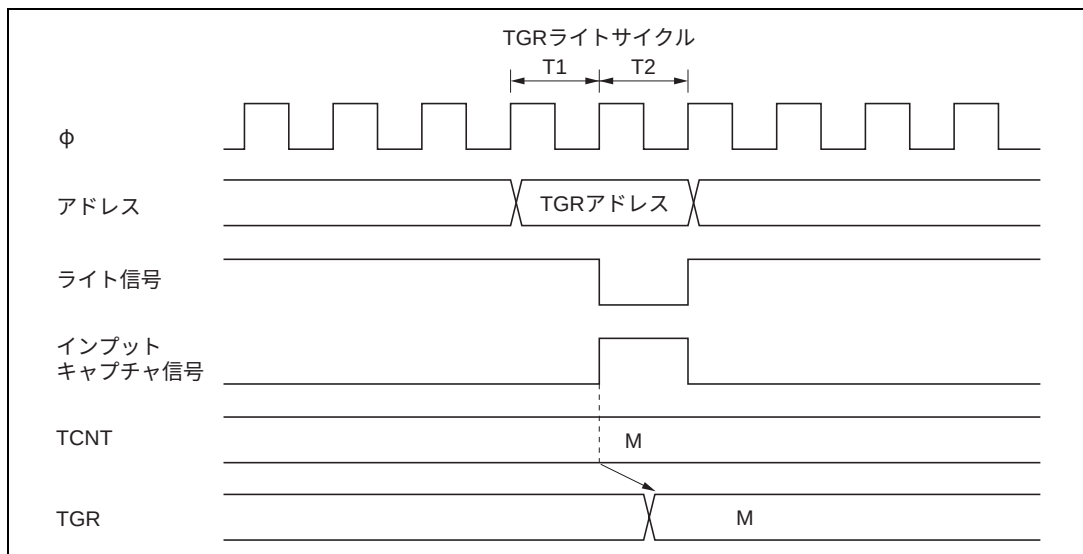


図 10.54 TGR のライトと入力キャプチャの競合

(9) バッファレジスタのライトとインプットキャプチャの競合

バッファのライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。

このタイミングを図 10.55 に示します。

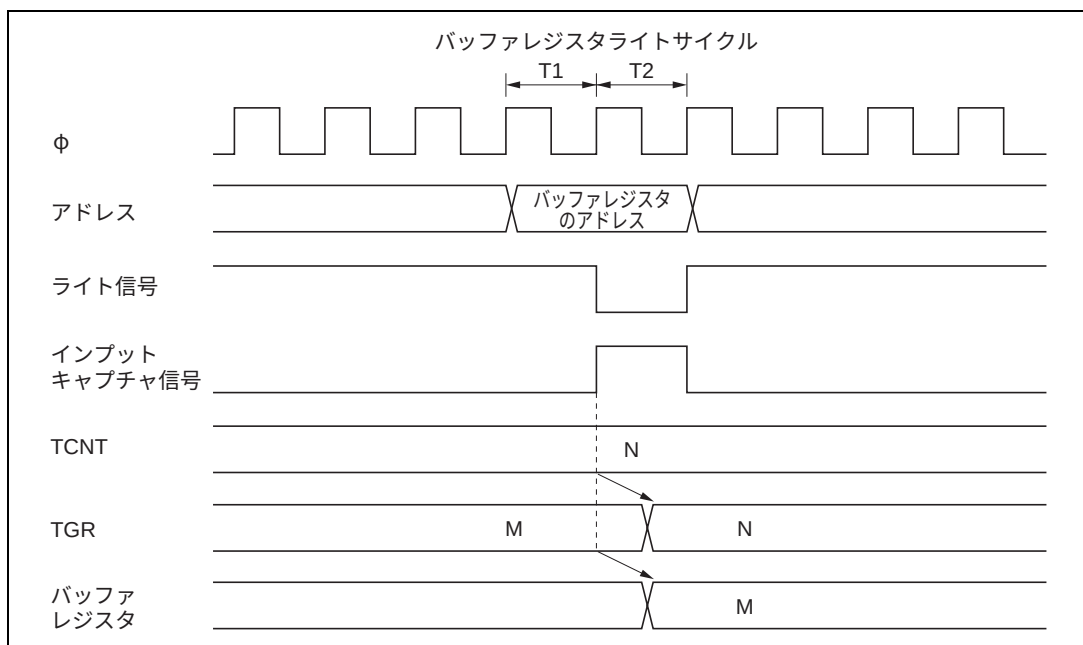


図 10.55 バッファレジスタのライトとインプットキャプチャの競合

(10) オーバフロー／アンダフローとカウンタクリアの競合

オーバフロー／アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV／TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 10.56 に示します。

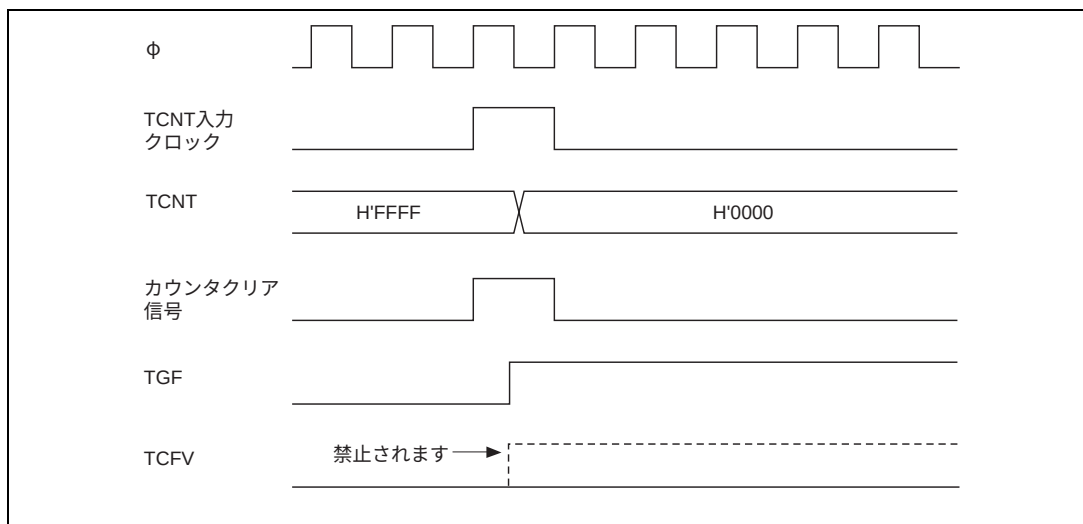


図 10.56 オーバフローとカウンタクリアの競合

(11) TCNT のライトとオーバフロー／アンダフローの競合

TCNT のライトサイクル中の T2 ステートで、カウントアップ／カウントダウンが発生し、オーバフロー／アンダフローが発生しても、TCNT へのライトが優先され、TSR の TCFV／TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 10.57 に示します。

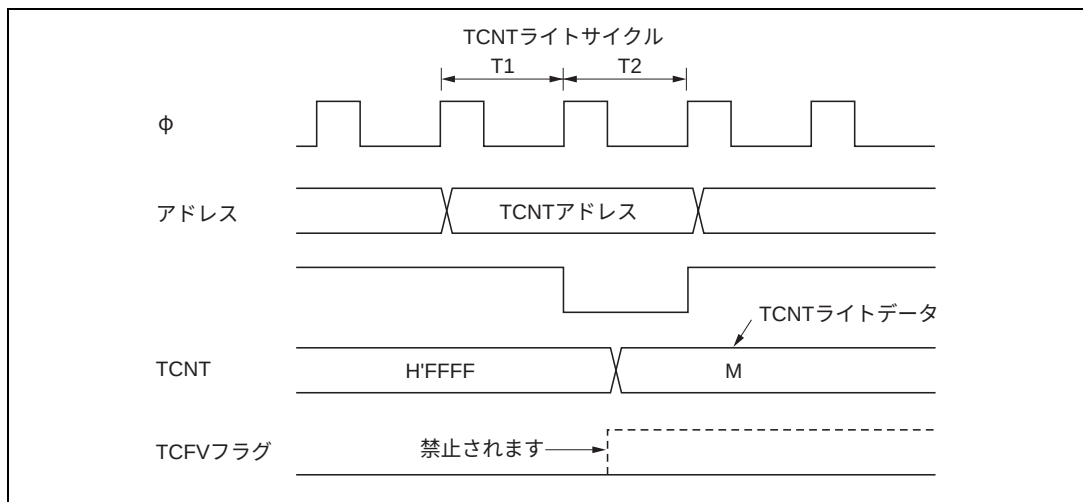


図 10.57 TCNT のライトとオーバフローの競合

(12) 入出力端子の兼用

本 LSI では、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

(13) モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップすると、CPU の割り込み要因、または DTC の起動要因のクリアができません。

事前に割り込みをディスエーブルするなどしてからモジュールストップモードとしてください。

(14) サブアクティブモード／ウォッチモードへの遷移

割り込みが要求された状態でサブアクティブモードに遷移すると、CPU の割り込み要因のクリアができません。

事前に割り込みをディスエーブルしてからサブアクティブモード／ウォッチモードへ遷移してください。

11. プログラマブルパルスジェネレータ (PPG)

11.1 概要

本 LSI は、16 ビットタイマパルスユニット (TPU) をタイムベースとしてパルス出力を行うプログラマブルパルスジェネレータ (PPG) を内蔵しています。PPG は 4 ビット単位のパルス出力グループ 3、2 から構成されており、これらは同時に動作させることも、独立に動作させることも可能です。

11.1.1 特長

PPG の特長を以下に示します。

■出力データ 8 ビット

- 最大 8 ビットのデータ出力が可能で、パルス出力をビット単位に許可することができます。

■2 系統の出力可能

- 4 ビット単位のグループで出力トリガ信号が選択可能で、最大 4 ビット×2 系統の出力を行うことができます。

■出力トリガ信号を選択可能

- TPU の 4 チャンネルのコンペアマッチ信号の中から、グループごとに出力トリガ信号を選択することができます。

■ノンオーバーラップ動作

- 複数のパルス出力の間のノンオーバーラップ期間を設定することができます。

■データトランスファコントローラ (DTC) との連携動作可能

- 出力トリガ信号に選択したコンペアマッチ信号で DTC を起動することにより、CPU の介在なくデータを順次出力することができます。

■反転出力の指定可能

- グループごとに、データに対する反転値を出力することができます。

■モジュールストップモードの設定可能

- 初期値では PPG の動作は停止しますが、モジュールストップモードを解除することにより、レジスタのアクセスが可能です。

11.1.2 ブロック図

PPG のブロック図を図 11.1 に示します。

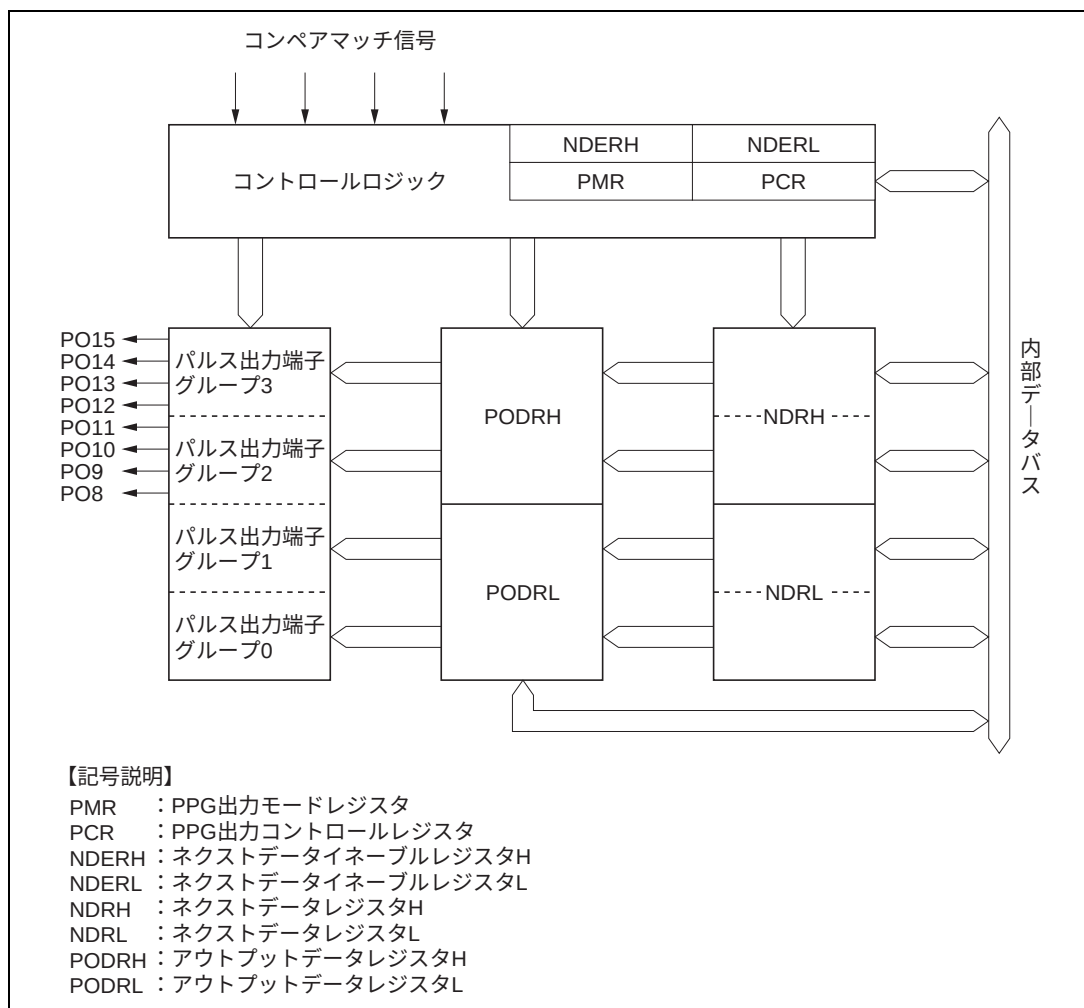


図 11.1 PPG のブロック図

11.1.3 端子構成

PPG の端子構成を表 11.1 に示します。

表 11.1 端子構成

名 称	記号	入出力	機 能
パルス出力 8	PO8	出力	グループ 2 のパルス出力
パルス出力 9	PO9	出力	
パルス出力 10	PO10	出力	
パルス出力 11	PO11	出力	
パルス出力 12	PO12	出力	グループ 3 のパルス出力
パルス出力 13	PO13	出力	
パルス出力 14	PO14	出力	
パルス出力 15	PO15	出力	

11.1.4 レジスタ構成

PPG のレジスタ構成を表 11.2 に示します。

表 11.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス* ¹
PPG 出力コントロールレジスタ	PCR	R/W	H'FF	H'FE26
PPG 出力モードレジスタ	PMR	R/W	H'F0	H'FE27
ネクストデータインーブルレジスタ H	NDERH	R/W	H'00	H'FE28
ネクストデータインーブルレジスタ L* ⁴	NDERL	R/W	H'00	H'FE29
アウトプットデータレジスタ H	PODRH	R/(W) * ²	H'00	H'FE2A
アウトプットデータレジスタ L* ⁴	PODRL	R/(W) * ²	H'00	H'FE2B
ネクストデータレジスタ H	NDRH	R/W	H'00	H'FE2C* ³ H'FE2E
ネクストデータレジスタ L* ⁴	NDRL	R/W	H'00	H'FE2D* ³ H'FE2F
ポート 1 データディレクションレジスタ	P1DDR	W	H'00	H'FE30
モジュールストップコントロールレジスタ A	MSTPCRA	R/W	H'3F	H'FDE8

【注】 *¹ アドレスの下位 16 ビットを示しています。

*² パルス出力として使用しているビットは、ライトできません。

*³ PCR の設定により、パルス出力グループ 2 とパルス出力グループ 3 の出力トリガが同一の場合は、NDRH のアドレスは H'FE2C となり、出力トリガが異なる場合は、グループ 2 に対応する NDRH のアドレスは H'FE2E、グループ 3 に対する NDRH のアドレスは H'FE2C となります。
同様に、PCR の設定によりパルス出力グループ 0 とパルス出力グループ 1 の出力トリガが同一の場合は、NDRL のアドレスは H'FE2D となり、出力トリガが異なる場合は、グループ 0 に対する NDRL のアドレスは H'FE2F、グループ 1 に対する NDRL のアドレスは H'FE2D となります。

*⁴ 本 LSI には、パルス出力グループ 0、パルス出力グループ 1 のレジスタに対応する端子が存在しません。

11.2 各レジスタの説明

11.2.1 ネクストデータイネーブルレジスタ H、L (NDERH、NDERL)

NDERH

ビット：	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

NDERL

ビット：	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

NDERH、NDERL はそれぞれ 8 ビットのリード／ライト可能なレジスタで、パルス出力の許可または禁止をビット単位で選択します。

NDER によりパルス出力が許可されたビットは、PCR で選択された TPU のコンペアマッチが発生すると、NDR の値が PODR の当該ビットに自動転送され出力値が更新されます。パルス出力が禁止されているビットについては、NDR から PODR への転送は行われず出力値も変化しません。

NDER はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット 7～0：ネクストデータイネーブル 15～8 (NDER15～NDER8)

パルス出力の許可または禁止をビット単位で選択します。

ビット 7～0	説 明
NDER15～NDER8	
0	パルス出力 PO15～PO8 を禁止 (NDR15～NDR8 から POD15～POD8 への転送禁止) (初期値)
1	パルス出力 PO15～PO8 を許可 (NDR15～NDR8 から POD15～POD8 への転送許可)

ビット 7～0：ネクストデータイネーブル 7～0 (NDER7～NDER0)

パルス出力の許可または禁止をビット単位で選択します。ただし、本 LSI には NDRL に対応する出力端子が存在しません。

ビット 7～0	説 明
NDER7～NDER0	
0	パルス出力 PO7～PO0 を禁止 (NDR7～NDR0 から POD7～POD0 への転送禁止) (初期値)
1	パルス出力 PO7～PO0 を許可 (NDR7～NDR0 から POD7～POD0 への転送許可)

11.2.2 アウトプットデータレジスタ H、L (PODRH、PODRL)

PODRH

ビット：	7	6	5	4	3	2	1	0
	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8
初期値：	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

PODRL

ビット：	7	6	5	4	3	2	1	0
	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
初期値：	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* NDERにより、パルス出力に設定されたビットはリード専用となります。

PODRH、PODRL は 8 ビットのリード／ライト可能なレジスタで、パルス出力を使用する場合の出力データを格納します。ただし、本 LSI には PODRL に対応する端子が存在しません。

11.2.3 ネクストデータレジスタ H、L (NDRH、NDRL)

NDRH、NDRL は 8 ビットのリード／ライト可能なレジスタで、パルス出力の次のデータを格納します。パルス出力を行う場合、PCR で指定した TPU のコンペアマッチが発生したときに、NDR の内容が PODR の対応するビットに転送されます。NDR のアドレスは、パルス出力グループの出力トリガの選択により異なります。詳細は「11.2.4 NDR アクセス時の注意」を参照してください。

NDR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

11.2.4 NDR アクセス時の注意

NDR のアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なるように設定した場合とで異なります。

(1) パルス出力グループの出力トリガが同一の場合

パルス出力グループ 2、3 の出力トリガとなるコンペアマッチを同一にすると、NDRH のアドレスは H'FE2C となります。グループ 3、2 はそれぞれ上位 4 ビット、下位 4 ビットになります。このとき、アドレス H'FE2E はすべてリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) アドレス：H'FE2C

ビット：	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値：	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(b) アドレス：H'FE2E

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1
R/W	—	—	—	—	—	—	—	—

パルス出力グループ 0、1 の出力トリガとなるコンペアマッチを同一にすると、NDRL のアドレスは H'FE2D となります。グループ 1、0 はそれぞれ上位 4 ビット、下位 4 ビットになります。このとき、アドレス H'FE2F はすべてリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。ただし、本 LSI にはパルス出力グループ 0、1 に対応する出力端子が存在しません。

(a) アドレス：H'FE2D

ビット：	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(b) アドレス：H'FE2F

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1
R/W：	—	—	—	—	—	—	—	—

(2) パルス出力グループの出力トリガが異なる場合

パルス出力グループ 2、3 の出力トリガとなるコンペアマッチを別にする、NDRH の上位 4 ビット（グループ 3）のアドレスは H'FE2C、NDRH の下位 4 ビット（グループ 2）のアドレスは H'FE2E となります。このとき、アドレス H'FE2C のビット 3～0、アドレス H'FE2E のビット 7～4 はリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(a) アドレス：H'FE2C

ビット：	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	—	—	—	—
初期値：	0	0	0	0	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	—	—	—	—

(b) アドレス：H'FE2E

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	NDR11	NDR10	NDR9	NDR8
初期値：	1	1	1	1	0	0	0	0
R/W：	—	—	—	—	R/W	R/W	R/W	R/W

パルス出力グループ 0、1 の出力トリガとなるコンペアマッチを別にする、NDRH の上位 4 ビット（グループ 1）のアドレスは H'FE2D、NDRH の下位 4 ビット（グループ 0）のアドレスは H'FE2F となります。このとき、アドレス H'FE2D のビット 3～0、アドレス H'FE2F のビット 7～4 はリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。ただし、本 LSI にはパルス出力グループ 0、1 に対応する出力端子が存在しません。

(a) アドレス：H'FE2D

ビット：	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	—	—	—	—
初期値：	0	0	0	0	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	—	—	—	—

(b) アドレス：H'FE2F

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	NDR3	NDR2	NDR1	NDR0
初期値：	1	1	1	1	0	0	0	0
R/W：	—	—	—	—	R/W	R/W	R/W	R/W

11.2.5 PPG 出力コントロールレジスタ (PCR)

ビット：	7	6	5	4	3	2	1	0
	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PCR は 8 ビットのリード／ライト可能なレジスタでパルス出力の出力トリガ信号をグループ単位で選択します。

PCR は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。
ソフトウェアスタンバイモード時には初期化されません。

ビット 7、6：グループ 3 コンペアマッチセレクト 1、0 (G3CMS1、G3CMS0)

パルス出力グループ 3 (PO15～PO12 端子) の出力トリガとなるコンペアマッチを選択します。

ビット 7	ビット 6	説 明
G3CMS1	G3CMS0	パルス出力グループ 3 の出力トリガ
0	0	TPU チャンネル 0 のコンペアマッチ
	1	TPU チャンネル 1 のコンペアマッチ
1	0	TPU チャンネル 2 のコンペアマッチ
	1	TPU チャンネル 3 のコンペアマッチ (初期値)

ビット 5、4：グループ 2 コンペアマッチセレクト 1、0 (G2CMS1、G2CMS0)

パルス出力グループ 2 (PO11～PO8 端子) の出力トリガとなるコンペアマッチを選択します。

ビット 5	ビット 4	説 明
G2CMS1	G2CMS0	パルス出力グループ 2 の出力トリガ
0	0	TPU チャンネル 0 のコンペアマッチ
	1	TPU チャンネル 1 のコンペアマッチ
1	0	TPU チャンネル 2 のコンペアマッチ
	1	TPU チャンネル 3 のコンペアマッチ (初期値)

ビット 3、2：グループ 1 コンペアマッチセレクト 1、0 (G1CMS1、G1CMS0)

パルス出力グループ 1 (PO7～PO4 端子) の出力トリガとなるコンペアマッチを選択します。ただし、本 LSI にはパルス出力グループ 1 に対応する出力端子が存在しません。

ビット 3	ビット 2	説 明
G1CMS1	G1CMS0	パルス出力グループ 1 の出力トリガ
0	0	TPU チャンネル 0 のコンペアマッチ
	1	TPU チャンネル 1 のコンペアマッチ
1	0	TPU チャンネル 2 のコンペアマッチ
	1	TPU チャンネル 3 のコンペアマッチ (初期値)

ビット 1、0：グループ 0 コンペアマッチセレクト 1、0 (G0CMS1、G0CMS0)

パルス出力グループ 0 (PO3～PO0 端子) の出力トリガとなるコンペアマッチを選択します。ただし、本 LSI にはパルス出力グループ 0 に対応する出力端子が存在しません。

ビット 1	ビット 0	説 明
G0CMS1	G0CMS0	パルス出力グループ 0 の出力トリガ
0	0	TPU チャンネル 0 のコンペアマッチ
	1	TPU チャンネル 1 のコンペアマッチ
1	0	TPU チャンネル 2 のコンペアマッチ
	1	TPU チャンネル 3 のコンペアマッチ (初期値)

11.2.6 PPG 出力モードレジスタ (PMR)

ビット：	7	6	5	4	3	2	1	0
	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV
初期値：	1	1	1	1	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR は 8 ビットのリード／ライト可能なレジスタで、パルス出力の反転の設定、およびオーバーラップ動作の設定をグループ単位で指定します。

ノンオーバーラップ動作の PPG 出力は、出力トリガとなる TPU の TGRB に出力波形の周期を、また TGRA にノンオーバーラップ期間を設定し、コンペアマッチ A、B で出力値を変化させます。

詳細は、「11.3.4 パルス出力ノンオーバーラップ動作」を参照してください。

PMR はリセットまたはハードウェアスタンバイモード時に H'F0 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット 7：グループ 3 インバート (G3INV)

パルス出力グループ 3 (PO15～PO12 端子) を直接出力させるか反転出力させるかを選択します。

ビット 7	説 明
G3INV	
0	パルス出力グループ 3 は、反転出力 (PODRH の内容 1 に対して、端子に Low レベルを出力)
1	パルス出力グループ 3 は、直接出力 (PODRH の内容 1 に対して、端子に High レベルを出力) (初期値)

ビット 6：グループ 2 インバート (G2INV)

パルス出力グループ 2 (PO11～PO8 端子) を直接出力させるか反転出力させるかを選択します。

ビット 6	説 明
G2INV	
0	パルス出力グループ 2 は、反転出力 (PODRH の内容 1 に対して、端子に Low レベルを出力)
1	パルス出力グループ 2 は、直接出力 (PODRH の内容 1 に対して、端子に High レベルを出力) (初期値)

ビット 5：グループ 1 インバート (G1INV)

パルス出力グループ 1 (PO7～PO4 端子) を直接出力させるか反転出力させるかを選択します。ただし、本 LSI にはパルス出力グループ 1 に対応する端子が存在しません。

ビット 5	説 明
G1INV	
0	パルス出力グループ 1 は、反転出力 (PODRL の内容 1 に対して、端子に Low レベルを出力)
1	パルス出力グループ 1 は、直接出力 (PODRL の内容 1 に対して、端子に High レベルを出力) (初期値)

ビット 4：グループ 0 インバート (G0INV)

パルス出力グループ 0 (PO3～PO0 端子) を直接出力させるか反転出力させるかを選択します。ただし、本 LSI にはパルス出力グループ 0 に対応する端子が存在しません。

ビット 4	説 明
G0INV	
0	パルス出力グループ 0 は、反転出力 (PODRL の内容 1 に対して、端子に Low レベルを出力)
1	パルス出力グループ 0 は、直接出力 (PODRL の内容 1 に対して、端子に High レベルを出力) (初期値)

ビット 3：グループ 3 ノンオーバーラップ (G3NOV)

パルス出力グループ 3 (PO15～PO12 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 3	説 明
G3NOV	
0	パルス出力グループ 3 は、通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) (初期値)
1	パルス出力グループ 3 は、ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B により、1 出力、0 出力を独立に出力可能)

ビット 2：グループ 2 ノンオーバーラップ (G2NOV)

パルス出力グループ 2 (PO11～PO8 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 2	説 明
G2NOV	
0	パルス出力グループ 2 は、通常動作 (選択された TPU のコンペアマッチ A で出力値を更新 します。) (初期値)
1	パルス出力グループ 2 は、ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

ビット 1：グループ 1 ノンオーバーラップ (G1NOV)

パルス出力グループ 1 (PO7～PO4 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。ただし、本 LSI にはパルス出力グループ 1 に対応する端子が存在しません。

ビット 1	説 明
G1NOV	
0	パルス出力グループ 1 は、通常動作 (選択された TPU のコンペアマッチ A で出力値を更新 します。) (初期値)
1	パルス出力グループ 1 は、ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

ビット 0：グループ 0 ノンオーバーラップ (G0NOV)

パルス出力グループ 0 (PO3～PO0 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。ただし、本 LSI にはパルス出力グループ 0 に対応する端子が存在しません。

ビット 0	説 明
G0NOV	
0	パルス出力グループ 0 は、通常動作 (選択された TPU のコンペアマッチ A で出力値を更新します。) (初期値)
1	パルス出力グループ 0 は、ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

11.2.7 ポート 1 データディレクションレジスタ (P1DDR)

ビット：	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

P1DDR は、8 ビットのライト専用レジスタで、ポート 1 の各端子の入出力をビットごとに指定します。

ポート 1 は PO15～PO8 端子との兼用端子となっています。PPG 出力を行う端子に対応するビットは 1 にセットしてください。

P1DDR の詳細は、「9.2 ポート 1」を参照してください。

11.2.8 モジュールストップコントロールレジスタ A (MSTPCRA)

ビット：	7	6	5	4	3	2	1	0
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値：	0	0	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRA は 8 ビットのリード／ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPA3 ビットを 1 にセットすると、バスサイクルの終了時点で PPG は動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード／ライトはできません。詳細は、「22.5 モジュールストップモード」を参照してください。

MSTPCRA は、リセットまたはハードウェアスタンバイモード時に H'3F に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 11：モジュールストップ (MSTPA3)

PPG のモジュールストップモードを指定します。

ビット 3	説 明
MSTPA3	
0	PPG のモジュールストップモード解除
1	PPG のモジュールストップモード設定 (初期値)

11.3 動作説明

11.3.1 概要

PPG のパルス出力は、P1DDR、NDR の対応するビットをそれぞれ 1 にセットすることにより許可状態となります。この状態では、対応する PODR の内容が出力されます。

その後、PCR で指定したコンペアマッチが発生すると、ビットに対する NDR の内容がそれぞれ PODR に転送され、出力値が更新されます。

PPG 出力動作を図 11.2 に示します。また、PPG 動作条件を表 11.3 に示します。

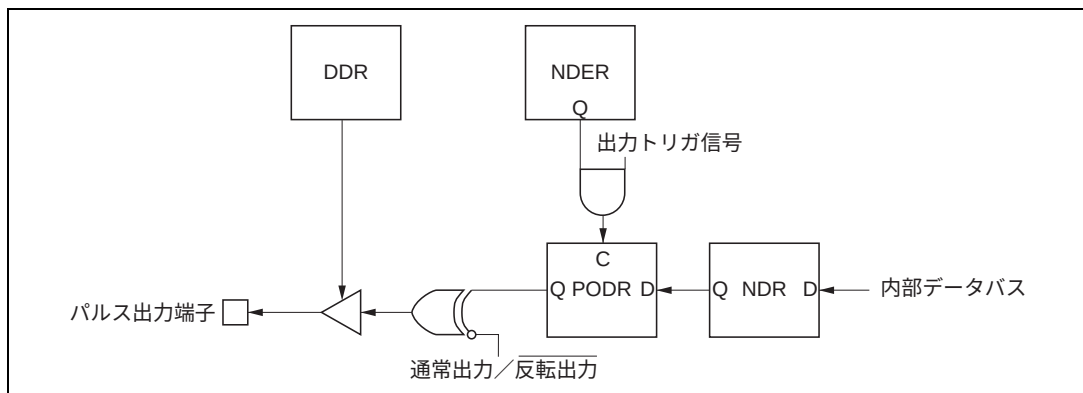


図 11.2 PPG 出力動作

表 11.3 PPG 動作条件

NDR	DDR	端子機能
0	0	入力ポート
	1	出力ポート
1	0	入力ポート (ただし、コンペアマッチ時に NDR から PODR の転送を行い、PODR へのライトはできません)
	1	PPG パルス出力

次のコンペアマッチが発生するまでに NDR に出力データを書き込むことにより、コンペアマッチごとに最大 8 ビットのデータを順次出力することができます。

ノンオーバーラップ動作については、「11.3.4 パルス出力ノンオーバーラップ動作」を参照してください。

11.3.2 出力タイミング

パルス出力許可状態で指定されたコンペアマッチが発生すると、NDR の内容が PODR に転送され、出力されます。

このタイミングを図 11.3 に示します。

コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

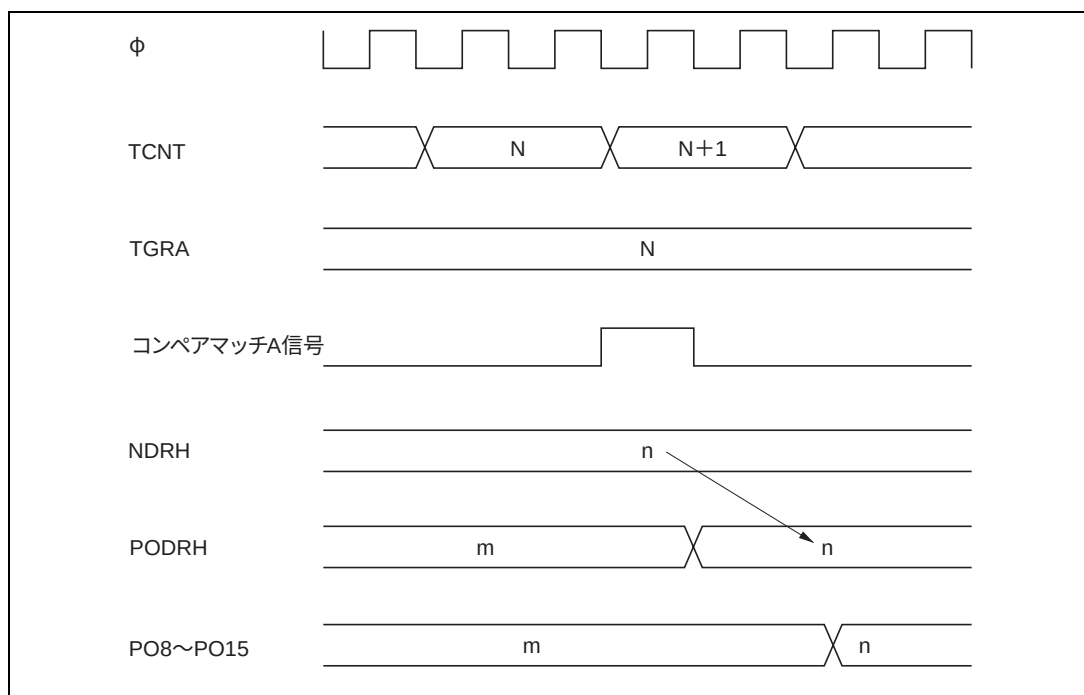
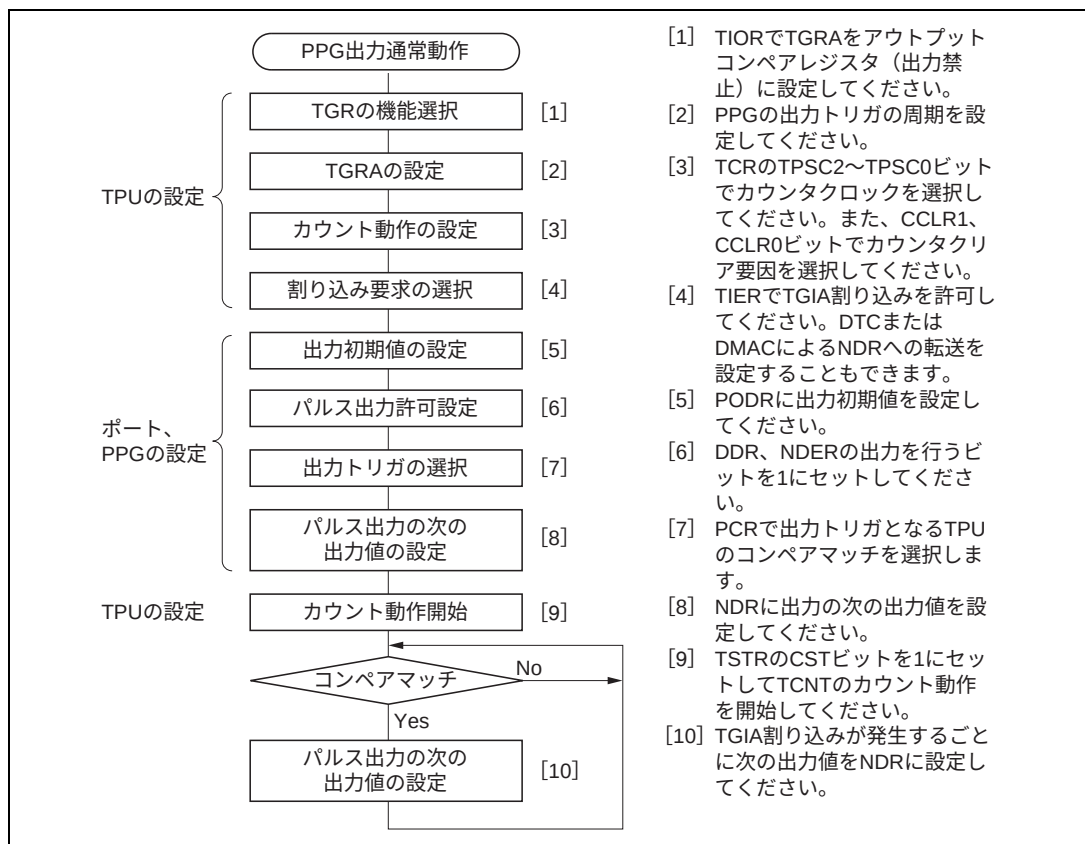


図 11.3 NDR の内容が転送・出力されるタイミング例

11.3.3 パルス出力通常動作

(1) パルス出力通常動作の設定手順例

パルス出力通常動作の設定手順例を図 11.4 に示します。



- [1] TIORでTGRAをアウトプットコンペアレジスタ（出力禁止）に設定してください。
- [2] PPGの出力トリガの周期を設定してください。
- [3] TCRのTPSC2～TPSC0ビットでカウンタクロックを選択してください。また、CCLR1、CCLR0ビットでカウンタクリア要因を選択してください。
- [4] TIERでTGIA割り込みを許可してください。DTCまたはDMACによるNDRへの転送を設定することもできます。
- [5] PODRに出力初期値を設定してください。
- [6] DDR、NDRの出力を行うビットを1にセットしてください。
- [7] PCRで出力トリガとなるTPUのコンペアマッチを選択します。
- [8] NDRに出力の次の出力値を設定してください。
- [9] TSTRのCSTビットを1にセットしてTCNTのカウント動作を開始してください。
- [10] TGIA割り込みが発生するごとに次の出力値をNDRに設定してください。

(2) パルス出力通常動作例 (5 相パルス出力例)

パルス出力を使用して一定周期で 5 相パルスを出力させた例を図 11.5 に示します。

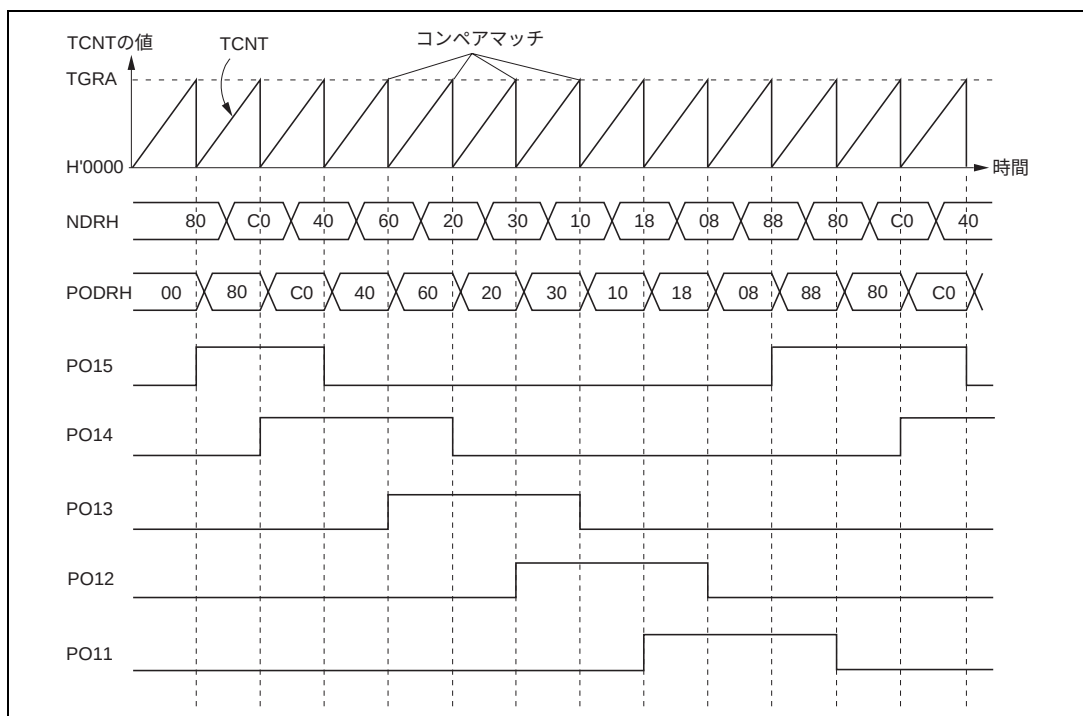


図 11.5 パルス出力通常動作例 (5 相パルス出力例)

- [1] 出力トリガとするTPUのTGRAをアウトプットコンペアレジスタに設定します。TGRAには周期を設定し、コンペアマッチAによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、コンペアマッチ/インプットキャプチャA (TGIA) 割り込みを許可します。
- [2] P1DDR、NDRHにH'F8をライトし、PCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0により、[1] で選択したTPUのコンペアマッチに出力トリガを設定します。NDRHに出力データH'80をライトします。
- [3] TPU当該チャネルの動作を開始しコンペアマッチAが発生すると、NDRHの内容がPODRHに転送され出力されます。TGIA割り込み処理でNDRHに次の出力データH'C0をライトします。
- [4] 以後、TGIA割り込みで順次H'40、H'60、H'20、H'30、H'10、H'18、H'08、H'88…をライトすることで、5相の1-2相パルス出力を行うことができます。
TGIA割り込みでDTCを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

11.3.4 パルス出力ノンオーバーラップ動作

(1) パルス出力ノンオーバーラップ動作の設定手順例

パルス出力ノンオーバーラップ動作の設定手順例を図 11.6 に示します。

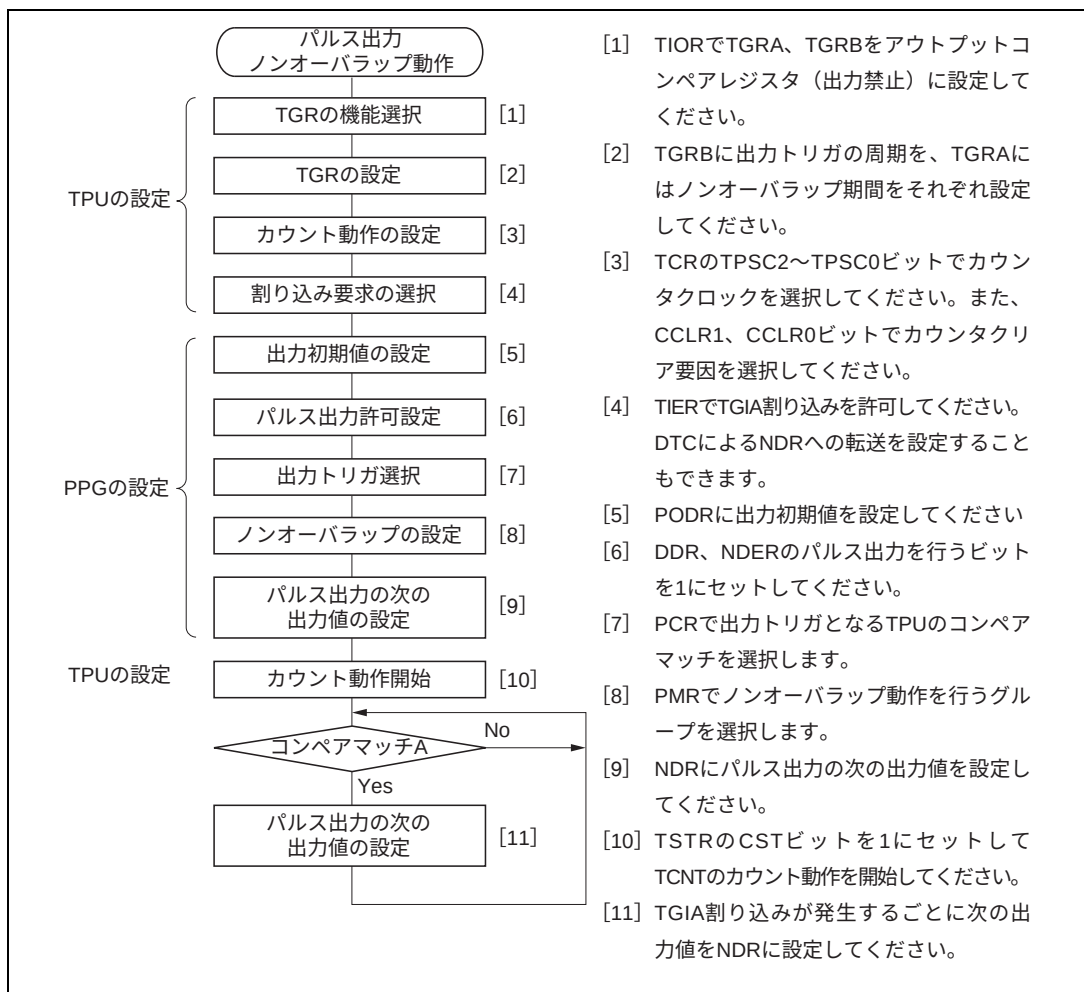


図 11.6 パルス出力ノンオーバーラップ動作の設定手順例

(2) パルス出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力例)

パルス出力を使用して4相の相補ノンオーバーラップのパルスを出力させた例を図 11.7 に示します。

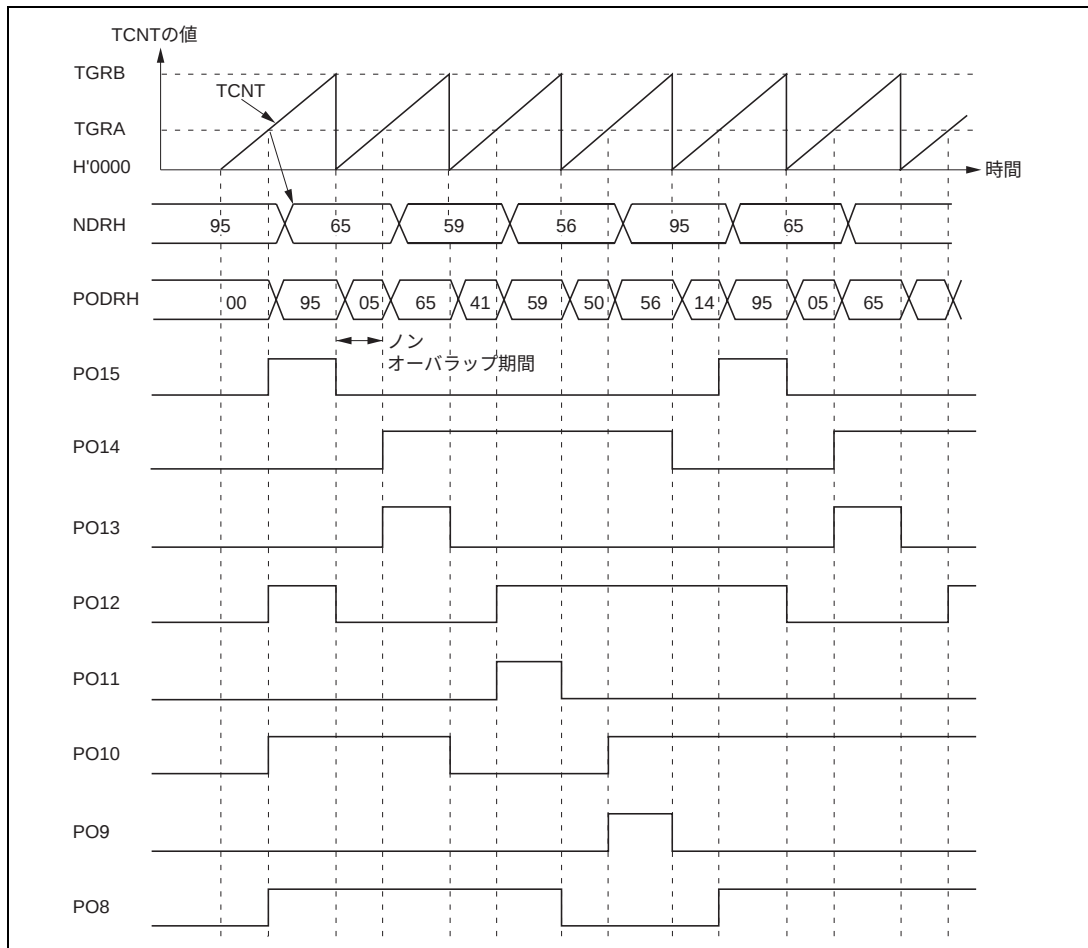


図 11.7 パルス出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力)

- [1] 出力トリガとするTPUのTGRA、TGRBをアウトプットコンペアレジスタに設定します。TGRBには周期、TGRAにはノンオーバーラップ期間を設定し、コンペアマッチBによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、TGIA割り込みを許可します。
- [2] P1DDR、NDRHにH'FFをライトし、PCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより、[1]で選択したTPUのコンペアマッチに出力トリガを設定します。PMRのG3NOV、G2NOVビットをそれぞれ1にセットして、ノンオーバーラップ動作を設定します。NDRHに出力データH'95をライトします。

- [3] TPU当該チャネルの動作を開始すると、TGRBのコンペアマッチで1出力→0出力の変化、TGRAのコンペアマッチで0出力→1出力の変化を行います(0出力→1出力の変化はTGRAの設定値分遅延することになります)。
TGIA割り込み処理でNDRHに次の出力データH'65をライトします。
- [4] 以後、TGIA割り込みで順次H'59、H'56、H'95…をライトすることで、4相の相補ノンオーバーラップ出力を発生することができます。
TGIA割り込みでDTCを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

11.3.5 パルス反転出力

PMR の G3INV、G2INV、G1INV および G0INV を 0 に設定すると、PODR の内容に対する反転値を端子出力することができます。

図 11.7 の設定で、さらに G3INV、G2INV を 0 にしたときの端子出力の様子を図 11.8 に示します。

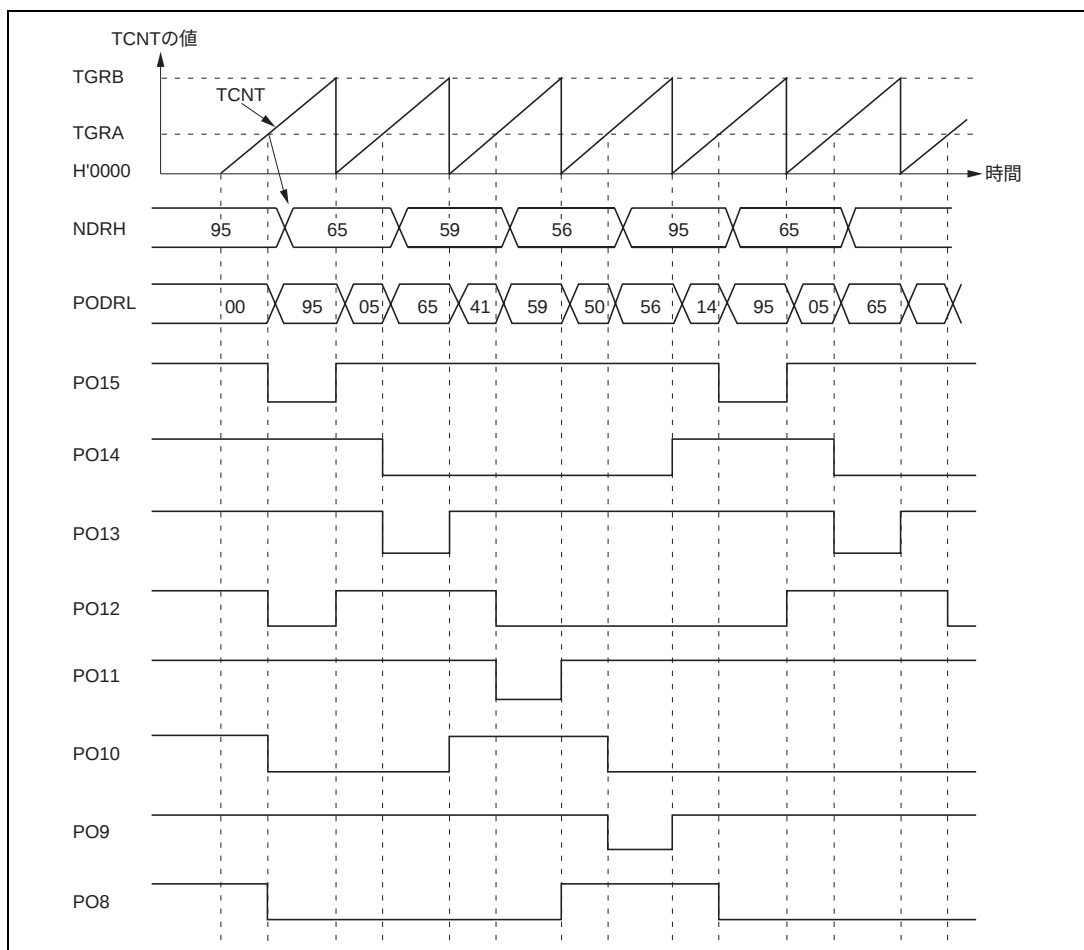


図 11.8 パルス反転出力例

11.3.6 インพุットキャプチャによるパルス出力

パルス出力は、TPU のコンペアマッチだけでなく、インพุットキャプチャによっても可能です。PCR によって選択された TPU の TGRA がインพุットキャプチャレジスタとして機能しているとき、インพุットキャプチャ信号によりパルス出力を行います。

このタイミングを図 11.9 に示します。

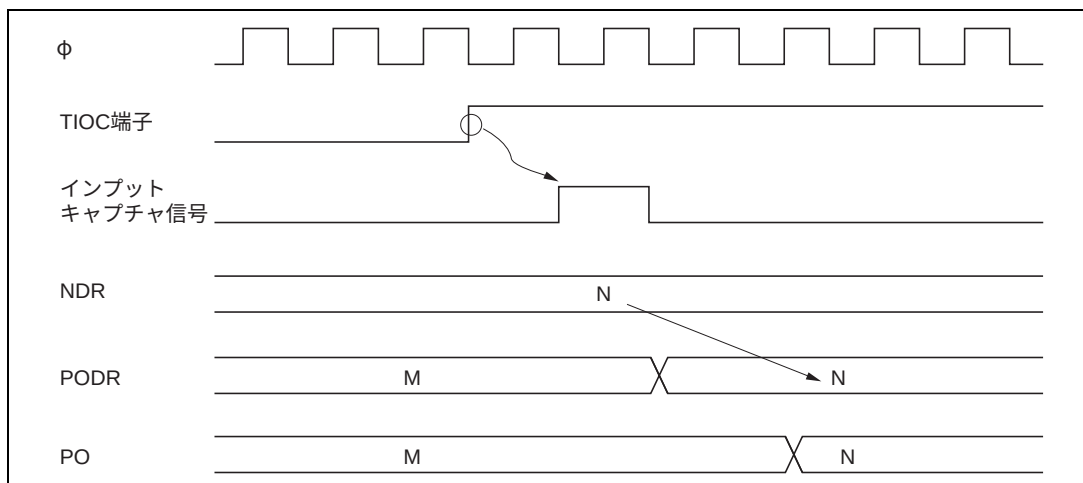


図 11.9 インพุットキャプチャによるパルス出力例

11.4 使用上の注意

(1) パルス出力端子の動作

PO8～PO15 は TPU などの他の周辺機能の端子と兼用になっています。これらの端子は、他の周辺機能が出力許可状態になっているときには、パルス出力を行うことができません。ただし、NDR から PODR への転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

(2) ノンオーバーラップ動作時の注意

ノンオーバーラップ動作時の NDR から PODR への転送は以下のようになっています。

- コンペアマッチ A では NDR の内容を常に PODR へ転送します。
- コンペアマッチ B では NDR の転送するビットの内容が 0 のときのみ転送を行います。1 のときは転送を行いません。

ノンオーバーラップ時のパルス出力動作を図 11.10 に示します。

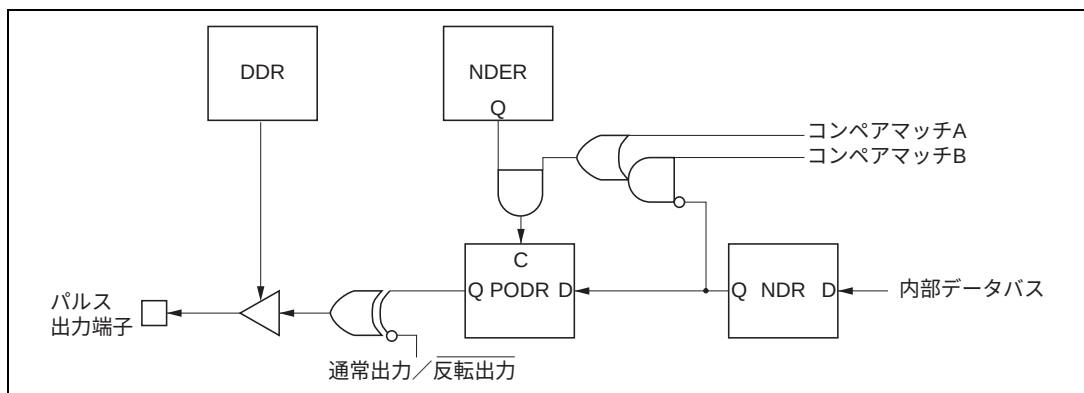


図 11.10 パルス出力ノンオーバーラップ動作

したがって、コンペアマッチ B をコンペアマッチ A よりも先に発生させることにより、0 データの転送を 1 データの転送に先立って行うことが可能です。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまで（ノンオーバーラップ期間）の間、NDR の内容を変更しないようにしてください。

これは TGIA 割り込みの割り込み処理ルーチンで NDR に次のデータをライトすることによって実現できます。また、TGIA 割り込みで DTC を起動することもできます。ただし、このライトは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを図 11.11 に示します。

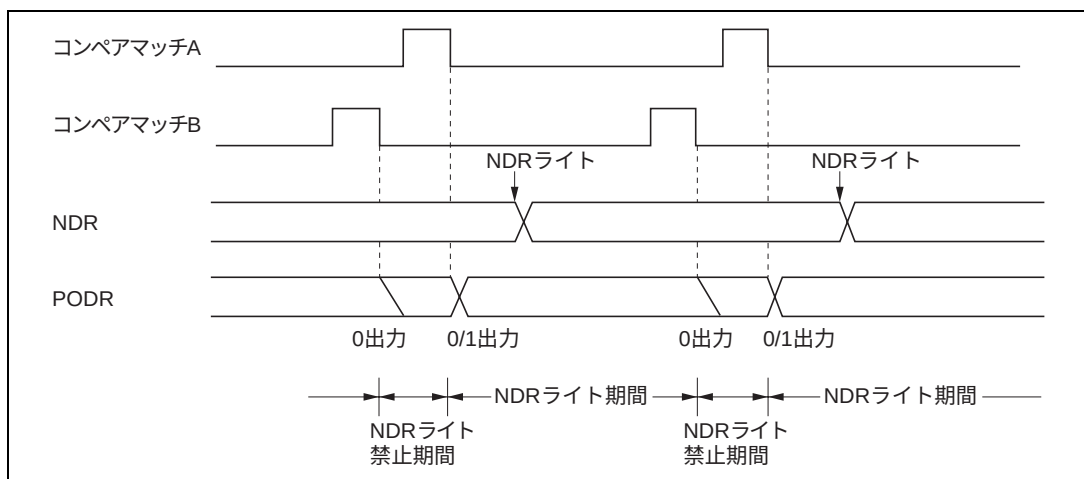


図 11.11 ノンオーバーラップ動作と NDR ライトタイミング

12. ウォッチドッグタイマ (WDT)

12.1 概要

本 LSI では 2 チャンネルのウォッチドッグタイマ (WDT0、WDT1) を内蔵しています。

ウォッチドッグタイマは、システムの暴走などによりカウンタの値を CPU が正しく書き換えられずにオーバーフローすると、本 LSI の内部リセット信号を発生することができます。

ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマとして使用した場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。

12.1.1 特長

WDT には次のような特長があります。

- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能
- タイマカウンタがオーバーフローすると内部リセットの発生が可能
 - ウォッチドッグタイマモード時には、内部をリセットすることができます。
- インターバルタイマモード時、割り込みを発生
 - カウンタがオーバーフローすると、インターバルタイマ割り込みが発生します。
- WDT0 は 8 種類、WDT1 は 16 種類のカウンタ入力クロックを選択可能
 - WDT の最大インターバルはシステムクロック周期 $\times 131072 \times 256$
 - WDT1 の入力カウンタにサブクロックを選択可能
 - サブクロック選択の場合、最大インターバルはサブクロック周期 $\times 256 \times 256$

12.1.2 ブロック図

WDT のブロック図を図 12.1 (a) と図 12.1 (b) に示します。

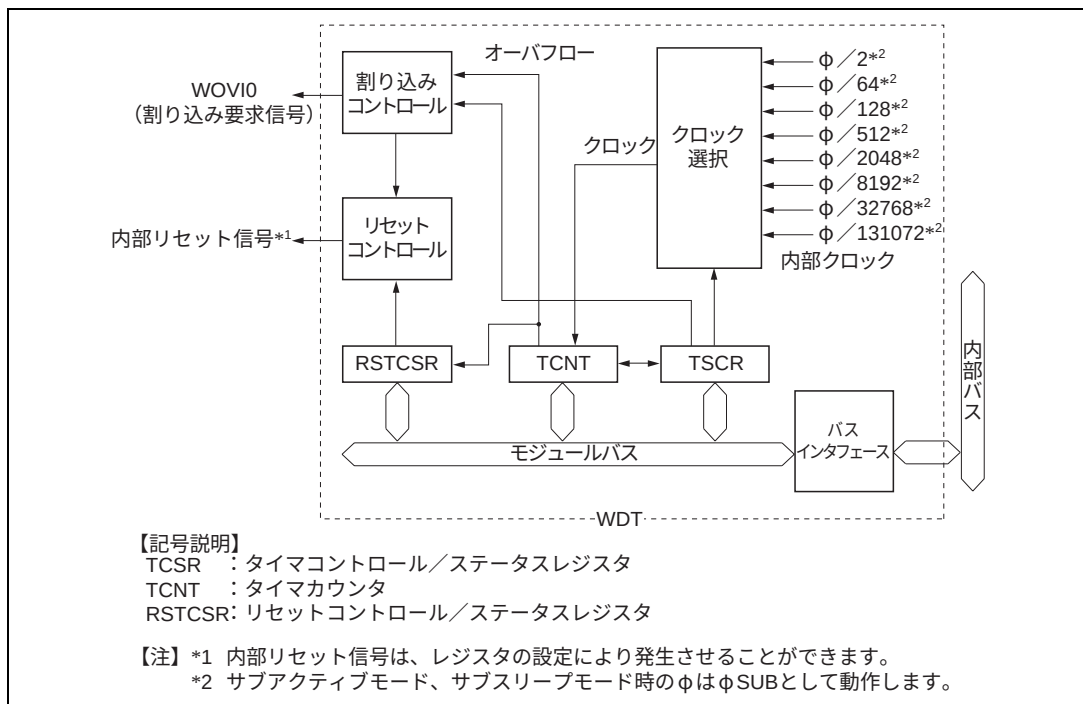


図 12.1 (a) WDT0 のブロック図

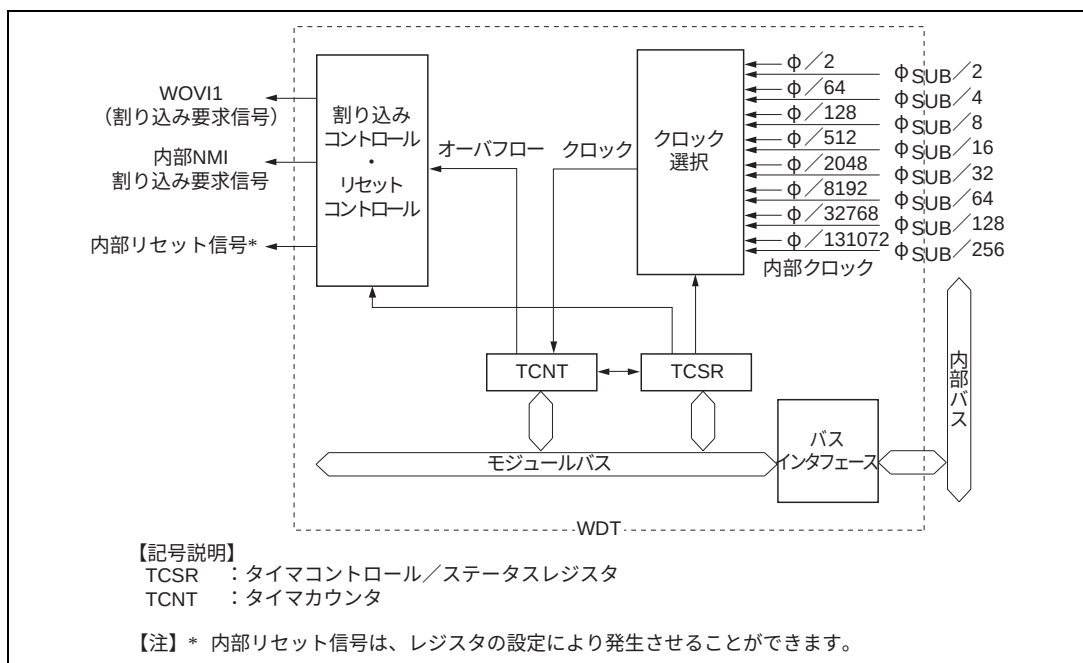


図 12.1 (b) WDT1 のブロック図

12.1.3 端子構成

WDT に関連する端子はありません。

12.1.4 レジスタ構成

WDT のレジスタ構成を表 12.1 に示します。これらのレジスタにより、クロックの選択、WDT のモードの切り替え、リセット信号の制御などを行います。

表 12.1 レジスタ構成

チャネル	名 称	略称	R/W	初期値	アドレス* ¹	
					ライト時* ²	リード時
0	タイマコントロール/ ステータスレジスタ 0	TCSR0	R/(W) * ³	H'18	H'FF74	H'FF74
	タイマカウンタ 0	TCNT0	R/W	H'00	H'FF74	H'FF75
	リセットコントロール/ ステータスレジスタ	RSTCSR0	R/(W) * ³	H'1F	H'FF76	H'FF77
1	タイマコントロール/ ステータスレジスタ 1	TCSR1	R/(W) * ³	H'00	H'FFA2	H'FFA2
	タイマカウンタ 1	TCNT1	R/W	H'00	H'FFA2	H'FFA3

【注】 *¹ アドレスの下位 16 ビットを示しています。

*² ライトについては、「12.2.4 レジスタアクセス時の注意」を参照してください。

*³ ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

12.2 各レジスタの説明

12.2.1 タイマカウンタ (TCNT)

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT は、リード／ライト*可能な 8 ビットのアップカウンタです。TCSR の TME ビットを 1 にすると、TCSR の CKS2～CKS0 ビットで選択した内部クロックにより、TCNT はカウントアップを開始します。TCNT の値がオーバーフロー (H'FF→H'00) すると、TCSR の WT/IT ビットで選択したモードによって、内部リセット、NMI 割り込み (WDT1 のみ) またはインターバルタイマ割り込み (WOVI) が発生します。

TCNT は、リセット、ハードウェアスタンバイモード、または TME ビットが 0 のとき、H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

【注】* TCNT は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「12.2.4 レジスタアクセス時の注意」を参照してください。

12.2.2 タイマコントロール／ステータスレジスタ (TCSR)

■TCSR0

ビット：	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0
初期値：	0	0	0	1	1	0	0	0
R/W：	R/(W)*	R/W	R/W	—	—	R/W	R/W	R/W

【注】* フラグをクリアするための 0 ライトのみ可能です。

■TCSR1

ビット：	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	PSS	RST/NMI	CKS2	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグをクリアするための 0 ライトのみ可能です。

TCSR は、リード／ライト*可能な 8 ビットのレジスタで、TCNT に入力するクロック、モードの選択などを行います。

TCSR0 (TCSR1) は、リセットまたはハードウェアスタンバイモード時に H'18 (H'00) に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

【注】* TCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「12.2.4 レジスタアクセス時の注意」を参照してください。

ビット7：オーバフローフラグ (OVF)

TCNT がオーバフロー (H'FF→H'00) したことを示すステータスフラグです。

ビット7	説明
OVF	
0	[クリア条件] (初期値) (1) TME ビットに 0 をライトしたとき (WDT1 のみ) (2) OVF=1 の状態で、TCSR をリード後、OVF に 0 をライトしたとき
1	[セット条件] TCNT がオーバフロー (H'FF→H'00) したとき ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。

インターバルタイマモード時に、インターバルタイマ割り込みルーチン内では、OVF フラグのクリア条件にあるとおり、OVF=1 の状態で TCSR をリード後、OVF に 0 をライトすることで OVF フラグをクリアすることができます。

しかし、インターバルタイマ割り込みを禁止して、OVF フラグをポーリングする場合、OVF フラグのセットされるタイミングと、OVF フラグをリードするタイミングが競合したとき、OVF=1 をリードしたにもかかわらず、OVF=1 をリードしたことを認識しないケースがあります。

この場合、OVF=1 の状態を 2 回以上リードすることにより、OVF フラグのクリア条件を確実に満たすことができますので、前述の例のように、OVF=1 の状態を 2 回以上リードしてから、OVF フラグをクリアするようにしてください。

ビット6：タイマモードセレクト (WT/IT)

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。この選択によって、TCNT がオーバフローしたとき、WDT0 は、ウォッチドッグタイマモード時には、リセットコントロール/ステータスレジスタ (RSTCSR) の RSTE ビットを 1 にセットした場合、内部リセットが発生します。インターバルタイマモード時には、WOVI 割り込みを CPU に対して要求します。また WDT1 は、ウォッチドッグタイマモード時は、リセットまたは、NMI 割り込みを、インターバルタイマモード時は WOVI 割り込みを CPU に対して要求します。

■WDT0 のモード選択

WDT0 の TCSR	説明
WT/IT	
0	インターバルタイマモード：TCNT がオーバフローしたとき CPU ヘインターバルタイマ割り込み (WOVI) を要求 (初期値)
1	ウォッチドッグタイマモード：TCNT がオーバフローしたとき RSTCSR の RSTE ビットが 1 の場合内部リセットが発生*

【注】 * ウォッチドッグタイマモードで TCNT がオーバフローした場合についての詳細は、「12.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)」を参照してください。

■WDT1 のモード選択

WDT1 の TCSR	説 明
WT/IT	
0	インターバルタイマモード：TCNT がオーバーフローしたとき CPU ヘインターバルタイマ割り込み (WOVI) を要求 (初期値)
1	ウォッチドッグタイマモード：TCNT がオーバーフローしたとき CPU ヘリセットまたは NMI 割り込みを要求

ビット 5：タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。

ビット 5	説 明
TME	
0	TCNT を H'00 に初期化し、カウント動作を停止 (初期値)
1	TCNT はカウント動作

WDT0 の TCSR ビット 4：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

WDT1 の TCSR ビット 4：プリスケラセレクト (PSS)

WDT1 の TCNT の入力クロックソースを選択します。

詳細は、クロックセレクト 2～0 の説明を参照してください。

WDT1 の TCSR ビット 4	説 明
PSS	
0	TCNT はφベースのプリスケラ (PSM) の分周クロックをカウント (初期値)
1	TCNT はφSUB ベースのプリスケラ (PSS) の分周クロックをカウント

WDT0 の TCSR ビット 3：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

WDT1 の TCSR ビット 3：リセットまたは NMI (RST/ $\overline{\text{NMI}}$)

ウォッチドッグタイマモードでの TCNT オーバフロー時に、内部リセットと NMI 割り込み要求のいずれを要求するかを選択します。

ビット 3	説 明
RST/ $\overline{\text{NMI}}$	
0	NMI 割り込みを要求 (初期値)
1	内部リセットを要求

ビット 2～0：クロックセレクト 2～0 (CKS2～CKS0)

システムクロック (ϕ) またはサブクロック (ϕ SUB) を分周して得られる内部クロックから、TCNT に入力するクロックを選択します。

■WDT0 の入力クロック選択

ビット 2	ビット 1	ビット 0	説 明	
CKS2	CKS1	CKS0	クロック	オーバフロー周期* ($\phi = 20\text{MHz}$ の場合)
0	0	0	$\phi / 2$ (初期値)	25.6 μs
		1	$\phi / 64$	819.2 μs
	1	0	$\phi / 128$	1.6ms
		1	$\phi / 512$	6.6ms
1	0	0	$\phi / 2048$	26.2ms
		1	$\phi / 8192$	104.9ms
	1	0	$\phi / 32768$	419.4ms
		1	$\phi / 131072$	1.68s

【注】 * オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバフローするまでの時間です。

■WDT1 の入力クロック選択

ビット 4	ビット 2	ビット 1	ビット 0	説 明	
PSS	CKS2	CKS1	CKS0	クロック	オーバフロー周期* ($\phi = 20\text{MHz}$ の場合) ($\phi \text{ SUB} = 32.768\text{kHz}$ の場合)
0	0	0	0	$\phi / 2$ (初期値)	25.6 μs
			1	$\phi / 64$	819.2 μs
		1	0	$\phi / 128$	1.6ms
			1	$\phi / 512$	6.6ms
	1	0	0	$\phi / 2048$	26.2ms
			1	$\phi / 8192$	104.9ms
		1	0	$\phi / 32768$	419.4ms
			1	$\phi / 131072$	1.68s
1	0	0	0	$\phi \text{ SUB} / 2$	15.6ms
			1	$\phi \text{ SUB} / 4$	31.3ms
		1	0	$\phi \text{ SUB} / 8$	62.5ms
			1	$\phi \text{ SUB} / 16$	125ms
	1	0	0	$\phi \text{ SUB} / 32$	250ms
			1	$\phi \text{ SUB} / 64$	500ms
		1	0	$\phi \text{ SUB} / 128$	1s
			1	$\phi \text{ SUB} / 256$	2s

【注】 * オーバフロー周期は、TCNT が H'00 からカウントアップを開始し、オーバフローするまでの時間です。

12.2.3 リセットコントロール／ステータスレジスタ (RSTCSR)

ビット：	7	6	5	4	3	2	1	0
	WOVF	RSTE	—	—	—	—	—	—
初期値：	0	0	0	1	1	1	1	1
R/W：	R/(W)*	R/W	R/W	—	—	—	—	—

【注】＊ フラグをクリアするための0ライトのみ可能です。

RSTCSR は、リード／ライト*可能な 8 ビットのレジスタで、TCNT のオーバフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。

RSTCSR は、 $\overline{\text{RES}}$ 端子からのリセット信号で H'1F に初期化されますが、WDT のオーバフローによる内部リセット信号では初期化されません。

【注】＊ RSTCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は「12.2.4 レジスタアクセス時の注意」を参照してください。

ビット 7：ウォッチドッグタイマオーバフローフラグ (WOVF)

ウォッチドッグタイマモードで、TCNT がオーバフロー (H'FF→H'00) したことを示します。インターバルタイマモードではセットされません。

ビット 7	説 明
WOVF	
0	[クリア条件] WOVF=1 の状態で TCSR をリードした後、WOVF に 0 をライトしたとき (初期値)
1	[セット条件] ウォッチドッグタイマモードで TCNT がオーバフロー (H'FF→H'00) したとき

ビット 6：リセットイネーブル (RSTE)

ウォッチドッグタイマモードで TCNT がオーバフローしたとき、本 LSI 内部をリセットする信号が発生するかどうかを選択します。

ビット 6	説 明
RSTE	
0	TCNT がオーバフローしたとき、内部リセットしない* (初期値)
1	TCNT がオーバフローしたとき内部リセットする

【注】＊ 本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。

ビット 5：リザーブビット

リードすると常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4～0：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

12.2.4 レジスタアクセス時の注意

TCNT、TCSR、RSTCSR は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、リード／ライトを行ってください。

(1) TCNT、TCSR へのライト

TCNT、TCSR ヘライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 12.2 に示すように、TCNT ヘライトするときは上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。TCSR ヘライトするときは上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR ヘライトされます。

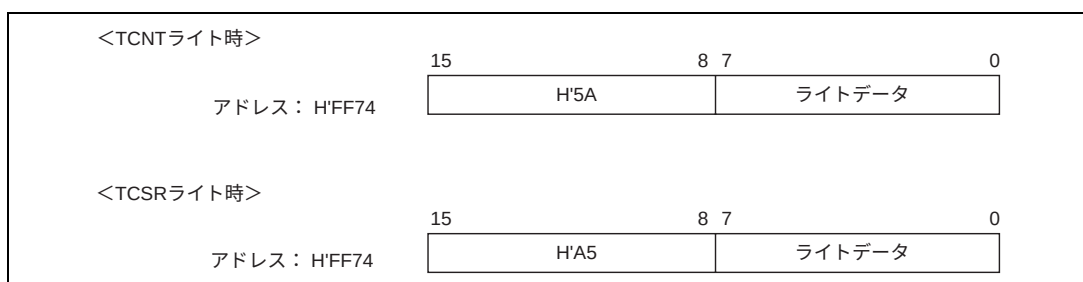


図 12.2 TCNT、TCSR へのライト (WDT0 の例)

(2) RSTCSR へのライト

RSTCSR ヘライトするときは、アドレス H'FF76 に対してワード転送を行ってください。バイト転送命令では、書き込めません。

WOVF ビットへ 0 をライトする場合と、RSTE ビットにライトする場合では、図 12.3 に示すように、ライトの方法が異なります。

WOVF ビットへ 0 をライトするときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE ビットは影響を受けません。RSTE ビットにライトするときは、上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。このようにすると、下位バイトのビット 6 の値が RSTE ビットにライトされます。このとき、WOVF ビットは影響を受けません。

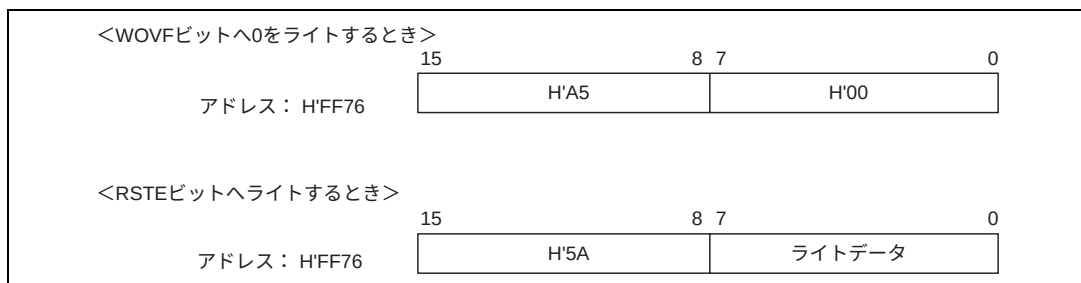


図 12.3 RSTCSR へのライト (WDT0 の例)

(3) TCNT、TCSR、RSTCSR からのリード (WDT0 の例)

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FF74 に、TCNT はアドレス H'FF75 に、RSTCSR はアドレス H'FF77 にそれぞれ割り当てられています。

12.3 動作説明

12.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用するときには、TCSR の $\overline{WT}/\overline{IT}$ ビットと TME ビットの両方を 1 に設定してください。また、TCNT がオーバーフローする前に必ず TCNT の値を書き換えて（通常は H'00 を書き込む）、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバーフローが発生しませんが、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、WDT0 の場合 RSTCSR の RSTE ビットを 1 にセットしておくで、本 LSI の内部をリセットする信号が発生します。これを図 12.4 (a) に示します。内部リセット信号は、518 ステートの間出力されます。

$\overline{RES}$ 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 $\overline{RES}$ 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

WDT1 の場合、516 システムクロック (516φ) の間、LSI をリセットするか、または NMI 割り込み要求が発生します。（クロックソースを φSUB (PSS=1) とした場合、515 または 516 ステート）これを図 12.4 (b) に示します。

ウォッチドッグタイマからの NMI 割り込み要求と、NMI 端子からの割り込み要求は、同一ベクタで処理されます。ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求を同時に扱うことは避けてください。

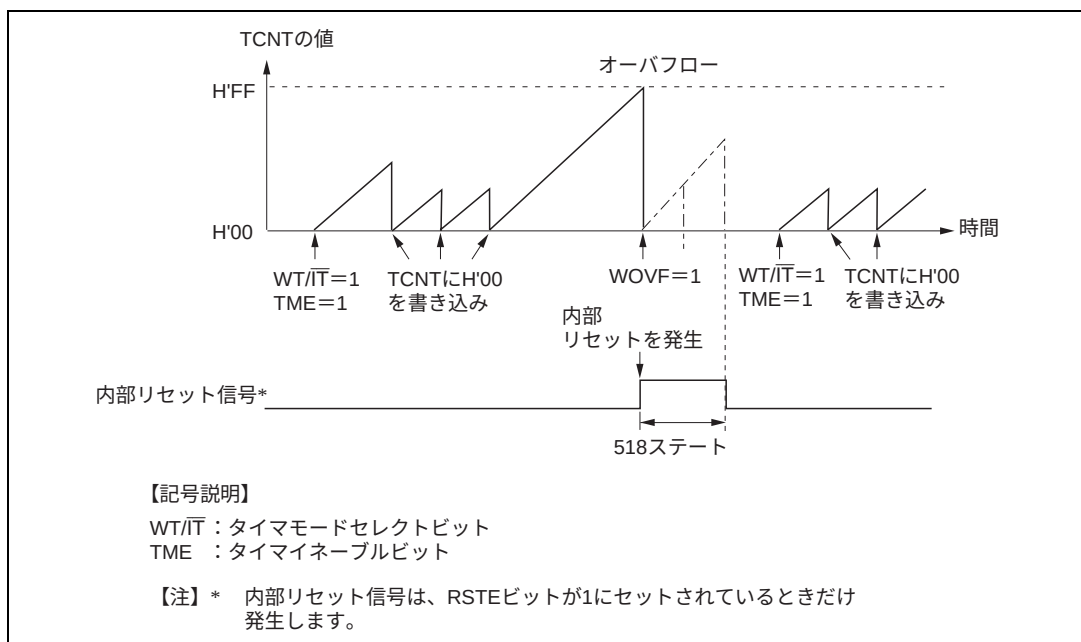


図 12.4 (a) WDT0 のウォッチドッグタイマモード時の動作

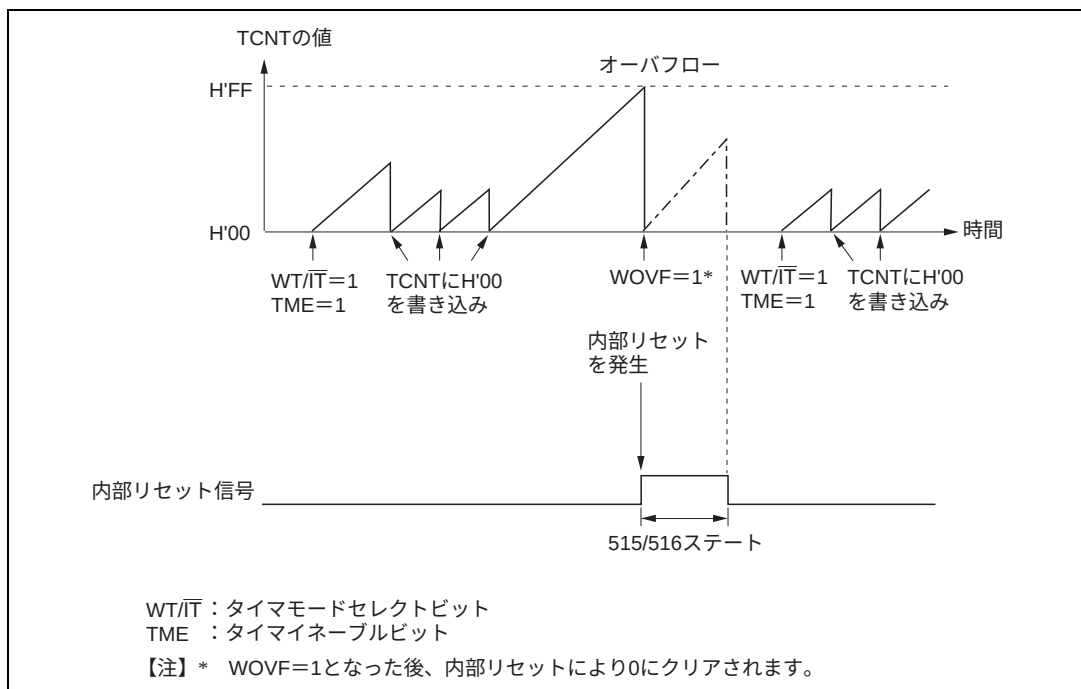


図 12.4 (b) WDT1 のウォッチドッグタイマモード時の動作

12.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するときは、TCSR の $WT/\overline{IT}$ ビットを 0 に、TME ビットを 1 に設定してください。インターバルタイマとして動作しているときは、図 12.5 に示すように、TCNT がオーバーフローするごとにインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

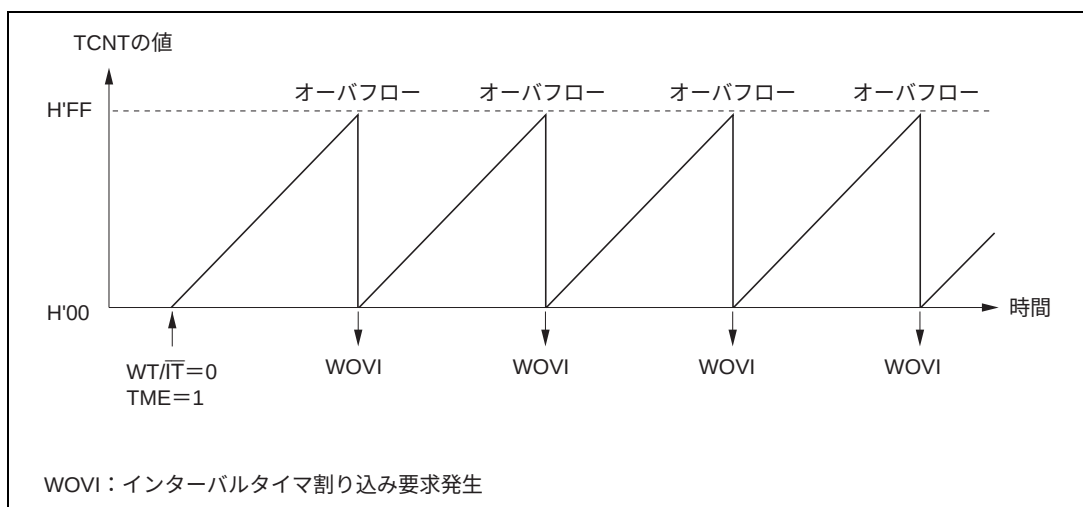


図 12.5 インターバルタイマモード時の動作

12.3.3 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。このタイミングを図 12.6 に示します。

WDT1 では、ウォッチドッグタイマモードで NMI 要求を選択した場合、TCNT がオーバーフローすると TCSR の OVF ビットが 1 にセットされ、同時に NMI 割り込みが要求されます。

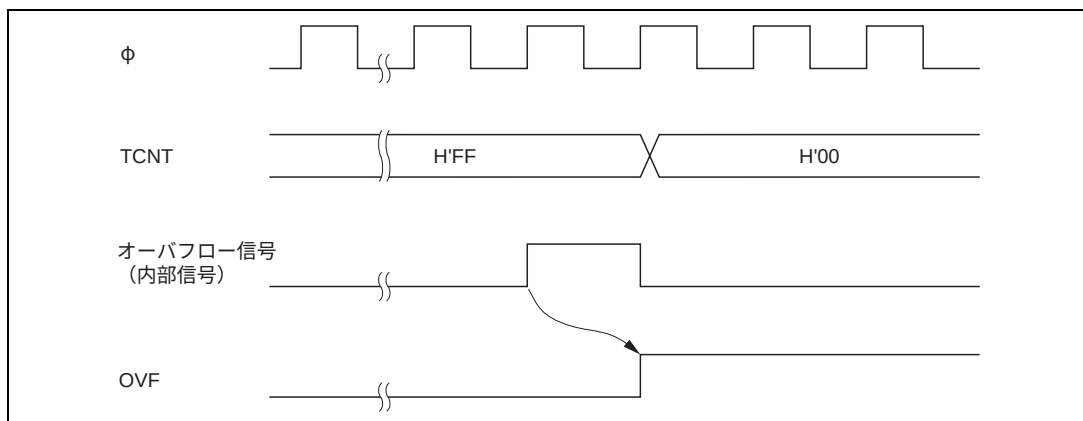


図 12.6 OVF のセットタイミング

12.3.4 ウォッチドッグタイマオーバーフローフラグ (WOVF) のセットタイミング

WDT0 の場合、ウォッチドッグタイマモードで TCNT がオーバーフローすると、RSTCSR の WOVF ビットが 1 にセットされます。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバーフローしたとき、本 LSI 全体に対して内部リセット信号を発生します。これらのタイミングを図 12.7 に示します。

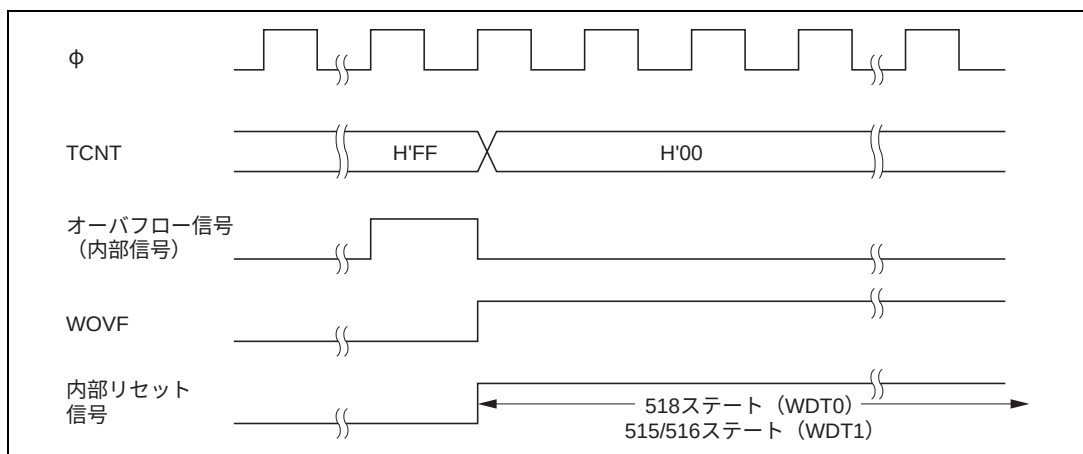


図 12.7 WOVF のセットタイミング

12.4 割り込み

インターバルタイマモード時、オーバフローによりインターバルタイマ割り込み (WOVI) を発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

ウォッチドッグタイマモードで、NMI 割り込み要求を選択したとき、オーバフローにより NMI 割り込み要求が発生します。

12.5 使用上の注意

12.5.1 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 12.8 に示します。

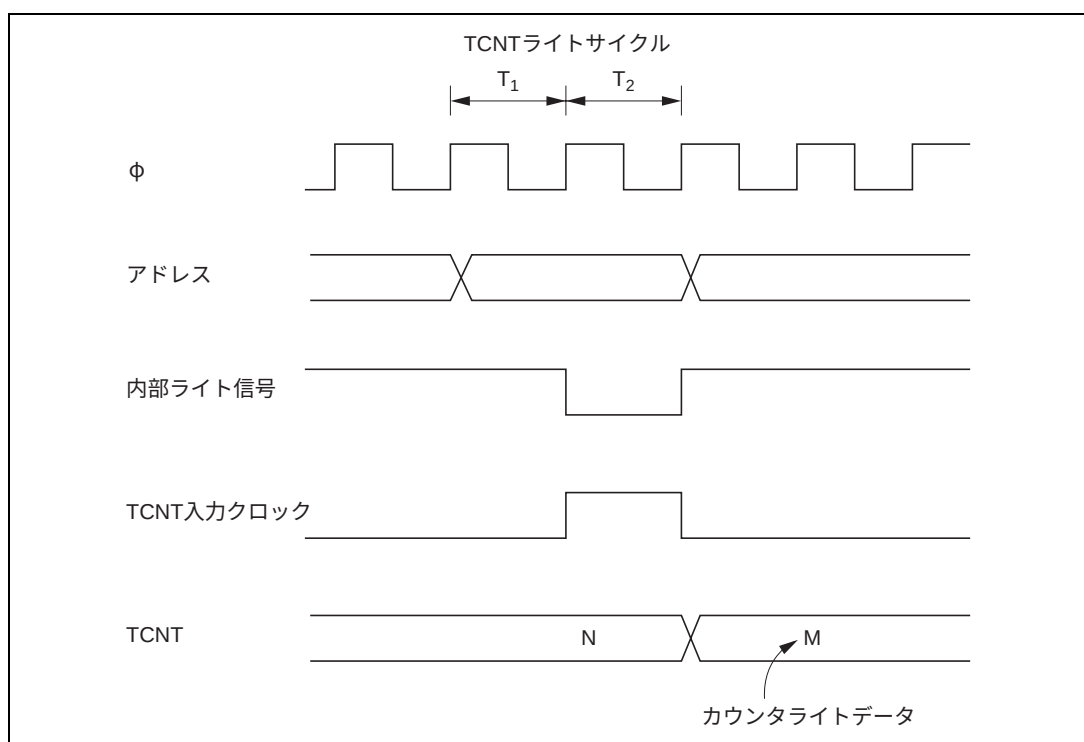


図 12.8 TCNT のライトとカウントアップの競合

12.5.2 PSS、CKS2～CKS0 ビットの書き換え

WDT の動作中に TCSR の PSS、CKS2～CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。PSS、CKS2～CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

12.5.3 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

12.5.4 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバフローしても本 LSI 内部をリセットしません。ウォッチドッグタイマとして使用する場合は、RSTE ビットを 1 にして使用してください。

12.5.5 インターバルタイマモードでの OVF フラグのクリア

インターバルタイマモード時に、OVF フラグのセットと OVF フラグのリードが競合した場合、OVF =1 の状態をリードしたにもかかわらず、OVF に 0 をライトしてもフラグがクリアされないことがあります。インターバルタイマ割り込みを禁止して、OVF フラグをポーリングする場合など、OVF フラグのセットとリードが競合する可能性がある場合は、フラグをクリアする際に、少なくとも OVF =1 の状態を 2 回以上リードしてから OVF に 0 をライトしてください。

13. シリアルコミュニケーションインタフェース (SCI)

13.1 概要

本 LSI は、独立した 2 または 3 チャンネル*のシリアルコミュニケーションインタフェース (SCI: Serial Communication Interface) を備えています。SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。

【注】* H8S/2646、H8S/2646R、H8S/2645 は 2 チャンネル、H8S/2648、H8S/2648R、H8S/2647 は 3 チャンネル

13.1.1 特長

SCI の特長を以下に示します。

■シリアル通信モードを調歩同期式モード／クロック同期式モードから選択可能

(a) 調歩同期式モード

- キャラクタ単位で同期をとる調歩同期式方式でシリアルデータの通信実行
- Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能
- 複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能
- シリアルデータ通信フォーマットを 12 種類のフォーマットから選択可能
データ長 : 7ビット／8ビット
ストップビット長 : 1ビット／2ビット
パリティ : 偶数パリティ／奇数パリティ／パリティなし
マルチプロセッサビット : 1／0
- 受信エラーの検出: パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出: フレーミングエラー発生時に RxD 端子のレベルを直接リードすることによりブレークを検出可能

(b) クロック同期式モード

- クロックに同期してシリアルデータ通信を実行
クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能
- シリアルデータ通信フォーマットは 1 種類
データ長: 8ビット
- 受信エラーの検出: オーバランエラーを検出

■全二重通信が可能

- 独立した送信部と受信部を備えているので、送信と受信を同時に実行可能
- 送信部および受信部ともにダブルバッファ構造になっているのでシリアルデータの連続送信、連続受信が可能

■LSB ファースト方式／MSB ファースト方式の選択が可能

- 通信モードによらず（調歩同期モード7ビットデータの場合を除く）選択可能*

【注】* 本章では LSB ファースト方式の例を説明しています。

■内蔵ボーレートジェネレータにより任意のビットレートを選択可能

■送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能

■4 種類の割り込み要因

- 送信データエンプティ、送信終了、受信データフル、受信エラーの 4 種類の割り込み要因があり、それぞれ独立に要求可能
- 送信データエンプティ割り込みと受信データフル割り込みにより、データトランスファコントローラ (DTC) を起動させてデータ転送を実行可能

■モジュールストップモードの設定

- 初期値では SCI の動作は停止。モジュールストップモードを解除することによりレジスタのアクセスが可能

13.1.2 ブロック図

図 13.1 に SCI のブロック図を示します。

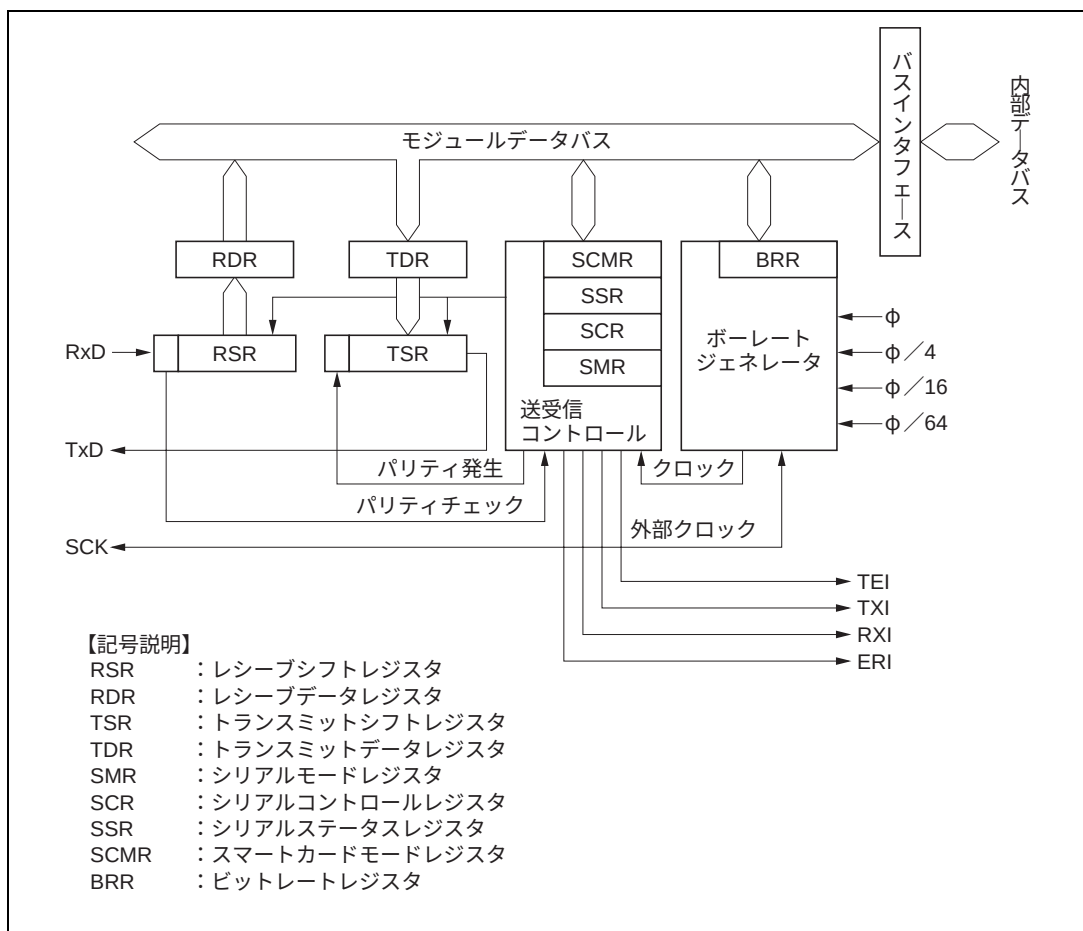


図 13.1 SCI のブロック図

13.1.3 端子構成

SCI は、表 13.1 に示すシリアル端子を持っています。

表 13.1 端子構成

チャネル	名 称	記号	入出力	機 能
0	シリアルクロック端子 0	SCK0	入出力	SCI0 のクロック入出力
	レシーブデータ端子 0	RxD0	入力	SCI0 の受信データ入力
	トランスミットデータ端子 0	TxD0	出力	SCI0 の送信データ出力
1	シリアルクロック端子 1	SCK1	入出力	SCI1 のクロック入出力
	レシーブデータ端子 1	RxD1	入力	SCI1 の受信データ入力
	トランスミットデータ端子 1	TxD1	出力	SCI1 の送信データ出力
2*	シリアルクロック端子 2	SCK2	入出力	SCI2 のクロック入出力
	レシーブデータ端子 2	RxD2	入力	SCI2 の受信データ入力
	トランスミットデータ端子 2	TxD2	出力	SCI2 の送信データ出力

【注】本文中ではチャネルを省略し、それぞれ SCK、RxD、TxD と略称します。

* H8S/2648、H8S/2648R、H8S/2647 のみ有効。

13.1.4 レジスタ構成

SCI には、表 13.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード／クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部／受信部の制御を行うことができます。

表 13.2 レジスタ構成

チャネル	名 称	略称	R/W	初期値	アドレス* ¹
0	シリアルモードレジスタ 0	SMR0	R/W	H'00	H'FF78
	ビットレートレジスタ 0	BRR0	R/W	H'FF	H'FF79
	シリアルコントロールレジスタ 0	SCR0	R/W	H'00	H'FF7A
	トランスミットデータレジスタ 0	TDR0	R/W	H'FF	H'FF7B
	シリアルステータスレジスタ 0	SSR0	R/(W)*	H'84	H'FF7C
	レシーブデータレジスタ 0	RDR0	R	H'00	H'FF7D
	スマートカードモードレジスタ 0	SCMR0	R/W	H'F2	H'FF7E
1	シリアルモードレジスタ 1	SMR1	R/W	H'00	H'FF80
	ビットレートレジスタ 1	BRR1	R/W	H'FF	H'FF81
	シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'FF82
	トランスミットデータレジスタ 1	TDR1	R/W	H'FF	H'FF83
	シリアルステータスレジスタ 1	SSR1	R/(W)*	H'84	H'FF84
	レシーブデータレジスタ 1	RDR1	R	H'00	H'FF85
	スマートカードモードレジスタ 1	SCMR1	R/W	H'F2	H'FF86

チャンネル	名 称	略称	R/W	初期値	アドレス* ¹
2 (H8S/2648、 H8S/2648R、 H8S/2647)	シリアルモードレジスタ 2	SMR2	R/W	H'00	H'FF88
	ビットレートレジスタ 2	BRR2	R/W	H'FF	H'FF89
	シリアルコントロールレジスタ 2	SCR2	R/W	H'00	H'FF8A
	トランスミットデータレジスタ 2	TDR2	R/W	H'FF	H'FF8B
	シリアルステータスレジスタ 2	SSR2	R/(W)* ²	H'84	H'FF8C
	レシーブデータレジスタ 2	RDR2	R	H'00	H'FF8D
	スマートカードモードレジスタ 2	SCMR2	R/W	H'F2	H'FF8E
共通	モジュールストップ コントロールレジスタ B	MSTPCRB	R/W	H'FF	H'FDE9

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

13.2 各レジスタの説明

13.2.1 レシーブシフトレジスタ (RSR)

ビット :	7	6	5	4	3	2	1	0
R/W :	—	—	—	—	—	—	—	—

RSR は、シリアルデータを受信するためのレジスタです。

SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から RSR を直接リード/ライトすることはできません。

13.2.2 レシーブデータレジスタ (RDR)

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

RDR は、受信したシリアルデータを格納するレジスタです。

SCI は、1 バイトのシリアルデータの受信が終了すると、RSR から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

このように、RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、リード専用レジスタです。CPU からライトすることはできません。

RDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'00 に初期化されます。

13.2.3 トランスミットシフトレジスタ (TSR)

ビット：	7	6	5	4	3	2	1	0
R/W：	—	—	—	—	—	—	—	—

TSR は、シリアルデータを送信するためのレジスタです。

SCI は、TDR から送信データをいったん TSR に転送し、LSB（ビット 0）から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし SSR の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR をリード／ライトすることはできません。

13.2.4 トランスミットデータレジスタ (TDR)

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TDR は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、TSR の空を検出すると、TDR にライトされた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データをライトしておくと、連続シリアル送信ができます。

TDR は、常に CPU によるリード／ライトが可能です。

TDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'FF に初期化されます。

13.2.5 シリアルモードレジスタ (SMR)

ビット：	7	6	5	4	3	2	1	0
	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMR は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR は、常に CPU によるリード／ライトが可能です。

SMR は、リセットまたはハードウェアスタンバイ時に H'00 に初期化されます。

ビット 7：コミュニケーションモード (C/A)

SCI の動作モードを調歩同期式モード／クロック同期式モードのいずれかから選択します。

ビット 7	説 明
C/A	
0	調歩同期式モード (初期値)
1	クロック同期式モード

ビット 6：キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット／8 ビットデータのいずれかから選択します。クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット 6	説 明
CHR	
0	8 ビットデータ (初期値)
1	7 ビットデータ*

【注】 * 7 ビットデータを選択した場合、TDR の MSB (ビット 7) は送信されません。また、LSB ファースト／MSB ファーストの選択はできません。

ビット 5：パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードおよびマルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット 5	説 明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 * PE ビットに 1 をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット 4：パリティモード (O/E)

パリティの付加やチェックを偶数パリティ／奇数パリティのいずれで行うかを選択します。

O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合およびマルチプロセッサフォーマットでは、O/E ビットの指定は無効です。

ビット 4	説 明
O/E	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

- 【注】 *1 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。
- *2 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタを合わせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

ビット 3：ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを 1 ビット／2 ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット 3	説 明
STOP	
0	1 ストップビット：送信時には、送信キャラクタの最後尾に 1 ビットの 1 (ストップビット) を付加して送信します。 (初期値)
1	2 ストップビット：送信時には、送信キャラクタの最後尾に 2 ビットの 1 (ストップビット) を付加して送信します。

なお、受信時には STOP ビットの設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合は、ストップビットとして扱いますが、0 の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット 2：マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PE ビット、および O/E ビットにおけるパリティの設定は無効になります。また、MP ビットの設定は、調歩同期式モードのときのみに有効です。クロック同期式モードでは、MP ビットの設定は無効です。

マルチプロセッサ通信機能については、「13.3.3 マルチプロセッサ通信機能」を参照してください。

ビット 2	説 明
MP	
0	マルチプロセッサ機能の禁止 (初期値)
1	マルチプロセッサフォーマットを選択

ビット 1, 0 : クロックセレクト 1, 0 (CKS1, CKS0)

内蔵ボーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定により、 ϕ 、 $\phi/4$ 、 $\phi/16$ 、 $\phi/64$ の 4 種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「13.2.8 ビットレートレジスタ (BRR)」を参照してください。

ビット 1	ビット 0	説 明
CKS1	CKS0	
0	0	ϕ クロック (初期値)
	1	$\phi/4$ クロック
1	0	$\phi/16$ クロック
	1	$\phi/64$ クロック

13.2.6 シリアルコントロールレジスタ (SCR)

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR は、SCI の送信／受信動作、調歩同期モードでのシリアルクロック出力、割り込み要求の許可または禁止、および送信／受信クロックソースの選択を行うレジスタです。

SCR は、常に CPU によるリード／ライトが可能です。

SCR は、リセットまたはハードウェアスタンバイ時に H'00 に初期化されます。

ビット 7 : トランスミットインタラプトイネーブル (TIE)

TDR から TSR ヘシリアル送信データが転送され SSR の TDRE フラグが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可または禁止します。

ビット 7	説 明
TIE	
0	送信データエンプティ割り込み (TXI) 要求の禁止* (初期値)
1	送信データエンプティ割り込み (TXI) 要求の許可

【注】 * TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。

ビット 6：レシーブインタラプトイネーブル (RIE)

シリアル受信データが RSR から RDR へ転送されて SSR の RDRF フラグが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可または禁止します。

ビット 6	説 明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 * RXI、および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。

ビット 5：トランスミットイネーブル (TE)

SCI のシリアル送信動作の開始を許可または禁止します。

ビット 5	説 明
TE	
0	送信動作を禁止* ¹ (初期値)
1	送信動作を許可* ²

【注】 *¹ SSR の TDRE フラグは 1 に固定されます。

*² この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。
なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。

ビット 4：レシーブイネーブル (RE)

SCI のシリアル受信動作の開始を許可または禁止します。

ビット 4	説 明
RE	
0	受信動作を禁止* ¹ (初期値)
1	受信動作を許可* ²

【注】 *¹ RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持します。

*² この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。
なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

ビット 3：マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可または禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMR の MP ビットが 1 に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには、MPIE ビットの設定は無効です。

ビット 3	説 明
MPIE	
0	マルチプロセッサ割り込み禁止状態（通常の受信動作をします）（初期値） [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB=1 のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】 * MPB=0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割り込み要求の発生 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。

ビット 2：トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み (TEI) 要求の発生を許可または禁止します。

ビット 2	説 明
TEIE	
0	送信終了割り込み (TEI) 要求を禁止*（初期値）
1	送信終了割り込み (TEI) 要求を許可*

【注】 * TEI の解除は、SSR の TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

ビット 1、0：クロックイネーブル 1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可または禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子を入出力ポートにするか、シリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作 (CKE1=0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1=1) の場合は CKE0 ビットの設定は無効です。また、SMR で SCI の動作モードを決定する前に CKE1、CKE0 の設定を行ってください。

SCI のクロックソースの選択についての詳細は表 13.9 を参照してください。

ビット 1	ビット 0	説 明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック／SCK 端子は入出力ポート* ¹
		クロック同期式モード	内部クロック／SCK 端子は同期クロック出力* ¹
	1	調歩同期式モード	内部クロック／SCK 端子はクロック出力* ²
		クロック同期式モード	内部クロック／SCK 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック／SCK 端子はクロック入力* ³
		クロック同期式モード	外部クロック／SCK 端子は同期クロック入力
	1	調歩同期式モード	外部クロック／SCK 端子はクロック入力* ³
		クロック同期式モード	外部クロック／SCK 端子は同期クロック入力

【注】 *¹ 初期値*² ビットレートと同じ周波数のクロックを出力*³ ビットレートの 16 倍の周波数のクロックを入力

13.2.7 シリアルステータスレジスタ (SSR)

ビット：	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値：	1	0	0	0	0	1	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

SCI の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した 8 ビットのレジスタです。

SSR は常に CPU からリード／ライトできます。ただし、TDRE、RDRF、ORER、PER、FER の各フラグへ 1 をライトすることはできません。また、これらを 0 にクリアするためには、あらかじめ 1 をリードしておく必要があります。また、TEND フラグおよび MPB フラグはリード専用であり、ライトすることはできません。

SSR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に H'84 に初期化されます。

ビット 7：トランスミットデータレジスタエンブティ (TDRE)

TDR から TSR にデータ転送が行われ、TDR に次のシリアル送信データをライトすることが可能になったことを示します。

ビット 7	説 明
TDRE	
0	[クリア条件] (1) TDRE=1 の状態をリードした後、0 をライトしたとき (2) TXI 割り込み要求により DTC で TDR ヘデータをライトしたとき
1	[セット条件] (初期値) (1) SCR の TE ビットが 0 のとき (2) TDR から TSR にデータ転送が行われ、TDR にデータライトが可能になったとき

ビット 6：レシーブデータレジスタフル (RDRF)

受信したデータが RDR に格納されていることを示します。

ビット 6	説 明
RDRF	
0	[クリア条件] (初期値) (1) RDRF=1 の状態をリードした後、0 をライトしたとき (2) RXI 割り込み要求によって DTC が起動され、DTC で RDR のデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、および SCR の RE ビットを 0 にクリアしたときには RDR および RDRF フラグは影響を受けず以前の状態を保持します。

RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。

ビット 5：オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット 5	説 明
ORER	
0	[クリア条件] (初期値) * ¹ ORER=1 の状態をリードした後、0 をライトしたとき
1	[セット条件] RDRF=1 の状態で次のシリアル受信を完了したとき* ²

【注】 *¹ SCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

*² RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。

ビット 4：フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット 4	説 明
FER	
0	[クリア条件] (初期値) * ¹ FER=1 の状態をリードした後、0 をライトしたとき
1	[セット条件] SCI が受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき* ²

- 【注】 *¹ SCR の RE ビットを 0 にクリアしたときには、FER フラグは影響を受けず以前の状態を保持します。
 *² 2 ストップビットモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックをしません。なお、フレーミングエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが 1 にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。

ビット 3：パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット 3	説 明
PER	
0	[クリア条件] (初期値) * ¹ PER=1 の状態をリードした後、0 をライトしたとき
1	[セット条件] 受信時の受信データとパリティビットを合わせた 1 の数が、SMR の O/E ビットで指定した偶数パリティ／奇数パリティの設定と一致しなかったとき* ²

- 【注】 *¹ SCR の RE ビットを 0 にクリアしたときには、PER フラグは影響を受けず以前の状態を保持します。
 *² パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

ビット 2：トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時に TDR に有効なデータがなく、送信を終了したことを示します。

TEND フラグはリード専用です。ライトは無効です。

ビット 2	説 明
TEND	
0	[クリア条件] (1) TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき (2) TXI 割り込み要求によって DTC が起動され、DTC で TDR ヘデータをライトしたとき
1	[セット条件] (初期値) (1) SCR の TE ビットが 0 のとき (2) 1 バイトのシリアル送信キャラクタの最後尾ビットの送信時に TDRE=1 であったとき

ビット 1：マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、リード専用です。ライトは無効です。

ビット 1	説 明
MPB	
0	[クリア条件] (初期値) * マルチプロセッサビットが 0 のデータを受信したとき
1	[セット条件] マルチプロセッサビットが 1 のデータを受信したとき

【注】 * マルチプロセッサフォーマットで SCR の RE ビットを 0 にクリアしたときには、以前の状態を保持します。

ビット 0：マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

マルチプロセッサフォーマットでないとき、あるいは送信でないとき、およびクロック同期式モードには MPBT ビットの設定は無効です。

ビット 0	説 明
MPBT	
0	マルチプロセッサビットが 0 のデータを送信 (初期値)
1	マルチプロセッサビットが 1 のデータを送信

13.2.8 ビットレートレジスタ (BRR)

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRR は、SMR の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信／受信のビットレートを設定する 8 ビットのレジスタです。

BRR は、常に CPU によるリード／ライトが可能です。

BRR は、リセットまたはハードウェアスタンバイモードでは、H'FF に初期化されます。

なお、チャンネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表 13.3 に調歩同期式モードの BRR の設定例を、表 13.4 にクロック同期式モードの BRR の設定例を示します。

表 13.3 ビットレートに対する BRR の設定例 (調歩同期式モード)

ビットレート (bit/s)	動作周波数 ϕ (MHz)								
	4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	207	0.16	1	255	0.00	2	64	0.16
300	1	103	0.16	1	127	0.00	1	129	0.16
600	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	12	0.16	0	15	0.00	0	15	1.73
19200	—	—	—	0	7	0.00	0	7	1.73
31250	0	3	0.00	0	4	-1.70	0	4	0.00
38400	—	—	—	0	3	0.00	0	3	1.73

ビットレート (bit/s)	動作周波数 ϕ (MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	-0.44	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	-2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	-2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	—	—	—	0	7	0.00
38400	0	4	-2.34	0	4	0.00	0	5	0.00	—	—	—

ビットレート (bit/s)	動作周波数 ϕ (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビットレート (bit/s)	動作周波数 ϕ (MHz)											
	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	-0.93	0	47	0.00	0	51	0.16	0	55	0.00
19200	0	22	-0.93	0	23	0.00	0	25	0.16	0	27	0.00
31250	0	13	0.00	0	14	-1.70	0	15	0.00	0	16	1.20
38400	—	—	—	0	11	0.00	0	12	0.16	0	13	0.00

ビットレート (bit/s)	動作周波数 ϕ (MHz)								
	18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	-0.12	3	86	0.31	3	88	-0.25
150	2	233	0.16	2	255	0.00	3	64	0.16
300	2	116	0.16	2	127	0.00	2	129	0.16
600	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	58	-0.69	0	63	0.00	0	64	0.16
19200	0	28	1.02	0	31	0.00	0	32	-1.36
31250	0	17	0.00	0	19	-1.70	0	19	0.00
38400	0	14	-2.34	0	15	0.00	0	15	1.73

表 13.4 ビットレートに対する BRR の設定例 (クロック同期式モード)

ビット レート (bit/s)	動作周波数 ϕ (MHz)									
	4		8		10		16		20	
	n	N	n	N	n	N	n	N	n	N
110	—	—								
250	2	249	3	124	—	—	3	249		
500	2	124	2	249	—	—	3	124	—	—
1k	1	249	2	124	—	—	2	249	—	—
2.5k	1	99	1	199	1	249	2	99	2	124
5k	0	199	1	99	1	124	1	199	1	249
10k	0	99	0	199	0	249	1	99	1	124
25k	0	39	0	79	0	99	0	159	0	199
50k	0	19	0	39	0	49	0	79	0	99
100k	0	9	0	19	0	24	0	39	0	49
250k	0	3	0	7	0	9	0	15	0	19
500k	0	1	0	3	0	4	0	7	0	9
1M	0	0*	0	1			0	3	0	4
2.5M					0	0*			0	1
5M									0	0*

【注】 誤差は、なるべく 1%以内になるように設定してください。

【記号説明】

- 空欄 : 設定できません。
 — : 設定可能ですが誤差がでます。
 * : 連続送信／受信はできません。

BRR の設定値は以下の計算式で求められます。

調歩同期式モード

$$N = \frac{\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

クロック同期式モード

$$N = \frac{\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

ϕ : 動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0~3)

(n とクロックの関係は下表を参照してください。)

n	クロック	SMR の設定値	
		CKS1	CKS0
0	ϕ	0	0
1	$\phi / 4$	0	1
2	$\phi / 16$	1	0
3	$\phi / 64$	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 13.5 に調歩同期式モードの各周波数における最大ビットレートを示します。また、表 13.6、表 13.7 に外部クロック入力時の最大ビットレートを示します。

表 13.5 各周波数における最大ビットレート (調歩同期式モード)

φ (MHz)	最大ビットレート (bit/s)	n	N
4	125000	0	0
4.9152	153600	0	0
5	156250	0	0
6	187500	0	0
6.144	192000	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
19.6608	614400	0	0
20	625000	0	0

表 13.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

φ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
4	1.0000	62500
4.9152	1.2288	76800
5	1.2500	78125
6	1.5000	93750
6.144	1.5360	96000
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
19.6608	4.9152	307200
20	5.0000	312500

表 13.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

φ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3

13.2.9 スマートカードモードレジスタ (SCMR)

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	SDIR	SINV	—	SMIF
初期値 :	1	1	1	1	0	0	1	0
R/W :	—	—	—	—	R/W	R/W	—	R/W

SCMR は、SDIR ビットにより、LSB ファースト／MSB ファーストの選択を行います。調歩同期式モード 7 ビットデータの場合を除き、シリアル通信モードによらず、LSB ファースト／MSB ファーストの選択が可能です。本章の説明では、LSB ファーストの場合について説明しています。

SCMR のその他のビットについての詳細は、「14.2.1 スマートカードモードレジスタ (SCMR)」を参照してください。

SCMR は、リセットまたはハードウェアスタンバイモードでは、H'F2 に初期化されます。

ビット 7～4：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 3：スマートカードデータトランスファディレクション (SDIR)

シリアル／パラレル変換のフォーマットを選択します。

送信／受信フォーマットが 8 ビットデータの場合に有効です。

ビット 3	説明
SDIR	
0	TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 (初期値)
1	TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納

ビット 2：スマートカードデータインバート (SINV)

データのロジックレベルの反転を指定します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットの反転のためには、SMR の O/E ビットを反転する必要があります。

ビット 2	説 明
SINV	
0	TDR の内容をそのまま送信 受信データをそのまま RDR に格納 (初期値)
1	TDR の内容を反転してデータを送信 受信データを反転して RDR に格納

ビット 1：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 0：スマートカードインタフェースモードセレクト (SMIF)

通常の SCI として動作する場合には 0 をライトしてください。

ビット 0	説 明
SMIF	
0	通常の SCI として動作 (スマートカードインタフェース機能を禁止) (初期値)
1	スマートカードインタフェース機能を許可

13.2.10 モジュールストップコントロールレジスタ B (MSTPCRB)

MSTPCRB

ビット：	7	6	5	4	3	2	1	0
	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRB は 8 ビットのリード／ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPB7、MSTPB6 ビットを 1 にセットすると、バスサイクルの終了時点で SCI0、SCI1 はそれぞれ動作を停止してモジュールストップモードに遷移します。詳細は「22.5 モジュールストップモード」を参照してください。

MSTPCRB は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7：モジュールストップ (MSTPB7)

SCI0 のモジュールストップモードを指定します。

ビット 7	説明
MSTPB7	
0	SCI0 のモジュールストップモード解除
1	SCI0 のモジュールストップモード設定 (初期値)

ビット 6：モジュールストップ (MSTPB6)

SCI1 のモジュールストップモードを指定します。

ビット 6	説明
MSTPB6	
0	SCI1 のモジュールストップモード解除
1	SCI1 のモジュールストップモード設定 (初期値)

ビット 5：モジュールストップ (MSTPB5)

SCI2 のモジュールストップモードを指定します。

ビット 5	説明
MSTPB5	
0	SCI2 のモジュールストップモード解除
1	SCI2 のモジュールストップモード設定 (初期値)

【注】 H8S/2648、H8S/2648R、H8S/2647 のみ有効。

13.3 動作説明

13.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、SMR で行います。これを表 13.8 に示します。また、SCI のクロックソースは、SMR の C/A ビットおよび SCR の CKE1、CKE0 ビットの組み合わせで決まります。これを表 13.9 に示します。

(1) 調歩同期式モード

■データ長：7 ビット／8 ビットから選択可能

■パリティの付加、マルチプロセッサビットの付加、および 1 ビット／2 ビットのストップビットの付加を選択可能

(これらの組み合わせにより送信／受信フォーマットおよび、キャラクタ長を決定)

■受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能

■SCI のクロックソース：内部クロック／外部クロックから選択可能

- 内部クロックを選択した場合：
SCI はボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
- 外部クロックを選択した場合：
ビットレートの 16 倍の周波数のクロックを入力することが必要 (内蔵ボーレートジェネレータを使用しない)

(2) クロック同期式モード

■送信／受信フォーマット：8 ビットデータ固定

■受信時にオーバランエラーの検出可能

■SCI のクロックソース：内部クロック／外部クロックから選択可能

- 内部クロックを選択した場合：
SCI はボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
- 外部クロックを選択した場合：
内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

表 13.8 SMR の設定値とシリアル送信／受信フォーマット

SMR の設定値					モード	SCI の送信／受信フォーマット							
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチプロセッサ ビット	パリティ ビット	ストップ ビット長				
C/ $\bar{A}$	CHR	MP	PE	STOP									
0	0	0	0	0	調歩同期式 モード	8 ビット データ	なし	なし	1 ビット				
				1					2 ビット				
			1	0				あり	1 ビット				
				1					2 ビット				
			1	0		7 ビット データ		なし	1 ビット				
									1	2 ビット			
				1				0	あり	1 ビット			
										1	2 ビット		
	0	1	調歩同期式 モード (マルチプロ セッサフォー マット)	8 ビット データ	あり	なし	1 ビット						
							2 ビット						
				1			7 ビット データ	1 ビット					
								2 ビット					
		1		—			0	クロック 同期式 モード	8 ビット データ	なし	なし		
												—	1
												—	0
												—	1
1	—	—	—	—	クロック 同期式 モード	8 ビット データ	なし	なし					

表 13.9 SMR、SCR の設定と SCI のクロックソースの選択

SMR	SCR の設定		モード	SCI の送信／受信クロック	
ビット 7	ビット 1	ビット 0		クロック ソース	SCK 端子の機能
C/ $\bar{A}$	CKE1	CKE0	調歩同期式モード	内部	SCI は、SCK 端子を使用しません ビットレートと同じ周波数のクロックを出力
0	0	0			
		1		外部	ビットレートの 16 倍の周波数のクロックを入力
	1	0			
		1			
1	0	0	クロック同期式モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

13.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信または受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送信/受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 13.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット (Low レベル) から始まりデータ (LSB ファースト: 最下位ビットから)、パリティビット (High/Low レベル)、最後にストップビット (High レベル) の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化します。また SCI は、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

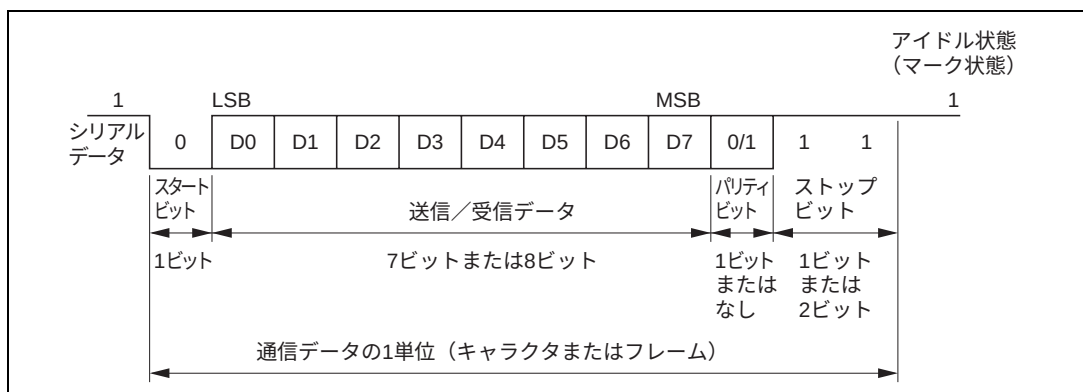


図 13.2 調歩同期式通信のデータフォーマット
(8ビットデータ/パリティあり/2ストップビットの例)

(1) 送信/受信フォーマット

調歩同期式モードで設定できる送信/受信フォーマットを、表 13.10 に示します。

送信/受信フォーマットは12種類あり、SMRの選定により選択できます。

表 13.10 シリアル送信／受信フォーマット（調歩同期式モード）

SMRの設定				シリアル送信／受信フォーマットとフレーム長											
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	0	S	8ビットデータ								STOP		
0	0	0	1	S	8ビットデータ								STOP	STOP	
0	1	0	0	S	8ビットデータ								P	STOP	
0	1	0	1	S	8ビットデータ								P	STOP	STOP
1	0	0	0	S	7ビットデータ							STOP			
1	0	0	1	S	7ビットデータ							STOP	STOP		
1	1	0	0	S	7ビットデータ							P	STOP		
1	1	0	1	S	7ビットデータ							P	STOP	STOP	
0	—	1	0	S	8ビットデータ								MPB	STOP	
0	—	1	1	S	8ビットデータ								MPB	STOP	STOP
1	—	1	0	S	7ビットデータ							MPB	STOP		
1	—	1	1	S	7ビットデータ							MPB	STOP	STOP	

【記号説明】

S : スタートビット
 STOP : ストップビット
 P : パリティビット
 MPB : マルチプロセッサビット

(2) クロック

SCI の送受信クロックは、SMR の $\overline{C/A}$ ビットと SCR の CKE1、CKE0 ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロック、または SCK 端子から入力された外部クロックの 2 種類から選択できます。SCI のクロックソースの選択については表 13.9 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 13.3 に示すように送信データの中央にクロック立ち上がりエッジがくるようになります。

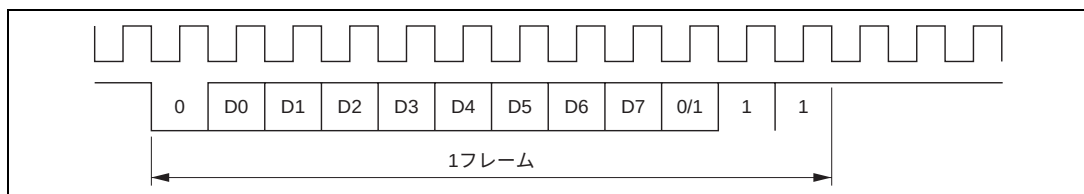


図 13.3 出カクロックと通信データの位相関係（調歩同期式モード）

(3) データの送信／受信動作

(a) SCI の初期化（調歩同期式）

データの送信／受信前には、まず SCR の TE、RE ビットを 0 にクリアした後、以下の順で SCI を初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR が初期化されます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 13.4 に SCI の初期化フローチャートの例を示します。

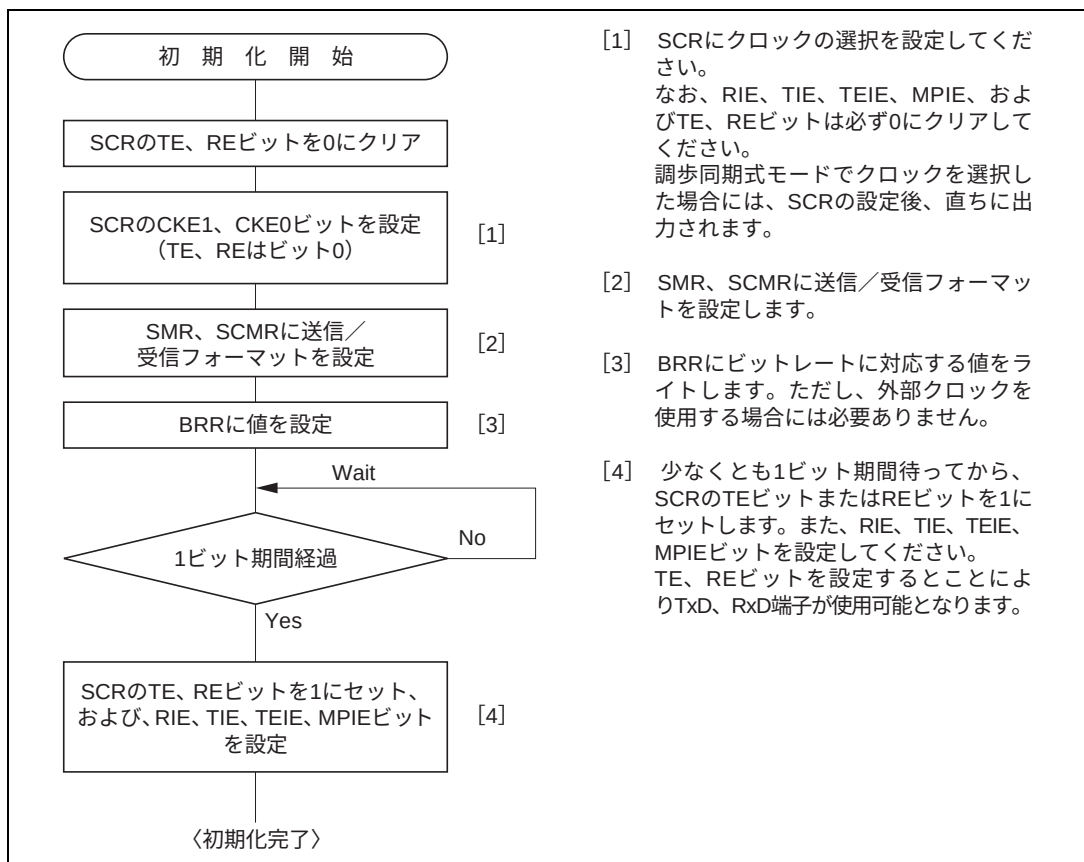


図 13.4 SCI の初期化フローチャートの例

(b) シリアルデータ送信（調歩同期式）

図 13.5 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

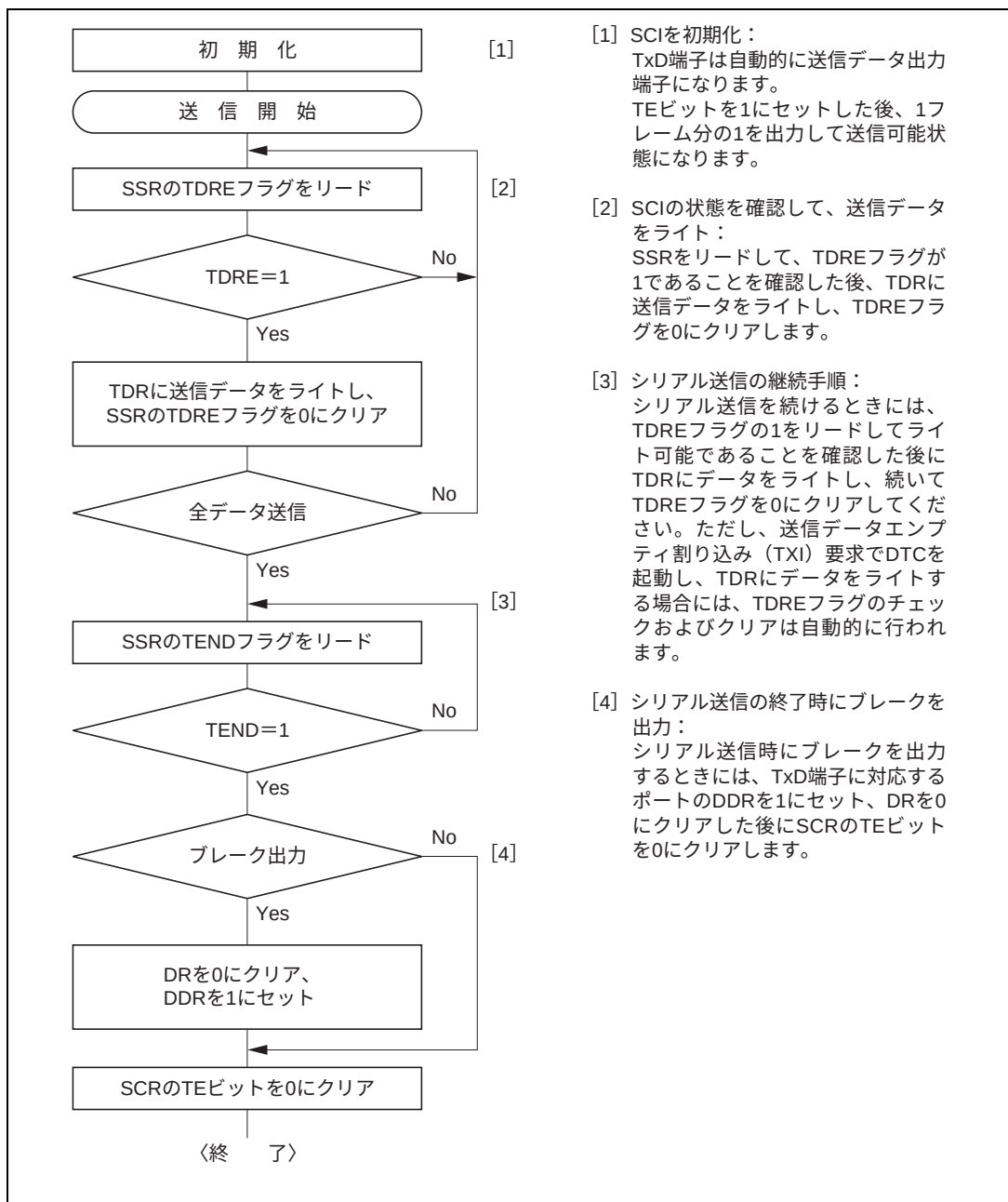


図 13.5 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- [1] SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
- [2] TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求が発生します。
シリアル送信データは、以下の順にTxD端子から送り出されます。
 - [a] スタートビット：
1ビットの0が出力されます。
 - [b] 送信データ：
8ビット、または7ビットのデータがLSBから順に出力されます。
 - [c] パリティビットまたはマルチプロセッサビット：
1ビットのパリティビット (偶数パリティ、または奇数パリティ)、または1ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
 - [d] ストップビット：
1ビットまたは2ビットの1 (ストップビット) が出力されます。
 - [e] マーク状態：
次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- [3] SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。
TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
TDREフラグが1であるとSSRのTENDフラグに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCRのTEIEビットが1にセットされているとTEI割り込み要求が発生します。

調歩同期式モードでの送信時の動作例を図 13.6 に示します。

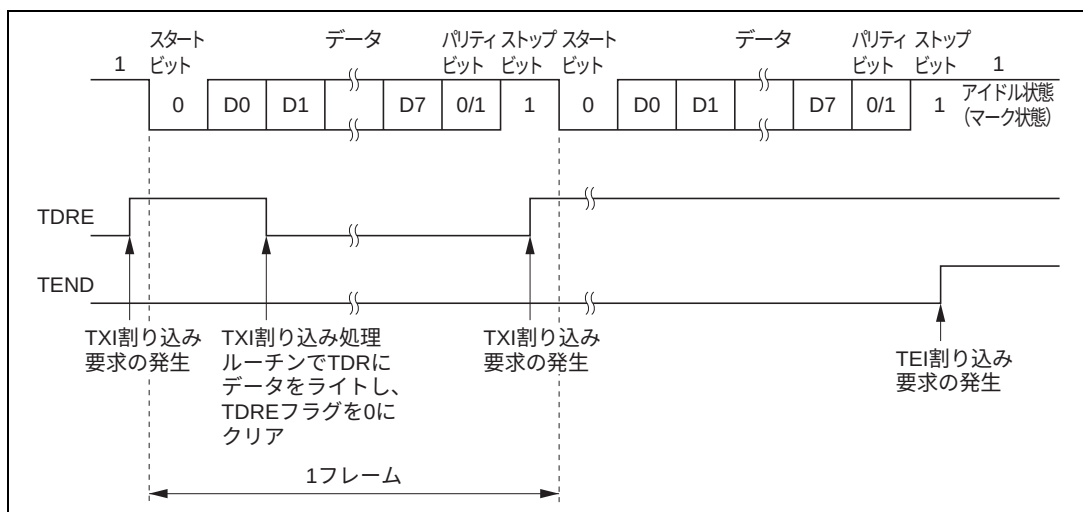


図 13.6 調歩同期式モードでの送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

(c) シリアルデータ受信 (調歩同期式)

図 13.7 にシリアル受信フローチャートの例を示します。
シリアルデータ受信は以下の手順に従って行ってください。

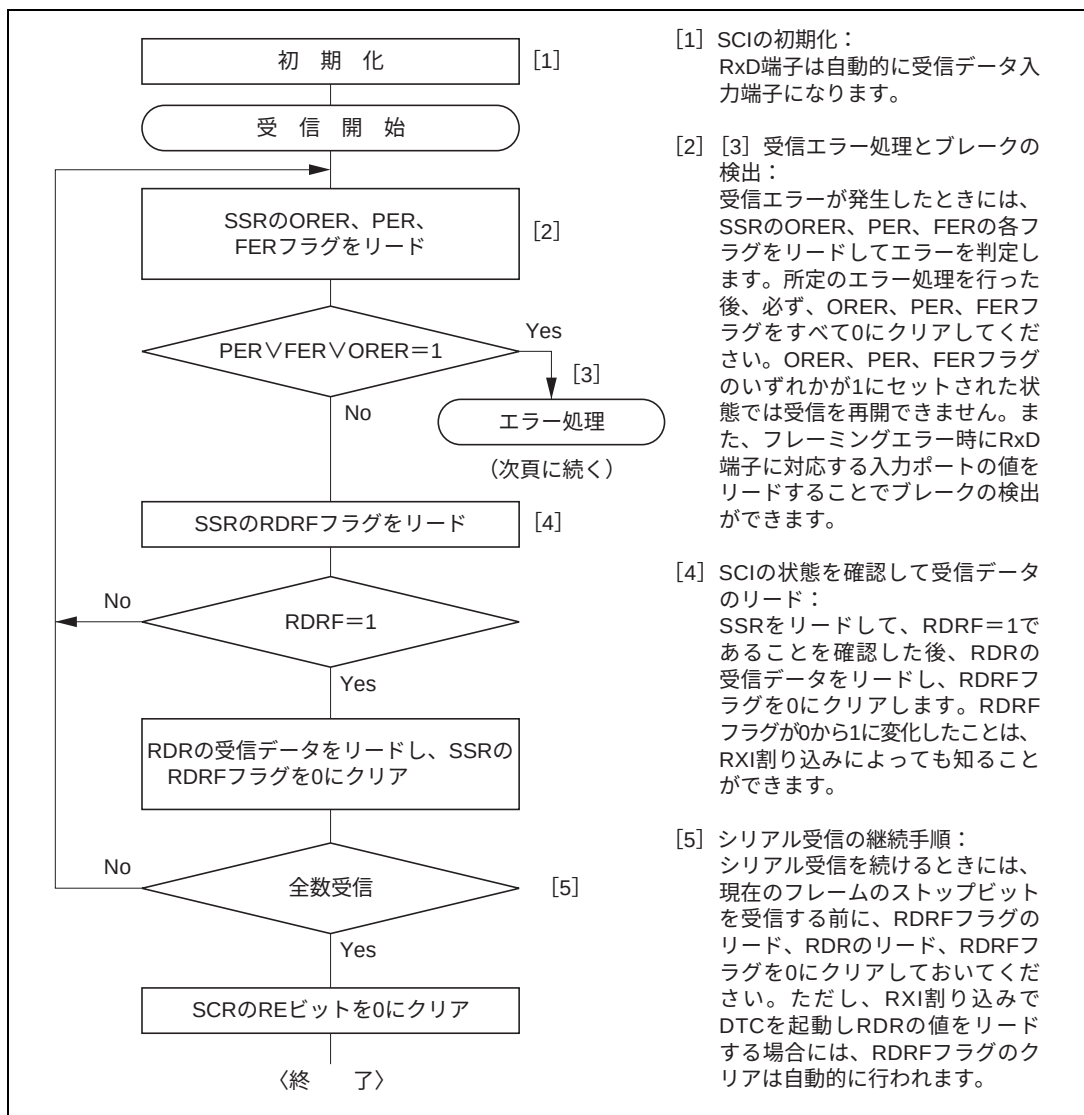


図 13.7 シリアル受信データフローチャートの例 (1)

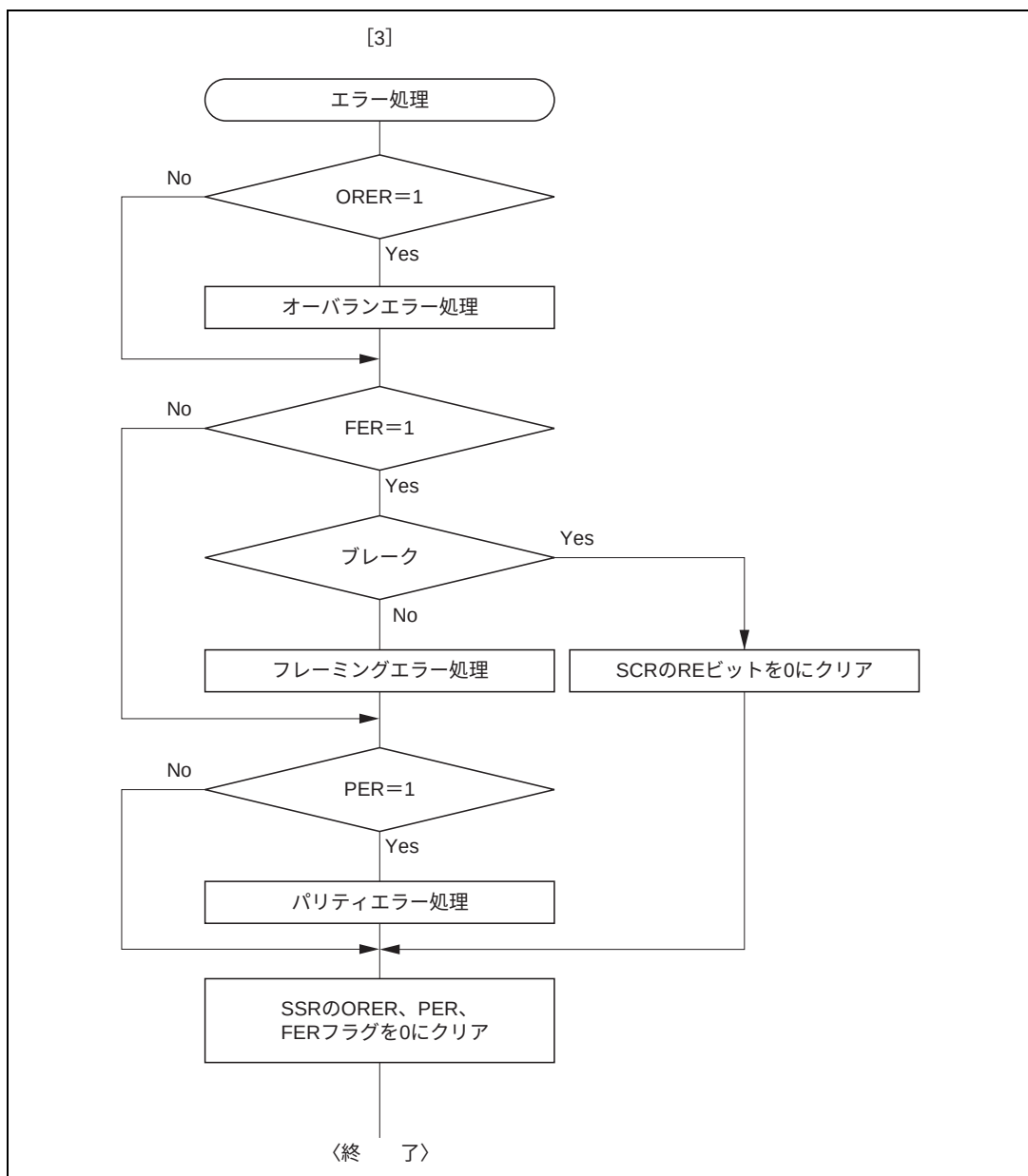


図 13.7 シリアル受信データフローチャートの例 (2)

SCI は受信時に以下のように動作します。

- [1] SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
- [2] 受信したデータをRSRのLSBからMSBの順に格納します。
- [3] パリティビットおよびストップビットを受信します。
受信後、SCIは以下のチェックをします。
 - [a] パリティチェック：
受信データの1の数をチェックし、これがSMRのO/Eビットで設定した偶数／奇数パリティになっているかをチェックします。
 - [b] ストップビットチェック：
ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のみをチェックします。
 - [c] ステータスチェック：
RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

以上のチェックをすべて満足したとき、RDRF フラグが 1 にセットされ、RDR に受信データが格納されます。

エラーチェックで受信エラー*を発生すると表 13.11 のように動作します。

【注】 * 受信エラーが発生した状態では、以後の受信動作ができません。
また、受信時に RDRF フラグが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。

- [4] RDRFフラグが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。
また、ORER、PER、FERフラグのいずれかが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

表 13.11 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SSR の RDRF フラグが 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データが転送されます。
パリティエラー	PER	SMR で設定した偶数／奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されます。

調歩同期式モード受信時の動作例を図 13.8 に示します。

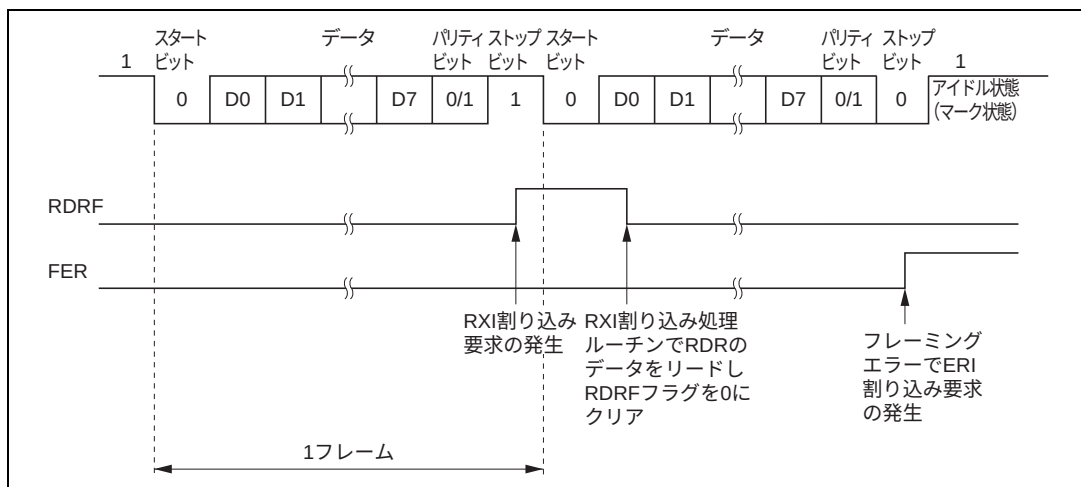


図 13.8 SCI の受信時の動作例
(8 ビットデータ/パリティあり/1 ストップビットの例)

13.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局はおのおの固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルは、マルチプロセッサビットで区別します。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方、一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 13.9 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1) 送信/受信フォーマット

送信/受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 13.10 を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。

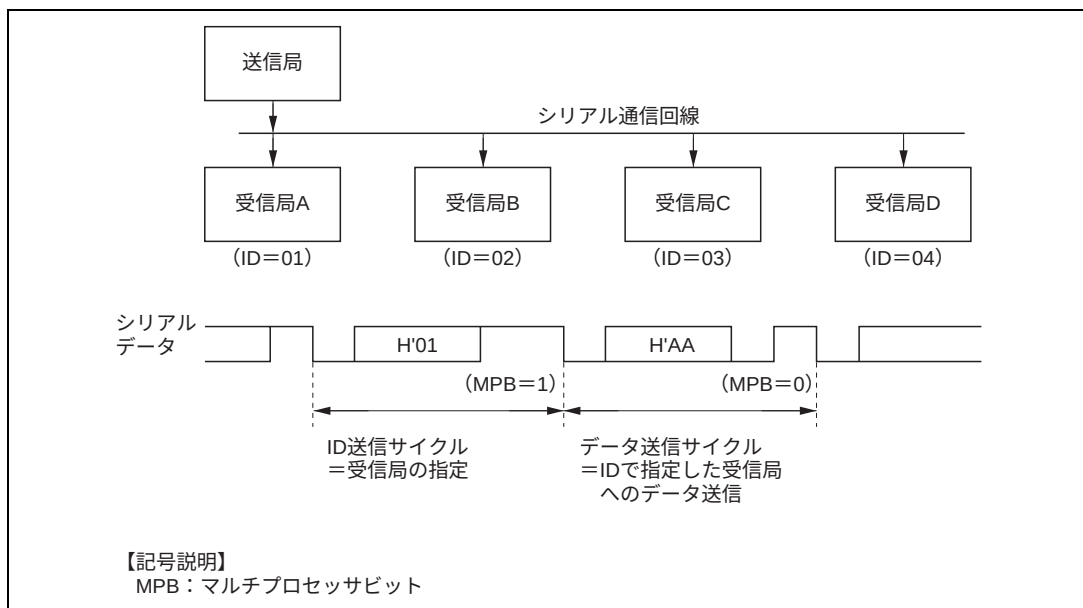


図 13.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(3) データの送信／受信動作

(a) マルチプロセッサシリアルデータ送信

図 13.10 にマルチプロセッサシリアルデータ送信のフローチャートの例を示します。
マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。

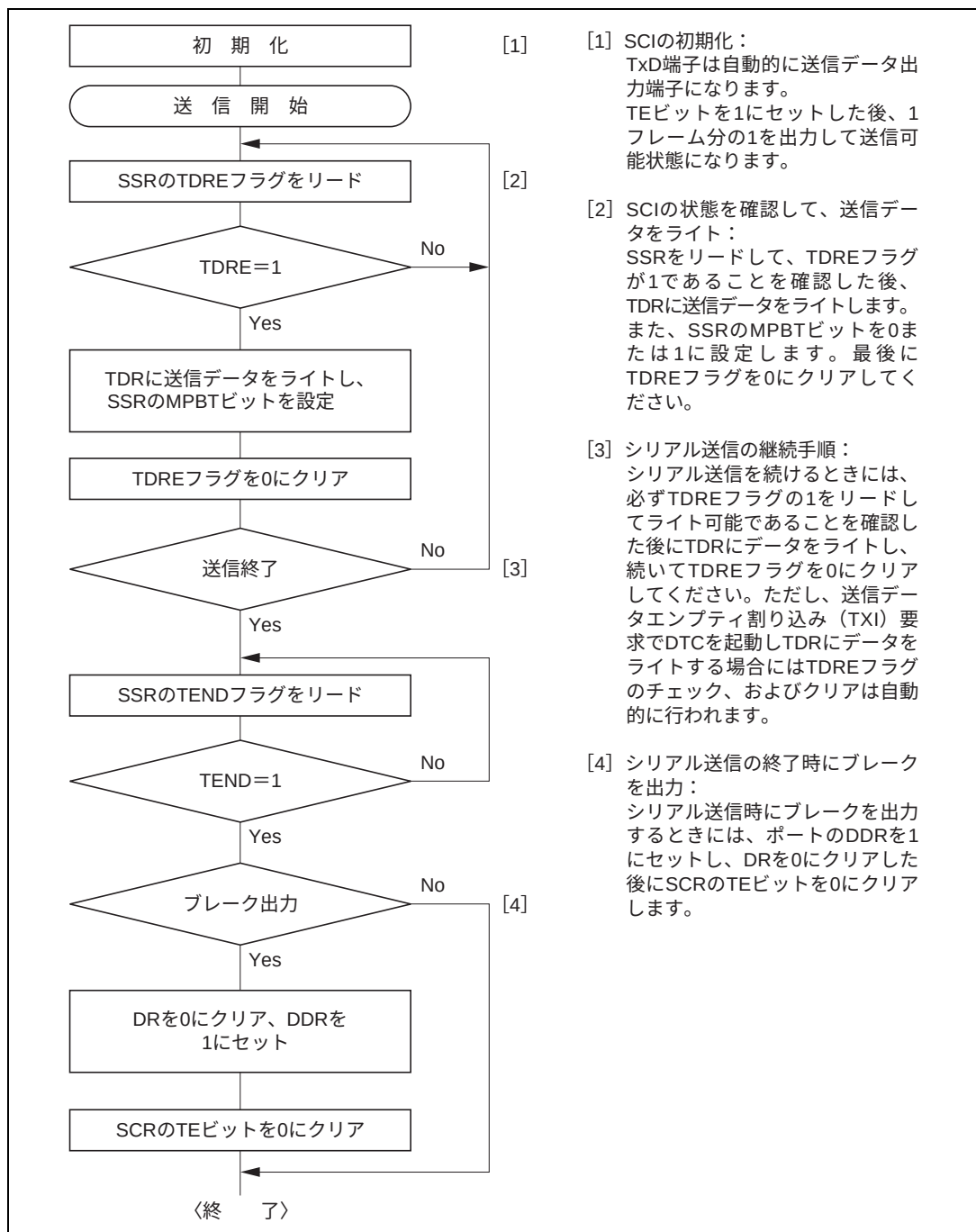


図 13.10 マルチプロセッサシリアル送信のフローチャートの例

SCI は、シリアル送信時に以下のように動作します。

- [1] SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
- [2] TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。
シリアル送信データは、以下の順にTxD端子から送り出されます。
 - [a] スタートビット：
1ビットの0が出力されます。
 - [b] 送信データ：
8ビット／7ビットのデータがLSBから順に出力されます。
 - [c] マルチプロセッサビット：
1ビットのマルチプロセッサビット (MPBTの値) が出力されます。
 - [d] ストップビット：
1ビット／2ビットの1 (ストップビット) が出力されます。
 - [e] マーク状態：
次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- [3] SCIは、ストップビットを送り出すタイミングでTDREフラグをチェックします。
TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。
TDREフラグが1であるとSSRのTENDフラグを1にセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCRのTEIEビットが1にセットされていると送信終了割り込み (TEI) 要求を発生します。

図 13.11 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

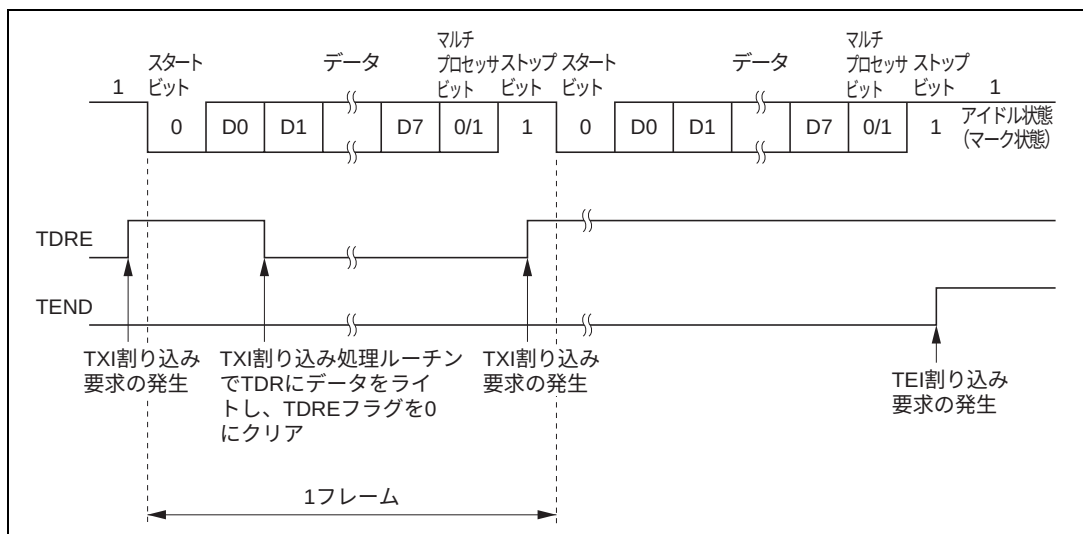


図 13.11 SCI の送信時の動作例
(8 ビットデータ／マルチプロセッサビットあり／1 ストップビットの例)

(b) マルチプロセッサシリアルデータ受信

図 13.12 にマルチプロセッサシリアル受信のフローチャートの例を示します。マルチプロセッサシリアルデータ受信は、以下の手順に従ってください。

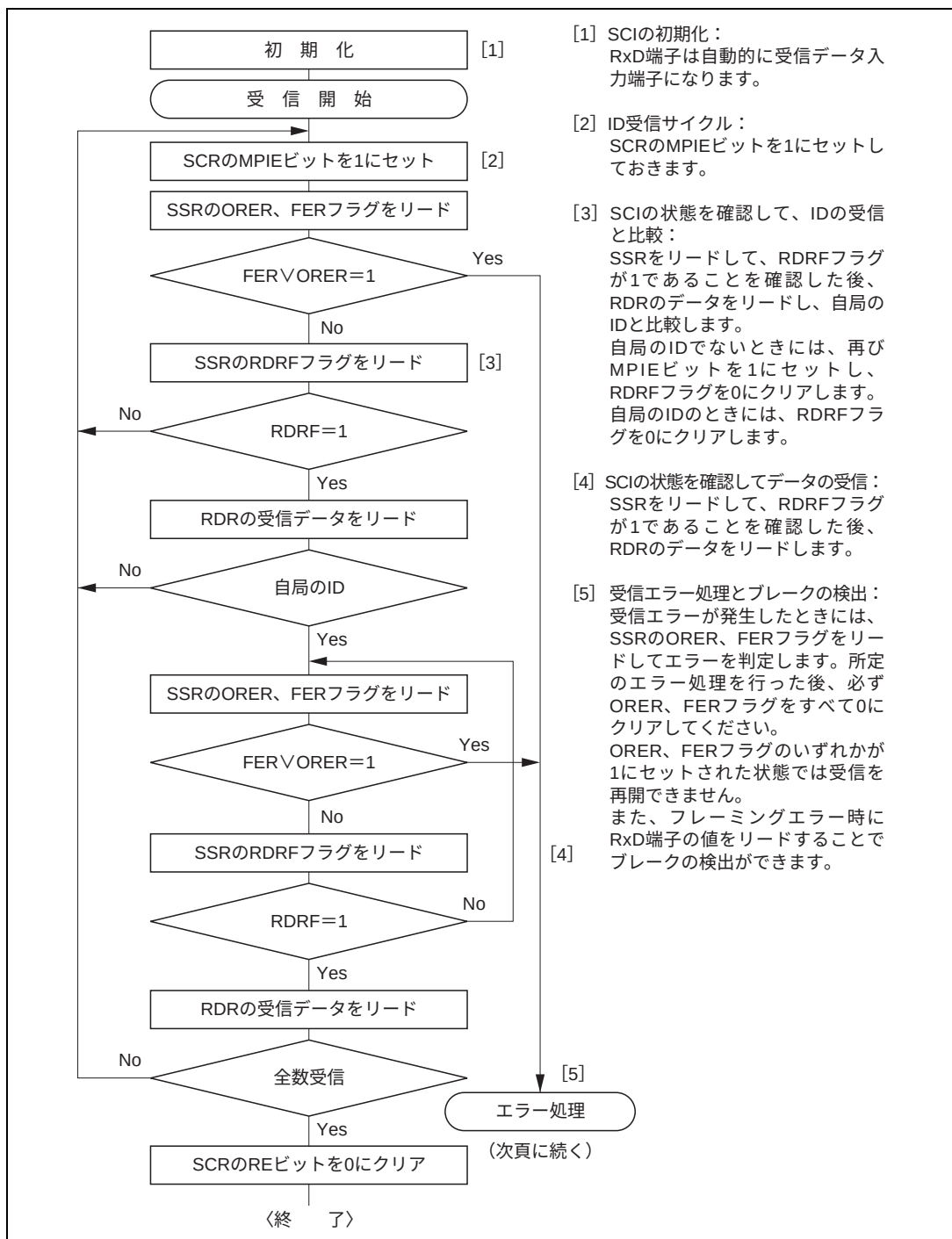


図 13.12 マルチプロセッサシリアル受信のフローチャートの例 (1)

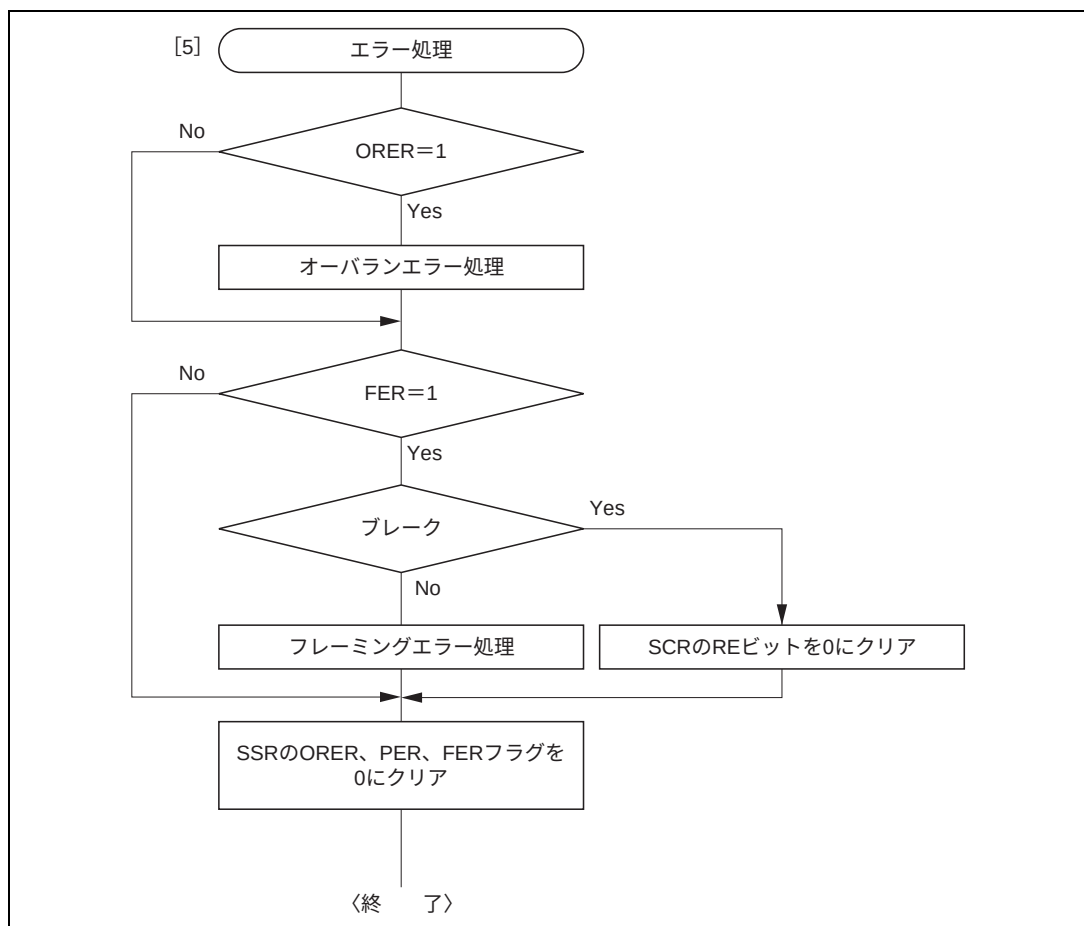
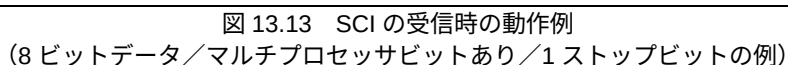


図 13.12 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 13.13 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。



13.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信または受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部がともにダブルバッファ構造になっていますので送信および受信中にデータのリード／ライトができ、連続送信／受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 13.14 に示します。

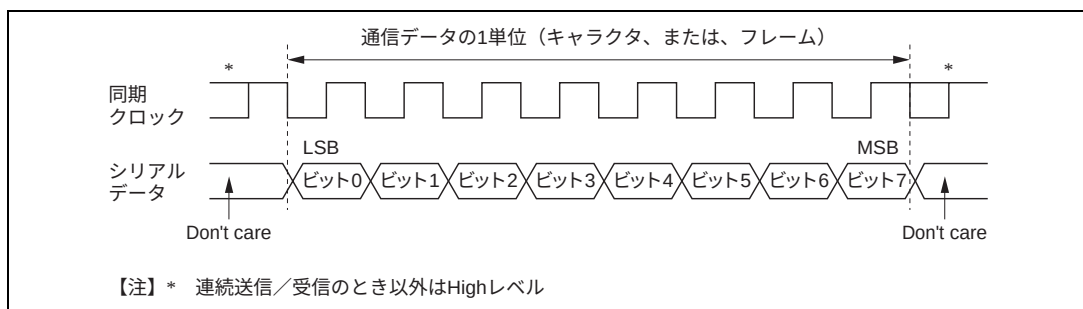


図 13.14 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信／受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRのC/AビットとSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表 13.9 を参照してください。

内部クロックで動作させるとき、SCK端子からは同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信／受信を行わないときにはHighレベルに固定されます。ただし、受信のみの動作のときは、オーバランエラーが発生するか、REビットを0にクリアするまで同期クロックは出力されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

(3) データの送信／受信動作

(a) SCI の初期化 (クロック同期式)

データの送信／受信前には、SCR の TE、RE ビットを 0 にクリアした後、以下の手順に従い SCI を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR が初期化されます。

RE ビットを 0 にクリアしても RDRF、PER、FER、ORER の各フラグ、および RDR の内容は保持されますので注意してください。

図 13.15 に SCI の初期化フローチャートの例を示します。

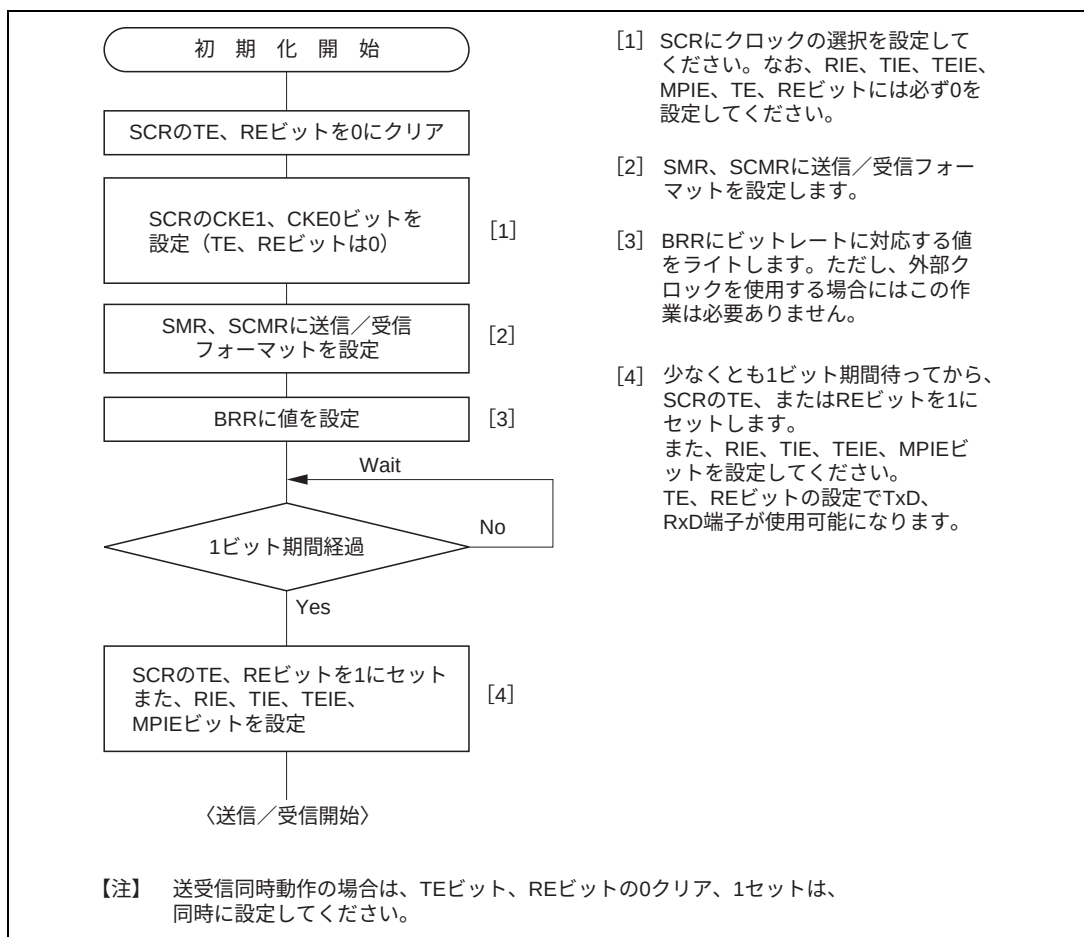


図 13.15 SCI の初期化フローチャートの例

(b) シリアルデータ送信 (クロック同期式)

図 13.16 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

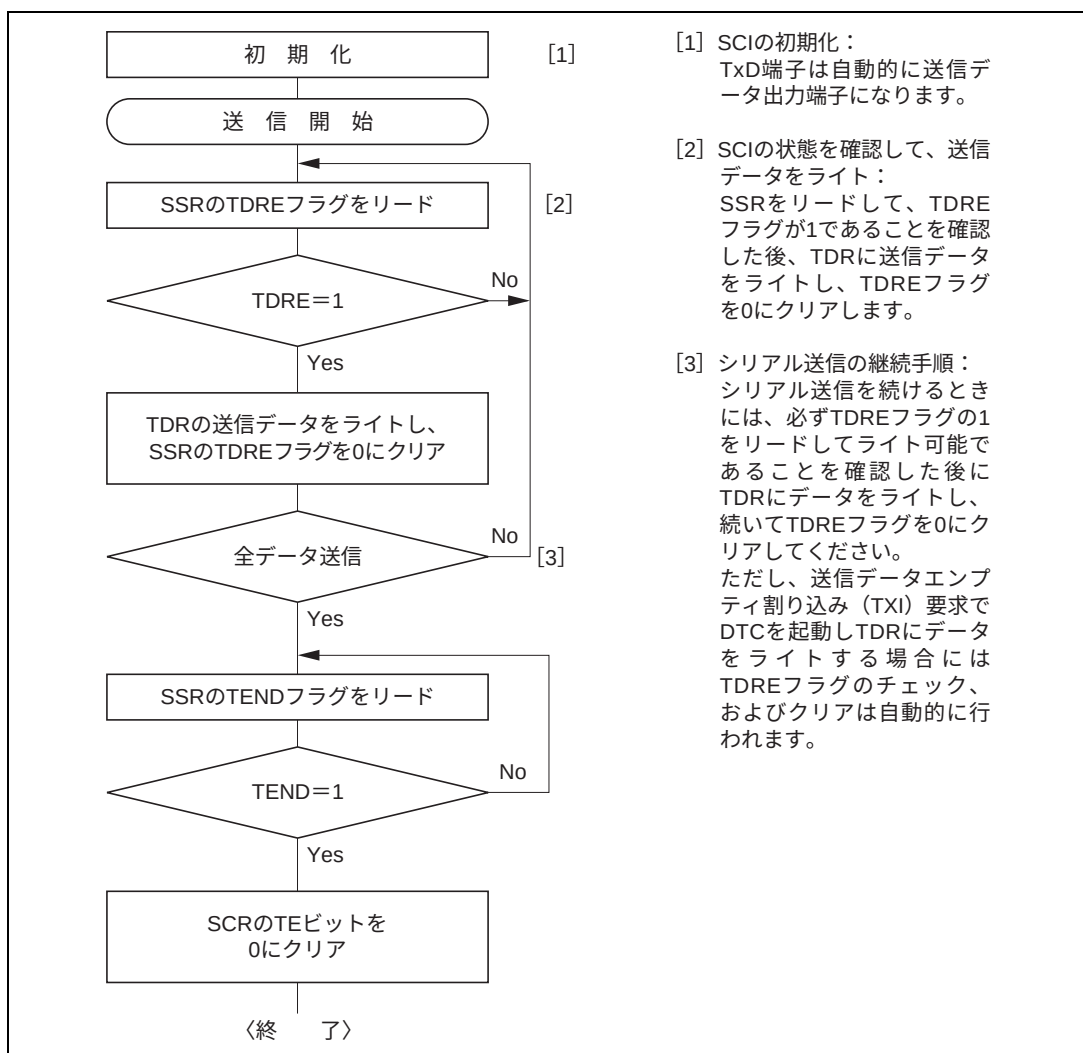


図 13.16 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- [1] SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
- [2] TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求が発生します。

クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。

シリアル送信データは、LSB（ビット0）からMSB（ビット7）の順にTxD端子から送り出されます。

- [3] SCIは、MSB（ビット7）を送り出すタイミングでTDREフラグをチェックします。
TDREフラグが0であるとTDRからTSRにデータを転送し、次フレームのシリアル送信を開始します。
TDREフラグが1であるとSSRのTENDフラグを1にセットし、MSB（ビット7）を送り出した後、TxD端子は状態を保持します。
このときSCRのTEIEビットが1にセットされていると送信終了割り込み（TEI）要求を発生します。
- [4] シリアル送信終了後は、SCK端子はHighレベル固定になります。

図 13.17 に SCI の送信時の動作例を示します。

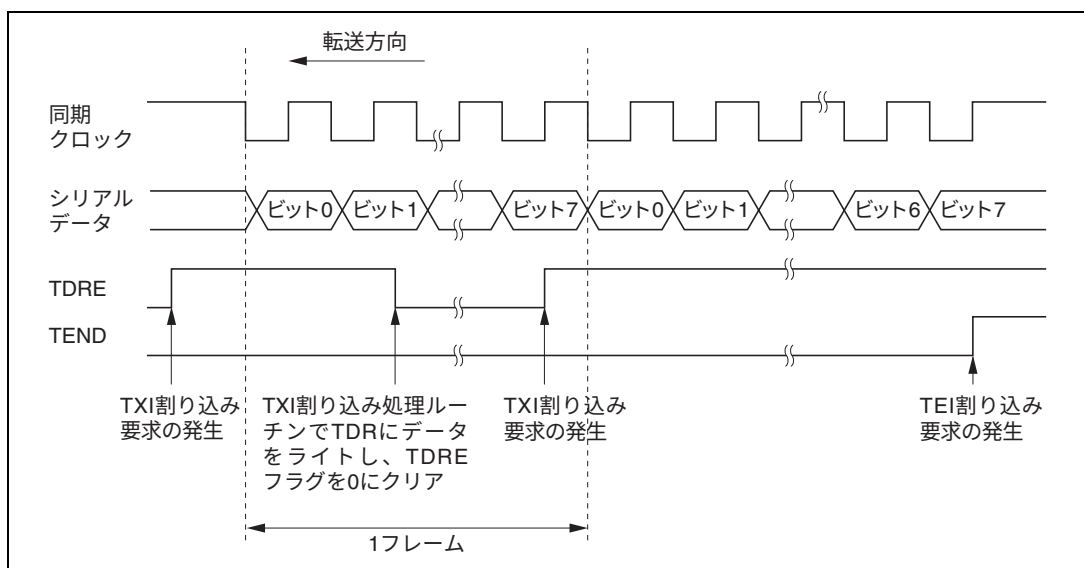


図 13.17 SCI の送信時の動作例

(c) シリアルデータ受信（クロック同期式）

図 13.18 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FER の各フラグが 0 にクリアされていることを確認してください。

FER、PER フラグが 1 にセットされていると RDRF フラグがセットされません。また、送信動作および受信動作のいずれも行うことができません。

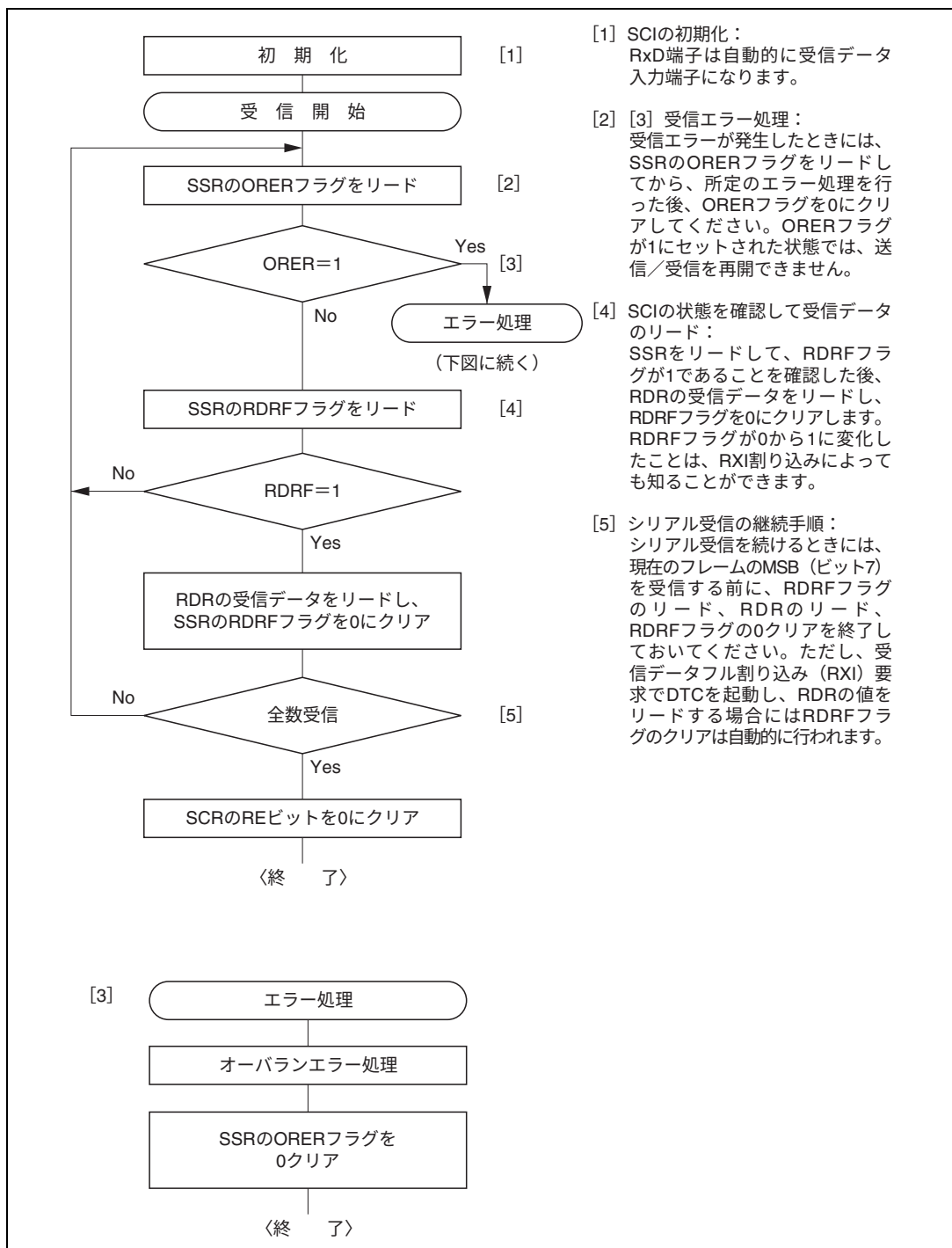


図 13.18 シリアルデータ受信フローチャートの例

SCI は受信時に以下のように動作します。

- [1] SCIは同期クロックの入力または出力に同期して内部を初期化します。
- [2] 受信したデータをRSRのLSBからMSBの順に格納します。
受信後、SCIは、RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。
このチェックを満足したときRDRFフラグが1にセットされ、RDRに受信データが格納されます。エラーチェックで受信エラーを発生すると、表13.11のように動作します。
エラーチェックで受信エラーを発生した状態では、以後の送信、受信のいずれも動作できません。
- [3] RDRFフラグが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求を発生します。
また、ORERフラグが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求を発生します。

図 13.19 に SCI の受信時の動作例を示します。

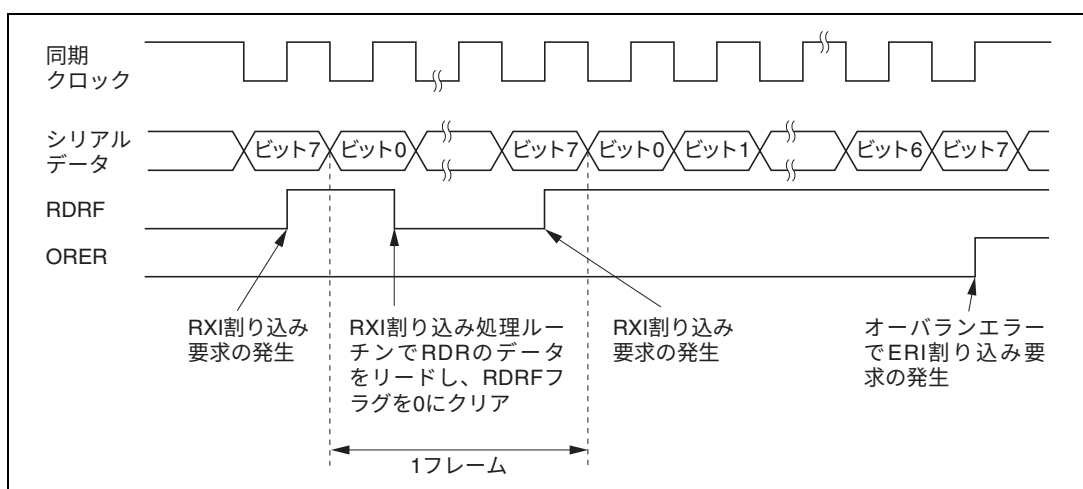


図 13.19 SCI の受信時の動作例

(d) シリアルデータ送受信同時動作 (クロック同期式)

図 13.20 にシリアル送受信同時動作のフローチャートの例を示します。
シリアルデータ送受信同時動作は、以下の手順に従って行ってください。

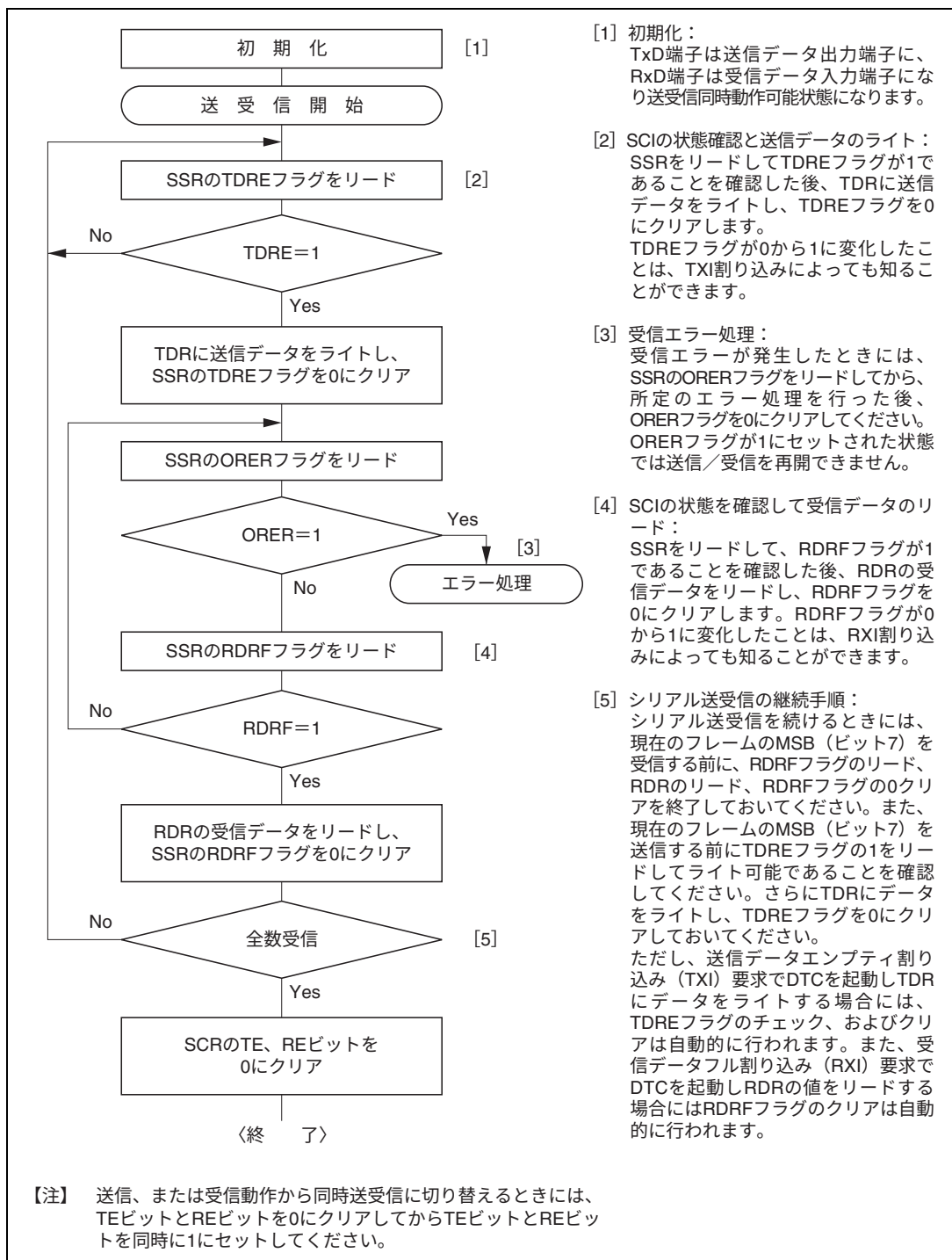


図 13.20 シリアル送受信同時動作のフローチャートの例

13.4 SCI 割り込み

SCI には、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因があります。表 13.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE ビット、RIE ビット、および TEIE ビットで許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DTC を起動してデータ転送を行うことができます。TDRE フラグは DTC によるデータ転送時に自動的に 0 にクリアされます。なお、TEI 割り込み要求で DTC の起動はできません。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DTC を起動してデータ転送を行うことができます。RDRF フラグは DTC によるデータ転送時に自動的に 0 にクリアされます。なお、ERI 割り込み要求で DTC の起動はできません。

表 13.12 SCI 割り込み要因

チャンネル	割り込み 要因	内 容	DTC の 起動	優先 順位*
0	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	高 ↑
	RXI	受信データフル (RDRF) による割り込み	可	
	TXI	送信データエンプティ (TDRE) による割り込み	可	
	TEI	送信終了 (TEND) による割り込み	不可	
1	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	↑ ↓
	RXI	受信データフル (RDRF) による割り込み	可	
	TXI	送信データエンプティ (TDRE) による割り込み	可	
	TEI	送信終了 (TEND) による割り込み	不可	
2 (H8S/2648、 H8S/2648R、 H8S/2647)	ERI	受信エラー (ORER、FER、PER) による割り込み	不可	↓ 低
	RXI	受信データフル (RDRF) による割り込み	可	
	TXI	送信データエンプティ (TDRE) による割り込み	可	
	TEI	送信終了 (TEND) による割り込み	不可	

【注】 * リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

TEI 割り込みは、TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされると要求されます。この TEND フラグのクリアは TDRE フラグと同時に行われます。このため、TEI 割り込みと TXI 割り込みが同時に要求されると TXI 割り込みが先に受け付けられ、TDRE フラグと TEND フラグがクリアされてしまう場合があります。このとき TEI 割り込みは受け付けられませんので注意してください。

13.5 使用上の注意

SCI を使用する際は、以下のことに注意してください。

(1) TDR へのライトと TDRE フラグの関係について

SSR の TDRE フラグは TDR から TSR に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE フラグが 1 にセットされます。

TDR へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータは、まだ TSR に転送されていないため失われてしまいます。したがって TDR への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSR の各ステータスフラグの状態は、表 13.13 のようになります。また、オーバランエラーが発生した場合には RSR から RDR へのデータ転送は行われず、受信データは失われます。

表 13.13 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ転送 RSR→RDR	受信エラーの状態
RDRF	ORER	FER	PER		
1	1	0	0	×	オーバランエラー
0	0	1	0	○	フレーミングエラー
0	0	0	1	○	パリティエラー
1	1	1	0	×	オーバランエラー+フレーミングエラー
1	1	0	1	×	オーバランエラー+パリティエラー
0	0	1	1	○	フレーミングエラー+パリティエラー
1	1	1	1	×	オーバランエラー+フレーミングエラー+パリティエラー

【注】 ○ : RSR→RDR に受信データを転送します。
× : RSR→RDR に受信データを転送しません。

(3) ブレークの検出と処理について（調歩同期式モードのみ）

フレーミングエラー（FER）検出時に RxD 端子の値を直接リードすることで、ブレークを検出できます。ブレークでは、RxD 端子からの入力が入力がすべて 0 になりますので FER フラグがセットされ、またパリティエラー（PER）もセットされる場合があります。

SCI は、ブレークを受信した後も受信動作を続けますので、FER フラグを 0 にクリアしても再び 1 にセットされますので、注意してください。

(4) ブレークの送り出し（調歩同期式モードのみ）

TxD 端子は、DR と DDR により入出力方向とレベルが決まる I/O ポートと兼用になっています。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセットするまでは、マーク状態を DR の値で代替します（TE ビットを 1 にセットするまで、TxD 端子として機能しません）。このため、最初は TxD 端子に対応するポートの DDR と DR を 1 に設定しておきます。

シリアル送信時にブレークを送り出したいときは DR を 0 にクリアした後、TE ビットを 0 にクリアします。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

(5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE フラグを 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がりをも基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。これを図 13.21 に示します。

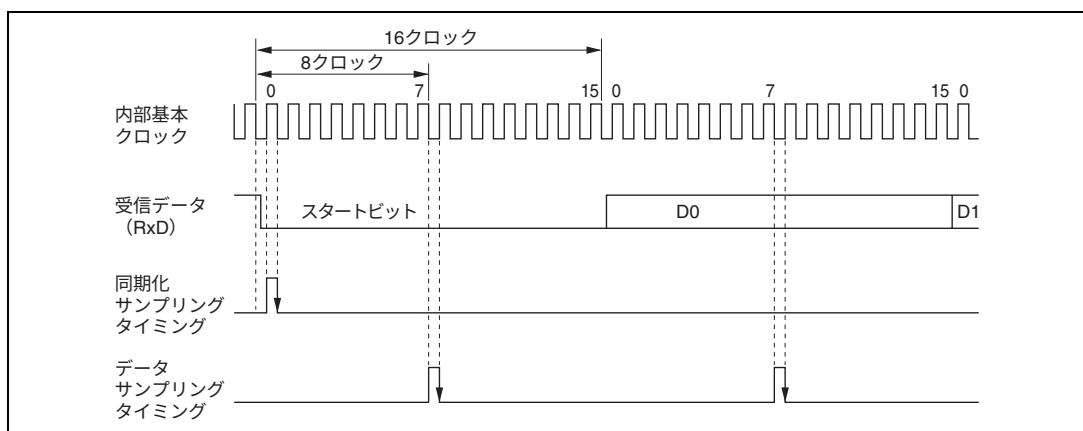


図 13.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

…式 (1)

- M : 受信マージン (%)
- N : クロックに対するビットレートの比 (N=16)
- D : クロックデューティ (D=0~1.0)
- L : フレーム長 (L=9~12)
- F : クロック周波数の偏差の絶対値

式 (1) で、 $F=0$ 、 $D=0.5$ とすると、受信マージンは式 (2) より 46.875%となります。

$D=0.5$ 、 $F=0$ のとき、

$$M = \left(0.5 - \frac{1}{2 \times 16} \right) \times 100\% \\ = 46.875\% \quad \cdots \text{式 (2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30%の余裕を持たせてください。

(7) DTC 使用上の制約事項

- 同期クロックに外部クロックソースを使用する場合、DTCによるTDRの更新後、 ϕ クロックで5クロック以上経過した後に、送信クロックを入力してください。TDRの更新後4クロック以内に送信クロックを入力すると、誤動作することがあります(図13.22)。
- DTCにより、RDRのリードを行うときは必ず起動要因を当該SCIの受信完了割り込み(RXI)に設定してください。

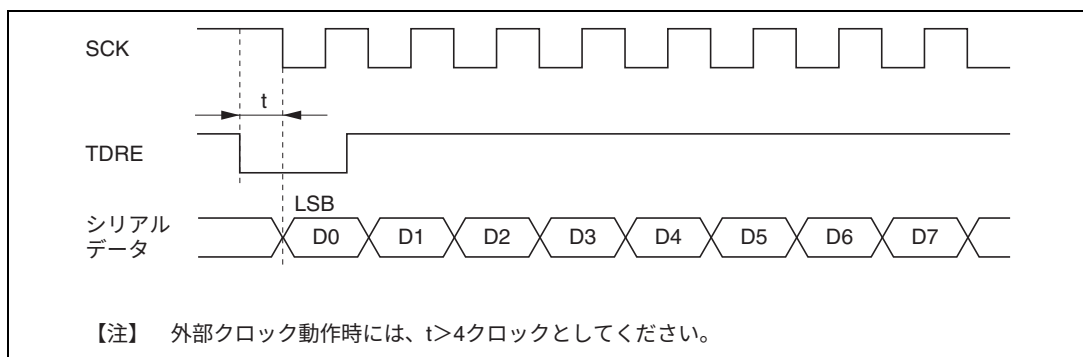


図 13.22 DTC によるクロック同期式送信時の例

(8) モード遷移時の動作について

(a) 送信

モジュールストップモード、ソフトウェアスタンバイモード遷移時には、動作を停止 ($TE=TIE=TEIE=0$) してから行ってください。TSR、TDR および SSR はリセットされます。モジュールストップモード、ソフトウェアスタンバイモード期間中の出力端子の状態は、ポートの設定に依存し、解除後 High 出力となります。もし送信中に遷移したときは、その送信中のデータは不確定なものになります。解除後に送信モードを変えないで送信する場合は、 $TE=1$ に戻し、SSR リード→TDR ライト→TDRE クリアで送信開始できます。解除後に送信モードを変えて送信する場合は、初期設定から行ってください。図 13.23 に送信時のモード遷移フローチャートの例を示します。なお、ポート端子状態を図 13.24、図 13.25 に示します。

また、DTC 転送による送信から、モジュールストップモード、ソフトウェアスタンバイモードに遷移時には、動作を停止 ($TE=TIE=TEIE=0$) してから行ってください。解除後 DTC による送信をする場合は $TE=1$ 、 $TIE=1$ に設定すれば TXI フラグが立ち、DTC による送信が始まります。

(b) 受信

モジュールストップモード、ソフトウェアスタンバイモード遷移時には、受信動作を停止 (RE=0) してから行ってください。RSR、RDR および SSR はリセットされます。停止しないで遷移すると受信中の受信データは無効になります。

モード解除後、受信モードを変えないで受信する場合は、RE=1 に設定してから受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 13.26 に受信時のモード遷移フローチャートの例を示します。

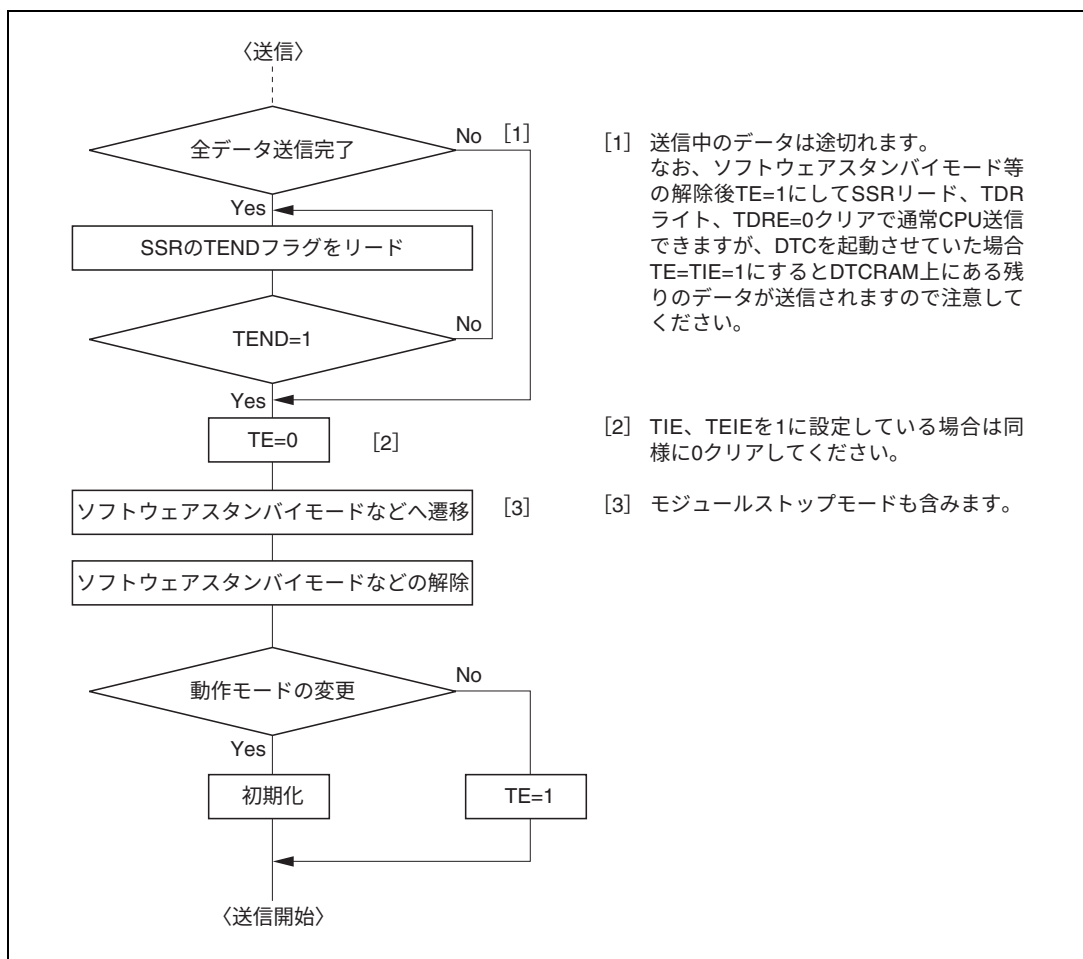


図 13.23 送信時のモード遷移フローチャートの例

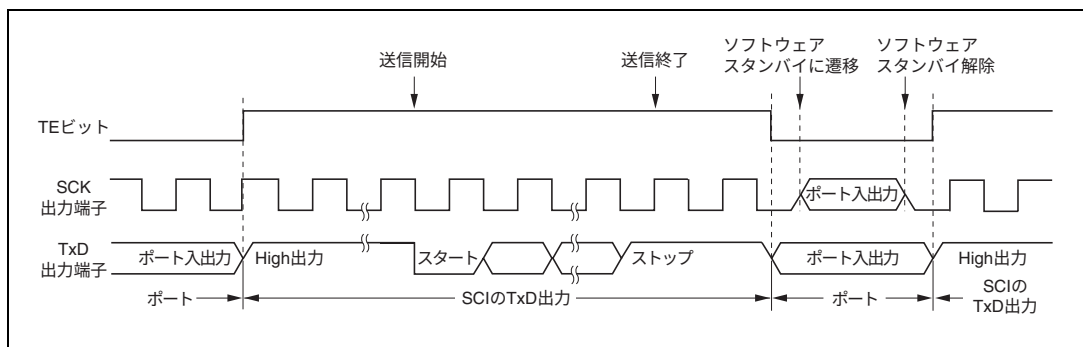


図 13.24 内部クロック、調歩同期送信の場合

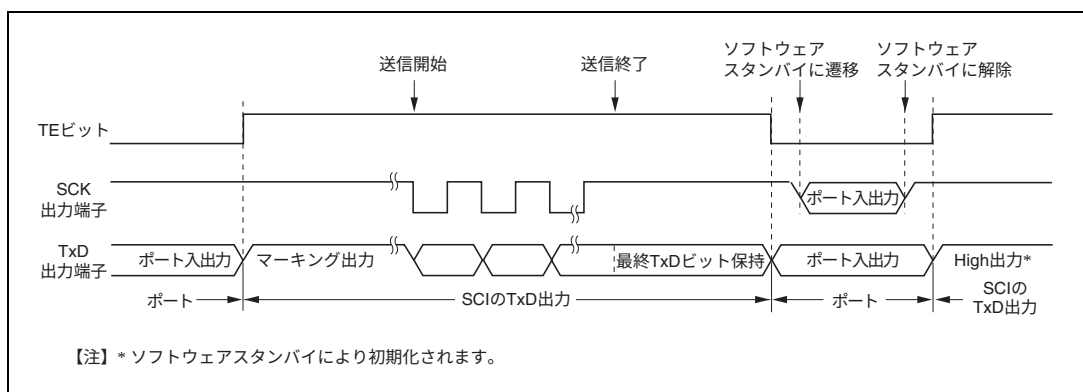


図 13.25 内部クロック、クロック同期送信の場合

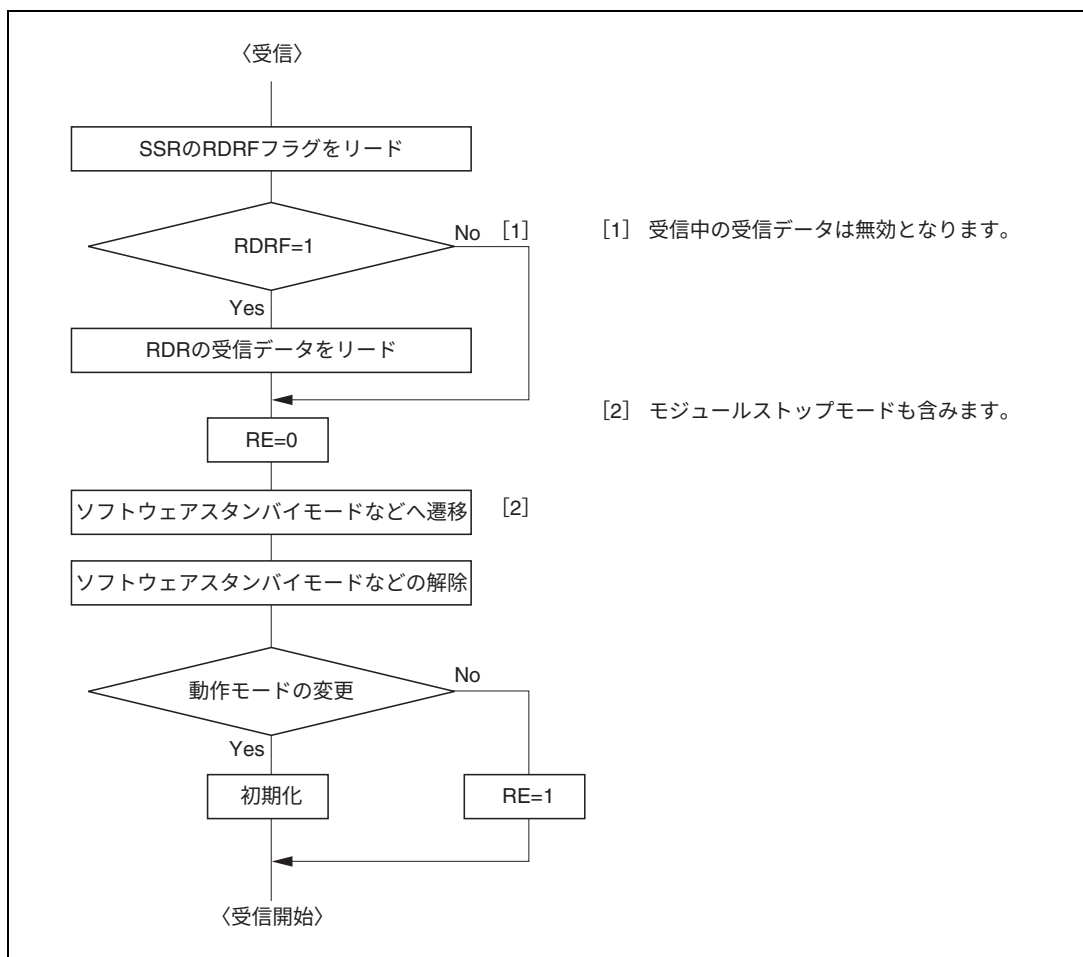


図 13.26 受信時のモード遷移フローチャートの例

(9) SCK 端子からポート端子へ切り替えるときの注意事項

(a) 動作現象

DDR=1、DR=1 に設定し、クロック同期 SCI クロック出力を使用し、送信終了状態で SCK 端子をポートに切り替え時に、半サイクルの Low 出力後、ポート出力になります。

DDR=1、DR=1、 $\overline{C/A}$ =1、CKE1=0、CKE0=0、TE=1 の状態より、以下の設定でポートに切り替え時に半サイクルの Low 出力が発生します。

1. シリアルデータ送信終了
2. TE ビット=0
3. $\overline{C/A}$ ビット=0 … ポート出力に切り替え
4. Low 出力発生 (図 13.27 参照)

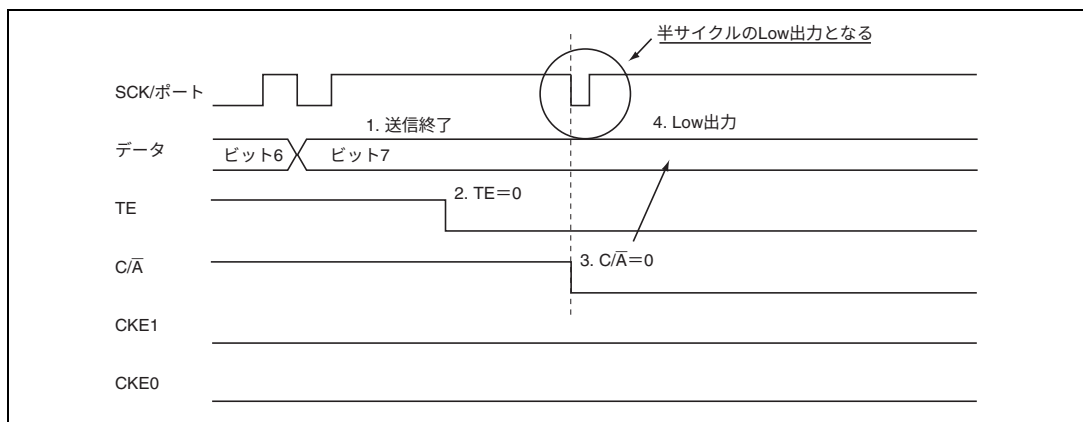


図 13.27 SCK 端子からポート端子へ切り替えるときの動作

(b) 使用上の注意事項

SCK 端子をポートに切り替える際に発生する Low 出力を回避する場合、下記の手順で行ってください。

この手順は、SCK 端子を一度入力状態にするため、あらかじめ SCK/ポート端子を外部回路でプルアップしてください。

DDR=1、DR=1、 $\overline{C/A}=1$ 、CKE1=0、CKE0=0、TE=1 の状態より以下の 1~5 の順で設定してください。

1. シリアルデータ送信終了
2. TE ビット=0
3. CKE1 ビット=1
4. $\overline{C/A}$ ビット=0 … ポート出力に切り替え
5. CKE1 ビット=0

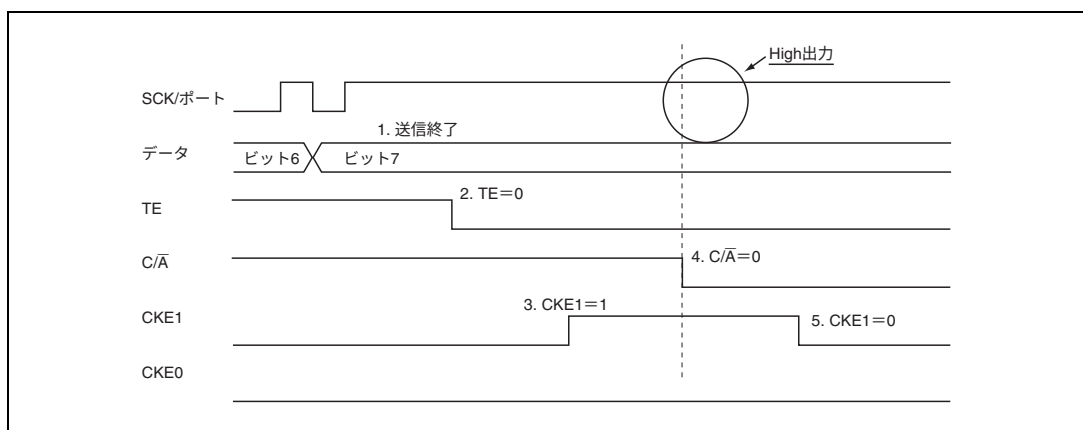


図 13.28 SCK 端子からポート端子へ切り替えるときの動作 (Low 出力の回避例)

14. スマートカードインタフェース

14.1 概要

SCI は、シリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠した IC カード (スマートカード) インタフェースをサポートしています。

通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り替えはレジスタで設定します。

14.1.1 特長

本 LSI がサポートするスマートカードインタフェースには次の特長があります。

■調歩同期式モード

- データ長：8 ビット
- パリティビットの生成およびチェック
- 受信モードにおけるエラーシグナル（パリティエラー）の送出
- 送信モードにおけるエラーシグナルの検出とデータの自動再送信
- ダイレクトコンベンション／インバースコンベンションの両方をサポート

■内蔵ボーレートジェネレータにより任意のビットレートを選択可能

■3 種類の割り込み要因

- 送信データエンプティ、受信データフル、送受信エラーの 3 種類の割り込み要因があり、それぞれ独立に要求可能
- 送信データエンプティ割り込みと受信データフル割り込みにより、データトランスファコントロール (DTC) を起動させてデータを転送可能

14.1.2 ブロック図

図 14.1 にスマートカードインタフェースのブロック図を示します。

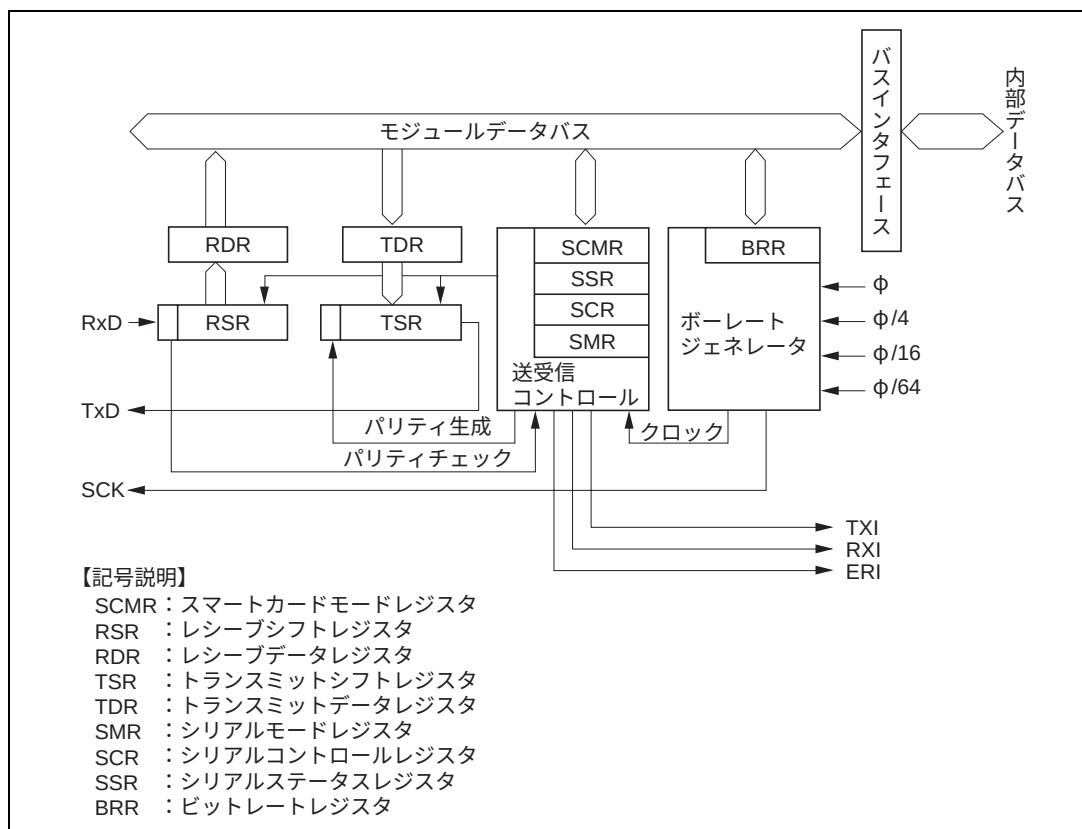


図 14.1 スマートカードインタフェースのブロック図

14.1.3 端子構成

スマートカードインタフェースの端子構成を表 14.1 に示します。

表 14.1 端子構成

チャネル	名 称	記号	入出力	機 能
0	シリアルクロック端子 0	SCK0	入出力	SCI0 のクロック入出力
	レシーブデータ端子 0	RxD0	入力	SCI0 の受信データ入力
	トランスミットデータ端子 0	TxD0	出力	SCI0 の送信データ出力
1	シリアルクロック端子 1	SCK1	入出力	SCI1 のクロック入出力
	レシーブデータ端子 1	RxD1	入力	SCI1 の受信データ入力
	トランスミットデータ端子 1	TxD1	出力	SCI1 の送信データ出力
2 (H8S/2648、 H8S/2648R、 H8S/2647)	シリアルクロック端子 2	SCK2	入出力	SCI2 のクロック入出力
	レシーブデータ端子 2	RxD2	入力	SCI2 の受信データ入力
	トランスミットデータ端子 2	TxD2	出力	SCI2 の送信データ出力

14.1.4 レジスタ構成

スマートカードインタフェースで使用するレジスタ構成を表 14.2 に示します。SMR、BRR、SCR、TDR、RDR、MSTPCR については、通常の SCI の機能と同様ですので、「第 13 章 シリアルコミュニケーションインタフェース (SCI)」のレジスタの説明を参照してください。

表 14.2 レジスタ構成

チャネル	名 称	略称	R/W	初期値	アドレス*1
0	シリアルモードレジスタ 0	SMR0	R/W	H'00	H'FF78
	ビットレートレジスタ 0	BRR0	R/W	H'FF	H'FF79
	シリアルコントロールレジスタ 0	SCR0	R/W	H'00	H'FF7A
	トランスミットデータレジスタ 0	TDR0	R/W	H'FF	H'FF7B
	シリアルステータスレジスタ 0	SSR0	R/(W)*2	H'84	H'FF7C
	レシーブデータレジスタ 0	RDR0	R	H'00	H'FF7D
	スマートカードモードレジスタ 0	SCMR0	R/W	H'F2	H'FF7E
1	シリアルモードレジスタ 1	SMR1	R/W	H'00	H'FF80
	ビットレートレジスタ 1	BRR1	R/W	H'FF	H'FF81
	シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'FF82
	トランスミットデータレジスタ 1	TDR1	R/W	H'FF	H'FF83
	シリアルステータスレジスタ 1	SSR1	R/(W)*2	H'84	H'FF84
	レシーブデータレジスタ 1	RDR1	R	H'00	H'FF85
	スマートカードモードレジスタ 1	SCMR1	R/W	H'F2	H'FF86

チャンネル	名 称	略称	R/W	初期値	アドレス* ¹
2 (H8S/2648、 H8S/2648R、 H8S/2647)	シリアルモードレジスタ 2	SMR2	R/W	H'00	H'FF88
	ビットレートレジスタ 2	BRR2	R/W	H'FF	H'FF89
	シリアルコントロールレジスタ 2	SCR2	R/W	H'00	H'FF8A
	トランスミットデータレジスタ 2	TDR2	R/W	H'FF	H'FF8B
	シリアルステータスレジスタ 2	SSR2	R/(W)* ²	H'84	H'FF8C
	レシーブデータレジスタ 2	RDR2	R	H'00	H'FF8D
	スマートカードモードレジスタ 2	SCMR2	R/W	H'F2	H'FF8E
共通	モジュールストップコントロールレジスタ B	MSTPCRB	R/W	H'FF	H'FDE9

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

14.2 各レジスタの説明

スマートカードインタフェースで追加されるレジスタ、および機能が変更されるビットについて説明します。

14.2.1 スマートカードモードレジスタ (SCMR)

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	SDIR	SINV	—	SMIF
初期値：	1	1	1	1	0	0	1	0
R/W：	—	—	—	—	R/W	R/W	—	R/W

SCMR は、8 ビットのリード／ライト可能なレジスタで、スマートカードインタフェースの機能の選択を行います。

SCMR は、リセット、ハードウェアスタンバイモード時に、H'F2 に初期化されます。

ビット 7～4：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 3：スマートカードデータトランスファディレクション (SDIR)

シリアル／パラレル変換のフォーマットを選択します。

ビット 3	説 明
SDIR	
0	TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 (初期値)
1	TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納

ビット 2：スマートカードデータインバート（SINV）

データのロジックレベルの反転を指定します。この機能は、SDIR ビットと組み合わせインバースコンベンションカードとの送受信に使用します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティに関する設定方法については、「14.3.4 レジスタの設定」を参照してください。

ビット 2	説 明
SINV	
0	TDR の内容をそのまま送信 受信データをそのまま RDR に格納 (初期値)
1	TDR の内容を反転してデータを送信 受信データを反転して RDR に格納

ビット 1：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 0：スマートカードインタフェースモードセレクト（SMIF）

スマートカードインタフェース機能を許可または禁止するビットです。

ビット 0	説 明
SMIF	
0	スマートカードインタフェース機能を禁止 (初期値)
1	スマートカードインタフェース機能を許可

14.2.2 シリアルステータスレジスタ（SSR）

ビット：	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
初期値：	1	0	0	0	0	1	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするための 0 ライトのみ可能です。

スマートカードインタフェースモードにおいては、SSR のビット 4 の機能に変更されます。また、これに関連してビット 2 の TEND のセット条件が変更になります。

ビット 7～5：

通常の SCI と同様の動作をします。詳細は「13.2.7 シリアルステータスレジスタ（SSR）」を参照してください。

ビット 4：エラーシグナルステータス（ERS）

スマートカードインタフェースモードでは、送信時に受信側から送り返されるエラーシグナルのステータスを示します。なお、スマートカードインタフェースではフレーミングエラーは検出しません。

ビット 4	説 明
ERS	
0	正常に受信され、エラーシグナルがないことを表示 (初期値) [クリア条件] (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) ERS=1 の状態をリードした後、0 をライトしたとき
1	受信側からパリティエラーの検出を示すエラーシグナルが送出されたことを表示 [セット条件] エラーシグナル Low をサンプリングしたとき

【注】 SCR の TE ビットを 0 にクリアしても、ERS フラグは影響を受けず以前の状態を保持します。

ビット 3～0：

通常の SCI と同様の動作をします。詳細は「13.2.7 シリアルステータスレジスタ（SSR）」を参照してください。

ただし、TEND ビットのセット条件は次のようになります。

ビット 2	説 明
TEND	
0	送信中であることを表示 [クリア条件] (1) TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき (2) TXI 割り込みによって DTC が起動され、DTC で TDR ヘデータをライトしたとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) SCR の TE ビットが 0 かつ ERS ビットが 0 のとき (3) GM=0、BLK=0 のとき 1 バイトのシリアルキャラクタを送信して、2.5etu 後に TDRE=1 かつ ERS=0（正常送信）のとき (4) GM=0、BLK=1 のとき 1 バイトのシリアルキャラクタを送信して、1.5etu 後に TDRE=1 かつ ERS=0（正常送信）のとき (5) GM=1、BLK=0 のとき 1 バイトのシリアルキャラクタを送信して、1.0etu 後に TDRE=1 かつ ERS=0（正常送信）のとき (6) GM=1、BLK=1 のとき 1 バイトのシリアルキャラクタを送信して、1.0etu 後に TDRE=1 かつ ERS=0（正常送信）のとき

【注】 etu（Elementary time unit）：1 ビットの転送期間

14.2.3 シリアルモードレジスタ (SMR)

ビット :	7	6	5	4	3	2	1	0
	GM	BLK	PE	O/ $\bar{E}$	BCP1	BCP0	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 スマートカードインタフェースを使用する場合は、ビット5に1を設定してください。

スマートカードインタフェースモードにおいては、SMR のビット 7、6、3、2 の機能が変更されま
す。

ビット 7 : GSM モード (GM)

スマートカードインタフェース機能を GSM モードに設定します。

通常のスマートカードインタフェース時は 0 に設定します。GSM モードは、本ビットを 1 に設定
し、送信完了を示す TEND フラグのセットタイミングの前倒しと、クロック出力の制御モードの追加
を行います。クロック出力の制御モードの追加内容は、シリアルコントロールレジスタ (SCR) のビ
ット 1 およびビット 0 で指定します。

ビット 7	説 明
GM	
0	通常のスマートカードインタフェースモードの動作 (初期値) (1) TEND フラグが開始ビットの先頭から 12.5etu (ブロック転送モード時は 11.5etu) の タイミングで発生 (2) クロック出力の ON/OFF 制御のみ
1	GSM モードのスマートカードインタフェースモードの動作 (1) TEND フラグが開始ビットの先頭から 11.0etu のタイミングで発生 (2) クロック出力の ON/OFF 制御のほか、High/Low 固定制御可能 (SCR で設定)

【注】 etu (Elementary time unit) : 1 ビットの転送期間

ビット 6：ブロック転送モード（BLK）

ブロック転送モードの選択を行います。

ビット 6	説 明
BLK	
0	通常のスマートカードインタフェースモードの動作 (1) エラーシグナルの送出、検出、データの自動再送信を行う (2) TXI 割り込みが TEND フラグにより発生する (3) TEND フラグの設定タイミングが、送信開始から 12.5etu 後 (GSM モードでは 11.0etu 後)
1	ブロック転送モードで動作 (1) エラーシグナルの送出、検出、データの自動再送信を行わない (2) TXI 割り込みが TDRE フラグにより発生する (3) TEND フラグの設定タイミングが、送信開始から 11.5etu 後 (GSM モードでは 11.0etu 後)

【注】 etu (Elementary time unit) : 1 ビットの転送期間

ビット 3、2：基本クロックパルス 1、0（BCP1、BCP0）

スマートカードインタフェースモードにおいては、1 ビット転送期間中の基本クロック数を指定することができます。

ビット 3	ビット 2	説 明
BCP1	BCP0	
0	0	32 クロック (初期値)
	1	64 クロック
1	0	372 クロック
	1	256 クロック

ビット 5、4、1、0：

通常の SCI と同様の動作をします。詳細は「13.2.5 シリアルモードレジスタ（SMR）」を参照してください。

14.2.4 シリアルコントロールレジスタ（SCR）

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

スマートカードインタフェースモードで、シリアルモードレジスタ（SMR）のビット 7 が 1 のときに、SCR のビット 1 およびビット 0 の機能が変更されます。

ビット 7～2：

通常の SCI と同様の動作をします。詳細は「13.2.6 シリアルコントロールレジスタ (SCR)」を参照してください。

ビット 1、0：クロックイネーブル 1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可／禁止を設定します。

スマートカードインタフェースモード時では、通常のクロック出力の許可／禁止切り替えのほか、クロック出力の High レベル固定と Low レベル固定を設定することができます。

SCMR	SMR	SCR の設定		SCK 端子機能の説明
SMIF	C/Ā、GM	CKE1	CKE0	
0				SCI 指定参照
1	0	0	0	ポート入出力端子として動作
1	0	0	1	SCK 出力端子としてクロック出力
1	1	0	0	SCK 出力端子として Low 出力固定
1	1	0	1	SCK 出力端子としてクロック出力
1	1	1	0	SCK 出力端子として High 出力固定
1	1	1	1	SCK 出力端子としてクロック出力

14.3 動作説明

14.3.1 概要

スマートカードインタフェースの主な機能は次のとおりです。

- (1) 1フレームは、8ビットデータとパリティビットで構成されます。
- (2) 送信時は、パリティビットの終了から次のフレーム開始まで2etu（ブロック転送モード時は1etu）（Elementary time unit：1ビットの転送期間）以上のガードタイムを置きます。
- (3) 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します（ブロック転送モード時を除く）。
- (4) 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを送信します（ブロック転送モード時を除く）。
- (5) 調歩同期式非同期通信機能のみサポートし、クロック同期式通信機能はありません。

14.3.2 端子接続

図 14.2 にスマートカードインタフェースに関する端子接続の概略図を示します。

IC カードとの通信においては、1 本のデータ伝送線で送信と受信が行われるので、LSI 端子で TxD 端子と RxD 端子とを結線してください。また、データ伝送線は、抵抗で電源 V_{cc} 側にプルアップしてください。

スマートカードインタフェースで生成するクロックを IC カードで使用する場合は、SCK 端子出力を IC カードの CLK 端子に入力します。IC カードで、内部クロックを使用する場合は接続不要です。

リセット信号としては、LSI のポート出力を使用します。

端子としては、これ以外に通常、電源とグランドの接続が必要です。

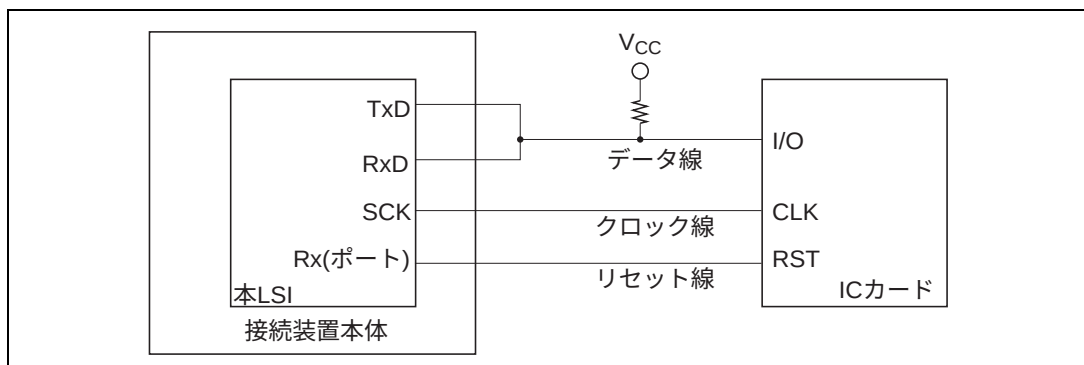


図 14.2 スマートカードインタフェース端子接続概略図

【注】 ICカードを接続しないで、RE=TE=1に設定すると、閉じた送信／受信が可能となり自己診断をすることができます。

14.3.3 データフォーマット

(1) 通常の転送モード

図 14.3 に通常のスマートカードインタフェースのデータフォーマットを示します。このモードでは、受信時は1フレームごとにパリティチェックを行い、エラーが検出された場合、送信側に対してエラーシグナルを送り返し、データの再送信要求をします。送信時は、エラーシグナルをサンプリングすると同じデータを再送信します。

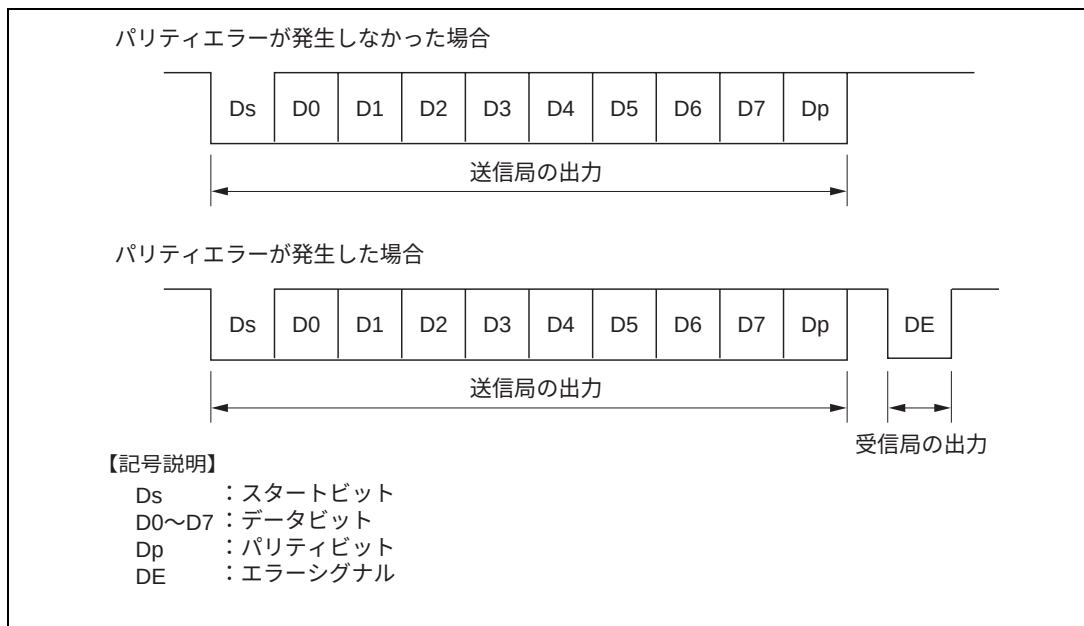


図 14.3 通常のスマートカードインタフェースのデータフォーマット

動作シーケンスは次のようになっています。

- [1] データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりHighレベルに固定されます。
- [2] 送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット (Ds、Lowレベル) から開始します。この後に、8ビットのデータビット (D0～D7) とパリティビット (Dp) が続きます。
- [3] スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりHighレベルになります。
- [4] 受信側は、パリティチェックを行います。
パリティエラーがなく正常に受信した場合、そのまま次のデータ受信を待ちます。
一方、パリティエラーが発生した場合は、エラーシグナル (DE、Lowレベル) を出力し、データの再送信を要求します。受信局は、規定の期間エラーシグナルを出力した後、再び信号線をハイインピーダンスにします。信号線はプルアップ抵抗によりHighレベルに戻ります。
- [5] 送信側は、エラーシグナルを受信しなかった場合、次のフレームのデータ送信に移ります。一方、エラーシグナルを受信した場合は、[2] に戻りエラーとなったデータを再送信します。

(2) ブロック転送モード

ブロック転送モードの動作シーケンスは次のようになっています。

- [1] データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりHighレベルに固定されます。
- [2] 送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット (Ds、Lowレベル) から開始します。この後に、8ビットのデータビット (D0～D7) とパリティビット (Dp) が続きます。
- [3] スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりHighレベルになります。
- [4] 受信側は、パリティエラーのチェックを行います。エラーが発生してもエラーシグナルは出力しません。エラーが発生すると、以後の受信動作ができませんので、次のフレームのパリティビットを受信する前までにエラーフラグを0にクリアしてください。
- [5] 送信側は次のフレームのデータ送信に移ります。

14.3.4 レジスタの設定

スマートカードインタフェースで使用するレジスタのビットマップを表 14.3 に示します。

0 または 1 が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表 14.3 スマートカードインタフェースでのレジスタ設定

レジスタ	ビット							
	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
SMR	GM	BLK	1	O/ $\bar{E}$	BCP1	BCP0	CKS1	CKS0
BRR	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
SCR	TIE	RIE	TE	RE	0	0	CKE1*	CKE0
TDR	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
SSR	TDRE	RDRF	ORER	ERS	PER	TEND	0	0
RDR	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
SCMR	—	—	—	—	SDIR	SINV	—	SMIF

【注】 — : 未使用ビットを示します。

* SMR の GM を 0 に設定したときは、必ず CKE1 ビットを 0 に設定してください。

(1) SMR の設定

GM ビットは、通常のスマートカードインタフェースモード時は 0 を設定し、GSM モード時は 1 を設定します。O/ $\bar{E}$ ビットは、IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時には 1 を設定します。

CKS1、CKS0 ビットは、内蔵ボーレートジェネレータのクロックソースを、BCP1、BCP0 ビットは 1 ビット転送期間中の基本クロック数を選択します。

詳細は「14.3.5 クロック」を参照してください。

BLK ビットは、通常のスマートカードインタフェースモード時には 0 を設定し、ブロック転送モード時には 1 を設定します。

(2) BRR の設定

ビットレートを設定します。設定値の算出方法は「14.3.5 クロック」を参照してください。

(3) SCR の設定

TIE、RIE、TE、RE ビットの機能は通常の SCI と同様です。詳細は「第 13 章 シリアルコミュニケーションインタフェース (SCI)」を参照してください。

CKE1、CKE0 ビットはクロック出力を指定します。SMR の GM ビットが 0 にクリアされているとき、クロックを出力しない場合は B'00 に設定し、クロックを出力する場合は B'01 に設定します。SMR の GM ビットが 1 にセットされているとき、クロック出力を行います。クロック出力を Low レベルまたは High レベルに固定することもできます。

(4) スマートカードモードレジスタ (SCMR) の設定

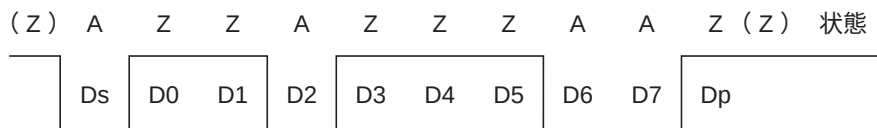
SDIR ビットは、IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

SINV ビットは、IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

SMIF ビットは、スマートカードインタフェースの場合 1 を設定します。

以下に、2 種類の IC カード（ダイレクトコンベンションタイプとインバースコンベンションタイプ）に対するレジスタ設定値と、開始キャラクタでの波形例を示します。

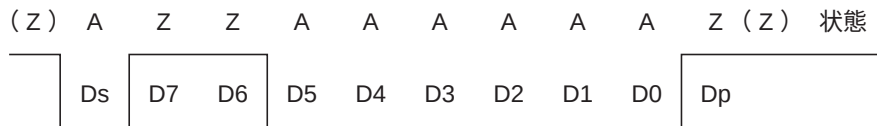
(a) ダイレクトコンベンション (SDIR=SINV=O/E=0)



ダイレクトコンベンションタイプは、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3B となります。

パリティビットは、スマートカードの規定により偶数パリティで 1 となります。

(b) インバースコンベンション (SDIR=SINV=O/E=1)



インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3F となります。

パリティビットは、スマートカードの規定により偶数パリティで論理 0 となり、状態 Z が対応します。

なお、本 LSI では、SINV ビットによる反転はデータビット D7～D0 ののみとなっています。パリティビットの反転のために SMR の O/E ビットを奇数パリティモードに設定します（送信、受信とも同様です）。

14.3.5 クロック

スマートカードインタフェースにおける送受信クロックは、内蔵ボーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートは BRR と SMR の CKS1、CKS0、BCP1、BCP0 ビットで設定され、以下に示す計算式になります。ビットレートの例を表 14.5 に示します。

このとき CKE0=1 でクロック出力を選択すると、SCK 端子からクロックが出力されます。また、クロックの周波数はビットレートと BCP1、BCP0 ビットの設定により決まります。

$$B = \frac{\phi}{S \times 2^{2n+1} \times (N+1)} \times 10^6$$

ただし、N = BRR の設定値 ($0 \leq N \leq 255$)

B = ビットレート (bit/s)

ϕ = 動作周波数 (MHz)

n = 表 14.4 を参照

S = BCP1、BCP0 で設定した 1 ビット期間の内部クロック数

表 14.4 n と CKS1、CKS0 の対応表

n	CKS1	CKS0
0	0	0
1		1
2		0
3	1	1

表 14.5 BRR の設定に対するビットレート B (bit/s) の例
(ただし、n=0、S=372 のとき)

N	ϕ (MHz)						
	10.00	10.714	13.00	14.285	16.00	18.00	20.00
0	13441	14400	17473	19200	21505	24194	26882
1	6720	7200	8737	9600	10753	12097	13441
2	4480	4800	5824	6400	7168	8065	8961

【注】 ビットレートは、小数点以下 1 桁目を四捨五入した数値です。

一方、動作周波数とビットレートからビットレートレジスタ（BBR）の設定値を算出する式は次のようになります。ただし、N は整数値、 $0 \leq N \leq 255$ であり、誤差の小さい方を指定します。

$$N = \frac{\phi}{S \times 2^{2n+1} \times B} \times 10^6 - 1$$

表 14.6 ビットレート B (bit/s) に対する BRR の設定例（ただし、n=0、S=372 のとき）

bit/s	ϕ (MHz)															
	7.1424		10.00		10.7136		13.00		14.2848		16.00		18.00		20.00	
	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差
9600	0	0.00	1	30	1	25	1	8.99	1	0.00	1	12.01	2	15.99	2	6.60

表 14.7 各周波数における最大ビットレート（スマートカードインタフェースモード時）
（ただし S=372 のとき）

ϕ (MHz)	最大ビットレート (bit/s)	N	n
7.1424	9600	0	0
10.00	13441	0	0
10.7136	14400	0	0
13.00	17473	0	0
14.2848	19200	0	0
16.00	21505	0	0
18.00	24194	0	0
20.00	26882	0	0

ビットレート誤差は以下の計算式で求められます。

$$\text{誤差 (\%)} = \left(\frac{\phi}{S \times 2^{2n+1} \times B \times (N+1)} \times 10^6 - 1 \right) \times 100$$

14.3.6 データの送信／受信動作

(1) 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

- [1] SCRのTE、REビットを0にクリアします。
- [2] SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
- [3] SMRのGM、BLK、O $\bar{E}$ 、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。
- [4] SCMRのSMIF、SDIR、SINVビットを設定してください。
SMIFビットを1にセットすると、TxD端子およびRxD端子はともにポートからSCIの端子に切り替えられ、ハイインピーダンス状態となります。
- [5] ビットレートに対応する値をBRRに設定します。
- [6] SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。
CKE0ビットを1にセットした場合は、SCK端子からクロック出力されます。
- [7] 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。
自己診断以外はTEビットとREビットを同時にセットしないでください。

(2) シリアルデータ送信（ブロック転送モードを除く）

スマートカードモードにおけるデータ送信では、エラーシグナルのサンプリングと再送信処理があるため、通常の SCI とは処理手順が異なります。送信処理フローの例を図 14.4 に示します。

また、送信動作と内部レジスタの関連を図 14.5 に示します。

- [1] (1) の手順に従いスマートカードインタフェースモードに初期化します。
- [2] SSRのエラーフラグERSが0にクリアされていることを確認してください。
- [3] SSRのTENDフラグが1にセットされていることが確認できるまで、[2]、[3] を繰り返してください。
- [4] TDRに送信データをライトして、TDREフラグを0にクリアし送信動作を行います。このとき、TENDフラグは0にクリアされます。
- [5] 連続してデータを送信する場合は、[2] に戻ってください。
- [6] 送信を終了する場合は、TEビットを0にクリアします。

以上の一連の処理は、割り込み処理または DTC によるデータ転送が可能です。

TIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信が終了し TEND フラグが 1 にセットされると、送信データエンpty割り込み (TXI) 要求が発生します。RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信時にエラーが発生し、ERS フラグが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

SMR の GM ビットにより、TEND フラグのセットタイミングが異なります。図 14.6 に TEND フラグ発生タイミングを示します。

TXI 要求で DTC を起動する場合、自動再転送を含め DTC に設定したバイト数を自動的に送信することができます。

詳細は「(6) 割り込み動作」、「(7) DTC によるデータ転送動作」を参照してください。

【注】ブロック転送モードの場合は、「13.3.2 調歩同期式モード時の動作」を参照してください。

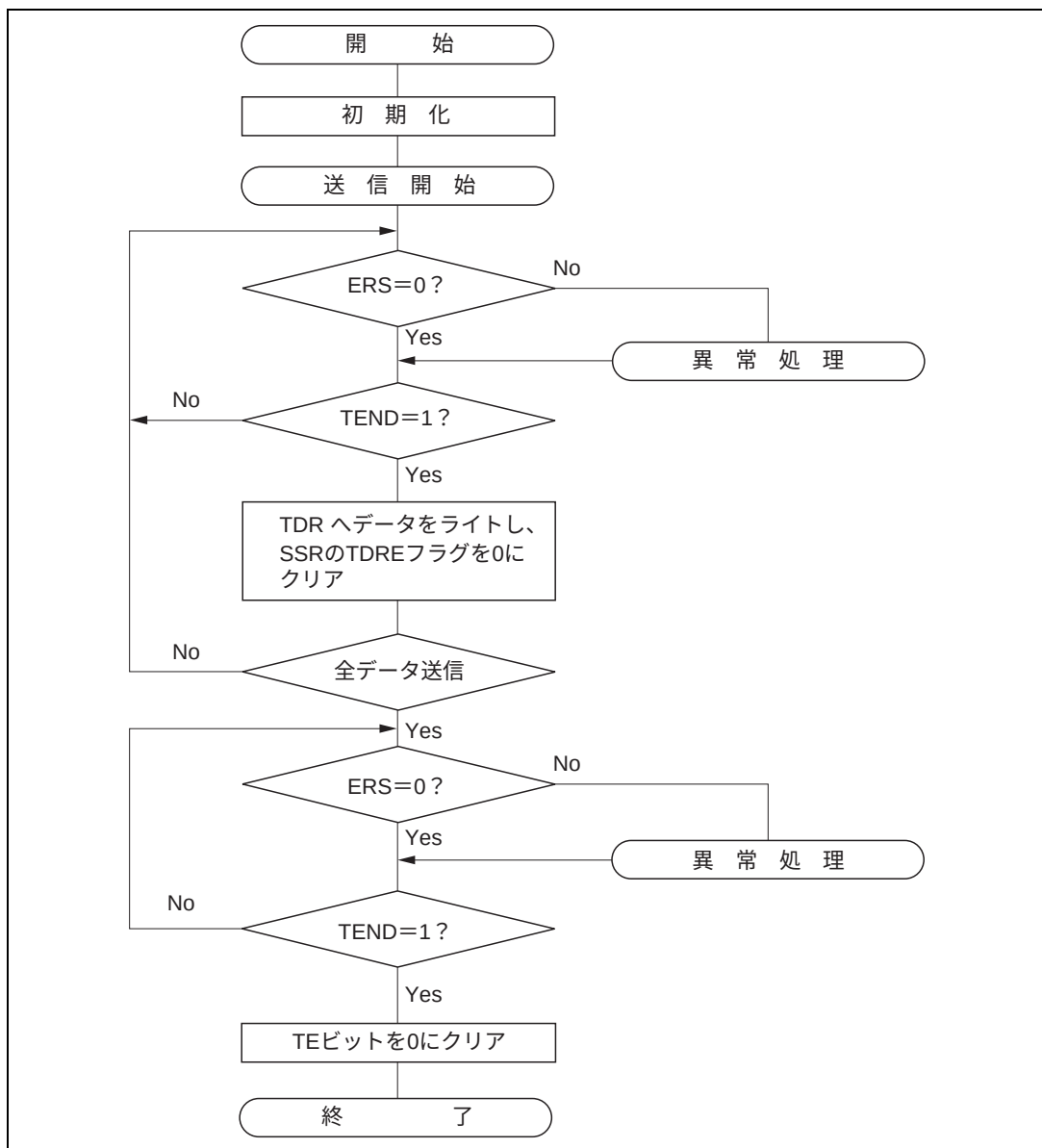


図 14.4 送信処理フローの例

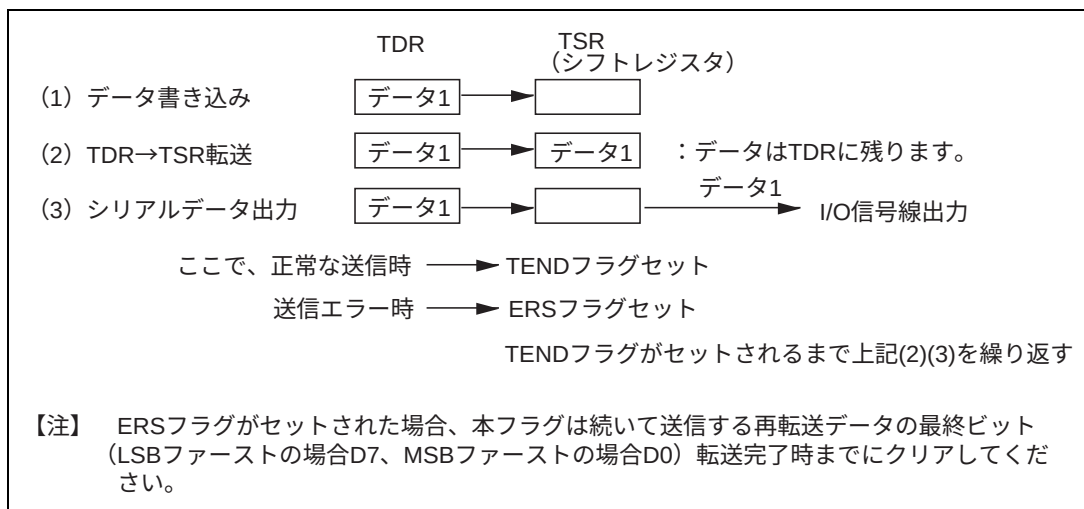


図 14.5 送信動作と内部レジスタの関連

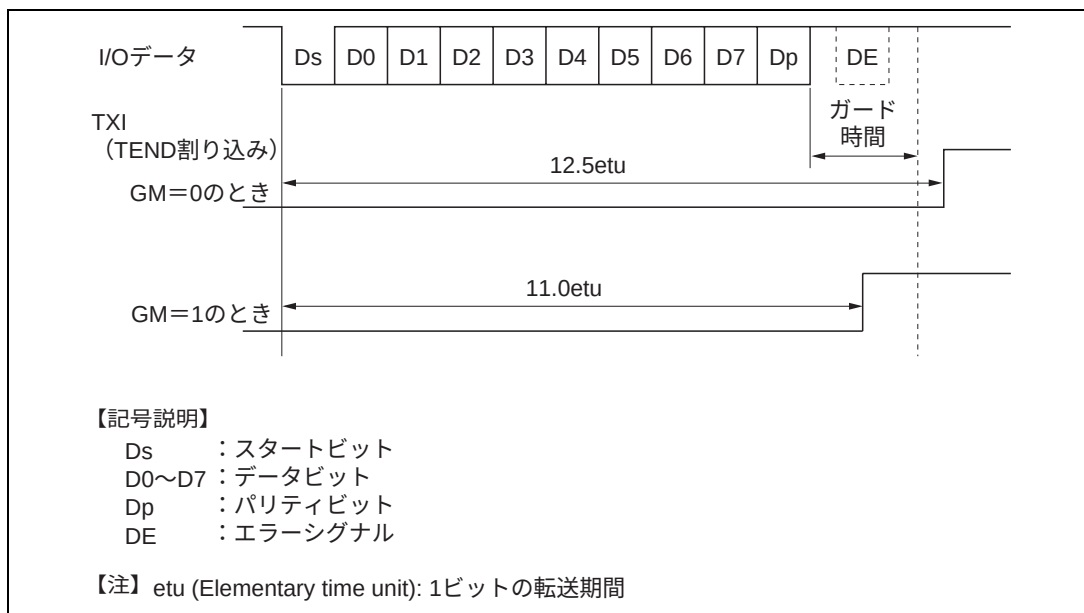


図 14.6 送信動作時の TEND フラグ発生タイミング

(3) シリアルデータ受信（ブロック転送モードを除く）

スマートカードモードのデータ受信は、通常の SCI と同様の処理手順になります。受信処理フローの例を図 14.7 に示します。

- [1] SCIを（1）に従いスマートカードインタフェースモードに初期化します。
- [2] SSRのORERフラグとPERフラグが0であることを確認してください。どちらかのフラグがセットされている場合は、所定の受信異常処理を行った後、ORERとPERフラグをすべて0にクリアしてください。
- [3] RDRFフラグが1であることを確認できるまで [2]、[3] を繰り返してください。
- [4] RDRから受信データをリードしてください。
- [5] 継続してデータを受信する場合は、RDRFフラグを0にクリアして [2] の手順に戻ってください。
- [6] 受信を終了する場合は、REビットを0にクリアします。

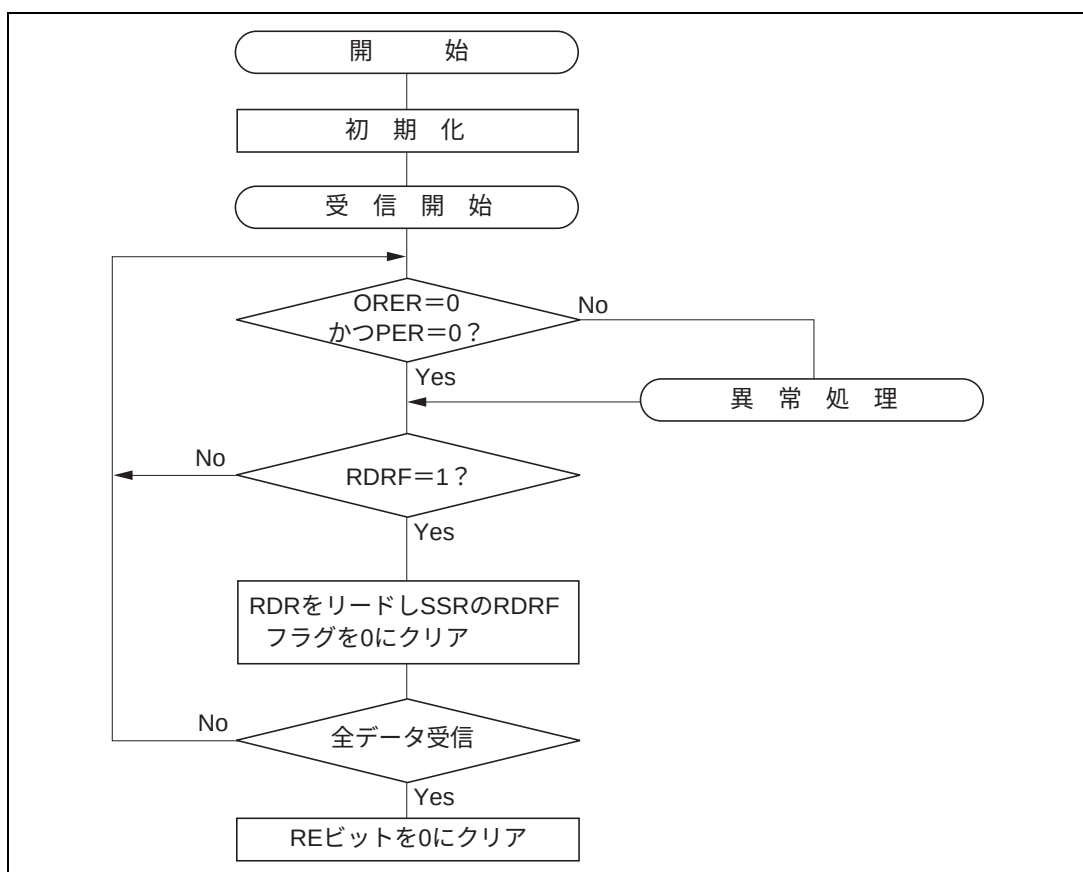


図 14.7 受信処理フローの例

以上の一連の処理は、割り込み処理または DTC によるデータ転送が可能です。

RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき受信が終了し、RDRF フラグが 1 にセットされると、受信データフル割り込み (RXI) 要求が発生します。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。

RXI 要求で DTC を起動する場合、エラーの発生した受信データをスキップして DTC に設定したバイト数だけ受信データを転送します。

詳細は「(6) 割り込み動作」、「(7) DTC によるデータ転送動作」を参照してください。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

【注】ブロック転送モードの場合は「13.3.2 調歩同期式モード時の動作」を参照してください。

(4) モード切り替え動作

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE=0、TE=1 に設定してください。受信動作の完了は、RDRF フラグ、あるいは PER、ORER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE=0、RE=1 に設定してください。送信動作の完了は TEND フラグで確認できます。

(5) クロック出力の固定

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 14.8 にクロック出力の固定タイミングを示します。GM=1、CKE1=0 とし、CKE0 ビットを制御した場合の例です。

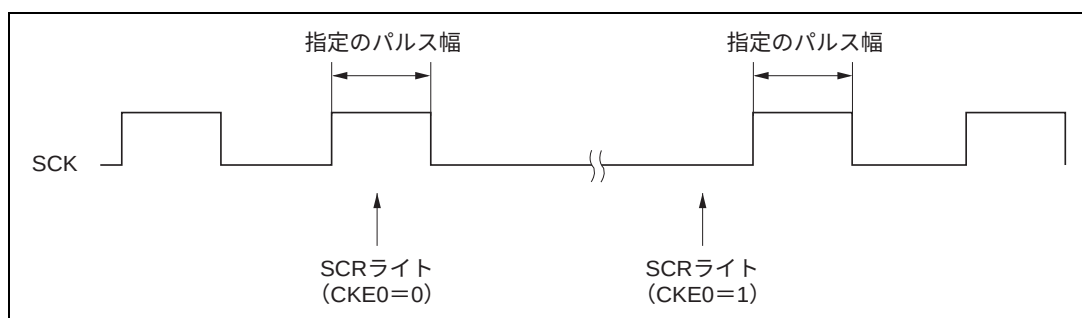


図 14.8 クロック出力固定タイミング

(6) 割り込み動作（ブロック転送モードを除く）

スマートカードインタフェースモードでは、送信データエンプティ割り込み（TXI）要求、送受信エラー割り込み（ERI）要求、受信データフル割り込み（RXI）要求の3種類の割り込み要因があります。なお、本モードでは、送信終了割り込み（TEI）要求は使用できません。

SSR の TEND フラグが1にセットされると、TXI 割り込み要求を発生します。

SSR の RDRF フラグが1にセットされると、RXI 割り込み要求を発生します。

SSR の ORER、PER、ERS フラグのいずれかが1にセットされると、ERI 割り込み要求を発生します。これらの関係を表 14.8 に示します。

【注】ブロック転送モードの場合は、「13.4 SCI 割り込み」を参照してください。

表 14.8 スマートカードインタフェースモードの動作状態と割り込み要因

動作状態		フラグ	許可ビット	割り込み 要因	DTC の 起動
送信モード	正常動作	TEND	TIE	TXI	可
	エラー	ERS	RIE	ERI	不可
受信モード	正常動作	RDRF	RIE	RXI	可
	エラー	PER、ORER	RIE	ERI	不可

(7) DTC によるデータ転送動作

スマートカードモードの場合も通常の SCI の場合と同様に、DTC を使って送受信を行うことができます。送信動作では、SSR の TEND フラグが1にセットされると同時に TDRE フラグもセットされ、TXI 割り込みが発生します。あらかじめ DTC の起動要因に TXI 要求を設定しておけば、TXI 要求により DTC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DTC によるデータ転送時に自動的に0にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は0のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを1にセットしておき、エラー発生時に ERI 要求を発生させ、ERS をクリアしてください。

なお、DTC を使って送受信を行う場合は、必ず先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。DTC の設定方法は「第8章 データトランスファコントローラ（DTC）」を参照してください。

また、受信動作では、SSR の RDRF フラグが1にセットされると RXI 割り込み要求が発生します。あらかじめ DTC の起動要因に RXI 要求を設定しておけば、RXI 要求で DTC が起動されて受信データの転送を行います。RDRF フラグは、DTC によるデータ転送時に、自動的に0にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。そのため DTC は起動されず、代わりに CPU に対し ERI を発生しますのでエラーフラグをクリアしてください。

【注】ブロック転送モードの場合は、「13.4 SCI 割り込み」を参照してください。

14.3.7 GSM モード時の動作

(1) モード切り替え時

スマートカードインタフェースモードとソフトウェアスタンバイ間でモード切り替えを行う際、クロックデューティを保持するため、下記の切り替え手順で処理してください。

(a) スマートカードインタフェースモードからソフトウェアスタンバイモードに移移するとき

- [1] SCK端子に対応するデータレジスタ（DR）とデータディレクションレジスタ（DDR）をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
- [2] SCRのTEビットとREビットに0を書き込み、送信／受信動作を停止させてください。同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
- [3] SCRのCKE0ビットに0を書き込み、クロックを停止させてください。
- [4] シリアルクロックの1クロック周期の間、待ってください。
この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
- [5] ソフトウェアスタンバイ状態に移移させてください。

(b) ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき

- [6] ソフトウェアスタンバイ状態を解除してください。
- [7] SCRのCKE0ビットに1を書き込み、クロックを出力させてください。正常なデューティにて信号発生を開始します。

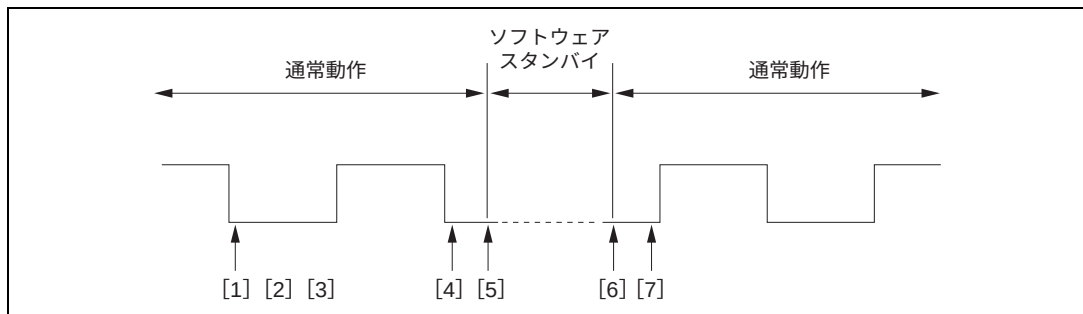


図 14.9 クロック停止・再起動手順

(2) 電源投入時

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理をしてください。

- [1] 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗／プルダウン抵抗を使用してください。
- [2] SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
- [3] SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。
- [4] SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。

14.3.8 ブロック転送モード時の動作

ブロック転送モードの動作は、以下の項目を除いて、SCI の調歩同期式モードと同じです。したがって、詳細は「13.3.2 調歩同期式モード時の動作」を参照してください。

(1) データフォーマット

データフォーマットは 8 ビット、パリティありフォーマットです。ストップビットはありませんが 2 ビット以上（受信時は 1 ビット以上）のガードタイムがあります。

また、送信時（スタートビット、データビット、パリティビット送信時）以外は送信端子がハイインピーダンス状態になります。したがって、信号線をプルアップ抵抗により High レベルに固定する必要があります。

(2) 送受信クロック

送受信クロックは、内蔵ボーレートジェネレータの生成した内部クロックのみ使用できます。また、1 ビット転送期間中の基本クロック数は、BCP1、BCP0 ビットで 32、64、372、256 のどれかに設定できます。詳細は「14.3.5 クロック」を参照してください。

(3) ERS (FER) フラグ

ERS フラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に 0 となります。

14.4 使用上の注意

SCI をスマートカードインタフェースとして使用する際は、以下のことに注意してください。

(1) スマートカードインタフェースモードの受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードでは、SCI は転送レートの 32 倍、64 倍、372 倍、256 倍（BCP1、BCP0 ビットにより決まります）周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックのそれぞれ 16、32、186、128 クロック目の立ち上がりエッジで内部に取り込みます。372 倍のクロック使用時の例を図 14.10 に示します。

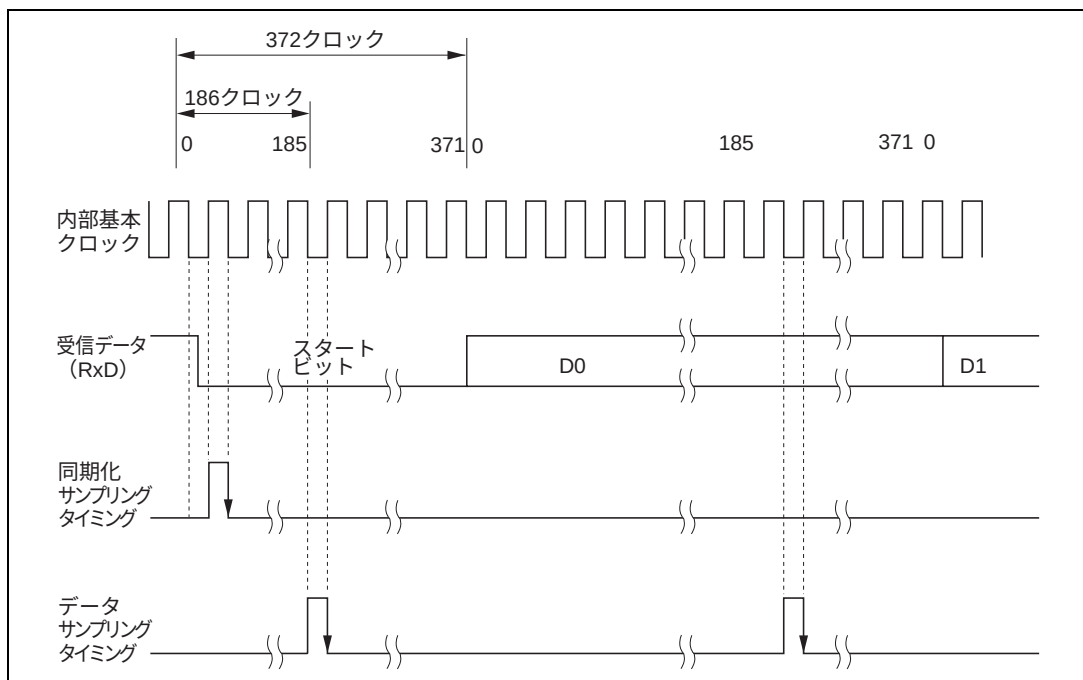


図 14.10 スマートカードインタフェースモード時の受信データサンプリングタイミング
(372 倍のクロック使用時)

したがって、受信マージンは、次の式のように表すことができます。

スマートカードインタフェースモード時の受信マージン式

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=32、64、372、256)

D : クロックデューティ (D=0~1.0)

L : フレーム長 (L=10)

F : クロック周波数の偏差の絶対値

上式で、F=0、D=0.5、N=372 とすると、受信マージン式は次のようになります。

D = 0.5、F=0 のとき、

$$M = (0.5 - 1/2 \times 372) \times 100\% \\ = 49.866\%$$

(2) 再転送動作（ブロック転送モードを除く）

SCI がそれぞれ受信モードの場合と、送信モードの場合の再転送動作を、次に示します。

(a) SCI が受信モードの場合の再転送動作

SCI 受信モードの場合の再転送動作を図 14.11 に示します。

- [1] 受信したパリティビットをチェックした結果、エラーが検出されると、SSRのPERビットが自動的に1にセットされます。このとき、SCRのRIEビットが許可になっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SSRのPERビットを0にクリアしてください。
- [2] 異常が発生したフレームでは、SSRのRDRFビットはセットされません。
- [3] 受信したパリティビットをチェックした結果、エラーが検出されない場合は、SSRのPERビットはセットされません。
- [4] 受信したパリティビットをチェックした結果、エラーが検出されない場合は、正常に受信動作が完了したと判断して、SSRのRDRFビットが自動的に1にセットされます。このときSCRのRIEビットが許可になっていれば、RXI割り込み要求が発生します。
さらに、RXI要因によるDTCのデータ転送が許可されていれば、RDRの内容を自動的にリードすることができます。DTCでRDRのデータをリードした場合、RDRFフラグは自動的に0にクリアされます。
- [5] 正常なフレームを受信した場合、エラーシグナルを送信するタイミングで端子はハイインピーダンス状態を保持します。

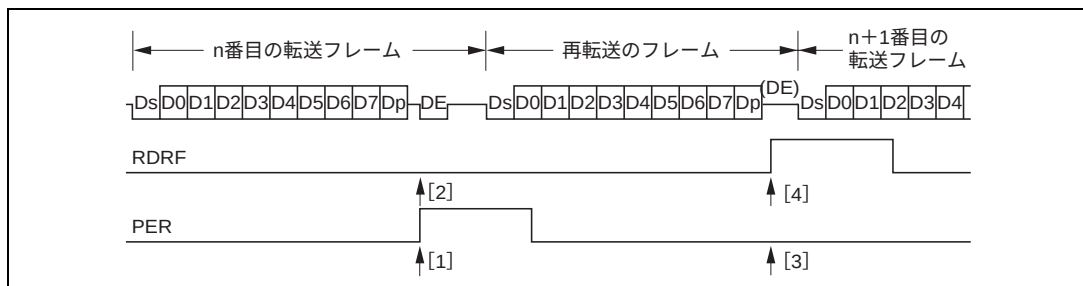


図 14.11 SCI 受信モードの場合の再転送動作

(b) SCI が送信モードの場合の再転送動作

SCI 送信モードの場合の再転送動作を図 14.12 に示します。

- [6] 1フレーム分の送信を完了した後、受信側からエラーシグナルが返されると、SSRのERSビットが1にセットされます。このとき、SCRのRIEビットが許可になっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SSRのERSビットを0にクリアしてください。
 - [7] 異常を示すエラーシグナルを受信したフレームでは、SSRのTENDビットはセットされません。
 - [8] 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。
 - [9] 受信側からエラーシグナルが返ってこない場合は、再転送を含む1フレームの送信が完了したと判断して、SSRのTENDビットが1にセットされます。このときSCRのTIEビットが許可になっていれば、TXI割り込み要求が発生します。
- さらに、TXI要因によるDTCによるデータ転送が許可されていれば、自動的にTDRに次のデータをライトすることができます。DTCでTDRにデータをライトした場合、TDREビットは自動的に0にクリアされます。

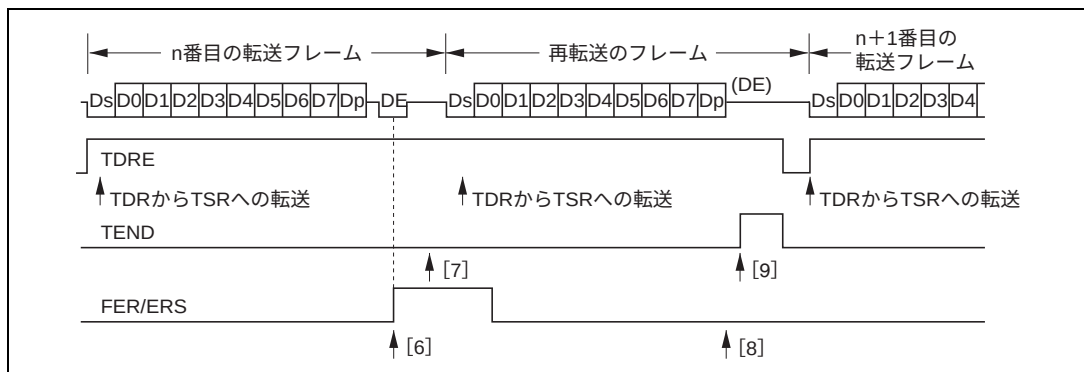


図 14.12 SCI 送信モードの場合の再転送動作

15. コントローラエリアネットワーク (HCAN)

15.1 概要

HCAN は自動車、および産業機器システム等でのリアルタイム通信を目的とした CAN (Controller Area Network) を制御するためのモジュールです。本 LSI には 1 チャンネルの HCAN モジュールが内蔵されています。

参考文献：BOSCH CAN Specification Version 2.0 1991, Robert Bosch GmbH

15.1.1 特長

■CAN バージョン

- Bosch 2.0B active 対応
 - 通信方式：NRZ (Non-Return to Zero) 方式
(ビットスタンプ機能あり)
 - ブロードキャスト通信方式
 - 伝送路：双方向 2 線式シリアル通信
 - 通信速度：最高 1Mbps
 - データ長：0～8 バイト

■チャンネル数

- 1 チャンネル

■データバッファ

- 16 本 (受信専用×1 バッファ、送信／受信設定可能×15 バッファ)

■データ送信方式

- 2 種類選択可能
 - メールボックス (バッファ) の番号順 (昇順)
 - メッセージ優先順位 (Identifier) の高い順

■データ受信方式

- 2 種類
 - メッセージ Identifier の一致 (送信／受信設定バッファ)
 - メッセージ Identifier マスクして受信 (受信専用)

■CPU 割り込み本数

- 2 本の割り込みベクタ
 - エラー割り込み
 - リセット処理割り込み
 - メッセージ受信割り込み (メールボックス 1～15)
 - メッセージ受信割り込み (メールボックス 0)
 - メッセージ送信割り込み

■HCAN 動作モード

- 各種モード対応
 - ハードウェアリセット
 - ソフトウェアリセット
 - 通常状態（エラーアクティブ、エラーパッシブ）
 - パスオフ状態
 - HCAN コンフィギュレーションモード
 - HCAN スリープモード
 - HCAN HALT モード

■その他

- メッセージ受信（HCAN のメールボックス 0 のみ）メールボックスにより DTC 起動可能

15.1.2 ブロック図

HCAN のブロック図を図 15.1 に示します。

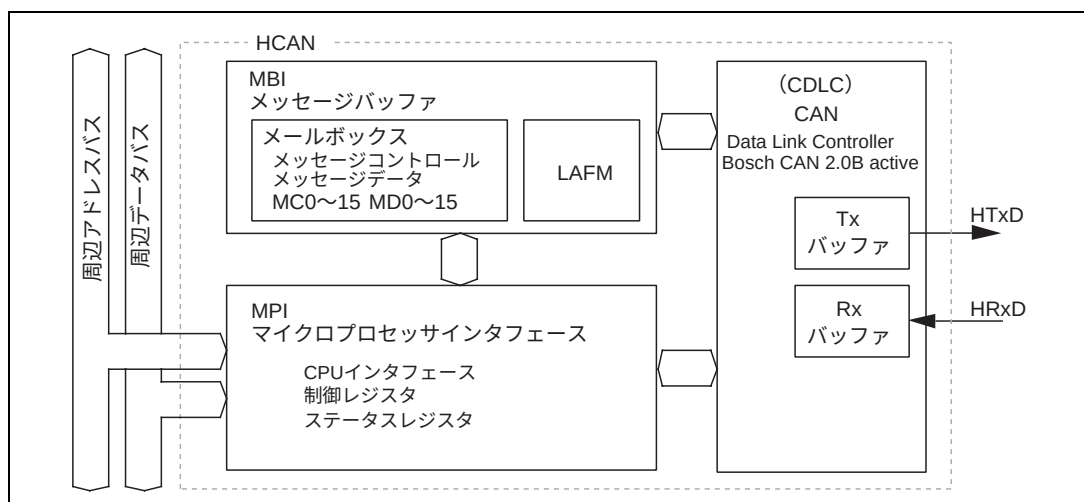


図 15.1 HCAN のブロック図

■メッセージバッファ (Message Buffer Interface)

MBI はメールボックスとローカルアクセプタンスフィルタマスク (LAFM) より構成されており、CAN の送信/受信メッセージ (Identifier およびデータなど) を格納する部分です。送信メッセージは CPU から書き込みを行います。受信メッセージは CDLC で受信したデータを自動的に格納します。

■マイクロプロセッサインタフェース (MicroProcessor Interface)

MPI は CPU とのバスインタフェース、制御レジスタ、ステータスレジスタなどから構成されており、HCAN 内のデータ、ステータスなどを制御する部分です。

■CAN データリンクコントローラ (CAN Data Link Controller)

CDLC は Bosch CAN ver.2.0B active に準拠しておりメッセージ (データフレーム、リモートフレーム、エラーフレーム、オーバーロードフレーム、インタフレームスペーシング) の送受信、CRC チェック、バスアービトラーションなどを行います。

15.1.3 端子構成

HCAN の端子構成を表 15.1 に示します。

なお、HCAN 端子を使用する際は、必ず HCAN コンフィギュレーションモード期間中 (初期設定期間: MCR0=1 かつ GSR3=1) に設定してください。

表 15.1 端子一覧表

名 称	略 称	入出力	機 能
HCAN トランスミットデータ端子	HTxD	出力	CAN バス送信用端子
HCAN レシーブデータ端子	HRxD	入力	CAN バス受信用端子

端子と CAN バスの間にはバスドライバが必要になります。HA13721 とコンパティブルなものを推奨します。

15.1.4 レジスタ一覧表

HCAN のレジスタ一覧表を表 15.2 に示します。

表 15.2 HCAN レジスタ一覧

レジスタ名	略 称	R/W	初期値	アドレス*	アクセスサイズ	
マスタコントロールレジスタ	MCR	R/W	H'01	H'F800	8 ビット	16 ビット
ジェネラルステータスレジスタ	GSR	R/W	H'0C	H'F801	8 ビット	
ビットコンフィグレジスタ	BCR	R/W	H'0000	H'F802	8、16 ビット	
メールボックスコンフィグレジスタ	MBCR	R/W	H'0100	H'F804	8、16 ビット	
送信待ちレジスタ	TXPR	R/W	H'0000	H'F806	8、16 ビット	
送信待ち取り消しレジスタ	TXCR	R/W	H'0000	H'F808	8、16 ビット	
送信アクノレッジレジスタ	TXACK	R/W	H'0000	H'F80A	8、16 ビット	
取り消しアクノレッジレジスタ	ABACK	R/W	H'0000	H'F80C	8、16 ビット	
受信完了レジスタ	RXPR	R/W	H'0000	H'F80E	8、16 ビット	
リモートリクエストレジスタ	RFPR	R/W	H'0000	H'F810	8、16 ビット	
インタラプトレジスタ	IRR	R/W	H'0100	H'F812	8、16 ビット	
メールボックスインタラプトマスクレジスタ	MBIMR	R/W	H'FFFF	H'F814	8、16 ビット	
インタラプトマスクレジスタ	IMR	R/W	H'FEFF	H'F816	8、16 ビット	
受信エラーカウンタ	REC	R	H'00	H'F818	8 ビット	16 ビット
送信エラーカウンタ	TEC	R	H'00	H'F819	8 ビット	
未読メッセージステータスレジスタ	UMSR	R/W	H'0000	H'F81A	8、16 ビット	
ローカルアクセプタンスフィルタマスク L	LAFML	R/W	H'0000	H'F81C	8、16 ビット	
ローカルアクセプタンスフィルタマスク H	LAFMH	R/W	H'0000	H'F81E	8、16 ビット	

名 称	略 称	R/W	初期値	アドレス*	アクセス サイズ
メッセージコントロール 0[1~8]	MC0[1~8]	R/W	不定	H'F820	8、16 ビット
メッセージコントロール 1[1~8]	MC1[1~8]	R/W	不定	H'F828	8、16 ビット
メッセージコントロール 2[1~8]	MC2[1~8]	R/W	不定	H'F830	8、16 ビット
メッセージコントロール 3[1~8]	MC3[1~8]	R/W	不定	H'F838	8、16 ビット
メッセージコントロール 4[1~8]	MC4[1~8]	R/W	不定	H'F840	8、16 ビット
メッセージコントロール 5[1~8]	MC5[1~8]	R/W	不定	H'F848	8、16 ビット
メッセージコントロール 6[1~8]	MC6[1~8]	R/W	不定	H'F850	8、16 ビット
メッセージコントロール 7[1~8]	MC7[1~8]	R/W	不定	H'F858	8、16 ビット
メッセージコントロール 8[1~8]	MC8[1~8]	R/W	不定	H'F860	8、16 ビット
メッセージコントロール 9[1~8]	MC9[1~8]	R/W	不定	H'F868	8、16 ビット
メッセージコントロール 10[1~8]	MC10[1~8]	R/W	不定	H'F870	8、16 ビット
メッセージコントロール 11[1~8]	MC11[1~8]	R/W	不定	H'F878	8、16 ビット
メッセージコントロール 12[1~8]	MC12[1~8]	R/W	不定	H'F880	8、16 ビット
メッセージコントロール 13[1~8]	MC13[1~8]	R/W	不定	H'F888	8、16 ビット
メッセージコントロール 14[1~8]	MC14[1~8]	R/W	不定	H'F890	8、16 ビット
メッセージコントロール 15[1~8]	MC15[1~8]	R/W	不定	H'F898	8、16 ビット
メッセージデータ 0[1~8]	MD0[1~8]	R/W	不定	H'F8B0	8、16 ビット
メッセージデータ 1[1~8]	MD1[1~8]	R/W	不定	H'F8B8	8、16 ビット
メッセージデータ 2[1~8]	MD2[1~8]	R/W	不定	H'F8C0	8、16 ビット
メッセージデータ 3[1~8]	MD3[1~8]	R/W	不定	H'F8C8	8、16 ビット
メッセージデータ 4[1~8]	MD4[1~8]	R/W	不定	H'F8D0	8、16 ビット
メッセージデータ 5[1~8]	MD5[1~8]	R/W	不定	H'F8D8	8、16 ビット
メッセージデータ 6[1~8]	MD6[1~8]	R/W	不定	H'F8E0	8、16 ビット
メッセージデータ 7[1~8]	MD7[1~8]	R/W	不定	H'F8E8	8、16 ビット
メッセージデータ 8[1~8]	MD8[1~8]	R/W	不定	H'F8F0	8、16 ビット
メッセージデータ 9[1~8]	MD9[1~8]	R/W	不定	H'F8F8	8、16 ビット
メッセージデータ 10[1~8]	MD10[1~8]	R/W	不定	H'F900	8、16 ビット
メッセージデータ 11[1~8]	MD11[1~8]	R/W	不定	H'F908	8、16 ビット
メッセージデータ 12[1~8]	MD12[1~8]	R/W	不定	H'F910	8、16 ビット
メッセージデータ 13[1~8]	MD13[1~8]	R/W	不定	H'F918	8、16 ビット
メッセージデータ 14[1~8]	MD14[1~8]	R/W	不定	H'F920	8、16 ビット
メッセージデータ 15[1~8]	MD15[1~8]	R/W	不定	H'F928	8、16 ビット
モジュールストップコントロール レジスタ C	MSTPCRC	R/W	H'FF	H'FDEA	8、16 ビット

【注】 * アドレスの下位 16 ビットを示しています。

15.2 レジスタの説明

15.2.1 マスタコントロールレジスタ (MCR)

MCR

ビット:	7	6	5	4	3	2	1	0
	MCR7	—	MCR5	—	—	MCR2	MCR1	MCR0

初期値: 0 0 0 0 0 0 0 1

R/W: R/W R R/W R R R/W R/W R/W

マスタコントロールレジスタ (MCR) は 8 ビットのリード／ライト可能なレジスタで、CAN インタフェースを制御するためのものです。

ビット 7: HCAN スリープモード解除 (MCR7)

バス動作による HCAN スリープ解除の許可／禁止を選択します。

ビット 7	説 明
MCR7	
0	CAN バス動作による HCAN スリープモード解除を禁止 (初期値)
1	CAN バス動作による HCAN スリープモード解除を許可

ビット 6: リザーブビット

リードすると常に 0 が読み出されます。書き込む値も常に 0 をライトしてください。

ビット 5: HCAN スリープモード (MCR5)

HCAN スリープモード遷移の許可／禁止を選択します。

ビット 5	説 明
MCR5	
0	HCAN スリープモード解除 (初期値)
1	HCAN スリープモードへの遷移を許可

ビット 4、3: リザーブビット

リードすると常に 0 が読み出されます。書き込む値も常に 0 をライトしてください。

ビット 2：メッセージ送信方式 (MCR2)

送信メッセージの送信方式を選択します。

ビット 2	説 明
MCR2	
0	メッセージ Identifier の優先順位により送信の順番を決定 (初期値)
1	メールボックス (バッファ) 番号の優先順位により送信の順番を決定 (TXPR1 > TXPR15)

ビット 1：HALT リクエスト (MCR1)

HCAN モジュールを HALT するための制御ビットです。

ビット 1	説 明
MCR1	
0	通常動作モード (初期値)
1	HALT モードへの遷移をリクエスト

ビット 0：リセットリクエスト (MCR0)

HCAN モジュールをリセットするための制御ビットです。

ビット 0	説 明
MCR0	
0	通常動作モード (MCR0=0 かつ GSR3=0) [セット条件] HCAN のリセット終了時に 0 書き込み
1	リセットモードへの遷移をリクエスト (初期値)

なお、MCR0 に 0 を書き込み後 GSR3 が 1→0 に変化するためには、HCAN 内部がリセットされるまでの時間を必要とします。したがって、MCR0=0 後、GSR3=0 になるまでディレーが発生します。

15.2.2 ジェネラルステータスレジスタ (GSR)

GSR

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	GSR3	GSR2	GSR1	GSR0
初期値：	0	0	0	0	1	1	0	0
R/W：	R	R	R	R	R	R	R	R

ジェネラルステータスレジスタ (GSR) は 8 ビットのリード可能なレジスタで、CAN バスのステータスを示すものです。

ビット 7～4：リザーブビット

リードすると常に 0 が読み出されます。

ビット 3：リセットステータスビット (GSR3)

HCAN モジュールが通常動作状態とリセット状態を示すためのビットです。ライトは無効です。

ビット 3	説 明
GSR3	
0	通常動作状態 [セット条件] HCAN 内部をリセット終了
1	コンフィギュレーションモード (初期値) [リセット条件] MCR0 によるリセット状態およびスリープモード

ビット 2：メッセージ送信ステータスフラグ (GSR2)

メッセージ送信期間中か否かを示すフラグです。「メッセージ送信期間中」とは、メッセージ送信開始 (SOF) から EOF (End of Frame) 後の Intermission 3 ビットまでを表します。ライトは無効です。

ビット 2	説 明
GSR2	
0	メッセージ送信期間中
1	[リセット条件] アイドル期間 (初期値)

ビット 1：送信／受信ワーニングフラグ (GSR1)

エラーワーニングを示すフラグです。ライトは無効です。

ビット 1	説 明
GSR1	
0	[リセット条件] $TEC < 96$ かつ $REC < 96$ のとき $TEC \geq 256$ (初期値)
1	$TEC \geq 96$ または $REC \geq 96$ のとき

ビット 0：バスオフフラグ (GSR0)

バスオフ状態を示すフラグです。ライトは無効です。

ビット 0	説 明
GSR0	
0	[リセット条件] バスオフからの復帰 (初期値)
1	$TEC \geq 256$ のとき (バスオフ状態)

15.2.3 ビットコンフィグレジスタ (BCR)

BCR

ビット：	15	14	13	12	11	10	9	8
	BCR7	BCR6	BCR5	BCR4	BCR3	BCR2	BCR1	BCR0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	7	6	5	4	3	2	1	0
	BCR15	BCR 14	BCR13	BCR12	BCR11	BCR10	BCR9	BCR8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットコンフィグレジスタ (BCR) は 16 ビットのリード／ライト可能なレジスタで、CAN のビットタイミングパラメータやボーレートプリスケアラを設定するためのものです。

ビット 15、14：Re-Synchronization Jump Width (SJW)

ビット同期の最大範囲を設定します。

ビット 15	ビット 14	説 明
BCR7	BCR6	
0	0	最大ビット同期幅 1 time quantum (初期値)
	1	最大ビット同期幅 2 time quanta
1	0	最大ビット同期幅 3 time quanta
	1	最大ビット同期幅 4 time quanta

ビット 13～8：ボーレートプリスケアラ (BRP)

CAN バスのボーレートを設定するためのものです。

ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	説 明
BCR5	BCR4	BCR3	BCR2	BCR1	BCR0	
0	0	0	0	0	0	2×システムクロック (初期値)
					1	4×システムクロック
				1	0	6×システムクロック
：	：	：	：	：	：	：
1	1	1	1	1	1	128×システムクロック

ビット 7：ビットサンプリングポイント (BSP)

データをサンプリングするポイントを設定するためのものです。

ビット 7	説 明
BCR15	
0	1 箇所のビットサンプリング (タイムセグメント 1 (TSEG1) の終わり) (初期値)
1	3 箇所のビットサンプリング (タイムセグメント 1 (TSEG1) の終わりと前後 1 time quantum)

ビット 6～4：タイムセグメント 2 (TSEG2)

1 ビットタイムの誤差を補正するためのセグメントで 2～8 まで設定可能です。

ビット 6	ビット 5	ビット 4	説 明
BCR14	BCR13	BCR12	
0	0	0	設定禁止 (初期値)
		1	TSEG2 =2 time quanta
	1	0	TSEG2 =3 time quanta
		1	TSEG2 =4 time quanta
1	0	0	TSEG2 =5 time quanta
		1	TSEG2 =6 time quanta
	1	0	TSEG2 =7 time quanta
		1	TSEG2 =8 time quanta

ビット 3～0：タイムセグメント 1 (TSEG1)

出力バッファ、CAN バス、入力バッファのディレーを吸収するためのセグメントで 4～16 まで設定可能です。

ビット 3	ビット 2	ビット 1	ビット 0	説 明
BCR11	BCR10	BCR9	BCR8	
0	0	0	0	設定禁止 (初期値)
			1	設定禁止
		1	0	設定禁止
			1	TSEG1 =4 time quanta
	1	0	0	TSEG1 =5 time quanta
:	:	:	:	:
1	1	1	1	TSEG1 =16 time quanta

15.2.4 メールボックスコンフィグレジスタ (MBCR)

MBCR

ビット：	15	14	13	12	11	10	9	8
	MBCR7	MBCR6	MBCR5	MBCR4	MBCR3	MBCR2	MBCR1	—
初期値：	0	0	0	0	0	0	0	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット：	7	6	5	4	3	2	1	0
	MBCR15	MBCR 14	MBCR13	MBCR12	MBCR11	MBCR10	MBCR9	MBCR8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

メールボックスコンフィグレジスタ (MBCR) は 16 ビットのリード／ライト可能なレジスタで、メールボックス (バッファ) の送信／受信を設定するためのものです。

ビット 15～9、7～0：メールボックス設定レジスタ (MBCR7～MBCR1、MBCR15～MBCR8)

対応するメールボックスの極性を設定します。

ビット y	説 明
MBCRx	
0	対応するメールボックスを送信用に設定 (初期値)
1	対応するメールボックスを受信用に設定

(x=15～1、y=15～9、7～0)

ビット 8：リザーブビット

リードすると常に 1 が読み出されます。書き込みも常に 1 をライトしてください。

15.2.5 送信待ちレジスタ (TXPR)

TXPR

ビット：	15	14	13	12	11	10	9	8
	TXPR7	TXPR6	TXPR5	TXPR4	TXPR3	TXPR2	TXPR1	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット：	7	6	5	4	3	2	1	0
	TXPR15	TXPR 14	TXPR13	TXPR12	TXPR11	TXPR10	TXPR9	TXPR8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

送信待ちレジスタ (TXPR) は 16 ビットのリード／ライト可能なレジスタで、送信メッセージをメールボックス (バッファ) に格納後の送信待ち (CAN バスアービトラクション待ち) を設定するためのものです。

ビット 15～9、7～0：送信待ちレジスタ (TXPR7～TXPR1、TXPR15～TXPR8)

対応するメールボックス (バッファ) の送信待ちを設定します。

ビット y	説 明
TXPRx	
0	対応するメールボックス内の送信メッセージアイドル状態 (初期値) [クリア条件] メッセージの送信完了および取り消し完了
1	対応するメールボックス内の送信メッセージの送信待ち (CAN バスアービトラクション)

(x=15～1、y=15～9、7～0)

ビット 8：リザーブビット

リードすると常に 0 が読み出されます。書き込みも常に 0 をライトしてください。

15.2.6 送信待ち取り消しレジスタ (TXCR)

TXCR

ビット：	15	14	13	12	11	10	9	8
	TXCR7	TXCR6	TXCR5	TXCR4	TXCR3	TXCR2	TXCR1	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット：	7	6	5	4	3	2	1	0
	TXCR15	TXCR 14	TXCR13	TXCR12	TXCR11	TXCR10	TXCR9	TXCR8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

送信待ち取り消しレジスタ (TXCR) は 16 ビットのリード／ライト可能なレジスタで、メールボックス (バッファ) 内送信待ちメッセージの取り消しを制御するためのものです。

ビット 15～9、7～0：送信待ち取り消しレジスタ (TXCR7～TXCR1、TXCR15～TXCR8)

HCAN の対応するメールボックス内送信待ちメッセージの取り消しを制御します。

ビット y	説 明
TXCRx	
0	対応するメールボックス内の送信メッセージ取り消しアイドル状態 (初期値) [クリア条件] TXPR のクリア完了 (送信メッセージを正常に取り消したとき)
1	対応するメールボックスの TXPR クリア (送信メッセージの取り消し)

(x=15～1、y=15～9、7～0)

ビット 8：リザーブビット

リードすると常に 0 が読み出されます。書き込みも常に 0 をライトしてください。

15.2.7 送信アクノレッジレジスタ (TXACK)

TXACK

ビット：	15	14	13	12	11	10	9	8
	TXACK7	TXACK6	TXACK5	TXACK4	TXACK3	TXACK2	TXACK1	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R
ビット：	7	6	5	4	3	2	1	0
	TXACK15	TXACK 14	TXACK13	TXACK12	TXACK11	TXACK10	TXACK9	TXACK8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするための 1 ライトのみ可能です。

送信アクノレッジレジスタ (TXACK) は 16 ビットのリード／ライト可能なレジスタで、メールボックス (バッファ) の送信メッセージが正常に送信されたことを示すステータスフラグです。

ビット 15～9、7～0：送信アクノレッジレジスタ (TXACK7～TXACK1、TXACK15～TXACK8)

対応するメールボックスの送信メッセージが正常に送信されたことを示します。

ビット y	説 明
TXACKx	
0	[クリア条件] 1 書き込み (初期値)
1	対応するメールボックスのメッセージ送信完了

(x=15～1、y=15～9、7～0)

ビット 8：リザーブビット

リードすると常に 0 が読み出されます。書き込みも常に 0 をライトしてください。

15.2.8 取り消しアクノレッジレジスタ (ABACK)

ABACK

ビット:	15	14	13	12	11	10	9	8
	ABACK7	ABACK6	ABACK5	ABACK4	ABACK3	ABACK2	ABACK1	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R
ビット:	7	6	5	4	3	2	1	0
	ABACK15	ABACK14	ABACK13	ABACK12	ABACK11	ABACK10	ABACK9	ABACK8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするための1ライトのみ可能です。

取り消しアクノレッジレジスタ (ABACK) は 16 ビットのリード／ライト可能なレジスタで、メールボックス (バッファ) 内送信メッセージが正常に取り消されたことを示すステータスフラグです。

ビット 15～9、7～0: 取り消しアクノレッジレジスタ (ABACK7～ABACK1、ABACK15～ABACK8)
対応するメールボックス内送信メッセージが正常に取り消されたことを示します。

ビット y	説 明
ABACKx	
0	[クリア条件] 1 書き込み (初期値)
1	対応するメールボックスの送信メッセージ取り消し完了

(x=15～1、y=15～9、7～0)

ビット 8: リザーブビット

リードすると常に 0 が読み出されます。書き込みも常に 0 をライトしてください。

15.2.9 受信完了レジスタ (RXPR)

RXPR

ビット:	15	14	13	12	11	10	9	8
	RXPR7	RXPR6	RXPR5	RXPR4	RXPR3	RXPR2	RXPR1	RXPR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*
ビット:	7	6	5	4	3	2	1	0
	RXPR15	RXPR 14	RXPR13	RXPR12	RXPR11	RXPR10	RXPR9	RXPR8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするための1ライトのみ可能です。

受信完了レジスタ (RXPR) は 16 ビットのリード／ライト可能なレジスタで、メールボックス (バッファ) にメッセージ (データフレームまたはリモートフレーム) が正常に受信されたことを示すステータスフラグです。なお、リモートフレーム受信の場合は、対応するリモートリクエストレジスタ (RFPR) も同時にセットされます。

ビット 15～0: 受信完了レジスタ (RXPR7～RXPR0、RXPR15～RXPR8)

対応するメールボックスにメッセージが正常に受信されたことを示します。

ビット x	説 明
RXPRx	
0	[クリア条件] 1 書き込み (初期値)
1	対応するメールボックスにメッセージ (データフレームまたはリモートフレーム) 受信完了

(x=15～0)

15.2.10 リモートリクエストレジスタ (RFPR)

RFPR

ビット：	15	14	13	12	11	10	9	8
	RFPR7	RFPR6	RFPR5	RFPR4	RFPR3	RFPR2	RFPR1	RFPR0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*
ビット：	7	6	5	4	3	2	1	0
	RFPR15	RFPR14	RFPR13	RFPR12	RFPR11	RFPR10	RFPR9	RFPR8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグをクリアするための1ライトのみ可能です。

リモートリクエストレジスタ (RFPR) は 16 ビットのリード／ライト可能なレジスタで、メールボックス(バッファ)にリモートフレームが正常に受信されたことを示すステータスフラグです。なお、本ビットがセットされると、対応する受信完了ビットが同時にセットされます。

ビット 15～0：リモートリクエストレジスタ (RFPR7～RFPR0、RFPR15～RFPR8)

対応するメールボックスにリモートフレームが正常に受信されたことを示します。

ビット x	説 明
RFPRx	
0	[クリア条件] 1 書き込み (初期値)
1	対応するメールボックスにリモートフレーム受信完了

(x=15～0)

15.2.11 インタラプトレジスタ (IRR)

IRR ビット:	15	14	13	12	11	10	9	8
	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
初期値:	0	0	0	0	0	0	0	1
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/(W)*
ビット:	7	6	5	4	3	2	1	0
	—	—	—	IRR12	—	—	IRR9	IRR8
初期値:	0	0	0	0	0	0	0	0
R/W:	—	—	—	R/(W)*	—	—	R	R/(W)*

【注】* フラグをクリアするための1ライトのみ可能です。

インタラプトレジスタ (IRR) は 16 ビットのリード／ライト可能なレジスタで、各割り込み要因のステータスを示すフラグです。

ビット 15：オーバロードフレーム割り込みフラグ (IRR7)

HCAN がオーバロードフレームを送信したことを示すステータスフラグです。

ビット 15	説 明
IRR7	
0	[クリア条件] 1 書き込み (初期値)
1	オーバロードフレーム送信 [セット条件] オーバロードフレームを送信したとき

ビット 14：バスオフ割り込みフラグ (IRR6)

送信エラーカウンタによるバスオフ状態を示すステータスフラグです。

ビット 14	説 明
IRR6	
0	[クリア条件] 1 書き込み (初期値)
1	送信エラーによるバスオフ状態 [セット条件] TEC ≥ 256 になったとき

ビット 13：エラーパッシブ割り込みフラグ (IRR5)

送信／受信エラーカウンタによるエラーパッシブ状態を示すステータスフラグです。

ビット 13	説 明
IRR5	
0	[クリア条件] 1 書き込み (初期値)
1	送信／受信エラーによるエラーパッシブ状態 [セット条件] $TEC \geq 128$ または $REC \geq 128$ になったとき

ビット 12：受信オーバーロードワーニング割り込みフラグ (IRR4)

受信エラーカウンタによるエラーワーニング状態を示すステータスフラグです。

ビット 12	説 明
IRR4	
0	[クリア条件] 1 書き込み (初期値)
1	受信エラーによるエラーワーニング状態 [セット条件] $REC \geq 96$ になったとき

ビット 11：送信オーバーロードワーニング割り込みフラグ (IRR3)

送信エラーカウンタによるエラーワーニング状態を示すステータスフラグです。

ビット 11	説 明
IRR3	
0	[クリア条件] 1 書き込み (初期値)
1	送信エラーによるエラーワーニング状態 [セット条件] $TEC \geq 96$ になったとき

ビット 10：リモートフレームリクエスト割り込みフラグ (IRR2)

メールボックス（バッファ）にリモートフレームを受信したことを示すステータスフラグです。

ビット 10	説 明
IRR2	
0	[クリア条件] MBIMR で受信割り込み要求を許可したメールボックスの RFPR (リモートリクエストレジスタ) のビットをすべてクリア (初期値)
1	リモートフレーム受信しメールボックスに格納 [セット条件] リモートフレームを受信完了したとき 対応する MBIMR=0 のとき

ビット 9：受信メッセージ割り込みフラグ (IRR1)

メールボックス（バッファ）受信メッセージを正常に受信したことを示すステータスフラグです。

ビット 9	説 明
IRR1	
0	[クリア条件] MBIMR で受信割り込み要求を許可したメールボックスの RXPR (受信完了レジスタ) のビットをすべてクリア (初期値)
1	データフレーム、リモートフレーム受信しメールボックスに格納 [セット条件] データフレームおよびリモートフレームを受信完了したとき 対応する MBIMR=0 のとき

ビット 8：リセット割り込みフラグ (IRR0)

HCAN モジュールがリセットされたことを示すステータスフラグです。

本ビットはインタラプトマスクレジスタ (IMR) ではマスク不可となっています。リセット投入後およびソフトウェアスタンバイ復帰後、本ビットをクリアしない場合は、割り込みコントローラにて割り込み許可をすると、直ちに割り込み処理を行います。

ビット 8	説 明
IRR0	
0	[クリア条件] 1 書き込み
1	ハードウェアリセット (HCAN モジュールストップ*、ソフトウェアスタンバイ) 投入 (初期値) [セット条件] ハードウェアリセット (HCAN モジュールストップ*、ソフトウェアスタンバイ) 投入後にリセット処理完了したとき

【注】 * リセット、ハードウェアスタンバイ解除後はモジュールストップビットが 1 に初期化されるため、HCAN はモジュールストップ状態になります。

ビット 7～5、3、2：リザーブビット

リードすると常に 0 が読み出されます。書き込む値も常に 0 をライトしてください。

ビット 4：バス動作割り込みフラグ (IRR12)

HCAN モジュールが HCAN スリープモード中にバス動作のドミナントビットの検出を示すステータスフラグです。

ビット 4	説 明
IRR12	
0	CAN バスアイドル状態 (初期値) [クリア条件] 1 書き込み
1	HCAN スリープモード中 CAN バスの動作あり [セット条件] HCAN スリープモード中のバス動作 (ドミナントビット検出) のとき

ビット 1：未読割り込みフラグ (IRR9)

受信メッセージが未読のままオーバライトされたことを示すステータスフラグです。

ビット 1	説 明
IRR9	
0	[クリア条件] UMSR (未読メッセージステータスレジスタ) のすべてのビットクリア (初期値)
1	未読メッセージのオーバライト [セット条件] UMSR (未読メッセージステータスレジスタ) がセットされたとき

ビット 0：メールボックス空き割り込みフラグ (IRR8)

メールボックスに次の送信メッセージが格納可能であることを示すステータスフラグです。

ビット 0	説 明
IRR8	
0	[クリア条件] 1 書き込み (初期値)
1	送信メッセージが送信または取り消され新規メッセージ格納可能 [セット条件] TXPR (送信待ちレジスタ) が送信完了および送信取り消し完了によりクリアされたとき

15.2.12 メールボックスインタラプトマスクレジスタ (MBIMR)

MBIMR

ビット：	15	14	13	12	11	10	9	8
	MBIMR7	MBIMR6	MBIMR5	MBIMR4	MBIMR3	MBIMR2	MBIMR1	MBIMR0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	7	6	5	4	3	2	1	0
	MBIMR15	MBIMR14	MBIMR13	MBIMR12	MBIMR11	MBIMR10	MBIMR9	MBIMR8
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

メールボックスインタラプトマスクレジスタ (MBIMR) は 16 ビットのリード／ライト可能なレジスタで、各メールボックス (バッファ) の割り込み要求を許可／禁止するフラグです。

ビット 15～0：メールボックスインタラプトマスク (MBIMR7～MBIMR0、MBIMR15～MBIMR8)
各メールボックスの割り込み要求を許可／禁止するフラグです。

ビット x	説 明
MBIMRx	
0	[送信時] TXPR のクリアにより CPU へ割り込み要求 [受信時] RXPR のセットにより CPU へ割り込み要求
1	CPU への割り込み要求を禁止 (初期値) (x=15～0)

15.2.13 インタラプトマスクレジスタ (IMR)

IMR

ビット：	15	14	13	12	11	10	9	8
	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	—
初期値：	1	1	1	1	1	1	1	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット：	7	6	5	4	3	2	1	0
	—	—	—	IMR12	—	—	IMR9	IMR8
初期値：	1	1	1	1	1	1	1	1
R/W：	R	R	R	R/W	R	R	R/W	R/W

インタラプトマスクレジスタ (IMR) は 16 ビットのリード／ライト可能なレジスタで、各割り込み要因の要求を許可／禁止するフラグです。

ビット 15：オーバロードフレーム／バスオフ復帰割り込みマスク (IMR7)

オーバロードフレーム／バスオフ復帰割り込み要求の許可／禁止を選択します。

ビット 15	説 明
IMR7	
0	IRR7 による CPU へのオーバロードフレーム／バスオフ復帰割り込み要求 (OVR0) を許可
1	IRR7 による CPU へのオーバロードフレーム／バスオフ復帰割り込み要求 (OVR0) を禁止 (初期値)

ビット 14：バスオフ割り込みマスク (IMR6)

送信エラーカウンタによるバスオフ割り込み要求の許可／禁止を選択します。

ビット 14	説 明
IMR6	
0	IRR6 による CPU へのバスオフ割り込み要求 (ERS0) を許可
1	IRR6 による CPU へのバスオフ割り込み要求 (ERS0) を禁止 (初期値)

ビット 13：エラーパッシブ割り込みマスク (IMR5)

送信／受信エラーカウンタによるエラーパッシブ割り込み要求の許可／禁止を選択します。

ビット 13	説 明
IMR5	
0	IRR5 による CPU へのエラーパッシブ割り込み要求 (ERS0) を許可
1	IRR5 による CPU へのエラーパッシブ割り込み要求 (ERS0) を禁止 (初期値)

ビット 12：受信オーバーロードワーニング割り込みマスク (IMR4)

受信エラーカウンタによるエラーワーニング割り込み要求の許可／禁止を選択します。

ビット 12	説 明
IMR4	
0	IRR4 による CPU への REC エラーワーニング割り込み要求 (OVR0) を許可
1	IRR4 による CPU への REC エラーワーニング割り込み要求 (OVR0) を禁止 (初期値)

ビット 11：送信オーバーロードワーニングマスク (IMR3)

送信エラーカウンタによるエラーワーニング割り込み要求の許可／禁止を選択します。

ビット 11	説 明
IMR3	
0	IRR3 による CPU への TEC エラーワーニング割り込み要求 (OVR0) を許可
1	IRR3 による CPU への TEC エラーワーニング割り込み要求 (OVR0) を禁止 (初期値)

ビット 10：リモートフレームリクエスト割り込みマスク (IMR2)

リモートフレーム受信割り込み要求の許可／禁止を選択します。

ビット 10	説 明
IMR2	
0	IRR2 による CPU へのリモートフレーム受信割り込み要求 (OVR0) を許可
1	IRR2 による CPU へのリモートフレーム受信割り込み要求 (OVR0) を禁止 (初期値)

ビット 9：受信メッセージ割り込みマスク（IMR1）

メッセージ受信割り込み要求の許可／禁止を選択します。

ビット 9	説 明
IMR1	
0	IRR1 による CPU へのメッセージ受信割り込み要求（RM1）を許可
1	IRR1 による CPU へのメッセージ受信割り込み要求（RM1）を禁止（初期値）

ビット 8：リザーブビット

リードすると常に0が読み出されます。書き込む値も常に0をライトしてください。

ビット 7～5、3、2：リザーブビット

リードすると常に 1 が読み出されます。書き込む値も常に 1 をライトしてください。

ビット 4：バス動作割り込みマスク（IMR12）

スリープモード中のバス動作による割り込み要求の許可／禁止を選択します。

ビット 4	説 明
IMR12	
0	IRR12 による CPU へのバス動作割り込み要求（OVR0）を許可
1	IRR12 による CPU へのバス動作割り込み要求（OVR0）を禁止（初期値）

ビット 1：未読割り込みマスク（IMR9）

受信未読メッセージのオーバーライト割り込み要求の許可／禁止を選択します。

ビット 1	説 明
IMR9	
0	IRR9 による CPU への未読メッセージオーバーライト割り込み要求（OVR0）を許可
1	IRR9 による CPU への未読メッセージオーバーライト割り込み要求（OVR0）を禁止（初期値）

ビット 0：メールボックス空き割り込みマスク（IMR8）

メールボックス空き割り込み要求の許可／禁止を選択します。

ビット 0	説 明
IMR8	
0	IRR8 による CPU へのメールボックス空き割り込み要求（SLE0）を許可
1	IRR8 による CPU へのメールボックス空き割り込み要求（SLE0）を禁止（初期値）

15.2.14 受信エラーカウンタ (REC)

REC								
ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

受信エラーカウンタ (REC) は 8 ビットのリード可能なレジスタで、CAN バス上の受信メッセージエラーを示すカウンタです。カウント数は CAN プロトコルで規定されています。

15.2.15 送信エラーカウンタ (TEC)

TEC								
ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

送信エラーカウンタ (TEC) は 8 ビットのリード可能なレジスタで、CAN バスに送信するメッセージエラーを示すカウンタです。カウント数は CAN プロトコルで規定されています。

15.2.16 未読メッセージステータスレジスタ (UMSR)

UMSR								
ビット:	15	14	13	12	11	10	9	8
	UMSR7	UMSR6	UMSR5	UMSR4	UMSR3	UMSR2	UMSR1	UMSR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*
ビット:	7	6	5	4	3	2	1	0
	UMSR15	UMSR14	UMSR13	UMSR12	UMSR11	UMSR10	UMSR9	UMSR8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするための 1 ライトのみ可能です。

未読メッセージステータスレジスタ (UMSR) は 16 ビットのリード/ライト可能なレジスタで、各メールボックス (バッファ) で受信したメッセージを読み出す前に新たな受信メッセージによって上書きされたことを示すステータスレジスタです。

なお、新規受信メッセージにより上書きされた場合は、古いデータは失われます。

ビット 15～0：未読メッセージステータスフラグ (UMSR7～UMSR0、UMSR15～UMSR8)

受信未読メッセージをオーバーライトしたことを示すステータスフラグです。

ビット x	説 明
UMSRx	
0	[クリア条件] 1 書き込み (初期値)
1	メッセージを受信後未読のまま新規メッセージをオーバーライト [セット条件] RXPR をクリアする前に新規メッセージを受信したとき

(x=15～0)

15.2.17 ローカルアクセプタンスフィルタマスク (LAFML、LAFMH)

LAFML

ビット：	15	14	13	12	11	10	9	8
	LAFML7	LAFML6	LAFML5	LAFML4	LAFML3	LAFML2	LAFML1	LAFML0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	7	6	5	4	3	2	1	0
	LAFML15	LAFML14	LAFML13	LAFML12	LAFML11	LAFML10	LAFML9	LAFML8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

LAFMH

ビット：	15	14	13	12	11	10	9	8
	LAFMH7	LAFMH6	LAFMH5	—	—	—	LAFMH1	LAFMH0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R	R	R	R/W	R/W
ビット：	7	6	5	4	3	2	1	0
	LAFMH15	LAFMH14	LAFMH13	LAFMH12	LAFMH11	LAFMH10	LAFMH9	LAFMH8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ローカルアクセプタンスフィルタ (LAFML, AFMH) は 16 ビットのリード／ライト可能なレジスタで、受信専用メールボックス (MC0, MD0) に格納される受信メッセージを Identifier によってフィルタリングするものです。LAFMH15 (MSB) ～LAFMH5 (LSB) (スタンダード／エクステンデッド Identifier 用 11 ビット) となります。また、LAFMH1 (MSB) ～LAFML0 (LSB) (エクステンデッド Identifier 用 18 ビット) となります。

LAFMH ビット 7～0、15～13：11 ビット Identifier 用フィルタ (LAFMH7～LAFMH5、LAFMH15～LAFMH8)

受信メッセージ Identifier の初めの 11 ビット (スタンダード／エクステンデッド共用) 用のフィルタマスクです。

ビット y	説 明
LAFMHx	
0	MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致により MC0、MD0 (受信専用メールボックス) に格納 (初期値)
1	MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致にかかわらず MC0、MD0 (受信専用メールボックス) に格納

(x=15～5、y=15～13、7～0)

LAFMH ビット 12～10：リザーブビット

リードすると常に 0 が読み出されます。書き込む値は常に 0 をライトしてください。

LAFMH ビット 9、8、LAFML15～0：18 ビット Identifier 用フィルタ (LAFMH1、LAFMH0、LAFML7～LAFML0、LAFML15～LAFML8)

受信メッセージ Identifier の 18 ビット (エクステンデッド) 用のフィルタマスクです。

ビット y	説 明
LAFMHx LAFMLy	
0	MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致により MC0 (受信専用メールボックス) に格納 (初期値)
1	MC0 のメッセージ Identifier と受信メッセージ Identifier のビット一致にかかわらず MC0 (受信専用メールボックス) に格納

(x=1、0、y=15～0)

15.2.18 メッセージコントロール (MC0～MC15)

メッセージコントロール (MC0～MC15) は 8 ビット×8 本 (MCx[1]～MCx[8]) のレジスタです。HCAN には本レジスタが 16 セット (MC0～MC15) あります。

本レジスタはリード／ライト可能なレジスタです。初期値は不定となりますので必ず初期設定 (0 または 1 書き込み) をしてください。

MCx[1] ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	DLC3	DLC2	DLC1	DLC0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[2] ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[3] ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[4] ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[5] ビット:	7	6	5	4	3	2	1	0
	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[6] ビット:	7	6	5	4	3	2	1	0
	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[7] ビット:	7	6	5	4	3	2	1	0
	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[8] ビット:	7	6	5	4	3	2	1	0
	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(x=15~0)

MCx[1]ビット 7～4：リザーブビット

初期値は不定となりますので必ず初期設定（0 または 1 書き込み）をしてください。

MCx[1]ビット 3～0：データ長コード (DLC)

データフレームおよびリモートフレームでの要求のデータ長を示します。

ビット 3	ビット 2	ビット 1	ビット 0	説 明
DLC3	DLC2	DLC1	DLC0	
0	0	0	0	データ長：0 バイト
			1	データ長：1 バイト
		1	0	データ長：2 バイト
			1	データ長：3 バイト
	1	0	0	データ長：4 バイト
			1	データ長：5 バイト
		1	0	データ長：6 バイト
			1	データ長：7 バイト
1	0/1	0/1	0/1	データ長：8 バイト

MCx[2]ビット 7～0：リザーブビット

初期値は不定となりますので必ず初期設定（0 または 1 書き込み）をしてください。

MCx[3]ビット 7～0：リザーブビット

初期値は不定となりますので必ず初期設定（0 または 1 書き込み）をしてください。

MCx[4]ビット 7～0：リザーブビット

初期値は不定となりますので必ず初期設定（0 または 1 書き込み）をしてください。

MCx[6]ビット 7～0：スタンダード Identifier (STD_ID10～3)

MCx[5]ビット 7～5：スタンダード Identifier (STD_ID2～0)

データフレーム、リモートフレームの Identifier (スタンダード Identifier) を設定します。

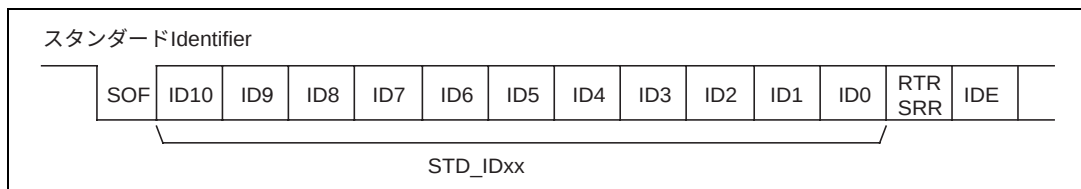


図 15.2 スタンダード Identifier

MCx[5]ビット 4：リモートトランスミッションリクエスト (RTR)

データフレームとリモートフレームを識別するためのものです。

ビット 4	説 明
RTR	
0	データフレーム
1	リモートフレーム

MCx[5]ビット 3：Identifier エクステンション (IDE)

データフレーム、リモートフレームのスタンダードフォーマットおよびエクステンデッドフォーマットを識別するためのものです。

ビット 3	説 明
IDE	
0	スタンダードフォーマット
1	エクステンデッドフォーマット

MCx[5]ビット 2：リザーブビット

初期値は不定となりますので必ず初期設定 (0 または 1 書き込み) をしてください。

MCx[5]ビット 1、0：エクステンデッド Identifier (EXD_ID17,16)**MCx[8]ビット 7～0：エクステンデッド Identifier (EXD_ID15～8)****MCx[7]ビット 7～0：エクステンデッド Identifier (EXD_ID7～0)**

データフレーム、リモートフレームの Identifier (エクステンデッド Identifier) を設定します。

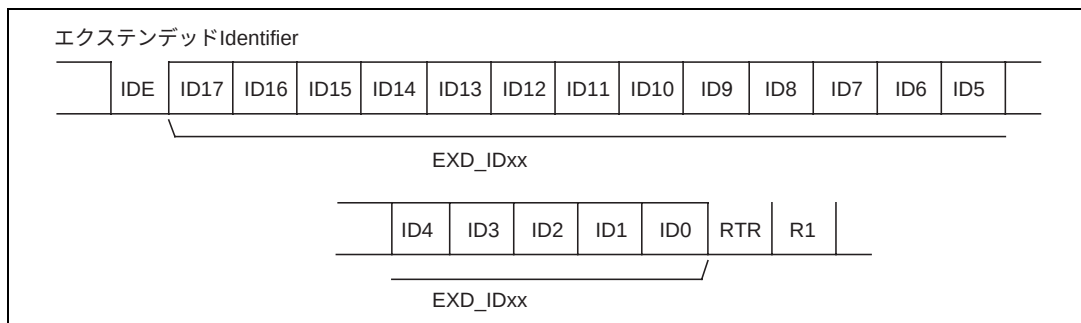


図 15.3 エクステンデッド Identifier

15.2.19 メッセージデータ (MD0～MD15)

メッセージデータ (MD0～MD15) は 8 ビット×8 本 (MDx[1]～MDx[8]) のレジスタです。HCAN には本レジスタが 16 セット (MD0～MD15) あります。

本レジスタはリード／ライト可能なレジスタです。初期値は不定となりますので必ず初期設定 (0 または 1 書き込み) をしてください。

MDx[1] メッセージデータ1

ビット:	7	6	5	4	3	2	1	0

初期値: 不定 不定 不定 不定 不定 不定 不定 不定

R/W: R/W R/W R/W R/W R/W R/W R/W

MDx[2] メッセージデータ2

ビット:	7	6	5	4	3	2	1	0

初期値: 不定 不定 不定 不定 不定 不定 不定 不定

R/W: R/W R/W R/W R/W R/W R/W R/W

MDx[3] メッセージデータ3

ビット:	7	6	5	4	3	2	1	0

初期値: 不定 不定 不定 不定 不定 不定 不定 不定

R/W: R/W R/W R/W R/W R/W R/W R/W

MDx[4] メッセージデータ4

ビット:	7	6	5	4	3	2	1	0

初期値: 不定 不定 不定 不定 不定 不定 不定 不定

R/W: R/W R/W R/W R/W R/W R/W R/W

MDx[5] メッセージデータ5

ビット:	7	6	5	4	3	2	1	0

初期値: 不定 不定 不定 不定 不定 不定 不定 不定

R/W: R/W R/W R/W R/W R/W R/W R/W

MDx[6] メッセージデータ6

ビット:	7	6	5	4	3	2	1	0

初期値: 不定 不定 不定 不定 不定 不定 不定 不定

R/W: R/W R/W R/W R/W R/W R/W R/W

MDx[7] メッセージデータ7

ビット:	7	6	5	4	3	2	1	0

初期値: 不定 不定 不定 不定 不定 不定 不定 不定

R/W: R/W R/W R/W R/W R/W R/W R/W

MDx[8] メッセージデータ8

ビット:	7	6	5	4	3	2	1	0

初期値: 不定 不定 不定 不定 不定 不定 不定 不定

R/W: R/W R/W R/W R/W R/W R/W R/W

(x=15~0)

15.2.20 モジュールストップコントロールレジスタ C (MSTPCRC)

ビット：	7	6	5	4	3	2	1	0
	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRC は 8 ビットのリード／ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPC3 ビットを 1 にセットすると、バスサイクルの終了時点で HCAN の動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード／ライトはできません。詳細は、「22.5 モジュールストップモード」を参照してください。

MSTPCRC は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 3：モジュールストップ (MSTPC3)

HCAN のモジュールストップモードを指定します。

ビット 3	説 明
MSTPC3	
0	HCAN のモジュールストップモード解除
1	HCAN のモジュールストップモード設定 (初期値)

15.3 動作説明

15.3.1 ハードウェアリセットとソフトウェアリセット

HCAN をリセットする方法としてハードウェアリセットとソフトウェアリセットがあります。

(1) ハードウェアリセット (HCAN モジュールストップ、リセット*、ハードウェア*／ソフトウェアスタンバイ)

HCAN 内の MCR のリセットリクエストビット (MCR0) と GSR のリセットステートビット (GSR3) を自動的にセットすることで初期化します (ハードウェアリセット)。同時に内部レジスタはすべて初期化されます。ただし、メールボックスは保持されます。本リセットのフローを図 15.4 に示します。

【注】 * リセット、ハードウェアスタンバイ時にモジュールストップビットは 1 に初期化され、HCAN はモジュールストップ状態になります。

(2) ソフトウェアリセット (MCR0 への書き込み)

通常動作時にはソフトウェアで MCR のリセットリクエストビット (MCR0) をセットすることで初期化します (ソフトウェアリセット)。本リセットでは CAN コントローラが通信動作中 (送信または受信) であった場合、そのメッセージを完全に終了するまで待って初期化状態に遷移します。初期化期間中は GSR のリセットステートビット (GSR3) をセットします。本初期化ではエラーカウンタ (TEC、REC) は初期化されますが、他のレジスタおよび RAM は初期化されません。本リセットのフローを図 15.5 に示します。

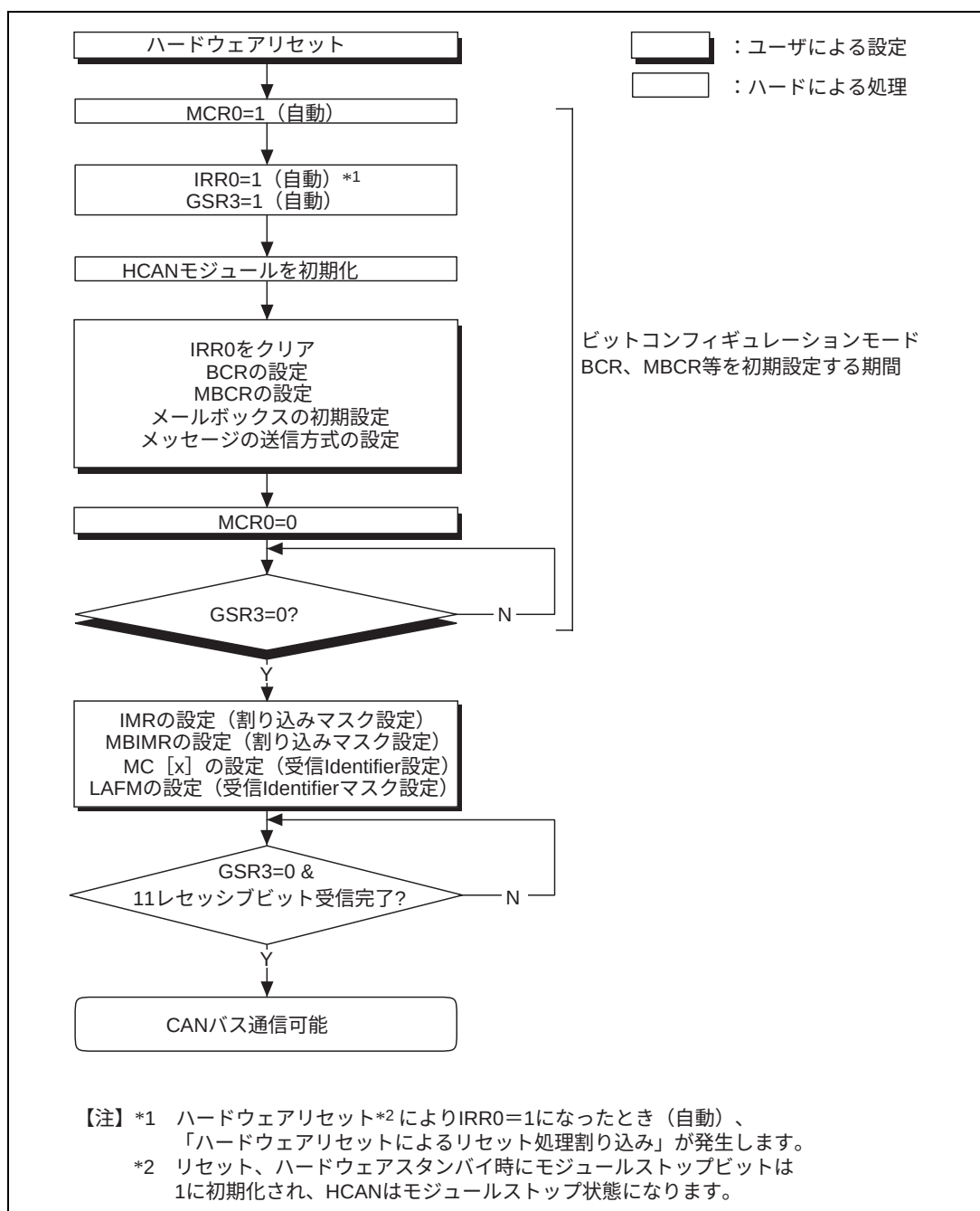


図 15.4 ハードウェアリセット時のフローチャート

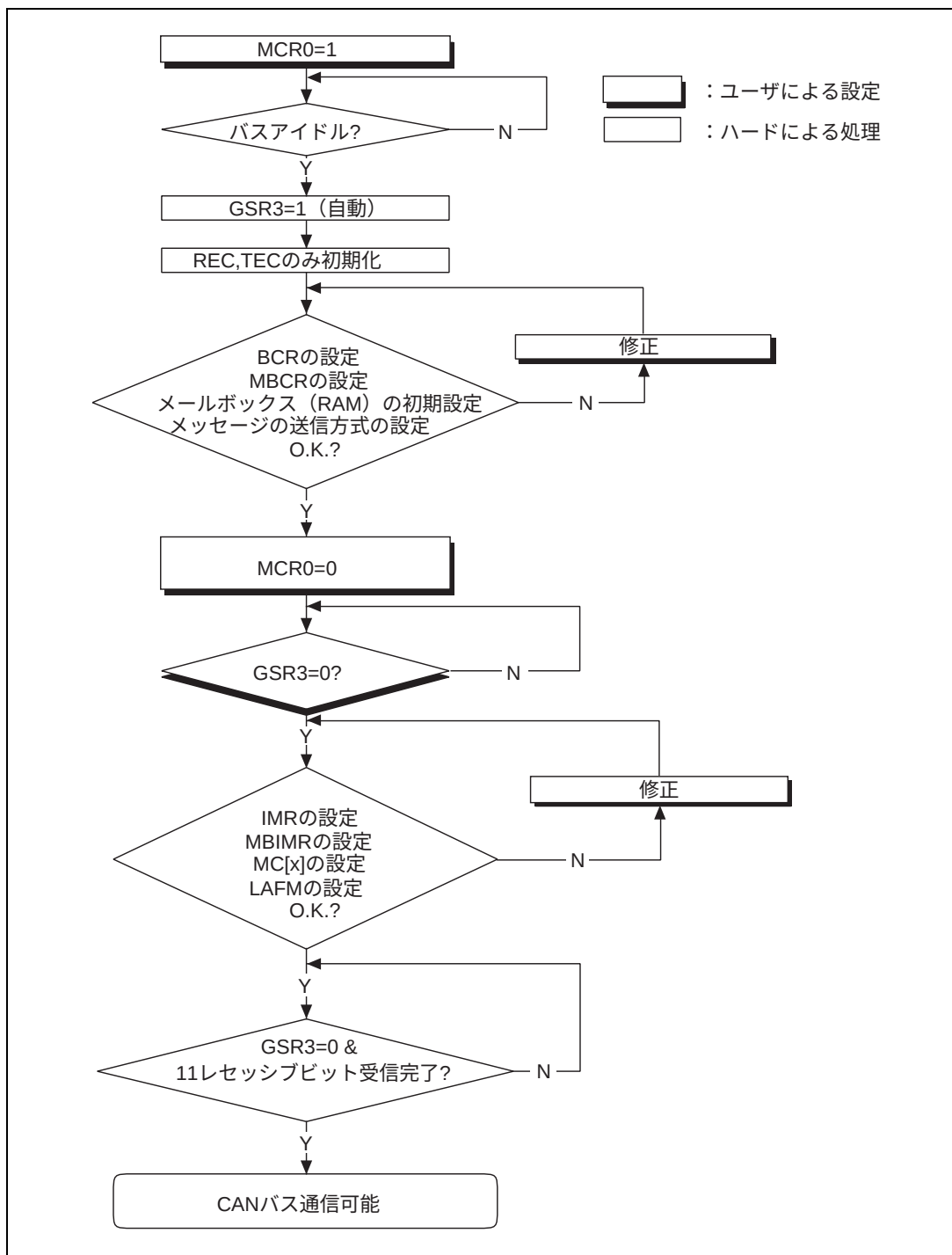


図 15.5 ソフトウェアリセット時のフローチャート

15.3.2 ハードウェアリセット後の初期設定

ハードウェアリセット後は、初期設定として下記の処理を行ってください。

- (1) インタラプトレジスタ (IRR) のIRR0ビットのクリア
- (2) ビットレートの設定
- (3) メールボックスの送信／受信の設定
- (4) メールボックス (RAM) の初期設定
- (5) メッセージの送信方式の設定

なお、本初期設定は必ず HCAN がビットコンフィギュレーションモード中に行ってください。コンフィギュレーションモードとはマスタコントロールレジスタ (MCR) のリセットリクエストビット (MCR0) が 1 の状態からジェネラルステータスレジスタ (GSR) のリセットステータスビットが 1 (GSR3=1) の状態です。コンフィギュレーションモードの解除は MCR のリセットリクエストビットを 0 クリアすることで行いますが、MCR0=0 とすることで HCAN は自動的にジェネラルステータスレジスタ (GSR) のリセットステータスビット (GSR3) をクリアします。その後パワーアップシーケンスに入り、終了した時点で CAN バスと通信可能になります。パワーアップシーケンスとは 11 ビット連続レセシブビットを検出することです。

(1) インタラプトレジスタ (IRR) の IRR0 ビットのクリア

リセット投入後、およびソフトウェアスタンバイ復帰後、必ずリセット割り込みフラグ (IRR0) がセットされます。割り込み許可することで直ちに HCAN の割り込みが入るため、IRR0 をクリアしてください。

(2) ビットレートおよびビットタイミングの設定

ビットレート設定は CAN ノードが通信を開始するにあたりボーレートの設定およびビットタイミングを設定する必要があります。ボーレートの設定およびビットタイミング設定はビットコンフィギュレーションレジスタ (BCR) によって行います。

(a) 注意事項

BCRの書き込みは常に可能です。ただし、コンフィギュレーションモード以外では変更しないでください。

CANバスに接続しているCANコントローラはすべて同一ボーレートおよび同一ビット幅となるよう設定してください。

BCRに設定可能な値 (TSEG1、TSEG2、BRP、サンプルポイント、SJW) の範囲を表15.3に示します。

表 15.3 BCR に設定可能なレジスタ値の範囲

名称	略称	最小値	最大値
タイムセグメント 1	TSEG1	B'0011	B'1111
タイムセグメント 2	TSEG2	B'001	B'111
ボーレートプリスケアラ	BRP	B'000000	B'111111
サンプルポイント	SAM	B'0	B'1
Re-Synchronization Jump Width	SJW	B'00	B'11

(b) 設定可能な値の範囲

- SJW は CAN の仕様で規定されています。
 $3 \geq \text{SJW} \geq 0$
- TSEG1 の最小値は CAN 仕様で規定されています。
 $\text{TSEG1} > \text{TSEG2}$
- TSEG2 の最小値は CAN 仕様で規定されています。
 $\text{TSEG2} \geq \text{SJW}$

ボーレートの計算は下記の式を用いて計算を行います。

$$\text{ビットレート} = \frac{f_{\text{CLK}}}{2 \times (\text{BRP} + 1) \times (3 + \text{TSEG1} + \text{TSEG2})}$$

[b/s]

【注】 $f_{\text{CLK}} = \phi$ (システムクロック)
BRP、TSEG1、TSEG2はBCR値を使用

Example：ボーレートを 1Mb/s で入力クロックを 20MHz で設定した場合

$$1\text{Mb/s} = \frac{20\text{MHz}}{2 \times (0+1) \times (3+4+3)}$$

	設定値	実際値
fCLK	20MHz	—
BRP	0 (B'000000)	システムクロック
TSEG1	4 (B'0100)	5TQ
TSEG2	3 (B'011)	4TQ

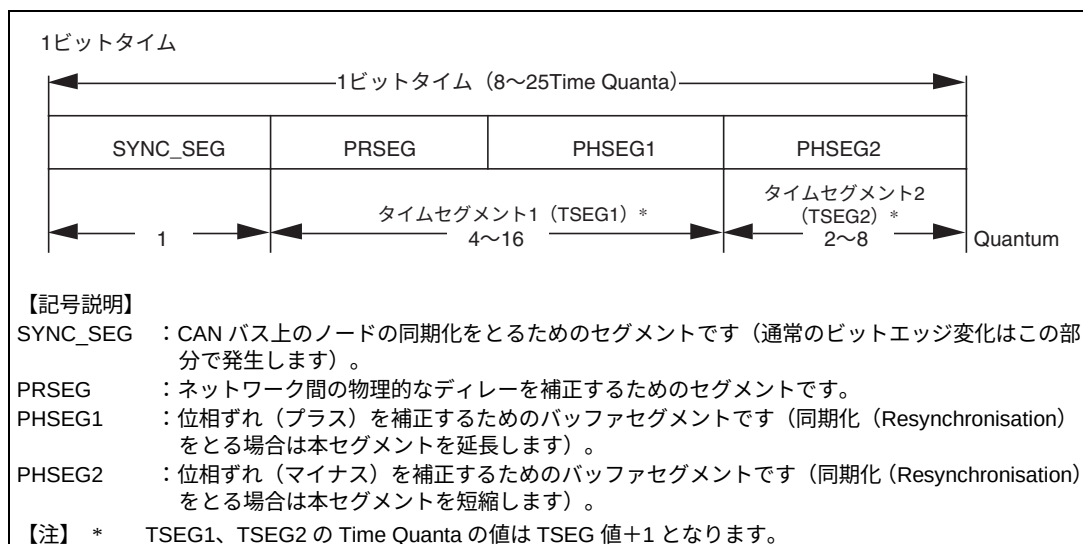


図 15.6 1 ビットの詳細説明

HCANのビットレート計算：

$$\text{ビットレート} = \frac{f_{\text{CLK}}}{2 \times (\text{BRP} + 1) \times (3 + \text{TSEG1} + \text{TSEG2})}$$

【注】 $f_{\text{CLK}} = \phi$ (システムクロック)
BRP、TSEG1、TSEG2はBCR値を使用。

BCR の設定制限

$$\text{TSEG1} > \text{TSEG2} \geq \text{SJW} \quad (\text{SJW} = 0 \sim 3)$$

上記制限により BCR の TSEG1、TSEG2 の設定可能な範囲を表 15.4 に示します。

表 15.4 BCR の TSEG1、TSEG2 の設定可能な範囲

		TSEG2 (BCR[14~12])						
		001	010	011	100	101	110	111
TSEG1 (BCR[11~8])	0011	×	○	×	×	×	×	×
	0100	○*	○	○	×	×	×	×
	0101	○*	○	○	○	×	×	×
	0110	○*	○	○	○	○	×	×
	0111	○*	○	○	○	○	○	×
	1000	○*	○	○	○	○	○	○
	1001	○*	○	○	○	○	○	○
	1010	○*	○	○	○	○	○	○
	1011	○*	○	○	○	○	○	○
	1100	○*	○	○	○	○	○	○
	1101	○*	○	○	○	○	○	○
	1110	○*	○	○	○	○	○	○
	1111	○*	○	○	○	○	○	○

【注】 TSEG1、TSEG2 の Time Quanta 値は TSEG 値 + 1 となります。

* BRP[13:8]=B'000000 以外のみ設定可能。

(3) メールボックス送信／受信の設定

HCAN は各 16 本のメールボックスがあります。メールボックス 0 は受信専用で、メールボックス 1~15 は送信／受信設定可能です。送信／受信設定メールボックスに関しては通信開始する前にメールボックスを送信として使用するか受信として使用するかを設定します。なお、メールボックス 1~15 は初期状態では送信用となっております（メールボックス 0 は受信のみ）。ソフトウェアリセットではメールボックス送信／受信の設定は初期化されません。

(a) 送信用に設定

送信用メールボックスの設定（メールボックス 1~15）

メールボックスコンフィグレジスタ (MBCR) の対応するメールボックスを 0 にクリアすることで指定のメールボックスを送信用に設定します。

なお、リセット後初期設定でメールボックスは送信用となるため設定は不要です。

(b) 受信用に設定

送信／受信メールボックスの設定（メールボックス 1～15）

メールボックスコンフィグレジスタ（MBCR）の対応するメールボックスに 1 をセットすることで指定のメールボックスを受信用に設定します。

なお、受信用に設定する場合、メッセージ送信効率向上のために優先順位の高いメッセージをメールボックスの昇順（優先順位：メールボックス（MCx[1]）>メールボックス 15（MCx[15]））に設定するようにしてください。

(c) 受信専用メールボックス（メールボックス 0）

設定は不要です。常時受信用となっています。

(4) メールボックス（メッセージコントロール／データ（MCx[x],MDx[x]））の初期設定

電源供給後はレジスタおよびメールボックスすべて（メッセージコントロール／データ、コントロールレジスタ、ステータスレジスタなど）が初期化されます。メッセージコントロール／データ（MCx[x],MDx[x]）だけは RAM であるため値は不定となります。したがってメールボックス内の値をすべて初期設定（0 または 1 書き込み）してください。

(5) メッセージ送信方式の設定

メッセージには 2 通りの送信方式があります。送信方式の設定はマスタコントロールレジスタ（MCR）のメッセージ送信方式ビット（MCR2）で行います。

- (a) メッセージ Identifier の優先順位により送信の順番を決定
- (b) メールボックス番号の優先順位により送信の順番を決定

(a) に設定した場合、複数メッセージを同時に送信待ち（TXPR=1）にすると内部アービトレーションを行い、メッセージの Identifier（MCx[5]～[8]）に設定されている優先順位の最も高いメッセージが送信バッファに格納されます。その後送信バッファ内のメッセージは CAN バスとアービトレーションを行い、送信権を獲得すればメッセージの送信を行います。なお、TXPR をセットすることで、再度内部アービトレーションを行い優先順位の最も高いメッセージを探し、送信バッファに格納します。

(b) に設定した場合、複数メッセージを同時に送信待ち（TXPR=1）にするとメールボックス番号の昇順（優先順位：メールボックス 1>15）でメッセージが送信バッファに格納されます。その後送信バッファ内のメッセージは CAN バスとアービトレーションを行い、バス権を獲得すればメッセージの送信を行います。

15.3.3 送信モード

メッセージの送信はメールボックス 1～15 を用いて行います。送信方法は下記の手順で行います。図 15.7 に送信時のフローチャートを示します。

- (1) 初期設定（ハードウェアリセット後のみ）
 - － インタラプトレジスタ（IRR）の IRR0 ビットのクリア
 - － ビットレートの設定
 - － メールボックス送信／受信の設定
 - － メールボックスの初期設定
 - － メッセージ送信方式の設定

- (2) 割り込みおよび送信データの設定
 - CPU への割り込み要因の設定
 - アービトレーションフィールドの設定
 - コントロールフィールドの設定
 - データフィールドの設定
- (3) メッセージ送信および割り込み
 - メッセージ送信待ち
 - メッセージ送信完了および割り込み
 - メッセージ送信取り消し
 - メッセージの再送信

(1) 初期設定 (ハードウェアリセット後のみ)

本設定は必ず HCAN がビットコンフィギュレーションモードのときに行ってください。

(a) IRR0 をクリア

リセット投入後、およびソフトウェアスタンバイ復帰後、必ずリセット割り込みフラグ (IRR0) がセットされます。割り込み許可することで直ちに HCAN の割り込みが入るため、IRR0 をクリアしてください。

(b) ビットレートの設定

CAN バスでの通信速度および Resynchronization に関する値を設定してください。詳しくは、「15.3.2 ハードウェアリセット後の初期設定 (2) ビットレートおよびビットタイミングの設定」を参照してください。

(c) メールボックス送信/受信の設定

メールボックスの送信/受信をあらかじめ設定して使用します。送信用に設定可能なメールボックスは 1~15 の 15 本です。送信に設定する場合はメールボックスコンフィグレジスタ (MBCR) の対応するビットを 0 に設定してください。詳しくは、「15.3.2 ハードウェアリセット後の初期設定 (3) メールボックス送信/受信の設定」を参照してください。

(d) メールボックスの初期設定

メッセージコントロール/データ (MCx[x], MDx[x]) は RAM で構成されているため、電源投入後の初期値は不定です。そのため必ずビットを初期化する必要があります。メールボックスに 0 または 1 の値を書き込んでください。詳しくは、「15.3.2 ハードウェアリセット後の初期設定 (4) メールボックス (メッセージコントロール/データ (MCx[x], MDx[x])) の初期設定」を参照してください。

(e) メッセージ送信方式の設定

送信に設定したメールボックスの送信方式を設定します。送信方式として 2 種類あります。詳しくは、「15.3.2 ハードウェアリセット後の初期設定 (5) メッセージ送信方式の設定」を参照してください。

- メッセージ Identifier の優先順位により送信の順番を決定
- メールボックス番号の優先順位により送信の順番を決定

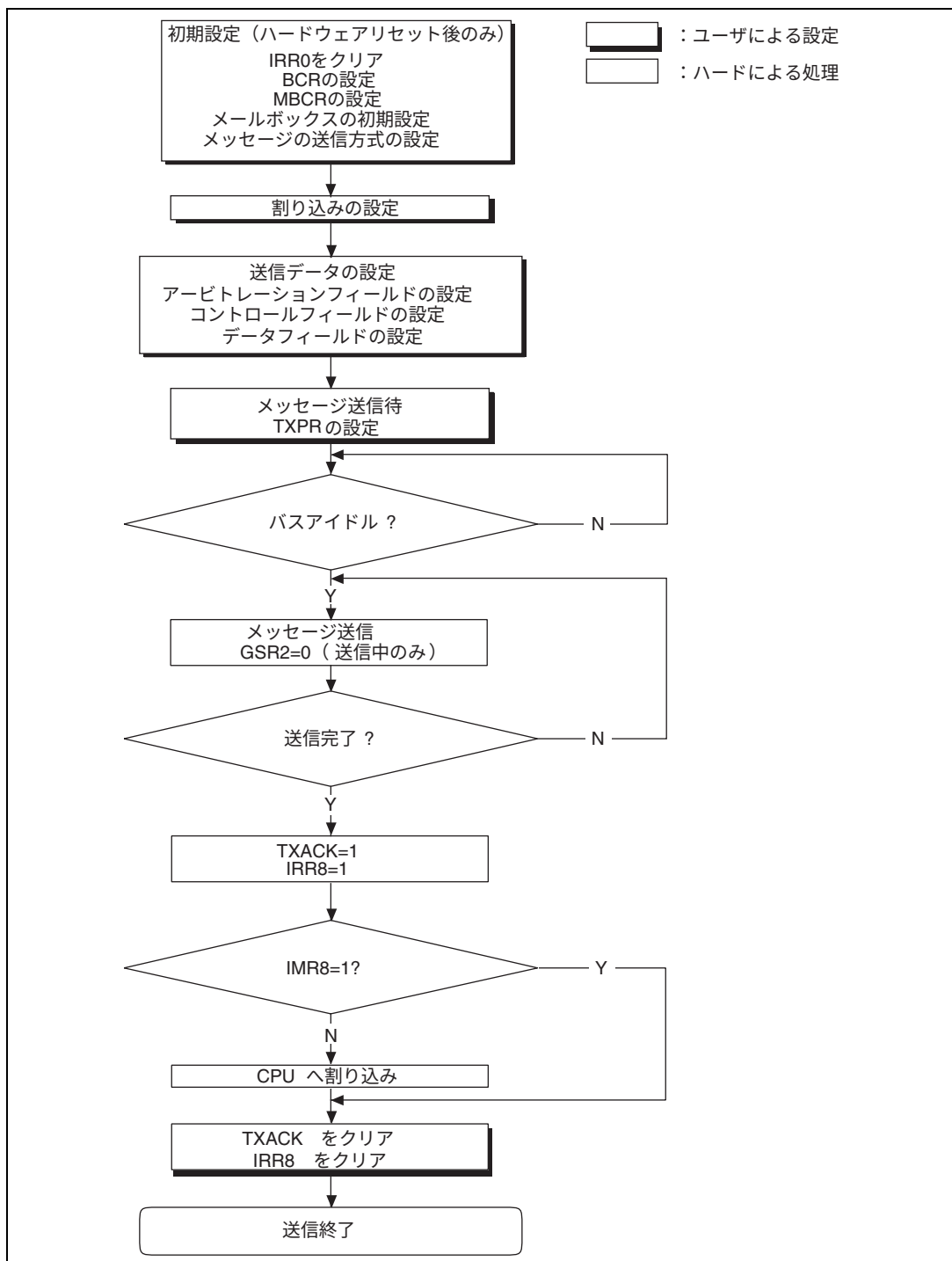


図 15.7 送信時のフローチャート

(2) 割り込みおよび送信データの設定

メールボックスの初期設定が終了すると次に CPU への割り込み要因の設定および送信するデータを設定します。割り込み要因の設定はメールボックスのメールボックスインタラプトレジスタ

(MBIMR)、インタラプトマスクレジスタ (IMR) で行い、送信データの設定は対応するメッセージコントロール (MCx[1]~[8]) およびメッセージデータ (MDx[1]~[8]) に下記の (b)、(c)、(d) のうち必要なデータを書き込みます。

(a) CPU への割り込み要因の設定

メールボックスインタラプトレジスタ (MBIMR) で各メールボックスに対応して、送信用の場合は送信アクノレッジおよび取り消しアクノレッジの割り込みをマスクすることができます。インタラプトマスクレジスタ (IMR) でインタラプトレジスタ (IRR) の割り込みをマスクすることができます。

(b) アービトレーションフィールドの設定

アービトレーションフィールドでは、11 ビットの Identifier (STD_ID0~10) と RTR ビット (スタンダードフォーマット) または 29 ビットの Identifier (STD_ID0~10, EXT_ID0~17) と IDE, RTR ビット (エクステンデッドフォーマット) を設定します。設定するレジスタは MCx[5]~[8] です。

(c) コントロールフィールドの設定

コントロールフィールドでは、送信するデータのバイト長を DLC0~3 に設定します。設定するレジスタは MCx[1] です。

(d) データフィールドの設定

データフィールドでは、送信するデータを任意に 0~8 バイトの範囲でバイト単位で設定します。設定するレジスタは MDx[1]~[8] です。

なお、実際に送信されるデータのバイト数はコントロールフィールド内のデータ長コード (DLC) 値に依存します。データフィールドに DLC に設定している値より多く設定しても実際送信されるのは DLC のバイト数のみです。

(3) メッセージ送信および割り込み

(a) メッセージ送信待ち

メッセージコントロール (MCx[1]~[8])、メッセージデータ (MDx[1]~[8]) の設定終了後メッセージ送信する場合は送信待ちレジスタ (TXPR) の対応するメールボックスの送信待ちビット (TXPR1~15) を 1 にセットすることで送信開始されます。メッセージの送信には 2 通りの送信方式があります。

- (1) メッセージ Identifier の優先順位により送信の順番を決定
- (2) メールボックス番号の優先順位により送信の順番を決定

(1) に設定した場合、複数メッセージを同時に送信待ち (TXPR=1) にするとメールボックス番号の昇順 (優先順位: メールボックス 1>15) でメッセージが送信バッファに格納されます。その後送信バッファ内のメッセージは CAN バスとアービトレーションを行い、バス権を獲得すればメッセージの送信を行います。

(2) に設定した場合、複数メッセージを同時に送信待ち (TXPR=1) にすると内部アービトレーションを行い、メッセージの Identifier (MCx[5]~[8]) に設定されている優先順位の最も高いメッセージが送信バッファに格納されます。その後送信バッファ内のメッセージは CAN バスとアービトレーションを行い、送信権を獲得すればメッセージの送信を行います。なお、TXPR をセットすることで、再度内部アービトレーションを行い優先順位の最も高いメッセージを探し、送信バッファに格納し、同様に CAN バスとアービトレーションを行い、送信権を獲得すればメッセージの送信を行います。

(b) メッセージ送信完了および割り込み

上記の手順でメッセージが正常に送信されると、送信アクノレッジレジスタ (TXACK) の対応するアクノレッジビット (TXACK1~15) と送信待ちレジスタ (TXPR) の送信待ちビット (TXPR1~15) が自動的に初期化されます。また同時に、メールボックスインタラプトマスクレジスタ (MBIMR) の対応するビット (MBIMR1~15) とインタラプトマスクレジスタ (IMR) のメールボックス空き割り込み (IRR8) が割り込み許可に設定されていると CPU への割り込みを発生することができます。

(c) メッセージ送信取り消し

メールボックスに送信待ちとして格納されたメッセージに対して、送信取り消しを指定することが可能です。送信待ちメッセージを取り消すためには、送信待ち取り消しレジスタ (TXCR) の対応するメールボックスのビット (TXCR1~15) を 1 にセットします。取り消しが行われると自動的に送信待ちレジスタ (TXPR) をリセットし、取り消しアクノレッジレジスタ (ABACK) の対応するビットが 1 にセットされます。CPU への割り込みを発生することができます。また同時に、メールボックスインタラプトマスクレジスタ (MBIMR) の対応するビット (MBIMR1~15) とインタラプトマスクレジスタ (IMR) のメールボックス空き割り込み (IRR8) が割り込み許可に設定されていると、CPU への割り込みを発生することができます。

ただし、下記条件では送信待ちメッセージを取り消すことはできません。

1. 内部アービトレーションおよびCANバスアービトレーション期間中
2. データフレーム、リモートフレーム送信中

また、送信待ちレジスタ (TXPR) をクリアしても送信取り消しはできません。図 15.8 に送信メッセージの取り消しのフローチャートを示します。

(d) メッセージの再送信

送信メッセージが下記条件で送信を中断すると自動的にメッセージの再送信が行われます。

1. CANバスアービトレーション負け (バス権獲得に失敗)
2. 送信中のエラー (ビットエラー、スタッフエラー、CRCエラー、フレームエラー、ACKエラー)

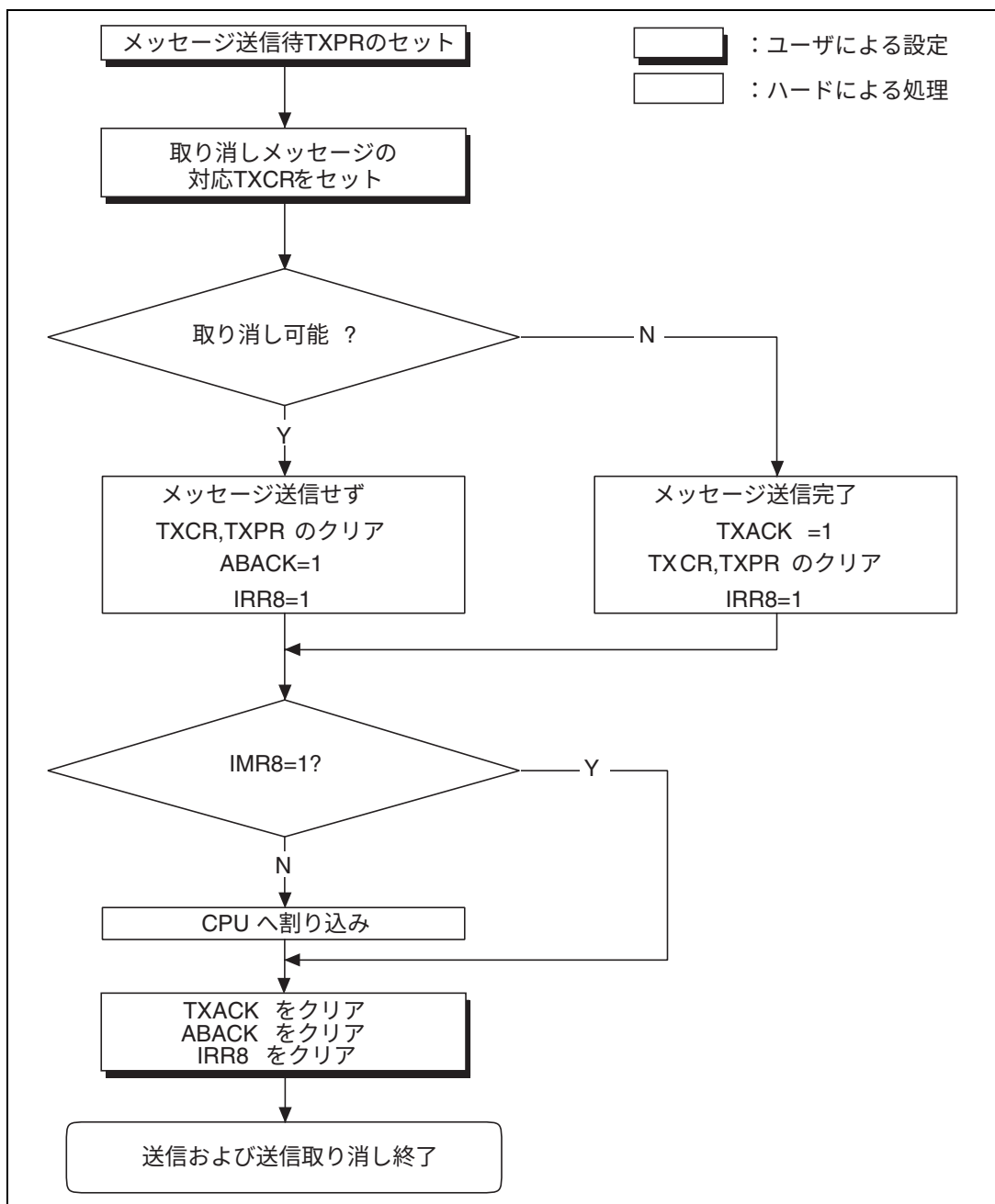


図 15.8 送信メッセージの取り消しのフローチャート

15.3.4 受信モード

メッセージの受信はメールボックス 0、1～15 を用いて行います。受信方法は下記の手順で行います。図 15.9 に受信時のフローチャートを示します。

- (1) 初期設定 (ハードウェアリセット後のみ)
 - インタラプトレジスタ (IRR) の IRR0 ビットのクリア
 - ビットレートの設定
 - メールボックス送信／受信の設定
 - メールボックス (RAM) の初期設定
- (2) 割り込みおよび受信メッセージの設定
 - 割り込みの設定
 - アービトレーションフィールドの設定
 - ローカルアクセプタンスマスクフィルタ (LAFM) の設定
- (3) メッセージ受信および割り込み
 - メッセージ受信の CRC チェック
 - データフレーム受信
 - リモートフレーム受信
 - 未読メッセージ受信

(1) 初期設定 (ハードウェアリセット後のみ)

本設定は必ず HCAN がビットコンフィギュレーションモードのときに行ってください。

(a) IRR0 をクリア

リセット投入後、およびソフトウェアスタンバイ復帰後、必ずリセット割り込みフラグ (IRR0) がセットされます。割り込み許可することで直ちに HCAN の割り込みが入るため、IRR0 をクリアしてください。

(b) ビットレートの設定

CAN バスでの通信速度および Resynchronization に関する値を設定してください。詳しくは、「15.3.2 ハードウェアリセット後の初期設定 (2) ビットレートおよびビットタイミングの設定」を参照してください。

(c) メールボックス送信／受信の設定

メールボックス 0 は受信専用であり、その他受信用に設定可能なメールボックスは 15 本の合計 16 本です。受信用に設定する場合はメールボックスコンフィギュレーションレジスタ (MBCR) の対応するビットを 1 に設定してください。なお、メールボックスの初期値は 0 の送信用となっております。

詳しくは、「15.3.2 ハードウェアリセット後の初期設定 (3) メールボックス送信／受信の設定」を参照してください。

(d) メールボックス (RAM) の初期設定

メッセージコントロール／データ (MCx[x], MDx[x]) は RAM で構成されているため、電源投入後の初期値は不定です。そのため必ずビットを初期化する必要があります。メールボックスに 0 または 1 の値を書き込んでください。詳しくは、「15.3.2 ハードウェアリセット後の初期設定 (4) メールボックス (メッセージコントロール／データ (MCx[x], MDx[x])) の初期設定」を参照してください。

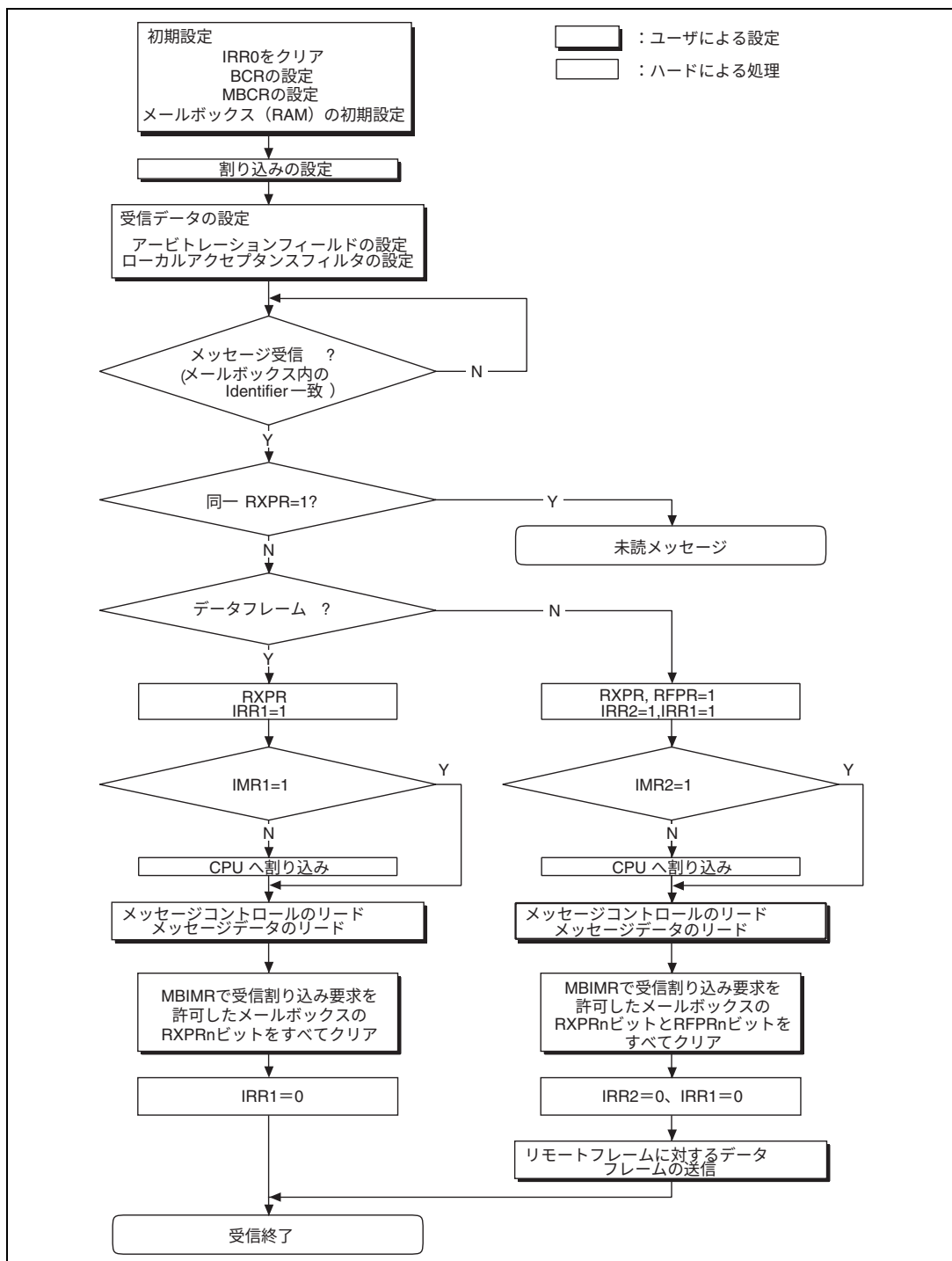


図 15.9 受信時のフローチャート

(2) 割り込みおよび受信メッセージの設定

メールボックスの初期設定が終了すると、次に CPU への割り込み要因の設定および受信するメッセージの指定を設定します。割り込み要因は、メールボックスのメールボックスインタラプトレジスタ (MBIMR)、インタラプトマスクレジスタ (IMR) で設定します。メッセージを受信するためには、あらかじめ受信するメールボックスのメッセージコントロール (MCx[1]~[8]) 内の Identifier を設定する必要があります。メッセージを受信すると受信メッセージの Identifier のビットをすべて比較し 100%一致すると一致したメールボックスに格納します。ただし、メールボックス 0 (MC0[x], MD0[x]) は Don't Care を設定できるローカルアクセプタンスマスクフィルタ (LAFM) が設けてあります。

(a) CPU への割り込み要因の設定

メールボックスインタラプトレジスタ (MBIMR) で、各メールボックスに対応して、送信用の場合は送信アクノレッジおよび取り消しアクノレッジの割り込みをマスクすることができます。また、受信用の場合は、データフレーム、リモートフレーム受信待ちの割り込みをマスクすることができます。インタラプトマスクレジスタ (IMR) で、インタラプトレジスタ (IRR) の割り込みをマスクすることができます。

(b) アービトレーションフィールドの設定

アービトレーションフィールドには受信するメッセージの Identifier (STD_ID0~10, EXT_ID0~17) を設定します。設定した Identifier の全ビットが一致しないとメールボックスには格納されません。

例： メールボックス 1010_1010_1010 (スタンダード Identifier)

MB1 に受信可能なメッセージ Identifier は 1 種類のみ

Identifier 1 : 010_1010_1010

(c) ローカルアクセプタンスマスクフィルタ (LAFM) の設定

ローカルアクセプタンスマスクフィルタは、メールボックス 0 (MC0[x], MD0[x]) のみ対応しており、受信する Identifier 全ビットに対して Don't Care の指定をすることができます。したがって、複数種類のメッセージを受信することが可能です。

例： メールボックス 0010_1010_1010 (スタンダード Identifier)

LAFM 000_0000_0011 (0 : Care, 1 : Don't Care)

MB0 に受信可能なメッセージ Identifier は合計 4 種類

Identifier 1 : 010_1010_1000

Identifier 2 : 010_1010_1001

Identifier 3 : 010_1010_1010

Identifier 4 : 010_1010_1011

(3) メッセージ受信および割り込み

(a) メッセージ受信の CRC チェック

メッセージを受信すると自動 (ハードウェア) で CRC チェックを行います。CRC チェックの結果正常であれば、メッセージの受信可否にかかわらず ACK を ACK フィールドで送信します。

(b) データフレーム受信

受信したメッセージが CRC チェック等でエラーのないことが確認されると、受信に設定されているメールボックス内の Identifier および LAFM (メールボックス 0 のみ) と受信メッセージの Identifier を比較し、完全に一致すれば一致したメールボックスに格納されます。メッセージ Identifier の比較はメールボックス 0 から開始し、メールボックス 15 まで順次 1 メールボックスずつ比較します。完全に一致したメッセージがあればその時点で比較を終了しメールボックス内に格納し、受信完了レジスタ (RXPR) の対応する受信完了ビット (RXPR0~15) がセットされます。ただし、メールボックス 0 の LAFM と比較をして Identifier が一致してもメールボックスの比較は終了せず、引き続きメールボックス 1 以降比較します。したがって、メールボックス 0 と同一メッセージを他のメールボックスで受信することができます (メールボックス 1~15 で 2 つ以上の同一メッセージを格納することはできません)。また同時に、メールボックスインタラプトマスクレジスタ (MBIMR) の対応するビット (MBIMR0~15) とインタラプトマスクレジスタ (IMR) の受信メッセージ割り込みマスク (IMR1) が割り込み許可に設定されていると、CPU への割り込みを発生することができます。

(c) リモートフレーム受信

メールボックスにはデータフレーム、リモートフレームの 2 種類のメッセージを格納することができます。データフレームとリモートフレームの相違点は、メッセージコントロール (MC[x]5) のリモートトランスミッションリクエストビット (RTR) と、データフィールドの内容が 0 バイトの 2 点です。コントロールフィールドのデータ長コード (DLC) には、データフレームで返信されるべきデータ長が格納されていなければなりません。

リモートフレーム (RTR=recessive) を受信すると、リモートリクエスト待ちレジスタ (RFPR) の対応するビットがセットされます。また同時に、メールボックスインタラプトマスクレジスタ

(MBIMR) の対応するビット (MBIMR0~15) と、インタラプトマスクレジスタ (IMR) のリモートフレームリクエスト割り込みマスク (IRR2) が割り込み許可に設定されていると、CPU への割り込みを発生することができます。

(d) 未読メッセージ受信

受信したメッセージはメールボックス内の Identifier に一致すると、そのメールボックスに格納されます。このとき、CPU が読み出しを行う前にメッセージのオーバライトが発生すると、未読メッセージレジスタ (UMSR) の対応するビット (UMSR0~15) がセットされます。未読状態でのオーバライトは、受信完了レジスタ (RXPR) のビットがクリアされていない状態で新規メッセージを受信すると、未読メッセージレジスタ (UMSR) をセットします。また同時に、インタラプトマスクレジスタ (IMR) の未読割り込みフラグ (IRR9) が割り込み許可に設定されていると、CPU への割り込みを発生することができます。図 15.10 に未読メッセージオーバライトのフローチャートを示します。

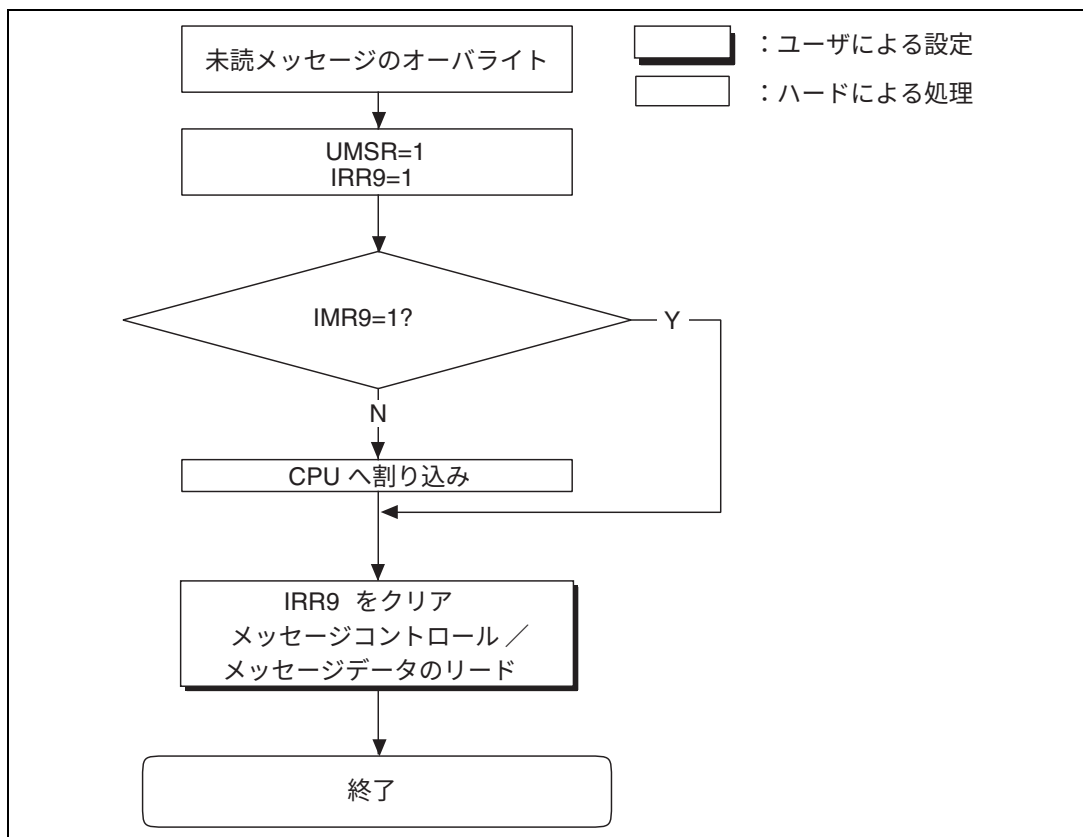


図 15.10 未読メッセージオーバライトのフローチャート

15.3.5 HCAN スリープモード

HCAN には、消費電流を低減するために HCAN モジュールをスリープ状態にする HCAN スリープモードがあります。図 15.11 に HCAN スリープモードのフローチャートを示します。

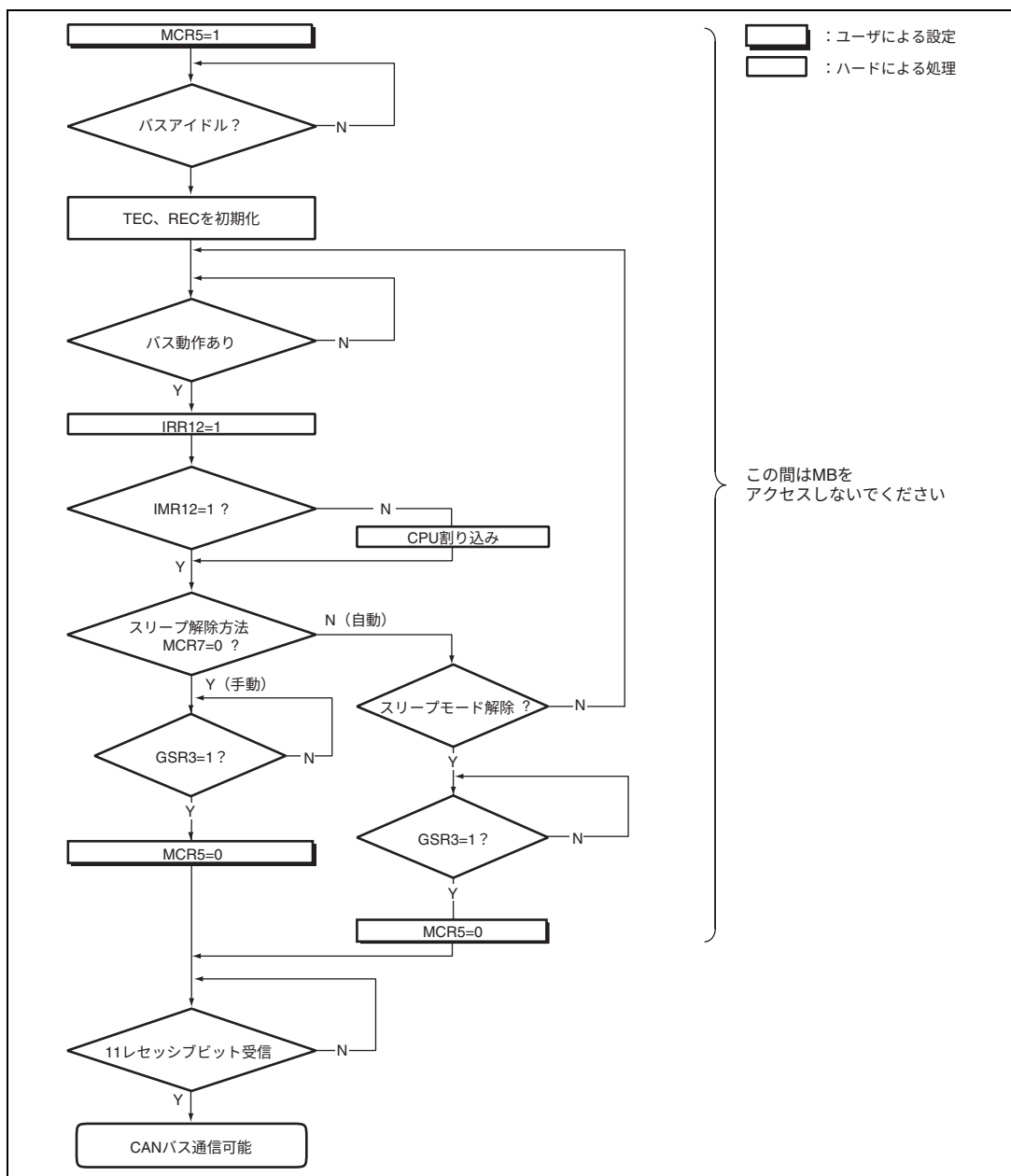


図 15.11 HCAN スリープモードのフローチャート

HCAN スリープモードへ遷移するには、マスタコントロールレジスタ (MCR) の HCAN スリープモードビット (MCR5) を 1 に設定します。ただし、CAN バスが動作をしているときは、バスアイドルになるまで待ってから HCAN スリープモードに遷移します。

HCAN スリープモードからの解除方法は 2 種類あります。解除方法の選択は MCR7 ビットにより設定します。

- (1) ソフトウェアによる解除
- (2) CAN バス動作による解除

なお、HCAN スリープモードから再度 CAN バス通信可能になるためには、解除後 11 レセッシブビットの受信が必要です。

(1) ソフトウェアによる解除

ソフトウェアによる解除は、CPU により MCR5 へ 0 をライトしてください。

(2) CAN バス動作による解除

CAN バス動作による解除は、CAN バスが動作をし、その変化を検出すると自動的に行います。このとき 1 つめのメッセージは、メールボックスに受信せず、次のメッセージから正常受信を開始します。CAN バスから HCAN スリープモード中に変化を検出したときにインタラプトレジスタ (IRR) のバス動作割り込みフラグ (IRR12) がセットされます。また同時に、インタラプトマスクレジスタ (IMR) のバス動作割り込みマスク (IMR12) が割り込み許可に設定されていると、CPU へ割り込みを発生することができます。

15.3.6 HCAN HALT モード

HCAN HALT モードは HCAN のハードウェアリセット、ソフトウェアリセットを行わずメールボックスの設定を変更するためのモードです。図 15.12 に HCAN HALT モードのフローチャートを示します。

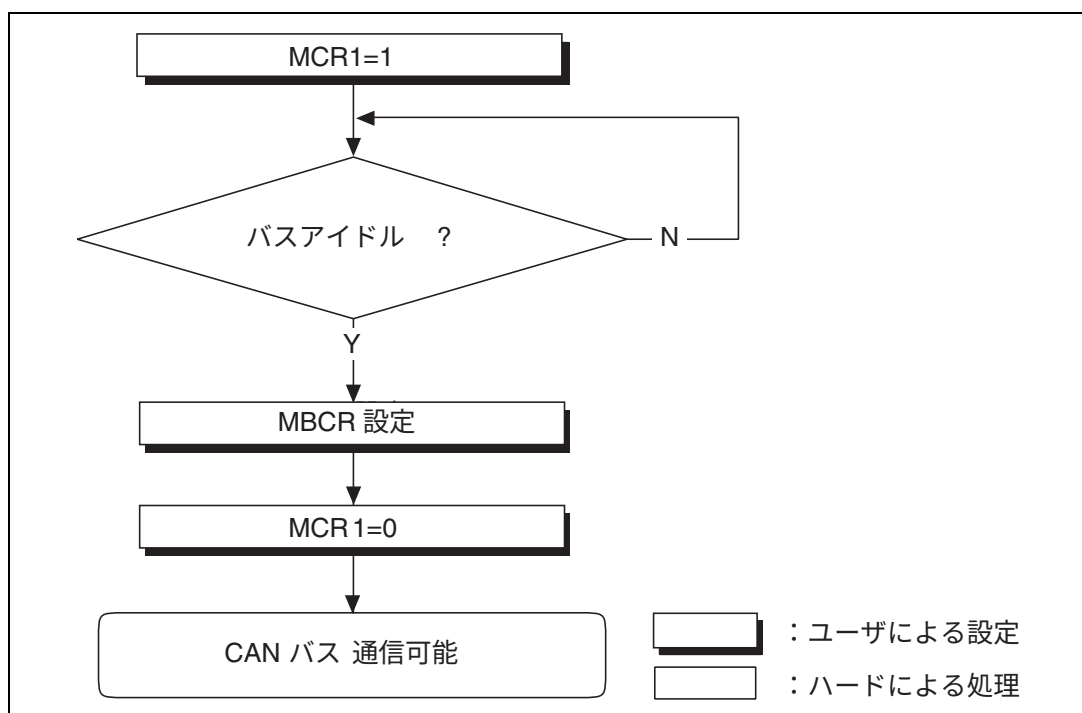


図 15.12 HCAN HALT モードのフローチャート

HCAN HALT モードはマスタコントロールレジスタ (MCR) の HALT リクエストビット (MCR1) を 1 に設定することで遷移します。ただし、CAN バスが動作をしているときは、バスアイドルになるまで待ってから HCAN HALT モードに遷移します。

HCAN HALT モードからの解除は、MCR1 を 0 に設定することで行います。

15.3.7 割り込みインタフェース

HCAN の割り込み要因は 12 本あります。また、12 本の割り込み要因に対して 2 本の割り込みベクタが割り当てられています。表 15.5 に HCAN の割り込み要因を示します。

これらの要因は、リセットによるリセット処理割り込み (IRR0) を除きマスクすることができます。マスクには、メールボックスインタラプトマスクレジスタ (MBIMR) およびインタラプトマスクレジスタ (IMR) を使用します。

表 15.5 HCAN の割り込み要因

IPR ビット	ベクタ	ベクタ番号	IRR ビット	説 明
IPRM(2～0)	ERS0	108	IRR5	エラーパッシブ割り込み（TEC≧128 または REC≧128）
			IRR6	バスオフ割り込み（TEC≧256）
	OVR0		IRR0	リセットによるリセット処理割り込み
			IRR2	リモートフレーム受信割り込み
			IRR3	エラーワーニング割り込み（TEC≧96）
			IRR4	エラーワーニング割り込み（REC≧96）
			IRR7	オーバーロードフレーム送信割り込み
			IRR9	未読メッセージのオーバーライト割り込み
			IRR12	HCAN スリープ中 CAN バス動作割り込み
	RM0	109	IRR1	メールボックス 0 にメッセージ受信割り込み
	RM1	108	IRR1	メールボックス 1～15 にメッセージ受信割り込み
	SLE0		IRR8	メッセージ送信／取り消し割り込み

15.3.8 DTC インタフェース

HCAN のメールボックス 0 にメッセージを受信すると DTC を起動することができます。なお、DTC 起動を設定し、DTC による転送が終了すると自動的に RXPR0 と RFPR0 のフラグはクリアされます。このとき、HCAN からの受信割り込みで CPU への割り込みは発生しません。図 15.13 に DTC の転送フローチャートを示します。

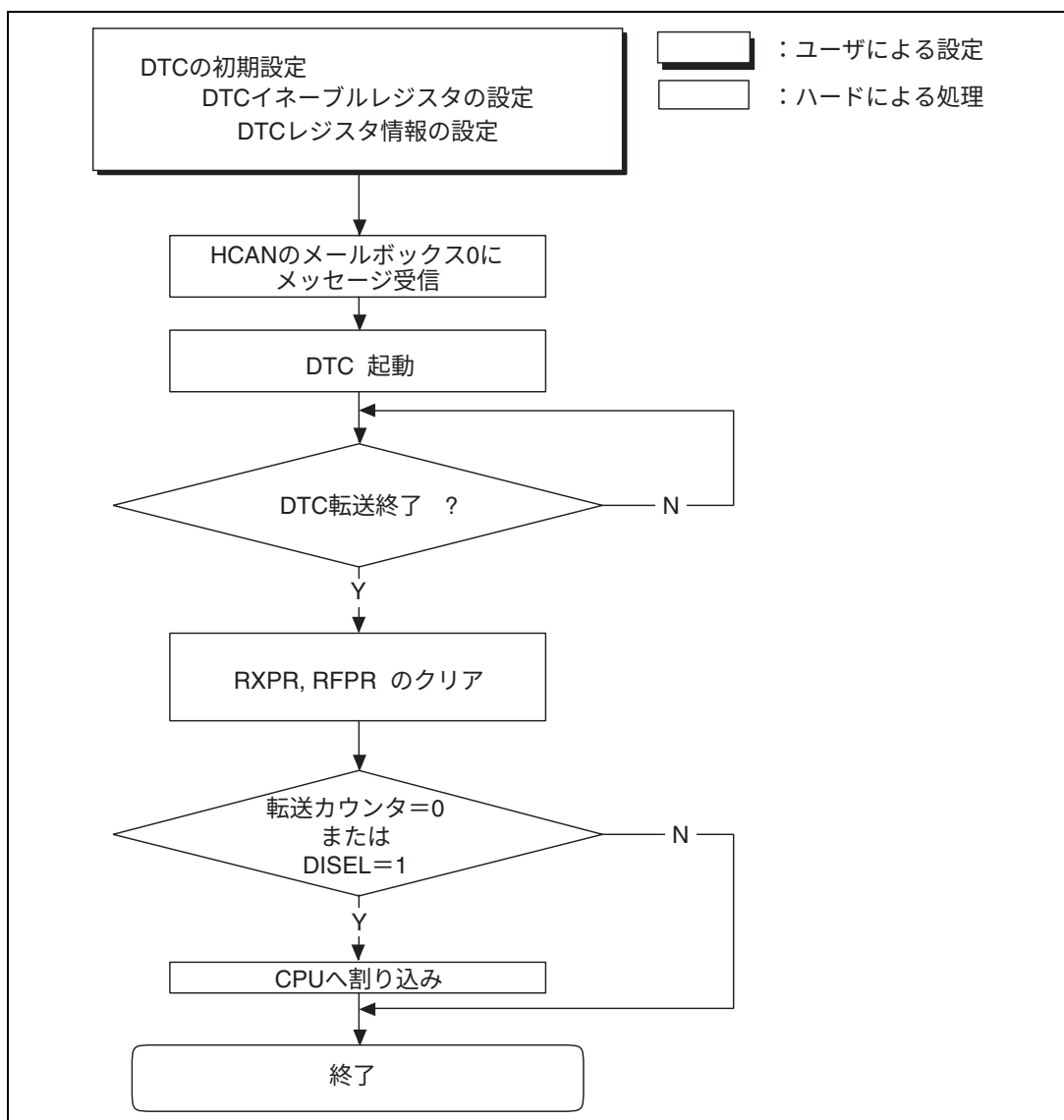


図 15.13 DTC の転送フローチャート

15.4 CAN バスインタフェース

本 LSI と CAN バスを接続するためにはバストランシーバ IC が必要になります。トランシーバ IC は HA13721 デバイスを推奨します。HA13721 以外の製品を使用する場合は、HA13721 とコンパティブルな製品を使用してください。図 15.14 に接続例を示します。

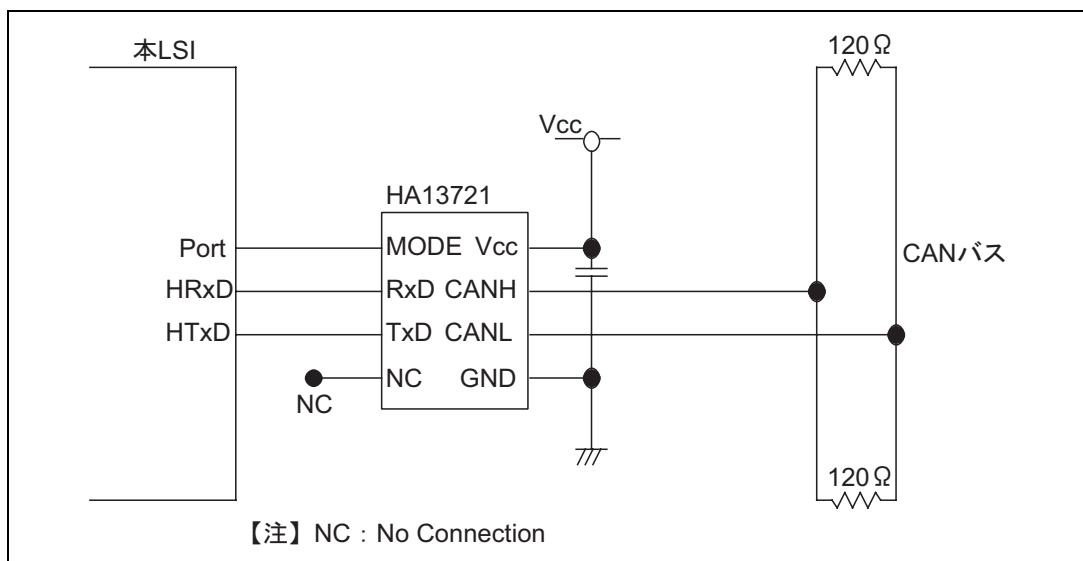


図 15.14 HA13721 を用いたハイスピードインタフェース

15.5 使用上の注意

(1) リセット

リセット、ハードウェアスタンバイ、ソフトウェアスタンバイにより HCAN はリセットされます。このときレジスタはすべて初期化されますが、メールボックス（メッセージコントロール (MCx[x]) / メッセージデータ (MDx[x])）は初期化されません。しかし、電源投入後メールボックス（メッセージコントロール (MCx[x]) / メッセージデータ (MDx[x])）は初期化され不定値になります。したがって、リセット、ハードウェアスタンバイ、ソフトウェアスタンバイ後は、必ずメールボックスを初期化してください。また、リセット投入後およびソフトウェアスタンバイ復帰後、必ずリセット割り込みフラグ (IRR0) がセットされます。本ビットはインタラプトマスクレジスタ (IMR) ではマスク不可のため、フラグをクリアせずに割り込みコントローラで HCAN の割り込み許可に設定すると、直ちに HCAN の割り込みが入ります。したがって、初期化時に IRR0 をクリアしてください。

(2) HCAN スリープモード

インタラプトレジスタ (IRR) のバス動作割り込みフラグ (IRR12) は HCAN スリープモード中の CAN バス動作によってセットされます。したがって、HCAN がスリープモード解除を示すフラグではありません。また、ジェネラルステータスレジスタ (GSR) のリセットステータスビット (GSR3) は HCAN スリープモード中でもセットされます。

(3) 割り込み

メールボックスインタラプトマスクレジスタ (MBIMR) をセットした場合、セットしたメールボックスの受信完了、送信完了、送信取り消しでインタラプトレジスタ (IRR8,2,1) はセットされません。

(4) エラーカウンタ

エラーアクティブ、エラーパッシブでは REC,TEC は通常にカウントアップ、カウントダウンします。バスオフ中は 11 レセシブビットを REC を使ってカウント (REC+1) します。REC=96 になると IRR4 と GSR1 がセットされます。

(5) レジスタアクセス

HCAN のすべてのレジスタはバイトおよびワードアクセスのみ可能です。ロングワードアクセスは行わないでください。

(6) HCAN 中速モード

中速モードにおいては、HCAN のレジスタに対するリード/ライトはできません。

(7) スタンバイ時のレジスタ保持

HCAN は、ハードウェアスタンバイおよびソフトウェアスタンバイ時には、すべてのレジスタが初期化されます。

(8) ビット操作命令の使用について

HCAN のステータスフラグは 1 書き込みでクリアされますのでビット操作命令を使用してのフラグクリアは行わないでください。

フラグクリアを行う場合は、MOV 命令を使用し、クリアするビットのみ 1 を書き込むようにしてください。

(9) エラーパッシブ中の HTxD 端子出力

HCAN がエラーアクティブ状態で、メッセージを送信中または受信中に HRxD 端子が 1 固定となった場合、エラーパッシブ中の HTxD 端子が 0 連続出力となります。

CAN バスへの 0 連続出力を停止させる場合は、エラーワーニング割り込みまたは、HRxD 端子モニタによる 1 固定検出で、HCAN モジュールストップビットをセットして、HCAN をディスエーブルしてください。

(10) HCAN スリープモードへの遷移

HCAN の TxPR を 1 セットし MCR5 を 1 にセットして、HCAN スリープモード遷移直後に MCR0 を 0 にすると、HCAN が停止 (送受信停止) します。

上記のステップで HCAN スリープに遷移する場合は、TxPR セット後 10 サイクルウェートを挿入してください。または HCAN スリープモード遷移後、MCR5 を 0 クリアでいったん HCAN スリープモード解除を行ってください。

(11) メッセージ送信取り消し (TxCR) について

HCAN の TxCR で送信メッセージの取り消しを行う場合、下記の条件がすべて成立すると、内部送信が取り消されたのにもかかわらず取り消しを示すビット TxCR または TxPR がクリアされません。

TxCR を使ってメッセージを取り消す場合は、TxCR または TxPR が 0 になるまで 1 ライトを続けてください。

(12) バスオフ中の TxCR

HCAN がバスオフ前に TxPR をセットし、送信完了されないままバスオフに遷移した場合、バスオフ期間中 TxCR をセットしても取り消しが行われ、エラーアクティブに遷移後、メッセージが送信されます。

(13) HCAN の TXCR 動作について

- (1) 送信待ち取り消しレジスタ (TXCR) を使用して、送信待ちメールボックスの送信待ちメッセージを取り消す際に、送信が取り消されたのにもかかわらず、TXCR および送信待ちレジスタ (TXPR) の対応するビットがクリアされないことがあります。これは、下記条件がすべて成立する場合に発生します。

＜条件＞

- CAN バスのエラー等により HRxD 端子が 1 にスタック
 - 送信待ち (または送信中) のメールボックスが 1 本以上
 - 送信中のメールボックスのメッセージ送信を TXCR により取り消し
- この現象が発生した場合、送信は取り消されますが、TXPR と TXCR の状態はメッセージ取り消し中という誤ったステータスを表示し続けるため、HRxD 端子の 1 スタックが解除され、CAN バスが正常な状態に復帰しても送信を再開することができません。送信メッセージが 2 本以上ある場合は送信中でないメッセージは取り消しされ、送信中のメッセージはそのまゝの状態となります。

これを回避するために、下記対策のいずれかを実施してください。

＜対策＞

- TXCR による送信取り消しを行わないでください。CAN バスの回復後に正常に送信を完了後、TXPR はクリアされ、HCAN は正常動作に復帰します。
 - 送信取り消しを行う必要がある場合は、TXCR の対応するビットが 0 になるまで TXCR の対応するビット 1 をライトし続けてください。TXPR と TXCR はクリアされ、HCAN は正常動作に復帰します。
- (2) バスオフに遷移するとき TXPR が設定され送信待ち状態になっていた場合、バスオフ中に TXCR を設定しても内部のステートマシンが動作しないため取り消しをすることができず、バスオフ復帰後 1 メッセージを送信または送信エラーでメッセージの取り消しが行われず、バスオフ復帰後のメッセージクリアに関しては下記対策を実施してください。

＜対策＞

- バスオフ期間中に HCAN モジュールをリセットすることで送信待ちのメッセージをクリアしてください。HCAN のモジュールリセットはモジュールストップビット (MSTPCRC の MSTPC3) を設定／解除することで行ってください。なお、この場合は HCAN 内部はすべてリセットされますので初期設定を再度行ってください。

(14) HCAN 送信手続きについて

バスアイドルから送信設定した後、50 μ s 以内に次の送信設定あるいは送信取り消しを以下の条件で行うと、前に設定した送信メッセージ ID が破壊されることがあります。

- 1 回目に送信設定されたメッセージより優先順位の高いメッセージを 2 回目に送信設定したとき
- 1 回目の送信設定において、最も優先順位の高いメッセージに対して送信取り消しを行ったとき

メッセージ ID が破壊されないために、以下の設定を行ってください。

- 送信設定を 1 度の TXPR で設定し、全送信メッセージの送信が完了した後、再度送信設定を行い（一括送信設定）その間隔を 50 μ s 以上とする
- 送信メッセージの優先順位に従い送信設定する
- TXPR と TXPR の設定時間、または TXPR と TXCR の設定時間の間隔を 50 μ s 以上とする

表 15.6 TXPR と TXPR 設定時間または TXPR と TXCR の設定時間の間隔制限

ボーレート (bps)	設定間隔 (μ s)
1M	50
500k	50
250k	50

(15) HCAN リセットおよび HCAN スリープの解除について

HCAN のソフトウェアリセットまたは HCAN スリープを解除する場合 (MCR0=0 または MCR5=0) は GSR3 (リセットステータスビット) が 1 になっていることを確認した後に行ってください。

(16) HCAN スリープ中のメールボックスアクセスについて

HCAN スリープ中にメールボックスをアクセスしないでください。HCAN スリープ中にメールボックスをアクセスすると CPU が停止する場合があります。

HCAN スリープ中のレジスタアクセスでは CPU は停止しません。また、HCAN スリープ以外でメールボックスをアクセスしても CPU は停止しません。

16. A/D 変換器

16.1 概要

本 LSI は、逐次比較方式で動作する 10 ビットの A/D 変換器を内蔵しており、最大 12 チャンネルのアナログ入力を選択することができます。

16.1.1 特長

A/D 変換器の特長を以下に示します。

■10 ビット分解能

■入力チャンネル：12 チャンネル

■アナログ変換電圧範囲の設定可能

- リファレンス電圧端子 (Vref) をアナログ基準電圧として、アナログ変換電圧範囲を設定します。

■高速変換

変換時間：1 チャンネルあたり 13.3 μ s (20MHz 動作時)

■シングルモード／スキャンモードの動作モードから選択可能

- シングルモード：1 チャンネルの A/D 変換
- スキャンモード：1～4 チャンネルの連続 A/D 変換

■4 本のデータレジスタ

- 変換結果を、各チャンネルに対応した 16 ビットデータレジスタに保持

■サンプル&ホールド機能

■3 種類の変換開始

- ソフトウェア、タイマの変換開始トリガ (TPU)、または $\overline{\text{ADTRG}}$ 端子の選択が可能

■A/D 変換終了割り込み要求発生

- A/D 変換終了時に、A/D 変換終了割り込み (ADI) 要求を発生可能

■モジュールストップモードの設定可能

- 初期値では A/D 変換器の動作は停止、モジュールストップモードの解除によりレジスタのアクセスが可能

16.1.2 ブロック図

A/D 変換器のブロック図を図 16.1 に示します。

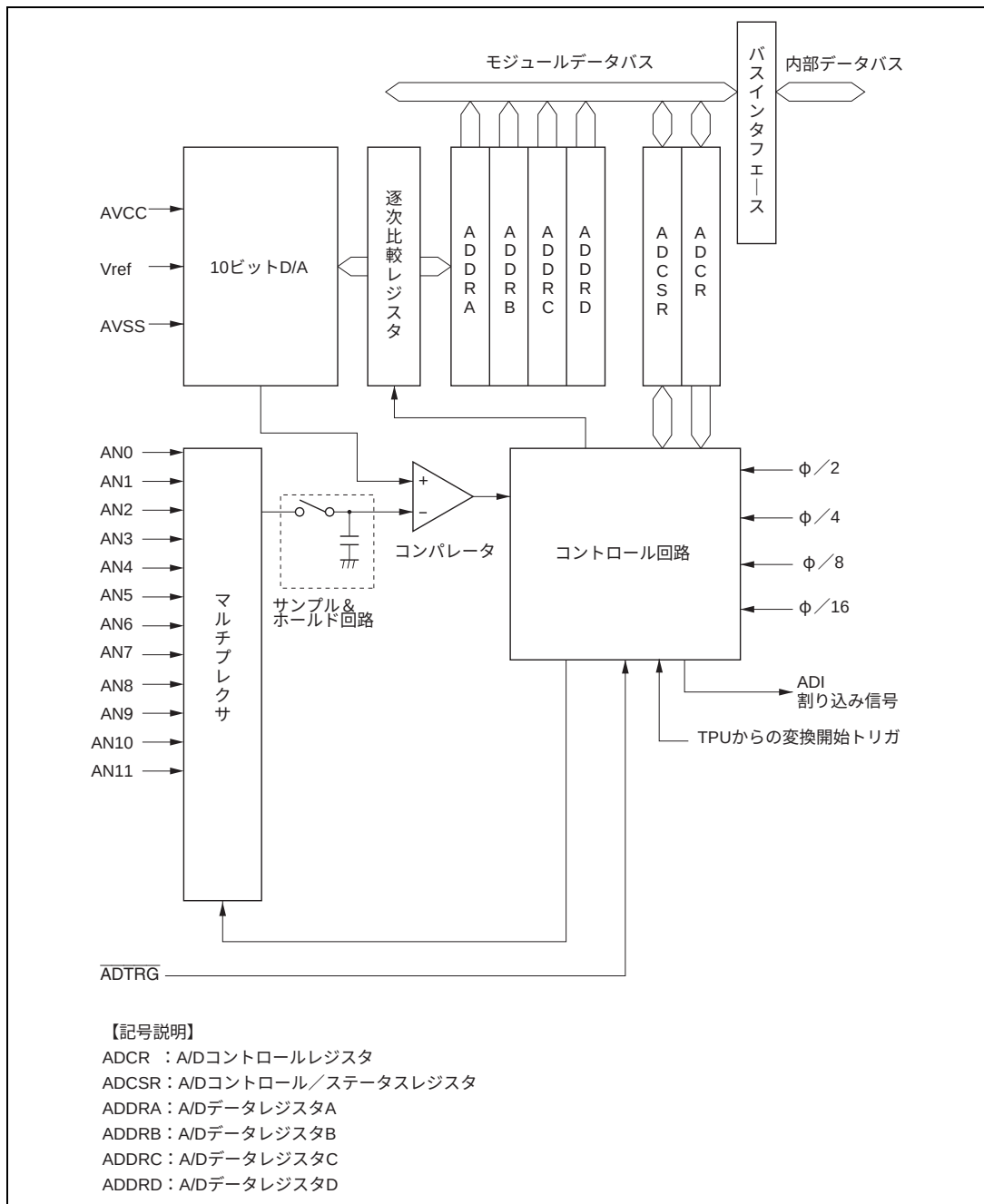


図 16.1 A/D 変換器のブロック図

16.1.3 端子構成

A/D 変換器で使用する入力端子を表 16.1 に示します。

AVCC、AVSS 端子は、A/D 変換器内部のアナログ部の電源です。Vref 端子は、A/D 変換基準電圧端子です。

12 本のアナログ入力端子は 2 チャンネルセット 2 グループに分類されておりアナログ入力端子 0～7（AN0～AN7）がチャンネルセット 0、アナログ入力端子 8～11（AN8～AN11）がチャンネルセット 1、アナログ入力端子 0～3、8～11（AN0～AN3、AN8～AN11）がグループ 0、アナログ入力端子 4～7（AN4～AN7）がグループ 1 になっています。

表 16.1 端子構成

端子名	記号	入出力	機 能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
リファレンス電圧端子	Vref	入力	A/D 変換の基準電圧
アナログ入力端子 0	AN0	入力	チャンネルセット 0（CH3=0）グループ 0 のアナログ入力
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	チャンネルセット 0（CH3=0）グループ 1 のアナログ入力
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
アナログ入力端子 8	AN8	入力	チャンネルセット 1（CH3=1）グループ 0 のアナログ入力
アナログ入力端子 9	AN9	入力	
アナログ入力端子 10	AN10	入力	
アナログ入力端子 11	AN11	入力	
A/D 外部トリガ入力端子	ADTRG	入力	A/D 変換開始のための外部トリガ入力

16.1.4 レジスタ構成

A/D 変換器のレジスタ構成を表 16.2 に示します。

表 16.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス* ¹
A/D データレジスタ AH	ADDRAH	R	H'00	H'FF90
A/D データレジスタ AL	ADDRAL	R	H'00	H'FF91
A/D データレジスタ BH	ADDRBH	R	H'00	H'FF92
A/D データレジスタ BL	ADDRBL	R	H'00	H'FF93
A/D データレジスタ CH	ADDRCH	R	H'00	H'FF94
A/D データレジスタ CL	ADDRCL	R	H'00	H'FF95
A/D データレジスタ DH	ADDRDH	R	H'00	H'FF96
A/D データレジスタ DL	ADDRDL	R	H'00	H'FF97
A/D コントロール/ステータスレジスタ	ADCSR	R/(W)* ²	H'00	H'FF98
A/D コントロールレジスタ	ADCR	R/W	H'33	H'FF99
モジュールストップコントロールレジスタ A	MSTPCRA	R/W	H'3F	H'FDE8

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

16.2 各レジスタの説明

16.2.1 A/D データレジスタ A～D (ADDRA～ADDRD)

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ADDR は、A/D 変換された結果を格納する 16 ビットのリード専用レジスタで、ADDRA～ADDRD の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、選択されたチャネルに対応する ADDR に転送され、保持されます。A/D 変換されたデータの上位 8 ビットが ADDR の上位バイト（ビット 15～8）に、また下位 2 ビットが下位バイト（ビット 7、6）に転送され、保持されます。ビット 5～0 はリードすると常に 0 が読み出されます。

アナログ入力チャネルと ADDR の対応を表 16.3 に示します。ADDR は、常に CPU からリード可能です。上位バイトは直接リードできますが、下位バイトはテンポラリレジスタ（TEMP）を介してデータ転送が行われます。詳細は「16.3 バスマスタとのインタフェース」を参照してください。

ADDR は、リセット、スタンバイモードまたはモジュールストップモード時に、H'0000 に初期化されます。

表 16.3 アナログ入力チャネルと ADDR の対応

アナログ入力チャネル			A/D データレジスタ
チャネルセット 0 (CH3=0)		チャネルセット 1 (CH3=1)	
グループ 0	グループ 1	グループ 0	
AN0	AN4	AN8	ADDRA
AN1	AN5	AN9	ADDRB
AN2	AN6	AN10	ADDRC
AN3	AN7	AN11	ADDRD

16.2.2 A/D コントロール／ステータスレジスタ (ADCSR)

ビット	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CH3	CH2	CH1	CH0
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】＊ フラグをクリアするための0ライトのみ可能です。

ADCSR は、8 ビットのリード／ライト可能なレジスタで、A/D 変換動作を制御します。

ADCSR は、リセット、ハードウェアスタンバイモード、またはモジュールストップモード時に、H'00 に初期化されます。

ビット 7：A/D エンドフラグ (ADF)

A/D 変換の終了を示すステータスフラグです。

ビット 7	説 明
ADF	
0	[クリア条件] (初期値) (1) ADF=1 の状態で、ADF フラグをリードした後、ADF フラグに 0 をライトしたとき (2) ADI 割り込みにより DTC が起動され、ADDR をリードしたとき
1	[セット条件] (1) シングルモード：A/D 変換が終了したとき (2) スキャンモード：指定したすべてのチャネルの A/D 変換が終了したとき

ビット 6：A/D インタラプトイネーブル (ADIE)

A/D 変換の終了による割り込み (ADI) 要求の許可または禁止を選択します。

ビット 6	説 明
ADIE	
0	A/D 変換の終了による割り込み (ADI) 要求を禁止 (初期値)
1	A/D 変換の終了による割り込み (ADI) 要求を許可

ビット 5：A/D スタート (ADST)

A/D 変換の開始または停止を選択します。A/D 変換中は 1 を保持します。

ADST ビットは、ソフトウェア、タイマの変換開始トリガ、または A/D 外部トリガ入力端子 (ADTRG) によって 1 にセットすることができます。

ビット 5	説 明
ADST	
0	A/D 変換を停止 (初期値)
1	(1) シングルモード：A/D 変換を開始。指定したチャンネルの変換が終了すると自動的に 0 にクリア (2) スキャンモード：A/D 変換を開始。ソフトウェア、リセット、スタンバイモードまたはモジュールストップモードによって 0 にクリアされるまで選択されたチャンネルを順次連続変換

ビット 4：スキャンモード (SCAN)

A/D 変換の動作モードを、シングルモードまたはスキャンモードから選択します。シングルモード／スキャンモードの動作については、「16.4 動作説明」を参照してください。SCAN ビットの設定は、変換停止中 (ADST=0) に行ってください。

ビット 4	説 明
SCAN	
0	シングルモード (初期値)
1	スキャンモード

ビット 3：チャンネルセレクト 3 (CH3)

グループ 0 またはグループ 1 に割り付けられるアナログ入力端子を切り替えます。すなわち、AN8～AN11 は CH3 を 1 にセットすることにより、AN0～AN7 の代わりに使用することができます。

ビット 3	説 明
CH3	
1	AN8～AN11 をグループ 0 のアナログ入力端子とします
0	AN0～AN3 をグループ 0、AN4～AN7 をグループ 1 のアナログ入力端子とします (初期値)

ビット 2～0：チャンネルセレクト 2～0 (CH2～CH0)

SCAN ビットとともにアナログ入力チャンネルを選択します。

入力チャンネルの設定は、変換停止中 (ADST=0) に行ってください。

チャンネル選択				説 明	
CH3	CH2	CH1	CH0	シングルモード (SCAN=0)	スキャンモード (SCAN=1)
0	0	0	0	AN0 (初期値)	AN0
			1	AN1	AN0、AN1
		1	0	AN2	AN0～AN2
			1	AN3	AN0～AN3
	1	0	0	AN4	AN4
			1	AN5	AN4、AN5
		1	0	AN6	AN4～AN6
			1	AN7	AN4～AN7
1	0	0	0	AN8	AN8
			1	AN9	AN8、AN9
		1	0	AN10	AN8～AN10
			1	AN11	AN8～AN11

16.2.3 A/D コントロールレジスタ (ADCR)

ビット	7	6	5	4	3	2	1	0
	TRGS1	TRGS0	—	—	CKS1	CKS0	—	—
初期値	0	0	1	1	0	0	1	1
R/W	R/W	R/W	—	—	R/W	R/W	—	—

ADCR は、8 ビットのリード／ライト可能なレジスタで、外部トリガ入力による A/D 変換の開始の許可／禁止を選択します。

ADCR は、リセット、スタンバイモード、またはモジュールストップモード時に、H'33 に初期化されます。

ビット 7、6：タイマトリガセレクト 1、0 (TRGS1、TRGS0)

トリガ信号による A/D 変換開始の許可または禁止を選択します。

TRGS1、TRGS0 ビットの設定は、変換停止中 (ADST=0) に行ってください。

ビット 7	ビット 6	説 明
TRGS1	TRGS0	
0	0	ソフトウェアによる A/D 変換の開始を許可 (初期値)
	1	TPU の変換開始トリガによる A/D 変換の開始を許可
1	0	設定禁止
	1	外部トリガ端子 (ADTRG) による A/D 変換の開始を許可

ビット 5、4、1、0：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 3、2：クロックセレクト 1、0 (CKS1、CKS0)

A/D 変換時間の設定を行います。変換時間の切り替えは、変換停止中 (ADST=0) の状態で行ってください。変換時間は 10 μ s 以上になるように ADCR の CKS1、CKS0 ビットを設定してください。

ビット 3	ビット 2	説 明
CKS1	CKS0	
0	0	変換時間=530 ステート (Max) (初期値)
	1	変換時間=266 ステート (Max)
1	0	変換時間=134 ステート (Max)
	1	変換時間=68 ステート (Max)

16.2.4 モジュールストップコントロールレジスタ A (MSTPCRA)

ビット：	7	6	5	4	3	2	1	0
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値：	0	0	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRA は 8 ビットのリード／ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPA1 ビットを 1 にセットすると、バスサイクルの終了時点で A/D 変換器の動作を停止してモジュールストップモードへ遷移します。モジュールストップモードでは、レジスタのリード／ライトはできません。詳細は、「22.5 モジュールストップモード」を参照してください。

MSTPCRA は、リセットまたはハードウェアスタンバイモード時に H'3F に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 1：モジュールストップ (MSTPA1)

A/D 変換器のモジュールストップモードを指定します。

ビット 1	説 明
MSTPA1	
0	A/D 変換器のモジュールストップモード解除
1	A/D 変換器のモジュールストップモード設定 (初期値)

16.3 バスマスタとのインタフェース

ADDRA～ADDRD は 16 ビットレジスタで、バスマスタとの間のデータバスは 8 ビット幅です。そのためバスマスタからのアクセスは、上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ（TEMP）を介して行います。

ADDR からデータのリードは次のように行われます。上位バイトのリードで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトのリードで TEMP の内容が CPU へ転送されます。

ADDR をリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図 16.2 に、ADDR のアクセス時のデータの流れを示します。

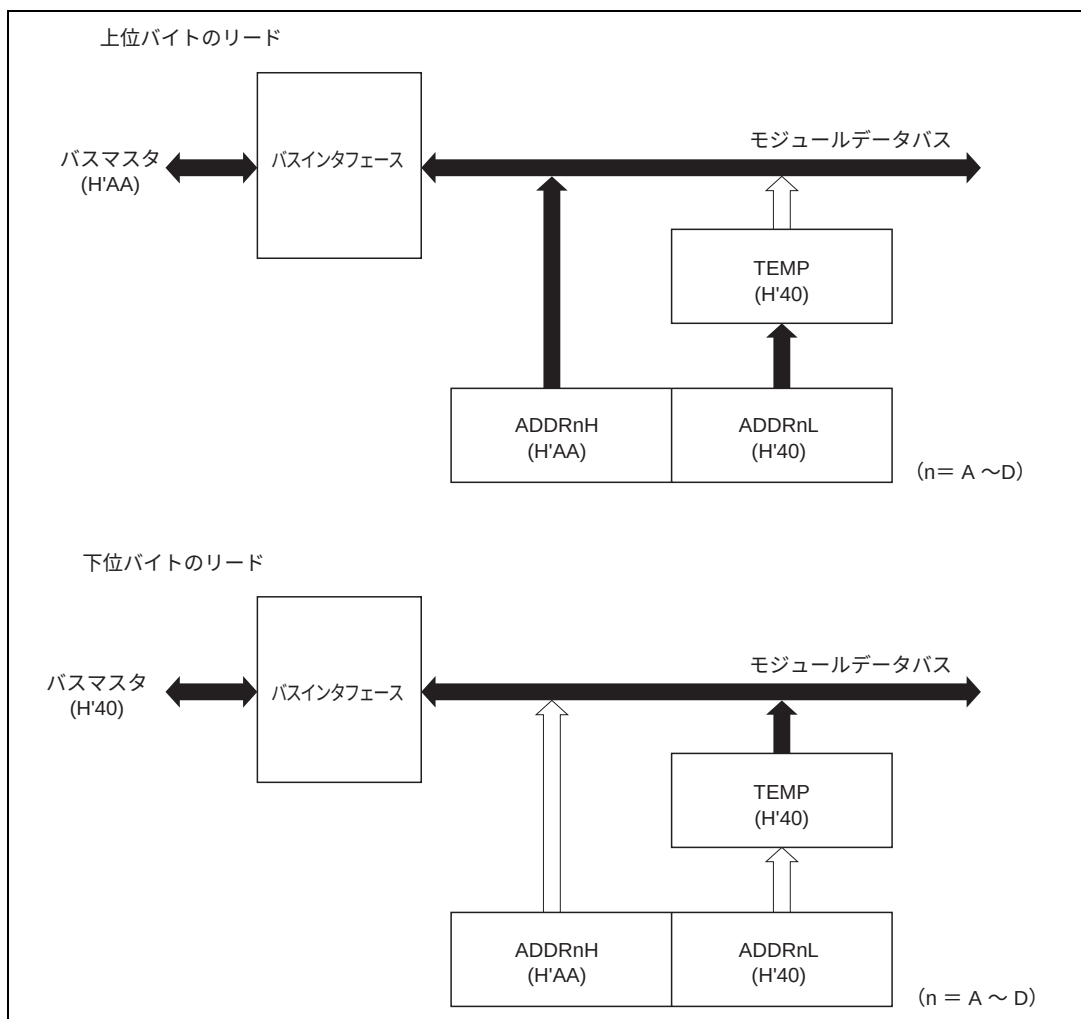


図 16.2 ADDR のアクセス動作 (H'AA40 リード時)

16.4 動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの分解能をもっています。シングルモードとスキャンモードの各モードの動作について説明します。

16.4.1 シングルモード (SCAN=0)

シングルモードは、1 チャンネルのみ A/D 変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によって ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。

ADF フラグは、ADCSR をリードした後、0 をライトするとクリアされます。

動作モードやアナログ入力チャンネルを切り替える場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると再び A/D 変換を開始します。なお、動作モードや入力チャンネルの変更と、ADST ビットのセットは同時に行うことができます。

シングルモードでチャンネル 1 (AN1) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 16.3 に示します。

- [1] 動作モードをシングルモードに (SCAN=0)、入力チャンネルを AN1 に (CH3=0、CH2=0、CH1=0、CH0=1) A/D 割り込み要求許可 (ADIE=1) に設定して、A/D 変換を開始 (ADST=1) します。
 - [2] A/D 変換が終了すると、A/D 変換結果が ADDR1 に転送されます。同時に、ADF=1、ADST=0 となり A/D 変換器は変換待機となります。
 - [3] ADF=1、ADIE=1 となっているため、ADI 割り込み要求が発生します。
 - [4] A/D 割り込み処理ルーチンが開始されます。
 - [5] ADCSR をリードした後、ADF に 0 をライトします。
 - [6] A/D 変換結果 (ADDR1) をリードして、処理します。
 - [7] A/D 割り込み処理ルーチンの実行を終了します。
- この後、ADST ビットを 1 にセットすると A/D 変換が開始され、[2] ~ [7] を行います。

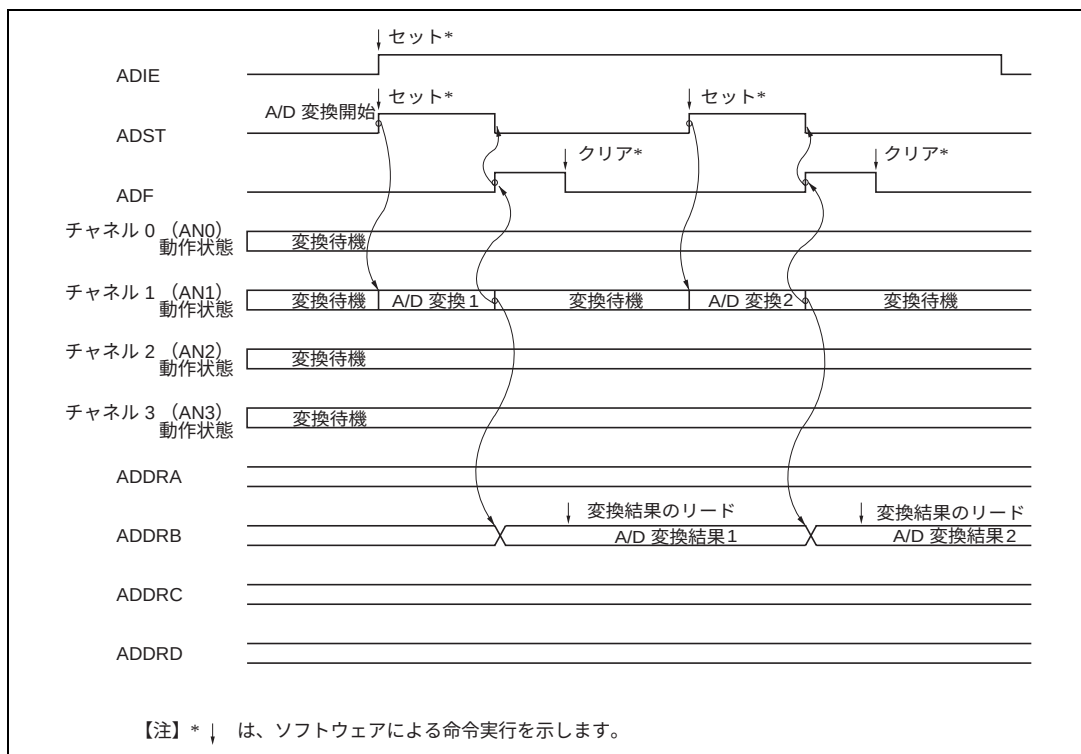


図 16.3 A/D 変換器の動作例 (シングルモード チャンネル 1 選択時)

16.4.2 スキャンモード (SCAN=1)

スキャンモードは、複数チャンネル (1 チャンネルを含む) のアナログ入力を常にモニタするような応用に適しています。ソフトウェア、タイマまたは外部トリガ入力によって ADST ビットが 1 にセットされると、第 1 チャンネル (AN0) から A/D 変換は開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、直ちに第 2 チャンネル (AN1) の A/D 変換を開始します。

A/D 変換は、ADST ビットが 0 にクリアされるまで、選択されたチャンネル内を連続して繰り返して行います。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、動作モードやアナログ入力チャンネルを切り替える場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると再び第 1 チャンネル (AN0) から A/D 変換を開始します。なお、動作モードや入力チャンネルの変更と、ADST ビットのセットは同時に行うことができます。

スキャンモードで 3 チャンネル (AN0~AN2) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 16.4 に示します。

- [1] 動作モードをスキャンモード (SCAN=1) に、チャンネルセット 0 (CH3=0)、スキャングループをグループ 0 (CH2=0) に、アナログ入力チャンネルを AN0~AN2 (CH1=1、CH0=0) に設定して A/D 変換を開始 (ADST=1) します。

- [2] 第1チャンネル (AN0) のA/D変換が開始されA/D変換が終了すると、変換結果をADDRAに転送します。
次に第2チャンネル (AN1) が自動的に選択され、変換を開始します。
- [3] 同様に第3チャンネル (AN2) まで変換を行います。
- [4] 選択されたすべてのチャンネル (AN0～AN2) の変換が終了すると、ADF=1となり、再び第1チャンネル (AN0) を選択し、変換が行われます。
このときADIEビットが1にセットされていると、A/D変換終了後、ADI割り込みを発生します。
- [5] ADSTビットが1にセットされている間は、[2] ～ [4] を繰り返します。
ADSTビットを0にクリアするとA/D変換が停止します。この後、ADSTビットを1にセットすると再びA/D変換を開始し、第1チャンネル (AN0) から変換が行われます。

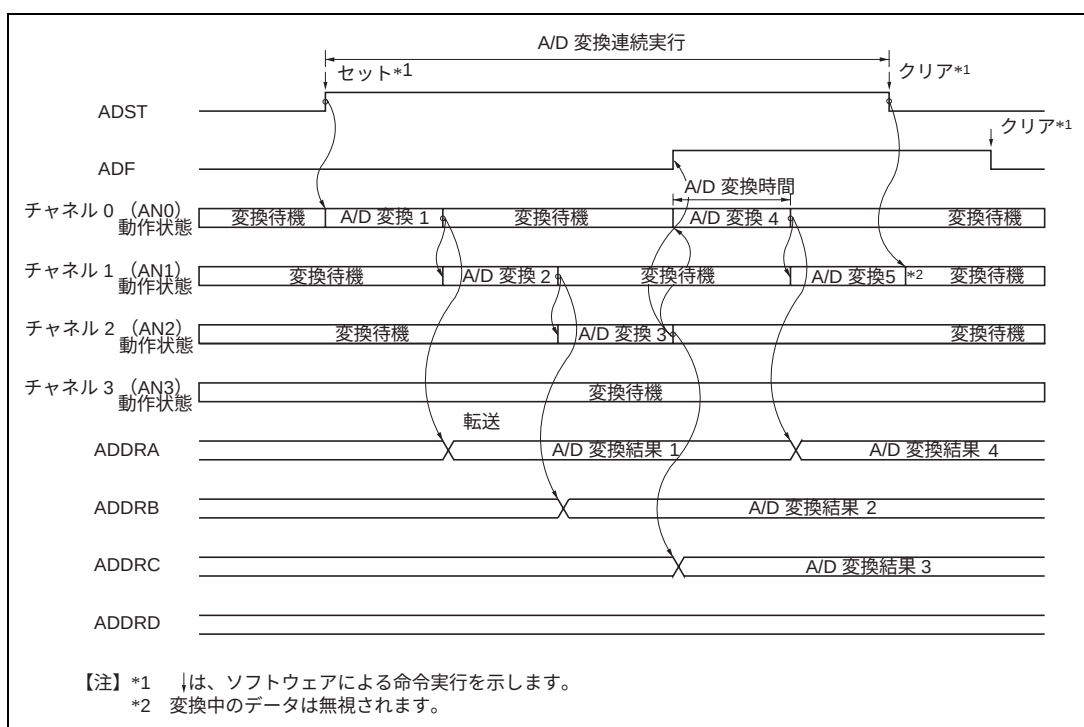


図 16.4 A/D 変換器の動作例 (スキャンモード AN0～AN2 の 3 チャンネル選択時)

16.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADST ビットが 1 にセットされてから t_D 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 16.5 に示します。また、A/D 変換時間を表 16.4 に示します。

A/D 変換時間は、図 16.5 に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 16.4 に示す範囲で変化します。

スキャンモードの変換時間は、表 16.4 に示す値が 1 回目の変換時間となりますが、2 回目以降は表 16.5 となります。いずれの場合も変換時間が $10\mu\text{s}$ 以上になるように ADCR の CKS1、CKS0 ビットを設定してください。

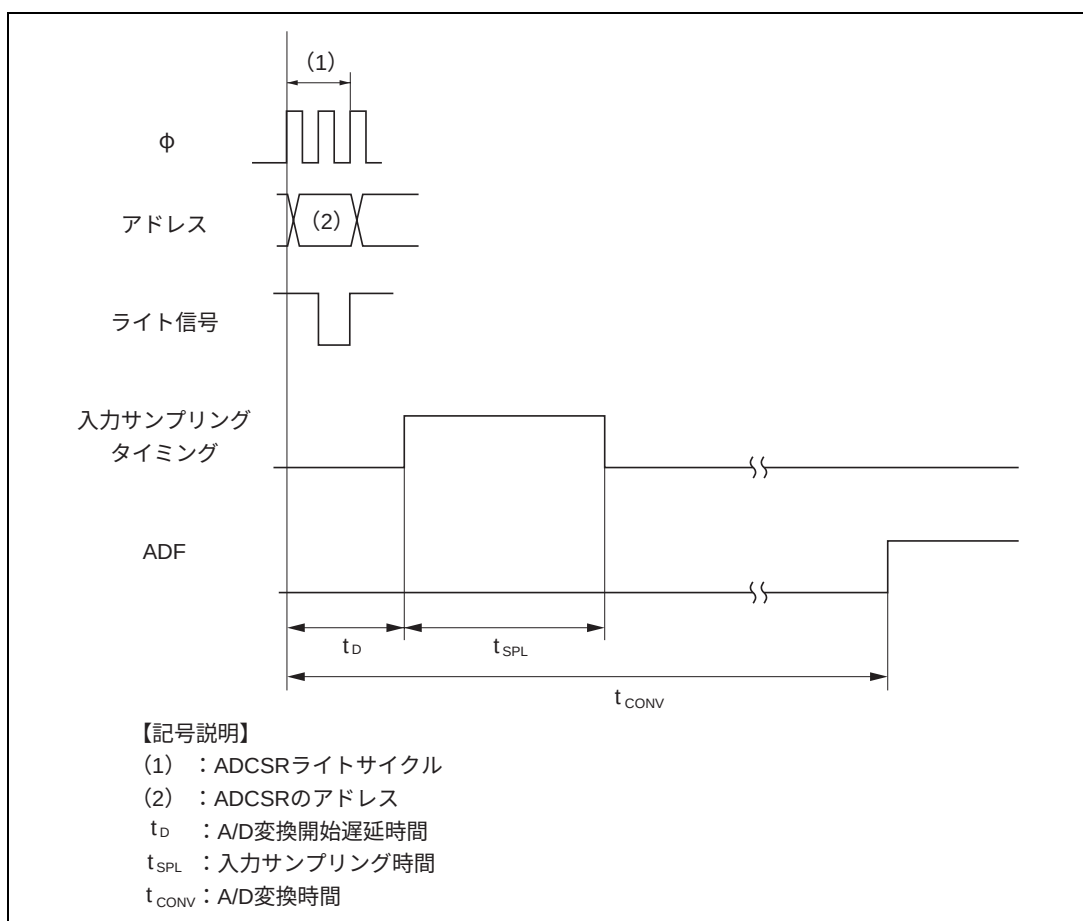


図 16.5 A/D 変換タイミング

表 16.4 A/D 変換時間（シングルモード）

項目	記号	CKS1=0						CKS1=1					
		CKS0=0			CKS0=1			CKS0=0			CKS0=1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	18	—	33	10	—	17	6	—	9	4	—	5
入力サンプリング時間	t_{SPL}	—	127	—	—	63	—	—	31	—	—	15	—
A/D 変換時間	t_{CONV}	515	—	530	259	—	266	131	—	134	67	—	68

【注】 単位：ステート

表 16.5 A/D 変換時間（スキャンモード）

CKS1	CKS0	変換時間（ステート）
0	0	512（固定）
	1	256（固定）
1	0	128（固定）
	1	64（固定）

16.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが 11 にセットされているとき、 $\overline{ADTRG}$ 端子から入力されます。 $\overline{ADTRG}$ 入力端子の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。

その他の動作は、シングルモード／スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。

このタイミングを図 16.6 に示します。

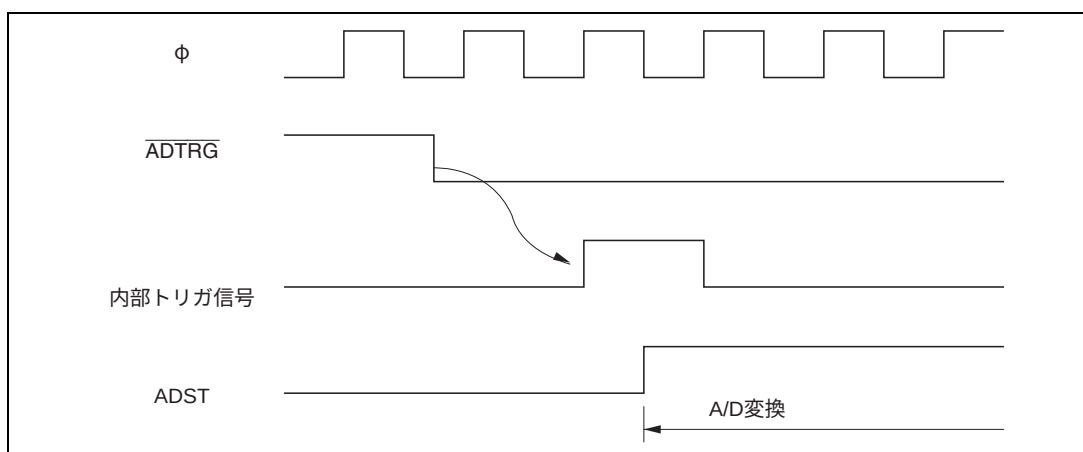


図 16.6 外部トリガ入力タイミング

16.5 割り込み

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み（ADI）を発生します。ADI 割り込み要求は、ADCSR の ADIE ビットによって許可または禁止することができます。

ADI 割り込みで DTC の起動ができます。ADI 割り込みで変換されたデータのリードを DTC で行うと、連続変換がソフトウェアの負担なく実現できます。

A/D 変換器の割り込み要因を表 16.6 に示します。

表 16.6 A/D 変換器の割り込み要因

割り込み要因	内 容	DTC の起動
ADI	変換終了による割り込み	可

16.6 使用上の注意

A/D 変換器を使用する際は、以下のことに注意してください。

(1) アナログ電源端子他の設定範囲

(a) アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子 ANn に印加する電圧は $AV_{ss} \leq ANn \leq V_{ref}$ の範囲としてください。

(b) AVCC、AVSS と VCC、VSS の関係

AVSS と VSS との関係は $AV_{ss} = V_{ss}$ とし、さらに、A/D 変換器を使用しないときは $AV_{cc} = V_{cc}$ とし、AVCC、AVSS 端子を決してオープンにしないでください。

(c) Vref 端子の設定範囲

Vref 端子によるリファレンス電圧の設定範囲は $V_{ref} \leq AV_{cc}$ にしてください。

【注】 以上 (a)、(b)、(c) が守られない場合、LSI の信頼性に悪影響を及ぼすことがあります。

(2) ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D 変換値に悪影響を及ぼします。

なお、アナログ入力信号（AN0～AN11）、アナログ基準電源（Vref）、アナログ電源（AVCC）は、アナロググランド（AVSS）で、デジタル回路を必ず分離してください。さらに、アナロググランド（AVSS）は、ボード上の安定したデジタルグランド（VSS）に一点接続してください。

(3) ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子（AN0～AN11）、アナログ基準電源（Vref）の破壊を防ぐために、接続する保護回路は、図 16.7 に示すように AVCC—AVSS 間に接続してください。

また、AVCC、Vref に接続するバイパス・コンデンサ、AN0～AN11 に接続するフィルタのコンデンサは、必ず AVSS に接続してください。

なお、図 16.7 のようにフィルタ用のコンデンサを接続するとアナログ入力端子（AN0～AN11）の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモード等で頻繁に A/D 変換を行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス（ R_{in} ）を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。

したがって回路定数の決定については、十分検討してください。

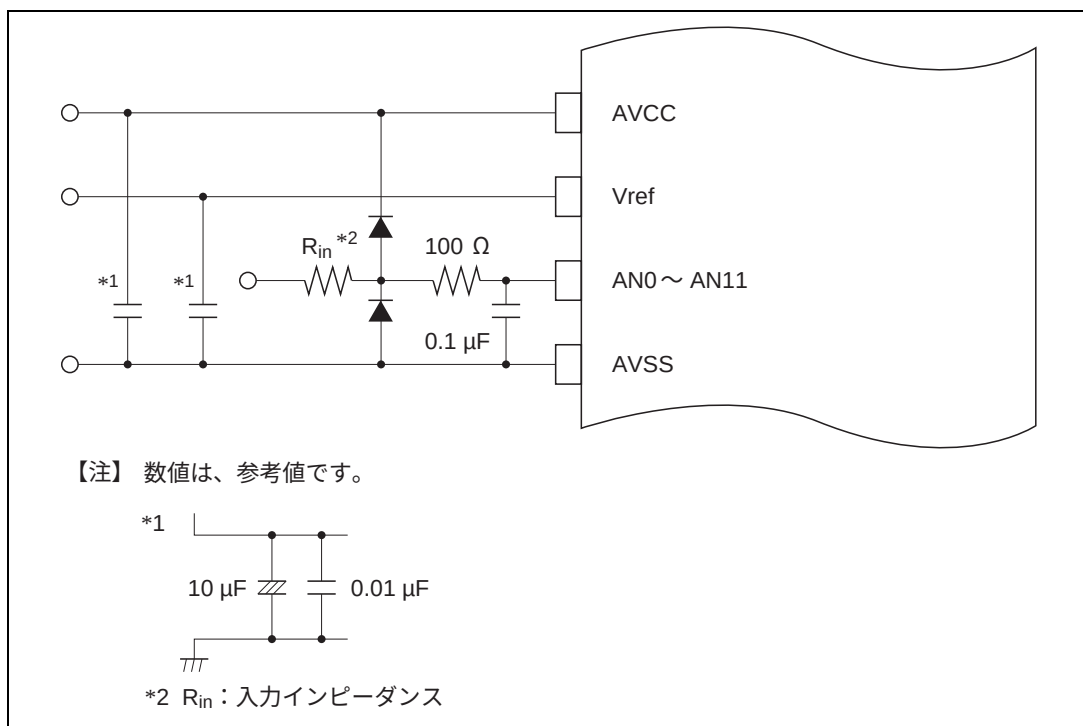


図 16.7 アナログ入力保護回路の例

表 16.7 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	—	20	pF
許容信号源インピーダンス	—	5	k Ω

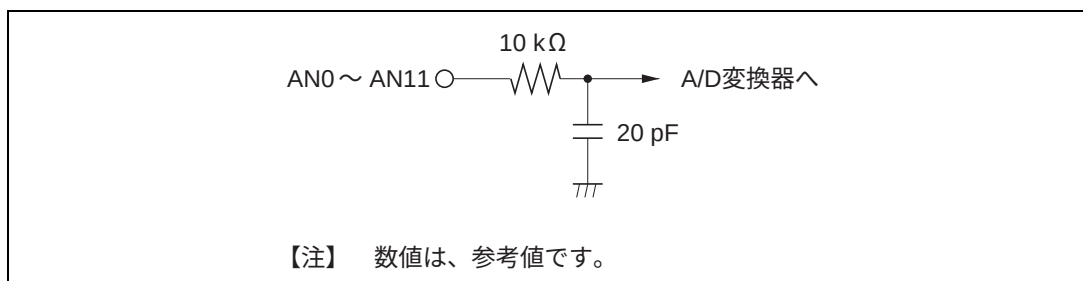


図 16.8 アナログ入力端子等価回路

(4) A/D 変換精度の定義

以下に、本 LSI の A/D 変換精度の定義を示します。

- 分解能
A/D変換器のデジタル出力コード数
- オフセット誤差
デジタル出力が最小電圧値B'0000000000 (H'00) からB'0000000001 (H'01) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図16.10)
- フルスケール誤差
デジタル出力がB'1111111110 (H'3E) からB'1111111111 (H'3F) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図16.10)
- 量子化誤差
A/D変換器が本質的に有する偏差であり、1/2 LSBで与えられる (図16.9)
- 非直線性誤差
ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差、および非直線誤差を含む。

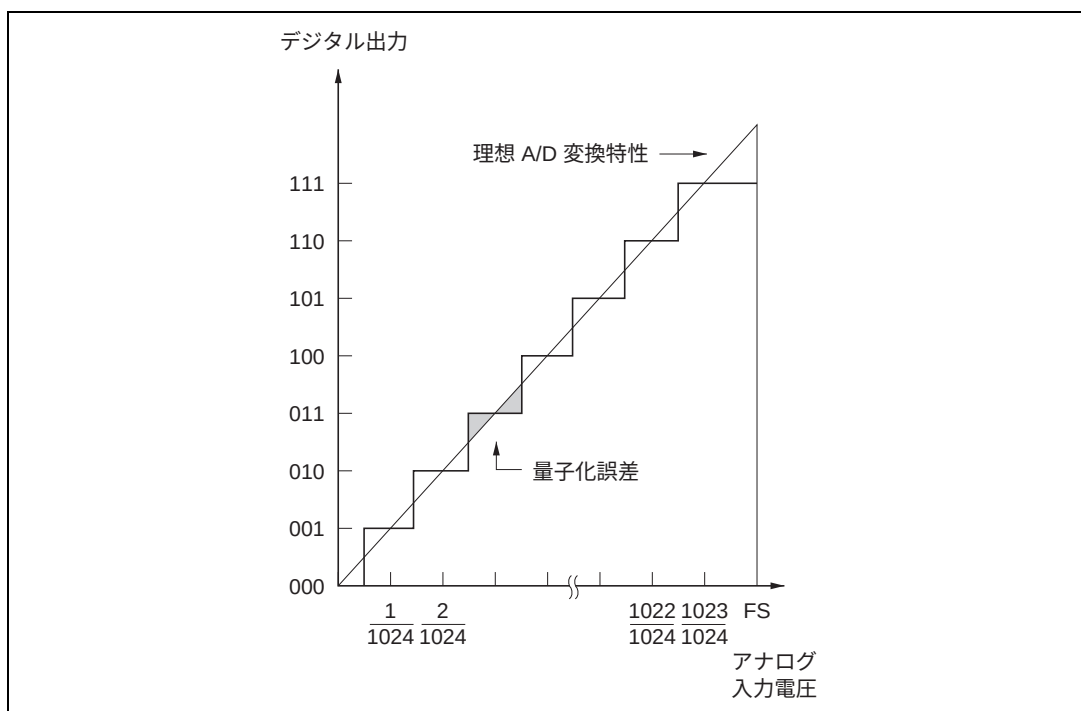


図 16.9 A/D 変換精度の定義 (1)

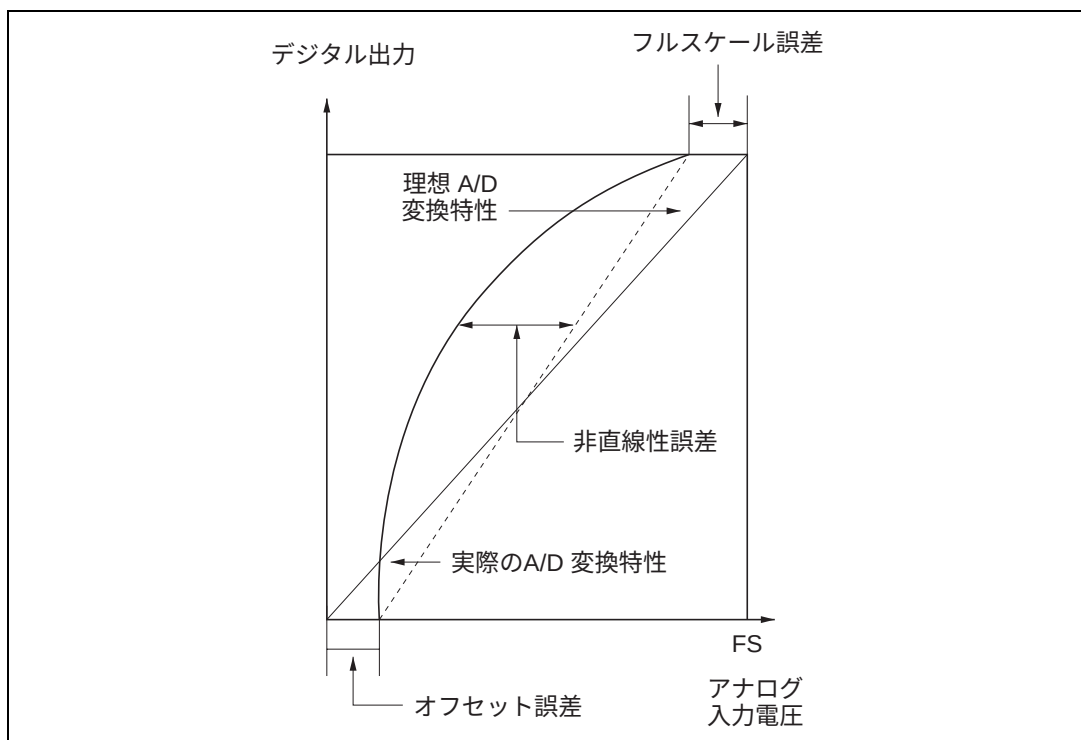


図 16.10 A/D 変換精度の定義 (2)

(5) 許容信号源インピーダンス

本 LSI のアナログ入力、信号源インピーダンスが $5k\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するために設けている規格で、センサの出力インピーダンスが $5k\Omega$ を超える場合、充電不足が生じ、A/D 変換精度が保証できなくなる場合があります。

しかし外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10k\Omega$ だけになりますので、信号源インピーダンスは不問となります。

ただし、この場合ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば $5mV/\mu s$ 以上）には追従できない場合があります。

高速のアナログ信号を変換する場合には、低インピーダンスのバッファを入れてください。

(6) 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることになりますので、GND にノイズがあると絶対精度が悪化する可能性があります。必ず AVSS などの電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と交差したり、アンテナとならないように注意が必要です。

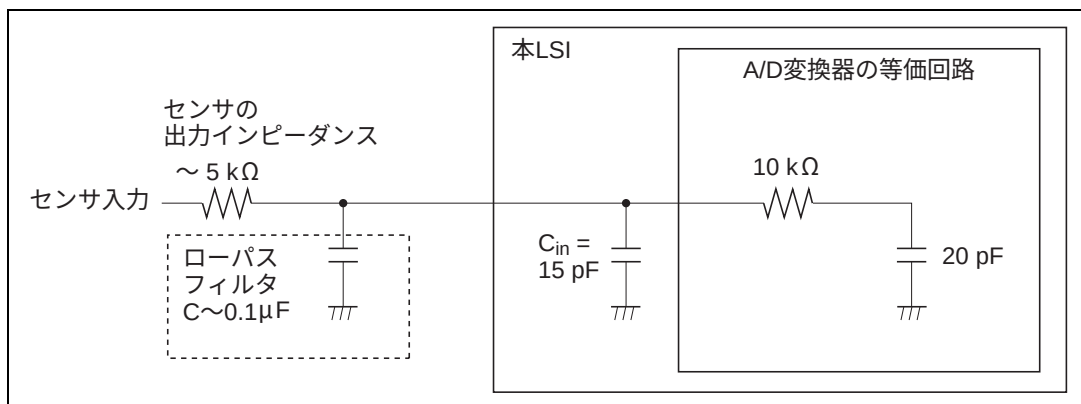


図 16.11 アナログ入力回路の例

17. モータコントロール PWM タイマ

17.1 概要

本 LSI は、最大 16 本のパルス出力が可能なモータコントロール PWM (Pulse Width Modulator) を内蔵しています。

17.1.1 特長

モータコントロール PWM の特長を以下に示します。

■最大 16 本のパルス出力

- 8 本の出力を持つ 10 ビット PWM を 2 チャンネル内蔵しています。
- それぞれのチャンネルに 10 ビットのカウンタ (PWCNT) をサイクルレジスタ (PWCYR) を 1 本ずつ備えています。
- デューティ、出力極性は 1 本ごとに設定可能です。

■バッファ付きデューティレジスタ

- デューティレジスタ (PWDTR) にはバッファレジスタ (PWBFR) を備えており、1 サイクルごとに自動的にデータ転送されます。
- チャンネル 1 は 4 本のデューティレジスタと、4 本のバッファレジスタを備えています。
- チャンネル 2 は 8 本のデューティレジスタと、4 本のバッファレジスタを備えています。

■デューティは 0% から 100% まで設定可能

- デューティレジスタの設定値で 0% から 100% まで設定できます。

■5 種類の動作クロックから選択可能

- 5 種類の動作クロック (ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$) が選択できます。

■出力ドライバ内蔵

■内部 16 ビットバスによる高速アクセス

- 16 ビットバスインタフェースによる高速アクセスが可能

■2 種類の割り込み要因

- サイクルレジスタのコンペアマッチで、2 チャンネル独立に割り込み要求可能

■レジスタのデータの自動転送が可能

- データトランスファコントローラ (DTC) の起動により、ブロック転送および 1 ワードデータ転送が可能

■モジュールストップモードを設定可能

- 初期値では PWM の動作は停止。モジュールストップモードを解除することによりレジスタのアクセスが可能

17.1.2 ブロック図

PWM チャンネル 1 のブロック図を図 17.1 に示します。

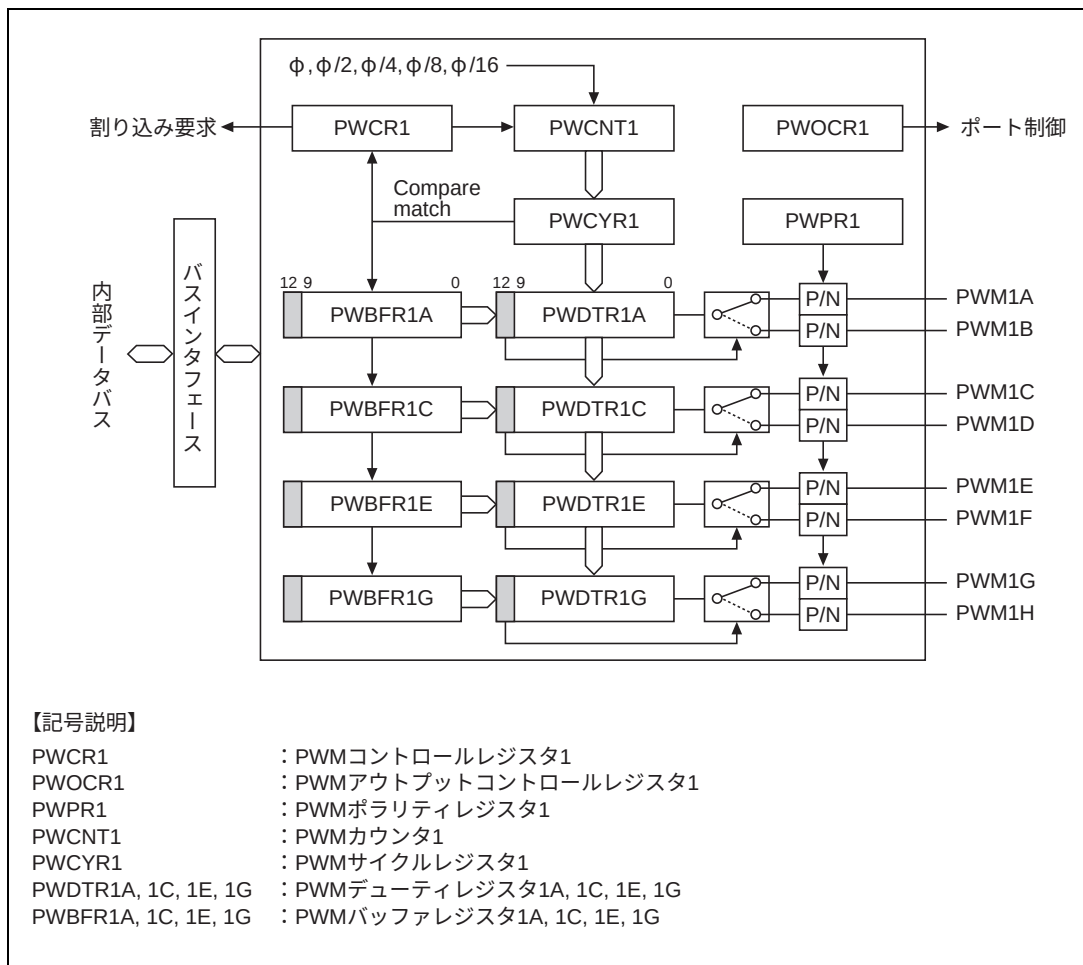


図 17.1 PWM チャンネル 1 のブロック図

PWM チャンネル 2 のブロック図を図 17.2 に示します。

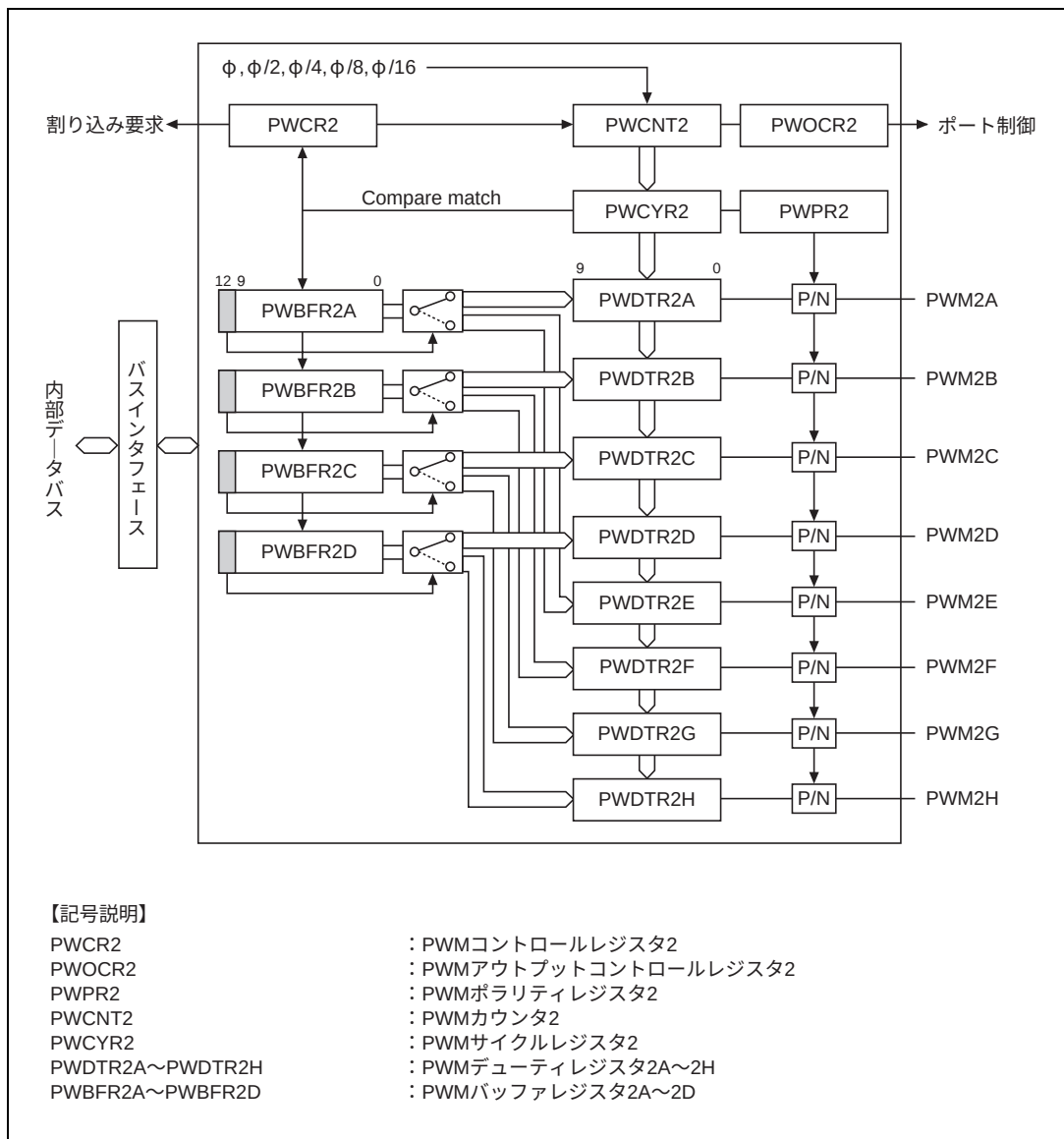


図 17.2 PWM チャンネル 2 のブロック図

17.1.3 端子構成

PWM の端子構成を表 17.1 に示します。

表 17.1 端子構成

名 称	記号	入出力	機 能
PWM 出力端子 1A	PWM1A	出力	チャンネル 1A の PWM 出力
PWM 出力端子 1B	PWM1B	出力	チャンネル 1B の PWM 出力
PWM 出力端子 1C	PWM1C	出力	チャンネル 1C の PWM 出力
PWM 出力端子 1D	PWM1D	出力	チャンネル 1D の PWM 出力
PWM 出力端子 1E	PWM1E	出力	チャンネル 1E の PWM 出力
PWM 出力端子 1F	PWM1F	出力	チャンネル 1F の PWM 出力
PWM 出力端子 1G	PWM1G	出力	チャンネル 1G の PWM 出力
PWM 出力端子 1H	PWM1H	出力	チャンネル 1H の PWM 出力
PWM 出力端子 2A	PWM2A	出力	チャンネル 2A の PWM 出力
PWM 出力端子 2B	PWM2B	出力	チャンネル 2B の PWM 出力
PWM 出力端子 2C	PWM2C	出力	チャンネル 2C の PWM 出力
PWM 出力端子 2D	PWM2D	出力	チャンネル 2D の PWM 出力
PWM 出力端子 2E	PWM2E	出力	チャンネル 2E の PWM 出力
PWM 出力端子 2F	PWM2F	出力	チャンネル 2F の PWM 出力
PWM 出力端子 2G	PWM2G	出力	チャンネル 2G の PWM 出力
PWM 出力端子 2H	PWM2H	出力	チャンネル 2H の PWM 出力

17.1.4 レジスタ構成

PWM のレジスタ構成を表 17.2 に示します。

表 17.2 レジスタ構成

チャンネル	名 称	略称	R/W	初期値	アドレス*1
1	PWM コントロールレジスタ 1	PWCR1	R/W	H'C0	H'FC00
	PWM アウトプットコントロール レジスタ 1	PWOCR1	R/W	H'00	H'FC02
	PWM ポラリティレジスタ 1	PWPR1	R/W	H'00	H'FC04
	PWM サイクルレジスタ 1	PWCYR1	R/W	H'FFFF	H'FC06
	PWM バッファレジスタ 1A	PWBFR1A	R/W	H'EC00	H'FC08
	PWM バッファレジスタ 1C	PWBFR1C	R/W	H'EC00	H'FC0A
	PWM バッファレジスタ 1E	PWBFR1E	R/W	H'EC00	H'FC0C
	PWM バッファレジスタ 1G	PWBFR1G	R/W	H'EC00	H'FC0E
2	PWM コントロールレジスタ 2	PWCR2	R/W	H'C0	H'FC10
	PWM アウトプットコントロール レジスタ 2	PWOCR2	R/W	H'00	H'FC12
	PWM ポラリティレジスタ 2	PWPR2	R/W	H'00	H'FC14
	PWM サイクルレジスタ 2	PWCYR2	R/W	H'FFFF	H'FC16
	PWM バッファレジスタ 2A	PWBFR2A	R/W	H'EC00	H'FC18
	PWM バッファレジスタ 2B	PWBFR2B	R/W	H'EC00	H'FC1A

チャンネル	名 称	略称	R/W	初期値	アドレス* ¹
2	PWM バッファレジスタ 2C	PWBFR2C	R/W	H'EC00	H'FC1C
	PWM バッファレジスタ 2D	PWBFR2D	R/W	H'EC00	H'FC1E
共通	モジュールストップコントロールレジスタ D	MSTPCRD	R/W	B'11*****	H'FC60

【注】 *1 アドレス下位 16 ビットを示しています。

17.2 各レジスタの説明

17.2.1 PWM コントロールレジスタ 1、2 (PWCR1、2)

ビット：	7	6	5	4	3	2	1	0
	—	—	IE	CMF	CST	CKS2	CKS1	CKS0
初期値：	1	1	0	0	0	0	0	0
R/W：	—	—	R/W	R/(W)*	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

PWCR は 8 ビットのリード／ライト可能なレジスタで、割り込み許可、起動／停止、およびカウンタ (PWCNT) のクロック選択を行います。また、サイクルレジスタ (PWCYR) のコンペアマッチを示すフラグも備えています。PWCR1 はチャンネル 1、PWCR2 はチャンネル 2 に対応します。

PWCR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、H'CO に初期化されます。

ビット 7、6：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 5：割り込みイネーブル (IE)

対応するチャンネルの PWCYR がコンペアマッチしたときの、割り込みを許可／禁止を選択します。

ビット 5	説 明
IE	
0	割り込み禁止 (初期値)
1	割り込み許可

ビット 4：コンペアマッチフラグ（CMF）

対応するチャンネルの PWCYR のコンペアマッチの発生を示します。

ビット 4	説 明
CMF	
0	[クリア条件] (初期値) (1) CMF=1 の状態で CMF をリード後、CMF に 0 をライトしたとき (2) コンペアマッチ割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
1	[セット条件] PWCNT=PWCYR になったとき

ビット 3：カウンタスタート（CST）

対応するチャンネルの PWCNT の起動／停止を選択します。

ビット 3	説 明
CST	
0	PWCNT を停止 (初期値)
1	PWCNT を起動

ビット 2～0：クロックセレクト（CKS）

対応するチャンネルの PWCNT のカウンタクロックを選択します。

ビット 2	ビット 1	ビット 0	説 明
CKS2	CKS1	CKS0	
0	0	0	内部クロック： $\phi/1$ でカウント (初期値)
		1	内部クロック： $\phi/2$ でカウント
	1	0	内部クロック： $\phi/4$ でカウント
		1	内部クロック： $\phi/8$ でカウント
1	*	*	内部クロック： $\phi/16$ でカウント

*：Don't Care

17.2.2 PWM アウトプットコントロールレジスタ 1、2 (PWOCR1、2)

PWOCR1

ビット：	7	6	5	4	3	2	1	0
	OE1H	OE1G	OE1F	OE1E	OE1D	OE1C	OE1B	OE1A
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWOCR2

ビット：	7	6	5	4	3	2	1	0
	OE2H	OE2G	OE2F	OE2E	OE2D	OE2C	OE2B	OE2A
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWOCR は 8 ビットのリード／ライト可能なレジスタで、PWM 出力の許可／禁止を選択します。
PWOCR1 は PWM1H～PWM1A 出力、PWOCR2 は PWM2H～PWM2A 出力に対応します。

PWOCR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、H'00 に初期化されます。

ビット 7～0：アウトプットイネーブル (OE)

各ビットに対応する PWM 出力の許可／禁止を選択します。

ビット 7～0	説 明
OE	
0	PWM 出力を禁止 (初期値)
1	PWM 出力を許可

17.2.3 PWM ポラリティレジスタ 1、2 (PWPR1、2)

PWPR1

ビット：	7	6	5	4	3	2	1	0
	OPS1H	OPS1G	OPS1F	OPS1E	OPS1D	OPS1C	OPS1B	OPS1A
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWPR2

ビット：	7	6	5	4	3	2	1	0
	OPS2H	OPS2G	OPS2F	OPS2E	OPS2D	OPS2C	OPS2B	OPS2A
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWPR は 8 ビットのリード／ライト可能なレジスタで、PWM 出力の極性の選択を行います。PWPR1 は PWM1H～PWM1A 出力、PWPR2 は PWM2H～PWM2A 出力に対応します。

PWPR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、H'00 に初期化されます。

ビット 7～0：アウトプットポラリティセレクト (OPS)

各ビットに対応する PWM 出力の極性を選択します。

ビット 7～0	説 明
OPS	
0	PWM 直接出力 (初期値)
1	PWM 反転出力

17.2.4 PWM カウンタ 1、2 (PWCNT1、2)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—										
初期値：	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0
R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

PWCNT は、10 ビットのアップカウンタで、入力するクロックによりカウントアップされます。入力するクロックは、PWCR のクロックセレクトビット 2、1、0 (CKS2、1、0) で選択します。

PWCNT1 はチャンネル 1 のタイムベースとして、PWCNT2 はチャンネル 2 のタイムベースとして使用します。

PWCNT は、PWCR のカウントスタートビット (CST) が 0 のときと、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、H'FC00 に初期化されます。

17.2.5 PWM サイクルレジスタ 1、2 (PWCYR1、2)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—										
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWCYR は、16 ビットのリード／ライト可能なレジスタで、PWM の変換周期を設定するレジスタです。PWCYR のコンペアマッチが発生すると、PWCNT はクリアされ、バッファレジスタ (PWBFR) からのデューティレジスタ (PWDTR) へのデータ転送が行われます。PWCYR1 はチャンネル 1 の変換周期設定に、PWCYR2 はチャンネル 2 の変換周期設定に使用します。

PWCYR への書き込みは PWCNT の停止中に行ってください。また、PWCYR に H'FC00 を設定しないでください。

PWCYR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、H'FFFF に初期化されます。

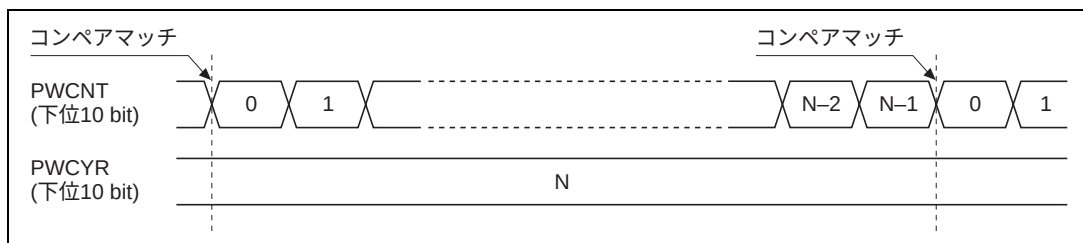


図 17.3 サイクルレジスタのコンペアマッチ

17.2.6 PWM デューティレジスタ 1A、1C、1E、1G (PWDTR1A、1C、1E、1G)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	OTS	—	—	DT9	DT8	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0
初期値：	1	1	1	0	1	1	0	0	0	0	0	0	0	0	0	0
R/W	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

PWDTR1 は、4 本のレジスタ (PWDTR1A、C、E、G) 構成されています。PWDTR1A は PWM1A、1B 出力に、PWDTR1C は PWM1C、1D 出力に、PWDTR1E は PWM1E、1F 出力に、PWDTR1G は PWM1G、1H 出力にそれぞれ対応します。PWDTR1 は直接リード／ライトできません。PWCYR1 のコンペアマッチが発生すると、バッファレジスタ 1 (PWBFR1) から PWDTR1 にデータ転送が行われます。

PWDTR1 は、PWCYR1 のカンタスタートビット (CST) が 0 のときと、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、H'EC00 に初期化されます。

ビット 15～13：リザーブビット

リード／ライトはできません。

ビット 12：アウトプットターミナルセレクト (OTS)

PWCYR1 のコンペアマッチにより転送されるバッファレジスタの 12 ビット目の値を反映し、PWM 出力を行う端子を選択します。非選択の端子は Low レベル (PWPR1 の当該ビットが 1 のときは High レベル) を出力します。

レジスタ	ビット 12	説明
	OTS	
PWDTR1A	0	PWM1A 出力を選択 (初期値)
	1	PWM1B 出力を選択
PWDTR1C	0	PWM1C 出力を選択 (初期値)
	1	PWM1D 出力を選択
PWDTR1E	0	PWM1E 出力を選択 (初期値)
	1	PWM1F 出力を選択
PWDTR1G	0	PWM1G 出力を選択 (初期値)
	1	PWM1H 出力を選択

ビット 11、10：リザーブビット

リード／ライトはできません。

ビット 9～0：デューティ (DT)

PWCYR1 のコンペアマッチにより転送されるバッファレジスタのビット 9～0 のデータを反映し、PWM 出力のデューティを設定します。PWCYR1 のコンペアマッチの発生で PWCNT1 がクリアされてから、PWDTR1 のコンペアマッチが発生するまでの間、High レベル (PWPR1 の当該ビットが 1 のときは Low レベル) を出力します。全ビットが 0 の場合は、High レベル (PWPR1 の当該ビットが 1 のときは Low レベル) を出力する期間はありません。

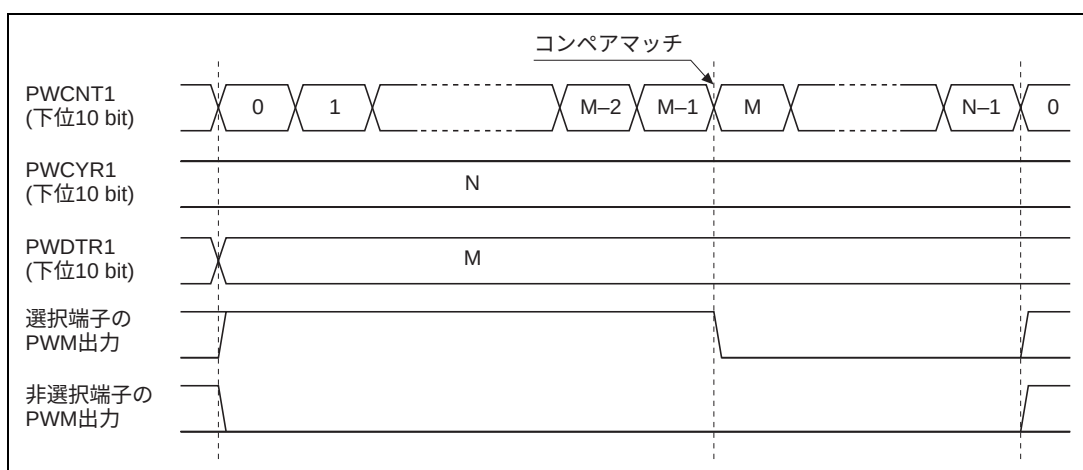


図 17.4 デューティレジスタのコンペアマッチ (PWPR1 の OPS=0)

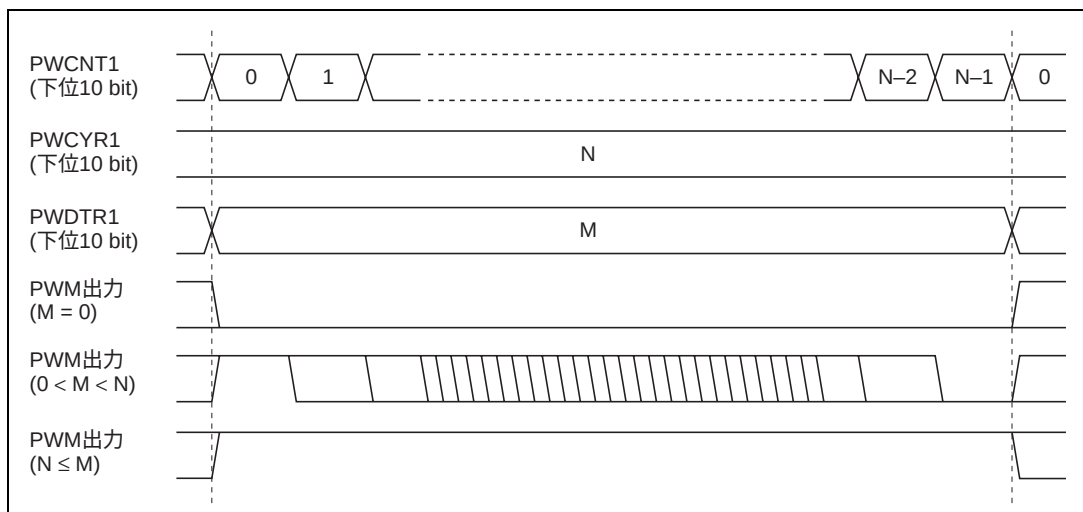


図 17.5 デューティレジスタの設定値による PWM 出力の相違 (PWPR1 の OPS=0)

17.2.7 PWM バッファレジスタ 1A、1C、1E、1G (PWBFR1A、1C、1E、1G)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	OTS	—	—	DT9	DT8	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0
初期値：	1	1	1	0	1	1	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWBFR1 は、16 ビットのリード／ライト可能な 4 本のレジスタで (PWBFR1A、C、E、G) で構成されています。PWCYR1 のコンペアマッチが発生すると PWBFR1A から PWDTR1A に、PWBFR1C から PWDTR1C に、PWBFR1E から PWDTR1E に、PWBFR1G から PWDTR1G にデータ転送されます。

PWBFR1 は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、H'EC00 に初期化されます。

ビット 15～13：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 12：アウトプットターミナルセレクト (OTS)

PWDTR1 のビット 12 へ転送されるデータです。

ビット 11、10：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 9～0：デューティ (DT)

PWDTR1 のビット 9～0 へ転送されるデータです。

17.2.8 PWM デューティレジスタ 2A～2H (PWDTR2A～2H)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DT9	DT8	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0
初期値：	1	1	1	0	1	1	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

PWDTR2 は、8 本のレジスタで (PWDTR2A～2H) で構成されています。PWDTR2A は PWM2A 出力に、PWDTR2B は PWM2B 出力に、PWDTR2C は PWM2C 出力に、PWDTR2D は PWM2D 出力に、PWDTR2E は PWM2E 出力に、PWDTR2F は PWM2F 出力に、PWDTR2G は PWM2G 出力に、PWDTR2H は PWM2H 出力にそれぞれ対応します。PWDTR2 は直接リード／ライトできません。PWCYR2 のコンペアマッチが発生すると、バッファレジスタ 2 (PWBFR2) から PWDTR2 へのデータ転送が行われます。

PWDTR2 は、PWCR2 のカンタスタートビット (CST) が 0 のときと、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモード、またはモジュールストップモード時に、H'EC00 に初期化されます。

ビット 15～10：リザーブビット

リード／ライトできません。

ビット 9～0：デューティ (DT)

PWCYR2 のコンペアマッチにより転送されるバッファレジスタのビット 9～0 のデータを反映し、PWM 出力のデューティを設定します。PWCYR2 のコンペアマッチの発生で PWCNT2 がクリアされてから、PWDTR2 のコンペアマッチが発生するまでの間、High レベル (PWPR2 の当該ビットが 1 のときは Low レベル) を出力します。全ビットが 0 の場合は、High レベル (PWPR2 の当該ビットが 1 のときは Low レベル) を出力する期間はありません。

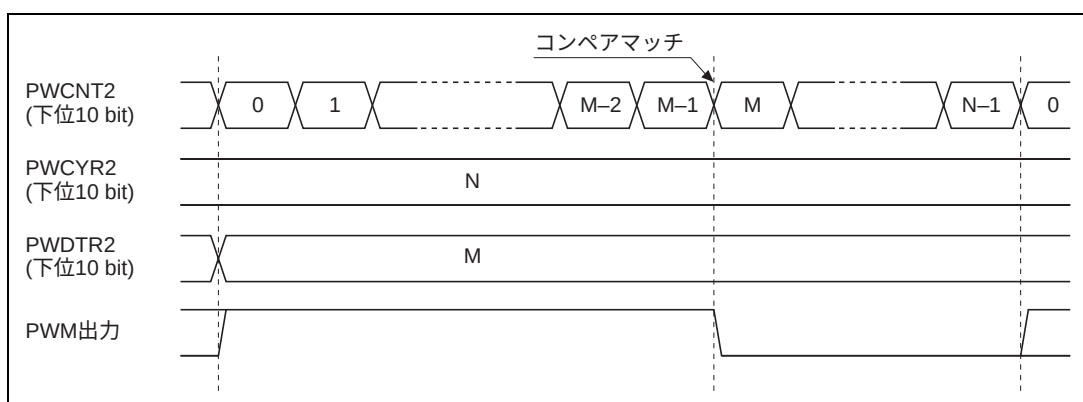


図 17.6 デューティレジスタのコンペアマッチ (PWPR2 の OPS=0)

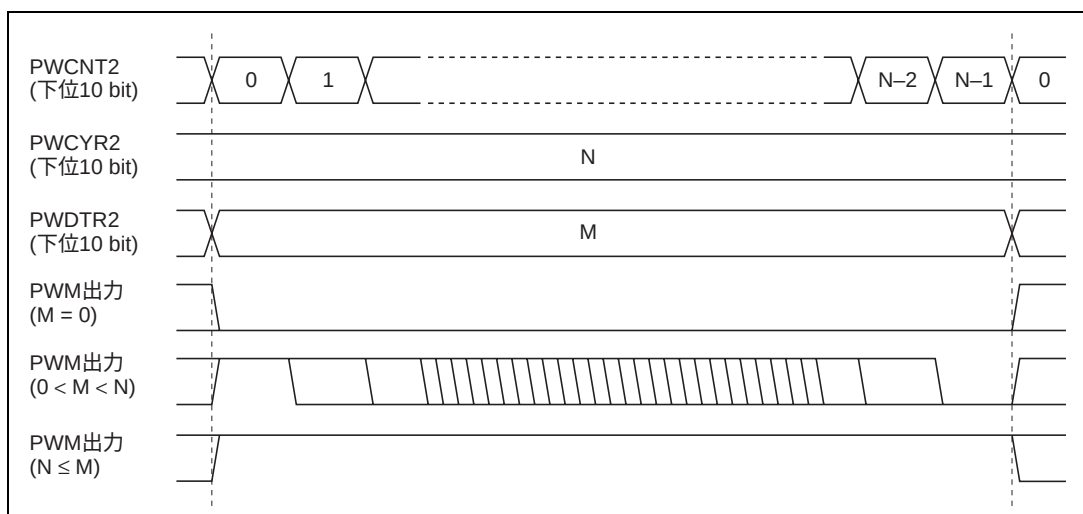


図 17.7 デューティレジスタの設定値による PWM 出力の相違 (PWPR2 の OPS=0)

17.2.9 PWM バッファレジスタ 2A～2D (PWBFR2A～2D)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	TDS	—	—	DT9	DT8	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0
初期値：	1	1	1	0	1	1	0	0	0	0	0	0	0	0	0	0
R/W：	—	—	—	R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWBFR2 は、16 ビットのリード／ライト可能な 4 本のレジスタで (PWBFR2A～D) で構成されています。PWCYR2 のコンペアマッチが発生すると PWBFR2A から PWDTR2A または PWDTR2E に、PWBFR2B から PWDTR2B または PWDTR2F に、PWBFR2C から PWDTR2C または PWDTR2G に、PWBFR2D から PWDTR2D または PWDTR2H にデータ転送されます。転送先は TDS ビットの値によって決まります。

PWBFR2 は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモードまたはモジュールストップモード時に、H'EC00 に初期化されます。

ビット 15～13：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 12：トランスファデスティネーションセレクト (TDS)

データ転送先の PWDTR2 を選択します。

レジスタ	ビット 12	説 明
	TDS	
PWBFR2A	0	PWDTR2A を選択 (初期値)
	1	PWDTR2E を選択
PWBFR2B	0	PWDTR2B を選択 (初期値)
	1	PWDTR2F を選択
PWBFR2C	0	PWDTR2C を選択 (初期値)
	1	PWDTR2G を選択
PWBFR2D	0	PWDTR2D を選択 (初期値)
	1	PWDTR2H を選択

ビット 11、10：リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 9～0：デューティ (DT)

PWDTR2 のビット 9～0 へ転送されるデータです。

17.2.10 モジュールストップコントロールレジスタ D (MSTPCRD)

ビット：	7	6	5	4	3	2	1	0
	MSTPD7	MSTPD6	MSTPD5	MSTPD4	MSTPD3	MSTPD2	MSTPD1	MSTPD0
初期値：	1	1	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	—	—	—	—	—	—

MSTPCRD は 8 ビットのリード／ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPD7 ビットを 1 にセットすると、バスサイクルの終了時点でモータコントロール PWM タイマは動作を停止してモジュールストップモードへ遷移します。詳細は、「22.5 モジュールストップモード」を参照してください。

MSTPCRD は、リセットまたはハードウェアスタンバイモード時に初期化されます。ソフトウェアスタンバイモード時では初期化されません。

ビット 7：モジュールストップ (MSTPD7)

PWM のモジュールストップモードを指定します。

ビット 7	説 明
MSTPD7	
0	PWM のモジュールストップモード解除
1	PWM のモジュールストップモード設定 (初期値)

17.3 バスマスタとのインタフェース

17.3.1 16 ビットデータレジスタ

PWCYR1、2、PWBFR1A、C、E、G、PWBFR2A～D は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位でのリード／ライトが可能です。8 ビット単位でのリード／ライトはできません。常に 16 ビット単位でアクセスしてください。

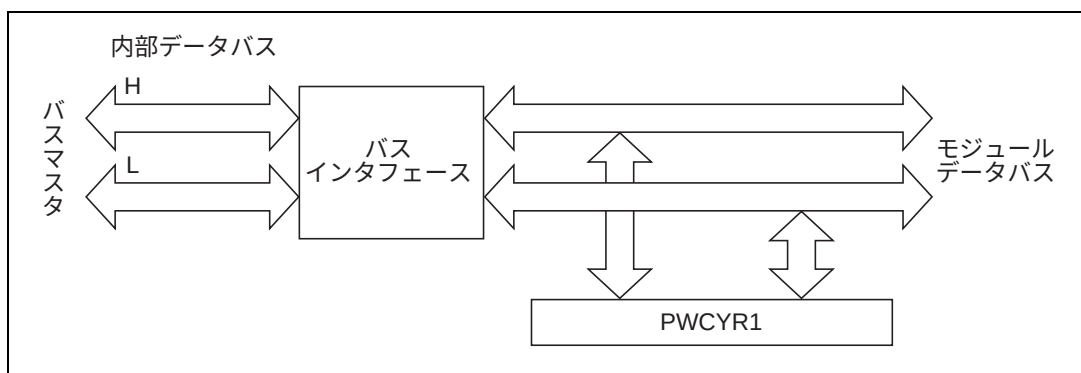


図 17.8 16 ビットレジスタのアクセス動作 (バスマスタ↔PWCYR1 (16 ビット))

17.3.2 8ビットデータレジスタ

PWCR1、2、PWOCR1、2、PWPR1、2は8ビットのレジスタです。8ビット単位でのリード／ライトが可能です。バスマスタとの間のデータバスは16ビット幅なので、16ビット単位でのリード／ライトが可能です。下位8ビットは読み出すと常にH'FFになります。

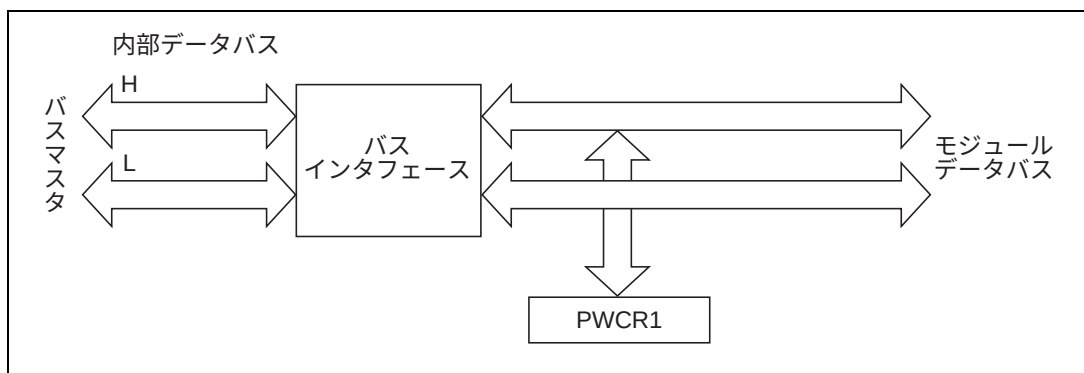


図 17.9 8ビットレジスタのアクセス動作（バスマスタ↔PWCR1（上位8ビット））

17.4 動作説明

17.4.1 PWM チャンネル 1 の動作

PWM1A～H 端子からは、図 17.10 に示すような PWM 波形が出力されます。

(1) 初期設定

PWPR1 で PWM 出力の極性を設定します。PWOCR1 で端子を PWM 出力を許可に設定します。PWCR1 の CKS2～0 によって PWCNT1 に入力するクロックを選択します。

PWCYR1 で PWM の変換周期を設定します。PWBFR1A、PWBFR1C、PWBFR1E、PWBFR1G に 1 フレーム目のデータを設定します。

(2) 起動

PWCR1 の CST ビットを 1 にセットすると、PWCNT1 と PWCYR1 のコンペアマッチが発生します。PWBFR1A から PWDTR1A に、PWBFR1C から PWDTR1C に、PWBFR1E から PWDTR1E に、PWBFR1G から PWDTR1G にデータ転送されます。PWCNT1 はアップカウントを開始します。このときも PWCR1 の CMF ビットはセットされるので、PWCR1 の IE ビットがセットされていれば、割り込み要求または DTC の起動が可能です。

(3) 波形出力

PWDTR1A、C、E、G の OTS ビットによって選択された PWM 出力は、PWCNT1 と PWCYR1 のコンペアマッチが発生すると High を出力します。OTS ビットによって選択されない PWM 出力は Low を出力します。PWCNT1 と PWDTR1A、C、E、G のコンペアマッチが発生すると、対応する PWM 出力から Low を出力します。なお、PWPR1 の対応するビットが 1 のときは反転して出力します。

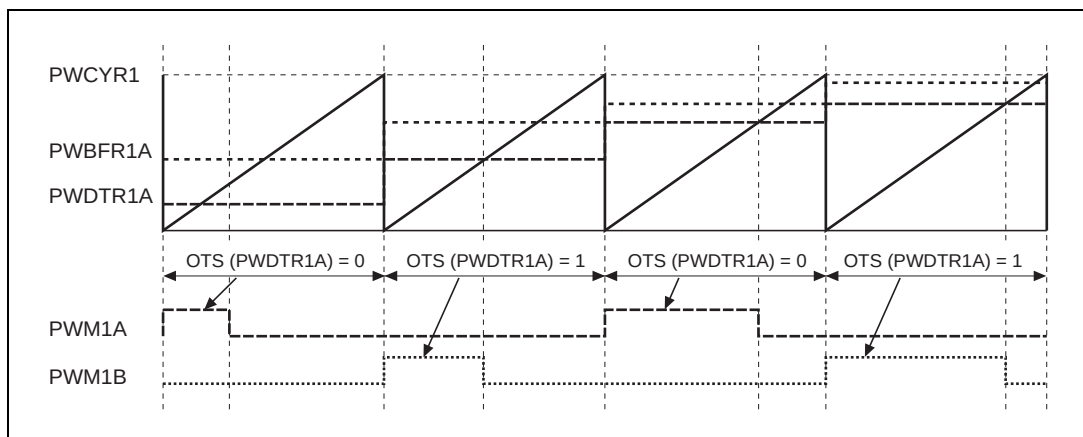


図 17.10 PWM チャンネル 1 の動作

(4) 次フレーム

PWCNT1 と PWCYR1 のコンペアマッチが発生すると、PWBFR1A から PWDTR1A に、PWBFR1C から PWDTR1C に、PWBFR1E から PWDTR1E に、PWBFR1G から PWDTR1G にデータ転送されます。PWCNT1 はリセットされ、H'000 からカウントアップします。PWCR1 の CMF ビットはセットされ、PWCR1 の IE ビットがセットされていれば、割り込み要求または DTC の起動が可能です。

(5) 停止

PWCR1 の CST ビットを 0 にクリアすると、PWCNT1 はリセットされ停止します。各 PWM 出力からは Low (PWPR1 の対応するビットが 1 のときは High) を出力します。

17.4.2 PWM チャンネル 2 の動作

PWM2A～H 端子からは、図 17.11 に示すような PWM 波形が出力されます。

(1) 初期設定

PWPR2 で PWM 出力の極性を設定します。PWOCR2 で端子を PWM 出力を許可に設定します。PWCR2 の CKS2～0 によって PWCNT2 に入力するクロックを選択します。

PWCYR2 で PWM の変換周期を設定します。PWBFR2A、PWBFR2B、PWBFR2C、PWBFR2D に 1 フレーム目のデータを設定します。

(2) 起動

PWCR2 の CST ビットを 1 にセットすると、PWCNT2 と PWCTR2 のコンペアマッチが発生します。TDS ビットの値によって PWBFR2A から PWDTR2A または PWDTR2E に、PWBFR2B から PWDTR2B または PWDTR2F に、PWBFR2C から PWDTR2C または PWDTR2G に、PWBFR2D から PWDTR2D または PWDTR2H にデータ転送されます。PWCNT2 はアップカウントを開始します。このときも PWCR2 の CMF ビットはセットされるので、PWCR2 の IE ビットがセットされていれば、割り込み要求または DTC の起動が可能です。

(3) 波形出力

各 PWM 出力は、PWCNT2 と PWCYR2 のコンペアマッチが発生すると High を出力します。PWCNT2 と PWDTR2A～H のコンペアマッチが発生すると、対応する PWM 出力から Low を出力します。なお、PWPR2 の対応するビットが 1 のときは反転して出力します。

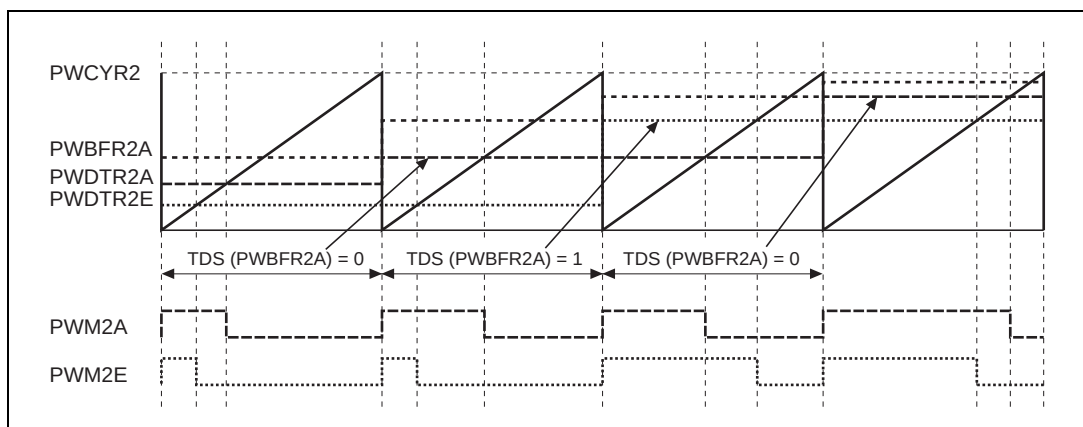


図 17.11 PWM チャンネル 2 の動作

(4) 次フレーム

PWCNT2 と PWCYR2 のコンペアマッチが発生すると、TDS ビットの値によって PWBFR2A から PWDTR2A または PWDTR2E に、PWBFR2B から PWDTR2B または PWDTR2F に、PWBFR2C から PWDTR2C または PWDTR2G に、PWBFR2D から PWDTR2D または PWDTR2H にデータ転送されます。PWCNT2 はリセットされ、H'000 からカウントアップします。PWCR2 の CMF ビットはセットされ、PWCR2 の IE ビットがセットされていれば、割り込み要求または DTC の起動が可能です。

(5) 停止

PWCR2 の CST ビットを 0 にクリアすると、PWCNT2 はリセットされ停止します。PWDTR2A～H はリセットされます。各 PWM 出力からは Low (PWPR2 の対応するビットが 1 のときは High) を出力します。

17.5 使用上の注意

(1) バッファレジスタのライトとコンペアマッチの競合

サイクルレジスタのコンペアマッチの直後のステートで PWBFR のライトが行われると、バッファレジスタとともにデューティレジスタも書き換えられます。サイクルレジスタのコンペアマッチで変化した PWM 出力は、競合によるデューティレジスタの書き換えでは変化しないので、意図しないデューティの出力になることがあります。また、チャンネル 2 では競合によるデューティレジスタの書き換えの場合も、バッファレジスタの TDS ビットで転送されるデューティレジスタが選択されるので、意図しないデューティレジスタが書き換わることがあります。

バッファレジスタの書き換えは、DTC（データトランスファコントローラ）による自動転送、コンペアマッチ割り込みによる例外処理、または、PWCR の CMF（コンペアマッチフラグ）の立ち上がりを検出して、サイクルレジスタのコンペアマッチが発生するまでに完了してください。

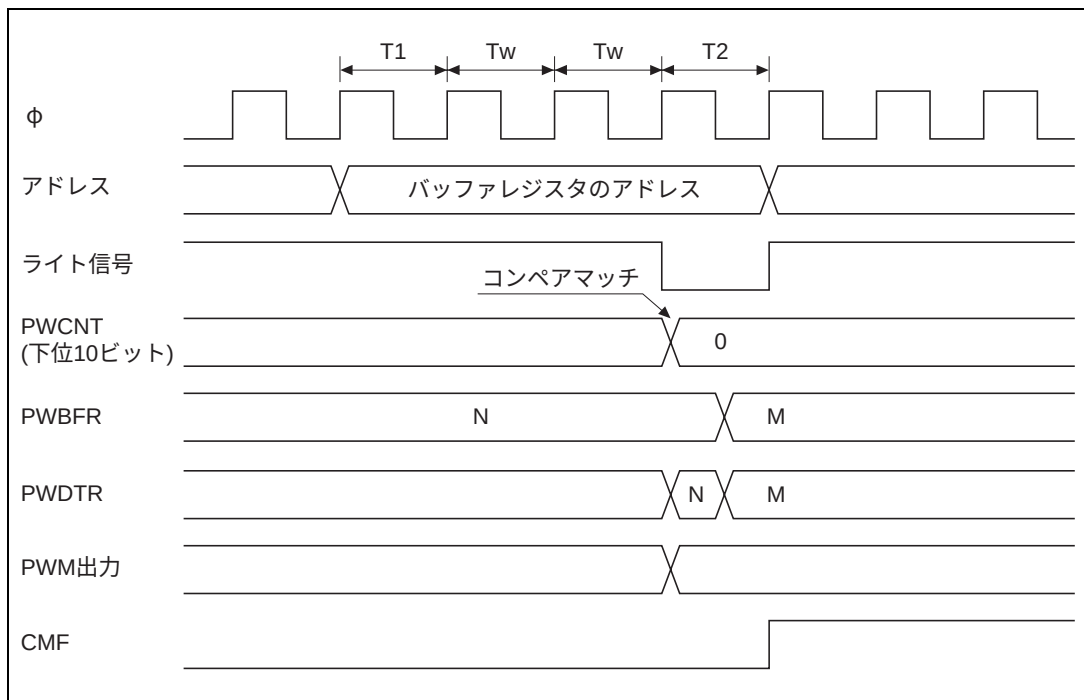


図 17.12 PWM チャンネル 1 の動作

18. LCD コントローラ／ドライバ

18.1 概要

本 LSI は、セグメントタイプの LCD コントロール回路と LCD ドライバと電源回路を内蔵しているので、LCD パネルを直接駆動することができます。

18.1.1 特長

LCD コントローラ／ドライバの特長を以下に示します。

■表示容量

デューティ比	内部ドライバ	
	H8S/2646、H8S/2646R、 H8S/2645	H8S/2648、H8S/2648R、 H8S/2647
スタティック	24SEG	40SEG
1/2	24SEG	40SEG
1/3	24SEG	40SEG
1/4	24SEG	40SEG

■

表示用 LCD RAM

- 8 ビット×20 バイト（160 ビット）
- バイトアクセス／ワードアクセス可能

■セグメント出力端子を 4 端子ごとにポートとして使用可能

■使用しないコモン出力端子をコモンダブルバッファ用として使用可能

- 1/2 デューティでは COM1 と COM2、COM3 と COM4 を並列接続で使用可
- スタティックでは COM1 と COM2、COM3 と COM4 を並列接続で使用可

■フレーム周波数を 11 種類より選択可能

■ソフトウェアにより A 波形、B 波形の選択可能

■電源分割抵抗を内蔵

■スタンバイモード、モジュールストップモード以外の動作モードで表示可能

■モジュールストップモードの設定可能

- 初期値では LCD の動作は停止。モジュールストップモードを解除することによりレジスタ、LCD RAM のアクセスが可能

18.1.3 端子構成

LCD コントローラ／ドライバの端子構成を表 18.1 に示します。

表 18.1 端子構成

端子名	記号	入出力	機能
セグメント 出力端子	SEG24～SEG1 (H8S/2646、 H8S/2646R、H8S/2645)	出力	液晶のセグメント駆動用端子 全端子、ポートと兼用でプログラマブルに設定可能
	SEG40～SEG1 (H8S/2648、 H8S/2648R、H8S/2647)		
コモン 出力端子	COM4～COM1	出力	液晶のコモン駆動端子 Static、1/2 デューティ時には端子の並列化が可能
LCD 電源端子	V1、V2、V3	—	外付けでパソコンを接続する場合、外部電源回路を使用する場合に使用

18.1.4 レジスタ構成

LCD コントローラ／ドライバのレジスタ構成を表 18.2 に示します。

表 18.2 レジスタ構成

名称	略称	R/W	初期値	アドレス*1
LCD ポートコントロールレジスタ	LPCR	R/W	H'00	H'FC30
LCD コントロールレジスタ	LCR	R/W	H'80	H'FC31
LCD コントロールレジスタ 2	LCR2	R/W	H'60	H'FC32
LCD RAM	—	R/W	不定	H'FC40 ～ H'FC53
モジュールストップコントロールレジスタ D	MSTPCRD	R/W	B'11*****	H'FC60

【注】 *1 アドレス下位 16 ビットを示しています。

18.2 各レジスタの説明

18.2.1 LCD ポートコントロールレジスタ (LPCR)

ビット：	7	6	5	4	3	2	1	0
	DTS1	DTS0	CMX	—	SGS3	SGS2	SGS1	SGS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W

LPCR は、8 ビットのリード／ライト可能なレジスタで、デューティ比の選択、LCD ドライバや端子機能の選択を行います。

リセットおよびスタンバイモード時に LPCR は H'00 にイニシャライズされます。

ビット 7～5：デューティ比選択 1、0（DTS1、DTS0）、コモン機能選択（CMX）

DTS1、DTS0 の組み合わせで、スタティック、1/2～1/4 デューティのいずれかを選択します。CMX は、デューティによって使用しないコモン端子をコモンドライブ能力を大きくするために複数の端子から同じ波形を出力するか否かを選択します。

ビット 7	ビット 6	ビット 5	デューティ比	コモンドライブ	補足説明
DTS1	DTS0	CMX			
0	0	0	スタティック	COM1	COM4、COM3、COM2 はポートとして使用可能。（初期値）
		1		COM4～COM1	COM4、COM3、COM2 は COM1 と同じ波形を出力。
0	1	0	1/2 デューティ	COM2～COM1	COM4、COM3 はポートとして使用可能。
		1		COM4～COM1	COM4 は COM3、COM2 は COM1 と同じ波形を出力。
1	0	0	1/3 デューティ	COM3～COM1	COM4 はポートとして使用可能。
		1		COM4～COM1	COM4 は使用しないでください。
1	1	*	1/4 デューティ	COM4～COM1	—

*：Don't care

【注】 SGS3～SGS0 が "0000" のときは、COM4～COM1 はポートになります（初期値）。

ビット 4：リザーブビット

リードすると常に 0 が読み出されます。書き込む値も常に 0 をライトしてください。

ビット 3～0：セグメントドライバ選択 3～0（SGS3～SGS0）

<H8S/2646、H8S/2646R、H8S/2645 の場合>

SGS3～SGS0 は使用するセグメントドライバを選択します。

ビット3	ビット2	ビット1	ビット0	SEG24～SEG1 端子の機能					補足 説明
SGS3	SGS2	SGS1	SGS0	SEG24 ～ SEG17	SEG16 ～ SEG13	SEG12 ～ SEG9	SEG8 ～ SEG5	SEG4 ～ SEG1	
0	0	0	0	ポート	ポート	ポート	ポート	ポート	初期値（外部拡張可）
			1	SEG	ポート	ポート	ポート	ポート	
		1	0	SEG	SEG	ポート	ポート	ポート	外部拡張できません。
			1	SEG	SEG	SEG	ポート	ポート	
	1	0	0	SEG	SEG	SEG	SEG	ポート	
			1	SEG	SEG	SEG	SEG	SEG	
1	*	*	*	設定禁止					
				設定禁止					

*：Don't care

【注】 外部拡張をする場合、SGS3～SGS0 を"0000"に設定してください。また、SGS3～SGS0 が"0000"のときは COM4～COM1 もポートになります。

<H8S/2648、H8S/2648R、H8S/2647 の場合>

ビット 3	ビット 2	ビット 1	ビット 0	SEG40～SEG1 端子の機能									補足 説明
SGS3	SGS2	SGS1	SGS0	SEG40 ～ SEG33	SEG32 ～ SEG29	SEG28 ～ SEG25	SEG24 ～ SEG21	SEG20 ～ SEG17	SEG16 ～ SEG13	SEG12 ～ SEG9	SEG8 ～ SEG5	SEG4 ～ SEG1	
0	0	0	0	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	初期値 (外部 拡張可)
			1	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
		1	0	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	外部拡張 でき ませ ん。
			1	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	
	1	0	0	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	
			1	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	
		1	0	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	
			1	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	
1	*	*	0	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート
			1	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	

* : Don't care

【注】 外部拡張をする場合、SGS3～SGS0 を"0000"に設定してください。また、SGS3～SGS0 が"0000"のときは COM4～COM1 もポートになります。

18.2.2 LCD コントロールレジスタ (LCR)

ビット:	7	6	5	4	3	2	1	0
	—	PSW	ACT	DISP	CKS3	CKS2	CKS1	CKS0
初期値:	1	0	0	0	0	0	0	0
R/W :	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

LCR は、8 ビットのリード／ライト可能なレジスタで、LCD 電源分割抵抗接続制御、表示データの制御、フレーム周波数の選択を行います。

リセットおよびスタンバイモード時に LCR は H'80 にイニシャライズされます。

ビット7:リザーブビット

本ビットは、リードすると常に 1 が読み出されます。ライトは無効です。

ビット 6：LCD 電源分割抵抗接続制御（PSW）

低消費電力モードで LCD 表示を必要としない場合、また外部電源を使用する場合に LCD 電源分割抵抗を V_{CC} から切断することができます。ACT を 0 とした場合、またスタンバイモード時には本ビットとは無関係に LCD 電源分割抵抗が V_{CC} から切断されます。

ビット 6	説 明
PSW	
0	LCD 電源分割抵抗を V_{CC} から切断 (初期値)
1	LCD 電源分割抵抗を V_{CC} に接続

ビット 5：表示機能開始（ACT）

LCD コントローラ／ドライバを使用するかしないかを選択します。本ビットを 0 にクリアすることにより、LCD コントローラ／ドライバは動作を停止します。また、PSW の値と無関係に LCD 駆動電源用ラダー抵抗が OFF 状態になります。ただし、レジスタの内容は保持されます。

ビット 5	説 明
ACT	
0	LCD コントローラ／ドライバ動作停止 (初期値)
1	LCD コントローラ／ドライバ動作

ビット 4：表示データ制御（DISP）

DISP は LCD RAM の内容を表示するか LCD RAM の内容に関係なくブランクデータを表示するかを選択します。

ビット 4	説 明
DISP	
0	ブランクデータを表示 (初期値)
1	LCD RAM データを表示

ビット 3～0：フレーム周波数選択 3～0（CKS3～CKS0）

使用クロックの選択とフレーム周波数の選択を行います。サブアクティブモード、ウォッチモード、サブスリープモードではシステムクロック (ϕ) が停止するので、 $\phi/8 \sim \phi/1024$ を選択している場合は表示動作を行いません。これらのモードにおいて LCD 表示を行う場合は、必ず使用クロックとして ϕ_{SUB} 、 $\phi_{SUB}/2$ 、または $\phi_{SUB}/4$ を選択するようにしてください。

ビット 3	ビット 2	ビット 1	ビット 0	使用クロック	フレーム周波数* ¹
CKS3	CKS2	CKS1	CKS0		$\phi = 20\text{MHz}$
0	*	0	0	ϕ_{SUB}	128Hz* ² (初期値)
			1	$\phi_{\text{SUB}}/2$	64Hz* ²
		1	*	$\phi_{\text{SUB}}/4$	32Hz* ²
1	0	0	0	$\phi/8$	4880Hz
			1	$\phi/16$	2440Hz
		1	0	$\phi/32$	1220Hz
			1	$\phi/64$	610Hz
	1	0	0	$\phi/128$	305Hz
			1	$\phi/256$	152.6Hz
		1	0	$\phi/512$	76.3Hz
			1	$\phi/1024$	38.1Hz

* : Don't care

【注】 *1 1/3 デューティ選択時は、フレーム周波数が表で示した値の 4/3 倍となります。

*2 $\phi_{\text{SUB}} = 32.768\text{kHz}$ 時のフレーム周波数です。

18.2.3 LCD コントロールレジスタ 2 (LCR2)

ビット:	7	6	5	4	3	2	1	0
	LCDAB	—	—	—	—	—	—	—
初期値:	0	1	1	0	0	0	0	0
R/W :	R/W	—	—	—	—	—	—	—

LCR2 は、8 ビットのリード／ライト可能なレジスタで、A 波形／B 波形切り替えの制御を行います。LCR2 は、リセットおよびスタンバイモード時に H'60 に初期化されます。

ビット 7 : A 波形／B 波形切り替え制御 (LCDAB)

LCD の駆動波形を A 波形にするか B 波形にするかを選択します。

ビット 7	説 明
LCDAB	
0	A 波形で駆動 (初期値)
1	B 波形で駆動

ビット 6、5 : リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 4～0 : リザーブビット

リードすると常に 0 が読み出されます。書き込む値も常に 0 をライトしてください。

18.2.4 モジュールストップコントロールレジスタ D (MSTPCRD)

ビット：	7	6	5	4	3	2	1	0
	MSTPD7	MSTPD6	MSTPD5	MSTPD4	MSTPD3	MSTPD2	MSTPD1	MSTPD0
初期値：	1	1	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	—	—	—	—	—	—

MSTPCRD は 8 ビットのリード／ライト可能なレジスタで、モジュールストップモードの制御を行います。

MSTPD6 ビットを 1 にセットすると、バスサイクルの終了時点で LCD コントローラ／ドライバは動作を停止してモジュールストップモードへ遷移します。詳細は、「22.5 モジュールストップモード」を参照してください。

MSTPCRD は、リセットまたはハードウェアスタンバイモード時に初期化されます。ソフトウェアスタンバイモード時では初期化されません。

ビット 6：モジュールストップ (MSTPD6)

LCD のモジュールストップモードを指定します。

ビット 6	説 明
MSTPD6	
0	LCD のモジュールストップモード解除
1	LCD のモジュールストップモード設定 (初期値)

18.3 動作説明

18.3.1 LCD 表示までのセッティング

LCD 表示を行うにはハードウェア、ソフトウェアのそれぞれについて以下のことを決定しておく必要があります。

(1) ハードウェアのセッティング

(a) 1/2 デューティ使用

1/2 デューティで使用する際は V2、V3 端子を接続してください (図 18.2 参照)。

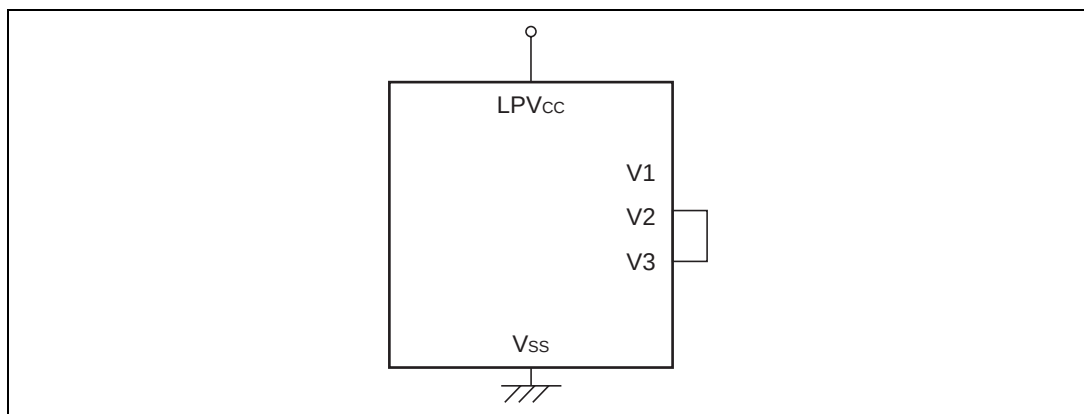


図 18.2 1/2 デューティ時の LCD 駆動電源の処理

(b) パネル表示

内蔵の電源分割抵抗はインピーダンスが大きいので、パネルを駆動したときに、表示が不鮮明になる場合があります。このときは「18.3.4 LCD 駆動電源の強化」を参照してください。また、スタティック、1/2 デューティを選択した場合、コモン出力の駆動能力を強化することができます。デューティ比の選択時に CMX を 1 にしてください。このモードではスタティック時に COM4～COM1 端子が同じ波形となり、1/2 デューティ時は COM2、COM1 端子から COM1 波形が、COM4、COM3 端子からは COM2 波形が出力されます。

(c) LCD 駆動電源の設定

本 LSI は LCD 駆動電源として内蔵の電源回路を使用する方法と、外部電源回路を使用する方法があります。

LCD 駆動電源として外部電源回路を使用する場合は、V1 端子に外部電源を接続してください。

(2) ソフトウェアのセッティング

(a) デューティの選択

デューティは、DTS1、DTS0 によりスタティック、1/2 デューティ、1/3 デューティ、1/4 デューティから選択できます。

(b) セグメントドライバの選択

SGS3～SGS0 により、使用するセグメントドライバを選択できます。

(c) フレーム周波数の選択

CKS3～CKS0 を設定することでフレーム周波数を選択することができます。フレーム周波数は LCD パネルの指定に従って選択してください。ウォッチモード、サブアクティブモード、サブスリープモード時のクロックの選択方法は「18.3.3 低消費電力モード時の動作」を参照してください。

(d) A 波形、B 波形の選択

LCDAB により、使用する LCD 波形を A 波形か B 波形のどちらかを選択できます。

(e) LCD 駆動電源の選択

外部電源回路を使用する場合には PSW で LCD 駆動電源を OFF 状態にしてください。

18.3.2 LCD RAM と表示の関係

＜H8S/2646、H8S/2646R、H8S/2645 の場合＞

LCD RAM と表示セグメントの関係は、デューティ比によって異なります。それぞれのデューティ比に対応した LCD RAM のマップを図 18.3～図 18.6 に示します。

表示に必要なレジスタ群を設定した後、デューティに対応する部分に通常の RAM と同様な命令によってデータを書き込み、表示を ON すれば自動的に表示を開始します。RAM 設定にはワード／バイトアクセス命令が使用できます。

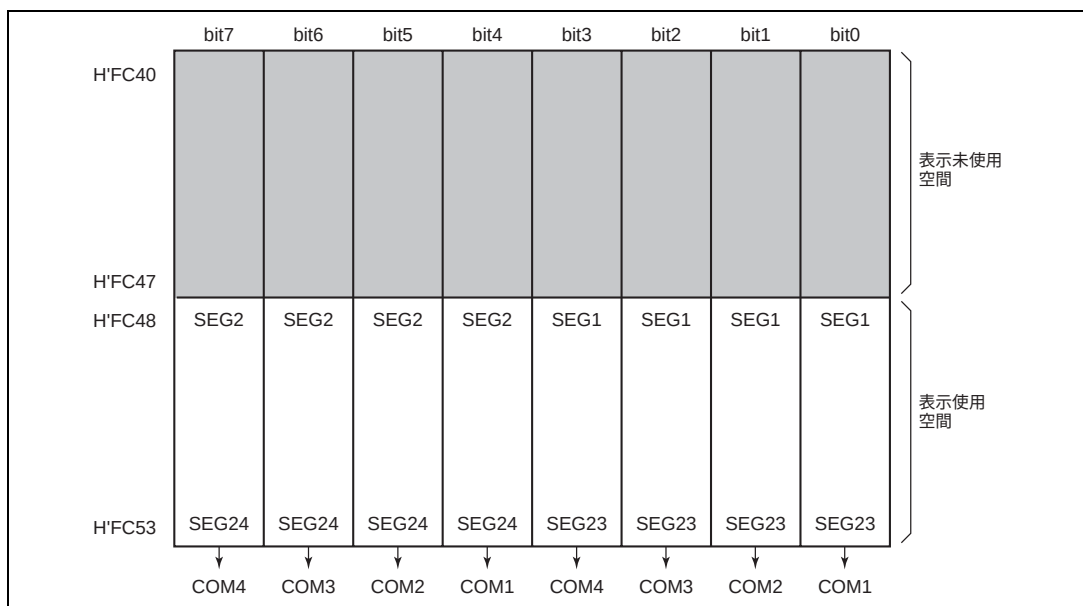


図 18.3 LCD RAM マップ (1/4 デューティ)

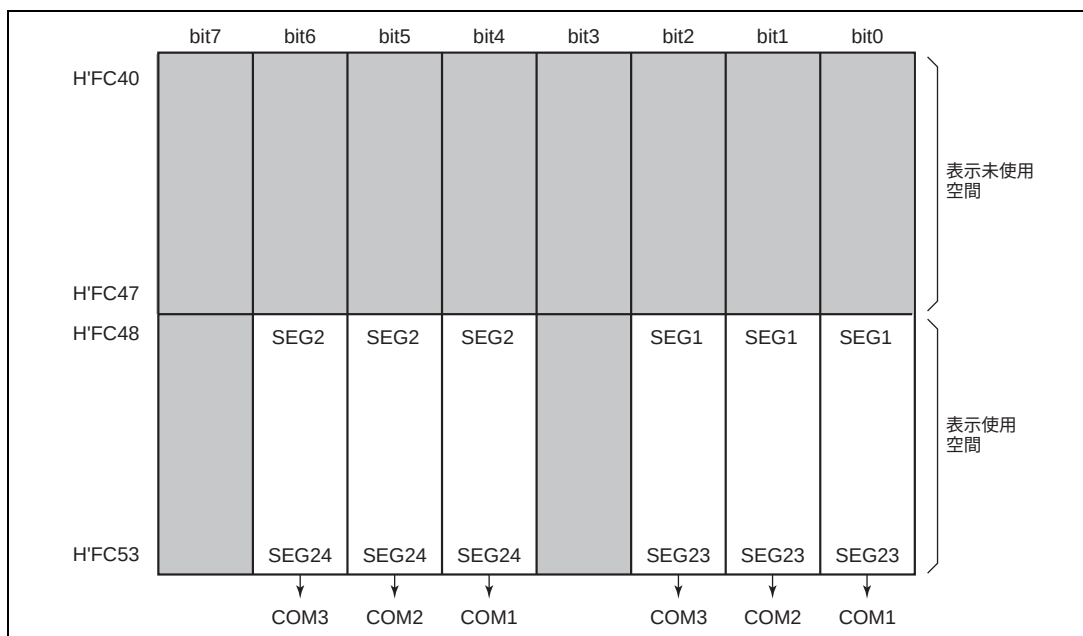


図 18.4 LCD RAM マップ (1/3 デューティ)

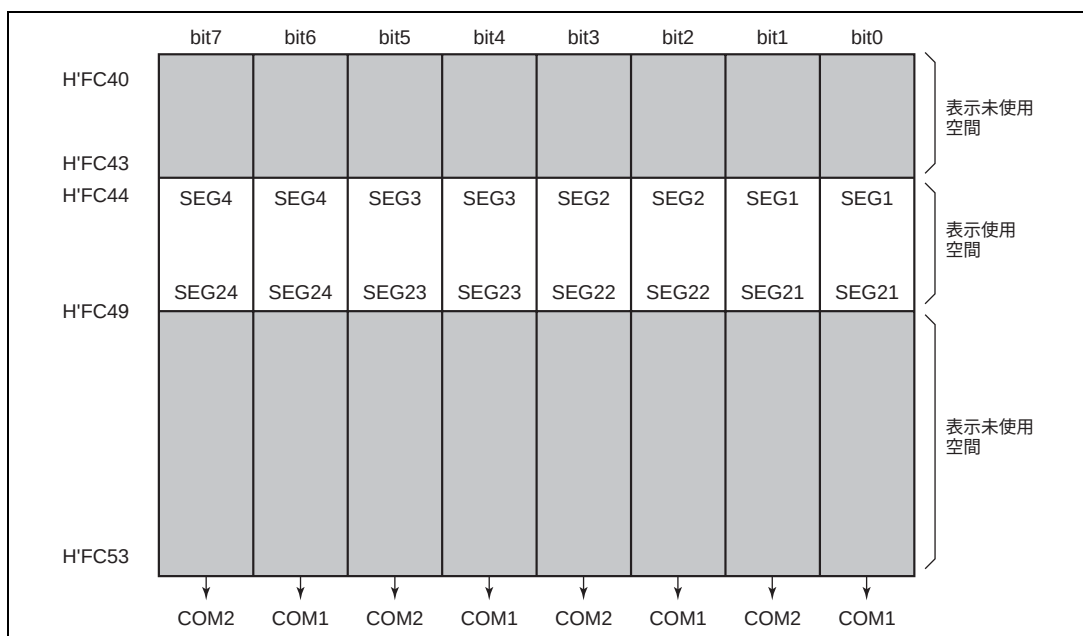


図 18.5 LCD RAM マップ (1/2 デューティ)

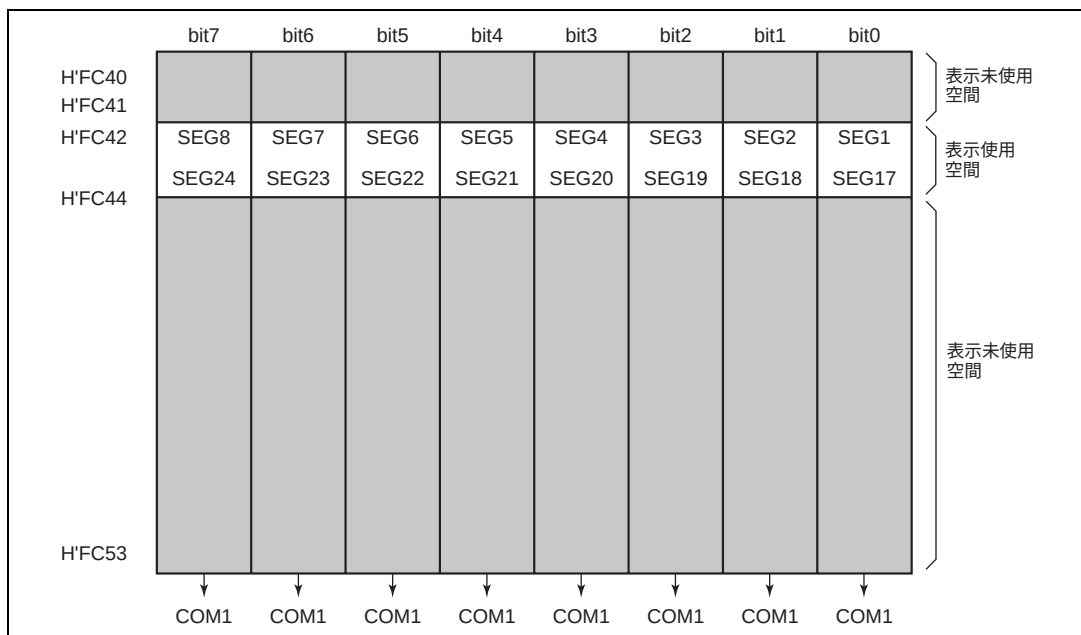


図 18.6 LCD RAM マップ (スタティック)

＜H8S/2648、H8S/2648R、H8S/2647 の場合＞

LCD RAM と表示セグメントの関係は、デューティ比によって異なります。それぞれのデューティ比に対応した LCD RAM のマップを図 18.7～図 18.10 に示します。

表示に必要なレジスタ群を設定した後、デューティに対応する部分に通常の RAM と同様な命令によってデータを書き込み、表示を ON すれば自動的に表示を開始します。RAM 設定にはワード／バイトアクセス命令が使用できます。

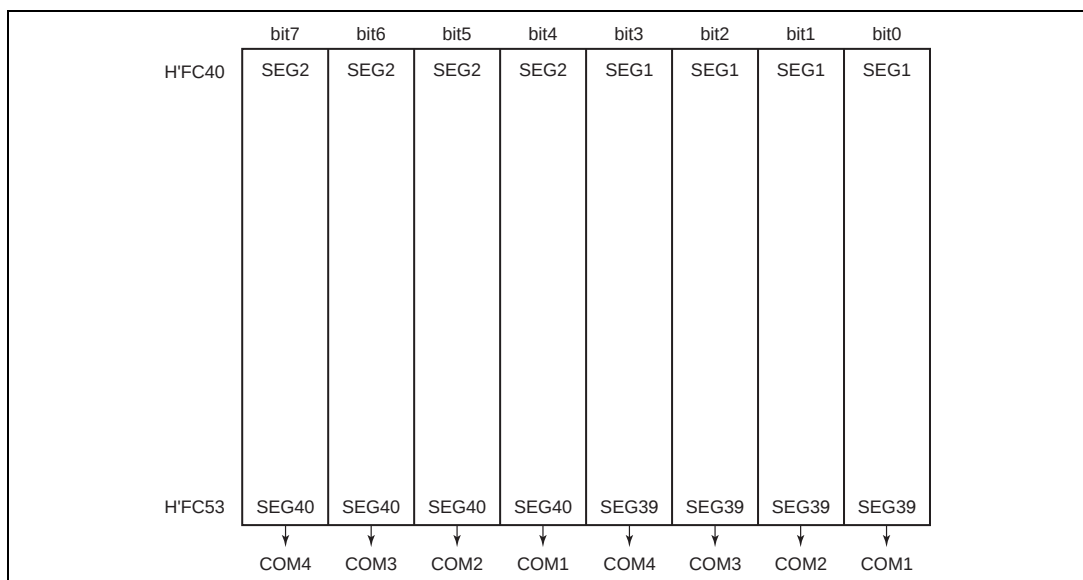


図 18.7 LCD RAM マップ (1/4 デューティ)

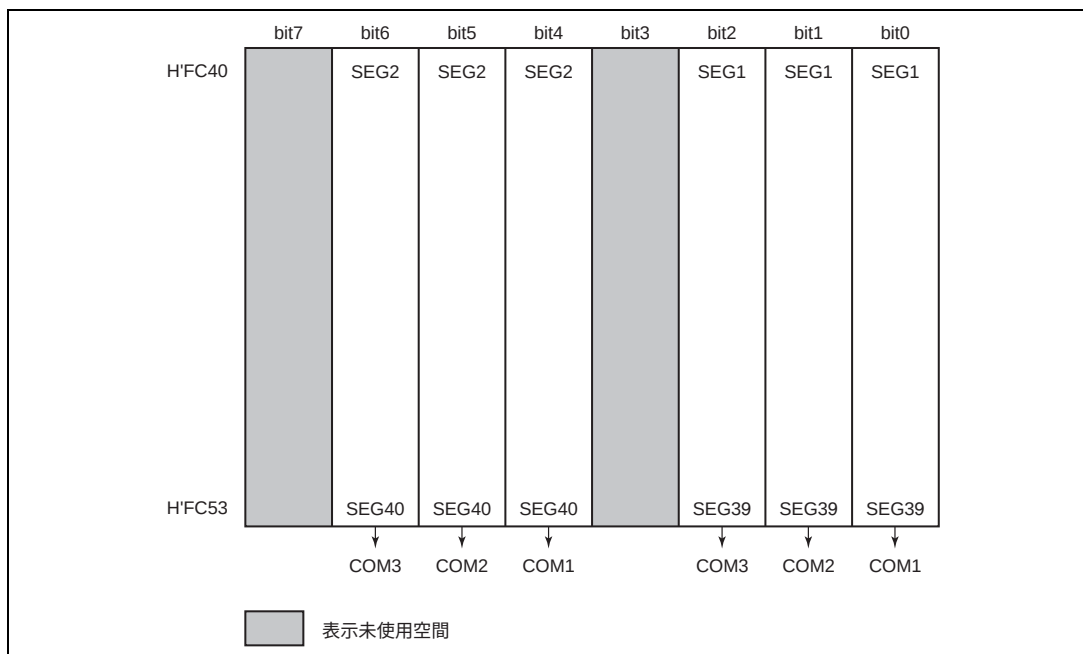


図 18.8 LCD RAM マップ (1/3 デューティ)

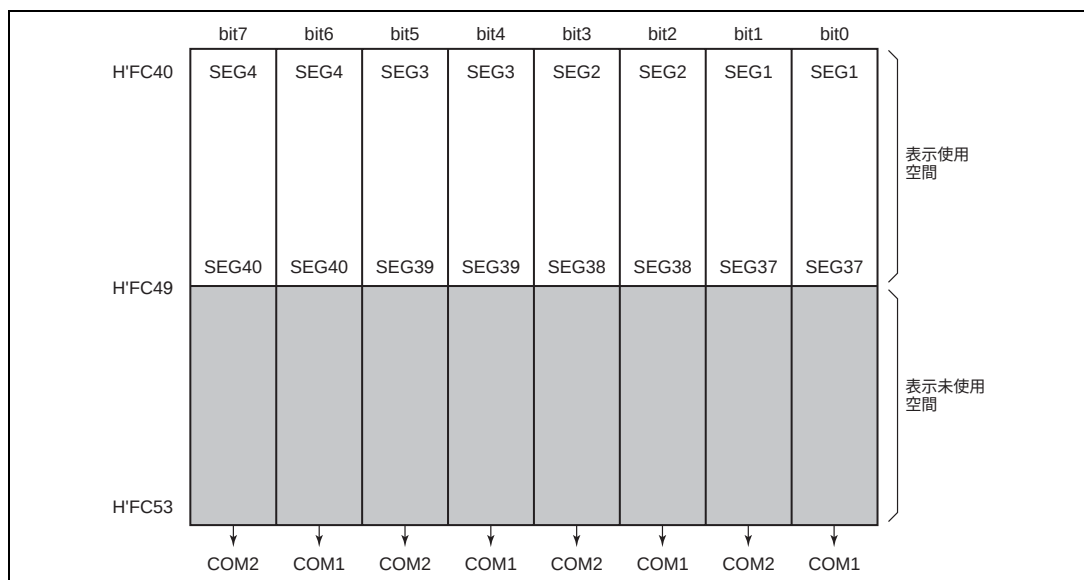


図 18.9 LCD RAM マップ (1/2 デューティ)

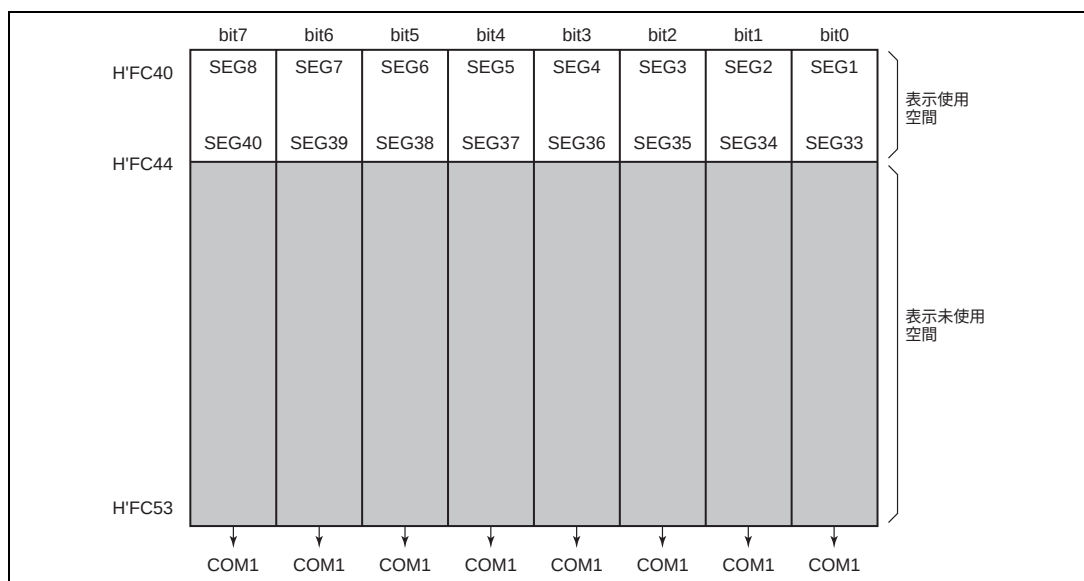


図 18.10 LCD RAM マップ (スタティック)

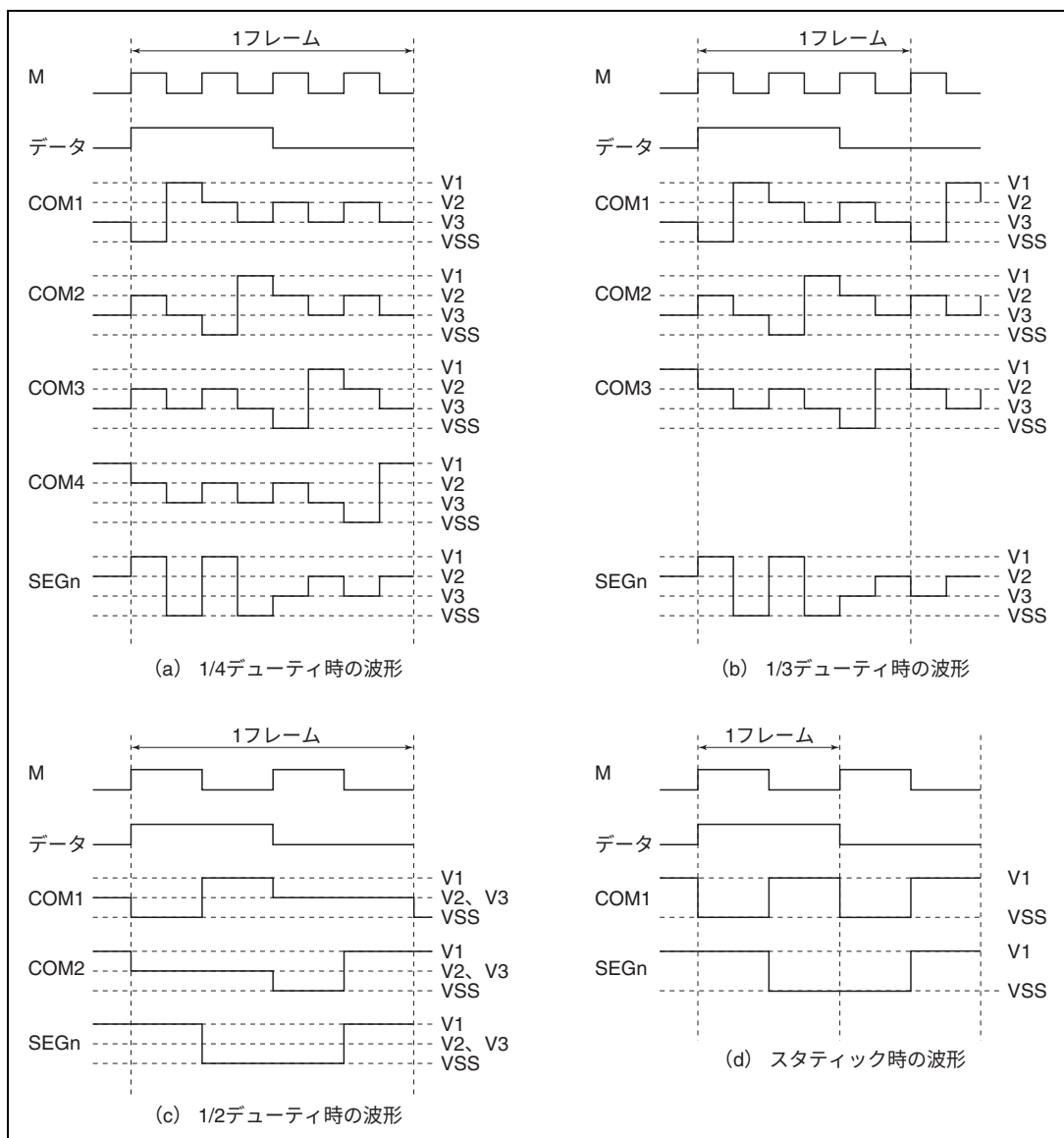


図 18.11 各デューティでの出力波形 (A 波形)

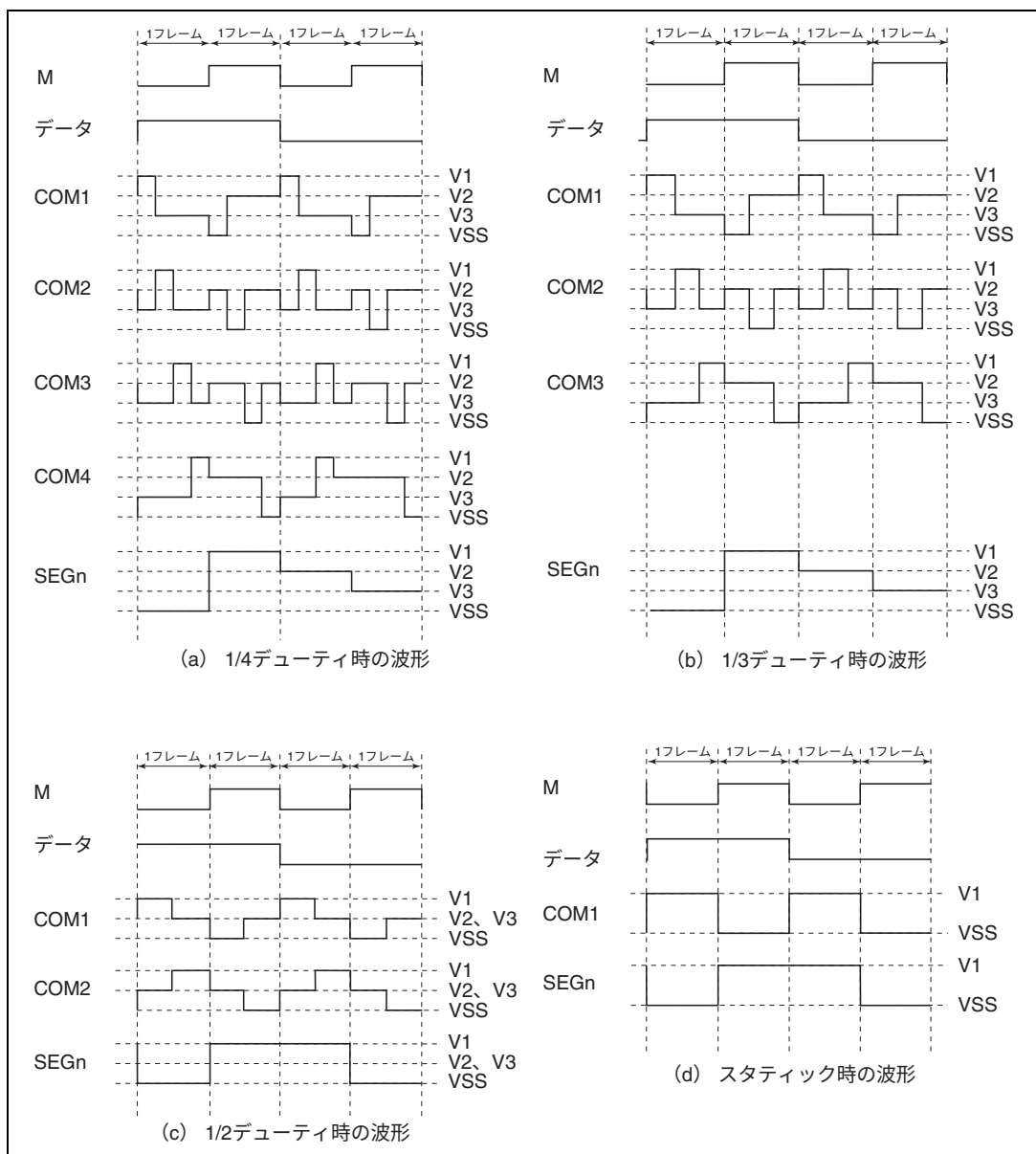


図 18.12 各デューティでの出力波形 (B 波形)

表 18.3 出力レベルの関係

データ		0	0	1	1
M		0	1	0	1
スタティク	コモン出力	V1	VSS	V1	VSS
	セグメント出力	V1	VSS	VSS	V1
1/2 デューティ	コモン出力	V2、V3	V2、V3	V1	VSS
	セグメント出力	V1	VSS	VSS	V1
1/3 デューティ	コモン出力	V3	V2	V1	VSS
	セグメント出力	V2	V3	VSS	V1
1/4 デューティ	コモン出力	V3	V2	V1	VSS
	セグメント出力	V2	V3	VSS	V1

18.3.3 低消費電力モード時の動作

本 LSI は低消費電力モード時でも、LCD コントローラ／ドライバを動作させることができます。低消費電力モード時の LCD コントローラ／ドライバの動作状態を表 18.4 に示します。

サブアクティブモード／ウォッチモード／サブスリープモードではシステムクロック発振器が停止するので、CKS3～CKS0 で ϕ_{SUB} 、 $\phi_{SUB}/2$ 、または $\phi_{SUB}/4$ を選択していないとクロックが供給されず、表示が停止します。この場合 LCD パネルには直流電圧がかかる可能性がありますので必ず ϕ_{SUB} 、 $\phi_{SUB}/2$ 、または $\phi_{SUB}/4$ を選択するようにしてください。また、アクティブ（中速）モードではシステムクロックが切り替わるので、フレーム周波数が変化しないように CKS3～CKS0 を変更する必要があります。

ソフトウェアスタンバイモードでは、セグメント出力とコモン出力が高インピーダンス状態に切り替わります。この場合ポートの DDR または PCR が 1 に設定されていると、LCD パネルに直流電圧がかかる可能性があります。セグメント出力とコモン出力に使用するポートの DDR と PCR は 1 に設定しないでください。

表 18.4 低消費電力モードと表示動作の関係

モード		リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
クロック	ϕ	動作	動作	動作	停止	停止	停止	停止	停止* 4
	ϕ_{SUB}	動作	動作	動作	動作	動作	動作	停止*1	停止* 4</td
表示動作	ACT=0	停止	停止	停止	停止	停止	停止	停止*2	停止
	ACT=1	停止	表示	表示	表示*3	表示*3	表示*3	停止*2	停止

【注】 *1 サブクロック発振器は停止しませんがクロックの供給は停止します。

*2 PSW に関係なく LCD 駆動電源を OFF します。

*3 使用クロックに ϕ_{SUB} 、 $\phi_{SUB}/2$ 、または $\phi_{SUB}/4$ を選択していないと表示動作を行いません。

*4 LCD に供給されるクロックは停止します。

18.3.4 LCD 駆動電源の強化

パネルを駆動する場合、内蔵の電源容量では足りないことがあります。このような場合には、図 18.13 に示すように V1～V3 端子に 0.1～0.3μF 程度のバイパスコンデンサを接続する方法や、新たに分割抵抗を外部に設けることを推奨いたします。

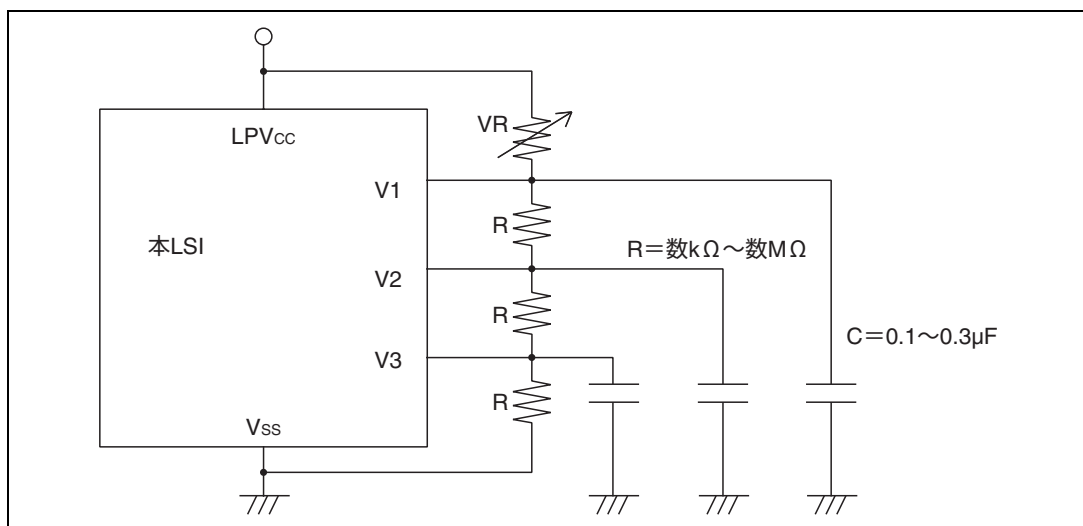


図 18.13 外部分割抵抗の接続方法

18.4 使用上の注意事項

18.4.1 LCD の非表示方法について

LCD 出力を停止させる場合は SGS ビットで SEG をポートに切り替えてから LCR レジスタの ACT ビットを 0 にクリアしてください。SEG 出力のままでは LCD パネルに直流電圧がかかる可能性があります。

19. RAM

19.1 概要

H8S/2646、H8S/2646R、H8S/2648、H8S/2648R は 4k バイト、H8S/2645、H8S/2647 は 2k バイトの高速スタティック RAM を内蔵しています。内蔵 RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。したがって、ワードデータの高速転送が可能です。

内蔵 RAM は、システムコントロールレジスタ (SYSCR) の RAM イネーブル (RAME) ビットにより有効または無効の制御が可能です。

19.1.1 ブロック図

RAM のブロック図を図 19.1 に示します。

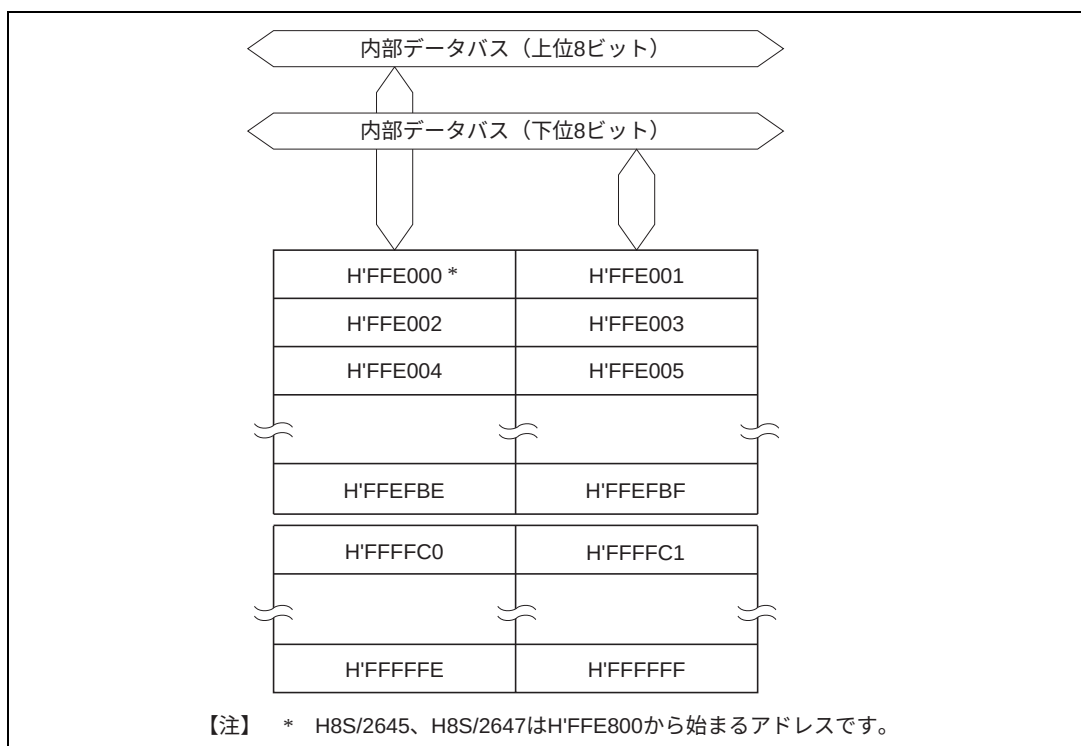


図 19.1 RAM のブロック図

19.1.2 レジスタ構成

内蔵 RAM は、SYSCR で制御されます。レジスタ構成を表 19.1 に示します。

表 19.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
システムコントロールレジスタ	SYSCR	R/W	H'01	H'FDE5

【注】 * アドレスの下位 16 ビットを示しています。

19.2 各レジスタの説明

19.2.1 システムコントロールレジスタ (SYSCR)

ビット：	7	6	5	4	3	2	1	0
	MACS	—	INTM1	INTM0	NMIEG	—	—	RAME
初期値：	0	0	0	0	0	0	0	1
R/W：	R/W	—	R/W	R/W	R/W	R/W	—	R/W

内蔵 RAM は SYSCR の RAME ビットにより、有効／無効が選択されます。なお、SYSCR のその他のビットについての詳細は「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

ビット 0：RAM イネーブル (RAME)

内蔵 RAM の有効または無効を選択します。RAME ビットはリセット状態の解除時に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

【注】 DTC を使用する場合は、RAME ビットを 0 にクリアしないでください。

ビット 0	説 明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

19.3 動作説明

RAME ビットが 1 にセットされているとき、H8S/2646、H8S/2646R、H8S/2648、H8S/2648R はアドレス H'FFE000～H'FFEFBF、H'FFFC0～H'FFFFFF、H8S/2645、H8S/2647 は H'FFE800～H'FFEFBF、H'FFFC0～H'FFFFFF をアクセスすると内蔵 RAM がアクセスされます。また、RAME ビットが 0 にクリアされているときは、外部アドレス空間がアクセスされます。

内蔵 RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイト単位、ワード単位のリード／ライトが可能です。いずれも、1 ステートでアクセスできます。

偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは、偶数番地から始まるデータに限定されています。

19.4 使用上の注意

(1) DTC 使用時

アドレス H'FFEBC0～H'FFE7BF は DTC のレジスタ情報を配置することができます。DTC を使用する場合は、RAME ビットを 0 にクリアしないでください。

(2) リザーブエリア

H8S/2646、H8S/2646R、H8S/2648、H8S/2648R のアドレス H'FFB000～H'FFDFFF、H8S/2645、H8S/2647 のアドレス H'FFB000～H'FFE7BF は、リザーブエリアのためリード／ライトはできません。RAME ビットが 0 にクリアされているときは、外部アドレス空間がアクセスされます。

20. ROM

20.1 特長

本 LSI H8S/2646R、H8S/2648R は 128k バイトのフラッシュメモリを内蔵しています。フラッシュメモリの特長を以下に示します。

■フラッシュメモリの 4 種類の動作モード

- プログラムモード
- イレースモード
- プログラムベリファイモード
- イレースベリファイモード

■書き込み／消去方式

書き込みは 128 バイト同時書き込みを行います。消去はブロック分割消去（1 ブロック単位）で行います。全面消去を行う場合は、各ブロック単位に順次行ってください。ブロック分割消去では 1k バイト、8k バイト、16k バイト、28k バイト、32k バイトのブロック単位で任意に設定することができます。

■書き込み／消去時間

フラッシュメモリの書き込み時間は、128 バイト同時書き込みにて 10ms (typ.)、1 バイトあたり換算にて 78 μ s (typ.)、消去時間は、100ms (typ.) です。

■書き換え回数

フラッシュメモリの書き換えは、100 回まで可能です。

■オンボードプログラミングモード

オンボードでフラッシュメモリの書き込み／消去／ベリファイを行う 2 種類のモードがあります。

- ブートモード
- ユーザプログラムモード

■ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本 LSI のビットレートとを自動で合わせることができます。

■RAM によるフラッシュメモリのエミュレーション機能

フラッシュメモリと RAM の一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

■プロテクトモード

ソフトウェアプロテクトモードとハードウェアプロテクトモードの 2 種類のモードがあり、フラッシュメモリの書き込み／消去／ベリファイのプロテクト状態を設定することができます。

■ライターモード

フラッシュメモリの書き込み／消去可能なモードとして、オンボードプログラミングモード以外に PROM ライタを用いたライターモードがあります。

20.2 概要

20.2.1 ブロック図

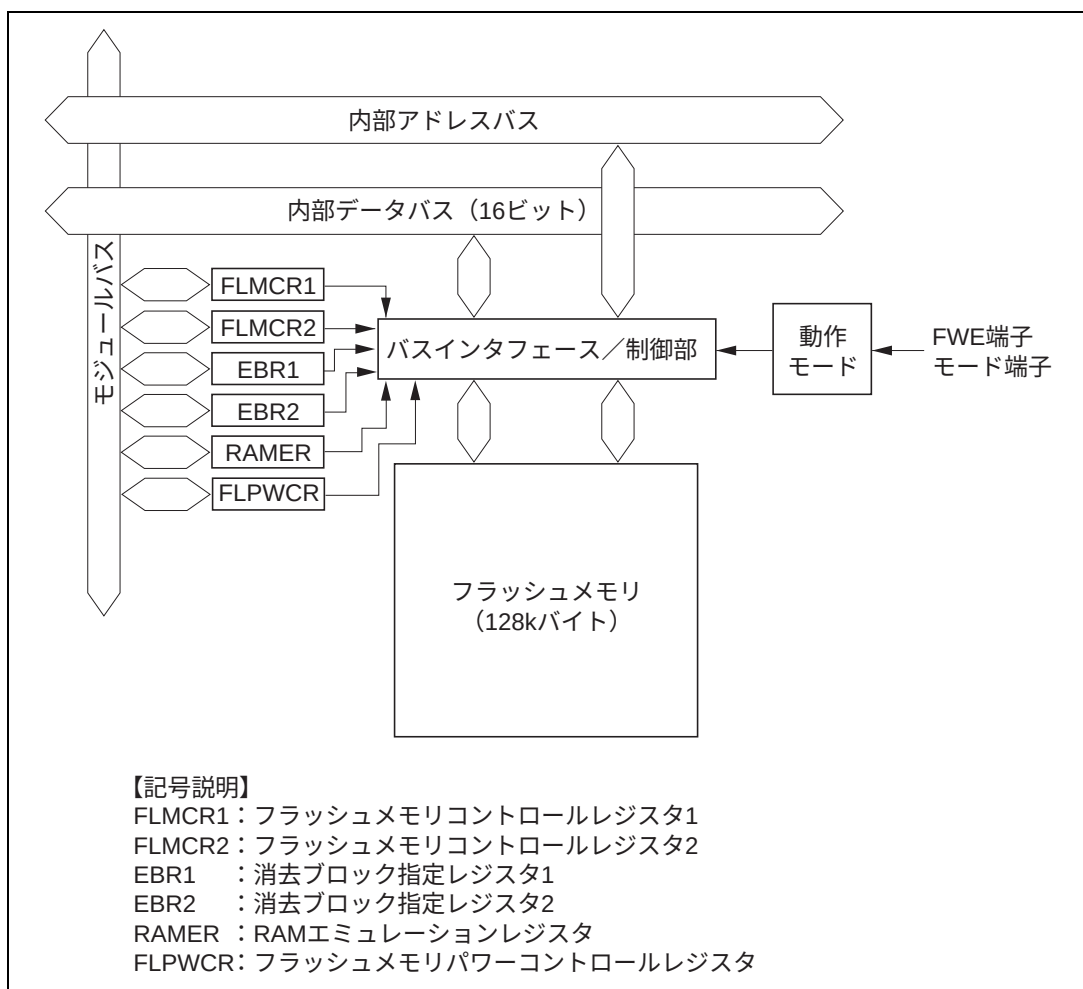


図 20.1 フラッシュメモリのブロック図

20.2.2 モード遷移図

リセット状態で各モード端子と FWE 端子を設定しリセットスタートすると、マイコンは図 20.2 に示すような各動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み／消去はできません。

フラッシュメモリへの書き込み／消去を行えるモードとしてブートモード、ユーザプログラムモード、ライターモードがあります。

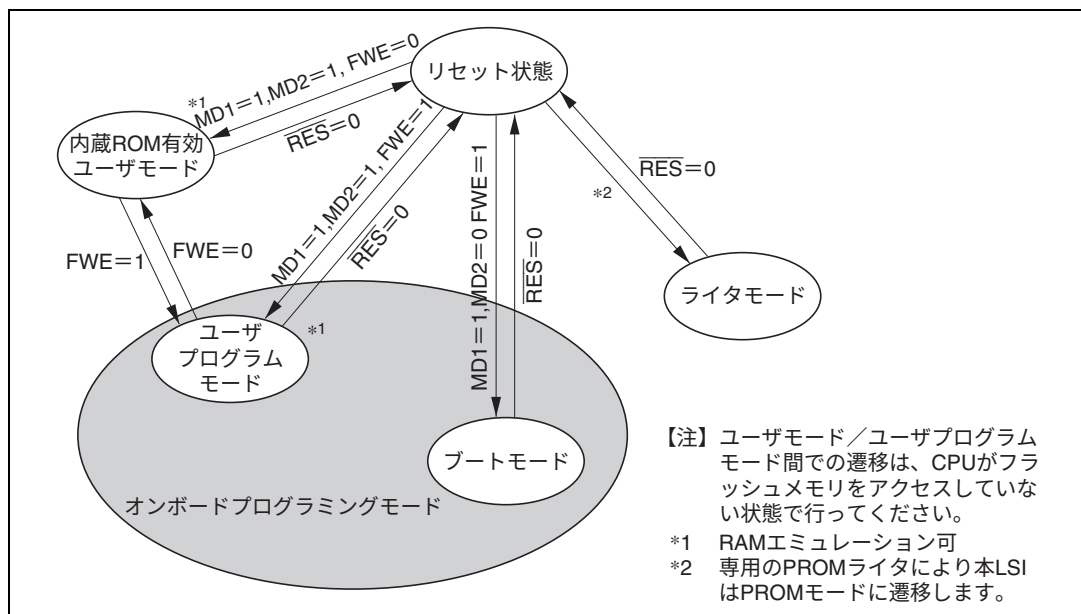


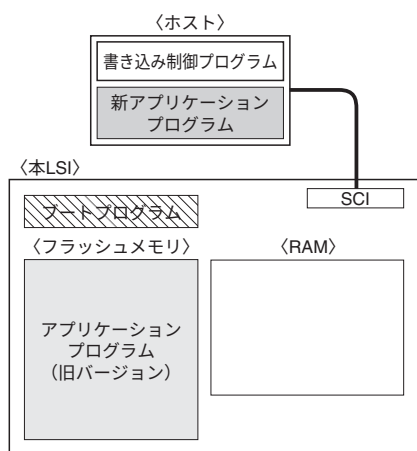
図 20.2 フラッシュメモリに関する状態遷移

20.2.3 オンボードプログラミングモード

(1) ブートモード

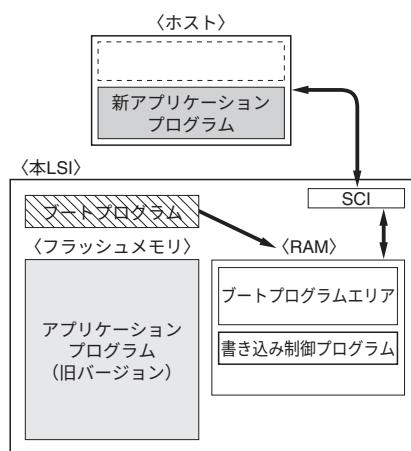
1. 初期状態

フラッシュメモリには、旧バージョンのプログラムあるいはデータが書かれたままです。書き込み制御プログラムおよび新アプリケーションプログラムはユーザがあらかじめホストに用意してください。



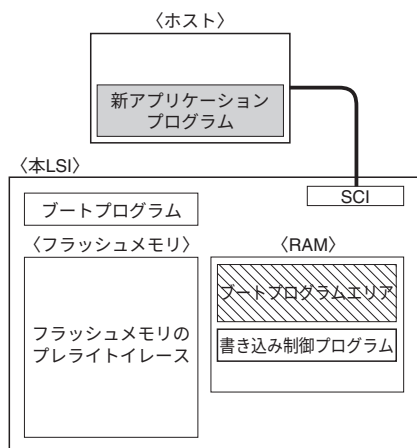
2. 書き込み制御プログラムの転送

ブートモードに移移すると本LSI内のブートプログラム（すでにLSIに内蔵されている）が起動し、ホストにある書き込み制御プログラムをRAMにSCI通信で転送します。また、フラッシュメモリの消去に必要なブートプログラムは、RAMのブートプログラムエリアに自動的に転送されます。



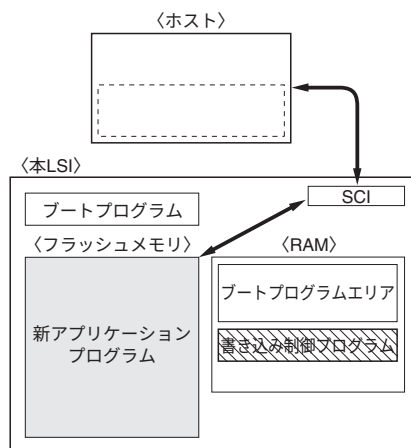
3. フラッシュメモリの初期化

ブートプログラムエリア（RAM内）にある消去プログラムを実行し、フラッシュメモリを初期化（H'FF）します。ブートモード時は、ブロックに関係なくフラッシュメモリを全面消去します。



4. 新アプリケーションプログラムの書き込み

ホストよりRAMに転送した書き込み制御プログラムを実行して、ホストにある新アプリケーションプログラムをフラッシュメモリに書き込みます。

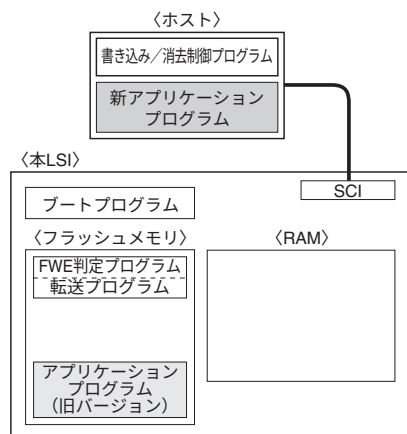


▨ プログラム実行状態

(2) ユーザプログラムモード

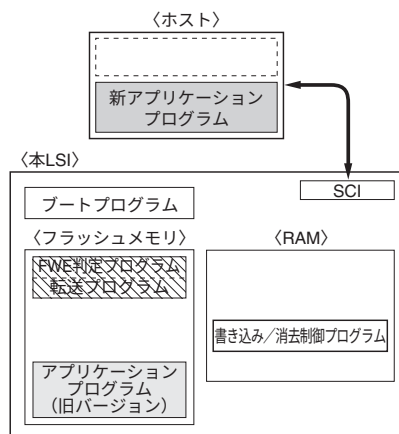
1. 初期状態

(1) ユーザプログラムモードに移移したことを確認するFWE判定プログラム、(2) フラッシュメモリから内蔵RAMに書き込み／消去制御プログラムを転送するプログラムをあらかじめフラッシュメモリにユーザが書き込んでおいてください。(3) 書き込み／消去制御プログラムはホストまたはフラッシュメモリに用意してください。



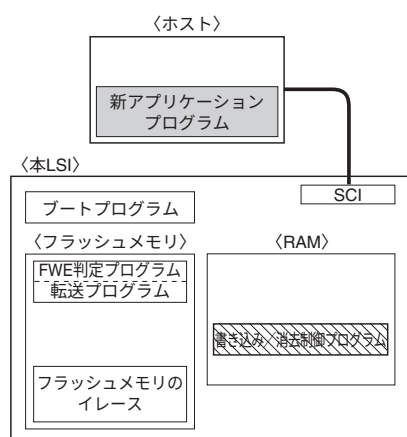
2. 書き込み／消去制御プログラムの転送

ユーザプログラムモードに移移すると、ユーザソフトはこれを認識してフラッシュメモリ内の転送プログラムを実行して、書き込み／消去制御プログラムをRAMに転送します。



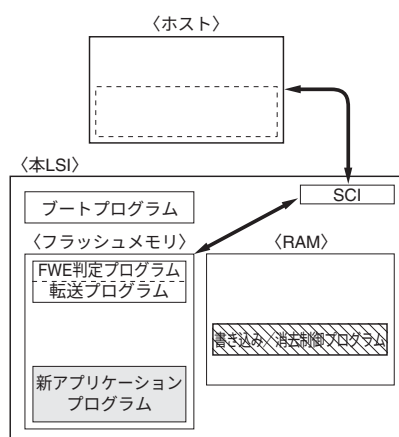
3. フラッシュメモリの初期化

RAM上の書き込み／消去プログラムを実行し、フラッシュメモリを初期化 (H'FF) します。消去は、ブロック単位で行えます。バイト単位の消去はできません。



4. アプリケーションプログラムの書き込み

次にホストにある新アプリケーションプログラムを消去したフラッシュメモリのブロックに書き込みます。消去されていないブロックに対する書き込みは行わないでください。



▨ プログラム実行状態

20.2.4 RAM によるフラッシュメモリのエミュレーション

ユーザモード、ユーザプログラムモードでエミュレーションを行ってください。エミュレーション機能を実行しているときに RAMER で設定したエミュレーションブロックをアクセスすると、オーバーラップ RAM に書かれているデータが読み出されます。

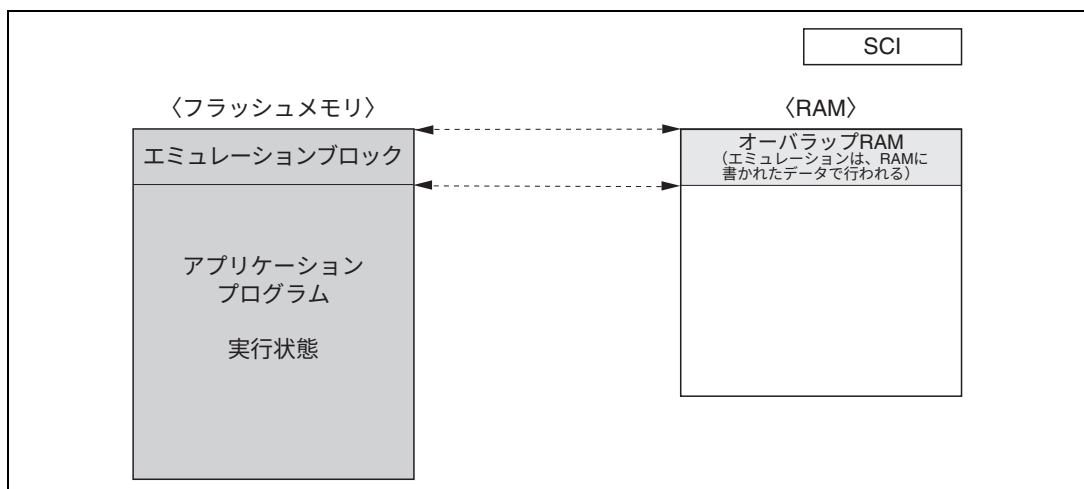


図 20.3 ユーザモードユーザプログラムモードのオーバーラップ RAM データの読み出し

オーバーラップ RAM のデータが確定したら、RAMS ビットをクリアして RAM のオーバーラップを解除し、実際にフラッシュメモリへの書き込みを行ってください。

書き換え制御プログラムを RAM に転送してくるときに、転送先とオーバーラップ RAM が重ならないようにしてください。オーバーラップ RAM 内のデータが書き換えられてしまいます。

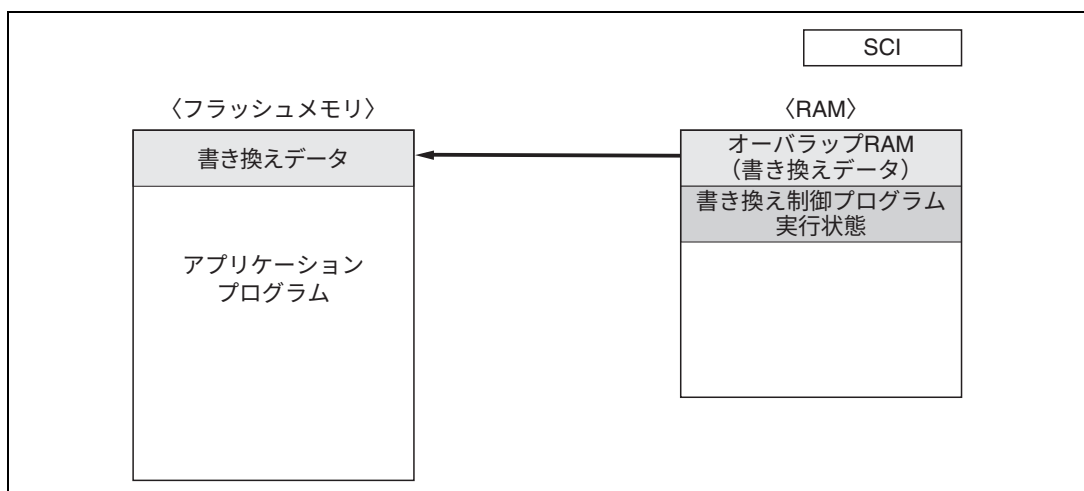


図 20.4 ユーザプログラムモードのオーバーラップ RAM データの書き込み

20.2.5 ブートモードとユーザプログラムモードの相違点

表 20.1 ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去	○	○
ブロック分割消去	×	○
書き換え制御プログラム*	プログラム/ プログラムベリファイ	イレース/イレースベリファイ プログラム/プログラムベリファイ エミュレーション

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

20.2.6 ブロック分割法

32k バイト（2 ブロック）、28k バイト（1 ブロック）、16k バイト（1 ブロック）、8k バイト（2 ブロック）、1k バイト（4 ブロック）に分割されています。

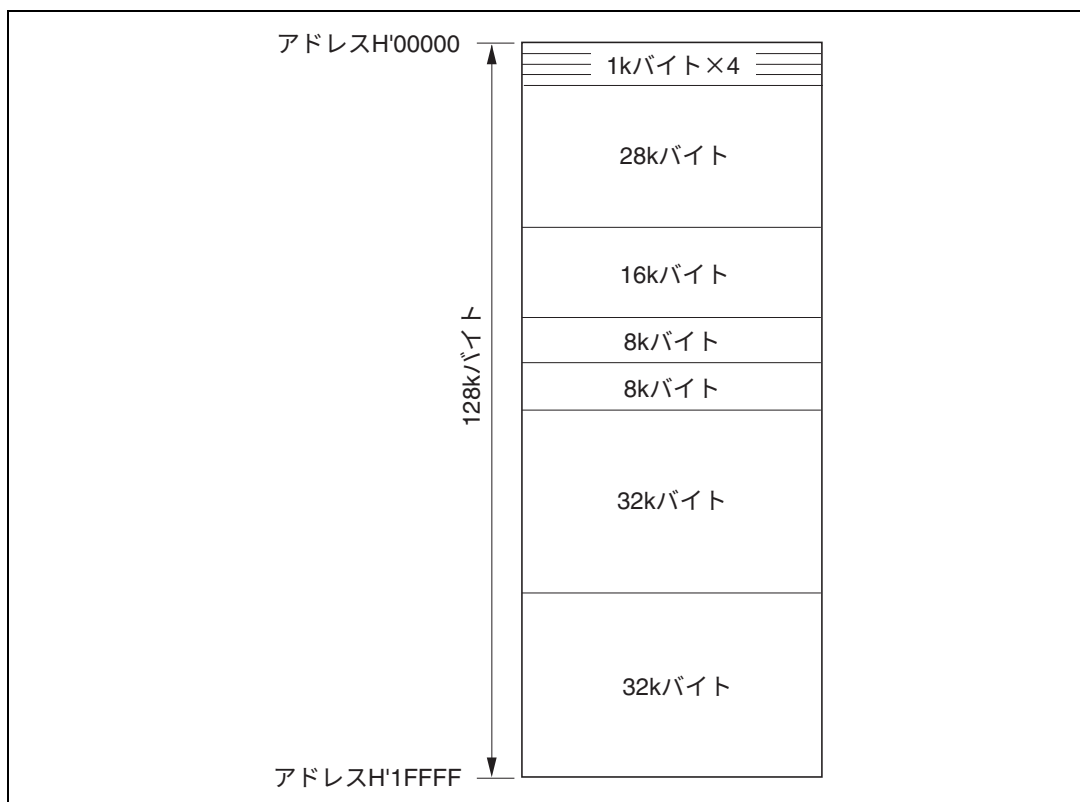


図 20.5 フラッシュメモリのブロック分割

20.3 端子構成

フラッシュメモリは表 20.2 に示す端子により制御されます。

表 20.2 端子構成

端子名	略 称	入出力	機 能
リセット	RES	入力	リセット
フラッシュライト イネーブル	FWE	入力	フラッシュメモリの書き込み／消去をハードウェアプロテクト
モード 2	MD2	入力	本 LSI の動作モードを設定
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
ポート F0	PF0	入力	ライタモードの場合に、本 LSI の動作モードを設定
ポート 16	P16	入力	ライタモードの場合に、本 LSI の動作モードを設定
ポート 14	P14	入力	ライタモードの場合に、本 LSI の動作モードを設定
トランスミットデータ	TxD1	出力	シリアル送信データ出力
レシーブデータ	RxD1	入力	シリアル受信データ入力

20.4 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタを表 20.3 に示します。

表 20.3 レジスタ構成

名 称	略 称	R/W	初期値	アドレス* ¹
フラッシュメモリコントロールレジスタ 1	FLMCR1* ⁴	R/W	H'00* ²	H'FFA8
フラッシュメモリコントロールレジスタ 2	FLMCR2* ⁴	R	H'00	H'FFA9
消去ブロック指定レジスタ 1	EBR1* ⁴	R/W	H'00* ³	H'FFAA
消去ブロック指定レジスタ 2	EBR2* ⁴	R/W	H'00* ³	H'FFAB
RAM エミュレーションレジスタ	RAMER* ⁴	R/W	H'00	H'FEDB
フラッシュメモリパワーコントロールレジスタ	FLPWCR* ⁴	R/W	H'00* ³	H'FFAC

【注】 *1 アドレス下位 16 ビットを示しています。

*2 FWE 端子に High レベルが入力されているときの初期値は H'80 です。

*3 FWE 端子に Low レベルが入力されているとき、あるいは High レベルが入力されていても FLMCR1 の SWE ビットがセットされていないときは H'00 に初期化されます。

*4 FLMCR1、FLMCR2、EBR1、EBR2、RAMER、FLPWCR は 8 ビットのレジスタです。
アクセスはバイトアクセスとしてください。

20.5 レジスタの説明

20.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

ビット：	7	6	5	4	3	2	1	0
	FWE	SWE	ESU	PSU	EV	PV	E	P
初期値：	—*	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * FWE端子の状態により設定されます。

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。アドレス H'00000～H'1FFFF に対してプログラムベリファイモード、イレースベリファイモードに遷移させるには、FWE=1 時に SWE ビットをセット後、PV ビットまたは EV ビットをセットします。アドレス H'00000～H'1FFFF に対して、プログラムモードへ遷移させるには、FWE=1 時に、SWE ビットをセット後、PSU ビットをセットし、最後に P ビットをセットします。アドレス H'00000～H'1FFFF に対してイレースモードへ遷移するには、FWE=1 時に、SWE ビットをセット後、ESU ビットをセットし、最後に E ビットをセットします。FLMCR1 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモードで初期化されます。FWE 端子に High レベルが入力されているときの初期値は H'80 です。Low レベルが入力されているときは H'00 です。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

また、FLMCR1 の SWE ビットへの書き込みは FWE=1 のとき、ESU、PSU、EV、PV ビットへの書き込みは FWE=1、SWE=1 のとき、E ビットへの書き込みは FWE=1、SWE=1、ESU=1 のとき、P ビットへの書き込みは FWE=1、SWE=1、PSU=1 のときのみ有効です。

ビット 7：フラッシュライトイネーブルビット (FWE)

FWE ビットは、フラッシュメモリの書き込み／消去をハードウェアプロテクトするビットです。

ビット 7	説明
FWE	
0	FWE 端子に Low レベルが入力されているとき (ハードウェアプロテクト状態)
1	FWE 端子に High レベルが入力されているとき

ビット 6：ソフトウェアライトイネーブルビット (SWE)

フラッシュメモリの書き込み／消去の有効または無効を選択するビットです (ビット 5～0、EBR1 の 7～0 ビット、EBR2 の 1, 0 ビットをセットするときにセットしてください)。

ビット 6	説明
SWE	
0	書き込み無効 (初期値)
1	書き込み有効 [セット条件] FWE=1 のとき

ビット5：イレースセットアップビット（ESU）

イレースモードへの遷移の準備をするビットです。FLMCR1 の E ビットを 1 にセットする前に 1 にセットしてください（SWE、PSU、EV、PV、E、P ビットを同時に設定しないでください）。

ビット 5	説 明
ESU	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] FWE=1、SWE=1 のとき

ビット4：プログラムセットアップビット（PSU）

プログラムモードへの遷移の準備をするビットです。FLMCR1 の P ビットを 1 にセットする前に 1 にセットしてください（SWE、ESU、EV、PV、E、P ビットを同時に設定しないでください）。

ビット 4	説 明
PSU	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] FWE=1、SWE=1 のとき

ビット3：イレースベリファイ（EV）

イレースベリファイモードへの遷移、解除を選択するビットです（SWE、ESU、PSU、PV、E、P ビットを同時に設定しないでください）。

ビット 3	説 明
EV	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] FWE=1、SWE=1 のとき

ビット2：プログラムベリファイ（PV）

プログラムベリファイモードへの遷移、解除を選択するビットです（SWE、ESU、PSU、EV、E、P ビットを同時に設定しないでください）。

ビット 2	説 明
PV	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] FWE=1、SWE=1 のとき

ビット 1：イレース (E)

イレースモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、PV、P ビットを同時に設定しないでください)。

ビット 1	説 明
E	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] FWE=1、SWE=1、ESU=1 のとき

ビット 0：プログラム (P)

プログラムモードへの遷移、解除を選択するビットです (SWE、PSU、ESU、EV、PV、E ビットを同時に設定しないでください)。

ビット 0	説 明
P	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] FWE=1、SWE=1、PSU=1 のとき

20.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

ビット：	7	6	5	4	3	2	1	0
	FLER	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

FLMCR2 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。FLMCR2 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモードのとき H'00 に初期化されます。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出されます。

【注】 FLMCR2 は読み出し専用レジスタです。書き込みはしないでください。

ビット 7：フラッシュメモリエラー (FLER)

フラッシュメモリへ動作中 (書き込み、消去) にエラーが発生したことを示すビットです。FLER =1 に設定されると、フラッシュメモリはエラープロテクトに遷移します。

ビット 7	説 明
FLER	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み／消去プロテクト (エラープロテクト) が無効 [クリア条件] リセットまたはハードウェアスタンバイモードのとき (初期値)
1	フラッシュメモリへの書き込み／消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み／消去プロテクト (エラープロテクト) が有効 [セット条件] 「20.8.3 エラープロテクト」参照

ビット 6～0：リザーブビット

読み出すと常に 0 が読み出されます。

20.5.3 消去ブロック指定レジスタ 1 (EBR1)

ビット：	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリの消去エリアをブロックごとに設定する 8 ビットのレジスタです。EBR1 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE 端子に Low レベルが入力されているとき、および FWE 端子に High レベルが入力されていても FLMCR1 の SWE ビットが設定されていないときは H'00 に初期化されます。EBR1 の各ビットに 1 をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。EBR1 は EBR2 と合わせて 1 ビットのみ設定してください（2 ビット以上を設定しないでください。設定すると EBR1 と EBR2 はともに 0 にオートクリアされます）。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表 20.4 を参照してください。

20.5.4 消去ブロック指定レジスタ 2 (EBR2)

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	EB9	EB8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリの消去エリアをブロックごとに設定する 8 ビットのレジスタです。EBR2 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE 端子に Low レベルが入力されているとき、H'00 に初期化されます。また FWE 端子に High レベルが入力されていても、FLMCR1 の SWE ビットが設定されていないときは H'00 に初期化されます。EBR2 の各ビットに 1 をセットすると、対応するブロックが消去可能となります（それ以外のブロックは、消去プロテクト状態になります）。EBR2 は EBR1 と合わせて 1 ビットのみ設定してください（2 ビット以上を設定しないでください。設定すると EBR1 と EBR2 はともに 0 にオートクリアされます）。ビット 7～2 はリザーブビットです。書き込み時は必ず 0 をライトしてください。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表 20.4 を参照してください。

表 20.4 消去ブロックの分割

ブロック (サイズ)	アドレス
EB0 (1k バイト)	H'000000～H'0003FF
EB1 (1k バイト)	H'000400～H'0007FF
EB2 (1k バイト)	H'000800～H'000BFF
EB3 (1k バイト)	H'000C00～H'000FFF
EB4 (28k バイト)	H'001000～H'007FFF
EB5 (16k バイト)	H'008000～H'00BFFF
EB6 (8k バイト)	H'00C000～H'00DFFF
EB7 (8k バイト)	H'00E000～H'00FFFF
EB8 (32k バイト)	H'010000～H'017FFF
EB9 (32k バイト)	H'018000～H'01FFFF

20.5.5 RAM エミュレーションレジスタ (RAMER)

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	RAMS	RAM2	RAM1	RAM0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAM の一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。リセット、またはハードウェアスタンバイモードのときに H'00 に初期化されます。ソフトウェアスタンバイモードのときには、初期化されません。RAMER の設定は、ユーザモード、ユーザプログラミングモードで行ってください。

フラッシュメモリエリアの分割法は、表 20.5 を参照してください。なお、エミュレーション機能を実際に動作させるために、本レジスタの書き換え直後に RAM エミュレーションの対象 ROM をアクセスしないでください。

直後にアクセスした場合には正常なアクセスは保証されません。

ビット 7、6：リザーブビット

読み出すと常に 0 が読み出されます。

ビット 5、4：リザーブビット

書き込み時は必ず 0 をライトしてください。

ビット 3：RAM セレクト (RAMS)

RAM によるフラッシュメモリのエミュレーション選択／非選択を設定するビットです。RAMS=1 のときは、フラッシュメモリ全ブロックの書き込み／消去プロテクト状態となります。

ビット 3	説 明
RAMS	
0	エミュレーション非選択 フラッシュメモリ全ブロック書き込み／消去プロテクト無効 (初期値)
1	エミュレーション選択 フラッシュメモリ全ブロック書き込み／消去プロテクト有効

ビット 2～0：フラッシュメモリエリア選択

ビット 3 とともに使用し、RAM と重ね合わせるフラッシュメモリのエリアを選択します。(表 20.5 参照)

表 20.5 フラッシュメモリエリアの分割

RAM エリア	ブロック名	RAMS	RAM2	RAM1	RAM0
H'FFE000～H'FFE3FF	RAM エリア 1k バイト	0	*	*	*
H'000000～H'0003FF	EB0 (1k バイト)	1	0	0	*
H'000400～H'0007FF	EB1 (1k バイト)	1	0	1	*
H'000800～H'000BFF	EB2 (1k バイト)	1	1	0	*
H'000C00～H'000FFF	EB3 (1k バイト)	1	1	1	*

* : Don't care

20.5.6 フラッシュメモリパワーコントロールレジスタ (FLPWCR)

ビット：	7	6	5	4	3	2	1	0
	PDWND	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R	R

LSI がサブアクティブモードに遷移する際に、フラッシュメモリの低消費電力モードへの遷移の許可／禁止を設定するレジスタです。

ビット 7：パワーダウンディスエーブル (PDWND)

LSI がサブアクティブモードに遷移する際に、フラッシュメモリの低消費電力モードへの遷移の許可／禁止を設定するビットです。

「20.12 フラッシュメモリと低消費電力状態」を参照してください。

ビット 7	説 明
PDWND	
0	フラッシュメモリの低消費電力モードへの遷移を許可 (初期値)
1	フラッシュメモリの低消費電力モードへの遷移を禁止

ビット 6～0：リザーブビット

読み出すと常に 0 が読み出されます。

20.6 オンボードプログラミングモード

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み／消去／ベリファイを行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはブートモードとユーザプログラムモードの2種類の動作モードがあり、各モードへ遷移する端子の設定方法を表 20.6 に示します。また、フラッシュメモリに関する各モードへの状態遷移図は図 20.2 を参照してください。

表 20.6 オンボードプログラミングモードの設定方法

モード名		FWE	MD2	MD1	MD0
ブートモード	拡張モード	1	0	1	0
	シングルチップモード		0	1	1
ユーザプログラムモード	拡張モード	1	1	1	0
	シングルチップモード		1	1	1

20.6.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI のチャンネルは調歩同期式モードに設定されています。

本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムを起動し、ホストに用意した書き込み制御プログラムを SCI を使って本 LSI へ順次送信します。本 LSI では、SCI で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後書き込み制御プログラムエリアの先頭アドレスに分岐し、書き込み制御プログラム実行状態となります（フラッシュメモリの書き込みを行います）。

したがって、転送する書き込み制御プログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 20.6 にブートモード時のシステム構成図、図 20.7 にブートモード実行手順を示します。

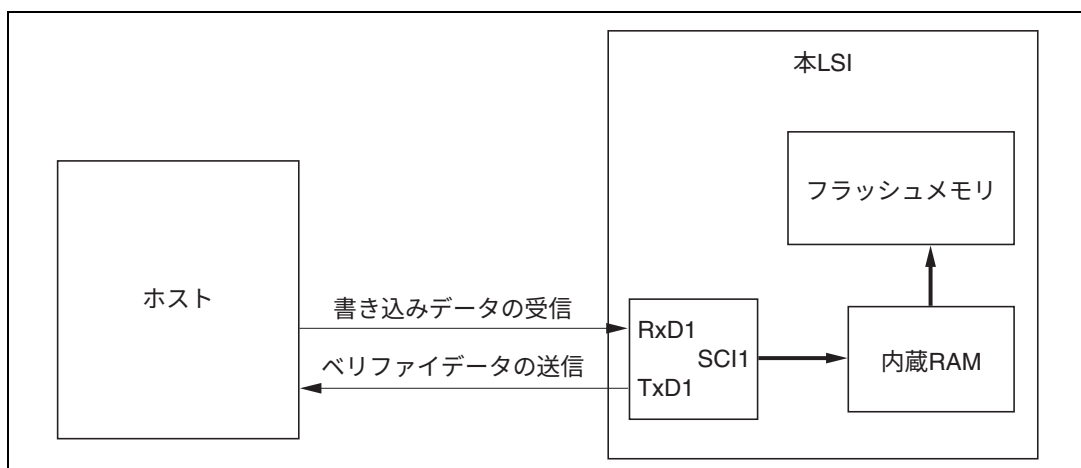


図 20.6 ブートモード時のシステム構成図

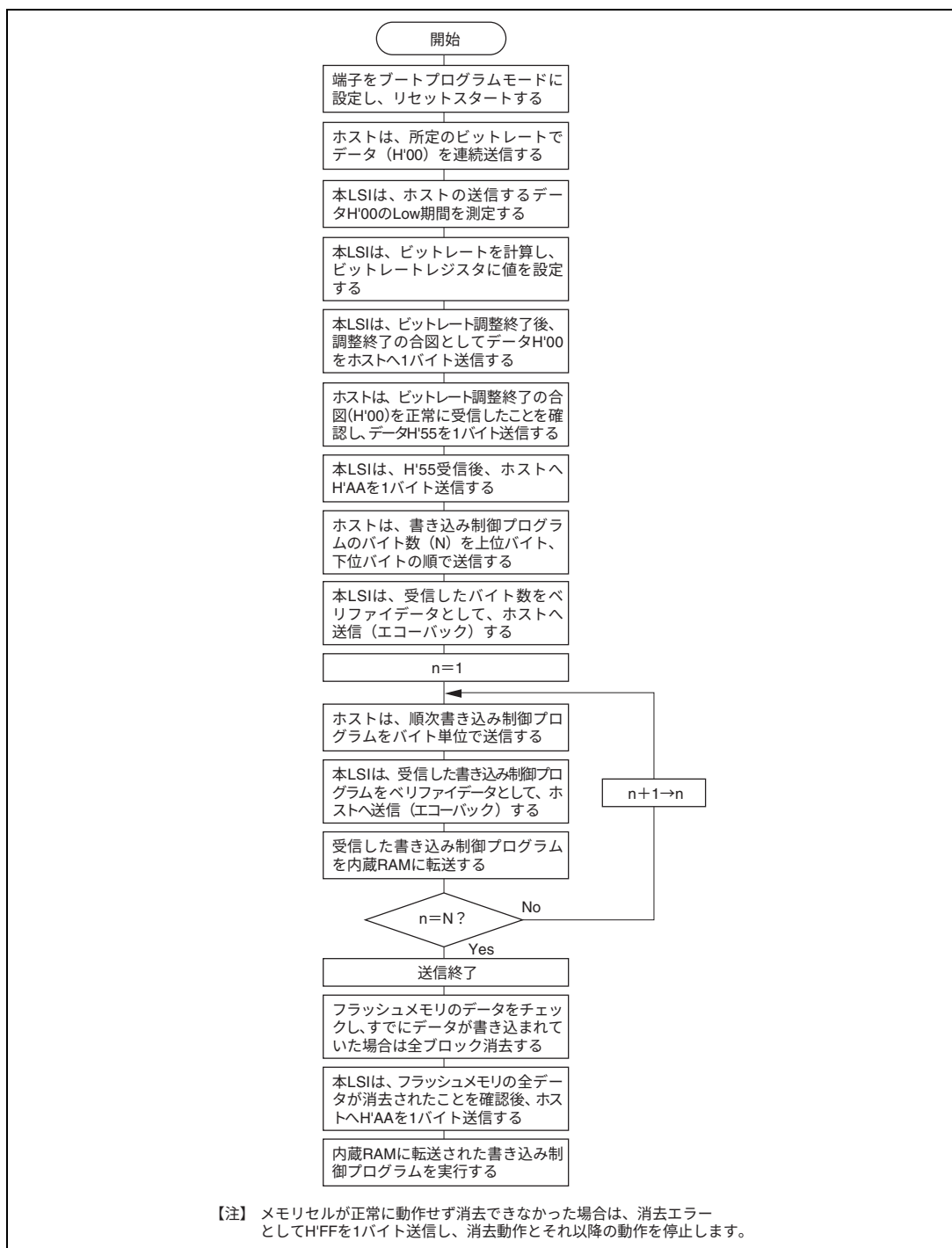
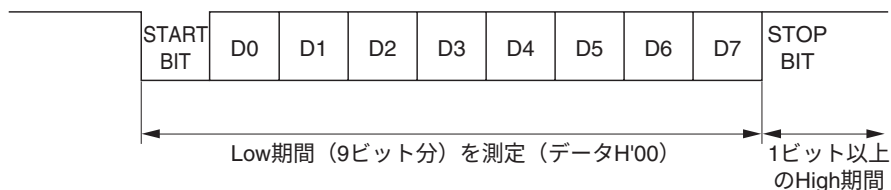


図 20.7 ブートモード実行手順

(1) SCI ビットレートの自動合わせ込み動作



ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。このときの SCI 受信/送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを (19200、9600、4800) bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 20.7 に示します。このシステムクロックの範囲内でブートプログラムを実行してください。

表 20.7 本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数
4800bps	4~20MHz
9600bps	8~20MHz
19200bps	16~20MHz

【注】 ブートモードで使用するシステムクロックの周波数は、外付け水晶発振子による発振周波数です。PLL による周波数逡倍は使用しません。

(2) ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、RAM エリアは図 20.8 に示すようにブートプログラムで使用するエリアと SCI で書き込み制御プログラムを転送してくるエリアに分かれています。ブートプログラムエリアは、ブートモード中の実行状態が転送してきた書き込み制御プログラムへ遷移するまで使用できません。

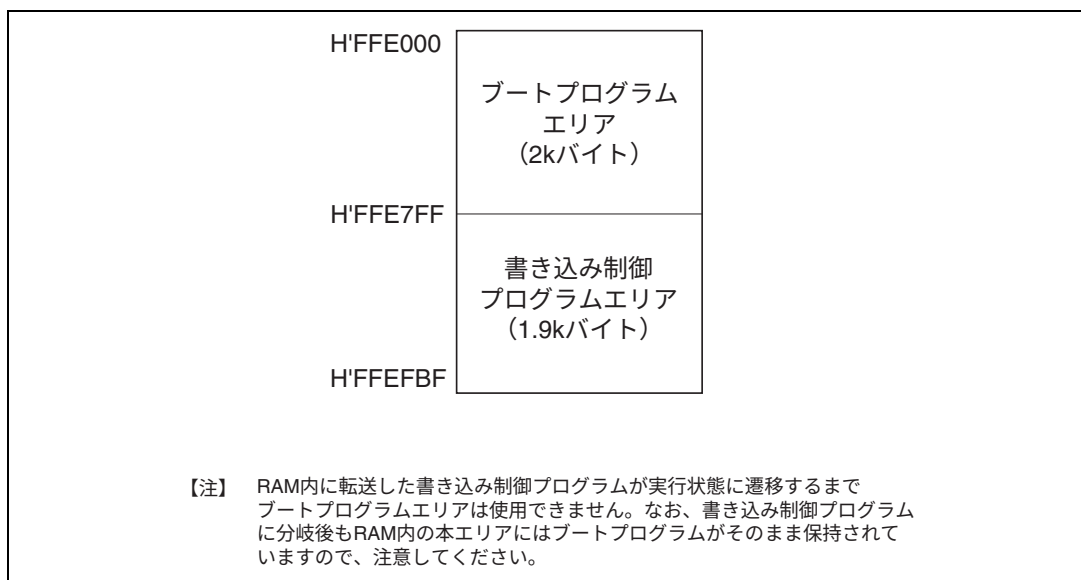


図 20.8 ブートモード時の RAM エリア

(3) ブートモード使用時の注意事項

- (a) 本LSIは、ブートモードでリセット解除すると、SCIのRxD1端子のLow期間を測定します。RxD1端子がHighの状態のリセット解除してください。リセット解除後、RxD1端子から入力されるLow期間を測定できるようになるまで、本LSIは約100ステート必要です。
- (b) ブートモードは、フラッシュメモリに書き込まれているデータがある場合（全データが1でないとき）、フラッシュメモリの全ブロックを消去します。本モードは、オンボード状態での初期の書き込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰等に使用してください。
- (c) フラッシュメモリの書き込み中、あるいは消去中に割り込みを使用することはできません。
- (d) RxD1端子およびTxD1端子は、ボード上でプルアップして使用してください。
- (e) 本LSIは、書き込み制御プログラム（RAMエリアのH'FFE7FF）に分岐するときに内蔵SCI（チャネル1）の送受信動作を終了（SCRのRE=0、TE=0）しますが、BRRには、合わせ込んだビットレートの値を保持しています。

また、このときトランスミットデータ出力端子TxD1は、Highレベル出力状態（PA1DDR=1、PA1DR=1）となっています。

さらにこのとき、CPU内蔵の汎用レジスタの値は不定です。このため書き込み制御プログラムに分岐した直後に汎用レジスタの初期設定を必ず行ってください。特にスタックポインタ（SP）は、サブルーチンコール時などに暗黙的に使用されますので、書き込み制御プログラムで使用するスタックエリアを必ず指定してください。

上記以外の内蔵レジスタについては、初期値が変更されるものではありません。

- (f) ブートモードへの遷移は表20.6のモード設定に従って、端子を設定しリセットスタートすることにより可能です。

ブートモードを解除するには、リセット端子をLowレベルにしてから最低20ステート経過後、FWE端子とモード端子を設定し、リセット解除*1することにより可能です。また、WDTのオーバーフローリセットが発生した場合もブートモードを解除することが可能です。

ブートモードの途中でモード端子の入力レベルを変化させないでください。ブートプログラ

ム実行中やフラッシュメモリへの書き込み、消去中にFWE端子をLowレベルにしないでください*²。

- (g) リセット中にモード端子の入力レベルを変化（たとえばLowレベル→Highレベル）させると、マイコンの動作モードが切り替わるによりアドレス兼用ポート、およびバス制御出力信号（ $\overline{AS}$ 、 $\overline{RD}$ 、 $\overline{HWR}$ ）の状態が変化*³します。

このため、これらの端子はリセット中に出力信号とならないような端子設定にするか、マイコン外部の信号と衝突しないように注意してください。

- 【注】 *1 モード端子と FWE 端子の入力はリセット解除のタイミングに対し、モードプログラミングセット時間（ $t_{MDS}=4$ ステート）を満足する必要があります。
*2 FWE の印加／解除の注意については「20.13 フラッシュメモリの書き込み／消去時の注意」を参照してください。
*3 「付録 D. 端子状態」を参照してください。

20.6.2 ユーザプログラムモード

ユーザプログラムモードに設定すると、ユーザの書き込み／消去制御プログラムによるフラッシュメモリの書き込み、消去が可能になります。したがって、あらかじめ基板上に FWE 制御手段、および書き換えデータ供給手段を設け、必要に応じてプログラムエリアの一部に書き込み／消去プログラムを内蔵させておくことにより、内蔵フラッシュメモリのオンボード書き換えを行うことができます。

本モードの設定では、内蔵フラッシュメモリの有効なモード 6、7 で起動し、FWE 端子に High レベルを印加します。この状態の動作では、フラッシュメモリ以外の周辺機能はモード 6、7 と同じ動作をします。

フラッシュメモリへの書き込み／消去を行うために SWE ビットを 1 にセットしている間は、フラッシュメモリ自身を読み出すことはできません。書き込み／消去を行う制御プログラムは、内蔵 RAM／外部メモリ上で実行するようにしてください。外部メモリにプログラムを置く場合は、フラッシュメモリに書き込むための命令とその次の命令は内蔵 RAM 上に置くようにしてください。

図 20.9 に書き込み／消去制御プログラムを内蔵 RAM に転送する場合の実行手順例を示します。

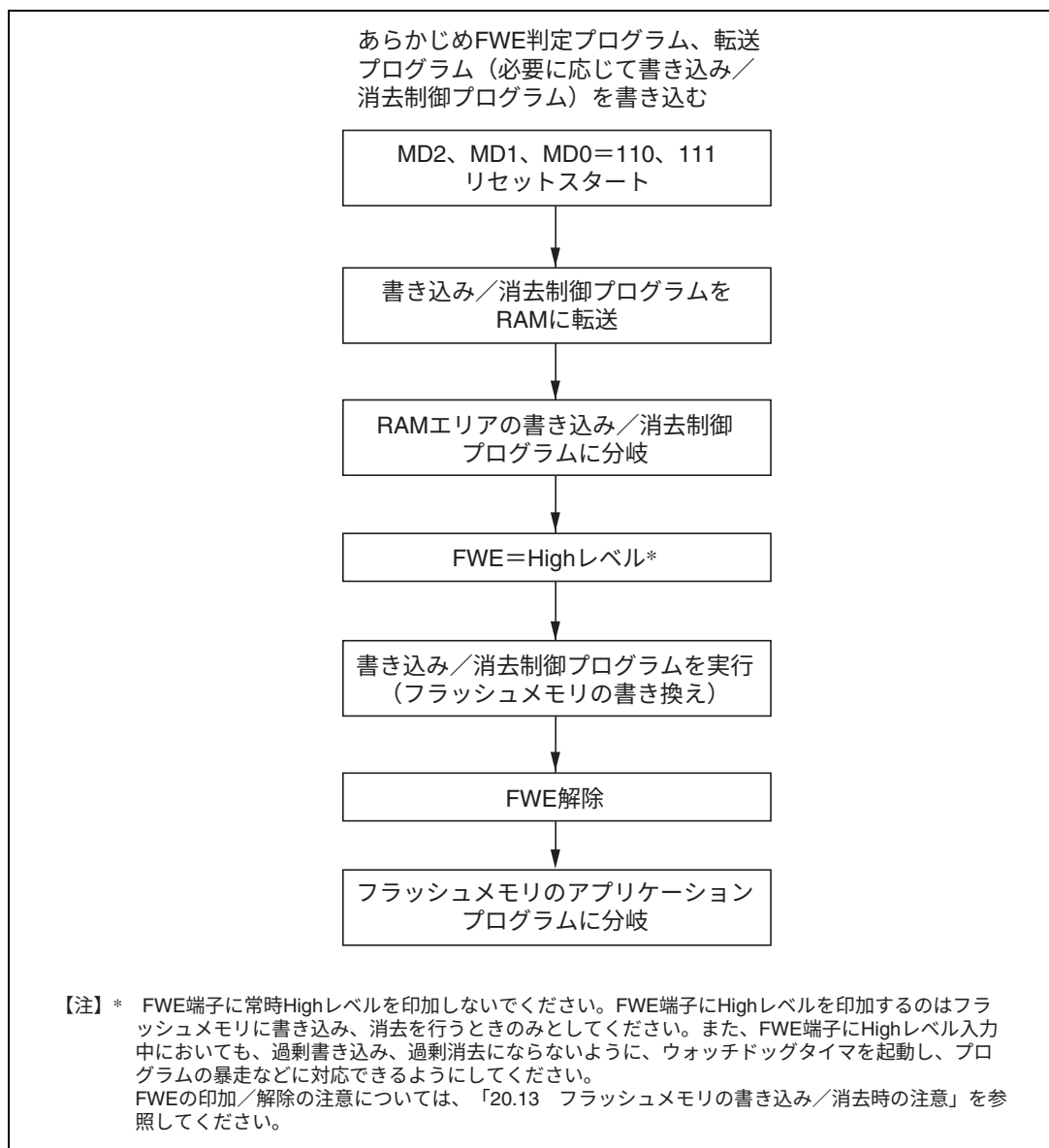


図 20.9 ユーザプログラムモードの実行手順例

20.7 フラッシュメモリの書き込み／消去

オンボードプログラミングモードでのフラッシュメモリの書き込み／消去は、CPU を用いてソフトウェア的に行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード／イレースモード／プログラムベリファイモード／イレースベリファイモードがあります。アドレス H'000000～H'01FFFF に対しては、FLMCR1 の PSU ビット、ESU ビット、P ビット、E ビット、PV ビット、EV ビットをセットすることにより各動作モードに遷移します。

フラッシュメモリは、書き込み／消去を行っている間は読み出すことができません。したがって、フラッシュメモリの書き込み／消去を制御するプログラム（書き込み制御プログラム）は、内蔵 RAM、あるいは外部メモリ上に置き、実行するようにしてください。

外部メモリにプログラムを置く場合は、フラッシュメモリに書き込むための命令とその次の命令は、内蔵 RAM 上に置くようにしてください。また、フラッシュメモリへの書き込み命令実行前後に、DTC が起動しないようにしてください。

また、以降の動作説明の中で、FLMCR1 の各ビットのセット／クリア後のウェイト時間のパラメータを記載しています。各ウェイト時間の詳細は「23.7 フラッシュメモリ特性」を参照してください。

- 【注】
1. FLMCR1 の SWE、ESU、PSU、EV、PV、E、P ビットのセット／リセットがそれぞれ、当該アドレスエリアのフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
 2. 書き込み／消去する際は、FWE=1 にしてください（FWE=0 のときは、書き込み／消去されません）。
 3. 書き込みは消去状態で行ってください。すでに関書き込まれたアドレスへの追加書き込みは行わないでください。

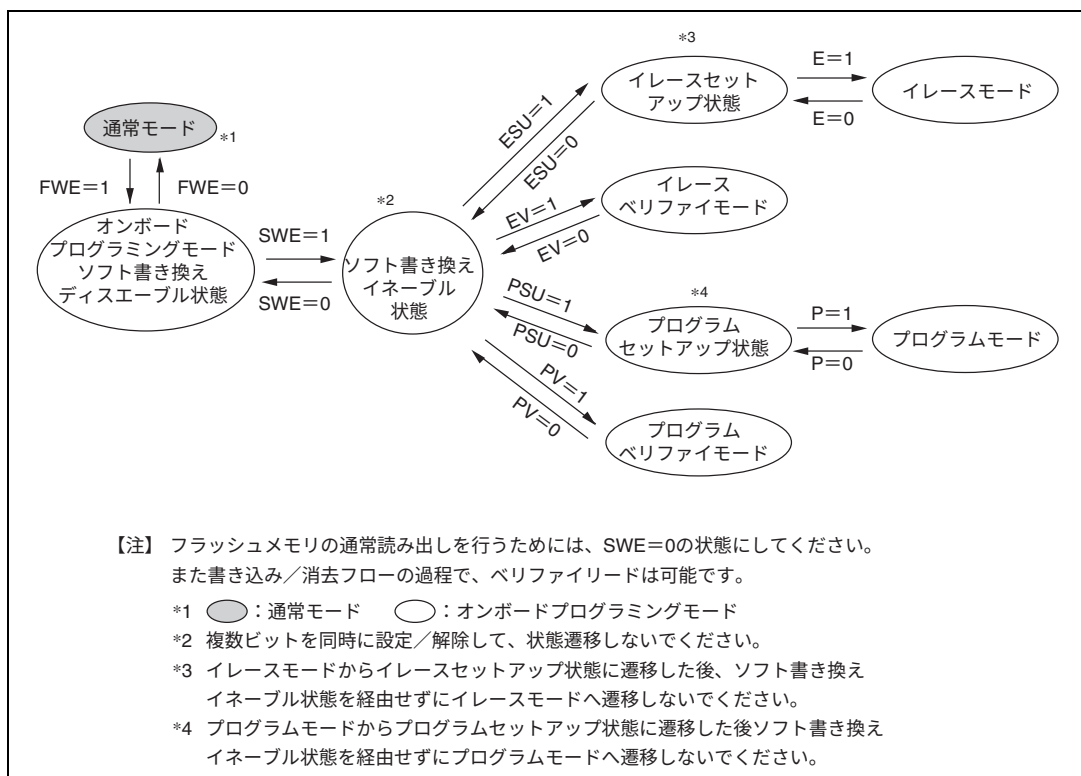


図 20.10 FLMCR1 の各ビット設定による状態遷移

20.7.1 プログラムモード

フラッシュメモリへのデータ／プログラムの書き込みは、図 20.11 に示すプログラム／プログラムベリファイフローチャートに従って行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリへデータ／プログラムの書き込みを行うことができます。また、1 回の書き込みは、128 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の各ビットのセット／クリア後のウェイト時間、最大書き込み回数 (N) を表 23.10 に示します。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセットした後、(t_{SWE}) μs 以上の時間が経過してから、書き込むアドレスに 128 バイトのデータを連続ライトします。ただし、ライトする先頭アドレスの下位 8 ビットは、H'00、H'80 でなければなりません。データ転送はバイト単位で 128 回連続して行います。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。128 バイト以下の書き込みでも 128 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次にプログラムの暴走などにより過剰時間書き込みを行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は ($t_{SPSU} + t_{sp} + t_{cp} + t_{CPSU}$) μs より大きくしてください。その後、FLMCR1 の PSU ビットをセットすることで、プログラムモードへの準備（プログラムセットアップ）を行います。その後 (t_{SPSU}) μs 以上の時間が経過してから、FLMCR1 の P ビットをセットすることで、動作モードはプログラムモードへ遷移します。P ビットがセットされている時間がフラ

ッシュメモリの書き込み時間となります。1回の書き込み時間を (t_{sp}) μs の範囲に納まるようにプログラムで設定してください。

またPビットセット後のウェイト時間は、書き込みの進行状態によって切り替える必要があります。詳細は下記の「プログラム/プログラムベリファイフローの注意点」を参照してください。

20.7.2 プログラムベリファイモード

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

一定の書き込み時間経過後、FLMCR1のPビットをクリアします。その後 (t_{cp}) μs 以上の時間が経過してから、PSUビットをクリアすることでプログラムモードを解除します。プログラムモード解除の後、ウォッチドッグタイマの設定も解除します。その後FLMCR1のPVビットをセットすることで、動作モードはプログラムベリファイモードへ遷移します。プログラムベリファイモードでは、リードする前にリードするアドレスにデータHFFをダミーライトしてください。ダミーライトは (t_{spv}) μs 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード（ベリファイデータは16ビットで読み出す）するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、(t_{spv}) μs 以上置いてから行ってください。次に、書き込んだ元データとベリファイデータを比較し、再書き込みデータを演算（図20.11参照）し、RAMに転送します。128バイト分のデータのベリファイが完了後、プログラムベリファイモードを解除し、(t_{cpv}) μs 以上の待機時間を置いて、FLMCR1のSWEビットをクリアしてください。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム/プログラムベリファイシーケンスを繰り返してください。プログラム/プログラムベリファイフローの繰り返しの最大値は、最大書き込み回数(N)で表されます。SWE解除後、(t_{csw}) μs 以上の待機時間を置いてください。

プログラム/プログラムベリファイフローの注意点

- (1) 128バイト単位の書き込みのため、ライトする先頭アドレスの下位8ビットは、H'00またはH'80でなければなりません。
- (2) フラッシュメモリに128バイトのデータを連続ライトする際には、バイト単位転送で行います。
また128バイト以下のデータを書き込む際にも、128バイトのデータ転送が必要です。つまり、必要のないアドレスへの書き込みは、データをH'FFにして書き込みを行ってください。
- (3) ベリファイデータは、ワード単位で読み出します。
- (4) FLMCR1のPビットがセットされている期間、書き込みパルスが印加されてフラッシュメモリへの書き込みが実施されます。本LSIでは、デバイスへの電圧ストレスや書き込むデータの信頼性を損なうことがないように、プログラム/プログラムベリファイフローの過程で次のように書き込みパルスを印加してください。
 - a) 書き込みパルス印加後、プログラムベリファイモードでベリファイリードして1が読み出されたビットに対して、もう一度書き込みパルスを印加してください（再書き込み処理）。128バイトの書き込みデータで、すべての0書き込みビットがベリファイリードして0が読み出されると、プログラム/プログラムベリファイフローが終了となります。本LSIでは、再書き込み処理によるループ回数が、最大書き込み回数(N)の最大値以下になることが保証されます。
 - b) 書き込みパルス印加後、プログラムベリファイモードでベリファイリードして0が読み出されたビットに対しては、書き込み完了と判定されます。書き込みが完了したビットに対しては、次の処理が必要です。

- プログラム／プログラムベリファイフロー中の早い段階で書き込み完了した場合
再書き込み処理ループ回数が1～6回目で書き込み完了した場合は、当該ビットへの追加書き込みを実施してください。また、追加書き込みは、ある再書き込み処理のときに初めてベリファイリードが0となったビットのみに実施してください。
 - プログラム／プログラムベリファイフロー中の遅い段階で書き込み完了した場合
再書き込み処理ループ回数が7回目以降で書き込み完了した場合は、当該ビットへの追加書き込みは必要ありません。
- c) 128バイトの中で、他のビットが書き込み未完了の場合、再書き込み処理を実施します。一度書き込みが完了したと判定されたビットでも、それ以降のベリファイリードで1が読み出された場合には、当該ビットに対してもう一度書き込みパルス印加してください。
- (5) FLPCR1のPビットをセットする期間（書き込みパルス幅）は、プログラム／プログラムベリファイフローの過程で次のように切り替えてください。ウェイト時間の詳細仕様は、「23.7 フラッシュメモリ特性」を参照してください。

項目	記号	項目	記号
Pビットセット後のウェイト時間	t_{sp}	再書き込みループ回数 (n) が 1～6 回目の場合	t_{sp30}
		再書き込みループ回数 (n) が 7 回目以降の場合	t_{sp200}
		追加書き込み処理の場合*	t_{sp10}

【注】*追加書き込み処理は、再書き込みループ回数 (n) が 1～6 回目の場合のみ必要となります。

- (6) 本LSIのプログラム／プログラムベリファイのフローチャートを図20.11に示します。上記の注意点を網羅するためには、再書き込み処理を実施するビット、追加書き込み処理を実施するビットは下記の演算によって決定する必要があります。
- 書き込みの進行に応じて、再書き込みのデータおよび追加書き込みのデータは変化しますので、RAM上に次のデータ格納エリア（各128バイト）を準備することを推奨します。

再書き込みデータ演算表

(D)	書き込みパルス印加後のベリファイリード結果 (V)	(X) 演算結果	コメント
0	0	1	書き込み完了のため、再書き込み処理は実施しない
	1	0	書き込み未完了のため、再書き込み処理を実施する
1	0	1	—
	1		消去状態のままで、何も実施しない

【記号説明】

- (D) : 書き込みを実施するビットの元データ
(X) : 再書き込みを実施するビットのデータ

追加書き込みデータ演算表

(X')	書き込みパルス印加後の ベリファイリード結果 (V)	(Y) 演算結果	コメント
0	0	0	書き込みパルス印加により書き込み完了したと判定 追加書き込み処理を実施する
	1	1	書き込みパルス印加により書き込みは未完了 追加書き込み処理は実施しない
1	0		すでに書き込みは完了している 追加書き込み処理は実施しない
	1		消去状態のままで、何も実施しない

【記号説明】

(Y) : 追加書き込みを実施するビットのデータ

(X') : ある再書き込みループで再書き込みを実施するビットのデータ

- (7) 本LSIのプログラム／プログラムベリファイフローの過程では、追加書き込み処理を実施する必要があります。
- しかし、128バイト単位の書き込みが一度終了した後、同一のアドレスエリアに追加で書き込みを行わないでください。書き換えを実施する場合は、必ず一度消去を行ってから書き込みを実施してください。一度プログラム／プログラムベリファイが終了したアドレスへ追加書き込みを実施した場合、読み出しなど正常動作は保証されませんので注意してください。

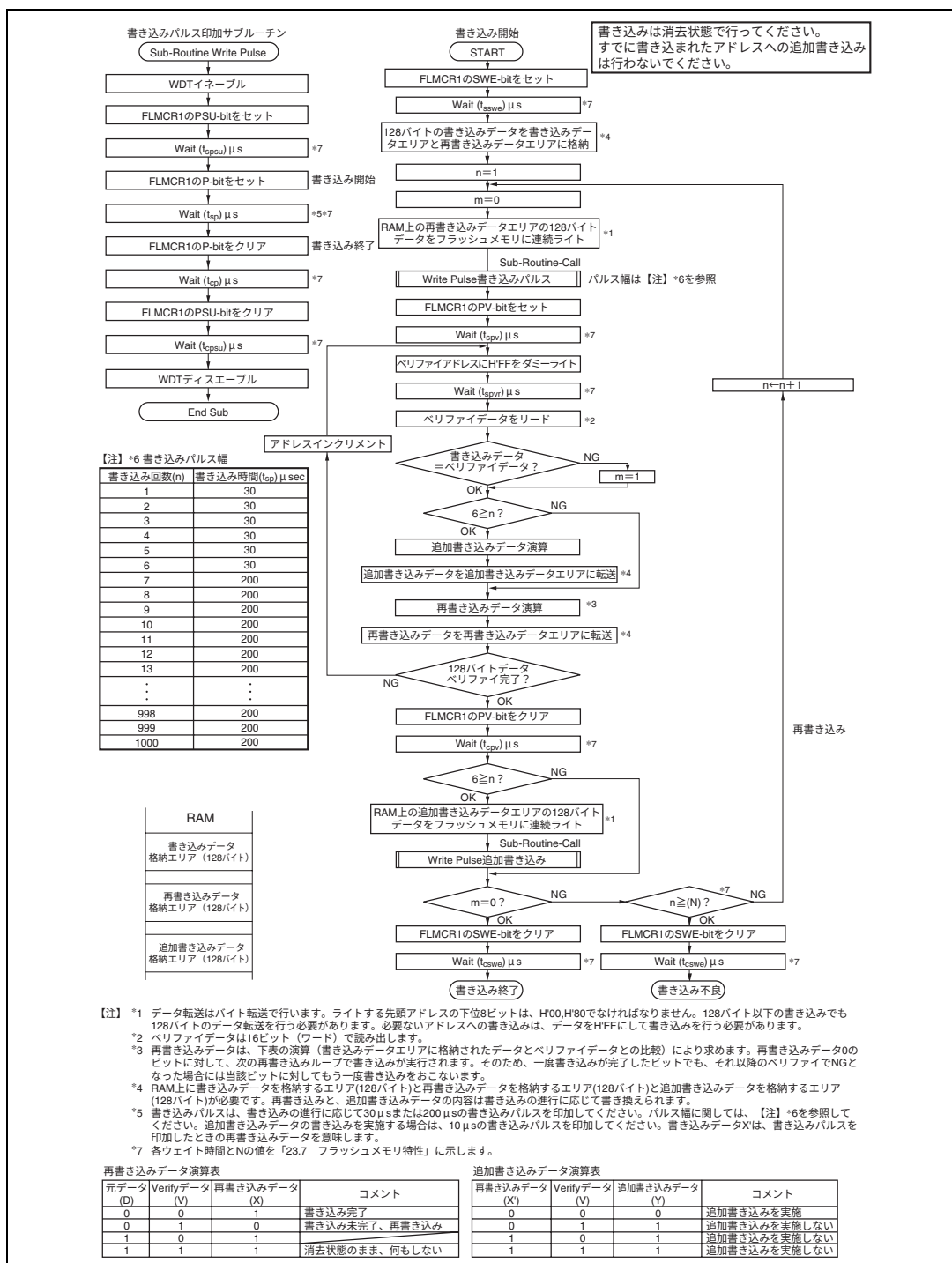


図 20.11 プログラム/プログラムペリファイフロー

20.7.3 イレースモード

フラッシュメモリの消去は 1 ブロックごとに、図 20.12 に示すイレース／ベリファイフローチャートに沿って行ってください。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の各ビットのセット／クリア後のウェイト時間および最大消去回数 (N) を表 23.10 に示します。

フラッシュメモリ内容の消去は、FLMCR1 の SWE ビットを 1 にセット後、(t_{sswe}) μs 以上の時間が経過してから、消去ブロック指定レジスタ 1、2 (EBR1、EBR2) で消去するフラッシュメモリのエリアを 1 ビット設定してください。次にプログラムの暴走などにより過剰時間消去を行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は 19.8ms 程度としてください。その後、FLMCR1 の ESU ビットをセットすることで、イレースモードへの準備 (イレースセットアップ) を行います。その後、(t_{sesu}) μs 以上の時間が経過後、FLMCR1 の E ビットをセットすることで、動作モードはイレースモードへ遷移します。E ビットが設定されている時間が消去時間となり、消去時間は (t_{se}) ms を超えないようにしてください。

【注】 フラッシュメモリの消去において、消去を開始する前にプレライト (消去するメモリのデータをすべて 0 にする) を行う必要はありません。

20.7.4 イレースベリファイモード

イレースベリファイモードは、メモリを消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。

一定の消去時間経過後、FLMCR1 の E ビットをクリアします。その後、(t_{ce}) μs 以上の時間が経過してから ESU ビットをクリアすることでイレースモードを解除します。イレースモード解除の後、ウォッチドッグタイマの設定も解除します。その後、FLMCR1 の EV ビットをセットすることで、動作モードはイレースベリファイモードへ遷移します。イレースベリファイモードでは、リードする前にリードするアドレスにデータ H'FF をダミーライトしてください。ダミーライトは (t_{sev}) μs 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード (ベリファイデータは 16 ビットで読み出す) するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、(t_{sevr}) μs 置いてから行ってください。読み出したデータが消去 (データがすべて 1) されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース／イレースベリファイシーケンスを繰り返します。

イレース／イレースベリファイの繰り返しの最大値は、最大消去回数 (N) によって表されます。ベリファイ完了後、イレースベリファイモードを解除し、(t_{cev}) μs 以上の待機時間を置いてください。通常モードに遷移するには、FLMCR1 の SWE ビットを解除し、(t_{cswe}) μs 以上の待機時間を置いてください。

複数ブロックを消去する場合は、次に消去するブロックのエリアを EBR1／EBR2 によって 1 ビットのみ設定し、同様にイレース／イレースベリファイシーケンスを繰り返します。

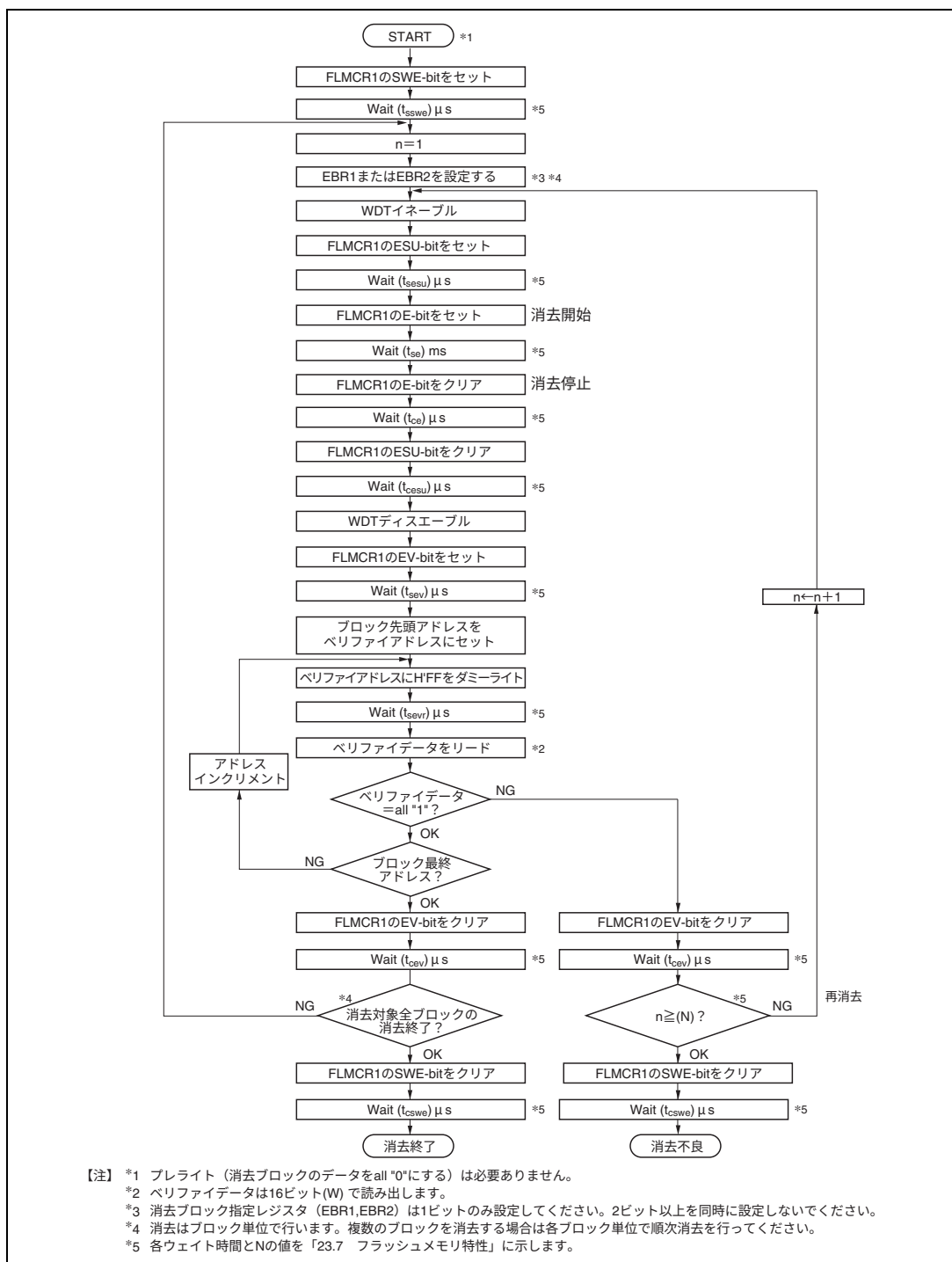


図 20.12 イレース／イレースペリファイフロー

20.8 プロテクト

フラッシュメモリに対する書き込み／消去プロテクトは、ソフトウェアプロテクト、ハードウェアプロテクト、エラープロテクトの3種類があります。

20.8.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み／消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、消去ブロック指定レジスタ1 (EBR1)、消去ブロック指定レジスタ2 (EBR2) の設定はリセットされます。エラープロテクト状態では、FLMCR1、FLMCR2、EBR1、EBR2 の設定は保持します。(表 20.8 参照)

表 20.8 ハードウェアプロテクト

項 目	説 明	機 能	
		書き込み	消去
FWE 端子 プロテクト	FWE 端子に Low レベルが入力されているときには、FLMCR1、FLMCR2 (FLER ビットはのぞく)、EBR1、EBR2 は初期化され、書き込み／消去プロテクト状態になります。	○	○
リセット、 スタンバイ プロテクト	- リセット (WDT によるリセットも含む) およびスタンバイ時は、FLMCR1、FLMCR2、EBR1、EBR2 は初期化され、書き込み／消去プロテクト状態になります。 - RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子を Low レベルに保持してください。	○	○

20.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、FLMCR1 の SWE ビット、消去ブロック指定レジスタ1 (EBR1)、消去ブロック指定レジスタ2 (EBR2)、RAM エミュレーションレジスタ (RAMER) の RAMS ビットをセットすることで行えます。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ1 (FLMCR1) の P ビットまたは E ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません。(表 20.9 参照)

表 20.9 ソフトウェアプロテクト

項 目	説 明	機 能	
		書き込み	消去
SWE ビット プロテクト	FLMCR1 の SWE ビットを 0 にセットすることにより、H'0000000～H'01FFFF エリアの書き込み／消去プロテクト状態になります (内蔵 RAM／外部メモリ上で実行してください)。	○	○
ブロック 指定 プロテクト	- 消去ブロック指定レジスタ1 (EBR1)、消去ブロック指定レジスタ2 (EBR2) の設定により、ブロックごとに消去プロテクトが可能。 - EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。	—	○
エミュレーシ ョン プロテクト	RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすることにより、全ブロックの書き込み／消去プロテクト状態になります。	○	○

20.8.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み／消去中のマイコンの暴走や書き込み／消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み／消去動作を強制的に中断するプロテクトです。書き込み／消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み／消去中にマイコンが異常動作すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態へ遷移します。このとき、FLMCR1、FLMCR2、EBR1、EBR2 の設定は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PV ビット、EV ビットの設定は有効なので、ペリファイモードへの遷移は可能です。

FLER ビットのセット条件は、

- (1) 書き込み／消去中に当該アドレスエリアのフラッシュメモリを読み出したとき（ベクタリードおよび命令フェッチを含む）
- (2) 書き込み／消去中の例外処理（リセットは除く）開始直後
- (3) 書き込み／消去中に SLEEP 命令（ソフトウェアスタンバイを含む）を実行したとき
- (4) 書き込み／消去中に CPU が DTC にバス権を開放したとき

エラープロテクト解除は、リセットまたはハードウェアスタンバイのみで行われます。

図 20.13 にフラッシュメモリの状態遷移図を示します。

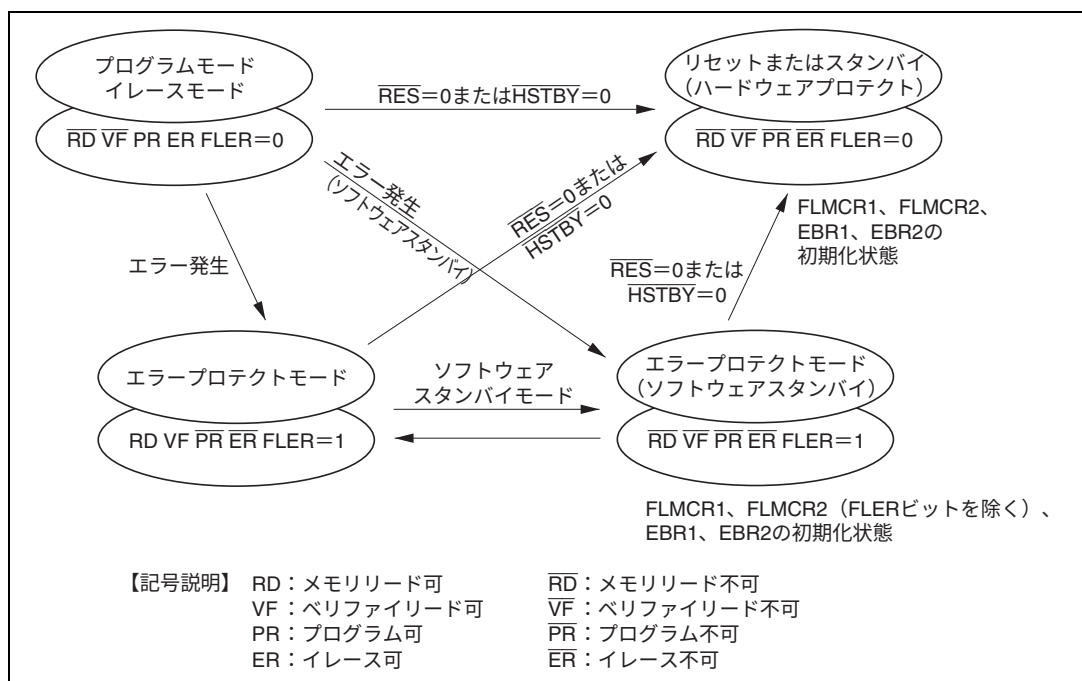


図 20.13 フラッシュメモリの状態遷移図

20.9 RAM によるフラッシュメモリのエミュレーション

RAM でフラッシュメモリに書き換えるデータをリアルタイムにエミュレートするために、RAM エミュレーションレジスタ (RAMER) で設定したフラッシュメモリのエリアに RAM の一部を重ね合わせて使うことができます。RAMER の設定後はフラッシュメモリのエリアとフラッシュメモリに重ね合わせた RAM エリアの 2 エリアからアクセスできます。エミュレーション可能なモードは、ユーザモード、およびユーザプログラムモードです。図 20.14 にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

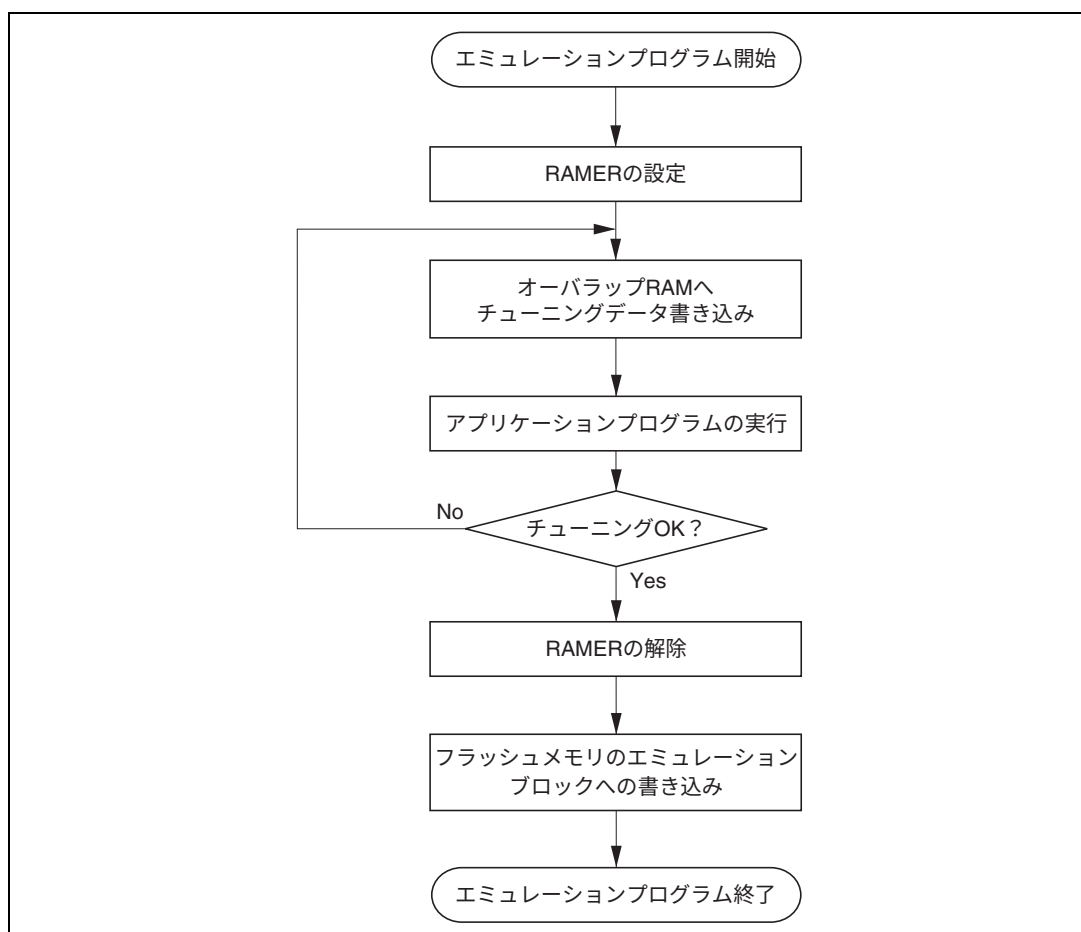


図 20.14 RAM によるエミュレーションフロー

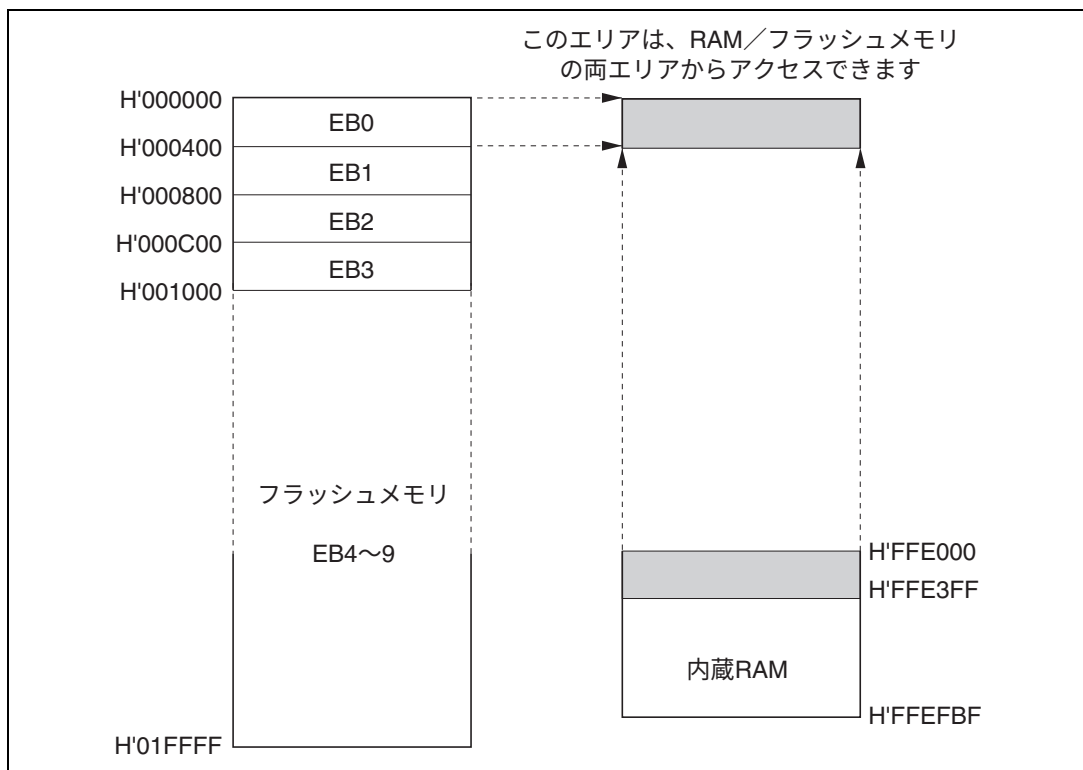


図 20.15 RAM のオーバーラップ動作例

フラッシュメモリのブロックエリア (EB0) をオーバーラップさせる例

- リアルタイムな書き換えを必要とするエリア (EB0) にRAMの一部をオーバーラップさせるには、RAMERのRAMSビット、RAM2~0ビットを1、0、0、0に設定してください。
- リアルタイムな書き換えは、オーバーラップさせたRAMを使って行います。
- 書き換えデータ確定後、RAMSビットをクリアしてRAMのオーバーラップを解除します。
- オーバーラップさせたRAMに書き込まれたデータをフラッシュメモリ空間 (EB0) に書き込みます。

- 【注】
- RAMS ビットを 1 にセットすると RAM2~0 の値にかかわらず、フラッシュメモリの全ブロックに対して書き込み／消去プロテクトが有効となります (エミュレーションプロテクト)。この状態では FLMCR1 の P ビットまたは E ビットをセットしてもプログラムモード、イレースモードへは遷移しません。フラッシュメモリエリアに実際に書き込み／消去を行う場合は RAMS ビットを 0 にクリアしてください。
 - RAM によるフラッシュメモリのエミュレーション機能を使用中に、消去アルゴリズムに沿ったソフトウェアを実行しても RAM エリアを消去することはできません。
 - ブロックエリア (EB0) はベクタテーブルを含みます。RAM エミュレーションする場合、オーバーラップ RAM にはベクタテーブルが必要となります。

20.10 フラッシュメモリの書き込み／消去時の割り込み処理

フラッシュメモリへの書き込み、消去中（FLMCR1 の P ビットまたは E ビットがセット）、およびブートモードでのブートプログラム実行中*¹は書き込み、消去動作を最優先とするため NMI 入力を含むすべての割り込みを禁止してください。

これは以下のような動作状態を回避することを目的としています。

- (1) 書き込み、消去中に割り込みが発生することにより、書き込み／消去アルゴリズムに違反し、正常な動作が保証できなくなる。
- (2) 書き込み／消去中の割り込み例外処理ではベクタリードが正常にできない*²ため、結果としてマイコンが暴走してします。
- (3) ブートプログラム実行中に割り込みが発生すると正常なブートモードのシーケンスが実行できなくなる。

以上のような理由から、オンボードプログラミングモードにおいてのみ例外的に割り込み入力を禁止する条件が存在しますが、これによって正常な書き込み、消去およびマイコン動作が保証されるものではありません。

このため、フラッシュメモリへの書き込み／消去を行う場合、マイコンの内部と外部で NMI を含むすべての要求を禁止する必要があります。また、エラープロテクト状態で FLMCR1 の P ビットまたは E ビットが保持された状態でも NMI 割り込みは禁止状態となります。

【注】*¹ 書き込み制御プログラムによる書き込みが完了するまでは、マイコン内部と外部で割り込み要求を禁止する必要があります。

*² この場合、以下の 2 つの理由によってベクタリードが正常に行われません。

- ・書き込み、消去中（FLMCR1 の P ビットまたは E ビットがセット）にフラッシュメモリのリードを行っても正しい値を読み出すことはできません（値は不定）。
- ・割り込みベクタテーブルに値がまだ書き込まれていない場合、割り込み例外処理が正しく実行されません。

20.11 ライタモード

ライタモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み／消去を行うことができます。PROM ライタはルネサス 128k バイトフラッシュメモリ内蔵マイコンデバイスタイプ（FZTAT128V5A）をサポートしているライタを使用してください。

20.12 フラッシュメモリと低消費電力状態

フラッシュメモリには、通常の動作状態のほかに、内部の電源回路の一部あるいは全部を停止して、消費電力を低くする低消費電力モードがあります。

フラッシュメモリの動作状態には

- (1) 通常動作モード：フラッシュメモリのリード／ライトが可能です。
- (2) 低消費電力モード：電源回路の一部を停止して、LSIがサブクロック動作時にフラッシュメモリのリードが可能です。
- (3) スタンバイモード：フラッシュメモリのすべての回路が停止します。リード／ライトは不可です。

があり、(2)と(3)がフラッシュメモリの低消費電力状態です。表 20.10 に LSI の動作状態とフラッシュメモリの動作状態の対応を示します。

表 20.10 フラッシュメモリの動作状態

LSI の動作状態	フラッシュメモリの動作状態
高速モード 中速モード スリープモード	通常モード（リード／ライト）
サブアクティブモード サブスリープモード	PDWND=0 のとき： 低消費電力モード（リードのみ） PDWND=1 のとき： 通常モード（リードのみ）
ウォッチモード ソフトウェアスタンバイモード ハードウェアスタンバイモード	スタンバイモード

20.12.1 低消費電力状態の注意事項

- (1) フラッシュメモリが低消費電力状態のときは、内部の電源回路の一部あるいは全部が停止しています。そのため通常動作への復帰時には、電源回路の安定時間を確保する必要があります。発振安定時間の確保が不要な場合でも、フラッシュメモリが低消費電力状態から通常動作に復帰する際には、待機時間が20 μ s（電源安定時間）以上となるようにSBYCRのSTS2～STS0ビットを設定してください。
- (2) 低消費電力モード時、FLMCR1、FLMCR2、EBR1、EBR2、RAMER、FLPWCRへのリード／ライトはできません。

20.13 フラッシュメモリの書き込み／消去時の注意

オンボードプログラミングモード、RAM エミュレーション機能およびライターモード使用時の注意事項を示します。

(1) 規定された電圧、タイミングで書き込み／消去を行ってください。

定格以上の電圧を印加した場合、製品の永久破壊に至ることがあります。

PROM ライタは、ルネサス 128k バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしているものを使用してください。

ライタの設定を HN27C4096 にセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊に至ることがあります。

(2) 電源投入／切断時の注意（図 20.16～図 20.18 参照）

FWE 端子への High レベル印加は V_{cc} 確定後に行ってください。また、 V_{cc} を切断する前に FWE 端子を Low レベルにしてください。

V_{cc} 電源の印加／切断時は FWE 端子を Low レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。

この電源投入および解除タイミングは、停電などによる電源の切断、再投入時にも満足するようにしてください。

(3) FWE の印加／解除の注意（図 20.16～図 20.18 参照）

FWE の印加はマイコン動作が確定した状態で行ってください。マイコンが動作確定状態を満足しない場合は、FWE 端子を Low レベルに固定し、プロテクト状態としてください。

FWE の印加／解除では、フラッシュメモリへの誤書き込み、誤消去を防止するため、以下に示すような注意が必要です。

- (a) V_{cc} 電圧が定格電圧の範囲で安定している状態で FWE を印加してください。発振が安定している状態（発振安定時間経過後）で FWE を印加してください。
- (b) ブートモードでは、FWE の印加／解除はリセット中に行ってください。
- (c) ユーザプログラムモードでは、リセットの状態にかかわらず、FWE=High レベル／Low レベルの切り替えが可能です。また、フラッシュメモリ上でプログラム実行中でも、FWE 入力の切り替えが可能です。
- (d) プログラムが暴走していない状態で FWE を印加してください。
- (e) FWE の解除は FLMCR1 の SWE、ESU、PSU、EV、PV、P、E ビットをクリアした状態で行ってください。
FWE の印加／解除時に、誤って SWE、ESU、PSU、EV、PV、P、E ビットをセットしないでください。

(4) FWE 端子に常時 High レベルを印加しないでください。

FWE 端子に High レベルを印加するのは、フラッシュメモリに書き込み、消去を行うときのみとしてください。このため、FWE 端子に常時 High レベルを印加するようなシステム構成は避けてください。また、High レベル印加中においても、過剰書き込み、過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走などに対応できるようにしてください。

(5) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。

推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。また、FLMCR1 の P ビット、E ビットをセットするときは、プログラムの暴走などに備えてあらかじめウォッチドッグタイマを設定してください。

(6) SWE ビットのセット／クリアの注意

SWE ビットのセット／クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE ビットをクリアした後に 100 μ s 以上の待ち時間を置いて行ってください。

SWE ビットをセットするとフラッシュメモリのデータを書き換えますが、SWE=1 のときは、プログラムベリファイ／イレースベリファイモード以外ではフラッシュメモリを読み出すことはできません。ベリファイ（プログラム／イレース中のベリファイ）以外の目的で、フラッシュメモリをアクセスしないでください。

また、プログラム／イレース／ベリファイ中に SWE ビットのクリアを行わないでください。

FWE 端子に High レベルを入力した状態で、RAM によるエミュレーション機能を使用する場合も同様に、フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE ビットをクリアした後に行ってください。

ただし、フラッシュメモリ空間とオーバラップした RAM エリアについては、SWE ビットのセット／クリアにかかわらずリード／ライト可能です。

(7) フラッシュメモリの書き込み中または消去中に割り込みを使用しないでください。

FWE 印加状態では書き込み／消去動作を再優先とするため、NMI を含むすべての割り込み要求を禁止してください。

(8) 追加書き込みは行わないでください。書き換えは消去後に行ってください。

オンボードプログラミングでは 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。ライトモードでも 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。

(9) 書き込み前に、必ず、正しく PROM ライタに装着されていることを確認してください。

PROM ライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。

(10) 書き込み中はソケットアダプタや製品に手を触れないでください。

接触不良などにより、書き込み不良になることがあります。

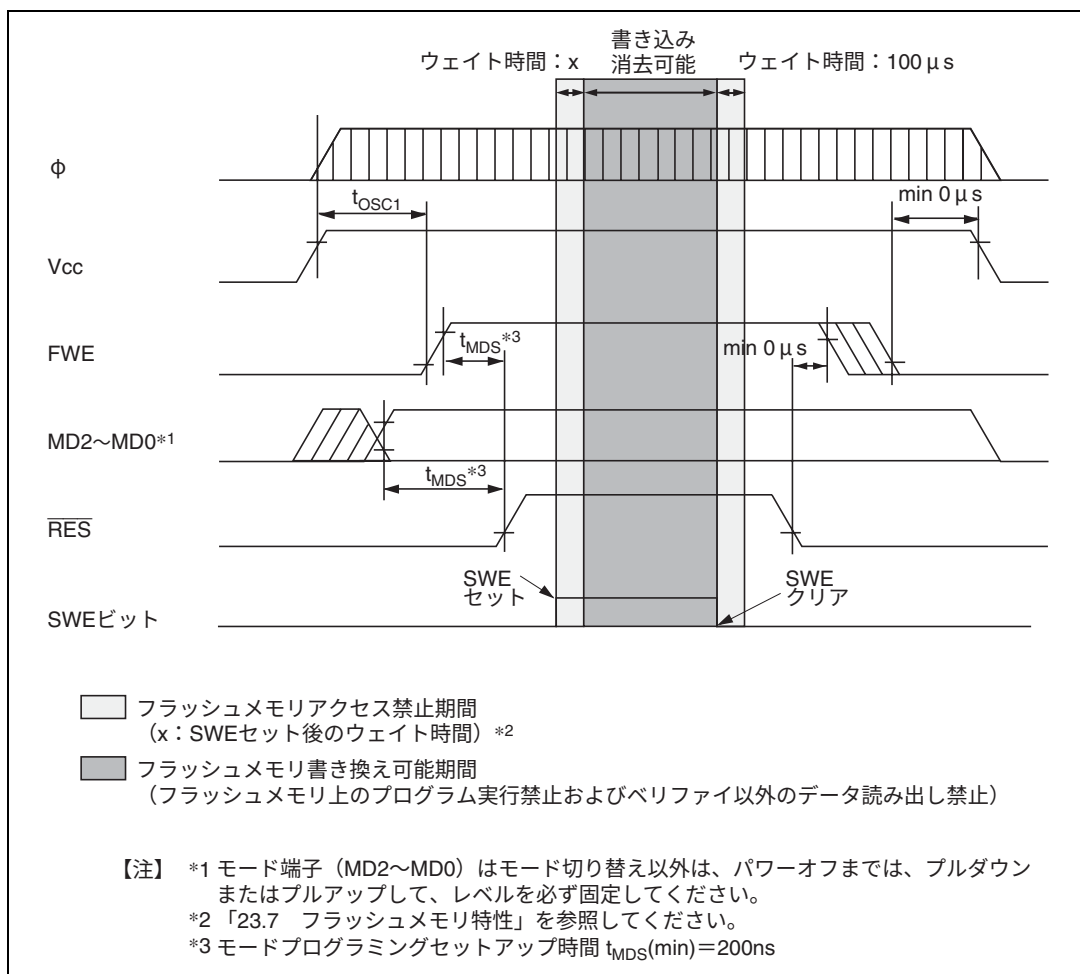


図 20.16 電源投入／切断タイミング（ブートモード）

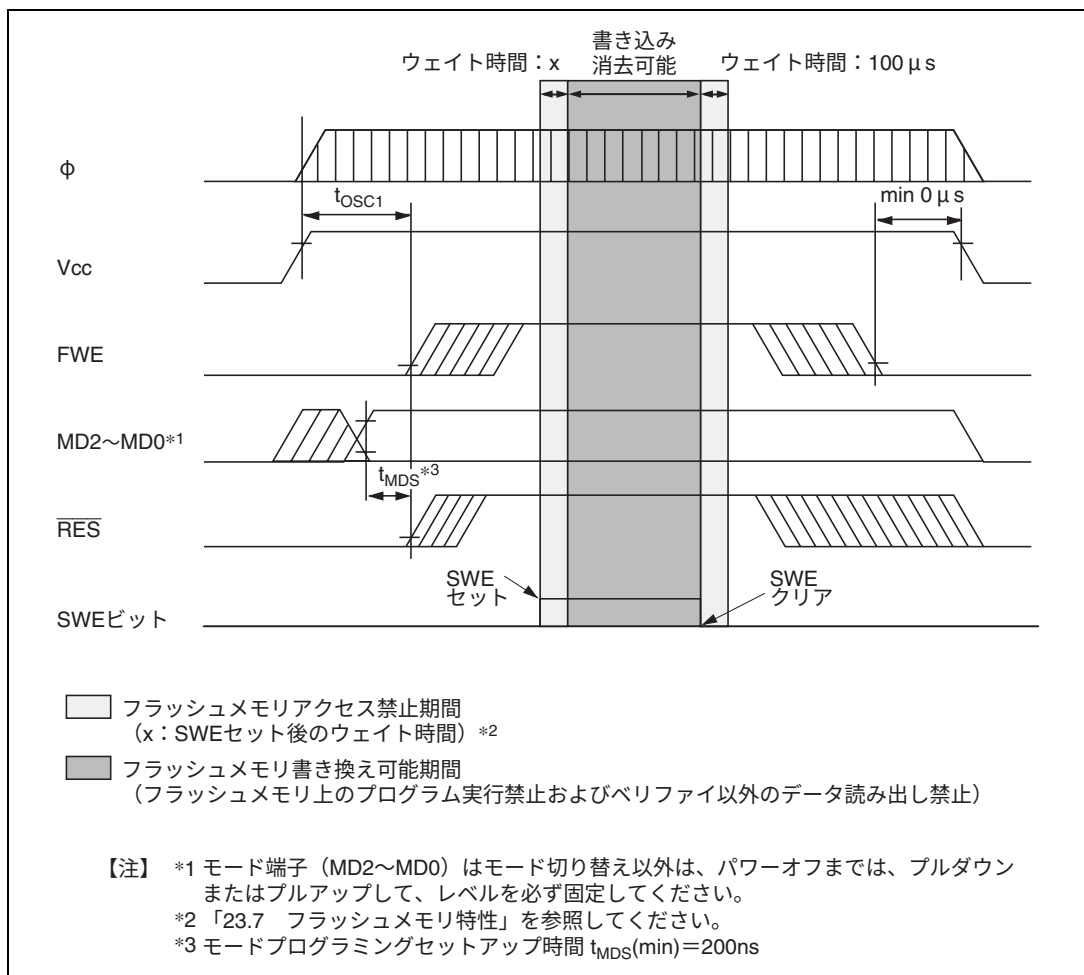


図 20.17 電源投入／切断タイミング (ユーザプログラムモード)

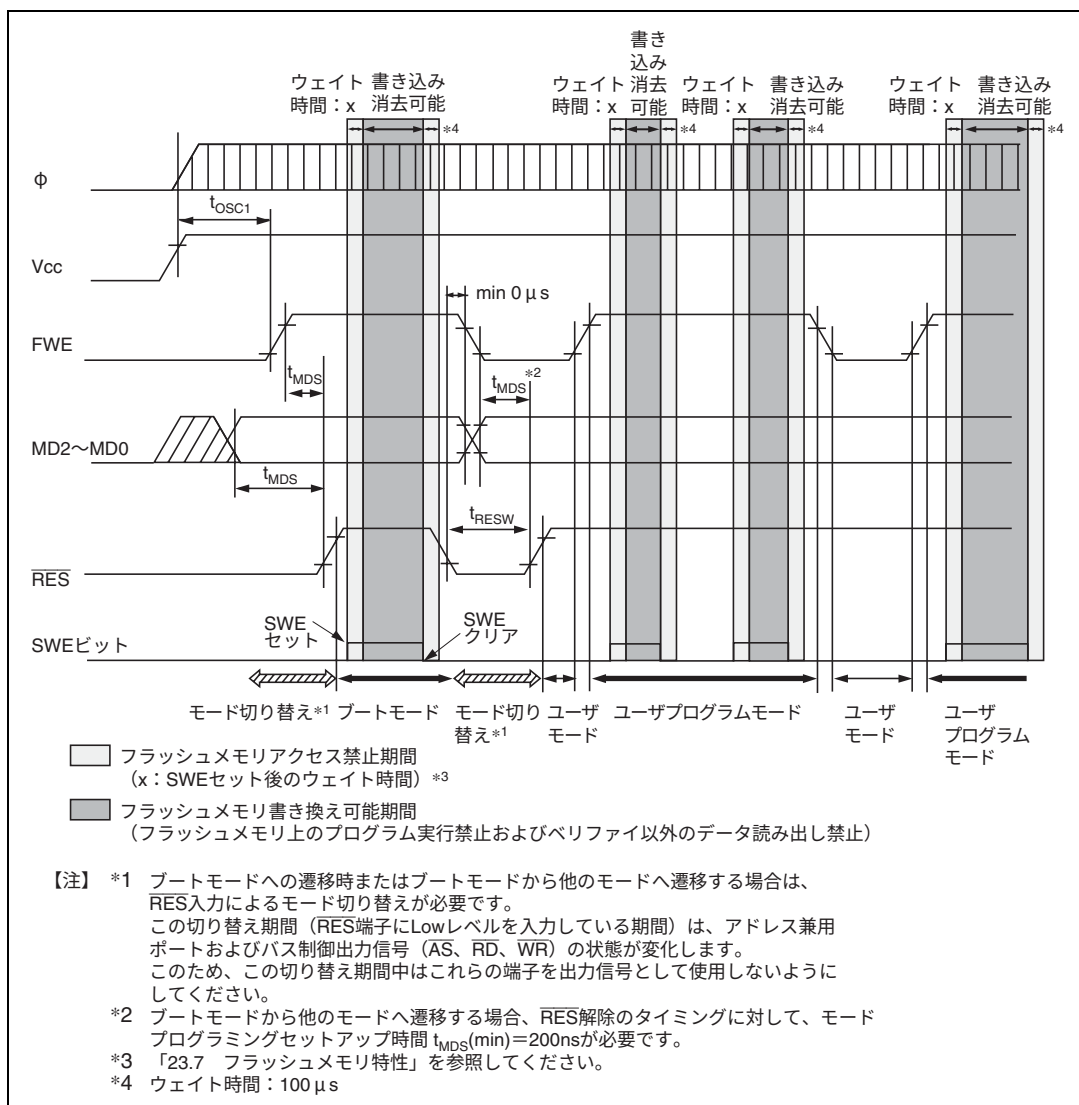


図 20.18 モード遷移タイミング（例：ブートモード↔ユーザプログラムモード）

21. クロック発振器

21.1 概要

本 LSI は、クロック発振器 (CPG: Clock Pulse Generator) を内蔵しており、システムクロック (ϕ)、バスマスタクロック、および内部クロックを生成します。

クロック発振器は、発振器、PLL (Phase Locked loop) 回路、クロック選択回路中速クロック分周器、バスマスタクロック選択回路、サブクロック発振器、波形形成回路から構成されます。CPG 内部の PLL 回路により周波数を変更できます。周波数変更は、システムクロックコントロールレジスタ (SCKCR) とローパワーコントロールレジスタ (LPWRCR) の設定により、ソフトウェアで行います。

21.1.1 ブロック図

クロック発振器のブロック図を図 21.1 に示します。

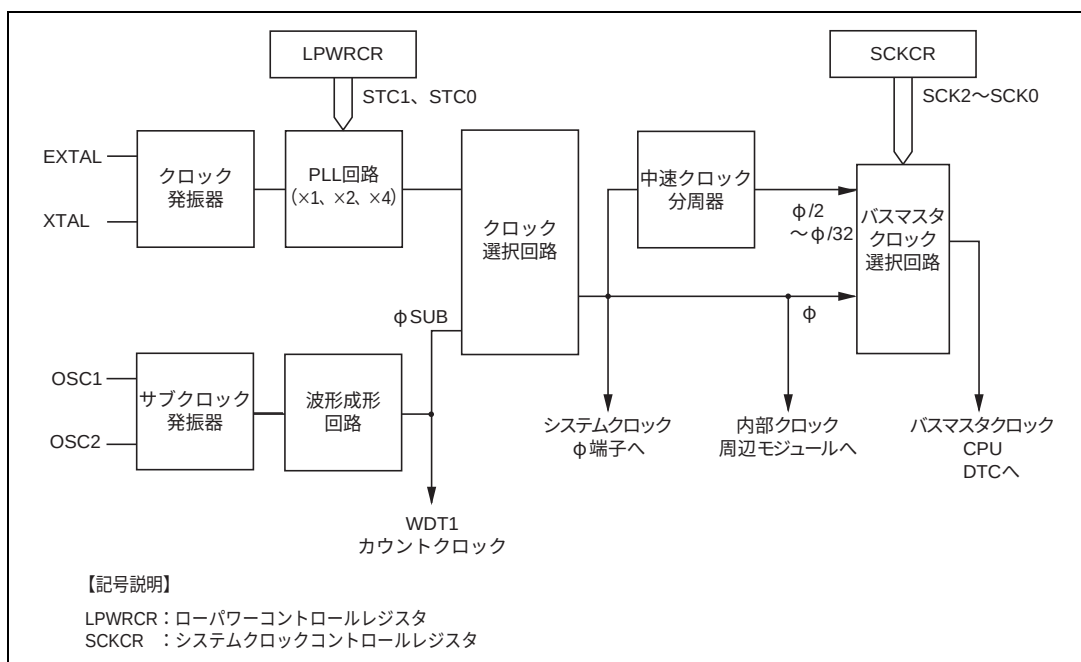


図 21.1 クロック発振器のブロック図

21.1.2 レジスタ構成

クロック発振器は、SCKCR、LPWRCRで制御されます。レジスタ構成を表 21.1 に示します。

表 21.1 レジスタ構成

名 称	略称	R/W	初期値	アドレス*
システムクロックコントロールレジスタ	SCKCR	R/W	H'00	H'FDE6
ローパワーコントロールレジスタ	LPWRCR	R/W	H'00	H'FDEC

【注】 * アドレスの下位 16 ビットを示しています。

21.2 各レジスタの説明

21.2.1 システムクロックコントロールレジスタ（SCKCR）

ビット：	7	6	5	4	3	2	1	0
	PSTOP	—	—	—	STCS	SCK2	SCK1	SCK0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	—	—	—	R/W	R/W	R/W	R/W

SCKCR は 8 ビットのリード／ライト可能なレジスタで、 ϕ クロック出力、PLL 回路の周波数通倍率変更時の動作の選択、中速モードの制御を行います。

SCKCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7： ϕ クロック出力禁止（PSTOP）

ϕ 出力を制御します。

ビット 7	説 明			
PSTOP	高速モード、 中速モード、 サブアクティブ モード	スリープモード、 サブスリープモード	ソフトウェア スタンバイモード、 ウォッチモード、 直接遷移	ハードウェア スタンバイモード
0	ϕ 出力（初期値）	ϕ 出力	High レベル固定	ハイインピーダンス
1	High レベル固定	High レベル固定	High レベル固定	ハイインピーダンス

ビット 6～4：リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

ビット 3：周波数通倍率切り替えモード選択（STCS）

STCS は PLL 回路の周波数通倍率変更時の動作を選択します。

ビット 3	説 明
STCS	
0	指定した通倍率は、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモードからの復帰後に有効 (初期値)
1	指定した通倍率は、STC ビットの書き換え直後に有効

ビット 2～0：システムクロックセレクト 2～0（SCK2～ SCK0）

バスマスタのクロックを選択します。

ビット 2	ビット 1	ビット 0	説 明
SCK2	SCK1	SCK0	
0	0	0	バスマスタは高速モード (初期値)
		1	中速クロックは $\phi/2$
	1	0	中速クロックは $\phi/4$
		1	中速クロックは $\phi/8$
1	0	0	中速クロックは $\phi/16$
		1	中速クロックは $\phi/32$
	1	—	—

21.2.2 ローパワーコントロールレジスタ（LPWRCR）

ビット：	7	6	5	4	3	2	1	0
	DTON	LSON	NESEL	SUBSTP	RFCUT	—	STC1	STC0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

LPWRCR は 8 ビットのリード／ライト可能なレジスタで、低消費電力モードの制御を行います。

ここでは、ビット 1、0 についてのみ説明します。その他のビットの詳細については「22.2.3 ローパワーコントロールレジスタ（LPWRCR）」を参照してください。

LPWRCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 1、0：周波数通倍率（STC1、STC0）

STC は PLL 回路の周波数通倍率を指定します。

ビット 1	ビット 0	説 明	
STC1	STC0		
0	0	×1	(初期値)
	1	×2	
1	0	×4	
	1	設定禁止	

【注】 通倍前後のクロック周波数は、本 LSI の動作周波数範囲内になるように設定してください。

21.3 発振器

クロックの供給は、水晶発振器を使用します。この場合、入力するクロックは 4MHz から 20MHz を使用してください。

21.3.1 水晶発振子を接続する方法

(1) 回路構成

水晶発振子を接続する場合の接続例を図 21.2 に示します。ダンピング抵抗 R_d は、表 21.2 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

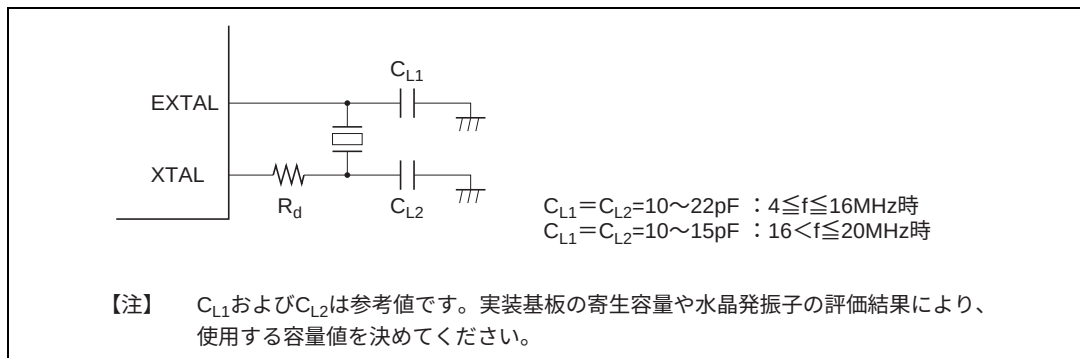


図 21.2 水晶発振子の接続例

表 21.2 ダンピング抵抗値

周波数 (MHz)	4	8	12	16	20
R_d (Ω)	500	200	0	0	0

(2) 水晶発振子

図 21.3 に水晶発振子の等価回路を示します。水晶発振子は表 21.3 に示す特性のものを使用してください。

水晶発振子の周波数は、20MHz 以下の周波数のものを使用してください。

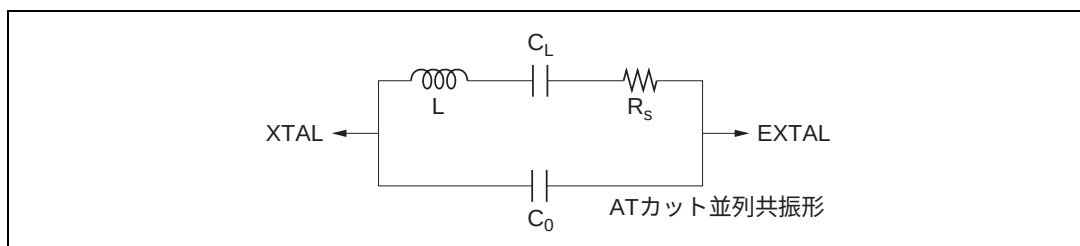


図 21.3 水晶発振子の等価回路

表 21.3 水晶発振子の特性

周波数 (MHz)	4	8	12	16	20
$R_s \text{ max } (\Omega)$	120	80	60	50	40
$C_0 \text{ max } (\text{pF})$	7				

(3) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くに信号線を通させないでください (図 21.4)。誘導により正しい発振ができなくなる場合があります。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。

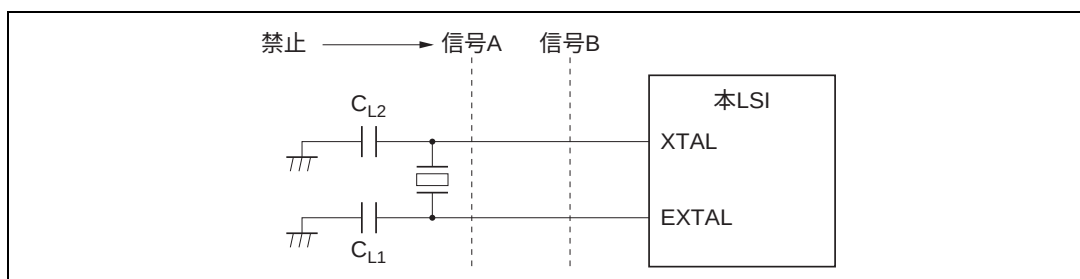


図 21.4 発振回路部のボード設計に関する注意事項

PLL 回りの外部回路として、下記のような外部回路を推奨します。

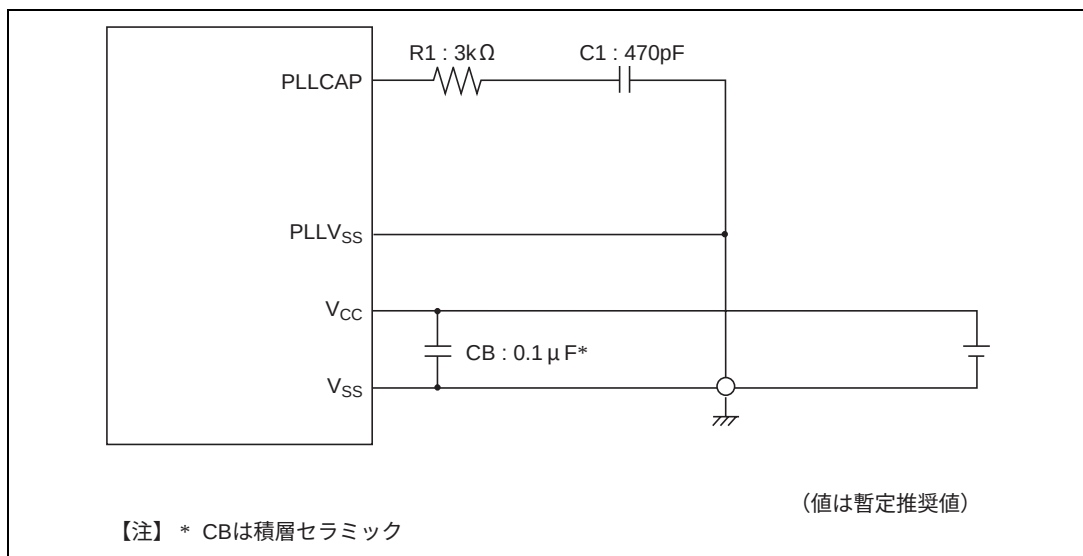


図 21.5 PLL 発振回路使用上の注意

発振安定用の容量 C1 および抵抗 R1 は、PLLCAP 端子の近くに置き、他の信号線と交差させないでください。C1 のグラウンドは PLLV_{SS} から供給してください。

さらに、PLLV_{SS} とその他の V_{CC}、V_{SS} とはボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CB を必ず挿入してください。

21.4 PLL 回路

PLL 回路は、発振器からのクロック周波数を 1 倍、2 倍、または 4 倍に通倍する機能を持ちます。通倍率は SCKCR の STC ビットで設定します。このとき、内部クロックの立ち上がりエッジの位相は EXTAL 端子の立ち上がりエッジの位相に一致するように制御されます。通倍前後のクロック周波数は、LSI の動作周波数範囲内になるように設定してください。

PLL 回路の通倍率を変更する場合、SCKCR の STCS ビットの設定により動作が異なります。

STCS=0 (初期値) の場合、ソフトウェアスタンバイモード、ウォッチモード、またはサブアクティブモードへ遷移後に設定が有効になります。SBYCR の STS2~STS0 ビットの設定により、遷移時間のカウントを行います。

- [1] 初期状態では、PLL回路の通倍率は1になっています。
- [2] STS2~STS0ビットに、指定された遷移時間になるように値をセットします。
- [3] STC1、STC0を目的とする値に設定し、ソフトウェアスタンバイモード、ウォッチモードまたはサブアクティブモードに遷移します。
- [4] クロック発振器が停止し、設定したSTC1、STC0の値が有効となります。
- [5] ソフトウェアスタンバイモード、ウォッチモードまたはサブアクティブモードを解除し、STS2~STS0の設定に従い、遷移時間が確保されます。
- [6] 設定した遷移時間の経過後、目的とする通倍率で本LSIでは動作を再開します。

なお、[1] のソフトウェアスタンバイモードへ遷移する SLEEP 命令に PC ブレークを設定すると、ソフトウェアスタンバイモードに遷移し、発振安定時間を経てブレーク例外処理が実行されます。この場合、RTE 命令実行後に SLEEP 命令の次の命令を実行します。

STCS=1 の場合、STC1、STC0 ビットの書き換え直後に、変更後の通倍率で LSI は動作します。

21.5 中速クロック分周器

中速クロック分周器は、システムクロックを分周し、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ を生成します。

21.6 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタに供給するクロックを、SCKCR の SCK2～SCK0 ビットに従って、システムクロック (ϕ)、または中速クロック ($\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$) から選択します。

21.7 サブクロック発振器

(1) 32.768kHz 水晶発振子を接続する方法

サブクロック分周器へクロックを供給するには、図 21.6 に示すように 32.768kHz の水晶発振子を接続します。接続する場合の注意については、「21.3.1 (3) ボード設計上の注意」と同様です。

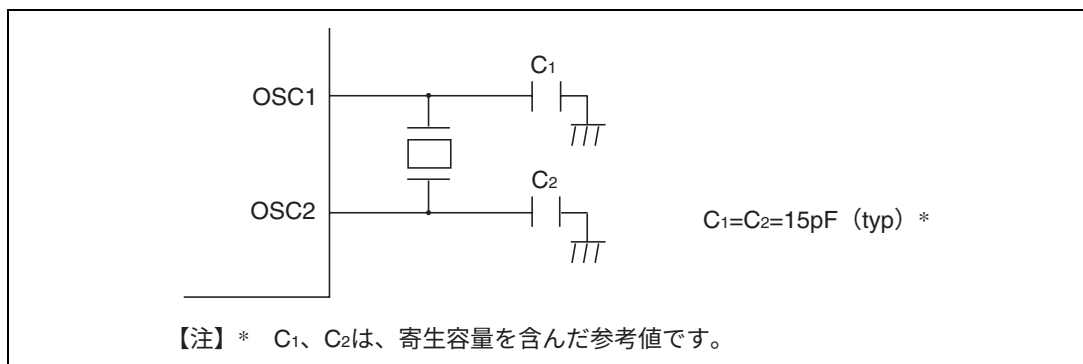


図 21.6 32.768kHz 水晶発振子の接続例

図 21.7 に 32.768kHz 水晶発振子の等価回路を示します。

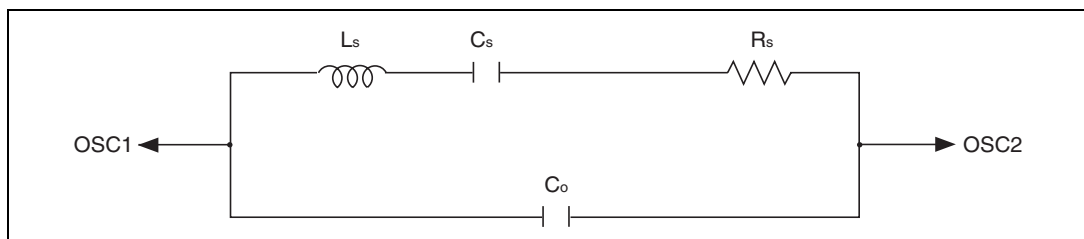


図 21.7 32.768kHz 水晶発振子の等価回路

(2) サブクロックを必要としない場合の端子処理

サブクロックを必要としない場合には、図 21.8 に示すように OSC1 端子を Vss に接続し、OSC2 端子をオープンとしてください。

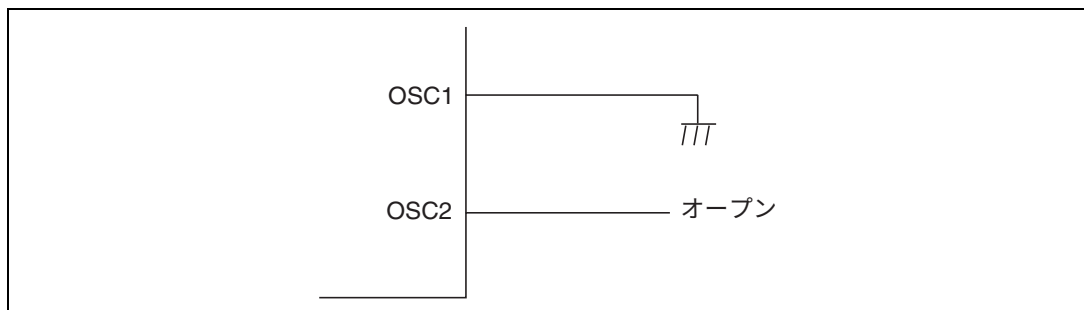


図 21.8 サブクロックを必要としない場合の端子処理

21.8 サブクロック波形成形回路

OSC1 端子から入力されたサブクロックのノイズ除去のため、φクロックの分周クロックでサンプリングします。サンプリング周波数は、LPWRCR の NESEL ビットで設定します。詳細は、「22.2.3 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

サブアクティブモード、サブスリープモード、およびウォッチモードでは、サンプリングされません。

21.9 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないような設計を行ってください。

22. 低消費電力状態

22.1 概要

本 LSI には、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、

- (1) 高速モード
- (2) 中速モード
- (3) サブアクティブモード
- (4) スリープモード
- (5) サブスリープモード
- (6) ウォッチモード
- (7) モジュールストップモード
- (8) ソフトウェアスタンバイモード
- (9) ハードウェアスタンバイモード

があり、(2) ～ (9) が低消費電力状態です。スリープモード、サブスリープモードは CPU の状態、中速モードは CPU とバスマスタの状態、サブアクティブモードは CPU とバスマスタ、内蔵周辺機能の状態、モジュールストップモードは内蔵周辺機能(CPU 以外のバスマスタも含む)の状態です。これらは一部組み合わせて設定することができます。

リセット後は、高速モード、DTC を除くモジュールストップモードになっています。

表 22.1 に各モードでの LSI の内部状態、表 22.2 に低消費電力モード遷移条件を示します。

また、図 22.1 にモード遷移図を示します。

表 22.1 各モードでの LSI の内部状態

機能		高速	中速	スリープ	モジュール ストップ	ウォッチ	サブ アクティブ	サブ スリープ	ソフト ウェア スタンバイ	ハード ウェア スタンバイ
システムクロック 発振器		動作	動作	動作	動作	停止	停止	停止	停止	停止
サブクロック発振器		動作	動作	動作	動作	動作	動作	動作	動作	停止
CPU	命令 レジスタ	動作	中速動作	停止 (保持)	高/中速 動作	停止 (保持)	サブ クロック 動作	停止 (保持)	停止 (保持)	停止 (不定)
外部 割り込み	NMI IRQ0~5	動作	動作	動作	動作	動作	動作	動作	動作	停止
周辺機能	WDT1	動作	動作	動作	動作	サブ クロック 動作	サブ クロック 動作	サブ クロック 動作	停止 (保持)	停止 (リセット)
	WDT0	動作	動作	動作	動作	停止 (保持)	サブ クロック 動作	サブ クロック 動作	停止 (保持)	停止 (リセット)
	DTC	動作	中速動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	PBC	動作	中速動作	動作	停止 (保持)	停止 (保持)	サブ クロック 動作	停止 (保持)	停止 (保持)	停止 (リセット)
	TPU	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	PPG	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	SCI0	動作	動作	動作	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)
	SCI1	動作	動作	動作	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)
	PWM	動作	動作	動作	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)
	HCAN	動作	動作	動作	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)
	A/D	動作	動作	動作	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)
	LCD	動作	動作	動作	停止 (保持)	動作*	動作*	動作*	停止 (保持)	停止 (リセット)
	RAM	動作	動作	動作 (DTC)	動作	保持	動作	保持	保持	保持
	I/O	動作	動作	動作	動作	保持	動作	保持	保持	ハイインピ ーダンス

【注】 停止（保持）は、内部レジスタ値保持。内部状態は動作中断。

停止（リセット）は、内部レジスタ値および内部状態を初期化。

モジュールストップモード時は、停止設定をしたモジュールのみ停止（リセットまたは保持）。

* LCD をウォッチ、サブアクティブ、サブスリープモードで動作させる場合は、使用クロックにサブクロックを選択してください。

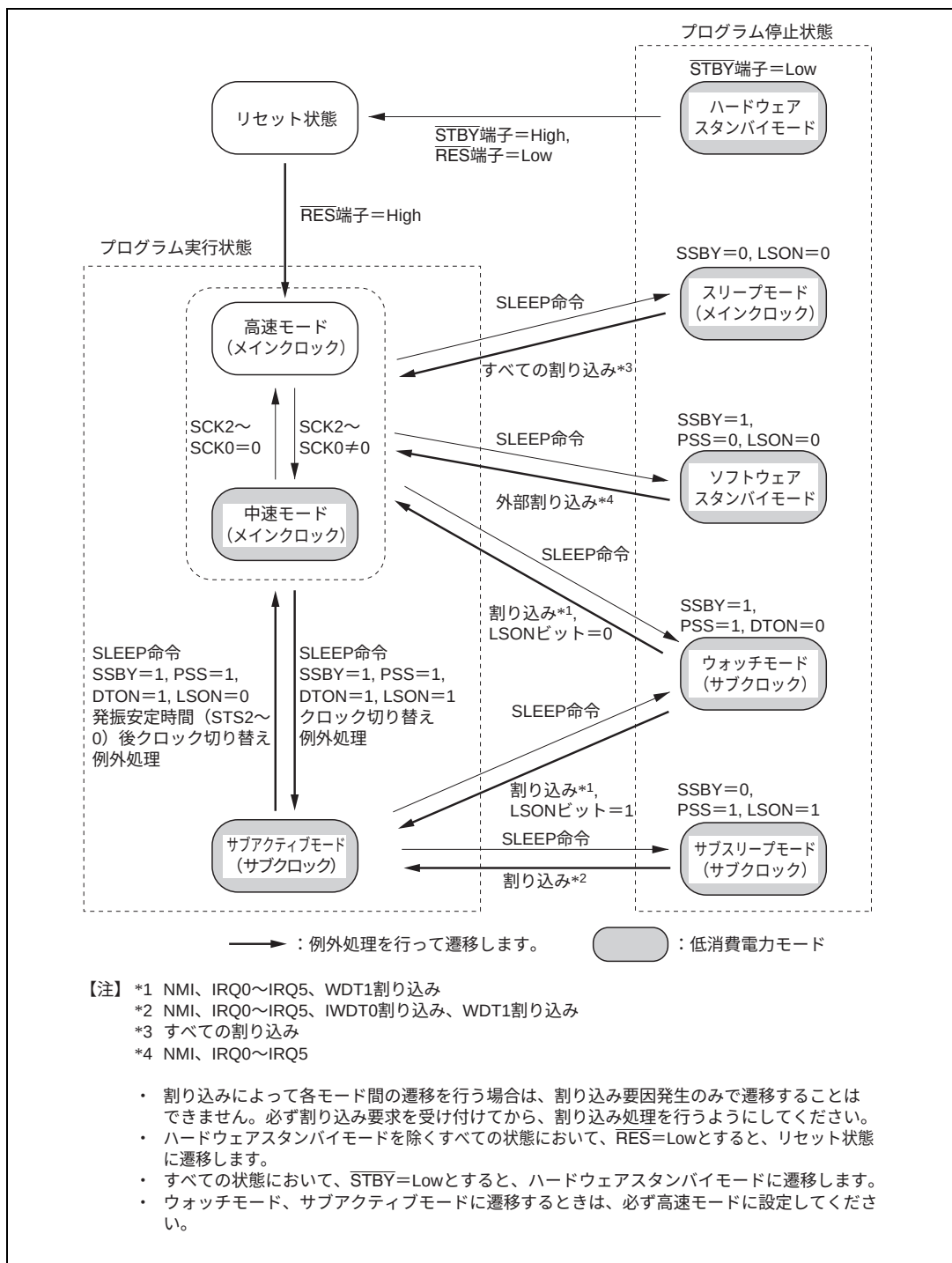


図 22.1 モード移行図

表 22.2 低消費電力モード遷移条件

遷移前の状態	遷移時の制御ビット状態				SLEEP 命令による 遷移後の状態	割り込みによる 復帰後の状態
	SSBY	PSS	LSON	DTON		
高速／中速	0	*	0	*	スリープ	高速／中速
	0	*	1	*	—	—
	1	0	0	*	ソフトウェアスタンバイ	高速／中速
	1	0	1	*	—	—
	1	1	0	0	ウォッチ	高速
	1	1	1	0	ウォッチ	サブアクティブ
	1	1	0	1	—	—
	1	1	1	1	サブアクティブ	—
サブアクティブ	0	0	*	*	—	—
	0	1	0	*	—	—
	0	1	1	*	サブスリープ	サブアクティブ
	1	0	*	*	—	—
	1	1	0	0	ウォッチ	高速
	1	1	1	0	ウォッチ	サブアクティブ
	1	1	0	1	高速	—
	1	1	1	1	—	—

* : Don't care

— : 設定しないでください。

22.1.1 レジスタ構成

低消費電力状態は、SBYCR、SCKCR、LPWRCR、TCSR（WDT1）、MSTPCR で制御されます。レジスタ構成を表 22.3 に示します。

表 22.3 レジスタ構成

名 称	略称	R/W	初期値	アドレス*1
スタンバイコントロールレジスタ	SBYCR	R/W	H'58	H'FDE4
システムクロックコントロールレジスタ	SCKCR	R/W	H'00	H'FDE6
ローパワーコントロールレジスタ	LPWRCR	R/W	H'00	H'FDEC
タイマコントロール／ステータスレジスタ (WDT1)	TCSR1	R/W	H'00	H'FFA2
モジュールストップコントロールレジスタ A～D	MSTPCRA	R/W	H'3F	H'FDE8
	MSTPCRB	R/W	H'FF	H'FDE9
	MSTPCRC	R/W	H'FF	H'FDEA
	MSTPCRD	R/W	B'11*****	H'FC60

【注】 *1 アドレスの下位 16 ビットを示しています。

22.2 各レジスタの説明

22.2.1 スタンバイコントロールレジスタ (SBYCR)

ビット：	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	OPE	—	—	—
初期値：	0	1	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	—	—	—

SBYCR は 8 ビットのリード／ライト可能なレジスタで、低消費電力モードの制御を行います。

SBYCR はリセットまたはハードウェアスタンバイモード時に H'58 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7：ソフトウェアスタンバイ (SSBY)

SLEEP 命令実行による低消費電力遷移時に、他の制御ビットとの組み合わせで動作モードを決定します。

なお、割り込みなどによってモード間遷移をした場合でも SSBY ビットの内容は変わりません。

ビット 7	説 明
SSBY	
0	高速モードおよび中速モードで SLEEP 命令を実行したとき、スリープモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモードに遷移 (初期値)
1	高速モードおよび中速モードで SLEEP 命令を実行したとき、ソフトウェアスタンバイモード、サブアクティブモード、あるいはウォッチモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、ウォッチモード、あるいは高速モードに遷移

ビット 6～4：スタンバイタイムセレクト 2～0 (STS2～STS0)

特定の割り込みや命令によってソフトウェアスタンバイモード、ウォッチモード、サブアクティブモードを解除し、高速モードあるいは中速モードに遷移する場合に、クロックが安定するまで MCU が待機する時間を選択します。水晶発振の場合、表 22.5 を参照し、動作周波数に応じて待機時間が 8ms (発振安定時間) 以上となるように選択してください。外部クロックの場合、任意の選択が可能です。

ビット 6	ビット 5	ビット 4	説 明
STS2	STS1	STS0	
0	0	0	待機時間= 8192 ステート
		1	待機時間= 16384 ステート
	1	0	待機時間= 32768 ステート
		1	待機時間= 65536 ステート
1	0	0	待機時間=131072 ステート
		1	待機時間=262144 ステート (初期値)
	1	0	リザーブ
		1	待機時間= 16 ステート

ビット 3：出力ポートイネーブル (OPE)

ソフトウェアスタンバイモード、ウォッチモード、および直接遷移時にアドレスバス、バス制御信号 ($\overline{AS}$ 、 $\overline{RD}$ 、 $\overline{HWR}$ 、 $\overline{LWR}$) の出力を保持するか、ハイインピーダンスにするかを指定します。

ビット 3	説 明
OPE	
0	ソフトウェアスタンバイモード、ウォッチモード、および直接遷移時にアドレスバス、バス制御信号はハイインピーダンス
1	ソフトウェアスタンバイモード、ウォッチモード、および直接遷移時にアドレスバス、バス制御信号は出力状態を保持 (初期値)

ビット 2～0：リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

22.2.2 システムクロックコントロールレジスタ (SCKCR)

ビット：	7	6	5	4	3	2	1	0
	PSTOP	—	—	—	STCS	SCK2	SCK1	SCK0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	—	—	—	R/W	R/W	R/W	R/W

SCKCR は 8 ビットのリード／ライト可能なレジスタで、 ϕ クロック出力の制御、PLL 回路の周波数通倍率変更時の動作の選択、中速モードの制御を行います。

SCKCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7：φクロック出力禁止（PSTOP）

対応するポートの DDR との組み合わせにより、φ出力を制御します。詳細は「22.12 φクロック出力禁止機能」を参照してください。

ビット 7	説 明			
PSTOP	高速モード、 中速モード、 サブアクティブ モード	スリープモード、 サブスリープモード	ソフトウェア スタンバイモード、 ウォッチモード、 直接遷移	ハードウェア スタンバイモード
0	φ出力（初期値）	φ出力	High レベル固定	ハイインピーダンス
1	High レベル固定	High レベル固定	High レベル固定	ハイインピーダンス

ビット 6～4：リザーブビット

リードすると常に 0 が読み出されます。ライトは無効です。

ビット 3：周波数通倍率切り替えモード選択（STCS）

STCS は PLL 回路の周波数通倍率変更時の動作を選択します。

ビット 3	説 明
STCS	
0	指定した通倍率は、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモードに遷移後に有効（初期値）
1	指定した通倍率は、STC ビットの書き換え直後に有効

ビット 2～0：システムクロックセレクト 2～0（SCK2～SCK0）

高速モード、中速モード、およびサブアクティブモードでのバスマスタのクロックを選択します。

なお、ウォッチモード、サブアクティブモードに遷移して動作させる場合には、SCK2～SCK0 すべて 0 に設定してください。

ビット 2	ビット 1	ビット 0	説 明
SCK2	SCK1	SCK0	
0	0	0	バスマスタは高速モード（初期値）
		1	中速クロックはφ／2
	1	0	中速クロックはφ／4
		1	中速クロックはφ／8
1	0	0	中速クロックはφ／16
		1	中速クロックはφ／32
	1	—	—

22.2.3 ローパワーコントロールレジスタ (LPWRCR)

ビット：	7	6	5	4	3	2	1	0
	DTON	LSON	NESEL	SUBSTP	RFCUT	—	STC1	STC0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

LPWRCR は 8 ビットのリード／ライト可能なレジスタで、低消費電力モードの制御を行います。

LPWRCR はリセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。ここでは、ビット 7～2 についてのみ説明します。その他のビットについては、「21.2.2 ローパワーコントロールレジスタ (LPWRCR)」を参照してください。

ビット 7：ダイレクトトランスファオンフラグ (DTON)

SLEEP 命令実行による低消費電力遷移時に、高速モード、中速モードとサブアクティブモードの各モード間を直接遷移するか否かを指定します。SLEEP 命令実行後に遷移する動作モードは、本ビット以外の制御ビットの組み合わせで決定します。

ビット 7	説明
DTON	
0	- 高速モード、あるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移 - サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモード、またはウォッチモードに遷移 (初期値)
1	- 高速モード、あるいは中速モードで SLEEP 命令を実行したとき、サブアクティブモード*に直接遷移、またはスリープモード、ソフトウェアスタンバイモードに遷移 - サブアクティブモードで SLEEP 命令を実行したとき、高速モードに直接遷移、またはサブスリープモードに遷移

【注】 * ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

ビット 6：ロースピードオンフラグ (LSON)

SLEEP 命令実行による低消費電力遷移時に、他の制御ビットとの組み合わせで動作モードを決定します。また、ウォッチモードを解除時に、高速モードに遷移するかサブアクティブモードに遷移するかを制御します。

ビット 6	説 明
LSON	
0	- 高速モード、あるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移 - サブアクティブモードで SLEEP 命令を実行したとき、ウォッチモードに遷移、または高速モードに直接遷移 - ウォッチモード解除後に高速モードに遷移 (初期値)
1	- 高速モードで SLEEP 命令を実行したとき、ウォッチモード、またはサブアクティブモードに遷移 - サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモード、またはウォッチモードに遷移 - ウォッチモード解除後にサブアクティブモードに遷移

【注】 * ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

ビット 5：ノイズ除去サンプリング周波数選択 (NESEL)

サブクロック発振器より生成されたサブクロック (ϕ SUB) を、システムクロック発振器より生成されたクロック (ϕ) により、サンプリングする周波数を選択します。 $\phi = 5\text{MHz}$ 以上のときは、0 をセットしてください。

サブアクティブ、サブスリープ、ウォッチモード時、本設定は無効となります。

ビット 5	説 明
NESEL	
0	ϕ の 32 分周クロックでサンプリング (初期値)
1	ϕ の 4 分周クロックでサンプリング

ビット 4：サブクロックイネーブル (SUBSTP)

サブクロック生成の許可または禁止を制御します。

ビット 4	説 明
SUBSTP	
0	サブクロック生成を許可 (初期値)
1	サブクロック生成を禁止

ビット 3：発振回路帰環抵抗制御ビット (RFCUT)

メインクロック発振回路に内蔵されている帰環抵抗の ON/OFF を制御します。

ビット 3	説 明
RFCUT	
0	メインクロック発振時帰環抵抗 ON、メインクロック発振停止時帰環抵抗 OFF (初期値)
1	帰環抵抗を OFF

ビット 2：リザーブビット

ライト時には 0 を書き込んでください。

22.2.4 タイマコントロール／ステータスレジスタ (TCSR)

■WDT1 の TCSR

ビット：	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	PSS	RST/NMI	CKS2	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

TCSR は、リード／ライト可能な 8 ビットのレジスタで、WDT1 の TCNT に入力するクロック、モードの選択などを行います。

ここでは、ビット 4 についてのみ説明します。その他のビットの詳細については「12.2.2 タイマコントロール／ステータスレジスタ (TCSR)」を参照してください。

TCSR は、リセットまたはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット 4：プリスケラセレクト (PSS)

WDT1 の TCNT の入力クロックソースを選択します。

また、低消費電力モード遷移時の動作を制御します。SLEEP 命令実行後に遷移する動作モードは、本ビット以外の制御ビットとの組み合わせで決定します。

詳細は、「12.2.2 タイマコントロール／ステータスレジスタ (TCSR)」のクロックセレクト 2～0 の説明および本章を参照してください。

ビット 4	説明
PSS	
0	- TCNT は ϕ ベースのプリスケラ (PSM) の分周クロックをカウント - 高速モードあるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ソフトウェアスタンバイモードに遷移 (初期値)
1	- TCNT は ϕ_{SUB} ベースのプリスケラ (PSS) の分周クロックをカウント - 高速モードあるいは中速モードで SLEEP 命令を実行したとき、スリープモード、ウォッチモード*、サブアクティブモード*に遷移 - サブアクティブモードで SLEEP 命令を実行したとき、サブスリープモード、ウォッチモード、高速モードに遷移

【注】 * ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

22.2.5 モジュールストップコントロールレジスタ (MSTPCR)

MSTPCRA

ビット：	7	6	5	4	3	2	1	0
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値：	0	0	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRB

ビット：	7	6	5	4	3	2	1	0
	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRC

ビット：	7	6	5	4	3	2	1	0
	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MSTPCRD

ビット：	7	6	5	4	3	2	1	0
	MSTPD7	MSTPD6	MSTPD5	MSTPD4	MSTPD3	MSTPD2	MSTPD1	MSTPD0
初期値：	1	1	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	—	—	—	—	—	—

MSTPCR は 8 ビットのリード／ライト可能な 4 本のレジスタで、モジュールストップモードの制御を行います。

MSTPCRA～C は、リセットまたはハードウェアスタンバイモード時に H'3FFFFFF に、MSTPCRD は、リセットまたはハードウェアスタンバイモード時に B'11*****に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

MSTPCRA ビット 7～0、MSTPCRB ビット 7、6、4～0、MSTPCRC ビット 7、5～0、MSTPCRD ビット 7、6：

モジュールストップ (MSTPA7～0、MSTPB7、6、4～0、MSTPC7、5～0、MSTPD7、6)

モジュールストップモードを指定します。内蔵周辺機能の選択方法は表 22.4 を参照してください。

MSTPA7～0、MSTPB7、6、4～0、 MSTPC7、5～0、MSTPD7、6	説 明
0	モジュールストップモード解除 (MSTPA7、MSTPA6 の初期値)
1	モジュールストップモード設定 (MSTPA5～0、MSTPB7～0、MSTPC7～0、MSTPD7、6 の初期値)

22.3 中速モード

高速モード時に SCKCR の SCK2～SCK0 ビットを 1 にセットすると、そのバスサイクルの終了時点で中速モードになります。中速モードでは、CPU は、SCK2～SCK0 ビットで指定した動作クロック ($\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$) で動作します。CPU 以外のバスマスタ (DTC) も中速モードで動作します。

バスマスタ以外の内蔵周辺機能は常に高速クロック (ϕ) で動作します。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。たとえば、動作クロックとして $\phi/4$ を選択した場合、内蔵メモリは 4 ステートアクセス、内部 I/O レジスタは 8 ステートアクセスになります。

中速モードの解除は、SCK2～SCK0 ビットをいずれも 0 にクリアすることによって行われ、そのバスサイクルの終了時点で高速モードに遷移し、中速モードは解除されます。

SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=0 の状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。

また、SSBY ビット=1、LPWRCR の LSON ビット=0、TCSR (WDT1) の PSS ビット=0 の状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されると中速モードに復帰します。

RES を Low レベルにするとリセット状態に遷移し、中速モードは解除されます。ウォッチドッグタイマのオーバフローによるリセットによっても同様です。

STBY 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

中速モードへの遷移、解除のタイミングを図 22.2 に示します。

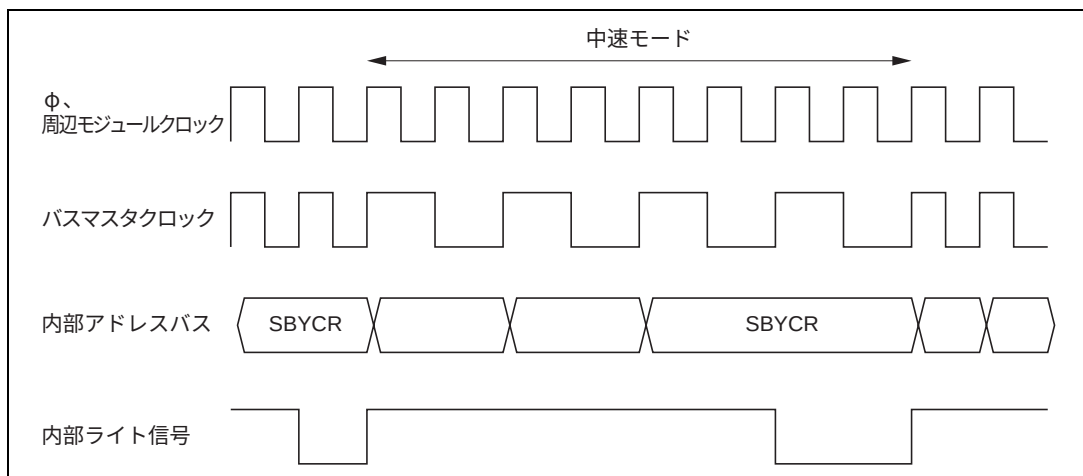


図 22.2 中速モードの遷移・解除タイミング

22.4 スリープモード

22.4.1 スリープモード

SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=0 の状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

22.4.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、 $\overline{\text{RES}}$ または $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI 以外の割り込みが CPU でマスクされている場合には、スリープモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

22.5 モジュールストップモード

22.5.1 モジュールストップモード

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を継続します。

MSTP ビットと内蔵周辺機能の対応を表 22.4 に示します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、SCI、モータコントロール PWM、A/D 変換器、HCAN を除くモジュールの内部状態が保持されています。

リセット解除後は、DTC を除くすべてのモジュールがモジュールストップモードになっています。モジュールストップモードに設定されたモジュールのレジスタは、リード／ライトできません。

表 22.4 MSTP ビットと内蔵周辺機能の対応

レジスタ名	ビット名	モジュール
MSTPCRA	MSTPA6	データトランスファコントローラ (DTC)
	MSTPA5	16 ビットタイマパルスユニット (TPU)
	MSTPA3	プログラマブルパルスジェネレータ (PPG)
	MSTPA1	A/D 変換器
MSTPCRB	MSTPB7	シリアルコミュニケーションインタフェース 0 (SCI0)
	MSTPB6	シリアルコミュニケーションインタフェース 1 (SCI1)
	MSTPB5	シリアルコミュニケーションインタフェース 2 (SCI2) (H8S/2648、H8S/2648R、H8S/2647 のみ)
MSTPCRC	MSTPC4	PC ブレークコントローラ (PBC)
	MSTPC3	コントローラエリアネットワーク (HCAN)
MSTPCRD	MSTPD7	モータコントロール PWM (PWM)
	MSTPD6	LCD コントローラ／ドライバ

【注】 レジスタの空きビットはリザーブビットです。書き込む値は常に 1 としてください。

22.5.2 使用上の注意

(1) DTC のモジュールストップ

DTC の動作状態によっては、MSTPA7、MSTPA6 ビットは 1 にセットされない場合があります。DTC のモジュールストップモードの設定は、それぞれ起動されない状態で行ってください。

詳細は「第 8 章 データトランスファコントローラ (DTC)」を参照してください。

(2) 内蔵周辺モジュールの割り込み

モジュールストップモードでは、当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールストップとすると、CPU の割り込み要因または DTC の起動要因のクリアができません。

事前に割り込みをディスエーブルにするなどしてからモジュールストップモードとしてください。

(3) MSTPCR のライト

MSTPCR は CPU のみでライトしてください。

(4) 中速モード時の使用上の制限事項

中速モードで動作中に、HCAN、LCD コントローラ、モータコントロール PWM タイマのレジスタに対して書き込みをしないでください。

22.6 ソフトウェアスタンバイモード

22.6.1 ソフトウェアスタンバイモード

SBYCR の SSBY ビット=1、LPWRCR の LSON ビット=0、TCSR (WDT1) の PSS=0 の状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの内容と内蔵 RAM のデータ、および内蔵周辺機能 (SCI、A/D 変換器、モータコントロール PWM、HCAN を除く) と I/O ポートの状態は保持されます。アドレスバス、バス制御信号は、ハイインピーダンス状態となります。

本モードでは、発振器が停止するため、消費電力は著しく低減されます。

22.6.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み (NMI 端子、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ5}}$)、 $\overline{\text{RES}}$ または $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割り込みによる解除

NMI、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ5}}$ 割り込み要求信号が入力されると、クロックが発振を開始し、SBYCR の STS2 $\sim$ STS0 ビットによって設定された時間が経過した後、安定したクロックが本 LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

なお、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ5}}$ 割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビットを 1 にセットし、かつ $\overline{\text{IRQ0}}\sim\overline{\text{IRQ5}}$ 割り込みより高い優先順位の割り込みが発生しないようにしてください。なお、CPU 側でマスクした場合、または DTC の起動要因に設定した場合には、ソフトウェアスタンバイモードは解除できません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本 LSI 全体にクロックが供給されます。このとき $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

22.6.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR の STS2～STS0 ビットの設定は、以下のようにしてください。

(1) 水晶発振の場合

待機時間が 8ms（発振安定時間）以上となるように STS2～STS0 ビットを設定してください。

表 22.5 に、動作周波数と STS2～STS0 ビットの設定に対する待機時間を示します。

表 22.5 発振安定時間の設定

STS 2	STS 1	STS 0	待機時間	20 MHz	16 MHz	12 MHz	10 MHz	8 MHz	6 MHz	4 MHz	単位
0	0	0	8192 ステート	0.41	0.51	0.65	0.8	1.0	1.3	2.0	ms
		1	16384 ステート	0.82	1.0	1.3	1.6	2.0	2.7	4.1	
	1	0	32768 ステート	1.6	2.0	2.7	3.3	4.1	5.5	8.2	
		1	65536 ステート	3.3	4.1	5.5	6.6	8.2	10.9	16.4	
1	0	0	131072 ステート	6.6	8.2	10.9	13.1	16.4	21.8	32.8	
		1	262144 ステート	13.1	16.4	21.8	26.2	32.8	43.6	65.6	
	1	0	リザーブ	—	—	—	—	—	—	—	
		1	16 ステート*	0.8	1.0	1.3	1.6	2.0	1.7	4.0	

 : 推奨設定時間

【注】 * 本設定は使用しないでください。

(2) 外部クロックの場合

PLL 回路の安定時間が必要になります。2ms 以上となるように待機時間を設定してください。

22.6.4 ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 22.3 に示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている（立ち下がりエッジ指定）状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット（立ち上がりエッジ指定）、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

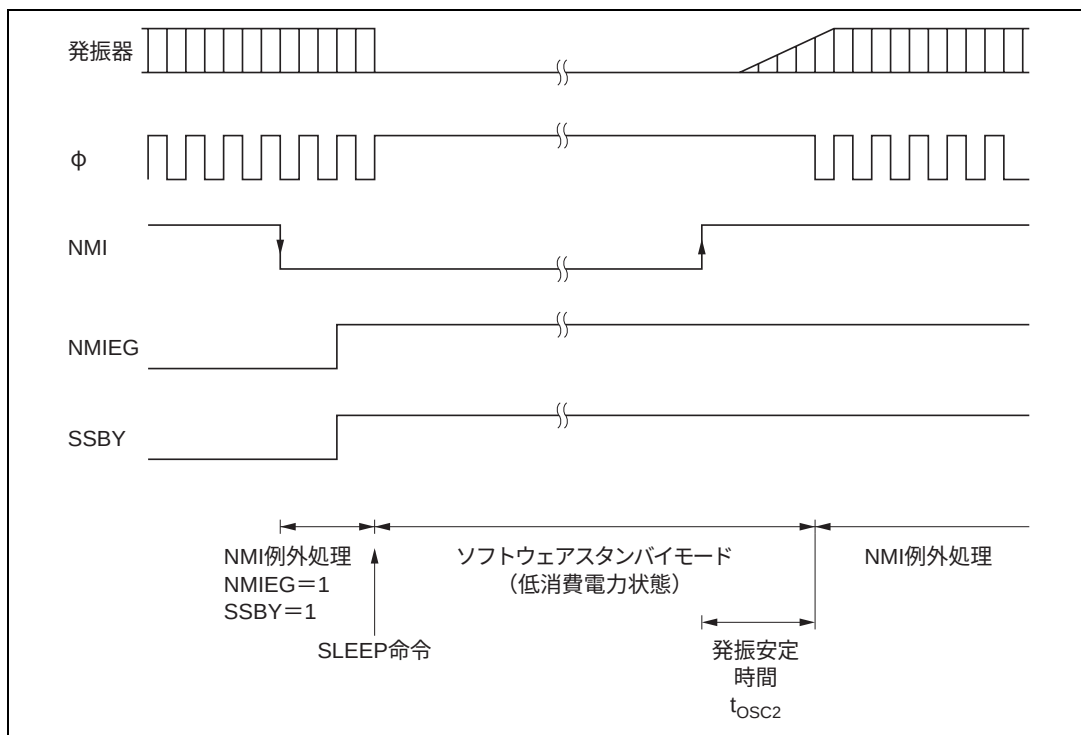


図 22.3 ソフトウェアスタンバイモードの応用例

22.6.5 使用上の注意

(1) I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。また、OPE ビットを 1 にセットした場合、アドレスバス、バス制御信号の出力も保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

(2) 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

(3) ライトデータバッファ機能

ライトデータバッファ機能とソフトウェアスタンバイモードは同時には使用できません。

ライトデータバッファ機能を使用している場合、ソフトウェアスタンバイモードに遷移する前に BCRL の WDBE ビットを 0 にクリアしてライトデータバッファ機能を解除してください。さらに外部アドレスをリードするなどして外部ライトが終了したことを確認してから SLEEP 命令を実行し、ソフトウェアスタンバイモードに遷移してください。

ライトデータバッファ機能については「7.7 ライトデータバッファ機能」を参照してください。

22.7 ハードウェアスタンバイモード

22.7.1 ハードウェアスタンバイモード

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。

また、ハードウェアスタンバイモード中には、モード端子 (MD2~MD0) の状態を変化させないでください。

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子によって行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで (水晶発振の場合、発振安定時間 8ms 以上) Low レベルを保持してください。その後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

22.7.2 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 22.4 に示します。

$\overline{\text{RES}}$ 端子を Low レベルにした後、 $\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$ 端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

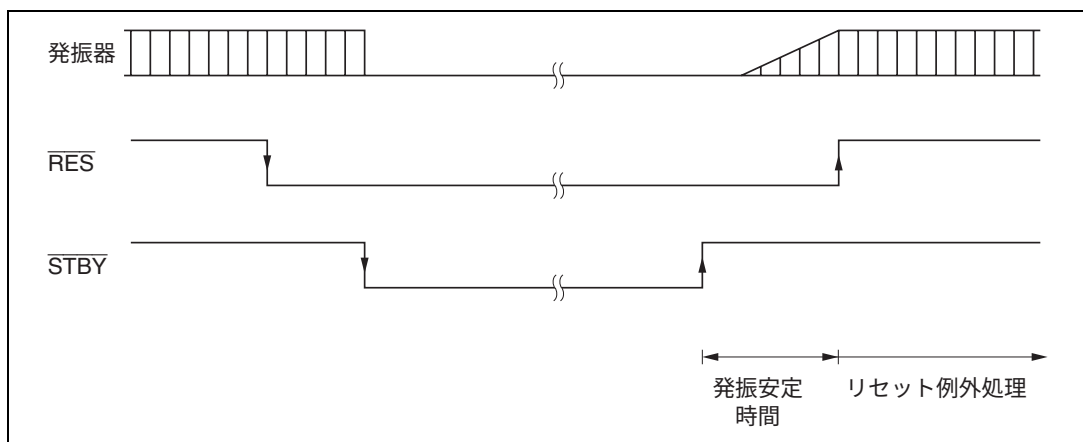


図 22.4 ハードウェアスタンバイモードのタイミング

22.8 ウォッチモード

22.8.1 ウォッチモード

高速モードあるいはサブアクティブモードにおいて、SBYCR の SSBY ビット=1、LPWRCR の DTON ビット=0、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行すると、CPU はウォッチモードに遷移します。

ウォッチモード時、CPU は動作を停止します。また、WDT1 以外の周辺機能は動作を停止します。CPU の内部レジスタの内容と内蔵 RAM のデータ、および内蔵周辺機能 (SCI、A/D 変換器モータコントロール PWM、HCAN を除く) と I/O ポートの状態は保持されます。

22.8.2 ウォッチモードの解除

ウォッチモードの解除は、割り込み (WOVI1 割り込み、NMI 端子、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ5}}$)、 $\overline{\text{RES}}$ または $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割り込みによる解除

割り込みが発生すると、ウォッチモードは解除され、LPWRCR の LSON ビット=0 のときは高速モードあるいは中速モードに、LSON ビット=1 のときはサブアクティブモードに遷移します。高速モードに遷移するときは、SBYCR の STS2~STS0 により設定された時間が経過した後、安定したクロックが LSI 全体に供給され、割り込み例外処理を開始します。なお、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ5}}$ 割り込みについては、対応するイネーブルビットが 0 にクリアされている場合、内蔵周辺機能による割り込みについては、割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合、または CPU でマスクされている場合には、ウォッチモードは解除されません。

ウォッチモードから高速モードに遷移するときの発振安定時間の設定は、「22.6.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定」を参照してください。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「22.6.2 ソフトウェアスタンバイモードの解除 (2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

22.8.3 使用上の注意

(1) I/O ポートの状態

ウォッチモードでは、I/O ポートの状態が保持されます。また、OPE ビットを 1 にセットした場合、アドレスバス、バス制御信号の出力も保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

(2) 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

22.9 サブスリープモード

22.9.1 サブスリープモード

サブアクティブモードにおいて、SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=1、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行すると、CPU はサブスリープモードに移ります。

サブスリープモード時、CPU は動作を停止します。また、WDT0、WDT1 以外の周辺機能は動作を停止します。CPU の内部レジスタの内容と内蔵 RAM のデータ、および内蔵周辺機能 (SCI、A/D 変換器モータコントロール PWM、HCAN を除く) と I/O ポートの状態は保持されます。

22.9.2 サブスリープモードの解除

サブスリープモードの解除は、割り込み (内蔵周辺機能からの割り込み、NMI 端子、 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ5}}$)、 $\overline{\text{RES}}$ 、または $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割り込みによる解除

割り込みが発生すると、サブスリープモードは解除され、割り込み例外処理を開始します。

なお、 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ5}}$ 割り込みについては、対応するイネーブルビットが 0 にクリアされている場合、内蔵周辺機能からの割り込みについては、割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合、または CPU でマスクされている場合には、サブスリープモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「22.6.2 ソフトウェアスタンバイモードの解除 (2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに移ります。

22.10 サブアクティブモード

22.10.1 サブアクティブモード

高速モードにおいて、SBYCR の SSBY ビット=1、LPWRCR の DTON ビット=1、LSON ビット=1、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行すると、CPU はサブアクティブモードに移ります。また、ウォッチモードで割り込みが発生したとき、LPWRCR の LSON ビット=1 の状態であれば、サブアクティブモードに移ります。また、サブスリープモードで割り込みが発生したとき、サブアクティブモードに移ります。

サブアクティブモード時、CPU はサブクロックにより、低速動作で順次プログラムを実行します。サブアクティブモードでは、WDT0、WDT1 以外の周辺機能は動作を停止します。

なお、サブアクティブモードで動作させる場合は、SCKCR の SCK2~SCK0 の各ビットを必ず 0 としてください。

22.10.2 サバクティブモードの解除

サブアクティブモードの解除は、SLEEP 命令、 $\overline{\text{RES}}$ または $\overline{\text{STBY}}$ 端子によって行われます。

(1) SLEEP 命令による解除

SBYCR の SSBY ビット=1、LPWRCR の DTON ビット=0、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行するとサブアクティブモードは解除され、ウォッチモードに遷移します。また、SBYCR の SSBY ビット=0、LPWRCR の LSON ビット=1、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行すると、サブスリープモードに遷移します。また、SBYCR の SSBY ビット=1、LPWRCR の DTON ビット=1、LSON ビット=0、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行すると、高速モード (SCK0~SCK2 がすべて 0) に直接遷移します。

直接遷移の詳細は「22.11 直接遷移」を参照してください。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「22.6.2 ソフトウェアスタンバイモードの解除 (2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

22.11 直接遷移

22.11.1 直接遷移の概要

CPU がプログラムを実行している動作モードには高速モード、中速モード、サブアクティブモードの 3 つのモードがあります。高速モードとサブアクティブモードの間で、プログラムを停止することなく遷移することを直接遷移と呼びます。直接遷移は LPWRCR の DTON を 1 にセットし、SLEEP 命令を実行することにより可能です。遷移後は直接遷移割り込み例外処理を開始します。

(1) 高速モードからサブアクティブモードへの直接遷移

高速モードで SBYCR の SSBY ビット=1、LPWRCR の LSON ビット=1、DTON ビット=1、TCSR (WDT1) の PSS ビット=1 にセットした状態で SLEEP 命令を実行するとサブアクティブモードに遷移します。

(2) サブアクティブモードから高速モードへの直接遷移

サブアクティブモードで SBYCR の SSBY ビット=1、LPWRCR の LSON ビット=0、DTON ビット=1、TCSR (WDT1) の PSS ビット=1 の状態で SLEEP 命令を実行すると、SBYCR の STS2~STS0 により設定された時間を経過した後、直接高速モードに遷移します。

22.12 ϕ クロック出力禁止機能

SCKCR の PSTOP ビット、対応するポートの DDR により、 ϕ クロックの出力を制御することができます。PSTOP ビットを 1 にセットすると、バスサイクルの終了時点で ϕ クロックは停止し、 ϕ 出力は High レベルになります。PSTOP を 0 にクリアした状態では、 ϕ クロック出力は許可されます。また、対応するポートの DDR を 0 にクリアすると、 ϕ クロック出力は禁止され、入力ポートになります。表 22.6 に各処理状態における ϕ 端子の状態を示します。

表 22.6 各処理状態における ϕ 端子の状態

DDR	0	1	
PSTOP	—	0	1
ハードウェアスタンバイモード	ハインピーダンス		
ソフトウェアスタンバイモード、 ウォッチモード、 直接遷移	ハインピーダンス	High 固定	
スリープモード、 サブスリープモード	ハインピーダンス	ϕ 出力	High 固定
高速モード、 中速モード	ハインピーダンス	ϕ 出力	High 固定
サブアクティブモード	ハインピーダンス	ϕ_{SUB} 出力	High 固定

22.13 使用上の注意事項

- サブアクティブモード、ウォッチモードに遷移する場合はDTCをモジュールストップ（MSTPCRの当該ビットに1ライト）設定し、当該ビットの1リード確認後、モード遷移してください。
また、モジュールストップの解除（MSTPCRの当該ビットに0ライト）はサブアクティブモードから高速モードおよび中速モードに遷移後に実行してください。
なお、サブアクティブモード中にDTC起動要因が発生した場合、高速モードおよび中速モードに遷移後モジュールストップ解除時にDTCが起動されます。
- サブアクティブモードで動作停止する内蔵周辺モジュール（DTC、TPU）は、当該割り込みをサブアクティブモードではクリアできません。したがって割り込みが要求された状態でサブアクティブモードに遷移すると、CPUの割り込み要因のクリアができません。
事前に各モジュールの割り込みをディスエーブルにした後、SLEEP命令を実行し、サブアクティブモード／ウォッチモードに遷移してください。

23. 電気的特性

23.1 絶対最大定格

絶対最大定格を表 23.1 に示します。

表 23.1 絶対最大定格

項 目	記号	定格値	単位
電源電圧	V_{CC}	- 0.3 ~ + 7.0	V
	PWMV _{CC}		
	LPV _{CC}	- 0.3 ~ + 7.0	V
入力電圧 (OSC1、OSC2)	V_{in}	- 0.3 ~ + 3.5	V
入力電圧 (XTAL、EXTAL)	V_{in}	- 0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 4、9)	V_{in}	- 0.3 ~ $AV_{CC} + 0.3$	V
入力電圧 (ポート A~E、ポート PF2、4~6)	V_{in}	- 0.3 ~ $LPV_{CC} + 0.3$	V
入力電圧 (ポート H、J)	V_{in}	- 0.3 ~ $PWMV_{CC} + 0.3$	V
入力電圧 (ポート 4、9、A~E、ポート PF2、4~6、ポート H、J 以外)	V_{in}	- 0.3 ~ $V_{CC} + 0.3$	V
リファレンス電源電圧	V_{ref}	- 0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	- 0.3 ~ + 7.0	V
アナログ入力電圧	V_{AN}	- 0.3 ~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	通常仕様品：-20 ~ +75	°C
		広温度範囲仕様品：-40 ~ +85	
保存温度	T_{stg}	- 55 ~ +125	°C

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

23.2 電源電圧と動作周波数範囲

電源電圧と動作範囲（網かけ部）を図 23.1 に示します。

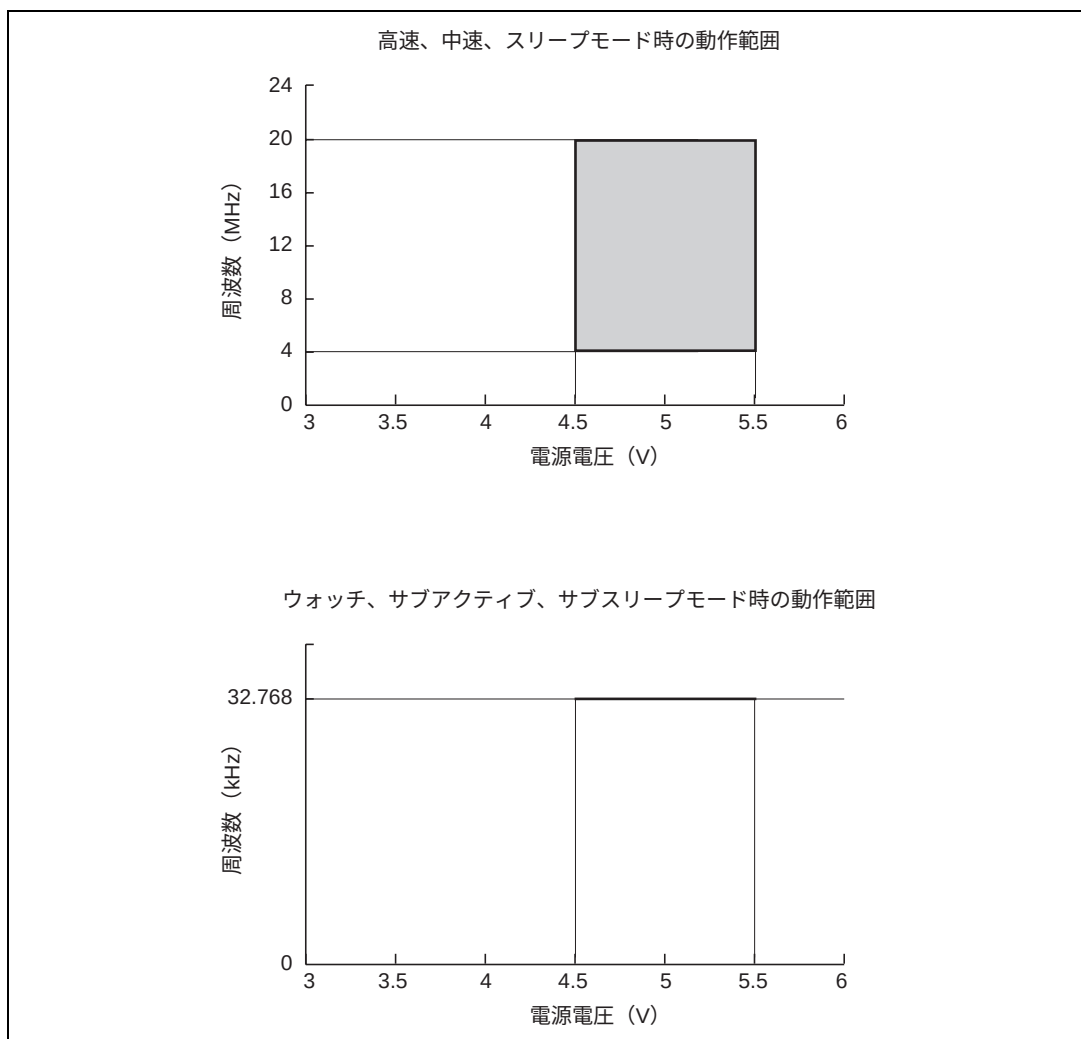


図 23.1 電源電圧と動作範囲

23.3 DC 特性

DC 特性を表 23.2 に示します。また、出力許容電流値を表 23.3 に示します。

表 23.2 DC 特性

条件： $V_{CC}=4.5\sim 5.5V$ 、 $PWMV_{CC}=4.5\sim 5.5V$ 、 $LPV_{CC}=4.5\sim 5.5V$ 、
 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PWMV_{SS}=PLL_{SS}=AV_{SS}=0V$ 、
 $T_a=-20\sim +75^{\circ}C$ （通常仕様品）、 $T_a=-40\sim +85^{\circ}C$ （広温度範囲仕様品）*1

項 目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力 電圧	IRQ0～IRQ5	V_T^-	1.0	—	—	V	
		V_T^+	—	—	$V_{CC} \times 0.7$		
		$V_T^+ - V_T^-$	0.4	—	—		
入力 High レベル電圧	RES、STBY、NMI、FWE、 MD2～MD0	V_{IH}	$V_{CC} - 0.7$	—	$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC} \times 0.7$		$V_{CC} + 0.3$		
	ポート 1～3、5、H、J、K、 ポート PF0、PF3、PF7		2.2	—	$V_{CC} + 0.3$		
	HRxD		2.2	—	$V_{CC} + 0.3$		
	ポート A～E、 ポート PF2、PF4～PF6		2.2		$LPV_{CC} + 0.3$		
	ポート 4、9		$AV_{CC} \times 0.7$		$AV_{CC} + 0.3$		
	入力 Low レベル電圧		RES、STBY、NMI、FWE、 MD2～MD0	V_{IL}	- 0.3		
EXTAL		- 0.3	0.8				
ポート 1～3、5、A～F、H、J、K		- 0.3	—		0.8		
HRxD		- 0.3	—		$V_{CC} \times 0.2$		
ポート 4、9		- 0.3	—		$AV_{CC} \times 0.2$		
出力 High レベル電圧		ポート 1～3、5、H、J、K、 ポート PF0、PF3、PF7、HTxD	V_{OH}		$V_{CC} - 0.5$	—	—
	ポート A～E、 ポート PF2、PF4～PF6	$LPV_{CC} - 0.5$		—	$I_{OH} = - 200 \mu A$		
	ポート 1～3、5、H、J、K、 ポート PF0、PF3、PF7、HTxD	3.5		—	—	$I_{OH} = - 1mA$	
	ポート A～E、 ポート PF2、PF4～PF6	3.5		—	—	$I_{OH} = - 1mA$	
	PWM1A～1H、PWM2A～2H	$PWMV_{CC} - 0.5$		—	—	$I_{OH} = - 15mA$	
	出力 Low レベル電圧	PWM1A～1H、PWM2A～2H を除 く全出力端子		V_{OL}	—	—	0.4
PWM1A～1H、PWM2A～2H		—	—		0.5	V	$I_{OL} = 15mA$
入力リーク 電流	RES	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5$
	STBY、NMI、MD2～MD0		—	—	1.0		
	HRxD、FWE		—	—	1.0		
	ポート 4、9		—	—	1.0		$V_{in} = 0.5 \sim AV_{CC} - 0.5$

項 目		記号	min	typ	max	単位	測定条件
スリー ステート リーク電流 (オフ状態)	ポート 1～3、5、H、J、K、 ポート PF0、PF3、PF7、HTxD	I _{TSI}	—	—	1.0	μA	V _{in} =0.5～ V _{CC} -0.5
	ポート A～E、 ポート PF2、PF4～PF6		—	—	1.0		V _n =0.5～ LPV _{CC} -0.5
入力プル アップ MOS 電流	ポート A～E	- I _p	50	—	300	μA	V _n =0V
入力容量	RES	C _{in}	—	—	30	pF	V _n =0V f=1MHz T _a =25°C
	NMI		—	—	30	pF	
	RES、NMI 以外の全入力端子		—	—	15	pF	
消費電流*2	通常動作時	I _{CC} *4	—	60	80	mA	f=20MHz
	スリープ時		—	50	65	mA	f=20MHz
	全モジュールストップ時		—	40	—	mA	f=20MHz (参考値)
	中速モード（φ/32）時		—	40	—	mA	f=20MHz (参考値)
	サブアクティブモード時		—	130	220	μA	32.768kHz 水晶発振子 使用時
	サブスリープモード時		—	95	160	μA	32.768kHz 水晶発振子 使用時
	ウォッチモード時		—	15	60	μA	32.768kHz 水晶発振子 使用時
	スタンバイ時		—	2.0	10	μA	T _a ≤50°C
			—	—	80		50°C<T _a
LCD 電源部 ポート 電源電流	動作中	LPI _{CC}	—	10	20	mA	
	スタンバイ時		—	0.1	10	μA	T _a ≤50°C
			—	—	80		50°C<T _a
アナログ 電源電流	A/D 変換中	AI _{CC}	—	1.0	2.0	mA	AV _{CC} =5.0V
	A/D 変換待機時		—	—	5.0	μA	
リファレン ス電源電流	A/D 変換中	AI _{CC}	—	2.5	4.0	mA	V _{ref} =5.0V
	A/D 変換待機時		—	—	5.0	μA	
RAM スタンバイ電圧*3		V _{RAM}	2.0	—	—	V	

【注】 *1 A/D 変換器を使用しない場合でも、 AV_{CC} 、 V_{ref} 、 AV_{SS} 端子を開放しないでください。

A/D 変換器を使用しない場合でも、 AV_{CC} 、 V_{ref} 端子は V_{CC} に接続するなどの方法で、4.5V~5.5V の電圧を印加してください。このとき、 $V_{ref} \leq AV_{CC}$ としてください。

*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 $V_{RAM} \leq V_{CC} < 3.0V$ のとき、 $V_{IH} \min = V_{CC} - 0.1V$ 、 $V_{IL} \max = 0.1V$ とした場合の値です。

*4 I_{CC} は下記の式に従って V_{CC} と f に依存します。

$I_{CC} \max. = 1.0 \text{ (mA)} + 0.72 \text{ (mA/(MHz} \times V)) \times V_{CC} \times f$ (通常動作時)

$I_{CC} \max. = 1.0 \text{ (mA)} + 0.58 \text{ (mA/(MHz} \times V)) \times V_{CC} \times f$ (スリープ時)

表 23.3 出力許容電流値

条件： $V_{CC} = 4.5 \sim 5.5V$ 、 $PWMV_{CC} = 4.5 \sim 5.5V$ 、 $LPV_{CC} = 4.5 \sim 5.5V$ 、
 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = PWMV_{SS} = PLLV_{SS} = AV_{SS} = 0V$ 、
 $T_a = -20 \sim +75^\circ C$ （通常仕様品）、 $T_a = -40 \sim +85^\circ C$ （広温度範囲仕様品）

項 目		記号	min	typ	max	単位	測定条件
出力 Low レベル許容電流 (1 端子あたり)	PWM1A~1H、 PWM2A~2H 以外全出力端子	I_{OL}	—	—	10	mA	
	PWM1A~1H、 PWM2A~2H	I_{OL}	—	—	25	mA	$T_a = 85^\circ C$
			—	—	30	mA	$T_a = 25^\circ C$
			—	—	40	mA	$T_a = -40^\circ C$
出力 Low レベル許容電流 (総和)	PWM1A~1H、 PWM2A~2H 以外全出力端子 の総和	ΣI_{OL}	—	—	80	mA	
	PWM1A~1H、 PWM2A~2H の総和	ΣI_{OL}	—	—	150	mA	$T_a = 85^\circ C$
			—	—	180	mA	$T_a = 25^\circ C$
			—	—	220	mA	$T_a = -40^\circ C$
出力 High レベル許容電流 (1 端子あたり)	PWM1A~1H、 PWM2A~2H 以外全出力端子	$-I_{OH}$	—	—	2.0	mA	
	PWM1A~1H、 PWM2A~2H	$-I_{OH}$	—	—	25	mA	$T_a = 85^\circ C$
			—	—	30	mA	$T_a = 25^\circ C$
			—	—	40	mA	$T_a = -40^\circ C$
出力 High レベル許容電流 (総和)	PWM1A~1H、 PWM2A~2H 以外全出力端子 の総和	$-\Sigma I_{OH}$	—	—	40	mA	
	PWM1A~1H、 PWM2A~2H の総和	$-\Sigma I_{OH}$	—	—	150	mA	$T_a = 85^\circ C$
			—	—	180	mA	$T_a = 25^\circ C$
			—	—	220	mA	$T_a = -40^\circ C$

【注】 LSI の信頼性を確保するため、出力電流値は表 23.3 の値を超えないようにしてください。

23.4 AC 特性

図 23.2 に AC 測定条件を示します。

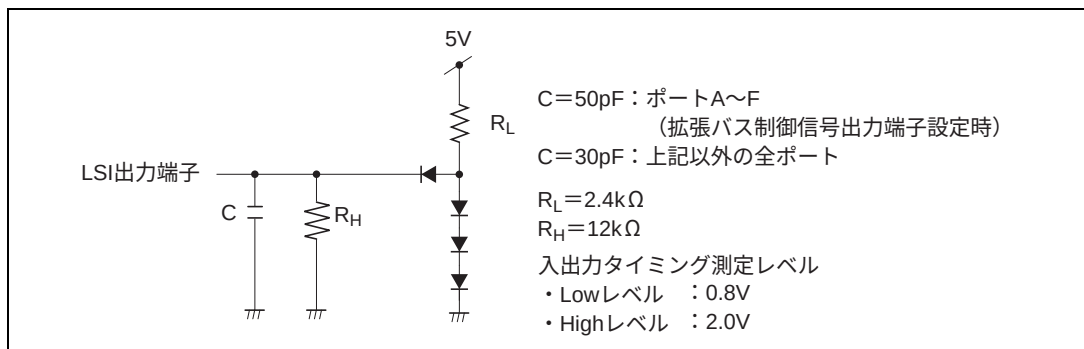


図 23.2 出力負荷回路

23.4.1 クロックタイミング

表 23.4 にクロックタイミングを示します。

表 23.4 クロックタイミング

条件: $V_{CC}=4.5\sim 5.5\text{V}$ 、 $\text{PWMV}_{CC}=4.5\sim 5.5\text{V}$ 、 $\text{LPV}_{CC}=4.5\sim 5.5\text{V}$ 、
 $\text{AV}_{CC}=4.5\sim 5.5\text{V}$ 、 $V_{ref}=4.5\text{V}\sim \text{AV}_{CC}$ 、 $V_{SS}=\text{PWMV}_{SS}=\text{PLL}_{SS}=\text{AV}_{SS}=0\text{V}$ 、
 $T_a=-20\sim +75^\circ\text{C}$ (通常仕様品)、 $T_a=-40\sim +85^\circ\text{C}$ (広温度範囲仕様品)

項 目	記号	条件		単位	測定 条件
		min	max		
クロックサイクル時間	t_{CYC}	50	250	ns	図 23.3
クロックハイレベルパルス幅	t_{CH}	15	—	ns	
クロックローレベルパルス幅	t_{CL}	15	—	ns	
クロック立ち上がり時間	t_{Cr}	—	10	ns	
クロック立ち下がり時間	t_{Cf}	—	10	ns	
リセット発振安定時間 (水晶)	t_{OSC1}	20	—	ms	図 23.4
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	8	—	ms	図 22.3
サブクロック発振安定時間	t_{OSC3}	—	2	S	図 23.4
サブクロック発振器発振周波数	f_{SUB}	32.768		kHz	
サブクロック (ϕ_{SUB}) サイクル時間	t_{SUB}	30.5		μs	

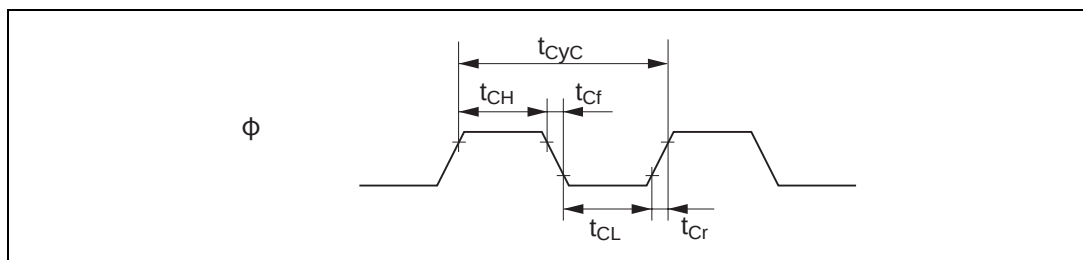


図 23.3 システムクロックタイミング

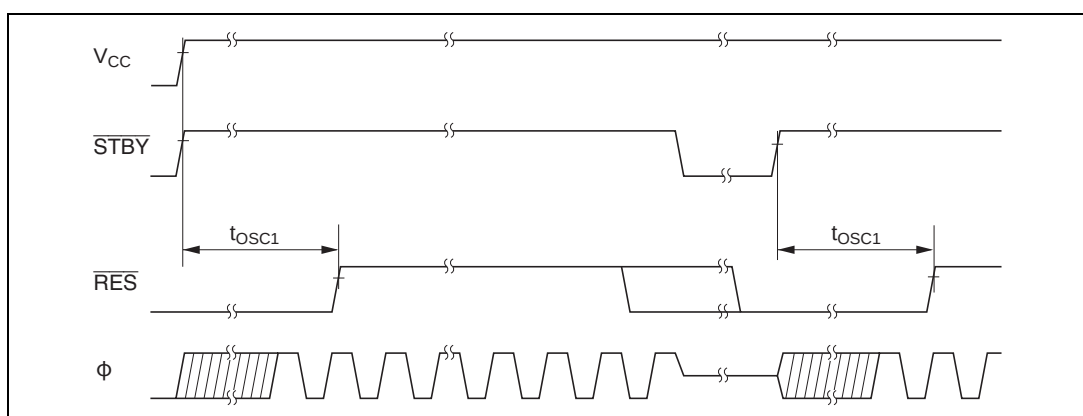


図 23.4 発振安定時間タイミング

23.4.2 制御信号タイミング

表 23.5 に制御信号タイミングを示します。

表 23.5 制御信号タイミング

条件： $V_{CC}=4.5\sim 5.5V$ 、 $PWMV_{CC}=4.5\sim 5.5V$ 、 $LPV_{CC}=4.5\sim 5.5V$ 、
 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PWMV_{SS}=PLL_{SS}=AV_{SS}=0V$ 、
 $T_a=-20\sim +75^{\circ}C$ （通常仕様品）、 $T_a=-40\sim +85^{\circ}C$ （広温度範囲仕様品）

項 目	記号	条件		単位	測定条件
		min	max		
RES セットアップ時間	t_{RESS}	200	—	ns	図 23.5
RES パルス幅	t_{RESW}	20	—	t_{cyc}	
NMI セットアップ時間	t_{NMIS}	150	—	ns	図 23.6
NMI ホールド時間	t_{NMIH}	10	—	ns	
NMI パルス幅 （ソフトウェアスタンバイモードからの復帰時）	t_{NMIW}	200	—	ns	
IRQ セットアップ時間	t_{IRQS}	150	—	ns	
IRQ ホールド時間	t_{IRQH}	10	—	ns	
IRQ パルス幅 （ソフトウェアスタンバイモードからの復帰時）	t_{IRQW}	200	—	ns	

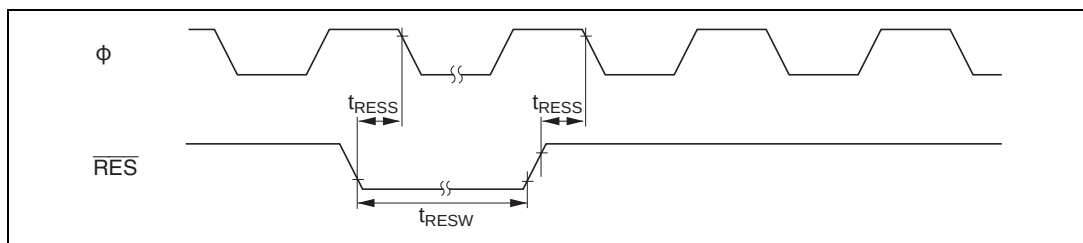


図 23.5 リセット入力タイミング

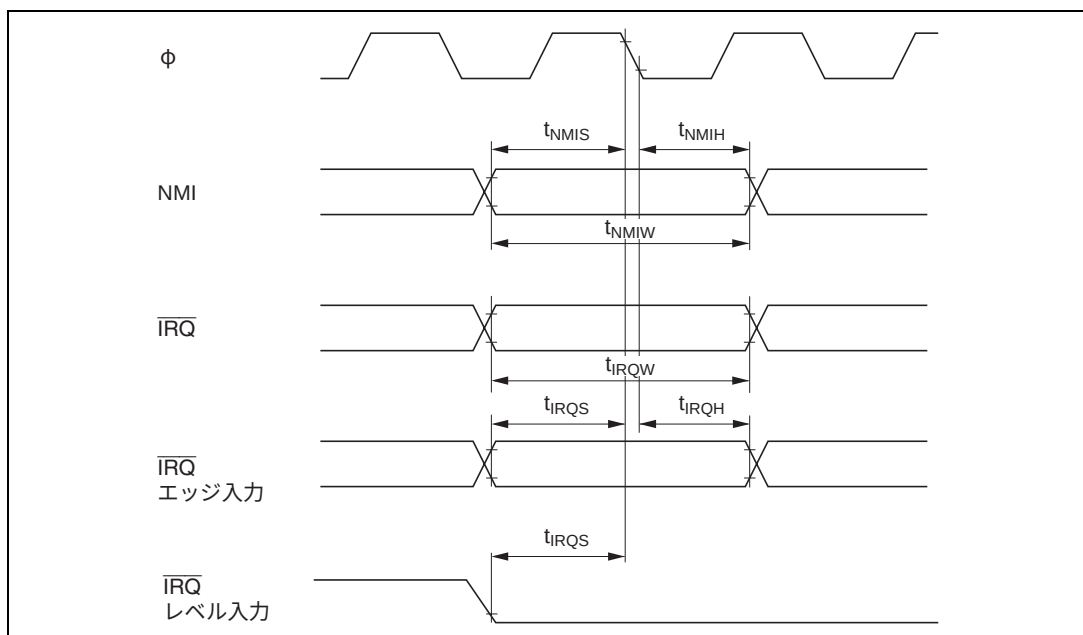


図 23.6 割り込み入力タイミング

23.4.3 バスタイミング

表 23.6 にバスタイミングを示します。

表 23.6 バスタイミング

条件： $V_{CC}=4.5\sim 5.5V$ 、 $PWMV_{CC}=4.5\sim 5.5V$ 、 $LPV_{CC}=4.5\sim 5.5V$ 、
 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PWMV_{SS}=PLL_{SS}=AV_{SS}=0V$ 、
 $T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項 目	記号	条件		単位	測定条件
		min	max		
アドレス遅延時間	t_{AD}	—	45	ns	図 23.7 ～ 図 23.11
アドレスセットアップ時間	t_{AS}	$0.5 \times t_{cyc} - 32$	—	ns	
アドレスホールド時間	t_{AH}	$0.5 \times t_{cyc} - 15$	—	ns	
AS 遅延時間	t_{ASD}	—	45	ns	
RD 遅延時間 1	t_{RSD1}	—	45	ns	
RD 遅延時間 2	t_{RSD2}	—	45	ns	
リードデータセットアップ時間	t_{RDS}	20	—	ns	
リードデータホールド時間	t_{RDH}	10	—	ns	
リードデータアクセス時間 1	t_{ACC1}	—	$1.0 \times t_{cyc} - 60$	ns	
リードデータアクセス時間 2	t_{ACC2}	—	$1.5 \times t_{cyc} - 50$	ns	
リードデータアクセス時間 3	t_{ACC3}	—	$2.0 \times t_{cyc} - 60$	ns	
リードデータアクセス時間 4	t_{ACC4}	—	$2.5 \times t_{cyc} - 50$	ns	
リードデータアクセス時間 5	t_{ACC5}	—	$3.0 \times t_{cyc} - 60$	ns	
WR 遅延時間 1	t_{WRD1}	—	35	ns	
WR 遅延時間 2	t_{WRD2}	—	45	ns	
WR パルス幅 1	t_{WSW1}	$1.0 \times t_{cyc} - 40$	—	ns	
WR パルス幅 2	t_{WSW2}	$1.5 \times t_{cyc} - 30$	—	ns	
ライトデータ遅延時間	t_{WDD}	—	45	ns	
ライトデータセットアップ時間	t_{WDS}	$0.5 \times t_{cyc} - 20$	—	ns	
ライトデータホールド時間	t_{WDH}	$0.5 \times t_{cyc} - 10$	—	ns	
WAIT セットアップ時間	t_{WTS}	30	—	ns	
WAIT ホールド時間	t_{WTH}	5	—	ns	

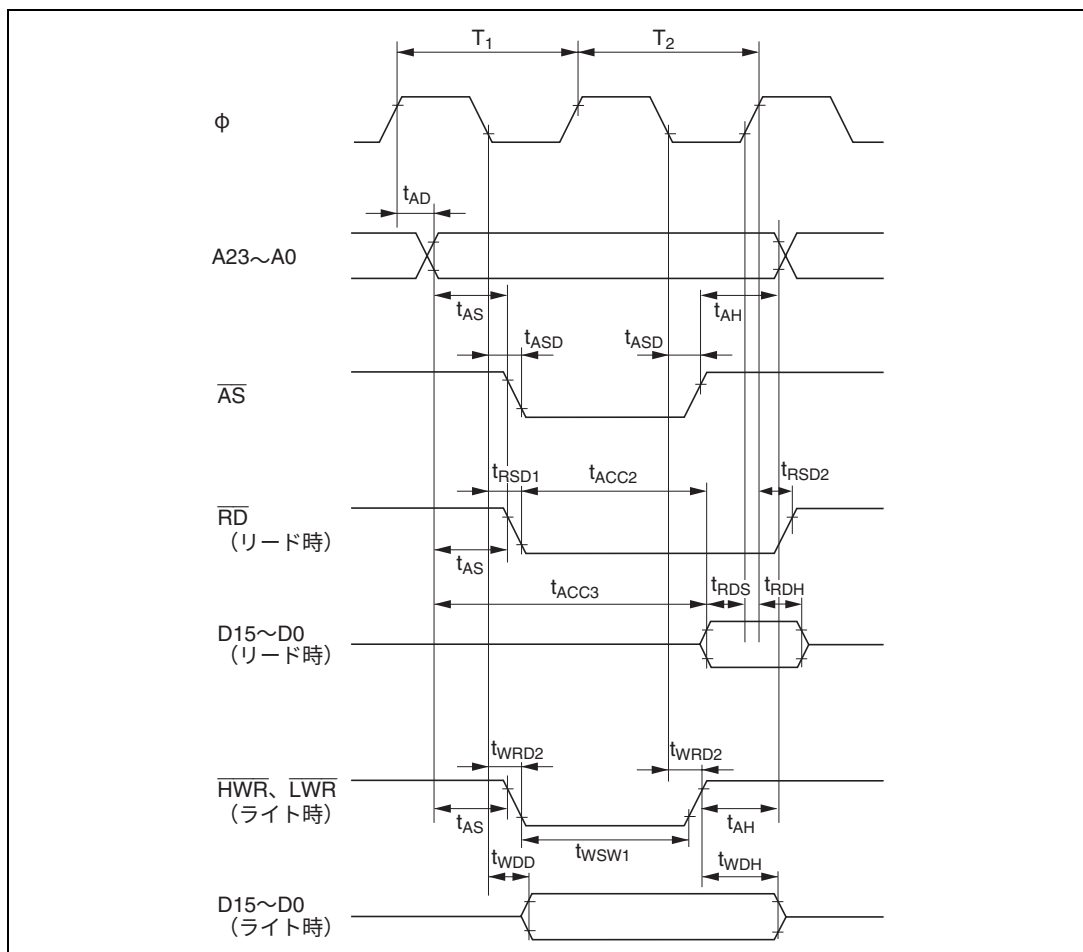


図 23.7 基本バスタイミング／2 ステートアクセス

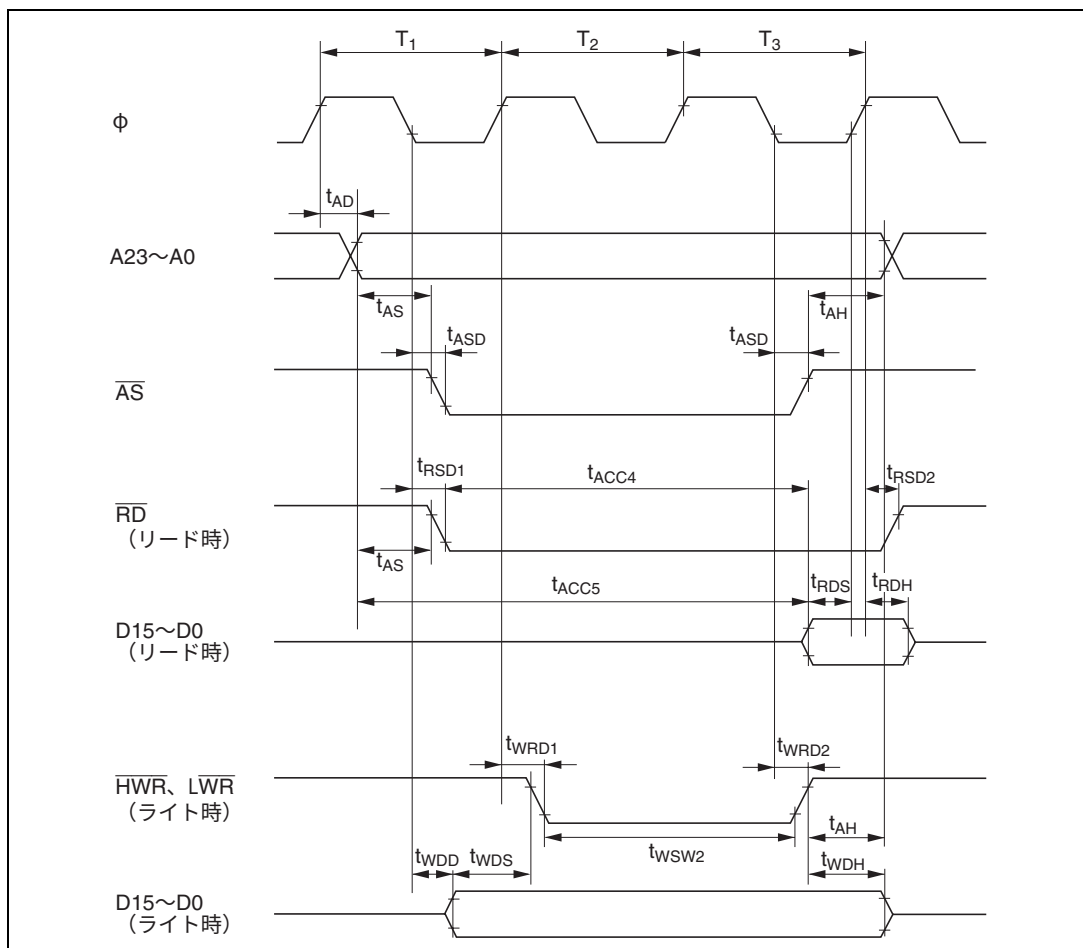


図 23.8 基本バスタイミング／3 ステートアクセス

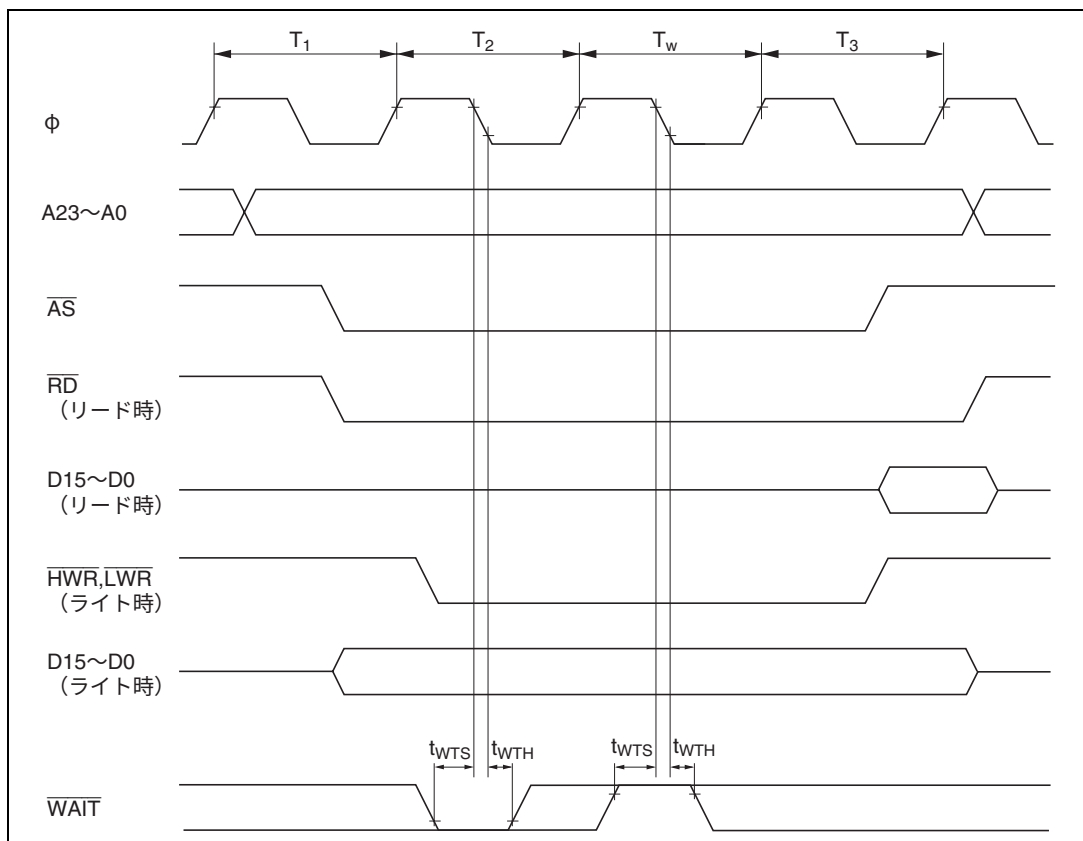


図 23.9 基本バスタイミング/3 ステートアクセス1 ウェイト

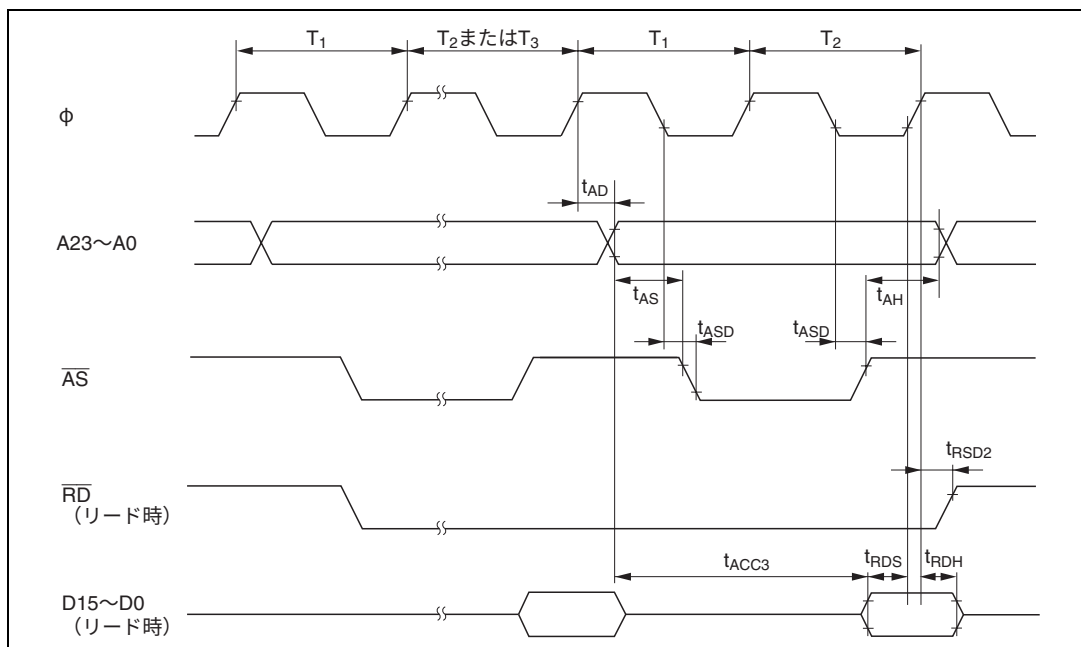


図 23.10 バースト ROM アクセスタイミング／2 ステートアクセス

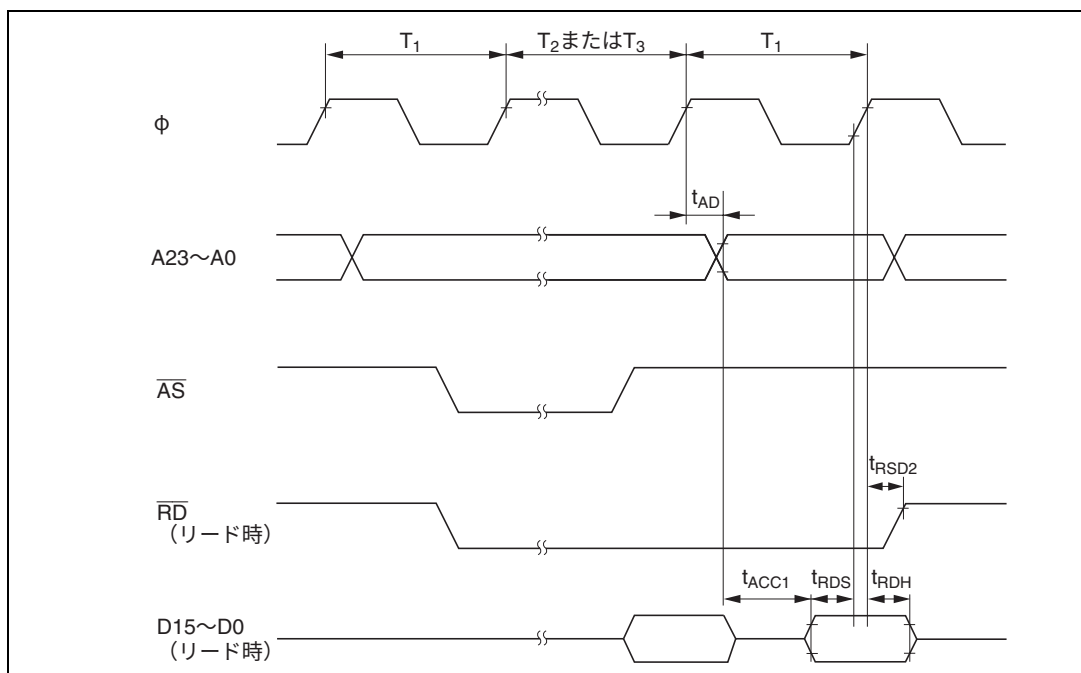


図 23.11 バースト ROM アクセスタイミング／1 ステートアクセス

23.4.4 内蔵周辺モジュールタイミング

表 23.7 に内蔵周辺タイミングを示します。

表 23.7 内蔵周辺モジュールタイミング

条件： $V_{CC}=4.5\sim 5.5V$ 、 $PWMV_{CC}=4.5\sim 5.5V$ 、 $LPV_{CC}=4.5\sim 5.5V$ 、
 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PWMV_{SS}=PLL_{SS}=AV_{SS}=0V$ 、
 $T_a=-20\sim +75^{\circ}C$ （通常仕様品）、 $T_a=-40\sim +85^{\circ}C$ （広温度範囲仕様品）

項 目			記号	条件		単位	測定条件
				min	max		
I/O ポート	出力データ遅延時間		t_{PWD}	—	50	ns	図 23.12
	入力データセットアップ時間		t_{PRS}	30	—		
	入力データホールド時間		t_{PRH}	30	—		
PPG	パルス出力遅延時間		t_{POD}	—	50	ns	図 23.13
TPU	タイマ出力遅延時間		t_{TOCD}	—	50	ns	図 23.14
	タイマ入力セットアップ時間		t_{TICS}	30	—		
	タイマクロック入力セットアップ時間		t_{TCKS}	30	—		
	タイマクロック パルス幅	単エッジ指定	t_{TCKWH}	1.5	—	t_{cyc}	図 23.15
		両エッジ指定	t_{TCKWL}	2.5	—		
PWM	パルス出力遅延時間		t_{MPWMOD}	—	50	ns	図 23.16
SCI	入力クロック サイクル	調歩同期	t_{Scyc}	4	—	t_{cyc}	図 23.17
		クロック同期		6	—		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間		t_{SCKr}	—	1.5	t_{cyc}	
	入力クロック立ち下がり時間		t_{SCKf}	—	1.5		
	送信データ遅延時間		t_{TXD}	—	50	ns	図 23.18
	受信データセットアップ時間 (クロック同期)		t_{RXS}	50	—		
	受信データホールド時間 (クロック同期)		t_{RXH}	50	—		
A/D 変換器	トリガ入力セットアップ時間		t_{TRGS}	50	—	ns	図 23.19
HCAN	送信データ遅延時間		T_{HTXD}	—	100	ns	図 23.20
	受信データセットアップ時間		T_{HRXS}	100	—		
	受信データホールド時間		T_{HRXH}	100	—		

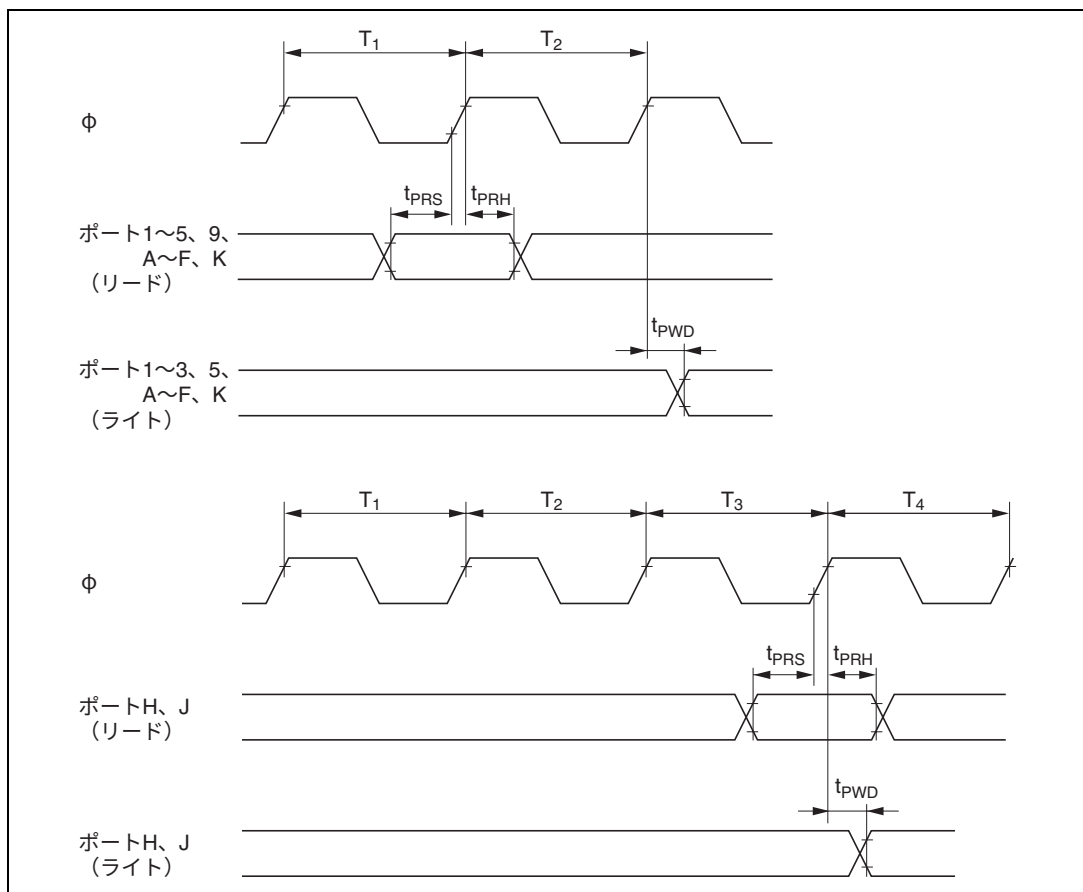


図 23.12 I/O ポート入出力タイミング

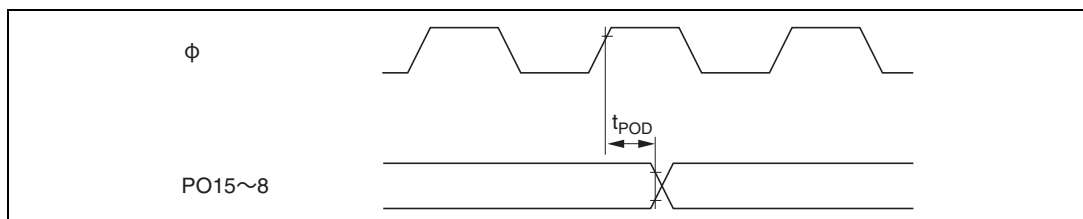


図 23.13 PPG 出力タイミング

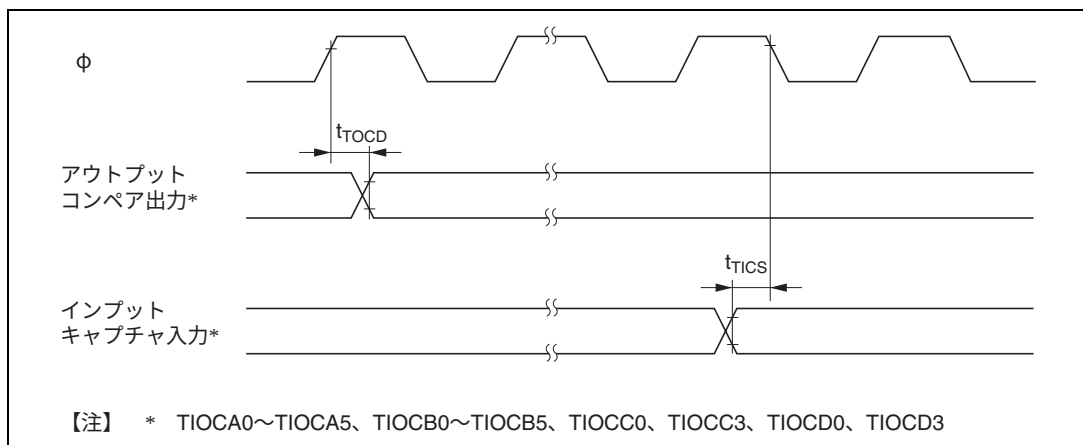


図 23.14 TPU 入出力タイミング

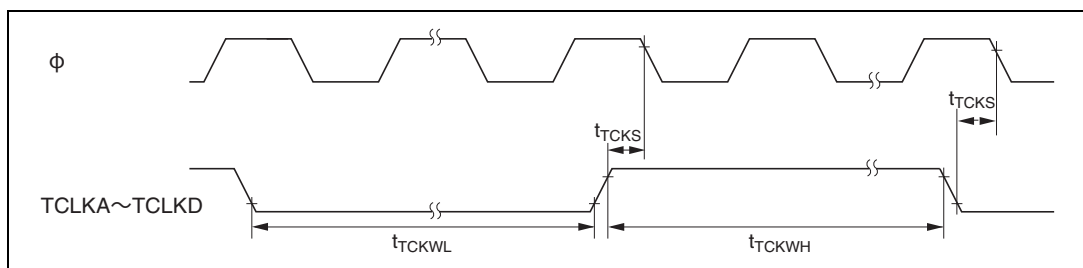


図 23.15 TPU クロック入力タイミング

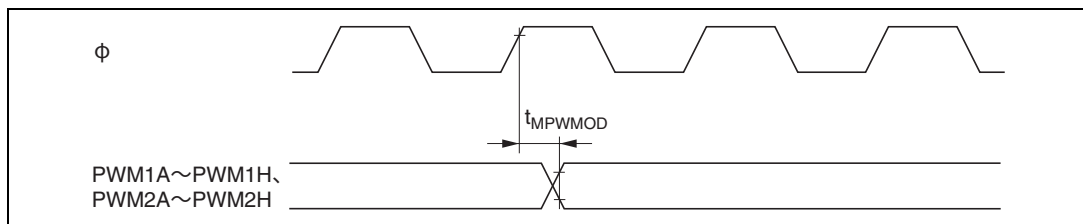


図 23.16 モータコントロール PWM 出力タイミング

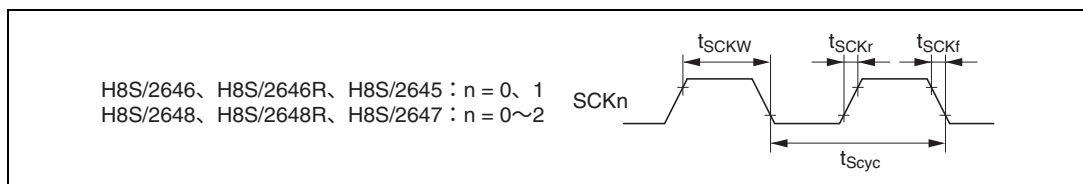


図 23.17 SCK クロック入力タイミング

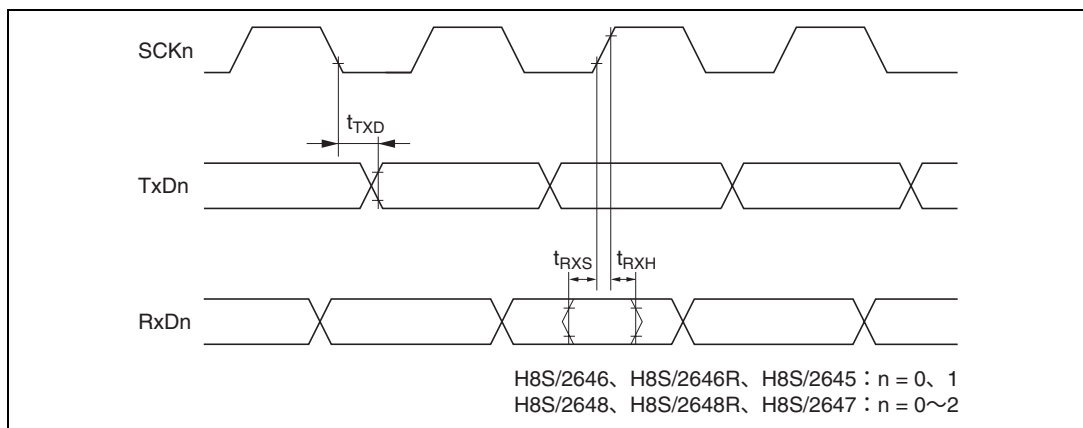


図 23.18 SCI 入出力タイミング／クロック同期式モード

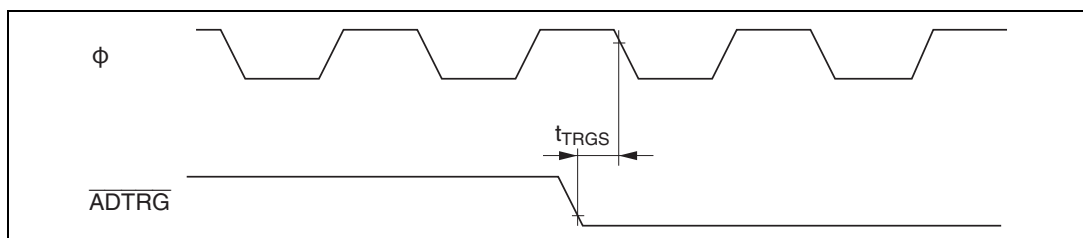


図 23.19 A/D 変換器外部トリガ入力タイミング

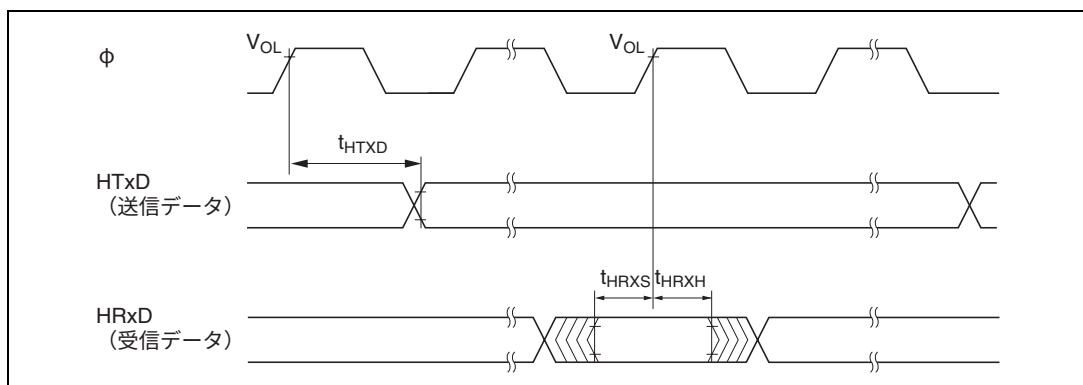


図 23.20 HCAN 入出力タイミング

23.5 A/D 変換特性

表 23.8 に A/D 変換特性を示します。

表 23.8 A/D 変換特性

条件： $V_{CC}=4.5\sim 5.5V$ 、 $PWMV_{CC}=4.5\sim 5.5V$ 、 $LPV_{CC}=4.5\sim 5.5V$ 、
 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PWMV_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、
 $T_a=-20\sim +75^{\circ}C$ （通常仕様品）、 $T_a=-40\sim +85^{\circ}C$ （広温度範囲仕様品）

項 目	条 件			単 位
	min	typ	max	
分解能	10	10	10	ビット
変換時間	10	—	200	μs
アナログ入力容量	—	—	20	pF
許容信号源インピーダンス	—	—	5	k Ω
非直線性誤差	—	—	± 3.5	LSB
オフセット誤差	—	—	± 3.5	LSB
フルスケール誤差	—	—	± 3.5	LSB
量子化誤差	—	± 0.5	—	LSB
絶対精度	—	—	± 4.0	LSB

23.6 LCD 特性

表 23.9 LCD 特性

条件： $V_{CC}=4.5\sim 5.5V$ 、 $PWMV_{CC}=4.5\sim 5.5V$ 、 $LPV_{CC}=4.5\sim 5.5V$ 、
 $AV_{CC}=4.5\sim 5.5V$ 、 $V_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PWMV_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、
 $T_a=-20\sim +75^{\circ}C$ （通常仕様品）、 $T_a=-40\sim +85^{\circ}C$ （広温度範囲仕様品）

項目	適用端子	記号	規格値			単位	測定条件
			min	typ	max		
セグメントドライバ 降下電圧	SEG1~SEG24 (H8S/2646、 H8S/2646R、 H8S/2645)	VDS	—	—	0.6	V	ID=2 μA * ¹
	SEG1~SEG40 (H8S/2648 H8S/2648R、 H8S/2647)						
コモンドライバ 降下電圧	COM1~COM4	VDC	—	—	0.3	V	ID=2 μA * ¹
LCD 電源分割抵抗		RLCD	40	300	1000	k Ω	V1~V _{SS} 間
液晶表示電圧	V1	VLCD	4.5	—	LPV _{CC}	V	* ²

【注】 *1 電源端子 V1、V2、V3、V_{SS} から各セグメント端子またはコモン端子までの電圧降下です。

*2 液晶表示電圧を外部電源より供給する場合は、 $LPV_{CC} \geq V1 \geq V2 \geq V3 \geq V_{SS}$ の関係を維持してください。

23.7 フラッシュメモリ特性

表 23.10 にフラッシュメモリ特性を示します。

表 23.10 フラッシュメモリ特性

条件： $V_{CC}=4.5\sim 5.5V$ 、 $PWMV_{CC}=4.5\sim 5.5V$ 、 $LPV_{CC}=4.5\sim 5.5V$ 、 $AV_{CC}=4.5\sim 5.5V$ 、
 $V_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PWMV_{SS}=PLL_{SS}=AV_{SS}=0V$ 、
 $T_a=0\sim +75^{\circ}C$ （書き込み／消去時の動作温度範囲）

項目		記号	min.	typ.	max.	単位
書き込み時間*1*2*4		t_p	—	10	200	ms/128 バイト
消去時間*1*3*5		t_E	—	100	1200	ms/ブロック
書き換え回数		N_{WEC}	—	—	100	回
書き込み時	SWE ビットセット後のウェイト時間*1	t_{sswe}	1	1	—	μs
	PSU ビットセット後のウェイト時間*1	t_{psu}	50	50	—	μs
	P ビットセット後のウェイト時間*1*4	t_{sp30}	28	30	32	μs
		t_{sp200}	198	200	202	μs
		t_{sp10}	8	10	12	μs
	P ビットクリア後のウェイト時間*1	t_{cp}	5	5	—	μs
	PSU ビットクリア後のウェイト時間*1	t_{cpsu}	5	5	—	μs
	PV ビットセット後のウェイト時間*1	t_{spv}	4	4	—	μs
	H'FF ダミーライト後のウェイト時間*1	t_{spvr}	2	2	—	μs
	PV ビットクリア後のウェイト時間*1	t_{cpv}	2	2	—	μs
	SWE ビットクリア後のウェイト時間*1	t_{cswe}	100	100	—	μs
	最大書き込み回数*1*4	N	—	—	1000	回
消去時	SWE ビットセット後のウェイト時間*1	t_{sswe}	1	1	—	μs
	ESU ビットセット後のウェイト時間*1	t_{esu}	100	100	—	μs
	E ビットセット後のウェイト時間*1*5	t_{se}	10	10	100	ms
	E ビットクリア後のウェイト時間*1	t_{ce}	10	10	—	μs
	ESU ビットクリア後のウェイト時間*1	t_{cesu}	10	10	—	μs
	EV ビットセット後のウェイト時間*1	t_{sev}	20	20	—	μs
	H'FF ダミーライト後のウェイト時間*1	t_{sevr}	2	2	—	μs
	EV ビットクリア後のウェイト時間*1	t_{cev}	4	4	—	μs
	SWE ビットクリア後のウェイト時間*1	t_{cswe}	100	100	—	μs
	最大消去回数*1*5	N	12	—	120	回

【注】 *1 各時間の設定は、書き込み／消去のアルゴリズムに従い行ってください。

*2 128 バイト単位の書き込み時間（フラッシュメモリコントロールレジスタ（FLMCR1）の P ビットをセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。）

*3 1 ブロックを消去する時間（FLMCR1 の E ビットをセットしているトータル期間を示します。イレースベリファイ時間は含まれません。）

*4 128 バイト書き込みアルゴリズムにおいて書き込み時間の最大値（ t_p （max））を規定するために、最大書き込み回数（N）の値は max. 値（1000）を設定してください。
また P ビットセット後のウェイト時間は、下記のように書き込み回数カウンタ（n）の回数によって切り替えてください。

書き込み回数カウンタ（n） 1～6 回の場合 $t_{sp30}=30\mu s$

書き込み回数カウンタ（n） 7～1000 回の場合 $t_{sp200}=200\mu s$

〔追加書き込み時〕

書き込み回数カウンタ (n) 1~6 回の場合 $t_{sp10}=10\mu s$

*5 消去時間の最大値 ($t_E(\max)$) に対して、E ビットセット後のウェイト時間 (t_{se}) と最大消去回数 (N) は以下の関係にあります。

$t_E(\max) = E \text{ ビットセット後のウェイト時間 } (t_{se}) \times \text{最大消去回数 } (N)$

消去時間の最大値を規定するために、(t_{se}) および (N) の値は上記計算式を満たすように設定してください。

(例) $t_{se}=100$ [ms] の場合、N=12 回

(例) $t_{se}=10$ [ms] の場合、N=120 回

付録

A. 命令

A.1 命令セット一覧

《オペレーションの記号》

Rd	汎用レジスタ（デスティネーション側）*
Rs	汎用レジスタ（ソース側）*
Rn	汎用レジスタ*
ERn	汎用レジスタ（32 ビットレジスタ）
MAC	積和レジスタ（32 ビットレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
−	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
∼	反転論理（論理的補数）
() <>	オペランドの内容
: 8 / : 16 / : 24 / : 32	8 / 16 / 24 / 32 ビット長

【注】 * 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）、16 ビット（R0～R7、E0～E7）または 32 ビット（ER0～ER7）です。

《コンディションコード》

記 号	内 容
↕	実行結果に従って変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に 0 にクリアされることを表します
1	常に 1 にセットされることを表します。
—	実行結果に影響を受けないことを表します。

表 A.1 命令セット一覧

(1) データ転送命令

ニーモニック		サイズ	アドレッシングモード／命令長 (バイト)								オペレーション	コンディションコード						実行 ステート数 ^{*1}
			#xx	Rn	@ERn	@ (d,ERn)	@-ERn/@ERn+	@aa	@ (d,PC)	@@aa		I	H	N	Z	V	C	
MOV	MOV.B #xx:8,Rd	B	2							#xx:8→Rd8	—	—	↑	↑	0	—	1	
	MOV.B Rs,Rd	B		2						Rs8→Rd8	—	—	↑	↑	0	—	1	
	MOV.B @ERs,Rd	B			2					@ERs→Rd8	—	—	↑	↑	0	—	2	
	MOV.B @ (d:16,ERs),Rd	B				4				@ (d:16,ERs)→Rd8	—	—	↑	↑	0	—	3	
	MOV.B @ (d:32,ERs),Rd	B				8				@ (d:32,ERs)→Rd8	—	—	↑	↑	0	—	5	
	MOV.B @ERs+,Rd	B					2			@ERs→Rd8,ERs32+1→ERs32	—	—	↑	↑	0	—	3	
	MOV.B @aa:8,Rd	B						2		@aa:8→Rd8	—	—	↑	↑	0	—	2	
	MOV.B @aa:16,Rd	B							4	@aa:16→Rd8	—	—	↑	↑	0	—	3	
	MOV.B @aa:32,Rd	B							6	@aa:32→Rd8	—	—	↑	↑	0	—	4	
	MOV.B Rs,@ERd	B			2					Rs8→@ERd	—	—	↑	↑	0	—	2	
	MOV.B Rs,@ (d:16,ERd)	B				4				Rs8→@ (d:16,ERd)	—	—	↑	↑	0	—	3	
	MOV.B Rs,@ (d:32,ERd)	B				8				Rs8→@ (d:32,ERd)	—	—	↑	↑	0	—	5	
	MOV.B Rs,@-ERd	B					2			ERd32-1→ERd32,Rs8→@ERd	—	—	↑	↑	0	—	3	
	MOV.B Rs,@aa:8	B						2		Rs8→@aa:8	—	—	↑	↑	0	—	2	
	MOV.B Rs,@aa:16	B							4	Rs8→@aa:16	—	—	↑	↑	0	—	3	
	MOV.B Rs,@aa:32	B							6	Rs8→@aa:32	—	—	↑	↑	0	—	4	
	MOV.W #xx:16,Rd	W	4							#xx:16→Rd16	—	—	↑	↑	0	—	2	
	MOV.W Rs,Rd	W		2						Rs16→Rd16	—	—	↑	↑	0	—	1	
	MOV.W @ERs,Rd	W			2					@ERs→Rd16	—	—	↑	↑	0	—	2	
	MOV.W @ (d:16,ERs),Rd	W				4				@ (d:16,ERs)→Rd16	—	—	↑	↑	0	—	3	
	MOV.W @ (d:32,ERs),Rd	W				8				@ (d:32,ERs)→Rd16	—	—	↑	↑	0	—	5	
	MOV.W @ERs+,Rd	W					2			@ERs→Rd16,ERs32+2→ERs32	—	—	↑	↑	0	—	3	
	MOV.W @aa:16,Rd	W						4		@aa:16→Rd16	—	—	↑	↑	0	—	3	
	MOV.W @aa:32,Rd	W							6	@aa:32→Rd16	—	—	↑	↑	0	—	4	
	MOV.W Rs,@ERd	W			2					Rs16→@ERd	—	—	↑	↑	0	—	2	
	MOV.W Rs,@ (d:16,ERd)	W				4				Rs16→@ (d:16,ERd)	—	—	↑	↑	0	—	3	
	MOV.W Rs,@ (d:32,ERd)	W				8				Rs16→@ (d:32,ERd)	—	—	↑	↑	0	—	5	
	MOV.W Rs,@-ERd	W					2			ERd32-2→ERd32,Rs16→@ERd	—	—	↑	↑	0	—	3	
	MOV.W Rs,@aa:16	W						4		Rs16→@aa:16	—	—	↑	↑	0	—	3	
	MOV.W Rs,@aa:32	W							6	Rs16→@aa:32	—	—	↑	↑	0	—	4	
	MOV.L #xx:32,ERd	L	6							#xx:32→ERd32	—	—	↑	↑	0	—	3	
	MOV.L ERs,ERd	L		2						ERs32→ERd32	—	—	↑	↑	0	—	1	
	MOV.L @ERs,ERd	L			4					@ERs→ERd32	—	—	↑	↑	0	—	4	
	MOV.L @ (d:16,ERs),ERd	L				6				@ (d:16,ERs)→ERd32	—	—	↑	↑	0	—	5	
	MOV.L @ (d:32,ERs),ERd	L				10				@ (d:32,ERs)→ERd32	—	—	↑	↑	0	—	7	
	MOV.L @ERs+,ERd	L					4			@ERs→ERd32,ERs32+4→ERs32	—	—	↑	↑	0	—	5	
	MOV.L @aa:16,ERd	L						6		@aa:16→ERd32	—	—	↑	↑	0	—	5	
	MOV.L @aa:32,ERd	L							8	@aa:32→ERd32	—	—	↑	↑	0	—	6	
	MOV.L ERs,@ERd	L			4					ERs32→@ERd	—	—	↑	↑	0	—	4	
	MOV.L ERs,@ (d:16,ERd)	L				6				ERs32→@ (d:16,ERd)	—	—	↑	↑	0	—	5	
	MOV.L ERs,@ (d:32,ERd)	L				10				ERs32→@ (d:32,ERd)	—	—	↑	↑	0	—	7	
	MOV.L ERs,@-ERd	L					4			ERd32-4→ERd32,ERs32→@ERd	—	—	↑	↑	0	—	5	
	MOV.L ERs,@aa:16	L						6		ERs32→@aa:16	—	—	↑	↑	0	—	5	
	MOV.L ERs,@aa:32	L							8	ERs32→@aa:32	—	—	↑	↑	0	—	6	
POP	POP.W Rn	W							2	@SP→Rn16,SP+2→SP	—	—	↑	↑	0	—	3	
	POP.L ERn	L							4	@SP→ERn32,SP+4→SP	—	—	↑	↑	0	—	5	
PUSH	PUSH.W Rn	W							2	SP-2→SP,Rn16→@SP	—	—	↑	↑	0	—	3	
	PUSH.L ERn	L							4	SP-4→SP,ERn32→@SP	—	—	↑	↑	0	—	5	
LDM	LDM @SP+,(ERm-ERn)	L							4	(@SP→ERn32,SP+4→SP) 復帰本数分繰り返し	—	—	—	—	—	—	7/9/11 [1]	
STM	STM (ERm-ERn),@-SP	L							4	(SP-4→SP,ERn32→@SP) 退避本数分繰り返し	—	—	—	—	—	—	7/9/11 [1]	
MOVFPE	MOVFPE @aa:16,Rd	本LSIでは使用できません。															[2]	
MOVTP	MOVTP Rs,@aa:16	本LSIでは使用できません。															[2]	

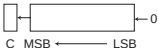
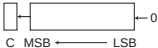
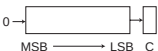
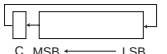
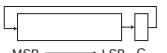
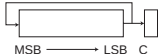
(2) 算術演算命令

ニーモニック	サイズ	アドレッシングモード／命令長 (バイト)								オペレーション	コンディションコード					実行ステート数*1	
		#xx	Rn	@ERn	@ (d,ERn)	@-ERn@ERn+	@aa	@ (d,PC)	@@aa		I	H	N	Z	V		C
ADD	ADD.B #xx:8,Rd	B	2							Rd8+##x:8→Rd8	—	↑	↑	↑	↑	↑	1
	ADD.B Rs,Rd	B	2	2						Rd8+Rs8→Rd8	—	↑	↑	↑	↑	↑	1
	ADD.W #xx:16,Rd	W	4							Rd16+##x:16→Rd16	—	[3]	↑	↑	↑	↑	2
	ADD.W Rs,Rd	W	2	2						Rd16+Rs16→Rd16	—	[3]	↑	↑	↑	↑	1
	ADD.L #xx:32,ERd	L	6							ERd32+##x:32→ERd32	—	[4]	↑	↑	↑	↑	3
ADDX	ADD.L ERs,ERd	L	2	2						ERd32+ERs32→ERd32	—	[4]	↑	↑	↑	↑	1
	ADDX #xx:8,Rd	B	2							Rd8+##x:8+C→Rd8	—	↑	↑	[5]	↑	↑	1
	ADDX Rs,Rd	B	2	2						Rd8+Rs8+C→Rd8	—	↑	↑	[5]	↑	↑	1
ADDS	ADDS #1,ERd	L	2	2						ERd32+1→ERd32	—	—	—	—	—	—	1
	ADDS #2,ERd	L	2	2						ERd32+2→ERd32	—	—	—	—	—	—	1
	ADDS #4,ERd	L	2	2						ERd32+4→ERd32	—	—	—	—	—	—	1
INC	INC.B Rd	B	2	2						Rd8+1→Rd8	—	↑	↑	↑	↑	↑	1
	INC.W #1,Rd	W	2	2						Rd16+1→Rd16	—	↑	↑	↑	↑	↑	1
	INC.W #2,Rd	W	2	2						Rd16+2→Rd16	—	↑	↑	↑	↑	↑	1
	INC.L #1,ERd	L	2	2						ERd32+1→ERd32	—	↑	↑	↑	↑	↑	1
	INC.L #2,ERd	L	2	2						ERd32+2→ERd32	—	↑	↑	↑	↑	↑	1
DAA	DAA Rd	B	2	2						Rd8 10進補正→Rd8	—	*	↑	↑	*	↑	1
SUB	SUB.B Rs,Rd	B	2	2						Rd8-Rs8→Rd8	—	↑	↑	↑	↑	↑	1
	SUB.W #xx:16,Rd	W	4							Rd16-##x:16→Rd16	—	[3]	↑	↑	↑	↑	2
	SUB.W Rs,Rd	W	2	2						Rd16-Rs16→Rd16	—	[3]	↑	↑	↑	↑	1
	SUB.L #xx:32,ERd	L	6							ERd32-##x:32→ERd32	—	[4]	↑	↑	↑	↑	3
	SUB.L ERs,ERd	L	2	2						ERd32-ERs32→ERd32	—	[4]	↑	↑	↑	↑	1
SUBX	SUBX #xx:8,Rd	B	2							Rd8-##x:8-C→Rd8	—	↑	↑	[5]	↑	↑	1
	SUBX Rs,Rd	B	2	2						Rd8-Rs8-C→Rd8	—	↑	↑	[5]	↑	↑	1
SUBS	SUBS #1,ERd	L	2	2						ERd32-1→ERd32	—	—	—	—	—	—	1
	SUBS #2,ERd	L	2	2						ERd32-2→ERd32	—	—	—	—	—	—	1
	SUBS #4,ERd	L	2	2						ERd32-4→ERd32	—	—	—	—	—	—	1
DEC	DEC.B Rd	B	2	2						Rd8-1→Rd8	—	↑	↑	↑	↑	↑	1
	DEC.W #1,Rd	W	2	2						Rd16-1→Rd16	—	↑	↑	↑	↑	↑	1
	DEC.W #2,Rd	W	2	2						Rd16-2→Rd16	—	↑	↑	↑	↑	↑	1
	DEC.L #1,ERd	L	2	2						ERd32-1→ERd32	—	↑	↑	↑	↑	↑	1
	DEC.L #2,ERd	L	2	2						ERd32-2→ERd32	—	↑	↑	↑	↑	↑	1
DAS	DAS Rd	B	2	2						Rd8 10進補正→Rd8	—	*	↑	↑	*	↑	1
MULXU	MULXU.B Rs,Rd	B	2	2						Rd8×Rs8→Rd16 (符号なし乗算)	—	—	—	—	—	—	12
	MULXU.W Rs,ERd	W	2	2						Rd16×Rs16→ERd32 (符号なし乗算)	—	—	—	—	—	—	20
MULXS	MULXS.B Rs,Rd	B	4							Rd8×Rs8→Rd16 (符号付き乗算)	—	—	↑	↑	↑	↑	13
	MULXS.W Rs,ERd	W	4							Rd16×Rs16→ERd32 (符号付き乗算)	—	—	↑	↑	↑	↑	21
DIVXU	DIVXU.B Rs,Rd	B	2	2						Rd16÷Rs8→Rd16 (RdH: 余り, RdL: 商) (符号なし除算)	—	—	[6]	[7]	—	—	12
	DIVXU.W Rs,ERd	W	2	2						ERd32÷Rs16→ERd32 (Ed: 余り, Rd: 商) (符号なし除算)	—	—	[6]	[7]	—	—	20
DIVXS	DIVXS.B Rs,Rd	B	4							Rd16÷Rs8→Rd16 (RdH: 余り, RdL: 商) (符号付き除算)	—	—	[8]	[7]	—	—	13
	DIVXS.W Rs,ERd	W	4							ERd32÷Rs16→ERd32 (Ed: 余り, Rd: 商) (符号付き除算)	—	—	[8]	[7]	—	—	21
CMP	CMP.B #xx:8,Rd	B	2							Rd8-##x:8	—	↑	↑	↑	↑	↑	1
	CMP.B Rs,Rd	B	2	2						Rd8-Rs8	—	↑	↑	↑	↑	↑	1
	CMP.W #xx:16,Rd	W	4							Rd16-##x:16	—	[3]	↑	↑	↑	↑	2
	CMP.W Rs,Rd	W	2	2						Rd16-Rs16	—	[3]	↑	↑	↑	↑	1
	CMP.L #xx:32,ERd	L	6							ERd32-##x:32	—	[4]	↑	↑	↑	↑	3
NEG	CMP.L ERs,ERd	L	2	2						ERd32-ERs32	—	[4]	↑	↑	↑	↑	1
	NEG.B Rd	B	2							0-Rd8→Rd8	—	↑	↑	↑	↑	↑	1
	NEG.W Rd	W	2							0-Rd16→Rd16	—	↑	↑	↑	↑	↑	1
	NEG.L ERd	L	2							0-ERd32→ERd32	—	↑	↑	↑	↑	↑	1
	EXTU.W Rd	W	2							0→(<ビット15~8> of Rd16)	—	—	0	↑	0	—	1
EXTU	EXTU.L ERd	L	2							0→(<ビット31~16> of ERd32)	—	—	0	↑	0	—	1
	EXTS.W Rd	W	2							<ビット7> of Rd16)→ (<ビット15~8> of Rd16)	—	—	↑	↑	0	—	1
EXTS	EXTS.L ERd	L	2							<ビット15> of ERd32)→ (<ビット31~16> of ERd32)	—	—	↑	↑	0	—	1
	TAS @ERd*3	B			4					@ERd-0→CCRセット, (1)→ (<ビット7> of @ERd)	—	—	↑	↑	0	—	4
MAC	MAC @ERn+,@ERm+	—				4				@ERnx@ERm+MAC→MAC (符号付き乗算) @ERn+2→ERn,ERm+2→ERm	—	—	—	—	—	—	4
CLRMAC	CLRMAC	—						2		0→MACH,MACL	—	—	—	—	—	—	2 [12]
LDMAC	LDMAC ERs,MACH	L	2							ERs→MACH	—	—	—	—	—	—	2 [12]
	LDMAC ERs,MACL	L	2							ERs→MACL	—	—	—	—	—	—	2 [12]
STMAC	STMAC MACH,ERd	L	2							MACH→ERd	—	↑	↑	↑	↑	↑	1 [12]
	STMAC MACL,ERd	L	2							MACL→ERd	—	↑	↑	↑	↑	↑	1 [12]

(3) 論理演算命令

ニーモニック		サイズ	アドレッシングモード／命令長 (バイト)								オペレーション	コンディション コード						実行 ステート数*1
			#xx	Rn	@ERn	@ (d,ERn)	@-ERn/@ERn+	@aa	@ (d,PC)	@@aa		I	H	N	Z	V	C	
AND	AND.B #xx:8,Rd	B	2								Rd8^#xx:8→Rd8	—	—	↑	↑	0	—	1
	AND.B Rs,Rd	B	2								Rd8^Rs8→Rd8	—	—	↑	↑	0	—	1
	AND.W #xx:16,Rd	W	4								Rd16^#xx:16→Rd16	—	—	↑	↑	0	—	2
	AND.W Rs,Rd	W	2								Rd16^Rs16→Rd16	—	—	↑	↑	0	—	1
	AND.L #xx:32,ERd	L	6								ERd32^#xx:32→ERd32	—	—	↑	↑	0	—	3
	AND.L ERs,ERd	L	4								ERd32^ERs32→ERd32	—	—	↑	↑	0	—	2
OR	OR.B #xx:8,Rd	B	2								Rd8∨#xx:8→Rd8	—	—	↑	↑	0	—	1
	OR.B Rs,Rd	B	2								Rd8∨Rs8→Rd8	—	—	↑	↑	0	—	1
	OR.W #xx:16,Rd	W	4								Rd16∨#xx:16→Rd16	—	—	↑	↑	0	—	2
	OR.W Rs,Rd	W	2								Rd16∨Rs16→Rd16	—	—	↑	↑	0	—	1
	OR.L #xx:32,ERd	L	6								ERd32∨#xx:32→ERd32	—	—	↑	↑	0	—	3
	OR.L ERs,ERd	L	4								ERd32∨ERs32→ERd32	—	—	↑	↑	0	—	2
XOR	XOR.B #xx:8,Rd	B	2								Rd8⊕#xx:8→Rd8	—	—	↑	↑	0	—	1
	XOR.B Rs,Rd	B	2								Rd8⊕Rs8→Rd8	—	—	↑	↑	0	—	1
	XOR.W #xx:16,Rd	W	4								Rd16⊕#xx:16→Rd16	—	—	↑	↑	0	—	2
	XOR.W Rs,Rd	W	2								Rd16⊕Rs16→Rd16	—	—	↑	↑	0	—	1
	XOR.L #xx:32,ERd	L	6								ERd32⊕#xx:32→ERd32	—	—	↑	↑	0	—	3
	XOR.L ERs,ERd	L	4								ERd32⊕ERs32→ERd32	—	—	↑	↑	0	—	2
NOT	NOT.B Rd	B	2								~Rd8→Rd8	—	—	↑	↑	0	—	1
	NOT.W Rd	W	2								~Rd16→Rd16	—	—	↑	↑	0	—	1
	NOT.L ERd	L	2								~ERd32→ERd32	—	—	↑	↑	0	—	1

(4) シフト命令

ニーモニック		サイズ	アドレッシングモード／命令長 (バイト)								オペレーション	コンディションコード					実行ステート数*	
			#xx	Rn	@ERn	@ (d,ERn)	@-ERn@ERn+	@aa	@ (d,PC)	@@aa		I	H	N	Z	V	C	アドバンスト
SHAL	SHAL.B Rd	B	2									—	—	↑	↑	↑	↑	1
	SHAL.B #2,Rd	B	2									—	—	↑	↑	↑	↑	1
	SHAL.W Rd	W	2									—	—	↑	↑	↑	↑	1
	SHAL.W #2,Rd	W	2									—	—	↑	↑	↑	↑	1
	SHAL.L ERd	L	2									—	—	↑	↑	↑	↑	1
	SHAL.L #2,ERd	L	2									—	—	↑	↑	↑	↑	1
SHAR	SHAR.B Rd	B	2									—	—	↑	↑	0	↑	1
	SHAR.B #2,Rd	B	2									—	—	↑	↑	0	↑	1
	SHAR.W Rd	W	2									—	—	↑	↑	0	↑	1
	SHAR.W #2,Rd	W	2									—	—	↑	↑	0	↑	1
	SHAR.L ERd	L	2									—	—	↑	↑	0	↑	1
	SHAR.L #2,ERd	L	2									—	—	↑	↑	0	↑	1
SHLL	SHLL.B Rd	B	2									—	—	↑	↑	0	↑	1
	SHLL.B #2,Rd	B	2									—	—	↑	↑	0	↑	1
	SHLL.W Rd	W	2									—	—	↑	↑	0	↑	1
	SHLL.W #2,Rd	W	2									—	—	↑	↑	0	↑	1
	SHLL.L ERd	L	2									—	—	↑	↑	0	↑	1
	SHLL.L #2,ERd	L	2									—	—	↑	↑	0	↑	1
SHLR	SHLR.B Rd	B	2									—	—	0	↑	0	↑	1
	SHLR.B #2,Rd	B	2									—	—	0	↑	0	↑	1
	SHLR.W Rd	W	2									—	—	0	↑	0	↑	1
	SHLR.W #2,Rd	W	2									—	—	0	↑	0	↑	1
	SHLR.L ERd	L	2									—	—	0	↑	0	↑	1
	SHLR.L #2,ERd	L	2									—	—	0	↑	0	↑	1
ROTXL	ROTXL.B Rd	B	2									—	—	↑	↑	0	↑	1
	ROTXL.B #2,Rd	B	2									—	—	↑	↑	0	↑	1
	ROTXL.W Rd	W	2									—	—	↑	↑	0	↑	1
	ROTXL.W #2,Rd	W	2									—	—	↑	↑	0	↑	1
	ROTXL.L ERd	L	2									—	—	↑	↑	0	↑	1
	ROTXL.L #2,ERd	L	2									—	—	↑	↑	0	↑	1
ROTXR	ROTXR.B Rd	B	2									—	—	↑	↑	0	↑	1
	ROTXR.B #2,Rd	B	2									—	—	↑	↑	0	↑	1
	ROTXR.W Rd	W	2									—	—	↑	↑	0	↑	1
	ROTXR.W #2,Rd	W	2									—	—	↑	↑	0	↑	1
	ROTXR.L ERd	L	2									—	—	↑	↑	0	↑	1
	ROTXR.L #2,ERd	L	2									—	—	↑	↑	0	↑	1
ROTL	ROTL.B Rd	B	2									—	—	↑	↑	0	↑	1
	ROTL.B #2,Rd	B	2									—	—	↑	↑	0	↑	1
	ROTL.W Rd	W	2									—	—	↑	↑	0	↑	1
	ROTL.W #2,Rd	W	2									—	—	↑	↑	0	↑	1
	ROTL.L ERd	L	2									—	—	↑	↑	0	↑	1
	ROTL.L #2,ERd	L	2									—	—	↑	↑	0	↑	1
ROTR	ROTR.B Rd	B	2									—	—	↑	↑	0	↑	1
	ROTR.B #2,Rd	B	2									—	—	↑	↑	0	↑	1
	ROTR.W Rd	W	2									—	—	↑	↑	0	↑	1
	ROTR.W #2,Rd	W	2									—	—	↑	↑	0	↑	1
	ROTR.L ERd	L	2									—	—	↑	↑	0	↑	1
	ROTR.L #2,ERd	L	2									—	—	↑	↑	0	↑	1

(5) ビット操作命令

ニーモニック		サイズ	アドレッシングモード／命令長 (バイト)								オペレーション	コンディションコード							実行 ステート数 ^{*1}
			#xx	Rn	@ERn	@ (d,ERn)	@-ERn/@ERn+	@aa	@ (d,PC)	@@aa		I	I	H	N	Z	V	C	
BSET	BSET #xx:3,Rd	B		2							(#xx:3 of Rd8)←1	—	—	—	—	—	—	1	
	BSET #xx:3,@ERd	B			4						(#xx:3 of @ERd)←1	—	—	—	—	—	—	4	
	BSET #xx:3,@aa:8	B						4			(#xx:3 of @aa:8)←1	—	—	—	—	—	—	4	
	BSET #xx:3,@aa:16	B						6			(#xx:3 of @aa:16)←1	—	—	—	—	—	—	5	
	BSET #xx:3,@aa:32	B						8			(#xx:3 of @aa:32)←1	—	—	—	—	—	—	6	
	BSET Rn,Rd	B		2							(Rn8 of Rd8)←1	—	—	—	—	—	—	1	
	BSET Rn,@ERd	B			4						(Rn8 of @ERd)←1	—	—	—	—	—	—	4	
	BSET Rn,@aa:8	B						4			(Rn8 of @aa:8)←1	—	—	—	—	—	—	4	
	BSET Rn,@aa:16	B						6			(Rn8 of @aa:16)←1	—	—	—	—	—	—	5	
	BSET Rn,@aa:32	B						8			(Rn8 of @aa:32)←1	—	—	—	—	—	—	6	
BCLR	BCLR #xx:3,Rd	B		2							(#xx:3 of Rd8)←0	—	—	—	—	—	—	1	
	BCLR #xx:3,@ERd	B			4						(#xx:3 of @ERd)←0	—	—	—	—	—	—	4	
	BCLR #xx:3,@aa:8	B						4			(#xx:3 of @aa:8)←0	—	—	—	—	—	—	4	
	BCLR #xx:3,@aa:16	B						6			(#xx:3 of @aa:16)←0	—	—	—	—	—	—	5	
	BCLR #xx:3,@aa:32	B						8			(#xx:3 of @aa:32)←0	—	—	—	—	—	—	6	
	BCLR Rn,Rd	B		2							(Rn8 of Rd8)←0	—	—	—	—	—	—	1	
	BCLR Rn,@ERd	B			4						(Rn8 of @ERd)←0	—	—	—	—	—	—	4	
	BCLR Rn,@aa:8	B						4			(Rn8 of @aa:8)←0	—	—	—	—	—	—	4	
	BCLR Rn,@aa:16	B						6			(Rn8 of @aa:16)←0	—	—	—	—	—	—	5	
	BCLR Rn,@aa:32	B						8			(Rn8 of @aa:32)←0	—	—	—	—	—	—	6	
BNOT	BNOT #xx:3,Rd	B		2							(#xx:3 of Rd8)← ~(#xx:3 of Rd8)]	—	—	—	—	—	—	1	
	BNOT #xx:3,@ERd	B			4						(#xx:3 of @ERd)← ~(#xx:3 of @ERd)]	—	—	—	—	—	—	4	
	BNOT #xx:3,@aa:8	B						4			(#xx:3 of @aa:8)← ~(#xx:3 of @aa:8)]	—	—	—	—	—	—	4	
	BNOT #xx:3,@aa:16	B						6			(#xx:3 of @aa:16)← ~(#xx:3 of @aa:16)]	—	—	—	—	—	—	5	
	BNOT #xx:3,@aa:32	B						8			(#xx:3 of @aa:32)← ~(#xx:3 of @aa:32)]	—	—	—	—	—	—	6	
	BNOT Rn,Rd	B		2							(Rn8 of Rd8)← ~(Rn8 of Rd8)]	—	—	—	—	—	—	1	
	BNOT Rn,@ERd	B			4						(Rn8 of @ERd)← ~(Rn8 of @ERd)]	—	—	—	—	—	—	4	
	BNOT Rn,@aa:8	B						4			(Rn8 of @aa:8)← ~(Rn8 of @aa:8)]	—	—	—	—	—	—	4	
	BNOT Rn,@aa:16	B						6			(Rn8 of @aa:16)← ~(Rn8 of @aa:16)]	—	—	—	—	—	—	5	
	BNOT Rn,@aa:32	B						8			(Rn8 of @aa:32)← ~(Rn8 of @aa:32)]	—	—	—	—	—	—	6	
BTST	BTST #xx:3,Rd	B		2							~(#xx:3 of Rd8)→Z	—	—	—	↑	—	—	1	
	BTST #xx:3,@ERd	B			4						~(#xx:3 of @ERd)→Z	—	—	—	↑	—	—	3	
	BTST #xx:3,@aa:8	B						4			~(#xx:3 of @aa:8)→Z	—	—	—	↑	—	—	3	
	BTST #xx:3,@aa:16	B						6			~(#xx:3 of @aa:16)→Z	—	—	—	↑	—	—	4	
	BTST #xx:3,@aa:32	B						8			~(#xx:3 of @aa:32)→Z	—	—	—	↑	—	—	5	
	BTST Rn,Rd	B		2							~(Rn8 of Rd8)→Z	—	—	—	↑	—	—	1	
	BTST Rn,@ERd	B			4						~(Rn8 of @ERd)→Z	—	—	—	↑	—	—	3	
	BTST Rn,@aa:8	B						4			~(Rn8 of @aa:8)→Z	—	—	—	↑	—	—	3	
	BTST Rn,@aa:16	B						6			~(Rn8 of @aa:16)→Z	—	—	—	↑	—	—	4	
	BTST Rn,@aa:32	B						8			~(Rn8 of @aa:32)→Z	—	—	—	↑	—	—	5	
BLD	BLD #xx:3,Rd	B		2							(#xx:3 of Rd8)→C	—	—	—	—	↑	—	1	
	BLD #xx:3,@ERd	B			4						(#xx:3 of @ERd)→C	—	—	—	—	↑	—	3	
	BLD #xx:3,@aa:8	B						4			(#xx:3 of @aa:8)→C	—	—	—	—	↑	—	3	
	BLD #xx:3,@aa:16	B						6			(#xx:3 of @aa:16)→C	—	—	—	—	↑	—	4	
	BLD #xx:3,@aa:32	B						8			(#xx:3 of @aa:32)→C	—	—	—	—	↑	—	5	
BILD	BILD #xx:3,Rd	B		2							~(#xx:3 of Rd8)→C	—	—	—	—	↑	—	1	
	BILD #xx:3,@ERd	B			4						~(#xx:3 of @ERd)→C	—	—	—	—	↑	—	3	
	BILD #xx:3,@aa:8	B						4			~(#xx:3 of @aa:8)→C	—	—	—	—	↑	—	3	
	BILD #xx:3,@aa:16	B						6			~(#xx:3 of @aa:16)→C	—	—	—	—	↑	—	4	
	BILD #xx:3,@aa:32	B						8			~(#xx:3 of @aa:32)→C	—	—	—	—	↑	—	5	
BST	BST #xx:3,Rd	B		2							C→(#xx:3 of Rd8)	—	—	—	—	—	—	1	
	BST #xx:3,@ERd	B			4						C→(#xx:3 of @ERd)	—	—	—	—	—	—	4	
	BST #xx:3,@aa:8	B						4			C→(#xx:3 of @aa:8)	—	—	—	—	—	—	4	
	BST #xx:3,@aa:16	B						6			C→(#xx:3 of @aa:16)	—	—	—	—	—	—	5	
	BST #xx:3,@aa:32	B						8			C→(#xx:3 of @aa:32)	—	—	—	—	—	—	6	
BIST	BIST #xx:3,Rd	B		2							~C→(#xx:3 of Rd8)	—	—	—	—	—	—	1	
	BIST #xx:3,@ERd	B			4						~C→(#xx:3 of @ERd)	—	—	—	—	—	—	4	
	BIST #xx:3,@aa:8	B						4			~C→(#xx:3 of @aa:8)	—	—	—	—	—	—	4	
	BIST #xx:3,@aa:16	B						6			~C→(#xx:3 of @aa:16)	—	—	—	—	—	—	5	
	BIST #xx:3,@aa:32	B						8			~C→(#xx:3 of @aa:32)	—	—	—	—	—	—	6	
BAND	BAND #xx:3,Rd	B		2							C^(#xx:3 of Rd8)→C	—	—	—	—	↑	—	1	
	BAND #xx:3,@ERd	B			4						C^(#xx:3 of @ERd)→C	—	—	—	—	↑	—	3	
	BAND #xx:3,@aa:8	B						4			C^(#xx:3 of @aa:8)→C	—	—	—	—	↑	—	3	
	BAND #xx:3,@aa:16	B						6			C^(#xx:3 of @aa:16)→C	—	—	—	—	↑	—	4	
	BAND #xx:3,@aa:32	B						8			C^(#xx:3 of @aa:32)→C	—	—	—	—	↑	—	5	

ニーモニック		サイズ	アドレッシングモード／命令長 (バイト)								オペレーション	コンディション コード					実行 ステート数*1		
			#xx	Rn	@ERn	@ (d,ERn)	@-ERn/@ERn+	@aa	@ (d,PC)	@@aa		I	I	H	N	Z		V	C
BIAND	BIAND #xx:3,Rd	B		2							C^ [~(#xx:3 of Rd8)]→C	—	—	—	—	↑		1	
	BIAND #xx:3,@ERd	B			4						C^ [~(#xx:3 of @ERd)]→C	—	—	—	—	↑		3	
	BIAND #xx:3,@aa:8	B						4			C^ [~(#xx:3 of @aa:8)]→C	—	—	—	—	↑		3	
	BIAND #xx:3,@aa:16	B						6			C^ [~(#xx:3 of @aa:16)]→C	—	—	—	—	↑		4	
	BIAND #xx:3,@aa:32	B						8			C^ [~(#xx:3 of @aa:32)]→C	—	—	—	—	↑		5	
BOR	BOR #xx:3,Rd	B		2							Cv(#xx:3 of Rd8)→C	—	—	—	—	↑		1	
	BOR #xx:3,@ERd	B			4						Cv(#xx:3 of @ERd)→C	—	—	—	—	↑		3	
	BOR #xx:3,@aa:8	B						4			Cv(#xx:3 of @aa:8)→C	—	—	—	—	↑		3	
	BOR #xx:3,@aa:16	B						6			Cv(#xx:3 of @aa:16)→C	—	—	—	—	↑		4	
	BOR #xx:3,@aa:32	B						8			Cv(#xx:3 of @aa:32)→C	—	—	—	—	↑		5	
BIOR	BIOR #xx:3,Rd	B		2							Cv[~(#xx:3 of Rd8)]→C	—	—	—	—	↑		1	
	BIOR #xx:3,@ERd	B			4						Cv [~(#xx:3 of @ERd)]→C	—	—	—	—	↑		3	
	BIOR #xx:3,@aa:8	B						4			Cv [~(#xx:3 of @aa:8)]→C	—	—	—	—	↑		3	
	BIOR #xx:3,@aa:16	B						6			Cv[~(#xx:3 of @aa:16)]→C	—	—	—	—	↑		4	
	BIOR #xx:3,@aa:32	B						8			Cv[~(#xx:3 of @aa:32)]→C	—	—	—	—	↑		5	
BXOR	BXOR #xx:3,Rd	B		2							C@ (#xx:3 of Rd8)→C	—	—	—	—	↑		1	
	BXOR #xx:3,@ERd	B			4						C@ (#xx:3 of @ERd)→C	—	—	—	—	↑		3	
	BXOR #xx:3,@aa:8	B						4			C@ (#xx:3 of @aa:8)→C	—	—	—	—	↑		3	
	BXOR #xx:3,@aa:16	B						6			C@ (#xx:3 of @aa:16)→C	—	—	—	—	↑		4	
	BXOR #xx:3,@aa:32	B						8			C@ (#xx:3 of @aa:32)→C	—	—	—	—	↑		5	
BIXOR	BIXOR #xx:3,Rd	B		2							C@ [~(#xx:3 of Rd8)]→C	—	—	—	—	↑		1	
	BIXOR #xx:3,@ERd	B			4						C@ [~(#xx:3 of @ERd)]→C	—	—	—	—	↑		3	
	BIXOR #xx:3,@aa:8	B						4			C@ [~(#xx:3 of @aa:8)]→C	—	—	—	—	↑		3	
	BIXOR #xx:3,@aa:16	B						6			C@ [~(#xx:3 of @aa:16)]→C	—	—	—	—	↑		4	
	BIXOR #xx:3,@aa:32	B						8			C@ [~(#xx:3 of @aa:32)]→C	—	—	—	—	↑		5	

(6) 分岐命令

ニーモニック		サイズ	アドレッシングモード／命令長 (バイト)								オペレーション	コンディション コード	実行 ステート数*1					
			#xx	Rn	@ERn	@(d,ERn)	@-ERn/@ERn+	@aa	@(d,PC)	@@aa			分岐条件	I	H	N	Z	V
Bcc	BRA d:8(BT d:8)	—						2		if condition is true then PC←PC+d else next;	Always	—	—	—	—	—	2	
	BRA d:16(BT d:16)	—						4			Never	—	—	—	—	—	3	
	BRN d:8(BF d:8)	—						2			CvZ=0	—	—	—	—	—	2	
	BRN d:16(BF d:16)	—						4				—	—	—	—	—	3	
	BHI d:8	—						2			CvZ=1	—	—	—	—	—	2	
	BHI d:16	—						4				—	—	—	—	—	3	
	BLS d:8	—						2			C=0	—	—	—	—	—	2	
	BLS d:16	—						4				—	—	—	—	—	3	
	BCC d:8(BHS d:8)	—						2			C=1	—	—	—	—	—	2	
	BCC d:16(BHS d:16)	—						4				—	—	—	—	—	3	
	BCS d:8(BLO d:8)	—						2			Z=0	—	—	—	—	—	2	
	BCS d:16(BLO d:16)	—						4				—	—	—	—	—	3	
	BNE d:8	—						2			Z=1	—	—	—	—	—	2	
	BNE d:16	—						4				—	—	—	—	—	3	
	BEQ d:8	—						2			V=0	—	—	—	—	—	2	
	BEQ d:16	—						4				—	—	—	—	—	3	
	BVC d:8	—						2		V=1	—	—	—	—	—	2		
	BVC d:16	—						4			—	—	—	—	—	3		
	BVS d:8	—						2		N=0	—	—	—	—	—	2		
	BVS d:16	—						4			—	—	—	—	—	3		
	BPL d:8	—						2		N=1	—	—	—	—	—	2		
	BPL d:16	—						4			—	—	—	—	—	3		
	BMI d:8	—						2		N@V=0	—	—	—	—	—	2		
	BMI d:16	—						4			—	—	—	—	—	3		
	BGE d:8	—						2		N@V=1	—	—	—	—	—	2		
	BGE d:16	—						4			—	—	—	—	—	3		
	BLT d:8	—						2		if condition is true then PC←PC+d else next;	Z^(N@V)=0	—	—	—	—	—	2	
	BLT d:16	—						4			Z^(N@V)=1	—	—	—	—	—	3	
	BLE d:8	—						2				—	—	—	—	—	2	
	BLE d:16	—						4				—	—	—	—	—	3	
	JMP	JMP @ERn	—		2						PC←ERn		—	—	—	—	—	2
		JMP @aa:24	—					4			PC←aa:24		—	—	—	—	—	3
JMP @@aa:8		—							2	PC←@aa:8		—	—	—	—	—	5	
BSR	BSR d:8	—						2		PC→@-SP,PC←PC+d:8		—	—	—	—	—	4	
	BSR d:16	—						4		PC→@-SP,PC←PC+d:16		—	—	—	—	—	5	
JSR	JSR @ERn	—		2						PC→@-SP,PC←ERn		—	—	—	—	—	4	
	JSR @aa:24	—					4			PC→@-SP,PC←aa:24		—	—	—	—	—	5	
	JSR @@aa:8	—							2	PC→@-SP,PC←@aa:8		—	—	—	—	—	6	
RTS	RTS	—							2	PC←@SP+		—	—	—	—	—	5	

(7) システム制御命令

ニーモニック		サイズ	アドレッシングモード／命令長 (バイト)								オペレーション	コンディションコード						実行 ステート数*1
			#xx	Rn	@ERn	@ (d,ERn)	@-ERn@ERn+	@aa	@ (d,PC)	@@aa		I	I	H	N	Z	V	
TRAPA	TRAPA #xx:2	—									PC→@-SP,CCR→@-SP, EXR→@-SP,<ベクタ>→PC	1	—	—	—	—	—	8 [9]
RTE	RTE	—									EXR←@SP+,CCR←@SP+, PC←@SP+	↑	↑	↑	↑	↑	↑	5 [9]
SLEEP	SLEEP	—									低消費電力状態に遷移	—	—	—	—	—	—	2
LDC	LDC #xx:8,CCR	B	2								#xx:8→CCR	↑	↑	↑	↑	↑	↑	1
	LDC #xx:8,EXR	B	4								#xx:8→EXR	—	—	—	—	—	—	2
	LDC Rs,CCR	B		2							Rs8→CCR	↑	↑	↑	↑	↑	↑	1
	LDC Rs,EXR	B		2							Rs8→EXR	—	—	—	—	—	—	1
	LDC @ERs,CCR	W			4						@ERs→CCR	↑	↑	↑	↑	↑	↑	3
	LDC @ERs,EXR	W			4						@ERs→EXR	—	—	—	—	—	—	3
	LDC @(d:16,ERs),CCR	W				6					@ (d:16,ERs)→CCR	↑	↑	↑	↑	↑	↑	4
	LDC @(d:16,ERs),EXR	W				6					@ (d:16,ERs)→EXR	—	—	—	—	—	—	4
	LDC @(d:32,ERs),CCR	W				10					@ (d:32,ERs)→CCR	↑	↑	↑	↑	↑	↑	6
	LDC @(d:32,ERs),EXR	W				10					@ (d:32,ERs)→EXR	—	—	—	—	—	—	6
	LDC @ERs+,CCR	W					4				@ERs→CCR,ERs32+2→ERs32	↑	↑	↑	↑	↑	↑	4
	LDC @ERs+,EXR	W					4				@ERs→EXR,ERs32+2→ERs32	—	—	—	—	—	—	4
	LDC @aa:16,CCR	W						6			@aa:16→CCR	↑	↑	↑	↑	↑	↑	4
	LDC @aa:16,EXR	W						6			@aa:16→EXR	—	—	—	—	—	—	4
	LDC @aa:32,CCR	W						8			@aa:32→CCR	↑	↑	↑	↑	↑	↑	5
	LDC @aa:32,EXR	W						8			@aa:32→EXR	—	—	—	—	—	—	5
STC	STC CCR,Rd	B		2							CCR→Rd8	—	—	—	—	—	—	1
	STC EXR,Rd	B		2							EXR→Rd8	—	—	—	—	—	—	1
	STC CCR,@ERd	W			4						CCR→@ERd	—	—	—	—	—	—	3
	STC EXR,@ERd	W			4						EXR→@ERd	—	—	—	—	—	—	3
	STC CCR,@ (d:16,ERd)	W				6					CCR→@ (d:16,ERd)	—	—	—	—	—	—	4
	STC EXR,@ (d:16,ERd)	W				6					EXR→@ (d:16,ERd)	—	—	—	—	—	—	4
	STC CCR,@ (d:32,ERd)	W				10					CCR→@ (d:32,ERd)	—	—	—	—	—	—	6
	STC EXR,@ (d:32,ERd)	W				10					EXR→@ (d:32,ERd)	—	—	—	—	—	—	6
	STC CCR,@-ERd	W					4				ERd32-2→ERd32,CCR→@ERd	—	—	—	—	—	—	4
	STC EXR,@-ERd	W					4				ERd32-2→ERd32,EXR→@ERd	—	—	—	—	—	—	4
	STC CCR,@aa:16	W						6			CCR→@aa:16	—	—	—	—	—	—	4
	STC EXR,@aa:16	W						6			EXR→@aa:16	—	—	—	—	—	—	4
	STC CCR,@aa:32	W						8			CCR→@aa:32	—	—	—	—	—	—	5
	STC EXR,@aa:32	W						8			EXR→@aa:32	—	—	—	—	—	—	5
ANDC	ANDC #xx:8,CCR	B	2								CCR^#xx:8→CCR	↑	↑	↑	↑	↑	↑	1
	ANDC #xx:8,EXR	B	4								EXR^#xx:8→EXR	—	—	—	—	—	—	2
ORC	ORC #xx:8,CCR	B	2								CCRv#xx:8→CCR	↑	↑	↑	↑	↑	↑	1
	ORC #xx:8,EXR	B	4								EXRv#xx:8→EXR	—	—	—	—	—	—	2
XORC	XORC #xx:8,CCR	B	2								CCR@#xx:8→CCR	↑	↑	↑	↑	↑	↑	1
	XORC #xx:8,EXR	B	4								EXR@#xx:8→EXR	—	—	—	—	—	—	2
NOP	NOP	—							2		PC←PC+2	—	—	—	—	—	—	1

(8) ブロック転送命令

ニーモニック	サイズ	アドレッシングモード／命令長 (バイト)									オペレーション	コンディションコード					実行 ステート数*1		
		#xx	Rn	@ERn	@ (d,ERn)	@-ERn@ERn+	@aa	@ (d,PC)	@@aa			I	H	N	Z	V		C	アドバンスト
EEPMOV	EEPMOV.B	—									4	if R4L≠0 Repeat @ER5→@ER6 ER5+1→ER5 ER6+1→ER6 R4L-1→R4L Until R4L=0 else next;	—	—	—	—	—	—	4+2n *2
	EEPMOV.W	—									4	if R4≠0 Repeat @ER5→@ER6 ER5+1→ER5 ER6+1→ER6 R4-1→R4 Until R4=0 else next;	—	—	—	—	—	—	4+2n *2

【注】 *1 実行ステート数は、命令コードおよびオペランドが内蔵メモリに存在する場合の値です。

*2 nはR4LまたはR4の初期設定値です。

*3 TAS命令を使用する場合は、レジスタER0、ER1、ER4、ER5を使用してください。

[1] 復帰/退避レジスタ数が2本のとき7ステート、3本のとき9ステート、4本のとき11ステートになります。

[2] 本LSIでは使用できません。

[3] ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。

[4] ビット27から桁上がりまたはビット27へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。

[5] 演算結果が0（ゼロ）のとき、演算前の値を保持し、それ以外のとき0にクリアされます。

[6] 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。

[7] 除数が0（ゼロ）のとき1にセットされ、それ以外のとき0にクリアされます。

[8] 商が負のとき1にセットされ、それ以外のとき0にクリアされます。

[9] EXRが有効のとき、実行ステート数は1ステート多くなります。

A.2 命令コード一覧

表A.2 命令コード一覧

命令	二ノミック	サイズ	インストラクションフォーマット									
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト
ADD	ADD.B #xx:8.Rd	B	8	rd	IMM							
	ADD.B Rs.Rd	B	0	8	rs	rd						
	ADD.W #xx:16.Rd	W	7	9	1	rd						
	ADD.W Rs.Rd	W	0	9	rs	rd						
	ADD.L #xx:32.ERd	L	7	A	1	0	erd	IMM				
	ADD.L ERS.ERd	L	0	A	1	ers	0	erd				
ADDS	ADDS #1.ERd	L	0	B	0	0	erd					
	ADDS #2.ERd	L	0	B	8	0	erd					
ADDS	ADDS #4.ERd	L	0	B	9	0	erd					
	ADDS #xx:8.Rd	B	9	rd	IMM							
ADDX	ADDX Rs.Rd	B	0	E	rs	rd						
	ADDX #xx:8.Rd	B	E	rd	IMM							
AND	AND.B Rs.Rd	B	1	6	rs	rd						
	AND.W #xx:16.Rd	W	7	9	6	rd						
	AND.W Rs.Rd	W	6	6	rs	rd						
	AND.L #xx:32.ERd	L	7	A	6	0	erd	IMM				
	AND.L ERS.ERd	L	0	1	F	0	ers	0	erd			
	ANDC #xx:8.CCR	B	0	6	IMM							
ANDC	ANDC #xx:8.EXR	B	0	1	4	1	0	IMM				
	BAND #xx:3.Rd	B	7	6	0	IMM	rd					
BAND	BAND #xx:3.@ERd	B	7	C	0	erd	0	0	IMM	0		
	BAND #xx:3.@aa8	B	7	E	abs			7	6	0	IMM	0
	BAND #xx:3.@aa16	B	6	A	1	0	abs	7	6	0	IMM	0
	BAND #xx:3.@aa32	B	6	A	3	0	abs	7	6	0	IMM	0
	BRA d16 (BT d16)	—	4	0	disp							
	BRN d16 (BF d16)	—	4	1	disp							
Bcc	BRN d16 (BF d16)	—	5	8	1	0	disp					
	BHI d16	—	4	2	disp							
	BHI d16	—	5	8	2	0	disp					
	BLS d16	—	4	3	disp							
	BLS d16	—	5	8	3	0	disp					
	BCC d16 (BHS d16)	—	4	4	disp							
	BCC d16 (BHS d16)	—	5	8	4	0	disp					
	BCS d16 (BLO d16)	—	4	5	disp							
	BCS d16 (BLO d16)	—	5	8	5	0	disp					
	BNE d16	—	4	6	disp							
	BNE d16	—	5	8	6	0	disp					
	BEQ d16	—	4	7	disp							
	BEQ d16	—	5	8	7	0	disp					
	BVC d16	—	4	8	disp							
	BVC d16	—	5	8	8	0	disp					
	BVS d16	—	4	9	disp							
	BVS d16	—	5	8	9	0	disp					

命令	ニーモニック	サイズ	インストラクションフォーマット									
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト
Bcc (続き)	BPL d8	—	4	A	disp							
	BPL d16	—	5	8	A	0	disp					
	BMI d8	—	4	B	disp							
	BMI d16	—	5	8	B	0	disp					
	BGE d8	—	4	C	disp							
	BGE d16	—	5	8	C	0	disp					
	BLT d8	—	4	D	disp							
	BLT d16	—	5	8	D	0	disp					
	BGT d8	—	4	E	disp							
	BGT d16	—	5	8	E	0	disp					
BCLR	BLE d8	—	4	F	disp							
	BLE d16	—	5	8	F	0	disp					
	BCLR #xx:3:Rd	B	7	2	0:IMM	rd						
	BCLR #xx:3:@ERd	B	7	D	0:erd	0						
	BCLR #xx:3:@aa:8	B	7	F	abs							
	BCLR #xx:3:@aa:16	B	6	A	1	8	abs	7	2	0:IMM	0	
	BCLR #xx:3:@aa:32	B	6	A	3	8	abs					
	BCLR Rn:Rd	B	6	2	m	rd						
	BCLR Rn:@ERd	B	7	D	0:erd	0	6	2	rn	0		
	BCLR Rn:@aa:8	B	7	F	abs		6	2	rn	0		
BIAND	BCLR Rn:@aa:16	B	6	A	1	8	abs	6	2	rn	0	
	BCLR Rn:@aa:32	B	6	A	3	8	abs					
	BIAND #xx:3:Rd	B	7	6	1:IMM	rd						
	BIAND #xx:3:@ERd	B	7	C	0:erd	0	7	6	1:IMM	0		
	BIAND #xx:3:@aa:8	B	7	E	abs		7	6	1:IMM	0		
	BIAND #xx:3:@aa:16	B	6	A	1	0	abs	7	6	1:IMM	0	
	BIAND #xx:3:@aa:32	B	6	A	3	0	abs					
	BILD #xx:3:Rd	B	7	7	1:IMM	rd						
	BILD #xx:3:@ERd	B	7	C	0:erd	0	7	7	1:IMM	0		
	BILD #xx:3:@aa:8	B	7	E	abs		7	7	1:IMM	0		
BILD	BILD #xx:3:@aa:16	B	6	A	1	0	abs	7	7	1:IMM	0	
	BILD #xx:3:@aa:32	B	6	A	3	0	abs					
	BIOR #xx:3:Rd	B	7	4	1:IMM	rd						
	BIOR #xx:3:@ERd	B	7	C	0:erd	0	7	4	1:IMM	0		
	BIOR #xx:3:@aa:8	B	7	E	abs		7	4	1:IMM	0		
	BIOR #xx:3:@aa:16	B	6	A	1	0	abs	7	4	1:IMM	0	
	BIOR #xx:3:@aa:32	B	6	A	3	0	abs					
	BIST #xx:3:Rd	B	6	7	1:IMM	rd						
	BIST #xx:3:@ERd	B	7	D	0:erd	0	6	7	1:IMM	0		
	BIST #xx:3:@aa:8	B	7	F	abs		6	7	1:IMM	0		
BIST	BIST #xx:3:@aa:16	B	6	A	1	8	abs	6	7	1:IMM	0	
	BIST #xx:3:@aa:32	B	6	A	3	8	abs					

命令	ニーモニック	サイズ	インストラクションフォーマット									
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト
BIXOR	BIXOR #xx:3,Rd	B 7 5	1:IMM	rd								
	BIXOR #xx:3,@ERd	B 7 C	0:erd	0	7 5	1:IMM	0					
	BIXOR #xx:3,@aa:8	B 7 E	abs		7 5	1:IMM	0					
	BIXOR #xx:3,@aa:16	B 6 A	1 0		abs							
	BIXOR #xx:3,@aa:32	B 6 A	3 0		abs							
	BIXOR #xx:3,Rd	B 6 A	3 0		abs							
BLD	BLD #xx:3,Rd	B 7 7	0:IMM	rd								
	BLD #xx:3,@ERd	B 7 C	0:erd	0	7 7	0:IMM	0					
	BLD #xx:3,@aa:8	B 7 E	abs		7 7	0:IMM	0					
	BLD #xx:3,@aa:16	B 6 A	1 0		abs							
	BLD #xx:3,@aa:32	B 6 A	3 0		abs							
	BLD #xx:3,Rd	B 6 A	3 0		abs							
BNOT	BNOT #xx:3,Rd	B 7 1	0:IMM	rd								
	BNOT #xx:3,@ERd	B 7 D	0:erd	0	7 1	0:IMM	0					
	BNOT #xx:3,@aa:8	B 7 F	abs		7 1	0:IMM	0					
	BNOT #xx:3,@aa:16	B 6 A	1 8		abs							
	BNOT #xx:3,@aa:32	B 6 A	3 8		abs							
	BNOT Rn,Rd	B 6 1	m	rd								
	BNOT Rn,@ERd	B 7 D	0:erd	0	6 1	rn	0					
	BNOT Rn,@aa:8	B 7 F	abs		6 1	rn	0					
	BNOT Rn,@aa:16	B 6 A	1 8		abs							
	BNOT Rn,@aa:32	B 6 A	3 8		abs							
	BNOT Rn,Rd	B 6 1	m	rd								
	BNOT Rn,@ERd	B 7 D	0:erd	0	6 1	rn	0					
BOR	BOR #xx:3,Rd	B 7 4	0:IMM	rd								
	BOR #xx:3,@ERd	B 7 C	0:erd	0	7 4	0:IMM	0					
	BOR #xx:3,@aa:8	B 7 E	abs		7 4	0:IMM	0					
	BOR #xx:3,@aa:16	B 6 A	1 0		abs							
	BOR #xx:3,@aa:32	B 6 A	3 0		abs							
	BOR #xx:3,Rd	B 7 4	0:IMM	rd								
BSET	BSET #xx:3,Rd	B 7 0	0:IMM	rd								
	BSET #xx:3,@ERd	B 7 D	0:erd	0	7 0	0:IMM	0					
	BSET #xx:3,@aa:8	B 7 F	abs		7 0	0:IMM	0					
	BSET #xx:3,@aa:16	B 6 A	1 8		abs							
	BSET #xx:3,@aa:32	B 6 A	3 8		abs							
	BSET #xx:3,Rd	B 6 0	m	rd								
BSR	BSR d:8	— 5	5	disp								
	BSR d:16	— 5	C	0 0	disp							
	BST #xx:3,Rd	B 6 7	0:IMM	rd								
	BST #xx:3,@ERd	B 7 D	0:erd	0	6 7	0:IMM	0					
	BST #xx:3,@aa:8	B 7 F	abs		6 7	0:IMM	0					
	BST #xx:3,@aa:16	B 6 A	1 8		abs							
BST	BST #xx:3,@aa:32	B 6 A	3 8		abs							
	BST #xx:3,Rd	B 6 0	m	rd								
	BST #xx:3,@ERd	B 7 D	0:erd	0	6 7	0:IMM	0					
	BST #xx:3,@aa:8	B 7 F	abs		6 7	0:IMM	0					
	BST #xx:3,@aa:16	B 6 A	1 8		abs							
	BST #xx:3,@aa:32	B 6 A	3 8		abs							

命令	ニーモニック	サイズ	インストラクションフォーマット									
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト
BTST	BTST #xx:3:Rd	B 7 3	0:IMM	rd								
	BTST #xx:3:@ERd	B 7 C	0:erd	0	7 3	0:IMM	0					
	BTST #xx:3:@aa:8	B 7 E	abs		7 3	0:IMM	0					
	BTST #xx:3:@aa:16	B 6 A	1 0		abs							
	BTST #xx:3:@aa:32	B 6 A	3 0		abs							
	BTST Rn:Rd	B 6 3	rn	rd								
BXOR	BTST Rn:@ERd	B 7 C	0:erd	0	6 3	rn	0					
	BTST Rn:@aa:8	B 7 E	abs		6 3	rn	0					
	BTST Rn:@aa:16	B 6 A	1 0		abs							
	BTST Rn:@aa:32	B 6 A	3 0		abs							
	BXOR #xx:3:Rd	B 7 C	0:IMM	rd								
	BXOR #xx:3:@ERd	B 7 5	0:erd	0	7 5	0:IMM	0					
CLRMAC	BXOR #xx:3:@aa:8	B 7 E	abs		7 5	0:IMM	0					
	BXOR #xx:3:@aa:16	B 6 A	1 0		abs							
	BXOR #xx:3:@aa:32	B 6 A	3 0		abs							
	CLRMAC	— 0 1	A	0								
	CMP B #xx:8:Rd	B A	rd	IMM								
	CMP B Rs:Rd	B 1 C	rs	rd								
CMP	CMP W #xx:16:Rd	W 7 9	2	rd		IMM						
	CMP W Rs:Rd	W 1 D	rs	rd								
	CMP L #xx:32:ERd	L 7 A	2 0:erd									
	CMP L ERs:ERd	L 1 F	1:ens 0:erd									
	DAA Rd	B 0 F	0	rd								
	DAS Rd	B 1 F	0	rd								
DEC	DEC B Rd	B 1 A	0	rd								
	DEC W #1:Rd	W 1 B	5	rd								
	DEC W #2:Rd	W 1 B	D	rd								
	DEC L #1:ERd	L 1 B	7 0:erd									
	DEC L #2:ERd	L 1 B	F 0:erd									
	DIVXS B Rs:Rd	B 0 1	D 0	5 1	rs	rd						
DIVXS	DIVXS W Rs:ERd	W 0 1	D 0	5 3	rs	0:erd						
	DIVXU B Rs:Rd	B 5 1	rs	rd								
DIVXU	DIVXU W Rs:ERd	W 5 3	rs	0:erd								
	EEPMOV B	— 7 B	5 C	5 9	8	F						
EEPMOV	EEPMOV W	— 7 B	D 4	5 9	8	F						
	EXTS W Rd	W 1 7	D	rd								
EXTS	EXTS L ERd	L 1 7	F 0:erd									
	EXTU W Rd	W 1 7	5	rd								
EXTU	EXTU L ERd	L 1 7	7 0:erd									

命令	ニーモニック	サイズ	インストラクションフォーマット									
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト
INC	INC B Rd	B	0	A	0	rd						
	INC W #1 Rd	W	0	B	5	rd						
	INC W #2 Rd	W	0	B	D	rd						
	INC L #1 ERd	L	0	B	7	0:erd						
	INC L #2 ERd	L	0	B	F	0:erd						
JMP	JMP @ERn	—	5	9	0:ern	0						
	JMP @aa24	—	5	A								
JMP @aa8	JMP @aa8	—	5	B		abs						
	JSR @ERn	—	5	D	0:ern	0						
JSR	JSR @aa24	—	5	E								
	JSR @aa8	—	5	F		abs						
LDC	LDC #xx-8 CCR	B	0	7	IMM							
	LDC #xx-8 EXR	B	0	1	4	1	0	7	IMM			
	LDC Rs CCR	B	0	3	0	rs						
	LDC Rs EXR	B	0	3	1	rs						
	LDC @ERS CCR	W	0	1	4	0	6	9	0:ers	0		
	LDC @ERS EXR	W	0	1	4	1	6	9	0:ers	0		
	LDC @(d:16:ERS) CCR	W	0	1	4	0	6	F	0:ers	0		
	LDC @(d:16:ERS) EXR	W	0	1	4	1	6	F	0:ers	0		
	LDC @(d:32:ERS) CCR	W	0	1	4	0	7	8	0:ers	0		
	LDC @(d:32:ERS) EXR	W	0	1	4	1	7	8	0:ers	0		
	LDC @ERS+ CCR	W	0	1	4	0	6	D	0:ers	0		
	LDC @ERS+ EXR	W	0	1	4	1	6	D	0:ers	0		
	LDC @aa-16 CCR	W	0	1	4	0	6	B	0	0		
	LDC @aa-16 EXR	W	0	1	4	1	6	B	0	0		
	LDC @aa-32 CCR	W	0	1	4	0	6	B	2	0		
LDM	LDM L @SP+, (ERn-ERn+1)	L	0	1	1	0	6	D	7	0:ern+1		
	LDM L @SP+, (ERn-ERn+2)	L	0	1	2	0	6	D	7	0:ern+2		
LDMAC	LDM L @SP+, (ERn-ERn+3)	L	0	1	3	0	6	D	7	0:ern+3		
	LDMAC ERs MACH	L	0	3	2	0:ers						
MAC	LDMAC ERs MACL	L	0	3	3	0:ers						
	MAC @ERn+ @ERn+	—	0	1	6	0	6	D	0	ern:0:ern		
MOV	MOV B #xx-8 Rd	B	F	rd	IMM							
	MOV B Rs Rd	B	0	C	rs	rd						
	MOV B @ERS Rd	B	6	8	0:ers	rd						
	MOV B @(d:16:ERS) Rd	B	6	E	0:ers	rd						
	MOV B @(d:32:ERS) Rd	B	7	8	0:ers	0	6	A	2	rd		
	MOV B @ERS+ Rd	B	6	C	0:ers	rd						
	MOV B @aa-8 Rd	B	2	rd	abs							
	MOV B @aa-16 Rd	B	6	A	0	rd						
	MOV B @aa-32 Rd	B	6	A	2	rd						
	MOV B Rs @ERd	B	6	8	1:erd	rs						
	MOV B Rs @(d:16:ERd)	B	6	E	1:erd	rs						
	MOV B Rs @(d:32:ERd)	B	7	8	0:erd	0	6	A	A	rs		

命令	ニーモニック	サイズ	インストラクションフォーマット									
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト
MOV (続き)	MOV.B Rs,@-ERd	B	6	C	1:erd	rs						
	MOV.B Rs,@aa:8	B	3	rs		abs						
	MOV.B Rs,@aa:16	B	6	A	8	rs						
	MOV.B Rs,@aa:32	B	6	A	A	rs						
	MOV.W #xx:16,Rd	W	7	9	0	rd		abs				
	MOV.W Rs,Rd	W	0	D	rs	rd						
	MOV.W @ERS,Rd	W	6	9	0:ers	rd						
	MOV.W @(d:16:ERS),Rd	W	6	F	0:ers	rd						
	MOV.W @(d:32:ERS),Rd	W	7	8	0:ers	0						
	MOV.W @ERS+,Rd	W	6	D	0:ers	rd						
	MOV.W @aa:16,Rd	W	6	B	0	rd						
	MOV.W @aa:32,Rd	W	6	B	2	rd						
	MOV.W Rs,@ERd	W	6	9	1:erd	rs						
	MOV.W Rs,@(d:16:ERd)	W	6	F	1:erd	rs						
	MOV.W Rs,@(d:32:ERd)	W	7	8	0:erd	0						
	MOV.W Rs,@-ERd	W	6	D	1:erd	rs						
	MOV.W Rs,@aa:16	W	6	B	8	rs						
	MOV.W Rs,@aa:32	W	6	B	A	rs						
	MOV.L #xx:32,Rd	L	7	A	0	0:erd						
	MOV.L ERS,ERd	L	0	F	1:ers	0:erd						
	MOV.L @ERS,ERd	L	0	1	0	0						
	MOV.L @(d:16:ERS),ERd	L	0	1	0	0						
	MOV.L @(d:32:ERS),ERd	L	0	1	0	0						
	MOV.L @ERS+,ERd	L	0	1	0	0						
	MOV.L @aa:16,ERd	L	0	1	0	0						
	MOV.L @aa:32,ERd	L	0	1	0	0						
	MOV.L ERS,@ERd	L	0	1	0	0						
	MOV.L ERS,@(d:16:ERd)	L	0	1	0	0						
	MOV.L ERS,@(d:32:ERd)*1	L	0	1	0	0						
	MOV.L ERS,@-ERd	L	0	1	0	0						
	MOV.L ERS,@aa:16	L	0	1	0	0						
	MOV.L ERS,@aa:32	L	0	1	0	0						
本LSIでは使用できません。												
MOV.FPE	MOV.FPE @aa:16,Rd	B										
MOV.TPE	MOV.TPE Rs,@aa:16	B										
MUL.XS	MUL.XS.B Rs,Rd	B	0	1	C	0	5	0	rs	rd		
	MUL.XS.W Rs,ERd	W	0	1	C	0	5	2	rs	0:erd		
	MUL.XU.B Rs,Rd	B	5	0	rs	rd						
	MUL.XU.W Rs,ERd	W	5	2	rs	0:erd						
NEG	NEG.B Rd	B	1	7	8	rd						
	NEG.W Rd	W	1	7	9	rd						
NOP	NEG.L ERd	L	1	7	B	0:erd						
	NOP	—	0	0	0	0						

命令	ニーモニック	サイズ	インストラクションフォーマット									
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト
NOT	NOT.B Rd	B	1	7	0	rd						
	NOT.W Rd	W	1	7	1	rd						
	NOT.L ERd	L	1	7	3	0:erd						
OR	OR.B #xx:8, Rd	B	C	rd		IMM						
	OR.B Rs, Rd	B	1	4	rs	rd						
	OR.W #xx:16, Rd	W	7	9	4	rd						
	OR.W Rs, Rd	W	6	4	rs	rd						
	OR.L #xx:32, ERd	L	7	A	4	0:erd						
	OR.L ERs, ERd	L	0	1	F	0		IMM				
ORC	ORC #xx:8, CCR	B	0	4								
	ORC #xx:8, EXR	B	0	1	4	1	0	4	IMM			
POP	POP.W Rn	W	6	D	7	rn						
	POP.L ERn	L	0	1	0	0	6	D	7	0:ern		
PUSH	PUSH.W Rn	W	6	D	F	rn						
	PUSH.L ERn	L	0	1	0	0	6	D	F	0:ern		
ROT	ROT.L B Rd	B	1	2	8	rd						
	ROT.L B #2, Rd	B	1	2	C	rd						
	ROT.L W Rd	W	1	2	9	rd						
	ROT.L W #2, Rd	W	1	2	D	rd						
	ROT.L L ERd	L	1	2	B	0:erd						
	ROT.L L #2, ERd	L	1	2	F	0:erd						
ROTR	ROTR.B Rd	B	1	3	8	rd						
	ROTR.B #2, Rd	B	1	3	C	rd						
	ROTR.W Rd	W	1	3	9	rd						
	ROTR.W #2, Rd	W	1	3	D	rd						
	ROTR.L ERd	L	1	3	B	0:erd						
	ROTR.L #2, ERd	L	1	3	F	0:erd						
ROTXL	ROTXL.B Rd	B	1	2	0	rd						
	ROTXL.B #2, Rd	B	1	2	4	rd						
	ROTXL.W Rd	W	1	2	1	rd						
	ROTXL.W #2, Rd	W	1	2	5	rd						
	ROTXL.L ERd	L	1	2	3	0:erd						
	ROTXL.L #2, ERd	L	1	2	7	0:erd						
ROTXR	ROTXR.B Rd	B	1	3	0	rd						
	ROTXR.B #2, Rd	B	1	3	4	rd						
	ROTXR.W Rd	W	1	3	1	rd						
	ROTXR.W #2, Rd	W	1	3	5	rd						
	ROTXR.L ERd	L	1	3	3	0:erd						
	ROTXR.L #2, ERd	L	1	3	7	0:erd						
RTE		—	5	6	7	0						
RTS	RTS	—	5	4	7	0						

命令	ニーモニック	サイズ	インストラクションフォーマット									
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト
SHAL	SHAL.B Rd	B	1	0	8	rd						
	SHAL.B #2, Rd	B	1	0	C	rd						
	SHAL.W Rd	W	1	0	9	rd						
	SHAL.W #2, Rd	W	1	0	D	rd						
	SHALL ERd	L	1	0	B	0 : erd						
SHAR	SHALL #2, ERd	L	1	0	F	0 : erd						
	SHAR.B Rd	B	1	1	8	rd						
	SHAR.B #2, Rd	B	1	1	C	rd						
	SHAR.W Rd	W	1	1	9	rd						
	SHAR.W #2, Rd	W	1	1	D	rd						
SHLL	SHAR.L ERd	L	1	1	B	0 : erd						
	SHAR.L #2, ERd	L	1	1	F	0 : erd						
	SHLL.B Rd	B	1	0	0	rd						
	SHLL.B #2, Rd	B	1	0	4	rd						
	SHLL.W Rd	W	1	0	1	rd						
SHLR	SHLL.W #2, Rd	W	1	0	5	rd						
	SHLL.L ERd	L	1	0	3	0 : erd						
	SHLL.L #2, ERd	L	1	0	7	0 : erd						
	SHLR.B Rd	B	1	1	0	rd						
	SHLR.B #2, Rd	B	1	1	4	rd						
SLEEP	SHLR.W Rd	W	1	1	1	rd						
	SHLR.W #2, Rd	W	1	1	5	rd						
	SHLR.L ERd	L	1	1	3	0 : erd						
	SHLR.L #2, ERd	L	1	1	7	0 : erd						
	SLEEP	—	0	1	8	0						
STC	STC.B CCR, Rd	B	0	2	0	rd						
	STC.B EXR, Rd	B	0	2	1	rd						
	STC.W CCR, @ERd	W	0	1	4	0	6	9	1 : erd	0		
	STC.W EXR, @ERd	W	0	1	4	1	6	9	1 : erd	0		
	STC.W CCR, @(d16, ERd)	W	0	1	4	0	6	F	1 : erd	0		
	STC.W EXR, @(d16, ERd)	W	0	1	4	1	6	F	1 : erd	0		
	STC.W CCR, @(d32, ERd)	W	0	1	4	0	7	8	0 : erd	0	6	B
	STC.W EXR, @(d32, ERd)	W	0	1	4	1	7	8	0 : erd	0	A	0
	STC.W CCR, @-ERd	W	0	1	4	0	6	D	1 : erd	0	B	A
	STC.W EXR, @-ERd	W	0	1	4	1	6	D	1 : erd	0	A	0
	STC.W CCR, @aa16	W	0	1	4	0	6	B	8	0	abs	
	STC.W EXR, @aa16	W	0	1	4	1	6	B	8	0	abs	
	STC.W CCR, @aa32	W	0	1	4	0	6	B	A	0	abs	
	STC.W EXR, @aa32	W	0	1	4	1	6	B	A	0	abs	
	STM.L (ERn-ERn+1), @-SP	L	0	1	1	0	6	D	F	0 : ern		
STMAC	STM.L (ERn-ERn+2), @-SP	L	0	1	2	0	6	D	F	0 : ern		
	STM.L (ERn-ERn+3), @-SP	L	0	1	3	0	6	D	F	0 : ern		
	STMAC MACH, ERd	L	0	2	2	0 : ers						
	STMAC MACL, ERd	L	0	2	3	0 : ers						

命令	ニーモニック	サイズ	インストラクションフォーマット									
			第1バイト	第2バイト	第3バイト	第4バイト	第5バイト	第6バイト	第7バイト	第8バイト	第9バイト	第10バイト
SUB	SUB.B Rs,Rd	B 1 8 rs rd										
	SUB.W #xx:16,Rd	W 7 9 3 rd				IMM						
	SUB.W Rs,Rd	W 1 9 rs rd										
	SUB.L #xx:32,ERd	L 7 A 3 0 :erd					IMM					
	SUB.L ERs,ERd	L 1 A 1 :ers 0 :erd										
SUBS	SUBS #1,ERd	L 1 B 0 0 :erd										
	SUBS #2,ERd	L 1 B 8 0 :erd										
	SUBS #4,ERd	L 1 B 9 0 :erd										
	SUBX #xx:8,Rd	B B rd IMM										
	SUBX Rs,Rd	B 1 E rs rd										
TAS	TAS @ERd ^{*2}	B 0 1 E 0 7 B 0 :erd C										
TRAPA	TRAPA #x:2	— 5 7 00:IMM: 0										
XOR	XOR.B #xx:8,Rd	B D rd IMM										
	XOR.B Rs,Rd	B 1 5 rs rd										
	XOR.W #xx:16,Rd	W 7 9 5 rd				IMM						
	XOR.W Rs,Rd	W 6 5 rs rd										
	XOR.L #xx:32,ERd	L 7 A 5 0 :erd					IMM					
	XOR.L ERs,ERd	L 0 1 F 0				6 5 0 :ers 0 :erd						
XORC	XORC #xx:8,CGR	B 0 5 IMM										
	XORC #xx:8,EXR	B 0 1 4 1 5 IMM										

【注】 *1 MOV, L ERs, @ (d : 32, ERd) 命令の第4バイト、ビット7は、1、0どちらでも動作可能です。

*2 TAS命令を使用する場合は、レジスタER0、ER1、ER4、ER5を使用してください。

《記号説明》

- IMM : イミディエイトデータ (2、3、8、16、32 ビット)
- abs : 絶対アドレス (8、16、24、32 ビット)
- disp : ディスプレースメント (8、16、32 ビット)
- rs、rd、rn : レジスタフィールド (4 ビットで、8 ビットレジスタまたは 16 ビットレジスタを指定します。rs、rd、rn はそれぞれオペランド形式の Rs、Rd、Rn に対応します。)
- ers、erd、ern、erm : レジスタフィールド (3 ビットで、アドレスレジスタまたは 32 ビットレジスタを指定します。ers、erd、ern、erm はそれぞれオペランド形式の ERs、ERd、ERn、ERm に対応します。)

レジスタフィールドと汎用レジスタの対応を下表に示します。

アドレスレジスタ 32 ビットレジスタ		16 ビットレジスタ		8 ビットレジスタ	
レジスタ フィールド	汎用レジスタ	レジスタ フィールド	汎用レジスタ	レジスタ フィールド	汎用レジスタ
000	ER0	0000	R0	0000	R0H
001	ER1	0001	R1	0001	R1H
⋮	⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮	⋮
111	ER7	0111	R7	0111	R7H
		1000	E0	1000	R0L
		1001	E1	1001	R1L
		⋮	⋮	⋮	⋮
		⋮	⋮	⋮	⋮
		⋮	⋮	⋮	⋮
		1111	E7	1111	R7L

A.3 オペレーションコードマップ

表 A.3 にオペレーションコードマップを示します。

表A.3 オペレーションコードマップ (1)

命令コード：

第1バイト

第2バイト

AH	AL	BH	BL

BHの最上位ビットが0の場合を示します。
BHの最上位ビットが1の場合を示します。

AL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
AH	0	NOP	表A.3(2)	STC LDC STM* LDM*	ORC	XORC	ANDC	LDC	ADD	表A.3(2)	表A.3(2)	MOV	ADDX	表A.3(2)			
	1	表A.3(2)	表A.3(2)	表A.3(2)	OR	XOR	AND	表A.3(2)	SUB	表A.3(2)	CMP	SUBX	表A.3(2)				
	2																
	3																
	4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
	5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	TRAPA	表A.3(2)		JMP		BSR		JSR	
	6	BSET	BNOT	BCLR	BTST	BOR BXOR BAND BLD	XOR BXOR BAND BILD	AND BAND BAND BILD	BST	MOV	表A.3(2)		MOV	表A.3(2)	EEPMOV	表A.3(3)	
	7																
	8									ADD							
	9									ADDX							
	A									CMP							
	B									SUBX							
	C									OR							
	D									XOR							
	E									AND							
	F									MOV							

【注】 * 本LSIでは使用できません。

表A.3 オペレーションコードマップ (2)

命令コード：				第1バイト		第2バイト										
		AH	AL	BH	BL											
BH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
AHAL	MOV	LDM	STM		LDC	STC	MAC*		SLEEP		CLRMAC*		表A.3(3)	表A.3(3)	TAS	表A.3(3)
0A	INC	ADD														
0B	ADDS					INC	INC	ADD5	INC	INC	INC	INC	INC	INC	INC	INC
0F	DAA															
10	SHLL				SHLL			SHLL	SHAL				SHAL			SHAL
11	SHLR				SHLR			SHLR	SHAR				SHAR			SHAR
12	ROTXL				ROTXL			ROTXL	ROTL				ROTL			ROTL
13	ROTXR				ROTXR			ROTXR	ROTR				ROTR			ROTR
17	NOT			NOT		EXTU		EXTU	NEG			NEG		EXTS		EXTS
1A	DEC								DEC	SUBS	DEC	DEC	DEC	DEC	DEC	DEC
1B	SUBS															
1F	DAS								DEC	SUBS	DEC	DEC	DEC	DEC	DEC	DEC
58	BRA															
6A	MOV	表A.3(4)	MOV	表A.3(4)	MOVFP*				MOV		MOV		MOVTP*			
79	MOV	ADD	CMP	SUB	OR				XOR	AND						
7A	MOV	ADD	CMP	SUB	OR	XOR	AND									

【注】 * 本LSIでは使用できません。

表A.3 オペレーションコードマップ (3)

命令コード：		第1バイト		第2バイト		第3バイト		第4バイト										
		AH	AL	BH	BL	CH	CL	DH	DL									
DHの最上位ビットが0の場合を示します。 DHの最上位ビットが1の場合を示します。	CL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
	AH/AL/BH/CH																	
	01C05	MULXS		MULXS														
	01D05		DIVXS															
	01F06						OR	XOR	AND									
	7C06 *1																	
	7C07 *1					BTST												
	7D06 *1	BSET	BNOT	BCLR			BOR BIR	BXOR BIXOR	BAND BIAND	BLD BILD BST BIST								
	7D07 *1	BSET	BNOT	BCLR														
	7Eaa6 *2					BTST												
	7Eaa7 *2					BTST												
	7Faa6 *2	BSET	BNOT	BCLR														
7Faa7 *2	BSET	BNOT	BCLR															

【注】 *1 rはレジスタ指定部
*2 aaは絶対アドレス指定

表A.3 オペレーションコードマップ (4)

命令コード：		第1バイト		第2バイト		第3バイト		第4バイト		第5バイト		第6バイト	
		AH	AL	BH	BL	CH	CL	DH	DL	EH	EL	FH	FL
AH/AL/BH/BL/CH/CL/DH/EL	0												
	6A10aaaa6*												
	6A10aaaa7*												
	6A18aaaa6*												
	6A18aaaa7*												

命令コード：		第1バイト		第2バイト		第3バイト		第4バイト		第5バイト		第6バイト		第7バイト		第8バイト	
		AH	AL	BH	BL	CH	CL	DH	DL	EH	EL	FH	FL	GH	GL	HH	HL
AH/AL/BH/BL/CH/CL/DH/EL	0																
	6A30aaaaaaa6*																
	6A30aaaaaaa7*																
	6A38aaaaaaa6*																
	6A38aaaaaaa7*																

— FHの最上位ビットが0の場合を示します。
— FHの最上位ビットが1の場合を示します。



— HHの最上位ビットが0の場合を示します。
— HHの最上位ビットが1の場合を示します。



【注】 * aaは絶対アドレス指定

A.4 命令実行ステート数

H8S/2000 CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.5 に各命令の実行状態として、命令実行中に行われる命令フェッチ、データリード／ライトなどのサイクル数を示し、表 A.4 におおののサイズに必要なステート数を示します。

命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_i + J \cdot S_j + K \cdot S_k + L \cdot S_l + M \cdot S_m + N \cdot S_n$$

実行ステート数計算例

アドバンスモード、プログラム領域およびスタック領域を外部空間に設定、内部周辺モジュールアクセス時 8 ビットバス幅で 2 ステートアクセス、外部デバイスアクセス時 16 ビットバス幅で 3 ステートアクセス 1 ウェイト挿入とした場合。

1. BSET #0, @FFFFC7:8
表A.5より
 $I=L=2$ 、 $J=K=M=N=0$
表A.4より
 $S_i = 4$ 、 $S_l = 2$
実行ステート数 = $2 \times 4 + 2 \times 2 = 12$
2. JSR @@30
表A.5より
 $I=J=K=2$ 、 $L=M=N=0$
表A.4より
 $S_i=S_j=S_k = 4$
実行ステート数 = $2 \times 4 + 2 \times 4 + 2 \times 4 = 24$

表 A.4 実行状態（サイクル）に要するステート数

実行状態 (サイクル)	アクセス対象						
	内蔵 メモリ	内蔵周辺 モジュール		外部デバイス			
				8ビットバス		16ビットバス	
		8ビット バス	16ビット バス	2ステート アクセス	3ステート アクセス	2ステート アクセス	3ステート アクセス
命令フェッチ S_i	1	4	2	4	6+2m	2	3+m
分岐アドレスリード S_j							
スタック操作 S_k							
バイトデータアクセス S_L		2		2	3+m		
ワードデータアクセス S_M		4		4	6+2m		
内部動作 S_N	1						

【記号説明】

m：外部デバイスアクセス時のウェイトステート数

表 A.5 命令実行状態（サイクル数）

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8,Rd	1					
	ADD.B Rs,Rd	1					
	ADD.W #xx:16,Rd	2					
	ADD.W Rs,Rd	1					
	ADD.L #xx:32,ERd	3					
	ADD.L ERs,ERd	1					
ADDS	ADDS #1/2/4,ERd	1					
ADDX	ADDX #xx:8,Rd	1					
	ADDX Rs,Rd	1					
AND	AND.B #xx:8,Rd	1					
	AND.B Rs,Rd	1					
	AND.W #xx:16,Rd	2					
	AND.W Rs,Rd	1					
	AND.L #xx:32,ERd	3					
	AND.L ERs,ERd	2					
ANDC	ANDC #xx:8,CCR	1					
	ANDC #xx:8,EXR	2					
BAND	BAND #xx:3,Rd	1					
	BAND #xx:3,@ERd	2			1		
	BAND #xx:3,@aa:8	2			1		
	BAND #xx:3,@aa:16	3			1		
	BAND #xx:3,@aa:32	4			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					
	BLE d:8	2					
	BRA d:16 (BT d:16)	2					1
	BRN d:16 (BF d:16)	2					1
	BHI d:16	2					1
	BLS d:16	2					1
	BCC d:16 (BHS d:16)	2					1
	BCS d:16 (BLO d:16)	2					1

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
Bcc	BNE d:16	2					1
	BEQ d:16	2					1
	BVC d:16	2					1
	BVS d:16	2					1
	BPL d:16	2					1
	BMI d:16	2					1
	BGE d:16	2					1
	BLT d:16	2					1
	BGT d:16	2					1
	BLE d:16	2					1
BCLR	BCLR #xx:3,Rd	1					
	BCLR #xx:3,@ERd	2			2		
	BCLR #xx:3,@aa:8	2			2		
	BCLR #xx:3,@aa:16	3			2		
	BCLR #xx:3,@aa:32	4			2		
	BCLR Rn,Rd	1					
	BCLR Rn,@ERd	2			2		
	BCLR Rn,@aa:8	2			2		
	BCLR Rn,@aa:16	3			2		
	BCLR Rn,@aa:32	4			2		
BIAND	BIAND #xx:3,Rd	1					
	BIAND #xx:3,@ERd	2			1		
	BIAND #xx:3,@aa:8	2			1		
	BIAND #xx:3,@aa:16	3			1		
	BIAND #xx:3,@aa:32	4			1		
BILD	BILD #xx:3,Rd	1					
	BILD #xx:3,@ERd	2			1		
	BILD #xx:3,@aa:8	2			1		
	BILD #xx:3,@aa:16	3			1		
	BILD #xx:3,@aa:32	4			1		
BIOR	BIOR #xx:8,Rd	1					
	BIOR #xx:8,@ERd	2			1		
	BIOR #xx:8,@aa:8	2			1		
	BIOR #xx:8,@aa:16	3			1		
	BIOR #xx:8,@aa:32	4			1		
BIST	BIST #xx:3,Rd	1					
	BIST #xx:3,@ERd	2			2		
	BIST #xx:3,@aa:8	2			2		
	BIST #xx:3,@aa:16	3			2		
	BIST #xx:3,@aa:32	4			2		
BIXOR	BIXOR #xx:3,Rd	1					
	BIXOR #xx:3,@ERd	2			1		
	BIXOR #xx:3,@aa:8	2			1		
	BIXOR #xx:3,@aa:16	3			1		
	BIXOR #xx:3,@aa:32	4			1		
BLD	BLD #xx:3,Rd	1					

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
BLD	BLD #xx:3,@ERd	2			1		
	BLD #xx:3,@aa:8	2			1		
	BLD #xx:3,@aa:16	3			1		
	BLD #xx:3,@aa:32	4			1		
BNOT	BNOT #xx:3,Rd	1					
	BNOT #xx:3,@ERd	2			2		
	BNOT #xx:3,@aa:8	2			2		
	BNOT #xx:3,@aa:16	3			2		
	BNOT #xx:3,@aa:32	4			2		
	BNOT Rn,Rd	1					
	BNOT Rn,@ERd	2			2		
	BNOT Rn,@aa:8	2			2		
	BNOT Rn,@aa:16	3			2		
	BNOT Rn,@aa:32	4			2		
BOR	BOR #xx:3,Rd	1					
	BOR #xx:3,@ERd	2			1		
	BOR #xx:3,@aa:8	2			1		
	BOR #xx:3,@aa:16	3			1		
	BOR #xx:3,@aa:32	4			1		
BSET	BSET #xx:3,Rd	1					
	BSET #xx:3,@ERd	2			2		
	BSET #xx:3,@aa:8	2			2		
	BSET #xx:3,@aa:16	3			2		
	BSET #xx:3,@aa:32	4			2		
	BSET Rn,Rd	1					
	BSET Rn,@ERd	2			2		
	BSET Rn,@aa:8	2			2		
	BSET Rn,@aa:16	3			2		
	BSET Rn,@aa:32	4			2		
BSR	BSR d:8	2		2			
	BSR d:16	2		2			1
BST	BST #xx:3,Rd	1					
	BST #xx:3,@ERd	2			2		
	BST #xx:3,@aa:8	2			2		
	BST #xx:3,@aa:16	3			2		
	BST #xx:3,@aa:32	4			2		
BTST	BTST #xx:3,Rd	1					
	BTST #xx:3,@ERd	2			1		
	BTST #xx:3,@aa:8	2			1		
	BTST #xx:3,@aa:16	3			1		
	BTST #xx:3,@aa:32	4			1		
	BTST Rn,Rd	1					
	BTST Rn,@ERd	2			1		
	BTST Rn,@aa:8	2			1		
	BTST Rn,@aa:16	3			1		

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
BTST	BTST Rn,@aa:32	4			1		
BXOR	BXOR #xx:3,Rd	1					
	BXOR #xx:3,@ERd	2			1		
	BXOR #xx:3,@aa:8	2			1		
	BXOR #xx:3,@aa:16	3			1		
	BXOR #xx:3,@aa:32	4			1		
CLRMAC	CLRMAC	1					1 * ³
CMP	CMP.B #xx:8,Rd	1					
	CMP.B Rs,Rd	1					
	CMP.W #xx:16,Rd	2					
	CMP.W Rs,Rd	1					
	CMP.L #xx:32,ERd	3					
	CMP.L ERs,ERd	1					
DAA	DAA Rd	1					
DAS	DAS Rd	1					
DEC	DEC.B Rd	1					
	DEC.W #1/2,Rd	1					
	DEC.L #1/2,ERd	1					
DIVXS	DIVXS.B Rs,Rd	2					11
	DIVXS.W Rs,ERd	2					19
DIVXU	DIVXU.B Rs,Rd	1					11
	DIVXU.W Rs,ERd	1					19
EEPMOV	EEPMOV.B	2			2n+2 * ²		
	EEPMOV.W	2			2n+2 * ²		
EXTS	EXTS.W Rd	1					
	EXTS.L ERd	1					
EXTU	EXTU.W Rd	1					
	EXTU.L ERd	1					
INC	INC.B Rd	1					
	INC.W #1/2,Rd	1					
	INC.L #1/2,ERd	1					
JMP	JMP @ERn	2					
	JMP @aa:24	2					1
	JMP @@aa:8	2	2				1
JSR	JSR @ERn	2		2			
	JSR @aa:24	2		2			1
	JSR @@aa:8	2	2	2			
LDC	LDC #xx:8,CCR	1					
	LDC #xx:8,EXR	2					
	LDC Rs,CCR	1					
	LDC Rs,EXR	1					
	LDC @ERs,CCR	2				1	
	LDC @ERs,EXR	2				1	
	LDC @(d:16,ERs),CCR	3				1	

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
LDC	LDC @(d:16,ERs),EXR	3				1	
	LDC @(d:32,ERs),CCR	5				1	
	LDC @(d:32,ERs),EXR	5				1	
	LDC @ERs+,CCR	2				1	1
	LDC @ERs+,EXR	2				1	1
	LDC @aa:16,CCR	3				1	
	LDC @aa:16,EXR	3				1	
	LDC @aa:32,CCR	4				1	
	LDC @aa:32,EXR	4				1	
LDM	LDML @SP+, (ERn-ERn+1)	2		4			1
	LDML @SP+, (ERn-ERn+2)	2		6			1
	LDML @SP+, (ERn-ERn+3)	2		8			1
LDMAC	LDMAC ERs, MACH	1					1 * ³
	LDMAC ERs, MACL	1					1 * ³
MAC	MAC @ERn+, @ERm+	2				2	
MOV	MOV.B #xx:8,Rd	1					
	MOV.B Rs,Rd	1					
	MOV.B @ERs,Rd	1			1		
	MOV.B @(d:16,ERs),Rd	2			1		
	MOV.B @(d:32,ERs),Rd	4			1		
	MOV.B @ERs+,Rd	1			1		1
	MOV.B @aa:8,Rd	1			1		
	MOV.B @aa:16,Rd	2			1		
	MOV.B @aa:32,Rd	3			1		
	MOV.B Rs,@ERd	1			1		
	MOV.B Rs,@(d:16,ERd)	2			1		
	MOV.B Rs,@(d:32,ERd)	4			1		
	MOV.B Rs,@-ERd	1			1		1
	MOV.B Rs,@aa:8	1			1		
	MOV.B Rs,@aa:16	2			1		
	MOV.B Rs,@aa:32	3			1		
	MOV.W #xx:16,Rd	2					
	MOV.W Rs,Rd	1					
	MOV.W @ERs,Rd	1				1	
	MOV.W @(d:16,ERs),Rd	2				1	
	MOV.W @(d:32,ERs),Rd	4				1	
	MOV.W @ERs+,Rd	1				1	1
	MOV.W @aa:16,Rd	2				1	
	MOV.W @aa:32,Rd	3				1	
	MOV.W Rs,@ERd	1				1	
	MOV.W Rs,@(d:16,ERd)	2				1	
	MOV.W Rs,@(d:32,ERd)	4				1	
	MOV.W Rs,@-ERd	1				1	1

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
MOV	MOV.W Rs,@aa:16	2				1	1
	MOV.W Rs,@aa:32	3				1	
	MOV.L #xx:32,ERd	3					
	MOV.L ERs,ERd	1					
	MOV.L @ERs,ERd	2				2	
	MOV.L @(d:16,ERs),ERd	3				2	
	MOV.L @(d:32,ERs),ERd	5				2	
	MOV.L @ERs+,ERd	2				2	
	MOV.L @aa:16,ERd	3				2	
	MOV.L @aa:32,ERd	4				2	
	MOV.L ERs,@ERd	2				2	
	MOV.L ERs,@(d:16,ERd)	3				2	
	MOV.L ERs,@(d:32,ERd)	5				2	
	MOV.L ERs,@-ERd	2				2	1
	MOV.L ERs,@aa:16	3				2	
	MOV.L ERs,@aa:32	4				2	
MOVFP	MOVFP @:aa:16,Rd	本 LSI では使用できません。					
MOVTPE	MOVTPE Rs,@:aa:16						
MULXS	MULXS.B Rs,Rd	2					2
	MULXS.W Rs,ERd	2					3
MULXU	MULXU.B Rs,Rd	1					2
	MULXU.W Rs,ERd	1					3
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					
OR	OR.B #xx:8,Rd	1					
	OR.B Rs,Rd	1					
	OR.W #xx:16,Rd	2					
	OR.W Rs,Rd	1					
	OR.L #xx:32,ERd	3					
ORC	OR.L ERs,ERd	2					
	ORC #xx:8,CCR	1					
ORC #xx:8,EXR	2						
POP	POP.W Rn	1				1	1
	POP.L ERn	2				2	1
PUSH	PUSH.W Rn	1				1	1
	PUSH.L ERn	2				2	1
ROTL	ROTL.B Rd	1					
	ROTL.B #2,Rd	1					
	ROTL.W Rd	1					

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
ROTL	ROTL.W #2,Rd	1					
	ROTL.L ERd	1					
	ROTL.L #2,ERd	1					
ROTR	ROTR.B Rd	1					
	ROTR.B #2,Rd	1					
	ROTR.W Rd	1					
	ROTR.W #2,Rd	1					
	ROTR.L ERd	1					
	ROTR.L #2,ERd	1					
ROTXL	ROTXL.B Rd	1					
	ROTXL.B #2,Rd	1					
	ROTXL.W Rd	1					
	ROTXL.W #2,Rd	1					
	ROTXL.L ERd	1					
	ROTXL.L #2,ERd	1					
ROTXR	ROTXR.B Rd	1					
	ROTXR.B #2,Rd	1					
	ROTXR.W Rd	1					
	ROTXR.W #2,Rd	1					
	ROTXR.L ERd	1					
	ROTXR.L #2,ERd	1					
RTE	RTE	2		2 / 3 * ⁱ			1
RTS	RTS	2		2			1
SHAL	SHAL.B Rd	1					
	SHAL.B #2,Rd	1					
	SHAL.W Rd	1					
	SHAL.W #2,Rd	1					
	SHAL.L ERd	1					
	SHAL.L #2,ERd	1					
SHAR	SHAR.B Rd	1					
	SHAR.B #2,Rd	1					
	SHAR.W Rd	1					
	SHAR.W #2,Rd	1					
	SHAR.L ERd	1					
	SHAR.L #2,ERd	1					
SHLL	SHLL.B Rd	1					
	SHLL.B #2,Rd	1					
	SHLL.W Rd	1					
	SHLL.W #2,Rd	1					
	SHLL.L ERd	1					
	SHLL.L #2,ERd	1					
SHLR	SHLR.B Rd	1					
	SHLR.B #2,Rd	1					
	SHLR.W Rd	1					
	SHLR.W #2,Rd	1					

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
SHLR	SHLR.L ERd	1					
	SHLR.L #2,ERd	1					
SLEEP	SLEEP	1					1
STC	STC.B CCR,Rd	1					
	STC.B EXR,Rd	1					
	STC.W CCR,@ERd	2				1	
	STC.W EXR,@ERd	2				1	
	STC.W CCR,@(d:16,ERd)	3				1	
	STC.W EXR,@(d:16,ERd)	3				1	
	STC.W CCR,@(d:32,ERd)	5				1	
	STC.W EXR,@(d:32,ERd)	5				1	
	STC.W CCR,@-ERd	2				1	1
	STC.W EXR,@-ERd	2				1	1
	STC.W CCR,@aa:16	3				1	
	STC.W EXR,@aa:16	3				1	
	STC.W CCR,@aa:32	4				1	
	STC.W EXR,@aa:32	4				1	
STM	STM.L (ERn-ERn+1),@-SP	2		4			1
	STM.L (ERn-ERn+2),@-SP	2		6			1
	STM.L (ERn-ERn+3),@-SP	2		8			1
STMAC	STMAC MACH,ERd	1					* ³
	STMAC MACL,ERd	1					* ³
SUB	SUB.B Rs,Rd	1					
	SUB.W #xx:16,Rd	2					
	SUB.W Rs,Rd	1					
	SUB.L #xx:32,ERd	3					
	SUB.L ERs,ERd	1					
SUBS	SUBS #1/2/4,ERd	1					
SUBX	SUBX #xx:8,Rd	1					
	SUBX Rs,Rd	1					
TAS	TAS @ERd * ⁴	2			2		
TRAPA	TRAPA #x:2	2	2	2 / 3 * ¹			2
XOR	XOR.B #xx:8,Rd	1					
	XOR.B Rs,Rd	1					
	XOR.W #xx:16,Rd	2					
	XOR.W Rs,Rd	1					
	XOR.L #xx:32,ERd	3					
	XOR.L ERs,ERd	2					
XORC	XORC #xx:8,CCR	1					
	XORC #xx:8,EXR	2					

【注】 *1 EXR が無効なとき 2、有効なとき 3 になります。

*2 転送データが n バイトのとき

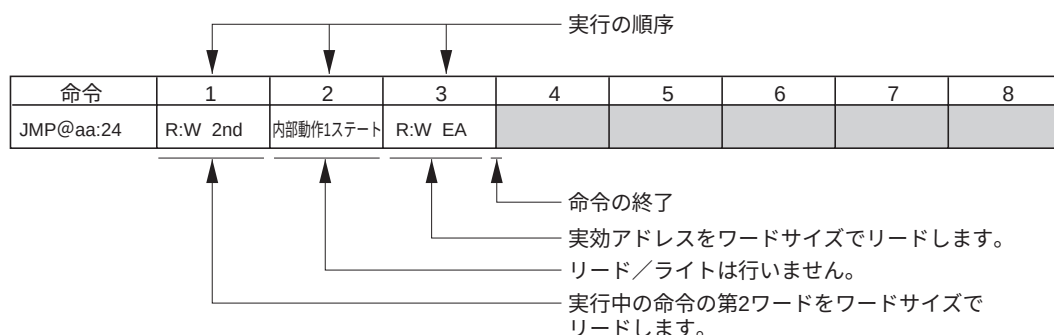
*3 直前の命令によって、内部動作が 0～3 ステート追加される場合があります。

*4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

A.5 命令実行中のバス状態

本 CPU の個々の命令についての実行状態を表 A.6 に示します。実行状態に必要なステート数に関しては、表 A.4 を参照してください。

《表の見方》



《記号説明》

R : B	バイトサイズリードを行います。
R : W	ワードサイズリードを行います。
W : B	バイトサイズライトを行います。
W : W	ワードサイズライトを行います。
: M	本サイクル直後はバス権移譲を行いません。
2nd	第 2 ワード（第 3・第 4 バイト）のアドレスです。
3rd	第 3 ワード（第 5・第 6 バイト）のアドレスです。
4th	第 4 ワード（第 7・第 8 バイト）のアドレスです。
5th	第 5 ワード（第 9・第 10 バイト）のアドレスです。
NEXT	実行中の命令の直後の命令の先頭アドレスです。
EA	実効アドレスです。
VEC	ベクタアドレスです。

8 ビットバス・3 ステートアクセス・ウェイトなしの場合、上記命令実行中のアドレスバス、 $\overline{RD}$ 、 $\overline{HWR}$ 、 $\overline{LWR}$ のタイミングを図 A.1 に示します。

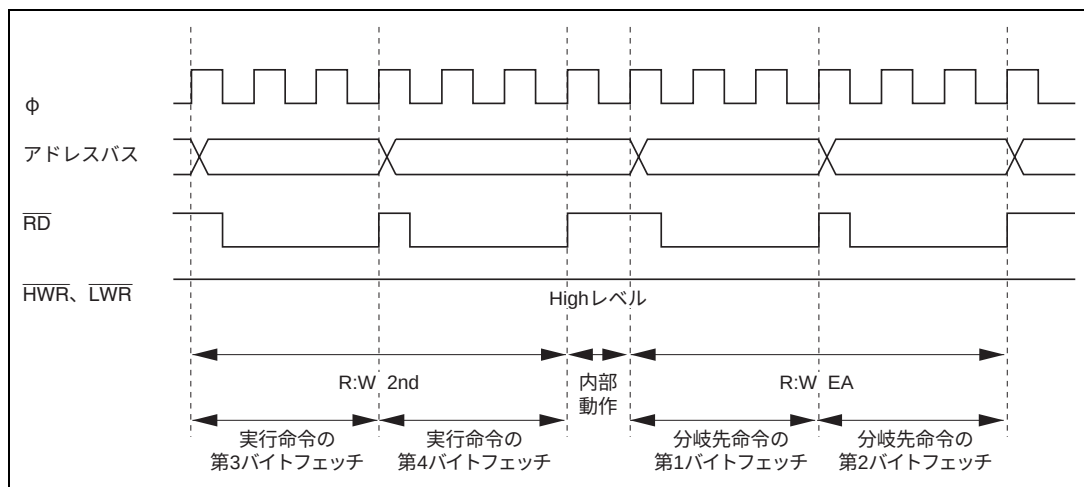


図 A.1 アドレスバス、 $\overline{RD}$ 、 $\overline{HWR}$ 、 $\overline{LWR}$ のタイミング
(8 ビットバス・3 ステートアクセス・ウェイトなしの場合)

表 A.6 命令の実行状態

命令	1	2	3	4	5	6	7	8	9
ADD.B #xx:8,Rd	R:W NEXT								
ADD.B Rs,Rd	R:W NEXT								
ADD.W #xx:16,Rd	R:W 2nd	R:W NEXT							
ADD.W Rs,Rd	R:W NEXT								
ADD.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
ADD.L ERs,ERd	R:W NEXT								
ADDS #1/2/4,ERd	R:W NEXT								
ADDX #xx:8,Rd	R:W NEXT								
ADDX Rs,Rd	R:W NEXT								
AND.B #xx:8,Rd	R:W NEXT								
AND.B Rs,Rd	R:W NEXT								
AND.W #xx:16,Rd	R:W 2nd	R:W NEXT							
AND.W Rs,Rd	R:W NEXT								
AND.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
AND.L ERs,ERd	R:W 2nd	R:W NEXT							
ANDC #xx:8,CCR	R:W NEXT								
ANDC #xx:8,EXR	R:W 2nd	R:W NEXT							
BAND #xx:3,Rd	R:W NEXT								
BAND #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BAND #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BAND #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BAND #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BRA d:8 (BT d:8)	R:W NEXT	R:W EA							
BRN d:8 (BF d:8)	R:W NEXT	R:W EA							
BHI d:8	R:W NEXT	R:W EA							
BLS d:8	R:W NEXT	R:W EA							
BCC d:8 (BHS d:8)	R:W NEXT	R:W EA							
BCS d:8(BLO d:8)	R:W NEXT	R:W EA							
BNE d:8	R:W NEXT	R:W EA							
BEQ d:8	R:W NEXT	R:W EA							
BVC d:8	R:W NEXT	R:W EA							
BVS d:8	R:W NEXT	R:W EA							
BPL d:8	R:W NEXT	R:W EA							
BMI d:8	R:W NEXT	R:W EA							
BGE d:8	R:W NEXT	R:W EA							

命令	1	2	3	4	5	6	7	8	9
BLT d:8	R:W NEXT	R:W EA							
BGT d:8	R:W NEXT	R:W EA							
BLE d:8	R:W NEXT	R:W EA							
BRA d:16 (BT d:16)	R:W 2nd	内部動作 1 ステート	R:W EA						
BRN d:16 (BF d:16)	R:W 2nd	内部動作 1 ステート	R:W EA						
BHI d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BLS d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BCC d:16 (BHS d:16)	R:W 2nd	内部動作 1 ステート	R:W EA						
BCS d:16 (BLO d:16)	R:W 2nd	内部動作 1 ステート	R:W EA						
BNE d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BEQ d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BVC d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BVS d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BPL d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BMI d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BGE d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BLT d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BGT d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BLE d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BCLR #xx:3,Rd	R:W NEXT								
BCLR #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BCLR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BCLR Rn,Rd	R:W NEXT								

命令	1	2	3	4	5	6	7	8	9
BCLR Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BCLR Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BIAND #xx:3,Rd	R:W NEXT								
BIAND #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIAND #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIAND #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIAND #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BILD #xx:3,Rd	R:W NEXT								
BILD #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BILD #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BILD #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BILD #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BIOR #xx:3,Rd	R:W NEXT								
BIOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BIST #xx:3,Rd	R:W NEXT								
BIST #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BIST #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BIST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BIST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BIXOR #xx:3,Rd	R:W NEXT								

命令	1	2	3	4	5	6	7	8	9
BIXOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BIXOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BIXOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BIXOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BLD #xx:3,Rd	R:W NEXT								
BLD #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BLD #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BLD #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BLD #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BNOT #xx:3,Rd	R:W NEXT								
BNOT #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BNOT #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BNOT Rn,Rd	R:W NEXT								
BNOT Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BNOT Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BOR #xx:3,Rd	R:W NEXT								
BOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W NEXT				
BSET #xx:3,Rd	R:W NEXT								

命令	1	2	3	4	5	6	7	8	9
BSET #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BSET #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BSET Rn,Rd	R:W NEXT								
BSET Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BSET Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BSR d:8	R:W NEXT	R:W EA	W:W:M スタック(H)	W:W スタック(L)					
BSR d:16	R:W 2nd	内部動作 1 ステート	R:W EA	W:W:M スタック(H)	W:W スタック(L)				
BST #xx:3,Rd	R:W NEXT								
BST #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BST #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BTST #xx:3,Rd	R:W NEXT								
BTST #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BTST #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BTST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BTST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BTST Rn,Rd	R:W NEXT								
BTST Rn,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BTST Rn,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BTST Rn,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					

命令	1	2	3	4	5	6	7	8	9
BTST Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
BXOR #xx:3,Rd	R:W NEXT								
BXOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W:M NEXT						
BXOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W:M NEXT						
BXOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W:M NEXT					
BXOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W:M NEXT				
CLRMAC	R:W NEXT	内部動作 1 ステート							
CMP.B #xx:8,Rd	R:W NEXT								
CMP.B Rs,Rd	R:W NEXT								
CMP.W #xx:16,Rd	R:W 2nd	R:W NEXT							
CMP.W Rs,Rd	R:W NEXT								
CMP.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
CMP.L ERs,ERd	R:W NEXT								
DAA Rd	R:W NEXT								
DAS Rd	R:W NEXT								
DEC.B Rd	R:W NEXT								
DEC.W #1/2,Rd	R:W NEXT								
DEC.L #1/2,ERd	R:W NEXT								
DIVXS.B Rs,Rd	R:W 2nd	R:W NEXT	内部動作 11 ステート						
DIVXS.W Rs,ERd	R:W 2nd	R:W NEXT	内部動作 19 ステート						
DIVXU.B Rs,Rd	R:W NEXT	内部動作 11 ステート							
DIVXU.W Rs,ERd	R:W NEXT	内部動作 19 ステート							
EEPMOV.B	R:W 2nd	R:B EAs * ¹	R:B EAd * ¹	R:B EAs * ²	W:B EAd * ²	R:W NEXT			
EEPMOV.W	R:W 2nd	R:B EAs * ¹	R:B EAd * ¹	R:B EAs * ²	W:B EAd * ²	R:W NEXT			
EXTS.W Rd	R:W NEXT			← n 回繰り返す * ² →					
EXTS.L ERd	R:W NEXT								
EXTU.W Rd	R:W NEXT								
EXTU.L ERd	R:W NEXT								
INC.B Rd	R:W NEXT								
INC.W #1/2,Rd	R:W NEXT								
INC.L #1/2,ERd	R:W NEXT								
JMP @ERn	R:W NEXT	R:W EA							
JMP @aa:24	R:W 2nd	内部動作 1 ステート	R:W EA						
JMP @@aa:8	R:W NEXT	R:W:M aa:8	R:W aa:8	内部動作 1 ステート	R:W EA				

命令	1	2	3	4	5	6	7	8	9
JSR @ERn	R:W NEXT	R:W EA	W:W:M スタック(H)	W:W スタック(L)					
JSR @aa:24	R:W 2nd	内部動作 1 ステート	R:W EA	W:W:M スタック(H)	W:W スタック(L)				
JSR @@aa:8	R:W NEXT	R:W:M aa:8	R:W aa:8	W:W:M スタック(H)	W:W スタック(L)	R:W EA			
LDC #xx:8,CCR	R:W NEXT								
LDC #xx:8,EXR	R:W 2nd	R:W NEXT							
LDC Rs,CCR	R:W NEXT								
LDC Rs,EXR	R:W NEXT								
LDC @ERs,CCR	R:W 2nd	R:W NEXT	R:W EA						
LDC @ERs,EXR	R:W 2nd	R:W NEXT	R:W EA						
LDC@(d:16,ERs) ,CCR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC@(d:16,ERs) ,EXR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC@(d:32,ERs) ,CCR	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W EA			
LDC@(d:32,ERs) ,EXR	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W EA			
LDC @ERs+,CCR	R:W 2nd	R:W NEXT	内部動作 1 ステート	R:W EA					
LDC @ERs+,EXR	R:W 2nd	R:W NEXT	内部動作 1 ステート	R:W EA					
LDC @aa:16,CCR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @aa:16,EXR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @aa:32,CCR	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
LDC @aa:32,EXR	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
LDM.L @SP+, (ERn-ERn+1)	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	R:W:M スタ ック(H) * ³	R:W スタッ ク(L) * ³				
LDM.L @SP+, (ERn-ERn+2)	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	R:W:M スタ ック(H) * ³	R:W スタッ ク(L) * ³				
LDM.L @SP+, (ERn-ERn+3)	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	R:W:M スタ ック(H) * ³	R:W スタッ ク(L) * ³				
LDMAC ERs,MACH	R:W NEXT	内部動作 1 ステート		← n 回繰り返す * ³ →					
LDMAC ERs,MACL	R:W NEXT	内部動作 1 ステート							
MAC @ERn+,@ERm+	R:W 2nd	R:W NEXT	R:W EAh	R:W EAm					

命令	1	2	3	4	5	6	7	8	9
MOV.B #xx:8,Rd	R:W NEXT								
MOV.B Rs,Rd	R:W NEXT								
MOV.B @ERs,Rd	R:W NEXT	R:B EA							
MOV.B @(d:16,ERs),Rd	R:W 2nd	R:W NEXT	R:B EA						
MOV.B @(d:32,ERs),Rd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:B EA				
MOV.B @ERs+,Rd	R:W NEXT	内部動作 1 ステート	R:B EA						
MOV.B @aa:8,Rd	R:W NEXT	R:B EA							
MOV.B @aa:16,Rd	R:W 2nd	R:W NEXT	R:B EA						
MOV.B @aa:32,Rd	R:W 2nd	R:W 3rd	R:W NEXT	R:B EA					
MOV.B Rs,@ERd	R:W NEXT	W:B EA							
MOV.B Rs, @(d:16,ERd)	R:W 2nd	R:W NEXT	W:B EA						
MOV.B Rs, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:B EA				
MOV.B Rs,@-ERd	R:W NEXT	内部動作 1 ステート	W:B EA						
MOV.B Rs,@aa:8	R:W NEXT	W:B EA							
MOV.B Rs,@aa:16	R:W 2nd	R:W NEXT	W:B EA						
MOV.B Rs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:B EA					
MOV.W #xx:16,Rd	R:W 2nd	R:W NEXT							
MOV.W Rs,Rd	R:W NEXT								
MOV.W @ERs,Rd	R:W NEXT	R:W EA							
MOV.W @(d:16,ERs),Rd	R:W 2nd	R:W NEXT	R:W EA						
MOV.W @(d:32,ERs),Rd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
MOV.W @ERs+,Rd	R:W NEXT	内部動作 1 ステート	R:W EA						
MOV.W @aa:16,Rd	R:W 2nd	R:W NEXT	R:W EA						
MOV.W @aa:32,Rd	R:W 2nd	R:W 3rd	R:W NEXT	R:B EA					
MOV.W Rs,@ERd	R:W NEXT	W:W EA							
MOV.W Rs, @(d:16,ERd)	R:W 2nd	R:W NEXT	W:W EA						

命令	1	2	3	4	5	6	7	8	9
MOV.W Rs, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
MOV.W Rs,@-ERd	R:W NEXT	内部動作 1 ステート	W:W EA						
MOV.W Rs,@aa:16	R:W 2nd	R:W NEXT	W:W EA						
MOV.W Rs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
MOV.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
MOV.L ERs,ERd	R:W NEXT								
MOV.L @ERs,ERd	R:W 2nd	R:W:M NEXT	R:W:M EA	R:W EA+2					
MOV.L @(d:16,ERs),ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2				
MOV.L @(d:32,ERs),ERd	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT	R:W:M EA	R:W EA+2		
MOV.L @ERs+,ERd	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	R:W:M EA	R:W EA+2				
MOV.L @aa:16,ERd	R:W 2nd	R:W:M 3rd	R:W NEXT	R:W:M EA	R:W EA+2				
MOV.L @aa:32,ERd	R:W 2nd	R:W:M 3rd	R:W 4th	R:W NEXT	R:W:M EA	R:W EA+2			
MOV.L ERs,@ERd	R:W 2nd	R:W:M NEXT	W:W:M EA	W:W EA+2					
MOV.L ERs, @(d:16,ERd)	R:W 2nd	R:W:M 3rd	R:W NEXT	W:W:M EA	W:W EA+2				
MOV.L ERs, @(d:32,ERd)	R:W 2nd	R:W:M 3rd	R:W:M 4th	R:W 5th	R:W NEXT	W:W:M EA	W:W EA+2		
MOV.L ERs,@-ERd	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	W:W:M EA	W:W EA+2				
MOV.L ERs,@aa:16	R:W 2nd	R:W:M 3rd	R:W NEXT	W:W:M EA	W:W EA+2				
MOV.L ERs,@aa:32	R:W 2nd	R:W:M 3rd	R:W 4th	R:W NEXT	W:W:M EA	W:W EA+2			
MOVFPPE @aa:16,Rd	本 LSI では使用できません。								
MOVTPPE Rs,@aa:16									
MULXS.B Rs,Rd	R:W 2nd	R:W NEXT	内部動作 2 ステート						
MULXS.W Rs,ERd	R:W 2nd	R:W NEXT	内部動作 3 ステート						
MULXU.B Rs,Rd	R:W NEXT	内部動作 2 ステート							
MULXU.W Rs,ERd	R:W NEXT	内部動作 3 ステート							
NEG.B Rd	R:W NEXT								
NEG.W Rd	R:W NEXT								

命令	1	2	3	4	5	6	7	8	9
NEG.L ERd	R:W NEXT								
NOP	R:W NEXT								
NOT.B Rd	R:W NEXT								
NOT.W Rd	R:W NEXT								
NOT.L ERd	R:W NEXT								
OR.B #xx:8,Rd	R:W NEXT								
OR.B Rs,Rd	R:W NEXT								
OR.W #xx:16,Rd	R:W 2nd	R:W NEXT							
OR.W Rs,Rd	R:W NEXT								
OR.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
OR.L ERs,ERd	R:W 2nd	R:W NEXT							
ORC #xx:8,CCR	R:W NEXT								
ORC #xx:8,EXR	R:W 2nd	R:W NEXT							
POP.W Rn	R:W NEXT	内部動作 1 ステート	R:W EA						
POP.L ERn	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	R:W:M EA	R:W EA+2				
PUSH.W Rn	R:W NEXT	内部動作 1 ステート	W:W EA						
PUSH.L ERn	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	W:W:M EA	W:W EA+2				
ROTL.B Rd	R:W NEXT								
ROTL.B #2,Rd	R:W NEXT								
ROTL.W Rd	R:W NEXT								
ROTL.W #2,Rd	R:W NEXT								
ROTL.L ERd	R:W NEXT								
ROTL.L #2,ERd	R:W NEXT								
ROTR.B Rd	R:W NEXT								
ROTR.B #2,Rd	R:W NEXT								
ROTR.W Rd	R:W NEXT								
ROTR.W #2,Rd	R:W NEXT								
ROTR.L ERd	R:W NEXT								
ROTR.L #2,ERd	R:W NEXT								
ROTXL.B Rd	R:W NEXT								
ROTXL.B #2,Rd	R:W NEXT								
ROTXL.W Rd	R:W NEXT								
ROTXL.W #2,Rd	R:W NEXT								
ROTXL.L ERd	R:W NEXT								
ROTXL.L #2,ERd	R:W NEXT								
ROTXR.B Rd	R:W NEXT								
ROTXR.B #2,Rd	R:W NEXT								
ROTXR.W Rd	R:W NEXT								
ROTXR.W #2,Rd	R:W NEXT								

命令	1	2	3	4	5	6	7	8	9
ROTXR.L ERd	R:W NEXT								
ROTXR.L #2,ERd	R:W NEXT								
RTE	R:W NEXT	R:W スタック(EXR)	R:W スタック(H)	R:W スタック(L)	内部動作 1 ステート	R:W *4			
RTS	R:W NEXT	R:W:M スタック(H)	R:W スタック(L)	内部動作 1 ステート	R:W *4				
SHAL.B Rd	R:W NEXT								
SHAL.B #2,Rd	R:W NEXT								
SHAL.W Rd	R:W NEXT								
SHAL.W #2,Rd	R:W NEXT								
SHAL.L ERd	R:W NEXT								
SHAL.L #2,ERd	R:W NEXT								
SHAR.B Rd	R:W NEXT								
SHAR.B #2,Rd	R:W NEXT								
SHAR.W Rd	R:W NEXT								
SHAR.W #2,Rd	R:W NEXT								
SHAR.L ERd	R:W NEXT								
SHAR.L #2,ERd	R:W NEXT								
SHLL.B Rd	R:W NEXT								
SHLL.B #2,Rd	R:W NEXT								
SHLL.W Rd	R:W NEXT								
SHLL.W #2,Rd	R:W NEXT								
SHLL.L ERd	R:W NEXT								
SHLL.L #2,ERd	R:W NEXT								
SHLR.B Rd	R:W NEXT								
SHLR.B #2,Rd	R:W NEXT								
SHLR.W Rd	R:W NEXT								
SHLR.W #2,Rd	R:W NEXT								
SHLR.L ERd	R:W NEXT								
SHLR.L #2,ERd	R:W NEXT								
SLEEP	R:W NEXT	内部動作:M							
STC CCR,Rd	R:W NEXT								
STC EXR,Rd	R:W NEXT								
STC CCR,@ERd	R:W 2nd	R:W NEXT	W:W EA						
STC EXR,@ERd	R:W 2nd	R:W NEXT	W:W EA						
STC CCR, @(d:16,ERd)	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC EXR, @(d:16,ERd)	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC CCR, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W EA			
STC EXR, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W EA			

命令	1	2	3	4	5	6	7	8	9
STC CCR,@-ERd	R:W 2nd	R:W NEXT	内部動作 1 ステート	W:W EA					
STC EXR,@-ERd	R:W 2nd	R:W NEXT	内部動作 1 ステート	W:W EA					
STC CCR,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC EXR,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC CCR,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
STC EXR,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
STM.L (ERn-ERn+1), @-SP	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	W:W:M スタック(H) * ³	W:W スタック(L) * ³				
STM.L (ERn-ERn+2), @-SP	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	W:W:M スタック(H) * ³	W:W スタック(L) * ³				
STM.L (ERn-ERn+3), @-SP	R:W 2nd	R:W:M NEXT	内部動作 1 ステート	W:W:M スタック(H) * ³	W:W スタック(L) * ³				
STMAC MACH,ERd	R:W NEXT								
STMAC MACL,ERd	R:W NEXT								
SUB.B Rs,Rd	R:W NEXT								
SUB.W #xx:16,Rd	R:W 2nd	R:W NEXT							
SUB.W Rs,Rd	R:W NEXT								
SUB.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
SUB.L ERs,ERd	R:W NEXT								
SUBS #1/2/4,ERd	R:W NEXT								
SUBX #xx:8,Rd	R:W NEXT								
SUBX Rs,Rd	R:W NEXT								
TAS @ERd * ⁶	R:W 2nd	R:W NEXT	R:B:M EA	W:B EA					
TRAPA #x:2	R:W NEXT		W:W スタック(L)	W:W スタック(H)	W:W スタック(EXR)	R:W:M VEC	R:W VEC+2	内部動作 1 ステート	R:W * ⁷
XOR.B #xx8,Rd	R:W NEXT								
XOR.B Rs,Rd	R:W NEXT								
XOR.W #xx:16,Rd	R:W 2nd	R:W NEXT							
XOR.W Rs,Rd	R:W NEXT								
XOR.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
XOR.L ERs,ERd	R:W 2nd	R:W NEXT							

命令	1	2	3	4	5	6	7	8	9
XORC #xx:8,CCR	R:W NEXT								
XORC #xx:8,EXR	R:W 2nd	R:W NEXT							
リセット例外処理	R:W:M VEC	R:W VEC+2	内部動作 1 ステート	R:W * ⁵					
割り込み例外処理	R:W * ⁶	内部動作 1 ステート	W:W スタック(L)	W:W スタック(H)	W:W スタッ ク(EXR)	R:W:M VEC	R:W VEC+2	内部動作 1 ステート	R:W * ⁷

- 【注】 *1 EAs は ER5、EAd は ER6 の内容です。
- *2 EAs は ER5、EAd は ER6 の内容で、実行後それぞれ 1 が加算されます。
また、n は R4L または R4 の初期値であり、n=0 のときこれらの実行は行われません。
- *3 2 本退避／復帰時は 2 回、3 本退避／復帰時は 3 回、4 本退避／復帰時は 4 回繰り返します。
- *4 リターン後の先頭アドレスです。
- *5 プログラムのスタートアドレスです。
- *6 プリフェッチアドレスです。退避される PC に 2 を加算したアドレスです。
また、スリープモード、ソフトウェアスタンバイモードからの復帰時にはリード動作は行われず、内部動作となります。
- *7 割り込み処理ルーチンの先頭アドレスです。
- *8 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

A.6 コンディションコードの変化

CPU の各命令について、命令実行後のコンディションコードの変化を示します。以下に、表中で使われている記号を説明します。

m=	31	: ロングワードサイズの時
	15	: ワードサイズの時
	7	: バイトサイズの時
Si		: ソースオペランドのビット i
Di		: デスティネーションオペランドのビット i
Ri		: 結果のビット i
Dn		: デスティネーションオペランドの指定されたビット
—		: 影響なし
↑ ↓		: 実行結果に応じて変化 (定義参照)
0		: 常に 0 にクリア
1		: 常に 1 にセット
*		: 値を保証しません。
Z'		: 実行前の Z フラグ
C'		: 実行前の C フラグ

表 A.7 コンディションコードの変化

命 令	H	N	Z	V	C	定 義
ADD	↑↓	↑↓	↑↓	↑↓	↑↓	$H = Sm-4 \cdot Dm-4 + Dm-4 \cdot \overline{Rm-4} + Sm-4 \cdot \overline{Rm-4}$ $N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V = Sm \cdot Dm \cdot \overline{Rm} + \overline{Sm} \cdot \overline{Dm} \cdot Rm$ $C = Sm \cdot Dm + Dm \cdot \overline{Rm} + Sm \cdot \overline{Rm}$
ADDS	—	—	—	—	—	
ADDX	↑↓	↑↓	↑↓	↑↓	↑↓	$H = Sm-4 \cdot Dm-4 + Dm-4 \cdot \overline{Rm-4} + Sm-4 \cdot \overline{Rm-4}$ $N = Rm$ $Z = Z' \cdot \overline{Rm} \cdot \dots \cdot \overline{R0}$ $V = Sm \cdot Dm \cdot \overline{Rm} + \overline{Sm} \cdot \overline{Dm} \cdot Rm$ $C = Sm \cdot Dm + Dm \cdot \overline{Rm} + Sm \cdot \overline{Rm}$
AND	—	↑↓	↑↓	0	—	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
ANDC	↑↓	↑↓	↑↓	↑↓	↑↓	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。
BAND	—	—	—	—	↑↓	$C = C' \cdot Dn$
Bcc	—	—	—	—	—	
BCLR	—	—	—	—	—	
BIAND	—	—	—	—	↑↓	$C = C' \cdot \overline{Dn}$
BILD	—	—	—	—	↑↓	$C = \overline{Dn}$
BIOR	—	—	—	—	↑↓	$C = C' + \overline{Dn}$
BIST	—	—	—	—	—	
BIXOR	—	—	—	—	↑↓	$C = C' \cdot Dn + \overline{C'} \cdot \overline{Dn}$
BLD	—	—	—	—	↑↓	$C = Dn$
BNOT	—	—	—	—	—	
BOR	—	—	—	—	↑↓	$C = C' + Dn$
BSET	—	—	—	—	—	
BSR	—	—	—	—	—	
BST	—	—	—	—	—	
BTST	—	—	↑↓	—	—	$Z = \overline{Dn}$
BXOR	—	—	—	—	↑↓	$C = C' \cdot \overline{Dn} + \overline{C'} \cdot Dn$
CLRMAC	—	—	—	—	—	
CMP	↑↓	↑↓	↑↓	↑↓	↑↓	$H = Sm-4 \cdot \overline{Dm-4} + \overline{Dm-4} \cdot Rm-4 + Sm-4 \cdot Rm-4$ $N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V = \overline{Sm} \cdot Dm \cdot \overline{Rm} + Sm \cdot \overline{Dm} \cdot Rm$ $C = Sm \cdot \overline{Dm} + Dm \cdot Rm + Sm \cdot Rm$
DAA	*	↑↓	↑↓	*	↑↓	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ C : 10 進加算のキャリ
DAS	*	↑↓	↑↓	*	↑↓	$N = Rm$ $Z = \overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ C : 10 進減算のボロー

命 令	H	N	Z	V	C	定 義
DEC	—	↑ ↓	↑ ↓	↑ ↓	—	$N=Rm$ $Z=\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V=Dm \cdot \overline{Rm}$
DIVXS	—	↑ ↓	↑ ↓	—	—	$N=Sm \cdot \overline{Dm} + \overline{Sm} \cdot Dm$ $Z=\overline{Sm} \cdot \overline{Sm-1} \cdot \dots \cdot \overline{S0}$
DIVXU	—	↑ ↓	↑ ↓	—	—	$N=Sm$ $Z=\overline{Sm} \cdot \overline{Sm-1} \cdot \dots \cdot \overline{S0}$
EEPMOV	—	—	—	—	—	
EXTS	—	↑ ↓	↑ ↓	0	—	$N=Rm$ $Z=\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
EXTU	—	0	↑ ↓	0	—	$Z=\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
INC	—	↑ ↓	↑ ↓	↑ ↓	—	$N=Rm$ $Z=\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V=Dm \cdot \overline{Rm}$
JMP	—	—	—	—	—	
JSR	—	—	—	—	—	
LDC	↑ ↓	↑ ↓	↑ ↓	↑ ↓	↑ ↓	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。
LDM	—	—	—	—	—	
LDMAC	—	—	—	—	—	
MAC	—	—	—	—	—	
MOV	—	↑ ↓	↑ ↓	0	—	$N=Rm$ $Z=\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
MOVFPE	本 LSI では使用できません。					
MOVTPPE						
MULXS	—	↑ ↓	↑ ↓	—	—	$N=R2m$ $Z=R2m \cdot \overline{R2m-1} \cdot \dots \cdot \overline{R0}$
MULXU	—	—	—	—	—	
NEG	↑ ↓	↑ ↓	↑ ↓	↑ ↓	↑ ↓	$H=Dm-4 + Rm-4$ $N=Rm$ $Z=\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V=Dm \cdot Rm$ $C=Dm + Rm$
NOP	—	—	—	—	—	
NOT	—	↑ ↓	↑ ↓	0	—	$N=Rm$ $Z=\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
OR	—	↑ ↓	↑ ↓	0	—	$N=Rm$ $Z=\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
ORC	↑ ↓	↑ ↓	↑ ↓	↑ ↓	↑ ↓	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。
POP	—	↑ ↓	↑ ↓	0	—	$N=Rm$ $Z=\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$
PUSH	—	↑ ↓	↑ ↓	0	—	$N=Rm$ $Z=\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$

命 令	H	N	Z	V	C	定 義
ROTL	—	↑↓	↑↓	0	↑↓	$N=Rm$ $Z=\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C=Dm$ (1 ビットのとき)、 $C=Dm-1$ (2 ビットのとき)
ROTR	—	↑↓	↑↓	0	↑↓	$N=Rm$ $Z=\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C=D0$ (1 ビットのとき)、 $C=D1$ (2 ビットのとき)
ROTXL	—	↑↓	↑↓	0	↑↓	$N=Rm$ $Z=\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C=Dm$ (1 ビットのとき)、 $C=Dm-1$ (2 ビットのとき)
ROTXR	—	↑↓	↑↓	0	↑↓	$N=Rm$ $Z=\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C=D0$ (1 ビットのとき)、 $C=D1$ (2 ビットのとき)
RTE	↑↓	↑↓	↑↓	↑↓	↑↓	実行結果の対応するビットの値が格納されます。
RTS	—	—	—	—	—	
SHAL	—	↑↓	↑↓	↑↓	↑↓	$N=Rm$ $Z=\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V=Dm \cdot Dm-1 + \overline{Dm} \cdot \overline{Dm-1}$ (1ビットのとき) $V=\overline{Dm} \cdot Dm-1 \cdot Dm-2 + \overline{Dm} \cdot \overline{Dm-1} \cdot \overline{Dm-2}$ (2ビットのとき) $C=Dm$ (1ビットのとき)、 $C=Dm-1$ (2ビットのとき)
SHAR	—	↑↓	↑↓	0	↑↓	$N=Rm$ $Z=\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C=D0$ (1 ビットのとき)、 $C=D1$ (2 ビットのとき)
SHLL	—	↑↓	↑↓	0	↑↓	$N=Rm$ $Z=\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C=Dm$ (1 ビットのとき)、 $C=Dm-1$ (2 ビットのとき)
SHLR	—	0	↑↓	0	↑↓	$N=Rm$ $Z=\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $C=D0$ (1 ビットのとき)、 $C=D1$ (2 ビットのとき)
SLEEP	—	—	—	—	—	
STC	—	—	—	—	—	
STM	—	—	—	—	—	
STMAC	—	↑↓	↑↓	↑↓	—	$N=MAC$ 命令の結果、MAC レジスタが負のとき $Z=MAC$ 命令の結果、MAC レジスタが0のとき $V=MAC$ 命令の結果、オーバーフローが発生したとき
SUB	↑↓	↑↓	↑↓	↑↓	↑↓	$H=S_{m-4} \cdot \overline{D_{m-4}} + \overline{D_{m-4}} \cdot R_{m-4} + S_{m-4} \cdot R_{m-4}$ $N=Rm$ $Z=\overline{Rm} \cdot \overline{Rm-1} \cdot \dots \cdot \overline{R0}$ $V=\overline{S_m} \cdot D_m \cdot \overline{R_m} + S_m \cdot \overline{D_m} \cdot R_m$ $C=S_m \cdot \overline{D_m} + \overline{D_m} \cdot R_m + S_m \cdot R_m$

命 令	H	N	Z	V	C	定 義
SUBS	—	—	—	—	—	
SUBX	↑ ↓	↑ ↓	↑ ↓	↑ ↓	↑ ↓	$H = S_{m-4} \cdot \overline{D_{m-4}} + \overline{D_{m-4}} \cdot R_{m-4} + S_{m-4} \cdot R_{m-4}$ $N = R_m$ $Z = Z' \cdot \overline{R_m} \cdot \dots \cdot \overline{R_0}$ $V = \overline{S_m} \cdot D_m \cdot \overline{R_m} + S_m \cdot \overline{D_m} \cdot R_m$ $C = S_m \cdot \overline{D_m} + \overline{D_m} \cdot R_m + S_m \cdot R_m$
TAS	—	↑ ↓	↑ ↓	0	—	$N = D_m$ $Z = \overline{D_m} \cdot \overline{D_{m-1}} \cdot \dots \cdot \overline{D_0}$
TRAPA	—	—	—	—	—	
XOR	—	↑ ↓	↑ ↓	0	—	$N = R_m$ $Z = \overline{R_m} \cdot \overline{R_{m-1}} \cdot \dots \cdot \overline{R_0}$
XORC	↑ ↓	↑ ↓	↑ ↓	↑ ↓	↑ ↓	実行結果の対応するビットの値が格納されます。 EXR のときはどのフラグも変化しません。

B. 内部 I/O レジスタ

B.1 アドレス一覧

アドレス	略号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール名	バス幅
H'EBC0~	MRA	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz	DTC	8/16/32* ビット
H'EFBF	MRB	CHNE	DISEL	—	—	—	—	—	—		
	SAR										
	DAR										
	CRA										
	CRB										
H'F800	MCR	MCR7	—	MCR5	—	—	MCR2	MCR1	MCR0	HCAN	8/16
H'F801	GSR	—	—	—	—	GSR3	GSR2	GSR1	GSR0		
H'F802	BCR	BCR7	BCR6	BCR5	BCR4	BCR3	BCR2	BCR1	BCR0		
H'F803		BCR15	BCR14	BCR13	BCR12	BCR11	BCR10	BCR9	BCR8		
H'F804	MBCR	MBCR7	MBCR6	MBCR5	MBCR4	MBCR3	MBCR2	MBCR1	—		
H'F805		MBCR15	MBCR14	MBCR13	MBCR12	MBCR11	MBCR10	MBCR9	MBCR8		
H'F806	TXPR	TXPR7	TXPR6	TXPR5	TXPR4	TXPR3	TXPR2	TXPR1	—		
H'F807		TXPR15	TXPR14	TXPR13	TXPR12	TXPR11	TXPR10	TXPR9	TXPR8		
H'F808	TXCR	TXCR7	TXCR6	TXCR5	TXCR4	TXCR3	TXCR2	TXCR1	—		
H'F809		TXCR15	TXCR14	TXCR13	TXCR12	TXCR11	TXCR10	TXCR9	TXCR8		
H'F80A	TXACK	TXACK7	TXACK6	TXACK5	TXACK4	TXACK3	TXACK2	TXACK1	—		
H'F80B		TXACK15	TXACK14	TXACK13	TXACK12	TXACK11	TXACK10	TXACK9	TXACK8		
H'F80C	ABACK	ABACK7	ABACK6	ABACK5	ABACK4	ABACK3	ABACK2	ABACK1	—		
H'F80D		ABACK15	ABACK14	ABACK13	ABACK12	ABACK11	ABACK10	ABACK9	ABACK8		
H'F80E	RXPR	RXPR7	RXPR6	RXPR5	RXPR4	RXPR3	RXPR2	RXPR1	RXPR0		
H'F80F		RXPR15	RXPR14	RXPR13	RXPR12	RXPR11	RXPR10	RXPR9	RXPR8		
H'F810	RFPR	RFPR7	RFPR6	RFPR5	RFPR4	RFPR3	RFPR2	RFPR1	RFPR0	HCAN	8/16
H'F811		RFPR15	RFPR14	RFPR13	RFPR12	RFPR11	RFPR10	RFPR9	RFPR8		
H'F812	IRR	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0		
H'F813		—	—	—	IRR12	—	—	IRR9	IRR8		
H'F814	MBIMR	MBIMR7	MBIMR6	MBIMR5	MBIMR4	MBIMR3	MBIMR2	MBIMR1	MBIMR0		
H'F815		MBIMR15	MBIMR14	MBIMR13	MBIMR12	MBIMR11	MBIMR10	MBIMR9	MBIMR8		
H'F816	IMR	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	—		
H'F817		—	—	—	IMR12	—	—	IMR9	IMR8		
H'F818	REC										
H'F819	TEC										
H'F81A	UMSR	UMSR7	UMSR6	UMSR5	UMSR4	UMSR3	UMSR2	UMSR1	UMSR0		
H'F81B		UMSR15	UMSR14	UMSR13	UMSR12	UMSR11	UMSR10	UMSR9	UMSR8		
H'F81C	LAFML	LAFML7	LAFML6	LAFML5	LAFML4	LAFML3	LAFML2	LAFML1	LAFML0		
H'F81D		LAFML15	LAFML14	LAFML13	LAFML12	LAFML11	LAFML10	LAFML9	LAFML8		

アドレス	略号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール 名	バス幅
H'F81E	LAFMH	LAFMH7	LAFMH6	LAFMH5	—	—	—	LAFMH1	LAFMH0	HCAN	8/16
H'F81F		LAFMH15	LAFMH14	LAFMH13	LAFMH12	LAFMH11	LAFMH10	LAFMH9	LAFMH8		
H'F820	MC0[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0		
H'F821	MC0[2]	—	—	—	—	—	—	—	—		
H'F822	MC0[3]	—	—	—	—	—	—	—	—		
H'F823	MC0[4]	—	—	—	—	—	—	—	—		
H'F824	MC0[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16		
H'F825	MC0[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3		
H'F826	MC0[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0		
H'F827	MC0[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8		
H'F828	MC1[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0		
H'F829	MC1[2]	—	—	—	—	—	—	—	—		
H'F82A	MC1[3]	—	—	—	—	—	—	—	—		
H'F82B	MC1[4]	—	—	—	—	—	—	—	—		
H'F82C	MC1[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16		
H'F82D	MC1[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3		
H'F82E	MC1[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0		
H'F82F	MC1[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8		
H'F830	MC2[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	HCAN	8/16
H'F831	MC2[2]	—	—	—	—	—	—	—	—		
H'F832	MC2[3]	—	—	—	—	—	—	—	—		
H'F833	MC2[4]	—	—	—	—	—	—	—	—		
H'F834	MC2[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16		
H'F835	MC2[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3		
H'F836	MC2[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0		
H'F837	MC2[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8		
H'F838	MC3[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0		
H'F839	MC3[2]	—	—	—	—	—	—	—	—		
H'F83A	MC3[3]	—	—	—	—	—	—	—	—		
H'F83B	MC3[4]	—	—	—	—	—	—	—	—		
H'F83C	MC3[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16		
H'F83D	MC3[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3		
H'F83E	MC3[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0		
H'F83F	MC3[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8		
H'F840	MC4[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	HCAN	8/16
H'F841	MC4[2]	—	—	—	—	—	—	—	—		
H'F842	MC4[3]	—	—	—	—	—	—	—	—		
H'F843	MC4[4]	—	—	—	—	—	—	—	—		
H'F844	MC4[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16		
H'F845	MC4[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3		
H'F846	MC4[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0		
H'F847	MC4[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8		

アドレス	略号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール 名	バス幅
H'F848	MC5[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	HCAN	8/16
H'F849	MC5[2]	—	—	—	—	—	—	—	—		
H'F84A	MC5[3]	—	—	—	—	—	—	—	—		
H'F84B	MC5[4]	—	—	—	—	—	—	—	—		
H'F84C	MC5[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16		
H'F84D	MC5[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3		
H'F84E	MC5[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0		
H'F84F	MC5[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8		
H'F850	MC6[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	HCAN	8/16
H'F851	MC6[2]	—	—	—	—	—	—	—	—		
H'F852	MC6[3]	—	—	—	—	—	—	—	—		
H'F853	MC6[4]	—	—	—	—	—	—	—	—		
H'F854	MC6[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16		
H'F855	MC6[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3		
H'F856	MC6[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0		
H'F857	MC6[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8		
H'F858	MC7[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0		
H'F859	MC7[2]	—	—	—	—	—	—	—	—		
H'F85A	MC7[3]	—	—	—	—	—	—	—	—		
H'F85B	MC7[4]	—	—	—	—	—	—	—	—		
H'F85C	MC7[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16		
H'F85D	MC7[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3		
H'F85E	MC7[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0		
H'F85F	MC7[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8		
H'F860	MC8[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	HCAN	8/16
H'F861	MC8[2]	—	—	—	—	—	—	—	—		
H'F862	MC8[3]	—	—	—	—	—	—	—	—		
H'F863	MC8[4]	—	—	—	—	—	—	—	—		
H'F864	MC8[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16		
H'F865	MC8[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3		
H'F866	MC8[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0		
H'F867	MC8[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8		
H'F868	MC9[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0		
H'F869	MC9[2]	—	—	—	—	—	—	—	—		
H'F86A	MC9[3]	—	—	—	—	—	—	—	—		
H'F86B	MC9[4]	—	—	—	—	—	—	—	—		
H'F86C	MC9[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16		
H'F86D	MC9[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3		
H'F86E	MC9[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0		
H'F86F	MC9[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8		

アドレス	略号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール 名	バス幅
H'F870	MC10[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	HCAN	8/16
H'F871	MC10[2]	—	—	—	—	—	—	—	—		
H'F872	MC10[3]	—	—	—	—	—	—	—	—		
H'F873	MC10[4]	—	—	—	—	—	—	—	—		
H'F874	MC10[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16		
H'F875	MC10[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3		
H'F876	MC10[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0		
H'F877	MC10[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8		
H'F878	MC11[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0		
H'F879	MC11[2]	—	—	—	—	—	—	—	—		
H'F87A	MC11[3]	—	—	—	—	—	—	—	—		
H'F87B	MC11[4]	—	—	—	—	—	—	—	—		
H'F87C	MC11[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16		
H'F87D	MC11[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3		
H'F87E	MC11[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0		
H'F87F	MC11[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8		
H'F880	MC12[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	HCAN	8/16
H'F881	MC12[2]	—	—	—	—	—	—	—	—		
H'F882	MC12[3]	—	—	—	—	—	—	—	—		
H'F883	MC12[4]	—	—	—	—	—	—	—	—		
H'F884	MC12[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16		
H'F885	MC12[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3		
H'F886	MC12[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0		
H'F887	MC12[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8		
H'F888	MC13[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0		
H'F889	MC13[2]	—	—	—	—	—	—	—	—		
H'F88A	MC13[3]	—	—	—	—	—	—	—	—		
H'F88B	MC13[4]	—	—	—	—	—	—	—	—		
H'F88C	MC13[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16		
H'F88D	MC13[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3		
H'F88E	MC13[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0		
H'F88F	MC13[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8		
H'F890	MC14[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0	HCAN	8/16
H'F891	MC14[2]	—	—	—	—	—	—	—	—		
H'F892	MC14[3]	—	—	—	—	—	—	—	—		
H'F893	MC14[4]	—	—	—	—	—	—	—	—		
H'F894	MC14[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16		
H'F895	MC14[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3		
H'F896	MC14[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0		
H'F897	MC14[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8		
H'F898	MC15[1]	—	—	—	—	DLC3	DLC2	DLC1	DLC0		
H'F899	MC15[2]	—	—	—	—	—	—	—	—		

アドレス	略号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール 名	バス幅
H'F89A	MC15[3]	—	—	—	—	—	—	—	—	HCAN	8/16
H'F89B	MC15[4]	—	—	—	—	—	—	—	—		
H'F89C	MC15[5]	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16		
H'F89D	MC15[6]	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3		
H'F89E	MC15[7]	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0		
H'F89F	MC15[8]	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8		
H'F8B0	MD0[1]									HCAN	8/16
H'F8B1	MD0[2]										
H'F8B2	MD0[3]										
H'F8B3	MD0[4]										
H'F8B4	MD0[5]										
H'F8B5	MD0[6]										
H'F8B6	MD0[7]										
H'F8B7	MD0[8]										
H'F8B8	MD1[1]										
H'F8B9	MD1[2]										
H'F8BA	MD1[3]										
H'F8BB	MD1[4]										
H'F8BC	MD1[5]										
H'F8BD	MD1[6]										
H'F8BE	MD1[7]										
H'F8BF	MD1[8]										
H'F8C0	MD2[1]									HCAN	8/16
H'F8C1	MD2[2]										
H'F8C2	MD2[3]										
H'F8C3	MD2[4]										
H'F8C4	MD2[5]										
H'F8C5	MD2[6]										
H'F8C6	MD2[7]										
H'F8C7	MD2[8]										
H'F8C8	MD3[1]										
H'F8C9	MD3[2]										
H'F8CA	MD3[3]										
H'F8CB	MD3[4]										
H'F8CC	MD3[5]										
H'F8CD	MD3[6]										
H'F8CE	MD3[7]										
H'F8CF	MD3[8]										

アドレス	略号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール 名	バス幅
H'F8D0	MD4[1]									HCAN	8/16
H'F8D1	MD4[2]										
H'F8D2	MD4[3]										
H'F8D3	MD4[4]										
H'F8D4	MD4[5]										
H'F8D5	MD4[6]										
H'F8D6	MD4[7]										
H'F8D7	MD4[8]										
H'F8D8	MD5[1]										
H'F8D9	MD5[2]										
H'F8DA	MD5[3]										
H'F8DB	MD5[4]										
H'F8DC	MD5[5]										
H'F8DD	MD5[6]										
H'F8DE	MD5[7]										
H'F8DF	MD5[8]										
H'F8E0	MD6[1]									HCAN	8/16
H'F8E1	MD6[2]										
H'F8E2	MD6[3]										
H'F8E3	MD6[4]										
H'F8E4	MD6[5]										
H'F8E5	MD6[6]										
H'F8E6	MD6[7]										
H'F8E7	MD6[8]										
H'F8E8	MD7[1]										
H'F8E9	MD7[2]										
H'F8EA	MD7[3]										
H'F8EB	MD7[4]										
H'F8EC	MD7[5]										
H'F8ED	MD7[6]										
H'F8EE	MD7[7]										
H'F8EF	MD7[8]										
H'F8F0	MD8[1]									HCAN	8/16
H'F8F1	MD8[2]										
H'F8F2	MD8[3]										
H'F8F3	MD8[4]										
H'F8F4	MD8[5]										
H'F8F5	MD8[6]										
H'F8F6	MD8[7]										
H'F8F7	MD8[8]										

アドレス	略号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール 名	バス幅
H'F8F8	MD9[1]									HCAN	8/16
H'F8F9	MD9[2]										
H'F8FA	MD9[3]										
H'F8FB	MD9[4]										
H'F8FC	MD9[5]										
H'F8FD	MD9[6]										
H'F8FE	MD9[7]										
H'F8FF	MD9[8]										
H'F900	MD10[1]									HCAN	8/16
H'F901	MD10[2]										
H'F902	MD10[3]										
H'F903	MD10[4]										
H'F904	MD10[5]										
H'F905	MD10[6]										
H'F906	MD10[7]										
H'F907	MD10[8]										
H'F908	MD11[1]										
H'F909	MD11[2]										
H'F90A	MD11[3]										
H'F90B	MD11[4]										
H'F90C	MD11[5]										
H'F90D	MD11[6]										
H'F90E	MD11[7]										
H'F90F	MD11[8]										
H'F910	MD12[1]									HCAN	8/16
H'F911	MD12[2]										
H'F912	MD12[3]										
H'F913	MD12[4]										
H'F914	MD12[5]										
H'F915	MD12[6]										
H'F916	MD12[7]										
H'F917	MD12[8]										
H'F918	MD13[1]										
H'F919	MD13[2]										
H'F91A	MD13[3]										
H'F91B	MD13[4]										
H'F91C	MD13[5]										
H'F91D	MD13[6]										
H'F91E	MD13[7]										
H'F91F	MD13[8]										

アドレス	略号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール 名	バス幅
H'F920	MD14[1]									HCAN	8/16
H'F921	MD14[2]										
H'F922	MD14[3]										
H'F923	MD14[4]										
H'F924	MD14[5]										
H'F925	MD14[6]										
H'F926	MD14[7]										
H'F927	MD14[8]										
H'F928	MD15[1]										
H'F929	MD15[2]										
H'F92A	MD15[3]										
H'F92B	MD15[4]										
H'F92C	MD15[5]										
H'F92D	MD15[6]										
H'F92E	MD15[7]										
H'F92F	MD15[8]										
H'FC00	PWCR1	—	—	IE	CMF	CST	CKS2	CKS1	CKS0	モータコント	8
H'FC02	PWOCR1	OE1H	OE1G	OE1F	OE1E	OE1D	OE1C	OE1B	OE1A	ロール PWM	
H'FC04	PWPR1	OPS1H	OPS1G	OPS1F	OPS1E	OPS1D	OPS1C	OPS1B	OPS1A	タイマ	16
H'FC06	PWCYR1	—	—	—	—	—	—	—	—		
H'FC08	PWBFR1A	—	—	—	OTS	—	—	DT9	DT8		
		DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0		
H'FC0A	PWBFR1C	—	—	—	OTS	—	—	DT9	DT8		
		DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0		
H'FC0C	PWBFR1E	—	—	—	OTS	—	—	DT9	DT8		
		DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0		
H'FC0E	PWBFR1G	—	—	—	OTS	—	—	DT9	DT8		
		DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0		
H'FC10	PWCR2	—	—	IE	CMF	CST	CKS2	CKS1	CKS0		8
H'FC12	PWOCR2	OE2H	OE2G	OE2F	OE2E	OE2D	OE2C	OE2B	OE2A		
H'FC14	PWPR2	OPS2H	OPS2G	OPS2F	OPS2E	OPS2D	OPS2C	OPS2B	OPS2A		
H'FC16	PWCYR2	—	—	—	—	—	—	—	—		
											16
H'FC18	PWBFR2A	—	—	—	TDS	—	—	DT9	DT8		
		DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0		
H'FC1A	PWBFR2B	—	—	—	TDS	—	—	DT9	DT8		
		DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0		
H'FC1C	PWBFR2C	—	—	—	TDS	—	—	DT9	DT8		
		DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0		
H'FC1E	PWBFR2D	—	—	—	TDS	—	—	DT9	DT8		
		DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0		

アドレス	略号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール 名	バス幅
H'FC20	PHDDR	PH7DDR	PH6DDR	PH5DDR	PH4DDR	PH3DDR	PH2DDR	PH1DDR	PH0DDR	PORT	8
H'FC21	PJDDR	PJ7DDR	PJ6DDR	PJ5DDR	PJ4DDR	PJ3DDR	PJ2DDR	PJ1DDR	PJ0DDR		
H'FC22	PKDDR	PK7DDR	PK6DDR	—	—	—	—	—	—		
H'FC24	PHDR	PH7DR	PH6DR	PH5DR	PH4DR	PH3DR	PH2DR	PH1DR	PH0DR		
H'FC25	PJDR	PJ7DR	PJ6DR	PJ5DR	PJ4DR	PJ3DR	PJ2DR	PJ1DR	PJ0DR		
H'FC26	PKDR	PKDR7	PKDR6	—	—	—	—	—	—		
H'FC28	PORTH	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0		
H'FC29	PORTJ	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0		
H'FC2A	PORTK	PK7	PK6	—	—	—	—	—	—		
H'FC30	LPCR	DTS1	DTS0	CMX	—	SGS3	SGS2	SGS1	SGS0	LCDC	8
H'FC31	LCR	—	PSW	ACT	DISP	CKS3	CKS2	CKS1	CKS0		
H'FC32	LCR2	LCDAB	—	—	—	—	—	—	—		
H'FC40	LCDRAM										
~H'FC53											
H'FC60	MSTPCRD	MSTPD7	MSTPD6	MSTPD5	MSTPD4	MSTPD3	MSTPD2	MSTPD1	MSTPD0	SYSTEM	
H'FC62	Reserved										
H'FC64	Reserved										
H'FDD8	Reserved										
H'FDD9	Reserved										
H'FDDA	Reserved										
H'Fddb	Reserved										
H'FDDC	Reserved										
H'FDDD	Reserved										
H'FDDE	Reserved										
H'FDE4	SBYCR	SSBY	STS2	STS1	STS0	OPE	—	—	—	SYSTEM	8
H'FDE5	SYSCR	MACS	—	INTM1	INTM0	NMIEG	—	—	RAME		
H'FDE6	SCKCR	PSTOP	—	—	—	STCS	SCK2	SCK1	SCK0		
H'FDE7	MDCR	—	—	—	—	—	MDS2	MDS1	MDS0		
H'FDE8	MSTPCRA	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0		
H'FDE9	MSTPCRB	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0		
H'FDEA	MSTPCRC	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0		
H'FDEB	PFCR	—	—	—	—	AE3	AE2	AE1	AE0		
H'FDEC	LPWRCR	DTON	LSON	NESEL	SUBSTP	RFCUT	—	STC1	STC0		
H'FE00	BARA	—	—	—	—	—	—	—	—	PBC	32
H'FE01		BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16		
H'FE02		BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8		
H'FE03		BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0		
H'FE04	BARB	—	—	—	—	—	—	—	—		
H'FE05		BAA23	BAA22	BAA21	BAA20	BAA19	BAA18	BAA17	BAA16		
H'FE06		BAA15	BAA14	BAA13	BAA12	BAA11	BAA10	BAA9	BAA8		
H'FE07		BAA7	BAA6	BAA5	BAA4	BAA3	BAA2	BAA1	BAA0		

アドレス	略号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール 名	バス幅
H'FE08	BCRA	CMFA	CDA	BAMA2	BAMA1	BAMA0	CSELA1	CSELA0	BIEA	PBC	8
H'FE09	BCRB	CMFB	CDB	BAMB2	BAMB1	BAMB0	CSELB1	CSELB0	BIEB		
H'FE12	ISCRH	—	—	—	—	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	割り込み コントローラ	8
H'FE13	ISCRH	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA		
H'FE14	IER	—	—	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E		
H'FE15	ISR	—	—	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F		
H'FE16	DTCERA	DTCEA7	DTCEA6	DTCEA5	DTCEA4	DTCEA3	DTCEA2	DTCEA1	DTCEA0	DTC	8
H'FE17	DTCERB	DTCEB7	DTCEB6	DTCEB5	DTCEB4	DTCEB3	DTCEB2	DTCEB1	DTCEB0		
H'FE18	DTCERC	DTCEC7	DTCEC6	DTCEC5	DTCEC4	DTCEC3	DTCEC2	DTCEC1	DTCEC0		
H'FE19	DTCERD	DTCED7	DTCED6	DTCED5	DTCED4	DTCED3	DTCED2	DTCED1	DTCED0		
H'FE1A	DTCERE	DTCEE7	DTCEE6	DTCEE5	DTCEE4	DTCEE3	DTCEE2	DTCEE1	DTCEE0		
H'FE1B	DTCERF	DTCEF7	DTCEF6	DTCEF5	DTCEF4	DTCEF3	DTCEF2	DTCEF1	DTCEF0		
H'FE1C	DTCERG	DTCEG7	DTCEG6	DTCEG5	DTCEG4	DTCEG3	DTCEG2	DTCEG1	DTCEG0		
H'FE1E	DTCERI	DTCEI7	DTCEI6	DTCEI5	DTCEI4	DTCEI3	DTCEI2	DTCEI1	DTCEI0		
H'FE1F	DTVECR	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0		
H'FE26	PCR	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0	PPG	8
H'FE27	PMR	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV		
H'FE28	NDERH	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8		
H'FE29	NDERL	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0		
H'FE2A	PODRH	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8		
H'FE2B	PODRL	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0		
H'FE2C	NDRH	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8		
H'FE2D	NDRL	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0		
H'FE2E	NDRH	—	—	—	—	NDR11	NDR10	NDR9	NDR8		
H'FE2F	NDRL	—	—	—	—	NDR3	NDR2	NDR1	NDR0		
H'FE30	P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	PORT	8
H'FE31	P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR		
H'FE32	P3DDR	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR		
H'FE34	P5DDR	—	—	—	—	—	P52DDR	P51DDR	P50DDR		
H'FE39	PADDR	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR		
H'FE3A	PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR		
H'FE3B	PCDDR	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR		
H'FE3C	PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR		
H'FE3D	PEDDR	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR		
H'FE3E	PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	—	PF0DDR		
H'FE40	PAPCR	PA7PCR	PA6PCR	PA5PCR	PA4PCR	PA3PCR	PA2PCR	PA1PCR	PA0PCR	PORT	8
H'FE41	PBPCR	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR		
H'FE42	PCPCR	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR		
H'FE43	PDPCR	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR		
H'FE44	PEPCR	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR		
H'FE46	P3ODR	P37ODR	P36ODR	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR		

アドレス	略号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール 名	バス幅
H'FE47	PAODR	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR	PORT	8
H'FE48	PBODR	PB7ODR	PB6ODR	PB5ODR	PB4ODR	PB3ODR	PB2ODR	PB1ODR	PB0ODR		
H'FE49	PCODR	PC7ODR	PC6ODR	PC5ODR	PC4ODR	PC3ODR	PC2ODR	PC1ODR	PC0ODR		
H'FE80	TCR3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU3	8/16
H'FE81	TMDR3	—	—	BFB	BFA	MD3	MD2	MD1	MD0		
H'FE82	TIOR3H	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FE83	TIOR3L	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0		
H'FE84	TIER3	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
H'FE85	TSR3	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA		
H'FE86	TCNT3										
H'FE87											
H'FE88	TGR3A										
H'FE89											
H'FE8A	TGR3B										
H'FE8B											
H'FE8C	TGR3C										
H'FE8D											
H'FE8E	TGR3D										
H'FE8F											
H'FE90	TCR4	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU4	8/16
H'FE91	TMDR4	—	—	—	—	MD3	MD2	MD1	MD0		
H'FE92	TIOR4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FE94	TIER4	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA		
H'FE95	TSR4	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA		
H'FE96	TCNT4										
H'FE97											
H'FE98	TGR4A										
H'FE99											
H'FE9A	TGR4B										
H'FE9B											
H'FEA0	TCR5	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU5	8/16
H'FEA1	TMDR5	—	—	—	—	MD3	MD2	MD1	MD0		
H'FEA2	TIOR5	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FEA4	TIER5	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA		
H'FEA5	TSR5	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA		
H'FEA6	TCNT5										
H'FEA7											
H'FEA8	TGR5A										
H'FEA9											
H'FEAA	TGR5B										
H'FEAB											

アドレス	略号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール 名	バス幅
H'FEB0	TSTR	—	—	CST5	CST4	CST3	CST2	CST1	CST0	TPU 共通	8
H'FEB1	TSYR	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0		
H'FEC0	IPRA	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0	割り込み コントローラ (*H8S/2648, H8S/2648R, H8S/2647 のみ)	8
H'FEC1	IPRB	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0		
H'FEC2	IPRC	—	—	—	—	—	IPR2	IPR1	IPR0		
H'FEC3	IPRD	—	IPR6	IPR5	IPR4	—	—	—	—		
H'FEC4	IPRE	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0		
H'FEC5	IPRF	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0		
H'FEC6	IPRG	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0		
H'FEC7	IPRH	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0		
H'FEC9	IPRJ	—	—	—	—	—	IPR2	IPR1	IPR0		
H'FECA	IPRK	—	IPR6	IPR5	IPR4	—	IPR2*	IPR1*	IPR0*		
H'FECC	IPRM	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0		
H'FECE	Reserved										
H'FED0	ABWCR	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	バス コントローラ	8
H'FED1	ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0		
H'FED2	WCRH	W71	W70	W61	W60	W51	W50	W41	W40		
H'FED3	WCRL	W31	W30	W21	W20	W11	W10	W01	W00		
H'FED4	BCRH	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	—	—	—		
H'FED5	BCRL	—	—	—	—	—	—	WDBE	WAITE		
H'FEDB	RAMER	—	—	—	—	RAMS	RAM2	RAM1	RAM0	ROM	
H'FF00	P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	PORT	8
H'FF01	P2DR	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR		
H'FF02	P3DR	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR		
H'FF04	P5DR	—	—	—	—	—	P52DR	P51DR	P50DR		
H'FF09	PADR	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR		
H'FF0A	PBDR	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR		
H'FF0B	PCDR	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR		
H'FF0C	PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR		
H'FF0D	PEDR	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR		
H'FF0E	PFDR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	—	PF0DR		
H'FF10	TCR0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU0	8/16
H'FF11	TMDR0	—	—	BFB	BFA	MD3	MD2	MD1	MD0		
H'FF12	TIOR0H	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FF13	TIOR0L	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0		
H'FF14	TIER0	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
H'FF15	TSR0	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA		
H'FF16	TNCT0										
H'FF17											
H'FF18	TGR0A										
H'FF19											

アドレス	略号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール 名	バス幅
H'FF1A	TGR0B									TPU0	8/16
H'FF1B											
H'FF1C	TGR0C										
H'FF1D											
H'FF1E	TGR0D										
H'FF1F											
H'FF20	TCR1	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU1	8/16
H'FF21	TMDR1	—	—	—	—	MD3	MD2	MD1	MD0		
H'FF22	TIOR1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FF24	TIER1	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA		
H'FF25	TSR1	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA		
H'FF26	TNCT1										
H'FF27											
H'FF28	TGR1A										
H'FF29											
H'FF2A	TGR1B										
H'FF2B											
H'FF30	TCR2	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU2	8/16
H'FF31	TMDR2	—	—	—	—	MD3	MD2	MD1	MD0		
H'FF32	TIOR2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
H'FF34	TIER2	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA		
H'FF35	TSR2	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA		
H'FF36	TCNT2										
H'FF37											
H'FF38	TGR2A										
H'FF39											
H'FF3A	TGR2B										
H'FF3B											
H'FF74	TCSR0 (リード/ ライト時)	OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0	WDT	8
H'FF75	TCNT0 (リード時)										
H'FF76	—	—	—	—	—	—	—	—	—		
H'FF77	RSTCSR0 (リード時)	WOVF	RSTE	—	—	—	—	—	—		
H'FF78	SMR0	C/Ā	CHR	PE	O/Ē	STOP	MP	CKS1	CKS0	SCI0、 スマートカー ドインタフェ ース	8
H'FF78	SMR0	GM	BLK	PE	O/Ē	BCP1	BCP0	CKS1	CKS0		
H'FF79	BRR0										
H'FF7A	SCR0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		

アドレス	略号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール 名	バス幅
H'FF7B	TDR0									SCI0、 スマート カードインタ フェース	8
H'FF7C	SSR0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'FF7C	SSR0	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT		
H'FF7D	RDR0										
H'FF7E	SCMR0	—	—	—	—	SDIR	SINV	—	SMIF		
H'FF80	SMR1	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0	SCI1、 スマート カードインタ フェース	8
H'FF80	SMR1	GM	BLK	PE	O/ $\bar{E}$	BCP1	BCP0	CKS1	CKS0		
H'FF81	BRR1										
H'FF82	SCR1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FF83	TDR1										
H'FF84	SSR1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'FF84	SSR1	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT		
H'FF85	RDR1										
H'FF86	SCMR1	—	—	—	—	SDIR	SINV	—	SMIF		
H'FF88	SMR2	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0	SCI2、 スマート カードインタ フェース (H8S/2648, H8S/2648R, H8S/2647)	
H'FF88	SMR2	GM	BLK	PE	O/ $\bar{E}$	BCP1	BCP0	CKS1	CKS0		
H'FF89	BRR2										
H'FF8A	SCR2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FF8B	TDR2										
H'FF8C	SSR2	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'FF8C	SSR2	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT		
H'FF8D	RDR2										
H'FF8E	SCMR2	—	—	—	—	SDIR	SINV	—	SMIF		
H'FF90	ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D	8
H'FF91	ADDRAL	AD1	AD0	—	—	—	—	—	—		
H'FF92	ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FF93	ADDRBL	AD1	AD0	—	—	—	—	—	—		
H'FF94	ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FF95	ADDRCL	AD1	AD0	—	—	—	—	—	—		
H'FF96	ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H'FF97	ADDRDL	AD1	AD0	—	—	—	—	—	—		
H'FF98	ADCSR	ADF	ADIE	ADST	SCAN	CH3	CH2	CH1	CH0		
H'FF99	ADCR	TRGS1	TRGS0	—	—	CKS1	CKS0	—	—		
H'FFA2	TCSR1 (リード/ ライト時)	OVF	WT/ $\bar{I}T$	TME	PSS	RST/ $\bar{N}MI$	CKS2	CKS1	CKS0	WDT1	16
H'FFA3	TCNT1 (リード時)										

アドレス	略号	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール 名	バス幅
H'FFA8	FLMCR1	FWE	SWE	ESU	PSU	EV	PV	E	P	ROM	8
H'FFA9	FLMCR2	FLER	—	—	—	—	—	—	—		
H'FFAA	EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0		
H'FFAB	EBR2	—	—	—	—	—	—	EB9	EB8		
H'FFAC	FLPWCR	PDWND	—	—	—	—	—	—	—		
H'FFB0	PORT1	P17	P16	P15	P14	P13	P12	P11	P10	PORT	8
H'FFB1	PORT2	P27	P26	P25	P24	P23	P22	P21	P20		
H'FFB2	PORT3	P37	P36	P35	P34	P33	P32	P31	P30		
H'FFB3	PORT4	P47	P46	P45	P44	P43	P42	P41	P40		
H'FFB4	PORT5	—	—	—	—	—	P52	P51	P50		
H'FFB8	PORT9	P97	P96	P95	P94	P93	P92	P91	P90		
H'FFB9	PORTA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0		
H'FFBA	PORTB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0		
H'FFBB	PORTC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0		
H'FFBC	PORTD	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0		
H'FFBD	PORTE	PE7	PE6	PE5	PE4	PE3	PE2	PF1	PE0		
H'FFBE	PORTF	PF7	PF6	PF5	PF4	PF3	PF2	—	PF0		

【注】 * 内蔵 RAM 上に配置されています。DTC がレジスタ情報としてアクセスするとき 32 ビットバス、その他のとき 8、16 ビットバスです。

B.2 機能一覧

H'EBC0～H'EFBF：DTC ソースアドレスレジスタ SAR：DTC

ビット：	23	22	21	20	19	---	4	3	2	1	0

初期値：	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W：	—	—	—	—	—	---	—	—	—	—	—

転送データの転送元アドレスを指定

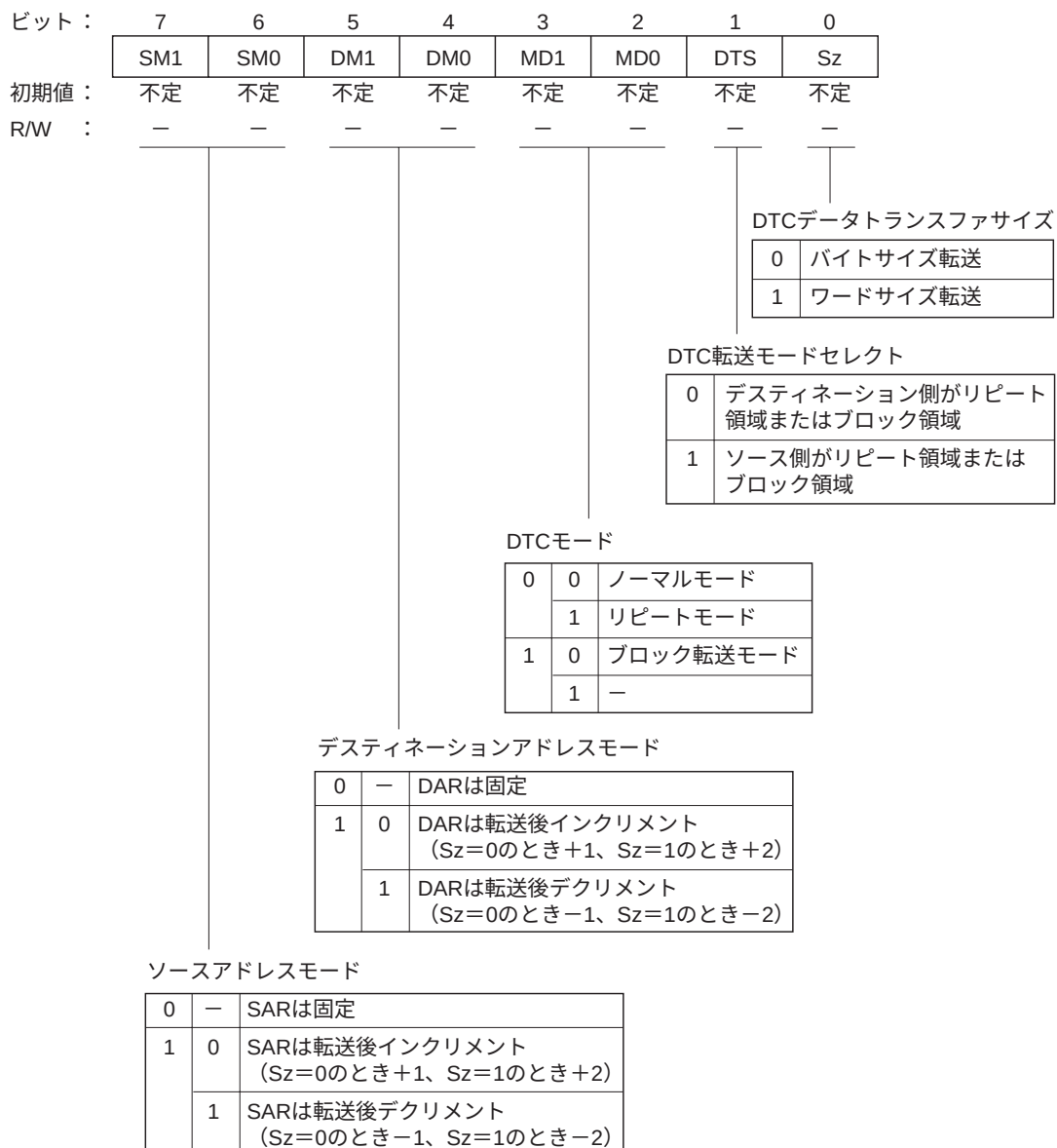
H'EBC0～H'EFBF：DTC デスティネーションアドレスレジスタ DAR：DTC

ビット：	23	22	21	20	19	---	4	3	2	1	0

初期値：	不定	不定	不定	不定	不定	---	不定	不定	不定	不定	不定
R/W：	—	—	—	—	—	---	—	—	—	—	—

DTCの転送データの転送先アドレスを指定

H'EBC0~H'EFBF : DTC モードレジスタ A MRA : DTC



H'EBC0~H'EFBF : DTC モードレジスタ B MRB : DTC

ビット :	7	6	5	4	3	2	1	0
	CHNE	DISEL	—	—	—	—	—	—
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	—	—	—	—	—	—	—	—

DTCインタラプトセレクト

0	DTCデータ転送終了後、転送カウンタが0でなければ、CPUへの割り込みを禁止
1	DTCデータ転送終了後、CPUへの割り込みを許可

DTCチェーン転送イネーブル

0	DTCデータ転送終了
1	DTCチェーン転送

H'EBC0~H'EFBF : DTC 転送カウントレジスタ A CRA : DTC

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—



DTCのデータ転送の転送回数を指定

H'EBC0~H'EFBF : DTC 転送カウントレジスタ B CRB : DTC

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

DTCのブロックデータ転送の転送回数を指定

H'F800：マスタコントロールレジスタ MCR：HCAN

MCR

ビット：

7	6	5	4	3	2	1	0
MCR7	—	MCR5	—	—	MCR2	MCR1	MCR0

初期値：

0	0	0	0	0	0	0	1

R/W：

R/W	R	R/W	R	R	R/W	R/W	R/W

リセットリクエスト

0	通常動作モード（MCR0=0かつGSR3=0） [セット条件]HCANのリセット終了時に 0書き込み
1	リセットモードへの遷移をリクエスト

HALTリクエスト

0	通常動作モード
1	HALTモードへの遷移をリクエスト

メッセージ送信方式

0	メッセージIdentifierの優先順位により送信の順番を決定
1	メールボックス（バッファ）番号の優先順位により 送信の順番を決定 (TXPR1 > TXPR15)

HCANスリープモード

0	HCANスリープモード解除
1	HCANスリープモードへの遷移を許可

HCANスリープモード解除

0	CANバス動作によるHCANスリープモード解除を禁止
1	CANバス動作によるHCANスリープモード解除を許可

H'F801：ジェネラルステータスレジスタ GSR：HCAN

GSR

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	GSR3	GSR2	GSR1	GSR0

初期値： 0 0 0 0 1 1 0 0

R/W： R R R R R R R R

バスオフフラグ

0	[リセット条件]バスオフからの復帰
1	TEC $\geq$ 256のとき (バスオフ状態)

送信／受信ワーニングフラグ

0	[リセット条件]TEC < 96かつREC < 96のとき TEC $\geq$ 256
1	TEC $\geq$ 96またはREC $\geq$ 96のとき

メッセージ送信ステータスフラグ

0	メッセージ送信期間中
1	アイドル期間

リセットステータスビット

0	通常動作状態 [セット条件]HCAN内部をリセット終了
1	コンフィギュレーションモード [リセット条件]MCR0によるリセット状態 およびスリープモード

H'F802：ビットコンフィグレジスタ BCR：HCAN

BCR

ビット：	15	14	13	12	11	10	9	8
	BCR7	BCR6	BCR5	BCR4	BCR3	BCR2	BCR1	BCR0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポーレートプリスケアラ

0	0	0	0	0	0	2×システムクロック
					1	4×システムクロック
					1	6×システムクロック
:	:	:	:	:	:	:
1	1	1	1	1	1	128×システムクロック

Re-Synchronization Jump Width

0	0	最大ビット同期幅 1time quantum
	1	最大ビット同期幅 2time quanta
1	0	最大ビット同期幅 3time quanta
	1	最大ビット同期幅 4time quanta

ビット：	7	6	5	4	3	2	1	0
	BCR15	BCR 14	BCR13	BCR12	BCR11	BCR10	BCR9	BCR8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TSEG1

0	0	0	0	設定禁止
			1	設定禁止
		1	0	設定禁止
			1	TSEG1 =4time quanta
	1	0	0	TSEG1 =5time quanta
:	:	:	:	:
1	1	1	1	TSEG1 =16time quanta

TSEG 2

0	0	0	設定禁止
		1	TSEG2 =2time quanta
	1	0	TSEG2 =3time quanta
		1	TSEG2 =4time quanta
1	0	0	TSEG2 =5time quanta
		1	TSEG2 =6time quanta
	1	0	TSEG2 =7time quanta
		1	TSEG2 =8time quanta

ビットサンプルポイント

0	1箇所のビットサンプリング（TSEG1の終わり）
1	3箇所のビットサンプリング（TSEG1の終わりと前後1time quantum）

H'F804：メールボックスコンフィグレジスタ MBCR：HCAN

MBCR

ビット：	15	14	13	12	11	10	9	8
	MBCR7	MBCR6	MBCR5	MBCR4	MBCR3	MBCR2	MBCR1	—
初期値：	0	0	0	0	0	0	0	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット：	7	6	5	4	3	2	1	0
	MBCR15	MBCR 14	MBCR13	MBCR12	MBCR11	MBCR10	MBCR9	MBCR8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

メールボックス設定レジスタ

0	対応するメールボックスが送信用に設定
1	対応するメールボックスが受信信用に設定

H'F806：送信待ちレジスタ TXPR：HCAN

TXPR

ビット：	15	14	13	12	11	10	9	8
	TXPR7	TXPR6	TXPR5	TXPR4	TXPR3	TXPR2	TXPR1	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット：	7	6	5	4	3	2	1	0
	TXPR15	TXPR 14	TXPR13	TXPR12	TXPR11	TXPR10	TXPR9	TXPR8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

送信待ちレジスタ

0	対応するメールボックス内の送信メッセージアイドル状態 [クリア条件]メッセージの送信完了および取り消し完了
1	対応するメールボックス内の送信メッセージの送信待ち (CANバスアービトレーション)

H'F808：送信待ち取り消しレジスタ TXCR：HCAN

TXCR

ビット：	15	14	13	12	11	10	9	8
	TXCR7	TXCR6	TXCR5	TXCR4	TXCR3	TXCR2	TXCR1	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
ビット：	7	6	5	4	3	2	1	0
	TXCR15	TXCR 14	TXCR13	TXCR12	TXCR11	TXCR10	TXCR9	TXCR8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

送信待ち取り消しレジスタ

0	対応するメールボックス内の送信メッセージ取り消し アイドル状態 [クリア条件]TXPRのクリア完了 (送信メッセージを正常に取り消したとき)
1	対応するメールボックスのTXPRクリア (送信メッセージの取り消し)

H'F80A：送信アクノレッジレジスタ TXACK：HCAN

TXACK

ビット：	15	14	13	12	11	10	9	8
	TXACK7	TXACK6	TXACK5	TXACK4	TXACK3	TXACK2	TXACK1	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R
ビット：	7	6	5	4	3	2	1	0
	TXACK15	TXACK 14	TXACK13	TXACK12	TXACK11	TXACK10	TXACK9	TXACK8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

送信アクノレッジレジスタ

0	[クリア条件]1 書き込み
1	対応するメールボックスのメッセージ送信完了

【注】 * フラグをクリアするための1ライトのみ可能です。

H'F80C：取り消しアクノレッジレジスタ ABACK：HCAN

ABACK

ビット：	15	14	13	12	11	10	9	8
	ABACK7	ABACK6	ABACK5	ABACK4	ABACK3	ABACK2	ABACK1	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R

ビット：	7	6	5	4	3	2	1	0
	ABACK15	ABACK14	ABACK13	ABACK12	ABACK11	ABACK10	ABACK9	ABACK8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

取り消しアクノレッジレジスタ

0	[クリア条件]1 書き込み
1	対応するメールボックスの送信メッセージ取り消し完了

【注】* フラグをクリアするための1ライトのみ可能です。

H'F80E：受信完了レジスタ RXPR：HCAN

RXPR

ビット：	15	14	13	12	11	10	9	8
	RXPR7	RXPR6	RXPR5	RXPR4	RXPR3	RXPR2	RXPR1	RXPR0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ビット：	7	6	5	4	3	2	1	0
	RXPR15	RXPR 14	RXPR13	RXPR12	RXPR11	RXPR10	RXPR9	RXPR8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

受信完了レジスタ

0	[クリア条件]1 書き込み
1	対応するメールボックスにメッセージ (データフレームまたはリモートフレーム) 受信完了

【注】* フラグをクリアするための1ライトのみ可能です。

H'F810：リモートリクエストレジスタ RFPR：HCAN

RFPR

ビット：	15	14	13	12	11	10	9	8
	RFPR7	RFPR6	RFPR5	RFPR4	RFPR3	RFPR2	RFPR1	RFPR0

初期値： 0 0 0 0 0 0 0 0

R/W： R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)*

ビット：	7	6	5	4	3	2	1	0
	RFPR15	RFPR14	RFPR13	RFPR12	RFPR11	RFPR10	RFPR9	RFPR8

初期値： 0 0 0 0 0 0 0 0

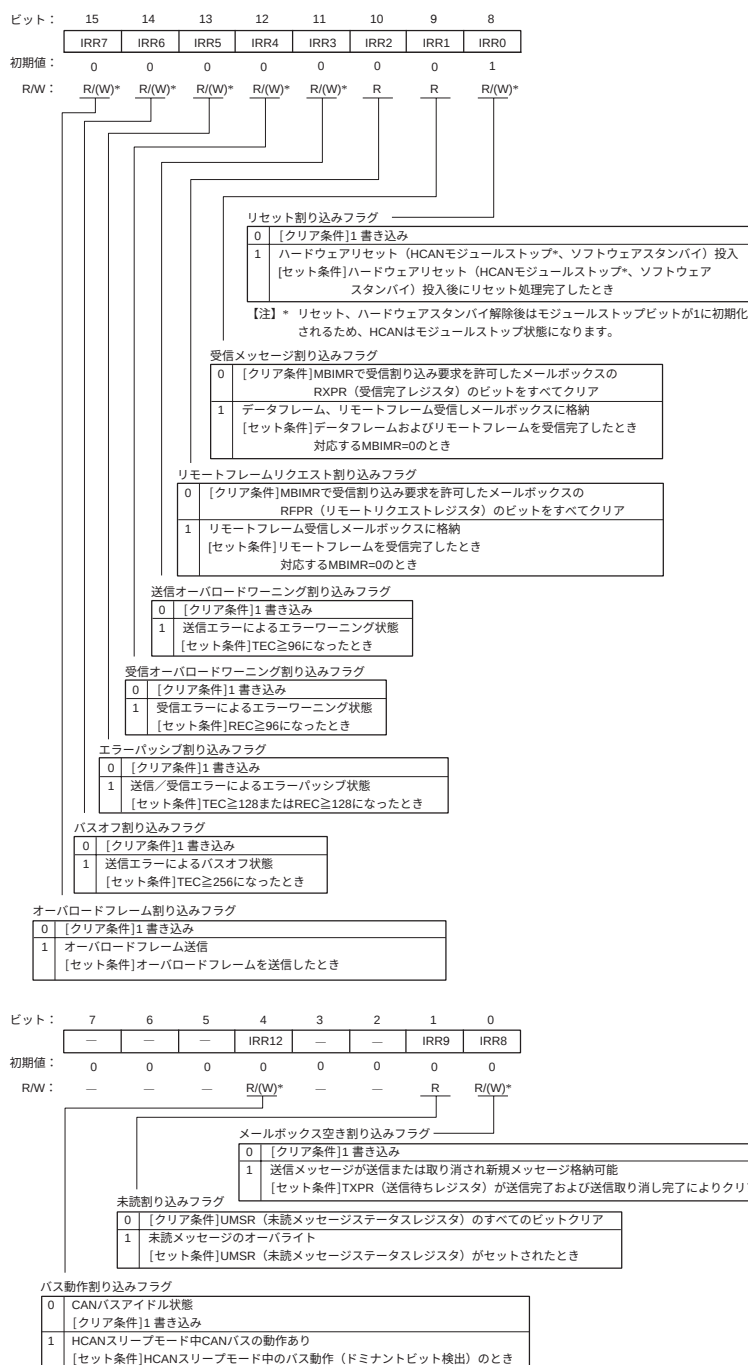
R/W： R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)*

リモートリクエストレジスタ

0	[クリア条件]1 書き込み
1	対応するメールボックスにリモートフレーム受信完了

【注】 * フラグをクリアするための1ライトのみ可能です。

H'F812：インタラプトレジスタ IRR：HCAN



【注】* フラグをクリアするための1ライトのみ可能です。

H'F814：メールボックスインタラプトマスクレジスタ MBIMR：HCAN

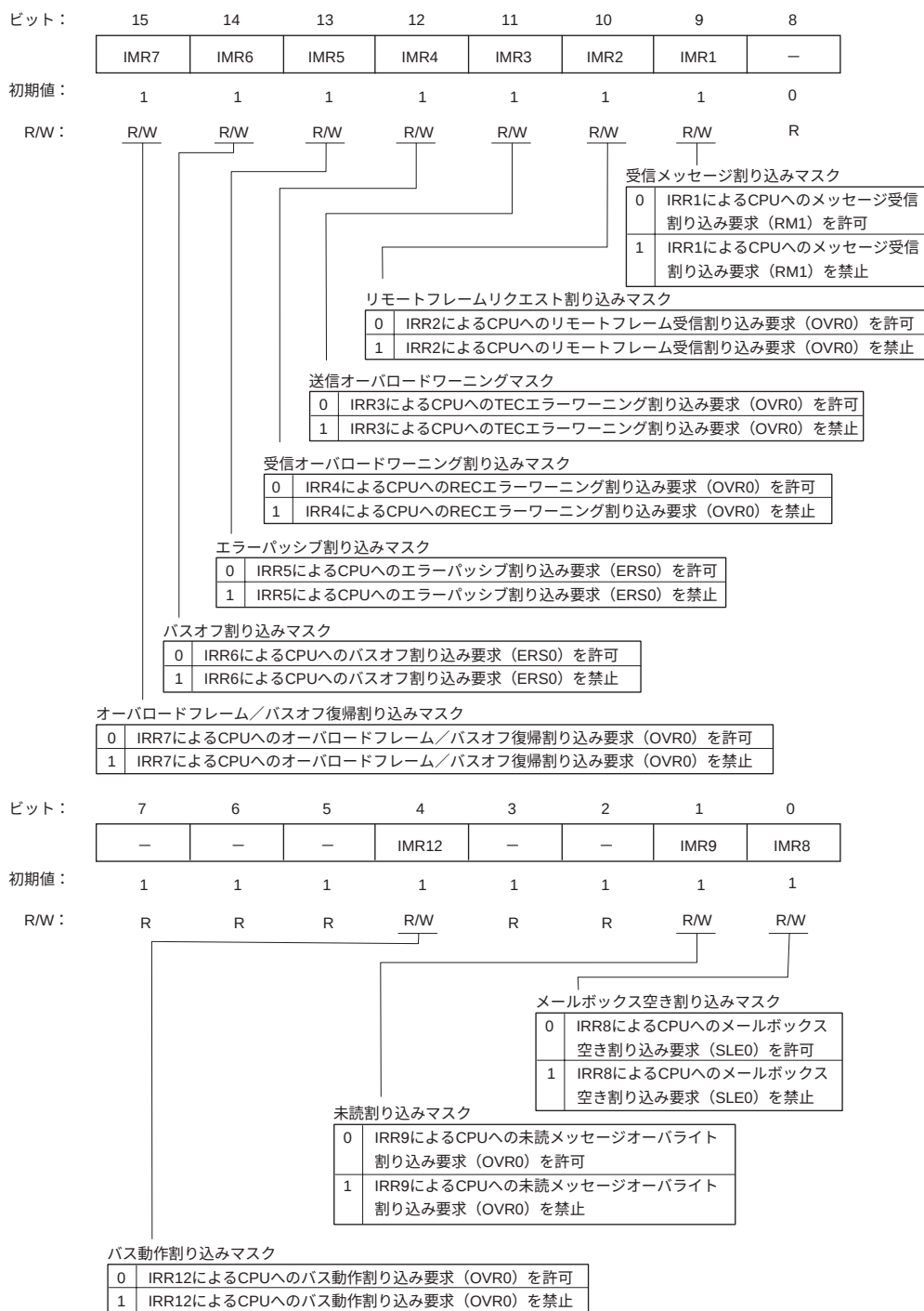
MBIMR

ビット：	15	14	13	12	11	10	9	8
	MBIMR7	MBIMR6	MBIMR5	MBIMR4	MBIMR3	MBIMR2	MBIMR1	MBIMR0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	7	6	5	4	3	2	1	0
	MBIMR15	MBIMR14	MBIMR13	MBIMR12	MBIMR11	MBIMR10	MBIMR9	MBIMR8
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

メールボックスインタラプトマスク

0	【送信時】 TXPRのクリアによりCPUへ割り込み要求 【受信時】 RXPRのセットによりCPUへ割り込み要求
1	CPUへの割り込み要求を禁止

H'F816：インタラプトマスクレジスタ IMR：HCAN



H'F818：受信エラーカウンタ REC：HCAN

REC

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

H'F819：送信エラーカウンタ TEC：HCAN

TEC

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

H'F81A：未読メッセージステータスレジスタ UMSR：HCAN

UMSR

ビット：	15	14	13	12	11	10	9	8
	UMSR7	UMSR6	UMSR5	UMSR4	UMSR3	UMSR2	UMSR1	UMSR0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*
ビット：	7	6	5	4	3	2	1	0
	UMSR15	UMSR14	UMSR13	UMSR12	UMSR11	UMSR10	UMSR9	UMSR8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

未読メッセージステータスフラグ

0	[クリア条件]1書き込み
1	メッセージを受信後未読のまま新規メッセージをオーバーライト [セット条件]RXPRをクリアする前に新規メッセージを受信したとき

【注】* フラグをクリアするための1ライトのみ可能です。

H'F81C：ローカルアクセプタンスフィルタマスク LAFML：HCAN

H'F81E：ローカルアクセプタンスフィルタマスク LAFMH：HCAN

LAFML

ビット：	15	14	13	12	11	10	9	8
	LAFML7	LAFML6	LAFML5	LAFML4	LAFML3	LAFML2	LAFML1	LAFML0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット：	7	6	5	4	3	2	1	0
	LAFML15	LAFML14	LAFML13	LAFML12	LAFML11	LAFML10	LAFML9	LAFML8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

LAFMH

ビット：	15	14	13	12	11	10	9	8
	LAFMH7	LAFMH6	LAFMH5	—	—	—	LAFMH1	LAFMH0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R	R	R	R/W	R/W
ビット：	7	6	5	4	3	2	1	0
	LAFMH15	LAFMH14	LAFMH13	LAFMH12	LAFMH11	LAFMH10	LAFMH9	LAFMH8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

LAFMHビット7～0,15～13：11ビットIdentifier用フィルタ

0	MC0のメッセージIdentifierと受信メッセージIdentifierのビット一致により MC0、MD0（受信専用メールボックス）に格納
1	MC0のメッセージIdentifierと受信メッセージIdentifierのビット一致にかかわらず MC0、MD0（受信専用メールボックス）に格納

LAFMHビット9,8, LAFML15～0：18ビットIdentifier用フィルタ

0	MC0のメッセージIdentifierと受信メッセージIdentifierのビット一致により MC0（受信専用メールボックス）に格納
1	MC0のメッセージIdentifierと受信メッセージIdentifierのビット一致にかかわらず MC0（受信専用メールボックス）に格納

H'F820：メッセージコントロール MC01：HCAN

H'F821：メッセージコントロール MC02：HCAN

H'F822：メッセージコントロール MC03：HCAN

H'F823：メッセージコントロール MC04：HCAN

H'F824：メッセージコントロール MC05：HCAN

H'F825：メッセージコントロール MC06：HCAN

H'F826：メッセージコントロール MC07：HCAN

H'F827：メッセージコントロール MC08：HCAN

MCx[1] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	DLC3	DLC2	DLC1	DLC0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[2] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[3] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[4] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[5] ビット：	7	6	5	4	3	2	1	0
	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[6] ビット：	7	6	5	4	3	2	1	0
	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[7] ビット：	7	6	5	4	3	2	1	0
	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[8] ビット：	7	6	5	4	3	2	1	0
	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'F828：メッセージコントロール MC11：HCAN

H'F829：メッセージコントロール MC12：HCAN

H'F82A：メッセージコントロール MC13：HCAN

H'F82B：メッセージコントロール MC14：HCAN

H'F82C：メッセージコントロール MC15：HCAN

H'F82D：メッセージコントロール MC16：HCAN

H'F82E：メッセージコントロール MC17：HCAN

H'F82F：メッセージコントロール MC18：HCAN

MCx[1] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	DLC3	DLC2	DLC1	DLC0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[2] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[3] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[4] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[5] ビット：	7	6	5	4	3	2	1	0
	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[6] ビット：	7	6	5	4	3	2	1	0
	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[7] ビット：	7	6	5	4	3	2	1	0
	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[8] ビット：	7	6	5	4	3	2	1	0
	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'F830：メッセージコントロール MC21：HCAN

H'F831：メッセージコントロール MC22：HCAN

H'F832：メッセージコントロール MC23：HCAN

H'F833：メッセージコントロール MC24：HCAN

H'F834：メッセージコントロール MC25：HCAN

H'F835：メッセージコントロール MC26：HCAN

H'F836：メッセージコントロール MC27：HCAN

H'F837：メッセージコントロール MC28：HCAN

MCx[1] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	DLC3	DLC2	DLC1	DLC0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[2] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[3] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[4] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[5] ビット：	7	6	5	4	3	2	1	0
	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[6] ビット：	7	6	5	4	3	2	1	0
	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[7] ビット：	7	6	5	4	3	2	1	0
	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[8] ビット：	7	6	5	4	3	2	1	0
	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'F838：メッセージコントロール MC31：HCAN

H'F839：メッセージコントロール MC32：HCAN

H'F83A：メッセージコントロール MC33：HCAN

H'F83B：メッセージコントロール MC34：HCAN

H'F83C：メッセージコントロール MC35：HCAN

H'F83D：メッセージコントロール MC36：HCAN

H'F83E：メッセージコントロール MC37：HCAN

H'F83F：メッセージコントロール MC38：HCAN

MCx[1] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	DLC3	DLC2	DLC1	DLC0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[2] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[3] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[4] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[5] ビット：	7	6	5	4	3	2	1	0
	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[6] ビット：	7	6	5	4	3	2	1	0
	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[7] ビット：	7	6	5	4	3	2	1	0
	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[8] ビット：	7	6	5	4	3	2	1	0
	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'F840：メッセージコントロール MC41：HCAN

H'F841：メッセージコントロール MC42：HCAN

H'F842：メッセージコントロール MC43：HCAN

H'F843：メッセージコントロール MC44：HCAN

H'F844：メッセージコントロール MC45：HCAN

H'F845：メッセージコントロール MC46：HCAN

H'F846：メッセージコントロール MC47：HCAN

H'F847：メッセージコントロール MC48：HCAN

MCx[1] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	DLC3	DLC2	DLC1	DLC0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[2] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[3] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[4] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[5] ビット：	7	6	5	4	3	2	1	0
	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[6] ビット：	7	6	5	4	3	2	1	0
	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[7] ビット：	7	6	5	4	3	2	1	0
	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[8] ビット：	7	6	5	4	3	2	1	0
	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'F848：メッセージコントロール MC51：HCAN

H'F849：メッセージコントロール MC52：HCAN

H'F84A：メッセージコントロール MC53：HCAN

H'F84B：メッセージコントロール MC54：HCAN

H'F84C：メッセージコントロール MC55：HCAN

H'F84D：メッセージコントロール MC56：HCAN

H'F84E：メッセージコントロール MC57：HCAN

H'F84F：メッセージコントロール MC58：HCAN

MCx[1] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	DLC3	DLC2	DLC1	DLC0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[2] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[3] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[4] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[5] ビット：	7	6	5	4	3	2	1	0
	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[6] ビット：	7	6	5	4	3	2	1	0
	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[7] ビット：	7	6	5	4	3	2	1	0
	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[8] ビット：	7	6	5	4	3	2	1	0
	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'F850：メッセージコントロール MC61：HCAN

H'F851：メッセージコントロール MC62：HCAN

H'F852：メッセージコントロール MC63：HCAN

H'F853：メッセージコントロール MC64：HCAN

H'F854：メッセージコントロール MC65：HCAN

H'F855：メッセージコントロール MC66：HCAN

H'F856：メッセージコントロール MC67：HCAN

H'F857：メッセージコントロール MC68：HCAN

MCx[1] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	DLC3	DLC2	DLC1	DLC0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[2] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[3] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[4] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[5] ビット：	7	6	5	4	3	2	1	0
	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[6] ビット：	7	6	5	4	3	2	1	0
	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[7] ビット：	7	6	5	4	3	2	1	0
	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[8] ビット：	7	6	5	4	3	2	1	0
	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'F858：メッセージコントロール MC71：HCAN

H'F859：メッセージコントロール MC72：HCAN

H'F85A：メッセージコントロール MC73：HCAN

H'F85B：メッセージコントロール MC74：HCAN

H'F85C：メッセージコントロール MC75：HCAN

H'F85D：メッセージコントロール MC76：HCAN

H'F85E：メッセージコントロール MC77：HCAN

H'F85F：メッセージコントロール MC78：HCAN

MCx[1] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	DLC3	DLC2	DLC1	DLC0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[2] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[3] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[4] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[5] ビット：	7	6	5	4	3	2	1	0
	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[6] ビット：	7	6	5	4	3	2	1	0
	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[7] ビット：	7	6	5	4	3	2	1	0
	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[8] ビット：	7	6	5	4	3	2	1	0
	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'F860：メッセージコントロール MC81：HCAN

H'F861：メッセージコントロール MC82：HCAN

H'F862：メッセージコントロール MC83：HCAN

H'F863：メッセージコントロール MC84：HCAN

H'F864：メッセージコントロール MC85：HCAN

H'F865：メッセージコントロール MC86：HCAN

H'F866：メッセージコントロール MC87：HCAN

H'F867：メッセージコントロール MC88：HCAN

MCx[1] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	DLC3	DLC2	DLC1	DLC0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[2] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[3] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[4] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[5] ビット：	7	6	5	4	3	2	1	0
	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[6] ビット：	7	6	5	4	3	2	1	0
	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[7] ビット：	7	6	5	4	3	2	1	0
	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[8] ビット：	7	6	5	4	3	2	1	0
	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'F868：メッセージコントロール MC91：HCAN

H'F869：メッセージコントロール MC92：HCAN

H'F86A：メッセージコントロール MC93：HCAN

H'F86B：メッセージコントロール MC94：HCAN

H'F86C：メッセージコントロール MC95：HCAN

H'F86D：メッセージコントロール MC96：HCAN

H'F86E：メッセージコントロール MC97：HCAN

H'F86F：メッセージコントロール MC98：HCAN

MCx[1] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	DLC3	DLC2	DLC1	DLC0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[2] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[3] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[4] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[5] ビット：	7	6	5	4	3	2	1	0
	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[6] ビット：	7	6	5	4	3	2	1	0
	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[7] ビット：	7	6	5	4	3	2	1	0
	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[8] ビット：	7	6	5	4	3	2	1	0
	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'F870：メッセージコントロール MC101：HCAN

H'F871：メッセージコントロール MC102：HCAN

H'F872：メッセージコントロール MC103：HCAN

H'F873：メッセージコントロール MC104：HCAN

H'F874：メッセージコントロール MC105：HCAN

H'F875：メッセージコントロール MC106：HCAN

H'F876：メッセージコントロール MC107：HCAN

H'F877：メッセージコントロール MC108：HCAN

MCx[1] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	DLC3	DLC2	DLC1	DLC0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[2] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[3] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[4] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[5] ビット：	7	6	5	4	3	2	1	0
	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[6] ビット：	7	6	5	4	3	2	1	0
	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[7] ビット：	7	6	5	4	3	2	1	0
	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[8] ビット：	7	6	5	4	3	2	1	0
	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'F878：メッセージコントロール MC111：HCAN

H'F879：メッセージコントロール MC112：HCAN

H'F87A：メッセージコントロール MC113：HCAN

H'F87B：メッセージコントロール MC114：HCAN

H'F87C：メッセージコントロール MC115：HCAN

H'F87D：メッセージコントロール MC116：HCAN

H'F87E：メッセージコントロール MC117：HCAN

H'F87F：メッセージコントロール MC118：HCAN

MCx[1] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	DLC3	DLC2	DLC1	DLC0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[2] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[3] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[4] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[5] ビット：	7	6	5	4	3	2	1	0
	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[6] ビット：	7	6	5	4	3	2	1	0
	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[7] ビット：	7	6	5	4	3	2	1	0
	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[8] ビット：	7	6	5	4	3	2	1	0
	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'F880：メッセージコントロール MC121：HCAN

H'F881：メッセージコントロール MC122：HCAN

H'F882：メッセージコントロール MC123：HCAN

H'F883：メッセージコントロール MC124：HCAN

H'F884：メッセージコントロール MC125：HCAN

H'F885：メッセージコントロール MC126：HCAN

H'F886：メッセージコントロール MC127：HCAN

H'F887：メッセージコントロール MC128：HCAN

MCx[1] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	DLC3	DLC2	DLC1	DLC0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[2] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[3] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[4] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[5] ビット：	7	6	5	4	3	2	1	0
	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[6] ビット：	7	6	5	4	3	2	1	0
	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[7] ビット：	7	6	5	4	3	2	1	0
	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[8] ビット：	7	6	5	4	3	2	1	0
	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'F888：メッセージコントロール MC131：HCAN

H'F889：メッセージコントロール MC132：HCAN

H'F88A：メッセージコントロール MC133：HCAN

H'F88B：メッセージコントロール MC134：HCAN

H'F88C：メッセージコントロール MC135：HCAN

H'F88D：メッセージコントロール MC136：HCAN

H'F88E：メッセージコントロール MC137：HCAN

H'F88F：メッセージコントロール MC138：HCAN

MCx[1] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	DLC3	DLC2	DLC1	DLC0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[2] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[3] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[4] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[5] ビット：	7	6	5	4	3	2	1	0
	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[6] ビット：	7	6	5	4	3	2	1	0
	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[7] ビット：	7	6	5	4	3	2	1	0
	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[8] ビット：	7	6	5	4	3	2	1	0
	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'F890：メッセージコントロール MC141：HCAN

H'F891：メッセージコントロール MC142：HCAN

H'F892：メッセージコントロール MC143：HCAN

H'F893：メッセージコントロール MC144：HCAN

H'F894：メッセージコントロール MC145：HCAN

H'F895：メッセージコントロール MC146：HCAN

H'F896：メッセージコントロール MC147：HCAN

H'F897：メッセージコントロール MC148：HCAN

MCx[1] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	DLC3	DLC2	DLC1	DLC0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[2] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[3] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[4] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[5] ビット：	7	6	5	4	3	2	1	0
	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[6] ビット：	7	6	5	4	3	2	1	0
	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[7] ビット：	7	6	5	4	3	2	1	0
	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[8] ビット：	7	6	5	4	3	2	1	0
	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'F898：メッセージコントロール MC151：HCAN

H'F899：メッセージコントロール MC152：HCAN

H'F89A：メッセージコントロール MC153：HCAN

H'F89B：メッセージコントロール MC154：HCAN

H'F89C：メッセージコントロール MC155：HCAN

H'F89D：メッセージコントロール MC156：HCAN

H'F89E：メッセージコントロール MC157：HCAN

H'F89F：メッセージコントロール MC158：HCAN

MCx[1] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	DLC3	DLC2	DLC1	DLC0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[2] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[3] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[4] ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[5] ビット：	7	6	5	4	3	2	1	0
	STD_ID2	STD_ID1	STD_ID0	RTR	IDE	—	EXD_ID17	EXD_ID16
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[6] ビット：	7	6	5	4	3	2	1	0
	STD_ID10	STD_ID9	STD_ID8	STD_ID7	STD_ID6	STD_ID5	STD_ID4	STD_ID3
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[7] ビット：	7	6	5	4	3	2	1	0
	EXD_ID7	EXD_ID6	EXD_ID5	EXD_ID4	EXD_ID3	EXD_ID2	EXD_ID1	EXD_ID0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
MCx[8] ビット：	7	6	5	4	3	2	1	0
	EXD_ID15	EXD_ID14	EXD_ID13	EXD_ID12	EXD_ID11	EXD_ID10	EXD_ID9	EXD_ID8
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'F8B0：メッセージデータ MD01：HCAN
 H'F8B1：メッセージデータ MD02：HCAN
 H'F8B2：メッセージデータ MD03：HCAN
 H'F8B3：メッセージデータ MD04：HCAN
 H'F8B4：メッセージデータ MD05：HCAN
 H'F8B5：メッセージデータ MD06：HCAN
 H'F8B6：メッセージデータ MD07：HCAN
 H'F8B7：メッセージデータ MD08：HCAN
 H'F8B8：メッセージデータ MD11：HCAN
 H'F8B9：メッセージデータ MD12：HCAN
 H'F8BA：メッセージデータ MD13：HCAN
 H'F8BB：メッセージデータ MD14：HCAN
 H'F8BC：メッセージデータ MD15：HCAN
 H'F8BD：メッセージデータ MD16：HCAN
 H'F8BE：メッセージデータ MD17：HCAN
 H'F8BF：メッセージデータ MD18：HCAN

MDx[1] メッセージデータ1

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[2] メッセージデータ2

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[3] メッセージデータ3

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[4] メッセージデータ4

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(x=15~0)

MDx[5] メッセージデータ5

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[6] メッセージデータ6

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[7] メッセージデータ7

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[8] メッセージデータ8

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(x=15~0)

H'F8C0：メッセージデータ MD21：HCAN
 H'F8C1：メッセージデータ MD22：HCAN
 H'F8C2：メッセージデータ MD23：HCAN
 H'F8C3：メッセージデータ MD24：HCAN
 H'F8C4：メッセージデータ MD25：HCAN
 H'F8C5：メッセージデータ MD26：HCAN
 H'F8C6：メッセージデータ MD27：HCAN
 H'F8C7：メッセージデータ MD28：HCAN
 H'F8C8：メッセージデータ MD31：HCAN
 H'F8C9：メッセージデータ MD32：HCAN
 H'F8CA：メッセージデータ MD33：HCAN
 H'F8CB：メッセージデータ MD34：HCAN
 H'F8CC：メッセージデータ MD35：HCAN
 H'F8CD：メッセージデータ MD36：HCAN
 H'F8CE：メッセージデータ MD37：HCAN
 H'F8CF：メッセージデータ MD38：HCAN

MDx[1] メッセージデータ1

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[2] メッセージデータ2

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[3] メッセージデータ3

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[4] メッセージデータ4

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(x=15~0)

MDx[5] メッセージデータ5

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[6] メッセージデータ6

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[7] メッセージデータ7

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[8] メッセージデータ8

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(x=15~0)

H'F8D0：メッセージデータ MD41：HCAN
 H'F8D1：メッセージデータ MD42：HCAN
 H'F8D2：メッセージデータ MD43：HCAN
 H'F8D3：メッセージデータ MD44：HCAN
 H'F8D4：メッセージデータ MD45：HCAN
 H'F8D5：メッセージデータ MD46：HCAN
 H'F8D6：メッセージデータ MD47：HCAN
 H'F8D7：メッセージデータ MD48：HCAN
 H'F8D8：メッセージデータ MD51：HCAN
 H'F8D9：メッセージデータ MD52：HCAN
 H'F8DA：メッセージデータ MD53：HCAN
 H'F8DB：メッセージデータ MD54：HCAN
 H'F8DC：メッセージデータ MD55：HCAN
 H'F8DD：メッセージデータ MD56：HCAN
 H'F8DE：メッセージデータ MD57：HCAN
 H'F8DF：メッセージデータ MD58：HCAN

MDx[1] メッセージデータ1

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[2] メッセージデータ2

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[3] メッセージデータ3

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[4] メッセージデータ4

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(x=15~0)

MDx[5] メッセージデータ5

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[6] メッセージデータ6

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[7] メッセージデータ7

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[8] メッセージデータ8

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(x=15~0)

H'F8E0：メッセージデータ MD61：HCAN
 H'F8E1：メッセージデータ MD62：HCAN
 H'F8E2：メッセージデータ MD63：HCAN
 H'F8E3：メッセージデータ MD64：HCAN
 H'F8E4：メッセージデータ MD65：HCAN
 H'F8E5：メッセージデータ MD66：HCAN
 H'F8E6：メッセージデータ MD67：HCAN
 H'F8E7：メッセージデータ MD68：HCAN
 H'F8E8：メッセージデータ MD71：HCAN
 H'F8E9：メッセージデータ MD72：HCAN
 H'F8EA：メッセージデータ MD73：HCAN
 H'F8EB：メッセージデータ MD74：HCAN
 H'F8EC：メッセージデータ MD75：HCAN
 H'F8ED：メッセージデータ MD76：HCAN
 H'F8EE：メッセージデータ MD77：HCAN
 H'F8EF：メッセージデータ MD78：HCAN

MDx[1] メッセージデータ1

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[2] メッセージデータ2

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[3] メッセージデータ3

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[4] メッセージデータ4

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(x=15~0)

MDx[5] メッセージデータ5

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[6] メッセージデータ6

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[7] メッセージデータ7

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[8] メッセージデータ8

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(x=15~0)

H'F8F0：メッセージデータ MD81：HCAN
 H'F8F1：メッセージデータ MD82：HCAN
 H'F8F2：メッセージデータ MD83：HCAN
 H'F8F3：メッセージデータ MD84：HCAN
 H'F8F4：メッセージデータ MD85：HCAN
 H'F8F5：メッセージデータ MD86：HCAN
 H'F8F6：メッセージデータ MD87：HCAN
 H'F8F7：メッセージデータ MD88：HCAN
 H'F8F8：メッセージデータ MD91：HCAN
 H'F8F9：メッセージデータ MD92：HCAN
 H'F8FA：メッセージデータ MD93：HCAN
 H'F8FB：メッセージデータ MD94：HCAN
 H'F8FC：メッセージデータ MD95：HCAN
 H'F8FD：メッセージデータ MD96：HCAN
 H'F8FE：メッセージデータ MD97：HCAN
 H'F8FF：メッセージデータ MD98：HCAN

MDx[1] メッセージデータ1

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[2] メッセージデータ2

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[3] メッセージデータ3

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[4] メッセージデータ4

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(x=15~0)

MDx[5] メッセージデータ5

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[6] メッセージデータ6

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[7] メッセージデータ7

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[8] メッセージデータ8

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(x=15~0)

H'F900：メッセージデータ MD101：HCAN
 H'F901：メッセージデータ MD102：HCAN
 H'F902：メッセージデータ MD103：HCAN
 H'F903：メッセージデータ MD104：HCAN
 H'F904：メッセージデータ MD105：HCAN
 H'F905：メッセージデータ MD106：HCAN
 H'F906：メッセージデータ MD107：HCAN
 H'F907：メッセージデータ MD108：HCAN
 H'F908：メッセージデータ MD111：HCAN
 H'F909：メッセージデータ MD112：HCAN
 H'F90A：メッセージデータ MD113：HCAN
 H'F90B：メッセージデータ MD114：HCAN
 H'F90C：メッセージデータ MD115：HCAN
 H'F90D：メッセージデータ MD116：HCAN
 H'F90E：メッセージデータ MD117：HCAN
 H'F90F：メッセージデータ MD118：HCAN

MDx[1] メッセージデータ1

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[2] メッセージデータ2

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[3] メッセージデータ3

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[4] メッセージデータ4

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(x=15~0)

MDx[5] メッセージデータ5

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[6] メッセージデータ6

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[7] メッセージデータ7

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[8] メッセージデータ8

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(x=15~0)

H'F910：メッセージデータ MD121：HCAN
 H'F911：メッセージデータ MD122：HCAN
 H'F912：メッセージデータ MD123：HCAN
 H'F913：メッセージデータ MD124：HCAN
 H'F914：メッセージデータ MD125：HCAN
 H'F915：メッセージデータ MD126：HCAN
 H'F916：メッセージデータ MD127：HCAN
 H'F917：メッセージデータ MD128：HCAN
 H'F918：メッセージデータ MD131：HCAN
 H'F919：メッセージデータ MD132：HCAN
 H'F91A：メッセージデータ MD133：HCAN
 H'F91B：メッセージデータ MD134：HCAN
 H'F91C：メッセージデータ MD135：HCAN
 H'F91D：メッセージデータ MD136：HCAN
 H'F91E：メッセージデータ MD137：HCAN
 H'F91F：メッセージデータ MD138：HCAN

MDx[1] メッセージデータ1

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[2] メッセージデータ2

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[3] メッセージデータ3

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[4] メッセージデータ4

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(x=15~0)

MDx[5] メッセージデータ5

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[6] メッセージデータ6

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[7] メッセージデータ7

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[8] メッセージデータ8

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(x=15~0)

H'F920：メッセージデータ MD141：HCAN
 H'F921：メッセージデータ MD142：HCAN
 H'F922：メッセージデータ MD143：HCAN
 H'F923：メッセージデータ MD144：HCAN
 H'F924：メッセージデータ MD145：HCAN
 H'F925：メッセージデータ MD146：HCAN
 H'F926：メッセージデータ MD147：HCAN
 H'F927：メッセージデータ MD148：HCAN
 H'F928：メッセージデータ MD151：HCAN
 H'F929：メッセージデータ MD152：HCAN
 H'F92A：メッセージデータ MD153：HCAN
 H'F92B：メッセージデータ MD154：HCAN
 H'F92C：メッセージデータ MD155：HCAN
 H'F92D：メッセージデータ MD156：HCAN
 H'F92E：メッセージデータ MD157：HCAN
 H'F92F：メッセージデータ MD158：HCAN

MDx[1] メッセージデータ1

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[2] メッセージデータ2

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[3] メッセージデータ3

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[4] メッセージデータ4

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(x=15~0)

MDx[5] メッセージデータ5

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[6] メッセージデータ6

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[7] メッセージデータ7

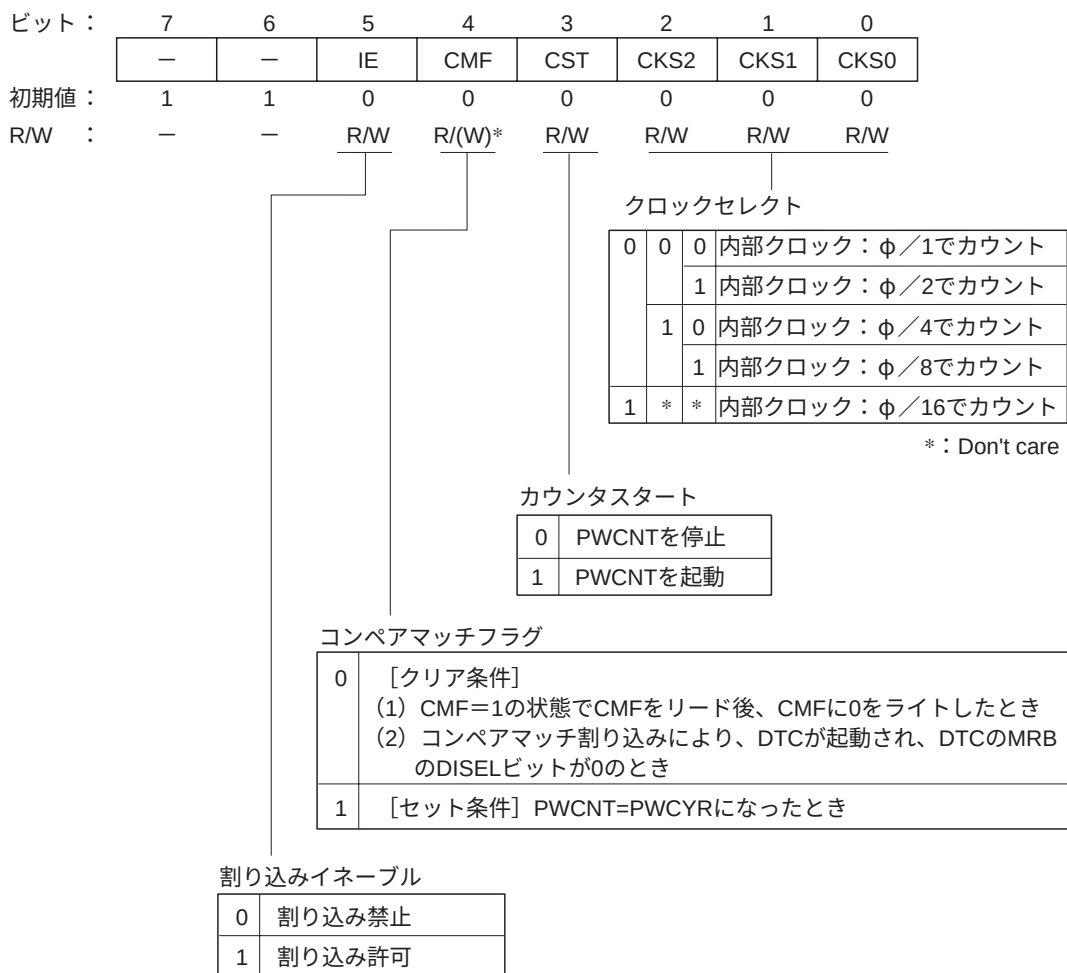
ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

MDx[8] メッセージデータ8

ビット：	7	6	5	4	3	2	1	0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(x=15~0)

H'FC00：PWM コントロールレジスタ 1 PWCR1：PWM1



【注】 * フラグをクリアするための0ライトのみ可能です。

H'FC02：PWM アウトプットコントロールレジスタ 1 PWOCR1：PWM1

ビット：	7	6	5	4	3	2	1	0
	OE1H	OE1G	OE1F	OE1E	OE1D	OE1C	OE1B	OE1A
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アウトプットイネーブル

0	PWM出力を禁止
1	PWM出力を許可

H'FC04：PWM ポラリティレジスタ 1 PWPR1：PWM1

ビット：	7	6	5	4	3	2	1	0
	OPS1H	OPS1G	OPS1F	OPS1E	OPS1D	OPS1C	OPS1B	OPS1A
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アウトプットポラリティセレクト

0	PWM直接出力
1	PWM反転出力

H'FC06：PWM サイクルレジスタ 1 PWCYR1：PWM1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—										
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWMの変換周期を設定

H'FC08：PWM バッファレジスタ 1A PWBFR1A：PWM1

H'FC0A：PWM バッファレジスタ 1C PWBFR1C：PWM1

H'FC0C：PWM バッファレジスタ 1E PWBFR1E：PWM1

H'FC0E：PWM バッファレジスタ 1G PWBFR1G：PWM1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	OTS	—	—	DT9	DT8	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0
初期値：	1	1	1	0	1	1	0	0	0	0	0	0	0	0	0	0
R/W	—	—	—	R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アウットターミナルセレクト
PWDTR1のビット12へ転送されるデータ

デューティ
PWDTR1のビット9～0へ転送されるデータ

【注】 PWCYR1のコンペアマッチが発生するとPWBFR1からPWDTR1にデータ転送されます。

PWMデューティレジスタ1A、1C、1E、1G（PWDTR1A、1C、1E、1G）の設定

レジスタ	OTS	説明
PWDTR1A	0	PWM1A出力を選択
	1	PWM1B出力を選択
PWDTR1C	0	PWM1C出力を選択
	1	PWM1D出力を選択
PWDTR1E	0	PWM1E出力を選択
	1	PWM1F出力を選択
PWDTR1G	0	PWM1G出力を選択
	1	PWM1H出力を選択

デューティ：PWM出力のデューティを設定

H'FC10：PWM コントロールレジスタ 2 PWCR2：PWM2

ビット：	7	6	5	4	3	2	1	0
	—	—	IE	CMF	CST	CKS2	CKS1	CKS0
初期値：	1	1	0	0	0	0	0	0
R/W：	—	—	R/W	R/(W)*	R/W	R/W	R/W	R/W

クロックセレクト

0	0	0	内部クロック：φ／1でカウント
	1	0	内部クロック：φ／2でカウント
	1	0	内部クロック：φ／4でカウント
	1	1	内部クロック：φ／8でカウント
1	*	*	内部クロック：φ／16でカウント

*：Don't care

カウンタスタート

0	PWCNTを停止
1	PWCNTを起動

コンペアマッチフラグ

0	[クリア条件] (1) CMF=1の状態でもCMFをリード後、CMFに0をライトしたとき (2) コンペアマッチ割り込みにより、DTCが起動され、DTCのMRBのDISELビットが0のとき
1	[セット条件] PWCNT=PWCYRになったとき

割り込みイネーブル

0	割り込み禁止
1	割り込み許可

【注】 * フラグをクリアするための0ライトのみ可能です。

H'FC12：PWM アウトプットコントロールレジスタ 2 PWOCR2：PWM2

ビット：	7	6	5	4	3	2	1	0
	OE2H	OE2G	OE2F	OE2E	OE2D	OE2C	OE2B	OE2A
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アウトプットイネーブル

0	PWM出力を禁止
1	PWM出力を許可

H'FC14：PWM ポラリティレジスタ 2 PWPR2：PWM2

ビット：	7	6	5	4	3	2	1	0
	OPS2H	OPS2G	OPS2F	OPS2E	OPS2D	OPS2C	OPS2B	OPS2A
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アウトプットイポラリティセレクト

0	PWM直接出力
1	PWM反転出力

H'FC16：PWM サイクルレジスタ 2 PWCYR2：PWM2

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—										
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W：	—	—	—	—	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWMの変換周期を設定

H'FC18：PWM バッファレジスタ 2A PWBFR2A：PWM2

H'FC1A：PWM バッファレジスタ 2B PWBFR2B：PWM2

H'FC1C：PWM バッファレジスタ 2C PWBFR2C：PWM2

H'FC1E：PWM バッファレジスタ 2D PWBFR2D：PWM2

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	TDS	—	—	DT9	DT8	DT7	DT6	DT5	DT4	DT3	DT2	DT1	DT0
初期値：	1	1	1	0	1	1	0	0	0	0	0	0	0	0	0	0
R/W	—	—	—	R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

デューティ

PWDTR2のビット9～0へ転送されるデータ

トランスファデスティネーションセレクト
データ転送先のPWDTR2を選択

レジスタ	TDS	説明
PWBFR2A	0	PWDTR2Aを選択
	1	PWDTR2Eを選択
PWBFR2B	0	PWDTR2Bを選択
	1	PWDTR2Fを選択
PWBFR2C	0	PWDTR2Cを選択
	1	PWDTR2Gを選択
PWBFR2D	0	PWDTR2Dを選択
	1	PWDTR2Hを選択

【注】 PWCYR2のコンペアマッチが発生するとPWBFR2からPWDTR2にデータ転送されます。

H'FC20：ポート H データディレクションレジスタ PHDDR：ポート

ビット：	7	6	5	4	3	2	1	0
	PH7DDR	PH6DDR	PH5DDR	PH4DDR	PH3DDR	PH2DDR	PH1DDR	PH0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

H'FC21：ポート J データディレクションレジスタ PJDDR：ポート

ビット：	7	6	5	4	3	2	1	0
	PJ7DDR	PJ6DDR	PJ5DDR	PJ4DDR	PJ3DDR	PJ2DDR	PJ1DDR	PJ0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

H'FC22：ポート K データディレクションレジスタ PKDDR：ポート

ビット：	7	6	5	4	3	2	1	0
	PK7DDR	PK6DDR	—	—	—	—	—	—
初期値：	0	0	不定	不定	不定	不定	不定	不定
R/W：	W	W	—	—	—	—	—	—

H'FC24：ポート H データレジスタ PHDR：ポート

ビット：	7	6	5	4	3	2	1	0
	PH7DR	PH6DR	PH5DR	PH4DR	PH3DR	PH2DR	PH1DR	PH0DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FC25：ポート J データレジスタ PJDR：ポート

ビット：	7	6	5	4	3	2	1	0
	PJ7DR	PJ6DR	PJ5DR	PJ4DR	PJ3DR	PJ2DR	PJ1DR	PJ0DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FC26：ポート K データレジスタ PKDR：ポート

ビット：	7	6	5	4	3	2	1	0
	PK7DR	PK6DR	—	—	—	—	—	—
初期値：	0	0	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	—	—	—	—	—	—

H'FC28：ポート H レジスタ PORTH：ポート

ビット：	7	6	5	4	3	2	1	0
	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

【注】* PH7～PH0端子の状態により決定されます。

H'FC29：ポート J レジスタ PORTJ：ポート

ビット：	7	6	5	4	3	2	1	0
	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

【注】* PJ7～PJ0端子の状態により決定されます。

H'FC2A：ポート K レジスタ PORTK：ポート

ビット：	7	6	5	4	3	2	1	0
	PK7	PK6	—	—	—	—	—	—
初期値：	—*	—*	不定	不定	不定	不定	不定	不定
R/W：	R	R	—	—	—	—	—	—

【注】* PF7、PF6端子の状態により決定されます。

H'FC30：LCD ポートコントロールレジスタ LPCR：LCD

ビット：	7	6	5	4	3	2	1	0
	DTS1	DTS0	CMX	—	SGS3	SGS2	SGS1	SGS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W

セグメントドライバ選択（H8S/2646、H8S/2646R、H8S/2645の場合）

ビット3	ビット2	ビット1	ビット0	SEG24～SEG1端子の機能					補足説明
SGS3	SGS2	SGS1	SGS0	SEG24 ～SEG17	SEG16 ～SEG13	SEG12 ～SEG9	SEG8 ～SEG5	SEG4 ～SEG1	
0	0	0	0	ポート	ポート	ポート	ポート	ポート	初期値(外部拡張)
			1	SEG	ポート	ポート	ポート	ポート	
		1	0	SEG	SEG	ポート	ポート	ポート	外部拡張 できません。
	1	0	1	SEG	SEG	SEG	ポート	ポート	
			0	SEG	SEG	SEG	SEG	ポート	
		1	1	SEG	SEG	SEG	SEG	SEG	
1	*	*	*	設定禁止					

*：Don't care

【注】 外部拡張をする場合、SGS3～SGS0を"0000"に設定してください。また、SGS3～SGS0が"0000"のときはCOM4～COM1もポートになります。

セグメントドライバ選択（H8S/2648、H8S/2648R、H8S/2647の場合）

ビット3	ビット2	ビット1	ビット0	SEG40～SEG1端子の機能									補足説明
SGS3	SGS2	SGS1	SGS0	SEG40 ～SEG33	SEG32 ～SEG29	SEG28 ～SEG25	SEG24 ～SEG21	SEG20 ～SEG17	SEG16 ～SEG13	SEG12 ～SEG9	SEG8 ～SEG5	SEG4 ～SEG1	
0	0	0	0	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	初期値(外部拡張)
			1	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
		1	0	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	外部拡張 できません。
			1	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	
	1	0	0	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	
			1	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	
		1	0	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	
			1	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	
1	*	*	0	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	
			1	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	

*：Don't care

【注】 外部拡張をする場合、SGS3～SGS0を"0000"に設定してください。また、SGS3～SGS0が"0000"のときはCOM4～COM1もポートになります。

デューティ比選択

ビット7	ビット6	ビット5	デューティ比	コモンドライバ	補足説明
DTS1	DTS0	CMX			
0	0	0	スタティック	COM1	COM4、COM3、COM2はポートとして使用可能。（初期値）
		1		COM4～COM1	COM4、COM3、COM2はCOM1と同じ波形を出力。
0	1	0	1/2デューティ	COM2～COM1	COM4、COM3はポートとして使用可能。
		1		COM4～COM1	COM4はCOM3、COM2はCOM1と同じ波形を出力。
1	0	0	1/3デューティ	COM3～COM1	COM4はポートとして使用可能。
		1		COM4～COM1	COM4は使用しないでください。
1	1	*	1/4デューティ	COM4～COM1	—

*：Don't care

【注】 SGS3～SGS0が"0000"のときはCOM4～COM1はポートになります（初期値）。

H'FC31：LCD コントロールレジスタ LCR：LCD

ビット：	7	6	5	4	3	2	1	0
	—	PSW	ACT	DISP	CKS3	CKS2	CKS1	CKS0
初期値：	1	0	0	0	0	0	0	0
R/W：	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

フレーム周波数選択

ビット3	ビット2	ビット1	ビット0		フレーム周波数*1
CKS3	CKS2	CKS1	CKS0	使用クロック	$\phi = 20\text{MHz}$
0	*	0	0	ϕ_{SUB}	128Hz*2 (初期値)
0	*	0	1	$\phi_{\text{SUB}}/2$	64Hz*2
0	*	1	*	$\phi_{\text{SUB}}/4$	32Hz*2
1	0	0	0	$\phi/8$	4880Hz
1	0	0	1	$\phi/16$	2440Hz
1	0	1	0	$\phi/32$	1220Hz
1	0	1	1	$\phi/64$	610Hz
1	1	0	0	$\phi/128$	305Hz
1	1	0	1	$\phi/256$	152.6Hz
1	1	1	0	$\phi/512$	76.3Hz
1	1	1	1	$\phi/1024$	38.1Hz

*：Don't care

【注】*1 1/3デューティ選択時は、フレーム周波数が表で示した値の4/3倍となります。

*2 $\phi_{\text{SUB}} = 32.768\text{kHz}$ 時のフレーム周波数です。

表示データ制御

0	ブランクデータを表示
1	LCD RAMデータを表示

表示機能開始

0	LCDコントローラ／ドライバ動作停止
1	LCDコントローラ／ドライバ動作

LCD電源分割抵抗接続制御

0	LCD電源分割抵抗をVccから切断
1	LCD電源分割抵抗をVccに接続

H'FC32：LCD コントロールレジスタ 2 LCR2：LCD

ビット：	7	6	5	4	3	2	1	0
	LCDAB	—	—	—	—	—	—	—
初期値：	0	1	1	0	0	0	0	0
R/W：	R/W	—	—	—	—	—	—	—

↓

A波形／B波形切り替え制御

0	A波形で駆動
1	B波形で駆動

H'FC40～H'FC53：LCD RAM ：LCD

H'FC60：モジュールストップコントロールレジスタ D MSTPCRD：システム

MSTPCRD

ビット：	7	6	5	4	3	2	1	0
	MSTPD7	MSTPD6	MSTPD5	MSTPD4	MSTPD3	MSTPD2	MSTPD1	MSTPD0
初期値：	1	1	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	—	—	—	—	—	—

H'FDE4：スタンバイコントロールレジスタ SBYCR：システム

ビット：	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	OPE	—	—	—
初期値：	0	1	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	—	—	—

出力ポートイネーブル

0	ソフトウェアスタンバイモード、ウォッチモード、および直接遷移時にアドレスバス、バス制御信号はハイレベルを保持
1	ソフトウェアスタンバイモード、ウォッチモード、および直接遷移時にアドレスバス、バス制御信号は出力状態を保持

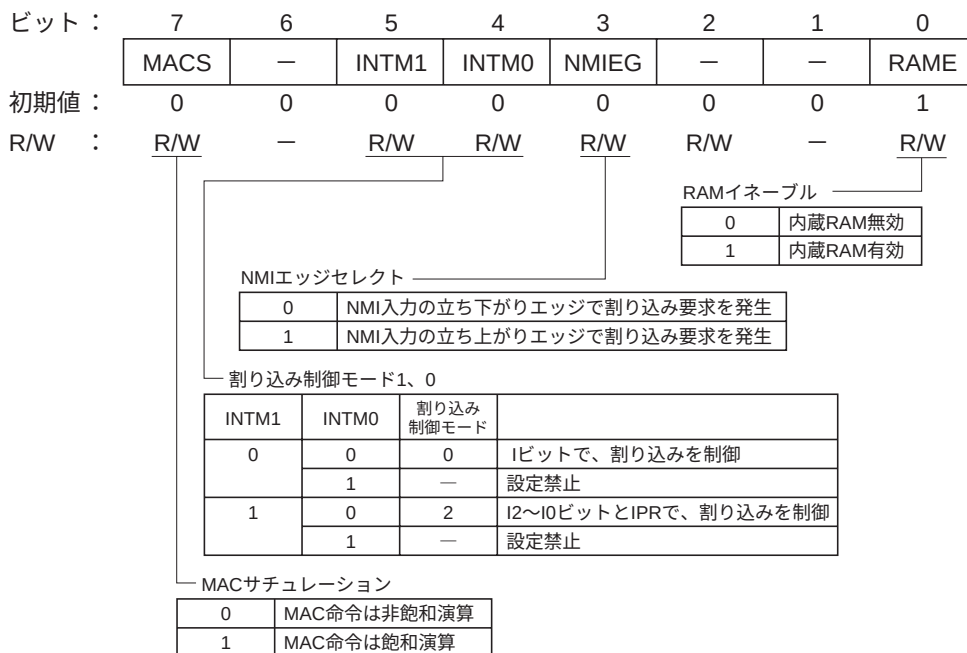
スタンバイタイムセレクト2～0

STS2	STS1	STS0	
0	0	0	待機時間 8192 ステート
		1	待機時間 16384 ステート
	1	0	待機時間 32768 ステート
		1	待機時間 65536 ステート
1	0	0	待機時間 131072 ステート
		1	待機時間 262144 ステート
	1	0	リザーブ
		1	待機時間 16 ステート

ソフトウェアスタンバイ

0	高速モードおよび中速モードでSLEEP命令を実行したとき、スリープモードに遷移 サブアクティブモードでSLEEP命令を実行したとき、サブスリープモードに遷移
1	高速モードおよび中速モードでSLEEP命令を実行したとき、ソフトウェアスタンバイモード、サブアクティブモード、あるいはウォッチモードに遷移 サブアクティブモードでSLEEP命令を実行したとき、ウォッチモード、あるいは高速モードに遷移

H'FDE5：システムコントロールレジスタ SYSCR：システム



H'FDE6：システムクロックコントロールレジスタ SCKCR：システム

ビット：	7	6	5	4	3	2	1	0
	PSTOP	—	—	—	STCS	SCK2	SCK1	SCK0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	—	—	—	R/W	R/W	R/W	R/W

システムクロックセレクト2～0

SCK2	SCK1	SCK0	
0	0	0	バスマスタは高速モード
		1	中速クロックは $\phi/2$
	1	0	中速クロックは $\phi/4$
		1	中速クロックは $\phi/8$
1	0	0	中速クロックは $\phi/16$
		1	中速クロックは $\phi/32$
	1	—	—

周波数通倍率切り替えモード選択

0	指定した通倍率は、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモードに遷移後に有効
1	指定した通倍率は、STCビットの書き換え直後に有効

ϕ クロック出力禁止

DDR	0	1	
PSTOP	—	0	1
ハードウェアスタンバイモード	ハイインピーダンス		
ソフトウェアスタンバイモード、ウォッチモード、直接遷移	ハイインピーダンス	High固定	
スリープモード、サブスリープモード	ハイインピーダンス	ϕ 出力	High固定
高速モード、中速モード、サブアクティブモード	ハイインピーダンス	ϕ 出力	High固定

H'FDE7：モードコントロールレジスタ MDCR：システム

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	MDS2	MDS1	MDS0
初期値：	1	0	0	0	0	—*	—*	—*
R/W：	—	—	—	—	—	R	R	R

【注】* MD2～MD0端子により決定されます。

モードセレクト2～0
各モード端子の入力レベル

H'FDE8：モジュールストップコントロールレジスタ A MSTPCRA：システム

MSTPCRA

ビット：	7	6	5	4	3	2	1	0
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値：	0	0	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

モジュールストップ

0	モジュールストップモード解除
1	モジュールストップモード設定

H'FDE9：モジュールストップコントロールレジスタ B MSTPCRB：システム

ビット：	7	6	5	4	3	2	1	0
	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

モジュールストップ

0	モジュールストップモード解除
1	モジュールストップモード設定

H'FDEA：モジュールストップコントロールレジスタ C MSTPCRC：システム

ビット：	7	6	5	4	3	2	1	0
	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

モジュールストップ

0	モジュールストップモード解除
1	モジュールストップモード設定

H'FDEB：端子機能コントロールレジスタ PFCR：システム

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	AE3	AE2	AE1	AE0
初期値	0	0	0	0	1/0	1/0	1	1/0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

アドレス出力イネーブル3～0

AE3	AE2	AE1	AE0	
0	0	0	0	A8～A23出力を禁止
0	0	0	1	A8出力を許可。A9～A23出力を禁止
0	0	1	0	A8、A9出力を許可。A10～A23出力を禁止
0	0	1	1	A8～A10出力を許可。A11～A23出力を禁止
0	1	0	0	A8～A11出力を許可。A12～A23出力を禁止
0	1	0	1	A8～A12出力を許可。A13～A23出力を禁止
0	1	1	0	A8～A13出力を許可。A14～A23出力を禁止
0	1	1	1	A8～A14出力を許可。A15～A23出力を禁止
1	0	0	0	A8～A15出力を許可。A16～A23出力を禁止
1	0	0	1	A8～A16出力を許可。A17～A23出力を禁止
1	0	1	0	A8～A17出力を許可。A18～A23出力を禁止
1	0	1	1	A8～A18出力を許可。A19～A23出力を禁止
1	1	0	0	A8～A19出力を許可。A20～A23出力を禁止
1	1	0	1	A8～A20出力を許可。A21～A23出力を禁止
1	1	1	0	A8～A21出力を許可。A22、A23出力を禁止
1	1	1	1	A8～A23出力を許可。

【注】 内蔵ROM有効拡張モードのとき、AE3～AE0ビットはB'0000に初期化されます。
また、内蔵ROM無効拡張モードのとき、AE3～AE0ビットはB'1101に初期化されます。
なお、A0～A7アドレスは、対応するDDRを1にセットすることでアドレス出力となります。

H'FDEC：ローパワーコントロールレジスタ LPWRCR：システム

ビット：	7	6	5	4	3	2	1	0
	DTON	LSON	NESEL	SUBSTP	RFCUT	—	STC1	STC0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

周波数通倍率		
STC1	STC0	
0	0	×1 (初期値)
	1	×2
1	0	×4
	1	設定禁止

【注】 通倍後のクロック周波数は、本LSIの最大動作周波数を超えないように設定してください。

発振回路帰還抵抗制御ビット

0	メインクロック発振時帰還抵抗ON、メインクロック発振停止時帰還抵抗OFF
1	帰還抵抗をOFF

サブクロックイネーブル

0	サブクロック生成を許可
1	サブクロック生成を禁止

ノイズ除去サンプリング周波数選択

0	φの32分周クロックでサンプリング
1	φの4分周クロックでサンプリング

ロースピードオンフラグ

0	- 高速モード、あるいは中速モードでSLEEP命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移 - サブアクティブモードでSLEEP命令を実行したとき、ウォッチモードに遷移、または高速モードに直接遷移 - ウォッチモード解除後に高速モードに遷移
1	- 高速モードでSLEEP命令を実行したとき、ウォッチモード、またはサブアクティブモードに遷移 - サブアクティブモードでSLEEP命令を実行したとき、サブスリープモード、またはウォッチモードに遷移 - ウォッチモード解除後にサブアクティブモードに遷移

【注】 * ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

ダイレクトトランスファオンフラグ

0	- 高速モード、あるいは中速モードでSLEEP命令を実行したとき、スリープモード、ソフトウェアスタンバイモード、またはウォッチモード*に遷移 - サブアクティブモードでSLEEP命令を実行したとき、サブスリープモード、またはウォッチモードに遷移
1	- 高速モード、あるいは中速モードでSLEEP命令を実行したとき、サブアクティブモード*に直接遷移、またはスリープモード、ソフトウェアスタンバイモードに遷移 - サブアクティブモードでSLEEP命令を実行したとき、高速モードに直接遷移、またはサブスリープモードに遷移

【注】 * ウォッチモード、サブアクティブモードへの遷移時は、必ず高速モードに設定してください。

H'FE00：ブレークアドレスレジスタ A BARA：PBC

H'FE04：ブレークアドレスレジスタ B BARB：PBC

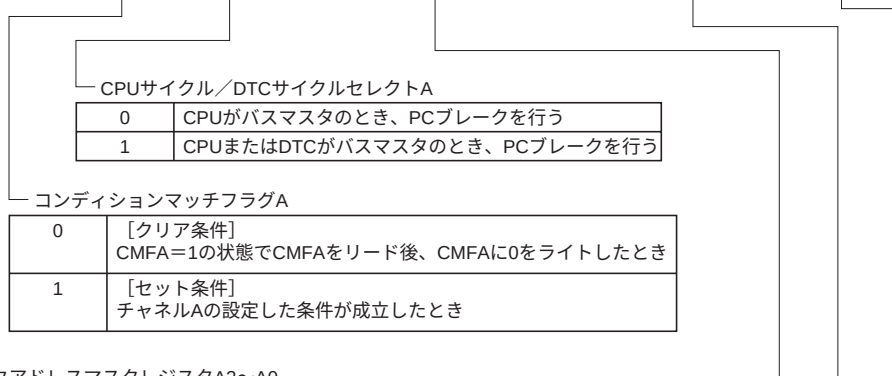
ビット：	31	...	24	23	22	21	20	19	18	17	16	...	7	6	5	4	3	2	1	0
	—	...	—	BAA	BAA	BAA	BAA	BAA	BAA	BAA	BAA	...	BAA	BAA	BAA	BAA	BAA	BAA	BAA	BAA
				23	22	21	20	19	18	17	16		7	6	5	4	3	2	1	0
初期値：	不定	...	不定	0	0	0	0	0	0	0	0	...	0	0	0	0	0	0	0	0
R/W：	—	...	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	...	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ブレークアドレス23~0
チャンネルA、Bのブレークアドレスを設定

H'FE08：ブレークコントロールレジスタ A BCRA：PBC

H'FE09：ブレークコントロールレジスタ B BCRB：PBC

ビット：	7	6	5	4	3	2	1	0
	CMFA	CDA	BAMRA2	BAMRA1	BAMRA0	CSELA1	CSELA0	BIEA
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W



ブレークアドレスマスクレジスタA2～A0

BAMRA 2	BAMRA 1	BAMRA 0	
0	0	0	BAAをマスクせず全ビットをブレーク条件に含める
0	0	1	BAA0（下位1ビット）をマスクしブレーク条件に含めない
0	1	0	BAA1～0（下位2ビット）をマスクしブレーク条件に含めない
0	1	1	BAA2～0（下位3ビット）をマスクしブレーク条件に含めない
1	0	0	BAA3～0（下位4ビット）をマスクしブレーク条件に含めない
1	0	1	BAA7～0（下位8ビット）をマスクしブレーク条件に含めない
1	1	0	BAA11～0（下位12ビット）をマスクしブレーク条件に含めない
1	1	1	BAA15～0（下位16ビット）をマスクしブレーク条件に含めない

ブレーク条件選択

CSELA1	CSELA0	ブレーク条件
0	0	命令フェッチをブレーク条件とする
0	1	データリードサイクルをブレーク条件とする
1	0	データライトサイクルをブレーク条件とする
1	1	データリード／ライトサイクルをブレーク条件とする

ブレーク割り込みイネーブル

0	PCブレーク割り込みを禁止
1	PCブレーク割り込みを許可

【注】 * フラグをクリアするための0ライトのみ可能です。

H'FE12：IRQ センスコントロールレジスタ H ISCRH：割り込みコントローラ

H'FE13：IRQ センスコントロールレジスタ L ISCRL：割り込みコントローラ

ISCRH

ビット：	15	14	13	12	11	10	9	8
	—	—	—	—	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ISCRL

ビット：	7	6	5	4	3	2	1	0
	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ5センスコントロールA、B
～IRQ0センスコントロールA、B

IRQ5SCB～ IRQ0SCB	IRQ5SCA～ IRQ0SCA	
0	0	IRQ5～IRQ0入力のLowレベルで割り込み要求を発生
	1	IRQ5～IRQ0入力の立ち下がりエッジで割り込み要求を発生
1	0	IRQ5～IRQ0入力の立ち上がりエッジで割り込み要求を発生
	1	IRQ5～IRQ0入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

H'FE14：IRQ イネーブルレジスタ IER：割り込みコントローラ

ビット：	7	6	5	4	3	2	1	0
	—	—	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ5～IRQ0イネーブル

0	IRQn割り込みを禁止
1	IRQn割り込みを許可

(n=5～0)

H'FE15：IRQ ステータスレジスタ ISR：割り込みコントローラ

ビット：	7	6	5	4	3	2	1	0
	—	—	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

IRQ5～IRQ0フラグ

0	[クリア条件] (1) IRQnF=1の状態ではIRQnFフラグをリードした後、IRQnFフラグに0をライトしたとき (2) Lowレベル検出設定 (IRQnSCB=IRQnSCA=0) の状態かつ $\overline{\text{IRQn}}$ 入力がHighレベルの状態、割り込み例外処理を実行したとき (3) 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時 (IRQnSCB=1、またはIRQnSCA=1) の状態でIRQn割り込み例外処理を実行したとき (4) IRQn割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき
1	[セット条件] (1) Lowレベル検出設定 (IRQnSCB=IRQnSCA=0) の状態で $\overline{\text{IRQn}}$ 入力がLowレベルになったとき (2) 立ち下がりエッジ検出設定時 (IRQnSCB=0、IRQnSCA=1) の状態で $\overline{\text{IRQn}}$ 入みに立ち下がりエッジが発生したとき (3) 立ち上がりエッジ検出設定時 (IRQnSCB=1、IRQnSCA=0) の状態で $\overline{\text{IRQn}}$ 入みに立ち上がりエッジが発生したとき (4) 両エッジ検出設定時 (IRQnSCB=IRQnSCA=1) の状態で $\overline{\text{IRQn}}$ 入みに立ち下がり、または立ち上がりエッジが発生したとき

(n=5～0)

【注】* フラグをクリアするための0ライトのみ可能です。

H'FE16 : DTC イネーブルレジスタ A DTCERA : DTC
H'FE17 : DTC イネーブルレジスタ B DTCERB : DTC
H'FE18 : DTC イネーブルレジスタ C DTCERC : DTC
H'FE19 : DTC イネーブルレジスタ D DTCERD : DTC
H'FE1A : DTC イネーブルレジスタ E DTCERE : DTC
H'FE1B : DTC イネーブルレジスタ F DTCERF : DTC
H'FE1C : DTC イネーブルレジスタ G DTCERG : DTC
H'FE1E : DTC イネーブルレジスタ I DTCERI : DTC

ビット :	7	6	5	4	3	2	1	0
	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DTC起動イネーブル

DTCEn	
0	割り込みによるDTC起動を禁止 [クリア条件] ・DISELビットが1でデータ転送を終了したとき ・指定した回数の転送が終了したとき
1	割り込みによるDTC起動を許可 [保持条件] DISELビットが0で、指定した回数の転送が終了していないとき

(n=7~0)

H'FE1F : DTC ベクタレジスタ DTVECR : DTC

ビット :	7	6	5	4	3	2	1	0
	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*1	R/(W)*2	R/(W)*2	R/(W)*2	R/(W)*2	R/(W)*2	R/(W)*2	R/(W)*2

DTCソフトウェア起動イネーブル

0	DTCソフトウェア起動を禁止 [クリア条件] ・DISELビットが0で、指定した回数の転送が終了していないとき ・CPUに対し、ソフトウェア起動データ転送終了割り込み (SWDTEND) が要求されたあと、0をライトしたとき
1	DTCソフトウェア起動を許可 [保持条件] ・DISELビットが1で、データ転送を終了したとき ・指定した回数の転送が終了したとき ・ソフトウェア起動によるデータ転送中

DTCソフトウェア起動ベクタ6~0

【注】 *1 SWDTEビットは、1ライトのみ可能です。

*2 DTVEC6~DTVEC0ビットは、SWDTE=0のときライト可能です。

H'FE26：PPG 出力コントロールレジスタ PCR：PPG

ビット：	7	6	5	4	3	2	1	0
	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

グループ0コンペアマッチセレクト

0	0	TPUチャンネル0のコンペアマッチ
	1	TPUチャンネル1のコンペアマッチ
1	0	TPUチャンネル2のコンペアマッチ
	1	TPUチャンネル3のコンペアマッチ

グループ1コンペアマッチセレクト

0	0	TPUチャンネル0のコンペアマッチ
	1	TPUチャンネル1のコンペアマッチ
1	0	TPUチャンネル2のコンペアマッチ
	1	TPUチャンネル3のコンペアマッチ

グループ2コンペアマッチセレクト

0	0	TPUチャンネル0のコンペアマッチ
	1	TPUチャンネル1のコンペアマッチ
1	0	TPUチャンネル2のコンペアマッチ
	1	TPUチャンネル3のコンペアマッチ

グループ3コンペアマッチセレクト

0	0	TPUチャンネル0のコンペアマッチ
	1	TPUチャンネル1のコンペアマッチ
1	0	TPUチャンネル2のコンペアマッチ
	1	TPUチャンネル3のコンペアマッチ

H'FE27：PPG 出力モードレジスタ PMR：PPG

ビット：	7	6	5	4	3	2	1	0
	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV
初期値：	1	1	1	1	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

グループ0ノンオーバーラップ	
0	パルス出力グループ0は、通常動作（選択されたTPUのコンペアマッチAで出力値を変更します。）
1	パルス出力グループ0は、ノンオーバーラップ動作（選択されたTPUのコンペアマッチA、Bにより、1出力、0出力を独立に行うことができます。）

グループ1ノンオーバーラップ	
0	パルス出力グループ1は、通常動作（選択されたTPUのコンペアマッチAで出力値を変更します。）
1	パルス出力グループ1は、ノンオーバーラップ動作（選択されたTPUのコンペアマッチA、Bにより、1出力、0出力を独立に行うことができます。）

グループ2ノンオーバーラップ	
0	パルス出力グループ2は、通常動作（選択されたTPUのコンペアマッチAで出力値を変更します。）
1	パルス出力グループ2は、ノンオーバーラップ動作（選択されたTPUのコンペアマッチA、Bにより、1出力、0出力を独立に行うことができます。）

グループ3ノンオーバーラップ	
0	パルス出力グループ3は、通常動作（選択されたTPUのコンペアマッチAで出力値を更新）
1	パルス出力グループ3は、ノンオーバーラップ動作（選択されたTPUのコンペアマッチA、Bにより、1出力、0出力を独立に出力可能）

グループ0インバート	
0	パルス出力グループ0は、反転出力（PODRLの内容1に対して、端子にLowレベルを出力）
1	パルス出力グループ0は、直接出力（PODRLの内容1に対して、端子にHighレベルを出力）

グループ1インバート	
0	パルス出力グループ1は、反転出力（PODRLの内容1に対して、端子にLowレベルを出力）
1	パルス出力グループ1は、直接出力（PODRLの内容1に対して、端子にHighレベルを出力）

グループ2インバート	
0	パルス出力グループ2は、反転出力（PODRHの内容1に対して、端子にLowレベルを出力）
1	パルス出力グループ2は、直接出力（PODRHの内容1に対して、端子にHighレベルを出力）

グループ3インバート	
0	パルス出力グループ3は、反転出力（PODRHの内容1に対して、端子にLowレベルを出力）
1	パルス出力グループ3は、直接出力（PODRHの内容1に対して、端子にHighレベルを出力）

H'FE28：ネクストデータイネーブルレジスタ H NDERH：PPG

ビット：	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータイネーブル			
0	パルス出力PO15～PO8を禁止（NDR15～NDR8からPOD15～POD8への転送禁止）		
1	パルス出力PO15～PO8を許可（NDR15～NDR8からPOD15～POD8への転送許可）		

H'FE29：ネクストデータイネーブルレジスタ L NDERL：PPG

ビット：	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータイネーブル			
0	パルス出力PO7～PO0を禁止（NDR7～NDR0からPOD7～POD0への転送禁止）		
1	パルス出力PO7～PO0を許可（NDR7～NDR0からPOD7～POD0への転送許可）		

H'FE2A：アウトプットデータレジスタ H PODRH：PPG

ビット：	7	6	5	4	3	2	1	0
	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* NDERにより、パルス出力に設定されたビットはリード専用となります。

H'FE2B：アウトプットデータレジスタ L PODRL：PPG

ビット：	7	6	5	4	3	2	1	0
	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* NDERにより、パルス出力に設定されたビットはリード専用となります。

H'FE2C：ネクストデータレジスタ H NDRH：PPG

H'FE2E：

パルス出力グループの出力トリガが同一の場合

H'FE2C

ビット：	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FE2E

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1
R/W：	—	—	—	—	—	—	—	—

パルス出力グループの出力トリガが異なる場合

H'FE2C

ビット：	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	—	—	—	—
初期値：	0	0	0	0	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	—	—	—	—

H'FE2E

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	NDR11	NDR10	NDR9	NDR8
初期値：	1	1	1	1	0	0	0	0
R/W：	—	—	—	—	R/W	R/W	R/W	R/W

【注】 詳細は「11.2.4 NDRアクセス時の注意」を参照してください。

H'FE2D：ネクストデータレジスタ L NDRL：PPG

H'FE2F：

パルス出力グループの出力トリガが同一の場合

H'FE2D

ビット：	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FE2F

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1
R/W：	—	—	—	—	—	—	—	—

パルス出力グループの出力トリガが異なる場合

H'FE2D

ビット：	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	—	—	—	—
初期値：	0	0	0	0	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	—	—	—	—

H'FE2F

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	NDR3	NDR2	NDR1	NDR0
初期値：	1	1	1	1	0	0	0	0
R/W：	—	—	—	—	R/W	R/W	R/W	R/W

【注】 詳細は「11.2.4 NDRアクセス時の注意」を参照してください。

H'FE30：ポート 1 データディレクションレジスタ P1DDR：ポート

ビット：	7	6	5	4	3	2	1	0
	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ポート1の各端子の入出力を指定

H'FE31：ポート 2 データディレクションレジスタ P2DDR：ポート

ビット：	7	6	5	4	3	2	1	0
	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ポート2の各端子の入出力を指定

H'FE32：ポート 3 データディレクションレジスタ P3DDR：ポート

ビット：	7	6	5	4	3	2	1	0
	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ポート3の各端子の入出力を指定

H'FE34：ポート 5 データディレクションレジスタ P5DDR：ポート

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	P52DDR	P51DDR	P50DDR
初期値：	不定	不定	不定	不定	不定	0	0	0
R/W：	—	—	—	—	—	W	W	W

ポート5の各端子の入出力を指定

H'FE39：ポート A データディレクションレジスタ PADDR：ポート

ビット：	7	6	5	4	3	2	1	0
	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ポートAの各端子の入出力を指定

H'FE3A：ポート B データディレクションレジスタ PBDDR：ポート

ビット：	7	6	5	4	3	2	1	0
	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ポートBの各端子の入出力を指定

H'FE3B：ポート C データディレクションレジスタ PCDDR：ポート

ビット：	7	6	5	4	3	2	1	0
	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ポートCの各端子の入出力を指定

H'FE3C：ポート D データディレクションレジスタ PDDDR：ポート

ビット：	7	6	5	4	3	2	1	0
	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

ポートDの各端子の入出力を指定

H'FE3D：ポート E データディレクションレジスタ PEDDDR：ポート

ビット：	7	6	5	4	3	2	1	0
	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR
初期値：	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

ポートEの各端子の入出力を指定

H'FE3E：ポート F データディレクションレジスタ PFDDR：ポート

ビット：	7	6	5	4	3	2	1	0
	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	—	PF0DDR
モード4～6								
初期値：	1	0	0	0	0	0	不定	0
R/W	W	W	W	W	W	W	—	W
モード7								
初期値：	0	0	0	0	0	0	不定	0
R/W	W	W	W	W	W	W	—	W

ポートFの各端子の入出力を指定

H'FE40：ポート A プルアップ MOS コントロールレジスタ PAPCR：ポート

ビット：	7	6	5	4	3	2	1	0
	PA7PCR	PA6PCR	PA5PCR	PA4PCR	PA3PCR	PA2PCR	PA1PCR	PA0PCR
初期値：	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートAの入力プルアップMSOのオン／オフを制御

H'FE41：ポート B プルアップ MOS コントロールレジスタ PBPCR：ポート

ビット：	7	6	5	4	3	2	1	0
	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR
初期値：	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートBの入力プルアップMSOのオン／オフを制御

H'FE42：ポート C プルアップ MOS コントロールレジスタ (PCPCR)：ポート

ビット：	7	6	5	4	3	2	1	0
	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR
初期値：	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートCの入力プルアップMSOのオン／オフを制御

H'FE43：ポート D プルアップ MOS コントロールレジスタ PDPCR：ポート

ビット：	7	6	5	4	3	2	1	0
	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR
初期値：	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートDの入力プルアップMSOのオン／オフを制御

H'FE44：ポート E プルアップ MOS コントロールレジスタ PEPCR：ポート

ビット：	7	6	5	4	3	2	1	0
	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR
初期値：	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートEの入力プルアップMSOのオン／オフを制御

H'FE46：ポート 3 オープンドレインコントロールレジスタ P3ODR：ポート

ビット：	7	6	5	4	3	2	1	0
	P37ODR	P36ODR	P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FE47：ポート A オープンドレインコントロールレジスタ (PAODR)：ポート

ビット：	7	6	5	4	3	2	1	0
	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FE48：ポート B オープンドレインコントロールレジスタ PBODR：ポート

ビット：	7	6	5	4	3	2	1	0
	PB7ODR	PB6ODR	PB5ODR	PB4ODR	PB3ODR	PB2ODR	PB1ODR	PB0ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FE49：ポート C オープンドレインコントロールレジスタ (PCODR)：ポート

ビット：	7	6	5	4	3	2	1	0
	PC7ODR	PC6ODR	PC5ODR	PC4ODR	PC3ODR	PC2ODR	PC1ODR	PC0ODR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FE80：タイマコントロールレジスタ 3 TCR3：TPU3

ビット：	7	6	5	4	3	2	1	0
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマプリスケアラ

0	0	0	内部クロック：φ／1でカウント
	1	0	内部クロック：φ／4でカウント
	1	0	内部クロック：φ／16でカウント
	1	1	内部クロック：φ／64でカウント
1	0	0	外部クロック：TCLKA端子入力でカウント
	1	0	内部クロック：φ／1024でカウント
	1	0	内部クロック：φ／256でカウント
	1	1	内部クロック：φ／4096でカウント

入力クロックのエッジを選択

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	—	両エッジでカウント

【注】 内部クロックのエッジ選択は、入力クロックがφ／4もしくはそれより遅い場合に有効です。
入力クロックにφ／1、あるいは他のチャンネルのオーバーフロー／アンダフローを選択した場合は本設定は無視されます。

カウンタクリア

0	0	0	TCNTのクリア禁止
		1	TGRAのコンペアマッチ／インプットキャプチャでTCNTクリア
	1	0	TGRBのコンペアマッチ／インプットキャプチャでTCNTクリア
		1	同期クリア／同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1
1	0	0	TCNTのクリア禁止
		1	TGRCのコンペアマッチ／インプットキャプチャでTCNTクリア*2
	1	0	TGRDのコンペアマッチ／インプットキャプチャでTCNTクリア*2
		1	同期クリア／同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*1

【注】 *1 同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。

*2 TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ／インプットキャプチャが発生しないため、TCNTはクリアされません。

H'FE81：タイマモードレジスタ 3 TMDR3：TPU3

ビット：	7	6	5	4	3	2	1	0
	—	—	BFB	BFA	MD3	MD2	MD1	MD0
初期値：	1	1	0	0	0	0	0	0
R/W：	—	—	R/W	R/W	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作
			1	リザーブ
		1	0	PWMモード1
			1	PWMモード2
	1	0	0	位相計数モード1
			1	位相計数モード2
		1	0	位相計数モード3
			1	位相計数モード4
1	*	*	*	—

* Don't care

- 【注】 1. MD3はリザーブビットです。
ライト時には常に0を書き込んでください。
2. チャンネル3では、位相計数モードの設定はできません。
MD2には常に0をライトしてください。

バッファ動作設定A

0	TGRAは通常動作
1	TGRAとTGRCはバッファ動作

バッファ動作設定B

0	TGRBは通常動作
1	TGRBとTGRDはバッファ動作

H'FE82：タイマ I/O コントロールレジスタ 3H TIOR3H：TPU3

ビット：	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR3A I/Oコントロール

0	0	0	0	TGR3Aは アウトプット コンペア レジスタ	出力禁止	
					初期出力は0出力	コンペアマッチで0出力
						コンペアマッチで1出力
						コンペアマッチでトグル出力
1	0	0	0	TGR3Aは インプット キャプチャ レジスタ	出力禁止	
					初期出力は1出力	コンペアマッチで0出力
						コンペアマッチで1出力
						コンペアマッチでトグル出力
1	0	0	0	TGR3Aは インプット キャプチャ レジスタ	キャプチャ入力元 はTIOCA3端子	立ち上がりエッジでインプットキャプチャ
						立ち下がりエッジでインプットキャプチャ
						両エッジでインプットキャプチャ
					キャプチャ入力元 はチャンネル4/ カウントクロック	TCNT4のカウントアップ/ カウントダウンでインプットキャプチャ

*：Don't care

TGR3B I/Oコントロール

0	0	0	0	TGR3Bは アウトプット コンペア レジスタ	出力禁止	
					初期出力は0出力	コンペアマッチで0出力
						コンペアマッチで1出力
						コンペアマッチでトグル出力
1	0	0	0	TGR3Bは インプット キャプチャ レジスタ	出力禁止	
					初期出力は1出力	コンペアマッチで0出力
						コンペアマッチで1出力
						コンペアマッチでトグル出力
1	0	0	0	TGR3Bは インプット キャプチャ レジスタ	キャプチャ入力元 はTIOCB3端子	立ち上がりエッジでインプットキャプチャ
						立ち下がりエッジでインプットキャプチャ
						両エッジでインプットキャプチャ
					キャプチャ入力元 はチャンネル4/ カウントクロック	TCNT4のカウントアップ/ カウントダウンでインプットキャプチャ*1

*：Don't care

【注】*1 TCR4のTPSC2～TPSC0ビットをB'000とし、TCNT4のカウントクロックにΦ/1を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

H'FE83：タイマ I/O コントロールレジスタ 3L TIOR3L：TPU3

ビット：	7	6	5	4	3	2	1	0
	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR3C I/Oコントロール

0	0	0	0	TGR3Cは アウトプット コンペア レジスタ*1	出力禁止	
					初期出力は0出力	コンペアマッチで0出力
					コンペアマッチで1出力	コンペアマッチでトグル出力
					出力禁止	
1	0	0	0	TGR3Cは インプット キャプチャ レジスタ*1	初期出力は1出力	コンペアマッチで0出力
					コンペアマッチで1出力	コンペアマッチでトグル出力
					出力禁止	
					初期出力は1出力	コンペアマッチで0出力
1	0	0	0	TGR3Cは インプット キャプチャ レジスタ*1	キャプチャ入力元 はTIOCC3端子	立ち上がりエッジでインプットキャプチャ
					立ち下がりエッジでインプットキャプチャ	立ち下がりエッジでインプットキャプチャ
					両エッジでインプットキャプチャ	両エッジでインプットキャプチャ
					キャプチャ入力元 はチャネル4/ カウントクロック	TCNT4のカウントアップ/ カウントダウンでインプットキャプチャ

*：Don't care

【注】 *1 TMDR3のBFAビットを1にセットしてTGR3Cをバッファレジスタとして使用した場合は、
本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

TGR3D I/Oコントロール

0	0	0	0	TGR3Dは アウトプット コンペア レジスタ*1	出力禁止	
					初期出力は0出力	コンペアマッチで0出力
					コンペアマッチで1出力	コンペアマッチでトグル出力
					出力禁止	
1	0	0	0	TGR3Dは インプット キャプチャ レジスタ*1	初期出力は1出力	コンペアマッチで0出力
					コンペアマッチで1出力	コンペアマッチでトグル出力
					出力禁止	
					初期出力は1出力	コンペアマッチで0出力
1	0	0	0	TGR3Dは インプット キャプチャ レジスタ*1	キャプチャ入力元 はTIOCD3端子	立ち上がりエッジでインプットキャプチャ
					立ち下がりエッジでインプットキャプチャ	立ち下がりエッジでインプットキャプチャ
					両エッジでインプットキャプチャ	両エッジでインプットキャプチャ
					キャプチャ入力元 はチャネル4/ カウントクロック	TCNT4のカウントアップ/ カウントダウンでインプットキャプチャ*2

*：Don't care

【注】 *1 TMDR3のBFBビットを1にセットしてTGR3Dをバッファレジスタとして使用した場合は、
本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。
*2 TCR4のTPSC2～TPSC0ビットをB'000とし、TCNT4のカウントクロックにφ/1を使用した
場合は、本設定は無効となり、インプットキャプチャは発生しません。

【注】 TGR3C、あるいはTGR3Dをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

H'FE84：タイマインタラプトイネーブルレジスタ 3 TIER3：TPU3

ビット：	7	6	5	4	3	2	1	0
	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値：	0	1	0	0	0	0	0	0
R/W：	R/W	—	—	R/W	R/W	R/W	R/W	R/W

TGRインタラプトイネーブルA	
0	TGFAビットによる割り込み要求 (TGIA) を禁止
1	TGFAビットによる割り込み要求 (TGIA) を許可

TGRインタラプトイネーブルB	
0	TGFBビットによる割り込み要求 (TGIB) を禁止
1	TGFBビットによる割り込み要求 (TGIB) を許可

TGRインタラプトイネーブルC	
0	TGFCビットによる割り込み要求 (TGIC) を禁止
1	TGFCビットによる割り込み要求 (TGIC) を許可

TGRインタラプトイネーブルD	
0	TGFDビットによる割り込み要求 (TGID) を禁止
1	TGFDビットによる割り込み要求 (TGID) を許可

オーバーフローインタラプトイネーブル	
0	TCFVによる割り込み要求 (TCIV) を禁止
1	TCFVによる割り込み要求 (TCIV) を許可

A/D変換開始要求イネーブル	
0	A/D変換開始要求の発生を禁止
1	A/D変換開始要求の発生を許可

H'FE85：タイマステータスレジスタ 3 TSR3：TPU3

ビット：	7	6	5	4	3	2	1	0
	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
初期値：	1	1	0	0	0	0	0	0
R/W：	—	—	—	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

TGRAインพุットキャプチャ／アウトプットコンペアフラグ

0	[クリア条件] (1) TGIA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFA=1の状態ではTGFAをリード後、TGFAに0をライトしたとき
1	[セット条件] (1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRAになったとき (2) TGRAがインพุットキャプチャとして機能している場合、インพุットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

TGRBインพุットキャプチャ／アウトプットコンペアフラグ

0	[クリア条件] (1) TGIB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFB=1の状態ではTGFBをリード後、TGFBに0をライトしたとき
1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRBになったとき (2) TGRBがインพุットキャプチャとして機能している場合、インพุットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

TGRCインพุットキャプチャ／アウトプットコンペアフラグ

0	[クリア条件] (1) TGIC割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFC=1の状態ではTGFCをリード後、TGFCに0をライトしたとき
1	[セット条件] (1) TGRCがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRCになったとき (2) TGRCがインพุットキャプチャとして機能している場合、インพุットキャプチャ信号によりTCNTの値がTGRCに転送されたとき

TGRDインพุットキャプチャ／アウトプットコンペアフラグ

0	[クリア条件] (1) TGID割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFD=1の状態ではTGFDをリード後、TGFDに0をライトしたとき
1	[セット条件] (1) TGRDがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRDになったとき (2) TGRDがインพุットキャプチャとして機能している場合、インพุットキャプチャ信号によりTCNTの値がTGRDに転送されたとき

オーバーフローフラグ

0	[クリア条件] TCFV=1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	[セット条件] TCNTの値がオーバーフロー（H'FFFF→H'0000）したとき

【注】* フラグをクリアするための0ライトのみ可能です。

H'FE86：タイマカウンタ 3 TCNT3：TPU3

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

↑
アップカウンタ

H'FE88：タイマジェネラルレジスタ 3A TGR3A：TPU3

H'FE8A：タイマジェネラルレジスタ 3B TGR3B：TPU3

H'FE8C：タイマジェネラルレジスタ 3C TGR3C：TPU3

H'FE8E：タイマジェネラルレジスタ 3D TGR3D：TPU3

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FE90：タイマコントロールレジスタ 4 TCR4：TPU4

ビット：	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値：	0	0	0	0	0	0	0	0
R/W：	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマプリスケアラ

0	0	0	内部クロック： $\phi/1$ でカウント
	1	0	内部クロック： $\phi/4$ でカウント
	1	0	内部クロック： $\phi/16$ でカウント
	1	1	内部クロック： $\phi/64$ でカウント
1	0	0	外部クロック：TCLKA端子入力でカウント
	1	0	外部クロック：TCLKC端子入力でカウント
	1	0	内部クロック： $\phi/1024$ でカウント
	1	1	TCNT5のオーバーフロー／アンダフローでカウント

【注】チャンネル4が位相計数モード時、この設定は無効になります。

入力クロックのエッジを選択

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	—	両エッジでカウント

【注】内部クロックのエッジ選択は、入力クロックが $\phi/4$ もしくはそれより遅い場合に有効です。
入力クロックに $\phi/1$ 、あるいは他のチャンネルのオーバーフロー／アンダフローを選択した場合は本設定は無視されます。

カウンタクリア

0	0	TCNTのクリア禁止
	1	TGRAのコンペアマッチ／インプットキャプチャでTCNTクリア
1	0	TGRBのコンペアマッチ／インプットキャプチャでTCNTクリア
	1	同期クリア／同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*

【注】* 同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。

【注】チャンネル4ではビット7はリザーブです。リードすると常に0が読み出されます。ライトは無効です。

H'FE91：タイマモードレジスタ 4 TMDR4：TPU4

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	MD3	MD2	MD1	MD0
初期値：	1	1	0	0	0	0	0	0
R/W：	—	—	—	—	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作
		1		リザーブ
		1	0	PWMモード1
		1	1	PWMモード2
	1	0	0	位相計数モード1
		1	1	位相計数モード2
		1	0	位相計数モード3
		1	1	位相計数モード4
1	*	*	*	—

*Don't care

【注】 MD3はリザーブビットです。
ライト時には常に0を書き込んでください。

H'FE92：タイマ I/O コントロールレジスタ 4 TIOR4：TPU4

ビット：	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR4A I/Oコントロール

0	0	0	0	TGR4Aは アウトプット コンペア レジスタ	出力禁止	
			1		初期出力は0出力	コンペアマッチで0出力
						コンペアマッチで1出力
						コンペアマッチでトグル出力
	1	0	0		出力禁止	
			1		初期出力は1出力	コンペアマッチで0出力
						コンペアマッチで1出力
						コンペアマッチでトグル出力
	0	0	0		キャプチャ入力元 はTIOCA4端子	立ち上がりエッジでインプットキャプチャ
			1			立ち下がりエッジでインプットキャプチャ
1	0	0	キャプチャ入力元 はTGR3Aコンペア マッチ／インプット キャプチャ	両エッジでインプットキャプチャ		
		1		TGR3Aのコンペアマッチ／ インプットキャプチャの発生で インプットキャプチャ		

*：Don't care

TGR4B I/Oコントロール

0	0	0	0	TGR4Bは アウトプット コンペア レジスタ	出力禁止			
			1		0	初期出力は0出力	コンペアマッチで0出力	
						コンペアマッチで1出力		
						コンペアマッチでトグル出力		
	1	0	0		出力禁止			
					1	0	初期出力は1出力	コンペアマッチで0出力
							コンペアマッチで1出力	
							コンペアマッチでトグル出力	
	1	0	0					
1	0	0	0	TGR4Bは インプット キャプチャ レジスタ	キャプチャ入力元 はTIOCB4端子	立ち上がりエッジでインプットキャプチャ		
			1			立ち下がりエッジでインプットキャプチャ		
			1			*	両エッジでインプットキャプチャ	
	1	*	*		キャプチャ入力元 はTGR3Cコンペア マッチ／インプット キャプチャ	TGR3Cのコンペアマッチ／ インプットキャプチャの発生で インプットキャプチャ		

*：Don't care

H'FE94：タイミンタラプトイネーブルレジスタ 4 TIER4：TPU4

ビット：	7	6	5	4	3	2	1	0
	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
初期値：	0	1	0	0	0	0	0	0
R/W：	R/W	—	R/W	R/W	—	—	R/W	R/W

TGIAインタラプトイネーブル	
0	TGFAビットによる割り込み要求（TGIA）を禁止
1	TGFAビットによる割り込み要求（TGIA）を許可

TGIBインタラプトイネーブル	
0	TGFBビットによる割り込み要求（TGIB）を禁止
1	TGFBビットによる割り込み要求（TGIB）を許可

オーバーフローインタラプトイネーブル	
0	TCFVによる割り込み要求（TCIV）を禁止
1	TCFVによる割り込み要求（TCIV）を許可

アンダフローインタラプトイネーブル	
0	TCFUによる割り込み要求（TCIU）を禁止
1	TCFUによる割り込み要求（TCIU）を許可

A/D変換開始要求イネーブル	
0	A/D変換開始要求の発生を禁止
1	A/D変換開始要求の発生を許可

H'FE95：タイマステータスレジスタ 4 TSR4：TPU4

ビット：	7	6	5	4	3	2	1	0
	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA
初期値：	1	1	0	0	0	0	0	0
R/W：	R	—	R/(W)*	R/(W)*	—	—	R/(W)*	R/(W)*

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU		TCFD	
0		0		0		0		0	
1		1		1		1		1	

TGFA		TGFB		TCFV		TCFU	

H'FE96：タイマカウンタ 4 TCNT4：TPU4

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

↑
アップ／ダウンカウンタ*

【注】* 位相計数モード、他のチャンネルのオーバフロー／アンダフローのカウント時のみアップ／ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

H'FE98：タイマジェネラルレジスタ 4A TGR4A：TPU4

H'FE9A：タイマジェネラルレジスタ 4B TGR4B：TPU4

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FEA0：タイマコントロールレジスタ 5 TCR5：TPU5

ビット：	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値：	0	0	0	0	0	0	0	0
R/W：	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマプリスケアラ

0	0	0	内部クロック：φ／1でカウント
		1	内部クロック：φ／4でカウント
	1	0	内部クロック：φ／16でカウント
		1	内部クロック：φ／64でカウント
1	0	0	外部クロック：TCLKA端子入力でカウント
		1	外部クロック：TCLKC端子入力でカウント
	1	0	内部クロック：φ／256でカウント
		1	外部クロック：TCLKD端子入力でカウント

【注】チャンネル5が位相計数モード時、この設定は無効になります。

入力クロックのエッジを選択

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	—	両エッジでカウント

【注】内部クロックのエッジ選択は、入力クロックがφ／4もしくはそれより遅い場合に有効です。入力クロックにφ／1、あるいは他のチャンネルのオーバーフロー／アンダフローを選択した場合は本設定は無視されます。

カウンタクリア

0	0	TCNTのクリア禁止
	1	TGRAのコンペアマッチ／インプットキャプチャでTCNTクリア
1	0	TGRBのコンペアマッチ／インプットキャプチャでTCNTクリア
	1	同期クリア／同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*

【注】* 同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。

【注】チャンネル5ではビット7はリザーブです。リードすると常に0が読み出されます。ライトは無効です。

H'FEA1：タイマモードレジスタ 5 TMDR5：TPU5

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	MD3	MD2	MD1	MD0
初期値：	1	1	0	0	0	0	0	0
R/W：	—	—	—	—	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作
		1		リザーブ
		1	0	PWMモード1
		1	1	PWMモード2
	1	0	0	位相計数モード1
		1	1	位相計数モード2
		1	0	位相計数モード3
		1	1	位相計数モード4
1	*	*	*	—

* Don't care

【注】 MD3はリザーブビットです。
ライト時には常に0を書き込んでください。

H'FEA2：タイマ I/O コントロールレジスタ 5 TIOR5：TPU5

ビット：	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR5A I/Oコントロール							
0	0	0	0	TGR5Aは アウトプット コンペア レジスタ	出力禁止		
			1		初期出力は0出力	コンペアマッチで0出力	
			0			コンペアマッチで1出力	
		1	コンペアマッチでトグル出力				
		1	0		出力禁止		
			1		初期出力は1出力	コンペアマッチで0出力	
	0		コンペアマッチで1出力				
	1	コンペアマッチでトグル出力					
	1	*	0	TGR5Aは インプット キャプチャ レジスタ	キャプチャ入力元 はTIOCA5端子	立ち上がりエッジでインプットキャプチャ	
			1			立ち下がりエッジでインプットキャプチャ	
1			両エッジでインプットキャプチャ				

*：Don't care

*：Don't care

TGR5B I/Oコントロール

0	0	0	0	TGR5Bは アウトプット コンペア レジスタ	出力禁止			
			1		初期出力は0出力	コンペアマッチで0出力		
			1			0	コンペアマッチで1出力	
						1	コンペアマッチでトグル出力	
		1	0			出力禁止		
			1		初期出力は1出力	コンペアマッチで0出力		
			1			0	コンペアマッチで1出力	
						1	コンペアマッチでトグル出力	
	1	*	0	TGR5Bは インプット キャプチャ レジスタ		キャプチャ入力元 はTIOCB5端子	立ち上がりエッジでインプットキャプチャ	
			1		立ち下がりエッジでインプットキャプチャ			
		1	*			両エッジでインプットキャプチャ		

*：Don't care

H'FEA4：タイムインタラプトイネーブルレジスタ 5 TIER5：TPU5

ビット：	7	6	5	4	3	2	1	0
	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
初期値：	0	1	0	0	0	0	0	0
R/W	R/W	—	R/W	R/W	—	—	R/W	R/W

TGIAインタラプトイネーブル	
0	TGFAビットによる割り込み要求 (TGIA) を禁止
1	TGFAビットによる割り込み要求 (TGIA) を許可

TGIBインタラプトイネーブル	
0	TGFBビットによる割り込み要求 (TGIB) を禁止
1	TGFBビットによる割り込み要求 (TGIB) を許可

オーバーフローインタラプトイネーブル	
0	TCFVによる割り込み要求 (TCIV) を禁止
1	TCFVによる割り込み要求 (TCIV) を許可

アンダフローインタラプトイネーブル	
0	TCFUによる割り込み要求 (TCIU) を禁止
1	TCFUによる割り込み要求 (TCIU) を許可

A/D変換開始要求イネーブル	
0	A/D変換開始要求の発生を禁止
1	A/D変換開始要求の発生を許可

H'FEA5：タイマステータスレジスタ 5 TSR5：TPU5

ビット：	7	6	5	4	3	2	1	0
	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA
初期値：	1	1	0	0	0	0	0	0
R/W：	R	—	R/(W)*	R/(W)*	—	—	R/(W)*	R/(W)*

TGRAインプットキャプチャ／アウトプットコンペアフラグ	
0	[クリア条件] (1) TGIA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFA=1の状態ではTGFAをリード後、TGFAに0をライトしたとき
1	[セット条件] (1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRAになったとき (2) TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

TGRBインプットキャプチャ／アウトプットコンペアフラグ	
0	[クリア条件] (1) TGIB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFB=1の状態ではTGFBをリード後、TGFBに0をライトしたとき
1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

オーバーフローフラグ	
0	[クリア条件] TCFV=1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	[セット条件] TCNTの値がオーバーフロー（H'FFFF→H'0000）したとき

アンダフローフラグ	
0	[クリア条件] TCFU=1の状態ではTCFUをリード後、TCFUに0をライトしたとき
1	[セット条件] TCNTの値がアンダフロー（H'0000→H'FFFF）したとき

カウンタ方向フラグ	
0	TCNTはダウンカウント
1	TCNTはアップカウント

【注】* フラグをクリアするための0ライトのみ可能です。

H'FEA6：タイマカウンタ 5 TCNT5：TPU5

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

↑
アップ／ダウンカウンタ*

【注】* 位相計数モード、他のチャネルのオーバフロー／アンダフローのカウント時のみアップ／ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

H'FEA8：タイマジェネラルレジスタ 5A TGR5A：TPU5

H'FEAA：タイマジェネラルレジスタ 5B TGR5B：TPU5

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FEB0：タイマスタートレジスタ TSTR：TPU

ビット：	7	6	5	4	3	2	1	0
	—	—	CST5	CST4	CST3	CST2	CST1	CST0
初期値：	0	0	0	0	0	0	0	0
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W

カウンタスタート

0	TCNTnのカウント動作は停止
1	TCNTnはカウント動作

(n=5~0)

【注】 TIOC端子を出力状態で動作中に、CSTビットに0をライトするとカウンタは停止しますが、TIOC端子のアウトプットコンペア出力レベルは保持されます。CSTビットが0の状態でのTIOCへのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。

H'FEB1：タイマシンクロレジスタ TSYR：TPU

ビット：	7	6	5	4	3	2	1	0
	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	R/W	R/W	R/W	R/W	R/W	R/W

タイマ同期

0	TCNTnは独立動作（TCNTのプリセット／クリアは他チャンネルと無関係）
1	TCNTnは同期動作 TCNTの同期プリセット／同期クリアが可能

(n=5～0)

- 【注】
1. 同期動作の設定には、最低2チャンネルのSYNCビットを1にセットする必要があります。
 2. 同期クリアの設定には、SYNCビットのほかにTCRのCCLR2～CCLR0ビットで、TCNTのクリア要因を設定する必要があります。

H'FEC0：インタラプトプライオリティレジスタ A IPRA：INT
H'FEC1：インタラプトプライオリティレジスタ B IPRB：INT
H'FEC2：インタラプトプライオリティレジスタ C IPRC：INT
H'FEC3：インタラプトプライオリティレジスタ D IPRD：INT
H'FEC4：インタラプトプライオリティレジスタ E IPRE：INT
H'FEC5：インタラプトプライオリティレジスタ F IPRF：INT
H'FEC6：インタラプトプライオリティレジスタ G IPRG：INT
H'FEC7：インタラプトプライオリティレジスタ H IPRH：INT
H'FEC9：インタラプトプライオリティレジスタ J IPRJ：INT
H'FECA：インタラプトプライオリティレジスタ K IPRK：INT
H'FECC：インタラプトプライオリティレジスタ M IPRM：INT

ビット：	7	6	5	4	3	2	1	0
	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0
初期値：	0	1	1	1	0	1	1	1
R/W：	—	R/W	R/W	R/W	—	R/W	R/W	R/W

各割り込み要因とIPRの対応

レジスタ	ビット	
	6～4	2～0
IPRA	IRQ0	IRQ1
IPRB	IRQ2	IRQ4
	IRQ3	IRQ5
IPRC	—*1	DTC
IPRD	ウォッチドッグタイマ0	—*1
IPRE	PCブレーク	A/D変換器、 ウォッチドックタイマ1
IPRF	TPUチャンネル0	TPUチャンネル1
IPRG	TPUチャンネル2	TPUチャンネル3
IPRH	TPUチャンネル4	TPUチャンネル5
IPRJ	—*1	SCIチャンネル0
IPRK	SCIチャンネル1	—*2
IPRM	PWMチャンネル1、2	HCAN

【注】 *1 リザーブビットです。リードすると1が読み出されます。
ライトは無効です。

*2 リザーブビットです。リードすると1が読み出されます。
書き込む値も常にH'7にしてください。

H'FED0：バス幅コントロールレジスタ ABWCR：バスコントローラ

ビット：	7	6	5	4	3	2	1	0
	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
モード5～7								
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
モード4								
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア7～0バス幅コントロール

0	エリアnを16ビットアクセス空間に設定
1	エリアnを8ビットアクセス空間に設定

(n=7～0)

H'FED1：アクセスステートコントロールレジスタ ASTCR：バスコントローラ

ビット：	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア7～0アクセスステートコントロール

0	エリアnを2ステートアクセス空間に設定 エリアnの外部空間アクセスにウェイトステートの挿入を禁止
1	エリアnの外部空間アクセスは3ステートアクセス エリアnの外部空間アクセスにウェイトステートの挿入を許可

(n=7～0)

H'FED2：ウェイトコントロールレジスタ H WCRH：バスコントローラ

ビット：	7	6	5	4	3	2	1	0
	W71	W70	W61	W60	W51	W50	W41	W40
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W



H'FED3：ウェイトコントロールレジスタ L WCRL：バスコントローラ

ビット：	7	6	5	4	3	2	1	0
	W31	W30	W21	W20	W11	W10	W01	W00
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

— エリア2ウェイトコントロール

W21	W20	
0	0	エリア2の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア2の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア2の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア2の外部空間アクセス時、プログラムウェイトを3ステート挿入

— エリア3ウェイトコントロール1、0

W31	W30	
0	0	エリア3の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア3の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア3の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア3の外部空間アクセス時、プログラムウェイトを3ステート挿入

— エリア1ウェイトコントロール1、0

W11	W10	
0	0	エリア1の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア1の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア1の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア1の外部空間アクセス時、プログラムウェイトを3ステート挿入

— エリア0ウェイトコントロール1、0

W01	W00	
0	0	エリア0の外部空間アクセス時、プログラムウェイトを挿入しない
	1	エリア0の外部空間アクセス時、プログラムウェイトを1ステート挿入
1	0	エリア0の外部空間アクセス時、プログラムウェイトを2ステート挿入
	1	エリア0の外部空間アクセス時、プログラムウェイトを3ステート挿入

H'FED4：バスコントロールレジスタ H BCRH：バスコントローラ

ビット：	7	6	5	4	3	2	1	0
	ICIS1	ICIS0	BRSTRM	BRSTS1	BRSTS0	—	—	—
初期値：	1	1	0	1	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

バーストサイクルセレクト0	
0	バーストアクセスは最大4ワード
1	バーストアクセスは最大8ワード

バーストサイクルセレクト1	
0	バーストサイクルは1ステート
1	バーストサイクルは2ステート

バーストROMイネーブル	
0	エリア0は基本バスインタフェース
1	エリア0はバーストROMインタフェース

アイドルサイクル挿入0	
0	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入しない
1	外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを挿入する

アイドルサイクル挿入1	
0	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入しない
1	異なるエリアの外部リードサイクルが連続したとき、アイドルサイクルを挿入する

H'FED5：バスコントロールレジスタ L BCRL：バスコントローラ

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	WDBE	WAITE
初期値：	0	0	0	0	1	0	0	0
R/W：	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W

WAIT端子イネーブル	
0	WAIT端子によるウェイト入力を禁止。WAIT端子は入出力ポートとして使用可
1	WAIT端子によるウェイト入力を許可

ライトデータバッファイネーブル	
0	ライトデータバッファ機能を使用しない
1	ライトデータバッファ機能を使用する

H'FEDB：RAM エミュレーションレジスタ RAMER：ROM

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	RAMS	RAM2	RAM1	RAM0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリエリア選択

RAMエリア	ブロック名	RAMS	RAM2	RAM1	RAM0
H'FFE000~H'FFE3FF	RAMエリア1kバイト	0	*	*	*
H'000000~H'0003FF	EB0 (1kバイト)	1	0	0	*
H'000400~H'0007FF	EB1 (1kバイト)	1	0	1	*
H'000800~H'000BFF	EB2 (1kバイト)	1	1	0	*
H'000C00~H'000FFF	EB3 (1kバイト)	1	1	1	*

*：Don't care

RAM選択

0	エミュレーション非選択 フラッシュメモリ全ブロック書き込み／消去プロテクト無効（初期値）
1	エミュレーション選択 フラッシュメモリ全ブロック書き込み／消去プロテクト有効

H'FF00：ポート1 データレジスタ P1DR：ポート

ビット：	7	6	5	4	3	2	1	0
	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FF01：ポート2 データレジスタ P2DR：ポート

ビット：	7	6	5	4	3	2	1	0
	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FF02：ポート3 データレジスタ P3DR：ポート

ビット：	7	6	5	4	3	2	1	0
	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FF04：ポート 5 データレジスタ P5DR：ポート

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	P52DR	P51DR	P50DR
初期値：	不定	不定	不定	不定	不定	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W

H'FF09：ポート A データレジスタ PADR：ポート

ビット：	7	6	5	4	3	2	1	0
	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FF0A：ポート B データレジスタ PBDR：ポート

ビット：	7	6	5	4	3	2	1	0
	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FF0B：ポート C データレジスタ PCDR：ポート

ビット：	7	6	5	4	3	2	1	0
	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FF0C：ポート D データレジスタ PDDR：ポート

ビット：	7	6	5	4	3	2	1	0
	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FF0D：ポート E データレジスタ PEDR：ポート

ビット：	7	6	5	4	3	2	1	0
	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FF0E：ポート F データレジスタ PFDR：ポート

ビット：	7	6	5	4	3	2	1	0
	—	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	—	PF0DR
初期値：	0	0	0	0	0	0	不定	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W

H'FF10：タイマコントロールレジスタ 0 TCR0：TPU0

ビット：	7	6	5	4	3	2	1	0
	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマプリスケアラ

0	0	0	内部クロック： $\phi/1$ でカウント
	1	0	内部クロック： $\phi/4$ でカウント
	1	0	内部クロック： $\phi/16$ でカウント
	1	1	内部クロック： $\phi/64$ でカウント
1	0	0	外部クロック：TCLKA端子入力でカウント
	1	0	外部クロック：TCLKB端子入力でカウント
	1	0	外部クロック：TCLKC端子入力でカウント
	1	1	外部クロック：TCLKD端子入力でカウント

入力クロックのエッジを選択

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	—	両エッジでカウント

【注】 内部クロックのエッジ選択は、入力クロックが $\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $\phi/1$ 、あるいは他のチャネルのオーバーフロー／アンダフローを選択した場合は本設定は無視されます。

カウンタクリア

0	0	0	TCNTのクリア禁止
		1	TGRAのコンペアマッチ／インプットキャプチャでTCNTクリア
	1	0	TGRBのコンペアマッチ／インプットキャプチャでTCNTクリア
		1	同期クリア／同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア*1
1	0	0	TCNTのクリア禁止
		1	TGRCのコンペアマッチ／インプットキャプチャでTCNTクリア*2
	1	0	TGRDのコンペアマッチ／インプットキャプチャでTCNTクリア*2
		1	同期クリア／同期動作をしている他のチャネルのカウンタクリアでTCNTをクリア*1

【注】 *1 同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。

*2 TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ／インプットキャプチャが発生しないため、TCNTはクリアされません。

H'FF11：タイマモードレジスタ0 TMDR0：TPU0

ビット：	7	6	5	4	3	2	1	0
	—	—	BFB	BFA	MD3	MD2	MD1	MD0
初期値：	1	1	0	0	0	0	0	0
R/W：	—	—	R/W	R/W	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作
		1	0	リザーブ
		1	0	PWMモード1
		1	0	PWMモード2
	1	0	0	位相計数モード1
		1	0	位相計数モード2
		1	0	位相計数モード3
		1	0	位相計数モード4
1	*	*	*	—

* Don't care

- 【注】1. MD3はリザーブビットです。
ライト時には常に0を書き込んでください。
2. チャンネル0では、位相計数モードの設定はできません。
MD2には常に0をライトしてください。

バッファ動作設定A

0	TGRAは通常動作
1	TGRAとTGRCはバッファ動作

バッファ動作設定B

0	TGRBは通常動作
1	TGRBとTGRDはバッファ動作

H'FF12：タイマ I/O コントロールレジスタ 0H TIOR0H：TPU0

ビット：	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR0A I/Oコントロール

0	0	0	0	TGR0Aは アウトプット コンペア レジスタ	出力禁止	
			1		初期出力は0出力	コンペアマッチで0出力
		1	0			コンペアマッチで1出力
			1			コンペアマッチでトグル出力
	1	0	0		出力禁止	
			1		初期出力は1出力	コンペアマッチで0出力
		1	0			コンペアマッチで1出力
			1			コンペアマッチでトグル出力
1	0	0	0	TGR0Aは インプット キャプチャ レジスタ	キャプチャ入力元 はTIOCA0端子	立ち上がりエッジでインプットキャプチャ
			1			立ち下がりエッジでインプットキャプチャ
		1	*			両エッジでインプットキャプチャ
	1	*	*		キャプチャ入力元 はチャンネル1/ カウントクロック	TCNT1のカウントアップ/ カウントダウンでインプット キャプチャ

*：Don't care

TGR0B I/Oコントロール

0	0	0	0	TGR0Bは アウトプット コンペア レジスタ	出力禁止	
			1		初期出力は0出力	コンペアマッチで0出力
		1	0			コンペアマッチで1出力
			1			コンペアマッチでトグル出力
	1	0	0		出力禁止	
			1		初期出力は1出力	コンペアマッチで0出力
		1	0			コンペアマッチで1出力
			1			コンペアマッチでトグル出力
1	0	0	0	TGR0Bは インプット キャプチャ レジスタ	キャプチャ入力元 はTIOCB0端子	立ち上がりエッジでインプットキャプチャ
			1			立ち下がりエッジでインプットキャプチャ
		1	*			両エッジでインプットキャプチャ
	1	*	*		キャプチャ入力元 はチャンネル1/ カウントクロック	TCNT1のカウントアップ/ カウントダウンでインプット キャプチャ*1

*：Don't care

【注】*1 TCR1のTPSC2～TPSC0ビットをB'000とし、TCNT1のカウントクロックにφ/1を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

H'FF13：タイマ I/O コントロールレジスタ 0L TIOR0L：TPU0

ビット：	7	6	5	4	3	2	1	0
	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR0C I/Oコントロール

0	0	0	0	0	TGR0Cは アウトプット コンペア レジスタ*1	出力禁止	
			1	1		初期出力は0出力	コンペアマッチで0出力
			1	0			コンペアマッチで1出力
			1	1			コンペアマッチでトグル出力
	1	0	0	0		出力禁止	
			1	1		初期出力は1出力	コンペアマッチで0出力
			1	0			コンペアマッチで1出力
			1	1			コンペアマッチでトグル出力
1	0	0	0	0	TGR0Cは インプット キャプチャ レジスタ*1	キャプチャ入力元 はTIOCC0端子	立ち上がりエッジでインプットキャプチャ
			1	1			立ち下がりエッジでインプットキャプチャ
			1	*			両エッジでインプットキャプチャ
	1	*	*	*		キャプチャ入力元 はチャンネル1/ カウントクロック	TCNT1のカウントアップ/ カウントダウンでインプット キャプチャ

*：Don't care

【注】 *1 TMDR0のBFAビットを1にセットしてTGR0Cをバッファレジスタとして使用した場合は、
本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

TGR0D I/Oコントロール

0	0	0	0	0	TGR0Dは アウトプット コンペア レジスタ*1	出力禁止	
			1	1		初期出力は0出力	コンペアマッチで0出力
			1	0			コンペアマッチで1出力
			1	1			コンペアマッチでトグル出力
	1	0	0	0		出力禁止	
			1	1		初期出力は1出力	コンペアマッチで0出力
			1	0			コンペアマッチで1出力
			1	1			コンペアマッチでトグル出力
1	0	0	0	0	TGR0Dは インプット キャプチャ レジスタ*1	キャプチャ入力元 はTIOCD0端子	立ち上がりエッジでインプットキャプチャ
			1	1			立ち下がりエッジでインプットキャプチャ
			1	*			両エッジでインプットキャプチャ
	1	*	*	*		キャプチャ入力元 はチャンネル1/ カウントクロック	TCNT1のカウントアップ/ カウントダウンでインプット キャプチャ*2

*：Don't care

【注】 *1 TMDR0のBFBビットを1にセットしてTGR0Dをバッファレジスタとして使用した場合は、
本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

*2 TCR1のTPSC2～TPSC0ビットをB'000とし、TCNT1のカウントクロックにφ/1を使用した
場合は、本設定は無効となり、インプットキャプチャは発生しません。

【注】 TGR0C、あるいはTGR0Dをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

H'FF14：タイムインタラプトイネーブルレジスタ 0 TIER0：TPU0

ビット：	7	6	5	4	3	2	1	0
	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値：	0	1	0	0	0	0	0	0
R/W：	R/W	—	—	R/W	R/W	R/W	R/W	R/W

A/D変換開始要求イネーブル

0	A/D変換開始要求の発生を禁止
1	A/D変換開始要求の発生を許可

オーバーフローインタラプトイネーブル

0	TCFVによる割り込み要求（TCIV）を禁止
1	TCFVによる割り込み要求（TCIV）を許可

TGRインタラプトイネーブルD

0	TGFDビットによる割り込み要求（TGID）を禁止
1	TGFDビットによる割り込み要求（TGID）を許可

TGRインタラプトイネーブルC

0	TGFCビットによる割り込み要求（TGIC）を禁止
1	TGFCビットによる割り込み要求（TGIC）を許可

TGRインタラプトイネーブルB

0	TGFBビットによる割り込み要求（TGIB）を禁止
1	TGFBビットによる割り込み要求（TGIB）を許可

TGRインタラプトイネーブルA

0	TGFAビットによる割り込み要求（TGIA）を禁止
1	TGFAビットによる割り込み要求（TGIA）を許可

H'FF15：タイマステータスレジスタ 0 TSR0：TPU0

ビット：	7	6	5	4	3	2	1	0
	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA
初期値：	1	1	0	0	0	0	0	0
R/W	—	—	—	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

				TGRAインプットキャプチャ／アウトプットコンペアフラグ				
				0	[クリア条件] (1) TGIA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFA=1の状態ではTGFAをリード後、TGFAに0をライトしたとき			
				1	[セット条件] (1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRAになったとき (2) TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき			

				TGRBインプットキャプチャ／アウトプットコンペアフラグ				
				0	[クリア条件] (1) TGB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFB=1の状態ではTGFBをリード後、TGFBに0をライトしたとき			
				1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき			

				TGRCインプットキャプチャ／アウトプットコンペアフラグ				
				0	[クリア条件] (1) TGIC割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFC=1の状態ではTGFCをリード後、TGFCに0をライトしたとき			
				1	[セット条件] (1) TGRCがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRCになったとき (2) TGRCがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRCに転送されたとき			

				TGRDインプットキャプチャ／アウトプットコンペアフラグ				
				0	[クリア条件] (1) TGID割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFD=1の状態ではTGFDをリード後、TGFDに0をライトしたとき			
				1	[セット条件] (1) TGRDがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRDになったとき (2) TGRDがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRDに転送されたとき			

				オーバーフローフラグ				
				0	[クリア条件] TCFV=1の状態ではTCFVをリード後、TCFVに0をライトしたとき			
				1	[セット条件] TCNTの値がオーバーフロー (H'FFFF→H'0000) したとき			

【注】* フラグをクリアするための0ライトのみ可能です。

H'FF16：タイマカウンタ 0 TCNT0：TPU0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

↑
アップカウンタ

H'FF18：タイマジェネラルレジスタ 0A TGR0A：TPU0

H'FF1A：タイマジェネラルレジスタ 0B TGR0B：TPU0

H'FF1C：タイマジェネラルレジスタ 0C TGR0C：TPU0

H'FF1E：タイマジェネラルレジスタ 0D TGR0D：TPU0

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FF20：タイマコントロールレジスタ 1 TCR1：TPU1

ビット：	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値：	0	0	0	0	0	0	0	0
R/W：	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマプリスケアラ

0	0	0	内部クロック：φ/1でカウント
		1	内部クロック：φ/4でカウント
	1	0	内部クロック：φ/16でカウント
		1	内部クロック：φ/64でカウント
1	0	0	外部クロック：TCLKA端子入力でカウント
		1	外部クロック：TCLKB端子入力でカウント
	1	0	内部クロック：φ/256でカウント
		1	TCNT2のオーバーフロー／アンダフローでカウント

【注】チャンネル1が位相計数モード時、この設定は無効になります。

入力クロックのエッジを選択

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	—	両エッジでカウント

【注】内部クロックのエッジ選択は、入力クロックがφ/4もしくはそれより遅い場合に有効です。入力クロックにφ/1、あるいは他のチャンネルのオーバーフロー／アンダフローを選択した場合は本設定は無視されます。

カウンタクリア

0	0	TCNTのクリア禁止
	1	TGRAのコンペアマッチ／インプットキャプチャでTCNTクリア
1	0	TGRBのコンペアマッチ／インプットキャプチャでTCNTクリア
	1	同期クリア／同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*

【注】* 同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。

【注】チャンネル1ではビット7はリザーブです。リードすると常に0が読み出されます。ライトは無効です。

H'FF21：タイマモードレジスタ 1 TMDR1：TPU1

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	MD3	MD2	MD1	MD0
初期値：	1	1	0	0	0	0	0	0
R/W：	—	—	—	—	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作
		1		リザーブ
		1	0	PWMモード1
		1		PWMモード2
	1	0	0	位相計数モード1
		1		位相計数モード2
		1	0	位相計数モード3
		1		位相計数モード4
1	*	*	*	—

* Don't care

【注】 MD3はリザーブビットです。
ライト時には常に0を書き込んでください。

H'FF22：タイマ I/O コントロールレジスタ 1 TIOR1：TPU1

ビット：	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR1A I/Oコントロール

0	0	0	0	TGR1Aは アウトプット コンペア レジスタ	出力禁止	
		1	0		初期出力は0出力	コンペアマッチで0出力
		1	1			コンペアマッチで1出力
		1	1			コンペアマッチでトグル出力
1	0	0	0	TGR1Aは インプット キャプチャ レジスタ	出力禁止	
		1	0		初期出力は1出力	コンペアマッチで0出力
		1	1			コンペアマッチで1出力
		1	1			コンペアマッチでトグル出力
1	0	0	0	TGR1Aは インプット キャプチャ レジスタ	キャプチャ入力元 はTIOCA1端子	立ち上がりエッジでインプットキャプチャ
		1	0			立ち下がりエッジでインプットキャプチャ
		1	*			両エッジでインプットキャプチャ
		1	*		キャプチャ入力元 はTGR0Aコンペア マッチ/インプット キャプチャ	チャンネル0/TGR0Aの コンペアマッチ/ インプットキャプチャの発生で インプットキャプチャ

*：Don't care

TGR1B I/Oコントロール

0	0	0	0	TGR1Bは アウトプット コンペア レジスタ	出力禁止	
		1	0		初期出力は0出力	コンペアマッチで0出力
		1	1			コンペアマッチで1出力
		1	1			コンペアマッチでトグル出力
1	0	0	0	TGR1Bは インプット キャプチャ レジスタ	出力禁止	
		1	0		初期出力は1出力	コンペアマッチで0出力
		1	1			コンペアマッチで1出力
		1	1			コンペアマッチでトグル出力
1	0	0	0	TGR1Bは インプット キャプチャ レジスタ	キャプチャ入力元 はTIOCB1端子	立ち上がりエッジでインプットキャプチャ
		1	0			立ち下がりエッジでインプットキャプチャ
		1	*			両エッジでインプットキャプチャ
		1	*		キャプチャ入力元 はTGR0Cコンペア マッチ/インプット キャプチャ	TGR0Cのコンペアマッチ/ インプットキャプチャの発生で インプットキャプチャ

*：Don't care

H'FF24：タイミンタラプトイネーブルレジスタ 1 TIER1：TPU1

ビット：	7	6	5	4	3	2	1	0
	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
初期値：	0	1	0	0	0	0	0	0
R/W：	R/W	—	R/W	R/W	—	—	R/W	R/W

オーバーフローインタラプトイネーブル

0	TCFVによる割り込み要求 (TCIV) を禁止
1	TCFVによる割り込み要求 (TCIV) を許可

アンダフローインタラプトイネーブル

0	TCFUによる割り込み要求 (TCIU) を禁止
1	TCFUによる割り込み要求 (TCIU) を許可

A/D変換開始要求イネーブル

0	A/D変換開始要求の発生を禁止
1	A/D変換開始要求の発生を許可

TGIAインタラプトイネーブル

0	TGFAビットによる割り込み要求 (TGIA) を禁止
1	TGFAビットによる割り込み要求 (TGIA) を許可

TGIBインタラプトイネーブル

0	TGFBビットによる割り込み要求 (TGIB) を禁止
1	TGFBビットによる割り込み要求 (TGIB) を許可

H'FF25：タイマステータスレジスタ 1 TSR1：TPU1

ビット：	7	6	5	4	3	2	1	0
	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA
初期値：	1	1	0	0	0	0	0	0
R/W：	R	—	R/(W)*	R/(W)*	—	—	R/(W)*	R/(W)*

TGFAインプットキャプチャ／アウトプットコンペアフラグ	
0	[クリア条件] (1) TGIA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFA=1の状態ではTGFAをリード後、TGFAに0をライトしたとき
1	[セット条件] (1) TGFAがアウトプットコンペアレジスタとして機能している場合、TCNT=TGFAになったとき (2) TGFAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGFAに転送されたとき

TGRBインプットキャプチャ／アウトプットコンペアフラグ	
0	[クリア条件] (1) TGB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFB=1の状態ではTGFBをリード後、TGFBに0をライトしたとき
1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

オーバーフローフラグ	
0	[クリア条件] TCFV=1の状態ではTCFVをリード後、TCFVに0をライトしたとき
1	[セット条件] TCNTの値がオーバーフロー（H'FFFF→H'0000）したとき

アンダフローフラグ	
0	[クリア条件] TCFU=1の状態ではTCFUをリード後、TCFUに0をライトしたとき
1	[セット条件] TCNTの値がアンダフロー（H'0000→H'FFFF）したとき

カウンタ方向フラグ	
0	TCNTはダウンカウント
1	TCNTはアップカウント

【注】* フラグをクリアするための0ライトのみ可能です。

H'FF26：タイマカウンタ 1 TCNT1：TPU1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

↑
アップ／ダウンカウンタ*

【注】* 位相計数モード、他のチャネルのオーバーフロー／アンダフローのカウント時のみアップ／ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

H'FF28：タイマジェネラルレジスタ 1A TGR1A：TPU1

H'FF2A：タイマジェネラルレジスタ 1B TGR1B：TPU1

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FF30：タイマコントロールレジスタ 2 TCR2：TPU2

ビット：	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値：	0	0	0	0	0	0	0	0
R/W：	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマプリスケアラ

0	0	0	内部クロック： $\phi/1$ でカウント
	1	0	内部クロック： $\phi/4$ でカウント
	1	0	内部クロック： $\phi/16$ でカウント
	1	1	内部クロック： $\phi/64$ でカウント
1	0	0	外部クロック：TCLKA端子入力でカウント
	1	0	外部クロック：TCLKB端子入力でカウント
	1	0	外部クロック：TCLKC端子入力でカウント
	1	1	内部クロック： $\phi/1024$ でカウント

【注】チャンネル2が位相計数モード時、この設定は無効になります。

入力クロックのエッジを選択

0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1	—	両エッジでカウント

【注】内部クロックのエッジ選択は、入力クロックが $\phi/4$ もしくはそれより遅い場合に有効です。
入力クロックに $\phi/1$ 、あるいは他のチャンネルのオーバーフロー／アンダフローを選択した場合は本設定は無視されます。

カウンタクリア

0	0	TCNTのクリア禁止
	1	TGRAのコンペアマッチ／インプットキャプチャでTCNTクリア
1	0	TGRBのコンペアマッチ／インプットキャプチャでTCNTクリア
	1	同期クリア／同期動作をしている他のチャンネルのカウンタクリアでTCNTをクリア*

【注】* 同期動作の設定は、TSYRのSYNCビットを1にセットすることにより行います。

【注】チャンネル2ではビット7はリザーブです。リードすると常に0が読み出されます。ライトは無効です。

H'FF31：タイマモードレジスタ 2 TMDR2：TPU2

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	MD3	MD2	MD1	MD0
初期値：	1	1	0	0	0	0	0	0
R/W：	—	—	—	—	R/W	R/W	R/W	R/W

モード

0	0	0	0	通常動作
		1		リザーブ
		1	0	PWMモード1
		1		PWMモード2
	1	0	0	位相計数モード1
		1		位相計数モード2
		1	0	位相計数モード3
		1		位相計数モード4
1	*	*	*	—

* Don't care

【注】 MD3はリザーブビットです。
ライト時には常に0を書き込んでください。

H'FF32：タイマ I/O コントロールレジスタ 2 TIOR2：TPU2

ビット：	7	6	5	4	3	2	1	0
	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TGR2A I/Oコントロール

0	0	0	0	TGR2Aは アウトプット コンペア レジスタ	出力禁止	
		1	0		初期出力は0出力	コンペアマッチで0出力
		1	0			コンペアマッチで1出力
		1	1			コンペアマッチでトグル出力
	1	0	0	TGR2Aは インプット キャプチャ レジスタ	出力禁止	
		1	0		初期出力は1出力	コンペアマッチで0出力
		1	0			コンペアマッチで1出力
		1	1			コンペアマッチでトグル出力
1	*	0	0	TGR2Aは インプット キャプチャ レジスタ	キャプチャ入力元 はTIOCA2端子	立ち上がりエッジでインプットキャプチャ
		1	1			立ち下がりエッジでインプットキャプチャ
		1	*			両エッジでインプットキャプチャ

*：Don't care

TGR2B I/Oコントロール

0	0	0	0	TGR2Bは アウトプット コンペア レジスタ	出力禁止	
		1	0		初期出力は0出力	コンペアマッチで0出力
		1	0			コンペアマッチで1出力
		1	1			コンペアマッチでトグル出力
	1	0	0	TGR2Bは インプット キャプチャ レジスタ	出力禁止	
		1	0		初期出力は1出力	コンペアマッチで0出力
		1	0			コンペアマッチで1出力
		1	1			コンペアマッチでトグル出力
1	*	0	0	TGR2Bは インプット キャプチャ レジスタ	キャプチャ入力元 はTIOCB2端子	立ち上がりエッジでインプットキャプチャ
		1	1			立ち下がりエッジでインプットキャプチャ
		1	*			両エッジでインプットキャプチャ

*：Don't care

H'FF34：タイムインタラプトイネーブルレジスタ 2 TIER2：TPU2

ビット：	7	6	5	4	3	2	1	0
	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
初期値：	0	1	0	0	0	0	0	0
R/W：	R/W	—	R/W	R/W	—	—	R/W	R/W

TGIAインタラプトイネーブル	
0	TGFAビットによる割り込み要求（TGIA）を禁止
1	TGFAビットによる割り込み要求（TGIA）を許可

TGIBインタラプトイネーブル	
0	TGFBビットによる割り込み要求（TGIB）を禁止
1	TGFBビットによる割り込み要求（TGIB）を許可

オーバーフローインタラプトイネーブル	
0	TCFVによる割り込み要求（TCIV）を禁止
1	TCFVによる割り込み要求（TCIV）を許可

アンダフローインタラプトイネーブル	
0	TCFUによる割り込み要求（TCIU）を禁止
1	TCFUによる割り込み要求（TCIU）を許可

A/D変換開始要求イネーブル	
0	A/D変換開始要求の発生を禁止
1	A/D変換開始要求の発生を許可

H'FF35：タイマステータスレジスタ 2 TSR2：TPU2

ビット：	7	6	5	4	3	2	1	0
	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA
初期値：	1	1	0	0	0	0	0	0
R/W：	R	—	R/(W)*	R/(W)*	—	—	R/(W)*	R/(W)*

								TGRAインプットキャプチャ／アウトプットコンペアフラグ	
								0	[クリア条件] (1) TGIA割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFA=1の状態ではTGFAをリード後、TGFAに0をライトしたとき
								1	[セット条件] (1) TGRAがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRAになったとき (2) TGRAがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRAに転送されたとき

								TGRBインプットキャプチャ／アウトプットコンペアフラグ	
								0	[クリア条件] (1) TGB割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき (2) TGFB=1の状態ではTGFBをリード後、TGFBに0をライトしたとき
								1	[セット条件] (1) TGRBがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRBになったとき (2) TGRBがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRBに転送されたとき

								オーバーフローフラグ	
								0	[クリア条件] TCFV=1の状態ではTCFVをリード後、TCFVに0をライトしたとき
								1	[セット条件] TCNTの値がオーバーフロー（H'FFFF→H'0000）したとき

								アンダフローフラグ	
								0	[クリア条件] TCFU=1の状態ではTCFUをリード後、TCFUに0をライトしたとき
								1	[セット条件] TCNTの値がアンダフロー（H'0000→H'FFFF）したとき

								カウンタ方向フラグ	
								0	TCNTはダウンカウント
								1	TCNTはアップカウント

【注】* フラグをクリアするための0ライトのみ可能です。

H'FF36：タイマカウンタ 2 TCNT2：TPU2

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

↑
アップ／ダウンカウンタ*

【注】* 位相計数モード、他のチャネルのオーバーフロー／アンダフローのカウント時のみアップ／ダウンカウンタとして使用できます。それ以外の場合はアップカウンタになります。

H'FF38：タイマジェネラルレジスタ 2A TGR2A：TPU2

H'FF3A：タイマジェネラルレジスタ 2B TGR2B：TPU2

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FF74(W)H'FF74(R)：タイマコントロール／ステータスレジスタ 0 TCSR0：WDT

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)*	R/W	R/W	—	—	R/W	R/W	R/W

クロックセレクト

CKS2	CKS1	CKS0	クロック	オーバーフロー周期* ($\phi=20\text{MHz}$ の場合)
0	0	0	$\phi/2$ (初期値)	25.6 μs
		1	$\phi/64$	819.2 μs
	1	0	$\phi/128$	1.6ms
		1	$\phi/512$	6.6ms
1	0	0	$\phi/2048$	26.2ms
		1	$\phi/8192$	104.9ms
	1	0	$\phi/32768$	419.4ms
		1	$\phi/131072$	1.68s

【注】 * オーバフロー周期は、TCNTがH'00からカウントアップを開始し、オーバーフローするまでの時間です。

タイマイネーブル

0	TCNTをH'00に初期化し、カウント動作を停止
1	TCNTはカウント動作

タイマモードセレクト

0	インターバルタイマモード: TCNTがオーバーフローしたときCPUヘインターバルタイマ割り込み (WOVI) を要求
1	ウォッチドッグタイマモード: TCNTがオーバーフローしたときRSTCSRのRSTEビットが1の場合内部リセットを発生

【注】 ウォッチドッグタイマモードでTCNTがオーバーフローした場合についての詳細は、「12.2.3 リセットコントロール／ステータスレジスタ (RSTCSR)」を参照してください。

オーバーフローフラグ

0	〔クリア条件〕 (1) OVF=1の状態、TCSRをリード後、OVFに0をライトしたとき
1	〔セット条件〕 TCNTがオーバーフロー (H'FF→H'00) したとき ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。

【注】 * フラグをクリアするための0ライトのみ可能です。

TCSRは容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は、「12.2.4 レジスタアクセス時の注意」を参照してください。

H'FF74(W)H'FF75(R)：タイマカウンタ0 TCNT0：WDT

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCNTは容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「12.2.4 レジスタアクセス時の注意」を参照してください。

H'FF76(W)H'FF77(R)：リセットコントロール／ステータスレジスタ RSTCSR：WDT

ビット：	7	6	5	4	3	2	1	0
	WOVF	RSTE	—	—	—	—	—	—
初期値：	0	0	0	1	1	1	1	1
R/W：	R/(W)*	R/W	R/W	—	—	—	—	—

リセットイネーブル

0	TCNTがオーバーフローしたとき、内部リセットしない*
1	TCNTがオーバーフローしたとき、内部リセットする

【注】 * 本LSI内部はリセットされませんが、WDT内のTCNT、TCSRはリセットされます。

ウォッチドッグタイマオーバーフローフラグ

0	[クリア条件] WOVF=1の状態ではTCSRをリードした後、WOVFに0をライトしたとき
1	[セット条件] ウォッチドッグタイマモードでTCNTがオーバーフロー（H'FF→H'00）したとき

【注】 * フラグをクリアするための0ライトのみ可能です。

RSTCSRは容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は「12.2.4 レジスタアクセス時の注意」を参照してください。

H'FF78：シリアルモードレジスタ0 SMR0：SCI0

ビット：	7	6	5	4	3	2	1	0
	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

0	0	φクロック
1	0	φ/4クロック
1	1	φ/16クロック
1	1	φ/64クロック

マルチプロセッサモード

0	マルチプロセッサ機能の禁止
1	マルチプロセッサフォーマットを選択

ストップビットレングス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ*1
1	奇数パリティ*2

【注】*1 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が偶数であるかどうかをチェックします。

*2 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が奇数であるかどうかをチェックします。

パリティネーブル

0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可*

【注】* PEビットに1をセットすると送信時には、O/Eビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/Eビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

キャラクタレングス

0	8ビットデータ
1	7ビットデータ*

【注】* 7ビットデータを選択した場合、TDRのMSB（ビット7）は送信されません。
また、LSBファースト/MSBファーストの選択はできません。

調歩同期式モード/クロック同期式モード選択

0	調歩同期式モード
1	クロック同期式モード

H'FF78：シリアルモードレジスタ 0 SMR0：SCIO スマートカードインタフェース

ビット：	7	6	5	4	3	2	1	0
	GM	BLK	PE	O/E	BCP1	BCP0	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト		
0	0	φクロック
1	1	φ/4クロック
1	0	φ/16クロック
1	1	φ/64クロック

基本クロックパルス		
0	0	32クロック
1	1	64クロック
1	0	372クロック
1	1	256クロック

パリティモード

0	偶数パリティ*1
1	奇数パリティ*2

【注】*1 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が偶数であるかどうかをチェックします。

*2 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が奇数であるかどうかをチェックします。

パリティイネーブル

0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可*

【注】* PEビットに1をセットすると送信時には、O/Eビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/Eビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ブロック転送モード

0	通常のスマートカードインタフェースモードの動作 (1) エラーシグナルの送出、検出、データの自動再送信を行う (2) TXI割り込みがTENDフラグにより発生する (3) TENDフラグの設定タイミングが、送信開始から12.5etu後 (GSMモードでは11.0etu後)
1	ブロック転送モードで動作 (1) エラーシグナルの送出、検出、データの自動再送信を行わない (2) TXI割り込みがTDREフラグにより発生する (3) TENDフラグの設定タイミングが、送信開始から11.5etu後 (GSMモードでは11.0etu後)

GSMモード

0	通常のスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から12.5etuのタイミングで発生 (2) クロック出力のON/OFFの制御のみ
1	GSMモードのスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から11.0etuのタイミングで発生 (2) クロック出力ON/OFF制御のほか、High/Low固定制御可能 (SCRで設定)

【注】 etu (Elementary time unit)：1ビットの転送期間

【注】 スマートカードインタフェースを使用する場合は、ビット5に1を設定してください。

H'FF79：ビットレートレジスタ 0 BRR0：SCI0，スマートカードインタフェース

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信／受信のビットレートを設定

【注】 詳細は「13.2.8 ビットレートレジスタ（BRR）」を参照してください。

H'FF7A：シリアルコントロールレジスタ0 SCIO

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPiE	TEiE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル

0	0	調歩同期式モード	内部クロック/SCK端子は 入出力ポート*1
		クロック同期式モード	内部クロック/SCK端子は 同期クロック出力*1
1	0	調歩同期式モード	内部クロック/SCK端子は クロック出力*2
		クロック同期式モード	内部クロック/SCK端子は 同期クロック出力
1	0	調歩同期式モード	外部クロック/SCK端子は クロック入力*3
		クロック同期式モード	外部クロック/SCK端子は 同期クロック入力
1	1	調歩同期式モード	外部クロック/SCK端子は クロック入力*3
		クロック同期式モード	外部クロック/SCK端子は 同期クロック入力

【注】 *1 初期値

*2 ビットレートと同じ周波数のクロックを出力

*3 ビットレートの16倍の周波数のクロックを入力

トランスミットエンドインタラプトイネーブル

0	送信終了割り込み (TEI) 要求を禁止*
1	送信終了割り込み (TEI) 要求を許可*

【注】 * TEIの解除は、SSRのTDREフラグから1をリードした後、0にクリアしてTEND
フラグを0にクリアするか、TEIEビットを0にクリアすることで行うことができます。

マルチプロセスインタラプトイネーブル

0	マルチプロセス割り込み禁止状態 [クリア条件] (1) MPiEビットを0にクリア (2) MPB=1のデータを受信したとき
1	マルチプロセス割り込み許可状態* マルチプロセスビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRの RDRF、FER、ORERの各フラグのセットを禁止します。

【注】 * MPB=0を含む受信データを受信しているときは、RSRからRDRへの受信データの転送、
および受信エラーの検出とSSRのRDRF、FER、ORERの各フラグのセットは行いません。
MPB=1を含む受信データを受信すると、SSRのMPBビットを1にセットし、MPiEビットを
自動的に0にクリアし、RXI、ERI割り込み要求の発生 (SCRのTIE、RIEビットが1に
セットされている場合) とFER、ORERフラグのセットが許可されます。

レシーブイネーブル

0	受信動作を禁止*1
1	受信動作を許可*2

【注】 *1 REビットを0にクリアしてもRDRF、FER、PER、ORERの各フラグは影響を受けず、
状態を保持します。*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの
場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。
なお、REビットを1にセットする前に必ずSMRの設定を行い、受信フォーマット
を決定してください。

トランスミットイネーブル

0	送信動作を禁止*1
1	送信動作を許可*2

【注】 *1 SSRのTDREフラグは1に固定されます。

*2 この状態で、TDRに送信データをライトして、SSRのTDREフラグを0にクリアすると
シリアル送信を開始します。なお、TEビットを1にセットする前に必ずSMRの設定を行い、
送信フォーマットを決定してください。

レシーブインタラプトイネーブル

0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止*
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 * RXI、およびERI割り込み要求の解除は、RDRF、またはFER、PER、ORERの各フラグから1を
リードした後、0にクリアするか、RIEビットを0にクリアすることで行うことができます。

トランスミットインタラプトイネーブル

0	送信データエンプティ割り込み (TXI) 要求の禁止*
1	送信データエンプティ割り込み (TXI) 要求の許可

【注】 * TXI割り込み要求の解除は、TDREフラグから1をリードした後、0にクリアするか、またはTIEビットを0に
クリアすることで行うことができます。

H'FF7A：シリアルコントロールレジスタ0 SCR0：SCI0 スマートカードインタフェース

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル

SMCR	SMR	SCRの設定		SCK端子機能の説明	
SMIF	C/ĀGM	CKE1	CKE0		
0				SCI指定参照	
1	0	0	0	ポート入出力端子として動作	
1	0	0	1	SCK出力端子としてクロック出力	
1	1	0	0	SCK出力端子としてLow出力固定	
1	1	0	1	SCK出力端子としてクロック出力	
1	1	1	0	SCK出力端子としてHigh出力固定	
1	1	1	1	SCK出力端子としてクロック出力	

トランスミットエンドインタラプティネーブル

0	送信終了割り込み (TEI) 要求を禁止*
1	送信終了割り込み (TEI) 要求を許可*

【注】* TEIの解除は、SSRのTDREフラグから1をリードした後、0にクリアしてTENDフラグを0にクリアするか、TEIEビットを0にクリアすることで行うことができます。

マルチプロセッサインタラプティネーブル

0	マルチプロセッサ割り込み禁止状態 [クリア条件] (1) MPIEビットを0にクリア (2) MPB=1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止します。

【注】* MPB=0を含む受信データを受信しているときは、RSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、ORERの各フラグのセットは行いません。MPB=1を含む受信データを受信すると、SSRのMPBビットを1にセットし、MPIEビットを自動的に0にクリアし、RXI、ERI割り込み要求の発生 (SCRのTIE、RIEビットが1にセットされている場合) とFER、ORERフラグのセットが許可されます。

レシーブイネーブル

0	受信動作を禁止* ¹
1	受信動作を許可* ²

【注】*¹ REビットを0にクリアしてもRDRF、FER、PER、ORERの各フラグは影響を受けず、状態を保持します。
*² この状態で調歩同期モードの場合はスタートビットを、クロック同期モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。なお、REビットを1にセットする前に必ずSMRの設定を行い、受信フォーマットを決定してください。

トランスミットイネーブル

0	送信動作を禁止* ¹
1	送信動作を許可* ²

【注】*¹ SSRのTDREフラグは1に固定されます。
*² この状態で、TDRに送信データをライトして、SSRのTDREフラグを0にクリアするとシリアル送信を開始します。なお、TEビットを1にセットする前に必ずSMRの設定を行い、送信フォーマットを決定してください。

レシーブインタラプティネーブル

0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止*
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】* RXI、およびERI割り込み要求の解除は、RDRF、またはFER、PER、ORERの各フラグから1をリードした後、0にクリアするか、RIEビットを0にクリアすることで行うことができます。

トランスミットインタラプティネーブル

0	送信データエンpty割り込み (TXI) 要求の禁止*
1	送信データエンpty割り込み (TXI) 要求の許可

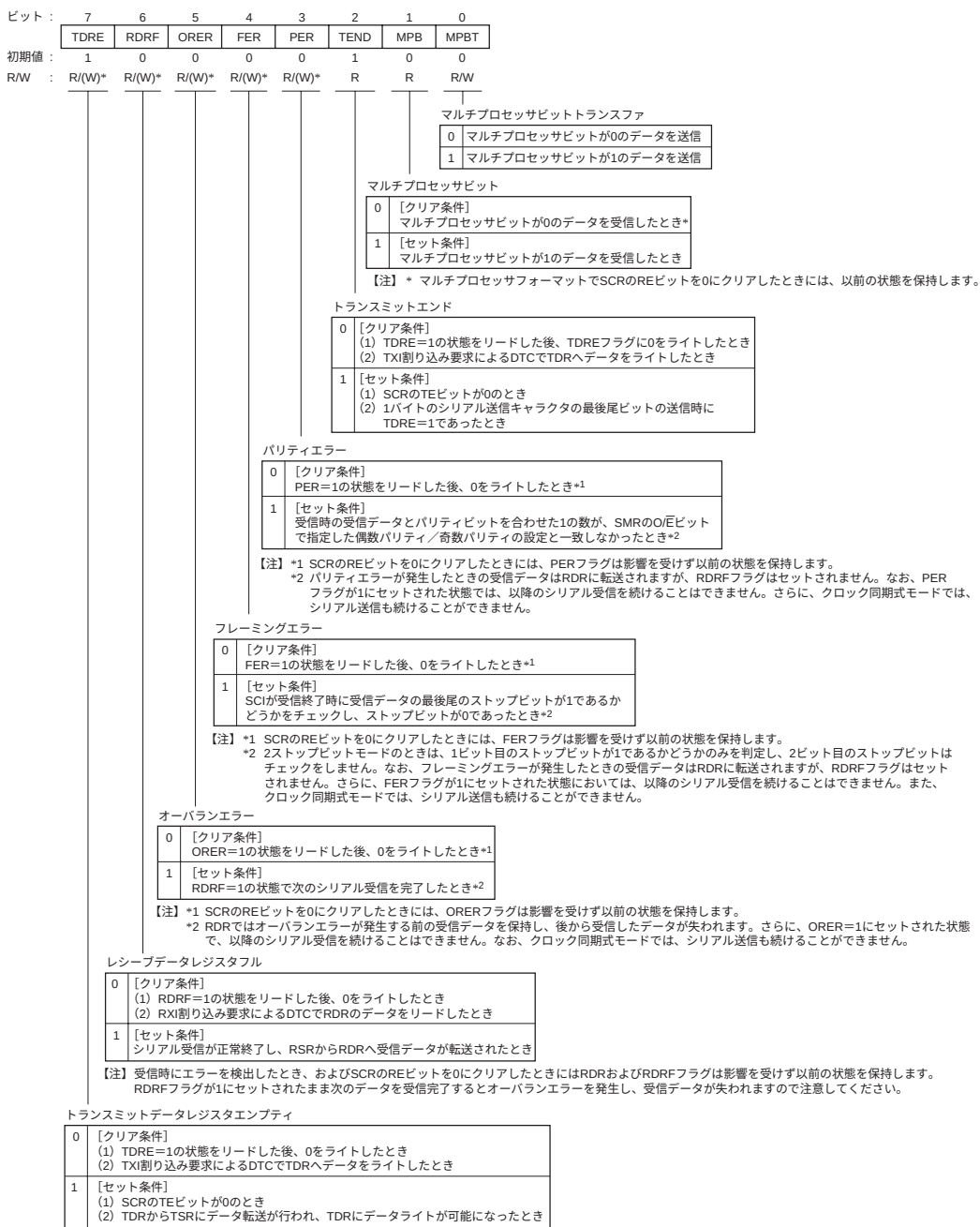
【注】* TXI割り込み要求の解除は、TDREフラグから1をリードした後、0にクリアするか、またはTIEビットを0にクリアすることで行うことができます。

H'FF7B：トランスミットデータレジスタ 0 TDR0：SCI0，スマートカードインタフェース

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信するデータを格納

H'FF7C：シリアルステータスレジスタ 0 SSR0：SCI0



【注】 * フラグをクリアするための0ライトのみ可能です。

H'FF7C：シリアルステータスレジスタ 0 SSR0：SCI0 スマートカードインタフェース

ビット：	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
初期値：	1	0	0	0	0	1	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

マルチプロセッサビットトランスファ	
0	マルチプロセッサビットが0のデータを送信
1	マルチプロセッサビットが1のデータを送信

マルチプロセッサビット	
0	[クリア条件] マルチプロセッサビットが0のデータを受信したとき
1	[セット条件] マルチプロセッサビットが1のデータを受信したとき

TENDビット	
0	[クリア条件] (1) TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき (2) TXI割り込み要求によるDTCでTDRへデータをライトしたとき
1	[セット条件] (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) SCRのTEビットが0かつERSビットが0のとき (3) GM=0、BLK=0のとき1バイトのシリアルキャラクタを送信して、2.5etu後にTDRE=1かつERS=0(正常送信)のとき (4) GM=0、BLK=1のとき1バイトのシリアルキャラクタを送信して、1.5etu後にTDRE=1かつERS=0(正常送信)のとき (5) GM=1、BLK=0のとき1バイトのシリアルキャラクタを送信して、1.0etu後にTDRE=1かつERS=0(正常送信)のとき (6) GM=1、BLK=1のとき1バイトのシリアルキャラクタを送信して、1.0etu後にTDRE=1かつERS=0(正常送信)のとき

【注】 etu (Elementary time unit)：1ビットの転送期間

パリティエラー	
0	[クリア条件] PER=1の状態をリードした後、0をライトしたとき
1	[セット条件] 受信時の受信データとパリティビットを合わせた1の数が、SMRのO/Eビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき

エラーシグナルステータス	
0	[クリア条件] (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) ERS=1の状態をリードした後、0をライトしたとき
1	[セット条件] エラーシグナルLowをサンプリングしたとき

【注】 SCRのTEビットを0にクリアしても、ERSフラグは影響を受けず以前の状態を保持します。

オーバランエラー	
0	[クリア条件] ORER=1の状態をリードした後、0をライトしたとき
1	[セット条件] RDRF=1の状態でのシリアル受信を完了したとき

レシーブデータレジスタフル	
0	[クリア条件] (1) RDRF=1の状態をリードした後、0をライトしたとき (2) RXI割り込み要求によるDTCでRDRのデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき

トランスミットデータレジスタエンpty	
0	[クリア条件] (1) TDRE=1の状態をリードした後、0をライトしたとき (2) TXI割り込み要求によるDTCでTDRへデータをライトしたとき
1	[セット条件] (1) SCRのTEビットが0のとき (2) TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき

【注】 * フラグをクリアするための0ライトのみ可能です。

H'FF7D：レジスタデータレジスタ 0 RDR0：SCI0，スマートカードインタフェース

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

受信したシリアルデータを格納

H'FF7E：スマートカードモードレジスタ 0 SCMR0：SCI0，スマートカードインタフェース

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	SDIR	SINV	—	SMIF
初期値：	1	1	1	1	0	0	1	0
R/W：	—	—	—	—	R/W	R/W	—	R/W

スマートカード
インタフェースモードセレクト

0	スマートカードインタフェース機能を禁止
1	スマートカードインタフェース機能を許可

スマートカードデータインバート

0	TDRの内容をそのまま送信 受信データをそのままRDRに格納
1	TDRの内容を反転してデータを 送信 受信データを反転してRDRに 格納

スマートカードデータトランスファディレクション

0	TDRの内容をLSBファーストで送信 受信データをLSBファーストとしてRDRに格納
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納

H'FF80：シリアルモードレジスタ 1 SMR1：SCI1

ビット：	7	6	5	4	3	2	1	0
	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

0	0	ϕ クロック
1	0	ϕ /4クロック
1	0	ϕ /16クロック
1	1	ϕ /64クロック

マルチプロセッサモード

0	マルチプロセッサ機能の禁止
1	マルチプロセッサフォーマットを選択

ストップビットレングス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ*1
1	奇数パリティ*2

【注】 *1 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が偶数であるかどうかをチェックします。

*2 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が奇数であるかどうかをチェックします。

パリティネーブル

0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可*

【注】 * PEビットに1をセットすると送信時には、O/ $\bar{E}$ ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/ $\bar{E}$ ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

キャラクタレングス

0	8ビットデータ
1	7ビットデータ*

【注】 * 7ビットデータを選択した場合、TDRのMSB（ビット7）は送信されません。
また、LSBファースト/MSBファーストの選択はできません。

調歩同期モード/クロック同期モード選択

0	調歩同期モード
1	クロック同期モード

H'FF80：シリアルモードレジスタ1 SMR1：SCI1 スマートカードインタフェース

ビット：	7	6	5	4	3	2	1	0
	GM	BLK	PE	O/E	BCP1	BCP0	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト	
0	0 ϕ クロック
	1 $\phi/4$ クロック
1	0 $\phi/16$ クロック
	1 $\phi/64$ クロック

基本クロックパルス	
0	0 32クロック
	1 64クロック
1	0 372クロック
	1 256クロック

パリティモード	
0	偶数パリティ*1
1	奇数パリティ*2

【注】*1 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が偶数であるかどうかをチェックします。

*2 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が奇数であるかどうかをチェックします。

パリティイネーブル	
0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可*

【注】* PEビットに1をセットすると送信時には、O/Eビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/Eビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ブロック転送モード	
0	通常のスマートカードインタフェースモードの動作 (1) エラーシグナルの送出、検出、データの自動再送信を行う (2) TXI割り込みがTENDフラグにより発生する (3) TENDフラグの設定タイミングが、送信開始から12.5etu後（GSMモードでは11.0etu後）
1	ブロック転送モードで動作 (1) エラーシグナルの送出、検出、データの自動再送信を行わない (2) TXI割り込みがTDREフラグにより発生する (3) TENDフラグの設定タイミングが、送信開始から11.5etu後（GSMモードでは11.0etu後）

GSMモード	
0	通常のスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から12.5etuのタイミングで発生 (2) クロック出力のON/OFFの制御のみ
1	GSMモードのスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から11.0etuのタイミングで発生 (2) クロック出力ON/OFF制御のほか、High/Low固定制御可能（SCRで設定）

【注】 etu（Elementary time unit）：1ビットの転送期間

H'FF81：ビットレートレジスタ 1 BRR1：SCI1，スマートカードインタフェース

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信／受信のビットレートを設定

【注】 詳細は「13.2.8 ビットレートレジスタ（BRR）」を参照してください。

H'FF82：シリアルコントロールレジスタ 1 SCR1：SCI1

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル

0	0	調歩同期式モード	内部クロック／SCK端子は 入出力ポート
		クロック同期式モード	内部クロック／SCK端子は 同期クロック出力
	1	調歩同期式モード	内部クロック／SCK端子は クロック出力*1
		クロック同期式モード	内部クロック／SCK端子は 同期クロック出力
1	0	調歩同期式モード	外部クロック／SCK端子は クロック入力*2
		クロック同期式モード	外部クロック／SCK端子は 同期クロック入力
	1	調歩同期式モード	外部クロック／SCK端子は クロック入力*2
		クロック同期式モード	外部クロック／SCK端子は 同期クロック入力

【注】 *1 ビットレートと同じ周波数のクロックを出力
*2 ビットレートの16倍の周波数のクロックを入力

トランスミットエンドインタラプティネーブル

0	送信終了割り込み (TEI) 要求を禁止*
1	送信終了割り込み (TEI) 要求を許可*

【注】 * TEIの解除は、SSRのTDREフラグから1をリードした後、0にクリアしてTENDフラグを0に
クリアするか、TEIEビットを0にクリアすることで行うことができます。

マルチプロセッサインタラプティネーブル

0	マルチプロセッサ割り込み禁止状態 【クリア条件】 (1) MPIEビットを0にクリア (2) MPB=1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止します。

【注】 * MPB=0を含む受信データを受信しているときは、RSRからRDRへの受信データの転送、および受信エラーの
検出とSSRのRDRF、FER、ORERの各フラグのセットは行いません。MPB=1を含む受信データを受信すると、
SSRのMPBビットを1にセットし、MPIEビットを自動的に0にクリアし、RXI、ERI割り込み要求の発生
(SCRのTIE、RIEビットが1にセットされている場合)とFER、ORERフラグのセットが許可されます。

レシーブイネーブル

0	受信動作を禁止*1
1	受信動作を許可*2

【注】 *1 REビットを0にクリアしてもRDRF、FER、PER、ORERの各フラグは影響を受けず、状態を保持します。
*2 この状態で、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ
検出すると、シリアル受信を開始します。なお、REビットを1にセットする前に必ずSMRの設定を行い、受信フォー
マットを決定してください。

トランスミットイネーブル

0	送信動作を禁止*1
1	送信動作を許可*2

【注】 *1 SSRのTDREフラグは1に固定されます。
*2 この状態で、TDRに送信データをライトして、SSRのTDREフラグを0にクリアするとシリアル送信を開始します。
なお、TEビットを1にセットする前に必ずSMRの設定を行い、送信フォーマットを決定してください。

レシーブインタラプティネーブル

0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止*
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 * RXI、およびERI割り込み要求の解除は、RDRF、またはFER、PER、ORERの各フラグから1をリードした後、0にクリアするか、
RIEビットを0にクリアすることで行うことができます。

トランスミットインタラプティネーブル

0	送信データエンpty割り込み (TXI) 要求の禁止*
1	送信データエンpty割り込み (TXI) 要求の許可

【注】 * TXI割り込み要求の解除は、TDREフラグから1をリードした後、0にクリアするか、またはTIEビットを0にクリアすることで行うことができます。

H'FF82：シリアルコントロールレジスタ 1 SCR1：SCI1 スマートカードインタフェース

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル

SCMR	SMR	SCRの設定		SCK端子機能の説明
SMIF	C/ĀGM	CKE1	CKE0	
0				SCI指定参照
1	0	0	0	ポート入出力端子として動作
1	0	0	1	SCK出力端子としてクロック出力
1	1	0	0	SCK出力端子としてLow出力固定
1	1	0	1	SCK出力端子としてクロック出力
1	1	1	0	SCK出力端子としてHigh出力固定
1	1	1	1	SCK出力端子としてクロック出力

トランスミットエンドインタラプトイネーブル

0	送信終了割り込み (TEI) 要求を禁止
1	送信終了割り込み (TEI) 要求を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割り込み禁止状態 [クリア条件] (1) MPIEビットを0にクリア (2) MPB=1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態 マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止します。

レシーブイネーブル

0	受信動作を禁止
1	受信動作を許可

トランスミットイネーブル

0	送信動作を禁止
1	送信動作を許可

レシーブインタラプトイネーブル

0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

トランスミットインタラプトイネーブル

0	送信データエンプティ割り込み (TXI) 要求の禁止
1	送信データエンプティ割り込み (TXI) 要求の許可

H'FF83：トランスミットデータレジスタ 1 TDR1：SCI1，スマートカードインタフェース

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信するデータを格納

H'FF84：シリアルステータスレジスタ 1 SSR1：SCI1

ビット：	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値：	1	0	0	0	0	1	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

マルチプロセッサビットトランスファ	
0	マルチプロセッサビットが0のデータを送信
1	マルチプロセッサビットが1のデータを送信

マルチプロセッサビット	
0	[クリア条件] マルチプロセッサビットが0のデータを受信したとき*
1	[セット条件] マルチプロセッサビットが1のデータを受信したとき

【注】* マルチプロセッサフォーマットでSCRのREビットを0にクリアしたときには、以前の状態を保持します。

トランスミットエンド	
0	[クリア条件] (1) TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき (2) TXI割り込み要求によるDTCでTDRへデータをライトしたとき
1	[セット条件] (1) SCRのTEビットが0のとき (2) 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE=1であったとき

パリティエラー	
0	[クリア条件] PER=1の状態をリードした後、0をライトしたとき*1
1	[セット条件] 受信時の受信データとパリティビットを合わせた1の数が、SMRのO/Eビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき*2

【注】*1 SCRのREビットを0にクリアしたときには、PERフラグは影響を受けず以前の状態を保持します。
*2 パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期モードでは、シリアル送信も続けることができません。

フレーミングエラー	
0	[クリア条件] FER=1の状態をリードした後、0をライトしたとき*1
1	[セット条件] SCIが受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき*2

【注】*1 SCRのREビットを0にクリアしたときには、FERフラグは影響を受けず以前の状態を保持します。
*2 2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FERフラグが1にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期モードでは、シリアル送信も続けることができません。

オーバランエラー	
0	[クリア条件] ORER=1の状態をリードした後、0をライトしたとき*1
1	[セット条件] RDRF=1の状態での次のシリアル受信を完了したとき*2

【注】*1 SCRのREビットを0にクリアしたときには、ORERフラグは影響を受けず以前の状態を保持します。
*2 RDRではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることができません。

レシーブデータレジスタフル	
0	[クリア条件] (1) RDRF=1の状態をリードした後、0をライトしたとき (2) RXI割り込み要求によるDTCでRDRのデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき

【注】受信時にエラーを検出したとき、およびSCRのREビットを0にクリアしたときにはRDRおよびRDRFフラグは影響を受けず以前の状態を保持します。RDRFフラグが1にセットされたまま次のデータを受信完了するとオーバランエラーが発生し、受信データが失われますので注意してください。

トランスミットデータレジスタエンプティ	
0	[クリア条件] (1) TDRE=1の状態をリードした後、0をライトしたとき (2) TXI割り込み要求によるDTCでTDRへデータをライトしたとき
1	[セット条件] (1) SCRのTEビットが0のとき (2) TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき

【注】* フラグをクリアするための0ライトのみ可能です。

H'FF84：シリアルステータスレジスタ 1 SSR1：SCI1 スマートカードインタフェース

ビット：	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
初期値：	1	0	0	0	0	1	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

マルチプロセッサビットトランスファ	
0	マルチプロセッサビットが0のデータを送信
1	マルチプロセッサビットが1のデータを送信

マルチプロセッサビット	
0	[クリア条件] マルチプロセッサビットが0のデータを受信したとき
1	[セット条件] マルチプロセッサビットが1のデータを受信したとき

TENDビット	
0	[クリア条件] (1) TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき (2) TXI割り込み要求によるDTCでTDRへデータをライトしたとき
1	[セット条件] (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) SCRのTEビットが0かつERSビットが0のとき (3) GM=0、BLK=0のとき1バイトのシリアルキャラクタを送信して、2.5etu後にTDRE=1かつERS=0(正常送信)のとき (4) GM=0、BLK=1のとき1バイトのシリアルキャラクタを送信して、1.5etu後にTDRE=1かつERS=0(正常送信)のとき (5) GM=1、BLK=0のとき1バイトのシリアルキャラクタを送信して、1.0etu後にTDRE=1かつERS=0(正常送信)のとき (6) GM=1、BLK=1のとき1バイトのシリアルキャラクタを送信して、1.0etu後にTDRE=1かつERS=0(正常送信)のとき

【注】 etu (Elementary time unit)：1ビットの転送期間

パリティエラー	
0	[クリア条件] PER=1の状態をリードした後、0をライトしたとき
1	[セット条件] 受信時の受信データとパリティビットを合わせた1の数が、SMRのO/Eビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき

エラーシグナルステータス	
0	[クリア条件] (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) ERS=1の状態をリードした後、0をライトしたとき
1	[セット条件] エラーシグナルLowをサンプリングしたとき

【注】 SCRのTEビットを0にクリアしても、ERSフラグは影響を受けず以前の状態を保持します。

オーバランエラー	
0	[クリア条件] ORER=1の状態をリードした後、0をライトしたとき
1	[セット条件] RDRF=1の状態でのシリアル受信を完了したとき

レシーブデータレジスタフル	
0	[クリア条件] (1) RDRF=1の状態をリードした後、0をライトしたとき (2) RXI割り込み要求によるDTCでRDRのデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき

トランスミットデータレジスタエンpty	
0	[クリア条件] (1) TDRE=1の状態をリードした後、0をライトしたとき (2) TXI割り込み要求によるDTCでTDRへデータをライトしたとき
1	[セット条件] (1) SCRのTEビットが0のとき (2) TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき

【注】 * フラグをクリアするための0ライトのみ可能です。

H'FF85：レシーブデータレジスタ 1 RDR1：SCI1，スマートカードインタフェース

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

受信したシリアルデータを格納

H'FF86：スマートカードモードレジスタ 1 SCMR1：SCI，スマートカードインタフェース

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	SDIR	SINV	—	SMIF
初期値：	1	1	1	1	0	0	1	0
R/W：	—	—	—	—	R/W	R/W	—	R/W

スマートカード
インタフェースモード選択

0	スマートカードインタフェース機能を禁止
1	スマートカードインタフェース機能を許可

データのロジックレベルの反転を指定

0	TDRの内容をそのまま送信 受信データをそのままRDRに格納
1	TDRの内容を反転してデータを送信 受信データを反転してRDRに格納

シリアル／パラレル変換フォーマット選択

0	TDRの内容をLSBファーストで送信 受信データをLSBファーストとしてRDRに格納
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納

H'FF88：シリアルモードレジスタ2 SMR2：SCI2 スマートカードインタフェース

ビット：	7	6	5	4	3	2	1	0
	GM	BLK	PE	O/E	BCP1	BCP0	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

0	0	Φクロック
	1	Φ/4クロック
1	0	Φ/16クロック
	1	Φ/64クロック

基本クロックパルス

0	0	32クロック
	1	64クロック
1	0	372クロック
	1	256クロック

パリティモード

0	偶数パリティ*1
1	奇数パリティ*2

【注】*1 偶数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が偶数であるかどうかをチェックします。

*2 奇数パリティに設定すると、送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が奇数であるかどうかをチェックします。

パリティネーブル

0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可*

【注】* PEビットに1をセットすると送信時には、O/Eビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/Eビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ブロック転送モード

0	通常のスマートカードインタフェースモードの動作 (1) エラーシグナルの送出、検出、データの自動再送信を行う (2) TXI割り込みがTENDフラグにより発生する (3) TENDフラグの設定タイミングが、送信開始から12.5etu後 (GSMモードでは11.0etu後)
1	ブロック転送モードで動作 (1) エラーシグナルの送出、検出、データの自動再送信を行わない (2) TXI割り込みがTDREフラグにより発生する (3) TENDフラグの設定タイミングが、送信開始から11.5etu後 (GSMモードでは11.0etu後)

GSMモード

0	通常のスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から12.5etuのタイミングで発生 (2) クロック出力のON/OFFの制御のみ
1	GSMモードのスマートカードインタフェースモードの動作 (1) TENDフラグが開始ビットの先頭から11.0etuのタイミングで発生 (2) クロック出力ON/OFF制御のほか、High/Low固定制御可能（SCRで設定）

【注】 etu（Elementary time unit）：1ビットの転送期間

H'FF89：ビットレートレジスタ 2 BRR2：SCI2，スマートカードインタフェース

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信／受信のビットレートを設定

【注】 詳細は「13.2.8 ビットレートレジスタ（BRR）」を参照してください。

H'FF8A：シリアルコントロールレジスタ 2 SCR2：SCI2

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル

0	0	調歩同期式モード	内部クロック／SCK端子は入出力ポート
		クロック同期式モード	内部クロック／SCK端子は同期クロック出力
	1	調歩同期式モード	内部クロック／SCK端子はクロック出力*1
		クロック同期式モード	内部クロック／SCK端子は同期クロック出力
1	0	調歩同期式モード	外部クロック／SCK端子はクロック入力*2
		クロック同期式モード	外部クロック／SCK端子は同期クロック入力
	1	調歩同期式モード	外部クロック／SCK端子はクロック入力*2
		クロック同期式モード	外部クロック／SCK端子は同期クロック入力

【注】 *1 ビットレートと同じ周波数のクロックを出力
*2 ビットレートの16倍の周波数のクロックを入力

トランスミットエンドインタラプトイネーブル

0	送信終了割り込み (TEI) 要求を禁止*
1	送信終了割り込み (TEI) 要求を許可*

【注】 * TEIの解除は、SSRのTDREフラグから1をリードした後、0にクリアしてTENDフラグを0にクリアするか、TEIEビットを0にクリアすることで行うことができます。

マルチプロセスサインタラプトイネーブル

0	マルチプロセッサ割り込み禁止状態 [クリア条件] (1) MPIEビットを0にクリア (2) MPB=1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止します。

【注】 * MPB=0を含む受信データを受信しているときは、RSRからRDRFへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、ORERの各フラグのセットは行いません。MPB=1を含む受信データを受信すると、SSRのMPBビットを1にセットし、MPIEビットを自動的に0にクリアし、RXI、ERI割り込み要求の発生 (SCRのTIE、RIEビットが1にセットされている場合) とFER、ORERフラグのセットが許可されます。

レシーブイネーブル

0	受信動作を禁止*1
1	受信動作を許可*2

【注】 *1 REビットを0にクリアしてもRDRF、FER、PER、ORERの各フラグは影響を受けず、状態を保持します。
*2 この状態で、TDRに送信データをライトして、SSRのTDREフラグを0にクリアするとシリアル送信を開始します。検出すると、シリアル受信を開始します。なお、REビットを1にセットする前に必ずSMRの設定を行い、受信フォーマットを決定してください。

トランスミットイネーブル

0	送信動作を禁止*1
1	送信動作を許可*2

【注】 *1 SSRのTDREフラグは1に固定されます。
*2 この状態で、TDRに送信データをライトして、SSRのTDREフラグを0にクリアするとシリアル送信を開始します。なお、TEビットを1にセットする前に必ずSMRの設定を行い、送信フォーマットを決定してください。

レシーブインタラプトイネーブル

0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止*
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 * RXI、およびERI割り込み要求の解除は、RDRF、またはFER、PER、ORERの各フラグから1をリードした後、0にクリアするか、RIEビットを0にクリアすることで行うことができます。

トランスミットインタラプトイネーブル

0	送信データエンプティ割り込み (TXI) 要求の禁止*
1	送信データエンプティ割り込み (TXI) 要求の許可

【注】 * TXI割り込み要求の解除は、TDREフラグから1をリードした後、0にクリアするか、またはTIEビットを0にクリアすることで行うことができます。

H'FF8A：シリアルコントロールレジスタ 2 SCR2：SCI2 スマートカードインタフェース

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル

SCMR	SMR	SCRの設定		SCK端子機能の説明
SMIF	C $\bar{A}$ GM	CKE1	CKE0	
0				SCI指定参照
1	0	0	0	ポート入出力端子として動作
1	0	0	1	SCK出力端子としてクロック出力
1	1	0	0	SCK出力端子としてLow出力固定
1	1	0	1	SCK出力端子としてクロック出力
1	1	1	0	SCK出力端子としてHigh出力固定
1	1	1	1	SCK出力端子としてクロック出力

トランスミットエンドインタラプトイネーブル

0	送信終了割り込み (TEI) 要求を禁止
1	送信終了割り込み (TEI) 要求を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割り込み禁止状態 [クリア条件] (1) MPIEビットを0にクリア (2) MPB=1のデータを受信したとき
1	マルチプロセッサ割り込み許可状態 マルチプロセッサビットが1のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止します。

レシーブイネーブル

0	受信動作を禁止
1	受信動作を許可

トランスミットイネーブル

0	送信動作を禁止
1	送信動作を許可

レシーブインタラプトイネーブル

0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

トランスミットインタラプトイネーブル

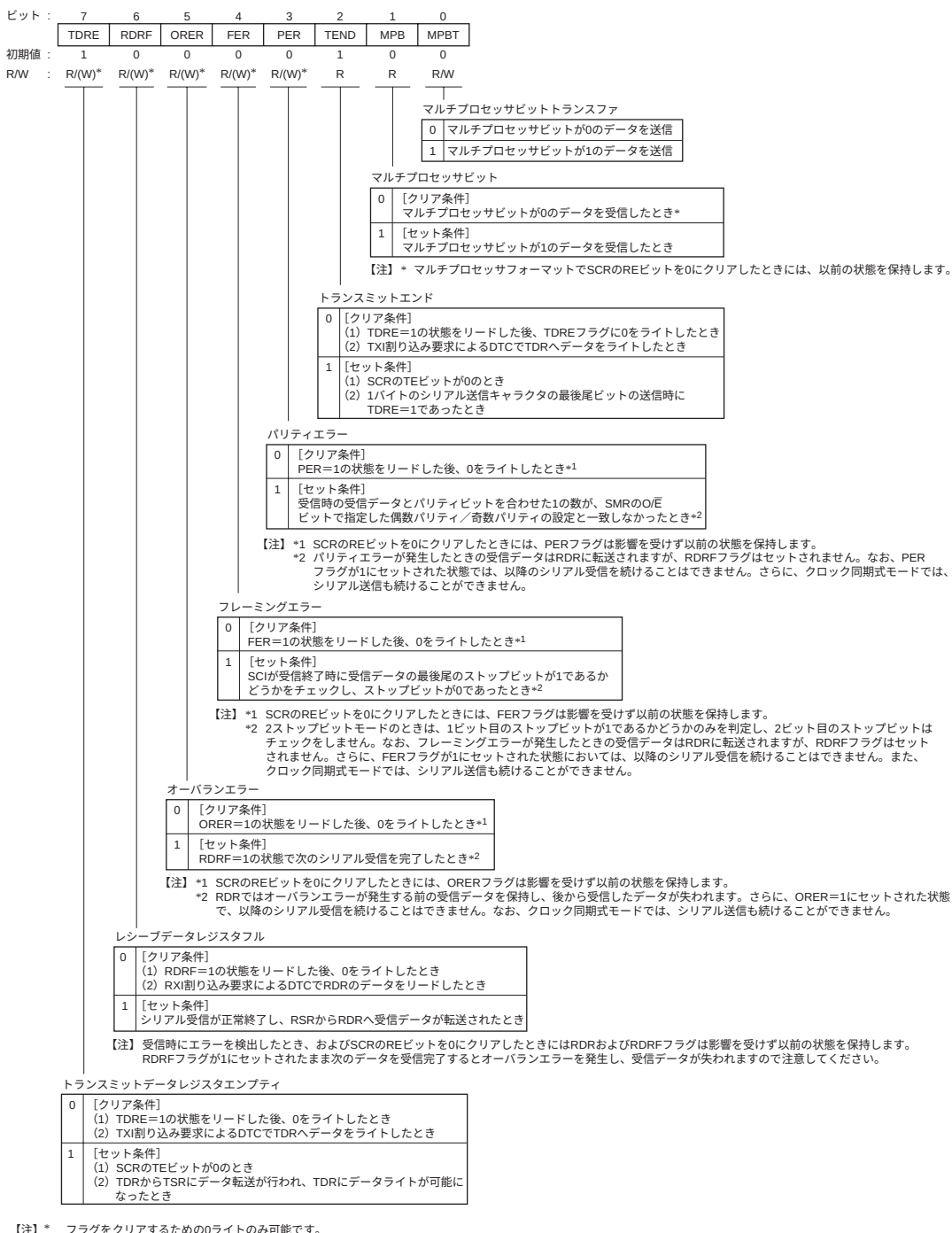
0	送信データエンプティ割り込み (TXI) 要求の禁止
1	送信データエンプティ割り込み (TXI) 要求の許可

H'FF8B：トランスミットデータレジスタ 2 TDR2：SCI2，スマートカードインタフェース

ビット：	7	6	5	4	3	2	1	0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアル送信するデータを格納

H'FF8C：シリアルステータスレジスタ 2 SSR2：SCI2



H'FF8C：シリアルステータスレジスタ 2 SSR2：SCI2 スマートカードインタフェース

ビット：	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
初期値：	1	0	0	0	0	1	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

マルチプロセスビットトランスファ	
0	マルチプロセスビットが0のデータを送信
1	マルチプロセスビットが1のデータを送信

マルチプロセスビット	
0	[クリア条件] マルチプロセスビットが0のデータを受信したとき
1	[セット条件] マルチプロセスビットが1のデータを受信したとき

TENDビット	
0	[クリア条件] (1) TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき (2) TXI割り込み要求によるDTCでTDRへデータをライトしたとき
1	[セット条件] (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) SCRのTEビットが0かつERSビットが0のとき (3) GM=0、BLK=0のとき1バイトのシリアルキャラクタを送信して、2.5etu後にTDRE=1かつERS=0(正常送信)のとき (4) GM=0、BLK=1のとき1バイトのシリアルキャラクタを送信して、1.5etu後にTDRE=1かつERS=0(正常送信)のとき (5) GM=1、BLK=0のとき1バイトのシリアルキャラクタを送信して、1.0etu後にTDRE=1かつERS=0(正常送信)のとき (6) GM=1、BLK=1のとき1バイトのシリアルキャラクタを送信して、1.0etu後にTDRE=1かつERS=0(正常送信)のとき

【注】 etu (Elementary time unit)：1ビットの転送期間

パリティエラー	
0	[クリア条件] PER=1の状態をリードした後、0をライトしたとき
1	[セット条件] 受信時の受信データとパリティビットを合わせた1の数が、SMRのO/Eビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき

エラーシグナルステータス	
0	[クリア条件] (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) ERS=1の状態をリードした後、0をライトしたとき
1	[セット条件] エラーシグナルLowをサンプリングしたとき

【注】 SCRのTEビットを0にクリアしても、ERSフラグは影響を受けずに以前の状態を保持します。

オーバランエラー	
0	[クリア条件] ORER=1の状態をリードした後、0をライトしたとき
1	[セット条件] RDRF=1の状態でのシリアル受信を完了したとき

レシープデータレジスタフル	
0	[クリア条件] (1) RDRF=1の状態をリードした後、0をライトしたとき (2) RXI割り込み要求によるDTCでRDRのデータをリードしたとき
1	[セット条件] シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき

トランスミットデータレジスタエンペティ	
0	[クリア条件] (1) TDRE=1の状態をリードした後、0をライトしたとき (2) TXI割り込み要求によるDTCでTDRへデータをライトしたとき
1	[セット条件] (1) SCRのTEビットが0のとき (2) TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき

【注】 * フラグをクリアするための0ライトのみ可能です。

H'FF8D：レシーブデータレジスタ 2 RDR2：SCI2，スマートカードインタフェース

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

受信したシリアルデータを格納

H'FF8E：スマートカードモードレジスタ 2 SCMR2：SCI2，スマートカードインタフェース

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	SDIR	SINV	—	SMIF
初期値：	1	1	1	1	0	0	1	0
R/W：	—	—	—	—	R/W	R/W	—	R/W

スマートカード
インタフェースモード選択

0	スマートカードインタフェース機能を禁止
1	スマートカードインタフェース機能を許可

データのロジックレベルの反転を指定

0	TDRの内容をそのまま送信 受信データをそのままRDRに格納
1	TDRの内容を反転してデータを送信 受信データを反転してRDRに格納

シリアル／パラレル変換フォーマット選択

0	TDRの内容をLSBファーストで送信 受信データをLSBファーストとしてRDRに格納
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストとしてRDRに格納

H'FF90 : A/D データレジスタ AH ADDR AH : A/D
 H'FF91 : A/D データレジスタ AL ADDR AL : A/D
 H'FF92 : A/D データレジスタ BH ADDR BH : A/D
 H'FF93 : A/D データレジスタ BL ADDR BL : A/D
 H'FF94 : A/D データレジスタ CH ADDR CH : A/D
 H'FF95 : A/D データレジスタ CL ADDR CL : A/D
 H'FF96 : A/D データレジスタ DH ADDR DH : A/D
 H'FF97 : A/D データレジスタ DL ADDR DL : A/D

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

H'FF98：A/D コントロール／ステータスレジスタ ADCSR：A/D

ビット：	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CH3	CH2	CH1	CH0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネルセレクト3

0	AN8～AN11をグループ0のアナログ入力端子とします。
1	AN0～AN3をグループ0、AN4～AN7をグループ1のアナログ入力端子とします。

スキャンモード

0	シングルモード
1	スキャンモード

A/Dスタート

0	A/D変換を停止
1	(1) シングルモード：A/D変換を開始。指定したチャンネルの変換が終了すると自動的に0にクリア (2) スキャンモード：A/D変換を開始。ソフトウェア、リセット、スタンバイモードまたはモジュールストップモードによって0にクリアされるまで選択されたチャンネルを順次連続変換

A/Dインタラプトイネーブル

0	A/D変換の終了による割り込み（ADI）要求を禁止
1	A/D変換の終了による割り込み（ADI）要求を許可

A/Dエンドフラグ

0	[クリア条件] (1) ADF=1の状態、ADFフラグをリードした後ADFフラグに0をライトしたとき (2) ADI割り込みによりDTCが起動され、ADDRをリードしたとき
1	[セット条件] (1) シングルモード：A/D変換が終了したとき (2) スキャンモード：指定したすべてのチャンネルのA/D変換が終了したとき

チャンネルセレクト2～0

CH3	CH2	CH1	CH0	シングルモード (SCAN=0)	スキャンモード (SCAN=1)
0	0	0	0	AN0	AN0
			1	AN1	AN0、AN1
		1	0	AN2	AN0～AN2
			1	AN3	AN0～AN3
	1	0	0	AN4	AN4
			1	AN5	AN4、AN5
		1	0	AN6	AN4～AN6
			1	AN7	AN4～AN7
1	0	0	0	AN8	AN8
			1	AN9	AN8、AN9
		1	0	AN10	AN8～AN10
			1	AN11	AN8～AN11

【注】＊ フラグをクリアするための0ライトのみ可能です。

H'FF99：A/D コントロールレジスタ ADCR：A/D

ビット	7	6	5	4	3	2	1	0
	TRGS1	TRGS0	—	—	CKS1	CKS0	—	—
初期値	0	0	1	1	0	0	1	1
R/W	R/W	R/W	—	—	R/W	R/W	—	—

クロックセレクト1、0

CKS1	CKS0	説 明
0	0	変換時間=530ステート (Max)
	1	変換時間=266ステート (Max)
1	0	変換時間=134ステート (Max)
	1	変換時間=68ステート (Max)

タイマトリガセレクト1、0

TRGS1	TRGS0	説 明
0	0	ソフトウェアによるA/D変換の開始を許可
	1	TPUの変換開始トリガによるA/D変換の開始を許可
1	0	設定禁止
	1	外部トリガ端子 (ADTRG) によるA/D変換の開始を許可

H'FFA2 (W)、H'FFA2 (R) : タイマコントロール/ステータスレジスタ 1 TCSR1:WDT1

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	PSS	RST/NMI	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト2~0

ビット4	ビット2	ビット1	ビット0	説明
PSS	CKS2	CKS1	CKS0	クロック
0	0	0	0	$\phi/2$ 25.6 μ s
			1	$\phi/64$ 819.2 μ s
		1	0	$\phi/128$ 1.6ms
			1	$\phi/512$ 6.6ms
	1	0	0	$\phi/2048$ 26.2ms
			1	$\phi/8192$ 104.9ms
		1	0	$\phi/32768$ 419.4ms
			1	$\phi/131072$ 1.6s
1	0	0	0	$\phi_{SUB}/2$ 15.6ms
			1	$\phi_{SUB}/4$ 31.3ms
		1	0	$\phi_{SUB}/8$ 62.5ms
			1	$\phi_{SUB}/16$ 125ms
	1	0	0	$\phi_{SUB}/32$ 250ms
			1	$\phi_{SUB}/64$ 500ms
		1	0	$\phi_{SUB}/128$ 1s
			1	$\phi_{SUB}/256$ 2s

【注】 * オーバフロー周期は、TCNTがH'00からカウントアップを開始し、オーバフローするまでの時間です。

リセットまたはNMI

0	NMI割り込みを要求
1	内部リセットを要求

プリスケラセレクト

0	TNCT は ϕ ベースのプリスケラ (PSM) の分周クロックをカウント
1	TNCT は ϕ_{SUB} ベースのプリスケラ (PSS) の分周クロックをカウント

タイマイネーブル

0	TCNTをH'00に初期化し、カウント動作を停止
1	TCNTはカウント動作

タイマモードセレクト

0	インターバルタイマモード: TCNTがオーバフローしたとき CPUヘインターバルタイマ割り込み (WOVI) を要求
1	ウォッチドッグタイマモード: TCNTがオーバフローしたとき CPUヘリセットまたはNMI割り込みを要求

オーバフローフラグ

0	[クリア条件] (1) TMEビットに0をライトしたとき (2) OVF=1の状態で、TCSRをリード後、OVFに0をライトしたとき
1	[セット条件] TCNTがオーバフロー (H'FF→H'00) したとき ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合、セット後、内部リセットにより自動的にクリアされます。

【注】 * フラグをクリアするための0ライトのみ可能です。

TCSRは容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳細は、「12.2.4 レジスタアクセス時の注意」を参照してください。

H'FFA2 (W)、H'FFA3 (R) : タイマカウンタ 1 TCNT1 : WDT1

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 TCNTは容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳細は、「12.2.4 レジスタアクセス時の注意」を参照してください。

H'FFA8：フラッシュメモリコントロールレジスタ 1 FLMCR1：FLASH

ビット：	7	6	5	4	3	2	1	0
	FWE	SWE	ESU	PSU	EV	PV	E	P
初期値：	—*	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

プログラム	
0	プログラムモードを解除
1	プログラムモードに遷移 [セット条件] FWE=1、SWE=1、 PSU=1のとき

イレース	
0	イレースモードを解除
1	イレースモードに遷移 [セット条件] FWE=1、SWE=1、 ESU=1のとき

プログラムベリファイ	
0	プログラムベリファイモードを解除
1	プログラムベリファイモードに遷移 [セット条件] FWE=1、SWE=1のとき

イレースベリファイ	
0	イレースベリファイモードを解除
1	イレースベリファイモードに遷移 [セット条件] FWE=1、SWE=1のとき

プログラムセットアップビット	
0	プログラムセットアップ解除
1	プログラムセットアップ [セット条件] FWE=1、SWE=1のとき

イレースセットアップビット	
0	イレースセットアップ解除
1	イレースセットアップ [セット条件] FWE=1、SWE=1のとき

ソフトウェアライトイネーブルビット	
0	書き込み無効
1	書き込み有効 [セット条件] FWE=1のとき

フラッシュライトイネーブルビット	
0	FWE端子にLowレベルが入力されているとき（ハードウェアプロテクト状態）
1	FWE端子にHighレベルが入力されているとき

【注】* FWE端子の状態により設定されます。

H'FFA9：フラッシュメモリコントロールレジスタ 2 FLMCR2：FLASH

ビット：	7	6	5	4	3	2	1	0
	FLER	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

フラッシュメモリエラー

0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み／消去プロテクト（エラープロテクト）が無効 [クリア条件] パワーオンリセットまたはハードウェアスタンバイモードのとき
1	フラッシュメモリへの書き込み／消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み／消去プロテクト（エラープロテクト）が有効 [セット条件] 「20.8.3 エラープロテクト」参照

H'FFAA：消去ブロック指定レジスタ 1 EBR1：FLASH

H'FFAB：消去ブロック指定レジスタ 2 EBR2：FLASH

EBR1

ビット：	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値：	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

EBR2

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	EB9	EB8
初期値：	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/	R/W	R/W

フラッシュメモリの消去エリアを設定

ブロック（サイズ）	アドレス
EB0（1kバイト）	H'000000～H'0003FF
EB1（1kバイト）	H'000400～H'0007FF
EB2（1kバイト）	H'000800～H'000BFF
EB3（1kバイト）	H'000C00～H'000FFF
EB4（28kバイト）	H'001000～H'007FFF
EB5（16kバイト）	H'008000～H'00BFFF
EB6（8kバイト）	H'00C000～H'00DFFF
EB7（8kバイト）	H'00E000～H'00FFFF
EB8（32kバイト）	H'010000～H'017FFF
EB9（32kバイト）	H'010000～H'01FFFF

H'FFAC：フラッシュメモリパワーコントロールレジスタ FLPWCR：FLASH

ビット：	7	6	5	4	3	2	1	0
	PDWND	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R	R	R	R	R	R	R

↓

パワーダウンドイスエーブル

0	フラッシュメモリの低消費電力モードへの遷移を許可
1	フラッシュメモリの低消費電力モードへの遷移を禁止

H'FFB0：ポート 1 レジスタ PORT1：ポート

ビット：	7	6	5	4	3	2	1	0
	P17	P16	P15	P14	P13	P12	P11	P10
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

ポート1の各端子の状態

【注】* P17～P10端子の状態により決定されます。

H'FFB1：ポート 2 レジスタ PORT2：ポート

ビット：	7	6	5	4	3	2	1	0
	P27	P26	P25	P24	P23	P22	P21	P20
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

ポート2の各端子の状態

【注】* P27～P20端子の状態により決定されます。

H'FFB2：ポート 3 レジスタ PORT3：ポート

ビット：	7	6	5	4	3	2	1	0
	P37	P36	P35	P34	P33	P32	P31	P30
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W	R	R	R	R	R	R	R	R

|
ポート3の各端子の状態

【注】* P37～P30端子の状態により決定されます。

H'FFB3：ポート 4 レジスタ PORT4：ポート

ビット：	7	6	5	4	3	2	1	0
	P47	P46	P45	P44	P43	P42	P41	P40
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W	R	R	R	R	R	R	R	R

|
ポート4の各端子の状態

【注】* P47～P40端子の状態により決定されます。

H'FFB4：ポート 5 レジスタ PORT5：ポート

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	P52	P51	P50
初期値：	不定	不定	不定	不定	不定	—*	—*	—*
R/W	—	—	—	—	—	R	R	R

|
ポート5の各端子の状態

【注】* P52～P50端子の状態により決定されます。

H'FFB8：ポート 9 レジスタ PORT9：ポート

ビット：	7	6	5	4	3	2	1	0
	P97	P96	P95	P94	P93	P92	P91	P90
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W	R	R	R	R	R	R	R	R

|
ポート9の各端子の状態

【注】* P97～P90端子の状態により決定されます。

H'FFB9：ポート A レジスタ PORTA：ポート

ビット：	7	6	5	4	3	2	1	0
	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W	R	R	R	R	R	R	R	R

ポートAの各端子の状態

【注】* PA7～PA0端子の状態により決定されます。

H'FFBA：ポート B レジスタ PORTB：ポート

ビット：	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W	R	R	R	R	R	R	R	R

ポートBの各端子の状態

【注】* PB7～PB0端子の状態により決定されます。

H'FFBB：ポート C レジスタ PORTC：ポート

ビット：	7	6	5	4	3	2	1	0
	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W	R	R	R	R	R	R	R	R

ポートCの各端子の状態

【注】* PC7～PC0端子の状態により決定されます。

H'FFBC：ポート D レジスタ PORTD：ポート

ビット：	7	6	5	4	3	2	1	0
	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W	R	R	R	R	R	R	R	R

ポートDの各端子の状態

【注】* PD7～PD0端子の状態により決定されます。

H'FFBD：ポート E レジスタ PORTE：ポート

ビット：	7	6	5	4	3	2	1	0
	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
初期値：	—*	—*	—*	—*	—*	—*	—*	—*
R/W：	R	R	R	R	R	R	R	R

|
ポートEの各端子の状態

【注】* PE7～PE0端子の状態により決定されます。

H'FFBE：ポート F レジスタ PORTF：ポート

ビット：	7	6	5	4	3	2	1	0
	PF7	PF6	PF5	PF4	PF3	PF2	—	PF0
初期値：	—*	—*	—*	—*	—*	—*	不定	—*
R/W：	R	R	R	R	R	R	—	R

|
ポートFの各端子の状態

【注】* PF7～PF2、PF0端子の状態により決定されます。

C. I/O ポートのブロック図

C.1 ポート 1 ブロック図

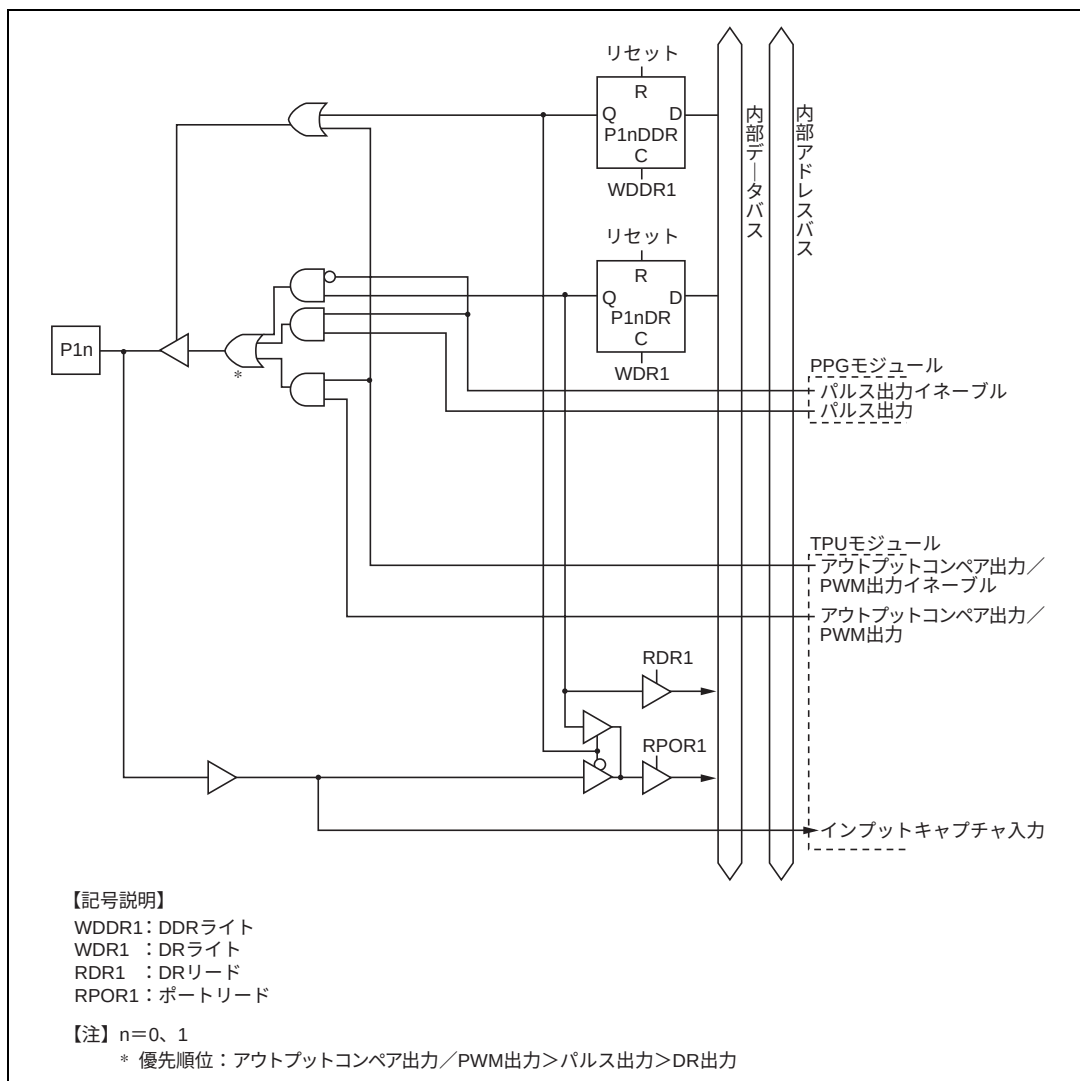


図 C.1 (a) ポート 1 ブロック図 (P10、P11 端子)

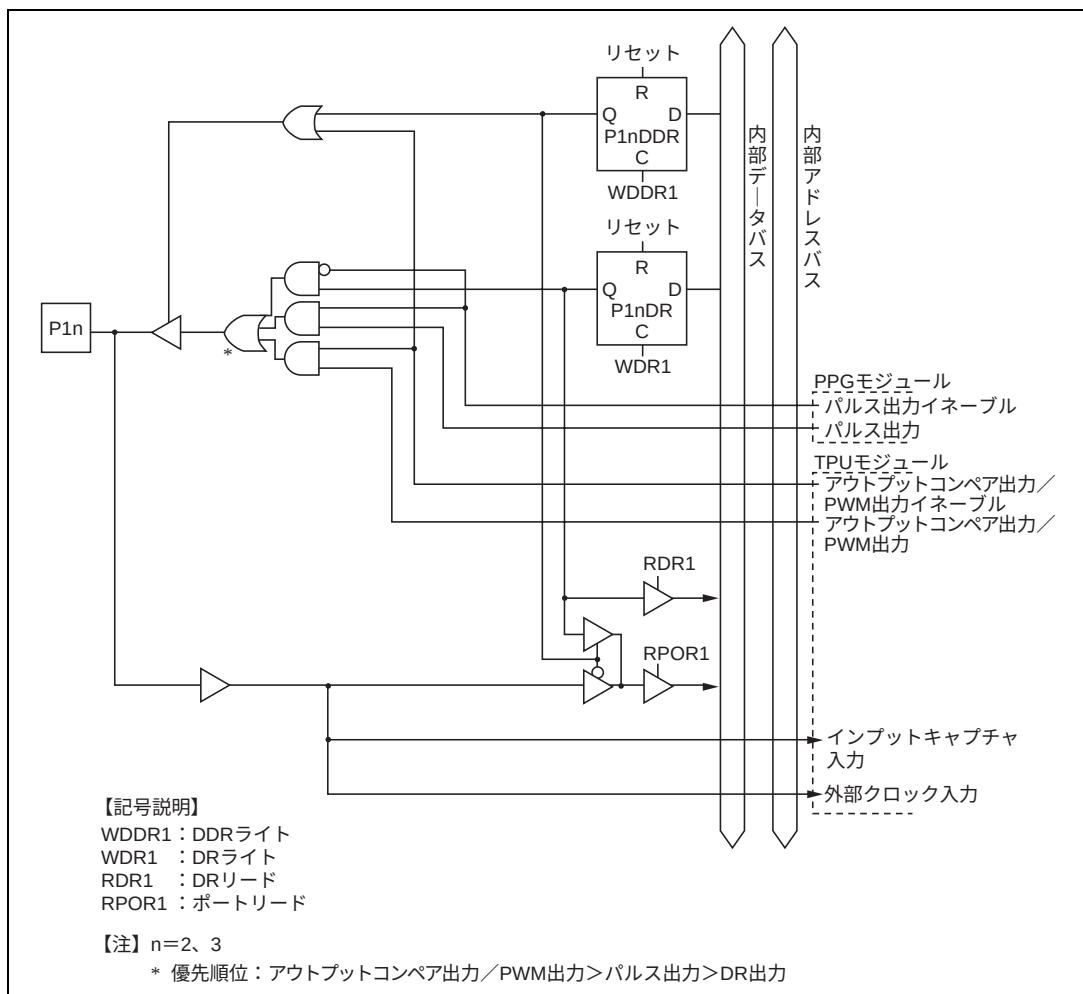


図 C.1 (b) ポート 1 ブロック図 (P12、P13 端子)

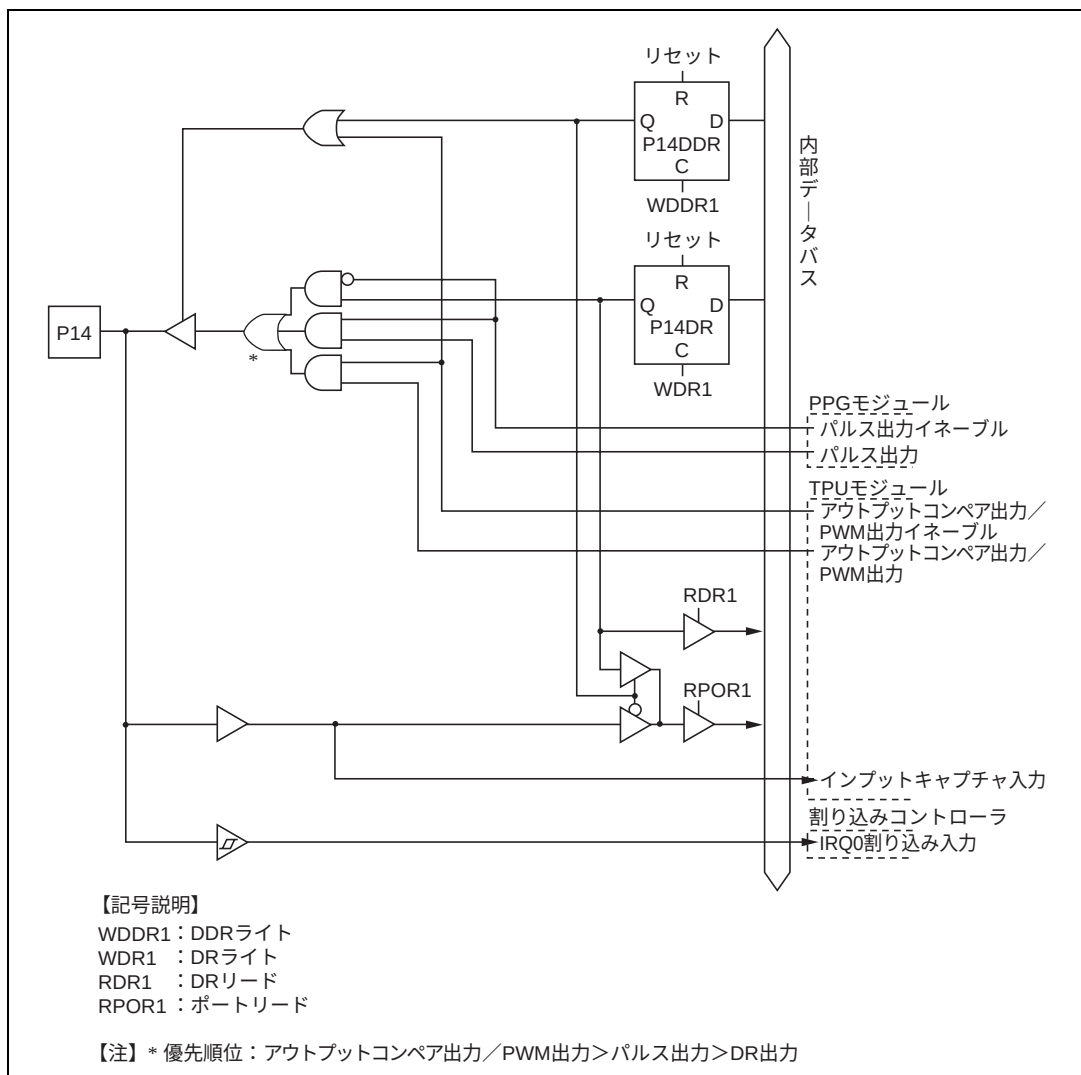


図 C.1 (c) ポート 1 ブロック図 (P14 端子)

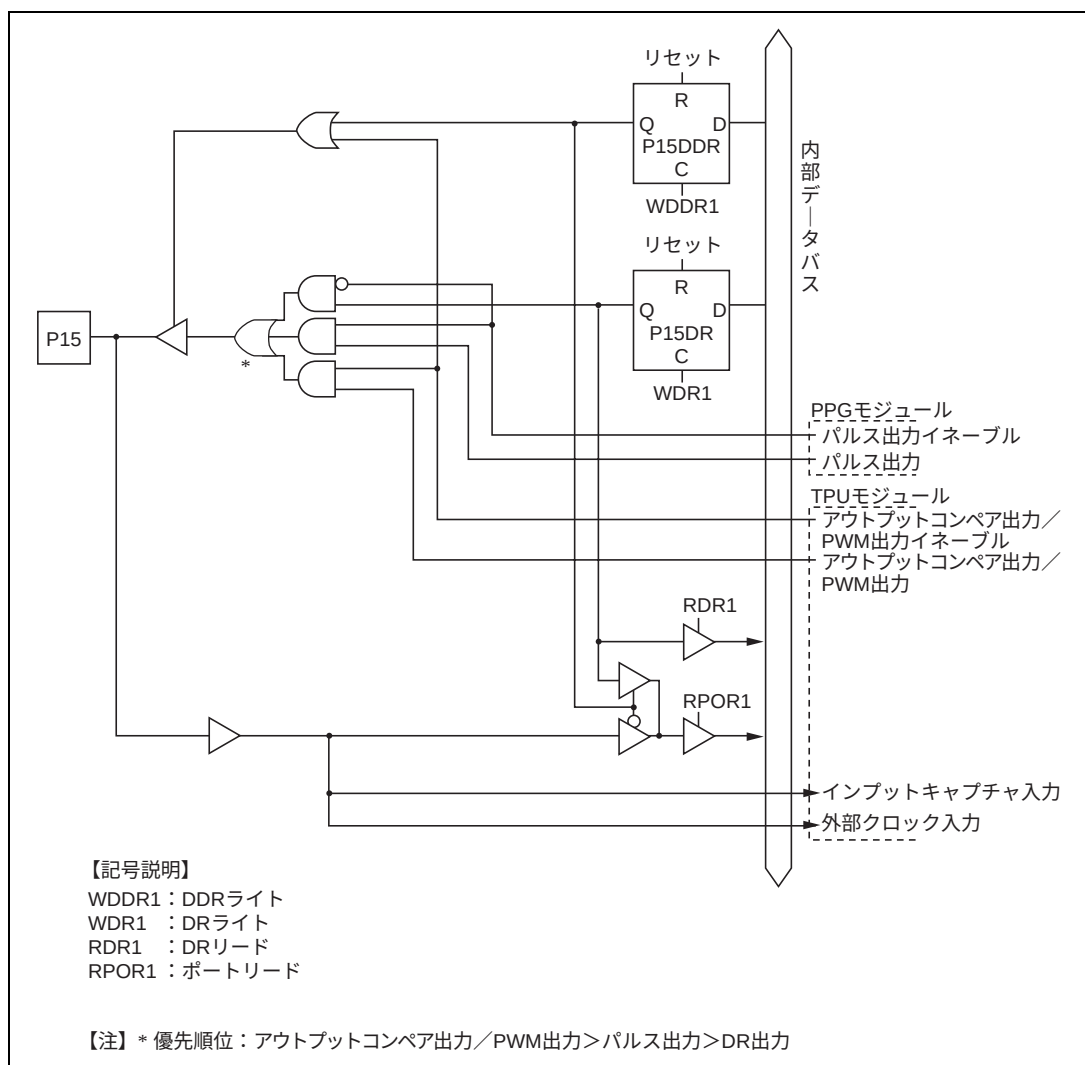


図 C.1 (d) ポート 1 ブロック図 (P15 端子)

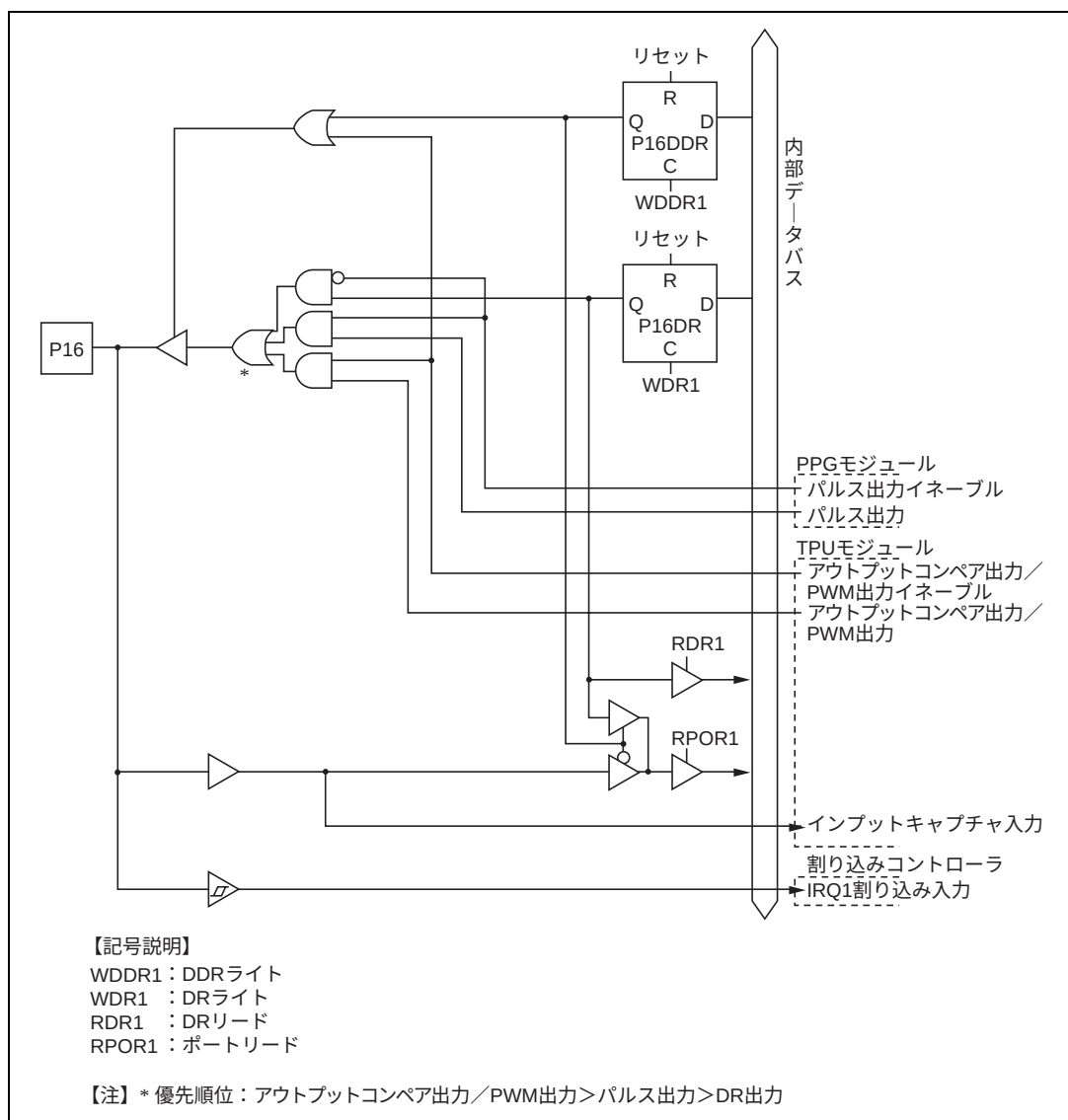


図 C.1 (e) ポート 1 ブロック図 (P16 端子)

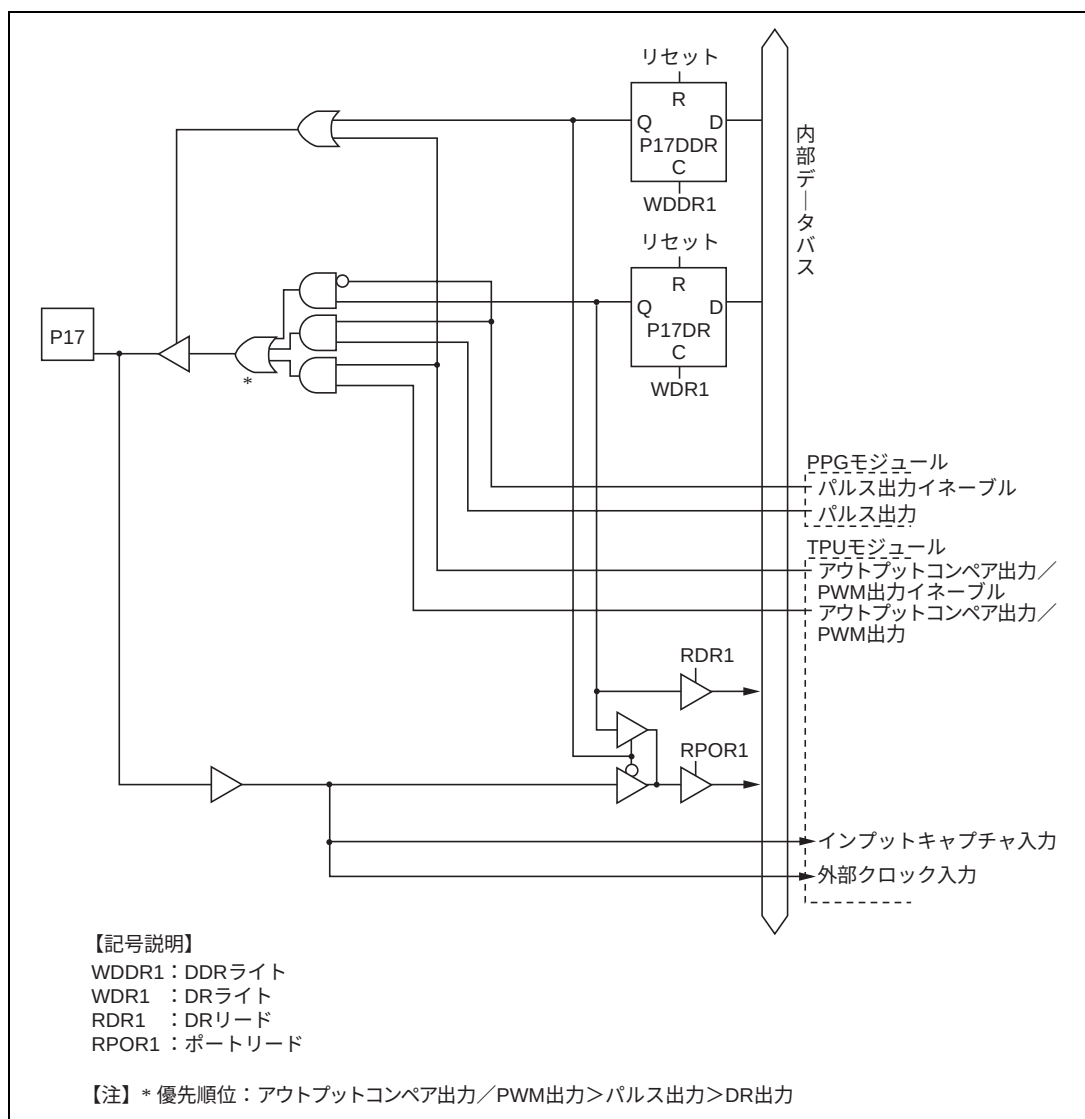


図 C.1 (f) ポート 1 ブロック図 (P17 端子)

C.2 ポート 2 ブロック図

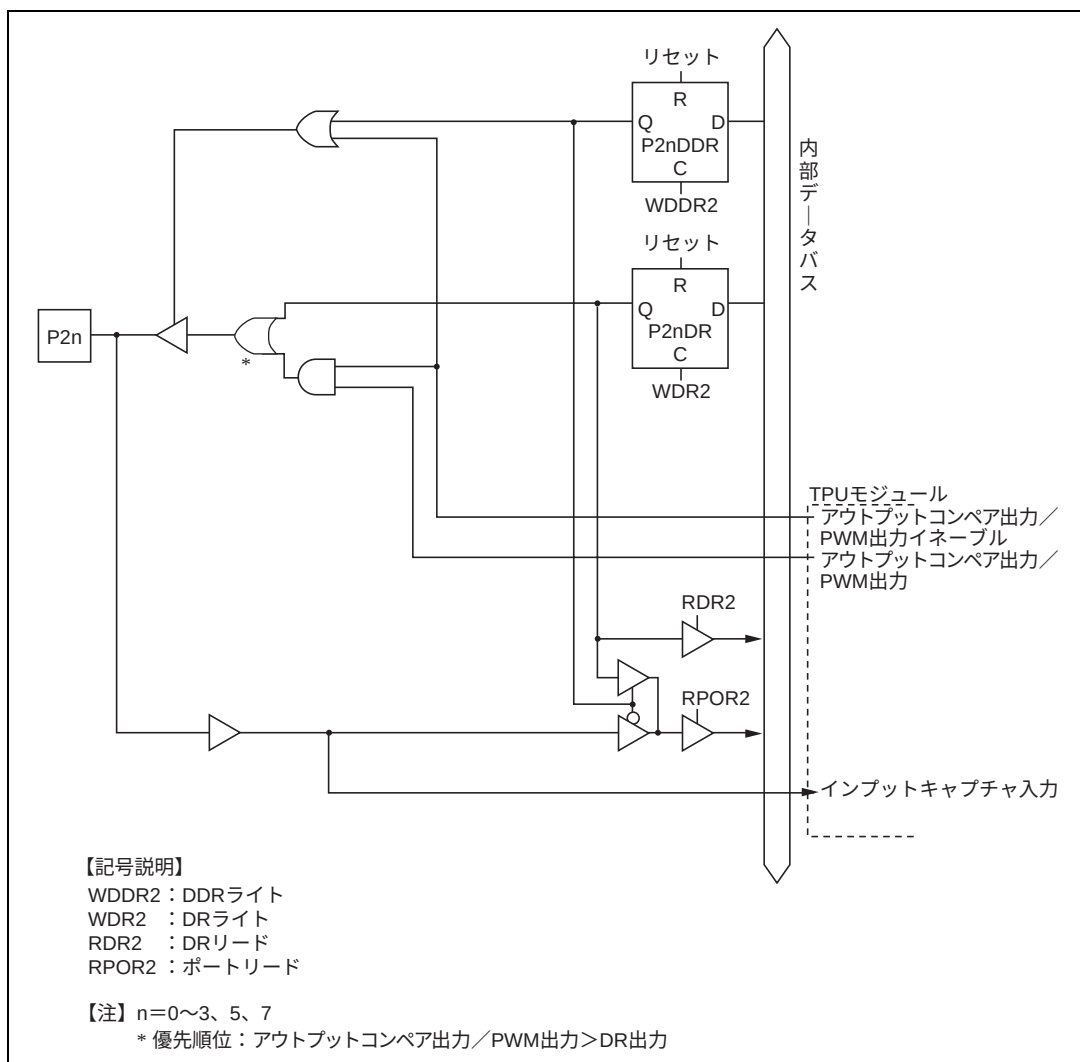
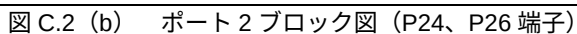


図 C.2 (a) ポート 2 ブロック図 (P20~P23、P25、P27 端子)



内部データバス

SCIモジュール
シリアル送信イネーブル
シリアル送信データ
TxD0

リセット
R
D
P30DDR
C
WDDR3
リセット
R
D
P30DR
C
WDR3
リセット
R
D
P30ODR
C
WODR3
RODR3
RDR3
RPOR3

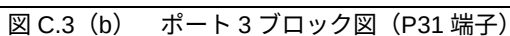
P30

*1
*2

【記号説明】
WDDR3 : DDRライト
WDR3 : DRライト
WODR3 : ODRライト
RDR3 : DRリード
RPOR3 : ポートリード
RODR3 : ODRリード

【注】 *1 出力イネーブル信号
*2 オープンドレイン制御信号

図 C.3 (a) ポート 3 ブロック図 (P30 端子)



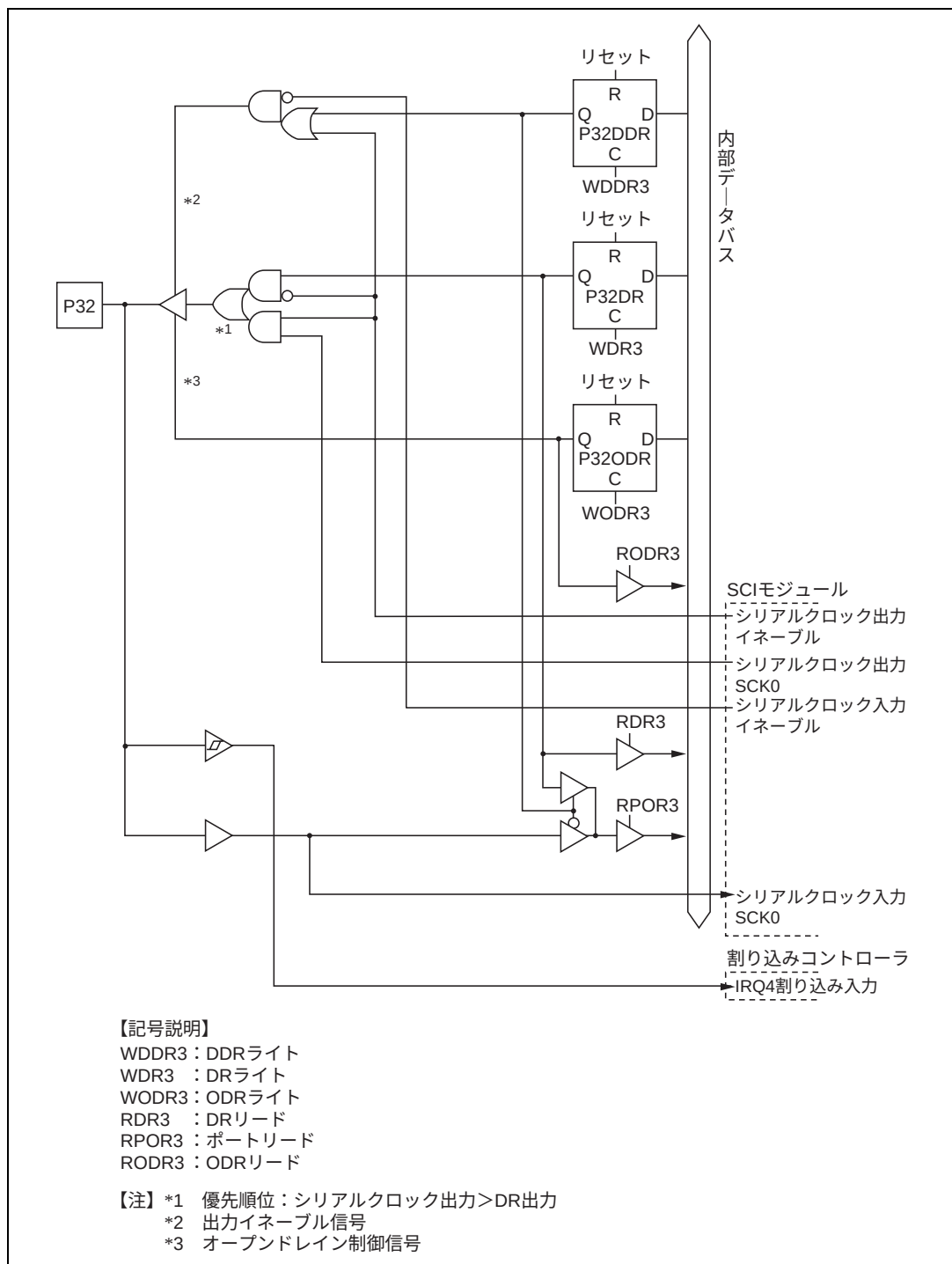


図 C.3 (c) ポート 3 ブロック図 (P32 端子)

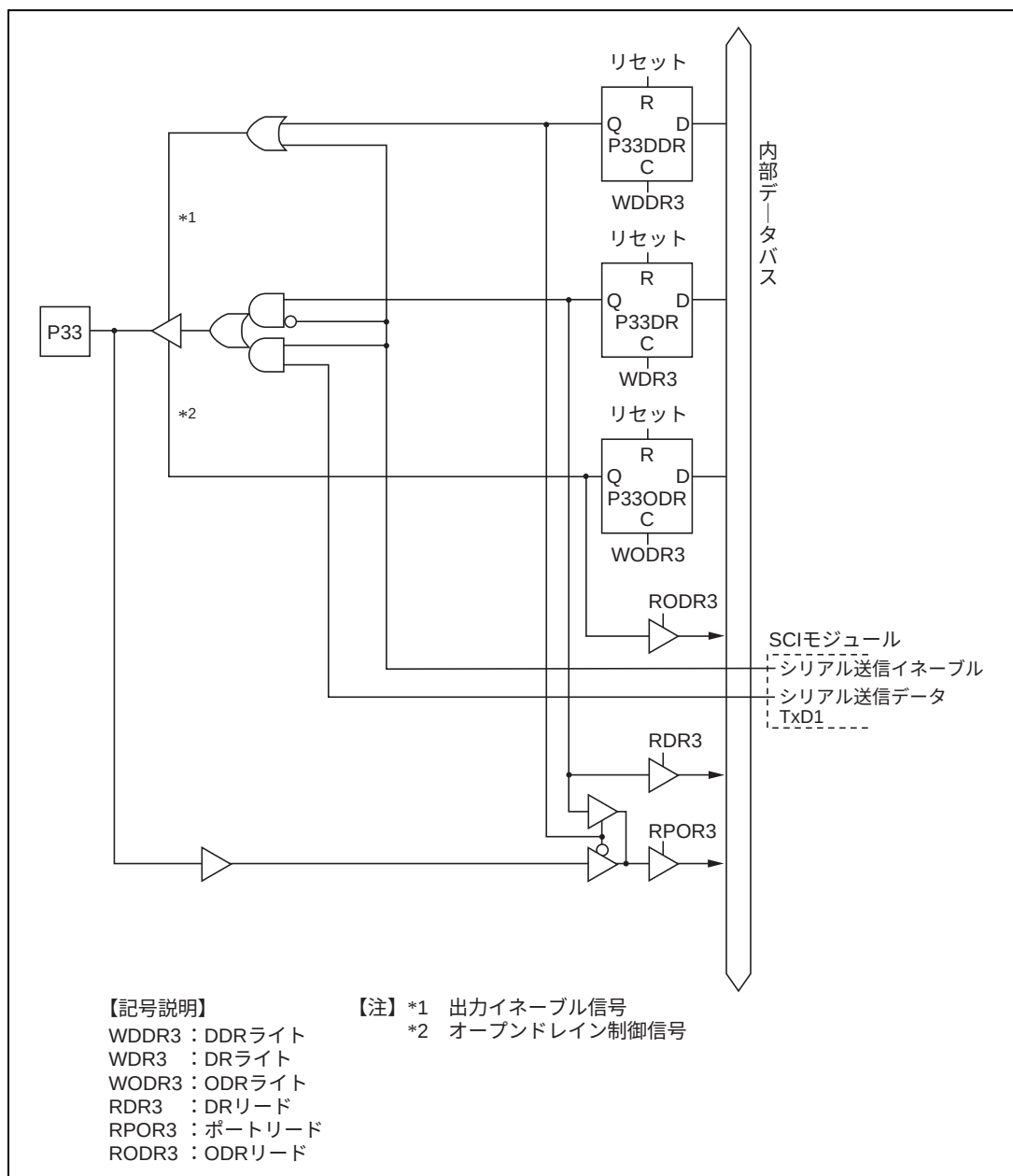
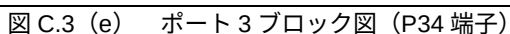
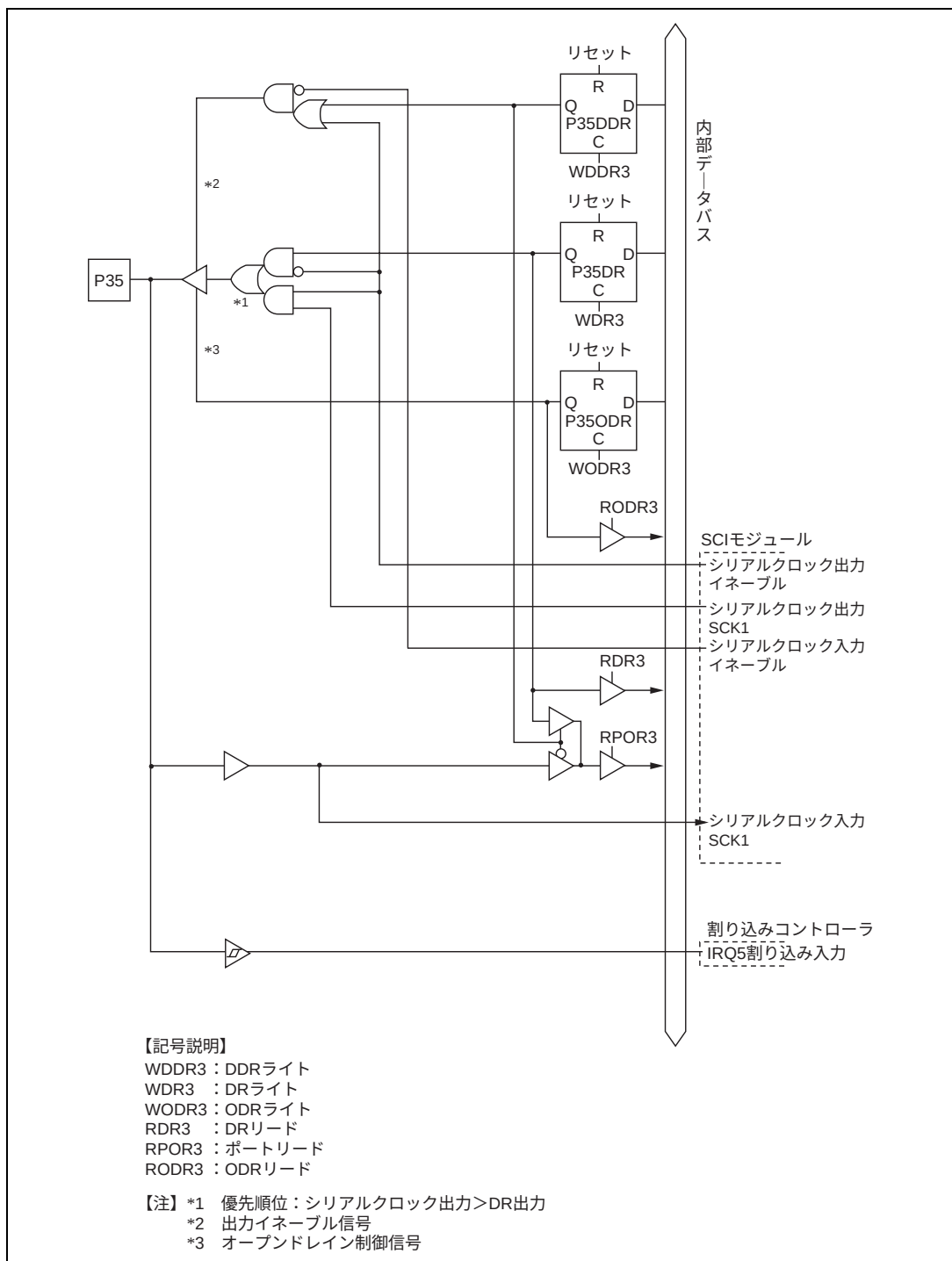


図 C.3 (d) ポート 3 ブロック図 (P33 端子)







C.4 ポート 4 ブロック図

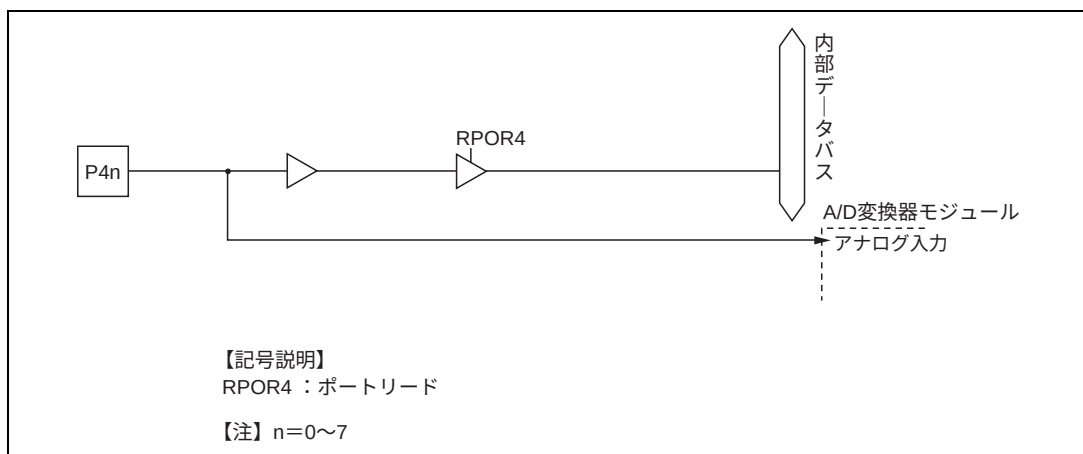


図 C.4 ポート 4 ブロック図 (P40~P47 端子)

C.5 ポート 5 ブロック図

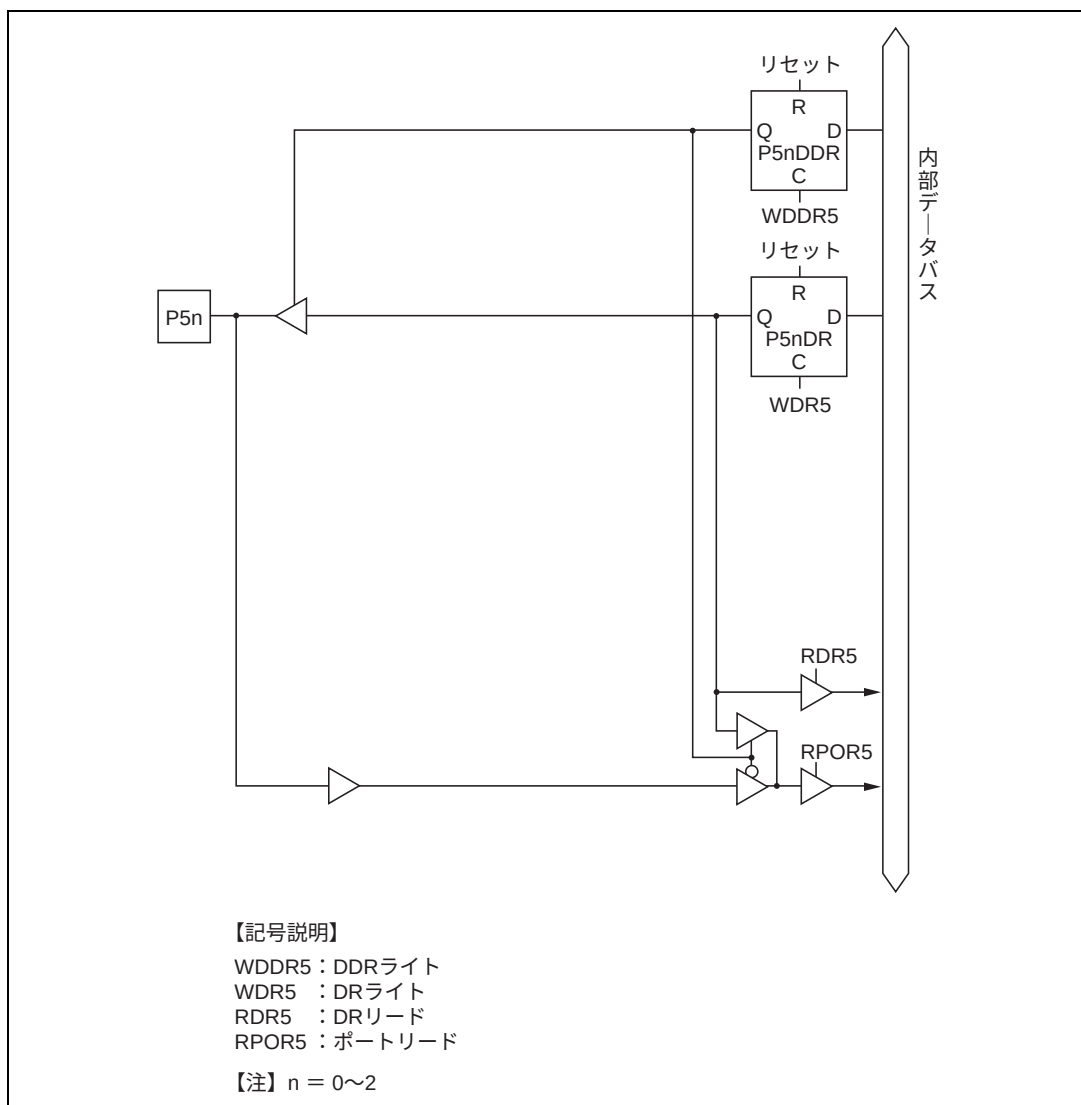


図 C.5 (a) ポート 5 ブロック図 (P50、P51、P52 端子) (H8S/2646、H8S/2646R、H8S/2645)

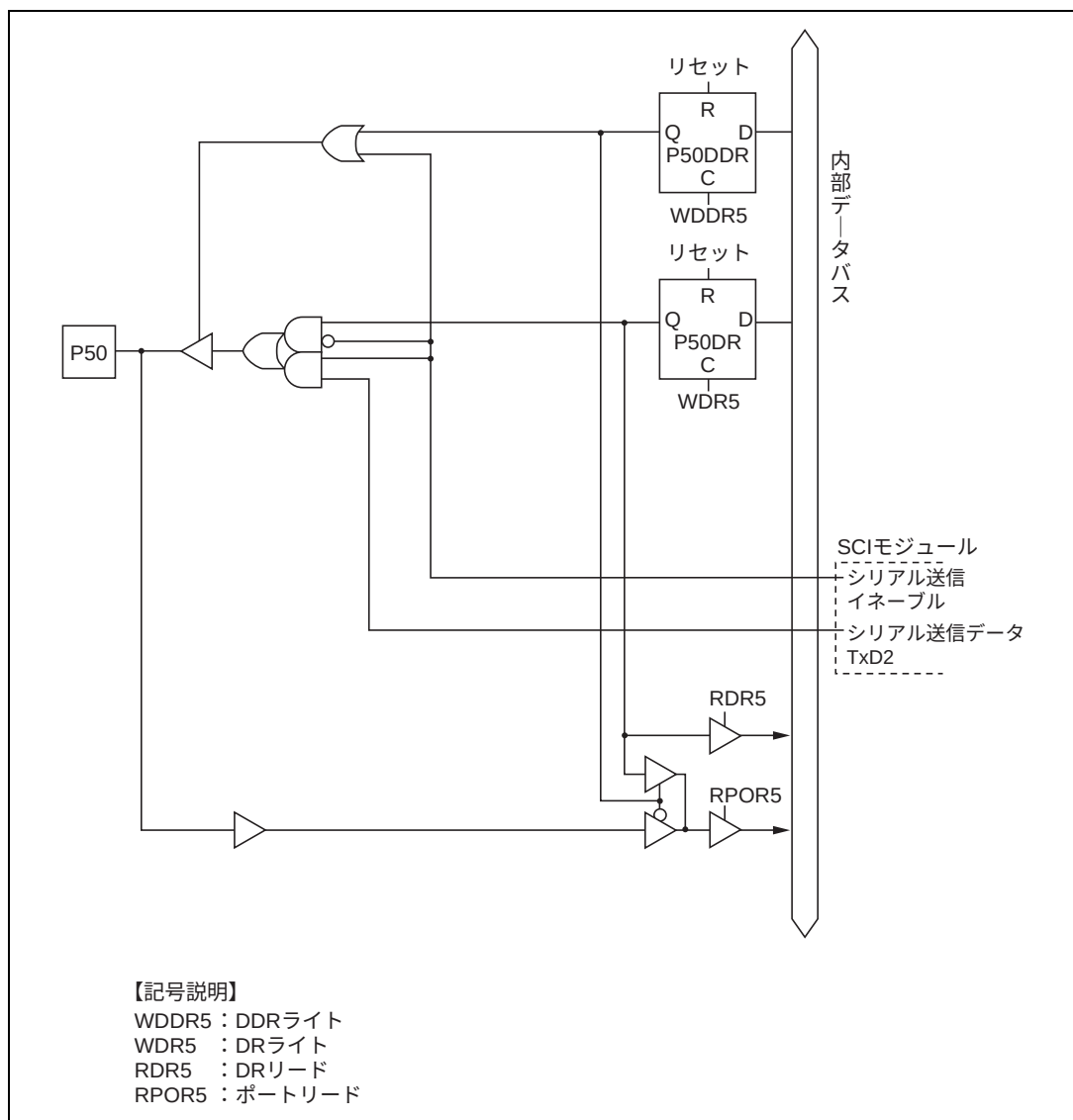


図 C.5 (b) ポート 5 ブロック図 (P50 端子) (H8S/2648、H8S/2648R、H8S/2647)

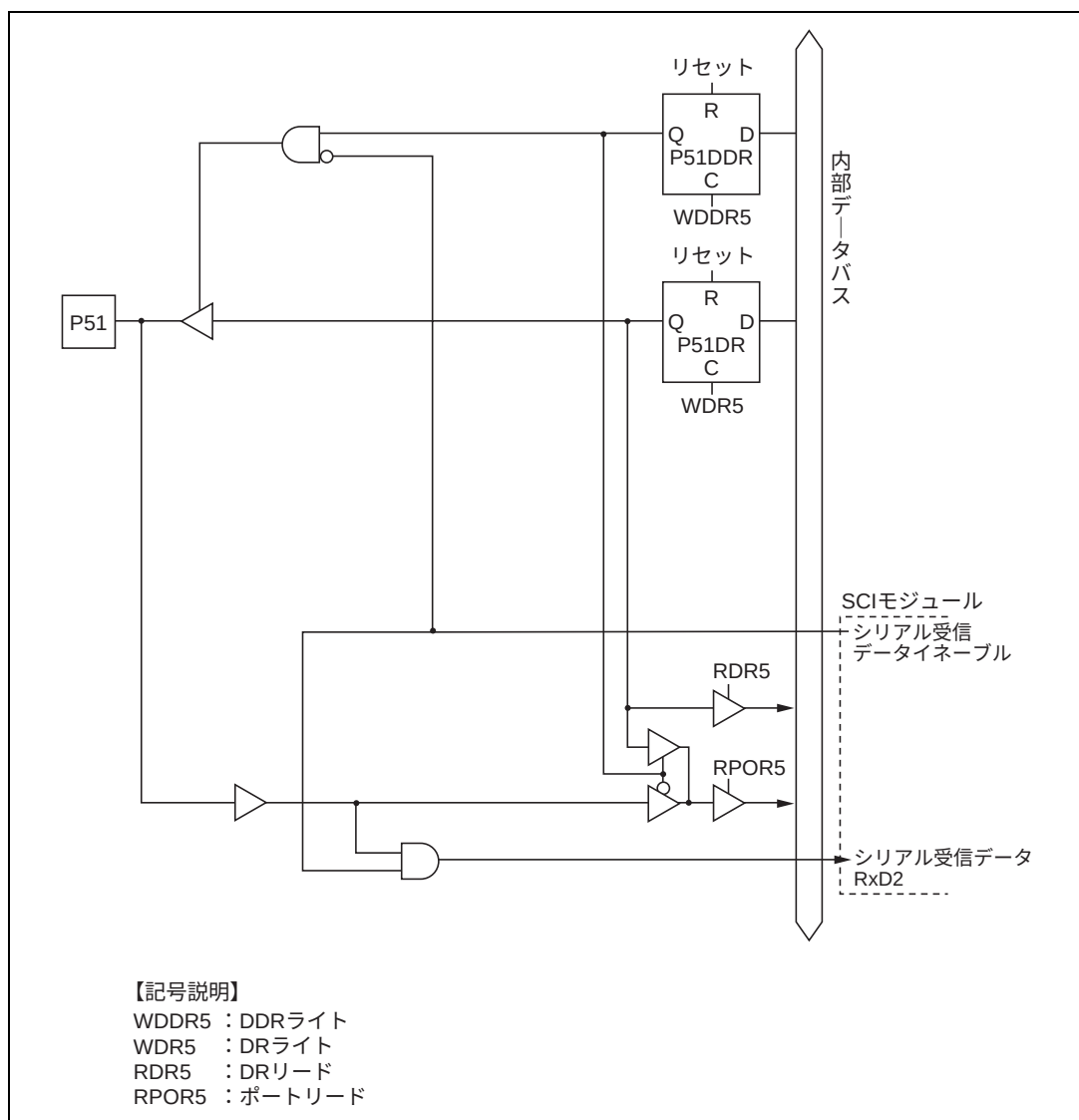


図 C.5 (c) ポート 5 ブロック図 (P51 端子) (H8S/2648、H8S/2648R、H8S/2647)

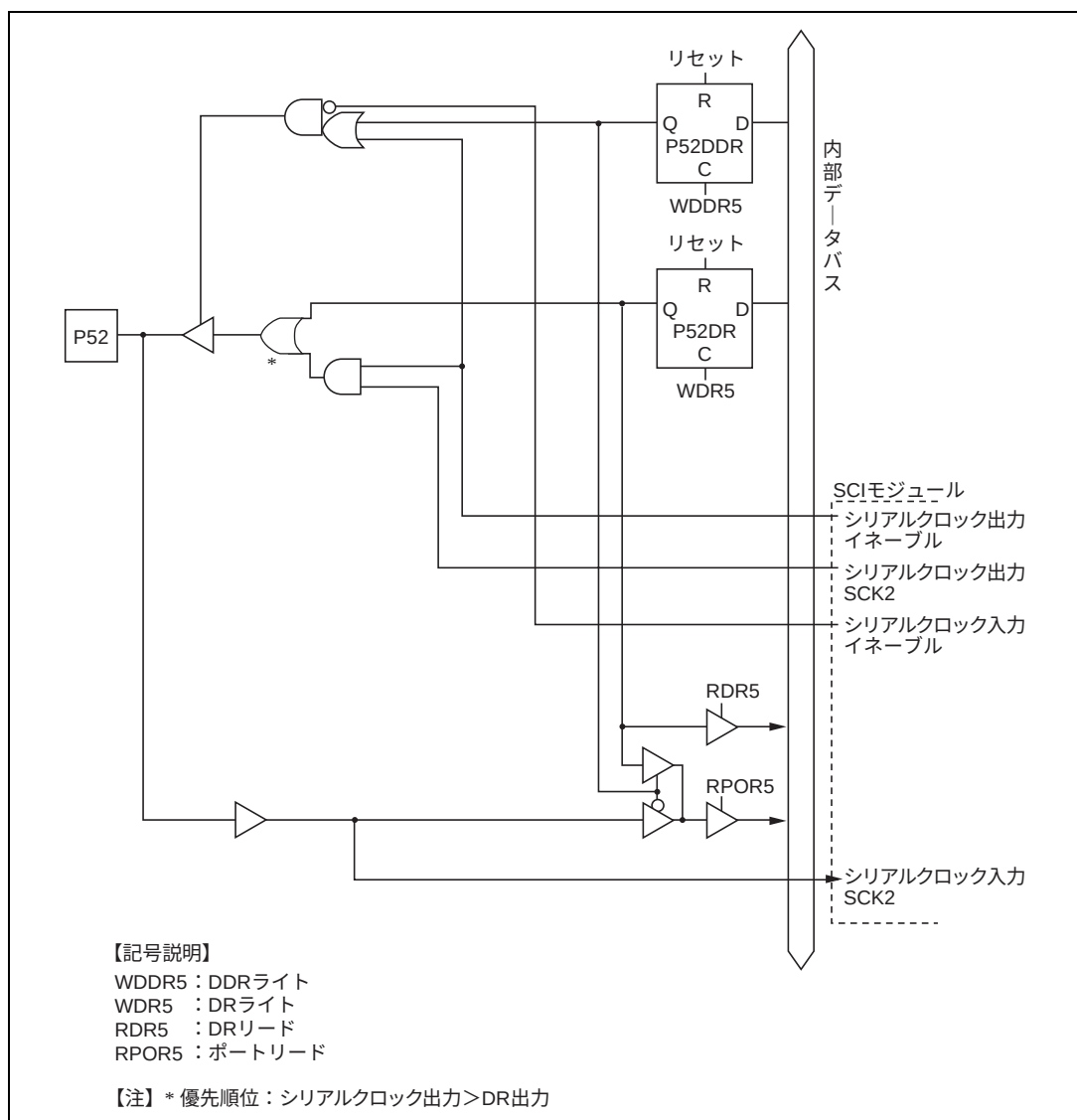


図 C.5 (d) ポート 5 ブロック図 (P52 端子) (H8S/2648、H8S/2648R、H8S/2647)

C.6 ポート 9 ブロック図

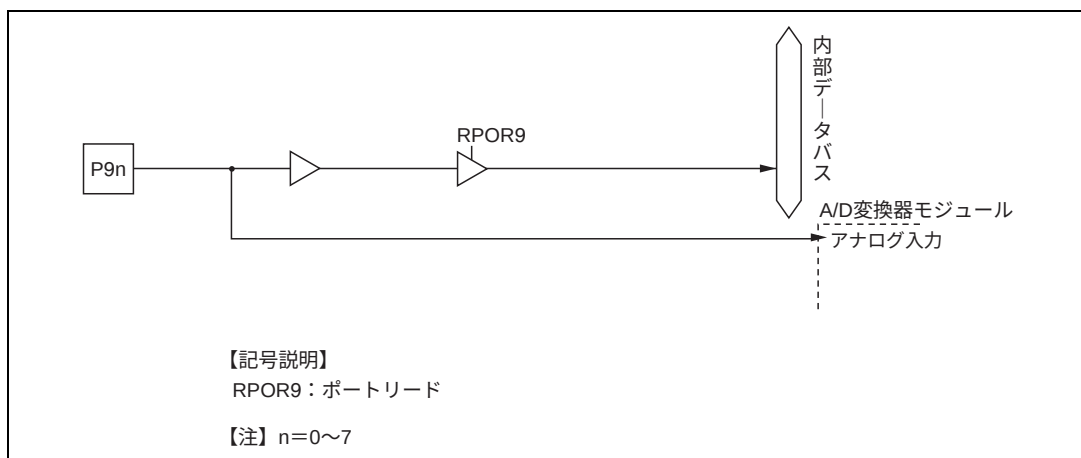


図 C.6 ポート 9 ブロック図 (P90～P97 端子)

C.7 ポート A ブロック図

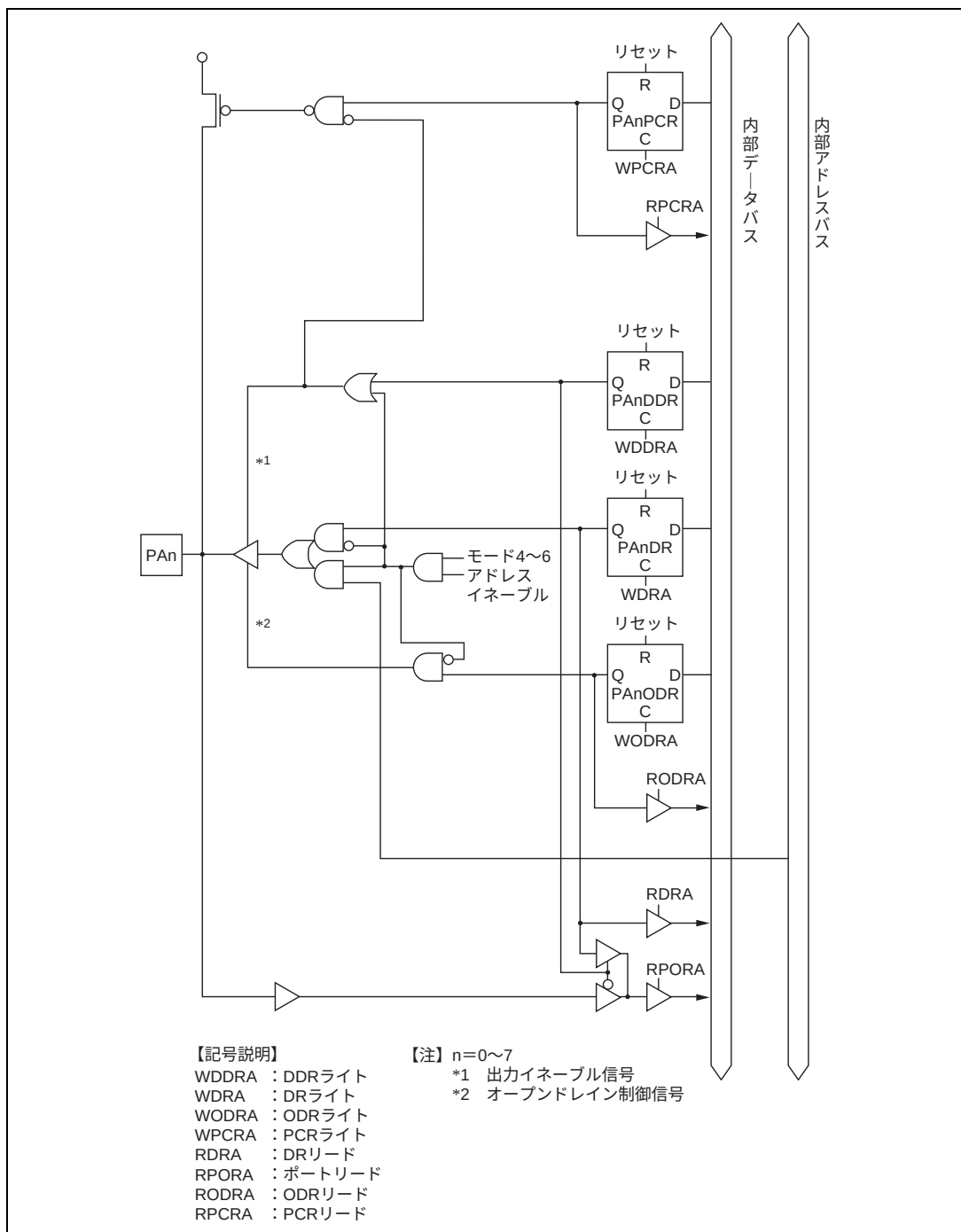


図 C.7 ポート A ブロック図 (PA0~PA7 端子)

C.8 ポート B ブロック図

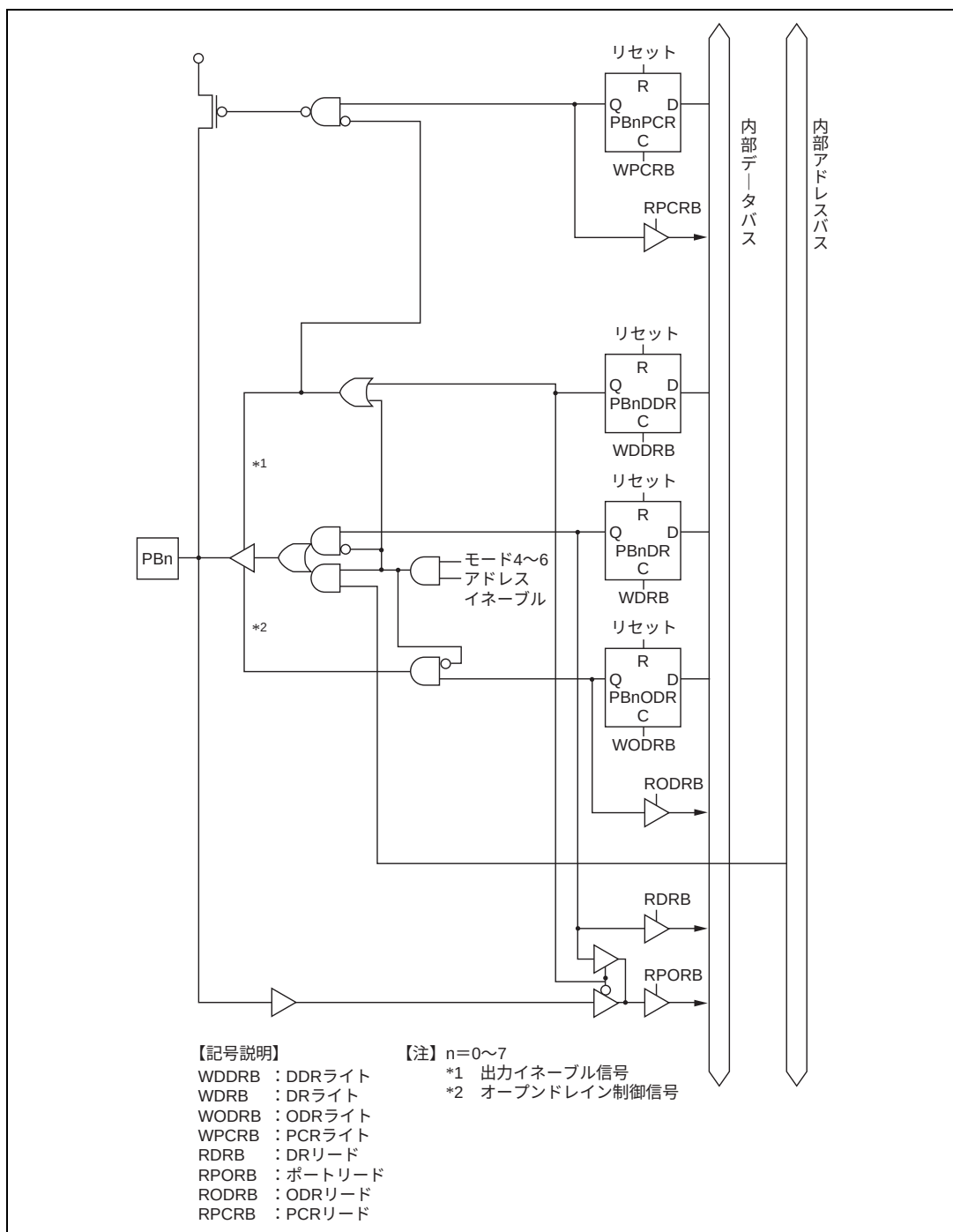


図 C.8 ポート B ブロック図 (PB0~PB7 端子)

C.9 ポート C ブロック図

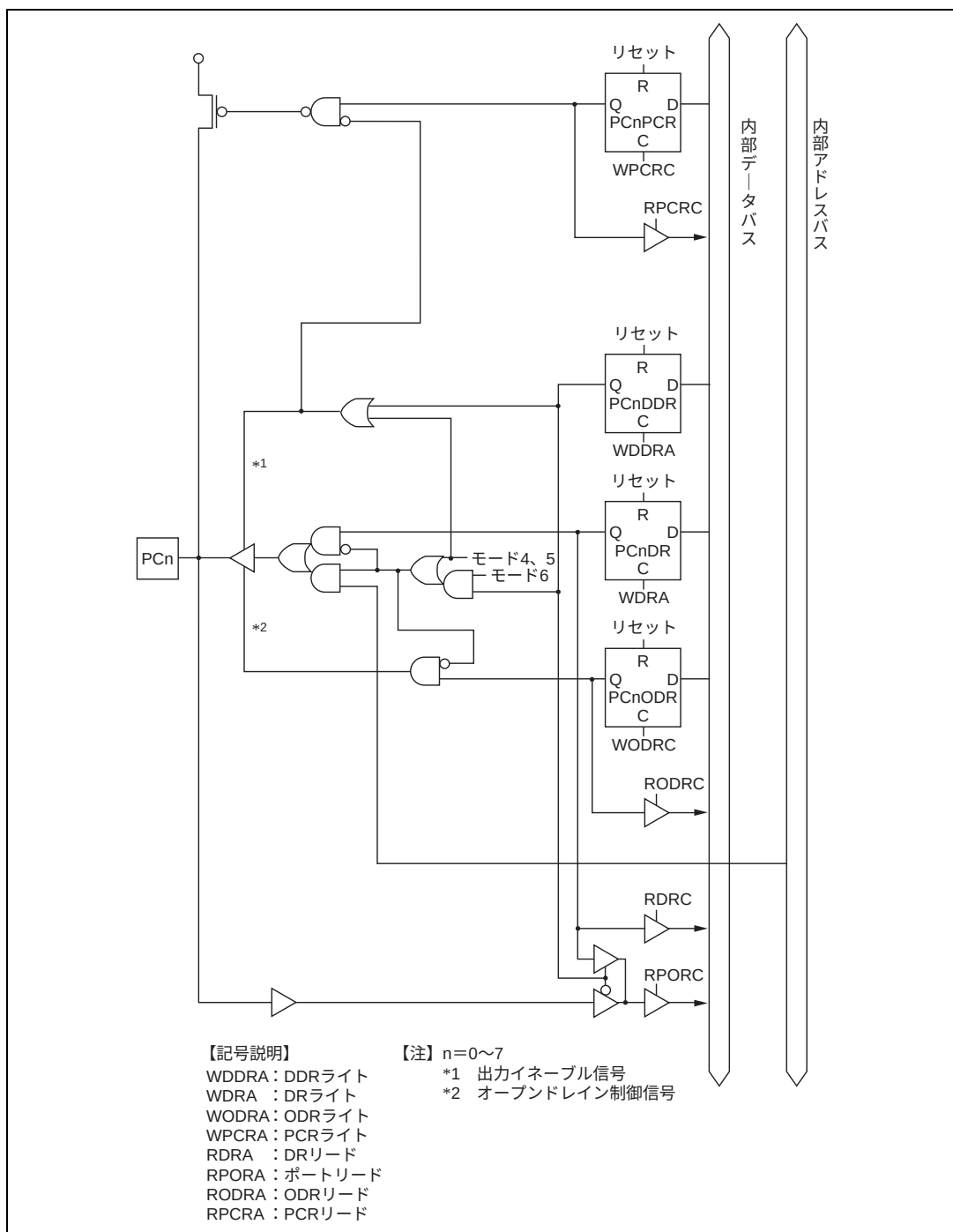


図 C.9 ポート C ブロック図 (PC0~PC7 端子)

図 C.10 ポート D ブロック図 (PD0~PD7 端子)

C.11 ポート E ブロック図

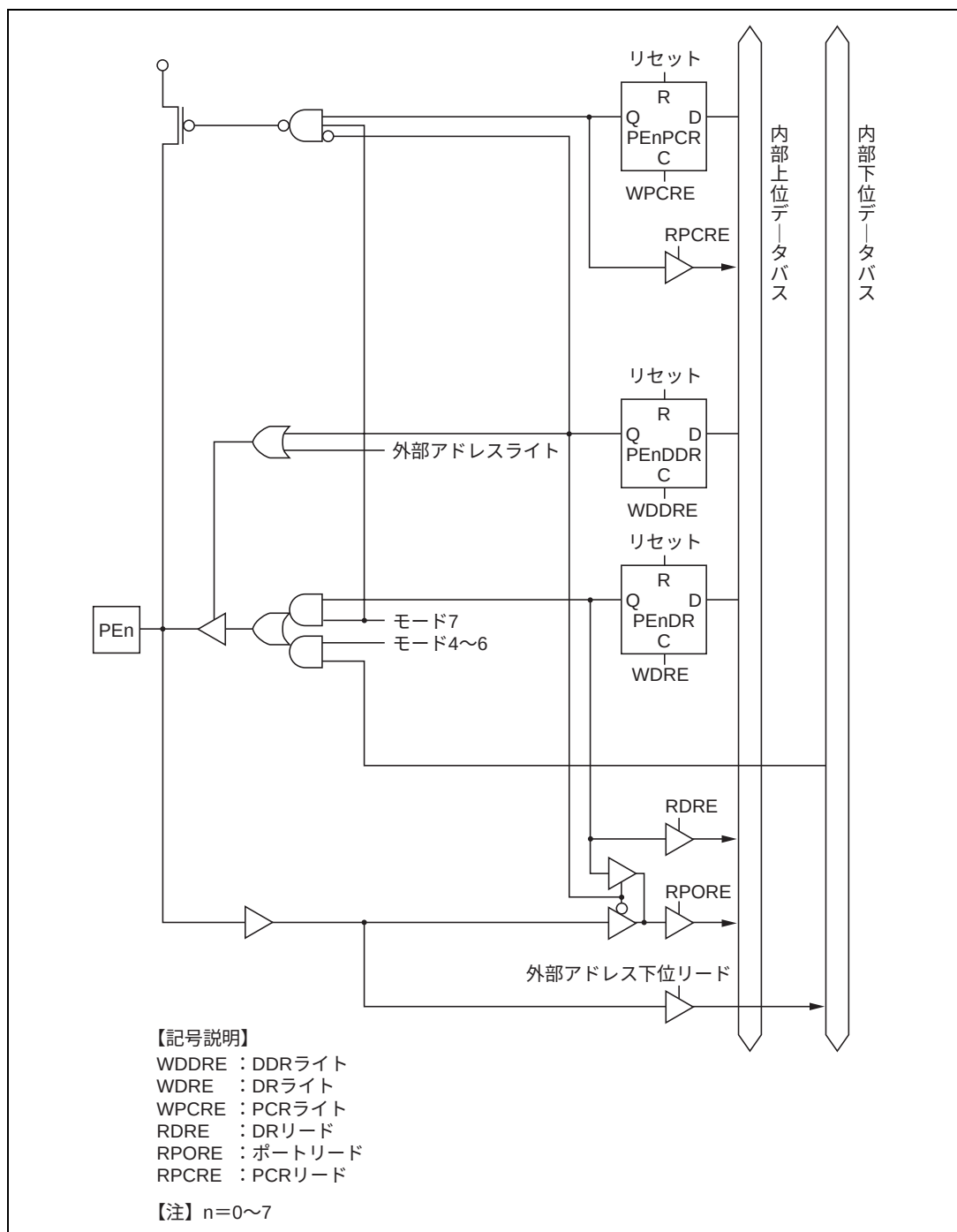


図 C.11 ポート E ブロック図 (PE0~PE7 端子)

C.12 ポート F ブロック図

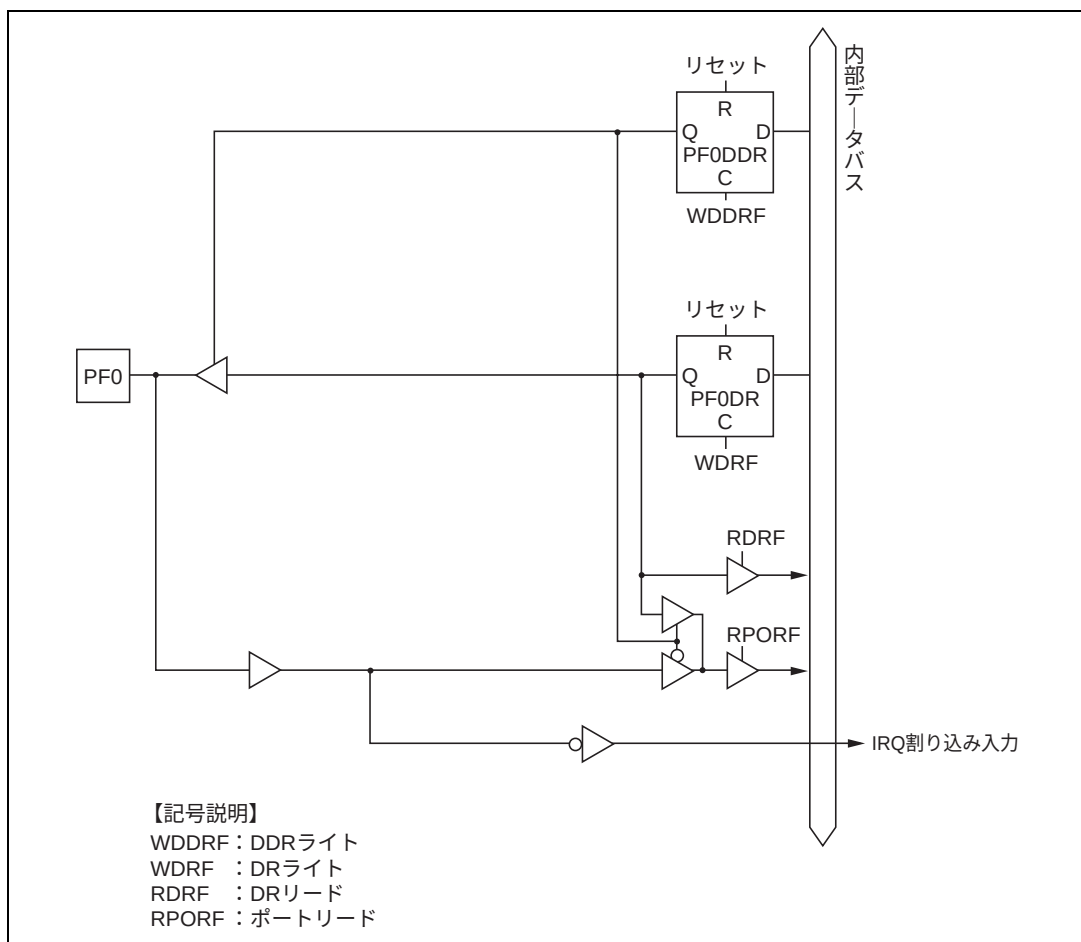


図 C.12 (a) ポート F ブロック図 (PF0 端子)

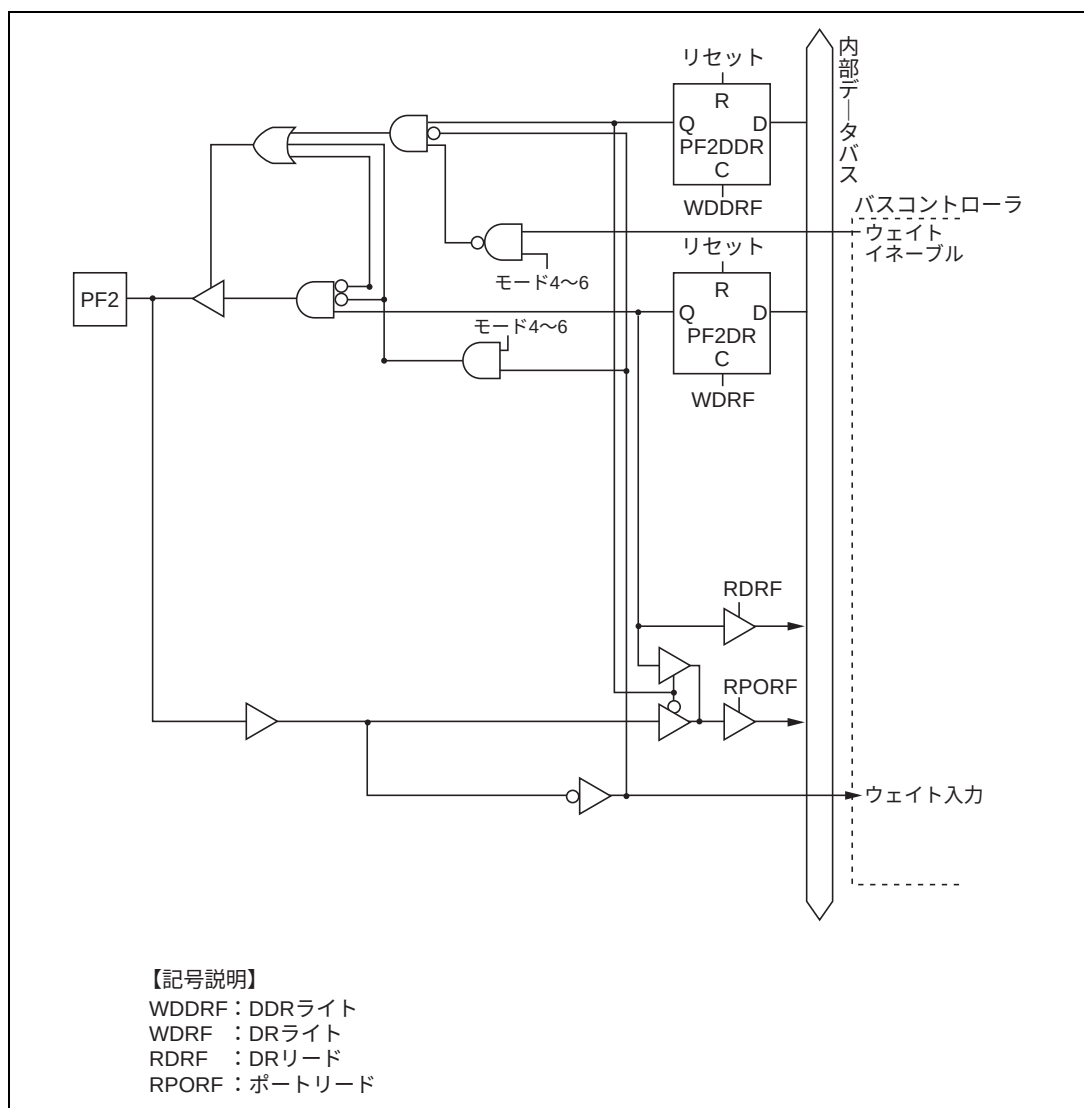
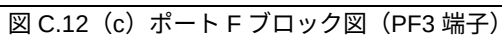
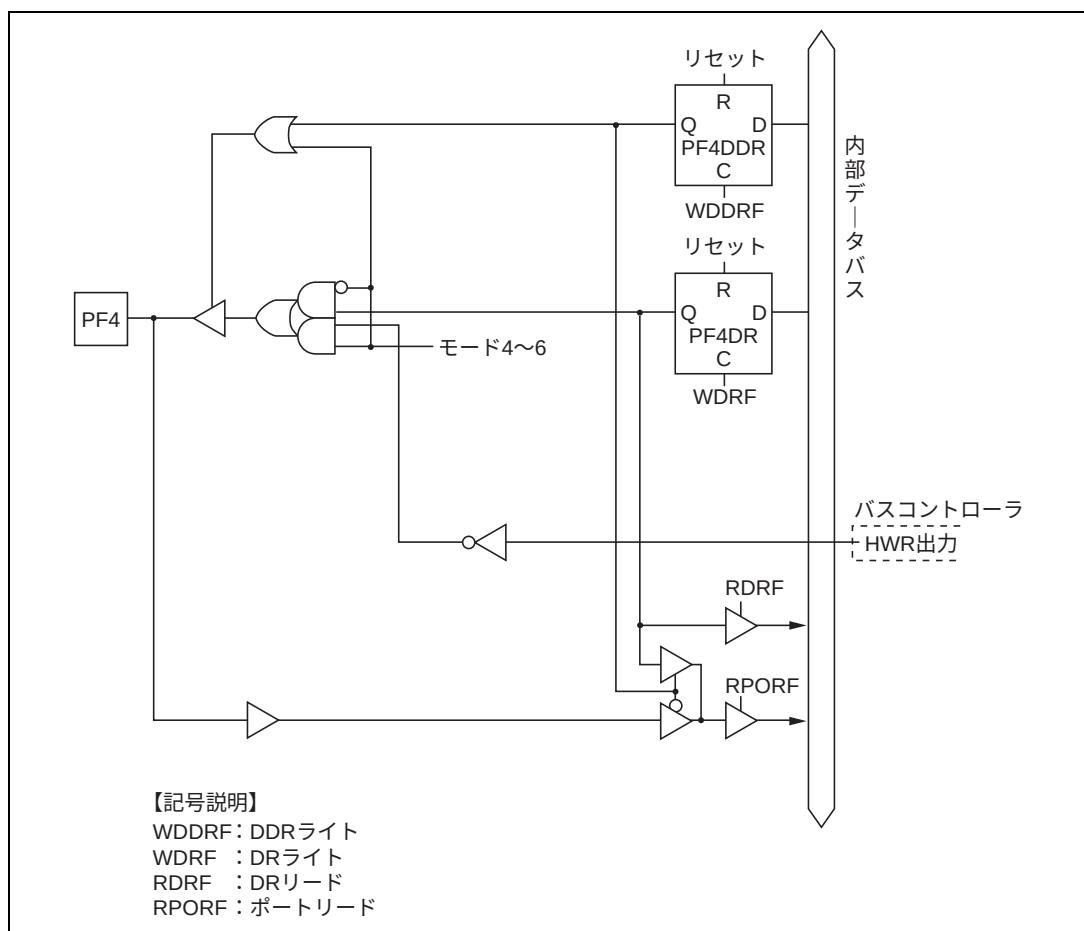


図 C.12 (b) ポート F ブロック図 (PF2 端子)





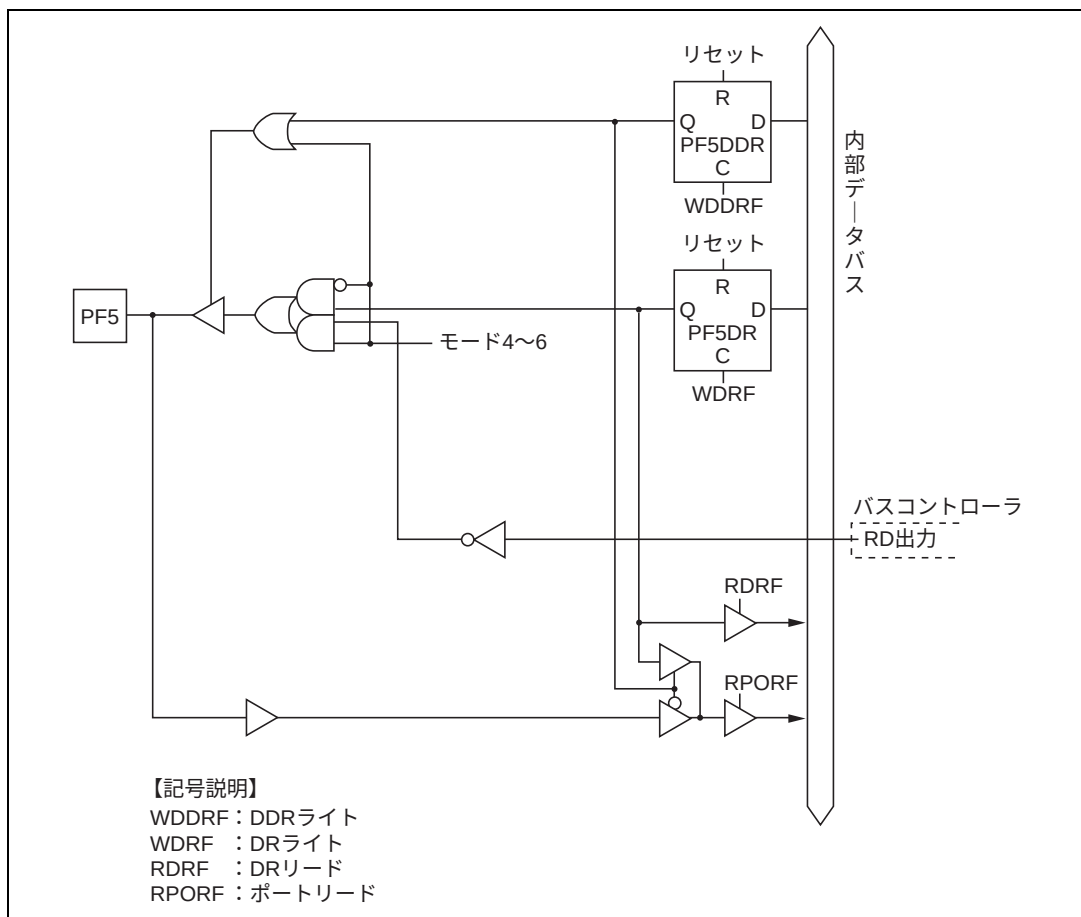
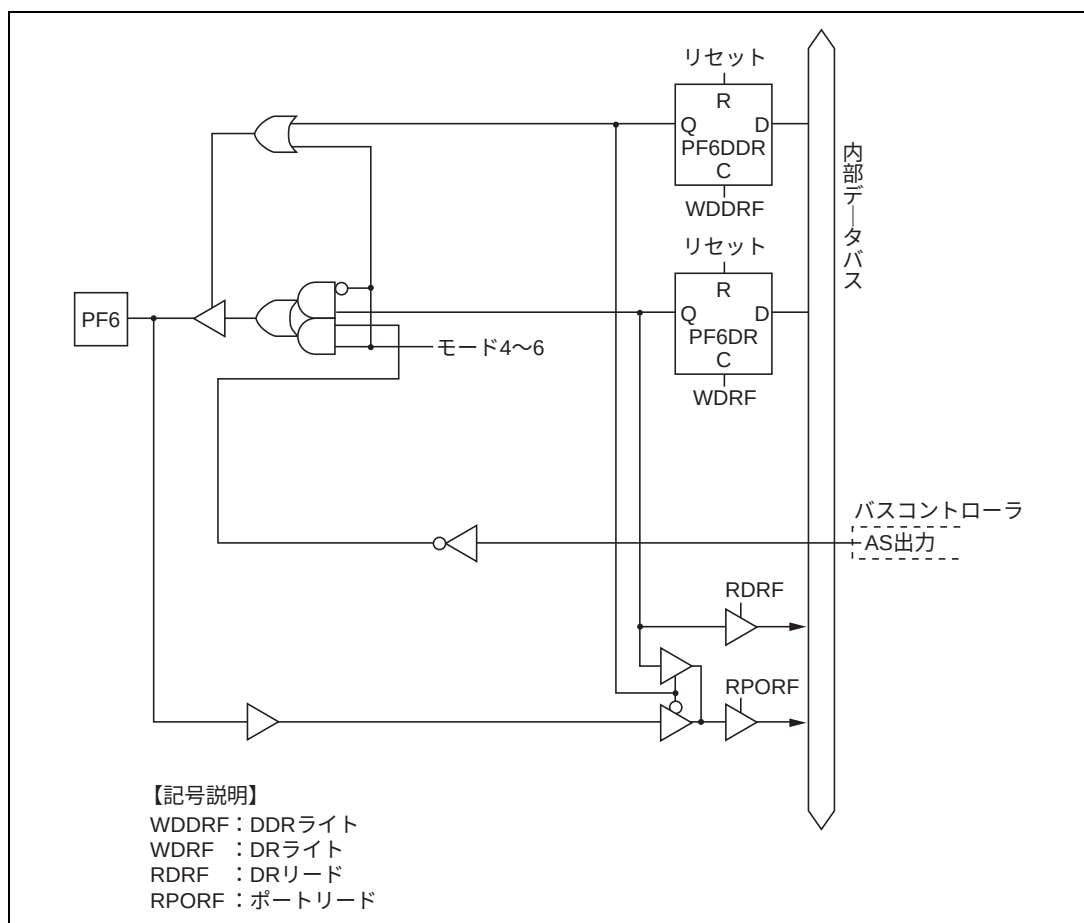


図 C.12 (e) ポート F ブロック図 (PF5 端子)



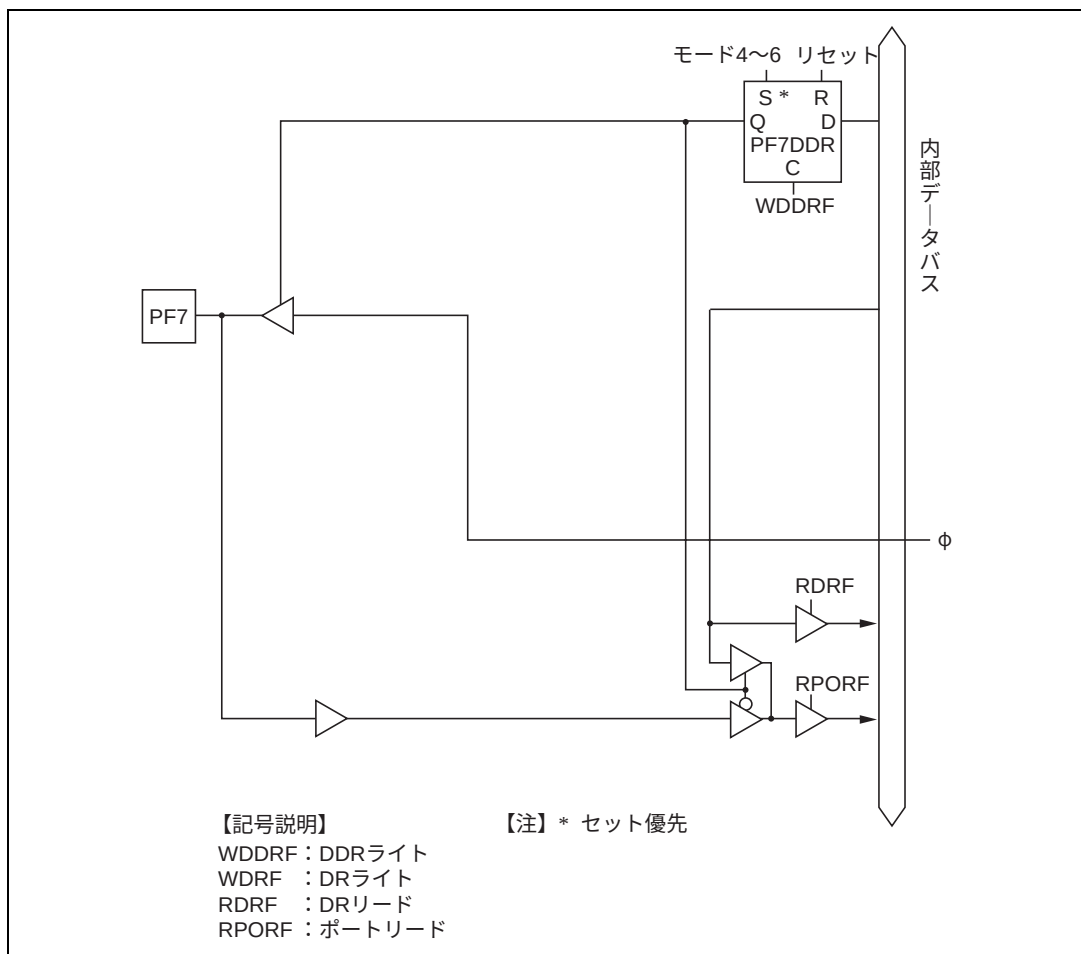


図 C.12 (g) ポート F ブロック図 (PF7 端子)

C.13 ポート H ブロック図

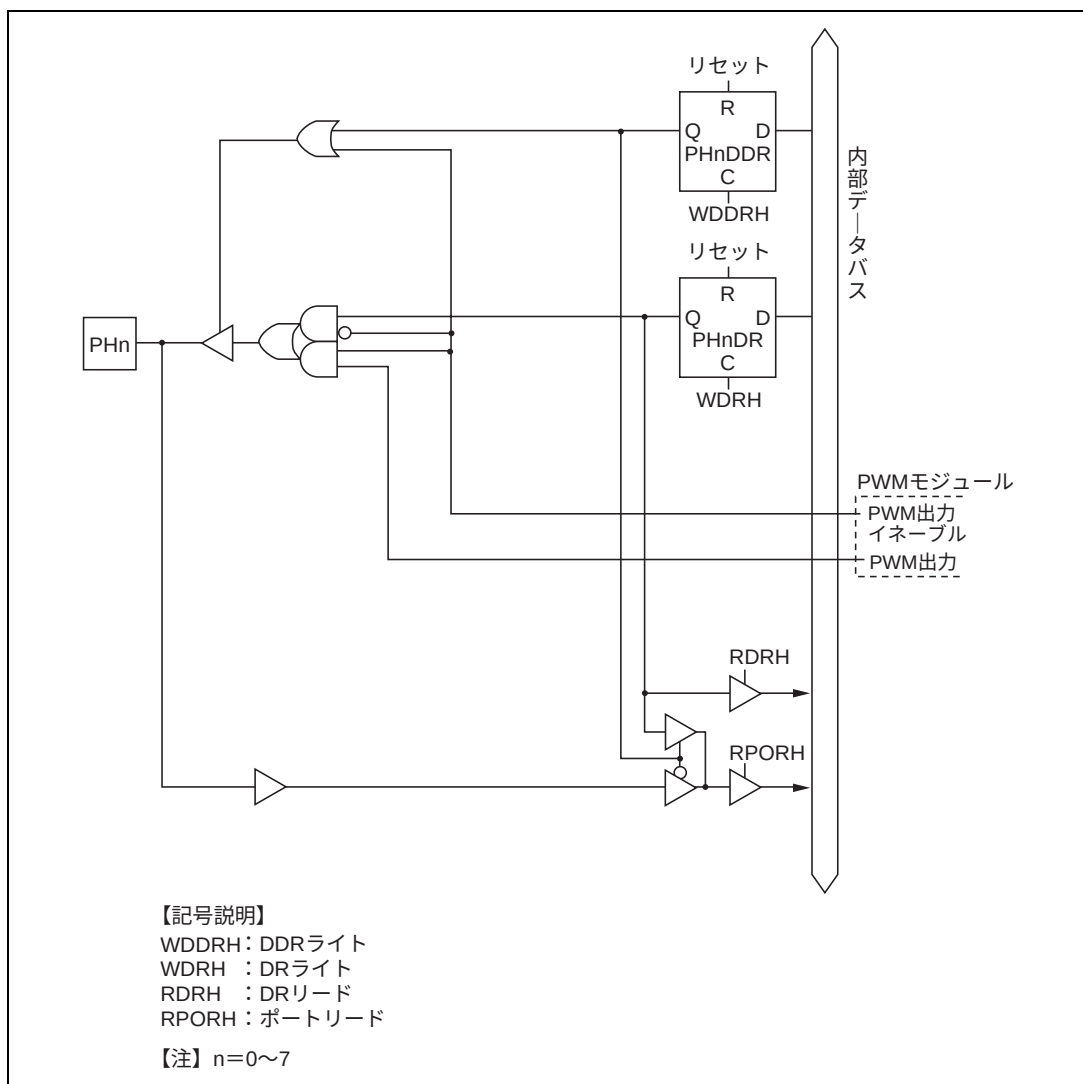


図 C.13 ポート H ブロック図 (PH0~PH7 端子)

C.14 ポート J ブロック図

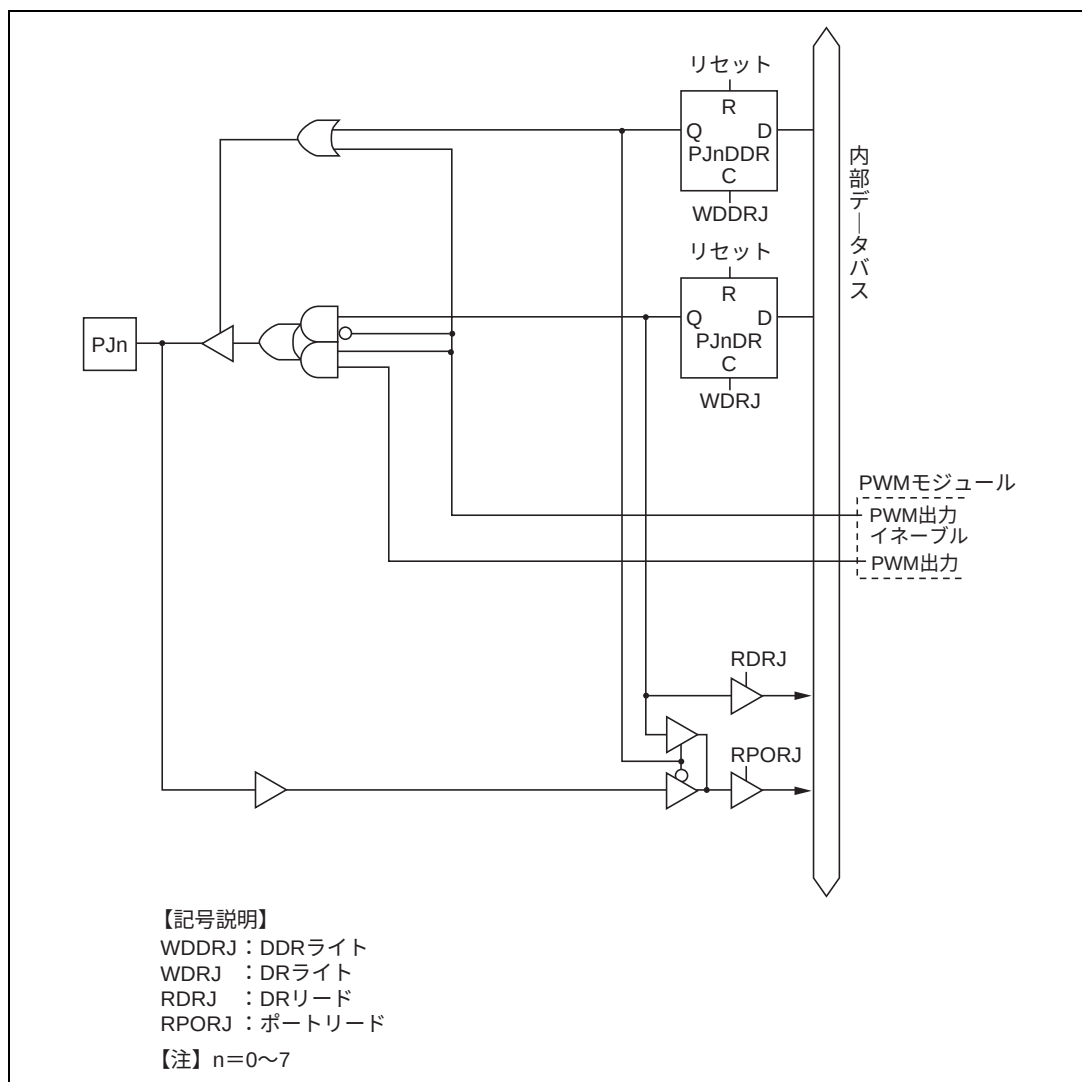


図 C.14 ポート J ブロック図 (PJ0~PJ7 端子)

C.15 ポート K ブロック図

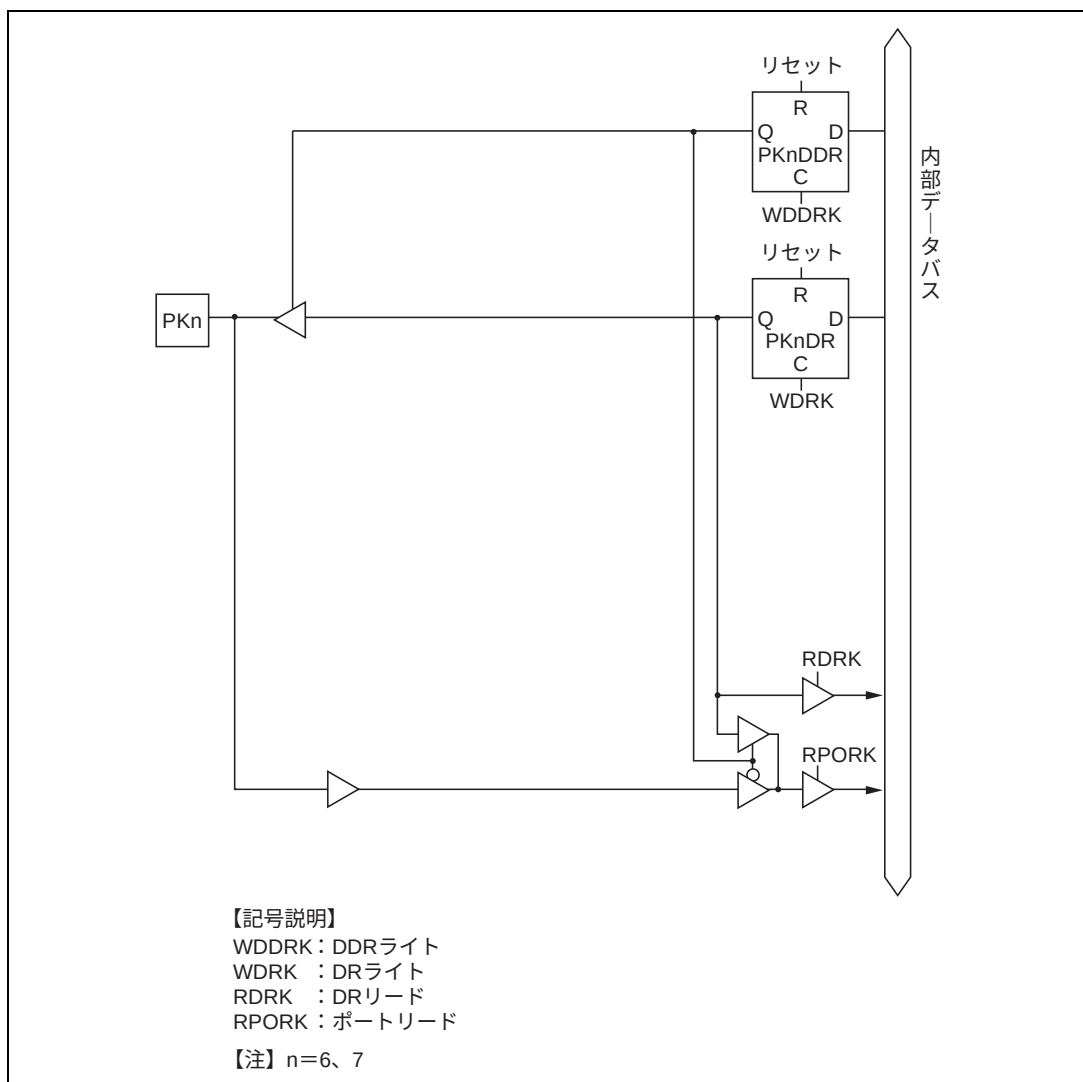


図 C.15 ポート K ブロック図 (PK6、PK7 端子)

D. 端子状態

D.1 各処理状態におけるポートの状態

表 D.1 各処理状態における I/O ポートの状態 (H8S/2646、H8S/2646R、H8S/2645)

ポート名 端子名	MCU 動作モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	プログラム実行状態 スリープモード
ポート 1	4~7	T	T	keep	入出力ポート
ポート 2	4~7	T	T	keep	入出力ポート
ポート 3	4~7	T	T	keep	入出力ポート
ポート 4	4~7	T	T	T	入力ポート
ポート 5	4~7	T	T	keep	入出力ポート
ポート 9	4~7	T	T	T	入力ポート
ポート A	4、5	L	T	[アドレス出力時 OPE=0] T [アドレス出力時 OPE=1] keep [セグメント、コモン出力時] Port [上記以外] keep	[アドレス出力時] A23~A16 [セグメント、コモン出力時] SEG24~SEG21 COM4~COM1 [上記以外] 入出力ポート
	6	T			
	7	T	T	[セグメント、コモン出力時] Port [上記以外] keep	[セグメント、コモン出力時] SEG24~SEG21 COM4~COM1 [上記以外] 入出力ポート
ポート B	4、5	L	T	[アドレス出力時 OPE=0] T [アドレス出力時 OPE=1] keep [セグメント出力時] Port [上記以外] keep	[アドレス出力時] A15~A8 [セグメント出力時] SEG16~SEG9 [上記以外] 入出力ポート
	6	T			
	7	T	T	[セグメント出力時] Port [上記以外] keep	[セグメント出力時] SEG16~SEG9 [上記以外] 入出力ポート
ポート C	4、5	L	T	[OPE=0] T [OPE=1] keep	A7~A0

ポート名 端子名	MCU 動作モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	プログラム実行状態 スリープモード
ポート C	6	T	T	[セグメント出力時] Port [DDR=1,OPE=0] T [DDR=1,OPE=1] keep [DDR=0] keep	[セグメント出力時] SEG8~SEG1 [DDR=1] A7~A0 [DDR=0] 入力ポート
	7	T	T	[セグメント出力時] Port [上記以外] keep	[セグメント出力時] SEG8~SEG1 [上記以外] 入出力ポート
ポート D	4~6	T	T	T	データバス
	7	T	T	keep	入出力ポート
ポート E	4~6	8ビットバス	T	keep	入出力ポート
		16ビットバス	T	T	データバス
	7	T	T	keep	入出力ポート
PF7/ ϕ	4~6	クロック 出力	T	[DDR=0] T	[DDR=0] T
	7	T		[DDR=1] H	[DDR=1] クロック出力
PF6/ $\overline{AS}$	4~6	H	T	[OPE=0] T [OPE=1] H	$\overline{AS}$
	7	T	T	[セグメント出力時] Port [上記以外] keep	[セグメント出力時] SEG20 [上記以外] 入出力ポート
PF5/ $\overline{RD}$ PF4/ $\overline{HWR}$	4~6	H	T	[OPE=0] T [OPE=1] H	$\overline{RD}, \overline{HWR}$
	7	T	T	[セグメント出力時] Port [上記以外] keep	[セグメント出力時] SEG19, SEG18 [上記以外] 入出力ポート
PF3/ $\overline{LWR}$	4~6	H	T	[OPE=0] T [OPE=1] H	$\overline{LWR}$
	7	T	T	Keep	入出力ポート

ポート名 端子名	MCU 動作モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	プログラム実行状態 スリープモード
PF2/WAIT	4～6	T	T	[セグメント出力時] Port [上記以外] keep	[WAITE=1] WAIT
	7	T	T	[セグメント出力時] Port [上記以外] keep	[セグメント出力時] SEG17 [上記以外] 入出力ポート
PF0	4～7	T	T	keep	入出力ポート
ポート H	4～7	T	T	keep	入出力ポート
ポート J	4～7	T	T	keep	入出力ポート
ポート K	4～7	T	T	keep	入出力ポート
HTxD	4～7	H	T	H	HTxD 出力
HRxD	4～7	入力	T	T	HRxD 入力

表 D.2 各処理状態における I/O ポートの状態 (H8S/2648、H8S/2648R、H8S/2647)

ポート名 端子名	MCU 動作モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	プログラム実行状態 スリープモード
ポート 1	4～7	T	T	keep	入出力ポート
ポート 2	4～7	T	T	keep	入出力ポート
ポート 3	4～7	T	T	keep	入出力ポート
ポート 4	4～7	T	T	T	入力ポート
ポート 5	4～7	T	T	keep	入出力ポート
ポート 9	4～7	T	T	T	入力ポート
ポート A	4、5	L	T	[アドレス出力時 OPE=0] T [アドレス出力時 OPE=1] keep [セグメント、コモン出力時] Port [上記以外] keep	[アドレス出力時] A23～A16 [セグメント、コモン出力時] SEG40～SEG37 COM4～COM1 [上記以外] 入出力ポート
	6	T			
	7	T		[セグメント、コモン出力時] Port [上記以外] keep	[セグメント、コモン出力時] SEG40～SEG37 COM4～COM1 [上記以外] 入出力ポート
ポート B	4、5	L	T	[アドレス出力時 OPE=0] T [アドレス出力時 OPE=1] keep [セグメント出力時] Port [上記以外] keep	[アドレス出力時] A15～A8 [セグメント出力時] SEG32～SEG25 [上記以外] 入出力ポート
	6	T			
	7	T		[セグメント出力時] Port [上記以外] keep	[セグメント出力時] SEG32～SEG25 [上記以外] 入出力ポート
ポート C	4、5	L	T	[OPE=0] T [OPE=1] keep	A7～A0
	6	T	T	[セグメント出力時] Port [DDR=1,OPE=0] T [DDR=1,OPE=1] keep [DDR=0] keep	[セグメント出力時] SEG24～SEG17 [DDR=1] A7～A0 [DDR=0] 入力ポート

ポート名 端子名	MCU 動作モード		リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	プログラム実行状態 スリープモード
ポート C	7		T	T	[セグメント出力時] Port [上記以外] keep	[セグメント出力時] SEG24~SEG17 [上記以外] 入出力ポート
ポート D	4~6		T	T	T	データバス
	7		T	T	keep	入出力ポート
ポート E	4~6	8ビットバス	T	T	keep	入出力ポート
		16ビットバス	T	T	T	データバス
	7		T	T	keep	入出力ポート
PF7/ ϕ	4~6		クロック 出力	T	[DDR=0] T	[DDR=0] T
	7		T		[DDR=1] H	[DDR=1] クロック出力
PF6/ $\overline{AS}$	4~6		H	T	[OPE=0] T [OPE=1] H	$\overline{AS}$
	7		T	T	[セグメント出力時] Port [上記以外] keep	[セグメント出力時] SEG20 [上記以外] 入出力ポート
PF5/ $\overline{RD}$ PF4/ $\overline{HWR}$	4~6		H	T	[OPE=0] T [OPE=1] H	$\overline{RD}$, $\overline{HWR}$
	7		T	T	[セグメント出力時] Port [上記以外] keep	[セグメント出力時] SEG19, SEG18 [上記以外] 入出力ポート
PF3/ $\overline{LWR}$	4		H	T	[OPE=0] T [OPE=1] H	$\overline{LWR}$
	5~6		T			[16ビットバスモード時] $\overline{LWR}$ [上記以外] 入出力ポート
	7		T	T	keep	入出力ポート
PF2/ $\overline{WAIT}$	4~6		T	T	[セグメント出力時] Port [上記以外] keep	[$\overline{WAITE}=1$] $\overline{WAIT}$
	7		T	T	[セグメント出力時] Port [上記以外] keep	[セグメント出力時] SEG17 [上記以外] 入出力ポート

ポート名 端子名	MCU 動作モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	プログラム実行状態 スリープモード
PF0	4～7	T	T	keep	入出力ポート
ポート H	4～7	T	T	keep	入出力ポート
ポート J	4～7	T	T	keep	入出力ポート
ポート K	4～7	T	T	keep	入出力ポート
HTxD	4～7	H	T	H	HTxD 出力
HRxD	4～7	入力	T	T	HRxD 入力

【記号説明】

H : High レベル
 L : Low レベル
 T : ハイインピーダンス
 keep : 入力ポートはハイインピーダンス、
 出力ポートは保持
 Port : ポートの設定に従う（入力ハイインピーダンス）
 DDR : データディレクションレジスタ
 OPE : 出力ポートイネーブル
 WAITE : ウェイト入力イネーブル

E. ハードウェアスタンバイモード遷移／復帰時のタイミングについて

E.1 ハードウェアスタンバイモードの遷移タイミング

(1) SYSCR の RAME ビットを 1 にセットした状態で RAM の内容を保持する場合

図 E.1 に示すように $\overline{\text{STBY}}$ 信号の立ち下がりに対し、10 システムクロック前に $\overline{\text{RES}}$ 信号を Low としてください。

また、 $\overline{\text{RES}}$ 信号の立ち上がりは、 $\overline{\text{STBY}}$ 信号の立ち下がりに対し、0ns 以上としてください。

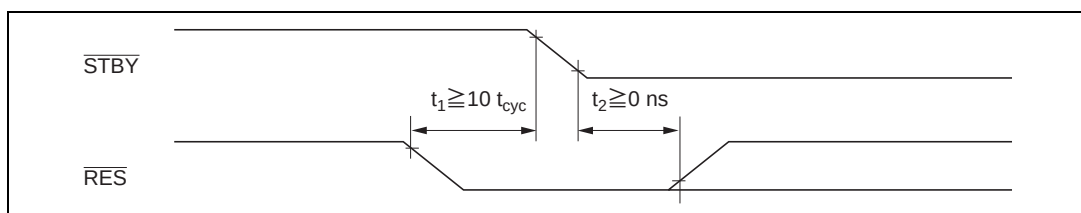


図 E.1 ハードウェアスタンバイモードの遷移タイミング

(2) SYSCR の RAME ビットを 0 にクリアした状態または RAM の内容を保持しない場合

(1) のように $\overline{\text{RES}}$ 信号を Low にする必要はありません。

E.2 ハードウェアスタンバイモードからの復帰タイミング

$\overline{\text{STBY}}$ 信号の立ち上がりに対し、100ns 以上前に $\overline{\text{RES}}$ 信号を Low、NMI 信号を High とし、パワーオンリセットとしてください。

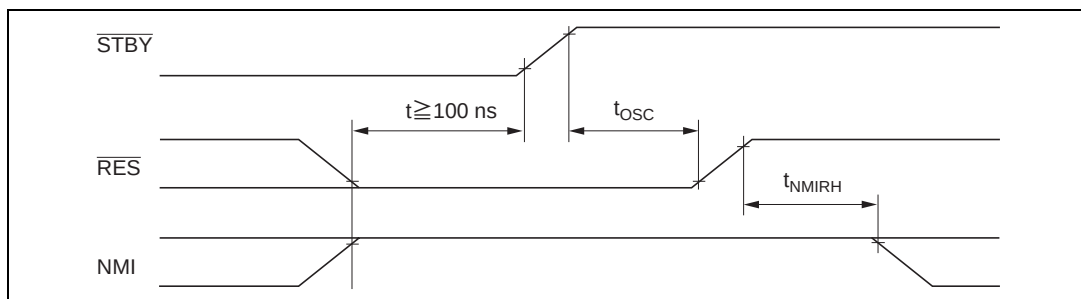


図 E.2 ハードウェアスタンバイモードからの復帰タイミング

F. 外形寸法図

H8S/2646R、H8S/2648R の外形寸法図を図 F.1 に、H8S/2646、H8S/2645、H8S/2648、H8S/2647 の外形寸法図を図 F.2 に示します。

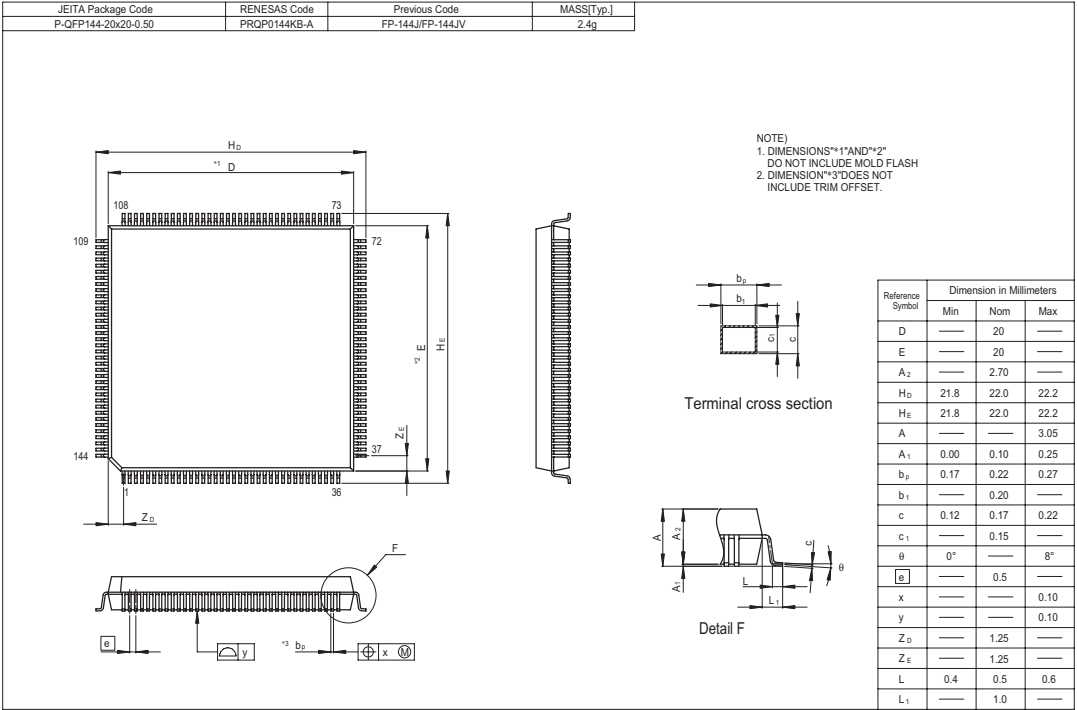


図 F.1 外形寸法図 (H8S/2646R、H8S/2648R)

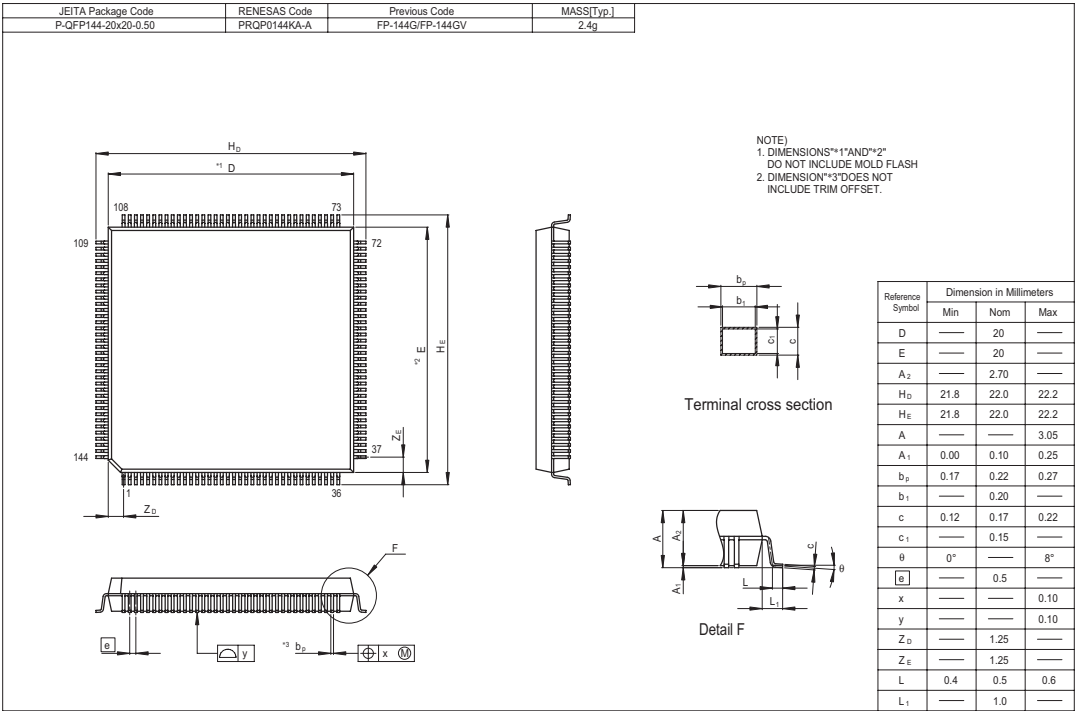


図 F.2 外形寸法図 (H8S/2646、H8S/2645、H8S/2648、H8S/2647)

ルネサス16ビットシングルチップマイクロコンピュータ
H8S/2646グループ、H8S/2646R F-ZTAT™、H8S/2648R F-ZTAT™
ユーザーズマニュアル ハードウェア編

発行年月日 1999 年 9 月 第 1 版
2010 年 6 月 8 日 Rev.8.00
発 行 ルネサス エレクトロニクス株式会社
〒211-8668 神奈川県川崎市中原区下沼部1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2 (日本ビル)

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/inquiry>

H8S/2646 グループ、H8S/2646R F-ZTAT™、
H8S/2648R F-ZTAT™
ユーザーズマニュアル ハードウェア編