

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

H8S/2378グループ、 H8S/2378Rグループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ

H8Sファミリ／H8S/2300シリーズ

H8S/2378	HD64F2378B
H8S/2377	HD64F2377
H8S/2375	HD6432375
H8S/2374	HD64F2374
H8S/2373	HD6412373
H8S/2372	HD64F2372
H8S/2371	HD64F2371
H8S/2370	HD64F2370
H8S/2378R	HD64F2378R
H8S/2377R	HD64F2377R
H8S/2375R	HD6432375R
H8S/2374R	HD64F2374R
H8S/2373R	HD6412373R
H8S/2372R	HD64F2372R
H8S/2371R	HD64F2371R
H8S/2370R	HD64F2370R

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認いただけますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
 11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
 12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
 13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認ください。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品ご使用上の注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - ・ CPU およびシステム制御系
 - ・ 内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュールごとに異なりますが、一般的には、
特長、 入出力端子、 レジスタの説明、 動作説明、 使用上の注意事項、
などの節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。
各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。
必ずお読みください。(使用上の注意事項は必要により記載されます。)

7. レジスター一覧
8. 電気的特性
9. 付録
10. 本版で改訂された箇所 (改訂版のみ適用)

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。
改訂内容のすべてについて記載したものではありませんので、詳細については、本書の本文上
でご確認ください。

11. 索引

はじめに

H8S/2378 グループ、H8S/2378R グループは、ルネサス テクノロジオリジナルアーキテクチャを採用した H8S/2000 CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータ (MCU) です。

H8S/2000 CPU は、内部 32 ビット構成で、16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。

システム構成に必要な機能としては、DMA コントローラ (DMAC)、EXDMA コントローラ (EXDMAC)、データ転送コントローラ (DTC) のバスマスタ、ROM、RAM、16 ビットタイマパルスユニット (TPU)、プログラマブルパルスジェネレータ (PPG)、8 ビットタイマ (TMR)、ウォッチドッグタイマ (WDT)、シリアルコミュニケーションインタフェース (SCI、IrDA)、10 ビット A/D 変換器、8 ビット D/A 変換器、I/O ポートの周辺機能などを内蔵しています。また、オプションとして、I²C バスインタフェース 2 (IIC2) を内蔵することができます。

また、高性能バスコントローラを内蔵し、DRAM などの各種のメモリを高速かつ容易に接続できます。

内蔵 ROM は単一電源フラッシュメモリ (F-ZTATTM*) があり、仕様流動性の高い応用機器、量産初期から本格的量産の各状況に応じた迅速かつ柔軟な対応が可能です。

【注】 * F-ZTAT は (株)ルネサス テクノロジの商標です。

対象者 このマニュアルは、H8S/2378 グループ、H8S/2378R グループを用いた応用システムを設計するユーザーを対象としています。このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、H8S/2378 グループ、H8S/2378R グループのハードウェア機能と電気的特性をユーザーに理解していただくことを目的にしています。なお、実行命令の詳細については、「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」に記載していますのであわせて御覧ください。

読み方

- 機能全体を理解しようとするとき。

目次に従って読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき。

別冊の「H8S/2600シリーズ、H8S/2000シリーズ ソフトウェアマニュアル」を参照してください。

本LSIの個々の命令の実行状態は、「付録D. 命令実行中のバス状態」を参照してください。

- レジスタ名が分かっていて、詳細機能を知りたいとき。

本書の後ろに「索引」があります。索引からページ番号を検索してください。

「第25章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

凡例 レジスタ表記 : 16 ビットタイムパルスユニット、シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャンネルに存在する場合に次の表記を使用します。

XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記順 : 左側が上位ビット、右側が下位ビットの順に表記します。

数字の表記 : 2進数は B'XXXX、16進数は H'XXXX、10進数は XXXX

信号の表記 : ローアクティブの信号にはオーバーバーを付けます。XXXX

関連資料一覧 ウェブサイトに最新資料を掲載しています。ご入手の資料が最新版であることを確認してください。

(<http://japan.renesas.com/>)

- H8S/2378グループ、H8S/2378Rグループに関するユーザーズマニュアル

資料名	資料番号
H8S/2378 グループ、H8S/2378R グループ ハードウェアマニュアル	本マニュアル
H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル	RJJ09B0143

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンケージエディタ ユーザーズマニュアル コンパイラパッケージ V.6.01	RJJ10B0166
H8S、H8/300 シリーズ シミュレータ・デバッガユーザーズマニュアル	RJJ10B0219
H8S、H8/300 シリーズ High-performance Embedded Workshop、High-performance Debugging Interface V.3 チュートリアル	RJJ10B0027
High-performance Embedded Workshop V.4.04 ユーザーズマニュアル	RJJ10J2060

- アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ パッケージアプリケーションノート	RJJ05B0558
F-ZTAT マイコンテクニカル Q&A	ADJ - 502 - 055

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1.	概要	1-1
1.1	特長	1-1
1.2	内部ブロック図	1-3
1.3	端子説明	1-7
1.3.1	ピン配置図	1-7
1.3.2	動作モード別ピン配置一覧	1-12
1.3.3	端子機能	1-19
2.	CPU	2-1
2.1	特長	2-1
2.1.1	H8S/2600 CPU と H8S/2000 CPU との相違点	2-2
2.1.2	H8/300 CPU との相違点	2-3
2.1.3	H8/300H CPU との相違点	2-3
2.2	CPU動作モード	2-4
2.2.1	ノーマルモード	2-4
2.2.2	アドバンスモード	2-6
2.3	アドレス空間	2-8
2.4	レジスタの構成	2-9
2.4.1	汎用レジスタ	2-10
2.4.2	プログラムカウンタ (PC)	2-11
2.4.3	エクステンドレジスタ (EXR)	2-11
2.4.4	コンディションコードレジスタ (CCR)	2-11
2.4.5	CPU 内部レジスタの初期値	2-12
2.5	データ形式	2-13
2.5.1	汎用レジスタのデータ形式	2-13
2.5.2	メモリ上でのデータ形式	2-14
2.6	命令セット	2-16
2.6.1	命令の機能別一覧	2-17
2.6.2	命令の基本フォーマット	2-25
2.7	アドレッシングモードと実効アドレスの計算方法	2-26
2.7.1	レジスタ直接 R_n	2-27
2.7.2	レジスタ間接 $@ER_n$	2-27
2.7.3	ディスプレイメント付きレジスタ間接 $@(d:16,ER_n) / @(d:32,ER_n)$	2-27
2.7.4	ポストインクリメントレジスタ間接 $@ER_n+$ / プリデクリメントレジスタ間接 $@-ER_n$	2-27

2.7.5	絶対アドレス @aa:8 / @aa:16 / @aa:24 / @aa:32	2-28
2.7.6	イミディエイト #xx:8 / #xx:16 / #xx:32	2-28
2.7.7	プログラムカウンタ相対 @(d:8, PC) / @ (d:16, PC)	2-28
2.7.8	メモリ間接 @@aa:8	2-29
2.7.9	実効アドレスの計算方法	2-30
2.8	処理状態	2-32
2.9	使用上の注意事項	2-33
2.9.1	ビット操作命令使用上の注意事項	2-33
3.	MCU 動作モード	3-1
3.1	動作モードの選択	3-1
3.2	レジスタの説明	3-2
3.2.1	モードコントロールレジスタ (MDCR)	3-2
3.2.2	システムコントロールレジスタ (SYSCR)	3-3
3.3	各動作モードの説明	3-5
3.3.1	モード 1	3-5
3.3.2	モード 2	3-5
3.3.3	モード 3	3-5
3.3.4	モード 4	3-5
3.3.5	モード 5	3-5
3.3.6	モード 7	3-6
3.3.7	端子機能	3-6
3.4	各動作モードのアドレスマップ	3-7
4.	例外処理	4-1
4.1	例外処理の種類と優先度	4-1
4.2	例外処理要因とベクタテーブル	4-2
4.3	リセット	4-3
4.3.1	リセット例外処理	4-3
4.3.2	リセット直後の割り込み	4-5
4.3.3	リセット解除後の内蔵周辺機能	4-5
4.4	トレース例外処理	4-6
4.5	割り込み例外処理	4-6
4.6	トラップ命令例外処理	4-7
4.7	例外処理後のスタックの状態	4-8
4.8	使用上の注意事項	4-9
5.	割り込みコントローラ	5-1
5.1	特長	5-1
5.2	入出力端子	5-2

5.3	レジスタの説明	5-3
5.3.1	割り込みコントロールレジスタ (INTCR)	5-4
5.3.2	インタラプトプライオリティレジスタ A ~ K (IPRA ~ IPRK)	5-4
5.3.3	IRQ イネーブルレジスタ (IER)	5-6
5.3.4	IRQ センسコントロールレジスタ H、L (ISCRH、ISCRL)	5-7
5.3.5	IRQ ステータスレジスタ (ISR)	5-10
5.3.6	IRQ 端子セレクトレジスタ (ITSR)	5-11
5.3.7	ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ (SSIER)	5-12
5.4	割り込み要因	5-13
5.4.1	外部割り込み要因	5-13
5.4.2	内部割り込み	5-14
5.5	割り込み例外処理ベクタテーブル	5-14
5.6	割り込み制御モードと割り込み動作	5-19
5.6.1	割り込み制御モード 0	5-19
5.6.2	割り込み制御モード 2	5-21
5.6.3	割り込み例外処理シーケンス	5-23
5.6.4	割り込み応答時間	5-24
5.6.5	割り込みによる DTC、DMAC の起動	5-25
5.7	使用上の注意事項	5-25
5.7.1	割り込みの発生とディスエーブルとの競合	5-25
5.7.2	割り込みを禁止している命令	5-26
5.7.3	割り込み禁止期間	5-26
5.7.4	EEPMOV 命令実行中の割り込み	5-27
5.7.5	IRQ 端子セレクトレジスタ (ITSR) 設定の変更	5-27
5.7.6	IRQ ステータスレジスタ (ISR) について	5-27
6.	バスコントローラ (BSC)	6-1
6.1	特長	6-1
6.2	入出力端子	6-3
6.3	レジスタの説明	6-4
6.3.1	バス幅コントロールレジスタ (ABWCR)	6-5
6.3.2	アクセスステートコントロールレジスタ (ASTCR)	6-5
6.3.3	ウェイトコントロールレジスタ AH、AL、BH、BL (WTCRAH、WTCRAL、WTCRBH、WTCRBL)	6-6
6.3.4	リードストローブタイミングコントロールレジスタ (RDNCR)	6-10
6.3.5	\overline{CS} アサート期間コントロールレジスタ H、L (CSACRH、CSACRL)	6-10
6.3.6	エリア 0 パースト ROM インタフェースコントロールレジスタ (BROMCRH) エリア 1 パースト ROM インタフェースコントロールレジスタ (BROMCRL)	6-12
6.3.7	バスコントロールレジスタ (BCR)	6-13
6.3.8	DRAM コントロールレジスタ (DRAMCR)	6-14
6.3.9	DRAM アクセスコントロールレジスタ (DRACCR)	6-18

6.3.10	リフレッシュコントロールレジスタ (REFCR)	6-21
6.3.11	リフレッシュタイマカウンタ (RTCNT)	6-24
6.3.12	リフレッシュタイムコンスタントレジスタ (RTCOR)	6-24
6.4	バス制御	6-24
6.4.1	エリア分割	6-24
6.4.2	バス仕様	6-26
6.4.3	メモリアインタフェース	6-27
6.4.4	チップセレクト信号	6-29
6.5	基本バスインタフェース	6-30
6.5.1	データサイズとデータアライメント	6-30
6.5.2	有効ストロープ	6-31
6.5.3	基本動作タイミング	6-32
6.5.4	ウェイト制御	6-39
6.5.5	リードストロープ (\overline{RD}) タイミング	6-41
6.5.6	チップセレクト (\overline{CS}) アサート期間拡張	6-42
6.6	DRAMインタフェース	6-43
6.6.1	DRAM 空間の設定	6-43
6.6.2	アドレスマルチプレクス	6-43
6.6.3	データバス	6-44
6.6.4	DRAM インタフェース使用端子	6-44
6.6.5	基本動作タイミング	6-45
6.6.6	カラムアドレス出力サイクル制御	6-46
6.6.7	ロウアドレス出力ステート制御	6-47
6.6.8	プリチャージステート制御	6-49
6.6.9	ウェイト制御	6-49
6.6.10	バイトアクセス制御	6-52
6.6.11	バースト動作	6-53
6.6.12	リフレッシュ制御	6-57
6.6.13	DMAC および EXDMAC のシングルアドレス転送モードと DRAM インタフェース	6-62
6.7	シンクロナス DRAM インタフェース	6-64
6.7.1	連続シンクロナス DRAM 空間の設定	6-64
6.7.2	アドレスマルチプレクス	6-65
6.7.3	データバス	6-65
6.7.4	シンクロナス DRAM インタフェース使用端子	6-66
6.7.5	シンクロナス DRAM 専用クロック	6-67
6.7.6	基本動作タイミング	6-67
6.7.7	CAS レイテンシ制御	6-69
6.7.8	ロウアドレス出力ステート制御	6-71
6.7.9	プリチャージステート数	6-72
6.7.10	ライトサイクル時のバスサイクル制御	6-73
6.7.11	バイトアクセス制御	6-74

6.7.12	バースト動作	6-76
6.7.13	リフレッシュ制御	6-79
6.7.14	シンクロナス DRAM のモードレジスタ設定	6-85
6.7.15	DMAC および EXDMAC のシングルアドレス転送モードと シンクロナス DRAM インタフェース	6-86
6.8	バーストROMインタフェース	6-91
6.8.1	基本タイミング	6-91
6.8.2	ウェイト制御	6-93
6.8.3	ライトアクセス	6-93
6.9	アイドルサイクル	6-94
6.9.1	動作説明	6-94
6.9.2	アイドルサイクルでの端子状態	6-110
6.10	ライトデータバッファ機能	6-110
6.11	バス権解放	6-111
6.11.1	動作説明	6-111
6.11.2	外部バス権解放状態での端子状態	6-112
6.11.3	遷移タイミング	6-113
6.12	バスアービトレーション	6-115
6.12.1	動作説明	6-115
6.12.2	バス権移行タイミング	6-115
6.13	リセットとバスコントローラ	6-117
6.14	使用上の注意事項	6-117
6.14.1	外部バス権解放機能と全モジュールクロックストップモード	6-117
6.14.2	外部バス権解放機能とソフトウェアスタンバイ	6-117
6.14.3	外部バス権解放機能と CBR リフレッシュ / オートリフレッシュ	6-118
6.14.4	BREQO 出力タイミング	6-118
6.14.5	シンクロナス DRAM 使用上の注意事項	6-118
7.	DMA コントローラ (DMAC)	7-1
7.1	特長	7-1
7.2	入出力端子	7-3
7.3	レジスタの説明	7-3
7.3.1	メモリアドレスレジスタ (MARA、MARB)	7-5
7.3.2	I/O アドレスレジスタ (IOARA、IOARB)	7-5
7.3.3	転送カウントレジスタ (ETCRA、ETCRB)	7-6
7.3.4	DMA コントロールレジスタ (DMACRA、DMACRB)	7-6
7.3.5	DMA バンドコントロールレジスタ H、L (DMABCRH、DMABCRL)	7-12
7.3.6	DMA ライトイネーブルレジスタ (DMAWER)	7-18
7.3.7	DMA ターミナルコントロールレジスタ (DMATCR)	7-20
7.4	起動要因	7-21
7.4.1	内部割り込み要求による起動	7-21

7.4.2	外部リクエストによる起動.....	7-22
7.4.3	オートリクエストによる起動.....	7-22
7.5	動作説明.....	7-23
7.5.1	転送モード.....	7-23
7.5.2	シーケンシャルモード.....	7-24
7.5.3	アイドルモード.....	7-27
7.5.4	リピートモード.....	7-29
7.5.5	シングルアドレスモード.....	7-32
7.5.6	ノーマルモード.....	7-35
7.5.7	ブロック転送モード.....	7-38
7.5.8	基本バスサイクル.....	7-43
7.5.9	DMA 転送（デュアルアドレスモード）のバスサイクル.....	7-43
7.5.10	DMA 転送（シングルアドレスモード）のバスサイクル.....	7-50
7.5.11	ライトデータバッファ機能.....	7-53
7.5.12	複数チャンネルの動作.....	7-55
7.5.13	DMAC と外部バス権要求、リフレッシュサイクル、EXDMAC.....	7-56
7.5.14	DMAC と NMI 割り込み.....	7-56
7.5.15	DMAC の強制終了.....	7-57
7.5.16	フルアドレスモードの解除.....	7-57
7.6	割り込み要因.....	7-58
7.7	使用上の注意事項.....	7-59
8.	EXDMA コントローラ（EXDMAC）.....	8-1
8.1	特長.....	8-1
8.2	入出力端子.....	8-3
8.3	レジスタの説明.....	8-3
8.3.1	EXDMA ソースアドレスレジスタ（EDSAR）.....	8-4
8.3.2	EXDMA デスティネーションアドレスレジスタ（EDDAR）.....	8-4
8.3.3	EXDMA 転送カウントレジスタ（EDTCR）.....	8-5
8.3.4	EXDMA モードコントロールレジスタ（EDMDR）.....	8-6
8.3.5	EXDMA アドレスコントロールレジスタ（EDACR）.....	8-9
8.4	動作説明.....	8-12
8.4.1	転送モード.....	8-12
8.4.2	アドレスモード.....	8-13
8.4.3	DMA 転送要求.....	8-16
8.4.4	バスモード.....	8-16
8.4.5	転送モード.....	8-18
8.4.6	リピートエリア機能.....	8-20
8.4.7	DMA 転送動作中のレジスタ.....	8-21
8.4.8	チャンネルの優先順位.....	8-25

8.4.9	EXDMAC 転送 (デュアルアドレスモード) のバスサイクル.....	8-27
8.4.10	EXDMAC 転送 (シングルアドレスモード) のバスタイミング.....	8-33
8.4.11	各モードの動作タイミング.....	8-37
8.4.12	DMA 転送終了.....	8-48
8.4.13	EXDMAC と他のバスマスタ.....	8-49
8.5	割り込み要因.....	8-50
8.6	使用上の注意事項.....	8-51
9.	データトランスファコントローラ (DTC).....	9-1
9.1	特長.....	9-1
9.2	レジスタの説明.....	9-2
9.2.1	DTC モードレジスタ A (MRA).....	9-3
9.2.2	DTC モードレジスタ B (MRB).....	9-4
9.2.3	DTC ソースアドレスレジスタ (SAR).....	9-4
9.2.4	DTC デスティネーションアドレスレジスタ (DAR).....	9-4
9.2.5	DTC 転送カウントレジスタ A (CRA).....	9-4
9.2.6	DTC 転送カウントレジスタ B (CRB).....	9-5
9.2.7	DTC イネーブルレジスタ A~H (DTCERA~DTCERH).....	9-5
9.2.8	DTC ベクタレジスタ (DTVECR).....	9-6
9.3	起動要因.....	9-7
9.4	レジスタ情報の配置とDTCベクタテーブル.....	9-8
9.5	動作説明.....	9-11
9.5.1	ノーマルモード.....	9-12
9.5.2	リピートモード.....	9-13
9.5.3	ブロック転送モード.....	9-14
9.5.4	チェイン転送.....	9-15
9.5.5	割り込み要因.....	9-16
9.5.6	動作タイミング.....	9-17
9.5.7	DTC 実行ステート数.....	9-18
9.6	DTC使用手順.....	9-19
9.6.1	割り込みによる起動.....	9-19
9.6.2	ソフトウェアによる起動.....	9-19
9.7	DTC使用例.....	9-20
9.7.1	ノーマルモード.....	9-20
9.7.2	チェイン転送.....	9-20
9.7.3	転送カウンタ=0のときのチェイン転送.....	9-21
9.7.4	ソフトウェア起動.....	9-23
9.8	使用上の注意事項.....	9-24
9.8.1	モジュールストップモードの設定.....	9-24
9.8.2	内蔵 RAM.....	9-24

9.8.3	DTCE ビットの設定	9-24
9.8.4	DMAC 転送終了割り込み	9-24
9.8.5	チェーン転送	9-24
10.	I/O ポート	10-1
10.1	ポート1	10-5
10.1.1	ポート1 データディレクションレジスタ (P1DDR)	10-5
10.1.2	ポート1 データレジスタ (P1DR)	10-6
10.1.3	ポート1 レジスタ (PORT1)	10-6
10.1.4	端子機能	10-7
10.2	ポート2	10-15
10.2.1	ポート2 データディレクションレジスタ (P2DDR)	10-15
10.2.2	ポート2 データレジスタ (P2DR)	10-15
10.2.3	ポート2 レジスタ (PORT2)	10-16
10.2.4	端子機能	10-17
10.3	ポート3	10-25
10.3.1	ポート3 データディレクションレジスタ (P3DDR)	10-25
10.3.2	ポート3 データレジスタ (P3DR)	10-25
10.3.3	ポート3 レジスタ (PORT3)	10-26
10.3.4	ポート3 オープンドレインコントロールレジスタ (P3ODR)	10-26
10.3.5	ポートファンクションコントロールレジスタ2 (PFCR2)	10-27
10.3.6	端子機能	10-28
10.4	ポート4	10-30
10.4.1	ポート4 レジスタ (PORT4)	10-30
10.4.2	端子機能	10-31
10.5	ポート5	10-32
10.5.1	ポート5 データディレクションレジスタ (P5DDR)	10-32
10.5.2	ポート5 データレジスタ (P5DR)	10-32
10.5.3	ポート5 レジスタ (PORT5)	10-33
10.5.4	端子機能	10-33
10.6	ポート6	10-35
10.6.1	ポート6 データディレクションレジスタ (P6DDR)	10-35
10.6.2	ポート6 データレジスタ (P6DR)	10-35
10.6.3	ポート6 レジスタ (PORT6)	10-36
10.6.4	端子機能	10-36
10.7	ポート8	10-39
10.7.1	ポート8 データディレクションレジスタ (P8DDR)	10-39
10.7.2	ポート8 データレジスタ (P8DR)	10-39
10.7.3	ポート8 レジスタ (PORT8)	10-40
10.7.4	端子機能	10-40

10.8	ポート9.....	10-43
10.8.1	ポート9レジスタ (PORT9)	10-43
10.8.2	端子機能.....	10-43
10.9	ポートA.....	10-44
10.9.1	ポートA データディレクションレジスタ (PADDR)	10-44
10.9.2	ポートA データレジスタ (PADR)	10-45
10.9.3	ポートA レジスタ (PORTA)	10-46
10.9.4	ポートA プルアップ MOS コントロールレジスタ (PAPCR)	10-46
10.9.5	ポートA オープンドレインコントロールレジスタ (PAODR)	10-47
10.9.6	ポートファンクションコントロールレジスタ 1 (PFCR1)	10-47
10.9.7	端子機能.....	10-48
10.9.8	ポートA 入力プルアップ MOS の状態.....	10-49
10.10	ポートB.....	10-50
10.10.1	ポートB データディレクションレジスタ (PBDDR)	10-50
10.10.2	ポートB データレジスタ (PBDR)	10-50
10.10.3	ポートB レジスタ (PORTB)	10-51
10.10.4	ポートB プルアップ MOS コントロールレジスタ (PBPCR)	10-51
10.10.5	端子機能.....	10-52
10.10.6	ポートB 入力プルアップ MOS の状態.....	10-52
10.11	ポートC.....	10-53
10.11.1	ポートC データディレクションレジスタ (PCDDR)	10-53
10.11.2	ポートC データレジスタ (PCDR)	10-53
10.11.3	ポートC レジスタ (PORTC)	10-54
10.11.4	ポートC プルアップ MOS コントロールレジスタ (PCPCR)	10-54
10.11.5	端子機能.....	10-55
10.11.6	ポートC 入力プルアップ MOS の状態.....	10-55
10.12	ポートD.....	10-56
10.12.1	ポートD データディレクションレジスタ (PDDDR)	10-56
10.12.2	ポートD データレジスタ (PDDR)	10-56
10.12.3	ポートD レジスタ (PORTD)	10-57
10.12.4	ポートD プルアップ MOS コントロールレジスタ (PDPCR)	10-57
10.12.5	端子機能.....	10-58
10.12.6	ポートD 入力プルアップ MOS の状態.....	10-58
10.13	ポートE.....	10-59
10.13.1	ポートE データディレクションレジスタ (PEDDR)	10-59
10.13.2	ポートE データレジスタ (PEDR)	10-60
10.13.3	ポートE レジスタ (PORTE)	10-60
10.13.4	ポートE プルアップ MOS コントロールレジスタ (PEPCR)	10-61
10.13.5	端子機能.....	10-61
10.13.6	ポートE 入力プルアップ MOS の状態.....	10-62
10.14	ポートF.....	10-63

10.14.1	ポート F データディレクションレジスタ (PFDDR)	10-63
10.14.2	ポート F データレジスタ (PFDR)	10-64
10.14.3	ポート F レジスタ (PORTF)	10-64
10.14.4	端子機能	10-65
10.15	ポート G	10-67
10.15.1	ポート G データディレクションレジスタ (PGDDR)	10-67
10.15.2	ポート G データレジスタ (PGDR)	10-68
10.15.3	ポート G レジスタ (PORTG)	10-68
10.15.4	ポートファンクションコントロールレジスタ 0 (PFCR0)	10-69
10.15.5	端子機能	10-69
10.16	ポート H	10-72
10.16.1	ポート H データディレクションレジスタ (PHDDR)	10-72
10.16.2	ポート H データレジスタ (PHDR)	10-74
10.16.3	ポート H レジスタ (PORTH)	10-74
10.16.4	端子機能	10-75
11.	16 ビットタイマパルスユニット (TPU)	11-1
11.1	特長	11-1
11.2	入出力端子	11-5
11.3	レジスタの説明	11-6
11.3.1	タイマコントロールレジスタ (TCR)	11-7
11.3.2	タイマモードレジスタ (TMDR)	11-11
11.3.3	タイマ I/O コントロールレジスタ (TIOR)	11-12
11.3.4	タイマインタラプトイネーブルレジスタ (TIER)	11-29
11.3.5	タイマステータスレジスタ (TSR)	11-30
11.3.6	タイマカウンタ (TCNT)	11-32
11.3.7	タイマジェネラルレジスタ (TGR)	11-32
11.3.8	タイマスタートレジスタ (TSTR)	11-33
11.3.9	タイマシンクロレジスタ (TSYR)	11-33
11.4	動作説明	11-34
11.4.1	基本動作	11-34
11.4.2	同期動作	11-39
11.4.3	バッファ動作	11-41
11.4.4	カスケード接続動作	11-44
11.4.5	PWM モード	11-46
11.4.6	位相計数モード	11-51
11.5	割り込み要因	11-56
11.6	DTCの起動	11-58
11.7	DMACの起動	11-58
11.8	A/D変換器の起動	11-59

11.9	動作タイミング	11-59
11.9.1	入出力タイミング	11-59
11.9.2	割り込み信号タイミング	11-62
11.10	使用上の注意事項	11-66
11.10.1	モジュールストップモードの設定	11-66
11.10.2	入力クロックの制限事項	11-66
11.10.3	周期設定上の注意事項	11-66
11.10.4	TCNTのライトとクリアの競合	11-67
11.10.5	TCNTのライトとカウントアップの競合	11-67
11.10.6	TGRのライトとコンペアマッチの競合	11-68
11.10.7	バッファレジスタのライトとコンペアマッチの競合	11-68
11.10.8	TGRのリードとインプットキャプチャの競合	11-69
11.10.9	TGRのライトとインプットキャプチャの競合	11-70
11.10.10	バッファレジスタのライトとインプットキャプチャの競合	11-70
11.10.11	オーバフロー / アンダフローとカウンタクリアの競合	11-71
11.10.12	TCNTのライトとオーバフロー / アンダフローの競合	11-72
11.10.13	入出力端子の兼用	11-72
11.10.14	モジュールストップ時の割り込み	11-72
12.	プログラマブルパルスジェネレータ (PPG)	12-1
12.1	特長	12-1
12.2	入出力端子	12-3
12.3	レジスタの説明	12-4
12.3.1	ネクストデータイネーブルレジスタ H、L (NDERH、NDERL)	12-4
12.3.2	アウトプットデータレジスタ H、L (PODRH、PODRL)	12-5
12.3.3	ネクストデータレジスタ H、L (NDRH、NDRL)	12-6
12.3.4	PPG出力コントロールレジスタ (PCR)	12-8
12.3.5	PPG出力モードレジスタ (PMR)	12-9
12.4	動作説明	12-10
12.4.1	出力タイミング	12-11
12.4.2	通常動作のパルス出力設定手順例	12-12
12.4.3	パルス出力通常動作例 (5相パルス出力例)	12-13
12.4.4	パルス出力ノンオーバーラップ動作	12-14
12.4.5	ノンオーバーラップ動作のパルス出力設定手順例	12-16
12.4.6	パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力例)	12-17
12.4.7	パルス反転出力	12-19
12.4.8	インプットキャプチャによるパルス出力	12-20
12.5	使用上の注意事項	12-20
12.5.1	モジュールストップモードの設定	12-20
12.5.2	パルス出力端子の動作	12-20

13. 8ビットタイマ (TMR)	13-1
13.1 特長.....	13-1
13.2 入出力端子.....	13-3
13.3 レジスタの説明.....	13-3
13.3.1 タイマカウンタ (TCNT)	13-4
13.3.2 タイムコンスタントレジスタ A (TCORA)	13-4
13.3.3 タイムコンスタントレジスタ B (TCORB)	13-4
13.3.4 タイマコントロールレジスタ (TCR)	13-5
13.3.5 タイマコントロール/ステータスレジスタ (TCSR)	13-7
13.4 動作説明.....	13-9
13.4.1 パルス出力.....	13-9
13.5 動作タイミング.....	13-10
13.5.1 TCNTのカウントタイミング.....	13-10
13.5.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング.....	13-10
13.5.3 コンペアマッチ時のタイマ出力タイミング.....	13-11
13.5.4 コンペアマッチによるカウンタクリアタイミング.....	13-11
13.5.5 TCNTの外部リセットタイミング.....	13-12
13.5.6 オーバフローフラグ (OVF) のセットタイミング.....	13-12
13.6 カスケード接続時の動作.....	13-13
13.6.1 16ビットカウントモード.....	13-13
13.6.2 コンペアマッチカウントモード.....	13-13
13.7 割り込み要因.....	13-14
13.7.1 割り込み要因と DTC 起動.....	13-14
13.7.2 A/D 変換器の起動.....	13-14
13.8 使用上の注意事項.....	13-14
13.8.1 TCNTのライトとカウンタクリアの競合.....	13-14
13.8.2 TCNTのライトとカウントアップの競合.....	13-15
13.8.3 TCORのライトとコンペアマッチの競合.....	13-16
13.8.4 コンペアマッチ A、B の競合.....	13-16
13.8.5 内部クロックの切り替えと TCNT の動作.....	13-17
13.8.6 カスケード接続時のモード設定.....	13-18
13.8.7 モジュールストップモード時の割り込み.....	13-18
14. ウォッチドッグタイマ (WDT)	14-1
14.1 特長.....	14-1
14.2 入出力端子.....	14-2
14.3 レジスタの説明.....	14-2
14.3.1 タイマカウンタ (TCNT)	14-2
14.3.2 タイマコントロール/ステータスレジスタ (TCSR)	14-3
14.3.3 リセットコントロール/ステータスレジスタ (RSTCSR)	14-4

14.4	動作説明	14-4
14.4.1	ウォッチドッグタイマモード	14-4
14.4.2	インターバルタイマモード時	14-6
14.5	割り込み要因	14-6
14.6	使用上の注意事項	14-7
14.6.1	レジスタアクセス時の注意	14-7
14.6.2	タイマカウンタ (TCNT) のライトとカウントアップの競合	14-8
14.6.3	CKS2 ~ CKS0 ビットの書き換え	14-8
14.6.4	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	14-9
14.6.5	ウォッチドッグタイマモードでの内部リセット	14-9
14.6.6	WDTOVF 信号によるシステムのリセット	14-9
15.	シリアルコミュニケーションインタフェース (SCI、IrDA)	15-1
15.1	特長	15-1
15.2	入出力端子	15-3
15.3	レジスタの説明	15-3
15.3.1	レシーブシフトレジスタ (RSR)	15-5
15.3.2	レシーブデータレジスタ (RDR)	15-5
15.3.3	トランスミットデータレジスタ (TDR)	15-5
15.3.4	トランスミットシフトレジスタ (TSR)	15-5
15.3.5	シリアルモードレジスタ (SMR)	15-6
15.3.6	シリアルコントロールレジスタ (SCR)	15-8
15.3.7	シリアルステータスレジスタ (SSR)	15-11
15.3.8	スマートカードモードレジスタ (SCMR)	15-16
15.3.9	ビットレートレジスタ (BRR)	15-17
15.3.10	IrDA コントロールレジスタ (IrCR)	15-24
15.3.11	シリアル拡張モードレジスタ (SEMR)	15-25
15.4	調歩同期式モードの動作	15-26
15.4.1	送受信フォーマット	15-27
15.4.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	15-28
15.4.3	クロック	15-29
15.4.4	SCI の初期化 (調歩同期式)	15-30
15.4.5	データ送信 (調歩同期式)	15-31
15.4.6	シリアルデータ受信 (調歩同期式)	15-33
15.5	マルチプロセッサ通信機能	15-36
15.5.1	マルチプロセッサシリアルデータ送信	15-37
15.5.2	マルチプロセッサシリアルデータ受信	15-38
15.6	クロック同期式モードの動作	15-41
15.6.1	クロック	15-41
15.6.2	SCI の初期化 (クロック同期式)	15-42

15.6.3	シリアルデータ送信（クロック同期式）	15-43
15.6.4	シリアルデータ受信（クロック同期式）	15-45
15.6.5	シリアルデータ送受信同時動作（クロック同期式）	15-47
15.7	スマートカードインタフェースの動作説明	15-49
15.7.1	接続例	15-49
15.7.2	データフォーマット（ブロック転送モード時を除く）	15-50
15.7.3	ブロック転送モード	15-51
15.7.4	受信データサンプリングタイミングと受信マージン	15-51
15.7.5	初期設定	15-53
15.7.6	データ送信（ブロック転送モードを除く）	15-54
15.7.7	シリアルデータ受信（ブロック転送モードを除く）	15-57
15.7.8	クロック出力制御	15-58
15.8	IrDA動作	15-60
15.9	割り込み要因	15-62
15.9.1	通常のシリアルコミュニケーションインタフェースモードにおける割り込み	15-62
15.9.2	スマートカードインタフェースモードにおける割り込み	15-63
15.10	使用上の注意事項	15-65
15.10.1	モジュールストップモードの設定	15-65
15.10.2	ブレークの検出と処理について	15-65
15.10.3	マーク状態とブレークの送出	15-65
15.10.4	受信エラーフラグと送信動作について（クロック同期式モードのみ）	15-65
15.10.5	TDR へのライトと TDRE フラグの関係について	15-65
15.10.6	DMAC または DTC 使用上の制約事項	15-66
15.10.7	モード遷移時の動作について	15-66
16.	I ² C バスインタフェース 2 (IIC2)〔オプション〕	16-1
16.1	特長	16-1
16.2	入出力端子	16-3
16.3	レジスタの説明	16-4
16.3.1	I ² C バスコントロールレジスタ A (ICCRA)	16-5
16.3.2	I ² C バスコントロールレジスタ B (ICCRB)	16-7
16.3.3	I ² C バスモードレジスタ (ICMR)	16-8
16.3.4	I ² C バスインタラプトイネーブルレジスタ (ICIER)	16-9
16.3.5	I ² C バスステータスレジスタ (ICSR)	16-10
16.3.6	スレーブアドレスレジスタ (SAR)	16-12
16.3.7	I ² C バス送信データレジスタ (ICDRT)	16-12
16.3.8	I ² C バス受信データレジスタ (ICDRR)	16-12
16.3.9	I ² C バスシフトレジスタ (ICDRS)	16-12
16.4	動作説明	16-13
16.4.1	I ² C バスフォーマット	16-13

16.4.2	マスタ送信動作	16-14
16.4.3	マスタ受信動作	16-16
16.4.4	スレーブ送信動作	16-18
16.4.5	スレーブ受信動作	16-20
16.4.6	ノイズ除去回路	16-22
16.4.7	使用例	16-23
16.5	割り込み要求	16-27
16.6	ビット同期回路	16-27
16.7	使用上の注意事項	16-28
17.	A/D 変換器	17-1
17.1	特長	17-1
17.2	入出力端子	17-3
17.3	レジスタの説明	17-4
17.3.1	A/D データレジスタ A ~ H (ADDRA ~ ADDRH)	17-4
17.3.2	A/D コントロール/ステータスレジスタ (ADCSR)	17-5
17.3.3	A/D コントロールレジスタ (ADCR)	17-7
17.4	動作説明	17-7
17.4.1	シングルモード	17-7
17.4.2	スキャンモード	17-8
17.4.3	入力サンプリングと A/D 変換時間	17-8
17.4.4	外部トリガ入力タイミング	17-10
17.5	割り込み要因	17-10
17.6	A/D変換精度の定義	17-11
17.7	使用上の注意事項	17-13
17.7.1	モジュールストップモードの設定	17-13
17.7.2	許容信号源インピーダンスについて	17-13
17.7.3	絶対精度への影響	17-14
17.7.4	アナログ電源端子他の設定範囲	17-14
17.7.5	ボード設計上の注意事項	17-14
17.7.6	ノイズ対策上の注意事項	17-15
18.	D/A 変換器	18-1
18.1	特長	18-1
18.2	入出力端子	18-2
18.3	レジスタの説明	18-3
18.3.1	D/A データレジスタ 0 ~ 5 (DADR0 ~ DADR5)	18-3
18.3.2	D/A コントロールレジスタ 01、23、45 (DACR01、DACR23、DACR45)	18-4
18.4	動作説明	18-7
18.5	使用上の注意事項	18-8

18.5.1	モジュールストップモードの設定	18-8
18.5.2	ソフトウェアスタンバイモード時の D/A 出力保持機能	18-8
19.	RAM	19-1
20.	フラッシュメモリ (0.35 μ m F-ZTAT 版)	20-1
20.1	特長	20-1
20.2	モード遷移図	20-3
20.3	ブロック構成	20-6
20.4	入出力端子	20-7
20.5	レジスタの説明	20-7
20.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	20-8
20.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	20-9
20.5.3	消去ブロック指定レジスタ 1 (EBR1)	20-9
20.5.4	消去ブロック指定レジスタ 2 (EBR2)	20-10
20.6	オンボードプログラミング	20-11
20.6.1	ブートモード	20-11
20.6.2	ユーザプログラムモード	20-14
20.7	フラッシュメモリの書き込み / 消去	20-15
20.7.1	プログラム / プログラムベリファイ	20-15
20.7.2	イレース / イレースベリファイ	20-17
20.7.3	フラッシュメモリの書き込み / 消去時の割り込み	20-17
20.8	書き込み / 消去プロテクト	20-19
20.8.1	ハードウェアプロテクト	20-19
20.8.2	ソフトウェアプロテクト	20-19
20.8.3	エラープロテクト	20-19
20.9	ライターモード	20-20
20.10	フラッシュメモリの低消費電力動作	20-20
20.11	使用上の注意事項	20-20
21.	フラッシュメモリ (0.18 μ m F-ZTAT 版)	21-1
21.1	特長	21-1
21.1.1	モード遷移図	21-3
21.1.2	モード比較	21-4
21.1.3	フラッシュマツ構成	21-5
21.1.4	ブロック分割	21-6
21.1.5	書き込み / 消去インタフェース	21-6
21.2	入出力端子	21-9
21.3	レジスタの説明	21-9
21.3.1	書き込み / 消去インタフェースレジスタ	21-10

21.3.2	書き込み/消去インタフェースパラメータ	21-14
21.3.3	フラッシュベクタアドレスコントロールレジスタ (FVACR)	21-23
21.4	オンボードプログラミング	21-24
21.4.1	ブートモード	21-24
21.4.2	ユーザプログラムモード	21-27
21.4.3	ユーザブートモード	21-37
21.4.4	手順プログラム、または書き込みデータの格納可能領域	21-40
21.5	プロテクト	21-45
21.5.1	ハードウェアプロテクト	21-45
21.5.2	ソフトウェアプロテクト	21-45
21.5.3	エラープロテクト	21-46
21.6	ユーザマットとユーザブートマットの切り替え	21-47
21.7	ライターモード	21-48
21.8	ブートモードの標準シリアル通信インタフェース仕様	21-48
21.9	使用上の注意事項	21-71
22.	マスク ROM	22-1
23.	クロック発振器	23-1
23.1	レジスタの説明	23-2
23.1.1	システムクロックコントロールレジスタ (SCKCR)	23-2
23.1.2	PLL コントロールレジスタ (PLL CR)	23-3
23.2	発振器	23-4
23.2.1	水晶発振子を接続する方法	23-4
23.2.2	外部クロックを入力する方法	23-5
23.3	PLL回路	23-6
23.4	分周器	23-6
23.5	使用上の注意事項	23-7
23.5.1	クロック発振器に関する使用上の注意事項	23-7
23.5.2	発振子に関する注意事項	23-7
23.5.3	ボード設計上の注意事項	23-7
24.	低消費電力状態	24-1
24.1	レジスタの説明	24-4
24.1.1	スタンバイコントロールレジスタ (SBYCR)	24-4
24.1.2	モジュールストップコントロールレジスタ H、L (MSTPCR _H 、MSTPCR _L)	24-6
24.1.3	エクステンションモジュールストップコントロールレジスタ H、L (EXMSTPCR _H 、EXMSTPCR _L)	24-7
24.2	動作説明	24-8
24.2.1	クロック分周モード	24-8

24.2.2	スリープモード	24-8
24.2.3	ソフトウェアスタンバイモード	24-9
24.2.4	ハードウェアスタンバイモード	24-12
24.2.5	モジュールストップモード	24-13
24.2.6	全モジュールクロックストップモード	24-14
24.3	クロック出力制御	24-14
24.4	使用上の注意事項	24-15
24.4.1	I/O ポートの状態	24-15
24.4.2	発振安定待機中の消費電流	24-15
24.4.3	EXDMAC、DMAC、DTC のモジュールストップ	24-15
24.4.4	内蔵周辺モジュールの割り込み	24-15
24.4.5	MSTPCR、EXMSTPCR のライト	24-15
24.4.6	クロック分周モードにおける注意事項	24-16
25.	レジスタ一覧	25-1
25.1	レジスタアドレス一覧 (アドレス順)	25-2
25.2	レジスタビット一覧	25-12
25.3	各動作モードにおけるレジスタの状態	25-24
26.	電気的特性	26-1
26.1	H8S/2377、H8S/2375、H8S/2373、H8S/2377R、H8S/2375R、H8S/2373Rの電気的特性	26-1
26.1.1	絶対最大定格	26-1
26.1.2	DC 特性	26-2
26.1.3	AC 特性	26-4
26.1.4	A/D 変換特性	26-10
26.1.5	D/A 変換特性	26-11
26.1.6	フラッシュメモリ特性	26-11
26.1.7	使用上の注意事項	26-12
26.2	H8S/2378の電気的特性	26-13
26.2.1	絶対最大定格	26-13
26.2.2	DC 特性	26-14
26.2.3	AC 特性	26-16
26.2.4	A/D 変換特性	26-22
26.2.5	D/A 変換特性	26-22
26.2.6	フラッシュメモリ特性	26-23
26.3	H8S/2374、H8S/2372、H8S/2371、H8S/2370、H8S/2378R、H8S/2374R、H8S/2372R、H8S/2371R、 H8S/2370Rの電気的特性	26-24
26.3.1	絶対最大定格	26-24
26.3.2	DC 特性	26-25
26.3.3	AC 特性	26-27

26.3.4	A/D 変換特性	26-33
26.3.5	D/A 変換特性	26-33
26.3.6	フラッシュメモリ特性	26-34
26.4	タイミング図	26-36
26.4.1	クロックタイミング	26-36
26.4.2	制御信号タイミング	26-38
26.4.3	バスタイミング	26-39
26.4.4	DMAC、EXDMAC タイミング	26-57
26.4.5	内蔵周辺モジュールタイミング	26-60
付録	付録-1
A.	各処理状態におけるポートの状態	付録-1
B.	型名一覧	付録-9
C.	外形寸法図	付録-10
D.	命令実行中のバス状態	付録-12
本版で改訂された箇所	改-1
索引	索引-1

目次

1. 概要

図1.1	H8S/2378 0.18 μ m F-ZTATグループ、H8S/2378R 0.18 μ m F-ZTATグループの内部ブロック図	1-3
図1.2	H8S/2377、H8S/2377Rの内部ブロック図	1-4
図1.3	H8S/2375、H8S/2375Rの内部ブロック図	1-5
図1.4	H8S/2373、H8S/2373Rの内部ブロック図	1-6
図1.5	H8S/2378 0.18 μ m F-ZTATグループ、H8S/2378R 0.18 μ m F-ZTATグループピン配置図	1-7
図1.6	H8S/2377、H8S/2377Rピン配置図	1-8
図1.7	H8S/2375、H8S/2375Rピン配置図	1-9
図1.8	H8S/2373、H8S/2373Rピン配置図	1-10
図1.9	ピン配置図 (TLP-145V : 上面図)	1-11

2. CPU

図2.1	例外処理ベクタテーブル (ノーマルモード)	2-5
図2.2	ノーマルモードのスタック構造	2-5
図2.3	例外処理ベクタテーブル (アドバンスモード)	2-6
図2.4	アドバンスモードのスタック構造	2-7
図2.5	アドレス空間	2-8
図2.6	CPU内部レジスタ構成	2-9
図2.7	汎用レジスタの使用法	2-10
図2.8	スタックの状態	2-11
図2.9	汎用レジスタのデータ形式 (1)	2-13
図2.9	汎用レジスタのデータ形式 (2)	2-14
図2.10	メモリ上でのデータ形式	2-15
図2.11	命令フォーマットの例	2-26
図2.12	メモリ間接による分岐アドレスの指定	2-29
図2.13	状態遷移図	2-33

3. MCU 動作モード

図3.1	H8S/2378グループ、H8S/2378Rの各動作モードのアドレスマップ (1)	3-7
図3.2	H8S/2378、H8S/2378Rの各動作モードのアドレスマップ (2)	3-8
図3.3	H8S/2377、H8S/2377Rの各動作モードのアドレスマップ (1)	3-9
図3.4	H8S/2377、H8S/2377Rの各動作モードのアドレスマップ (2)	3-10
図3.5	H8S/2375、H8S/2375Rの各動作モードのアドレスマップ (1)	3-11
図3.6	H8S/2375、H8S/2375Rの各動作モードのアドレスマップ (2)	3-12

図3.7	H8S/2374、H8S/2374Rの各動作モードのアドレスマップ(1)	3-13
図3.8	H8S/2374、H8S/2374Rの各動作モードのアドレスマップ(2)	3-14
図3.9	H8S/2373、H8S/2373Rの各動作モードのアドレスマップ	3-15
図3.10	H8S/2372、H8S/2372Rの各動作モードのアドレスマップ(1)	3-16
図3.11	H8S/2372、H8S/2372Rの各動作モードのアドレスマップ(2)	3-17
図3.12	H8S/2371、H8S/2371Rの各動作モードのアドレスマップ(1)	3-18
図3.13	H8S/2371、H8S/2371Rの各動作モードのアドレスマップ(2)	3-19
図3.14	H8S/2370、H8S/2370Rの各動作モードのアドレスマップ(1)	3-20
図3.15	H8S/2370、H8S/2370Rの各動作モードのアドレスマップ(2)	3-21
4.	例外処理	
図4.1	リセットシーケンス(アドバンスモード/内蔵ROM有効)	4-4
図4.2	リセットシーケンス(アドバンスモード/内蔵ROM無効)	4-5
図4.3	例外処理終了後のスタックの状態	4-8
図4.4	SPを奇数に設定したときの動作	4-9
5.	割り込みコントローラ	
図5.1	割り込みコントローラのブロック図	5-2
図5.2	IRQ15～IRQ0割り込みのブロック図	5-14
図5.3	割り込み制御モード0の割り込み受け付けまでのフロー	5-20
図5.4	割り込み制御モード2の割り込み受け付けまでのフロー	5-22
図5.5	割り込み例外処理	5-23
図5.6	割り込みの発生とディスエーブルの競合	5-26
6.	バスコントローラ(BSC)	
図6.1	バスコントローラのブロック図	6-2
図6.2	リードストローブネゲートタイミング(3ステートアクセス空間の場合)	6-10
図6.3	\overline{CS} 、アドレスアサート期間拡張(3ステートアクセス空間、 $RDN_n=0$ の場合)	6-11
図6.4	RAS信号アサートタイミング (カラムアドレス出力サイクル2ステート、フルアクセスする場合)	6-18
図6.5	連続シンクロナスDRAM空間ライトアクセス時のCASレイテンシ制御サイクル無効タイミング (CASレイテンシ2の場合)	6-20
図6.6	エリア分割の様子	6-25
図6.7	\overline{CS}_n 信号出力タイミング($n=0\sim 7$)	6-29
図6.8	アクセスサイズとデータアライメント制御(8ビットアクセス空間)	6-30
図6.9	アクセスサイズとデータアライメント制御(16ビットアクセス空間)	6-31
図6.10	8ビット2ステートアクセス空間のバスタイミング	6-32
図6.11	8ビット3ステートアクセス空間のバスタイミング	6-33
図6.12	16ビット2ステートアクセス空間のバスタイミング(偶数アドレスバイトアクセス)	6-34
図6.13	16ビット2ステートアクセス空間のバスタイミング(奇数アドレスバイトアクセス)	6-35

図6.14	16ビット2ステートアクセス空間のバスタイミング（ワードアクセス）	6-36
図6.15	16ビット3ステートアクセス空間のバスタイミング（偶数アドレスバイトアクセス）	6-37
図6.16	16ビット3ステートアクセス空間のバスタイミング（奇数アドレスバイトアクセス）	6-38
図6.17	16ビット3ステートアクセス空間のバスタイミング（ワードアクセス）	6-39
図6.18	ウェイトステート挿入タイミング例	6-40
図6.19	リードストローブタイミング例	6-41
図6.20	チップセレクトアサート期間拡張時タイミング例	6-42
図6.21	DRAM基本アクセスタイミング（RAST=0、CAST=0の場合）	6-45
図6.22	カラムアドレス出力サイクル3ステートの場合のアクセスタイミング例（RAST=0の場合）	6-46
図6.23	RAS信号がTrステートの先頭からLowレベルとなる場合のアクセスタイミング例 （CAST=0の場合）	6-47
図6.24	ロウアドレス出力保持ステート数が1ステート時のタイミング例（RAST=0、CAST=0の場合）	6-48
図6.25	プリチャージサイクル2ステート時のタイミング例（RAST=0、CAST=0の場合）	6-49
図6.26	ウェイトステート挿入タイミング例（カラムアドレス出力2ステートの場合）	6-50
図6.27	ウェイトステート挿入タイミング例（カラムアドレス出力3ステートの場合）	6-51
図6.28	CAS2本方式の制御タイミング（上位バイトライトアクセス時、RAST=0、CAST=0の場合）	6-52
図6.29	CAS2本方式の接続例	6-53
図6.30	高速ページモードの動作タイミング（RAST=0、CAST=0の場合）	6-54
図6.31	高速ページモードの動作タイミング（RAST=0、CAST=1の場合）	6-54
図6.32	RASダウンモードの動作タイミング例（RAST=0、CAST=0の場合）	6-56
図6.33	RASアップモードの動作タイミング例（RAST=0、CAST=0の場合）	6-57
図6.34	RTCNTの動作	6-58
図6.35	コンパマッチのタイミング	6-58
図6.36	CBRリフレッシュタイミング	6-58
図6.37	CBRリフレッシュタイミング（RCW1=0、RCW0=1、RLW1=0、RLW0=0の場合）	6-59
図6.38	CBRリフレッシュタイミング例（CBRM=1のとき）	6-59
図6.39	セルフリフレッシュタイミング	6-60
図6.40	セルフリフレッシュ直後のプリチャージ時間を2ステート増加した場合のタイミング例	6-61
図6.41	DDS=1またはEDDS=1の場合のDACK、EDACK出力タイミング例 （RAST=0、CAST=0の場合）	6-62
図6.42	DDS=0またはEDDS=0の場合のDACK、EDACK出力タイミング例 （RAST=0、CAST=1の場合）	6-63
図6.43	とSDRAM の関係（PLL周波数逡倍率×1、×2の場合）	6-67
図6.44	シンクロナスDRAM基本アクセスタイミング（CASレイテンシ1の場合）	6-68
図6.45	CASレイテンシ制御タイミング（SDWCD=0、CASレイテンシ3の場合）	6-70
図6.46	ロウアドレス出力保持ステート数が1ステート時のタイミング例 （RCD1=0、RCD0=1、SDWCD=0、CASレイテンシ2の場合）	6-71
図6.47	プリチャージサイクル2ステート時のタイミング例 （TPC1=0、TPC0=1、SDWCD=0、CASレイテンシ2の場合）	6-72
図6.48	CASレイテンシ制御サイクルを無効にしたときのライトアクセスタイミング例 （SDWCD=1の場合）	6-73

図6.49	DQMU、DQMLによる制御タイミング (上位バイトライトアクセス時、SDWCD=0の場合、CASレイテンシ2の場合)	6-74
図6.50	DQMU、DQMLによる制御タイミング (下位バイトリードアクセス時、CASレイテンシ2の場合)	6-75
図6.51	DQMU、DQMLによるバイト制御の接続例	6-76
図6.52	バーストアクセスの動作タイミング (BE=1、SDWCD=0、CASレイテンシ2の場合)	6-77
図6.53	RASダウンモードの動作タイミング例 (BE=1、CASレイテンシ2の場合)	6-79
図6.54	オートリフレッシュタイミング	6-80
図6.55	オートリフレッシュタイミング (TPC=1、TPC0=1、RCW1=0、RCW0=1の場合)	6-81
図6.56	オートリフレッシュタイミング (TPC=0、TPC0=0、RLW1=0、RLW0=1の場合)	6-82
図6.57	セルフリフレッシュタイミング (TPC1=1、TPC0=0、RCW1=0、RCW0=0、RLW1=0、RLW0=0の場合)	6-83
図6.58	セルフリフレッシュ直後のプリチャージ時間を2ステート増加した場合のタイミング例 (TPCS2~TPCS0=H2、TPC1=0、TPC0=0、CASレイテンシ2の場合)	6-84
図6.59	シンクロナスDRAMモード設定タイミング	6-85
図6.60	DDS=1またはEDDS=1の場合のDACK、EDACK出力タイミング例	6-87
図6.61	DDS=0またはEDDS=0の場合のDACK、EDACK出力タイミング例	6-89
図6.62	リードデータを2ステート拡張した場合のタイミング例 (DDS=1またはEDDS=1、RDXC1=0、RDXC0=1、CASレイテンシ2の場合)	6-90
図6.63	バーストROMアクセスタイミング例 (ASTn=1、バーストサイクル2ステートの場合)	6-92
図6.64	バーストROMアクセスタイミング例 (ASTn=0、バーストサイクル1ステートの場合)	6-93
図6.65	アイドルサイクル動作例 (異なるエリア間での連続リード)	6-94
図6.66	アイドルサイクル動作例 (リード後のライト)	6-95
図6.67	アイドルサイクル動作例 (ライト後のリード)	6-96
図6.68	チップセレクト(\overline{CS})とリード(\overline{RD})の関係	6-96
図6.69	外部リード後のDRAMフルアクセス例 (CAST=0の場合)	6-97
図6.70	RASダウンモード時のアイドルサイクル動作例 (異なるエリア間での連続リード) (IDLC=0、RAST=0、CAST=0の場合)	6-97
図6.71	RASダウンモード時のアイドルサイクル動作例 (リード後のライト) (IDLC=0、RAST=0、CAST=0の場合)	6-98
図6.72	外部リード後のシンクロナスDRAMフルアクセス例 (CASレイテンシ2の場合)	6-99
図6.73	RASダウンモード時のアイドルサイクル動作例 (異なるエリアのリード) (IDLC=0、CASレイテンシ2の場合)	6-100
図6.74	RASダウンモード時のアイドルサイクル動作例 (異なるエリアのリード) (IDLC=1、CASレイテンシ2の場合)	6-101
図6.75	RASダウンモード時のアイドルサイクル動作例 (リード後のライト) (IDLC=0、CASレイテンシ2の場合)	6-102
図6.76	DRAMアクセス後のアイドルサイクル動作例 (異なるエリア間での連続リード) (IDLC=0、RAST=0、CAST=0の場合)	6-103
図6.77	DRAMアクセス後のアイドルサイクル動作例 (リード後のライト) (IDLC=0、RAST=0、CAST=0の場合)	6-103

図6.78	DRAMライトアクセス後のアイドルサイクル動作例 (IDLC = 0、ICIS1 = 0、RAST = 0、CAST = 0の場合)	6-104
図6.79	連続シンクロナスDRAM空間リードアクセス後のアイドルサイクル動作例 (異なるエリア間のリード) (IDLC = 0、CASレイテンシ2の場合)	6-105
図6.80	連続シンクロナスDRAM空間ライトアクセス後のアイドルサイクル動作例 (IDLC = 0、ICIS1 = 0、SDWCD = 1、CASレイテンシ2の場合)	6-106
図6.81	RASダウンモードでDRAM空間へのリードとライトが連続したときに アイドルサイクルを挿入する場合のタイミング例	6-108
図6.82	RASダウンモードで連続シンクロナスDRAM空間へのリードとライトが連続したときに アイドルサイクルを挿入する場合のタイミング例 (SDWCD = 1、CASレイテンシ2の場合)	6-109
図6.83	ライトデータバッファ機能使用時のタイミング例	6-111
図6.84	バス権解放状態遷移タイミング	6-113
図6.85	シンクロナスDRAMインタフェース時のバス解放状態遷移タイミング	6-114

7. DMA コントローラ (DMAC)

図7.1	DMACのブロック図	7-2
図7.2	DTCによるレジスタ再設定領域 (チャネル0A)	7-19
図7.3	シーケンシャルモードの動作	7-25
図7.4	シーケンシャルモードの設定手順例	7-26
図7.5	アイドルモードの動作	7-27
図7.6	アイドルモードの設定手順例	7-28
図7.7	リピートモードの動作	7-30
図7.8	リピートモードの設定手順例	7-31
図7.9	シングルアドレスモード (シーケンシャルモード指定) の動作	7-33
図7.10	シングルアドレスモード (シーケンシャルモード指定) の設定手順例	7-34
図7.11	ノーマルモードの動作	7-36
図7.12	ノーマルモードの設定手順例	7-37
図7.13	ブロック転送モードの動作 (BLKDIR = 0)	7-39
図7.14	ブロック転送モードの動作 (BLKDIR = 1)	7-40
図7.15	ブロック転送モードの動作フロー	7-41
図7.16	ブロック転送モードの設定手順例	7-42
図7.17	DMA転送バスタイミング例	7-43
図7.18	ショートアドレスモード転送例	7-43
図7.19	フルアドレスモード (サイクルスチール) 転送例	7-44
図7.20	フルアドレスモード (バーストモード) 転送例	7-45
図7.21	フルアドレスモード (ブロック転送モード) 転送例	7-45
図7.22	$\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のノーマルモード転送例	7-46
図7.23	$\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のブロック転送モード転送例	7-47
図7.24	$\overline{\text{DREQ}}$ 端子Lowレベル起動のノーマルモード転送例	7-48
図7.25	$\overline{\text{DREQ}}$ 端子Lowレベル起動のブロック転送モード転送例	7-49
図7.26	シングルアドレスモード (バイトリード) 転送例	7-50

図7.27	シングルアドレスモード（ワードリード）転送例	7-50
図7.28	シングルアドレスモード（バイトライト）転送例	7-51
図7.29	シングルアドレスモード（ワードライト）転送例	7-51
図7.30	$\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のシングルアドレスモード転送例	7-52
図7.31	$\overline{\text{DREQ}}$ 端子Lowレベル起動のシングルアドレスモード転送例	7-53
図7.32	ライトデータバッファ機能を用いたデュアルアドレス転送例	7-54
図7.33	ライトデータバッファ機能を用いたシングルアドレス転送例	7-54
図7.34	複数チャンネル転送例	7-55
図7.35	NMI割り込みにより中断したチャンネルの転送継続手順例	7-56
図7.36	DMACの強制終了手順例	7-57
図7.37	フルアドレスモード解除手順例	7-57
図7.38	転送終了 / 転送中断割り込みのブロック図	7-58
図7.39	DMACのレジスタの更新タイミング	7-59
図7.40	DMACレジスタの更新とCPUリードの競合	7-60
図7.41	$\overline{\text{TEND}}$ 端子にLowレベルが出力されない例	7-61

8. EXDMA コントローラ（EXDMAC）

図8.1	EXDMACのブロック図	8-2
図8.2	デュアルアドレスモードのタイミング例	8-13
図8.3	シングルアドレスモードでのデータの流れ	8-14
図8.4	シングルアドレスモードのタイミング例	8-15
図8.5	サイクルスチールモードのタイミング例	8-17
図8.6	バーストモードのタイミング例	8-17
図8.7	ノーマル転送モードの例	8-18
図8.8	ブロック転送モードの例	8-19
図8.9	リピートエリア機能の例	8-20
図8.10	ブロック転送モードとリピートエリア機能を併用したときの例	8-21
図8.11	ノーマル転送モードとブロック転送モード時のEDTCRの更新動作	8-23
図8.12	動作中のチャンネルのレジスタの設定を変更するときの手順	8-24
図8.13	チャンネルの優先順位のタイミング例	8-25
図8.14	チャンネルの優先順位のタイミング例	8-26
図8.15	ノーマル転送モード（サイクルスチールモード）転送例	8-27
図8.16	ノーマル転送モード（バーストモード）転送例	8-27
図8.17	ブロック転送モード（サイクルスチールモード）転送例	8-28
図8.18	$\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動のノーマルモード転送例	8-29
図8.19	$\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動のブロック転送モード転送例	8-30
図8.20	$\overline{\text{EDREQ}}$ レベル起動のノーマルモード転送例	8-31
図8.21	$\overline{\text{EDREQ}}$ レベル起動のブロック転送モード転送例	8-32
図8.22	シングルアドレスモード（バイトリード）転送例	8-33
図8.23	シングルアドレスモード（ワードリード）転送例	8-33

図8.24	シングルアドレスモード（バイトライト）転送例	8-34
図8.25	シングルアドレスモード（ワードライト）転送例	8-34
図8.26	$\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動のシングルアドレスモード転送例	8-35
図8.27	$\overline{\text{EDREQ}}$ 端子Lowレベル起動のシングルアドレスモード転送例	8-36
図8.28	オートリクエスト/サイクルスチールモード/ノーマル転送モード （競合がない場合/デュアルアドレスモード）	8-37
図8.29	オートリクエスト/サイクルスチールモード/ノーマル転送モード （CPUサイクルあり/シングルアドレスモード）	8-37
図8.30	オートリクエスト/サイクルスチールモード/ノーマル転送モード （他のチャンネルと競合する場合/シングルアドレスモード）	8-38
図8.31	オートリクエスト/バーストモード/ノーマル転送モード （CPUサイクルあり/デュアルアドレスモード/BGUP=0）	8-38
図8.32	オートリクエスト/バーストモード/ノーマル転送モード （CPUサイクルあり/デュアルアドレスモード/BGUP=1）	8-38
図8.33	オートリクエスト/バーストモード/ノーマル転送モード （CPUサイクルあり/シングルアドレスモード/BGUP=1）	8-39
図8.34	オートリクエスト/バーストモード/ノーマル転送モード （他のチャンネルと競合する場合/シングルアドレスモード）	8-39
図8.35	外部リクエスト/サイクルスチールモード/ノーマル転送モード （競合がない場合/デュアルアドレスモード/Lowレベル検出）	8-40
図8.36	外部リクエスト/サイクルスチールモード/ノーマル転送モード （CPUサイクルあり/シングルアドレスモード/Lowレベル検出）	8-40
図8.37	外部リクエスト/サイクルスチールモード/ノーマル転送モード （競合がない場合/シングルアドレスモード/立ち下がりエッジ検出）	8-40
図8.38	外部リクエスト/サイクルスチールモード/ノーマル転送モード （他のチャンネルと競合する場合/デュアルアドレスモード/Lowレベル検出）	8-41
図8.39	外部リクエスト/サイクルスチールモード/ブロック転送モード （競合がない場合/デュアルアドレスモード/Lowレベル検出/BGUP=0）	8-42
図8.40	外部リクエスト/サイクルスチールモード/ブロック転送モード （競合がない場合/シングルアドレスモード/立ち下がりエッジ検出/BGUP=0）	8-43
図8.41	外部リクエスト/サイクルスチールモード/ブロック転送モード （CPUサイクルあり/シングルアドレスモード/Lowレベル検出/BGUP=0）	8-44
図8.42	外部リクエスト/サイクルスチールモード/ブロック転送モード （CPUサイクルあり/デュアルアドレスモード/Lowレベル検出/BGUP=1）	8-45
図8.43	外部リクエスト/サイクルスチールモード/ブロック転送モード （CPUサイクルあり/シングルアドレスモード/Lowレベル検出/BGUP=1）	8-46
図8.44	外部リクエスト/サイクルスチールモード/ブロック転送モード （他のチャンネルと競合する場合/デュアルアドレスモード/Lowレベル検出）	8-47
図8.45	転送終了割り込みのブロック図	8-50
図8.46	転送終了割り込みが発生したチャンネルの転送再開手順例	8-51

9. データトランスファコントローラ（DTC）

図9.1	DTCのブロック図	9-2
------	-----------	-----

図9.2	DTC起動要因制御ブロック図	9-7
図9.3	アドレス空間上でのDTCレジスタ情報の配置	9-8
図9.4	DTCベクタアドレスとレジスタ情報との対応	9-9
図9.5	DTC動作フローチャート	9-11
図9.6	ノーマルモードのメモリマップ	9-13
図9.7	リピートモードのメモリマップ	9-14
図9.8	ブロック転送モードのメモリマップ	9-15
図9.9	チェイン転送の動作	9-16
図9.10	DTCの動作タイミング(ノーマルモード、リピートモードの例)	9-17
図9.11	DTCの動作タイミング(ブロック転送モード、ブロックサイズ=2の例)	9-17
図9.12	DTCの動作タイミング(チェイン転送の例)	9-17
図9.13	カウンタ=0のときのチェイン転送	9-22

11. 16ビットタイマパルスユニット(TPU)

図11.1	TPUのブロック図	11-4
図11.2	カウンタ動作設定手順例	11-34
図11.3	フリーランニングカウンタの動作	11-35
図11.4	周期カウンタの動作	11-36
図11.5	コンペアマッチによる波形出力動作例	11-36
図11.6	0出力/1出力の動作例	11-37
図11.7	トグル出力の動作例	11-37
図11.8	インプットキャプチャ動作の設定例	11-38
図11.9	インプットキャプチャ動作例	11-39
図11.10	同期動作の設定手順例	11-40
図11.11	同期動作の動作例	11-41
図11.12	コンペアマッチバッファ動作	11-42
図11.13	インプットキャプチャバッファ動作	11-42
図11.14	バッファ動作の設定手順例	11-42
図11.15	バッファ動作例(1)	11-43
図11.16	バッファ動作例(2)	11-44
図11.17	カスケード接続動作設定手順	11-45
図11.18	カスケード接続動作例(1)	11-45
図11.19	カスケード接続動作例(2)	11-46
図11.20	PWMモードの設定手順例	11-48
図11.21	PWMモードの動作例(1)	11-48
図11.22	PWMモードの動作例(2)	11-49
図11.23	PWMモード動作例(3)	11-50
図11.24	位相計数モードの設定手順例	11-51
図11.25	位相計数モード1の動作例	11-52
図11.26	位相計数モード2の動作例	11-53

図11.27	位相計数モード3の動作例	11-54
図11.28	位相計数モード4の動作例	11-55
図11.29	位相計数モードの応用例	11-56
図11.30	内部クロック動作時のカウントタイミング	11-59
図11.31	外部クロック動作時のカウントタイミング	11-59
図11.32	アウトプットコンペア出力タイミング	11-60
図11.33	インプットキャプチャ入力信号タイミング	11-60
図11.34	カウンタクリアタイミング (コンペアマッチ)	11-61
図11.35	カウンタクリアタイミング (インプットキャプチャ)	11-61
図11.36	バッファ動作タイミング (コンペアマッチ)	11-62
図11.37	バッファ動作タイミング (インプットキャプチャ)	11-62
図11.38	TGI割り込みタイミング (コンペアマッチ)	11-63
図11.39	TGI割り込みタイミング (インプットキャプチャ)	11-63
図11.40	TCIV割り込みのセットタイミング	11-64
図11.41	TCIU割り込みのセットタイミング	11-64
図11.42	CPUによるステータスフラグのクリアタイミング	11-65
図11.43	DTC/DMACの起動によるステータスフラグのクリアタイミング	11-65
図11.44	位相計数モード時の位相差、オーバーラップ、およびパルス幅	11-66
図11.45	TCNTのライトとクリアの競合	11-67
図11.46	TCNTのライトとカウントアップの競合	11-67
図11.47	TGRのライトとコンペアマッチの競合	11-68
図11.48	バッファレジスタのライトとコンペアマッチの競合	11-69
図11.49	TGRのリードとインプットキャプチャの競合	11-69
図11.50	TGRのライトとインプットキャプチャの競合	11-70
図11.51	バッファレジスタのライトとインプットキャプチャの競合	11-71
図11.52	オーバフローとカウンタクリアの競合	11-71
図11.53	TCNTのライトとオーバフローの競合	11-72

12. プログラマブルパルスジェネレータ (PPG)

図12.1	PPGのブロック図	12-2
図12.2	PPG概要図	12-10
図12.3	NDRの内容が転送・出力されるタイミング例	12-11
図12.4	パルス出力通常動作の設定手順例	12-12
図12.5	パルス出力通常動作例 (5相パルス出力例)	12-13
図12.6	パルス出力ノンオーバーラップ動作	12-14
図12.7	ノンオーバーラップ動作とNDRライトタイミング	12-15
図12.8	パルス出力ノンオーバーラップ動作の設定手順例	12-16
図12.9	パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力)	12-17
図12.10	パルス反転出力例	12-19
図12.11	インプットキャプチャによるパルス出力例	12-20

13. 8ビットタイマ (TMR)

図13.1	8ビットタイマのブロック図	13-2
図13.2	パルス出力例	13-9
図13.3	内部クロック動作時のカウントタイミング	13-10
図13.4	外部クロック動作時のカウントタイミング	13-10
図13.5	コンペアマッチ時のCMFフラグのセットタイミング	13-11
図13.6	コンペアマッチA信号によるトグル出力のタイマ出力タイミング	13-11
図13.7	コンペアマッチによるカウンタクリアタイミング	13-11
図13.8	外部リセット入力によるクリアタイミング	13-12
図13.9	OVFフラグのセットタイミング	13-12
図13.10	TCNTのライトとクリアの競合	13-15
図13.11	TCNTのライトとカウントアップの競合	13-15
図13.12	TCORのライトとコンペアマッチの競合	13-16

14. ウォッチドッグタイマ (WDT)

図14.1	WDTのブロック図	14-2
図14.2	ウォッチドッグタイマモード時の動作	14-5
図14.3	インターバルタイマモード時の動作	14-6
図14.4	TCNT、TCSR、RSTCSRへのライト	14-7
図14.5	TCNTのライトとカウントアップの競合	14-8
図14.6	WDTOVF信号によるシステムのリセット回路例	14-9

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

図15.1	SCIのブロック図	15-2
図15.2	調歩同式通信のデータフォーマット (8ビットデータ/パリティあり/2ストップビットの例)	15-26
図15.3	調歩同期式モードの受信データサンプリングタイミング	15-28
図15.4	出力クロックと送信データの位相関係 (調歩同期式モード)	15-29
図15.5	SCIの初期化フローチャートの例	15-30
図15.6	調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	15-31
図15.7	シリアル送信のフローチャートの例	15-32
図15.8	SCIの受信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)	15-33
図15.9	シリアル受信データフローチャートの例 (1)	15-34
図15.9	シリアル受信データフローチャートの例 (2)	15-35
図15.10	マルチプロセッサフォーマットを使用した通信例 (受信局AへのデータH'AAの送信の例)	15-36
図15.11	マルチプロセッサシリアル送信のフローチャートの例	15-37
図15.12	SCIの受信時の動作例 (8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)	15-38
図15.13	マルチプロセッサシリアル受信のフローチャートの例 (1)	15-39
図15.13	マルチプロセッサシリアル受信のフローチャートの例 (2)	15-40
図15.14	クロック同期式通信のデータフォーマット (LSBファーストの場合)	15-41

図15.15	SCIの初期化フローチャートの例	15-42
図15.16	クロック同期式モードの送信時の動作例	15-43
図15.17	シリアル送信のフローチャートの例	15-44
図15.18	SCIの受信時の動作例	15-45
図15.19	シリアルデータ受信フローチャートの例	15-46
図15.20	シリアル送受信同時動作のフローチャートの例	15-48
図15.21	スマートカードインタフェース端子接続概要	15-49
図15.22	通常スマートカードインタフェースのデータフォーマット	15-50
図15.23	ダイレクトコンベンション (SDIR = SINV = $O/\bar{E} = 0$)	15-50
図15.24	インバースコンベンション (SDIR = SINV = $O/\bar{E} = 1$)	15-51
図15.25	スマートカードインタフェースモード時の受信データサンプリングタイミング (372倍のクロック使用時)	15-52
図15.26	SCI送信モードの場合の再転送動作	15-55
図15.27	送信動作時のTENDフラグ発生タイミング	15-55
図15.28	送信処理フローの例	15-56
図15.29	SCI受信モードの場合の再転送動作	15-57
図15.30	受信フローの例	15-58
図15.31	クロック出力固定タイミング	15-58
図15.32	クロック停止・再起動手順	15-59
図15.33	IrDAブロック図	15-60
図15.34	IrDAの送信/受信動作	15-61
図15.35	DTCによるクロック同期式送信時の例	15-66
図15.36	送信時のモード遷移フローチャートの例	15-67
図15.37	モード遷移時のポート端子状態 (内部クロック、調歩同期送信)	15-68
図15.38	モード遷移時のポート端子状態 (内部クロック、クロック同期送信)	15-68
図15.39	受信時のモード遷移フローチャートの例	15-69

16. I²C バスインタフェース 2 (IIC2) [オプション]

図16.1	I ² Cバスインタフェース2のブロック図	16-2
図16.2	入出力端子の外部回路接続例	16-3
図16.3	I ² Cバスフォーマット	16-13
図16.4	I ² Cバスタイミング	16-13
図16.5	マスタ送信モード動作タイミング1	16-15
図16.6	マスタ送信モード動作タイミング2	16-15
図16.7	マスタ受信モード動作タイミング1	16-17
図16.8	マスタ受信モード動作タイミング2	16-18
図16.9	スレーブ送信モード動作タイミング1	16-19
図16.10	スレーブ送信モード動作タイミング2	16-20
図16.11	スレーブ受信モード動作タイミング1	16-21
図16.12	スレーブ受信モード動作タイミング2	16-21
図16.13	ノイズ除去回路のブロック図	16-22

図16.14	マスタ送信モードのフローチャート例	16-23
図16.15	マスタ受信モードのフローチャート例	16-24
図16.16	スレーブ送信モードフローチャート例	16-25
図16.17	スレーブ受信モードフローチャート例	16-26
図16.18	ビット同期回路のタイミング	16-27
17. A/D 変換器		
図17.1	A/D変換器のブロック図	17-2
図17.2	A/D変換タイミング	17-9
図17.3	外部トリガ入力タイミング	17-10
図17.4	A/D変換精度の定義	17-12
図17.5	A/D変換精度の定義	17-12
図17.6	アナログ入力回路の例	17-13
図17.7	アナログ入力保護回路の例	17-15
18. D/A 変換器		
図18.1	D/A変換器 (H8S/2378 0.18 μ m F-ZTATグループ、H8S/2378R 0.18 μ m F-ZTATグループ、H8S/2377、H8S/2377R) のブロック図	18-1
図18.2	D/A変換器 (H8S/2375、H8S/2375R、H8S/2373、H8S/2373R) のブロック図	18-2
図18.3	D/A変換器の動作例	18-8
20. フラッシュメモリ (0.35 μ m F-ZTAT 版)		
図20.1	フラッシュメモリのブロック図	20-2
図20.2	フラッシュメモリに関する状態遷移	20-3
図20.3	ブートモード	20-4
図20.4	ユーザプログラムモード	20-5
図20.5	384Kバイトフラッシュメモリのブロック構成 (モード3、4、7)	20-6
図20.6	ユーザプログラムモードにおける書き込み/消去例	20-14
図20.7	プログラム/プログラムベリファイフロー	20-16
図20.8	イレース/イレースベリファイフロー	20-18
図20.9	電源投入/切断タイミング	20-22
図20.10	モード遷移タイミング (例: ブートモード ユーザモード ユーザプログラムモード)	20-23
21. フラッシュメモリ (0.18 μ m F-ZTAT 版)		
図21.1	フラッシュメモリのブロック図	21-3
図21.2	フラッシュメモリに関するモード遷移図	21-4
図21.3	フラッシュメモリ構成図	21-5
図21.4	ユーザマットのブロック分割	21-6
図21.5	ユーザの手続きプログラムの概要	21-7
図21.6	ブートモード時のシステム構成図	21-24

図21.7	SCIビットレートの自動合わせ込み動作	21-25
図21.8	ブートモードの状態遷移の概略図	21-27
図21.9	書き込み/消去概略フロー	21-28
図21.10	書き込み/消去実施時のRAMマップ	21-28
図21.11	書き込み手順	21-29
図21.12	消去手順	21-35
図21.13	ユーザブートモードでのユーザマットへの書き込み手順	21-38
図21.14	ユーザブートモードでのユーザマットの消去手順	21-39
図21.15	エラープロテクト状態への状態遷移図	21-46
図21.16	ユーザマット/ユーザブートマットの切り替え	21-47
図21.17	ブートプログラムのステータス	21-49
図21.18	ビットレート合わせ込みのシーケンス	21-50
図21.19	通信プロトコルフォーマット	21-51
図21.20	新ビットレート選択のシーケンス	21-60
図21.21	書き込みシーケンス	21-63
図21.22	消去シーケンス	21-65
22.	マスクROM	
図22.1	256KバイトマスクROMのブロック図 (HD6432375)	22-1
23.	クロック発振器	
図23.1	クロック発振器のブロック図	23-1
図23.2	水晶発振子の接続例	23-4
図23.3	水晶発振子の等価回路	23-4
図23.4	外部クロックの接続例	23-5
図23.5	外部クロック入力タイミング	23-6
図23.6	発振回路部のボード設計に関する注意事項	23-7
図23.7	PLL回路の外付け推奨回路	23-8
24.	低消費電力状態	
図24.1	モード遷移図	24-3
図24.2	ソフトウェアスタンバイモードの応用例	24-11
図24.3	ハードウェアスタンバイモードのタイミング	24-12
図24.4	電源投入時のハードウェアスタンバイモードのタイミング	24-13
26.	電气的特性	
図26.1	出力負荷回路	26-4
図26.2	システムクロックタイミング	26-36
図26.3	SDRAM タイミング	26-36
図26.4	発振安定時間タイミング (1)	26-36

図26.4	発振安定時間タイミング (2)	26-37
図26.5	リセット入力タイミング	26-38
図26.6	割り込み入力タイミング	26-38
図26.7	基本バスタイミング / 2ステートアクセス	26-39
図26.8	基本バスタイミング / 3ステートアクセス	26-40
図26.9	基本バスタイミング / 3ステートアクセス1ウェイト	26-41
図26.10	基本バスタイミング / 2ステートアクセス (\overline{CS} アサート期間延長)	26-42
図26.11	基本バスタイミング / 3ステートアクセス (\overline{CS} アサート期間延長)	26-43
図26.12	バーストROMアクセスタイミング / 1ステートバーストアクセス	26-44
図26.13	バーストROMアクセスタイミング / 2ステートバーストアクセス	26-45
図26.14	DRAMアクセスタイミング / 2ステートアクセス	26-46
図26.15	DRAMアクセスタイミング / 2ステートアクセス1ウェイト	26-47
図26.16	DRAMアクセスタイミング / 2ステートバーストアクセス	26-48
図26.17	DRAMアクセスタイミング / 3ステートアクセス (RAST = 1のとき)	26-49
図26.18	DRAMアクセスタイミング / 3ステートバーストアクセス	26-50
図26.19	CASピフォアRASリフレッシュタイミング	26-51
図26.20	CASピフォアRASリフレッシュタイミング (ウェイトサイクル挿入)	26-51
図26.21	セルフリフレッシュタイミング (ソフトウェアスタンバイからの復帰時: RAST = 0のとき)	26-52
図26.22	セルフリフレッシュタイミング (ソフトウェアスタンバイからの復帰時: RAST = 1のとき)	26-52
図26.23	外部バス権開放タイミング	26-53
図26.24	外部バス権要求出力タイミング	26-53
図26.25	シンクロナスDRAM基本アクセスタイミング (CASレイテンシ2の場合)	26-54
図26.26	シンクロナスDRAMセルフリフレッシュタイミング	26-55
図26.27	リードデータを2ステート拡張した場合 (CASレイテンシ2の場合)	26-56
図26.28	DMACおよびEXDMAC、シングルアドレス転送タイミング / 2ステートアクセス	26-57
図26.29	DMACおよびEXDMAC、シングルアドレス転送タイミング / 3ステートアクセス	26-58
図26.30	DMACおよびEXDMAC、 \overline{TEND} 、 \overline{ETEND} 出力タイミング	26-59
図26.31	DMACおよびEXDMAC、 \overline{DREQ} 、 \overline{EDREQ} 入力タイミング	26-59
図26.32	EXDMAC、 \overline{EDRAK} 出力タイミング	26-59
図26.33	I/Oポート入出力タイミング	26-60
図26.34	PPG出力タイミング	26-60
図26.35	TPU入出力タイミング	26-60
図26.36	TPUクロック入力タイミング	26-61
図26.37	8ビットタイマ出力タイミング	26-61
図26.38	8ビットタイマクロック入力タイミング	26-61
図26.39	8ビットタイマリセット入力タイミング	26-61
図26.40	WDT出力タイミング	26-62
図26.41	SCKクロック入力タイミング	26-62
図26.42	SCI入出力タイミング / クロック同期式モード	26-62
図26.43	A/D変換器外部トリガ入力タイミング	26-62
図26.44	I ² Cバスインタフェース2入出力タイミング【オプション】	26-63

付録

図C.1	外形寸法図 (FP-144H)	付録-10
図C.2	外形寸法図 (TLP-145V)	付録-11
図D.1	アドレスバス、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} のタイミング (8ビットバス・3ステートアクセス・ウェイトなしの場合)	付録-13

表目次

1. 概要

表1.1 動作モード別ピン配置一覧	1-12
表1.2 端子機能	1-19

2. CPU

表2.1 命令の分類	2-16
表2.2 オペレーションの記号	2-17
表2.3 データ転送命令	2-18
表2.4 算術演算命令	2-18
表2.5 論理演算命令	2-20
表2.6 シフト命令	2-20
表2.7 ビット操作命令	2-21
表2.8 分岐命令	2-23
表2.9 システム制御命令	2-24
表2.10 ブロック転送命令	2-25
表2.11 アドレッシングモード一覧表	2-26
表2.12 絶対アドレスのアクセス範囲	2-28
表2.13 実行アドレスの計算方法	2-30

3. MCU動作モード

表3.1 MCU動作モード	3-1
表3.2 各動作モードにおける端子機能	3-6

4. 例外処理

表4.1 例外処理の種類と優先度	4-1
表4.2 例外処理ベクタテーブル	4-2
表4.3 トレース例外処理後のCCR、EXRの状態	4-6
表4.4 トラップ命令例外処理後のCCR、EXRの状態	4-7

5. 割り込みコントローラ

表5.1 端子構成	5-2
表5.2 割り込み要因とベクタアドレスおよび割り込み優先順位一覧	5-15
表5.3 割り込み制御モード	5-19
表5.4 割り込み応答時間	5-24

表5.5	割り込み例外処理の実行状態のステート数	5-24
6. バスコントローラ (BSC)		
表6.1	端子構成	6-3
表6.2	各エリアのバス仕様 (基本バスインタフェース)	6-27
表6.3	使用するデータバスと有効ストロープ	6-31
表6.4	RTMS2 ~ RTMS0の設定値とDRAM空間の関係	6-43
表6.5	MXC2 ~ MXC0とアドレスマルチプレクスの関係	6-44
表6.6	DRAMインタフェース端子構成	6-44
表6.7	RMTS2 ~ RMTS0の設定値とシンクロナスDRAM空間の関係	6-64
表6.8	MXC2 ~ MXC0とアドレスマルチプレクスの関係	6-65
表6.9	シンクロナスDRAMインタフェース端子構成	6-66
表6.10	CASレイテンシの設定	6-69
表6.11	通常空間とDRAM / 連続シンクロナスDRAM空間を混在してアクセスするときの アイドルサイクル	6-107
表6.12	アイドルサイクルでの端子状態	6-110
表6.13	バス権解放状態での端子状態	6-112
7. DMA コントローラ (DMAC)		
表7.1	端子構成	7-3
表7.2	ショートアドレスモードとフルアドレスモード (チャンネル0)	7-4
表7.3	DMACの起動要因	7-21
表7.4	DMACの転送モード	7-23
表7.5	シーケンシャルモード時のレジスタ機能	7-24
表7.6	アイドルモード時のレジスタ機能	7-27
表7.7	リピートモード時のレジスタ機能	7-29
表7.8	シングルアドレスモード時レジスタの機能	7-32
表7.9	ノーマルモード時のレジスタ機能	7-35
表7.10	ブロック転送モード時のレジスタの機能	7-38
表7.11	DMACのチャンネル間優先順位	7-55
表7.12	割り込み要因と優先度	7-58
8. EXDMA コントローラ (EXDMAC)		
表8.1	端子構成	8-3
表8.2	EXDMACの転送モード	8-12
表8.3	EXDMACのチャンネル間の優先順位	8-25
表8.4	割り込み要因と優先度	8-50
9. データトランスファコントローラ (DTC)		
表9.1	起動要因とDTCERのクリア	9-7

表9.2	割り込み要因とDTCベクタアドレスおよび対応するDTCE	9-9
表9.3	チェーン転送の条件	9-12
表9.4	ノーマルモードのレジスタ機能	9-12
表9.5	リピートモードのレジスタ機能	9-13
表9.6	ブロック転送モードのレジスタ機能	9-14
表9.7	DTCの実行状態	9-18
表9.8	実行状態に必要なステート数	9-18

10. I/Oポート

表10.1	ポートの機能一覧	10-2
表10.3	ポートA入力プルアップMOSの状態	10-49
表10.4	ポートB入力プルアップMOSの状態	10-52
表10.5	ポートC入力プルアップMOSの状態	10-55
表10.6	ポートD入力プルアップMOSの状態	10-58
表10.7	ポートE入力プルアップMOSの状態	10-62

11. 16ビットタイマパルスユニット (TPU)

表11.1	TPUの機能一覧	11-2
表11.2	端子構成	11-5
表11.3	CCLR2 ~ CCLR0 (チャンネル0、3)	11-8
表11.4	CCLR2 ~ CCLR0 (チャンネル1、2、4、5)	11-9
表11.5	TPSC2 ~ TPSC0 (チャンネル0)	11-9
表11.6	TPSC2 ~ TPSC0 (チャンネル1)	11-9
表11.7	TPSC2 ~ TPSC0 (チャンネル2)	11-10
表11.8	TPSC2 ~ TPSC0 (チャンネル3)	11-10
表11.9	TPSC2 ~ TPSC0 (チャンネル4)	11-10
表11.10	TPSC2 ~ TPSC0 (チャンネル5)	11-11
表11.11	MD3 ~ MD0	11-12
表11.12	TIORH_0	11-13
表11.13	TIORL_0	11-14
表11.14	TIOR_1	11-15
表11.15	TIOR_2	11-16
表11.16	TIORH_3	11-17
表11.17	TIORL_3	11-18
表11.18	TIOR_4	11-19
表11.19	TIOR_5	11-20
表11.20	TIORH_0	11-21
表11.21	TIORL_0	11-22
表11.22	TIOR_1	11-23
表11.23	TIOR_2	11-24

表11.24	TIORH_3	11-25
表11.25	TIORL_3	11-26
表11.26	TIOR_4	11-27
表11.27	TIOR_5	11-28
表11.28	レジスタの組み合わせ	11-41
表11.29	カスケード接続組み合わせ	11-44
表11.30	各PWM出力のレジスタと出力端子	11-47
表11.31	位相計数モードクロック入力端子	11-51
表11.32	位相計数モード1のアップ/ダウンカウント条件	11-52
表11.33	位相計数モード2のアップ/ダウンカウント条件	11-53
表11.34	位相計数モード3のアップ/ダウンカウント条件	11-54
表11.35	位相計数モード4のアップ/ダウンカウント条件	11-55
表11.36	TPU割り込み一覧	11-57
12.	プログラマブルパルスジェネレータ (PPG)	
表12.1	PPGの入出力端子	12-3
13.	8ビットタイマ (TMR)	
表13.1	端子構成	13-3
表13.2	TCNTに入力するクロックとカウント条件	13-6
表13.3	8ビットタイマTMR_0、TMR_1の割り込み要因	13-14
表13.4	タイマ出力の優先順位	13-16
表13.5	内部クロックの切り替えとTCNTの動作	13-17
14.	ウォッチドッグタイマ (WDT)	
表14.1	端子構成	14-2
表14.2	WDTの割り込み要因	14-6
15.	シリアルコミュニケーションインタフェース (SCI、IrDA)	
表15.1	端子構成	15-3
表15.2	BRRの設定値NとビットレートBの関係	15-17
表15.3	ビットレートに対するBRRの設定例 (調歩同期式モード)	15-18
表15.4	各動作周波数における最大ビットレート (調歩同期式モード)	15-20
表15.5	外部クロック入力時の最大ビットレート (調歩同期式モード)	15-21
表15.6	ビットレートに対するBRRの設定例 (クロック同期式モード)	15-22
表15.7	外部クロック入力時の最大ビットレート (クロック同期式モード)	15-22
表15.8	ビットレートに対するBRRの設定例 (スマートカードインタフェースモードでn=0、S=372のとき)	15-23
表15.9	各動作周波数における最大ビットレート (スマートカードインタフェースモードでS=372のとき)	15-23

表15.10	シリアル送信 / 受信フォーマット (調歩同期式モード)	15-27
表15.11	SSRのステータスフラグの状態と受信データの処理	15-34
表15.12	IrCKS2 ~ IrCKS0ビット設定	15-62
表15.13	SCI割り込み要因	15-63
表15.14	割り込み要因	15-64
16. I ² C バスインタフェース 2 (IIC2) [オプション]		
表16.1	端子構成	16-3
表16.2	転送レート	16-6
表16.3	割り込み要求一覧	16-27
表16.4	SCLをモニタする時間	16-28
17. A/D 変換器		
表17.1	端子構成	17-3
表17.2	アナログ入力チャンネルとADDRの対応	17-4
表17.3	A/D変換時間 (シングルモード)	17-9
表17.4	A/D変換時間 (スキャンモード)	17-9
表17.5	A/D変換器の割り込み要因	17-10
表17.6	アナログ端子の規格	17-15
18. D/A 変換器		
表18.1	端子構成	18-2
表18.2	D/A変換の制御	18-5
表18.3	D/A変換の制御	18-6
表18.4	D/A変換の制御	18-7
20. フラッシュメモリ (0.35μm F-ZTAT 版)		
表20.1	ブートモードとユーザプログラムモードの相違点	20-3
表20.2	端子構成	20-7
表20.3	消去ブロック	20-10
表20.4	オンボードプログラミングモードの設定方法	20-11
表20.5	ブートモードの動作	20-13
表20.6	ビットレート自動合わせ込みが可能なシステムクロック周波数	20-13
表20.7	フラッシュメモリの動作状態	20-20
21. フラッシュメモリ (0.18μm F-ZTAT 版)		
表21.1	プログラミングモードの比較	21-4
表21.2	端子構成	21-9
表21.3	使用レジスタ / パラメータと対象モード	21-10
表21.4	使用パラメータと対象モード	21-15

表21.5	オンボードプログラミングモードの設定方法	21-24
表21.6	本LSIの自動合わせ込みが可能なシステムクロックの周波数	21-25
表21.7	実行可能マツまとめ	21-41
表21.8 (1)	ユーザプログラムモードでの書き込み処理で使用可能エリア	21-41
表21.8 (2)	ユーザプログラムモードでの消去処理で使用可能エリア	21-42
表21.8 (3)	ユーザブートモードでの書き込み処理で使用可能エリア	21-43
表21.8 (4)	ユーザブートモードでの消去処理で使用可能エリア	21-44
表21.9	ハードウェアプロテクト	21-45
表21.10	ソフトウェアプロテクト	21-45
表21.11	問い合わせ選択コマンド一覧	21-52
表21.12	書き込み消去コマンド一覧	21-62
表21.13	ステータスコード	21-70
表21.14	エラーコード	21-70
表21.15	ユーザブランチ処理の起動間隔	21-72
23. クロック発振器		
表23.1	ダンピング抵抗値	23-4
表23.2	水晶発振子の特性	23-4
表23.3	外部クロック入力条件	23-5
24. 低消費電力状態		
表24.1	各モードでの本LSIの内部状態	24-2
表24.2	発振安定時間の設定	24-10
表24.3	各処理状態における 端子の状態	24-14
26. 電気的特性		
表26.1	絶対最大定格	26-1
表26.2	DC特性 (1)	26-2
表26.3	DC特性 (2)	26-3
表26.4	出力許容電流値	26-4
表26.5	クロックタイミング	26-5
表26.6	制御信号タイミング	26-5
表26.7	バスタイミング (1)	26-6
表26.8	バスタイミング (2)	26-7
表26.9	DMAC、EXDMACタイミング	26-8
表26.10	内蔵周辺モジュールタイミング	26-9
表26.11	A/D変換特性	26-10
表26.12	D/A変換特性	26-11
表26.13	フラッシュメモリ特性 (0.35 μ m F-ZTAT版)	26-11
表26.14	絶対最大定格	26-13

表26.15	DC特性 (1)	26-14
表26.16	DC特性 (2)	26-15
表26.17	出力許容電流値	26-16
表26.18	クロックタイミング	26-16
表26.19	制御信号タイミング	26-17
表26.20	バスタイミング (1)	26-17
表26.21	バスタイミング (2)	26-18
表26.22	DMAC、EXDMACタイミング	26-20
表26.23	内蔵周辺モジュールタイミング	26-20
表26.24	A/D変換特性	26-22
表26.25	D/A変換特性	26-22
表26.26	フラッシュメモリ特性 (0.18 μ m F-ZTAT版)	26-23
表26.27	絶対最大定格	26-24
表26.28	DC特性 (1)	26-25
表26.29	DC特性 (2)	26-26
表26.30	出力許容電流値	26-27
表26.31	クロックタイミング	26-27
表26.32	制御信号タイミング	26-28
表26.33	バスタイミング (1)	26-28
表26.34	バスタイミング (2)	26-29
表26.35	DMAC、EXDMACタイミング	26-31
表26.36	内蔵周辺モジュールタイミング	26-31
表26.37	A/D変換特性	26-33
表26.38	D/A変換特性	26-33
表26.39	フラッシュメモリ特性 (0.18 μ m F-ZTAT版) (512Kバイト)	26-34
表26.40	フラッシュメモリ特性 (0.18 μ m F-ZTAT版) (384Kバイト)	26-34
表26.41	フラッシュメモリ特性 (0.18 μ m F-ZTAT版) (256Kバイト)	26-35

付録

表D.1	命令の実行状態	付録-14
------	---------	-------

1. 概要

1.1 特長

- 16ビット高速H8S/2000 CPU
H8/300 CPU、H8/300H CPUとオブジェクトレベルで上位互換
汎用レジスタ：16ビット×16本
基本命令：65種類
 - 豊富な周辺機能
DMAコントローラ (DMAC)
EXDMAコントローラ (EXDMAC) *
データトランスファコントローラ (DTC)
16ビットタイマパルスユニット (TPU)
プログラマブルパルスジェネレータ (PPG)
8ビットタイマ (TMR)
ウォッチドッグタイマ (WDT)
調歩同期式またはクロック同期式シリアルコミュニケーションインタフェース (SCI)
I²Cバスインタフェース2 (IIC2)
10ビットA/D変換器
8ビットD/A変換器
クロック発振器
- 【注】 * H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

1. 概要

• 内蔵メモリ

ROM	型名	ROM	RAM	備考
フラッシュメモリ版	HD64F2378B	512K バイト	32K バイト	H8S/2378 0.18 μm F-ZTAT グループ
	HD64F2378R	512K バイト	32K バイト	H8S/2378R 0.18 μm F-ZTAT グループ
	HD64F2377	384K バイト	24K バイト	
	HD64F2377R	384K バイト	24K バイト	
	HD64F2374	384K バイト	32K バイト	H8S/2378 0.18 μm F-ZTAT グループ
	HD64F2374R	384K バイト	32K バイト	H8S/2378R 0.18 μm F-ZTAT グループ
	HD64F2372	256K バイト	32K バイト	H8S/2378 0.18 μm F-ZTAT グループ
	HD64F2372R	256K バイト	32K バイト	H8S/2378R 0.18 μm F-ZTAT グループ
	HD64F2371	256K バイト	24K バイト	H8S/2378 0.18 μm F-ZTAT グループ
	HD64F2371R	256K バイト	24K バイト	H8S/2378R 0.18 μm F-ZTAT グループ
	HD64F2370	256K バイト	16K バイト	H8S/2378 0.18 μm F-ZTAT グループ
	HD64F2370R	256K バイト	16K バイト	H8S/2378R 0.18 μm F-ZTAT グループ
マスク ROM 版	HD6432375	256K バイト	16K バイト	
	HD6432375R	256K バイト	16K バイト	
ROM レス版	HD6412373	—	16K バイト	
	HD6412373R	—	16K バイト	

• 汎用入出力ポート

入出力ポート：96本

入力ポート：17本

• 各種低消費電力モードをサポート

• 小型パッケージ

パッケージ	(コード)	ボディサイズ	ピンピッチ
LQFP-144	FP-144H (FP-144HV*)	22.0 × 22.0mm	0.5mm
LGA-145	TLP-145V*	9.0 × 9.0mm	0.65mm

【注】 * Pb フリー版

1.2 内部ブロック図

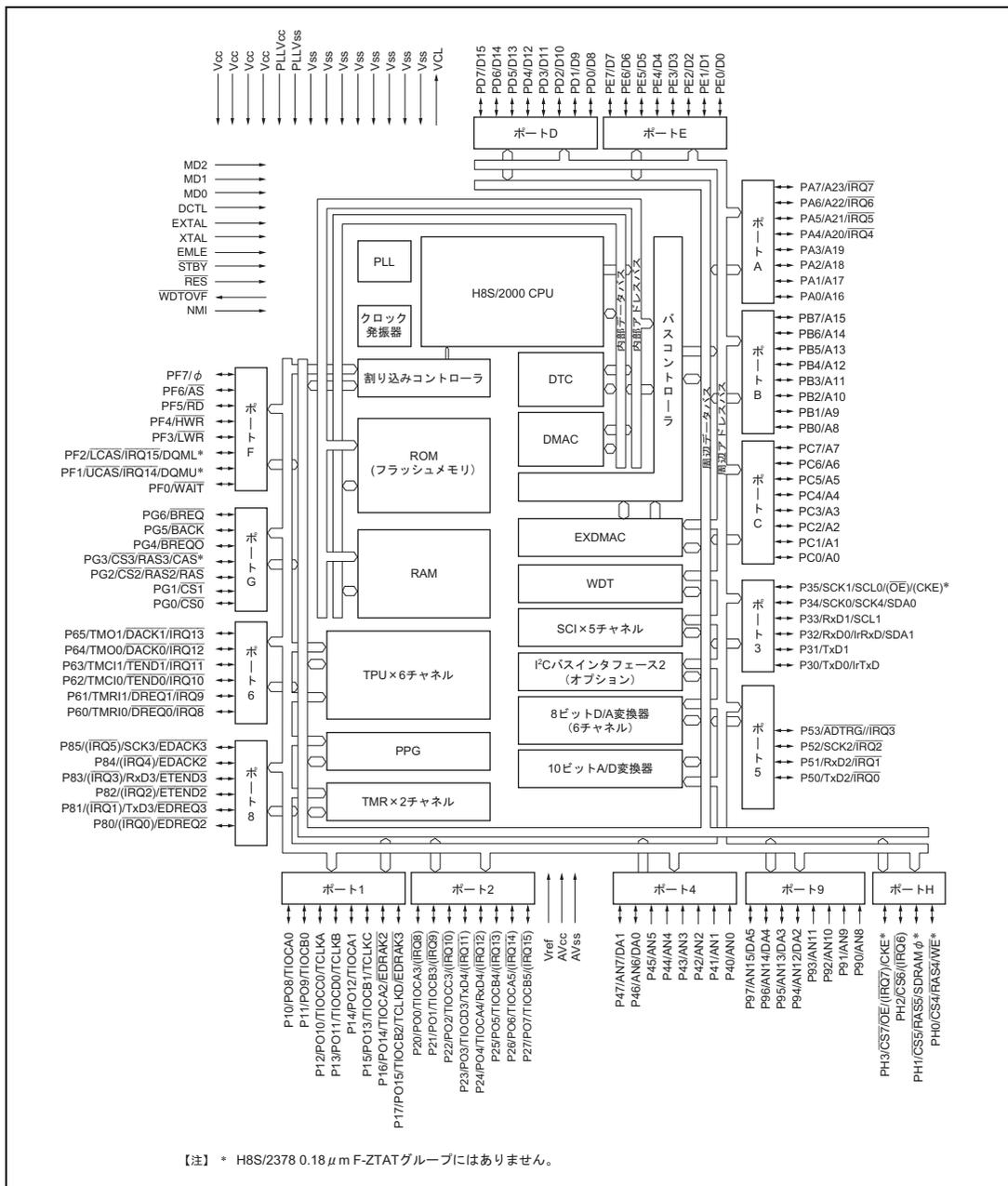


図 1.1 H8S/2378 0.18 μm F-ZTAT グループ、H8S/2378R 0.18 μm F-ZTAT グループの内部ブロック図

1. 概要

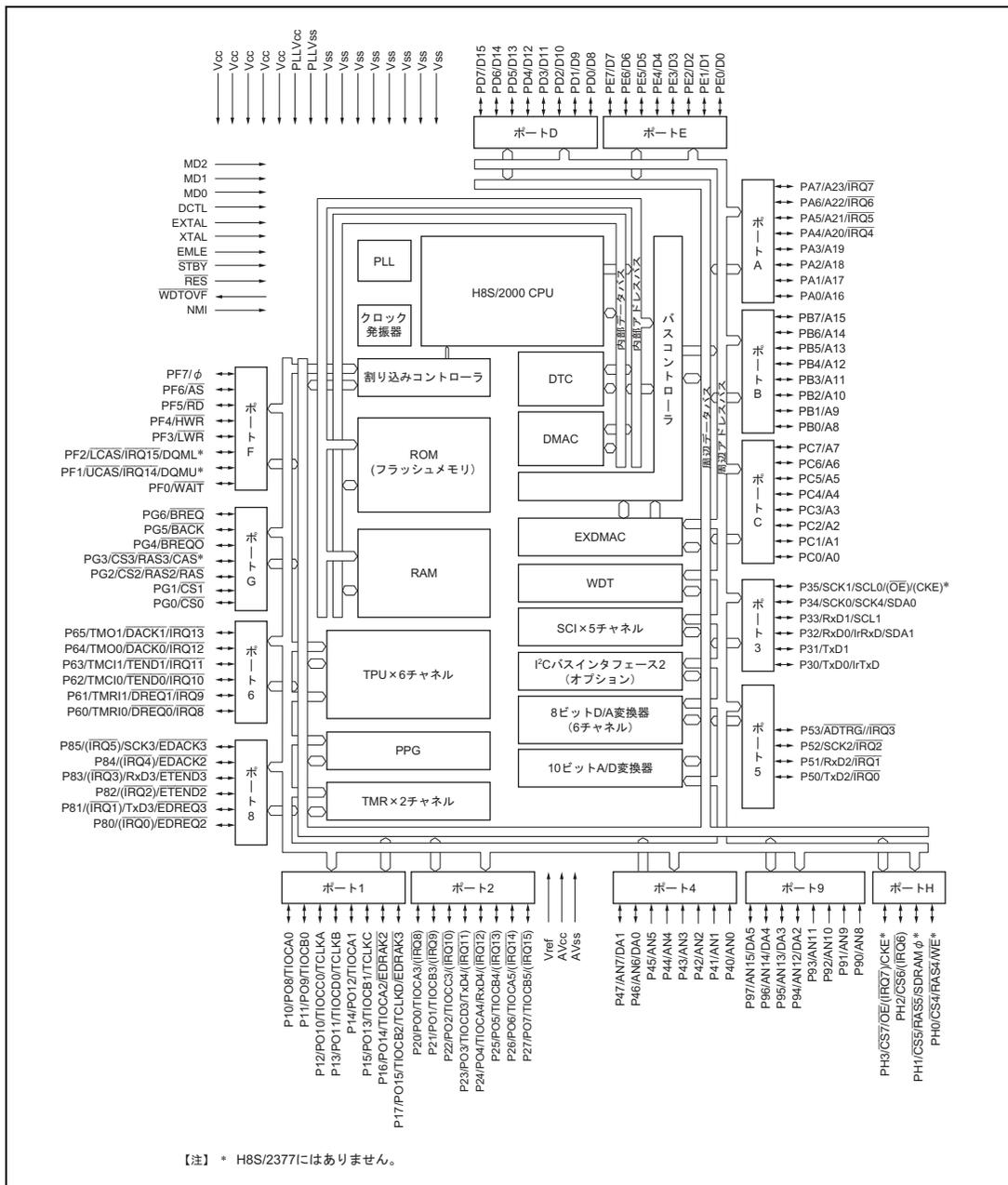


図 1.2 H8S/2377、H8S/2377R の内部ブロック図

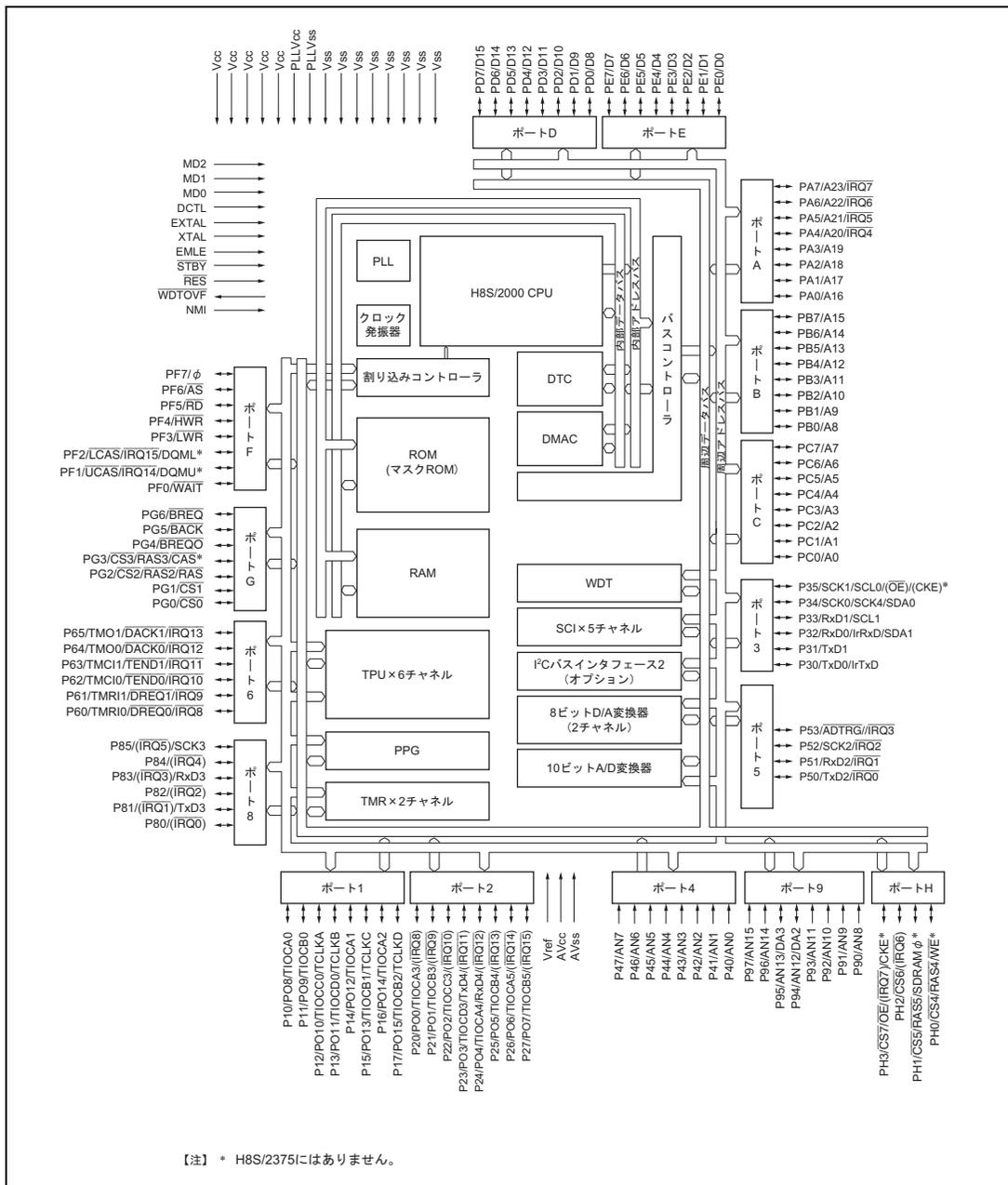


図 1.3 H8S/2375、H8S/2375R の内部ブロック図

1. 概要

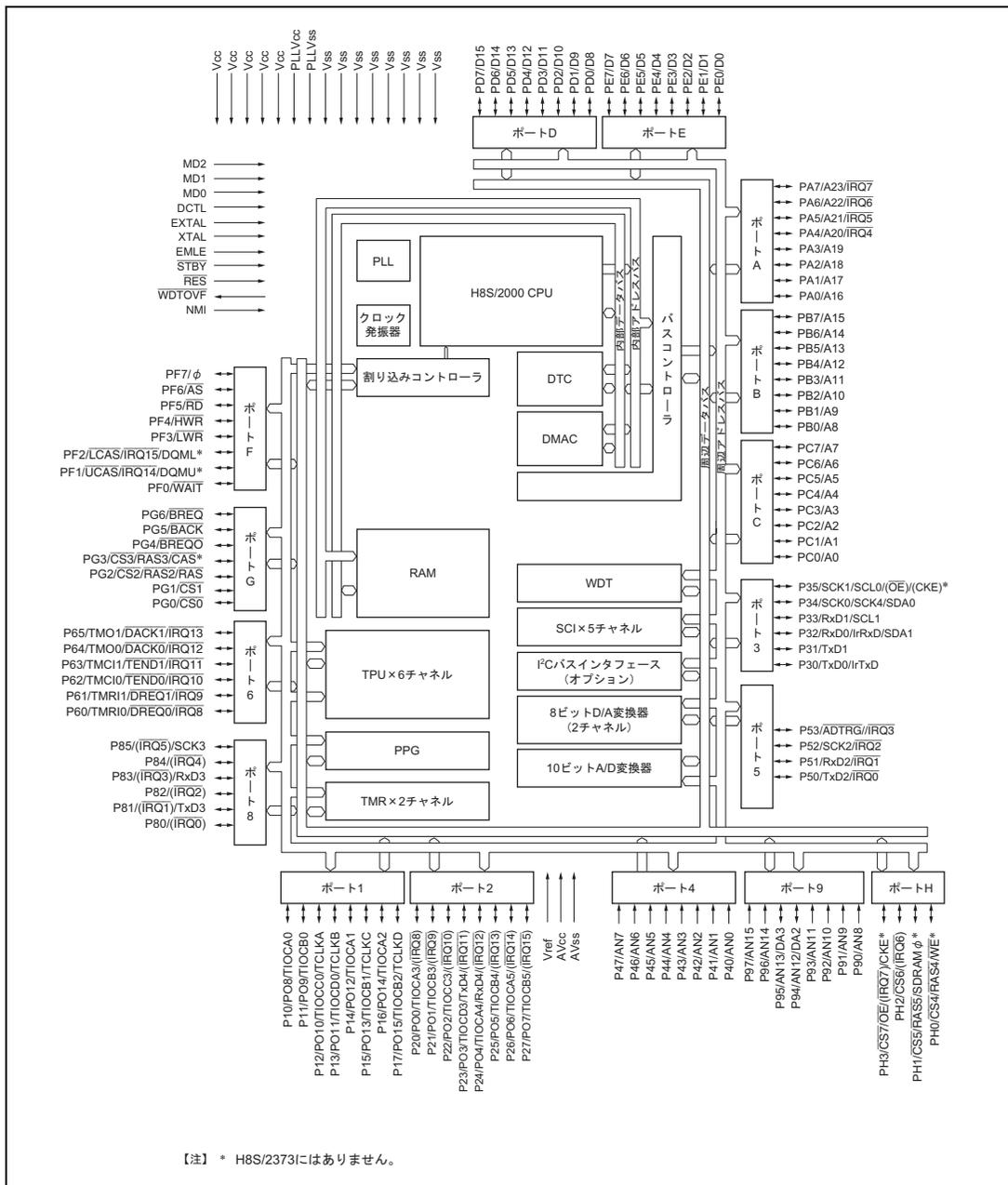


図 1.4 H8S/2373、H8S/2373R の内部ブロック図

1.3 端子説明

1.3.1 ピン配置図

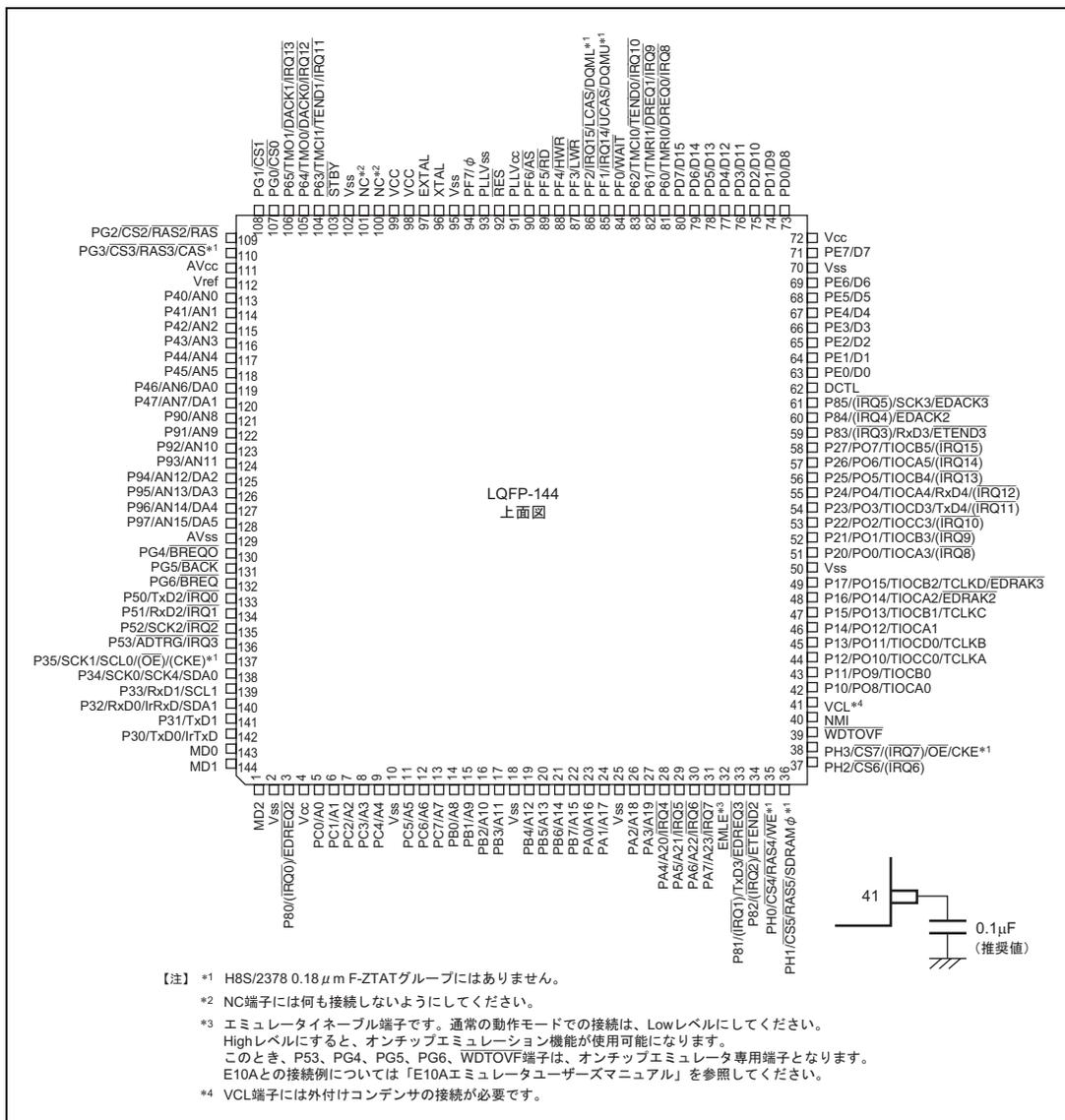


図 1.5 H8S/2378 0.18 μm F-ZTAT グループ、H8S/2378R 0.18 μm F-ZTAT グループピン配置図

1. 概要

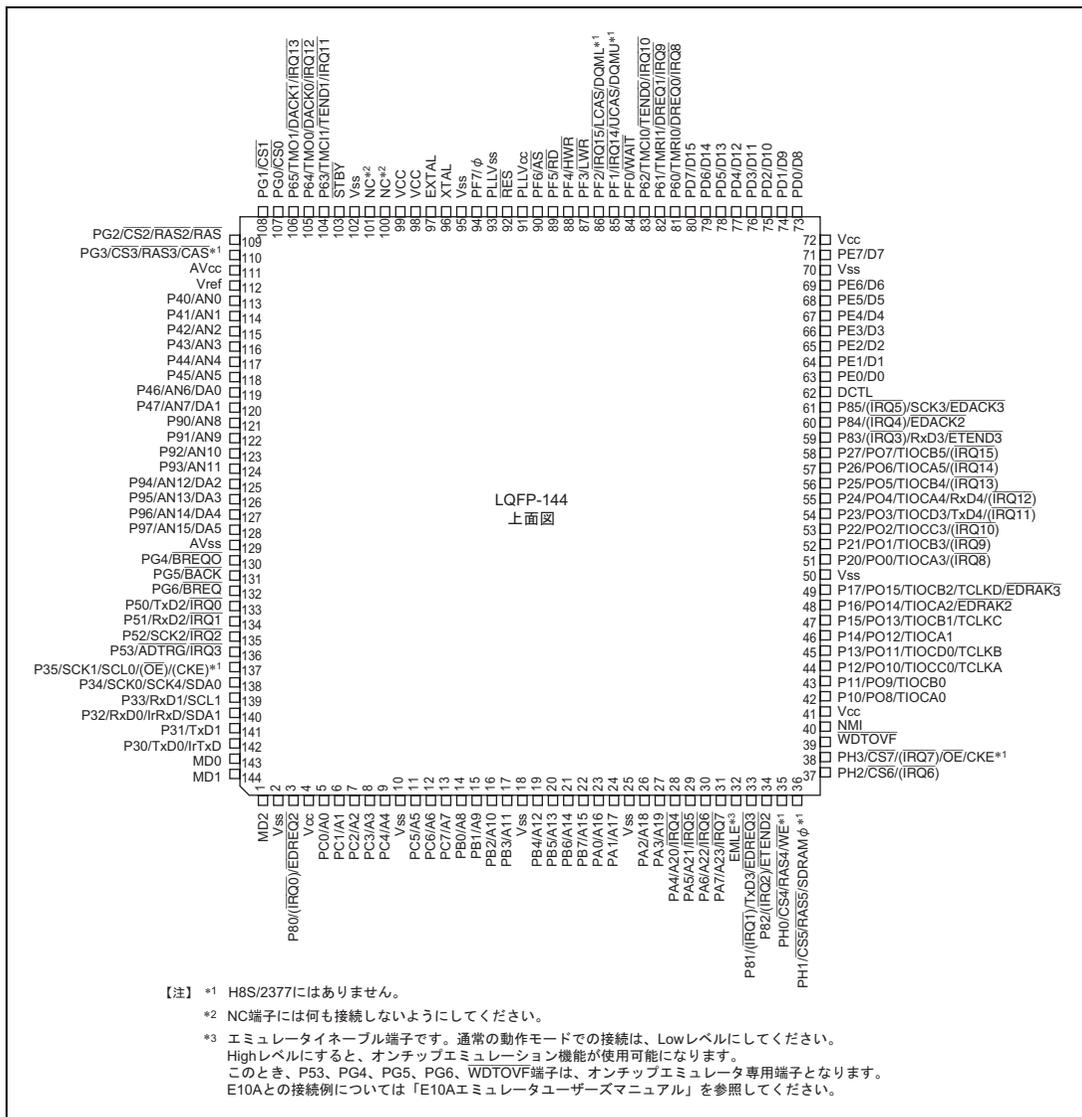


図 1.6 H8S/2377、H8S/2377R ピン配置図

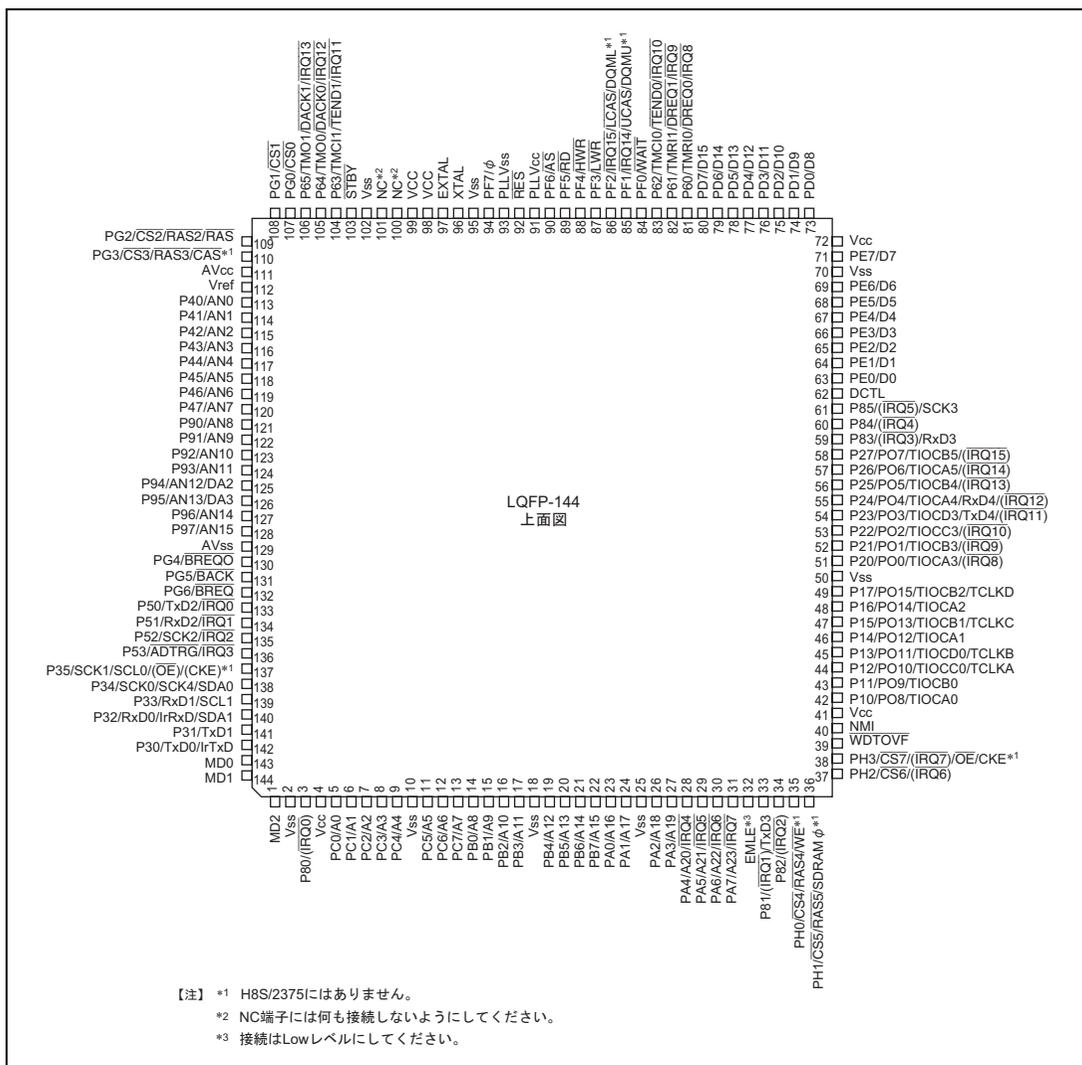


図 1.7 H8S/2375、H8S/2375R ピン配置図

1. 概要

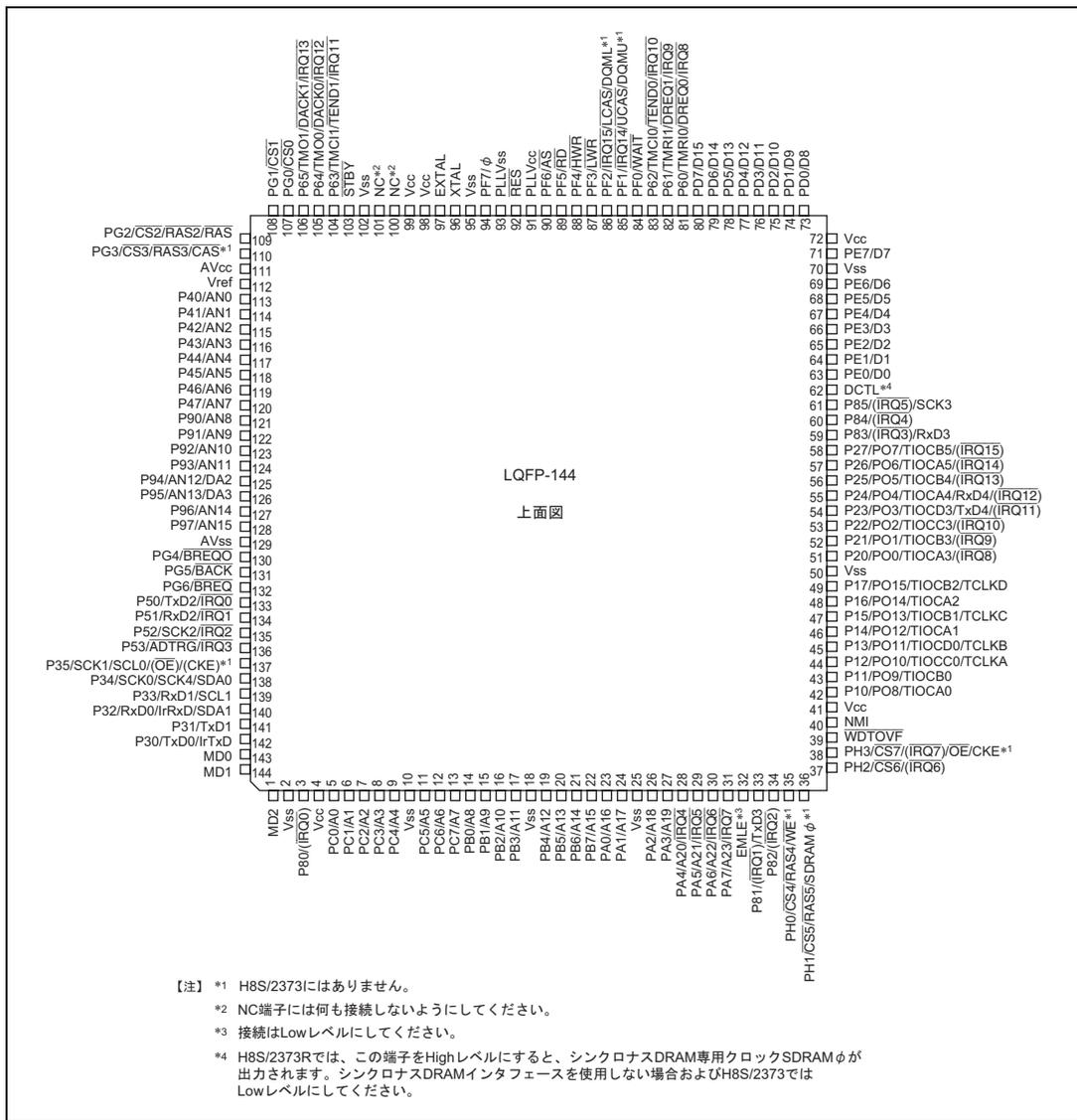


図 1.8 H8S/2373、H8S/2373R ピン配置図

	1	2	3	4	5	6	7	8	9	10	11	12	13
A	VSS	MD1	MD0	P32	P35	P50	AVSS	P94	P90	P44	P40	PG2	PG3
B	MD2	VCC	P31	P34	P51	PG4	P93	P47	P45	P42	AVCC	VREF	PG1
C	PC0	P80	PC1	P30	P33	P52	PG5	P92	P46	P43	P41	P64	P65
D	PC4	PC2	PC3	P53	PG6	P97	P96	P95	P91	P63	PG0	VCC	$\overline{\text{STBY}}$
E	PC7	VSS	PC5	PB0	NC	HD64F2378B HD64F2374 HD64F2372 HD64F2371 HD64F2370 HD64F2378R HD64F2374R HD64F2372R HD64F2371R HD64F2370R (145pin) ピン配置 (TOP-VIEW)				VSS	VSS	NC	EXTAL
F	PB3	PC6	PB1	VSS	PF7					VCC	$\overline{\text{RES}}$	XTAL	
G	PB6	PB2	PA0	PB4	PF6					NC	PF5	PLLSS	
H	VSS	PB7	PA3	PB5	PF2					PF4	PF1	PLLCC	
J	PA5	PA2	PA7	PA1	P62					PF0	P60	PF3	
K	EMLE	PA6	P82	PA4	VSS	P23	P24	P25	P84	PE1	PD7	PD6	P61
L	PH0	P81	P10	P12	P15	P20	P83	PE0	PE4	VSS	PD4	PD2	PD5
M	PH1	PH3	$\overline{\text{WDT0VF}}$	P11	P14	P16	P21	P27	DCTL	PE3	PE6	PD3	PD0
N	NMI	PH2	VCL	P13	P17	P22	P26	P85	PE2	PE5	PE7	VCC	PD1

【注】 NCはVSSIにするかオープンとしてください。
VCL端子には外付けコンデンサの接続が必要です。(推奨値: 0.1 μ F)

図 1.9 ピン配置図 (TLP-145V: 上面図)

1. 概要

1.3.2 動作モード別ピン配置一覧

表 1.1 動作モード別ピン配置一覧

ピン番号		端子名						フラッシュ メモリライト モード
		モード 1* ⁴	モード 2* ⁴	モード 4	モード 7			
LQFP-144	LGA-145				EXPE = 1	EXPE = 0		
1	B1	MD2	MD2	MD2	MD2	MD2	Vss	
2	A1	Vss	Vss	Vss	Vss	Vss	Vss	
3	C2	P80/(IRQ0)/ EDREQ2* ³	NC					
4	B2	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc	
5	C1	A0	A0	PC0/A0	PC0/A0	PC0	A0	
6	C3	A1	A1	PC1/A1	PC1/A1	PC1	A1	
7	D2	A2	A2	PC2/A2	PC2/A2	PC2	A2	
8	D3	A3	A3	PC3/A3	PC3/A3	PC3	A3	
9	D1	A4	A4	PC4/A4	PC4/A4	PC4	A4	
10	E2	Vss	Vss	Vss	Vss	Vss	Vss	
11	E3	A5	A5	PC5/A5	PC5/A5	PC5	A5	
12	F2	A6	A6	PC6/A6	PC6/A6	PC6	A6	
13	E1	A7	A7	PC7/A7	PC7/A7	PC7	A7	
14	E4	A8	A8	PB0/A8	PB0/A8	PB0	A8	
15	F3	A9	A9	PB1/A9	PB1/A9	PB1	A9	
16	G2	A10	A10	PB2/A10	PB2/A10	PB2	A10	
17	F1	A11	A11	PB3/A11	PB3/A11	PB3	A11	
18	F4	Vss	Vss	Vss	Vss	Vss	Vss	
19	G4	A12	A12	PB4/A12	PB4/A12	PB4	A12	
20	H4	A13	A13	PB5/A13	PB5/A13	PB5	A13	
21	G1	A14	A14	PB6/A14	PB6/A14	PB6	A14	
22	H2	A15	A15	PB7/A15	PB7/A15	PB7	A15	
23	G3	A16	A16	PA0/A16	PA0/A16	PA0	A16	
24	J4	A17	A17	PA1/A17	PA1/A17	PA1	A17	
25	H1	Vss	Vss	Vss	Vss	Vss	Vss	
26	J2	A18	A18	PA2/A18	PA2/A18	PA2	A18	
27	H3	A19	A19	PA3/A19	PA3/A19	PA3	NC	
28	K4	A20/IRQ4* ⁵	A20/IRQ4* ⁵	PA4/A20/IRQ4	PA4/A20/IRQ4	PA4/IRQ4	NC	
29	J1	PA5/A21/IRQ5	PA5/A21/IRQ5	PA5/A21/IRQ5	PA5/A21/IRQ5	PA5/IRQ5	NC	

ピン番号		端子名						フラッシュ メモリアイタ モード
		モード 1* ⁴	モード 2* ⁴	モード 4	モード 7			
LQFP-144	LGA-145				EXPE = 1	EXPE = 0		
30	K2	PA6/A22/ $\overline{\text{IRQ6}}$	PA6/A22/ $\overline{\text{IRQ6}}$	PA6/A22/ $\overline{\text{IRQ6}}$	PA6/A22/ $\overline{\text{IRQ6}}$	PA6/ $\overline{\text{IRQ6}}$	NC	
31	J3	PA7/A23/ $\overline{\text{IRQ7}}$	PA7/A23/ $\overline{\text{IRQ7}}$	PA7/A23/ $\overline{\text{IRQ7}}$	PA7/A23/ $\overline{\text{IRQ7}}$	PA7/ $\overline{\text{IRQ7}}$	NC	
32	K1	EMLE	EMLE	EMLE	EMLE	EMLE		
33	L2	P81/($\overline{\text{IRQ1}}$)/ TxD3/ $\overline{\text{EDREQ3}}$ * ³	P81/($\overline{\text{IRQ1}}$)/ TxD3/ $\overline{\text{EDREQ3}}$ * ³	NC				
34	K3	P82/($\overline{\text{IRQ2}}$)/ $\overline{\text{ETEND2}}$ * ³	P82/($\overline{\text{IRQ2}}$)	NC				
35	L1	PH0/ $\overline{\text{CS4}}$ / $\overline{\text{RAS4}}$ / $\overline{\text{WE}}$ * ¹	PH0	NC				
36	M1	PH1/ $\overline{\text{CS5}}$ / $\overline{\text{RAS5}}$ / SDRAM * ¹	PH1/ SDRAM * ¹	NC				
37	N2	PH2/ $\overline{\text{CS6}}$ / ($\overline{\text{IRQ6}}$)	PH2/ ($\overline{\text{IRQ6}}$)	NC				
38	M2	PH3/ $\overline{\text{CS7}}$ / ($\overline{\text{IRQ7}}$)/ $\overline{\text{OE}}$ / CKE* ¹	PH3/ $\overline{\text{CS7}}$ / ($\overline{\text{IRQ7}}$)/ $\overline{\text{OE}}$ / CKE* ¹	PH3/ $\overline{\text{CS7}}$ / ($\overline{\text{IRQ7}}$)/ $\overline{\text{OE}}$ / CKE* ¹	PH3/ $\overline{\text{CS7}}$ / ($\overline{\text{IRQ7}}$)/ $\overline{\text{OE}}$ / CKE* ¹	PH3/($\overline{\text{IRQ7}}$)	NC	
39	M3	$\overline{\text{WDTOVF}}$	$\overline{\text{WDTOVF}}$	$\overline{\text{WDTOVF}}$	$\overline{\text{WDTOVF}}$	$\overline{\text{WDTOVF}}$	NC	
40	N1	NMI	NMI	NMI	NMI	NMI	Vcc	
41	N3	VCL* ²	VCL* ²	VCL* ²	VCL* ²	VCL* ²	VCL* ²	
42	L3	P10/ $\overline{\text{PO8}}$ / TIOCA0	P10/ $\overline{\text{PO8}}$ / TIOCA0	P10/ $\overline{\text{PO8}}$ / TIOCA0	P10/ $\overline{\text{PO8}}$ / TIOCA0	P10/ $\overline{\text{PO8}}$ / TIOCA0	NC	
43	M4	P11/ $\overline{\text{PO9}}$ / TIOCB0	P11/ $\overline{\text{PO9}}$ / TIOCB0	P11/ $\overline{\text{PO9}}$ / TIOCB0	P11/ $\overline{\text{PO9}}$ / TIOCB0	P11/ $\overline{\text{PO9}}$ / TIOCB0	NC	
44	L4	P12/ $\overline{\text{PO10}}$ / TIOCC0/ $\overline{\text{TCLKA}}$	P12/ $\overline{\text{PO10}}$ / TIOCC0/ $\overline{\text{TCLKA}}$	NC				
45	N4	P13/ $\overline{\text{PO11}}$ / TIOCD0/ $\overline{\text{TCLKB}}$	P13/ $\overline{\text{PO11}}$ / TIOCD0/ $\overline{\text{TCLKB}}$	NC				
46	M5	P14/ $\overline{\text{PO12}}$ / TIOCA1	P14/ $\overline{\text{PO12}}$ / TIOCA1	P14/ $\overline{\text{PO12}}$ / TIOCA1	P14/ $\overline{\text{PO12}}$ / TIOCA1	P14/ $\overline{\text{PO12}}$ / TIOCA1	NC	
47	L5	P15/ $\overline{\text{PO13}}$ / TIOCB1/ $\overline{\text{TCLKC}}$	P15/ $\overline{\text{PO13}}$ / TIOCB1/ $\overline{\text{TCLKC}}$	NC				
48	M6	P16/ $\overline{\text{PO14}}$ / TIOCA2/ $\overline{\text{EDRAK2}}$ * ³	P16/ $\overline{\text{PO14}}$ / TIOCA2/ $\overline{\text{EDRAK2}}$ * ³	NC				

1. 概要

ピン番号		端子名						フラッシュ メモリアイタ モード
		モード 1* ⁴	モード 2* ⁴	モード 4	モード 7			
LQFP-144	LGA-145				EXPE = 1	EXPE = 0		
49	N5	P17/PO15/ TIOCB2/TCLKD/ EDRAK3* ³	P17/PO15/ TIOCB2/TCLKD/ EDRAK3* ³	P17/PO15/ TIOCB2/TCLKD/ EDRAK3* ³	P17/PO15/ TIOCB2/TCLKD/ EDRAK3* ³	P17/PO15/ TIOCB2/TCLKD	NC	
50	K5	Vss	Vss	Vss	Vss	Vss	Vss	
51	L6	P20/PO0/ TIOCA3/(IRQ8)	P20/PO0/ TIOCA3/(IRQ8)	P20/PO0/ TIOCA3/(IRQ8)	P20/PO0/ TIOCA3/(IRQ8)	P20/PO0/ TIOCA3/(IRQ8)	NC	
52	M7	P21/PO1/ TIOCB3/(IRQ9)	P21/PO1/ TIOCB3/(IRQ9)	P21/PO1/ TIOCB3/(IRQ9)	P21/PO1/ TIOCB3/(IRQ9)	P21/PO1/ TIOCB3/(IRQ9)	NC	
53	N6	P22/PO2/ TIOCC3/ (IRQ10)	P22/PO2/ TIOCC3/ (IRQ10)	P22/PO2/ TIOCC3/ (IRQ10)	P22/PO2/ TIOCC3/ (IRQ10)	P22/PO2/ TIOCC3/ (IRQ10)	OE	
54	K6	P23/PO3/ TIOCD3/ TxD4/(IRQ11)	P23/PO3/ TIOCD3/ TxD4/(IRQ11)	P23/PO3/ TIOCD3/ TxD4/(IRQ11)	P23/PO3/ TIOCD3/ TxD4/(IRQ11)	P23/PO3/ TIOCD3/ TxD4/(IRQ11)	CE	
55	K7	P24/PO4/ TIOCA4/RxD4/ (IRQ12)	P24/PO4/ TIOCA4/RxD4/ (IRQ12)	P24/PO4/ TIOCA4/RxD4/ (IRQ12)	P24/PO4/ TIOCA4/RxD4/ (IRQ12)	P24/PO4/ TIOCA4/RxD4/ (IRQ12)	WE	
56	K8	P25/PO5/ TIOCB4/ (IRQ13)	P25/PO5/ TIOCB4/ (IRQ13)	P25/PO5/ TIOCB4/ (IRQ13)	P25/PO5/ TIOCB4/ (IRQ13)	P25/PO5/ TIOCB4/ (IRQ13)	Vss	
57	N7	P26/PO6/ TIOCA5/ (IRQ14)	P26/PO6/ TIOCA5/ (IRQ14)	P26/PO6/ TIOCA5/ (IRQ14)	P26/PO6/ TIOCA5/ (IRQ14)	P26/PO6/ TIOCA5/ (IRQ14)	NC	
58	M8	P27/PO7/ TIOCB5/ (IRQ15)	P27/PO7/ TIOCB5/ (IRQ15)	P27/PO7/ TIOCB5/ (IRQ15)	P27/PO7/ TIOCB5/ (IRQ15)	P27/PO7/ TIOCB5/ (IRQ15)	NC	
59	L7	P83/(IRQ3)/ RxD3/ ETEND3* ³	P83/(IRQ3)/ RxD3/ ETEND3* ³	P83/(IRQ3)/ RxD3/ ETEND3* ³	P83/(IRQ3)/ RxD3/ ETEND3* ³	P83/(IRQ3)/ RxD3	NC	
60	K9	P84/(IRQ4)/ EDACK2	P84/(IRQ4)/ EDACK2	P84/(IRQ4)/ EDACK2	P84/(IRQ4)/ EDACK2	P84/(IRQ4)	NC	
61	N8	P85/(IRQ5)/ SCK3/ EDACK3* ³	P85/(IRQ5)/ SCK3/ EDACK3* ³	P85/(IRQ5)/ SCK3/ EDACK3* ³	P85/(IRQ5)/ SCK3/ EDACK3* ³	P85/(IRQ5)/ SCK3	NC	
62	M9	DCTL	DCTL	DCTL	DCTL	DCTL	NC	
63	L8	D0	PE0/D0	PE0/D0	PE0/D0	PE0	NC	

1. 概要

ピン番号		端子名						フラッシュ メモリアイタ モード
		モード 1*4	モード 2*4	モード 4	モード 7			
LQFP-144	LGA-145				EXPE = 1	EXPE = 0		
64	K10	D1	PE1/D1	PE1/D1	PE1/D1	PE1	NC	
65	N9	D2	PE2/D2	PE2/D2	PE2/D2	PE2	NC	
66	M10	D3	PE3/D3	PE3/D3	PE3/D3	PE3	NC	
67	L9	D4	PE4/D4	PE4/D4	PE4/D4	PE4	NC	
68	N10	D5	PE5/D5	PE5/D5	PE5/D5	PE5	NC	
69	M11	D6	PE6/D6	PE6/D6	PE6/D6	PE6	NC	
70	L10	Vss	Vss	Vss	Vss	Vss	Vss	
71	N11	D7	PE7/D7	PE7/D7	PE7/D7	PE7	NC	
72	N12	Vcc	Vcc	Vcc	Vcc	Vcc	Vcc	
73	M13	D8	D8	D8	D8	PD0	I/O0	
74	N13	D9	D9	D9	D9	PD1	I/O1	
75	L12	D10	D10	D10	D10	PD2	I/O2	
76	M12	D11	D11	D11	D11	PD3	I/O3	
77	L11	D12	D12	D12	D12	PD4	I/O4	
78	L13	D13	D13	D13	D13	PD5	I/O5	
79	K12	D14	D14	D14	D14	PD6	I/O6	
80	K11	D15	D15	D15	D15	PD7	I/O7	
81	J12	P60/TMRI0/ DREQ0/IRQ8	P60/TMRI0/ DREQ0/IRQ8	P60/TMRI0/ DREQ0/IRQ8	P60/TMRI0/ DREQ0/IRQ8	P60/TMRI0/ DREQ0/IRQ8	NC	
82	K13	P61/TMRI1/ DREQ1/IRQ9	P61/TMRI1/ DREQ1/IRQ9	P61/TMRI1/ DREQ1/IRQ9	P61/TMRI1/ DREQ1/IRQ9	P61/TMRI1/ DREQ1/IRQ9	NC	
83	J10	P62/TMCI0/ TEND0/ IRQ10	P62/TMCI0/ TEND0/ IRQ10	P62/TMCI0/ TEND0/ IRQ10	P62/TMCI0/ TEND0/ IRQ10	P62/TMCI0/ TEND0/ IRQ10	NC	
84	J11	PF0/WAIT	PF0/WAIT	PF0/WAIT	PF0/WAIT	PF0	NC	
85	H12	PF1/UCAS/ IRQ14/ DQMU*1	PF1/UCAS/ IRQ14/ DQMU*1	PF1/UCAS/ IRQ14/ DQMU*1	PF1/UCAS/ IRQ14/ DQMU*1	PF1/IRQ14	NC	
86	H10	PF2/LCAS/ IRQ15/ DQML*1	PF2/LCAS/ IRQ15/ DQML*1	PF2/LCAS/ IRQ15/ DQML*1	PF2/LCAS/ IRQ15/ DQML*1	PF2/IRQ15	NC	
87	J13	PF3/LWR	PF3/LWR	PF3/LWR	PF3/LWR	PF3	NC	
88	H11	HWR	HWR	HWR	HWR	PF4	NC	
89	G12	RD	RD	RD	RD	PF5	NC	

1. 概要

ピン番号		端子名						フラッシュ メモリアイタ モード
		モード 1* ⁴	モード 2* ⁴	モード 4	モード 7			
LQFP-144	LGA-145				EXPE = 1	EXPE = 0		
90	G10	PF6/ \overline{AS}	PF6/ \overline{AS}	PF6/ \overline{AS}	PF6/ \overline{AS}	PF6	NC	
91	H13	PLL V_{cc}	PLL V_{cc}	PLL V_{cc}	PLL V_{cc}	PLL V_{cc}	V_{cc}	
92	F12	\overline{RES}	\overline{RES}	\overline{RES}	\overline{RES}	RES	\overline{RES}	
93	G13	PLL V_{ss}	PLL V_{ss}	PLL V_{ss}	PLL V_{ss}	PLL V_{ss}	V_{ss}	
94	F10	PF7/	PF7/	PF7/	PF7/	PF7/	NC	
95	E10	V_{ss}	V_{ss}	V_{ss}	V_{ss}	V_{ss}	V_{ss}	
96	F13	XTAL	XTAL	XTAL	XTAL	XTAL	XTAL	
97	E13	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL	
98	F11	V_{cc}	V_{cc}	V_{cc}	V_{cc}	V_{cc}	V_{cc}	
99	D12	V_{cc}	V_{cc}	V_{cc}	V_{cc}	V_{cc}	V_{cc}	
100	G11	NC	NC	NC	NC	NC	NC	
101	E12	NC	NC	NC	NC	NC	NC	
102	E11	V_{ss}	V_{ss}	V_{ss}	V_{ss}	V_{ss}	V_{ss}	
103	D13	\overline{STBY}	\overline{STBY}	\overline{STBY}	\overline{STBY}	\overline{STBY}	V_{cc}	
104	D10	P63/TMC11/ TEND1/ IRQ11	P63/TMC11/ TEND1/ IRQ11	P63/TMC11/ TEND1/ IRQ11	P63/TMC11/ TEND1/ IRQ11	P63/TMC11/ TEND1/ IRQ11	NC	
105	C12	P64/TMO0/ DACK0/ IRQ12	P64/TMO0/ DACK0/ IRQ12	P64/TMO0/ DACK0/ IRQ12	P64/TMO0/ DACK0/ IRQ12	P64/TMO0/ DACK0/ IRQ12	NC	
106	C13	P65/TMO1/ DACK1/ IRQ13	P65/TMO1/ DACK1/ IRQ13	P65/TMO1/ DACK1/ IRQ13	P65/TMO1/ DACK1/ IRQ13	P65/TMO1/ DACK1/ IRQ13	NC	
107	D11	PG0/ $\overline{CS0}$	PG0/ $\overline{CS0}$	PG0/ $\overline{CS0}$	PG0/ $\overline{CS0}$	PG0	NC	
108	B13	PG1/ $\overline{CS1}$	PG1/ $\overline{CS1}$	PG1/ $\overline{CS1}$	PG1/ $\overline{CS1}$	PG1	NC	
109	A12	PG2/ $\overline{CS2}$ / $\overline{RAS2}$ / RAS	PG2	NC				
110	A13	PG3/ $\overline{CS3}$ / $\overline{RAS3}$ / \overline{CAS}^*1	PG3	NC				
111	B11	AV v_{cc}	AV v_{cc}	AV v_{cc}	AV v_{cc}	AV v_{cc}	V_{cc}	
112	B12	Vref	Vref	Vref	Vref	Vref	NC	
113	A11	P40/AN0	P40/AN0	P40/AN0	P40/AN0	P40/AN0	NC	
114	C11	P41/AN1	P41/AN1	P41/AN1	P41/AN1	P41/AN1	NC	

1. 概要

ピン番号		端子名						フラッシュ メモリアイタ モード
		モード 1* ⁴	モード 2* ⁴	モード 4	モード 7			
LQFP-144	LGA-145				EXPE = 1	EXPE = 0		
115	B10	P42/AN2	P42/AN2	P42/AN2	P42/AN2	P42/AN2	NC	
116	C10	P43/AN3	P43/AN3	P43/AN3	P43/AN3	P43/AN3	NC	
117	A10	P44/AN4	P44/AN4	P44/AN4	P44/AN4	P44/AN4	NC	
118	B9	P45/AN5	P45/AN5	P45/AN5	P45/AN5	P45/AN5	NC	
119	C9	P46/AN6/ DA0* ³	P46/AN6/ DA0* ³	P46/AN6/ DA0* ³	P46/AN6/ DA0* ³	P46/AN6/ DA0* ³	NC	
120	B8	P47/AN7/ DA1* ³	P47/AN7/ DA1* ³	P47/AN7/ DA1* ³	P47/AN7/ DA1* ³	P47/AN7/ DA1* ³	NC	
121	A9	P90/AN8	P90/AN8	P90/AN8	P90/AN8	P90/AN8	NC	
122	D9	P91/AN9	P91/AN9	P91/AN9	P91/AN9	P91/AN9	NC	
123	C8	P92/AN10	P92/AN10	P92/AN10	P92/AN10	P92/AN10	NC	
124	B7	P93/AN11	P93/AN11	P93/AN11	P93/AN11	P93/AN11	NC	
125	A8	P94/AN12/ DA2	P94/AN12/ DA2	P94/AN12/ DA2	P94/AN12/ DA2	P94/AN12/ DA2	NC	
126	D8	P95/AN13/ DA3	P95/AN13/ DA3	P95/AN13/ DA3	P95/AN13/ DA3	P95/AN13/ DA3	NC	
127	D7	P96/AN14/ DA4* ³	P96/AN14/ DA4* ³	P96/AN14/ DA4* ³	P96/AN14/ DA4* ³	P96/AN14/ DA4* ³	NC	
128	D6	P97/AN15/ DA5* ³	P97/AN15/ DA5* ³	P97/AN15/ DA5* ³	P97/AN15/ DA5* ³	P97/AN15/ DA5* ³	NC	
129	A7	AVss	AVss	AVss	AVss	AVss	Vss	
130	B6	PG4/BREQ \bar{O}	PG4/BREQ \bar{O}	PG4/BREQ \bar{O}	PG4/BREQ \bar{O}	PG4	NC	
131	C7	PG5/BACK	PG5/BACK	PG5/BACK	PG5/BACK	PG5	NC	
132	D5	PG6/BREQ	PG6/BREQ	PG6/BREQ	PG6/BREQ	PG6	NC	
133	A6	P50/TxD2/ $\bar{I}RQ0$	P50/TxD2/ $\bar{I}RQ0$	P50/TxD2/ $\bar{I}RQ0$	P50/TxD2/ $\bar{I}RQ0$	P50/TxD2/ $\bar{I}RQ0$	Vss	
134	B5	P51/RxD2/ $\bar{I}RQ1$	P51/RxD2/ $\bar{I}RQ1$	P51/RxD2/ $\bar{I}RQ1$	P51/RxD2/ $\bar{I}RQ1$	P51/RxD2/ $\bar{I}RQ1$	Vss	
135	C6	P52/SCK2/ $\bar{I}RQ2$	P52/SCK2/ $\bar{I}RQ2$	P52/SCK2/ $\bar{I}RQ2$	P52/SCK2/ $\bar{I}RQ2$	P52/SCK2/ $\bar{I}RQ2$	Vcc	
136	D4	P53/ADTRG/ $\bar{I}RQ3$	P53/ADTRG/ $\bar{I}RQ3$	P53/ADTRG/ $\bar{I}RQ3$	P53/ADTRG/ $\bar{I}RQ3$	P53/ADTRG/ $\bar{I}RQ3$	NC	
137	A5	P35/SCK1/ SCL0($\bar{O}E$)/ (CKE)* ¹	P35/SCK1/ SCL0	NC				

1. 概要

ピン番号		端子名						フラッシュ メモリアイタ モード
		モード 1* ⁴	モード 2* ⁴	モード 4	モード 7			
LQFP-144	LGA-145				EXPE = 1	EXPE = 0		
138	B4	P34/SCK0/ SCK4/SDA0	P34/SCK0/ SCK4/SDA0	P34/SCK0/ SCK4/SDA0	P34/SCK0/ SCK4/SDA0	P34/SCK0/ SCK4/SDA0	NC	
139	C5	P33/RxD1/ SCL1	P33/RxD1/ SCL1	P33/RxD1/ SCL1	P33/RxD1/ SCL1	P33/RxD1/ SCL1	NC	
140	A4	P32/RxD0/ IrRxD/SDA1	P32/RxD0/ IrRxD/SDA1	P32/RxD0/ IrRxD/SDA1	P32/RxD0/ IrRxD/SDA1	P32/RxD0/ IrRxD/SDA1	Vcc	
141	B3	P31/TxD1	P31/TxD1	P31/TxD1	P31/TxD1	P31/TxD1	NC	
142	C4	P30/TxD0/IrTxD	P30/TxD0/IrTxD	P30/TxD0/IrTxD	P30/TxD0/IrTxD	P30/TxD0/IrTxD	NC	
143	A3	MD0	MD0	MD0	MD0	MD0	Vss	
144	A2	MD1	MD1	MD1	MD1	MD1	Vss	
145	E5	NC	NC	NC	NC	NC	NC	

- 【注】 *1 H8S/2378 グループにはありません。
- *2 H8S/2377、H8S/2377R、H8S/2376、H8S/2375、H8S/2375R、H8S/2373、H8S/2373R では Vcc になります。
- *3 H8S/2375、H8S/2375R にはありません。
- *4 ROM レス版ではモード 1、2 のみ使用できます。
- *5 モード 1、2 の場合、本ポートは A20 出力となりますのでご注意ください。

1.3.3 端子機能

表 1.2 端子機能

分類	記号	ピン番号				入出力	機能
		H8S/2378 0.18 μ m F-ZTAT グループ H8S/2378R 0.18 μ m F-ZTAT グループ		H8S/2377 H8S/2377R	H8S/2375 H8S/2373 H8S/2375R H8S/2373R		
		LQFP-144	LGA-145				
電源	Vcc	4, 72, 98 99	B2, N12 F11, D12	4, 41, 72 98, 99	4, 41, 72 98, 99	入力	電源端子です。システムの電源に接続してください。
	Vss	2, 10, 18 25, 50, 70 95, 102	A1, E2, F4 H1, K5 L10, E10 E11	2, 10, 18 25, 50, 70 95, 102	2, 10, 18 25, 50, 70 95, 102	入力	グラウンド端子です。システムの電源 (0V) に接続してください。
	PLLvcc	91	H13	91	91	入力	内蔵 PLL 発振器用の電源端子です。
	PLLvss	93	G13	93	93	入力	内蔵 PLL 発振器用のグラウンド端子です。
	VCL ^{*3}	41	N3			出力	電源に接続しないでください。0.1 μ F (推奨値) のコンデンサを介して Vss に接続してください。(端子近くに配置)
クロック	XTAL	96	F13	96	96	入力	水晶発振子を接続します。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 23 章 クロック発振器」を参照してください。
	EXTAL	97	E13	97	97	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 23 章 クロック発振器」を参照してください。
		94	F10	94	94	出力	外部デバイスにシステムクロックを供給します。
	SDRAM ^{*1}	36	M1	36	36	出力	シンクロナス DRAM を接続する場合に、シンクロナス DRAM の CLK 端子に接続します。詳細は「第 6 章 バスコントローラ (BSC)」を参照してください。
動作モード コントロール	MD2	1	B1	1	1	入力	動作モードを設定します。これらの端子は動作中に変化させないでください。
	MD1	144	A2	144	144		
	MD0	143	A3	143	143		

1. 概要

分類	記号	ピン番号				入出力	機能
		H8S/2378 0.18 μm F-ZTAT グループ H8S/2378R 0.18 μm F-ZTAT グループ		H8S/2377 H8S/2377R	H8S/2375 H8S/2373 H8S/2375R H8S/2373R		
		LQFP-144	LGA-145				
動作モード コントロール	DCTL* ¹	62	M9	62	62	入力	H8S/2378R グループでは、この端子を High レベルにすると、シンクロナス DRAM 専用クロック SDRAM が出力されます。シンクロナス DRAM インタフェースを使用しない場合および H8S/2378 グループでは Low レベルにしてください。この端子は動作中に変化させないでください。
システム制御	RES	92	F12	92	92	入力	リセット端子です。この端子が Low レベルになると、リセット状態となります。
	STBY	103	D13	103	103	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	EMLE	32	K1	32	32	入力	オンチップエミュレータイネーブル端子です。H8S/2378 0.18 μm F-ZTAT グループ、H8S/2377、H8S/2378R 0.18 μm F-ZTAT グループ、H8S/2377R でオンチップエミュレータを使用する場合、High レベルとしてください。このとき、P53、PG4 - PG6、WDTOVF 端子は、オンチップエミュレータ専用端子となり、該当端子の機能は使用できません。オンチップエミュレータを使用しない場合、または H8S/2375、H8S/2375R、H8S/2373、H8S/2373R では、Low レベルとしてください。詳細は、「E10A エミュレータユーザーズマニュアル」を参照してください。
アドレスバス	A23 ~ A0	31 ~ 26 24 ~ 19 17 ~ 11 9 ~ 5	J3、K2、J1 K4、H3、J2 J4、G3、H2 G1、H4 G4、F1、G2 F3、E4、E1 F2、E3、D1 D3、D2、C3 C1	31 ~ 26 24 ~ 19 17 ~ 11 9 ~ 5	31 ~ 26 24 ~ 19 17 ~ 11 9 ~ 5	出力	アドレスを出力端子です。

1. 概要

分類	記号	ピン番号				入出力	機能
		H8S/2378 0.18 μ m F-ZTAT グループ		H8S/2377 H8S/2377R	H8S/2375 H8S/2373 H8S/2375R H8S/2373R		
		LQFP-144	LGA-145				
データバス	D15 ~ D0	80 ~ 73 71 69 ~ 63	K11, K12 L13, L11 M12, L12 N13, M13 N11, M11 N10, L9 M10, N9 K10, L8	80 ~ 73 71 69 ~ 63	80 ~ 73 71 69 ~ 63	入出力	双方向データバスです。
バス制御	$\overline{CS7} \sim \overline{CS0}$	38 ~ 35 110 ~ 107	M2, N2 M1, L1 A13, A12 B13, D11	38 ~ 35 110 ~ 107	38 ~ 35 110 ~ 107	出力	外部アドレス空間の分割エリア7 ~ 0の選択信号です。
	\overline{AS}	90	G10	90	90	出力	この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	\overline{RD}	89	G12	89	89	出力	この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。
	\overline{HWR}	88	H11	88	88	出力	外部アドレス空間をライトし、データバスの上位側 (D15 ~ D8) が有効であることを示すストロープ信号です。また、DRAM 空間アクセス時のライトイネーブル信号です。
	\overline{LWR}	87	J13	87	87	出力	外部アドレス空間をライトし、データバスの下位側 (D7 ~ D0) が有効であることを示すストロープ信号です。
	\overline{BREQ}	132	D5	132	132	入力	本 LSI に対し外部バスマスタがバス権を要求します。
	$\overline{BREQ0}$	130	B6	130	130	出力	外部バス権解放状態で、内部バスマスタが外部空間をアクセスするときの外部バス権要求信号です。
	\overline{BACK}	131	C7	131	131	出力	バス権を外部バスマスタに解放したことを示します。
	\overline{UCAS}	85	H12	85	85	出力	16 ビット DRAM 空間アクセス時のアップーカラムアドレスストロープ信号です。また、8 ビット DRAM 空間アクセス時のカラムアドレスストロープ信号です。

1. 概要

分類	記号	ピン番号				入出力	機能
		H8S/2378 0.18 μm F-ZTAT グループ		H8S/2377 H8S/2377R	H8S/2375 H8S/2373 H8S/2375R H8S/2373R		
		LQFP-144	LGA-145				
バス制御	LCAS	86	H10	86	86	出力	16 ビット DRAM 空間アクセス時のロウアーカラムアドレスストロープ信号です。
	DQMU* ¹	85	H12	85	85	出力	16 ビット連続シンクロナス DRAM 空間アクセス時のアッパーデータマスクイネーブル信号です。また、8 ビット連続シンクロナス DRAM 空間アクセス時のデータマスクイネーブル信号です。
	DQML* ¹	86	H10	86	86	出力	16 ビット連続シンクロナス DRAM インタフェース空間アクセス時のロウアーデータマスクイネーブル信号です。
	RAS/RAS2	109	A12	109	109	出力	DRAM インタフェースのとき、DRAM のロウアドレスストロープ信号です。RAS 信号はエリア 2-5 を連続 DRAM 空間に設定したときのロウアドレスストロープ信号です。
	RAS3	110	A13	110	110		
	RAS4	35	L1	35	35		
	RAS5	36	M1	36	36		
	RAS* ¹	109	A12	109	109	出力	シンクロナス DRAM インタフェースのとき、シンクロナス DRAM のロウアドレスストロープ信号です。
	CAS* ¹	110	A13	110	110	出力	シンクロナス DRAM インタフェースのとき、シンクロナス DRAM のカラムアドレスストロープ信号です。
WE* ¹	35	L1	35	35	出力	シンクロナス DRAM インタフェースのとき、シンクロナス DRAM のライトイネーブル信号です。	
WAIT	84	J11	84	84	入力	外部 3 ステートアドレス空間をアクセスすると、バスサイクルにウェイトステートの挿入を要求します。	
OE (OE)	38 137	M2 A5	38 137	38 137	出力	DRAM 空間アクセス時のアウトプットイネーブル信号です。OE と (OE) の出力端子は、ポート 3 のポートファンクションコントロールレジスタ 2 (PFCR2) により選択します。	

1. 概要

分類	記号	ピン番号				入出力	機能
		H8S/2378 0.18 μm F-ZTAT グループ		H8S/2377 H8S/2377R	H8S/2375 H8S/2373 H8S/2375R H8S/2373R		
		LQFP-144	LGA-145				
バス制御	CKE* ¹ (CKE)* ¹	38 137	M2 A5	38 137	38 137	出力	シンクロナス DRAM インタフェースのときのクロックイネーブル信号です。CKE と (CKE) の出力端子は、ポート 3 のポートファンクションコントロールレジスタ 2 (PFCCR2) により選択します。
割り込み	NMI	40	N1	40	40	入力	ノンマスクابل割り込み要求端子です。 使用しない場合は High レベルに固定してください。
	$\overline{\text{IRQ15}} \sim \overline{\text{IRQ0}}$	86、85 106 ~ 104 83 ~ 81 31 ~ 28 136 ~ 133	H10、H12 C13、C12 D10、J10 K13、J12 J3、K2、J1 K4、D4、C6 B5、A6	86、85 106 ~ 104 83 ~ 81 31 ~ 28 136 ~ 133	86、85 106 ~ 104 83 ~ 81 31 ~ 28 136 ~ 133	入力	マスク可能な割り込みを要求します。 $\overline{\text{IRQn}}$ と ($\overline{\text{IRQn}}$) の入力端子は、割り込みコントローラの IRQ 端子セレクトレジスタ (ITSR) により選択します。(n=0~15)
	$\overline{(\text{IRQ15})} \sim \overline{(\text{IRQ0})}$	58 ~ 51 38、37 61 ~ 59 34、33、3	M8、N7、K8 K7、K6、N6 M7、L6、M2 N2、N8、K9 L7、K3、L2 C2	58 ~ 51 38、37 61 ~ 59 34、33、3	58 ~ 51 38、37 61 ~ 59 34、33、3		
DMA コントローラ (DMAC)	$\overline{\text{DREQ1}}$ $\overline{\text{DREQ0}}$ $\overline{\text{TEND1}}$ $\overline{\text{TEND0}}$ $\overline{\text{DACK1}}$ $\overline{\text{DACK0}}$	82 81 104 83 106 105	K13 J12 D10 J10 C13 C12	82 81 104 83 106 105	82 81 104 83 106 105		
EXDMA コントローラ (EXDMAC) ^{※2}	$\overline{\text{EDREQ3}}$ $\overline{\text{EDREQ2}}$	33 3	L2 C2	33 3		入力	EXDMAC の起動を要求します。
	$\overline{\text{ETEND3}}$ $\overline{\text{ETEND2}}$	59 34	L7 K3	59 34		出力	EXDMAC のデータ転送終了を示します。
	$\overline{\text{EDACK3}}$ $\overline{\text{EDACK2}}$	61 60	N8 K9	61 60		出力	EXDMAC のシングルアドレス転送アクノリッジ端子です。
	$\overline{\text{EDRAK3}}$ $\overline{\text{EDRAK2}}$	49 48	N5 M6	49 48		出力	外部デバイスからの DMA 転送要求受け付け、実行開始を外部デバイスに通知します。

1. 概要

分類	記号	ピン番号				入出力	機能
		H8S/2378 0.18 μm F-ZTAT グループ		H8S/2377 H8S/2377R	H8S/2375 H8S/2373 H8S/2375R H8S/2373R		
		LQFP-144	LGA-145				
16 ビット タイマバルス ユニット (TPU)	TCLKD	49	N5	49	49	入力	タイマの外部クロック入力端子で す。
	TCLKC	47	L5	47	47		
	TCLKB	45	N4	45	45		
	TCLKA	44	L4	44	44		
	TIOCA0	42	L3	42	42	入出力	TGRA_0 ~ TGRD_0 のインプットキ ャプチャ入力 / アウトプットコンベ ア出力 / PWM 出力端子です。
	TIOCB0	43	M4	43	43		
	TIOCC0	44	L4	44	44		
	TIOCD0	45	N4	45	45		
	TIOCA1	46	M5	46	46	入出力	TGRA_1、TGRB_1 のインプットキ ャプチャ入力 / アウトプットコンベ ア出力 / PWM 出力端子です。
	TIOCB1	47	L5	47	47		
	TIOCA2	48	M6	48	48	入出力	TGRA_2、TGRB_2 のインプットキ ャプチャ入力 / アウトプットコンベ ア出力 / PWM 出力端子です。
	TIOCB2	49	N5	49	49		
	TIOCA3	51	L6	51	51	入出力	TGRA_3 ~ TGRD_3 のインプットキ ャプチャ入力 / アウトプットコンベ ア出力 / PWM 出力端子です。
	TIOCB3	52	M7	52	52		
	TIOCC3	53	N6	53	53		
	TIOCD3	54	K6	54	54		
TIOCA4	55	K7	55	55	入出力	TGRA_4、TGRB_4 のインプットキ ャプチャ入力 / アウトプットコンベ ア出力 / PWM 出力端子です。	
TIOCB4	56	K8	56	56			
TIOCA5	57	N7	57	57	入出力	TGRA_5、TGRB_5 のインプットキ ャプチャ入力 / アウトプットコンベ ア出力 / PWM 出力端子です。	
TIOCB5	58	M8	58	58			
プログラマブル バルスジェ ネレータ (PPG)	PO15 ~ PO0	49 ~ 42	N5、M6、L5 M5、N4、L4 M4、L3	49 ~ 42	49 ~ 42	出力	パルス出力端子です。
		58 ~ 51	M8、N7、K8 K7、K6、N6 M7、L6	58 ~ 51	58 ~ 51		
8 ビット タイマ (TMR)	TMO0	105	C12	105	105	出力	アウトプットコンベア機能による波 形出力端子です。
	TMO1	106	C13	106	106		
	TMC10	83	J10	83	83	入力	外部イベント入力端子です。
	TMC11	104	D10	104	104		
	TMR10	82	K13	82	82	入力	カウンタリセット入力端子です。
	TMR11	81	J12	81	81		

1. 概要

分類	記号	ピン番号				入出力	機能		
		H8S/2378 0.18 μ m F-ZTAT グループ		H8S/2377 H8S/2377R	H8S/2375 H8S/2373 H8S/2375R H8S/2373R				
		LQFP-144	LGA-145						
ウォッチ ドッグタイム (WDT)	WDTOVF	39	M3	39	39	出力	ウォッチドッグタイムモード時のカウンタオーバーフロー信号出力端子です。		
シリアルコ ミュニケー ションインタ フェース (SCI) / スマートカ ードインタ フェース (SCI_0 は IrDA 機能 付き)	TxD4	54	K6	54	54	出力	データ出力端子です。		
	TxD3	33	L2	33	33				
	TxD2	133	A6	133	133				
	TxD1	141	B3	141	141				
	TxD0/IrTxD	142	C4	142	142				
スマートカ ードインタ フェース (SCI_0 は IrDA 機能 付き)	RxD4	55	K7	55	55	入力	データ入力端子です。		
	RxD3	59	L7	59	59				
	RxD2	134	B5	134	134				
	RxD1	139	C5	139	139				
	RxD0/IrRxD	140	A4	140	140				
	SCK4	138	B4	138	138			入出力	クロック入出力端子です。
	SCK3	61	N8	61	61				
	SCK2	135	C6	135	135				
	SCK1	137	A5	137	137				
	SCK0	138	B4	138	138				
I ² C バス インタフェ ース 2 (IIC2)	SCL1	139	C5	139	139	入出力	I ² C クロック入出力端子です。		
	SCL0	137	A5	137	137				
	SDA1	140	A4	140	140	入出力	I ² C のデータ入出力端子です。		
	SDA0	138	B4	138	138				
A/D 変換器	AN15 - AN0	128 - 113	D6、D7、D8 A8、B7、C8 D9、A9、B8 C9、B9 A10、C10 B10、C11 A11	128 - 113	128 - 113	入力	アナログ入力端子です。		
	$\overline{\text{ADTRG}}$	136	D4	136	136	入力	A/D 変換開始のための外部トリガ入力端子です。		
D/A 変換器	DA5 DA4 DA3 DA2 DA1 DA0	128 127 126 125 120 119	D6 D7 D8 A8 B8 C9	128 127 126 125 120 119	126 125	出力	アナログ出力端子です。		

1. 概要

分類	記号	ピン番号				入出力	機能
		H8S/2378 0.18 μ m F-ZTAT グループ		H8S/2377 H8S/2377R	H8S/2375 H8S/2373 H8S/2375R H8S/2373R		
		LQFP-144	LGA-145				
A/D 変換器 D/A 変換器	AVcc	111	B11	111	111	入力	A/D 変換器、D/A 変換器のアナログ電源端子です。 A/D 変換器、D/A 変換器を使用しない場合は、システムの電源 (+3V) に接続してください。
	AVss	129	A7	129	129	入力	A/D 変換器、D/A 変換器のグラウンド端子です。システムの電源 (0V) に接続してください。
	Vref	112	B12	112	112	入力	A/D 変換器、D/A 変換器の基準電圧入力端子です。 A/D 変換器、D/A 変換器を使用しない場合は、システムの電源 (+3V) に接続してください。
I/O ポート	P17 ~ P10	49 ~ 42	N5、M6、L5 M5、N4、L4 M4、L3	49 ~ 42	49 ~ 42	入出力	8 ビットの入出力端子です。
	P27 ~ P20	58 ~ 51	M8、N7、K8 K7、K6、N6 M7、L6	58 ~ 51	58 ~ 51	入出力	8 ビットの入出力端子です。
	P35 ~ P30	137 ~ 142	A5、B4、C5 A4、B3、C4	137 ~ 142	137 ~ 142	入出力	6 ビットの入出力端子です。
	P47 ~ P40	120 ~ 113	B8、C9、B9 A10、C10 B10、C11 A11	120 ~ 113	120 ~ 113	入力	8 ビットの入力端子です。
	P53 ~ P50	136 ~ 133	D4、C6、B5 A6	136 ~ 133	136 ~ 133	入出力	4 ビットの入出力端子です。
	P65 ~ P60	106 ~ 104 83 ~ 81	C13、C12 D10、J10 K13、J12	106 ~ 104 83 ~ 81	106 ~ 104 83 ~ 81	入出力	6 ビットの入出力端子です。
	P85 ~ P80	61 ~ 59 34、33、3	N8、K9、L7 K3、L2、C2	61 ~ 59 34、33、3	61 ~ 59 34、33、3	入出力	6 ビットの入出力端子です。
	P97 ~ P90	128 ~ 121	D6、D7、D8 A8、B7、C8 D9、A9	128 ~ 121	128 ~ 121	入力	8 ビットの入力端子です。
	PA7 ~ PA0	31 ~ 26 24、23	J3、K2、J1 K4、H3、J2 J4、G3	31 ~ 26 24、23	31 ~ 26 24、23	入出力	8 ビットの入出力端子です。

分類	記号	ピン番号				入出力	機能
		H8S/2378 0.18 μm F-ZTAT グループ H8S/2378R 0.18 μm F-ZTAT グループ		H8S/2377 H8S/2377R	H8S/2375 H8S/2373 H8S/2375R H8S/2373R		
		LQFP-144	LGA-145				
I/O ポート	PB7 ~ PB0	22 ~ 19 17 ~ 14	H2、G1、H4 G4、F1、G2 F3、E4	22 ~ 19 17 ~ 14	22 ~ 19 17 ~ 14	入出力	8 ビットの入出力端子です。
	PC7 ~ PC0	13 ~ 11 9 ~ 5	E1、F2、E3 D1、D3、D2 C3、C1	13 ~ 11 9 ~ 5	13 ~ 11 9 ~ 5	入出力	8 ビットの入出力端子です。
	PD7 ~ PD0	80 ~ 73	K11、K12 L13、L11 M12、L12 N13、M13	80 ~ 73	80 ~ 73	入出力	8 ビットの入出力端子です。
	PE7 ~ PE0	71 69 ~ 63	N11、M11 N10、L9 M10、N9 K10、L8	71 69 ~ 63	71 69 ~ 63	入出力	8 ビットの入出力端子です。
	PF7 ~ PF0	94 90 ~ 84	F10、G10 G12、H11 J13、H10 H12、J11	94 90 ~ 84	94 90 ~ 84	入出力	8 ビットの入出力端子です。
	PG6 ~ PG0	132 ~ 130 110 ~ 107	D5、C7、B6 A13、A12 B13、D11	132 ~ 130 110 ~ 107	132 ~ 130 110 ~ 107	入出力	7 ビットの入出力端子です。
	PH3 ~ PH0	38 ~ 35	M2、N2 M1、L1	38 ~ 35	38 ~ 35	入出力	4 ビットの入出力端子です。

- 【注】 *1 H8S/2378 グループではサポートしていません。
*2 H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。
*3 H8S/2378 0.18 μm F-ZTAT グループ、H8S/2378R 0.18 μm F-ZTAT グループのみです。

1. 概要

2. CPU

H8S/2000 CPU は、H8/300 CPU および H8/300H CPU と上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8S/2000 CPU には 16 ビットの汎用レジスタが 16 本あり、16M バイトのリニアなアドレス空間を扱うことができるリアルタイム制御に最適な CPU です。この章は H8S/2000 CPU について説明しています。製品によって使用できるモードやアドレス空間が異なりますので、製品ごとの詳細は「第 3 章 MCU 動作モード」を参照してください。

2.1 特長

- H8/300 CPU および H8/300H CPU と上位互換
H8/300 および H8/300H CPU オブジェクトプログラムを実行可能
- 汎用レジスタ：16 ビット × 16 本
8 ビット × 16 本、32 ビット × 8 本としても使用可能
- 基本命令：65 種類
8/16/32 ビット演算命令
乗除算命令
強力なビット操作命令
- アドレッシングモード：8 種類
レジスタ直接 (Rn)
レジスタ間接 (@ERn)
ディスプレースメント付きレジスタ間接 (@(d:16,ERn) / @(d:32,ERn))
ポストインクリメント / プリデクリメントレジスタ間接 (@ERn+ / @-ERn)
絶対アドレス (@aa:8 / @aa:16 / @aa:24 / @aa:32)
イミディエイト (#xx:8 / #xx:16 / #xx:32)
プログラムカウンタ相対 (@(d:8,PC) / @(d:16,PC))
メモリ間接 (@@aa:8)
- アドレス空間：16M バイト
プログラム：16M バイト
データ：16M バイト

2. CPU

- 高速動作

頻出命令をすべて1~2ステートで実行

8/16/32ビットレジスタ間加減算：1ステート

8×8ビットレジスタ間乗算：12ステート (MULXU.B) 13ステート (MULXS.B)

16÷8ビットレジスタ間除算：12ステート (DIVXU.B)

16×16ビットレジスタ間乗算：20ステート (MULXU.W) 21ステート (MULXS.W)

32÷16ビットレジスタ間除算：20ステート (DIVXU.W)

- CPU動作モード：2種類

ノーマルモード* / アドバンスモード

【注】 * 本 LSI ではノーマルモードは使用できません。

- 低消費電力状態

SLEEP命令により低消費電力状態に遷移

CPU動作クロックを選択可能

2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は以下のとおりです。

- レジスタ構成

MACレジスタは、H8S/2600 CPUのみサポートしています。

- 基本命令

MAC、CLRMAC、LDMAC、STMACの4命令は、H8S/2600 CPUのみサポートしています。

- MULXU、MULXS命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, ERd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, ERd	5	21

そのほか、製品によってアドレス空間やCCR、EXRの機能、低消費電力状態などが異なる場合があります。

2.1.2 H8/300 CPU との相違点

H8S/2000 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

- 汎用レジスタ、コントロールレジスタを拡張
16ビット×8本の拡張レジスタおよび8ビット×1本、32ビット×2本のコントロールレジスタを追加
- アドレス空間を拡張
ノーマルモードのとき、H8/300 CPUと同一の64Kバイトのアドレス空間を使用可能
アドバンスモードのとき、最大16Mバイトのアドレス空間を使用可能
- アドレッシングモードを強化
16Mバイトのアドレス空間を有効に使用可能
- 命令強化
ビット操作命令のアドレッシングモードを強化
符号付き乗除算命令などを追加
2ビットシフト、2ビットローテート命令を追加
複数レジスタの退避 / 復帰命令を追加
テストアンドセット命令を追加
- 高速化
基本的な命令を2倍に高速化

2.1.3 H8/300H CPU との相違点

H8S/2000 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

- コントロールレジスタを拡張
8ビット×1本のコントロールレジスタを追加
- 命令強化
ビット操作命令のアドレッシングモードを強化
2ビットシフト、2ビットローテート命令を追加
複数レジスタの退避 / 復帰命令を追加
テストアンドセット命令を追加
- 高速化
基本的な命令を2倍に高速化

2.2 CPU動作モード

H8S/2000 CPUには、ノーマルモードとアドバンスモードの2つの動作モードがあります。サポートするアドレス空間は、ノーマルモードでは最大64Kバイト、アドバンスモードでは16Mバイトです。動作モードはLSIのモード端子によって決まります。

2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造はH8/300 CPUと同一です。

- アドレス空間

最大64Kバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7)は、16ビットレジスタとして、または32ビットレジスタの上位16ビットとして使用できます。

拡張レジスタEnは、対応する汎用レジスタRnをアドレスレジスタとして使用している場合でも、16ビットレジスタとして任意の値を設定することができます (ただし、プリデクリメントレジスタ間接 (@-Rn)、ポストインクリメントレジスタ間接 (@Rn+)により汎用レジスタRnが参照された場合、キャリ/ポローが発生すると、対応する拡張レジスタEnの内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位16ビットのみが有効となります。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、16ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を図2.1に示します。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

メモリ間接 (@aa:8)は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ノーマルモードでは、オペランドは16ビット (ワード) となり、この16ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000~H'00FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

ノーマルモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCR、EXRのスタックの構造を図2.2に示します。EXRは割り込み制御モード0ではスタックされません。割り込み制御モードの詳細は「第4章 例外処理」を参照してください。

【注】 本LSIではノーマルモードは使用できません。

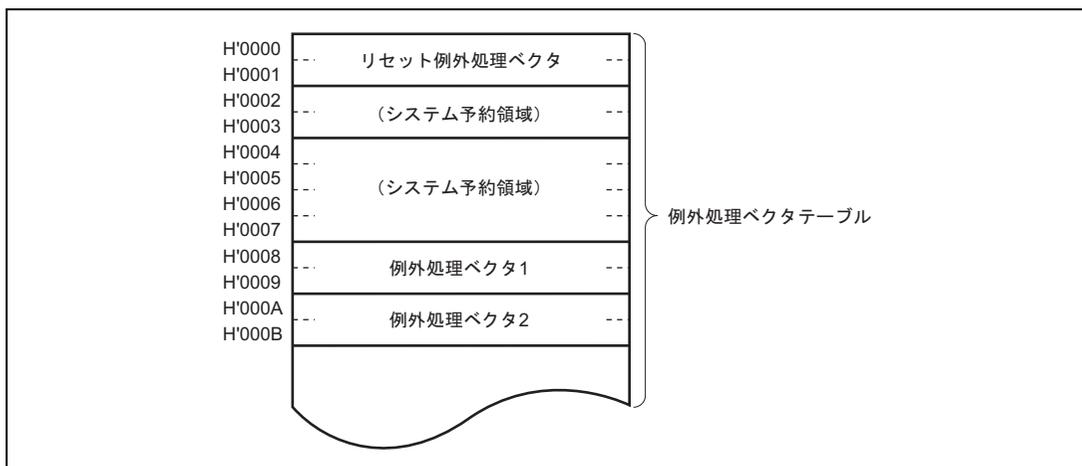


図 2.1 例外処理ベクタテーブル (ノーマルモード)

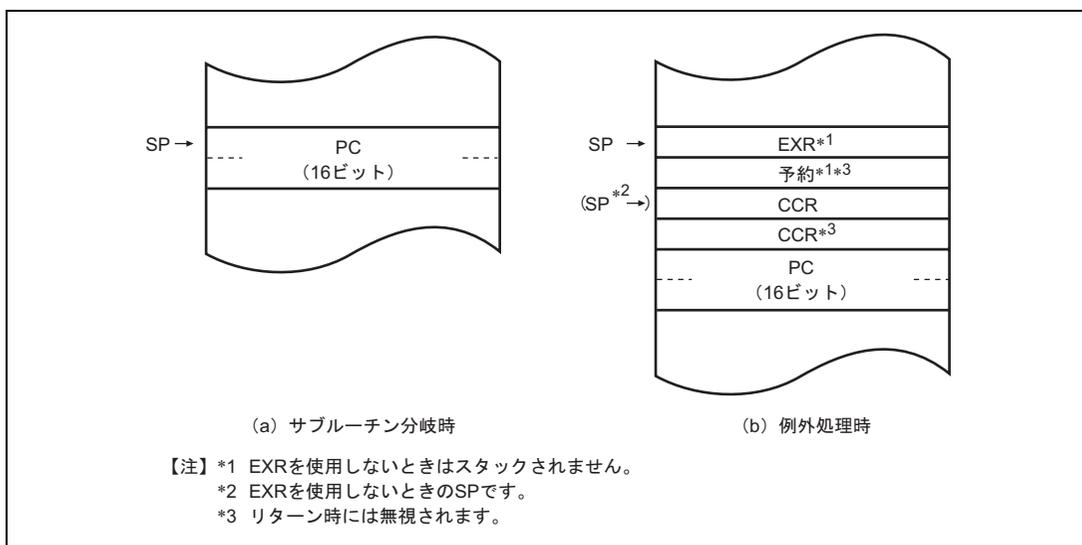


図 2.2 ノーマルモードのスタック構造

2.2.2 アドバンストモード

- アドレス空間

最大16Mバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16ビットレジスタとして使用できます。また、32ビットレジスタあるいはアドレスレジスタの上位16ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンストモードでは、H'00000000から始まる先頭領域に32ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位8ビットは無視され24ビットの分岐先アドレスを格納します (図2.3参照)。例外処理ベクタテーブルは「第4章 例外処理」を参照してください。

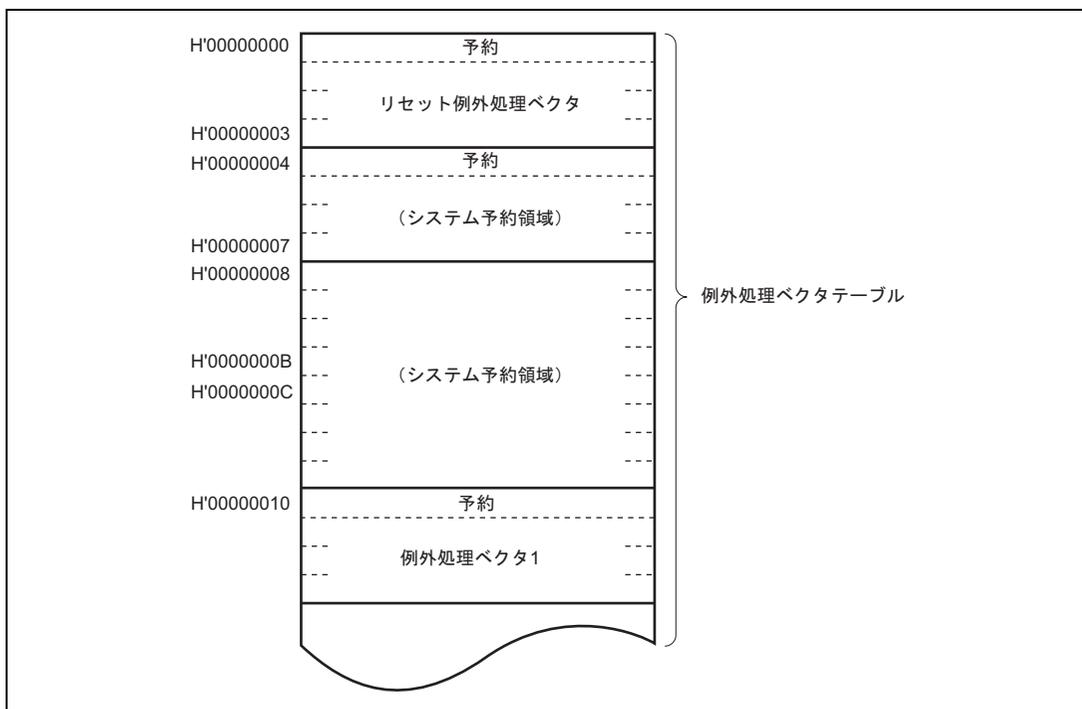


図 2.3 例外処理ベクタテーブル (アドバンストモード)

メモリ間接 (@aa:8) は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンスモードでは、オペランドは32ビット（ロングワード）となり、この32ビットが分岐先アドレスとなります。このうち、上位8ビットは予約領域となっておりH'00とみなされます。なお、分岐先アドレスを格納できるのは、H'00000000～H'000000FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

アドバンスモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCR、EXRのスタックの構造を図2.4に示します。EXRは割り込み制御モード0ではスタックされません。割り込み制御モードの詳細は「第4章 例外処理」を参照してください。

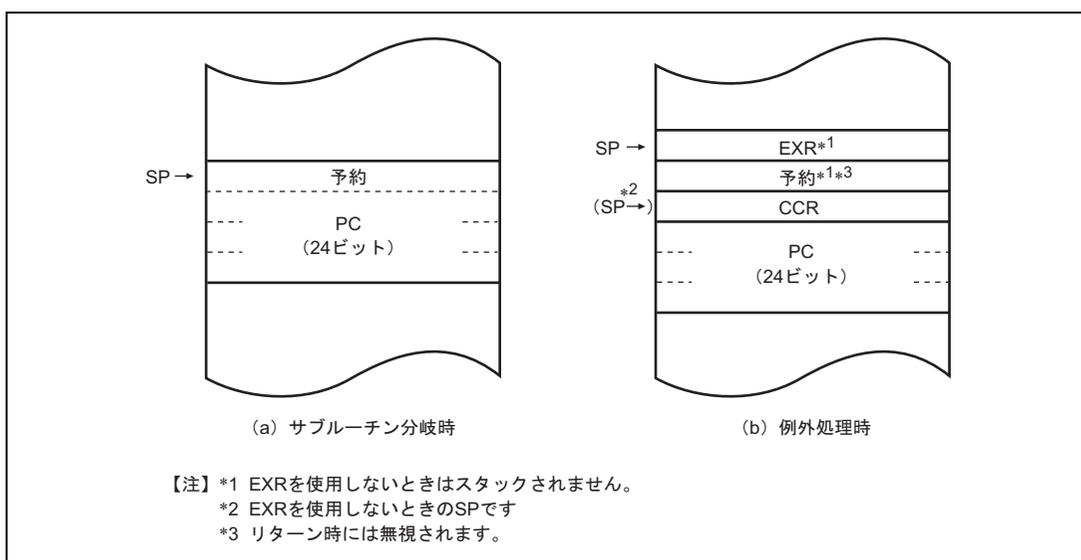


図 2.4 アドバンスモードのスタック構造

2.3 アドレス空間

H8S/2000 CPU のメモリマップを図 2.5 に示します。H8S/2000 CPU は、ノーマルモードのとき最大 64K バイト、アドバンスモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。実際に使用できるモードやアドレス空間は製品ごとに異なります。詳細は「第 3 章 MCU 動作モード」を参照してください。

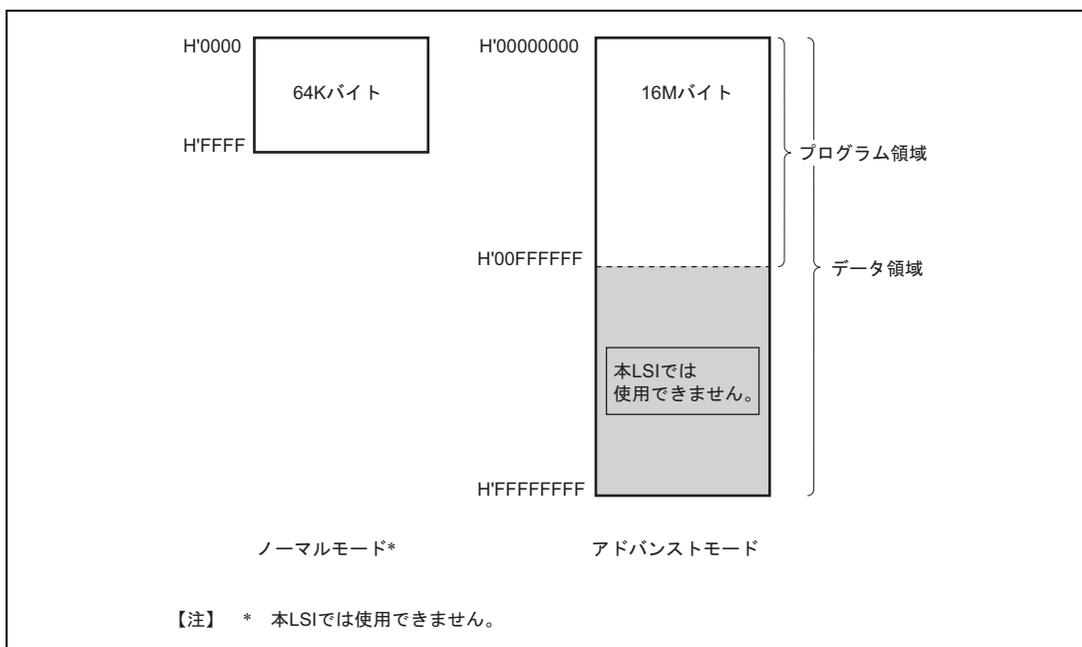


図 2.5 アドレス空間

2.4 レジスタの構成

H8S/2000 CPU の内部レジスタの構成を図 2.6 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、24 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、8 ビットのコンディションコードレジスタ (CCR) があります。

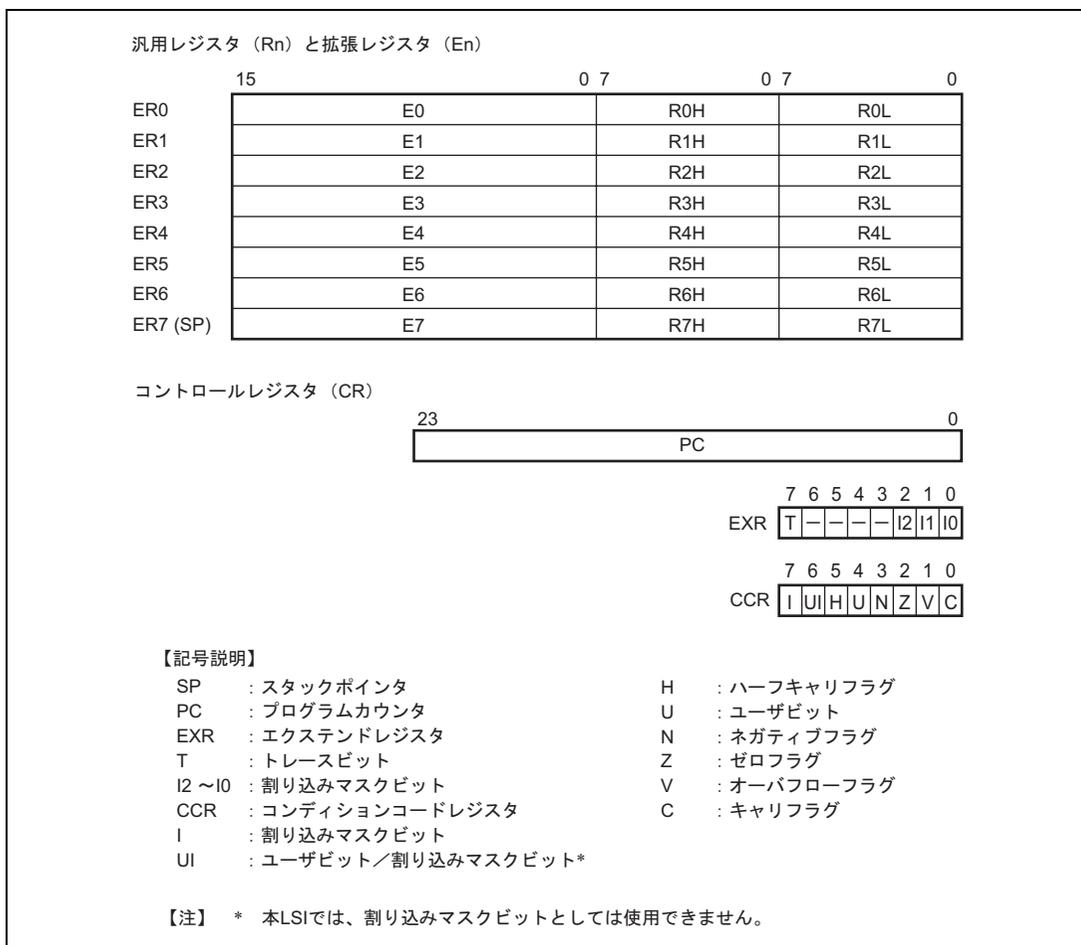


図 2.6 CPU 内部レジスタ構成

2.4.1 汎用レジスタ

H8S/2000 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.7 に示します。

アドレスレジスタまたは 32 ビットレジスタとして使用する場合は一括して汎用レジスタ ER (ER0 ~ ER7) として指定します。

16 ビットレジスタとして使用する場合は汎用レジスタ ER を分割して汎用レジスタ E (E0 ~ E7)、汎用レジスタ R (R0 ~ R7) として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0 ~ E7) を特に拡張レジスタとよぶ場合があります。

8 ビットレジスタとして使用する場合は汎用レジスタ R を分割して汎用レジスタ RH (R0H ~ R7H)、汎用レジスタ RL (R0L ~ R7L) として指定します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

各レジスタは独立に使用方法を選択できます。

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.8 に示します。

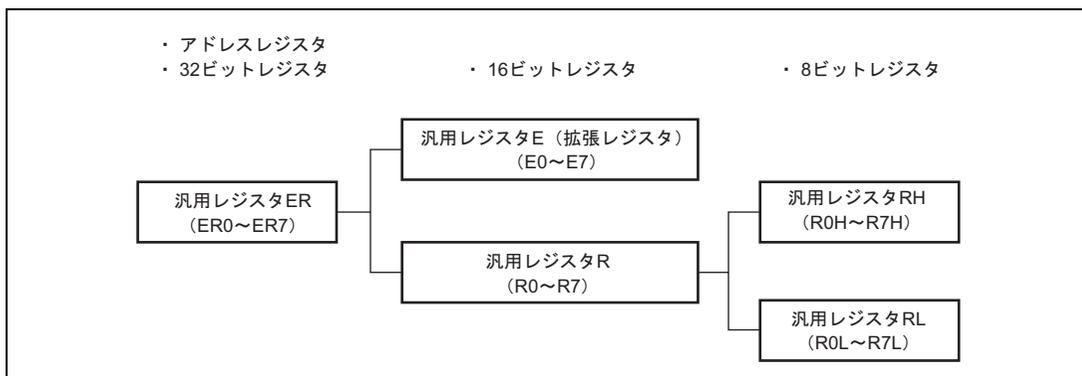


図 2.7 汎用レジスタの使用方法

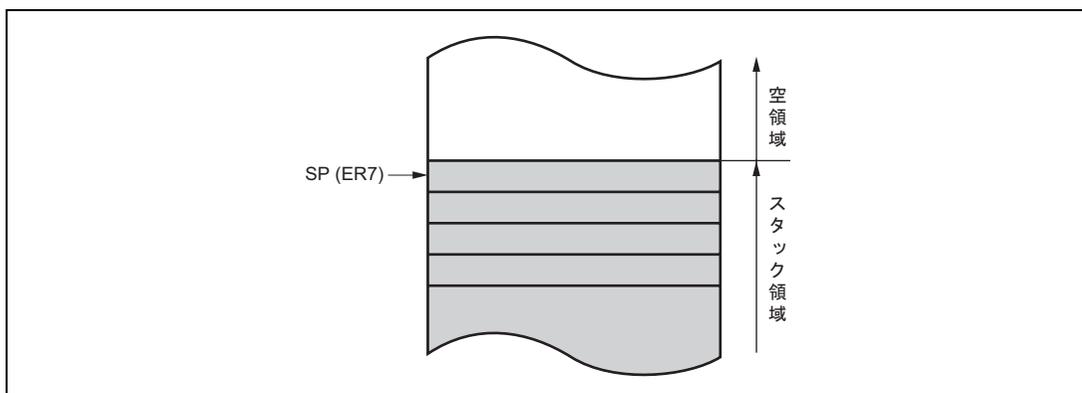


図 2.8 スタックの状態

2.4.2 プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを指します。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時は最下位ビットは 0 とみなされます)。

2.4.3 エクステンドレジスタ (EXR)

EXR は 8 ビットのレジスタで LDC、STC、ANDC、ORC、XORC 命令で操作することができます。このうち STC を除く命令を実行した場合、実行終了後 3 ステートの間 NMI を含むすべての割り込みがマスクされます。

ビット	ビット名	初期値	R/W	説明
7	T	0	R/W	トレースビット このビットが 1 にセットされているときは 1 命令実行することにトレース例外処理を開始します。0 にクリアされているときは命令を順次実行します。
6~3		すべて 1		リザーブビット リードすると常に 1 が読み出されます。
2~0	I2	1	R/W	割り込み要求マスクレベル (0~7) を指定します。詳細は「第 5 章 割り込みコントローラ」を参照してください。
	I1	1	R/W	
	I0	1	R/W	

2.4.4 コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

2. CPU

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット 本ビットが1にセットされると、割り込みがマスクされます。ただし、NMIは1ビットに関係なく受け付けられます。例外処理の実行が開始されたときに1にセットされます。詳細は「第5章 割り込みコントローラ」を参照してください。
6	UI	不定	R/W	ユーザビット / 割り込みマスクビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。本 LSI では、割り込みマスクビットとしては使用できません。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはボローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバフローフラグ 算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 <ul style="list-style-type: none">• 加算結果のキャリ• 減算結果のボロー• シフト / ローテートのキャリ また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

2.4.5 CPU 内部レジスタの初期値

CPU 内部レジスタのうち、PC はリセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

2.5 データ形式

H8S/2000 CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0,1,2,\dots,7$) という形式でアクセスできます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.9 に示します。

データ形	汎用レジスタ	データイメージ
1ビットデータ	RnH	
1ビットデータ	RnL	
4ビットBCDデータ	RnH	
4ビットBCDデータ	RnL	
バイトデータ	RnH	
バイトデータ	RnL	

図 2.9 汎用レジスタのデータ形式 (1)

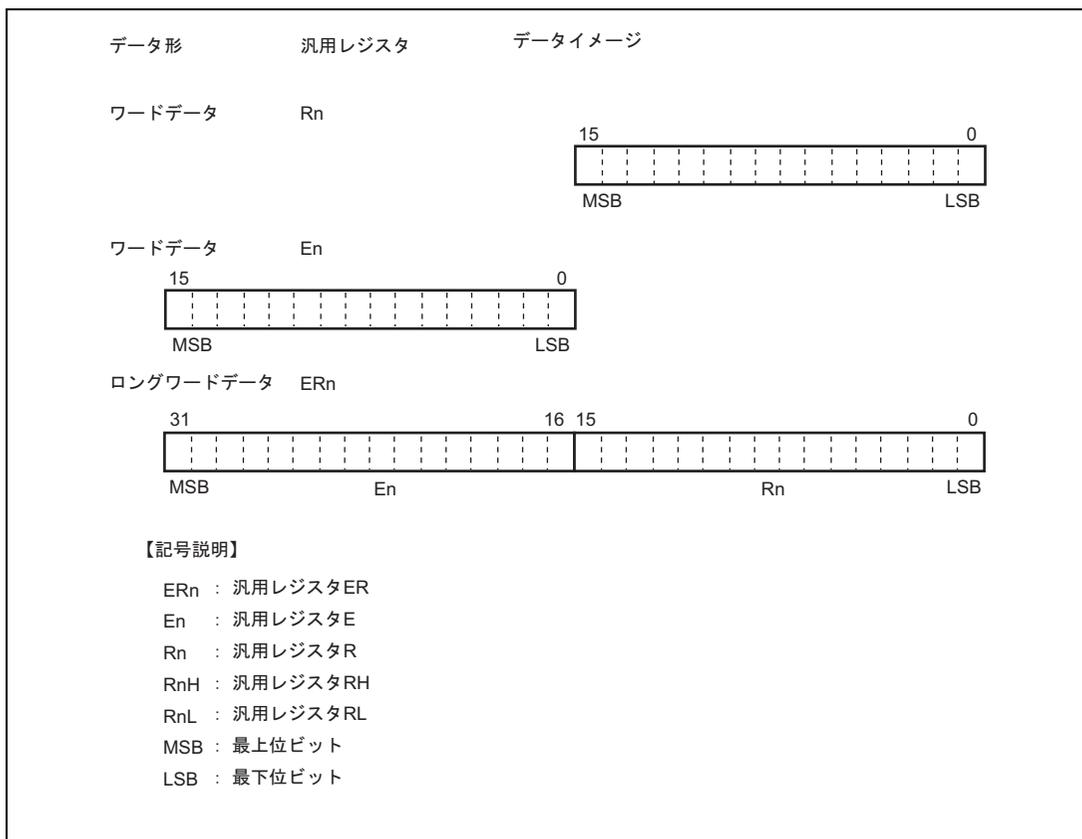


図 2.9 汎用レジスタのデータ形式 (2)

2.5.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.10 に示します。

H8S/2000 CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

なお、SP (ER7) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

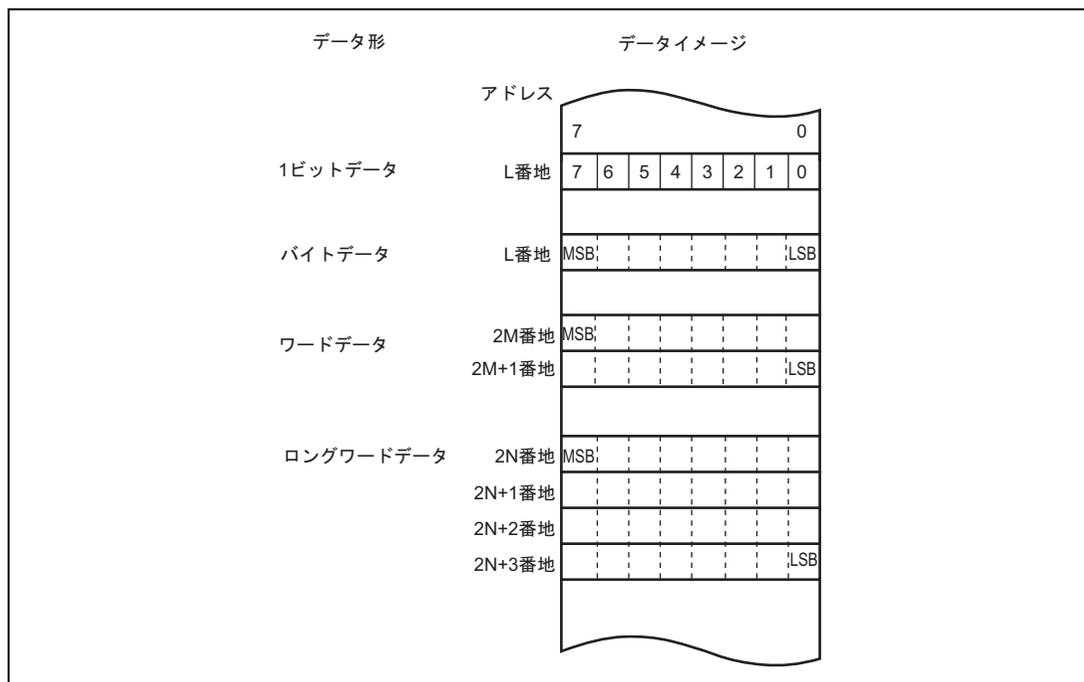


図 2.10 メモリ上でのデータ形式

2. CPU

2.6 命令セット

H8S/2000 CPU の命令は合計 65 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分類	命令	サイズ	種類
データ転送命令	MOV	B/W/L	5
	POP * ¹ , PUSH * ¹	W/L	
	LDM, STM	L	
	MOVFPPE* ³ , MOVTPPE* ³	B	
算術演算命令	ADD, SUB, CMP, NEG	B/W/L	19
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	B/W/L	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	B/W	
	EXTU, EXTS	W/L	
	TAS* ⁴	B	
論理演算命令	AND, OR, XOR, NOT	B/W/L	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	B/W/L	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc * ² , JMP, BSR, JSR, RTS	-	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	-	9
ブロック転送命令	EPEMOV	-	1

合計 65 種類

【注】 B：バイトサイズ W：ワードサイズ L：ロングワードサイズ

- *1 POP.W Rn, PUSH.W Rn は、それぞれ MOV.W @SP+,Rn, MOV.W Rn,@-SP と同一です。
また、POP.L ERn, PUSH.L ERn は、それぞれ MOV.L @SP+,ERn, MOV.L ERn,@-SP と同一です。
- *2 Bcc は条件分岐命令の総称です。
- *3 本 LSI では使用できません。
- *4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

2.6.1 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.2 オペレーションの記号

記号	説明
Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理 (論理的補数)
:8/:16/:24/:32	8/16/24/32 ビット長

【注】 * 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ (ER0～ER7) です。

2. CPU

表 2.3 データ転送命令

命令	サイズ*	機能
MOV	B/W/L	(EAs) Rd, Rs (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W/L	@SP+ Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W/L	Rn @-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と同一です。 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM	L	@SP+ Rn (レジスタ群) スタックから複数の汎用レジスタへデータを復帰します。
STM	L	Rn (レジスタ群) @-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 算術演算命令

命令	サイズ* ¹	機能
ADD SUB	B/W/L	Rd±Rs Rd, Rd±#IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	Rd±Rs±C Rd, Rd±#IMM±C Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B/W/L	Rd±1 Rd, Rd±2 Rd 汎用レジスタに 1 または 2 を加減算します (バイトサイズで 1 の加減算のみ可能です)。
ADDS SUBS	L	Rd±1 Rd, Rd±2 Rd, Rd±4 Rd 32 ビットレジスタに 1, 2, または 4 を加減算します。

命令	サイズ* ¹	機能
DAA DAS	B	Rd(10進補正) Rd 汎用レジスタ上の加減算結果をCCRを参照して4ビットBCDデータに補正します。
MULXU	B/W	Rd×Rs Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8ビット×8ビット 16ビット、16ビット×16ビット 32ビットの乗算が可能です。
MULXS	B/W	Rd×Rs Rd 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8ビット×8ビット 16ビット、16ビット×16ビット 32ビットの乗算が可能です。
DIVXU	B/W	Rd÷Rs Rd 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16ビット÷8ビット 商8ビット余り8ビット、 32ビット÷16ビット 商16ビット余り16ビットの除算が可能です。
DIVXS	B/W	Rd÷Rs Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16ビット÷8ビット 商8ビット余り8ビット、 32ビット÷16ビット 商16ビット余り16ビットの除算が可能です。
CMP	B/W/L	Rd - Rs, Rd - #IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果をCCRに反映します。
NEG	B/W/L	0 - Rd Rd 汎用レジスタの内容の2の補数(算術的補数)をとります。
EXTU	W/L	Rd(ゼロ拡張) Rd 16ビットレジスタの下位8ビットをワードサイズにゼロ拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	Rd(符号拡張) Rd 16ビットレジスタの下位8ビットをワードサイズに符号拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズに符号拡張します。
TAS* ²	B	@ERd - 0, 1 (<ビット7> of @ERd) メモリの内容をテストした後、最上位ビット(ビット7)を1にセットします。

【注】 *1 サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

*2 TAS命令を使用する場合は、レジスタER0、ER1、ER4、ER5を使用してください。

2. CPU

表 2.5 論理演算命令

命令	サイズ*	機 能
AND	B/W/L	Rd Rs Rd, Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd Rs Rd, Rd #IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs Rd, Rd⊕#IMM Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	~Rd Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.6 シフト命令

命令	サイズ*	機 能
SHAL SHAR	B/W/L	Rd (シフト処理) Rd 汎用レジスタの内容を算術的にシフトします。 1ビットまたは2ビットのシフトが可能です。
SHLL SHLR	B/W/L	Rd (シフト処理) Rd 汎用レジスタの内容を論理的にシフトします。 1ビットまたは2ビットのシフトが可能です。
ROTL ROTR	B/W/L	Rd (ローテート処理) Rd 汎用レジスタの内容をローテートします。 1ビットまたは2ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	Rd (ローテート処理) Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1ビットまたは2ビットのローテートが可能です。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.7 ビット操作命令

命令	サイズ*	機 能
BSET	B	1 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR	B	0 (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BNOT	B	~ (<ビット番号>of<EAd>) (<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~ (<ビット番号>of<EAd>) Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C [~ (<ビット番号>of<EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号>of<EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C [~ (<ビット番号>of<EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

2. CPU

命令	サイズ*	機 能
BXOR	B	$C \oplus (\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle)$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	$C \oplus [\sim (\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle)]$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BLD	B	$(\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle)$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	$\sim (\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle)$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	$C (\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle)$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	$\sim C (\langle \text{ビット番号} \rangle \text{of} \langle \text{EAd} \rangle)$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグを反転して転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

表 2.8 分岐命令

命令	サイズ	機 能																																																			
Bcc	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説 明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z = 0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z = 1</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>C = 0</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (Low)</td> <td>C = 1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z = 0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z = 1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V = 0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V = 1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N = 0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N = 1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>N\oplusV = 0</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>N\oplusV = 1</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>Z (N\oplusV) = 0</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>Z (N\oplusV) = 1</td> </tr> </tbody> </table>	ニーモニック	説 明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	C Z = 0	BLS	Low or Same	C Z = 1	BCC (BHS)	Carry Clear (High or Same)	C = 0	BCS (BLO)	Carry Set (Low)	C = 1	BNE	Not Equal	Z = 0	BEQ	Equal	Z = 1	BVC	oVerflow Clear	V = 0	BVS	oVerflow Set	V = 1	BPL	PLus	N = 0	BMI	MInus	N = 1	BGE	Greater or Equal	N \oplus V = 0	BLT	Less Than	N \oplus V = 1	BGT	Greater Than	Z (N \oplus V) = 0	BLE	Less or Equal	Z (N \oplus V) = 1
ニーモニック	説 明	分岐条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	C Z = 0																																																			
BLS	Low or Same	C Z = 1																																																			
BCC (BHS)	Carry Clear (High or Same)	C = 0																																																			
BCS (BLO)	Carry Set (Low)	C = 1																																																			
BNE	Not Equal	Z = 0																																																			
BEQ	Equal	Z = 1																																																			
BVC	oVerflow Clear	V = 0																																																			
BVS	oVerflow Set	V = 1																																																			
BPL	PLus	N = 0																																																			
BMI	MInus	N = 1																																																			
BGE	Greater or Equal	N \oplus V = 0																																																			
BLT	Less Than	N \oplus V = 1																																																			
BGT	Greater Than	Z (N \oplus V) = 0																																																			
BLE	Less or Equal	Z (N \oplus V) = 1																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

2. CPU

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に移移します。
LDC	B/W	(Eas) CCR、(Eas) EXR 汎用レジスタまたはメモリの内容をCCR、EXRに転送します。また、イミディエイトデータをCCR、EXRに転送します。CCR、EXRは8ビットですが、メモリとCCR、EXR間の転送はワードサイズで行われ、上位8ビットが有効になります。
STC	B/W	CCR (Ead)、EXR (Ead) CCR、EXRの内容を汎用レジスタまたはメモリに転送します。CCR、EXRは8ビットですが、CCR、EXRとメモリ間の転送はワードサイズで行われ、上位8ビットが有効になります。
ANDC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXRとイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR、EXR #IMM EXR CCR、EXRとイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM CCR、EXR⊕#IMM EXR CCR、EXRとイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2 PC PCのインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

表 2.10 ブロック転送命令

命令	サイズ	機能
EEPMOV.B	-	<pre> if R4L = 0 then Repeat @ER5+ @ER6+ R4L - 1 R4L Until R4L = 0 else next; </pre>
EEPMOV.W	-	<pre> if R4 = 0 then Repeat @ER5+ @ER6+ R4 - 1 R4 Until R4 = 0 else next; </pre> <p>ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。</p>

2.6.2 命令の基本フォーマット

H8S/2000 CPU の命令は、2 バイト (ワード) を単位にしています。各命令はオペレーションフィールド (op)、レジスタフィールド (r)、EA 拡張部 (EA)、およびコンディションフィールド (cc) から構成されています。

図 2.11 に命令フォーマットの例を示します。

- オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

- レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

- EA拡張部

イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8ビット、16ビット、または32ビットです。

- コンディションフィールド

Bcc命令の分岐条件を指定します。

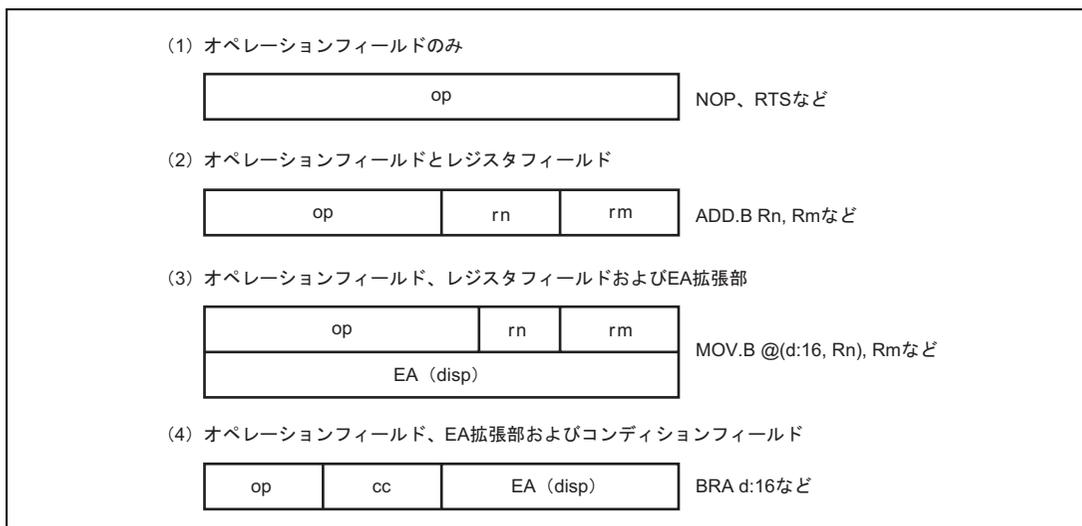


図 2.11 命令フォーマットの例

2.7 アドレッシングモードと実効アドレスの計算方法

H8S/2000 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードが異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn) / @(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8 / @aa:16 / @aa:24 / @aa:32
6	イミディエイト	#xx:8 / #xx:16 / #xx:32
7	プログラムカウンタ相対	@(d:8,PC) / @(d:16,PC)
8	メモリ間接	@@aa:8

2.7.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ（8ビット、16ビットまたは32ビット）がオペランドとなります。8ビットレジスタとしてはR0H~R7H、R0L~R7Lを指定可能です。16ビットレジスタとしてはR0~R7、E0~E7を指定可能です。32ビットレジスタとしてはER0~ER7を指定可能です。

2.7.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容をアドレスとしてメモリ上のオペランドを指定します。プログラム領域としては、下位24ビットが有効になり、上位8ビットはすべて0（H'00）とみなされます。

2.7.3 ディスプレースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容に、命令コード中に含まれる16ビットディスプレースメント、または32ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16ビットディスプレースメントは符号拡張されます。

2.7.4 ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接@-ERn

(1) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に1、2または4が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ加算されます。ワードサイズまたはロングワードサイズのとき、アドレスレジスタの内容が偶数となるようにしてください。

(2) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容から、1、2または4を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ減算されます。ワードサイズまたはロングワードサイズのとき、アドレスレジスタの内容が偶数になるようにしてください。

2.7.5 絶対アドレス @aa:8 / @aa:16 / @aa:24 / @aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。絶対アドレスは8ビット (@aa:8)、16ビット (@aa:16)、24ビット (@aa:24)、または32ビット (@aa:32) です。絶対アドレスのアクセス範囲を表 2.12 に示します。

データ領域としては、8ビット (@aa:8)、16ビット (@aa:16)、または32ビット (@aa:32) を使用します。8ビット絶対アドレスの場合、上位24ビットはすべて1 (H'FFFF) となります。16ビット絶対アドレスの場合、上位16ビットは符号拡張されます。32ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては24ビット (@aa:24) を使用します。上位8ビットはすべて0 (H'00) となります。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード	アドバンストモード
データ領域	8ビット (@aa:8)	H'FF00 ~ H'FFFF	H'FFFF00 ~ H'FFFFFF
	16ビット (@aa:16)	H'0000 ~ H'FFFF	H'000000 ~ H'007FFF、 H'FF8000 ~ H'FFFFFF
	32ビット (@aa:32)		H'000000 ~ H'FFFFFF
プログラム領域	24ビット (@aa:24)		

2.7.6 イミディエイト #xx:8 / #xx:16 / #xx:32

命令コード中に含まれる8ビット (#xx:8)、16ビット (#xx:16)、または32ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するための2ビットのイミディエイトデータが命令コードの中に含まれます。

2.7.7 プログラムカウンタ相対 @(d:8, PC) / @(d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される24ビットのアドレスに、命令コード中に含まれる8ビット、または16ビットディスプレースメントを加算して24ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは24ビットに符号拡張されます。加算結果は下位24ビットが有効になり、上位8ビットはすべて0 (H'00) とみなされます。また加算されるPCの内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126 ~ +128 バイト (-63 ~ +64 ワード) または -32766 ~ +32768 バイト (-16383 ~ +16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

2.7.8 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0~255 (ノーマルモードのとき H'0000 ~ H'00FF、アドバンスモードのとき H'000000 ~ H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。また、アドバンスモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は「第 4 章 例外処理」を参照してください。

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします (「2.5.2 メモリ上でのデータ形式」を参照してください) 。

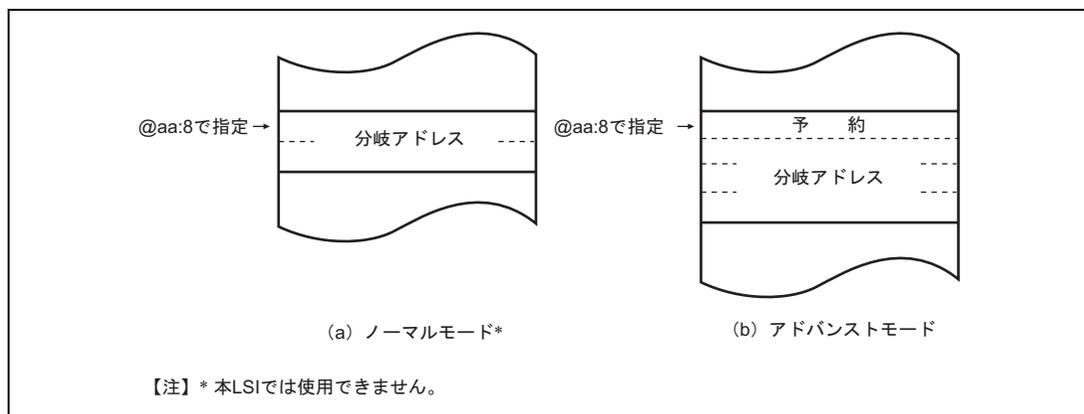
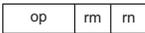
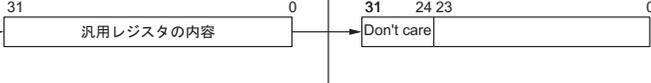
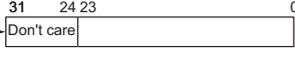
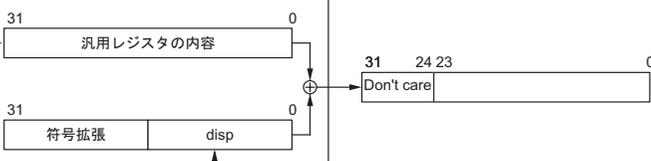
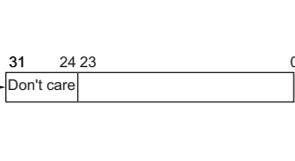
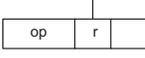
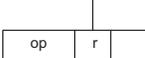
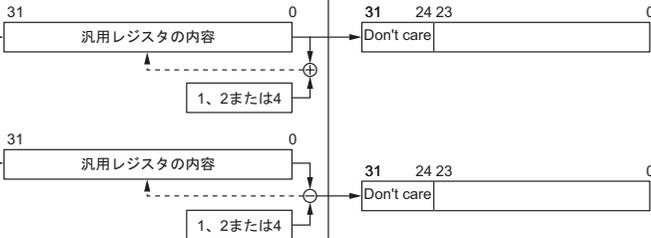
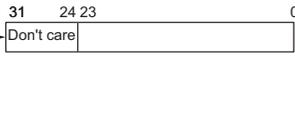
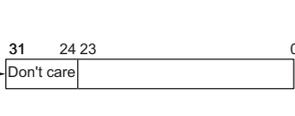


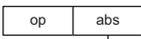
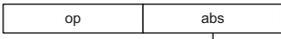
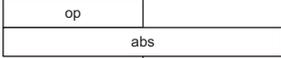
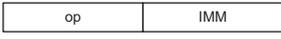
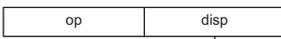
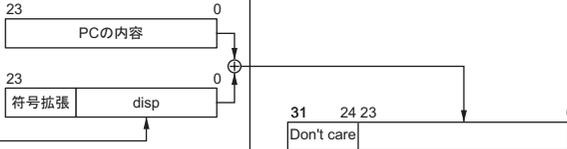
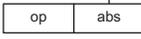
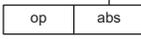
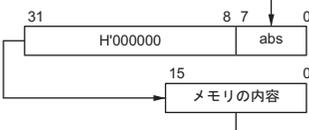
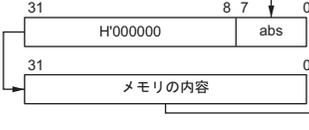
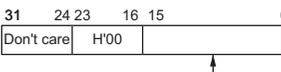
図 2.12 メモリ間接による分岐アドレスの指定

2.7.9 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算法を表 2.13 に示します。
 ノーマルモードの場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。

表 2.13 実行アドレスの計算方法

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)								
1	レジスタ直接 (Rn) 		オペランドは汎用レジスタの内容です。								
2	レジスタ間接 (@ERn) 										
3	ディスプレイースメント付きレジスタ間接 @(d:16,ERn) / @(d:32,ERn) 										
4	ポストア_INCREMENTレジスタ間接/プリデCREMENTレジスタ間接 ・ポストア_INCREMENTレジスタ間接 @ERn+  ・プリデCREMENTレジスタ間接 @-ERn 	  <table border="1" data-bbox="550 1174 797 1257"> <thead> <tr> <th>オペランドサイズ</th> <th>加減算される値</th> </tr> </thead> <tbody> <tr> <td>バイト</td> <td>1</td> </tr> <tr> <td>ワード</td> <td>2</td> </tr> <tr> <td>ロングワード</td> <td>4</td> </tr> </tbody> </table>	オペランドサイズ	加減算される値	バイト	1	ワード	2	ロングワード	4	 
オペランドサイズ	加減算される値										
バイト	1										
ワード	2										
ロングワード	4										

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	絶対アドレス @aa:8 		
	@aa:16 		
	@aa:24 		
	@aa:32 		
6	イミディエイト #xx:8/#xx:16/#xx:32 	オペランドはイミディエイトデータです。	
7	プログラムカウンタ相対 @(d:8,PC)/@(d:16,PC) 		
8	メモリ間接 @aa:8 ・ノーマルモード*  ・アドバンストモード 	 	 

【注】* 本LSIでは使用できません。

2.8 処理状態

H8S/2000 CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、およびプログラム停止状態の 5 種類があります。処理状態間の状態遷移図を図 2.13 に示します。

- リセット状態

CPU および内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子がLowレベルになると、実行中の処理はすべて中止され、CPUはリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子をLowレベルからHighレベルにすると、リセット例外処理を開始します。リセットの詳細は「第4章 例外処理」を参照してください。ウォッチドッグタイマを内蔵する製品では、ウォッチドッグタイマのオーバフローによってもリセットすることもできます。

- 例外処理状態

例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によってCPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「第4章 例外処理」を参照してください。

- プログラム実行状態

CPUがプログラムを順次実行している状態です。

- バス権解放状態

DMAコントローラ(DMAC)やデータトランスファコントローラ(DTC)を内蔵している製品で、これらCPU以外のバスマスタからのバス権要求に対してバス権を解放した状態です。バス権解放状態ではCPUは動作を停止します。

- プログラム停止状態（低消費電力状態）

CPUが動作を停止し、消費電力を低下させた状態です。SLEEP命令の実行、またはハードウェアスタンバイモードへの遷移でCPUはプログラム停止状態になります。詳細は「第24章 低消費電力状態」を参照してください。

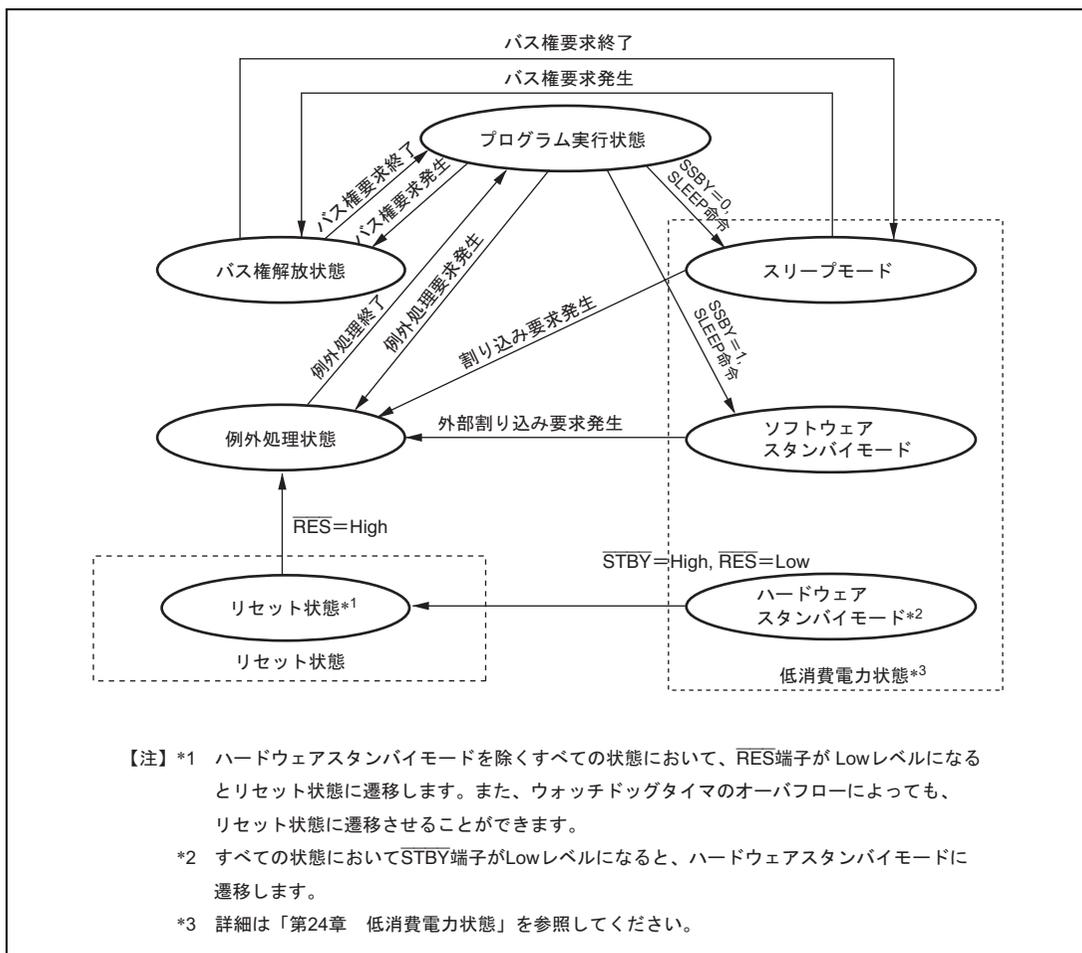


図 2.13 状態遷移図

2.9 使用上の注意事項

2.9.1 ビット操作命令使用上の注意事項

BSET、BCLR、BNOT、BST、BISTの各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用するときは注意が必要です。

また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用できます。この場合、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

3. MCU 動作モード

3.1 動作モードの選択

H8S/2378 0.18 μ m F-ZTAT グループ、H8S/2378R 0.18 μ m F-ZTAT グループは、6 種類の動作モード（モード 1～5、7）があります。H8S/2377、H8S/2377R は、5 種類の動作モード（モード 1～4、7）があります。H8S/2375、H8S/2375R は、モード 1、2、4、7 があります。H8S/2373、H8S/2373R は、モード 1、2 が使用できます。動作モードはモード端子（MD2～MD0）の設定で決まります。

モード 1、2、4 は、外部メモリおよび周辺デバイスをアクセスできる外部拡張モードです。外部拡張モードでは、プログラム実行開始後にバスコントローラにより、外部アドレス空間をエリアごとに 8 ビットまたは 16 ビットに設定できます。また、いずれか 1 つのエリアを 16 ビットアクセス空間にすると 16 ビットバスモードとなり、すべてのエリアを 8 ビットアクセス空間にすると 8 ビットバスモードとなります。

モード 7 は、外部メモリおよび周辺デバイスへのアクセスをプログラム実行開始時に切り替えることができるシングルチップ起動拡張モードです。

モード 3、5 は、フラッシュメモリに書き込み/消去を行えるブートモード/ユーザブートモードです。ブートモード/ユーザブートモードについては「第 20 章 フラッシュメモリ (0.35 μ m F-ZTAT 版)」「第 21 章 フラッシュメモリ (0.18 μ m F-ZTAT 版)」を参照してください。

MD2～MD0 端子は、LSI の動作中に変化させないでください。

表 3.1 MCU 動作モード

MCU 動作モード	MD2	MD1	MD0	CPU 動作モード	内容	内蔵 ROM	外部データバス	
							初期値	最大値
1* ¹	0	0	1	アドバンスモード	内蔵 ROM 無効拡張モード	無効	16 ビット	16 ビット
2* ¹	0	1	0	アドバンスモード	内蔵 ROM 無効拡張モード	無効	8 ビット	16 ビット
3	0	1	1	アドバンスモード	ブートモード	有効	-	16 ビット
4	1	0	0	アドバンスモード	内蔵 ROM 有効拡張モード	有効	8 ビット	16 ビット
5* ²	1	0	1	アドバンスモード	ユーザブートモード	有効	-	16 ビット
7	1	1	1	アドバンスモード	シングルチップモード	有効	-	16 ビット

【注】 *1 ROM レス版ではモード 1、2 のみ使用できます。

*2 H8S/2378 0.18 μ m F-ZTAT グループ、H8S/2378R 0.18 μ m F-ZTAT グループのみ使用できます。

3. MCU 動作モード

3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。

- モードコントロールレジスタ (MDCR)
- システムコントロールレジスタ (SYSCR)

3.2.1 モードコントロールレジスタ (MDCR)

MDCR は本 LSI の現在の動作モードをモニタするのに用います。

ビット	ビット名	初期値	R/W	説明
7~3		すべて 0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	MDS2	*	R	モードセレクト 2~0 モード端子 (MD2~MD0) の入力レベルを反映した値 (現在の動作モード) を示しています。これらのビットは MD2~MD0 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。MDCR をリードすると、MD2~MD0 端子の入力レベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。
1	MDS1	*	R	
0	MDS0	*	R	

【注】 * MD2~MD0 端子の設定により決定されます。

3.2.2 システムコントロールレジスタ (SYSCR)

SYSCR は、フラッシュメモリの制御レジスタの CPU アクセスを制御、外部バスモードの設定、内蔵 RAM の有効 / 無効の選択を行います。

- H8S/2378 0.18 μ m F-ZTAT グループ、H8S/2378R 0.18 μ m F-ZTAT グループ

ビット	ビット名	初期値	R/W	説 明
7、6		すべて 1	R/W	リザーブビット 初期値を変更しないでください。
5、4		すべて 0	R/W	リザーブビット 初期値を変更しないでください。
3	FLSHE	0	R/W	フラッシュメモリコントロールレジスタイネーブル フラッシュメモリの制御レジスタの CPU アクセスを制御します。このビットを 1 にセットすると、フラッシュメモリの制御レジスタをリード / ライトすることができます。0 にクリアするとフラッシュメモリの制御レジスタは非選択となります。このとき、フラッシュメモリの制御レジスタの内容は保持されています。フラッシュメモリ版以外は 0 をライトしてください。 0 : アドレス H'FFFFC4 ~ H'FFFFCF のエリアはフラッシュメモリのレジスタを非選択 1 : アドレス H'FFFFC4 ~ H'FFFFCF のエリアはフラッシュメモリのレジスタを選択
2		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
1	EXPE		R/W	外部バスモードイネーブル 外部バスモードを設定します。モード 1、2、4 では EXPE = 1 に固定されており、ライトは無効です。モード 3、5、7 ではリード / ライト可能です。 EXPE = 1 の状態で EXPE に 0 をライトする場合は、外部バスが実行されていない状態で行ってください。 0 : 外部アドレス空間無効 1 : 外部アドレス空間有効
0	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。このビットはリセットを解除したとき初期化されます。 0 : 内蔵 RAM 無効 1 : 内蔵 RAM 有効

3. MCU 動作モード

• H8S/2377、H8S/2377R、H8S/2375、H8S/2375R、H8S/2373、H8S/2373R

ビット	ビット名	初期値	R/W	説明
7、6		すべて 1	R/W	リザーブビット 初期値を変更しないでください。
5、4		すべて 0	R/W	リザーブビット 初期値を変更しないでください。
3	FLSHE	0	R/W	フラッシュメモリコントロールレジスタイネーブル フラッシュメモリの制御レジスタ (FLMCR1、FLMCR2、EBR1、EBR2) の CPU アクセスを制御します。このビットを 1 にセットすると、フラッシュメモリの制御レジスタをリード/ライトすることができます。0 にクリアするとフラッシュメモリの制御レジスタは非選択となります。このとき、フラッシュメモリの制御レジスタの内容は保持されています。フラッシュメモリ版以外は 0 をライトしてください。 0 : アドレス H'FFFFC8 ~ H'FFFFCB のエリアはフラッシュメモリのレジスタを非選択 1 : アドレス H'FFFFC8 ~ H'FFFFCB のエリアはフラッシュメモリのレジスタを選択
2		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
1	EXPE		R/W	外部バスモードイネーブル 外部バスモードを設定します。モード 1、2、4 では EXPE = 1 に固定されており、ライトは無効です。モード 3、7 ではリード/ライト可能です。 EXPE = 1 の状態で EXPE に 0 をライトする場合は、外部バスが実行されていない状態で行ってください。 0 : 外部アドレス空間無効 1 : 外部アドレス空間有効
0	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。このビットはリセットを解除したとき初期化されます。 0 : 内蔵 RAM 無効 1 : 内蔵 RAM 有効

3.3 各動作モードの説明

3.3.1 モード 1

CPU はアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は無効です。

ポート A~C がアドレスバス、ポート D、E がデータバス、ポート F、G の一部がバス制御信号となります。

リセット直後は 16 ビットバスモードで、すべてのエリアは 16 ビットアクセス空間となります。ただし、バスコントローラにより、すべてのエリアを 8 ビットアクセス空間に設定した場合には、8 ビットバスモードとなります。

3.3.2 モード 2

CPU はアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は無効です。

ポート A~C がアドレスバス、ポート D、E がデータバス、ポート F、G の一部がバス制御信号となります。

リセット直後は 8 ビットバスモードで、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合には、16 ビットバスモードとなり、ポート E がデータバスとなります。

3.3.3 モード 3

フラッシュメモリブートモードです。フラッシュメモリの書き込み/消去以外は、モード 7 と同様の動作となります。モード 3 はフラッシュメモリ版のみ使用できます。

3.3.4 モード 4

CPU はアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は有効です。エリア 0 の前半に接続された内蔵 ROM のプログラムを実行します。

ポート A~C はリセット直後は入力ポートになっていますが、各ポートレジスタの設定によりアドレスバスとすることができます。ポート D がデータバス、ポート F、G の一部がバス制御信号となります。ポート A~C の端子機能の切り替えについては「第 10 章 I/O ポート」を参照してください。

リセット直後は 8 ビットバスモードで、すべてのエリアは 8 ビットアクセス空間となります。ただし、バスコントローラにより、いずれかのエリアを 16 ビットアクセス空間に設定した場合には 16 ビットバスモードとなり、ポート E がデータバスとなります。

フラッシュメモリ版では、FLMCR1 の SWE ビットを 1 にセットすることによりユーザプログラムモードに遷移します。

3.3.5 モード 5

フラッシュメモリユーザブートモードです。フラッシュメモリの書き込み/消去以外はモード 7 と同様の動作となります。モード 5 は H8S/2378 0.18 μ m F-ZTAT グループ、H8S/2378R 0.18 μ m F-ZTAT グループのみ使用できます。

3. MCU 動作モード

3.3.6 モード 7

CPU はアドバンスモードで、アドレス空間は 16M バイトです。内蔵 ROM は有効です。シングルチップモードで起動します。シングルチップモードでは外部アドレス空間は使用できません。

リセット直後はシングルチップモードで、すべての I/O ポートを入出力ポートとして使用できます。ただし SYSCR の EXPE ビットを 1 に設定すると外部拡張モードとなり、外部アドレス空間が有効となります。外部拡張モードの場合、初期状態はすべてのエリアが 16 ビットアクセス空間となっています。ポート A ~ G の端子は内蔵 ROM 有効外部拡張モードと同様です。

フラッシュメモリ版では、FLMCR1 の SWE ビットを 1 にセットすることによりユーザプログラムモードに遷移します。

3.3.7 端子機能

各動作モードにおける端子機能の一覧を表 3.2 に示します。

表 3.2 各動作モードにおける端子機能

ポート		モード 1	モード 2	モード 3	モード 4	モード 5	モード 7
ポート A	PA7 ~ PA5	P*/A	P*/A	P*/A	P*/A	P*/A	P*/A
	PA4 ~ PA0	A	A				
ポート B		A	A	P*/A	P*/A	P*/A	P*/A
ポート C		A	A	P*/A	P*/A	P*/A	P*/A
ポート D		D	D	P*/D	D	P*/D	P*/D
ポート E		P/D*	P*/D	P*/D	P*/D	P*/D	P*/D
ポート F	PF7、PF6	P/C*	P/C*	P*/C	P/C*	P*/C	P*/C
	PF5、PF4	C	C		C		
	PF3	P/C*	P/C*		P/C*		
	PF2 ~ PF0	P*/C	P*/C		P*/C		
ポート G	PG6 ~ PG1	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C
	PG0	P/C*	P/C*		P*/C		

【記号説明】

P : 入出力ポート

A : アドレスバス出力

D : データバス入出力

C : 制御信号、クロック入出力

* : リセット直後

【注】 モード 5 は H8S/2378 0.18 μm F-ZTAT グループ、H8S/2378R 0.18 μm F-ZTAT グループのみ使用できます。

ROM レス版ではモード 1、2 のみ使用できます。

3.4 各動作モードのアドレスマップ

各製品のアドレスマップを図 3.1～図 3.15 に示します。

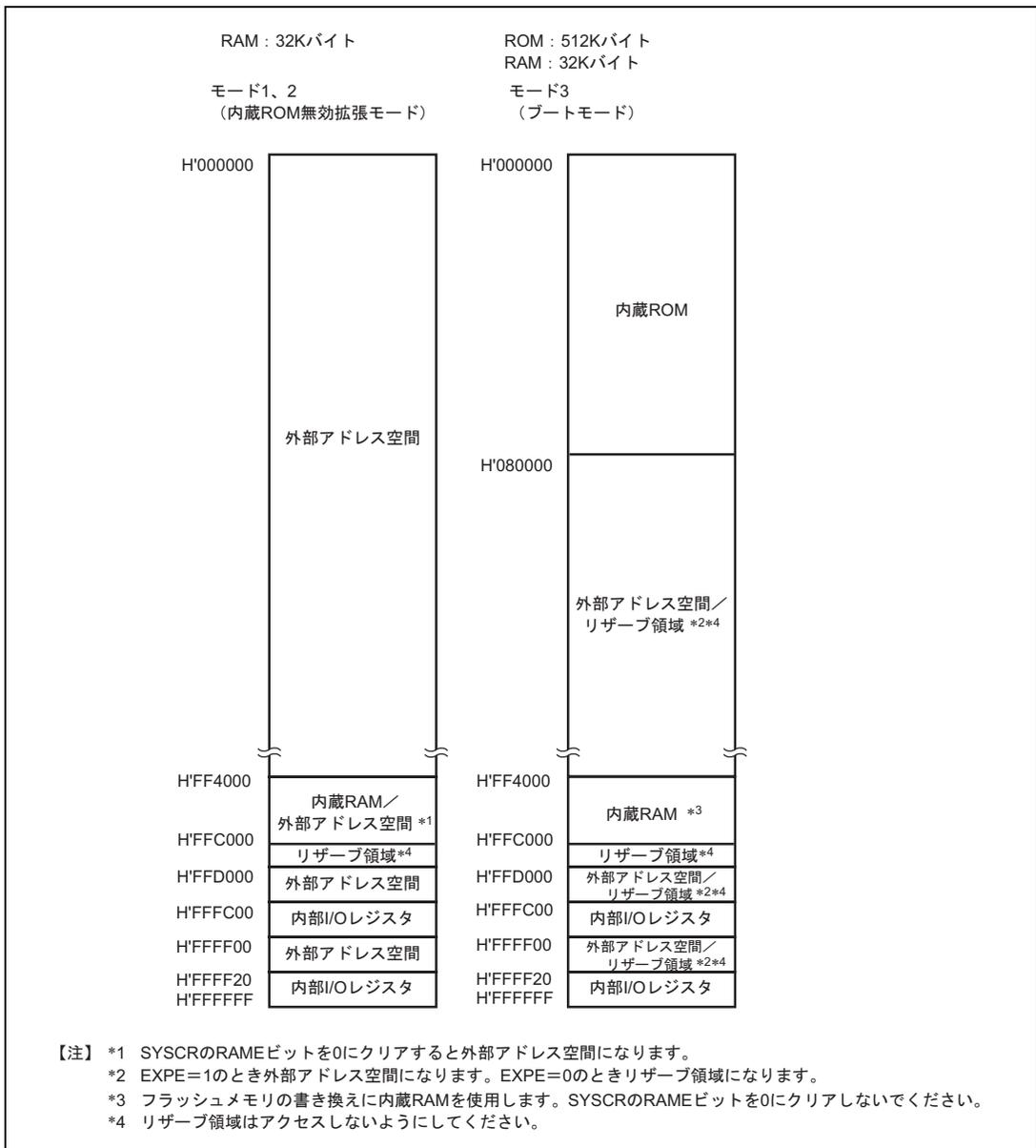


図 3.1 H8S/2378 グループ、H8S/2378R の各動作モードのアドレスマップ (1)

3. MCU 動作モード

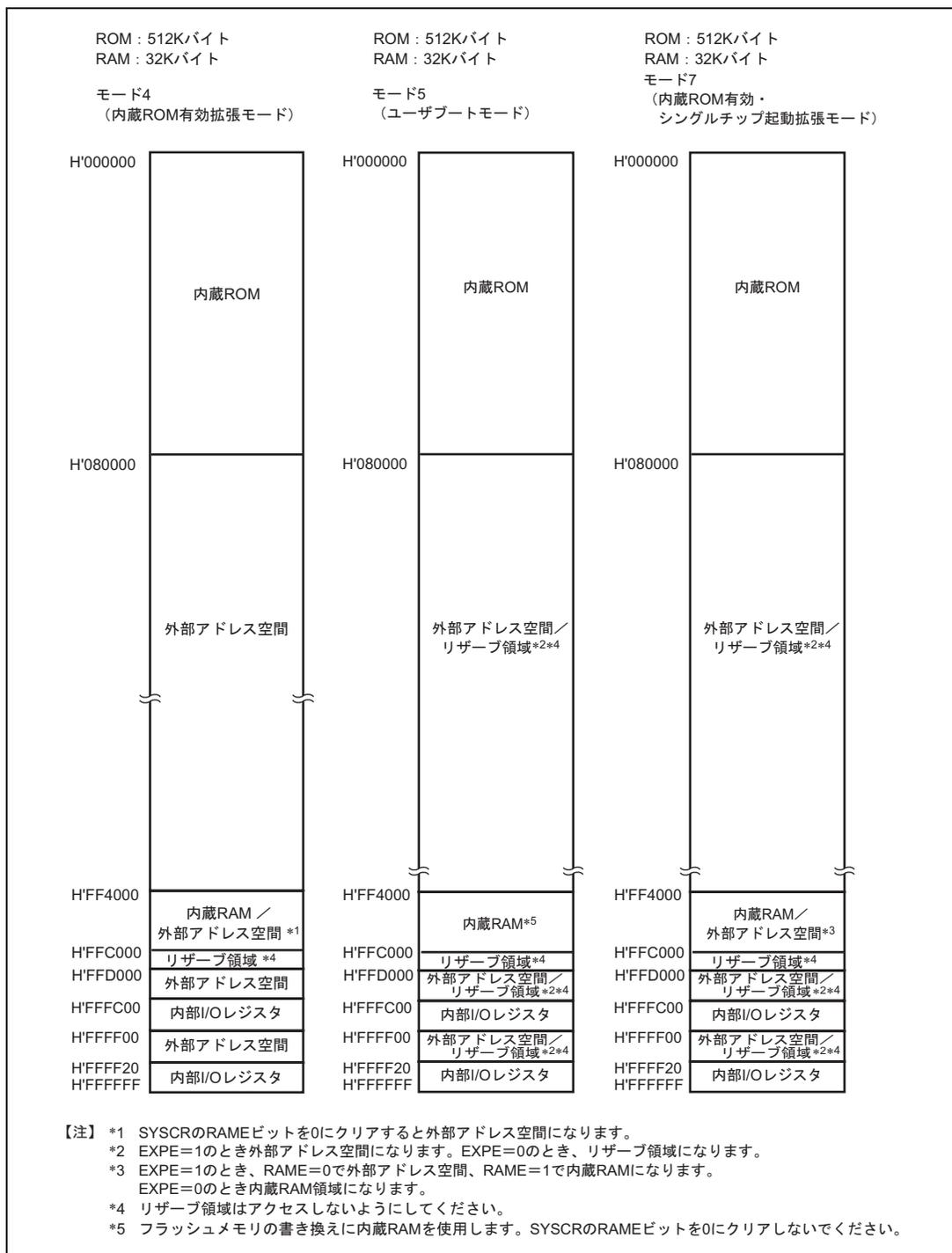


図 3.2 H8S/2378、H8S/2378R の各動作モードのアドレスマップ (2)

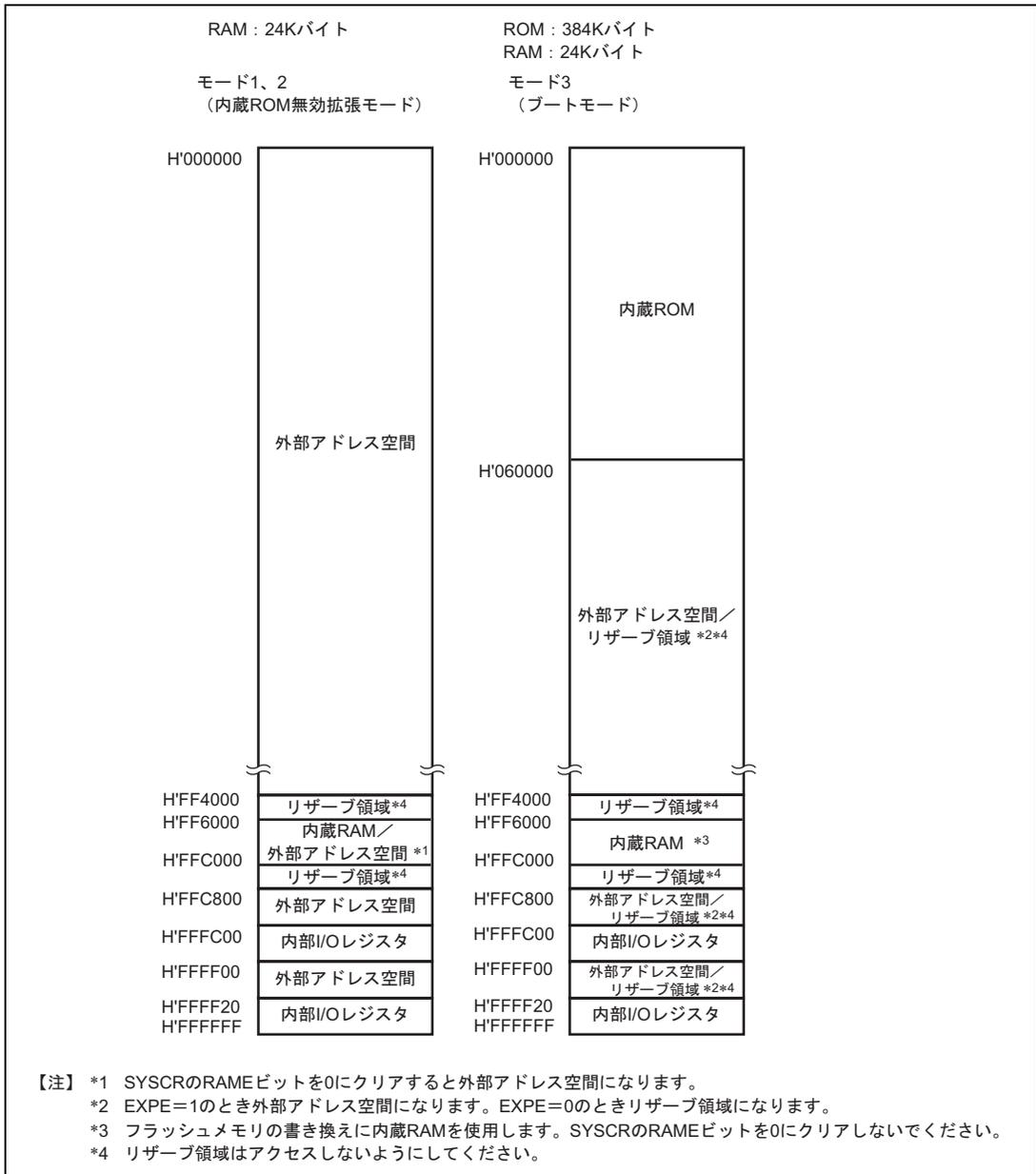


図 3.3 H8S/2377、H8S/2377R の各動作モードのアドレスマップ (1)

3. MCU 動作モード

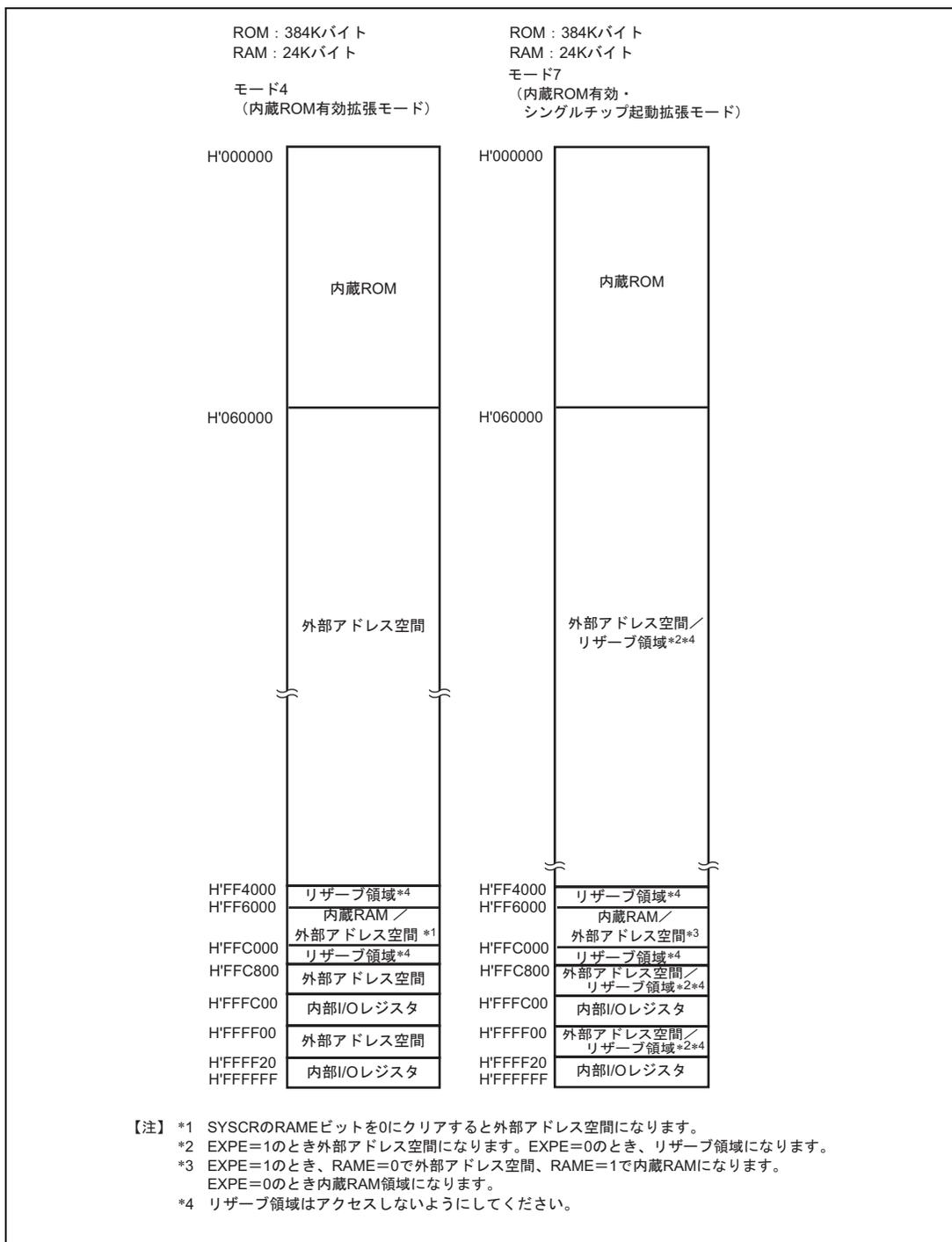


図 3.4 H8S/2377、H8S/2377R の各動作モードのアドレスマップ (2)

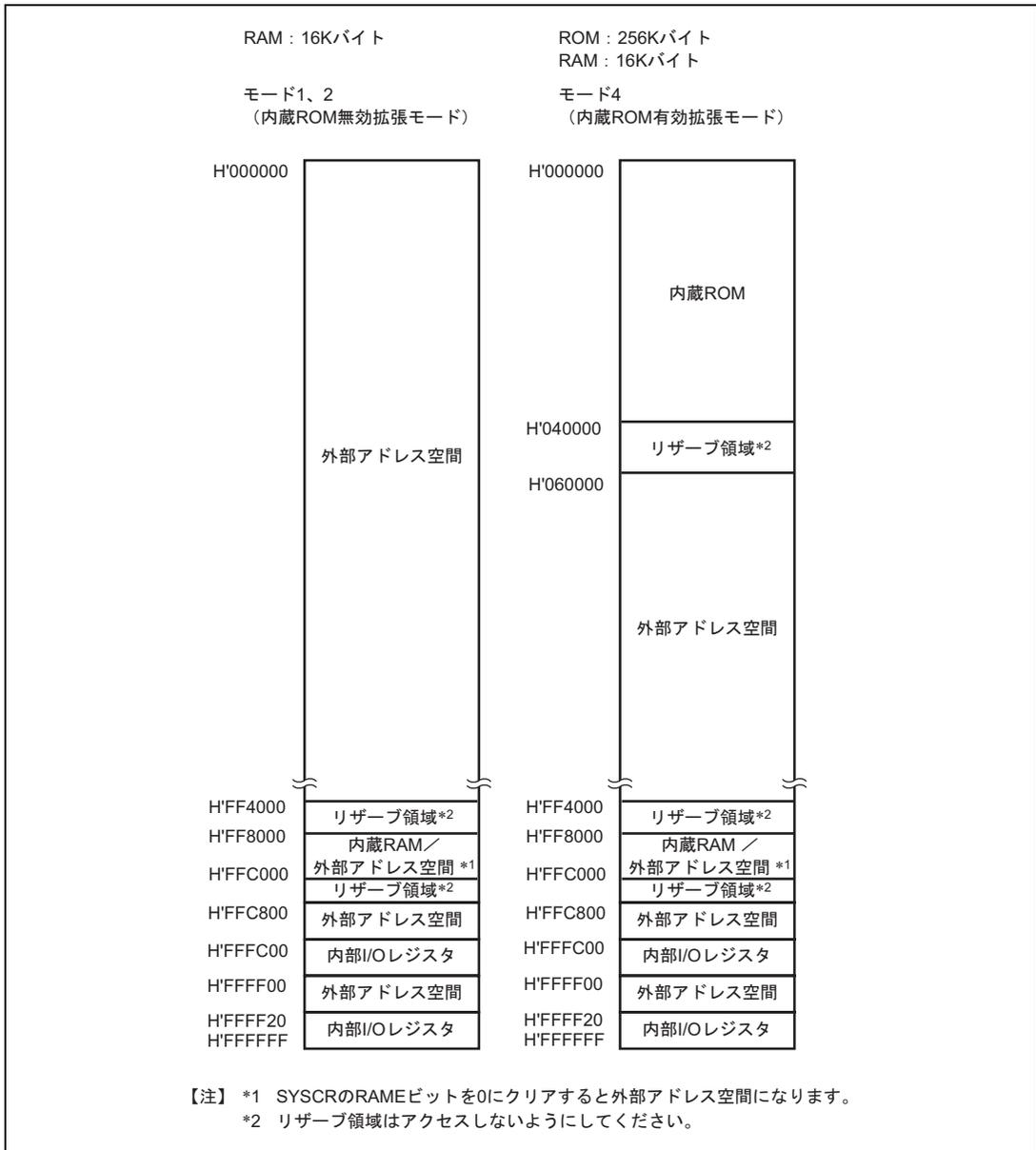


図 3.5 H8S/2375、H8S/2375R の各動作モードのアドレスマップ (1)

3. MCU 動作モード

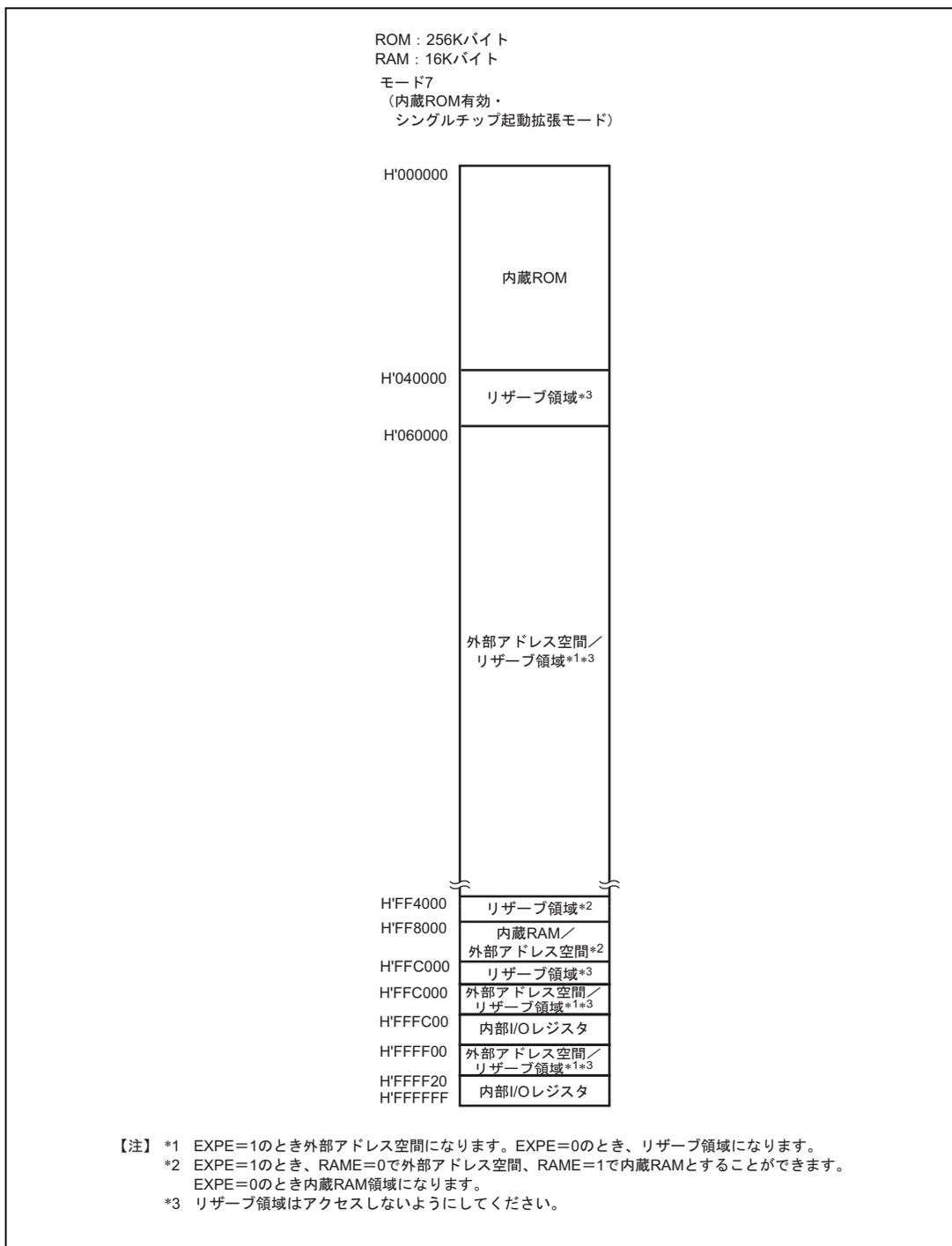


図 3.6 H8S/2375、H8S/2375R の各動作モードのアドレスマップ (2)

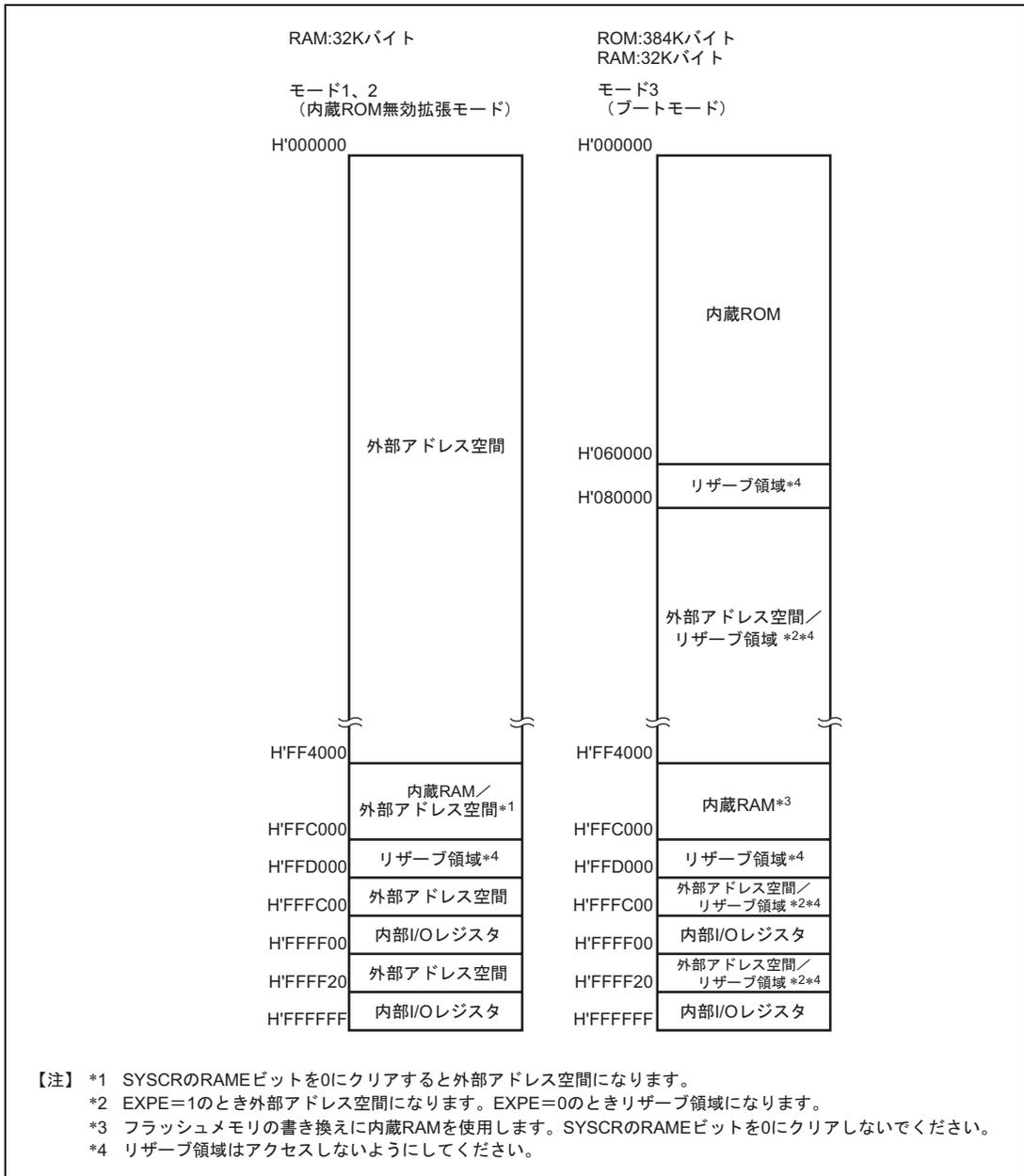


図 3.7 H8S/2374、H8S/2374R の各動作モードのアドレスマップ (1)

3. MCU 動作モード

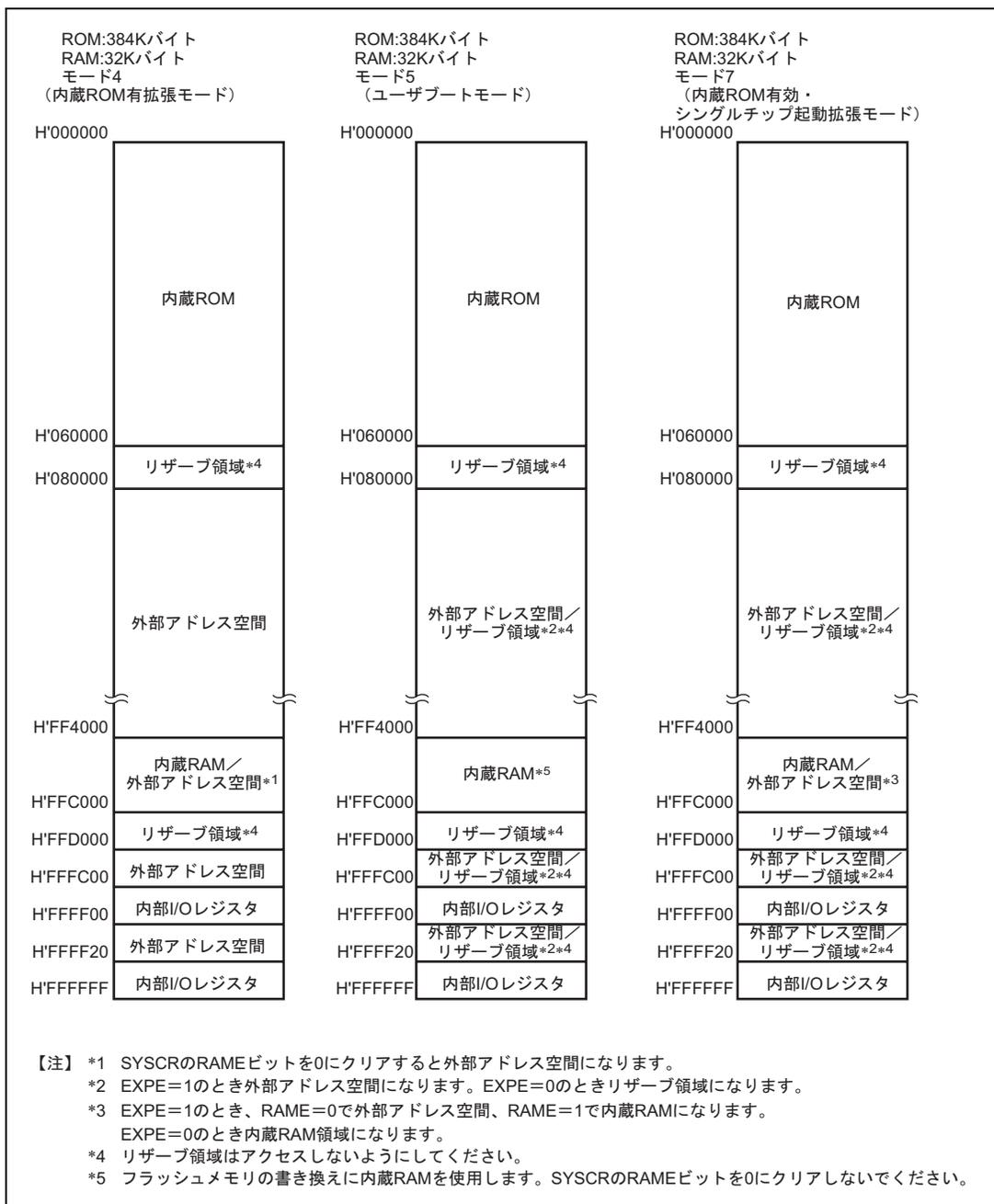


図 3.8 H8S/2374、H8S/2374R の各動作モードのアドレスマップ (2)

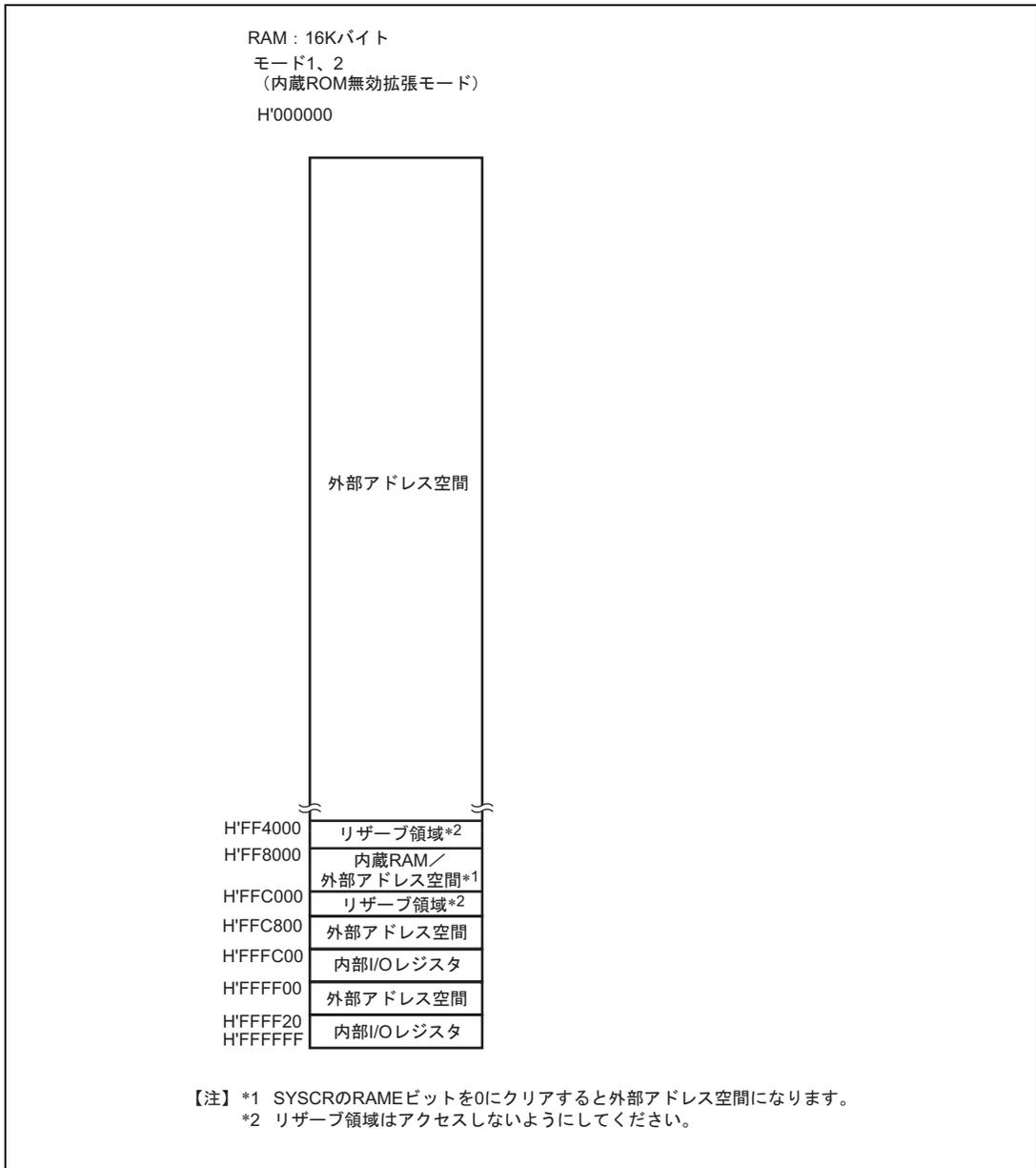


図 3.9 H8S/2373、H8S/2373R の各動作モードのアドレスマップ

3. MCU 動作モード

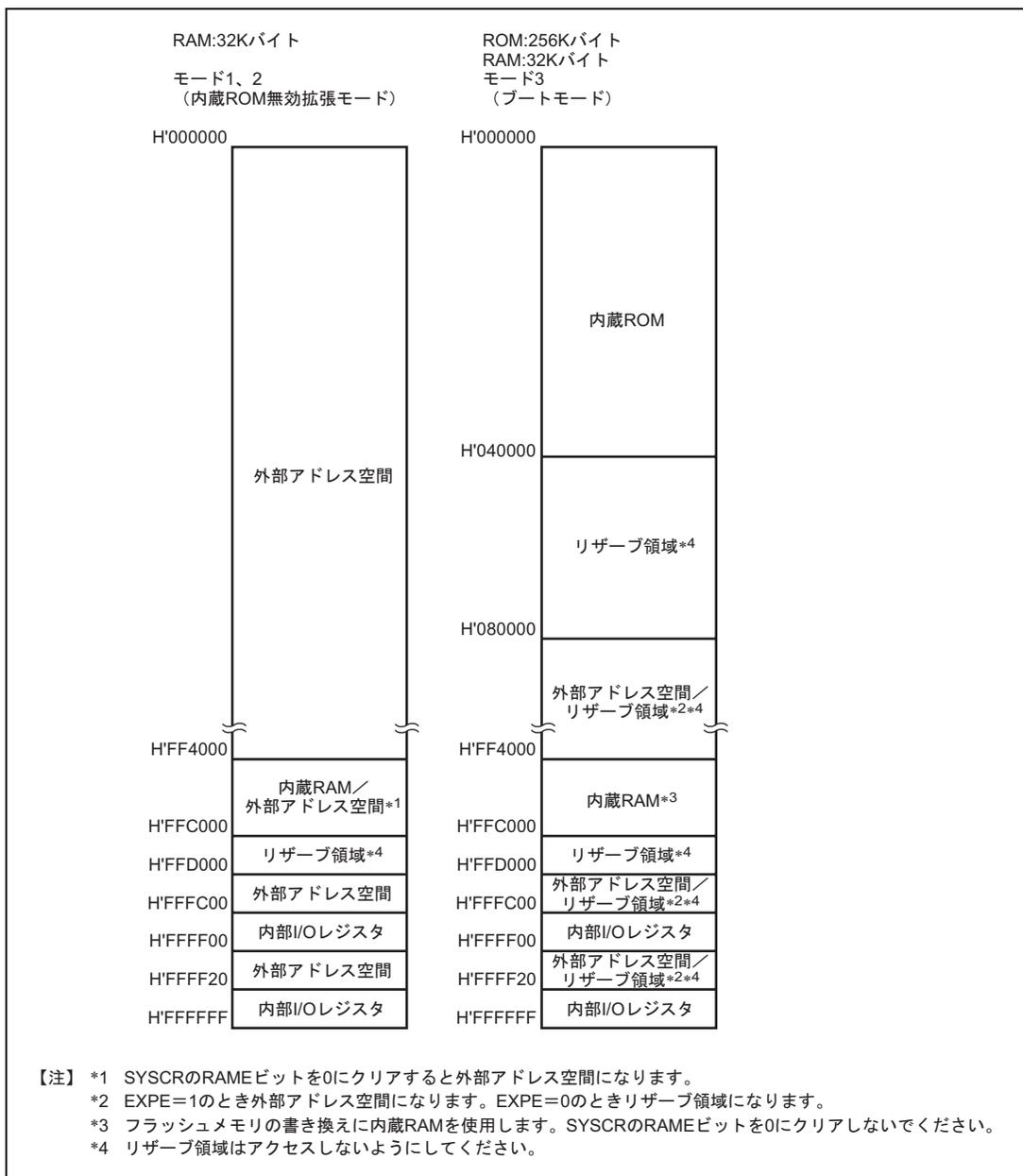


図 3.10 H8S/2372、H8S/2372R の各動作モードのアドレスマップ (1)

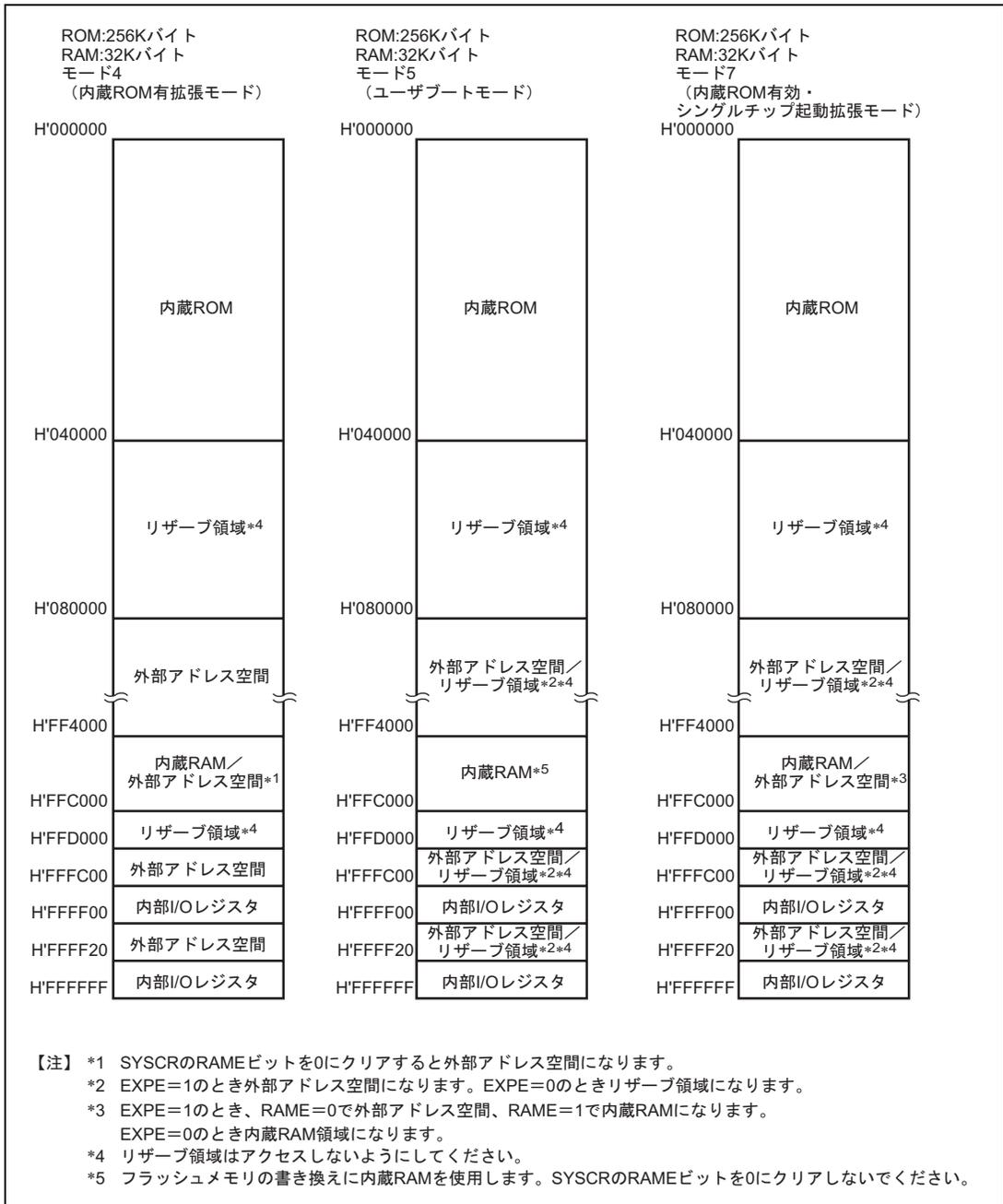


図 3.11 H8S/2372、H8S/2372R の各動作モードのアドレスマップ (2)

3. MCU 動作モード

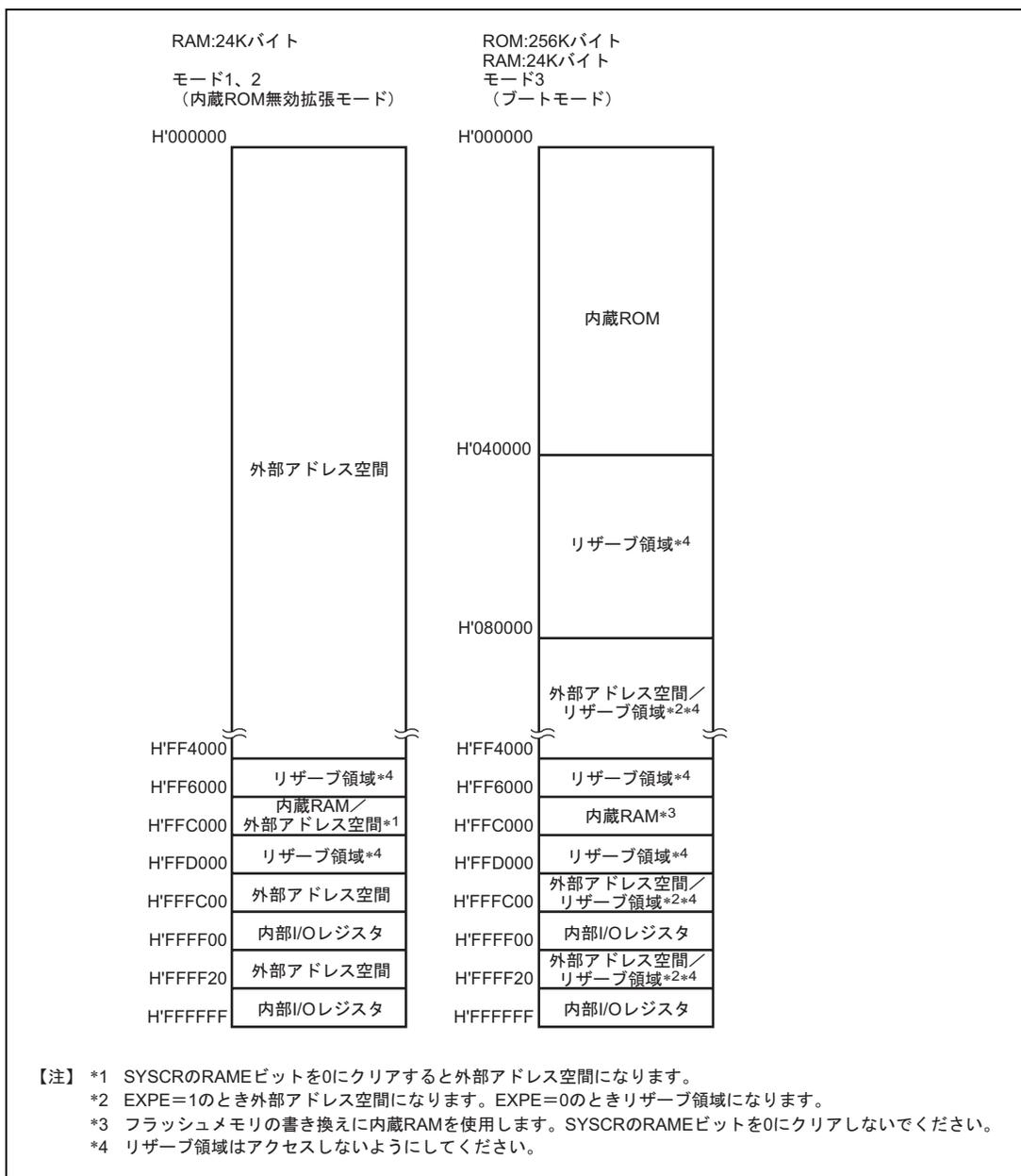


図 3.12 H8S/2371、H8S/2371R の各動作モードのアドレスマップ (1)

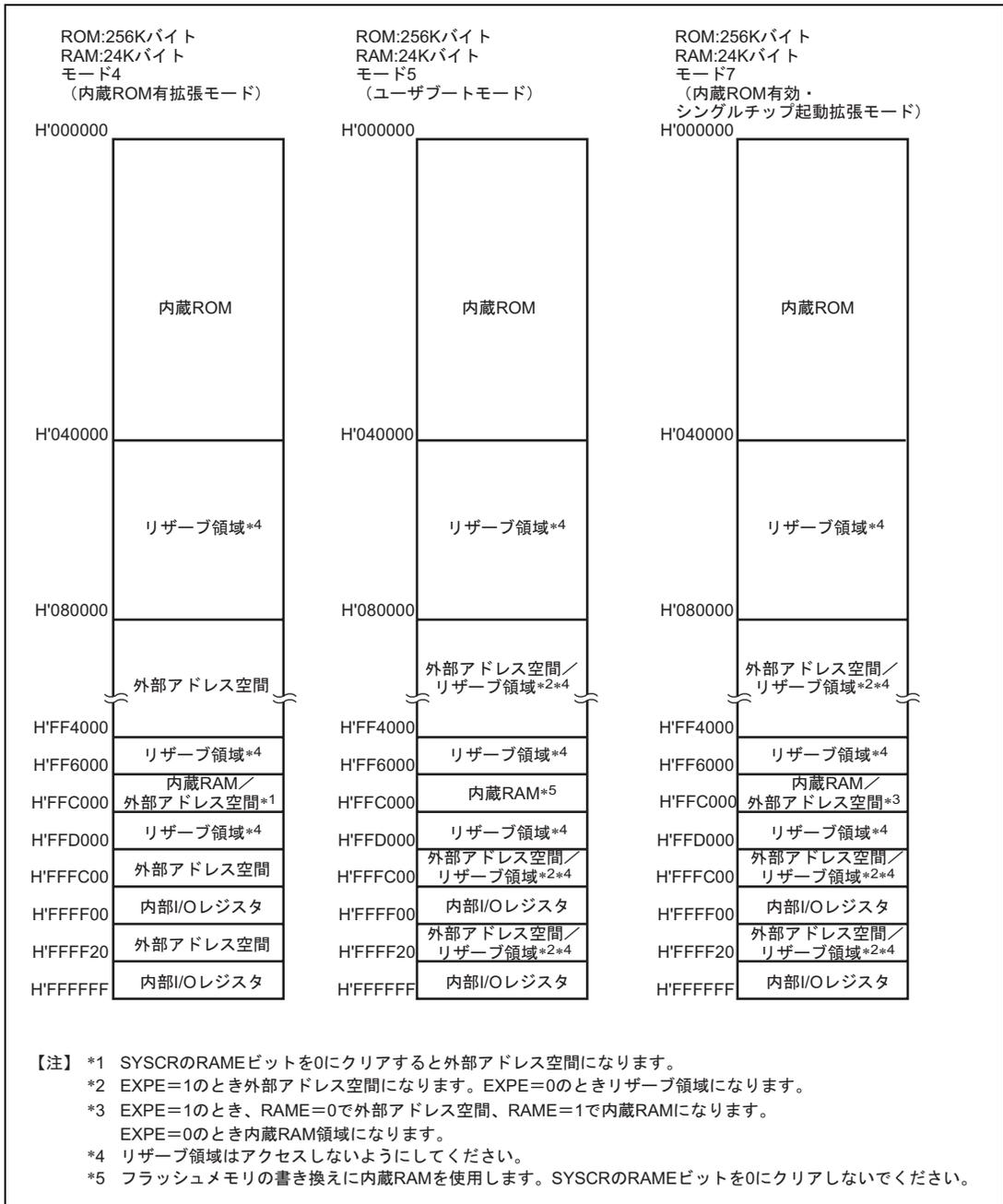


図 3.13 H8S/2371、H8S/2371R の各動作モードのアドレスマップ (2)

3. MCU 動作モード

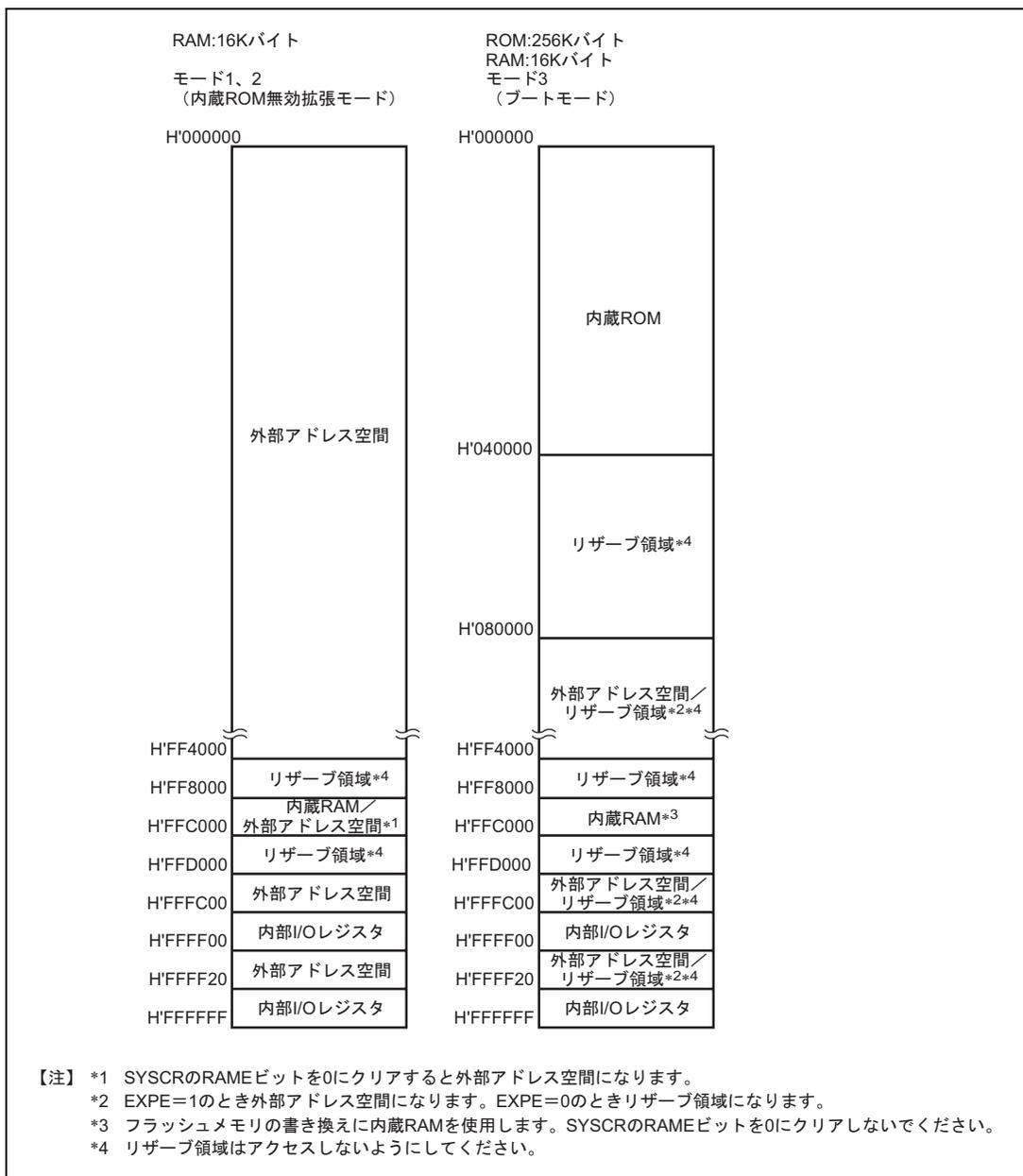


図 3.14 H8S/2370、H8S/2370R の各動作モードのアドレスマップ (1)

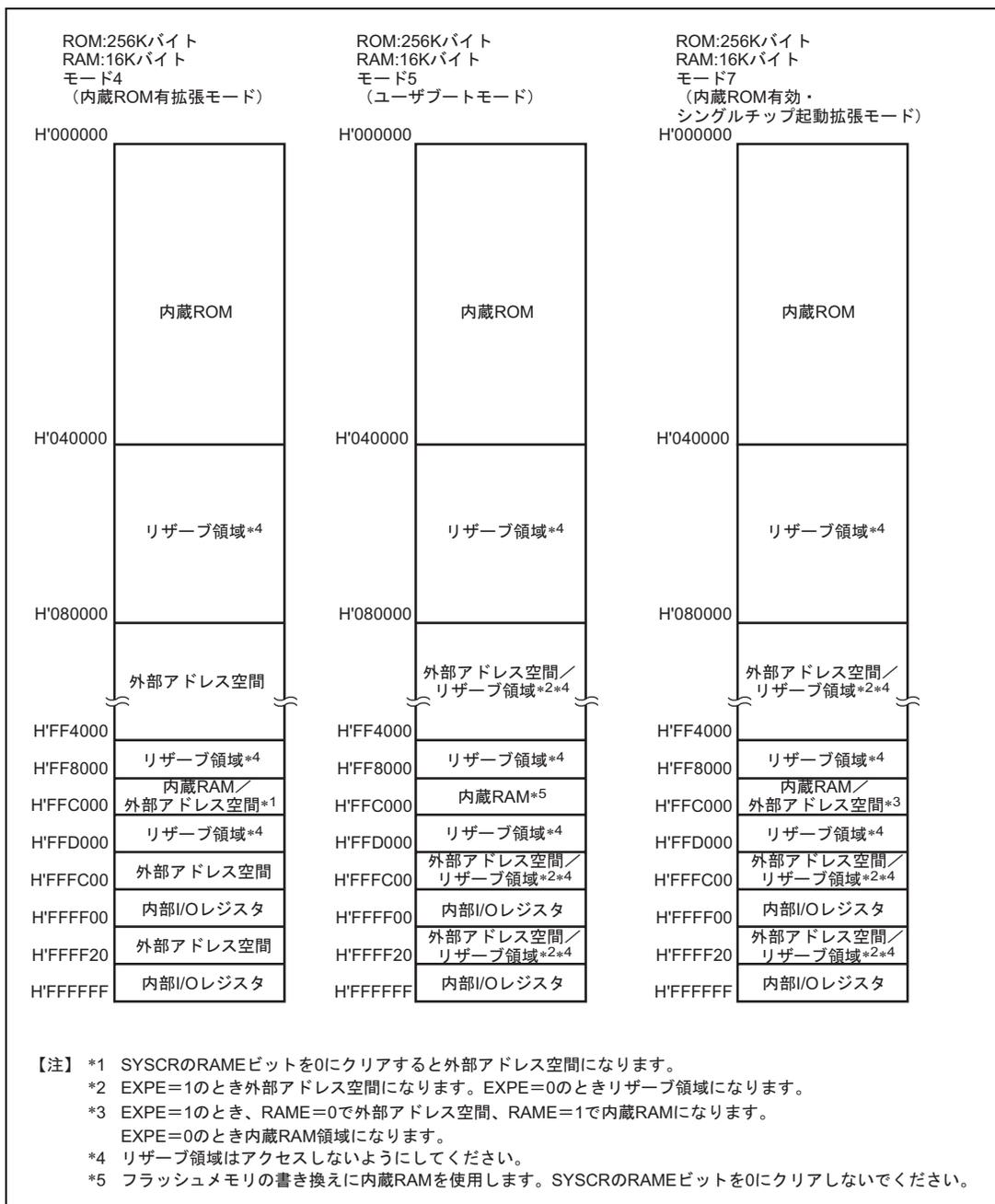


図 3.15 H8S/2370、H8S/2370R の各動作モードのアドレスマップ (2)

4. 例外処理

4.1 例外処理の種類と優先度

例外処理要因には表 4.1 に示すように、リセット、トレース、割り込み、およびトラップ命令があります。これらの例外処理要因には表 4.1 のように優先順位が設けられており、複数の例外処理要因が同時に発生した場合は、この優先度に従って受け付けられます。例外処理は割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。割り込み制御モードの詳細については、「第 5 章 割り込みコントローラ」を参照してください。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ ↓ 低	リセット	RES 端子の Low レベルから High レベルへの遷移時、または、ウォッチドッグタイマのオーバフローにより開始します。RES 端子が Low レベルのときリセット状態になります。
	トレース* ¹	EXR のトレース (T) ビット = 1 の状態で、命令または例外処理の実行終了時に開始します。
	直接遷移* ²	SLEEP 命令の実行により、直接遷移が発生すると開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。* ³
	トラップ命令* ⁴	トラップ (TRAPA) 命令の実行により開始します。

【注】 *1 トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。

*2 本 LSI では使用できません。

*3 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

*4 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

4. 例外処理

4.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。例外処理要因とベクタアドレスとの対応を表 4.2 に示します。製品によって使用できるモードが異なりますので、製品ごとの詳細は「第 3 章 MCU 動作モード」を参照してください。

表 4.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタアドレス* ¹	
		ノーマルモード* ²	アドバンスモード
パワーオンリセット	0	H'0000 ~ H'0001	H'0000 ~ H'0003
マニュアルリセット* ³	1	H'0002 ~ H'0003	H'0004 ~ H'0007
システム予約	2	H'0004 ~ H'0005	H'0008 ~ H'000B
	3	H'0006 ~ H'0007	H'000C ~ H'000F
	4	H'0008 ~ H'0009	H'0010 ~ H'0013
トレース	5	H'000A ~ H'000B	H'0014 ~ H'0017
割り込み (直接遷移)* ³	6	H'000C ~ H'000D	H'0018 ~ H'001B
割り込み (NMI)	7	H'000E ~ H'000F	H'001C ~ H'001F
トラップ命令 (#0)	8	H'0010 ~ H'0011	H'0020 ~ H'0023
トラップ命令 (#1)	9	H'0012 ~ H'0013	H'0024 ~ H'0027
トラップ命令 (#2)	10	H'0014 ~ H'0015	H'0028 ~ H'002B
トラップ命令 (#3)	11	H'0016 ~ H'0017	H'002C ~ H'002F
システム予約	12	H'0018 ~ H'0019	H'0030 ~ H'0033
	13	H'001A ~ H'001B	H'0034 ~ H'0037
	14	H'001C ~ H'001D	H'0038 ~ H'003B
	15	H'001E ~ H'001F	H'003C ~ H'003F
外部割り込み IRQ0	16	H'0020 ~ H'0021	H'0040 ~ H'0043
外部割り込み IRQ1	17	H'0022 ~ H'0023	H'0044 ~ H'0047
外部割り込み IRQ2	18	H'0024 ~ H'0025	H'0048 ~ H'004B
外部割り込み IRQ3	19	H'0026 ~ H'0027	H'004C ~ H'004F
外部割り込み IRQ4	20	H'0028 ~ H'0029	H'0050 ~ H'0053
外部割り込み IRQ5	21	H'002A ~ H'002B	H'0054 ~ H'0057
外部割り込み IRQ6	22	H'002C ~ H'002D	H'0058 ~ H'005B
外部割り込み IRQ7	23	H'002E ~ H'002F	H'005C ~ H'005F

例外処理要因	ベクタ番号	ベクタアドレス* ¹	
		ノーマルモード* ²	アドバンスモード
外部割り込み IRQ8	24	H'0030 ~ H'0031	H'0060 ~ H'0063
外部割り込み IRQ9	25	H'0032 ~ H'0033	H'0064 ~ H'0067
外部割り込み IRQ10	26	H'0034 ~ H'0035	H'0068 ~ H'006B
外部割り込み IRQ11	27	H'0036 ~ H'0037	H'006C ~ H'006F
外部割り込み IRQ12	28	H'0038 ~ H'0039	H'0070 ~ H'0073
外部割り込み IRQ13	29	H'003A ~ H'003B	H'0074 ~ H'0077
外部割り込み IRQ14	30	H'003C ~ H'003D	H'0078 ~ H'007B
外部割り込み IRQ15	31	H'003E ~ H'003F	H'007C ~ H'007F
内部割り込み* ⁴	32	H'0040 ~ H'0041	H'0080 ~ H'0083
	118	H'00EC ~ H'00ED	H'01D8 ~ H'01DB

【注】 *1 先頭アドレスの下位 16 ビットを示しています。

*2 本 LSI では使用できません。

*3 本 LSI では使用できません。システム予約となります。

*4 割り込みのベクタテーブルは、「5.5 割り込み例外処理ベクタテーブル」を参照してください。

4.3 リセット

リセットは、最も優先順位の高い例外処理です。 $\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。本 LSI を確実にリセットするため、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は $\overline{\text{RES}}$ 端子を最低 20 ステートの間、Low レベルに保持してください。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 14 章 ウォッチドッグタイマ(WDT)」を参照してください。リセット直後は割り込み制御モードは 0 になっています。

4.3.1 リセット例外処理

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理を開始し、本 LSI は次のように動作します。

1. CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化され、EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットが 1 にセットされます。
2. リセット例外処理ベクタアドレスをリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.1、図 4.2 に示します。

4. 例外処理

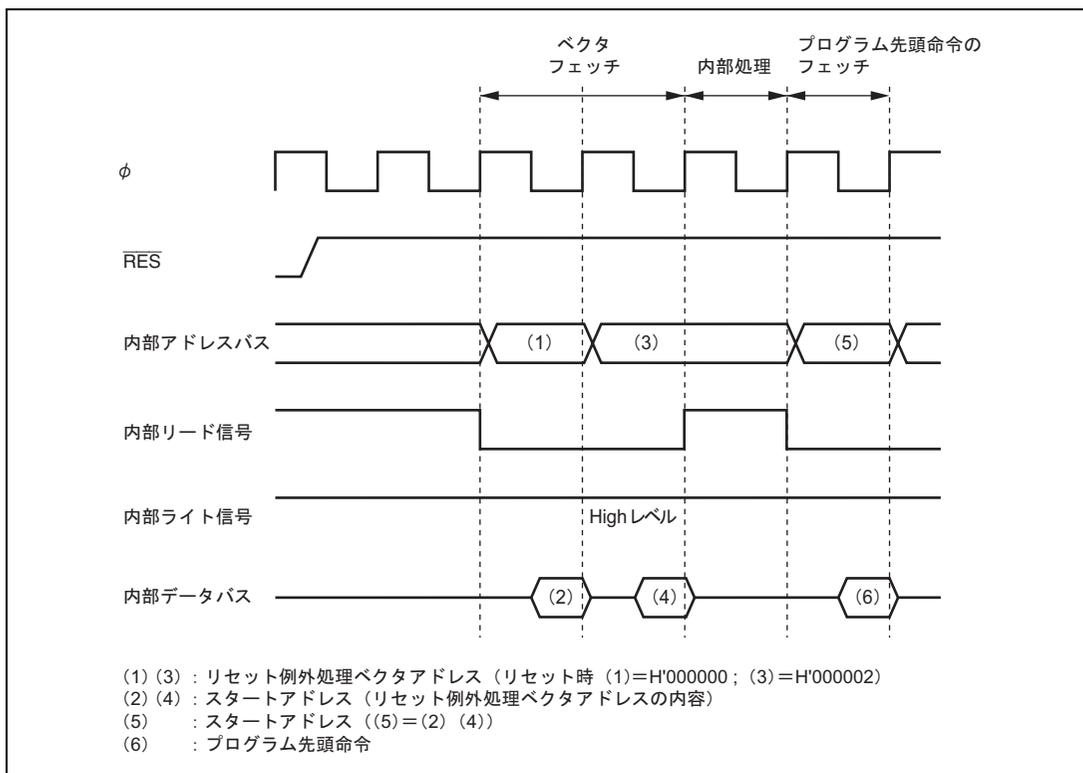


図 4.1 リセットシーケンス (アドバンスモード / 内蔵 ROM 有効)

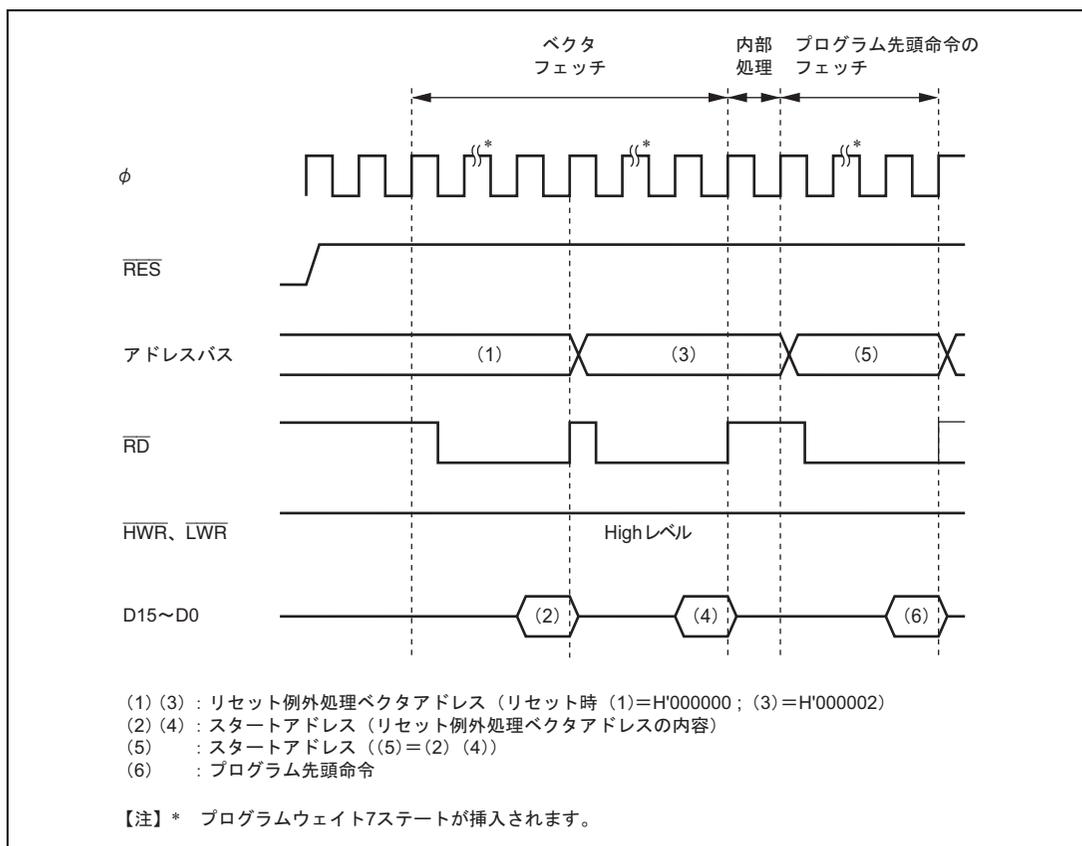


図 4.2 リセットシーケンス (アドバンスモード / 内蔵 ROM 無効)

4.3.2 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx : 32, SP)。

4.3.3 リセット解除後の内蔵周辺機能

リセット解除後、MSTPCR は H'0FFF、EXMSTPCR は H'FFFD に初期化され、DMAC、EXDMAC と DTC を除くすべてのモジュールがモジュールストップモードになっています。

そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップモードを解除することにより、レジスタのリード/ライトが可能となります。

4. 例外処理

4.4 トレース例外処理

トレースは、割り込み制御モード 2 で有効です。割り込み制御モード 0 では、T ビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードについては、「第 5 章 割り込みコントローラ」を参照してください。

EXR の T ビットを 1 にセットすると、トレースモードになります。トレースモードでは CPU が 1 命令を実行するたびにトレース例外処理を開始します。トレース例外処理は CCR の割り込みマスクビットの影響を受けません。表 4.3 にトレース例外処理後の CCR、EXR の状態を示します。トレース例外処理によって EXR の T ビットが 0 にクリアされてトレースモードが解除されますが、スタックに退避された T ビットは 1 を保持しており、RTE 命令によってトレース例外処理ルーチンから復帰した後は再びトレースモードになります。RTE 命令の実行ではトレース例外処理を行いません。

トレース例外処理ルーチンでも割り込みを受け付けます。

表 4.3 トレース例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	トレース例外処理は使用できません。			
2	1	-	-	0

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

4.5 割り込み例外処理

割り込みは割り込みコントローラによって制御されます。割り込み制御には、2 つの割り込み制御モードがあり、NMI 以外の割り込みに 8 レベルの優先順位 / マスクレベルを設定して、多重割り込みの制御を行うことができます。割り込み例外処理を開始させる要因とベクタアドレスは製品によって異なります。詳細は「第 5 章 割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) の内容をスタックに退避します。
2. 割り込みマスクビットを更新し、T ビットを 0 にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスを PC にロードしてその番地からプログラムの実行を開始します。

4.6 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. プログラムカウンタ (PC) とコンディションコードレジスタ (CCR)、エクステンドレジスタ (EXR) の内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.4 に、トラップ命令例外処理実行後の CCR、EXR の状態を示します。

表 4.4 トラップ命令例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	I2~I0	T
0	1	-	-	-
2	1	-	-	0

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

4.7 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.3 に示します。

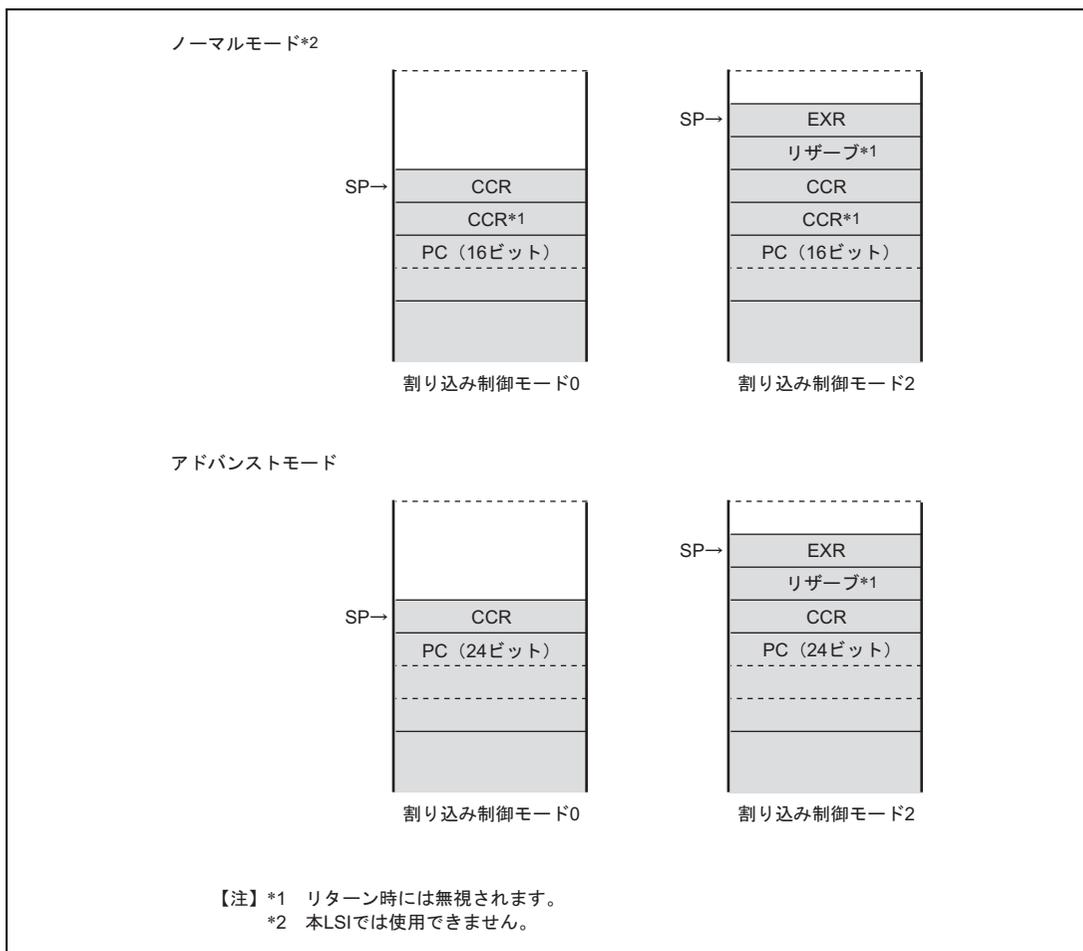


図 4.3 例外処理終了後のスタックの状態

4.8 使用上の注意事項

ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされず。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP: ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH.W Rn (MOV.W Rn, @-SP)
```

```
PUSH.L ERn (MOV.L ERn, @-SP)
```

また、レジスタの復帰は、

```
POP.W Rn (MOV.W @SP+, Rn)
```

```
POP.L ERn (MOV.L @SP+, ERn)
```

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 4.4 に示します。

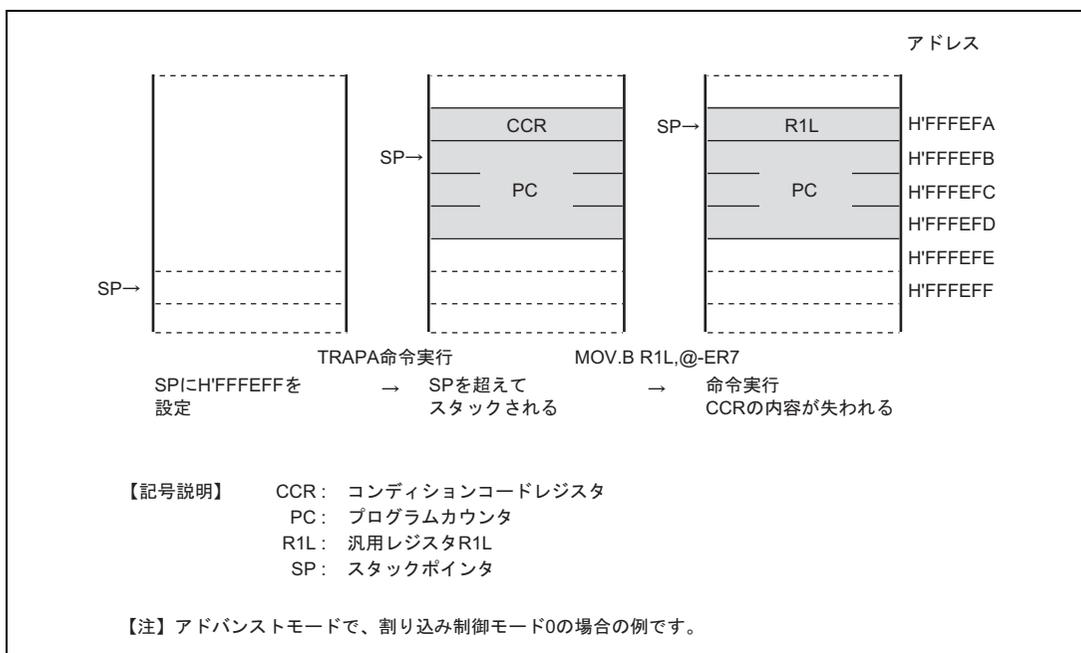


図 4.4 SP を奇数に設定したときの動作

4. 例外处理

5. 割り込みコントローラ

5.1 特長

- 2種類の割り込み制御モード

割り込みコントロールレジスタ (INTCR) のINTM1、INTM0ビットにより、2種類の割り込み制御モードをサポートしています。

- IPRにより、優先順位を設定可能

インタラプトプライオリティレジスタ (IPR) により、NMI以外の割り込み要求にはモジュールごとに8レベルの優先順位を設定できます。NMIは、最優先のレベル8の割り込み要求として、常に受け付けられます。

- 独立したベクタアドレス

すべての割り込み要因には独立したベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。

- 17本の外部割り込み端子

NMIは最優先の割り込みで常に受け付けられます。NMIは立ち上がりエッジまたは立ち下がりエッジを選択できます。 $\overline{IRQ15}$ ~ $\overline{IRQ0}$ は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。

- DTC、DMACの制御

割り込み要求によりDTC、DMACを起動することができます。

5. 割り込みコントローラ

割り込みコントローラのブロック図を図 5.1 に示します。

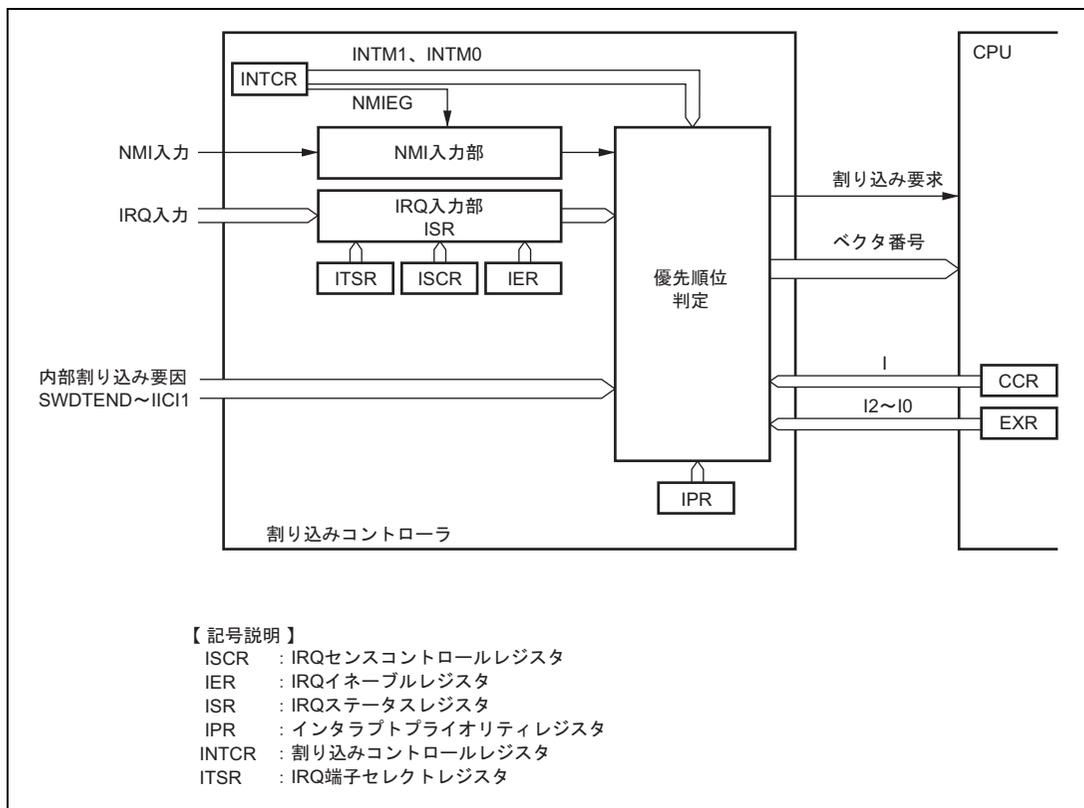


図 5.1 割り込みコントローラのブロック図

5.2 入出力端子

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名 称	入出力	機 能
NMI	入力	ノンマスク可能外部割り込み端子 立ち上がりエッジまたは立ち下がりエッジを選択可能。
IRQ15 ~ IRQ0	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを独立に選択可能。

5.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。

- 割り込みコントロールレジスタ (INTCR)
- IRQセンスコントロールレジスタH (ISCRH)
- IRQセンスコントロールレジスタL (ISCRL)
- IRQイネーブルレジスタ (IER)
- IRQステータスレジスタ (ISR)
- IRQ端子セレクトレジスタ (ITSR)
- ソフトウェアスタンバイ解除IRQイネーブルレジスタ (SSIER)
- インタラプトプライオリティレジスタA (IPRA)
- インタラプトプライオリティレジスタB (IPRB)
- インタラプトプライオリティレジスタC (IPRC)
- インタラプトプライオリティレジスタD (IPRD)
- インタラプトプライオリティレジスタE (IPRE)
- インタラプトプライオリティレジスタF (IPRF)
- インタラプトプライオリティレジスタG (IPRG)
- インタラプトプライオリティレジスタH (IPRH)
- インタラプトプライオリティレジスタI (IPRI)
- インタラプトプライオリティレジスタJ (IPRJ)
- インタラプトプライオリティレジスタK (IPRK)

5. 割り込みコントローラ

5.3.1 割り込みコントロールレジスタ (INTCR)

INTCR は割り込み制御モードの選択、NMI の検出エッジの選択を行います。

ビット	ビット名	初期値	R/W	説明
7、6		すべて 0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
5 4	INTM1 INTM0	0 0	R/W R/W	割り込み制御選択モード 1、0 割り込みコントローラの割り込み制御モードを選択します。 00：割り込み制御モード 0 1 ビットで割り込みを制御します。 01：設定禁止 10：割り込み制御モード 2 12~10 ビットと IPR で割り込みを制御します。 11：設定禁止
3	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0：NMI 入力の立ち下がりエッジで割り込み要求を発生 1：NMI 入力の立ち上がりエッジで割り込み要求を発生
2~0		すべて 0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

5.3.2 インタラプトプライオリティレジスタ A~K (IPRA~IPRK)

IPR は 16 ビットのリード/ライト可能な 11 本のレジスタで、NMI を除く割り込み要因の優先順位 (レベル 7~0) を設定します。各割り込み要因と IPR の対応については表 5.2 を参照してください。ビット 14~12、ビット 10~8、ビット 6~4、ビット 2~0 の各 3 ビットに H'0 から H'7 の範囲の値を設定することによって、対応する割り込み要求の優先順位が決まります。

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
15		0		リザーブビット リードすると常に0が読み出されます。ライトは無効です。
14	IPR14	1	R/W	対応する割り込み要因の優先順位を設定します。 000: 優先レベル0 (最低) 001: 優先レベル1 010: 優先レベル2 011: 優先レベル3 100: 優先レベル4 101: 優先レベル5 110: 優先レベル6 111: 優先レベル7 (最高)
13	IPR13	1	R/W	
12	IPR12	1	R/W	
11		0		リザーブビット リードすると常に0が読み出されます。ライトは無効です。
10	IPR10	1	R/W	対応する割り込み要因の優先順位を設定します。 000: 優先レベル0 (最低) 001: 優先レベル1 010: 優先レベル2 011: 優先レベル3 100: 優先レベル4 101: 優先レベル5 110: 優先レベル6 111: 優先レベル7 (最高)
9	IPR9	1	R/W	
8	IPR8	1	R/W	
7		0		リザーブビット リードすると常に0が読み出されます。ライトは無効です。
6	IPR6	1	R/W	対応する割り込み要因の優先順位を設定します。 000: 優先レベル0 (最低) 001: 優先レベル1 010: 優先レベル2 011: 優先レベル3 100: 優先レベル4 101: 優先レベル5 110: 優先レベル6 111: 優先レベル7 (最高)
5	IPR5	1	R/W	
4	IPR4	1	R/W	
3		0		リザーブビット リードすると常に0が読み出されます。ライトは無効です。

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説 明
2	IPR2	1	R/W	対応する割り込み要因の優先順位を設定します。
1	IPR1	1	R/W	000：優先レベル0（最低）
0	IPR0	1	R/W	001：優先レベル1 010：優先レベル2 011：優先レベル3 100：優先レベル4 101：優先レベル5 110：優先レベル6 111：優先レベル7（最高）

5.3.3 IRQ イネーブルレジスタ（IER）

IER は IRQ15～IRQ0 割り込み要求をイネーブルにします。

ビット	ビット名	初期値	R/W	説 明
15	IRQ15E	0	R/W	IRQ15 イネーブル このビットが1のとき IRQ15 割り込み要求がイネーブルになります。
14	IRQ14E	0	R/W	IRQ14 イネーブル このビットが1のとき IRQ14 割り込み要求がイネーブルになります。
13	IRQ13E	0	R/W	IRQ13 イネーブル このビットが1のとき IRQ13 割り込み要求がイネーブルになります。
12	IRQ12E	0	R/W	IRQ12 イネーブル このビットが1のとき IRQ12 割り込み要求がイネーブルになります。
11	IRQ11E	0	R/W	IRQ11 イネーブル このビットが1のとき IRQ11 割り込み要求がイネーブルになります。
10	IRQ10E	0	R/W	IRQ10 イネーブル このビットが1のとき IRQ10 割り込み要求がイネーブルになります。
9	IRQ9E	0	R/W	IRQ9 イネーブル このビットが1のとき IRQ9 割り込み要求がイネーブルになります。
8	IRQ8E	0	R/W	IRQ8 イネーブル このビットが1のとき IRQ8 割り込み要求がイネーブルになります。
7	IRQ7E	0	R/W	IRQ7 イネーブル このビットが1のとき IRQ7 割り込み要求がイネーブルになります。
6	IRQ6E	0	R/W	IRQ6 イネーブル このビットが1のとき IRQ6 割り込み要求がイネーブルになります。
5	IRQ5E	0	R/W	IRQ5 イネーブル このビットが1のとき IRQ5 割り込み要求がイネーブルになります。

ビット	ビット名	初期値	R/W	説明
4	IRQ4E	0	R/W	IRQ4 イネーブル このビットが 1 のとき IRQ4 割り込み要求がイネーブルになります。
3	IRQ3E	0	R/W	IRQ3 イネーブル このビットが 1 のとき IRQ3 割り込み要求がイネーブルになります。
2	IRQ2E	0	R/W	IRQ2 イネーブル このビットが 1 のとき IRQ2 割り込み要求がイネーブルになります。
1	IRQ1E	0	R/W	IRQ1 イネーブル このビットが 1 のとき IRQ1 割り込み要求がイネーブルになります。
0	IRQ0E	0	R/W	IRQ0 イネーブル このビットが 1 のとき IRQ0 割り込み要求がイネーブルになります。

5.3.4 IRQ センスコントロールレジスタ H、L (ISCRH、ISCRL)

ISCR は $\overline{\text{IRQ15}}$ ~ $\overline{\text{IRQ0}}$ 端子から割り込み要求を発生させる要因を選択します。

• ISCRH

ビット	ビット名	初期値	R/W	説明
15	IRQ15SCB	0	R/W	IRQ15 センスコントロール B IRQ15 センスコントロール A 00: $\overline{\text{IRQ15}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ15}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ15}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ15}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
14	IRQ15SCA	0	R/W	
13	IRQ14SCB	0	R/W	IRQ14 センスコントロール B IRQ14 センスコントロール A 00: $\overline{\text{IRQ14}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ14}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ14}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ14}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
12	IRQ14SCA	0	R/W	
11	IRQ13SCB	0	R/W	IRQ13 センスコントロール B IRQ13 センスコントロール A 00: $\overline{\text{IRQ13}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ13}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ13}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ13}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
10	IRQ13SCA	0	R/W	

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説 明
9	IRQ12SCB	0	R/W	IRQ12 センスコントロール B
8	IRQ12SCA	0	R/W	IRQ12 センスコントロール A 00: $\overline{\text{IRQ12}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ12}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ12}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ12}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
7	IRQ11SCB	0	R/W	IRQ11 センスコントロール B
6	IRQ11SCA	0	R/W	IRQ11 センスコントロール A 00: $\overline{\text{IRQ11}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ11}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ11}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ11}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
5	IRQ10SCB	0	R/W	IRQ10 センスコントロール B
4	IRQ10SCA	0	R/W	IRQ10 センスコントロール A 00: $\overline{\text{IRQ10}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ10}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ10}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ10}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
3	IRQ9SCB	0	R/W	IRQ9 センスコントロール B
2	IRQ9SCA	0	R/W	IRQ9 センスコントロール A 00: $\overline{\text{IRQ9}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ9}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ9}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ9}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
1	IRQ8SCB	0	R/W	IRQ8 センスコントロール B
0	IRQ8SCA	0	R/W	IRQ8 センスコントロール A 00: $\overline{\text{IRQ8}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ8}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ8}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ8}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

• ISCR1

ビット	ビット名	初期値	R/W	説明
15	IRQ7SCB	0	R/W	IRQ7 センスコントロール B IRQ7 センスコントロール A 00: $\overline{\text{IRQ7}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ7}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ7}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ7}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
14	IRQ7SCA	0	R/W	
13	IRQ6SCB	0	R/W	IRQ6 センスコントロール B IRQ6 センスコントロール A 00: $\overline{\text{IRQ6}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ6}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ6}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ6}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
12	IRQ6SCA	0	R/W	
11	IRQ5SCB	0	R/W	IRQ5 センスコントロール B IRQ5 センスコントロール A 00: $\overline{\text{IRQ5}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ5}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ5}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ5}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
10	IRQ5SCA	0	R/W	
9	IRQ4SCB	0	R/W	IRQ4 センスコントロール B IRQ4 センスコントロール A 00: $\overline{\text{IRQ4}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ4}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ4}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ4}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
8	IRQ4SCA	0	R/W	
7	IRQ3SCB	0	R/W	IRQ3 センスコントロール B IRQ3 センスコントロール A 00: $\overline{\text{IRQ3}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ3}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ3}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ3}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
6	IRQ3SCA	0	R/W	
5	IRQ2SCB	0	R/W	IRQ2 センスコントロール B IRQ2 センスコントロール A 00: $\overline{\text{IRQ2}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ2}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ2}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ2}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
4	IRQ2SCA	0	R/W	

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
3	IRQ1SCB	0	R/W	IRQ1 センスコントロール B IRQ1 センスコントロール A 00: $\overline{\text{IRQ1}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ1}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ1}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ1}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
2	IRQ1SCA	0	R/W	
1	IRQ0SCB	0	R/W	
0	IRQ0SCA	0	R/W	

5.3.5 IRQ ステータスレジスタ (ISR)

ISR は、IRQ15 ~ IRQ0 割り込み要求フラグレジスタです。

ビット	ビット名	初期値	R/W	説明
15	IRQ15F	0	R/(W)*	[セット条件] • ISCR で選択した割り込み要因が発生したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ 入力が High レベルの状態、割り込み例外処理を実行したとき • 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき • IRQn 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
14	IRQ14F	0	R/(W)*	
13	IRQ13F	0	R/(W)*	
12	IRQ12F	0	R/(W)*	
11	IRQ11F	0	R/(W)*	
10	IRQ10F	0	R/(W)*	
9	IRQ9F	0	R/(W)*	
8	IRQ8F	0	R/(W)*	
7	IRQ7F	0	R/(W)*	
6	IRQ6F	0	R/(W)*	
5	IRQ5F	0	R/(W)*	
4	IRQ4F	0	R/(W)*	
3	IRQ3F	0	R/(W)*	
2	IRQ2F	0	R/(W)*	
1	IRQ1F	0	R/(W)*	
0	IRQ0F	0	R/(W)*	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

5.3.6 IRQ 端子セレクトレジスタ (ITSR)

ITSR は、 $\overline{\text{IRQ15}}$ ~ $\overline{\text{IRQ0}}$ の入力端子を選択します。

ビット	ビット名	初期値	R/W	説明
15	ITS15	0	R/W	$\overline{\text{IRQ15}}$ の入力端子を選択します。 0 : PF2 1 : P27
14	ITS14	0	R/W	$\overline{\text{IRQ14}}$ の入力端子を選択します。 0 : PF1 1 : P26
13	ITS13	0	R/W	$\overline{\text{IRQ13}}$ の入力端子を選択します。 0 : P65 1 : P25
12	ITS12	0	R/W	$\overline{\text{IRQ12}}$ の入力端子を選択します。 0 : P64 1 : P24
11	ITS11	0	R/W	$\overline{\text{IRQ11}}$ の入力端子を選択します。 0 : P63 1 : P23
10	ITS10	0	R/W	$\overline{\text{IRQ10}}$ の入力端子を選択します。 0 : P62 1 : P22
9	ITS9	0	R/W	$\overline{\text{IRQ9}}$ の入力端子を選択します。 0 : P61 1 : P21
8	ITS8	0	R/W	$\overline{\text{IRQ8}}$ の入力端子を選択します。 0 : P60 1 : P20
7	ITS7	0	R/W	$\overline{\text{IRQ7}}$ の入力端子を選択します。 0 : PA7 1 : PH3
6	ITS6	0	R/W	$\overline{\text{IRQ6}}$ の入力端子を選択します。 0 : PA6 1 : PH2
5	ITS5	0	R/W	$\overline{\text{IRQ5}}$ の入力端子を選択します。 0 : PA5 1 : P85
4	ITS4	0	R/W	$\overline{\text{IRQ4}}$ の入力端子を選択します。 0 : PA4 1 : P84

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説 明
3	ITS3	0	R/W	IRQ3の入力端子を選択します。 0 : P53 1 : P83
2	ITS2	0	R/W	IRQ2の入力端子を選択します。 0 : P52 1 : P82
1	ITS1	0	R/W	IRQ1の入力端子を選択します。 0 : P51 1 : P81
0	ITS0	0	R/W	IRQ0の入力端子を選択します。 0 : P50 1 : P80

5.3.7 ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ (SSIER)

SSIER はソフトウェアスタンバイ状態から復帰するために使用する IRQ 端子を選択します。

ビット	ビット名	初期値	R/W	説 明
15	SSI15	0	R/W	これらのビットは、ソフトウェアスタンバイ状態から復帰するために使用する $\overline{\text{IRQn}}$ 端子を選択します。 0 : IRQn 割り込み要求は、ソフトウェアスタンバイ状態ではサンプリングされません (n = 15 ~ 3 のときの初期値)。 1 : ソフトウェアスタンバイ状態で IRQn 割り込み要求があると、発振安定時間を経てソフトウェアスタンバイ状態から復帰します (n = 2 ~ 0 のときの初期値)。
14	SSI14	0	R/W	
13	SSI13	0	R/W	
12	SSI12	0	R/W	
11	SSI11	0	R/W	
10	SSI10	0	R/W	
9	SSI9	0	R/W	
8	SSI8	0	R/W	
7	SSI7	0	R/W	
6	SSI6	0	R/W	
5	SSI5	0	R/W	
4	SSI4	0	R/W	
3	SSI3	0	R/W	
2	SSI2	1	R/W	
1	SSI1	1	R/W	
0	SSI0	1	R/W	

5.4 割り込み要因

5.4.1 外部割り込み要因

外部割り込みには、NMI、IRQ15～IRQ0の17要因があります。このうち、外部割り込みはソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

ノンマスクابل割り込み要求 NMI は最優先の外部割り込み要求で、割り込み制御モードや CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジと立ち下がりエッジのいずれで割り込み要求を発生させるか、INTCR の NMIEG ビットで選択できます。

(2) IRQ15～IRQ0 割り込み

IRQ15～IRQ0 割り込みは $\overline{\text{IRQ}15}$ ～ $\overline{\text{IRQ}0}$ 端子の入力信号により割り込み要求を発生します。IRQ15～IRQ0 割り込みには以下の特長があります。

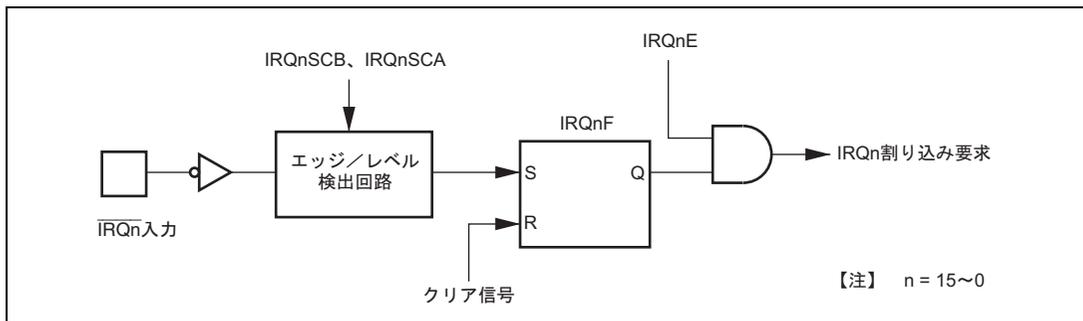
- $\overline{\text{IRQ}15}$ ～ $\overline{\text{IRQ}0}$ 入力の Low レベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれで割り込み要求を発生させるか、ISCR で選択できます。
- IRQ15～IRQ0 割り込み要求は IER により選択できます。
- IPR により割り込みプライオリティレベルを設定できます。
- IRQ15～IRQ0 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで 0 にクリアすることができます。

IRQ15～IRQ0 割り込み要求を $\overline{\text{IRQ}n}$ 入力の Low レベルで発生するようにした場合、割り込み要求時には当該 $\overline{\text{IRQ}}$ 入力を割り込み処理開始まで Low レベルに保持してください。その後、割り込み処理ルーチン内で、当該 $\overline{\text{IRQ}}$ 入力を High レベルに戻し、かつ ISR の IRQnF ビット (n=0～15) を 0 にクリアしてください。割り込み処理開始前に、当該 IRQ 入力を High レベルに戻すと当該割り込みが実行されない場合があります。

IRQ15～IRQ0 割り込みの検出は、当該端子の入出力の設定に依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアして、その他の機能の入出力端子としては使用しないでください。

IRQ15～IRQ0 割り込みのブロック図を図 5.2 に示します。

5. 割り込みコントローラ



5.4.2 内部割り込み

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

- 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグとこれらの割り込みイネーブルビットがあり、独立に制御することができます。イネーブルビットが1のとき割り込み要求が割り込みコントローラに送られます。
- IPRによって割り込みプライオリティレベルを設定できます。
- TPU、SCIなどの割り込み要求によりDMAC、DTCを起動することができます。
- 割り込み要求によりDMAC、DTCを起動する場合は、割り込み制御モードや、CPUの割り込みマスクビットの影響を受けません。

5.5 割り込み例外処理ベクタテーブル

表 5.2 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。割り込み制御モード2に設定されている場合、モジュール間の優先順位は、IPRにより変更することができます。同一優先順位に設定されたモジュールはデフォルトの優先順位に従います。モジュール内の優先順位は固定されています。

5. 割り込みコントローラ

割り込み要因発生元	名称	ベクタ 番号	ベクタアドレス*1	IPR	優先 順位	DTC 起動	DMAC 起動
			アドバンスト モード				
TPU_1	TGI1A	48	H'00C0	IPRF2 ~ IPRF0	↑ 高		
	TGI1B	49	H'00C4				-
	TCI1V	50	H'00C8				-
	TCI1U	51	H'00CC				-
TPU_2	TGI2A	52	H'00D0	IPRG14 ~ IPRG12	↑		
	TGI2B	53	H'00D4				-
	TCI2V	54	H'00D8				-
	TCI2U	55	H'00DC				-
TPU_3	TGI3A	56	H'00E0	IPRG10 ~ IPRG8	↑		
	TGI3B	57	H'00E4				-
	TGI3C	58	H'00E8				-
	TGI3D	59	H'00EC				-
	TCI3V	60	H'00F0				-
	システム予約	61	H'00F4				-
		62	H'00F8				-
63		H'00FC		-			
TPU_4	TGI4A	64	H'0100	IPRG6 ~ IPRG4	↑		
	TGI4B	65	H'0104				-
	TCI4V	66	H'0108				-
	TCI4U	67	H'010C				-
TPU_5	TGI5A	68	H'0110	IPRG2 ~ IPRG0	↑		
	TGI5B	69	H'0114				-
	TCI5V	70	H'0118				-
	TCI5U	71	H'011C				-
TMR_0	CMIA0	72	H'0120	IPRH14 ~ IPRH12	↑		
	CMIB0	73	H'0124				-
	OVI0	74	H'0128				-
	システム予約	75	H'012C				-
TMR_1	CMIA1	76	H'0130	IPRH10 ~ IPRH8	↑		
	CMIB1	77	H'0134				-
	OVI1	78	H'0138				-
	システム予約	79	H'013C				-
					↓ 低		

5. 割り込みコントローラ

割り込み要因発生元	名称	ベクタ 番号	ベクタアドレス*1	IPR	優先 順位	DTC 起動	DMAC 起動	
			アドバンスト モード					
DMAC	DMTEND0A	80	H'0140	IPRH6 ~ IPRH4	▲ ↑ ↓ ▼ 低		-	
	DMTEND0B	81	H'0144				-	
	DMTEND1A	82	H'0148				-	
	DMTEND1B	83	H'014C				-	
EXDMAC*2	システム予約	84	H'0150	IPRH2 ~ IPRH0			-	-
		85	H'0154	IPRI14 ~ IPRI12			-	-
	EXDMTEND2	86	H'0158	IPRI10 ~ IPRI8			-	-
	EXDMTEND3	87	H'015C	IPRI6 ~ IPRI4			-	-
SCI_0	ERI0	88	H'0160	IPRI2 ~ IPRI0			-	-
	RXI0	89	H'0164					
	TXI0	90	H'0168					
	TEI0	91	H'016C			-	-	
SCI_1	ERI1	92	H'0170	IPRJ14 ~ IPRJ12		-	-	
	RXI1	93	H'0174					
	TXI1	94	H'0178					
	TEI1	95	H'017C			-	-	
SCI_2	ERI2	96	H'0180	IPRJ10 ~ IPRJ8		-	-	
	RXI2	97	H'0184				-	
	TXI2	98	H'0188				-	
	TEI2	99	H'018C			-	-	
SCI_3	ERI3	100	H'0190	IPRJ6 ~ IPRJ4		-	-	
	RXI3	101	H'0194				-	
	TXI3	102	H'0198				-	
	TEI3	103	H'019C			-	-	
SCI_4	ERI4	104	H'01A0	IPRJ2 ~ IPRJ0		-	-	
	RXI4	105	H'01A4				-	
	TXI4	106	H'01A8				-	
	TEI4	107	H'01AC			-	-	
	システム予約	108	H'01B0	IPRK14 ~ IPRK12		-	-	
		109	H'01B4			-	-	
		110	H'01B8			-	-	
		111	H'01BC			-	-	

5. 割り込みコントローラ

割り込み要因発生元	名称	ベクタ 番号	ベクタアドレス*1	IPR	優先 順位	DTC 起動	DMAC 起動	
			アドバンスト モード					
SCI_4	システム予約	112	H'01C0	IPRK10 ~ IPRK8		-	-	
		113	H'01C4			-	-	
		114	H'01C8			-	-	
		115	H'01CC			-	-	
IIC2	IIC10	116	H'01D0	IPRK6 ~ IPRK4		-	-	
	システム予約	117	H'01D4			-	-	
	IIC11	118	H'01D8			-	-	
	システム予約	119	H'01DC			-	-	
	システム予約	システム予約	120	H'01E0		IPRK2 ~ IPRK0	-	-
			121	H'01E4			-	-
			122	H'01E8			-	-
			123	H'01EC			-	-
			124	H'01F0			-	-
			125	H'01F4			-	-
			126	H'01F8			-	-
			127	H'01FC			-	-

【注】 *1 先頭アドレスの下位 16 ビットを示しています。

*2 H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

5.6 割り込み制御モードと割り込み動作

割り込みコントローラには割り込み制御モード0と割り込み制御モード2の2種類のモードがあり、割り込み制御モードによって動作が異なります。割り込み制御モードの選択はINTCRで行います。表5.3に割り込み制御モード0と割り込み制御モード2の相違点を示します。

表 5.3 割り込み制御モード

割り込み制御モード	割り込み優先順位	割り込みマスクビット	説明
0	デフォルト	1	各割り込み要因の優先順位はデフォルトで固定されています。 NMIを除く割り込み要因は1ビットによりマスクされます。
2	IPR	12~10	IPRによりNMIを除く各割り込み要因に8レベルの優先順位を設定できます。 12~10ビットにより、8レベルの割り込みマスク制御を行います。

5.6.1 割り込み制御モード0

割り込み制御モード0ではNMIを除く割り込み要求はCPUのCCRの1ビットによってマスクされます。割り込み受け付け動作のフローチャートを図5.3に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. CPUのIビットが1にセットされているときは、割り込みコントローラはNMI以外の割り込み要求を保留します。Iビットがクリアされているときは割り込み要求を受け付けます。
3. 複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択してCPUに対して割り込み処理を要求し、その他は保留します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのIビットを1にセットします。これにより、NMIを除く割り込みがマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

5. 割り込みコントローラ

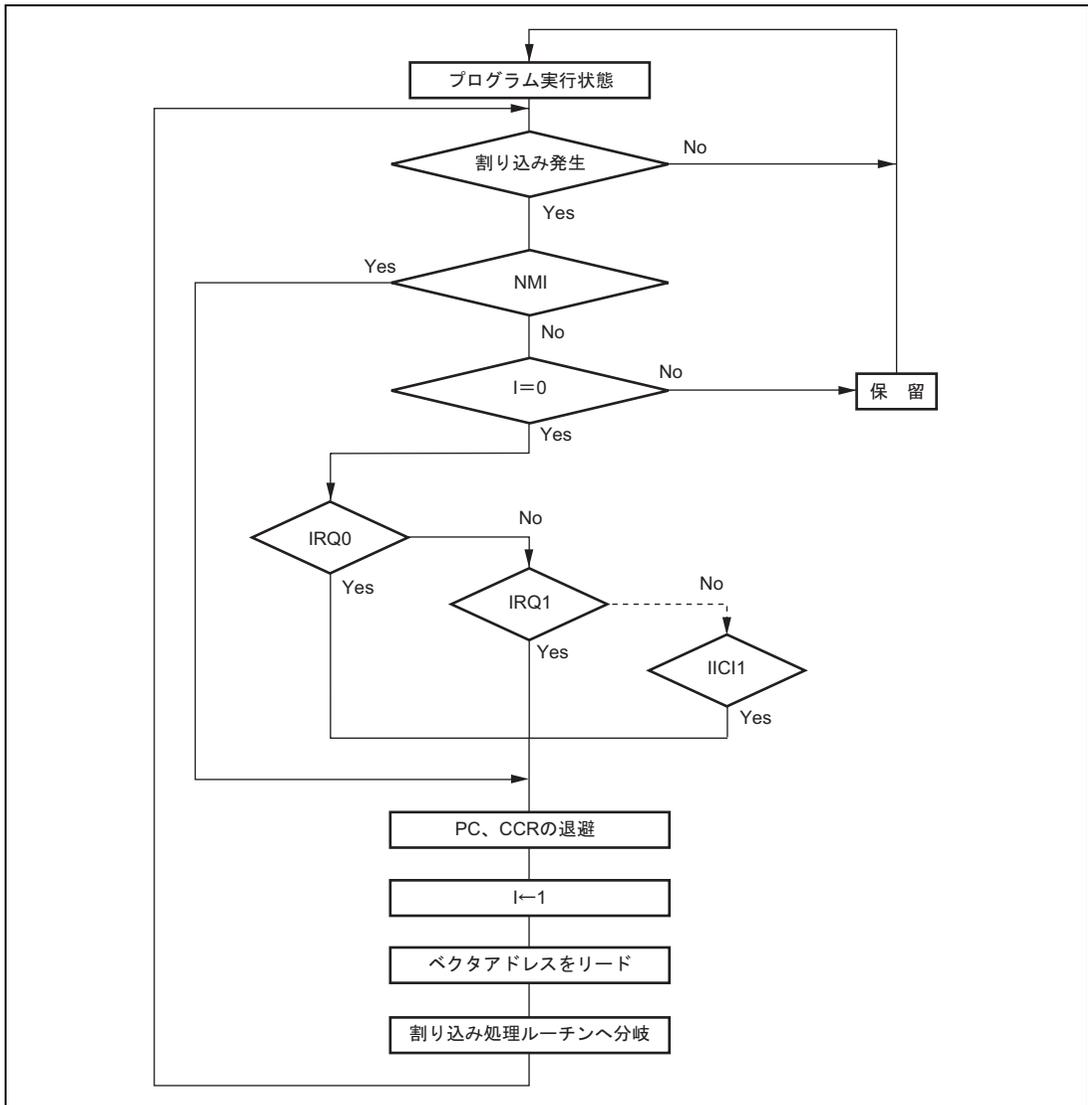


図 5.3 割り込み制御モード 0 の割り込み受け付けまでのフロー

5.6.2 割り込み制御モード 2

割り込み制御モード 2 では NMI を除く割り込み要求は CPU の EXR の割り込みマスクレベル(I2~I0 ビット) と IPR との比較によって 8 レベルのマスク制御を行います。割り込み受け付け動作のフローチャートを図 5.4 に示します。

1. 割り込みイネーブルビットが 1 にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 複数の割り込み要求があるときは割り込みコントローラは IPR に設定された割り込みプライオリティレベルに従って最も優先度の高い割り込みを選択し、それより低位の割り込み要求は保留します。プライオリティレベルが同一の場合は表 5.2 に示すデフォルトの優先順位に従って割り込み要求を選択します。
3. その後、選択した割り込み要求の優先順位と EXR の割り込みマスクレベルとを比較します。設定されていたマスクレベル以下であれば保留し、割り込みマスクレベルより優先順位が高ければ CPU に対して割り込み処理を要求します。
4. CPU は割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PC、CCR および EXR がスタック領域に退避されます。PC にはリターン後に実行する最初の命令のアドレスが退避されます。
6. EXR の T ビットが 0 にクリアされます。割り込みマスクレベルは受け付けた割り込みのプライオリティレベルに書き換えられます。受け付けた割り込みが NMI のときは割り込みマスクレベルは H'7 に設定されます。
7. CPU は受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

5. 割り込みコントローラ

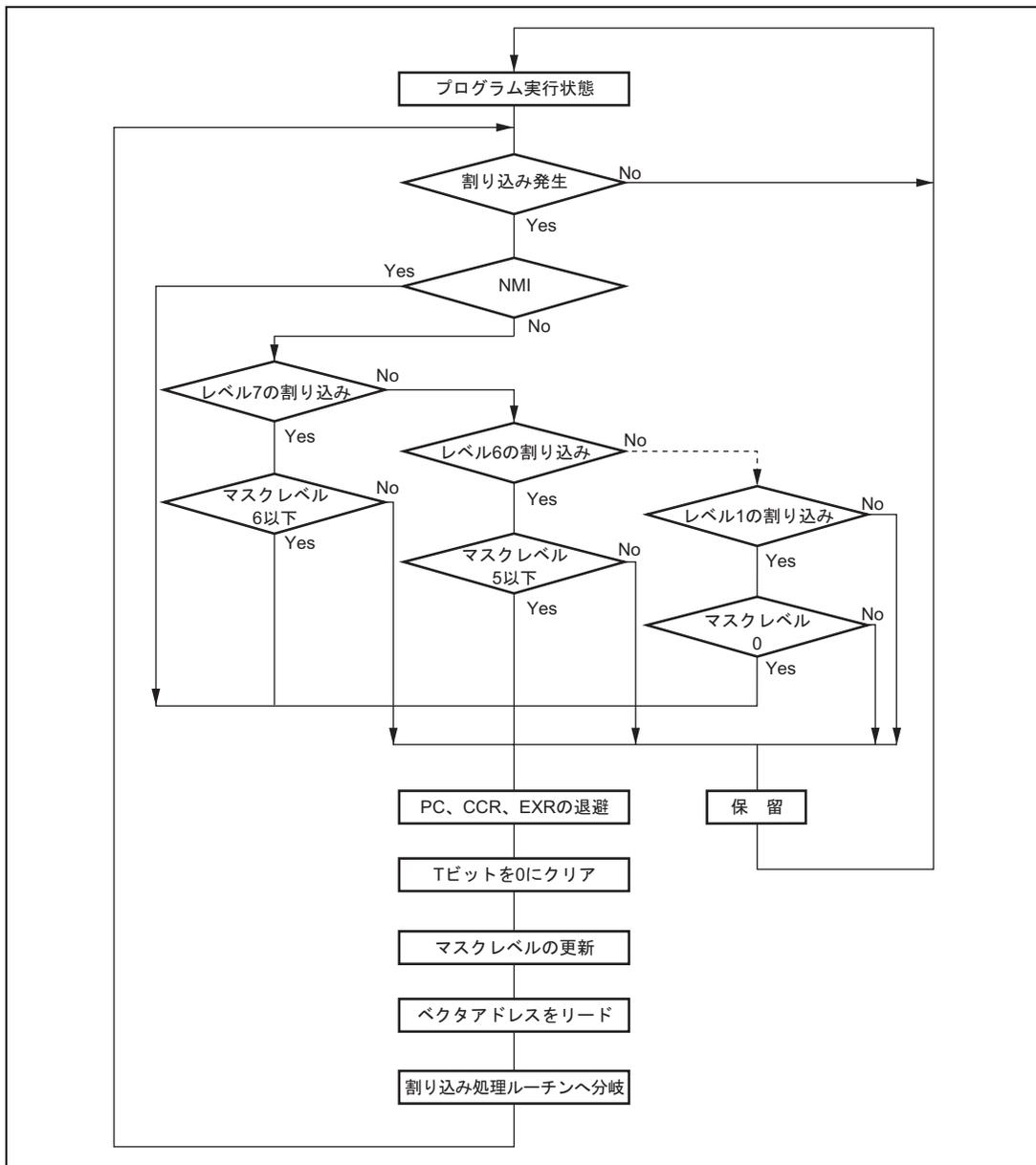


図 5.4 割り込み制御モード 2 の割り込み受け付けまでのフロー

5.6.3 割り込み例外処理シーケンス

図 5.5 に、割り込み例外処理シーケンスを示します。アドバンストモードで割り込み制御モード 0、プログラム領域およびスタック領域が内蔵メモリの場合の例です。

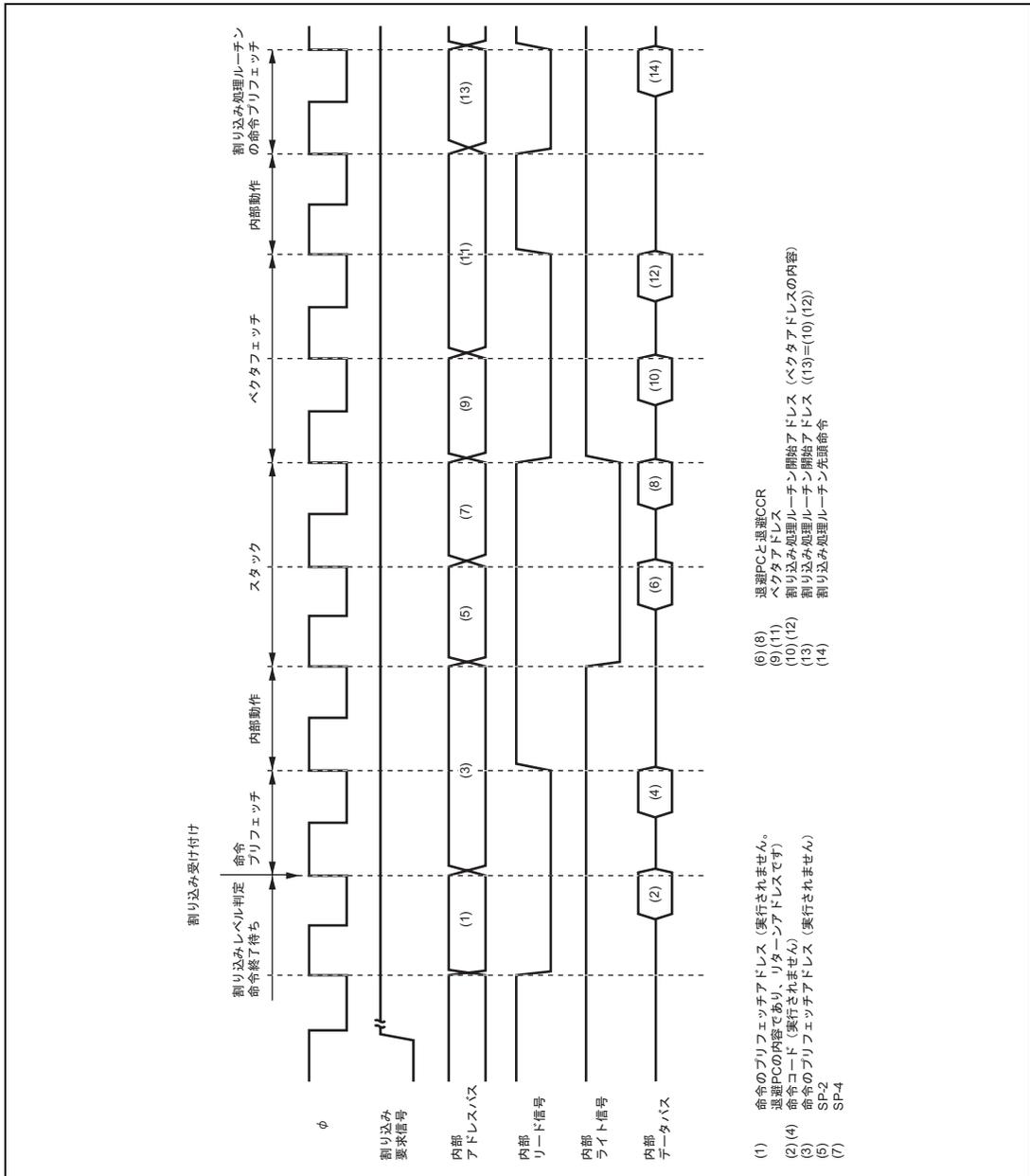


図 5.5 割り込み例外処理

5. 割り込みコントローラ

5.6.4 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.4 に示します。表 5.4 の実行状態の記号については表 5.5 を参照してください。本 LSI は内蔵メモリに対して高速ワードアクセスが可能のため、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることで処理速度の向上が図れます。

表 5.4 割り込み応答時間

No.	実行状態	ノーマルモード*5		アドバンスモード	
		割り込み制御 モード 0	割り込み制御 モード 2	割り込み制御 モード 0	割り込み制御 モード 2
1	割り込み優先順位判定*1	3			
2	実行中の命令が終了するまでの待ちステート数*2	$1 \sim 19 + 2 \cdot S_i$			
3	PC、CCR および EXR のスタック	$2 \cdot S_k$	$3 \cdot S_k$	$2 \cdot S_k$	$3 \cdot S_k$
4	ベクタフェッチ	S_i		$2 \cdot S_i$	
5	命令フェッチ*3	$2 \cdot S_i$			
6	内部処理*4	2			
合計 (内蔵メモリ使用時)		11 ~ 31	12 ~ 32	12 ~ 32	13 ~ 33

【注】 *1 内部割り込みの場合 2 ステートとなります。

*2 MULXS、DIVXS 命令について示しています。

*3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。

*4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。

*5 本 LSI では使用できません。

表 5.5 割り込み例外処理の実行状態のステート数

記号	アクセス対象				
	内部メモリ	外部デバイス			
		8 ビットバス		16 ビットバス	
		2 ステート アクセス	3 ステート アクセス	2 ステート アクセス	3 ステート アクセス
命令フェッチ S_i	1	4	$6 + 2m$	2	$3 + m$
分岐アドレスリード S_j					
スタック操作 S_k					

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

5.6.5 割り込みによる DTC、DMAC の起動

割り込み要求により、DTC、DMAC を起動することができます。この場合、以下の選択を行うことができます。

1. CPUに対する割り込み要求
2. DTCに対する起動要求
3. DMACに対する起動要求
4. 1.~3.の複数の選択

なお、DTC、DMAC を起動できる割り込み要求については、表 5.2 および「第 9 章 データトランスファコントローラ (DTC)」および「第 7 章 DMA コントローラ (DMAC)」を参照してください。

5.7 使用上の注意事項

5.7.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットをクリアして割り込み要求をマスクする場合、割り込みのマスクはその命令実行終了後に有効になります。BCLR 命令、MOV 命令などで割り込みイネーブルビットをクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込みはイネーブル状態にあるため、命令実行終了後にその割り込み例外処理を開始します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを 0 にクリアする場合も同様です。TPU の TIER_0 の TCIEV を 0 にクリアする場合の例を図 5.6 に示します。なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

5. 割り込みコントローラ

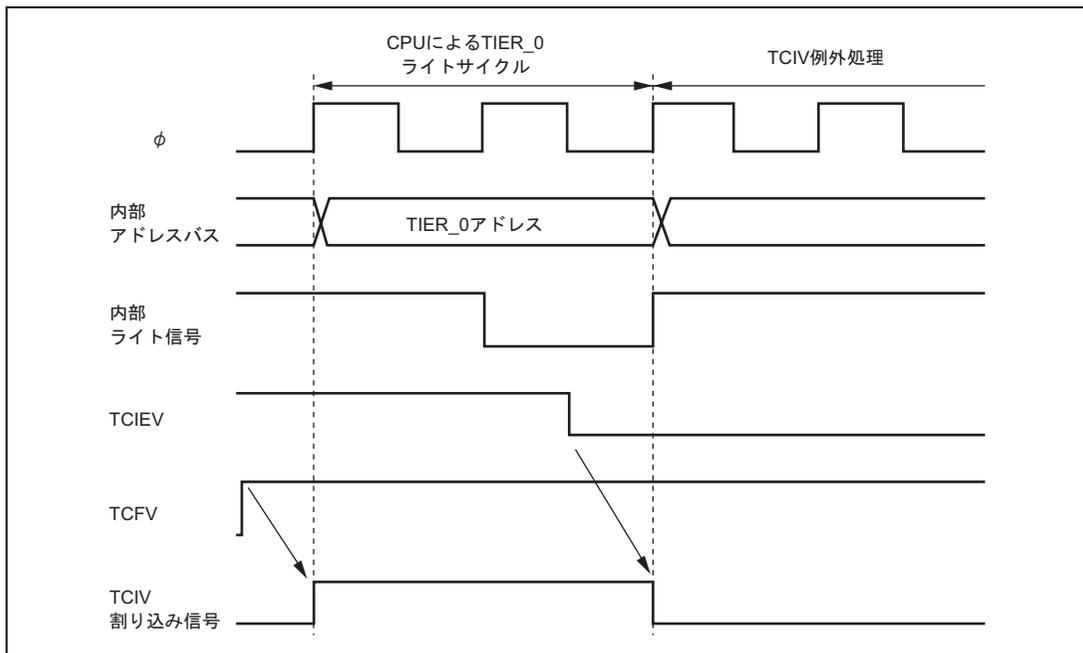


図 5.6 割り込みの発生とディスエーブルの競合

5.7.2 割り込みを禁止している命令

実行直後に割り込み要求を受け付けられない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

5.7.3 割り込み禁止期間

割り込みコントローラには割り込み要求の受け付けを禁止している期間があります。CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新した後の 3 ステート期間は、割り込みコントローラは割り込み要求を受け付けません。

5.7.4 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次の命令のアドレスとなります。このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:   EEPMOV.W
      MOV.WR4, R4
      BNEL1
```

5.7.5 IRQ 端子セレクトレジスタ (ITSR) 設定の変更

ITSR の設定を変更する場合、変更前に選択されていた端子のレベルと変更後に選択された端子のレベルが異なると、内部にエッジが発生し、ISR の IRQnF (n = 0 ~ 15) が意図しないタイミングで 1 にセットされることがあります。このとき IRQn 割り込み要求 (n = 0 ~ 15) がイネーブルにされると、そのまま割り込み例外処理を実行します。意図しない割り込みを防ぐには、ITSR の設定変更を IRQn 割り込み要求を禁止の状態で行い、その後、IRQnF をクリアしてください。

5.7.6 IRQ ステータスレジスタ (ISR) について

リセット後の端子状態により IRQnF = 1 となっていることがあるので、リセット後に必ず ISR をリードし、0 をライトしてください。

6. バスコントローラ (BSC)

本 LSI はバスコントローラ (BSC) を内蔵しており、外部空間を 8 つのエリアに分割して管理します。バスコントローラはバス権調停機能を持っており、バスマスタである CPU、DMA コントローラ (DMAC)、EXDMA コントローラ (EXDMAC) *およびデータトランスファコントローラ (DTC) の動作を制御します。

バスコントローラのブロック図を図 6.1 に示します。

【注】 * H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

6.1 特長

- 外部空間をエリア単位で管理
 - 外部空間を2Mバイト単位の8エリアに分割して管理
 - エリアごとにバス仕様を設定可能
 - バーストROM/DRAM / シンクロナスDRAM*インタフェースを設定可能
- 基本バスインタフェース
 - エリア0~7に対してチップセレクト ($\overline{CS0} \sim \overline{CS7}$) を出力可能
 - エリアごとに8ビットアクセス空間 / 16ビットアクセス空間を選択可能
 - エリアごとに2ステートアクセス空間 / 3ステートアクセス空間を選択可能
 - エリアごとにプログラムウェイトステートを挿入可能
- バーストROMインタフェース
 - エリア0、エリア1に対してバーストROMインタフェースを独立して設定可能
- DRAMインタフェース
 - エリア2~5に対してDRAMインタフェースを設定可能
- シンクロナスDRAMインタフェース*
 - エリア2~5を連続シンクロナスDRAM空間に設定可能
- バス権調停機能 (バスアービトレーション)
 - バスアービタを内蔵し、CPU、DMAC、DTCおよびEXDMACのバス権などを調停

【注】 * H8S/2378 グループではサポートしていません。

6. バスコントローラ (BSC)

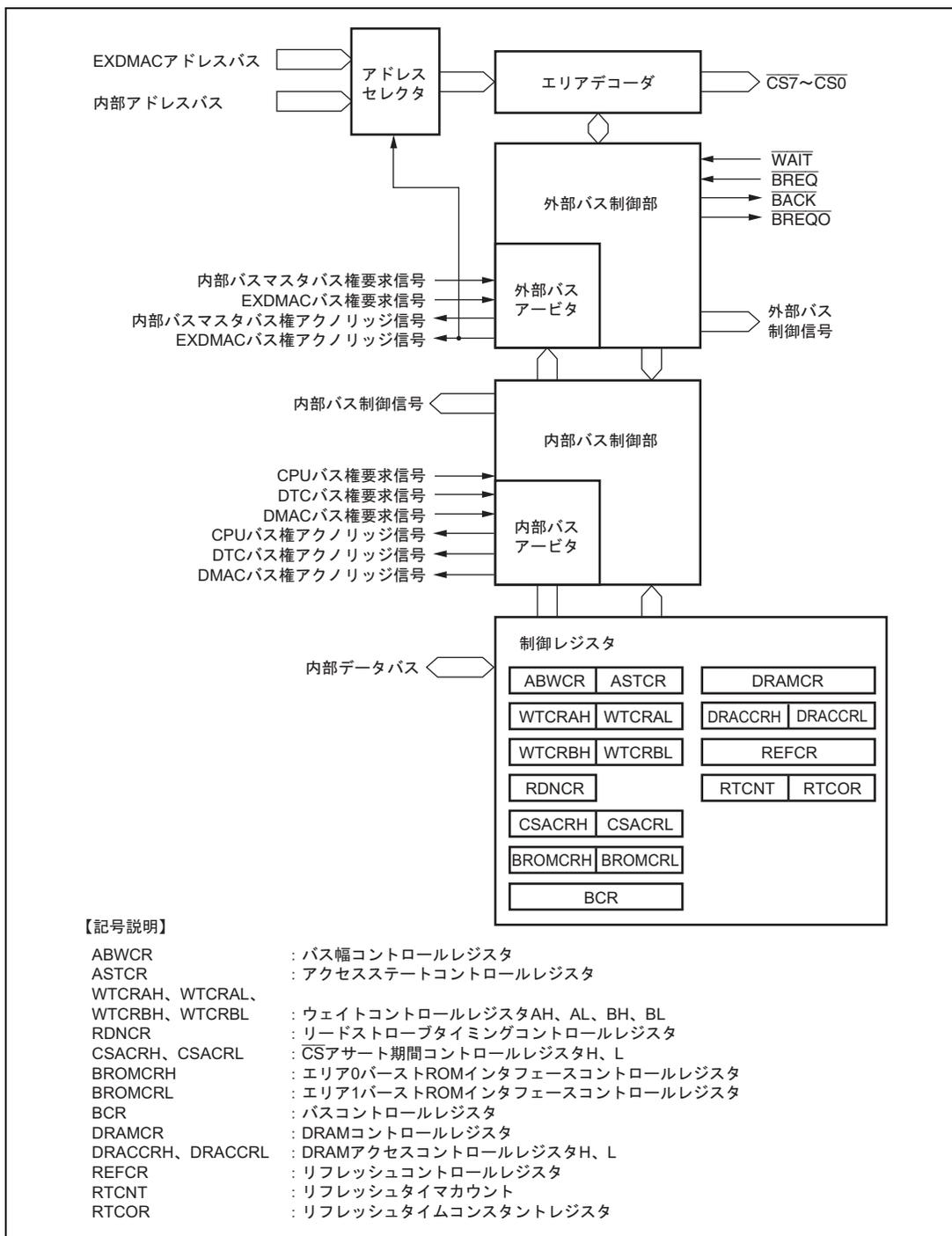


図 6.1 バスコントローラのブロック図

6.2 入出力端子

表 6.1 にバスコントローラの端子構成を示します。

表 6.1 端子構成

名称	記号	入出力	機能
アドレスストロープ	\overline{AS}	出力	通常空間をアクセスし、アドレスバス上のアドレス出力が有効であることを示すストロープ信号
リード	\overline{RD}	出力	通常空間をリードしていることを示すストロープ信号
ハイライト/ ライトイネーブル	$\overline{HWR/WE}$	出力	通常空間をライトし、データバスの上位側 (D15~D8) が有効であることを示すストロープ信号 / DRAM 空間のライトイネーブル信号
ローライト	\overline{LWR}	出力	通常空間をライトし、データバスの下位側 (D7~D0) が有効であることを示すストロープ信号
チップセレクト 0	$\overline{CS0}$	出力	エリア 0 が選択されていることを示すストロープ信号
チップセレクト 1	$\overline{CS1}$	出力	エリア 1 が選択されていることを示すストロープ信号
チップセレクト 2 / ロウアドレスストロープ 2 / ロウアドレスストロープ* ¹	$\overline{CS2}/$ $\overline{RAS2}/$ \overline{RAS}^*1	出力	エリア 2 が選択されていることを示すストロープ信号 / エリア 2 が DRAM 空間、またはエリア 2~5 を連続 DRAM 空間に設定したときの DRAM のロウアドレスストロープ信号 / シンクロナス DRAM インタフェースのときのシンクロナス DRAM のロウアドレスストロープ信号
チップセレクト 3 / ロウアドレスストロープ 3 / カラムアドレスストロープ* ¹	$\overline{CS3}/$ $\overline{RAS3}/$ \overline{CAS}^*1	出力	エリア 3 が選択されていることを示すストロープ信号 / エリア 3 が DRAM 空間のときの DRAM のロウアドレスストロープ信号 / シンクロナス DRAM インタフェースのときのシンクロナス DRAM のカラムアドレスストロープ信号
チップセレクト 4 / ロウアドレスストロープ 4 / ライトイネーブル* ¹	$\overline{CS4}/$ $\overline{RAS4}/$ \overline{WE}^*1	出力	エリア 4 が選択されていることを示すストロープ信号 / エリア 4 が DRAM 空間のときの DRAM のロウアドレスストロープ信号 / シンクロナス DRAM インタフェースのときのシンクロナス DRAM のライトイネーブル信号
チップセレクト 5 / ロウアドレスストロープ 5 / SDRAM * ¹	$\overline{CS5}/$ $\overline{RAS5}/$ SDRAM * ¹	出力	エリア 5 が選択されていることを示すストロープ信号 / エリア 5 が DRAM 空間のときの DRAM のロウアドレスストロープ信号 / シンクロナス DRAM インタフェースのときのシンクロナス DRAM の専用クロック
チップセレクト 6	$\overline{CS6}$	出力	エリア 6 が選択されていることを示すストロープ信号
チップセレクト 7	$\overline{CS7}$	出力	エリア 7 が選択されていることを示すストロープ信号
アッパーカラムアドレスストロープ / アッパーデータマスクイネーブル* ¹	$\overline{UCAS}/$ DQMU* ¹	出力	16 ビット DRAM インタフェース空間のアッパーカラムアドレスストロープ信号または 8 ビット DRAM 空間のカラムアドレスストロープ信号 / 16 ビットシンクロナス DRAM インタフェース空間のアッパーデータマスク信号または 8 ビットシンクロナス DRAM 空間のデータマスク信号

6. バスコントローラ (BSC)

名称	記号	入出力	機能
ローアーカラムアドレスストロープ/ ローアーデータマスキネーブル	$\overline{\text{LCAS}}/$ DQML^{*1}	出力	16 ビット DRAM 空間のローアーカラムアドレスストロープ 信号 / 16 ビットシンクロナス DRAM 空間のローアーデータマ スク信号
アウトプットイネーブル/ クロックイネーブル	$\overline{\text{OE}}/\text{CKE}^{*1}$	出力	DRAM 空間のアウトプットイネーブル信号 / シンクロナス DRAM 空間のクロックイネーブル信号
ウェイト	WAIT	入力	外部空間をアクセスするときのウェイト要求信号
バス権要求	$\overline{\text{BREQ}}$	入力	バス権を外部バスマスタに解放することを要求するリクエスト 信号
バス権要求アクノリッジ	$\overline{\text{BACK}}$	出力	バス権を外部バスマスタに解放したことを示すアクノリッジ 信号
バス権要求出力	$\overline{\text{BREQO}}$	出力	外部バス権解放状態で、内部バスマスタが外部アドレス空間を アクセスするときの外部バス権要求信号
データ転送アクノリッジ 1 (DMAC)	$\overline{\text{DACK1}}$	出力	DMAC チャンネル 1 がシングルアドレス転送時のデータ転送 アクノリッジ信号
データ転送アクノリッジ 0 (DMAC)	$\overline{\text{DACK0}}$	出力	DMAC チャンネル 0 がシングルアドレス転送時のデータ転送 アクノリッジ信号
データ転送アクノリッジ 3 ^{*2} (EXDMAC)	$\overline{\text{EDACK3}}^{*2}$	出力	EXDMAC チャンネル 3 がシングルアドレス転送時のデータ転送 アクノリッジ信号
データ転送アクノリッジ 2 ^{*2} (EXDMAC)	$\overline{\text{EDACK2}}^{*2}$	出力	EXDMAC チャンネル 2 がシングルアドレス転送時のデータ転送 アクノリッジ信号

【注】 *1 H8S/2378 グループではサポートしていません。

*2 H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

6.3 レジスタの説明

バスコントローラには以下のレジスタがあります。

- バス幅コントロールレジスタ (ABWCR)
- アクセスステートコントロールレジスタ (ASTCR)
- ウェイトコントロールレジスタAH (WTCRAH)
- ウェイトコントロールレジスタAL (WTCRAL)
- ウェイトコントロールレジスタBH (WTCRBH)
- ウェイトコントロールレジスタBL (WTCRBL)
- リードストロープタイミングコントロールレジスタ (RDNCR)
- $\overline{\text{CS}}$ アサート期間コントロールレジスタH (CSACRH)
- $\overline{\text{CS}}$ アサート期間コントロールレジスタL (CSACRL)
- エリア0バーストROMインタフェースコントロールレジスタH (BROMCRH)
- エリア1バーストROMインタフェースコントロールレジスタL (BROMCRL)

- バスコントロールレジスタ (BCR)
- DRAMコントロールレジスタ (DRAMCR)
- DRAMアクセスコントロールレジスタ (DRACCR)
- リフレッシュコントロールレジスタ (REFCR)
- リフレッシュタイマカウンタ (RTCNT)
- リフレッシュタイムコンスタントレジスタ (RTCOR)

6.3.1 バス幅コントロールレジスタ (ABWCR)

ABWCR は、外部アドレス空間の各エリアを 8 ビットアクセス空間、または 16 ビットアクセス空間のいずれかに設定します。

ビット	ビット名	初期値*	R/W	説明
7	ABW7	1/0	R/W	エリア 7~0 バス幅コントロール 対応するエリアを 8 ビットアクセス空間とするか、16 ビットアクセス空間とするかを選択します。 0 : エリア n を 16 ビットアクセス空間に設定 1 : エリア n を 8 ビットアクセス空間に設定 (n = 7~0)
6	ABW6	1/0	R/W	
5	ABW5	1/0	R/W	
4	ABW4	1/0	R/W	
3	ABW3	1/0	R/W	
2	ABW2	1/0	R/W	
1	ABW1	1/0	R/W	
0	ABW0	1/0	R/W	

【注】 * モード 2、4 では 1、モード 1、7 では 0 となります。

6.3.2 アクセスステートコントロールレジスタ (ASTCR)

ASTCR は、外部アドレス空間の各エリアを 2 ステートアクセス空間、または 3 ステートアクセス空間のいずれかに設定します。

ビット	ビット名	初期値	R/W	説明
7	AST7	1	R/W	エリア 7~0 アクセスステートコントロール 対応するエリアを 2 ステートアクセス空間にするか、3 ステートアクセス空間とするかを選択します。同時に、ウェイトステートの挿入を許可または禁止します。 0 : エリア n を 2 ステートアクセス空間に設定 エリア n のアクセスにウェイトステートの挿入を禁止 1 : エリア n を 3 ステートアクセス空間に設定 エリア n のアクセスにウェイトステートの挿入を許可 (n = 7~0)
6	AST6	1	R/W	
5	AST5	1	R/W	
4	AST4	1	R/W	
3	AST3	1	R/W	
2	AST2	1	R/W	
1	AST1	1	R/W	
0	AST0	1	R/W	

6. バスコントローラ (BSC)

6.3.3 ウェイトコントロールレジスタ AH、AL、BH、BL (WTCRAH、WTCRAL、WTCRBH、WTCRBL)

WTCRA、WTCRB は、外部アドレス空間の各エリアのプログラムウェイトステート数を選択します。また、シンクロナス DRAM 接続時は、CAS レイテンシの設定を行います。

• WTCRAH

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
14	W72	1	R/W	エリア 7 ウェイトコントロール 2~0 ASTCR の AST7=1 のとき、エリア 7 をアクセスするときのプログラムウェイトステート数を選択します。 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを 1 ステート挿入 010 : プログラムウェイトを 2 ステート挿入 011 : プログラムウェイトを 3 ステート挿入 100 : プログラムウェイトを 4 ステート挿入 101 : プログラムウェイトを 5 ステート挿入 110 : プログラムウェイトを 6 ステート挿入 111 : プログラムウェイトを 7 ステート挿入
13	W71	1	R/W	
12	W70	1	R/W	
11	-	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
10	W62	1	R/W	エリア 6 ウェイトコントロール 2~0 ASTCR の AST6=1 のとき、エリア 6 をアクセスするときのプログラムウェイトステート数を選択します。 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを 1 ステート挿入 010 : プログラムウェイトを 2 ステート挿入 011 : プログラムウェイトを 3 ステート挿入 100 : プログラムウェイトを 4 ステート挿入 101 : プログラムウェイトを 5 ステート挿入 110 : プログラムウェイトを 6 ステート挿入 111 : プログラムウェイトを 7 ステート挿入
9	W61	1	R/W	
8	W60	1	R/W	

• WTCRAL

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
6	W52	1	R/W	エリア5ウェイトコントロール2~0 ASTCRのAST5=1のとき、エリア5をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
5	W51	1	R/W	
4	W50	1	R/W	
3	-	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
2	W42	1	R/W	エリア4ウェイトコントロール2~0 ASTCRのAST4=1のとき、エリア4をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
1	W41	1	R/W	
0	W40	1	R/W	

6. バスコントローラ (BSC)

• WTCRBH

ビット	ビット名	初期値	R/W	説明
15	-	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
14	W32	1	R/W	エリア3ウェイトコントロール2~0 ASTCRのAST3=1のとき、エリア3をアクセスするときのプログラムウェイトステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
13	W31	1	R/W	
12	W30	1	R/W	
11	-	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
10	W22	1	R/W	エリア2ウェイトコントロール2~0 ASTCRのAST2=1のとき、エリア2をアクセスするときのプログラムウェイトステート数を選択します。また、シンクロナスDRAM接続時はCASレイテンシの設定を行います*。エリア2の設定がエリア2~5に反映されます。ASTCRのウェイトステートの挿入/禁止の設定によらず、CASレイテンシの設定が可能です。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入 000: エリア2~5はCASレイテンシ1のシンクロナスDRAMを接続 001: エリア2~5はCASレイテンシ2のシンクロナスDRAMを接続 010: エリア2~5はCASレイテンシ3のシンクロナスDRAMを接続 011: エリア2~5はCASレイテンシ4のシンクロナスDRAMを接続 1XXX: 設定禁止
9	W21	1	R/W	
8	W20	1	R/W	

【注】 * H8S/2378 グループではシンクロナスDRAMインタフェースをサポートしていません。

【記号説明】 X: Don't care

• WTCRBL

ビット	ビット名	初期値	R/W	説明
7	-	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
6	W12	1	R/W	エリア1ウェイトコントロール2-0 ASTCRのAST1=1のとき、エリア1をアクセスするときのプログラムウェイトステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
5	W11	1	R/W	
4	W10	1	R/W	
3	-	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
2	W02	1	R/W	エリア0ウェイトコントロール2-0 ASTCRのAST0=1のとき、エリア0をアクセスするときのプログラムウェイトステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
1	W01	1	R/W	
0	W00	1	R/W	

6. バスコントローラ (BSC)

6.3.4 リードストロープタイミングコントロールレジスタ (RDNCR)

RDNCR は、通常空間のリードアクセス時のリードストロープ信号(\overline{RD})のネゲートタイミングを設定します。

ビット	ビット名	初期値	R/W	説明
7	RDN7	0	R/W	リードストロープタイミングコントロール7~0
6	RDN6	0	R/W	これらのビットは対応するエリアのリードアクセス時のリードストロープのネゲートタイミングを設定します。図 6.2 に示すように RDNn=1 に設定したエリアのリードストロープは、RDNn=0 に設定したときと比べて半ステート早くネゲートします。リードデータのセットアップ/ホールドの規定も同様です。 0: エリア n のリードアクセス時、 \overline{RD} のネゲートタイミングは、リードサイクルの終わり 1: エリア n のリードアクセス時、 \overline{RD} のネゲートタイミングは、リードサイクルの終わりから半ステート手前 (n=7~0)
5	RDN5	0	R/W	
4	RDN4	0	R/W	
3	RDN3	0	R/W	
2	RDN2	0	R/W	
1	RDN1	0	R/W	
0	RDN0	0	R/W	

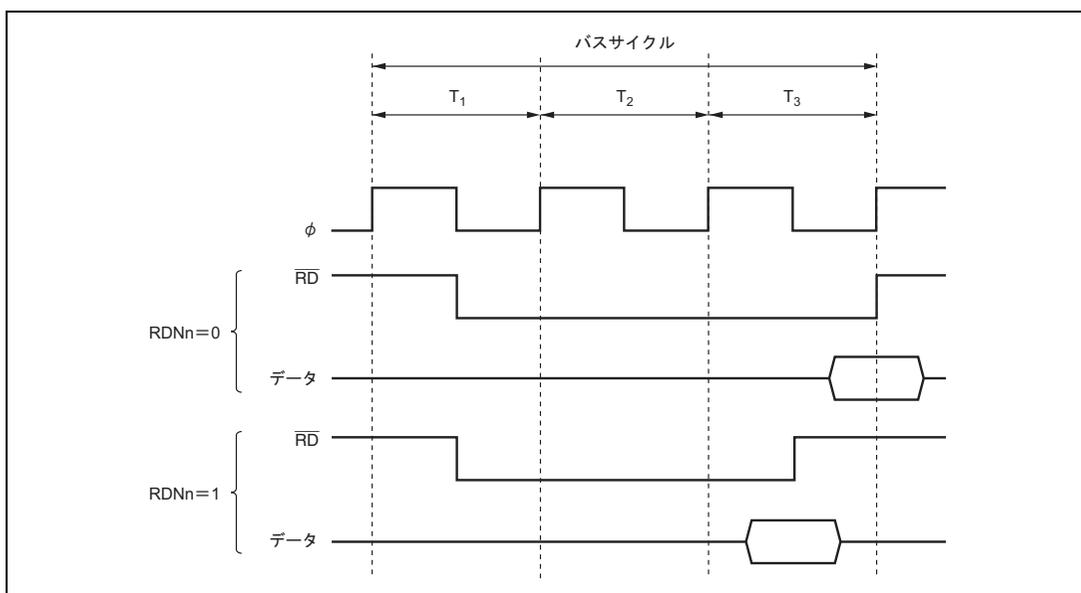


図 6.2 リードストロープネゲートタイミング (3 ステートアクセス空間の場合)

6.3.5 \overline{CS} アサート期間コントロールレジスタ H、L (CSACRH、CSACRL)

CSACRH、CSACRL は、基本バスインタフェースのチップセレクト信号(\overline{CSn})、アドレス信号のアサート期間を拡張するか否かを選択します。 \overline{CSn} 、アドレス信号のアサート期間を拡張することにより、外部 I/O デバイスとのフレキシブルなインタフェースをとることが可能です。

• CSACRH

ビット	ビット名	初期値	R/W	説明
7	CSXH7	0	R/W	CS、アドレス信号アサート期間コントロール 1 Th サイクルを挿入するかどうかを指定します (図 6.3 参照)。 CSXHn = 1 に設定したエリアのアクセス時、通常のアクセスサイクルの前にCSn とアドレスがアサートされる Th サイクルが 1 ステート挿入されます。 0 : エリア n の基本バスインタフェースをアクセス時、CSn、アドレスアサート期間 (Th) を拡張しない 1 : エリア n の基本バスインタフェースをアクセス時、CSn、アドレスアサート期間 (Th) を拡張する (n=7~0)
6	CSXH6	0	R/W	
5	CSXH5	0	R/W	
4	CSXH4	0	R/W	
3	CSXH3	0	R/W	
2	CSXH2	0	R/W	
1	CSXH1	0	R/W	
0	CSXH0	0	R/W	

• CSACRL

ビット	ビット名	初期値	R/W	説明
7	CSXT7	0	R/W	CS、アドレス信号アサート期間コントロール 2 Tt サイクルを挿入するかどうかを指定します (図 6.3 参照)。 CSXTn = 1 に設定したエリアのアクセス時、通常のアクセスサイクルの後にCSn とアドレスだけがアサートされる Tt サイクルが 1 ステート挿入されます。 0 : エリア n の基本バスインタフェースをアクセス時、CSn、アドレスアサート期間 (Tt) を拡張しない 1 : エリア n の基本バスインタフェースをアクセス時、CSn、アドレスアサート期間 (Tt) を拡張する (n=7~0)
6	CSXT6	0	R/W	
5	CSXT5	0	R/W	
4	CSXT4	0	R/W	
3	CSXT3	0	R/W	
2	CSXT2	0	R/W	
1	CSXT1	0	R/W	
0	CSXT0	0	R/W	

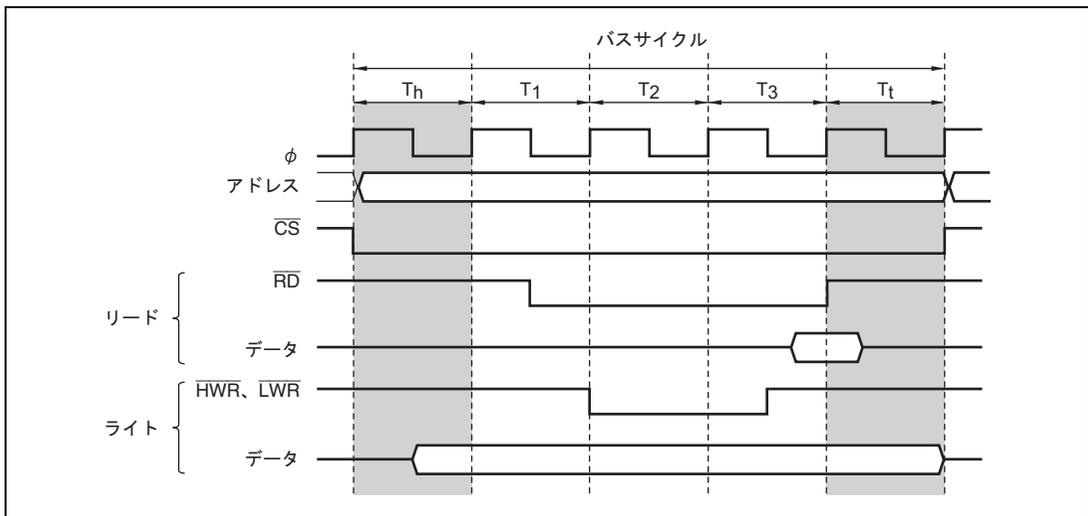


図 6.3 CS、アドレスアサート期間拡張 (3 ステートアクセス空間、RDNn = 0 の場合)

6. バスコントローラ (BSC)

6.3.6 エリア 0 バースト ROM インタフェースコントロールレジスタ (BROMCRH) エリア 1 バースト ROM インタフェースコントロールレジスタ (BROMCRL)

BROMCRH、BROMCRLは、バーストROMインタフェースの設定を行います。BROMCRHはエリア0、BROMCRLはエリア1のバーストROMインタフェースを独立に設定可能です。

ビット	ビット名	初期値	R/W	説明
7	BSRMn	0	R/W	バーストROMインタフェース選択 基本バスインタフェース/バーストROMインタフェースを選択します。 0：基本バスインタフェース 1：バーストROMインタフェース
6	BSTSn2	0	R/W	バーストサイクルセレクト バーストサイクルのステート数を選択します。 000：1ステート 001：2ステート 010：3ステート 011：4ステート 100：5ステート 101：6ステート 110：7ステート 111：8ステート
5	BSTSn1	0	R/W	
4	BSTSn0	0	R/W	
3、2	-	すべて0	R/W	リザーブビット リードすると常に0が読み出されます。初期値を変更しないでください。
1	BSWDn1	0	R/W	バーストワード数セレクト バーストROMインタフェースのバーストアクセス可能なワード数を選択します。 00：最大4ワード 01：最大8ワード 10：最大16ワード 11：最大32ワード
0	BSWDn0	0	R/W	

(n=1、0)

6.3.7 バスコントロールレジスタ (BCR)

BCR はアイドルサイクル、外部バス解放状態のプロトコル、ライトデータバッファ機能の許可 / 禁止、 $\overline{\text{WAIT}}$ 端子入力の許可 / 禁止の選択を行います。

ビット	ビット名	初期値	R/W	説明
15	BRLE	0	R/W	外部バス解放イネーブル 外部バス権の解放を許可または禁止します。 0: 外部バス権の解放を禁止 BREQ、BACK、 $\overline{\text{BREQ}}$ は入出力ポートとして使用可 1: 外部バス権の解放を許可
14	BREQOE	0	R/W	$\overline{\text{BREQ}}$ 端子イネーブル 外部バス解放状態で、内部バスマスタが外部アドレス空間をアクセスするとき、またはリフレッシュ要求が発生したときに外部バスマスタに対してバス権要求信号 ($\overline{\text{BREQ}}$) の出力を制御します。 0: $\overline{\text{BREQ}}$ 信号出力禁止、 $\overline{\text{BREQ}}$ 端子は入出力ポートとして使用可能 1: $\overline{\text{BREQ}}$ 信号出力許可
13	-	0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。
12	IDLC	1	R/W	アイドルサイクルステート数選択 ICIS2、ICIS1、ICIS0 で設定されたアイドルサイクルのステート数を指定します。 0: アイドルサイクルは 1 ステート 1: アイドルサイクルは 2 ステート
11	ICIS1	1	R/W	アイドルサイクル挿入 1 異なるエリアの外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。 0: アイドルサイクルを挿入しない 1: アイドルサイクルを挿入する
10	ICIS0	1	R/W	アイドルサイクル挿入 0 外部リードサイクルと外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルの挿入することができます。 0: アイドルサイクルを挿入しない 1: アイドルサイクルを挿入する
9	WDBE	0	R/W	ライトデータバッファイネーブル 外部ライトサイクル、または DMAC のシングルアドレス転送のときライトデータバッファ機能を使用できます。 0: ライトデータバッファ機能を使用しない 1: ライトデータバッファ機能を使用する

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
8	WAITE	0	R/W	WAIT 端子イネーブル WAIT 端子によるウェイト入力の許可または禁止を選択します。 0: WAIT 端子によるウェイト入力を禁止 WAIT 端子は入出力ポートとして使用可能 1: WAIT 端子によるウェイト入力を許可
7~3	-	すべて 0	R/W	リザーブビット リード/ライト可能ですが 0 をライトしてください。
2	ICIS2	0	R/W	アイドルサイクル挿入 2 外部ライトサイクルと外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。 0: アイドルサイクルを挿入しない 1: アイドルサイクルを挿入する
1, 0	-	すべて 0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。

6.3.8 DRAM コントロールレジスタ (DRAMCR)

DRAMCR は、DRAM/シンクロナス DRAM インタフェースの設定を行います。

【注】 H8S/2378 グループではシンクロナス DRAM インタフェースをサポートしていません。

ビット	ビット名	初期値	R/W	説明
15	OEE	0	R/W	\overline{OE} 出力イネーブル EDO ページモードを備えた DRAM の接続時に使用する \overline{OE} 信号を DRAM の (\overline{OE}) 端子から出力できます。OE 信号は DRAM 空間に設定したすべてのエリアに共通です。 シンクロナス DRAM 接続時は CKE 信号をシンクロナス DRAM の (\overline{OE}) 端子から出力できます。CKE 信号は連続シンクロナス DRAM 空間で共通です。 0: \overline{OE} /CKE 信号出力禁止、(\overline{OE})/(CKE) 端子は入出力ポートとして使用可能 1: \overline{OE} /CKE 信号出力許可
14	RAST	0	R/W	\overline{RAS} アサートタイミング選択 DRAM アクセス時の \overline{RAS} 信号を Tr サイクルの先頭 (立ち上がりエッジ) からアサートするか、立ち下がりエッジからアサートするかを選択します。 図 6.4 に RAST ビットの設定と \overline{RAS} アサートタイミングの関係を示します。このビットによる設定は、DRAM 空間に設定したすべてのエリアに共通です。 0: \overline{RAS} を Tr サイクルの 立ち下がりエッジでアサート 1: \overline{RAS} を Tr サイクルの先頭からアサート
13	-	0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
12	CAST	0	R/W	<p>カラムアドレス出力サイクル数選択</p> <p>DRAM アクセス時のカラムアドレス出力サイクルを 2 ステートにするか、3 ステートにするかを選択します。このビットによる設定は、DRAM 空間に設定したすべてのエリアに共通です。</p> <p>0 : カラムアドレス出力サイクルは 2 ステート 1 : カラムアドレス出力サイクルは 3 ステート</p>
11	-	0	R/W	<p>リザーブビット</p> <p>リード/ライト可能ですが、0 をライトしてください。</p>
10 9 8	RMTS2 RMTS1 RMTS0	0 0 0	R/W R/W R/W	<p>DRAM / 連続シンクロナス DRAM 空間選択</p> <p>エリア 2~5 に DRAM / 連続シンクロナス DRAM 空間を設定します。</p> <p>連続 DRAM 空間を設定すると、1 エリアの容量 2M バイトを超える大容量 DRAM を接続することができます。この場合、RAS 信号は $\overline{CS2}$ 端子から出力されます。</p> <p>連続シンクロナス DRAM 空間を設定すると、1 エリアの容量 2M バイトを超える大容量シンクロナス DRAM を設定することができます。この場合、RAS、\overline{CAS}、\overline{WE} 信号は、それぞれ $\overline{CS2}$、$\overline{CS3}$、$\overline{CS4}$ 端子から出力されます。またシンクロナス DRAM モードに設定とすると、シンクロナス DRAM のモードレジスタ設定を行うことができます。</p> <p>000 : 通常空間 001 : エリア 5~3 は通常空間、エリア 2 は DRAM 空間 010 : エリア 5、4 は通常空間、エリア 3、2 は DRAM 空間 011 : エリア 5~2 は DRAM 空間 100 : 連続シンクロナス DRAM 空間 (H8S/2378 グループでは設定禁止) 101 : シンクロナス DRAM モード設定 (H8S/2378 グループでは設定禁止) 110 : 設定禁止 111 : エリア 5~2 は連続 DRAM 空間</p>
7	BE	0	R/W	<p>バーストアクセスイネーブル</p> <p>DRAM / 連続シンクロナス DRAM 空間に指定したエリアへのバーストアクセスの許可または禁止を選択します。DRAM / 連続シンクロナス DRAM 空間のバーストアクセスは高速ページモードとなります。EDO ページモードを備えた DRAM を使用する場合には、\overline{OE} 信号を接続してください。</p> <p>0 : フルアクセス 1 : 高速ページモードでアクセス</p>

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
6	RCDM	0	R/W	<p>$\overline{\text{RAS}}$ ダウンモード</p> <p>通常空間へのアクセス、内部 I/O レジスタへのアクセスのため DRAM 空間へのアクセスが途切れたときに、$\overline{\text{RAS}}$ 信号を Low レベルにしたままで次の DRAM へのアクセスを待つか ($\overline{\text{RAS}}$ ダウンモード)、$\overline{\text{RAS}}$ 信号を High レベルに戻すか ($\overline{\text{RAS}}$ アップモード) を選択します。このビットの設定は、BE ビットに 1 を設定したときのみ有効です。</p> <p>また、RCMD=1 の状態で $\overline{\text{RAS}}$ ダウン中に、このビットを 0 にクリアした場合、その時点で $\overline{\text{RAS}}$ ダウン状態は解除され、$\overline{\text{RAS}}$ は High レベルとなります。</p> <p>連続シンクロナス DRAM 空間に設定した場合、このビットはリード/ライト可能ですが、設定内容は動作に影響を与えません。</p> <p>0 : DRAM 空間アクセス時、$\overline{\text{RAS}}$ アップモードを選択 1 : DRAM 空間アクセス時、$\overline{\text{RAS}}$ ダウンモードを選択</p>
5	DDS	0	R/W	<p>DMAC シングルアドレス転送時オプション</p> <p>DRAM / シンクロナス DRAM インタフェースで DMAC のシングルアドレス転送を行う際に、必ずフルアクセスを行うか、バーストアクセスを許可するかを選択します。</p> <p>DRAMCR の BE を 0 に設定して、DRAM / シンクロナス DRAM のバーストアクセスを禁止した場合、このビットの設定に関係なく、DMAC のシングルアドレス転送はフルアクセスになります。</p> <p>このビットは他のバスマスタの外部アクセス、DMAC のデュアルアドレス転送には影響を与えません。</p> <p>0 : 必ずフルアクセスを実行 1 : バーストアクセスを許可</p>
4	EDDS	0	R/W	<p>EXDMAC シングルアドレス転送時オプション</p> <p>DRAM / シンクロナス DRAM インタフェースで EXDMAC のシングルアドレス転送を行う際に、必ずフルアクセスを行うか、バーストアクセスを許可するかを選択します。</p> <p>DRAMCR の BE ビットを 0 に設定して、DRAM / シンクロナス DRAM のバーストアクセスを禁止した場合、このビットに関係なく、EXDMAC のシングルアドレス転送はフルアクセスになります。</p> <p>このビットは他のバスマスタの外部アクセス、EXDMAC デュアルアドレス転送には影響を与えません。</p> <p>0 : 必ずフルアクセスを実行 1 : バーストアクセスを許可</p>
3	-	0	R/W	<p>リザーブビット</p> <p>リード/ライト可能ですが、0 をライトしてください。</p>

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
2	MXC2	0	R/W	アドレスマルチプレクス選択
1	MXC1	0	R/W	ロウアドレス / カラムアドレスのアドレスマルチプレクスに対するロウアドレスの下位側へのシフト量を選択します。同時に、DRAM / シンクロナス
0	MXC0	0	R/W	DRAM インタフェースのバースト動作時に比較するロウアドレスを選択します。DRAM インタフェース使用時には MXC2 ビットを 0 に設定してください。連続シンクロナス DRAM 空間設定時に MXC2 ビットを 1 に設定すると、カラムアドレスの上位にアドレスプリチャージ設定コマンド (Precharge-sel) が出力されます。詳細は「6.6.2、6.7.2 アドレスマルチプレクス」を参照してください。
				DRAM インタフェース
				000 : 8 ビットシフト
				8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A8
				16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A9
				001 : 9 ビットシフト
				8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A9
				16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A10
				010 : 10 ビットシフト
				8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A10
				16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A11
				011 : 11 ビットシフト
				8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A11
				16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A12
				シンクロナス DRAM インタフェース
				100 : 8 ビットシフト
				8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A8
				16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A9
				Precharge-sel はカラムアドレスの A15 ~ A9
				101 : 9 ビットシフト
				8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A9
				16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A10
				Precharge-sel はカラムアドレスの A15 ~ A10
				110 : 10 ビットシフト
				8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A10
				16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A11
				Precharge-sel はカラムアドレスの A15 ~ A11
				111 : 11 ビットシフト
				8 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A11
				16 ビットアクセス空間設定時 : 比較対象ロウアドレスは A23 ~ A12
				Precharge-sel はカラムアドレスの A15 ~ A12

6. バスコントローラ (BSC)

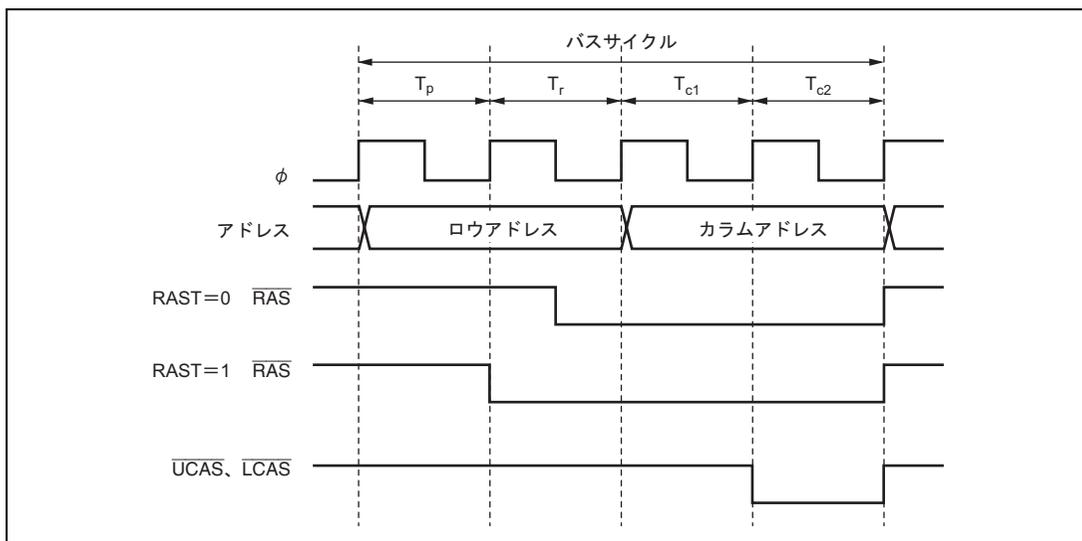


図 6.4 $\overline{\text{RAS}}$ 信号アサートタイミング (カラムアドレス出力サイクル 2 ステート、フルアクセスする場合)

6.3.9 DRAM アクセスコントロールレジスタ (DRACCR)

DRACCR は、DRAM / シンクロナス DRAM インタフェースのバス仕様を設定します。

【注】 H8S/2378 グループではシンクロナス DRAM インタフェースをサポートしていません。

ビット	ビット名	初期値	R/W	説明
15	DRMI	0	R/W	アイドルサイクル挿入 DRAM / シンクロナス DRAM アクセスサイクルの後に通常空間アクセスサイクルが連続する場合、DRAM / シンクロナス DRAM アクセスサイクルの後にアイドルサイクルを挿入することができます。アイドルサイクル挿入の条件、ステート数などの設定は BCR レジスタの ICIS2、ICIS1、ICIS0、IDLIC ビットの設定に従います。 0 : アイドルサイクルを挿入しない 1 : アイドルサイクルを挿入する
14	-	0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。
13	TPC1	0	R/W	プリチャージステート制御
12	TPC0	0	R/W	通常アクセス時ならびにリフレッシュ時の RAS プリチャージサイクルのステート数を選択します。 00 : 1 ステート 01 : 2 ステート 10 : 3 ステート 11 : 4 ステート

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
11	SDWCD*	0	R/W	連続シンクロナス DRAM 空間ライトアクセス時、CAS レイテンシ制御サイクル無効 シンクロナス DRAM のライトアクセス時に WTCRBH の設定により挿入される CAS レイテンシ制御サイクル (Tcl) を無効にします (図 6.5 参照)。 0 : CAS レイテンシ制御サイクル有効 1 : CAS レイテンシ制御サイクル無効
10	-	0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。
9 8	RCD1 RCD0	0 0	R/W R/W	RAS、CAS 間ウェイト制御 RAS アサートサイクルと CAS アサートサイクルの間に挿入するウェイトサイクルを選択します。 00 : ウェイトサイクルを挿入しない 01 : ウェイトサイクルを 1 ステート挿入する 10 : ウェイトサイクルを 2 ステート挿入する 11 : ウェイトサイクルを 3 ステート挿入する
7~4	-	すべて 0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。
3	CKSPE*	0	R/W	クロックサスペンドイネーブル シンクロナス DRAM インタフェースで DMAC、EXDMAC のシングルアドレス転送時に、リードデータを拡張するためのクロックサスペンドモードを有効にします。 0 : クロックサスペンドモードを禁止する 1 : クロックサスペンドモードを有効にする
2	-	0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。
1 0	RDXC1* RDXC0*	0 0	R/W R/W	リードデータ拡張サイクル数選択 クロックサスペンドモードにより挿入されるリードデータ拡張サイクル (Tsp) の挿入ステート数を選択します。このビットは CKSPE ビットが 1 にセットされているときに有効となります。 00 : 1 ステート挿入する 01 : 2 ステート挿入する 10 : 3 ステート挿入する 11 : 4 ステート挿入する

【注】 * H8S/2378 グループではサポートしていません。

6. バスコントローラ (BSC)

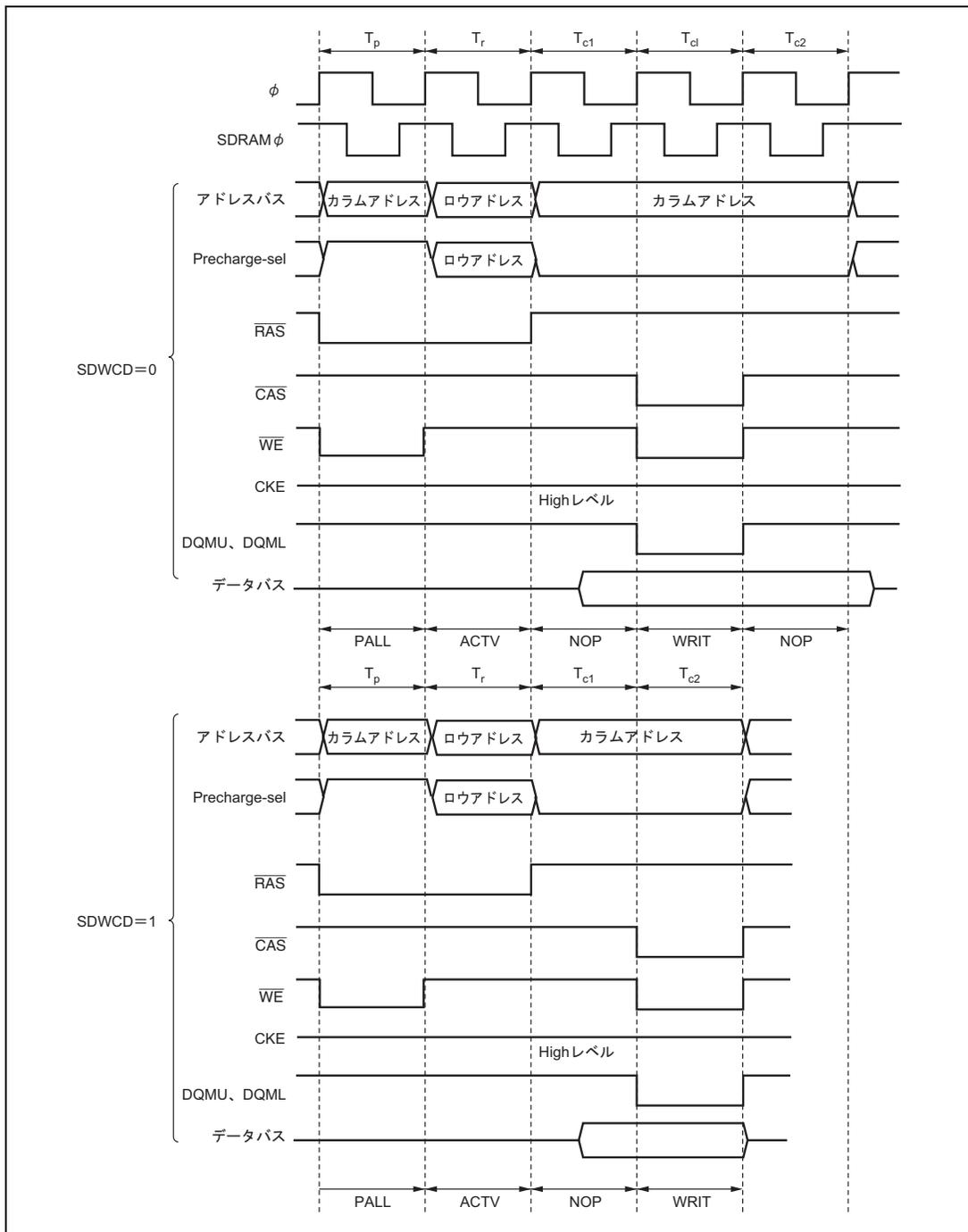


図 6.5 連続シンクロナス DRAM 空間ライトアクセス時の CAS レイテンシ制御サイクル無効タイミング (CAS レイテンシ 2 の場合)

6.3.10 リフレッシュコントロールレジスタ (REFCR)

REFCR は、DRAM / シンクロナス DRAM インタフェースのリフレッシュの制御を設定します。

【注】 H8S/2378 グループではシンクロナス DRAM インタフェースをサポートしていません。

ビット	ビット名	初期値	R/W	説明
15	CMF	0	R/(W)*	<p>コンペアマッチフラグ RTCNT と RTCOR の値が一致したことを示すステータスフラグです。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> RFSHE ビットが 0 にクリアされた状態で、CMF = 1 をリードした後、CMF に 0 をライトしたとき RFSHE ビットが 1 にセットされた状態で、CBR リフレッシュが実行されたとき <p>[セット条件]</p> <p>RTCOR = RTCNT となったとき</p>
14	CMIE	0	R/W	<p>コンペアマッチ割り込みイネーブル CMF フラグが 1 にセットされたとき、CMF フラグによる割り込み要求 (CMI) を許可または禁止します。</p> <p>このビットはリフレッシュ制御を行わない場合 (RFSHE = 0 のとき) に有効です。RFSHE ビットに 1 を設定してリフレッシュ制御を行っている場合 (RFSHE = 1 のとき) このビットは常に 0 にクリアされており、ライトは無効です。</p> <p>0 : CMF フラグによる割り込み要求を禁止 1 : CMF フラグによる割り込み要求を許可</p>
13 12	RCW1 RCW0	0 0	R/W R/W	<p>CAS、RAS 間ウェイト制御 DRAM / シンクロナス DRAM リフレッシュサイクルの CAS アサートサイクルと RAS アサートサイクルの間に挿入するウェイトサイクル数を選択します。</p> <p>00 : ウェイトステートを挿入しない 01 : ウェイトステートを 1 ステート挿入する 10 : ウェイトステートを 2 ステート挿入する 11 : ウェイトステートを 3 ステート挿入する</p>
11	-	0	R/W	<p>リザーブビット リード/ライト可能ですが、0 をライトしてください。</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
10 9 8	RTCK2 RTCK1 RTCK0	0 0 0	R/W R/W R/W	リフレッシュカウンタクロックセレクト リフレッシュカウンタのカウントアップに使用するクロックを選択します。 入力クロックを選択すると、リフレッシュカウンタがカウントアップを開始します。 000 : カウント動作停止 001 : /2 でカウント 010 : /8 でカウント 011 : /32 でカウント 100 : /128 でカウント 101 : /512 でカウント 110 : /2048 でカウント 111 : /4096 でカウント
7	RFSHE	0	R/W	リフレッシュ制御 リフレッシュ制御を行うことができます。リフレッシュ制御を行わないときは、リフレッシュタイムをインターバルタイムとして使用できます。 0 : リフレッシュ制御を行わない 1 : リフレッシュ制御を行う
6	CBRM	0	R/M	CBR リフレッシュモード CBR リフレッシュを他の外部アクセスと並行して行うか、CBR リフレッシュのみ行うかを選択します。 連続シンクロナス DRAM 空間に設定した場合、このビットはリード/ライト可能ですが、設定内容は動作に影響を与えません。 0 : CAS ビフォ RAS リフレッシュ時の外部アクセスを許可 1 : CAS ビフォ RAS リフレッシュ時の外部アクセスを禁止
5 4	RLW1 RLW0	0 0	R/W R/W	リフレッシュサイクルウェイト制御 DRAM インタフェースの CAS ビフォ RAS リフレッシュサイクル/シンクロナス DRAM インタフェースのオートリフレッシュサイクルに挿入するウェイトステート数を選択します。DRAM/連続シンクロナス DRAM 空間に設定しているすべてのエリアに共通です。 00 : ウェイトステートを挿入しない 01 : ウェイトステートを 1 ステート挿入する 10 : ウェイトステートを 2 ステート挿入する 11 : ウェイトステートを 3 ステート挿入する

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
3	SLFRF	0	R/W	<p>セルフリフレッシュイネーブル</p> <p>ソフトウェアスタンバイ状態に遷移するときに、このビットに1がセットされていると DRAM/シンクロナス DRAM に対してセルフリフレッシュモードを設定します。RFSHE = 1 に設定してリフレッシュ動作を行う場合に有効です。ソフトウェアスタンバイモードから復帰後は、クリアされます。</p> <p>0 : セルフリフレッシュを禁止 1 : セルフリフレッシュを許可</p>
2	TPCS2	0	R/W	<p>セルフリフレッシュ時プリチャージサイクル制御</p> <p>セルフリフレッシュ直後のプリチャージサイクルのステート数を設定します。セルフリフレッシュ直後のプリチャージサイクルのステート数は DRACCR レジスタの TPC1、TPC0 ビットで設定したステート数との加算になります。</p> <p>000 : TPC 設定値と同値 001 : TPC 設定値 + 1 ステート 010 : TPC 設定値 + 2 ステート 011 : TPC 設定値 + 3 ステート 100 : TPC 設定値 + 4 ステート 101 : TPC 設定値 + 5 ステート 110 : TPC 設定値 + 6 ステート 111 : TPC 設定値 + 7 ステート</p>
1	TPCS1	0	R/W	
0	TPCS0	0	R/W	

6.3.11 リフレッシュタイマカウンタ (RTCNT)

RTCNT は 8 ビットのリード/ライト可能なアップカウンタです。RTCNT は、REFCR の RTCK2 ~ RTCK0 ビットで選択された内部クロックによりカウントアップします。

RTCNT が RTCOR に一致 (コンペアマッチ) すると、REFCR の CMF フラグが 1 にセットされ、RTCNT は H'00 にクリアされます。このとき REFCR の RFSHE ビットが 1 にセットされていると、リフレッシュサイクルが起動されます。また、RFSHE ビットが 0 にクリアされているとき、REFCR の CMIE ビットが 1 にセットされると、コンペアマッチ割り込み (CMI) が発生します。

RTCNT は、リセットおよびハードウェアスタンバイモード時 H'00 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

6.3.12 リフレッシュタイムコンスタントレジスタ (RTCOR)

RTCOR は 8 ビットのリード/ライト可能なレジスタで、RTCNT とのコンペアマッチ周期を設定します。

RTCOR と RTCNT の値は常に比較されており、両方の値が一致すると、REFCR の CMF フラグが 1 にセットされ、RTCNT は H'00 にクリアされます。

RTCOR は、リセットおよびハードウェアスタンバイモード時 H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

6.4 バス制御

6.4.1 エリア分割

バスコントローラは、アドレス 16M バイトのアドレス空間を、2M バイト単位でエリア 0 ~ 7 の 8 つのエリアに分割し、エリア単位で外部空間のバス制御を行います。各エリアごとに、チップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$) を出力することができます。図 6.6 にメモリマップの概要を示します。

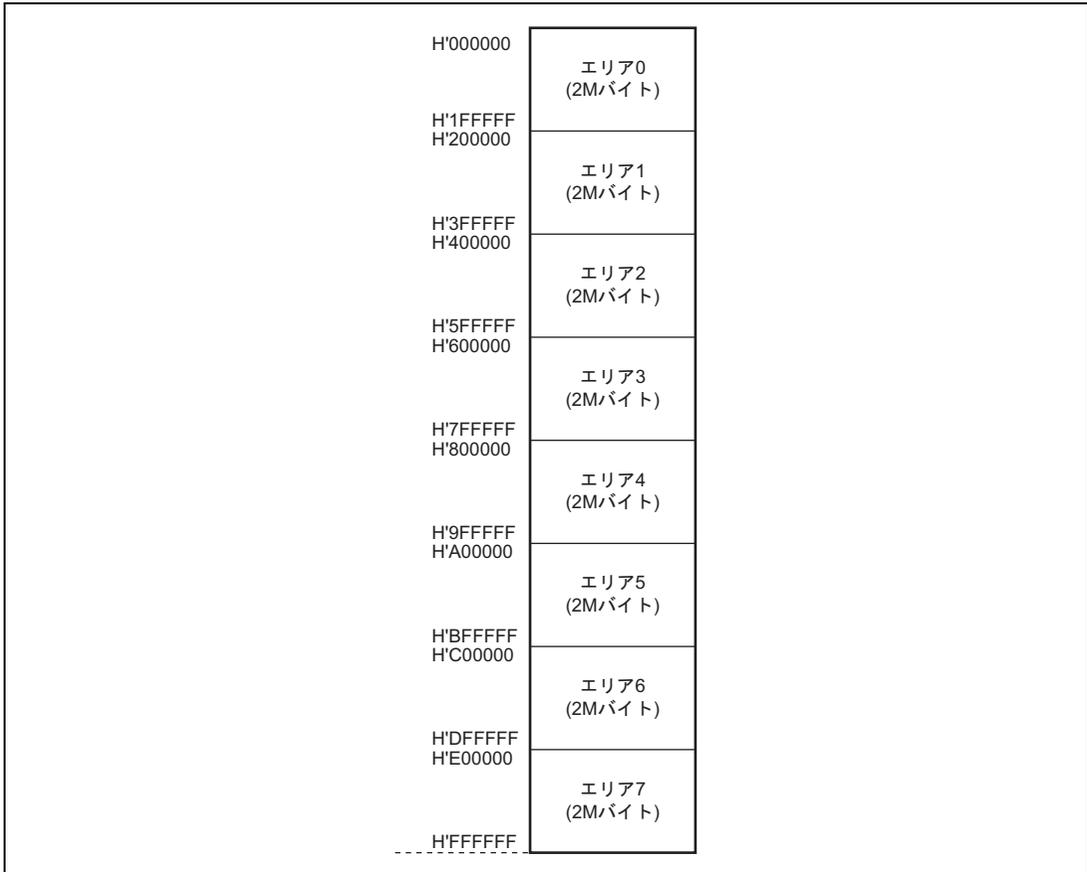


図 6.6 エリア分割の様子

6.4.2 バス仕様

外部空間のバス仕様は、バス幅、アクセスステート数、プログラムウェイトステート数、リードストロブタイミング、チップセレクト (\overline{CS}) アサート期間拡張ステートの5つの要素で構成されます。なお、内蔵メモリ、内部 I/O レジスタは、バス幅、アクセスステート数は固定で、バスコントローラの影響を受けません。

(1) バス幅

バス幅は、ABWCR により 8 ビットまたは 16 ビットを選択します。8 ビットバスを選択したエリアが 8 ビットアクセス空間、16 ビットバスを選択したエリアが 16 ビットアクセス空間となります。すべてのエリアを 8 ビットアクセス空間に設定すると 8 ビットバスモードに、いずれかのエリアを 16 ビットアクセス空間に設定すると 16 ビットバスモードになります。

(2) アクセスステート数

アクセスステート数は、ASTCR により 2 ステートまたは 3 ステートを選択します。2 ステートアクセスを選択したエリアが 2 ステートアクセス空間、3 ステートアクセスを選択したエリアが 3 ステートアクセス空間となります。なお、DRAM / シンクロナス DRAM インタフェースやバースト ROM インタフェースでは、ASTCR の設定によらず、アクセスステート数が決まることがあります。

2 ステートアクセス空間に設定すると、ウェイトの挿入が禁止されます。3 ステートアクセス空間に設定すると、WTCRA、WTCRB によるプログラムウェイトと、 \overline{WAIT} 端子による外部ウェイトを挿入することが可能となります。

【注】 H8S/2378 グループではシンクロナス DRAM インタフェースをサポートしていません。

(3) プログラムウェイトステート数

ASTCR により 3 ステートアクセス空間に設定したとき、WTCRA、WTCRB により自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0~7 ステートを選択可能です。バス幅、アクセスステート数、プログラムウェイトステート数による基本バスインタフェースの各エリアのバス仕様を表 6.2 に示します。

表 6.2 各エリアのバス仕様 (基本バスインタフェース)

ABWCR	ASTCR	WTCRA, WTCRB			バス仕様 (基本バスインタフェース)			
ABWn	ASTn	Wn2	Wn1	Wn0	バス幅	アクセスステート数	プログラムウェイトステート数	
0	0	-	-	-	16	2	0	
				0			0	0
	1	0	0	0		1	1	
				1		0	2	
				1		0	3	
				1		0	4	
				1		0	5	
				1		0	6	
				1		0	7	
				1		0	0	0
1	0	-	-	-	8	2	0	
				0			0	0
	1	0	0	0		1	1	
				1		0	2	
				1		0	3	
				1		0	4	
				1		0	5	
				1		0	6	
				1		0	7	
				1		0	0	0

(n=0~7)

(4) リードストロブタイミング

RDNCR により、基本バスインタフェース空間のリードストロブ (\overline{RD}) のネゲートタイミングを 2 種類 (リードサイクルの終わり、またはリードサイクルの終わりから半ステート前) から選択することができます。

(5) チップセレクト (\overline{CS}) アサート期間拡張ステート

外部 I/O デバイスの中にはアドレス、 \overline{CS} 信号と、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR} などのストロブ信号との間のセットアップ時間やホールド時間が必要なものがあります。CSACR により、基本バス空間のアクセスサイクルの前後に \overline{CS} と \overline{AS} 、アドレスだけがアサートされるステートを挿入することができます。

6.4.3 メモリインタフェース

本 LSI のメモリインタフェースには、ROM、SRAM などと直結が可能な基本バスインタフェース、DRAM と直結が可能な DRAM インタフェース、シンクロナス DRAM との直結が可能なシンクロナス DRAM インタフェースおよびバースト ROM と直結が可能なバースト ROM インタフェースがあり、エリア単位で選択することができます。

6. バスコントローラ (BSC)

す。

基本バスインタフェースを設定したエリアが通常空間です。また、DRAM インタフェースを設定したエリアが DRAM 空間、シンクロナス DRAM インタフェースを設定したエリアが連続シンクロナス DRAM 空間、バースト ROM インタフェースを設定したエリアがバースト ROM 空間です。

各エリアの初期状態は、基本バスインタフェースかつ 3 ステートアクセス空間になっています。バス幅の初期状態は動作モードで選択します。

【注】 H8S/2378 グループではシンクロナス DRAM インタフェースをサポートしていません。

(1) エリア 0

エリア 0 は内蔵 ROM 有効拡張モードでは内蔵 ROM を含んでおり、内蔵 ROM を除いた空間が外部空間となります。内蔵 ROM 無効拡張モードではエリア 0 のすべての空間が外部空間となります。

エリア 0 の外部空間をアクセスするとき、 $\overline{CS0}$ 信号を出力することができます。

エリア 0 は、基本バスインタフェース、またはバースト ROM インタフェースを選択することができます。

(2) エリア 1

エリア 1 は、外部拡張モードのとき、エリア 1 のすべての空間が外部空間となります。

エリア 1 の外部空間をアクセスするとき、 $\overline{CS1}$ 信号を出力することができます。

エリア 1 は、基本バスインタフェース、またはバースト ROM インタフェースを選択することができます。

(3) エリア 2~5

エリア 2~5 は、外部拡張モードのとき、エリア 2~5 のすべての空間が外部空間となります。

エリア 2~5 の外部空間をアクセスするとき、 $\overline{CS2}$ ~ $\overline{CS5}$ 信号を出力することができます。

エリア 2~5 は、基本バスインタフェース、DRAM インタフェース、シンクロナス DRAM インタフェースを選択することができます。DRAM インタフェースでは、 $\overline{CS2}$ 、 $\overline{CS5}$ 信号は \overline{RAS} 信号として使用されます。

エリア 2~5 を連続 DRAM 空間に設定すると、64M ビット DRAM など大容量 DRAM を接続することができます。このとき、 $\overline{CS2}$ 信号が連続 DRAM 空間の \overline{RAS} 信号として使用されます。

エリア 2~5 を連続シンクロナス DRAM 空間に設定すると、64M ビットまでのシンクロナス DRAM など大容量シンクロナス DRAM を接続することができます。このとき $\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $\overline{CS5}$ 端子は、それぞれ連続シンクロナス DRAM 空間の \overline{RAS} 、 \overline{CAS} 、 \overline{WE} 、CLK 信号として使用されます。また、 \overline{OE} 端子は CKE 信号として使用されます。

(4) エリア 6

エリア 6 は、外部拡張モードのとき、エリア 6 のすべての空間が外部空間となります。

エリア 6 の外部空間をアクセスするとき、 $\overline{CS6}$ 信号を出力することができます。

エリア 6 は基本バスインタフェースのみを使用することができます。

(5) エリア7

エリア7は、内蔵 RAM および内部 I/O レジスタを含んでおり、外部拡張モードのとき内蔵 RAM および内部 I/O レジスタ空間を除いた空間が外部空間となります。なお、内蔵 RAM はシステムコントロールレジスタ (SYSCR) の RAME ビットを 1 にセットしたとき有効で、RAME ビットを 0 にクリアすると内蔵 RAM は無効となり、対応するアドレスは外部空間になります。

エリア7の外部空間をアクセスするとき、 $\overline{CS7}$ 信号を出力することができます。

エリア7のメモリアンタフェースには、基本バスインタフェースのみを使用することができます。

6.4.4 チップセレクト信号

本 LSI は、エリア 0~7 に対してそれぞれチップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$) を出力することができます。 $\overline{CS0} \sim \overline{CS7}$ 信号は、当該エリアの外部空間をアクセスしたとき Low レベルを出力します。図 6.7 に $\overline{CS0} \sim \overline{CS7}$ 信号の出力タイミング例を示します。

$\overline{CS0} \sim \overline{CS7}$ 信号出力の許可または禁止は各 $\overline{CS0} \sim \overline{CS7}$ 端子に対応するポートのデータディレクションレジスタ (DDR) で設定します。

内蔵 ROM 無効拡張モードでは、 $\overline{CS0}$ 端子はリセット後に出力状態になっています。 $\overline{CS1} \sim \overline{CS7}$ 端子はリセット後に入力状態になっていますので、 $\overline{CS1} \sim \overline{CS7}$ 信号を出力するときには、対応する DDR を 1 にセットしてください。

内蔵 ROM 有効拡張モードでは、 $\overline{CS0} \sim \overline{CS7}$ 端子はリセット後にすべて入力状態になっていますので、 $\overline{CS0} \sim \overline{CS7}$ 信号を出力するときには対応する DDR を 1 にセットしてください。

なお、エリア 2~5 を DRAM 空間に設定したとき、 $\overline{CS2} \sim \overline{CS5}$ 出力は \overline{RAS} 信号として使用されます。

H8S/2378R グループでは、エリア 2~5 を連続シンクロナス DRAM 空間に設定したとき、 $\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 、 $\overline{CS5}$ 出力はそれぞれ、 \overline{RAS} 、 \overline{CAS} 、 \overline{WE} 、CLK 信号として使用されます。

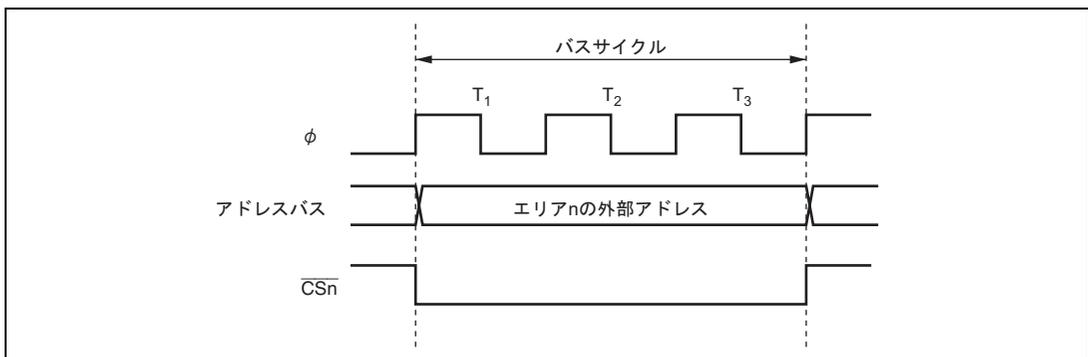


図 6.7 \overline{CSn} 信号出力タイミング (n=0~7)

6.5 基本バスインタフェース

基本バスインタフェースは、ROM、SRAM との直結が可能です。

6.5.1 データサイズとデータアライメント

CPU およびその他の内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラはデータアライメント機能を持っており、外部空間をアクセスするとき上位側データバス (D15~D8) を使用するか、下位側データバス (D7~D0) を使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間、または 16 ビットアクセス空間) とデータサイズによって制御します。

(1) 8 ビットアクセス空間

図 6.8 に 8 ビットアクセス空間のデータアライメント制御を示します。8 ビットアクセス空間では、常に上位側データバス (D15~D8) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

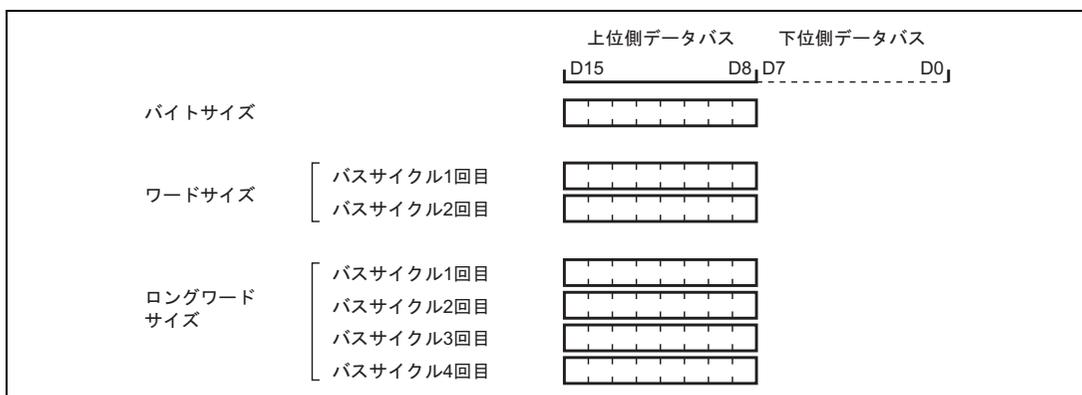


図 6.8 アクセスサイズとデータアライメント制御 (8 ビットアクセス空間)

(2) 16 ビットアクセス空間

図 6.9 に 16 ビットアクセス空間のデータアライメント制御を示します。16 ビットアクセス空間では、上位側データバス (D15~D8) および下位側データバス (D7~D0) を使ってアクセスを行います。1 回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスはワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか下位側データバスを使用するかは、アドレスの偶数 / 奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

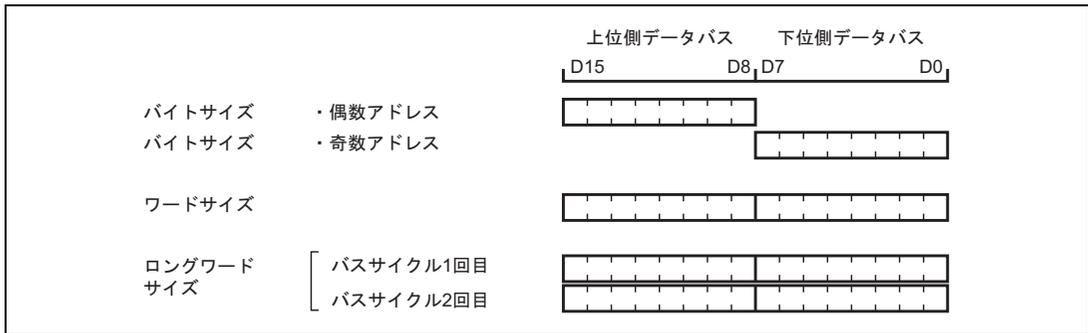


図 6.9 アクセスサイズとデータアライメント制御 (16 ビットアクセス空間)

6.5.2 有効ストロープ

表 6.3 にアクセス空間と使用するデータバスおよび有効なストロープを示します。

リード時には、データバスの上位側、下位側の区別なく、 \overline{RD} 信号が有効です。ライト時には、データバスの上位側に対して \overline{HWR} 信号が、下位側に対して \overline{LWR} 信号が有効です。

表 6.3 使用するデータバスと有効ストロープ

エリア	アクセスサイズ	リード/ライト	アドレス	有効なストロープ	データバス上位 (D15 ~ D8)	データバス下位 (D7 ~ D0)
8ビット アクセス空間	バイト	リード	-	\overline{RD}	有効	無効
		ライト	-	\overline{HWR}		Hi-Z
16ビット アクセス空間	バイト	リード	偶数	\overline{RD}	有効	無効
			奇数		無効	有効
		ライト	偶数	\overline{HWR}	有効	Hi-Z
			奇数	\overline{LWR}	Hi-Z	有効
	ワード	リード	-	\overline{RD}	有効	有効
	ライト	-	\overline{HWR} , \overline{LWR}	有効	有効	

【注】 Hi-Z: ハイインピーダンス状態

無効: 入力状態で、入力値は無視されます。

6.5.3 基本動作タイミング

(1) 8ビット2ステートアクセス空間

図 6.10 に 8 ビット 2 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。 $\overline{\text{LWR}}$ 端子は常に High レベルに固定されます。ウェイトステートを挿入することができません。

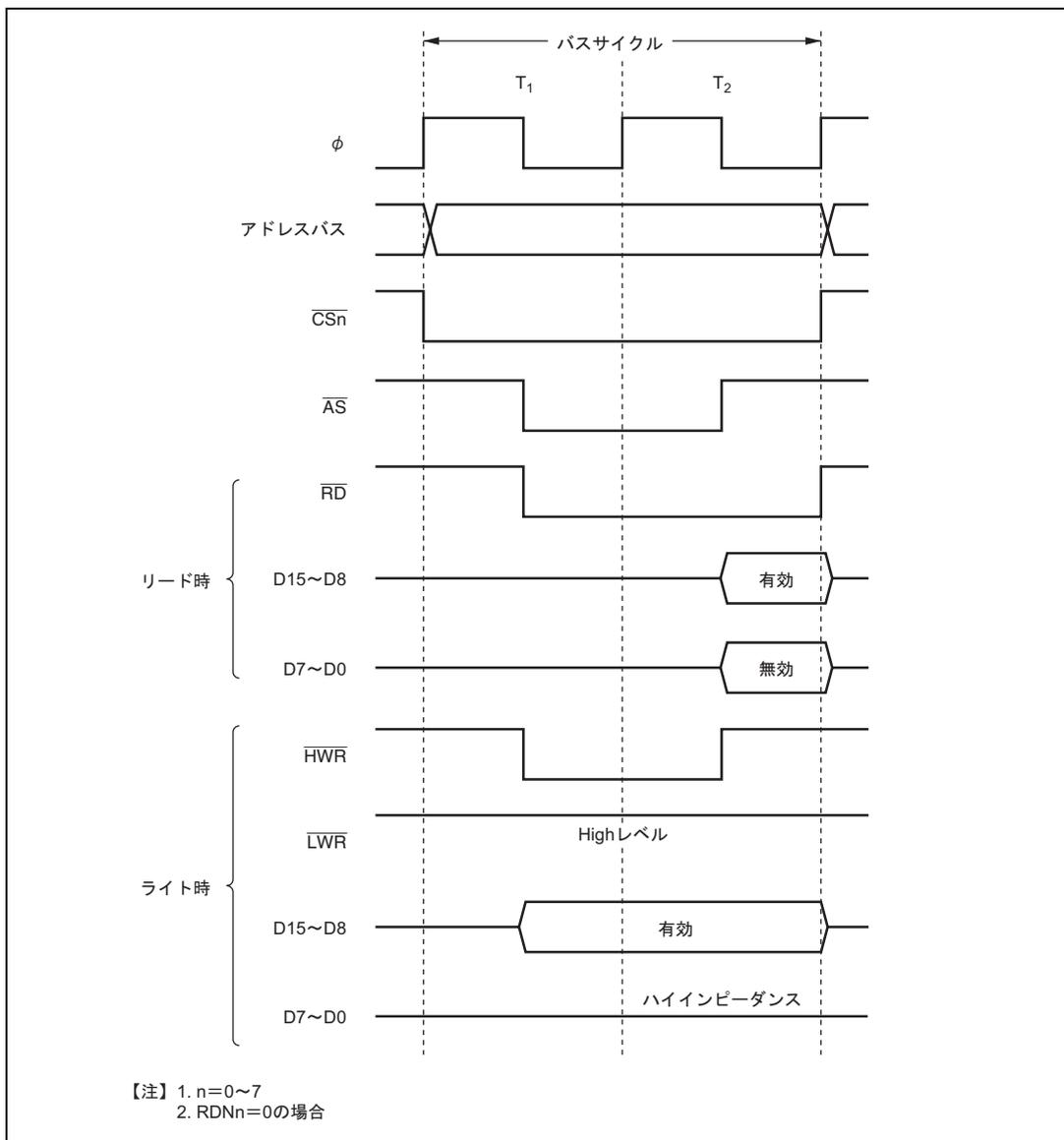


図 6.10 8 ビット 2 ステートアクセス空間のバスタイミング

(2) 8ビット3ステートアクセス空間

図 6.11 に 8 ビット 3 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側 (D15~D8) を使用します。 $\overline{\text{LWR}}$ 端子は常に High レベルに固定されます。ウェイトステートを挿入することができます。

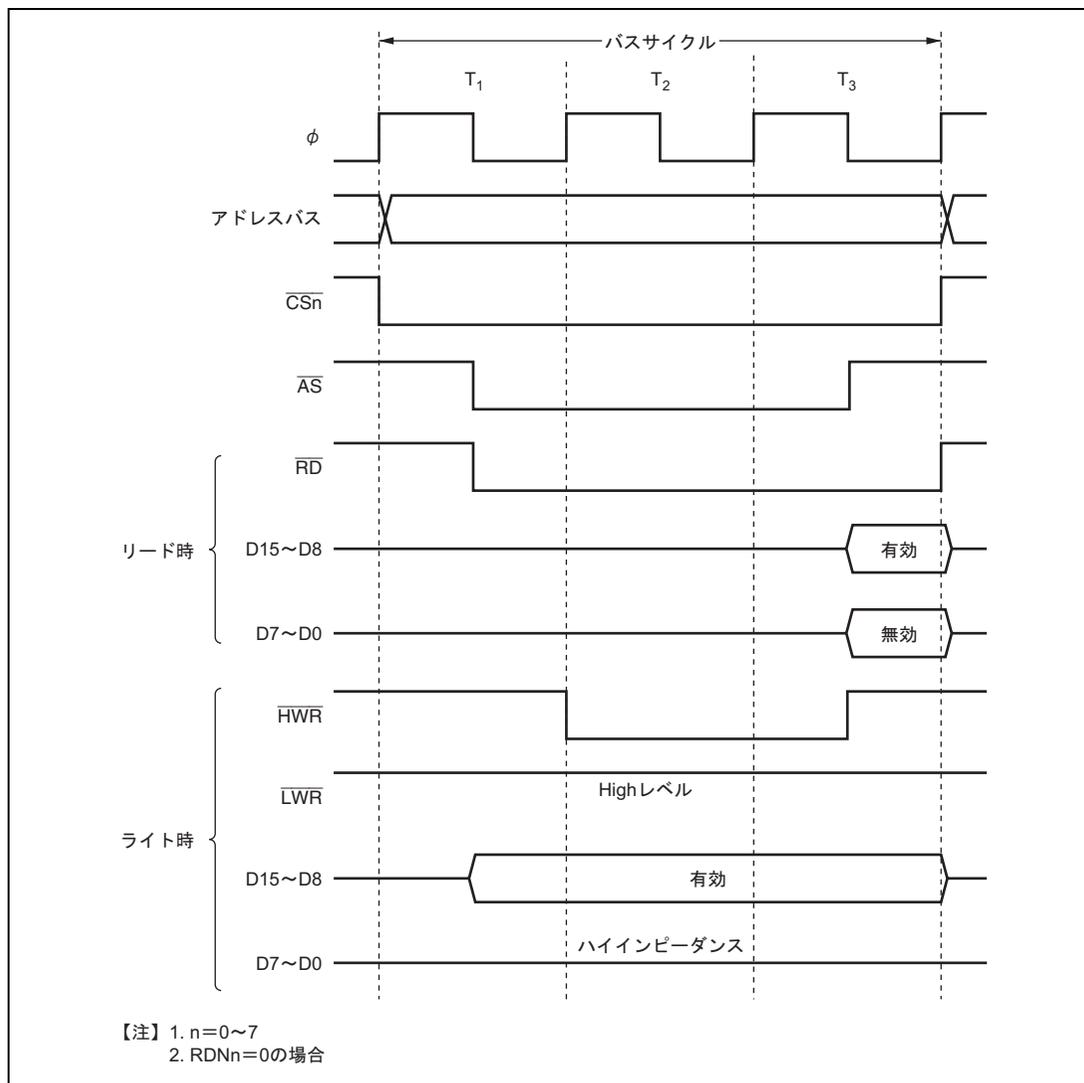


図 6.11 8 ビット 3 ステートアクセス空間のバスタイミング

6. バスコントローラ (BSC)

(3) 16 ビット 2 ステートアクセス空間

図 6.12~図 6.14 に 16 ビット 2 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側 (D15~D8) を使用し、奇数アドレスに対してはデータバスは下位側 (D7~D0) を使用します。ウェイトステートを挿入することはできません。

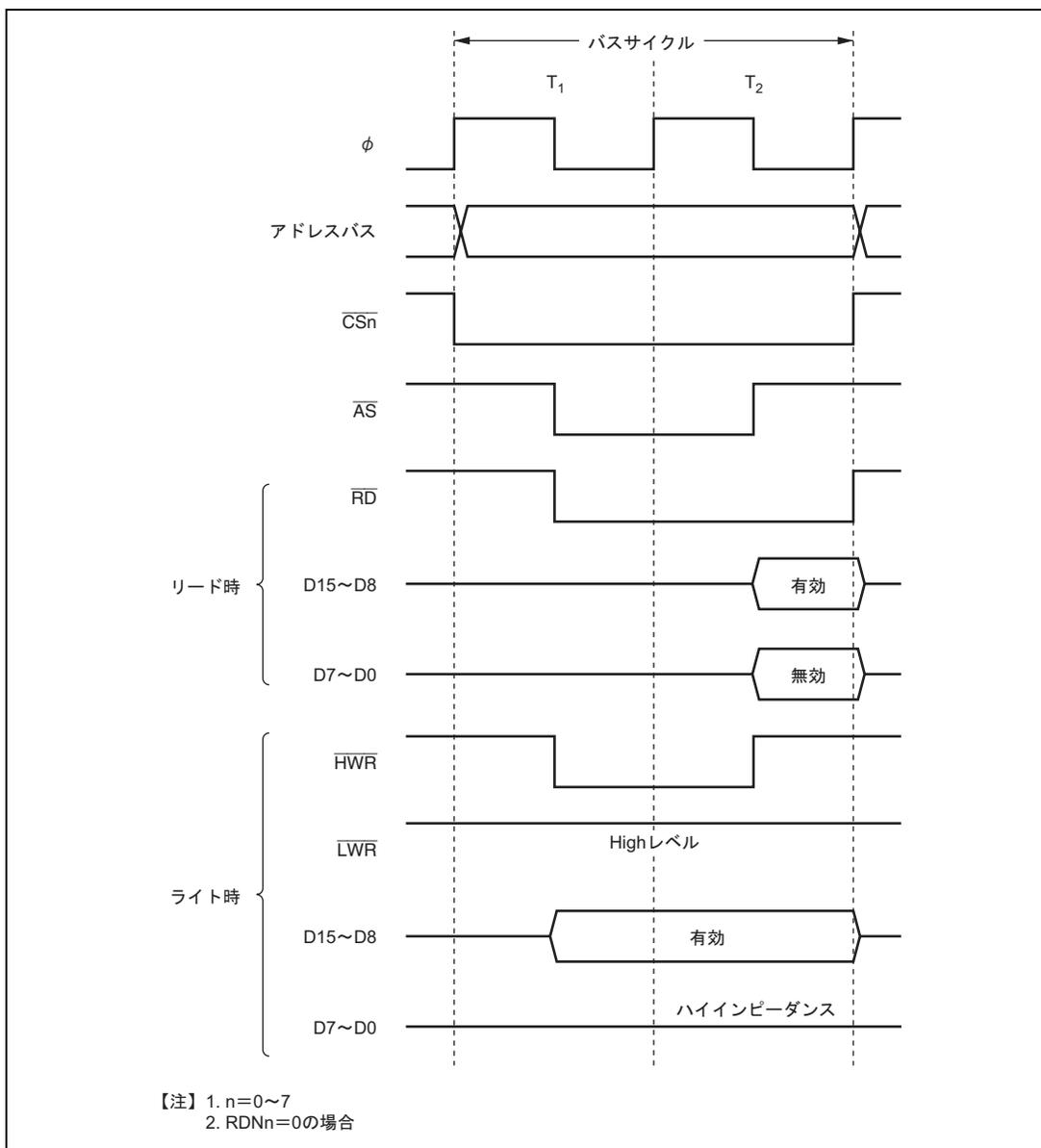


図 6.12 16 ビット 2 ステートアクセス空間のバスタイミング
(偶数アドレスバイトアクセス)

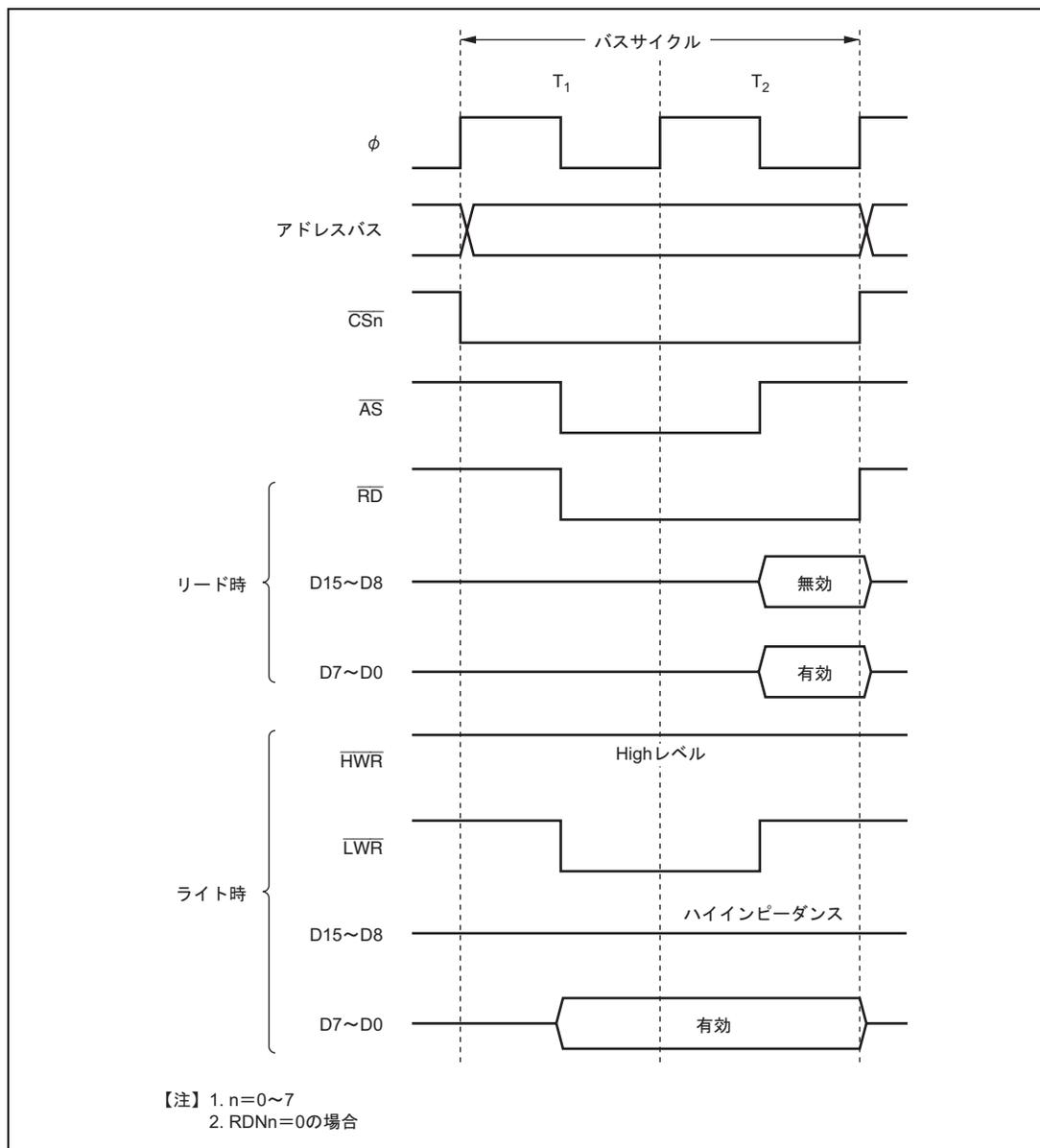


図 6.13 16 ビット 2 ステートアクセス空間のバスタイミング
(奇数アドレスバイトアクセス)

6. バスコントローラ (BSC)

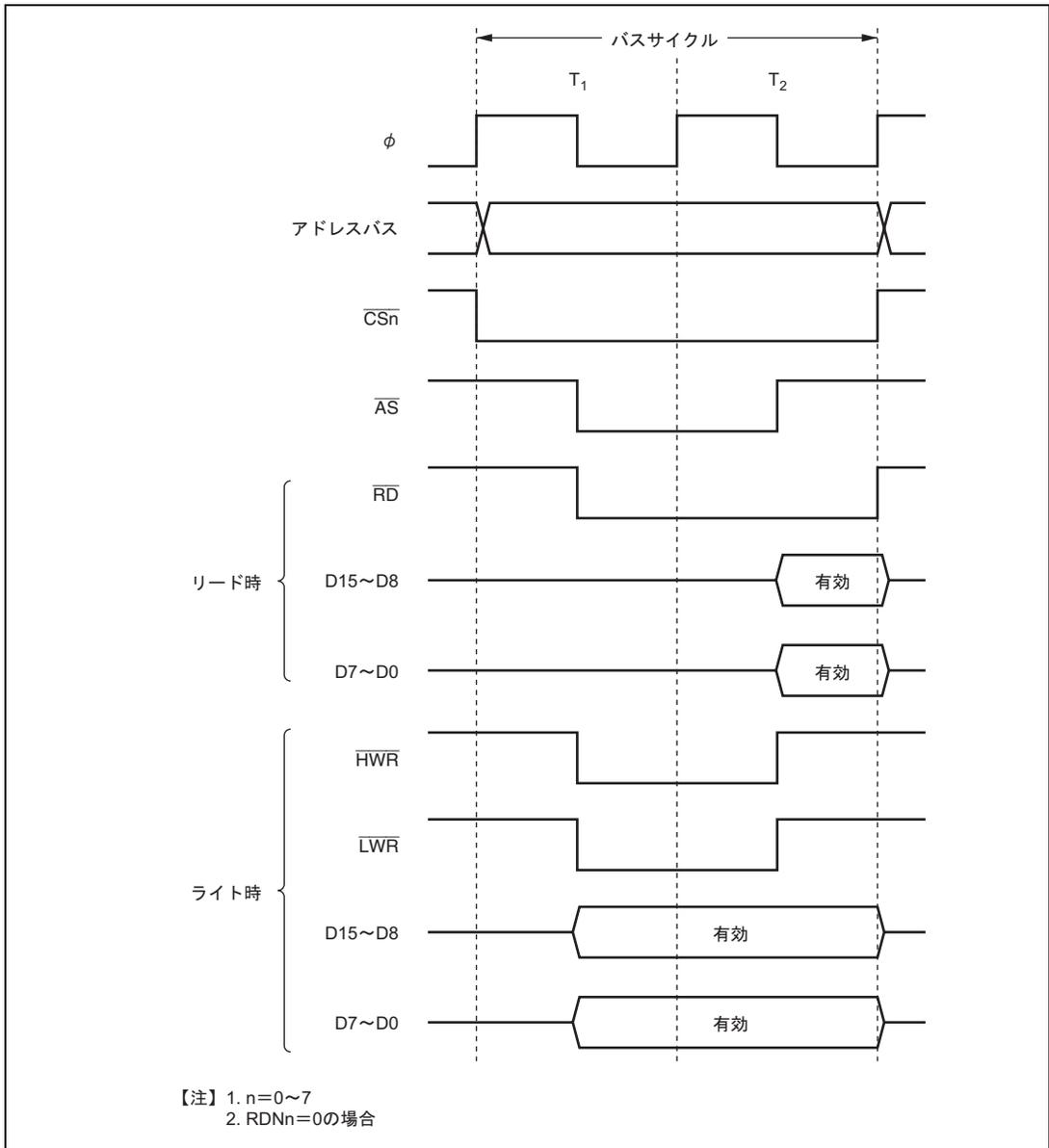


図 6.14 16 ビット 2 ステートアクセス空間のバスタイミング (ワードアクセス)

(4) 16ビット3ステートアクセス空間

図 6.15～図 6.17 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上側側 (D15～D8) を使用し、奇数アドレスに対してはデータバスは下側側 (D7～D0) を使用します。ウェイトステートを挿入することができます。

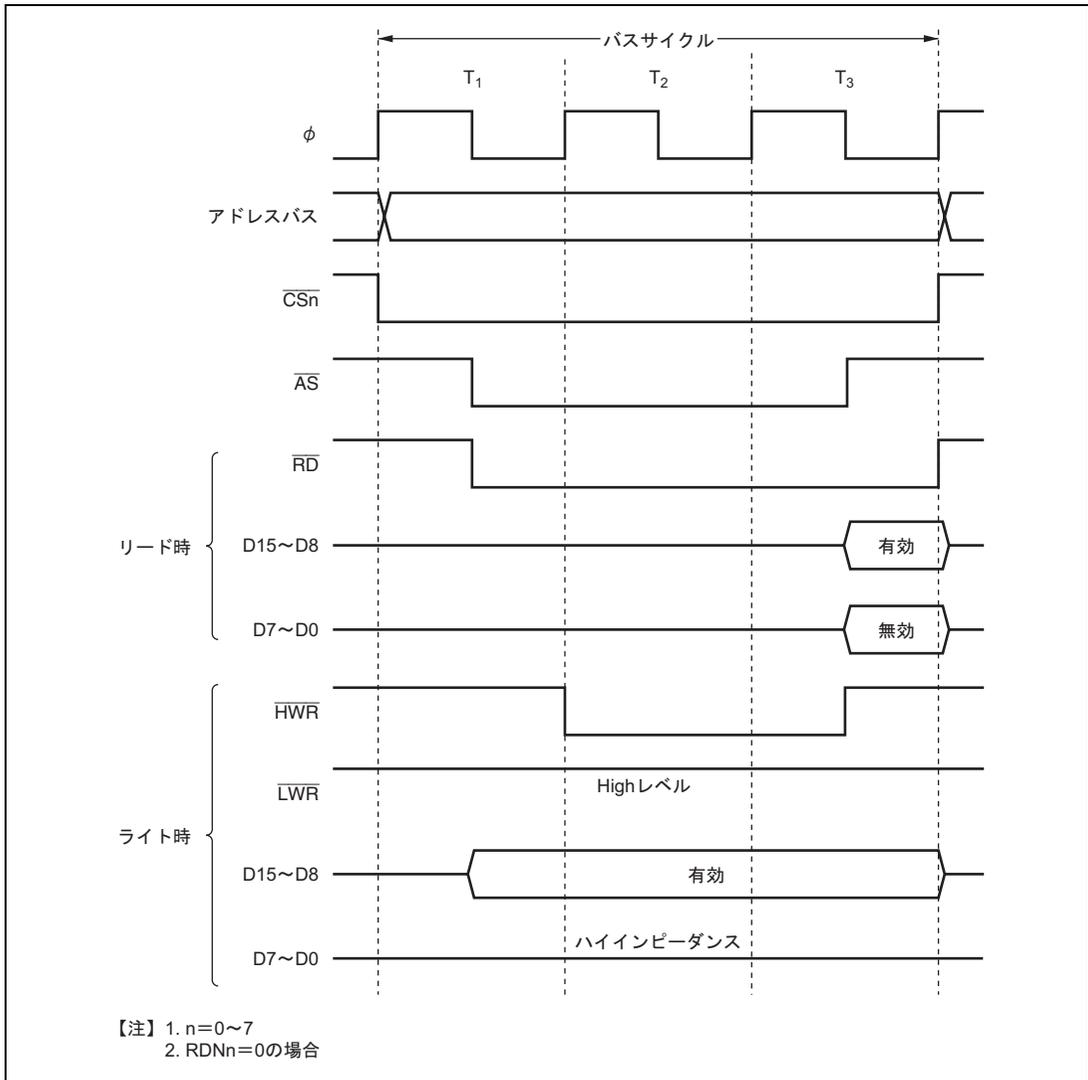


図 6.15 16 ビット 3 ステートアクセス空間のバスタイミング
(偶数アドレスバイトアクセス)

6. バスコントローラ (BSC)

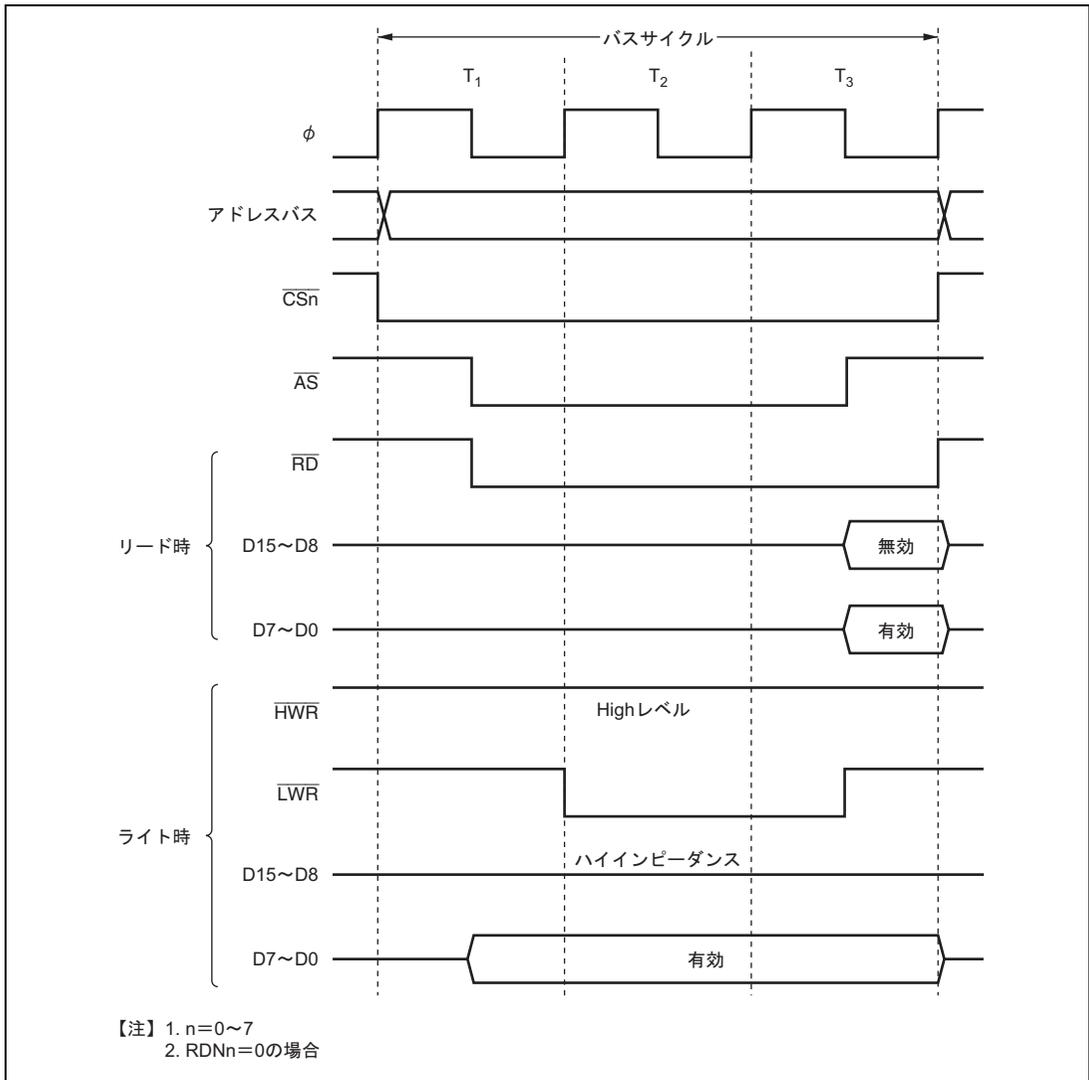


図 6.16 16 ビット 3 ステートアクセス空間のバスタイミング
(奇数アドレスバイトアクセス)

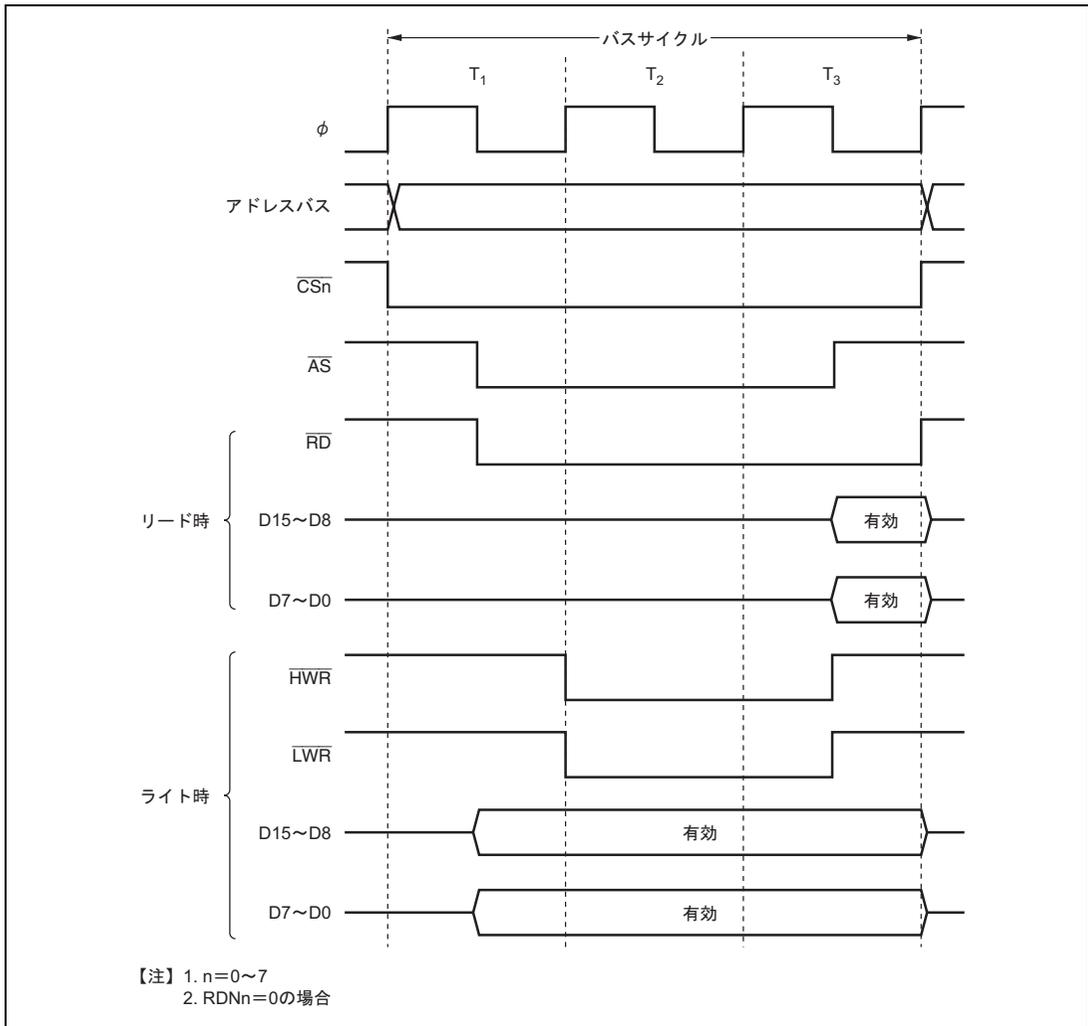


図 6.17 16 ビット 3 ステートアクセス空間のバスタイミング
(ワードアクセス)

6.5.4 ウェイト制御

本 LSI は、外部空間をアクセスするときウェイトステート (T_w) を挿入して、バスサイクルを引き延ばすことができます。ウェイトステートを挿入する方法には、プログラムウェイトの挿入、 \overline{WAIT} 端子による端子ウェイトの挿入があります。

(1) プログラムウェイトの挿入

WTCRA、WTCRB により、3 ステートアクセス空間に対して、エリア単位で 0~7 ステートのウェイトステートを自動的に T_2 ステートと T_3 ステートの間に挿入することができます。

6. バスコントローラ (BSC)

(2) 端子ウェイトの挿入

BCR の WAITE ビットを 1 にセットすると、 $\overline{\text{WAIT}}$ 端子によるウェイト入力が有効になります。この状態で外部空間をアクセスすると、まず WTCRA、WTCRB の設定に従いプログラムウェイトが挿入されます。続いて T_2 または T_w の最後のステートの 立ち下りのタイミングで、 $\overline{\text{WAIT}}$ 端子が Low レベルであると T_w が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると $\overline{\text{WAIT}}$ 端子が High レベルになるまで T_w が挿入されます。7 ステート以上の T_w を挿入する場合や、外部デバイスごとに挿入する T_w 数を変える場合などに有効です。なお、WAITE ビットはすべてのエリアに対して共通です。図 6.18 にウェイトステート挿入のタイミング例を示します。

リセット後は 3 ステートアクセスかつプログラムウェイト 7 ステート挿入、 $\overline{\text{WAIT}}$ 入力禁止状態となっています。

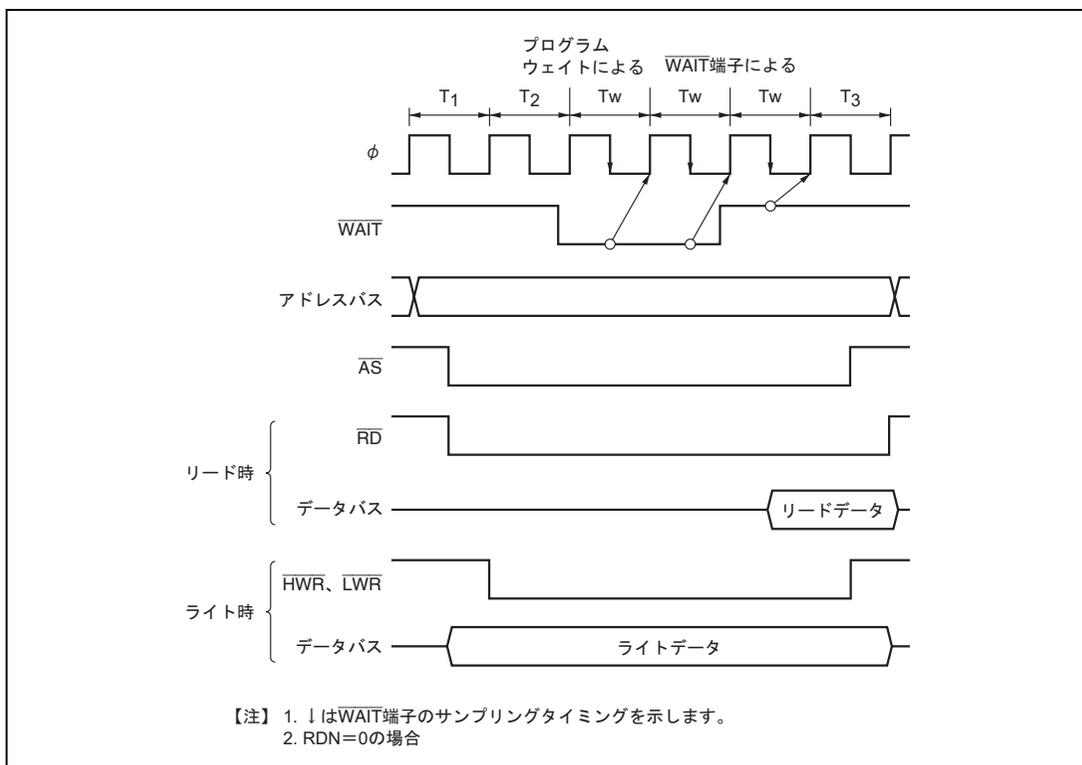


図 6.18 ウェイトステート挿入タイミング例

6.5.5 リードストローブ (\overline{RD}) タイミング

RDNCR の RDN7~RDN0 ビットを 1 にセットすることにより、エリア単位にリードストローブ (\overline{RD}) のタイミングを変更することが可能です。図 6.19 に基本バス 3 ステートアクセス空間でリードストローブのタイミングを変更した場合のタイミング例を示します。

DMAC および EXDMAC をシングルアドレスモードで使用している場合、 $RDN_n=1$ に設定して \overline{RD} のタイミングを変更すると、 \overline{DACK} 、 \overline{EDACK} の立ち上がりに対して、 \overline{RD} のタイミングが変化しますので注意が必要です。

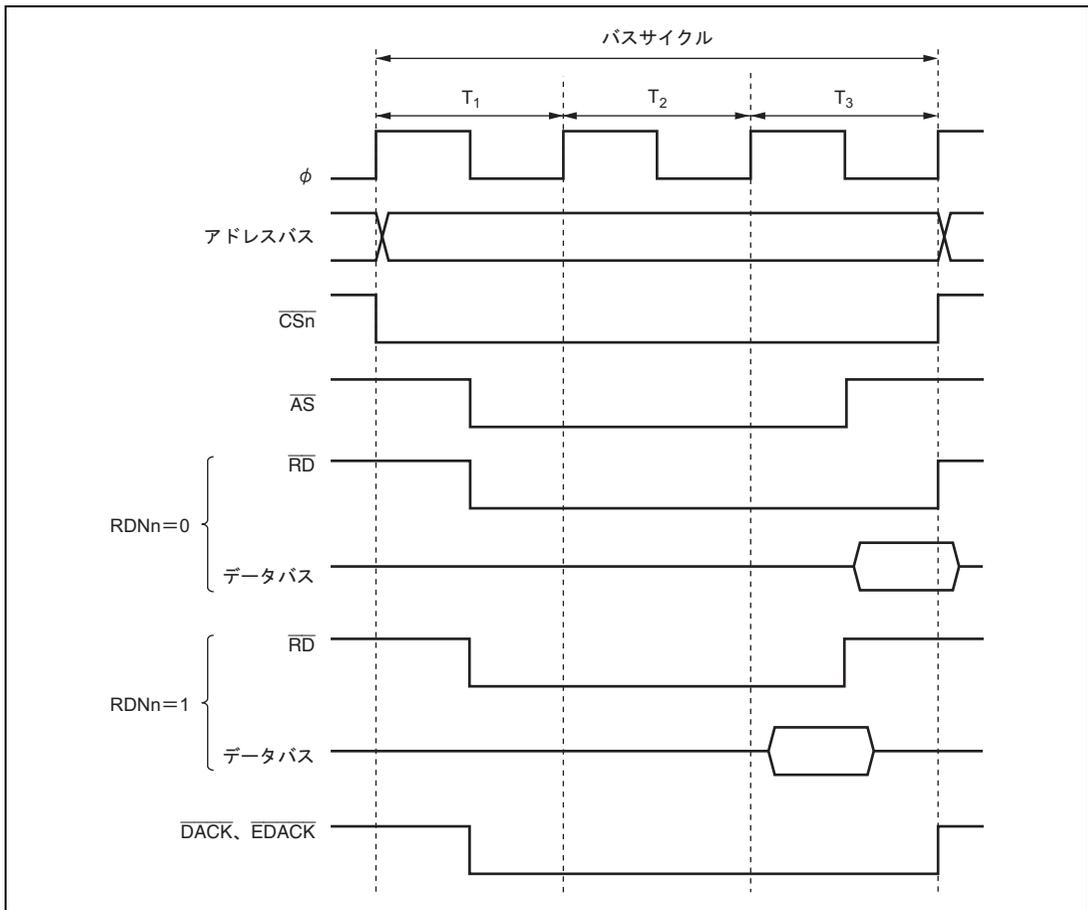


図 6.19 リードストローブタイミング例

6.5.6 チップセレクト (\overline{CS}) アサート期間拡張

外部 I/O デバイスには、アドレス、 \overline{CS} 信号と \overline{RD} 、 \overline{HWR} 、 \overline{LWR} のストロープ信号の間のセットアップ時間やホールド時間が必要な場合があります。CSACR の設定により、基本バス空間のアクセスサイクルの前後に \overline{CS} と \overline{AS} 、アドレスだけがアサートされるステートを挿入することができます。 \overline{CS} アサート期間の拡張はエリア単位に設定可能です。また、ライトアクセス時の \overline{CS} アサート拡張期間では、データバスにライトデータが出力されるのでデータのセットアップ時間およびホールド時間が緩和されます。

図 6.20 に基本バス 3 ステートアクセス空間に \overline{CS} アサート期間を拡張した場合のタイミング例を示します。

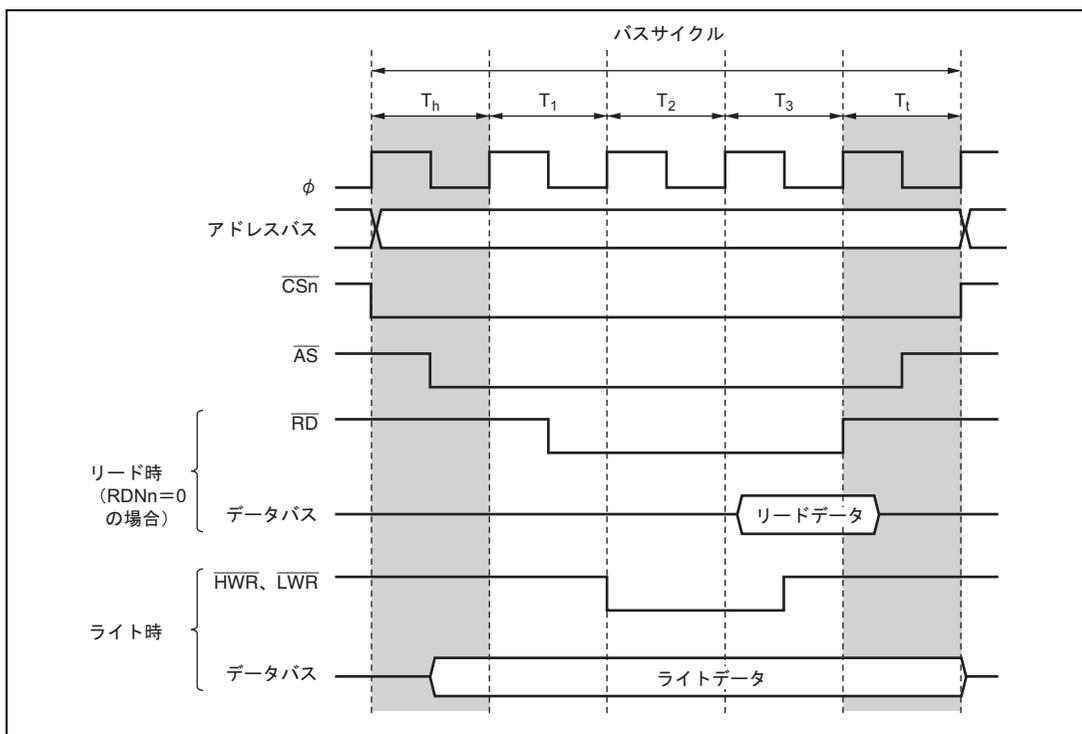


図 6.20 チップセレクトアサート期間拡張時タイミング例

基本バスサイクルの手前に挿入される拡張ステート (T_h) と、基本バスサイクルの後に挿入される拡張ステート (T_t) の両方、もしくは一方だけをエリア単位に指定することが可能です。CSACR の上位 8 ビットの CSXH7 ~ CSXH0 ビットで T_h ステート、下位 8 ビットの CSXT7 ~ CSXT0 ビットで T_t ステートの挿入の有無を設定することができます。

6.6 DRAM インタフェース

本 LSI はエリア 2~5 の外部空間を DRAM 空間に設定し、DRAM インタフェースを行うことができます。DRAM インタフェースでは DRAM を本 LSI と直結することができます。DRAMCR の RMTS2~RMTS0 ビットにより、2/4/8M バイトの DRAM 空間を設定できます。また、高速ページモードを利用したバースト動作を行うことができます。

6.6.1 DRAM 空間の設定

エリア 2~5 を DRAM 空間にするには、DRAMCR レジスタの RMTS2~RMTS0 ビットを設定します。表 6.4 に RMTS2~RMTS0 ビットの設定値と DRAM 空間の関係を示します。DRAM 空間は、1 エリア設定 (エリア 2)、2 エリア設定 (エリア 2、3)、4 エリア設定 (エリア 2~5)、連続エリア設定 (エリア 2~5) を選択することができます。

表 6.4 RTMS2~RTMS0 の設定値と DRAM 空間の関係

RMTS2	RMTS1	RMTS0	エリア 5	エリア 4	エリア 3	エリア 2
0	0	1	通常空間			DRAM 空間
	1	0	通常空間		DRAM 空間	
		1	DRAM 空間			
1	0	0	連続シンクロナス DRAM 空間*			
		1	シンクロナス DRAM のモードレジスタ設定*			
	1	0	リザーブ (設定禁止)			
		1	連続 DRAM 空間			

【注】 * H8S/2378 グループではリザーブ (設定禁止) になります。

連続 DRAM 空間では、 $\overline{\text{RAS2}}$ が有効となります。また、バス幅、ウェイトステート数など連続 DRAM 空間のバス仕様は、エリア 2 の設定に従います。

6.6.2 アドレスマルチプレクス

DRAM 空間では、ロウアドレスとカラムアドレスがマルチプレクスされます。アドレスマルチプレクスでは、DRAMCR の MXC2~MXC0 ビットによりロウアドレスのシフト量を選択します。表 6.5 に MXC2~MXC0 の設定値とシフト量の関係を示します。

DRAM インタフェースのときは MXC2 を 0 に設定してください。

6. バスコントローラ (BSC)

表 6.5 MXC2 ~ MXC0 とアドレスマルチプレクスの関係

	DRAMCR			シフト量	アドレス端子																
	MXC2	MXC1	MXC0		A23~A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
ロウ アドレス	0	0	0	8ビット	A23~A16	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8
			1	9ビット	A23~A16	A15	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9
	1	×	0	10ビット	A23~A16	A15	A14	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10
			1	11ビット	A23~A16	A15	A14	A13	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11
	1	×	×	リザーブ (設定禁止)																	
カラム アドレス	0	×	×	—	A23~A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
	1	×	×	リザーブ (設定禁止)																	

× : Don't care

6.6.3 データバス

DRAM 空間に設定したエリアに対応する ABWCR のビットを 1 にセットすると当該エリアは 8 ビット DRAM 空間となり、0 にクリアすると 16 ビット DRAM 空間となります。16 ビット DRAM 空間では、×16 ビット構成の DRAM を直結することができます。

8 ビット DRAM 空間では D15 ~ D8 の上位側データバスが有効となり、16 ビット DRAM 空間では D15 ~ D0 の上位側、下位側データバスが有効になります。

アクセスサイズとデータアライメントは基本バスインタフェースと同様ですので、「6.5.1 データサイズとデータアライメント」を参照してください。

6.6.4 DRAM インタフェース使用端子

表 6.6 に DRAM インタフェースで使用する端子と機能を示します。 $\overline{CS2}$ ~ $\overline{CS5}$ 端子はリセット後、入力状態になっていますので $\overline{RAS2}$ ~ $\overline{RAS5}$ 信号を出力する場合には、対応する DDR を 1 にセットしてください。

表 6.6 DRAM インタフェース端子構成

端子	DRAM 設定時	名称	入出力	機能
HWR	\overline{WE}	ライトイネーブル	出力	DRAM 空間アクセス時のライトイネーブル
$\overline{CS2}$	$\overline{RAS2}/RAS$	ロウアドレスストローブ 2 / ロウアドレスストローブ	出力	エリア 2 を DRAM 空間に設定したときのロウアドレスストローブ / エリア 2 ~ 5 を連続 DRAM 空間に設定したときのロウアドレスストローブ
$\overline{CS3}$	$\overline{RAS3}$	ロウアドレスストローブ 3	出力	エリア 3 を DRAM 空間に設定したときのロウアドレスストローブ
$\overline{CS4}$	$\overline{RAS4}$	ロウアドレスストローブ 4	出力	エリア 4 を DRAM 空間に設定したときのロウアドレスストローブ
$\overline{CS5}$	$\overline{RAS5}$	ロウアドレスストローブ 5	出力	エリア 5 を DRAM 空間に設定したときのロウアドレスストローブ

端子	DRAM 設定時	名称	入出力	機能
$\overline{\text{UCAS}}$	$\overline{\text{UCAS}}$	アッパー-カラムアドレスストロープ	出力	16 ビット DRAM 空間アクセス時のアッパー-カラムストロープ / 8 ビット DRAM 空間アクセス時のカラムアドレスストロープ
$\overline{\text{LCAS}}$	$\overline{\text{LCAS}}$	ロー-カラムアドレスストロープ	出力	16 ビット DRAM 空間アクセス時のロー-カラムアドレスストロープ信号
$\overline{\text{RD}}$ 、 $\overline{\text{OE}}$	$\overline{\text{OE}}$	アウトプットイネーブル	出力	DRAM 空間アクセス時のアウトプットイネーブル
$\overline{\text{WAIT}}$	$\overline{\text{WAIT}}$	ウェイト	入力	ウェイト要求信号
A15 ~ A0	A15 ~ A0	アドレス端子	出力	ロウアドレス / カラムアドレスのマルチプレクス出力
D15 ~ D0	D15 ~ D0	データ端子	入出力	データ入出力端子

6.6.5 基本動作タイミング

DRAM 空間の基本アクセスタイミングを図 6.21 に示します。

基本タイミング 4 ステートは、 T_p (プリチャージサイクル) 1 ステート、 T_r (ロウアドレス出力サイクル) 1 ステート、 T_{c1} 、 T_{c2} (カラムアドレス出力サイクル) 2 ステートで構成されています。

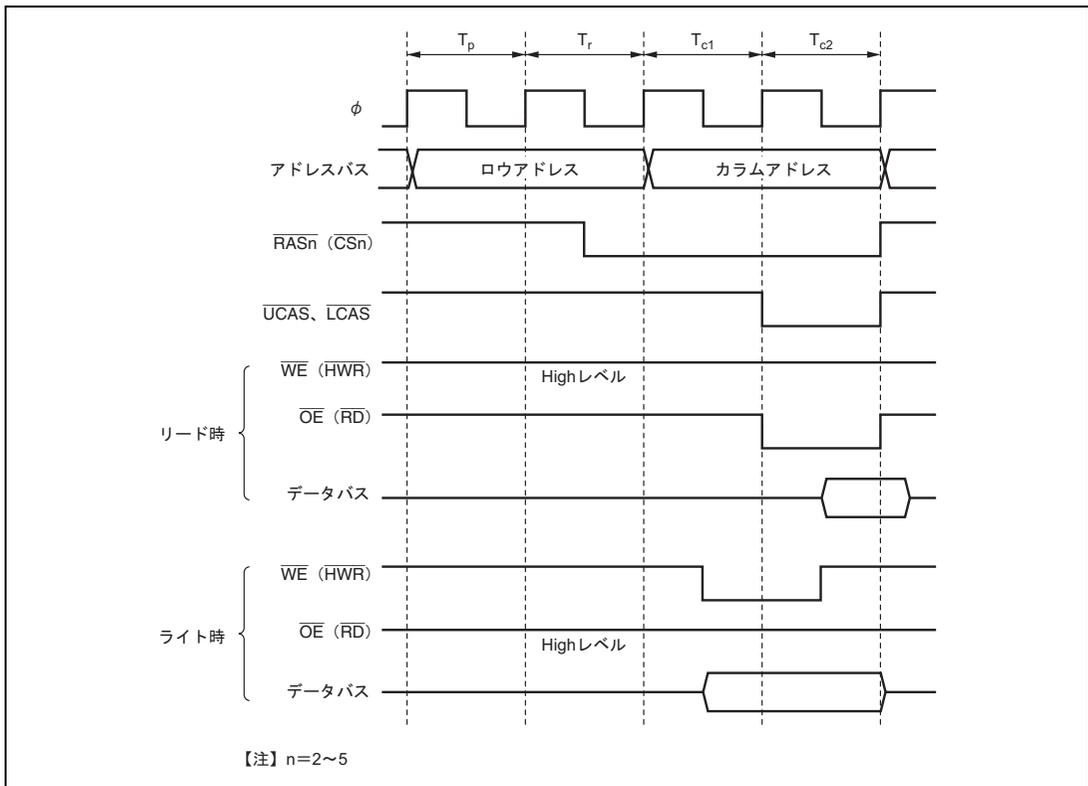


図 6.21 DRAM 基本アクセスタイミング (RAST = 0、CAST = 0 の場合)

6. バスコントローラ (BSC)

DRAM 空間へのアクセス時、 \overline{RD} 信号は DRAM への \overline{OE} 信号として出力されています。EDO ページモードを備えた DRAM を接続する際には、 \overline{OE} 信号を DRAM の (\overline{OE}) 端子に接続してください。また、DRAMCR レジスタの OEE ビットを 1 にセットすることにより、DRAM 空間に対する \overline{OE} 信号を専用の \overline{OE} 端子から出力することも可能です。この場合、DRAM 空間に対する \overline{OE} 信号は \overline{RD} 端子、(\overline{OE}) 端子の両方から出力されますが、DRAM 空間以外の外部リードサイクルでは \overline{RD} 端子のみが出力されます。

6.6.6 カラムアドレス出力サイクル制御

DRAMCR レジスタの CAST ビットを 1 にセットすると、カラムアドレス出力サイクルを 2 ステートから 3 ステートへ変更することが可能です。接続する DRAM と本 LSI の動作周波数に応じて、 \overline{CAS} パルス幅などの規定値が最適になるように設定してください。図 6.22 にカラムアドレス出力サイクルを 3 ステートに設定した場合のタイミング例を示します。

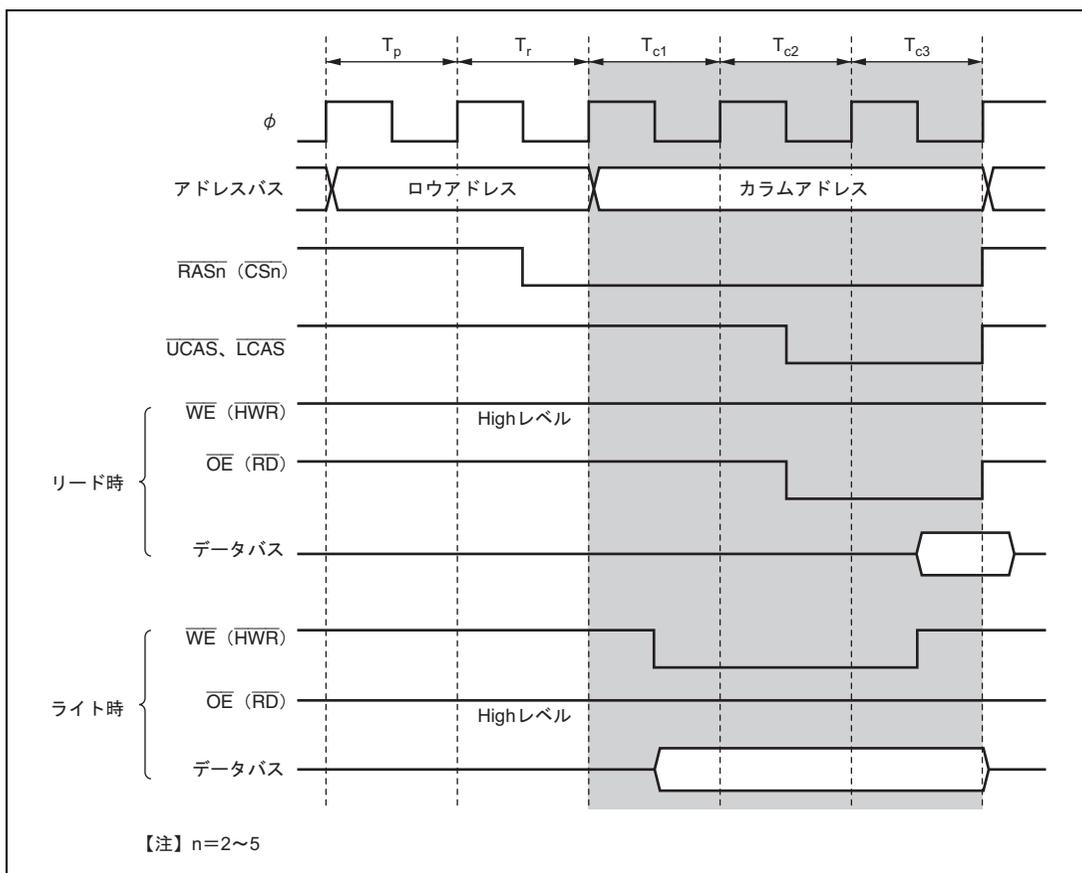


図 6.22 カラムアドレス出力サイクル 3 ステートの場合のアクセスタイミング例
(RAST = 0 の場合)

6.6.7 ロウアドレス出力ステート制御

DRAMCR レジスタの RAST ビットを 1 にセットすると、 $\overline{\text{RAS}}$ 信号が Tr ステートの先頭から Low レベルとなり、 $\overline{\text{RAS}}$ 信号の立ち下がりに対するロウアドレスのホールド時間と DRAM リードアクセス時間が変化します。接続する DRAM と本 LSI の動作周波数に応じて最適になるように設定してください。図 6.23 に $\overline{\text{RAS}}$ 信号が Tr ステートの先頭から Low レベルとなる場合のタイミング例を示します。

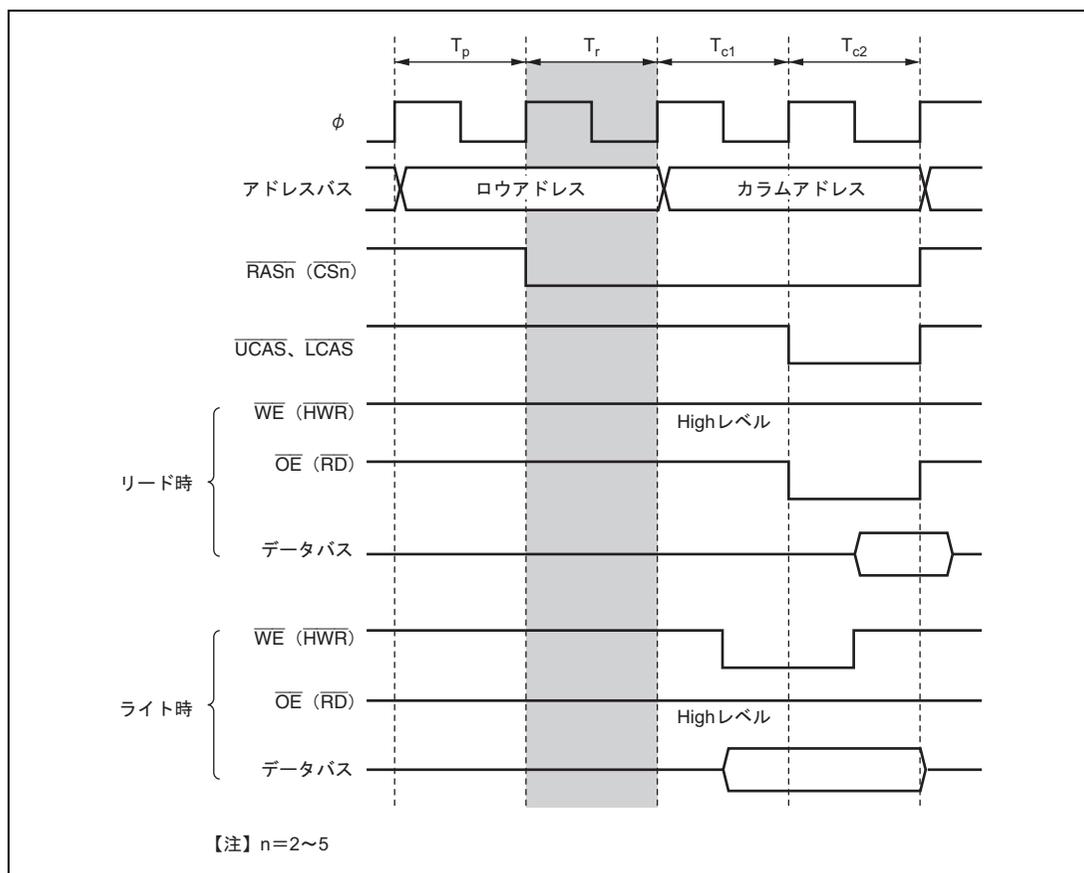


図 6.23 RAS 信号が Tr ステートの先頭から Low レベルとなる場合のアクセスタイミング例
(CAST = 0 の場合)

6. バスコントローラ (BSC)

ロウアドレスのホールド時間またはリード時のアクセス時間が必要な場合には、DRACCR の RCD1、RCD0 ビットを設定することにより、 $\overline{\text{RAS}}$ 信号が Low レベルとなる T_r サイクルと、カラムアドレスが出力される T_{c1} サイクルの間にロウアドレスが出力保持されるステート (T_{rw}) を 1~3 ステート挿入することが可能です。接続する DRAM と本 LSI の動作周波数に応じて、 $\overline{\text{RAS}}$ 信号の立ち下がりエッジに対するロウアドレス信号のホールド時間が最適になるように設定してください。図 6.24 に T_{rw} を 1 ステートに設定したときのタイミングを示します。

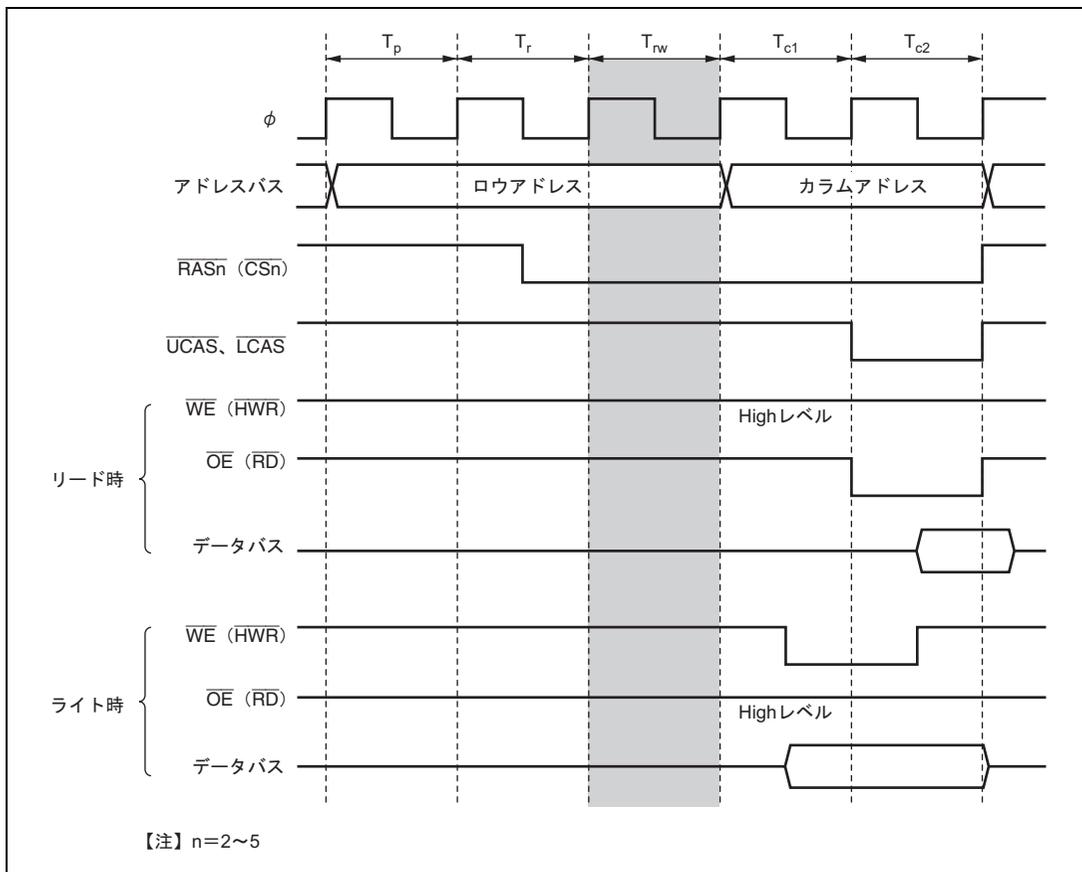


図 6.24 ロウアドレス出力保持ステート数が 1 ステート時のタイミング例
($\text{RAS} = 0$ 、 $\text{CAST} = 0$ の場合)

6.6.8 プリチャージステート制御

DRAM をアクセスするときには、 $\overline{\text{RAS}}$ プリチャージ時間を確保する必要があります。本 LSI では、DRAM 空間をアクセスするとき、 T_p を必ず 1 ステート挿入します。さらに、DRACCR の TPC1、TPC0 ビットの設定により、 T_p を 1 ステートから 4 ステートの範囲で変更することができます。接続する DRAM と本 LSI の動作周波数に応じて最適な T_p サイクル数を設定してください。図 6.25 に T_p を 2 ステートとしたときのタイミングを示します。TPC1、TPC0 ビットの設定は、リフレッシュサイクルの T_p にも有効です。

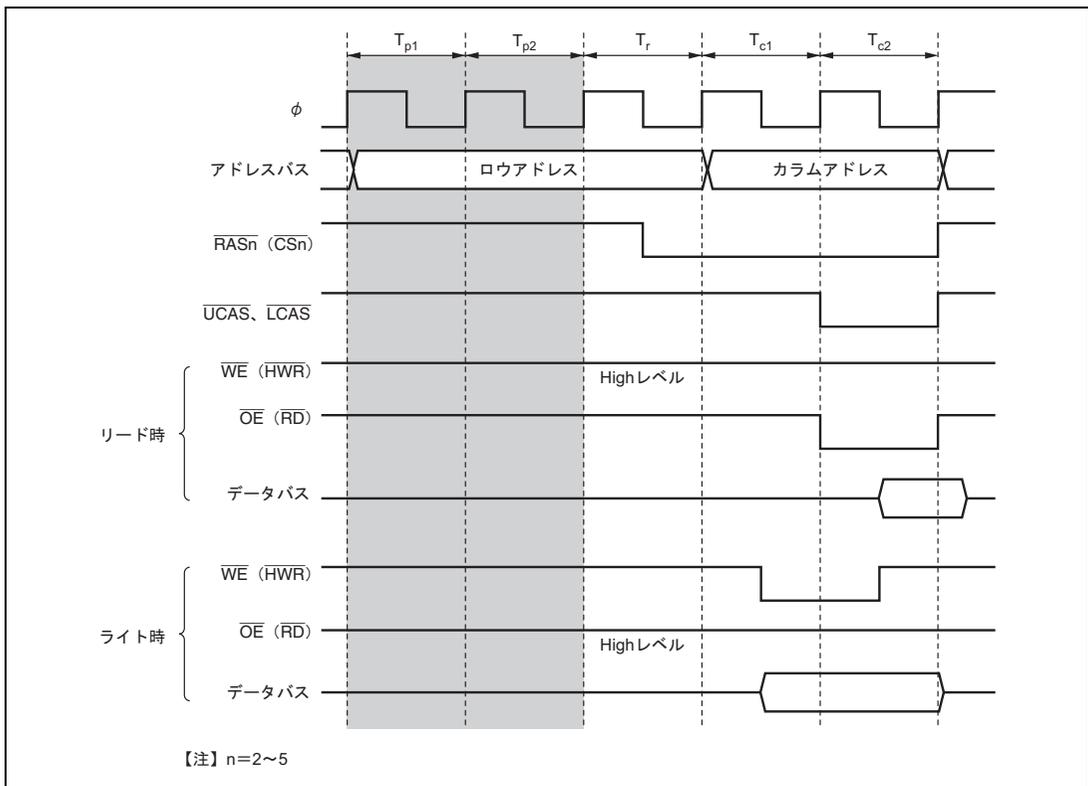


図 6.25 プリチャージサイクル 2 ステート時のタイミング例
($\text{RAST} = 0$ 、 $\text{CAST} = 0$ の場合)

6.6.9 ウェイト制御

DRAM アクセスサイクルにウェイトステートを挿入する方法には、プログラムウェイトの挿入、 $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入の 2 種類があります。

ウェイトステートは、DRAM 空間リードアクセス時には $\overline{\text{CAS}}$ のアサート期間を引き延ばすように挿入され、ライトアクセス時にはライトデータと $\overline{\text{CAS}}$ の立ち下がりエッジとのセットアップ時間を引き延ばすように挿入されます。

6. バスコントローラ (BSC)

(1) プログラムウェイトの挿入

DRAM 空間に設定されたエリアに対応する ASTCR のビットが 1 にセットされているとき、WTCR の設定により、0~7 ステートのウェイトステートを自動的に Tc1 ステートと Tc2 ステートの間に挿入することができます。

(2) 端子ウェイトの挿入

BCR レジスタの WAITE ビットが 1 にセットされ、かつ ASTCR のビットが 1 にセットされている場合、 $\overline{\text{WAIT}}$ 端子によるウェイト入力があります。この状態で DRAM 空間をアクセスすると、まずプログラムウェイト (T_w) が挿入されます。Tc1 または T_w の最後のステートの 立ち下りのタイミングで $\overline{\text{WAIT}}$ 端子が Low レベルであると、さらに T_w が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルになるまで T_w が挿入されます。

カラムアドレス出力サイクルが 2 ステートのときのウェイトサイクル挿入タイミング例を図 6.26 に、3 ステートのときのウェイトサイクル挿入タイミング例を図 6.27 に示します。

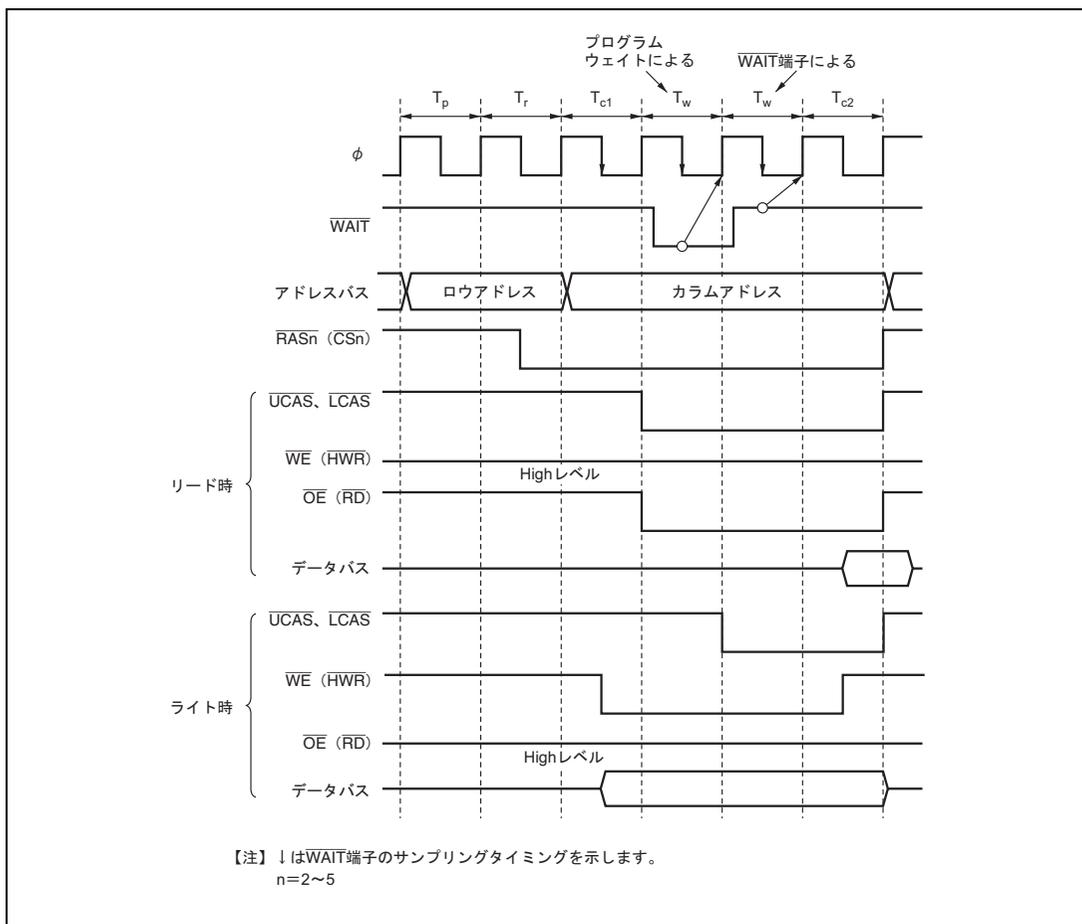


図 6.26 ウェイトステート挿入タイミング例 (カラムアドレス出力 2 ステートの場合)

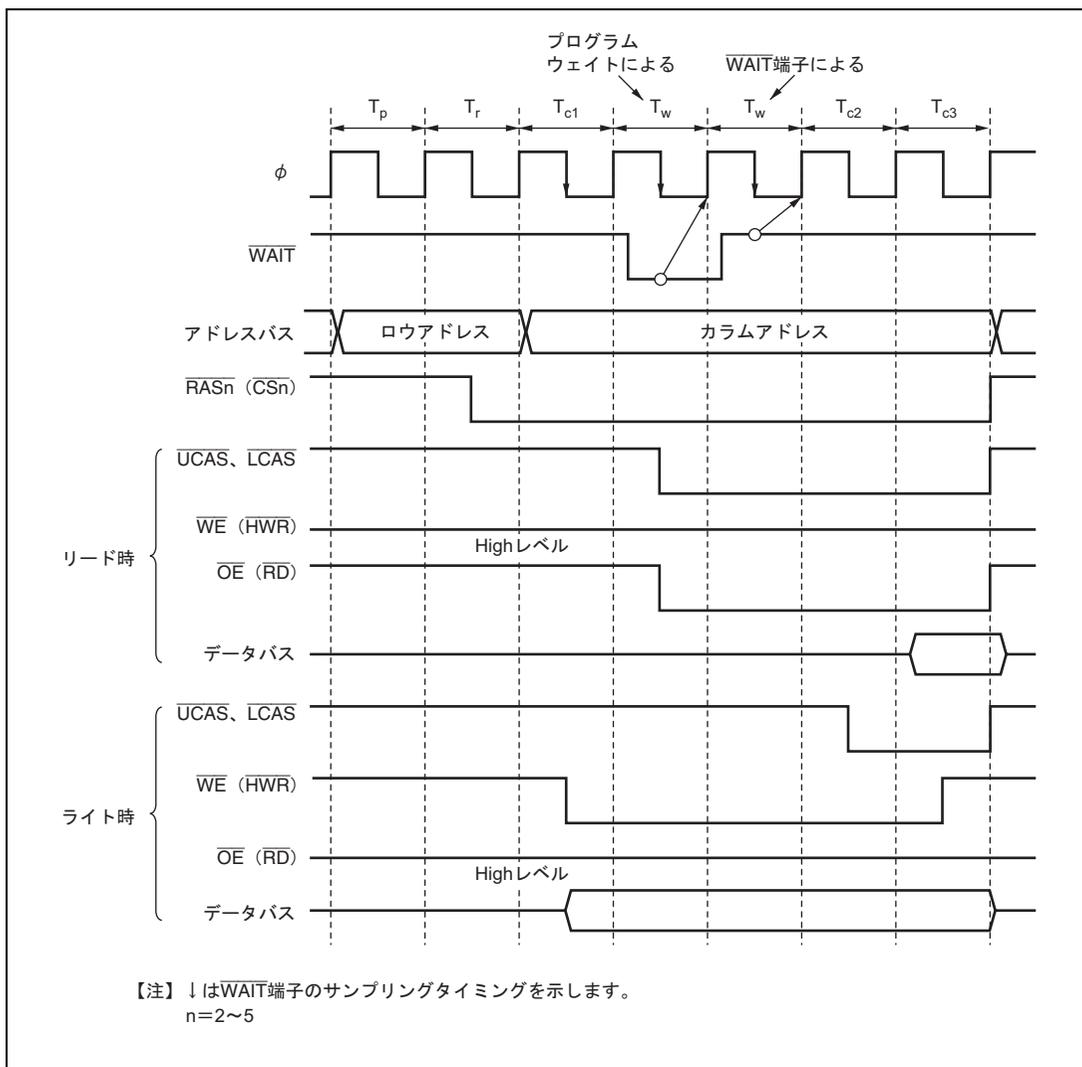


図 6.27 ウェイトステート挿入タイミング例 (カラムアドレス出力3ステートの場合)

6.6.10 バイトアクセス制御

×16ビット構成のDRAMを接続するとき、バイトアクセスに必要な制御信号としてCAS2本方式を使用することができます。図6.28にCAS2本方式の制御タイミングを示します。また図6.29にCAS2本方式の接続例を示します。

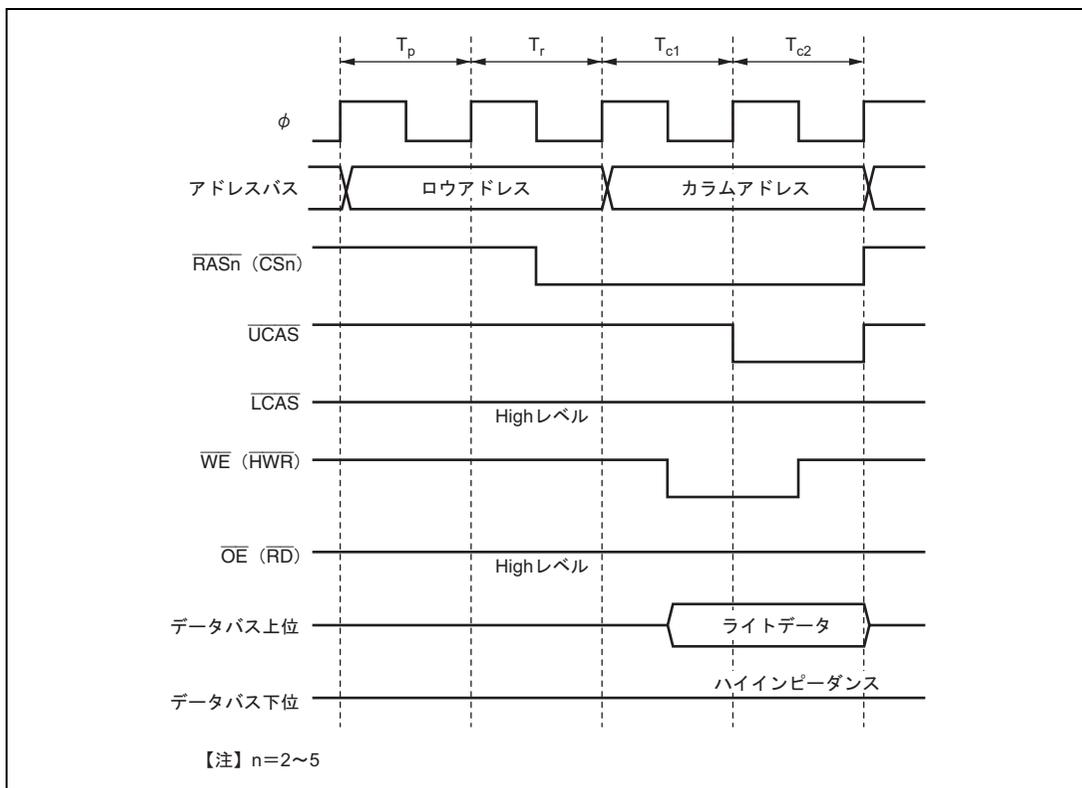


図 6.28 CAS2 本方式の制御タイミング
(上位バイトライトアクセス時、RAST=0、CAST=0の場合)

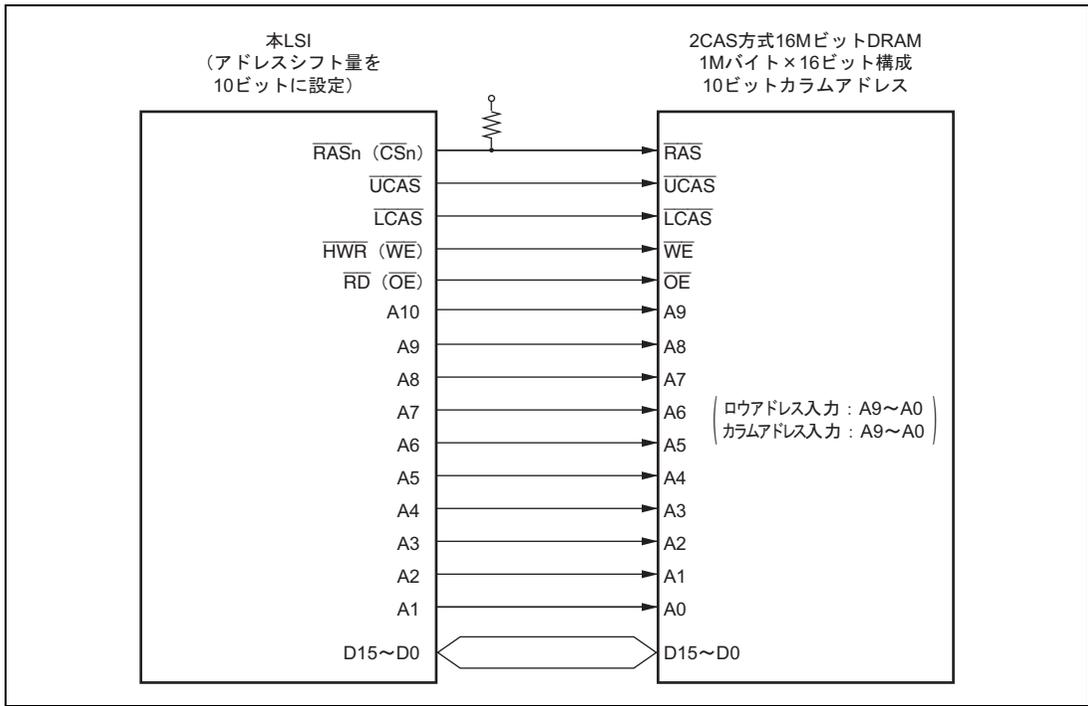


図 6.29 CAS2 本方式の接続例

6.6.11 バースト動作

DRAM には、アクセスのたびにロウアドレスを出力してデータをアクセスするフルアクセス（ノーマルアクセス）の他に、同一のロウアドレスに対するアクセスが連続するとき、ロウアドレスを出力した後はカラムアドレスを変更するだけでデータを高速にアクセス（バーストアクセス）できる高速ページモードを備えているものがあります。DRAMCR の BE ビットを 1 にセットすることにより、バーストアクセスを選択することができます。

(1) バーストアクセス（高速ページモード）

図 6.30、図 6.31 にバーストアクセスの動作タイミングを示します。DRAM 空間へのアクセスサイクルが連続したとき、前後のアクセスサイクルのロウアドレスが一致している間、 \overline{CAS} 信号とカラムアドレスの出力サイクル（2 ステート）が連続して行われます。比較対象となるロウアドレスは DRAMCR の MXC2 ~ MXC0 ビットにより設定します。

6. バスコントローラ (BSC)

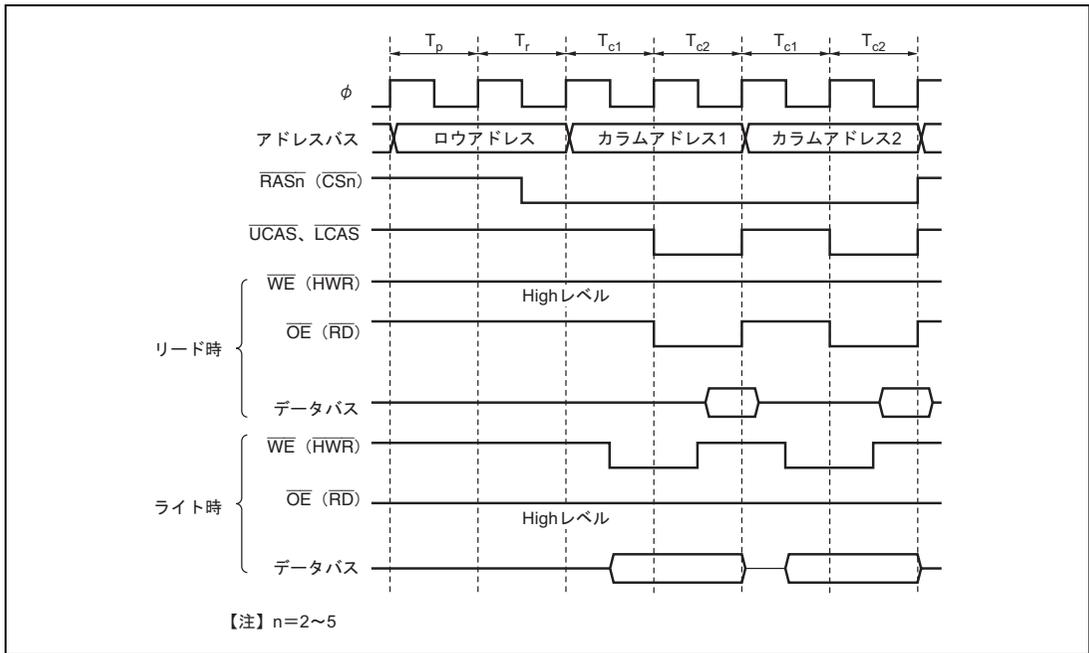


図 6.30 高速ページモードの動作タイミング (RAST=0、CAST=0 の場合)

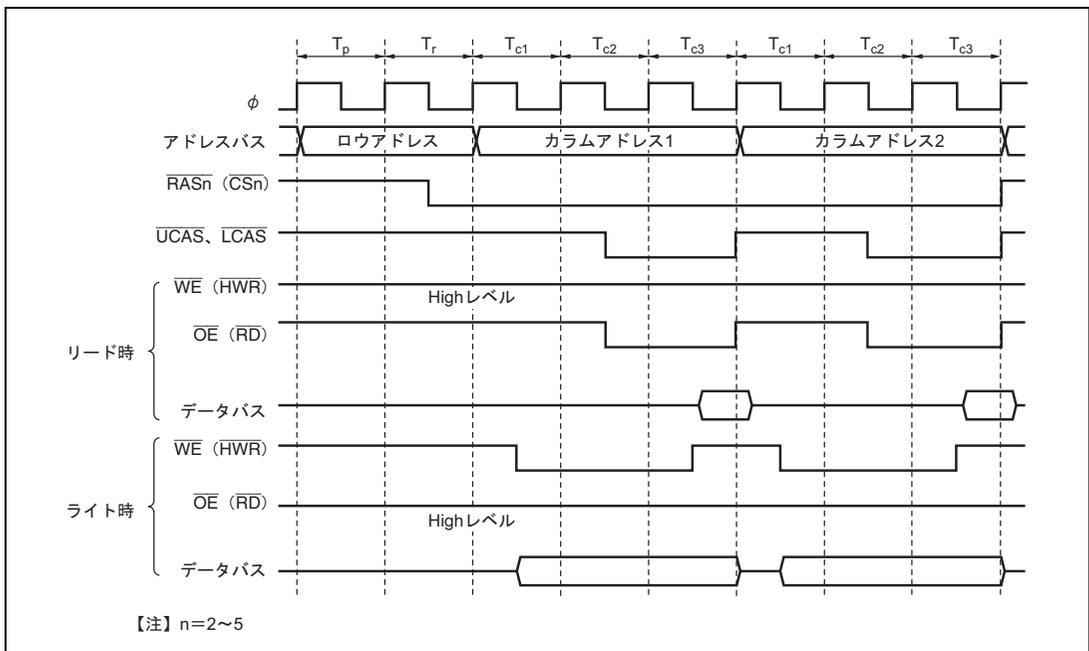


図 6.31 高速ページモードの動作タイミング (RAST=0、CAST=1 の場合)

バーストアクセスのときにもウェイトステートを挿入してバスサイクルを引き延ばすことができます。ウェイトステートの挿入方法、タイミングはフルアクセスのときと同様です。詳細は、「6.6.9 ウェイト制御」を参照してください。

(2) RAS ダウンモードと RAS アップモード

バースト動作を選択しても、DRAM 空間へのアクセスが連続せず、途中で他空間へのアクセスが入ってしまうことがあります。この場合、他空間がアクセスされている間も $\overline{\text{RAS}}$ 信号を Low レベルに保持しておく、次に DRAM 空間の同一ロウアドレスがアクセスされたときバースト動作を続けることができます。

(a) RAS ダウンモード

RAS ダウンモードを選択するときは、DRAMCR の RCDM ビットと BE ビットをともに 1 にセットしてください。DRAM 空間へのアクセスが途切れて他空間をアクセスしている間、 $\overline{\text{RAS}}$ 信号を Low レベルに保持し、次の DRAM 空間アクセスのロウアドレスと前の DRAM 空間アクセスのロウアドレスが一致したときに、バーストアクセスが行われます。図 6.32 に RAS ダウンモードのタイミング例を示します。

ただし、以下の場合、 $\overline{\text{RAS}}$ 信号は High レベルになります。

- リフレッシュ動作が RAS ダウン中に入る場合
- セルフリフレッシュが行われた場合
- ソフトウェアスタンバイモードへ遷移する場合
- 外部バスを解放する場合
- RCDM ビット、または BE ビットを 0 にクリアした場合

また、 $\overline{\text{RAS}}$ ダウン中に全モジュールクロックストップモードへ遷移すると、 $\overline{\text{RAS}}$ が Low レベルの状態でもクロックが停止します。 $\overline{\text{RAS}}$ が High レベルの状態でも全モジュールクロックストップモードへ遷移したい場合には、SLEEP 命令の実行の前に RCDM ビットを 0 にクリアしてください。

6. バスコントローラ (BSC)

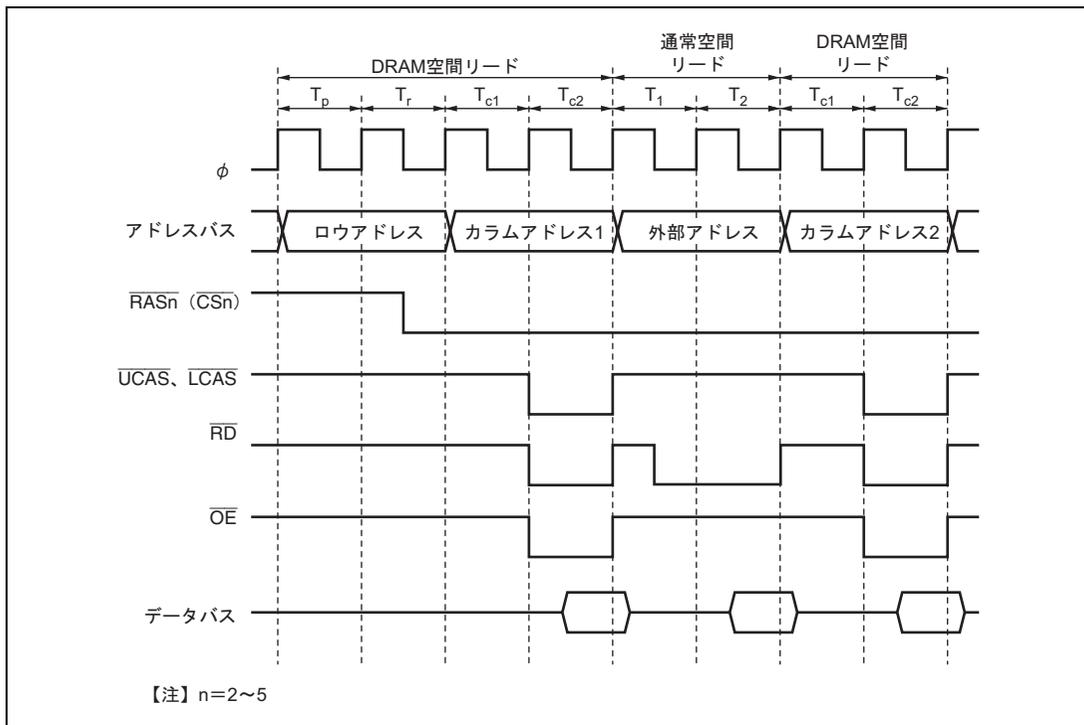


図 6.32 RAS ダウンモードの動作タイミング例 (RAST = 0、CAST = 0 の場合)

(b) RAS アップモード

RAS アップモードを選択するときは、DRAMCR の RCDM ビットを 0 にクリアしてください。DRAM 空間へのアクセスが途切れて他空間をアクセスするたびに、 \overline{RAS} 信号を High レベルに戻します。DRAM 空間が連続している場合だけバースト動作が行われます。図 6.33 に RAS アップモードのタイミング例を示します。

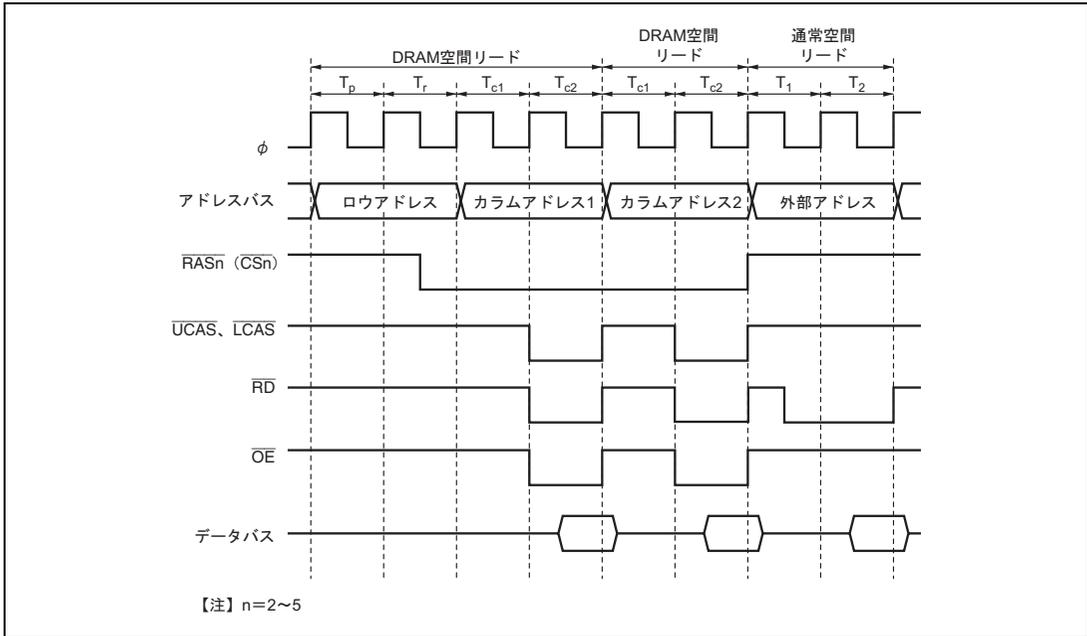


図 6.33 RAS アップモードの動作タイミング例 (RAST = 0、CAST = 0 の場合)

6.6.12 リフレッシュ制御

本 LSI は、DRAM のリフレッシュ制御機能を備えています。リフレッシュ方法は、CAS ビフォ RAS (CBR) リフレッシュです。また、ソフトウェアスタンバイ状態に遷移するときにセルフリフレッシュを実行することができます。

リフレッシュ制御は、DRAMCR レジスタの RMTS2 ~ RMTS0 ビットの設定により、いずれかのエリアを DRAM 空間に設定した場合に有効です。

(1) CAS ビフォ RAS (CBR) リフレッシュ

CBR リフレッシュを選択するためには、REFCR の RFSHE ビットを 1 にセットしてください。

CBR リフレッシュでは、REFCR の RTCK2 ~ RTCK0 ビットで選択した入力クロックにより RTCNT がカウントアップされ、RTCOR に設定した値と一致 (コンペアマッチ) するとリフレッシュ制御が行われます。同時に RTCNT はリセットされ、H'00 からカウントアップを再開します。すなわち、リフレッシュは RTCOR と RTCK2 ~ RTCK0 ビットで決まる一定間隔で繰り返されます。使用する DRAM のリフレッシュ間隔規定を満たすように、RTCOR と RTCK2 ~ RTCK0 ビットの値を設定してください。

REFCR の RTCK2 ~ RTCK0 ビットの設定を行うと、RTCNT のカウントアップが開始されます。このため、RTCK2 ~ RTCK0 ビットの設定を行う前に、RTCNT および RTCOR の設定を行ってください。図 6.34 に RTCNT の動作を、図 6.35 にコンペアマッチのタイミングを、図 6.36 に CBR リフレッシュのタイミングをそれぞれ示します。

また、REFCR の CBRM ビット = 0 を設定したとき、CBR リフレッシュ期間中には、DRAM 空間以外の外部空間のアクセスを並行して行います。

6. バスコントローラ (BSC)

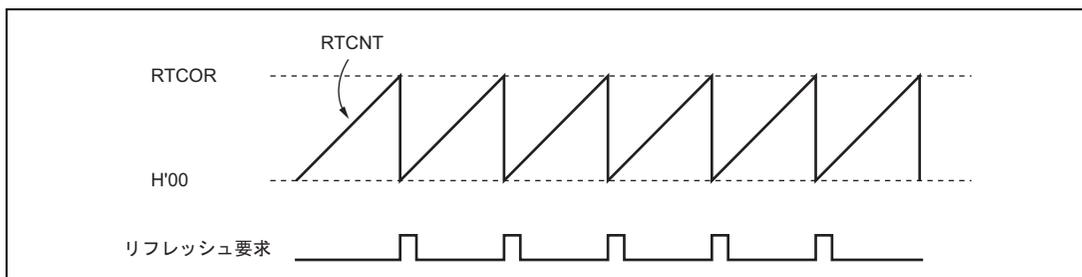


図 6.34 RTCNT の動作

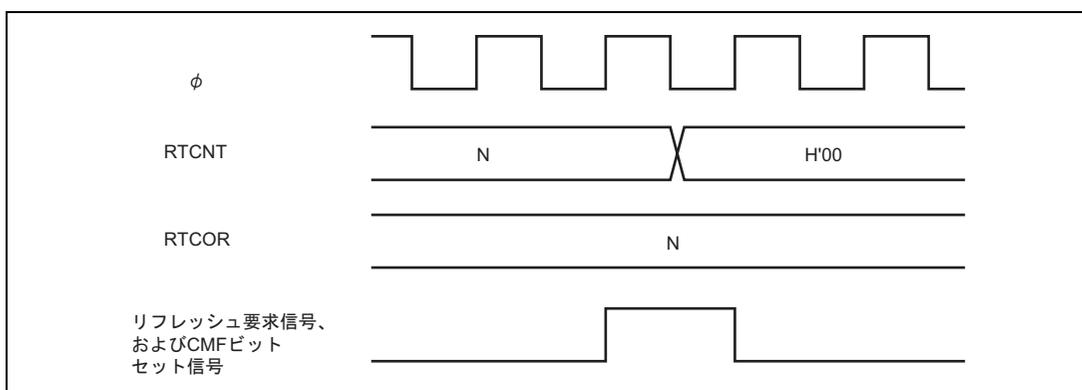


図 6.35 コンペアマッチのタイミング

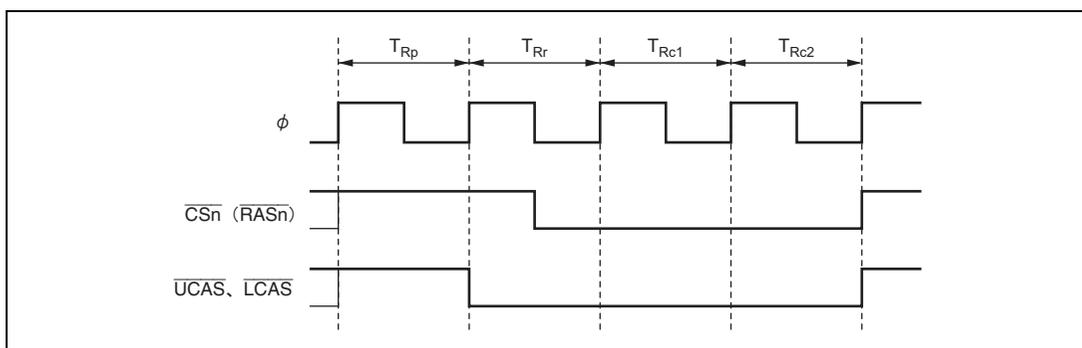


図 6.36 CBR リフレッシュタイミング

また、REFCR の RCW1、RCW0 ビットに設定することにより、 $\overline{\text{RAS}}$ 信号が 1 から 3 サイクル遅れて出力することが可能です。 $\overline{\text{RAS}}$ 信号幅は、REFCR の RLW1、RLW0 ビットで調整してください。RCW1、RCW0、RLW1、RLW0 ビットの設定は、リフレッシュのときのみ有効になります。図 6.37 に RCW1、RCW0 ビットを設定したときのタイミングを示します。

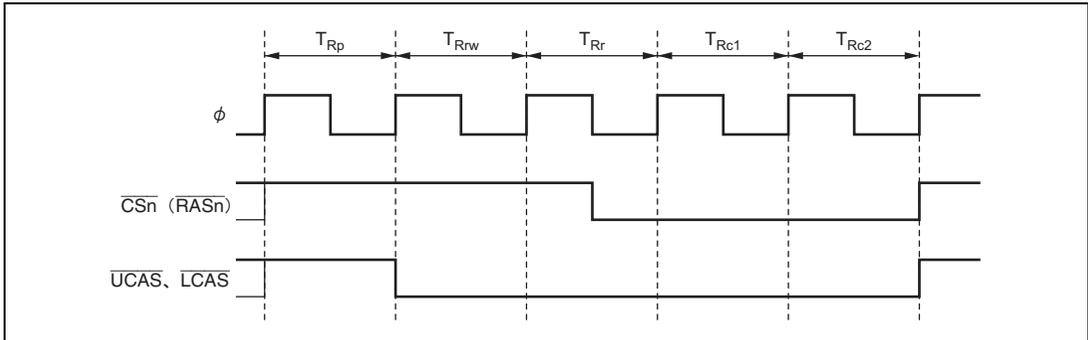


図 6.37 CBR リフレッシュタイミング
(RCW1=0、RCW0=1、RLW1=0、RLW0=0 の場合)

使用する DRAM によっては、リフレッシュ期間中の \overline{WE} 信号の変化を許可しないものがあります。その場合、REFCR の CBRM ビットに 1 を設定してください。この場合、バスコントローラは適当なバスサイクルの切れ目でリフレッシュサイクルを挿入します。CBRM ビットに 1 を設定したときのタイミング例を図 6.38 に示します。このとき \overline{CS} 信号は制御対象外で、リフレッシュ期間に入る直前の値を保持します。

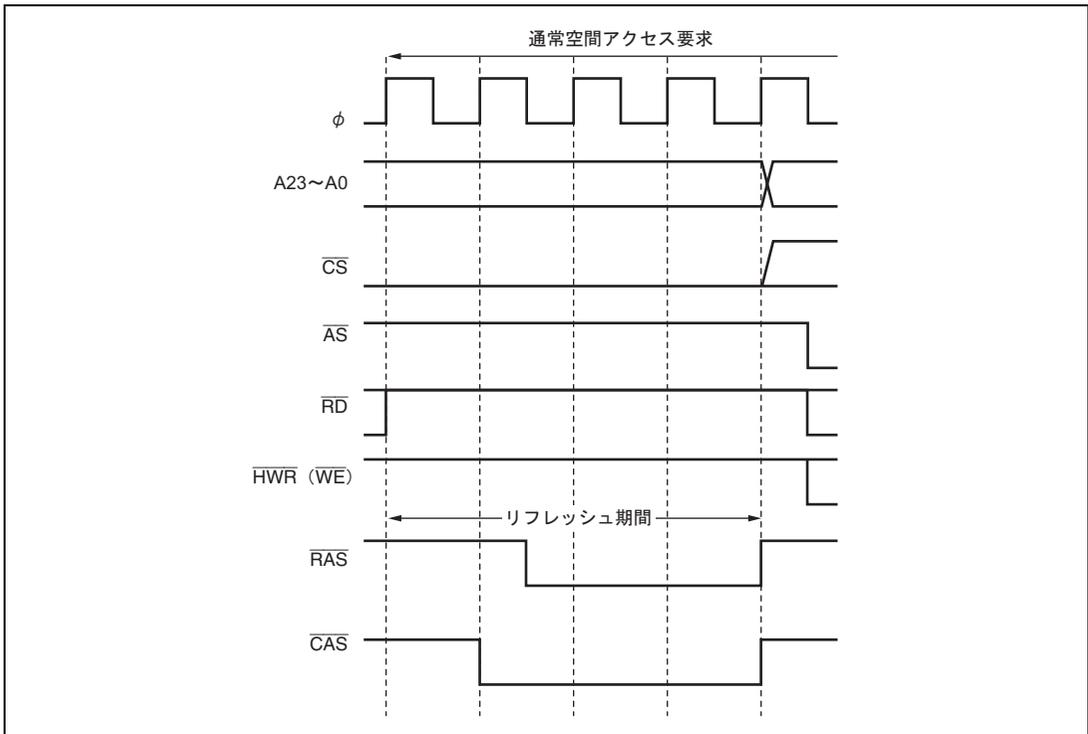


図 6.38 CBR リフレッシュタイミング例 (CBRM=1 のとき)

6. バスコントローラ (BSC)

(2) セルフリフレッシュ

DRAM には、スタンバイモードの一種として、DRAM 内部でリフレッシュタイミングとリフレッシュアドレスを生成するセルフリフレッシュモード (バッテリーバックアップモード) を備えているものがあります。

セルフリフレッシュを選択するためには、REFCR の RFSHE ビットと SLFRF ビットを 1 にセットしてください。その後、ソフトウェアスタンバイモードに遷移するための SLEEP 命令を実行すると、図 6.39 に示すように $\overline{\text{CAS}}$ 信号と $\overline{\text{RAS}}$ 信号が出力され DRAM はセルフリフレッシュモードに入ります。

ソフトウェアスタンバイモードを解除すると SLFRF ビットが 0 にクリアされ、セルフリフレッシュモードが自動的に解除されます。ソフトウェアスタンバイモードに遷移する場合、CBR リフレッシュ要求があると CBR リフレッシュを実行した後セルフリフレッシュモードに入ります。

セルフリフレッシュモードを使用する場合、SBYCR レジスタの OPE ビットを 0 にクリアしないでください。

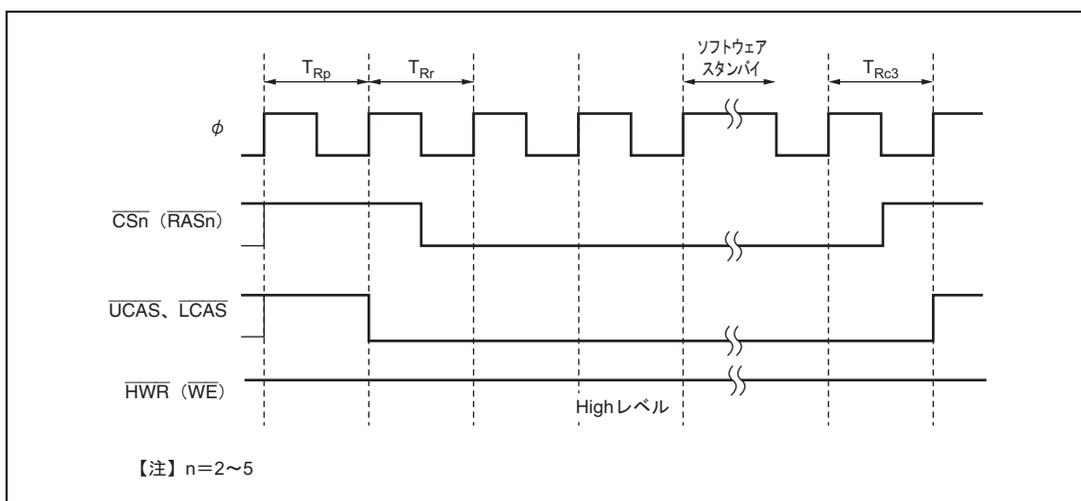


図 6.39 セルフリフレッシュタイミング

また、セルフリフレッシュモードを備える DRAM の中には、セルフリフレッシュ直後の $\overline{\text{RAS}}$ 信号のプリチャージ時間が通常のプリチャージ時間よりも長いものが存在します。REFCR の TPCS2~TPCS0 ビットの設定により、セルフリフレッシュ直後のプリチャージ時間のみを通常のプリチャージ時間より、1~7 ステート増加することが可能です。この場合、DRACCR の TPC1、TPC0 ビットの設定に従った通常のプリチャージが行われるので、この時間とあわせてセルフリフレッシュ後のプリチャージ時間が最適になるように設定してください。図 6.40 にセルフリフレッシュ直後のプリチャージ時間を 2 ステート増加した場合のタイミング例を示します。

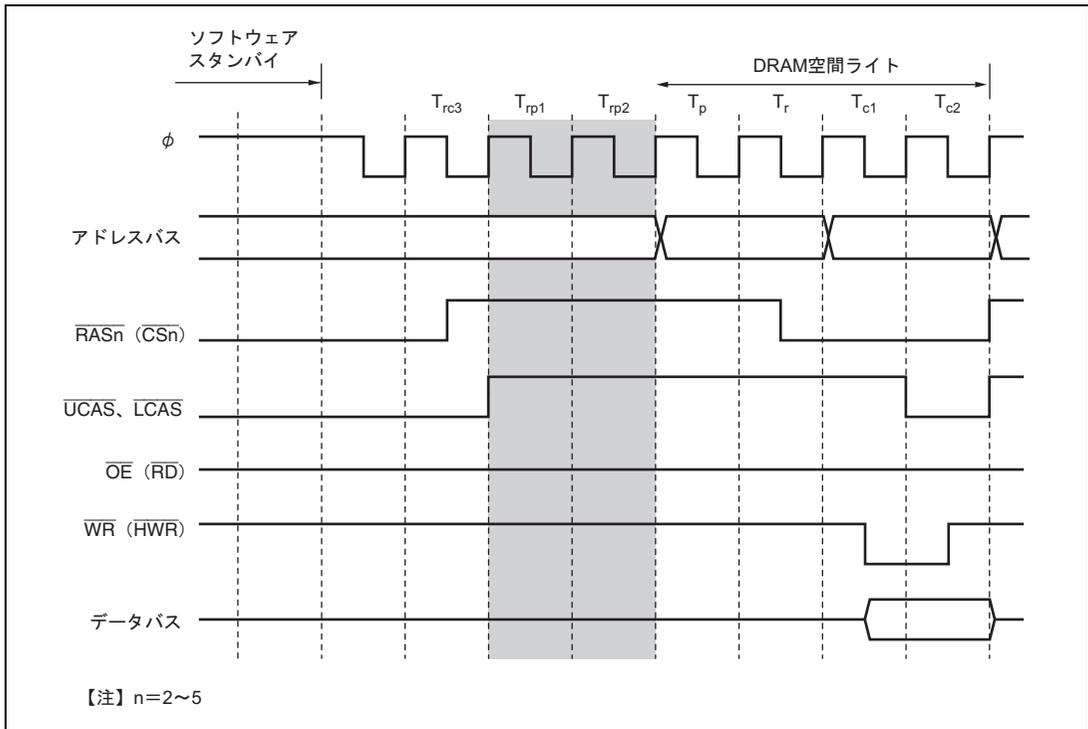


図 6.40 セルフリフレッシュ直後のプリチャージ時間を 2 ステート増加した場合のタイミング例

(3) リフレッシュと全モジュールクロックストップモード

本 LSI は、MSTPCR の ACSE ビットを 1 にセットし、すべての周辺モジュールのクロックを停止する設定 (MSTPCR = H'FFFF、EXMSTPCR = H'FFFF) か、もしくは 8 ビットタイマだけを動作させる設定 (MSTPCR = H'FFFE、EXMSTPCR = H'FFFF) で SLEEP 命令を実行しスリープ状態へ遷移すると、バスコントローラと I/O ポートもクロックを停止する全モジュールクロックストップモードへ遷移します。このモードでは、バスコントローラもクロックが停止しますので CBR リフレッシュも実行されません。外部に DRAM を接続して、スリープモードで DRAM のデータを保持したい場合には、MSTPCR の ACSE ビットを 0 にクリアしてください。

6.6.13 DMAC および EXDMAC のシングルアドレス転送モードと DRAM インタフェース

DRAM インタフェースでバーストモードを設定したとき、DRAMCR の DDS、EDDS ビットによって $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングを選択します。また、同時に DMAC および EXDMAC シングルアドレスモードで DRAM 空間をアクセスする場合に、バーストアクセスを行うか行わないかを選択します。

(1) DDS = 1 または EDDS = 1 のとき

バスマスタによらず、アドレスのみを判定してバーストアクセスを行います。また、 $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングは DRAM インタフェースの場合 T_{c1} ステートから Low レベルになります。

図 6.41 に DDS = 1 または EDDS = 1 のときの DRAM インタフェース時の $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングを示します。

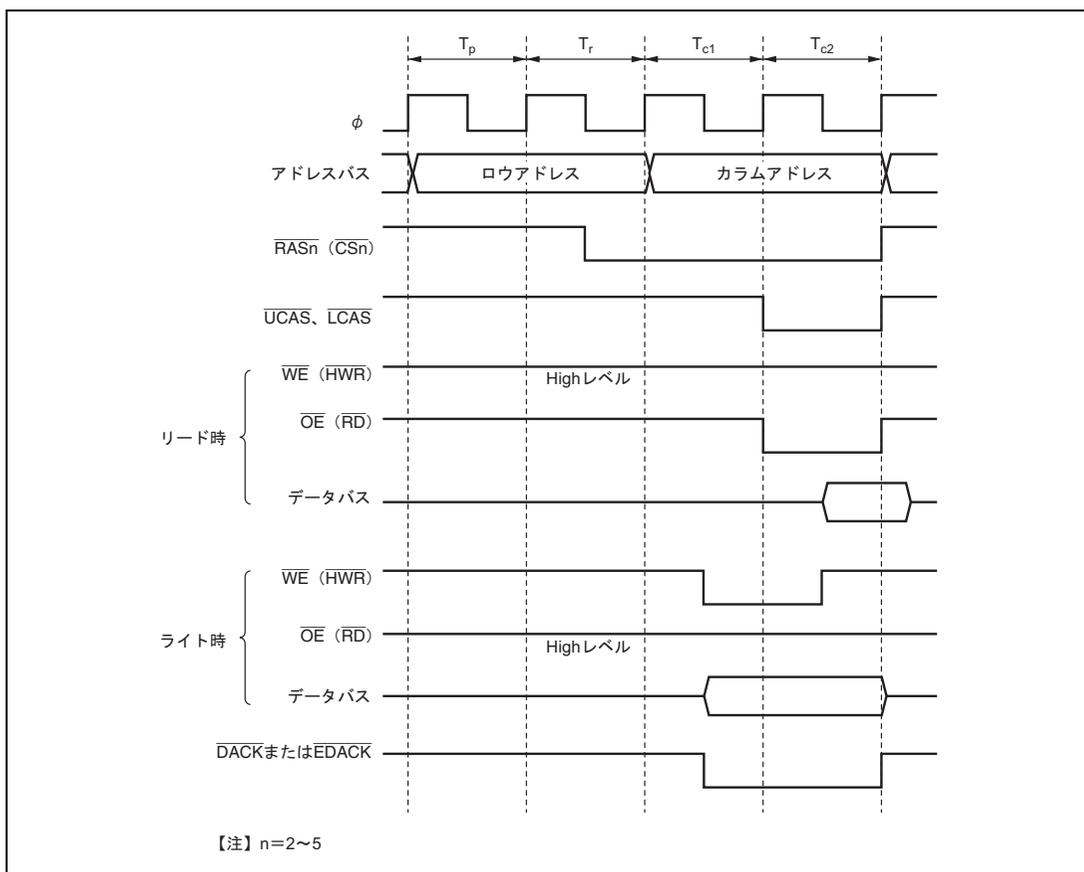


図 6.41 DDS = 1 または EDDS = 1 の場合の $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミング例
(RAST = 0、CAST = 0 の場合)

(2) DDS = 0 または EDDS = 0 のとき

DMAC または EXDMAC シングルアドレス転送モードで DRAM 空間をアクセスしたとき、必ずフルアクセス (ノーマルアクセス) を行います。また、 $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングは、DRAM インタフェースの場合 T_r ステートから Low レベルになります。

DMAC または EXDMAC シングルアドレス転送モード以外で DRAM 空間をアクセスする場合には、バーストアクセスが可能です。

図 6.42 に、DDS = 0 または EDDS = 0 のときの、DRAM インタフェース時の $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングを示します。

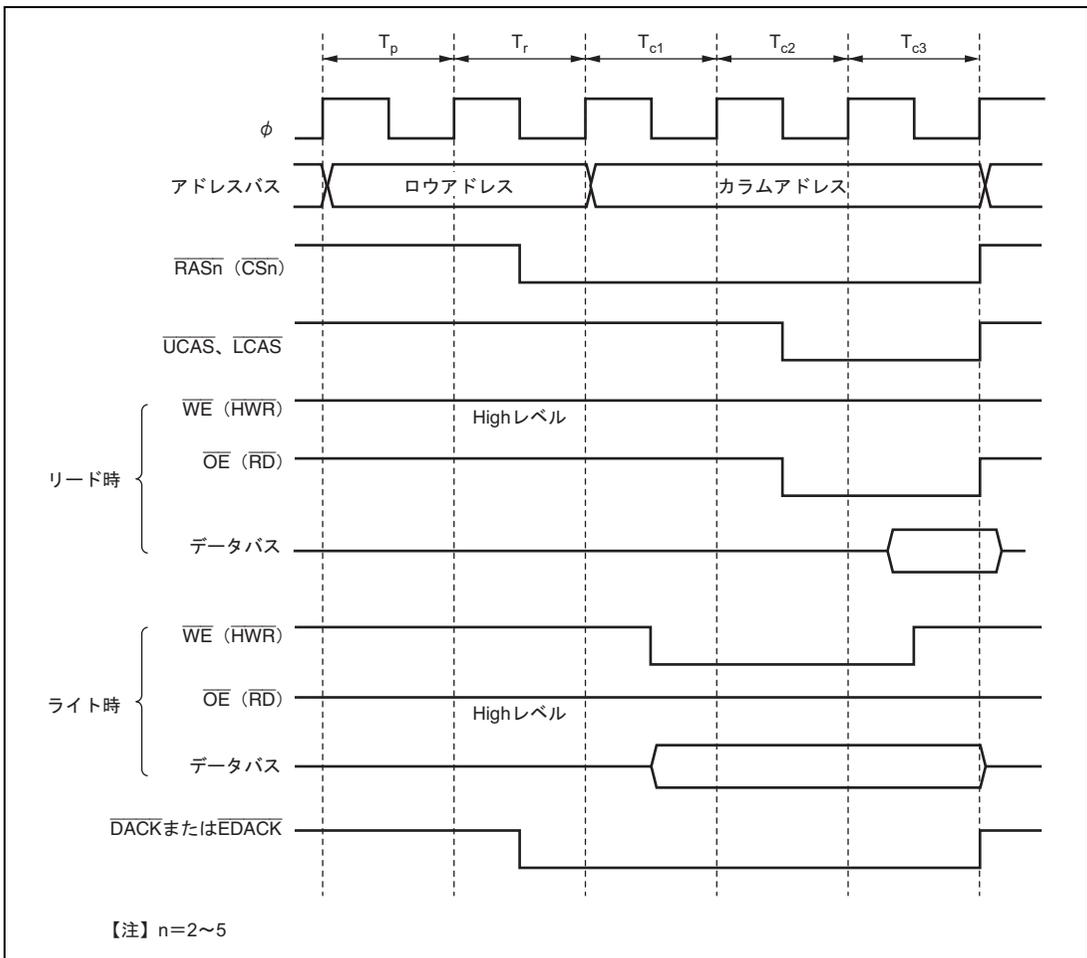


図 6.42 DDS = 0 または EDDS = 0 の場合の $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミング例
(RAST = 0、CAST = 1 の場合)

6.7 シンクロナス DRAM インタフェース

H8S/2378R グループは、エリア 2~5 の外部空間を連続シンクロナス DRAM 空間に設定し、シンクロナス DRAM インタフェースを行うことができます。シンクロナス DRAM インタフェースでは、DRAMCR レジスタの RMTS2 ~ RMTS0 ビットの設定により、8M バイトまでのシンクロナス DRAM を本 LSI と直結することができます。CAS レイテンシ 1~4 のシンクロナス DRAM を接続することが可能です。

【注】 H8S/2378R グループではシンクロナス DRAM インタフェースをサポートしていません。

6.7.1 連続シンクロナス DRAM 空間の設定

エリア 2~5 を連続シンクロナス DRAM 空間にするには、DRAMCR の RMTS2 ~ RMTS0 ビットを設定します。RMTS2 ~ RMTS0 ビットの設定値とシンクロナス DRAM 空間の関係を表 6.7 に示します。シンクロナス DRAM インタフェースは、連続エリア設定 (エリア 2~5) となります。

表 6.7 RMTS2 ~ RMTS0 の設定値とシンクロナス DRAM 空間の関係

RMTS2	RMTS1	RMTS0	エリア 5	エリア 4	エリア 3	エリア 2
0	0	1	通常空間			DRAM 空間
	1	0	通常空間		DRAM 空間	
		1	DRAM 空間			
1	0	0	連続シンクロナス DRAM 空間			
		1	シンクロナス DRAM モード設定			
	1	0	リザーブ (設定禁止)			
		1	連続 DRAM 空間			

連続シンクロナス DRAM 空間では、 $\overline{CS2}$ 、 $\overline{CS3}$ 、 $\overline{CS4}$ 端子を \overline{RAS} 、 \overline{CAS} 、 \overline{WE} 信号として使用します。また、シンクロナス DRAM の (\overline{OE}) 端子を CKE 信号として使用し、 $\overline{CS5}$ 端子をシンクロナス DRAM 専用クロック (SDRAM) として使用します。連続シンクロナス DRAM 空間のバス仕様は、エリア 2 の設定に従います。連続シンクロナス DRAM 空間に対する端子ウェイト、プログラムウェイトは無効となります。

\overline{RAS} 、 \overline{CAS} 、 \overline{WE} およびカラムアドレスの上位に出力されるアドレスプリチャージ設定コマンド (Precharge-sel) を組み合わせることにより、シンクロナス DRAM に対するコマンドが指定されます。

本 LSI がサポートするコマンドは、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、ロウアドレスストロブ・バンクアクティブ (ACTV)、リード (READ)、ライト (WRIT)、モードレジスタ書き込み (MRS) です。バンク制御を行うコマンドは使用できません。

6.7.2 アドレスマルチプレクス

連続シンクロナス DRAM 空間では、ロウアドレスとカラムアドレスがマルチプレクスされます。アドレスマルチプレクスでは、DRAMCR の MXC2 ~ MXC0 ビットによりロウアドレスのシフト量を選択します。また、カラムアドレスの上位にアドレスプリチャージ設定コマンド (Precharge-sel) を出力することができます。表 6.8 に MXC2 ~ MXC0 ビットの設定値とシフト量の関係を示します。シンクロナス DRAM インタフェースのときは MXC2 ビットに 1 を設定してください。

表 6.8 MXC2 ~ MXC0 とアドレスマルチプレクスの関係

	DRAMCR			シフト量	アドレス端子																	
	MXC2	MXC1	MXC0		A23~A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
ロウ アドレス	0	x	x		リザーブ (設定禁止)																	
	1	0	0	8ビット	A23~A16	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	
			1	9ビット	A23~A16	A15	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	
	1	1	0	10ビット	A23~A16	A15	A14	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	
1			11ビット	A23~A16	A15	A14	A13	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11		
カラム アドレス	0	x	x		リザーブ (設定禁止)																	
	1	0	0	—	A23~A16	P	P	P	P	P	P	P	P	A8	A7	A6	A5	A4	A3	A2	A1	A0
			1	—	A23~A16	P	P	P	P	P	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
	1	1	0	—	A23~A16	P	P	P	P	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
1			—	A23~A16	P	P	P	P	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0		

x : Don't care
P : Precharge-sel

6.7.3 データバス

連続シンクロナス DRAM 空間に設定した場合、ABWCR レジスタの ABW2 ビットを 1 にセットするとエリア 2 ~ 5 は 8 ビット連続シンクロナス DRAM 空間となり、0 にクリアすると 16 ビット連続シンクロナス DRAM 空間となります。16 ビット連続シンクロナス DRAM 空間では、×16 ビット構成のシンクロナス DRAM を直結することができます。

8 ビット連続シンクロナス DRAM 空間では D15 ~ D8 の上位側データバスが有効となり、16 ビット連続シンクロナス DRAM 空間では D15 ~ D0 の上位側、下位側データバスが有効になります。

アクセスサイズとデータアライメントは基本バスインタフェースと同様ですので、「6.5.1 データサイズとデータアライメント」を参照してください。

6. バスコントローラ (BSC)

6.7.4 シンクロナス DRAM インタフェース使用端子

表 6.9 にシンクロナス DRAM インタフェースで使用する端子と機能を示します。シンクロナス DRAM インタフェースを有効とするためには、DCTL 端子を 1 に固定する必要があります。DCTL 端子は動作中に変化させないでください。

$\overline{CS2} \sim \overline{CS4}$ 端子は、リセット後に入力状態になっていますので、 \overline{RAS} 、 \overline{CAS} 、 \overline{WE} 信号を出力する場合には対応する DDR を 1 にセットしてください。詳細は「第 10 章 I/O ポート」を参照してください。また、CKE 信号を出力する場合には DRAMCR レジスタの OEE ビットを 1 にセットしてください。

表 6.9 シンクロナス DRAM インタフェース端子構成

端子	シンクロナス DRAM 設定時	名称	入出力	機能
$\overline{CS2}$	\overline{RAS}	ロウアドレスストロープ	出力	エリア 2~5 を連続シンクロナス DRAM 空間に設定したときのロウアドレスストロープ
$\overline{CS3}$	\overline{CAS}	カラムアドレスストロープ	出力	エリア 2~5 を連続シンクロナス DRAM 空間に設定したときのカラムアドレスストロープ
$\overline{CS4}$	\overline{WE}	ライトイネーブル	出力	エリア 2~5 を連続シンクロナス DRAM 空間に設定したときのライトイネーブル
$\overline{CS5}$	SDRAM	クロック	出力	シンクロナス DRAM 専用クロック
\overline{OE}	CKE	クロックイネーブル	出力	エリア 2~5 を連続シンクロナス DRAM 空間に設定したときのクロックイネーブル
\overline{UCAS}	DQMU	アッパーデータマスキイネーブル	出力	16 ビット連続シンクロナス DRAM 空間アクセス時のアッパーデータマスキイネーブル / 8 ビット連続シンクロナス DRAM 空間アクセス時のデータマスキイネーブル
\overline{LCAS}	DQML	ローアデータマスキイネーブル	出力	16 ビット連続シンクロナス DRAM 空間アクセス時のローアデータマスキイネーブル
A15 ~ A0	A15 ~ A0	アドレス端子	出力	ロウアドレス / カラムアドレスのマルチプレクス出力端子
D15 ~ D0	D15 ~ D0	データ端子	入出力	データ入出力端子
DCTL	DCTL	デバイスコントロール端子	入力	SDRAM の出力イネーブル端子

6.7.5 シンクロナス DRAM 専用クロック

DCTL 端子を 1 に固定すると、 $\overline{CS5}$ 端子よりシンクロナス専用クロック (SDRAM) が出力されます。SDRAM は本 LSI の PLL 回路の周波数通倍率を $\times 1$ または $\times 2$ に設定した場合、 ϕ に対して 90° 位相が進んで出力されます。そのため、クロックの立ち上がりエッジで動作するシンクロナス DRAM に対して安定したマージンを確保することができます。このときの ϕ と SDRAM の関係を図 6.43 に示します。なお、PLL 回路の周波数通倍率を $\times 4$ とした場合、SDRAM と ϕ の位相は同相となります。

本 LSI の SDRAM にシンクロナス DRAM の CLK 端子を直結して使用する場合には、PLL 回路の周波数通倍率を $\times 1$ または $\times 2$ に設定することを推奨いたします。

【注】 本文中の SDRAM の出力タイミングは PLL 回路の周波数通倍率が $\times 1$ または $\times 2$ の場合です。

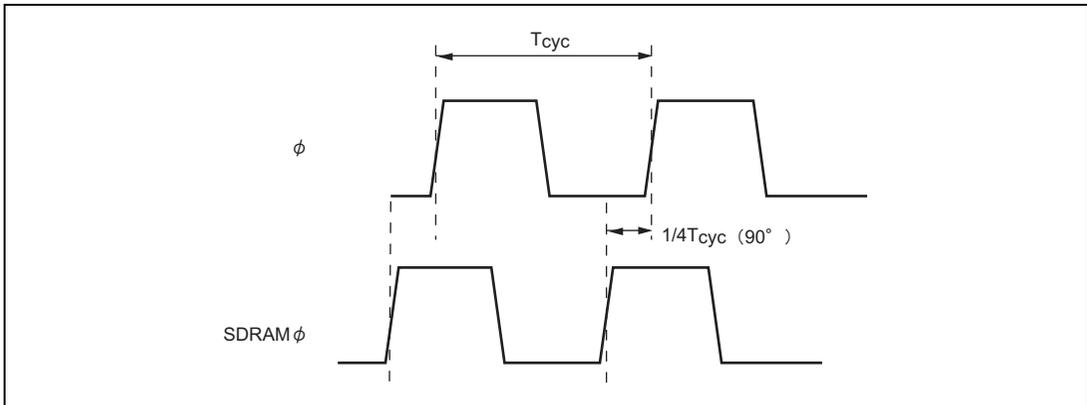


図 6.43 ϕ と SDRAM の関係 (PLL 周波数通倍率 $\times 1$ 、 $\times 2$ の場合)

6.7.6 基本動作タイミング

基本タイミングは T_p (プリチャージサイクル) 1 ステート、 T_r (ロウアドレス出力サイクル) 1 ステート、 T_{c1} 、 T_{c2} (コラムアドレス出力サイクル) 2 ステートで構成されています。

エリア 2~5 を連続シンクロナス DRAM 空間に設定した場合、BCR の WAITE ビット、DRAMCR の RAST、CAST、RCMD ビット、REFCR の CBRM ビットの設定は無視されます。

シンクロナス DRAM の基本タイミングを図 6.44 に示します。

6. バスコントローラ (BSC)

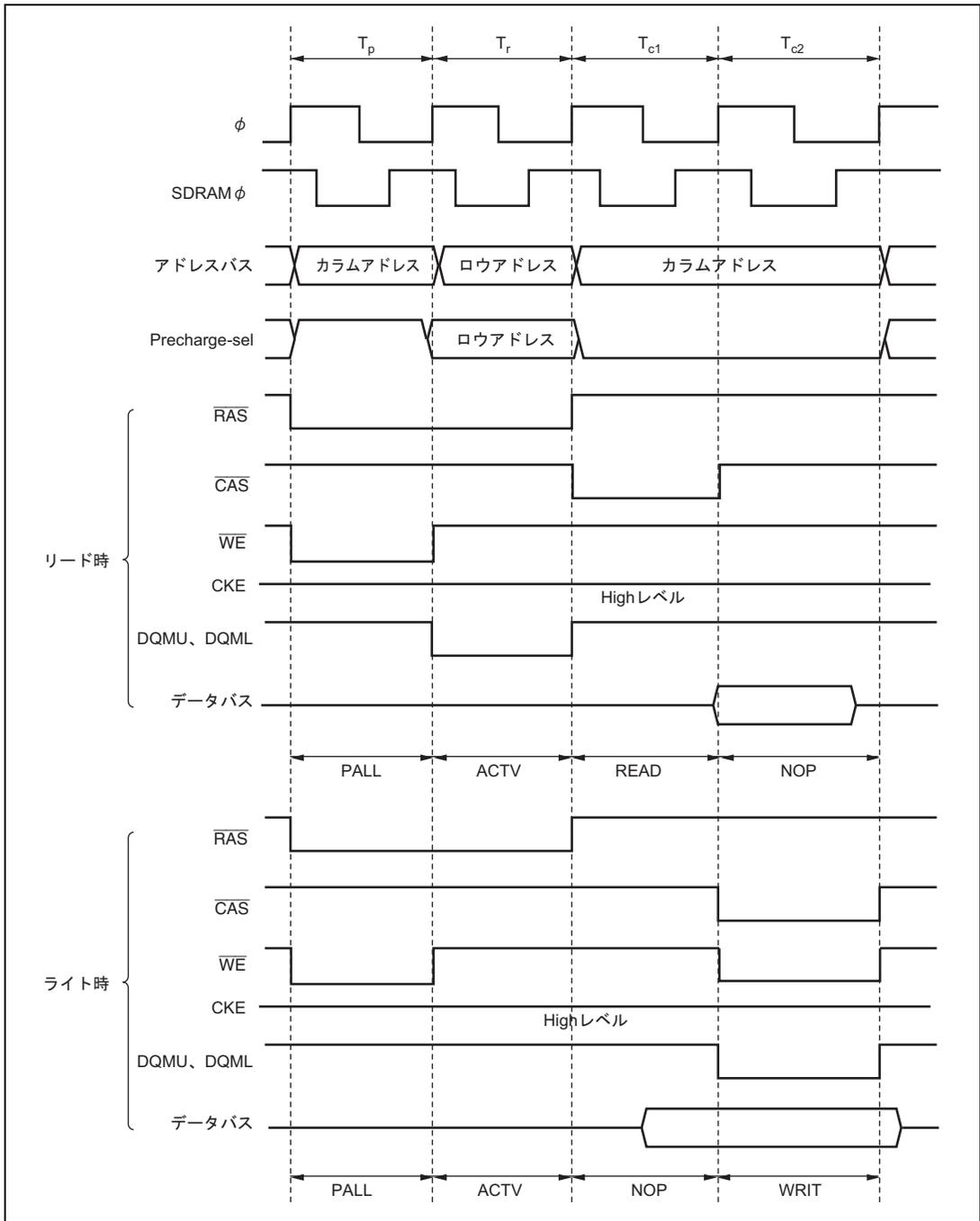


図 6.44 シンクロナス DRAM 基本アクセスタイミング (CAS レイテンシ 1 の場合)

6.7.7 CAS レイテンシ制御

CAS レイテンシの制御は WTCRB の W22 ~ W20 ビットの設定で行います。シンクロナス DRAM の設定により、表 6.10 のように CAS レイテンシ数を設定してください。設定に応じて、CAS レイテンシ制御サイクル (Tcl) が挿入されます。このとき ASTCR の AST2 ビットの設定に関係なく WTCRB レジスタの設定が可能です。例として CAS レイテンシ 3 のシンクロナス DRAM を接続したときの CAS レイテンシ制御タイミングを図 6.45 に示します。

W22 ~ W20 の初期値は H'7 となっていますので、接続するシンクロナス DRAM の CAS レイテンシにあわせて設定してください。

表 6.10 CAS レイテンシの設定

W22	W21	W20	説 明	CAS レイテンシ制御サイクル挿入数
0	0	0	CAS レイテンシ 1 のシンクロナス DRAM を接続	0 ステート
		1	CAS レイテンシ 2 のシンクロナス DRAM を接続	1 ステート
	1	0	CAS レイテンシ 3 のシンクロナス DRAM を接続	2 ステート
		1	CAS レイテンシ 4 のシンクロナス DRAM を接続	3 ステート
1	0	0	リザーブ (使用禁止)	
		1	リザーブ (使用禁止)	
	1	0	リザーブ (使用禁止)	
		1	リザーブ (使用禁止)	

6. バスコントローラ (BSC)

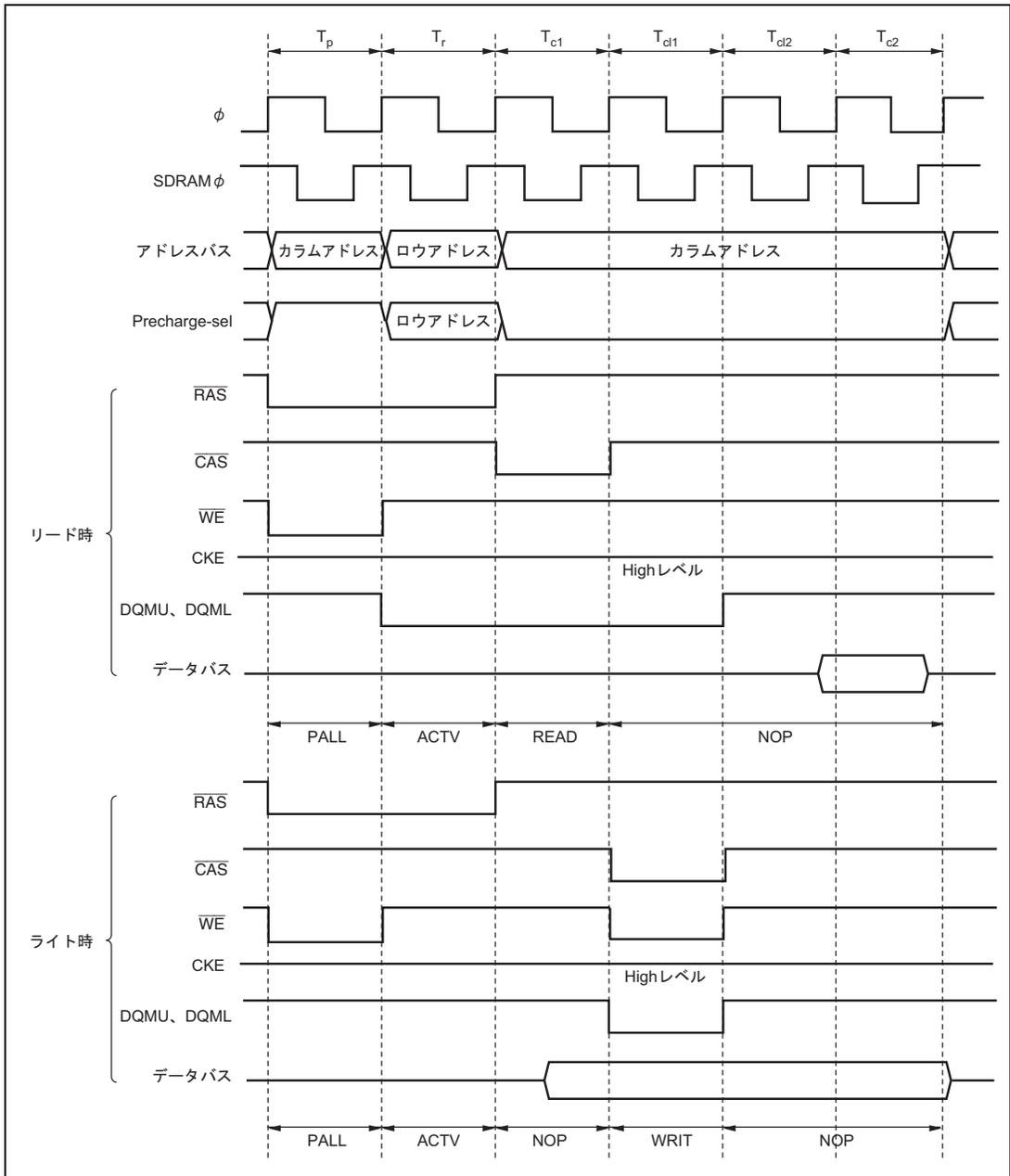


図 6.45 CAS レイテンシ制御タイミング (SDWCD = 0、CAS レイテンシ 3 の場合)

6.7.8 ロウアドレス出力ステート制御

ACTV コマンドから次の READ/WRITE コマンドまでのコマンド間隔規定を満たすことができない場合には、DRACCR の RCD1、RCD0 ビットを設定することにより、ACTV コマンドが出力される T_r サイクルとカラムアドレスが出力される T_{c1} サイクルの間に NOP コマンドが出力されるステート (T_{rw}) を 1~3 ステート挿入することが可能です。接続するシンクロナス DRAM と本 LSI の動作周波数に応じて、ウェイト時間が最適になるように設定してください。図 6.46 に T_{rw} を 1 ステート設定したときのタイミングを示します。

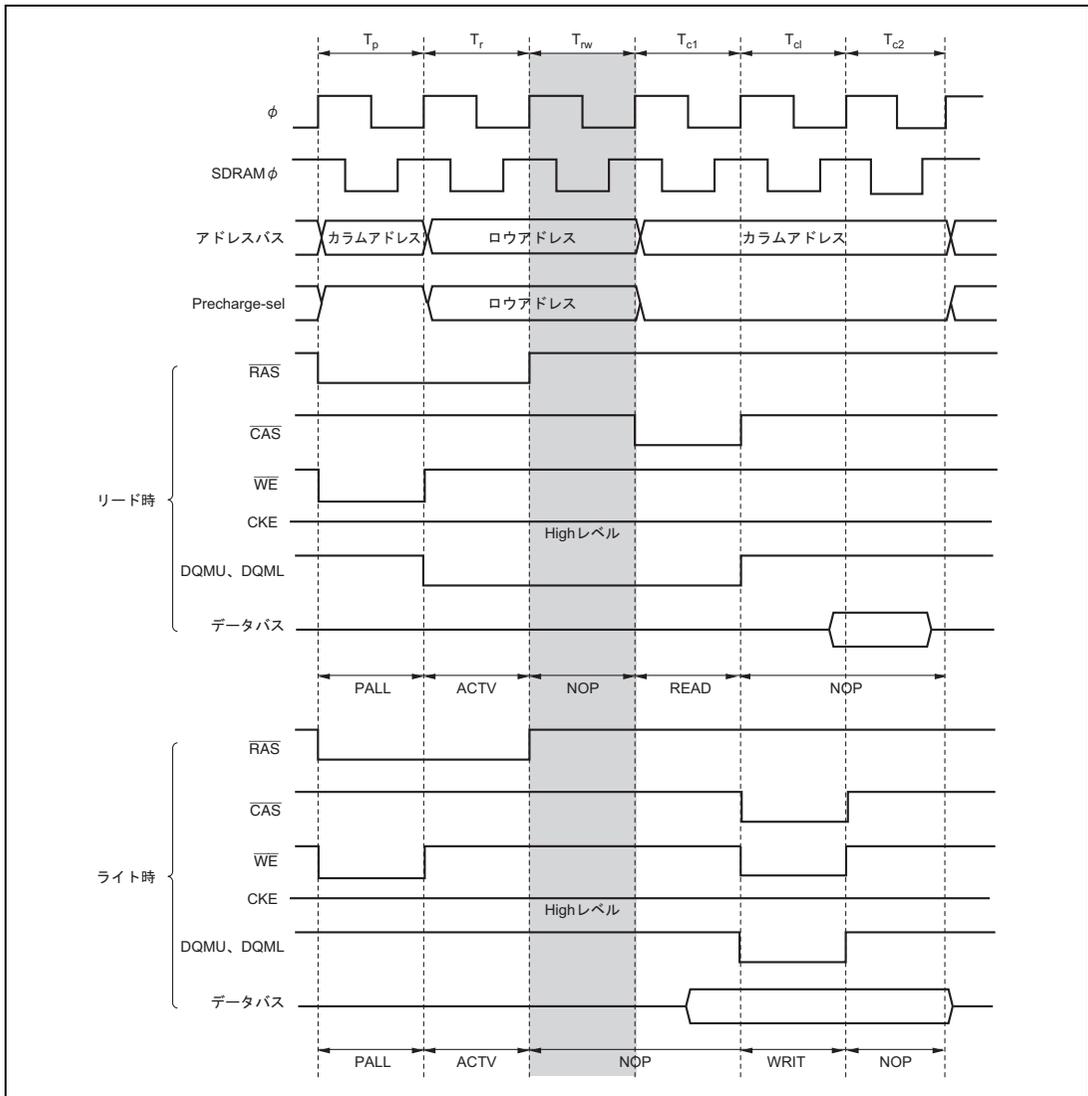


図 6.46 ロウアドレス出力保持ステート数が 1 ステート時のタイミング例
(RCD1=0、RCD0=1、SDWCD=0、CAS レイテンシ 2 の場合)

6. バスコントローラ (BSC)

6.7.9 プリチャージステート数

PALL コマンドから次の ACTV/REF コマンドまでの間隔規定を満たすことができない場合には、DRACCR の TPC1、TPC0 ビットを設定することにより、 T_p サイクルを 1 ステートから 4 ステートの範囲で変更することができます。接続するシンクロナス DRAM と本 LSI の動作周波数に応じて最適な T_p サイクル数を設定してください。

図 6.47 に T_p を 2 ステートとしたときのタイミングを示します。

TPC1、TPC0 ビットの設定は、リフレッシュサイクルの T_p にも有効です。

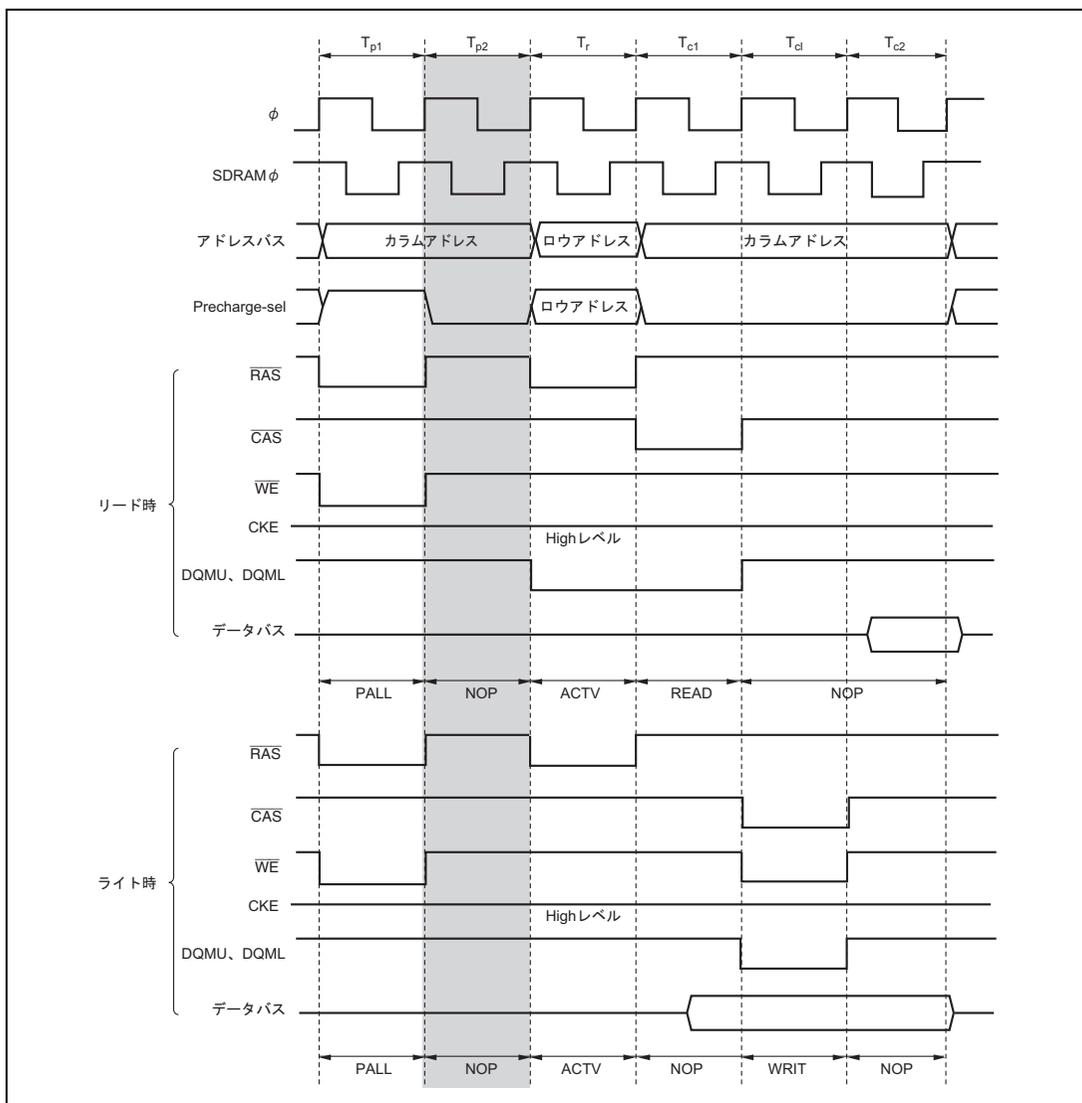


図 6.47 プリチャージサイクル 2 ステート時のタイミング例
(TPC1=0、TPC0=1、SDWCD=0、CAS レイテンシ 2 の場合)

6.7.10 ライトサイクル時のバスサイクル制御

DRACCR の SDWCD ビットを 1 にセットすると、シンクロナス DRAM のライトアクセス時に WTCRB により挿入される CAS レイテンシ制御サイクル (T_{c1}) を無効にすることができます。CAS レイテンシ制御サイクルを無効にするとシンクロナス DRAM のリードアクセスに比べ、ライトアクセスのサイクル数を減らすことができます。CAS レイテンシ制御サイクルを無効としたときのライトアクセスタイミング例を図 6.48 に示します。

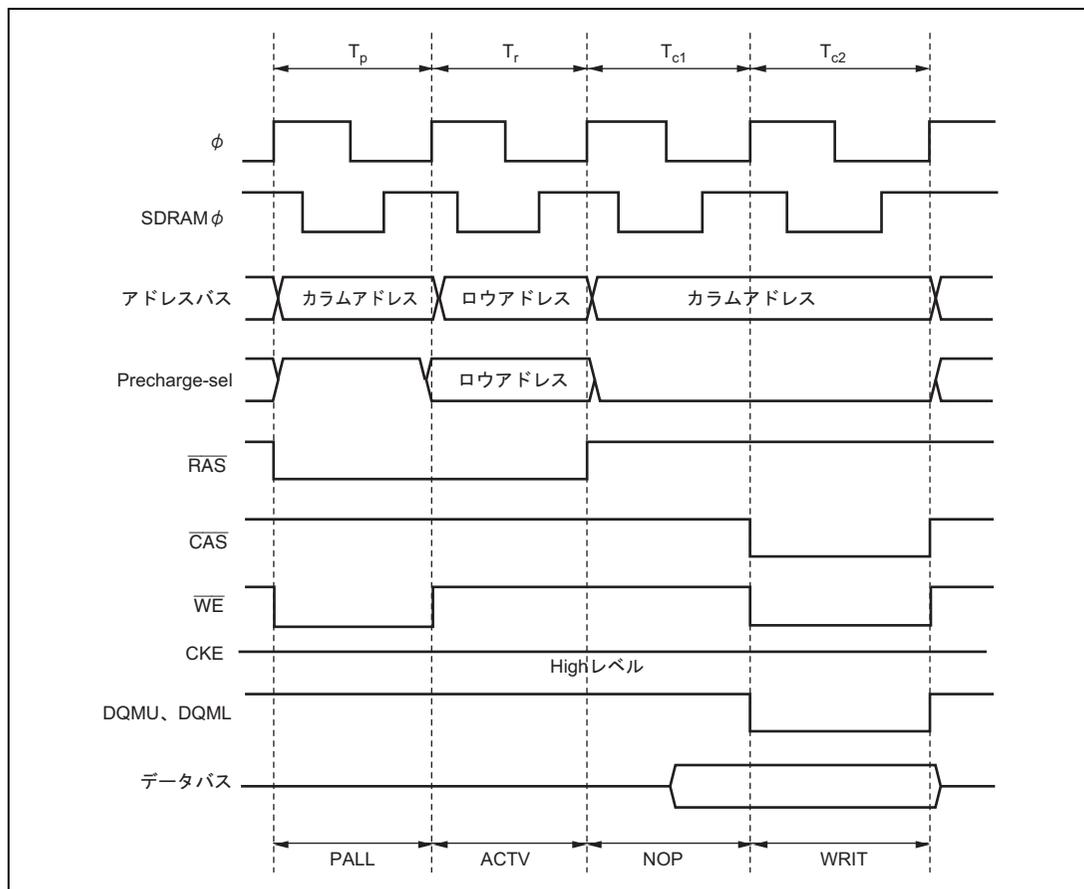


図 6.48 CAS レイテンシ制御サイクルを無効にしたときのライトアクセスタイミング例
(SDWCD = 1 の場合)

6.7.11 バイトアクセス制御

×16ビット構成のシンクロナス DRAM を接続するとき、DQMU、DQML を制御してバイトアクセスを行うことができます。

図 6.49、図 6.50 に DQM の制御タイミングを示します。また図 6.51 に DQMU、DQML によりバイト制御を行うときの接続例を示します。

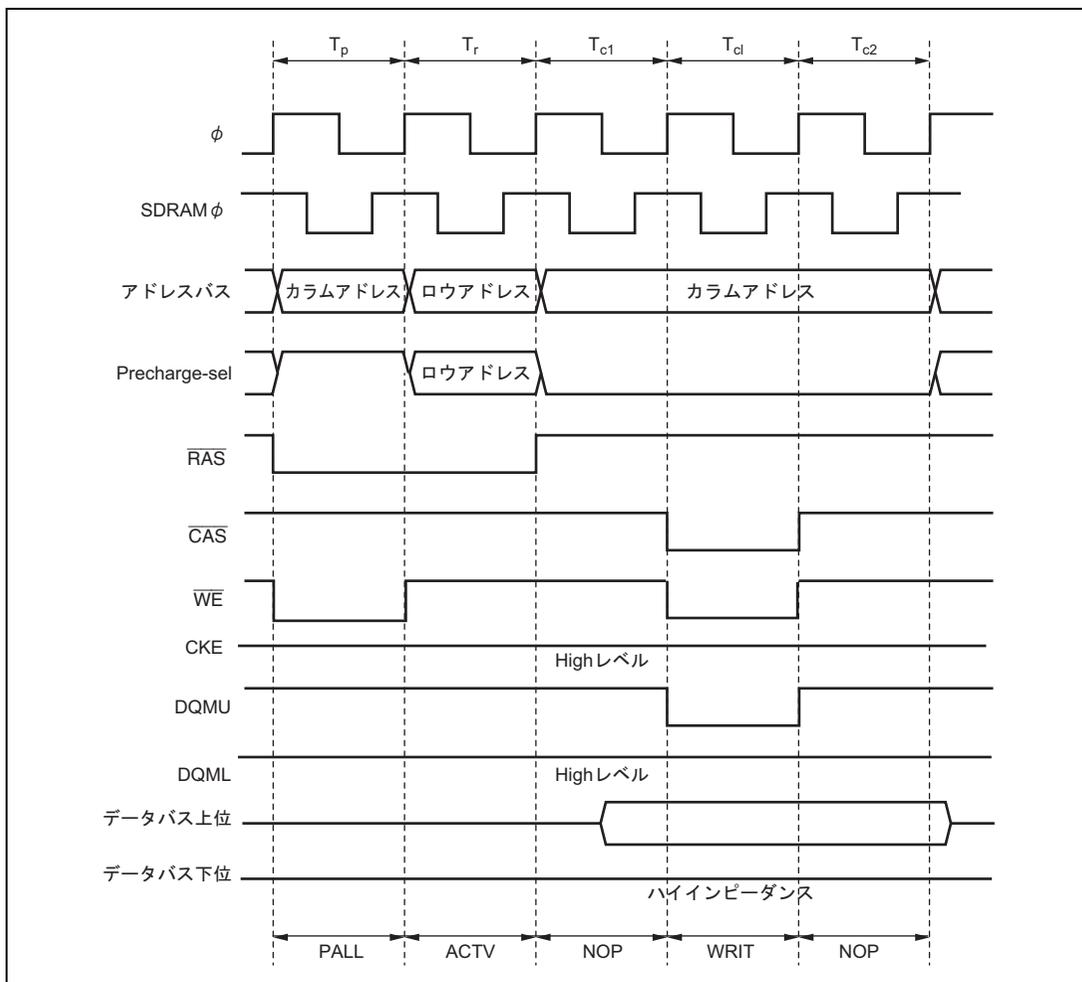


図 6.49 DQMU、DQML による制御タイミング
(上位バイトライトアクセス時、SDWCD=0 の場合、CAS レイテンシ 2 の場合)

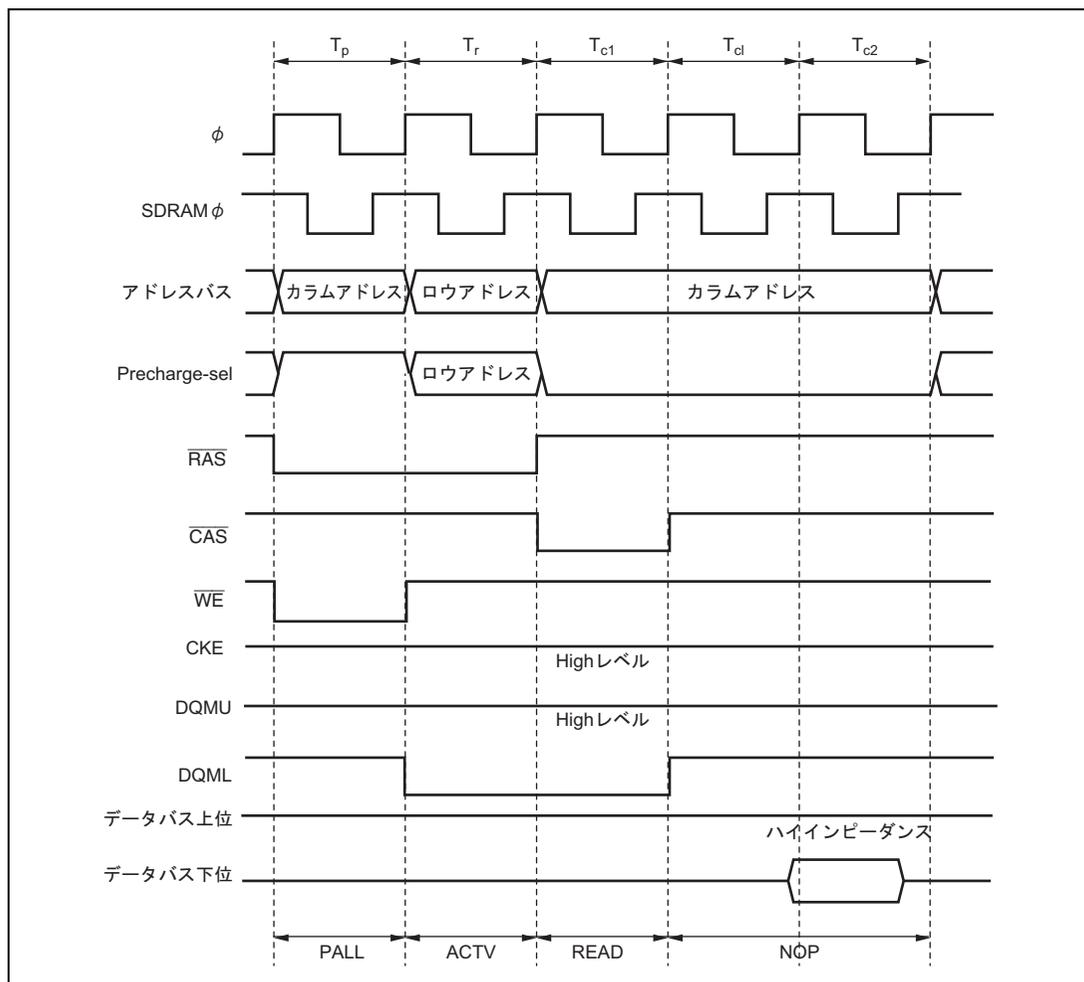


図 6.50 DQMU、DQML による制御タイミング
(下位バイトリードアクセス時、CAS レイテンシ 2 の場合)

6. バスコントローラ (BSC)

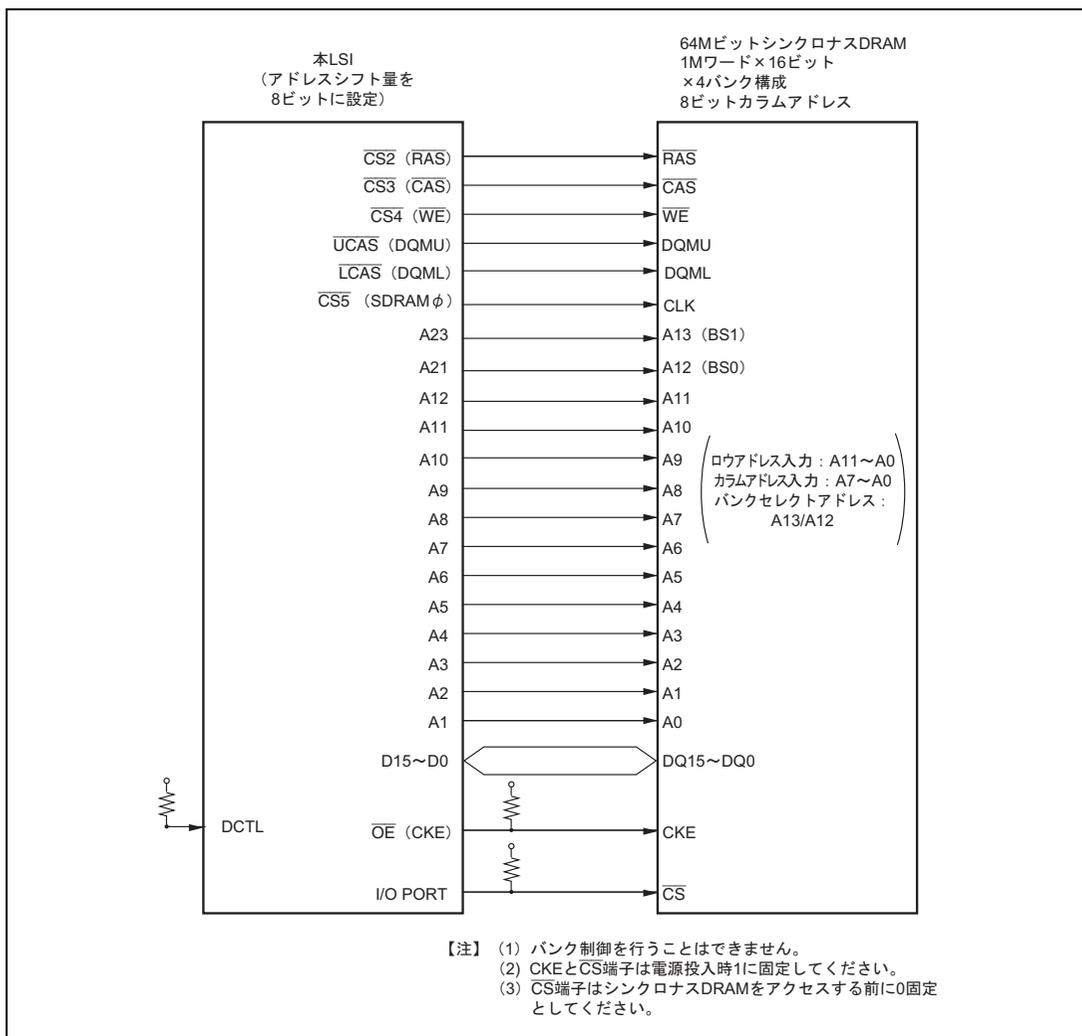


図 6.51 DQMU、DQML によるバイト制御の接続例

6.7.12 バースト動作

シンクロナス DRAM では、アクセスのたびにロウアドレスを出力してデータをアクセスするフルアクセス（ノーマルアクセス）のほかに、同一のロウアドレスに対するアクセスが連続するとき、ロウアドレスを出力した後はカラムアドレスを変更するだけでデータを高速にアクセスできるバーストアクセスがあります。DRAMCR の BE ビットを 1 にセットすることにより、バーストアクセスを選択することができます。

シンクロナス DRAM をリードする際の DQM は常に 2 サイクルのレイテンシがあります。このために、CAS レイテンシを 1 に設定して READ コマンドを発行する場合、2 回目以降のカラムアドレスに対して T_{c1} サイクルを直ちに行くと、 T_{c2} サイクルのデータ出力に対する DQM 信号の指定が行えません。したがって、CAS レイテン

シ 1 のシンクロナス DRAM を接続するときは、BE ビットを 1 に設定しないでください。

(1) バーストアクセスの動作タイミング

図 6.52 にバーストアクセスの動作タイミングを示します。連続シンクロナス DRAM 空間へのアクセスサイクルが連続したとき、前後のアクセスサイクルのロウアドレスが一致している間、カラムアドレスの出力サイクルが連続して行われます。比較対象となるロウアドレスは DRAMCR レジスタの MXC2 ~ MXC0 ビットにより設定します。

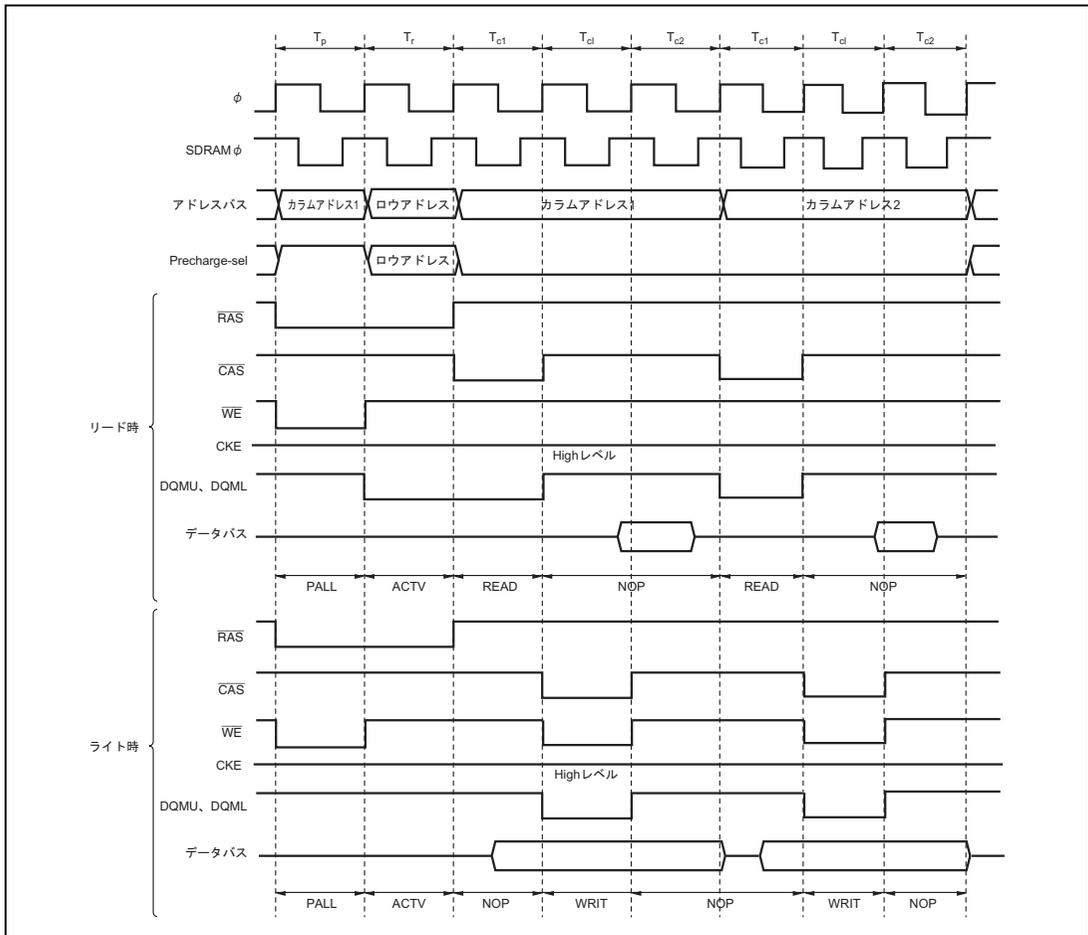


図 6.52 バーストアクセスの動作タイミング
(BE = 1、SDWCD = 0、CAS レイテンシ 2 の場合)

6. バスコントローラ (BSC)

(2) RAS ダウンモード

バースト動作を選択していても、連続シンクロナス DRAM 空間へのアクセスが連続せず、途中で他空間へのアクセスが入ってしまうことがあります。この場合、他空間がアクセスされている間もロウアドレスのアクティブ状態が保持され、DRAM の RAS ダウンモードと同様に ACTV コマンドを発生せずにリードまたはライトコマンドを発行することができます。

DRAMCR の BE ビットを 1 にセットすると、RCDM ビットの設定によらず RAS ダウンモードが選択されます。DRAM の RAS アップモードに相当する動作は本 LSI ではサポートしていません。

図 6.53 に RAS ダウンモードのタイミング例を示します。ただし、以下の状態に遷移した場合、次の連続シンクロナス DRAM 空間のアクセスはフルアクセスとなります。

- リフレッシュ動作が RAS ダウン中に入る場合
- セルフリフレッシュが行われた場合
- ソフトウェアスタンバイモードへ遷移する場合
- 外部バスを開放する場合
- BE ビットを 0 にクリアした場合
- シンクロナス DRAM のモードレジスタ設定を行った場合

各バンクをアクティブ状態にしておける時間に制限のあるシンクロナス DRAM が存在します。この場合、プログラムの実行によってこの値を守る周期で、別のロウアドレスにアクセスする保証がない場合 (ソフトウェアスタンバイ、スリープなど)、オートリフレッシュまたはセルフリフレッシュを行う設定にし、各バンクの最大アクティブ状態時間の制約を満たす必要があります。リフレッシュを使用しない場合には、所定時間以上各バンクがアクティブ状態にとどまらない工夫をプログラムで行う必要があります。

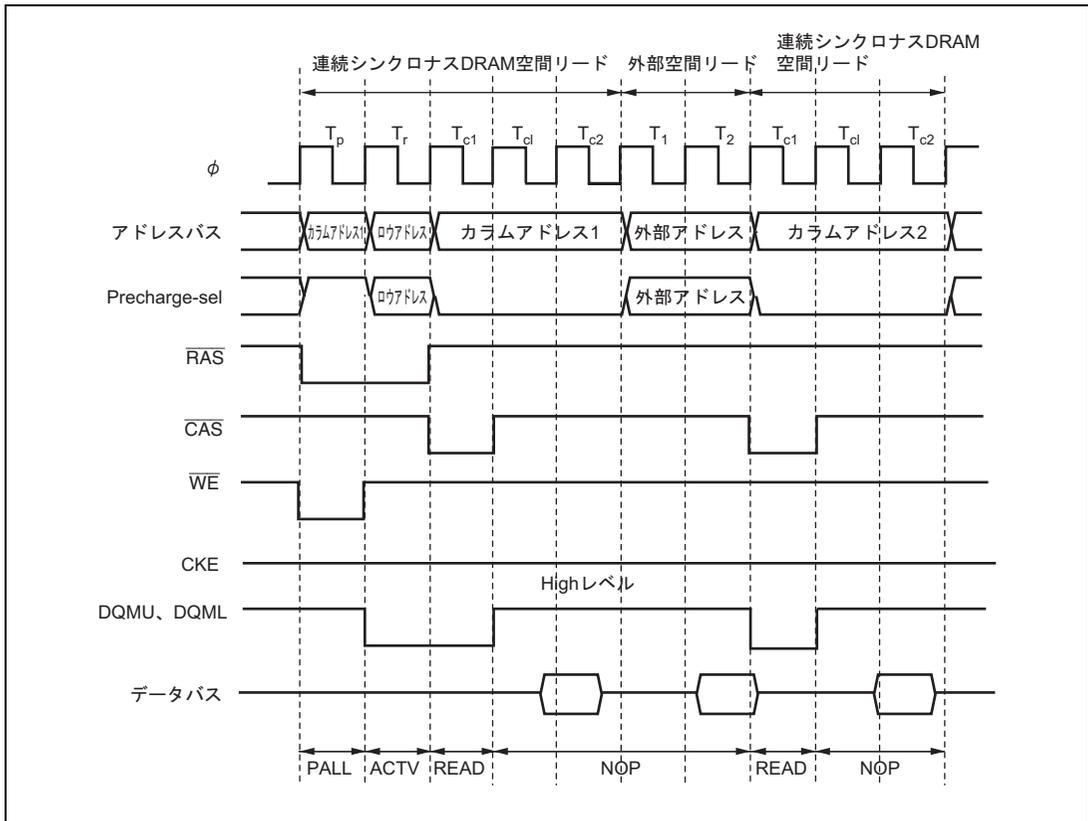


図 6.53 RAS ダウンモードの動作タイミング例
(BE = 1、CAS レイテンシ 2 の場合)

6.7.13 リフレッシュ制御

本 LSI は、シンクロナス DRAM のリフレッシュ制御機能を備えています。リフレッシュ方法は、オートリフレッシュです。また、ソフトウェアスタンバイ状態に移移するときにセルフリフレッシュを実行することができます。リフレッシュ制御は、DRAMCR の RMTS2 ~ RMTS0 ビットの設定により、連続シンクロナス DRAM 空間に設定した場合に有効です。

(1) オートリフレッシュ

オートリフレッシュを選択するためには、REFCR の RFSHE ビットを 1 にセットしてください。

オートリフレッシュでは、REFCR の RTCK2 ~ RTCK0 ビットで選択した入力クロックにより、RTCNT がカウントアップされ、RTCOR に設定した値と一致 (コンペアマッチ) すると、リフレッシュ制御が行われます。同時に RTCNT はリセットされ、H00 からカウントアップを再開します。すなわち、リフレッシュは RTCOR と RTCK2 ~ RTCK0 ビットで決まる一定間隔で繰り返されます。使用するシンクロナス DRAM のリフレッシュ間隔規定を満たすように、RTCOR と RTCK2 ~ RTCK0 ビットの値を設定してください。

6. バスコントローラ (BSC)

RTCK2 ~ RTCK0 ビットの設定を行うと、RTCNT のカウントアップが開始されます。このため、RTCK2 ~ RTCK0 ビットの設定を行う前に、RTCNT および RTCOR の設定を行ってください。図 6.54 にオートリフレッシュのタイミングを示します。

リフレッシュカウンタの動作は DRAM インタフェースと同様ですので、詳細は「6.6.12 リフレッシュ制御」を参照してください。

また、連続シンクロナス DRAM 空間を設定したときは、REFCR レジスタの CBRM ビットの設定は無視されるため、オートリフレッシュと連続シンクロナス DRAM 空間以外の外部空間アクセスを並行して行うことはできません。

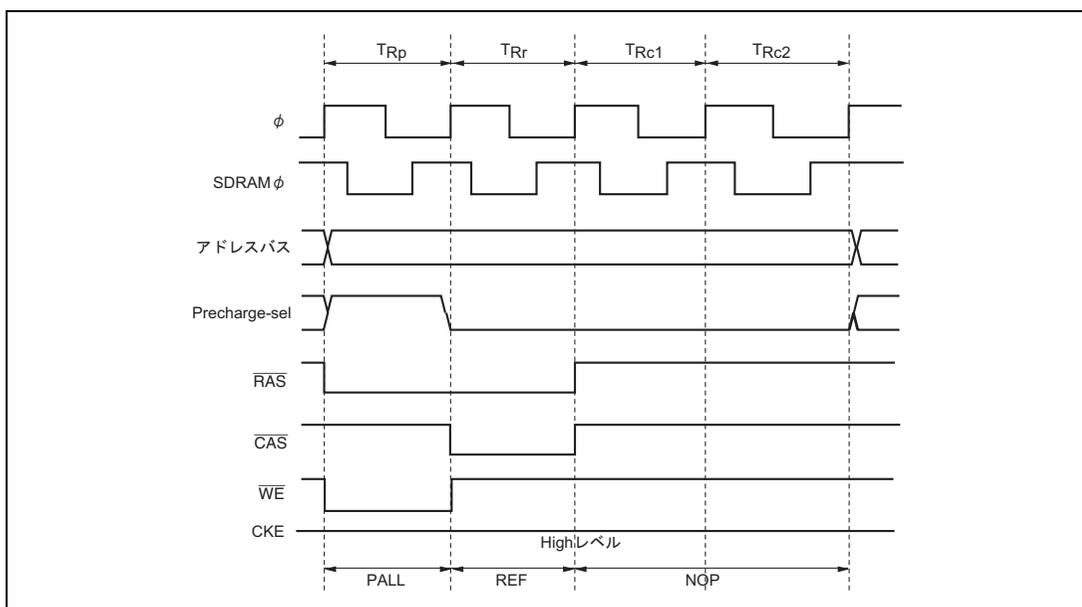


図 6.54 オートリフレッシュタイミング

PLL コマンドから REF コマンドまでの間隔規定を満たすことができない場合には、REFCR の RCW1、RCW0 ビットを設定することにより、DRACCR の TPC1、TPC0 ビットで設定される T_{Rp} サイクルに続き、1 ステートから 3 ステートの範囲でウェイトステートを挿入することができます。接続するシンクロナス DRAM と本 LSI の動作周波数に応じて最適なウェイト数を設定してください。図 6.55 にウェイトを 1 ステート挿入したときのタイミングを示します。リフレッシュサイクルにおいても DRACCR の TPC1、TPC0 ビットの設定は有効になるため、プリチャージサイクル数に続き RCW1、RCW0 ビットによりさらにコマンド間隔を引き延ばすことができます。

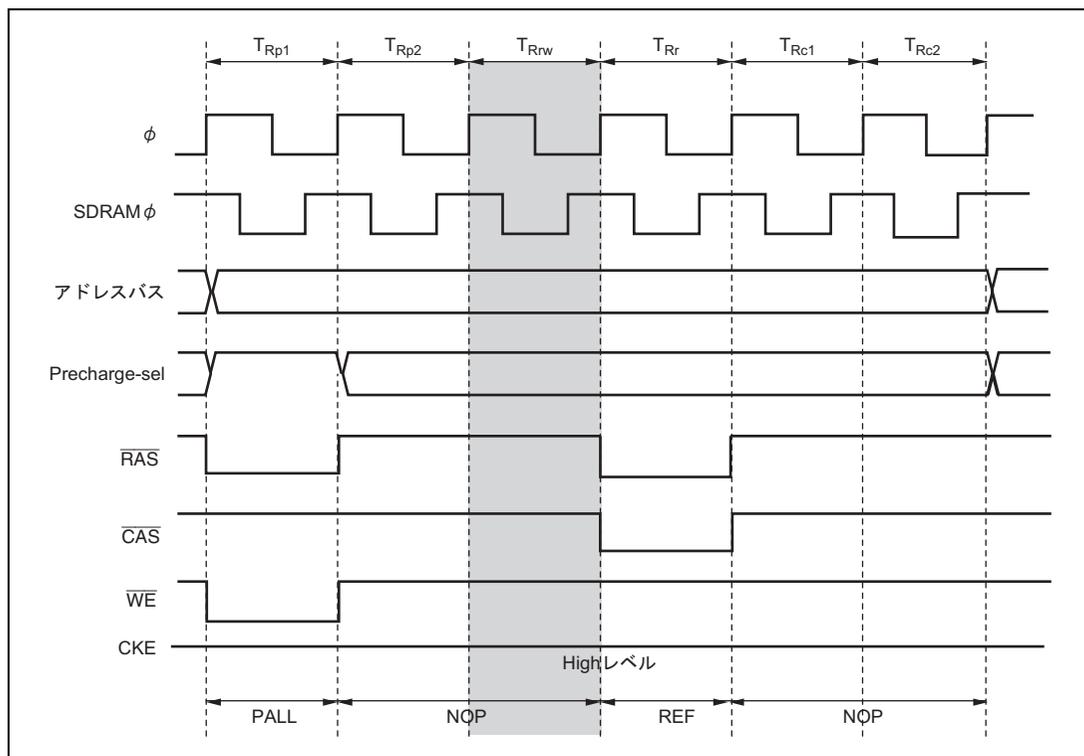


図 6.55 オートリフレッシュタイミング
(TPC=1、TPC0=1、RCW1=0、RCW0=1の場合)

REF コマンドから次の ACTV までの間隔規定を満たすことのできない場合には、REFCR の RLW1、RLW0 ビットを設定することにより、リフレッシュサイクルに 1 ステートから 3 ステートの範囲でウェイトステートを挿入することができます。接続するシンクロナス DRAM と本 LSI の動作周波数に応じて最適なウェイト数を設定してください。図 6.56 に 1 ステートのウェイトを挿入したときのタイミングを示します。

6. バスコントローラ (BSC)

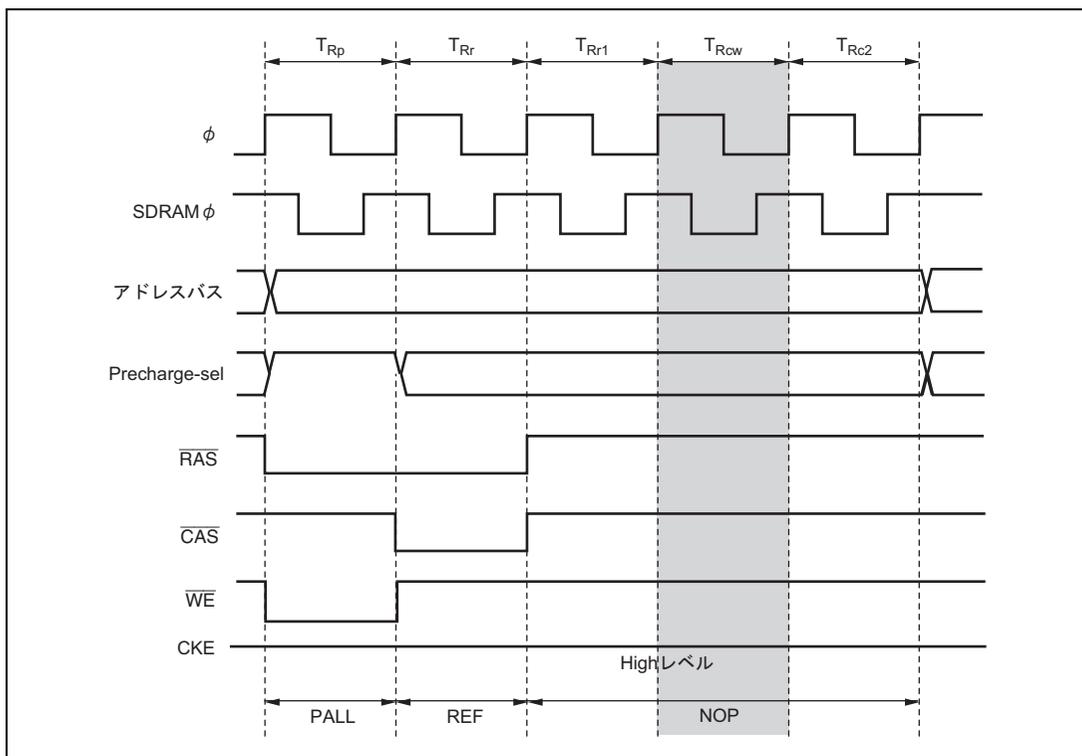


図 6.56 オートリフレッシュタイミング
(TPC = 0、TPC0 = 0、RLW1 = 0、RLW0 = 1 の場合)

(2) セルフリフレッシュ

シンクロナス DRAM には、スタンバイモードの一種として、シンクロナス DRAM 内でリフレッシュタイミングとリフレッシュアドレスを生成するセルフリフレッシュモード (バッテリーバックアップモード) を備えているものがあります。

セルフリフレッシュを選択するためには、REFCR の RFSHE ビットを 1 にセットしてください。その後、ソフトウェアスタンバイモードに遷移するための SLEEP 命令を実行すると、図 6.57 に示すように SELF コマンドが発行されます。

ソフトウェアスタンバイモードを解除すると、REFCR の SLFRF ビットが 0 にクリアされ、セルフリフレッシュモードが自動的に解除されます。ソフトウェアスタンバイモードに遷移する場合、オートリフレッシュ要求があると、オートリフレッシュを実行した後セルフリフレッシュモードに入ります。

セルフリフレッシュモードを使用する場合、SBYCR レジスタの OPE ビットを 0 にクリアしないでください。

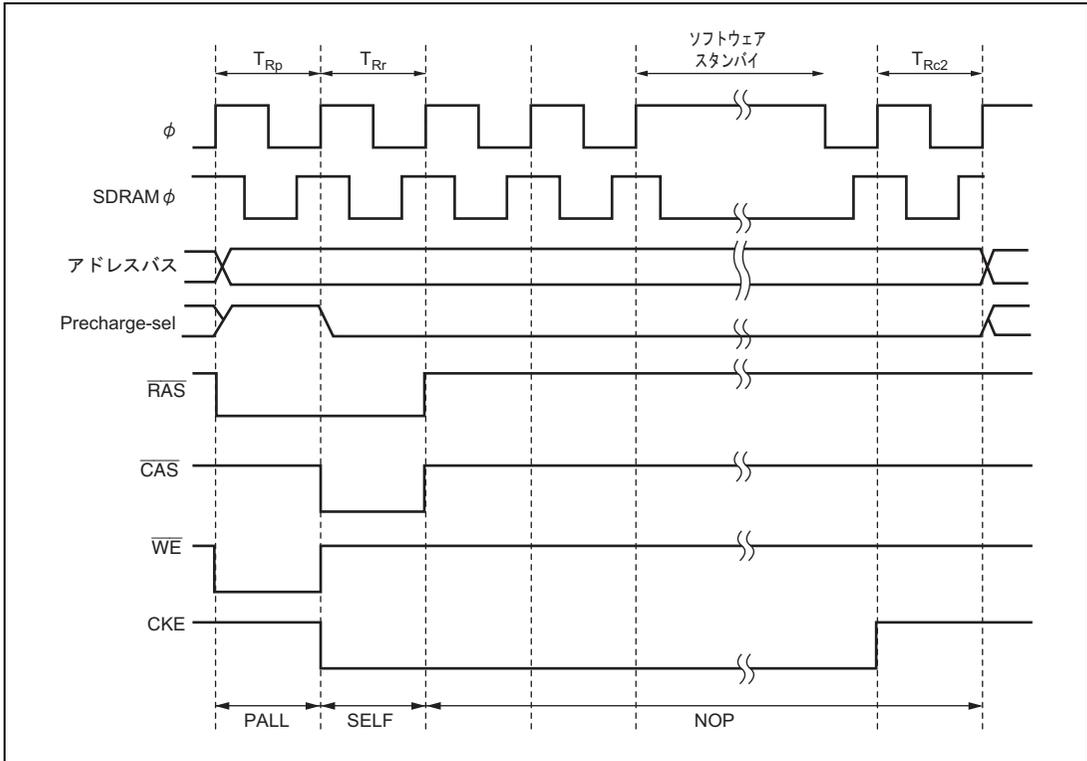


図 6.57 セルフリフレッシュタイミング
(TPC1=1、TPC0=0、RCW1=0、RCW0=0、RLW1=0、RLW0=0の場合)

また、セルフリフレッシュモードを備えるシンクロナス DRAM の中には、セルフリフレッシュの解除から次のコマンドまでの間隔規定のあるものが存在します。REFCR の TPCS2 ~ TPCS0 ビットを設定することにより、セルフリフレッシュ解除後のプリチャージ時間より 1~7 ステート増加することが可能です。この場合にも、DRACCR の TPC1、TPC0 ビットの設定に従った通常のプリチャージが行われるので、この時間とあわせてセルフリフレッシュ後のプリチャージ時間が最適になるように設定してください。図 6.58 にセルフリフレッシュ直後のプリチャージ時間を 2 ステート増加した場合のタイミング例を示します。

6. バスコントローラ (BSC)

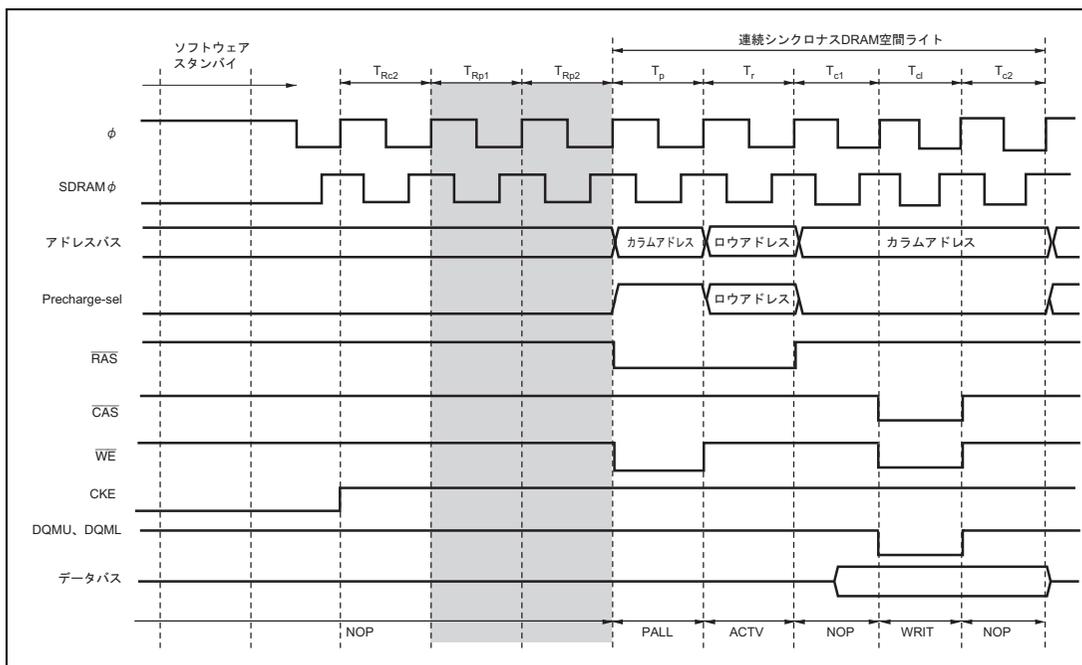


図 6.58 セルフリフレッシュ直後のプリチャージ時間を 2 ステート増加した場合のタイミング例
(TPCS2 ~ TPCS0 = H'2, TPC1 = 0, TPC0 = 0, CAS レイテンシ 2 の場合)

(3) リフレッシュと全モジュールクロックストップモード

本 LSI は MSTPCR_H レジスタの ACSE ビットを 1 にセットし、すべての周辺モジュールのクロックを停止する設定 (MSTPCR = H'FFFF、EXMSTPCR = H'FFFF) か、もしくは 8 ビットタイマだけを動作させる設定 (MSTPCR = H'FFFE、EXMSTPCR = H'FFFF) で SLEEP 命令を実行しスリープ状態へ遷移すると、バスコントローラと I/O ポートもクロックを停止する全モジュールクロックストップモードへ遷移します。

このモードではバスコントローラもクロックが停止しますので、オートリフレッシュも実行されません。外部にシンクロナス DRAM を接続し、スリープモードを行う場合には MSTPCR レジスタの ACSE ビットを 0 にクリアしてください。

(4) ソフトウェアスタンバイ

通常のソフトウェアスタンバイに遷移するときは PLL コマンドは出力されません。したがってシンクロナス DRAM を接続してソフトウェアスタンバイを行う場合にはセルフリフレッシュを設定してください。

6.7.14 シンクロナス DRAM のモードレジスタ設定

シンクロナス DRAM を使用するためには、パワーオン後、モードの設定を行う必要があります。モードの設定は DRAMCR の RMTS2 ~ RMTS0 ビットを H'5 に設定し、シンクロナス DRAM モードレジスタの設定を有効にします。その後、連続シンクロナス DRAM 空間をバイトアクセスします。シンクロナス DRAM モードレジスタに設定したい値を X とすると、8 ビットバス構成のシンクロナス DRAM では H'400000+X 番地の連続シンクロナス DRAM 空間に、16 ビットバス構成のシンクロナス DRAM では H'400000+2X 番地の連続シンクロナス DRAM 空間に書き込みを行うことで値 X がシンクロナス DRAM のモードレジスタに設定されます。

シンクロナス DRAM のモードレジスタ設定値は MRS コマンド発行時点のアドレス信号の値が取り込まれます。

本 LSI はシンクロナス DRAM のパーストリード / パーストライトのモードは対応していません。シンクロナス DRAM のモードレジスタを設定する際は、パーストリード / シングルライトを設定し、パースト長は 1 としてください。シンクロナス DRAM のモード設定タイミングを図 6.59 に示します。

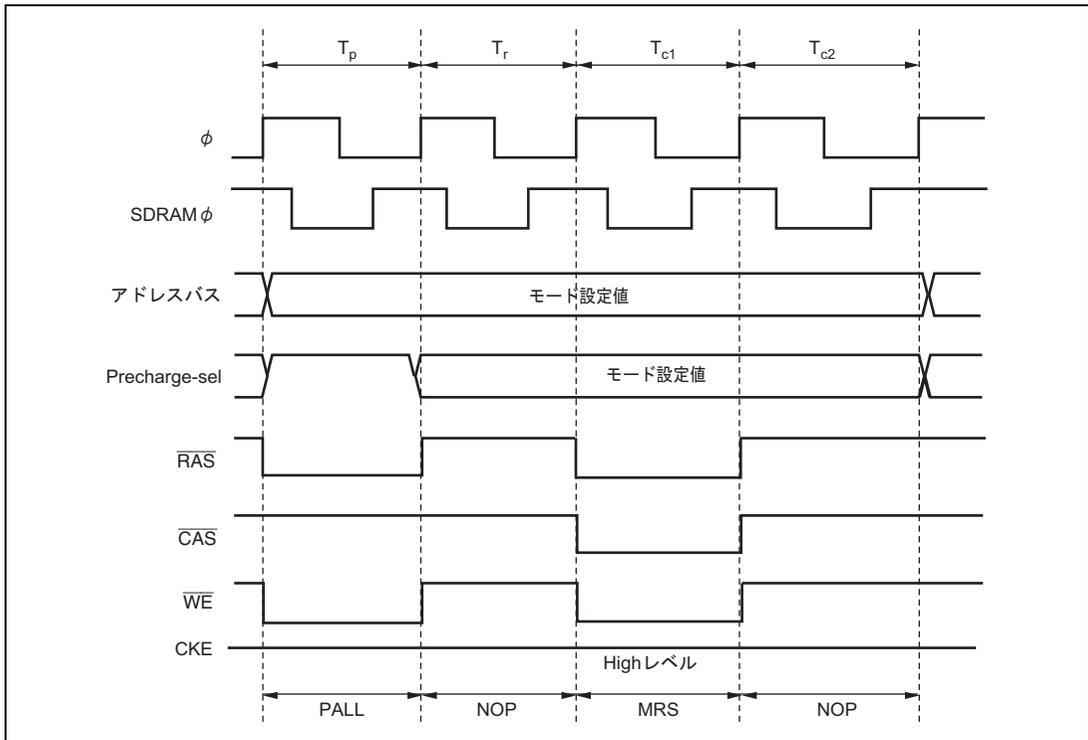


図 6.59 シンクロナス DRAM モード設定タイミング

6.7.15 DMAC および EXDMAC のシングルアドレス転送モードとシンクロナス DRAM インタフェース

シンクロナス DRAM インタフェースでバーストモードに設定したとき、DRAMCR の DDS、EDDS ビットによって $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングを選択します。また、同時に DMAC および EXDMAC シングルアドレスモードで連続シンクロナス DRAM 空間をアクセスする場合に、必ずフルアクセス (ノーマルアクセス) を行うかバーストアクセスを許可するか選択します。また、DDS、EDDS ビットの設定によらず、リードデータの確定時間をクロックサスペンドモードにより拡張することができます。

(1) $\overline{\text{DACK}}$ または $\overline{\text{EDACK}}$ の出力タイミング

- DDS = 1 または EDDS = 1 のとき

バスマスタによらず、アドレスのみを判定してバーストアクセスを行います。また、 $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングは、シンクロナス DRAM インタフェースの場合 Tc1 ステートから Low レベルになります。

図 6.60 に、DDS = 1 または EDDS = 1 のときの、シンクロナス DRAM インタフェース時の $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出力タイミングを示します。

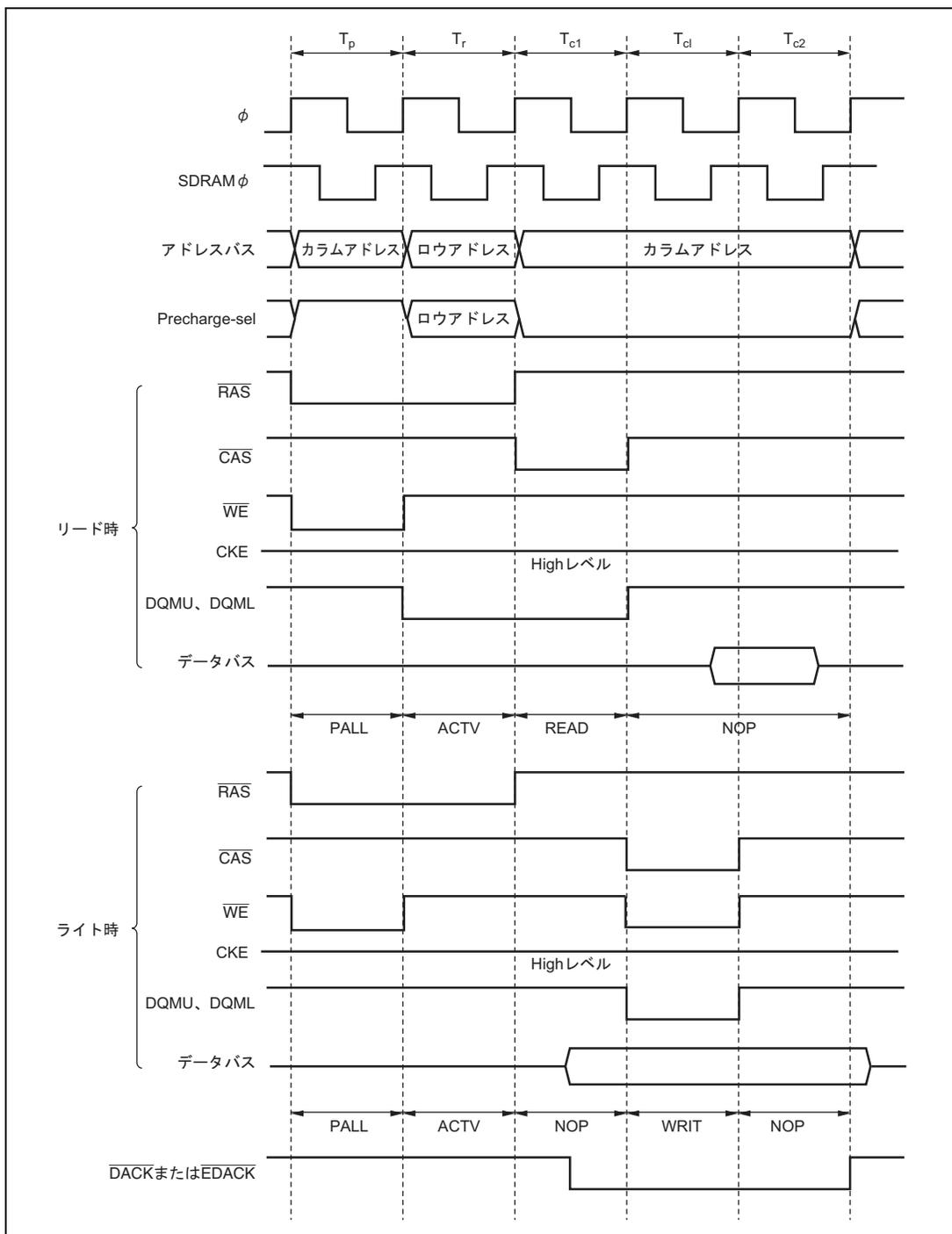


図 6.60 DDS = 1 または EDDS = 1 の場合の $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出カタイミグ例

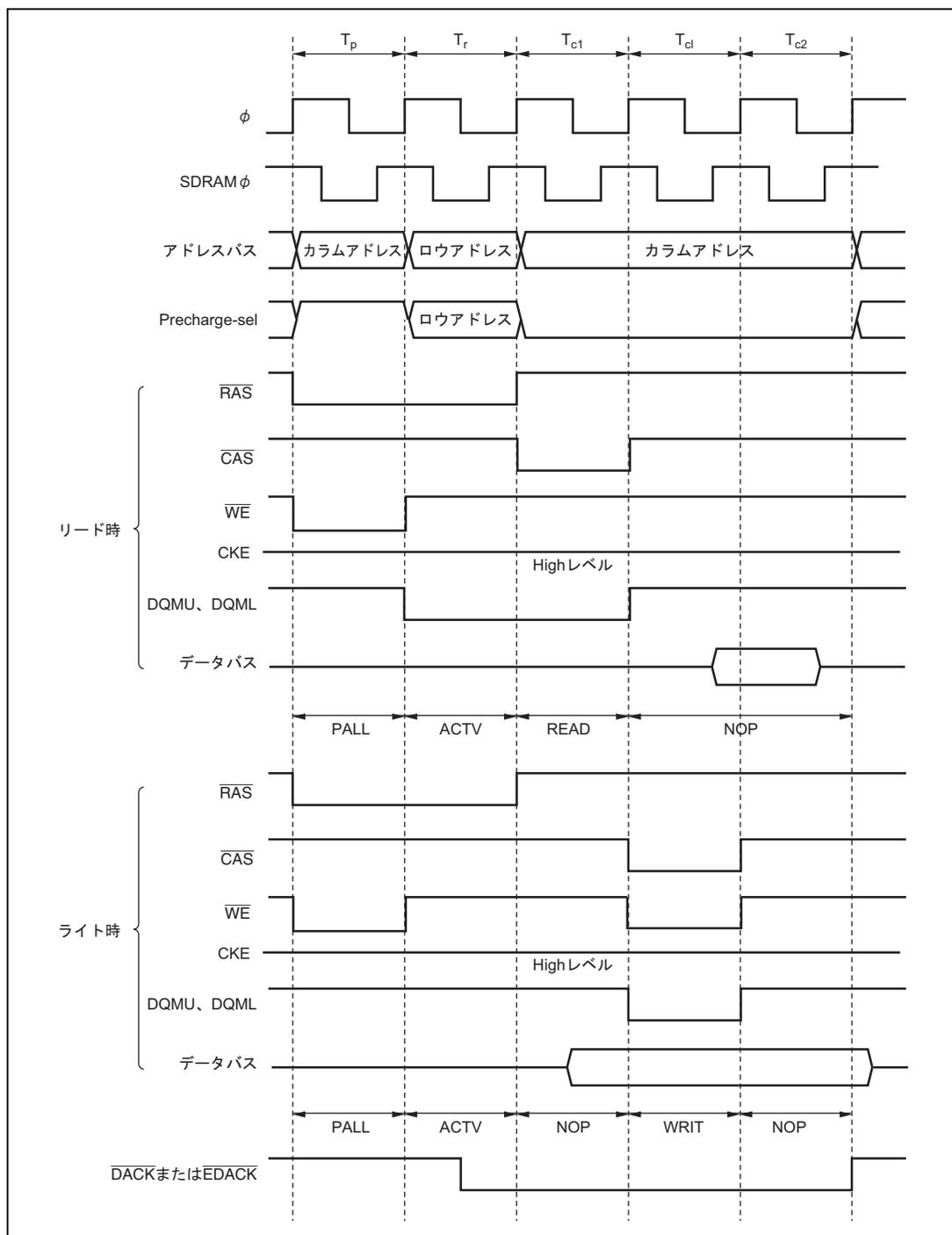
6. バスコントローラ (BSC)

(a) DDS = 0 または EDDS = 0 のとき

DMAC または EXDMAC シングルアドレス転送モードで連続シンクロナス DRAM 空間をアクセスしたとき、必ずフルアクセス (ノーマルアクセス) を行います。また、 \overline{DACK} 、 \overline{EDACK} 出力タイミングは、シンクロナス DRAM インタフェースの場合 Tr ステートから Low レベルになります。

DMAC または EXDAC シングルアドレス転送モード以外で、連続シンクロナス DRAM 空間をアクセスする場合には、バーストアクセスが可能です。

図 6.61 に、DDS = 0 または EDDS = 0 の場合の、シンクロナス DRAM インタフェース時の \overline{DACK} 、 \overline{EDACK} 出力タイミングを示します。

図 6.61 DDS = 0 または EDDS = 0 の場合の $\overline{\text{DACK}}$ 、 $\overline{\text{EDACK}}$ 出カタイミグ例

6. バスコントローラ (BSC)

(2) リードデータ拡張

DMAC および EXDMAC のシングルアドレス転送モードで連続シンクロナス DRAM 空間をリードアクセスする場合に、DRACCR の CKSPE ビットを 1 に設定すると、リードデータの確定時間をクロックサスペンドモードにより拡張することができます。リードデータ拡張サイクル (T_{sp}) の挿入ステート数は DRACCR の RDXC1、RDXC0 ビットにより設定します。リードデータの拡張を行う際は DRAMCR の OEE ビットを 1 に設定してください。リードデータの拡張は DDS、EDDS ビットに依存しません。

図 6.62 にリードデータを 2 サイクル拡張した場合のタイミング図を示します。

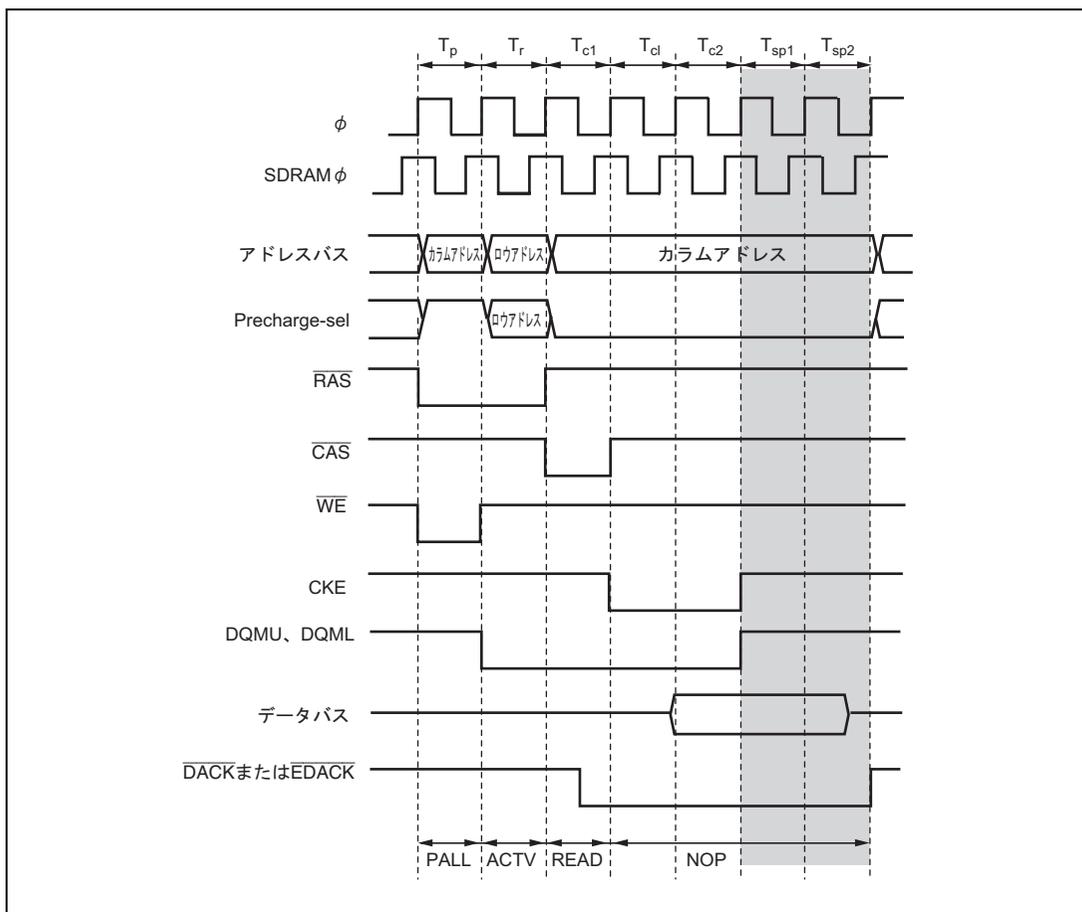


図 6.62 リードデータを 2 ステート拡張した場合のタイミング例
(DDS = 1 または EDDS = 1、RDXC1 = 0、RDXC0 = 1、CAS レイテンシ 2 の場合)

6.8 バースト ROM インタフェース

本 LSI は、エリア 0 およびエリア 1 の外部空間をバースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。バースト ROM 空間インタフェースでは、バーストアクセス可能な ROM を高速にアクセスすることができます。

BROMCR の BSRM1、BSRM0 ビットにより、エリア 1 およびエリア 0 をバースト ROM 空間に設定します。BROMCR の BSWD11、BSWD10 ビットにより、4 ワード/8 ワード/16 ワード/32 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートから 8 ステートを選択できます。

エリア 0 およびエリア 1 を独立に設定することができます。

バースト ROM インタフェース空間では、CPU によるリードアクセスのみがバーストアクセスの対象となります。

6.8.1 基本タイミング

バースト ROM インタフェースのイニシャルサイクル(フルアクセス)のアクセスステート数は ASTCR、ABWCR、WTCRA、WTCRB、CSACRH による基本バスインタフェースの設定に従います。エリア 0 またはエリア 1 をバースト ROM インタフェース空間に設定した場合、RDNCR、CSACRL レジスタの設定は無視されます。

バーストサイクルは、BROMCR の BSTS02 ~ BSTS00、BSTS12 ~ BSTS10 の設定により、1 ステートから 8 ステートの選択が可能です。ウェイトステートは挿入できません。また、BSTS01、BSTS00、BSTS11、BSTS10 ビットの設定により、最大 32 ワードのバーストアクセスを行います。

バースト ROM 空間の基本アクセスタイミングを図 6.63、図 6.64 に示します。

6. バスコントローラ (BSC)

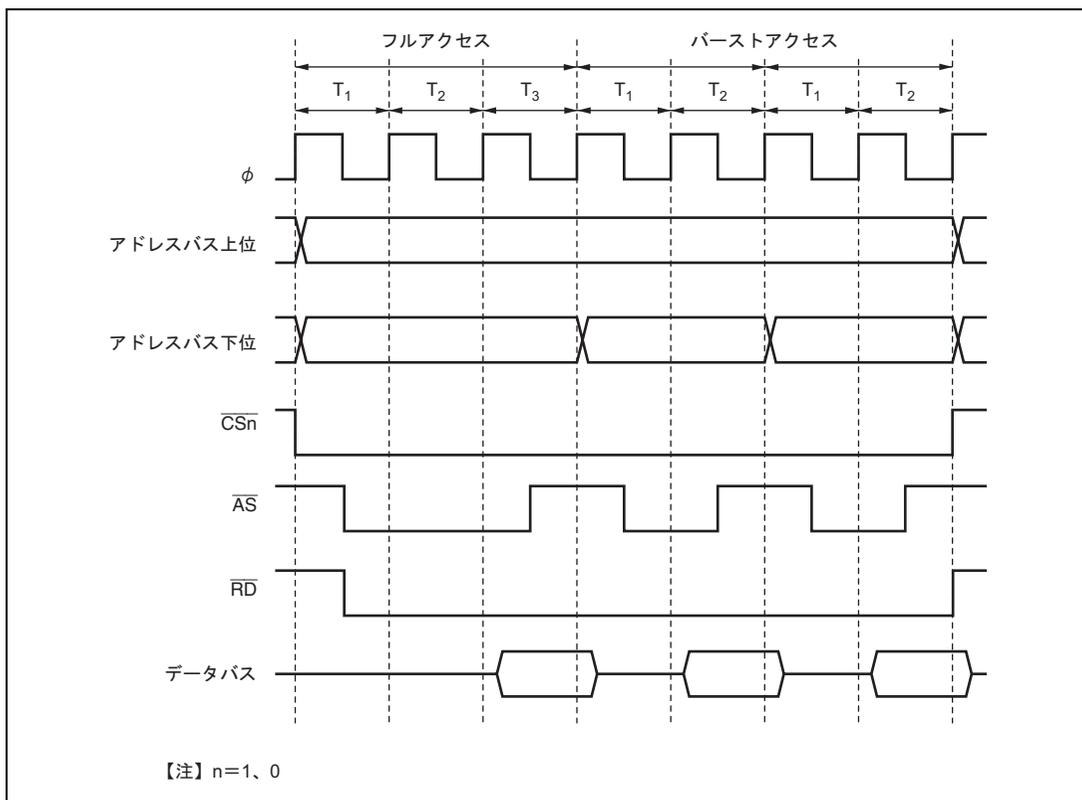


図 6.63 バースト ROM アクセスタイミング例
(ASTn = 1、バーストサイクル 2 ステートの場合)

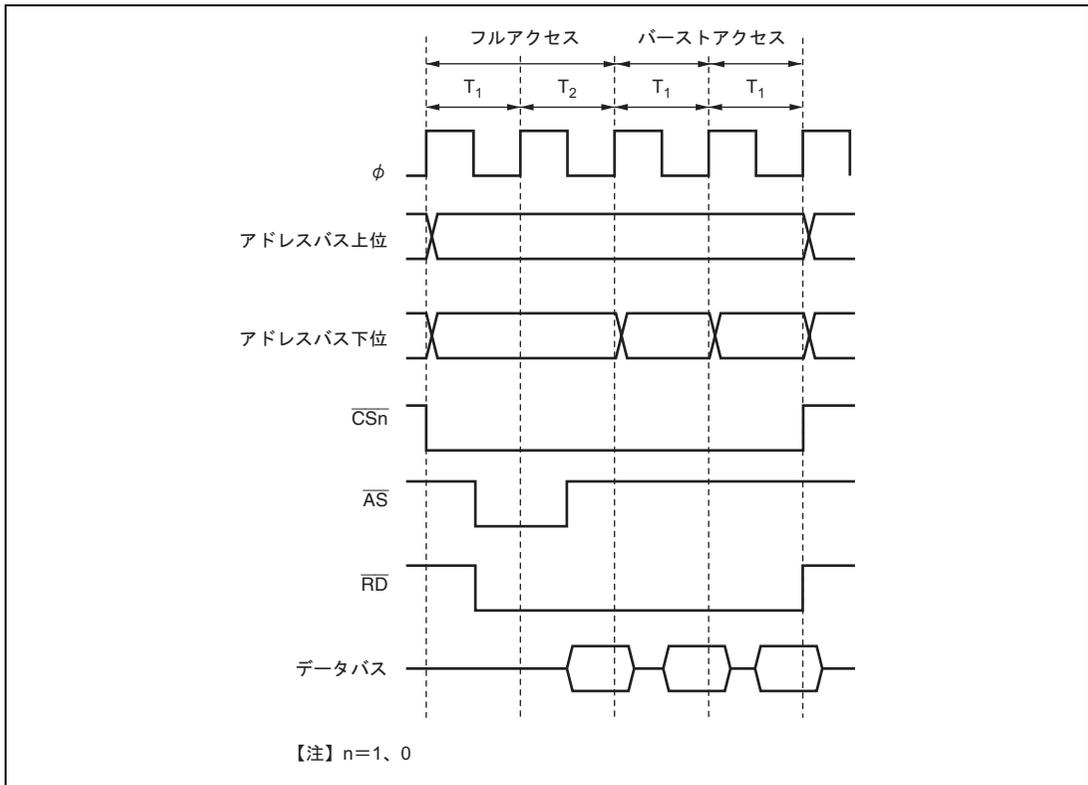


図 6.64 バースト ROM アクセスタイミング例
(ASTn=0、バーストサイクル1ステートの場合)

6.8.2 ウェイト制御

バースト ROM インタフェースのイニシャルサイクル(フルアクセス)には、基本バスインタフェースと同様に、プログラムウェイトの挿入、 $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入が可能です。「6.5.4 ウェイト制御」を参照してください。バーストサイクルにはウェイトステートを挿入することはできません。

6.8.3 ライトアクセス

バースト ROM 空間へライトアクセスを実行すると、その時点でバーストアクセスは途切れ、基本バスインタフェースの設定に準じたライトアクセスが実行されます。また、バースト ROM 空間に設定した場合でも、ライトアクセスはバーストしません。

6.9 アイドルサイクル

6.9.1 動作説明

本 LSI は外部空間をアクセスするとき、(1)異なるエリア間でリードアクセスが連続して発生したとき、(2)リードサイクルの直後にライトサイクルが発生したとき、(3)ライトサイクルの直後にリードサイクルが発生したときの3つの場合に、バスサイクルとバスサイクルの間にアイドルサイクル(T_i)を挿入することができます。BCR の IDLC ビットの設定により、アイドルサイクルを1ステートまたは2ステート挿入可能です。アイドルサイクルの挿入により、出力フローティング時間の大きいROMなどと、高速メモリ、I/O インタフェースなどとのデータ衝突を防ぐことができます。

(1) 異なるエリア間での連続リード

BCR の ICIS1 ビットを1にセットした状態で、異なるエリア間の連続リードが発生すると、2回目のリードサイクルの先頭に、アイドルサイクルが挿入されます。

図6.65に動作例を示します。バスサイクルAは出力フローティング時間の大きいROMからのリードサイクル、バスサイクルBはSRAMからのリードサイクルでそれぞれ異なるエリアに配置した場合の例です。(a)はアイドルサイクルを挿入しない場合で、バスサイクルBでROMからのリードデータとSRAMからのリードデータの衝突が発生しています。これに対し、(b)ではアイドルサイクルを挿入しデータの衝突を回避しています。

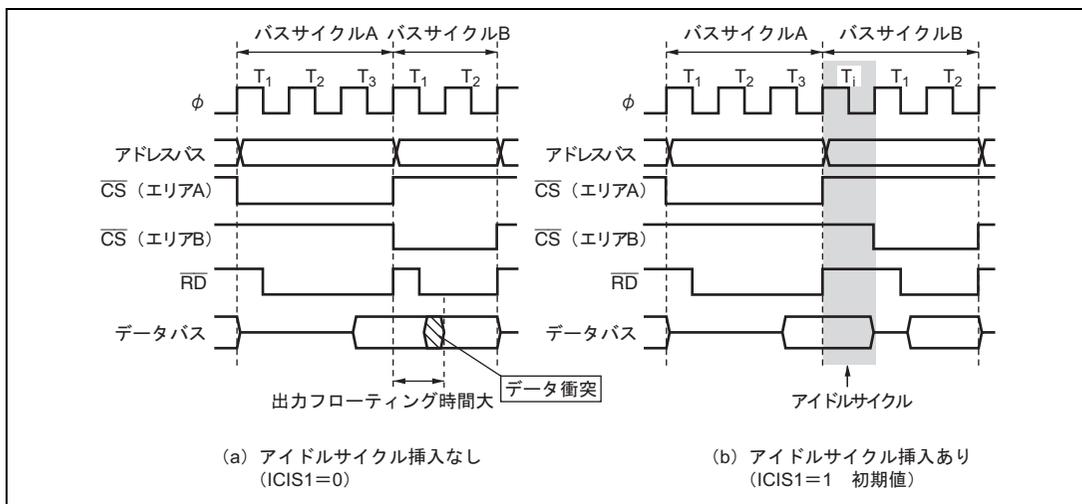


図 6.65 アイドルサイクル動作例 (異なるエリア間での連続リード)

(2) リード後のライト

BCR の ICIS0 ビットを 1 にセットした状態で、外部リード後に外部ライトが発生すると、ライトサイクルの先頭にアイドルサイクルが挿入されます。

図 6.66 に動作例を示します。バスサイクル A は出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し、(b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

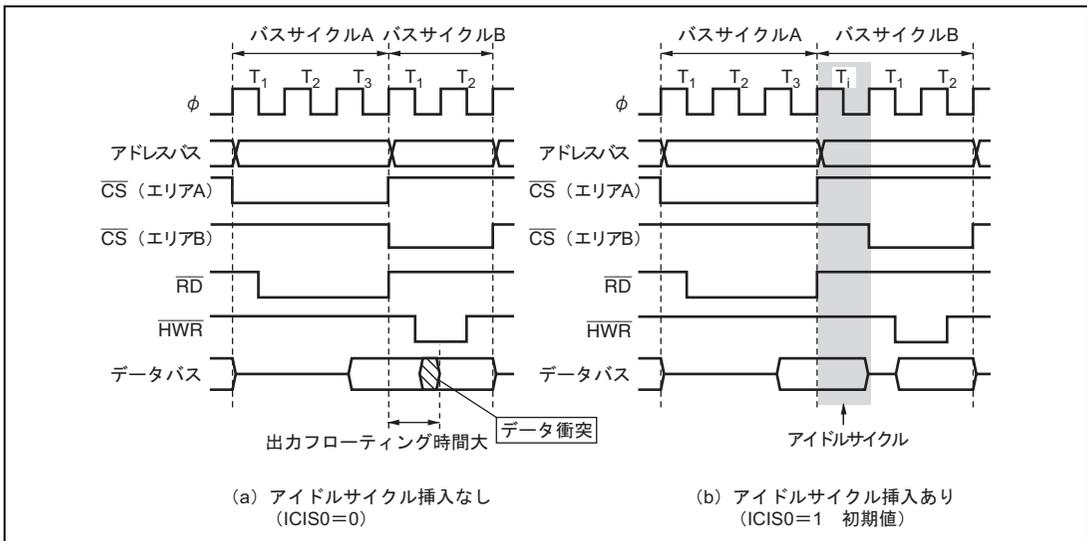


図 6.66 アイドルサイクル動作例 (リード後のライト)

(3) ライト後のリード

BCR の ICIS2 ビットを 1 にセットした状態で、外部ライト後に外部リードが発生すると、リードサイクルの先頭にアイドルサイクルが挿入されます。

図 6.67 に動作例を示します。バスサイクル A は CPU のライトサイクル、バスサイクル B は外部からのリードサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で CPU からのライトデータと外部からのリードデータの衝突が発生しています。これに対し、(b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

6. バスコントローラ (BSC)

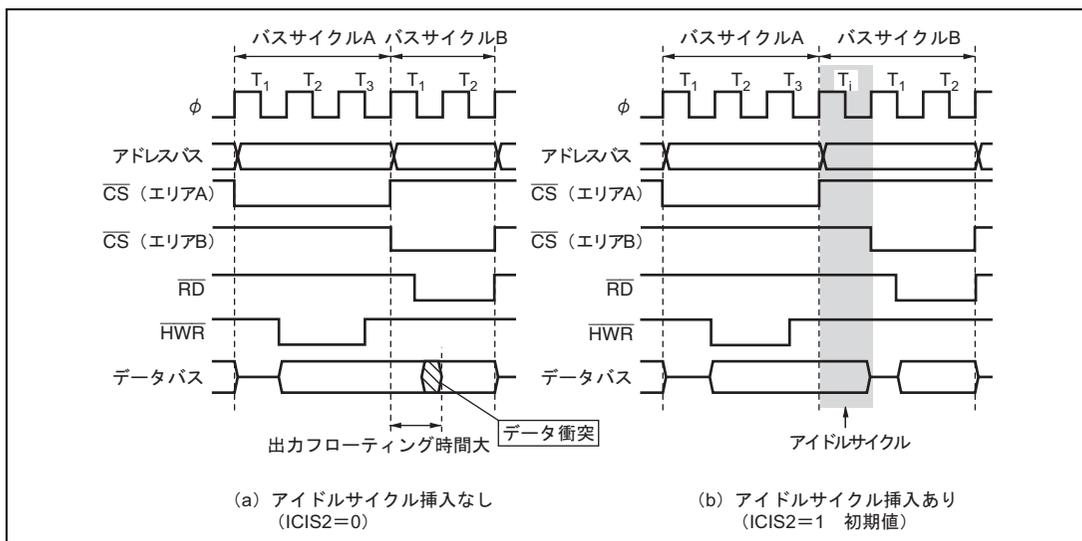


図 6.67 アイドルサイクル動作例 (ライト後のリード)

(4) チップセレクト (\overline{CS}) 信号とリード (\overline{RD}) 信号の関係

システムの負荷条件によっては、 \overline{CS} 信号よりも \overline{RD} 信号の方が遅れる場合があります。図 6.68 に例を示します。(a) のアイドルサイクルを挿入しない設定では、バスサイクル A の \overline{RD} 信号とバスサイクル B の \overline{CS} 信号間でオーバーラップ期間が発生する可能性があります。これに対し、(b) のようにアイドルサイクルを挿入する設定にすれば、 \overline{RD} 信号と \overline{CS} 信号のオーバーラップ期間を回避することができます。なお、リセット解除後の初期状態は、(b) のアイドルサイクルを挿入する設定となっています。

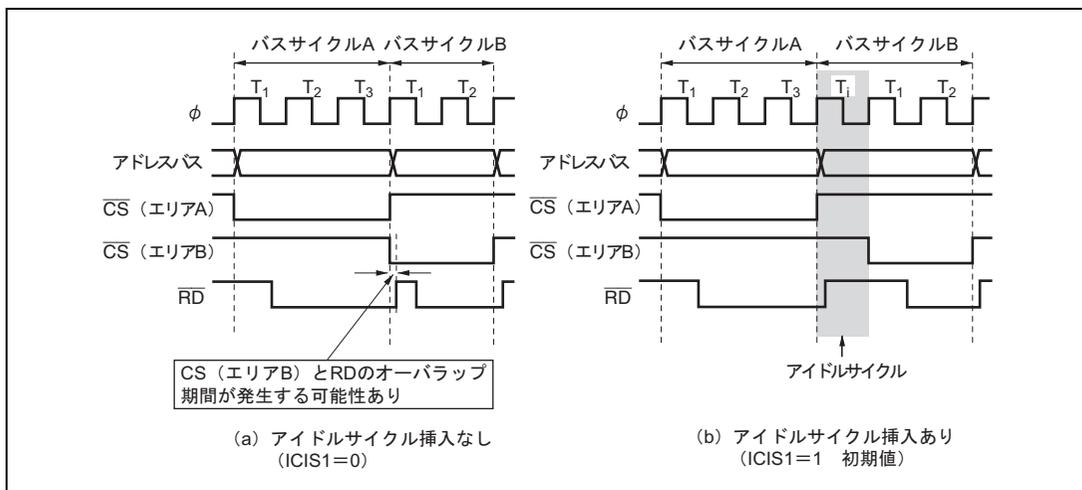


図 6.68 チップセレクト (\overline{CS}) とリード (\overline{RD}) の関係

(5) 通常空間アクセス後に DRAM 空間をアクセスするときのアイドルサイクル

通常空間アクセス後の DRAM 空間アクセスでは、BCR の ICIS2、ICIS1、ICIS0、IDLIC ビットの設定が有効です。ただし、異なるエリア間での連続リードの場合、2 回目のリードが DRAM 空間へのフルアクセスのとき、 T_p サイクルのみが挿入され T_i サイクルは挿入されません。このタイミングを図 6.69 に示します。

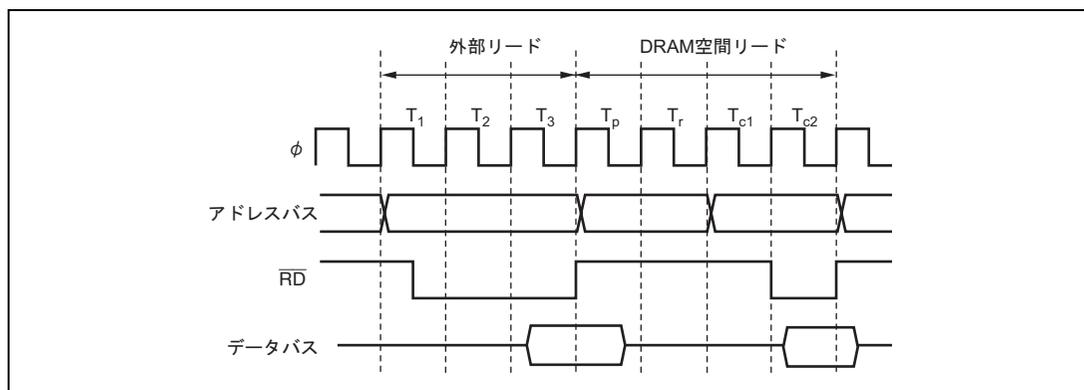


図 6.69 外部リード後の DRAM フルアクセス例 (CAST = 0 の場合)

RAS ダウンモード時のバーストアクセスでは ICIS2、ICIS1、ICIS0、IDLIC ビットの設定が有効となり、アイドルサイクルが挿入されます。このタイミングを図 6.70、図 6.71 に示します。

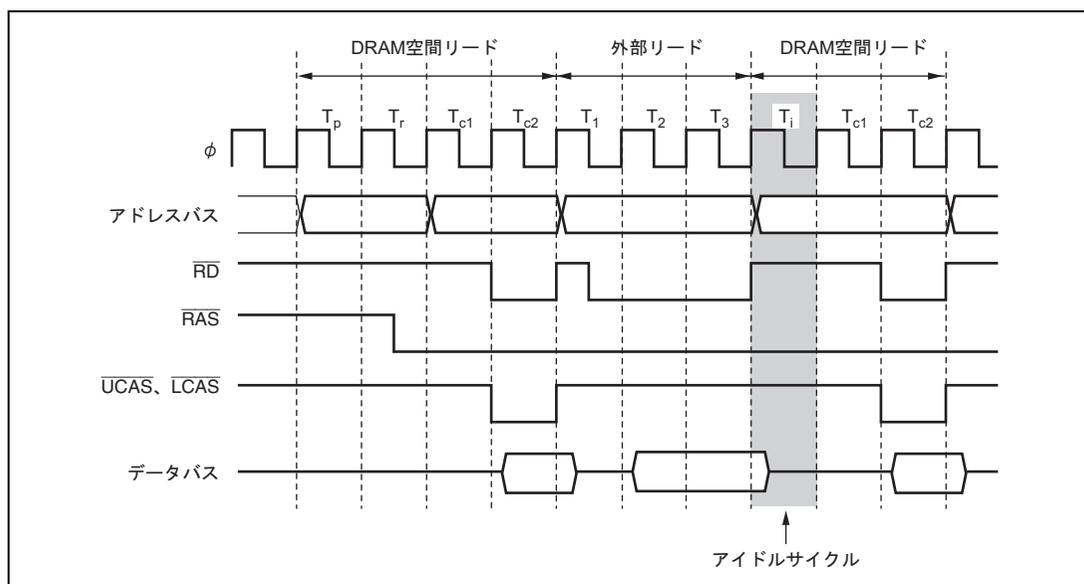


図 6.70 RAS ダウンモード時のアイドルサイクル動作例 (異なるエリア間での連続リード) (IDLIC = 0、RAST = 0、CAST = 0 の場合)

6. バスコントローラ (BSC)

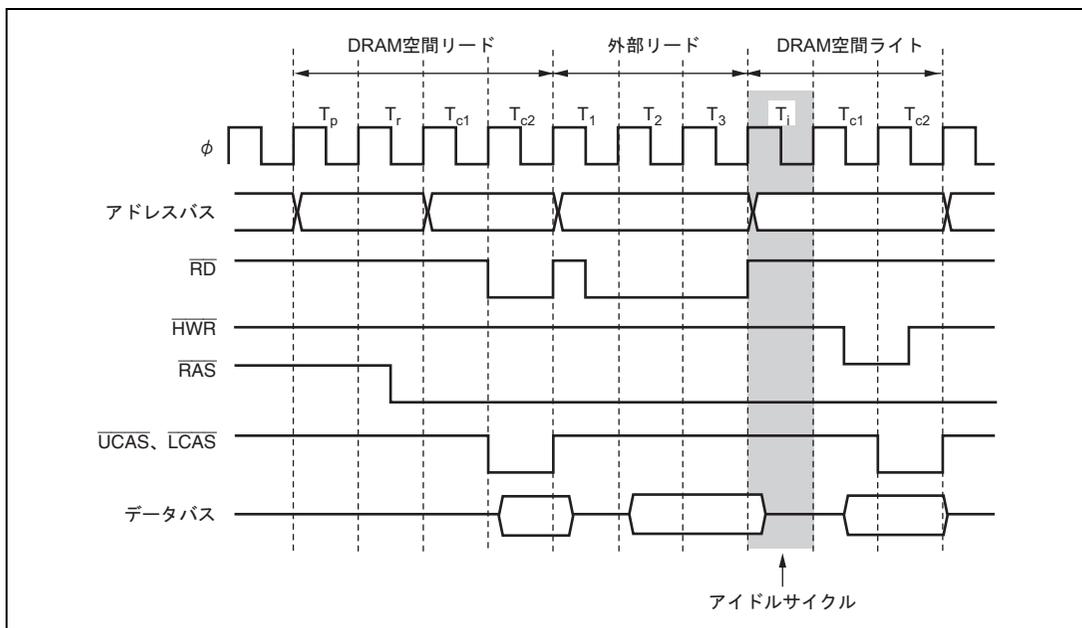


図 6.71 RAS ダウンモード時のアイドルサイクル動作例 (リード後のライト)
(IDLC=0、RAST=0、CAST=0 の場合)

(6) 通常空間アクセス後に連続シンクロナス DRAM 空間をアクセスするときのアイドルサイクル

通常空間アクセス後の連続シンクロナス DRAM 空間をアクセスでは、BCR の ICIS2、ICIS1、ICIS0、IDLC ビットの設定が有効です。ただし、異なるエリア間での連続リードの場合、2 回目のリードが連続シンクロナス DRAM 空間へのフルアクセスのとき、Tp サイクルのみが挿入され Ti サイクルは挿入されません。このタイミングを図 6.72 に示します。

【注】 H8S/2378 グループではシンクロナス DRAM インタフェースをサポートしていません。

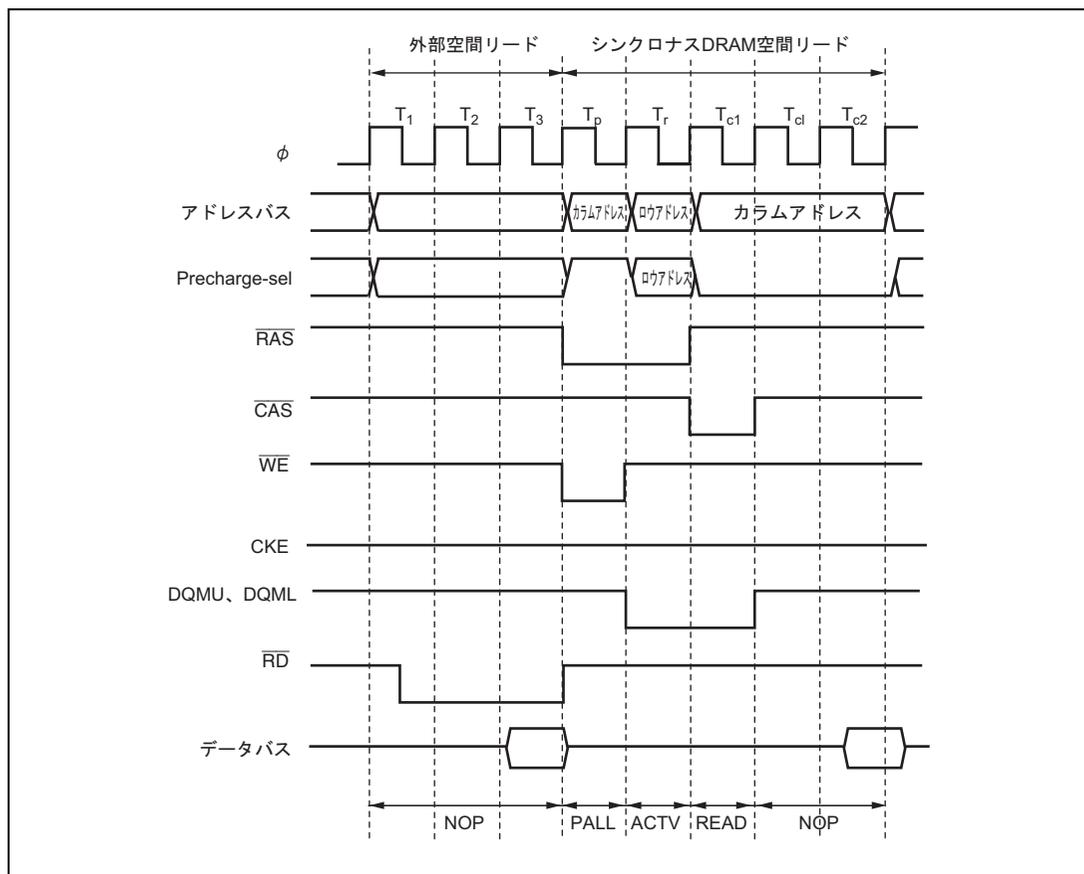


図 6.72 外部リード後のシンクロナス DRAM フルアクセス例
(CAS レイテンシ 2 の場合)

RAS ダウンモード時のバーストアクセスでは ICIS2、ICIS1、ICIS0、IDLC ビットの設定が有効となり、アイドルサイクルが挿入されます。ただし、リードアクセス時には、IDLC ビットの設定により、DQMU、DQML のタイミングが異なりますので、注意してください。このタイミングを図 6.73、図 6.74 に示します。ライトアクセス時には、DQMU、DQML は IDLC ビットの設定に依存しません。このタイミングを図 6.75 に示します。

6. バスコントローラ (BSC)

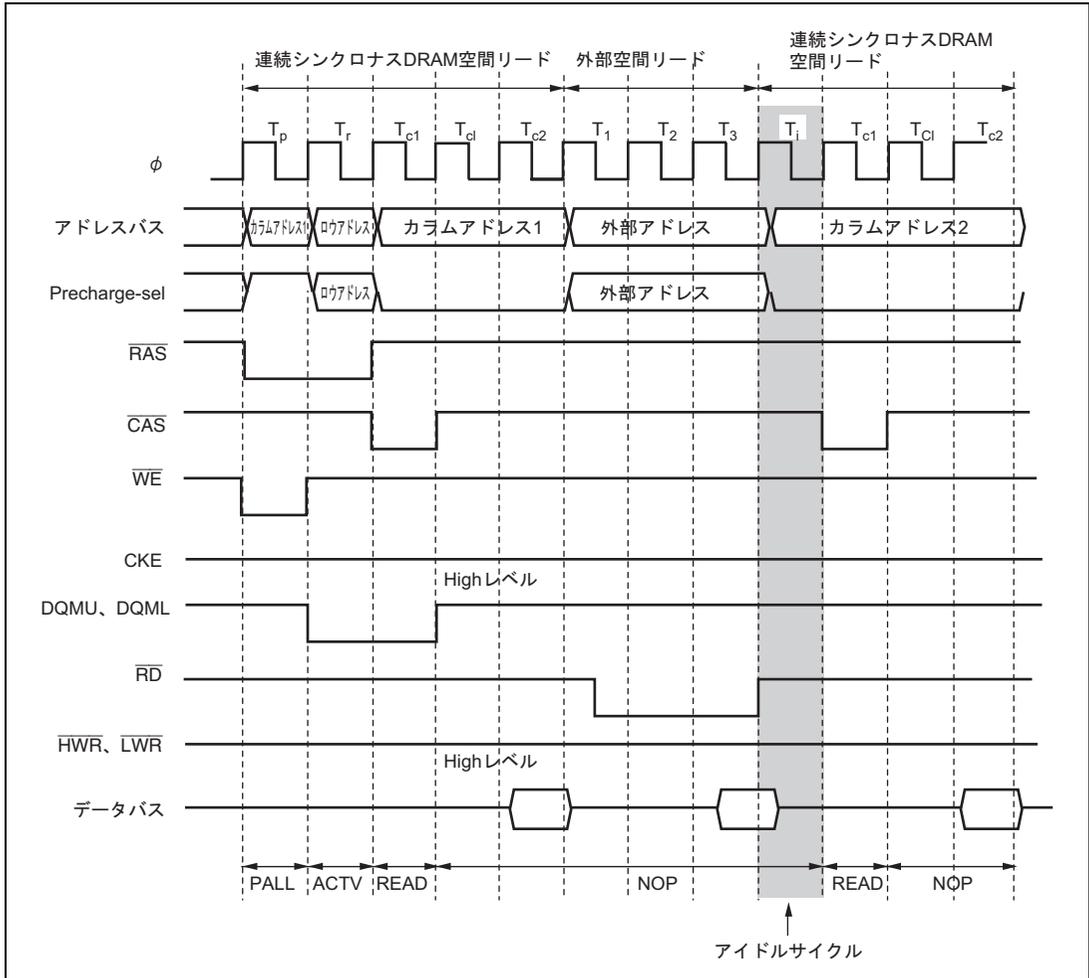


図 6.73 RAS ダウンモード時のアイドルサイクル動作例 (異なるエリアのリード)
(IDLC=0、CAS レイテンシ 2 の場合)

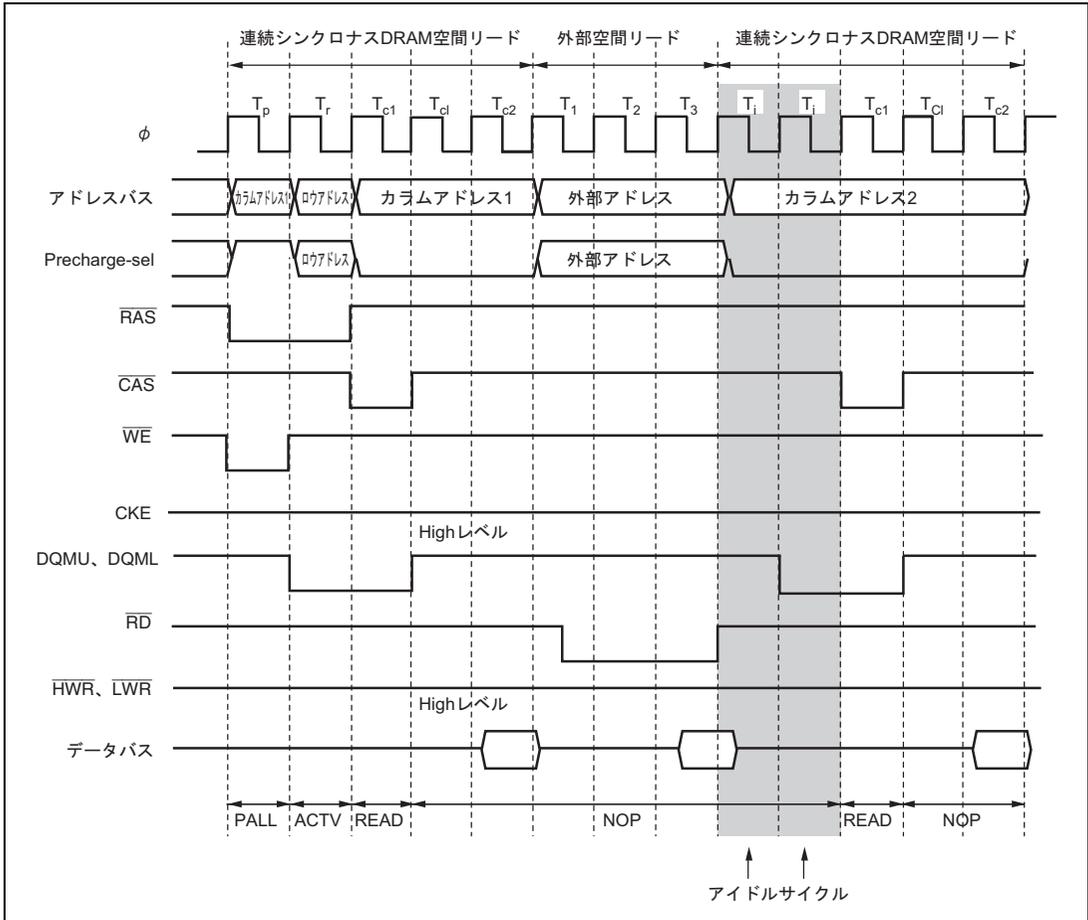


図 6.74 RAS ダウンモード時のアイドルサイクル動作例 (異なるエリアのリード)
(IDLC = 1、CAS レイテンシ 2 の場合)

6. バスコントローラ (BSC)

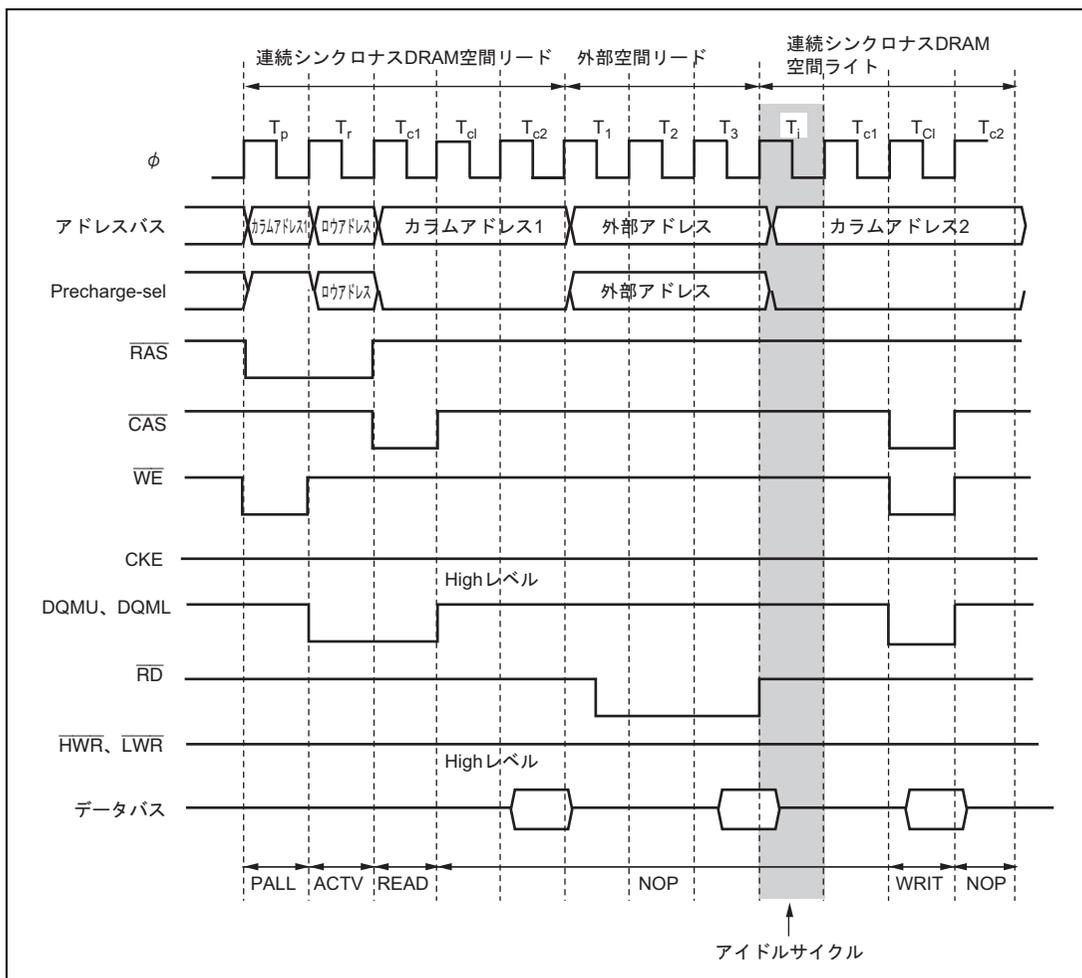


図 6.75 RAS ダウンモード時のアイドルサイクル動作例 (リード後のライト)
(IDLC = 0、CAS レイテンシ 2 の場合)

(7) DRAM 空間アクセス後に通常空間をアクセスするときのアイドルサイクル

(a) DRAM 空間リードアクセス後の通常空間アクセス

DRACCR の DRMI ビットを 0 にクリアした状態では、DRAM 空間アクセス後のアイドルサイクルは無効です。DRMI ビットを 1 にセットすると、DRAM 空間アクセス後のアイドルサイクルを有効にすることができます。挿入されるアイドルサイクルの条件ならびに状態数は BCR の ICIS1、ICIS0、IDLC ビットの設定に従います。図 6.76、図 6.77 に DRMI ビットを 1 にセットした場合のアイドルサイクル動作例を示します。

DRMI ビットを 0 にクリアすると、ICIS1、ICIS0 ビットを 1 に設定しても、DRAM 空間アクセス後にはアイドルサイクルは挿入されません。

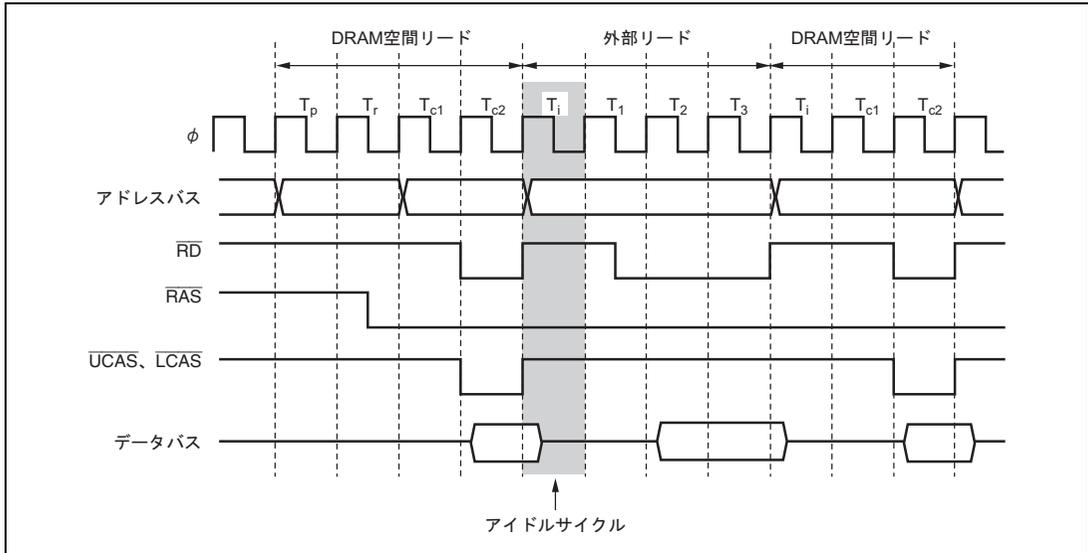


図 6.76 DRAM アクセス後のアイドルサイクル動作例 (異なるエリア間での連続リード)
(IDLC=0、RAST=0、CAST=0の場合)

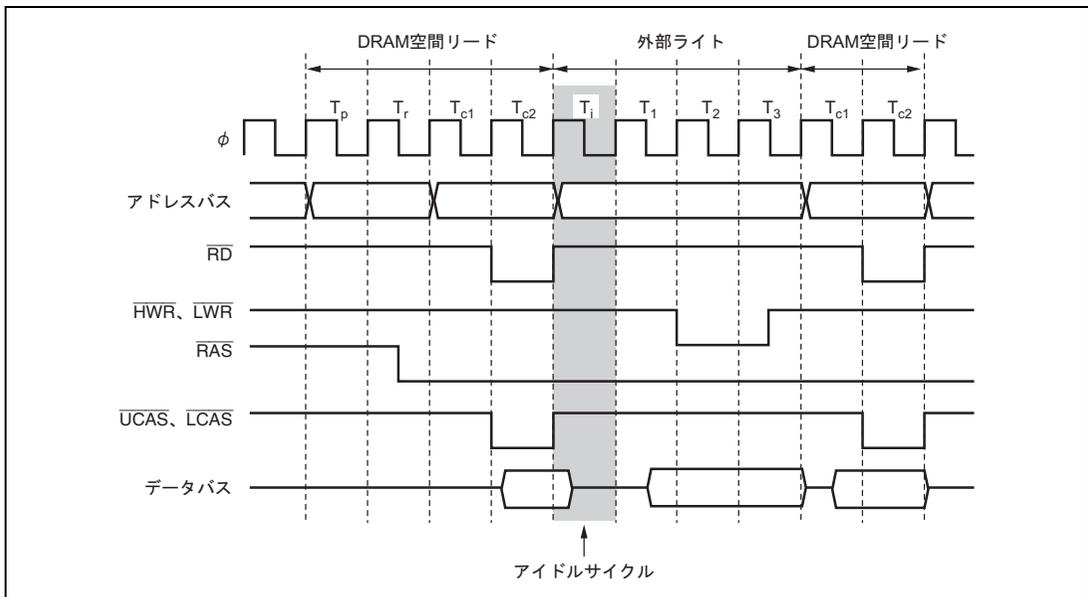


図 6.77 DRAM アクセス後のアイドルサイクル動作例 (リード後のライト)
(IDLC=0、RAST=0、CAST=0の場合)

6. バスコントローラ (BSC)

(b) DRAM 空間ライトアクセス後の通常空間アクセス

BCR の ICIS2 ビットを 1 に設定した状態で、DRAM 空間ライトアクセス後に通常空間のリードアクセスが発生すると、リードサイクルの先頭にアイドルサイクルが挿入されます。挿入されるアイドルサイクルのステート数は IDLC ビットの設定に従います。DRACCR の DRMI ビットに依存しません。図 6.78 に ICIS2 ビットを 1 にセットした場合のアイドルサイクル動作例を示します。

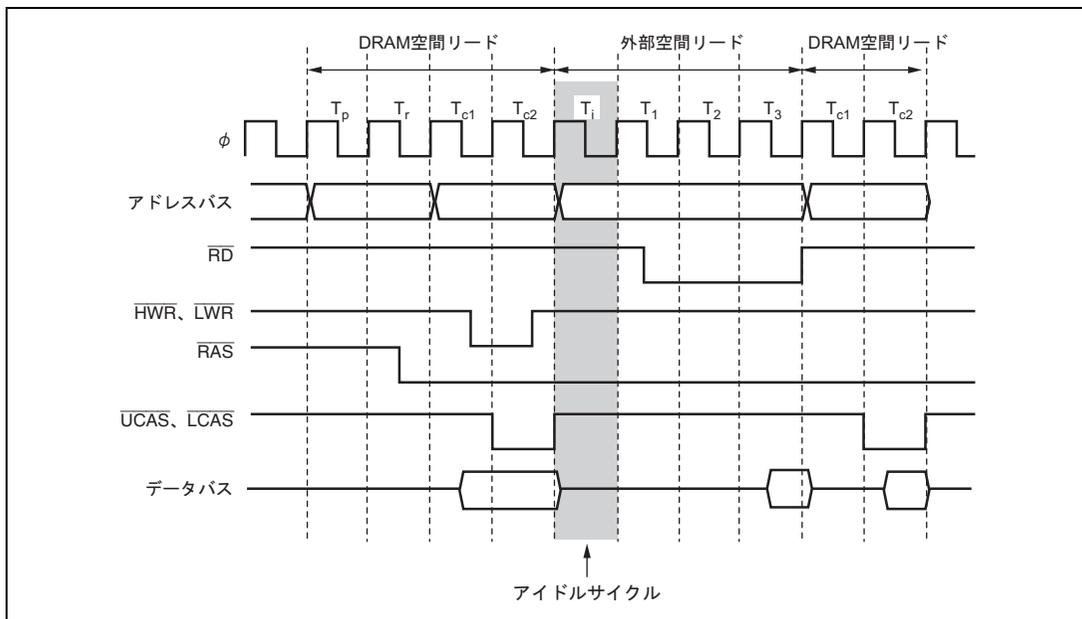


図 6.78 DRAM ライトアクセス後のアイドルサイクル動作例
(IDLC=0、ICIS1=0、RAST=0、CAST=0の場合)

(8) 連続シンクロナス DRAM 空間アクセス後に通常空間をアクセスするときのアイドルサイクル

【注】 H8S/2378 グループではシンクロナスDRAM インタフェースをサポートしていません。

(a) 連続シンクロナス DRAM 空間リードアクセス後の通常空間アクセス

DRACCR の DRMI ビットを 0 にクリアした状態では、連続シンクロナス DRAM 空間リードアクセス後のアイドルサイクルは無効です。DRMI ビットを 1 にセットすると、連続シンクロナス DRAM 空間リードアクセス後のアイドルサイクルを有効にすることができます。挿入されるアイドルサイクルの条件ならびにステート数は RCR の ICIS1、ICIS0、IDLC ビットの設定に従います。図 6.79 に DRMI ビットを 1 にセットした場合のアイドルサイクル動作例を示します。DRMI ビットを 0 にクリアすると、ICIS1、ICIS0 ビットを 1 に設定しても、連続シンクロナス DRAM 空間リードアクセス後にはアイドルサイクルは挿入されません。

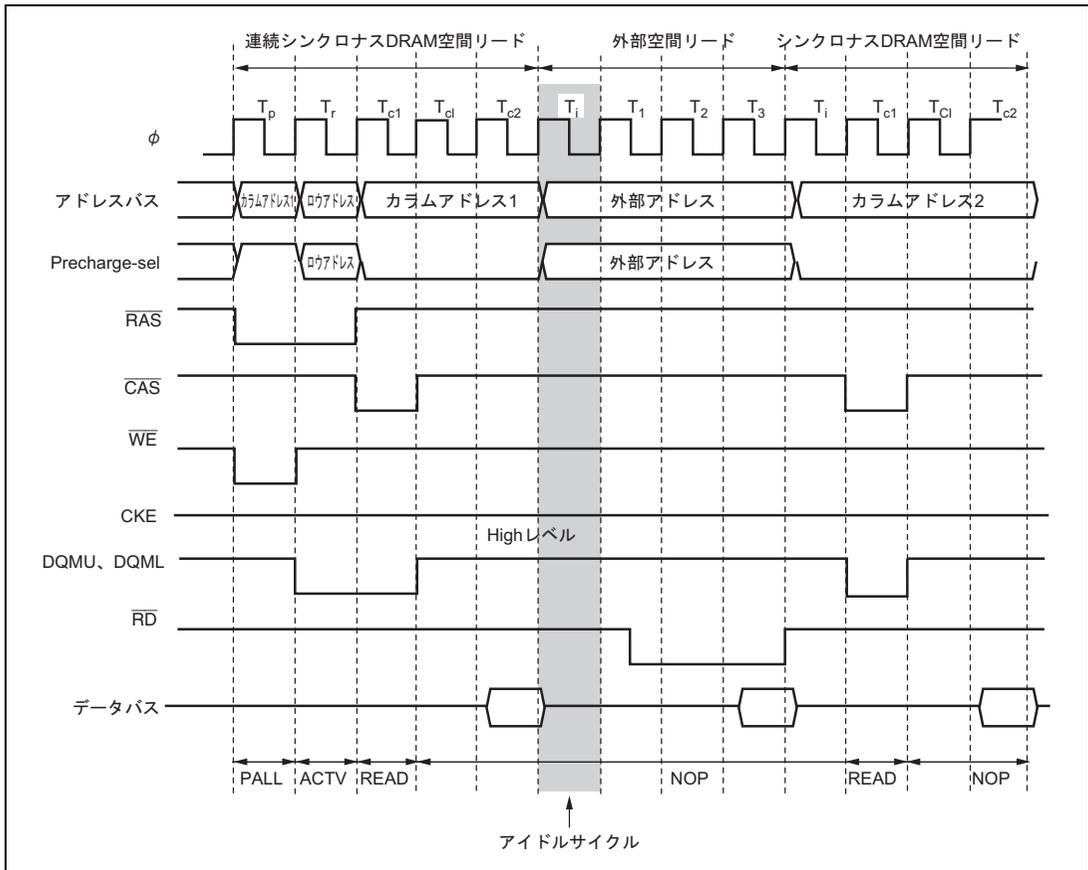


図 6.79 連続シンクロナス DRAM 空間リードアクセス後のアイドルサイクル動作例
(異なるエリア間のリード)
(IDLC=0、CAS レイテンシ 2 の場合)

(b) 連続シンクロナス DRAM 空間ライトアクセス後の通常空間アクセス

BCR の ICIS2 ビットを 1 に設定した状態で、連続シンクロナス DRAM 空間ライトアクセス後に通常空間のリードサイクルが発生すると、リードサイクルの先頭にアイドルサイクルが挿入されます。挿入されるアイドルサイクルのステート数は IDLC ビットの設定に従います。DRACCR の DRMI ビットに依存しません。

図 6.80 に ICIS2 ビットを 1 にセットした場合のアイドルサイクル動作例を示します。

6. バスコントローラ (BSC)

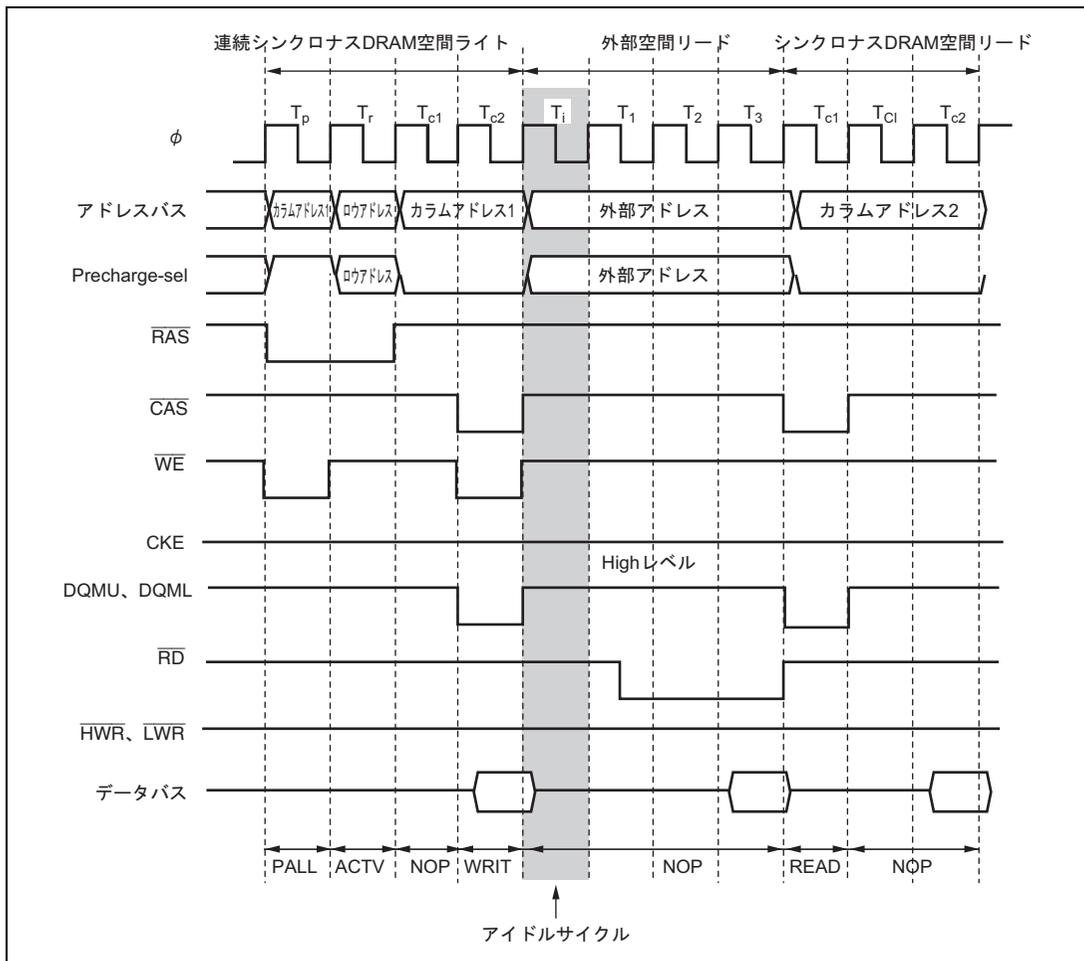


図 6.80 連続シンクロナス DRAM 空間ライトアクセス後のアイドルサイクル動作例
 (IDLC=0、ICIS1=0、SDWCD=1、CAS レイテンシ 2 の場合)

表 6.11 に通常空間と DRAM 空間 / 連続シンクロナス DRAM 空間を混在してアクセスするときのアイドルサイクル挿入の有無を示します。

表 6.11 通常空間と DRAM / 連続シンクロナス DRAM 空間を混在してアクセスするときのアイドルサイクル

前のアクセス	次のアクセス	ICIS2	ICIS1	ICIS0	DRMI	IDLC	アイドルサイクル
通常空間リード	通常空間リード (異なるエリア)	-	0	-	-	-	無効
			1	-	-	0	1 ステート挿入
						1	2 ステート挿入
	DRAM / 連続シンクロ ナス DRAM*空間リード	-	0	-	-	-	無効
		-	1	-	-	0	1 ステート挿入
						1	2 ステート挿入
	通常空間ライト	-	-	0	-	-	無効
		-	-	1	-	0	1 ステート挿入
						1	2 ステート挿入
	DRAM / 連続シンクロ ナス DRAM*空間ライト	-	-	0	-	-	無効
		-	-	1	-	0	1 ステート挿入
						1	2 ステート挿入
DRAM / 連続シンクロ ナス DRAM*空間 リード	通常空間リード	-	0	-	-	-	無効
			1	-	0	-	無効
					1	0	1 ステート挿入
						1	2 ステート挿入
	DRAM / 連続シンクロ ナス DRAM*空間リード	-	0	-	-	-	無効
		-	1	-	0	-	無効
					1	0	1 ステート挿入
						1	2 ステート挿入
	通常空間ライト	-	-	0	-	-	無効
		-	-	1	0	-	無効
					1	0	1 ステート挿入
						1	2 ステート挿入
DRAM / 連続シンクロ ナス DRAM*空間ライト	-	-	0	-	-	無効	
	-	-	1	0	-	無効	
				1	0	1 ステート挿入	
					1	2 ステート挿入	
通常空間ライト	通常空間リード	0	-	-	-	-	無効
		1	-	-	-	0	1 ステート挿入
						1	2 ステート挿入
	DRAM / 連続シンクロ ナス DRAM*空間リード	0	-	-	-	-	無効
1		-	-	-	0	1 ステート挿入	
					1	2 ステート挿入	

6. バスコントローラ (BSC)

前のアクセス	次のアクセス	ICIS2	ICIS1	ICIS0	DRMI	IDLC	アイドルサイクル
DRAM / 連続シンクロナス DRAM*空間ライト	通常空間リード	0	-	-	-	-	無効
		1	-	-	-	0	1 ステート挿入
						1	2 ステート挿入
	DRAM / 連続シンクロナス DRAM*空間リード	0	-	-	-	-	無効
		1	-	-	-	0	1 ステート挿入
						1	2 ステート挿入

【注】 * H8S/2378 グループではサポートしていません。

また、DRACCR の DRMI ビットを 1 にセットすることにより、DRAM / 連続シンクロナス DRAM 空間バーストアクセス時にリードとライトが連続した場合のアイドルサイクルを挿入することが可能です。図 6.81、図 6.82 に DRAM / 連続シンクロナス DRAM 空間へのリードとライトが連続したときにアイドルサイクルを挿入する場合のタイミング例を示します。

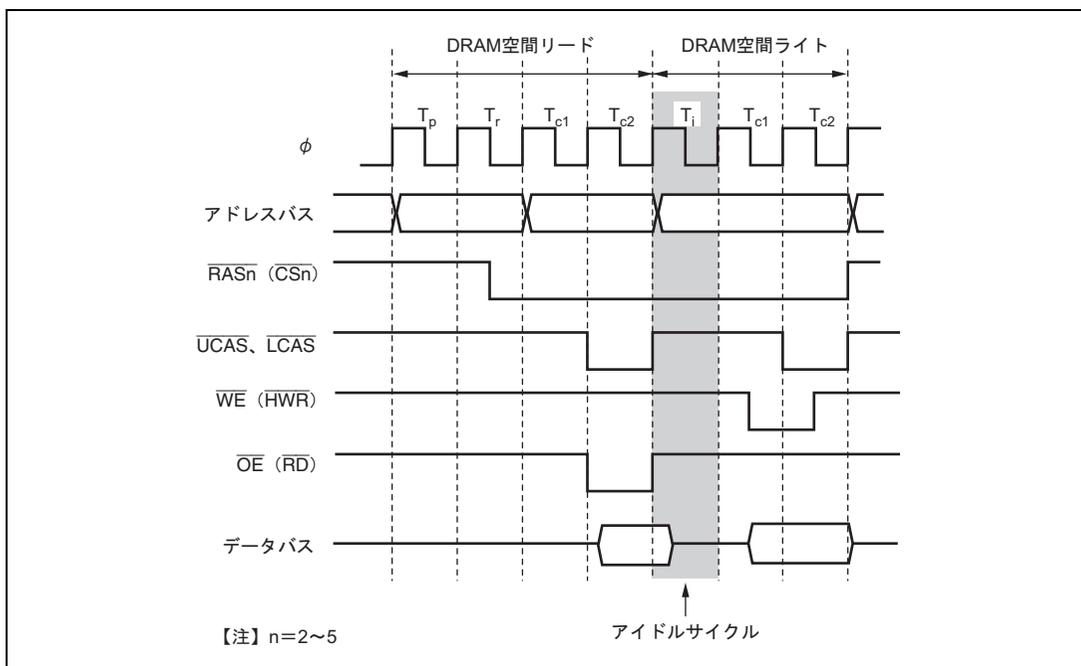


図 6.81 RAS ダウンモードで DRAM 空間へのリードとライトが連続したときにアイドルサイクルを挿入する場合のタイミング例

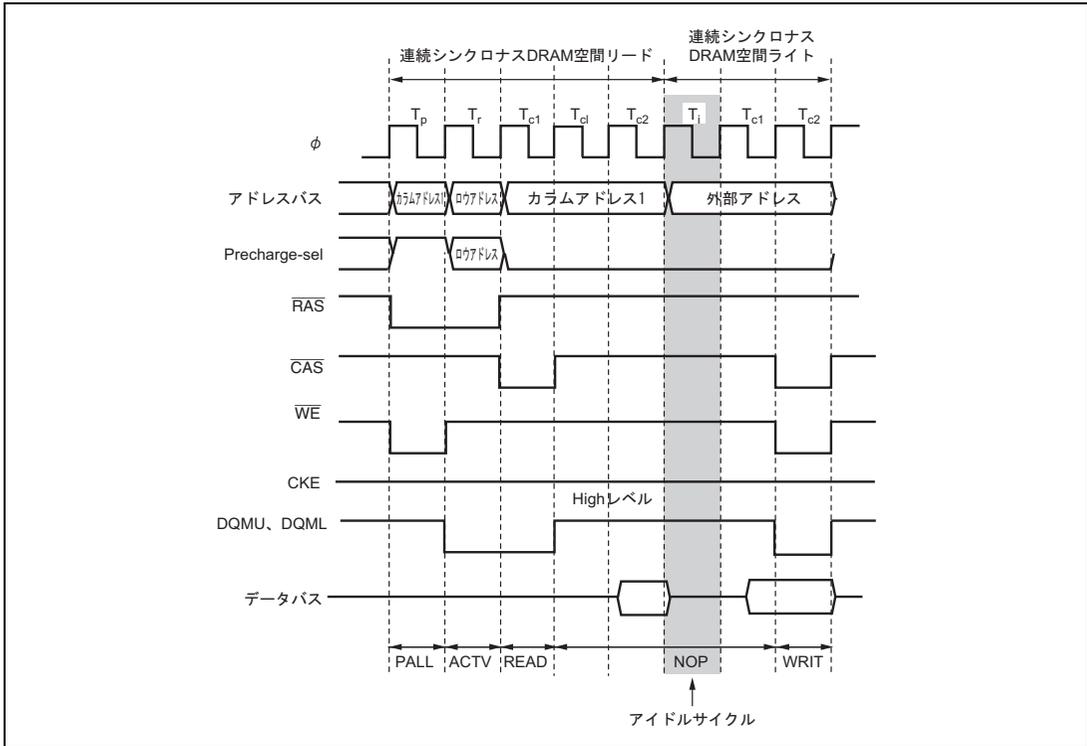


図 6.82 RAS ダウンモードで連続シンクロナス DRAM 空間へのリードとライトが連続したときにアイドルサイクルを挿入する場合のタイミング例 (SDWCD = 1、CAS レイテンシ 2 の場合)

6. バスコントローラ (BSC)

6.9.2 アイドルサイクルでの端子状態

アイドルサイクルでの端子状態を表 6.12 に示します。

表 6.12 アイドルサイクルでの端子状態

端子名	端子の状態
A23 ~ A0	直後のバスサイクルの内容
D15 ~ D0	ハイインピーダンス
\overline{CSn} (n = 7 ~ 0)	High レベル ^{*1*} ^{*2}
\overline{UCAS} 、 \overline{LCAS}	High レベル ^{*2}
AS	High レベル
RD	High レベル
(OE)	High レベル
\overline{HWR} 、 \overline{LWR}	High レベル
\overline{DACKn} (n = 1, 0)	High レベル
\overline{EDACKn} (n = 3, 2)	High レベル

【注】 *1 DRAM 空間での RAS ダウンモードでは Low レベルを保持します。

*2 DRAM 空間でのリフレッシュサイクルでは Low レベルを保持します。

6.10 ライトデータバッファ機能

本 LSI は外部データバスにライトデータバッファ機能を備えています。ライトデータバッファ機能を使用すると、外部ライトおよび DMA シングルアドレスモード転送と、内部アクセスを並行して実行することができます。BCR の WDBE ビットを 1 にセットすると、ライトデータバッファ機能を使用することができます。

図 6.83 にライトデータバッファ機能を使用したときのタイミング例を示します。この機能を使用したとき、外部ライトまたは DMA シングルアドレスモード転送が 2 ステート以上続き、次に内部アクセスがある場合、最初の 1 ステートは外部ライトのみが実行されますが、次のステートから外部ライトの終了を待たずに内部アクセス（内蔵メモリ、内部 I/O レジスタのリード/ライト）が並行して実行されます。

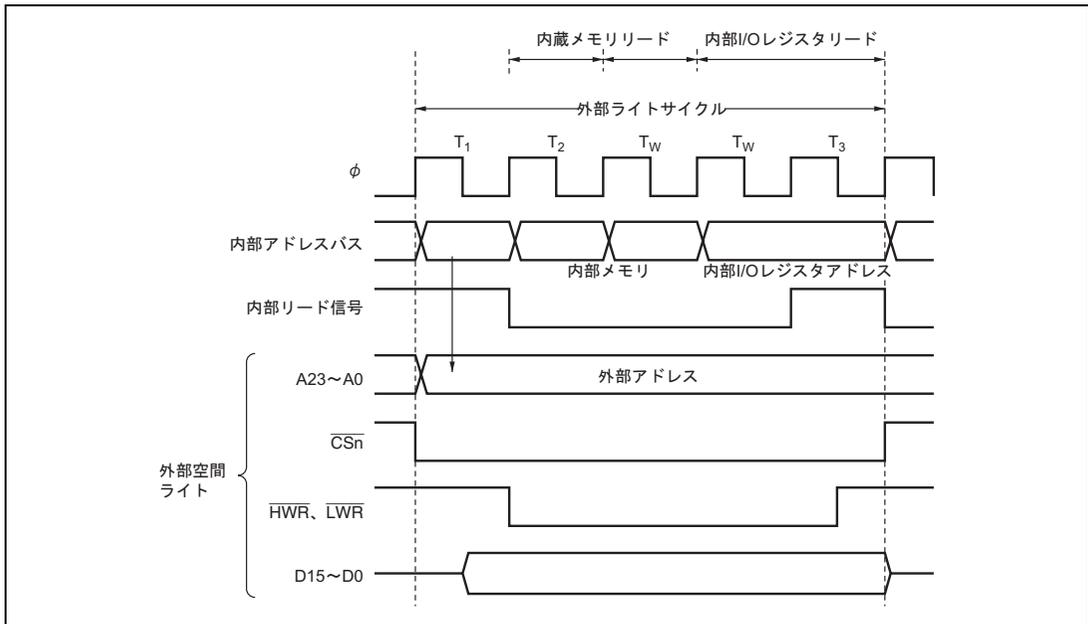


図 6.83 ライトデータバッファ機能使用時のタイミング例

6.11 バス権解放

本 LSI は外部からのバス権要求により、外部バスを解放することができます。外部バス権解放状態では、外部アクセスが発生しない限り EXDMAC*を除く内部バスマスタは動作を継続します。また、外部バス権解放状態で、以下の要求が発生すると、外部に対し $\overline{\text{BREQO}}$ 信号を Low レベルにしてバス権を要求することができます。

- 内部バスマスタが外部アクセスをしようとしたとき
- リフレッシュ要求が発生したとき
- ソフトウェアスタンバイモードまたは全モジュールクロックストップモードへ遷移するための SLEEP 命令が実行されたとき

【注】 * H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

6.11.1 動作説明

外部拡張モードで、BCR の BRLE ビットを 1 にセットすると、外部にバス権を解放することができます。 $\overline{\text{BREQO}}$ 端子を Low レベルにすることにより、本 LSI に外部バス権を要求します。 $\overline{\text{BREQO}}$ 端子をサンプリングすると、所定のタイミングで $\overline{\text{BACK}}$ 端子を Low レベルにし、アドレスバス、データバス、バス制御信号をハイインピーダンスとして外部バス権解放状態になります。

外部バス権解放状態で、EXDMAC を除く内部バスマスタは内部バスを使用したアクセスを行うことができます。内部バスマスタが外部アクセスをしようとする、いったんバスサイクルの起動を保留し、外部バスマスタからのバス権要求が取り下げられるのを待ちます。また、外部バス権解放状態でリフレッシュ要求が発生した場合、

6. バスコントローラ (BSC)

ソフトウェアスタンバイモードまたは全モジュールクロックストップモードへ遷移するための SLEEP 命令が実行された場合も、外部バスマスタのバス権要求が取り下げられるまでリフレッシュ制御、並びにソフトウェアスタンバイ、全モジュールクロックストップ制御は保留されます。

BCR の BREQOE ビットが 1 にセットされていると、以下の要求が発生したときに $\overline{\text{BREQO}}$ 端子を Low レベルとし、外部にバス権要求を取り下げよう要求することができます。

- 内部バスマスタが外部アクセスをしようとしたとき
- リフレッシュ要求が発生したとき
- ソフトウェアスタンバイモードまたは全モジュールクロックストップモードへ遷移するための SLEEP 命令が実行されたとき

$\overline{\text{BREQ}}$ 端子を High レベルとすると、所定のタイミングで $\overline{\text{BACK}}$ 端子を High レベルとし、外部バス権解放状態を終了します。

外部バス権解放要求、外部アクセスが同時に発生したときの優先順位は

(高) 外部バス権解放 > 内部バスマスタの外部アクセス (低)

また、リフレッシュ要求、外部バス権解放要求が同時に発生したときの優先順位は

(高) リフレッシュ > 外部バス権解放 (低)

となります。

6.11.2 外部バス権解放状態での端子状態

外部バス権解放状態での端子状態を表 6.13 に示します。

表 6.13 バス権解放状態での端子状態

端子名	端子の状態
A23 ~ A0	ハイインピーダンス
D15 ~ D0	ハイインピーダンス
$\overline{\text{CS}}_n$ (n = 7 ~ 0)	ハイインピーダンス
$\overline{\text{UCAS}}$ 、 $\overline{\text{LCAS}}$	ハイインピーダンス
$\overline{\text{AS}}$	ハイインピーダンス
$\overline{\text{RD}}$	ハイインピーダンス
(OE)	ハイインピーダンス
HWR、LWR	ハイインピーダンス
$\overline{\text{DACK}}_n$ (n = 1, 0)	High レベル
$\overline{\text{EDACK}}_n$ (n = 3, 2)	High レベル

6.11.3 遷移タイミング

バス権解放状態への遷移タイミングを図 6.84 に示します。

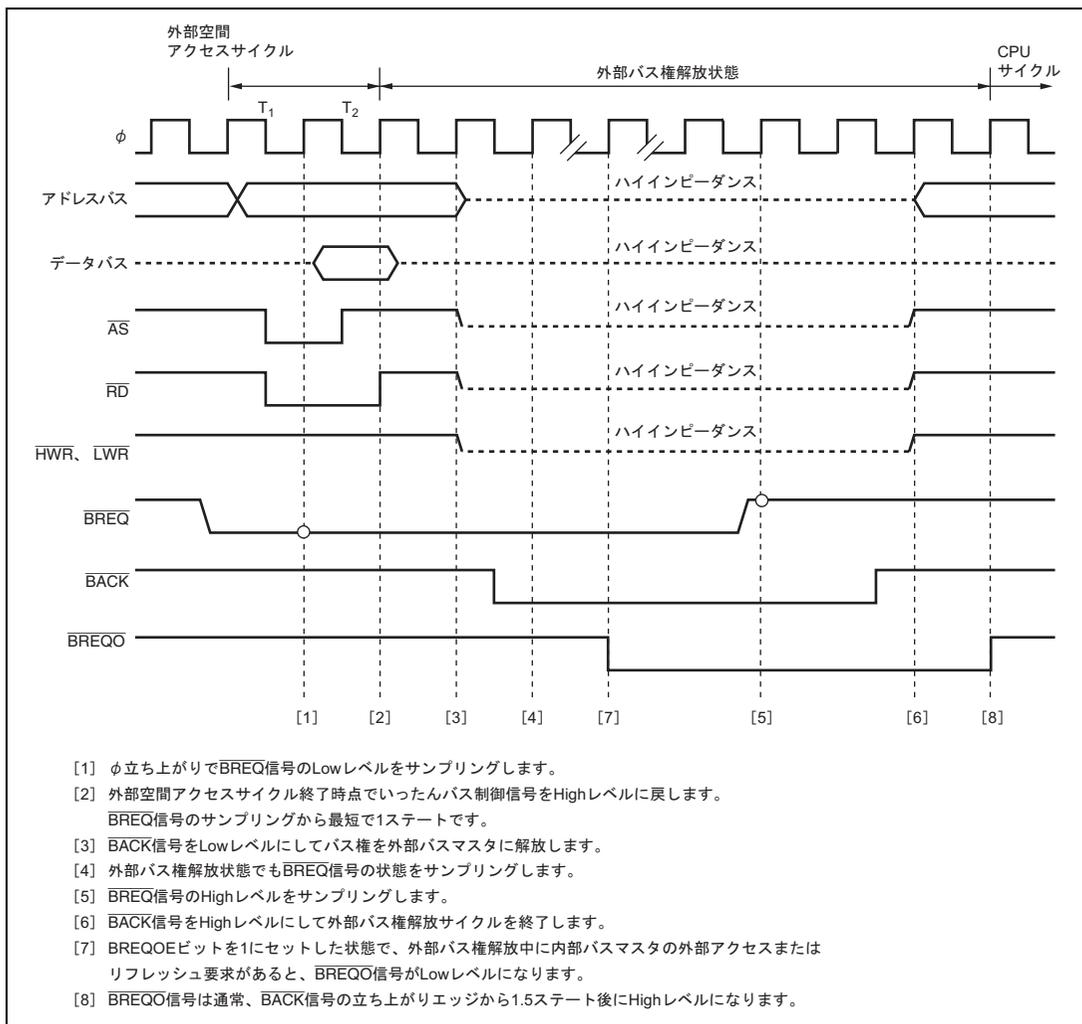


図 6.84 バス権解放状態遷移タイミング

シンクロナス DRAM インタフェース時のバス権解放状態への遷移タイミングを図 6.85 に示します。

6. バスコントローラ (BSC)

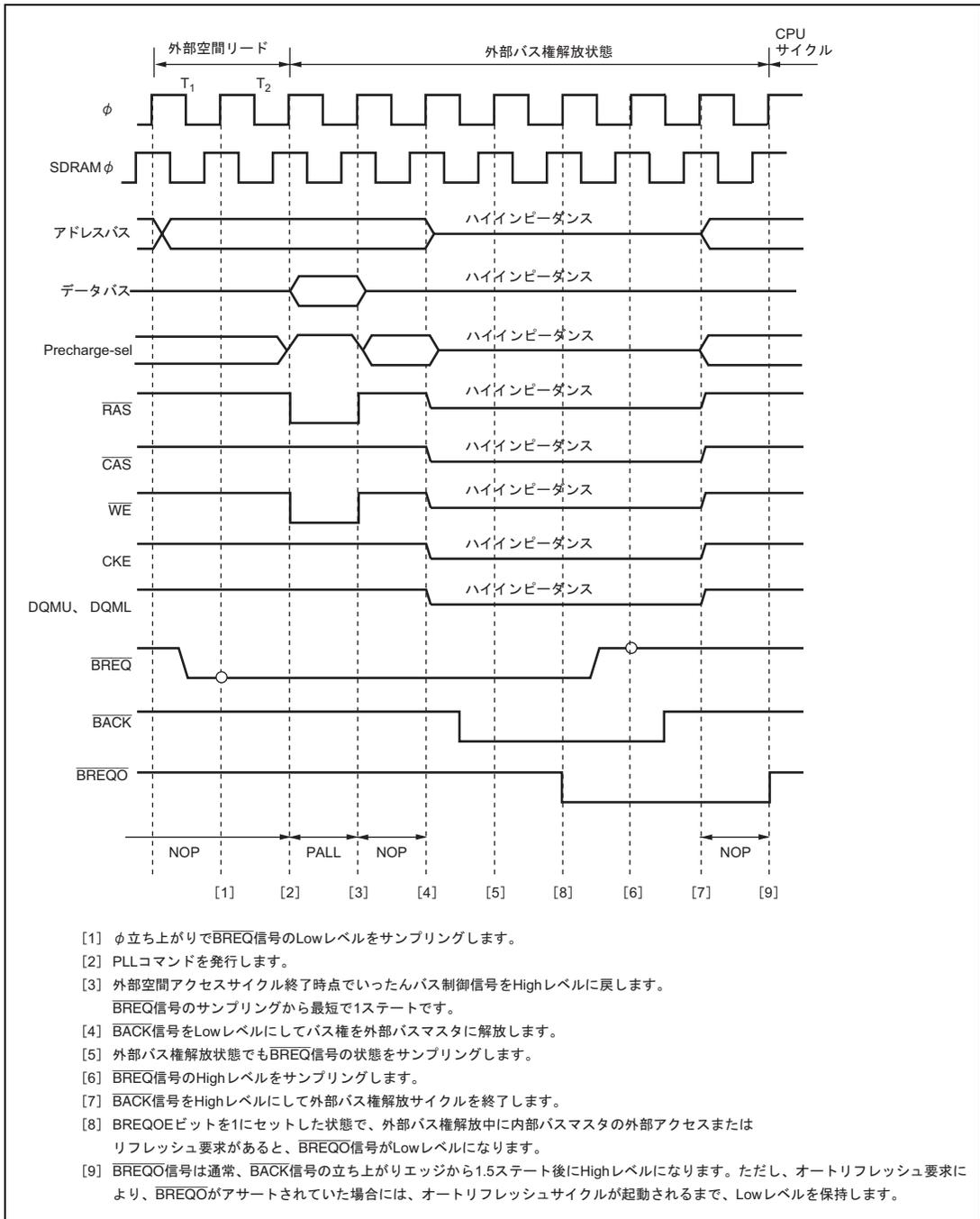


図 6.85 シンクロナス DRAM インタフェース時のバス解放状態遷移タイミング

【注】 H8S/2378 グループではシンクロナス DRAM インタフェースをサポートしていません。

6.12 バスアービトレーション

本 LSI はバスマスタの動作を調停 (バスアービトレーション) するバスアービタを内蔵しています。

バスマスタは、CPU、DTC、DMAC および EXDMAC* の 4 つがあり、バス権を占有した状態でリード/ライト動作を行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。バスマスタはバス権を獲得して動作します。

【注】 * H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

6.12.1 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていればそのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位：

(高) EXDMAC* > DMAC > DTC > CPU (低)

なお、EXDMAC*を除く内部バスマスタの内部バスアクセスと、外部バス権解放、CBRM ビットが 0 の場合のリフレッシュ、EXDMAC*の外部バスアクセスは並行して実行することができます。

外部バス権解放要求、リフレッシュ要求、および内部バスマスタの外部アクセスが同時に発生したときの優先順位：

(高) リフレッシュ > EXDMAC* > 外部バス権解放 (低)

(高) 外部バス権解放 > EXDMAC*を除く内部バスマスタの外部アクセス (低)

ただし、REFCR の CBRM ビットを 0 にクリアした場合のリフレッシュと、内部バスマスタの DRAM 空間以外への外部アクセスは同時に実行可能なため優先順位はありません。

【注】 * H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

6.12.2 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタにはバス権を譲ることができるタイミングがあります。

6. バスコントローラ (BSC)

(1) CPU

CPU は最も優先順位が低いバスマスタで、DTC、DMAC および EXDMAC*からのバス権要求があると、バスアービタはバス権をバス権の要求のあったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

【注】 * H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

- バスサイクルの切れ目で、バス権を移行します。ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合などには、分割されたバスサイクルの切れ目では、バス権は移行しません。
- BSET、BCLRなどのビット操作命令では、いったん対象のデータを読み込み(リード)、所定のビット操作演算後(モディファイ)、書き戻し(ライト)ます。このようなリード モディファイ ライトサイクルの間は一連のバスサイクルとして実行されるためバス権を移行しません。
- CPUがスリープモードの場合、直ちにバス権を移行します。

(2) DTC

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。

DTC がバス権を解放できるのは、ベクタのリード後、レジスタ情報のリード(3 ステート)後、1 回のデータ転送後、レジスタ情報のライト(3 ステート)後です。レジスタ情報のリード(3 ステート)中、1 回のデータ転送中、レジスタ情報のライト(3 ステート)中にはバスを解放しません。

(3) DMAC

DMAC は起動要求が発生するとバスアービタに対してバス権を要求します。

DMAC はショートアドレスモード、ノーマルモードの外部リクエスト、またはサイクルスチールモードの場合、1 回の転送終了後にバス権を解放します。

ブロック転送モードの場合は 1 ブロック転送後、バーストモードの場合は転送終了後にバス権を解放します。ただし、DMAC より優先順位の高い、EXDMAC、外部バス権解放要求があった場合、ブロック転送中、バースト転送中にもこれらのバスマスタにバス権を移行する場合があります。

(4) EXDMAC

EXDMAC は起動要求が発生するとバスアービタに対してバス権を要求します。

EXDMAC は外部バス間転送専用のため、EXDMAC にバス権が移行しても、他の内部バスマスタの内部アクセスは並列して実行されます。

EXDMAC はノーマル転送モードまたはサイクルスチール転送モードの場合、1 回の転送終了後にバス権を解放します。

ブロック転送モードの場合は1ブロック転送後、バースト転送モードの場合は転送終了後にバス権を解放します。このとき、EDMDRレジスタのBGUPビットに1をセットすることにより、内部バスマスタからの外部アクセス要求があった場合にいったんバス権を解放するように設定することが可能です。詳しくは「第8章 EXDMAコントローラ (EXDMAC)」を参照してください。

【注】 H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

(5) 外部バス権解放

BCRレジスタのBRLEビットを1にセットした状態で $\overline{\text{BREQ}}$ 端子がLowレベルとなって外部バス権解放要求が起こるとバスアービタに対してバス権を要求します。

外部バス権解放は、外部バスサイクルが終了した時点で行うことができます。

6.13 リセットとバスコントローラ

リセットでは、バスコントローラを含めて、本LSIはその時点でリセット状態になります。実行中のバスサイクルは途中で打ち切られます。

6.14 使用上の注意事項

6.14.1 外部バス権解放機能と全モジュールクロックストップモード

本LSIはMSTPCRレジスタのACSEビットを1にセットし、すべての周辺モジュールのクロックを停止する設定 (MSTPCR = H'FFFF、EXMSTPCR = H'FFFF) か、もしくは8ビットタイマだけを動作させる設定 (MSTPCR = H'FFFE、EXMSTPCR = H'FFFF) でSLEEP命令を実行しスリープ状態へ遷移すると、バスコントローラとI/Oポートもクロックを停止する全モジュールクロックストップモードへ遷移します。この状態では外部バス権解放機能は停止します。スリープモードで外部バス権解放機能を使用する場合は、MSTPCRレジスタのACSEビットを0にクリアしてください。逆に、外部バス権解放状態で、全モジュールクロックストップモードへ遷移するためのSLEEP命令が実行された場合、全モジュールクロックストップモードへの遷移は保留され、バス権復帰後に遷移します。

6.14.2 外部バス権解放機能とソフトウェアスタンバイ

本LSIはバス解放中でも、プログラムが内蔵ROMなどで動作していて外部アクセスが起きない場合には、内部バスマスタの動作は停止しません。外部バス解放中にソフトウェアスタンバイモードに遷移するためのSLEEP命令が実行された場合、ソフトウェアスタンバイモードへの遷移は保留され、バス権復帰後に遷移します。

また、ソフトウェアスタンバイモードではクロック発振も停止するため、ソフトウェアスタンバイ中に $\overline{\text{BREQ}}$ がLowレベルとなり、外部バス解放要求があっても、ソフトウェアスタンバイ状態から復帰するまで外部バス解放に応答できません。

6. バスコントローラ (BSC)

6.14.3 外部バス権解放機能と CBR リフレッシュ / オートリフレッシュ

外部バス権解放中には CBR リフレッシュ / オートリフレッシュを実行することができません。BCR の BREQOE ビットを 1 にセットしておくこと、CBR リフレッシュ / オートリフレッシュ要求が発生したときに、 $\overline{\text{BREQO}}$ 信号を出力することができます。

【注】 H8S/2378 グループではオートリフレッシュ制御をサポートしていません。

6.14.4 $\overline{\text{BREQO}}$ 出力タイミング

BREQOE ビットに 1 をセットして $\overline{\text{BREQO}}$ 信号を出力する場合、 $\overline{\text{BACK}}$ 信号が Low レベルになる前に $\overline{\text{BREQO}}$ が Low レベルになる場合があります。

これは、本 LSI が $\overline{\text{BREQO}}$ の Low レベルをサンプリングして、内部のバス権を調停している間に、すでに次の外部アクセス要求または、CBR リフレッシュ要求が発生した場合に起こります。

6.14.5 シンクロナス DRAM 使用上の注意事項

(1) シンクロナス DRAM インタフェースの設定

シンクロナス DRAM インタフェースを有効とするためには、DCTL 端子を 1 に固定する必要があります。DCTL 端子は動作中に変化させないでください。

(2) 接続クロック

シンクロナス DRAM に接続するクロックは必ず SDRAM としてください。

(3) $\overline{\text{WAIT}}$ 端子

連続シンクロナス DRAM 空間では $\overline{\text{WAIT}}$ 端子によるウェイトステートの挿入は BCR レジスタの WAITE ビットの設定によらず無効となります。

(4) バンク制御

本 LSI はシンクロナス DRAM のバンク制御を行うことはできません。全バンクが選択されます。

(5) パーストアクセス

シンクロナス DRAM のパーストリード / パーストライトのモードは対応していません。シンクロナス DRAM のモードレジスタを設定する際は、パーストリード / シングルライトを設定し、パースト長は 1 としてください。

(6) CAS レイテンシ

CAS レイテンシが 1 のシンクロナス DRAM を接続する場合は、DRAMCR レジスタの BE ビットは 0 を設定してください。

【注】 H8S/2378 グループではシンクロナス DRAM インタフェースをサポートしていません。

7. DMA コントローラ (DMAC)

本 LSI は、DMA コントローラ (DMAC) を内蔵しています。DMAC は最大 4 チャンネルのデータ転送を行うことができます。

7.1 特長

- ショートアドレスモードとフルアドレスモードを選択可能
 - (1) ショートアドレスモード
 - 最大4チャンネルを使用可能
 - デュアルアドレスモード/シングルアドレスモードの選択が可能
 - デュアルアドレスモードでは転送元、転送先アドレスの一方を24ビット、他方を16ビットで指定
 - シングルアドレスモードでは転送元、転送先アドレスの一方だけを24ビットで指定
 - シングルアドレスモードでは1バスサイクルでの転送が可能
 - デュアルアドレスモード、シングルアドレスモードに対し、シーケンシャルモード/アイドルモード/リピートモードの選択が可能
 - (2) フルアドレスモード
 - 最大2チャンネルを使用可能
 - 転送元、転送先アドレスを24ビットで指定
 - ノーマルモード/ブロック転送モードの選択が可能
- 16Mバイトのアドレス空間を直接指定可能
- 転送単位をバイト/ワードに設定可能
- 起動要因は、内部割り込み、外部リクエスト、オートリクエスト (転送モードに依存)
 - 16ビットタイマパルスユニット (TPU) のコンペアマッチ/インプットキャプチャ割り込み×6
 - シリアルコミュニケーションインタフェース (SCI_0、SCI_1) の送信完了割り込み、受信完了割り込み
 - A/D変換器の変換終了割り込み
 - 外部リクエスト
 - オートリクエスト
- モジュールストップモードの設定可能

7. DMA コントローラ (DMAC)

DMAC のブロック図を図 7.1 に示します。

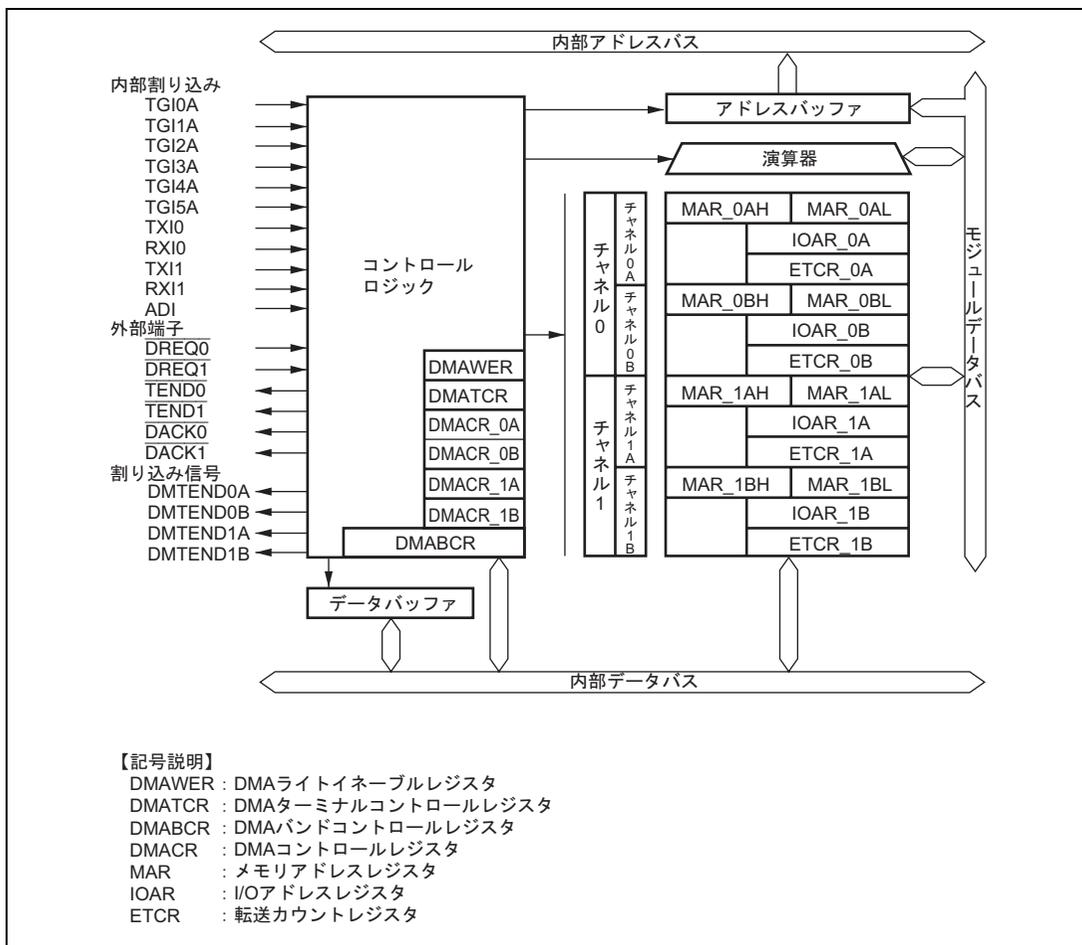


図 7.1 DMAC のブロック図

7.2 入出力端子

DMAC の端子構成を表 7.1 に示します。

表 7.1 端子構成

チャンネル	名称	略称	入出力	機能
0	DMA リクエスト 0	$\overline{DREQ0}$	入力	チャンネル 0 の外部リクエスト
	DMA 転送アクノリッジ 0	$\overline{DACK0}$	出力	チャンネル 0 のシングルアドレス転送アクノリッジ
	DMA 転送終了 0	$\overline{TEND0}$	出力	チャンネル 0 の転送終了
1	DMA リクエスト 1	$\overline{DREQ1}$	入力	チャンネル 1 の外部リクエスト
	DMA 転送アクノリッジ 1	$\overline{DACK1}$	出力	チャンネル 1 のシングルアドレス転送アクノリッジ
	DMA 転送終了 1	$\overline{TEND1}$	出力	チャンネル 1 の転送終了

7.3 レジスタの説明

DMAC には以下のレジスタがあります。

- メモリアドレスレジスタ_0AH (MAR_0AH)
- メモリアドレスレジスタ_0AL (MAR_0AL)
- I/Oアドレスレジスタ_0A (IOAR_0A)
- 転送カウントレジスタ_0A (ETCR_0A)
- メモリアドレスレジスタ_0BH (MAR_0BH)
- メモリアドレスレジスタ_0BL (MAR_0BL)
- I/Oアドレスレジスタ_0B (IOAR_0B)
- 転送カウントレジスタ_0B (ETCR_0B)
- メモリアドレスレジスタ_1AH (MAR_1AH)
- メモリアドレスレジスタ_1AL (MAR_1AL)
- I/Oアドレスレジスタ_1A (IOAR_1A)
- 転送カウントレジスタ_1A (ETCR_1A)
- メモリアドレスレジスタ_1BH (MAR_1BH)
- メモリアドレスレジスタ_1BL (MAR_1BL)
- I/Oアドレスレジスタ_1B (IOAR_1B)
- 転送カウントレジスタ_1B (ETCR_1B)
- DMAコントロールレジスタ_0A (DMACR_0A)
- DMAコントロールレジスタ_0B (DMACR_0B)
- DMAコントロールレジスタ_1A (DMACR_1A)

7. DMA コントローラ (DMAC)

- DMAコントロールレジスタ_1B (DMACR_1B)
- DMAバンドコントロールレジスタH (DMABCRH)
- DMAバンドコントロールレジスタL (DMABCRL)
- DMAライトイネーブルレジスタ (DMAWER)
- DMAターミナルコントロールレジスタ (DMATCR)

MAR、IOAR、ETCR、DMACR、DMABCR は、転送モード (ショートアドレスモード、フルアドレスモード) により機能が異なります。転送モードは、DMABCRH の FAE1、FAE0 ビットにより選択できます。表 7.2 にチャンネル 0 のショートアドレスモードとフルアドレスモードのレジスタ構成を示します。

表 7.2 ショートアドレスモードとフルアドレスモード (チャンネル 0)

FAE0	説明																										
0	<p>ショートアドレスモードを指定 (チャンネル0A、0Bはそれぞれ独立して動作)</p> <table border="1"> <tr> <td rowspan="4">チャンネル 0 A</td> <td>MAR_0AH</td> <td>MAR_0AL</td> <td>← 転送元/転送先アドレスを指定</td> </tr> <tr> <td></td> <td>IOAR_0A</td> <td>← 転送先/転送元アドレスを指定</td> </tr> <tr> <td></td> <td>ETCR_0A</td> <td>← 転送回数を指定</td> </tr> <tr> <td></td> <td>DMACR_0A</td> <td>← 転送サイズ、モード、起動要因を指定</td> </tr> <tr> <td rowspan="4">チャンネル 0 B</td> <td>MAR_0BH</td> <td>MAR_0BL</td> <td>← 転送元/転送先アドレスを指定</td> </tr> <tr> <td></td> <td>IOAR_0B</td> <td>← 転送先/転送元アドレスを指定</td> </tr> <tr> <td></td> <td>ETCR_0B</td> <td>← 転送回数を指定</td> </tr> <tr> <td></td> <td>DMACR_0B</td> <td>← 転送サイズ、モード、起動要因を指定</td> </tr> </table>	チャンネル 0 A	MAR_0AH	MAR_0AL	← 転送元/転送先アドレスを指定		IOAR_0A	← 転送先/転送元アドレスを指定		ETCR_0A	← 転送回数を指定		DMACR_0A	← 転送サイズ、モード、起動要因を指定	チャンネル 0 B	MAR_0BH	MAR_0BL	← 転送元/転送先アドレスを指定		IOAR_0B	← 転送先/転送元アドレスを指定		ETCR_0B	← 転送回数を指定		DMACR_0B	← 転送サイズ、モード、起動要因を指定
チャンネル 0 A	MAR_0AH		MAR_0AL	← 転送元/転送先アドレスを指定																							
			IOAR_0A	← 転送先/転送元アドレスを指定																							
			ETCR_0A	← 転送回数を指定																							
		DMACR_0A	← 転送サイズ、モード、起動要因を指定																								
チャンネル 0 B	MAR_0BH	MAR_0BL	← 転送元/転送先アドレスを指定																								
		IOAR_0B	← 転送先/転送元アドレスを指定																								
		ETCR_0B	← 転送回数を指定																								
		DMACR_0B	← 転送サイズ、モード、起動要因を指定																								
1	<p>フルアドレスモードを指定 (チャンネル0A、0Bを組み合わせるとして動作)</p> <table border="1"> <tr> <td rowspan="8">チャンネル 0</td> <td>MAR_0AH</td> <td>MAR_0AL</td> <td>← 転送元アドレスを指定</td> </tr> <tr> <td>MAR_0BH</td> <td>MAR_0BL</td> <td>← 転送先アドレスを指定</td> </tr> <tr> <td></td> <td>IOAR_0A</td> <td>← 未使用</td> </tr> <tr> <td></td> <td>IOAR_0B</td> <td>← 未使用</td> </tr> <tr> <td></td> <td>ETCR_0A</td> <td>← 転送回数を指定</td> </tr> <tr> <td></td> <td>ETCR_0B</td> <td>← 転送回数を指定 (ブロック転送モード時のみ使用)</td> </tr> <tr> <td></td> <td>DMACR_0A</td> <td>DMACR_0B</td> <td>← 転送サイズ、モード、起動要因を指定</td> </tr> </table>	チャンネル 0	MAR_0AH	MAR_0AL	← 転送元アドレスを指定	MAR_0BH	MAR_0BL	← 転送先アドレスを指定		IOAR_0A	← 未使用		IOAR_0B	← 未使用		ETCR_0A	← 転送回数を指定		ETCR_0B	← 転送回数を指定 (ブロック転送モード時のみ使用)		DMACR_0A	DMACR_0B	← 転送サイズ、モード、起動要因を指定			
チャンネル 0	MAR_0AH		MAR_0AL	← 転送元アドレスを指定																							
	MAR_0BH		MAR_0BL	← 転送先アドレスを指定																							
			IOAR_0A	← 未使用																							
			IOAR_0B	← 未使用																							
			ETCR_0A	← 転送回数を指定																							
			ETCR_0B	← 転送回数を指定 (ブロック転送モード時のみ使用)																							
			DMACR_0A	DMACR_0B	← 転送サイズ、モード、起動要因を指定																						

7.3.1 メモリアドレスレジスタ (MARA、MARB)

MAR は、ソースアドレス (転送元アドレス)、デスティネーションアドレス (転送先アドレス) を指定する 32 ビットのリード/ライト可能なレジスタです。MAR は 2 本の 16 ビットレジスタ MARH、MARL から構成されています。MARH の上位 8 ビットはリザーブビットで、リードすると常に 0 が読み出されます。ライトは無効です。

MAR は、チャンネル 0 に MAR_0A (チャンネル 0A)、MAR_0B (チャンネル 0B)、チャンネル 1 に MAR_1A (チャンネル 1A)、MAR_1B (チャンネル 1B) の 4 本があります。

MAR は、リセットまたはスタンバイモード時に初期化されません。

(1) ショートアドレスモード

ショートアドレスモードでは、MARA、MARB はそれぞれ独立して動作します。DMACR の DTDIR ビットにより、ソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかを選択できます。

MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、MAR によって指定するアドレスを自動的に更新します。

(2) フルアドレスモード

フルアドレスモードでは、MARA はソースアドレスレジスタとして機能し、MARB はデスティネーションアドレスレジスタとして機能します。

MAR は 1 回のバイト転送またはワード転送のたびにインクリメント/デクリメントされ、ソースまたはデスティネーションのメモリアドレスを自動的に更新します。

7.3.2 I/O アドレスレジスタ (IOARA、IOARB)

IOAR はソースアドレス (転送元アドレス) またはデスティネーションアドレス (転送先アドレス) の下位 16 ビットを指定する 16 ビットのリード/ライト可能なレジスタです。転送アドレスの上位 8 ビットは、H'FF の値が自動的に設定されます。

IOAR は、チャンネル 0 に IOAR_0A (チャンネル 0A)、IOAR_0B (チャンネル 0B)、チャンネル 1 に IOAR_1A (チャンネル 1A)、IOAR_1B (チャンネル 1B) の 4 本があります。

IOAR は、DMACR の DTDIR ビットにより、ソースアドレスレジスタとして機能するか、デスティネーションアドレスレジスタとして機能するかを選択できます。

IOAR はデータ転送でインクリメント/デクリメントされず、IOAR によって指定するアドレスは固定となります。

IOAR はリセットまたはスタンバイモード時に初期化されません。

IOAR はショートアドレスモードで使用し、フルアドレスモードでは使用しません。

7.3.3 転送カウントレジスタ (ETCRA、ETCRB)

ETCR は転送回数を設定する 16 ビットのリード/ライト可能なレジスタです。ETCR は、チャンネル 0 に ETCR_0A (チャンネル 0A)、ETCR_0B (チャンネル 0B)、チャンネル 1 に ETCR_1A (チャンネル 1A)、ETCR_1B (チャンネル 1B) の 4 本があります。

ETCR は、リセットまたはスタンバイモード時に初期化されません。

(1) ショートアドレスモード

ETCR は、シーケンシャルモードおよびアイドルモードと、リピートモードでは設定が異なります。

シーケンシャルモードおよびアイドルモードでは、ETCR は 16 ビットの転送カウンタとして機能します。1 回のデータ転送を行うたびに 1 ずつデクリメントされ、H'0000 になると DMABCRL の DTE ビットをクリアし、転送を終了します。

リピートモードでは、ETCR は 8 ビットの転送カウンタ (ETCRL) と、転送回数保持レジスタ (ETCRH) として機能します。1 回のデータ転送を行うたびに ETCRL は 1 ずつデクリメントされ、カウンタ値が H'00 になると ETCRH の値をロードします。このとき MAR はデータ転送を開始したときの値に自動的に戻ります。DMABCRL の DTE ビットはクリアされません。DTE ビットをクリアするまで、繰り返しデータ転送が行えます。

(2) フルアドレスモード

ETCR は、ノーマルモードとブロック転送モードでは機能が異なります。

ノーマルモードでは、ETCRA は 16 ビットの転送カウンタとして機能します。1 回のデータ転送を行うたびに 1 ずつデクリメントされ、カウンタ値が H'0000 になると転送を終了します。ETCRB はノーマルモードでは使用しません。

ブロック転送モードでは、ETCRA は 8 ビットのブロックサイズカウンタ (ETCRAL) と、ブロックサイズ保持レジスタ (ETCRAH) として機能します。ETCRAL は 1 バイトまたは 1 ワードのデータ転送を行うたびに 1 ずつデクリメントされ、カウンタ値が H'00 になると ETCRAH の値がロードされます。ETCRAL、ETCRAH にブロックサイズを設定することにより、任意のバイト数またはワード数で構成されたブロックを繰り返し転送することができます。

ETCRB は、ブロック転送モードでは 16 ビットのブロック転送カウンタとして機能します。1 回のブロック転送を行うたびに 1 ずつデクリメントされ、H'0000 になると転送を終了します。

7.3.4 DMA コントロールレジスタ (DMACRA、DMACRB)

DMACR は DMAC の各チャンネルの動作を制御します。DMACR は、チャンネル 0 に DMACR_0A (チャンネル 0A)、DMACR_0B (チャンネル 0B)、チャンネル 1 に DMACR_1A (チャンネル 1A)、DMACR_1B (チャンネル 1B) の 4 本があります。DMACR は、ショートアドレスモードではチャンネル A、チャンネル B はそれぞれ独立して動作し、フルアドレスモードではチャンネル A、チャンネル B は組み合わせて動作します。DMACR は、転送モードにより一部のビット機能が異なります。

(1) ショートアドレスモード

- DMACR_0A、DMACR_0B、DMACR_1A、DMACR_1B

ビット	ビット名	初期値	R/W	説明
7	DTSZ	0	R/W	データトランスファサイズ 1 回に転送されるデータサイズを選択します。 0: バイトサイズ転送 1: ワードサイズ転送
6	DTID	0	R/W	データトランスインクリメント/デクリメント シーケンシャルモードまたはリピートモードの場合、データ転送ごとの MAR のインクリメント/デクリメントを選択します。アイドルモードの場合、MAR はインクリメント/デクリメントされません。 0: データ転送後 MAR をインクリメント <ul style="list-style-type: none"> • DTSZ=0 のとき、MAR を +1 • DTSZ=1 のとき、MAR を +2 1: データ転送後 MAR をデクリメント <ul style="list-style-type: none"> • DTSZ=0 のとき、MAR を -1 • DTSZ=1 のとき、MAR を -2
5	RPE	0	R/W	リピートイネーブル DMABCR の DTIE ビットと組み合わせて、シーケンシャルモード、アイドルモード、リピートモードのどのモードで転送するかを選択します。 DTIE = 0 のとき (転送終了割り込みなし) <ul style="list-style-type: none"> 0: シーケンシャルモードで転送 1: リピートモードで転送 DTIE = 1 のとき (転送終了割り込みあり) <ul style="list-style-type: none"> 0: シーケンシャルモードで転送 1: アイドルモードで転送
4	DTDIR	0	R/W	データトランスファディレクション DMABCR の SAE ビットと組み合わせて、データ転送の方向 (ソース側、デスティネーション側) を指定します。デュアルアドレスモードとシングルアドレスモードでは機能が異なります。 SAE = 0 のとき <ul style="list-style-type: none"> 0: MAR をソースアドレス、IOAR をデスティネーションアドレスとして転送 1: IOAR をソースアドレス、MAR をデスティネーションアドレスとして転送 SAE = 1 のとき <ul style="list-style-type: none"> 0: MAR をソースアドレス、DACK 端子をライトストローブとして転送 1: DACK 端子をリードストローブ、MAR をデスティネーションアドレスとして転送

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説 明
3	DTF3	0	R/W	データトランスファファクタ 3~0
2	DTF2	0	R/W	データ転送の起動要因を選択します。チャンネル A とチャンネル B では一部起動要因が異なります。
1	DTF1	0	R/W	
0	DTF0	0	R/W	チャンネル A 0000 : 設定禁止 0001 : A/D 変換器の変換終了割り込みで起動 0010 : 設定禁止 0011 : 設定禁止 0100 : SCI チャンネル 0 の送信完了割り込みで起動 0101 : SCI チャンネル 0 の受信完了割り込みで起動 0110 : SCI チャンネル 1 の送信完了割り込みで起動 0111 : SCI チャンネル 1 の受信完了割り込みで起動 1000 : TPU チャンネル 0 のコンペアマッチ / インブットキャプチャ A 割り込みで起動 1001 : TPU チャンネル 1 のコンペアマッチ / インブットキャプチャ A 割り込みで起動 1010 : TPU チャンネル 2 のコンペアマッチ / インブットキャプチャ A 割り込みで起動 1011 : TPU チャンネル 3 のコンペアマッチ / インブットキャプチャ A 割り込みで起動 1100 : TPU チャンネル 4 のコンペアマッチ / インブットキャプチャ A 割り込みで起動 1101 : TPU チャンネル 5 のコンペアマッチ / インブットキャプチャ A 割り込みで起動 1110 : 設定禁止 1111 : 設定禁止 チャンネル B の場合 0000 : 設定禁止 0001 : A/D 変換器の変換終了割り込みで起動 0010 : DREQ 端子の立ち下がりエッジで起動 (転送許可後の最初の転送は Low レベルで検出します。) 0011 : DREQ 端子の Low レベル入力で起動 0100 : SCI チャンネル 0 の送信完了割り込みで起動 0101 : SCI チャンネル 0 の受信完了割り込みで起動 0110 : SCI チャンネル 1 の送信完了割り込みで起動 0111 : SCI チャンネル 1 の受信完了割り込みで起動 1000 : TPU チャンネル 0 のコンペアマッチ / インブットキャプチャ A 割り込みで起動 1001 : TPU チャンネル 1 のコンペアマッチ / インブットキャプチャ A 割り込みで起動 1010 : TPU チャンネル 2 のコンペアマッチ / インブットキャプチャ A 割り込みで起動 1011 : TPU チャンネル 3 のコンペアマッチ / インブットキャプチャ A 割り込みで起動 1100 : TPU チャンネル 4 のコンペアマッチ / インブットキャプチャ A 割り込みで起動 1101 : TPU チャンネル 5 のコンペアマッチ / インブットキャプチャ A 割り込みで起動 1110 : 設定禁止 1111 : 設定禁止 複数のチャンネル間で同一の起動要因を選択することが可能です。この場合、チャンネル間の優先順位に従い、優先度の高いチャンネルから起動されます。チャンネル間の優先順位については「7.5.12 複数チャンネルの動作」を参照してください。

(2) フルアドレスモード

• DMACR_0A、DMACR_1A

ビット	ビット名	初期値	R/W	説明
15	DTSZ	0	R/W	データ転送サイズ 1回に転送されるデータサイズを選択します。 0: バイトサイズ転送 1: ワードサイズ転送
14 13	SAID SAIDE	0 0	R/W R/W	ソースアドレスインクリメント/デクリメント ソースアドレスインクリメント/デクリメントイネーブル データ転送時、ソースアドレスレジスタ MARA をインクリメントするか、デクリメントするか、または固定とするかを指定します。 00: 固定 01: データ転送後、MARA をインクリメント • DTSZ=0 のとき、MARA を +1 • DTSZ=1 のとき、MARA を +2 10: 固定 11: データ転送後、MARA をデクリメント • DTSZ=0 のとき、MARA を -1 • DTSZ=1 のとき、MARA を -2
12 11	BLKDIR BLKE	0 0	R/W R/W	ブロックディレクション ブロックイネーブル ノーマルモードで転送するか、ブロック転送モードで転送するかを BLKE ビットで指定します。またブロック転送モードを指定する場合には、ソース側、デスティネーション側のどちらをブロックエリアとするかを BLKDIR ビットで指定します。 X0: ノーマルモードで転送 01: ブロック転送モードで転送 (ブロックエリアはデスティネーション側) 11: ブロック転送モードで転送 (ブロックエリアはソース側)
10~8	-	すべて 0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。

【記号説明】 X: Don't care

7. DMA コントローラ (DMAC)

• DMACR_0B、DMACR_1B

ビット	ビット名	初期値	R/W	説明
7		0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
6	DAID	0	R/W	デスティネーションアドレスインクリメント/デクリメント
5	DAIDE	0	R/W	デスティネーションアドレスインクリメント/デクリメントイネーブル データ転送時、デスティネーションアドレスレジスタ MARB をインクリメントするか、デクリメントするか、または固定とするかを指定します。 00: 固定 01: データ転送後、MARB をインクリメント <ul style="list-style-type: none"> • DTSZ=0 のとき、MARB を +1 • DTSZ=1 のとき、MARB を +2 10: 固定 11: データ転送後、MARB をデクリメント <ul style="list-style-type: none"> • DTSZ=0 のとき、MARB を -1 • DTSZ=1 のとき、MARB を -2
4	-	0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
3	DTF3	0	R/W	データトランスファファクタ 3~0
2	DTF2	0	R/W	データ転送の起動要因を選択します。ノーマルモードとブロック転送モードでは指定できる起動要因が異なります。
1	DTF1	0	R/W	ノーマルモード
0	DTF0	0	R/W	<p>0000 : 設定禁止</p> <p>0001 : 設定禁止</p> <p>0010 : $\overline{\text{DREQ}}$ 端子の立ち下がりエッジ入力で起動 (転送許可後の最初の転送は、Low レベルで検出します。)</p> <p>0011 : $\overline{\text{DREQ}}$ 端子の Low レベル入力で起動</p> <p>010X : 設定禁止</p> <p>0110 : オートリクエスト (サイクルスチール)</p> <p>0111 : オートリクエスト (バースト)</p> <p>1XXX : 設定禁止</p> <p>ブロック転送モード</p> <p>0000 : 設定禁止</p> <p>0001 : A/D 変換器の変換終了割り込みで起動</p> <p>0010 : $\overline{\text{DREQ}}$ 端子の立ち下がりエッジ入力で起動 (転送許可後の最初の転送は、Low レベルで検出します。)</p> <p>0011 : $\overline{\text{DREQ}}$ 端子の Low レベルで起動</p> <p>0100 : SCI チャンネル 0 の送信完了割り込みで起動</p> <p>0101 : SCI チャンネル 0 の受信完了割り込みで起動</p> <p>0110 : SCI チャンネル 1 の送信完了割り込みで起動</p> <p>0111 : SCI チャンネル 1 の受信完了割り込みで起動</p> <p>1000 : TPU チャンネル 0 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1001 : TPU チャンネル 1 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1010 : TPU チャンネル 2 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1011 : TPU チャンネル 3 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1100 : TPU チャンネル 4 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1101 : TPU チャンネル 5 のコンペアマッチ/インプットキャプチャ A 割り込みで起動</p> <p>1110 : 設定禁止</p> <p>1111 : 設定禁止</p> <p>複数のチャンネル間で同一の起動要因を選択することが可能です。この場合、チャンネル間の優先順位に従い、優先度の高いチャンネルから起動されます。チャンネル間の優先順位については「7.5.12 複数チャンネルの動作」を参照してください。</p>

【記号説明】 X : Don't care

7. DMA コントローラ (DMAC)

7.3.5 DMA バンドコントロールレジスタ H、L (DMABCRH、DMABCRL)

DMABCR は DMAC の各チャンネルの動作を制御します。DMABCR は、転送モードにより一部ビットの機能が異なります。

(1) ショートアドレスモード

• DMABCRH

ビット	ビット名	初期値	R/W	説明
15	FAE1	0	R/W	フルアドレスイネーブル 1 チャンネル 1 をショートアドレスモード / フルアドレスモードのどちらで使用するかを指定します。ショートアドレスモードでは、チャンネル 1A、1B はそれぞれ独立したチャンネルとして使用できます。 0 : ショートアドレスモード 1 : フルアドレスモード
14	FAE0	0	R/W	フルアドレスイネーブル 0 チャンネル 0 をショートアドレスモード / フルアドレスモードのどちらで使用するかを指定します。ショートアドレスモードでは、チャンネル 0A、0B はそれぞれ独立したチャンネルとして使用できます。 0 : ショートアドレスモード 1 : フルアドレスモード
13	SAE1	0	R/W	シングルアドレスイネーブル 1 チャンネル 1B をデュアルアドレスモードまたはシングルアドレスモードのどちらで転送するかを指定します。フルアドレスモードでは、本ビットは無効になります。 0 : デュアルアドレスモード 1 : シングルアドレスモード
12	SAE0	0	R/W	シングルアドレスイネーブル 0 チャンネル 0B をデュアルアドレスモードまたはシングルアドレスモードのどちらで転送するかを指定します。フルアドレスモードでは、本ビットは無効になります。 0 : デュアルアドレスモード 1 : シングルアドレスモード

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
11	DTA1B	0	R/W	データトランスファアクノリッジ 1B
10	DTA1A	0	R/W	データトランスファアクノリッジ 1A
9	DTA0B	0	R/W	データトランスファアクノリッジ 0B
8	DTA0A	0	R/W	データトランスファアクノリッジ 0A

DMACR の DTF3~0 ビットによって選択されている内部割り込み要因の DMA 転送時のクリアを許可または禁止するビットです。

DTE = 1 のとき DTA = 1 にすると、内部割り込み要因は DMA 転送により自動的にクリアされます。DTE = 1、DTA = 1 の状態では、内部割り込みは CPU および DTC に割り込みを要求しません。

DTE = 1 のとき DTA = 0 にすると、内部割り込み要因は転送時にはクリアされず、並行して CPU または DTC に割り込みを要求することができます。この場合、CPU または DTC 転送で割り込み要因をクリアしてください。

DTE = 0 のとき DTA ビットの設定に関係なく、内部割り込み要因は CPU または DTC に割り込みを要求します。

• DMABCRL

ビット	ビット名	初期値	R/W	説明
7	DTE1B	0	R/W	データトランスファイネーブル 1B
6	DTE1A	0	R/W	データトランスファイネーブル 1A
5	DTE0B	0	R/W	データトランスファイネーブル 0B
4	DTE0A	0	R/W	データトランスファイネーブル 0A

DTIE = 1 のとき DTE = 0 になると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。

DTE = 1 はデータ転送許可状態であり、DMACR の DTF3~0 ビットによって選択されている起動要因は無視されます。DMACR の DTF3~0 ビットによって選択されている起動要因の要求待ち状態になります。起動要因による要求が発生すると、DMA 転送が実行されます。

[クリア条件]

- 初期化されたとき
- リピートモードを除いた転送モードで、指定した回数の転送を終了したとき
- 強制的に転送を中断するなどの理由により、DTE ビットに 0 をライトしたとき

[セット条件]

- DTE = 0 をリード後、DTE = 1 をライトしたとき

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説 明
3	DTIE1B	0	R/W	データトランスファエンドインタラプトイネーブル 1B
2	DTIE1A	0	R/W	データトランスファエンドインタラプトイネーブル 1A
1	DTIE0B	0	R/W	データトランスファエンドインタラプトイネーブル 0B
0	DTIE0A	0	R/W	データトランスファエンドインタラプトイネーブル 0A

転送終了時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTE = 0 のときに DTIE = 1 にすると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。

転送終了割り込みを解除するには、割り込み処理ルーチンにて DTIE ビットを 0 にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後に DTE ビットを 1 にセットして転送継続の処理を行う方法があります。

(2) フルアドレスモード

• DMABCRH

ビット	ビット名	初期値	R/W	説 明
15	FAE1	0	R/W	フルアドレスイネーブル 1 チャンネル 1 をショートアドレスモードまたはフルアドレスモードのどちらで使用するかを指定するビットです。フルアドレスモードでは、チャンネル 1A、1B を組み合わせてチャンネル 1 として使用できます。 0 : ショートアドレスモード 1 : フルアドレスモード
14	FAE0	0	R/W	フルアドレスイネーブル 0 チャンネル 0 をショートアドレスモードまたはフルアドレスモードのどちらで使用するかを指定するビットです。フルアドレスモードでは、チャンネル 0A、0B を組み合わせてチャンネル 0 として使用できます。 0 : ショートアドレスモード 1 : フルアドレスモード
13, 12		すべて 0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。
11	DTA1	0	R/W	データトランスファアクノリッジ 1 チャンネル 1 の DMACR の DTF3~0 ビットによって選択されている内部割り込み要因の DMA 転送時のクリアを許可または禁止するビットです。 DTE1 = 1 のとき DTA1 = 1 にすると、内部割り込み要因は DMA 転送により自動的にクリアされます。DTE1 = 1、DTA1 = 1 の状態では内部割り込みは CPU および DTC に割り込みを要求しません。 DTE1 = 1 のとき DTA1 = 0 にすると、内部割り込み要因は転送時にはクリアされず、並行して CPU または DTC に割り込みを要求することができます。この場合、CPU または DTC 転送で割り込み要因をクリアしてください。 DTE1 = 0 のとき、DTA1 ビットの設定に関係なく、内部割り込みは CPU または DTC に割り込みを要求します。 DTME1 ビットの状態は、前述の動作に影響を与えません。

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
10		0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
9	DTA0	0	R/W	データトランスファアクリッジ0 チャンネル0のDMACRのDTF3~0ビットによって選択されている内部割り込み要因のDMA転送時のクリアを許可または禁止するビットです。 DTE0=1のときDTA0=1にすると、内部割り込み要因はDMA転送により自動的にクリアされます。DTE0=1、DTA0=1の状態では内部割り込みはCPUおよびDTCに割り込みを要求しません。 DTE0=1のときDTA0=0にすると、内部割り込み要因は転送時にはクリアされず、並行してCPUまたはDTCに割り込みを要求することができます。この場合、CPUまたはDTC転送で割り込み要因をクリアしてください。 DTE0=0のとき、DTA0ビットの設定に関係なく、内部割り込みはCPUまたはDTCに割り込みを要求します。 DTME0ビットの状態は、前述の動作に影響を与えません。
8		0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。

• DMABCRL

ビット	ビット名	初期値	R/W	説明
7	DTME1	0	R/W	データトランスファマスタイネーブル1 DTE1ビットとともにチャンネル1のデータ転送を許可または禁止するビットです。DTME1ビットとDTE1ビットをいずれも1にセットすると、チャンネル1は転送許可状態となります。 NMI割り込みが発生したとき、チャンネル1がバーストモード転送中のときはDTME1ビットが0にクリアされ、転送を中断してCPUにバス権を移します。その後、DTME1ビットを1にセットすると、中断された転送が再開されます。ただし、ブロック転送モードでは、NMI割り込みによりDTME1ビットがクリアされることはなく、転送を中断することはありません。 [クリア条件] <ul style="list-style-type: none"> • 初期化されたとき • バーストモードでNMIが入力されたとき • DTME1ビットに0をライトしたとき [セット条件] <ul style="list-style-type: none"> • DTME1ビット=0をリード後、DTME1ビットに1をライトしたとき

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
6	DTE1	0	R/W	<p>データトランスファイネーブル 1</p> <p>チャンネル1のDMACRのDTF3~0ビットによって選択されている起動要因のDMA転送を許可または禁止するビットです。</p> <p>DTE1=0のときはデータ転送禁止状態であり、起動要因は無視されます。このとき、起動要因が内部割り込みである場合には、CPUまたはDTCに割り込みが要求されます。また、DTIE1=1のときDTE1=0になると、DMACは転送終了とみなし、CPUに対し転送終了割り込みを要求します。</p> <p>DTE1=1かつDTME1=1のときはデータ転送許可状態であり、起動要因の要求待ち状態になります。起動要因による要求が発生すると、転送が実行されます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 初期化されたとき • 指定した回数の転送を終了したとき • 強制的に転送を中断するなどの理由により、DTE1ビットに0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • DTE1=0をリード後、DTE1ビットに1をライトしたとき
5	DTME0	0	R/W	<p>データトランスファマスタイネーブル 0</p> <p>DTE0ビットとともにチャンネル0のデータ転送を許可または禁止するビットです。DTME0ビットとDTE0ビットをいずれも1にセットすると、チャンネル0は転送許可状態となります。</p> <p>NMI割り込みが発生したとき、チャンネル0がバーストモード転送中のときはDTME0ビットが0にクリアされ、転送を中断してCPUにバス権を移します。その後、DTME0ビットを1にセットすると、中断された転送が再開されます。ただし、ブロック転送モードでは、NMI割り込みによりDTME0ビットがクリアされることはなく、転送を中断することはありません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 初期化されたとき • バーストモードでNMIが入力されたとき • DTME0ビットに0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • DTME0ビット=0をリード後、DTME0ビットに1をライトしたとき

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
4	DTE0	0	R/W	<p>データトランスファインープル 0</p> <p>チャンネル 0 の DMACR の DTF3~0 ビットによって選択されている起動要因の DMA 転送を許可または禁止するビットです。</p> <p>DTE0=0 のときはデータ転送禁止状態であり、起動要因は無視されます。このとき、起動要因が内部割り込みである場合には、CPU または DTC に割り込みが要求されます。また、DTIE0=1 のとき DTE0=0 になると、DMAC は転送終了とみなし、CPU に対し転送終了割り込みを要求します。</p> <p>DTE0=1 かつ DTME0=1 のときはデータ転送許可状態であり、起動要因の要求待ち状態になります。起動要因による要求が発生すると、転送が実行されます。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 初期化されたとき • 指定した回数の転送を終了したとき • 強制的に転送を中断するなどの理由により、DTE0 ビットに 0 をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • DTE0=0 をリード後、DTE0 ビットに 1 をライトしたとき
3	DTIE1B	0	R/W	<p>データトランスファインタラプトインープル 1B</p> <p>チャンネル 1 の転送中断時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTIE1B=1 のとき DTME1=0 になると、DMAC は転送中断とみなし、CPU または DTC に対し転送中断割り込みを要求します。</p> <p>転送中断割り込みを解除するには、割り込み処理ルーチンにて DTIE1B ビットを 0 にクリアする方法と、DTME1 ビットを 1 にセットして転送継続の処理を行う方法があります。</p>
2	DTIE1A	0	R/W	<p>データトランスファエンドインタラプトインープル 1A</p> <p>チャンネル 1 の転送終了時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTIE1A=1 のとき DTE1=0 になると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。</p> <p>転送終了割り込みを解除するには、割り込み処理ルーチンにて DTIE1A ビットを 0 にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後に DTE1 ビットを 1 にセットして転送継続の処理を行う方法があります。</p>
1	DTIE0B	0	R/W	<p>データトランスファインタラプトインープル 0B</p> <p>チャンネル 0 の転送中断時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTIE0B=1 のとき DTME0=0 になると、DMAC は転送中断とみなし、CPU または DTC に対し転送中断割り込みを要求します。</p> <p>転送中断割り込みを解除するには、割り込み処理ルーチンにて DTIE0B ビットを 0 にクリアする方法と、DTME0 ビットを 1 にセットして転送継続の処理を行う方法があります。</p>
0	DTIE0A	0	R/W	<p>データトランスファエンドインタラプトインープル 0A</p> <p>チャンネル 0 の転送終了時の CPU または DTC に対する割り込みを許可または禁止するビットです。DTIE0A=1 のとき DTE0=0 になると、DMAC は転送終了とみなし、CPU または DTC に対し転送終了割り込みを要求します。</p> <p>転送終了割り込みを解除するには、割り込み処理ルーチンにて DTIE0A ビットを 0 にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後に DTE0 ビットを 1 にセットして転送継続の処理を行う方法があります。</p>

7. DMA コントローラ (DMAC)

7.3.6 DMA ライトイネーブルレジスタ (DMAWER)

DMAC は、転送終了割り込みによって DTC を起動し、転送終了したチャンネルを DTC のチェーン転送を利用して書き換え、再起動させることができます。DMAWER は、目的とするチャンネル以外のレジスタを不用意に書き換えることができないように、DTC に対し特定チャンネルの DMACR および DMATCR、DMABCR の特定ビットの変更を制限します。DMAWER による制限は、DTC に対し有効です。

ビット	ビット名	初期値	R/W	説明
7~4		すべて 0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3	WE1B	0	R/W	ライトイネーブル 1B DMACR1B のすべてのビットと、DMABCR のビット 11、7、3、DMATCR のビット 5 へのライトを許可または禁止するビットです。 0: ライト禁止 1: ライト許可
2	WE1A	0	R/W	ライトイネーブル 1A DMACR1A のすべてのビットと、DMABCR のビット 10、6、2 へのライトを許可または禁止するビットです。 0: ライト禁止 1: ライト許可
1	WE0B	0	R/W	ライトイネーブル 0B DMACR0B のすべてのビットと、DMABCR のビット 9、5、1、DMATCR のビット 4 へのライトを許可または禁止するビットです。 0: ライト禁止 1: ライト許可
0	WE0A	0	R/W	ライトイネーブル 0A DMACR0A のすべてのビットと、DMABCR のビット 8、4、0 へのライトを許可または禁止するビットです。 0: ライト禁止 1: ライト許可

図 7.2 にチャンネル 0A の転送終了割り込み要求により DTC を起動し、チャンネル 0A を再起動するための転送領域を示します。1 回目の DTC 転送でアドレスレジスタ、カウントレジスタの領域を再設定し、続いて 2 回目の DTC チェイン転送でコントロールレジスタの領域を再設定します。コントロールレジスタの領域を再設定する際には、他のチャンネルの内容を変更できないように DMAWER のビットを設定してマスクしてください。

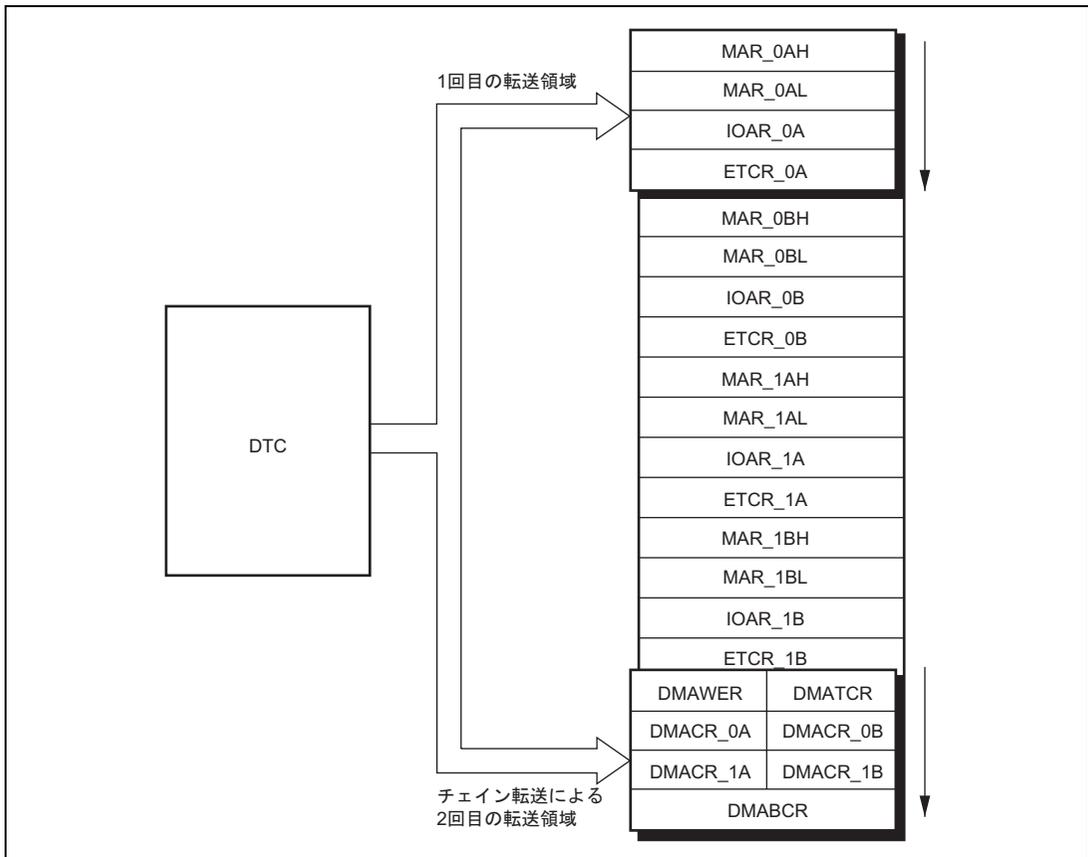


図 7.2 DTC によるレジスタ再設定領域 (チャンネル 0A)

DMAWER の設定にかかわらず、DTC による DMABCR のビット 15~12 (FAE、SAE) へのライトは無効です。これらのビットの変更は CPU による処理で行ってください。

DTC による DMABCR のビット 7~4 (DTE) へのライトは、0 をリードせずに 1 をライトすることができます。フルアドレスモードに設定されているチャンネルの再起動は、再起動するチャンネルのライトイネーブル A、ライトイネーブル B とともに 1 をライトしてください。

MAR、IOAR、ETCR は、DMAWER の設定に関係なく常にライト可能です。これらのレジスタの変更は、変更するチャンネルが停止している状態で行ってください。

7. DMA コントローラ (DMAC)

7.3.7 DMA ターミナルコントロールレジスタ (DMATCR)

DMATCR は、DMAC の転送終了端子の出力の許可または禁止を制御します。ビットの設定によりポートを自動的に出力に設定し、転送終了信号を出力することができます。TEND 端子は、ショートアドレスモードではチャネル B のみに割り当てられています。転送終了信号は、転送要因によらず、転送カウンタが 0 になった転送サイクルを示しています。例外として、ブロック転送モードの場合は、ブロックカウンタが 0 になった転送サイクルを示しています。

ビット	ビット名	初期値	R/W	説明
7、6	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
5	TEE1	0	R/W	転送終了端子イネーブル 1 転送終了端子 1 (TEND1) の出力を許可または禁止するビットです。 0 : TEND1 端子出力を禁止 1 : TEND1 端子出力を許可
4	TEE0	0	R/W	転送終了端子イネーブル 0 転送終了端子 0 (TEND0) の出力を許可または禁止するビットです。 0 : TEND0 端子出力を禁止 1 : TEND0 端子出力を許可
3~0	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

7.4 起動要因

DMAC は内部割り込み要求または外部リクエスト、オートリクエストにより起動します。表 7.3 に DMAC の起動要因を示します。指定できる要因は、転送モードによって異なります。

表 7.3 DMAC の起動要因

起動要因		ショートアドレスモード		フルアドレスモード	
		チャンネル 0A、1A	チャンネル 0B、1B	ノーマル モード	ブロック 転送モード
内部 割り込み	ADI			×	
	TXI0			×	
	RXI0			×	
	TXI1			×	
	RXI1			×	
	TGI0A			×	
	TGI1A			×	
	TGI2A			×	
	TGI3A			×	
	TGI4A			×	
	TGI5A			×	
外部 リクエスト	DREQ 端子の立ち下がりエッジ入力	×			
	DREQ 端子の Low レベル入力	×			
オートリクエスト		×	×		×

【記号説明】 : 指定可能 × : 指定不可

7.4.1 内部割り込み要求による起動

DMAC の起動要因として選択された割り込み要求は、CPU、DTC に対しても同時に割り込み要求を発生させることができます。詳細は「第 5 章 割り込みコントローラ」を参照してください。

内部割り込み要求による起動要因では、DMAC は割り込みコントローラとは独立して割り込み要求を受け付けます。このため、割り込みコントローラの優先順位の設定の影響を受けません。

CPU の割り込み要因、または DTC の起動要因としない割り込み要求により DMAC を起動する場合 (DTA = 1)、割り込み要求フラグは DMA 転送により自動的にクリアされます。ただし、ADI、TXI、RXI 割り込みは、DMA 転送で所定のレジスタをアクセスしないと、割り込み要求フラグはクリアされません。複数のチャンネルで同一の割り込み要求を起動要因とした場合、最も優先順位の高いチャンネルが起動された時点で割り込み要求フラグがクリアされます。その他のチャンネルの転送要求は DMAC 内部で保持され優先順位に従って起動されます。

転送終了後の DTE = 0 の状態では、DTA ビットの設定に関係なく、選択された起動要因は DMAC に割り込みを要求しません。この場合、当該割り込みは CPU または DTC に割り込みを要求します。

CPU の割り込み要因または、DTC の起動要因と重なっている場合 (DTA = 0)、割り込み要求フラグは DMAC

7. DMA コントローラ (DMAC)

によりクリアされません。

7.4.2 外部リクエストによる起動

DMAC の起動要因として外部リクエスト ($\overline{\text{DREQ}}$ 端子) を指定する場合は、該当ポートをあらかじめ入力に設定してください*。外部リクエストにはレベルセンスとエッジセンスがあります。

ショートアドレスモード、フルアドレスモードのノーマルモード時の外部リクエスト動作は次のようになります。

エッジセンスを選択した場合、 $\overline{\text{DREQ}}$ 端子の High レベルから Low レベルの変化を検出するたびに、1 バイトまたは 1 ワードのデータ転送を行います。データ転送を完了する前に次のエッジが入力された場合は、次のデータ転送を行わないことがあります。

レベルセンスを選択した場合、 $\overline{\text{DREQ}}$ 端子が High レベルに保持されているときは、転送要求待ち状態となります。また、 $\overline{\text{DREQ}}$ 端子が Low レベルに保持されているときは、1 バイトまたは 1 ワードの転送を行うたびにバスを解放しつつ、連続して転送を続けます。転送の途中で $\overline{\text{DREQ}}$ 端子が High レベルになると、転送を中断し転送要求待ち状態になります。

【注】 * 当該ポートを他の機能の出力端子に設定した場合、当該チャネルの DMA 転送は保証されません。

7.4.3 オートリクエストによる起動

オートリクエストはレジスタ設定のみで起動され、転送終了まで転送を続けます。オートリクエストでは、サイクルスチールモードとバーストモードが選択できます。

サイクルスチールモードでは、DMAC は 1 バイトまたは 1 ワードの転送を行うたびにバスを他のバスマスタに解放します。通常、DMA サイクルと CPU サイクルが交互に繰り返されます。バーストモードでは、転送終了までバスを占有し連続して転送を行います。

7.5 動作説明

7.5.1 転送モード

DMAC の転送モードを表 7.4 に示します。

表 7.4 DMAC の転送モード

転送モード	転送要因	備考	
ショート アドレスモード	デュアルアドレスモード <ul style="list-style-type: none"> • 1 回の転送要求で 1 バイト または 1 ワードの転送を実行 • 転送先 / 転送元アドレスを指定し、2 バスサイクルで転送 (1) シーケンシャルモード • メモリアドレスを 1 または 2 増減 • 転送回数は 1 ~ 65,536 (2) アイドルモード • メモリアドレスは固定 • 転送回数は 1 ~ 65,536 (3) リピートモード • メモリアドレスを 1 または 2 増減 • 転送回数 (1 ~ 256) 転送後、初期状態を回復して動作を継続 	<ul style="list-style-type: none"> • TPU チャンネル 0~5 のコンペアマッチ / インプットキャプチャ A 割り込み • SCI の送信完了割り込み • SCI の受信完了割り込み • A/D 変換器の変換終了割り込み • 外部リクエスト 	<ul style="list-style-type: none"> • 最大 4 チャンネルを独立に動作可能 • 外部リクエストはチャンネル B のみ可能 • シングルアドレスモードはチャンネル B のみ可能
	シングルアドレスモード <ul style="list-style-type: none"> • 1 回の転送要求で 1 バイト または 1 ワードの転送を実行 • I/O を指定するアドレスの代わりに $\overline{\text{DACK}}$ 端子を用いて 1 バスサイクルで転送 • シーケンシャルモード、アイドルモード、リピートモードの各モードを指定可能 		

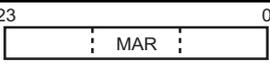
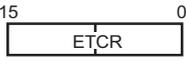
7. DMA コントローラ (DMAC)

転送モード		転送要因	備考
フル アドレスモード	ノーマルモード (1) オートリクエスト <ul style="list-style-type: none"> 転送要求を内部保持 指定回数 (1 ~ 65,536) を継続して転送 バースト / サイクルスチール転送を選択可能 	<ul style="list-style-type: none"> オートリクエスト 	<ul style="list-style-type: none"> チャンネル A、B を組み合わせて、最大 2 チャンネル動作可能
	(2) 外部リクエスト <ul style="list-style-type: none"> 1 回の転送要求で 1 バイトまたは 1 ワードの転送を実行 転送回数は 1 ~ 65,536 	<ul style="list-style-type: none"> 外部リクエスト 	
	ブロック転送モード <ul style="list-style-type: none"> 1 回の転送要求で指定した 1 ブロックサイズの転送を実行 転送回数は 1 ~ 65,536 ソースまたはデスティネーションのいずれかをブロックエリアに指定可能 ブロックサイズは 1 ~ 256 バイトまたはワード 	<ul style="list-style-type: none"> TPU チャンネル 0 ~ 5 のコンペアマッチ / インブットキャプチャ A 割り込み SCI の送信完了割り込み SCI の受信完了割り込み A/D 変換器の変換終了割り込み 外部リクエスト 	

7.5.2 シーケンシャルモード

シーケンシャルモードは、DMACR の RPE ビットを 0 に設定することで指定できます。シーケンシャルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行い、転送後に MAR を更新します。これを ETCR で設定した回数だけ実行します。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。表 7.5 にシーケンシャルモード時のレジスタの機能を示します。

表 7.5 シーケンシャルモード時のレジスタ機能

対象レジスタ	機能		初期設定値	動作
	DTDIR = 0	DTDIR = 1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送元または転送先の先頭アドレス	1 回の転送ごとにインクリメント / デクリメント
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント H'0000 になると転送終了

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は 1 回のバイトまたはワードデータ転送を行うたびに 1 または 2 をインクリメント / デクリメントします。IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR の上位 8 ビットは H'FF となります。

図 7.3 にシーケンシャルモードの動作を示します。

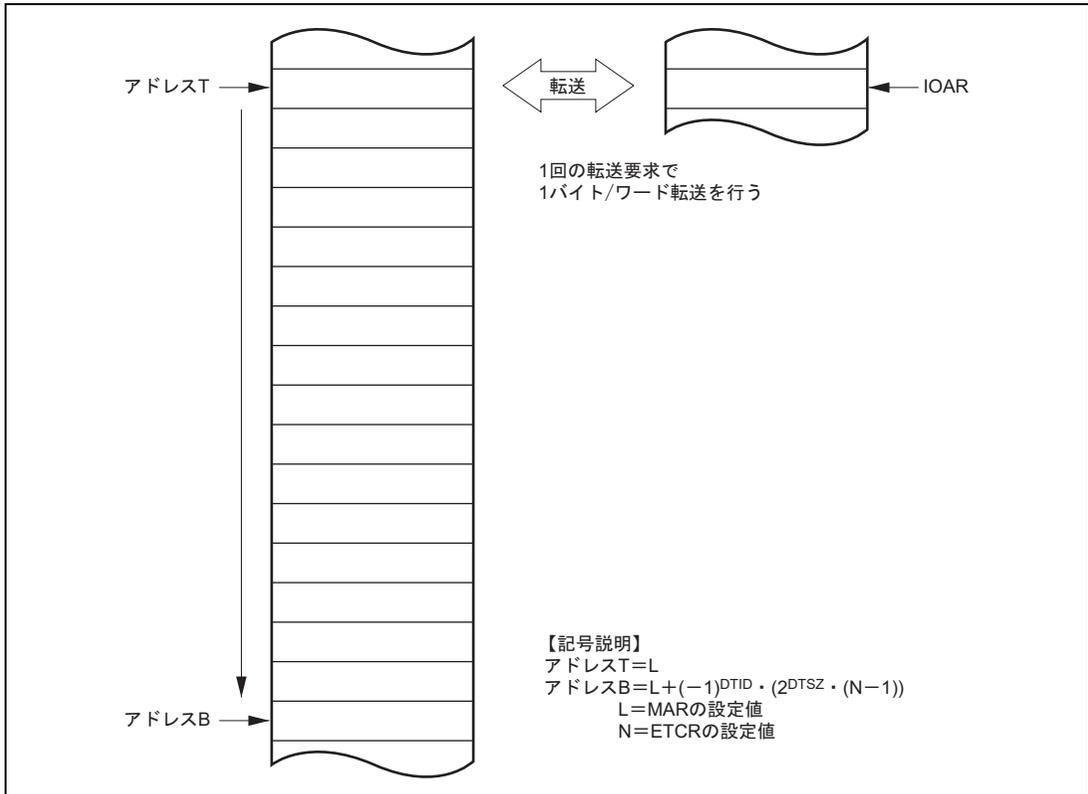


図 7.3 シーケンシャルモードの動作

転送回数は ETCR によって 16 ビットで指定します。ETCR は 1 回のデータ転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DMABCR の DTE ビットをクリアしてデータ転送を終了します。このとき、DTIE ビットが 1 にセットされていると、CPU または DTC に割り込みを要求します。なお、転送回数の最大値は ETCR に H'0000 を設定したときで 65,536 となります。

転送要求(起動要因)には、A/D 変換器の変換終了割り込み、外部リクエスト、SCI の送信 / 受信完了割り込み、および TPU チャンネル 0~5 のコンペアマッチ / インพุットキャプチャ A 割り込みがあります。外部リクエストは、チャンネル B のみ設定できます。

図 7.4 にシーケンシャルモードの設定手順例を示します。

7. DMA コントローラ (DMAC)

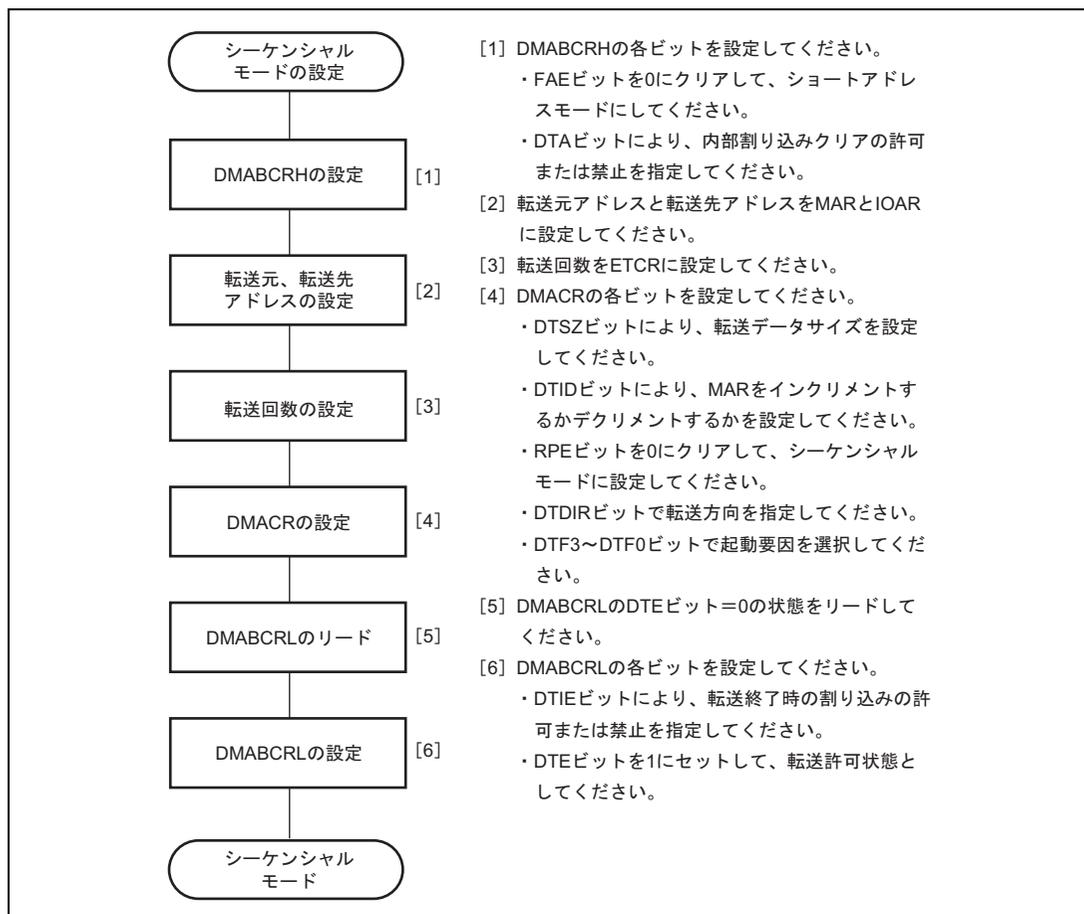
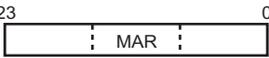
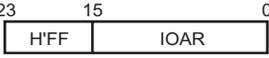
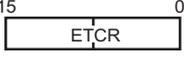


図 7.4 シーケンシャルモードの設定手順例

7.5.3 アイドルモード

アイドルモードは、DMACR の RPE ビットと DMABCRL の DTIE ビットを 1 に設定することで指定できます。アイドルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行います。これを ETCR で設定した回数だけ実行します。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。表 7.6 にアイドルモード時のレジスタの機能を示します。

表 7.6 アイドルモード時のレジスタ機能

対象レジスタ	機能		初期設定値	動作
	DTDIR = 0	DTDIR = 1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	固定
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント H'0000 になると転送終了

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR はデータ転送でインクリメント / デクリメントされません。IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR の上位 8 ビットは H'FF となります。図 7.5 にアイドルモードの動作を示します。

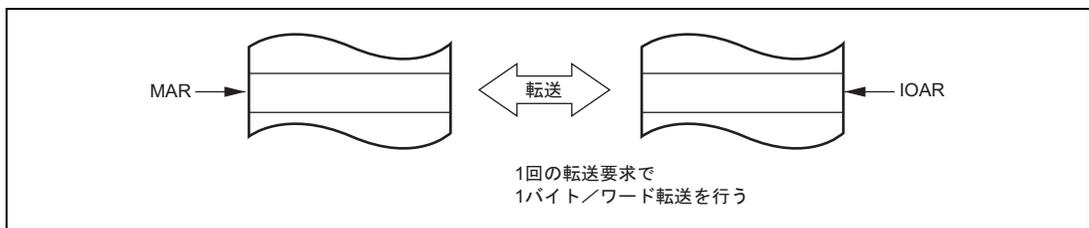


図 7.5 アイドルモードの動作

転送回数は ETCR によって 16 ビットで指定します。ETCR は 1 回のデータ転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DMABCRL の DTIE ビットをクリアしてデータ転送を終了します。このとき、DTIE ビットが 1 にセットされていると、CPU または DTC に割り込みを要求します。なお、転送回数の最大値は ETCR に H'0000 を設定したときで 65,536 となります。

転送要求(起動要因)には、A/D 変換器の変換終了割り込み、外部リクエスト、SCI の送信 / 受信完了割り込み、および TPU チャンネル 0~5 のコンペアマッチ / インพุットキャプチャ A 割り込みがあります。外部リクエストは、チャンネル B のみ設定できます。

7. DMA コントローラ (DMAC)

図 7.6 にアイドルモードの設定手順例を示します。

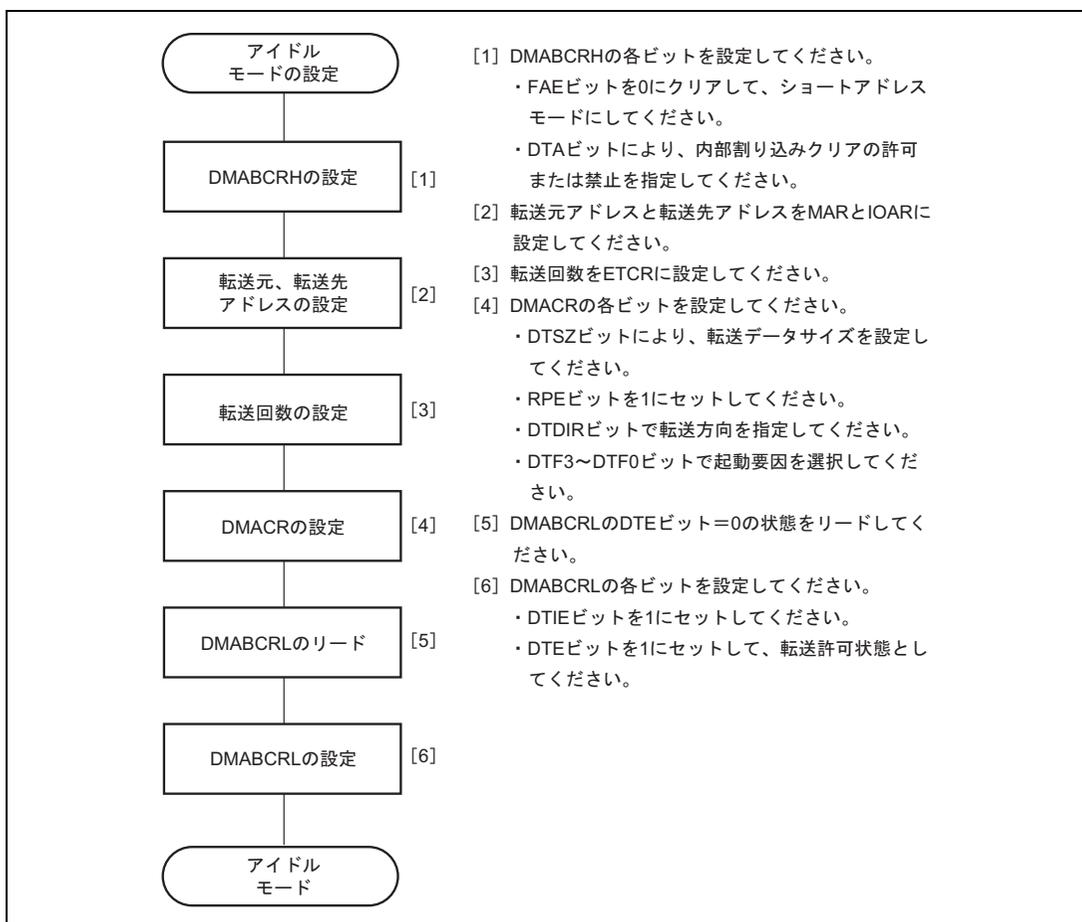
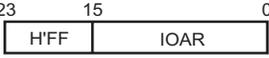


図 7.6 アイドルモードの設定手順例

7.5.4 リピートモード

リピートモードは、DMACR の RPE ビットを 1 に、DMABCRL の DTIE ビットを 0 に設定することで指定できます。リピートモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行い、転送後に MAR を更新します。これを ETCRL で設定した回数だけ実行します。設定回数の転送を終了すると、自動的に MAR、ETCRL は設定値に戻り、動作を継続します。アドレスの一方は MAR、他方は IOAR で指定します。転送方向は DMACR の DTDIR ビットにより指定できます。表 7.7 にリピートモード時のレジスタの機能を示します。

表 7.7 リピートモード時のレジスタ機能

対象レジスタ	機能		初期設定値	動作
	DTDIR = 0	DTDIR = 1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	1 回の転送ごとにインクリメント / デクリメント H'0000 になると初期設定値に回復
	デスティネーションアドレスレジスタ	ソースアドレスレジスタ	転送元または転送先の先頭アドレス	固定
	転送回数保持		転送回数	固定
	転送カウンタ		転送回数	1 回の転送ごとにデクリメント H'00 になると ETCRH の値をロード

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。MAR は 1 回のデータ転送を行うたびに 1 または 2 をインクリメント / デクリメントします。IOAR にもう一方のアドレスの下位 16 ビットを指定します。IOAR の上位 8 ビットは H'FF となります。転送回数は ETCRH、ETCRL によって 8 ビットで指定します。なお、転送回数の最大値は ETCRH、ETCRL にそれぞれ H'00 を設定したときで 256 となります。

リピートモードでは、ETCRL を転送カウンタ、ETCRH を転送回数保持レジスタとして使用します。ETCRL は 1 回のデータ転送を行うたびに 1 だけデクリメントされ、H'00 になると ETCRH の値がロードされます。このとき、MAR は DMACR の DTSZ、DTID ビットの値に応じて設定値を回復します。MAR の回復の動作は次のようになります。

$$\text{MAR} = \text{MAR} - (-1)^{\text{DTID}} \cdot 2^{\text{DTSZ}} \cdot \text{ETCRH}$$

ETCRH と ETCRL は同じ値に設定してください。

7. DMA コントローラ (DMAC)

リピートモードでは、DMABCRLのDTEビットがクリアされるまで動作を継続します。したがって、データ転送を終了するにはDTEビットを0にクリアしてください。CPUまたはDTCに対して転送終了割り込みは要求しません。DTEビットをクリア後、DTEビットを再びセットすると、DTEビットをクリアした時点で終了した転送の続きから再開することができます。

図 7.7 にリピートモードの動作を示します。

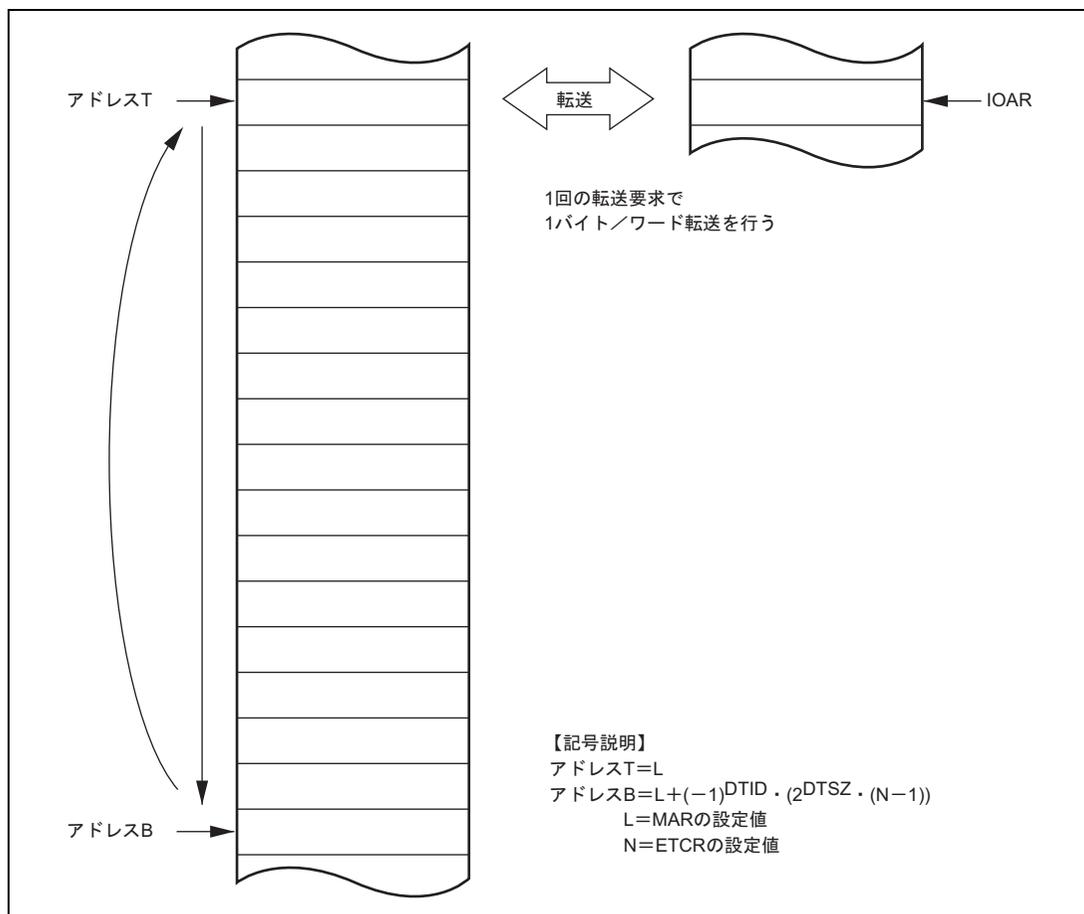


図 7.7 リピートモードの動作

転送要求(起動要因)には、A/D変換器の変換終了割り込み、外部リクエスト、SCIの送信/受信完了割り込み、およびTPUチャンネル0~5のコンペアマッチ/インプットキャプチャA割り込みがあります。外部リクエストは、チャンネルBのみ設定できます。

図7.8にリピートモードの設定手順例を示します。

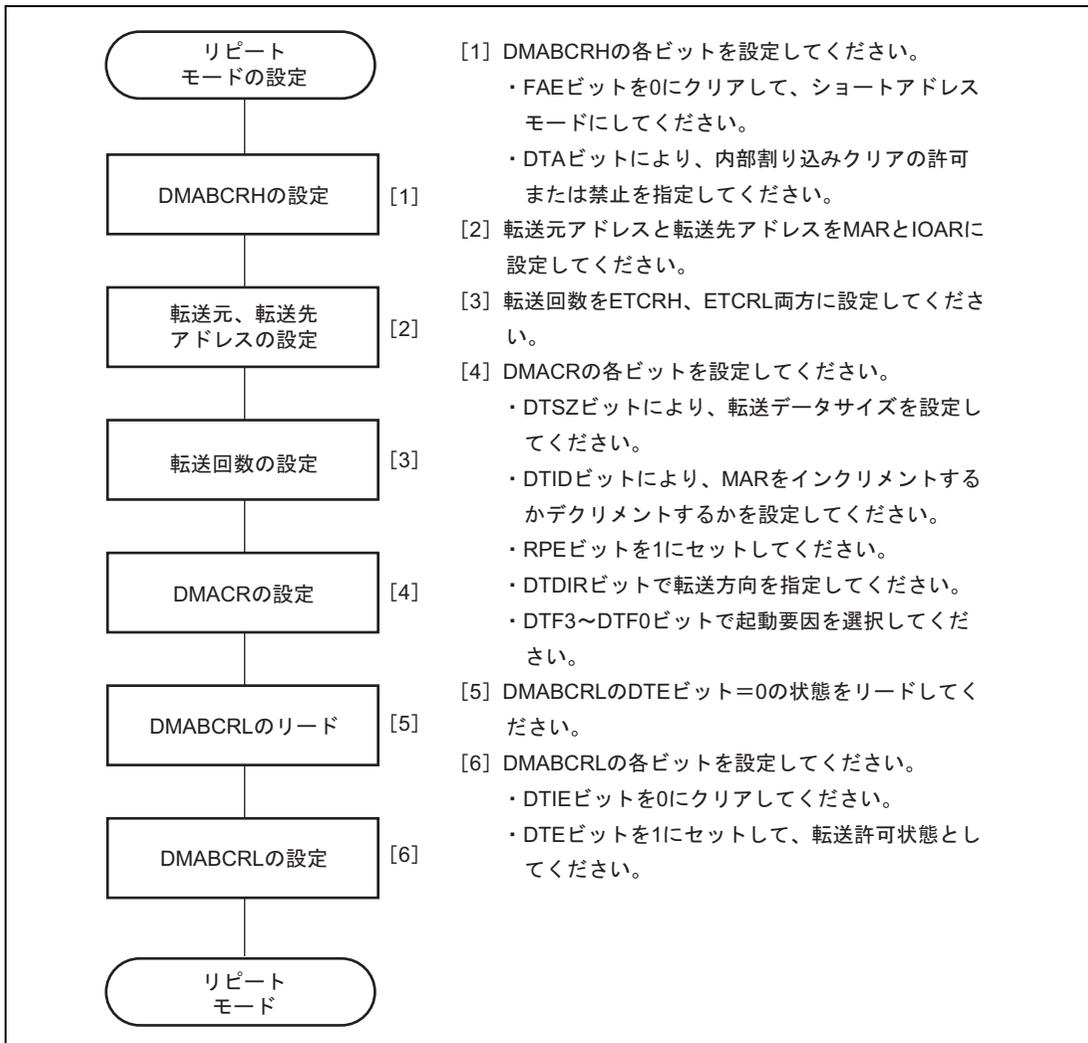


図7.8 リピートモードの設定手順例

7. DMA コントローラ (DMAC)

7.5.5 シングルアドレスモード

シングルアドレスモードは、チャンネル B のみ設定できます。シングルアドレスモードは、ショートアドレスモードにおいて DMABCRH の SAE ビットを 1 に設定することで指定できます。

アドレスの一方は MAR で指定し、他方は自動的にデータ転送アクノリッジ端子 (\overline{DACK}) に設定されます。転送方向は DMACR の DTDIR ビットにより指定できます。表 7.8 にシングルアドレスモード時のレジスタの機能を示します。

表 7.8 シングルアドレスモード時レジスタの機能

対象レジスタ	機 能		初期設定値	動作
	DTDIR = 0	DTDIR = 1		
	ソースアドレスレジスタ	デスティネーションアドレスレジスタ	転送先または転送元の先頭アドレス	「7.5.2 シーケンシャルモード」、「7.5.3 アイドルモード」、「7.5.4 リピートモード」を参照
DACK 端子	ライトストロープ	リードストロープ	(DMABCRH の SAE ビットによる自動設定、IOAR は無効)	外部デバイスに対するストロープ
	転送カウンタ		転送回数	「7.5.2 シーケンシャルモード」、「7.5.3 アイドルモード」、「7.5.4 リピートモード」を参照

MAR には転送元または転送先の先頭アドレスを 24 ビットで指定します。IOAR は無効となり、代わりに外部デバイスに対するストロープ (\overline{DACK}) を出力します。

図 7.9 にシングルアドレスモード (シーケンシャルモード指定) の動作を示します。

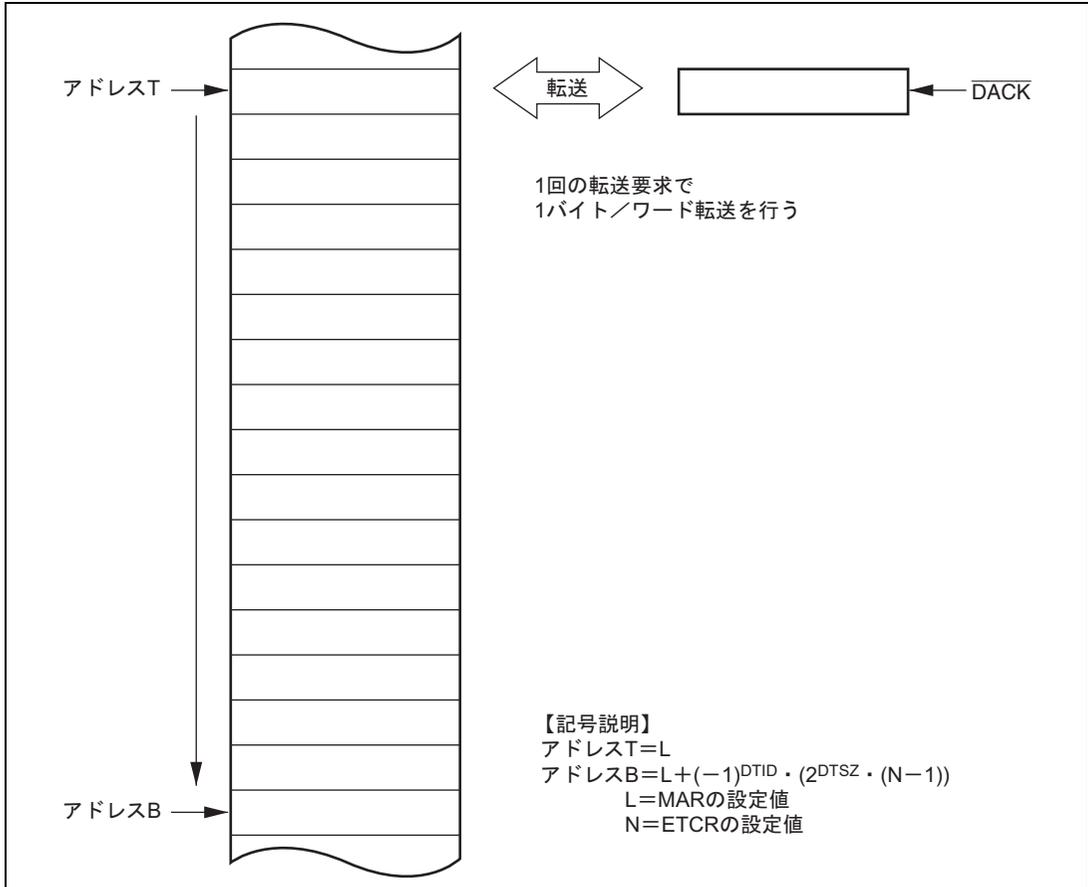


図 7.9 シングルアドレスモード (シーケンシャルモード指定) の動作

7. DMA コントローラ (DMAC)

図 7.10 にシングルアドレスモード (シーケンシャルモード指定) の設定手順例を示します。

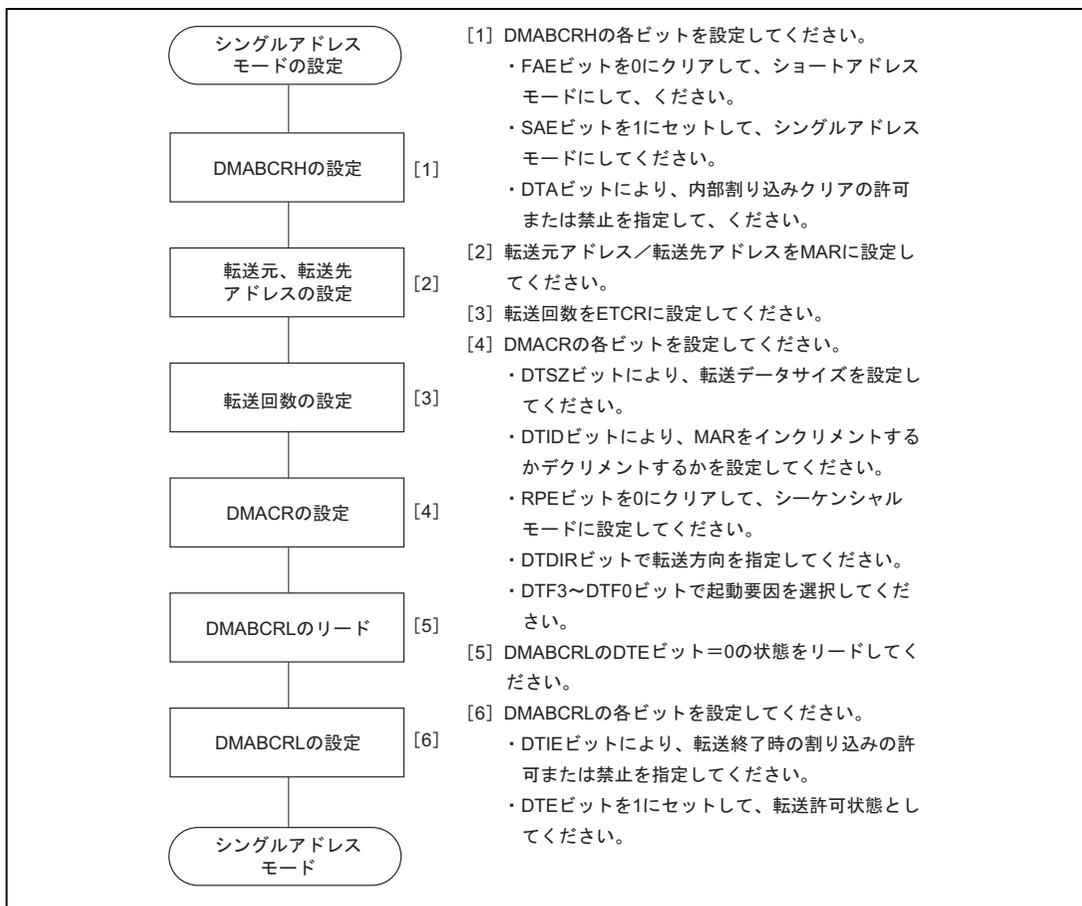


図 7.10 シングルアドレスモード (シーケンシャルモード指定) の設定手順例

7.5.6 ノーマルモード

ノーマルモードは、チャンネル A、B を組み合わせてデータ転送を行います。ノーマルモードは、DMABCRH の FAE ビットを 1 に、DMACRA の BLKE ビットを 0 に設定することで指定できます。ノーマルモードでは、1 回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行い、転送後に MAR を更新します。これを ETCRA で設定した回数だけ実行します。転送方向は、転送元を MARA で指定し、転送先を MARB で指定します。表 7.9 にノーマルモード時のレジスタの機能を示します。

表 7.9 ノーマルモード時のレジスタ機能

対象レジスタ	機能	初期設定値	動作
23  0	ソースアドレスレジスタ	転送元の先頭アドレス	1 回の転送ごとにインクリメント / デクリメント、または固定
23  0	デスティネーション アドレスレジスタ	転送先の先頭アドレス	1 回の転送ごとにインクリメント / デクリメント、または固定
15  0	転送カウンタ	転送回数	1 回の転送ごとにデクリメント H'0000 になると転送終了

転送元および転送先の先頭アドレスを MARA、MARB にそれぞれ 24 ビットで指定します。MAR は 1 回のデータ転送を行うたびに、1 または 2 インクリメント / デクリメントするか、または固定にすることができます。インクリメント / デクリメント / 固定の選択は、MARA、MARB 別々に設定可能です。

転送回数は ETCRA により 16 ビットで指定します。転送を行うたびに 1 だけデクリメントされ、H'0000 になったときに DMABCRL の DTE ビットをクリアしてデータ転送を終了します。このとき、DMABCRL の DTIE ビットが 1 にセットされていると、CPU または DTC に割り込みを要求します。なお、転送回数の最大値は ETCRA に H'0000 を設定したときで 65,536 となります。

7. DMA コントローラ (DMAC)

図 7.11 にノーマルモードの動作を示します。

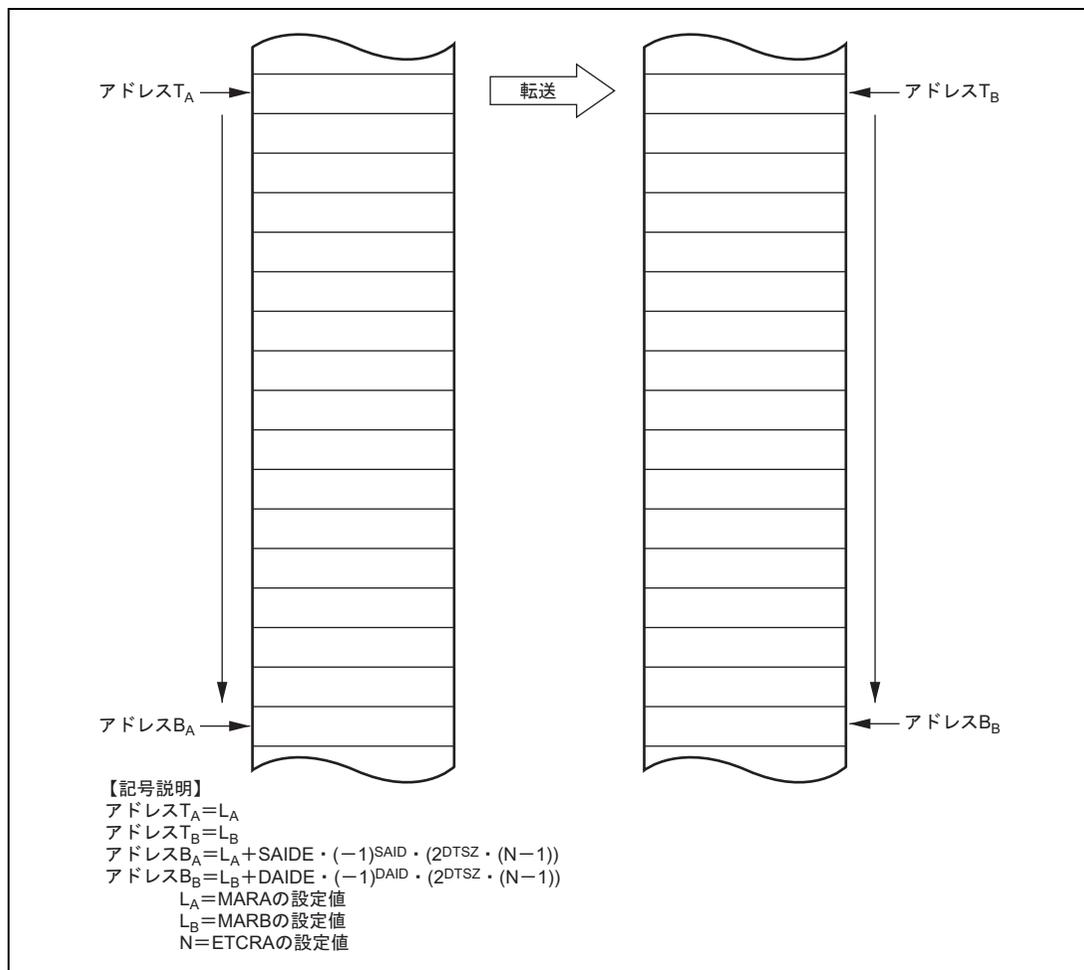


図 7.11 ノーマルモードの動作

転送要求（起動要因）には、外部リクエストとオートリクエストがあります。オートリクエストはレジスタの設定のみで起動され、設定された回数 of データ転送を自動的に行います。オートリクエストではサイクルスチールモードとバーストモードを選択できます。サイクルスチールモードでは、1回のデータ転送を行うたびに他のバスマスタにバスを解放します。バーストモードでは、転送終了までバスを占有し続けます。

図 7.12 にノーマルモードの設定手順例を示します。

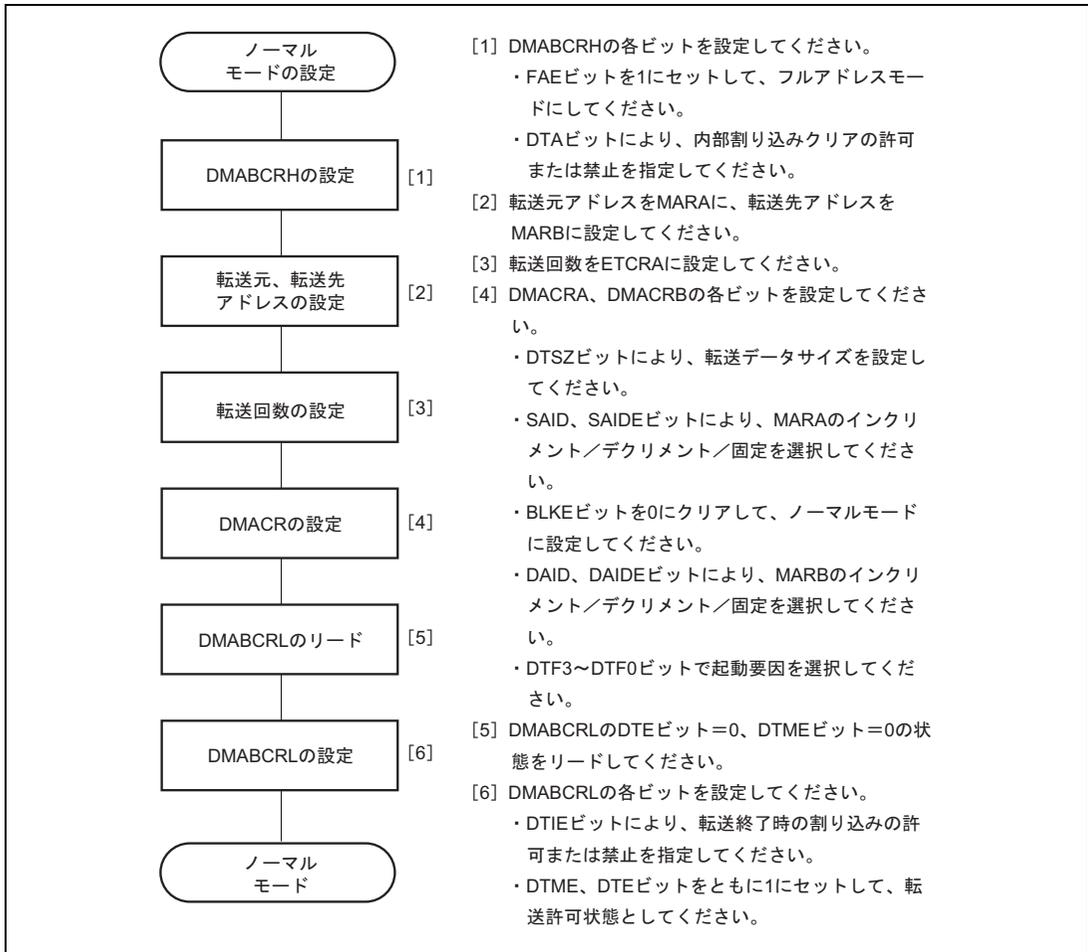


図 7.12 ノーマルモードの設定手順例

7.5.7 ブロック転送モード

ブロック転送モードは、チャンネル A、B を組み合わせてデータ転送を行います。ブロック転送モードは、DMABCRH の FAE ビットを 1 に、DMACRA の BLKE ビットを 1 にセットすることで指定できます。ブロック転送モードでは、1 回の転送要求に対して指定されたブロックサイズのデータ転送を行います。これを ETCRB で設定した回数だけ実行します。転送方向は、転送元を MARA で指定し、転送先を MARB で指定します。転送元または転送先のどちらをブロックエリア（複数バイト/ワードで構成されたエリア）とするかを選択できます。表 7.10 にブロック転送モード時のレジスタの機能を示します。

表 7.10 ブロック転送モード時のレジスタの機能

対象レジスタ	機能	初期設定値	動作
	ソースアドレスレジスタ	転送元先頭アドレス	1 回の転送ごとにインクリメント/デクリメント、または固定
	デスティネーションアドレスレジスタ	転送先先頭アドレス	1 回の転送ごとにインクリメント/デクリメント、または固定
	ブロックサイズ保持	ブロックサイズ	固定
	ブロックサイズカウンタ	ブロックサイズ	1 回の転送ごとにデクリメント H'00 になると ETCRAH の値をコピー
	ブロック転送カウンタ	ブロック転送回数	1 ブロック転送ごとにデクリメント H'0000 になると転送終了

転送元および転送先の先頭アドレスを MARA、MARB にそれぞれ 24 ビットで指定します。MAR は 1 回のデータ転送を行うたびに 1 または 2 インクリメント/デクリメントするか、または固定にすることができます。インクリメント/デクリメント/固定の選択は MARA、MARB 別々に設定可能です。MARA、MARB のどちらをブロックとするかは、DMACRA の BLKDIR ビットで指定します。

転送回数は、1 ブロックの大きさを M ($M = 1 \sim 256$) とし、 N ($N = 1 \sim 65,536$) 回の転送を行うとき、ETCRAH、ETCRAL の両方に M を、ETCRB に N を設定します。

図 7.13 に MARB をブロックエリアにした場合のブロック転送モードの動作を示します。

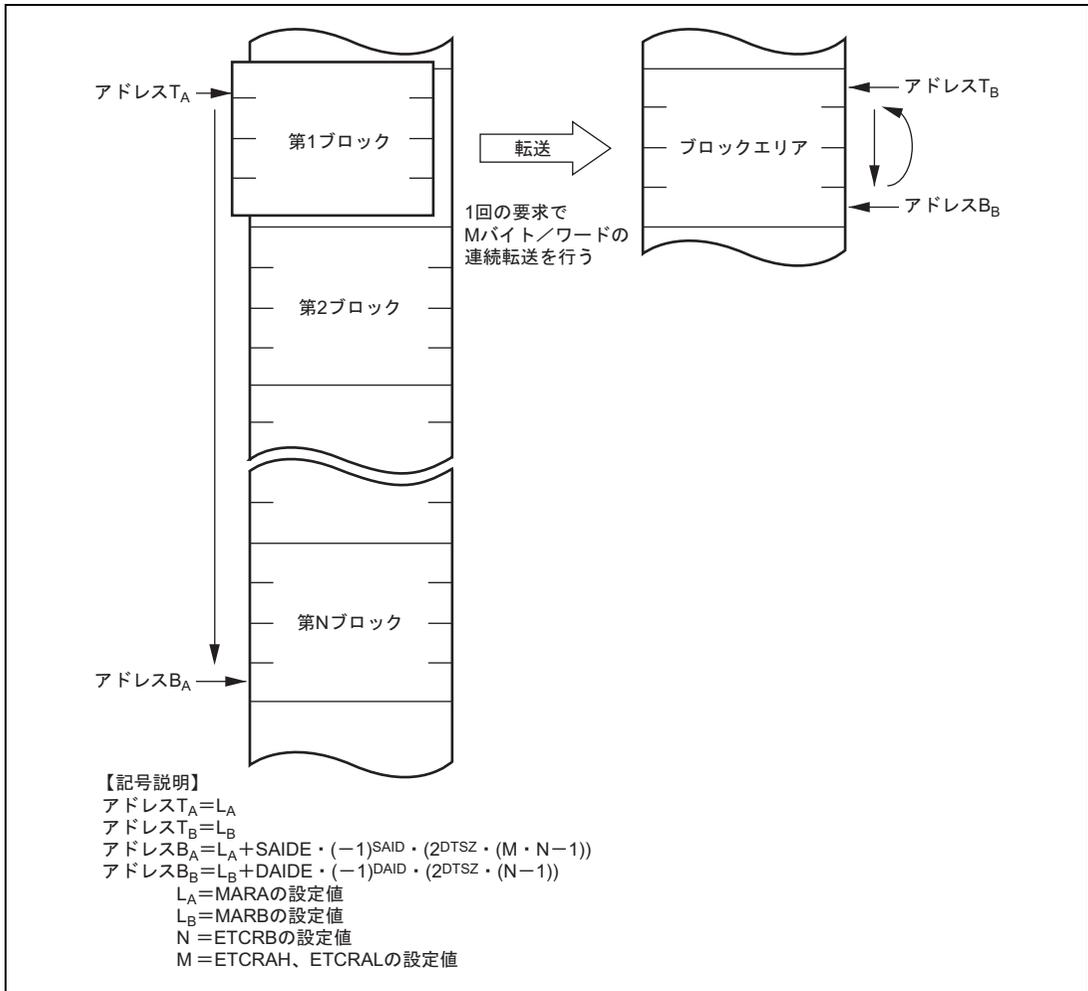


図 7.13 ブロック転送モードの動作 (BLKDIR = 0)

7. DMA コントローラ (DMAC)

図 7.14 に MARA をブロックエリアにした場合のブロック転送モードの動作を示します。

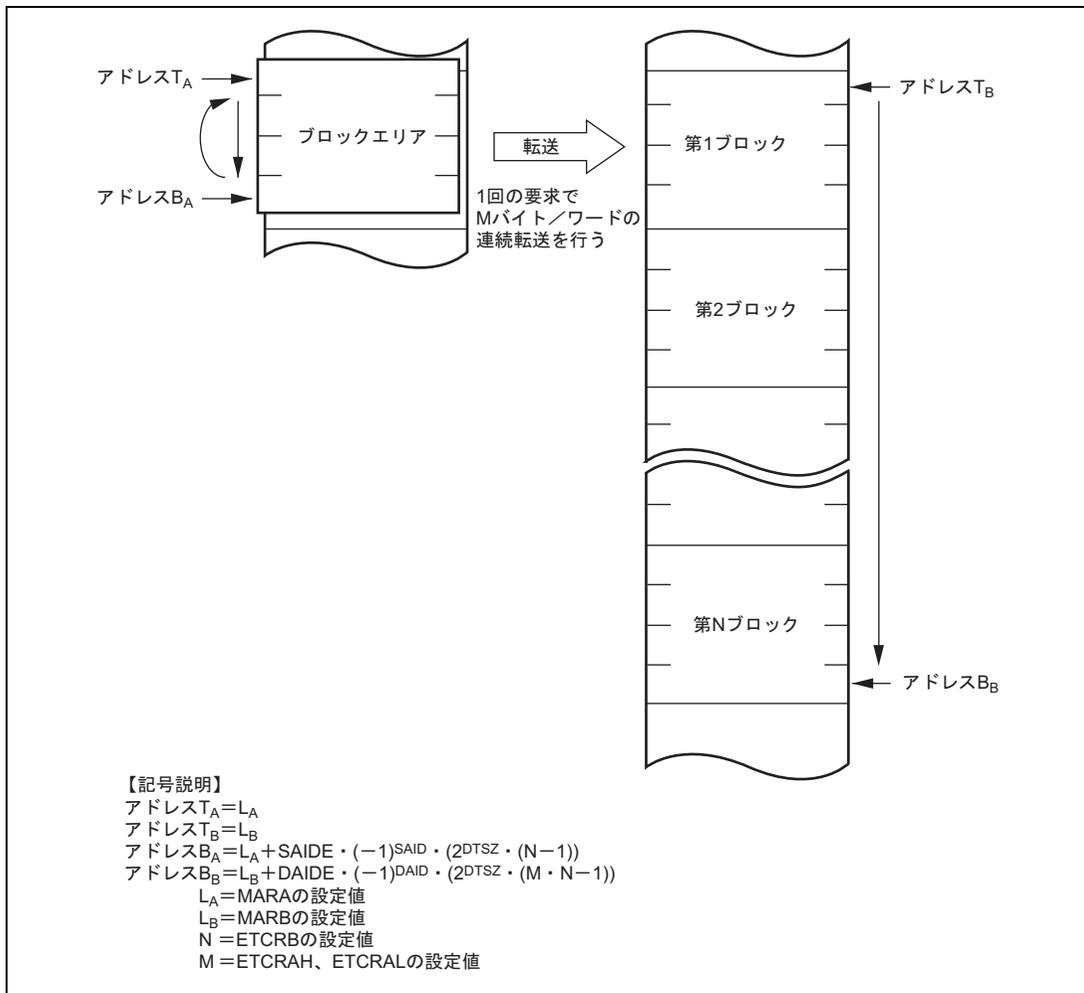


図 7.14 ブロック転送モードの動作 (BLKDIR = 1)

ETCRAL は 1 回のデータ転送を行うたびに 1 だけデクリメントされます。1 回の転送要求に対して、ETCRAL が H'00 になるまでパースト転送が行われます。ETCRAL が H'00 になると ETCRAH の値がロードされます。このとき、DMACRA の BLKDIR ビットでブロックに指定された MAR は、DMACR の DTSZ および SAID/DAID、SAIDE/DAIDE ビットに応じて設定値を回復します。

ETCRB は 1 回のブロック転送のたびに 1 だけデクリメントされ、H'0000 になったときに DMABCRL の DTE ビットをクリアして転送を終了します。このとき、DMABCRL の DTIE ビットが 1 にセットされていると、CPU または DTC に対して割り込みを要求します。図 7.15 にブロック転送モードの動作フローを示します。

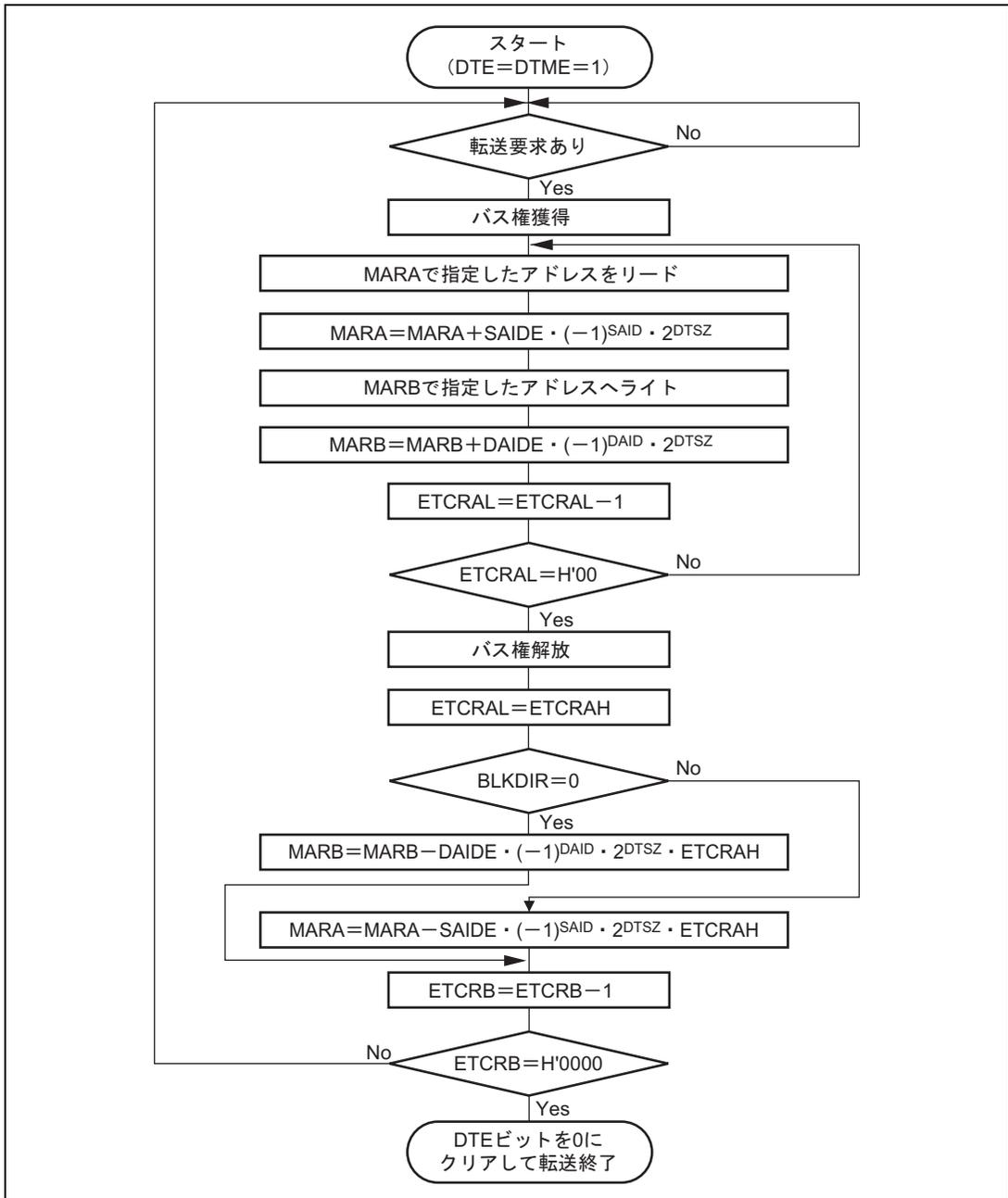


図 7.15 ブロック転送モードの動作フロー

7. DMA コントローラ (DMAC)

転送要求(起動要因)には、A/D変換器の変換終了割り込み、外部リクエスト、SCIの送信/受信完了割り込み、およびTPUチャンネル0~5のコンペアマッチ/インプットキャプチャA割り込みがあります。図7.16にブロック転送モードの設定手順例を示します。



図 7.16 ブロック転送モードの設定手順例

7.5.8 基本バスサイクル

図 7.17 に DMAC の基本的なバスサイクルのタイミング例を示します。図 7.17 はワードサイズで 16 ビット 2 ステートアクセス空間から 8 ビット 3 ステートアクセス空間へ転送する場合の例です。CPU から DMAC にバス権が移ると、ソースアドレスのリード、デスティネーションアドレスのライトを行います。このリード/ライト動作の間に、他のバス権要求などによってバスを解放することはありません。DMA サイクルは CPU サイクルと同様に、バスコントローラの設定に従います。なお、内蔵メモリ、内部 I/O レジスタへのアクセス時のアドレスは、外部アドレスバスに出力されません。

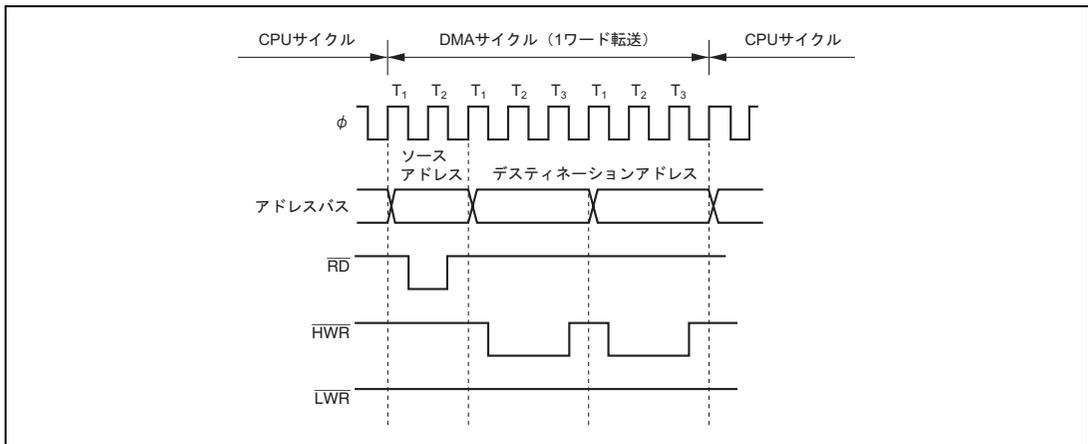


図 7.17 DMA 転送バスタイミング例

7.5.9 DMA 転送 (デュアルアドレスモード) のバスサイクル

(1) ショートアドレスモード

図 7.18 に \overline{TEND} 出力を許可して、外部 8 ビット 2 ステートアクセス空間から内部 I/O 空間へ、バイトサイズでショートアドレスモード転送(シーケンシャル/アイドル/リピートモード)を行った場合の転送例を示します。

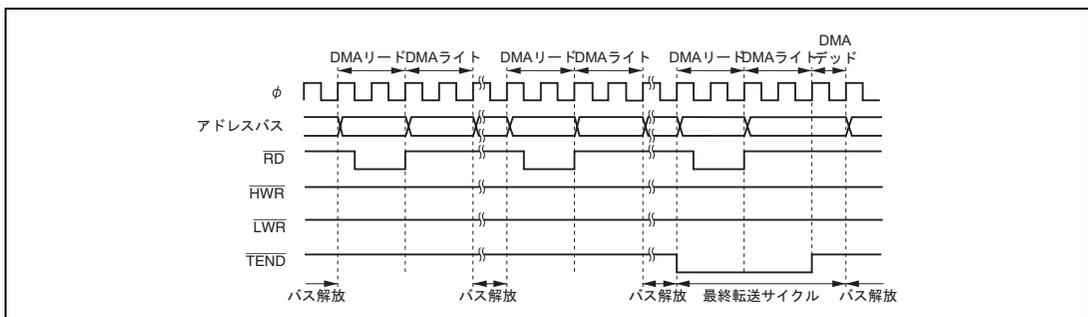


図 7.18 ショートアドレスモード転送例

7. DMA コントローラ (DMAC)

1 回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では、DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

リピートモードの場合、 $\overline{\text{TEND}}$ 出力を許可すると、転送終了サイクルで $\overline{\text{TEND}}$ 出力が Low レベルになります。

(2) フルアドレスモード (サイクルスチールモード)

図 7.19 に $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでフルアドレスモード転送 (サイクルスチールモード) を行った場合の転送例を示します。

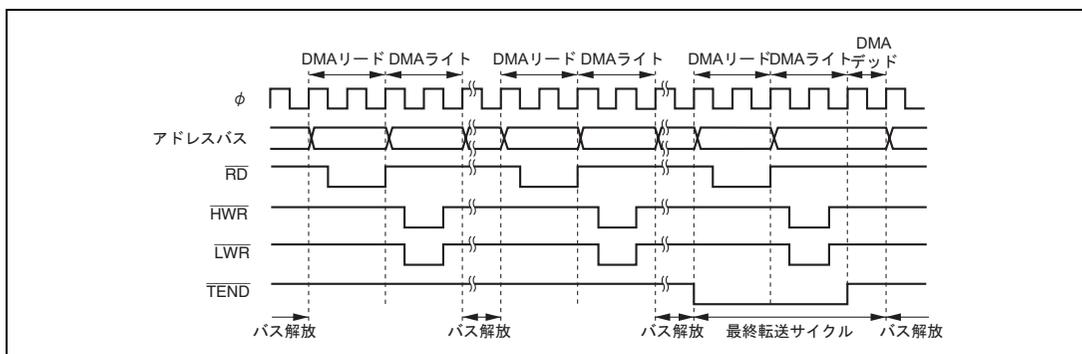


図 7.19 フルアドレスモード (サイクルスチール) 転送例

1 回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では、DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

(3) フルアドレスモード (バーストモード)

図 7.20 に $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでフルアドレスモード転送 (バーストモード) を行った場合の転送例を示します。

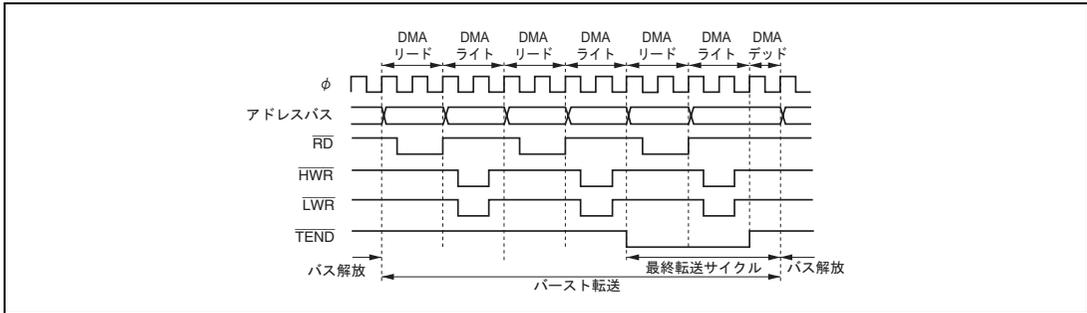


図 7.20 フルアドレスモード (バーストモード) 転送例

バーストモードでは、1 バイトまたは 1 ワードのデータ転送が終了するまで継続して実行します。

転送終了サイクル (転送カウンタが 0 となったサイクル) では、DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

バースト転送が始まると、他の優先順位の高いチャンネルの割り込み要求が発生しても、バースト転送が終了するまで待たされます。

バースト転送に設定されたチャンネルが転送許可状態のときに NMI が発生すると、DMABCRL の DTME ビットがクリアされ、転送禁止状態になります。すでにバースト転送が DMAC 内部で起動されている場合は、転送中の 1 バイトまたは 1 ワードのデータ転送を完了した時点でバスを解放し、バースト転送を中断します。すでにバースト転送の最終転送サイクルが DMAC 内部で起動されている場合は、DTME ビットがクリアされてもそのまま転送終了まで実行します。

(4) フルアドレスモード (ブロック転送モード)

図 7.21 に $\overline{\text{TEND}}$ 出力を許可して、内部 16 ビット 1 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでフルアドレスモード転送 (ブロック転送モード) を行った場合の転送例を示します。

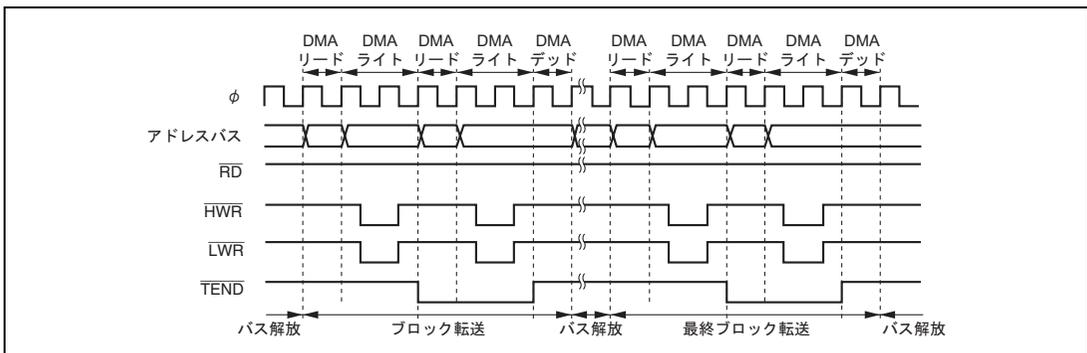


図 7.21 フルアドレスモード (ブロック転送モード) 転送例

7. DMA コントローラ (DMAC)

1 回の転送要求に対して 1 ブロック分のデータ転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

各ブロックの転送終了サイクル(転送カウンタが 0 となったサイクル)では、DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。データ転送中に NMI が発生しても、1 ブロック分のデータ転送終了までブロック転送の動作に影響を与えません。

(5) $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動タイミング

$\overline{\text{DREQ}}$ 端子を選択するチャンネルの DMABCRH の DTA ビットを 1 にセットしてください。

図 7.22 に $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のノーマルモード転送例を示します。

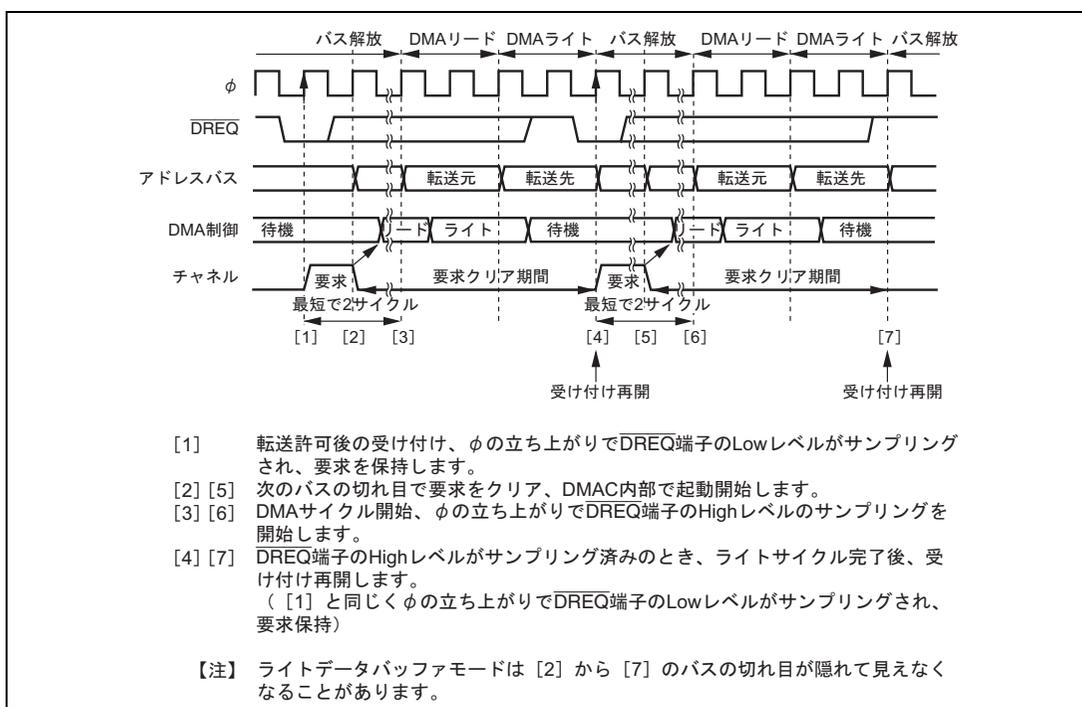
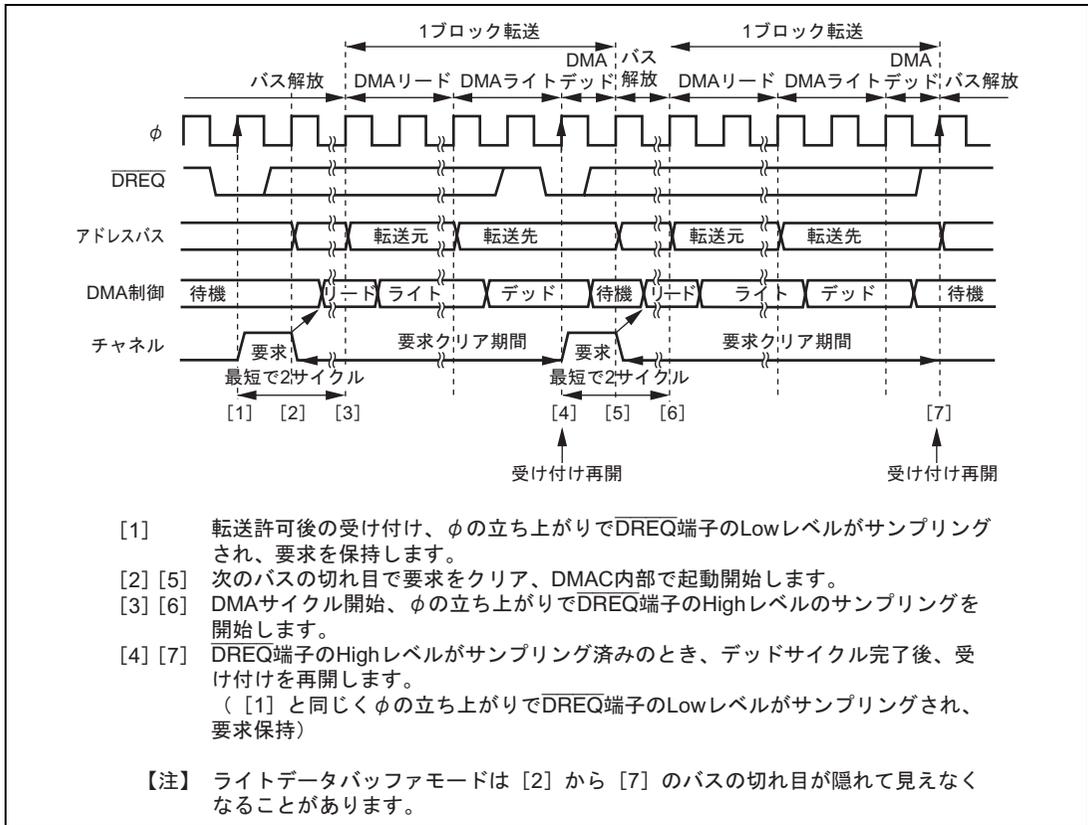


図 7.22 $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のノーマルモード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了後の次の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが開始されます。DMA ライトサイクル終了までに $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが済んでいれば、ライトサイクル終了後に受け付け再開となり、再び $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

図 7.23 に $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のブロック転送モード転送例を示します。図 7.23 $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のブロック転送モード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了後の次の ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが開始されます。DMA デッドサイクル終了までに $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが済んでいれば、DMA デッドサイクル終了後に受け付け再開となり、再び $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

7. DMA コントローラ (DMAC)

(6) $\overline{\text{DREQ}}$ 端子 Low レベル起動タイミング (ノーマルモード)

$\overline{\text{DREQ}}$ 端子を選択するチャンネルの DMABCRH の DTA ビットを 1 にセットしてください。

図 7.24 に $\overline{\text{DREQ}}$ 端子 Low レベル起動のノーマルモード転送例を示します。

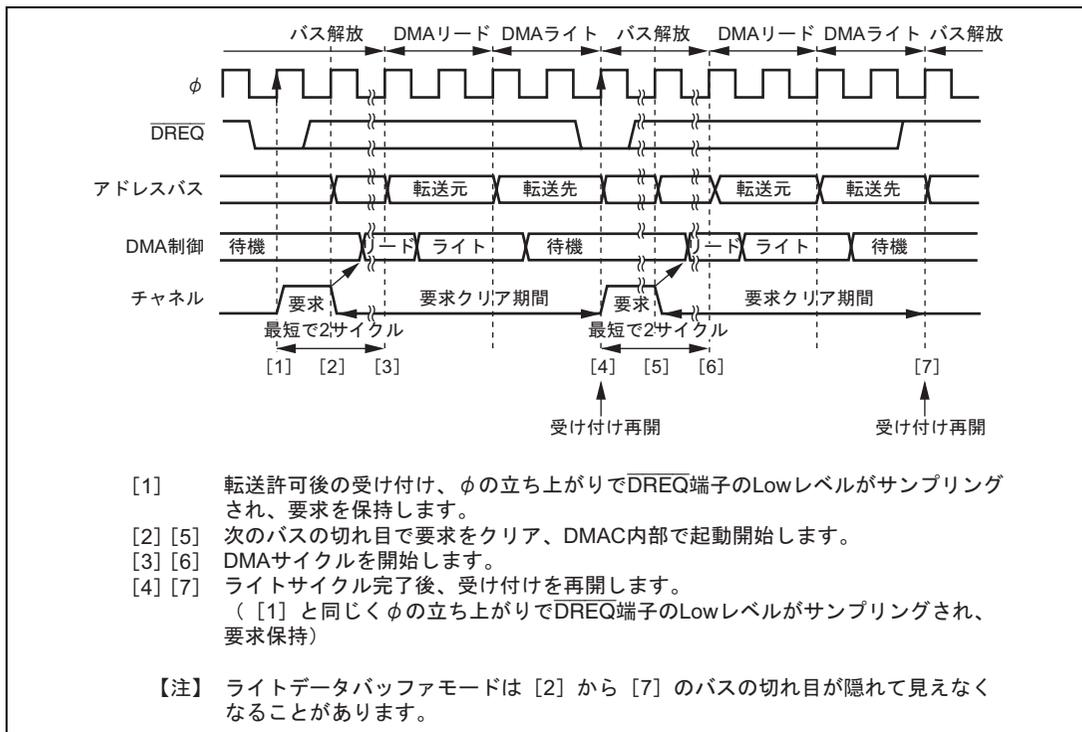
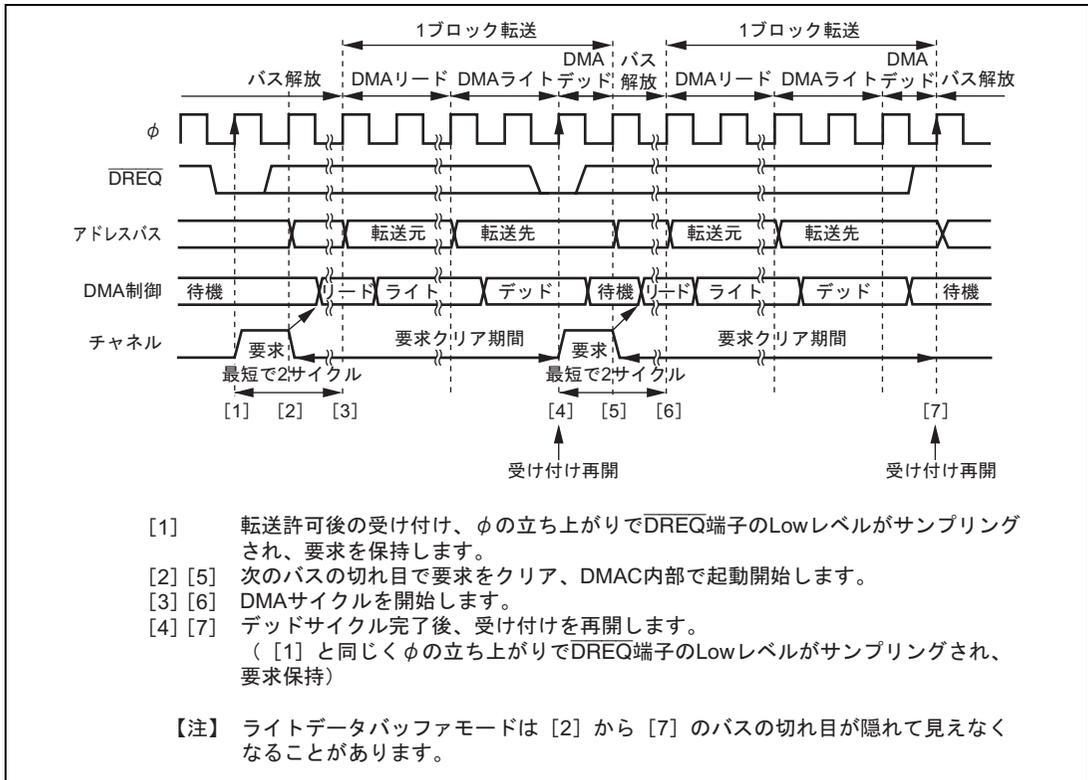


図 7.24 $\overline{\text{DREQ}}$ 端子 Low レベル起動のノーマルモード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了後の次の ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。ライトサイクル終了後に受け付け再開となり、再び $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

図 7.25 に $\overline{\text{DREQ}}$ 端子 Low レベル起動のブロック転送モード転送例を示します。図 7.25 $\overline{\text{DREQ}}$ 端子 Low レベル起動のブロック転送モード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了直後の ϕ の立ち上がりから毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。DMA デッドサイクル終了後に受け付け再開となり、再び $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

7.5.10 DMA 転送 (シングルアドレスモード) のバスサイクル

(1) シングルアドレスモード (リード)

図 7.26 に $\overline{\text{TEND}}$ 出力を許可して、外部 8 ビット 2 ステートアクセス空間から外部デバイスへ、バイトサイズでシングルアドレスモード転送 (リード) を行った場合の転送例を示します。

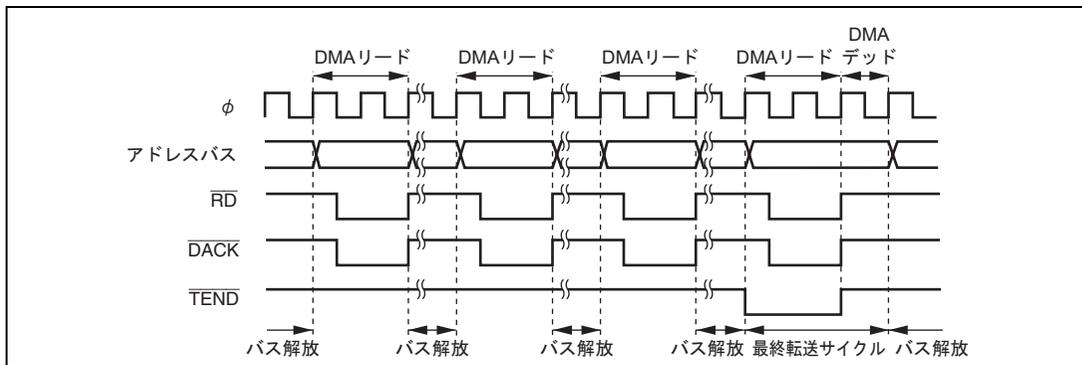


図 7.26 シングルアドレスモード (バイトリード) 転送例

図 7.27 に $\overline{\text{TEND}}$ 出力を許可して、外部 8 ビット 2 ステートアクセス空間から外部デバイスへ、ワードサイズでシングルアドレスモード転送 (リード) を行った場合の転送例を示します。

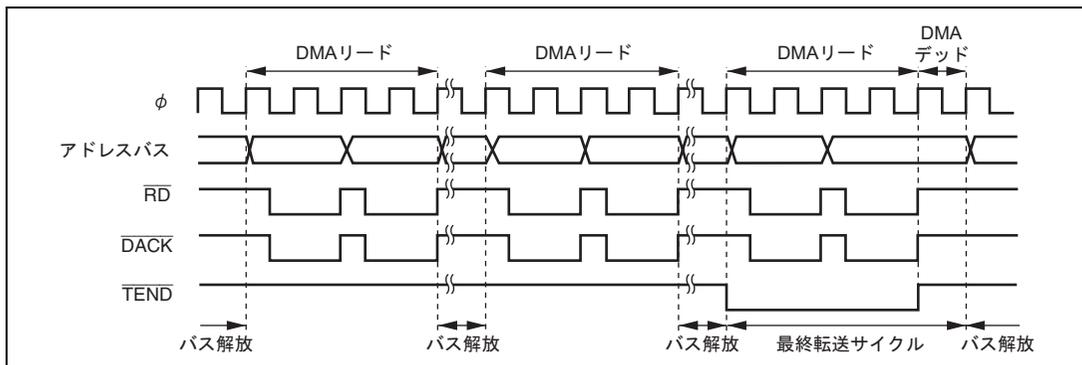


図 7.27 シングルアドレスモード (ワードリード) 転送例

1 回の転送要求に対して 1 バイトまたは 1 ワードのデータ転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では、DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

(2) シングルアドレスモード (ライト)

図 7.28 に $\overline{\text{TEND}}$ 出力を許可して、外部デバイスから外部 8 ビット 2 ステートアクセス空間へ、バイトサイズでシングルアドレスモード転送 (ライト) を行った場合の転送例を示します。

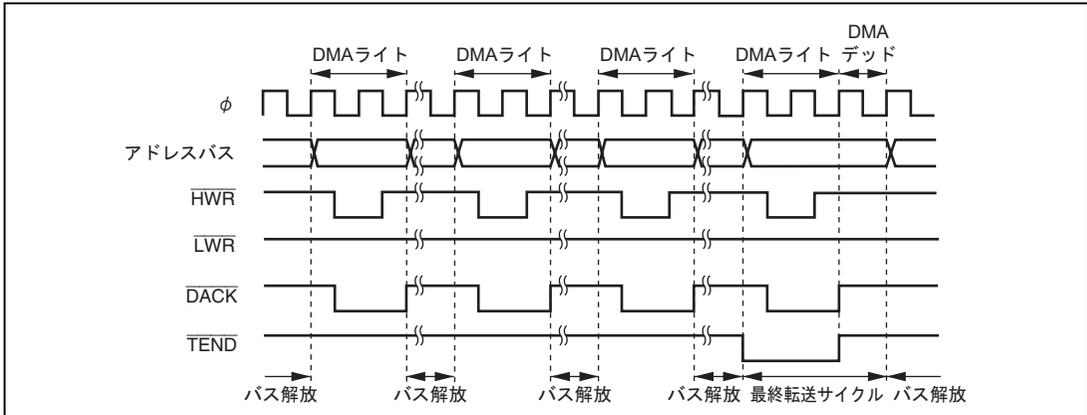


図 7.28 シングルアドレスモード (バイトライト) 転送例

図 7.29 に $\overline{\text{TEND}}$ 出力を許可して、外部デバイスから外部 8 ビット 2 ステートアクセス空間へ、ワードサイズでシングルアドレスモード転送 (ライト) を行った場合の転送例を示します。

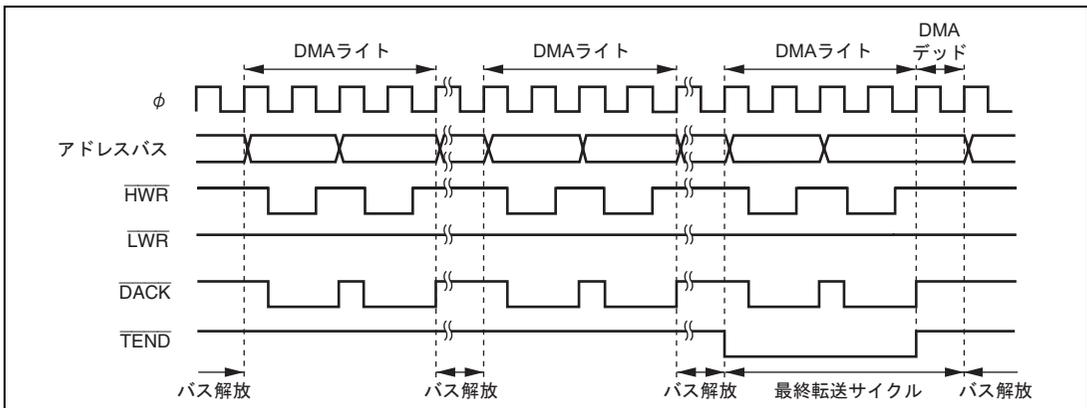


図 7.29 シングルアドレスモード (ワードライト) 転送例

1 回の転送要求に対して 1 バイトまたは 1 ワードの転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU または DTC によるバスサイクルが 1 回以上入ります。

転送終了サイクル (転送カウンタが 0 となったサイクル) では、DMA ライトサイクルの後に DMA デッドサイクルが 1 ステート入ります。

7. DMA コントローラ (DMAC)

(3) $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動タイミング

$\overline{\text{DREQ}}$ 端子を選択するチャンネルの DMABCRH の DTA ビットを 1 にセットしてください。

図 7.30 に $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のシングルアドレスモード転送例を示します。

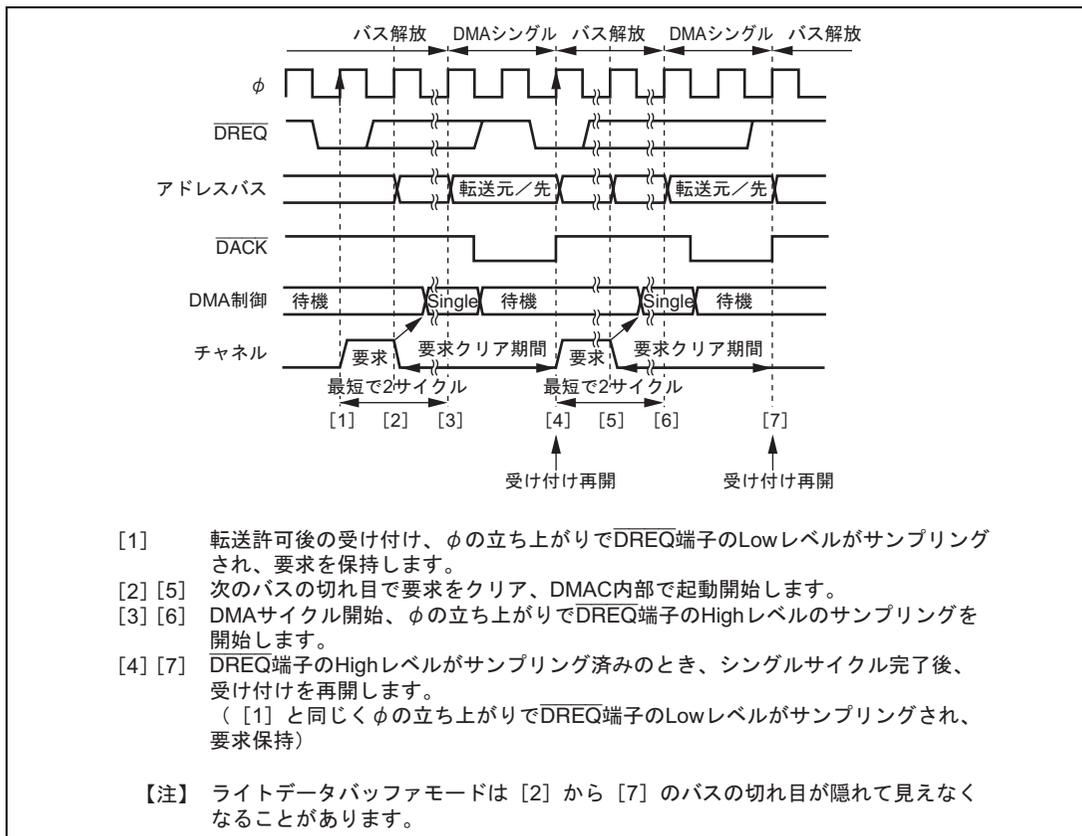


図 7.30 $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動のシングルアドレスモード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了直後の ϕ の立ち上がりから毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが開始されます。DMA シングルサイクル終了までに $\overline{\text{DREQ}}$ 端子の High レベルのサンプリングが済んでいれば、シングルサイクル終了後に受け付け再開となり、再び $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

(4) $\overline{\text{DREQ}}$ 端子 Low レベル起動タイミング

$\overline{\text{DREQ}}$ 端子を選択するチャンネルの DMABCRH の DTA ビットを 1 にセットしてください。

図 7.31 に $\overline{\text{DREQ}}$ 端子 Low レベル起動のシングルアドレスモード転送例を示します。

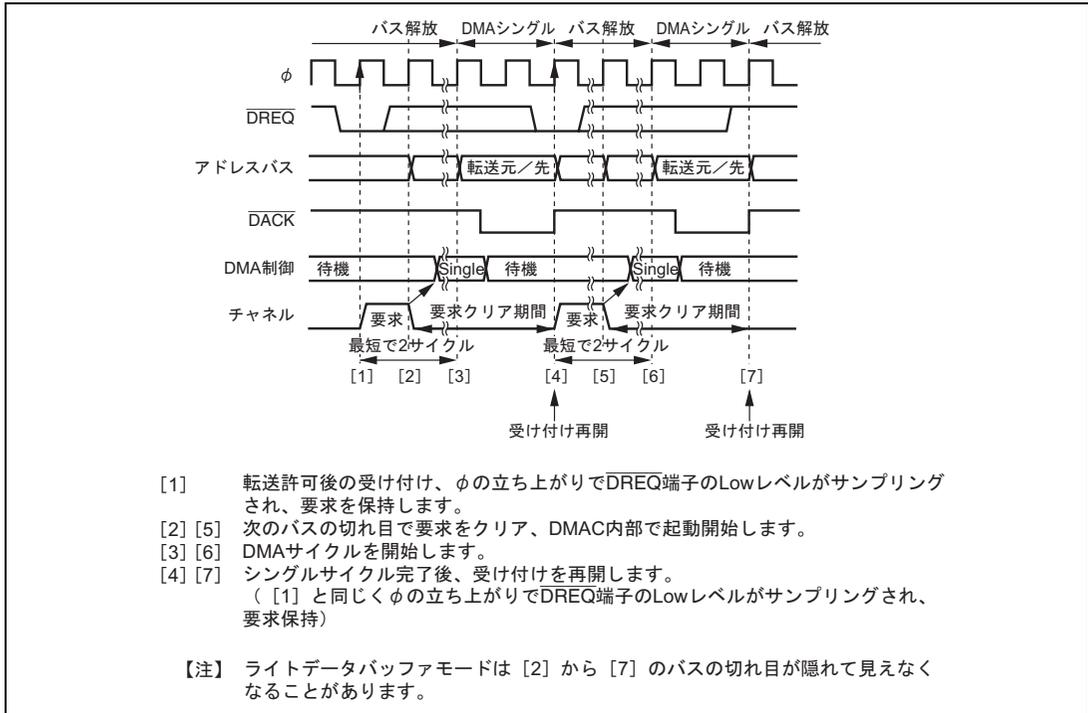


図 7.31 $\overline{\text{DREQ}}$ 端子 Low レベル起動のシングルアドレスモード転送例

$\overline{\text{DREQ}}$ 端子のサンプリングは、転送許可状態にするための DMABCR ライトサイクル終了直後の ϕ の立ち上がりから毎サイクル行われます。

$\overline{\text{DREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{DREQ}}$ 端子の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に、DMAC 内部で起動がかかると要求はクリアされます。シングルサイクル終了後に受け付け再開となり、再び $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

7.5.11 ライトデータバッファ機能

DMAC 内部から外部のデュアルアドレス転送やシングルアドレス転送をライトデータバッファ機能を用いて高速に実行し、システムのスループットを向上させることができます。

バスコントローラの BCR の WDBE ビットを 1 にセットして、ライトデータバッファ機能を有効にすると、デュアルアドレス転送の外部ライトサイクルまたは、シングルアドレス転送と内部アクセス (内蔵メモリまたは内部 I/O レジスタ) を並行して実行します。内部アクセスはバスマスタに依存しません。なお、DMAC の DMA デッドサイクルは内部アクセスとみなされます。

7. DMA コントローラ (DMAC)

$\overline{\text{TEND}}$ 端子から Low レベルを出力するバスサイクルが外部バスサイクルの場合は、必ず $\overline{\text{TEND}}$ 端子から Low レベルを出力できます。一方、 $\overline{\text{TEND}}$ 端子から Low レベルを出力するバスサイクルが内部バスサイクルで、かつ並行して外部ライトサイクルが実行されている場合は、 $\overline{\text{TEND}}$ 端子から Low レベルを出力しませんので注意してください。

図 7.32 にライトデータバッファ機能を用いたデュアルアドレス転送の例を示します。内蔵 RAM から外部メモリへのバーストモード転送の例です。

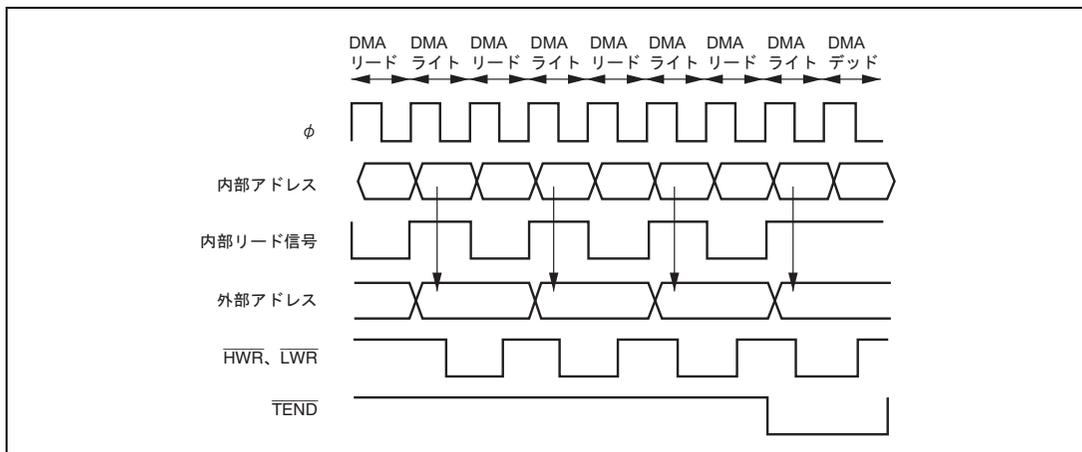


図 7.32 ライトデータバッファ機能を用いたデュアルアドレス転送例

図 7.33 に、ライトデータバッファ機能を用いたシングルアドレス転送の例を示します。CPU のプログラム領域が内蔵メモリにある場合の例です。

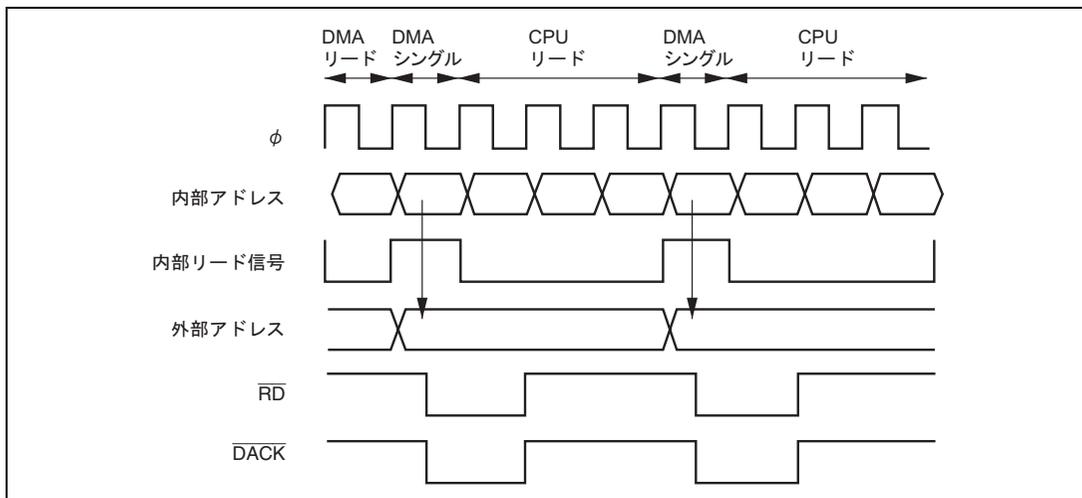


図 7.33 ライトデータバッファ機能を用いたシングルアドレス転送例

DMAC は、ライトデータバッファ機能を起動した時点で、当該バスサイクルは終了したと認識して次の動作を開始します。したがって、 $\overline{\text{DREQ}}$ 端子のサンプリングは、DMA ライトサイクルまたはシングルアドレス転送開始の 1 ステート後から開始されます。

7.5.12 複数チャンネルの動作

DMAC のチャンネル間優先順位はチャンネル 0 > チャンネル 1、また、チャンネル A > チャンネル B の順になっています。表 7.11 に DMAC のチャンネル間優先順位を示します。

表 7.11 DMAC のチャンネル間優先順位

ショートアドレスモード	フルアドレスモード	優先順位
チャンネル 0A	チャンネル 0	高 ↑
チャンネル 0B		
チャンネル 1A	チャンネル 1	↓ 低
チャンネル 1B		

複数のチャンネルに対して同時に転送要求が発生した場合、または転送中に他のチャンネルの転送要求が発生した場合は、DMAC はバスを解放した時点で転送要求の発生しているチャンネルの中から表 7.11 の優先順位に従って、最も優先度の高いチャンネルを選択して転送します。バースト転送中およびブロック転送で 1 ブロック転送中は、転送終了までチャンネルを切り替えて転送することはありません。図 7.34 にチャンネル 0A、0B、1 の転送要求が同時に発生した場合の転送例を示します。

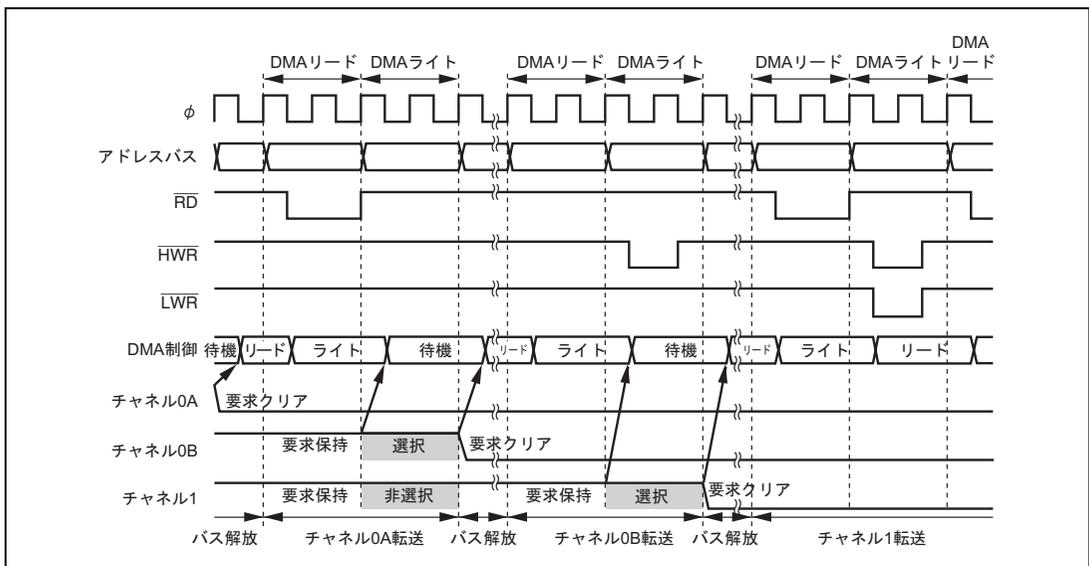


図 7.34 複数チャンネル転送例

7. DMA コントローラ (DMAC)

7.5.13 DMAC と外部バス権要求、リフレッシュサイクル、EXDMAC

DMAC が外部空間をアクセスする場合、リフレッシュサイクル、EXDMAC サイクル、外部バス解放サイクルとの競合が発生する場合があります。このとき、バスコントローラは外部バスの優先順位に従って、DMAC がバースト転送またはブロック転送を行っている場合でも転送をいったん中断し、リフレッシュサイクル、EXDMAC サイクル、外部バス解放サイクルを挿入します (DMAC よりも優先順位の低い DTC、CPU の外部アクセスは、DMAC が外部バスを解放するまで待機します)。

DMAC の転送モードがデュアルアドレスモードの場合、DMAC が外部バスを解放するタイミングは外部ライトサイクル後となります。外部リードサイクルと外部ライトサイクルの間は分割不可のため、この間でバスを解放することはありません。

DMAC が内部空間 (内蔵メモリ、内部 I/O レジスタ) をアクセスする場合、DMA サイクルがリフレッシュサイクル、EXDMAC サイクル、外部バス解放サイクルと同時に実行される場合があります。

7.5.14 DMAC と NMI 割り込み

NMI 割り込みが発生すると、フルアドレスモードのバーストモード転送が中断されます。その他のモードでは、NMI 割り込みは DMAC の動作に影響を与えません。

フルアドレスモードでは、DMABCRL の DTE ビットと DTME ビットがいずれも 1 にセットされているとき、そのチャンネルが転送許可状態となります。バーストモード設定では、NMI 割り込みが発生すると DTME ビットがクリアされます。

バーストモード転送中に DTME ビットがクリアされると、DMAC は転送中の 1 バイトまたは 1 ワードのデータ転送を終了した時点で転送を中断してバスを解放し、CPU にバス権を移します。

転送を中断したチャンネルを再開するには、DTME ビットを再び 1 にセットしてください。図 7.35 にバーストモード転送に設定されたチャンネルが NMI 割り込みにより転送を中断したとき、転送を継続する手順を示します。

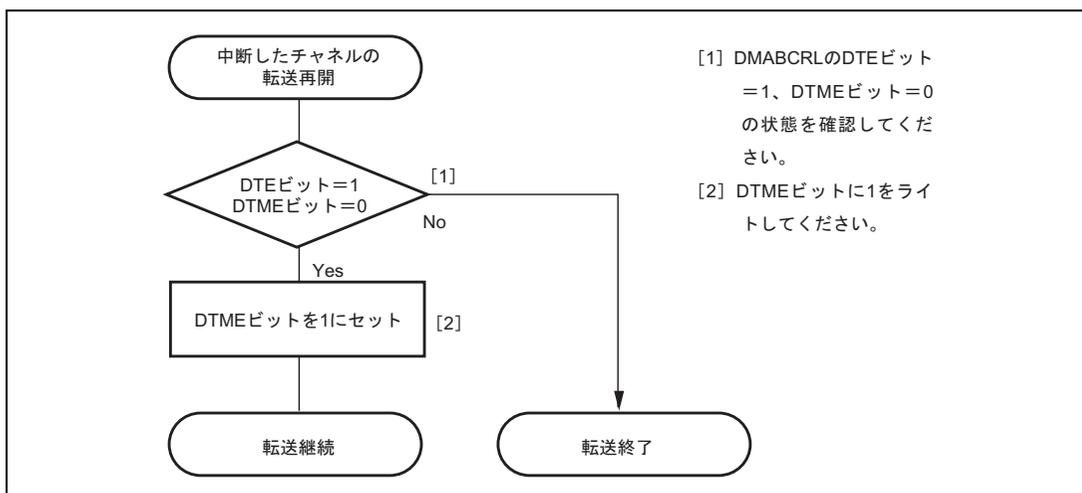


図 7.35 NMI 割り込みにより中断したチャンネルの転送継続手順例

7.5.15 DMAC の強制終了

動作中のチャンネルの DMABCRL の DTE ビットを 0 にクリアすると、転送中の 1 バイトまたは 1 ワードのデータ転送を終了した時点で DMAC は停止します。この後、DTE ビットを 1 にセットすると DMAC は動作を再開します。フルアドレスモードの場合は DMABCRL の DTME ビットについても同様です。図 7.36 に DMAC をソフトウェアで強制終了させる場合の手順を示します。

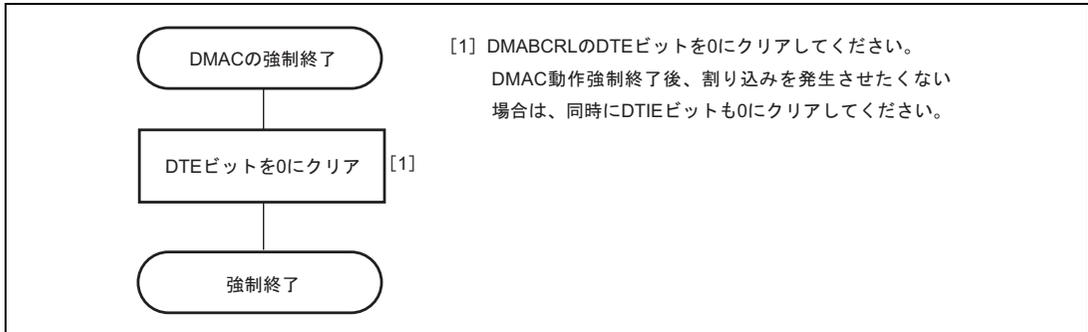


図 7.36 DMAC の強制終了手順例

7.5.16 フルアドレスモードの解除

図 7.37 にフルアドレスモードに設定したチャンネルを解除し、初期化する手順を示します。解除後に再設定する場合には、各転送モードの設定手順に従ってください。

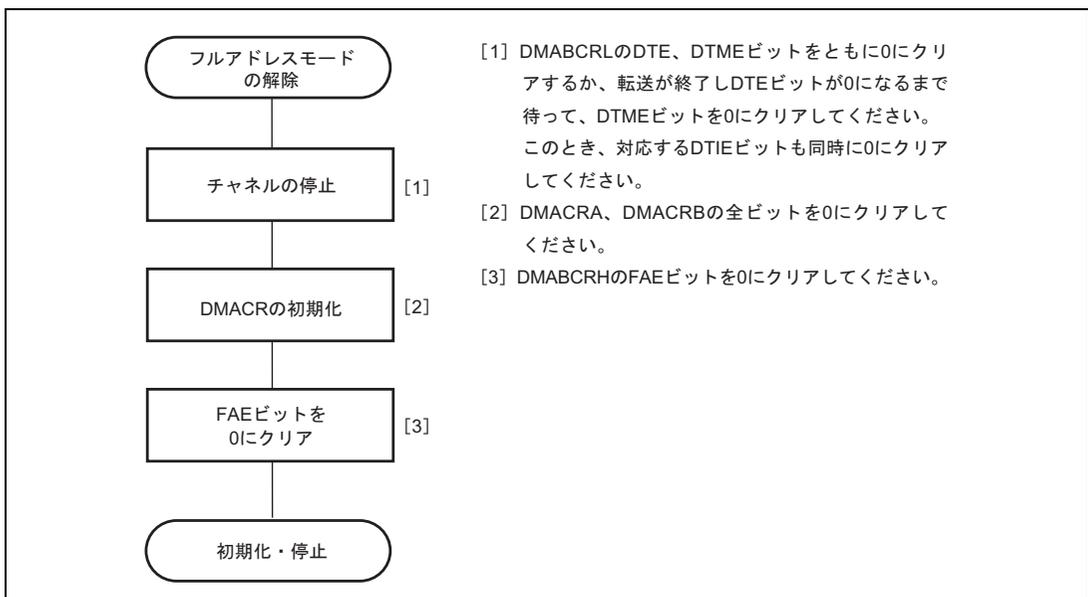


図 7.37 フルアドレスモード解除手順例

7.6 割り込み要因

DMAC が発生する割り込み要因は転送終了、転送中断です。表 7.12 に割り込み要因と優先度を示します。

表 7.12 割り込み要因と優先度

割り込み 名称	割り込み要因		割り込み 優先順位
	ショートアドレスモード	フルアドレスモード	
DMTEND0A	チャンネル 0A の転送終了による割り込み	チャンネル 0 の転送終了による割り込み	高 ↑ ↓ 低
DMTEND0B	チャンネル 0B の転送終了による割り込み	チャンネル 0 の転送中断割り込み	
DMTEND1A	チャンネル 1A の転送終了による割り込み	チャンネル 1 の転送終了による割り込み	
DMTEND1B	チャンネル 1B の転送終了による割り込み	チャンネル 1 の転送中断割り込み	

各割り込み要因は、DMABCRL の対応するチャンネルの DMABCRL の DTIE ビットにより、許可または禁止が設定されており、それぞれ独立に割り込みコントローラに送られます。チャンネル間の転送終了割り込みの優先順位は、割り込みコントローラによって決められており、表 7.12 に示すようになっています。

図 7.38 に転送終了 / 転送中断割り込みのブロック図を示します。DMABCRL の DTE = 0 の状態で DTIE ビットを 1 に設定すると、常に割り込みが発生します。

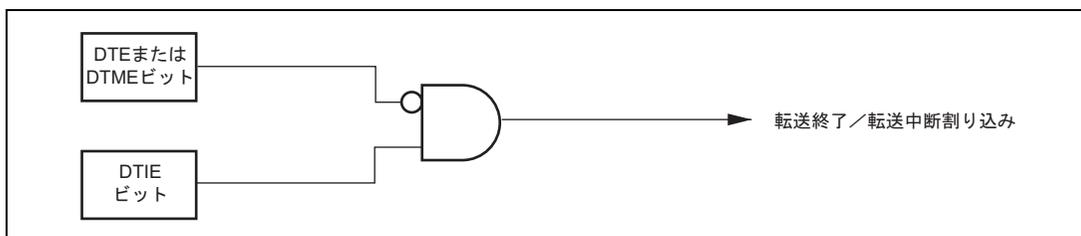


図 7.38 転送終了 / 転送中断割り込みのブロック図

フルアドレスモードでは、転送中断割り込みは DTIE = 1 のときに DTME ビットが 0 にクリアされると発生します。ショートアドレスモード、フルアドレスモードともに設定の途中で割り込みが発生する条件となる組み合わせが起こらないように、DMABCR を設定してください。

7.7 使用上の注意事項

(1) 動作中の DMAC のレジスタアクセス

DMAC の強制終了を除き、動作中（転送待ち状態を含む）のチャンネルの設定は変更しないでください。動作中にチャンネルの設定を変更する場合は、必ず転送禁止状態で行ってください。また、DMA 転送による DMAC のレジスタへのライトは行わないでください。

動作中（転送待ち状態を含む）の DMAC のレジスタリードに関しては次のようになります。

- DMA制御は、バスサイクルより1サイクル早く起動し、アドレス値を出力します。このため、MARはDMA転送前のバスサイクルに更新されます。図7.39にデュアルアドレス転送モードにおけるDMACのレジスタの更新タイミング例を示します。

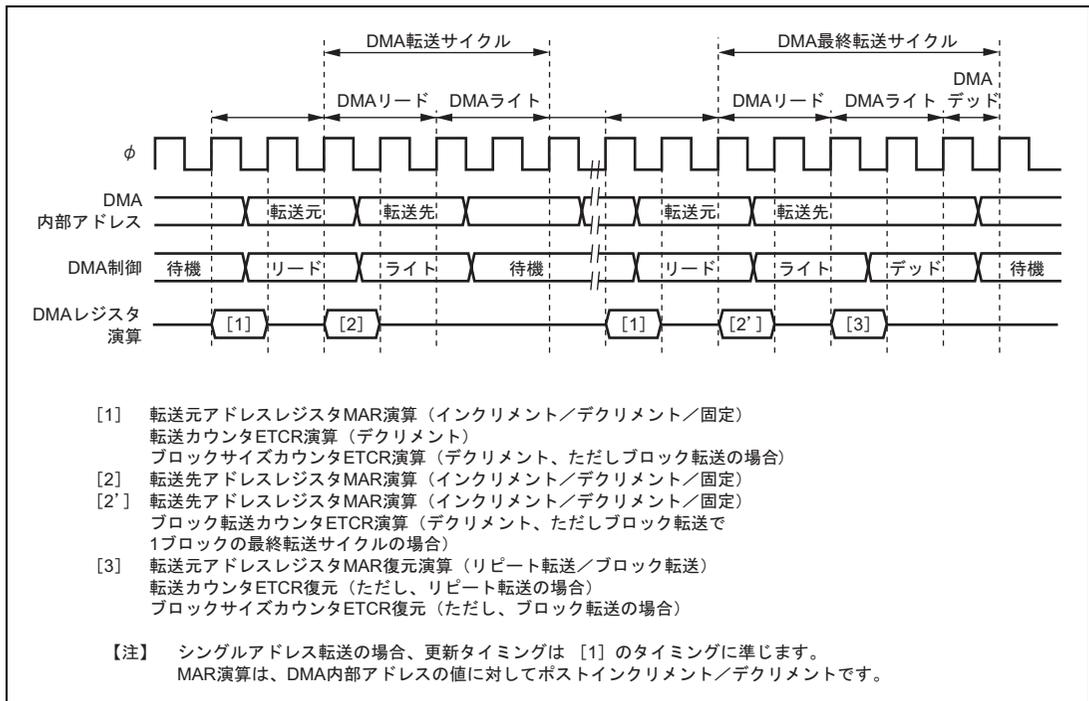


図 7.39 DMAC のレジスタの更新タイミング

7. DMA コントローラ (DMAC)

- DMACのレジスタリード直後にDMACの転送サイクルが起こると、図7.40のようにDMACのレジスタがリードされます。

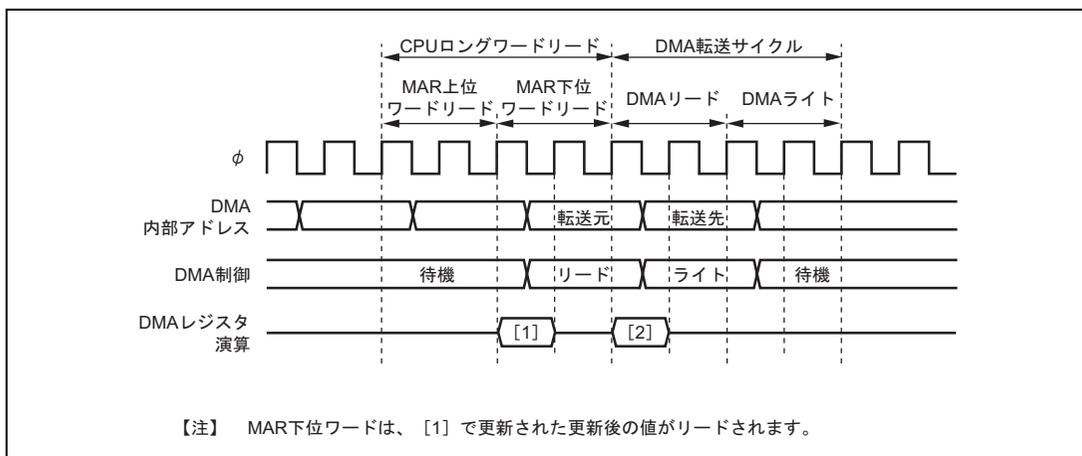


図 7.40 DMAC レジスタの更新と CPU リードの競合

(2) モジュールストップ

MSTPCRHのMSTP13ビットを1にセットすると、DMACのクロックが停止し、DMACはモジュールストップ状態となります。ただし、DMACのいずれかのチャンネルが許可状態になっている場合は、MSTP13ビットを1にセットできません。DMACの動作が停止している状態で設定してください。

DMACのクロックが停止すると、DMACのレジスタに対するアクセスができなくなります。以下のDMACのレジスタの設定は、モジュールストップ状態でも有効ですので、必要に応じてモジュールストップに先立って無効にしてください。

- 転送終了 / 中断割り込み (DTE = 0かつDTIE = 1)
- $\overline{\text{TEND}}$ 端子イネーブル (TEE = 1)
- $\overline{\text{DACK}}$ 端子イネーブル (FAE = 0かつSAE = 1)

(3) ライトデータバッファ機能

バスコントローラのBCRのWDBEビットを1にセットし、ライトデータバッファ機能を有効にすると、デュアルアドレス転送の外部ライトサイクルまたは、シングルアドレス転送と内部アクセス（内蔵メモリまたは内部I/Oレジスタ）とを並行して実行します。

- ライトデータバッファ機能とDMACのレジスタ設定

ライトデータバッファ機能による外部アクセス実行中に、外部アクセスを制御するようにDMACのレジスタの設定を変更すると、外部アクセスが正常に行えない場合があります。外部アクセスを制御するレジスタの操作は、DMACの動作を禁止した状態で外部リードするなどして、外部アクセスと並行しない状態で行ってください。

- ライトデータバッファ機能とDMACのレジスタ設定

ライトデータバッファ機能を用いた外部アクセス中に、DMACは次の動作を開始することができます。このため、ライトデータバッファ機能を禁止している場合と比較して、 $\overline{\text{DREQ}}$ 端子のサンプリングタイミングや、 $\overline{\text{TEND}}$ 出力カタイミングなどが変化します。また、内部バスサイクルが隠れて見えなくなることがあります。

(4) $\overline{\text{TEND}}$ 出力について

最終転送サイクルが内部アドレスの場合には、 $\overline{\text{TEND}}$ 端子から Low レベルを出力するように設定にした場合でも、外部バスが下記の条件では最終転送サイクル（内部バスサイクル）と外部バスサイクルが平行して実行されるため、 $\overline{\text{TEND}}$ 端子から Low レベルが出力されない場合がありますので注意してください。

1. EXDMACサイクル
2. ライトバッファモードがイネーブル状態でのライトサイクル
3. ライトバッファモードがイネーブル状態での別チャンネルのDMACのシングルアドレスサイクル
4. バス解放サイクル
5. CBRリフレッシュサイクル

図 7.41 に、上記の 2. の場合で $\overline{\text{TEND}}$ 端子から Low レベルが出力されない場合の例を示します。

最終転送サイクルが外部アドレスの場合には、バスサイクルに同期して $\overline{\text{TEND}}$ 端子から Low レベルが出力されます。

ただし、最終転送サイクルと CBR リフレッシュが同時に発生した場合、CBR リフレッシュと最終転送サイクルが連続して実行される場合がありますが、このときリフレッシュサイクルに対しても $\overline{\text{TEND}}$ 端子が Low レベル出力となる場合がありますので注意してください。

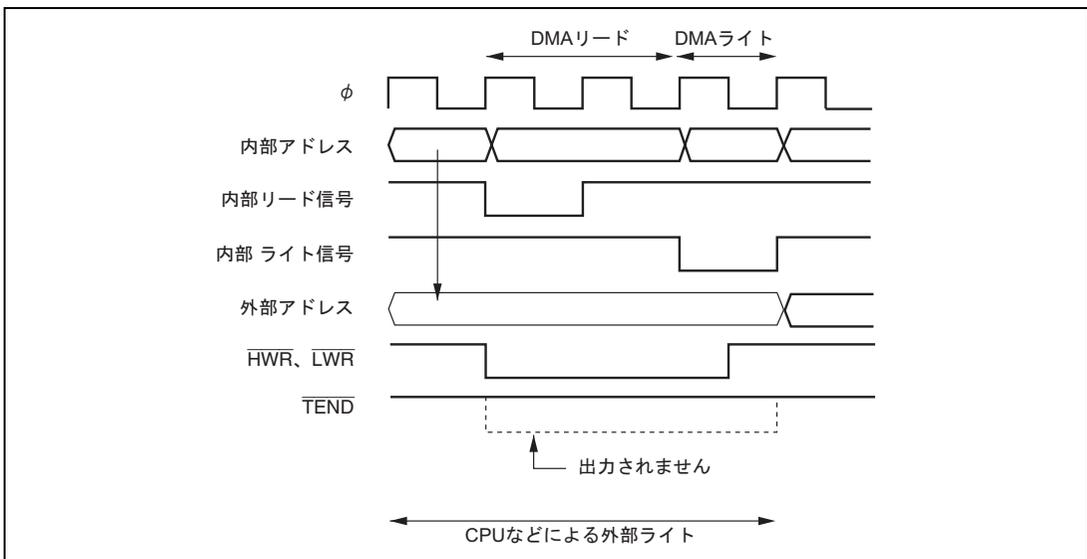


図 7.41 $\overline{\text{TEND}}$ 端子に Low レベルが出力されない例

7. DMA コントローラ (DMAC)

(5) $\overline{\text{DREQ}}$ 端子立ち下がりエッジ起動

$\overline{\text{DREQ}}$ 端子の立ち下がりエッジの検出は、DMAC の内部動作に同期して行い次のようになります。

1. 起動要求待ち状態： $\overline{\text{DREQ}}$ 端子のLowレベルの検出を待ち、2. に遷移します。
2. 転送待ち状態：DMACのデータ転送が可能になるのを待ち、3. に遷移します。
3. 起動要求禁止状態： $\overline{\text{DREQ}}$ 端子のHighレベルの検出を待ち、1. に遷移します。

DMAC の転送許可後は、1. に遷移します。このため、転送許可後の最初の起動は Low レベル検出で行われま

す。

(6) 起動要因の受け付け

起動要因の受け付け開始時は、 $\overline{\text{DREQ}}$ 端子の立ち下がりエッジセンス / Low レベルセンスともに Low レベルを検出しています。同様に内部割り込みの場合は、割り込み要求を検出しています。したがって、転送許可状態にするための DMABCRL へのライト以前に発生している内部割り込み、または $\overline{\text{DREQ}}$ 端子の Low レベル出力は、要求を受け付けます。

DMAC の起動時には、必要に応じて前回の転送終了時などの内部割り込み、または $\overline{\text{DREQ}}$ 端子の Low レベルが残らないようにしてください。

(7) 転送終了後の内部割り込み

転送終了または強制終了により、DMABCRL の DTE ビットが 0 にクリアされると、DMABCRH の DTA = 1 の場合でも選択されている内部割り込みは CPU または DTC に割り込みを要求します。

なお、強制終了時にすでに DMAC 内部で起動がかかっている場合にはデータ転送は実行されますが、DTA = 1 の場合でも選択されている内部割り込みに対するフラグクリアを行いません。

転送終了または強制終了後の内部割り込み要求は、必要に応じた処理を CPU で行ってください。

(8) チャンネルの再設定

複数のチャンネルが転送許可状態で複数のチャンネルの再起動を操作する場合には、転送終了割り込みが排他的に処理されるのを利用し、DMABCR の制御ビット操作を排他的に行ってください。

特に、DMABCR のリードとライトの間に多重割り込みが発生し、新たな割り込み処理中に DMABCR の操作を行うと、元の処理ルーチンで DMABCR をライトするデータが異なってしまう、ライトにより多重割り込みでの操作結果を無効にしてしまうことがありますので注意してください。多重割り込みで DMABCR の操作が重ならないようにし、かつビット操作命令を用いてリードからライトまでが分割されないようにしてください。

なお、DTE および DTME ビットは、DMAC によりクリアするとき、および 0 をライトするときは DTE/DTME = 0 の状態をいったんリードしないと、CPU で 1 をライトできません。

8. EXDMA コントローラ (EXDMAC)

本 LSI は、2 チャンネルの外部バス転送専用 DMA コントローラ (EXDMAC) を内蔵しています。EXDMAC は、 \overline{DACK} (DMA 転送通知) 付き外部デバイスと外部メモリ間の転送を CPU に代わって高速に行うことができます。

8.1 特長

- 16Mバイトのアドレス空間を直接指定可能
- 転送単位をバイト / ワードに設定可能
- 最大転送回数は16M (16,777,215回) / 無限大 (フリーランニング)
- アドレスモードはデュアルアドレスモード / シングルアドレスモードの選択が可能
- バスモードはサイクルスチールモード / バーストモードの選択が可能
- 転送モードはノーマルモード / ブロック転送モードの選択が可能
- 転送要求は、外部リクエスト、オートリクエスト
- 割り込み要求は設定した転送回数終了後、CPUに割り込み要求を発生
- リピートエリア設定機能
- 内部バスマスタとの並列動作が可能
- \overline{EDRAK} 端子により、外部デバイスに対して転送要求を受け付けて転送処理開始を通知
- モジュールストップモードの設定が可能

【注】 H8S/2375、H8S/2375R、H8S/2373、H8S/2373R では EXDMAC をサポートしていません。

8. EXDMA コントローラ (EXDMAC)

EXDMAC のブロック図を図 8.1 に示します。

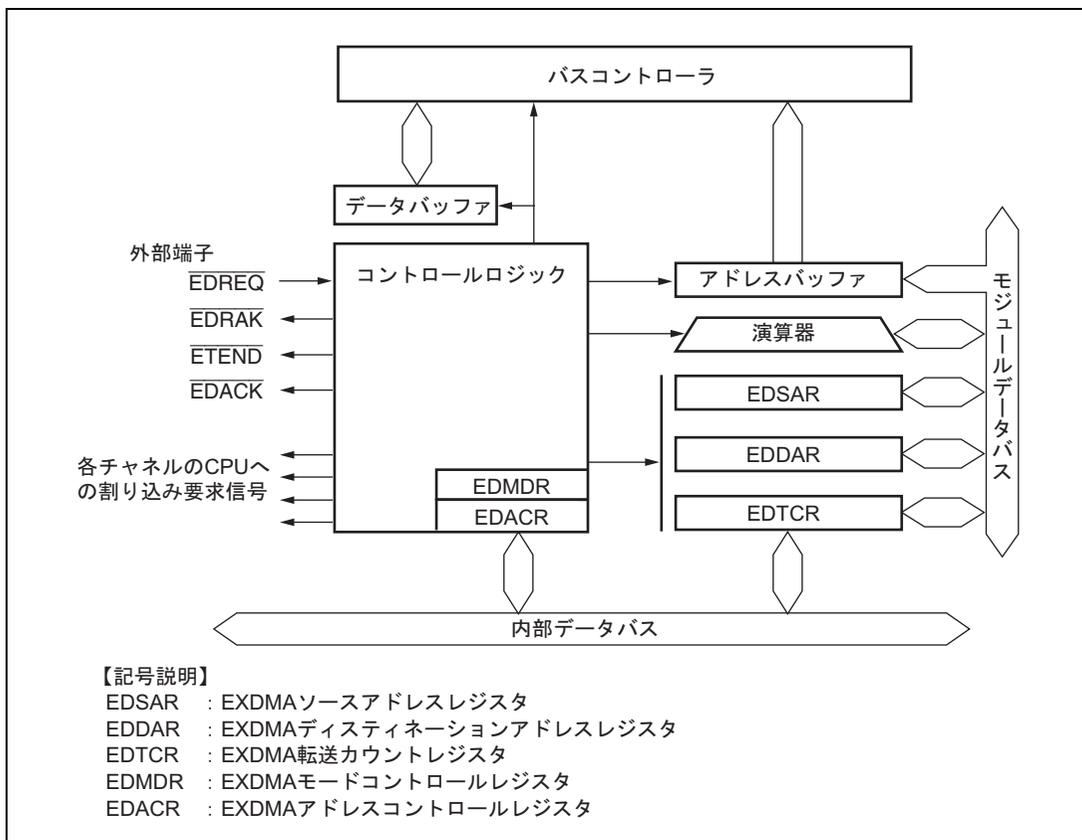


図 8.1 EXDMAC のブロック図

8.2 入出力端子

EXDMAC の端子構成を表 8.1 に示します。

表 8.1 端子構成

チャンネル	名称	略称	入出力	機能
2	EXDMA 転送リクエスト 2	$\overline{\text{EDREQ2}}$	入力	チャンネル 2 の外部リクエスト
	EXDMA 転送アクノリッジ 2	$\overline{\text{EDACK2}}$	出力	チャンネル 2 のシングルアドレス転送アクノリッジ
	EXDMA 転送終了 2	$\overline{\text{ETEND2}}$	出力	チャンネル 2 の転送終了
	EDREQ2 受け付け確認	$\overline{\text{EDRAK2}}$	出力	チャンネル 2 の外部リクエスト受け付け、転送処理開始を外部デバイスに通知
3	EXDMA 転送リクエスト 3	$\overline{\text{EDREQ3}}$	入力	チャンネル 3 の外部リクエスト
	EXDMA 転送アクノリッジ 3	$\overline{\text{EDACK3}}$	出力	チャンネル 3 のシングルアドレス転送アクノリッジ
	EXDMA 転送終了 3	$\overline{\text{ETEND3}}$	出力	チャンネル 3 の転送終了
	EDREQ3 受け付け確認	$\overline{\text{EDRAK3}}$	出力	チャンネル 3 の外部リクエスト受け付け、転送処理開始を外部デバイスに通知

8.3 レジスタの説明

EXDMAC には以下のレジスタがあります。

- EXDMA ソースアドレスレジスタ₂ (EDSAR₂)
- EXDMA デスティネーションアドレスレジスタ₂ (EDDAR₂)
- EXDMA 転送カウントレジスタ₂ (EDTCR₂)
- EXDMA モードコントロールレジスタ₂ (EDMDR₂)
- EXDMA アドレスコントロールレジスタ₂ (EDACR₂)
- EXDMA ソースアドレスレジスタ₃ (EDSAR₃)
- EXDMA デスティネーションアドレスレジスタ₃ (EDDAR₃)
- EXDMA 転送カウントレジスタ₃ (EDTCR₃)
- EXDMA モードコントロールレジスタ₃ (EDMDR₃)
- EXDMA アドレスコントロールレジスタ₃ (EDACR₃)

8.3.1 EXDMA ソースアドレスレジスタ (EDSAR)

EDSAR は転送元のアドレスを指定するための 32 ビットのリード/ライト可能なレジスタです。アドレス更新機能を持ち、転送処理が行われるたびに、次の転送元アドレスに更新されます。シングルアドレスモードにおいて、 $\overline{\text{DACK}}$ 付きデバイスを転送元に指定した場合、EDSAR の値は無視されます。

上位 8 ビットはリザーブビットで、リードすると常に 0 が読み出されます。ライトは無効です。ライトするときは 0 をライトしてください。

EDSAR は CPU から常にリード可能ですが、転送処理中のチャンネルの EDSAR をリードする場合はロングワードサイズでリードしてください。EXDMA 動作中のチャンネルの EDSAR にはライトしないでください。EDSAR の初期値は不定です。

8.3.2 EXDMA デスティネーションアドレスレジスタ (EDDAR)

EDDAR は転送先のアドレスを指定するための 32 ビットのリード/ライト可能なレジスタです。アドレス更新機能を持ち、転送処理が行われるたびに、次の転送先アドレスに更新されます。シングルアドレスモードにおいて、 $\overline{\text{DACK}}$ 付きデバイスを転送先に指定した場合、EDDAR の値は無視されます。

上位 8 ビットはリザーブビットで、リードすると常に 0 が読み出されます。ライトは無効です。ライトするときは 0 をライトしてください。

EDDAR は CPU から常にリード可能ですが、転送処理中のチャンネルの EDDAR をリードする場合はロングワードサイズでリードしてください。EXDMA 動作中のチャンネルの EDDAR にはライトしないでください。EDDAR の初期値は不定です。

8.3.3 EXDMA 転送カウントレジスタ (EDTCR)

EDTCR は転送回数を設定します。転送モードにより機能が異なります。EXDMA 動作中のチャンネルの EDTCR にライトしないでください。

(1) ノーマル転送モード

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
23~0		すべて 不定	R/W	24 ビット転送カウンタ 転送回数を設定します。H'000001 に設定すると、転送要求は 1 回です。H'000000 に設定すると“転送回数 = 設定なし”となり、転送カウンタは機能を停止します。このとき、転送カウンタによる転送終了割り込みは発生しません。H'FFFFFF に設定すると、最大値 16,777,215 回になります。EXDMA 動作中は残りの転送回数を示します。 リードは常に可能です。転送処理中のチャンネルの EDTCR をリードするときは、ロングワードサイズでリードしてください。

(2) ブロック転送モード

ビット	ビット名	初期値	R/W	説明
31~24	-	すべて 0	-	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
23~16		すべて 不定	R/W	ブロックサイズ ブロック転送時のブロックサイズ (バイト数、ワード数) を設定します。H'01 に設定すると、ブロックサイズは 1 です。H'00 に設定すると、ブロックサイズは最大値 256 になります。レジスタの値は常に指定したブロックサイズを示します。
15~0		すべて 不定	R/W	16 ビット転送カウンタ ブロック転送回数を設定します。H'0001 に設定すると、ブロック転送回数は 1 回です。H'0000 に設定すると“転送回数 = 設定なし”となり、転送カウンタは機能を停止します。この場合、転送カウンタによる転送終了割り込みは発生しません。H'FFFF に設定すると、ブロック転送回数は最大値 65,535 回になります。EXDMA 動作中は残りの転送回数を示します。

8. EXDMA コントローラ (EXDMAC)

8.3.4 EXDMA モードコントロールレジスタ (EDMDR)

EDMDR は EXDMAC の動作を制御します。

ビット	ビット名	初期値	R/W	説明
15	EDA	0	R/W	<p>EXDMA アクティブ</p> <p>対応するチャンネルのデータ転送を許可 / 禁止します。このビットが 1 にセットされていると、EXDMA 動作中であることを示します。</p> <p>オートリクエストを指定 (MDS1、MDS0 ビットで指定) した場合、このビットを 1 にセットすると転送処理に入ります。外部リクエストでは、このビットを 1 にセットした後に転送要求が発生すると転送処理に入ります。EXDMA 動作中にこのビットを 0 にクリアすると転送を停止します。ブロック転送モードで、EXDMA 動作中にこのビットを 0 にクリアすると、処理中の 1 ブロック転送期間は転送を継続し、1 ブロックの転送終了後にこのビットが 0 にクリアされます。</p> <p>転送を終了 (中断) させる外的要因が発生した場合は、自動的にこのビットが 0 にクリアされて、転送を終了します。このビットを 1 にセットした状態で動作モード、転送方法などを変更しないでください。</p> <p>0: 対応チャンネルのデータ転送を禁止</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 指定回数の転送を終了したとき リピートエリアオーバーフロー割り込みにより停止したとき EDA = 1 のときに 0 ライトしたとき <p>ただし、ブロック転送モードでは 1 ブロック転送終了後に反映</p> <ul style="list-style-type: none"> リセット、NMI 割り込み、ハードウェアスタンバイモード時 <p>1: 対応チャンネルのデータ転送を許可</p> <p>【注】EDA ビットは、ライトした値が直ちに反映されない期間が存在します。</p>
14	BEF	0	R/(W)*	<p>ブロック転送エラーフラグ</p> <p>ブロック転送中にエラーが発生したことを示すフラグです。ブロック転送中に NMI 割り込みが発生すると、EXDMAC は直ちに EXDMA 動作を終了し、このビットを 1 にセットします。アドレスレジスタは次の転送アドレスを示しますが、1 ブロックサイズの内の転送を行ったデータは失われます。</p> <p>0: ブロック転送エラーなし</p> <p>[クリア条件]</p> <p>BEF = 1 をリード後、0 をライトしたとき</p> <p>1: ブロック転送エラーあり</p> <p>[セット条件]</p> <p>ブロック転送中に NMI 割り込みの発生</p>

8. EXDMA コントローラ (EXDMAC)

ビット	ビット名	初期値	R/W	説明
13	EDRAKE	0	R/W	EDRAK 端子出力イネーブル EDREQ 受け付け確認、転送処理開始 (EDRAK) 端子の出力を許可するビットです。 0: EDRAK 端子の出力を禁止 1: EDRAK 端子の出力を許可
12	ETENDE	0	R/W	ETEND 端子出力イネーブル EXDMA 転送終了 (ETEND) 端子の出力を許可するビットです。 0: ETEND 端子の出力を禁止 1: ETEND 端子の出力を許可
11	EDREQS	0	R/W	EDREQ セレクト 外部リクエストモードで使用する EDREQ 端子のサンプリング方法を、Low レベル検出にするか、立ち下がリエッジ検出にするかを指定するビットです。 0: Low レベル検出 1: 立ち下がリエッジ検出 (転送許可後の最初の転送は Low レベルで検出します。)
10	AMS	0	R/W	アドレスモードセレクト アドレスモードをシングルアドレスモードとデュアルアドレスモードから選択します。シングルアドレスモードにすると EDACK 端子が有効になります。 0: デュアルアドレスモード 1: シングルアドレスモード
9 8	MDS1 MDS0	0 0	R/W R/W	モードセレクト 1、0 起動要因、バスモード、転送モードを指定します。 00: オートリクエスト、サイクルスチールモード、ノーマル転送モード 01: オートリクエスト、バーストモード、ノーマル転送モード 10: 外部リクエスト、サイクルスチールモード、ノーマル転送モード 11: 外部リクエスト、サイクルスチールモード、ブロック転送モード
7	EDIE	0	R/W	EXDMA インタラプトイネーブル 割り込み要求を許可または禁止するビットです。このビットを 1 にセットすると、IRF ビットが 1 にセットされたときに割り込み要求が発生します。割り込み要求は、このビットを 0 にクリアするか、IRF ビットを 0 にクリアすると解除されます。 0: 割り込み要求禁止 1: 割り込み要求許可

8. EXDMA コントローラ (EXDMAC)

ビット	ビット名	初期値	R/W	説明
6	IRF	0	R/(W)*	<p>インタラプトルクエストフラグ</p> <p>割り込み要求が発生し、転送終了したことを示すフラグです。</p> <p>0: 割り込み要求なし</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> EDA ビットに 1 をライトしたとき IRF = 1 をリード後、0 をライトしたとき <p>1: 割り込み要求の発生</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 転送カウンタによる転送終了割り込み要求が発生したとき ソースアドレスリピートエリアオーバーフロー割り込み要求が発生したとき デスティネーションアドレスリピートエリアオーバーフロー割り込み要求が発生したとき
5	TCEIE	0	R/W	<p>転送カウンタエンドインタラプトイネーブル</p> <p>転送カウンタによる転送終了割り込み要求を許可または禁止するビットです。このビットが 1 にセットされているとき、転送カウンタにより転送終了すると、IRF ビットが 1 にセットされ、割り込み要求が発生したことを示します。</p> <p>0: 転送カウンタによる転送終了割り込み要求を禁止</p> <p>1: 転送カウンタによる転送終了割り込み要求を許可</p>
4	SDIR	0	R/W	<p>シングルアドレスディレクション</p> <p>シングルアドレスモード時のデータ転送の方向を指定します。デュアルアドレスモードでは、このビットの設定は無視されます。</p> <p>0: 転送方向は、EDSAR DACK 付き外部デバイス</p> <p>1: 転送方向は、DACK 付き外部デバイス EDDAR</p>
3	DTSIZE	0	R/W	<p>データトランスミットサイズ</p> <p>転送するデータのサイズを指定するビットです。</p> <p>0: バイトサイズ</p> <p>1: ワードサイズ</p>
2	BGUP	0	R/W	<p>バスギブアップ</p> <p>このビットを 1 にセットすると、バーストモード、ブロック転送モード時に、内部バスマスタからバス権の要求があると、バス権を譲ることができます。ノーマルモード、サイクルスチールモード時はこのビットの設定は無視されます。</p> <p>0: バス権を解放しない</p> <p>1: 内部バスマスタからバス権の要求があると、バス権を譲る</p>
1、0	-	すべて 0	R/W	<p>リザーブビット</p> <p>リード/ライト可能ですが、0 をライトしてください。</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

8.3.5 EXDMA アドレスコントロールレジスタ (EDACR)

EDACR はアドレスレジスタの増減、リピートエリア機能を指定します。

ビット	ビット名	初期値	R/W	説 明
15	SAT1	0	R/W	ソースアドレス更新モード
14	SAT0	0	R/W	<p>転送元アドレス (EDSAR) の増減を指定します。シングルアドレスモードで転送元を \overline{DACK} 付き外部デバイスに設定した場合は、このビットの指定は無視されません。</p> <p>0X : 固定</p> <p>10 : 増加 (バイト転送時 + 1、ワード転送時 + 2)</p> <p>11 : 減少 (バイト転送時 - 1、ワード転送時 - 2)</p>
13	SARIE	0	R/W	<p>ソースアドレスリピートインタラプトイネーブル</p> <p>このビットを 1 にセットすると、ソースアドレスのリピートエリアのオーバフローが発生したときに、EDMDR の IRF ビットを 1 にセットし、EDMDR の EDA ビットを 0 にクリアして転送を終了します。IRF ビットが 1 にセットされているとき EDMDR の EDIE = 1 の場合、CPU に対して割り込み要求を発生します。</p> <p>ブロック転送モードと併用する場合、ソースアドレスリピート割り込み要求は 1 ブロックサイズの転送が終了してから発生します。ソースアドレスリピート割り込みにより転送終了したチャンネルの EDMDR の EDA ビットを 1 にセットすると、転送終了した状態から引き続き転送を再開することができます。ソースアドレスリピートエリアを設定していない場合は、このビットは無視されます。</p> <p>0 : ソースアドレスリピート割り込み要求を発生しない。</p> <p>1 : ソースアドレスのリピートエリアのオーバフローが発生したときに EDMDR の IRF ビットを 1 にして、割り込み要求を発生する。</p>

8. EXDMA コントローラ (EXDMAC)

ビット	ビット名	初期値	R/W	説明
12	SARA4	0	R/W	ソースアドレスリピートエリア
11	SARA3	0	R/W	ソースアドレス (EDSAR) にリピートエリアを設定するビットです。
10	SARA2	0	R/W	リピートエリア機能は、指定の下位アドレスをアドレス更新の対象として、残りの上位アドレスは常に固定値をとるようして実現されます。リピートエリアのサイズは、2 バイトから 8 M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。アドレスが増減してリピートエリアがオーバーフローした場合、下位アドレスはアドレスが増加するとリピートエリアの先頭アドレスになり、アドレスが減少するとリピートエリアの最後のアドレスになります。SARIE ビットを 1 にセットすると、リピートエリアのオーバーフローが発生したときに割り込み要求を発生することができます。
9	SARA1	0	R/W	
8	SARA0	0	R/W	<p>00000 : リピートエリアの設定なし</p> <p>00001 : 下位 1 ビット (2 バイト) をリピートエリアに設定</p> <p>00010 : 下位 2 ビット (4 バイト) をリピートエリアに設定</p> <p>00011 : 下位 3 ビット (8 バイト) をリピートエリアに設定</p> <p>00100 : 下位 4 ビット (16 バイト) をリピートエリアに設定</p> <p style="text-align: center;">:</p> <p style="text-align: center;">:</p> <p>10011 : 下位 19 ビット (512K バイト) をリピートエリアに設定</p> <p>10100 : 下位 20 ビット (1M バイト) をリピートエリアに設定</p> <p>10101 : 下位 21 ビット (2M バイト) をリピートエリアに設定</p> <p>10110 : 下位 22 ビット (4M バイト) をリピートエリアに設定</p> <p>10111 : 下位 23 ビット (8M バイト) をリピートエリアに設定</p> <p>11XXX : 設定禁止</p>
7	DAT1	0	R/W	デスティネーションアドレス更新モード
6	DAT0	0	R/W	<p>転送先アドレス (EDDAR) の増減を指定します。シングルアドレスモードで転送先を DACK 付き外部デバイスに設定した場合は、このビットの指定は無視されます。</p> <p>0X : 固定</p> <p>10 : 増加 (バイト転送時 +1、ワード転送時 +2)</p> <p>11 : 減少 (バイト転送時 -1、ワード転送時 -2)</p>
5	DARIE	0	R/W	<p>デスティネーションアドレスリピートインタラプトイネーブル</p> <p>このビットを 1 にセットすると、デスティネーションアドレスのリピートエリアのオーバーフローが発生したときに、EDMDR の IRF ビットを 1 にセットし、EDMDR の EDA ビットを 0 にクリアして転送を終了します。IRF ビットが 1 にセットされているとき EDMDR の EDIE = 1 の場合、CPU に対して割り込み要求を発生します。ブロック転送モードと併用する場合、デスティネーションアドレスリピート割り込み要求は 1 ブロックサイズの転送が終了してから発生します。デスティネーションアドレスリピート割り込みにより転送終了したチャンネルの EDMDR の EDA ビットに 1 をセットすると、転送終了した状態から引き続き転送を再開することができます。デスティネーションアドレスリピートエリアを設定していない場合は、このビットは無視されます。</p> <p>0 : デスティネーションアドレスリピート割り込み要求を発生しない。</p> <p>1 : デスティネーションアドレスのリピートエリアのオーバーフローが発生したときに EDMDR の IRF ビットを 1 にして、割り込み要求を発生させる。</p>

8. EXDMA コントローラ (EXDMAC)

ビット	ビット名	初期値	R/W	説明
4	DARA4	0	R/W	<p>デスティネーションアドレスリピートエリア</p> <p>デスティネーションアドレス(EDDAR)にリピートエリアを設定するビットです。リピートエリア機能は、指定の下位アドレスをアドレス更新の対象として、残りの上位アドレスは常に固定値をとるよう实现されます。リピートエリアのサイズは、2バイトから8Mバイトまで設定可能です。設定間隔は2のべき乗バイト単位です。アドレスが増減してリピートエリアがオーバーフローした場合、下位アドレスは、アドレスが増加するとリピートエリアの先頭アドレスになり、アドレスが減少するとリピートエリアの最後のアドレスになります。DARIE ビットを1にセットすると、リピートエリアのオーバーフローが発生したときに割り込み要求が発生することができます。</p> <p>00000 : リピートエリアの設定なし</p> <p>00001 : 下位 1 ビット (2 バイト) をリピートエリアに設定</p> <p>00010 : 下位 2 ビット (4 バイト) をリピートエリアに設定</p> <p>00011 : 下位 3 ビット (8 バイト) をリピートエリアに設定</p> <p>00100 : 下位 4 ビット (16 バイト) をリピートエリアに設定</p> <p style="text-align: center;">:</p> <p style="text-align: center;">:</p> <p>10011 : 下位 19 ビット (512K バイト) をリピートエリアに設定</p> <p>10100 : 下位 20 ビット (1M バイト) をリピートエリアに設定</p> <p>10101 : 下位 21 ビット (2M バイト) をリピートエリアに設定</p> <p>10110 : 下位 22 ビット (4M バイト) をリピートエリアに設定</p> <p>10111 : 下位 23 ビット (8M バイト) をリピートエリアに設定</p> <p>11XXX : 設定禁止</p>
3	DARA3	0	R/W	
2	DARA2	0	R/W	
1	DARA1	0	R/W	
0	DARA0	0	R/W	

【記号説明】 X : Don't care

8.4 動作説明

8.4.1 転送モード

EXDMAC の転送モードを表 8.2 に示します。

表 8.2 EXDMAC の転送モード

転送モード			転送要因	転送回数	アドレスレジスタ	
					ソース	デスティネーション
デュアル アドレス モード	ノーマル 転送モード	オートリクエストモード • バースト/サイクルスチールモード	オートリクエスト	1 ~ 16,777,215 または指定なし	EDSAR	EDDAR
		外部リクエストモード • サイクルスチールモード	外部リクエスト			
	ブロック 転送モード	外部リクエストモード • 1 回の転送要求で指定した ブロックサイズをバースト 転送 • ブロックサイズは 1 ~ 256 バイトまたはワード	外部リクエスト	1 ~ 65,535 または指定なし		
シングル アドレス モード	<ul style="list-style-type: none"> • ソースまたはデスティネーションアドレスレジスタの代わりに EDACK 端子を用いて外部デバイスとの直接データ転送 • アドレスレジスタの設定以外は、上記の各転送モードを指定可能 • 1 バスサイクルで 1 回の転送が可能 (転送モードのバリエーションは、上記デュアルアドレスモードと同じです。) 				EDSAR/ EDACK	EDACK/ EDDAR

転送モードは各チャネルごとに設定可能です。

ノーマル転送モードでは、1 回の転送要求で 1 バイトまたは 1 ワードのデータ転送を実行します。オートリクエストの場合、バースト/サイクルスチール転送モードを設定可能です。バースト転送モードの場合、指定した転送回数を実行するか、転送イネーブルビットを 0 にクリアするまで高速に連続転送することができます。

ブロック転送モードでは、1 回の転送要求で指定したブロックサイズの転送を実行します。ブロックサイズは 1 ~ 256 (バイト/ワード) です。1 ブロック内の転送はバースト転送モードと同等の高速転送が可能です。

転送回数に指定なしを設定した場合 (EDTCR=H'000000)、転送カウンタは停止して、転送回数に制限がなくなり永続して転送が可能になります。

メモリアドレスは、1 または 2 の増減、固定を各アドレスレジスタに対して独立に設定可能です。

各モードとも、2 のべき乗バイトのリピートエリアを設定可能です。

8.4.2 アドレスモード

(1) デュアルアドレスモード

転送元、転送先を共に EXDMAC 内のレジスタで指定して、1 回の転送を 2 バスサイクルで実行するモードです。

転送元アドレスはソースアドレスレジスタ (EDSAR) に、転送先アドレスはデスティネーションアドレスレジスタ (EDDAR) に設定します。

転送動作は、最初のバスサイクルで転送元アドレスで指定した外部メモリの値をリードして、次のバスサイクルで転送先アドレスで指定した外部メモリにライトします。

リードサイクルとライトサイクルの間は分割不可となっています。このため、2 つのバスサイクルの間に他のバスサイクル (内部バスマスタの外部アクセス、リフレッシュサイクル、外部バス解放サイクル) は発生しません。

$\overline{\text{ETEND}}$ 端子の出力は、EDMDR の ETENDE ビットにより、許可 / 禁止を設定することができます。 $\overline{\text{ETEND}}$ は連続する 2 バスサイクルの間出力されます。 $\overline{\text{EDACK}}$ 端子は出力されません。

図 8.2 に、デュアルアドレスモードのタイミング例を示します。

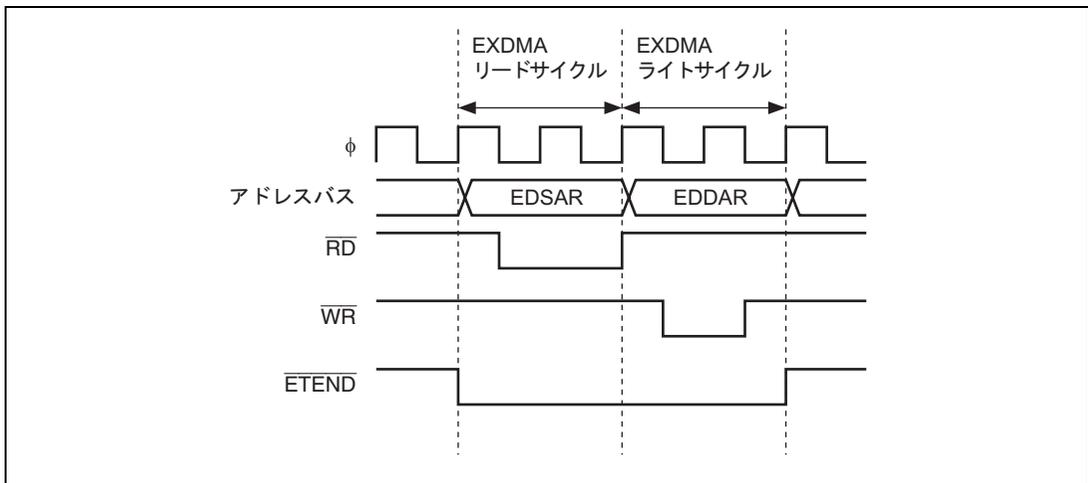


図 8.2 デュアルアドレスモードのタイミング例

8. EXDMA コントローラ (EXDMAC)

(2) シングルアドレスモード

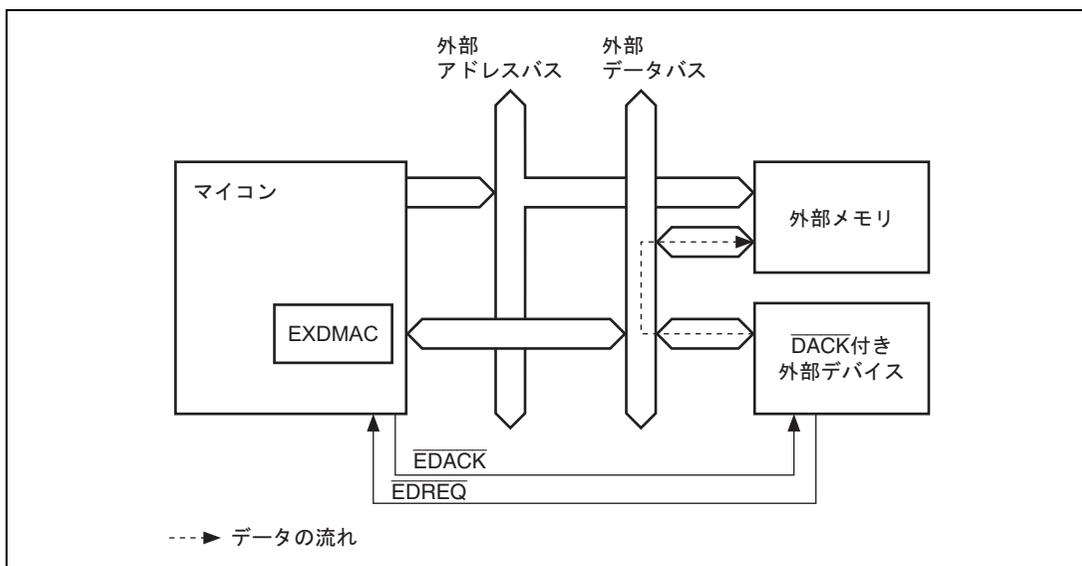
ソースまたはデスティネーションアドレスレジスタの代わりに $\overline{\text{EDACK}}$ 端子を用いて外部デバイスと外部メモリの間で直接データを転送するモードです。このモードで EXDMAC は、外部 I/O へのストロブ信号 ($\overline{\text{EDACK}}$) を転送元か転送先いずれか一方の外部デバイスに出力してアクセスすると同時に、もう一方の転送相手にアドレスを出力してアクセスします。これにより、1つのバスサイクルで DMA 転送を行うことができます。図 8.3 に示す外部メモリと $\overline{\text{DACK}}$ 付き外部デバイスとの転送の例では、外部デバイスがデータバスにデータを出力すると同じバスサイクルでそのデータが外部メモリに書き込まれます。

転送方向は、EDMDR の SDIR ビットにより、 $\overline{\text{DACK}}$ 付き外部デバイスを転送元にするか転送先にするかを指定できます。SDIR = 0 では、外部メモリ (EDSAR) $\overline{\text{DACK}}$ 付き外部デバイスへの転送、SDIR = 1 では、 $\overline{\text{DACK}}$ 付き外部デバイス 外部メモリ (EDDAR) への転送になります。

転送の対象として使用しないソースまたはデスティネーションアドレスのレジスタ設定は無視されます。

$\overline{\text{EDACK}}$ 端子は、シングルアドレスモードに設定すると自動的に有効になります。 $\overline{\text{EDACK}}$ 端子はローアクティブです。 $\overline{\text{ETEND}}$ 端子の出力は、EDMDR の ETENDE ビットにより、許可 / 禁止を設定することができます。 $\overline{\text{ETEND}}$ は 1 バスサイクルの間出力されます。

図 8.3 にシングルアドレスモードでのデータの流れを示します。図 8.4 にシングルアドレスモードのタイミング例を示します。



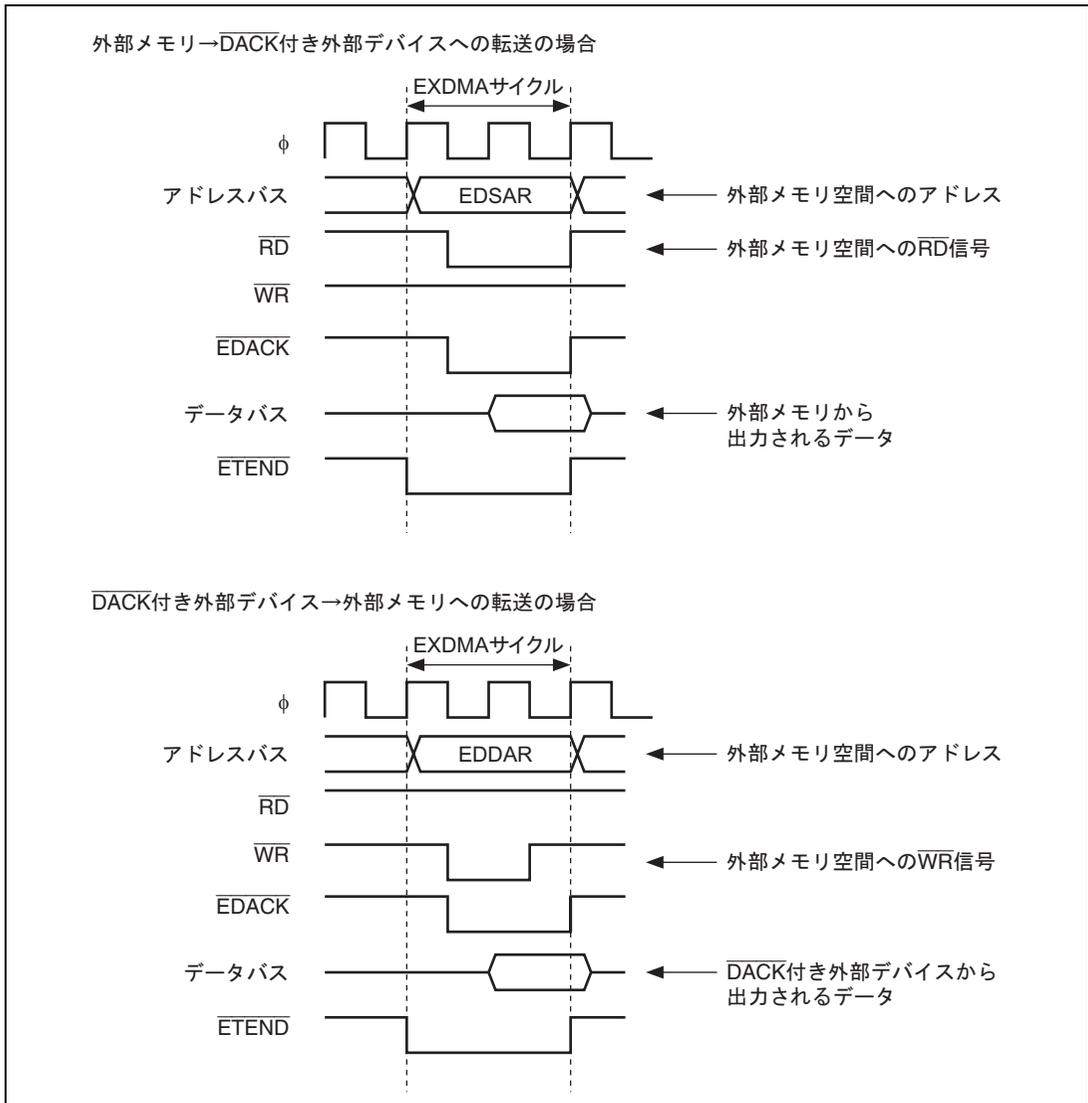


図 8.4 シングルアドレスモードのタイミング例

8.4.3 DMA 転送要求

(1) オートリクエストモード

オートリクエストモードは、メモリとメモリ間の転送や、転送要求を発生できない周辺モジュールとメモリ間との転送のように、転送要求信号が外部から来ない場合に、EXDMAC 内部で自動的に転送要求信号を発生するモードです。オートリクエストモードでは、EDMDR の EDA ビットを 1 にセットすると転送が開始されます。

オートリクエストモードでは、バスモードをサイクルスチールモードとバーストモードから選択することができます。ブロック転送モードではオートリクエストモードは使用できません。

(2) 外部リクエストモード

外部リクエストモードは、本 LSI の外部デバイスからの転送要求信号 ($\overline{\text{EDREQ}}$) によって転送を開始するモードです。DMA 転送が許可されているとき ($\text{EDA}=1$) に $\overline{\text{EDREQ}}$ が入力されると DMA 転送が開始されます。

転送要求元は必ずしもデータの転送元か転送先である必要はありません。

転送要求信号は、 $\overline{\text{EDREQ}}$ 端子で受け付けます。 $\overline{\text{EDREQ}}$ 端子を立ち下がりエッジで検出するか Low レベルで検出するかは、EDMDR の EDREQS ビットで選択します (EDREQS=0 は Low レベル検出、EDREQS = 1 は立ち下がりエッジ検出)。

EDMDR の EDRAKE ビットを 1 にセットすると、転送要求を受け付けたことを確認する信号を $\overline{\text{EDRAK}}$ 端子から出力することができます。 $\overline{\text{EDRAK}}$ 信号は、1 回の外部リクエストに対して、受け付けおよび転送処理を開始したときに出力します。 $\overline{\text{EDRAK}}$ 信号により、外部デバイスは $\overline{\text{EDREQ}}$ 信号のネゲートタイミングを知ることができ、転送要求元と EXDMAC とのハンドシェイクを容易にとることができます。

外部リクエストモードでは、バーストモードの代わりにブロック転送モードが使用できます。ブロック転送モードは 1 回の転送要求で指定の回数 (ブロックサイズ) の転送を連続 (バースト) して転送することができます。ブロック転送モードの $\overline{\text{EDRAK}}$ 信号は、 $\overline{\text{EDREQ}}$ による転送要求が 1 ブロック単位なので、1 ブロックの転送に対して 1 回のみ出力されます。

8.4.4 バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。起動要因がオートリクエストの場合、サイクルスチールモードとバーストモードを選択することができます。起動要因が外部リクエストの場合は、サイクルスチールモードになります。

(1) サイクルスチールモード

サイクルスチールモードでは、EXDMAC は 1 回の転送単位 (バイト、ワードまたは 1 ブロックサイズ) の転送を終了するたびにバス権を解放します。その後、転送要求があればバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を解放します。これを転送終了条件が満たされるまで繰り返します。

DMA 転送中に他のチャンネルに転送要求がある場合は、いったんバス権を解放した後に、転送要求のあったチャンネルの転送を行います。他のバスマスタから外部空間へのバス権要求がない場合は、バス権解放期間が 1 サイクル挿入されます。複数のチャンネルに転送要求がある場合の動作の詳細については「8.4.8 チャンネルの優先順位」を参照してください。

図 8.5 にサイクルスチールモードのタイミング例を示します。

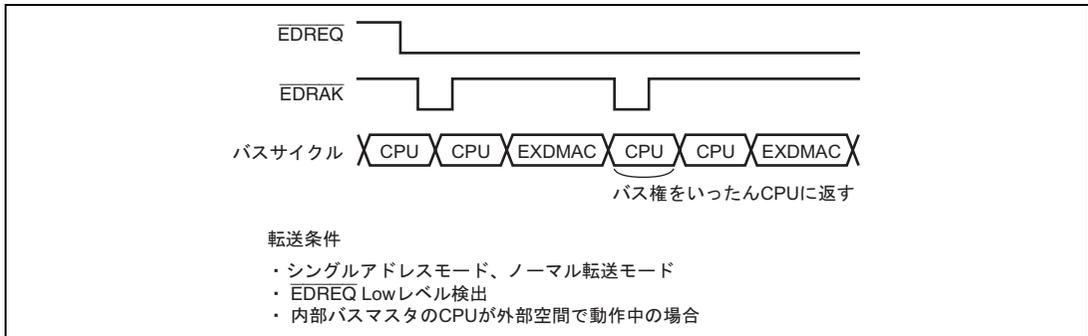


図 8.5 サイクルスチールモードのタイミング例

(2) バーストモード

バーストモードでは、EXDMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。外部リクエストモードにはバーストモードはありません。

バーストモードでは一度転送を開始すると、優先順位の高い他のチャンネルに転送要求がある場合でも、転送を中断することはありません。バーストモードのチャンネルが転送終了すると、次のサイクルはサイクルスチールモードと同様にバス権を解放します。

EDMDR の EDA ビットを 0 にクリアすると、DMA 転送は停止します。ただし、EDA ビットを 0 にクリアするまでに EXDMAC 内部で発生した転送要求分の DMA 転送は実行されます。

リピートエリアオーバーフロー割り込みが発生した場合は、EDA ビットを 0 にクリアして転送を終了します。

EDMDR の BGUP ビットを 1 にセットすると、バースト転送中に他のバスマスタからバス権要求があった場合、バス権を譲ります。バス権の要求がなければ、BGUP ビットを 1 にセットした場合でもバースト転送します。

図 8.6 にバーストモードのタイミング例を示します。

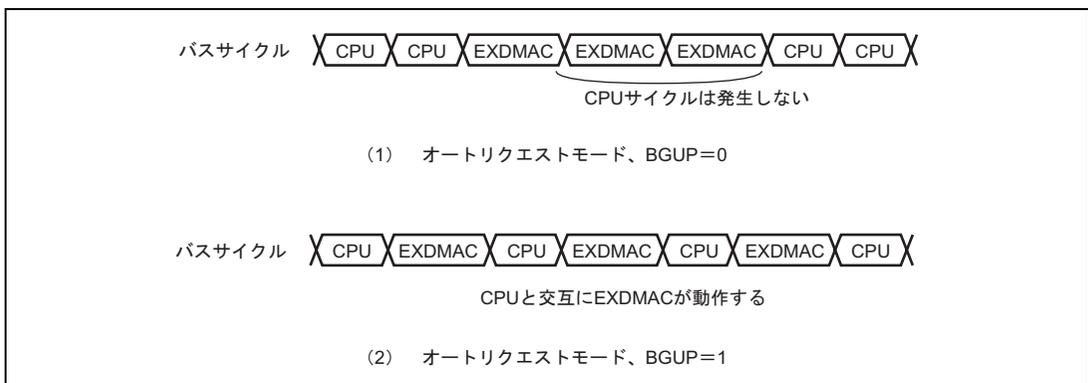


図 8.6 バーストモードのタイミング例

8.4.5 転送モード

転送モードにはノーマル転送モードとブロック転送モードがあります。起動要因が外部リクエストの場合、ノーマル転送モードとブロック転送モードを選択することができます。起動要因がオートリクエストの場合は、ノーマル転送モードになります。

(1) ノーマル転送モード

ノーマル転送モードでは、1回の転送要求に対して1回の転送単位の転送を処理します。EDTCRは24ビット転送カウンタとして機能します。

$\overline{\text{ETEND}}$ 出力は、最後のDMA転送でのみ出力されます。 $\overline{\text{EDRAK}}$ 出力は、転送要求受け付け、転送処理開始ごとに出力されます。

図 8.7 にノーマル転送モードでのDMA転送タイミング例を示します。

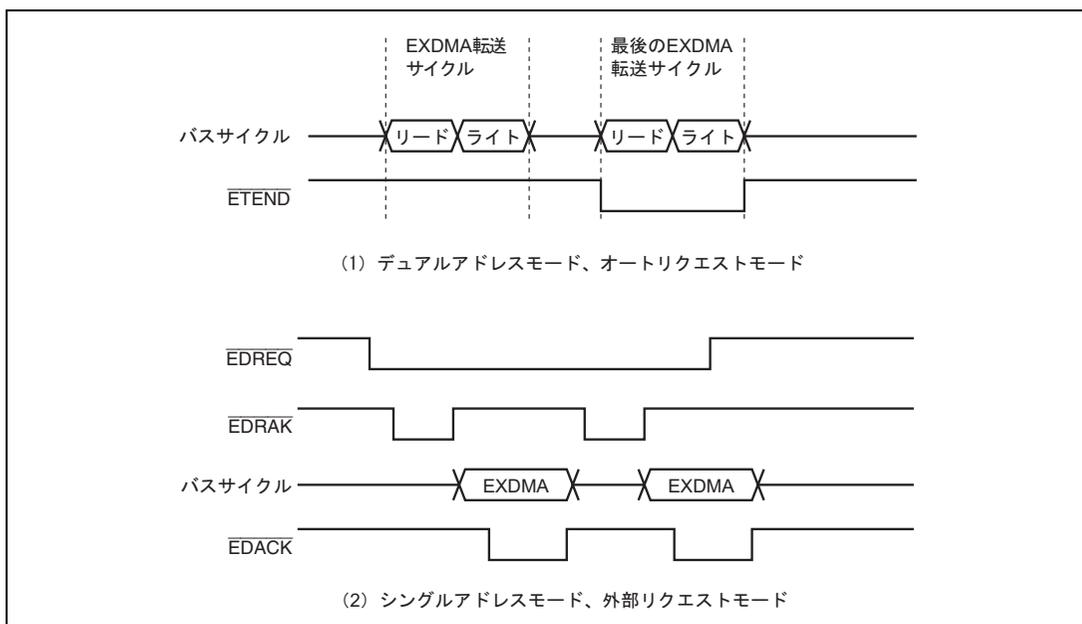


図 8.7 ノーマル転送モードの例

(2) ブロック転送モード

ブロック転送モードでは、1回の転送要求に対してブロックサイズにより指定されたサイズ(バイト数、ワード数)を連続にDMA転送します。EDTCRは上位8ビットがブロックサイズ、下位16ビットが16ビット転送カウンタとして機能します。ブロックサイズは、1~256まで指定できます。1ブロック分の転送中は優先順位の高い他のチャンネルの転送要求は待たされます。1ブロックサイズの転送が終了すると、次のサイクルはバス権を解放します。

EDMDRのBGUPビットを1にセットすると、ブロック転送中に他のバスマスタからバス権要求があった場合にバス権を譲るようになります。

アドレスレジスタの値はノーマルモードの場合と同様に更新されます。1ブロックの転送終了ごとにアドレスレジスタの値を最初の値に戻す機能はありません。

\overline{ETEND} 出力は、1ブロックサイズの転送ごとに、各ブロックの終わりのDMA転送サイクルで出力されます。 \overline{EDRAK} 出力は、1回の転送要求(1ブロック分)に対して1回出力されます。

ブロック転送モードでリピートエリア機能のリピートエリアオーバーフロー割り込みを設定する場合は注意が必要です。詳細は「8.4.6 リピートエリア機能」を参照してください。

NMI割り込みが発生した場合は、ブロック転送を強制終了します。詳細は「8.4.12 DMA転送終了」を参照してください。

図8.8にブロック転送モードでのDMA転送タイミング例を示します。

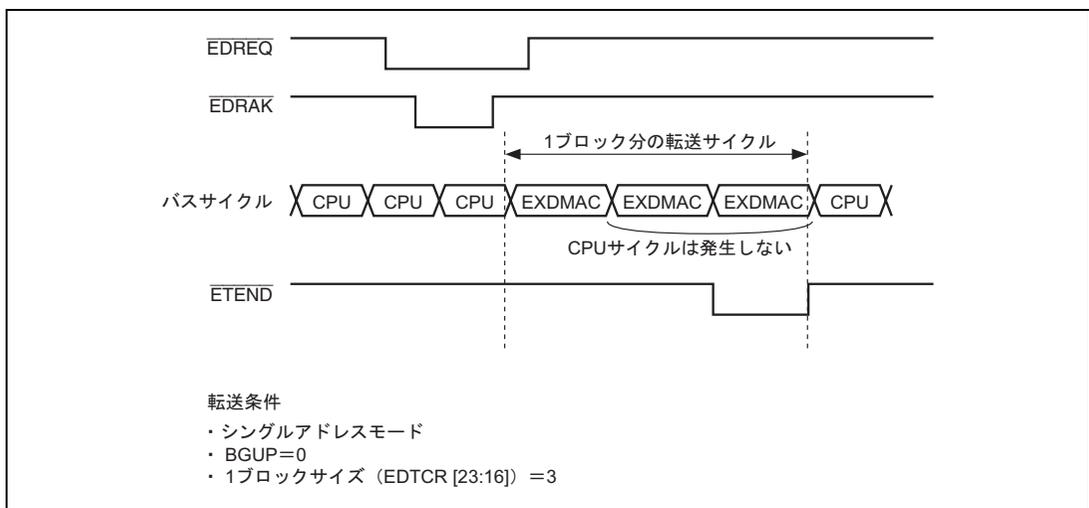


図 8.8 ブロック転送モードの例

8.4.6 リピートエリア機能

EXDMAC にはソースアドレス、デスティネーションアドレスおののりにリピートエリアを設定する機能があります。リピートエリアを設定するとアドレスレジスタはリピートエリアに指定された範囲の値を繰り返します。リングバッファを転送対象にしている場合、アドレスレジスタの値がバッファの最終アドレスになる (リングバッファに対するアドレスオーバーフロー) たびに、アドレスレジスタの値をバッファの先頭アドレスに戻す操作が必要になりますが、リピートエリア機能を使うと自動的にアドレスレジスタの値をバッファの先頭アドレスに戻す操作を EXDMAC 内で行うことができます。

リピートエリア機能は、ソースアドレスレジスタとデスティネーションアドレスレジスタに独立して設定できます。

ソースアドレスのリピートエリアは EDACR の SARA4 ~ 0 で指定します。デスティネーションアドレスのリピートエリアは EDACR の DARA4 ~ 0 で指定します。おののりのリピートエリアのサイズは独立に指定することができます。

アドレスレジスタの値がリピートエリアの終端になり、リピートエリアオーバーフローになったときに DMA 転送を一時停止させ CPU に対する割り込みを発生することが可能です。EDACR の SARIE ビットを 1 にセットすると、ソースアドレスレジスタがリピートエリアオーバーフローしたときに EDMDR の IRF ビットを 1 にセットし、EDMDR の EDA ビットを 0 にクリアして転送を終了します。このとき、EDMDR の EDIE ビット = 1 の場合、割り込み要求を発生させます。EDACR の DARIE ビットに 1 をセットするとデスティネーションアドレスレジスタが対象になります。

割り込み発生中に EDMDR の EDA ビットに 1 をセットすると、引き続き転送を再開します。図 8.9 にリピートエリア機能の例を示します。

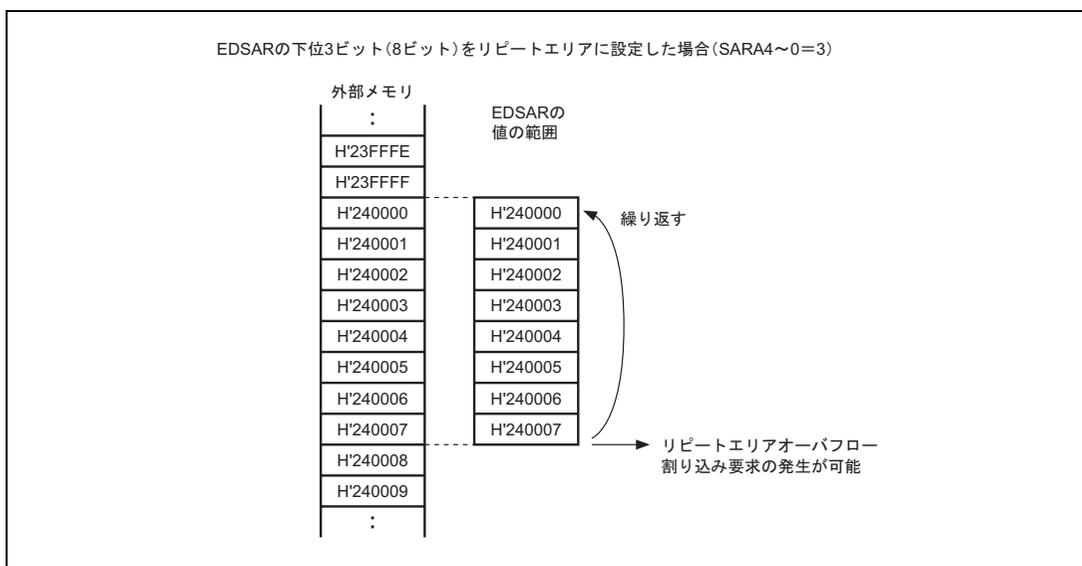


図 8.9 リピートエリア機能の例

リピートエリアのオーバーフロー割り込み機能をブロック転送モードと併用する場合は注意が必要です。ブロック転送モードにおいてリピートエリアオーバーフローが発生した場合は、転送を終了させるときは、ブロックサイズを2のべき乗になるように指定する必要があります。または、ブロックサイズの切れ目とリピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。

ブロック転送モードの1ブロックサイズを転送している期間にリピートエリアオーバーフローが発生した場合は、1ブロックサイズの転送が終了するまでリピート割り込み要求は保留され、転送はオーバーランします。図 8.10 にブロック転送モードとリピートエリア機能を併用したときの例を示します。

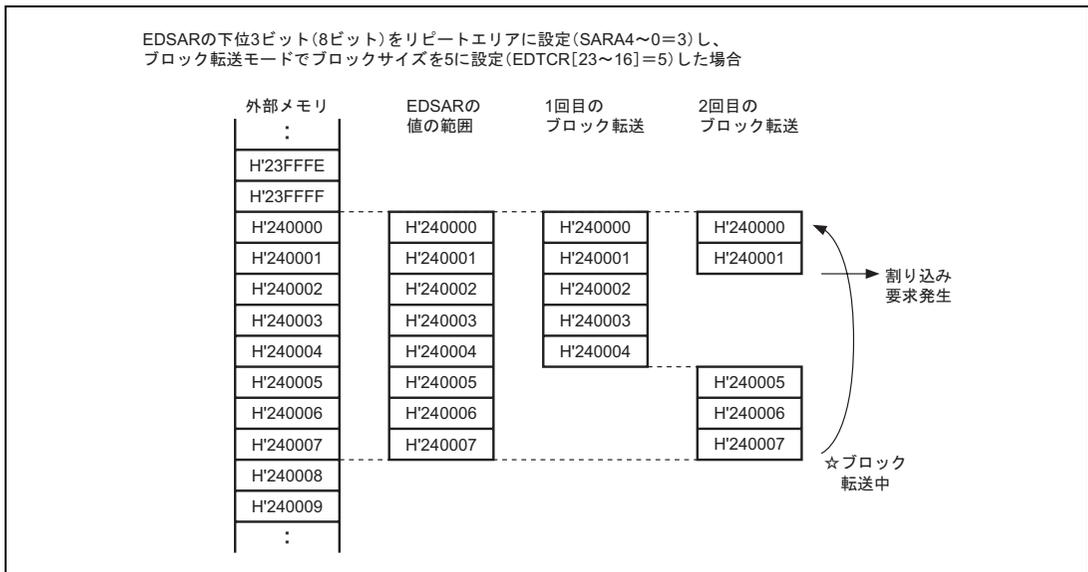


図 8.10 ブロック転送モードとリピートエリア機能を併用したときの例

8.4.7 DMA 転送動作中のレジスタ

EXDMAC のレジスタは DMA 転送処理に伴い値を更新します。更新される値は各種設定や転送の状態によって異なります。更新するレジスタは、EDSAR、EDDAR、EDTCR、EDMDR の EDA、BEF、IRF ビットです。

(1) EXDMA ソースアドレスレジスタ (EDSAR)

転送元として、EDSAR のアドレスをアクセスするとき、EDSAR の値を出力するとともに次にアクセスするアドレスに更新します。EDACR の SAT1、0 ビットでアドレスの増減を指定します。SAT1 = 0 ではアドレスは固定されます。SAT1 = 1 でかつ SAT0 = 0 では増加、SAT0 = 1 では減少します。

増減サイズは、転送するデータのサイズで決まります。EDMDR の DTSIZE = 0 の場合、バイトサイズになり、アドレスは±1 増減されます。DTSIZE = 1 の場合、ワードサイズになり、アドレスは±2 増減されます。

リピートエリアの設定がされている場合はその設定に従います。リピートエリアにより設定された上位側のアドレスは固定され、アドレス更新の影響を受けなくなります。

転送動作中に EDSAR をリードするときは、ロングワードでアクセスする必要があります。転送動作中の EDSAR

8. EXDMA コントローラ (EXDMAC)

は CPU からのアクセスに関係なく更新する可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。ロングワードでアクセスした場合は、EXDMAC が EDSAR の値をいったんバッファリングすることによって正常な値を出力します。

転送動作中のチャンネルの EDSAR にライトしないでください。

(2) EXDMA デスティネーションアドレスレジスタ (DDSAR)

転送先として、EDDAR のアドレスをアクセスするときに、EDDAR の値を出力するとともに次にアクセスするアドレスに更新します。EDACR の DAT1、0 ビットで増減を指定します。DAT1 = 0 ではアドレスは固定されます。DAT1 = 1 でかつ DAT0 = 0 では増加、DAT0 = 1 では減少します。

増減サイズは、転送するデータのサイズで決まります。EDMDR の DTSIZE = 0 の場合、バイトサイズになり、アドレスは ± 1 増減されます。DTSIZE = 1 の場合、ワードサイズになり、アドレスは ± 2 増減されます。

リピートエリアの設定がされている場合はその設定に従います。リピートエリアにより設定された上位側のアドレスは固定され、アドレス更新の影響を受けなくなります。

転送動作中に EDDAR をリードするときは、ロングワードでアクセスする必要があります。転送動作中の EDDAR は CPU からのアクセスに関係なく更新する可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。ロングワードでアクセスした場合は、EXDMAC が EDDAR の値をいったんバッファリングすることによって正常な値を出力します。

転送動作中のチャンネルの EDDAR にライトしないでください。

(3) EXDMA トランスファカウントレジスタ (EDTCR)

DMA 転送を行うとともに EDTCR の値は 1 減少します。ただし、EDTCR の値が 0 の場合は転送回数はカウントされないため、EDTCR の値は変化しません。

ブロック転送モードでは、EDTCR の機能が変わります。EDTCR [23:16] の上位 8 ビットはブロックサイズを指定するために使用され、その値は変化しません。EDTCR [15:0] の下位 16 ビットは転送カウンタとして機能し、DMA 転送を行うと同時に EDTCR の値は 1 減少します。ただし、EDTCR [15:0] の値が 0 の場合は転送回数はカウントされないため、EDTCR [15:0] の値は変化しません。

ノーマル転送モードの場合は EDTCR が 24 ビット変化する可能性があるため、DMA 転送中に CPU から EDTCR をリードする場合は、ロングワードサイズでアクセスする必要があります。動作中の EDTCR は CPU からのアクセスに関係なく更新する可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。ロングワードでアクセスした場合は、EXDMAC が EDTCR の値をいったんバッファリングすることによって正常な値を出力します。

ブロック転送モードでは上位 8 バイトは更新されることがないのでワードサイズでアクセスできます。

動作中のチャンネルの EDTCR にライトしないでください。DMA 転送に伴うアドレス更新と CPU によるライトが競合した場合は、CPU によるライトが優先されます。

EDTCR = 1 0 への更新と CPU によるライト (値は 0 以外) が競合した場合、EDTCR の値は CPU によるライトが優先されますが、転送終了します。CPU によって EDTCR に 0 をライトしても転送終了はしません。

図 8.11 にノーマル転送モードとブロック転送モードのときの EDTCR の更新動作を示します。

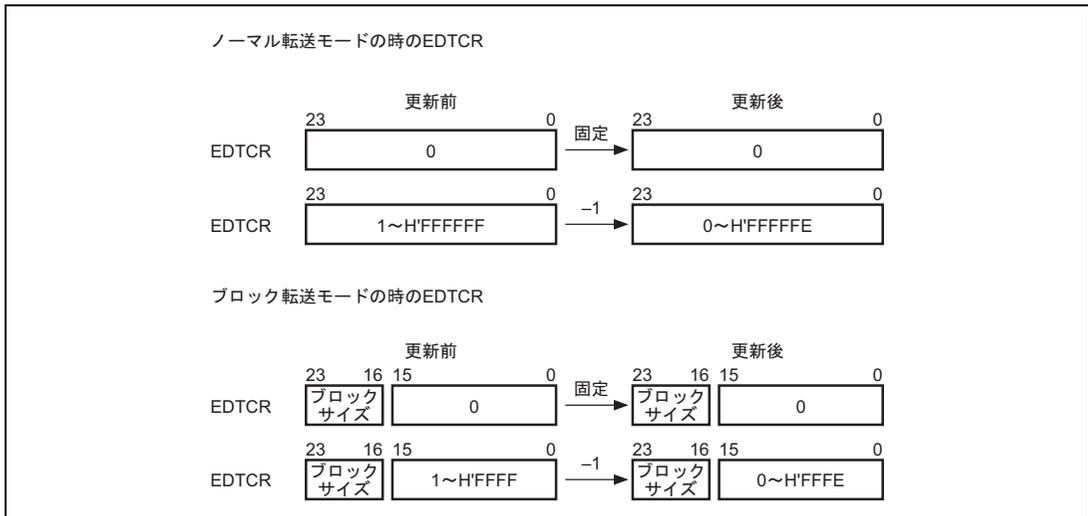


図 8.11 ノーマル転送モードとブロック転送モード時の EDTCR の更新動作

(4) EDMDR の EDA ビット

EDMDR の EDA ビットは CPU によりライトしてデータ転送の許可/禁止を制御して使用しますが、DMA 転送状態により EXDMAC によって自動的に EDA ビットをクリアする場合があります。また、転送中には CPU による EDA ビットの 0 ライトが反映されない期間があります。

EXDMAC により EDA ビットがクリアされる条件には以下のものがあります。

- EDTCRの値が1 0になり、転送が終了した場合
- リピートエリアオーバーフロー割り込み要求が発生し、転送が終了した場合
- NMI割り込みが発生し、転送が停止した場合
- リセット
- ハードウェアスタンバイモード
- EDAビットに0ライトして、転送が停止した場合

EDA ビットに 0 ライトして転送を停止させるとき、DMA 転送中の期間は EDA ビットは 1 を保持します。ブロック転送モードの場合は、1 ブロックサイズの転送は中断されずに行われるため、EDA ビットに 0 ライトしてから 1 ブロックサイズの転送が終了する期間、EDA ビットは 1 を保持します。

バーストモードの場合、EDA ビットに 0 ライトしたバスサイクルから最大で 3 回の DMA 転送が行われてから転送を停止します。EDA ビットに 0 ライトしてから最後の DMA サイクルが終了するまでの期間、EDA ビットは 1 を保持します。

EDA ビットが 1 になっているチャンネルのレジスタには、ライトすることが禁止されています (EDA ビットは除く)。EDA ビットに 0 ライトしてから各レジスタの設定を変更するときは EDA ビットが 0 にクリアされていることを確認する必要があります。

図 8.12 に動作中のチャンネルのレジスタの設定を変更するときの手順を示します。

8. EXDMA コントローラ (EXDMAC)

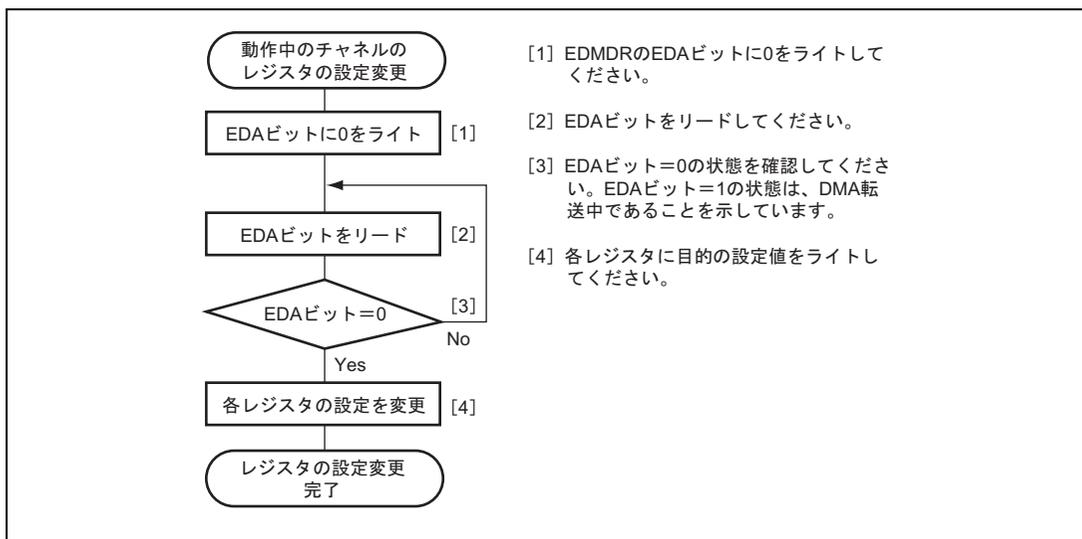


図 8.12 動作中のチャンネルのレジスタの設定を変更するときの手順

(5) EDMDR の BEF ビット

ブロック転送モードは1回の転送要求に対して設定された回数(1ブロックサイズ)の転送を行います。転送回数を正確に保証するために1ブロックサイズの転送は、リセット時、スタンバイ時、そしてNMI割り込みが発生したときを除いて必ず実行されます。

ブロック転送の最中にNMI割り込みが発生した場合、1ブロックサイズの転送は途中で中止してEDAビットを0にクリアして終了します。このとき、ブロック転送中に異常が発生したことを示すBEFビットをセットします。

(6) EDMDR の IRF ビット

割り込み要求の要因が発生したときEDMDRのIRFビットは1にセットされます。IRFビットが1にセットされ、EDMDRのEDIEビットが1にセットされていると割り込み要求が発生します。

IRFビットに1がセットされるタイミングは、割り込みを発生させる要因になったDMA転送のバスサイクルが終了して、EDMDRのEDAビットが0になって転送終了したときです。

割り込み処理の中でEDAビットに1をセットして転送を再開した場合、自動的にIRFビットが0クリアされ、割り込み要求は解除されます。

割り込みについての詳細は「8.5 割り込み要因」を参照してください。

8.4.8 チャンネルの優先順位

EXDMAC のチャンネル間の優先順位はチャンネル 2 > チャンネル 3 の順になっています。表 8.3 に EXDMAC のチャンネル間の優先順位を示します。

表 8.3 EXDMAC のチャンネル間の優先順位

チャンネル	優先順位
チャンネル 2	高 ↑ ↓ 低
チャンネル 3	

複数のチャンネルに対して同時に転送要求が発生した場合、要求の発生しているチャンネルの中から表 8.3 の優先順位に従って、最も優先度の高いチャンネルを選択して転送します。

(1) 複数チャンネルからの転送要求 (オートリクエストのサイクルスチールモードを除く)

転送中に他のチャンネルの転送要求が発生した場合は、転送中のチャンネルを除いて最も優先度の高いチャンネルを選択します。選択されたチャンネルは転送中のチャンネルがバスを解放してから転送を開始します。このとき EXDMAC 以外の他のバスマスタからバス権要求があると、他のバスマスタのサイクルが入ります。ほかにバス権要求がなければ 1 サイクルバス解放します。

バースト転送中、および 1 ブロック分のブロック転送中は、チャンネルを切り替えて転送することはありません。

図 8.13 にチャンネル 2、3 の転送要求が同時に発生した場合の転送例を示します。図の例は外部リクエストのサイクルスチールモードの場合です。

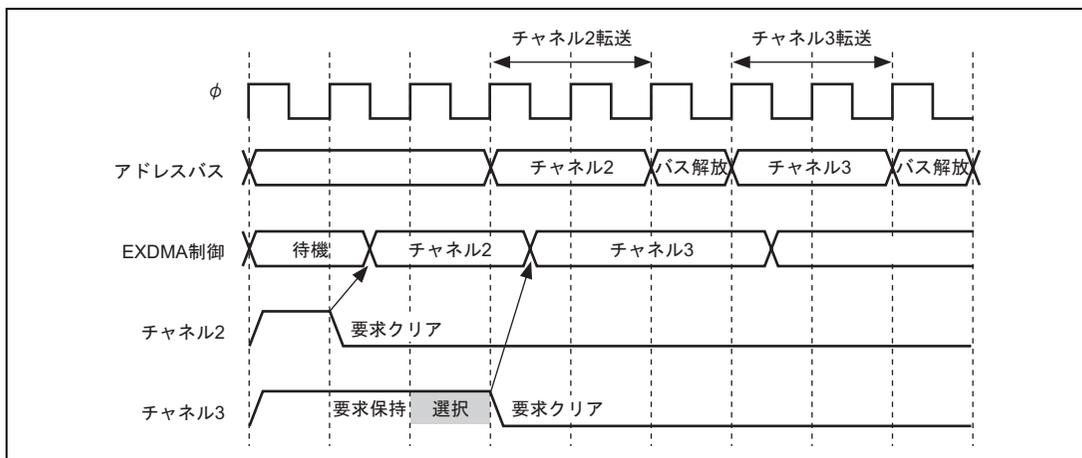


図 8.13 チャンネルの優先順位のタイミング例

8. EXDMA コントローラ (EXDMAC)

(2) オートリクエストのサイクルスチールモードのときの複数チャンネルからの転送要求

オートリクエストのサイクルスチールモードで転送中に他のチャンネルの転送要求が発生した場合は、チャンネルの優先度により動作が異なります。

転送要求をしたチャンネルが転送中のチャンネルよりも優先度が高い場合は、転送要求をしたチャンネルを選択します。転送要求をしたチャンネルが転送中のチャンネルよりも優先度が低い場合は、転送要求をしたチャンネルの転送要求は保留され、転送中のチャンネルを引き続き選択します。

選択されたチャンネルは転送中のチャンネルがバスを解放してから転送を開始します。このとき EXDMAC 以外の他のバスマスタからバス権要求があると、他のバスマスタのサイクルが入ります。ほかにバス権要求がなければ 1 サイクルバス解放します。

図 8.14 にオートリクエストのサイクルスチールモードを含んだ場合の転送例を示します。

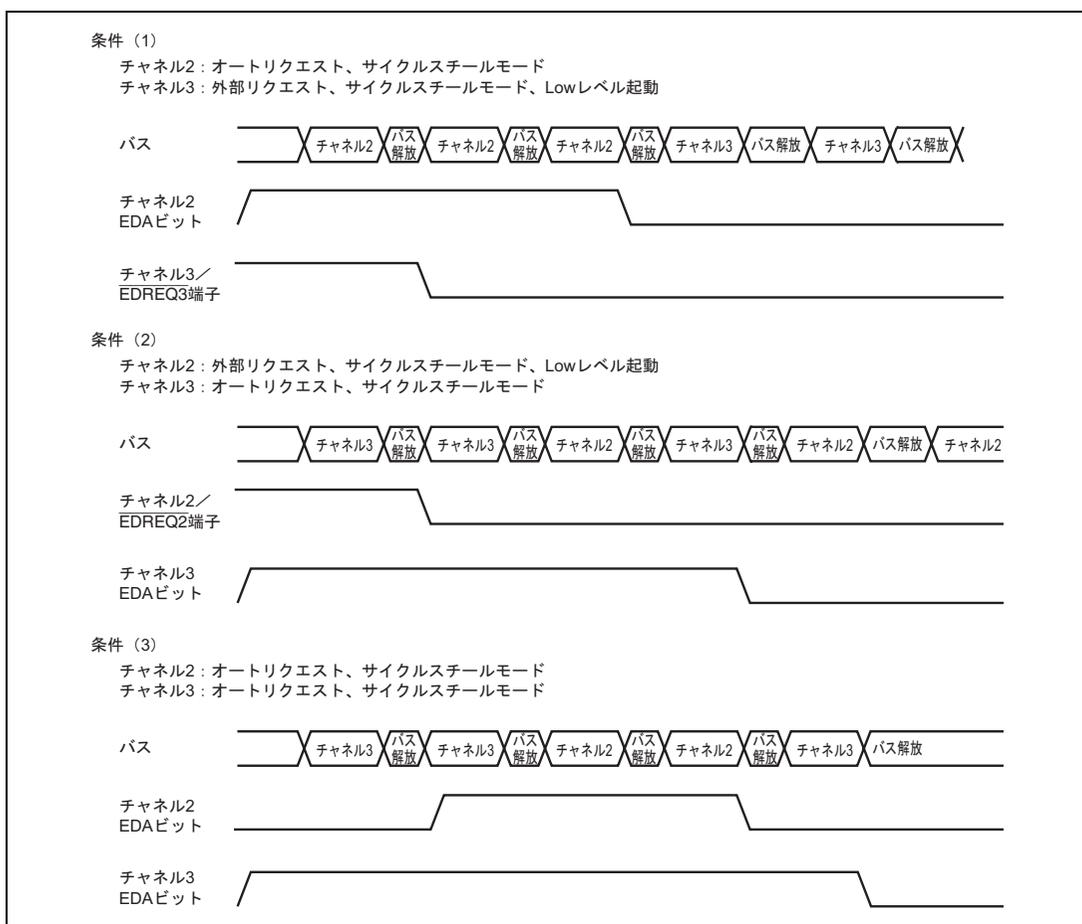


図 8.14 チャンネルの優先順位のタイミング例

8.4.9 EXDMAC 転送 (デュアルアドレスモード) のバスサイクル

(1) ノーマル転送モード (サイクルスチールモード)

図 8.15 に $\overline{\text{ETEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでノーマル転送モード (サイクルスチールモード) 転送を行った場合の転送例を示します。

1 バイトまたは 1 ワードのデータ転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU、DMAC または DTC によるバスサイクルが 1 回以上入ります。

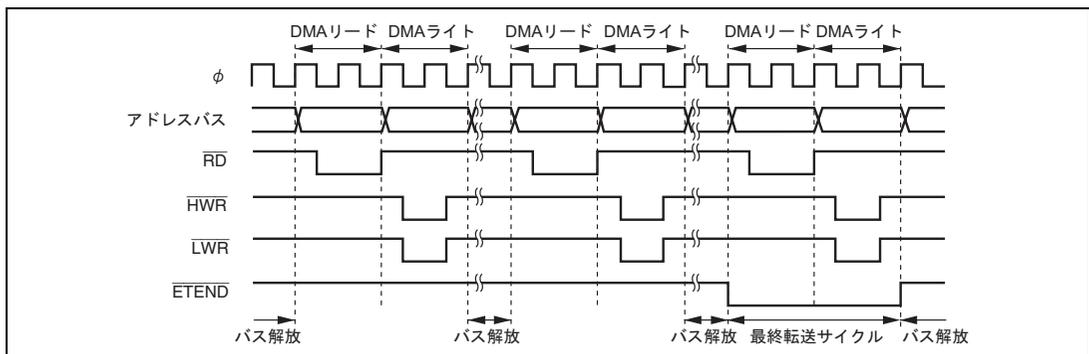


図 8.15 ノーマル転送モード (サイクルスチールモード) 転送例

(2) ノーマル転送モード (バーストモード)

図 8.16 に $\overline{\text{ETEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでノーマル転送モード (バーストモード) 転送を行った場合の転送例を示します。

バーストモードでは、1 バイトまたは 1 ワードの転送を転送が終了するまで継続して実行します。

バースト転送が始まると、他の優先順位の高いチャネルの要求が発生しても、バースト転送が終了するまで待たされます。

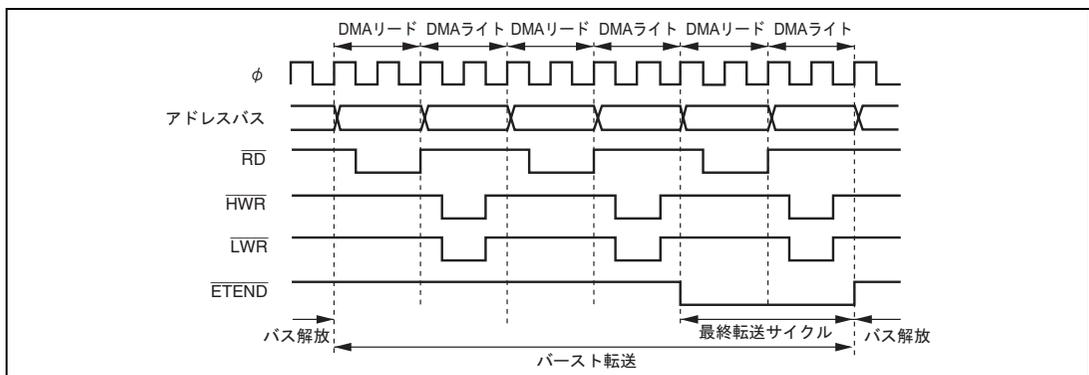


図 8.16 ノーマル転送モード (バーストモード) 転送例

8. EXDMA コントローラ (EXDMAC)

バースト転送に設定されたチャンネルが転送許可状態のときに NMI が発生すると、EDA ビットがクリアされ、転送禁止状態になります。すでにバースト転送が EXDMAC 内部で起動されている場合は、転送中の 1 バイトまたは 1 ワードの転送を完了した時点でバスを解放し、バースト転送を中断します。すでにバースト転送の最終転送サイクルが EXDMAC 内部で起動されている場合は、EDA ビットがクリアされてもそのまま転送終了まで実行します。

(3) ブロック転送モード (サイクルスチールモード)

図 8.17 に $\overline{\text{ETEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へ、ワードサイズでブロック転送モード (サイクルスチールモード) 転送を行った場合の転送例を示します。

1 回の転送要求につき 1 ブロック分の転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU、DMAC または DTC によるバスサイクルが 1 回以上入ります。

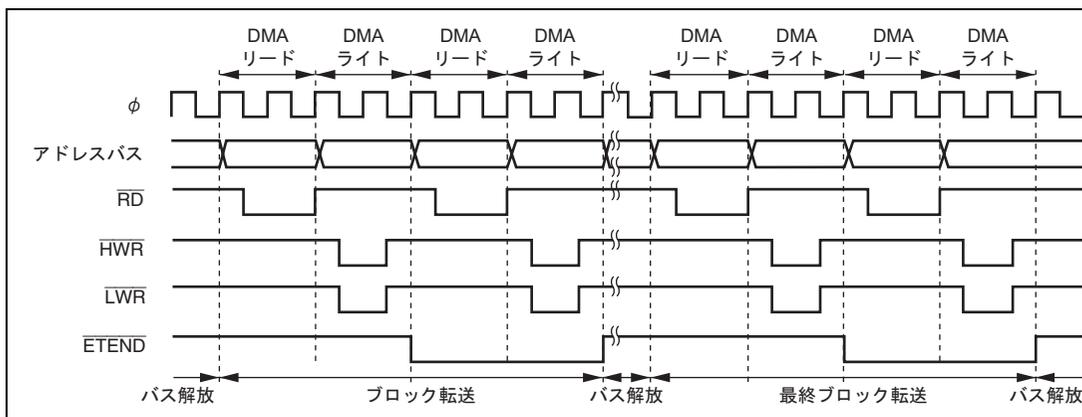


図 8.17 ブロック転送モード (サイクルスチールモード) 転送例

(4) $\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動タイミング

図 8.18 に $\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動のノーマルモード転送例を示します。

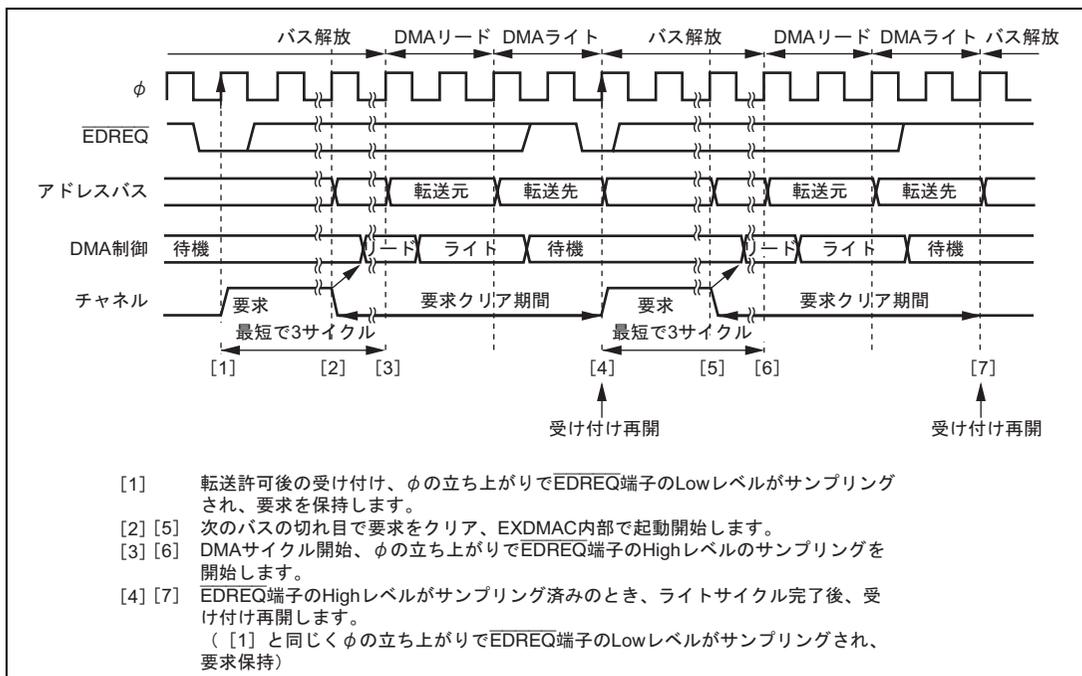


図 8.18 $\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動のノーマルモード転送例

$\overline{\text{EDREQ}}$ 端子のサンプリングは、転送許可状態にするための EDMDR ライトサイクル終了後の次の ϕ の立ち上がり

を起点に毎サイクル行われます。
 $\overline{\text{EDREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{EDREQ}}$ 端子の Low レベルがサンプリングされると、EXDMAC 内部で要求が保持されます。次に、EXDMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための $\overline{\text{EDREQ}}$ 端子の High レベルのサンプリングが開始されます。DMA ライトサイクル終了までに $\overline{\text{EDREQ}}$ 端子の High レベルのサンプリングが済んでいれば、ライトサイクル終了後に受け付け再開となり、再び $\overline{\text{EDREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

8. EXDMA コントローラ (EXDMAC)

図 8.19 に $\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動のブロック転送モード転送例を示します。

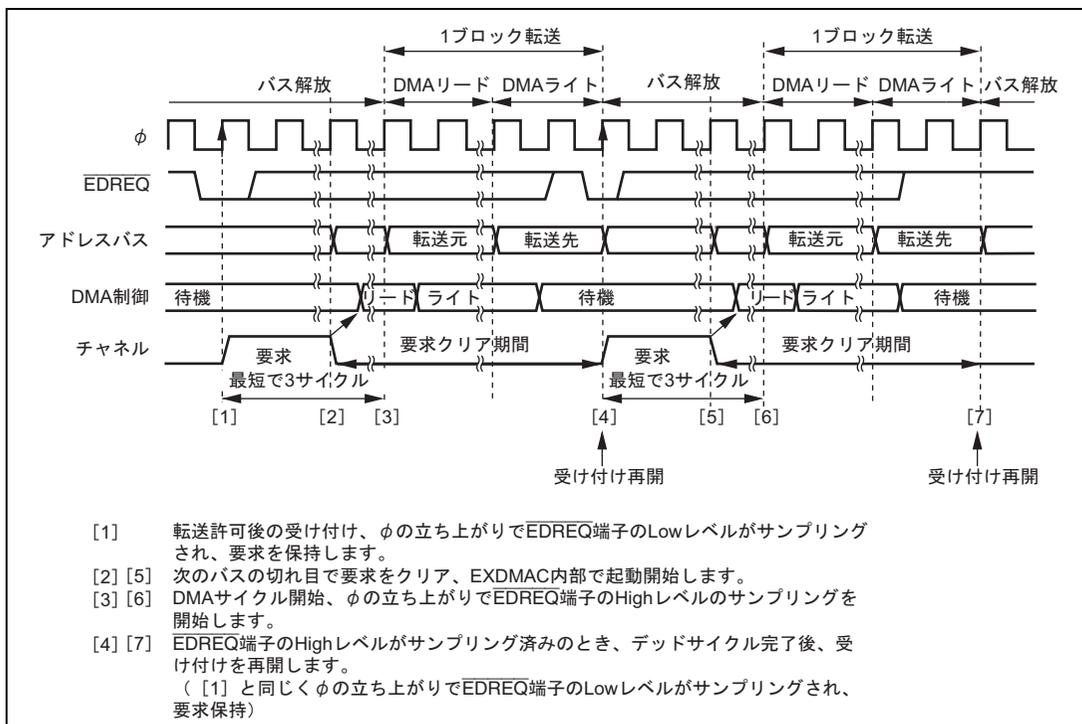


図 8.19 $\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動のブロック転送モード転送例

$\overline{\text{EDREQ}}$ 端子のサンプリングは、転送許可状態にするための EDMDR ライトサイクル終了後の次の ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{EDREQ}}$ 端子の Low レベルがサンプリングされると、EXDMAC 内部で要求が保持されます。次に、EXDMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための $\overline{\text{EDREQ}}$ 端子の High レベルのサンプリングが開始されます。DMA ライトサイクル終了までに $\overline{\text{EDREQ}}$ 端子の High レベルのサンプリングが済んでいれば、ライトサイクル終了後に受け付け再開となり、再び $\overline{\text{EDREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

(5) $\overline{\text{EDREQ}}$ レベル起動タイミング

図 8.20 に $\overline{\text{EDREQ}}$ レベル起動のノーマルモード転送例を示します。

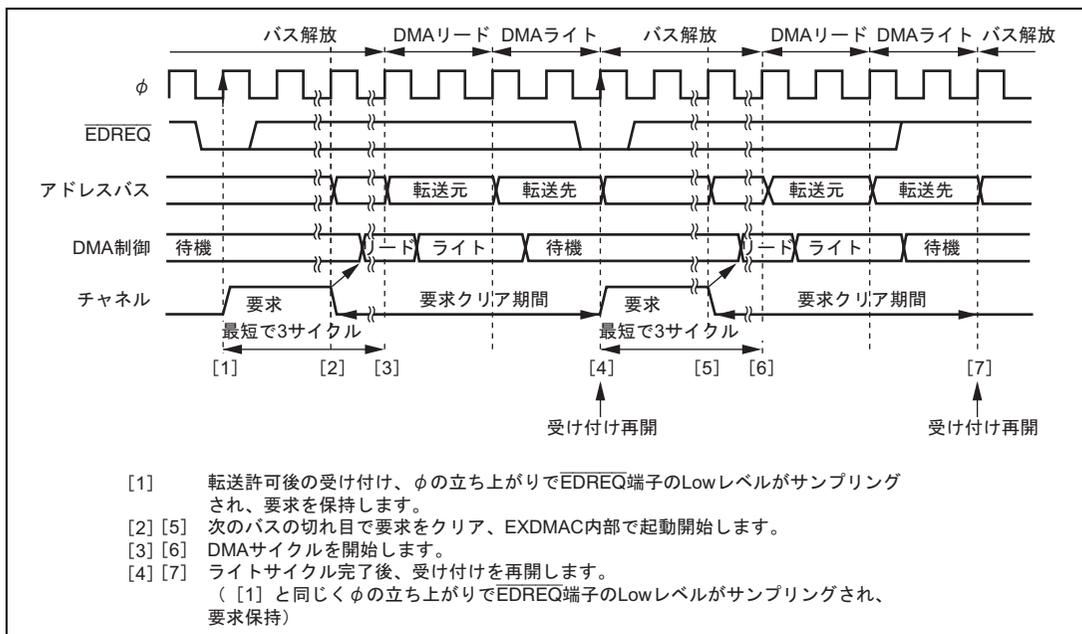


図 8.20 $\overline{\text{EDREQ}}$ レベル起動のノーマルモード転送例

$\overline{\text{EDREQ}}$ 端子のサンプリングは、転送許可状態にするための EDMDR ライトサイクル終了後の次の ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{EDREQ}}$ 端子の Low レベルがサンプリングされると、EXDMAC 内部で要求が保持されます。次に、EXDMAC 内部で起動がかかると要求はクリアされます。ライトサイクル終了後に受け付け再開となり、再び $\overline{\text{EDREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

8. EXDMA コントローラ (EXDMAC)

図 8.21 に $\overline{\text{EDREQ}}$ レベル起動のブロック転送モード転送例を示します。

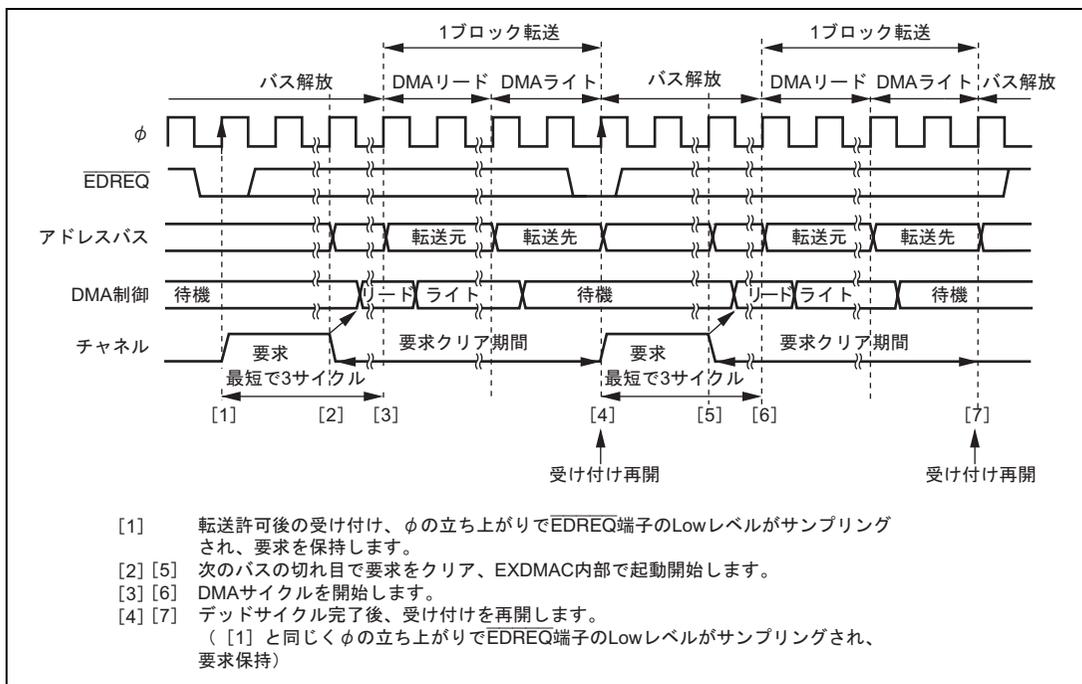


図 8.21 $\overline{\text{EDREQ}}$ レベル起動のブロック転送モード転送例

$\overline{\text{EDREQ}}$ 端子のサンプリングは、転送許可状態にするための EDMDR ライトサイクル終了直後の ϕ の立ち上がり
を起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{EDREQ}}$ 端子の Low レベルがサンプリングされると、EXDMAC
内部で要求が保持されます。次に、EXDMAC 内部で起動がかかると要求はクリアされます。ライトサイクル終了
後に受け付け再開となり、再び $\overline{\text{EDREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返
します。

8.4.10 EXDMAC 転送 (シングルアドレスモード) のバスタイミング

(1) シングルアドレスモード (リード)

図 8.22 に $\overline{\text{ETEND}}$ 出力を許可して、外部 8 ビット 2 ステートアクセス空間から外部デバイスへ、バイトサイズでシングルアドレスモード転送 (リード) を行った場合の転送例を示します。

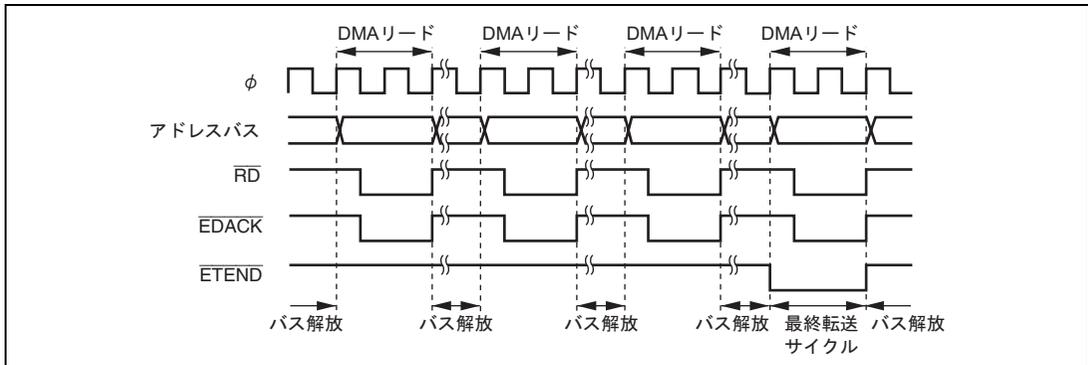


図 8.22 シングルアドレスモード (バイトリード) 転送例

図 8.23 に $\overline{\text{ETEND}}$ 出力を許可して、外部 8 ビット 2 ステートアクセス空間から外部デバイスへ、ワードサイズでシングルアドレスモード転送 (リード) を行った場合の転送例を示します。

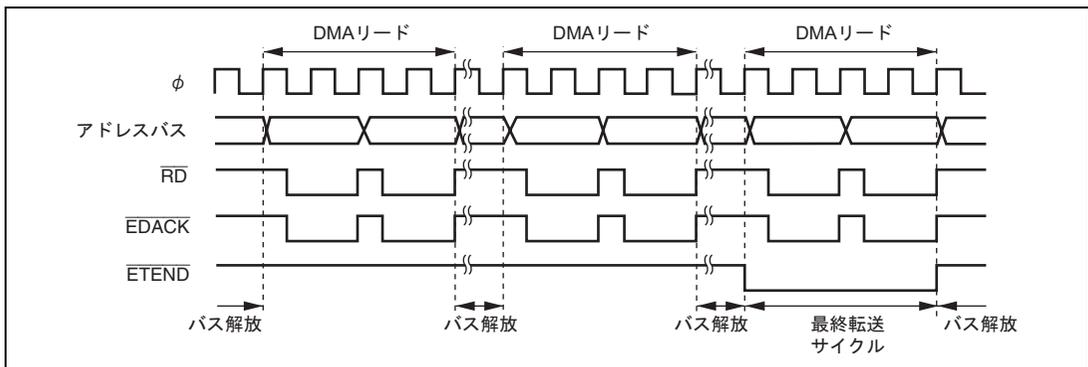


図 8.23 シングルアドレスモード (ワードリード) 転送例

1 回の転送要求につき 1 バイトまたは 1 ワードの転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU、DMAC または DTC によるバスサイクルが 1 回以上入ります。

8. EXDMA コントローラ (EXDMAC)

(2) シングルアドレスモード (ライト)

図 8.24 に $\overline{\text{ETEND}}$ 出力を許可して、外部デバイスから外部 8 ビット 2 ステートアクセス空間へ、バイトサイズでシングルアドレスモード転送 (ライト) を行った場合の転送例を示します。

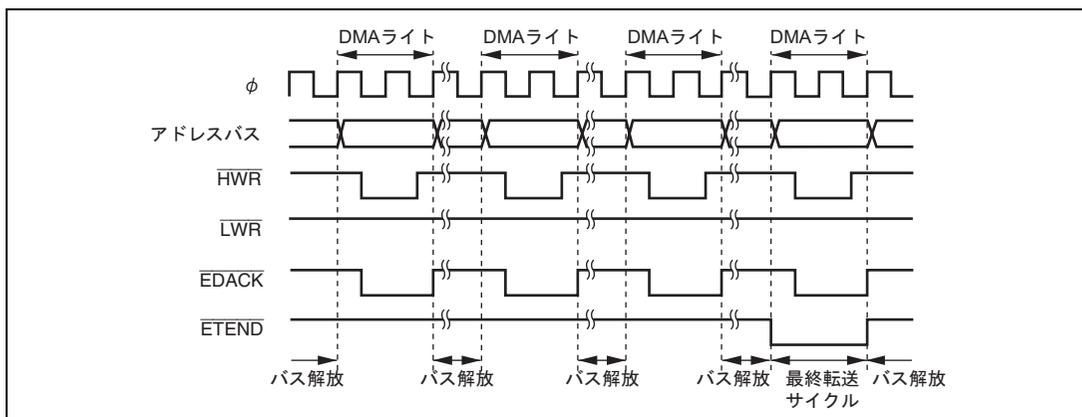


図 8.24 シングルアドレスモード (バイトライト) 転送例

図 8.25 に $\overline{\text{ETEND}}$ 出力を許可して、外部デバイスから外部 8 ビット 2 ステートアクセス空間へ、ワードサイズでシングルアドレスモード転送 (ライト) を行った場合の転送例を示します。

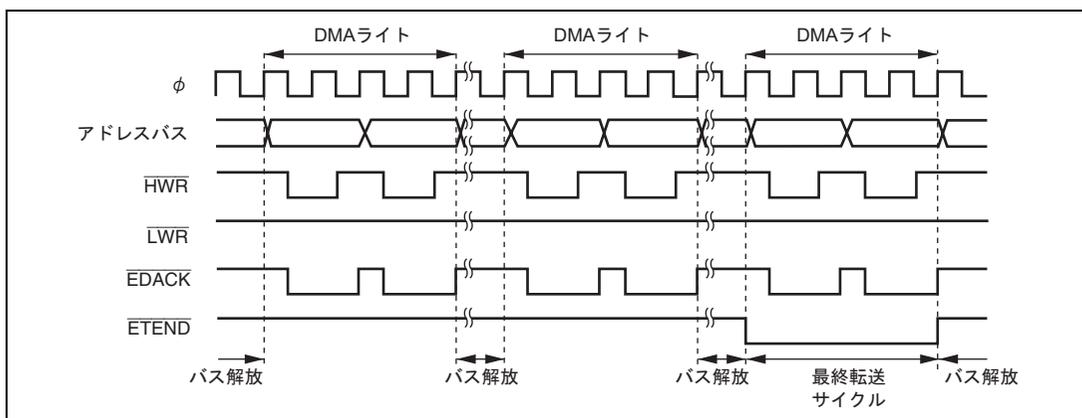


図 8.25 シングルアドレスモード (ワードライト) 転送例

1 回の転送要求につき 1 バイトまたは 1 ワードの転送を行い、転送後にいったんバスを解放します。バス解放期間中は CPU、DMAC または DTC によるバスサイクルが 1 回以上入ります。

(3) $\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動タイミング

図 8.26 に $\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動のシングルアドレスモード転送例を示します。

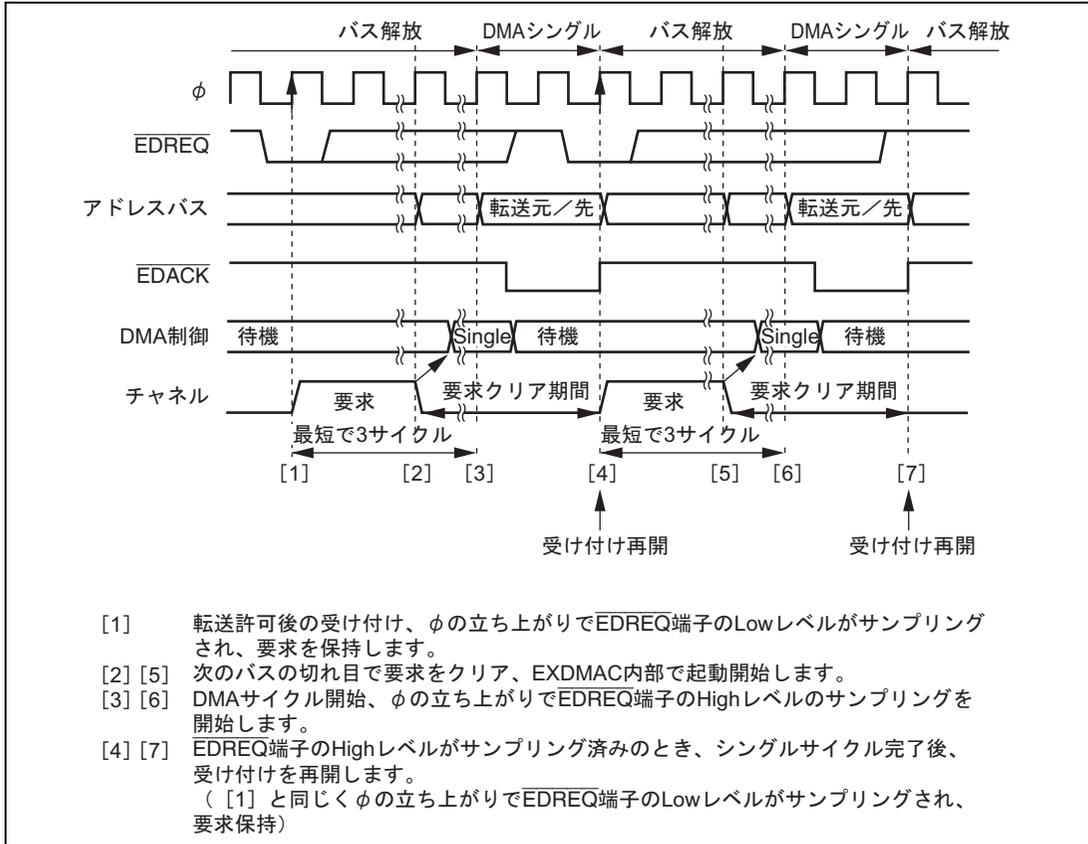


図 8.26 $\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動のシングルアドレスモード転送例

$\overline{\text{EDREQ}}$ 端子のサンプリングは、転送許可状態にするための EDMDR ライトサイクル終了直後の ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{EDREQ}}$ 端子の Low レベルがサンプリングされると、EXDMAC 内部で要求が保持されます。次に、EXDMAC 内部で起動がかかると要求はクリアされ、エッジ検出のための $\overline{\text{EDREQ}}$ 端子の High レベルのサンプリングが開始されます。DMA シングルサイクル終了までに $\overline{\text{EDREQ}}$ 端子の High レベルのサンプリングが済んでいれば、シングルサイクル終了後に受け付け再開となり、再び $\overline{\text{EDREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り返します。

8. EXDMA コントローラ (EXDMAC)

(4) $\overline{\text{EDREQ}}$ 端子 Low レベル起動タイミング

図 8.27 に $\overline{\text{EDREQ}}$ 端子 Low レベル起動のシングルアドレスモード転送例を示します。

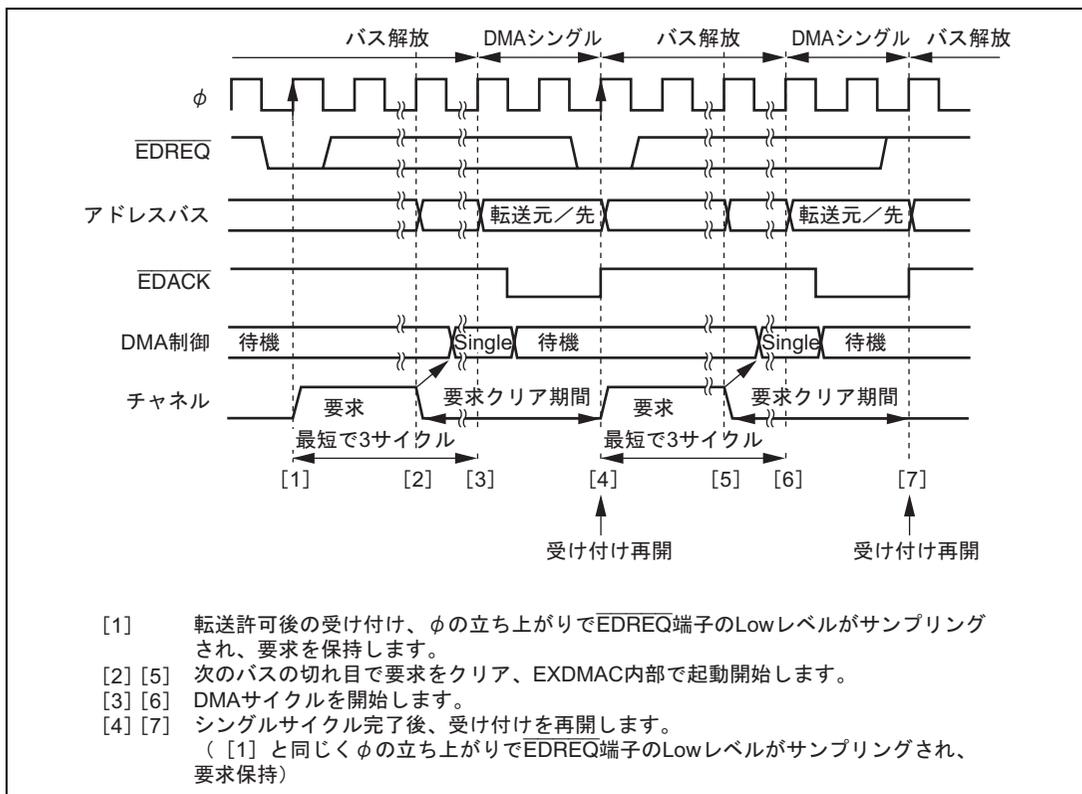


図 8.27 $\overline{\text{EDREQ}}$ 端子 Low レベル起動のシングルアドレスモード転送例

$\overline{\text{EDREQ}}$ 端子のサンプリングは、転送許可状態にするための EDMDR ライトサイクル終了直後の ϕ の立ち上がり
を起点に毎サイクル行われます。

$\overline{\text{EDREQ}}$ 端子による受け付けが可能な状態で、 $\overline{\text{EDREQ}}$ 端子の Low レベルがサンプリングされると、EXDMAC
内部で要求が保持されます。次に、EXDMAC 内部で起動がかかると要求はクリアされます。シングルサイクル終
了後に受け付け再開となり、再び $\overline{\text{EDREQ}}$ 端子の Low レベルをサンプリングして、転送終了までこの動作を繰り
返します。

8.4.11 各モードの動作タイミング

(1) オートリクエスト/サイクルスチールモード/ノーマル転送モード

EDMDR の EDA ビットを 1 セットすると、最短 3 サイクル後から EXDMA 転送サイクルを開始します。1 転送単位の EXDMA サイクルの終了から次の転送開始までにバス解放期間が 1 サイクル発生します。

優先順位の高い他のチャンネルに転送要求がある場合は、当該チャンネルの転送要求は一時保留され、次の転送から他のチャンネルの転送を行います。他のチャンネルの転送が終了すると、当該チャンネルの転送を再開します。

図 8.28 ~ 図 8.30 に各条件の動作タイミング例を示します。

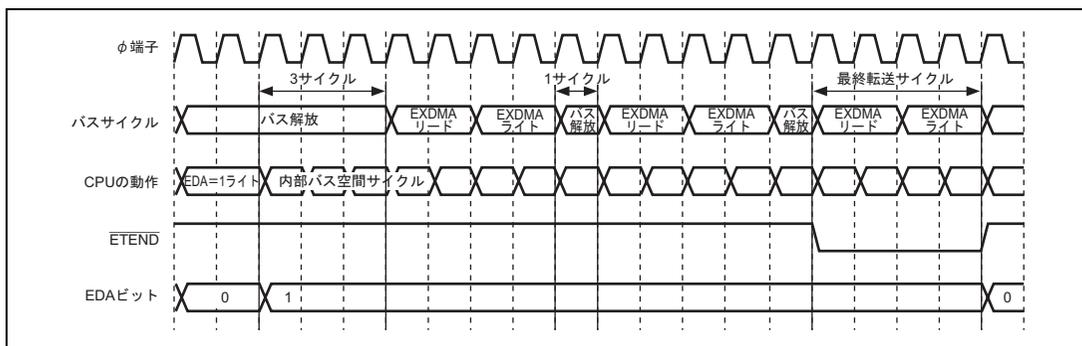


図 8.28 オートリクエスト/サイクルスチールモード/ノーマル転送モード
(競合がない場合/デュアルアドレスモード)

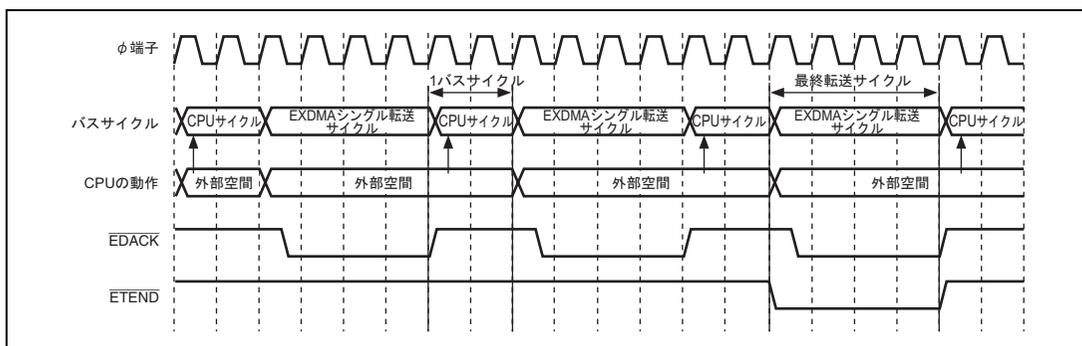


図 8.29 オートリクエスト/サイクルスチールモード/ノーマル転送モード
(CPU サイクルあり/シングルアドレスモード)

8. EXDMA コントローラ (EXDMAC)

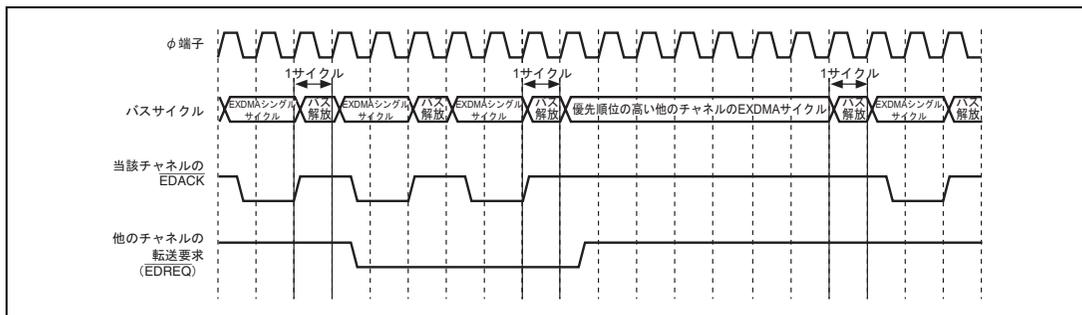


図 8.30 オートリクエスト/サイクルスチールモード/ノーマル転送モード
(他のチャネルと競合する場合/シングルアドレスモード)

(2) オートリクエスト/バーストモード/ノーマル転送モード

EDMDR の EDA ビットを 1 セットすると、最短 3 サイクル後から EXDMA 転送サイクルを開始します。一度転送を開始すると転送終了条件が満たされるまで連続 (バースト) して転送します。

EDMDR の BGUP ビット = 1 の場合は、他のバスマスタからのバス権要求があったときにバス権を譲ります。

他のチャネルの転送要求は、当該チャネルの転送が終了するまで保留されます。

図 8.31 ~ 図 8.34 に各条件の動作タイミング例を示します。

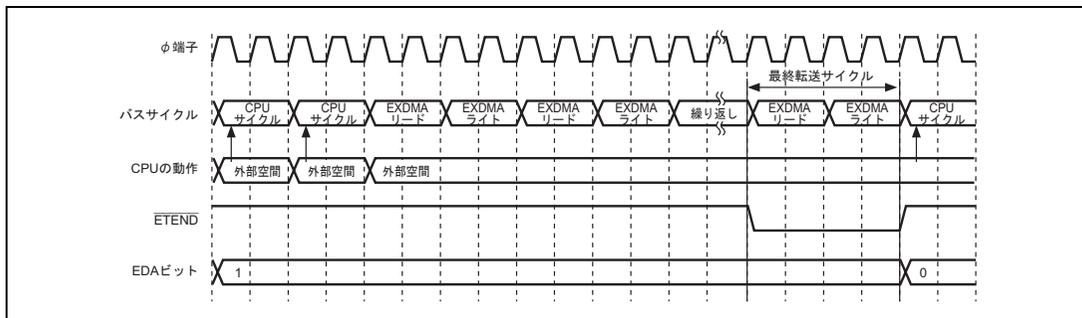


図 8.31 オートリクエスト/バーストモード/ノーマル転送モード
(CPU サイクルあり/デュアルアドレスモード/BGUP = 0)

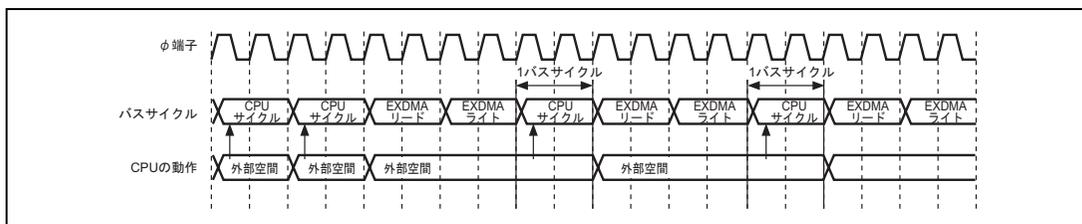


図 8.32 オートリクエスト/バーストモード/ノーマル転送モード
(CPU サイクルあり/デュアルアドレスモード/BGUP = 1)

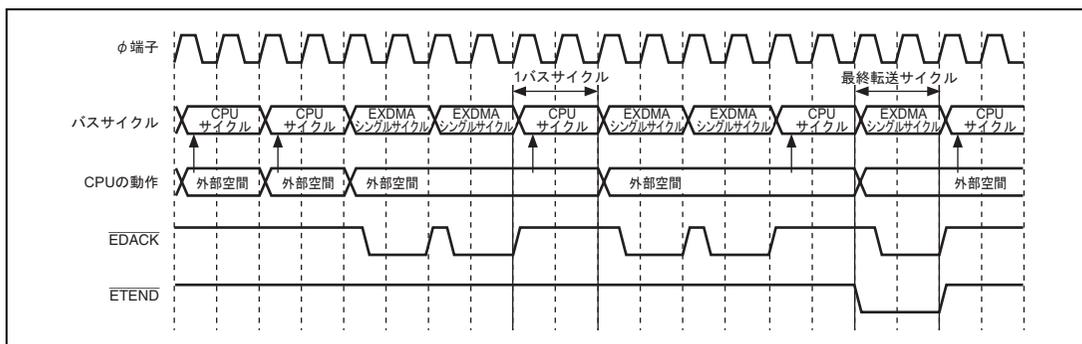


図 8.33 オートリクエスト/バーストモード/ノーマル転送モード
(CPU サイクルあり/シングルアドレスモード/BGUP = 1)

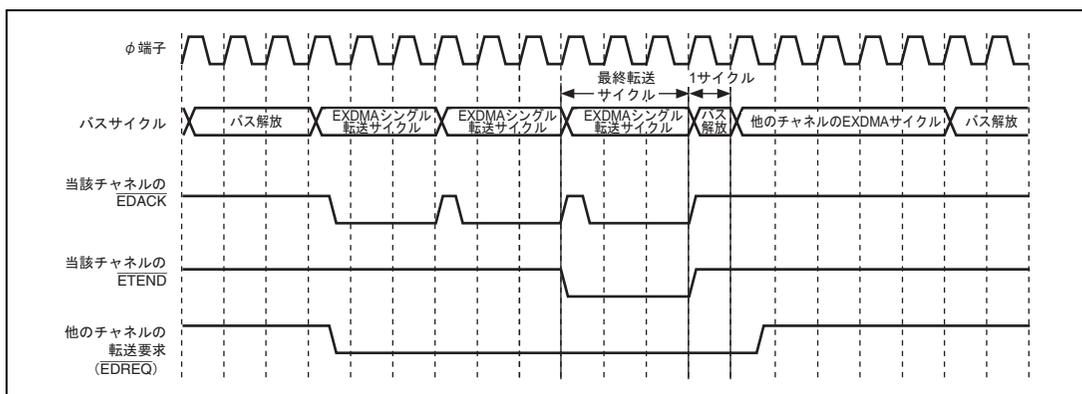


図 8.34 オートリクエスト/バーストモード/ノーマル転送モード
(他のチャンネルと競合する場合/シングルアドレスモード)

(3) 外部リクエスト/サイクルスチールモード/ノーマル転送モード

外部リクエストモードでは、転送要求を受け付けてから最短 3 サイクル後に EXDMA 転送サイクルを開始します。次の転送要求の受け付けは 1 転送単位の EXDMA サイクルの終了からです。外部バス空間での CPU サイクルは、次の EXDMA サイクルの間に最短 2 バスサイクル発生します。

他のチャンネルに転送要求が発生すると、次の EXDMA サイクルの前に他のチャンネルの EXDMA サイクルが発生します。

$\overline{\text{EDREQ}}$ 端子の Low レベル検出と立ち下がりエッジ検出では、検出タイミングが異なります。転送要求受け付け・転送開始タイミングについては共通です。

図 8.35 ~ 図 8.38 に各条件の動作タイミング例を示します。

8. EXDMA コントローラ (EXDMAC)

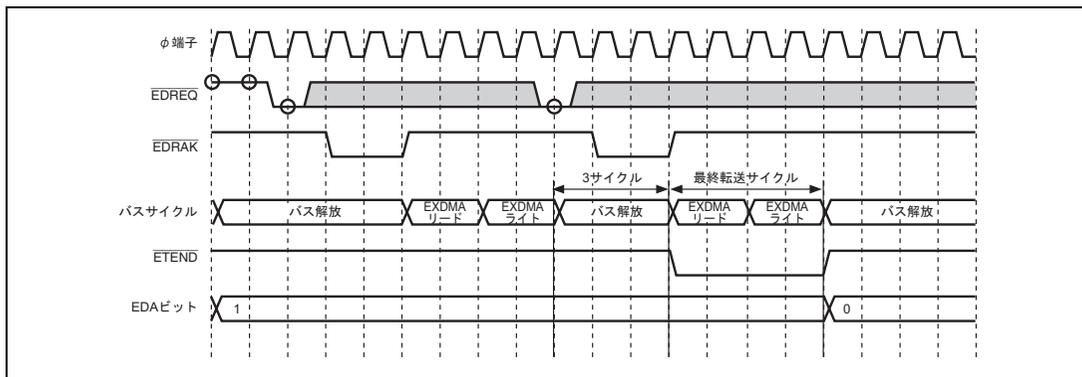


図 8.35 外部リクエスト/サイクルスチールモード/ノーマル転送モード
(競合がない場合/デュアルアドレスモード/Low レベル検出)

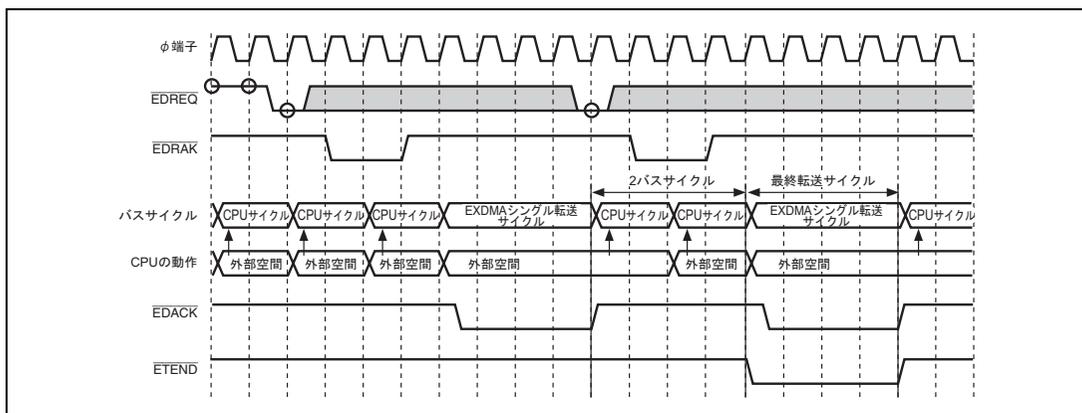


図 8.36 外部リクエスト/サイクルスチールモード/ノーマル転送モード
(CPU サイクルあり/シングルアドレスモード/Low レベル検出)

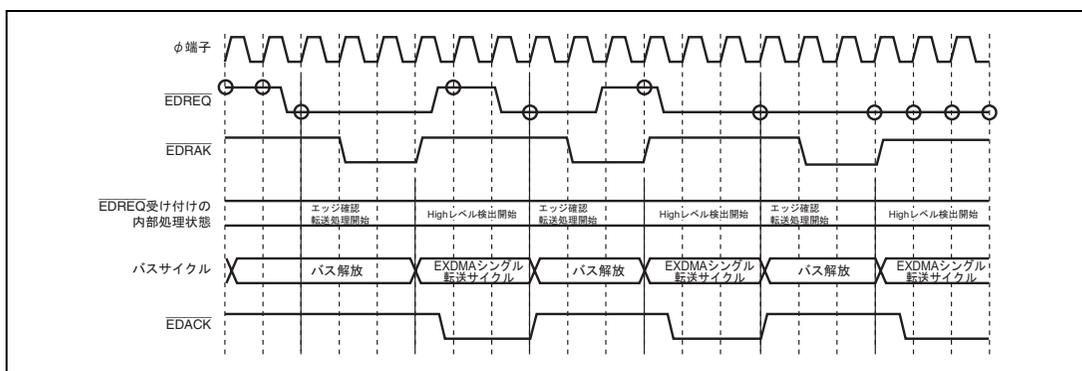


図 8.37 外部リクエスト/サイクルスチールモード/ノーマル転送モード
(競合がない場合/シングルアドレスモード/立ち下がりエッジ検出)

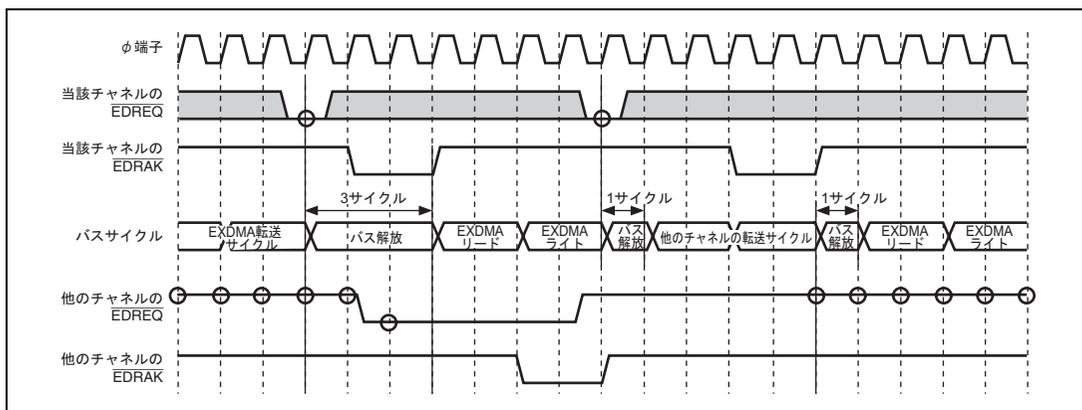


図 8.38 外部リクエスト/サイクルスチールモード/ノーマル転送モード
(他のチャンネルと競合する場合/デュアルアドレスモード/Low レベル検出)

(4) 外部リクエスト/サイクルスチールモード/ブロック転送モード

ブロック転送モードでは、1 ブロック分の転送はバーストモードと同様に連続転送します。次のブロック転送の開始タイミングは通常の転送モードと同様です。

他のチャンネルに転送要求が発生すると、次のブロック転送の前に他のチャンネルの EXDMA サイクルが発生します。

$\overline{\text{EDREQ}}$ 端子の Low レベル検出と立ち下がりエッジ検出では、検出タイミングが異なります。転送要求受け付け・転送開始タイミングについては共通です。

図 8.39 ~ 図 8.44 に各条件の動作タイミング例を示します。

8. EXDMA コントローラ (EXDMAC)

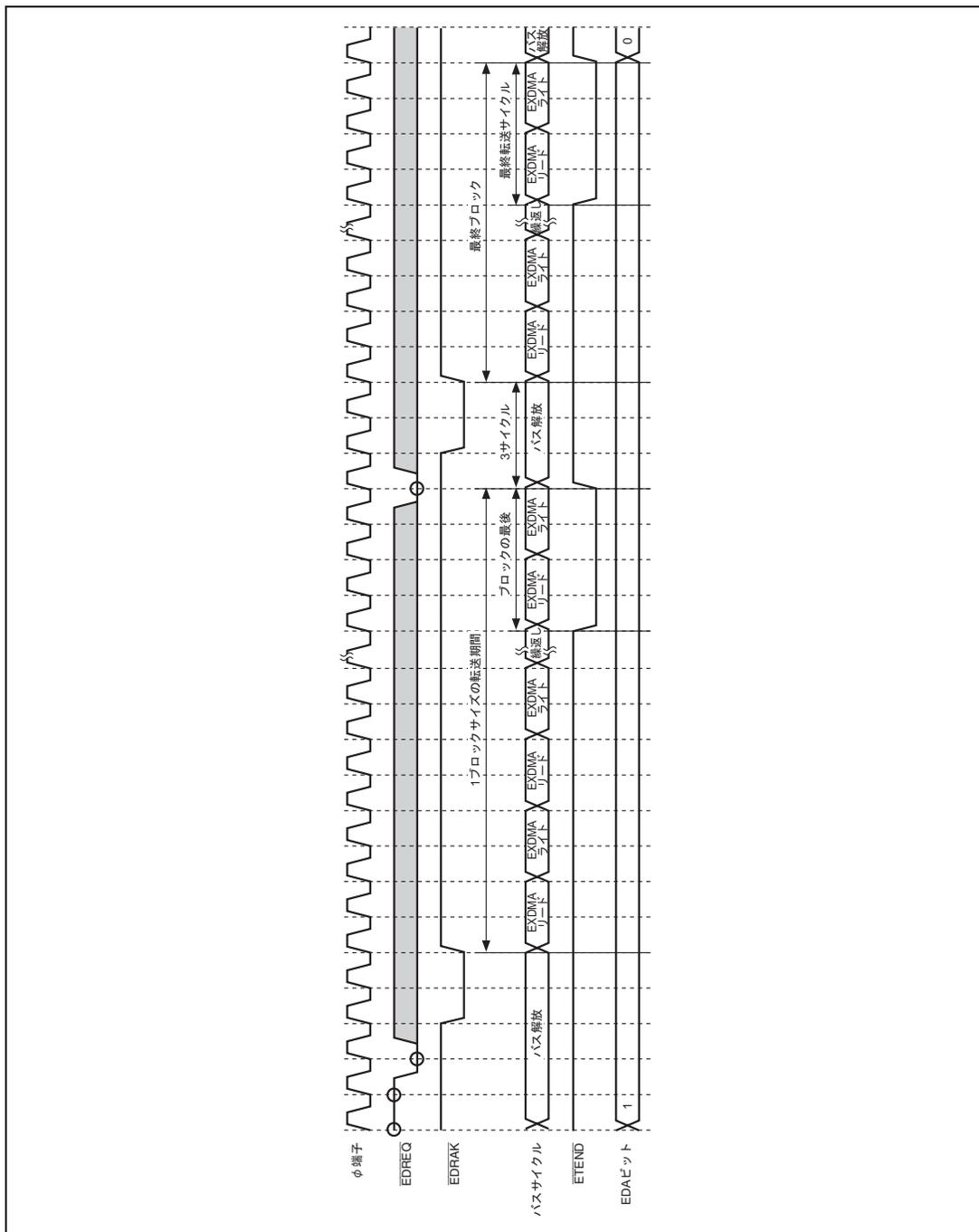


図 8.39 外部リクエスト/サイクルスチールモード/ブロック転送モード
(競合がない場合/デュアルアドレスモード/Low レベル検出/BGUP = 0)

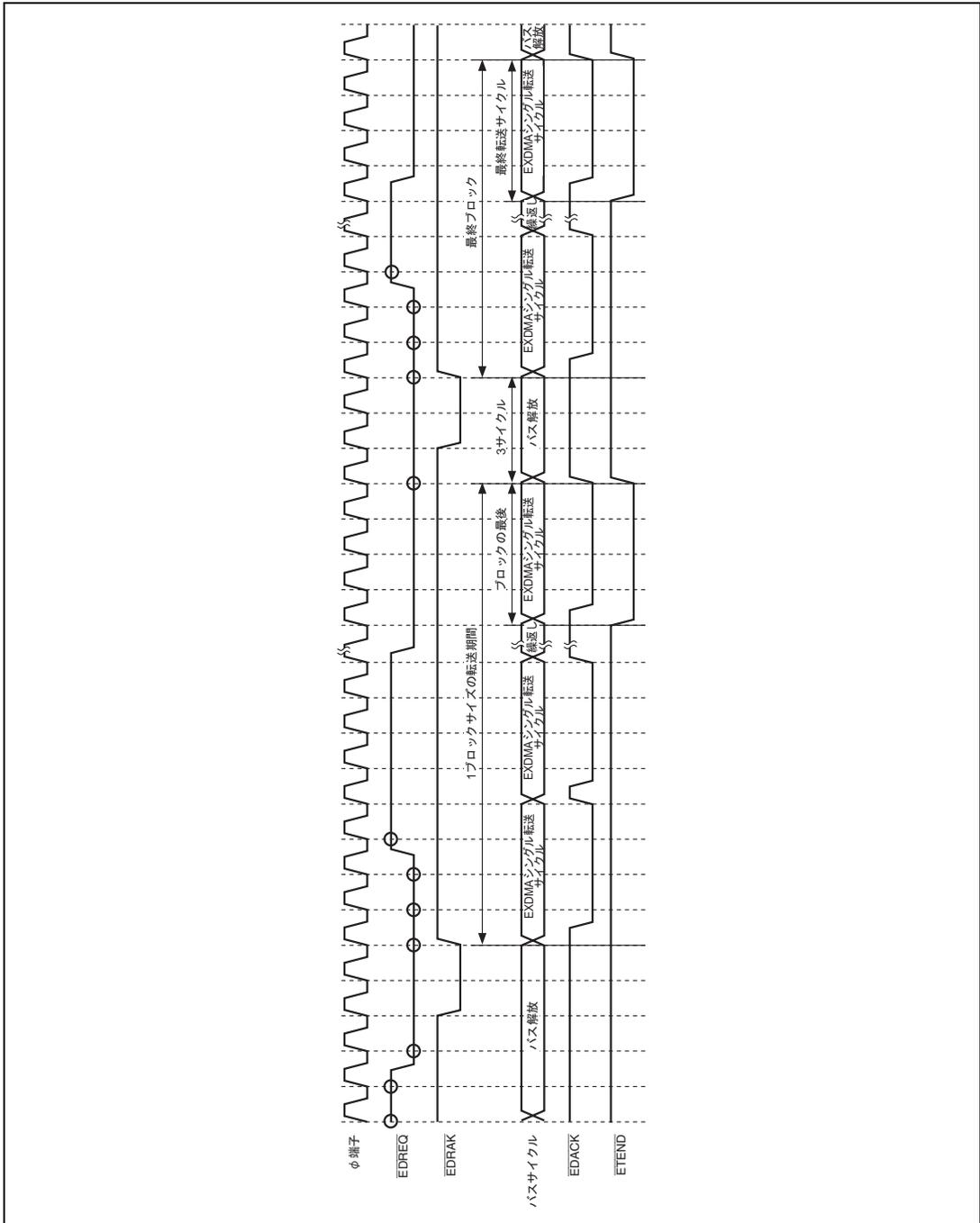


図 8.40 外部リクエスト/サイクルスチールモード/ブロック転送モード
(競合がない場合/シングルアドレスモード/立ち下がりエッジ検出/BGUP = 0)

8. EXDMA コントローラ (EXDMAC)

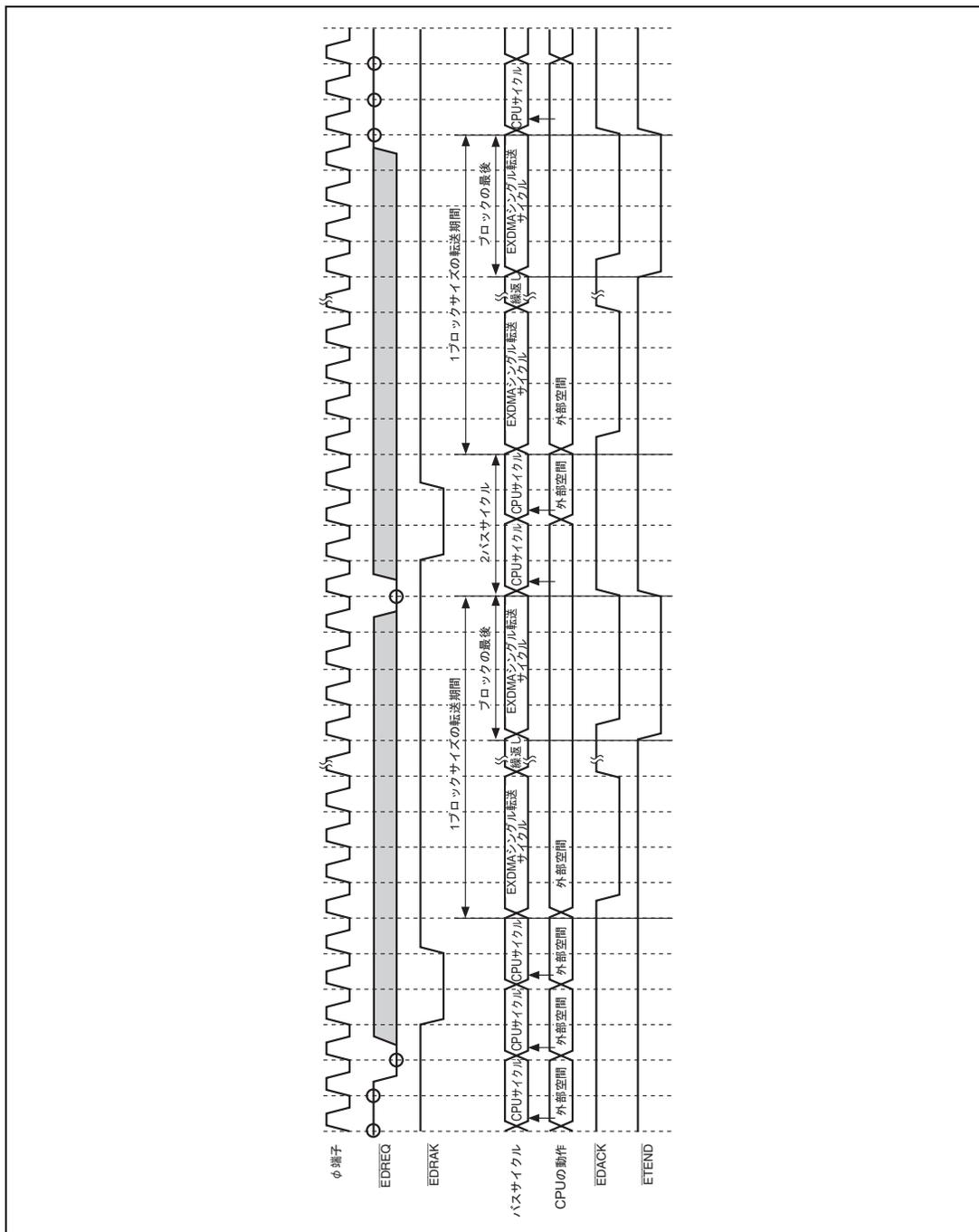


図 8.41 外部リクエスト/サイクルスチールモード/ブロック転送モード
(CPU サイクルあり/シングルアドレスモード/Low レベル検出/BGUP = 0)

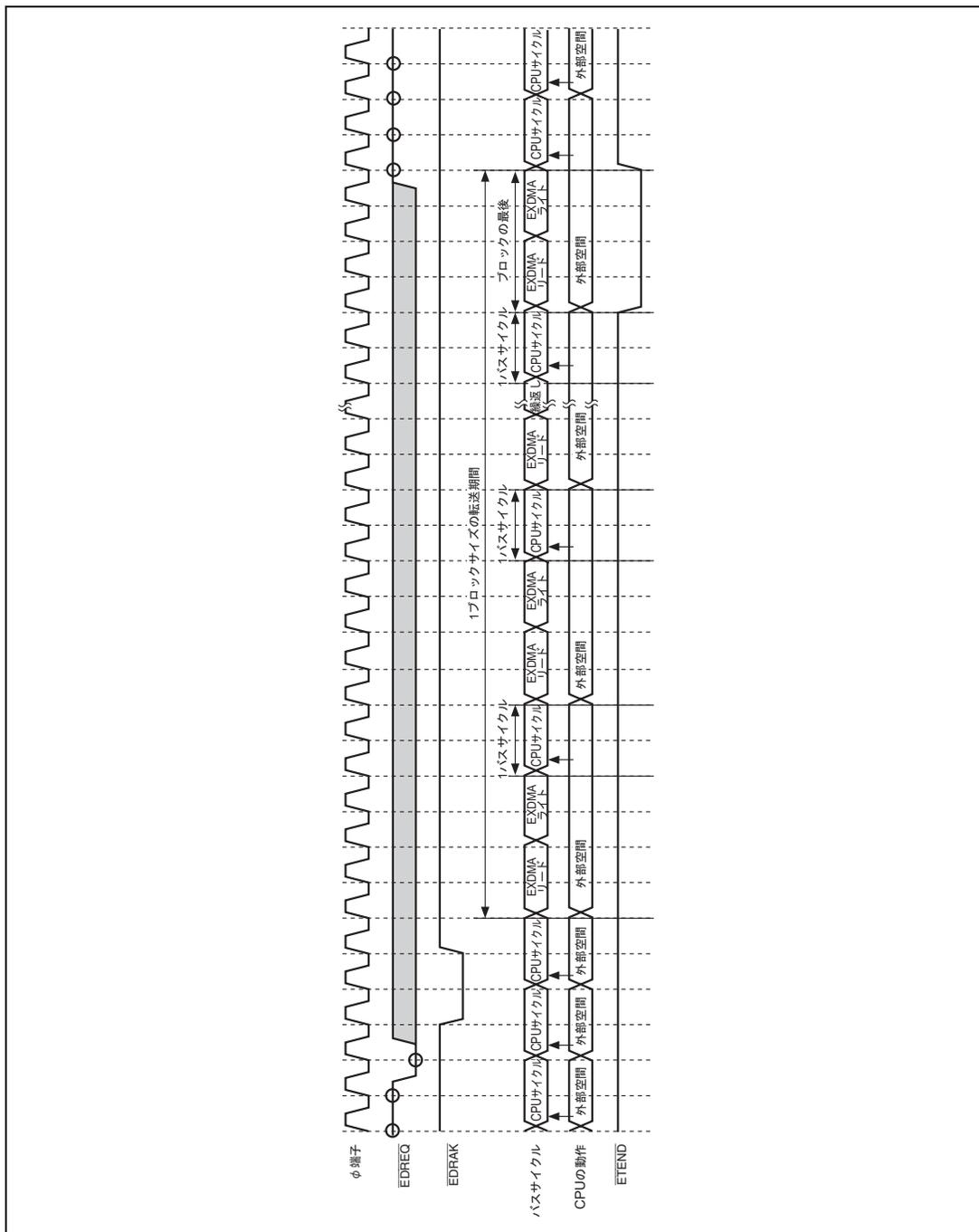


図 8.42 外部リクエスト/サイクルスチールモード/ブロック転送モード
(CPU サイクルあり/デュアルアドレスモード/Low レベル検出/BGUP = 1)

8. EXDMA コントローラ (EXDMAC)

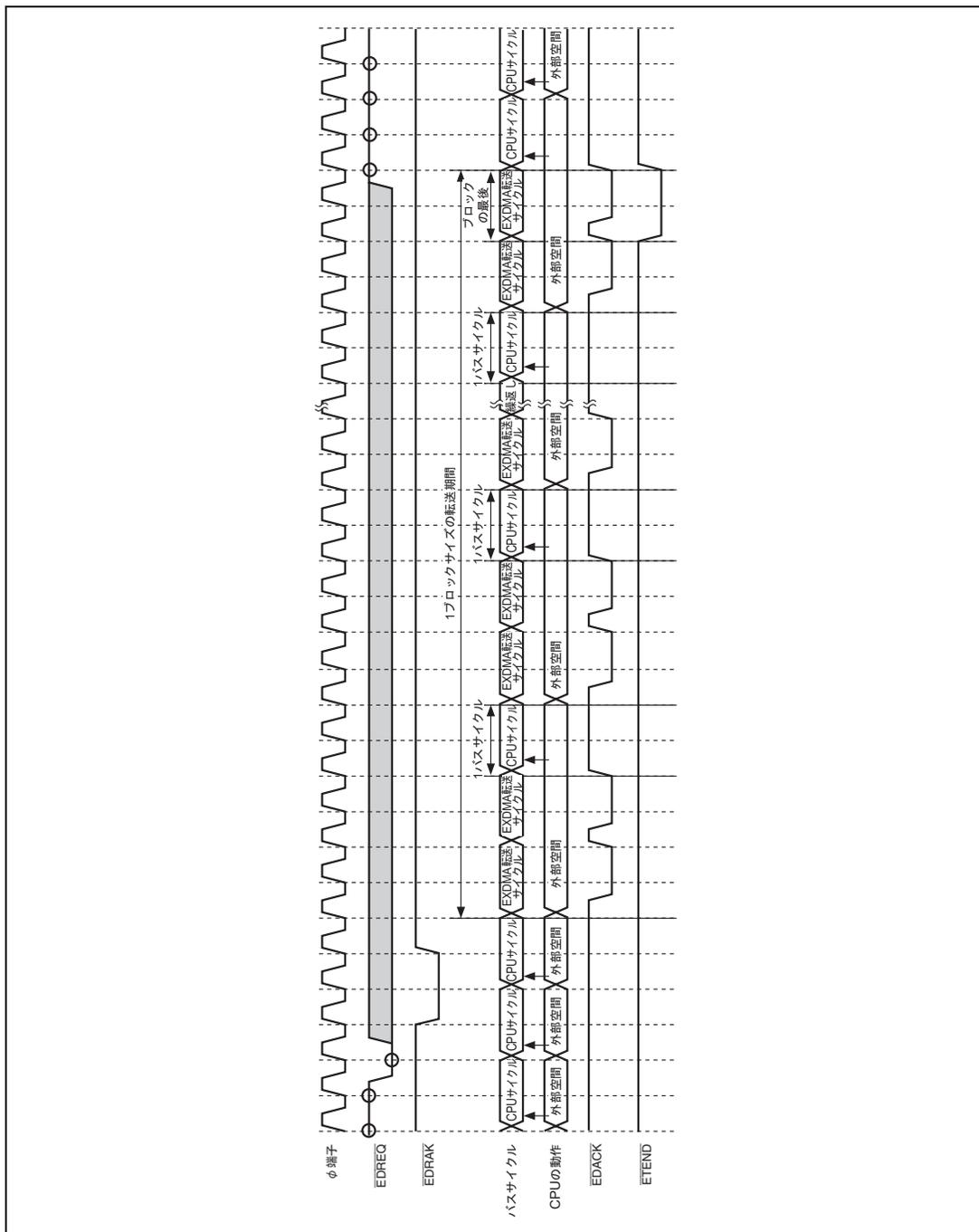


図 8.43 外部リクエスト/サイクルスチールモード/ブロック転送モード
(CPU サイクルあり/シングルアドレスモード/Low レベル検出/BGUP = 1)

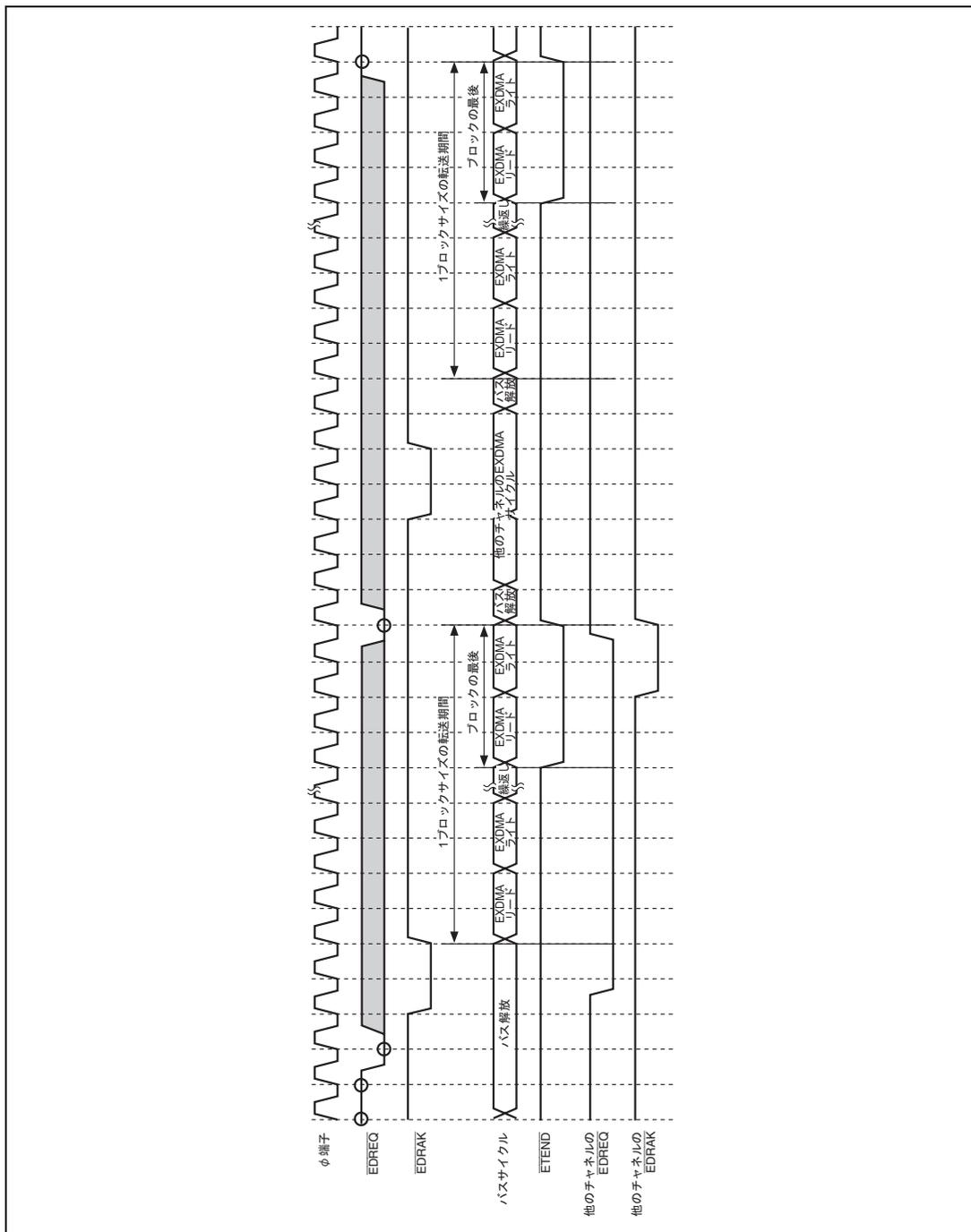


図 8.44 外部リクエスト/サイクルスチールモード/ブロック転送モード
(他のチャネルと競合する場合/デュアルアドレスモード/Low レベル検出)

8.4.12 DMA 転送終了

DMA 転送終了は転送終了条件によって動作が異なります。DMA 転送が終了すると、EDMDR の EDA ビットが 1 から 0 になり DMA 転送が終了したことを示します。

(1) EDTCR=1 0 による転送終了

EDTCR の値が 1 から 0 になると、対応するチャンネルの DMA 転送が終了し、EDMDR の EDA ビットが 0 にクリアされます。このとき EDMDR の TCEIE ビットがセットされていると、転送カウンタによる転送終了割り込み要求が発生し、EDMDR の IRF ビットが 1 セットされます。

ブロック転送モードの場合は、EDTCR の 15~0 ビットの値が 1 から 0 になると DMA 転送が終了します。

EDTCR の値が転送前から 0 の場合は、DMA 転送は終了しません。

(2) リpeatエリアオーバーフロー割り込みによる転送終了

リピートエリアを指定し、リピートインタラプトイネーブル(EDACR の SARIE ビット、または DARIE ビット)をセットしている状態で、アドレスがリピートエリアオーバーフローした場合、リピートエリアオーバーフロー割り込み要求が発生します。このとき DMA 転送は終了し、EDMDR の EDA ビットが 0 にクリアされ、EDMDR の IRF ビットが 1 セットされます。

デュアルアドレスモードの場合、リードサイクル中にリピートエリアオーバーフロー割り込み要求が発生しても、続くライトサイクル処理は実行されます。

ブロック転送モードの場合は、1 ブロック分の転送中にリピートエリアオーバーフロー割り込み要求が発生しても、1 ブロック分の転送は実行されます。リピートエリアオーバーフロー割り込みによる転送終了はブロックサイズの区切りで発生します。

(3) EDMDR の EDA ビットに 0 ライトすることによる転送終了

CPU によって EDMDR の EDA ビットを 0 ライトすると、転送中の DMA サイクルおよび、転送要求を受け付けた DMA サイクルまでが実行され、転送終了になります。

ブロック転送モードの場合、1 ブロックサイズの転送が終了してから DMA 転送は停止します。

EDMDR の EDA ビットの値が 0 にクリアされるタイミングは転送の処理がすべて終了してからになります。それまでは EDMDR の EDA ビットの値は 1 が読み出されます。

(4) NMI 割り込みによる強制終了

NMI 割り込みが発生すると、DMA 転送は強制終了します。すべてのチャンネルの EDA ビットは 0 にクリアされます。外部リクエストの場合、EDRAK が出力された転送要求の分まで DMA 転送を行います。デュアルアドレスモードの場合、リードサイクルに続くライトサイクル処理は実行されます。

ブロック転送モードの場合、1 ブロックサイズの転送中でも強制終了します。このとき 1 ブロックサイズの途中で転送を中止するので、EDMDR の BEF ビットに 1 セットして、ブロック転送が正常に行われなかったことを示します。

強制終了したとき、レジスタの値は保持され、アドレスレジスタは次の転送アドレスを示しているため、EDMDR の EDA ビットに 1 をセットすれば転送を再開することができます。EDMDR の BEF=1 になっていると、1 ブロックサイズの途中から再開することになります。

(5) ハードウェアスタンバイモード、リセット入力

ハードウェアスタンバイモード、またはリセット入力により、EXDMAC は初期化されます。DMA 転送は保証されません。

8.4.13 EXDMAC と他のバスマスタ

DMA 転送サイクルのリードとライトの間は分割不可となっています。このため、DMA 転送サイクルのリードとライトの間にリフレッシュサイクル、外部バス解放サイクル、内部バスマスタ (CPU、DTC、DMAC) の外部空間アクセスサイクルは発生しません。

バースト転送またはブロック転送のように、リードサイクルとライトサイクルが連続する場合には、ライトサイクルの後に、リフレッシュおよび外部バス解放状態が挿入されることがあります。内部バスマスタは、EXDMAC より優先度が低いため、EXDMAC がバスを解放するまで内部バスマスタの外部空間アクセスは動作しません。

EXDMAC がバスを解放するタイミングには以下の場合があります。

1. サイクルスチールモードのDMA転送が行われたとき
2. 異なるチャンネルに切り替わる時
3. バースト転送モードで転送が終了したとき
4. ブロック転送の1ブロック転送が終了したとき
5. EDMDRのBGUPビットを1にセットしてバースト転送またはブロック転送を行っているとき (ただし、リードとライトの間は除きます)

8.5 割り込み要因

EXDMAC が発生する割り込み要因は転送カウンタによる転送終了、リピートエリアオーバーフロー割り込みです。表 8.4 に割り込み要因と優先度を示します。

表 8.4 割り込み要因と優先度

割り込み名称	割り込み要因	割り込み優先順位
EXDMTEND2	チャンネル2の転送カウンタによる転送終了による割り込み チャンネル2のソースアドレスリピートエリアオーバーフローによる割り込み チャンネル2のデスティネーションアドレスリピートエリアオーバーフローによる割り込み	高 ↑ ↓ 低
EXDMTEND3	チャンネル3の転送カウンタによる転送終了による割り込み チャンネル3のソースアドレスリピートエリアオーバーフローによる割り込み チャンネル3のデスティネーションアドレスリピートエリアオーバーフローによる割り込み	

各割り込み要因は、対応するチャンネルのEDMDRのEDIEビットにより、許可または禁止が設定されており、それぞれ独立に割り込みコントローラに送られます。チャンネル間の割り込みの優先順位は、割り込みコントローラによって決められており、表 8.4 に示すようになっています。

転送終了割り込みのブロック図を図 8.45 に示します。EDMDRのIRFビット=1の状態ではEDIEビットを1に設定すると、常に転送終了割り込みが発生します。

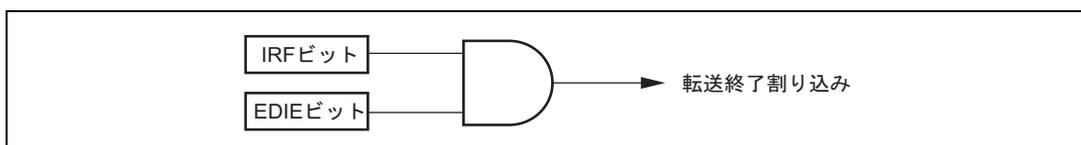


図 8.45 転送終了割り込みのブロック図

各割り込み要因は、対応するチャンネルのレジスタの割り込みイネーブルビットでおのこの設定します。転送カウンタによる転送終了割り込みはEDMDRのTCEIEビットにより、ソースアドレスレジスタリピートエリアオーバーフロー割り込みはEDACRのSARIEビットにより、デスティネーションアドレスレジスタリピートエリアオーバーフロー割り込みはEDACRのDARIEビットにより、許可または禁止を設定します。各割り込みの割り込みイネーブルビットを1セットした状態で、各割り込み要因が発生するとEDMDRのIRFビットが1にセットされます。各割り込み要因は区別せずに、IRFビットに反映します。

転送終了割り込みを解除するには、割り込み処理ルーチンにてEDMDRのIRFビットを0にクリアする方法と、転送カウンタ、アドレスレジスタを再設定後にEDMDRのEDAビットを1にセットして転送継続の処理を行う方法があります。転送終了割り込みを解除して、転送を再開する手順例を図 8.46 に示します。

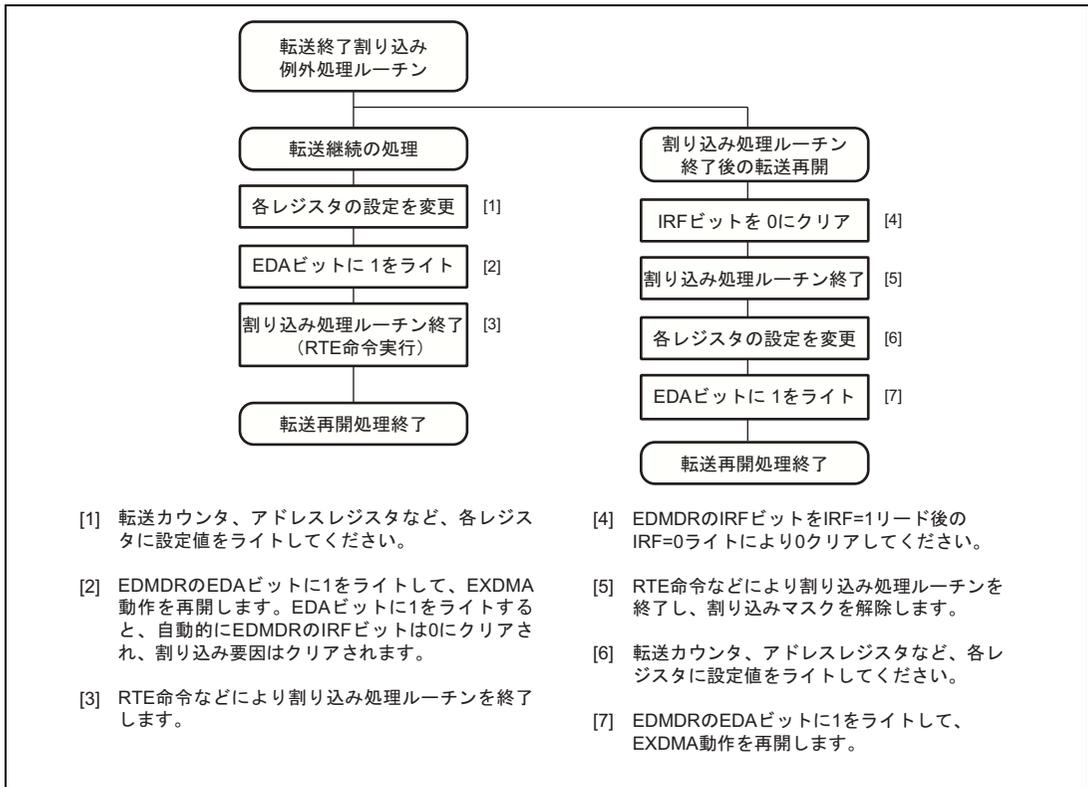


図 8.46 転送終了割り込みが発生したチャンネルの転送再開手順例

8.6 使用上の注意事項

(1) 動作中の EXDMAC のレジスタアクセス

EDMDR の EDA ビットを 0 にクリアする場合を除き、動作中（転送待ち状態を含む）のチャンネルの設定は、変更しないでください。動作中のチャンネルの設定を変更する場合は、必ず転送禁止状態で行ってください。

(2) モジュールストップ

MSTPCRH の MSTP14 ビットを 1 にセットすると、EXDMAC のクロックが停止し、EXDMAC はモジュールストップ状態となります。ただし、EXDMAC のいずれかのチャンネルが転送許可状態になっている場合と割り込み要求が発生中の場合は、MSTP14 ビットを 1 にライトできません。EDMDR の EDA ビットを 0 クリアした状態にし、EDMDR の IRF ビットまたは EDIE ビットを 0 クリアした状態にしてから MSTP14 ビットを設定してください。

EXDMAC のクロックが停止すると、EXDMAC のレジスタに対するアクセスができなくなります。以下の EXDMAC のレジスタの設定は、モジュールストップ状態でも有効ですので、必要に応じて、モジュールストップに先立って無効にしてください。

8. EXDMA コントローラ (EXDMAC)

- EDMDRのETENDE = 1 ($\overline{\text{ETEND}}$ 端子イネーブル)
- EDMDRのEDRAKE = 1 ($\overline{\text{EDRAK}}$ 端子イネーブル)
- EDMDRのAMS = 1 ($\overline{\text{EDACK}}$ 端子イネーブル)

(3) $\overline{\text{EDREQ}}$ 端子立ち下がりエッジ起動

$\overline{\text{EDREQ}}$ 端子の立ち下がりエッジの検出は、EXDMAC の内部動作に同期して行い次のようになります。

1. 起動要求待ち状態： $\overline{\text{EDREQ}}$ 端子のLowレベルの検出を待ち、2.に遷移します。
2. 転送待ち状態：EXDMACのデータ転送が可能になるのを待ち、3.に遷移します。
3. 起動要求禁止状態： $\overline{\text{EDREQ}}$ 端子のHighレベルの検出を待ち、1.に遷移します。

EXDMAC の転送許可後は、1.に遷移します。このため、転送許可後の最初の起動は Low レベル検出で行われま
す。

(4) 起動要因の受け付け

起動要因の受け付け開始時は、 $\overline{\text{EDREQ}}$ 端子の立ち下がりエッジセンス / Low レベルセンスとともに Low レベルを検出しています。したがって、転送許可状態にするための EDMDR へのライト以前から発生している $\overline{\text{EDREQ}}$ 端子の Low レベルは要求を受け付けます。

EXDMAC の起動時には、必要に応じて、前回の転送終了時などの $\overline{\text{EDREQ}}$ 端子の Low レベルが残らないようにしてください。

(5) EDMDR の IRF = 1 の状態からの割り込み要求の許可

EDMDR の IRF ビットが 1 の状態から転送開始する場合に、EDMDR の EDA ビットと共に EDMDR の EDIE ビットを 1 にセットして割り込み要求を許可すると、EDIE = 1 かつ IRF = 1 の状態が生じるために割り込み要求が発生します。転送開始時に誤って割り込み要求を発生させないために、IRF ビットを 0 クリアしてから EDIE ビットを 1 にセットするようにしてください。

(6) $\overline{\text{ETEND}}$ と CBR リフレッシュサイクル

EXDMAC の最終転送サイクルと CBR リフレッシュサイクルが同時に発生した場合、CBR リフレッシュと最終転送サイクルが連続して実行される場合があります。このときリフレッシュサイクルに対して $\overline{\text{ETEND}}$ が Low レベルになることがありますので注意してください。

9. データトランスファコントローラ (DTC)

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

図 9.1 に DTC のブロック図を示します。

9.1 特長

- 任意チャンネル数の転送可能
- 転送モード：3種類

(1) ノーマルモード

1回の転送要求で1バイトまたは1ワードの転送を実行
メモリアドレスを1または2増減
転送回数は1～65,536

(2) リピートモード

1回の転送要求で1バイトまたは1ワードの転送を実行
メモリアドレスを1または2増減
転送回数 (1～256) 転送後、初期状態を回復して動作を継続

(3) ブロック転送モード

1回の転送要求で指定したブロックサイズの転送
ブロックサイズ1～256バイトまたはワード
転送回数は1～65,536
ソースまたはデスティネーションのいずれかをブロックエリアに指定可能

- 1つの起動要因で複数データの連続転送が可能 (チェイン転送)
- 16Mバイトのアドレス空間を直接指定可能
- ソフトウェアによる起動が可能
- 転送単位をバイト/ワードに設定可能
- DTCを起動した割り込みをCPUに要求可能
- モジュールストップモードの設定可能

9. データトランスファコントローラ (DTC)

DTC のレジスタ情報は内蔵 RAM に配置されます。DTC を使用するときには、必ず SYSCR の RAME ビットを 1 にセットしてください。DTC と内蔵 RAM (1K バイト) 間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード/ライトを 32 ビット 1 ステートで実行できます。

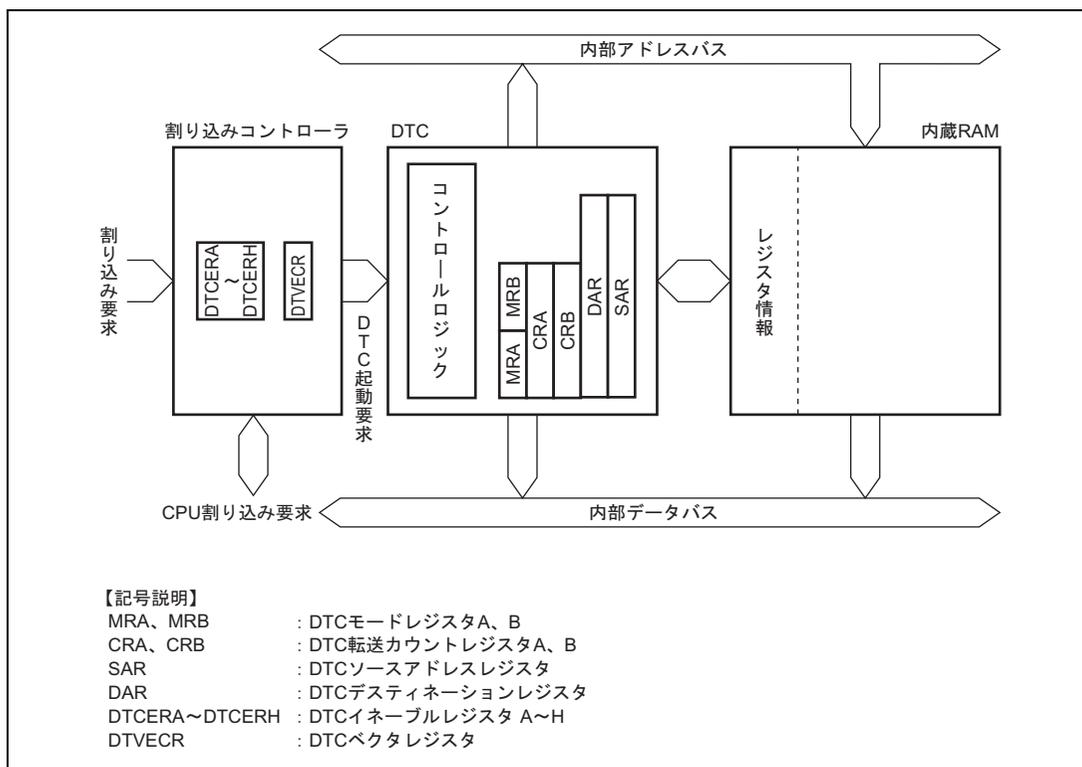


図 9.1 DTC のブロック図

9.2 レジスタの説明

DTC には以下のレジスタがあります。

- DTCモードレジスタA (MRA)
- DTCモードレジスタB (MRB)
- DTCソースアドレスレジスタ (SAR)
- DTCデスティネーションアドレスレジスタ (DAR)
- DTC転送カウントレジスタA (CRA)
- DTC転送カウントレジスタB (CRB)

以上の6本のレジスタはCPUから直接アクセスすることはできません。DTC起動要因が発生すると内蔵RAM上に配置された任意の組のレジスタ情報から該当するレジスタ情報をこれらのレジスタに転送してDTC転送を行い、転送が終了するとこれらのレジスタの内容がRAMに戻されます。

- DTCイネーブルレジスタA～H (DTCERA～DTCERH)
- DTCベクタレジスタ (DTVECR)

9.2.1 DTC モードレジスタ A (MRA)

MRA は DTC の動作モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7 6	SM1 SM0	不定 不定		ソースアドレスモード 1、0 データ転送後の SAR の動作を指定します。 0X : SAR は固定 10 : 転送後 SAR をインクリメント (Sz=0 のとき +1、Sz=1 のとき +2) 11 : 転送後 SAR をデクリメント (Sz=0 のとき -1、Sz=1 のとき -2)
5 4	DM1 DM0	不定 不定		デスティネーションアドレスモード 1、0 データ転送後の DAR の動作を指定します。 0X : DAR は固定 10 : 転送後 DAR をインクリメント (Sz=0 のとき +1、Sz=1 のとき +2) 11 : 転送後 DAR をデクリメント (Sz=0 のとき -1、Sz=1 のとき -2)
3 2	MD1 MD0	不定 不定		DTC モード DTC の転送モードを指定します。 00 : ノーマルモード 01 : リピートモード 10 : ブロック転送モード 11 : 設定禁止
1	DTS	不定		DTC 転送モードセレクト リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のどちらをリピート領域またはブロック領域とするかを指定します。 0 : デスティネーション側がリピート領域またはブロック領域 1 : ソース側がリピート領域またはブロック領域
0	Sz	不定		DTC データトランスファサイズ 転送データのサイズを指定します。 0 : バイトサイズ転送 1 : ワードサイズ転送

【注】 X : Don't care

9. データトランスファコントローラ (DTC)

9.2.2 DTC モードレジスタ B (MRB)

MRB は DTC モードの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	CHNE	不定		DTC チェイン転送イネーブル このビットが 1 のときチェイン転送を行います。チェイン転送の詳細は「9.5.4 チェイン転送」を参照してください。 CHNE = 1 に設定したデータ転送では、指定した転送回数の終了の判定や起動要因フラグのクリアや DTCER のクリアは行いません。
6	DISEL	不定		DTC インタラプトセレクト このビットが 1 のとき DTC 転送のたびに CPU に対して割り込み要求を発生します。このビットは 0 のときは指定されたデータ転送を終了したときだけ CPU に対して割り込み要求を発生します。
5	CHNS	不定		チェイン転送セレクト チェイン転送の条件を選択します。 0: 連続してチェイン転送を行う 1: 転送カウンタ = 0 のときのみチェイン転送を行う
4~0		不定		リザーブビット DTC の動作に影響を与えません。ライトするときは 0 をライトしてください。

9.2.3 DTC ソースアドレスレジスタ (SAR)

SAR は 24 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

9.2.4 DTC デスティネーションアドレスレジスタ (DAR)

DAR は 24 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

9.2.5 DTC 転送カウントレジスタ A (CRA)

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマルモードでは、一括して 16 ビットの転送カウンタ (1~65,536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。

リピートモードおよびブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。CRAL は、1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。

9.2.6 DTC 転送カウントレジスタ B (CRB)

CRB は 16 ビットのレジスタで、ブロック転送モードのとき、DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送カウンタ (1 ~ 65,536) として機能し、1 回のデータ転送を行うたびに、デクリメント (-1) され、カウンタ値が H'0000 になると転送を終了します。ノーマルモードおよびリピートモードでは使用しません。

9.2.7 DTC イネーブルレジスタ A ~ H (DTCERA ~ DTCERH)

DTCER は、DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA ~ DTCERH があります。各割り込み要因と DTCE ビットの対応については表 9.2 を参照してください。DTCE ビットの設定は、BSET、BCLR などビット操作命令を使用してください。ただし初期設定に限り、複数の起動要因を一度に設定するために、割り込みをマスクして対象となるレジスタをダミーリードした後ライトすることができます。

ビット	ビット名	初期値	R/W	説明
7	DTCE7	0	R/W	DTC 起動イネーブル
6	DTCE6	0	R/W	1 をセットすると対応する割り込み要因が DTC 起動要因として選択されます。
5	DTCE5	0	R/W	[クリア条件]
4	DTCE4	0	R/W	• MRB の DISEL ビットが 1 でデータ転送を終了したとき
3	DTCE3	0	R/W	• 指定した回数の転送が終了したとき
2	DTCE2	0	R/W	DISEL ビットが 0 で、指定した回数の転送が終了していないときは自動クリアされません。
1	DTCE1	0	R/W	
0	DTCE0	0	R/W	• DTCE=1 の状態でリードした後、DTCE に 0 をライトしたとき

9. データトランスファコントローラ (DTC)

9.2.8 DTC ベクタレジスタ (DTVECR)

DTVECR は、ソフトウェアによる DTC 起動およびソフトウェア起動割り込み用ベクタ番号を設定します。

ビット	ビット名	初期値	R/W	説明
7	SWDTE	0	R/W	DTC ソフトウェア起動イネーブル このビットを 1 にセットすると DTC が起動します。1 のライトのみ可能です。 [クリア条件] • DISEL ビットが 0 で、指定した回数の転送が終了しないとき • CPU に対し、ソフトウェア起動データ転送終了割り込みが要求 (SWDTEND) が発生したあと、0 をライトしたとき DISEL ビットが 1 で、データ転送を終了したとき、および指定した回数の転送が終了したときはクリアされません。
6	DTVEC6	0	R/W	DTC ソフトウェア起動ベクタ 6~0
5	DTVEC5	0	R/W	ソフトウェアによる DTC 起動ベクタ番号を設定します。
4	DTVEC4	0	R/W	ベクタアドレスは、H'0400 + ベクタ番号 × 2 となります。たとえば、DTVEC6
3	DTVEC3	0	R/W	~ DTVEC0 = H'10 のとき、ベクタアドレスは H'0420 となります。
2	DTVEC2	0	R/W	SWDTE=0 のときだけライト可能です。
1	DTVEC1	0	R/W	
0	DTVEC0	0	R/W	

9.3 起動要因

DTC は割り込み要求またはソフトウェアによる DTVECR へのライト動作により起動します。起動する割り込み要因は DTCER で選択します。1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) 終了時に、起動要因となった割り込みフラグまたは DTCER の対応するビットをクリアします。たとえば RX10 の場合、起動要因フラグは、SCL0 の RDRF フラグになります。

割り込みで DTC を起動する場合は CPU のマスクレベルおよび割り込みコントローラに設定されたプライオリティレベルの影響を受けません。複数の起動要因が同時に発生した場合には、割り込み要因のデフォルトの優先順位に従って DTC が起動します。起動要因と DTCER のクリアを表 9.1 に、DTC 起動要因制御ブロック図を図 9.2 に示します。割り込みコントローラの詳細は、「第 5 章 割り込みコントローラ」を参照してください。

表 9.1 起動要因と DTCER のクリア

起動要因	DISEL ビットが 0 で、指定した回数の転送が終了していないとき	DISEL ビットが 1 のとき、または指定した回数の転送が終了したとき
ソフトウェア起動	SWDTE ビットは 0 にクリア	<ul style="list-style-type: none"> • SWDTE ビットは 1 を保持 • CPU に割り込みを要求
割り込み起動	<ul style="list-style-type: none"> • DTCER の対応するビットは 1 を保持 • 起動要因フラグは 0 にクリア 	<ul style="list-style-type: none"> • DTCER の対応するビットは 0 にクリア • 起動要因フラグは 1 を保持 • 起動要因となった割り込みを CPU に要求

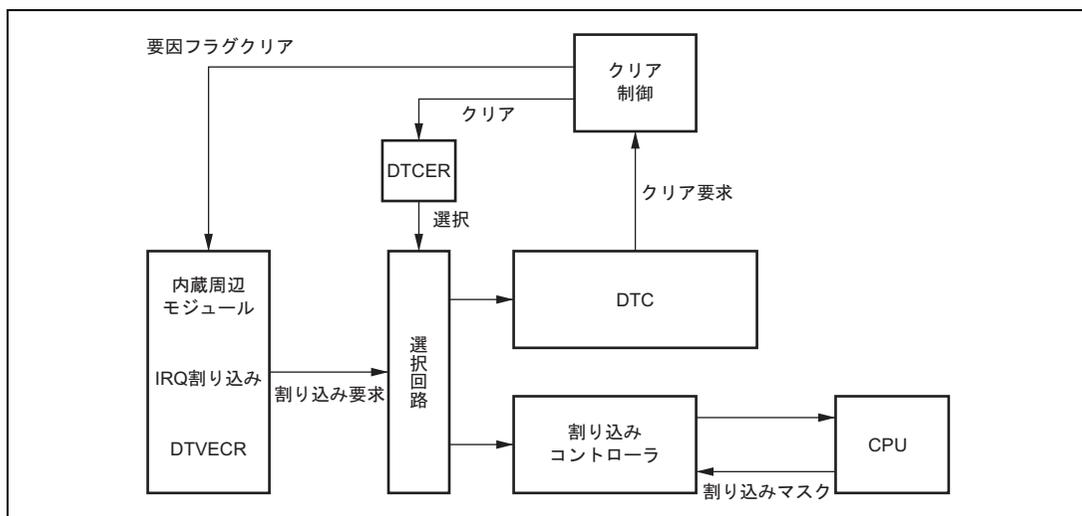


図 9.2 DTC 起動要因制御ブロック図

9.4 レジスタ情報の配置と DTC ベクタテーブル

レジスタ情報は、内蔵 RAM 上のアドレス H'FFBC00 ~ H'FFBFFF に配置してください。レジスタ情報はこの範囲の任意のアドレスに配置することができますが、アドレスは 4 の倍数の番地としてください。図 9.3 に、アドレス空間上でのレジスタ情報の配置方法を示します。レジスタ情報の先頭アドレスから、MRA、SAR、MRB、DAR、CRA、CRB の順に配置してください。チェーン転送の場合は、図 9.3 のように連続した領域にレジスタ情報を配置してください。また、各レジスタ情報の先頭アドレスを DTC ベクタテーブルの起動要因に対応する番地に格納してください。図 9.4 に DTC ベクタアドレスとレジスタ情報との対応を示します。DTC は起動要因別にベクタテーブルからレジスタ情報の先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。

ソフトウェアで起動する場合のベクタアドレスは $H'0400 + (DTVECR [6:0] \times 2)$ となります。たとえば、DTVECR が H'10 のとき、ベクタアドレスは H'0420 となります。

ベクタアドレスの構造は、ノーマルモード*とアドバンスモードとで同一で、2 バイト単位となっています。先頭アドレスの下位 2 バイトを設定してください。

【注】 * 本 LSI では使用しません。

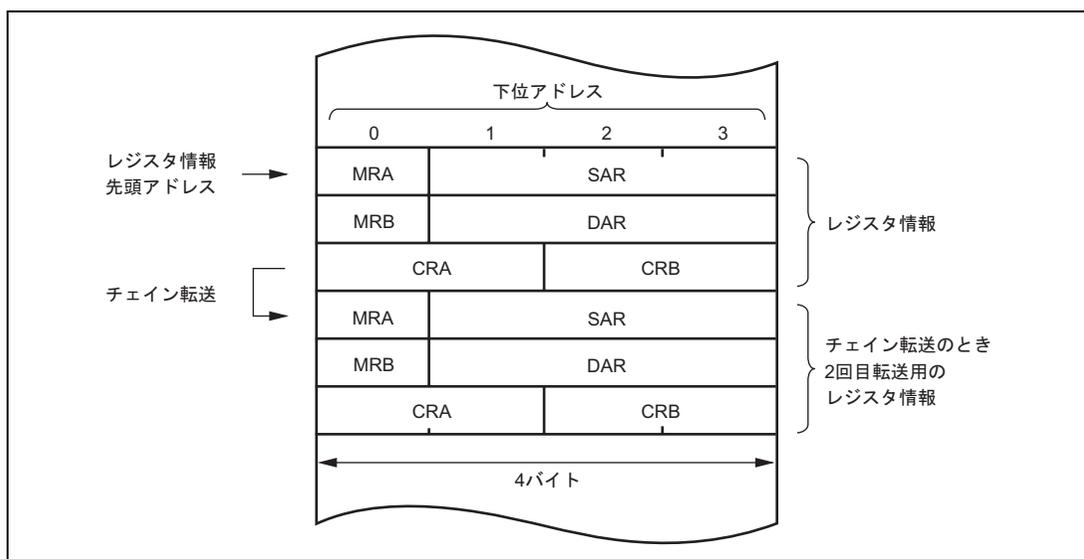


図 9.3 アドレス空間上での DTC レジスタ情報の配置

9. データトランスファコントローラ (DTC)

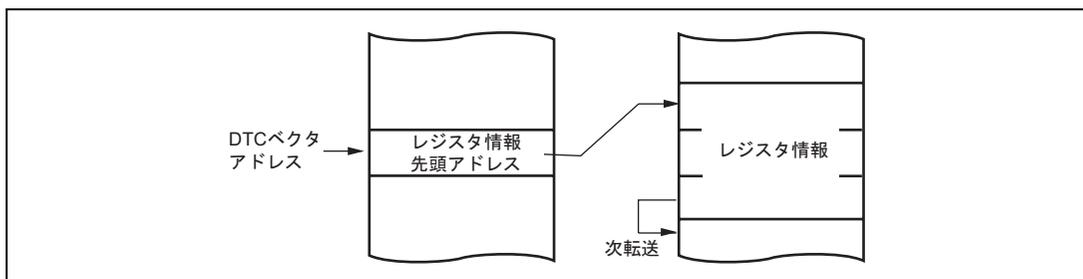


図 9.4 DTC ベクタアドレスとレジスタ情報との対応

表 9.2 割り込み要因と DTC ベクタアドレスおよび対応する DTCE

起動要因発生元	起動要因	ベクタ番号	DTCベクタアドレス	DTCE*	優先順位
ソフトウェア	DTVECR へのライト	DTVECR	H'0400+ (DTVECR[6:0] × 2)	-	高
外部端子	IRQ0	16	H'0420	DTCEA7	↑ ↓ 低
	IRQ1	17	H'0422	DTCEA6	
	IRQ2	18	H'0424	DTCEA5	
	IRQ3	19	H'0426	DTCEA4	
	IRQ4	20	H'0428	DTCEA3	
	IRQ5	21	H'042A	DTCEA2	
	IRQ6	22	H'042C	DTCEA1	
	IRQ7	23	H'042E	DTCEA0	
	IRQ8	24	H'0430	DTCEB7	
	IRQ9	25	H'0432	DTCEB6	
	IRQ10	26	H'0434	DTCEB5	
	IRQ11	27	H'0436	DTCEB4	
	IRQ12	28	H'0438	DTCEB3	
	IRQ13	29	H'043A	DTCEB2	
	IRQ14	30	H'043C	DTCEB1	
	IRQ15	31	H'043E	DTCEB0	
A/D	ADI	38	H'044C	DTCEC6	
TPU_0	TGI0A	40	H'0450	DTCEC5	
	TGI0B	41	H'0452	DTCEC4	
	TGI0C	42	H'0454	DTCEC3	
	TGI0D	43	H'0456	DTCEC2	
TPU_1	TGI1A	48	H'0460	DTCEC1	
	TGI1B	49	H'0462	DTCEC0	

9. データトランスファコントローラ (DTC)

起動要因発生元	起動要因	ベクタ 番号	DTC ベクタアドレス	DTCE*	優先 順位
TPU_2	TGI2A	52	H'0468	DTCED7	高 ▲ ↓ 低
	TGI2B	53	H'046A	DTCED6	
TPU_3	TGI3A	56	H'0470	DTCED5	
	TGI3B	57	H'0472	DTCED4	
	TGI3C	58	H'0474	DTCED3	
	TGI3D	59	H'0476	DTCED2	
TPU_4	TGI4A	64	H'0480	DTCED1	
	TGI4B	65	H'0482	DTCED0	
TPU_5	TGI5A	68	H'0488	DTCEE7	
	TGI5B	69	H'048A	DTCEE6	
TMR_0	CMIA0	72	H'0490	DTCEE3	
	CMIB0	73	H'0492	DTCEE2	
TMR_1	CMIA1	76	H'0498	DTCEE1	
	CMIB1	77	H'049A	DTCEE0	
DMAC	DMTEND0A	80	H'04A0	DTCEF7	
	DMTEND0B	81	H'04A2	DTCEF6	
	DMTEND1A	82	H'04A4	DTCEF5	
	DMTEND1B	83	H'04A6	DTCEF4	
SCL_0	RX10	89	H'04B2	DTCEF3	
	TX10	90	H'04B4	DTCEF2	
SCL_1	RX11	93	H'04BA	DTCEF1	
	TX11	94	H'04BC	DTCEF0	
SCL_2	RX12	97	H'04C2	DTCEG7	
	TX12	98	H'04C4	DTCEG6	
SCL_3	RX13	101	H'04CA	DTCEG5	
	TX13	102	H'04CC	DTCEG4	
SCL_4	RX14	105	H'04D2	DTCEG3	
	TX14	106	H'04D4	DTCEG2	

【注】 * 対応する割り込みのない DTCE ビットはリザーブビットとなります。0 をライトしてください。
ソフトウェアスタンバイ状態および全モジュールクロックストップモードを割り込みにより解除する場合は、対応する DTCE ビットに 0 をライトしてください。

9.5 動作説明

DTC はレジスタ情報を内蔵 RAM に格納します。DTC が起動すると内蔵 RAM からレジスタ情報をリードして、データ転送を行い、データ転送後のレジスタ情報を内蔵 RAM に戻します。レジスタ情報を内蔵 RAM に格納することで、任意チャネル数のデータ転送を行うことができます。転送モードにはノーマルモード、リピートモード、ブロック転送モードがあります。また、MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数の転送を行うことができます (チェーン転送)。さらに、CHNS ビットを 1 にセットすることにより、転送カウンタ = 0 のときのみチェーン転送を行うこともできます。

転送元アドレスは 24 ビット長の SAR、転送先アドレスは 24 ビット長の DAR で指定します。SAR、DAR は転送後、レジスタ情報に従って独立にインクリメントまたはデクリメントされるか固定されます。

図 9.5 に DTC の動作フローチャートを示します。表 9.3 に第 1 の転送から第 2 の転送を行うチェーン転送の条件を示します。

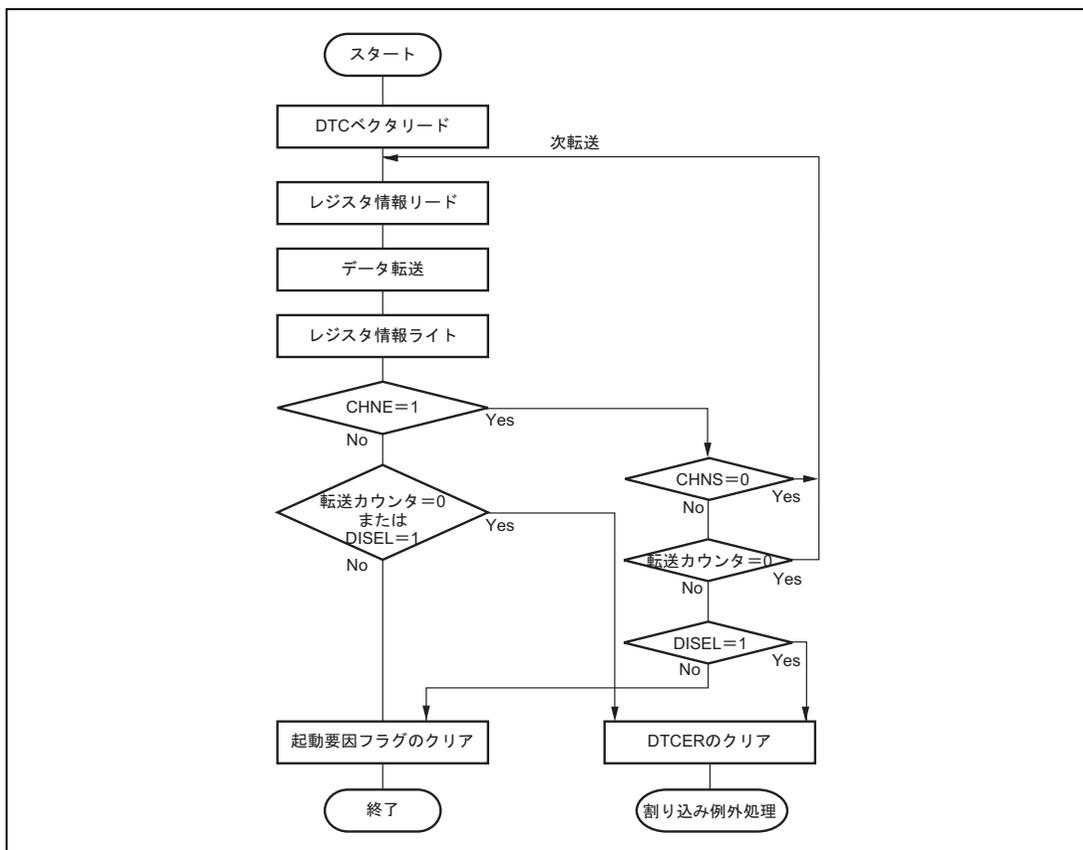


図 9.5 DTC 動作フローチャート

9. データトランスファコントローラ (DTC)

表 9.3 チェイン転送の条件

第 1 の転送				第 2 の転送				DTC 転送
CHNE	CHNS	DISEL	CR	CHNE	CHNS	DISEL	CR	
0		0	0 以外					第 1 の転送で終了
0		0	0					第 1 の転送で終了
0		1						CPU へ割り込み要求
1	0			0		0	0 以外	第 2 の転送で終了
				0		0	0	第 2 の転送で終了
				0		1		CPU へ割り込み要求
1	1	0	0 以外					第 1 の転送で終了
1	1		0	0		0	0 以外	第 2 の転送で終了
				0		0	0	第 2 の転送で終了
				0		1		CPU へ割り込み要求
1	1	1	0 以外					第 1 の転送で終了 CPU へ割り込み要求

9.5.1 ノーマルモード

1 回の動作で、1 バイトまたは 1 ワードの転送を行います。表 9.4 にノーマルモードにおけるレジスタ機能を示します。転送回数は 1 ~ 65,536 です。指定回数の転送が終了すると、CPU へ割り込み要求を発生することができます。

表 9.4 ノーマルモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ A	CRA	転送カウント
DTC 転送カウントレジスタ B	CRB	使用しません

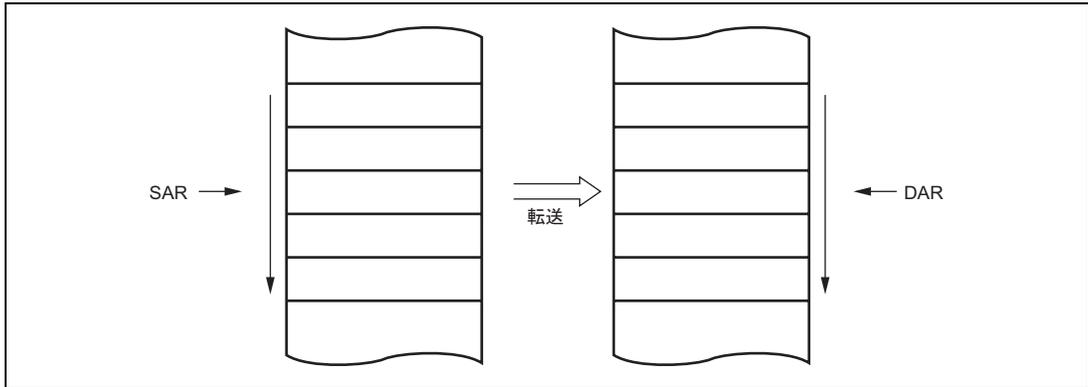


図 9.6 ノーマルモードのメモリマップ

9.5.2 リピートモード

1回の動作で、1バイトまたは1ワードの転送を行います。表 9.5 にリピートモードにおけるレジスタ機能を示します。転送回数は1~256で、指定回数の転送が終了すると、転送カウンタおよびリピートエリアに指定された方のアドレスレジスタの初期状態が回復し、転送を繰り返します。リピートモードでは、転送カウンタがH'00にならないので、DISEL=0の場合はCPUへの割り込み要求は発生しません。

表 9.5 リピートモードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウンタレジスタ AH	CRAH	転送回数保持
DTC 転送カウンタレジスタ AL	CRAL	転送カウンタ
DTC 転送カウンタレジスタ B	CRB	使用しません

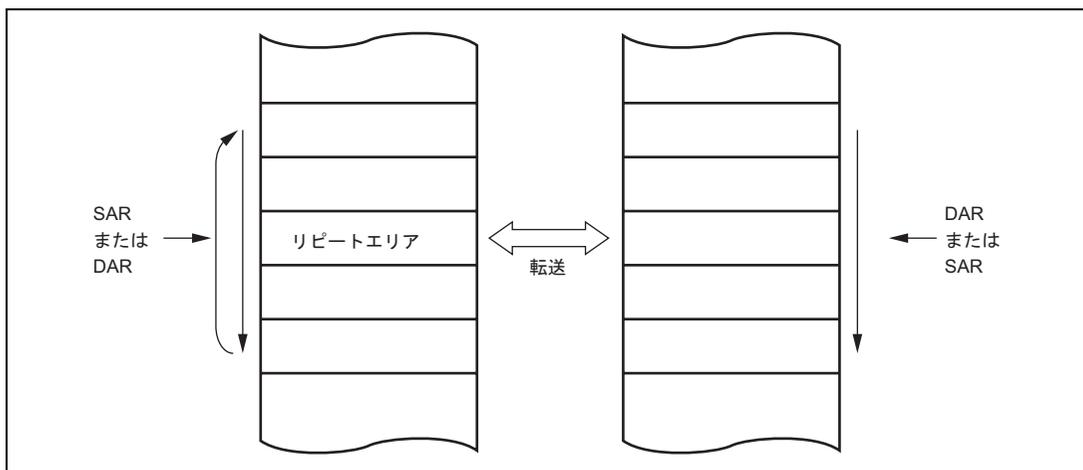


図 9.7 リピートモードのメモリマップ

9.5.3 ブロック転送モード

1 回の動作で、1 ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。表 9.6 にブロック転送モードにおけるレジスタ機能を示します。ブロックサイズは 1~256 で、1 ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定した方のアドレスレジスタの初期状態が復帰します。他方のアドレスレジスタは、レジスタ情報に従い連続してインクリメント、デクリメントするか固定されます。転送回数は 1~65,536 です。指定回数 of ブロック転送が終了すると、CPU へ割り込み要求を発生させることができます。

表 9.6 ブロック転送モードのレジスタ機能

名 称	略称	機 能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウンタレジスタ AH	CRAH	ブロックサイズ保持
DTC 転送カウンタレジスタ AL	CRAL	ブロックサイズカウンタ
DTC 転送カウンタレジスタ B	CRB	転送カウンタ

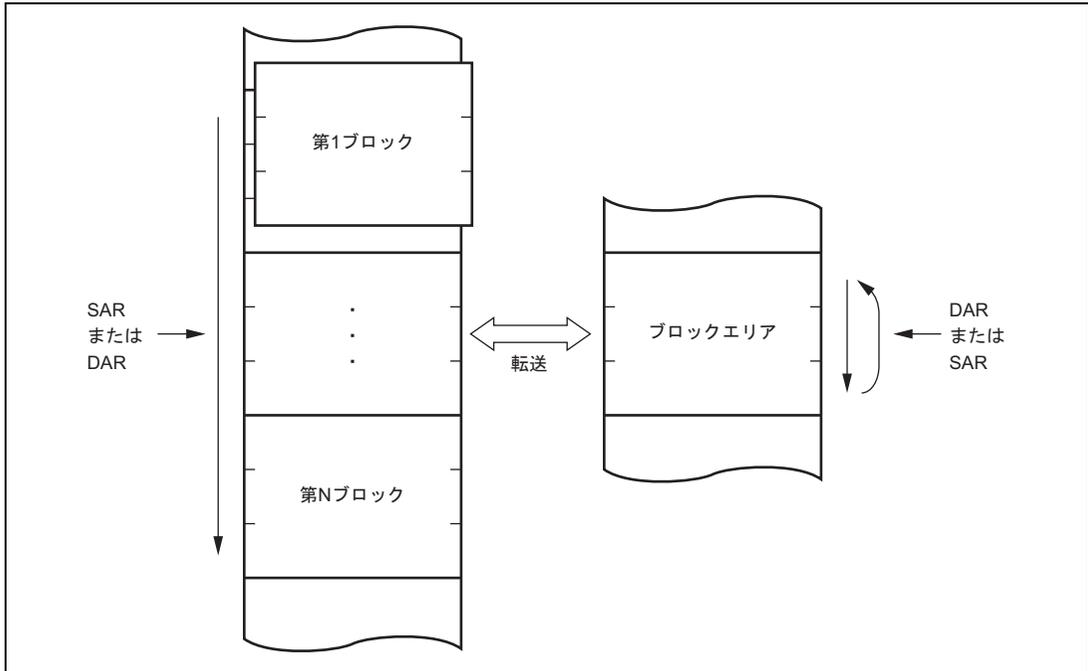


図 9.8 ブロック転送モードのメモリマップ

9.5.4 チェイン転送

MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数のデータ転送を連続して行うことができます。SAR、DAR、CRA、CRB および MRA、MRB はおのこの独立に設定できます。

図 9.9 にチェイン転送の動作の概要を示します。DTC は起動すると起動要因に対応した DTC ベクタアドレスからレジスタ情報の先頭アドレスをリードし、この先頭アドレスから最初のレジスタ情報をリードします。データ転送終了後 MRB の CHNE ビットが 1 であれば連続して配置された次のレジスタ情報をリードして転送を行います。この動作を共に CHNE ビットが 0 のレジスタ情報のデータ転送が終了するまで続けます。また、CHNE ビット、CHNS ビットを共に 1 にセットすると転送カウンタ = 0 のときのみチェイン転送を行うこともできます。

CHNE = 1 の転送では指定した転送回数の終了による CPU への割り込み要求や、DISSEL = 1 による CPU への割り込み要求は発生しません。また、CHNE = 1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

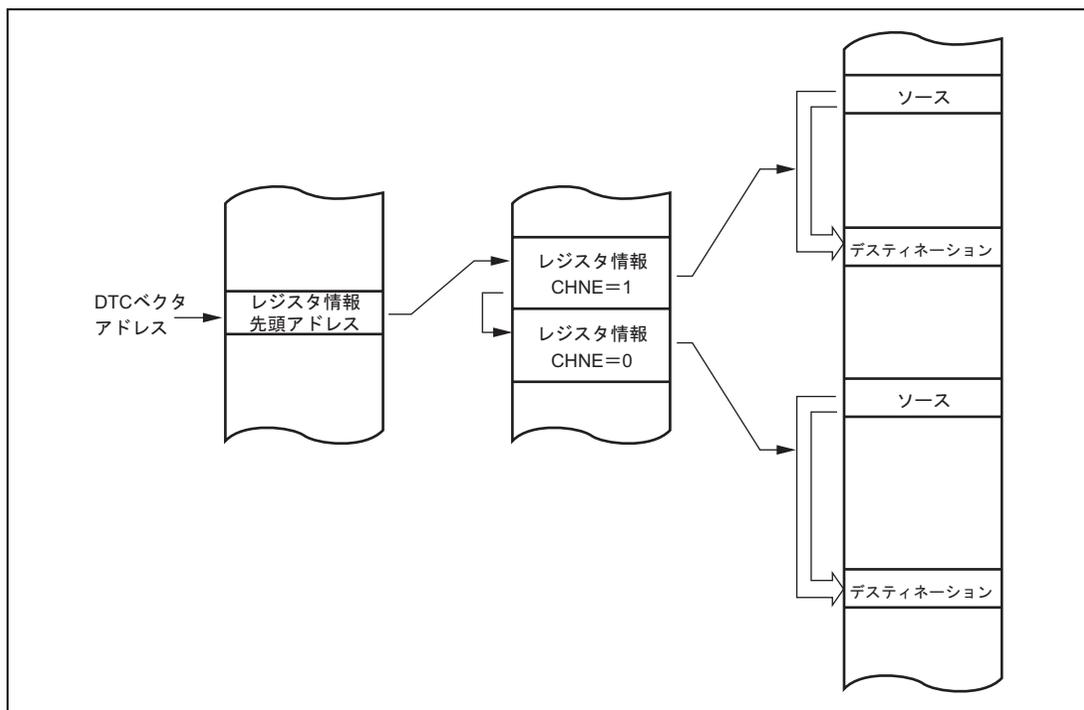


図 9.9 チェイン転送の動作

9.5.5 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、または DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み (SWDTEND) を発生します。

DISEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に、SWDTE ビットが 1 に保持され、SWDTEND 割り込みが発生します。割り込み処理ルーチンで SWDTE ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、SWDTE ビットを 1 にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND 割り込みは発生しません。

9.5.6 動作タイミング

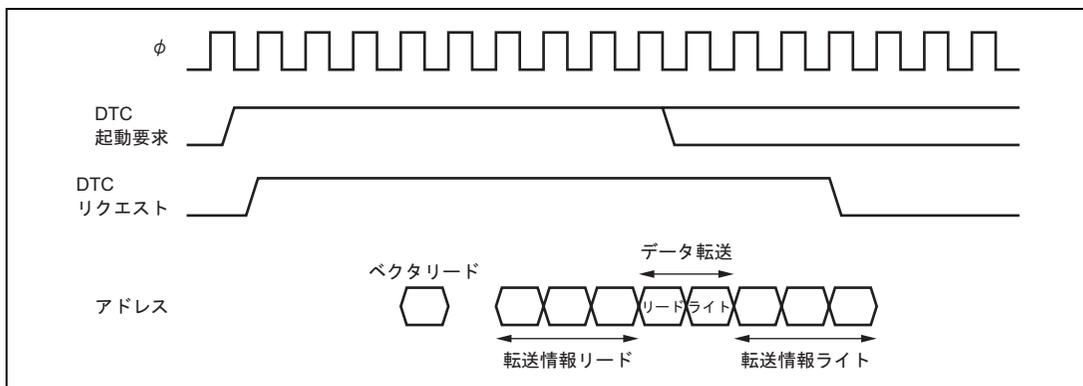


図 9.10 DTC の動作タイミング (ノーマルモード、リピートモードの例)

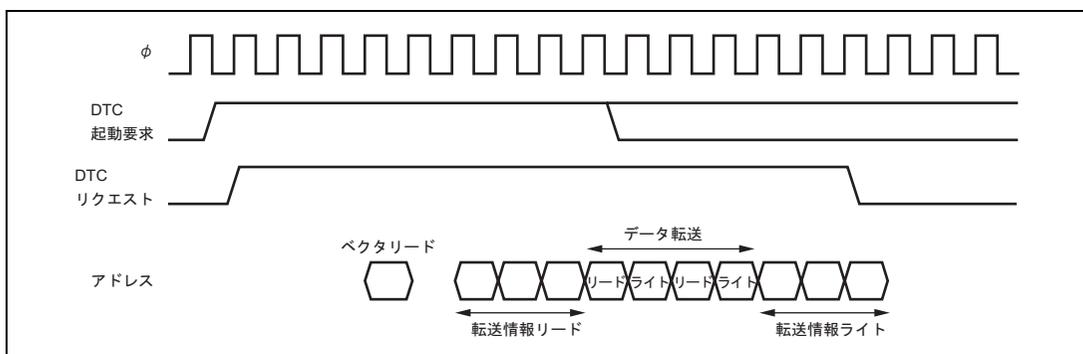


図 9.11 DTC の動作タイミング (ブロック転送モード、ブロックサイズ=2 の例)

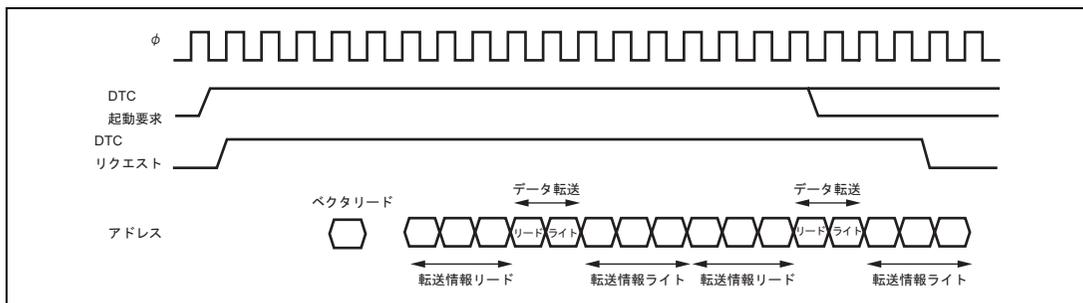


図 9.12 DTC の動作タイミング (チェーン転送の例)

9. データトランスファコントローラ (DTC)

9.5.7 DTC 実行ステート数

表 9.7 に、DTC の 1 回のデータ転送の実行状態を示します。また、表 9.8 に、実行状態に必要なステート数を示します。

表 9.7 DTC の実行状態

モード	ベクタリード I	レジスタ情報 リード/ライト J	データリード K	データライト L	内部動作 M
ノーマル	1	6	1	1	3
リピート	1	6	1	1	3
ブロック転送	1	6	N	N	3

N : ブロックサイズ (CRAH、CRAL の初期設定値)

表 9.8 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内部 I/O レジスタ		外部デバイス			
バス幅		32	16	8	16	8		16	
アクセスステート		1	1	2	2	2	3	2	3
実行 状態	ベクタリードSi	-	1	-	-	4	6+2m	2	3+m
	レジスタ情報Sj リード/ライト	1	-	-	-	-	-	-	-
	バイトデータリードSk	1	1	2	2	2	3+m	2	3+m
	ワードデータリードSk	1	1	4	2	4	6+2m	2	3+m
	バイトデータライトSl	1	1	2	2	2	3+m	2	3+m
	ワードデータライトSl	1	1	4	2	4	6+2m	2	3+m
	内部動作Sm	1							

実行ステート数は次の計算式で計算されます。なお、 S_i は 1 つの起動要因で転送する回数分 (CHNE ビットを 1 にセットした数 + 1) の和を示します。

$$\text{実行ステート数} = I \cdot S_i + (J \cdot S_j + K \cdot S_k + L \cdot S_l) + M \cdot S_m$$

たとえば、DTC ベクタアドレスを内蔵 ROM に配置し、ノーマルモードで、内蔵 ROM 内部 I/O レジスタのデータ転送を行った場合、DTC の動作に必要な時間は 13 ステートです。起動からデータライト終了までの時間は 10 ステートです。

9.6 DTC 使用手順

9.6.1 割り込みによる起動

DTC の割り込み起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. 起動要因となる割り込み要因のイネーブルビットを1にセットします。
要因となる割り込みが発生すると、DTCが起動されます。
5. 1回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCEビットが0にクリアされ、CPUに割り込みが要求されます。引き続きDTCによるデータ転送を行う場合には、DTCEビットを1にセットしてください。

9.6.2 ソフトウェアによる起動

DTC のソフトウェア起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. SWDTE = 0を確認します。
4. SWDTEに1を、DTVECRにベクタ番号をライトします。
5. DTVECRにライトしたベクタ番号を確認します。
6. 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引き続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合、または指定した回数のデータ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されます。

9.7 DTC 使用例

9.7.1 ノーマルモード

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

1. MRAはソースアドレス固定 ($SM1 = SM0 = 0$)、デスティネーションアドレスインクリメント ($DM1 = 1$ 、 $DM0 = 0$)、ノーマルモード ($MD1 = MD0 = 0$)、バイトサイズ ($Sz = 0$) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 ($CHNE = 0$ 、 $DISEL = 0$) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

9.7.2 チェイン転送

DTC チェイン転送の例として、PPG によるパルス出力を行う例を示します。チェイン転送を使ってパルス出力データの転送と PPG 出力トリガの周期の変更を行うことができます。チェイン転送の前半で PPG の NDR へのリポートモード転送、後半で TPU の TGR へのノーマルモード転送を行います。起動要因のクリアや指定した回数の転送終了時の割り込み発生は、チェイン転送の後半 ($CHNE = 0$ のときの転送) に限られるためです。

1. PPGのNDRへの転送の設定を行います。MRAはソースアドレスインクリメント ($SM1 = 1$ 、 $SM0 = 0$)、デスティネーションアドレス固定 ($DM1 = DM0 = 0$)、リポートモード ($MD1 = 0$ 、 $MD0 = 1$)、ワードサイズ ($Sz = 1$) を設定します。ソース側をリポート領域 ($DTS = 1$) に設定します。MRBはチェインモード ($CHNE = 1$ 、 $DISEL = 0$) に設定します。SARはデータテーブルの先頭アドレス、DARはNDRHのアドレス、CRAH、CRALはデータテーブルサイズを設定します。CRBは任意の値とすることができます。
2. TPUのTGRへの転送の設定を行います。MRAはソースアドレスインクリメント ($SM1 = 1$ 、 $SM0 = 0$)、デスティネーションアドレス固定 ($DM1 = DM0 = 0$)、ノーマルモード ($MD1 = MD0 = 0$)、ワードサイズ ($Sz = 1$) を設定します。SARは、データテーブルの先頭アドレス、DARはTGRAのアドレス、CRAはデータテーブルサイズを設定します。CRBは任意の値とすることができます。

3. NDR転送用レジスタ情報の後に連続してTPU転送用レジスタ情報を配置します。
4. NDR転送用レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
5. DTCERのTGIAに対応するビットを1にセットします。
6. TIORでTGRAをアウトプットコンペアレジスタ(出力禁止)に設定し、TIERでTGIA割り込みを許可します。
7. PODRに出力初期値を設定し、NDRに次の出力値を設定します。DDR、NDERの出力を行うビットを1にセットします。また、PCRで出力トリガとなるTPUのコンペアマッチを選択します。
8. TSTRのCSTビットを1にセットし、TCNTのカウント動作を開始します。
9. TGRAのコンペアマッチが発生するごとに次の出力値がNDRへ、次の出力トリガ周期の設定値がTGRAへそれぞれ転送されます。起動要因のTGFAフラグはクリアされます。
10. 指定した回数の転送終了後 (TPU転送用CRAが0になると)、TGFAフラグは1のまま保持され、DTCEビットが0にクリアされ、CPUにTGIA割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

9.7.3 転送カウンタ = 0 のときのチェイン転送

DTC は、転送カウンタが 0 になったときのみ第 2 のデータ転送を行い、第 1 のデータ転送の再設定を行うことによって転送回数が 256 回以上のリピート転送を行うことができます。128K バイトの入力バッファを構成する例を示します。ただし、入力バッファは下位アドレス H'0000 から始まるように設定します。図 9.13 に転送カウンタ = 0 のときのチェイン転送の概要を示します。

1. 第 1 のデータ転送として、入力データ用のノーマルモードを設定します。転送元アドレスは固定 (G/A など)、CRA = H'0000 (65,536回)、CHNE = 1、CHNS = 1、DISEL = 0としてください。
2. 第1のデータ転送の転送先アドレスの65,536回ごとの先頭アドレスの上位8ビットアドレスを別の領域 (ROMなど) に用意してください。たとえば、入力バッファをH'200000 ~ H'21FFFFとする場合には、H'21、H'20を用意します。
3. 第2のデータ転送として、第1のデータ転送の転送先アドレスの再設定用のリピートモード (ソース側をリピート領域) とします。転送先は第1の転送用レジスタ情報領域のDARの上位8ビットとします。CHNE = DISEL = 0としてください。上記入力バッファをH'200000 ~ H'21FFFFとする場合には、転送カウンタ = 2とします。
4. 割り込みによって第1のデータ転送を65,536回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレスの上位8ビットをH'21に設定します。第1のデータ転送の転送先アドレスの下位16ビットはH'0000になっています。
5. 引き続き、割り込みによって第1のデータ転送を第1のデータ転送で指定した65,536回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレスの上位8ビットをH'20に設定します。第1のデータ転送の転送先アドレスの下位16ビットはH'0000になっ

9. データトランスファコントローラ (DTC)

ています。

- 前記 4.5.を無限に繰り返します。第2のデータ転送がリピートモードのため、CPUには割り込みを要求しません。

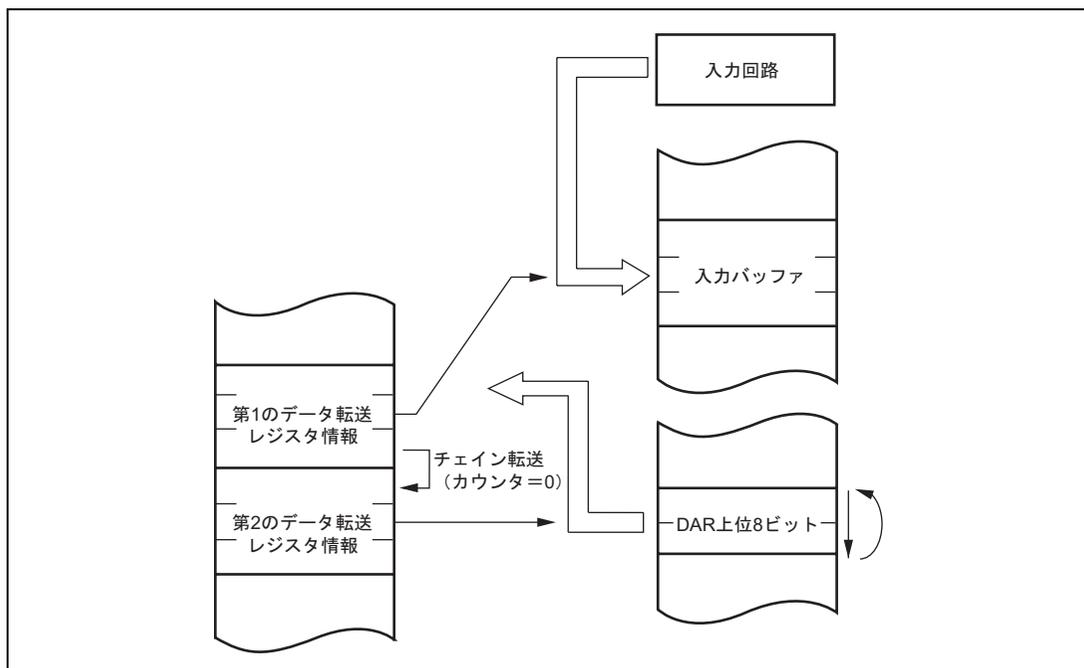


図 9.13 カウンタ=0のときのチェーン転送

9.7.4 ソフトウェア起動

DTCの使用例として、ソフトウェア起動による1ブロック128バイトのデータ転送を行う例を示します。転送元アドレスはH'1000、転送先アドレスはH'2000です。ベクタ番号はH'60、したがって、ベクタアドレスはH'04C0です。

1. MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ブロック転送モード (MD1=1、MD0=0)、バイトサイズ (Sz=0)を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のブロック転送 (CHNE=0)を行います。SARは転送元アドレスでH'1000、DARは転送先アドレスでH'2000、CRAは128 (H'8080)を設定します。CRBは1 (H'0001)をセットします。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレス (H'04C0)に設定します。
3. DTVECRのSWDTE=0を確認します。現在、DTCがソフトウェア起動による転送を行っていないことの確認です。
4. SWDTE=1と共に、ベクタ番号H'60を、DTVECRにライトします。ライトデータはH'E0です。
5. 再度、DTVECRを読み、ベクタ番号H'60が設定されていることを確認します。設定されていないときは、ライトが失敗したことを表します。[3]と[4]の間に割り込みが入り、ここで他のソフトウェアによって起動された場合が、これに相当します。起動したい場合、[3]に戻ってください。
6. ライトが成功すると、DTCが起動され、128バイト1ブロックの転送を行います。
7. 転送後、SWDTEND割り込みが起動します。割り込み処理ルーチンでSWDTEビットの0クリアなど、終了処理を行ってください。

9.8 使用上の注意事項

9.8.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、DTCの動作禁止/許可を設定することが可能です。初期値では、DTCの動作許可状態です。モジュールストップモードを設定することにより、レジスタのアクセスが禁止されます。ただし、DTCが起動中はモジュールストップモードに設定できません。詳細は、「第24章 低消費電力状態」を参照してください。

9.8.2 内蔵 RAM

MRA、MRB、SAR、DAR、CRA、CRBの各レジスタは、内蔵RAMに配置します。DTCを使用する場合は、SYSCRのRAMEビットを0にクリアしないでください。

9.8.3 DTCE ビットの設定

DTCEビットの設定は、必ずBSET、BCLRなどビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するために、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

9.8.4 DMAC 転送終了割り込み

DMAC転送終了割り込みでDTCを起動したとき、転送カウンタ、DISELビットにかかわらず、DMACのDTEビットはDTCの制御を受けずライトデータが優先されます。このため、DTCの転送カウンタが0になった場合でも、CPUへの割り込みが発生しない場合があります。

9.8.5 チェイン転送

チェイン転送の場合には、連結された最後のデータ転送時に起動要因またはDTCERのクリアを行います。一方、SCIおよびA/D変換器の割り込み/起動要因は、DTCが所定のレジスタをリード/ライトしたときにクリアされます。したがって、これらの割り込み/起動要因によってDTCを起動する場合、チェインで連結された最後のデータ転送で当該レジスタのリード/ライトを含まない場合は割り込み/起動要因が保持されます。

10. I/O ポート

ポートの機能一覧を表 10.1 に示します。各ポートは周辺モジュールの入出力端子や割り込み入力と端子を兼用しています。入出力ポートは入出力を制御するデータディレクションレジスタ (DDR)、出力データを格納するデータレジスタ (DR) と端子の状態をリードするポートレジスタ (PORT) から構成されています。入力専用ポートには DR、DDR はありません。

ポート A~E には、入力プルアップ MOS が内蔵されており、プルアップ MOS コントロールレジスタ (PCR) で入力プルアップ MOS のオン/オフを制御できます。

ポート 3、ポート A にはオープンドレインコントロールレジスタ (ODR) が内蔵されており、出力バッファの PMOS のオン/オフを選択できます。

ポート 1~3、5 (P50~P53)、6、8 は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。ポート A~H は 1 個の TTL と 50pF の容量負荷を駆動することができます。

すべての入出力ポートは出力時にダーリントントランジスタを駆動することができます。

ポート 1、ポート 2 はシュミットトリガ入力です。ポート 5、ポート 6、ポート 8、ポート A、(PA4、PA5、PA6、PA7) ポート F (PF1、PF2)、ポート H (PH2、PH3) は、IRQ 入力として使用する際シュミットトリガ入力となります。

10. I/O ポート

表 10.1 ポートの機能一覧

ポート名	概要	モード 1 *3	モード 2 *3	モード 4	モード 7		入出力形態他
					EXPE = 1	EXPE = 0	
ポート 1	PPG 出力、TPU 入出力、EXDMAC 出力と兼用汎用入出力ポート	P17/PO15/TIOCB2/TCLKD/EDRAK3*2 P16/PO14/TIOCA2/EDRAK2*2			P17/PO15/TIOCB2/TCLKD P16/PO14/TIOCA2		シュミットトリガ入力
ポート 2	PPG 出力、TPU 入出力、割り込み入力と兼用汎用入出力ポート	P15/PO13/TIOCB1/TCLKC P14/PO12/TIOCA1 P13/PO11/TIOCD0/TCLKB P12/PO10/TIOCC0/TCLKA P11/PO9/TIOCB0 P10/PO8/TIOCA0					シュミットトリガ入力
ポート 3	SCI 入出力、 \bar{I}^2C 入出力、バス制御入出力と兼用汎用入出力ポート	P27/PO7/TIOCB5/($\overline{IRQ15}$) P26/PO6/TIOCA5/($\overline{IRQ14}$) P25/PO5/TIOCB4/($\overline{IRQ13}$) P24/PO4/TIOCA4/RxD4/($\overline{IRQ12}$) P23/PO3/TIOCD3/TxD4/($\overline{IRQ11}$) P22/PO2/TIOCC3/($\overline{IRQ10}$) P21/PO1/TIOCB3/($\overline{IRQ9}$) P20/PO0/TIOCA3/($\overline{IRQ8}$)			P35/SCK1/SCL0		オープンドレイン出力可能
ポート 4	A/D 変換器アナログ入力、D/A 変換器アナログ出力と兼用汎用入力ポート	P35/SCK1/SCL0/(\overline{OE})/(CKE*1) P34/SCK0/SCK4/SDA0 P33/RxD1/SCL1 P32/RxD0/IrRxD/SDA1 P31/TxD1 P30/TxD0/IrTxD					
ポート 5	A/D 変換器アナログ入力、D/A 変換器アナログ出力と兼用汎用入力ポート	P47/AN7/DA1*2 P46/AN6/DA0*2 P45/AN5 P44/AN4 P43/AN3 P42/AN2 P41/AN1 P40/AN0					
ポート 5	割り込み入力、A/D 変換器入力、SCI 入出力と兼用汎用入出力ポート	P53/ADTRG/ $\overline{IRQ3}$ P52/SCK2/ $\overline{IRQ2}$ P51/RxD2/ $\overline{IRQ1}$ P50/TxD2/ $\overline{IRQ0}$					IRQ 入力として使用時シュミットトリガ入力

ポート名	概要	モード1 *3	モード2 *3	モード4	モード7		入出力形態他
					EXPE = 1	EXPE = 0	
ポート 6	割り込み入力、TMR 入出力、DMAC 入出力と兼用汎用入出力ポート	P65/TMO1/DACK1/IRQ13 P64/TMO0/DACK0/IRQ12 P63/TMC1/TEND1/IRQ11 P62/TMC10/TEND0/IRQ10 P61/TMR11/DREQ1/IRQ9 P60/TMR10/DREQ0/IRQ8					IRQ入力として 使用時 シュミット リガ入力
ポート 8	EXDMAC 入出力、割り込み入力と兼用汎用入出力ポート	P85/EDACK3*/(IRQ5)/SCK3 P84/EDACK2*/(IRQ4) P83/ETEND3*/(IRQ3)/RxD3 P82/ETEND2*/(IRQ2) P81/EDREQ3*/(IRQ1)/TxD3 P80/EDREQ2*/(IRQ0)			P85/(IRQ5)/SCK3 P84/(IRQ4) P83/(IRQ3)/RxD3 P82/(IRQ2) P81/EDREQ3*/(IRQ1)/TxD3 P80/EDREQ2*/(IRQ0)		IRQ入力として 使用時 シュミット リガ入力
ポート 9	A/D 変換器アナログ入力、D/A 変換器アナログ出力と専用入力ポート	P97/AN15/DA5*2 P96/AN14/DA4*2 P95/AN13/DA3 P94/AN12/DA2 P93/AN11 P92/AN10 P91/AN9 P90/AN8					
ポート A	アドレス出力、割り込み入力と兼用汎用入出力ポート	PA7/A23/IRQ7 PA6/A22/IRQ6 PA5/A21/IRQ5 A20/IRQ4 A19 A18 A17 A16	PA7/A23/IRQ7 PA6/A22/IRQ6 PA5/A21/IRQ5 PA4/A20/IRQ4 PA3/A19 PA2/A18 PA1/A17 PA0/A16	PA7/IRQ7 PA6/IRQ6 PA5/IRQ5 PA4/IRQ4 PA3 PA2 PA1 PA0	PA4~PA7のみ IRQ 入力として 使用時シュミットトリガ入力 入力プルアップ MOS 内蔵 オープンドレイン出力可能		
ポート B	アドレス出力と兼用汎用入出力ポート	A15 A14 A13 A12 A11 A10 A9 A8	PB7/A15 PB6/A14 PB5/A13 PB4/A12 PB3/A11 PB2/A10 PB1/A9 PB0/A8	PB7 PB6 PB5 PB4 PB3 PB2 PB1 PB0	入力プルアップ MOS 内蔵		

10. I/O ポート

ポート名	概要	モード 1 *3	モード 2 *3	モード 4	モード 7		入出力形態他
					EXPE = 1	EXPE = 0	
ポート C	アドレス出力と兼用汎用入出力ポート	A7 A6 A5 A4 A3 A2 A1 A0		PC7/A7 PC6/A6 PC5/A5 PC4/A4 PC3/A3 PC2/A2 PC1/A1 PC0/A0	PC7 PC6 PC5 PC4 PC3 PC2 PC1 PC0		入力ブルアップ MOS 内蔵
ポート D	データ入出力と兼用汎用入出力ポート	D15 D14 D13 D12 D11 D10 D9 D8			PD7 PD6 PD5 PD4 PD3 PD2 PD1 PD0		入力ブルアップ MOS 内蔵
ポート E	データ入出力と兼用汎用入出力ポート	PE7/D7 PE6/D6 PE5/D5 PE4/D4 PE3/D3 PE2/D2 PE1/D1 PE0/D0			PE7 PE6 PE5 PE4 PE3 PE2 PE1 PE0		入力ブルアップ MOS 内蔵
ポート F	割り込み入力、バス制御入出力と兼用汎用入出力ポート	PF7/ PF6/ \overline{AS} \overline{RD} \overline{HWR} PF3/ \overline{LWR}			PF7/ PF6 PF5 PF4 PF3		PF1、PF2 のみ IRQ 入力として使用時 シュミットトリガ入力
					PF2/ \overline{LCAS} / \overline{DQML} *1/ $\overline{IRQ15}$ PF1/ \overline{UCAS} / \overline{DQMU} *1/ $\overline{IRQ14}$	PF2/ $\overline{IRQ15}$ PF1/ $\overline{IRQ14}$	
					PF0/ \overline{WAIT}	PF0	
ポート G	バス制御入出力と兼用汎用入出力ポート	PG6/ \overline{BREQ} PG5/ \overline{BACK} PG4/ \overline{BREQO} PG3/ $\overline{CS3}$ / $\overline{RAS3}$ / \overline{CAS} *1 PG2/ $\overline{CS2}$ / $\overline{RAS2}$ / \overline{RAS} PG1/ $\overline{CS1}$ PG0/ $\overline{CS0}$			PG6 PG5 PG4 PG3 PG2 PG1 PG0		

ポート名	概要	モード1 ※3	モード2 ※3	モード4	モード7		入出力形態他
					EXPE = 1	EXPE = 0	
ポートH	割り込み入力、バス制御入出力と兼用汎用入出力ポート	PH3/CS7/(IRQ7)/OE/CKE*1			PH3/(IRQ7)		PH2、PH3のみ IRQ入力として使用時 シュミットトリガ入力
		PH2/CS6/(IRQ6)			PH2/(IRQ6)		
		PH1/CS5/RAS5/SDRAM *1			PH1/SDRAM *1		
		PH0/CS4/RAS4/WE*1			PH0		

【注】 *1 H8S/2378 0.18 μm F-ZTAT グループ、H8S/2377、H8S/2375、H8S/2373 ではサポートしていません。

*2 H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

*3 ROM レス版では、モード1、2のみのサポートになります。

10.1 ポート1

ポート1は8ビットの兼用入出力ポートです。ポート1には以下のレジスタがあります。

- ポート1データディレクションレジスタ (P1DDR)
- ポート1データレジスタ (P1DR)
- ポート1レジスタ (PORT1)

10.1.1 ポート1データディレクションレジスタ (P1DDR)

P1DDRはポート1の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7	P17DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを1にセットすると対応する端子は出力ポートとなり、0にクリアすると入力ポートになります。
6	P16DDR	0	W	
5	P15DDR	0	W	
4	P14DDR	0	W	
3	P13DDR	0	W	
2	P12DDR	0	W	
1	P11DDR	0	W	
0	P10DDR	0	W	

10. I/O ポート

10.1.2 ポート 1 データレジスタ (P1DR)

P1DR はポート 1 の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7	P17DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	P16DR	0	R/W	
5	P15DR	0	R/W	
4	P14DR	0	R/W	
3	P13DR	0	R/W	
2	P12DR	0	R/W	
1	P11DR	0	R/W	
0	P10DR	0	R/W	

10.1.3 ポート 1 レジスタ (PORT1)

PORT1 はポート 1 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7	P17	*	R	このレジスタをリードすると、P1DDR がセットされているビットは P1DR の値がリードされます。P1DDR がクリアされているビットは端子の状態がリードされます。
6	P16	*	R	
5	P15	*	R	
4	P14	*	R	
3	P13	*	R	
2	P12	*	R	
1	P11	*	R	
0	P10	*	R	

【注】 * P17～P10 端子の状態により決定されます。

10.1.4 端子機能

ポート 1 の各端子は、PPG の出力端子、TPU の入出力端子、EXDMAC の出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- P17/PO15/TIOCB2/TCLKD/EDRAK3*3

TMDR_2 の MD3 ~ MD0 ビット、TIOR_2 の IOB3 ~ IOB0 ビット、TCR_2 の CCLR1、CCLR0 ビットによる TPU チャンネル 2 の設定、TCR_0、TCR_5 の TPSC2 ~ TPSC0 ビット、NDERH の NDER15 ビット、EDMDR_3 の EDRAKE ビット、および P17DDR ビットの組み合わせにより、次のように切り替わります。

- モード 1、2、4、7 (EXPE = 1)

EDRAKE	0				1
TPU チャンネル 2 の設定	下表 (1)	下表 (2)			-
P17DDR	-	0	1	1	-
NDER15	-	-	0	1	-
端子機能	TIOCB2 出力	P17 入力	P17 出力	PO15 出力	EDRAK3 出力
		TIOCB2 入力*1			
	TCLKD 入力*2				

- モード 7 (EXPE = 0)

EDRAKE	-			
TPU チャンネル 2 の設定	下表 (1)	下表 (2)		
P17DDR	-	0	1	1
NDER15	-	-	0	1
端子機能	TIOCB2 出力	P17 入力	P17 出力	PO15 出力
		TIOCB2 入力*1		
	TCLKD 入力*2			

【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOB3 = 1 の場合に TIOCB2 入力となります。

*2 TCR_0、TCR_5 のいずれかの設定が TPSC2 ~ TPSC0 = B'111 の場合に TCLKD 入力となります。

また、チャンネル 2、4 を位相計数モードに設定すると、TCLKD 入力となります。

*3 H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

TPU チャンネル 2 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3 ~ IOB0	B'0000、B'0100、 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	-	B'xx00	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'10 以外	B'10
出力機能	-	アウトプット コンペア出力	-	-	PWM モード 2 出力	-

【記号説明】 x : Don't care

10. I/O ポート

- P16/PO14/TIOCA2/EDRAK2*³

TMDR_2 の MD3 ~ MD0 ビット、TIOR_2 の IOA3 ~ IOA0 ビット、TCR_2 の CCLR1、CCLR0 ビットによる TPU チャンネル 2 の設定、NDERH の NDERH14 ビット、EDMDR_2 の EDRAKE ビットおよび、P16DDR ビットの組み合わせにより、次のように切り替わります。

- モード 1、2、4、7 (EXPE = 1)

EDRAKE	0				1
TPU チャンネル 2 の設定	下表 (1)	下表 (2)			-
P16DDR	-	0	1	1	-
NDER14	-	-	0	1	-
端子機能	TIOCA2 出力	P16 入力	P16 出力	PO14 出力	EDRAK2 出力
		TIOCA2 入力* ¹			

- モード 7 (EXPE = 0)

EDRAKE	-			
TPU チャンネル 2 の設定	下表 (1)	下表 (2)		
P16DDR	-	0	1	1
NDER14	-	-	0	1
端子機能	TIOCA2 出力	P16 入力	P16 出力	PO14 出力
		TIOCA2 入力* ¹		

TPU チャンネル 2 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3 ~ MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3 ~ IOA0	B'0000、B'0100、 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00 以外		
CCLR1、CCLR0	-	-	-	-	B'01 以外	B'01
出力機能	-	アウトプット コンペア出力	-	PWM* ² モード 1 出力	PWM モード 2 出力	-

【記号説明】 x : Don't care

【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOA3 = 1 の場合に TIOCA2 入力となります。

*2 TIOCB2 は出力禁止となります。

*3 H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

- P15/PO13/TIOCB1/TCLKC

TMDR_1 の MD3 ~ MD0 ビット、TIOR_1 の IOB3 ~ IOB0 ビット、TCR_1 の CCLR1、CCLR0 ビットによる TPU チャンネル 1 の設定、TCR_0、TCR_2、TCR_4、TCR_5 の TPSC2 ~ TPSC0 ビット、NDERH の NDER13 ビット、および P15DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 1 の設定	下表 (1)	下表 (2)		
P15DDR	-	0	1	1
NDER13	-	-	0	1
端子機能	TIOCB1 出力	P15 入力	P15 出力	PO13 出力
		TIOCB1 入力* ¹		
	TCLKC 入力* ²			

【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOB3 ~ IOB0 = B'10xx の場合に TIOCB1 入力となります。

*2 TCR_0、TCR_2 のいずれかの設定が TPSC2 ~ TPSC0 = B'111 または TCR_4、TCR_5 のいずれかの設定が TPSC2 ~ TPSC0 = B'101 の場合に TCLKC 入力となります。また、チャンネル 2、4 を位相計数モードに設定すると、TCLKC 入力となります。

TPU チャンネル 1 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3 ~ IOB0	B'0000、B'0100、 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	-	B'xx00	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'10 以外	B'10
出力機能	-	アウトプット コンペア出力	-	-	PWM モード 2 出力	-

【記号説明】 x : Don't care

10. I/O ポート

- P14/PO12/TIOCA1

TMDR_1 の MD3 ~ MD0 ビット、TIOR_1 の IOA3 ~ IOA0 ビット、TCR_1 の CCLR1、CCLR0 ビットによる TPU チャンネル 1 の設定、NDERH の NDER12 ビット、および P14DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 1 の設定	下表 (1)	下表 (2)		
P14DDR	-	0	1	1
NDER12	-	-	0	1
端子機能	TIOCA1 出力	P14 入力	P14 出力	PO12 出力
		TIOCA1 入力* ¹		

TPU チャンネル 1 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3 ~ MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3 ~ IOA0	B'0000、B'0100、 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'01 以外	B'01
出力機能	-	アウトプット コンペア出力	-	PWM* ² モード 1 出力	PWM モード 2 出力	-

【記号説明】 x : Don't care

【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOA3 ~ IOA0 = B'10xx の場合に TIOCA1 入力となります。

*2 TIOCB1 は出力禁止となります。

- P13/PO11/TIOCD0/TCLKB

TPU チャネル0の設定、TCR_0のTPSC2~TPSC0ビット、NDERHのNDER11ビット、およびP13DDRビットの組み合わせにより、次のように切り替わります。

TPU チャネル0の設定	下表(1)	下表(2)		
P13DDR	-	0	1	1
NDER11	-	-	0	1
端子機能	TIOCD0 出力	P13 入力	P13 出力	PO11 出力
		TIOCD0 入力* ¹		
	TCLKB 入力* ²			

【注】 *1 MD3~MD0=B'0000 かつ IOD3~IOD0=B'10xx の場合に TIOCD0 入力となります。

*2 TCR_0~TCR_2 のいずれかの設定が TPSC2~TPSC0=B'101 の場合に TCLKB 入力となります。

また、チャンネル1、5を位相計数モードに設定すると、TCLKB 入力となります。

TPU チャネル0の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3~MD0	B'0000		B'0010	B'0011		
IOD3~IOD0	B'0000、B'0100、 B'1xxx	B'0001~B'0011 B'0101~B'0111	-	B'xx00	B'xx00 以外	
CCLR2~CCLR0	-	-	-	-	B'110 以外	B'110
出力機能	-	アウトプット コンペア出力	-	-	PWM モード2出力	-

【記号説明】 x : Don't care

10. I/O ポート

- P12/PO10/TIOCC0/TCLKA

TMDR_0 の MD3 ~ MD0 ビット、TIOR_L_0 の IOC3 ~ IOC0 ビット、TCR0 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル0 の設定、TCR_0 ~ TCR_5 の TPSC2 ~ TPSC0 ビット、NDERH の NDER10 ビット、および P12DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル0 の設定	下表 (1)	下表 (2)		
P12DDR	-	0	1	1
NDER10	-	-	0	1
端子機能	TIOCC0 出力	P12 入力	P12 出力	PO10 出力
		TIOCC0 入力*1		
	TCLKA 入力*2			

TPU チャンネル0 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3 ~ MD0	B'0000		B'001x	B'0010	B'0011	
IOC3 ~ IOC0	B'0000、B'0100、 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2 ~ CCLR0	-	-	-	-	B'101 以外	B'101
出力機能	-	アウトプット コンペア出力	-	PWM*3 モード 1 出力	PWM モード 2 出力	-

【記号説明】 x : Don't care

【注】 *1 MD3 ~ MD0 = B'0000、かつ IOC3 ~ IOC0 = B'10xx の場合に TIOCC0 入力となります。

*2 TCR_0 ~ TCR_5 のいずれかの設定が TPSC2 ~ TPSC0 = B'100 の場合に TCLKA 入力となります。
また、チャンネル 1、5 を位相計数モードに設定すると、TCLKA 入力となります。

*3 TIOCC0 は出力禁止となります。TMDR0 の BFA = 1 または BFB = 1 のときは出力禁止で (2) の設定になります。

- P11/PO9/TIOCB0

TMDR_0 の MD3 ~ MD0 ビット、TIORH_0 の IOB3 ~ IOB0 ビット、TCR_0 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 0 の設定、NDERH の NDER9 ビット、および P11DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 0 の設定	下表 (1)	下表 (2)		
P11DDR	-	0	1	1
NDER9	-	-	0	1
端子機能	TIOCB0 出力	P11 入力	P11 出力	PO9 出力
		TIOCB0 入力*		

【注】 * MD3 ~ MD0 = B'0000、かつ IOB3 ~ IOB0 = B'10xx の場合に TIOCB0 入力となります。

TPU チャンネル 0 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0	B'0000		B'0010	B'0011		
IOB3 ~ IOB0	B'0000、B'0100、 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	-	B'xx00	B'xx00 以外	
CCLR2 ~ CCLR0	-	-	-	-	B'010 以外	B'010
出力機能	-	アウトプット コンペア出力	-	-	PWM モード 2 出力	-

10. I/O ポート

- P10/PO8/TIOCA0

TMDR_0 の MD3 ~ MD0 ビット、TIORH_0 の IOA3 ~ IOA0 ビット、TCR_0 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル0 の設定、NDERH の NDER8 ビット、および P10DDR ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル0 の設定	下表 (1)	下表 (2)		
P10DDR	-	0	1	1
NDER8	-	-	0	1
端子機能	TIOCA0 出力	P10 入力	P10 出力	PO8 出力
		TIOCA0 入力* ¹		

TPU チャンネル0 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3 ~ MD0	B'0000		B'001x	B'0010	B'0011	
IOA3 ~ IOA0	B'0000、B'0100、 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2 ~ CCLR0	-	-	-	-	B'001 以外	B'001
出力機能	-	アウトプット コンペア出力	-	PWM* ² モード 1 出力	PWM モード 2 出力	-

【記号説明】 x : Don't care

【注】 *1 MD3 ~ MD0 = B'0000、かつ IOA3 ~ IOA0 = B'10xx の場合に TIOCA0 入力となります。

*2 TIOCB0 は出力禁止となります。

10.2 ポート 2

ポート 2 は 8 ビットの兼用入出力ポートです。ポート 2 には以下のレジスタがあります。

- ポート2データディレクションレジスタ (P2DDR)
- ポート2データレジスタ (P2DR)
- ポート2レジスタ (PORT2)

10.2.1 ポート 2 データディレクションレジスタ (P2DDR)

P2DDR は、ポート 2 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	P27DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P26DDR	0	W	
5	P25DDR	0	W	
4	P24DDR	0	W	
3	P23DDR	0	W	
2	P22DDR	0	W	
1	P21DDR	0	W	
0	P20DDR	0	W	

10.2.2 ポート 2 データレジスタ (P2DR)

P2DR は、ポート 2 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	P27DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
6	P26DR	0	R/W	
5	P25DR	0	R/W	
4	P24DR	0	R/W	
3	P23DR	0	R/W	
2	P22DR	0	R/W	
1	P21DR	0	R/W	
0	P20DR	0	R/W	

10. I/O ポート

10.2.3 ポート 2 レジスタ (PORT2)

PORT2 は、ポート 2 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説 明
7	P27	*	R	このレジスタをリードすると、P2DDR がセットされているビットは、P2DR の値がリードされます。P2DDR がクリアされているビットは端子の状態がリードされます。
6	P26	*	R	
5	P25	*	R	
4	P24	*	R	
3	P23	*	R	
2	P22	*	R	
1	P21	*	R	
0	P20	*	R	

【注】 * P27 ~ P20 端子の状態により決定されます。

10.2.4 端子機能

ポート 2 は、PPG の出力端子、TPU の入出力端子、割り込み入力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- P27/PO7/TIOCB5/($\overline{\text{IRQ15}}$)

TMDR_5 の MD3 ~ MD0 ビット、TIOR_5 の IOB3 ~ IOB0 ビット、TCR_5 の CCLR1、CCLR0 ビットによる TPU チャンネル 5 の設定、NDERL の NDER7 ビット、P27DDR ビットおよび ITSr の ITS15 の組み合わせにより、次のように切り替わります。

TPU チャンネル 5 の設定	下表 (1)	下表 (2)		
P27DDR	-	0	1	1
NDER7	-	-	0	1
端子機能	TIOCB5 出力	P27 入力	P27 出力	PO7 出力
		TIOCB5 入力* ¹		
	IRQ15 割り込み入力* ²			

【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOB3 = 1 の場合に TIOCB5 入力となります。

*2 ITSr の ITS15 ビットが 1 のとき $\overline{\text{IRQ15}}$ 入力となります。

TPU チャンネル 5 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3 ~ IOB0	B'0000、B'0100、 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	-	B'xx00	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'10 以外	B'10
出力機能	-	アウトプット コンペア出力	-	-	PWM モード 2 出力	-

【記号説明】 x : Don't care

10. I/O ポート

- P26/PO6/TIOCA5/($\overline{\text{IRQ14}}$)

TMDR_5 の MD3 ~ MD0 ビット、TIOR_5 の IOA3 ~ IOA0 ビット、TCR_5 の CCLR1、CCLR0 ビットによる TPU チャンネル 5 の設定、NDERL の NDER6 ビット、P26DDR ビットおよび ITSR の ITS14 ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 5 の設定	下表 (1)	下表 (2)		
P26DDR	-	0	1	1
NDER6	-	-	0	1
端子機能	TIOCA5 出力	P26 入力	P26 出力	PO6 出力
		TIOCA5 入力* ¹		
	$\overline{\text{IRQ14}}$ 割り込み入力* ²			

TPU チャンネル 5 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3 ~ IOA0	B'0000、B'0100、 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'01 以外	B'01
出力機能	-	アウトプット コンペア出力	-	PWM* ³ モード 1 出力	PWM モード 2 出力	-

【記号説明】 x : Don't care

【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOA3 = 1 の場合に TIOCA5 入力となります。

*2 ITSR の ITS14 ビットが 1 のとき $\overline{\text{IRQ14}}$ 入力となります。

*3 TIOCB5 は出力禁止となります。

- P25/PO5/TIOCB4/($\overline{\text{IRQ13}}$)

TMDR_4 の MD3 ~ MD0 ビット、TIOR_4 の IOB3 ~ IOB0 ビット、TCR_4 の CCLR1、CCLR0 ビットによる TPU チャンネル 4 の設定、NDERL の NDER5 ビット、P25DDR ビットおよび ITSR の ITS13 ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 4 の設定	下表 (1)	下表 (2)		
P25DDR	-	0	1	1
NDER5	-	-	0	1
端子機能	TIOCB4 出力	P25 入力	P25 出力	PO5 出力
		TIOCB4 入力* ¹		
	$\overline{\text{IRQ13}}$ 割り込み入力* ²			

【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOB3 ~ IOB0 = B'10xx の場合に TIOCB4 入力となります。

*2 ITSR の ITS13 ビットが 1 のとき $\overline{\text{IRQ13}}$ 入力となります。

TPU チャンネル 4 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0	B'0000、B'01xx		B'0010	B'0011		
IOB3 ~ IOB0	B'0000、B'0100、 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	-	B'xx00	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'10 以外	B'10
出力機能	-	アウトプット コンペア出力	-	-	PWM モード 2 出力	-

【記号説明】 x : Don't care

10. I/O ポート

- P24/PO4/TIOCA4/RxD4/($\overline{\text{IRQ12}}$)

TPU チャネル 4 の設定、TIOCA4 の IOA3 ~ IOA0 ビット、TCR_4 の CCLR1、CCLR0 ビットによる TPU チャネル 4 の設定、NDERL の NDER4 ビット、SCI_4 の SCR の RE ビット、ITSR の ITS12 ビットおよび P24DDR ビットの組み合わせにより、次のように切り替わります。

RE	0			1	
TPU チャネル 4 の設定	下表 (1)	下表 (2)		-	
P24DDR	-	0	1	1	-
NDER4	-	-	0	1	-
端子機能	TIOCA4 出力	P24 入力	P24 出力	PO4 出力	RxD4 入力
		TIOCA4 入力*1			
	$\overline{\text{IRQ12}}$ 割り込み入力*2				

TPU チャネル 4 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3 ~ MD0	B'0000、B'01xx		B'001x	B'0010	B'0011	
IOA3 ~ IOA0	B'0000、B'0100、 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR1、CCLR0	-	-	-	-	B'01 以外	B'01
出力機能	-	アウトプット コンペア出力	-	PWM*3 モード 1 出力	PWM モード 2 出力	-

【記号説明】 x : Don't care

【注】 *1 MD3 ~ MD0 = B'0000、B'01xx かつ IOA3 ~ IOA0 = B'10xx の場合に TIOCA4 入力となります。

*2 ITSR の ITS12 ビットが 1 のとき $\overline{\text{IRQ12}}$ 入力となります。

*3 TIOCB4 は出力禁止となります。

- P23/PO3/TIOCD3/TxD4/($\overline{\text{IRQ11}}$)

TMDR_3のMD3～MD0ビット、TIORL_3のIOD3～IOD0ビット、TCR_3のCCLR2～CCLR0ビットによるTPUチャンネル3の設定、NDERLのNDER3ビット、SCL_4のSCRのTEビット、P23DDRビットおよびITSRのITS11ビットの組み合わせにより、次のように切り替わります。

TE	0				1
TPUチャンネル3の設定	下表(1)	下表(2)			-
P23DDR	-	0	1	1	-
NDER3	-	-	0	1	-
端子機能	TIOCD3出力	P23入力	P23出力	PO3出力	TxD4出力
		TIOCD3入力* ¹			
	$\overline{\text{IRQ11}}$ 割り込み入力* ²				

【注】 *¹ MD3～MD0=B'0000、かつ IOD3～IOD0=B'10xx の場合に TIOCD3 入力となります。

*² ITSR の ITS11 ビットが 1 のとき $\overline{\text{IRQ11}}$ 入力となります。

TPUチャンネル3の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3～MD0	B'0000		B'0010	B'0011		
IOD3～IOD0	B'0000、B'0100、 B'1xxx	B'0001～B'0011 B'0101～B'0111	-	B'xx00	B'xx00 以外	
CCLR2～CCLR0	-	-	-	-	B'110 以外	B'110
出力機能	-	アウトプット コンペア出力	-	-	PWM モード2出力	-

【記号説明】 x : Don't care

10. I/O ポート

- P22/PO2/TIOCC3/(IRQ10)

TMDR_3 の MD3 ~ MD0 ビット、TIOR_L_3 の IOC3 ~ IOC0 ビット、TCR_3 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 3 の設定、NDERL の NDER2 ビット、P22DDR ビットおよび ITSR の ITS10 ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 3 の設定	下表 (1)	下表 (2)		
P22DDR	-	0	1	1
NDER2	-	-	0	1
端子機能	TIOCC3 出力	P22 入力	P22 出力	PO2 出力
		TIOCC3 入力*1		
	IRQ10 割り込み入力*2			

TPU チャンネル 3 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3 ~ MD0	B'0000		B'001x	B'0010	B'0011	
IOC3 ~ IOC0	B'0000、B'0100、 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2 ~ CCLR0	-	-	-	-	B'101 以外	B'101
出力機能	-	アウトプット コンペア出力	-	PWM*3 モード 1 出力	PWM モード 2 出力	-

【記号説明】 x : Don't care

【注】 *1 MD3 ~ MD0 = B'0000、かつ IOC3 ~ IOC0 = B'10xx の場合に TIOCC3 入力となります。

*2 ITSR の ITS10 ビットが 1 のとき IRQ10 入力となります。

*3 TIOCC3 は出力禁止となります。TMDR_3 の BFA = 1 または BFB = 1 のときは出力禁止で (2) の設定になります。

- P21/PO1/TIOCB3/ $\overline{\text{IRQ9}}$

TMDR_3 の MD3 ~ MD0 ビット、TIOR_H_3 の IOB3 ~ IOB0 ビット、TCR_3 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 3 の設定、NDERL の NDER1 ビット、P21DDR ビットおよび ITSr の ITS9 ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 3 の設定	下表 (1)	下表 (2)		
P21DDR	-	0	1	1
NDER1	-	-	0	1
端子機能	TIOCB3 出力	P21 入力	P21 出力	PO1 出力
		TIOCB3 入力* ¹		
	$\overline{\text{IRQ9}}$ 割り込み入力* ²			

【注】 *1 MD3 ~ MD0 = B'0000、かつ IOB3 ~ IOB0 = B'10xx の場合に TIOCB3 入力となります。

*2 ITSr の ITS9 ビットが 1 のとき $\overline{\text{IRQ9}}$ 入力となります。

TPU チャンネル 3 の設定	(2)	(1)	(2)	(2)	(1)	(2)
MD3 ~ MD0	B'0000		B'0010	B'0011		
IOB3 ~ IOB0	B'0000、B'0100、 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	-	B'xx00	B'xx00 以外	
CCLR2 ~ CCLR0	-	-	-	-	B'010 以外	B'010
出力機能	-	アウトプット コンペア出力	-	-	PWM モード 2 出力	-

【記号説明】 x : Don't care

10. I/O ポート

- P20/PO0/TIOCA3/($\overline{\text{IRQ8}}$)

TMDR_3 の MD3 ~ MD0 ビット、TIOR_H_3 の IOA3 ~ IOA0 ビット、TCR_3 の CCLR2 ~ CCLR0 ビットによる TPU チャンネル 3 の設定、NDERL の NDER0 ビット、P20DDR ビットおよび ITSR の ITS8 ビットの組み合わせにより、次のように切り替わります。

TPU チャンネル 3 の設定	下表 (1)	下表 (2)		
P20DDR	-	0	1	1
NDER0	-	-	0	1
端子機能	TIOCA3 出力	P20 入力	P20 出力	PO0 出力
		TIOCA3 入力* ¹		
	$\overline{\text{IRQ8}}$ 割り込み入力* ²			

TPU チャンネル 3 の設定	(2)	(1)	(2)	(1)	(1)	(2)
MD3 ~ MD0	B'0000		B'001x	B'0010	B'0011	
IOA3 ~ IOA0	B'0000、B'0100、 B'1xxx	B'0001 ~ B'0011 B'0101 ~ B'0111	B'xx00	B'xx00 以外	B'xx00 以外	
CCLR2 ~ CCLR0	-	-	-	-	B'001 以外	B'001
出力機能	-	アウトプット コンペア出力	-	PWM* ³ モード 1 出力	PWM モード 2 出力	-

【記号説明】 x : Don't care

【注】 *1 MD3 ~ MD0 = B'0000、かつ IOA3 ~ IOA0 = B'10xx の場合に TIOCA3 入力となります。

*2 ITSR の ITS8 ビットが 1 のとき $\overline{\text{IRQ8}}$ 入力となります。

*3 TIOCB3 は出力禁止となります。

10.3 ポート 3

ポート 3 は 6 ビットの兼用入出力ポートです。ポート 3 には以下のレジスタがあります。

- ポート3データディレクションレジスタ (P3DDR)
- ポート3データレジスタ (P3DR)
- ポート3レジスタ (PORT3)
- ポート3オープンドレインコントロールレジスタ (P3ODR)
- ポートファンクションコントロールレジスタ2 (PFCR2)

10.3.1 ポート 3 データディレクションレジスタ (P3DDR)

P3DDR は、ポート 3 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 0	-	リザーブビット
5	P35DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
4	P34DDR	0	W	
3	P33DDR	0	W	
2	P32DDR	0	W	
1	P31DDR	0	W	
0	P30DDR	0	W	

10.3.2 ポート 3 データレジスタ (P3DR)

P3DR は、ポート 3 の出力データを格納します。

ビット	ビット名	初期値	R/W	説 明
7、6	-	すべて 0	-	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
5	P35DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
4	P34DR	0	R/W	
3	P33DR	0	R/W	
2	P32DR	0	R/W	
1	P31DR	0	R/W	
0	P30DR	0	R/W	

10. I/O ポート

10.3.3 ポート 3 レジスタ (PORT3)

PORT3 は、ポート 3 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7, 6		不定		リザーブビット リードすると不定値が読み出されます。
5	P35	*	R	このレジスタをリードすると、P3DDR がセットされているビットは、P3DR の値がリードされます。P3DDR がクリアされているビットは端子の状態がリードされます。
4	P34	*	R	
3	P33	*	R	
2	P32	*	R	
1	P31	*	R	
0	P30	*	R	

【注】 * P35 ~ P30 端子の状態により決定されます。

10.3.4 ポート 3 オープンドレインコントロールレジスタ (P3ODR)

P3ODR は、ポート 3 の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7, 6		すべて 0		リザーブビット リードすると 0 が読み出されます。ライトは無効です。
5	P35ODR	0	R/W	このビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
4	P34ODR	0	R/W	
3	P33ODR	0	R/W	
2	P32ODR	0	R/W	
1	P31ODR	0	R/W	
0	P30ODR	0	R/W	

10.3.5 ポートファンクションコントロールレジスタ 2 (PFCR2)

PFCR2 は、I/O ポートの制御を行います。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	-	リザーブビット リードすると 0 が読み出されます。ライト時は 0 をライトしてください。
3	ASOE	1	R/W	\overline{AS} 出力イネーブル \overline{AS} 出力の許可 / 禁止を選択します。 0 : PF6 は I/O ポートとして設定 1 : PF6 は \overline{AS} 出力端子として設定
2	LWROE	1	R/W	\overline{LWR} 出力イネーブル \overline{LWR} 出力の許可 / 禁止を選択します。 0 : PF3 は I/O ポートとして設定 1 : PF3 は \overline{LWR} 出力端子として設定
1	OES	1	R/W	\overline{OE} 出力セレクト DRAMCR の OEE ビットを 1 にセット ($\overline{OE}/\overline{CKE}$ 出力許可) したとき、 $\overline{OE}/\overline{CKE}$ 出力端子のポートを選択します。 0 : P35 を $\overline{OE}/\overline{CKE}$ 出力端子として設定 1 : PH3 を $\overline{OE}/\overline{CKE}$ 出力端子として設定
0	-	0	-	リザーブビット リードすると 0 が読み出されます。ライト時は 0 をライトしてください。

10. I/O ポート

10.3.6 端子機能

ポート 3 は SCI 入出力端子、I²C 入出力端子、バス制御出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- P35/SCK1/SCL0($\overline{\text{OE}}$)/(CKE*³)

I²C_0 の ICCRA の ICE ビット、SCL_1 の SMR の $\overline{\text{C}/\overline{\text{A}}}$ ビット、SCR の CKE0、CKE1 ビット、DRAMCR の OEE ビット、RMTS2~RMTS0 ビット、PFCR2 の OES ビットと P35DDR ビットの組み合わせにより、次のように切り替わります。

- モード1、2、4、7 (EXPE = 1)

OEE	0						1							
OES	-						1						0	
エリア 2~5	-						-						通常空間 または DRAM空間	連続 シンクロナス DRAM空間
ICE	0			1			0			1			-	
CKE1	0			1			-			0			1	-
$\overline{\text{C}/\overline{\text{A}}}$	0			1			-			0			1	-
CKE0	0	1	-	-	-	-	0	1	-	-	-	-	-	
P35DDR	0	1	-	-	-	-	0	1	-	-	-	-	-	
端子機能	P35 入力	P35 出力*1	SCK1 出力*1	SCK1 出力*1	SCK1 入力	SCL0 入出力*2	P35 入力	P35 出力*1	SCK1 出力*1	SCK1 出力*1	SCK1 入力	SCL0 入出力*2	$\overline{\text{OE}}$ 出力	CKE 出力

- モード7 (EXPE = 0)

OEE	0					
OES	-					
エリア 2~5	-					
ICE	0					1
CKE1	0				1	
$\overline{\text{C}/\overline{\text{A}}}$	0			1		
CKE0	0		1		-	
P35DDR	0		1		-	
端子機能	P35 入力		P35 出力*1		SCK1 出力*1	
			SCK1 出力*1		SCK1 入力	
					SCL0 入出力*2	

【注】 *1 P35ODR = 1 のとき、NMOS オープンドレイン出力になります。

*2 P35ODR に関係なく NMOS オープンドレイン出力になります。

*3 H8S/2378 0.18 μm F-ZTAT グループ、H8S/2377、H8S/2375、H8S/2373 ではサポートしていません。

- P34/SCK0/SCK4/SDA0

I²C_0のICCRAのICEビット、SMRのC/Aビット、SCRのCKE0、CKE1ビットとP34DDRビットの組み合わせにより、次のように切り替わります。

ICE	0					1
CKE1	0			1	-	-
C/A	0		1	-	-	-
CKE0	0	1	-	-	-	-
P34DDR	0	1	-	-	-	-
端子機能	P34 入力	P34 出力* ¹	SCK0/SCK4 出力* ¹ * ³	SCK0/SCK4 出力* ¹ * ³	SCK0/SCK4 入力	SDA0 入出力* ²

【注】 *1 P34ODR = 1 のとき、NMOS オープンドレイン出力になります。

*2 P34ODR に関係なく NMOS オープンドレイン出力になります。

*3 SCK0 と SCK4 の同時出力は設定禁止となります。

- P33/RxD1/SCL1

I²C_1のICCRAのICEビット、SCL_1のSCRのREビットとP33DDRビットの組み合わせにより、次のように切り替わります。

ICE	0			1
RE	0		1	-
P33DDR	0	1	-	-
端子機能	P33 入力	P33 出力* ¹	RxD1 入力	SCL1 入出力* ²

【注】 *1 P33ODR = 1 のとき、NMOS オープンドレイン出力になります。

*2 P33ODR に関係なく NMOS オープンドレイン出力になります。

- P32/RxD0/IrRxD/SDA1

I²C_1のICCRAのICEビット、SCL_0のSCRのREビットとP32DDRビットの組み合わせにより、次のように切り替わります。

ICE	0			1
RE	0		1	-
P32DDR	0	1	-	-
端子機能	P32 入力	P32 出力* ¹	RxD0/IrRxD 入力	SDA1 入出力* ²

【注】 *1 P32ODR = 1 のとき、NMOS オープンドレイン出力になります。

*2 P32ODR に関係なく NMOS オープンドレイン出力になります。

10. I/O ポート

- P31/TxD1

SC1_1 の SCR の TE ビットと P31DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P31DDR	0	1	-
端子機能	P31 入力	P31 出力*	TxD1 出力*

【注】 * P31ODR = 1 のとき、NMOS オープンドレイン出力になります。

- P30/TxD0/IrTxD

SC1_0 の SCR の TE ビットと P30DDR ビットの組み合わせにより、次のように切り替わります。

TE	0		1
P30DDR	0	1	-
端子機能	P30 入力	P30 出力*	TxD0/IrTxD 出力*

【注】 * P30ODR = 1 のとき、NMOS オープンドレイン出力になります。

10.4 ポート 4

ポート 4 は 8 ビットのアナログ入力兼用入力ポートです。ポート 4 には以下のレジスタがあります。

- ポート4レジスタ (PORT4)

10.4.1 ポート 4 レジスタ (PORT4)

PORT4 は 8 ビットのリード専用レジスタでポート 4 の端子の状態を反映します。

ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P47	*	R	このレジスタをリードすると、常に端子の状態が読み出されます。
6	P46	*	R	
5	P45	*	R	
4	P44	*	R	
3	P43	*	R	
2	P42	*	R	
1	P41	*	R	
0	P40	*	R	

【注】 * P47 ~ P40 端子の状態により決定されます。

10.4.2 端子機能

ポート 4 は A/D 変換器のアナログ入力端子、D/A 変換器のアナログ出力端子と兼用になっています。端子の関係は以下のとおりです。

- P47/AN7/DA1*

端子機能	AN7 入力
	DA1 出力

【注】 * H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

- P46/AN6/DA0*

端子機能	AN6 入力
	DA0 出力

【注】 * H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

- P45/AN5

端子機能	AN5 入力
------	--------

- P44/AN4

端子機能	AN4 入力
------	--------

- P43/AN3

端子機能	AN3 入力
------	--------

- P42/AN2

端子機能	AN2 入力
------	--------

- P41/AN1

端子機能	AN1 入力
------	--------

- P40/AN0

端子機能	AN0 入力
------	--------

10.5 ポート 5

ポート 5 は 4 ビットの入出力ポートです。ポート 5 には以下のレジスタがあります。

- ポート5データディレクションレジスタ (P5DDR)
- ポート5データレジスタ (P5DR)
- ポート5レジスタ (PORT5)

10.5.1 ポート 5 データディレクションレジスタ (P5DDR)

P5DDR は、ポート 5 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	-	リザーブビット
3	P53DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
2	P52DDR	0	W	
1	P51DDR	0	W	
0	P50DDR	0	W	

10.5.2 ポート 5 データレジスタ (P5DR)

P5DR は、ポート 5 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	-	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
3	P53DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
2	P52DR	0	R/W	
1	P51DR	0	R/W	
0	P50DR	0	R/W	

10.5.3 ポート 5 レジスタ (PORT5)

PORT5 は、ポート 5 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~4		不定	R	リザーブビット リードすると不定値が読み出されます。
3	P53	*	R	P53~P50 をリードすると、P5DDR がセットされているビットは、P5DR の値がリードされます。P5DDR がクリアされているビットは端子の状態がリードされます。
2	P52	*	R	
1	P51	*	R	
0	P50	*	R	

【注】 * P53~P50 端子の状態により決定されます。

10.5.4 端子機能

ポート 5 は SCI 入出力端子、A/D 変換器の入力端子、割り込み入力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- P53/ADTRG/IRQ3

ADCR の TRGS1 ビット、TRGS0 ビット、および ITSR の ITS3 ビット、P53DDR ビットの組み合わせにより次のように切り替わります。

P53DDR	0	1
	P53 入力	P53 出力
端子機能	ADTRG 入力* ¹	
	$\overline{\text{IRQ3}}$ 割り込み入力* ²	

【注】 *¹ TRGS1 = TRGS0 = 1 のとき ADTRG 入力となります。

*² ITSR の ITS3 ビットが 0 のとき $\overline{\text{IRQ3}}$ 入力となります。

10. I/O ポート

- P52/SCK2/ $\overline{\text{IRQ2}}$

SCI₂ の SMR の $\overline{\text{C/A}}$ ビット、SCR の CKE0、CKE1 ビットと ITSR の ITS2 ビットと P52DDR ビットの組み合わせにより次のように切り替わります。

CKE1	0				1
$\overline{\text{C/A}}$	0			1	-
CKE0	0		1	-	-
P52DDR	0	1	-	-	-
端子機能	P52 入力	P52 出力	SCK2 出力	SCK2 出力	SCK2 入力
	$\overline{\text{IRQ2}}$ 割り込み入力*				

【注】 * ITSR の ITS2 ビットが 0 のとき $\overline{\text{IRQ2}}$ 入力となります。

- P51/RxD2/ $\overline{\text{IRQ1}}$

SCI₂ の SCR の RE ビットと ITSR の ITS1 ビットと P51DDR ビットの組み合わせにより次のように切り替わります。

RE	0		1
P51DDR	0	1	-
端子機能	P51 入力	P51 出力	RxD2 入力
	$\overline{\text{IRQ1}}$ 割り込み入力*		

【注】 * ITSR の ITS1 ビットが 0 のとき $\overline{\text{IRQ1}}$ 入力となります。

- P50/TxD2/ $\overline{\text{IRQ0}}$

SCI₂ の SCR の TE ビットと ITSR の ITS0 ビットと P50DDR ビットの組み合わせにより次のように切り替わります。

TE	0		1
P50DDR	0	1	-
端子機能	P50 入力	P50 出力	TxD2 入力
	$\overline{\text{IRQ0}}$ 割り込み入力*		

【注】 * ITSR の ITS0 ビットが 0 のとき $\overline{\text{IRQ0}}$ 入力となります。

10.6 ポート 6

ポート 6 は 6 ビットの兼用入出力ポートです。ポート 6 には以下のレジスタがあります。

- ポート 6 データディレクションレジスタ (P6DDR)
- ポート 6 データレジスタ (P6DR)
- ポート 6 レジスタ (PORT6)

10.6.1 ポート 6 データディレクションレジスタ (P6DDR)

P6DDR は、ポート 6 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	-	リザーブビット
5	P65DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
4	P64DDR	0	W	
3	P63DDR	0	W	
2	P62DDR	0	W	
1	P61DDR	0	W	
0	P60DDR	0	W	

10.6.2 ポート 6 データレジスタ (P6DR)

P6DR は、ポート 6 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	-	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
5	P65DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
4	P64DR	0	R/W	
3	P63DR	0	R/W	
2	P62DR	0	R/W	
1	P61DR	0	R/W	
0	P60DR	0	R/W	

10. I/O ポート

10.6.3 ポート 6 レジスタ (PORT6)

PORT6 は、ポート 6 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7, 6	-	不定	-	リザーブビット リードすると不定値が読み出されます。
5	P65	*	R	このレジスタをリードすると、P6DDR がセットされているビットは、P6DR の値がリードされます。P6DDR がクリアされているビットは端子の状態がリードされます。
4	P64	*	R	
3	P63	*	R	
2	P62	*	R	
1	P61	*	R	
0	P60	*	R	

【注】 * P65 ~ P60 端子の状態により決定されます。

10.6.4 端子機能

ポート 6 は 8 ビットタイマの入出力端子、割り込み入力端子、DMAC 入出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- P65/TMO1/DACK1/IRQ13

DMAC の DMABCRH の SAE1 ビット、8 ビットタイマの TCSR_1 の OS3 ~ OS0 ビット、P65DDR ビットおよび ITSR の ITS13 ビットの組み合わせにより、次のように切り替わります。

SAE1	0		1	
OS3 ~ OS0	すべてが 0		いずれかが 1	-
P65DDR	0	1	-	-
端子機能	P65 入力	P65 出力	TMO1 出力	DACK1 出力
	IRQ13 割り込み入力*			

【注】 * ITSR の ITS13 ビットが 0 のとき IRQ13 入力となります。

- P64/TMO0/DACK0/IRQ12

DMAC の DMABCRH の SAE0 ビット、8 ビットタイマの TCSR_0 の OS3 ~ OS0 ビット、P64DDR ビットおよび ITSR の ITS12 ビットの組み合わせにより、次のように切り替わります。

SAE0	0		1	
OS3 ~ OS0	すべてが 0		いずれかが 1	-
P64DDR	0	1	-	-
端子機能	P64 入力	P64 出力	TMO0 出力	DACK0 出力
	IRQ12 割り込み入力*			

【注】 * ITSR の ITS12 ビットが 0 のとき $\overline{\text{IRQ12}}$ 入力となります。

- P63/TMC11/TEND1/IRQ11

DMAC の DMATCR の TEE1 ビット、P63DDR ビットおよび ITSR の ITS11 ビットの組み合わせにより、次のように切り替わります。

TEE1	0		1	
P63DDR	0	1	-	
端子機能	P63 入力	P63 出力	TEND1 出力	
	IRQ11 割り込み入力* ¹			
	TMC11 入力* ²			

【注】 *¹ ITSR の ITS11 ビットが 0 のとき $\overline{\text{IRQ11}}$ 入力となります。

*² TMR の外部クロック入力端子として使用する場合は、TCR_1 の CKS2 ~ CKS0 ビットで外部クロックを選択します。

- P62/TMC10/TEND0/IRQ10

DMAC の DMATCR の TEE0 ビット、P62DDR ビットおよび ITSR の ITS10 ビットの組み合わせにより、次のように切り替わります。

TEE0	0		1	
P62DDR	0	1	-	
端子機能	P62 入力	P62 出力	TEND0 出力	
	IRQ10 割り込み入力* ¹			
	TMC10 入力* ²			

【注】 *¹ ITSR の ITS10 ビットが 0 のとき $\overline{\text{IRQ10}}$ 入力となります。

*² TMR の外部クロック入力端子として使用する場合は、TCR_0 の CKS2 ~ CKS0 ビットで外部クロックを選択します。

10. I/O ポート

- P61/TMR11/DREQ1/IRQ9

P61DDR ビットおよび ITSR の ITS9 ビットにより、次のように切り替わります。

P61DDR	0	1
端子機能	P61 入力	P61 出力
	TMR11 入力* ¹	
	DREQ1 入力	
	IRQ9 割り込み入力* ²	

【注】 *1 TMR のカウンタリセットとして使用する場合は、TCR_1 の CCLR1、CCLR0 ビットをそれぞれ 1 にセットします。

*2 ITSR の ITS9 ビットが 0 のとき IRQ9 入力となります。

- P60/TMR10/DREQ0/IRQ8

P60DDR ビットおよび ITSR の ITS8 ビットにより、次のように切り替わります。

P60DDR	0	1
端子機能	P60 入力	P60 出力
	TMR10 入力* ¹	
	DREQ0 入力	
	IRQ8 割り込み入力* ²	

【注】 *1 TMR のカウンタリセットとして使用する場合は、TCR_0 の CCLR1、CCLR0 ビットをそれぞれ 1 にセットします。

*2 ITSR の ITS8 ビットが 0 のとき IRQ8 入力となります。

10.7 ポート 8

ポート 8 は 6 ビットの兼用入出力ポートです。ポート 8 には以下のレジスタがあります。

- ポート 8 データディレクションレジスタ (P8DDR)
- ポート 8 データレジスタ (P8DR)
- ポート 8 レジスタ (PORT8)

10.7.1 ポート 8 データディレクションレジスタ (P8DDR)

P8DDR は、ポート 8 の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	-	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
5	P85DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
4	P84DDR	0	W	
3	P83DDR	0	W	
2	P82DDR	0	W	
1	P81DDR	0	W	
0	P80DDR	0	W	

10.7.2 ポート 8 データレジスタ (P8DR)

P8DR は、ポート 8 の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7, 6	-	すべて 0	-	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
5	P85DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
4	P84DR	0	R/W	
3	P83DR	0	R/W	
2	P82DR	0	R/W	
1	P81DR	0	R/W	
0	P80DR	0	R/W	

10. I/O ポート

10.7.3 ポート 8 レジスタ (PORT8)

PORT8 は、ポート 8 の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7, 6	-	不定		リザーブビット リードすると不定値が読み出されます。
5	P85	*	R	このレジスタをリードすると、P8DDR がセットされているビットは、P8DR の値がリードされます。P8DDR がクリアされているビットは端子の状態がリードされます。
4	P84	*	R	
3	P83	*	R	
2	P82	*	R	
1	P81	*	R	
0	P80	*	R	

【注】 * P85～P80 端子の状態により決定されます。

10.7.4 端子機能

ポート 8 は、SCI 入出力端子、割り込み入力端子、EXDMAC 入出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- $P85/\overline{EDACK3}^{*2}/(\overline{IRQ5})/SCK3$

EXDMAC の EDMDR_3 の AMS ビット、SCI_3 の SMR の C/\overline{A} ビット、SCR の CKE0、CKE1 ビットと P85DDR ビットおよび ITSR の ITS5 ビットにより、次のように切り替わります。

- モード1、2、4、7 (EXPE = 1)

AMS	0				1	
CKE1	0			1		
C/\overline{A}	0		1			
CKE0	0		1			
P85DDR	0	1				
端子機能	P85 入力	P85 出力	SCK3 出力	SCK3 出力	SCK3 入力	$\overline{EDACK3}$ 出力
	$\overline{IRQ5}$ 割り込み入力 ^{*1}					

【注】 *1 ITSR の ITS5 ビットが 1 のとき $\overline{IRQ5}$ 入力となります。

*2 H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

- モード7 (EXPE = 0)

AMS					
CKE1	0				1
C/ \bar{A}	0			1	
CKE0	0		1		
P85DDR	0	1			
端子機能	P85 入力	P85 出力	SCK3 出力	SCK3 出力	SCK3 入力
	IRQ5 割り込み入力*				

【注】 * ITS_R の ITS₅ ビットが 1 のとき IRQ₅ 入力となります。

- P84/EDACK2^{*2}/IRQ4

EXDMAC の EDMDR₂ の AMS ビット、P84DDR ビットおよび ITS_R の ITS₄ ビットにより、次のように切り替わります。

動作モード	1、2、4、7 (EXPE = 1)			7 (EXPE = 0)	
AMS	0		1		
P84DDR	0	1		0	1
端子機能	P84 入力	P84 出力	EDACK2 出力	P84 入力	P84 出力
	IRQ4 割り込み入力 ^{*1}				

【注】 ^{*1} ITS_R の ITS₄ ビットが 1 のとき IRQ₄ 入力となります。

^{*2} H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

- P83/ETEND3^{*2}/IRQ3/RxD3

EXDMAC の EDMDR₃ の ETENDE ビット、SCI₃ の SCR の RE ビットと P83DDR ビットおよび ITS_R の ITS₃ ビットにより、次のように切り替わります。

動作モード	1、2、4、7 (EXPE = 1)				7 (EXPE = 0)		
ETENDE	0			1	-		
RE	0		1	-	0		1
P83DDR	0	1	-	-	0	1	-
端子機能	P83 入力	P83 出力	RxD3 入力	ETEND3 出力	P83 入力	P83 出力	RxD3 入力
	IRQ3 割り込み入力 ^{*1}						

【注】 ^{*1} ITS_R の ITS₃ ビットが 1 のとき IRQ₃ 入力となります。

^{*2} H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

10. I/O ポート

- P82/ $\overline{\text{ETEND2}}^{*2}/(\overline{\text{IRQ2}})$

EXDMAC の EDMDR_2 の ETENDE ビット、P82DDR ビットおよび ITSR の ITS2 ビットにより、次のように切り替わります。

動作モード	1、2、4、7 (EXPE = 1)			7 (EXPE = 0)	
ETENDE	0		1	-	
P82DDR	0	1	-	0	1
端子機能	P82 入力	P82 出力	$\overline{\text{ETEND2}}$ 出力	P82 入力	P82 出力
	$\overline{\text{IRQ2}}$ 割り込み入力*1				

【注】 *1 ITSR の ITS2 ビットが 1 のとき $\overline{\text{IRQ2}}$ 入力となります。

*2 H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

- P81/ $\overline{\text{EDREQ3}}^{*2}/(\overline{\text{IRQ1}})/\text{TxD3}$

SCI_3 の SCR の TE ビットと P81DDR ビットおよび ITSR の ITS1 ビットにより、次のように切り替わります。

TE	0		1
P81DDR	0	1	
端子機能	P81 入力	P81 出力	TxD3 出力
	$\overline{\text{EDREQ3}}$ 入力		
	$\overline{\text{IRQ1}}$ 割り込み入力*1		

【注】 *1 ITSR の ITS1 ビットが 1 のとき $\overline{\text{IRQ1}}$ 入力となります。

*2 H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

- P80/ $\overline{\text{EDREQ2}}^{*2}/(\overline{\text{IRQ0}})$

P80DDR ビットおよび ITSR の ITS0 ビットにより、次のように切り替わります。

P80DDR	0	1
端子機能	P80 入力	P80 出力
$\overline{\text{EDREQ2}}$ 入力		
$\overline{\text{IRQ0}}$ 割り込み入力*1		

【注】 *1 ITSR の ITS0 ビットが 1 のとき $\overline{\text{IRQ0}}$ 入力となります。

*2 H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

10.8 ポート 9

ポート9は8ビットの兼用入力ポートです。ポート9には以下のレジスタがあります。

- ポート9レジスタ (PORT9)

10.8.1 ポート9レジスタ (PORT9)

PORT9は、ポート9の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	P97	*	R	このレジスタをリードすると、常に端子の状態が読み出されます。
6	P96	*	R	
5	P95	*	R	
4	P94	*	R	
3	P93	*	R	
2	P92	*	R	
1	P91	*	R	
0	P90	*	R	

【注】 * P97～P90 端子の状態により決定されます。

10.8.2 端子機能

ポート9はA/D変換器のアナログ入力端子、D/A変換器のアナログ出力端子と兼用になっています。端子の関係は以下のとおりです。

- P97/AN15/DA5*

端子機能	AN15 入力
	DA5 出力

【注】 * H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

- P96/AN14/DA4*

端子機能	AN14 入力
	DA4 出力

【注】 * H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

- P95/AN13/DA3

端子機能	AN13 入力
	DA3 出力

10. I/O ポート

- P94/AN12/DA2

端子機能	AN12 入力
	DA2 出力

- P93/AN11

端子機能	AN11 入力
------	---------

- P92/AN10

端子機能	AN10 入力
------	---------

- P91/AN9

端子機能	AN9 入力
------	--------

- P90/AN8

端子機能	AN8 入力
------	--------

10.9 ポート A

ポート A は 8 ビットの兼用入出力ポートです。ポート A には以下のレジスタがあります。

- ポートAデータディレクションレジスタ (PADDR)
- ポートAデータレジスタ (PADR)
- ポートAレジスタ (PORTA)
- ポートAプルアップMOSコントロールレジスタ (PAPCR)
- ポートAオープンドレインコントロールレジスタ (PAODR)
- ポートファンクションコントロールレジスタ1 (PFCR1)

10.9.1 ポート A データディレクションレジスタ (PADDR)

PADDR は、ポート A の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PA7DDR	0	W	<ul style="list-style-type: none"> モード 1、2 のとき PA4～PA0 端子は、アドレス出力になります。 PA7～PA5 端子は、A23E～A21E ビットがそれぞれ 1 にセットされているとき、PADDDR を 1 にセットすると対応する端子はアドレス出力となり、0 にクリアすると入力ポートになります。A23E～A21E ビットをそれぞれ 0 にクリアすると入出力ポートとなり、PADDDR によって端子機能を切り替えることができます。 モード 4、およびモード 7 (EXPE=1) のとき A23E～A16E ビットがそれぞれ 1 にセットされているとき、PADDDR を 1 にセットすると対応する端子はアドレス出力となり、0 にクリアすると入力ポートになります。A23E～A16E ビットをそれぞれ 0 にクリアすると入出力ポートとなり、PADDDR によって端子機能を切り替えることができます。 モード 7 (EXPE=0) のとき ポート A は入出力ポートとなり、PADDDR によって端子機能を切り替えることができます。
6	PA6DDR	0	W	
5	PA5DDR	0	W	
4	PA4DDR	0	W	
3	PA3DDR	0	W	
2	PA2DDR	0	W	
1	PA1DDR	0	W	
0	PA0DDR	0	W	

10.9.2 ポート A データレジスタ (PADR)

PADR は、ポート A の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PA7DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
6	PA6DR	0	R/W	
5	PA5DR	0	R/W	
4	PA4DR	0	R/W	
3	PA3DR	0	R/W	
2	PA2DR	0	R/W	
1	PA1DR	0	R/W	
0	PA0DR	0	R/W	

10. I/O ポート

10.9.3 ポート A レジスタ (PORTA)

PORTA は、ポート A の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PA7	*	R	このレジスタをリードすると、PADDR がセットされているビットは、PADR の値がリードされます。PADDR がクリアされているビットは端子の状態がリードされます。
6	PA6	*	R	
5	PA5	*	R	
4	PA4	*	R	
3	PA3	*	R	
2	PA2	*	R	
1	PA1	*	R	
0	PA0	*	R	

【注】 * PA7～PA0 端子の状態により決定されます。

10.9.4 ポート A プルアップ MOS コントロールレジスタ (PAPCR)

PAPCR は、ポート A の入力プルアップ MOS のオン/オフを制御します。モード 1、2 ではビット 7～5 が有効です。モード 4、7 ではすべてのビットが有効です。

ビット	ビット名	初期値	R/W	説明
7	PA7PCR	0	R/W	PADDR = 0 (入力ポート) 状態で、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PA6PCR	0	R/W	
5	PA5PCR	0	R/W	
4	PA4PCR	0	R/W	
3	PA3PCR	0	R/W	
2	PA2PCR	0	R/W	
1	PA1PCR	0	R/W	
0	PA0PCR	0	R/W	

10.9.5 ポート A オープンドレインコントロールレジスタ (PAODR)

PAODR は、ポート A の端子の出力形態を選択します。

ビット	ビット名	初期値	R/W	説明
7	PA7ODR	0	R/W	アドレス出力以外のときこのビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると CMOS 出力になります。
6	PA6ODR	0	R/W	
5	PA5ODR	0	R/W	
4	PA4ODR	0	R/W	
3	PA3ODR	0	R/W	
2	PA2ODR	0	R/W	
1	PA1ODR	0	R/W	
0	PA0ODR	0	R/W	

10.9.6 ポートファンクションコントロールレジスタ 1 (PFCR1)

PFCR1 は、I/O ポートの制御を行います。モード 1、2 ではビット 7~5 が有効です。モード 4、7 ではすべてのビットが有効です。

ビット	ビット名	初期値	R/W	説明
7	A23E	1	R/W	アドレス A23 イネーブル アドレス出力 23 (A23) の許可/禁止を選択します。 0 : PA7DDR = 1 で DR を出力 1 : PA7DDR = 1 で A23 を出力
6	A22E	1	R/W	アドレス A22 イネーブル アドレス出力 22 (A22) の許可/禁止を選択します。 0 : PA6DDR = 1 で DR を出力 1 : PA6DDR = 1 で A22 を出力
5	A21E	1	R/W	アドレス A21 イネーブル アドレス出力 21(A21)の許可/禁止を選択します。 0 : PA5DDR = 1 で DR を出力 1 : PA5DDR = 1 で A21 を出力
4	A20E	1	R/W	アドレス A20 イネーブル アドレス出力 20 (A20) の許可/禁止を選択します。 0 : PA4DDR = 1 で DR を出力 1 : PA4DDR = 1 で A20 を出力

10. I/O ポート

ビット	ビット名	初期値	R/W	説明
3	A19E	1	R/W	アドレス A19 イネーブル アドレス出力 19 (A19) の許可/禁止を選択します。 0 : PA3DDR = 1 で DR を出力 1 : PA3DDR = 1 で A19 を出力
2	A18E	1	R/W	アドレス A18 イネーブル アドレス出力 18 (A18) の許可/禁止を選択します。 0 : PA2DDR = 1 で DR を出力 1 : PA2DDR = 1 で A18 を出力
1	A17E	1	R/W	アドレス A17 イネーブル アドレス出力 17 (A17) の許可/禁止を選択します。 0 : PA1DDR = 1 で DR を出力 1 : PA1DDR = 1 で A17 を出力
0	A16E	1	R/W	アドレス A16 イネーブル アドレス出力 16 (A16) の許可/禁止を選択します。 0 : PA0DDR = 1 で DR を出力 1 : PA0DDR = 1 で A16 を出力

10.9.7 端子機能

ポート A はアドレス出力端子、割り込み入力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PA7/A23/ $\overline{\text{IRQ7}}$ 、PA6/A22/ $\overline{\text{IRQ6}}$ 、PA5/A21/ $\overline{\text{IRQ5}}$

動作モードとEXPEビットとA23E ~ A21EビットとITSRのITS7 ~ ITS5ビットとPADDRビットにより次のように切り替わります。

動作モード	1、2、4				7					
EXPE	-				0		1			
AxxE	0		1		-		0		1	
PAnDDR	0	1	0	1	0	1	0	1	0	1
端子機能	PAn	PAn	PAn	アドレス	PAn	PAn	PAn	PAn	PAn	アドレス
	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力
IRQn 割り込み入力*										

【記号説明】 xx = 23 ~ 21、n = 7 ~ 5

【注】 * ITSR の ITS_n ビットが 0 のとき $\overline{\text{IRQn}}$ 入力となります。

- PA4/A20/ $\overline{\text{IRQ4}}$

動作モードとEXPEビットとA20EビットとPA4DDRビットにより次のように切り替わります。

動作モード	1, 2		4				7					
EXPE	-		-				0		1			
A20E	-		0		1		-		0		1	
PA4DDR	-		0	1	0	1	0	1	0	1	0	1
端子機能	アドレス	PA4	PA4	PA4	アドレス	PA4	PA4	PA4	PA4	PA4	アドレス	
	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	
IRQ4 割り込み入力*												

【注】 * ITSr の ITS4 ビットが 0 のとき $\overline{\text{IRQ4}}$ 入力となります。

- PA3/A19、PA2/A18、PA1/A17、PA0/A16

動作モードとEXPEビットとA19E～A16EビットとPADDRビットにより次のように切り替わります。

動作モード	1, 2		4				7					
EXPE	-		-				0		1			
AxxE	-		0		1		-		0		1	
PAnDDR	-		0	1	0	1	0	1	0	1	0	1
端子機能	アドレス	PAn	PAn	PAn	アドレス	PAn	PAn	PAn	PAn	PAn	アドレス	
	出力	入力	出力	入力	出力	入力	出力	入力	出力	入力	出力	

【記号説明】 xx = 19 ~ 16、n = 3 ~ 0

10.9.8 ポート A 入力プルアップ MOS の状態

ポート A は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、モード 1、2 のときは PA7～PA5 端子が使用でき、モード 4、7 のときはすべての端子が使用できます。入力プルアップ MOS は、ビット単位でオン/オフを指定できます。

入力プルアップ MOS の状態を表 10.3 に示します。

表 10.3 ポート A 入力プルアップ MOS の状態

モード		リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
4, 7	PA7～PA0	OFF			ON/OFF
1, 2	PA7～PA5				ON/OFF
	PA4～PA0				OFF

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PADDR = 0 かつ PAPCR = 1 のときオン状態、その他のときはオフ状態です。

10. I/O ポート

10.10 ポート B

ポート B は 8 ビットの兼用入出力ポートです。ポート B には以下のレジスタがあります。

- ポート B データディレクションレジスタ (PBDDR)
- ポート B データレジスタ (PBDR)
- ポート B レジスタ (PORTB)
- ポート B プルアップ MOS コントロールレジスタ (PBPCR)

10.10.1 ポート B データディレクションレジスタ (PBDDR)

PBDDR はポート B の入出力をビットごとに指定します。

リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PB7DDR	0	W	<ul style="list-style-type: none">• モード 1、2 のとき PBDDR にかかわらず、対応する各端子はアドレス出力となります。• モード 4、およびモード 7 (EXPE = 1) のとき このビットを 1 にセットすると、対応する端子はアドレス出力となり、0 にクリアすると入力ポートになります。• モード 7 (EXPE = 0) のとき ポート B は入出力ポートになり、PBDDR によって端子機能を切り替えることができます。
6	PB6DDR	0	W	
5	PB5DDR	0	W	
4	PB4DDR	0	W	
3	PB3DDR	0	W	
2	PB2DDR	0	W	
1	PB1DDR	0	W	
0	PB0DDR	0	W	

10.10.2 ポート B データレジスタ (PBDR)

PBDR はポート B の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PB7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PB6DR	0	R/W	
5	PB5DR	0	R/W	
4	PB4DR	0	R/W	
3	PB3DR	0	R/W	
2	PB2DR	0	R/W	
1	PB1DR	0	R/W	
0	PB0DR	0	R/W	

10.10.3 ポート B レジスタ (PORTB)

PORTB はポート B の端子の状態を反映します。

ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PB7	*	R	このレジスタをリードすると、PBDDR がセットされているビットは PBDR の値がリードされます。PBDDR がクリアされているビットは端子の状態がリードされます。
6	PB6	*	R	
5	PB5	*	R	
4	PB4	*	R	
3	PB3	*	R	
2	PB2	*	R	
1	PB1	*	R	
0	PB0	*	R	

【注】 * PB7 ~ PB0 端子の状態により決定されます。

10.10.4 ポート B プルアップ MOS コントロールレジスタ (PBPCR)

PBPCR はポート B の入力プルアップ MOS のオン / オフを制御します。モード 4、7 のときに有効です。

ビット	ビット名	初期値	R/W	説明
7	PB7PCR	0	R/W	PBDDR = 0 (入力ポート) 状態で、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PB6PCR	0	R/W	
5	PB5PCR	0	R/W	
4	PB4PCR	0	R/W	
3	PB3PCR	0	R/W	
2	PB2PCR	0	R/W	
1	PB1PCR	0	R/W	
0	PB0PCR	0	R/W	

10. I/O ポート

10.10.5 端子機能

ポート B の各端子は、アドレス出力端子と兼用となっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PB7/A15、PB6/A14、PB5/A13、PB4/A12、PB3/A11、PB2/A10、PB1/A9、PB0/A8
動作モードと EXPE ビットと PBDDR ビットにより次のように切り替わります。

動作モード	1、2	4		7			
EXPE	-	-		0		1	
PBnDDR	-	0	1	0	1	0	1
端子機能	アドレス出力	PBn 入力	アドレス出力	PBn 入力	PBn 出力	PBn 入力	アドレス出力

【記号説明】 n = 7 ~ 0

10.10.6 ポート B 入力プルアップ MOS の状態

ポート B は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 4、7 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 4、7 のとき、PBDDR を 0 にクリアした状態で、PBPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS の状態を表 10.4 に示します。

表 10.4 ポート B 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1、2	OFF		OFF	OFF
4、7			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PBDDR = 0 かつ PBPCR = 1 のときオン状態、その他のときはオフ状態です。

10.11 ポート C

ポート C は 8 ビットの兼用入出力ポートです。ポート C には以下のレジスタがあります。

- ポート C データディレクションレジスタ (PCDDR)
- ポート C データレジスタ (PCDR)
- ポート C レジスタ (PORTC)
- ポート C プルアップ MOS コントロールレジスタ (PCPCR)

10.11.1 ポート C データディレクションレジスタ (PCDDR)

PCDDR はポート C の入出力をビットごとに指定します。

リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PC7DDR	0	W	• モード 1、2 のとき PCDDR にかかわらず、対応する各端子はアドレス出力となります。
6	PC6DDR	0	W	
5	PC5DDR	0	W	• モード 4、およびモード 7 (EXPE = 1) のとき このビットを 1 にセットすると、対応する端子はアドレス出力となり、0 にクリアすると入力ポートになります。
4	PC4DDR	0	W	
3	PC3DDR	0	W	• モード 7 (EXPE = 0) のとき ポート C は入出力ポートになり、PCDDR によって端子機能を切り替えることができます。
2	PC2DDR	0	W	
1	PC1DDR	0	W	
0	PC0DDR	0	W	

10.11.2 ポート C データレジスタ (PCDR)

PCDR はポート C の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PC7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PC6DR	0	R/W	
5	PC5DR	0	R/W	
4	PC4DR	0	R/W	
3	PC3DR	0	R/W	
2	PC2DR	0	R/W	
1	PC1DR	0	R/W	
0	PC0DR	0	R/W	

10. I/O ポート

10.11.3 ポート C レジスタ (PORTC)

PORTC はポート C の端子の状態を反映します。

ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PC7	*	R	このレジスタをリードすると、PCDDR がセットされているビットは PCDR の値がリードされます。PCDDR がクリアされているビットは端子の状態がリードされます。
6	PC6	*	R	
5	PC5	*	R	
4	PC4	*	R	
3	PC3	*	R	
2	PC2	*	R	
1	PC1	*	R	
0	PC0	*	R	

【注】 * PC7～PC0 端子の状態により決定されます。

10.11.4 ポート C プルアップ MOS コントロールレジスタ (PCPCR)

PCPCR はポート C の入力プルアップ MOS のオン/オフを制御します。モード 4、7 のときに有効です。

ビット	ビット名	初期値	R/W	説明
7	PC7PCR	0	R/W	PCDDR = 0 (入力ポート) 状態で、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PC6PCR	0	R/W	
5	PC5PCR	0	R/W	
4	PC4PCR	0	R/W	
3	PC3PCR	0	R/W	
2	PC2PCR	0	R/W	
1	PC1PCR	0	R/W	
0	PC0PCR	0	R/W	

10.11.5 端子機能

ポート C の各端子は、アドレス出力端子と兼用となっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PC7/A7、PC6/A6、PC5/A5、PC4/A4、PC3/A3、PC2/A2、PC1/A1、PC0/A0

動作モードと EXPE ビットと PCDDR ビットにより次のように切り替わります。

動作モード	1、2	4		7			
EXPE	-	-		0		1	
PCnDDR	-	0	1	0	1	0	1
端子機能	アドレス出力	PCn 入力	アドレス出力	PCn 入力	PCn 出力	PCn 入力	アドレス出力

【記号説明】 n = 7 ~ 0

10.11.6 ポート C 入力プルアップ MOS の状態

ポート C は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 4、7 のときに使用でき、ビット単位でオン/オフを指定できます。

モード 4、7 のとき、PCDDR を 0 にクリアした状態で、PCPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS の状態を表 10.5 に示します。

表 10.5 ポート C 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1、2	OFF		OFF	
4、7			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PCDDR = 0 かつ PCPCR = 1 のときオン状態、その他のときはオフ状態です。

10. I/O ポート

10.12 ポート D

ポート D は 8 ビットの兼用入出力ポートです。ポート D には以下のレジスタがあります。

- ポート D データディレクションレジスタ (PDDDR)
- ポート D データレジスタ (PDDR)
- ポート D レジスタ (PORTD)
- ポート D プルアップ MOS コントロールレジスタ (PDPCR)

10.12.1 ポート D データディレクションレジスタ (PDDDR)

PDDDR はポート D の入出力をビットごとに指定します。

リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PD7DDR	0	W	<ul style="list-style-type: none">• モード 1、2、4、および 7 (EXPE = 1) のとき ポート D は、自動的にデータ入出力となります。• モード 7 (EXPE = 0) のとき ポート D は入出力ポートになり、PDDDR によって端子機能を切り替えることができます。
6	PD6DDR	0	W	
5	PD5DDR	0	W	
4	PD4DDR	0	W	
3	PD3DDR	0	W	
2	PD2DDR	0	W	
1	PD1DDR	0	W	
0	PD0DDR	0	W	

10.12.2 ポート D データレジスタ (PDDR)

PDDR はポート D の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PD7DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PD6DR	0	R/W	
5	PD5DR	0	R/W	
4	PD4DR	0	R/W	
3	PD3DR	0	R/W	
2	PD2DR	0	R/W	
1	PD1DR	0	R/W	
0	PD0DR	0	R/W	

10.12.3 ポート D レジスタ (PORTD)

PORTD はポート D の端子の状態を反映します。

ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PD7	*	R	このレジスタをリードすると、PDDDR がセットされているビットは PDDR の値がリードされます。PDDDR がクリアされているビットは端子の状態がリードされます。
6	PD6	*	R	
5	PD5	*	R	
4	PD4	*	R	
3	PD3	*	R	
2	PD2	*	R	
1	PD1	*	R	
0	PD0	*	R	

【注】 * PD7～PD0 端子の状態により決定されます。

10.12.4 ポート D プルアップ MOS コントロールレジスタ (PDPCR)

PDPCR はポート D の入力プルアップ MOS のオン/オフを制御します。モード 7 のときに有効です。

ビット	ビット名	初期値	R/W	説明
7	PD7PCR	0	R/W	PDDDR = 0 (入力ポート) 状態で、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PD6PCR	0	R/W	
5	PD5PCR	0	R/W	
4	PD4PCR	0	R/W	
3	PD3PCR	0	R/W	
2	PD2PCR	0	R/W	
1	PD1PCR	0	R/W	
0	PD0PCR	0	R/W	

10. I/O ポート

10.12.5 端子機能

ポート D の各端子は、データ入出力端子と兼用となっています。レジスタの設定値と端子機能の関係は以下のとおりです。

- PD7/D15、PD6/D14、PD5/D13、PD4/D12、PD3/D11、PD2/D10、PD1/D9、PD0/D8

動作モードと EXPE ビットと PDDDR ビットにより次のように切り替わります。

動作モード	1、2、4	7		
EXPE	-	0		1
PDnDDR	-	0	1	-
端子機能	データ入出力	PDn 入力	PDn 出力	データ入出力

【記号説明】 n = 7 ~ 0

10.12.6 ポート D 入力プルアップ MOS の状態

ポート D は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はモード 7 のときに使用でき、ビット単位でオン / オフを指定できます。

モード 7 のとき、PDDDR を 0 にクリアした状態で、PDPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS の状態を表 10.6 に示します。

表 10.6 ポート D 入力プルアップ MOS の状態

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1、2、4	OFF		OFF	
7			ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PDDDR = 0 かつ PDPCR = 1 のときオン状態、その他のときはオフ状態です。

10.13 ポート E

ポート E は 8 ビットの兼用入出力ポートです。ポート E には以下のレジスタがあります。

- ポート E データディレクションレジスタ (PEDDR)
- ポート E データレジスタ (PEDR)
- ポート E レジスタ (PORTE)
- ポート E プルアップ MOS コントロールレジスタ (PEPCR)

10.13.1 ポート E データディレクションレジスタ (PEDDR)

PEDDR は、ポート E の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	PE7DDR	0	W	<ul style="list-style-type: none"> • モード 1、2、4 のとき 8 ビットバスモードとしたとき、ポート E は入出力ポートとなり、PEDDR によって端子機能を切り替えることができます。 • モード 7 (EXPE=1) のとき 16 ビットバスモードとしたとき、ポート E はデータ入出力となります。 8 ビット / 16 ビットバスモードについては「第 6 章 バスコントローラ (BSC)」を参照してください。 • モード 7 (EXPE=0) のとき 8 ビットバスモードとしたとき、ポート E は入出力ポートとなります。 このビットを 1 にセットすると対応する端子は、出力ポートになり、0 にクリアすると入力ポートになります。 16 ビットバスモードとしたとき、ポート E はデータ入出力となります。 • モード 7 (EXPE=0) のとき ポート E は入出力ポートとなり、PEDDR によって端子機能を切り替えることができます。
6	PE6DDR	0	W	
5	PE5DDR	0	W	
4	PE4DDR	0	W	
3	PE3DDR	0	W	
2	PE2DDR	0	W	
1	PE1DDR	0	W	
0	PE0DDR	0	W	

10. I/O ポート

10.13.2 ポート E データレジスタ (PEDR)

PEDR は、ポート E の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PE7DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
6	PE6DR	0	R/W	
5	PE5DR	0	R/W	
4	PE4DR	0	R/W	
3	PE3DR	0	R/W	
2	PE2DR	0	R/W	
1	PE1DR	0	R/W	
0	PE0DR	0	R/W	

10.13.3 ポート E レジスタ (PORTE)

PORTE は、ポート E の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PE7	*	R	このレジスタをリードすると、PEDDR がセットされているビットは、PEDR の値がリードされます。PEDDR がクリアされているビットは端子の状態がリードされます。
6	PE6	*	R	
5	PE5	*	R	
4	PE4	*	R	
3	PE3	*	R	
2	PE2	*	R	
1	PE1	*	R	
0	PE0	*	R	

【注】 * PE7～PE0 端子の状態により決定されます。

10.13.4 ポート E プルアップ MOS コントロールレジスタ (PEPCR)

PEPCR は、ポート E の入力プルアップ MOS のオン/オフを制御します。8 ビットバスモードのとき有効です。

ビット	ビット名	初期値	R/W	説明
7	PE7PCR	0	R/W	PEDDR = 0 (入力ポート) 状態で、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	PE6PCR	0	R/W	
5	PE5PCR	0	R/W	
4	PE4PCR	0	R/W	
3	PE3PCR	0	R/W	
2	PE2PCR	0	R/W	
1	PE1PCR	0	R/W	
0	PE0PCR	0	R/W	

10.13.5 端子機能

ポート E はデータ入出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PE7/D7、PE6/D6、PE5/D5A、PE4/D4、PE3/D3、PE2/D2、PE1/D1、PE0/D0

動作モードとバスモードと EXPE ビットと PEDDR ビットにより次のように切り替わります。

動作モード	1、2、4			7				
バスモード	すべてのエリアが 8 ビット空間		いずれかのエリア が 16 ビット空間	-		すべてのエリアが 8 ビット空間		いずれかのエリア が 16 ビット空間
EXPE	-		-	0		1		1
PEnDDR	0	1	-	0	1	0	1	-
端子機能	PEn 入力	PEn 出力	データ入出力	PEn 入力	PEn 出力	PEn 入力	PEn 出力	データ入出力

【記号説明】 n = 7 ~ 0

10.13.6 ポート E 入力プルアップ MOS の状態

ポート E は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、8 ビットバスモードのとき使用でき、ビット単位でオン/オフを指定できます。8 ビットバスモードのとき、PEDDR を 0 にクリアした状態で PEPCR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS の状態を表 10.7 に示します。

表 10.7 ポート E 入力プルアップ MOS の状態

モード		リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1、2、4	8 ビットバス	OFF		ON/OFF	
	16 ビットバス			OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常にオフ状態です。

ON/OFF : PDDDR = 0 かつ PDPCR = 1 のときオン状態、その他のときはオフ状態です。

10.14 ポート F

ポート F は 8 ビットの兼用入出力ポートです。ポート F には以下のレジスタがあります。ポートファンクションコントロールレジスタ 2 については「10.3.5 ポートファンクションコントロールレジスタ 2 (PF2CR2)」を参照してください。

- ポート F データディレクションレジスタ (PFDDR)
- ポート F データレジスタ (PFDR)
- ポート F レジスタ (PORTF)
- ポートファンクションコントロールレジスタ 2 (PF2CR2)

10.14.1 ポート F データディレクションレジスタ (PFDDR)

PFDDR は、ポート F の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説 明
7	PF7DDR	1/0*	W	<ul style="list-style-type: none"> • モード 1、2、4、およびモード 7 (EXPE = 1) のとき PF7 端子は、1 にセットすると 出力となり、0 にクリアすると入力ポートになります。 PF6 端子は、ASOE を 1 にセットすると AS 出力となり、0 にクリアすると入出力ポートとなり、PF6DDR によって端子機能を切り替えることができます。 PF5、PF4 端子は、バス制御出力 (\overline{RD}、\overline{HWR}) となります。 PF3 端子は、LWROE を 1 にセットすると \overline{LWR} 出力となり、0 にクリアすると入出力ポートとなり、PF3DDR によって端子機能を切り替えることができます。 PF2、PF1、PF0 端子は、バスコントローラの設定によりバス制御入出力 (\overline{LCAS}、\overline{UCAS}、\overline{WAIT}) となります。それ以外るとき PFDDR を 1 にセットすると出力ポート、0 にクリアすると入力ポートになります。 • モード 7 (EXPE = 0) のとき PF7 端子は、1 にセットすると 出力となり、0 にクリアすると入力ポートになります。PF6 - PF0 端子は入出力ポートとなり、PFDDR によって端子機能を切り替えることができます。
6	PF6DDR	0	W	
5	PF5DDR	0	W	
4	PF4DDR	0	W	
3	PF3DDR	0	W	
2	PF2DDR	0	W	
1	PF1DDR	0	W	
0	PF0DDR	0	W	

10. I/O ポート

10.14.2 ポート F データレジスタ (PFDR)

PFDR は、ポート F の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	PF7DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
6	PF6DR	0	R/W	
5	PF5DR	0	R/W	
4	PF4DR	0	R/W	
3	PF3DR	0	R/W	
2	PF2DR	0	R/W	
1	PF1DR	0	R/W	
0	PF0DR	0	R/W	

10.14.3 ポート F レジスタ (PORTF)

PORTF は、ポート F の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	PF7	- *	R	このレジスタをリードすると、PFDDR がセットされているビットは、PFDR の値がリードされます。PFDDR がクリアされているビットは端子の状態がリードされます。
6	PF6	- *	R	
5	PF5	- *	R	
4	PF4	- *	R	
3	PF3	- *	R	
2	PF2	- *	R	
1	PF1	- *	R	
0	PF0	- *	R	

【注】 * PF7～PF0 端子の状態により決定されます。

10.14.4 端子機能

ポート F は割り込み入力端子、バス制御信号入出力端子、システムクロック出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

- PF7/

PF7DDR ビットにより、次のように切り替わります。

動作モード	1、2、4、7	
PF7DDR	0	1
端子機能	PF7 入力	出力

- PF6/ \overline{AS}

動作モードと EXPE ビット、PF6DDR ビット、ASOE ビットにより、次のように切り替わります。

動作モード	1、2、4			7				
EXPE	-			0		1		
ASOE	1	0		-		1	0	
PF6DDR	-	0	1	0	1	-	0	1
端子機能	\overline{AS} 出力	PF6 入力	PF6 出力	PF6 入力	PF6 出力	\overline{AS} 出力	PF6 入力	PF6 出力

- PF5/ \overline{RD}

動作モードと EXPE ビット、PF5DDR ビットにより、次のように切り替わります。

動作モード	1、2、4		7		
EXPE	-		0		1
PF5DDR	-		0	1	-
端子機能	\overline{RD} 出力		PF5 入力	PF5 出力	\overline{RD} 出力

- PF4/ \overline{HWR}

動作モードと EXPE ビット、PF4DDR ビットにより、次のように切り替わります。

動作モード	1、2、4		7		
EXPE	-		0		1
PF4DDR	-		0	1	-
端子機能	\overline{HWR} 出力		PF4 入力	PF4 出力	\overline{HWR} 出力

10. I/O ポート

• PF3/ $\overline{\text{LWR}}$

動作モードと EXPE ビット、PF3DDR ビット、LWROE ビットにより、次のように切り替わります。

動作モード	1、2、4			7				
EXPE	-			0		1		
LWROE	1	0		-		1	0	
PF3DDR	-	0	1	0	1	-	0	1
端子機能	$\overline{\text{LWR}}$ 出力	PF3 入力	PF3 出力	PF3 入力	PF3 出力	$\overline{\text{LWR}}$ 出力	PF3 入力	PF3 出力

• PF2/ $\overline{\text{LCAS}}$ / $\overline{\text{IRQ15}}$ / $\overline{\text{DQML}}^{*2}$

動作モード、EXPE ビット、DRAMCR の RMTS2 ~ RMTS0 ビット、ABWCR の ABW5 ~ ABW2 ビット、および PF2DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	1、2、4			7				
EXPE	-			0		1		
エリア 2~5	DRAM/シンクロナス DRAM ^{*2} 空間のエリアのいずれかが 16 ビットバス空間	DRAM/シンクロナス DRAM ^{*2} 空間のエリアすべて 8 ビットバス空間、または、エリア 2~5 がすべて通常空間		-		DRAM/シンクロナス DRAM ^{*2} 空間のエリアのいずれかが 16 ビットバス空間	DRAM/シンクロナス DRAM ^{*2} 空間のエリアすべて 8 ビットバス空間、または、エリア 2~5 がすべて通常空間	
PF2DDR	-	0	1	0	1	-	0	1
端子機能	$\overline{\text{LCAS}}$ 出力 DQML ^{*2} 出力	PF2 入力	PF2 出力	PF2 入力	PF2 出力	$\overline{\text{LCAS}}$ 出力 DQML ^{*2} 出力	PF2 入力	PF2 出力
$\overline{\text{IRQ15}}$ 割り込み入力 ^{*1}								

【注】 *1 ITSR の ITS15 ビットが 0 のとき $\overline{\text{IRQ15}}$ 入力となります。

*2 H8S/2378 0.18 μm F-ZTAT グループ、H8S/2377、H8S/2375、H8S/2373 ではサポートしていません。

• PF1/ $\overline{\text{UCAS}}$ / $\overline{\text{IRQ14}}$ / $\overline{\text{DQMU}}^{*2}$

動作モードと EXPE ビット、DRAMCR の RMTS2 ~ RMTS0 ビット、および PF1DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	1、2、4			7				
EXPE	-			0		1		
エリア 2~5	エリア 2~5 のいずれかが DRAM/シンクロナス DRAM ^{*2} 空間	エリア 2~5 がすべて通常空間		-		エリア 2~5 のいずれかが DRAM/シンクロナス DRAM ^{*2} 空間	エリア 2~5 がすべて通常空間	
PF1DDR	-	0	1	0	1	-	0	1
端子機能	$\overline{\text{UCAS}}$ 出力 DQMU ^{*2} 出力	PF1 入力	PF1 出力	PF1 入力	PF1 出力	$\overline{\text{UCAS}}$ 出力 DQMU ^{*2} 出力	PF1 入力	PF1 出力
$\overline{\text{IRQ14}}$ 割り込み入力 ^{*1}								

【注】 *1 ITSR の ITS14 ビットが 0 のとき $\overline{\text{IRQ14}}$ 入力となります。

*2 H8S/2378 0.18 μm F-ZTAT グループ、H8S/2377、H8S/2375、H8S/2373 ではサポートしていません。

- PF0 $\overline{\text{WAIT}}$

動作モードと EXPE ビット、BCR の WAITE ビット、および PF0DDR ビットにより、次のように切り替わります。

動作モード	1、2、4			7				
EXPE	-			0		1		
WAITE	0		1	-		0		1
PF0DDR	0	1	-	0	1	0	1	-
端子機能	PF0 入力	PF0 出力	$\overline{\text{WAIT}}$ 入力	PF0 入力	PF0 出力	PF0 入力	PF0 出力	$\overline{\text{WAIT}}$ 入力

10.15 ポート G

ポート G は 7 ビットの兼用入出力ポートです。ポート G には以下のレジスタがあります。

- ポート G データディレクションレジスタ (PGDDR)
- ポート G データレジスタ (PGDR)
- ポート G レジスタ (PORTG)
- ポートファンクションコントロールレジスタ 0 (PFCR0)

10.15.1 ポート G データディレクションレジスタ (PGDDR)

PGDDR は、ポート G の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット
6	PG6DDR	0	W	<ul style="list-style-type: none"> • モード 1、2、4、およびモード 7 (EXPE = 1) のとき PG6 ~ PG4 端子は、バスコントローラの設定によりバス制御入出力 (BRE$\overline{\text{Q}}$、BACK、BRE$\overline{\text{QO}}$) となります。それ以外の場合、入出力ポートとなり、PGDDR によって端子機能を切り替えることができます。PG3 ~ PG0 端子は $\overline{\text{CS}}$ 出力許可ビット (CS3E ~ CS0E) を 1 にセットしたとき、PGDDR を 1 にセットすると $\overline{\text{CS}}$ 出力となり、0 にクリアすると入力ポートとなります。CS 出力許可ビット (CS3E ~ CS0E) を 0 にクリアすると入出力ポートとなり、PGDDR によって端子機能を切り替えることができます。 • モード 7 (EXPE = 0) のとき PG6 ~ PG0 端子は入出力ポートとなり、PGDDR によって端子機能を切り替えることができます。
5	PG5DDR	0	W	
4	PG4DDR	0	W	
3	PG3DDR	0	W	
2	PG2DDR	0	W	
1	PG1DDR	0	W	
0	PG0DDR	1/0*	W	

【注】 * モード 1、2 のときは 1 に、モード 4、7 のときは 0 になります。

10. I/O ポート

10.15.2 ポート G データレジスタ (PGDR)

PGDR は、ポート G の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
6	PG6DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
5	PG5DR	0	R/W	
4	PG4DR	0	R/W	
3	PG3DR	0	R/W	
2	PG2DR	0	R/W	
1	PG1DR	0	R/W	
0	PG0DR	0	R/W	

10.15.3 ポート G レジスタ (PORTG)

PORTG は、ポート G の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	-	不定	-	リザーブビット リードすると不定値が読み出されます。
6	PG6	- *	R	このレジスタをリードすると、PGDDR がセットされているビットは、PGDR の値がリードされます。PGDDR がクリアされているビットは端子の状態がリードされます。
5	PG5	- *	R	
4	PG4	- *	R	
3	PG3	- *	R	
2	PG2	- *	R	
1	PG1	- *	R	
0	PG0	- *	R	

【注】 * PG6 ~ PG0 端子の状態により決定されます。

10.15.4 ポートファンクションコントロールレジスタ 0 (PFCR0)

PFCR0 は、I/O ポートの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	CS7E	1	R/W	CS7 ~ CS0 イネーブル 対応する \overline{CSn} 出力の出力許可 / 禁止を選択します。 0 : I/O ポートとして設定 1 : \overline{CSn} 出力端子として設定 (n=7~0)
6	CS6E	1	R/W	
5	CS5E	1	R/W	
4	CS4E	1	R/W	
3	CS3E	1	R/W	
2	CS2E	1	R/W	
1	CS1E	1	R/W	
0	CS0E	1	R/W	

10.15.5 端子機能

ポート G はバス制御信号入出力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

【注】 ROM レス版では、モード 1、2 のみのサポートになります。

- PG6/ \overline{BREQ}

動作モードと EXPE ビット、BRLE ビット、PG6DDR ビットにより、次のように切り替わります。

動作モード	1、2、4			7				
EXPE	-			0		1		
BRLE	0		1	-		0		1
PG6DDR	0	1	-	0	1	0	1	-
端子機能	PG6 入力	PG6 出力	\overline{BREQ} 入力	PG6 入力	PG6 出力	PG6 入力	PG6 出力	\overline{BREQ} 入力

- PG5/ \overline{BACK}

動作モードと EXPE ビット、BRLE ビット、PG5DDR ビットにより、次のように切り替わります。

動作モード	1、2、4			7				
EXPE	-			0		1		
BRLE	0		1	-		0		1
PG5DDR	0	1	-	0	1	0	1	-
端子機能	PG5 入力	PG5 出力	\overline{BACK} 出力	PG5 入力	PG5 出力	PG5 入力	PG5 出力	\overline{BACK} 出力

10. I/O ポート

• PG4/ $\overline{\text{BREQO}}$

動作モードと EXPE ビット、BRLE ビット、BREQO ビット、PG4DDR ビットにより、次のように切り替わりま
す。

動作モード	1、2、4					7						
EXPE	-					0		1				
BRLE	0		1			-		0		1		
BREQO	-		0		1	-		-		0		1
PG4DDR	0	1	0	1	-	0	1	0	1	0	1	-
端子機能	PG4 入力	PG4 出力	PG4 入力	PG4 出力	$\overline{\text{BREQO}}$ 出力	PG4 入力	PG4 出力	PG4 入力	PG4 出力	PG4 入力	PG4 出力	$\overline{\text{BREQO}}$ 出力

• PG3/ $\overline{\text{CS3}}$ / $\overline{\text{RAS3}}$ / $\overline{\text{CAS}}^*$

動作モードと PG3DDR ビット、CS3E ビット、RMTS2~RMTS0 ビットにより、次のように切り替わります。

動作 モード	1、2、4						7									
EXPE	-						0		1							
CS3E	0		1				-		0		1					
RMTS2 ~ RMTS0	-	エリア3が 通常空間		エリア3が DRAM空間		エリア2~5が シンクロナス DRAM*空間		-	-	エリア3が 通常空間		エリア3が DRAM空間		エリア2~5が シンクロナス DRAM*空間		
PG3 DDR	0	1	0	1	-		0	1	0	1	0	1	-		-	
端子機能	PG3 入力	PG3 出力	PG3 入力	$\overline{\text{CS3}}$ 出力	$\overline{\text{RAS3}}$ 出力	$\overline{\text{CAS}}^*$ 出力	PG3 入力	PG3 出力	PG3 入力	PG3 出力	PG3 入力	$\overline{\text{CS3}}$ 出力	$\overline{\text{RAS3}}$ 出力	$\overline{\text{CAS}}^*$ 出力		

【注】 * H8S/2378 0.18 μm F-ZTAT グループ、H8S/2377、H8S/2375、H8S/2373 ではサポートしていません。

- PG2/ $\overline{\text{CS2}}$ / $\overline{\text{RAS2}}$ / $\overline{\text{RAS}}$

動作モードと PG2DDR ビット、CS2E ビット、RMTS2~RMTS0 ビットにより、次のように切り替わります。

動作モード	1、2、4						7								
EXPE	-						0		1						
CS2E	0		1				-		0		1				
RMTS2 ~ RMTS0	-		エリア2が 通常空間	エリア2が DRAM空間	エリア2~5が シンクロナス DRAM*空間		-		-		エリア2が 通常空間	エリア2が DRAM空間	エリア2~5が シンクロナス DRAM*空間		
PG2 DDR	0	1	0	1	-		0	1	0	1	0	1	-		-
端子機能	PG2 入力	PG2 出力	PG2 入力	$\overline{\text{CS2}}$ 出力	$\overline{\text{RAS2}}$ 出力	$\overline{\text{RAS}}^*$ 出力	PG2 入力	PG2 出力	PG2 入力	PG2 出力	PG2 入力	CS2 出力	$\overline{\text{RAS2}}$ 出力	$\overline{\text{RAS}}^*$ 出力	

【注】 * H8S/2378 0.18 μm F-ZTAT グループ、H8S/2377、H8S/2375、H8S/2373 ではサポートしていません。

- PG1/ $\overline{\text{CS1}}$ 、PG0/ $\overline{\text{CS0}}$

動作モードと PGnDDR ビット、CSnE ビットにより、次のように切り替わります。

動作モード	1、2、4				7					
EXPE	-				0		1			
CSnE	0		1		-		0		1	
PGnDDR	0	1	0	1	0	1	0	1	0	1
端子機能	PGn 入力	PGn 出力	PGn 入力	$\overline{\text{CSn}}$ 出力	PGn 入力	PGn 出力	PGn 入力	PGn 出力	PGn 入力	$\overline{\text{CSn}}$ 出力

【記号説明】 n=0、1

10.16 ポート H

ポート H は 4 ビットの兼用入出力ポートです。ポート H には以下のレジスタがあります。ポートファンクションコントロールレジスタ 0 については「10.15.4 ポートファンクションコントロールレジスタ 0 (PFCR0)」、ポートファンクションコントロールレジスタ 2 については「10.3.5 ポートファンクションコントロールレジスタ 2 (PFCR2)」を参照してください。

- ポート H データディレクションレジスタ (PHDDR)
- ポート H データレジスタ (PHDR)
- ポート H レジスタ (PORTH)
- ポートファンクションコントロールレジスタ 0 (PFCR0)
- ポートファンクションコントロールレジスタ 2 (PFCR2)

10.16.1 ポート H データディレクションレジスタ (PHDDR)

PHDDR は、ポート H の入出力をビットごとに指定します。リードは無効です。リードすると不定値が読み出されます。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて0	-	リザーブビット
3	PH3DDR	0	W	<p>• モード 1^{*3}、2^{*3}、4、およびモード 7 (EXPE = 1) のとき</p> <p>PH3 端子は \overline{OE} 出力許可ビット (OEE) と \overline{OE} 出力セレクトビット (OES) を 1 にセットしたとき、\overline{OE} 出力になります。それ以外の場合、CS7E ビットを 1 にセットしたとき、PH3DDR を 1 にセットすると CS7 出力になり、0 にクリアすると入力ポートとなります。CS7E ビットを 0 にクリアすると入出力ポートになり、PH3DDR によって端子機能を切り替えることができます。エリア 2~5 が連続シンクロナス DRAM^{*1} 空間のとき、\overline{OE} 出力は \overline{CKE} 出力となります。</p> <p>PH2 端子は、CS6E ビットを 1 にセットしたとき、PH2DDR を 1 にセットすると CS6 出力になり、0 にクリアすると入出力ポートになります。CS6E ビットを 0 にクリアすると入出力ポートになり、PH2DDR によって端子機能を切り替えることができます。</p> <p>PH1 端子は、DCTL 端子^{*2} の入力レベルが High レベルのとき SDRAM ^{*1} 出力となります。DCTL 端子の入力レベルが Low レベル、エリア 5 が通常空間で CS5E ビットを 1 にセットしたとき、PH1DDR を 1 にセットすると $\overline{CS5}$ 出力になり、0 にクリアすると入力ポートとなります。CS5E ビットを 0 にクリアすると入出力ポートになり、PH1DDR によって端子機能を切り替えることができます。エリア 5 が DRAM 空間で CS5E ビットを 1 にセットすると $\overline{RAS5}$ 出力になり、0 にクリアすると入出力ポートになります。</p> <p>PH0 端子は、エリア 4 が通常空間で CS4E ビットを 1 にセットしたとき、PH0DDR を 1 にセットすると $\overline{CS4}$ 出力になり、0 にクリアすると入出力ポートとなります。CS4E ビットを 0 にクリアすると入出力ポートとなり、PH0DDR によって端子機能を切り替えることができます。エリア 4 が DRAM 空間で CS4E ビットを 1 にセットすると $\overline{RAS4}$ 出力になり、0 にクリアすると入出力ポートとなります。エリア 2~5 が連続シンクロナス DRAM^{*1} 空間のとき、CS4E ビットを 1 にセットすると \overline{WE} 出力になり、0 にクリアすると入出力ポートとなります。</p> <p>• モード 7 (EXPE = 0) のとき</p> <p>PH3、PH2、PH0 端子は入出力ポートとなり、PHDDR によって端子機能を切り替えることができます。</p> <p>PH1 端子は、DCTL 端子^{*2} の入力レベルが High レベルのとき SDRAM 出力^{*1} となります。DCTL 端子の入力レベルが Low のとき入出力ポートとなり、PHDDR によって端子機能を切り替えることができます。</p>
2	PH2DDR	0	W	
1	PH1DDR	0	W	
0	PH0DDR	0	W	

【注】 *1 H8S/2378 0.18 μ m F-ZTAT グループ、H8S/2377、H8S/2375、H8S/2373 ではサポートしていません。

*2 シンクロナス DRAM インタフェースを使用しないときは、DCTL 端子の入力レベルは Low レベルとしてください。

*3 ROM レス版では、モード 1、2 のみのサポートになります。

10. I/O ポート

10.16.2 ポート H データレジスタ (PHDR)

PHDR は、ポート H の出力データを格納します。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 0	-	リザーブビット リードすると 0 が読み出されます。ライトは無効です。
3	PH3DR	0	R/W	汎用入出力ポートとして使用する端子の出力データを格納します。
2	PH2DR	0	R/W	
1	PH1DR	0	R/W	
0	PH0DR	0	R/W	

10.16.3 ポート H レジスタ (PORTH)

PORTH は、ポート H の端子の状態を反映します。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~4	-	不定		リザーブビット リードすると不定値が読み出されます。
3	PH3	*	R	このレジスタをリードすると、PHDDR がセットされているビットは、PHDR の値がリードされます。PHDDR がクリアされているビットは端子の状態がリードされます。
2	PH2	*	R	
1	PH1	*	R	
0	PH0	*	R	

【注】 * PH3~PH0 端子の状態により決定されます。

10.16.4 端子機能

ポート H はバス制御信号入出力端子、割り込み入力端子と兼用になっています。レジスタの設定値と端子の関係は以下のとおりです。

【注】 ROM レス版では、モード 1、2 のみのサポートになります。

- PH3/ $\overline{\text{CS7}}$ / $\overline{\text{OE}}$ /(IRQ7)/CKE*²

動作モードと EXPE ビット、OEE ビット、OES ビット、CS7E ビット、PH3DDR ビットにより、次のように切り替わります。

動作モード	1、2、4										7															
EXPE	-										0		1													
OEE	0		1								-		0				1									
OES	-		0				1				-		0				1									
エリア 2~5	-		-				通常 空間 または DRAM 空間		シンク ロナス DRAM* ² 空間		-		-				-		通常 空間 または DRAM 空間		シンク ロナス DRAM* ² 空間					
CS7E	0		1		0		1		-		-		-		0		1		0		1		-		-	
PH3 DDR	0	1	0	1	0	1	0	1	-	-	0	1	0	1	0	1	0	1	0	1	0	1	-	-		
端子機能	PH3 入力	PH3 出力	PH3 入力	$\overline{\text{CS7}}$ 出力	PH3 入力	PH3 出力	PH3 入力	$\overline{\text{CS7}}$ 出力	$\overline{\text{OE}}$ 出力	CKE* ² 出力	PH3 入力	PH3 出力	PH3 入力	PH3 出力	PH3 入力	$\overline{\text{CS7}}$ 出力	PH3 入力	PH3 出力	PH3 入力	$\overline{\text{CS7}}$ 出力	$\overline{\text{OE}}$ 出力	CKE* ² 出力				
	IRQ7入力* ¹																									

【注】 *1 ITSR の ITS7 ビットが 1 のとき $\overline{\text{IRQ7}}$ 入力となります。

*2 H8S/2378 0.18 μm F-ZTAT グループ、H8S/2377、H8S/2375、H8S/2373 ではサポートしていません。

- PH2/ $\overline{\text{CS6}}$ /(IRQ6)

動作モードと PH2DDR ビット、CS6E ビットにより、次のように切り替わります。

動作モード	1、2、4						7					
EXPE	-						0		1			
CS6E	0			1			-		0		1	
PH2DDR	0	1	0	1	0	1	0	1	0	1	0	1
端子機能	PH2 入力	PH2 出力	PH2 入力	$\overline{\text{CS6}}$ 出力	PH2 入力	PH2 出力	PH2 入力	PH2 出力	PH2 入力	PH2 出力	PH2 入力	$\overline{\text{CS6}}$ 出力
	IRQ6 割り込み入力*											

【注】 * ITSR の ITS6 ビットが 1 のとき $\overline{\text{IRQ6}}$ 入力となります。

10. I/O ポート

• PH1/ $\overline{\text{CS5}}$ / $\overline{\text{RAS5}}$ /SDRAM *²

動作モードと DCTL 端子、EXPE ビット、CS5E ビット、RMTS2~0 ビット、PH1DDR ビットにより、次のように切り替わります。

DCTL* ¹	0															1										
動作モード	1、2、4							7							—											
EXPE	—							0							1							—				
エリア 5	通常空間				DRAM空間				—							通常空間				DRAM空間				—		
CS5E	0		1		0		1		—							0		1		0		1		1		—
PH1 DDR	0	1	0	1	0	1	—		0	1	0	1	0	1	0	1	0	1	—	—						
端子機能	PH1 入力	PH1 出力	PH1 入力	CS5 出力	PH1 入力	PH1 出力	$\overline{\text{RAS5}}$ 出力	PH1 入力	PH1 出力	PH1 入力	PH1 出力	PH1 入力	CS5 出力	PH1 入力	PH1 出力	PH1 入力	PH1 出力	$\overline{\text{RAS5}}$ 出力	SDRAM* ² ϕ 出力							

【注】 *¹ シンクロナス DRAM インターフェースを使用しない場合には、DCTL の入力レベルは Low レベルとしてください。

*² H8S/2378 0.18 μm F-ZTAT グループ、H8S/2377、H8S/2375、H8S/2373 ではサポートしていません。

• PH0/ $\overline{\text{CS4}}$ / $\overline{\text{RAS4}}$ / $\overline{\text{WE}}$ *

動作モードと EXPE ビット、CS4E ビット、RMTS2~0 ビット、PH0DDR ビットにより、次のように切り替わります。

動作モード	1、2、4							7														
EXPE	—							0							1							
CS4E	0		1					—							0		1					
エリア 4			通常空間		DRAM 空間	シンクロナス DRAM*空間										通常空間		DRAM 空間	シンクロナス DRAM*空間			
PH0DDR	0	1	0	1								0	1	0	1	0	1					
端子機能	PH0 入力	PH0 出力	PH0 入力	$\overline{\text{CS4}}$ 出力	$\overline{\text{RAS4}}$ 出力	$\overline{\text{WE}}$ * 出力			PH0 入力	PH0 出力	PH0 入力	PH0 出力	PH0 入力	PH0 出力	PH0 入力	$\overline{\text{CS4}}$ 出力	$\overline{\text{RAS4}}$ 出力	$\overline{\text{WE}}$ * 出力				

【注】 * H8S/2378 0.18 μm F-ZTAT グループ、H8S/2377、H8S/2375、H8S/2373 ではサポートしていません。

11. 16ビットタイマパルスユニット (TPU)

LSIは、6チャンネルの16ビットタイマにより構成される16ビットタイマパルスユニット (TPU) を内蔵しています。16ビットタイマパルスユニットの機能一覧を表11.1に、ブロック図を図11.1に示します。

11.1 特長

- 最大16本のパルス入出力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 各チャンネルとも次の動作を設定可能：コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大15相のPWM出力
- チャンネル0、3はバッファ動作を設定可能
- チャンネル1、2、4、5はおのおの独立に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 26種類の割り込み要因
- レジスタデータの自動転送が可能
- プログラマブルパルスジェネレータ (PPG) の出力トリガを生成可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールストップモードの設定可能

11. 16 ビットタイマパルスユニット (TPU)

表 11.1 TPU の機能一覧

項 目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4	チャンネル 5
カウントクロック	/1 /4 /16 /64 TCLKA TCLKB TCLKC TCLKD	/1 /4 /16 /64 /256 TCLKA TCLKB	/1 /4 /16 /64 /1024 TCLKA TCLKB TCLKC	/1 /4 /16 /64 /256 /1024 /4096 TCLKA	/1 /4 /16 /64 /1024 TCLKA TCLKC	/1 /4 /16 /64 /256 TCLKA TCLKC TCLKD
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4	TGRA_5 TGRB_5
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0	-	-	TGRC_3 TGRD_3	-	-
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5
カウンタクリア 機能	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ
コンペア マッチ 出力	0 出力					
	1 出力					
	トグル 出力					
インプットキャプチャ 機能						
同期動作						
PWM モード						
位相計数モード	-			-		
バッファ動作		-	-		-	-
DTC の起動	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ	TGR の コンペアマッ チまたは インプット キャプチャ

【記号説明】

: 可能

- : 不可

11. 16 ビットタイムパルスユニット (TPU)

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
DMAC の起動	TGRA_0 の コンペアマッ チまたは インプット キャプチャ	TGRA_1 の コンペアマッ チまたは インプット キャプチャ	TGRA_2 の コンペアマッ チまたは インプット キャプチャ	TGRA_3 の コンペアマッ チまたは インプット キャプチャ	TGRA_4 の コンペアマッ チまたは インプット キャプチャ	TGRA_5 の コンペアマッ チまたは インプット キャプチャ
A/D 変換開始トリガ	TGRA_0 の コンペアマッ チまたは インプット キャプチャ	TGRA_1 の コンペアマッ チまたは インプット キャプチャ	TGRA_2 の コンペアマッ チまたは インプット キャプチャ	TGRA_3 の コンペアマッ チまたは インプット キャプチャ	TGRA_4 の コンペアマッ チまたは インプット キャプチャ	TGRA_5 の コンペアマッ チまたは インプット キャプチャ
PPG トリガ	TGRA_0、 TGRB_0 の コンペアマッ チまたは インプット キャプチャ	TGRA_1、 TGRB_1 の コンペアマッ チまたは インプット キャプチャ	TGRA_2、 TGRB_2 の コンペアマッ チまたは インプット キャプチャ	TGRA_3、 TGRB_3 の コンペアマッ チまたは インプット キャプチャ	-	-
割り込み要因	5 要因 ・コンペアマッチ /インプット キャプチャ 0A ・コンペアマッチ /インプット キャプチャ 0B ・コンペアマッチ /インプット キャプチャ 0C ・コンペアマッチ /インプット キャプチャ 0D ・オーバフロー	4 要因 ・コンペアマッチ /インプット キャプチャ 1A ・コンペアマッチ /インプット キャプチャ 1B ・オーバフロー ・アンダフロー	4 要因 ・コンペアマッチ /インプット キャプチャ 2A ・コンペアマッチ /インプット キャプチャ 2B ・オーバフロー ・アンダフロー	5 要因 ・コンペアマッチ /インプット キャプチャ 3A ・コンペアマッチ /インプット キャプチャ 3B ・コンペアマッチ /インプット キャプチャ 3D ・オーバフロー	4 要因 ・コンペアマッチ /インプット キャプチャ 4A ・コンペアマッチ /インプット キャプチャ 4B ・オーバフロー ・アンダフロー	4 要因 ・コンペアマッチ /インプット キャプチャ 5A ・コンペアマッチ /インプット キャプチャ 5B ・オーバフロー ・アンダフロー

11. 16ビットタイマパルスユニット (TPU)

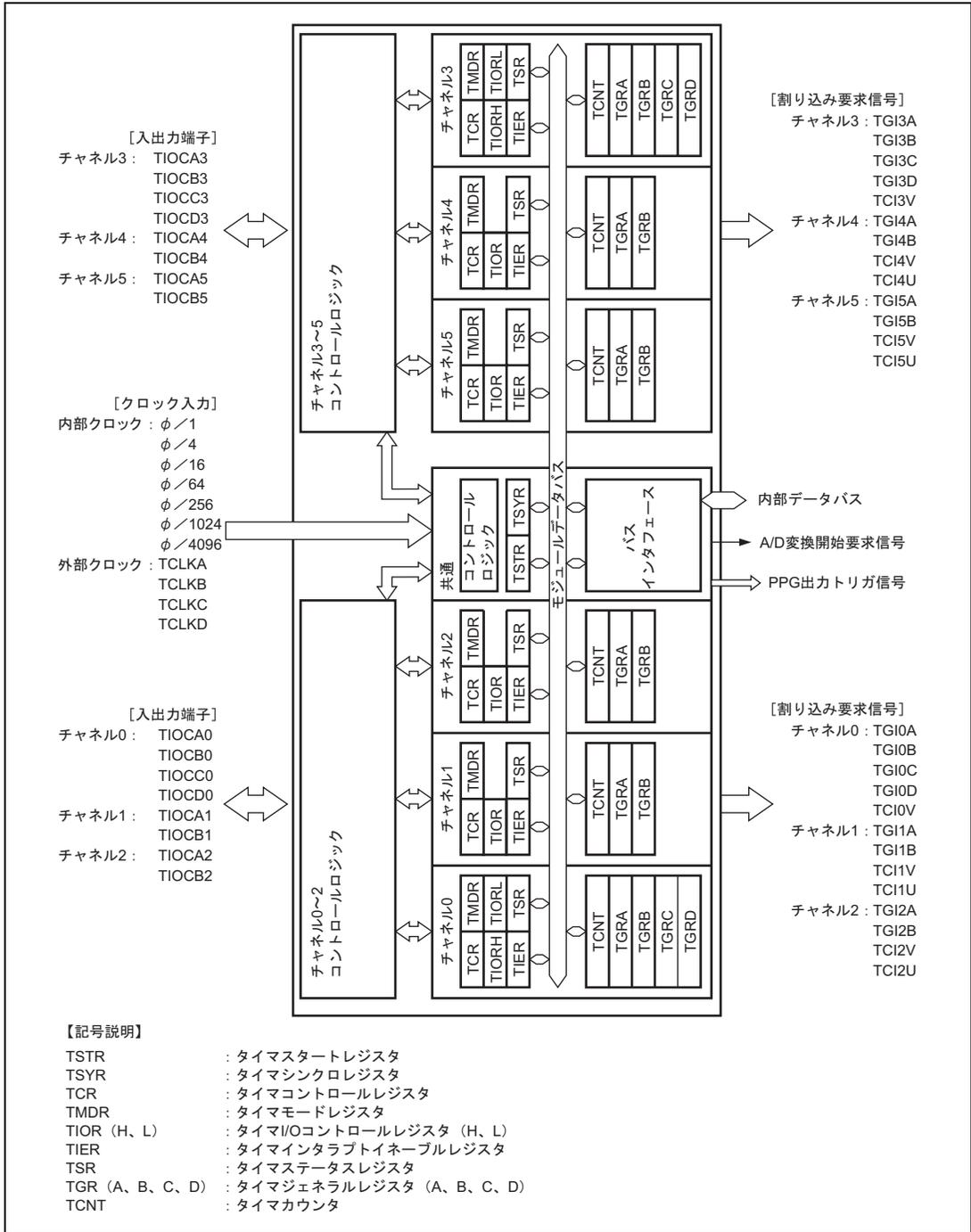


図 11.1 TPU のブロック図

11.2 入出力端子

表 11.2 端子構成

チャンネル	名称	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1、5 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1、5 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2、4 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2、4 の位相計数モード B 相入力)
0	TIOCA0	入出力	TGRA_0 のインพุットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB0	入出力	TGRB_0 のインพุットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCC0	入出力	TGRC_0 のインพุットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCD0	入出力	TGRD_0 のインพุットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
1	TIOCA1	入出力	TGRA_1 のインพุットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB1	入出力	TGRB_1 のインพุットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
2	TIOCA2	入出力	TGRA_2 のインพุットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB2	入出力	TGRB_2 のインพุットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
3	TIOCA3	入出力	TGRA_3 のインพุットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB3	入出力	TGRB_3 のインพุットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCC3	入出力	TGRC_3 のインพุットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCD3	入出力	TGRD_3 のインพุットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
4	TIOCA4	入出力	TGRA_4 のインพุットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB4	入出力	TGRB_4 のインพุットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
5	TIOCA5	入出力	TGRA_5 のインพุットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子
	TIOCB5	入出力	TGRB_5 のインพุットキャブチャ入力 / アウトプットコンペア出力 / PWM 出力端子

11.3 レジスタの説明

TPU には各チャンネルに以下のレジスタがあります。

- タイマコントロールレジスタ_0 (TCR_0)
- タイマモードレジスタ_0 (TMDR_0)
- タイマI/OコントロールレジスタH_0 (TIORH_0)
- タイマI/OコントロールレジスタL_0 (TIORL_0)
- タイマインタラプトイネーブルレジスタ_0 (TIER_0)
- タイマステータスレジスタ_0 (TSR_0)
- タイマカウンタ_0 (TCNT_0)
- タイマジェネラルレジスタA_0 (TGRA_0)
- タイマジェネラルレジスタB_0 (TGRB_0)
- タイマジェネラルレジスタC_0 (TGRC_0)
- タイマジェネラルレジスタD_0 (TGRD_0)
- タイマコントロールレジスタ_1 (TCR_1)
- タイマモードレジスタ_1 (TMDR_1)
- タイマI/Oコントロールレジスタ_1 (TIOR_1)
- タイマインタラプトイネーブルレジスタ_1 (TIER_1)
- タイマステータスレジスタ_1 (TSR_1)
- タイマカウンタ_1 (TCNT_1)
- タイマジェネラルレジスタA_1 (TGRA_1)
- タイマジェネラルレジスタB_1 (TGRB_1)
- タイマコントロールレジスタ_2 (TCR_2)
- タイマモードレジスタ_2 (TMDR_2)
- タイマI/Oコントロールレジスタ_2 (TIOR_2)
- タイマインタラプトイネーブルレジスタ_2 (TIER_2)
- タイマステータスレジスタ_2 (TSR_2)
- タイマカウンタ_2 (TCNT_2)
- タイマジェネラルレジスタA_2 (TGRA_2)
- タイマジェネラルレジスタB_2 (TGRB_2)
- タイマコントロールレジスタ_3 (TCR_3)
- タイマモードレジスタ_3 (TMDR_3)
- タイマI/OコントロールレジスタH_3 (TIORH_3)

- タイマI/OコントロールレジスタL_3 (TIORL_3)
- タイマインタラプトイネーブルレジスタ_3 (TIER_3)
- タイマステータスレジスタ_3 (TSR_3)
- タイマカウンタ_3 (TCNT_3)
- タイマジェネラルレジスタA_3 (TGRA_3)
- タイマジェネラルレジスタB_3 (TGRB_3)
- タイマジェネラルレジスタC_3 (TGRC_3)
- タイマジェネラルレジスタD_3 (TGRD_3)
- タイマコントロールレジスタ_4 (TCR_4)
- タイマモードレジスタ_4 (TMDR_4)
- タイマI/Oコントロールレジスタ_4 (TIOR_4)
- タイマインタラプトイネーブルレジスタ_4 (TIER_4)
- タイマステータスレジスタ_4 (TSR_4)
- タイマカウンタ_4 (TCNT_4)
- タイマジェネラルレジスタA_4 (TGRA_4)
- タイマジェネラルレジスタB_4 (TGRB_4)
- タイマコントロールレジスタ_5 (TCR_5)
- タイマモードレジスタ_5 (TMDR_5)
- タイマI/Oコントロールレジスタ_5 (TIOR_5)
- タイマインタラプトイネーブルレジスタ_5 (TIER_5)
- タイマステータスレジスタ_5 (TSR_5)
- タイマカウンタ_5 (TCNT_5)
- タイマジェネラルレジスタA_5 (TGRA_5)
- タイマジェネラルレジスタB_5 (TGRB_5)

共通レジスタ

- タイマスタートレジスタ (TSTR)
- タイマシンクロレジスタ (TSYR)

11.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御します。TPU には、各チャンネルに 1 本、計 6 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

11. 16ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
7	CCLR2	0	R/W	カウンタクリア 2、1、0
6	CCLR1	0	R/W	TCNT のカウンタクリア要因を選択します。詳細は表 11.3、表 11.4 を参照してください。
5	CCLR0	0	R/W	
4	CKEG1	0	R/W	
3	CKEG0	0	R/W	<p>入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: /4 の両エッジ = /2 の立ち上がりエッジ)。チャンネル 1、2、4、5 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが /4 もしくはそれより遅い場合に有効です。入力クロックに /1、あるいは他のチャンネルのオーバーフロー/アンダフローを選択した場合は本設定は無視されます。</p> <p>00: 立ち上がりエッジでカウント 01: 立ち下がりエッジでカウント 1X: 両エッジでカウント</p> <p>【記号説明】X: Don't care</p>
2	TPSC2	0	R/W	タイムプリスケラ 2、1、0
1	TPSC1	0	R/W	TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 11.5 ~ 表 11.10 を参照してください。
0	TPSC0	0	R/W	

表 11.3 CCLR2~CCLR0 (チャンネル 0、3)

チャンネル	ビット 7	ビット 6	ビット 5	説明
	CCLR2	CCLR1	CCLR0	
0、3	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ / インพุットキャプチャで TCNT クリア*2
	1	1	0	TGRD のコンペアマッチ / インพุットキャプチャで TCNT クリア*2
	1	1	1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ / インพุットキャプチャが発生しないため、TCNT はクリアされません。

11. 16 ビットタイムパルスユニット (TPU)

表 11.4 CCLR2~CCLR0 (チャンネル 1、2、4、5)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	リザーブ*2	CCLR1	CCLR0	
1、2、 4、5	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ / インพุットキャプチャで TCNT クリア
	0	1	1	同期クリア / 同期動作をしている他のチャンネルのカウンタクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 チャンネル 1、2、4、5 ではビット 7 はリザーブです。リードすると常に 0 がリードされます。ライトは無効です。

表 11.5 TPSC2~TPSC0 (チャンネル 0)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : /1 でカウント
	0	0	1	内部クロック : /4 でカウント
	0	1	0	内部クロック : /16 でカウント
	0	1	1	内部クロック : /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 11.6 TPSC2~TPSC0 (チャンネル 1)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : /1 でカウント
	0	0	1	内部クロック : /4 でカウント
	0	1	0	内部クロック : /16 でカウント
	0	1	1	内部クロック : /64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : /256 でカウント
	1	1	1	TCNT2 のオーバフロー / アンダフローでカウント

【注】 チャンネル 1 が位相計数モード時、この設定は無効になります。

11. 16ビットタイムパルスユニット (TPU)

表 11.7 TPSC2~TPSC0 (チャンネル2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック： /1 でカウント
	0	0	1	内部クロック： /4 でカウント
	0	1	0	内部クロック： /16 でカウント
	0	1	1	内部クロック： /64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKB 端子入力でカウント
	1	1	0	外部クロック：TCLKC 端子入力でカウント
	1	1	1	内部クロック： /1024 でカウント

【注】チャンネル2 が位相計数モード時、この設定は無効になります。

表 11.8 TPSC2~TPSC0 (チャンネル3)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
3	0	0	0	内部クロック： /1 でカウント
	0	0	1	内部クロック： /4 でカウント
	0	1	0	内部クロック： /16 でカウント
	0	1	1	内部クロック： /64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	内部クロック： /1024 でカウント
	1	1	0	内部クロック： /256 でカウント
	1	1	1	内部クロック： /4096 でカウント

表 11.9 TPSC2~TPSC0 (チャンネル4)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
4	0	0	0	内部クロック： /1 でカウント
	0	0	1	内部クロック： /4 でカウント
	0	1	0	内部クロック： /16 でカウント
	0	1	1	内部クロック： /64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKC 端子入力でカウント
	1	1	0	内部クロック： /1024 でカウント
	1	1	1	TCNT5 のオーバフロー / アンダフローでカウント

【注】チャンネル4 が位相計数モード時、この設定は無効になります。

表 11.10 TPSC2~TPSC0 (チャンネル5)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
5	0	0	0	内部クロック： /1 でカウント
	0	0	1	内部クロック： /4 でカウント
	0	1	0	内部クロック： /16 でカウント
	0	1	1	内部クロック： /64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKC 端子入力でカウント
	1	1	0	内部クロック： /256 でカウント
	1	1	1	外部クロック：TCLKD 端子入力でカウント

【注】 チャンネル5 が位相計数モード時、この設定は無効になります。

11.3.2 タイマモードレジスタ (TMDR)

TMDR は、各チャンネルの動作モードの設定を行います。TPU には、各チャンネルに 1 本、計 6 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説明
7、6		すべて 1		リザーブ リードすると常に 1 が読み出されます。ライトは無効です。
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRD を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0： TGRB は通常動作 1： TGRB と TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRC を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0： TGRA は通常動作 1： TGRA と TGRC はバッファ動作
3 2 1 0	MD3 MD2 MD1 MD0	0 0 0 0	R/W	モード 3~0 MD3~MD0 はタイマの動作モードを設定します。 MD3 はリザーブビットです。ライト時には常に 0 としてください。 詳細は表 11.11 を参照してください。

11. 16ビットタイマパルスユニット (TPU)

表 11.11 MD3～MD0

ビット3	ビット2	ビット1	ビット0	説明
MD3* ¹	MD2* ²	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	リザーブ
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2
0	1	0	0	位相計数モード 1
0	1	0	1	位相計数モード 2
0	1	1	0	位相計数モード 3
0	1	1	1	位相計数モード 4
1	X	X	X	

【記号説明】 X : Don't care

【注】 *1 MD3 はリザーブビットです。ライト時には常に 0 としてください。

*2 チャンネル 0、3 では、位相計数モードの設定はできません。MD2 には常に 0 をライトしてください。

11.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TGR を制御します。TPU には、チャンネル 0、3 に各 2 本、チャンネル 1、2、4、5 に各 1 本、計 8 本の TIOR があります。TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタが停止した状態 (TSTR の CST ビットを 0 にクリアした) で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

- TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIOR_4、TIOR_5

ビット	ビット名	初期値	R/W	説明
7	IOB3	0	R/W	I/O コントロール B3～B0 TGRB の機能を設定します。詳細は表 11.12、表 11.14、表 11.15、表 11.16、表 11.18、表 11.19 を参照してください。
6	IOB2	0	R/W	
5	IOB1	0	R/W	
4	IOB0	0	R/W	
3	IOA3	0	R/W	I/O コントロール A3～A0 TGRA の機能を設定します。詳細は表 11.20、表 11.22、表 11.23、表 11.24、表 11.26、表 11.27 を参照してください。
2	IOA2	0	R/W	
1	IOA1	0	R/W	
0	IOA0	0	R/W	

11. 16 ビットタイムパルスユニット (TPU)

• TIORL_0、TIORL_3

ビット	ビット名	初期値	R/W	説明
7	IOD3	0	R/W	I/O コントロール D3 ~ D0 TGRD の機能を設定します。詳細は表 11.13、表 11.17 を参照してください。
6	IOD2	0	R/W	
5	IOD1	0	R/W	
4	IOD0	0	R/W	
3	IOC3	0	R/W	I/O コントロール C3 ~ C0 TGRC の機能を設定します。詳細は表 11.21、表 11.25 を参照してください。
2	IOC2	0	R/W	
1	IOC1	0	R/W	
0	IOC0	0	R/W	

表 11.12 TIORH_0

ビット7	ビット6	ビット5	ビット4	説明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOCB0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCB0 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ*

【記号説明】 X: Don't care

【注】 * TCR_1 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT_1 のカウントクロックに /1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

11. 16 ビットタイムパルスユニット (TPU)

表 11.13 TIORL_0

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOCD0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	キャプチャ入力元は TIOCD0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCD0 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ*1

【記号説明】 X : Don't care

【注】 *1 TCR_1 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT_1 のカウントクロックに /1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 11.14 TIOR_1

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOCB1 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCB1 端子 両エッジでインプットキャプチャ
1	1	X	X		TGRC_0 コンペアマッチ / インプットキャプチャ TGRC_0 のコンペアマッチ / インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 X : Don't care

11. 16ビットタイムパルスユニット (TPU)

表 11.15 TIOR_2

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2の機能	TIOCB2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	X	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB2 端子 立ち上がりエッジでインプットキャプチャ
1	X	0	1		キャプチャ入力元は TIOCB2 端子 立ち下がりエッジでインプットキャプチャ
1	X	1	X		キャプチャ入力元は TIOCB2 端子 両エッジでインプットキャプチャ

【記号説明】 X : Don't care

表 11.16 TIORH_3

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_3の機能	TIOCB3 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCB3 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ*

【記号説明】 X : Don't care

【注】 * TCR_4 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT_4 のカウントクロックに /1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

11. 16 ビットタイムパルスユニット (TPU)

表 11.17 TIORL_3

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_3 の機能	TIOCD3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*2	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*2	キャプチャ入力元は TIOCD3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCD3 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ*1

【記号説明】 X : Don't care

【注】 *1 TCR_4 の TPSC2 ~ TPSC0 ビットを B'000 とし、TCNT_4 のカウントクロックに /1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_3 の BFB ビットを 1 にセットして TGRD_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 11.18 TIOR_4

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_4 の機能	TIOCB4 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB4 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB4 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCB4 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元は TGRB_3 コンペアマッチ / イ ンプットキャプチャ TGRB_3 のコンペアマッチ / インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 X : Don't care

11. 16ビットタイムパルスユニット (TPU)

表 11.19 TIOR_5

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_5の機能	TIOCB5 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	X	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCB5 端子 立ち上がりエッジでインプットキャプチャ
1	X	0	1		キャプチャ入力元は TIOCB5 端子 立ち下がりエッジでインプットキャプチャ
1	X	1	x		キャプチャ入力元は TIOCB5 端子 両エッジでインプットキャプチャ

【記号説明】 X : Don't care

表 11.20 TIORH_0

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOCA0 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCA0 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 X : Don't care

11. 16 ビットタイムパルスユニット (TPU)

表 11.21 TIORL_0

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOCC0 の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCC0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCC0 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 1 / カウントクロック TCNT_1 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 X : Don't care

【注】 * TMDR_0 の BFA ビットを 1 にセットして TGRC_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 11.22 TIOR_1

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOCA1 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCA1 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元は TGRA_0 コンペアマッチ / イ ンプットキャプチャ チャンネル 0 / TGRA_0 のコンペアマッチ / インブッ トキャプチャの発生でインプットキャプチャ

【記号説明】 X : Don't care

11. 16ビットタイムパルスユニット (TPU)

表 11.23 TIOR_2

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2の機能	TIOCA2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	X	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA2 端子 立ち上がりエッジでインプットキャプチャ
1	X	0	1		キャプチャ入力元は TIOCA2 端子 立ち下がりエッジでインプットキャプチャ
1	X	1	X		キャプチャ入力元は TIOCA2 端子 両エッジでインプットキャプチャ

【記号説明】 X : Don't care

表 11.24 TIORH_3

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_3 の機能	TIOCA3 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCA3 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 X : Don't care

11. 16 ビットタイムパルスユニット (TPU)

表 11.25 TIORL_3

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_3 の端子	TIOCC3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCC3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCC3 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元はチャンネル 4 / カウントクロック TCNT_4 のカウントアップ / カウントダウンでイン プットキャプチャ

【記号説明】 X : Don't care

【注】 * TMDR_3 の BFA ビットを 1 にセットして TGRC_3 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ / アウトプットコンペアは発生しません。

表 11.26 TIOR_4

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_4 の機能	TIOCA4 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA4 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA4 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	X		キャプチャ入力元は TIOCA4 端子 両エッジでインプットキャプチャ
1	1	X	X		キャプチャ入力元は TGRA_3 コンペアマッチ / インプットキャプチャ TGRA_3 のコンペアマッチ / インプットキャプチャの発生でインプットキャプチャ

【記号説明】 X : Don't care

11. 16ビットタイムパルスユニット (TPU)

表 11.27 TIOR_5

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_5の機能	TIOCA5 端子の機能
0	0	0	0	アウトプットコンペア レジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	X	0	0	インプットキャプチャ レジスタ	キャプチャ入力元は TIOCA5 端子 立ち上がりエッジでインプットキャプチャ
1	X	0	1		キャプチャ入力元は TIOCA5 端子 立ち下がりエッジでインプットキャプチャ
1	X	1	X		キャプチャ入力元は TIOCA5 端子 両エッジでインプットキャプチャ

【記号説明】 X : Don't care

11.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、各チャンネルに 1 本、計 6 本の TIER があります。

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ / コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6		1		リザーブビット リードすると 1 がリードされます。ライトは無効です
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2、4、5 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0、3 ではリザーブビットです。 リードすると常に 0 がリードされます。ライトは無効です。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可
3	TGIED	0	R/W	TGR インタラプトイネーブル D チャンネル 0、3 で TSR の TGF D ビットが 1 にセットされたとき、TGF D ビットによる割り込み要求 (TGID) を許可または禁止します。チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 0 : TGF D ビットによる割り込み要求 (TGID) を禁止 1 : TGF D ビットによる割り込み要求 (TGID) を許可
2	TGIEC	0	R/W	TGR インタラプトイネーブル C チャンネル 0、3 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。 チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可

11. 16 ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。 0 : TGFB ビットによる割り込み要求(TGIB)を禁止 1 : TGFB ビットによる割り込み要求(TGIB)を許可
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。 0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可

11.3.5 タイマステータスレジスタ (TSR)

TSR は、各チャンネルのステータスの表示を行います。TPU には、各チャンネルに 1 本、計 6 本の TSR があります。

ビット	ビット名	初期値	R/W	説明
7	TCFD	1	R	カウント方向フラグ チャンネル 1、2、4、5 の TCNT のカウント方向を示すステータスフラグです。チャンネル 0、3 ではリザーブビットです。リードすると常に 1 がリードされます。ライトは無効です。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6		1		リザーブビット リードすると常に 1 がリードされます。ライトは無効です
5	TCFU	0	R/(W)*	アンダフローフラグ チャンネル 1、2、4、5 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。チャンネル 0、3 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 [セット条件] TCNT の値がアンダフロー (H'0000 H'FFFF) したとき [クリア条件] TCFU = 1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき
4	TCFV	0	R/(W)*	オーバーフローフラグ (TCFV) TCNT のオーバーフローの発生を示すステータスフラグです。 [セット条件] TCNT の値がオーバーフローしたとき (H'FFFF H'0000) [クリア条件] TCFV = 1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき

11. 16 ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
3	TGFD	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ D</p> <p>チャンネル 0、3 の TGRD のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされません。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRD になったとき • TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGID 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFD = 1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき
2	TGFC	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0、3 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされません。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき • TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIC 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき
1	TGFB	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき • TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき

11. 16ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R/(W)*	インプットキャプチャ/アウトプットコンペアフラグ A TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。 [セット条件] <ul style="list-style-type: none">• TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき• TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき [クリア条件] <ul style="list-style-type: none">• TGIA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき• TGIA 割り込みにより DMAC が起動され、DMAC の DMABCR の DTE ビットが 1 のとき• TGFA = 1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

11.3.6 タイマカウンタ (TCNT)

TCNT は 16 ビットのリード/ライト可能なカウンタです。各チャンネルに 1 本、計 6 本の TCNT があります。

TCNT は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

11.3.7 タイマジェネラルレジスタ (TGR)

TGR は 16 ビットのリード/ライト可能なアウトプットコンペア/インプットキャプチャ兼用のレジスタです。

チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のジェネラルレジスタがあります。チャンネル 0、3 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。TGR とバッファレジスタの組み合わせは、TGRA - TGRC、TGRB - TGRD になります。

11.3.8 タイマスタートレジスタ (TSTR)

TSTR は、チャンネル 0~5 の TCNT の動作 / 停止を選択します。TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット	ビット名	初期値	R/W	説明
7, 6		すべて 0		リザーブビット ライト時は必ず 0 としてください。
5	CST5	0	R/W	カウンタスタート 5~0
4	CST4	0	R/W	TCNT の動作または停止を選択します。
3	CST3	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。
2	CST2	0	R/W	CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。
1	CST1	0	R/W	
0	CST0	0	R/W	0 : TCNT_5 ~ TCNT_0 のカウント動作は停止 1 : TCNT_5 ~ TCNT_0 はカウント動作

11.3.9 タイマシンクロレジスタ (TSYR)

TSYR は、チャンネル 0~5 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャンネルが同期動作を行います。

ビット	ビット名	初期値	R/W	説明
7, 6		すべて 0	R/W	リザーブビット ライト時は必ず 0 としてください。
5	SYNC5	0	R/W	タイマ同期 5~0
4	SYNC4	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
3	SYNC3	0	R/W	同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。
2	SYNC2	0	R/W	同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットのほかに TCR の CCLR2 ~ CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。
1	SYNC1	0	R/W	
0	SYNC0	0	R/W	0 : TCNT_5 ~ TCNT_0 は独立動作 (TCNT のプリセット / クリアは他チャンネルと無関係) 1 : TCNT_5 ~ TCNT_0 は同期動作 TCNT の同期プリセット / 同期クリアが可能

11.4 動作説明

11.4.1 基本動作

各チャンネルには、TCNTとTGRがあります。TCNTは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGRは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTRのCST0～CST5ビットを1にセットすると、対応するチャンネルのTCNTはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図11.2に示します。

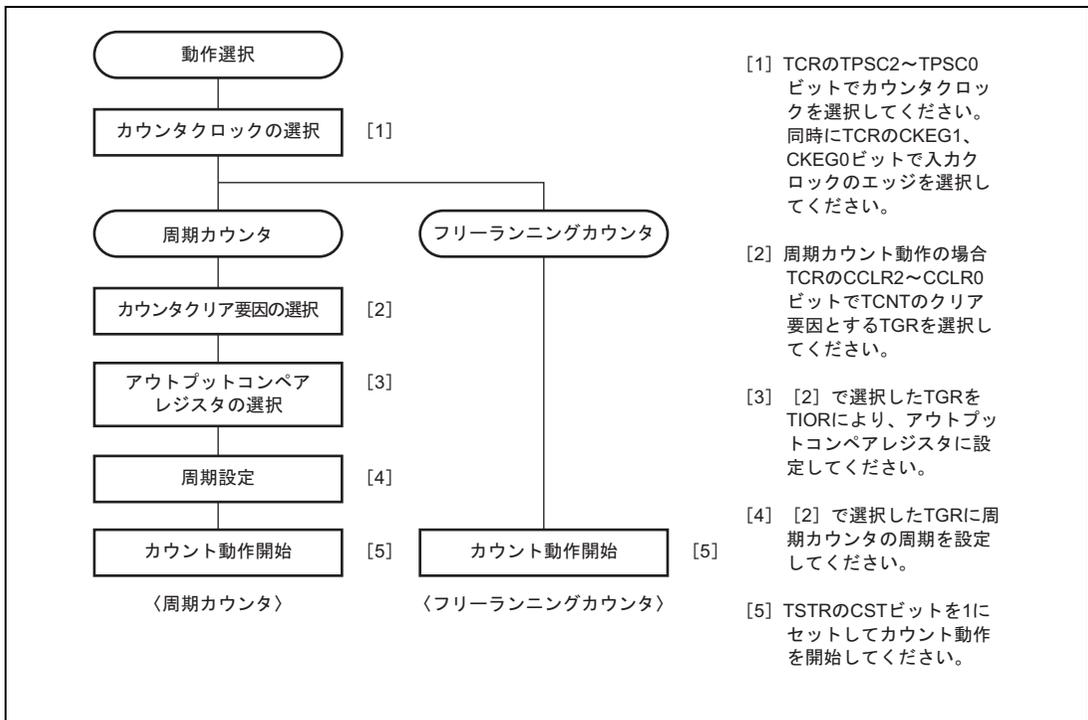


図 11.2 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー(H'FFFF H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、TPU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 11.3 に示します。

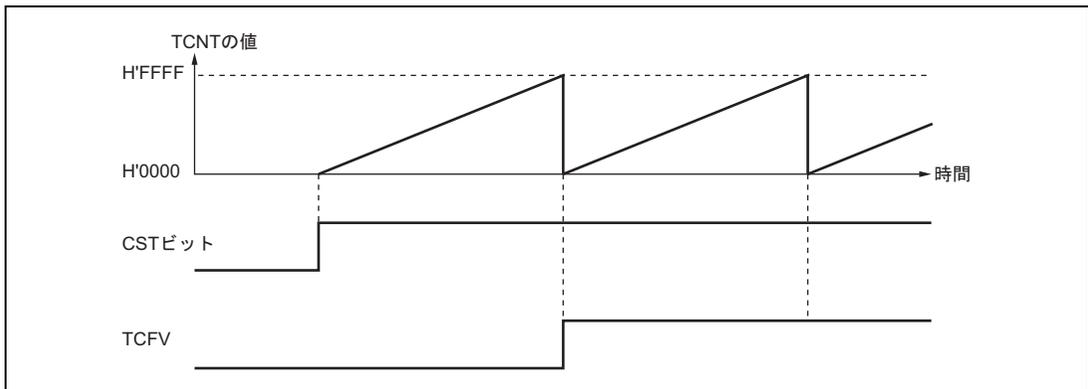


図 11.3 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2~CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、TPU は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 11.4 に示します。

11. 16ビットタイムパルスユニット (TPU)

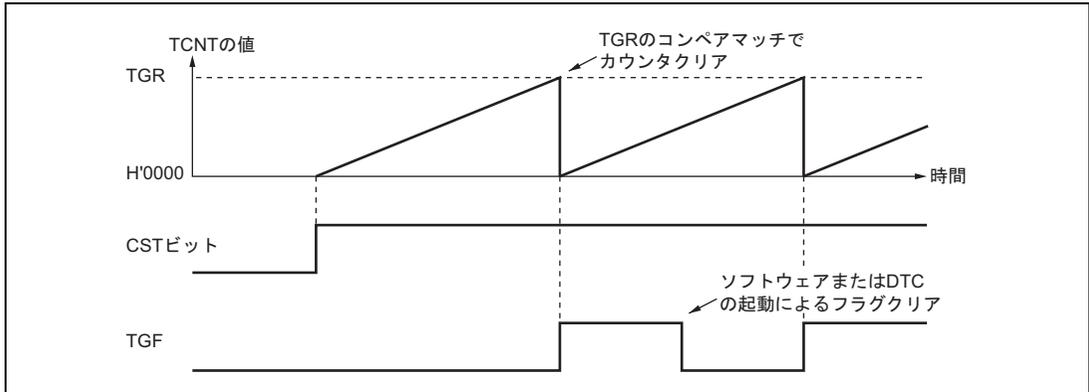


図 11.4 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPU は、コンペアマッチにより対応する出力端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 11.5 に示します。

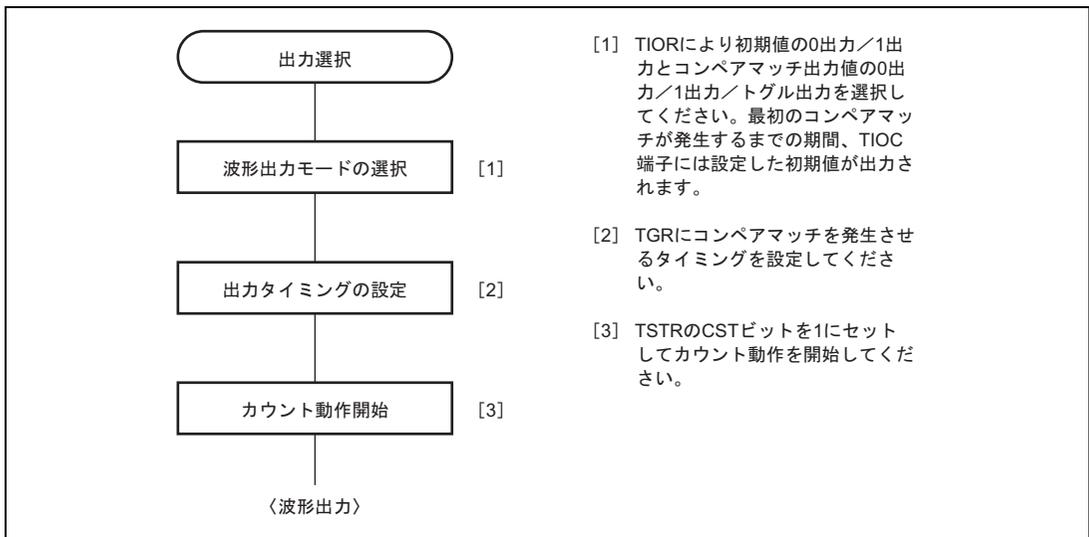


図 11.5 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0出力 / 1出力例を図 11.6 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

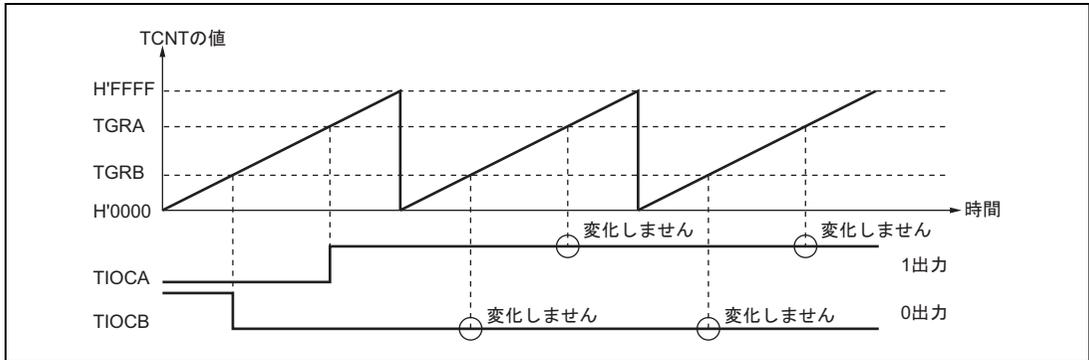


図 11.6 0出力 / 1出力の動作例

トグル出力の例を図 11.7 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

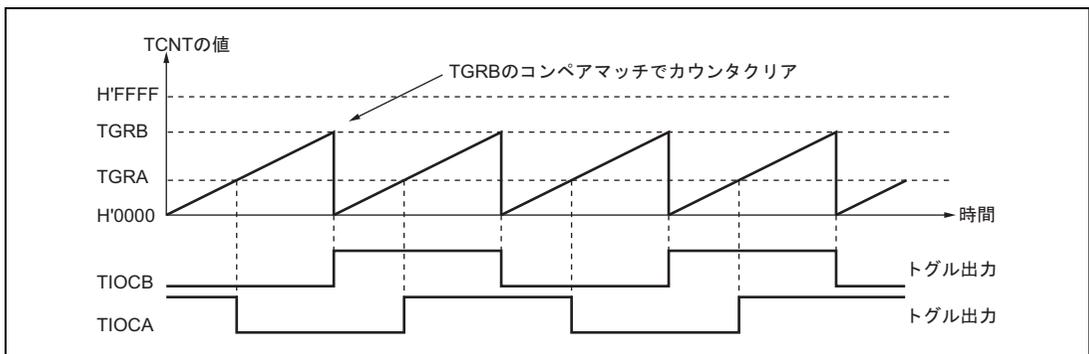


図 11.7 トグル出力の動作例

11. 16 ビットタイマパルスユニット (TPU)

(3) インットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。また、チャンネル 0、1、3、4 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインットキャプチャの要因とすることもできます。

【注】 チャンネル 0、3 で別のチャンネルのカウンタ入力クロックをインットキャプチャ入力とする場合は、インットキャプチャ入力とするカウンタ入力クロックに /1 を選択しないでください。 /1 を選択した場合は、インットキャプチャは発生しません。

(a) インットキャプチャ動作の設定手順例

インットキャプチャ動作の設定手順例を図 11.8 に示します。

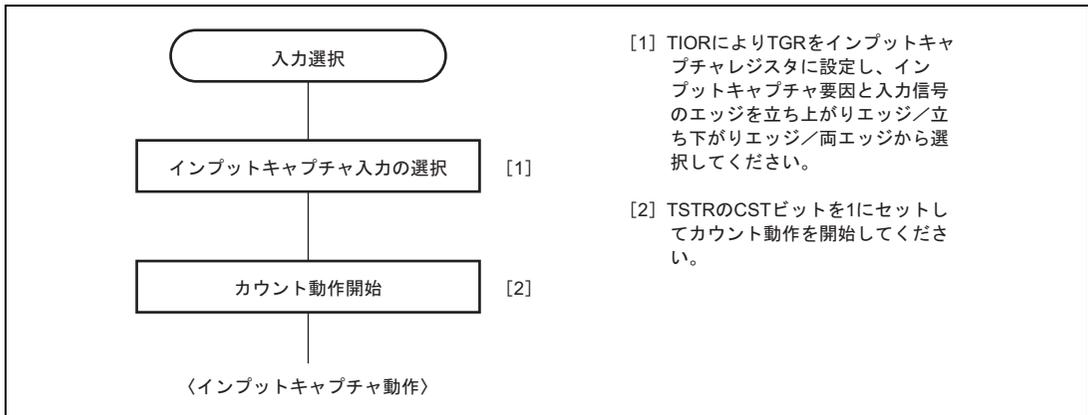


図 11.8 インットキャプチャ動作の設定例

(b) インットキャプチャ動作例

インットキャプチャ動作例を図 11.9 に示します。

TIOCA 端子のインットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また TIOCB 端子のインットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインットキャプチャでカウンタクリアされるように設定した場合の例です。

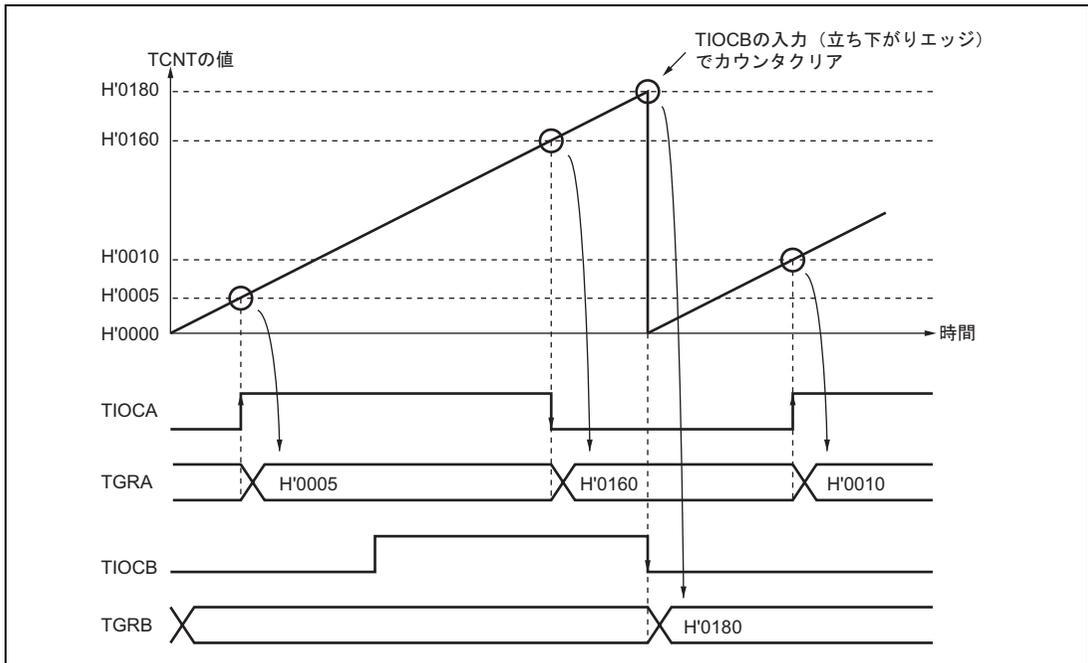


図 11.9 インプットキャプチャ動作例

11.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1つのタイムベースに対して TGR を増加することができます。

チャンネル 0~5 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 11.10 に示します。

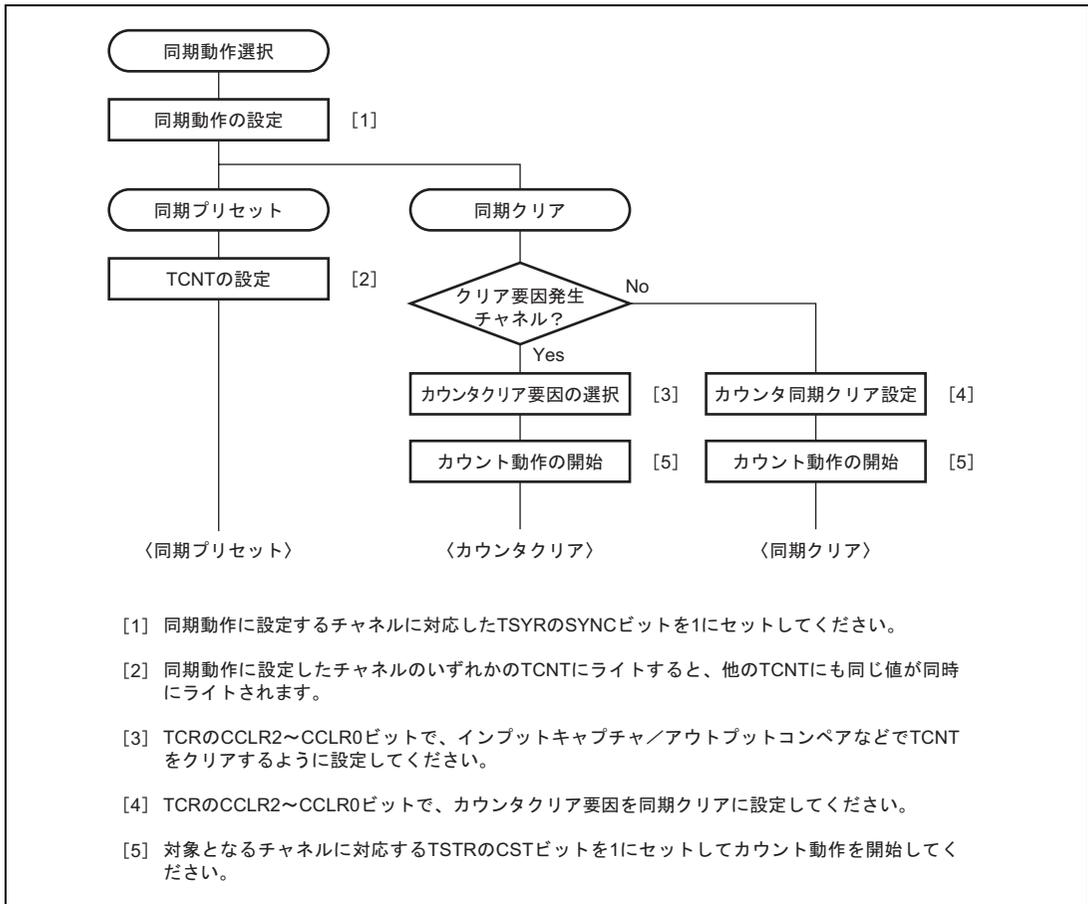


図 11.10 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 11.11 に示します。

チャンネル0～2を同期動作かつPWMモード1に設定し、チャンネル0のカウンタクリア要因をTGRB_0のコンペアマッチ、またチャンネル1、2のカウンタクリア要因を同期クリアに設定した場合の例です。

3相のPWM波形をTIOCA0、TIOCA1、TIOCA2端子から出力します。このとき、チャンネル0～2のTCNTは同期プリセット、TGRB_0のコンペアマッチによる同期クリアを行い、TGRB_0に設定したデータがPWM周期となります。

PWMモードについては、「11.4.5 PWMモード」を参照してください。

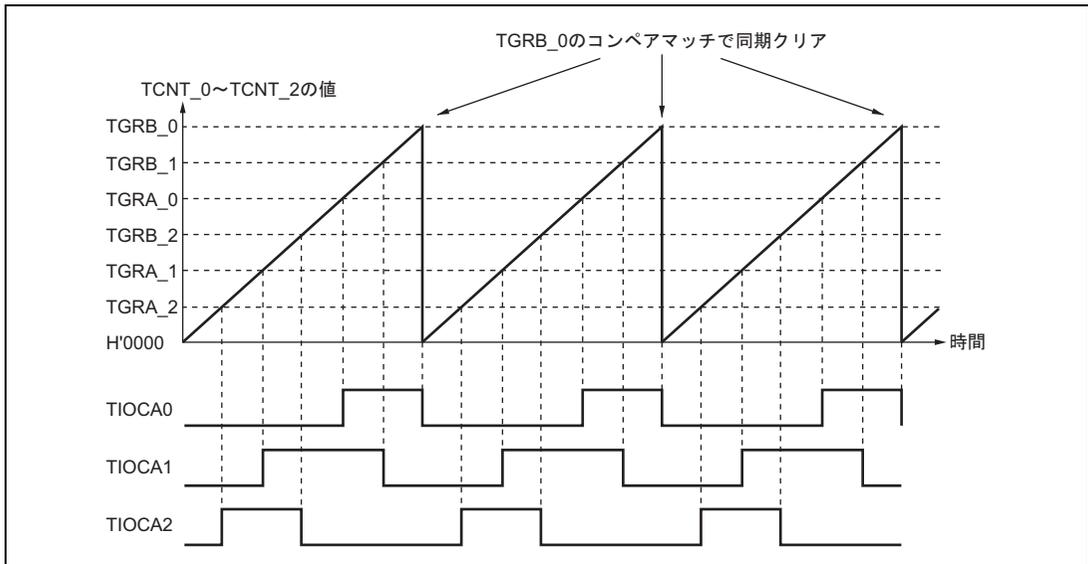


図 11.11 同期動作の動作例

11.4.3 バッファ動作

バッファ動作は、チャンネル0、3が持つ機能です。TGRCとTGRDをバッファレジスタとして使用することができます。

バッファ動作は、TGRをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表 11.28 にバッファ動作時のレジスタの組み合わせを示します。

表 11.28 レジスタの組み合わせ

チャンネル	タイムジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイムジェネラルレジスタに転送されます。

この動作を図 11.12 に示します。

11. 16ビットタイマパルスユニット (TPU)

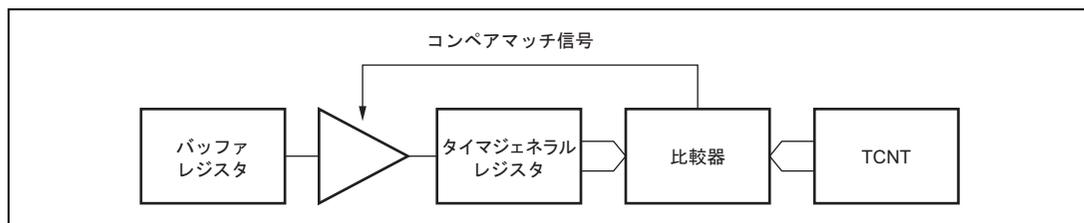


図 11.12 コンペアマッチバッファ動作

- TGR が入力キャプチャレジスタの場合

入力キャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていた TGR の値をバッファレジスタに転送します。

この動作を図 11.13 に示します。

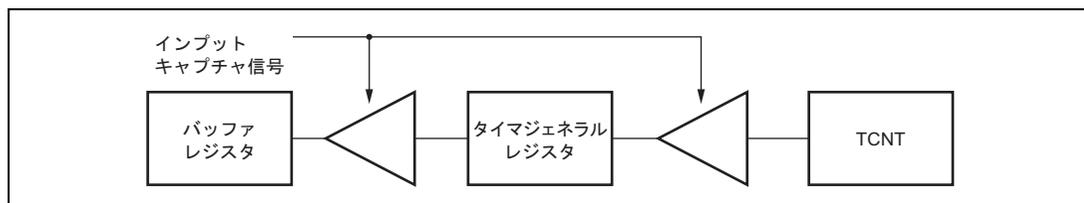


図 11.13 入力キャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 11.14 に示します。

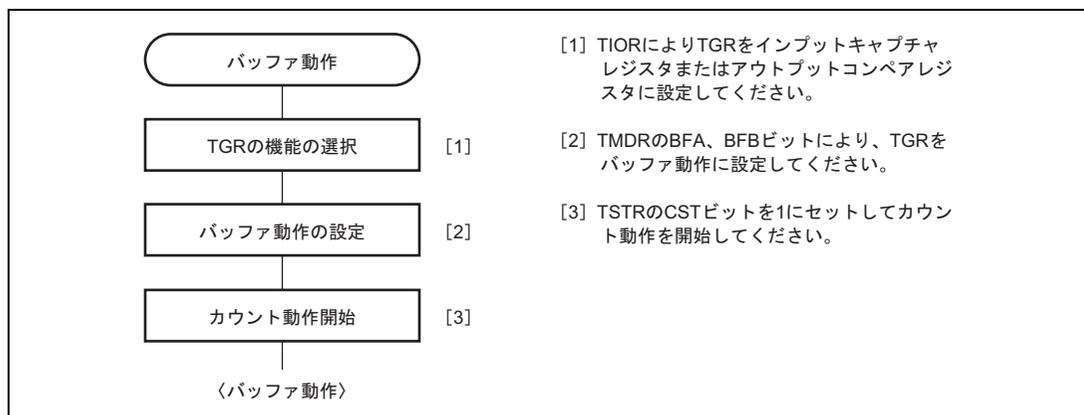


図 11.14 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル0をPWMモード1に設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図11.15に示します。TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAで1出力、コンペアマッチBで0出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイムジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生するたびに繰り返されます。

PWMモードについては、「11.4.5 PWMモード」を参照してください。

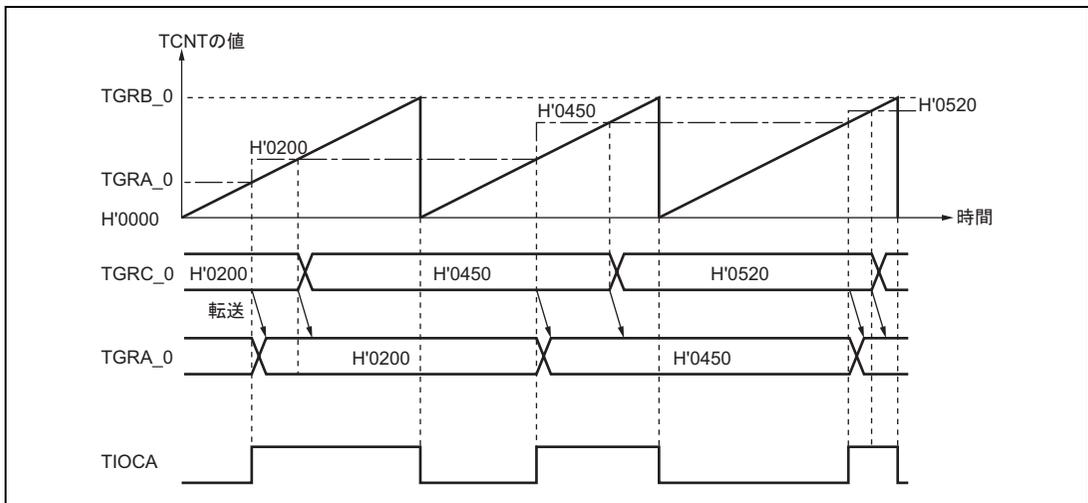


図 11.15 バッファ動作例 (1)

(b) TGR がインプットキャプチャレジスタの場合

TGRAをインプットキャプチャレジスタに設定し、TGRAとTGRCをバッファ動作に設定したときの動作例を図11.16に示します。

TCNTはTGRAのインプットキャプチャでカウンタクリア、TIOCA端子のインプットキャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャAによりTCNTの値がTGRAに格納されると同時に、それまでTGRAに格納されていた値がTGRCに転送されます。

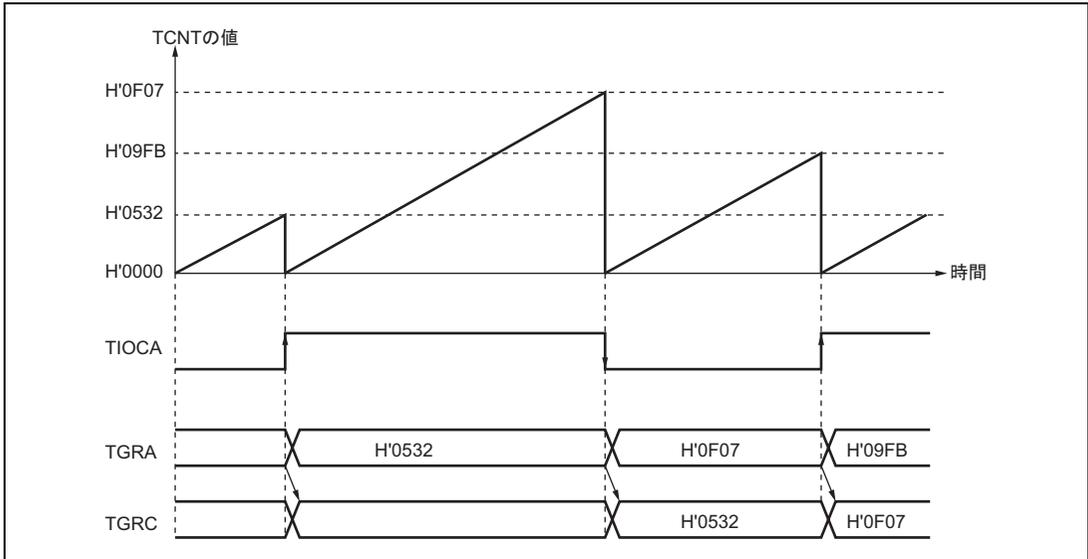


図 11.16 バッファ動作例 (2)

11.4.4 カスケード接続動作

カスケード接続動作は、2 チャンネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。

この機能は、チャンネル 1 (チャンネル 4) のカウンタクロックを TCR の TPSC2 ~ TPSC0 ビットで TCNT_x (TCNT_5) のオーバーフロー / アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。

表 11.29 にカスケード接続の組み合わせを示します。

【注】 チャンネル 1、4 を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 11.29 カスケード接続組み合わせ

組み合わせ	上位 16 ビット	下位 16 ビット
チャンネル 1 とチャンネル 2	TCNT_1	TCNT_2
チャンネル 4 とチャンネル 5	TCNT_4	TCNT_5

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 11.17 に示します。

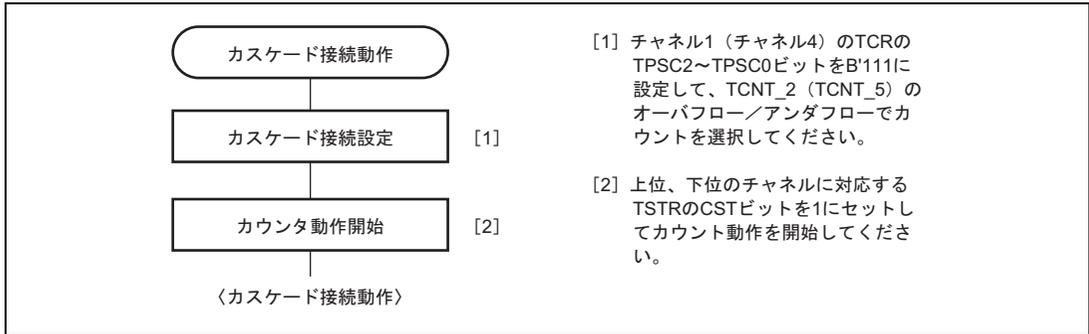


図 11.17 カスケード接続動作設定手順

(2) カスケード接続動作例

TCNT_1 は TCNT_2 のオーバーフロー / アンダフローでカウント、TGRA_1 と TGRA_2 をインプットキャプチャレジスタに設定し、TIOC 端子の立ち上がりエッジを選択したときの動作を図 11.18 に示します。

TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時に入力することにより、TGRA_1 に上位 16 ビット、TGRA_2 に下位 16 ビットの 32 ビットデータが転送されます。

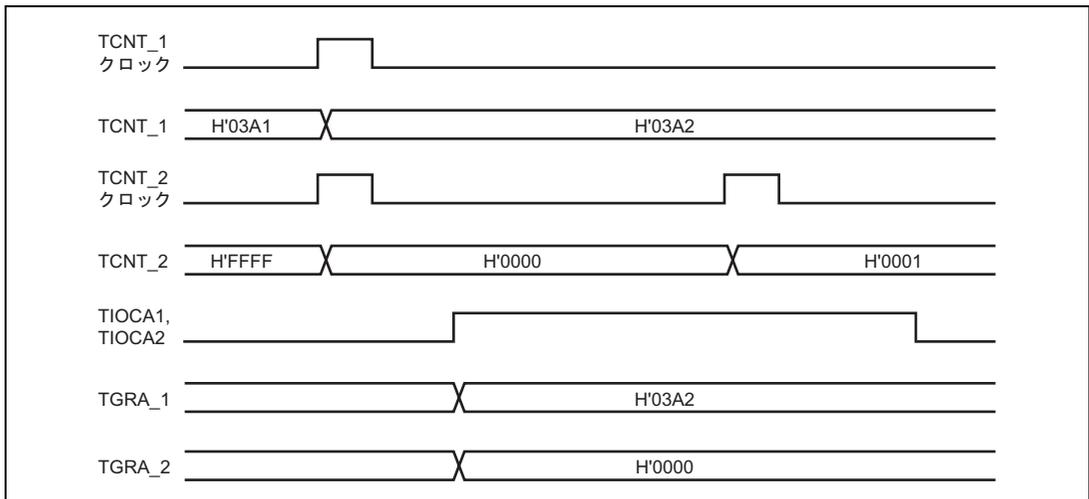


図 11.18 カスケード接続動作例 (1)

TCNT_1 は TCNT_2 のオーバーフロー / アンダフローでカウント、チャンネル 2 を位相計数モードに設定したときの動作を図 11.19 に示します。

TCNT_1 は、TCNT_2 のオーバーフローでアップカウント、TCNT_2 のアンダフローでダウンカウントされます。

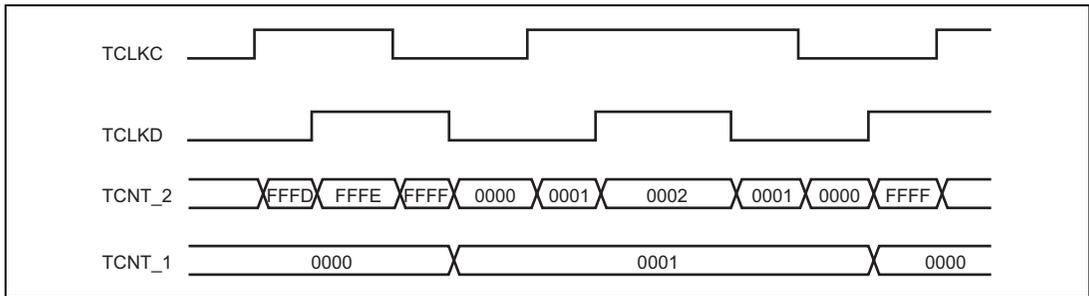


図 11.19 カスケード接続動作例 (2)

11.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0 ~ 100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3 ~ IOA0、IOC3 ~ IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3 ~ IOB0、IOD3 ~ IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

(b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 11.30 に示します。

表 11.30 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOCA0	TIOCA0
	TGRB_0		TIOCB0
	TGRC_0	TIOCC0	TIOCC0
	TGRD_0		TIOCD0
1	TGRA_1	TIOCA1	TIOCA1
	TGRB_1		TIOCB1
2	TGRA_2	TIOCA2	TIOCA2
	TGRB_2		TIOCB2
3	TGRA_3	TIOCA3	TIOCA3
	TGRB_3		TIOCB3
	TGRC_3	TIOCC3	TIOCC3
	TGRD_3		TIOCD3
4	TGRA_4	TIOCA4	TIOCA4
	TGRB_4		TIOCB4
5	TGRA_5	TIOCA5	TIOCA5
	TGRB_5		TIOCB5

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

11. 16ビットタイマパルスユニット (TPU)

(1) PWMモードの設定手順例

PWMモードの設定手順例を図 11.20 に示します。

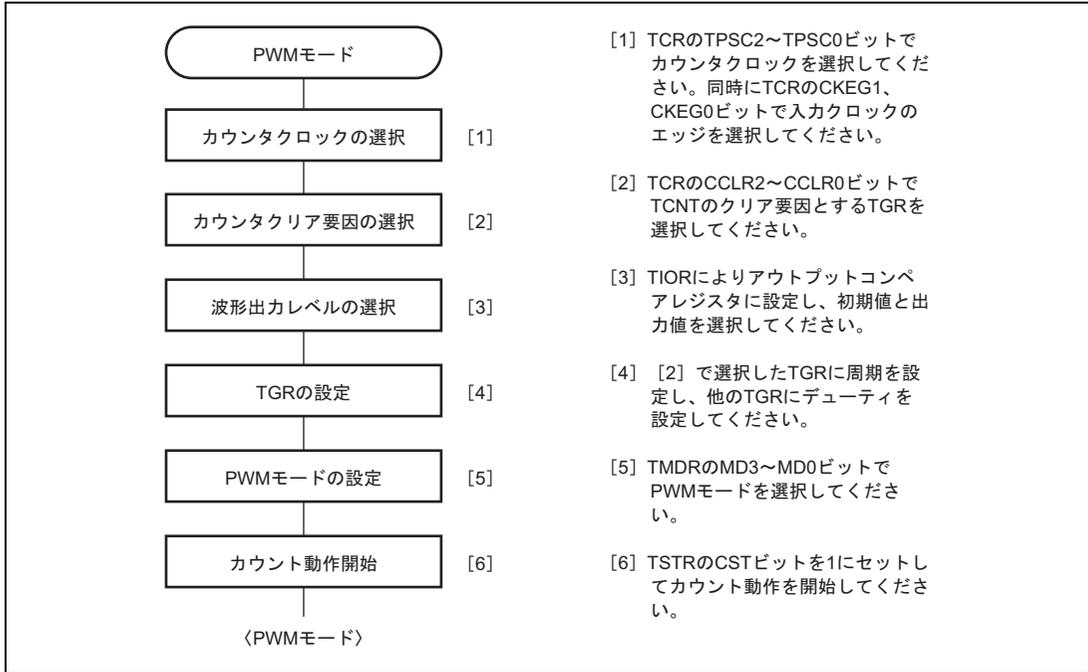


図 11.20 PWMモードの設定手順例

(2) PWMモードの動作例

PWMモード1の動作例を図 11.21 に示します。

この図は、TCNTのクリア要因をTGRAのコンペアマッチとし、TGRAの初期出力値と出力値を0、TGRBの出力値を1に設定した場合の例です。

この場合、TGRAに設定した値が周期となり、TGRBに設定した値がデューティになります。

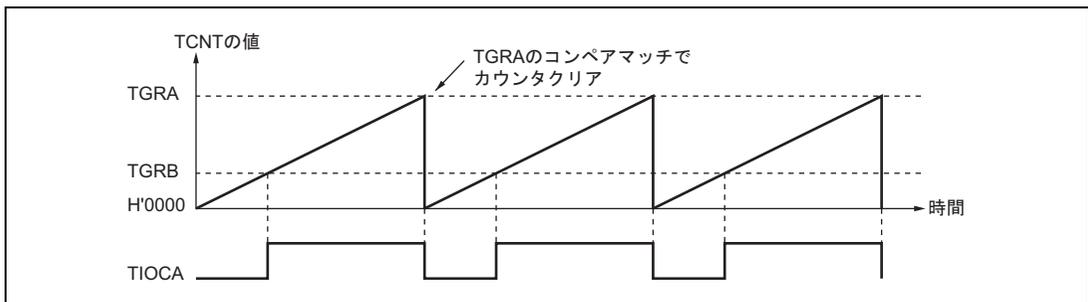


図 11.21 PWMモードの動作例(1)

PWM モード 2 の動作例を図 11.22 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB_1 のコンペアマッチとし、他の TGR (TGRA_0~TGRD_0, TGRA_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGRB_1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。

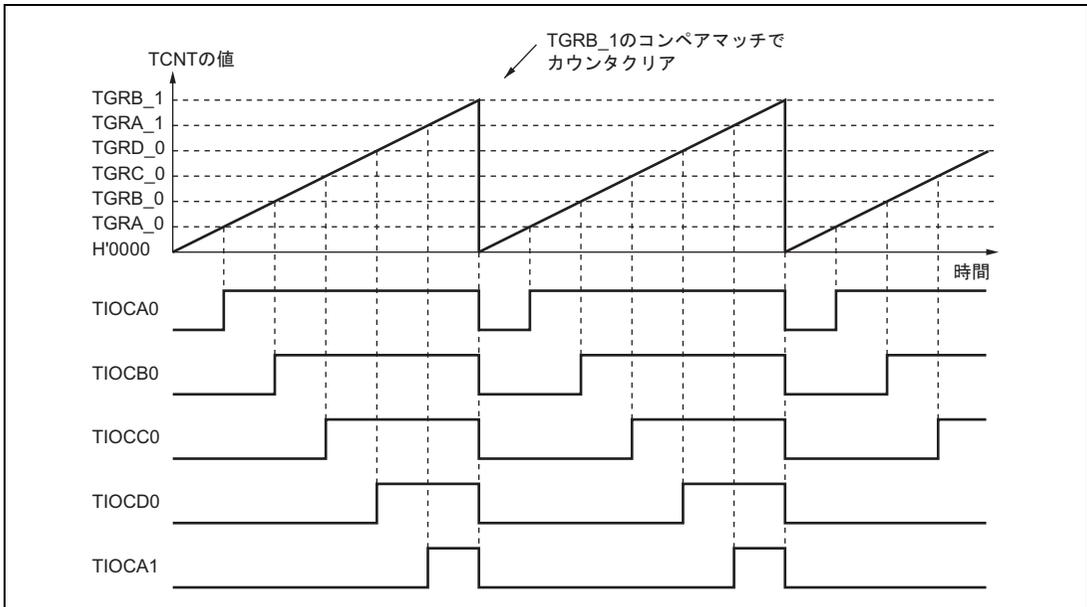


図 11.22 PWM モードの動作例 (2)

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 11.23 に示します。

11. 16ビットタイマパルスユニット (TPU)

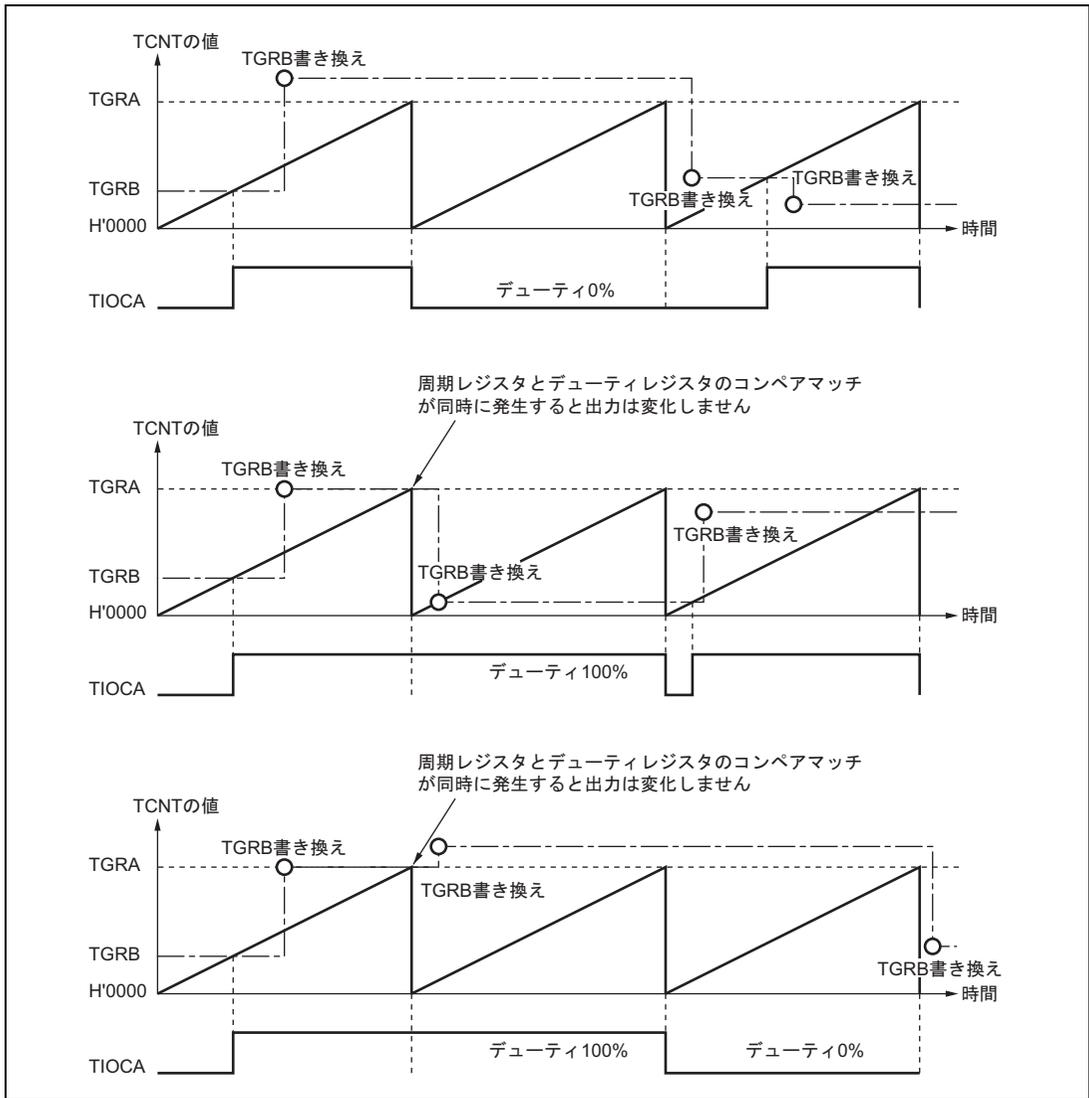


図 11.23 PWM モード動作例 (3)

11.4.6 位相計数モード

位相計数モードは、チャンネル 1、2、4、5 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ/ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2～TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ/ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生するとすると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 11.31 に外部クロック端子とチャンネルの対応を示します。

表 11.31 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 または 5 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 または 4 を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 11.24 に示します。

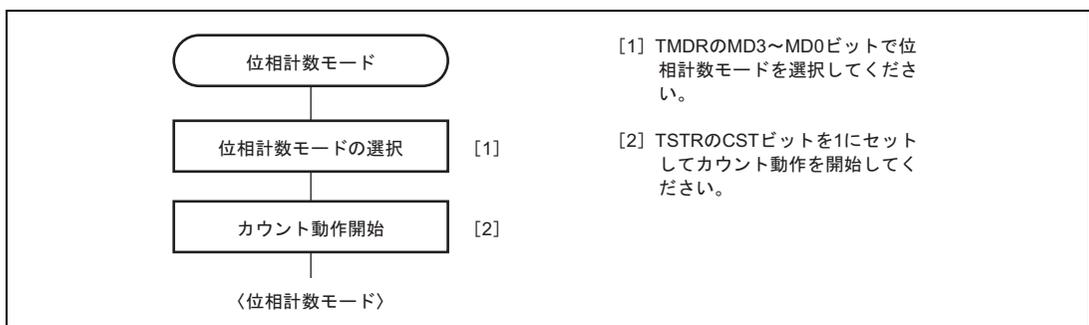


図 11.24 位相計数モードの設定手順例

11. 16ビットタイマパルスユニット (TPU)

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図11.25に、TCNTのアップ/ダウンカウント条件を表11.32に示します。

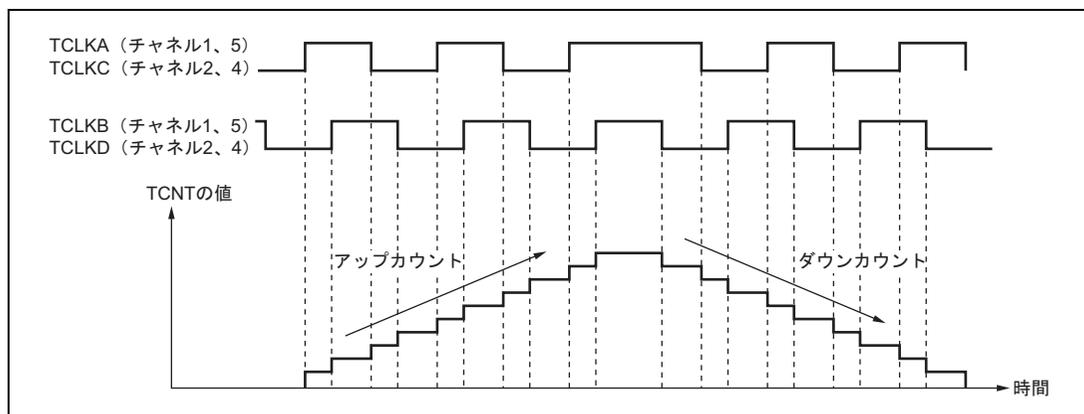


図 11.25 位相計数モード1の動作例

表 11.32 位相計数モード1のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル		アップカウント
Low レベル		
	Low レベル	
	High レベル	
High レベル		ダウンカウント
Low レベル		
	High レベル	
	Low レベル	

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 11.26 に、TCNT のアップ/ダウンカウント条件を表 11.33 に示します。

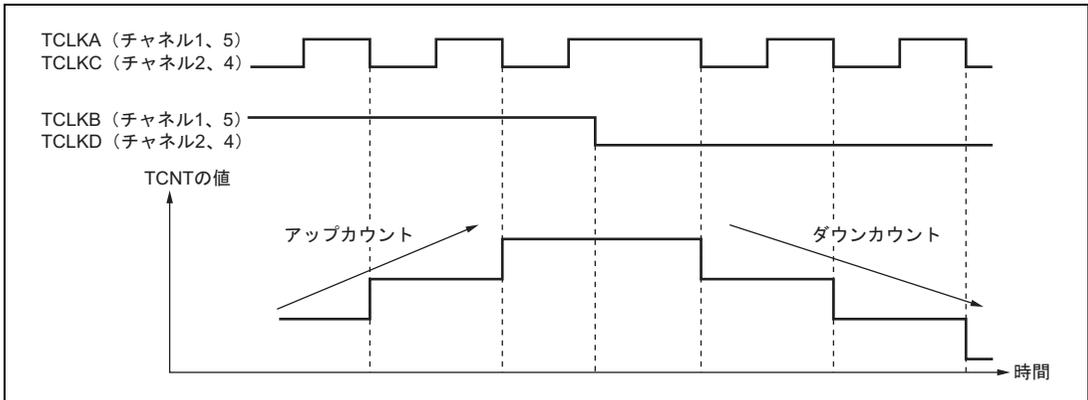


図 11.26 位相計数モード 2 の動作例

表 11.33 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル		Don't care
Low レベル		Don't care
	Low レベル	Don't care
	High レベル	アップカウント
High レベル		Don't care
Low レベル		Don't care
	High レベル	Don't care
	Low レベル	ダウンカウント

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

11. 16 ビットタイマパルスユニット (TPU)

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 11.27 に、TCNT のアップ/ダウンカウント条件を表 11.34 に示します。

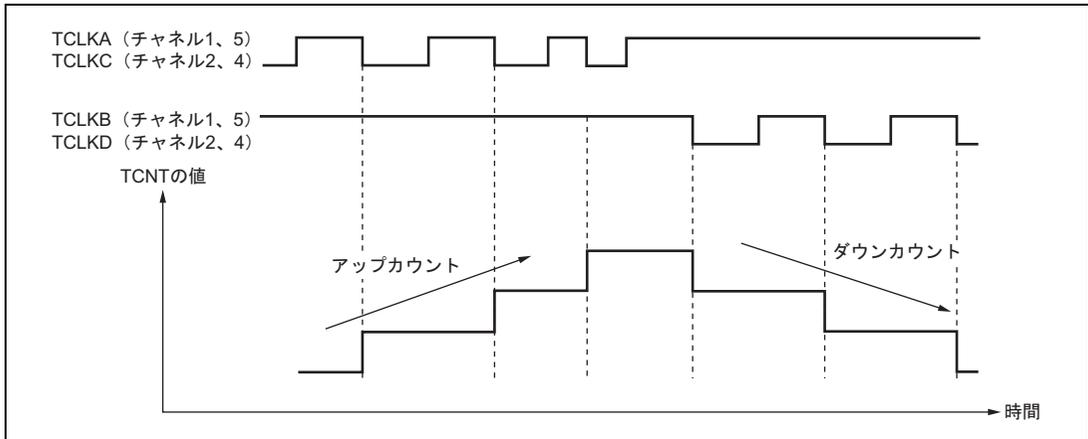


図 11.27 位相計数モード 3 の動作例

表 11.34 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	┌┐	Don't care
Low レベル	└┘	Don't care
┌┐	Low レベル	Don't care
└┘	High レベル	アップカウント
High レベル	└┘	ダウンカウント
Low レベル	┌┐	Don't care
┌┐	High レベル	Don't care
└┘	Low レベル	Don't care

【記号説明】

┌┐ : 立ち上がりエッジ

└┘ : 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 11.28 に、TCNT のアップ/ダウンカウント条件を表 11.35 に示します。

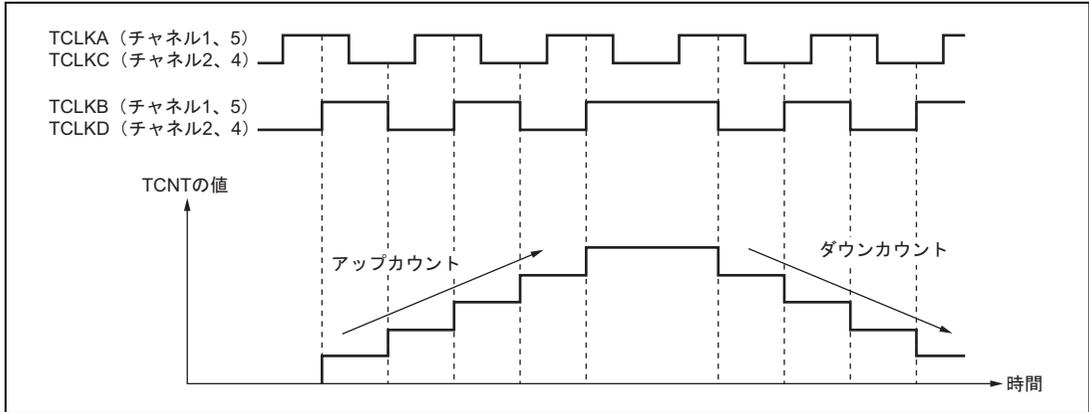


図 11.28 位相計数モード 4 の動作例

表 11.35 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	Don't care
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	Don't care
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル 1 を位相計数モードに設定し、チャンネル 0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 11.29 に示します。

チャンネル 1 は位相計数モード 1 に設定し、TCLKA と TCLKB にエンコーダパルスの A 相、B 相を入力します。

チャンネル 0 は TCNT を TGRC_0 のコンペアマッチでカウンタクリアとして動作させ、TGRA_0 と TGRC_0 はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB_0 はインプットキャプチャ機能で使用し、TGRB_0 と TGRD_0 をバッファ動作させます。TGRB_0 のインプットキャプチャ要因は、チャンネル 1

11. 16ビットタイマパルスユニット(TPU)

のカウンタ入カロックとし、2相エンコーダの4 通倍パルスのパルス幅を検出します。

チャンネル1のTGRA_1とTGRB_1は、インプットキャプチャ機能に設定し、インプットキャプチャ要因はチャンネル0のTGRA_0とTGRC_0のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

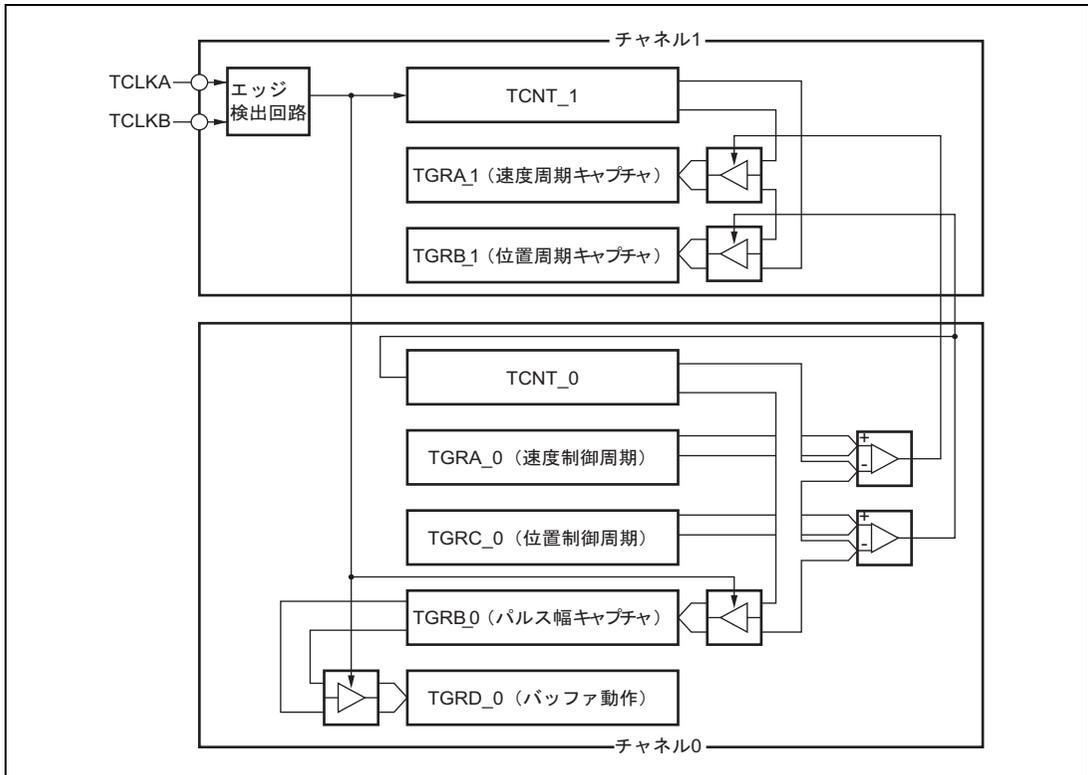


図 11.29 位相計数モードの応用例

11.5 割り込み要因

TPUの割り込み要因には、TGRのインプットキャプチャ/コンペアマッチ、TCNTのオーバフロー、アンダフローの3種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSRの対応するステータスフラグが1にセットされます。このときTIERの対応する許可/禁止ビットが1にセットされていれば、割り込みを要求します。ステータスフラグを0にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳

細は「第5章 割り込みコントローラ」を参照してください。

表 11.36 に TPU の割り込み要因の一覧を示します。

表 11.36 TPU 割り込み一覧

チャンネル	名称	割り込み要因	割り込み フラグ	DTC の起動	DMAC の起動
0	TGI0A	TGRA_0 のインプットキャプチャ / コンペアマッチ	TGFA_0	可	可
	TGI0B	TGRB_0 のインプットキャプチャ / コンペアマッチ	TGFB_0	可	不可
	TGI0C	TGRC_0 のインプットキャプチャ / コンペアマッチ	TGFC_0	可	不可
	TGI0D	TGRD_0 のインプットキャプチャ / コンペアマッチ	TGFD_0	可	不可
	TCI0V	TCNT_0 のオーバフロー	TCFV_0	不可	不可
1	TGI1A	TGRA_1 のインプットキャプチャ / コンペアマッチ	TGFA_1	可	可
	TGI1B	TGRB_1 のインプットキャプチャ / コンペアマッチ	TGFB_1	可	不可
	TCI1V	TCNT_1 のオーバフロー	TCFV_1	不可	不可
	TCI1U	TCNT_1 のアンダフロー	TCFU_1	不可	不可
2	TGI2A	TGRA_2 のインプットキャプチャ / コンペアマッチ	TGFA_2	可	可
	TGI2B	TGRB_2 のインプットキャプチャ / コンペアマッチ	TGFB_2	可	不可
	TCI2V	TCNT_2 のオーバフロー	TCFV_2	不可	不可
	TCI2U	TCNT_2 のアンダフロー	TCFU_2	不可	不可
3	TGI3A	TGRA_3 のインプットキャプチャ / コンペアマッチ	TGFA_3	可	可
	TGI3B	TGRB_3 のインプットキャプチャ / コンペアマッチ	TGFB_3	可	不可
	TGI3C	TGRC_3 のインプットキャプチャ / コンペアマッチ	TGFC_3	可	不可
	TGI3D	TGRD_3 のインプットキャプチャ / コンペアマッチ	TGFD_3	可	不可
	TCI3V	TCNT_3 のオーバフロー	TCFV_3	不可	不可
4	TGI4A	TGRA_4 のインプットキャプチャ / コンペアマッチ	TGFA_4	可	可
	TGI4B	TGRB_4 のインプットキャプチャ / コンペアマッチ	TGFB_4	可	不可
	TCI4V	TCNT_4 のオーバフロー	TCFV_4	不可	不可
	TCI4U	TCNT_4 のアンダフロー	TCFU_4	不可	不可
5	TGI5A	TGRA_5 のインプットキャプチャ / コンペアマッチ	TGFA_5	可	可
	TGI5B	TGRB_5 のインプットキャプチャ / コンペアマッチ	TGFB_5	可	不可
	TCI5V	TCNT_5 のオーバフロー	TCFV_5	不可	不可
	TCI5U	TCNT_5 のアンダフロー	TCFU_5	不可	不可

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

11. 16 ビットタイムパルスユニット (TPU)

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルの TGR のインพุットキャプチャ/コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、各チャンネルに 1 本、計 6 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 1、2、4、5 に各 1 本、計 4 本のアンダフロー割り込みがあります。

11.6 DTC の起動

各チャンネルの TGR のインพุットキャプチャ/コンペアマッチ割り込みによって、DTC を起動することができます。詳細は「第 9 章 データトランスファコントローラ (DTC)」を参照してください。

TPU では、チャンネル 0、3 が各 4 本、チャンネル 1、2、4、5 が各 2 本、計 16 本のインพุットキャプチャ/コンペアマッチ割り込みを DTC の起動要因とすることができます。

11.7 DMAC の起動

各チャンネルの TGRA のインพุットキャプチャ/コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「第 7 章 DMA コントローラ (DMAC)」を参照してください。

TPU では、各チャンネルに 1 本、計 6 本の TGRA のインพุットキャプチャ/コンペアマッチ割り込みを DMAC の起動要因とすることができます。

11.8 A/D 変換器の起動

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチによって、A/D 変換器を起動することができます。

各チャンネルの TGRA のインプットキャプチャ/コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、TPU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

TPU では、各チャンネル 1 本、計 6 本の TGRA のインプットキャプチャ/コンペアマッチ割り込みを A/D 変換器の変換開始要因とすることができます。

11.9 動作タイミング

11.9.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 11.30 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 11.31 に示します。

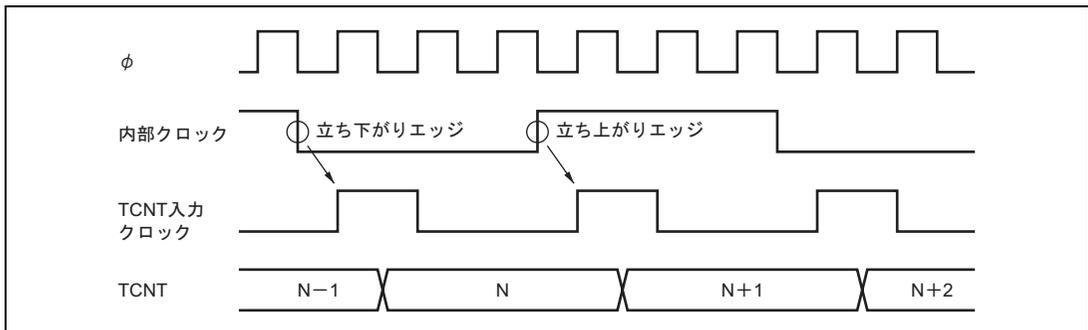


図 11.30 内部クロック動作時のカウントタイミング

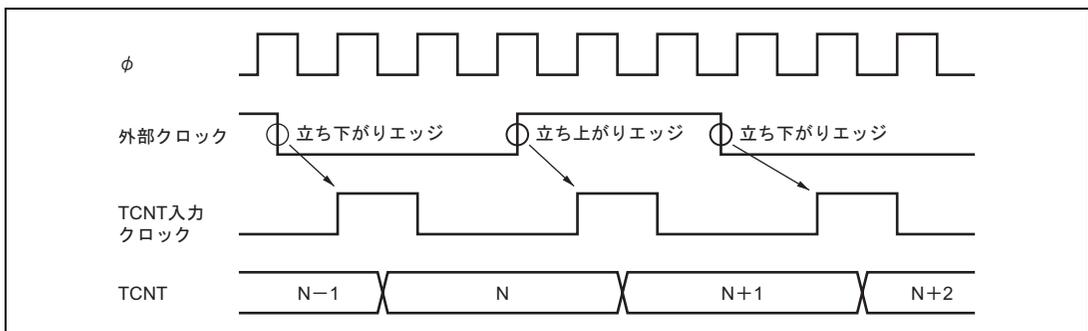


図 11.31 外部クロック動作時のカウントタイミング

11. 16ビットタイマパルスユニット(TPU)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNTとTGRが一致した最後のステート(TCNTが一致したカウント値を更新するタイミング)で発生します。コンペアマッチ信号が発生したとき、TIORで設定した出力値がアウトプットコンペア出力端子(TIOC端子)に出力されます。TCNTとTGRが一致した後、TCNT入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図11.32に示します。

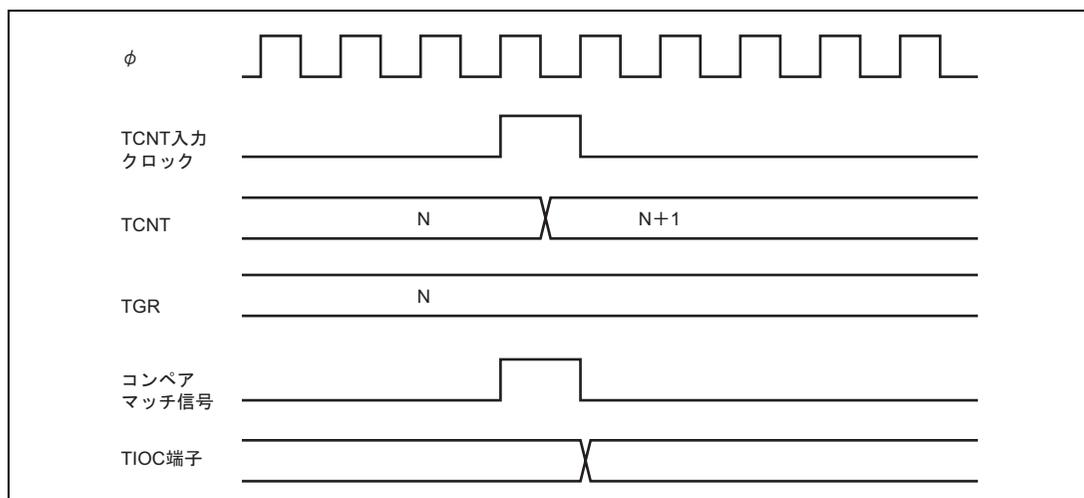


図 11.32 アウトプットコンペア出力タイミング

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図11.33に示します。

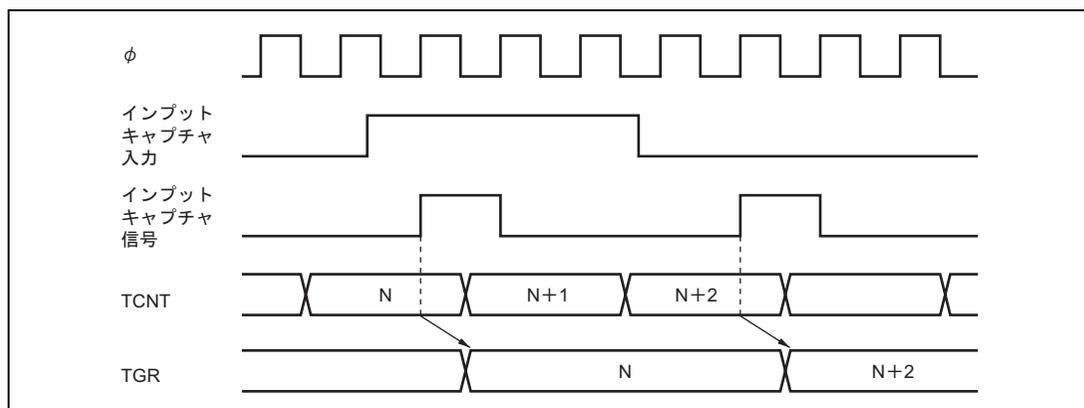


図 11.33 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 11.34 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 11.35 に示します。

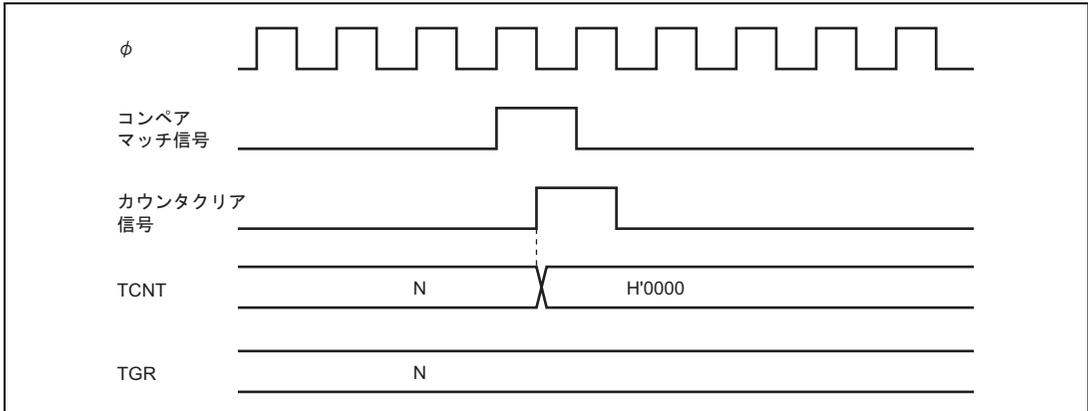


図 11.34 カウンタクリアタイミング (コンペアマッチ)

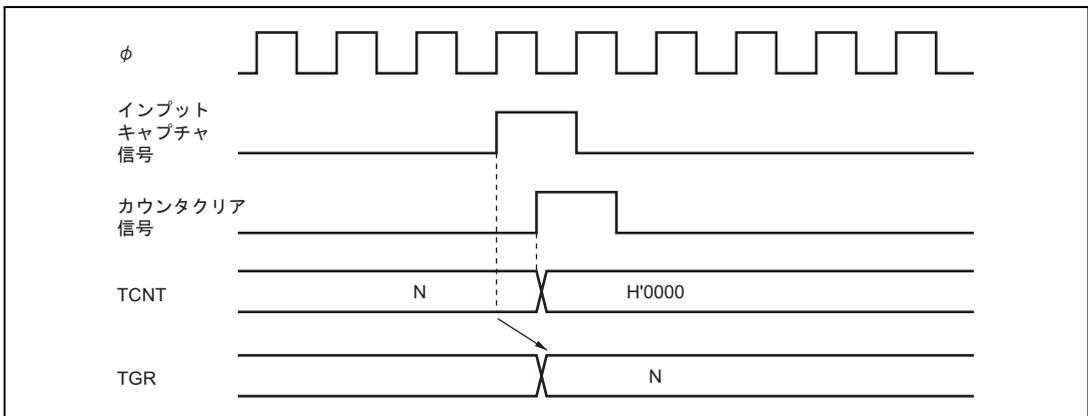


図 11.35 カウンタクリアタイミング (インプットキャプチャ)

11. 16 ビットタイマパルスユニット (TPU)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 11.36、図 11.37 に示します。

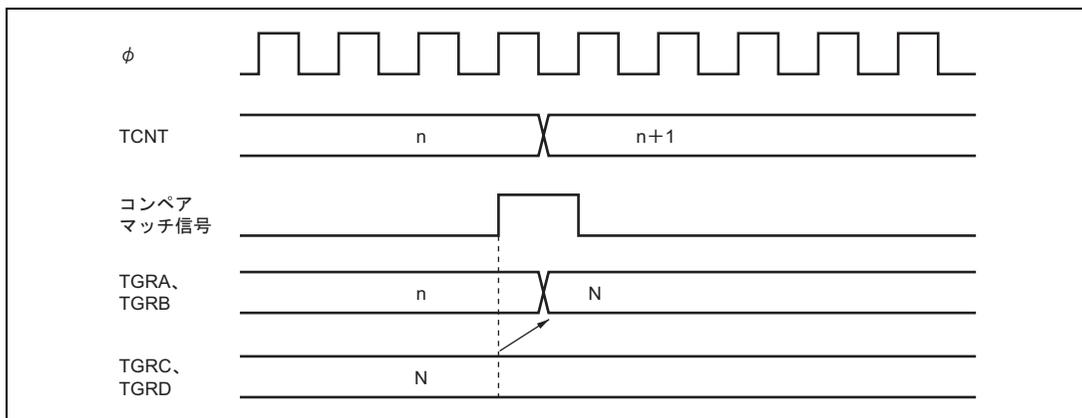


図 11.36 バッファ動作タイミング (コンペアマッチ)

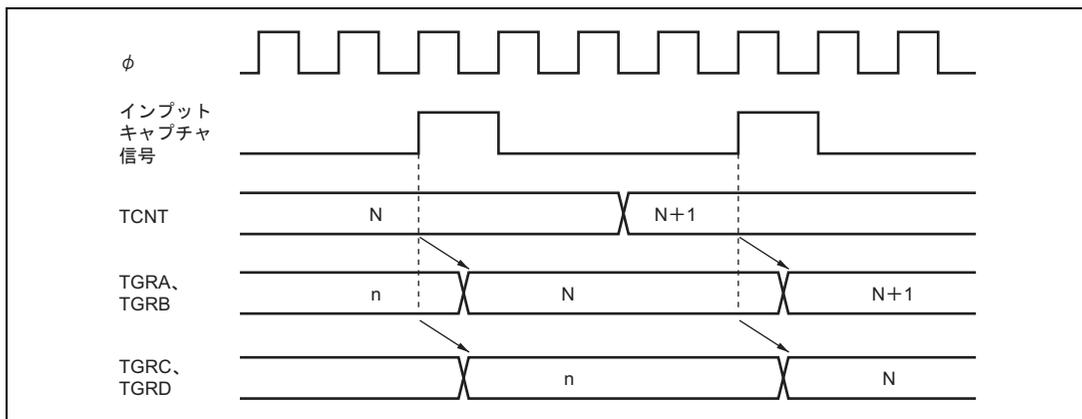


図 11.37 バッファ動作タイミング (インプットキャプチャ)

11.9.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 11.38 に示します。

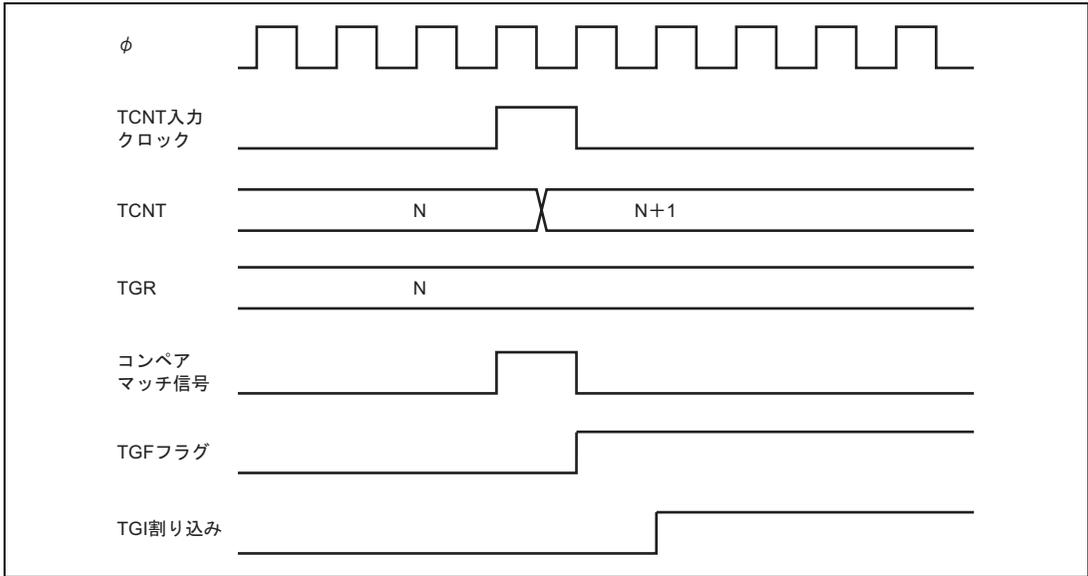


図 11.38 TGI 割り込みタイミング (コンペアマッチ)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 11.39 に示します。

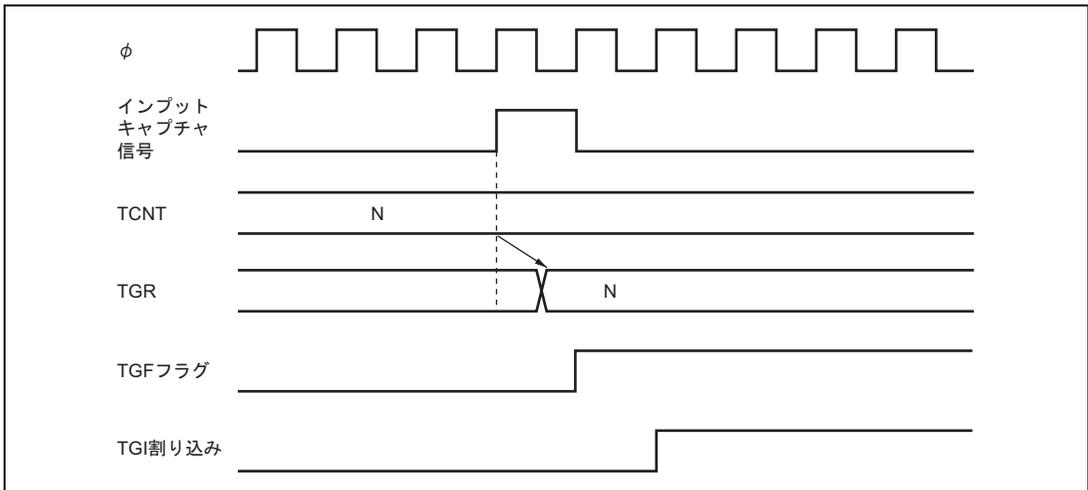


図 11.39 TGI 割り込みタイミング (インพุットキャプチャ)

11. 16ビットタイマパルスユニット(TPU)

(3) TCFV フラグ / TCFU フラグのセットタイミング

オーバーフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 11.40 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 11.41 に示します。

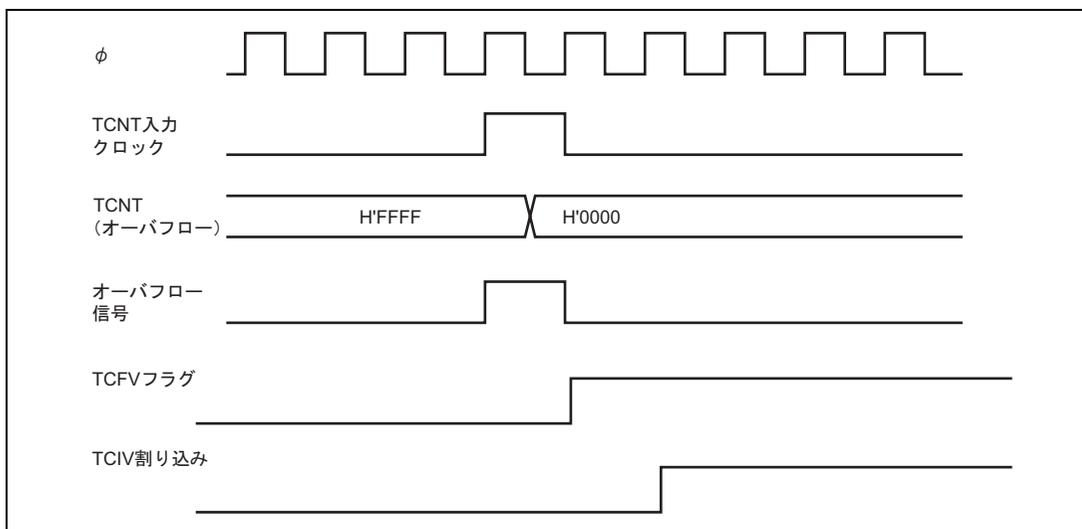


図 11.40 TCIV 割り込みのセットタイミング

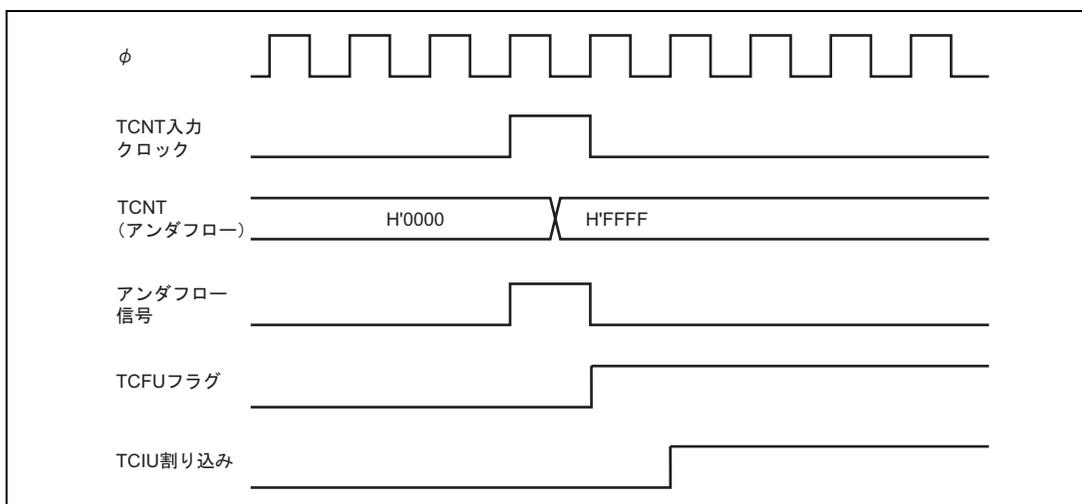


図 11.41 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグは CPU が 1 の状態をリードした後、0 をライトするとクリアされます。DTC または DMAC を起動する場合は、自動的にクリアすることもできます。CPU によるステータスフラグのクリアタイミングを図 11.42 に、DTC または DMAC によるステータスフラグのクリアのタイミングを図 11.43 に示します。

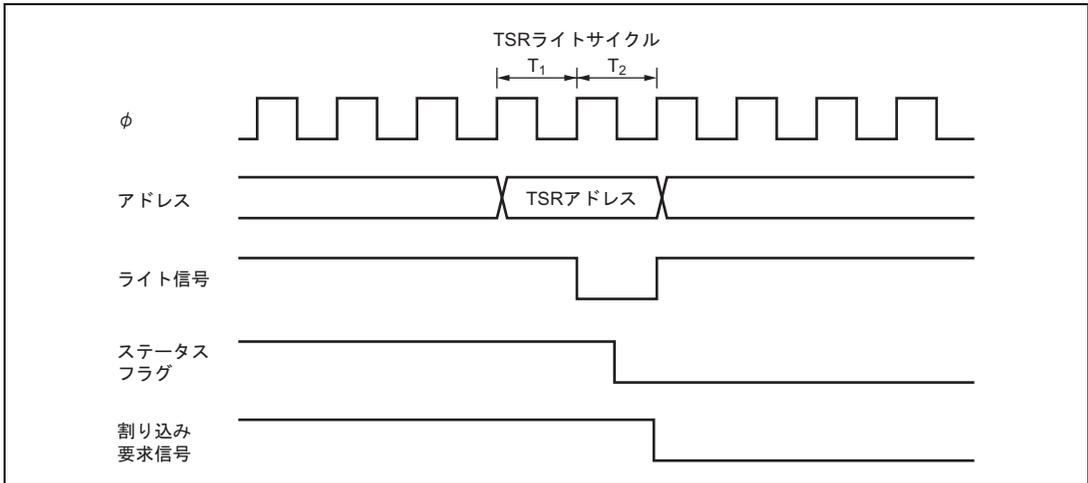


図 11.42 CPU によるステータスフラグのクリアタイミング

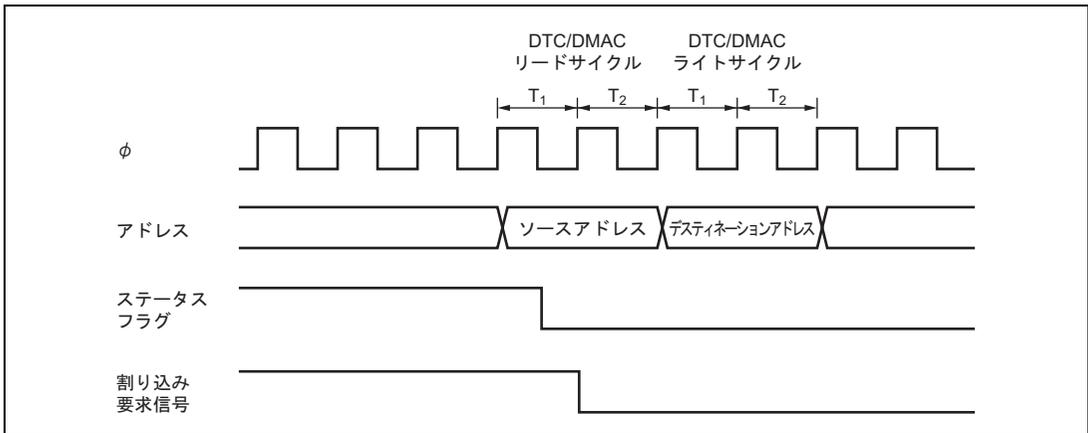


図 11.43 DTC/DMAC の起動によるステータスフラグのクリアタイミング

11.10 使用上の注意事項

11.10.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TPU の動作禁止 / 許可を設定することが可能です。初期値では、TPU の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 24 章 低消費電力状態」を参照してください。

11.10.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 11.44 に示します。

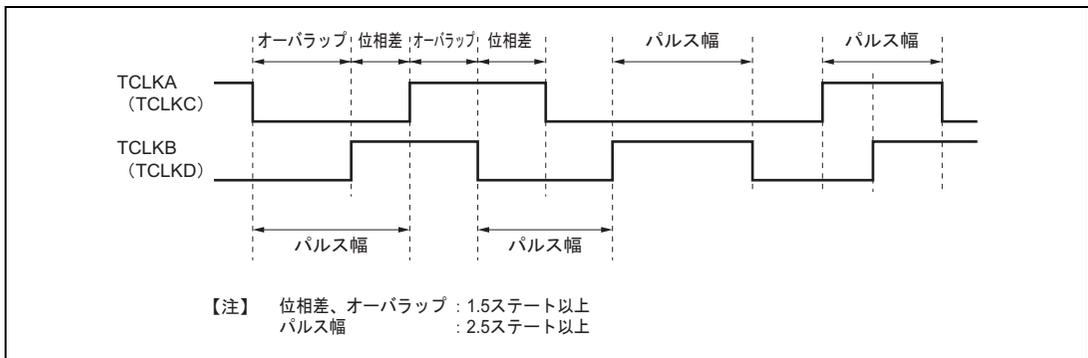


図 11.44 位相計数モード時の位相差、オーバーラップ、およびパルス幅

11.10.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

$$f = \frac{1}{(N+1)}$$

- f : カウンタ周波数
- : 動作周波数
- N : TGR の設定値

11.10.4 TCNTのライトとクリアの競合

TCNTのライトサイクル中の T_2 ステートでカウンタクリア信号が発生すると、TCNTへのライトは行われずにTCNTのクリアが優先されます。このタイミングを図11.45に示します。

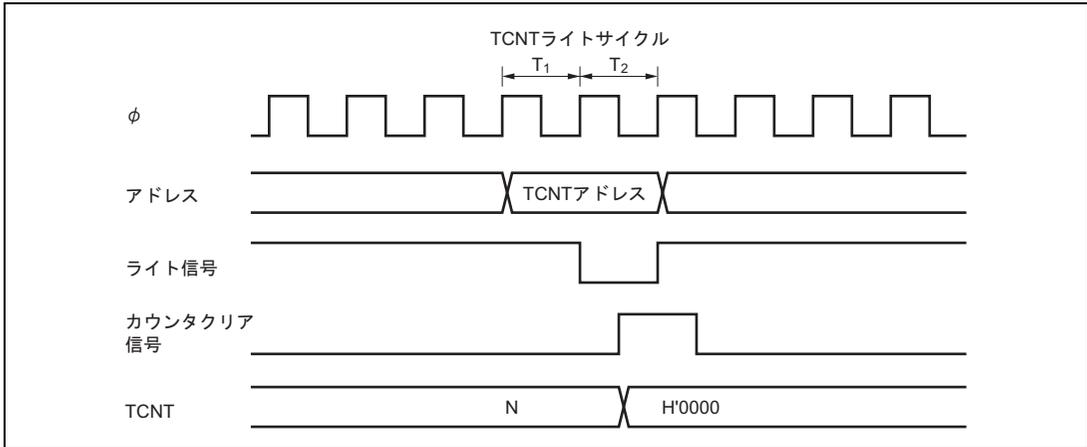


図 11.45 TCNTのライトとクリアの競合

11.10.5 TCNTのライトとカウントアップの競合

TCNTのライトサイクル中の T_2 ステートでカウントアップが発生してもカウントアップされず、TCNTへのライトが優先されます。このタイミングを図11.46に示します。

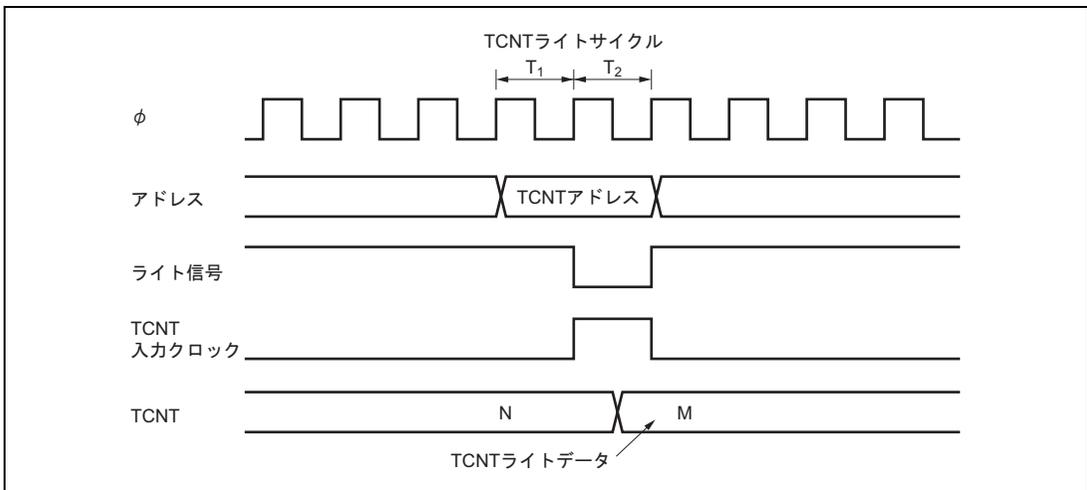


図 11.46 TCNTのライトとカウントアップの競合

11.10.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T_2 ステートでコンペアマッチが発生しても TGR のライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。

このタイミングを図 11.47 に示します。

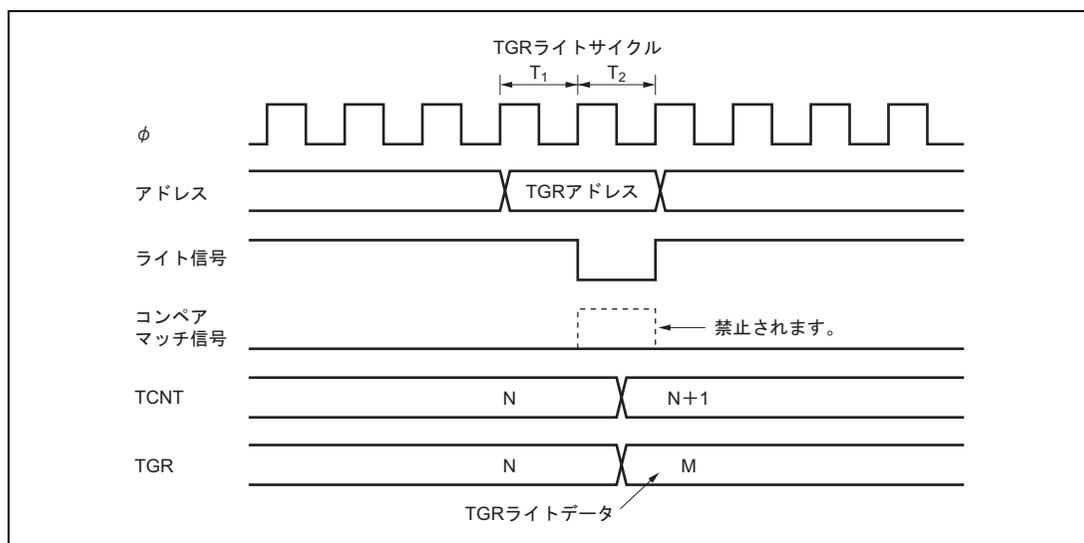


図 11.47 TGR のライトとコンペアマッチの競合

11.10.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T_2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。

このタイミングを図 11.48 に示します。

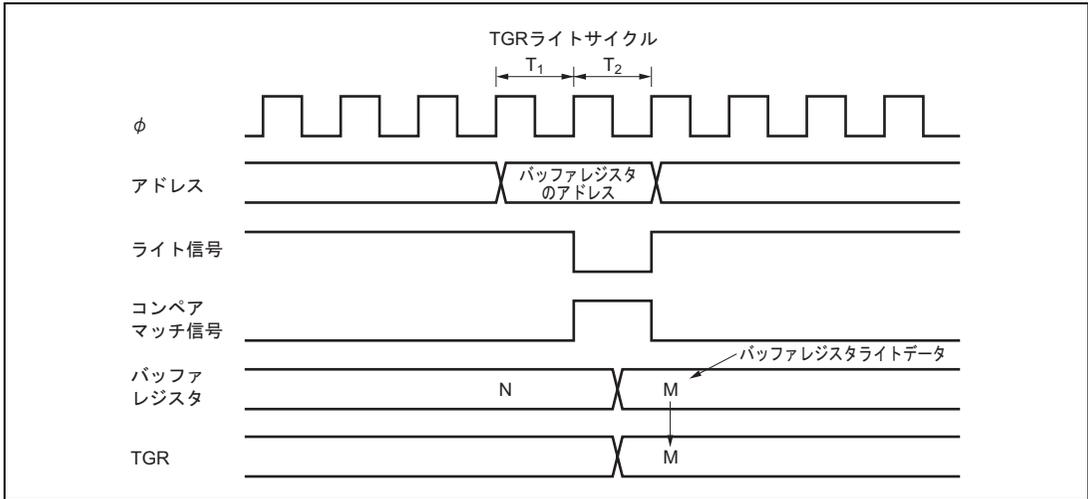


図 11.48 バッファレジスタのライトとコンペアマッチの競合

11.10.8 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T_1 ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 11.49 に示します。

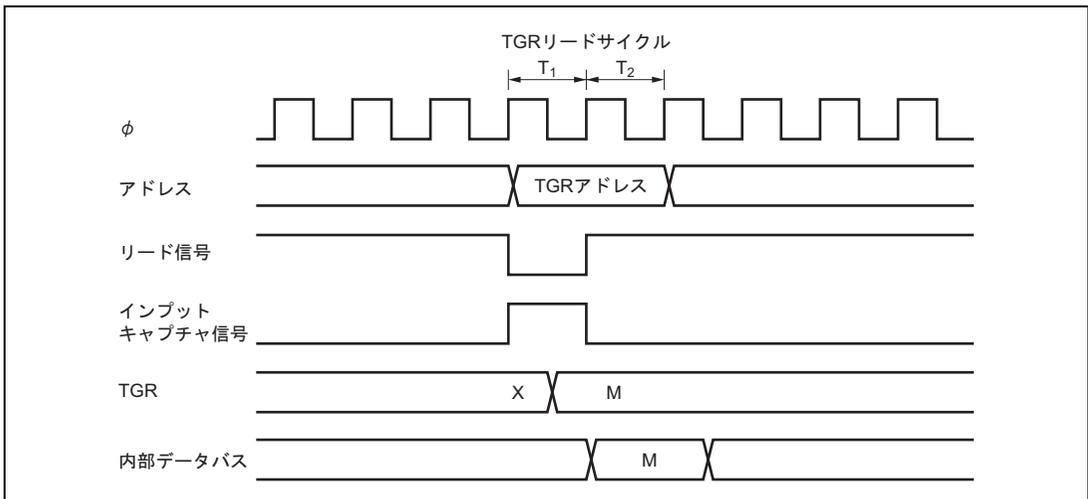


図 11.49 TGR のリードとインプットキャプチャの競合

11.10.9 TGRのライトとインプットキャプチャの競合

TGRのライトサイクル中の T_2 ステートでインプットキャプチャ信号が発生すると、TGRへのライトは行われず、インプットキャプチャが優先されます。このタイミングを図11.50に示します。

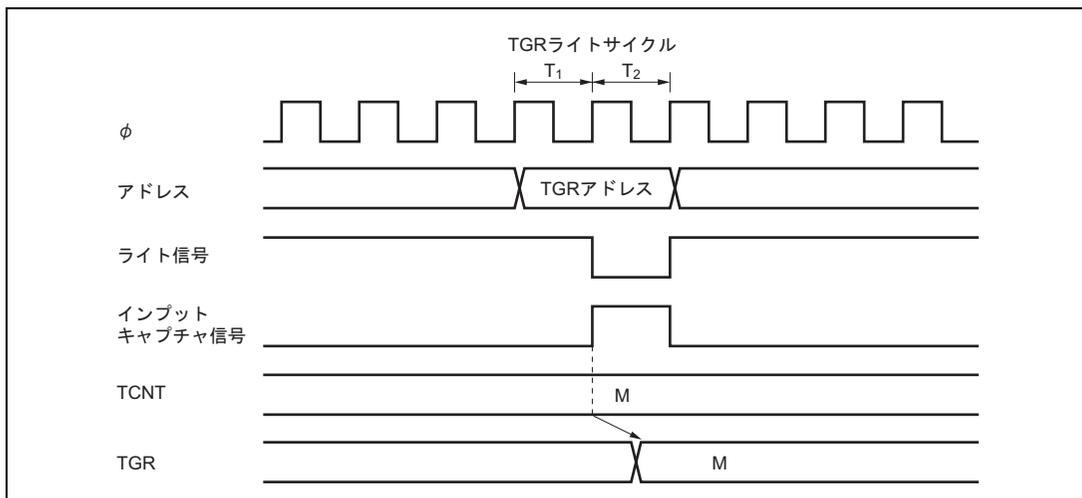


図 11.50 TGRのライトとインプットキャプチャの競合

11.10.10 バッファレジスタのライトとインプットキャプチャの競合

バッファレジスタのライトサイクル中の T_2 ステートでインプットキャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。このタイミングを図11.51に示します。

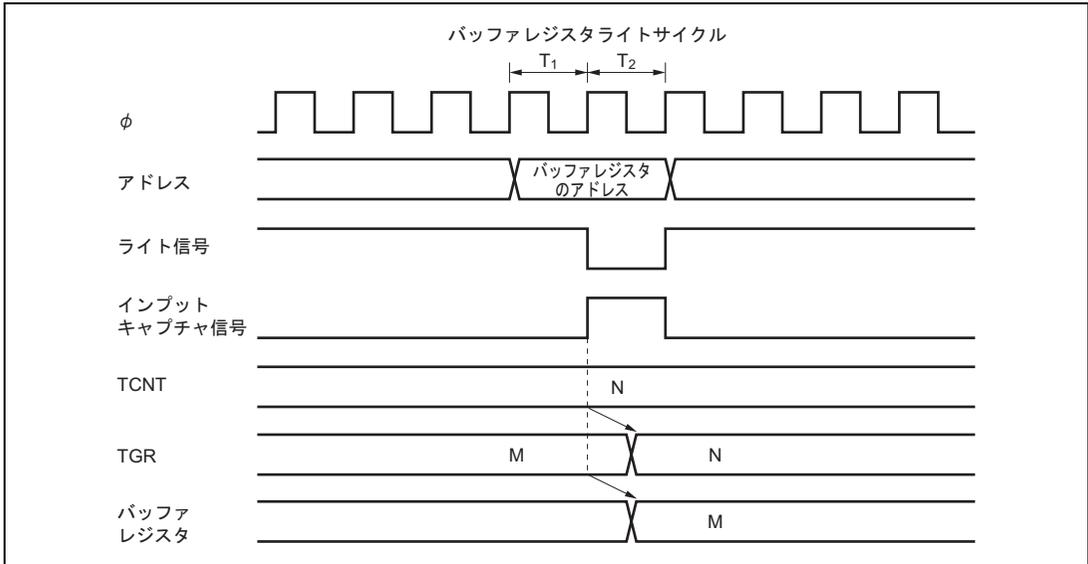


図 11.51 バッファレジスタのライトと入力キャプチャの競合

11.10.11 オーバフロー / アンダフローとカウンタクリアの競合

オーバフロー / アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV/TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 11.52 に示します。

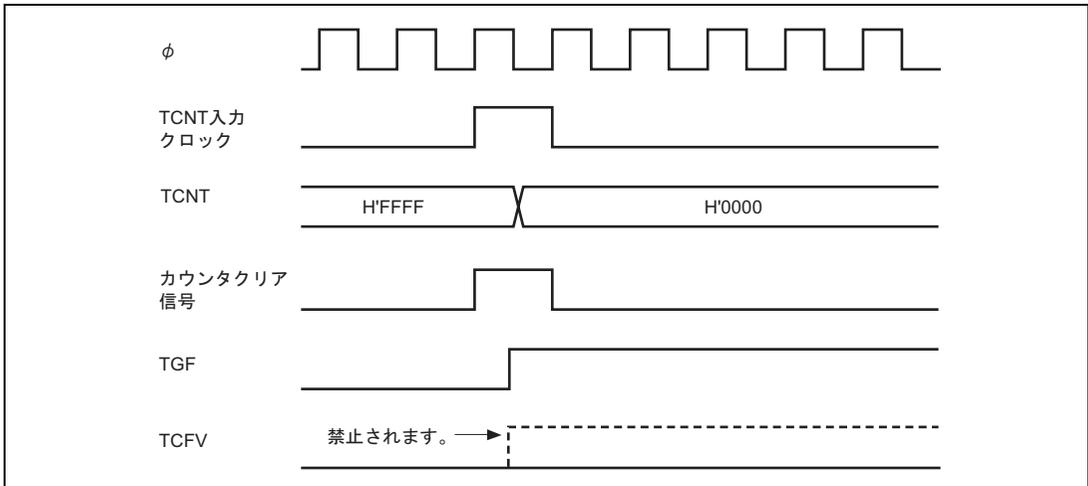


図 11.52 オーバフローとカウンタクリアの競合

11.10.12 TCNT のライトとオーバフロー / アンダフローの競合

TCNT のライトサイクル中の T_2 ステートでカウントアップ / カウントダウンが発生し、オーバフロー / アンダフローが発生しても TCNT へのライトが優先され、TSR の TCFV/TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを図 11.53 に示します。

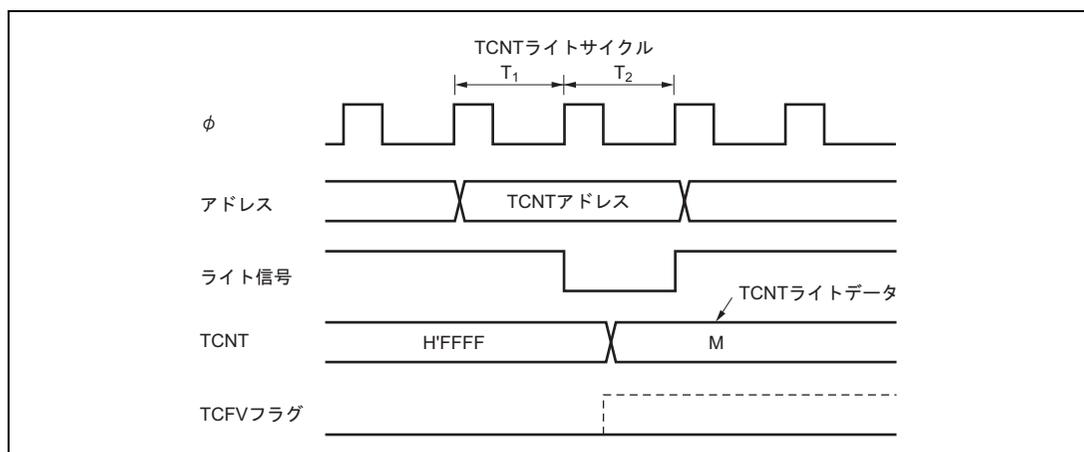


図 11.53 TCNT のライトとオーバフローの競合

11.10.13 入出力端子の兼用

本 LSI では、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

11.10.14 モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップモードにすると、CPU の割り込み要因、DMAC または DTC の起動要因のクリアができません。事前に割り込みをディスエーブルしてからモジュールストップモードとしてください。

12. プログラマブルパルスジェネレータ (PPG)

プログラマブルパルスジェネレータ (PPG) は 16 ビットタイマパルスユニット (TPU) をタイムベースとしてパルスを出力します。PPG は 4 ビット単位のパルス出力グループ 3~0 から構成されており、これらは同時に動作させることも、独立に動作させることもできます。PPG のブロック図を図 12.1 に示します。

12.1 特長

- 出力データ16ビット
- 4系統の出力可能
- 出力トリガ信号を選択可能
- ノンオーバーラップ動作可能
- データトランスファコントローラ (DTC)、DMAコントローラ (DMAC) との連携動作可能
- 反転出力の指定可能
- モジュールストップモードの設定可能

12. プログラマブルパルスジェネレータ (PPG)

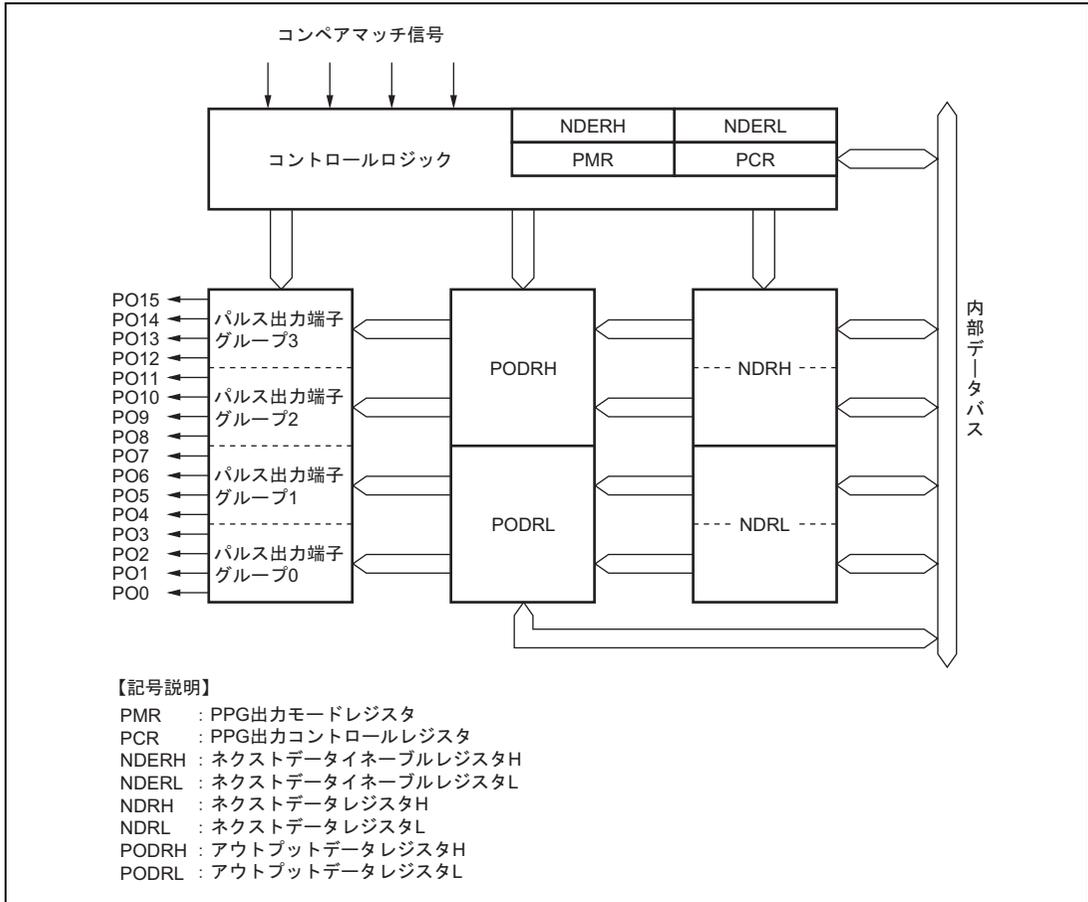


図 12.1 PPG のブロック図

12.2 入出力端子

PPG には表 12.1 の入出力端子があります。

表 12.1 PPG の入出力端子

端子名	入出力	機 能
PO15	出力	パルス出力グループ 3 のパルス出力
PO14	出力	
PO13	出力	
PO12	出力	
PO11	出力	パルス出力グループ 2 のパルス出力
PO10	出力	
PO9	出力	
PO8	出力	
PO7	出力	パルス出力グループ 1 のパルス出力
PO6	出力	
PO5	出力	
PO4	出力	
PO3	出力	パルス出力グループ 0 のパルス出力
PO2	出力	
PO1	出力	
PO0	出力	

12. プログラマブルパルスジェネレータ (PPG)

12.3 レジスタの説明

PPG には以下のレジスタがあります。

- ネクストデータイネーブルレジスタH (NDERH)
- ネクストデータイネーブルレジスタL (NDERL)
- アウトプットデータレジスタH (PODRH)
- アウトプットデータレジスタL (PODRL)
- ネクストデータレジスタH (NDRH)
- ネクストデータレジスタL (NDRL)
- PPG出力コントロールレジスタ (PCR)
- PPG出力モードレジスタ (PMR)

12.3.1 ネクストデータイネーブルレジスタ H、L (NDERH、NDERL)

NDERH、NDERL は、PPG によるパルス出力端子をビット単位で選択します。PPG によってパルスを出力するためにはこのほかに対応する DDR を 1 にセットする必要があります。

• NDERH

ビット	ビット名	初期値	R/W	説明
7	NDER15	0	R/W	ネクストデータイネーブル 15～8 1 にセットすると選択された出力トリガによって NDRH の対応するビットから PODRH へデータが転送されます。クリアされているビットは NDRH から PODRH へのデータ転送は行われません。
6	NDER14	0	R/W	
5	NDER13	0	R/W	
4	NDER12	0	R/W	
3	NDER11	0	R/W	
2	NDER10	0	R/W	
1	NDER9	0	R/W	
0	NDER8	0	R/W	

12. プログラマブルパルスジェネレータ (PPG)

• NDERL

ビット	ビット名	初期値	R/W	説明
7	NDER7	0	R/W	ネクストデータインープル7~0
6	NDER6	0	R/W	1 にセットすると選択された出力トリガによって NDRL の対応するビットから PODRL ヘータが転送されます。クリアされているビットは NDRL から PODRL へのデータ転送は行われません。
5	NDER5	0	R/W	
4	NDER4	0	R/W	
3	NDER3	0	R/W	
2	NDER2	0	R/W	
1	NDER1	0	R/W	
0	NDER0	0	R/W	

12.3.2 アウトプットデータレジスタ H、L (PODRH、PODRL)

PODRH、PODRL は、パルス出力値が格納されます。NDER によりパルス出力に設定されたビットはリード専用となり、ライトできません。

• PODRH

ビット	ビット名	初期値	R/W	説明
7	POD15	0	R/W	アウトプットデータレジスタ 15~8
6	POD14	0	R/W	NDERH によりパルス出力に設定されたビットは PPG 動作中、出力トリガによって NDRH の値がこのレジスタに転送されます。NDERH が 1 にセットされている期間 CPU からはライトできません。NDERH がクリアされている状態ではパルスの初期出力値を設定することができます。
5	POD13	0	R/W	
4	POD12	0	R/W	
3	POD11	0	R/W	
2	POD10	0	R/W	
1	POD9	0	R/W	
0	POD8	0	R/W	

• PODRL

ビット	ビット名	初期値	R/W	説明
7	POD7	0	R/W	アウトプットデータレジスタ 7~0
6	POD6	0	R/W	NDERL によりパルス出力に設定されたビットは PPG 動作中、出力トリガによって NDRL の値がこのレジスタに転送されます。NDERL が 1 にセットされている期間 CPU からはライトできません。NDERL がクリアされている状態ではパルスの初期出力値を設定することができます。
5	POD5	0	R/W	
4	POD4	0	R/W	
3	POD3	0	R/W	
2	POD2	0	R/W	
1	POD1	0	R/W	
0	POD0	0	R/W	

12. プログラマブルパルスジェネレータ (PPG)

12.3.3 ネクストデータレジスタ H、L (NDRH、NDRL)

NDRH、NDRL は、パルス出力の次のデータを格納します。NDR のアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

- NDRH

パルス出力グループ 2、3 の出力トリガを同一にすると、以下のように 8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

ビット	ビット名	初期値	R/W	説明
7	NDR15	0	R/W	ネクストデータレジスタ 15~8 PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
6	NDR14	0	R/W	
5	NDR13	0	R/W	
4	NDR12	0	R/W	
3	NDR11	0	R/W	
2	NDR10	0	R/W	
1	NDR9	0	R/W	
0	NDR8	0	R/W	

パルス出力グループ 2 とパルス出力グループ 3 で異なる出力トリガを選択すると、以下のように上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

ビット	ビット名	初期値	R/W	説明
7	NDR15	0	R/W	ネクストデータレジスタ 15~12 PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
6	NDR14	0	R/W	
5	NDR13	0	R/W	
4	NDR12	0	R/W	
3~0	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	NDR11	0	R/W	ネクストデータレジスタ 11~8 PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
2	NDR10	0	R/W	
1	NDR9	0	R/W	
0	NDR8	0	R/W	

12. プログラマブルパルスジェネレータ (PPG)

- NDRL

パルス出力グループ 0、1 の出力トリガを同一にすると、以下のように 8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

ビット	ビット名	初期値	R/W	説明
7	NDR7	0	R/W	ネクストデータレジスタ 7~0 PCR で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
6	NDR6	0	R/W	
5	NDR5	0	R/W	
4	NDR4	0	R/W	
3	NDR3	0	R/W	
2	NDR2	0	R/W	
1	NDR1	0	R/W	
0	NDR0	0	R/W	

パルス出力グループ 0 とパルス出力グループ 1 で異なる出力トリガを選択すると、以下のように上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

ビット	ビット名	初期値	R/W	説明
7	NDR7	0	R/W	ネクストデータレジスタ 7~4 PCR で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
6	NDR6	0	R/W	
5	NDR5	0	R/W	
4	NDR4	0	R/W	
3~0	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
7~4	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	NDR3	0	R/W	ネクストデータレジスタ 3~0 PCR で指定した出力トリガにより、このレジスタの内容が PODRL の対応するビットに転送されます。
2	NDR2	0	R/W	
1	NDR1	0	R/W	
0	NDR0	0	R/W	

12. プログラマブルパルスジェネレータ (PPG)

12.3.4 PPG 出力コントロールレジスタ (PCR)

PCR は、パルス出力トリガ信号をグループ単位で選択します。出力トリガの選択については「12.3.5 PPG 出力モードレジスタ (PMR)」をあわせて参照してください。

ビット	ビット名	初期値	R/W	説明
7 6	G3CMS1 G3CMS0	1 1	R/W R/W	グループ 3 コンペアマッチセレクト 1、0 パルス出力グループ 3 の出力トリガを選択します。 00 : TPU チャンネル 0 のコンペアマッチ 01 : TPU チャンネル 1 のコンペアマッチ 10 : TPU チャンネル 2 のコンペアマッチ 11 : TPU チャンネル 3 のコンペアマッチ
5 4	G2CMS1 G2CMS0	1 1	R/W R/W	グループ 2 コンペアマッチセレクト 1、0 パルス出力グループ 2 の出力トリガを選択します。 00 : TPU チャンネル 0 のコンペアマッチ 01 : TPU チャンネル 1 のコンペアマッチ 10 : TPU チャンネル 2 のコンペアマッチ 11 : TPU チャンネル 3 のコンペアマッチ
3 2	G1CMS1 G1CMS0	1 1	R/W R/W	グループ 1 コンペアマッチセレクト 1、0 パルス出力グループ 1 の出力トリガを選択します。 00 : TPU チャンネル 0 のコンペアマッチ 01 : TPU チャンネル 1 のコンペアマッチ 10 : TPU チャンネル 2 のコンペアマッチ 11 : TPU チャンネル 3 のコンペアマッチ
1 0	G0CMS1 G0CMS0	1 1	R/W R/W	グループ 0 コンペアマッチセレクト 1、0 パルス出力グループ 0 の出力トリガを選択します。 00 : TPU チャンネル 0 のコンペアマッチ 01 : TPU チャンネル 1 のコンペアマッチ 10 : TPU チャンネル 2 のコンペアマッチ 11 : TPU チャンネル 3 のコンペアマッチ

12.3.5 PPG 出力モードレジスタ (PMR)

PMR は、PPG のパルス出力モードをグループ単位で設定します。反転出力に設定すると PODRH の値が 1 のとき端子に Low レベルを、PODRH の値が 0 のとき端子に High レベルを出力します。また、ノンオーバーラップ動作に設定すると PPG は、出力トリガとなる TPU のコンペアマッチ A、B で出力値を更新します。詳細は、「12.4.4 パルス出力ノンオーバーラップ動作」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	G3INV	1	R/W	グループ 3 インバート パルス出力グループ 3 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
6	G2INV	1	R/W	グループ 2 インバート パルス出力グループ 2 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
5	G1INV	1	R/W	グループ 1 インバート パルス出力グループ 1 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
4	G0INV	1	R/W	グループ 0 インバート パルス出力グループ 0 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
3	G3NOV	0	R/W	グループ 3 ノンオーバーラップ パルス出力グループ 3 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)
2	G2NOV	0	R/W	グループ 2 ノンオーバーラップ パルス出力グループ 2 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)

12. プログラマブルパルスジェネレータ (PPG)

ビット	ビット名	初期値	R/W	説明
1	G1NOV	0	R/W	グループ1 ノンオーバーラップ パルス出力グループ1を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)
0	G0NOV	0	R/W	グループ0 ノンオーバーラップ パルス出力グループ0を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)

12.4 動作説明

PPG 概要図を図 12.2 に示します。PPG は、P1DDR、P2DDR、NDER の対応するビットをそれぞれ 1 にセットすることによりパルス出力状態となります。初期出力値は対応する PODR の初期設定値により決まります。その後、PCR で指定したコンペアマッチが発生すると、対応する NDR の値がそれぞれ PODR に転送されて出力値が更新されます。次のコンペアマッチが発生するまでに NDR に出力データをライトすることにより、コンペアマッチのたびに最大 16 ビットのデータを順次出力することができます。

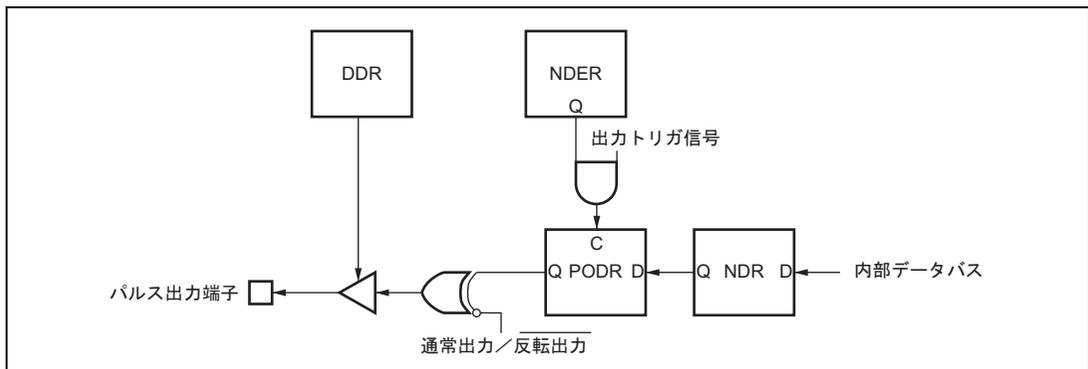


図 12.2 PPG 概要図

12.4.1 出力タイミング

パルス出力許可状態で指定されたコンペアマッチが発生すると、NDR の内容が PODR に転送され、出力されます。このタイミングを図 12.3 に示します。コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

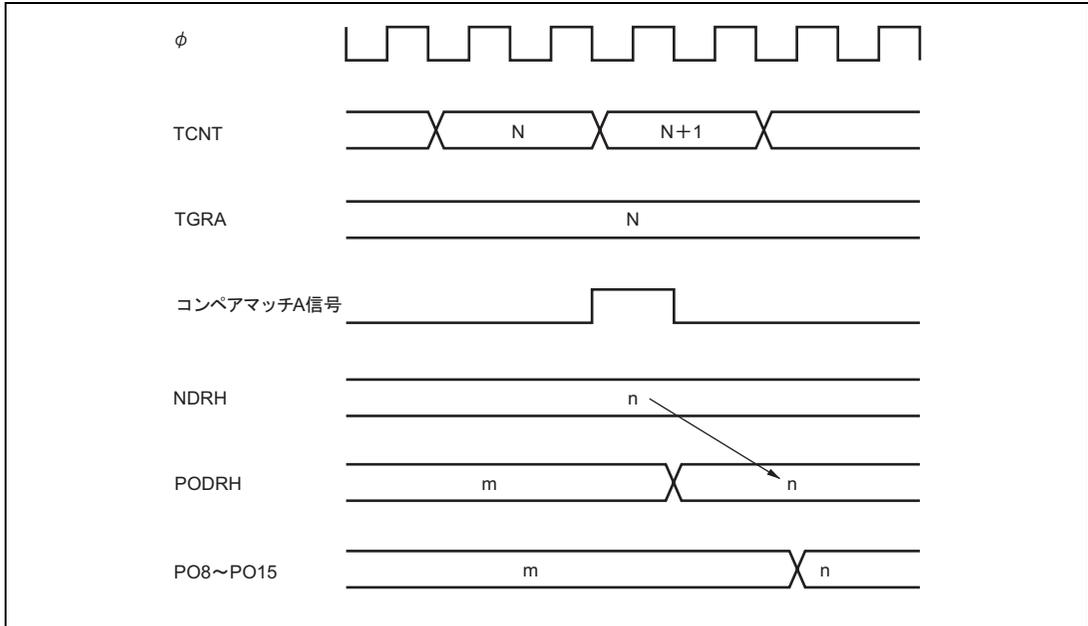


図 12.3 NDR の内容が転送・出力されるタイミング例

12. プログラマブルパルスジェネレータ (PPG)

12.4.2 通常動作のパルス出力設定手順例

パルス出力通常動作の設定手順例を図 12.4 に示します。

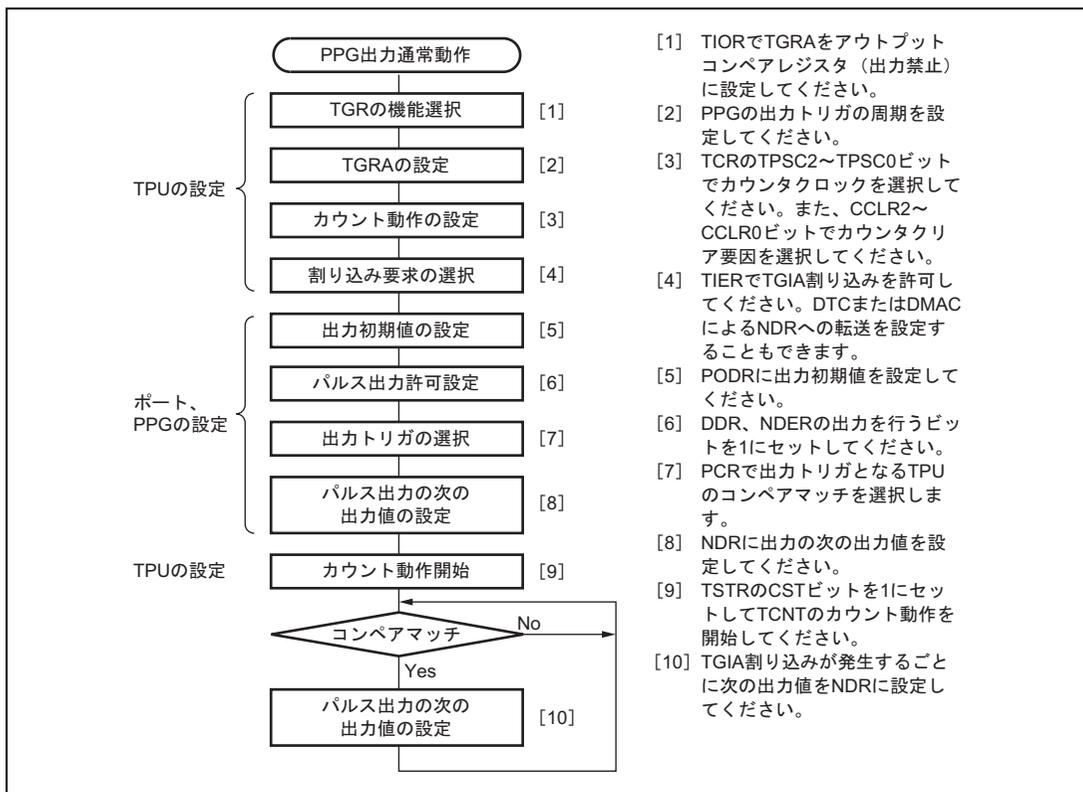


図 12.4 パルス出力通常動作の設定手順例

12.4.3 パルス出力通常動作例 (5相パルス出力例)

パルス出力を使用して一定周期で5相パルスを出力させた例を図12.5に示します。

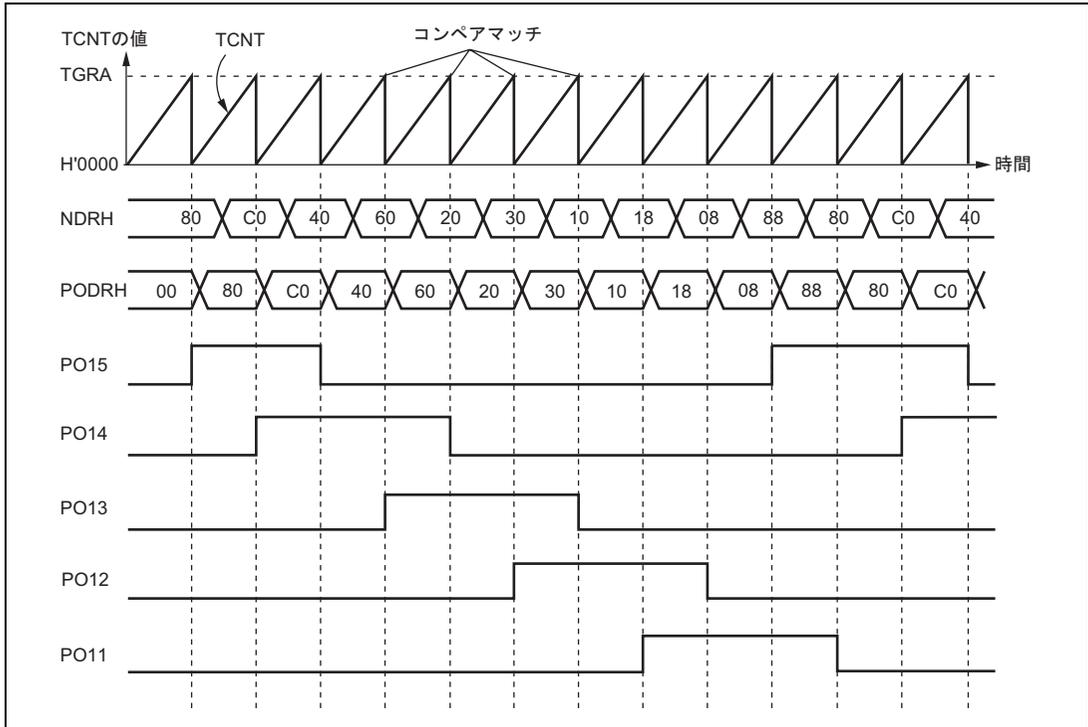


図 12.5 パルス出力通常動作例 (5相パルス出力例)

- 出力トリガとするTPUのTGRAをアウトプットコンペアレジスタに設定します。TGRAには周期を設定し、コンペアマッチAによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、コンペアマッチ/インプットキャプチャA (TGIA) 割り込みを許可します。
- P1DDR、NDRHにH'F8をライトし、PCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより、1で選択したTPUのコンペアマッチに出力トリガを設定します。NDRHに出力データH'80をライトします。
- TPU当該チャンネルの動作を開始しコンペアマッチAが発生すると、NDRHの内容がPODRHに転送され出力されます。TGIA割り込み処理でNDRHに次の出力データH'C0をライトします。
- 以後、TGIA割り込みで順次H'40、H'60、H'20、H'30、H'10、H'18、H'08、H'88...をライトすることで、5相の1 - 2相パルス出力を行うことができます。

TGIA割り込みでDTCまたはDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

12.4.4 パルス出力ノンオーバーラップ動作

ノンオーバーラップ動作時の NDR から PODR への転送は以下のようになっています。

- コンペアマッチAではNDRの内容を常にPODRへ転送します。
- コンペアマッチBではNDRの転送するビットの内容が0のときのみ転送を行います。1のときは転送を行いません。

ノンオーバーラップ時のパルス出力動作を図 12.6 に示します。

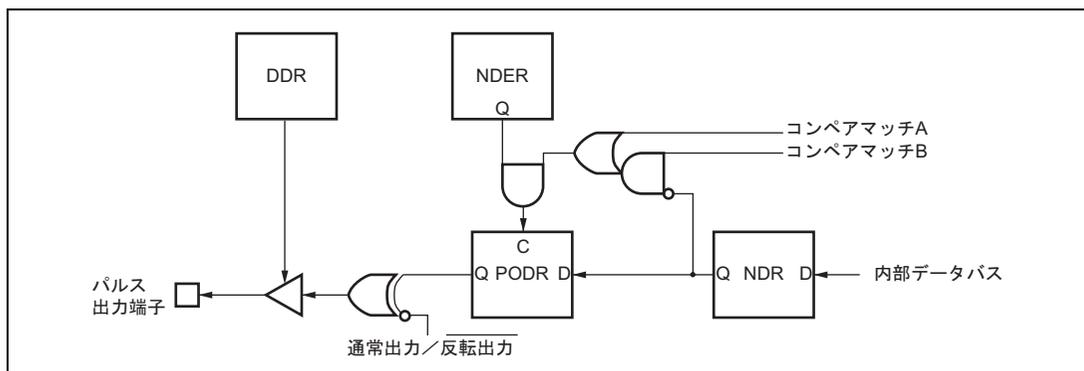


図 12.6 パルス出力ノンオーバーラップ動作

したがって、コンペアマッチ B をコンペアマッチ A よりも先に発生させることにより、0 データの転送を 1 データの転送に先立って行うことが可能です。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまで (ノンオーバーラップ期間) の間、NDR の内容を変更しないようにしてください。

これは TGIA 割り込みの割り込み処理ルーチンで NDR に次のデータをライトすることによって実現できます。また、TGIA 割り込みで DTC または DMAC を起動することもできます。ただし、このライトは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを図 12.7 に示します。

12. プログラマブルパルスジェネレータ (PPG)

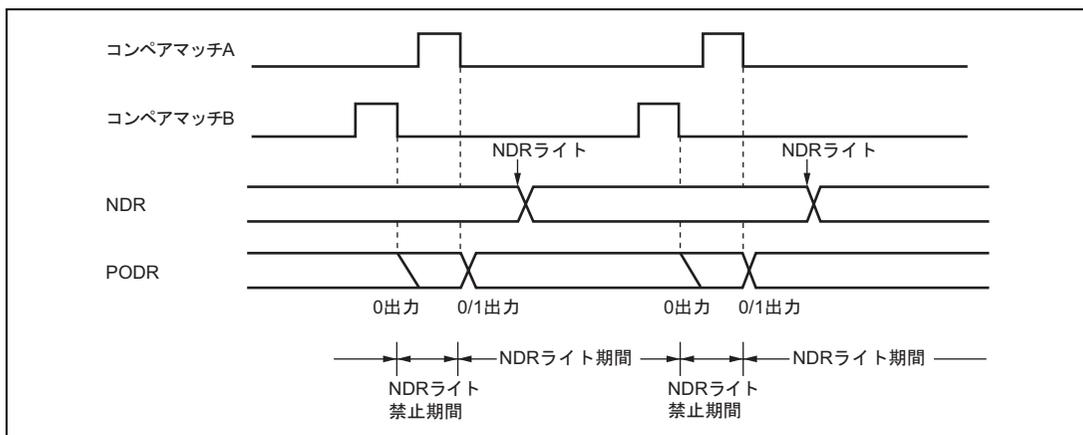


図 12.7 ノンオーバーラップ動作と NDR ライトタイミング

12. プログラマブルパルスジェネレータ (PPG)

12.4.5 ノンオーバーラップ動作のパルス出力設定手順例

パルス出力ノンオーバーラップ動作の設定手順例を図 12.8 に示します。

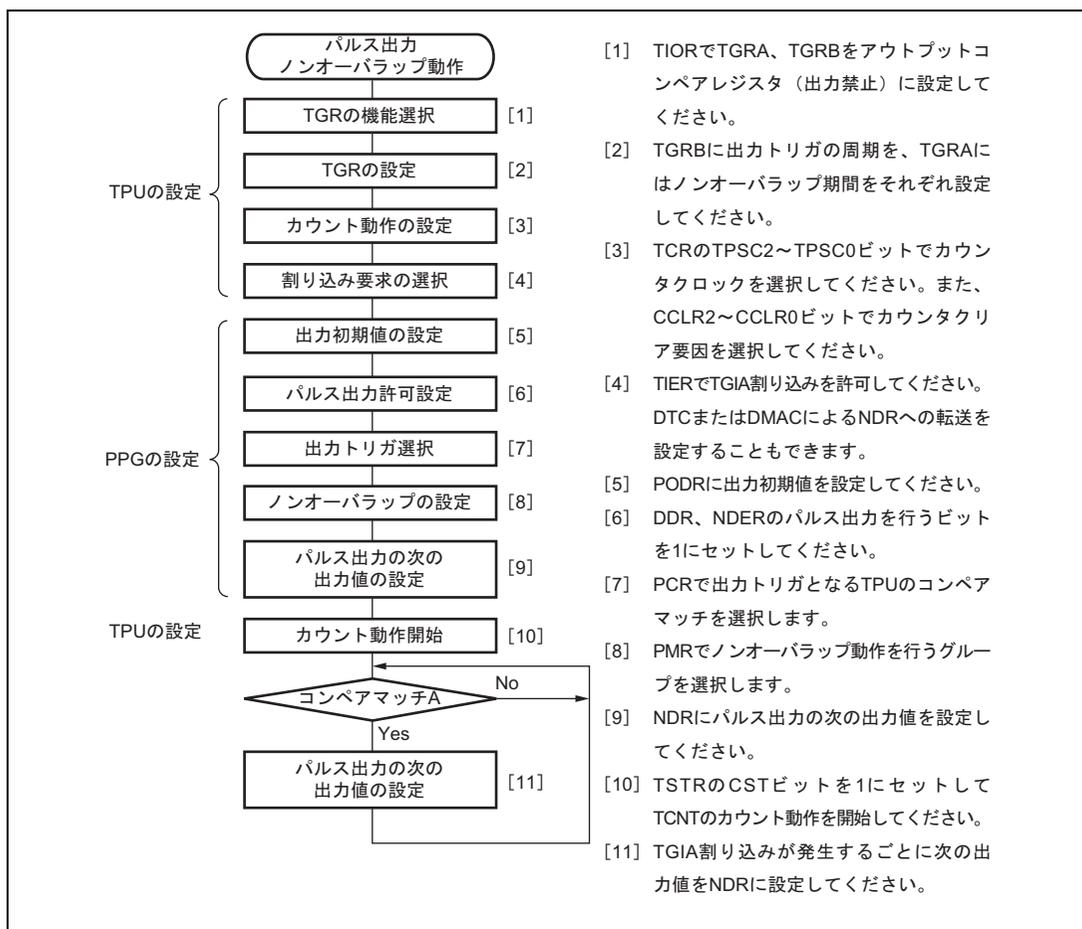


図 12.8 パルス出力ノンオーバーラップ動作の設定手順例

12.4.6 パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力例)

パルス出力を使用して4相の相補ノンオーバーラップのパルスを出力させた例を図12.9に示します。

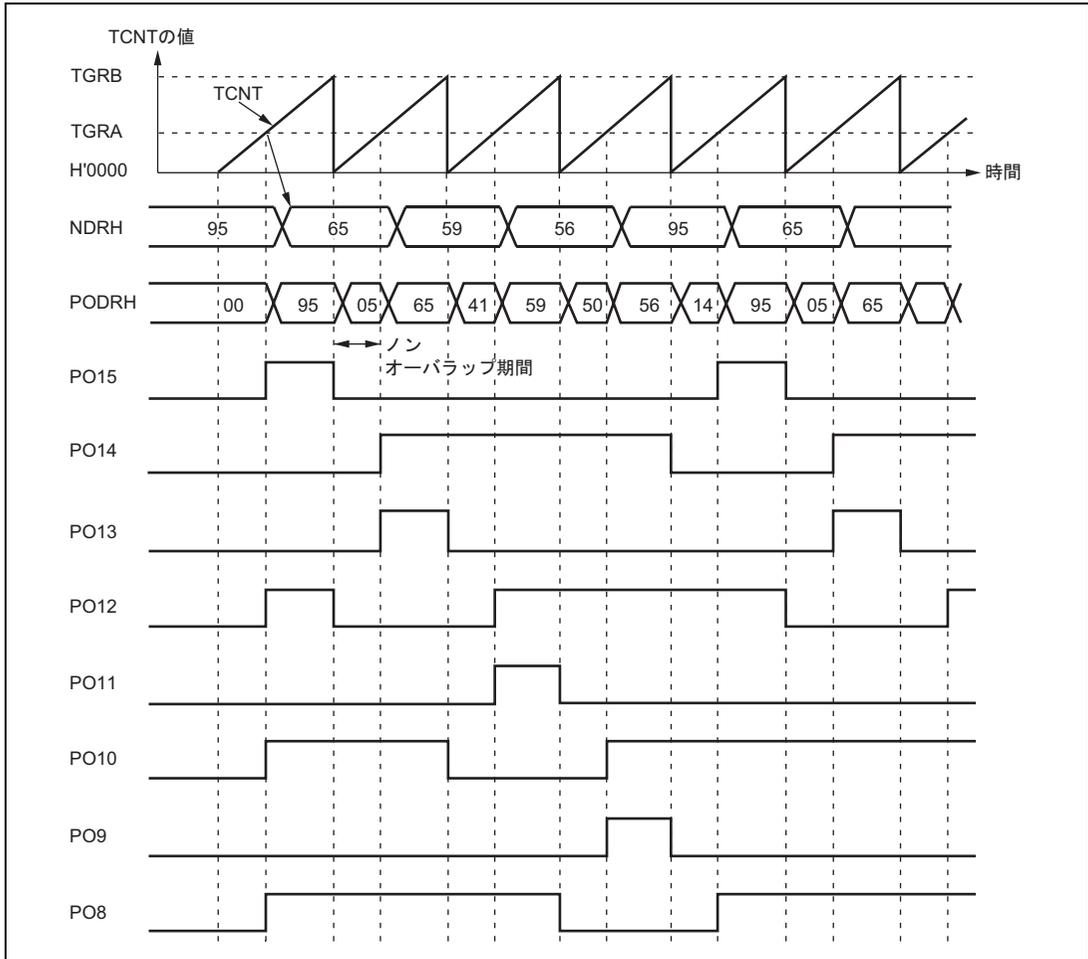


図 12.9 パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力)

12. プログラマブルパルスジェネレータ (PPG)

1. 出力トリガとするTPUのTGRA、TGRBをアウトプットコンペアレジスタに設定します。TGRBには周期、TGRAにはノンオーバーラップ期間を設定し、コンペアマッチBによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、TGIA割り込みを許可します。
2. P1DDR、NDRHにH'FFをライトし、PCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより、1で選択したTPUのコンペアマッチに出力トリガを設定します。
PMRのG3NOV、G2NOVビットをそれぞれ1にセットして、ノンオーバーラップ動作を設定します。
NDRHに出力データH'95をライトします。
3. TPU当該チャネルの動作を開始すると、TGRBのコンペアマッチで1出力 0出力の変化、TGRAのコンペアマッチで0出力 1出力の変化を行います (0出力 1出力の変化はTGRAの設定値分遅延することになります)。
TGIA割り込み処理でNDRHに次の出力データH'65をライトします。
4. 以後、TGIA割り込みで順次H'59、H'56、H'95...をライトすることで、4相の相補ノンオーバーラップ出力を発生することができます。
TGIA割り込みでDTCまたはDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

12.4.7 パルス反転出力

PMR の G3INV、G2INV、G1INV および G0INV を 0 に設定すると、PODR の内容に対する反転値を端子出力することができます。

図 12.9 の設定で、さらに G3INV、G2INV を 0 にしたときの端子出力の様子を図 12.10 に示します。

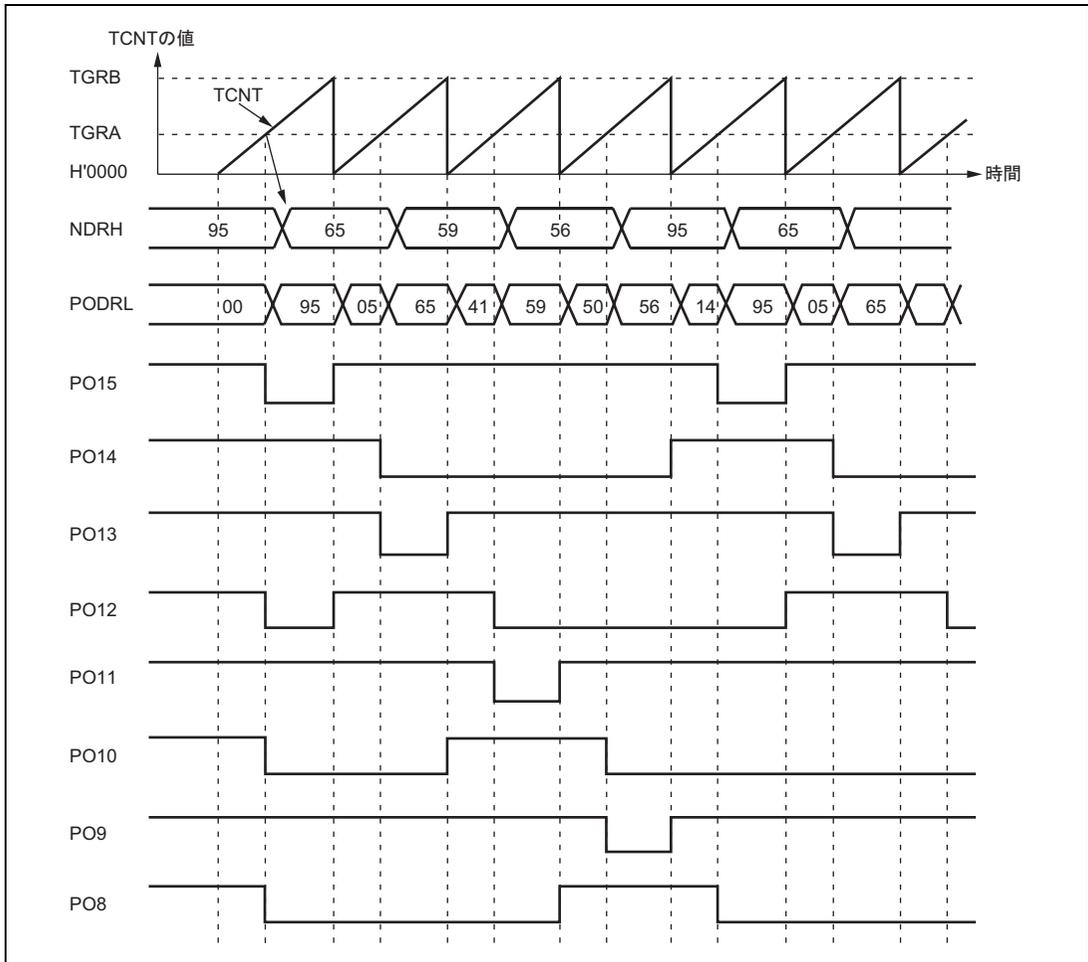


図 12.10 パルス反転出力例

12.4.8 インพุットキャプチャによるパルス出力

パルス出力は、TPU のコンペアマッチだけでなく、インพุットキャプチャによっても可能です。PCR によって選択された TPU の TGRA がインพุットキャプチャレジスタとして機能しているとき、インพุットキャプチャ信号によりパルス出力を行います。

このタイミングを図 12.11 に示します。

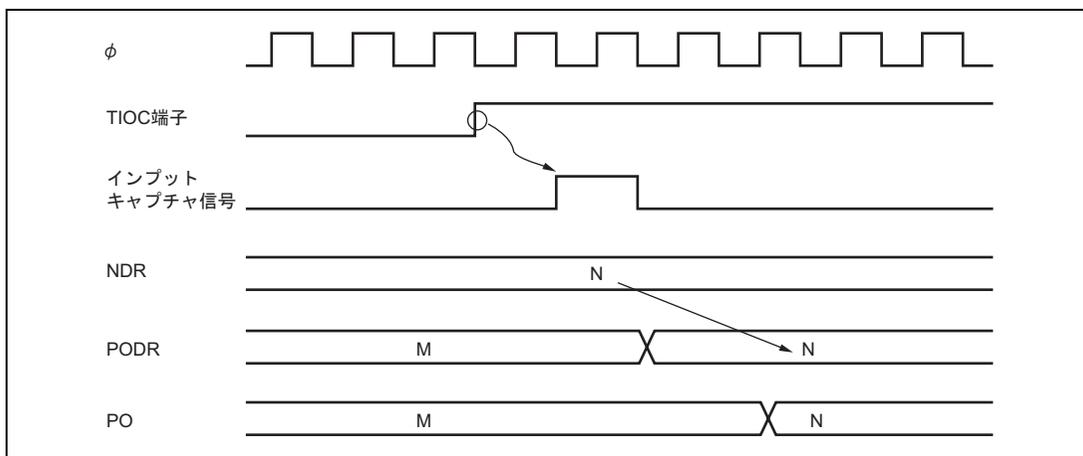


図 12.11 インพุットキャプチャによるパルス出力例

12.5 使用上の注意事項

12.5.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、PPG の動作禁止 / 許可を設定することが可能です。初期値では、PPG の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 24 章 低消費電力状態」を参照してください。

12.5.2 パルス出力端子の動作

PO0 ~ PO15 は TPU などの他の周辺機能の端子と兼用になっています。これらの端子は、他の周辺機能が出力許可状態になっているときには、パルス出力を行うことができません。ただし、NDR から PODR への転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

13. 8ビットタイマ (TMR)

本 LSI は、8 ビットのカウンタをベースにした 2 チャンネルの 8 ビットタイマを内蔵しています。外部のイベントのカウンタが可能のほか、2 本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

13.1 特長

- 4種類のクロックを選択可能
3種類の内部クロック (/8、 /64、 /8192) と外部クロックのうちから選択できます。
- カウンタのクリア指定が可能
コンペアマッチA、コンペアマッチB、または外部リセット信号のうちから選択できます。
- 2つのコンペアマッチ信号の組み合わせでタイマ出力を制御
独立に動作可能な2つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能です。
- 2チャンネルのカスケード接続が可能 (TMR_0、TMR_1)
TMR_0を上位、TMR_1を下位とする16ビットタイマとして動作可能です (16ビットカウントモード) 。
TMR_1はTMR_0のコンペアマッチをカウント可能です (コンペアマッチカウントモード) 。
- 複数の割り込み要因
コンペアマッチA、コンペアマッチB、オーバフローの3種類があります。
- A/D変換器の変換開始トリガを生成可能

13. 8ビットタイマ (TMR)

8ビットタイマ (TMR_0、TMR_1) のブロック図を図 13.1 に示します。

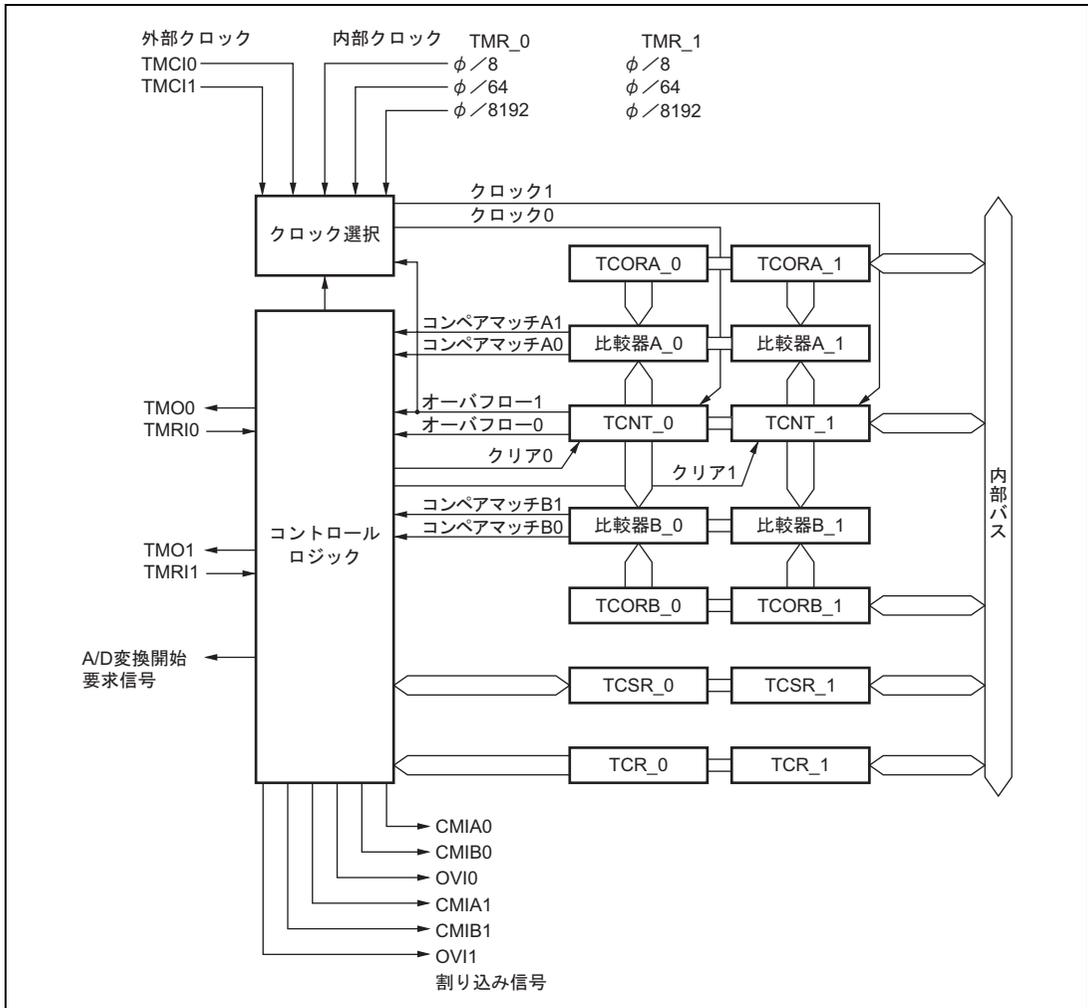


図 13.1 8ビットタイマのブロック図

【記号説明】

- | | |
|-------------------------------|-------------------------------|
| TCORA_0: タイムコンスタントレジスタ A_0 | TCORA_1: タイムコンスタントレジスタ A_1 |
| TCORB_0: タイムコンスタントレジスタ B_0 | TCORB_1: タイムコンスタントレジスタ B_1 |
| TCNT_0: タイマカウンタ_0 | TCNT_1: タイマカウンタ_1 |
| TCSR_0: タイマコントロール/ステータスレジスタ_0 | TCSR_1: タイマコントロール/ステータスレジスタ_1 |
| TCR_0: タイマコントロールレジスタ_0 | TCR_1: タイマコントロールレジスタ_1 |

13.2 入出力端子

TMRの端子構成を表 13.1 に示します。

表 13.1 端子構成

チャンネル	名称	略称	入出力	機能
0	タイマ出力端子	TMO0	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCi0	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRi0	入力	カウンタ外部リセット入力
1	タイマ出力端子	TMO1	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCi1	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRi1	入力	カウンタ外部リセット入力

13.3 レジスタの説明

TMRには以下のレジスタがあります。モジュールストップコントロールレジスタについては「24.1.2 モジュールストップコントロールレジスタ H、L (MSTPCR_H、MSTPCR_L)」を参照してください。

- タイマカウンタ_0 (TCNT_0)
- タイムコンスタントレジスタA_0 (TCORA_0)
- タイムコンスタントレジスタB_0 (TCORB_0)
- タイマコントロールレジスタ_0 (TCR_0)
- タイマコントロール/ステータスレジスタ_0 (TCSR_0)
- タイマカウンタ_1 (TCNT_1)
- タイムコンスタントレジスタA_1 (TCORA_1)
- タイムコンスタントレジスタB_1 (TCORB_1)
- タイマコントロールレジスタ_1 (TCR_1)
- タイマコントロール/ステータスレジスタ_1 (TCSR_1)

13. 8ビットタイマ (TMR)

13.3.1 タイマカウンタ (TCNT)

TCNTは8ビットのアップカウンタです。TCNT_0、TCNT_1を16ビットレジスタとしてワードアクセスすることも可能です。クロックは、TCRのCKS2~CKS0ビットにより選択します。TCNTは、外部リセット入力信号またはコンペアマッチA信号、コンペアマッチB信号によりクリアすることができます。いずれの信号でクリアするかは、TCRのCCLR1、CCLR0ビットにより選択します。また、TCNTがオーバフロー(H'FF H'00)すると、TCSRのOVFが1にセットされます。TCNTの初期値はH'00です。

13.3.2 タイムコンスタントレジスタ A (TCORA)

TCORAは8ビットのリード/ライト可能なレジスタです。TCORA_0、TCORA_1を16ビットレジスタとしてワードアクセスすることも可能です。TCORAの値はTCNTと常に比較され、一致するとTCSRのCMFAが1にセットされます。ただし、TCORAへのライトサイクルのT₂ステートでの比較は禁止されています。また、この一致信号(コンペアマッチA)とTCSRのOS1、OS0ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORAの初期値はH'FFです。

13.3.3 タイムコンスタントレジスタ B (TCORB)

TCORBは8ビットのリード/ライト可能なレジスタです。TCORB_0、TCORB_1を16ビットレジスタとしてワードアクセスすることも可能です。TCORBの値はTCNTと常に比較され、一致するとTCSRのCMFBが1にセットされます。ただし、TCORBへのライトサイクルのT₂ステートでの比較は禁止されています。また、この一致信号(コンペアマッチB)とTCSRのOS3、OS2ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORBの初期値はH'FFです。

13.3.4 タイマコントロールレジスタ (TCR)

TCR は TCNT の入力クロックの選択、TCNT のクリア条件指定、各割り込み要求の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブル B TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。 0 : CMFB による割り込み要求 (CMIB) を禁止 1 : CMFB による割り込み要求 (CMIB) を許可
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブル A TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求 (CMIA) の許可または禁止を選択します。 0 : CMFA による割り込み要求 (CMIA) を禁止 1 : CMFA による割り込み要求 (CMIA) を許可
5	OVIE	0	R/W	タイマオーバフローインタラプトイネーブル TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求 (OVI) の許可または禁止を選択します。 0 : OVF による割り込み要求 (OVI) を禁止 1 : OVF による割り込み要求 (OVI) を許可
4 3	CCLR1 CCLR0	0 0	R/W R/W	カウンタクリア 1、0 TCNT のクリア条件を指定します。 00 : クリアを禁止 01 : コンペアマッチ A によりクリア 10 : コンペアマッチ B によりクリア 11 : 外部リセット入力の立ち上がりエッジによりクリア
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト 2~0 TCNT に入力するクロックとカウント条件を選択します。表 13.2 を参照してください。

13. 8 ビットタイマ (TMR)

表 13.2 TCNT に入力するクロックとカウント条件

チャンネル	TCR			説 明
	ビット 2	ビット 1	ビット 0	
	CKS2	CKS1	CKS0	
TMR_0	0	0	0	クロック入力を禁止
	0	0	1	内部クロック /8 立ち下がりエッジでカウント
	0	1	0	内部クロック /64 立ち下がりエッジでカウント
	0	1	1	内部クロック /8192 立ち下がりエッジでカウント
	1	0	0	TCNT_1 のオーバフロー信号でカウント*
TMR_1	0	0	0	クロック入力を禁止
	0	0	1	内部クロック /8 立ち下がりエッジでカウント
	0	1	0	内部クロック /64 立ち下がりエッジでカウント
	0	1	1	内部クロック /8192 立ち下がりエッジでカウント
	1	0	0	TCNT_0 のコンペアマッチ A でカウント*
共通	1	0	1	外部クロックの立ち上がりエッジでカウント
	1	1	0	外部クロックの立ち下がりエッジでカウント
	1	1	1	外部クロックの立ち上がり / 立ち下がり両エッジでカウント

【注】 * TMR_0 のクロック入力を TCNT_1 のオーバフロー信号とし、TMR_1 のクロック入力を TCNT_0 のコンペアマッチ信号とするとカウントアップクロックが発生しません。この設定は行わないでください。

13.3.5 タイマコントロール/ステータスレジスタ (TCSR)

TCSR はステータスフラグの表示およびコンペアマッチによる出力制御を行います。

• TCSR_0

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT の値と TCORB の値が一致したとき [クリア条件] CMFB = 1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき CMIB 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT の値と TCORA の値が一致したとき [クリア条件] CMFA = 1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき CMIA 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
5	OVF	0	R/(W)*	タイマオーバーフローフラグ [セット条件] TCNT の値が H'FF から H'00 にオーバーフローしたとき [クリア条件] OVF = 1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ADTE	0	R/W	A/D トリガイネーブル コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。 0 : コンペアマッチ A による A/D 変換開始要求を禁止 1 : コンペアマッチ A による A/D 変換開始要求を許可
3	OS3	0	R/W	アウトプットセレクト 3、2
2	OS2	0	R/W	TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
1	OS1	0	R/W	アウトプットセレクト 1、0
0	OS0	0	R/W	TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

【注】 * フラグをクリアするための 0 ライトのみ可能です。

13. 8ビットタイマ (TMR)

• TCSR_1

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B [セット条件] TCNT の値と TCORB の値が一致したとき [クリア条件] CMFB = 1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき CMIB 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A [セット条件] TCNT の値と TCORA の値が一致したとき [クリア条件] CMFA = 1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき CMIA 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ [セット条件] TCNT の値が H'FF から H'00 にオーバフローしたとき [クリア条件] OVF = 1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4		1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	OS3	0	R/W	アウトプットセレクト 3、 2
2	OS2	0	R/W	TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)
1	OS1	0	R/W	アウトプットセレクト 1、 0
0	OS0	0	R/W	TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00 : 変化しない 01 : 0 出力 10 : 1 出力 11 : 反転出力 (トグル出力)

【注】 * フラグをクリアするための 0 ライトのみ可能です。

13.4 動作説明

13.4.1 パルス出力

任意のデューティパルスを出力させる例を図 13.2 に示します。

1. TCORAのコンペアマッチによりTCNTがクリアされるようにTCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介入なしに出力できます。

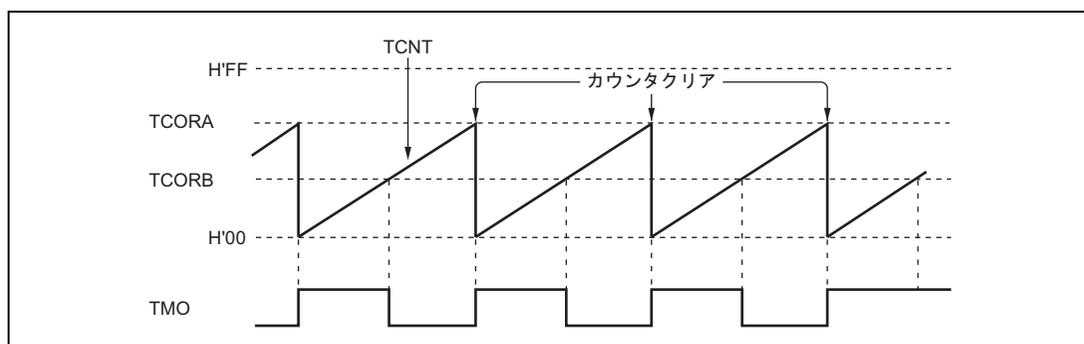


図 13.2 パルス出力例

13.5 動作タイミング

13.5.1 TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 13.3 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 13.4 に示します。なお外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

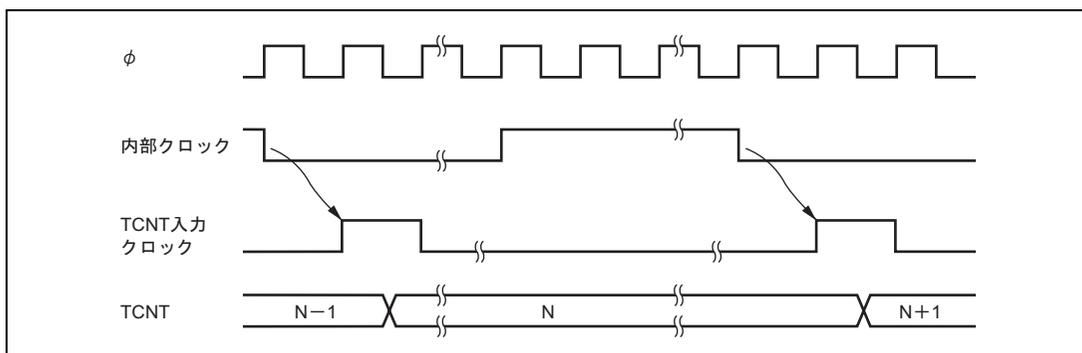


図 13.3 内部クロック動作時のカウントタイミング

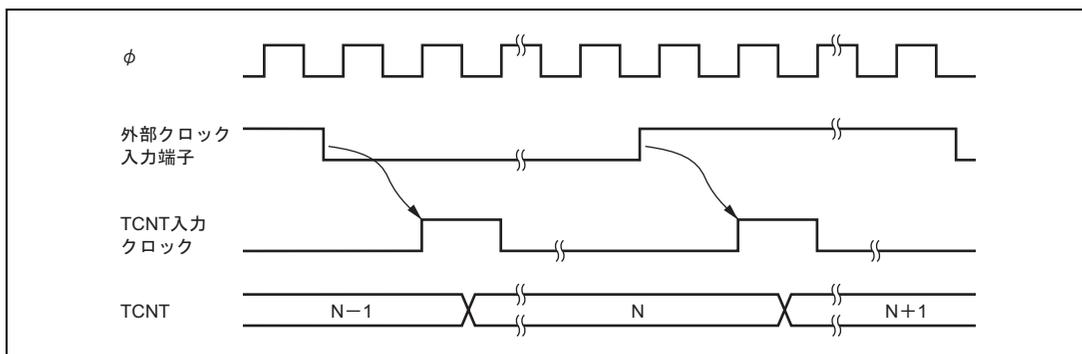


図 13.4 外部クロック動作時のカウントタイミング

13.5.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

TCSR の CMFA、CMFB フラグは、TCOR と TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。したがって、TCNT と TCOR の値が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF フラグのセットタイミングを図 13.5 に示します。

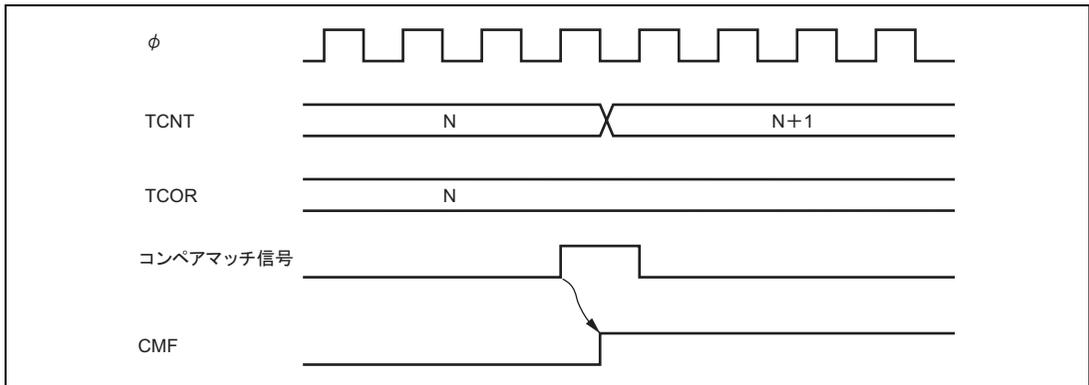


図 13.5 コンペアマッチ時の CMF フラグのセットタイミング

13.5.3 コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR の OS3 ~ OS0 ビットで設定される出力値がタイマ出力端子に出力されます。コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 13.6 に示します。

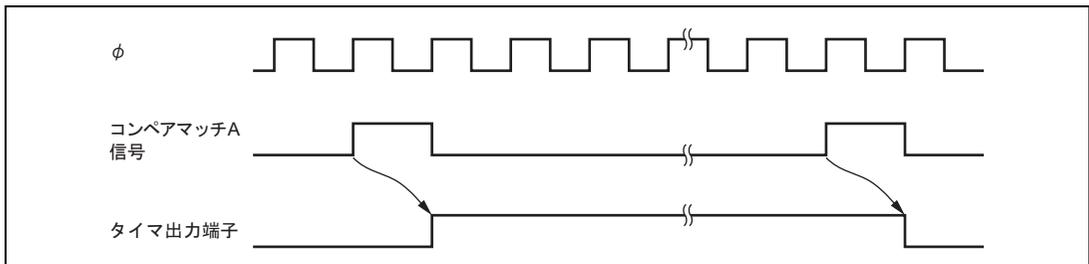


図 13.6 コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング

13.5.4 コンペアマッチによるカウンタクリアタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。コンペアマッチによるカウンタクリアタイミングを図 13.7 に示します。

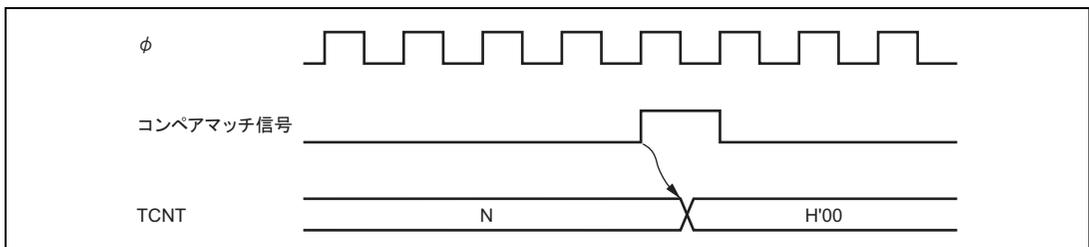


図 13.7 コンペアマッチによるカウンタクリアタイミング

13.5.5 TCNT の外部リセットタイミング

TCNTは、TCRのCCLR1、CCLR0ビットの選択により外部リセット入力の立ち上がりエッジでクリアされます。クリアまでのパルス幅は1.5 ステート以上必要となります。外部リセット入力によるクリアタイミングを図 13.8 に示します。

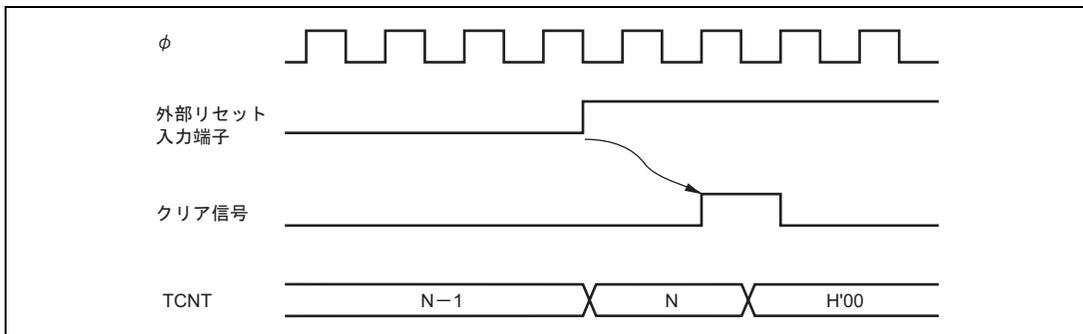


図 13.8 外部リセット入力によるクリアタイミング

13.5.6 オーバフローフラグ (OVF) のセットタイミング

TCSRのOVFは、TCNTがオーバフロー (H'FF H'00) したとき出力されるオーバフロー信号により1にセットされます。OVFフラグのセットタイミングを図 13.9 に示します。

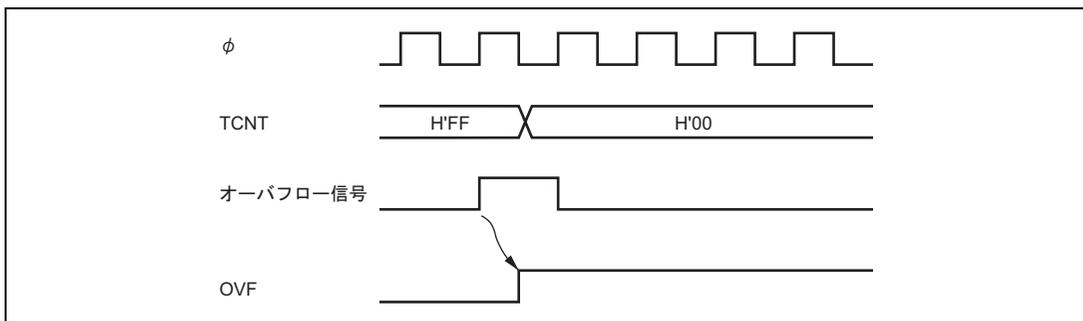


図 13.9 OVF フラグのセットタイミング

13.6 カスケード接続時の動作

TCR_0、TCR_1 のいずれか一方の CKS2~CKS0 ビットを B'100 に設定すると、2チャンネルの8ビットタイマはカスケード接続されます。この場合、1本の16ビットタイマとして使用する16ビットカウントモードか、またはチャンネル0の8ビットタイマのコンペアマッチをチャンネル1のタイマでカウントするコンペアマッチカウントモードにすることができます。

13.6.1 16ビットカウントモード

TCR_0のCKS2~CKS0ビットがB'100のとき、タイマはチャンネル0を上位8ビット、チャンネル1を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

(1) コンペアマッチフラグのセット

- TCSR_0のCMFフラグは、16ビットのコンペアマッチが発生したとき1にセットされます。
- TCSR1のCMFフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされます。

(2) カウンタクリア指定

- TCR_0のCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生したとき16ビットカウンタ (TCNT_0、TCNT_1の両方) がクリアされます。また、TMR10端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TCNT_0、TCNT_1の両方) がクリアされません。
- TCR_1のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

(3) 端子出力

- TCSR_0のOS3~OS0ビットによるTMO0端子の出力制御は16ビットのコンペアマッチ条件に従います。
- TCSR_1のOS3~OS0ビットによるTMO1端子の出力制御は下位8ビットのコンペアマッチ条件に従います。

13.6.2 コンペアマッチカウントモード

TCR_1のCKS2~CKS0ビットがB'100のとき、TCNT_1はチャンネル0のコンペアマッチAをカウントします。チャンネル0、1の制御はそれぞれ独立に行われます。CMFフラグのセット、割り込みの発生、TMO端子の出力、カウンタクリアなどは各チャンネルの設定に従います。

13.7 割り込み要因

13.7.1 割り込み要因と DTC 起動

8ビットタイマ TMR_0、TMR_1 の割り込み要因は、CMIA、CMIB、OVI の 3 種類があります。表 13.3 に各割り込み要因と優先順位を示します。各割り込み要因は、TCR または TCSR の各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。また、CMIA、CMIB 割り込みにより DTC を起動することができます。

表 13.3 8ビットタイマ TMR_0、TMR_1 の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
CMIA0	TCORA_0 のコンペアマッチ	CMFA	可	高 ▲ ▼ 低
CMIB0	TCORB_0 のコンペアマッチ	CMFB	可	
OVI0	TCNT_0 のオーバーフロー	OVF	不可	高 ▲ ▼ 低
CMIA1	TCORA_1 のコンペアマッチ	CMFA	可	
CMIB1	TCORB_1 のコンペアマッチ	CMFB	可	
OVI1	TCNT_1 のオーバーフロー	OVF	不可	

13.7.2 A/D 変換器の起動

TMR_0 のコンペアマッチ A により、A/D 変換器を起動することができます。TMR_0 のコンペアマッチ A の発生により TCSR_0 の CMFA フラグが 1 にセットされたとき、ADTE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器で、8ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。

13.8 使用上の注意事項

13.8.1 TCNT のライトとカウンタクリアの競合

図 13.10 のように TCNT のライトサイクル中の T₂ ステートでカウンタクリアが発生すると、カウンタへのライトは行われずクリアが優先されます。

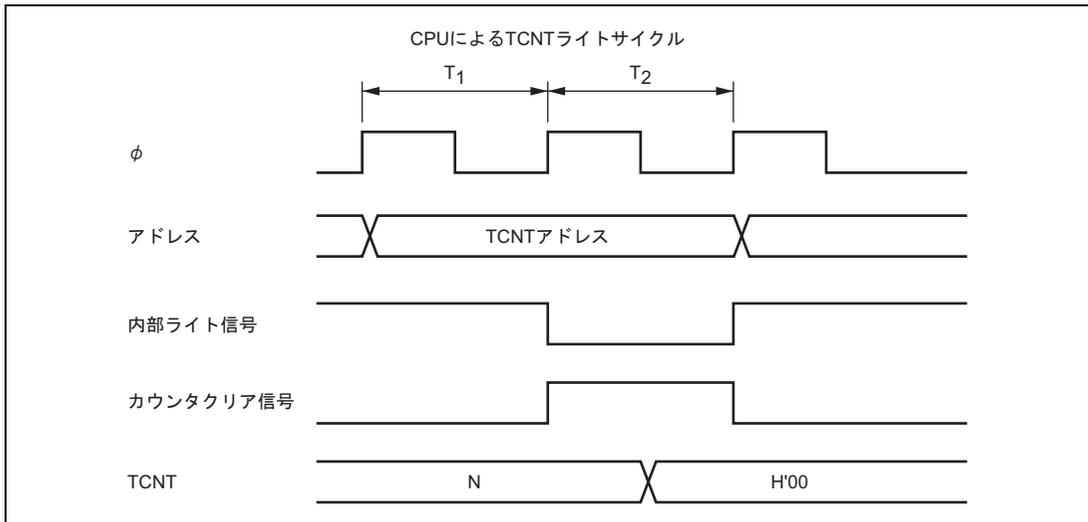


図 13.10 TCNT のライトとクリアの競合

13.8.2 TCNT のライトとカウントアップの競合

図 13.11 のように TCNT のライトサイクル中の T_2 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

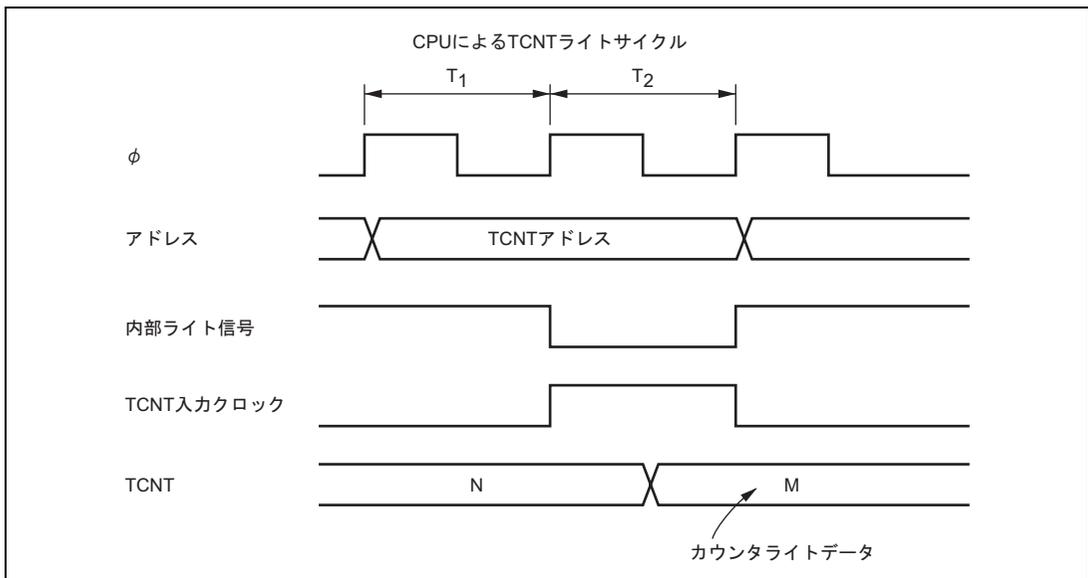


図 13.11 TCNT のライトとカウントアップの競合

13.8.3 TCOR のライトとコンペアマッチの競合

図 13.12 のように TCOR のライトサイクル中の T₂ ステートでコンペアマッチが発生しても、TCOR のライトが優先されコンペアマッチ信号は禁止されます。TMR では ICR のインプットキャプチャは、TCOR へのライトと同様にコンペアマッチと競合します。このときもインプットキャプチャが優先され、コンペアマッチ信号は禁止されます。

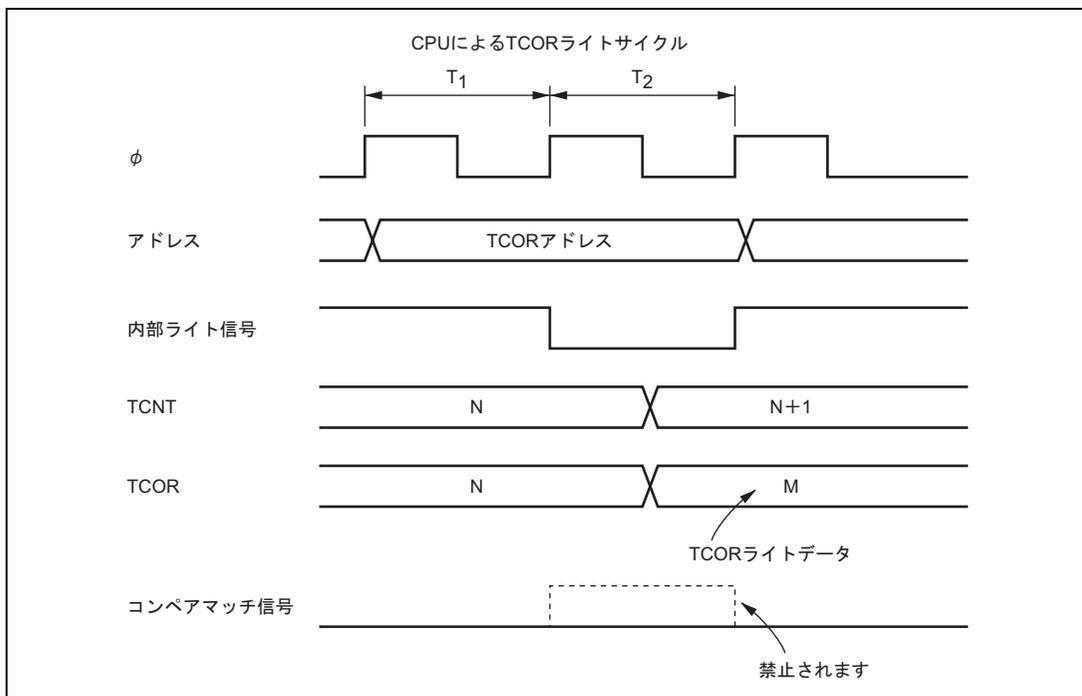


図 13.12 TCOR のライトとコンペアマッチの競合

13.8.4 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 13.4 に示すタイマ出力の優先順位に従って動作します。

表 13.4 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ ↓ 低
1 出力	
0 出力	
変化しない	

13.8.5 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0 ビットの書き換え) と TCNT 動作の関係を表 13.5 に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため表 13.5 の No.3 のように、High Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 13.5 内部クロックの切り替えと TCNT の動作

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low Low レベル* ¹ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
2	Low High レベル* ² の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

13. 8ビットタイマ (TMR)

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
3	High Low レベル ^{*3} の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
4	High High レベル の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

【注】 *1 Low レベル 停止、および停止 Low レベルの場合を含みます。

*2 停止 High レベルの場合を含みます。

*3 High レベル 停止を含みます。

*4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

13.8.6 カスケード接続時のモード設定

16ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT_0、TCNT_1の入力クロックが発生しなくなるためカウンタが停止して動作しません。この設定は行わないでください。

13.8.7 モジュールストップモード時の割り込み

割り込みが要求された状態でモジュールストップモードにすると、CPUの割り込み要因、またはDTC、DMACの起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてから、モジュールストップモードにしてください。

14. ウォッチドッグタイマ (WDT)

ウォッチドッグタイマ (WDT) は 8 ビットのタイマで、システムの暴走などによりカウンタの値が書き換えられずにオーバーフローすると外部にオーバーフロー信号 ($\overline{\text{WDTOVF}}$) を出力します。同時に、本 LSI 内部をリセットすることができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマとして使用する場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。WDT のブロック図を図 14.1 に示します。

14.1 特長

- 8種類のカウンタ入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード

- カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力、このとき同時に本LSI内部をリセットするかしないかを選択可能

インターバルタイマモード

- カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) を発生

14. ウォッチドッグタイマ (WDT)

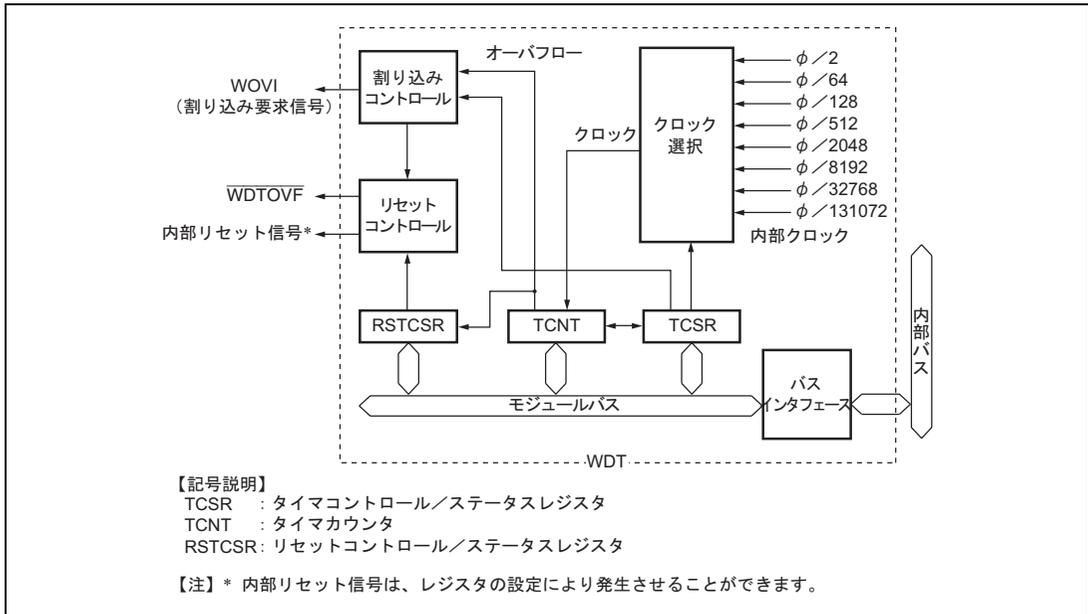


図 14.1 WDT のブロック図

14.2 入出力端子

WDT の端子構成を表 14.1 に示します。

表 14.1 端子構成

名 称	記号	入出力	機 能
ウォッチドッグタイマオーバーフロー	WDT_OVF	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力

14.3 レジスタの説明

WDT には、以下のレジスタがあります。TCNT、TCSR、RSTCSR は容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は、「14.6.1 レジスタアクセス時の注意」を参照してください。

- タイマカウンタ (TCNT)
- タイマコントロール/ステータスレジスタ (TCSR)
- リセットコントロール/ステータスレジスタ (RSTCSR)

14.3.1 タイマカウンタ (TCNT)

TCNT は、リード/ライト可能な 8 ビットのアップカウンタです。TCNT は、タイマコントロール/ステータスレジスタ (TCSR) の TME ビットが 0 のとき、H'00 に初期化されます。

14.3.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、TCNT に入力するクロック、モードの選択などを行います。

ビット	ビット名	初期値	R/W	説 明
7	OVF	0	R/(W)*	<p>オーバーフローフラグ</p> <p>インターバルタイマモードで TCNT がオーバーフローしたことを示します。フラグをクリアするための 0 クリアのみ可能です。</p> <p>[セット条件]</p> <p>インターバルタイマモードで TCNT がオーバーフロー(H'FF H'00)したとき</p> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <p>OVF=1 の状態で、TCSR をリード後、OVF に 0 をライトしたとき</p>
6	WT/IT	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0 : インターバルタイマモード</p> <p>TCNT がオーバーフローしたとき、CPU インターバルタイマ割り込み (WOVI) を要求します。</p> <p>1 : ウォッチドッグタイマモード</p> <p>TCNT がオーバーフローしたとき、外部へ $\overline{\text{WDTOVF}}$ を出力します。</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>
4, 3		すべて 1		<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。ライトは無効です。</p>
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	<p>クロックセレクト 2~0</p> <p>TCNT に入力するクロックを選択します。() 内は = 20MHz のときのオーバーフロー周期を表します。</p> <p>000 : クロック /2 (周期 25.6μs)</p> <p>001 : クロック /64 (周期 819.2μs)</p> <p>010 : クロック /128 (周期 1.6ms)</p> <p>011 : クロック /512 (周期 6.6ms)</p> <p>100 : クロック /2048 (周期 26.2ms)</p> <p>101 : クロック /8192 (周期 104.9ms)</p> <p>110 : クロック /32768 (周期 419.4ms)</p> <p>111 : クロック /131072 (周期 1.68s)</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

14. ウォッチドッグタイマ (WDT)

14.3.3 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSR は、TCNT のオーバーフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。RSTCSR は、 $\overline{\text{RES}}$ 端子からのリセット信号で H'IF に初期化されます。WDT のオーバーフローによる内部リセット信号では初期化されません。

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)*	ウォッチドッグタイマオーバーフローフラグ ウォッチドッグタイマモードで、TCNT がオーバーフローするとセットされます。インターバルタイマモードではセットされません。0 ライトのみ可能です。 [セット条件] ウォッチドッグタイマモードで TCNT がオーバーフロー(H'FF H'00)したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで TCNT のオーバーフローにより LSI 内部をリセットするかどうかを選択します。 0 : TCNT がオーバーフローしても、内部はリセットされません。 (本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。) 1 : TCNT がオーバーフローすると内部がリセットされます。
5	-	0	R/W	リザーブビット リード/ライト可能ですが、動作に影響を与えません。
4-0		すべて 1		リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

14.4 動作説明

14.4.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときは、TCSR の WT/IT ビット = 1 に、TME ビット = 1 に設定してください。

ウォッチドッグタイマとして動作しているとき、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、 $\overline{\text{WDTOVF}}$ 信号が出力されます。

システムが正常に動作している間は、TCNT のオーバーフローは発生しません。TCNT がオーバーフローする前に必ず TCNT の値を書き換えて (通常は H'00 をライトする)、オーバーフローを発生させないようにプログラムしてください。さらに、ウォッチドッグタイマモード時には、 $\overline{\text{WDTOVF}}$ 信号を用いて LSI 内部をリセットすることができます。

RSTCSR の RSTE ビットを 1 にセットしておくこと、TCNT がオーバーフローしたときに、 $\overline{\text{WDTOVF}}$ 信号と同時

に、本 LSI の内部をリセットする信号が発生します。 $\overline{\text{RES}}$ 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 $\overline{\text{RES}}$ 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

$\overline{\text{WDTOVF}}$ 信号は、RSTCSR の RSTE ビット = 1 のとき 132 ステート、RSTE ビット = 0 のとき 130 ステートの間出力されます。内部リセット信号は、518 ステートの間出力されます。

ウォッチドッグタイマモードで TCNT がオーバーフローすると、RSTCSR の WOVF ビットが 1 にセットされます。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバーフローしたとき、本 LSI 全体に対して内部リセット信号が発生します。

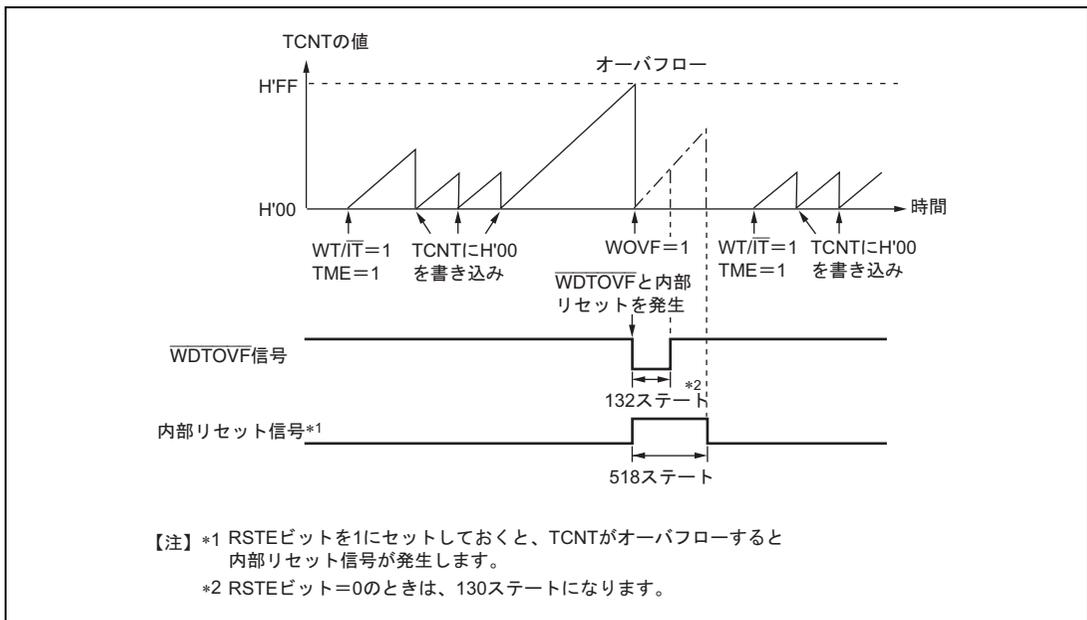


図 14.2 ウォッチドッグタイマモード時の動作

14. ウォッチドッグタイマ (WDT)

14.4.2 インターバルタイマモード時

インターバルタイマとして使用するときには、TCSR の WT/\overline{IT} ビット = 0 に、TME ビット = 1 に設定してください。

インターバルタイマとして動作しているときは、TCNT がオーバーフローすることによりインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに割り込みを発生させることができます。

インターバルタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。

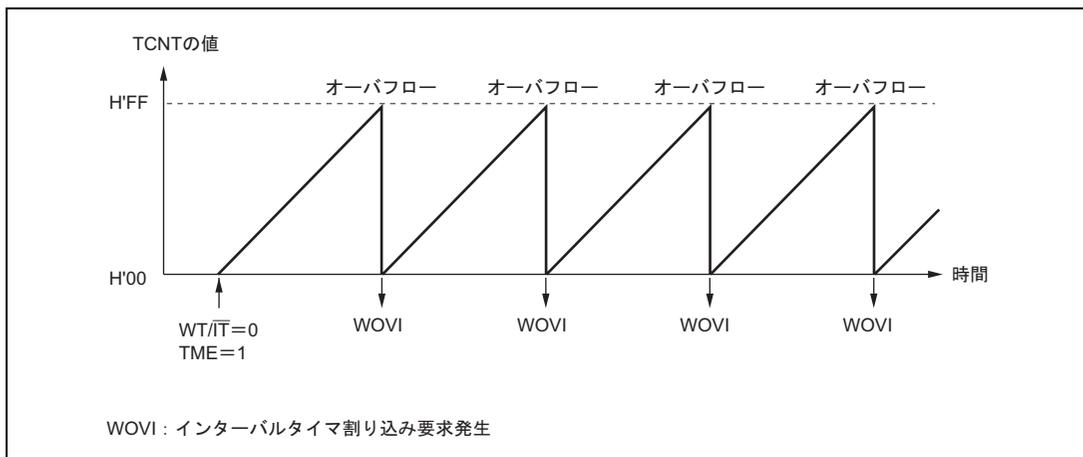


図 14.3 インターバルタイマモード時の動作

14.5 割り込み要因

インターバルタイマモード時、オーバーフローによりインターバルタイマ割り込み (WOVI) を発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

表 14.2 WDT の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動
WOVI	TCNT のオーバーフロー	OVF	不可

14.6 使用上の注意事項

14.6.1 レジスタアクセス時の注意

TCNT、TCSR、RSTCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

(1) TCNT、TCSR、RSTCSR へのライト

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 14.4 に示すようにしてデータを転送してください。転送すると、下位バイトのデータが TCNT または TCSR へライトされます。

RSTCSR へライトするときは、アドレス H'FFBE に対してワード転送を行ってください。バイト転送命令では、ライトできません。

WOVF ビットへ 0 をライトする場合と、RSTE ビットにライトする場合は、ライトの方法が異なります。このため、図 14.4 に示すようにしてデータを転送してください。

転送すると、WOVF ビットが 0 にクリアされます。このとき、RSTE ビットは影響を受けません。RSTE ビットにライトするときは、図 14.4 に示すようにしてデータを転送してください。転送すると、下位バイトのビット 6 の値が RSTE ビットにライトされます。このとき、WOVF ビットは影響を受けません。

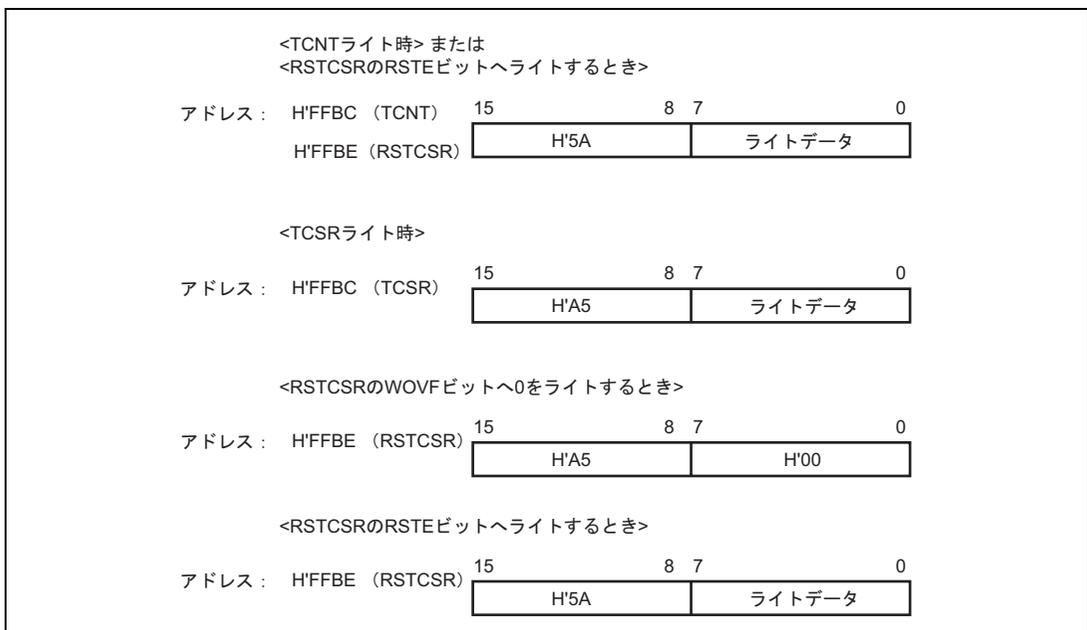


図 14.4 TCNT、TCSR、RSTCSR へのライト

14. ウォッチドッグタイマ (WDT)

(2) TCNT、TCSR、RSTCSR からのリード

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FFBC に、TCNT はアドレス H'FFBD に、RSTCSR はアドレス H'FFBF にそれぞれ割り当てられています。

14.6.2 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T_2 ステートの次サイクルでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 14.5 に示します。

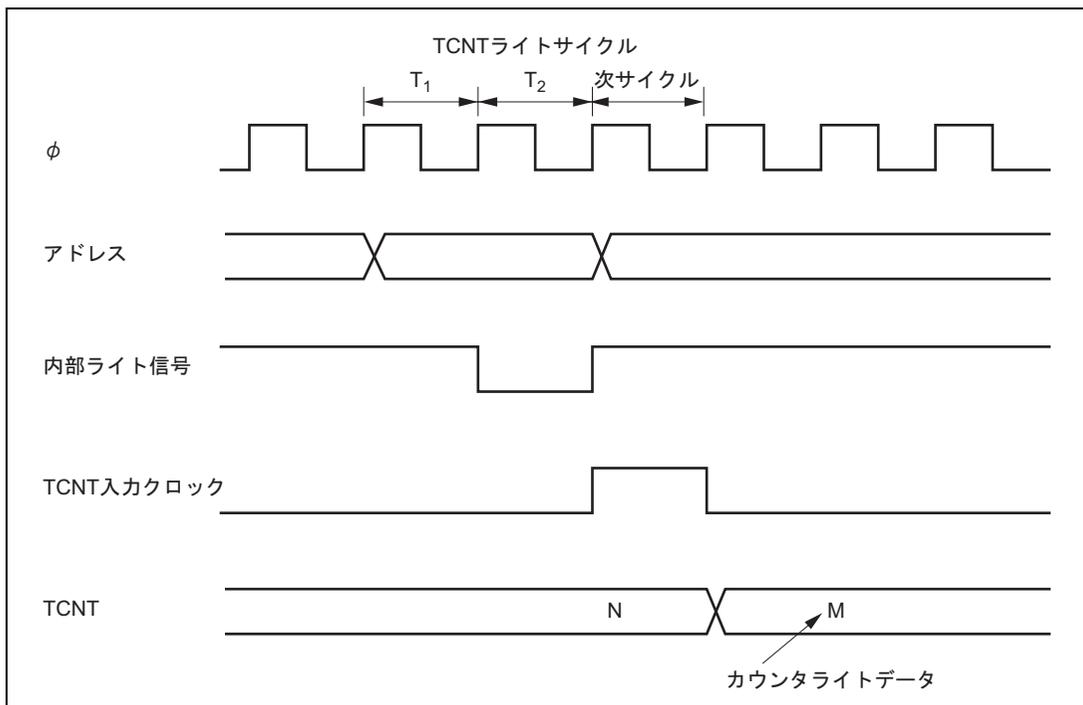


図 14.5 TCNT のライトとカウントアップの競合

14.6.3 CKS2 ~ CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2 ~ CKS0 ビットを書き換えると、カウントアップが正しく行われな場合があります。CKS2 ~ CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

14.6.4 ウォッチドッグタイムモードとインターバルタイムモードの切り替え

WDT の動作中にウォッチドッグタイムモードとインターバルタイムモードを切り替えると、正しい動作が行われない場合があります。タイムモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

14.6.5 ウォッチドッグタイムモードでの内部リセット

ウォッチドッグタイムモード時に RSTE ビットを 0 にしておくと、TCNT がオーバーフローしても本 LSI 内部をリセットしませんが、WDT の TCNT、TCSR はリセットされます。

$\overline{\text{WDTOVF}}$ 信号が Low レベルを出力している期間は、TCNT、TCSR、RSTCSR へのライトはできません。また、この期間は WOVF フラグのリードも認識されません。そのため、WOVF フラグのクリアは、 $\overline{\text{WDTOVF}}$ 信号が High レベルになってから、TCSR をリードした後、WOVF フラグに 0 をライトしてください。

14.6.6 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット

$\overline{\text{WDTOVF}}$ 信号を $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。 $\overline{\text{WDTOVF}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、図 14.6 の示すような回路で行ってください。

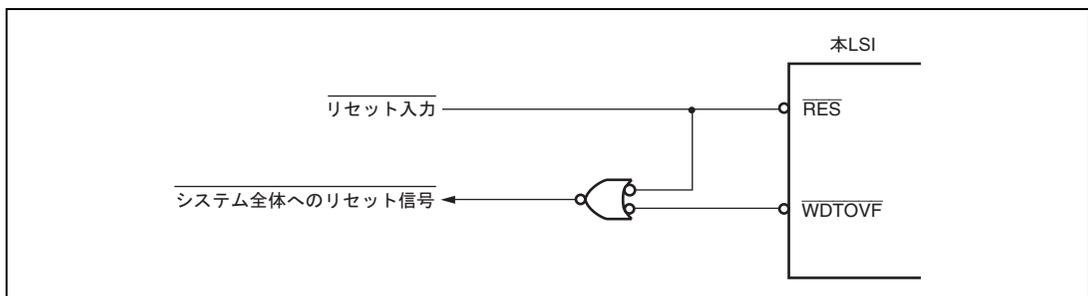


図 14.6 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット回路例

14. ウォッチドッグタイマ (WDT)

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

本 LSI は独立した 5 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。調歩同期モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。このほか、調歩同期モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したスマートカード (IC カード) インタフェースをサポートしています。また、5 チャンネルのうち 1 チャンネル (SCI_0) は、IrDA 規格バージョン 1.0 に基づく IrDA 通信波形の生成が可能です。SCI のブロック図を図 15.1 に示します。

15.1 特長

- シリアルデータ通信モードを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。

- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
送受信クロックソースとして外部クロックの選択も可能です (スマートカードインタフェースを除く)。
- LSBファースト/MSBファースト選択可能 (調歩同期式7ビットデータを除く)
- 割り込み要因 : 4種類

送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因によりDTCまたはDMACを起動することができます。

- モジュールストップモードの設定可能

調歩同期モード

- データ長 : 7ビット / 8ビット選択可能
- ストップビット長 : 1ビット / 2ビット選択可能
- パリティ : 偶数パリティ / 奇数パリティ / パリティなしから選択可能
- 受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出 : フレーミングエラー発生時RxD端子のレベルを直接リードすることでブレークを検出可能

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

- 平均転送レートジェネレータ (SCI_2のみ) : 10.667MHz動作時に115.152kbps / 460.606kbps
16MHz動作時に115.196kbps / 460.784kbps / 720kbps
32MHz動作時に720kbpsを選択可能

クロック同期式モード

- データ長 : 8ビット
- 受信エラーの検出 : オーバランエラー

スマートカードインタフェース

- 受信時パリティエラーを検出するとエラーシグナルを自動送出
- 送信時エラーシグナルを受信するとデータを自動再送信
- ダイレクトコンベンション / インバースコンベンションの両方をサポート

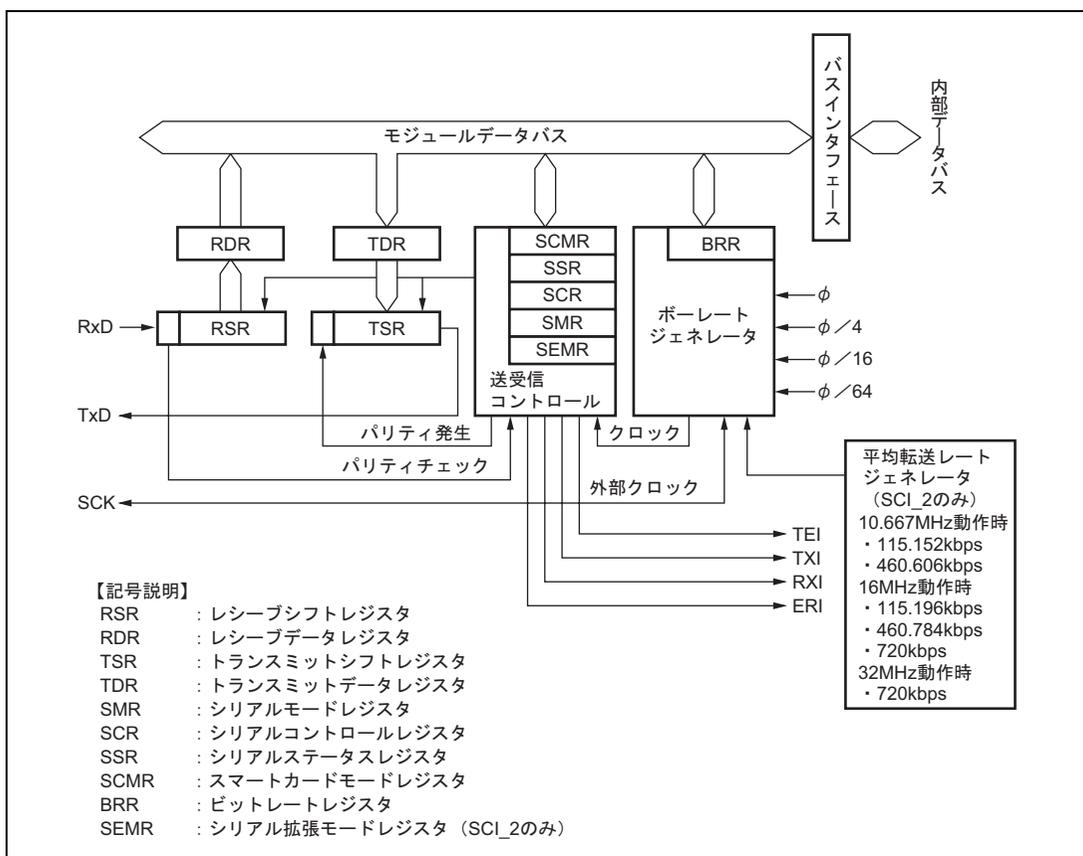


図 15.1 SCI のブロック図

15.2 入出力端子

SCIには、表 15.1 の入出力端子があります。

表 15.1 端子構成

チャンネル	端子名*	入出力	機能
0	SCK0	入出力	チャンネル0のクロック入出力端子
	RxD0/IrRxD	入力	チャンネル0の受信データ入力端子 (通常/IrDA)
	TxD0/IrTxD	出力	チャンネル0の送信データ出力端子 (通常/IrDA)
1	SCK1	入出力	チャンネル1のクロック入出力端子
	RxD1	入力	チャンネル1の受信データ入力端子
	TxD1	出力	チャンネル1の送信データ出力端子
2	SCK2	入出力	チャンネル2のクロック入出力端子
	RxD2	入力	チャンネル2の受信データ入力端子
	TxD2	出力	チャンネル2の送信データ出力端子
3	SCK3	入出力	チャンネル3のクロック入出力端子
	RxD3	入力	チャンネル3の受信データ入力端子
	TxD3	出力	チャンネル3の送信データ出力端子
4	SCK4	入出力	チャンネル4のクロック入出力端子
	RxD4	入力	チャンネル4の受信データ入力端子
	TxD4	出力	チャンネル4の送信データ出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

15.3 レジスタの説明

SCIには以下のレジスタがあります。また、シリアルモードレジスタ (SMR)、シリアルステータスレジスタ (SSR)、シリアルコントロールレジスタ (SCR) は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なるため、別々に記載してあります。

- レシーブシフトレジスタ_0 (RSR_0)
- トランスミットシフトレジスタ_0 (TSR_0)
- レシーブデータレジスタ_0 (RDR_0)
- トランスミットデータレジスタ_0 (TDR_0)
- シリアルモードレジスタ_0 (SMR_0)
- シリアルコントロールレジスタ_0 (SCR_0)
- シリアルステータスレジスタ_0 (SSR_0)
- スマートカードモードレジスタ_0 (SCMR_0)

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

- ビットレートレジスタ_0 (BRR_0)
- IrDAコントロールレジスタ_0 (IrCR_0)
- レシーブシフトレジスタ_1 (RSR_1)
- トランスミットシフトレジスタ_1 (TSR_1)
- レシーブデータレジスタ_1 (RDR_1)
- トランスミットデータレジスタ_1 (TDR_1)
- シリアルモードレジスタ_1 (SMR_1)
- シリアルコントロールレジスタ_1 (SCR_1)
- シリアルステータスレジスタ_1 (SSR_1)
- スマートカードモードレジスタ_1 (SCMR_1)
- ビットレートレジスタ_1 (BRR_1)
- レシーブシフトレジスタ_2 (RSR_2)
- トランスミットシフトレジスタ_2 (TSR_2)
- レシーブデータレジスタ_2 (RDR_2)
- トランスミットデータレジスタ_2 (TDR_2)
- シリアルモードレジスタ_2 (SMR_2)
- シリアルコントロールレジスタ_2 (SCR_2)
- シリアルステータスレジスタ_2 (SSR_2)
- スマートカードモードレジスタ_2 (SCMR_2)
- ビットレートレジスタ_2 (BRR_2)
- シリアル拡張モードレジスタ_2 (SEMR_2)
- レシーブシフトレジスタ_3 (RSR_3)
- トランスミットシフトレジスタ_3 (TSR_3)
- レシーブデータレジスタ_3 (RDR_3)
- トランスミットデータレジスタ_3 (TDR_3)
- シリアルモードレジスタ_3 (SMR_3)
- シリアルコントロールレジスタ_3 (SCR_3)
- シリアルステータスレジスタ_3 (SSR_3)
- スマートカードモードレジスタ_3 (SCMR_3)
- ビットレートレジスタ_3 (BRR_3)
- レシーブシフトレジスタ_4 (RSR_4)
- トランスミットシフトレジスタ_4 (TSR_4)
- レシーブデータレジスタ_4 (RDR_4)

- トランスミットデータレジスタ_4 (TDR_4)
- シリアルモードレジスタ_4 (SMR_4)
- シリアルコントロールレジスタ_4 (SCR_4)
- シリアルステータスレジスタ_4 (SSR_4)
- スマートカードモードレジスタ_4 (SCMR_4)
- ビットレートレジスタ_4 (BRR_4)

15.3.1 レシーブシフトレジスタ (RSR)

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

15.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。

15.3.3 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR につぎの送信データがライトされていれば TSR へ転送して送信を続けます。TDR は CPU から常にリード/ライト可能ですが、シリアル送信を確実にを行うため TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。

15.3.4 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

15.3.5 シリアルモードレジスタ (SMR)

SMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。SMR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

• 通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF = 0 のとき)

ビット	ビット名	初期値	R/W	説 明
7	C/A	0	R/W	コミュニケーションモード 0 : 調歩同期式モードで動作します。 1 : クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0 : データ長 8 ビットで送受信します。 1 : データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では TDR の MSB (ビット 7) は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。 マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/E	0	R/W	パリティモード (調歩同期式モードで PE = 1 のときのみ有効) 0 : 偶数パリティで送受信します。 1 : 奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0 : 1 ストップビット 1 : 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のとき、マルチプロセッサ通信機能がイネーブルになります。 マルチプロセッサモードでは PE、O/E ビットの設定は無効です。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1、0 内蔵ボーレートジェネレータのクロックソースを選択します。 00 : クロック (n=0) 01 : /4 クロック (n=1) 10 : /16 クロック (n=2) 11 : /64 クロック (n=3) このビットの設定値とボーレートの関係については、「15.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「15.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

• スマートカードインタフェース (SCMR の SMIF=1 のとき)

ビット	ビット名	初期値	R/W	説明
7	GM	0	R/W	GSM モード このビットを 1 にセットすると GSM モードで動作します。GSM モードでは TEND のセットタイミングが先頭から 11.0etu に前倒しされ、クロック出力制御機能が追加されます。詳細は「15.7.8 クロック出力制御」を参照してください。
6	BLK	0	R/W	このビットを 1 にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「15.7.3 ブロック転送モード」を参照してください。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースではこのビットは 1 にセットして使用してください。
4	O/E	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。 スマートカードインタフェースにおけるこのビットの使用方法については「15.7.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。
3	BCP1	0	R/W	基本クロックパルス 1、0 スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を選択します。 00: 32 クロック (S=32) 01: 64 クロック (S=64) 10: 372 クロック (S=372) 11: 256 クロック (S=256) 詳細は、「15.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。S は「15.3.9 ビットレートレジスタ (BRR)」中の S の値を表します。
2	BCP0	0	R/W	
1	CKS1	0	R/W	クロックセレクト 1、0 内蔵ポーレートジェネレータのクロックソースを選択します。 00: クロック (n=0) 01: /4 クロック (n=1) 10: /16 クロック (n=2) 11: /64 クロック (n=3) このビットの設定値とポーレートの関係については、「15.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「15.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。
0	CKS0	0	R/W	

15. シリアルコミュニケーションインタフェース (SCI, IrDA)

15.3.6 シリアルコントロールレジスタ (SCR)

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「15.9 割り込み要因」を参照してください。SCR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

• 通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF = 0 のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。 TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、TIE ビットを 0 にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。 RXI および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。
5	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。 このビットを 0 にして、送信動作を禁止すると、SSR の TDRE フラグは 1 に固定されます。
4	RE	0	R/W	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。この状態で調歩同期モードの場合はスタートビットを、クロック同期モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。 このビットを 0 にして、受信動作を禁止しても RDRF、または FER、PER、ORER の各フラグは影響を受けず、状態を保持します。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット	ビット名	初期値	R/W	説明
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP = 1 のとき有効)</p> <p>このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読みとばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「15.5 マルチプロセッサ通信機能」を参照してください。</p> <p>SSR の MPB = 0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB = 1 を含む受信データを受信すると、SSR の MPB を 1 にセットし、MPIE ビットを自動的に 0 クリアし、RXI、ERI 割り込み要求 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。</p>
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>このビットを 1 セットすると TEI 割り込み要求がイネーブルになります。TEI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。</p>
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル 1、0</p> <p>クロックソースおよび SCK 端子の機能を選択します。</p> <p>調歩同期式の場合</p> <p>00 : 内蔵ポーレートジェネレータ (SCK 端子は入出力ポートとして使用できます)</p> <p>01 : 内蔵ポーレートジェネレータ (SCK 端子からビットレートと同じ周波数のクロックを出力します)</p> <p>1X : 外部クロック (SCK 端子からビットレートの 16 倍の周波数のクロックを入力してください。)</p> <p>クロック同期式の場合</p> <p>0X : 内部クロック (SCK 端子はクロック出力端子となります。)</p> <p>1X : 外部クロック (SCK 端子はクロック入力端子となります。)</p>

【記号説明】 X : Don't care

15. シリアルコミュニケーションインタフェース (SCI, IrDA)

• スマートカードインタフェース (SCMR の SMIF=1 のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。 TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、TIE ビットを 0 にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。 RXI および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。
5	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。 このビットを 0 にして、送信動作を禁止すると、SSR の TDRE フラグは 1 に固定されます。
4	RE	0	R/W	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。 このビットを 0 にして、受信動作を禁止しても RDRF、または FER、PER、ORER の各フラグは影響を受けず、状態を保持します。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP=1 のとき有効) スマートカードインタフェースではこのビットには 0 をライトして使用してください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル スマートカードインタフェースではこのビットには 0 をライトして使用してください。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット	ビット名	初期値	R/W	説明
1	CKE1	0	R/W	クロックイネーブル 1、0
0	CKE0	0	R/W	<p>SCK 端子からのクロック出力を制御します。GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は「15.7.8 クロック出力制御」を参照してください。</p> <p>SMR の GM = 0 の場合</p> <p>00 : 出力ディスエーブル (SCK 端子は入出力ポートとして使用可)</p> <p>01 : クロック出力</p> <p>1X : リザーブ</p> <p>SMR の GM = 1 の場合</p> <p>00 : Low 出力固定</p> <p>01 : クロック出力</p> <p>10 : High 出力固定</p> <p>11 : クロック出力</p>

【記号説明】 X : Don't care

15.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。SSR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

• 通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF = 0 のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	<p>トランスミットデータレジスタエンプティ</p> <p>TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCR の TE が 0 のとき • TDR から TSR にデータが転送され、TDR にデータライトが可能になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • TXI 割り込み要求により DMAC または DTC で TDR へ送信データを転送したとき

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット	ビット名	初期値	R/W	説明
6	RDRF	0	R/(W)*	<p>レシーブデータレジスタフル</p> <p>RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき <p>SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。</p> <p>RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。</p>
5	ORER	0	R/(W)*	<p>オーバーランエラー</p> <p>受信時にオーバーランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • RDRF = 1 の状態で次のデータを受信したとき <p>RDR ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき <p>SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。</p>
4	FER	0	R/(W)*	<p>フレーミングエラー</p> <p>調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • ストップビットが 0 のとき <p>2 ストップモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき <p>SCR の RE をクリアしても、FER は影響を受けず以前の状態を保持します。</p>

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット	ビット名	初期値	R/W	説 明
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>調歩同期モードで受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>SCRのREをクリアしても、PERは影響を受けず以前の状態を保持します。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCRのTEが0のとき • 送信キャラクタの最後尾ビットの送信時、TDREが1のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき • TXI割り込み要求によりDMACまたはDTCでTDRへ送信データをライトしたとき
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>受信フレーム中のマルチプロセッサビットの値が格納されます。SCRのREが0のときは変化しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>送信フレームに付加するマルチプロセッサビットの値を設定します。</p>

【注】 * フラグをクリアするための0ライトのみ可能です。また、フラグのクリアはビットクリア命令を使用してください。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

• スマートカードインタフェース (SCMR の SMIF=1 のとき)

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)* ¹	<p>トランスミットデータレジスタempty TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCR の TE が 0 のとき • TDR から TSR にデータが転送され、TDR にデータライトが可能になったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • TXI 割り込み要求により DMAC または DTC で TDR へ送信データを転送したとき
6	RDRF	0	R/(W)* ¹	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき <p>SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーが発生し、受信データが失われますので注意してください。</p>
5	ORER	0	R/(W)* ¹	<p>オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • RDRF = 1 の状態で次のデータを受信したとき <p>RDR ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき <p>SCR の RE をクリアしても、ORER は影響を受けず状態を保持します。</p>
4	ERS	0	R/(W)* ¹	<p>エラーシグナルステータス</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • エラーシグナル Low をサンプリングしたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビット	ビット名	初期値	R/W	説明
3	PER	0	R/(W)* ¹	<p>パリティエラー</p> <p>調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき <p>SCRのREをクリアしても、PERは影響を受けず以前の状態を保持します。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>受信側からのエラーシグナルの応答がなく、次の送信データをTDRに転送可能になったときセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCRのTE=0かつERS=0のとき 1バイトのデータを送信して一定期間後、ERS=0かつTDRE=1のとき。 <p>セットされるタイミングはレジスタの設定により以下のように異なります。</p> <p>GM=0、BLK=0のとき、送信開始から2.5etu*²後</p> <p>GM=0、BLK=1のとき、送信開始から1.5etu*²後</p> <p>GM=1、BLK=0のとき、送信開始から1.0etu*²後</p> <p>GM=1、BLK=1のとき、送信開始から1.0etu*²後</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき。 TXI割り込み要求によりDMACまたはDTCでTDRへ送信データをライトしたとき
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>スマートカードインタフェースでは使用しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>スマートカードインタフェースではこのビットには0をライトして使用してください。</p>

【注】 *1 フラグをクリアするための0ライトのみ可能です。また、フラグのクリアはビットクリア命令を使用してください。

*2 etu (Elementary time unit) : 1ビット転送期間

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

15.3.8 スマートカードモードレジスタ (SCMR)

SCMR はスマートカードインタフェースおよびそのフォーマットを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説明
7~4		すべて 1		リザーブビット リードすると常に 1 が読み出されます。
3	SDIR	0	R/W	スマートカードデータトランスファディレクション シリアル/パラレル変換の方向を選択します。 0 : LSB ファーストで送受信 1 : MSB ファーストで送受信 送受信フォーマットが 8 ビットデータの場合のみ有効です。7 ビットデータの場合は LSB ファーストに固定されます。
2	SINV	0	R/W	スマートカードデータインバート 送受信データのロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SMR の O/E ビットを反転してください。 0 : TDR の内容をそのまま送信、受信データをそのまま RDR に格納 1 : TDR の内容を反転して送信、受信データを反転して RDR に格納
1		1		リザーブビット リードすると常に 1 が読み出されます。
0	SMIF	0	R/W	スマートカードインタフェースモードセレクト スマートカードインタフェースモードで動作させるとき 1 をセットします。 0 : 通常の調歩同期式またはクロック同期式モード 1 : スマートカードインタフェースモード

15.3.9 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR の設定値 N とビットレート B の関係を表 15.2 に示します。BRR の初期値は H'FF で、CPU から常にリード/ライト可能です。

表 15.2 BRR の設定値 N とビットレート B の関係

モード	ビットレート	誤差
調歩同期式	$B = \frac{\phi \times 10^6}{64 \times 2^{2n-1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式	$B = \frac{\phi \times 10^6}{8 \times 2^{2n-1} \times (N+1)}$	
スマートカード インタフェース	$B = \frac{\phi \times 10^6}{S \times 2^{2n+1} \times (N+1)}$	誤差 (%) = $\left\{ \frac{\phi \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$

【注】 B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

φ : 動作周波数 (MHz)

n と S : 下表のとおり SMR の設定値によって決まります。

SMR の設定値		n
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

SMR の設定値		S
BCP1	BCP0	
0	0	32
0	1	64
1	0	372
1	1	256

通常の調歩同期式モードにおける BRR の値 N の設定例を表 15.3 に、各動作周波数における設定可能な最大ビットレートを表 15.4 に示します。また、クロック同期式モードにおける BRR の値 N の設定例を表 15.6 に、スマートカードインタフェースにおける BRR の値 N の設定例を表 15.8 に示します。スマートカードインタフェースでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「15.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 15.5、表 15.7 に外部クロック入力時の最大ビットレートを示します。

15. シリアルコミュニケーションインタフェース (SCI, IrDA)

表 15.3 ビットレートに対する BRR の設定例 (調歩同期式モード)

ビットレート (bit/s)	動作周波数 (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	-	-	-	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビットレート (bit/s)	動作周波数 (MHz)											
	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	64	0.69	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	-0.93	0	47	0.00	0	51	0.16	0	55	0.00
19200	0	22	-0.93	0	23	0.00	0	25	0.16	0	27	0.00
31250	0	13	0.00	0	14	-1.70	0	15	0.00	0	16	1.20
38400	-	-	-	0	11	0.00	0	12	0.16	0	13	0.00

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

ビットレート (bit/s)	動作周波数 (MHz)											
	18			19.6608			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	-0.12	3	86	0.31	3	88	-0.25	3	110	-0.02
150	2	233	0.16	2	255	0.00	3	64	0.16	3	80	0.47
300	2	116	0.16	2	127	0.00	2	129	0.16	2	162	-0.15
600	1	233	0.16	1	255	0.00	2	64	0.16	2	80	0.47
1200	1	116	0.16	1	127	0.00	1	129	0.16	1	162	-0.15
2400	0	233	0.16	0	255	0.00	1	64	0.16	1	80	0.47
4800	0	116	0.16	0	127	0.00	0	129	0.16	0	162	-0.15
9600	0	58	-0.69	0	63	0.00	0	64	0.16	0	80	0.47
19200	0	28	1.02	0	31	0.00	0	32	-1.36	0	40	-0.76
31250	0	17	0.00	0	19	-1.70	0	19	0.00	0	24	0.00
38400	0	14	-2.34	0	15	0.00	0	15	1.73	0	19	1.73

ビットレート (bit/s)	動作周波数 (MHz)											
	30			33			34 ^{*1}			35 ^{*2}		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	132	0.13	3	145	0.33	3	150	-0.05	3	154	0.23
150	3	97	-0.35	3	106	0.39	3	110	-0.29	3	113	-0.06
300	2	194	0.16	2	214	-0.07	2	220	0.16	2	227	-0.06
600	2	97	-0.35	2	106	0.39	2	110	-0.29	2	113	-0.06
1200	1	194	0.16	1	214	-0.07	1	220	0.16	1	227	-0.06
2400	1	97	-0.35	1	106	0.39	1	110	-0.29	1	113	-0.06
4800	0	194	0.16	0	214	-0.07	0	220	0.16	0	227	-0.06
9600	0	97	-0.35	0	106	0.39	0	110	-0.29	0	113	-0.06
19200	0	48	-0.35	0	53	-0.54	0	54	0.62	0	56	-0.06
31250	0	29	0.00	0	32	0.00	0	33	0.00	0	34	0.00
38400	0	23	1.73	0	26	-0.54	0	27	-1.18	0	27	1.73

【注】 *1 H8S/2378 0.18 μm F-ZTAT グループ、H8S/2378R 0.18 μm F-ZTAT グループのみサポートしています。

*2 H8S/2378 のみサポートしています。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 15.4 各動作周波数における最大ビットレート (調歩同期式モード)

(MHz)	最大ビットレート (bit/s)	n	N
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
19.6608	614400	0	0
20	625000	0	0
25	781250	0	0
30	937500	0	0
33	1031250	0	0
34 ^{*1}	1062500	0	0
35 ^{*2}	1093750	0	0

【注】 *1 H8S/2378 0.18 μ m F-ZTAT グループ、H8S/2378R 0.18 μ m F-ZTAT グループのみサポートしています。

*2 H8S/2378 のみサポートしています。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 15.5 外部クロック入力時の最大ビットレート (調歩同期式モード)

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
19.6608	4.9152	307200
20	5.0000	312500
25	6.2500	390625
30	7.5000	468750
33	8.2500	515625
34 ^{*1}	8.5000	531250
35 ^{*2}	8.7500	546875

【注】 *1 H8S/2378 0.18 μm F-ZTAT グループ、H8S/2378R 0.18 μm F-ZTAT グループのみサポートしています。

*2 H8S/2378 のみサポートしています。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 15.6 ビットレートに対する BRR の設定例 (クロック同期式モード)

ビット レート (bit/s)	動作周波数 (MHz)																	
	8		10		16		20		25		30		33		34* ¹		35* ²	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																		
250	3	124	-	-	3	249												
500	2	249	-	-	3	124	-	-			3	233						
1k	2	124	-	-	2	249	-	-	3	97	3	116	3	128	3	132	3	136
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	2	212	2	218
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	105	2	108
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	1	212	1	218
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	84	1	87
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	0	169	0	174
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	84	0	87
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	33	0	34
500k	0	3	0	4	0	7	0	9	-	-	0	14	-	-	0	16	-	-
1M	0	1			0	3	0	4	-	-	-	-	-	-			-	-
2.5M			0	0*			0	1	-	-	0	2	-	-			-	-
5M							0	0*	-	-	-	-	-	-			-	-

【注】 *1 H8S/2378 0.18 μm F-ZTAT グループ、H8S/2378R 0.18 μm F-ZTAT グループのみサポートしています。

*2 H8S/2378 のみサポートしています。

【記号説明】

空欄 : 設定できません。

- : 設定可能ですが誤差がでます。

* : 連続送信 / 連続受信はできません。

表 15.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	(MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	1.3333	1333333.3	20	3.3333	3333333.3
10	1.6667	1666666.7	25	4.1667	4166666.7
12	2.0000	2000000.0	30	5.0000	5000000.0
14	2.3333	2333333.3	33	5.5000	5500000.0
16	2.6667	2666666.7	34* ¹	5.6667	5666666.7
18	3.0000	3000000.0	35* ²	5.8336	5833625.0

【注】 *1 H8S/2378 0.18 μm F-ZTAT グループ、H8S/2378R 0.18 μm F-ZTAT グループのみサポートしています。

*2 H8S/2378 のみサポートしています。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

表 15.8 ビットレートに対する BRR の設定例(スマートカードインタフェースモードで n=0、S=372 のとき)

ビットレート (bit/s)	動作周波数 (MHz)								
	10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	30.00	0	1	25.00	0	1	8.99

ビットレート (bit/s)	動作周波数 (MHz)								
	14.2848			16.00			18.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	15.99

ビットレート (bit/s)	動作周波数 (MHz)								
	20.00			25.00			30.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	2	6.66	0	3	12.49	0	3	5.01

ビットレート (bit/s)	動作周波数 (MHz)								
	33.00			34.00* ¹			35.00* ²		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	4	7.59	0	4	4.79	0	4	1.99

【注】 *1 H8S/2378 0.18 μm F-ZTAT グループ、H8S/2378R 0.18 μm F-ZTAT グループのみサポートしています。

*2 H8S/2378 のみサポートしています。

表 15.9 各動作周波数における最大ビットレート (スマートカードインタフェースモードで S=372 のとき)

(MHz)	最大ビットレート (bit/s)	n	N	(MHz)	最大ビットレート (bit/s)	n	N
10.00	13441	0	0	20.00	26882	0	0
10.7136	14400	0	0	25.00	33602	0	0
13.00	17473	0	0	30.00	40323	0	0
14.2848	19200	0	0	33.00	44355	0	0
16.00	21505	0	0	34.00* ¹	45699	0	0
18.00	24194	0	0	35.00* ²	47043	0	0

【注】 *1 H8S/2378 0.18 μm F-ZTAT グループ、H8S/2378R 0.18 μm F-ZTAT グループのみサポートしています。

*2 H8S/2378 のみサポートしています。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

15.3.10 IrDA コントロールレジスタ (IrCR)

IrCR は、SCI_0 の機能の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	IrE	0	R/W	IrDA イネーブル SCI_0 の入出力を通常の SCI か IrDA かに設定します。 0 : TxD0/IrTxD、RxD0/IrRxD 端子は TxD0、RxD0 として動作 1 : TxD0/IrTxD、RxD0/IrRxD 端子は IrTxD、IrRxD として動作
6	IrCKS2	0	R/W	IrDA クロックセレクト 2~0 IrDA 機能をイネーブルにしたとき、IrTxD 出力パルスエンコード時の High パルス幅を設定します。 000 : パルス幅 = $B \times 3/16$ (ビットレートの 16 分の 3) 001 : パルス幅 = /2 010 : パルス幅 = /4 011 : パルス幅 = /8 100 : パルス幅 = /16 101 : パルス幅 = /32 110 : パルス幅 = /64 111 : パルス幅 = /128
5	IrCKS1	0	R/W	
4	IrCKS0	0	R/W	
3~0		すべて 0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

15.3.11 シリアル拡張モードレジスタ (SEMR)

SEMR は、調歩同期式モード時のクロックソースを選択するためのレジスタです。

平均転送レートの選択により基本クロックが自動設定できます。

ビット	ビット名	初期値	R/W	説明
7-4		不定		リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3	ABCS	0	R/W	調歩同期基本クロックセレクト (調歩同期式モードのみ有効) 1ビット期間の基本クロックを選択します。 0: 転送レートの16倍の周波数の基本クロックで動作 1: 転送レートの8倍の周波数の基本クロックで動作
2 1 0	ACS2 ACS1 ACS0	0 0 0	R/W R/W R/W	調歩同期クロックソースセレクト (調歩同期式モードで CKE1 = 1 のときのみ有効) 平均転送レートのクロックソースを選択します。平均転送レート選択時は、ABCSビットの値に関係なく基本クロックが自動設定されます。 000: 外部クロック入力 001: = 10.667MHz 専用の平均転送レート 115.152kbps を選択 (転送レートの16倍の周波数の基本クロックで動作) 010: = 10.667MHz 専用の平均転送レート 460.606kbps を選択 (転送レートの8倍の周波数の基本クロックで動作) 011: = 32MHz 専用の平均転送レート 720kbps を選択 (転送レートの16倍の周波数の基本クロックで動作) 100: 設定禁止 101: = 16MHz 専用の平均転送レート 115.196kbps を選択 (転送レートの16倍の周波数の基本クロックで動作) 110: = 16MHz 専用の平均転送レート 460.784kbps を選択 (転送レートの16倍の周波数の基本クロックで動作) 111: = 16MHz 専用の平均転送レート 720kbps を選択 (転送レートの8倍の周波数の基本クロックで動作) 平均転送レートは、10.667MHz、16MHz または 32MHz の動作周波数以外には対応していません。

15.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 15.2 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

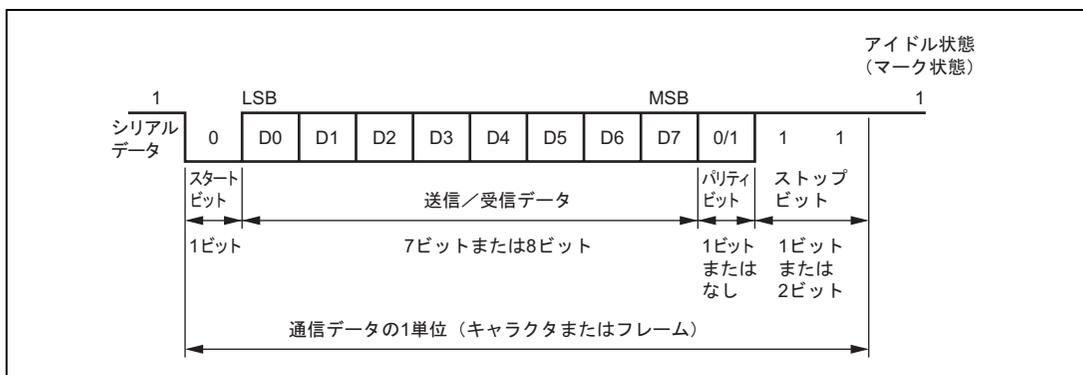


図 15.2 調歩同期式通信のデータフォーマット (8 ビットデータ / パリティあり / 2 ストップビットの例)

15.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 15.10 に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「15.5 マルチプロセッサ通信機能」を参照してください。

表 15.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信 / 受信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	S	8ビットデータ								STOP				
0	0	0	1	S	8ビットデータ								STOP	STOP			
0	1	0	0	S	8ビットデータ								P	STOP			
0	1	0	1	S	8ビットデータ								P	STOP	STOP		
1	0	0	0	S	7ビットデータ							STOP					
1	0	0	1	S	7ビットデータ							STOP	STOP				
1	1	0	0	S	7ビットデータ							P	STOP				
1	1	0	1	S	7ビットデータ							P	STOP	STOP			
0	—	1	0	S	8ビットデータ								MPB	STOP			
0	—	1	1	S	8ビットデータ								MPB	STOP	STOP		
1	—	1	0	S	7ビットデータ							MPB	STOP				
1	—	1	1	S	7ビットデータ							MPB	STOP	STOP			

【記号説明】

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

15.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図15.3に示すように受信データを基本クロックの8番目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right\} \times 100 \quad [\%] \quad \dots \text{式 (1)}$$

M: 受信マージン

N: クロックに対するビットレートの比 (N=16)

D: クロックのデューティ (D=0.5~1.0)

L: フレーム長 (L=9~12)

F: クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値)=0、D(クロックのデューティ)=0.5とすると、

$$M = \left\{ 0.5 - \frac{1}{(2 \times 16)} \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

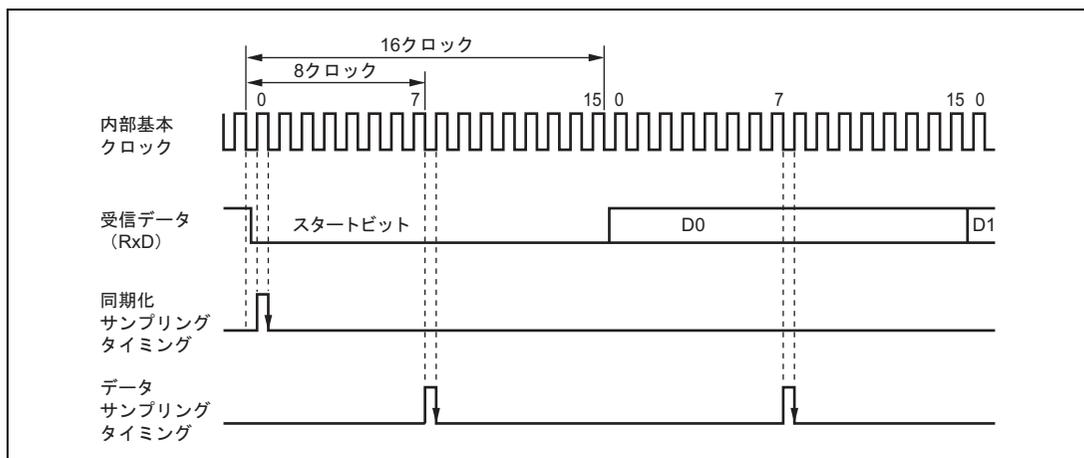


図 15.3 調歩同期式モードの受信データサンプリングタイミング

15.4.3 クロック

SCIの送受信クロックは、SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCK端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK端子にビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるときはSCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図15.4に示すように送信データの中央でクロックが立ち上がります。

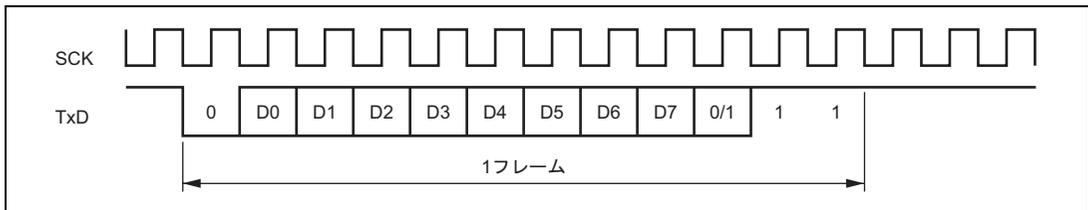


図 15.4 出力クロックと送信データの位相関係 (調歩同期式モード)

15.4.4 SCI の初期化 (調歩同期式)

データの送受信前に、SCR の TE、RE ビットをクリアした後、図 15.5 のフローチャートの例に従って初期化してください。SCI 動作中に SMR、SCMR、IRCR、SEMR への書き込みは行わないでください。同一データのライトも同様です。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

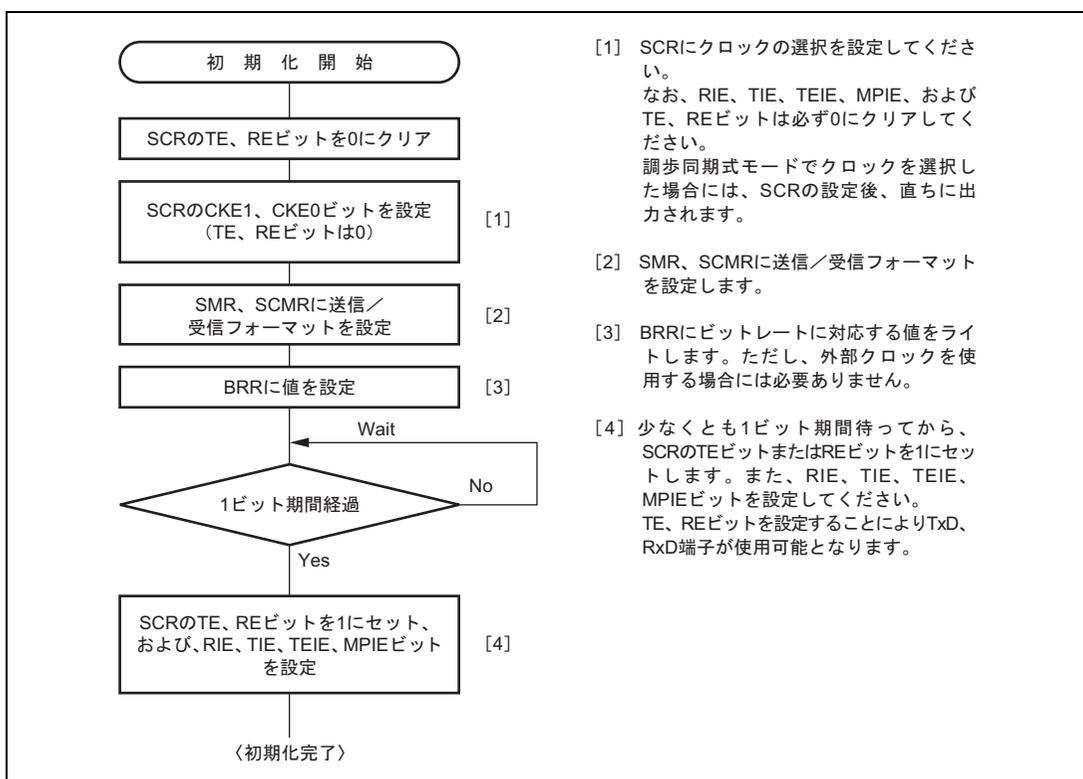


図 15.5 SCI の初期化フローチャートの例

15.4.5 データ送信 (調歩同期式)

図 15.6 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDを1にセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEIを発生します。

図 15.7 にデータ送信のフローチャートの例を示します。

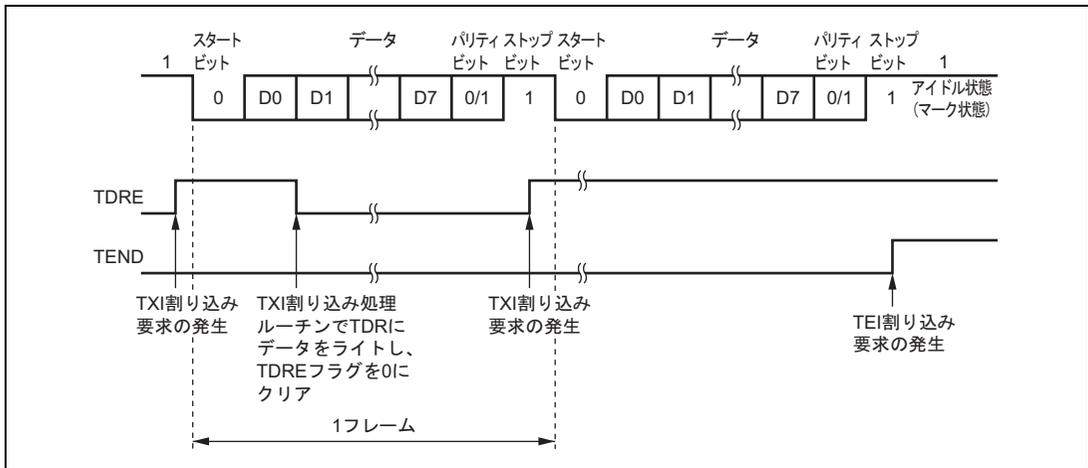


図 15.6 調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

15. シリアルコミュニケーションインタフェース (SCI, IrDA)

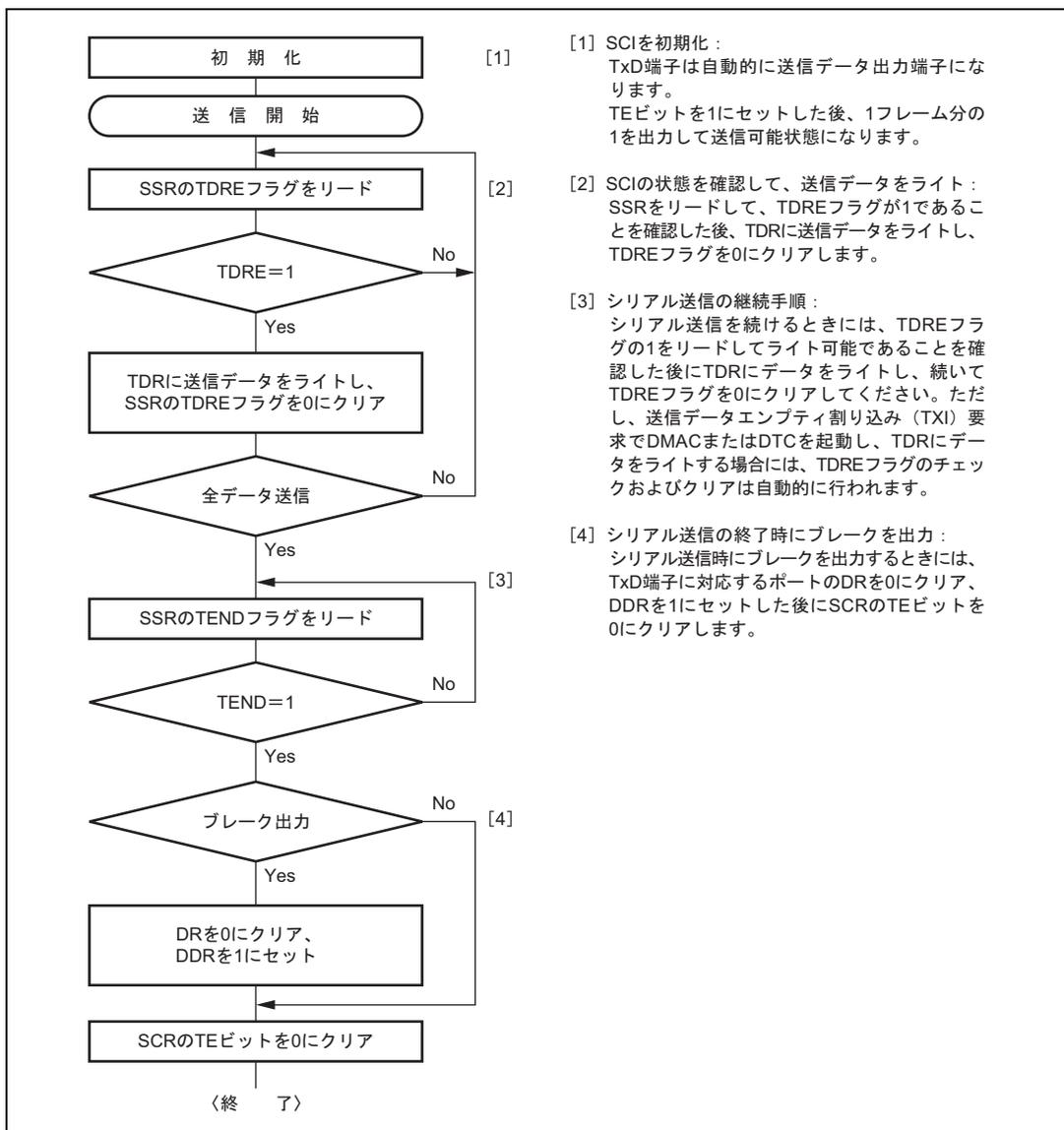


図 15.7 シリアル送信のフローチャートの例

15.4.6 シリアルデータ受信 (調歩同期式)

図 15.8 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
4. フレーミングエラー (ストップビットが0のとき) を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

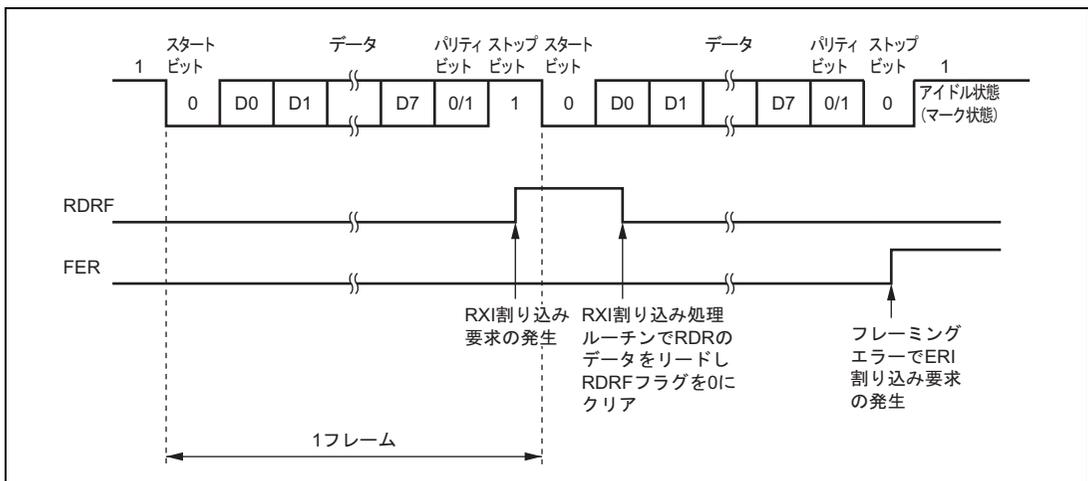


図 15.8 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を表 15.11 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 15.9 にデータ受信のためのフローチャートの例を示します。

15. シリアルコミュニケーションインタフェース (SCI, IrDA)

表 15.11 SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー + フレーミングエラー
1	1	0	1	消失	オーバランエラー + パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー + パリティエラー
1	1	1	1	消失	オーバランエラー + フレーミングエラー + パリティエラー

【注】 * RDRF は、データ受信前の状態を保持します。

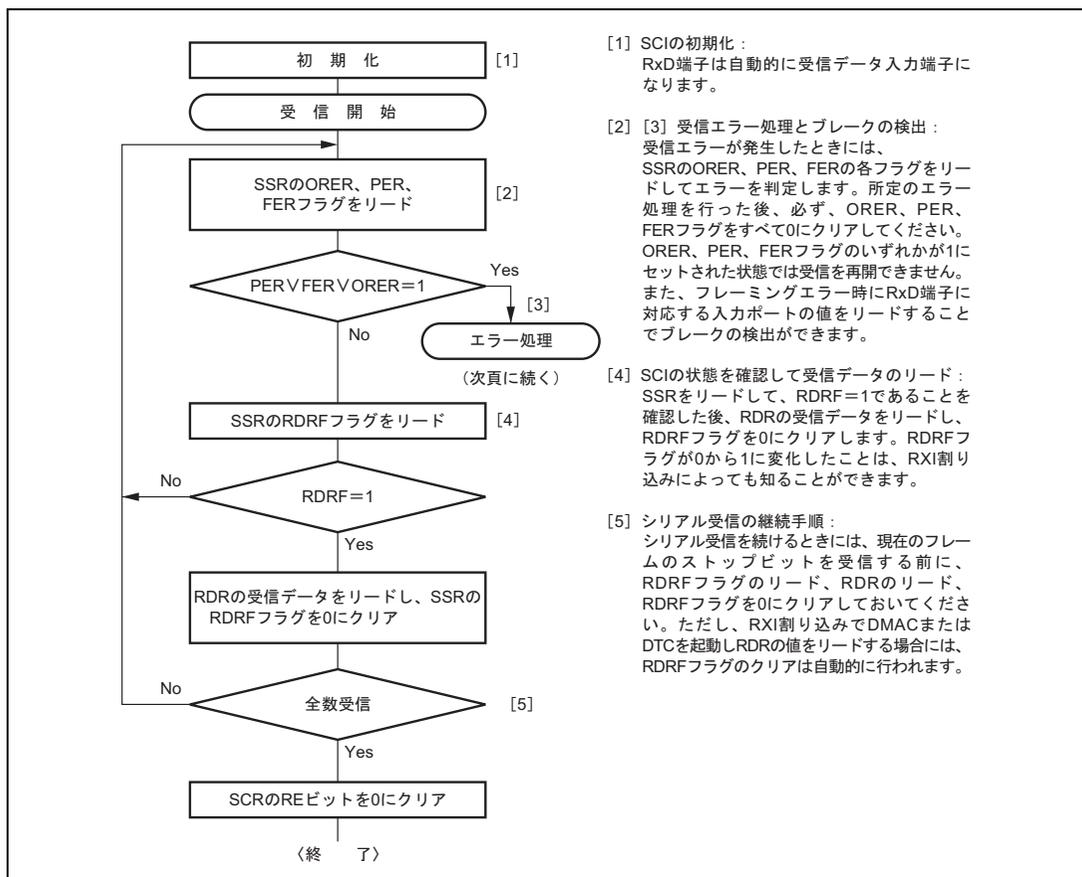


図 15.9 シリアル受信データフローチャートの例 (1)

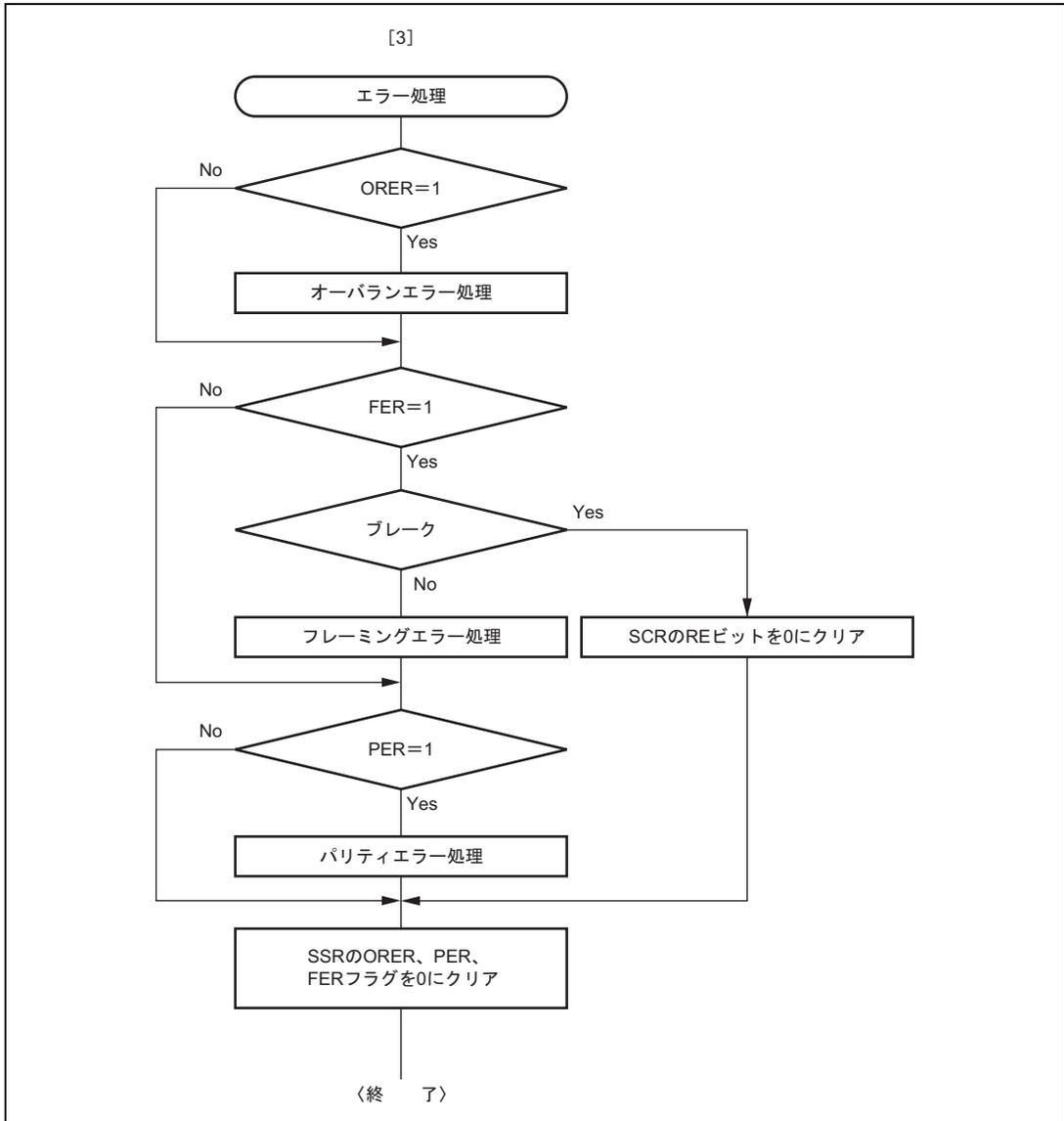


図 15.9 シリアル受信データフローチャートの例 (2)

15.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局におおの固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 15.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読み飛ばします。

SCIはこの機能をサポートするため、SCRにMPIEビットが設けてあります。MPIEを1にセットすると、マルチプロセッサビットが1のデータを受け取るまでRSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、ORERの各ステータスフラグのセットを禁止します。マルチプロセッサビットが1の受信キャラクタを受け取ると、SSRのMPBRが1にセットされるとともにMPIEが自動的にクリアされて通常の受信動作に戻ります。このときSCRのRIEがセットされているとRXI割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

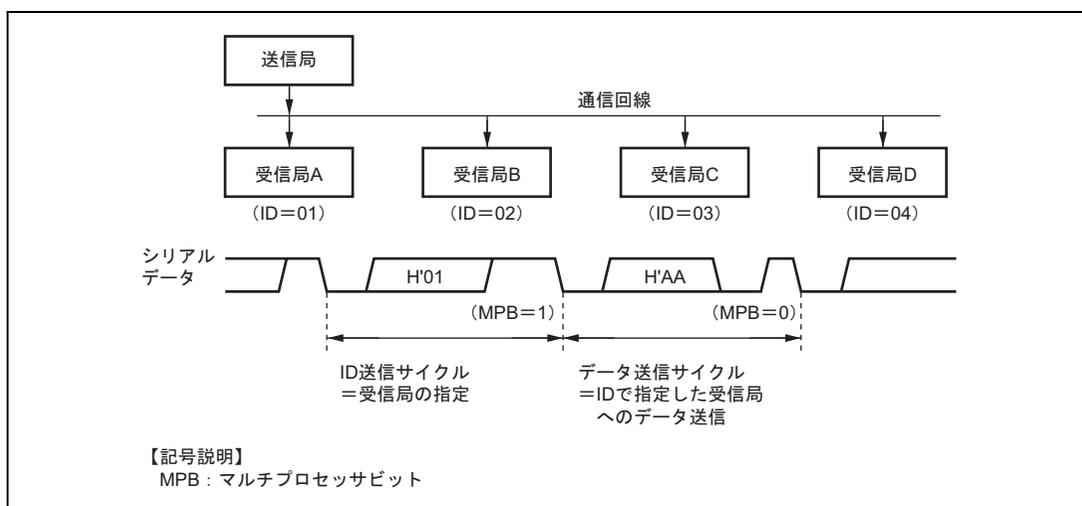


図 15.10 マルチプロセッサフォーマットを使用した通信例 (受信局 A へのデータ H'AA の送信の例)

15.5.1 マルチプロセッサシリアルデータ送信

図 15.11 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期モードの動作と同じです。

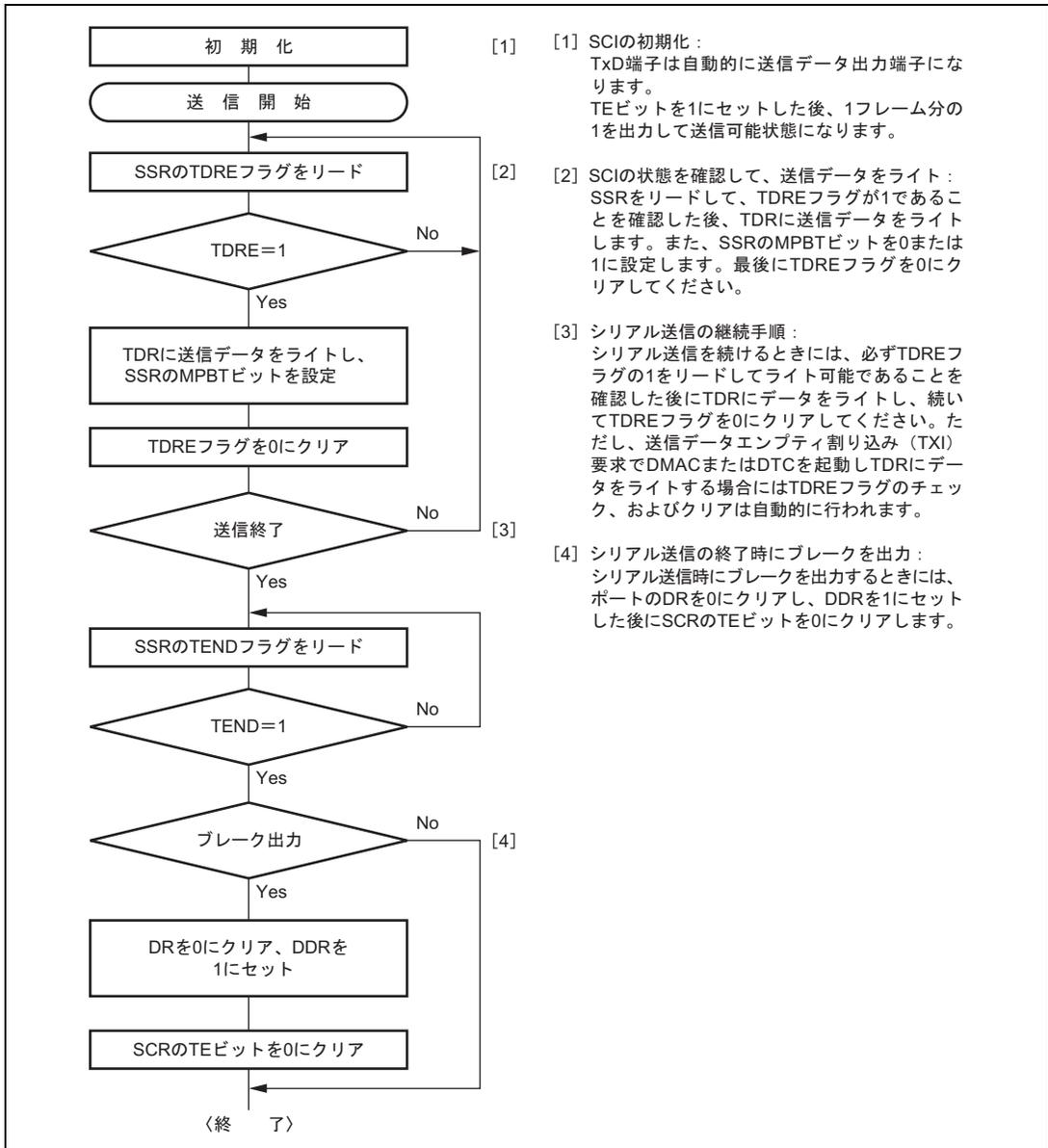


図 15.11 マルチプロセッサシリアル送信のフローチャートの例

15.5.2 マルチプロセッサシリアルデータ受信

図 15.13 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期モードの動作と同じです。図 15.12 に受信時の動作例を示します。

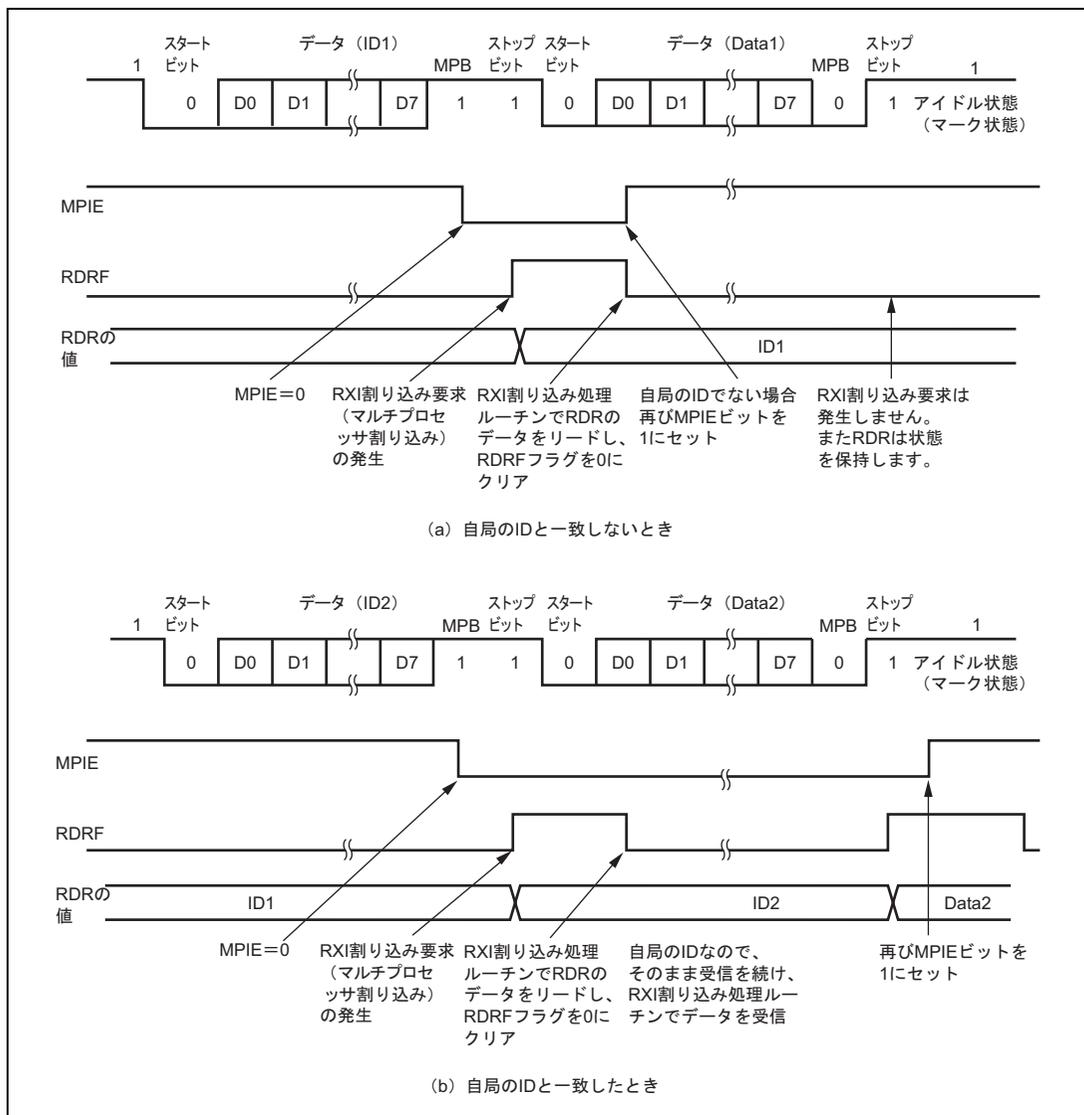


図 15.12 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

15. シリアルコミュニケーションインタフェース (SCI, IrDA)

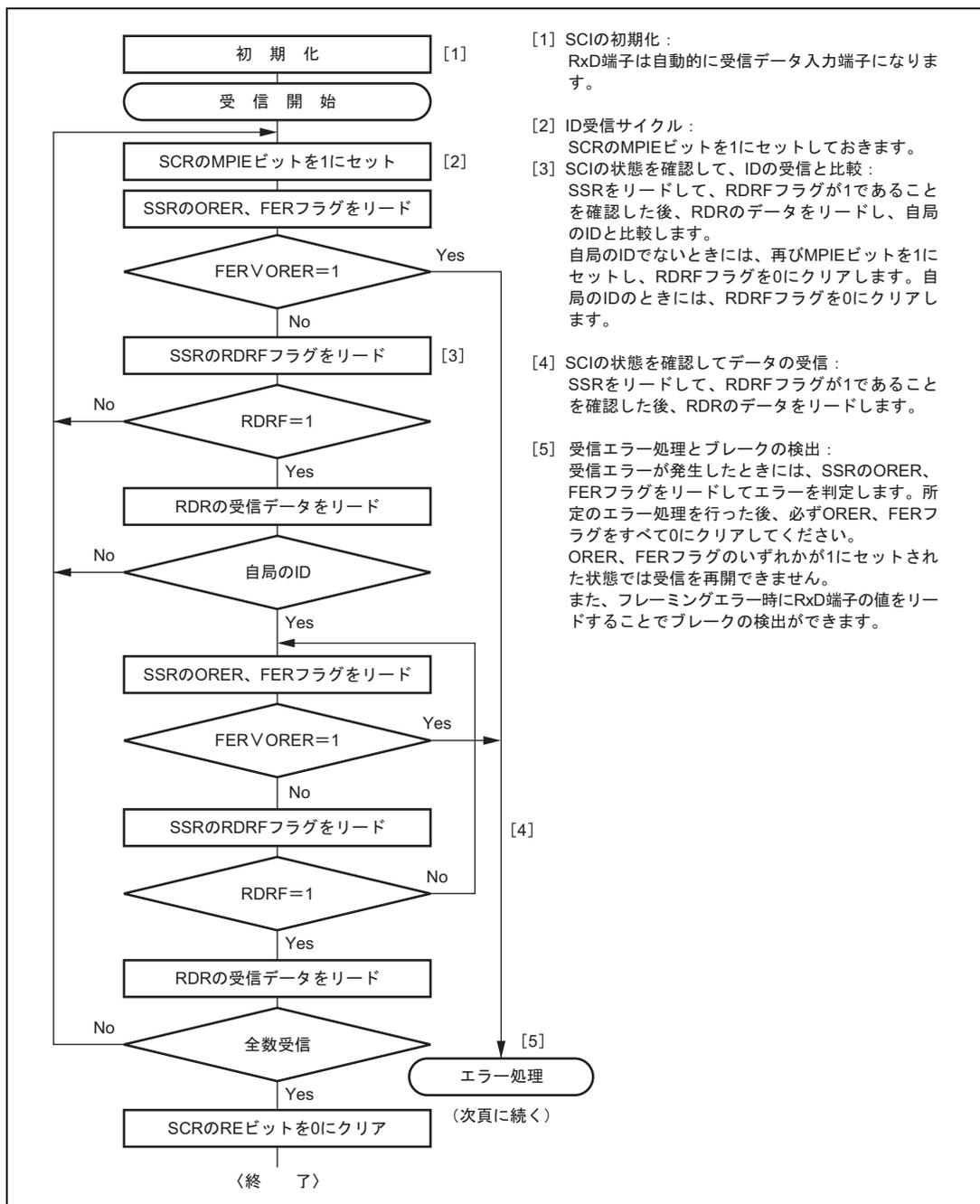


図 15.13 マルチプロセッサシリアル受信のフローチャートの例 (1)

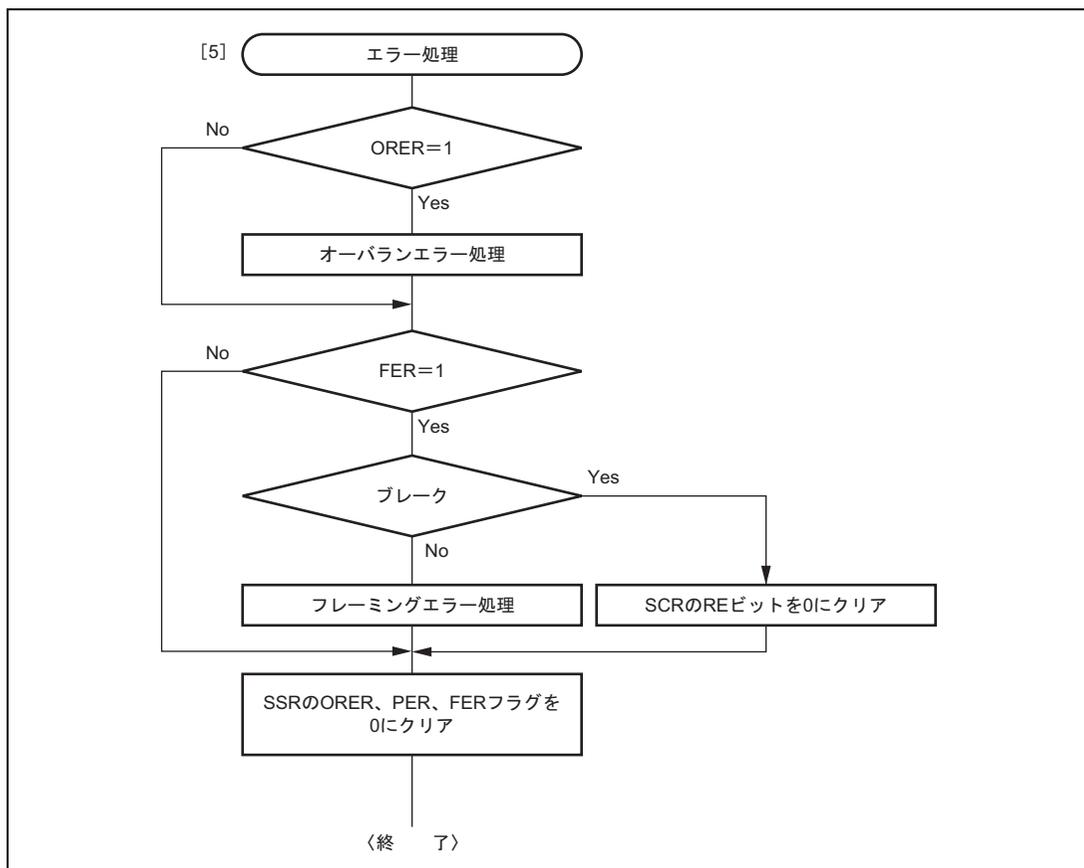


図 15.13 マルチプロセッサシリアル受信のフローチャートの例 (2)

15.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 15.14 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI はデータ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりから次の立ち上がりまで入力します。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部 / 受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

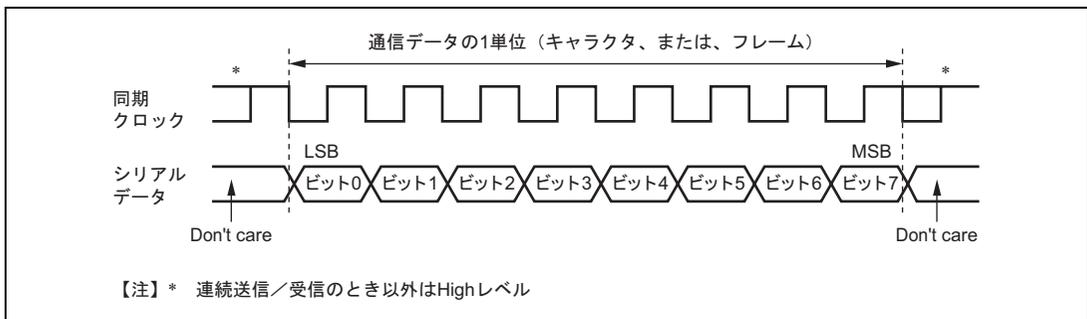


図 15.14 クロック同期式通信のデータフォーマット (LSB ファーストの場合)

15.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

15.6.2 SCI の初期化 (クロック同期式)

データの送受信前に、SCR の TE、RE ビットをクリアした後、図 15.15 のフローチャートの例に従って初期化してください。SCI 動作中に SMR、SCMR、IrCR、SEMR への書き込みは行わないでください。同一データのライトも同様です。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。

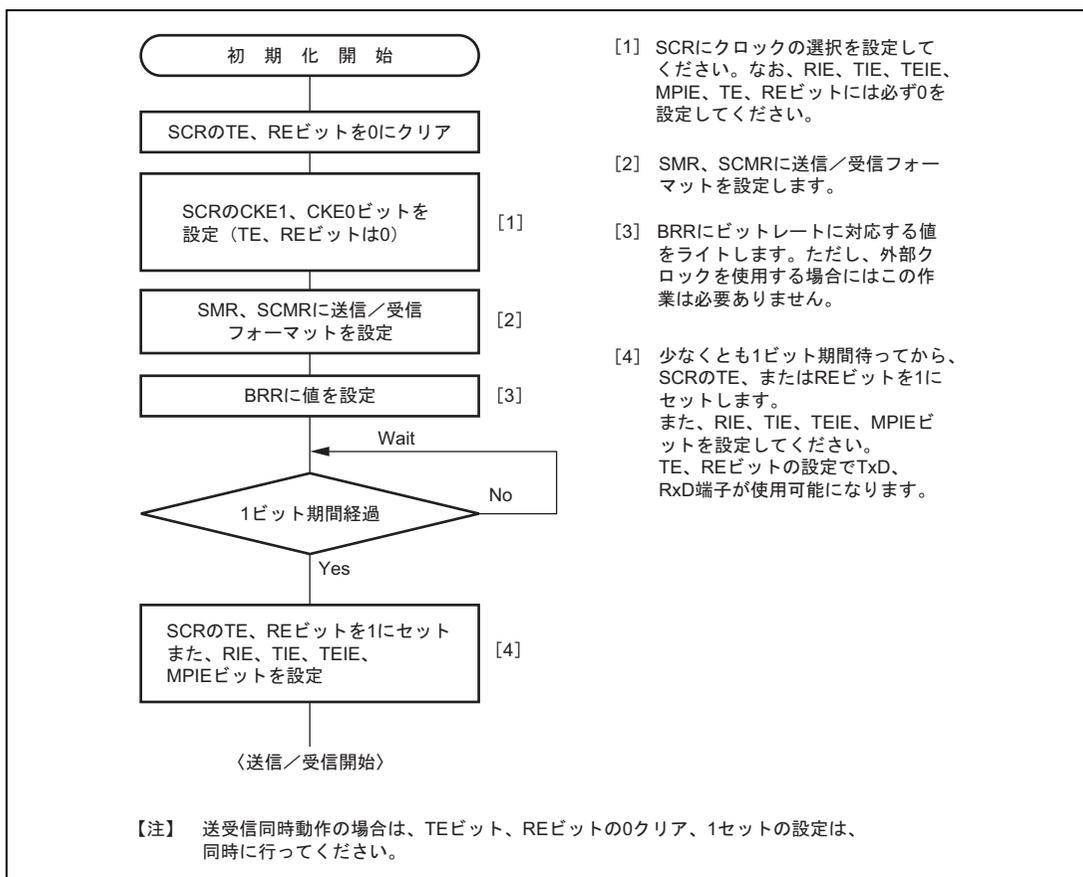


図 15.15 SCI の初期化フローチャートの例

15.6.3 シリアルデータ送信 (クロック同期式)

図 15.16 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD端子から8ビットのデータを出力します。
4. 最終ビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、最終ビット出力状態を保持します。このときSCRのTEIEが1にセットされているとTEIを発生します。SCK端子はHighレベルに固定されます。

図 15.17 にデータ送信のフローチャートの例を示します。受信エラーフラグ (ORER、FER、PER) が 1 にセットされた状態では TDRE をクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを 0 にクリアしておいてください。また、受信エラーフラグは RE ビットをクリアしただけではクリアされませんので注意してください。

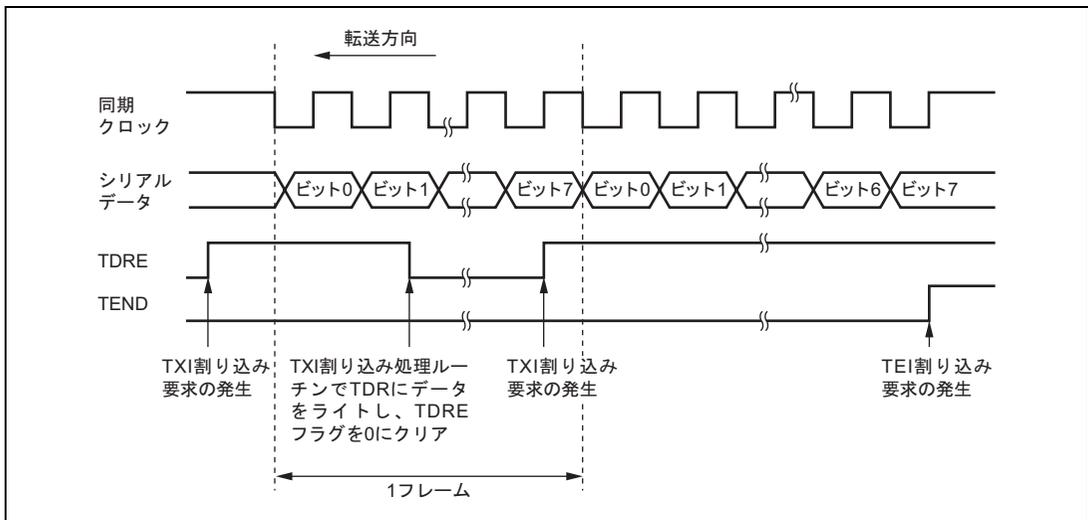


図 15.16 クロック同期式モードの送信時の動作例

15. シリアルコミュニケーションインタフェース (SCI, IrDA)

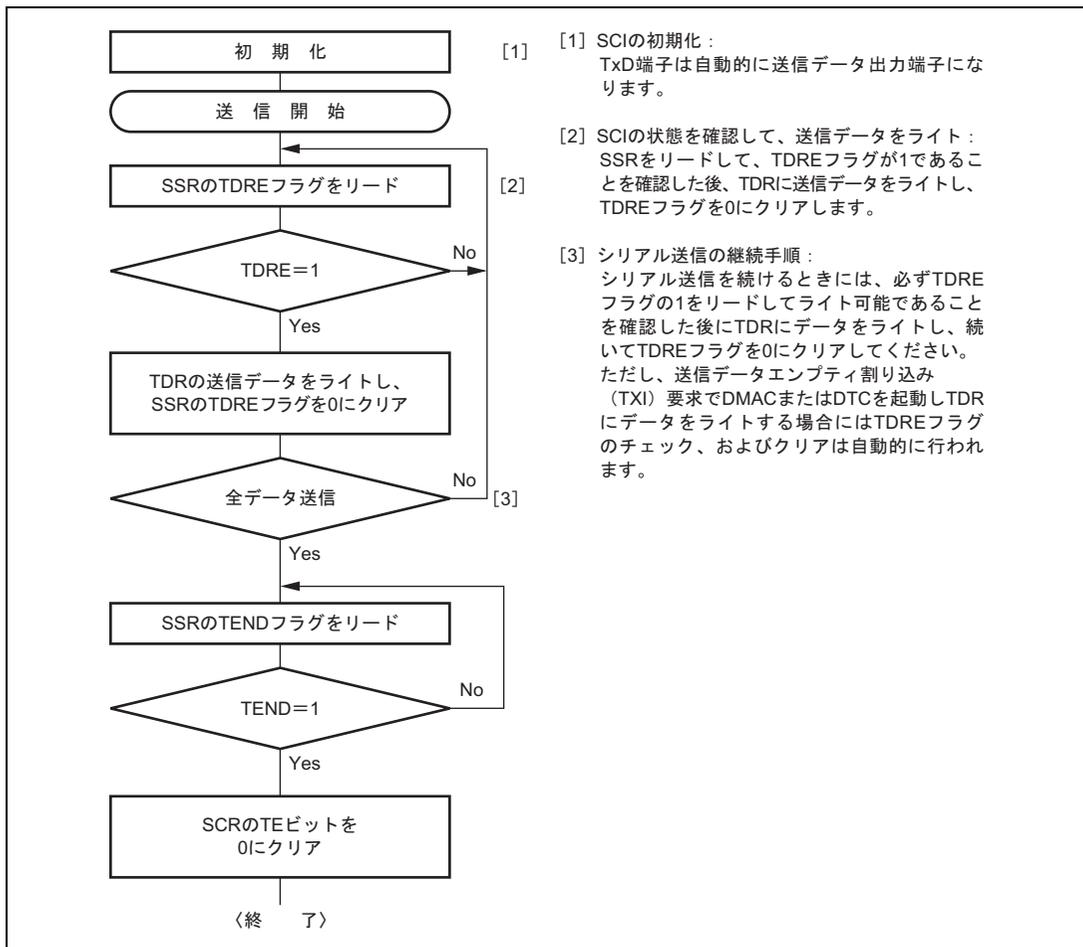


図 15.17 シリアル送信のフローチャートの例

15.6.4 シリアルデータ受信 (クロック同期式)

図 15.18 にクロック同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCIは同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データをRSRに取り込みます。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRのデータをリードし、RDRFフラグを0にクリア

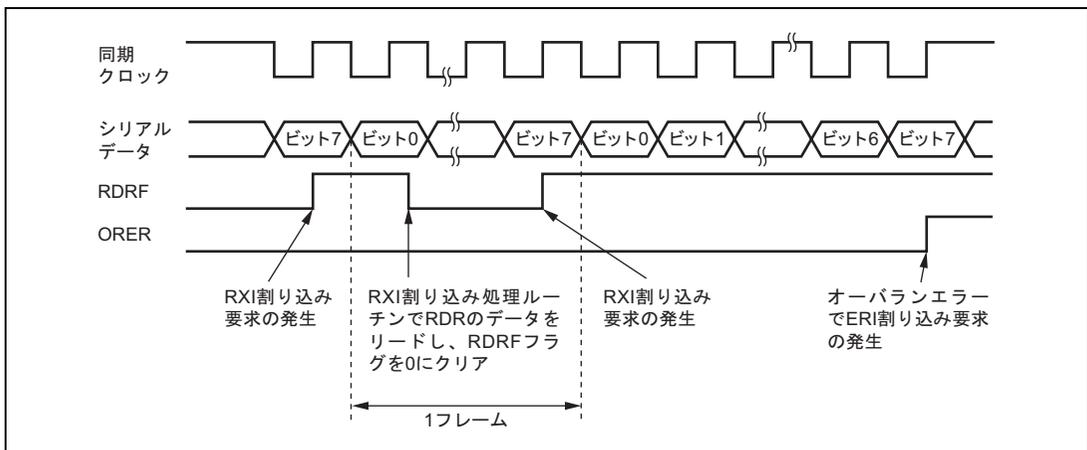


図 15.18 SCI の受信時の動作例

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 15.19 にデータ受信のためのフローチャートの例を示します。

15. シリアルコミュニケーションインタフェース (SCI, IrDA)

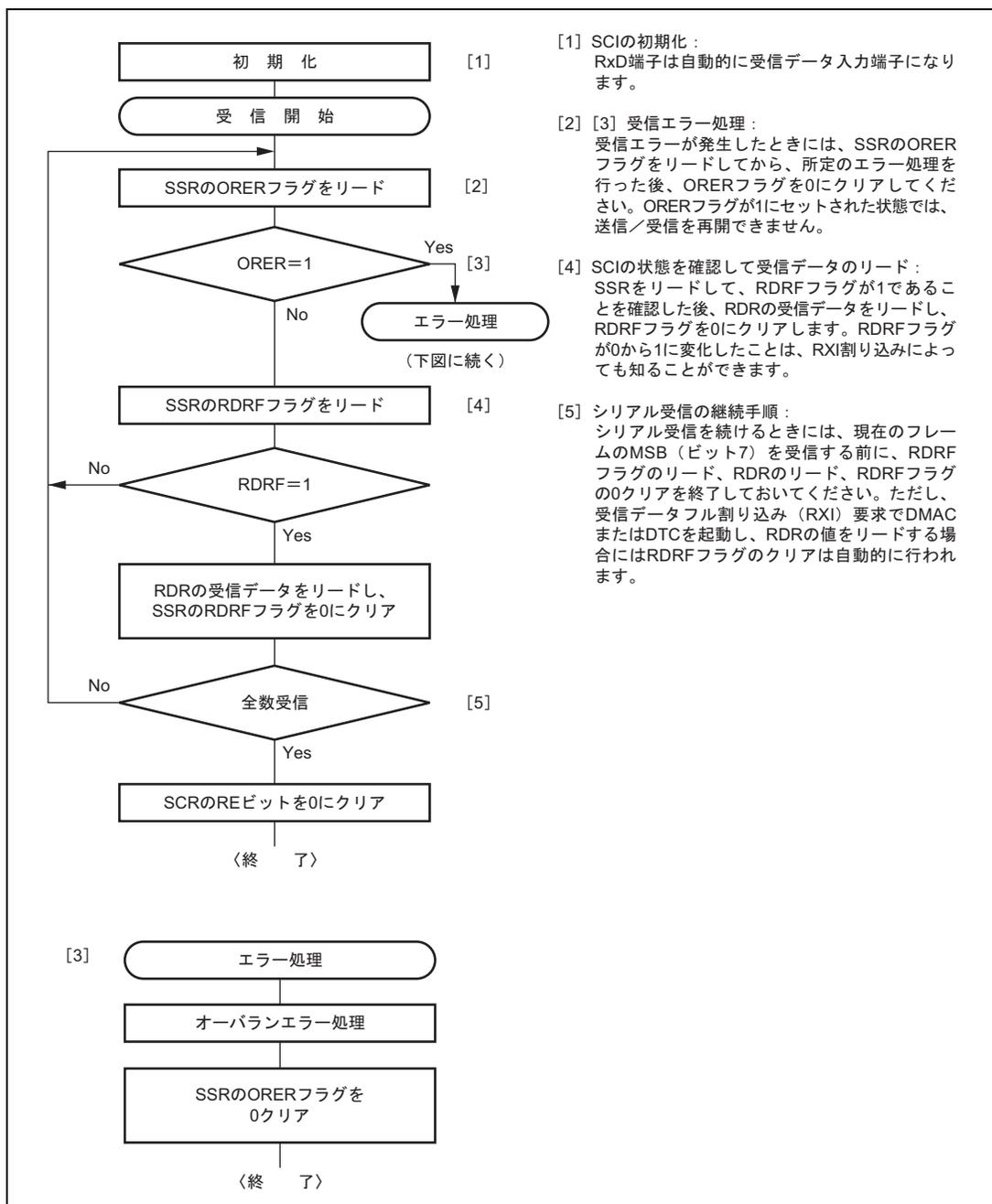


図 15.19 シリアルデータ受信フローチャートの例

15.6.5 シリアルデータ送受信同時動作 (クロック同期式)

図 15.20 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。

受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

15. シリアルコミュニケーションインタフェース (SCI, IrDA)

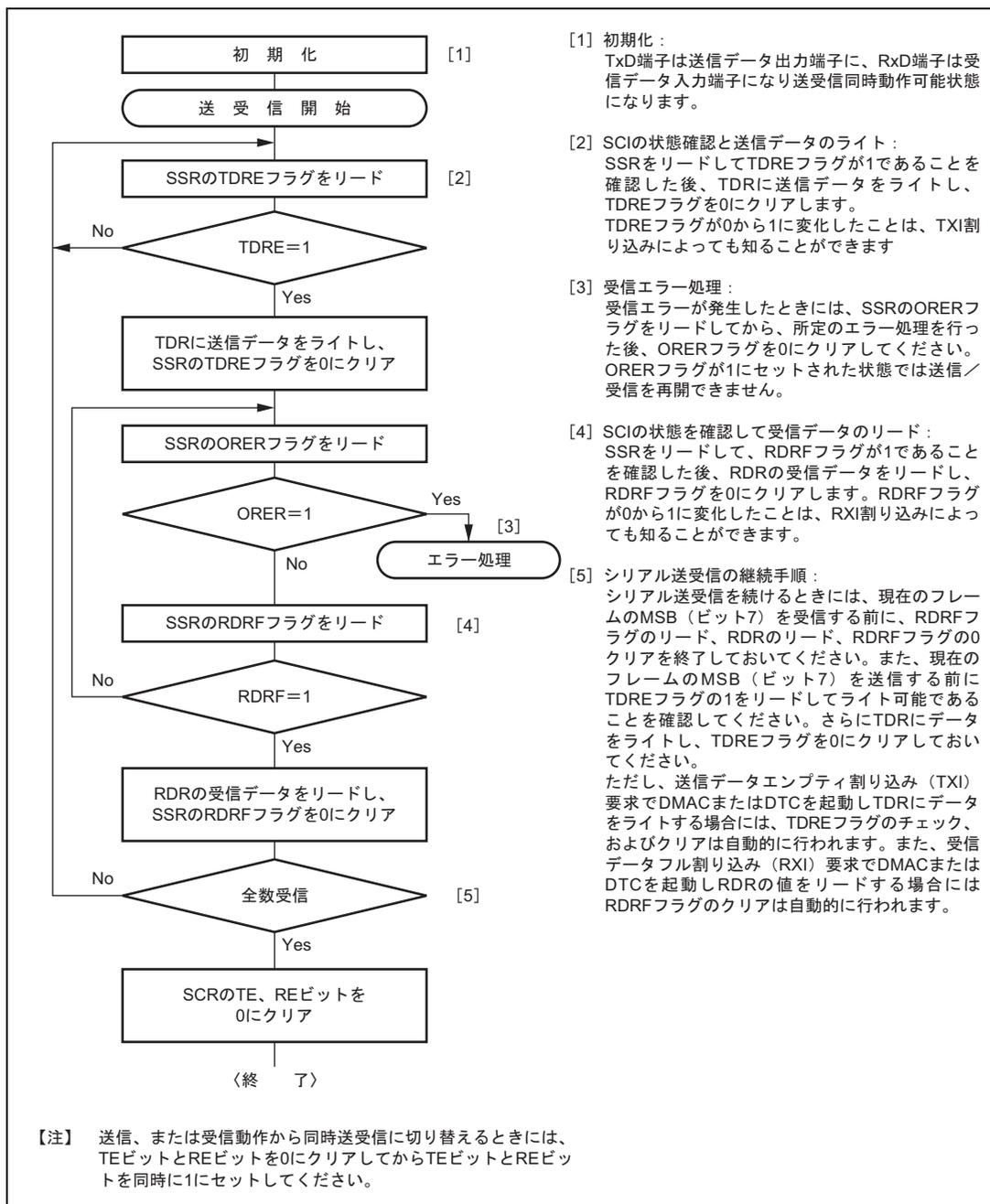


図 15.20 シリアル送受信同時動作のフローチャートの例

15.7 スマートカードインタフェースの動作説明

SCIはシリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したICカード (スマートカード) とのインタフェースをサポートしています。スマートカードインタフェースモードへの切り替えはレジスタにより行います。

15.7.1 接続例

図 15.21 にスマートカードとの接続例を示します。IC カードとは 1 本のデータ伝送線で送受信が行われるので、TxD 端子と RxD 端子とを結線し、データ伝送線は抵抗で電源 V_{CC} 側にプルアップしてください。IC カードを接続しない状態で $RE = TE = 1$ に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。SCI で生成するクロックを IC カードに供給する場合は、SCK 端子出力を IC カードの CLK 端子に入力してください。リセット信号の出力には本 LSI の出力ポートを使用できます。

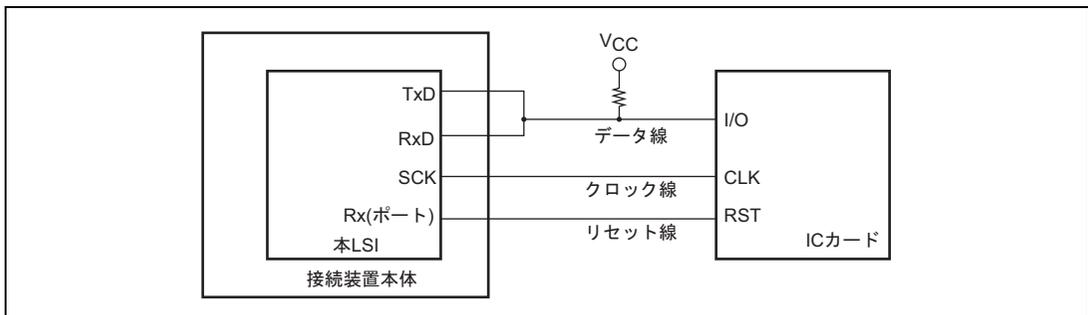


図 15.21 スマートカードインタフェース端子接続概要

15.7.2 データフォーマット (ブロック転送モード時を除く)

図 15.22 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで2etu(Elementary time unit : 1ビットの転送期間) 以上のガードタイムをおきます。
- 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu 期間出力します。
- 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを再送信します。

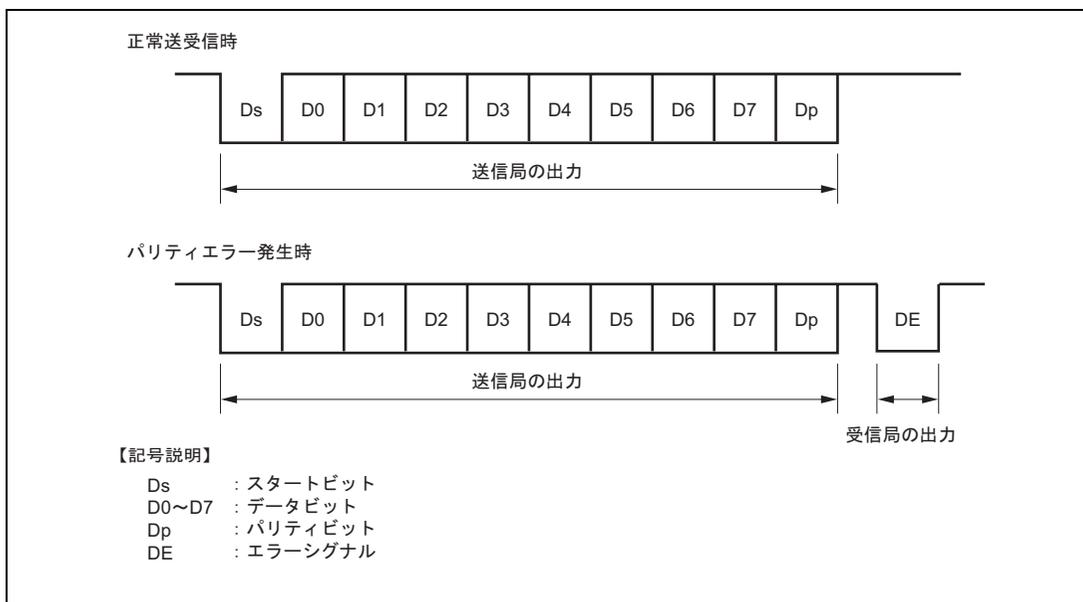


図 15.22 通常のスマートカードインタフェースのデータフォーマット

ダイレクトコンベンションタイプとインバースコンベンションタイプの2種類のICカードとの送受信は以下のように行ってください。

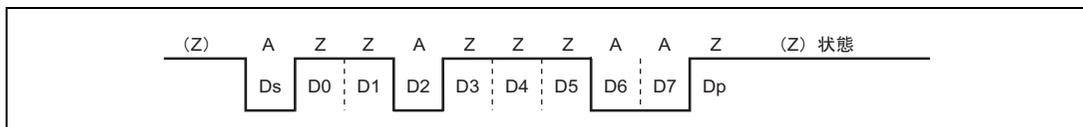


図 15.23 ダイレクトコンベンション (SDIR = SINV = 0/E = 0)

ダイレクトコンベンションタイプは上記開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。上記の開始キャラクタではデータは H'3B となります。ダイレクトコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 0 にセットしてください。また、スマートカードの規程により偶数パリティとなるよう SMR の O/\bar{E} ビットには 0 をセットしてください。

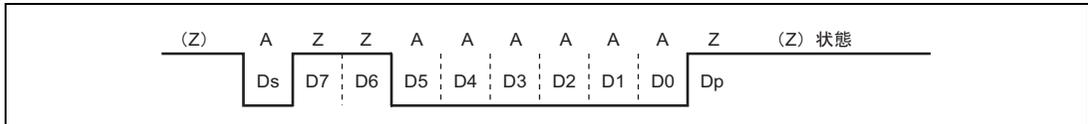


図 15.24 インバースコンベンション (SDIR = SINV = O/\bar{E} = 1)

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。上記の開始キャラクタではデータは H'3F となります。インバースコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 1 にセットしてください。パリティビットはスマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。本 LSI では、SINV ビットはデータビット D7~D0 のみ反転させます。このため、送受信とも SMR の O/\bar{E} ビットに 1 を設定してパリティビットを反転させてください。

15.7.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースと比較して以下の点が異なります。

- 受信時はパリティチェックは行いますが、エラーを検出してもエラーシグナルは出力しません。SSRのPERはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から次のフレーム開始までのガードタイムは最小1etu以上です。
- 送信時は再送信を行わないため、TENDフラグは送信開始から11.5etu後にセットされます。
- ERSフラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に0となります。

【注】 etu (Elementary time unit) : 1 ビット転送期間

15.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースで使用できる送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみです。スマートカードインタフェースモードでは、SCIはBCP1、BCP0の設定によりビットレートの32倍、64倍、372倍、256倍(通常の調歩同期式モードでは16倍に固定されています)の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図15.25に示すように受信データを基本クロックのそれぞれ16、32、186、128番目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表すことができます。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=32、64、372、256)

D : クロックのデューティ (D=0~1.0)

L : フレーム長 (L=10)

F : クロック周波数の偏差の絶対値

上の式で、F=0、D=0.5、N=372 とすると、受信マージンは次のようになります。

$$\begin{aligned} M &= (0.5 - 1/2 \times 372) \times 100\% \\ &= 49.866\% \end{aligned}$$

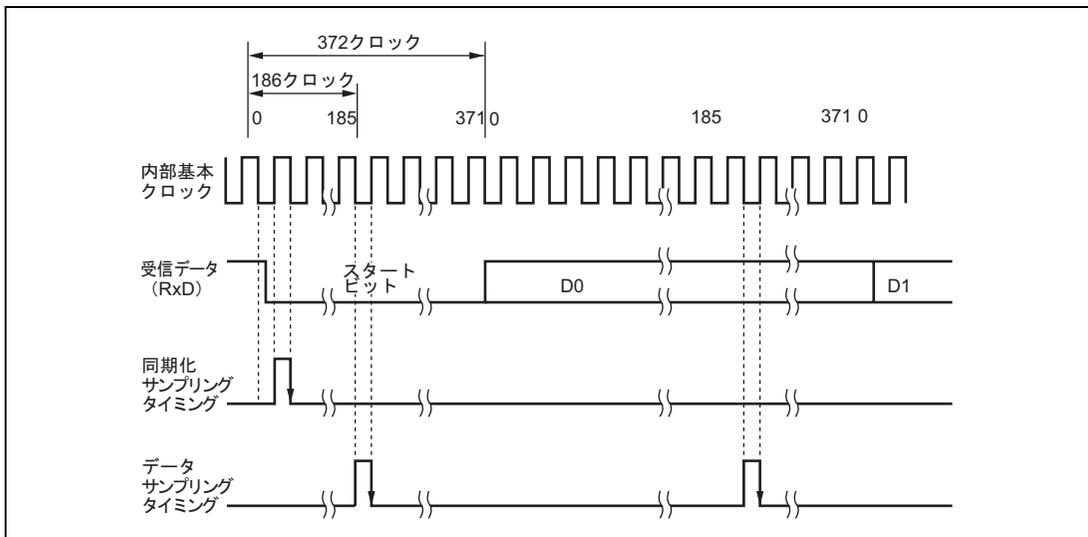


図 15.25 スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)

15.7.5 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRのTE、REビットを0にクリアします。
2. SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
3. SMRのGM、BLK、O \bar{E} 、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。
4. SCMRのSMIF、SDIR、SINVビットを設定してください。
SMIFビットを1にセットすると、TxD端子およびRxD端子は共にポートからSCIの端子に切り替わり、ハイインピーダンス状態となります。
5. ビットレートに対応する値をBRRに設定します。
6. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。
CKE0ビットを1にセットした場合は、SCK端子からクロックを出力します。
7. 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE=0、TE=1に設定してください。受信動作の完了は、RDRFフラグ、あるいはPER、ORERフラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE=0、RE=1に設定してください。送信動作の完了はTENDフラグで確認できます。

15.7.6 データ送信 (ブロック転送モードを除く)

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースとは動作が異なります (ブロック転送モードを除く)。送信時の再転送動作を図 15.26 に示します。

1. 1フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングするとSSRのERSビットが1にセットされます。このとき、SCRのRIEビットがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングまでにERSをクリアしてください。
2. エラーシグナルを受信したフレームでは、SSRのTENDはセットされません。TDRからTSRに再度データが転送され、自動的に再送信を行います。
3. 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。
4. 再転送を含む1フレームの送信が完了したと判断して、SSRのTENDがセットされます。このときSCRのTIEがセットされていれば、TXI割り込み要求を発生します。送信データをTDRに書き込むことにより次のデータが送信されます。

送信処理フローの例を図 15.28 に示します。これら一連の処理は TXI 割り込み要因によって DTC または DMAC を起動することで、自動的に行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、SCR の TIE をセットしておくことで TXI 割り込み要求を発生します。あらかじめ DTC または DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DTC または DMAC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DTC または DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS をクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、必ず先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DTC または DMAC の設定方法は「第 9 章 データトランスファコントローラ (DTC)」、「第 7 章 DMA コントローラ (DMAC)」を参照してください。

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

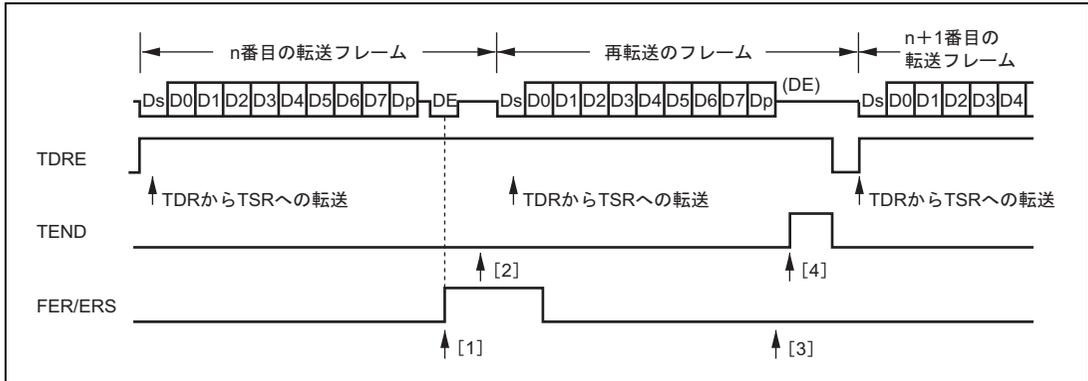


図 15.26 SCI 送信モードの場合の再転送動作

なお、SMR の GM ビットの設定により、TEND フラグのセットタイミングが異なります。図 15.27 に TEND フラグ発生タイミングを示します。

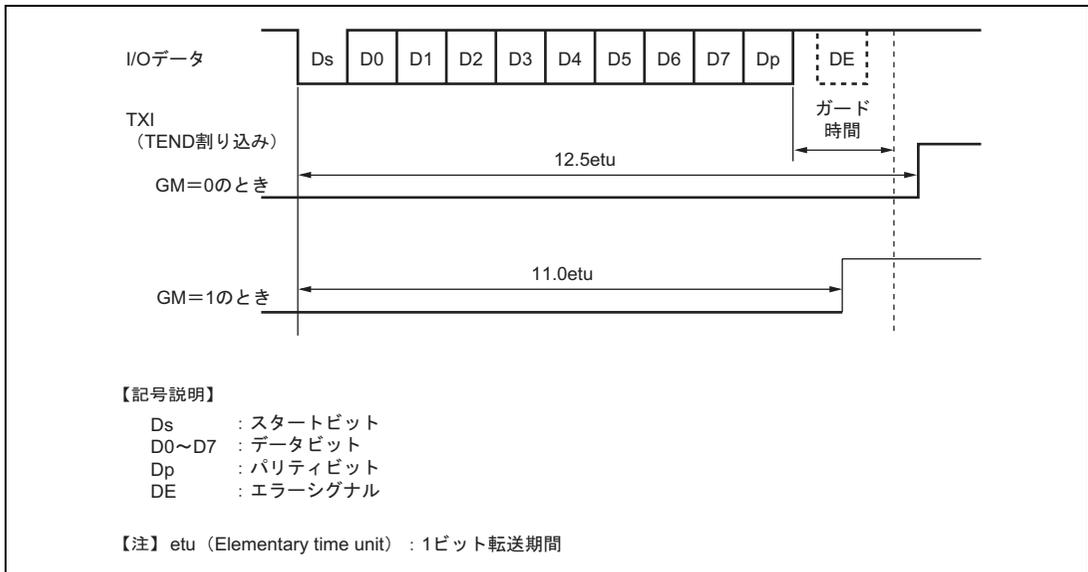


図 15.27 送信動作時の TEND フラグ発生タイミング

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

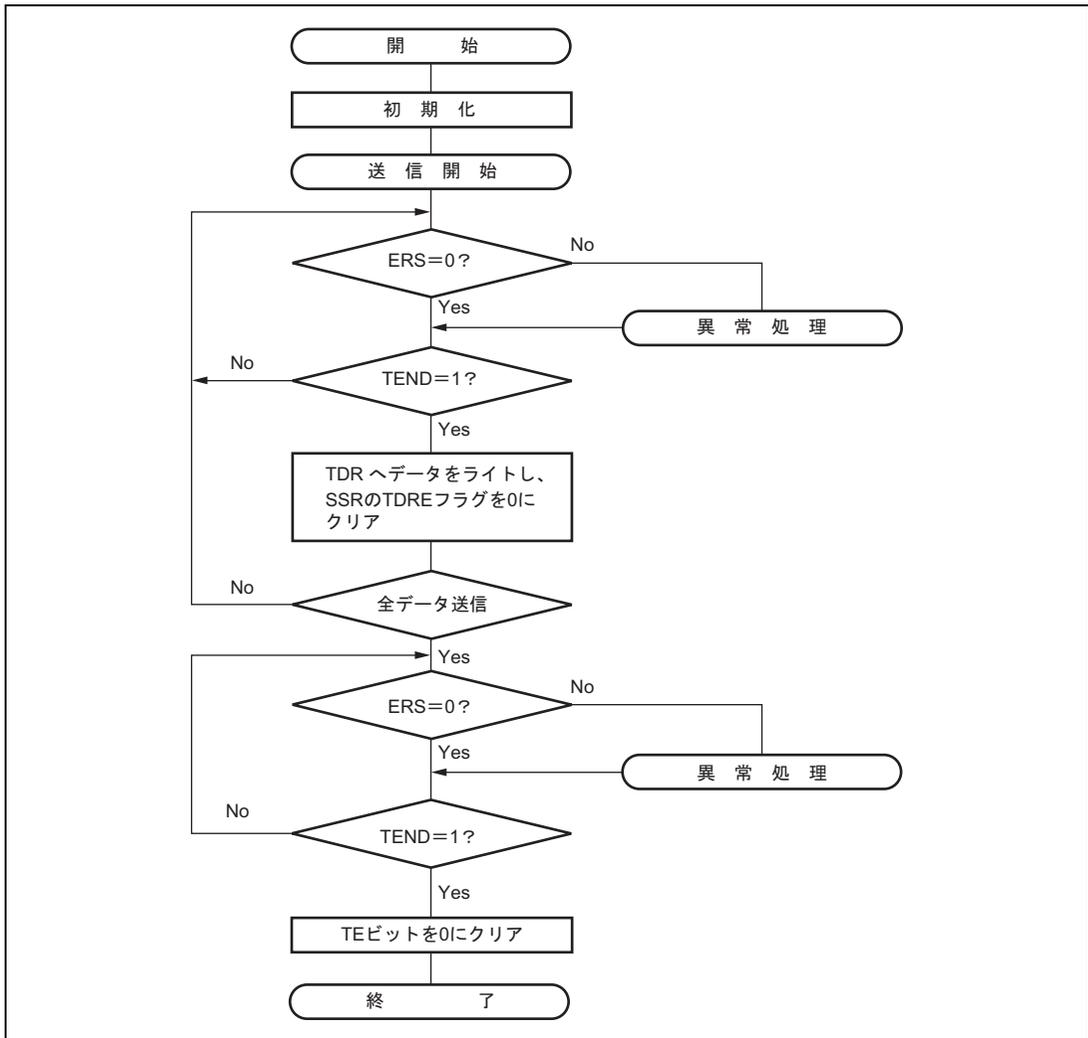


図 15.28 送信処理フローの例

15.7.7 シリアルデータ受信 (ブロック転送モードを除く)

スマートカードインタフェースモードにおけるデータ受信は、通常のシリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 15.29 に示します。

1. 受信データにパリティエラーを検出するとSSRのPERビットが1にセットされます。このとき、SCRのRIEがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでにPERビットをクリアしてください。
2. パリティエラーを検出したフレームではSSRのRDRFビットはセットされません。
3. パリティエラーが検出されない場合は、SSRのPERビットはセットされません。
4. 正常に受信を完了したと判断して、SSRのRDRFが1にセットされます。このときSCRのRIEビットがセットされていると、RXI割り込み要求を発生します。

受信フローの例を図 15.30 に示します。これら一連の処理は RXI 割り込み要因によって DTC または DMAC を起動することで、自動的に行うことができます。受信動作では、RIE ビットを 1 にセットしておくことで RDRF フラグが 1 にセットされると RXI 要求を発生します。あらかじめ DTC または DMAC の起動要因に RXI 要求を設定しておけば、RXI 要求により DTC または DMAC が起動されて受信データの転送を行います。DTC または DMAC によりデータが転送されると RDRF フラグは自動的にクリアされます。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DTC または DMAC は起動されず、受信データはスキップされるため DTC または DMAC に設定したバイト数だけ受信データを転送します。なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

【注】 ブロック転送モードの場合は「15.4 調歩同期式モードの動作」を参照してください。

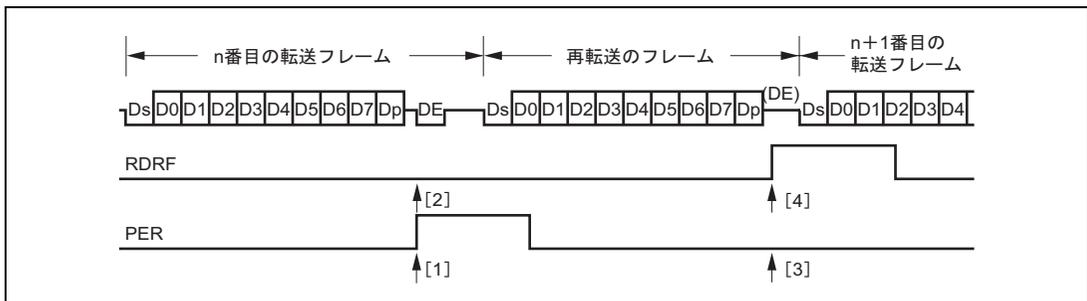


図 15.29 SCI 受信モードの場合の再転送動作

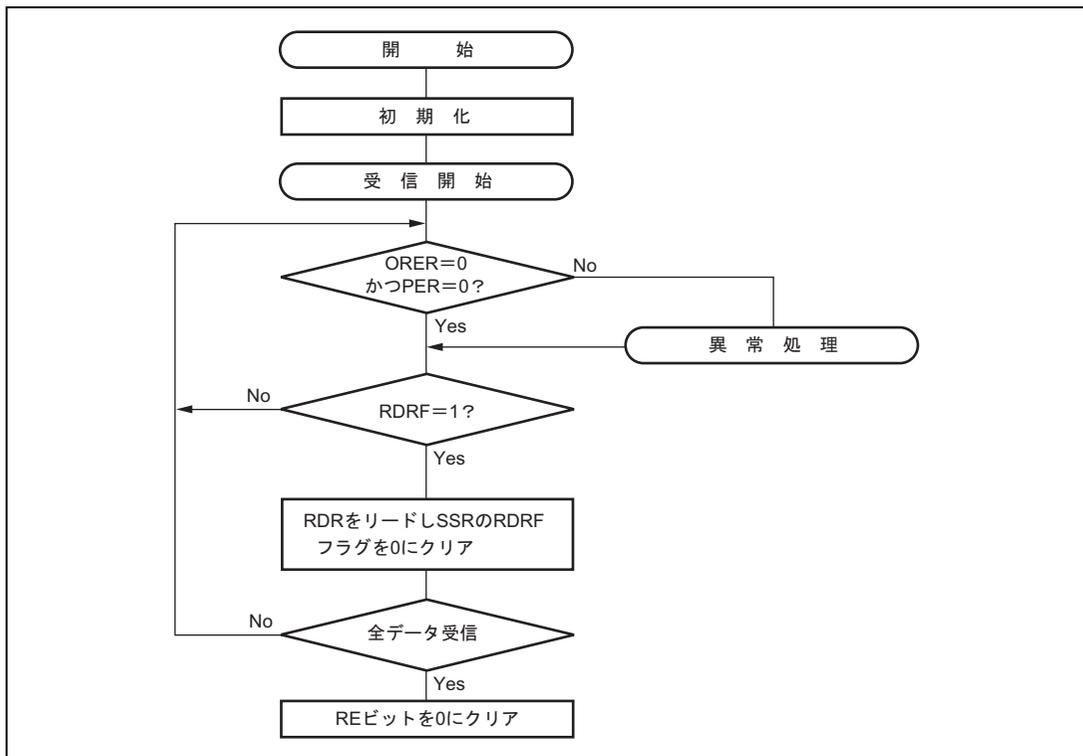


図 15.30 受信フローの例

15.7.8 クロック出力制御

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 15.31 にクロック出力の固定タイミングを示します。GM = 1、CKE1 = 0 とし、CKE0 ビットを制御した場合の例です。

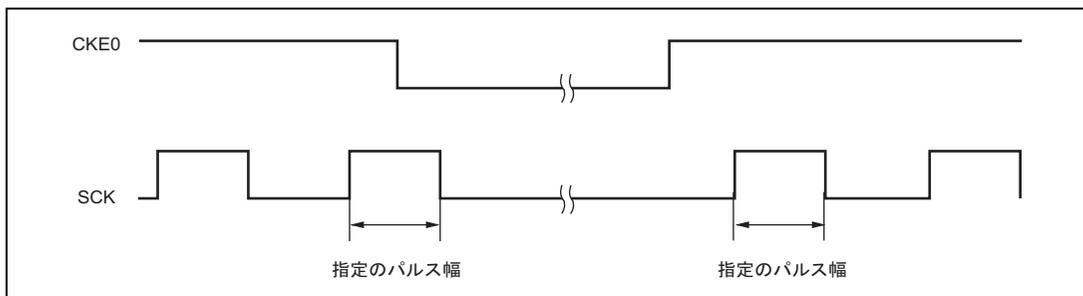


図 15.31 クロック出力固定タイミング

電源投入時およびソフトウェアスタンバイモードへの移行またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

- 電源投入時

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用してください。
2. SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
3. SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。
4. SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。

- スマートカードインタフェースモードからソフトウェアスタンバイモードに移行するとき

1. SCK端子に対応するデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
2. SCRのTEビットとREビットに0をライトし、送信 / 受信動作を停止させてください。同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCRのCKE0ビットに0をライトし、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。
この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
5. ソフトウェアスタンバイ状態に移行させてください。

- ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき

1. ソフトウェアスタンバイ状態を解除してください。
2. SCRのCKE0ビットに1をライトし、クロックを出力させてください。クロックを出力させてください。正常なデューティにて信号発生を開始します。

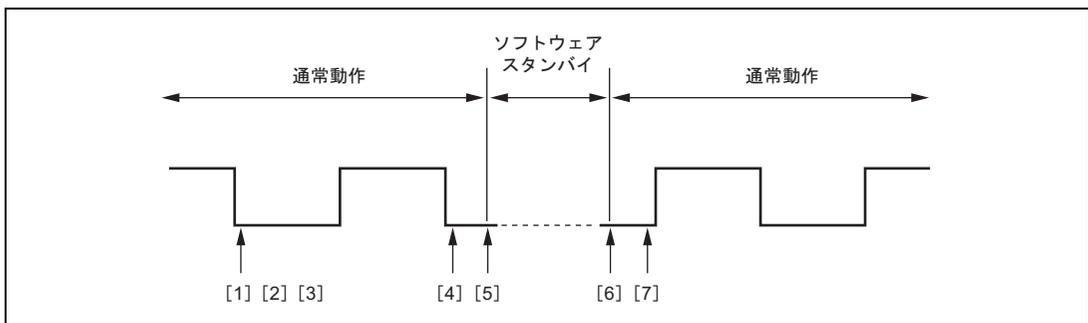


図 15.32 クロック停止・再起動手順

15.8 IrDA 動作

IrCR の IrE ビットで IrDA 機能をイネーブルにすると、SCI₀ の TxD0/RxD0 信号は IrDA 規格バージョン 1.0 に準拠した波形のエンコード/デコードを行います (IrTxD/IrRxD 端子)。これを赤外線送受信トランシーバ/レシーバと接続することで、IrDA 規格バージョン 1.0 システムに準拠した赤外線送受信を実現することができます。

IrDA 規格バージョン 1.0 システムにおいて、9600bps の転送レートで通信を開始し、その後、必要に応じて転送レートを変化させることができます。本 LSI の IrDA インタフェースでは、自動的に転送レートを変更する機能は内蔵していません。転送レートは、ソフトウェアにより設定を変更してください。

図 15.33 に IrDA のブロック図を示します。

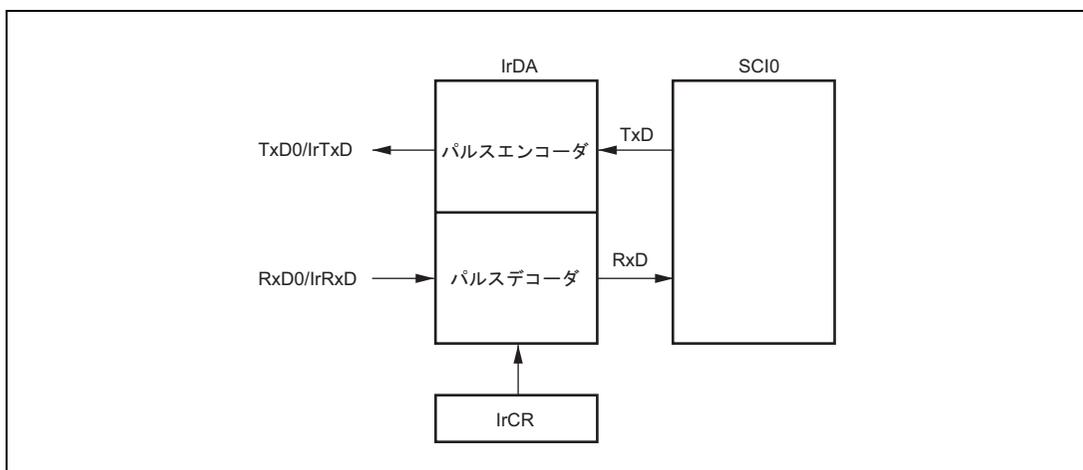


図 15.33 IrDA ブロック図

(1) 送信

送信時には、SCI からの出力信号 (UART フレーム) は IrDA インタフェースにより IR フレームに変換されます (図 15.34 参照)。シリアルデータが 0 のとき、ビットレート (1 ビット幅の期間) の 3/16 の High パルスが出力されます (初期値)。なお、High パルス幅は、IrCR の IrCKS2 ~ IrCKS0 ビットの設定値により変化させることも可能です。規格では、High パルス幅は最小 1.41 μ s、最大 $(3/16 + 2.5\%) \times$ ビットレート、または $(3/16 \times$ ビットレート) + 1.08 μ s と定められています。システムクロック が 20MHz のとき、1.41 μ s 以上で最小の High パルス幅としては 1.6 μ s が設定可能です。また、シリアルデータが 1 のときは、パルスは出力されません。

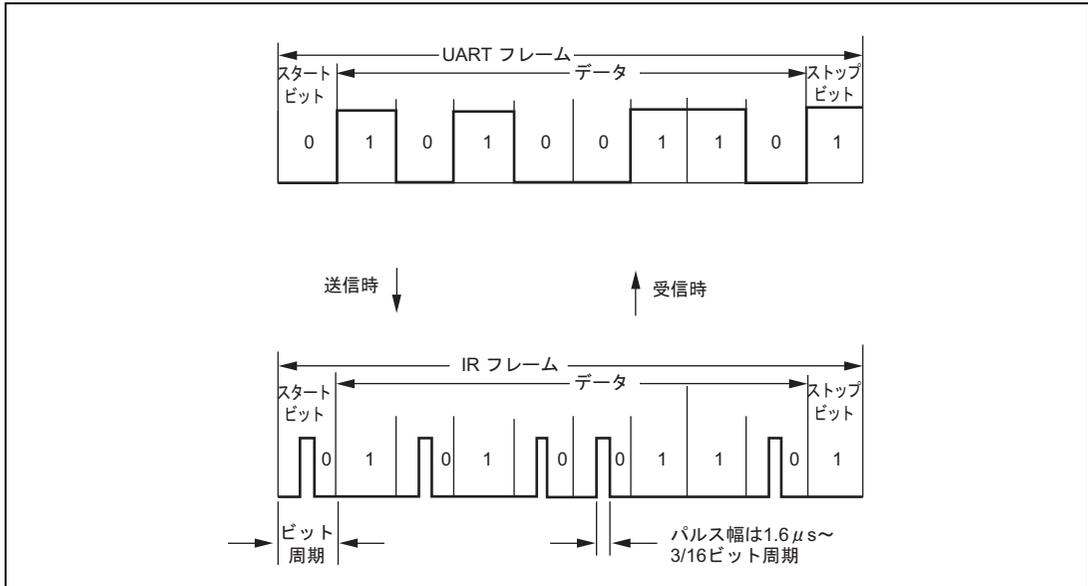


図 15.34 IrDA の送信 / 受信動作

(2) 受信

受信時には、IR フレームのデータは IrDA インタフェースにより UART フレームに変換され、SCI に入力されます。High パルスが検出されたときに 0 データを出力し、1 ビット期間中にパルスがない場合には 1 データを出力します。最小パルス幅の $1.41 \mu\text{s}$ より短いパルスも 0 信号として認識しますのでご注意ください。

(3) High パルス幅の選択

送信時にビットレート $\times 3/16$ よりパルス幅を短くする場合に、適用可能な IrCKS2 ~ IrCKS0 ビットの設定 (最小パルス幅) と本 LSI の動作周波数およびビットレートの選択を表 15.12 に示します。

15. シリアルコミュニケーションインタフェース (SCI, IrDA)

表 15.12 IrCKS2 ~ IrCKS0 ビット設定

動作周波数 (MHz)	ビットレート(bps) (上段) / ビット周期×3/16(μs) (下段)					
	2400	9600	19200	38400	57600	115200
	78.13	19.53	9.77	4.88	3.26	1.63
8	100	100	100	100	100	100
9.8304	100	100	100	100	100	100
10	100	100	100	100	100	100
12	101	101	101	101	101	101
12.288	101	101	101	101	101	101
14	101	101	101	101	101	101
14.7456	101	101	101	101	101	101
16	101	101	101	101	101	101
16.9344	101	101	101	101	101	101
17.2032	101	101	101	101	101	101
18	101	101	101	101	101	101
19.6608	101	101	101	101	101	101
20	101	101	101	101	101	101
25	110	110	110	110	110	
30	110	110	110	110	110	
33	110	110	110	110	110	
34*1	110	110	110	110	110	
35*2	110	110	110	110	110	

【記号説明】

- : SCI側のビットレート設定ができません。

【注】 *1 H8S/2378 0.18 μm F-ZTAT グループ、H8S/2378R 0.18 μm F-ZTAT グループのみサポートしています。

*2 H8S/2378のみサポートしています。

15.9 割り込み要因

15.9.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み

表 15.13 に通常のシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCRのイネーブルビットにより独立にイネーブルにすることができます。

SSRのTDREフラグが1にセットされると、TXI割り込み要求が発生します。また、SSRのTENDフラグが1にセットされると、TEI割り込み要求が発生します。TXI割り込み要求によりDTCまたはDMACを起動してデータ転送を行うことができます。TDREフラグはDTCまたはDMACによるデータ転送時に自動的に0にクリアされます。SSRのRDRFフラグが1にセットされるとRXI割り込み要求が発生します。SSRのORER、PER、

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DTC または DMAC を起動してデータ転送を行うことができます。RDRF フラグは DTC または DMAC によるデータ転送時に自動的に 0 にクリアされます。TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

表 15.13 SCI 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動	優先順位
0	ERI0	受信エラー	ORER、FER、PER	不可	不可	高 ▲
	RX10	受信データフル	RDRF	可	可	
	TX10	送信データエンプティ	TDRE	可	可	
	TE10	送信終了	TEND	不可	不可	
1	ERI1	受信エラー	ORER、FER、PER	不可	不可	▲ ↓ 低
	RX11	受信データフル	RDRF	可	可	
	TX11	送信データエンプティ	TDRE	可	可	
	TE11	送信終了	TEND	不可	不可	
2	ERI2	受信エラー	ORER、FER、PER	不可	不可	
	RX12	受信データフル	RDRF	可	不可	
	TX12	送信データエンプティ	TDRE	可	不可	
	TE12	送信終了	TEND	不可	不可	
3	ERI3	受信エラー	ORER、FER、PER	不可	不可	
	RX13	受信データフル	RDRF	可	不可	
	TX13	送信データエンプティ	TDRE	可	不可	
	TE13	送信終了	TEND	不可	不可	
4	ERI4	受信エラー	ORER、FER、PER	不可	不可	
	RX14	受信データフル	RDRF	可	不可	
	TX14	送信データエンプティ	TDRE	可	不可	
	TE14	送信終了	TEND	不可	不可	

15.9.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 15.14 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

15. シリアルコミュニケーションインタフェース (SCI, IrDA)

表 15.14 割り込み要因

チャンネル	名称	割り込み要因	割り込みフラグ	DTC の起 動	DMAC の起 動	優先順位
0	ERI0	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	不可	
	RXI0	受信データフル	RDRF	可	可	
	TXI0	送信データエンプティ	TEND	可	可	
1	ERI1	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	不可	
	RXI1	受信データフル	RDRF	可	可	
	TXI1	送信データエンプティ	TEND	可	可	
2	ERI2	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	不可	
	RXI2	受信データフル	RDRF	可	不可	
	TXI2	送信データエンプティ	TEND	可	不可	
3	ERI3	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	不可	
	RXI3	受信データフル	RDRF	可	不可	
	TXI3	送信データエンプティ	TEND	可	不可	
4	ERI4	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	不可	
	RXI4	受信データフル	RDRF	可	不可	
	TXI4	送信データエンプティ	TEND	可	不可	

スマートカードモードの場合も通常の SCI の場合と同様に、DTC または DMAC を使って送受信を行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、TXI 割り込みが発生します。あらかじめ DTC または DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DTC または DMAC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DTC または DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 要求を発生させ、ERS をクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、必ず先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DTC または DMAC の設定方法は「第 9 章 データトランスファコントローラ (DTC)」、「第 7 章 DMA コントローラ (DMAC)」を参照してください。

また、受信動作では、SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 要求を設定しておけば、RXI 要求で DTC または DMAC が起動されて受信データの転送を行います。RDRF フラグは、DTC または DMAC によるデータ転送時に、自動的に 0 にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。そのため DTC または DMAC は起動されず、代わりに CPU に対し ERI を発生しますのでエラーフラグをクリアしてください。

15.10 使用上の注意事項

15.10.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SCIの動作禁止/許可を設定することが可能です。初期値では、SCIの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第 24 章 低消費電力状態」を参照してください。

15.10.2 ブレークの検出と処理について

フレーミングエラー検出時に、RxD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RxD 端子からの入力がすべて 0 になりますので、FER がセットされ、また PER もセットされる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしても再び FER が 1 にセットされますので注意してください。

15.10.3 マーク状態とブレークの送付

TE が 0 のとき、TxD 端子は DR と DDR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TxD 端子をマーク状態にしたりデータ送信時にブレークの送付をすることができます。TE を 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、DDR = 1、DR = 1 を設定します。このとき、TE が 0 にクリアされていますので、TxD 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレークを送付したいときは、DDR = 1、DR = 0 に設定した後 TE を 0 にクリアします。TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されません。

15.10.4 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

15.10.5 TDR へのライトと TDRE フラグの関係について

SSR の TDRE フラグは TDR から TSR に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE フラグが 1 にセットされます。

TDR へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータは TSR に転送されていないため失われてしまいます。したがって TDR への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

15.10.6 DMAC または DTC 使用上の制約事項

1. 同期クロックに外部クロックソースを使用する場合、DMACまたはDTCによるTDRの更新後、クロックで5クロック以上経過した後に送信クロックを入力してください。TDRの更新後4クロック以内に送信クロックを入力すると誤動作することがあります（図15.35参照）。
2. DMACまたはDTCによりRDRのリードを行うときは、必ず起動要因を当該SCIの受信完了割り込み（RXI）に設定してください。

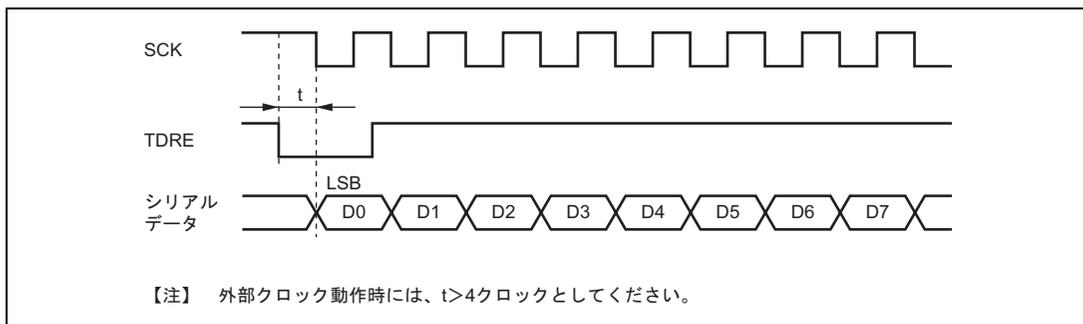


図 15.35 DTC によるクロック同期式送信時の例

15.10.7 モード遷移時の動作について

(1) 送信

モジュールストップモード、ソフトウェアスタンバイモード遷移時には、動作を停止 ($TE = TIE = TEIE = 0$) してから行ってください。TSR、TDR および SSR はリセットされます。モジュールストップモード、ソフトウェアスタンバイモード期間中の出力端子の状態は、ポートの設定に依存し、モード解除後 High 出力となります。送信中に遷移すると、送信中のデータは不確定になります。モード解除後に送信モードを変えないで送信する場合は、 $TE = 1$ に設定、SSR リード TDR ライト TDRE クリアで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。図 15.36 に送信時のモード遷移フローチャートの例を示します。なお、モード遷移時のポートの端子状態を図 15.37、図 15.38 に示します。

また、DTC 転送による送信からモジュールストップモード、ソフトウェアスタンバイモード遷移時には、動作を停止 ($TE = TIE = TEIE = 0$) してから行ってください。解除後 DTC による送信をする場合は $TE = 1$ 、 $TIE = 1$ に設定すると TXI フラグが立ち、DTC による送信が始まります。

(2) 受信

モジュールストップモード、ソフトウェアスタンバイモード遷移時には、受信動作を停止 (RE=0) してから行ってください。RSR、RDR および SSR はリセットされます。受信中に遷移すると、受信データは無効になります。

モード解除後、受信モードを変えないで受信する場合は、RE=1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 15.39 に受信時のモード遷移フローチャートの例を示します。

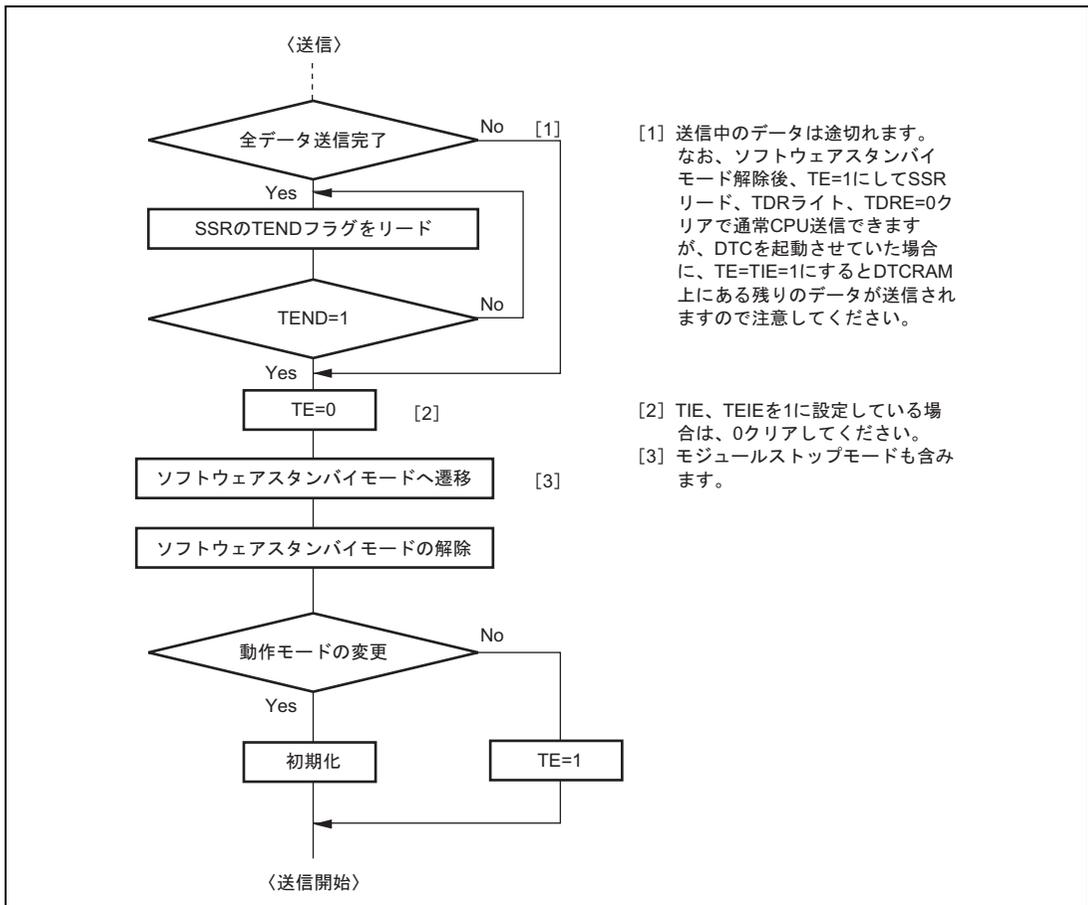


図 15.36 送信時のモード遷移フローチャートの例

15. シリアルコミュニケーションインタフェース (SCI、IrDA)

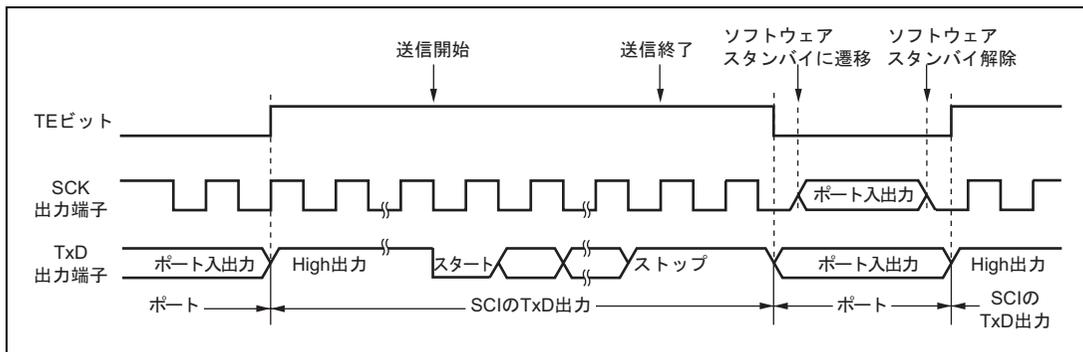


図 15.37 モード遷移時のポート端子状態 (内部クロック、調歩同期送信)

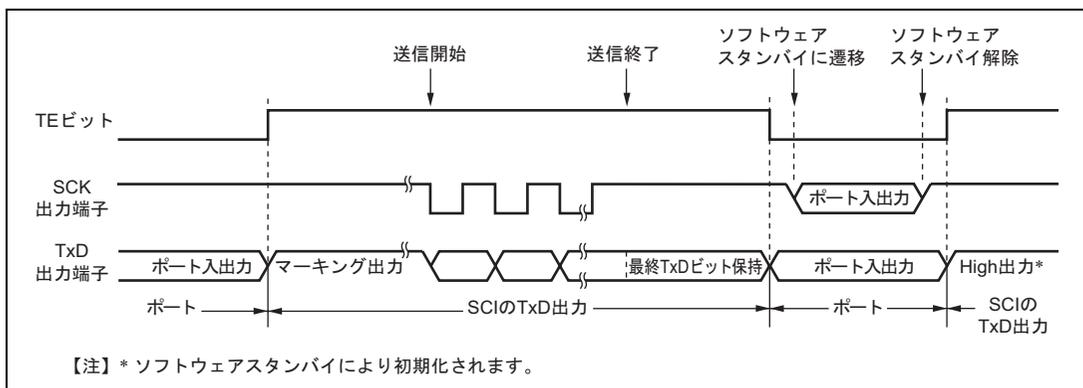


図 15.38 モード遷移時のポート端子状態 (内部クロック、クロック同期送信)

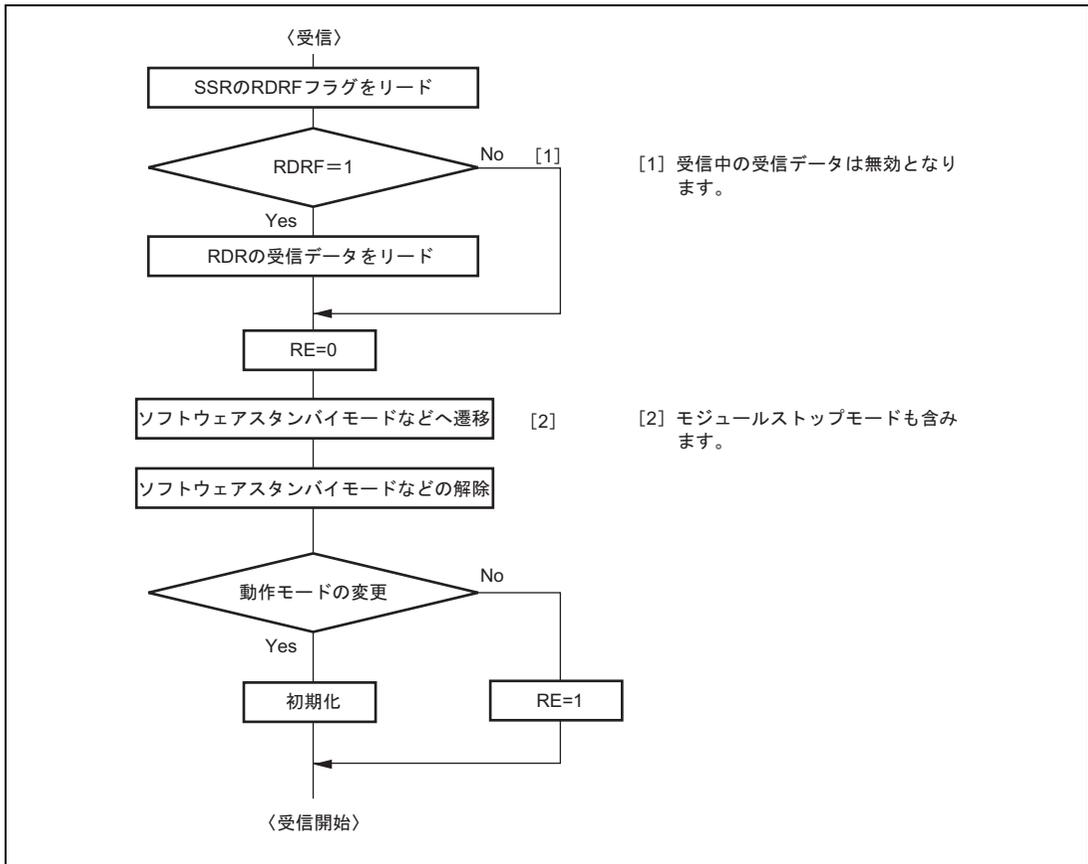


図 15.39 受信時のモード遷移フローチャートの例

16. I²C バスインタフェース 2 (IIC2) [オプション]

I²C バスインタフェース 2 はオプションです。オプション機能を使用する場合には次の点にご注意ください。

1. マスクROM版では、オプション機能を使用する製品型名にはW/Tが付加されます。

例：HD6432375WFQ等

本 LSI は、2 チャネルの I²C バスインタフェースを内蔵しています。

I²C バスインタフェースは、NXP セミコンダクターズ社が提唱する I²C バス (Inter IC Bus) インタフェース方式 (Rev03) のスタンダードモードおよびファーストモードに準拠しており、サブセット機能を備えています。ただし I²C バスを制御するレジスタの構成が一部 NXP セミコンダクターズ社と異なりますので注意してください。

I²C バスインタフェース 2 のブロック図を図 16.1 に、入出力端子の外部回路接続例を図 16.2 に示します。

16.1 特長

- 連続送信 / 受信可能

シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信 / 受信が可能

- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期 / ウェイト機能内蔵

マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL を Low レベルにして待機させます。

- 割り込み要因：6種類

送信データエンプティ (スレーブアドレス一致時を含む)、送信完了、受信データフル (スレーブアドレス一致時を含む)、アービトラージョンロスト、NACK 検出時、停止条件検出時

- バスを直接駆動可能

SCL、SDA の各端子は、NMOS オープンドレイン出力

16. I²C バスインタフェース 2 (IIC2)

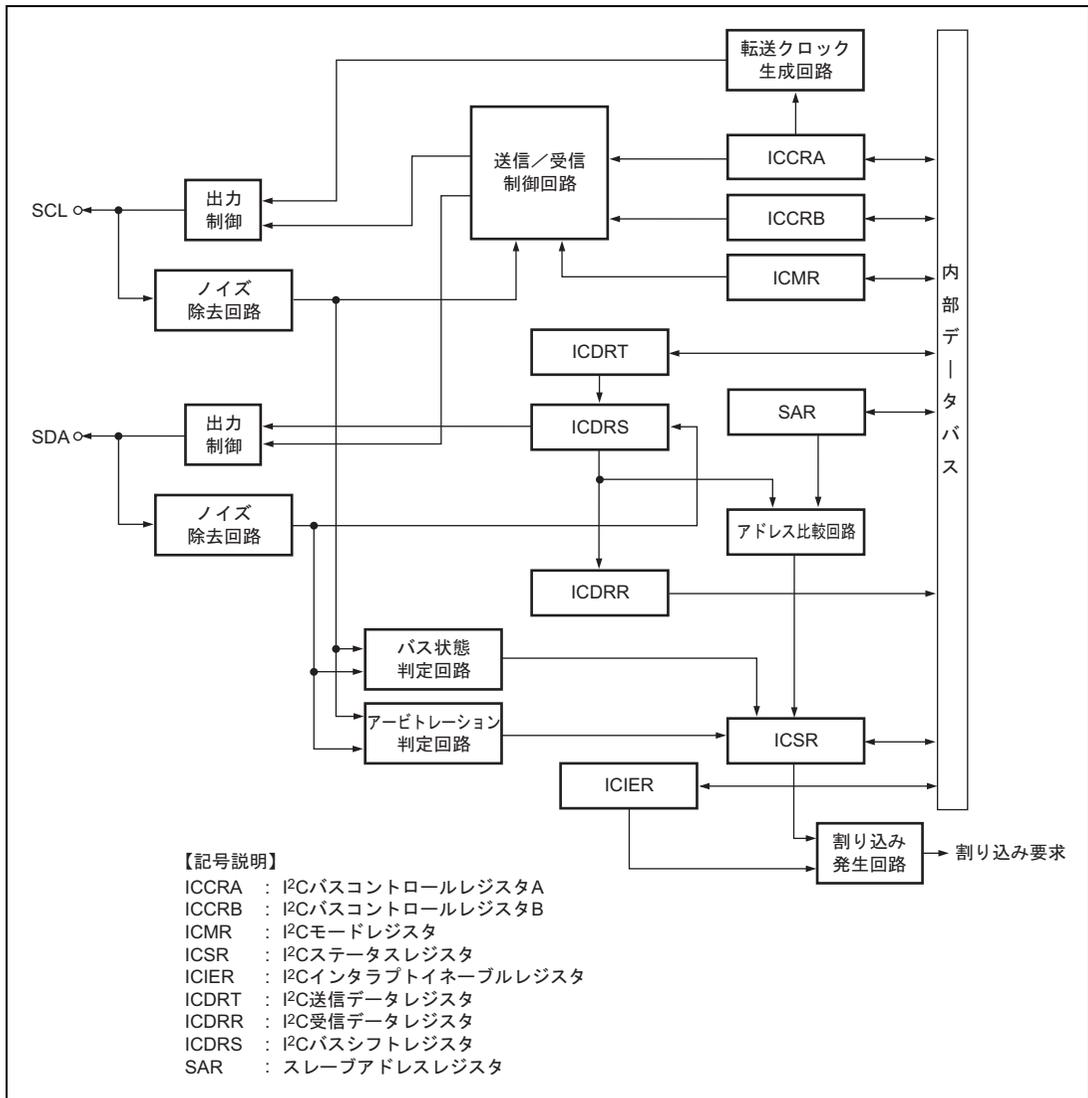


図 16.1 I²C バスインタフェース 2 のブロック図

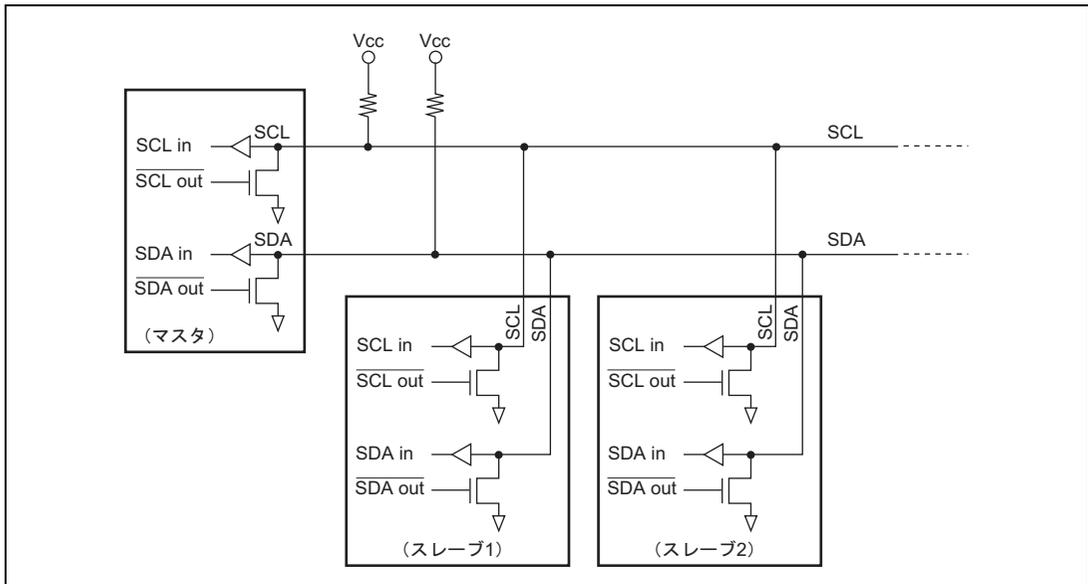


図 16.2 入出力端子の外部回路接続例

16.2 入出力端子

I²C パスインタフェース 2 で使用する端子構成を表 16.1 に示します。

表 16.1 端子構成

名称	記号	入出力	機能
シリアルクロック端子	SCL0	入出力	I ² C_0 シリアルクロック入出力端子
シリアルデータ端子	SDA0	入出力	I ² C_0 シリアルデータ入出力端子
シリアルクロック端子	SCL1	入出力	I ² C_1 シリアルクロック入出力端子
シリアルデータ端子	SDA1	入出力	I ² C_1 シリアルデータ入出力端子

【注】本文中では、チャンネルを省略し、それぞれ SCL、SDA と略称します。

16.3 レジスタの説明

I²C には以下のレジスタがあります。

- I²CバスコントロールレジスタA_0 (ICCRA_0)
- I²CバスコントロールレジスタB_0 (ICCRB_0)
- I²Cバスモードレジスタ (ICMR_0)
- I²Cバスインタラプトイネーブルレジスタ_0 (ICIER_0)
- I²Cバスステータスレジスタ_0 (ICSR_0)
- スレーブアドレスレジスタ_0 (SAR_0)
- I²Cバス送信データレジスタ_0 (ICDRT_0)
- I²Cバス受信データレジスタ_0 (ICDRR_0)
- I²Cバスシフトレジスタ_0 (ICDRS_0)
- I²CバスコントロールレジスタA_1 (ICCRA_1)
- I²CバスコントロールレジスタB_1 (ICCRB_1)
- I²Cバスモードレジスタ_1 (ICMR_1)
- I²Cバスインタラプトイネーブルレジスタ_1 (ICIER_1)
- I²Cバスステータスレジスタ_1 (ICSR_1)
- スレーブアドレスレジスタ_1 (SAR_1)
- I²Cバス送信データレジスタ_1 (ICDRT_1)
- I²Cバス受信データレジスタ_1 (ICDRR_1)
- I²Cバスシフトレジスタ_1 (ICDRS_1)

16.3.1 I²C バスコントロールレジスタ A (ICCRA)

ICCRA は、I²C バスインタフェースの動作 / 停止、送信 / 受信制御、マスタモード / スレーブモード、送信 / 受信、マスタモード転送クロック周波数の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I ² C バスインタフェースイネーブル 0 : 本モジュールは機能停止状態 1 : 本モジュールは転送動作可能状態 (SCL / SDA はバス駆動状態)
6	RCVD	0	R/W	受信ディセーブル TRS = 0 の状態で ICDRR をリードしたときに次の動作の継続 / 禁止を設定します。 0 : 次の受信動作を継続 1 : 次の受信動作を禁止
5 4	MST TRS	0 0	R/W R/W	マスタ / スレーブ選択 送信 / 受信選択 マスタモードでバス競合負けをすると、MST、TRS 共にハードウェアによってリセットされてスレーブ受信モードに変わります。なお TRS の変更は転送フレーム間で行ってください。また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされます。 MST と TRS との組み合わせにより、以下の動作モードになります。 00 : スレーブ受信モード 01 : スレーブ送信モード 10 : マスタ受信モード 11 : マスタ送信モード
3	CKS3	0	R/W	転送クロック選択 3 ~ 0
2	CKS2	0	R/W	マスタモードのとき、必要な転送レート (表 16.2 参照) にあわせて設定してください。スレーブモードでは、送信モード時のデータセットアップ時間の確保に使用されます。この時間は CKS3 = 0 のとき 10 T _{cyc} 、CKS3 = 1 のとき 20 T _{cyc} となります。
1	CKS1	0	R/W	
0	CKS0	0	R/W	

16. I²C バスインタフェース 2 (IIC2)

表 16.2 転送レート

ビット3 CKS3	ビット2 CKS2	ビット1 CKS1	ビット0 CKS0	クロック	転送レート						
					= 8MHz	= 10MHz	= 20MHz	= 25MHz	= 33MHz	= 34MHz* ¹	= 35MHz* ²
0* ⁴	0* ⁴	0	0	/28	286kHz	357kHz	714kHz* ³	893kHz* ³	1179kHz* ³	1214kHz* ³	1250kHz* ³
			1	/40	200kHz	250kHz	500kHz* ⁴	625kHz* ³	825kHz* ³	850kHz* ³	875kHz* ³
		1	0	/48	167kHz	208kHz	417kHz* ⁴	521kHz* ³	688kHz* ³	708kHz* ³	729kHz* ³
			1	/64	125kHz	156kHz	313kHz	391kHz	516kHz* ³	531kHz* ³	547kHz* ³
	1	0	0	/168	47.6kHz	59.5kHz	119kHz	149kHz	196kHz	202kHz	208kHz
			1	/100	80.0kHz	100kHz	200kHz	250kHz	330kHz	340kHz	350kHz
		1	0	/112	71.4kHz	89.3kHz	179kHz	223kHz	295kHz	304kHz	313kHz
			1	/128	62.5kHz	78.1kHz	156kHz	195kHz	258kHz	266kHz	273kHz
1	0	0	0	/56	143kHz	179kHz	357kHz	446kHz	589kHz	607kHz	625kHz
			1	/80	100kHz	125kHz	250kHz	313kHz	413kHz	425kHz	438kHz
		1	0	/96	83.3kHz	104kHz	208kHz	260kHz	344kHz	354kHz	365kHz
			1	/128	62.5kHz	78.1kHz	156kHz	195kHz	258kHz	266kHz	273kHz
	1	0	0	/336	23.8kHz	29.8kHz	59.5kHz	74.4kHz	98.2kHz	101kHz	104kHz
			1	/200	40.0kHz	50.0kHz	100kHz	125kHz	165kHz	170kHz	175kHz
		1	0	/224	35.7kHz	44.6kHz	89.3kHz	112kHz	147kHz	152kHz	156kHz
			1	/256	31.3kHz	39.1kHz	78.1kHz	97.7kHz	129kHz	133kHz	137kHz

【注】 *1 H8S/2378 0.18 μm F-ZTAT グループ、H8S/2378R 0.18 μm F-ZTAT グループのみサポートしています。

*2 H8S/2378 のみサポートしています。

*3 I²C バスインタフェース仕様 (スタンダードモード : 最大 100kHz、ファーストモード : 最大 400kHz) の範囲外となります。

*4 CKS3、CKS2 がともに 0 (ビット周期が 7.5tcyc) で動作周波数が 20MHz 以上のときは負荷条件などにより所定の転送レートが得られない場合がありますので、動作周波数が 20MHz を超える場合は、ビット周期の設定を 7.5tcyc 以外で使用するください。

16.3.2 I²C バスコントロールレジスタ B (ICCRB)

ICCRB は、開始 / 停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I²C のコントロール部のリセットを制御します。

ビット	ビット名	初期値	R/W	説明
7	BBSY	0	R/W	バスビジー I ² C バスの占有 / 開放状態を示すフラグ機能とマスタモードの開始 / 停止条件発行機能の 2 つがあります。SCL = High レベルの状態、SDA が High レベルから Low レベルに変化すると、開始条件が発行されたと認識して 1 にセットされます。SCL = High レベルの状態、SDA が Low レベルから High レベルに変化すると、停止条件が発行されたと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトします。なお開始条件 / 停止条件の発行は、MOV 命令を用いてください。
6	SCP	1	R/W	開始 / 停止条件発行禁止ビット SCP ビットはマスタモードで開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送信時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトします。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。
5	SDAO	1	R	SDAO は SDA の出力レベルをモニタします。リード時に SDAO が 1 の場合 SDA 端子出力は High レベル、SDAO が 0 の場合 SDA 端子出力は Low レベルとなります。
4	-	1	R/W	リザーブビット ライトするときは必ず 1 をライトしてください。
3	SCLO	1	R	SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力は High レベル、SCLO が 0 の場合 SCL 端子出力は Low レベルとなります。
2	-	1	-	リザーブビット リードすると常に 1 が読み出されます。
1	IICRST	0	R/W	IIC コントロール部リセット IICRST は I ² C のレジスタを除くコントロール部をリセットします。I ² C の動作中に通信不具合などによりハングアップしたとき、IICRST ビットを 1 にセットするとポートの設定、レジスタの初期化をせずに I ² C のコントロール部をリセットすることができます。
0	-	1	-	リザーブビット リードすると常に 1 が読み出されます。

16. I²C バスインタフェース 2 (IIC2)

16.3.3 I²C バスモードレジスタ (ICMR)

ICMR は、マスタモードウェイトの制御、転送ビット数の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	-	0	R/W	リザーブビット ライトするときは必ず 0 をライトしてください。
6	WAIT	0	R/W	ウェイト挿入ビット WAIT はマスタモード時に、アクノリッジを除いたデータ転送後にウェイト状態にするかどうかを設定します。WAIT に 1 を設定した場合、データの最終ビットのクロックが立ち下がった後、2 転送クロック分 Low 期間を延ばします。WAIT が 0 の場合、ウェイトは挿入されず、データとアクノリッジを連続して転送します。 なおスレーブモードの場合、本ビットの設定値は無効です。
5, 4	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。
3	BCWP	1	R/W	BC ライトプロテクト BC2 ~ BC0 の書き込みを制御します。BC2 ~ BC0 を書き換える場合は、本ビットを 0 にして MOV 命令で行います。 0 : ライト時、BC2 ~ BC0 の値を設定 1 : リード時、常に 1 をリード ライト時、BC2 ~ BC0 設定値は無効
2 1 0	BC2 BC1 BC0	0 0 0	R/W R/W R/W	ビットカウンタ 2 ~ 0 次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、000 以外の値を設定する場合は、SCL がロー状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に 000 に戻ります。 000 : 9 ビット 001 : 2 ビット 010 : 3 ビット 011 : 4 ビット 100 : 5 ビット 101 : 6 ビット 110 : 7 ビット 111 : 8 ビット

16.3.4 I²C バスインタラプトイネーブルレジスタ (ICIER)

ICIER は、各種割り込み要因の許可、アクノリッジの有効 / 無効の選択、送信アクノリッジの設定および受信アクノリッジの確認を行います。

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル ICSR の TDRE がセットされたとき、送信データエンpty割り込み (TXI) を許可 / 禁止します。 0: 送信データエンpty割り込み要求 (TXI) の禁止 1: 送信データエンpty割り込み要求 (TXI) の許可
6	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立ち上がったとき、送信終了割り込み (TEI) の許可 / 禁止を選択します。なお TEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。 0: 送信終了割り込み要求 (TEI) の禁止 1: 送信終了割り込み要求 (TEI) の許可
5	RIE	0	R/W	レシーブインタラプトイネーブル RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可 / 禁止を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。 0: 受信データフル割り込み要求 (RXI) の禁止 1: 受信データフル割り込み要求 (RXI) の許可
4	NAKIE	0	R/W	NACK 受信インタラプトイネーブル NAKIE は、ICSR の NACKF および AL がセットされたとき、NACK 受信割り込み要求 (NAKI) の許可 / 禁止を選択します。なお NAKI は、NACKF または AL を 0 にクリアするか、または NAKIE を 0 にクリアすることで解除できます。 0: NACK 受信割り込み要求 (NAKI) の禁止 1: NACK 受信割り込み要求 (NAKI) の許可
3	STIE	0	R/W	停止条件検出インタラプトイネーブル 0: 停止条件検出割り込み要求 (STPI) の禁止 1: 停止条件検出割り込み要求 (STPI) の許可
2	ACKE	0	R/W	アクノリッジビット判定選択 0: 受信アクノリッジの内容を無視して連続的に転送を行う。 1: 受信アクノリッジが 1 の場合、転送を中断する。

16. I²C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説明
1	ACKBR	0	R	受信アクノリッジ 送信モード時、受信デバイスから受け取ったアクノリッジビットの内容を格納しておくビットです。ライトは無効です。 0: 受信アクノリッジ=0 1: 受信アクノリッジ=1
0	ACKBT	0	R/W	送信アクノリッジ 受信モード時、アクノリッジのタイミングで送出するビットを設定します。 0: アクノリッジのタイミングで0を送出 1: アクノリッジのタイミングで1を送出

16.3.5 I²C バスステータスレジスタ (ICSR)

ICSR は、各種割り込み要求フラグおよびステータスの確認を行います。

ビット	ビット名	初期値	R/W	説明
7	TDRE	0	R/W	トランスミットデータエンプティ [セット条件] • ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき • TRS をセットしたとき • スLEEPモードで受信モードから送信モードになったとき [クリア条件] • 1の状態をリードした後、0をライトしたとき • ICDRT ヘデータをライトしたとき
6	TEND	0	R/W	トランスミットエンド [セット条件] • TDRE が1の状態では SCL の9クロック目が立ち上がったとき [クリア条件] • 1の状態をリードした後、0をライトしたとき • ICDRT ヘデータをライトしたとき
5	RDRF	0	R/W	レシーブデータレジスタフル [セット条件] • ICDRS から ICDRR に受信データが転送されたとき [クリア条件] • 1の状態をリードした後、0をライトしたとき • ICDRR をリードしたとき

16. I²C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説明
4	NACKF	0	R/W	<p>ノーアクノリッジ検出フラグ</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • ICIER の ACKE = 1 の状態で、送信時、受信デバイスからアクノリッジがなかったとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき
3	STOP	0	R/W	<p>停止条件検出フラグ</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • マスタモード時、フレームの転送の完了後に停止条件を検出したとき • スレーブモード時、ゼネラルコール後および開始条件検出後の第 1 バイトのスレーブアドレスと SAR に設定したアドレスが一致した後、停止条件を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき
2	AL	0	R/W	<p>アービトレーションロストフラグ</p> <p>AL は、マスタモード時にバス競合負けをしたことを示します。</p> <p>複数のマスタがほぼ同時にバスを占有しようとしたときに I²C バスインタフェースは SDA をモニタし、自分が出したデータと異なった場合、AL フラグを 1 にセットしてバスが他のマスタによって占有されたことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • マスタ送信モードの場合、SCL の立ち上がりで内部 SDA と SDA 端子のレベルが不一致のとき • マスタモードの場合、開始条件検出時、内部 SDA が High レベルのとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき
1	AAS	0	R/W	<p>スレーブアドレス認識フラグ</p> <p>スレーブ受信モードで開始条件直後の第 1 フレームが SAR の SVA6 ~ SVA0 と一致した場合にセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • スレーブ受信モードでスレーブアドレスを検出したとき • スレーブ受信モードでゼネラルコールアドレスを検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき
0	ADZ	0	R/W	<p>ゼネラルコールアドレス認識フラグ</p> <p>スレーブ受信モードのとき有効</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • スレーブ受信モードかつゼネラルコールアドレスを検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき

16. I²C バスインタフェース 2 (IIC2)

16.3.6 スレーブアドレスレジスタ (SAR)

SAR は、スレーブアドレスを設定します。スレーブモードの場合、開始条件後に送られてくる第 1 フレームの上位 7 ビットと SAR の上位 7 ビットが一致したとき、スレーブデバイスとして動作します。

ビット	ビット名	初期値	R/W	説明
7~1	SVA6~0	0	R/W	スレーブアドレス 6~0 I ² C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
0	-	0	R/W	リザーブビット リード/ライト可能ですが、必ず 0 をライトしてください。

16.3.7 I²C バス送信データレジスタ (ICDRT)

ICDRT は、送信データを格納する 8 ビットのリード/ライト可能なレジスタで、I²C バスシフトレジスタ (ICDRS) の空きを検出すると ICDRT に書き込まれた送信データを ICDRS に転送し、データ送信を開始します。ICDRS のデータ送信中に、次に送信するデータを ICDRT にライトしておくこと、連続送信が可能です。ICDRT の初期値は H'FF です。

16.3.8 I²C バス受信データレジスタ (ICDRR)

ICDRR は、受信データを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを ICDRS から ICDRR へ転送し、次のデータを受信可能にします。なお ICDRR は受信専用レジスタですので、CPU からライトできません。ICDRR の初期値は H'FF です。

16.3.9 I²C バスシフトレジスタ (ICDRS)

ICDRS は、データを送信/受信するためのレジスタです。送信時は ICDRT から送信データが ICDRS に転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS から ICDRR へ転送されます。なお本レジスタは CPU から直接リードできません。

16.4 動作説明

16.4.1 I²C バスフォーマット

I²C バスフォーマットを図 16.3 に、I²C バスのタイミングを図 16.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

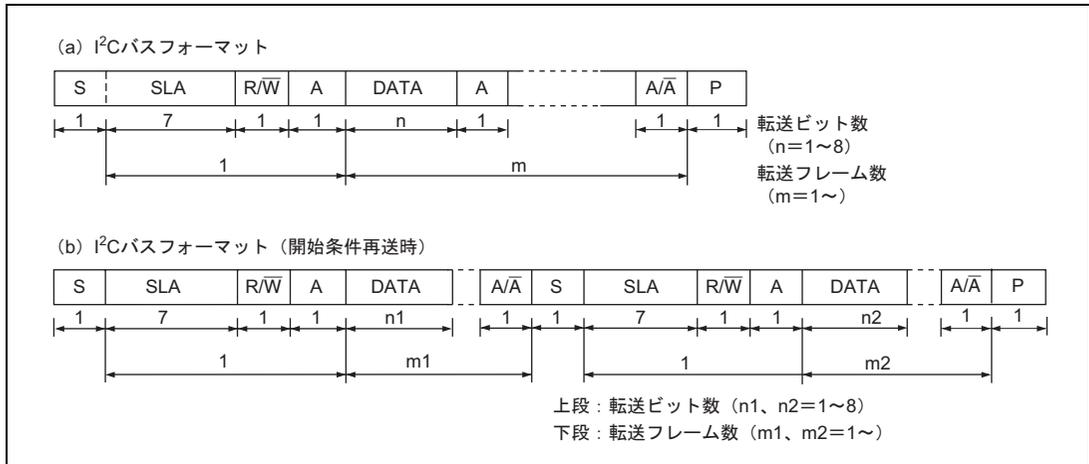


図 16.3 I²C バスフォーマット

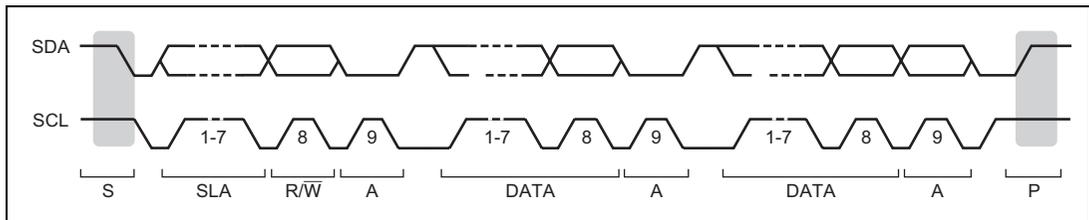


図 16.4 I²C バスタイミング

【記号の説明】

- S : 開始条件。マスタデバイスが SCL = High レベルの状態では SDA を High レベルから Low レベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA を Low レベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL = High レベルの状態では SDA を Low レベルから High レベルに変化させます。

16.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクノリッジを返します。マスタ送信モードの動作タイミングについては図 16.5 と図 16.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. ICCRAのICEビットを1に設定します。またICMRのWAIT、ICCRAのCKS3～CKS0などを設定します（初期設定）。
2. ICCRBのBBSYフラグをリードしてバスが開放状態であることを確認後、ICCRAのMST、TRSをマスタ送信モードに設定します。その後、BBSY = 1とSCP = 0をMOV命令でライトします（開始条件発行）。これにより開始条件を生成します。
3. ICSRのTDREがセットされたことを認識した後、ICDRTに送信データ(1バイト目はスレーブアドレスとR/Wを示すデータ)をライトします。このときTDREは自動的に0にクリアされ、ICDRTからICDRSにデータが転送されて、再びTDREがセットされます。
4. TDREがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRのTENDがセットされます。ICIERのACKBRをリードし、スレーブデバイスが選択されたことを認識した後、2バイト目のデータをICDRTにライトします。ACKBRが1のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY = 0とSCP = 0を、MOV命令でライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLがLowレベルに固定されます。
5. 2バイト目以降の送信データは、TDREがセットされるたびにICDRTにデータをライトします。
6. 送信するバイト数をICDRTにライトしたら、その後はTDREがセットされた状態でTENDがセット（最終バイト送出完了）されるまで待ちます。または、ICIERのACKEをセットした状態で受信デバイスからのNACK（ICSRのNACKF = 1）を待ちます。その後、停止条件を発行してTEND、あるいはNACKFをクリアします。
7. ICSRのSTOPがセットされたらスレーブ受信モードに戻します。

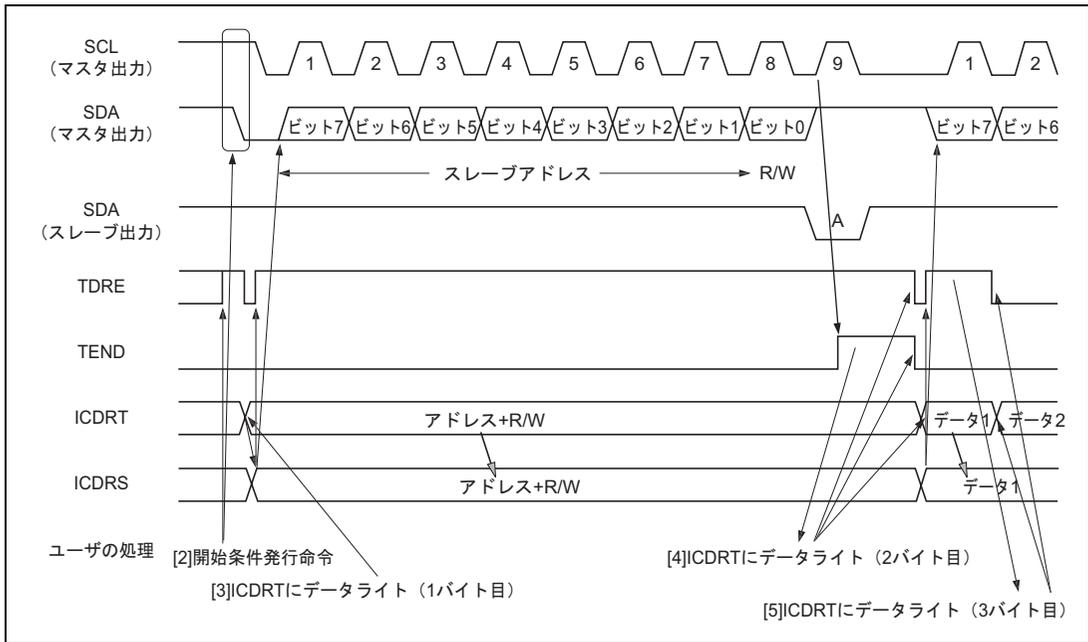


図 16.5 マスタ送信モード動作タイミング 1

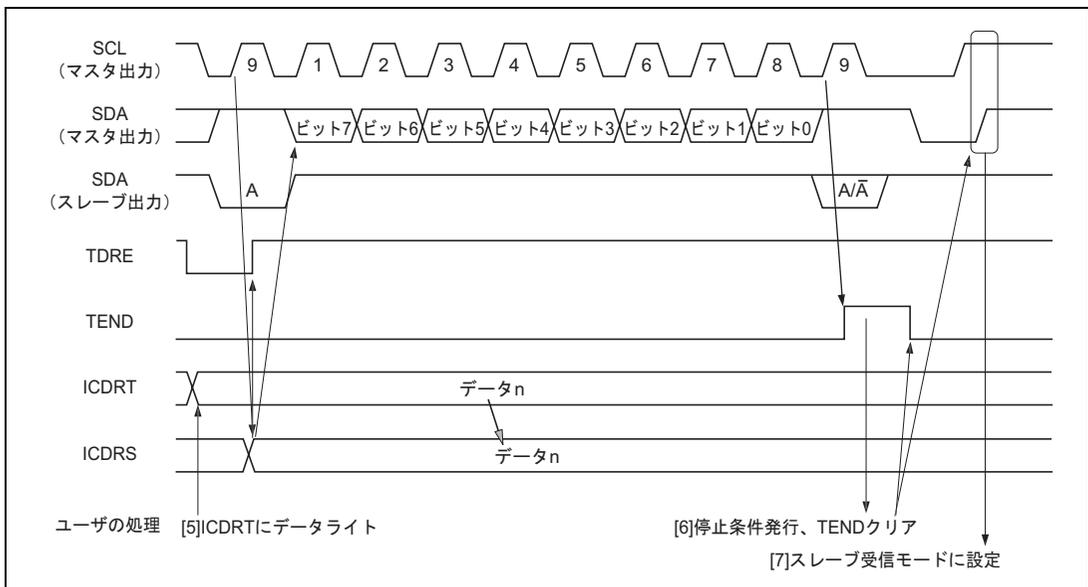


図 16.6 マスタ送信モード動作タイミング 2

16.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアックノリッジを返します。マスタ受信モードの動作タイミングについては図 16.7 と図 16.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCRAのTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えま
す。その後、TDREをクリアします。
2. ICDRRをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受
信します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力
します。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされ
ます。このとき、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRF
はクリアされます。
4. RDRFがセットされるたびにICDRRをリードし、RDRFをクリアすることにより、連続的に受信できます。
なお別処理でRDRFがセットされた状態でICDRRのリードが遅れて8クロック目が立ち下がった場合、
ICDRRをリードするまでSCLがLowレベルに固定されます。
5. 次の受信が最終フレームの場合、ICDRRをリードする前にICCRAのRCVDをセットします。これにより次
の受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたら、停止条件を発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. スレーブ受信モードに戻します。

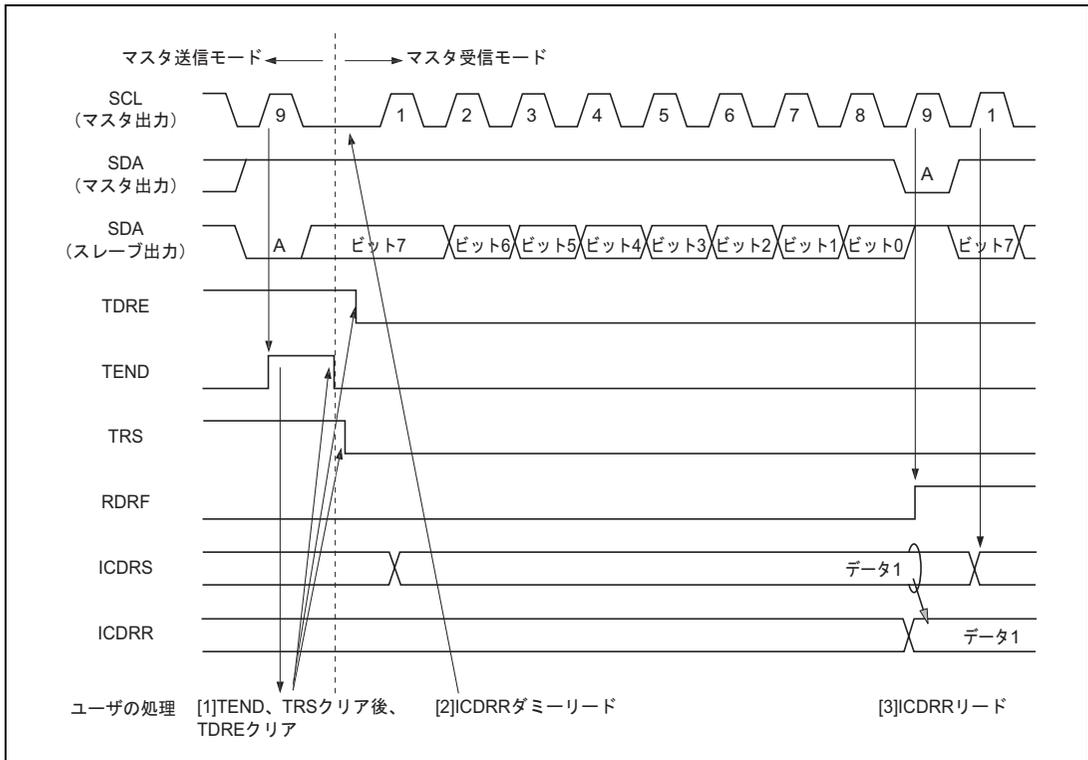


図 16.7 マスタ受信モード動作タイミング 1

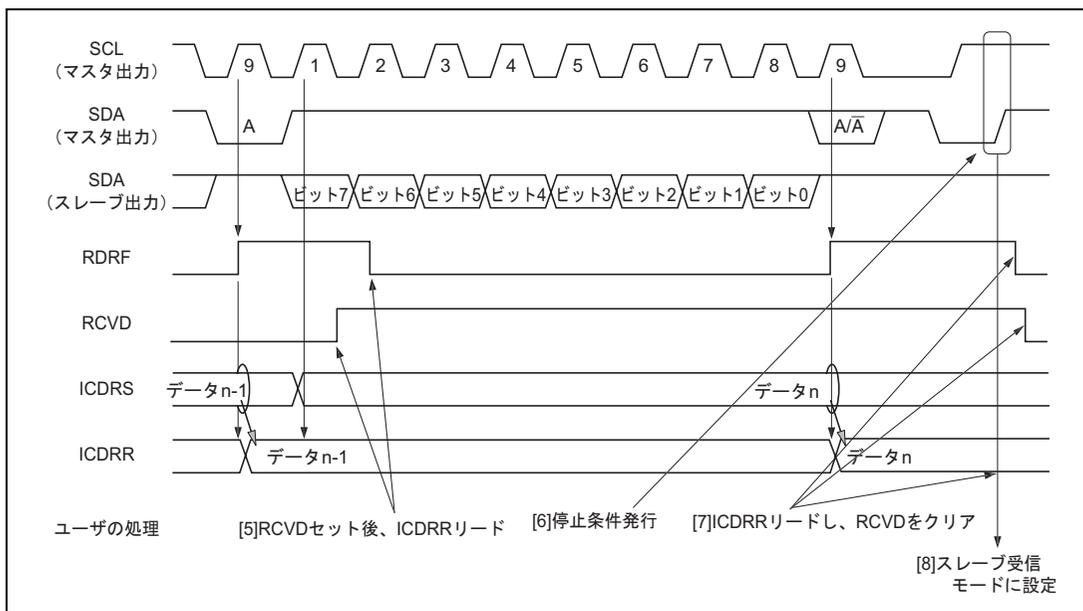


図 16.8 マスタ受信モード動作タイミング 2

16.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。スレーブ送信モードの動作タイミングについては図 16.9 と図 16.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCRAのICEビットを1にセットします。また、ICMRのWAIT、ICCRAのCKS3～CKS0等を設定します（初期設定）。ICCRAのMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ（R/W）が1のとき、ICCRAのTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトした後にTDREがセットされたとき、TDRE = 1の状態では、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

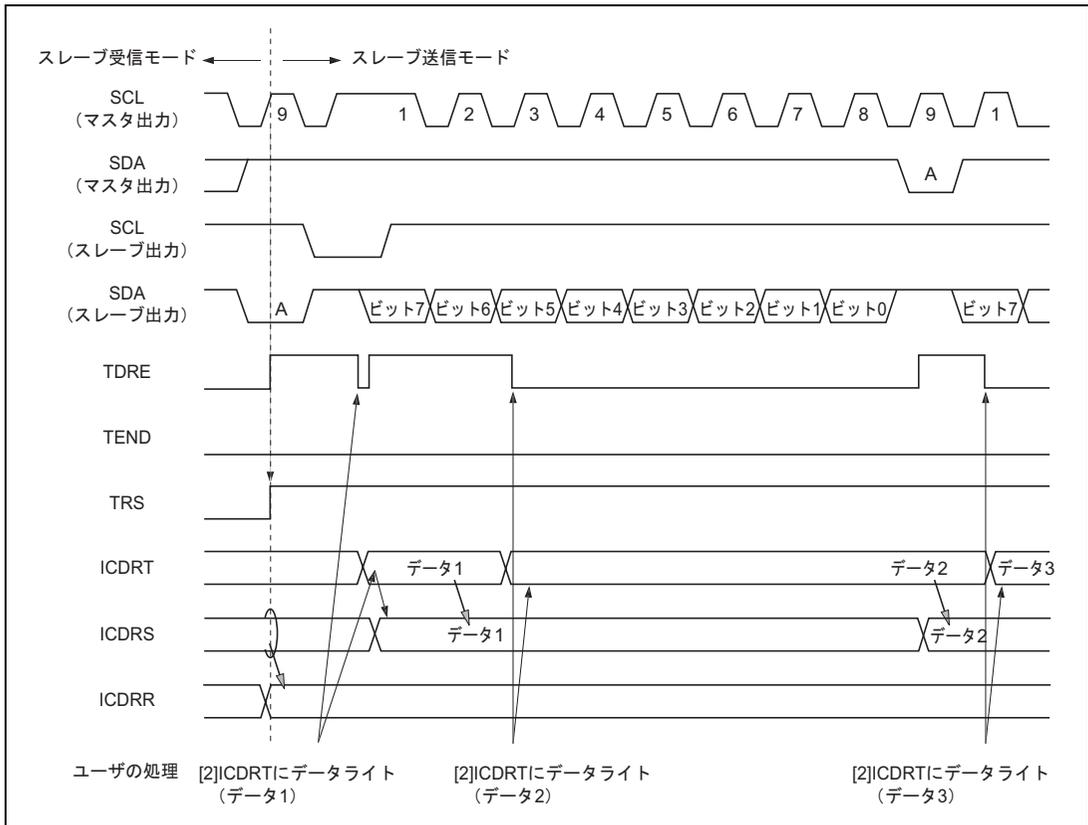


図 16.9 スレーブ送信モード動作タイミング 1

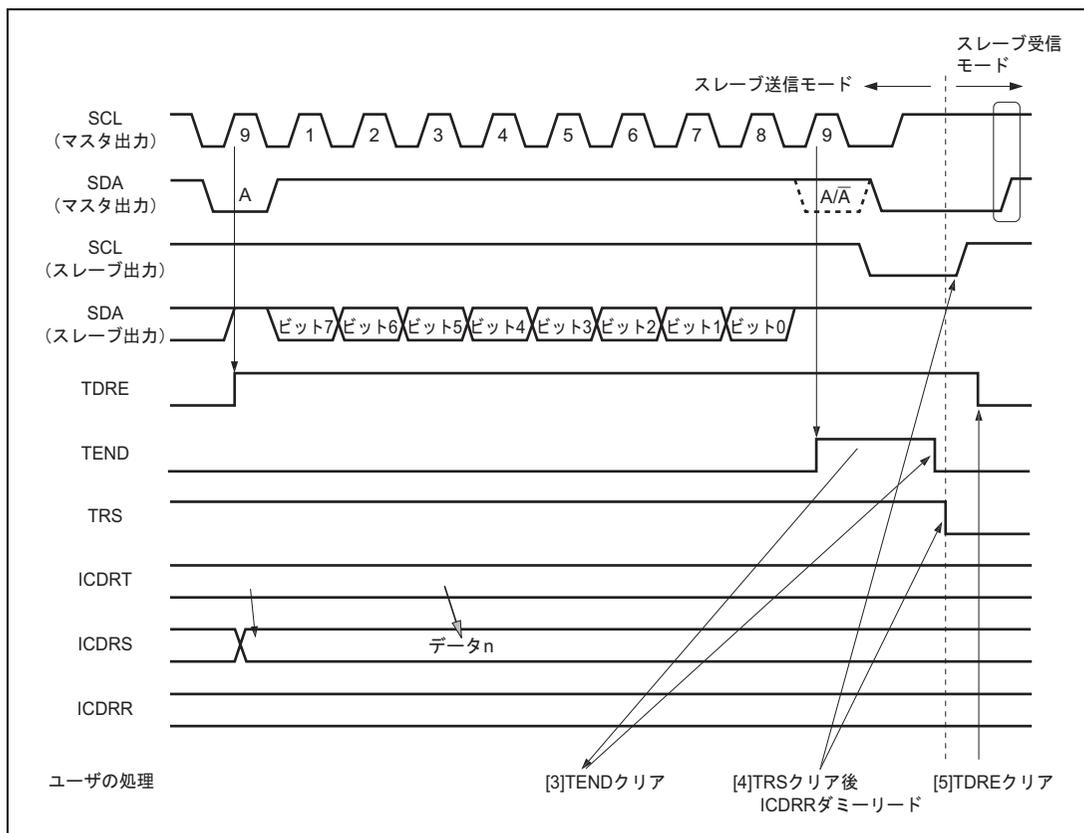


図 16.10 スレーブ送信モード動作タイミング 2

16.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。スレーブ動作モードタイミングについては図 16.11 と図 16.12 を参照してください。以下にスレーブ受信モードの受信手順と動作を示します。

1. ICCRAのICEビットを1にセットします。また、ICMRのWAIT、ICCRAのCKS3～CKS0などを設定します（初期設定）。ICCRAのMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。同時にICSRのRDRFがセットされますので、ICDRRをダミーリード（リードデータはスレーブアドレス + R/Wを示すので不要）します。
3. RDRFがセットされるたびにICDRRをリードします。RDRFがセットされた状態で8クロック目が立ち下るとICDRRをリードするまでSCLをLowレベルに固定します。ICDRRをリードする前に行ったマスタデバイスに返すアクノリッジの設定変更は次の転送フレームに反映されます。
4. 最終バイトのリードも同様にICDRRのリードにより行います。

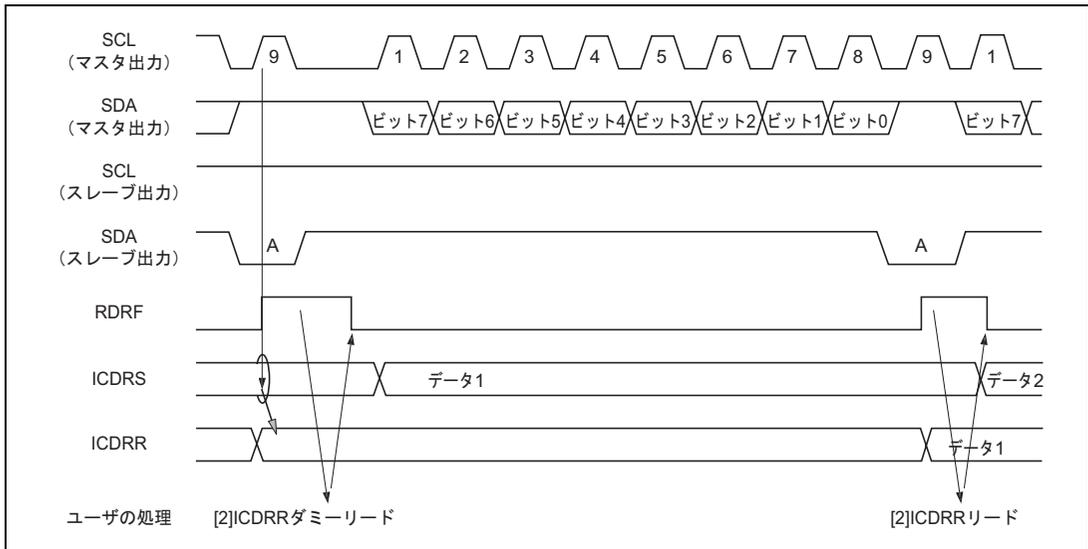


図 16.11 スレーブ受信モード動作タイミング 1

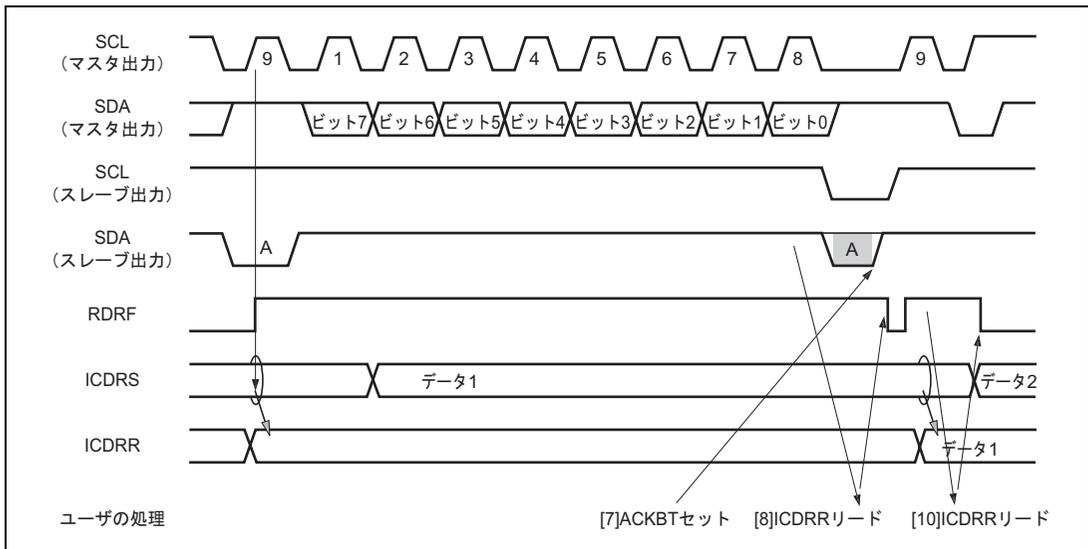


図 16.12 スレーブ受信モード動作タイミング 2

16.4.6 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 16.13 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

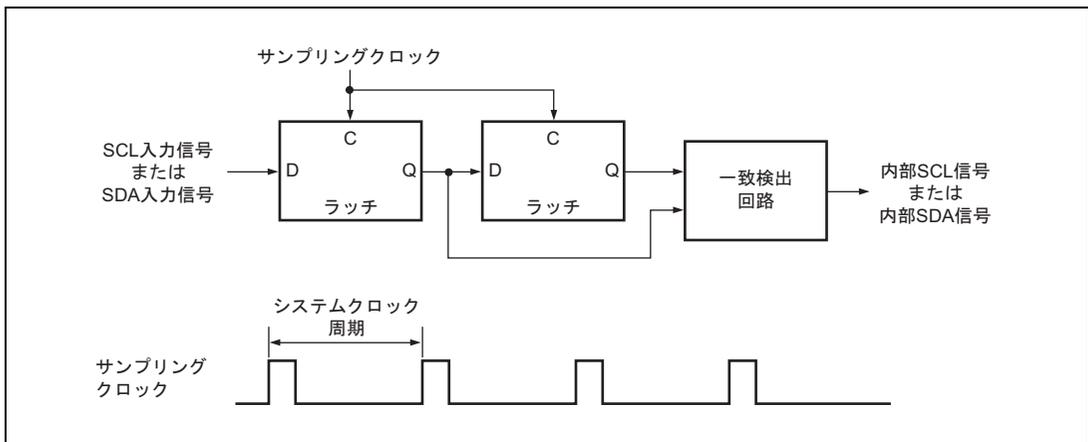


図 16.13 ノイズ除去回路のブロック図

16.4.7 使用例

I²C バスインタフェースを使用する場合の各モードでのフローチャート例を図 16.14 ~ 図 16.17 に示します。

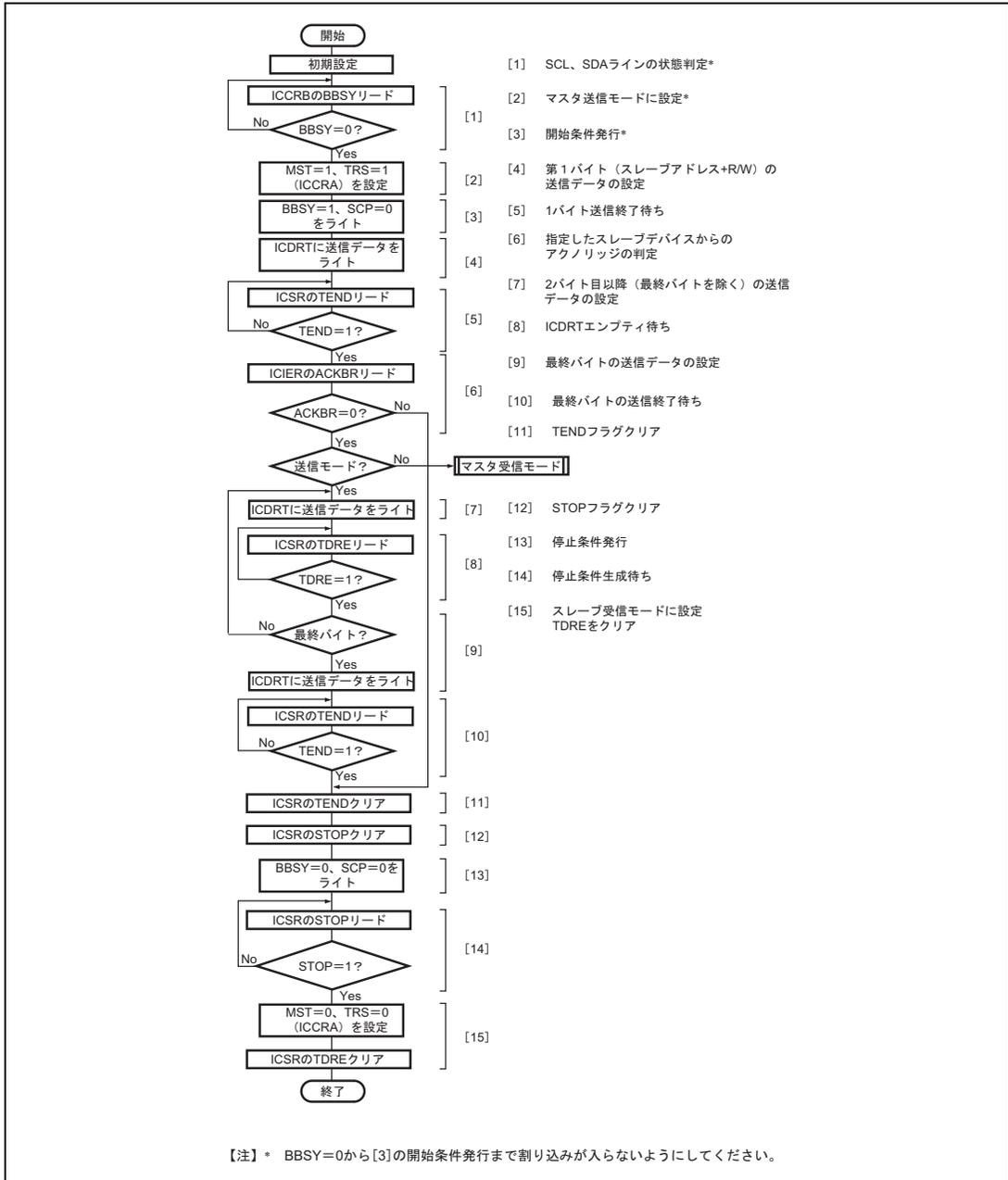


図 16.14 マスタ送信モードのフローチャート例

16. I²C バスインタフェース 2 (IIC2)

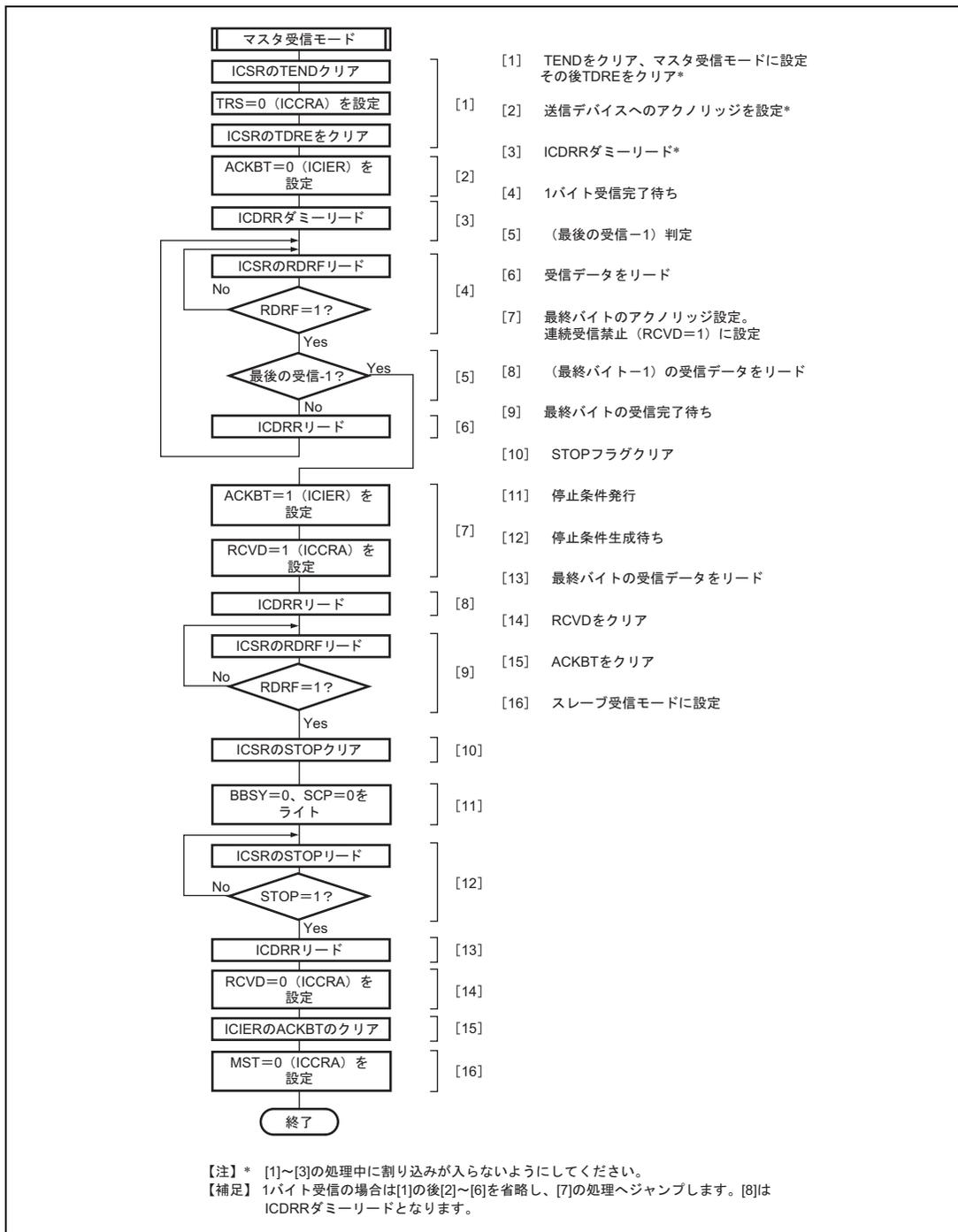


図 16.15 マスタ受信モードのフローチャート例

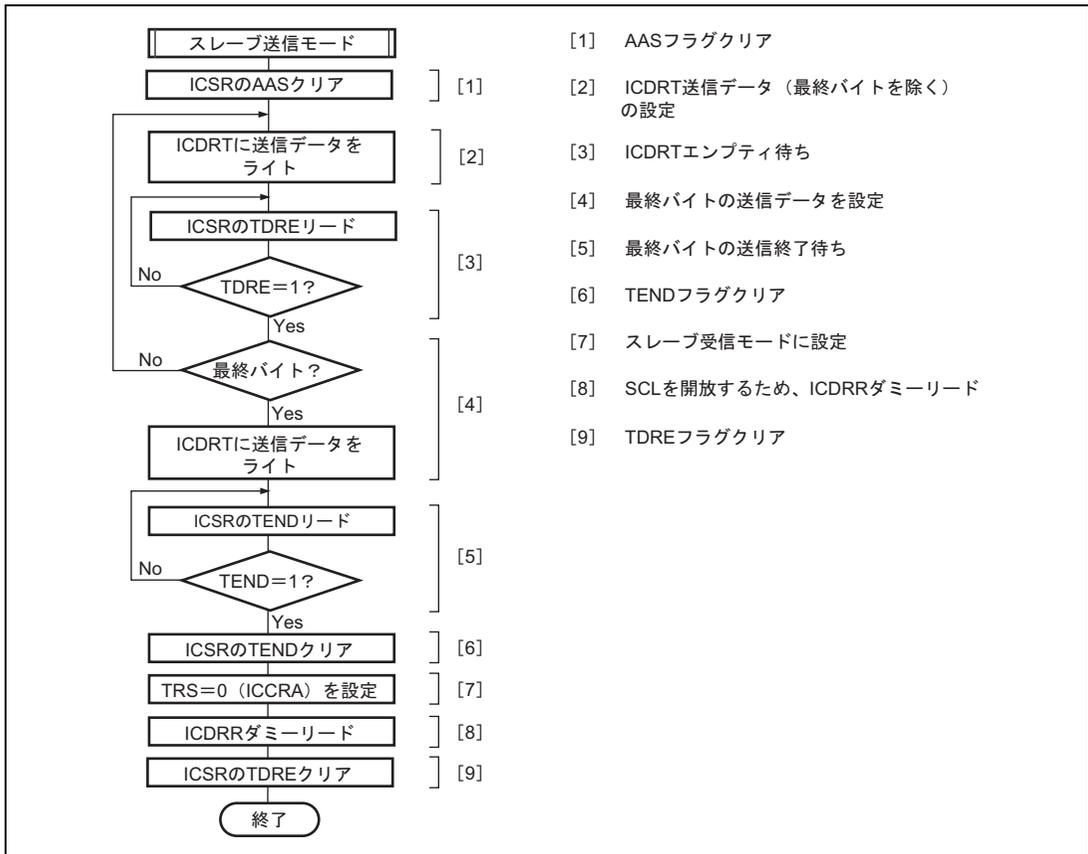


図 16.16 スレーブ送信モードフローチャート例

16. I²C バスインタフェース 2 (IIC2)

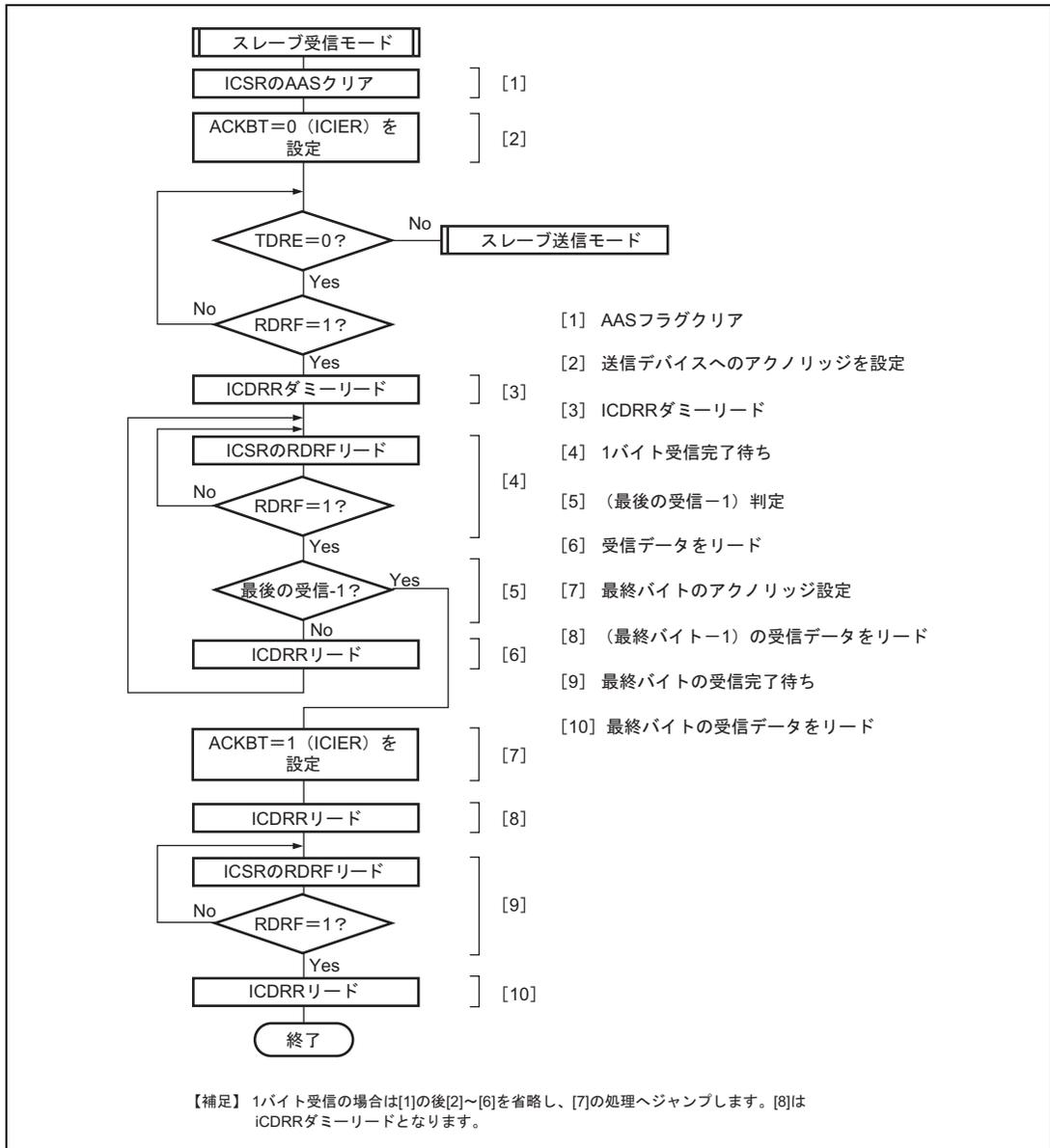


図 16.17 スレーブ受信モードフローチャート例

16.5 割り込み要求

本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、STOP 認識、アービトレーションロストの 6 種類があります。表 16.3 に各割り込み要求の内容を示します。

表 16.3 割り込み要求一覧

割り込み要求	略称	割り込み条件
送信データエンプティ	TXI	$(TDRE = 1) \cdot (TIE = 1)$
送信終了	TEI	$(TEND = 1) \cdot (TEIE = 1)$
受信データフル	RXI	$(RDRF = 1) \cdot (RIE = 1)$
STOP 認識	STPI	$(STOP = 1) \cdot (STIE = 1)$
NACK 検出	NAKI	$\{(NACKF = 1) + (AL = 1)\} \cdot (NAKIE = 1)$
アービトレーションロスト		

表 16.3 の割り込み条件が 1 がかつ CPU が割り込み受け付け許可状態のとき、割り込み例外処理を実行します。例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし TDRE、TEND は ICDRT に送信データをライトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると、余分に 1 バイト送信する場合があります。

16.6 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスにより SCL が Low レベルに引っ張られた場合
- SCL ラインの負荷（負荷容量、プルアップ抵抗）により SCL の立ち上がりがなまなかった場合

の 2 つの状態 High レベル期間が短くなる可能性があるため、SCL をモニタしてビットごとに同期をとりながら通信を行います。ビット同期回路のタイミングを図 16.18 に、SCL を Low 出力 Hi-Z にしてから SCL をモニタするまでの時間を表 16.4 に示します。

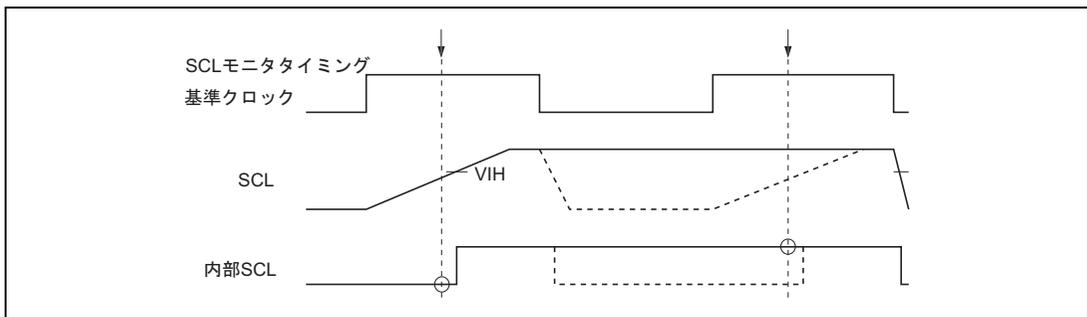


図 16.18 ビット同期回路のタイミング

16. I²C バスインタフェース 2 (IIC2)

表 16.4 SCL をモニタする時間

CKS3	CKS2	SCL をモニタする時間
0	0	7.5 tcy
	1	19.5 tcy
1	0	17.5 tcy
	1	41.5 tcy

16.7 使用上の注意事項

1. 停止条件の発行および開始条件(再送)の発行は9クロック目の立ち下がり認識してから行ってください。9クロック目の立ち下がりにはI²CコントロールレジスタB (ICCRB) のSCLOをチェックすることにより認識することができます。

下記 (i) または (ii) の条件下で、かつ特定のタイミングで停止条件の発行および開始条件(再送)の発行を行ったとき、停止条件および開始条件(再送)が正常に出力されない場合があります。この条件以外での使用は問題ありません。

(i) SCLバスの負荷(負荷容量、プルアップ抵抗)によりSCLの立ち上がりが「16.6 ビット同期回路」に規定されている時間以上なまっている場合

(ii) スレーブデバイスが8クロック目と9クロック目のLowレベル期間を引っ張ってビット同期回路が働いた場合

2. I²Cバスモードレジスタ(ICMR)のWAITは0の状態で使用してください。

WAITを1にセットして使用したとき、かつスレーブデバイスが8クロック目と9クロック目のLowレベル期間を2転送クロック分以上SCLをLowレベルに引っ張ったときに、9クロック目のHighレベル期間が短くなる場合があります。この条件以外での使用は問題ありません。

3. マスタ受信モードの注意事項について

マスタ受信モードで使用した場合、RDRF=1の状態では8クロック目の立ち下がりがくるとSCLをLowレベルに引っ張りますが、8クロック目の立ち下がり付近でICDRRをリードすると、次の受信データの8クロック目を1クロック分Lowレベルに固定するだけでその後ICDRRをリードしなくてもSCLの固定を解除し9クロック目を出力します。結果として受信データの取りこぼしとなります。

この現象を回避するためには下記の方法があります。

- ・マスタ受信モードでICDRRをリードする処理は8クロック目の立ち上がりまでに行ってください。
- ・マスタ受信モードではRCVD=1にし1バイトごとの通信で処理を行ってください。

4. マルチマスタで使用時の転送レート設定値の制限について

マルチマスタで使用し、本LSIのIIC転送レートの設定が他のマスタよりも遅いとき、まれにSCLに予期しない幅のSCLが出力される場合があります。この現象を回避するためには、他のマスタの一番速い転送レートより1/1.8以上の転送レートを設定してください。たとえば、他の一番速いマスタが400kbpsの場合、本LSI

のIICの転送レートは223kbps (=400/1.8) 以上の設定値にする必要があります。

5. マルチマスタで使用時のMST、TRS設定時のビット操作命令使用制限について

マルチマスタで使用時、MST、TRSを順次ビット操作しマスタ送信に設定した場合、TRSのビット操作命令実行中のアービトレーションロストが発生するタイミングによっては、ICSRのAL=1かつマスタ送信モード (MST=1、TRS=1) のように矛盾した状態になっている場合があります。

この現象を回避するためには下記の方法があります。

- ・マルチマスタで使用時、MST、TRSの設定はMOV命令で行ってください。
- ・アービトレーションロストした場合、MST=0、TRS=0を確認してください。万が一、MST=0、TRS=0以外の状態の場合、MST=0、TRS=0を設定し直してください。

16. I²C バスインタフェース 2 (IIC2)

17. A/D 変換器

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しており、最大 16 チャンネルのアナログ入力を選択することができます。A/D 変換器のブロック図を図 17.1 に示します。

17.1 特長

- 分解能：10ビット
- 入力チャンネル：16チャンネル
- 変換時間：1チャンネル当たり7.4 μ s (35MHz動作時)
- 動作モード：2種類
 - シングルモード：1チャンネルのA/D変換
 - スキャンモード：1～4チャンネルの連続A/D変換または1～8チャンネルの連続A/D変換
- データレジスタ：8本
 - A/D変換結果は各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
 - ソフトウェア
 - 16ビットタイマパルスユニット (TPU) または8ビットタイマ (TMR) による変換開始トリガ
 - 外部トリガ信号
- 割り込み要因
 - A/D変換終了割り込み要求 (ADI) を発生
- モジュールストップモードの設定可能

17. A/D 変換器

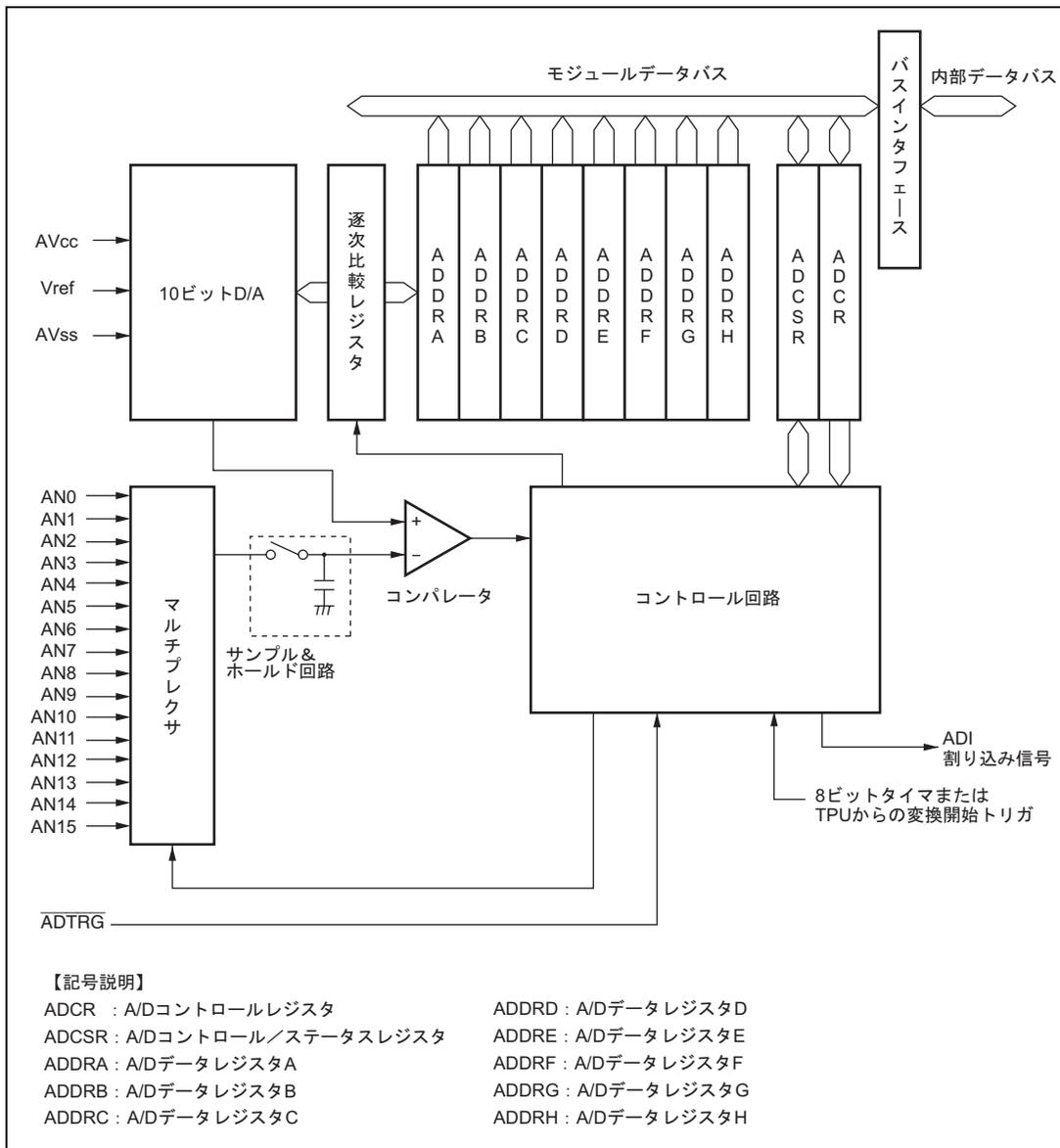


図 17.1 A/D 変換器のブロック図

17.2 入出力端子

A/D 変換器で使用する入力端子を表 17.1 に示します。

AVcc、AVss 端子は、A/D 変換器内部のアナログ部の電源です。Vref 端子は、A/D 変換基準電圧端子です。

16 本のアナログ入力端子は 2 チャンネルセットに分類されておりアナログ入力端子 0~7 (AN0~AN7) がチャンネルセット 0、アナログ入力端子 8~15 (AN8~AN15) がチャンネルセット 1 になっています。

表 17.1 端子構成

端子名	記号	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子
リファレンス電圧端子	Vref	入力	A/D 変換器の基準電圧端子
アナログ入力端子 0	AN0	入力	チャンネルセット 0 のアナログ入力
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
アナログ入力端子 8	AN8	入力	チャンネルセット 1 のアナログ入力
アナログ入力端子 9	AN9	入力	
アナログ入力端子 10	AN10	入力	
アナログ入力端子 11	AN11	入力	
アナログ入力端子 12	AN12	入力	
アナログ入力端子 13	AN13	入力	
アナログ入力端子 14	AN14	入力	
アナログ入力端子 15	AN15	入力	
A/D 外部トリガ入力端子	$\overline{\text{ADTRG}}$	入力	A/D 変換開始のための外部トリガ入力

17.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

- A/DデータレジスタA (ADDRA)
- A/DデータレジスタB (ADDRB)
- A/DデータレジスタC (ADDRC)
- A/DデータレジスタD (ADDRD)
- A/DデータレジスタE (ADDRE)
- A/DデータレジスタF (ADDRF)
- A/DデータレジスタG (ADDRG)
- A/DデータレジスタH (ADDRH)
- A/Dコントロール/ステータスレジスタ (ADCSR)
- A/Dコントロールレジスタ (ADCR)

17.3.1 A/D データレジスタ A ~ H (ADDRA ~ ADDRH)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタで、ADDRA ~ ADDRH の 8 本があります。各アナログ入力チャンネルの変換結果が格納される ADDR は表 17.2 のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

CPU 間のデータバスは 16 ビット幅です。常に CPU から直接リードできます。

表 17.2 アナログ入力チャンネルと ADDR の対応

アナログ入力チャンネル		変換結果が格納される A/D データレジスタ
チャンネルセット 0 (CH3=0)	チャンネルセット 1 (CH3=1)	
AN0	AN8	ADDRA
AN1	AN9	ADDRB
AN2	AN10	ADDRC
AN3	AN11	ADDRD
AN4	AN12	ADDRE
AN5	AN13	ADDRF
AN6	AN14	ADDRG
AN7	AN15	ADDRH

17.3.2 A/D コントロール / ステータスレジスタ (ADCSR)

ADCSR は A/D 変換動作を制御します。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] シングルモードで A/D 変換が終了したとき • スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき • ADI 割り込みにより DMAC または DTC が起動され、ADDR をリードしたとき
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を中止し、待機状態になります。ソフトウェア、TPU、TMR の変換開始トリガ、または $\overline{\text{ADTRG}}$ 端子によって 1 にセットし A/D 変換を開始します。A/D 変換中は 1 を保持します。シングルモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではリセット、ハードウェアスタンバイモード、ソフトウェアによってクリアされるまで選択されたチャンネルを順次連続変換します。
4		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

17. A/D 変換器

ビット	ビット名	初期値	R/W	説明
3	CH3	0	R/W	チャンネルセレクト 3~0
2	CH2	0	R/W	ADCRS の SCANE ビット、SCANS ビットとともに、アナログ入力を選択します。 入力チャンネルの設定は変換停止中 (ADST=0) に行ってください。 SCANE=0、 SCANE=1、 SCANE=1、 SCANS=x のとき SCANS=0 のとき SCANS=1 のとき
1	CH1	0	R/W	
0	CH0	0	R/W	
				0000 : AN0
				0001 : AN1
				0010 : AN2
				0011 : AN3
				0100 : AN4
				0101 : AN5
				0110 : AN6
				0111 : AN7
				1000 : AN8
				1001 : AN9
				1010 : AN10
				1011 : AN11
				1100 : AN12
				1101 : AN13
				1110 : AN14
				1111 : AN15

【記号説明】 x : Don't care

17.3.3 A/D コントロールレジスタ (ADCR)

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	TRGS1	0	R/W	タイマトリガセレクト 1、0
6	TRGS0	0	R/W	トリガ信号による A/D 変換開始をイネーブルにします。 00 : 外部トリガによる A/D 変換開始を禁止 01 : TPU からの変換トリガによる A/D 変換開始 10 : TMR からの変換トリガによる A/D 変換開始 11 : ADTRG による A/D 変換開始
5	SCANE	0	R/W	スキャンモード
4	SCANS	0	R/W	A/D 変換の動作モードを選択します。 0x : シングルモード 10 : スキャンモード。1~4 チャンネルの連続 A/D 変換 11 : スキャンモード。1~8 チャンネルの連続 A/D 変換
3	CKS1	0	R/W	クロックセレクト
2	CKS0	0	R/W	A/D 変換時間の設定を行います。変換時間の設定は変換停止中 (ADST = 0) に行ってください。 00 : 変換時間 = 530 ステート (max) 01 : 変換時間 = 266 ステート (max) 10 : 変換時間 = 134 ステート (max) 11 : 変換時間 = 68 ステート (max)
1、0		すべて 0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

【記号説明】 x : Don't care

17.4 動作説明

A/D 変換器は逐次比較方式で分解機能は 10 ビットです。動作モードにはシングルモードとスキャンモードがあります。動作モードやアナログ入力チャンネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャンネルの変更と ADST ビットのセットは同時に行うことができます。

17.4.1 シングルモード

シングルモードは、指定された 1 チャンネルのアナログ入力を以下のように 1 回 A/D 変換します。

- ソフトウェアまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャンネルの A/D 変換を開始します。
- A/D 変換が終了すると、A/D 変換結果がそのチャンネルに対応する A/D データレジスタに転送されます。

17. A/D 変換器

3. A/D変換終了後、ADCSRのADFビットが1にセットされます。このとき、ADIEビットが1にセットされていると、ADI割り込み要求を発生します。
4. ADSTビットはA/D変換中は1を保持し、変換が終了すると自動的にクリアされてA/D変換器は待機状態になります。A/D変換中にADSTビットを0にクリアすると変換を中止し、A/D変換器は待機状態になります。

17.4.2 スキャンモード

スキャンモードは指定された最大4チャンネルまたは最大8チャンネルのアナログ入力を以下のように順次連続してA/D変換します。

1. ソフトウェア、TPUまたは外部トリガ入力によってADCSRのADSTビットが1にセットされると、選択されたチャンネルセットの第1チャンネルからA/D変換を開始します。

最大4チャンネルの連続A/D変換(SCANE = 1、SCANS = 0)または最大8チャンネルの連続A/D変換(SCANE = 1、SCANS = 1)を選択できます。4チャンネルの連続A/D変換の場合は、CH3 = 0、CH2 = 0のときAN0、CH3 = 0、CH2 = 1のときAN4、CH3 = 1、CH2 = 0のときAN8、CH3 = 1、CH2 = 1のときAN12からA/D変換を開始します。8チャンネル連続A/D変換の場合は、CH3 = 0、CH2 = 0のときAN0、CH3 = 1、CH2 = 0のときAN8からA/D変換を開始します。

2. それぞれのチャンネルのA/D変換が終了するとA/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャンネルのA/D変換が終了するとADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再びチャンネルセットの第一チャンネルからA/D変換を開始します。
4. ADSTビットは自動的にクリアされず、1にセットされている間は2.~3.を繰り返します。ADSTビットを0にクリアするとA/D変換を中止し、A/D変換器は待機状態になります。その後、ADSTビットを1にセットすると再び第1チャンネルからA/D変換を開始します。

17.4.3 入力サンプリングとA/D変換時間

A/D変換器には、サンプル&ホールド回路が内蔵されています。A/D変換器は、ADCSRのADSTビットが1にセットされてからA/D変換開始遅延時間(t_D)時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D変換のタイミングを図17.2に示します。また、A/D変換時間を表17.3に示します。

A/D変換時間(t_{CONV})は、図17.2に示すように、 t_D と入力サンプリング時間(t_{SPL})を含めた時間となります。ここで t_D は、ADCSRへのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表17.3に示す範囲で変化します。

スキャンモードの変換時間は、表17.3に示す値が1回目の変換時間となります。2回目以降の変換時間は表17.4に示す値となります。

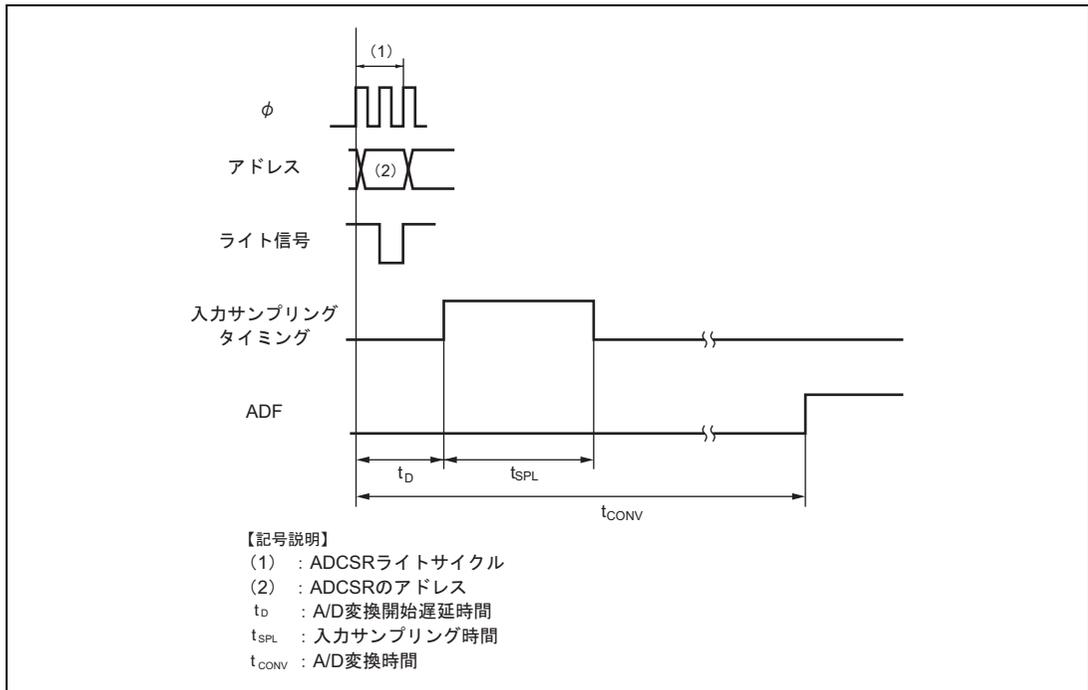


図 17.2 A/D 変換タイミング

表 17.3 A/D 変換時間 (シングルモード)

項目	記号	CKS1 = 0						CKS1 = 1					
		CKS0 = 0			CKS0 = 1			CKS0 = 0			CKS0 = 1		
		min	typ	max									
A/D 変換開始遅延時間	t_D	18	-	33	10	-	17	6	-	9	4	-	5
入力サンプリング時間	t_{SPL}	-	127	-	-	63	-	-	31	-	-	15	-
A/D 変換時間	t_{CONV}	515	-	530	259	-	266	131	-	134	67	-	68

【注】 表中の数値の単位はステートです。

表 17.4 A/D 変換時間 (スキャンモード)

CKS1	CKS0	変換時間 (ステート)
0	0	512 (固定)
	1	256 (固定)
1	0	128 (固定)
	1	64 (固定)

17.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが 11 にセットされているとき、 $\overline{\text{ADTRG}}$ 端子から入力されます。 $\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 17.3 に示します。

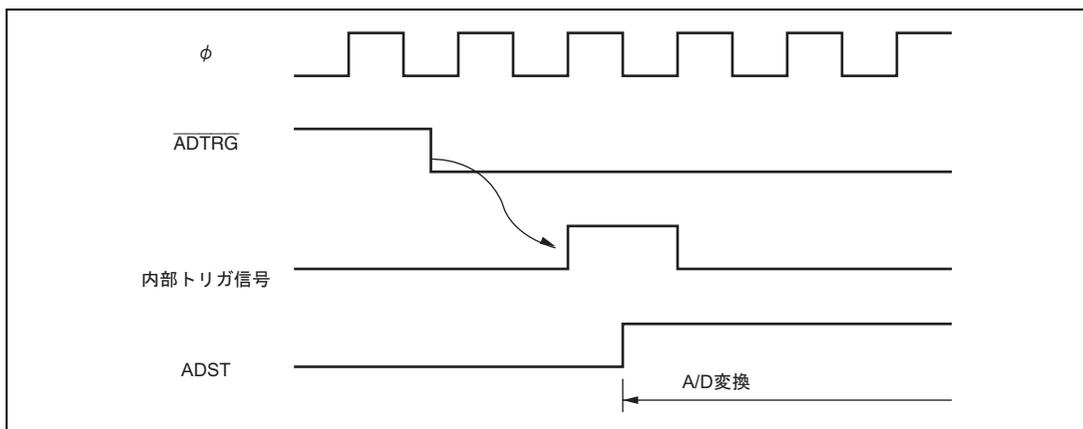


図 17.3 外部トリガ入力タイミング

17.5 割り込み要因

A/D 変換器は、A/D 変換が終了すると、A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。ADI 割り込みでデータトランスファコントローラ (DTC) および DMA コントローラ (DMAC) の起動ができます。ADI 割り込みで変換されたデータのリードを DTC または DMAC で行うと、連続変換がソフトウェアの負担なく実現できます。

表 17.5 A/D 変換器の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動
ADI	A/D 変換終了	ADF	可	可

17.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能
A/D変換器のデジタル出力コード数
- 量子化誤差
A/D変換器が本質的に有する偏差であり、1/2 LSBで与えられる（図17.4）
- オフセット誤差
デジタル出力が最小電圧値B'0000000000（H'000）からB'0000000001（H'001）に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差（図17.5）
- フルスケール誤差
デジタル出力がB'1111111110（H'3FE）からB'1111111111（H'3FF）に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差（図17.5）
- 非直線性誤差
ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない（図17.5）。
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

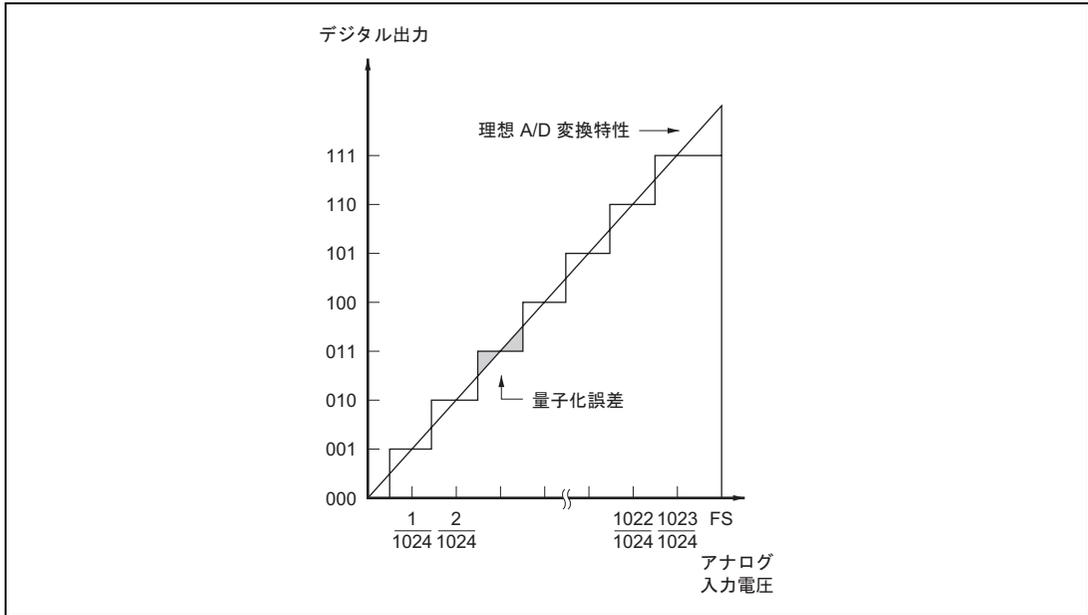


図 17.4 A/D 変換精度の定義

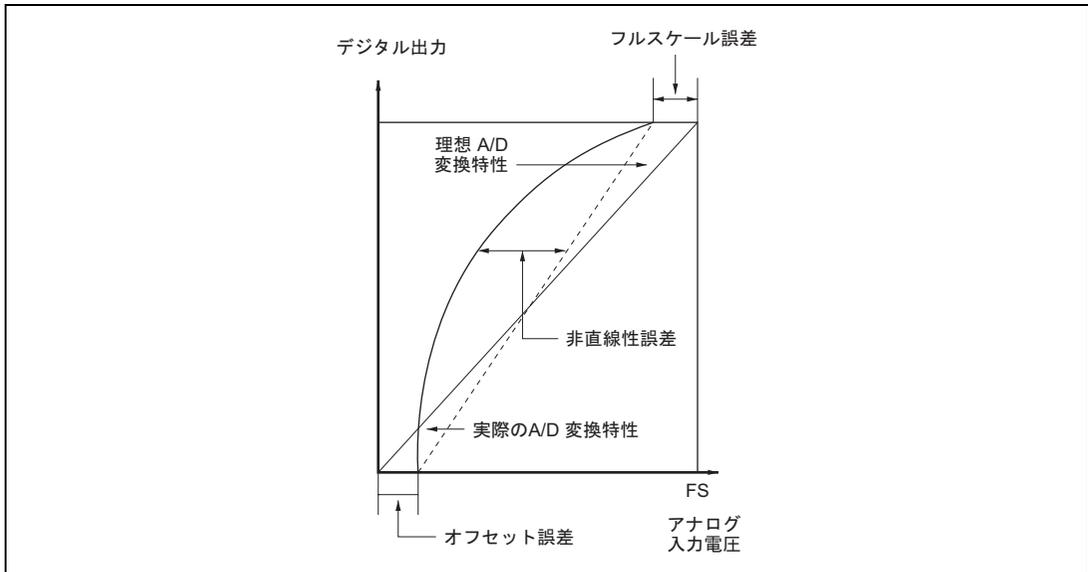


図 17.5 A/D 変換精度の定義

17.7 使用上の注意事項

17.7.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、A/D変換器の動作禁止/許可を設定することが可能です。初期値では、A/D変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、「第24章 低消費電力状態」を参照してください。

17.7.2 許容信号源インピーダンスについて

本LSIのアナログ入力は、信号源インピーダンスが $5k\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。これはA/D変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが $5k\Omega$ を超える場合は、充電不足が生じて、A/D変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の $10k\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば $5mV/\mu s$ 以上）には追従できないことがあります（図17.6）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

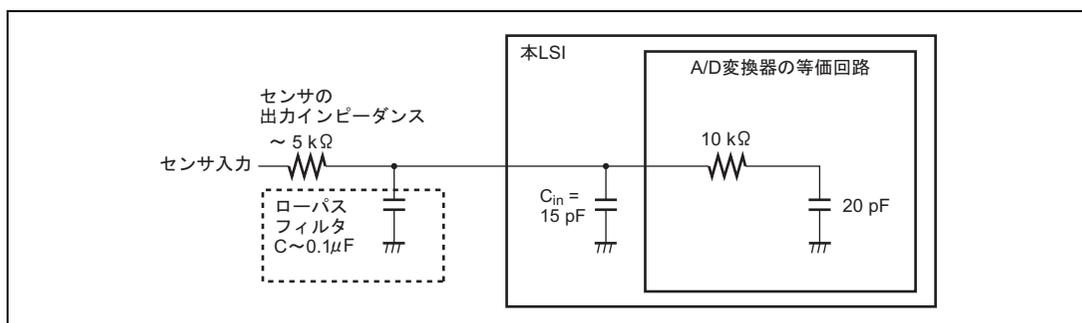


図 17.6 アナログ入力回路の例

17.7.3 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{SS} 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意してください。

17.7.4 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D変換中、アナログ入力端子 AN_n に印加する電圧は AV_{SS} AN_n V_{ref} の範囲としてください。

- AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} の関係

AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} との関係は $AV_{CC} = V_{CC}$ かつ $AV_{SS} = V_{SS}$ とし、さらに、A/D変換器を使用しないときも AV_{CC} 、 AV_{SS} 端子をオープンにしないでください。

- V_{ref} の設定範囲

V_{ref} 端子によるリファレンス電圧の設定範囲は、 $V_{ref} = AV_{CC}$ にしてください。

17.7.5 ボード設計上の注意事項

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D 変換値に悪影響を及ぼします。アナログ入力端子 ($AN_0 \sim AN_{15}$)、アナログ基準電源 (V_{ref})、アナログ電源電圧 (AV_{CC}) は、アナロググランド (AV_{SS}) で、デジタル回路と分離してください。さらに、アナロググランド (AV_{SS}) は、ボード上の安定したグランド (V_{SS}) に一点接続してください。

17.7.6 ノイズ対策上の注意事項

過大なサージなど異常電圧によるアナログ入力端子 (AN0 ~ AN15) の破壊を防ぐために、図 17.7 に示すように AVcc - AVSSs 間に保護回路を接続してください。AVcc に接続するバイパスコンデンサ、AN0 ~ AN15 に接続するフィルタ用のコンデンサは、必ず AVSS に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0 ~ AN15 の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス (R_{in}) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は十分ご検討の上決定してください。

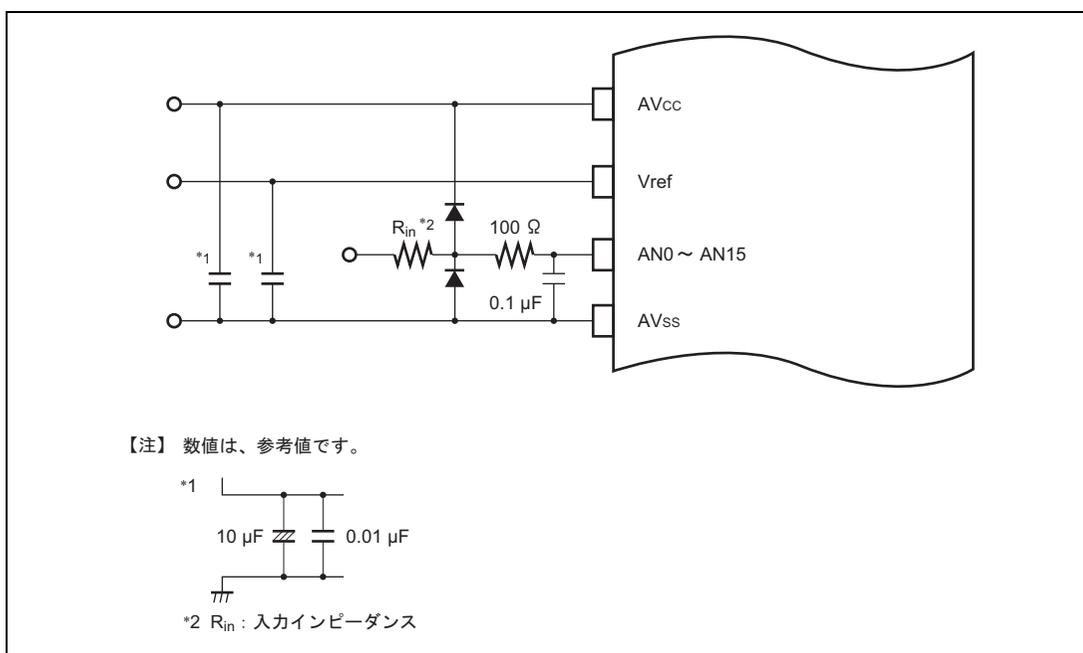


図 17.7 アナログ入力保護回路の例

表 17.6 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	-	20	pF
許容信号源インピーダンス	-	5	k

18. D/A 変換器

18.1 特長

- 分解能：8ビット
- 出力チャンネル：6チャンネル（H8S/2378 0.18 μ m F-ZTATグループ、H8S/2378R 0.18 μ m F-ZTATグループ、H8S/2377、H8S/2377R）
出力チャンネル：2チャンネル（H8S/2375、H8S/2375R、H8S/2373、H8S/2373R）
- 変換時間：最大10 μ s（負荷容量20pF時）
- 出力電圧：0V ~ Vref
- ソフトウェアスタンバイモード時のD/A出力保持機能
- モジュールストップモードの設定可能

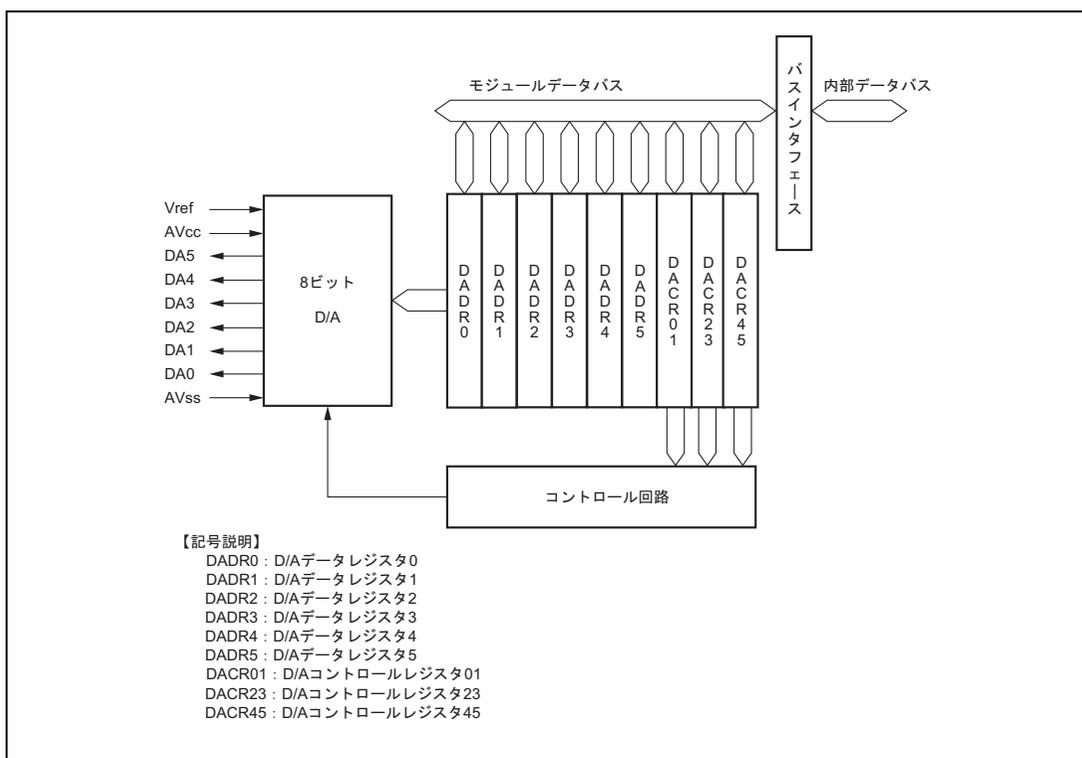


図 18.1 D/A 変換器(H8S/2378 0.18 μ m F-ZTAT グループ、H8S/2378R 0.18 μ m F-ZTAT グループ、H8S/2377、H8S/2377R) のブロック図

18. D/A 変換器

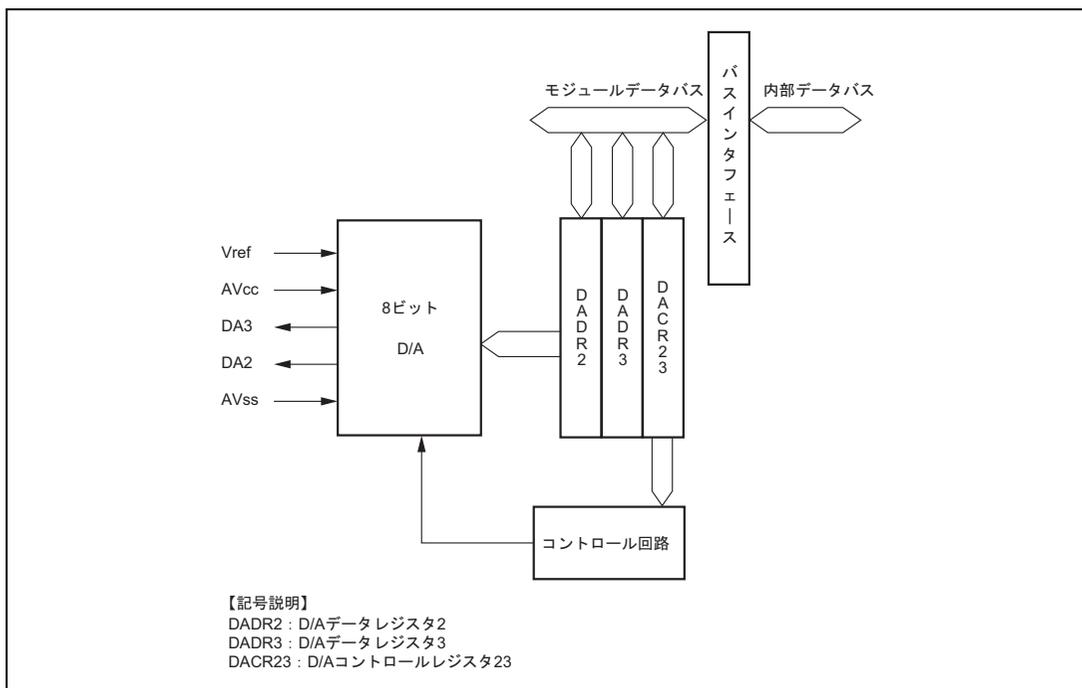


図 18.2 D/A 変換器 (H8S/2375、H8S/2375R、H8S/2373、H8S/2373R) のブロック図

18.2 入出力端子

D/A 変換器で使用する入出力端子を表 18.1 に示します。

表 18.1 端子構成

名称	記号	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子
リファレンス電源端子	Vref	入力	D/A 変換器の基準電圧端子
アナログ出力端子 0*	DA0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1*	DA1	出力	チャンネル 1 のアナログ出力
アナログ出力端子 2	DA2	出力	チャンネル 2 のアナログ出力
アナログ出力端子 3	DA3	出力	チャンネル 3 のアナログ出力
アナログ出力端子 4*	DA4	出力	チャンネル 4 のアナログ出力
アナログ出力端子 5*	DA5	出力	チャンネル 5 のアナログ出力

【注】 * H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

18.3 レジスタの説明

D/A 変換器には以下のレジスタがあります。

- D/Aデータレジスタ0 (DADR0) *
- D/Aデータレジスタ1 (DADR1) *
- D/Aデータレジスタ2 (DADR2)
- D/Aデータレジスタ3 (DADR3)
- D/Aデータレジスタ4 (DADR4) *
- D/Aデータレジスタ5 (DADR5) *
- D/Aコントロールレジスタ01 (DACR01) *
- D/Aコントロールレジスタ23 (DACR23)
- D/Aコントロールレジスタ45 (DACR45) *

【注】 * H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

18.3.1 D/A データレジスタ 0 ~ 5 (DADR0 ~ DADR5)

DADR は、D/A 変換を行うデータを格納するための 8 ビットのリード/ライト可能なレジスタです。アナログ出力を許可すると、DADR の値が変換され、アナログ出力端子に出力されます。

H8S/2375、H8S/2375R、H8S/2373、H8S/2373R でそれぞれサポートしていないレジスタはアクセスしないでください。

18. D/A 変換器

18.3.2 D/A コントロールレジスタ 01、23、45 (DACR01、DACR23、DACR45)

DACR01、DACR23、DACR45 は D/A 変換器の動作を制御します。それぞれ DACR01 はチャンネル 0、1 を DACR23 はチャンネル 2、3 を DACR45 はチャンネル 4、5 の動作を制御します。

- DACR01 (H8S/2378 0.18 μ m F-ZTAT グループ、H8S/2378R 0.18 μ m F-ZTAT グループ、H8S/2377、H8S/2377R のみ)

ビット	ビット名	初期値	R/W	説 明
7	DAOE1	0	R/W	D/A アウトプットイネーブル 1 D/A 変換とアナログ出力を制御します。 0 : チャンネル 1 のアナログ出力 (DA1) を禁止 1 : チャンネル 1 の D/A 変換を許可。チャンネル 1 のアナログ出力 (DA1) を許可
6	DAOE0	0	R/W	D/A アウトプットイネーブル 0 D/A 変換とアナログ出力を制御します。 0 : チャンネル 0 のアナログ出力 (DA0) を禁止 1 : チャンネル 0 の D/A 変換を許可。チャンネル 0 のアナログ出力 (DA0) を許可
5	DAE	0	R/W	D/A イネーブル DAOE0、DAOE1 ビットとの組み合わせで、D/A 変換を制御します。このビットが 0 にクリアされているとチャンネル 0、1 の D/A 変換は独立に制御されます。このビットが 1 にセットされているとチャンネル 0、1 の D/A 変換は一括して制御されます。変換結果の出力は、DAOE0、DAOE1 ビットにより制御されます。表 18.2 を参照してください。
4~0	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

表 18.2 D/A 変換の制御

ビット5	ビット7	ビット6	説 明
DAE	DAOE1	DAOE0	
0	0	0	D/A 変換を禁止
		1	チャンネル0のD/A変換を許可、チャンネル1のD/A変換を禁止
	1	0	チャンネル1のD/A変換を許可、チャンネル0のD/A変換を禁止
		1	チャンネル0、1のD/A変換を許可
1	0	0	D/A 変換を禁止
		1	チャンネル0、1のD/A変換を許可
	1	0	
		1	

• DACR23

ビット	ビット名	初期値	R/W	説 明
7	DAOE3	0	R/W	D/A アウトプットイネーブル3 D/A 変換とアナログ出力を制御します。 0 : チャンネル3のアナログ出力 (DA3) を禁止 1 : チャンネル3のD/A変換を許可。チャンネル3のアナログ出力 (DA3) を許可
6	DAOE2	0	R/W	D/A アウトプットイネーブル2 D/A 変換とアナログ出力を制御します。 0 : チャンネル2のアナログ出力 (DA2) を禁止 1 : チャンネル2のD/A変換を許可。チャンネル2のアナログ出力 (DA2) を許可
5	DAE	0	R/W	D/A イネーブル DAOE2、DAOE3ビットとの組み合わせで、D/A変換を制御します。このビットが0にクリアされているとチャンネル2、3のD/A変換は独立に制御されます。このビットが1にセットされているとチャンネル2、3のD/A変換は一括して制御されます。変換結果の出力は、DAOE2、DAOE3ビットにより制御されます。表18.3を参照してください。
4-0	-	すべて1	-	リザーブビット リードすると常に1が読み出されます。ライトは無効です。

18. D/A 変換器

表 18.3 D/A 変換の制御

ビット 5	ビット 7	ビット 6	説 明
DAE	DAOE3	DAOE2	
0	0	0	D/A 変換を禁止
		1	チャンネル 2 の D/A 変換を許可、チャンネル 3 の D/A 変換を禁止
	1	0	チャンネル 3 の D/A 変換を許可、チャンネル 2 の D/A 変換を禁止
		1	チャンネル 2、3 の D/A 変換を許可
1	0	0	D/A 変換を禁止
		1	チャンネル 2、3 の D/A 変換を許可
	1	0	
		1	

- DACR45 (H8S/2378 0.18 μm F-ZTATグループ、H8S/2378R 0.18 μm F-ZTATグループ、H8S/2377、H8S/2377Rのみ)

ビット	ビット名	初期値	R/W	説 明
7	DAOE5	0	R/W	D/A アウトプットイネーブル 5 D/A 変換とアナログ出力を制御します。 0 : チャンネル 5 のアナログ出力 (DA5) を禁止 1 : チャンネル 5 の D/A 変換を許可。チャンネル 5 のアナログ出力 (DA5) を許可
6	DAOE4	0	R/W	D/A アウトプットイネーブル 4 D/A 変換とアナログ出力を制御します。 0 : チャンネル 4 のアナログ出力 (DA4) を禁止 1 : チャンネル 4 の D/A 変換を許可。チャンネル 4 のアナログ出力 (DA4) を許可
5	DAE	0	R/W	D/A イネーブル DAOE4、DAOE5 ビットとの組み合わせで、D/A 変換を制御します。このビットが 0 にクリアされているとチャンネル 4、5 の D/A 変換は独立に制御されます。このビットが 1 にセットされているとチャンネル 4、5 の D/A 変換は一括して制御されます。変換結果の出力は、DAOE4、DAOE5 ビットにより制御されます。表 18.4 を参照してください。
4~0	-	すべて 1	-	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

表 18.4 D/A 変換の制御

ビット5	ビット7	ビット6	説 明
DAE	DAOE5	DAOE4	
0	0	0	D/A 変換を禁止
		1	チャンネル4のD/A変換を許可、チャンネル5のD/A変換を禁止
	1	0	チャンネル5のD/A変換を許可、チャンネル4のD/A変換を禁止
		1	チャンネル4、5のD/A変換を許可
1	0	0	D/A変換を禁止
		1	チャンネル4、5のD/A変換を許可
	1	0	
		1	

18.4 動作説明

6チャンネル*1のD/A変換器は、それぞれ独立して変換を行うことができます。DACR01*2、DACR23、DACR45*2のDAOEビットを1にセットすると、D/A変換が許可され変換結果が出力されます。チャンネル2のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図18.4に示します。

1. DADR2に変換データをライトします。
2. DACR23のDAOE2ビットを1にセットすると、D/A変換が開始されます。tdCONV時間経過後、変換結果がアナログ出力端子DA2より出力されます。DADR2を書き換えるかDAOE2ビットを0にクリアするまで、この変換結果が出力され続けます。出力値は以下の式で表されます。

$$\frac{\text{DADRの内容}}{256} \times V_{\text{ref}}$$

3. DADR2を書き換えると直ちに変換が開始されます。tdCONV時間経過後、変換結果が出力されます。
4. DAOE2ビットを0にクリアするとアナログ出力を禁止します。

【注】 *1 H8S/2375、H8S/2375R、H8S/2373、H8S/2373R では2チャンネルになります。

*2 H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

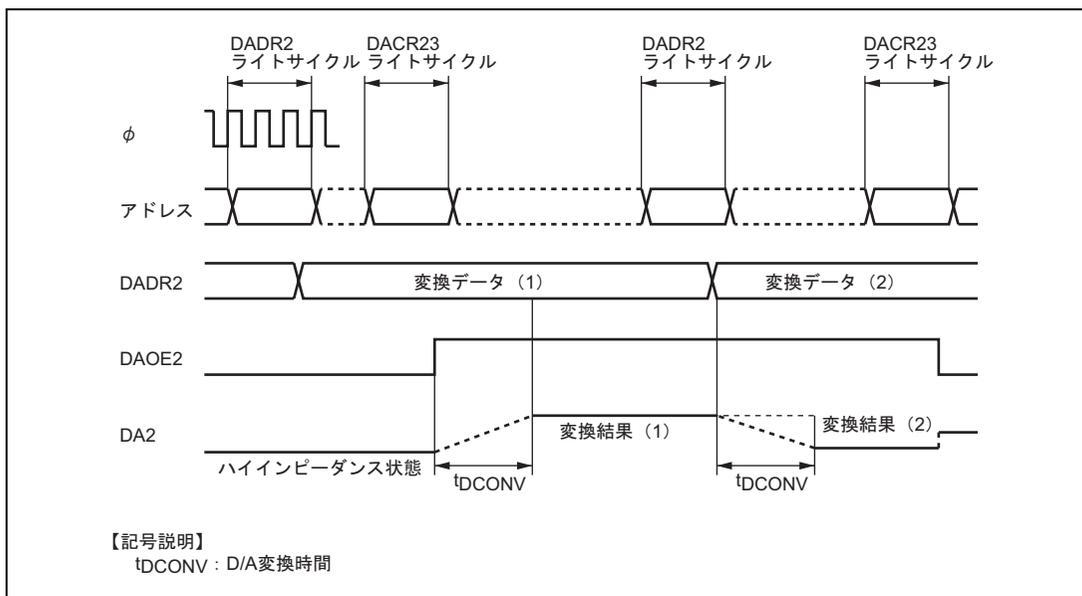


図 18.3 D/A 変換器の動作例

18.5 使用上の注意事項

18.5.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、D/A 変換器の動作禁止 / 許可を設定することが可能です。初期値では、D/A 変換器の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は「第 24 章 低消費電力状態」を参照してください。

18.5.2 ソフトウェアスタンバイモード時の D/A 出力保持機能

D/A 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると、D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DAOE、DAOE、DAE ビットをすべて 0 にクリアして D/A 出力を禁止にしてください。

19. RAM

本 LSI は高速スタティック RAM を内蔵しています。RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。

RAM は、システムコントロールレジスタ (SYSCR) の RAME ビットにより有効または無効の制御が可能です。SYSCR については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

製品型名		ROM タイプ	RAM 容量	RAM アドレス
H8S/2378	HD64F2378B	フラッシュメモリ版	32K バイト	H'FF4000 ~ H'FFBFFF
H8S/2378R	HD64F2378R		24K バイト	H'FF6000 ~ H'FFBFFF
H8S/2377	HD64F2377			
H8S/2377R	HD64F2377R			
H8S/2374	HD64F2374		32K バイト	H'FF4000 ~ H'FFBFFF
H8S/2374R	HD64F2374R			
H8S/2372	HD64F2372			
H8S/2372R	HD64F2372R		24K バイト	H'FF6000 ~ H'FFBFFF
H8S/2371	HD64F2371			
H8S/2371R	HD64F2371R			
H8S/2370	HD64F2370			
H8S/2370R	HD64F2370R		16K バイト	H'FF8000 ~ H'FFBFFF
H8S/2375	HD6432375		マスク ROM 版	16K バイト
H8S/2375R	HD6432375R			
H8S/2373	HD6412373	ROM レス版	16K バイト	H'FF8000 ~ H'FFBFFF
H8S/2373R	HD6412373R			

20. フラッシュメモリ (0.35 μm F-ZTAT 版)

フラッシュメモリ版に内蔵されているフラッシュメモリの特長は以下のとおりです。フラッシュメモリのブロック図を図 20.1 に示します。

20.1 特長

- 容量

製品区分		ROM 容量	ROM アドレス
H8S/2377	HD64F2377	384K バイト	H'000000 ~ H'05FFFF (モード 3、4、7)
H8S/2377R	HD64F2377R		

- 書き込み / 消去方式

書き込みは128バイト単位の同時書き込み方式です。消去はブロック単位で行います。384Kバイトフラッシュメモリは64Kバイト×5ブロック、32Kバイト×1ブロック、4Kバイト×8ブロックで構成されています。全面消去を行う場合も1ブロックずつ消去してください。

- 書き換え回数

100回まで書き換え可能です。

- オンボードプログラミングモード：2種類

ブートモード

ユーザプログラムモード

内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み / 消去ができます。このほか、通常のユーザモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。

- ライタモード

オンボードプログラミングのほかにPROMライタを用いて書き込み / 消去を行うライタモードがあります。

- ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動的に合わせ込みます。

20. フラッシュメモリ (0.35 μm F-ZTAT 版)

- 書き込み/消去プロテクト

ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類でフラッシュメモリの書き込み/消去に対するプロテクトを設定できます。

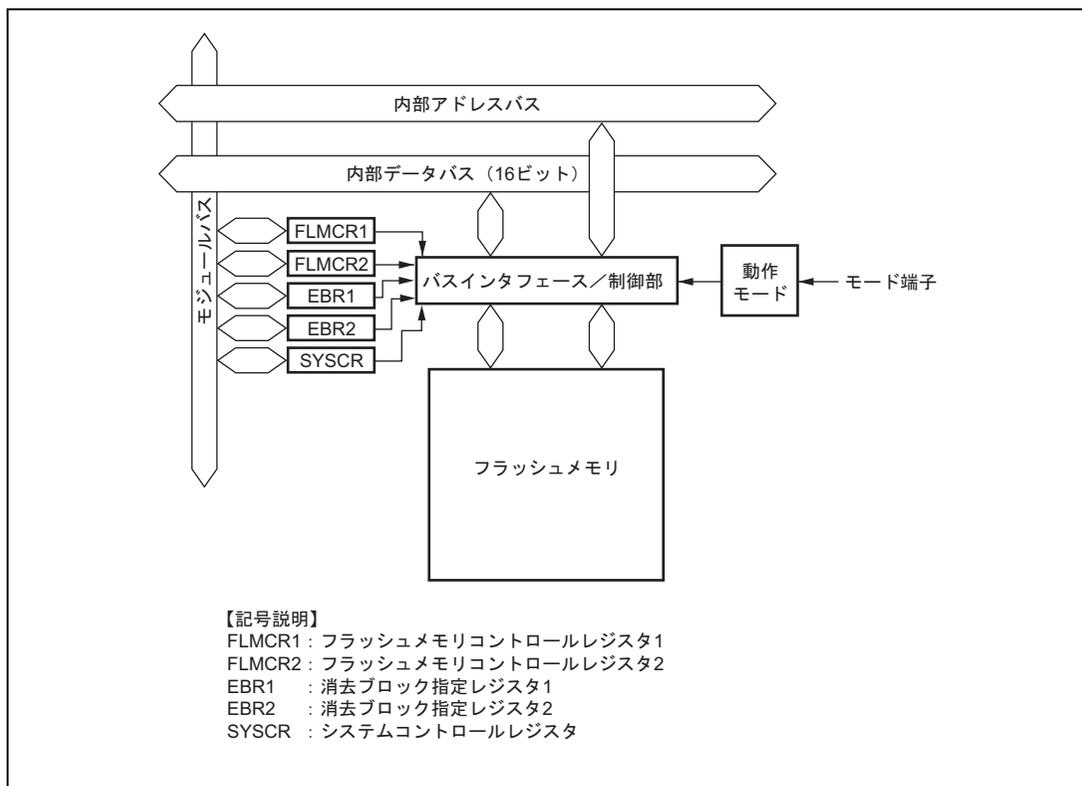


図 20.1 フラッシュメモリのブロック図

20.2 モード遷移図

リセット状態でモード端子を設定しリセットスタートすると、本 LSI は図 20.2 に示すような動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み / 消去はできません。フラッシュメモリへの書き込み / 消去を行えるモードとしてブートモード、ユーザプログラムモード、ライタモードがあります。

表 20.1 にブートモードとユーザプログラムモードの相違点を示します。図 20.3 にブートモードを、図 20.4 にユーザプログラムモードを示します。

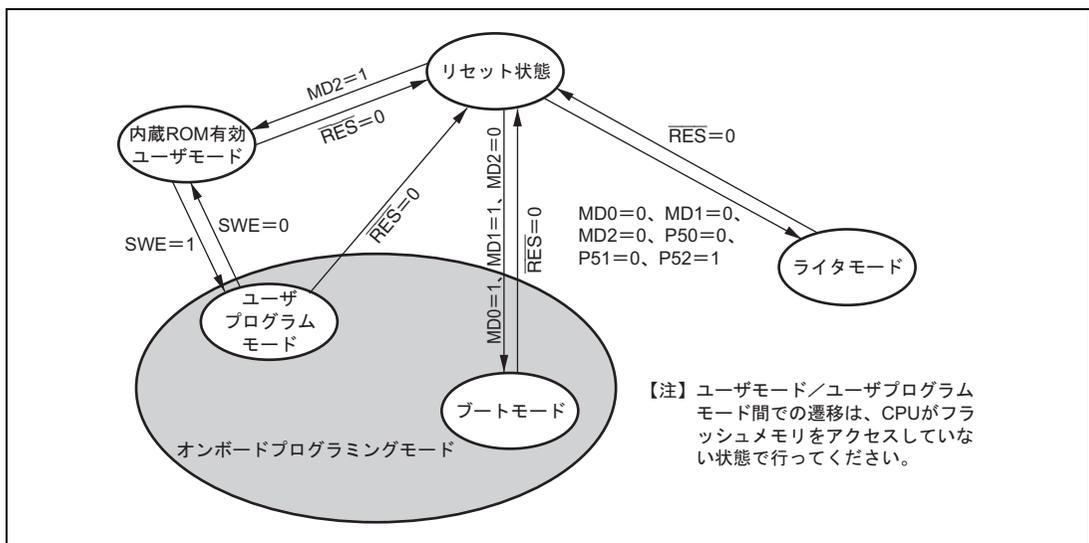


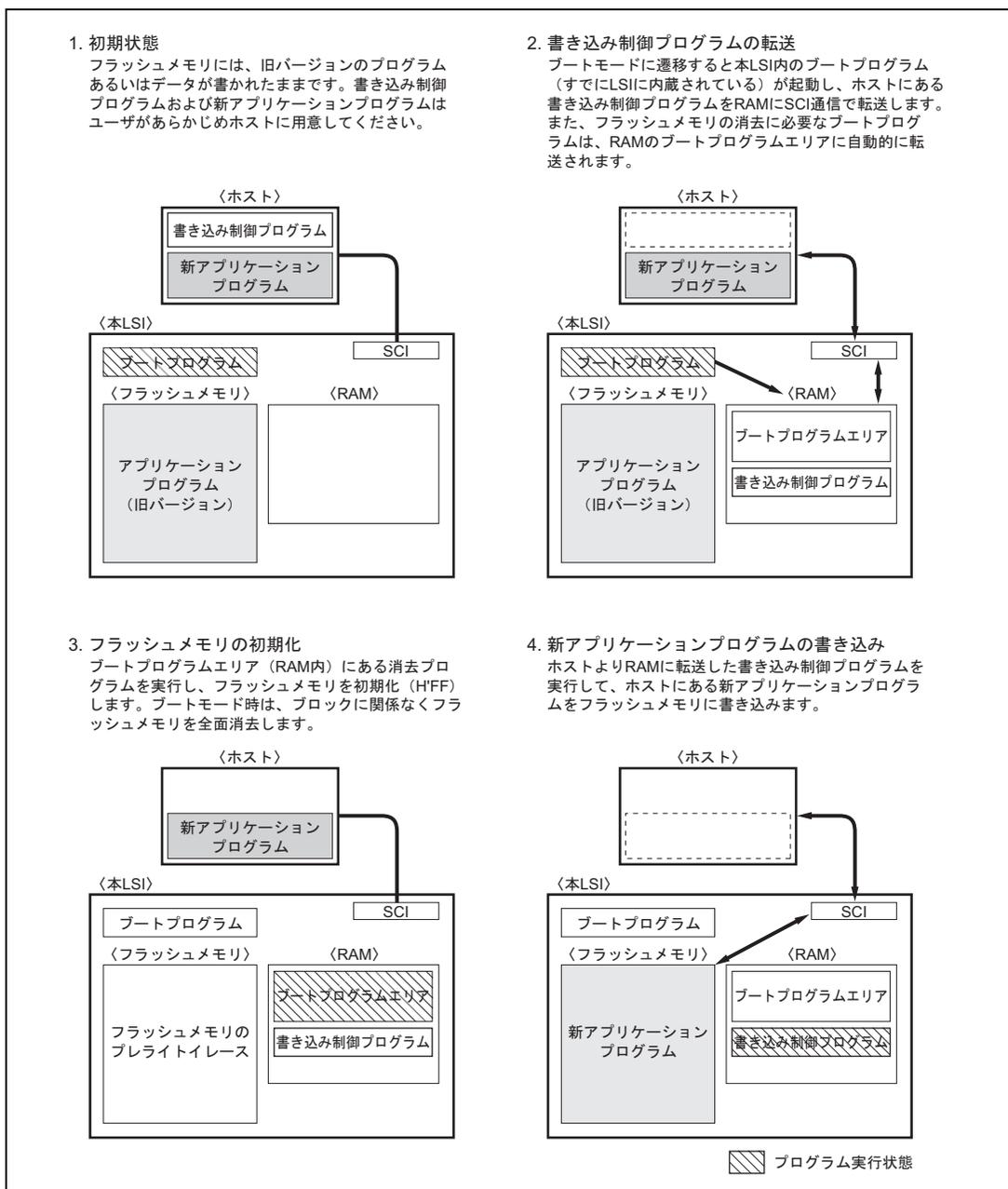
図 20.2 フラッシュメモリに関する状態遷移

表 20.1 ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	プログラム / プログラムベリファイ	プログラム / プログラムベリファイ イレース / イレースベリファイ

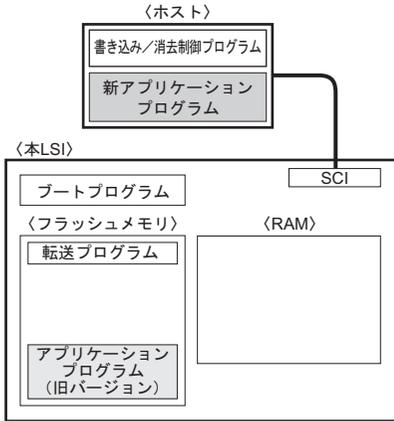
【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

20. フラッシュメモリ (0.35 μm F-ZTAT 版)



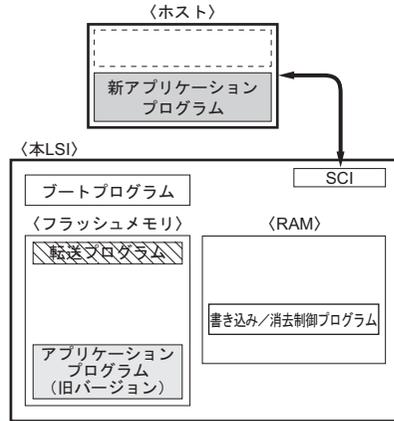
1. 初期状態

- (1) フラッシュメモリから内蔵 RAMに転送する書き込み/消去制御プログラムをあらかじめフラッシュメモリにユーザが書き込んでおいてください。
- (2) 書き込み/消去制御プログラムはホストまたはフラッシュメモリに用意してください。



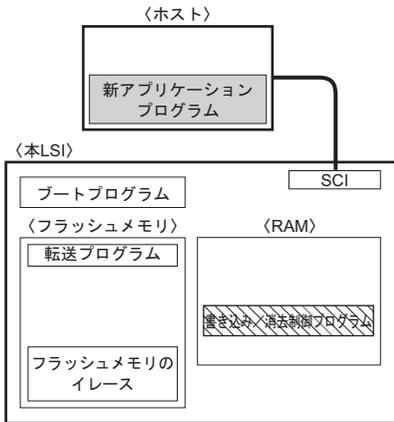
2. 書き込み/消去制御プログラムの転送

- ユーザプログラムモードに移行すると、ユーザソフトはこれを認識してフラッシュメモリ内の転送プログラムを実行して、書き込み/消去制御プログラムをRAMに転送します。



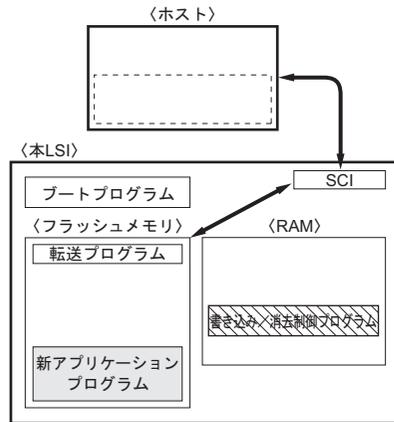
3. フラッシュメモリの初期化

- RAM上の書き込み/消去プログラムを実行し、フラッシュメモリを初期化 (H'FF) します。消去は、ブロック単位で行えます。バイト単位の消去はできません。



4. アプリケーションプログラムの書き込み

- 次にホストにある新アプリケーションプログラムを消去したフラッシュメモリのブロックに書き込みます。消去されていないブロックに対する書き込みは行わないでください。



▨ プログラム実行状態

図 20.4 ユーザプログラムモード

20.3 ブロック構成

図 20.5 に 384K バイトフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。384K バイトフラッシュメモリは 64K バイト (5 ブロック)、32K バイト (1 ブロック)、4K バイト (8 ブロック) に分割されています。消去はこのブロック単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

EB0 消去単位4Kバイト	H'000000	H'000001	H'000002	←書き込み単位 128バイト→	H'00007F
				-----	H'000FFF
EB1 消去単位4Kバイト	H'001000	H'001001	H'001002	←書き込み単位 128バイト→	H'00107F
				-----	H'001FFF
EB2 消去単位4Kバイト	H'002000	H'002001	H'002002	←書き込み単位 128バイト→	H'00207F
				-----	H'002FFF
EB3 消去単位4Kバイト	H'003000	H'003001	H'003002	←書き込み単位 128バイト→	H'00307F
				-----	H'003FFF
EB4 消去単位4Kバイト	H'004000	H'004001	H'004002	←書き込み単位 128バイト→	H'00407F

~~~~~					
EB7 消去単位4Kバイト	H'007000	H'007001	H'007002	←書き込み単位 128バイト→	H'00707F
				-----	H'007FFF
EB8 消去単位32Kバイト	H'008000	H'008001	H'008002	←書き込み単位 128バイト→	H'00807F
				-----	H'00FFFF
EB9 消去単位64Kバイト	H'010000	H'010001	H'010002	←書き込み単位 128バイト→	H'01007F
				-----	H'01FFFF
EB10 消去単位64Kバイト	H'020000	H'020001	H'020002	←書き込み単位 128バイト→	H'02007F
				-----	H'02FFFF
EB11 消去単位64Kバイト	H'030000	H'030001	H'030002	←書き込み単位 128バイト→	H'03007F
				-----	H'03FFFF
EB12 消去単位64Kバイト	H'040000	H'040001	H'040002	←書き込み単位 128バイト→	H'04007F
				-----	H'04FFFF
EB13 消去単位64Kバイト	H'050000	H'050001	H'050002	←書き込み単位 128バイト→	H'05007F
				-----	H'05FFFF

図 20.5 384K バイトフラッシュメモリのブロック構成 (モード 3、4、7)

## 20.4 入出力端子

フラッシュメモリは表 20.2 に示す端子により制御されます。

表 20.2 端子構成

端子名	入出力	機能
$\overline{\text{RES}}$	入力	リセット
MD2	入力	動作モードを設定
MD1	入力	動作モードを設定
MD0	入力	動作モードを設定
P52	入力	ライトモードの動作モードを設定
P51	入力	ライトモードの動作モードを設定
P50	入力	ライトモードの動作モードを設定
TxD1	出力	シリアル送信データ出力
RxD1	入力	シリアル受信データ入力

## 20.5 レジスタの説明

フラッシュメモリには以下のレジスタがあります。システムコントロールレジスタについては「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリコントロールレジスタ2 (FLMCR2)
- 消去ブロック指定レジスタ1 (EBR1)
- 消去ブロック指定レジスタ2 (EBR2)

## 20.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 はフラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については「20.7 フラッシュメモリの書き込み / 消去」を参照してください。

ビット	ビット名	初期値	R/W	説明
7		0/1	R	リザーブビット モード 1、2 のときリードすると 0 が読み出されます。モード 3~7 のときリードすると 1 が読み出されます。
6	SWE	0	R/W	ソフトウェアライトイネーブル このビットが 1 のときフラッシュメモリの書き込み / 消去が可能となります。このビットが 0 のときこのレジスタの他のビットと EBR1、EBR2 の各ビットはセットできません。
5	ESU	0	R/W	イレースセットアップ SWE=1 の状態でこのビットを 1 にセットするとイレースセットアップ状態となり、クリアするとセットアップ状態を解除します。
4	PSU	0	R/W	プログラムセットアップ SWE=1 の状態でこのビットを 1 にセットするとプログラムセットアップ状態となり、クリアするとセットアップ状態を解除します。
3	EV	0	R/W	イレースベリファイ SWE=1 の状態でこのビットを 1 にセットするとイレースベリファイモードへ遷移し、クリアするとイレースベリファイモードを解除します。
2	PV	0	R/W	プログラムベリファイ SWE=1 の状態でこのビットを 1 にセットするとプログラムベリファイモードへ遷移し、クリアするとプログラムベリファイモードを解除します。
1	E	0	R/W	イレース SWE=1、ESU=1 の状態でこのビットを 1 にセットするとイレースモードへ遷移し、クリアするとイレースモードを解除します。
0	P	0	R/W	プログラム SWE=1、PSU=1 の状態でこのビットを 1 にセットするとプログラムモードへ遷移し、クリアするとプログラムモードを解除します。

### 20.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 はフラッシュメモリの書き込み / 消去の状態を表示します。FLMCR1 の SWE ビットが 0 のときは FLMCR2 は H'00 に初期化されます。内蔵フラッシュメモリが無効のときは、H'00 が読み出されます。FLMCR2 は読み出し専用レジスタです。書き込みはしないでください。

ビット	ビット名	初期値	R/W	説明
7	FLER	0	R	このビットはフラッシュメモリへの書き込み / 消去中にエラーを検出し、エラープロテクト状態となったときセットされます。 詳細は「20.8.3 エラープロテクト」を参照してください。
6~0		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。

### 20.5.3 消去ブロック指定レジスタ 1 (EBR1)

フラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1 の SWE ビットが 0 のときは EBR1 は H'00 に初期化されます。このレジスタは EBR2 とあわせて、1 ビットのみ設定してください (2 ビット以上同時に 1 に設定しないでください)。設定すると EBR1 と EBR2 はともに 0 にオートクリアされます。消去ブロックは、表 20.3 を参照してください。

ビット	ビット名	初期値	R/W	説明
7	EB7	0	R/W	このビットが 1 のとき EB7 の 4K バイトが消去対象となります。
6	EB6	0	R/W	このビットが 1 のとき EB6 の 4K バイトが消去対象となります。
5	EB5	0	R/W	このビットが 1 のとき EB5 の 4K バイトが消去対象となります。
4	EB4	0	R/W	このビットが 1 のとき EB4 の 4K バイトが消去対象となります。
3	EB3	0	R/W	このビットが 1 のとき EB3 の 4K バイトが消去対象となります。
2	EB2	0	R/W	このビットが 1 のとき EB2 の 4K バイトが消去対象となります。
1	EB1	0	R/W	このビットが 1 のとき EB1 の 4K バイトが消去対象となります。
0	EB0	0	R/W	このビットが 1 のとき EB0 の 4K バイトが消去対象となります。

## 20.5.4 消去ブロック指定レジスタ 2 (EBR2)

フラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1 の SWE ビットが 0 のときは EBR2 は H'00 に初期化されます。このレジスタは EBR1 とあわせて、1 ビットのみ設定してください (2 ビット以上同時に 1 に設定しないでください)。設定すると EBR1 と EBR2 はともに 0 にオートクリアされます。消去ブロックは、表 20.3 を参照してください。

ビット	ビット名	初期値	R/W	説明
7, 6		すべて 0	R/W	リザーブビット 初期値を変更しないでください。
5	EB13	0	R/W	このビットが 1 のとき EB13 の 64K バイトが消去対象となります。
4	EB12	0	R/W	このビットが 1 のとき EB12 の 64K バイトが消去対象となります。
3	EB11	0	R/W	このビットが 1 のとき EB11 の 64K バイトが消去対象となります。
2	EB10	0	R/W	このビットが 1 のとき EB10 の 64K バイトが消去対象となります。
1	EB9	0	R/W	このビットが 1 のとき EB 9 の 64K バイトが消去対象となります。
0	EB8	0	R/W	このビットが 1 のとき EB 8 の 32K バイトが消去対象となります。

表 20.3 消去ブロック

ブロック (サイズ)	アドレス
	モード 3、4、7
EB0 (4K バイト)	H'000000 ~ H'000FFF
EB1 (4K バイト)	H'001000 ~ H'001FFF
EB2 (4K バイト)	H'002000 ~ H'002FFF
EB3 (4K バイト)	H'003000 ~ H'003FFF
EB4 (4K バイト)	H'004000 ~ H'004FFF
EB5 (4K バイト)	H'005000 ~ H'005FFF
EB6 (4K バイト)	H'006000 ~ H'006FFF
EB7 (4K バイト)	H'007000 ~ H'007FFF
EB8 (32K バイト)	H'008000 ~ H'00FFFF
EB9 (64K バイト)	H'010000 ~ H'01FFFF
EB10 (64K バイト)	H'020000 ~ H'02FFFF
EB11 (64K バイト)	H'030000 ~ H'03FFFF
EB12 (64K バイト)	H'040000 ~ H'04FFFF
EB13 (64K バイト)	H'050000 ~ H'05FFFF

## 20.6 オンボードプログラミング

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリへの書き込み、消去、ベリファイを行うことができます。オンボードプログラミングモードには、2種類の動作モード（ブートモード、ユーザプログラムモード）があります。ブートモードの設定方法は、表 20.4 を参照してください。ユーザプログラムモードは、ソフトウェアで制御ビットを設定し動作可能です。また、フラッシュメモリに関する各モードへの状態遷移図は、図 20.2 を参照してください。

表 20.4 オンボードプログラミングモードの設定方法

モード設定		MD2	MD1	MD0
ブートモード	内蔵 ROM 有効・シングルチップ起動拡張モード	0	1	1

### 20.6.1 ブートモード

ブートモードに遷移すると、本 LSI 内部に組み込まれているブートプログラムが起動します。ブートプログラムは SCL₁ を経由して外部に接続されたホストから書き込み制御プログラムを内蔵 RAM に転送し、フラッシュメモリを全面消去したうえで書き込み制御プログラムを実行します。

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表 20.5 に示します。

1. ブートプログラムが起動すると、SCL₁は調歩同期式モードに設定され、ホストから連続送信される調歩同期式シリアル通信データH'00のLow期間を測定してビットレートを計算し、SCL₁のビットレートをホストのビットレートに合わせ込みます。送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。リセット解除はRxD端子がHighの状態で行ってください。必要に応じてRxD端子およびTxD端子は、ボード上でプルアップしてください。リセット解除からLow期間を測定できるまで約100ステートがかかります。
2. ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を表20.6の範囲としてください。
3. ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは「20.7 フラッシュメモリの書き込み/消去」に沿ったものを用意してください。
4. 書き込み制御プログラムに分岐するときSCL₁は送受信動作を終了(SCRのRE=0、TE=0)しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやベリファイデータの送受信に使用できます。TxD端子はHighレベル出力状態となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。

い。

5. ブートモードは、フラッシュメモリに書き込まれているデータがある場合 (全データが1でないとき)、フラッシュメモリの全ブロックを消去します。ブートモードはオンボード状態での初期の書き込み、あるいはユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰等に使用してください。

- 【注】
1. ブートモードでは内蔵 RAM の一部 (FF8000 ~ FF87FF) をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアは H'FF8800 ~ H'FFBFFF 番地です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。
  2. ブートモードはリセットにより解除されます。リセット端子を Low レベルにして最低 20 ステート経過後、MD 端子を設定してリセットを解除してください。WDT のオーバフローリセットが発生した場合もブートモードは解除されます。
  3. ブートモードの途中でモード端子の入力レベルを変化させないでください。
  4. フラッシュメモリへの書き込み中、あるいは消去中に割り込みを使用することはできません。

表 20.5 ブートモードの動作

項目	ホストの動作	通信内容	本LSIの動作
	処理内容		処理内容
ブートモード起動			リセットスタート後 ブートプログラムへ分岐  <div style="border: 1px solid black; border-radius: 15px; padding: 5px; display: inline-block;">ブートプログラム起動</div>
ビットレート の合わせ込み	所定のビットレートでH'00を連続送信  ↓ H'00を正常に受信したらH'55送信  ↓ H'AA受信	H'00,H'00・・・H'00  ← H'00 → H'55 ← H'AA	・受信データH'00のLow期間を測定 ・ビットレートを計算し、SCI_1のBRRを設定 ・ビットレート合わせ込み終了後、ホストへH'00を送信  ↓ H'55を受信したらホストへH'AAを送信
書き込み 制御プロ プログラ ムの転送	転送する書き込み制御プログラムの バイト数 (N) を上位バイト、下位バイト の順に2バイト送信  ↓ 書き込み制御プログラムを1バイトごと に送信 (N回繰り返し)	上位バイト、下位バイト  ← エコーバック  → H'XX ← エコーバック	受信した2バイトデータをホストへ エコーバック  ↓ 受信したデータをホストへ エコーバックするとともに RAMへ転送 (N回繰り返し)
フラッシュ メモリ消 去	ブートプログラム 消去エラー  ↓ H'AA受信	← H'FF  ← H'AA	フラッシュメモリのデータをチェックし、 書き込まれている場合は全ブロックを 消去してホストへH'AAを送信。 (消去できなかった場合はH'FFを 送信して、動作を停止)
			内蔵RAMに転送された書き込み 制御プログラムへ分岐し実行を開始

表 20.6 ビットレート自動合わせ込みが可能なシステムクロック周波数

ホストのビットレート	本 LSI のシステムクロック周波数範囲
19,200bps	8 ~ 25MHz
9,600bps	8 ~ 25MHz

## 20.6.2 ユーザプログラムモード

ユーザモードではユーザが用意した書き込み/消去プログラムに分岐することで任意のブロックをオンボードで消去書き換えることができるユーザプログラムモードがあります。分岐のための条件設定やオンボードでの書き換えデータ供給手段をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み/消去プログラムを書き込んでおくか、書き込み/消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み/消去中はフラッシュメモリを読み出せないため、ブートモードと同様書き込み/消去プログラムは内蔵 RAM に転送して実行してください。図 20.6 にユーザプログラムモードでの書き込み/消去手順の例を示します。書き込み/消去プログラムは「20.7 フラッシュメモリの書き込み/消去」に沿ったものを用意してください。

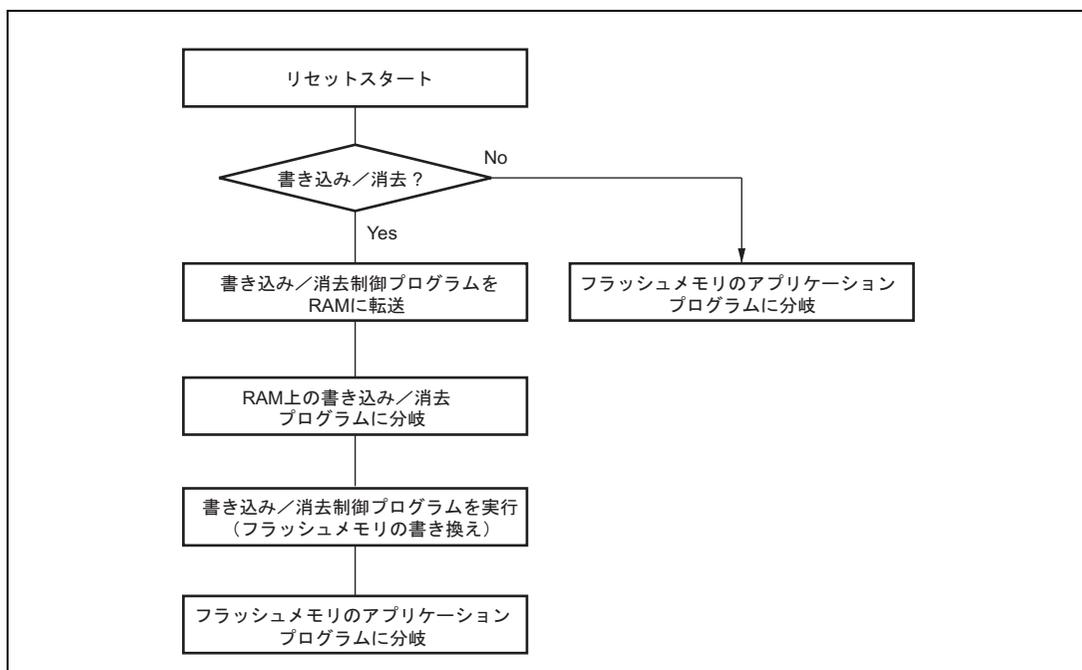


図 20.6 ユーザプログラムモードにおける書き込み/消去例

## 20.7 フラッシュメモリの書き込み / 消去

オンボードでのフラッシュメモリの書き込み / 消去はCPUを用いてソフトウェアで行う方式を採用しています。フラッシュメモリはFLMCR1、FLMCR2の設定によってプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザモードでの書き込み / 消去プログラムではこれらのモードを組み合わせで書き込み / 消去を行います。フラッシュメモリへの書き込みは「20.7.1 プログラム / プログラムベリファイ」に沿って、また、フラッシュメモリの消去は「20.7.2 イレース / イレースベリファイ」に沿って行ってください。

### 20.7.1 プログラム / プログラムベリファイ

フラッシュメモリへの書き込みは、図 20.7 に示すプログラム / プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損なうことなく書き込みを行うことができます。

1. 書き込みは消去された状態で行い、すでに関書き込まれたアドレスへの再書き込みは行わないでください。
2. 1回の書き込みは128バイト単位です。128バイトに満たないデータを書き込む場合もフラッシュメモリに128バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んでください。
3. RAM上に書き込みデータエリア128バイト、再書き込みデータエリア128バイト、追加書き込みデータエリア128バイトの領域を確保してください。再書き込みデータの演算、追加書き込みデータの演算は図20.9に従ってください。
4. 書き込みデータエリア、再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへはバイト単位で128バイト連続転送してください。プログラムアドレスと128バイトのデータがフラッシュメモリ内にラッチされます。転送先のフラッシュメモリの先頭アドレスは下位8ビットをH'00またはH'80としてください。
5. Pビットがセットされている時間が書き込み時間となります。書き込み時間は図20.7に従ってください。
6. プログラムの暴走などによる過剰書き込みを避けるためにウォッチドックタイマの設定をしてください。オーバフロー周期は  $(y+z2+ \quad ) \mu s$ より大きくしてください。
7. ベリファイアドレスへのダミーライトは、下位2ビットがB'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からロングワードで読み出せます。
8. 同一ビットに対するプログラム / プログラムベリファイシーケンスの繰り返しは、最大書き込み回数 (N) 回を超えないようにしてください。

## 20. フラッシュメモリ (0.35 μm F-ZTAT 版)

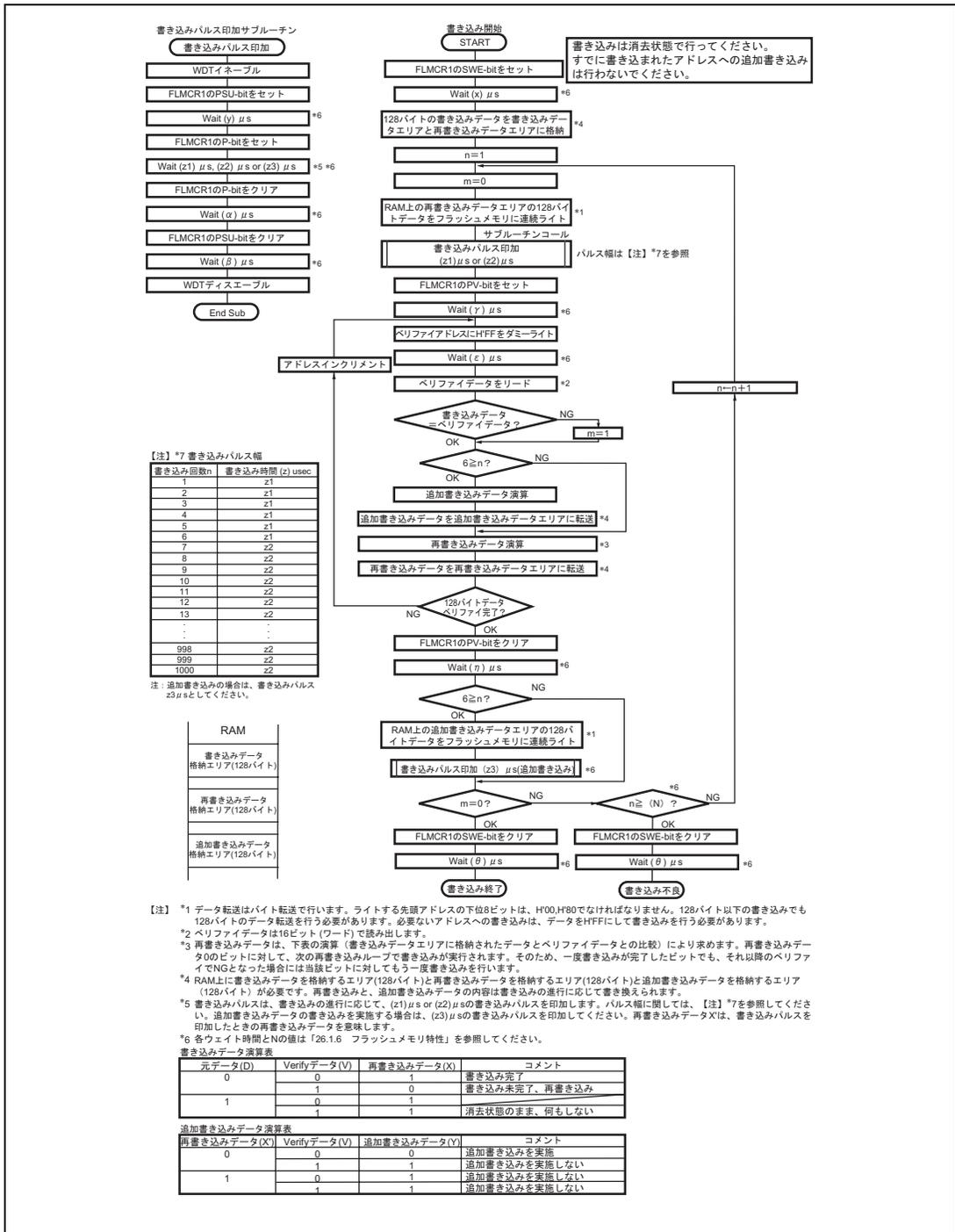


図 20.7 プログラム/プログラムペリファイフロー

## 20.7.2 イレース / イレースベリファイ

消去は図 20.8 のイレース / イレースベリファイフローチャートに従って行ってください。

1. 消去の前にプレライト (消去するメモリの全データをすべて0にする) を行う必要はありません。
2. 消去はブロック単位で行います。EBR1、EBR2により消去するブロックを1ブロックだけ選択してください。複数のブロックを消去する場合も1ブロックずつ順次消去してください。
3. Eビットが設定されている時間が消去時間となります。
4. ウォッチドックタイマの設定はプログラムの暴走などによる過剰書き込みを避けるためのものです。オーバフロー周期は (y+z+ ) msより大きくしてください。
5. ベリファイアドレスへのダミーライトは、下位2ビットがB'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からロングワードで読み出せます。
6. 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース / イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が最大消去回数 (N) 回を超えないようにしてください。

## 20.7.3 フラッシュメモリの書き込み / 消去時の割り込み

フラッシュメモリへの書き込み / 消去中、またはブートプログラム実行中は、以下の理由から NMI を含むすべての割り込みを禁止してください。

1. 書き込み / 消去中に割り込みが発生すると、正常な書き込み / 消去アルゴリズムに沿った動作が保証できなくなる。
2. ベクタアドレスが書き込まれる前、または書き込み / 消去中に割り込み例外処理を開始すると、正常なベクタフェッチができずCPUが暴走する。
3. ブートプログラム実行中に割り込みが発生すると、正常なブートモードのシーケンスが実行できなくなる。

## 20. フラッシュメモリ (0.35 μm F-ZTAT 版)

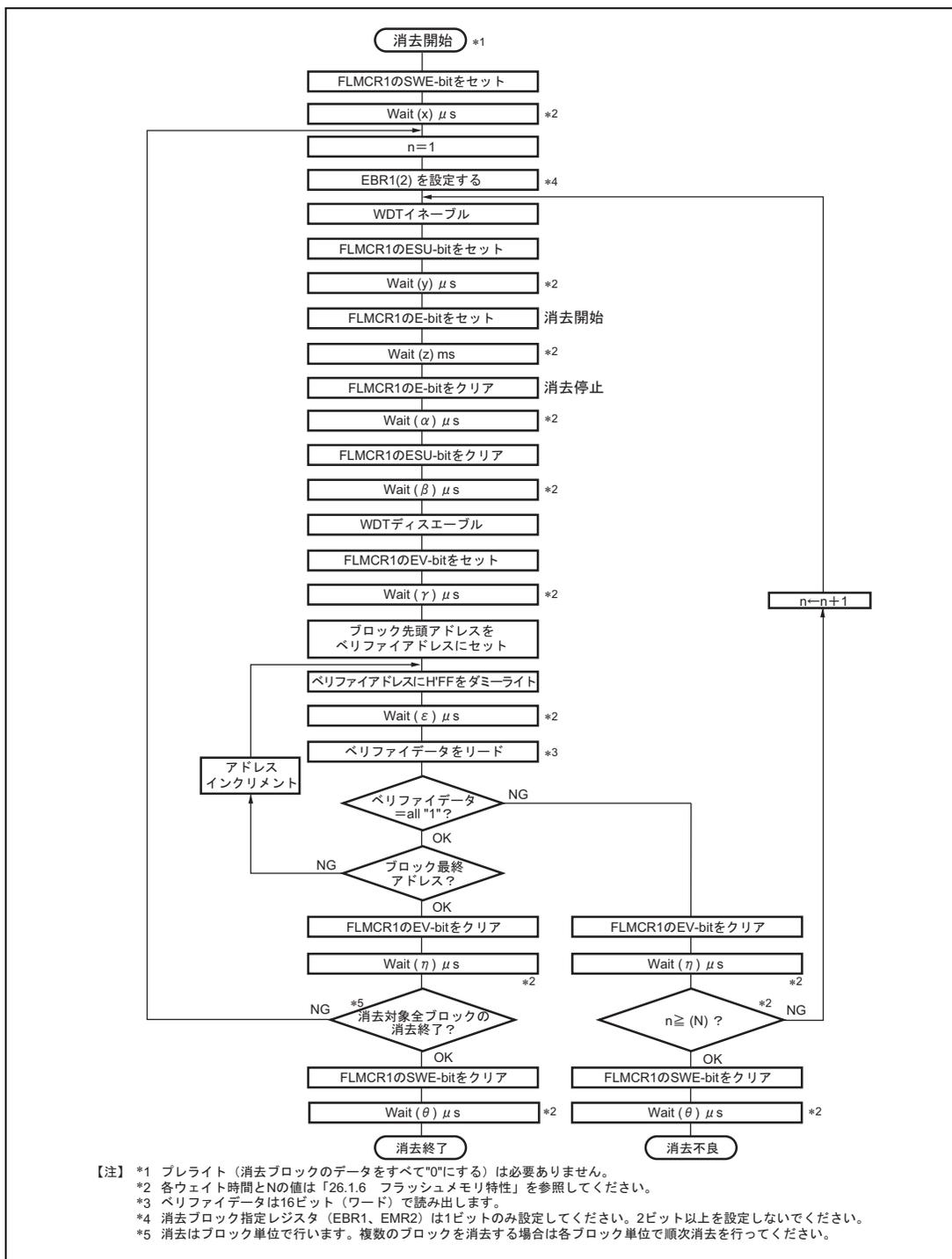


図 20.8 イレース/イレースペリファイフロー

## 20.8 書き込み / 消去プロテクト

フラッシュメモリに対する書き込み / 消去プロテクト状態にはハードウェアプロテクトによるもの、ソフトウェアプロテクトによるものとエラープロテクトによるものの3種類あります。

### 20.8.1 ハードウェアプロテクト

ハードウェアプロテクトは、リセット (WDT によるオーバフローリセットも含む) またはスタンバイモードへの状態遷移によりフラッシュメモリに対する書き込み / 消去が強制的に禁止、中断された状態をいいます。FLMCR1、FLMCR2、EBR1、EBR2 が初期化されます。 $\overline{\text{RES}}$  端子によるリセットでは、電源投入後発振が安定するまで  $\overline{\text{RES}}$  端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した  $\overline{\text{RES}}$  パルス幅の間  $\overline{\text{RES}}$  端子を Low レベルに保持してください。

### 20.8.2 ソフトウェアプロテクト

ソフトウェアで FLMCR1 の SWE ビットをクリアすることで全ブロック書き込み / 消去プロテクト状態になります (内蔵 RAM / 外部メモリ上で実行してください)。この状態で FLMCR1 の P ビットまたは E ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。また、EBR1、EBR2 の設定により、ブロックごとに消去プロテクトが可能です。EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。

### 20.8.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み / 消去中に CPU の暴走や書き込み / 消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み / 消去動作を中断した状態です。書き込み / 消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中に以下のエラーを検出すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態となります。

- 書き込み / 消去中のフラッシュメモリ読み出し (ベクタリードおよび命令フェッチを含む)
- 書き込み / 消去中のリセットを除く例外処理開始
- 書き込み / 消去中の SLEEP 命令実行
- 書き込み / 消去中に CPU がバス権を開放

このとき、FLMCR1、FLMCR2、EBR1、EBR2 の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PV ビット、EV ビットは設定できるので、ベリファイモードへの遷移は可能です。エラープロテクト状態は、リセットまたハードウェアスタンバイモードによってのみ解除できます。

## 20.9 ライタモード

ライタモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み / 消去を行うことができます。PROM ライタはルネサス 512K バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT512V3A) をサポートしているライタを使用してください。

## 20.10 フラッシュメモリの低消費電力動作

ユーザモードではフラッシュメモリは次のいずれかの状態になります。

- 通常動作状態  
フラッシュメモリの読み出しが可能です。
- スタンバイ状態  
フラッシュメモリのすべての回路が停止します。

表 20.7 に本 LSI の動作モードとフラッシュメモリの状態の関係を示します。フラッシュメモリがスタンバイ状態から通常動作状態へ復帰するときは、停止した電源回路の安定化時間が必要となります。外部クロックを使用する場合も含めて、通常動作モードへ復帰するときの待機時間が 100  $\mu$ s 以上になるよう SBYCR の STS3 ~ STS0 を設定してください。

表 20.7 フラッシュメモリの動作状態

動作モード	フラッシュメモリの状態
アクティブモード	通常動作状態
スリープモード	通常動作状態
スタンバイモード	スタンバイ状態

## 20.11 使用上の注意事項

オンボードプログラミングモードおよびライタモード使用時の注意事項を示します。

1. 規定された電圧、タイミングでフラッシュメモリへの書き込み / 消去を行ってください。  
定格以上の電圧を印加した場合、本 LSI の永久破壊となることがあります。PROM ライタはルネサス 512K バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT512V3A) をサポートしているものを使用してください。ライタの設定は HN27C4096 にセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。
2. 電源投入 / 切断時は、リセット状態にしてください。  
 $V_{CC}$  電源の印加 / 切断時は  $\overline{RES}$  端子を Low レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入および解除タイミングは停電などによる電源の切断、再投入時にも満足するようにしてください。

3. フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。  
推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく、書き込み/消去を行うことができます。また、FLMCRIのPビット、Eビットをセットするときは、プログラムの暴走などに備えてあらかじめウォッチドッグタイマを設定してください。
4. SWEビットのセット/クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。  
フラッシュメモリ上のプログラム実行とデータの読み出しは、SWEビットをクリアした後100 μs以上たってから行ってください。SWEビットをセットするとフラッシュメモリのデータを書き換えることができますが、SWE=1のときはプログラムベリファイ/イレースベリファイモード以外ではフラッシュメモリを読み出すことはできません。ベリファイ (プログラム/イレース中のベリファイ) 以外の目的でフラッシュメモリをアクセスしないでください。また、プログラム/イレース/ベリファイ中にSWEビットのクリアを行わないでください。フラッシュメモリ上のプログラム実行とデータ読み出しはSWEビットをクリアした後に行ってください。ただし、フラッシュメモリ空間とオーバーラップしたRAMエリアについては、SWEビットのセット/クリアにかかわらずリード/ライト可能です。
5. フラッシュメモリの書き込み/消去中に割り込みを使用しないでください。  
フラッシュメモリへの書き込み/消去を行う場合は、書き込み/消去動作を最優先とするため、NMIを含むすべての割り込み要求を禁止してください。
6. 追加書き込みは行わないでください。書き換えは消去後に行ってください。  
オンボードプログラミングでは、128バイトの書き込み単位ブロックへの書き込みは1回のみとしてください。ライターモードでも128バイトの書き込み単位ブロックへの書き込みは1回のみとしてください。書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。
7. 書き込み前に、正しくPROMライターに装着されていることを確認してください。  
PROMライターのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。
8. 書き込み中はソケットアダプタや製品に手を触れないでください。  
接触不良などにより、書き込み不良になることがあります。
9. 動作中は、SWEビットをクリアしてリセット入力してください。  
SWEビットクリア後、100 μs以上たってからリセット入力してください。

## 20. フラッシュメモリ (0.35 $\mu\text{m}$ F-ZTAT 版)

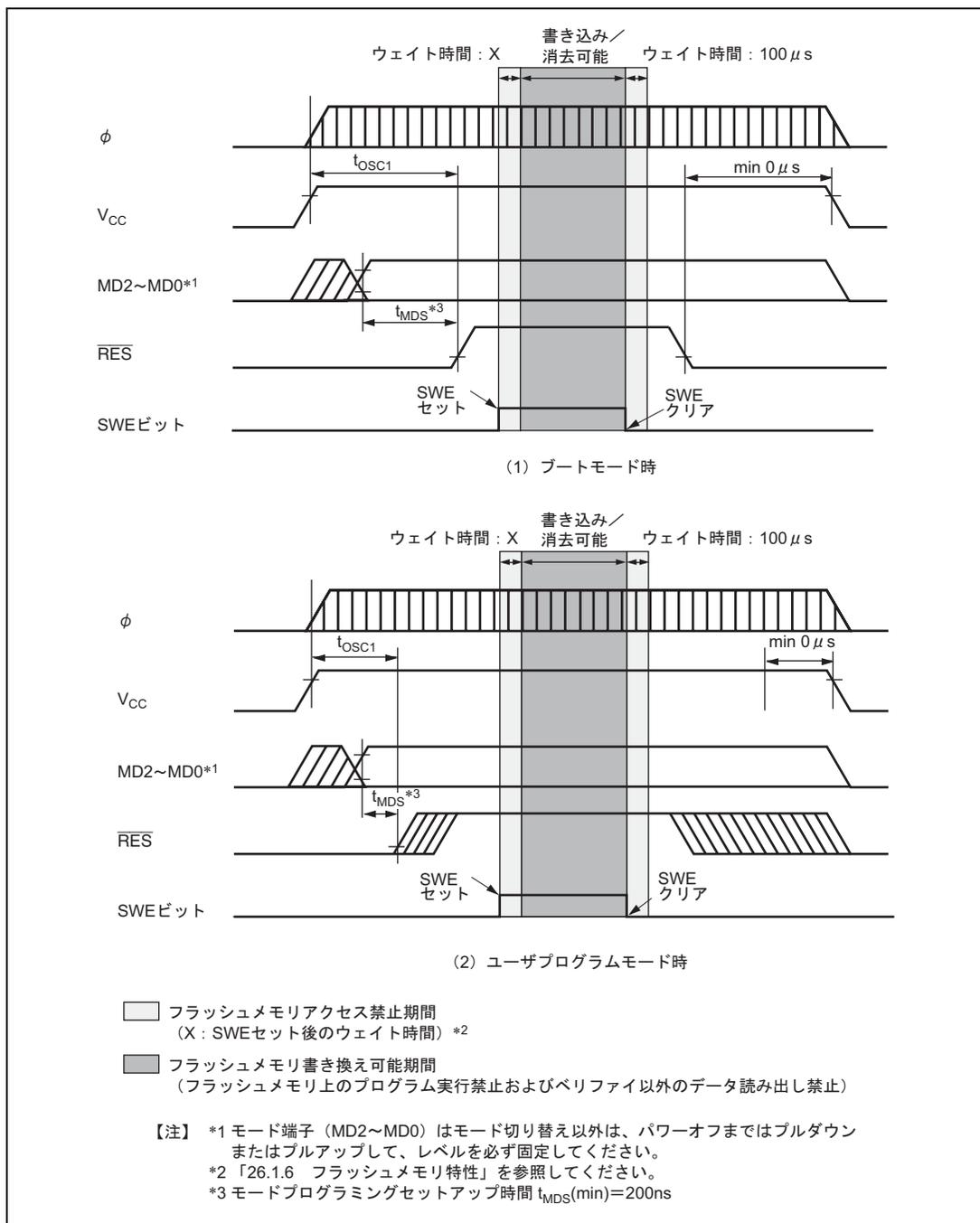


図 20.9 電源投入/切断タイミング

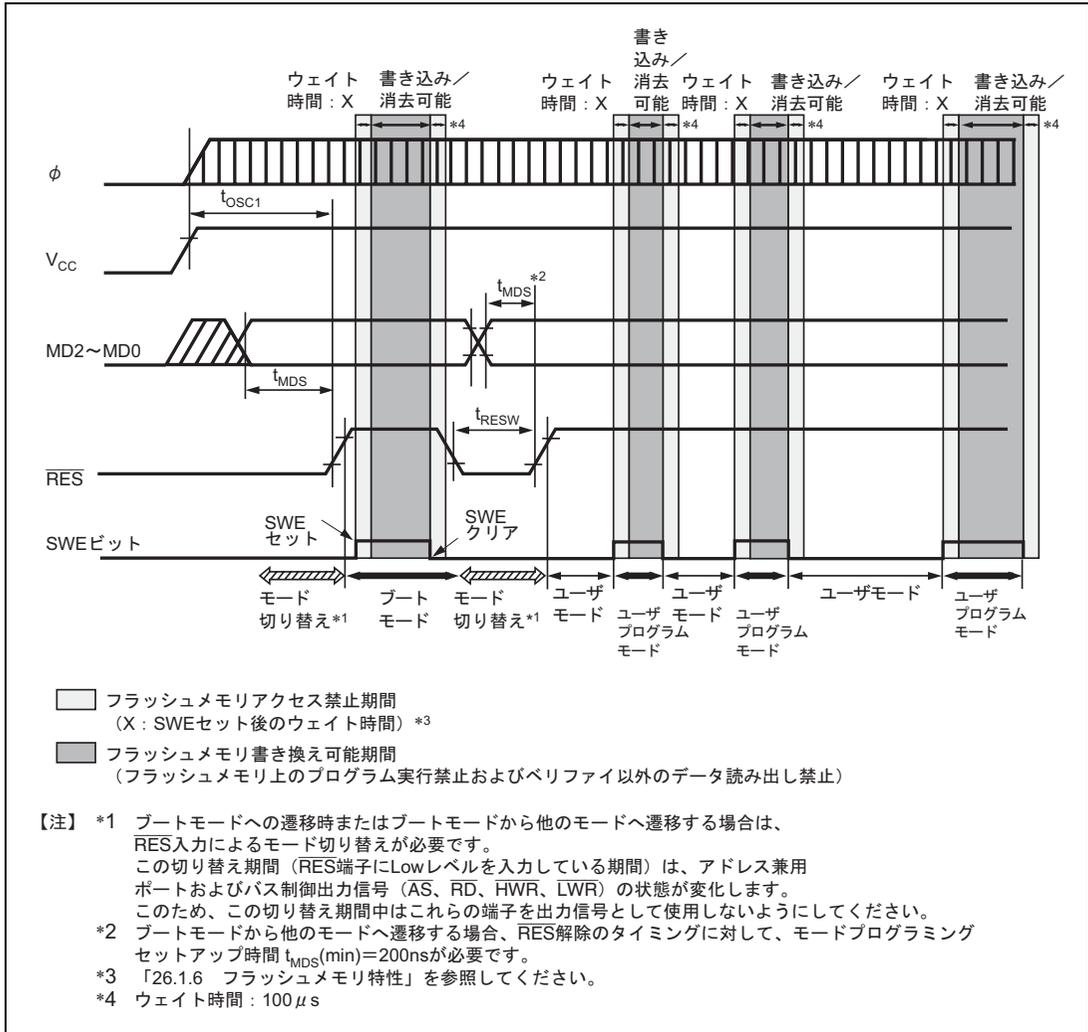


図 20.10 モード遷移タイミング (例: ブートモード ユーザモード ユーザプログラムモード)



---

## 21. フラッシュメモリ (0.18 μm F-ZTAT 版)

---

フラッシュメモリの特長を以下に示します。フラッシュメモリのブロック図を図 21.1 に示します。

### 21.1 特長

- 容量

製品区分		ROM 容量	ROM アドレス
H8S/2378	HD64F2378B	512K バイト	H'000000 ~ H'07FFFF (モード 3~5、7)
H8S/2378R	HD64F2378R		
H8S/2374	HD64F2374	384K バイト	H'000000 ~ H'05FFFF (モード 3~5、7)
H8S/2374R	HD64F2374R		
H8S/2372	HD64F2372	256K バイト	H'000000 ~ H'03FFFF (モード 3~5、7)
H8S/2372R	HD64F2372R		
H8S/2371	HD64F2371		
H8S/2371R	HD64F2371R		
H8S/2370	HD64F2370		
H8S/2370R	HD64F2370R		

- LSI起動モードにあわせた2種類のフラッシュメモリマツト

内蔵しているフラッシュメモリには、同一アドレス空間に配置される2種類のメモリ空間(以下メモリマツトとよびます)があり、起動時のモード設定により、どちらのメモリマツトから起動するかを選択できます。また、起動後もバンク切り替え方式でマツトを切り替えることも可能です。

ユーザモードでパワーオンリセット時に起動するユーザメモリマツト：256Kバイト / 384Kバイト / 512Kバイト

ユーザブートモードでパワーオンリセット時に起動するユーザブートメモリマツト：8Kバイト

- 内蔵プログラムのダウンロードによる書き込み / 消去インタフェース

本LSIでは専用の書き込み / 消去プログラムを内蔵しています。このプログラムを内蔵RAMにダウンロードした後、引数パラメータを設定するだけで書き込み / 消去が可能です。さらに、ユーザブランチをサポートしています。

ユーザブランチ：

書き込み処理は128バイト単位で実施しますが、書き込みパルス印加、ベリファイ読み出しなどいくつかのステップから構成されています。消去も1分割ブロック単位で実施しますが、いくつかの処理ステップから構成されています。このステップの合間にユーザ処理ルーチンの実行が可能な設定を行うことができ、この設定

## 21. フラッシュメモリ (0.18 $\mu$ m F-ZTAT 版)

---

をユーザブランチ付きと呼びます。

- 書き込み / 消去時間

フラッシュメモリの書き込み時間は、128バイト同時書き込みにて 1ms (typ)、1バイト当たり換算にて8 $\mu$ s、消去時間は64kブロック当たり750ms (typ) です。

- 書き換え回数

フラッシュメモリの書き換えは、100回まで可能です。

- オンボードプログラミングモード：3種類

ブートモード：

内蔵SCIインタフェースを使用するプログラムモードで、ユーザマットとユーザブートマットの書き換えができます。本モードでは、ホストと本LSI間のビットレートを自動であわせることができます。

ユーザプログラムモード：

任意のインタフェースで、ユーザマットの書き換えができます。

ユーザブートモード：

任意のインタフェースのユーザブートプログラム作成が可能で、ユーザマットの書き換えが可能です。

- オフボードプログラミングモード：1種類

ライターモード：

PROMライターを用いたライターモードで、ユーザマットとユーザブートマットの書き換えが可能です。

- 書き込み / 消去プロテクト

ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類でフラッシュメモリの書き込み / 消去に対するプロテクトを設定できます。

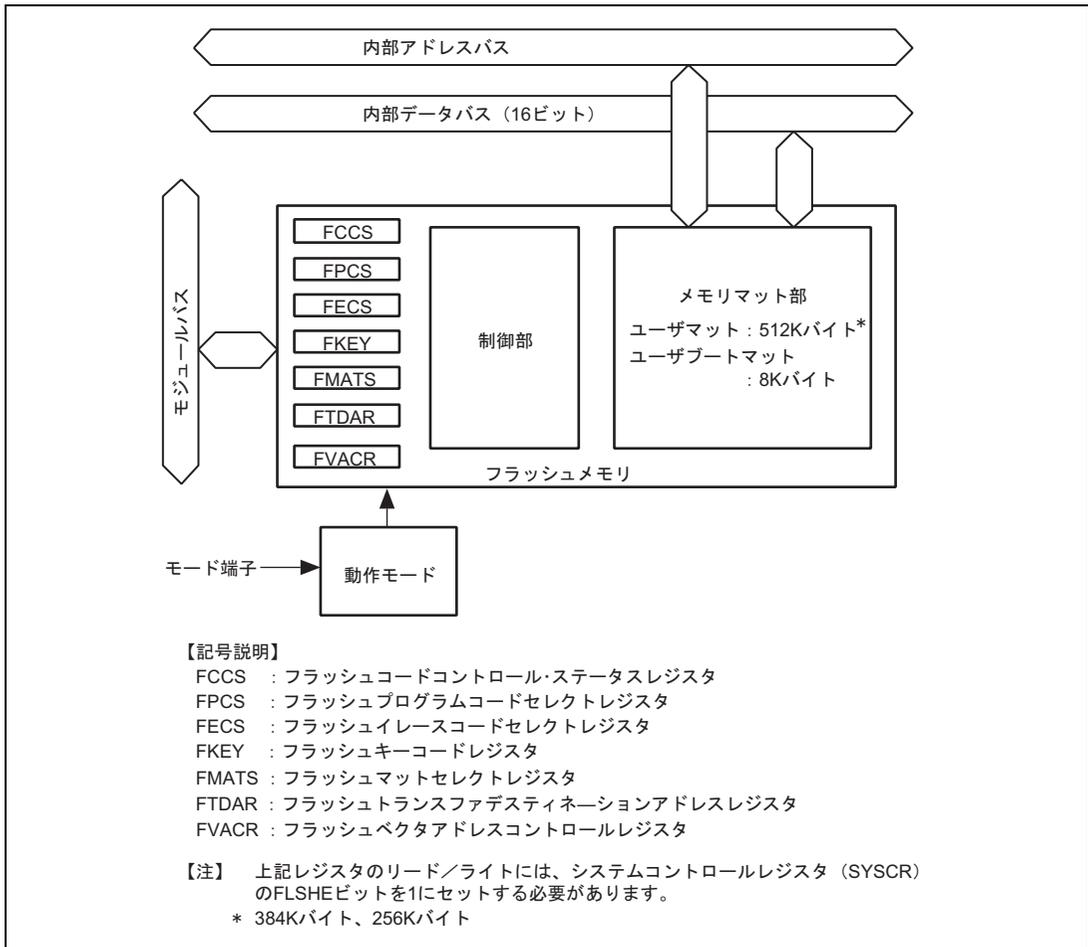


図 21.1 フラッシュメモリのブロック図

### 21.1.1 モード遷移図

リセット状態でモード端子を設定しリセットスタートすると、本 LSI は図 21.2 に示すような動作モードへ遷移します。

1. ROM無効モードではフラッシュメモリの読み出し/書き込み/消去はできません。
2. ユーザモードではフラッシュメモリの読み出しはできますが、書き込み/消去はできません。
3. オンボードでフラッシュメモリの読み出し/書き込み/消去ができるのは、ユーザプログラムモード、ユーザブートモード、ブートモードです。
4. ライタモードでは、PROMライタを利用してフラッシュメモリの読み出し/書き込み/消去を行います。

## 21. フラッシュメモリ (0.18 μm F-ZTAT 版)

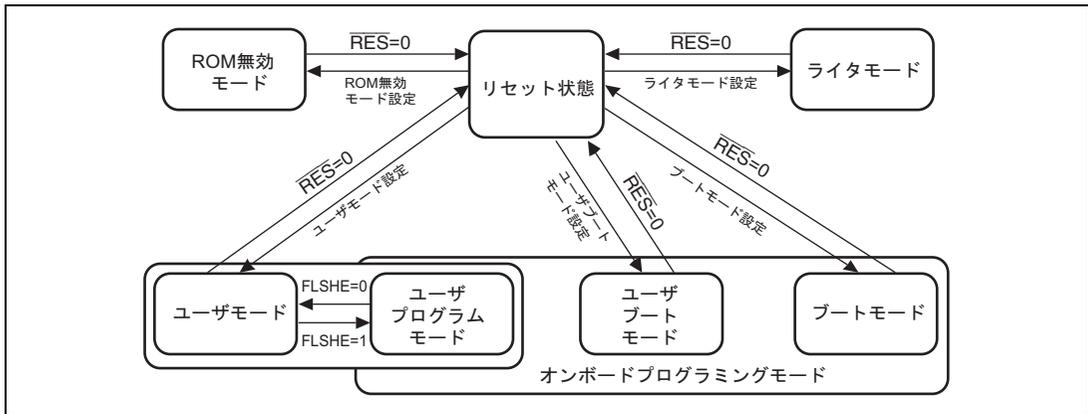


図 21.2 フラッシュメモリに関するモード遷移図

### 21.1.2 モード比較

ブートモード、ユーザープログラムモード、ユーザーブートモード、ライターモードについての書き込み / 消去関連項目の比較表を表 21.1 に示します。

表 21.1 プログラミングモードの比較

	ブートモード	ユーザープログラムモード	ユーザーブートモード	ライターモード
書き込み / 消去環境	オンボードプログラミング			オフボードプログラミング
書き込み / 消去可能マット	ユーザマット ユーザーブートマット	ユーザマット	ユーザマット	ユーザマット ユーザーブートマット
全面消去	(自動)			(自動)
ブロック分割消去	*1			×
書き込みデータ転送	ホストから SCI 経由	任意のデバイスから RAM 経由	任意のデバイスから RAM 経由	ライター経由
リセット起動マット	組み込みプログラム格納マット	ユーザマット	ユーザーブートマット*2	—
ユーザーモードへの遷移	モード設定変更 & リセット	FLSHE ビット設定変更	モード設定変更 & リセット	—

【注】 *1 いったん全面消去が行われます。その後、特定ブロックの消去を行うことができます。

*2 いったん組み込みプログラム格納マットから起動し、フラッシュ関連レジスタのチェックが実行された後、ユーザーブートマットのリセットベクタから起動します。

- ユーザーブートマットの書き込み / 消去は、ブートモードとライターモードでのみ可能です。

- ブートモードでは、いったんユーザマットとユーザブートマットが全面消去されます。その後、コマンド方式でユーザマットまたはユーザブートマットの書き込みができますが、この状態になるまではマット内容の読み出しはできません。  
ユーザブートマットだけ書き込んでユーザマットの書き換えはユーザブートモードで実施する、あるいは、ユーザブートモードは使用しないためユーザマットだけ書き換えるなどの使い方が可能です。
- ユーザブートモードでは、ユーザプログラムモードと異なるモード端子設定で、任意のインタフェースのブート動作を実現できます。

### 21.1.3 フラッシュマット構成

本 LSI のフラッシュメモリは、256K バイト / 384K バイト / 512K バイトのユーザマットと 8K バイトのユーザブートマットから構成されています。

ユーザマットとユーザブートマットは先頭アドレスが同じアドレスに割り当てられていますので、2 つのマット間でプログラム実行またはデータアクセスがまたがる場合は、FMATS によるマット切り替えが必要です。

ユーザマット / ユーザブートマットの読み出しは ROM 有効モードであればどのモードでも可能ですが、ユーザブートマットの書き換えはブートモードとライトモードでのみ可能です。

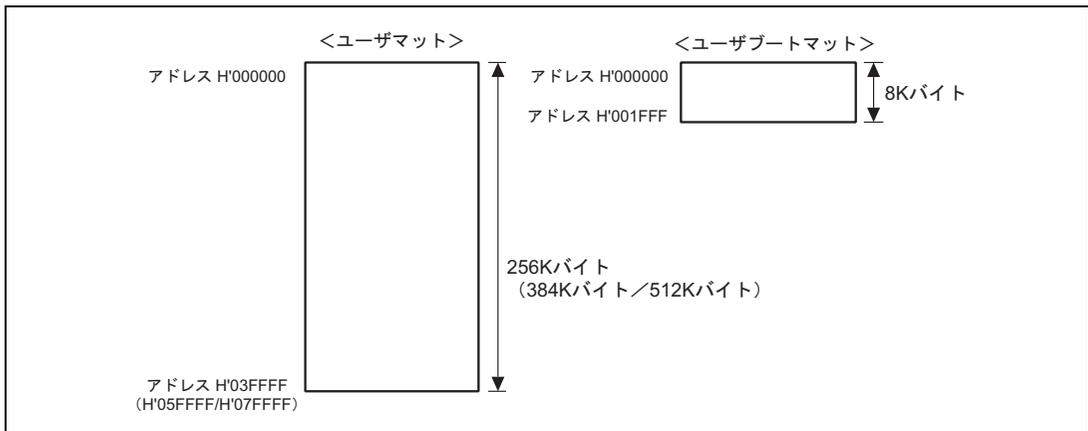


図 21.3 フラッシュメモリ構成図

ユーザマットとユーザブートマットはメモリサイズが異なります。8K バイト空間以上のユーザブートマットをアクセスしないようにしてください。8K バイト空間以上のユーザブートマットを読み出した場合、不定値が読み出されます。

### 21.1.4 ブロック分割

ユーザマツトは、図 21.4 に示すように 64K バイト (7 ブロック)、32K バイト (1 ブロック)、4K バイト (8 ブロック) に分割されています。この分割ブロック単位に消去ができ、消去時に EB0 ~ EB15 の消去ブロック番号で指定します。

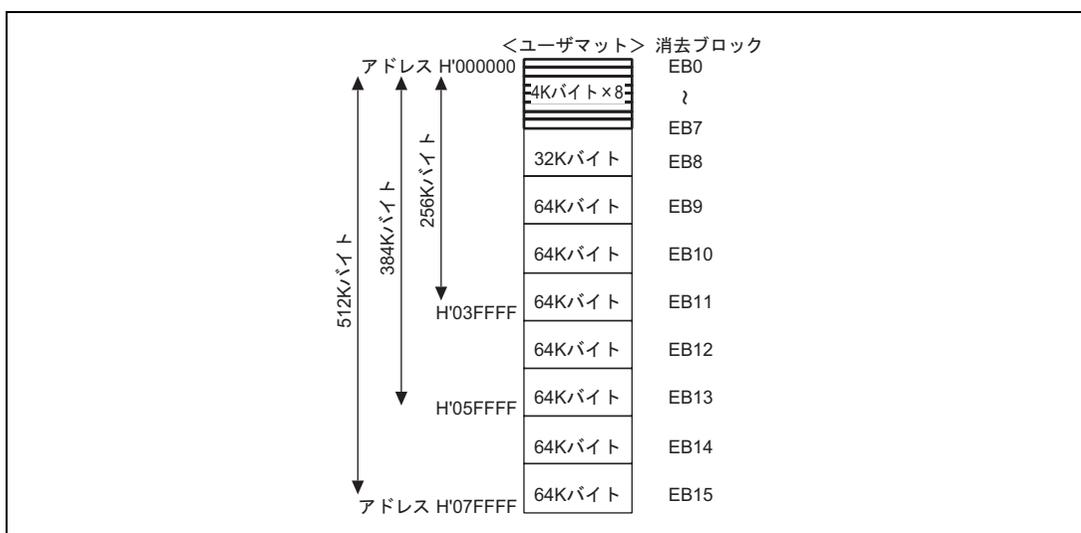


図 21.4 ユーザマツトのブロック分割

### 21.1.5 書き込み / 消去インタフェース

書き込み / 消去の実行は内蔵されているプログラムを内蔵 RAM 上にダウンロードし、書き込みアドレス / データ、消去ブロックなどをインタフェースレジスタ / パラメータで指定して行います。

ユーザプログラムモード / ユーザブートモードでは、これらの一連の手続きプログラムはユーザで作成していただきます。手順の概要を以下に示します。なお、詳細は「21.4.2 ユーザプログラムモード」で説明します。

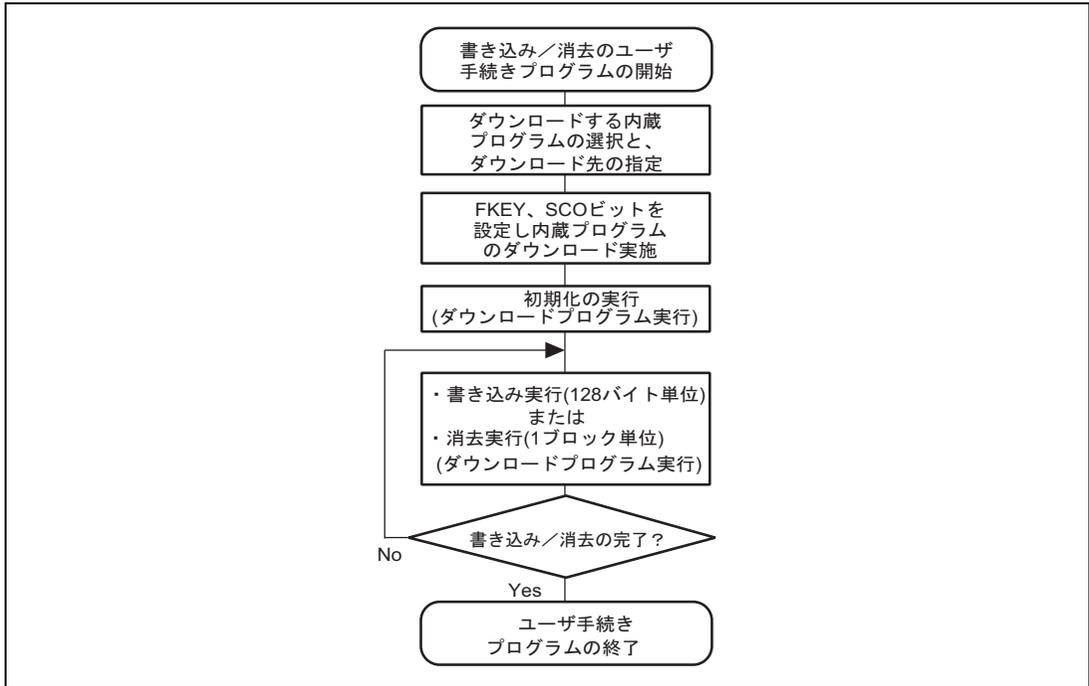


図 21.5 ユーザの手続きプログラムの概要

## 21. フラッシュメモリ (0.18 $\mu$ m F-ZTAT 版)

---

### (1) ダウンロードする内蔵プログラムの選択

書き込み / 消去を実施するためには、SYSCR の FLSHE ビットを 1 に設定しユーザプログラムモードにする必要があります。

本 LSI には、書き込み関係 / 消去関係のプログラムが内蔵されており、内蔵 RAM 上へのダウンロードが可能です。ダウンロードする内蔵プログラムの選択は、書き込み / 消去インタフェースレジスタの対応ビットをセットすることで行います。また、ダウンロード先のアドレスは FTDAR で指定することができます。

### (2) 内蔵プログラムのダウンロード

内蔵プログラムのダウンロードは、書き込み / 消去インタフェースレジスタの FKEY と、FCCS の SCO ビットの設定を行うことで自動的に行われます。

ダウンロード中はフラッシュメモリマットが組み込みプログラム格納領域と入れ替わります。また、書き込み / 消去時はフラッシュメモリマットの読み出しはできないため、ダウンロード以降書き込み / 消去完了までの一連の手続きプログラムはフラッシュメモリ以外 (内蔵 RAM 上など) で実行するようにしてください。

ダウンロードの結果は、書き込み / 消去インタフェースパラメータに戻されますので、正常にダウンロードできたかの確認ができます。

### (3) 書き込み / 消去の初期化

書き込み / 消去の実行前に、動作周波数の設定を行います。この設定は書き込み / 消去インタフェースパラメータで行います。

### (4) 書き込み / 消去の実行

書き込みでは書き込みデータ / 書き込み先アドレスの指定を 128 バイト単位で行います。

消去では消去ブロックの指定を消去ブロック単位で行います。

これらの指定を書き込み / 消去インタフェースパラメータで設定し、内蔵プログラムを起動します。内蔵プログラムは、内蔵 RAM 上の特定アドレスを JSR 命令または BSR 命令でサブルーチンコールすることで実行します。実行結果は、書き込み / 消去インタフェースパラメータに戻されます。

フラッシュメモリの書き込みにおいては事前に対象領域が消去されている必要があります。書き込み / 消去処理中は、すべての割り込みを禁止する必要があります。ユーザのシステム上で、割り込みが入らないようにしてください。

### (5) 引き続き、書き込み / 消去を実行する場合

128 バイトの書き込み、1 ブロックの消去で処理が終わらない場合、書き込みアドレス / データ、消去ブロック番号を更新して書き込み / 消去を連続して行う必要があります。

ダウンロードした内蔵プログラムは処理終了後も内蔵 RAM 上に残っていますので、引き続き同じ処理を実行する場合はダウンロードと初期化の必要はありません。

## 21.2 入出力端子

フラッシュメモリは表 21.2 に示す端子により制御されます。

表 21.2 端子構成

端子名	入出力	機能
RES	入力	リセット
MD2	入力	本 LSI の動作モードを設定
MD1	入力	本 LSI の動作モードを設定
MD0	入力	本 LSI の動作モードを設定
P52	入力	ライタモードの動作モードを設定
P51	入力	ライタモードの動作モードを設定
P50	入力	ライタモードの動作モードを設定
TxD1	出力	シリアル送信データ出力 (ブートモードで使用)
RxD1	入力	シリアル受信データ入力 (ブートモードで使用)

【注】 ライタモードの端子構成は「21.7 ライタモード」を参照してください。

## 21.3 レジスタの説明

フラッシュメモリをコントロールするレジスタ/パラメータを以下に示します。

- フラッシュコードコントロール・ステータスレジスタ (FCCS)
- フラッシュプログラムコードセレクトレジスタ (FPCS)
- フラッシュイレースコードセレクトレジスタ (FECS)
- フラッシュキーコードレジスタ (FKEY)
- フラッシュマットセレクトレジスタ (FMATS)
- フラッシュトランスファデスティネーションアドレスレジスタ (FTDAR)
- ダウンロードパス・フェイルリザルト (DPFP)
- フラッシュパス・フェイルリザルト (FPFR)
- フラッシュマルチパーパスアドレスエリア (FMPAR)
- フラッシュマルチパーパスデータデスティネーションエリア (FMPDR)
- フラッシュイレースブロックセレクト (FEBS)
- フラッシュプログラム・イレース周波数コントロール (FPEFEQ)
- フラッシュベクタアドレスコードコントロールレジスタ (FVACR)

フラッシュメモリのアクセスには読み出しモード/書き込みモードなどいくつかの動作モードがあります。また、メモリマットもユーザマットとユーザブートマットがあり、それぞれの動作モード、マット選択で専用

## 21. フラッシュメモリ (0.18 μm F-ZTAT 版)

のレジスタ/パラメータが割り当てられています。動作モードと使用レジスタ/パラメータの対応表を表 21.3 に示します。

表 21.3 使用レジスタ/パラメータと対象モード

		ダウンロード	初期化	書き込み	消去	読み出し
書き込み/ 消去インタ フェース レジスタ	FCCS		—	—	—	—
	FPCS		—	—	—	—
	FECS		—	—	—	—
	FKEY		—			—
	FMATS	—	—	(* ¹ )	(* ¹ )	(* ² )
	FTDAR		—	—	—	—
書き込み/ 消去インタ フェース パラメータ	DPFR		—	—	—	—
	FPFR	—				—
	FPEFEQ	—		—	—	—
	FUBRA	—		—	—	—
	FMPAR	—	—		—	—
	FMPDR	—	—		—	—
	FEBS	—	—	—		—

【注】 *1 ユーザブートモードでの、ユーザマットへの書き込み/消去時に設定が必要です。

*2 起動モードと読み出し対象マットの組み合わせで設定が必要な場合があります。

### 21.3.1 書き込み/消去インタフェースレジスタ

書き込み/消去インタフェースレジスタは8ビットのレジスタでバイトアクセスのみ可能です。FCCSのFLERビットを除き、これらのレジスタはパワーオンリセットとハードウェアスタンバイモード/ソフトウェアスタンバイモードで初期化されます。FLERビットは、ソフトウェアスタンバイモードでは初期化されません。

#### (1) フラッシュコードコントロール・ステータスレジスタ (FCCS)

FCCSは、フラッシュメモリの書き込み/消去実行中のエラー発生をモニタ、および内蔵プログラムのダウンロードを要求します。

ビット	ビット名	初期値	R/W	説明
7		1	R	リザーブビット リードすると常に1が読み出されます。ライトも常に1にしてください。
6, 5		すべて0	R	リザーブビット リードすると常に0が読み出されます。ライトも常に0にしてください。

21. フラッシュメモリ (0.18 μm F-ZTAT 版)

ビット	ビット名	初期値	R/W	説 明
4	FLER	0	R	<p>フラッシュメモリエラー</p> <p>フラッシュメモリへの書き込み / 消去実行中にエラーが発生したことを示します。FLER=1 にセットされると、フラッシュメモリはエラープロテクト状態に移ります。パワーオンリセットまたはハードウェアスタンバイモード遷移で初期化されます。なお、FLER=1 になった場合は、フラッシュメモリ内部に高電圧が印加されていますので、フラッシュメモリへのダメージを低減するために、通常より長い 100 μs のリセット入力期間の後にリセットリリースしてください。</p> <p>0: フラッシュメモリは正常に動作しています。フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) は無効</p> <p>[ クリア条件 ] パワーオンリセットまたはハードウェアスタンバイモードのとき</p> <p>1: フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効</p> <p>[ セット条件 ]</p> <ul style="list-style-type: none"> <li>• 書き込み / 消去中に NMI などの割り込みが発生したとき</li> <li>• 書き込み / 消去中にフラッシュメモリを読み出したとき (ベクタリードおよび命令フェッチを含む)</li> <li>• 書き込み / 消去中に SLEEP 命令を実行したとき (ソフトウェアスタンバイを含む)</li> <li>• 書き込み / 消去中に CPU 以外のバスマスタ (DMAC、DTC、BREQ) が、バス権を確保したとき</li> </ul>
3~1		すべて 0	R	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトも常に 0 にしてください。</p>
0	SCO	0	(R)/W	<p>ソースプログラムコピーオペレーション</p> <p>内蔵書き込み / 消去プログラムを内蔵 RAM にダウンロードする要求ビットです。本ビットに 1 を書き込むと、FPCS/FECS レジスタで選択した内蔵プログラムが、FTDAR レジスタで指定された内蔵 RAM の領域に自動的にダウンロードされます。本ビットに 1 を書き込むためには、FKEY への H'A5 の書き込み、および内蔵 RAM 上での実行が必要です。</p> <p>本ビットに 1 を書き込んだ直後には、4 個の NOP 命令を必ず実行するようにしてください。なお、ダウンロード完了時点では本ビットは 0 クリアされているため、本ビットの 1 状態を読み出すことはできません。ダウンロード中は、すべての割り込みを禁止する必要があります。ユーザのシステム上で割り込みが入らないようにしてください。</p> <p>0: 内蔵されている書き込み / 消去プログラムの内蔵 RAM へのダウンロードは行いません</p> <p>[ クリア条件 ] ダウンロードが完了するとクリアされます。</p> <p>1: 内蔵されている書き込み / 消去プログラムの内蔵 RAM へのダウンロードリクエストが発生します。</p> <p>[ セット条件 ] 以下の条件がすべて満足されている状態で、1 を書き込んだとき</p> <ol style="list-style-type: none"> <li>(1) FKEY に H'A5 が書かれていること</li> <li>(2) 内蔵 RAM 上で実行中であること</li> </ol>

## 21. フラッシュメモリ (0.18 μm F-ZTAT 版)

---

### (2) フラッシュプログラムコードセレクトレジスタ (FPCS)

FPCS は、ダウンロードする書き込み関係の内蔵プログラムを選択するレジスタです。

ビット	ビット名	初期値	R/W	説明
7~1		すべて0	R	リザーブビット リードすると常に0が読み出されます。ライトも常に0にしてください。
0	PPVS	0	R/W	プログラムパルスベリファイ 書き込みプログラムを選択します。 0: 内蔵の書き込みプログラムを選択しません。 [クリア条件] 転送が終了するとクリアされます。 1: 内蔵の書き込みプログラムを選択します。

### (3) フラッシュイレースコードセレクトレジスタ (FECS)

FECS は、消去関係の内蔵プログラムのダウンロードを選択するレジスタです。

ビット	ビット名	初期値	R/W	説明
7~1		すべて0	R	リザーブビット リードすると常に0が読み出されます。ライトも常に0にしてください。
0	EPVB	0	R/W	イレースパルスベリファイブロック 消去プログラムを選択します。 0: 内蔵消去プログラムを選択しません。 [クリア条件] 転送が終了するとクリアされます。 1: 内蔵消去プログラムを選択します。

## (4) フラッシュキーコードレジスタ (FKEY)

FKEY は、内蔵プログラムのダウンロードとフラッシュメモリの書き込み / 消去を許可するソフトウェアプロテクトのレジスタです。内蔵プログラムのダウンロード実施のための SCO ビットへの 1 書き込み前、およびダウンロードした書き込み / 消去プログラム実行前に、キーコードを書き込まないとそれぞれの処理が実行できません。

ビット	ビット名	初期値	R/W	説明
7	K7	0	R/W	キーコード
6	K6	0	R/W	H'A5 を書き込んだ場合にのみ、SCO ビット の書き込みが有効になります。H' A5 以外の値が FKEY に書かれている場合、SCO ビットに 1 を書き込むことができないため、内蔵 RAM へのダウンロードができません。また、H'5A を書き込んだ場合のみ、書き込み / 消去が可能になります。内蔵の書き込み / 消去プログラムを実行しても、H'5A 以外の値が FKEY レジスタに書かれている場合はフラッシュメモリの書き込み / 消去はできません。
5	K5	0	R/W	
4	K4	0	R/W	
3	K3	0	R/W	
2	K2	0	R/W	
1	K1	0	R/W	
0	K0	0	R/W	

## (5) フラッシュマットセレクトレジスタ (FMATS)

FMATS は、ユーザマット / ユーザブートマットのどちらを選択するかを指定するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	MS7	0/1*	R/W	マットセレクト
6	MS6	0	R/W	H'AA 以外の場合はユーザマット選択状態、H'AA が書かれている状態はユーザブートマット選択状態です。FMATS に値を書き込みことによりマット切り替えが発生します。マット切り替えは、必ず「21.6 ユーザマットとユーザブートマットの切り替え」に従ってください(ユーザプログラミングモードでのユーザブートマットの書き換えは、FMATS でユーザブートマットを選択してもできません。ユーザブートマットの書き換えは、ブートモードからライトモードで実施してください)。 H'AA : ユーザブートマットを選択します ( H'AA 以外ではユーザマット選択状態となります )。 ユーザブートモードで立ち上がった場合の初期値です。 H'00 : ユーザブートモード以外で立ち上がった場合の初期値です ( ユーザマット選択状態です )。 [書き込み可能条件] 内蔵 RAM 上での実効状態であること
5	MS5	0/1*	R/W	
4	MS4	0	R/W	
3	MS3	0/1*	R/W	
2	MS2	0	R/W	
1	MS1	0/1*	R/W	
0	MS0	0	R/W	

【注】 * ユーザブートモードのときは 1 になります。それ以外のときは 0 となります。

## 21. フラッシュメモリ (0.18 μm F-ZTAT 版)

### (6) フラッシュトランスファデスティネーションアドレスレジスタ (FTDAR)

FTDAR は、内蔵プログラムのダウンロード先の内蔵 RAM 上のアドレスを指定するレジスタです。FCCS レジスタの SCO ビットに 1 を書き込む前に、本レジスタの設定を行ってください。

ビット	ビット名	初期値	R/W	説 明
7	TDER	0	R/W	トランスファデスティネーションアドレス設定エラー TDA6 ~ TDA0 ビットで指定するダウンロード先頭アドレス指定にエラーがあった場合、1 がセットされます。アドレス指定のエラー判定は、FCCS の SCO ビットを 1 にして、ダウンロード処理が実行されたときに、TDA6 ~ TDA0 の値が H'00 ~ H'03 の範囲にあるかどうかを判定します。SCO ビットを 1 に設定する前に、本ビットの値を 0 にすることも含めて、FTDAR の値を H'00 ~ H'03 の範囲に設定してください。 0 : TDA6 ~ TDA0 の設定は、正常値です。 1 : TDER、TDA6 ~ TDA0 の設定値が H'04 ~ H'FF であり、ダウンロードは中断したことを示します。
6	TDA6	0	R/W	トランスファデスティネーションアドレス ダウンロード先頭アドレスを指定します。設定可能な値は H'00 ~ H'03 で、4K バイト単位で内蔵 RAM 上のダウンロード先頭アドレスを指定できます。 H'00 : ダウンロード先頭アドレスを H'FF9000 に設定 H'01 : ダウンロード先頭アドレスを H'FFA000 に設定 H'02 : ダウンロード先頭アドレスを H'FFB000 に設定 H'03 : ダウンロード先頭アドレスを H'FF8000 に設定 H'04 ~ H'7F : 設定しないでください。この値が設定された場合、ダウンロード処理において、TDER ビットが 1 になり、内蔵プログラムのダウンロード処理は中断されます。
5	TDA5	0	R/W	
4	TDA4	0	R/W	
3	TDA3	0	R/W	
2	TDA2	0	R/W	
1	TDA1	0	R/W	
0	TDA0	0	R/W	

### 21.3.2 書き込み / 消去インタフェースパラメータ

書き込み / 消去インタフェースパラメータは、ダウンロードした内蔵プログラムに対して動作周波数、書き込みデータの格納場所、書き込み先アドレス、消去ブロックなどの指定および処理結果のやりとりをするものです。このパラメータは、CPU の汎用レジスタ (ER0、ER1) や内蔵 RAM 領域を使用します。パワーオンリセット、ハードウェアスタンバイでの初期値は不定です。

ダウンロード、初期化、内蔵プログラム実行においては、ER0、ER1 以外の CPU のレジスタは保存されません。R0L は、処理結果の戻り値が記入されます。ER0、ER1 以外のレジスタの保存のためにスタック領域を使用しますので、処理開始においてはスタック領域の確保をしてください (使用スタック領域サイズは、最大 128 バイトです)。

書き込み / 消去インタフェースパラメータは、次の 4 項目で使用します。

1. ダウンロード制御
2. 書き込み / 消去実行前の初期化実行
3. 書き込み実行
4. 消去実行

それぞれ使用するパラメータは異なります。対応表を、表 21.4 に示します。

ここで FPFR パラメータは初期化処理、書き込み処理、消去処理において処理結果が戻されますが、処理内容によりビットの意味が異なります。各処理ごとの FPFR 説明部分をご覧ください。

表 21.4 使用パラメータと対象モード

パラメータ名	略称	ダウンロード	初期化	書き込み	消去	R/W	初期値	割り当て
ダウンロードバス・フェイ ルリザルト	DPFR		—	—	—	R/W	不定	内蔵 RAM*
フラッシュバス・ フェイルリザルト	FPFR					R/W	不定	CPU の R0L
フラッシュプログラムイ レース周波数コントロール	FPEFEQ	—		—	—	R/W	不定	CPU の ER0
フラッシュユーザ ブランチアドレスセット	FUBRA	—		—	—	R/W	不定	CPU の ER1
フラッシュマルチパーパス アドレスエリア	FMPAR	—	—		—	R/W	不定	CPU の ER1
フラッシュマルチパーパス データデスティネーション エリア	FMPDR	—	—		—	R/W	不定	CPU の ER0
フラッシュイレース ブロックセレクト	FEBS	—	—	—		R/W	不定	CPU の R0L

【注】 * FTDAR レジスタで指定したダウンロード先の先頭アドレス 1 バイト

## 21. フラッシュメモリ (0.18 μm F-ZTAT 版)

### (1) ダウンロード制御

内蔵プログラムのダウンロードは、SCO ビットを 1 にセットすることで自動的に行われます。ダウンロードされる内蔵 RAM の領域は、FTDAR レジスタで指定した先頭アドレスから 4K バイト分の領域です。

ダウンロード制御は書き込み / 消去インタフェースレジスタで設定し、戻り値は DPFR パラメータで渡されま

#### (a) ダウンロードパス・フェイルリザルトパラメータ (DPFR : FTDAR レジスタで指定した内蔵 RAM の先頭アドレス 1 バイト)

ダウンロード結果の戻り値です。ダウンロードが実行できたかどうかは、本パラメータの値で判断します。SCO ビットを 1 にできたかの確認が困難のため、ダウンロード開始前 (SCO ビットを 1 にセットする前) に、FTDAR で指定した内蔵 RAM の先頭アドレス 1 バイトをダウンロードの戻り値以外 (H'FF など) にして、確実な判断ができるようにしてください。

ビット	ビット名	初期値	R/W	説明
7~3				未使用ビット 値 0 が戻されます
2	SS		R/W	ソースセレクトエラー検出ビット ダウンロード可能な内蔵プログラムは 1 種類のみ指定できます。2 種類以上の選択を行った場合、選択されていない場合、およびマッピングされていない選択の場合にはエラーとなります。 0 : ダウンロードプログラムの選択関係は正常 1 : ダウンロードエラー発生 (多重選択または、マッピングされていないプログラム選択)
1	FK		R/W	フラッシュキーレジスタエラー検出ビット FKEY の値が、H'A5 であるかどうかをチェックした結果を返すビットです。 0 : FKEY の設定は正常 (FKEY = H'A5) 1 : FKEY の設定値エラー (FKEY は、H'A5 以外の値)
0	SF		R/W	サクセス / フェイルビット ダウンロードが正常に終了したかどうかを返すビットです。内蔵 RAM 上にダウンロードしたプログラムをリードバックし、内蔵 RAM 上に転送できているかの判定結果です。 0 : 内蔵プログラムのダウンロードは正常終了 (エラーなし) 1 : 内蔵プログラムのダウンロードが異常終了 (エラーが発生している)

## (2) 書き込み / 消去の初期化

ダウンロードされる書き込み / 消去の内蔵プログラムには、初期化プログラムも含まれています。

書き込み / 消去では決められた時間幅のパルス印加が必要で、ウェイトループを CPU 命令で構成する方法で規定のパルス幅を作成しています。このため、CPU の動作周波数を設定する必要があります。

これらの設定をダウンロードした書き込み / 消去プログラムのパラメータとして設定するのが初期化プログラムです。

## (a) フラッシュプログラム / イレース周波数パラメータ (FPEFEQ : CPU の汎用レジスタ ER0)

CPU の動作周波数の設定およびユーザブランチ機能を有効にするパラメータです。

ビット	ビット名	初期値	R/W	説 明
31 ~ 16	FUBE15 ~ 0		R/W	フラッシュユーザブランチイネーブルビット ユーザブランチ機能を有効にするときは、H'AA55 に設定してください。 それ以外は H'0000 に設定してください。
15 ~ 0	F15 ~ F0		R/W	周波数設定ビット CPU の動作周波数を設定します。設定値は以下のように算出してください。 <ul style="list-style-type: none"> <li>• MHz 単位で表現した動作周波数を小数点第 3 位で四捨五入し、小数点第 2 位までとする。</li> <li>• 100 倍した値を 2 進数に変換し、FPEFEQ パラメータ (汎用レジスタ ER0) に書き込む。</li> </ul> 具体例として、CPU の動作周波数が 35.000MHz の場合には、以下のようになります。 <ul style="list-style-type: none"> <li>• 35.000 の小数点第 3 位を四捨五入し、35.00。</li> <li>• $35.00 \times 100 = 3500$ を 2 進数変換し、B'0000 1101 1010 1100 (H'0DAC) を R0 に設定。</li> </ul>

## (b) フラッシュユーザブランチアドレス設定パラメータ (FUBRA : CPU の汎用レジスタ ER1)

ユーザブランチ先のアドレスを設定するパラメータです。書き込み / 消去実行時のある決まった処理単位ごとに、設定したユーザプログラムを実行することができます。ユーザブランチ機能を使用する場合は、本レジスタの設定と共に、FPEFEQ のフラッシュユーザブランチイネーブルビットを H'AA55 にセットしてください。

## 21. フラッシュメモリ (0.18 μm F-ZTAT 版)

ビット	ビット名	初期値	R/W	説明
31~0	UA31 ~ UA0		R/W	<p>ユーザブランチ先アドレス</p> <p>ユーザブランチ先は、内蔵プログラムが転送されている RAM 領域以外の RAM 空間または外部バス空間としてください。</p> <p>実行コードのない領域にブランチして暴走しないように注意し、内蔵プログラムのダウンロード領域やスタック領域を破壊しないようにしてください。暴走やダウンロード領域 / スタック領域の破壊が発生した場合、フラッシュメモリの値の保証もできません。</p> <p>ユーザブランチ先の処理では、内蔵プログラムのダウンロード、初期化、書き込み / 消去プログラムを起動しないでください。ユーザブランチ先から復帰時の書き込み / 消去の保証ができません。また、すでに準備していた書き込みデータを書き換えしないでください。</p> <p>さらに、ユーザブランチ先の処理で書き込み / 消去インタフェースレジスタの書き換えを行わないでください。</p> <p>ユーザブランチ処理終了後は、RTS 命令で書き込み / 消去プログラムに戻ってください。</p>

### (c) フラッシュバス / フェイルパラメータ (FPFR : CPU の汎用レジスタ R0L)

初期化結果の戻り値です。

ビット	ビット名	初期値	R/W	説明
7~3				未使用ビット 値 0 が戻されます
2	BR		R/W	<p>ユーザブランチエラー検出ビット</p> <p>指定されたユーザブランチ先アドレスが、ダウンロードされている書き込み / 消去関係プログラムの格納領域以外であるかをチェックした結果を戻します。</p> <p>0 : ユーザブランチアドレス設定は正常値 1 : ユーザブランチアドレス設定が異常値</p>
1	FQ		R/W	<p>周波数エラー検出ビット</p> <p>指定された CPU 動作周波数が、サポートしている動作周波数の範囲にあるかをチェックした結果を戻します。</p> <p>0 : 動作周波数の設定は正常値 1 : 動作周波数の設定が異常値</p>
0	SF		R/W	<p>サクセス / フェイルビット</p> <p>初期化が正常に終了したかどうかを戻すビットです。</p> <p>0 : 初期化は正常終了 (エラーなし) 1 : 初期化が異常終了 (エラーが発生している)</p>

## (3) 書き込み実行

フラッシュメモリへの書き込み実行においては、ユーザマット上の書き込み先アドレスと書き込みデータをダウンロードした書き込みプログラムに渡すことが必要です。

1. ユーザマット上の書き込み先の先頭アドレスを汎用レジスタER1に設定してください。このパラメータをFMPAR (フラッシュマルチパースアドレスエリアパラメータ) とよびます。

書き込みデータは常に128バイト単位ですので、ユーザマット上の書き込み先頭アドレスの境界はアドレスの下位8ビット (A7 ~ A0) が、H'00またはH'80のいずれかとしてください。

2. ユーザマットへの書き込みデータを連続領域に準備してください。書き込みデータはCPUのMOV.B命令でアクセス可能な連続空間で、内蔵フラッシュメモリ空間以外としてください。

書き込みたいデータが128バイトに満たない場合でも、ダミーコード (H'FF) を埋め込んで128バイトの書き込みデータを準備してください。

準備した書き込みデータが格納されている領域の先頭アドレスを、汎用レジスタER0に設定してください。このパラメータをFMPDR (フラッシュマルチパースデータデスティネーションエリアパラメータ) とよびます。

書き込み処理のための手続きの詳細については、「21.4.2 ユーザプログラムモード」を参照してください。

## (a) フラッシュマルチパースアドレスエリアパラメータ (FMPAR : CPU の汎用レジスタ ER1)

ユーザマット上の書き込み先の先頭アドレスを設定します。

フラッシュメモリ空間以外の領域のアドレスが設定されている場合、エラーとなります。

また、書き込み先の先頭アドレスは 128 バイト境界である必要があります。この境界条件になっていない場合も、エラーとなります。これらのエラーは FPFDR パラメータのビット 1 : WA ビットに反映されます。

ビット	ビット名	初期値	R/W	説 明
31 ~ 0	MOA31 ~ MOA0		R/W	ユーザマット上の書き込み先の先頭アドレスを格納します。ここで指定されたユーザマットの先頭アドレスから連続 128 バイトの書き込みが行われます。よって、指定する書き込み先の先頭アドレスは 128 バイト境界となり、MOA6 ~ MOA0 は常に 0 になります。

## (b) フラッシュマルチパースデータデスティネーションパラメータ (FMPDR : CPU の汎用レジスタ ER0)

ユーザマットに書き込むデータが格納されている領域の先頭アドレスを設定します。書き込みデータの格納先がフラッシュメモリ内の場合には、エラーとなります。このエラーは FPFDR パラメータの WD ビットに反映されます。

ビット	ビット名	初期値	R/W	説 明
31 ~ 0	MOD31 ~ MODA0		R/W	ユーザマットへの書き込みデータが格納されてる領域の先頭アドレスを格納します。ここで指定された先頭アドレスから連続 128 バイトのデータが、ユーザマットに対して書き込まれます。

## 21. フラッシュメモリ (0.18 μm F-ZTAT 版)

(c) フラッシュバス/フェイルパラメータ (FPFR: CPUの汎用レジスタ R0L)

書き込み処理結果の戻り値です。

ビット	ビット名	初期値	R/W	説明
7				未使用ビット 値0が戻されます
6	MD		R/W	書き込みモード関連設定エラー検出ビット エラープロテクト状態でないことのチェック結果を返します。エラープロテクト状態になっている場合、1が書き込まれます。これらの状態は、FCCSのFLERビットで確認できます。なお、エラープロテクト状態への遷移条件につきましては、「21.5.3 エラープロテクト」を参照してください。 0: FLER状態は正常 (FLER=0) 1: FLER=1であり、書き込みできない状態
5	EE		R/W	書き込み実行時エラー検出ビット ユーザマットが消去されていないために、指定データを書き込めなかったり、ユーザブランチ処理から戻った時点でフラッシュ関連レジスタの一部が書き換えられている場合に、本ビットには1が返されます。これらが原因で、本ビットが1になった場合、ユーザマットは途中で書き換えられている可能性が高いため、エラーになる原因を取り除いた後、消去から実施し直してください。また、FMATSレジスタの値がH'AAとなっており、ユーザブートマット選択状態のときに書き込みを実施しても、書き込み実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに、書き換えられてはいけません。ユーザブートマットの書き込みはブートモードまたはライターモードで実施してください。 0: 書き込み処理は正常終了 1: 書き込み処理が異常終了し、書き込み結果は保証できない
4	FK		R/W	フラッシュキーレジスタエラー検出ビット 書き込み処理開始前にFKEYの値をチェックした結果を戻します。 0: FKEYの設定は正常 (FKEY = H'5A) 1: FKEYの設定値エラー (FKEYは、H'5A以外の値)
3				未使用ビット 値0が戻されます
2	WD		R/W	ライトデータアドレス検出ビット 書き込みデータの格納先の先頭アドレスとして、フラッシュメモリ領域のアドレスが指定された場合にはエラーとなります。 0: 書き込みデータアドレス設定は正常値 1: 書き込みデータアドレス設定が異常値
1	WA		R/W	ライトアドレスエラー検出ビット 書き込み先先頭アドレスとして、以下が指定された場合にはエラーとなります。 • フラッシュメモリの領域外が書き込み先アドレスとして指定された場合 • 指定されたアドレスが128バイト境界でない (A6~A0が0でない) 場合 0: 書き込み先アドレス設定は正常値 1: 書き込み先アドレス設定が異常値

ビット	ビット名	初期値	R/W	説 明
0	SF		R/W	サクセス/フェイルビット 書き込み処理が正常に終了したかどうかを戻すビットです。 0 : 書き込みは正常終了 (エラーなし) 1 : 書き込みが異常終了 (エラーが発生している)

## (4) 消去実行

フラッシュメモリの消去実行においては、ユーザマツト上の消去ブロック番号をダウンロードした消去プログラムに渡す必要があります。これを、FEBS パラメータ (汎用レジスタ ER0) に設定します。

0~15 のブロック番号から 1 ブロックを指定します。

消去処理のための手続きの詳細については、「21.4.2 ユーザプログラムモード」を参照してください。

## (a) フラッシュイレースブロックセレクトパラメータ (FEBS : CPU の汎用レジスタ ER0)

消去ブロック番号を指定します。

ビット	ビット名	初期値	R/W	説 明
31~8				未使用ビット 値 0 を設定してください。
7~0	EBN7~0		R/W	イレースブロック番号 0~15 の範囲で消去ブロック番号を設定します。 EB0 ブロックを選択するときは H'00 を、EB15 ブロックを選択するときは H'0F を設定してください。H'00~H'0F*以外の設定ではエラーになります。

【注】 * H8S/2372、H8S/2371、H8S/2370、H8S/2372 R、H8S/2371 R、H8S/2370 R は H'00~H'0B の範囲内に設定してください。

H8S/2374、H8S/2374R は H'00~H'0D の範囲内に設定してください。

## 21. フラッシュメモリ (0.18 μm F-ZTAT 版)

### (b) フラッシュパス/フェイルパラメータ (FPFR: CPU の汎用レジスタ R0L)

消去処理結果の戻り値です。

ビット	ビット名	初期値	R/W	説明
7				未使用ビット 値0が戻されます
6	MD		R/W	消去モード関連設定エラー検出ビット エラープロテクト状態でないことのチェック結果を返します。エラープロテクト状態になっている場合、1が書き込まれます。これらの状態は、FCCSのFLERで確認できます。なお、エラープロテクト状態への遷移条件につきましては、「21.5.3 エラープロテクト」を参照してください。 0: FLER 状態は正常 (FLER=0) 1: FLER=1 であり、消去できない状態
5	EE		R/W	消去実行時エラー検出ビット ユーザマットの消去ができなかったり、ユーザブランチ処理から戻った時点でフラッシュ関連レジスタの一部が書き換えられている場合に、本ビットには1が返されます。これらが原因で、本ビットが1になった場合、ユーザマットは途中まで消去されている可能性が高いため、エラーになる原因を取り除いた後、再度消去を実施し直してください。また、FMATS レジスタの値が H'AA となっており、ユーザブートマット選択状態のときに消去を実施しても、消去実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに、消去されてはいません。ユーザブートマットの消去はブートモードまたはライトモードで実施してください。
4	FK		R/W	フラッシュキーレジスタエラー検出ビット 消去処理開始前に FKEY の値をチェックした結果を戻します。 0: FKEY の設定は正常 (FKEY = H'5A) 1: FKEY の設定値エラー (FKEY は、H'5A 以外の値)
3	EB		R/W	イレースブロックセレクトエラー検出ビット 指定された消去ブロック番号が、ユーザマットのブロック範囲内であるかのチェック結果です。 0: 消去ブロック番号の設定は正常値 1: 消去ブロック番号の設定が異常値
2、1				未使用ビット 値0が戻されます
0	SF		R/W	サクセス/フェイルビット 消去処理が正常に終了したかどうかを戻すビットです。 0: 消去は正常終了 (エラーなし) 1: 消去が異常終了 (エラーが発生している)

### 21.3.3 フラッシュベクタアドレスコントロールレジスタ (FVACR)

FVACR は、NMI 割り込みのベクタテーブルデータを読み出す空間を変更するレジスタです。通常は H'00001C ~ H'00001F のアドレス空間からベクタテーブルデータを読み出しますが、本レジスタの設定により内蔵 RAM 空間からベクタテーブルを読み出すことが可能です。本レジスタは、パワーオンリセット、ハードウェアスタンバイモードのときに H'00 に初期化されます。

書き込み / 消去処理、および内蔵プログラムダウンロード中は、NMI を含むすべての割り込みを禁止してください。どうしても NMI 割り込みが必要な場合、本レジスタを設定し、割り込み例外処理ルーチンを内蔵 RAM 上または外部空間に設定してください。

ビット	ビット名	初期値	R/W	説明
7	FVCHGE	0	R/W	ベクタ切り替え機能有効ビット ベクタテーブルデータを読み出す空間を変更する機能の有効 / 無効を選択するビットです。FVCHGE = 1 のときは、内蔵 RAM 空間からベクタテーブルデータを読み出すことが可能です。 0 : ベクタテーブルデータを読み出す空間を変更する機能は無効 1 : ベクタテーブルデータを読み出す空間を変更する機能は有効
6~4		すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトも常に 0 にしてください。
3	FVSEL3	0	R/W	割り込み要因選択ビット 本ビットを設定することにより、NMI 割り込み処理のベクタテーブルを内蔵 RAM 空間にすることができます。 0000 : ベクタテーブルデータはエリア 0 (H'00001C ~ H'00001F) 0001 : 設定禁止 001x : 設定禁止 01xx : 設定禁止 1000 : ベクタテーブルデータは内蔵 RAM 空間 (H'FFA01C ~ H'FFA01F) 1001 : 設定禁止 101x : 設定禁止 11xx : 設定禁止
2	FVSEL2	0	R/W	
1	FVSEL1	0	R/W	
0	FVSEL0	0	R/W	

【記号説明】 x : Don't care

## 21.4 オンボードプログラミング

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み/消去を行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはユーザプログラムモードとユーザブートモード、ブートモードの3種類の動作モードがあります。

ブートモード、ユーザブートモードの設定方法は、表 21.5 を参照してください。ユーザプログラムモードはソフトウェアで制御ビット (FLSHE ビット) を設定し動作可能です。また、フラッシュメモリに対する各モードへの状態遷移図は図 21.2 を参照してください。

表 21.5 オンボードプログラミングモードの設定方法

モード設定		MD2	MD1	MD0
ブートモード	アドバンスモード	0	1	1
ユーザブートモード	アドバンスモード	1	0	1

### 21.4.1 ブートモード

ブートモードは、内蔵の SCI を使用してホストから制御コマンドや書き込みデータを送信する方式でユーザマットやユーザブートマットへの書き込み/消去を実行するモードです。ホスト上に制御コマンドを送信するためのツールと書き込みデータを準備しておく必要があります。使用する SCI 通信モードは調歩同期式モードに設定されています。本 LSI の端子をブートモードに設定後、リセットスタートするとあらかじめマイコン内部に組み込まれているブートプログラムを起動し、SCI ビットレートの自動調整実施後、制御コマンド方式でのホストとの通信を行います。

図 21.6 にブートモード時のシステム構成図を示します。なお、ブートモードの端子設定は表 21.5 を参照してください。ブートモードでの NMI およびその他の割り込みは無視されます。しかし、NMI およびその他の割り込みはシステム側で発生しないようにしてください。

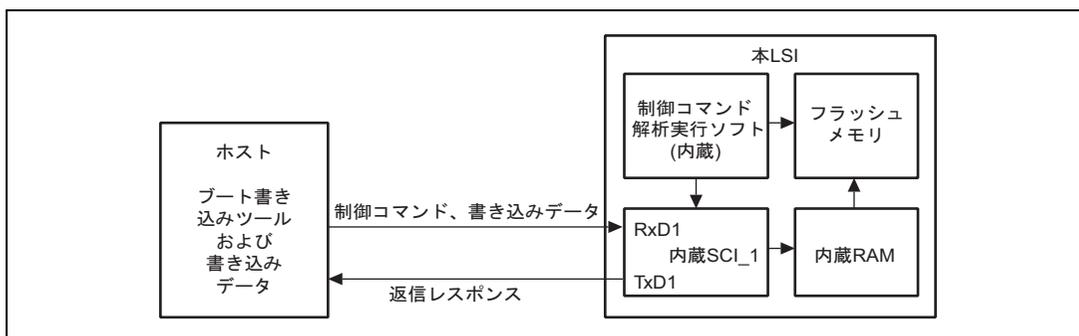


図 21.6 ブートモード時のシステム構成図

## (1) ホストの SCI インタフェース設定

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。このときの SCI 送信 / 受信フォーマットは「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図 (H'00 を 1 バイト) をホストへ送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを 9,600bps または 19,200bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 21.6 に示します。このシステムクロックの範囲内でブートモードを起動してください。

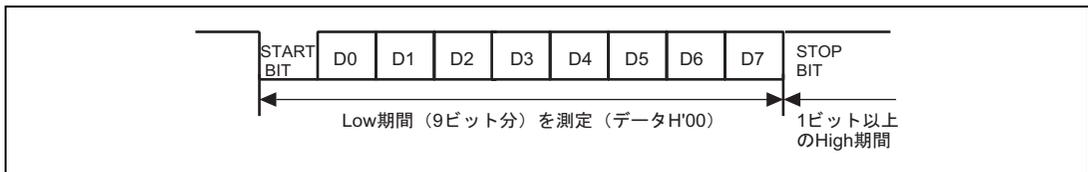


図 21.7 SCI ビットレートの自動合わせ込み動作

表 21.6 本 LSI の自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロック周波数
9,600 bps	8 ~ 25 MHz
19,200 bps	8 ~ 25 MHz

## (2) 状態遷移図

ブートモード起動後の、状態遷移図の概要を図 21.8 に示します。

## 1. ビットレート合わせ込み

ブートモード起動後、ホストとの SCI インタフェースのビットレート合わせ込みを行います。

## 2. 問い合わせ設定コマンド待ち

ユーザマットサイズ、ユーザマット構成、マット先頭アドレス、サポート状況などの問い合わせに対して、必要情報をホストに送信します。

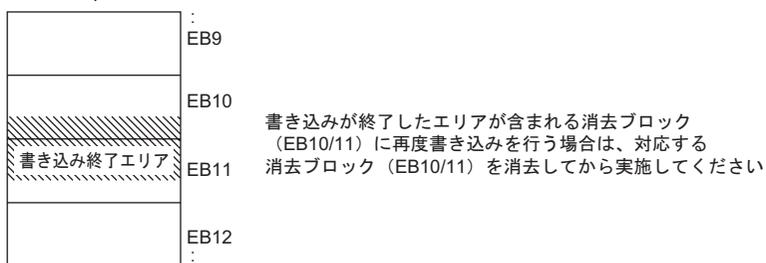
## 3. 全ユーザマットおよびユーザブートマットの自動消去

問い合わせが完了すると、すべてのユーザマットとユーザブートマットを自動消去します。

## 4. 書き込み / 消去コマンド待ち

## 21. フラッシュメモリ (0.18 μm F-ZTAT 版)

- 「書き込み準備通知」を受信すると、書き込みデータ待ち状態に遷移します。書き込みコマンドに続けて書き込み先頭アドレス、書き込みデータを送信してください。書き込み終了時は、書き込み先頭アドレスを H'FFFFFFF と設定して送信してください。これにより書き込みデータ待ち状態から、書き込み / 消去コマンド待ち状態に戻ります。いったん、書き込み終了コマンドを発行した書き込み終了エリアが含まれる消去ブロック内に再度書き込みを行う場合、対応する消去ブロックを消去してから実施してください。



- 「消去準備通知」を受信すると、消去ブロックデータ待ち状態に遷移します。消去コマンドに続けて消去ブロック番号を送信してください。消去終了時は、消去ブロック番号を H'FF と設定して送信してください。これにより消去ブロックデータ待ち状態から、書き込み / 消去コマンド待ち状態に戻ります。なお、消去の実行はブートモードでいったん書き込んだ後に、リセットスタートせずに特定のブロックのみを書き換える場合に使用してください。1回の操作で書き込みができる場合には、書き込み / 消去 / 他コマンド待ち状態に遷移する前に全ブロックの消去が行われていますので、本消去操作は必要ありません。
- 書き込み / 消去以外に、ユーザマット / ユーザブートマットのサムチェック、ユーザマット / ユーザブートマットのブランクチェック (消去チェック)、ユーザマット / ユーザブートマットのメモリリード、および現在のステータス情報の取得のコマンドがあります。

ユーザマット / ユーザブートマットのメモリ読み出しは、すべてのユーザマット / ユーザブートマットを自動消去した後に書き込んだデータについてのみ読み出しができます。それ以外は読み出しができませんので、ご注意ください。

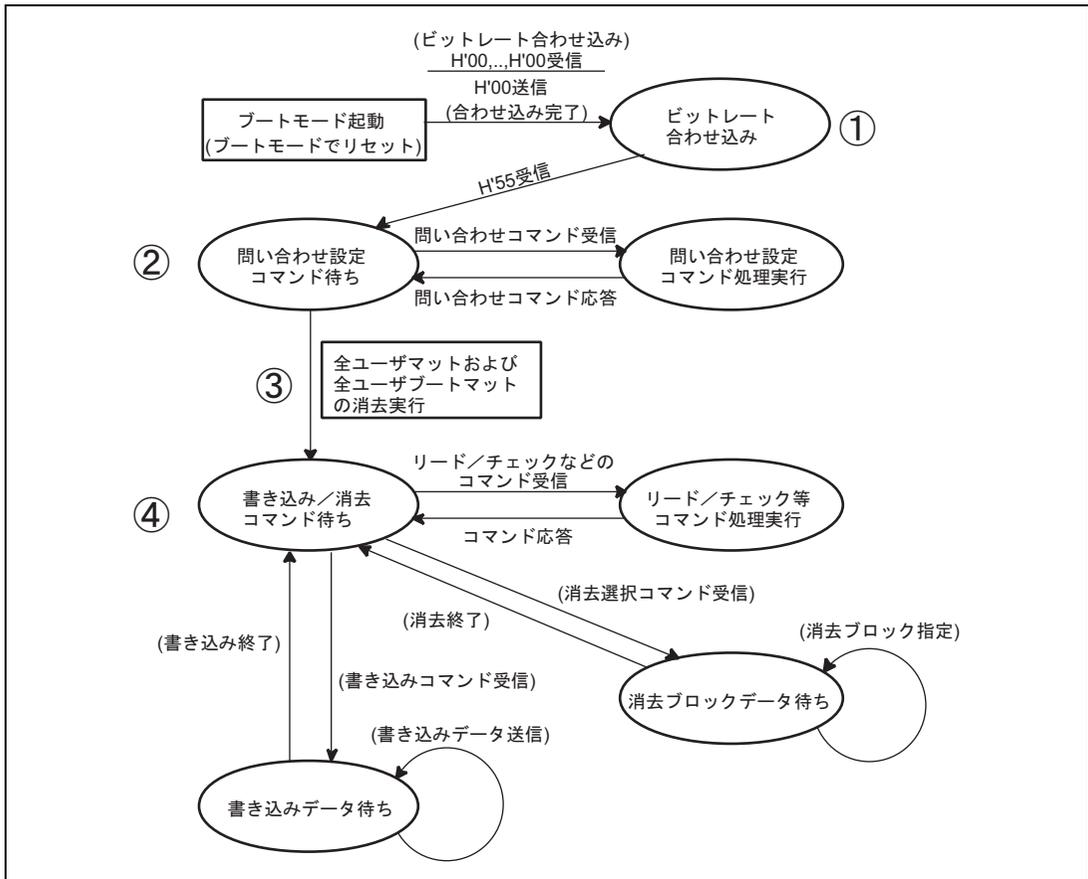


図 21.8 ブートモードの状態遷移の概略図

### 21.4.2 ユーザプログラムモード

ユーザプログラムモードでは、ユーザマットの書き込み/消去ができます（ユーザブートマットの書き込み/消去はできません）。

あらかじめマイコン内に内蔵されているプログラムをダウンロードして書き込み/消去を実施します。

書き込み/消去概略フローを図 21.9 に示します。

なお、書き込み/消去処理中はフラッシュメモリ内部に高電圧が印加されていますので、書き込み/消去処理中にはリセット、ハードウェアスタンバイへの移行は行わないようにしてください。フラッシュメモリにダメージを与え破壊する可能性があります。誤って、リセットしてしまった場合は、100 μs の通常より長いリセット入力期間のあとにリセットリリースしてください。

## 21. フラッシュメモリ (0.18 μm F-ZTAT 版)

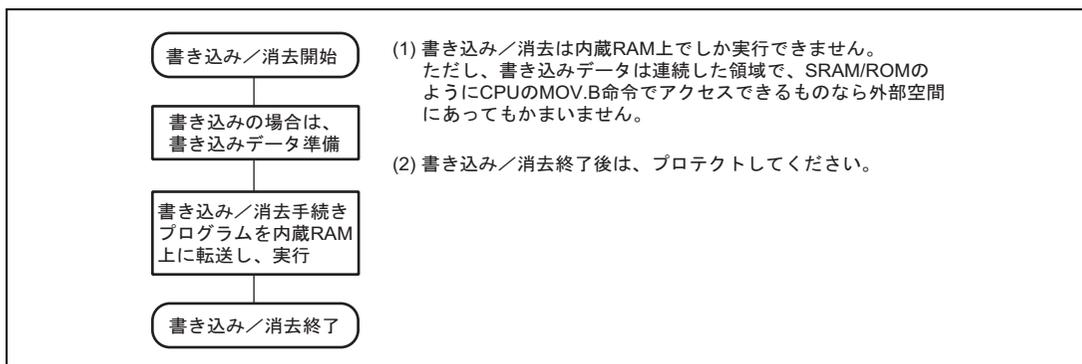


図 21.9 書き込み / 消去概略フロー

### (1) 書き込み / 消去実行時の内蔵 RAM のアドレスマップ

ダウンロードの要求、書き込み / 消去の手順、結果の判定などのユーザで作成してもらった手続きプログラムの一部は必ず内蔵 RAM 上で実行する必要があります。また、ダウンロードされる内蔵プログラムはすべて内蔵 RAM 上に存在します。これらが重複することのないように、内蔵 RAM 上の領域管理に気を付けてください。

図 21.10 にダウンロードされるプログラムの領域を示します。

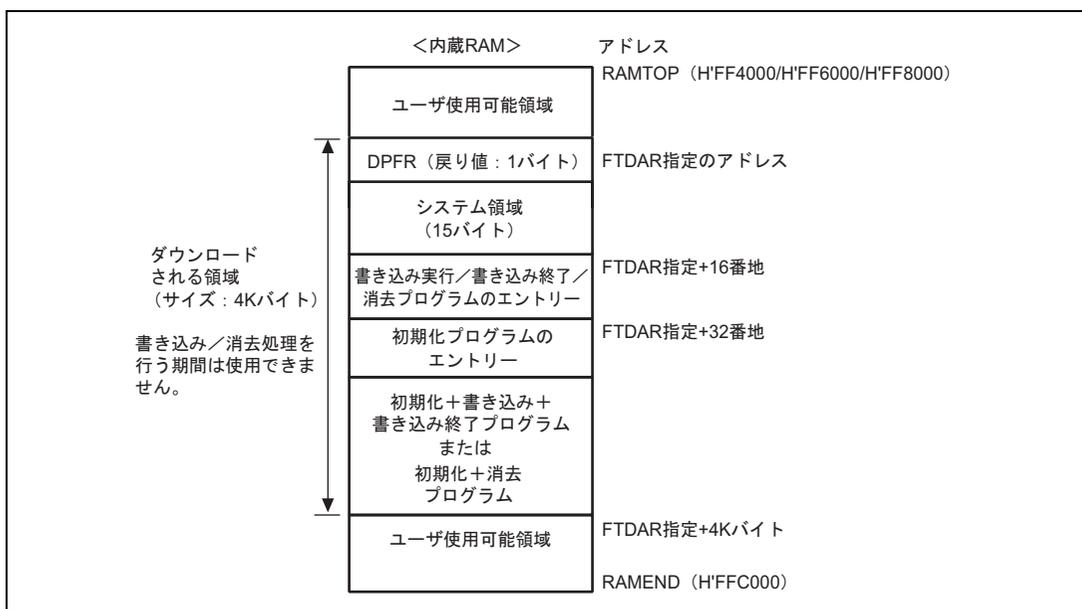
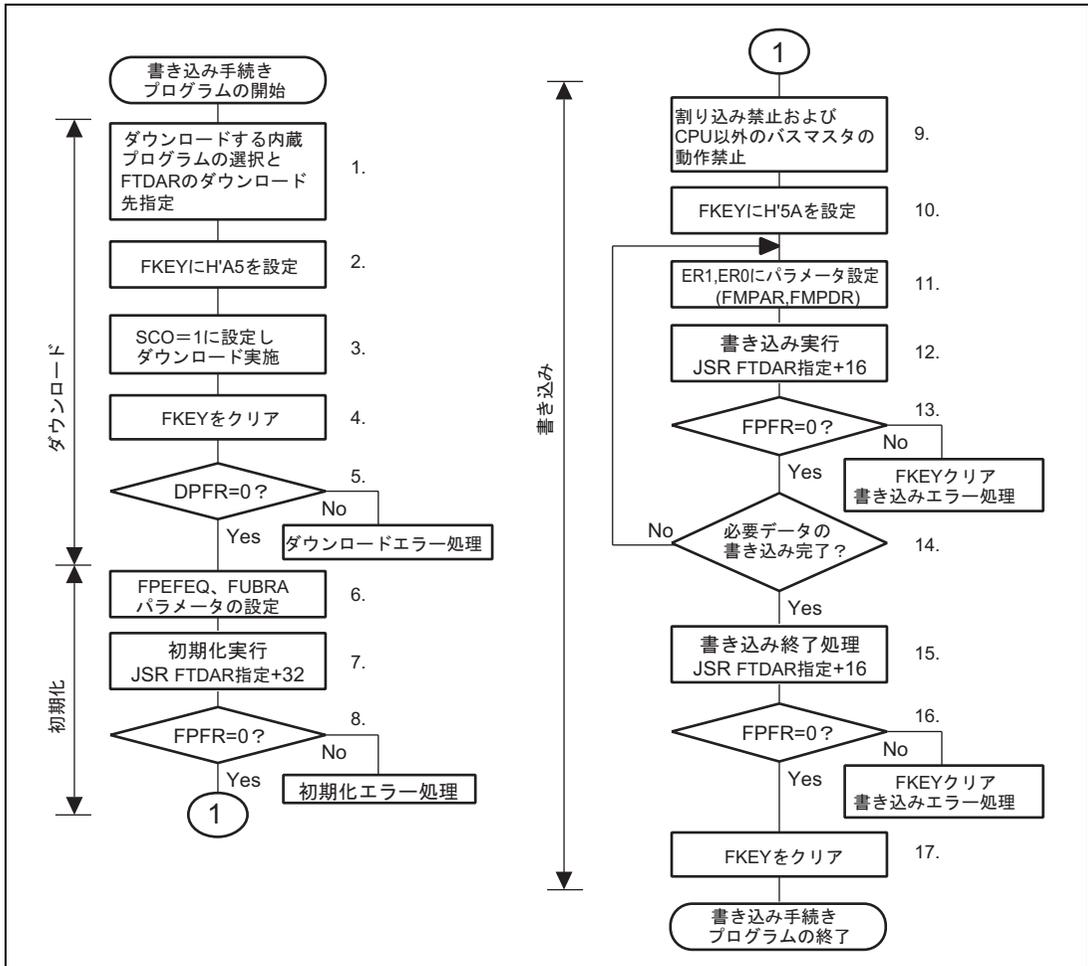


図 21.10 書き込み / 消去実施時の RAM マップ

## (2) ユーザプログラムモードでの書き込み手順

ダウンロード、初期化、書き込みの手順を図 21.11 に示します。



手続きプログラムは、書き込み対象のフラッシュメモリ以外で実行してください。特に、ダウンロードのために FCCS の SCO ビットを 1 に設定する部分は、必ず内蔵 RAM 上で実行するようにしてください。

ユーザの手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）を「21.4.4 手順プログラム、または書き込みデータの格納可能領域」に示します。

以下の説明は、ユーザマット上の書き込み対象領域は消去されており、書き込みデータも連続領域に準備できたという前提です。消去ができていない場合は、書き込み前に消去を実施してください。

1 回の書き込み処理では 128 バイトの書き込みを行います。128 バイトを超える書き込みを行う場合は、書き込

## 21. フラッシュメモリ (0.18 μm F-ZTAT 版)

---

み先アドレス / 書き込みデータのパラメータを 128 バイト単位で更新して書き込みを繰り返します。

128 バイト未満の書き込みの場合も無効データを埋め込んで 128 バイトにそろえる必要があります。埋め込む無効データを H'FF にすると書き込み処理時間を短縮できます。

1. ダウンロードする内蔵プログラムの選択とダウンロード先を選択します。

FPCSのPPVSビットを1に設定すると書き込みプログラムが選択されます。

書き込み / 消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DPFRパラメータにのSSビットにダウンロードエラーが報告されます。FTDARでダウンロード先の先頭アドレスを指定します。

2. FKEYにH'A5を書き込みます。

プロテクトのためにFKEYにH'A5を書き込まないとダウンロード要求のSCOビットに1を書き込みことができません。

3. FCCSのSCOビットに1を書き込んで、ダウンロードを実行します。

SCOビットに1を書き込むためには、以下の条件がすべて満足されている必要があります。

(1) FKEYにH'A5が書き込まれていること。

(2) SCOビット書き込みが内蔵RAM上で実行されていること。

SCOビットが1になると自動的にダウンロードが開始され、ユーザの手続きプログラムに戻ってきた時点では、SCO=0にクリアされていますので、ユーザ手続きプログラムではSCO=1の確認ができません。

ダウンロード結果の確認は、DPFRパラメータの戻り値での確認となりますので、SCO=1にする前に、DPFR パラメータとなる、FTDARで指定した内蔵RAMの先頭1バイトを、戻り値以外 (H'FFなど) に設定して誤判定の発生を防いでください。

ダウンロードの実行においては、マイコン内部処理として以下に示すようなバンク切り替えを伴った特殊な割り込み処理を行いますので、SCO=1を設定する命令の直後には4個のNOP命令を実行してください。

- ・ ユーザマット空間を内蔵プログラム格納領域に切り替えます。
- ・ ダウンロードプログラム選択条件とFTDARでの指定アドレスをチェック後、FTDARで指定された内蔵RAMへの転送処理を行います。
- ・ FPCS、FECS、FCCSのSCOビットを0クリアします。
- ・ DPFRパラメータに戻り値を設定します。
- ・ 内蔵プログラム格納領域をユーザマット空間に戻した後、ユーザ手続きプログラムに戻ります。

ダウンロードにおける注意事項について以下に述べます。

- ダウンロード処理では、CPUのER0、ER1以外の汎用レジスタは値が保存されます。
- ダウンロード処理中は、すべての割り込みは受け付けられません。NMI以外の割り込みの要求は保持されていますので、ユーザ手続きプログラムに戻った時点で、割り込みが発生することになります。なお、NMIIはFVACR

レジスタがH'00の場合、要求が破棄され、FVACRにH'88が書き込まれている場合は、要求が保持されていますのでユーザ手続きプログラムに戻った時点でNMI割り込みが発生します。

- 内蔵モジュールからの割り込み要求や、IRQの立ち下がりエッジの割り込み要求は、ダウンロード中は要因は保持されます。また、DRAMのリフレッシュは入れることができます。
  - なお、レベル検出割り込み要求を保持したい場合は、ダウンロード終了まで割り込みを入れておく必要があります。
  - ダウンロード処理中にハードウェアスタンバイモードに遷移した場合、内蔵RAM上への正常ダウンロードの保証はできませんので、再度ダウンロードから実行してください。
  - 最大128バイトのスタック領域を使用しますので、SCO=1にする前に確保しておいてください。
  - ダウンロード中にDMAC、DTC、 $\overline{\text{BREQ}}$ によるフラッシュメモリのアクセスが発生した場合は、動作保証ができませんので、DMAC、DTC、 $\overline{\text{BREQ}}$ によるアクセスが発生しないようにご注意ください。
4. プロテクトのために、FKEYをH'00にクリアします。
  5. DPFRパラメータの値をチェックしダウンロード結果を確認します。
    - DPFR パラメータ (FTDARで指定したダウンロード先の先頭アドレスの1バイト) の値をチェックします。値がH'00ならば、ダウンロードは正常に行われています。H'00以外の場合は、以下の手順でダウンロードが行われなかった原因を調査することができます。
    - DPFRパラメータの値が、ダウンロード実行前に設定した値 (H'FFなど) と同じであった場合は、FTDARのダウンロード先アドレス設定の異常が考えられますので、FTDARのTDERビットを確認してください。
    - DPFRパラメータの値が、ダウンロード実行前の設定値と異なっている場合は、DPFRパラメータのSSビットや、FKビットにて、ダウンロードプログラムの選択やFKEYの設定が正常であったかの確認をしてください。
  6. 初期化のためにFPEFEQとFUBRAパラメータの設定をします。
    - FPEFEQパラメータ (汎用レジスタ: ER0) に、現在のCPUクロックの周波数を設定します。  
FPEFEQパラメータの設定可能範囲は8 ~ 34MHz*となります。この範囲以外の周波数が設定された場合、初期化プログラムのFPRFパラメータにエラーが報告され初期化は行われません。周波数の設定方法は「21.3.2 (2) (a) フラッシュプログラム / イレース周波数パラメータ (FPEFEQ: CPUの汎用レジスタER0)」を参照してください。
    - FUBRAパラメータ (汎用レジスタ: ER1) に、ユーザブランチ先の先頭アドレスと、FPEFEQパラメータ (汎用レジスタ: ER0) に、ユーザブランチイネーブルビット (FUBE15~0) の設定を行います。ユーザブランチ機能が必要ない場合は、FUBRAおよびFUBE15~0に値0を設定してください。  
ユーザブランチを行う場合、ブランチ先は書き込み対象のユーザマット以外で実行するようにしてください。また、ダウンロードされた内蔵プログラムの領域への設定もできません。ユーザブランチ処理からは、RTS命令で書き込み処理に戻ってください。「21.3.2 (2) (a) フラッシュプログラム / イレース周波数パラメータ (FPEFEQ: CPUの汎用レジスタER0)」、「21.3.2 (2) (b) フラッシュユーザブランチアドレス設定パラメータ (FUBRA: CPUの汎用レジスタER1)」の説明を参照してください。

【注】 * H8S/2378 のときは 8 ~ 35MHz となります

## 21. フラッシュメモリ (0.18 $\mu$ m F-ZTAT 版)

---

### 7. 初期化の実行

初期化プログラムは書き込みプログラムのダウンロード時に一緒に内蔵RAM上にダウンロードされています。FTDAR設定のダウンロード先頭アドレス + 32バイトからの領域に、初期化プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

MOV.L	DLTOP+32,ER2;	エントリーアドレスを ER2 に設定
JSR	@ER2;	初期化ルーチンをコール
NOP		

- ・初期化プログラムではER0、ER1以外の汎用レジスタは保存されます。
  - ・R0LはFPFRパラメータの戻り値です。
  - ・初期化プログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保しておいてください。
  - ・初期化プログラム実行中の割り込み受け付けは可能です。ただし、内蔵RAM上のプログラム格納領域やスタック領域、レジスタの値を破壊しないようにしてください。
8. 初期化プログラムの戻り値FPFR (汎用レジスタR0L) を判定します。
9. すべての割り込みと、CPU以外のバスマスタの使用を禁止してください。

書き込みおよび消去においては規定の電圧を規定の時間幅で印加する処理を行います。この間に割り込みの発生または、CPU以外にバス権が移行するなどにより、規定以上の電圧パルスが印加されるとフラッシュメモリにダメージを与える可能性がありますので、必ず割り込みとCPU以外のDMAC、DTC、 $\overline{\text{BREQ}}$ へのバス権およびDRAMリフレッシュへの移行を禁止としてください。

割り込み処理禁止の設定で割り込み制御モード0のときは、CPUのコンディションコードスレジスタ (CCR) のビット7 (1) を1b'1に設定し、割り込み制御モード2のときは、CPUのエクステンドレジスタ (EXR) のビット2~0 (I2~I0) を3b'111に設定することで行います。こうするとNMI以外の割り込みは保持され、実行はされなくなります。

NMI割り込みは、ユーザシステム上で発生しないようにしてください。

保持した割り込みは、すべての書き込み処理後に実行するようにしてください。

また、CPU以外のDMAC、DTC、 $\overline{\text{BREQ}}$ へのバス権の移動およびDRAMリフレッシュが発生した場合、エラープロテクト状態に遷移しますので、割り込み禁止と同様にDMAC、DTC、 $\overline{\text{BREQ}}$ によるバス権確保も発生しないようにしておいてください。

10. FKEYにH'5Aを設定し、ユーザマットへの書き込みができるようにしてください。
11. 書き込みに必要なパラメータの設定を行います。

ユーザマットの書き込み先の先頭アドレス (FMPAR) を汎用レジスタER1に、書き込みデータ領域の先頭アドレス (FMPDR) の先頭アドレスを汎用レジスタのER0に設定します。

- FMPAR設定例

FMPARは書き込み先アドレスの指定ですので、ユーザマツエリア以外のアドレスが指定された場合、書き込みプログラムを実行しても書き込みは実行されず、戻り値パラメータFPFRにはエラーが報告されます。また、128バイト単位ですので下位8ビット (A7~A0) が、H'00かH'80の128バイト境界である必要があります。

- FMPDR設定例

書き込みデータの格納先がフラッシュメモリ上の場合、書き込み実行ルーチンを実行しても書き込みは行われず、FPFRパラメータにエラーが報告されます。この場合はいったん内蔵RAMに転送してから書き込むようにしてください。

## 12. 書き込み処理の実行

FTDARで指定したダウンロード先の先頭アドレス+16バイトからの領域に、書き込みプログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

```
MOV.L #DLTOP+16,ER2;   エントリーアドレスを ER2 に設定
JSR   @ER2;           書き込みルーチンをコール
NOP;
```

- ・書き込みプログラムではER0, ER1以外の汎用レジスタは保存されます。
- ・R0LはFPFRパラメータの戻り値です。
- ・書き込みプログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保しておいてください。

## 13. 書き込みプログラムの戻り値FPFR (汎用レジスタR0L) を判定します。

## 14. 必要データの書き込みが完了したかを判断します。

128バイトを超えるデータを書き込む場合、128バイト単位でFMPAR、FMPDRの設定を行い上記12.~14.の処理を繰り返します。書き込み先アドレスの128バイトのインクリメント、書き込みデータポイントの更新を正しく行ってください。書き込み済みのアドレスへの重複書き込みになると、書き込みエラーになるばかりでなく、フラッシュメモリにダメージを与えてしまいます。

## 15. 書き込み終了処理の実行

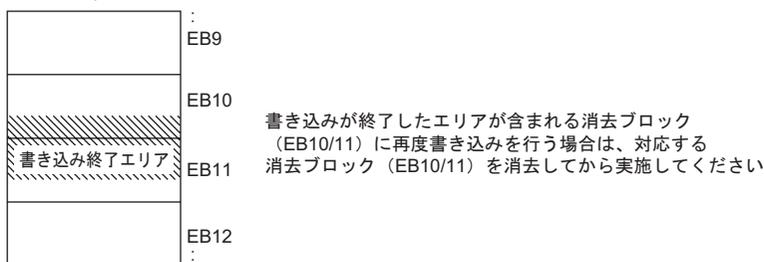
FTDARで指定したダウンロード先の先頭アドレス+16バイトからの領域に、書き込みライブラリのエントリーポイントがありますので、以下の様な方法でサブルーチンコールして実行してください。

```
MOV.L #H'F0F0F0F0, ER0;
MOV.L #H'0F0F0F0F, ER1;
MOV.L #DLTOP+16, ER2;   エントリーアドレスを ER2 に設定
JSR   @ER2;           書き込み終了ルーチンをコール
```

- ・書き込み終了プログラムではER0, ER1以外の汎用レジスタは保存されます。
- ・R0LはFPFRパラメータの戻り値です。

## 21. フラッシュメモリ (0.18 μm F-ZTAT 版)

- ・書き込み終了プログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保して置いてください。
- ・書き込み終了処理は1ブロックに対して1回だけ行ってください。同一ブロックに128バイト書き込みを複数回行った場合でも書き込み終了処理は1回だけ行ってください。(複数回行わないでください。) いったん、書き込み終了処理を実施した書き込み終了エリアが含まれるブロック内に、再度書き込みを行う場合、対応するブロックを消去してから、実施してください。
- ・書き込み終了処理の対象ブロックは、初期化処理実行後に書き込んだエリアを含むブロックがすべて対象となります。たとえば、EB1-3のブロックに書き込みを行った後に書き込み終了処理を1回実行すると、EB1,EB2,EB3のそれぞれに書き込み終了処理が実行されます。
- ・書き込み終了処理は、必要なデータの書き込みが完了した直後に、確実に実施してください。書き込み終了を実施前に、初期化処理や、内蔵プログラムのダウンロードの実行や、ダウンロード先のRAM領域の書き換えや、マットの切り替えなどを行うと、書き込みが正常に行われませんので注意が必要です。



16. 書き込みプログラムの戻り値FPFR (汎用レジスタR0L) を判定します。
17. 書き込みが終了したらFKEYをクリアして、ソフトウェアプロテクトを掛けてください。  
ユーザマットへの書き込み完了直後、パワーオンリセットで再起動する場合は通常より長い1100 μs以上のリセット実施期間 (RES=0の期間) を設けてください。

(3) ユーザプログラムモードでの消去手順

ダウンロード、初期化、消去の手順を図 21.12 に示します。

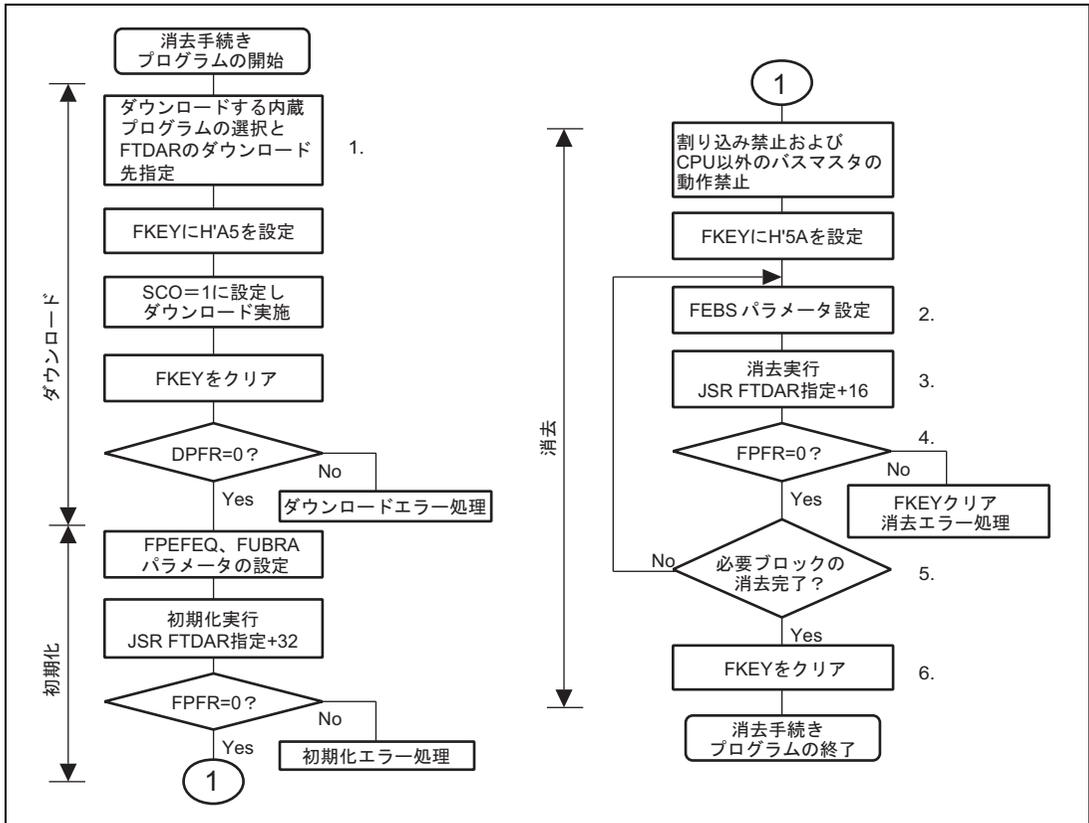


図 21.12 消去手順

## 21. フラッシュメモリ (0.18 $\mu$ m F-ZTAT 版)

---

手順プログラムは、消去対象のユーザマツト以外で実行してください。

特に、ダウンロードのために FCCS レジスタの SCO ビットを 1 に設定する部分は、必ず内蔵 RAM 上で動作するようにしてください。

ユーザの手続きプログラムのステップごとの実行可能な領域 (内蔵 RAM、ユーザマツト、外部空間など) を「21.4.4 手順プログラム、または書き込みデータの格納可能領域」に示します。

ダウンロードされる内蔵プログラムの領域については、図 21.10 の書き込み / 消去時の RAM マップを参照してください。

1 回の消去処理では 1 分割ブロックの消去を行います。ブロック分割については、図 21.4 を参照してください。

2 ブロック以上の消去を行う場合は、消去ブロック番号を更新して消去を繰り返します。

### 1. ダウンロードする内蔵プログラムを選択します。

FECs の EPVB ビットを 1 に設定します。

書き込み / 消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DPFR パラメータの SS ビットにダウンロードエラーが報告されます。

FTDAR レジスタで、ダウンロード先の先頭アドレスを指定します。

FKEY の設定以降のダウンロード、初期化、などの手続きは、書き込み手順と同じですので、「21.4.2 (2) ユーザプログラムモードでの書き込み手順」を参照してください。

消去プログラム用のパラメータ設定以降を以下に示します。

### 2. 消去に必要な FEBS パラメータの設定を行います。

ユーザマツトの消去ブロック番号をフラッシュイレースブロックセレクトパラメータ FEBS (汎用レジスタ ER0) に設定します。ユーザマツトの分割ブロック番号以外の値が設定された場合、消去処理プログラムを実行しても消去はされず、戻り値パラメータ FPFR にはエラーが報告されます。

### 3. 消去処理の実行

書き込みと同様に、FTDAR で指定したダウンロード先の先頭アドレス + 16 バイトからの領域に、消去プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

```
MOV.L #DLTOP+16,ER2; エントリーアドレスを ER2 に設定
JSR   @ER2;          消去ルーチンをコール
NOP;
```

・消去プログラムでは ER0、ER1 以外の汎用レジスタは保存されます。

・R0L は FPFR パラメータの戻り値です。

・消去プログラムではスタック領域を使用しますので、最大 128 バイトのスタック領域を RAM 上に確保しておいてください。

4. 消去プログラムの戻り値FPFR (汎用レジスタROL) を判定します。
5. 必要ブロックの消去が完了したかを判断します。  
複数ブロックの消去を実施する場合、FEBSパラメータの更新設定を行い上記 3.~5.の処理を繰り返します。  
消去済みブロックに対しての消去は可能です。
6. 消去が終了したらFKEYをクリアして、ソフトウェアプロテクトを掛けてください。  
ユーザマットへの消去完了直後、パワーオンリセットで再起動する場合は通常より長い100 μs以上のリセット実施期間 ( $\overline{\text{RES}}=0$ の期間) を設けてください。

### 21.4.3 ユーザブートモード

本 LSI にはユーザプログラムモード、ブートモードとは異なるモード端子設定で起動するユーザブートモードがあります。内蔵 SCI を使用するブートモードとは異なるユーザ任意のブートモードが実現できます。

ユーザブートモードで書き込み / 消去が可能なマットはユーザマットだけです。ユーザブートマットの書き込み / 消去は、ブートモードまたはライターモードで行ってください。

#### (1) ユーザブートモードでの起動

ユーザブートモード起動のためのモード端子の設定は表 21.5 を参照してください。

ユーザブートモードでリセットスタートすると、いったん組み込みのチェックルーチンが走行します。ここではユーザマット、ユーザブートマットの状態チェックが行われます。

この間の NMI およびその他の割り込みは受け付けられません。

その後、ユーザブートマット上のリセットベクタの実行開始アドレスから処理を開始します。この時点で、実行マットはユーザブートマットになっていますので、FMATS レジスタには H'AA が設定されています。

#### (2) ユーザブートモードでのユーザマットの書き込み

ユーザブートモードでユーザマットへの書き込みを行う手続きでは、FMATS によるユーザブートマット選択状態からユーザマット選択状態への切り替え、および書き込み終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの書き込み手続きを図 21.13 に示します。

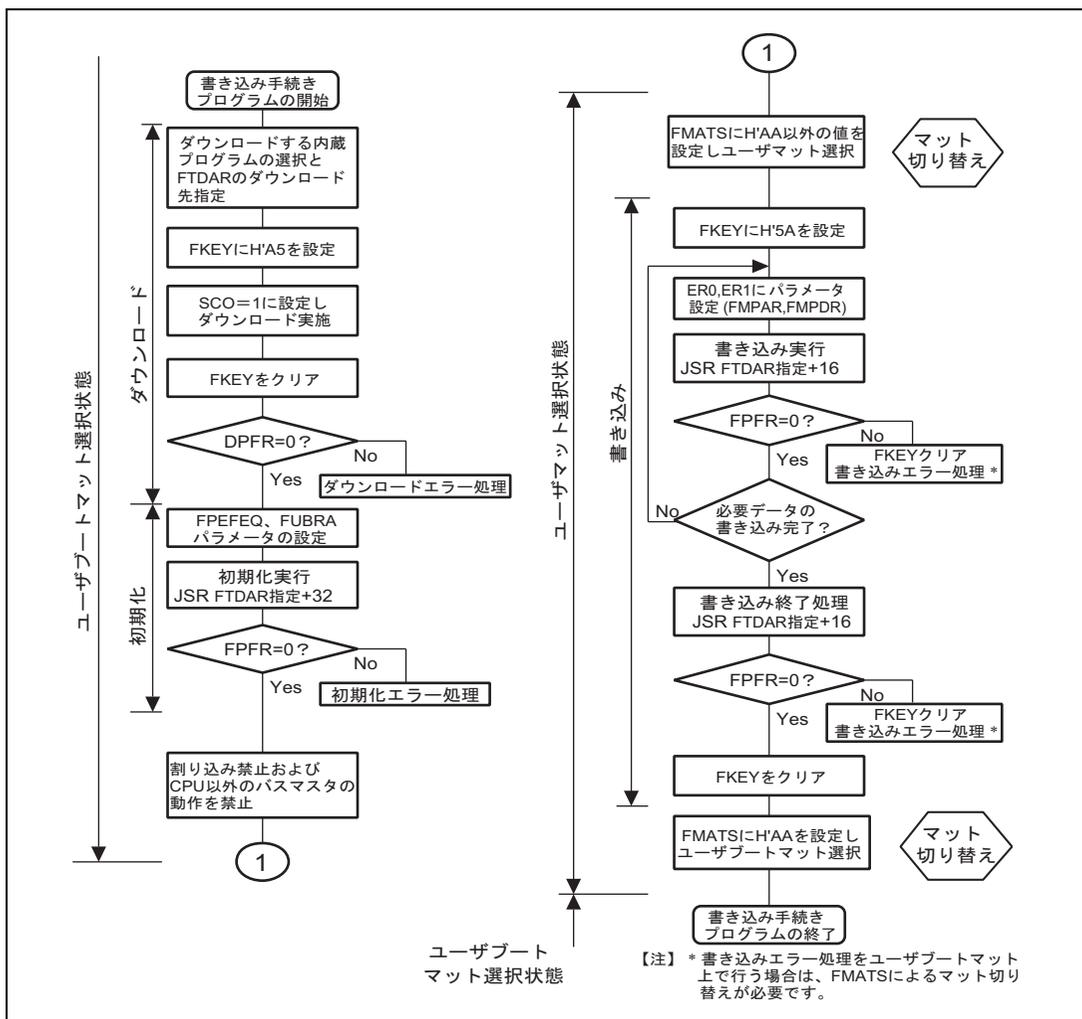


図 21.13 ユーザブートモードでのユーザマットへの書き込み手順

図 21.13 に示したように、ユーザプログラムモードとユーザブートモードでの書き込み手続きの違いは、マット切り替えを行うか否かです。

ユーザブートモードでは、フラッシュメモリ空間にユーザブートマットが見えていて、ユーザマットは「裏」に隠れている状態です。ユーザマットに書き込む処理の間だけ、ユーザマットとユーザブートマットを切り替えます。書き込み処理中は、ユーザブートマットは隠れており、かつユーザマットは書き込み状態ですので、手続きプログラムはフラッシュメモリ以外の領域で走行させる必要があります。書き込み処理が終了したら、最初の状態に戻すために再度マット切り替えを行います。

マット切り替えは、FMATS へ規定の値を書き込みことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不

安定状態が存在します。マット切り替えについては、「21.6 ユーザマットとユーザブートマットの切り替え」の説明に従ってください。

マット切り替え以外の書き込み手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域 (内蔵 RAM、ユーザマット、外部空間など) については「21.4.4 手順プログラム、または書き込みデータの格納可能領域」に示します。

(3) ユーザブートモードでのユーザマットの消去

ユーザブートモードでユーザマットの消去を行う手続きでは、FMATS によるユーザブートマット選択状態からユーザマット選択状態への切り替え、および消去終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの消去手続きを図 21.14 に示します。

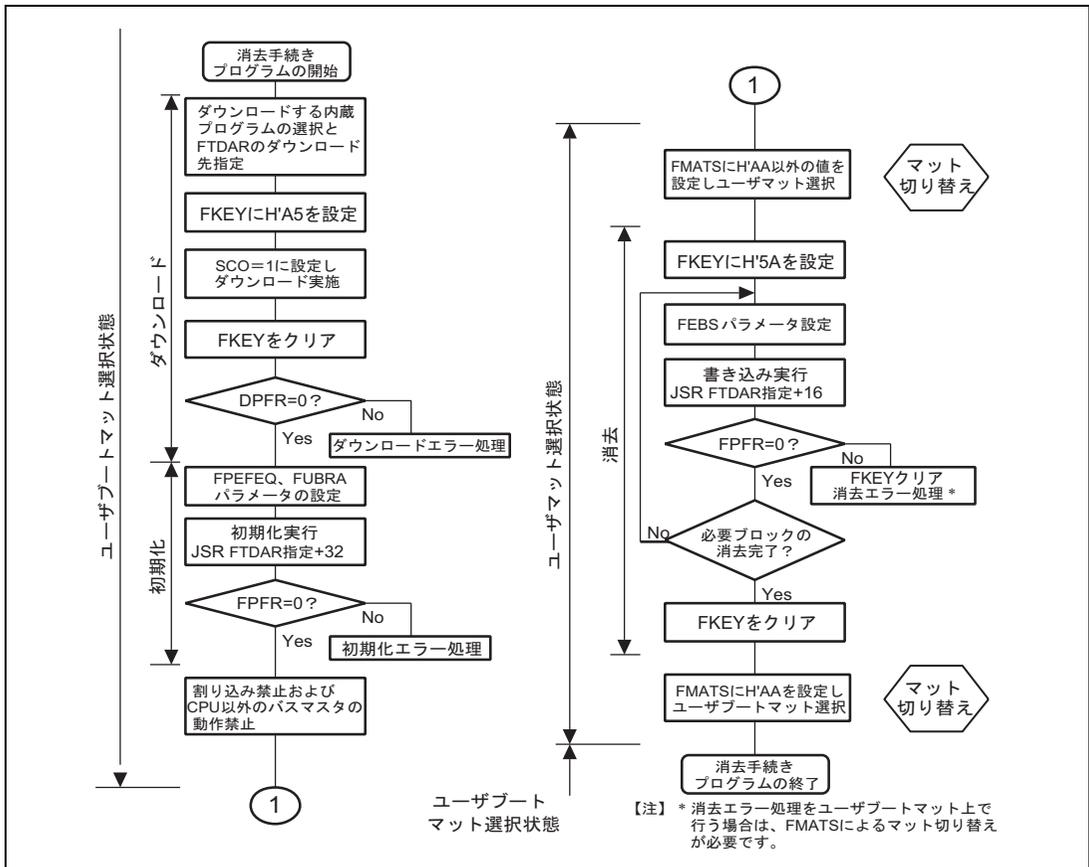


図 21.14 ユーザブートモードでのユーザマットの消去手順

## 21. フラッシュメモリ (0.18 $\mu$ m F-ZTAT 版)

---

図 21.14 に示したように、ユーザプログラムモードとユーザブートモードでの消去手続きの違いは、マット切り替えを行うか否かです。

マット切り替えは、FMATS へ規定の値を書き込みことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、「21.6 ユーザマットとユーザブートマットの切り替え」の説明に従ってください。

マット切り替え以外の消去手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域 (内蔵 RAM、ユーザマット、外部空間など) については「21.4.4 手順プログラム、または書き込みデータの格納可能領域」に示します。

### 21.4.4 手順プログラム、または書き込みデータの格納可能領域

本文中での書き込み / 消去手順プログラムおよび書き込みデータの格納可能領域は、内蔵 RAM 上に準備している例で示しましたが、以下の条件により他の領域 (書き込み / 消去対象外のフラッシュメモリ、外部空間領域など) で実行することができます。

#### (1) 書き込み / 消去の条件

1. 内蔵の書き込み / 消去実行プログラムは FTDAR で指定された内蔵 RAM のアドレスからダウンロードされ、実行されるのでここは使用不可能です。
2. 内蔵の書き込み / 消去実行プログラムでは、スタック領域を最大 128 バイト使用するので、確保してください。
3. SCO ピットを 1 にしてダウンロードの要求を行う処理では、マット切り替えが発生するので内蔵 RAM 上で実施してください。
4. 書き込み / 消去を開始する前 (ダウンロード結果の判定まで) は、フラッシュメモリはアクセス可能です。シングルチップモードのように外部空間アクセスができないモードでは、この時点までに必要な手続きプログラム、NMI 処理ベクタと NMI 処理ルーチンなどを内蔵 RAM に転送してください。
5. 書き込み / 消去処理中は、フラッシュメモリのアクセスはできませんので、内蔵 RAM 上のダウンロードされたプログラムで実行します。これを起動させる手続きプログラム、および NMI 割り込みのベクタテーブルと NMI 割り込み処理プログラムの実行領域も、フラッシュメモリ以外の内蔵 RAM や、外部バス空間にある必要があります。
6. 書き込み / 消去完了後の FKEY のクリアまでの期間は、フラッシュメモリのアクセスは禁止とします。  
書き込み / 消去完了後に、LSI モードを変更してリセット動作をさせる場合には、100  $\mu$ s 以上のリセット期間 (RES=0 とする期間) を設けてください。  
なお、書き込み / 消去処理中のリセット状態、ハードウェアスタンバイ状態への遷移は禁止ですが、誤ってリセットを入れてしまった場合は、100  $\mu$ s の通常より長いリセット期間の後に、リセットリリリースしてください。
7. ユーザブートモードでのユーザマットへの書き込み / 消去処理では、FMATS によるマット切り替えが必要です。マット切り替えの実行は内蔵 RAM 上で実施してください。

(「21.6 ユーザマットとユーザブートマットの切り替え」を参照ください)

マットの切り替えにおいて、現在どちらのマットが選択されているかにご注意ください。

8. 通常書き込みのデータであっても、書き込み処理のパラメータFMPDRが示す書き込みデータ格納領域がフラッシュメモリ上であるとエラーと判断しますので、いったん内蔵RAMに転送してFMPDRの示すアドレスはフラッシュメモリ空間以外としてください。

これらの条件を考慮し、各動作モード/ユーザマットのバンク構成/処理内容ごとの組み合わせでの、書き込みデータ格納および実行が可能なエリアを表に示します。

表 21.7 実行可能マットまとめ

処理	起動モード	
	ユーザプログラムモード	ユーザブートモード*
書き込み	表 21.8 (1)	表 21.8 (3)
消去	表 21.8 (2)	表 21.8 (4)

【注】 * ユーザマットに対しての書き込み/消去が可能です。

表 21.8 (1) ユーザプログラムモードでの書き込み処理で使用可能エリア

項目	格納/実行が可能なエリア			選択されているマット	
	内蔵 RAM	ユーザマット	外部空間 (拡張モード時)	ユーザマット	組み込み プログラム 格納マット
書き込みデータの格納領域		×		—	—
ダウンロードする内蔵プログラムの選択処理					
FKEY への H'A5 書き込み処理					
FCCS の SC0=1 書き込み実行 (ダウンロード)		×	×		
FKEY クリア処理					
ダウンロード結果の判定					
ダウンロードエラー処理					
初期化パラメータの設定処理					
初期化実行		×	×		
初期化結果の判定					
初期化エラー処理					
NMI 処理ルーチン		×			
割り込み禁止処理					
FKEY への H'5A 書き込み処理					
書き込みパラメータの設定処置		×			

## 21. フラッシュメモリ (0.18 μm F-ZTAT 版)

項目	格納 / 実行が可能なエリア			選択されているマツ	
	内蔵 RAM	ユーザマツ	外部空間 (拡張モード時)	ユーザマツ	組み込み プログラム 格納マツ
書き込み実行		×	×		
書き込み結果の判定		×			
書き込みエラー処理		×			
FKEY クリア処理		×			

【注】 * 事前に内蔵 RAM に転送しておけば可能です。

表 21.8 (2) ユーザプログラムモードでの消去処理で使用可能エリア

項目	格納 / 実行が可能なエリア			選択されているマツ	
	内蔵 RAM	ユーザマツ	外部空間 (拡張モード時)	ユーザマツ	組み込み プログラム 格納マツ
ダウンロードする内蔵 プログラムの選択処理					
FKEY への H'A5 書き込み処理					
FCCS の SC0=1 書き込み実行 (ダウンロード)		×	×		
FKEY クリア処理					
ダウンロード結果の判定					
ダウンロードエラー処理					
初期化パラメータの設定処理					
初期化実行		×	×		
初期化結果の判定					
初期化エラー処理					
NMI 処理ルーチン		×			
割り込み禁止処理					
FKEY への H'5A 書き込み処理					
消去パラメータの設定処置		×			
消去実行		×	×		
消去結果の判定		×			
消去エラー処理		×			
FKEY クリア処理		×			

表 21.8 (3) ユーザブートモードでの書き込み処理で使用可能エリア

項目	格納 / 実行が可能なエリア			選択されているマット		
	内蔵 RAM	ユーザブート マット	外部空間 (拡張モード時)	ユーザ マット	ユーザ ブート マット	組み込み プログラム 格納マット
書き込みデータの格納領域		x ^{*1}		—	—	—
ダウンロードする内蔵プログラムの選択処理						
FKEY への H'5A 書き込み処理						
FCCS の SC0=1 書き込み実行 (ダウンロード)		x	x			
FKEY クリア処理						
ダウンロード結果の判定						
ダウンロードエラー処理						
初期化パラメータの設定処理						
初期化実行		x	x			
初期化結果の判定						
初期化エラー処理						
NMI 処理ルーチン		x				
割り込み禁止処理						
FMATS によるマット切り替え		x	x			
FKEY への H'5A 書き込み処理		x				
書き込みパラメータの設定処置		x				
書き込み実行		x	x			
書き込み結果の判定		x				
書き込みエラー処理		x ^{*2}				
FKEY クリア処理		x				
FMATS によるマット切り替え		x	x			

【注】 *1 事前に内蔵 RAM に転送しておけば可能です。

*2 内蔵 RAM 上で FMATS を切り替えた後なら可能です。

21. フラッシュメモリ (0.18 μm F-ZTAT 版)

表 21.8 (4) ユーザブートモードでの消去処理で使用可能エリア

項目	格納 / 実行が可能なエリア			選択されているマット		
	内蔵 RAM	ユーザブート マット	外部空間 (拡張モード時)	ユーザ マット	ユーザ ブート マット	組み込み プログラム 格納マット
ダウンロードする内蔵プログラムの選択処理						
FKEY への H'A5 書き込み処理						
FCCS の SC0=1 書き込み実行 (ダウンロード)		×	×			
FKEY クリア処理						
ダウンロード結果の判定						
ダウンロードエラー処理						
初期化パラメータの設定処理						
初期化実行		×	×			
初期化結果の判定						
初期化エラー処理						
NMI 処理ルーチン		×				
割り込み禁止処理						
FMATS によるマット切り替え		×	×			
FKEY への H'5A 書き込み処理		×				
消去パラメータの設定処置		×				
消去実行		×	×			
消去結果の判定		×				
消去エラー処理		×*				
FKEY クリア処理		×				
FMATS によるマット切り替え		×	×			

【注】 * 内蔵 RAM 上で FMATS を切り替えた後なら可能です。

## 21.5 プロテクト

フラッシュメモリに対する書き込み/消去プロテクトは、ハードウェアプロテクトとソフトウェアプロテクトの2種類あります。

### 21.5.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことです。内蔵プログラムのダウンロードと初期化実行はできますが、書き込み/消去プログラムを起動してもユーザマットの書き込み/消去はできず、書き込み/消去エラーがFPFRパラメータで報告されます。

表 21.9 ハードウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
リセット、スタンバイプロテクト	<ul style="list-style-type: none"> <li>• パワーオンリセット (WDT によるパワーオンリセットも含む) およびスタンバイ時は、書き込み/消去インタフェースレジスタが初期化され、書き込み/消去プロテクト状態になります。</li> <li>• RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子を Low レベルに保持してください。書き込み/消去動作中のフラッシュメモリの値は、保証しません。この場合は、消去を実施してから再度書き込みを実施してください。</li> </ul>		

### 21.5.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、内蔵の書き込み/消去プログラムのダウンロードからのプロテクト、キーコードによるプロテクトがあります。

表 21.10 ソフトウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
SCO ビットプロテクト	<ul style="list-style-type: none"> <li>• FCCS の SCO ビットを 0 にクリアすることにより、書き込み/消去プログラムのダウンロードができないため、書き込み/消去プロテクト状態になります。</li> </ul>		
FKEY プロテクト	<ul style="list-style-type: none"> <li>• FKEY にキーコードを書き込まないと、ダウンロードと書き込み/消去ができません。ダウンロードと書き込み/消去では、異なったキーコードの設定が必要です。</li> </ul>		

### 21.5.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み/消去中のマイコンの暴走や規定の書き込み/消去手順に沿っていない動作をした場合に発生する異常を検出し、書き込み/消去動作を強制的に中断するプロテクトです。書き込み/消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中にマイコンが異常動作すると、FCCS の FLER ビットが 1 にセットされエラープロテクト状態に遷移し、書き込み/消去は中断されます。

FLER ビットのセット条件を以下に示します。

1. 書き込み/消去中にNMIなどの割り込みが発生したとき
2. 書き込み/消去中にフラッシュメモリを読み出したとき (ベクタリードおよび命令フェッチを含む)
3. 書き込み/消去中にSLEEP命令を実行したとき (ソフトウェアスタンバイを含む)
4. 書き込み/消去中にCPU以外のバスマスタ (DMAC、DTC) が、バス権を確保したとき

エラープロテクトの解除は、パワーオンリセットまたはハードウェアスタンバイで行われます。

なお、この場合のリセット入力期間は、通常より長い 100 μs の期間のあとにリセットリリースしてください。フラッシュメモリには書き込み/消去中には高電圧が印加されているため、エラープロテクト状態への遷移時に、印加電圧が抜けきれない恐れがあります。このため、リセット期間を延長してチャージを抜くことにより、フラッシュメモリへのダメージを低減する必要があります。

図 21.15 にエラープロテクト状態への状態遷移図を示します。

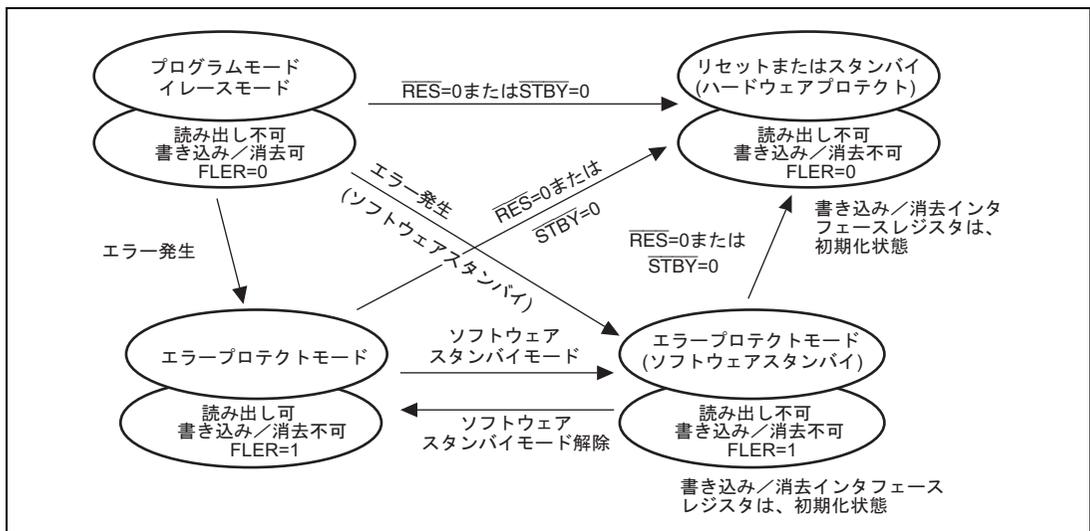


図 21.15 エラープロテクト状態への状態遷移図

## 21.6 ユーザマットとユーザブートマットの切り替え

ユーザマットとユーザブートマットを切り替えて使うことができます。ただし、同じ0番地からのアドレスに割り当てられているため、以下の手順が必要です。

(ユーザブートマットに切り替えた状態での書き込み/消去はできません。ユーザブートマットの書き換えは、ブートモードまたはライターモードで実施してください。)

1. FMATSによるマット切り替えは、必ず内蔵RAM上で実行してください。
2. 確実に切り替えを行った後で切り替え後のマットのアクセスをするために内蔵RAM上でのFMATS書き換えの直後には、同じく内蔵RAM上で4個のNOP命令を実行してください。  
(切り替えを行っている最中のフラッシュメモリをアクセスしないためです。)
3. 切り替えの最中に割り込みが発生した場合、どちらのメモリマットがアクセスされるか保証できません。  
必ずマット切り替え実行前に、マスク可能な割り込みはマスクするようにしてください。また、マット切り替え中には、NMI割り込みが発生しないようなシステムとしてください。
4. マット切り替え完了後は、各種割り込みのベクターテーブルも切り替わっていますので注意してください。  
マット切り替え前後で同じ割り込み処理を実施する場合は、内蔵RAM上に割り込み処理ルーチンを転送しておき、かつ割り込みベクターテーブルもFVACRの設定により内蔵RAM上に設定するなどをお願いします。
5. ユーザマットとユーザブートマットはメモリサイズが異なります。8Kバイト以上の空間のユーザブートマットをアクセスしないようにしてください。8Kバイト空間以上をアクセスした場合、不定値が読み出されます。

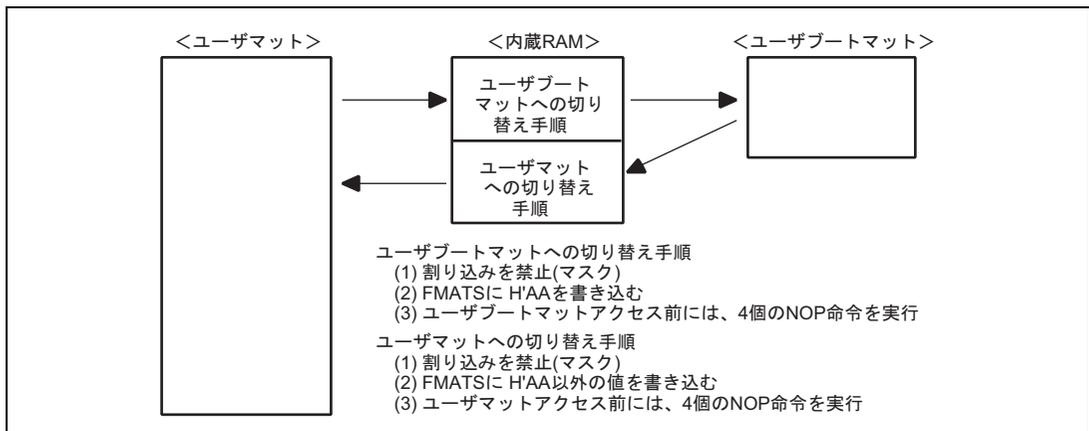


図 21.16 ユーザマット/ユーザブートマットの切り替え

## 21.7 ライタモード

プログラム / データの書き込み / 消去が可能なモードとして、オンボードプログラミングモード以外にライタモードがあります。ライタモードではルネサス 512K バイトフラッシュメモリ内蔵マイコンのデバイスタイプをサポートしている汎用 PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。書き込み / 消去対象マツトは、ユーザマツトとユーザブツトマツトです。

自動書き込み / 自動消去 / ステータス読み出しのモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み / 自動消去を実行した後に、その詳細な内部信号を出力します。ライタモードでは、入力クロックとして 12MHz を入力してください。

## 21.8 ブツトモードの標準シリアル通信インタフェース仕様

ブツトモードで起動するブツトプログラムは、ホストパソコンと LSI 内蔵の SCI を使って送受信を行います。ホストとブツトプログラムのシリアル通信インタフェース仕様を以下に示します。

### (1) ステータス

ブツトプログラムは 3 つのステータスを持ちます。

#### 1. ビツトレート合わせ込みステータス

ホストと送受信するビツトレートを合わせ込むステータスです。ブツトモードで起動するとブツトプログラムが起動し、ビツトレート合わせ込みステータスになり、ホストからのコマンドを受信しビツトレートの合わせ込みを行います。合わせ込みが終了すると、問い合わせ選択ステータスに遷移します。

#### 2. 問い合わせ選択ステータス

ホストからの問い合わせコマンドに応答するステータスです。このステータスで、デバイスとクロックモードとビツトレートを選択します。選択が完了したら、書き込み消去ステータス遷移コマンドで書き込み消去ステータスに遷移します。書き込み消去ステータスに遷移する前に、ブツトプログラムは消去関連ライブラリを RAM 上に転送し、ユーザマツトとユーザブツトマツトを消去します。

#### 3. 書き込み消去ステータス

書き込み消去を行うステータスです。ホストからのコマンドに従って、書き込み、消去プログラムを RAM に転送し、書き込み / 消去を行います。コマンドにより、サムチェック、ブランクチェックを行います。

ブートプログラムのステータスを図 21.17 に示します。

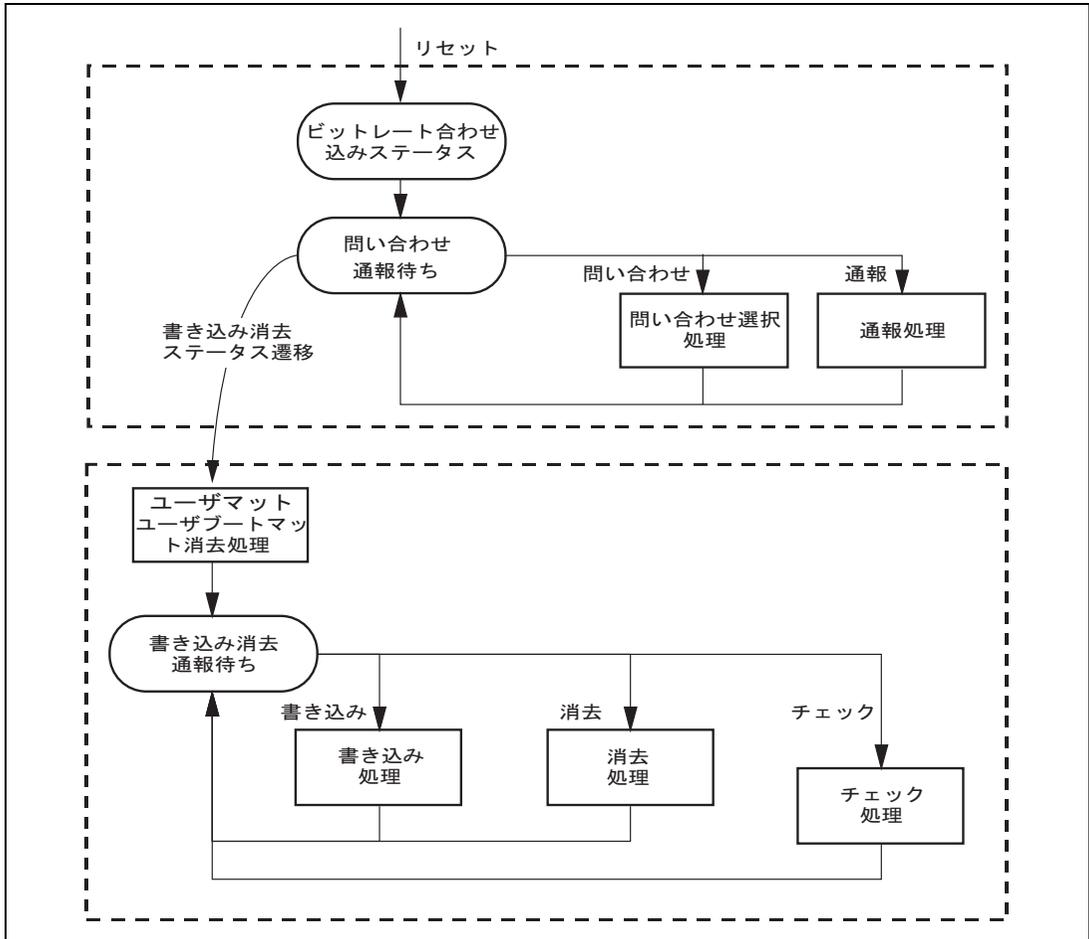


図 21.17 ブートプログラムのステータス

### (2) ビットレート合わせ込みステータス

ビットレート合わせ込みは、ホストから送信された H'00 のローレベルの区間を測定してビットレートを計算します。このビットレートは新ビットレート選択コマンドで変更することができます。ビットレート合わせ込みが終了すると、ブートプログラムは問い合わせ選択ステータスに遷移します。ビットレート合わせ込みのシーケンスを図 21.18 に示します。

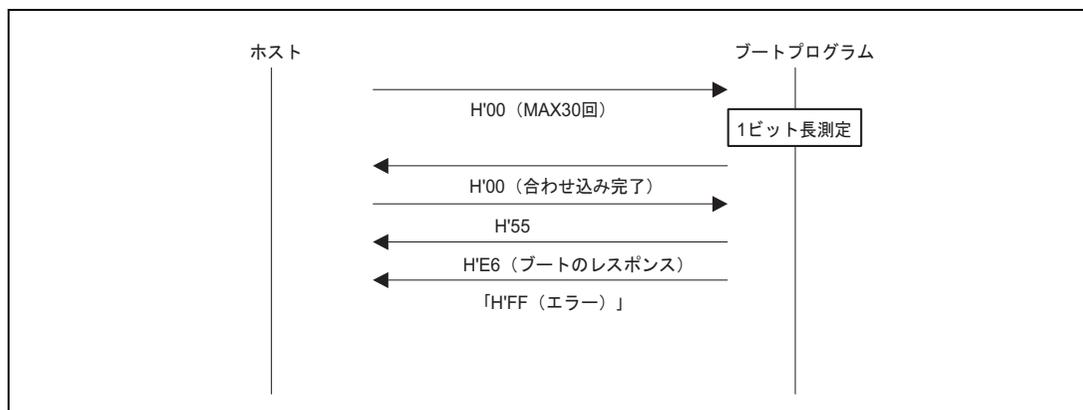


図 21.18 ビットレート合わせ込みのシーケンス

### (3) 通信プロトコル

ビットレート合わせ込みが完了した後の、パソコンホストとブートプログラムとのシリアル通信プロトコルは以下のとおりです。

#### 1. 1文字コマンドまたは1文字レスポンス

コマンドまたはレスポンスが1文字だけのもので、問い合わせと、正常終了のACKがあります。

#### 2. n文字コマンドまたはn文字レスポンス

コマンド、レスポンスにnバイトのデータを必要とするもので、選択コマンドと、問い合わせに対応するレスポンスがあります。

書き込みデータについては、データ長を別途定めるので、データのサイズは省略します。

#### 3. エラーレスポンス

コマンドに対するエラーレスポンスです。エラーレスポンスと、エラーコードの2バイトです。

#### 4. 128バイト書き込み

サイズのないコマンドです。データのサイズは書き込みサイズ問い合わせのレスポンスで知ることができます。

#### 5. メモリリードのレスポンス

サイズが4バイトのレスポンスです。

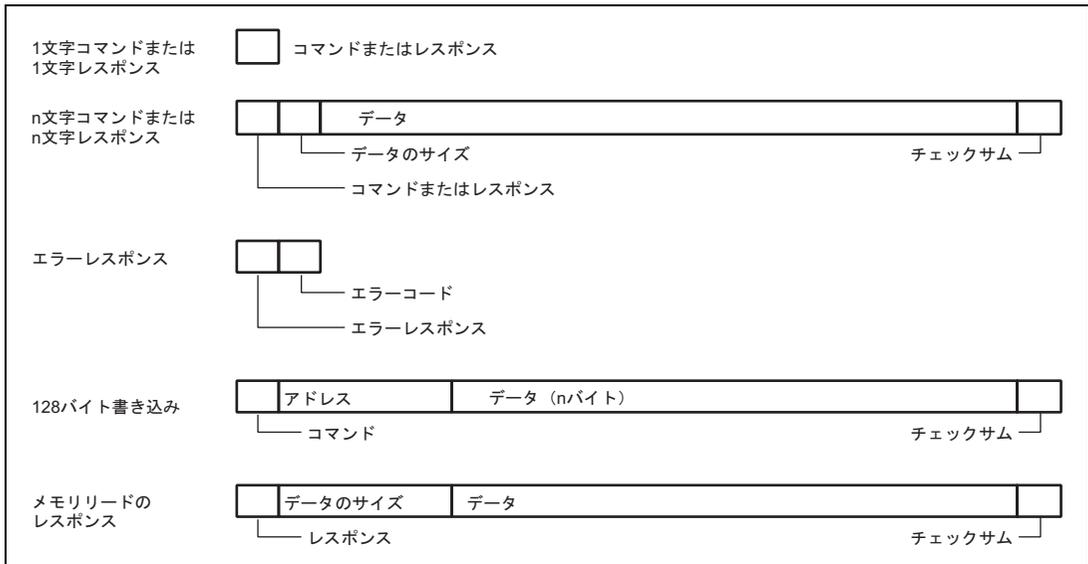


図 21.19 通信プロトコルフォーマット

- コマンド (1バイト) : 問い合わせ、選択、書き込み、消去、チェックなどのコマンド
- レスポンス (1バイト) : 問い合わせに対する応答
- サイズ (1バイト) : コマンド、サイズ、サムチェックを除いた送受信データのサイズ
- データ (nバイト) : コマンド、レスポンスの詳細データ
- チェックサム (1バイト) : コマンドからSUMまで加算し、H'00となるように設定
- エラーレスポンス (1バイト) : コマンドに対するエラーレスポンス
- エラーコード (1バイト) : 発生したエラーの種類
- アドレス (4バイト) : 書き込みアドレス
- データ (nバイト) : 書き込みデータ、nは書き込みサイズ問い合わせコマンドのレスポンスで知る
- データのサイズ (4バイト) : メモリリードのレスポンスで4バイト長

#### (4) 問い合わせ選択ステータス

問い合わせ選択ステータスでは、ブートプログラムはホストからの問い合わせコマンドに対してフラッシュROMの情報を応答し、選択コマンドに対してデバイス、クロックモード、ビットレートを選択します。

問い合わせ選択コマンド一覧を表 21.11 に示します。

## 21. フラッシュメモリ (0.18 μm F-ZTAT 版)

表 21.11 問い合わせ選択コマンド一覧

コマンド	コマンド名	機能
H'20	サポートデバイス問い合わせ	デバイスコードと品名の問い合わせ
H'10	デバイス選択	デバイスコードの選択
H'21	クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
H'11	クロックモード選択	選択されているクロックモードの通知
H'22	逡倍比問い合わせ	逡倍比または分周比の種類数とそれぞれの個数とその値の問い合わせ
H'23	動作周波数問い合わせ	メインクロックとペリフェラルクロックの最小値最大値の問い合わせ
H'24	ユーザブートマット情報問い合わせ	ユーザブートマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'25	ユーザマット情報問い合わせ	ユーザマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'26	消去ブロック情報問い合わせ	ブロック数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'27	書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
H'3F	新ビットレート選択	新ビットレートの選択
H'40	書き込み消去ステータス遷移	ユーザマット、ユーザブートマットを消去し、書き込み消去ステータスに遷移
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

選択コマンドは、デバイス選択 (H'10)、クロックモード選択 (H'11)、新ビットレート選択 (H'3F) の順にホストから送信してください。これらのコマンドは必ず必要です。選択コマンドが2つ以上送信されたときは、後に送信された選択コマンドが有効になります。

これらのコマンドは、ブートプログラムステータス問い合わせ (H'4F) を除いて、書き込み消去ステータス遷移 (H'40) を受け付けるまでは有効であり、ホスト側は上記のコマンド中、ホストが必要なものを、選択して問い合わせを行うことができます。ブートプログラムステータス問い合わせ (H'4F) は書き込み消去ステータス遷移 (H'40) を受け付け後も有効です。

## (a) サポートデバイス問い合わせ

サポートデバイス問い合わせに対して、ブートプログラムはサポート可能なデバイスのデバイスコードと製品名を応答します。

コマンド 

H'20
------

- コマンド「H'20」(1バイト) : サポートデバイス問い合わせ

レスポンス	H'30	サイズ	デバイス数	
	文字数	デバイスコード		品名
	...			
	SUM			

- レスポンス「H'30」(1バイト) : サポートデバイス問い合わせに対する応答
- サイズ(1バイト) : コマンド、サイズ、チェックサムを除いた送受信データのサイズ、ここではデバイス数、文字数、デバイスコード、品名の合計サイズ
- デバイス数(1バイト) : マイコン内のブートプログラムがサポートする品種数
- 文字数(1バイト) : デバイスコードとブートプログラム品名の文字数
- デバイスコード(4バイト) : サポートする品名のASCIIコード
- 品名(nバイト) : ブートプログラム型名、ASCIIコード
- SUM(1バイト) : サムチェック、コマンドからSUMまで加算し、H'00となるように設定

## (b) デバイス選択

デバイス選択に対して、ブートプログラムはサポートデバイスを指定されたサポートデバイスに設定します。その後の問い合わせに対して選択されたデバイスの情報を応答します。

コマンド 

H'10	サイズ	デバイスコード	SUM
------	-----	---------	-----

- コマンド「H'10」(1バイト) : デバイス選択
- サイズ(1バイト) : デバイスコードの文字数、固定値で4
- デバイスコード(4バイト) : サポートデバイス問い合わせで応答したデバイスコード(ASCIIコード)
- SUM(1バイト) : サムチェック

レスポンス 

H'06
------

- レスポンス「H'06」(1バイト) : デバイス選択に対する応答、デバイスコードが一致したときACKエラー

レスポンス

H'90	ERROR
------	-------

- エラーレスポンス「H'90」(1バイト) : デバイス選択に対するエラー応答
- ERROR : (1バイト) : エラーコード  
H'11 : サムチェックエラー  
H'21 : デバイスコードエラー、デバイスコードが一致しない

## 21. フラッシュメモリ (0.18 μm F-ZTAT 版)

---

### (c) クロックモード問い合わせ

クロックモード問い合わせに対して、ブートプログラムは選択可能なクロックモードを応答します。

コマンド 

H'21
------

- コマンド「H'21」(1バイト) : クロックモード問い合わせ

レスポンス 

H'31	サイズ	モード	...	SUM
------	-----	-----	-----	-----

- レスポンス「H'31」(1バイト) : クロックモード問い合わせに対する応答
- サイズ(1バイト) : モードの合計サイズ
- モード(1バイト) : 選択可能なクロックモード(例: H'01 クロックモード1)
- SUM(1バイト) : サムチェック

### (d) クロックモード選択

クロックモード選択に対して、ブートプログラムはクロックモードを指定されたモードに設定します。その後の問い合わせに対して、選択されたクロックモードの情報を応答します。

クロックモード選択コマンドはデバイス選択コマンド送信後に送信してください。

コマンド 

H'11	サイズ	モード	SUM
------	-----	-----	-----

- コマンド「H'11」(1バイト) : クロックモード選択
- サイズ(1バイト) : モードの文字数、固定値で1
- モード(1バイト) : クロックモード問い合わせで応答されたクロックモード
- SUM(1バイト) : サムチェック

レスポンス 

H'06
------

- レスポンス「H'06」(1バイト) : クロックモード選択に対する応答、クロックモードが一致したときACK  
エラー

レスポンス

H'91	ERROR
------	-------

- エラーレスポンス「H'91」(1バイト) : クロックモード選択に対するエラー応答
- ERROR : (1バイト) : エラーコード  
H'11 : サムチェックエラー  
H'22 : クロックモードエラー、クロックモードが一致しない

クロックモード問い合わせでクロックモード数がH'00、H'01の場合もそれぞれその値で、クロックモード選択をしてください。

## (e) 逡倍比問い合わせ

逡倍比問い合わせに対して、ブートプログラムは選択可能な逡倍比または分周比を応答します。

コマンド 

H'22
------

- コマンド「H'22」(1バイト)：逡倍比問い合わせ

レスポンス	H'32	サイズ	種別数					
	逡倍比数	逡倍比	...					
	...							
	SUM							

- レスポンス「H'32」(1バイト)：逡倍比問い合わせに対する応答
- サイズ(1バイト)：種別数、逡倍比数、逡倍比の合計サイズ
- 種別数(1バイト)：デバイスで選択可能な逡倍比の種別の数  
(メイン動作周波数と周辺モジュール動作周波数の2種類ならH'02)
- 逡倍比数(1バイト)：各動作周波数で選択可能な逡倍比数  
メインモジュール、周辺モジュールで選択可能な逡倍比数
- 逡倍比(1バイト)
  - 逡倍比：逡倍する数値(例 4逡倍：H'04)
  - 分周比：H8S/2378 0.18 μm F-ZTATグループ、H8S/2378R 0.18 μm F-ZTATグループではサポートしていません。

逡倍比を逡倍比数の数だけ繰り返し、逡倍比数と逡倍比の組み合わせを種別数の数だけ繰り返す。

- SUM(1バイト)：サムチェック

## (f) 動作周波数問い合わせ

動作周波数問い合わせに対して、ブートプログラムは動作周波数の数とその最小値、最大値を応答します。

コマンド 

H'23
------

- コマンド「H'23」(1バイト)：動作周波数問い合わせ

レスポンス	H'33	サイズ	周波数の数
	動作周波数最小値	動作周波数最大値	
	...		
	SUM		

- レスポンス「H'33」(1バイト)：動作周波数問い合わせに対する応答
- サイズ(1バイト)：動作周波数の数、動作周波数最小値、動作周波数最大値の合計サイズ
- 周波数の数(1バイト)：デバイスに必要な動作周波数の種類数、  
たとえば、メイン動作周波数と周辺モジュール動作周波数の場合は2
- 動作周波数最小値(2バイト)：逡倍あるいは分周されたクロックの最小値、  
動作周波数最小値、最大値は周波数(MHz)の小数点2位までの値を100倍した値、  
(たとえば、64MHzのときは100倍して6400とし、H'1900とする)

## 21. フラッシュメモリ (0.18 μm F-ZTAT 版)

- 動作周波数最大値 (2バイト) : 逓倍あるいは分周されたクロックの最大値、動作周波数最大値、動作周波数最大値のデータが周波数の数だけ続く
- SUM (1バイト) : サムチェック

### (g) ユーザブートマット情報問い合わせ

ユーザブートマット情報問い合わせに対して、ブートプログラムはユーザブートマットのエリア数とアドレスを応答します。

コマンド 

H'24
------

- コマンド「H'24」(1バイト) : ユーザブートマット情報問い合わせ

レスポンス	H'34	サイズ	エリア数	
	エリア先頭アドレス		エリア最終アドレス	
	...			
	SUM			

- レスポンス「H'34」(1バイト) : ユーザブートマット情報問い合わせに対する応答
- サイズ (1バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数 (1バイト) : 連続したユーザブートマットのエリアの数、ユーザブートマットのエリアが連続の場合はH'01
- エリア先頭アドレス (4バイト) : エリアの先頭アドレス
- エリア最終アドレス (4バイト) : エリアの最終アドレス、エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM (1バイト) : サムチェック

### (h) ユーザマット情報問い合わせ

ユーザマット情報問い合わせに対して、ブートプログラムはユーザマットのエリア数とアドレスを応答します。

コマンド 

H'25
------

- コマンド「H'25」(1バイト) : ユーザマット情報問い合わせ

レスポンス	H'35	サイズ	エリア数	
	エリア先頭アドレス		エリア最終アドレス	
	...			
	SUM			

- レスポンス「H'35」(1バイト) : ユーザマット情報問い合わせに対する応答
- サイズ (1バイト) : エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数 (1バイト) : 連続したユーザマットのエリアの数、ユーザマットのマットエリアが連続の場合はH'01
- エリア先頭アドレス (4バイト) : エリアの先頭アドレス

- エリア最終アドレス (4バイト) : エリアの最終アドレス、  
エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM (1バイト) : サムチェック

## (i) 消去ブロック情報問い合わせ

消去ブロック情報問い合わせに対して、ブートプログラムは消去ブロックのブロック数とそのアドレスを応答します。

コマンド 

H'26
------

- コマンド「H'26」(1バイト) : 消去ブロック情報問い合わせ

レスポンス	H'36	サイズ	ブロック数	
	ブロック先頭アドレス			ブロック最終アドレス
	...			
	SUM			

- レスポンス「H'36」(1バイト) : 消去ブロック情報問い合わせに対する応答
- サイズ (2バイト) : ブロック数、ブロック先頭アドレス、ブロック最終アドレスの合計サイズ
- ブロック数 (1バイト) : フラッシュメモリ消去ブロック数
- ブロック先頭アドレス (4バイト) : ブロックの先頭アドレス
- ブロック最終アドレス (4バイト) : ブロックの最終アドレス、  
ブロック先頭アドレス、ブロック最終アドレスのデータがブロック数分続く
- SUM (1バイト) : サムチェック

## (j) 書き込みサイズ問い合わせ

書き込みサイズ問い合わせに対して、ブートプログラムは書き込みデータの書き込み単位を応答します。

コマンド 

H'27
------

- コマンド「H'27」(1バイト) : 書き込みサイズ問い合わせ

レスポンス	H'37	サイズ	書き込みサイズ	SUM
-------	------	-----	---------	-----

- レスポンス「H'37」(1バイト) : 書き込みサイズ問い合わせに対する応答
- サイズ (1バイト) : 書き込み単位のサイズの文字数、固定値で2
- 書き込みサイズ (2バイト) : 書き込み単位のサイズ、  
このサイズで書き込みデータを受け取る
- SUM (1バイト) : サムチェック

## 21. フラッシュメモリ (0.18 $\mu$ m F-ZTAT 版)

### (k) 新ビットレート選択

新ビットレート選択に対して、ブートプログラムは指定されたビットレートに選択変更し、確認に対して新ビットレートで応答します。

新ビットレート選択コマンドはクロックモード選択コマンド送信後に送信してください。

コマンド	H'3F	サイズ	ビットレート	入力周波数
	通倍数	通倍比 1	通倍比 2	
	SUM			

- コマンド「H'3F」(1バイト)：新ビットレート選択
- サイズ(1バイト)：ビットレート、入力周波数、通倍数、通倍比の合計サイズ
- ビットレート(2バイト)：新ビットレート、  
1/100の値とする、(たとえば、19,200bpsのときは192とし、H'00C0とする)
- 入力周波数(2バイト)：ブートプログラムに入力されるクロック周波数、  
周波数(MHz)の小数点2位までの値とする(たとえば、64MHzのときは100倍して6400とし、H'1900とする)。
- 通倍数(1バイト)：デバイスで選択可能な通倍数、  
通常はメイン動作周波数と周辺モジュール動作周波数で2
- 通倍比1(1バイト)：メイン動作周波数の通倍比または分周比  
通倍比：通倍する数値(例 4通倍：H'04)  
分周比：分周する数値、負の数値(例 2分周：H'FE[- 2])
- 通倍比2(1バイト)：周辺動作周波数の通倍比または分周比  
通倍比：通倍する数値(例 4通倍：H'04)  
分周比：分周する数値、負の数値(例 2分周：H'FE[- 2])
- SUM(1バイト)：サムチェック

レスポンス 

H'06
------

- レスポンス「H'06」(1バイト)：新ビットレート選択に対する応答、選択可能なときACK  
エラー

レスポンス

H'BF	ERROR
------	-------

- エラーレスポンス「H'BF」(1バイト)：新ビットレート選択に対するエラー応答
- ERROR：(1バイト)：エラーコード
  - H'11：サムチェックエラー
  - H'24：ビットレート選択不可エラー、指定されたビットレートが選択できない
  - H'25：入力周波数エラー、入力周波数が最小値と最大値の範囲にない
  - H'26：通倍比エラー、通倍比が一致しない
  - H'27：動作周波数エラー、動作周波数が最小値と最大値の範囲にない

## (5) 受信データのチェック

受信したデータのチェック方法を以下に示します。

## 1. 入力周波数

受信した入力周波数の値が、すでに選択されたデバイスのクロックモードに対する入力周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ入力周波数エラーです。

## 2. 逡倍比

受信した逡倍比または分周比の値が、すでに選択されたデバイスのクロックモードに対する逡倍比または分周比と一致するかどうかをチェックします。一致しなければ逡倍比エラーです。

## 3. 動作周波数

受信した入力周波数と逡倍比または分周比とから動作周波数を計算します。入力周波数はLSIに供給される周波数で、動作周波数は実際にLSIが動作する周波数です。計算式を以下に示します。

動作周波数 = 入力周波数 × 逡倍比、または、

動作周波数 = 入力周波数 ÷ 分周比

この計算した動作周波数が、すでに選択されたデバイスのクロックモードに対する動作周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ動作周波数エラーです。

## 4. ビットレート

ペリフェラル動作周波数 ( ) とビットレート (B) から、シリアルモードレジスタ (SMR) のクロックセレクト (CKS) の値 (n) とビットレートレジスタ (BRR) の値 (N) を求め、誤差を計算し、誤差が4%未満であるかどうかをチェックします。誤差が4%以上ならばビットレート選択エラーです。誤差の計算は下記のとおりです。

$$\text{誤差 (\%)} = \left\{ \left[ \frac{*10^6}{(N+1) * B * 64 * 2^{(2^n-1)}} \right] - 1 \right\} * 100$$

新ビットレート選択が可能な場合は、ACK を応答した後で、新ビットレートの値にレジスタを選択します。新ビットレートでホストが ACK を送信し、ブートプログラムが新ビットレートで応答します。

確認

H'06

- 確認「H'06」(1バイト) : 新ビットレートの確認

レスポンス

H'06

- レスポンス「H'06」(1バイト) : 新ビットレートの確認に対する応答

新ビットレート選択のシーケンスを図 21.20 に示します。

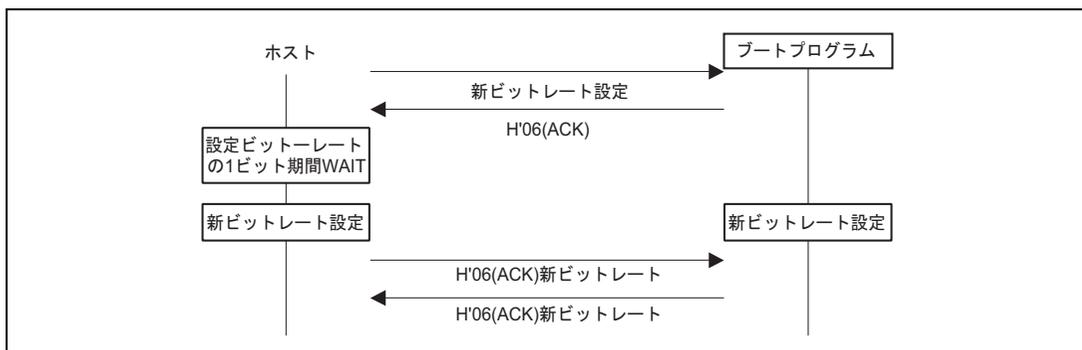


図 21.20 新ビットレート選択のシーケンス

#### (6) 書き込み消去ステータス遷移

書き込み消去ステータス遷移に対して、ブートプログラムは、消去プログラムを転送し、ユーザマット、ユーザブートマットの順にデータを消去します。消去が完了すると、ACK を応答し、書き込み消去ステータスになります。

ホストは、書き込み選択コマンドと書き込みデータを送る前に、デバイス選択コマンド、クロックモード選択コマンド、新ビットレート選択コマンドで LSI のデバイス、クロックモード、新ビットレートを選択し、書き込み消去ステータス遷移コマンドをブートプログラムへ送ってください。

コマンド 

H'40
------

- コマンド「H'40」（1バイト）：書き込み消去ステータス遷移

レスポンス 

H'06
------

- レスポンス「H'06」（1バイト）：書き込み消去ステータス遷移に対する応答、

消去プログラムを転送した後、ユーザブートマット、ユーザマットが正常にデータを消去できたときACK

エラー

レスポンス

H'C0	H'51
------	------

- エラーレスポンス「H'C0」（1バイト）：ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'51」（1バイト）：消去エラー、エラーが発生し消去できなかった

## (7) コマンドエラー

コマンドが未定義のとき、コマンドの順序が正しくないとき、あるいはコマンドが受け付けることができないとき、コマンドエラーとなります。たとえば、デバイス選択の前のクロックモード選択コマンド、書き込み消去ステータス遷移コマンドの後での問い合わせコマンドは、コマンドエラーになります。

エラー

レスポンス

H'80	H'xx
------	------

- エラーレスポンス「H'80」(1バイト) : コマンドエラー
- コマンド「H'xx」(1バイト) : 受信したコマンド

## (8) コマンドの順序

問い合わせ選択ステータスでのコマンドの順序の例は以下のとおりです。

1. サポートデバイス問い合わせ (H'20) で、サポートデバイスを問い合わせてください。
2. 応答されたデバイス情報からデバイスを選んで、デバイス選択 (H'10) をしてください。
3. クロックモード問い合わせ (H'21) で、クロックモードを問い合わせてください。
4. 応答されたクロックモードからクロックモードを選んで、クロックモード選択をしてください。
5. デバイス選択、クロックモード選択が終わったら、逡倍比問い合わせ (H'22)、動作周波数問い合わせ (H'23) で新ビットレート選択に必要な情報を問い合わせてください。
6. 逡倍比、動作周波数の情報に従って、新ボーレート選択 (H'3F) をしてください。
7. デバイス選択、クロックモード選択が終わったら、ユーザブートマット情報問い合わせ (H'24)、ユーザマット情報問い合わせ (H'25)、消去ブロック情報問い合わせ (H'26)、書き込みサイズ問い合わせ (H'27) で、ユーザブートマット、ユーザマットへの書き込み消去情報を問い合わせてください。
8. 問い合わせと新ビットレート選択が終わったら、書き込み消去ステータス遷移 (H'40) を実行してください。書き込み消去ステータスに遷移します。

## (9) 書き込み消去ステータス

書き込み消去ステータスでは、ブートプログラムは書き込み選択コマンドで書き込み方法を選択し、128 バイト書き込みコマンドでデータを書き込み、消去選択コマンドとブロック消去コマンドでブロックを消去します。書き込み消去コマンド一覧を下表に示します。

表 21.12 書き込み消去コマンド一覧

コマンド	コマンド名	機能
H'42	ユーザブートマット書き込み選択	ユーザブートマット書き込みプログラムの転送
H'43	ユーザマット書き込み選択	ユーザマット書き込みプログラムの転送
H'50	128 バイト書き込み	128 バイト書き込み
H'48	消去選択	消去プログラムの転送
H'58	ブロック消去	ブロックデータの消去
H'52	メモリアード	メモリの読み出し
H'4A	ユーザブートマットのサムチェック	ユーザブートマットのサムチェック
H'4B	ユーザマットのサムチェック	ユーザマットのサムチェック
H'4C	ユーザブートマットのブランクチェック	ユーザブートマットのブランクチェック
H'4D	ユーザマットのブランクチェック	ユーザマットのブランクチェック
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

- 書き込み

書き込みは書き込み選択コマンドと 128 バイト書き込みコマンドで行います。

最初に、ホストは書き込み選択コマンドを送信し書き込み方式と書き込みマットを選択します。書き込み選択コマンドは書き込みエリアと書き込み方式により以下の 2 つがあります。

1. ユーザブートマット書き込み選択
2. ユーザマット書き込み選択

次に 128 バイト書き込みコマンドを送信します。選択コマンドに続く 128 バイト書き込みコマンドはそれぞれ選択コマンドで指定された書き込み方式の書き込みデータと解釈します。128 バイトを超えるデータを書き込むときは 128 バイトコマンドを繰り返してください。書き込みを終了させたいときはアドレスが H'FFFFFFF の 128 バイト書き込みコマンドをホストから送信してください。書き込みが終了すると書き込み消去選択待ちになります。

続けて他の方式、他のマットの書き込みを行うときは書き込み選択コマンドから開始します。

書き込み選択コマンドと 128 バイト書き込みコマンドのシーケンスを図 21.21 に示します。

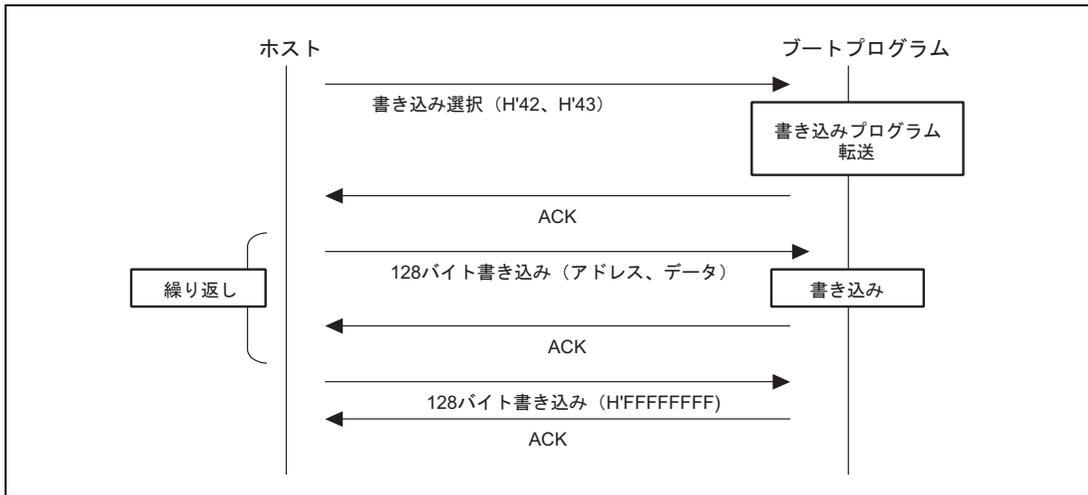


図 21.21 書き込みシーケンス

## (a) ユーザブートマット書き込み選択

ユーザブートマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザブートマットに書き込みます。

コマンド 

H'42
------

- コマンド「H'42」(1バイト) : ユーザブートプログラム書き込み選択

レスポンス 

H'06
------

- レスポンス「H'06」(1バイト) : ユーザブートプログラム書き込み選択に対する応答、書き込みプログラムを転送したときACK

エラー

レスポンス 

H'C2	ERROR
------	-------

- エラーレスポンス「H'C2」(1バイト) : ユーザブートマット書き込み選択に対するエラー応答
- ERROR : (1バイト) : エラーコード

H'54 : 選択処理エラー (転送エラーが発生し処理が完了しない)

- ユーザプログラム書き込み選択

ユーザプログラム書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザマットに書き込みます。

コマンド 

H'43
------

- コマンド「H'43」(1バイト) : ユーザプログラム書き込み選択

レスポンス 

H'06
------

- レスポンス「H'06」(1バイト) : ユーザプログラム書き込み選択に対する応答、書き込みプログラムを転送したときACK

## 21. フラッシュメモリ (0.18 μm F-ZTAT 版)

エラー

レスポンス	H'C3	ERROR
-------	------	-------

- エラーレスポンス「H'C3」(1バイト) : ユーザブートマット書き込み選択に対するエラー応答
- ERROR : (1バイト) : エラーコード

H'54 : 選択処理エラー (転送エラーが発生し処理が完了しない)

(b) 128 バイト書き込み

n バイト書き込みに対して、ブートプログラムは書き込み選択で転送した書き込みプログラムで、ユーザブートマット、またはユーザマットに書き込みます。

コマンド	H'50	アドレス						
	データ	...						
		...						
	SUM							

- コマンド「H'50」(1バイト) : 128バイト書き込み
- 書き込みアドレス(4バイト) : 書き込み先頭アドレス、「書き込みサイズ問い合わせ」で応答したサイズの倍数

例) H'00,H'01,H'00,H'00 : H'00010000

- 書き込みデータ(128バイト) : 書き込みデータ、書き込みデータのサイズは「書き込みサイズ問い合わせ」で応答したサイズ
- SUM(1バイト) : サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」(1バイト) : 128バイト書き込みに対する応答、書き込みが完了したときACK

エラー

レスポンス	H'D0	ERROR
-------	------	-------

- エラーレスポンス「H'D0」(1バイト) : 128バイト書き込みに対するエラー応答
- ERROR : (1バイト) : エラーコード

H'11 : サムチェックエラー

H'2A : アドレスエラー、アドレスが指定のマットの範囲にない

H'53 : 書き込みエラー、書き込みエラーが発生し書き込めない

データ書き込みサイズに従った境界のアドレスを指定してください。たとえば、データ書き込みサイズが 128 バイトのときは、アドレスの下位バイトを H'00 か H'80 にしてください。

ホストは、128 バイト中に書き込みデータがない部分を H'FF に埋めて送信してください。

書き込み処理を終了するときは、アドレス H'FFFFFF の 128 バイト書き込みコマンドを送信してください。アドレス H'FFFFFF の 128 バイト書き込みコマンドに対して、ブートプログラムはデータが終了したと判断し、書き込み消去選択コマンド待ちになります。

コマンド	H'50	アドレス	SUM
------	------	------	-----

- コマンド「H'50」(1バイト) : 128バイト書き込み
- 書き込みアドレス(4バイト) : 終了コード(H'FF,H'FF,H'FF,H'FF)
- SUM(1バイト) : サムチェック

レスポンス 

H'06
------

- レスポンス「H'06」(1バイト) : 128バイト書き込みに対する応答、書き込み処理が完了したときACK  
エラー

レスポンス 

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」(1バイト) : 128バイト書き込みに対するエラー応答
- ERROR : (1バイト) : エラーコード  
H'11 : サムチェックエラー  
H'53 : 書き込みエラー、書き込みエラーが発生し書き込めない

(10) 消去

消去は消去選択コマンドとブロック消去コマンドで行います。

最初に消去選択コマンドで消去を選択し、次にブロック消去コマンドで指定されたブロックを消去します。消去ブロックが複数あるときはブロック消去コマンドを繰り返します。消去処理を終了するときはブロック番号H'FFのブロック消去コマンドをホストから送信してください。消去が終了すると書き込み消去選択待ちになります。

消去選択コマンドと消去データのシーケンスを図 21.22 に示します。

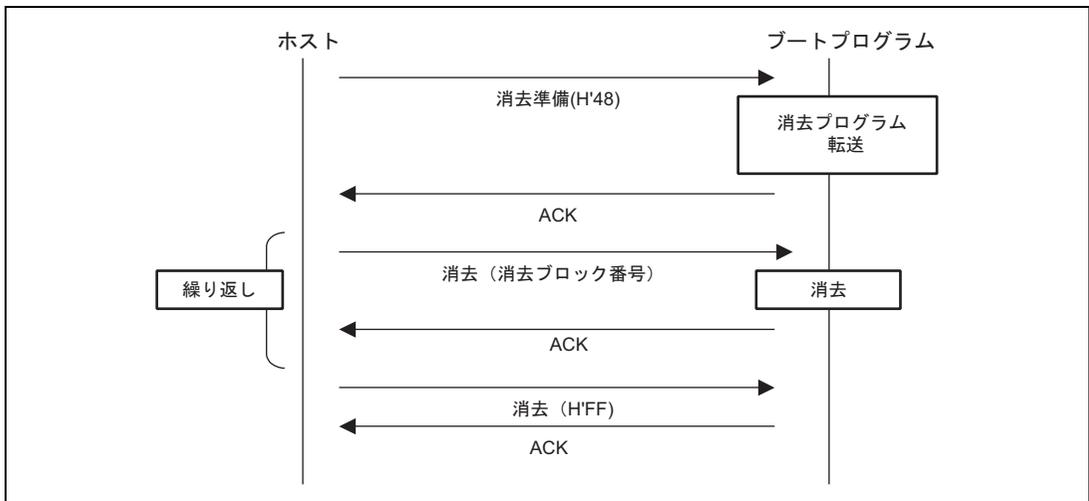


図 21.22 消去シーケンス

## 21. フラッシュメモリ (0.18 $\mu$ m F-ZTAT 版)

---

### (a) 消去選択

消去選択に対して、ブートプログラムは、消去プログラムを転送します。消去は転送した消去プログラムで、ユーザマットのデータを消去します。

コマンド 

H'48
------

- コマンド「H'48」(1バイト) : 消去選択

レスポンス 

H'06
------

- レスポンス「H'06」(1バイト) : 消去選択に対する応答、消去プログラムを転送したときACK  
エラー

レスポンス 

H'C8	ERROR
------	-------

- エラーレスポンス「H'C8」(1バイト) : ユーザブートマット書き込み選択に対するエラー応答
- ERROR : (1バイト) : エラーコード

H'54 : 選択処理エラー (転送エラーが発生し処理が完了しない)

### (b) ブロック消去

消去に対して、ブートプログラムは指定されたブロックを消去します。

コマンド 

H'58	サイズ	ブロック番号	SUM
------	-----	--------	-----

- コマンド「H'58」(1バイト) : 消去
- サイズ (1バイト) : 消去ブロックNoの文字数、固定値で1
- ブロック番号 (1バイト) : データを消去する消去ブロック番号
- SUM (1バイト) : サムチェック

レスポンス 

H'06
------

- レスポンス「H'06」(1バイト) : 消去に対する応答、消去が完了したときACK  
エラー

レスポンス 

H'D8	ERROR
------	-------

- エラーレスポンス「H'D8」(1バイト) : 消去に対するエラー応答
- ERROR : (1バイト) : エラーコード

H'11 : サムチェックエラー

H'29 : ブロック番号エラー、ブロック番号が正しくない

H'51 : 消去エラー、消去中にエラー発生

ブロック番号が H'FF に対して、ブートプログラムは消去処理を終了し、選択コマンド待ち状態になります。

コマンド	H'58	サイズ	ブロック番号	SUM
------	------	-----	--------	-----

- コマンド「H'58」(1バイト) : 消去
- サイズ(1バイト) : 消去ブロックNoの文字数、固定値で1
- ブロック番号(1バイト) : H'FF、消去処理の終了コード
- SUM(1バイト) : サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」(1バイト) : 消去終了に対する応答、ACK

ブロック番号を H'FF で指定した後、再度、消去を行う場合は、消去選択から実行します。

#### (11) メモリリード

メモリリードに対して、ブートプログラムは指定されたアドレスのデータを応答します。

コマンド	H'52	サイズ	エリア	読み出しアドレス
		読み出しサイズ		SUM

- コマンド「H'52」(1バイト) : メモリリード
- サイズ(1バイト) : エリア、読み出しアドレス、読み出しサイズの合計サイズ(固定値で9)
- エリア(1バイト)

H'00 : ユーザブートマツト

H'01 : ユーザマツト

エリアの指定が正しくないときはアドレスエラー

- 読み出しアドレス(4バイト) : 読み出す先頭アドレス
- 読み出しサイズ(4バイト) : 読み出すデータのサイズ
- SUM(1バイト) : サムチェック

レスポンス	H'52	読み出しアドレス						
	データ	...						
	SUM							

- レスポンス「H'52」(1バイト) : メモリリードに対する応答
- 読み出しサイズ(4バイト) : 読み出すデータのサイズ
- データ(nバイト) 読み出しアドレスからの読み出しサイズ分のデータ
- SUM(1バイト) : サムチェック

## 21. フラッシュメモリ (0.18 μm F-ZTAT 版)

---

エラー

レスポンス 

H'D2	ERROR
------	-------

- エラーレスポンス「H'D2」(1バイト) : メモリリードに対するエラー応答
- ERROR : (1バイト) : エラーコード
  - H'11 : サムチェックエラー
  - H'2A : アドレスエラー  
読み出しアドレスがマットの範囲にない
  - H'2B : サイズエラー  
読み出しサイズがマットの範囲を超えている

### (12) ユーザブートプログラムのサムチェック

ユーザブートプログラムのサムチェックに対して、ブートプログラムはユーザブートプログラムのデータを加算してその結果を応答します。

コマンド 

H'4A
------

- コマンド「H'4A」(1バイト) : ユーザブートプログラムのサムチェック

レスポンス 

H'5A	サイズ	マットのサムチェック	SUM
------	-----	------------	-----

- レスポンス「H'5A」(1バイト) : ユーザブートプログラムのサムチェックに対する応答
- サイズ(1バイト) : サムチェックデータの文字数、固定値で4
- マットのサムチェック(4バイト) : ユーザブートマットのサムチェック値、バイト単位で加算
- SUM(1バイト) : サムチェック(送信データの)

### (13) ユーザプログラムのサムチェック

ユーザプログラムのサムチェックに対して、ブートプログラムはユーザプログラムのデータを加算してその結果を応答します。

コマンド 

H'4B
------

- コマンド「H'4B」(1バイト) : ユーザプログラムのサムチェック

レスポンス 

H'5B	サイズ	マットのサムチェック	SUM
------	-----	------------	-----

- レスポンス「H'5B」(1バイト) : ユーザプログラムのサムチェックに対する応答
- サイズ(1バイト) : サムチェックデータの文字数、固定値で4
- サムチェック(4バイト) : ユーザマットのサムチェック値、バイト単位で加算
- SUM(1バイト) : サムチェック(送信データの)

## (14) ユーザブートマットのブランクチェック

ユーザブートマットのブランクチェックに対して、ブートプログラムはユーザブートマットがすべてブランクであることをチェックしその結果を応答します。

コマンド 

H'4C
------

- コマンド「H'4C」(1バイト) : ユーザブートマットのブランクチェック

レスポンス 

H'06
------

- レスポンス「H'06」(1バイト) : ユーザブートマットのブランクチェックに対する応答、エリアがすべてブランク (H'FF) のときACK

エラー

レスポンス

H'CC	H'52
------	------

- エラーレスポンス「H'CC」(1バイト) : ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'52」(1バイト) : 未消去エラー

## (15) ユーザマットのブランクチェック

ユーザマットのブランクチェックに対して、ブートプログラムはユーザマットがすべてブランクであることをチェックしその結果を応答します。

コマンド 

H'4D
------

- コマンド「H'4D」(1バイト) : ユーザブートマットのブランクチェック

レスポンス 

H'06
------

- レスポンス「H'06」(1バイト) : ユーザブートマットのブランクチェックに対する応答、エリアがすべてブランク (H'FF) のときACK

エラー

レスポンス

H'CD	H'52
------	------

- エラーレスポンス「H'CD」(1バイト) : ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'52」(1バイト) : 未消去エラー

## 21. フラッシュメモリ (0.18 μm F-ZTAT 版)

### (16) ブートプログラムステータス問い合わせ

ブートプログラムステータス問い合わせに対して、ブートプログラムは現在のステータスとエラー状態を応答します。この問い合わせは、問い合わせ選択ステータス、書き込み消去ステータス、いずれも有効です。

コマンド 

H'4F
------

- コマンド「H'4F」(1バイト) : ブートプログラムステータス問い合わせ

レスポンス 

H'5F	サイズ	STATUS	ERROR	SUM
------	-----	--------	-------	-----

- レスポンス「H'5F」(1バイト) : ブートプログラムステータス問い合わせに対する応答
- サイズ(1バイト) : データの文字数、固定値で2
- STATUS (1バイト) : 標準ブートプログラムのステータス

表 21.13 ステータスコード

コード	内 容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	ビットレート選択待ち
H'1F	書き込み消去ステータス遷移待ち(ビットレート選択完了)
H'31	書き込みステータス消去中
H'3F	書き込み消去選択待ち(消去完了)
H'4F	書き込みデータ受信待ち(書き込み完了)
H'5F	消去ブロック指定待ち(消去完了)

- ERROR (1バイト) : エラー状態

ERROR =0で正常

ERRORが0以外で異常

表 21.14 エラーコード

コード	内 容
H'00	エラーなし
H'11	サムチェックエラー
H'12	プログラムサイズエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	通倍比エラー
H'27	動作周波数エラー
H'29	ブロック番号エラー

コード	内 容
H'2A	アドレスエラー
H'2B	データ長エラー
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'54	選択処理エラー
H'80	コマンドエラー
H'FF	ビットレート合わせ込み確認エラー

- SUM (1バイト) : サムチェック

## 21.9 使用上の注意事項

### (1) 内蔵プログラムのダウンロード実行時間

初期化ルーチンを含む書き込みプログラム、または初期化ルーチンを含む消去プログラムのコードサイズはそれぞれ 4K バイト以内です。よって、CPU クロック周波数が、35MHz の場合、それぞれ最大で 60 μs のダウンロード時間となります。

### (2) DMAC でのフラッシュ関連レジスタへの書き込み

ダウンロード要求の FCCS の SCO ビットや、マット切り替えの FMATS は、内蔵 RAM 上で命令実行中ならば、DMAC からでも書き込みができてしまいます。不用意にこれらのレジスタへの書き込みが行われると、ダウンロードが実行され RAM を破壊したり、マット切り替えが発生して暴走するなどの危険性がありますので、DMAC でのフラッシュ関連レジスタへの書き込みを行わないでください。

### (3) 従来の F-ZTAT H8 マイコンとの書き込み / 消去プログラムの互換性

SCO 転送要求による内蔵プログラムのダウンロード方式をサポートしていない、従来の F-ZTAT H8 マイコンで使用していたフラッシュメモリの書き込み / 消去プログラムは、本 LSI では動作しません。本 F-ZTAT H8 マイコンでのフラッシュメモリへの書き込み / 消去は、必ず内蔵プログラムをダウンロードして実施してください。

### (4) WDT による暴走などのモニタ

従来の F-ZTAT H8 マイコンと異なり、書き込み / 消去中は WDT による暴走などへの対応は、実施していません。必要に応じて、書き込み / 消去の実行時間を考慮した WDT での対応を実施してください (定期的なタイマ割り込みの使用など)。

### (5) 電源投入時の注意事項

1. 電源投入時は、リセット端子を Low レベルおよびクロックを供給した状態にしてください。

## 21. フラッシュメモリ (0.18 $\mu$ m F-ZTAT 版)

---

### (6) ユーザブランチ処理の間隔

ユーザブランチ処理が実行される間隔は、書き込み / 消去で異なります。表 21.15 に、CPU クロック周波数 35MHz の場合の最大起動間隔を示します。

表 21.15 ユーザブランチ処理の起動間隔

	最大間隔
書き込み処理	1ms
消去処理	30ms

---

## 22. マスク ROM

---

H8S/2375、H8S/2375R では、256K バイトのマスク ROM を内蔵しています。内蔵 ROM は、16 ビット幅のデータバスを介して、CPU、データトランスファコントローラ (DTC) および DMA コントローラ (DMAC) に接続されています。CPU、DTC および DMAC は、8 または 16 ビット幅で内蔵 ROM をアクセスすることができます。内蔵 ROM のデータは、常に 1 ステートでアクセスできます。

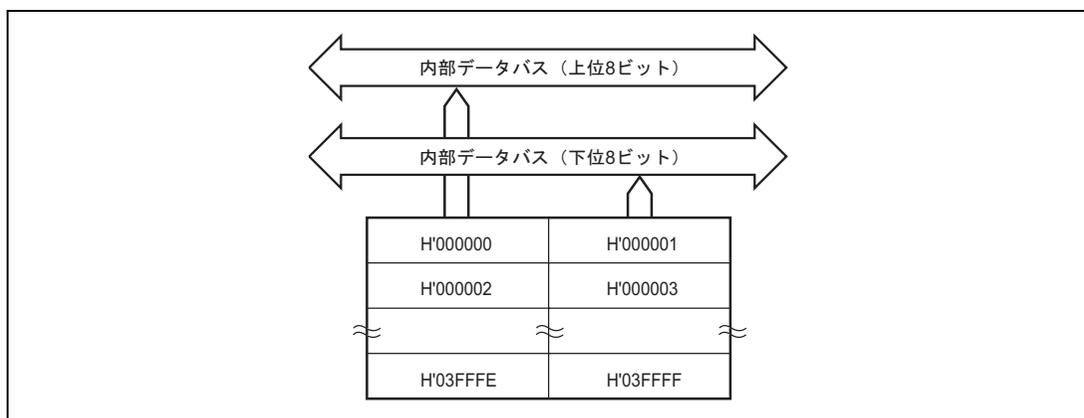


図 22.1 256K バイトマスク ROM のブロック図 (HD6432375)

内蔵 ROM は、動作モードによって有効が無効が決まります。動作モードは、表 3.1 のようにモード設定端子 MD2 ~ MD0 で選びます。内蔵 ROM を使う場合にはモード 4 かモード 7 を、使わない場合にはモード 1 かモード 2 を選んでください。内蔵 ROM は、エリア 0 に割り付けられています。



## 23. クロック発振器

本 LSI はクロック発振器を内蔵しており、システムクロック ( )、および 内部クロックを生成します。クロック発振器は、発振器、PLL 回路、分周器から構成されます。クロック発振器のブロック図を図 23.1 に示します。

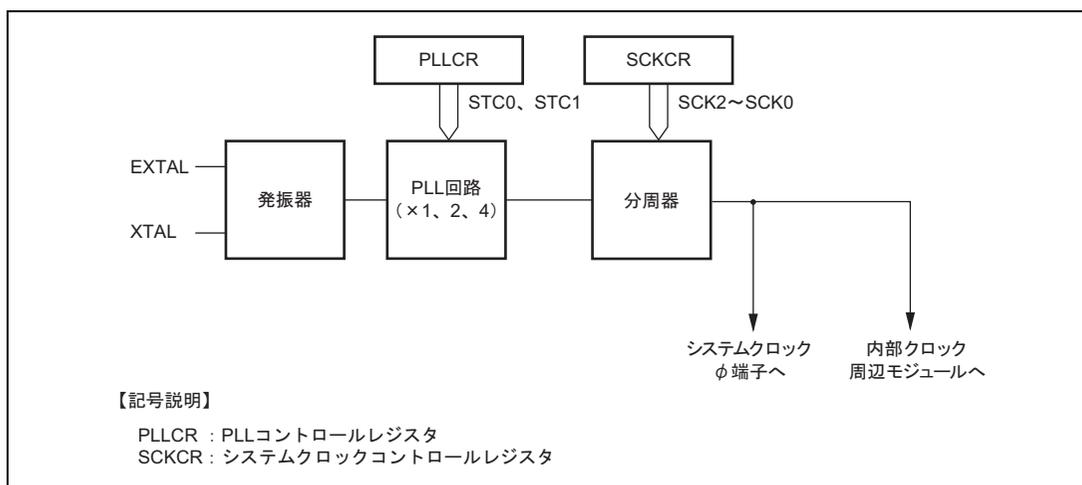


図 23.1 クロック発振器のブロック図

発振器からの周波数は、PLL 回路により変更できます。周波数の変更は、PLL コントロールレジスタ ( PLLCR ) とシステムクロックコントロールレジスタ ( SCKCR ) の設定によりソフトウェアで行います。

## 23. クロック発振器

### 23.1 レジスタの説明

クロック発振器には以下のレジスタがあります。

- システムクロックコントロールレジスタ (SCKCR)
- PLLコントロールレジスタ (PLLCR)

#### 23.1.1 システムクロックコントロールレジスタ (SCKCR)

SCKCR は 出力の制御、PLL 回路の周波数通倍率変更時の動作選択、分周器の分周比の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	PSTOP	0	R/W	出力禁止 出力を制御します。 通常動作状態 0: 出力 1: High レベル固定 スリープモード 0: 出力 1: High レベル固定 ソフトウェアスタンバイモード 0: High レベル固定 1: High レベル固定 ハードウェアスタンバイモード 0: ハイインピーダンス 1: ハイインピーダンス 全モジュールクロックストップモード 0: 出力 1: High レベル固定
6		0	R/W	リザーブビット リード/ライト可能ですが、0をライトしてください。
5、4		すべて0		リザーブビット リードすると常に0が読み出されます。ライトは無効です。
3	STCS	0	R/W	周波数通倍率切り替えモード選択 PLL 回路の周波数通倍率変更時の動作を選択します。 0: 変更した通倍率は、ソフトウェアスタンバイモード遷移後に有効 1: 変更した通倍率は、STC1、STC0 ビット書き換え後に有効

ビット	ビット名	初期値	R/W	説 明
2	SCK2	0	R/W	システムクロックセレクト 2-0
1	SCK1	0	R/W	分周比を選択します。
0	SCK0	0	R/W	000 : 1/1 001 : 1/2 010 : 1/4 011 : 1/8 100 : 設定禁止 101 : 設定禁止 11X : 設定禁止

【注】 X : Don't care

### 23.1.2 PLL コントロールレジスタ ( PLLCR )

PLLCR は PLL 回路の周波数通倍率を設定します。

ビット	ビット名	初期値	R/W	説 明
7~4		すべて 0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3		0	R/W	リザーブビット リード/ライト可能ですが、0 をライトしてください。
2		0		リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
1	STC1	0	R/W	周波数通倍率設定
0	STC0	0	R/W	PLL 回路の周波数通倍率を設定します。 00 : ×1 01 : ×2 10 : ×4 11 : 設定禁止

## 23. クロック発振器

### 23.2 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

#### 23.2.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 23.2 に示します。ダンピング抵抗  $R_d$  は表 23.1 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。水晶発振子を接続してクロックを供給する場合、接続する水晶発振子は 8~25MHz としてください。

水晶発振子の等価回路を図 23.3 に示します。水晶発振子は表 23.2 に示す特性のものを使用してください。

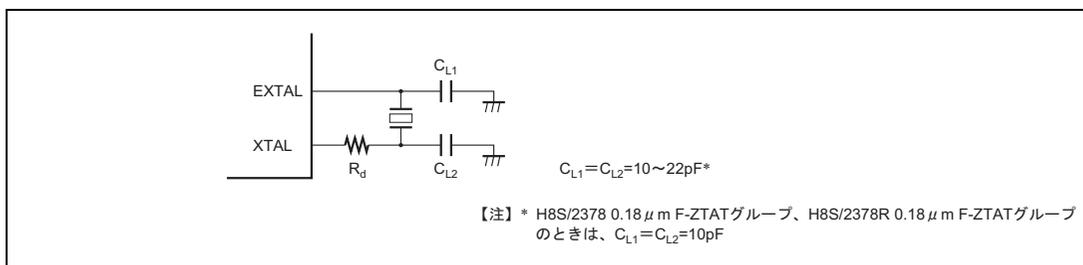


図 23.2 水晶発振子の接続例

表 23.1 ダンピング抵抗値

周波数 (MHz)	8	12	16	20	25
$R_d$ ( )	200	0	0	0	0

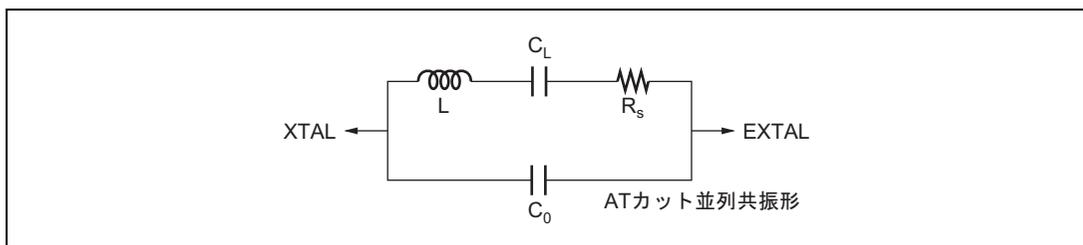


図 23.3 水晶発振子の等価回路

表 23.2 水晶発振子の特性

周波数 (MHz)	8	12	16	20	25
$R_s$ max ( )	80	60	50	40	40
$C_0$ max (pF)	7				

### 23.2.2 外部クロックを入力する方法

外部クロック入力の接続例を図 23.4 に示します。XTAL 端子をオープン状態にする場合、寄生容量は 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード時は外部クロックを High レベルにしてください。

外部クロックの入力条件を表 23.3 に示します。入力する外部クロックは 8~25MHz としてください。

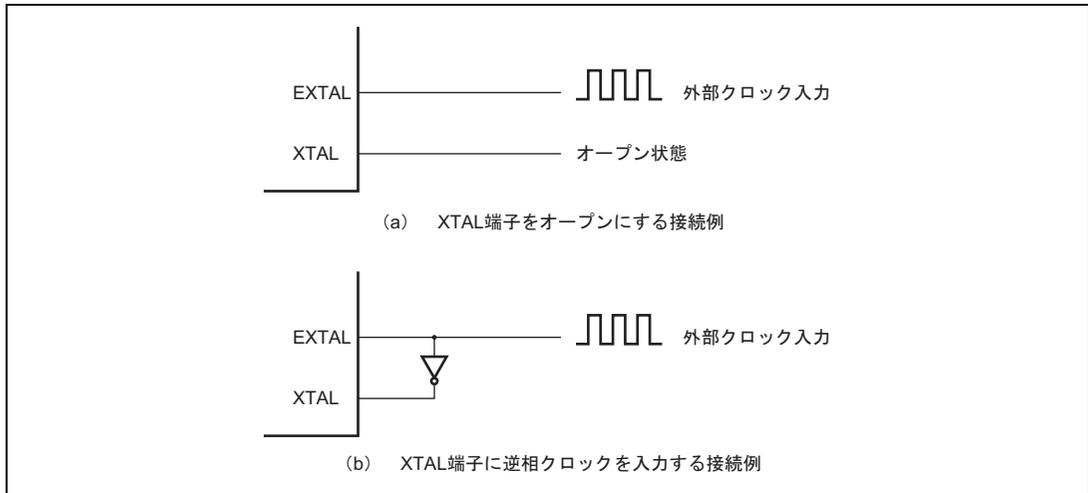


図 23.4 外部クロックの接続例

表 23.3 外部クロック入力条件

項目	記号	$V_{CC} = 3.0 \sim 3.6 \text{ V}$		単位	測定条件
		min	max		
外部クロック入力パルス幅 Low レベル	$t_{EXL}$	15	-	ns	図 23.5
外部クロック入力パルス幅 High レベル	$t_{EXH}$	15	-	ns	
外部クロック立ち上がり時間	$t_{EXr}$	-	5	ns	
外部クロック立ち下がり時間	$t_{EXf}$	-	5	ns	
クロックパルス幅 Low レベル	$t_{CL}$	0.4	0.6	tcyc	
クロックパルス幅 High レベル	$t_{CH}$	0.4	0.6	tcyc	

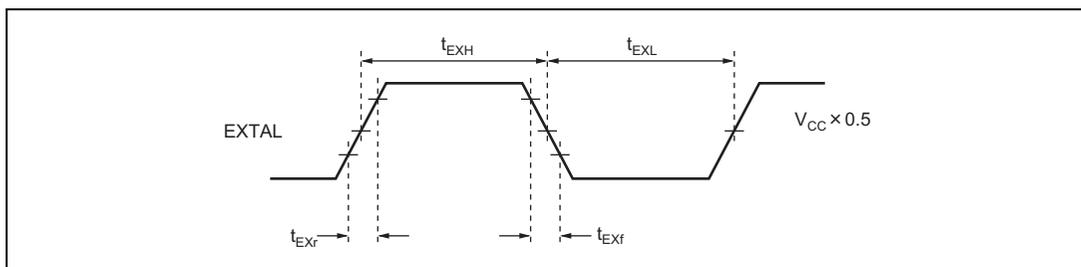


図 23.5 外部クロック入力タイミング

### 23.3 PLL 回路

PLL 回路は、発振器からの周波数を 1 倍、2 倍、4 倍に逡倍する機能を持っています。周波数逡倍率は PLLCR の STC1、STC0 ビットで設定します。このとき、内部クロックの立ち上がりエッジの位相は EXTAL 端子の立ち上がりエッジの位相に一致するように制御されます。

PLL 回路の周波数逡倍率を変更する場合、SCKCR の STCS ビットの設定で動作が異なります。

STCS ビットが 0 の場合、変更した周波数逡倍率はソフトウェアスタンバイモード遷移後に有効になります。遷移時間は、スタンバイコントロールレジスタ (SBYCR) の STS3 ~ STS0 ビットで設定します。SBYCR については「24.1.1 スタンバイコントロールレジスタ (SBYCR)」を参照してください。

1. 初期状態では、PLL回路の逡倍率は1倍です。
  2. STS3 ~ STS0ビットで遷移時間を設定します。
  3. STC1、STC0ビットで周波数逡倍率を設定し、ソフトウェアスタンバイモードに遷移します。
  4. クロック発振器が停止し、設定したSTC1 ~ STC0の設定が有効となります。
  5. ソフトウェアスタンバイモードを解除し、STS3 ~ STS0ビットで設定した、遷移時間が確保されます。
  6. 設定した遷移時間経過後、変更した周波数逡倍率で本LSIは動作を再開します。
- STCSビットが1の場合、STC1、STC0ビット書き換え後に、変更後の周波数逡倍率では本LSIは動作します。

### 23.4 分周器

分周器は PLL 回路出力クロックを分周し、1/2、1/4、1/8 のクロックを生成します。

## 23.5 使用上の注意事項

### 23.5.1 クロック発振器に関する使用上の注意事項

1. SCKCR、PLLCCRの設定により の周波数が変わりますので以下の点に注意してください。

分周比は電気的特性のACタイミングのクロックサイクル時間 $t_{cyc}$ の動作保証範囲内に収まるように選択してください。つまり、 $\min = 8\text{MHz}$ 、 $\max = 33*\text{MHz}$ とし、 $< 8\text{MHz}$ 、 $> 33*\text{MHz}$ とならないように注意してください。

【注】 * H8S/2378 のときは 35MHz となります。H8S/2374、H8S/2372、H8S/2371、H8S/2370、H8S/2378R、H8S/2374R、H8S/2372R、H8S/2371R、H8S/2370R のときは 34MHz となります。

2. 内部モジュールは、すべて を基準に動作します。このため、分周比変更の前後でタイマやSCIなどの時間処理が変わりますので注意してください。また、ソフトウェアスタンバイモード解除用の待機時間も分周比を変更することで変わります。詳細は「24.2.3 (3)ソフトウェアスタンバイモード解除後の発振安定時間の設定」を参照してください。
3. ライトデータバッファ機能、EXDMACを用いて、外部バスサイクル実行中にSCKCRあるいはPLLCCRの設定を行うと、 の周波数が変わりますので注意してください。

### 23.5.2 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振回路の回路定数は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

### 23.5.3 ボード設計上の注意事項

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。図 23.6 に示すように発振回路の近くには信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。

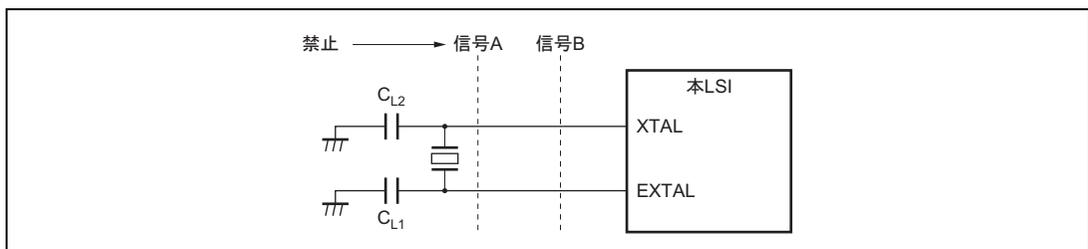


図 23.6 発振回路部のボード設計に関する注意事項

## 23. クロック発振器

PLL回路の外付け推奨回路を図23.7に示します。PLLVcc、PLLVssとVcc、Vssはボードの電源供給元から分離し、端子の近くにバイパスコンデンサCPBおよびCBを必ず挿入してください。

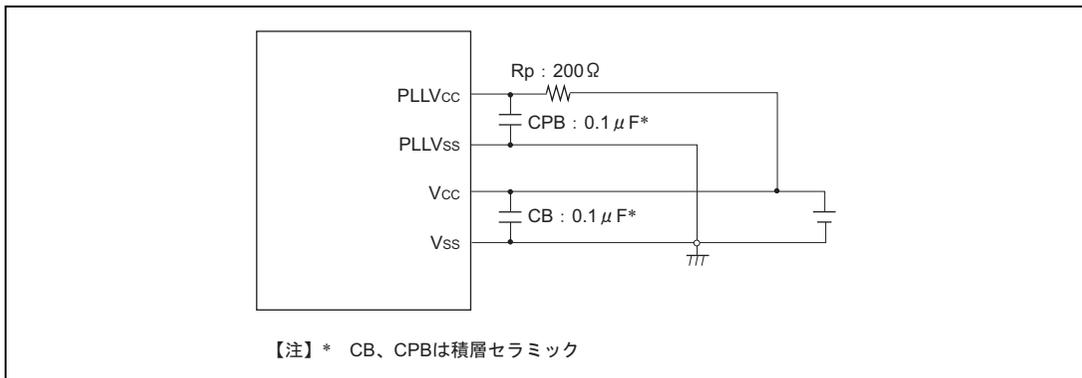


図 23.7 PLL回路の外付け推奨回路

---

## 24. 低消費電力状態

---

本 LSI には、通常のプログラム実行状態のほかに、CPU や発振器の動作を停止し、消費電力を低くする低消費電力状態があります。CPU、内蔵周辺機能などを個別に制御して、低消費電力化を実現できます。

本 LSI の動作状態には、高速モードのほか、

- クロック分周モード
- スリープモード
- モジュールストップモード
- 全モジュールクロックストップモード
- ソフトウェアスタンバイモード
- ハードウェアスタンバイモード

の低消費電力状態があります。スリープモードは CPU の状態、クロック分周モードは内蔵周辺機能（CPU とバスマスタを含む）の状態、モジュールストップモードは内蔵周辺機能（CPU 以外のバスマスタも含む）の状態です。これらは組み合わせて設定することができます。

リセット後は、高速モードになっています。

表 24.1 に各モードでの本 LSI 本の内部状態を示します。図 24.1 に可能なモード間遷移を示します。

## 24. 低消費電力状態

表 24.1 各モードでの本 LSI の内部状態

動作状態		高速モード	クロック分周モード	スリープモード	モジュールストップモード	全モジュールクロックストップモード	ソフトウェアスタンバイモード	ハードウェアスタンバイモード
クロック発振器		動作	動作	動作	動作	動作	停止	停止
CPU	命令実行	動作	動作	停止	動作	停止	停止	停止
	レジスタ			保持			保持	不定
外部割り込み	NMI	動作	動作	動作	動作	動作	動作	停止
	IRQ0 ~ 15							
周辺機能	WDT	動作	動作	動作	動作	動作	停止 (保持)	停止 (リセット)
	TMR	動作	動作	動作	停止 (保持)	動作 / 停止(保持)* ¹	停止 (保持)	停止 (リセット)
	EXDMAC* ²	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	DMAC	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	DTC	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	TPU	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	PPG	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	D/A	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	A/D	動作	動作	動作	停止 (保持)	停止 (保持)	停止 (保持)	停止 (リセット)
	SCI	動作	動作	動作	停止* ³ (リセット / 保持)	停止* ³ (リセット / 保持)	停止* ³ (リセット / 保持)	停止 (リセット)
	IIC2	動作	動作	動作	停止* ⁴ (リセット / 保持)	停止* ⁴ (リセット / 保持)	停止* ⁴ (リセット / 保持)	停止 (リセット)
	RAM	動作	動作	動作	動作	動作	保持	保持
I/O	動作	動作	動作	動作	保持	保持	ハイインピーダンス	

【注】 停止(保持)は、内部レジスタ値保持、内部状態は動作中断を示します。

停止(リセット)は、内部レジスタ値および内部状態を初期化します。

モジュールストップモードは、停止設定をしたモジュールのみ停止(リセットまたは保持)します。

- *1 MSTPCR の MSTP0 ビットの設定により、動作 / 停止を選択することができます。
- *2 H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。
- *3 TDR、SSR、RDR は停止（リセット）、その他のレジスタは停止（保持）となります。
- *4 BC2～BC0 は停止（リセット）、その他のレジスタは停止（保持）となります。

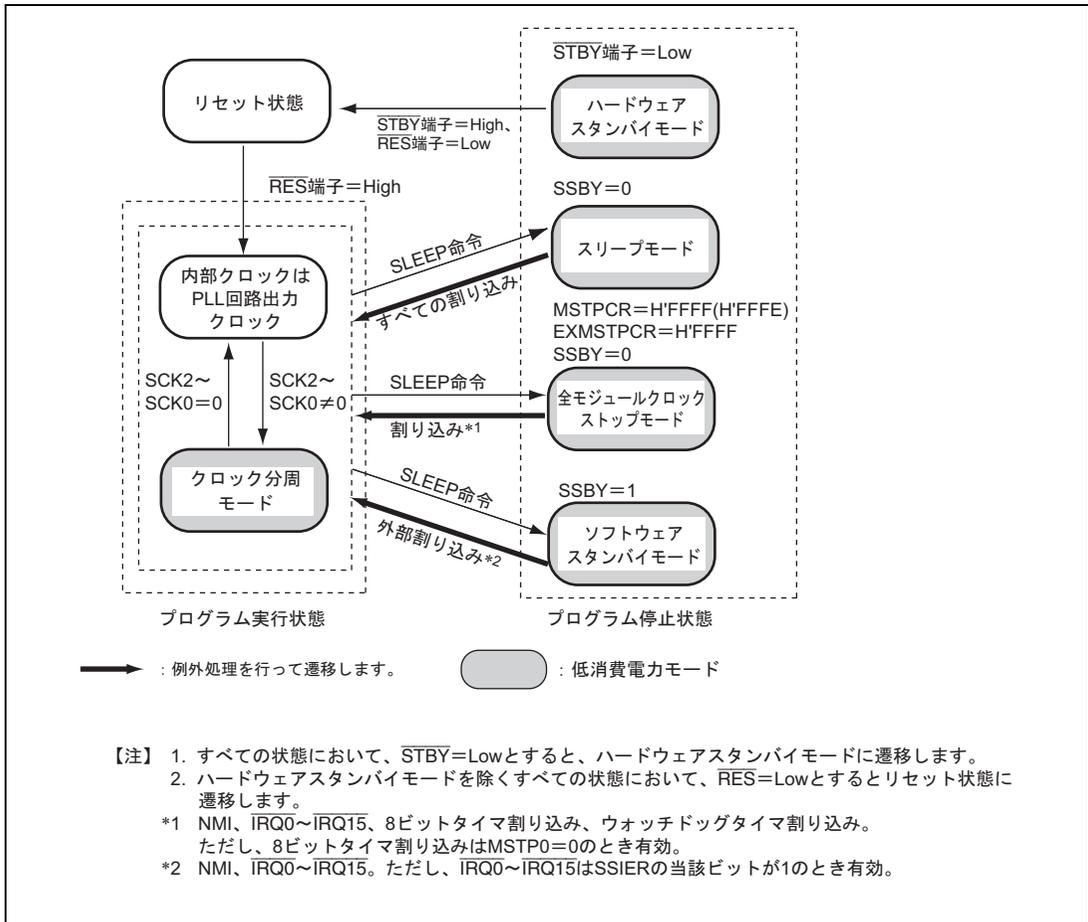


図 24.1 モード遷移図

## 24.1 レジスタの説明

消費電力モードに関連するレジスタには以下のものがあります。システムクロックコントロールレジスタ (SCKCR) については「23.1.1 システムクロックコントロールレジスタ (SCKCR)」を参照してください。

- システムクロックコントロールレジスタ (SCKCR)
- スタンバイコントロールレジスタ (SBYCR)
- モジュールストップコントロールレジスタH (MSTPCRH)
- モジュールストップコントロールレジスタL (MSTPCRL)
- エクステンションモジュールストップコントロールレジスタH (EXMSTPCRH)
- エクステンションモジュールストップコントロールレジスタL (EXMSTPCRL)

### 24.1.1 スタンバイコントロールレジスタ (SBYCR)

SBYCR はソフトウェアスタンバイモードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を指定します。 0: SLEEP 命令実行後、スリープモードに遷移 1: SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移 なお、外部割り込みによってソフトウェアスタンバイモードが解除され、通常動作に遷移したときは1にセットされたまま値が変わりません。クリアする場合は0をライトしてください。
6	OPE	1	R/W	出力ポートイネーブル ソフトウェアスタンバイモード時にアドレスバス、バス制御信号 ( $\overline{CS7} - \overline{CS0}$ 、 $\overline{AS}$ 、 $\overline{RD}$ 、 $\overline{HWR}$ 、 $\overline{LWR}$ 、 $\overline{UCAS}$ 、 $\overline{LCAS}$ ) の端子状態を保持するか、ハイインピーダンスにするかを指定します。 0: ソフトウェアスタンバイモード時に、端子状態をハイインピーダンス 1: ソフトウェアスタンバイモード時に、端子状態を保持する
5, 4	-	すべて0	-	リザーブビット リードすると常に0が読み出されます。初期値を変更しないでください。

ビット	ビット名	初期値	R/W	説明
3	STS3	1	R/W	スタンバイタイムセレクト 3~0
2	STS2	1	R/W	<p>外部割り込みによってソフトウェアスタンバイモードを解除する場合に、クロックが安定するまで MCU が待機する時間を選択します。</p> <p>水晶発振の場合、表 24.2 を参照し、動作周波数に応じて待機時間が発振安定時間以上となるように選択してください。</p> <p>外部クロックの場合、PLL 回路の安定時間が必要になります。表 24.2 を参照し、待機時間を設定してください。</p> <p>DRAM を使用しソフトウェアスタンバイ状態でセルフリフレッシュを選択する場合、DRAM の tRAS (セルフリフレッシュ時 RAS パルス幅) を満たす必要があります。</p> <p>F-ZTAT 版では、フラッシュメモリの安定時間を確保してください。</p> <p>0000 : 設定禁止</p> <p>0001 : 設定禁止</p> <p>0010 : 設定禁止</p> <p>0011 : 設定禁止</p> <p>0100 : 設定禁止</p> <p>0101 : 待機時間 = 64 ステート</p> <p>0110 : 待機時間 = 512 ステート</p> <p>0111 : 待機時間 = 1024 ステート</p> <p>1000 : 待機時間 = 2048 ステート</p> <p>1001 : 待機時間 = 4096 ステート</p> <p>1010 : 待機時間 = 16384 ステート</p> <p>1011 : 待機時間 = 32768 ステート</p> <p>1100 : 待機時間 = 65536 ステート</p> <p>1101 : 待機時間 = 131072 ステート</p> <p>1110 : 待機時間 = 262144 ステート</p> <p>1111 : 待機時間 = 524288 ステート</p>
1	STS1	1	R/W	
0	STS0	1	R/W	

## 24. 低消費電力状態

### 24.1.2 モジュールストップコントロールレジスタ H、L (MSTPCR_H、MSTPCR_L)

MSTPCR はモジュールストップモードの制御を行います。1 のとき対応するモジュールはモジュールストップモードになり、クリアするとモジュールストップモードは解除されます。

#### • MSTPCR_H

ビット	ビット名	初期値	R/W	対象モジュール
15	ACSE	0	R/W	全モジュールクロックストップモードイネーブル MSTPCR で制御されるすべての内蔵周辺機能、または TMR 以外の内蔵周辺機能をモジュールストップモードにし、SLEEP 命令実行後の全モジュールクロックストップモードへの遷移を許可または禁止します。 0 : 全モジュールクロックストップモードを禁止 1 : 全モジュールクロックストップモードを許可
14	MSTP14	0	R/W	EXDMA コントローラ (EXDMAC) *
13	MSTP13	0	R/W	DMA コントローラ (DMAC)
12	MSTP12	0	R/W	データトランスファコントローラ (DTC)
11	MSTP11	1	R/W	16 ビットタイマパルスユニット (TPU)
10	MSTP10	1	R/W	プログラマブルパルスジェネレータ (PPG)
9	MSTP9	1	R/W	D/A 変換器 (チャンネル 0、1)
8	MSTP8	1	R/W	D/A 変換器 (チャンネル 2、3)

#### • MSTPCR_L

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTP7	1	R/W	D/A 変換器 (チャンネル 4、5) *
6	MSTP6	1	R/W	A/D 変換器
5	MSTP5	1	R/W	シリアルコミュニケーションインタフェース 4 (SCI ₄ )
4	MSTP4	1	R/W	シリアルコミュニケーションインタフェース 3 (SCI ₃ )
3	MSTP3	1	R/W	シリアルコミュニケーションインタフェース 2 (SCI ₂ )
2	MSTP2	1	R/W	シリアルコミュニケーションインタフェース 1 (SCI ₁ )
1	MSTP1	1	R/W	シリアルコミュニケーションインタフェース 0 (SCI ₀ )
0	MSTP0	1	R/W	8 ビットタイマ (TMR)

【注】 * H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

### 24.1.3 エクステンションモジュールストップコントロールレジスタ H、L (EXMSTPCR_H、EXMSTPCR_L)

EXMSTPCR は全モジュールクロックストップモードの制御を MSTPCR と共に行います。全モジュールクロックストップモードへ遷移する場合、EXMSTPCR = H'FFFF としてください。その他の場合は EXMSTPCR = H'FFFD としてください。

#### • EXMSTPCR_H

ビット	ビット名	初期値	R/W	対象モジュール
15~12	-	すべて1	R/W	リザーブビット リード/ライト可能ですがライト時は1をライトしてください。
11	MSTP27	1	R/W	-
10	MSTP26	1	R/W	-
9	MSTP25	1	R/W	-
8	MSTP24	1	R/W	-

#### • EXMSTPCR_L

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTP23	1	R/W	-
6	MSTP22	1	R/W	-
5	MSTP21	1	R/W	-
4	MSTP20	1	R/W	I ² C バスインタフェース 2_1 (IIC2_1)
3	MSTP19	1	R/W	I ² C バスインタフェース 2_0 (IIC2_0)
2	MSTP18	1	R/W	-
1	MSTP17	0	R/W	-
0	MSTP16	1	R/W	-

### 24.2 動作説明

#### 24.2.1 クロック分周モード

SCKCR の SCK2 ~ SCK0 ビットを 001 ~ 101 に設定すると、そのバスサイクルの終了時点でクロック分周モードになります。クロック分周モードでは、CPU、バスマスタ、内蔵周辺機能は SCK2 ~ SCK0 ビットで指定した動作クロック (1/2、1/4) で動作します。

クロック分周モードの解除は、SCK2 ~ SCK0 ビットをすべて 0 にクリアすることによって行われ、そのバスサイクルの終了時点で高速モードに遷移し、クロック分周モードは解除されます。

SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されるとクロック分周モードに復帰します。

また、SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されるとクロック分周モードに復帰します。

$\overline{\text{RES}}$  端子を Low レベルにするとリセット状態に遷移し、クロック分周モードは解除されます。ウォッチドッグタイマのオーバフローによるリセットについても同様です。

$\overline{\text{STBY}}$  端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

#### 24.2.2 スリープモード

##### (1) スリープモードへの遷移

SBYCR の SSBY ビット=0 の状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

##### (2) スリープモードの解除

スリープモードの解除は、すべての割り込み、 $\overline{\text{RES}}$ 、または  $\overline{\text{STBY}}$  端子によって行われます。

- 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI以外の割り込みがCPUでマスクされている場合には、スリープモードは解除されません。

- $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子をLowレベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

- $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

### 24.2.3 ソフトウェアスタンバイモード

#### (1) ソフトウェアスタンバイモードへの遷移

SBYCRのSSBYビットを1にセットした状態でSLEEP命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPUの内部レジスタの内容と内蔵RAMのデータ、SCIおよびA/D変換器を除く内蔵周辺機能と、I/Oポートの状態は保持されます。アドレスバス、バス制御信号は、SBYCRのOPEビットによりハイインピーダンス状態とするか、端子状態を保持するかを指定できます。本モードでは、発振器が停止するため、消費電力は著しく低減されます。

#### (2) ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み(NMI、 $\overline{IRQ0}$  ~  $\overline{IRQ15}$  端子)、 $\overline{RES}$  端子、または  $\overline{STBY}$  端子によって行われます。 $\overline{IRQ0}$  ~  $\overline{IRQ15}$  端子は、SSIERの当該SSIビットを1にセットすることより、ソフトウェアスタンバイモードの解除要因として使用することができます。

- 割り込みによる解除

NMI、 $\overline{IRQ0}$  ~  $\overline{IRQ15}$  割り込み要求信号が入力されると、クロックが発振を開始し、SBYCRのSTS3 ~ STS0ビットによって設定された時間が経過した後、安定したクロックが本LSI全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

$\overline{IRQ0}$  ~  $\overline{IRQ15}$  割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビットを1にセットし、かつ $\overline{IRQ0}$  ~  $\overline{IRQ15}$  割り込みより高い優先順位の割り込みが発生しないようにしてください。なお、CPU側でマスクした場合、またはDTCの起動要因に設定した場合には、ソフトウェアスタンバイモードは解除できません。

- $\overline{RES}$ 端子による解除

$\overline{RES}$ 端子をLowレベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本LSI全体にクロックが供給されます。このとき $\overline{RES}$ 端子は必ずクロックの発振が安定するまでLowレベルに保持してください。 $\overline{RES}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

- $\overline{STBY}$ 端子による解除

$\overline{STBY}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

#### (3) ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCRのSTS3 ~ STS0ビットの設定は、以下のよう to してください。

- 水晶発振の場合

待機時間が発振安定時間以上となるようにSTS3 ~ STS0ビットを設定してください。

表24.2に、動作周波数とSTS3 ~ STS0ビットの設定に対する待機時間を示します。

- 外部クロックの場合

PLL回路の安定時間が必要となります。表24.2を参照し待機時間を設定してください。

24. 低消費電力状態

表 24.2 発振安定時間の設定

STS3	STS2	STS1	STS0	待機時間	*1 [ MHz ]								単位
					35*2	34*3	33	25	20	13	10	8	
0	0	0	0	リザーブ	-	-	-	-	-	-	-	-	μs
			1	リザーブ	-	-	-	-	-	-	-	-	
		1	0	リザーブ	-	-	-	-	-	-	-	-	
			1	リザーブ	-	-	-	-	-	-	-	-	
	1	0	0	リザーブ	-	-	-	-	-	-	-	-	
			1	64	1.8	1.9	1.9	2.6	3.2	4.9	6.4	8.0	
		1	0	512	15.0	15.1	15.5	20.5	25.6	39.4	51.2	64.0	
			1	1024	29.3	30.1	31.0	41.0	51.2	78.8	102.4	128.0	
1	0	0	0	2048	58.5	60.2	62.1	81.9	102.4	157.5	204.8	256.0	ms
			1	4096	0.12	0.12	0.12	0.16	0.20	0.32	0.41	0.51	
		1	0	16384	0.47	0.48	0.50	0.66	0.82	1.26	1.64	2.05	
			1	32765	0.94	0.96	0.99	1.31	1.64	2.52	3.28	4.10	
	1	0	0	65536	1.87	1.93	1.99	2.62	3.28	5.04	6.55	8.19	
			1	131072	3.74	3.86	3.97	5.24	6.55	10.08	13.11	16.38	
		1	0	262144	7.49	7.71	7.94	10.49	13.11	20.16	26.21	32.77	
			1	524288	14.98	15.42	15.89	20.97	26.21	40.33	52.43	65.54	

【注】 *1 は分周器の出力です。

*2 H8S/2378 のみサポートしています。

*3 H8S/2378 0.18 μm F-ZTAT グループ、H8S/2378R 0.18 μm F-ZTAT グループのみサポートしています。

## (4) ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに移行し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 24.2 に示します。

この例では、INTCR の NMIEG ビットが 0 にクリアされている（立ち下がりエッジ指定）状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット（立ち上がりエッジ指定）、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに移行しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

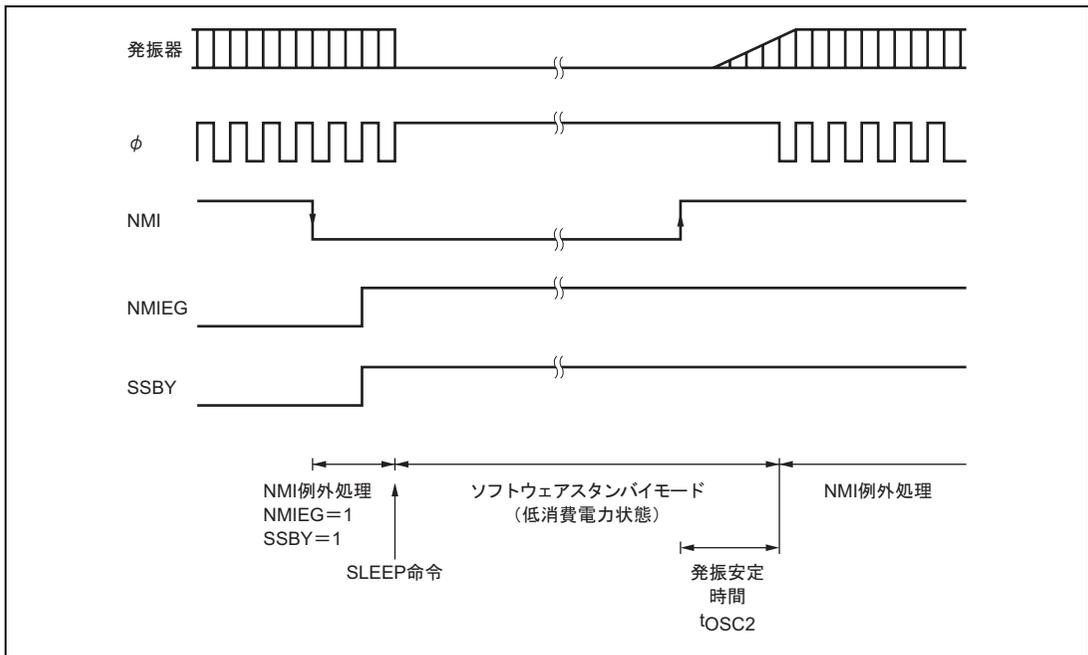


図 24.2 ソフトウェアスタンバイモードの応用例

### 24.2.4 ハードウェアスタンバイモード

#### (1) ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$  端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$  端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。また、ハードウェアスタンバイモード中には、モード端子 (MD2 ~ MD0) の状態を変化させないでください。

#### (2) ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$  端子と  $\overline{\text{RES}}$  端子によって行われます。 $\overline{\text{RES}}$  端子を Low レベルにした状態で、 $\overline{\text{STBY}}$  端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$  端子は必ずクロックの発振が安定するまで (発振安定時間については、表 24.2 参照) Low レベルを保持してください。その後、 $\overline{\text{RES}}$  端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

#### (3) ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 24.3 に示します。 $\overline{\text{RES}}$  端子を Low レベルにした後、 $\overline{\text{STBY}}$  端子を Low レベルにするとハードウェアスタンバイモードに遷移します。ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$  端子を High レベルにしクロックの発振安定時間経過後、 $\overline{\text{RES}}$  端子を Low レベルから High レベルにすることにより行われます。

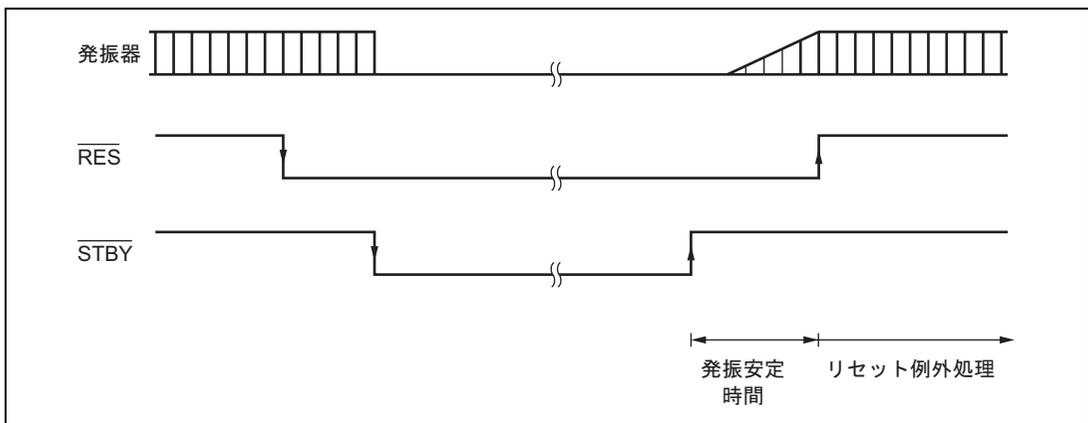


図 24.3 ハードウェアスタンバイモードのタイミング

(4) 電源投入時のハードウェアスタンバイモードのタイミング (H8S/2378 0.18  $\mu$ m F-ZTAT グループ、H8S/2378R 0.18  $\mu$ m F-ZTAT グループのみ)

電源投入時よりハードウェアスタンバイモードに遷移する場合、必ず  $\overline{\text{STBY}}$  端子を High レベルにした状態で規定の時間  $\overline{\text{RES}}$  端子を Low レベルにし、リセット解除以降に  $\overline{\text{STBY}}$  端子を Low レベルにするようにしてください。

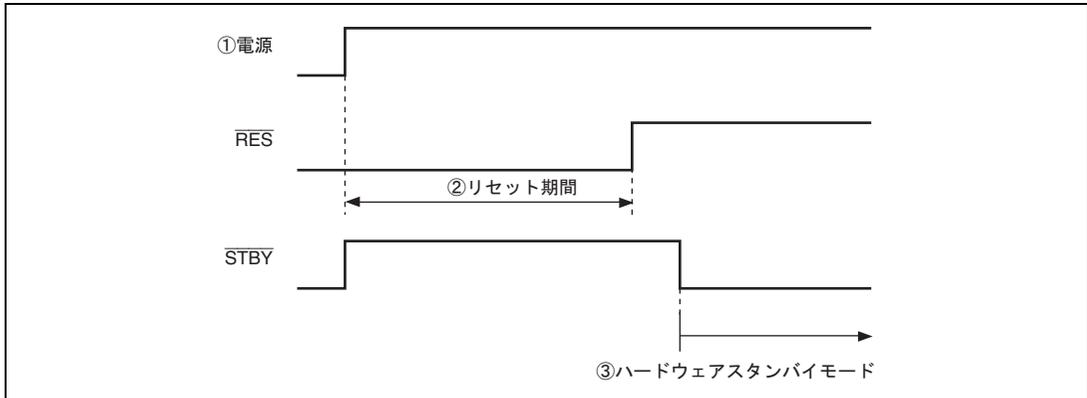


図 24.4 電源投入時のハードウェアスタンバイモードのタイミング

### 24.2.5 モジュールストップモード

モジュールストップモードは内蔵周辺機能のモジュール単位で設定することができます。

MSTPCR、EXMSTPCR の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップモードへ遷移します。このとき CPU は独立して動作を継続します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップモードは解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップモードでは、SCI を除くモジュールの内部状態が保持されています。

リセット解除後は、EXDMAC、DMAC、DTC を除くすべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード/ライトできません。

### 24.2.6 全モジュールクロックストップモード

MSTPCRHのACSEビットを1にセットし、かつMSTPCR、EXMSTPCRで制御されるすべての内蔵周辺機能をモジュールストップモードにしたとき(MSTPCR = H'FFFF、EXMSTPCR = H'FFFF)、または8ビットタイマ以外の内蔵周辺機能をモジュールストップモードにしたとき(MSTPCR = H'FFFE、EXMSTPCR = H'FFFF)、SBYCRのSSBYビットを0にクリアした状態でSLEEP命令を実行すると、バスサイクルの終了時点で8ビットタイマ、ウォッチドッグタイマを除く内蔵周辺機能、バスコントローラ、およびI/Oポートの動作を停止して全モジュールクロックストップモードへ遷移します。8ビットタイマはMSTP0ビットにより動作/停止を選択できます。

全モジュールクロックストップモードの解除は、外部割り込み(NMI、 $\overline{IRQ0} \sim \overline{IRQ15}$ 端子)、 $\overline{RES}$ 端子、内部割り込み(8ビットタイマ、ウォッチドッグタイマ)によって行われ、例外処理状態を経て通常のプログラム実行状態へ遷移します。割り込みが禁止されている場合とNMI以外の割り込みがCPUでマスクされている場合、またはDTCの起動要因に設定した場合には、全モジュールクロックストップモードは解除されません。

$\overline{STBY}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

## 24.3 クロック出力制御

SCKCRのPSTOPビット、対応するポートのDDRにより、クロックの出力を制御することができます。PSTOPビットを1にセットすると、バスサイクルの終了時点でクロックは停止し、出力はHighレベルになります。PSTOPを0にクリアした状態では、クロック出力は許可されます。また、対応するポートのDDRを0にクリアすると、クロック出力は禁止され、入力ポートになります。表24.3に各処理状態における端子の状態を示します。

表 24.3 各処理状態における端子の状態

レジスタの設定値		通常動作状態	スリープモード	ソフトウェアスタンバイモード	ハードウェアスタンバイモード	全モジュールクロックストップモード
DDR	PSTOP					
0	X	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス
1	0	出力	出力	High固定	ハイインピーダンス	出力
1	1	High固定	High固定	High固定	ハイインピーダンス	High固定

## 24.4 使用上の注意事項

### 24.4.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

### 24.4.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

### 24.4.3 EXDMAC、DMAC、DTC のモジュールストップ

EXDMAC、DMAC、DTC の動作状態によっては、MSTP12～MSTP14 ビットは 1 にセットされない場合があります。EXDMAC、DMAC または DTC のモジュールストップモードの設定は、それぞれ起動されない状態で行ってください。

詳細は「第 8 章 EXDMA コントローラ (EXDMAC)」、「第 7 章 DMA コントローラ (DMAC)」、「第 9 章 データトランスファコントローラ (DTC)」を参照してください。

【注】 H8S/2375、H8S/2375R、H8S/2373、H8S/2373R では EXDMAC をサポートしていません。

### 24.4.4 内蔵周辺モジュールの割り込み

モジュールストップモードでは、当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールストップとすると、CPU の割り込み要因、または EXDMAC、DMAC、DTC の起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてからモジュールストップモードとしてください。

【注】 H8S/2375、H8S/2375R、H8S/2373、H8S/2373R では EXDMAC をサポートしていません。

### 24.4.5 MSTPCR、EXMSTPCR のライト

MSTPCR および EXMSTPCR は CPU のみでライトしてください。

### 24.4.6 クロック分周モードにおける注意事項

クロック分周モードにおいて、以下の点に注意してください。

1. SCK2～SCK0ビットで設定する分周比は、電気的特性のクロックサイクル時間 $t_{\text{cycle}}$ の動作保証範囲内におさまるように選択してください。すなわち、 $\text{min} = 8\text{MHz}$ とし、 $< 8\text{MHz}$ とならないように注意してください。
2. 内部モジュールは、すべて  $f_{\text{clk}}$  を基準に動作します。  
このため、分周比変更の前後でタイマやSCIなどの時間処理が変わりますので注意してください。またソフトウェアスタンバイ解除時の待機時間も分周比を変更することで変ります。
3. 端子のクロック出力も分周比を変更することにより変化します。

---

## 25. レジスタ一覧

---

アドレス一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記のとおりです。

### 1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- モジュール名称による分類をしています。
- アクセスサイズを表示しています。

### 2. レジスタビット一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「—」で表記しています。
- 16ビットまたは32ビットのレジスタの場合、MSB側のビットから記載しています。

### 3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

## 25. レジスタ一覧

### 25.1 レジスタアドレス一覧（アドレス順）

アクセスサイズは、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
DTC モードレジスタ A	MRA	8	H'BC00	DTC	16/32	2
DTC ソースアドレスレジスタ	SAR	24	~	DTC	16/32	2
DTC モードレジスタ B	MRB	8	H'BFFF	DTC	16/32	2
DTC デスティネーションアドレスレジスタ	DAR	24		DTC	16/32	2
DTC 転送カウントレジスタ A	CRA	16		DTC	16/32	2
DTC 転送カウントレジスタ B	GRB	16		DTC	16/32	2
I ² C バスコントロールレジスタ A_0	ICCRA_0	8	H'FD58	IIC2_0	8	2
I ² C バスコントロールレジスタ B_0	ICCRB_0	8	H'FD59	IIC2_0	8	2
I ² C バスモードレジスタ_0	ICMR_0	8	H'FD5A	IIC2_0	8	2
I ² C バスインタラプティネーブルレジスタ_0	ICIER_0	8	H'FD5B	IIC2_0	8	2
I ² C バスステータスレジスタ_0	ICSR_0	8	H'FD5C	IIC2_0	8	2
スレーブアドレスレジスタ_0	SAR_0	8	H'FD5D	IIC2_0	8	2
I ² C 送信データレジスタ_0	ICDRT_0	8	H'FD5E	IIC2_0	8	2
I ² C 受信データレジスタ_0	ICDRR_0	8	H'FD5F	IIC2_0	8	2
I ² C バスコントロールレジスタ A_1	ICCRA_1	8	H'FD60	IIC2_1	8	2
I ² C バスコントロールレジスタ B_1	ICCRB_1	8	H'FD61	IIC2_1	8	2
I ² C バスモードレジスタ_1	ICMR_1	8	H'FD62	IIC2_1	8	2
I ² C バスインタラプティネーブルレジスタ_1	ICIER_1	8	H'FD63	IIC2_1	8	2
I ² C バスステータスレジスタ_1	ICSR_1	8	H'FD64	IIC2_1	8	2
スレーブアドレスレジスタ_1	SAR_1	8	H'FD65	IIC2_1	8	2
I ² C 送信データレジスタ_1	ICDRT_1	8	H'FD66	IIC2_1	8	2
I ² C 受信データレジスタ_1	ICDRR_1	8	H'FD67	IIC2_1	8	2
シリアル拡張モードレジスタ_2	SEMR_2	8	H'FDA8	SCI_2	8	2
EXDMA ソースアドレスレジスタ_2	EDSAR_2	32	H'FDE0	EXDMAC_2 ^{*3}	16	2
EXDMA デスティネーションアドレス レジスタ_2	EDDAR_2	32	H'FDE4	EXDMAC_2 ^{*3}	16	2
EXDMA 転送カウントレジスタ_2	EDTCR_2	32	H'FDE8	EXDMAC_2 ^{*3}	16	2
EXDMA モードコントロールレジスタ_2	EDMDR_2	16	H'FDEC	EXDMAC_2 ^{*3}	16	2
EXDMA アドレスコントロールレジスタ_2	EDACR_2	16	H'FDEE	EXDMAC_2 ^{*3}	16	2
EXDMA ソースアドレスレジスタ_3	EDSAR_3	32	H'FDF0	EXDMAC_2 ^{*3}	16	2
EXDMA デスティネーションアドレス レジスタ_3	EDDAR_3	32	H'FDF4	EXDMAC_2 ^{*3}	16	2
EXDMA 転送カウントレジスタ_3	EDTCR_3	32	H'FDF8	EXDMAC_2 ^{*3}	16	2

## 25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
EXDMA モードコントロールレジスタ_3	EDMDR_3	16	H'FDFC	EXDMAC_2 ^{※3}	16	2
EXDMA アドレスコントロールレジスタ_3	EDACR_3	16	H'FDFF	EXDMAC_2 ^{※3}	16	2
インタラプトプライオリティレジスタ A	IPRA	16	H'FE00	INT	16	2
インタラプトプライオリティレジスタ B	IPRB	16	H'FE02	INT	16	2
インタラプトプライオリティレジスタ C	IPRC	16	H'FE04	INT	16	2
インタラプトプライオリティレジスタ D	IPRD	16	H'FE06	INT	16	2
インタラプトプライオリティレジスタ E	IPRE	16	H'FE08	INT	16	2
インタラプトプライオリティレジスタ F	IPRF	16	H'FE0A	INT	16	2
インタラプトプライオリティレジスタ G	IPRG	16	H'FE0C	INT	16	2
インタラプトプライオリティレジスタ H	IPRH	16	H'FE0E	INT	16	2
インタラプトプライオリティレジスタ I	IPRI	16	H'FE10	INT	16	2
インタラプトプライオリティレジスタ J	IPRJ	16	H'FE12	INT	16	2
インタラプトプライオリティレジスタ K	IPRK	16	H'FE14	INT	16	2
IRQ 端子セレクトレジスタ	ITSR	16	H'FE16	INT	16	2
ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ	SSIER	16	H'FE18	INT	16	2
IRQ センスコントロールレジスタ H	ISCRH	16	H'FE1A	INT	16	2
IRQ センスコントロールレジスタ L	ISCR L	16	H'FE1C	INT	16	2
IrDA コントロールレジスタ_0	IrCR_0	8	H'FE1E	IrDA_0	8	2
ポート1 データディレクションレジスタ	P1DDR	8	H'FE20	PORT	8	2
ポート2 データディレクションレジスタ	P2DDR	8	H'FE21	PORT	8	2
ポート3 データディレクションレジスタ	P3DDR	8	H'FE22	PORT	8	2
ポート5 データディレクションレジスタ	P5DDR	8	H'FE24	PORT	8	2
ポート6 データディレクションレジスタ	P6DDR	8	H'FE25	PORT	8	2
ポート8 データディレクションレジスタ	P8DDR	8	H'FE27	PORT	8	2
ポートA データディレクションレジスタ	PADDR	8	H'FE29	PORT	8	2
ポートB データディレクションレジスタ	PBDDR	8	H'FE2A	PORT	8	2
ポートC データディレクションレジスタ	PCDDR	8	H'FE2B	PORT	8	2
ポートD データディレクションレジスタ	PDDDR	8	H'FE2C	PORT	8	2
ポートE データディレクションレジスタ	PEDDR	8	H'FE2D	PORT	8	2
ポートF データディレクションレジスタ	PFDDR	8	H'FE2E	PORT	8	2
ポートG データディレクションレジスタ	PGDDR	8	H'FE2F	PORT	8	2
ポートファンクションコントロール レジスタ 0	PFCR0	8	H'FE32	PORT	8	2
ポートファンクションコントロールレジスタ 1	PFCR1	8	H'FE33	PORT	8	2
ポートファンクションコントロールレジスタ 2	PFCR2	8	H'FE34	PORT	8	2
ポートA ブルアップ MOS コントロール レジスタ	PAPCR	8	H'FE36	PORT	8	2

## 25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
ポートBプルアップMOSコントロールレジスタ	PBPCR	8	H'FE37	PORT	8	2
ポートCプルアップMOSコントロールレジスタ	PCPCR	8	H'FE38	PORT	8	2
ポートDプルアップMOSコントロールレジスタ	PDPCR	8	H'FE39	PORT	8	2
ポートEプルアップMOSコントロールレジスタ	PEPCR	8	H'FE3A	PORT	8	2
ポート3オープンドレインコントロールレジスタ	P3ODR	8	H'FE3C	PORT	8	2
ポートAオープンドレインコントロールレジスタ	PAODR	8	H'FE3D	PORT	8	2
シリアルモードレジスタ_3	SMR_3	8	H'FE40	SCI_3	8	2
ビットレートレジスタ_3	BRR_3	8	H'FE41	SCI_3	8	2
シリアルコントロールレジスタ_3	SCR_3	8	H'FE42	SCI_3	8	2
トランスミットデータレジスタ_3	TDR_3	8	H'FE43	SCI_3	8	2
シリアルステータスレジスタ_3	SSR_3	8	H'FE44	SCI_3	8	2
レシーブデータレジスタ_3	RDR_3	8	H'FE45	SCI_3	8	2
スマートカードモードレジスタ_3	SCMR_3	8	H'FE46	SCI_3	8	2
シリアルモードレジスタ_4	SMR_4	8	H'FE48	SCI_4	8	2
ビットレートレジスタ_4	BRR_4	8	H'FE49	SCI_4	8	2
シリアルコントロールレジスタ_4	SCR_4	8	H'FE4A	SCI_4	8	2
トランスミットデータレジスタ_4	TDR_4	8	H'FE4B	SCI_4	8	2
シリアルステータスレジスタ_4	SSR_4	8	H'FE4C	SCI_4	8	2
レシーブデータレジスタ_4	RDR_4	8	H'FE4D	SCI_4	8	2
スマートカードモードレジスタ_4	SCMR_4	8	H'FE4E	SCI_4	8	2
タイマコントロールレジスタ_3	TCR_3	8	H'FE80	TPU_3	16	2
タイマモードレジスタ_3	TMDR_3	8	H'FE81	TPU_3	16	2
タイマI/OコントロールレジスタH_3	TIORH_3	8	H'FE82	TPU_3	16	2
タイマI/OコントロールレジスタL_3	TIORL_3	8	H'FE83	TPU_3	16	2
タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FE84	TPU_3	16	2
タイマステータスレジスタ_3	TSR_3	8	H'FE85	TPU_3	16	2
タイマカウンタ_3	TCNT_3	16	H'FE86	TPU_3	16	2
タイマジェネラルレジスタA_3	TGRA_3	16	H'FE88	TPU_3	16	2
タイマジェネラルレジスタB_3	TGRB_3	16	H'FE8A	TPU_3	16	2
タイマジェネラルレジスタC_3	TGRC_3	16	H'FE8C	TPU_3	16	2
タイマジェネラルレジスタD_3	TGRD_3	16	H'FE8E	TPU_3	16	2
タイマコントロールレジスタ_4	TCR_4	8	H'FE90	TPU_4	16	2
タイマモードレジスタ_4	TMDR_4	8	H'FE91	TPU_4	16	2

## 25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマ I/O コントロールレジスタ_4	TIOR_4	8	H'FE92	TPU_4	16	2
タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FE94	TPU_4	16	2
タイマステータスレジスタ_4	TSR_4	8	H'FE95	TPU_4	16	2
タイマカウンタ_4	TCNT_4	16	H'FE96	TPU_4	16	2
タイマジェネラルレジスタ A_4	TGRA_4	16	H'FE98	TPU_4	16	2
タイマジェネラルレジスタ B_4	TGRB_4	16	H'FE9A	TPU_4	16	2
タイマコントロールレジスタ_5	TCR_5	8	H'FEA0	TPU_5	16	2
タイマモードレジスタ_5	TMDR_5	8	H'FEA1	TPU_5	16	2
タイマ I/O コントロールレジスタ_5	TIOR_5	8	H'FEA2	TPU_5	16	2
タイマインタラプトイネーブルレジスタ_5	TIER_5	8	H'FEA4	TPU_5	16	2
タイマステータスレジスタ_5	TSR_5	8	H'FEA5	TPU_5	16	2
タイマカウンタ_5	TCNT_5	16	H'FEA6	TPU_5	16	2
タイマジェネラルレジスタ A_5	TGRA_5	16	H'FEA8	TPU_5	16	2
タイマジェネラルレジスタ B_5	TGRB_5	16	H'FEAA	TPU_5	16	2
バス幅コントロールレジスタ	ABWCR	8	H'FEC0	BSC	16	2
アクセスステートコントロールレジスタ	ASTCR	8	H'FEC1	BSC	16	2
ウェイトコントロールレジスタ AH	WTCRAH	8	H'FEC2	BSC	16	2
ウェイトコントロールレジスタ AL	WTCRAL	8	H'FEC3	BSC	16	2
ウェイトコントロールレジスタ BH	WTCRBH	8	H'FEC4	BSC	16	2
ウェイトコントロールレジスタ BL	WTCRBL	8	H'FEC5	BSC	16	2
リードストロープタイミングコントロール レジスタ	RDNCR	8	H'FEC6	BSC	16	2
CS アサート期間コントロールレジスタ H	CSACRH	8	H'FEC8	BSC	16	2
CS アサート期間コントロールレジスタ L	CSACRL	8	H'FEC9	BSC	16	2
バースト ROM インタフェースコントロールレジスタ H	BROMCRH	8	H'FECA	BSC	16	2
バースト ROM インタフェースコントロールレジスタ L	BROMCRL	8	H'FECB	BSC	16	2
バスコントロールレジスタ	BCR	16	H'FECC	BSC	16	2
DRAM コントロールレジスタ L	DRAMCR	16	H'FED0	BSC	16	2
DRAM アクセスコントロールレジスタ H	DRACCRH	8	H'FED2	BSC	16	2
DRAM アクセスコントロールレジスタ L	DRACCRL	8	H'FED3	BSC	16	2
リフレッシュコントロールレジスタ	REFCR	16	H'FED4	BSC	16	2
リフレッシュタイマカウンタ	RTCNT	8	H'FED6	BSC	16	2
リフレッシュタイムコンスタントレジスタ	RTCOR	8	H'FED7	BSC	16	2
メモリアドレスレジスタ_0AH	MAR_0AH	16	H'FEE0	DMAC	16	2
メモリアドレスレジスタ_0AL	MAR_0AL	16	H'FEE2	DMAC	16	2
I/O アドレスレジスタ_0A	IOAR_0A	16	H'FEE4	DMAC	16	2
転送カウントレジスタ_0A	ETCR_0A	16	H'FEE6	DMAC	16	2
メモリアドレスレジスタ_0BH	MAR_0BH	16	H'FEE8	DMAC	16	2

## 25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス 状態数
メモリアドレスレジスタ_0BL	MAR_0BL	16	H'FEEA	DMAC	16	2
I/O アドレスレジスタ_0B	IOAR_0B	16	H'FEEC	DMAC	16	2
転送カウントレジスタ_0B	ETCR_0B	16	H'FEEE	DMAC	16	2
メモリアドレスレジスタ_1AH	MAR_1AH	16	H'FEF0	DMAC	16	2
メモリアドレスレジスタ_1AL	MAR_1AL	16	H'FEF2	DMAC	16	2
I/O アドレスレジスタ_1A	IOAR_1A	16	H'FEF4	DMAC	16	2
転送カウントレジスタ_1A	ETCR_1A	16	H'FEF6	DMAC	16	2
メモリアドレスレジスタ_1BH	MAR_1BH	16	H'FEF8	DMAC	16	2
メモリアドレスレジスタ_1BL	MAR_1BL	16	H'FEFA	DMAC	16	2
I/O アドレスレジスタ_1B	IOAR_1B	16	H'FEFC	DMAC	16	2
転送カウントレジスタ_1B	ETCR_1B	16	H'FEFE	DMAC	16	2
DMA ライトイネーブルレジスタ	DMAWER	8	H'FF20	DMAC	8	2
DMA ターミナルコントロールレジスタ	DMATCR	8	H'FF21	DMAC	8	2
DMA コントロールレジスタ_0A	DMACR_0A	8	H'FF22	DMAC	16	2
DMA コントロールレジスタ_0B	DMACR_0B	8	H'FF23	DMAC	16	2
DMA コントロールレジスタ_1A	DMACR_1A	8	H'FF24	DMAC	16	2
DMA コントロールレジスタ_1B	DMACR_1B	8	H'FF25	DMAC	16	2
DMA バンドコントロールレジスタ H	DMABCRH	8	H'FF26	DMAC	16	2
DMA バンドコントロールレジスタ L	DMABCRL	8	H'FF27	DMAC	16	2
DTC イネーブルレジスタ A	DTCERA	8	H'FF28	DTC	16	2
DTC イネーブルレジスタ B	DTCERB	8	H'FF29	DTC	16	2
DTC イネーブルレジスタ C	DTCERC	8	H'FF2A	DTC	16	2
DTC イネーブルレジスタ D	DTCERD	8	H'FF2B	DTC	16	2
DTC イネーブルレジスタ E	DTCERE	8	H'FF2C	DTC	16	2
DTC イネーブルレジスタ F	DTCERF	8	H'FF2D	DTC	16	2
DTC イネーブルレジスタ G	DTCERG	8	H'FF2E	DTC	16	2
DTC イネーブルレジスタ H	DTCERH	8	H'FF2F	DTC	16	2
DTC ベクタレジスタ	DTVECR	8	H'FF30	DTC	16	2
割り込みコントロールレジスタ	INTCR	8	H'FF31	INT	16	2
IRQ イネーブルレジスタ	IER	16	H'FF32	INT	16	2
IRQ ステータスレジスタ	ISR	16	H'FF34	INT	16	2
スタンバイコントロールレジスタ	SBYCR	8	H'FF3A	SYSTEM	8	2
システムクロックコントロールレジスタ	SCKCR	8	H'FF3B	SYSTEM	8	2
システムコントロールレジスタ	SYSCR	8	H'FF3D	SYSTEM	8	2
モードコントロールレジスタ	MDCR	8	H'FF3E	SYSTEM	8	2
モジュールストップコントロール レジスタ H	MSTPCRH	8	H'FF40	SYSTEM	8	2

## 25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
モジュールストップコントロール レジスタL	MSTPCRL	8	H'FF41	SYSTEM	8	2
エクステンションモジュールストップ コントロールレジスタH	EXMSTPCRH	8	H'FF42	SYSTEM	8	2
エクステンションモジュールストップ コントロールレジスタL	EXMSTPCRL	8	H'FF43	SYSTEM	8	2
PLL コントロールレジスタ	PLLCR	8	H'FF45	SYSTEM	8	2
PPG 出力コントロールレジスタ	PCR	8	H'FF46	PPG	8	2
PPG 出力モードレジスタ	PMR	8	H'FF47	PPG	8	2
ネクストデータイーブルレジスタH	NDERH	8	H'FF48	PPG	8	2
ネクストデータイーブルレジスタL	NDERL	8	H'FF49	PPG	8	2
アウトプットデータレジスタH	PODRH	8	H'FF4A	PPG	8	2
アウトプットデータレジスタL	PODRL	8	H'FF4B	PPG	8	2
ネクストデータレジスタH* ¹	NDRH	8	H'FF4C	PPG	8	2
ネクストデータレジスタL* ¹	NDRL	8	H'FF4D	PPG	8	2
ネクストデータレジスタH* ¹	NDRH	8	H'FF4E	PPG	8	2
ネクストデータレジスタL* ¹	NDRL	8	H'FF4F	PPG	8	2
ポート1レジスタ	PORT1	8	H'FF50	PORT	8	2
ポート2レジスタ	PORT2	8	H'FF51	PORT	8	2
ポート3レジスタ	PORT3	8	H'FF52	PORT	8	2
ポート4レジスタ	PORT4	8	H'FF53	PORT	8	2
ポート5レジスタ	PORT5	8	H'FF54	PORT	8	2
ポート6レジスタ	PORT6	8	H'FF55	PORT	8	2
ポート8レジスタ	PORT8	8	H'FF57	PORT	8	2
ポート9レジスタ	PORT9	8	H'FF58	PORT	8	2
ポートAレジスタ	PORTA	8	H'FF59	PORT	8	2
ポートBレジスタ	PORTB	8	H'FF5A	PORT	8	2
ポートCレジスタ	PORTC	8	H'FF5B	PORT	8	2
ポートDレジスタ	PORTD	8	H'FF5C	PORT	8	2
ポートEレジスタ	PORTE	8	H'FF5D	PORT	8	2
ポートFレジスタ	PORTF	8	H'FF5E	PORT	8	2
ポートGレジスタ	PORTG	8	H'FF5F	PORT	8	2
ポート1データレジスタ	P1DR	8	H'FF60	PORT	8	2
ポート2データレジスタ	P2DR	8	H'FF61	PORT	8	2
ポート3データレジスタ	P3DR	8	H'FF62	PORT	8	2
ポート5データレジスタ	P5DR	8	H'FF64	PORT	8	2
ポート6データレジスタ	P6DR	8	H'FF65	PORT	8	2
ポート8データレジスタ	P8DR	8	H'FF67	PORT	8	2

## 25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
ポートAデータレジスタ	PADR	8	H'FF69	PORT	8	2
ポートBデータレジスタ	PBDR	8	H'FF6A	PORT	8	2
ポートCデータレジスタ	PCDR	8	H'FF6B	PORT	8	2
ポートDデータレジスタ	PDDR	8	H'FF6C	PORT	8	2
ポートEデータレジスタ	PEDR	8	H'FF6D	PORT	8	2
ポートFデータレジスタ	PFDR	8	H'FF6E	PORT	8	2
ポートGデータレジスタ	PGDR	8	H'FF6F	PORT	8	2
ポートHレジスタ	PORTH	8	H'FF70	PORT	8	2
ポートHデータレジスタ	PHDR	8	H'FF72	PORT	8	2
ポートHデータディレクションレジスタ	PHDDR	8	H'FF74	PORT	8	2
シリアルモードレジスタ_0	SMR_0	8	H'FF78	SCI_0	8	2
ビットレートレジスタ_0	BRR_0	8	H'FF79	SCI_0	8	2
シリアルコントロールレジスタ_0	SCR_0	8	H'FF7A	SCI_0	8	2
トランスミットデータレジスタ_0	TDR_0	8	H'FF7B	SCI_0	8	2
シリアルステータスレジスタ_0	SSR_0	8	H'FF7C	SCI_0	8	2
レシーブデータレジスタ_0	RDR_0	8	H'FF7D	SCI_0	8	2
スマートカードモードレジスタ_0	SCMR_0	8	H'FF7E	SCI_0	8	2
シリアルモードレジスタ_1	SMR_1	8	H'FF80	SCI_1	8	2
ビットレートレジスタ_1	BRR_1	8	H'FF81	SCI_1	8	2
シリアルコントロールレジスタ_1	SCR_1	8	H'FF82	SCI_1	8	2
トランスミットデータレジスタ_1	TDR_1	8	H'FF83	SCI_1	8	2
シリアルステータスレジスタ_1	SSR_1	8	H'FF84	SCI_1	8	2
レシーブデータレジスタ_1	RDR_1	8	H'FF85	SCI_1	8	2
スマートカードモードレジスタ_1	SCMR_1	8	H'FF86	SCI_1	8	2
シリアルモードレジスタ_2	SMR_2	8	H'FF88	SCI_2	8	2
ビットレートレジスタ_2	BRR_2	8	H'FF89	SCI_2	8	2
シリアルコントロールレジスタ_2	SCR_2	8	H'FF8A	SCI_2	8	2
トランスミットデータレジスタ_2	TDR_2	8	H'FF8B	SCI_2	8	2
シリアルステータスレジスタ_2	SSR_2	8	H'FF8C	SCI_2	8	2
レシーブデータレジスタ_2	RDR_2	8	H'FF8D	SCI_2	8	2
スマートカードモードレジスタ_2	SCMR_2	8	H'FF8E	SCI_2	8	2
A/DデータレジスタA	ADDRA	16	H'FF90	A/D	16	2
A/DデータレジスタB	ADDRB	16	H'FF92	A/D	16	2
A/DデータレジスタC	ADDRC	16	H'FF94	A/D	16	2
A/DデータレジスタD	ADDRD	16	H'FF96	A/D	16	2
A/DデータレジスタE	ADDRE	16	H'FF98	A/D	16	2
A/DデータレジスタF	ADDRF	16	H'FF9A	A/D	16	2
A/DデータレジスタG	ADDRG	16	H'FF9C	A/D	16	2

## 25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
A/D データレジスタ H	ADDRH	16	H'FF9E	A/D	16	2
A/D コントロール / ステータスレジスタ	ADCSR	8	H'FFA0	A/D	16	2
A/D コントロールレジスタ	ADCR	8	H'FFA1	A/D	16	2
D/A データレジスタ 0 ^{*3}	DADR0	8	H'FFA4	D/A	8	2
D/A データレジスタ 1 ^{*3}	DADR1	8	H'FFA5	D/A	8	2
D/A コントロールレジスタ 01 ^{*3}	DACR01	8	H'FFA6	D/A	8	2
D/A データレジスタ 2	DADR2	8	H'FFA8	D/A	8	2
D/A データレジスタ 3	DADR3	8	H'FFA9	D/A	8	2
D/A コントロールレジスタ 23	DACR23	8	H'FFAA	D/A	8	2
D/A データレジスタ 4 ^{*3}	DADR4	8	H'FFAC	D/A	8	2
D/A データレジスタ 5 ^{*3}	DADR5	8	H'FFAD	D/A	8	2
D/A コントロールレジスタ 45 ^{*3}	DACR45	8	H'FFAE	D/A	8	2
タイマコントロールレジスタ_0	TCR_0	8	H'FFB0	TMR_0	16	2
タイマコントロールレジスタ_1	TCR_1	8	H'FFB1	TMR_1	16	2
タイマコントロール / ステータスレジスタ_0	TCSR_0	8	H'FFB2	TMR_0	16	2
タイマコントロール / ステータスレジスタ_1	TCSR_1	8	H'FFB3	TMR_1	16	2
タイムコンスタントレジスタ A_0	TCORA_0	8	H'FFB4	TMR_0	16	2
タイムコンスタントレジスタ A_1	TCORA_1	8	H'FFB5	TMR_1	16	2
タイムコンスタントレジスタ B_0	TCORB_0	8	H'FFB6	TMR_0	16	2
タイムコンスタントレジスタ B_1	TCORB_1	8	H'FFB7	TMR_1	16	2
タイマカウンタ_0	TCNT_0	8	H'FFB8	TMR_0	16	2
タイマカウンタ_1	TCNT_1	8	H'FFB9	TMR_1	16	2
タイマコントロール / ステータスレジスタ	TCSR	8	H'FFBC ^{*2} (ライト時) H'FFBC (リード時)	WDT	16	2
タイマカウンタ	TCNT	8	H'FFBC ^{*2} (ライト時) H'FFBD (リード時)	WDT	16	2
リセットコントロール / ステータスレジスタ	RSTCSR	8	H'FFBE ^{*2} (ライト時) H'FFBF (リード時)	WDT	16	2
タイマスタートレジスタ	TSTR	8	H'FFC0	TPU	16	2
タイマシンクロレジスタ	TSYR	8	H'FFC1	TPU	16	2
フラッシュコードコントロールステータス レジスタ	FCCS ^{*4}	8	H'FFC4 ^{*5}	FLASH	8	2

## 25. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
フラッシュプログラムコードセレクトレジスタ	FPCS* ⁴	8	H'FFC5* ⁵	FLASH	8	2
フラッシュイレースコードセレクトレジスタ	FECS* ⁴	8	H'FFC6* ⁵	FLASH	8	2
フラッシュメモリコントロールレジスタ 1	FLMCR1	8	H'FFC8	FLASH	8	2
フラッシュキーコードレジスタ	FKEY* ⁴	8	H'FFC8	FLASH	8	2
フラッシュメモリコントロールレジスタ 2	FLMCR2	8	H'FFC9	FLASH	8	2
フラッシュマットセレクトレジスタ	FMATS* ⁴	8	H'FFC9	FLASH	8	2
フラッシュトランスファデスティネーション アドレスレジスタ	FTDAR* ⁴	8	H'FFCA	FLASH	8	2
消去ブロック指定レジスタ 1	EBR1	8	H'FFCA	FLASH	8	2
消去ブロック指定レジスタ 2	EBR2	8	H'FFCB	FLASH	8	2
フラッシュベクタアドレスコードコントロール レジスタ	FVACR* ⁴	8	H'FFCB	FLASH	8	2
タイマコントロールレジスタ_0	TCR_0	8	H'FFD0	TPU_0	16	2
タイマモードレジスタ_0	TMDR_0	8	H'FFD1	TPU_0	16	2
タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FFD2	TPU_0	16	2
タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FFD3	TPU_0	16	2
タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FFD4	TPU_0	16	2
タイマステータスレジスタ_0	TSR_0	8	H'FFD5	TPU_0	16	2
タイマカウンタ_0	TCNT_0	16	H'FFD6	TPU_0	16	2
タイマジェネラルレジスタ A_0	TGRA_0	16	H'FFD8	TPU_0	16	2
タイマジェネラルレジスタ B_0	TGRB_0	16	H'FFDA	TPU_0	16	2
タイマジェネラルレジスタ C_0	TGRC_0	16	H'FFDC	TPU_0	16	2
タイマジェネラルレジスタ D_0	TGRD_0	16	H'FFDE	TPU_0	16	2
タイマコントロールレジスタ_1	TCR_1	8	H'FFE0	TPU_1	16	2
タイマモードレジスタ_1	TMDR_1	8	H'FFE1	TPU_1	16	2
タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FFE2	TPU_1	16	2
タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FFE4	TPU_1	16	2
タイマステータスレジスタ_1	TSR_1	8	H'FFE5	TPU_1	16	2
タイマカウンタ_1	TCNT_1	16	H'FFE6	TPU_1	16	2
タイマジェネラルレジスタ A_1	TGRA_1	16	H'FFE8	TPU_1	16	2
タイマジェネラルレジスタ B_1	TGRB_1	16	H'FFEA	TPU_1	16	2
タイマコントロールレジスタ_2	TCR_2	8	H'FFF0	TPU_2	16	2
タイマモードレジスタ_2	TMDR_2	8	H'FFF1	TPU_2	16	2
タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'FFF2	TPU_2	16	2
タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FFF4	TPU_2	16	2
タイマステータスレジスタ_2	TSR_2	8	H'FFF5	TPU_2	16	2
タイマカウンタ_2	TCNT_2	16	H'FFF6	TPU_2	16	2
タイマジェネラルレジスタ A_2	TGRA_2	16	H'FFF8	TPU_2	16	2
タイマジェネラルレジスタ B_2	TGRB_2	16	H'FFFA	TPU_2	16	2

- 【注】 *1 PCR の設定により、パルス出力グループ 2 とパルス出力グループ 3 の出力トリガが同一の場合は、NDRH のアドレスは H'FF4C となり、出力トリガが異なる場合は、グループ 2 に対応する NDRH のアドレスは H'FF4E、グループ 3 に対する NDRH のアドレスは H'FF4C となります。同様に、PCR の設定によりパルス出力グループ 0 とパルス出力グループ 1 の出力トリガが同一の場合は、NDRL のアドレスは H'FF4D となり、出力トリガが異なる場合は、グループ 0 に対する NDRL のアドレスは H'FF4F、グループ 1 に対する NDRL のアドレスは H'FF4D となります。
- *2 ライトについては、「14.6.1 レジスタアクセス時の注意」を参照してください。
- *3 H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。
- *4 H8S/2378 0.18  $\mu$ m F-ZTAT グループ、H8S/2378R 0.18  $\mu$ m F-ZTAT グループのみサポートしています。
- *5 H8S/2375、H8S/2375R、H8S/2373、H8S/2373R、H8S/2376、H8S/2377、H8S/2377R ではアクセス禁止アドレスです。

## 25. レジスタ一覧

### 25.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16 ビット、32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MRA	SM1	SM0	DM1	DM0	MD1	MD0	DTS	Sz	DTC* ¹
SAR									
MRB	CHNE	DISEL	CHNS						
DAR									
CRA									
CRB									
ICCRA_0	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	IIC2_0
ICCRB_0	BBSY	SCP	SDAO		SCLO	-	IICRST	-	
ICMR_0	-	WAIT	-	-	BCWP	BC2	BC1	BC0	
ICIER_0	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR_0	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ	
SAR_0	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	-	
ICDRT_0	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0	
ICDRR_0	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0	
ICCRA_1	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	IIC2_1
ICCRB_1	BBSY	SCP	SDAO		SCLO	-	IICRST	-	
ICMR_1	-	WAIT	-	-	BCWP	BC2	BC1	BC0	
ICIER_1	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR_1	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ	
SAR_1	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	-	
ICDRT_1	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0	
ICDRR_1	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0	
SEMR_2					ABCS	ACS2	ACS1	ACS0	SCI_2 スマートカードインタ フェース_2

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
EDSAR_2									EXDMAC_2*7
EDDAR_2									
EDTCR_2									
EDMDR_2	EDA	BEF	EDRAKE	ETENDE	EDREQS	AMS	MDS1	MDS0	
	EDIE	IRF	TCEIE	SDIR	DTSIZE	BGUP			
EDACR_2	SAT1	SAT0	SARIE	SARA4	SARA3	SARA2	SARA1	SARA0	
	DAT1	DAT0	DARIE	DARA4	DARA3	DARA2	DARA1	DARA0	
EDSAR_3									EXDMAC_3*7
EDDAR_3									
EDTCR_3									
EDMDR_3	EDA	BEF	EDRAKE	ETENDE	EDREQS	AMS	MDS1	MDS0	
	EDIE	IRF	TCEIE	SDIR	DTSIZE	BGUP			
EDACR_3	SAT1	SAT0	SARIE	SARA4	SARA3	SARA2	SARA1	SARA0	
	DAT1	DAT0	DARIE	DARA4	DARA3	DARA2	DARA1	DARA0	
IPRA	IPRA14		IPRA13	IPRA12	IPRA10		IPRA9	IPRA8	INT
	IPRA6		IPRA5	IPRA4	IPRA2		IPRA1	IPRA0	
IPRB	IPRB14		IPRB13	IPRB12	IPRB10		IPRB9	IPRB8	
	IPRB6		IPRB5	IPRB4	IPRB2		IPRB1	IPRB0	

## 25. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
IPRC		IPRC14	IPRC13	IPRC12		IPRC10	IPRC9	IPRC8	INT
		IPRC6	IPRC5	IPRC4		IPRC2	IPRC1	IPRC0	
IPRD		IPRD14	IPRD13	IPRD12		IPRD10	IPRD9	IPRD8	
		IPRD6	IPRD5	IPRD4		IPRD2	IPRD1	IPRD0	
IPRE		IPRE14	IPRE13	IPRE12		IPRE10	IPRE9	IPRE8	
		IPRE6	IPRE5	IPRE4		IPRE2	IPRE1	IPRE0	
IPRF		IPRF14	IPRF13	IPRF12		IPRF10	IPRF9	IPRF8	
		IPRF6	IPRF5	IPRF4		IPRF2	IPRF1	IPRF0	
IPRG		IPRG14	IPRG13	IPRG12		IPRG10	IPRG9	IPRG8	
		IPRG6	IPRG5	IPRG4		IPRG2	IPRG1	IPRG0	
IPRH		IPRH14	IPRH13	IPRH12		IPRH10	IPRH9	IPRH8	
		IPRH6	IPRH5	IPRH4		IPRH2	IPRH1	IPRH0	
IPRI		IPRI14	IPRI13	IPRI12		IPRI10	IPRI9	IPRI8	
		IPRI6	IPRI5	IPRI4		IPRI2	IPRI1	IPRI0	
IPRJ		IPRJ14	IPRJ13	IPRJ12		IPRJ10	IPRJ9	IPRJ8	
		IPRJ6	IPRJ5	IPRJ4		IPRJ2	IPRJ1	IPRJ0	
IPRK		IPRK14	IPRK13	IPRK12		IPRK10	IPRK9	IPRK8	
		IPRK6	IPRK5	IPRK4		IPRK2	IPRK1	IPRK0	
ITSR	ITS15	ITS14	ITS13	ITS12	ITS11	ITS10	ITS9	ITS8	
	ITS7	ITS6	ITS5	ITS4	ITS3	ITS2	ITS1	ITS0	
SSIER	SSI15	SSI14	SSI13	SSI12	SSI11	SSI10	SSI9	SSI8	
	SSI7	SSI6	SSI5	SSI4	SSI3	SSI2	SSI1	SSI0	
ISCRH	IRQ15SCB	IRQ15SCA	IRQ14SCB	IRQ14SCA	IRQ13SCB	IRQ13SCA	IRQ12SCB	IRQ12SCA	
	IRQ11SCB	IRQ11SCA	IRQ10SCB	IRQ10SCA	IRQ9SCB	IRQ9SCA	IRQ8SCB	IRQ8SCA	
ISCR_L	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	
	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA	
IrCR_0	IrE	IrCKS2	IrCKS1	IrCKS0					IrDA_0
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	PORT
P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR	
P3DDR			P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	
P5DDR					P53DDR	P52DDR	P51DDR	P50DDR	
P6DDR			P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR	
P8DDR			P85DDR	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR	
PADDR	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR	
PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR	
PCDDR	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	PC0DDR	
PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR	

## 25. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
PEDDR	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR	PORT	
PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR		
PGDDR		PG6DDR	PG5DDR	PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR		
PFCR0	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E		
PFCR1	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E		
PFCR2					ASOE	LWROE	OES			
PAPCR	PA7PCR	PA6PCR	PA5PCR	PA4PCR	PA3PCR	PA2PCR	PA1PCR	PA0PCR		
PBPCR	PB7PCR	PB6PCR	PB5PCR	PB4PCR	PB3PCR	PB2PCR	PB1PCR	PB0PCR		
PCPCR	PC7PCR	PC6PCR	PC5PCR	PC4PCR	PC3PCR	PC2PCR	PC1PCR	PC0PCR		
PDPCR	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR		
PEPCR	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR		
P3ODR			P35ODR	P34ODR	P33ODR	P32ODR	P31ODR	P30ODR		
PAODR	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR		
SMR_3*4	C/Ā	CHR	PE	O/Ē	STOP	MP	CKS1	CKS0	SCI_3	
SMR_3*5	GM	BLK	PE	O/Ē	BCP1	BCP0	CKS1	CKS0	スマートカードインタフェース_3	
BRR_3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
SCR_3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
TDR_3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
SSR_3*4	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
SSR_3*5	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT		
RDR_3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
SCMR_3					SDIR	SINV		SMIF		
SMR_4*4	C/Ā	CHR	PE	O/Ē	STOP	MP	CKS1	CKS0		SCI_4
SMR_4*5	GM	BLK	PE	O/Ē	BCP1	BCP0	CKS1	CKS0		スマートカードインタフェース_4
BRR_4	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
SCR_4	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
TDR_4	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
SSR_4*4	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
SSR_4*5	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT		
RDR_4	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
SCMR_4					SDIR	SINV		SMIF		
TCR_3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_3	
TMDR_3	-	-	BFB	BFA	MD3	MD2	MD1	MD0		
TIORH_3	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0		
TIORL_3	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0		
TIER_3	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA		
TSR_3	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA		
TCNT_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8		
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		

## 25. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TGRA_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	TPU_3
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRC_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRD_3	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_4	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_4
TMDR_4	-	-	-	-	MD3	MD2	MD1	MD0	
TIOR_4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_4	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
TSR_4	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
TCNT_4	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_4	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_4	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_5	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_5
TMDR_5	-	-	-	-	MD3	MD2	MD1	MD0	
TIOR_5	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_5	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
TSR_5	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
TCNT_5	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_5	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_5	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
ABWCR	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	BSC
ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
WTCRAH		W72	W71	W70		W62	W61	W60	
WTCRAL		W52	W51	W50		W42	W41	W40	
WTCRBH		W32	W31	W30		W22	W21	W20	
WTCRBL		W12	W11	W10		W02	W01	W00	
RDNCR	RDN7	RDN6	RDN5	RDN4	RDN3	RDN2	RDN1	RDN0	
CSACRH	CSXH7	CSXH6	CSXH5	CSXH4	CSXH3	CSXH2	CSXH1	CSXH0	
CSACRL	CSXT7	CSXT6	CSXT5	CSXT4	CSXT3	CSXT2	CSXT1	CSXT0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
BROMCRH	BSRM0	BSTS02	BSTS01	BSTS00			BSWD01	BSWD00	BSC
BROMCRL	BSRM1	BSTS12	BSTS11	BSTS10			BSWD11	BSWD10	
BCR	BRLE	BREQOE		IDLC	ICIS1	ICIS0	WDBE	WAITE	
DRAMCR	OEE	RAST		CAST			RMTS2	RMTS1	RMTS0
	BE	RCDM	DDS	EDDS			MXC2	MXC1	MXC0
DRACCRH	DRMI		TPC1	TPC0	SDWCD		RCD1	RCD0	
DRACCRL					CKSPE		RDXC1	RDXC0	
REFCR	CMF	CMIE	RCW1	RCW0			RTCK2	RTCK1	RTCK0
	RFSHE	CBRM	RLW1	RLW0	SLFRF	TPCS2	TPCS1	TPCS0	
RTCNT	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
RTCOR	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MAR_0AH	-	-	-	-	-	-	-	-	DMAC
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MAR_0AL	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
IOAR_0A	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
ETCR_0A	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MAR_0BH	-	-	-	-	-	-	-	-	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MAR_0BL	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
IOAR_0B	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
ETCR_0B	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MAR_1AH	-	-	-	-	-	-	-	-	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MAR_1AL	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
IOAR_1A	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
ETCR_1A	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

## 25. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
MAR_1BH	-	-	-	-	-	-	-	-	DMAC
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
MAR_1BL	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
IOARV1B	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
ETCR_1B	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DMAWER	-	-	-	-	WE1B	WE1A	WE0B	WE0A	
DMATCR	-	-	TEE1	TEE0	-	-	-	-	
DMACR_0A* ²	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	
DMACR_0A* ³	DTSZ	SAID	SAIDE	BLKDIR	BLKE	-	-	-	
DMACR_0B* ²	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	
DMACR_0B* ³	-	DAID	DAIDE	-	DTF3	DTF2	DTF1	DTF0	
DMACR_1A* ²	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	
DMACR_1A* ³	DTSZ	SAID	SAIDE	BLKDIR	BLKE	-	-	-	
DMACR_1B* ²	DTSZ	DTID	RPE	DTDIR	DTF3	DTF2	DTF1	DTF0	
DMACR_1B* ³	-	DAID	DAIDE	-	DTF3	DTF2	DTF1	DTF0	
DMABCRH* ²	FAE1	FAE0	SAE1	SAE0	DTA1B	DTA1A	DTA0B	DTA0A	
DMABCRH* ³	FAE1	FAE0	-	-	DTA1	-	DTA0	-	
DMABCR1* ²	DTE1B	DTE1A	DTE0B	DTE0A	DTIE1B	DTIE1A	DTIE0B	DTIE0A	
DMABCR1* ³	DTME1	DTE1	DTME0	DTE0	DTIE1B	DTIE1A	DTIE0B	DTIE0A	
DTCERA	DTCEA7	DTCEA6	DTCEA5	DTCEA4	DTCEA3	DTCEA2	DTCEA1	DTCEA0	DTC
DTCERB	DTCEB7	DTCEB6	DTCEB5	DTCEB4	DTCEB3	DTCEB2	DTCEB1	DTCEB0	
DTCERC	-	DTCEC6	DTCEC5	DTCEC4	DTCEC3	DTCEC2	DTCEC1	DTCEC0	
DTCERD	DTCED7	DTCED6	DTCED5	DTCED4	DTCED3	DTCED2	DTCED1	DTCED0	
DTCERE	DTCEE7	DTCEE6	DTCEE5	DTCEE4	DTCEE3	DTCEE2	DTCEE1	DTCEE0	
DTCERF	DTCEF7	DTCEF6	DTCEF5	DTCEF4	DTCEF3	DTCEF2	DTCEF1	DTCEF0	
DTCERG	DTCEG7	DTCEG6	DTCEG5	DTCEG4	DTCEG3	DTCEG2	-	-	
DTCERH	-	-	-	-	-	-	-	-	
DTVECR	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0	
INTCR			INTM1	INTM0	NMIEG				INT
IER	IRQ15E	IRQ14E	IRQ13E	IRQ12E	IRQ11E	IRQ10E	IRQ9E	IRQ8E	
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
ISR	IRQ15F	IRQ14F	IRQ13F	IRQ12F	IRQ11F	IRQ10F	IRQ9F	IRQ8F	
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	

## 25. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SBYCR	SSBY	OPE			STS3	STS2	STS1	STS0	SYSTEM
SCKCR	PSTOP				STCS	SCK2	SCK1	SCK0	
SYSCR			-		FLSHE		EXPE	RAME	
MDCR						MDS2	MDS1	MDS0	
MSTPCR	ACSE	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	
MSTPCRL	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0	
EXMSTPCR					MSTP27	MSTP26	MSTP25	MSTP24	
EXMSTPCRL	MSTP23	MSTP22	MSTP21	MSTP20	MSTP19	MSTP18	MSTP17	MSTP16	
PLLCR							STC1	STC0	
PCR	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0	PPG
PMR	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV	
NDERH	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8	
NDERL	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0	
PODRH	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8	
PODRL	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0	
NDRH* ⁶	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8	
NDRL* ⁶	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
NDRH* ⁶	-	-	-	-	NDR11	NDR10	NDR9	NDR8	
NDRL* ⁶	-	-	-	-	NDR3	NDR2	NDR1	NDR0	
PORT1	P17	P16	P15	P14	P13	P12	P11	P10	PORT
PORT2	P27	P26	P25	P24	P23	P22	P21	P20	
PORT3	-	-	P35	P34	P33	P32	P31	P30	
PORT4	P47	P46	P45	P44	P43	P42	P41	P40	
PORT5	-	-	-	-	P53	P52	P51	P50	
PORT6	-	-	P65	P64	P63	P62	P61	P60	
PORT8	-	-	P85	P84	P83	P82	P81	P80	
PORT9	P97	P96	P95	P94	P93	P92	P91	P90	
PORTA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	
PORTB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	
PORTC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	
PORTD	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0	
PORTE	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	
PORTF	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0	
PORTG	-	PG6	PG5	PG4	PG3	PG2	PG1	PG0	
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	
P2DR	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR	
P3DR	-	-	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR	
P5DR	-	-	-	-	P53DR	P52DR	P51DR	P50DR	

## 25. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール	
P6DR	-	-	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR	PORT	
P8DR	-	-	P85DR	P84DR	P83DR	P82DR	P81DR	P80DR		
PADR	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR		
PBDR	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR		
PCDR	PC7DR	PC6DR	PC5DR	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR		
PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR		
PEDR	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR		
PFDR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR		
PGDR	-	PG6DR	PG5DR	PG4DR	PG3DR	PG2DR	PG1DR	PG0DR		
PORTH					PH3	PH2	PH1	PH0		
PHDR					PH3DR	PH2DR	PH1DR	PH0DR		
PHDDR					PH3DDR	PH2DDR	PH1DDR	PH0DDR		
SMR_0*4	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0		SCI_0、
SMR_0*5	GM	BLK	PE	O/ $\bar{E}$	BCP1	BCP0	CKS1	CKS0		スマート
BRR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		カード
SCR_0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		インタフ
TDR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	エース_0	
SSR_0*4	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
SSR_0*5	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT		
RDR_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
SCMR_0	-	-	-	-	SDIR	SINV	-	SMIF		
SMR_1*4	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0	SCI_1、	
SMR_1*5	GM	BLK	PE	O/ $\bar{E}$	BCP1	BCP0	CKS1	CKS0	スマート	
BRR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	カード	
SCR_1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	インタフ	
TDR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	エース_1	
SSR_1*4	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
SSR_1*5	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT		
RDR_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0		
SCMR_1	-	-	-	-	SDIR	SINV	-	SMIF		
SMR_2*4	C/ $\bar{A}$	CHR	PE	O/ $\bar{E}$	STOP	MP	CKS1	CKS0	SCI_2、	
SMR_2*5	GM	BLK	PE	O/ $\bar{E}$	BCP1	BCP0	CKS1	CKS0	スマート	
BRR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	カード	
SCR_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	インタフ	
TDR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	エース_2	

## 25. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
SCMR_2	-	-	-	-	SDIR	SINV	-	SMIF	SCL_2, スマート カード インタフ ェース_2
SSR_2*4	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
SSR_2*5	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT	A/D
RDR_2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
ADDRA	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADDRB	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADDRC	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADDRD	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADDRE	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADDRF	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADDRG	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADDRH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
	AD1	AD0	-	-	-	-	-	-	
ADCSR	ADF	ADIE	ADST	-	CH3	CH2	CH1	CH0	
ADCR	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	-	-	
DADR0*7	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	D/A
DADR1*7	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DACR01*7	DAOE1	DAOE0	DAE	-	-	-	-	-	
DADR2	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DADR3	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DACR23	DAOE3	DAOE2	DAE	-	-	-	-	-	
DARA4*7	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DARA5*7	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
DACR45*7	DAOE5	DAOE4	DAE	-	-	-	-	-	
TCR_0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_0
TCR_1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_1
TCSR_0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	
TCSR_1	CMFB	CMFA	OVF	-	OS3	OS2	OS1	OS0	
TCORA_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCORA_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

## 25. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TCORB_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_0
TCORB_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	TMR_1
TCNT_0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCNT_1	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCSR	OVF	WT/IT	TME	-	-	CKS2	CKS1	CKS0	WDT
TCNT	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
RSTCSR	WOVF	RSTE	-	-	-	-	-	-	
TSTR	-	-	CST5	CST4	CST3	CST2	CST1	CST0	TPU
TSYR	-	-	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
FCCS* ⁸	-	-	-	FLER	-	-	-	SCO	FLASH
FPCS* ⁸	-	-	-	PPVD	-	-	-	PPVS	
FECS* ⁸	-	-	-	-	-	-	-	EPVB	
FLMCR1	-	SWE	ESU	PSU	EV	PV	E	P	
FKEY* ⁸	K7	K6	K5	K4	K3	K2	K1	K0	
FLMCR2	FLER	-	-	-	-	-	-	-	
FMATS* ⁸	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0	
FTDAR* ⁸	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0	
EBR1	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	
EBR2	-	-	EB13	EB12	EB11	EB10	EB9	EB8	
FVACR* ⁸	FVCHGE	-	-	-	FVSEL3	FVSEL2	FVSEL1	FVSEL0	
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_0
TMDR_0	-	-	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_0	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_0	TTGE	-	-	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_0	-	-	-	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRC_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRD_0	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TCR_1	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_1
TMDR_1	-	-	-	-	MD3	MD2	MD1	MD0	
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_1	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
TSR_1	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
TCNT_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_1	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TCR_2	-	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_2
TMDR_2	-	-	-	-	MD3	MD2	MD1	MD0	
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_2	TTGE	-	TCIEU	TCIEV	-	-	TGIEB	TGIEA	
TSR_2	TCFD	-	TCFU	TCFV	-	-	TGFB	TGFA	
TCNT_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRA_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TGRB_2	Bit15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	

【注】 *1 内蔵 RAM 上に配置されています。DTC がレジスタ情報としてアクセスするとき 32 ビットバス、その他のとき 16 ビットバスです。

*2 ショートアドレスモードのときです。

*3 フルアドレスモードのときです。

*4 通常モードのときです。

*5 スマートカードインタフェースモードのときです。

*6 PCR の設定により、パルス出力グループ 2 とパルス出力グループ 3 の出力トリガが同一の場合は、NDRH のアドレスは H'FF4C となり、出力トリガが異なる場合は、グループ 2 に対応する NDRH のアドレスは H'FF4E、グループ 3 に対する NDRH のアドレスは H'FF4C となります。同様に、PCR の設定によりパルス出力グループ 0 とパルス出力グループ 1 の出力トリガが同一の場合は、NDRL のアドレスは H'FF4D となり、出力トリガが異なる場合は、グループ 0 に対する NDRL のアドレスは H'FF4F、グループ 1 に対する NDRL のアドレスは H'FF4D となります。

*7 H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

*8 H8S/2378 0.18 μm F-ZTAT グループ、H8S/2378R 0.18 μm F-ZTAT グループのみサポートしています。

## 25. レジスタ一覧

### 25.3 各動作モードにおけるレジスタの状態

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
MRA	初期化							初期化	DTC
SAR	初期化							初期化	
MRB	初期化							初期化	
DAR	初期化							初期化	
CRA	初期化							初期化	
CRB	初期化							初期化	
ICCRA_0	初期化							初期化	IIC2_0
ICCRB_0	初期化							初期化	
ICMR_0	初期化							初期化	
ICIER_0	初期化							初期化	
ICSR_0	初期化							初期化	
SAR_0	初期化							初期化	
ICDRT_0	初期化							初期化	
ICDRR_0	初期化							初期化	
ICCRA_1	初期化							初期化	IIC2_1
ICCRB_1	初期化							初期化	
ICMR_1	初期化							初期化	
ICIER_1	初期化							初期化	
ICSR_1	初期化							初期化	
SAR_1	初期化							初期化	
ICDRT_1	初期化							初期化	
ICDRR_1	初期化							初期化	
SEMR_2	初期化							初期化	SCI_2
EDSAR_2	初期化							初期化	EXDMAC_2 ^{6,1}
EDDAR_2	初期化							初期化	
EDTCR_2	初期化							初期化	
EDMDR_2	初期化							初期化	
EDACR_2	初期化							初期化	
EDSAR_3	初期化							初期化	EXDMAC_3 ^{6,1}
EDDAR_3	初期化							初期化	
EDTCR_3	初期化							初期化	

## 25. レジスタ一覧

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
EDMDR_3	初期化							初期化	EXDMAC_3 ^{*1}
EDACR_3	初期化							初期化	
IPRA	初期化							初期化	INT
IPRB	初期化							初期化	
IPRC	初期化							初期化	
IPRD	初期化							初期化	
IPRE	初期化							初期化	
IPRF	初期化							初期化	
IPRG	初期化							初期化	
IPRH	初期化							初期化	
IPRI	初期化							初期化	
IPRJ	初期化							初期化	
IPRK	初期化							初期化	
ITSR	初期化							初期化	
SSIER	初期化							初期化	
ISCRH	初期化							初期化	
ISCR_L	初期化							初期化	
IrCR_0	初期化							初期化	IrDA_0
P1DDR	初期化							初期化	PORT
P2DDR	初期化							初期化	
P3DDR	初期化							初期化	
P5DDR	初期化							初期化	
P6DDR	初期化							初期化	
P8DDR	初期化							初期化	
PADDR	初期化							初期化	
PBDDR	初期化							初期化	
PCDDR	初期化							初期化	
PDDDR	初期化							初期化	
PEDDR	初期化							初期化	
PFDDR	初期化							初期化	
PGDDR	初期化							初期化	
PFCR0	初期化							初期化	
PFCR1	初期化							初期化	
PFCR2	初期化							初期化	

## 25. レジスタ一覧

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
PAPCR	初期化							初期化	PORT
PBPCR	初期化							初期化	
PCPCR	初期化							初期化	
PDPCR	初期化							初期化	
PEPCR	初期化							初期化	
P3ODR	初期化							初期化	
PAODR	初期化							初期化	
SMR_3	初期化							初期化	SCI_3
BRR_3	初期化							初期化	
SCR_3	初期化							初期化	
TDR_3	初期化				初期化	初期化	初期化	初期化	
SSR_3	初期化				初期化	初期化	初期化	初期化	
RDR_3	初期化				初期化	初期化	初期化	初期化	
SCMR_3	初期化							初期化	
SMR_4	初期化							初期化	SCI_4
BRR_4	初期化							初期化	
SCR_4	初期化							初期化	
TDR_4	初期化				初期化	初期化	初期化	初期化	
SSR_4	初期化				初期化	初期化	初期化	初期化	
RDR_4	初期化				初期化	初期化	初期化	初期化	
SCMR_4	初期化							初期化	
TCR_3	初期化							初期化	TPU_3
TMDR_3	初期化							初期化	
TIORH_3	初期化							初期化	
TIORL_3	初期化							初期化	
TIER_3	初期化							初期化	
TSR_3	初期化							初期化	
TCNT_3	初期化							初期化	
TGRA_3	初期化							初期化	
TGRB_3	初期化							初期化	
TGRC_3	初期化							初期化	
TGRD_3	初期化							初期化	
TCR_4	初期化							初期化	TPU_4
TMDR_4	初期化							初期化	

## 25. レジスタ一覧

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
TIOR_4	初期化							初期化	TPU_4
TIER_4	初期化							初期化	
TSR_4	初期化							初期化	
TCNT_4	初期化							初期化	
TGRA_4	初期化							初期化	
TGRB_4	初期化							初期化	
TCR_5	初期化							初期化	TPU_5
TMDR_5	初期化							初期化	
TIOR_5	初期化							初期化	
TIER_5	初期化							初期化	
TSR_5	初期化							初期化	
TCNT_5	初期化							初期化	
TGRA_5	初期化							初期化	
TGRB_5	初期化							初期化	
ABWCR	初期化							初期化	BSC
ASTCR	初期化							初期化	
WTCRAH	初期化							初期化	
WTCRAL	初期化							初期化	
WTCRBH	初期化							初期化	
WTCRBL	初期化							初期化	
RDNCR	初期化							初期化	
CSACRH	初期化							初期化	
CSACRL	初期化							初期化	
BROMCRH	初期化							初期化	
BROMCRL	初期化							初期化	
BCR	初期化							初期化	
DRAMCR	初期化							初期化	
DRACCRH	初期化							初期化	
DRACCRL	初期化							初期化	
REFCR	初期化							初期化	
RTCNT	初期化							初期化	
RTCOR	初期化							初期化	
MAR_0AH	初期化							初期化	DMAC
MAR_0AL	初期化							初期化	

## 25. レジスタ一覧

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
IOAR_0A	初期化							初期化	DMAC
ETCR_0A	初期化							初期化	
MAR_0BH	初期化							初期化	
MAR_0BL	初期化							初期化	
IOAR_0B	初期化							初期化	
ETCR_0B	初期化							初期化	
MAR_1AH	初期化							初期化	
MAR_1AL	初期化							初期化	
IOAR_1A	初期化							初期化	
ETCR_1A	初期化							初期化	
MAR_1BH	初期化							初期化	
MAR_1BL	初期化							初期化	
IOAR_1B	初期化							初期化	
ETCR_1B	初期化							初期化	
DMAWER	初期化							初期化	
DMATCR	初期化							初期化	
DMACR_0A	初期化							初期化	
DMACR_0B	初期化							初期化	
DMACR_1A	初期化							初期化	
DMACR_1B	初期化							初期化	
DMABCRH	初期化							初期化	
DMABCRL	初期化							初期化	
DTCERA	初期化							初期化	DTC
DTCERB	初期化							初期化	
DTCERC	初期化							初期化	
DTCERD	初期化							初期化	
DTCERE	初期化							初期化	
DTCERF	初期化							初期化	
DTCERG	初期化							初期化	
DTCERH	初期化							初期化	
DTVECR	初期化							初期化	
INTCR	初期化							初期化	INT
IER	初期化							初期化	
ISR	初期化							初期化	

## 25. レジスタ一覧

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
SBYCR	初期化							初期化	SYSTEM
SCKCR	初期化							初期化	
SYSCR	初期化							初期化	
MDCR	初期化							初期化	
MSTPCRH	初期化							初期化	
MSTPCRL	初期化							初期化	
EXMSTPCRH	初期化							初期化	
EXMSTPCRL	初期化							初期化	
PLLCR	初期化							初期化	
PCR	初期化							初期化	PPG
PMR	初期化							初期化	
NDERH	初期化							初期化	
NDERL	初期化							初期化	
PODRH	初期化							初期化	
PODRL	初期化							初期化	
NDRH	初期化							初期化	
NDRL	初期化							初期化	
NDRH	初期化							初期化	
NDRL	初期化							初期化	
PORT1									PORT
PORT2									
PORT3									
PORT4									
PORT5									
PORT6									
PORT8									
PORT9									
PORTA									
PORTB									
PORTC									
PORTD									
PORTE									
PORTF									
PORTG									

## 25. レジスタ一覧

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
P1DR	初期化							初期化	PORT
P2DR	初期化							初期化	
P3DR	初期化							初期化	
P5DR	初期化							初期化	
P6DR	初期化							初期化	
P8DR	初期化							初期化	
PADR	初期化							初期化	
PBDR	初期化							初期化	
PCDR	初期化							初期化	
PDDR	初期化							初期化	
PEDR	初期化							初期化	
PFDR	初期化							初期化	
PGDR	初期化							初期化	
PORTH	初期化							初期化	
PHDR	初期化							初期化	
PHDDR	初期化							初期化	
SMR_0	初期化							初期化	SCI_0
BRR_0	初期化							初期化	
SCR_0	初期化							初期化	
TDR_0	初期化				初期化	初期化	初期化	初期化	
SSR_0	初期化				初期化	初期化	初期化	初期化	
RDR_0	初期化				初期化	初期化	初期化	初期化	
SCMR_0	初期化							初期化	
SMR_1	初期化							初期化	SCI_1
BRR_1	初期化							初期化	
SCR_1	初期化							初期化	
TDR_1	初期化				初期化	初期化	初期化	初期化	
SSR_1	初期化				初期化	初期化	初期化	初期化	
RDR_1	初期化				初期化	初期化	初期化	初期化	
SCMR_1	初期化							初期化	
SMR_2	初期化							初期化	SCI_2
BRR_2	初期化							初期化	
SCR_2	初期化							初期化	
TDR_2	初期化				初期化	初期化	初期化	初期化	

## 25. レジスタ一覧

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
SSR_2	初期化				初期化	初期化	初期化	初期化	SCI_2
RDR_2	初期化				初期化	初期化	初期化	初期化	
SCMR_2	初期化							初期化	
ADDRA	初期化							初期化	A/D
ADDRB	初期化							初期化	
ADDRC	初期化							初期化	
ADDRD	初期化							初期化	
ADDRE	初期化							初期化	
ADDRF	初期化							初期化	
ADDRG	初期化							初期化	
ADDRH	初期化							初期化	
ADCSR	初期化							初期化	
ADCR	初期化							初期化	
DADR0* ¹	初期化							初期化	D/A
DADR1* ¹	初期化							初期化	
DACR01* ¹	初期化							初期化	
DADR2	初期化							初期化	
DADR3	初期化							初期化	
DACR23	初期化							初期化	
DADR4* ¹	初期化							初期化	
DADR5* ¹	初期化							初期化	
DACR45* ¹	初期化							初期化	
TCR_0	初期化							初期化	TMR_0
TCR_1	初期化							初期化	TMR_1
TCSR_0	初期化							初期化	
TCSR_1	初期化							初期化	
TCORA_0	初期化							初期化	
TCORA_1	初期化							初期化	
TCORB_0	初期化							初期化	
TCORB_1	初期化							初期化	
TCNT_0	初期化							初期化	
TCNT_1	初期化							初期化	
TCSR	初期化							初期化	WDT
TCNT	初期化							初期化	

## 25. レジスタ一覧

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
RSTCSR	初期化								WDT
TSTR	初期化							初期化	TPU
TSYR	初期化							初期化	
FCCS* ²	初期化							初期化	FLASH
FPCS* ²	初期化							初期化	
FECS* ²	初期化							初期化	
FLMCR1	初期化							初期化	
FKEY* ²	初期化							初期化	
FLMCR2	初期化							初期化	
FMATS* ²	初期化							初期化	
FTDAR* ²	初期化							初期化	
EBR1	初期化							初期化	
EBR2	初期化							初期化	
FVACR* ²	初期化							初期化	
TCR_0	初期化							初期化	TPU_0
TMDR_0	初期化							初期化	
TIORH_0	初期化							初期化	
TIORL_0	初期化							初期化	
TIER_0	初期化							初期化	
TSR_0	初期化							初期化	
TCNT_0	初期化							初期化	
TGRA_0	初期化							初期化	
TGRB_0	初期化							初期化	
TGRC_0	初期化							初期化	
TGRD_0	初期化							初期化	
TCR_1	初期化							初期化	TPU_1
TMDR_1	初期化							初期化	
TIOR_1	初期化							初期化	
TIER_1	初期化							初期化	
TSR_1	初期化							初期化	
TCNT_1	初期化							初期化	
TGRA_1	初期化							初期化	
TGRB_1	初期化							初期化	

レジスタ 略称	リセット	高速	クロック 分周	スリープ	モジュール ストップ	全モジュール クロック ストップ	ソフトウェア スタンバイ	ハードウェア スタンバイ	モジュール
TCR_2	初期化							初期化	TPU_2
TMDR_2	初期化							初期化	
TIOR_2	初期化							初期化	
TIER_2	初期化							初期化	
TSR_2	初期化							初期化	
TCNT_2	初期化							初期化	
TGRA_2	初期化							初期化	
TGRB_2	初期化							初期化	

【注】 *1 H8S/2375、H8S/2375R、H8S/2373、H8S/2373R ではサポートしていません。

*2 H8S/2378 0.18  $\mu$ m F-ZTAT グループ、H8S/2378R 0.18  $\mu$ m F-ZTAT グループのみサポートしています。



---

## 26. 電気的特性

---

### 26.1 H8S/2377、H8S/2375、H8S/2373、H8S/2377R、H8S/2375R、H8S/2373R の電気的特性

#### 26.1.1 絶対最大定格

絶対最大定格を表 26.1 に示します。

表 26.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V _{cc} PLL _{Vcc}	- 0.3 ~ + 4.3	V
入力電圧 (ポート 4、9 以外)	V _{in}	- 0.3 ~ V _{cc} + 0.3	V
入力電圧 (ポート 4、9)	V _{in}	- 0.3 ~ AV _{cc} + 0.3	V
リファレンス電源電圧	V _{ref}	- 0.3 ~ AV _{cc} + 0.3	V
アナログ電源電圧	AV _{cc}	- 0.3 ~ + 4.0	V
アナログ入力電圧	V _{AN}	- 0.3 ~ AV _{cc} + 0.3	V
動作温度	T _{opr}	通常仕様品 : - 20 ~ + 75*	
		広温度範囲仕様品 : - 40 ~ + 85*	
保存温度	T _{stg}	- 55 ~ + 125	

#### 【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI 永久破壊となることがあります。

【注】 * フラッシュメモリの書き込み / 消去時の動作温度範囲は、

T_a = 0 ~ +75 (一般仕様)

T_a = 0 ~ +85 (広温度範囲仕様)

です。

## 26. 電気的特性

### 26.1.2 DC 特性

表 26.2 DC 特性 (1)

条件 :  $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V^{*1}$

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力 電圧	ポート 1、ポート 2、 P50 ~ P53 ^{*2} 、	$VT^-$	$V_{CC} \times 0.2$	-	-	V	
		$VT^+$	-	-	$V_{CC} \times 0.7$	V	
	ポート 6 ^{*2} 、ポート 8 ^{*2} 、 PA4 ~ PA7 ^{*2} 、PF1 ^{*2} 、 PF2 ^{*2} 、PH2 ^{*2} 、PH3 ^{*2}	$VT^+ - VT^-$	$V_{CC} \times 0.07$	-	-	V	
入力 High レベル電圧	$\overline{STBY}$ 、MD2 ~ MD0	$V_{IH}$	$V_{CC} \times 0.9$	-	$V_{CC} + 0.3$	V	
	$\overline{RES}$ 、NMI、EMLE						
	EXTAL		$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$	V	
	ポート 3、P50 ~ P53 ^{*3} ポート 6 ^{*3} 、ポート 8 ^{*3} 、 ポート A ~ H ^{*3}		2.2V	-	$V_{CC} + 0.3$	V	
	ポート 4、ポート 9		2.2V	-	$AV_{CC} + 0.3$	V	
入力 Low レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ MD2 ~ MD0、EMLE	$V_{IL}$	- 0.3	-	$V_{CC} \times 0.1$	V	
	NMI、EXTAL		- 0.3	-	$V_{CC} \times 0.2$	V	
	ポート 3 ~ 6 ^{*3} 、ポート 8 ^{*3} 、 ポート A ~ H ^{*3} 、ポート 9		- 0.3	-	$V_{CC} \times 0.2$	V	
出力 High レベル電圧	全出力端子	$V_{OH}$	$V_{CC} - 0.5$	-	-	V	$I_{OH} = -200 \mu A$
			$V_{CC} - 1.0$	-	-	V	$I_{OH} = -1mA$
出力 Low レ ベル電圧	全出力端子 P32 ~ P35 ^{*4}	$V_{OL}$	-	-	0.4	V	$I_{OL} = 1.6mA$
			-	-	0.5	V	$I_{OL} = 8.0mA$
入力リーク 電流	$\overline{RES}$	$ I_{in} $	-	-	10.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC}$ - 0.5 V
	$\overline{STBY}$ 、NMI、 MD2 ~ MD0		-	-	1.0	$\mu A$	
	ポート 4、ポート 9		-	-	1.0	$\mu A$	$V_{in} = 0.5 \sim$ $AV_{CC} - 0.5 V$

【注】 *1 A/D および D/A 変換器未使用時に  $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。

$AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に、 $AV_{SS}$  端子は  $V_{SS}$  にそれぞれ接続してください。

*2  $\overline{IRQ0} \sim \overline{IRQ15}$  として使用した場合です。

*3  $\overline{IRQ0} \sim \overline{IRQ15}$  以外として使用した場合です。

*4 SCL0、SCL1、SDA0、SDA1 として使用した場合です。

表 26.3 DC 特性 (2)

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V^{*1}$  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
スリープ状態 リーク電流 (オフ状態)	ポート 1~3、 P50~P53 ポート 6、ポート 8、 ポート A~H	$ I_{TSI} $	-	-	1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC}$ - 0.5V
入力プルアップ MOS 電流	ポート A~E	$-I_p$	10	-	300	$\mu A$	$V_{cc} = 3.0 \sim 3.6V$ $V_{in} = 0V$
入力容量	$\overline{RES}$	$C_{in}$	-	-	30	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI		-	-	30	pF	
	$\overline{RES}$ 、NMI 以外の全入力 端子		-	-	15	pF	
消費電流 ^{*2}	通常動作時	$I_{CC}^{*4}$	-	80 (3.3V)	120	mA	$f = 33MHz$
	スリープ時		-	60 (3.3V)	100	mA	$f = 33MHz$
	スタンバイ時 ^{*3}		-	0.01	10	$\mu A$	$T_a = 50$
			-	-	80	$\mu A$	$50 < T_a$
アナログ 電源電流	A/D、D/A 変換中	$A_{I_{CC}}$	-	0.5 (3.0V)	2.0	mA	
	A/D、D/A 変換待機時		-	0.01	5.0	$\mu A$	
リファレンス 電源電流	A/D、D/A 変換中	$A_{I_{CC}}$	-	3.0 (3.0V)	6.0	mA	
	A/D、D/A 変換待機時		-	0.01	5.0	$\mu A$	
RAM スタンバイ電圧		$V_{RAM}$	2.0	-	-	V	

【注】 *1 A/D および D/A 変換器未使用時に  $AV_{cc}$ 、 $V_{ref}$ 、 $AV_{ss}$  端子を開放しないでください。 $AV_{cc}$ 、 $V_{ref}$  端子は  $V_{cc}$  に、 $AV_{ss}$  端子は  $V_{ss}$  にそれぞれ接続してください。*2 消費電流値は、 $V_{IHmin} = V_{CC} - 0.2V$ 、 $V_{ILmax} = 0.2V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。*3  $VRAM$   $V_{cc} < 3.0V$  のとき、 $V_{IHmin} = V_{cc} \times 0.9$ 、 $V_{ILmax} = 0.3V$  とした場合の値です。*4  $I_{CC}$  は下記の式に従って  $V_{cc}$  と  $f$  に依存します。 $I_{CCmax} = 1.0 (mA) + 1.0 (mA / (MHz \times V)) \times V_{cc} \times f$  (通常動作時) $I_{CCmax} = 1.0 (mA) + 0.85 (mA / (MHz \times V)) \times V_{cc} \times f$  (スリープ時)

## 26. 電気的特性

表 26.4 出力許容電流値

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V^*$

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子当たり)	SCL0、SCL1、SDA0、SDA1	-	-	8.0	mA
	上記以外の出力端子	-	-	2.0	
出力 Low レベル許容電流 (総和)	全出力端子の総和	-	-	80	mA
出力 High レベル許容電流 (1 端子当たり)	全出力端子	$-I_{OH}$	-	2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$	-	40	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 26.4 の値を超えないようにしてください。

- * A/D および D/A 変換器未使用時に  $AV_{cc}$ 、 $V_{ref}$ 、 $AV_{ss}$  端子を開放しないでください。  
 $AV_{cc}$ 、 $V_{ref}$  端子は  $V_{cc}$  に、 $AV_{ss}$  端子は  $V_{ss}$  にそれぞれ接続してください。

### 26.1.3 AC 特性

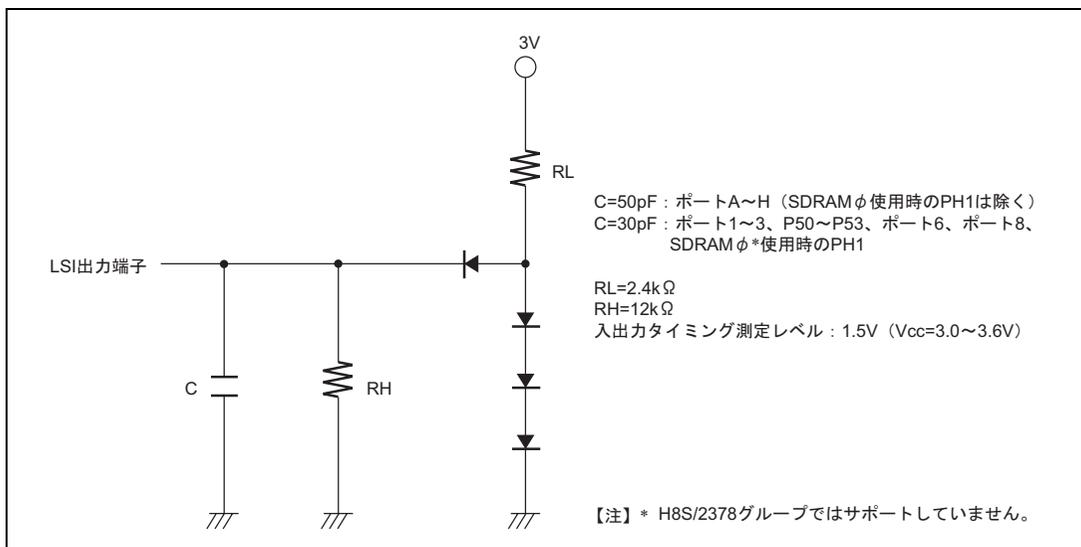


図 26.1 出力負荷回路

## (1) クロックタイミング

表 26.5 クロックタイミング

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$ = 8 ~ 33MHz、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
クロックサイクル時間	$t_{cyc}$	30.3	125	ns	図 26.2
クロックハイレベルパルス幅	$t_{CH}$	10	-	ns	図 26.2
クロックローレベルパルス幅	$t_{CL}$	10	-	ns	
クロック立ち上がり時間	$t_{Cr}$	-	5	ns	
クロック立ち下がり時間	$t_{Cf}$	-	5	ns	
リセット発振安定時間 (水晶)	$t_{OSC1}$	10	-	ms	
ソフトウェアスタンバイ発振安定時間 (水晶)	$t_{OSC2}$	10	-	ms	図 26.4(2)
外部クロック出力遅延安定時間	$t_{DEXT}$	1	-	ms	図 26.4(1)
クロック位相差*	$t_{cdif}$	$1/4 \times t_{cyc} - 3$	$1/4 \times t_{cyc} + 3$	ns	図 26.3
クロックハイレベルパルス幅 (SDRAM)*	$t_{SDCH}$	10	-	ns	図 26.3
クロックローレベルパルス幅 (SDRAM)*	$t_{SDCL}$	10	-	ns	図 26.3
クロック立ち上がり時間 (SDRAM)*	$t_{sdcr}$	-	5	ns	図 26.3
クロック立ち下がり時間 (SDRAM)*	$t_{sdcf}$	-	5	ns	図 26.3

【注】 * H8S/2378 グループでは、サポートしていません。

## (2) 制御信号タイミング

表 26.6 制御信号タイミング

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$ = 8 ~ 33MHz、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
RES セットアップ時間	$t_{RESS}$	200	-	ns	図 26.5
RES パルス幅	$t_{RESW}$	20	-	$t_{cyc}$	
NMI セットアップ時間	$t_{NMIS}$	150	-	ns	図 26.6
NMI ホールド時間	$t_{NMIH}$	10	-		
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{NMIW}$	200	-		
$\overline{IRQ}$ セットアップ時間	$t_{IRQS}$	150	-	ns	
$\overline{IRQ}$ ホールド時間	$t_{IRQH}$	10	-		
$\overline{IRQ}$ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{IRQW}$	200	-		

## 26. 電気的特性

### (3) バスタイミング

表 26.7 バスタイミング (1)

条件 :  $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$

= 8 ~ 33MHz、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
アドレス遅延時間	$t_{AD}$	-	20	ns	図 26.7
アドレスセットアップ時間 1	$t_{AS1}$	$0.5 \times t_{cyc} - 13$	-	ns	
アドレスセットアップ時間 2	$t_{AS2}$	$1.0 \times t_{cyc} - 13$	-	ns	図 26.22
アドレスセットアップ時間 3	$t_{AS3}$	$1.5 \times t_{cyc} - 13$	-	ns	
アドレスセットアップ時間 4	$t_{AS4}$	$2.0 \times t_{cyc} - 13$	-	ns	
アドレスホールド時間 1	$t_{AH1}$	$0.5 \times t_{cyc} - 8$	-	ns	
アドレスホールド時間 2	$t_{AH2}$	$1.0 \times t_{cyc} - 8$	-	ns	
アドレスホールド時間 3	$t_{AH3}$	$1.5 \times t_{cyc} - 8$	-	ns	
CS 遅延時間 1	$t_{CSD1}$	-	15	ns	
CS 遅延時間 2	$t_{CSD2}$	-	15	ns	
CS 遅延時間 3	$t_{CSD3}$	-	20	ns	
AS 遅延時間	$t_{ASD}$	-	15	ns	
RD 遅延時間 1	$t_{RSD1}$	-	15	ns	
RD 遅延時間 2	$t_{RSD2}$	-	15	ns	
リードデータセットアップ時間 1	$t_{RDS1}$	15	-	ns	
リードデータセットアップ時間 2	$t_{RDS2}$	15	-	ns	
リードデータホールド時間 1	$t_{RDH1}$	0	-	ns	
リードデータホールド時間 2	$t_{RDH2}$	0	-	ns	
リードデータアクセス時間 1	$t_{AC1}$	-	$1.0 \times t_{cyc} - 20$	ns	
リードデータアクセス時間 2	$t_{AC2}$	-	$1.5 \times t_{cyc} - 20$	ns	
リードデータアクセス時間 3	$t_{AC3}$	-	$2.0 \times t_{cyc} - 20$	ns	
リードデータアクセス時間 4	$t_{AC4}$	-	$2.5 \times t_{cyc} - 20$	ns	
リードデータアクセス時間 5	$t_{AC5}$	-	$1.0 \times t_{cyc} - 20$	ns	
リードデータアクセス時間 6	$t_{AC6}$	-	$2.0 \times t_{cyc} - 20$	ns	
リードデータアクセス時間 7	$t_{AC7}$	-	$4.0 \times t_{cyc} - 20$	ns	
リードデータアクセス時間 8	$t_{AC8}$	-	$3.0 \times t_{cyc} - 20$	ns	
対アドレスリードデータアクセス時間 1	$t_{AA1}$	-	$1.0 \times t_{cyc} - 20$	ns	
対アドレスリードデータアクセス時間 2	$t_{AA2}$	-	$1.5 \times t_{cyc} - 20$	ns	
対アドレスリードデータアクセス時間 3	$t_{AA3}$	-	$2.0 \times t_{cyc} - 20$	ns	
対アドレスリードデータアクセス時間 4	$t_{AA4}$	-	$2.5 \times t_{cyc} - 20$	ns	
対アドレスリードデータアクセス時間 5	$t_{AA5}$	-	$3.0 \times t_{cyc} - 20$	ns	

表 26.8 バスタイミング (2)

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$ = 8 ~ 33MHz、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
WR 遅延時間 1	$t_{WRD1}$	-	15	ns	図 26.7
WR 遅延時間 2	$t_{WRD2}$	-	15	ns	
WR パルス幅 1	$t_{WSW1}$	$1.0 \times t_{cyc} - 13$	-	ns	図 26.22
WR パルス幅 2	$t_{WSW2}$	$1.5 \times t_{cyc} - 13$	-	ns	
ライトデータ遅延時間	$t_{WDD}$	-	20	ns	
ライトデータセットアップ時間 1	$t_{WDS1}$	$0.5 \times t_{cyc} - 15$	-	ns	
ライトデータセットアップ時間 2	$t_{WDS2}$	$1.0 \times t_{cyc} - 15$	-	ns	
ライトデータセットアップ時間 3	$t_{WDS3}$	$1.5 \times t_{cyc} - 15$	-	ns	
ライトデータホールド時間 1	$t_{WDH1}$	$0.5 \times t_{cyc} - 8$	-	ns	
ライトデータホールド時間 2	$t_{WDH2}$	$1.0 \times t_{cyc} - 8$	-	ns	
ライトデータホールド時間 3	$t_{WDH3}$	$1.5 \times t_{cyc} - 8$	-	ns	
ライトコマンドセットアップ時間 1	$t_{WCS1}$	$0.5 \times t_{cyc} - 10$	-	ns	
ライトコマンドセットアップ時間 2	$t_{WCS2}$	$1.0 \times t_{cyc} - 10$	-	ns	
ライトコマンドホールド時間 1	$t_{WCH1}$	$0.5 \times t_{cyc} - 10$	-	ns	
ライトコマンドホールド時間 2	$t_{WCH2}$	$1.0 \times t_{cyc} - 10$	-	ns	
リードコマンドセットアップ時間 1	$t_{RCS1}$	$1.5 \times t_{cyc} - 10$	-	ns	
リードコマンドセットアップ時間 2	$t_{RCS2}$	$2.0 \times t_{cyc} - 10$	-	ns	
リードコマンドホールド時間	$t_{RCH}$	$0.5 \times t_{cyc} - 10$	-	ns	
CAS 遅延時間 1	$t_{CASD1}$	-	15	ns	
CAS 遅延時間 2	$t_{CASD2}$	-	15	ns	
CAS セットアップ時間 1	$t_{CSR1}$	$0.5 \times t_{cyc} - 10$	-	ns	
CAS セットアップ時間 2	$t_{CSR2}$	$1.5 \times t_{cyc} - 10$	-	ns	
CAS パルス幅 1	$t_{CASW1}$	$1.0 \times t_{cyc} - 20$	-	ns	
CAS パルス幅 2	$t_{CASW2}$	$1.5 \times t_{cyc} - 20$	-	ns	
CAS プリチャージ時間 1	$t_{CPW1}$	$1.0 \times t_{cyc} - 20$	-	ns	
CAS プリチャージ時間 2	$t_{CPW2}$	$1.5 \times t_{cyc} - 20$	-	ns	
OE 遅延時間 1	$t_{OED1}$	-	15	ns	
OE 遅延時間 2	$t_{OED2}$	-	15	ns	
プリチャージ時間 1	$t_{PCH1}$	$1.0 \times t_{cyc} - 20$	-	ns	
プリチャージ時間 2	$t_{PCH2}$	$1.5 \times t_{cyc} - 20$	-	ns	
セルフリフレッシュ時プリチャージ時間 1	$t_{RPS1}$	$2.5 \times t_{cyc} - 20$	-	ns	図 26.21
セルフリフレッシュ時プリチャージ時間 2	$t_{RPS2}$	$3.0 \times t_{cyc} - 20$	-	ns	図 26.22
WAIT セットアップ時間	$t_{WTS}$	25	-	ns	図 26.9
WAIT ホールド時間	$t_{WTH}$	5	-	ns	図 26.15

## 26. 電気的特性

項目	記号	min	max	単位	測定条件
BREQ セットアップ時間	t _{BREQS}	30	-	ns	図 26.23
BACK 遅延時間	t _{BACD}	-	15	ns	
バスフローティング時間	t _{BZD}	-	40	ns	
BREQ $\bar{O}$ 遅延時間	t _{BRQOD}	-	25	ns	図 26.24
アドレス遅延時間 2	t _{AD2}	-	16.5	ns	図 26.25
CS 遅延時間 4	t _{CSD4}	-	16.5	ns	図 26.25
DQM 遅延時間	t _{DQMD}	-	16.5	ns	図 26.25
CKE 遅延時間	t _{CKED}	-	16.5	ns	図 26.26、 図 26.27
リードデータセットアップ時間 3	t _{RDS3}	15	-	ns	図 26.25
リードデータホールド時間 3	t _{RDH3}	0	-	ns	図 26.25
ライトデータ遅延時間 2	t _{WDD2}	-	31.5	ns	図 26.25
ライトデータホールド時間 4	t _{WDH4}	2	-	ns	図 26.25

### (4) DMAC、EXDMAC タイミング

表 26.9 DMAC、EXDMAC タイミング

条件：V_{cc} = 3.0 ~ 3.6V、AV_{cc} = 3.0 ~ 3.6V、V_{ref} = 3.0V ~ AV_{cc}、V_{ss} = AV_{ss} = 0V

= 8 ~ 33MHz、T_a = -20 ~ +75 (通常仕様品)、T_a = -40 ~ +85 (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
DREQ セットアップ時間	t _{DRQS}	25	-	ns	図 26.31
DREQ ホールド時間	t _{DRQH}	10	-		
TEND 遅延時間	t _{TED}	-	18	ns	図 26.30
DACK 遅延時間 1	t _{DACD1}	-	18		図 26.28
DACK 遅延時間 2	t _{DACD2}	-	18		図 26.29
EDREQ セットアップ時間*	t _{EDRQS}	25	-	ns	図 26.31
EDREQ ホールド時間*	t _{EDRQH}	10	-		
ETEND 遅延時間*	t _{ETED}	-	18	ns	図 26.30
EDACK 遅延時間 1*	t _{EDACD1}	-	18		図 26.28
EDACK 遅延時間 2*	t _{EDACD2}	-	18		図 26.29
EDRAK 遅延時間*	t _{EDRKD}	-	18	ns	図 26.32

【注】 * H8S/2375R、H8S/2375、H8S/2373、H8S/2373R ではサポートしていません。

## (5) 内蔵周辺モジュールタイミング

表 26.10 内蔵周辺モジュールタイミング

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$ = 8 ~ 33MHz、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	max	単位	測定条件	
I/O ポート	出力データ遅延時間	$t_{PWD}$	-	40	ns	図 26.33	
	入力データセットアップ時間	$t_{PRS}$	25	-	ns		
	入力データホールド時間	$t_{PRH}$	25	-	ns		
PPG	パルス出力遅延時間	$t_{POD}$	-	40	ns	図 26.34	
TPU	タイマ出力遅延時間	$t_{TOCD}$	-	40	ns	図 26.35	
	タイマ入力セットアップ時間	$t_{TICS}$	25	-	ns		
	タイマクロック入力セットアップ時間	$t_{TCKS}$	25	-	ns	図 26.36	
	タイマクロックパルス幅	単エッジ指定	$t_{TCKWH}$	1.5	-		$t_{cyc}$
両エッジ指定		$t_{TCKWL}$	2.5	-	$t_{cyc}$		
8ビット タイマ	タイマ出力遅延時間	$t_{TMOD}$	-	40	ns	図 26.37	
	タイマリセット入力セットアップ時間	$t_{TMRS}$	25	-	ns	図 26.39	
	タイマクロック入力セットアップ時間	$t_{TMCS}$	25	-	ns	図 26.38	
	タイマクロックパルス幅	単エッジ指定	$t_{TMCWH}$	1.5	-		$t_{cyc}$
		両エッジ指定	$t_{TMCWL}$	2.5	-		$t_{cyc}$
WDT	オーバーフロー出力遅延時間	$t_{WOVD}$	-	40	ns	図 26.40	
SCI	入力クロックサイクル	調歩同期	$t_{Scyc}$	4	-	$t_{cyc}$	図 26.41
		クロック同期		6	-		
	入力クロックパルス幅		$t_{SCKW}$	0.4	0.6	$t_{Scyc}$	
	入力クロック立ち上がり時間		$t_{SCKr}$	-	1.5	$t_{cyc}$	
	入力クロック立ち下がり時間		$t_{SCKf}$	-	1.5		
	送信データ遅延時間		$t_{TXD}$	-	40	ns	
	受信データセットアップ時間 (クロック同期)		$t_{RXS}$	40	-	ns	
	受信データホールド時間 (クロック同期)		$t_{RXH}$	40	-	ns	
A/D 変換器	トリガ入力セットアップ時間	$t_{TRGS}$	30	-	ns	図 26.43	

## 26. 電気的特性

項目	記号	min	max	単位	測定条件	
IIC2	SCL 入力サイクル時間	$t_{SCL}$	$12t_{cyc} + 600$		ns	図 26.44
	SCL 入力 High パルス幅	$t_{SCLH}$	$3t_{cyc} + 300$		ns	
	SCL 入力 Low パルス幅	$t_{SCLL}$	$5t_{cyc} + 300$		ns	
	SCL、SDA 入力立ち下がり時間	$t_{sf}$		300	ns	
	SCL、SDA 入力 スパイクパルス除去時間	$t_{SP}$		$1t_{cyc}$	ns	
	SDA 入力バスフリー時間	$t_{BUF}$	$5t_{cyc}$		ns	
	開始条件入力ホールド時間	$t_{STAH}$	$3t_{cyc}$		ns	
	再送開始条件入力 セットアップ時間	$t_{STAS}$	$3t_{cyc}$		ns	
	停止条件入力 セットアップ時間	$t_{STOS}$	$1t_{cyc} + 20$		ns	
	データ入力セットアップ時間	$t_{SDAS}$	0		ns	
	データ入力ホールド時間	$t_{SDAH}$	0		ns	
	SCL、SDA の容量性負荷	$C_b$		400	pF	
	SCL、SDA 立ち下がり時間	$t_{sf}$		300	ns	

### 26.1.4 A/D 変換特性

表 26.11 A/D 変換特性

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$

$= 8 \sim 33MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	min	typ	max	単位
分解能	10	10	10	ビット
変換時間	8.1	-	-	$\mu s$
アナログ入力容量	-	-	20	pF
許容信号源インピーダンス	-	-	5	k
非直線性誤差	-	-	$\pm 5.5$	LSB
オフセット誤差	-	-	$\pm 5.5$	LSB
フルスケール誤差	-	-	$\pm 5.5$	LSB
量子化誤差	-	-	$\pm 0.5$	LSB
絶対精度	-	-	$\pm 6.0$	LSB

## 26.1.5 D/A 変換特性

表 26.12 D/A 変換特性

条件 :  $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ = 8 ~ 33MHz、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	min	typ	max	単位	測定条件
分解能	8	8	8	ビット	
変換時間	-	-	10	$\mu s$	負荷容量 20pF
絶対精度	-	$\pm 2.0$	$\pm 3.0$	LSB	負荷抵抗 2M
	-	-	$\pm 2.0$	LSB	負荷抵抗 4M

## 26.1.6 フラッシュメモリ特性

表 26.13 フラッシュメモリ特性 (0.35  $\mu m$  F-ZTAT 版)条件 :  $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$  $T_a = 0 \sim 75$  (書き込み / 消去時の動作温度範囲 : 通常仕様品) $T_a = 0 \sim 85$  (書き込み / 消去時の動作温度範囲 : 広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件	
書き込み時間 ^{*1*} ^{*2*} ^{*4}		$t_p$	-	10	200	ms/128 バイト		
消去時間 ^{*1*} ^{*3*} ^{*6}		$t_E$	-	50	1000	ms	ブロック	
書き換え回数		$N_{WEC}$	$100^{*7}$	$10000^{*8}$	-	回		
データ保持時間		$t_{DRP}$	$10^{*9}$	-	-	年		
書き 込み時	SWE ビットセット後のウェイト時間 ^{*1}	x	1	-	-	$\mu s$		
	PSU ビットセット後のウェイト時間 ^{*1}	y	50	-	-	$\mu s$		
	P ビットセット後のウェイト時間 ^{*1*} ^{*4}	z	z1	-	-	30	$\mu s$	1 n 6
			z2	-	-	200	$\mu s$	7 n 1000
			z3			10	$\mu s$	追加書き込み ウェイト
	P ビットクリア後のウェイト時間 ^{*1}		5	-	-	$\mu s$		
	PSU ビットクリア後のウェイト時間 ^{*1}		5	-	-	$\mu s$		
	PV ビットセット後のウェイト時間 ^{*1}		4	-	-	$\mu s$		
	H'FF ダミーライト後のウェイト時間 ^{*1}		2	-	-	$\mu s$		
	PV ビットクリア後のウェイト時間 ^{*1}		2	-	-	$\mu s$		
SWE ビットクリア後のウェイト時間 ^{*1}		100	-	-	$\mu s$			
最大書き込み回数 ^{*1*} ^{*4}		N	-	-	$1000^{*5}$	回		

## 26. 電気的特性

項目		記号	min	typ	max	単位	測定条件
消去時	SWE ビットセット後のウェイト時間*1	x	1	-	-	μs	
	ESU ビットセット後のウェイト時間*1	y	100	-	-	μs	
	E ビットセット後のウェイト時間*1*6	z	-	-	10	μs	消去時間 ウェイト
	E ビットクリア後のウェイト時間*1		10	-	-	μs	
	ESU ビットクリア後のウェイト時間*1		10	-	-	μs	
	EV ビットセット後のウェイト時間*1		20	-	-	μs	
	H'FF ダミーライト後のウェイト時間*1		2	-	-	μs	
	EV ビットクリア後のウェイト時間*1		4	-	-	μs	
	SWE ビットクリア後のウェイト時間*1		100	-	-	μs	
	最大消去回数*1*6	N	-	-	100	回	

【注】 *1 各時間の設定は、書き込み / 消去のアルゴリズムに従い、行ってください。

*2 128 バイトあたりの書き込み時間 (フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P ビットをセットしているトータル期間を示します。書き込みベリファイ時間は含まれません。)

*3 1 ブロックを消去する時間 (FLMCR1 の E ビットをセットしている期間を示します。消去ベリファイ時間は含まれません。)

*4 書き込み時間の最大値

$$t_p(\max) = \sum_{i=1}^N \text{Pビットセット後のウェイト時間}(z)$$

*5 最大書き込み回数 (N) は、実際の (z) の設定にあわせ、書き込み時間の最大値 ( $t_p(\max)$ ) 以下となるように設定してください。

また、P ビットセット後のウェイト時間 (z) は、下記のように書き込み回数 (n) の値によって切り替えてください。

書き込み回数 n	1 n 6	z = 30 μs
	7 n 1000	z = 200 μs

[追加書き込み時] 書き込み回数 n 1 n 6 z = 10 μs

*6 消去時間の最大値 ( $t_E(\max)$ ) に対して、E ビットセット後のウェイト時間 (z) と最大消去回数 (N) は以下の関係にあります。

$$t_E(\max) = \text{E ビットセット後にウェイト時間}(z) \times \text{最大消去回数}(N)$$

*7 書き換え後のすべての特性を保証する min 回数です。(保証は 1 ~ min 値の範囲です。)

*8 25 のときの参考地 (通常時この値まで書き換えは機能するという目安です)。

*9 書き換えが min 値を含む使用範囲内で行われたときのデータ保持特性です。

### 26.1.7 使用上の注意事項

F-ZTAT 版とマスク ROM 版は、本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相違、内蔵 ROM の相違、レイアウトパターンの相違などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。

F-ZTAT 版を使用しているシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

## 26.2 H8S/2378 の電気的特性

### 26.2.1 絶対最大定格

絶対最大定格を表 26.14 に示します。

表 26.14 絶対最大定格

項目	記号	定格値	単位
電源電圧	Vcc	- 0.3 ~ + 4.3	V
	PLLVcc		
入力電圧 (ポート 4、9 以外)	V _{in}	- 0.3 ~ V _{cc} + 0.3	V
入力電圧 (ポート 4、9)	V _{in}	- 0.3 ~ AV _{cc} + 0.3	V
リファレンス電源電圧	V _{ref}	- 0.3 ~ AV _{cc} + 0.3	V
アナログ電源電圧	AV _{cc}	- 0.3 ~ + 4.0	V
アナログ入力電圧	V _{AN}	- 0.3 ~ AV _{cc} + 0.3	V
動作温度	T _{opr}	通常仕様品 : - 20 ~ + 75*	
		広温度範囲仕様品 : - 40 ~ + 85*	
保存温度	T _{stg}	- 55 ~ + 125	

#### 【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI 永久破壊となることがあります。

【注】 * フラッシュメモリの書き込み / 消去時の動作温度範囲は、  
 Ta = 0 ~ +75 (一般仕様)  
 Ta = 0 ~ +85 (広温度範囲仕様)  
 です。

## 26. 電気的特性

### 26.2.2 DC 特性

表 26.15 DC 特性 (1)

条件 :  $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V^{*1}$

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力 電圧	ポート 1、ポート 2、 P50 ~ P53 ^{*2} 、	$VT^-$	$V_{CC} \times 0.2$	-	-	V	
		$VT^+$	-	-	$V_{CC} \times 0.7$	V	
	ポート 6 ^{*2} 、ポート 8 ^{*2} 、PA4 ~ PA7 ^{*2} 、PF1 ^{*2} 、PF2 ^{*2} 、 PH2 ^{*2} 、PH3 ^{*2}	$VT^+ - VT^-$	$V_{CC} \times 0.07$	-	-	V	
入力 High レベル電圧	$\overline{STBY}$ 、MD2 ~ MD0	$V_{IH}$	$V_{CC} \times 0.9$	-	$V_{CC} + 0.3$	V	
	$\overline{RES}$ 、NMI、EMLE						
	EXTAL		$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$	V	
	ポート 3、P50 ~ P53 ^{*3} ポート 6 ^{*3} 、ポート 8 ^{*3} 、 ポート A ~ H ^{*3}		2.2	-	$V_{CC} + 0.3$	V	
	ポート 4、ポート 9		2.2	-	$AV_{CC} + 0.3$	V	
入力 Low レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ MD2 ~ MD0、EMLE	$V_{IL}$	- 0.3	-	$V_{CC} \times 0.1$	V	
	NMI、EXTAL		- 0.3	-	$V_{CC} \times 0.2$	V	
	ポート 3 ~ 6 ^{*3} 、ポート 8 ^{*3} 、 ポート A ~ H ^{*3} 、ポート 9		- 0.3	-	$V_{CC} \times 0.2$	V	
出力 High レベル電圧	全出力端子	$V_{OH}$	$V_{CC} - 0.5$	-	-	V	$I_{OH} = -200 \mu A$
			$V_{CC} - 1.0$	-	-	V	$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子	$V_{OL}$	-	-	0.4	V	$I_{OL} = 1.6mA$
	P32 ~ P35 ^{*4}		-	-	0.5	V	$I_{OL} = 8.0mA$
入力リーク 電流	$\overline{RES}$	$ I_{in} $	-	-	10.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC}$ - 0.5 V
	$\overline{STBY}$ 、NMI、 MD2 ~ MD0		-	-	1.0	$\mu A$	
	ポート 4、ポート 9		-	-	1.0	$\mu A$	

【注】 *1 A/D および D/A 変換器未使用時に  $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。

$AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に、 $AV_{SS}$  端子は  $V_{SS}$  にそれぞれ接続してください。

*2  $\overline{IRQ0} \sim \overline{IRQ15}$  として使用した場合です。

*3  $\overline{IRQ0} \sim \overline{IRQ15}$  以外として使用した場合です。

*4 SCL0、SCL1、SDA0、SDA1 として使用した場合です。

表 26.16 DC 特性 (2)

条件 :  $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V^{*1}$  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
スリープ状態 リーク電流 (オフ状態)	ポート 1~3、 P50~P53 ポート 6、ポート 8、 ポート A~H	$ I_{TSI} $	-	-	1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC}$ - 0.5V
入力プルアップ MOS 電流	ポート A~E	$-I_p$	10	-	300	$\mu A$	$V_{CC} = 3.0 \sim 3.6V$ $V_{in} = 0V$
入力容量	$\overline{RES}$	$C_{in}$	-	-	30	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI		-	-	30	pF	
	$\overline{RES}$ 、NMI 以外の全入力 端子		-	-	15	pF	
消費電流 ^{*2}	通常動作時	$I_{CC}^{*4}$	-	40 (3.3V)	60	mA	$f = 35MHz$
	スリープ時		-	20 (3.3V)	40	mA	$f = 35MHz$
	スタンバイ時 ^{*3}		-	5	20	$\mu A$	$T_a = 50$
			-	-	80	$\mu A$	$50 < T_a$
アナログ 電源電流	A/D、D/A 変換中	$I_{CC}$	-	0.5 (3.0V)	2.0	mA	
	A/D、D/A 変換待機時		-	0.01	5.0	$\mu A$	
リファレンス 電源電流	A/D、D/A 変換中	$I_{CC}$	-	3.0 (3.0V)	6.0	mA	
	A/D、D/A 変換待機時		-	0.01	5.0	$\mu A$	
RAM スタンバイ電圧		$V_{RAM}$	2.5	-	-	V	
$V_{CC}$ 開始電圧 ^{*5}		$V_{CC\ start}$	-	-	0.8	V	
$V_{CC}$ 立ち上がり勾配 ^{*5}		$SV_{CC}$	-	-	20	ms/V	

【注】 *1 A/D および D/A 変換器未使用時に  $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。 $AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に、 $AV_{SS}$  端子は  $V_{SS}$  にそれぞれ接続してください。*2 消費電流値は、 $V_{IHmin} = V_{CC} - 0.2V$ 、 $V_{ILmax} = 0.2V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。*3 VRAM  $V_{CC} < 3.0V$  のとき、 $V_{IHmin} = V_{CC} \times 0.9$ 、 $V_{ILmax} = 0.3V$  とした場合の値です。*4  $I_{CC}$  は下記の式に従って  $V_{CC}$  と  $f$  に依存します。 $I_{CCmax} = 15 (mA) + 0.37 (mA / (MHz \times V)) \times V_{CC} \times f$  (通常動作時) $I_{CCmax} = 15 (mA) + 0.20 (mA / (MHz \times V)) \times V_{CC} \times f$  (スリープ時)*5 電源投入時、 $\overline{RES}$  端子が Low レベルになっている条件で適用します。

## 26. 電気的特性

表 26.17 出力許容電流値

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V^*$

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	typ	max	単位	
出力 Low レベル許容電流 (1 端子あたり)	SCL0、SCL1、SDA0、SDA1	-	-	8.0	mA	
	上記以外の出力端子			2.0	mA	
出力 Low レベル許容電流 (総和)	全出力端子の総和	-	-	80	mA	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	- $I_{OH}$	-	-	2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	- $I_{OH}$	-	-	40	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 26.17 の値を超えないようにしてください。

- * A/D および D/A 変換器未使用時に  $AV_{cc}$ 、 $V_{ref}$ 、 $AV_{ss}$  端子を開放しないでください。  
 $AV_{cc}$ 、 $V_{ref}$  端子は  $V_{cc}$  に、 $AV_{ss}$  端子は  $V_{ss}$  にそれぞれ接続してください。

### 26.2.3 AC 特性

クロックタイミング、制御信号タイミング、バスタイミング、DMAC、EXDMAC タイミングおよび内蔵周辺機能タイミングを以下に示します。AC 特性測定条件は図 26.1 を参照してください。

#### (1) クロックタイミング

表 26.18 クロックタイミング

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$

$f = 8 \sim 35MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
クロックサイクル時間	$t_{cyc}$	28.5	125	ns	図 26.2
クロックハイレベルパルス幅	$t_{CH}$	9	-	ns	図 26.2
クロックローレベルパルス幅	$t_{CL}$	9	-	ns	
クロック立ち上がり時間	$t_{Cr}$	-	5	ns	
クロック立ち下がり時間	$t_{Cf}$	-	5	ns	
リセット発振安定時間 (水晶)	$t_{OSC1}$	10	-	ms	図 26.4(1)
ソフトウェアスタンバイ発振安定時間 (水晶)	$t_{OSC2}$	10	-	ms	図 26.4(2)
外部クロック出力遅延安定時間	$t_{DEXT}$	1	-	ms	図 26.4(1)

## (2) 制御信号タイミング

表 26.19 制御信号タイミング

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$ = 8 ~ 35MHz、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
RES セットアップ時間	$t_{RESS}$	200	-	ns	図 26.5
RES パルス幅	$t_{RESW}$	20	-	$t_{cyc}$	
NMI セットアップ時間	$t_{NMIS}$	150	-	ns	図 26.6
NMI ホールド時間	$t_{NMIH}$	10	-		
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{NMIW}$	200	-		
IRQ セットアップ時間	$t_{IQS}$	150	-	ns	
IRQ ホールド時間	$t_{IQH}$	10	-		
IRQ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{IQW}$	200	-		

## (3) バスタイミング

表 26.20 バスタイミング (1)

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$ = 8 ~ 35MHz、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
アドレス遅延時間	$t_{AD}$	-	20	ns	図 26.7
アドレスセットアップ時間 1	$t_{AS1}$	$0.5 \times t_{cyc} - 13$	-	ns	~
アドレスセットアップ時間 2	$t_{AS2}$	$1.0 \times t_{cyc} - 13$	-	ns	図 26.20、 図 26.25
アドレスセットアップ時間 3	$t_{AS3}$	$1.5 \times t_{cyc} - 13$	-	ns	
アドレスセットアップ時間 4	$t_{AS4}$	$2.0 \times t_{cyc} - 13$	-	ns	
アドレスホールド時間 1	$t_{AH1}$	$0.5 \times t_{cyc} - 8$	-	ns	
アドレスホールド時間 2	$t_{AH2}$	$1.0 \times t_{cyc} - 8$	-	ns	
アドレスホールド時間 3	$t_{AH3}$	$1.5 \times t_{cyc} - 8$	-	ns	
CS 遅延時間 1	$t_{CSD1}$	-	15	ns	
CS 遅延時間 2	$t_{CSD2}$	-	15	ns	
CS 遅延時間 3	$t_{CSD3}$	-	20	ns	
AS 遅延時間	$t_{ASD}$	-	15	ns	
RD 遅延時間 1	$t_{RSD1}$	-	15	ns	
RD 遅延時間 2	$t_{RSD2}$	-	15	ns	
リードデータセットアップ時間 1	$t_{RDS1}$	15	-	ns	
リードデータセットアップ時間 2	$t_{RDS2}$	15	-	ns	

## 26. 電気的特性

項目	記号	min	max	単位	測定条件
リードデータホールド時間 1	$t_{RDH1}$	0	-	ns	図 26.7 ~ 図 26.20、 図 26.25
リードデータホールド時間 2	$t_{RDH2}$	0	-	ns	
リードデータアクセス時間 1	$t_{AC1}$	-	$1.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 2	$t_{AC2}$	-	$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 3	$t_{AC3}$	-	$2.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 4	$t_{AC4}$	-	$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	$t_{AC5}$	-	$1.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 6	$t_{AC6}$	-	$2.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 7	$t_{AC7}$	-	$4.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 8	$t_{AC8}$	-	$3.0 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 1	$t_{AA1}$	-	$1.0 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 2	$t_{AA2}$	-	$1.5 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 3	$t_{AA3}$	-	$2.0 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 4	$t_{AA4}$	-	$2.5 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 5	$t_{AA5}$	-	$3.0 \times t_{cyc} - 25$	ns	

表 26.21 バスタイミング (2)

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$

= 8 ~ 35MHz、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
WR 遅延時間 1	$t_{WRD1}$	-	15	ns	図 26.7 ~ 図 26.20、 図 26.25
WR 遅延時間 2	$t_{WRD2}$	-	15	ns	
WR パルス幅 1	$t_{WSW1}$	$1.0 \times t_{cyc} - 13$	-	ns	
WR パルス幅 2	$t_{WSW2}$	$1.5 \times t_{cyc} - 13$	-	ns	
ライトデータ遅延時間	$t_{WDD}$	-	23	ns	
ライトデータセットアップ時間 1	$t_{WDS1}$	$0.5 \times t_{cyc} - 15$	-	ns	
ライトデータセットアップ時間 2	$t_{WDS2}$	$1.0 \times t_{cyc} - 15$	-	ns	
ライトデータセットアップ時間 3	$t_{WDS3}$	$1.5 \times t_{cyc} - 15$	-	ns	
ライトデータホールド時間 1	$t_{WDH1}$	$0.5 \times t_{cyc} - 13$	-	ns	
ライトデータホールド時間 2	$t_{WDH2}$	$1.0 \times t_{cyc} - 13$	-	ns	
ライトデータホールド時間 3	$t_{WDH3}$	$1.5 \times t_{cyc} - 13$	-	ns	
ライトコマンドセットアップ時間 1	$t_{WCS1}$	$0.5 \times t_{cyc} - 10$	-	ns	
ライトコマンドセットアップ時間 2	$t_{WCS2}$	$1.0 \times t_{cyc} - 10$	-	ns	
ライトコマンドホールド時間 1	$t_{WCH1}$	$0.5 \times t_{cyc} - 10$	-	ns	
ライトコマンドホールド時間 2	$t_{WCH2}$	$1.0 \times t_{cyc} - 10$	-	ns	
リードコマンドセットアップ時間 1	$t_{RCS1}$	$1.5 \times t_{cyc} - 10$	-	ns	
リードコマンドセットアップ時間 2	$t_{RCS2}$	$2.0 \times t_{cyc} - 10$	-	ns	

項目	記号	min	max	単位	測定条件
リードコマンドホールド時間	$t_{RCH}$	$0.5 \times t_{cyc} - 10$	-	ns	図 26.7
$\overline{CAS}$ 遅延時間 1	$t_{CASD1}$	-	15	ns	~
$\overline{CAS}$ 遅延時間 2	$t_{CASD2}$	-	15	ns	図 26.20、
$\overline{CAS}$ セットアップ時間 1	$t_{CSR1}$	$0.5 \times t_{cyc} - 10$	-	ns	図 26.25
$\overline{CAS}$ セットアップ時間 2	$t_{CSR2}$	$1.5 \times t_{cyc} - 10$	-	ns	
$\overline{CAS}$ パルス幅 1	$t_{CASW1}$	$1.0 \times t_{cyc} - 20$	-	ns	
$\overline{CAS}$ パルス幅 2	$t_{CASW2}$	$1.5 \times t_{cyc} - 20$	-	ns	
$\overline{CAS}$ プリチャージ時間 1	$t_{CPW1}$	$1.0 \times t_{cyc} - 20$	-	ns	
$\overline{CAS}$ プリチャージ時間 2	$t_{CPW2}$	$1.5 \times t_{cyc} - 20$	-	ns	
$\overline{OE}$ 遅延時間 1	$t_{OED1}$	-	15	ns	
$\overline{OE}$ 遅延時間 2	$t_{OED2}$	-	15	ns	
プリチャージ時間 1	$t_{PCH1}$	$1.0 \times t_{cyc} - 20$	-	ns	
プリチャージ時間 2	$t_{PCH2}$	$1.5 \times t_{cyc} - 20$	-	ns	
セルフリフレッシュ時プリチャージ時間 1	$t_{RPS1}$	$2.5 \times t_{cyc} - 20$	-	ns	図 26.21
セルフリフレッシュ時プリチャージ時間 2	$t_{RPS2}$	$3.0 \times t_{cyc} - 20$	-	ns	図 26.22
$\overline{WAIT}$ セットアップ時間	$t_{WTS}$	25	-	ns	図 26.9
$\overline{WAIT}$ ホールド時間	$t_{WTH}$	5	-	ns	図 26.15
$\overline{BREQ}$ セットアップ時間	$t_{BREQS}$	30	-	ns	図 26.23
$\overline{BACK}$ 遅延時間	$t_{BACD}$	-	15	ns	
バスフローティング時間	$t_{BZD}$	-	40	ns	
$\overline{BREQO}$ 遅延時間	$t_{BROOD}$	-	25	ns	図 26.24

## 26. 電気的特性

### (4) DMAC、EXDMAC タイミング

表 26.22 DMAC、EXDMAC タイミング

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$

= 8 ~ 35MHz、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
DREQ セットアップ時間	$t_{DROS}$	25	-	ns	図 26.31
DREQ ホールド時間	$t_{DRQH}$	10	-		
TEND 遅延時間	$t_{TED}$	-	18	ns	図 26.30
DACK 遅延時間 1	$t_{DACD1}$	-	18		図 26.28
DACK 遅延時間 2	$t_{DACD2}$	-	18		図 26.29
EDREQ セットアップ時間	$t_{EDROS}$	25	-	ns	図 26.31
EDREQ ホールド時間	$t_{EDRQH}$	10	-		
ETEND 遅延時間	$t_{ETED}$	-	18	ns	図 26.30
EDACK 遅延時間 1	$t_{EDACD1}$	-	18		図 26.28
EDACK 遅延時間 2	$t_{EDACD2}$	-	18		図 26.29
EDRAK 遅延時間	$t_{EDRKD}$	-	18	ns	図 26.32

### (5) 内蔵周辺モジュールタイミング

表 26.23 内蔵周辺モジュールタイミング

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$

= 8 ~ 35MHz、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	max	単位	測定条件
I/O ポート	出力データ遅延時間	$t_{PWD}$	-	40	ns	図 26.33
	入力データセットアップ時間	$t_{PRS}$	25	-	ns	
	入力データホールド時間	$t_{PRH}$	25	-	ns	
PPG	パルス出力遅延時間	$t_{POD}$	-	40	ns	図 26.34
TPU	タイマ出力遅延時間	$t_{TOCD}$	-	40	ns	図 26.35
	タイマ入力セットアップ時間	$t_{TICS}$	25	-	ns	
	タイマクロック入力セットアップ時間	$t_{TCKS}$	25	-	ns	図 26.36
	タイマクロックパルス幅	単エッジ指定	$t_{TCKWH}$	1.5	-	
両エッジ指定		$t_{TCKWL}$	2.5	-	$t_{cyc}$	

項目		記号	min	max	単位	測定条件	
8ビット タイマ	タイマ出力遅延時間	$t_{MOD}$	-	40	ns	図 26.37	
	タイマリセット入力セットアップ時間	$t_{MRS}$	25	-	ns	図 26.39	
	タイマクロック入力セットアップ時間	$t_{MCS}$	25	-	ns	図 26.38	
	タイマクロックパルス幅	単エッジ指定	$t_{MCWH}$	1.5	-		$t_{cyc}$
両エッジ指定		$t_{MCWL}$	2.5	-	$t_{cyc}$		
WDT	オーバフロー出力遅延時間	$t_{WOVD}$	-	40	ns	図 26.40	
SCI	入力クロックサイクル	調歩同期	$t_{cyc}$	4	-	$t_{cyc}$	図 26.41
		クロック同期		6	-		
	入力クロックパルス幅	$t_{SCKW}$	0.4	0.6	$t_{cyc}$		
	入力クロック立ち上がり時間	$t_{SCKr}$	-	1.5	$t_{cyc}$		
	入力クロック立ち下がり時間	$t_{SCKf}$	-	1.5			
	送信データ遅延時間	$t_{TXD}$	-	40	ns	図 26.42	
	受信データセットアップ時間 (クロック同期)	$t_{RXS}$	40	-	ns		
受信データホールド時間 (クロック同期)	$t_{RXH}$	40	-	ns			
A/D 変換器	トリガ入力セットアップ時間	$t_{TRGS}$	30	-	ns	図 26.43	
IIC2	SCL 入力サイクル時間	$t_{SCL}$	$12t_{cyc} + 600$		ns	図 26.44	
	SCL 入力 High パルス幅	$t_{SCLH}$	$3t_{cyc} + 300$		ns		
	SCL 入力 Low パルス幅	$t_{SCLL}$	$5t_{cyc} + 300$		ns		
	SCL、SDA 入力立ち下がり時間	$t_{SI}$		300	ns		
	SCL、SDA 入力 スパイクパルス除去時間	$t_{SP}$		$1t_{cyc}$	ns		
	SDA 入力バスフリー時間	$t_{BUF}$	$5t_{cyc}$		ns		
	開始条件入力ホールド時間	$t_{STAH}$	$3t_{cyc}$		ns		
	再送開始条件入力 セットアップ時間	$t_{STAS}$	$3t_{cyc}$		ns		
	停止条件入力 セットアップ時間	$t_{STOS}$	$1t_{cyc} + 20$		ns		
	データ入力セットアップ時間	$t_{SDAS}$	0		ns		
	データ入力ホールド時間	$t_{SDAH}$	0		ns		
	SCL、SDA の容量性負荷	$C_b$		400	pF		
	SCL、SDA 立ち下がり時間	$t_{SI}$		300	ns		

## 26. 電気的特性

### 26.2.4 A/D 変換特性

表 26.24 A/D 変換特性

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$

= 8 ~ 35MHz、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	min	typ	max	単位
分解能	10	10	10	ビット
変換時間	7.4	-	-	$\mu s$
アナログ入力容量	-	-	20	pF
許容信号源インピーダンス	-	-	5	k
非直線性誤差	-	-	$\pm 5.5$	LSB
オフセット誤差	-	-	$\pm 5.5$	LSB
フルスケール誤差	-	-	$\pm 5.5$	LSB
量子化誤差	-	-	$\pm 0.5$	LSB
絶対精度	-	-	$\pm 6.0$	LSB

### 26.2.5 D/A 変換特性

表 26.25 D/A 変換特性

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$

= 8 ~ 35MHz、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	min	typ	max	単位	測定条件
分解能	8	8	8	ビット	
変換時間	-	-	10	$\mu s$	負荷容量 20pF
絶対精度	-	$\pm 2.0$	$\pm 3.0$	LSB	負荷抵抗 2M
	-	-	$\pm 2.0$	LSB	負荷抵抗 4M

## 26.2.6 フラッシュメモリ特性

表 26.26 フラッシュメモリ特性 (0.18  $\mu$ m F-ZTAT 版)条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$  $T_a = 0 \sim 75$  (書き込み / 消去時の動作温度範囲 : 通常仕様品) $T_a = 0 \sim 85$  (書き込み / 消去時の動作温度範囲 : 広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件
書き込み時間 ^{*1,*2,*4}	$t_p$	-	1	10	ms/128 バイト	
消去時間 ^{*1,*2,*4}	$t_E$	-	250	1500	ms/4K バイトブロック	
		-	500	4000	ms/32K バイトブロック	
		-	750	6500	ms/64K バイトブロック	
書き込み時間 (総和) ^{*1,*2,*4}	$t_p$	-	4	12	s/512K バイト	$T_a = 25$
消去時間 (総和) ^{*1,*2,*4}	$t_E$	-	7	20	s/512K バイト	$T_a = 25$
書き込み、消去時間 (総和) ^{*1,*2,*4}	$t_{PE}$	-	11	32	s/512K バイト	$T_a = 25$
書き換え回数	$N_{WEC}$	100 ^{*3}	-	-	回	
データ保持時間 ^{*4}	$t_{DRP}$	10	-	-	年	

【注】 *1 書き込み消去時間はデータに依存します。

*2 書き込み消去時間にはデータの転送時間は含みません。

*3 書き換え後のすべての特性を保証する min 回数です。(保証は 1 ~ min 値の範囲です。)

*4 書き換えが min 値を含む使用範囲内で行われたときの特性です。

## 26. 電気的特性

### 26.3 H8S/2374、H8S/2372、H8S/2371、H8S/2370、H8S/2378R、 H8S/2374R、H8S/2372R、H8S/2371R、H8S/2370R の電気的特性

#### 26.3.1 絶対最大定格

絶対最大定格を表 26.27 に示します。

表 26.27 絶対最大定格

項目	記号	定格値	単位
電源電圧	V _{cc} PLL _{Vcc}	- 0.3 ~ + 4.3	V
入力電圧 (ポート 4、9 以外)	V _{in}	- 0.3 ~ V _{cc} + 0.3	V
入力電圧 (ポート 4、9)	V _{in}	- 0.3 ~ AV _{cc} + 0.3	V
リファレンス電源電圧	V _{ref}	- 0.3 ~ AV _{cc} + 0.3	V
アナログ電源電圧	AV _{cc}	- 0.3 ~ + 4.0	V
アナログ入力電圧	V _{AN}	- 0.3 ~ AV _{cc} + 0.3	V
動作温度	T _{opr}	通常仕様品 : - 20 ~ + 75* 広温度範囲仕様品 : - 40 ~ + 85*	
保存温度	T _{stg}	- 55 ~ + 125	

#### 【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI 永久破壊となることがあります。

- 【注】 * フラッシュメモリの書き込み / 消去時の動作温度範囲は、  
Ta = 0 ~ +75 (一般仕様)  
Ta = 0 ~ +85 (広温度範囲仕様)  
です。

## 26.3.2 DC 特性

表 26.28 DC 特性 (1)

条件 :  $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V^{*1}$  $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力 電圧	ポート 1、ポート 2、 P50 ~ P53 ^{*2} 、	$VT^-$	$V_{CC} \times 0.2$	-	-	V	
		$VT^+$	-	-	$V_{CC} \times 0.7$	V	
	ポート 6 ^{*2} 、ポート 8 ^{*2} 、PA4 ~ PA7 ^{*2} 、PF1 ^{*2} 、PF2 ^{*2} 、 PH2 ^{*2} 、PH3 ^{*2}	$VT^+ - VT^-$	$V_{CC} \times 0.07$	-	-	V	
入力 High レベル電圧	$\overline{STBY}$ 、MD2 ~ MD0	$V_{IH}$	$V_{CC} \times 0.9$	-	$V_{CC} + 0.3$	V	
	RES、NMI、EMLE						
	EXTAL		$V_{CC} \times 0.7$	-	$V_{CC} + 0.3$	V	
	ポート 3、P50 ~ P53 ^{*3} ポート 6 ^{*3} 、ポート 8 ^{*3} 、 ポート A ~ H ^{*3}		2.2	-	$V_{CC} + 0.3$	V	
	ポート 4、ポート 9		2.2	-	$AV_{CC} + 0.3$	V	
入力 Low レベル電圧	RES、 $\overline{STBY}$ MD2 ~ MD0、EMLE	$V_{IL}$	- 0.3	-	$V_{CC} \times 0.1$	V	
	NMI、EXTAL		- 0.3	-	$V_{CC} \times 0.2$	V	
	ポート 3 ~ 6 ^{*3} 、ポート 8 ^{*3} 、 ポート A ~ H ^{*3} 、ポート 9		- 0.3	-	$V_{CC} \times 0.2$	V	
出力 High レベル電圧	全出力端子	$V_{OH}$	$V_{CC} - 0.5$	-	-	V	$I_{OH} = -200 \mu A$
			$V_{CC} - 1.0$	-	-	V	$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子 P32 ~ P35 ^{*4}	$V_{OL}$	-	-	0.4	V	$I_{OL} = 1.6mA$
			-	-	0.5	V	$I_{OL} = 8.0mA$
入力リーク 電流	RES	$ I_{in} $	-	-	10.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC}$ - 0.5 V
	$\overline{STBY}$ 、NMI、 MD2 ~ MD0		-	-	1.0	$\mu A$	
	ポート 4、ポート 9		-	-	1.0	$\mu A$	

【注】 *1 A/D および D/A 変換器未使用時に  $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。 $AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に、 $AV_{SS}$  端子は  $V_{SS}$  にそれぞれ接続してください。*2  $\overline{IRQ0} \sim \overline{IRQ15}$  として使用した場合です。*3  $\overline{IRQ0} \sim \overline{IRQ15}$  以外として使用した場合です。

*4 SCL0、SCL1、SDA0、SDA1 として使用した場合です。

## 26. 電気的特性

表 26.29 DC 特性 (2)

条件 :  $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V^{*1}$

$T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件
スリープ状態 リーク電流 (オフ状態)	ポート 1~3、 P50~P53 ポート 6、ポート 8、 ポート A~H	$ I_{TSI} $	-	-	1.0	$\mu A$	$V_{in} = 0.5 \sim V_{CC}$ - 0.5V
入力プルアップ MOS 電流	ポート A~E	$-I_p$	10	-	300	$\mu A$	$V_{CC} = 3.0 \sim 3.6V$ $V_{in} = 0V$
入力容量	$\overline{RES}$	$C_{in}$	-	-	30	pF	$V_{in} = 0V$ $f = 1MHz$ $T_a = 25$
	NMI		-	-	30	pF	
	$\overline{RES}$ 、NMI 以外の全入力 端子		-	-	15	pF	
消費電流 ^{*2}	通常動作時	$I_{CC}^{*4}$	-	40 (3.3V)	60	mA	$f = 34MHz$
	スリープ時		-	20 (3.3V)	40	mA	$f = 34MHz$
	スタンバイ時 ^{*3}		-	5	20	$\mu A$	$T_a = 50$
			-	-	80	$\mu A$	$50 < T_a$
アナログ 電源電流	A/D、D/A 変換中	$AI_{CC}$	-	0.5 (3.0V)	2.0	mA	
	A/D、D/A 変換待機時		-	0.01	5.0	$\mu A$	
リファレンス 電源電流	A/D、D/A 変換中	$AI_{CC}$	-	3.0 (3.0V)	6.0	mA	
	A/D、D/A 変換待機時		-	0.01	5.0	$\mu A$	
RAM スタンバイ電圧		$V_{RAM}$	2.5	-	-	V	
$V_{CC}$ 開始電圧 ^{*5}		$V_{CC\ start}$	-	-	0.8	V	
$V_{CC}$ 立ち上がり勾配 ^{*5}		$SV_{CC}$	-	-	20	ms/V	

【注】 *1 A/D および D/A 変換器未使用時に  $AV_{CC}$ 、 $V_{ref}$ 、 $AV_{SS}$  端子を開放しないでください。

$AV_{CC}$ 、 $V_{ref}$  端子は  $V_{CC}$  に、 $AV_{SS}$  端子は  $V_{SS}$  にそれぞれ接続してください。

*2 消費電流値は、 $V_{IHmin} = V_{CC} - 0.2V$ 、 $V_{ILmax} = 0.2V$  の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 VRAM  $V_{CC} < 3.0V$  のとき、 $V_{IHmin} = V_{CC} \times 0.9$ 、 $V_{ILmax} = 0.3V$  とした場合の値です。

*4  $I_{CC}$  は下記の式に従って  $V_{CC}$  と  $f$  に依存します。

$I_{CCmax} = 15 (mA) + 0.37 (mA / (MHz \times V)) \times V_{CC} \times f$  (通常動作時)

$I_{CCmax} = 15 (mA) + 0.20 (mA / (MHz \times V)) \times V_{CC} \times f$  (スリープ時)

*5 電源投入時、 $\overline{RES}$  端子が Low レベルになっている条件で適用します。

表 26.30 出力許容電流値

条件：Vcc = 3.0 ~ 3.6V、AVcc = 3.0 ~ 3.6V、Vref = 3.0V ~ AVcc、Vss = AVss = 0V*

Ta = -20 ~ +75 (通常仕様品)、Ta = -40 ~ +85 (広温度範囲仕様品)

項目	記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	SCL0、SCL1、SDA0、SDA1	-	-	8.0	mA
	上記以外の出力端子	-	-	2.0	mA
出力 Low レベル許容電流 (総和)	全出力端子の総和	-	-	80	mA
出力 High レベル許容電流 (1 端子あたり)	全出力端子	- I _{OH}	-	2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	- I _{OH}	-	40	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 26.30 の値を超えないようにしてください。

- * A/D および D/A 変換器未使用時に AVcc、Vref、AVss 端子を開放しないでください。  
AVcc、Vref 端子は Vcc に、AVss 端子は Vss にそれぞれ接続してください。

### 26.3.3 AC 特性

クロックタイミング、制御信号タイミング、バスタイミング、DMAC、EXDMAC タイミングおよび内蔵周辺機能タイミングを以下に示します。AC 特性測定条件は図 26.1 を参照してください。

#### (1) クロックタイミング

表 26.31 クロックタイミング

条件：Vcc = 3.0 ~ 3.6V、AVcc = 3.0 ~ 3.6V、Vref = 3.0V ~ AVcc、Vss = AVss = 0V

= 8 ~ 34MHz、Ta = -20 ~ +75 (通常仕様品)、Ta = -40 ~ +85 (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
クロックサイクル時間	t _{cyc}	29.4	125	ns	図 26.2
クロックハイレベルパルス幅	t _{CH}	9	-	ns	図 26.2
クロックローレベルパルス幅	t _{CL}	9	-	ns	
クロック立ち上がり時間	t _{cr}	-	5	ns	
クロック立ち下がり時間	t _{cf}	-	5	ns	
リセット発振安定時間 (水晶)	t _{OSC1}	10	-	ms	図 26.4(1)
ソフトウェアスタンバイ発振安定時間 (水晶)	t _{OSC2}	10	-	ms	図 26.4(2)
外部クロック出力遅延安定時間	t _{DEXT}	1	-	ms	図 26.4(1)
クロック位相差*	t _{cdif}	1/4 × t _{cyc} -3	1/4 × t _{cyc} +3	ns	図 26.3
クロックハイレベルパルス幅 (SDRAM )*	t _{SDCH}	9	-	ns	図 26.3
クロックローレベルパルス幅 (SDRAM )*	t _{SDCL}	9	-	ns	図 26.3
クロック立ち上がり時間 (SDRAM )*	t _{sdcr}	-	5	ns	図 26.3

## 26. 電気的特性

項目	記号	min	max	単位	測定条件
クロック立ち下がり時間 (SDRAM ) *	$t_{sdcl}$	-	5	ns	図 26.3

【注】 * H8S/2378R、H8S/2374R、H8S/2372R、H8S/2371R、H8S/2370R のみ対応しています。

### (2) 制御信号タイミング

表 26.32 制御信号タイミング

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$

= 8 ~ 34MHz、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
RES セットアップ時間	$t_{RESS}$	200	-	ns	図 26.5
RES パルス幅	$t_{RESW}$	20	-	$t_{cyc}$	
NMI セットアップ時間	$t_{NMIS}$	150	-	ns	図 26.6
NMI ホールド時間	$t_{NMIH}$	10	-		
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{NMIW}$	200	-		
IRQ セットアップ時間	$t_{IRQS}$	150	-	ns	
IRQ ホールド時間	$t_{IRQH}$	10	-		
IRQ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	$t_{IRQW}$	200	-		

### (3) バスタイミング

表 26.33 バスタイミング (1)

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$

= 8 ~ 34MHz、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
アドレス遅延時間	$t_{AD}$	-	20	ns	図 26.7
アドレスセットアップ時間 1	$t_{AS1}$	$0.5 \times t_{cyc} - 13$	-	ns	
アドレスセットアップ時間 2	$t_{AS2}$	$1.0 \times t_{cyc} - 13$	-	ns	図 26.20、 図 26.25
アドレスセットアップ時間 3	$t_{AS3}$	$1.5 \times t_{cyc} - 13$	-	ns	
アドレスセットアップ時間 4	$t_{AS4}$	$2.0 \times t_{cyc} - 13$	-	ns	
アドレスホールド時間 1	$t_{AH1}$	$0.5 \times t_{cyc} - 8$	-	ns	
アドレスホールド時間 2	$t_{AH2}$	$1.0 \times t_{cyc} - 8$	-	ns	
アドレスホールド時間 3	$t_{AH3}$	$1.5 \times t_{cyc} - 8$	-	ns	
CS 遅延時間 1	$t_{CSD1}$	-	15	ns	
CS 遅延時間 2	$t_{CSD2}$	-	15	ns	
CS 遅延時間 3	$t_{CSD3}$	-	20	ns	

項目	記号	min	max	単位	測定条件
AS 遅延時間	$t_{ASD}$	-	15	ns	図 26.7 ~ 図 26.20、 図 26.25
RD 遅延時間 1	$t_{RSD1}$	-	15	ns	
RD 遅延時間 2	$t_{RSD2}$	-	15	ns	
リードデータセットアップ時間 1	$t_{RDS1}$	15	-	ns	
リードデータセットアップ時間 2	$t_{RDS2}$	15	-	ns	
リードデータホールド時間 1	$t_{RDH1}$	0	-	ns	
リードデータホールド時間 2	$t_{RDH2}$	0	-	ns	
リードデータアクセス時間 1	$t_{AC1}$	-	$1.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 2	$t_{AC2}$	-	$1.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 3	$t_{AC3}$	-	$2.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 4	$t_{AC4}$	-	$2.5 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 5	$t_{AC5}$	-	$1.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 6	$t_{AC6}$	-	$2.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 7	$t_{AC7}$	-	$4.0 \times t_{cyc} - 25$	ns	
リードデータアクセス時間 8	$t_{AC8}$	-	$3.0 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 1	$t_{AA1}$	-	$1.0 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 2	$t_{AA2}$	-	$1.5 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 3	$t_{AA3}$	-	$2.0 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 4	$t_{AA4}$	-	$2.5 \times t_{cyc} - 25$	ns	
対アドレスリードデータアクセス時間 5	$t_{AA5}$	-	$3.0 \times t_{cyc} - 25$	ns	

表 26.34 バスタイミング (2)

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$

$= 8 \sim 34MHz$ 、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
WR 遅延時間 1	$t_{WRD1}$	-	15	ns	図 26.7 ~ 図 26.20、 図 26.25
WR 遅延時間 2	$t_{WRD2}$	-	15	ns	
WR パルス幅 1	$t_{WSW1}$	$1.0 \times t_{cyc} - 13$	-	ns	
WR パルス幅 2	$t_{WSW2}$	$1.5 \times t_{cyc} - 13$	-	ns	
ライトデータ遅延時間	$t_{WDD}$	-	23	ns	
ライトデータセットアップ時間 1	$t_{WDS1}$	$0.5 \times t_{cyc} - 15$	-	ns	
ライトデータセットアップ時間 2	$t_{WDS2}$	$1.0 \times t_{cyc} - 15$	-	ns	
ライトデータセットアップ時間 3	$t_{WDS3}$	$1.5 \times t_{cyc} - 15$	-	ns	
ライトデータホールド時間 1	$t_{WDH1}$	$0.5 \times t_{cyc} - 13$	-	ns	
ライトデータホールド時間 2	$t_{WDH2}$	$1.0 \times t_{cyc} - 13$	-	ns	
ライトデータホールド時間 3	$t_{WDH3}$	$1.5 \times t_{cyc} - 13$	-	ns	

## 26. 電気的特性

項目	記号	min	max	単位	測定条件
ライトコマンドセットアップ時間 1	$t_{WCS1}$	$0.5 \times t_{cye} - 10$	-	ns	図 26.7
ライトコマンドセットアップ時間 2	$t_{WCS2}$	$1.0 \times t_{cye} - 10$	-	ns	~
ライトコマンドホールド時間 1	$t_{WCH1}$	$0.5 \times t_{cye} - 10$	-	ns	図 26.20、
ライトコマンドホールド時間 2	$t_{WCH2}$	$1.0 \times t_{cye} - 10$	-	ns	図 26.25
リードコマンドセットアップ時間 1	$t_{RCS1}$	$1.5 \times t_{cye} - 10$	-	ns	
リードコマンドセットアップ時間 2	$t_{RCS2}$	$2.0 \times t_{cye} - 10$	-	ns	
リードコマンドホールド時間	$t_{RCH}$	$0.5 \times t_{cye} - 10$	-	ns	
CAS 遅延時間 1	$t_{CASD1}$	-	15	ns	
CAS 遅延時間 2	$t_{CASD2}$	-	15	ns	
CAS セットアップ時間 1	$t_{CSR1}$	$0.5 \times t_{cye} - 10$	-	ns	
CAS セットアップ時間 2	$t_{CSR2}$	$1.5 \times t_{cye} - 10$	-	ns	
CAS パルス幅 1	$t_{CASW1}$	$1.0 \times t_{cye} - 20$	-	ns	
CAS パルス幅 2	$t_{CASW2}$	$1.5 \times t_{cye} - 20$	-	ns	
CAS プリチャージ時間 1	$t_{CPW1}$	$1.0 \times t_{cye} - 20$	-	ns	
CAS プリチャージ時間 2	$t_{CPW2}$	$1.5 \times t_{cye} - 20$	-	ns	
OE 遅延時間 1	$t_{OED1}$	-	15	ns	
OE 遅延時間 2	$t_{OED2}$	-	15	ns	
プリチャージ時間 1	$t_{PCH1}$	$1.0 \times t_{cye} - 20$	-	ns	
プリチャージ時間 2	$t_{PCH2}$	$1.5 \times t_{cye} - 20$	-	ns	
セルフリフレッシュ時プリチャージ時間 1	$t_{RPS1}$	$2.5 \times t_{cye} - 20$	-	ns	図 26.21
セルフリフレッシュ時プリチャージ時間 2	$t_{RPS2}$	$3.0 \times t_{cye} - 20$	-	ns	図 26.22
WAIT セットアップ時間	$t_{WTS}$	25	-	ns	図 26.9
WAIT ホールド時間	$t_{WTH}$	5	-	ns	図 26.15
BREQ セットアップ時間	$t_{BREQS}$	30	-	ns	図 26.23
BACK 遅延時間	$t_{BACD}$	-	15	ns	
バスフローティング時間	$t_{BZD}$	-	40	ns	
BREQO 遅延時間	$t_{BRQOD}$	-	25	ns	図 26.24
アドレス遅延時間 2*	$t_{AD2}$	-	16.5	ns	図 26.25
CS 遅延時間 4*	$t_{CSD4}$	-	16.5	ns	図 26.25
DQM 遅延時間*	$t_{DOMD}$	-	16.5	ns	図 26.25
CKE 遅延時間*	$t_{CKED}$	-	16.5	ns	図 26.26、 図 26.27
リードデータセットアップ時間 3*	$t_{RDS3}$	15	-	ns	図 26.25
リードデータホールド時間 3*	$t_{RDH3}$	0	-	ns	図 26.25
ライトデータ遅延時間 2*	$t_{WDD2}$	-	31.5	ns	図 26.25
ライトデータホールド時間 4*	$t_{WDH4}$	2	-	ns	図 26.25

【注】 * H8S/2378R、H8S/2374R、H8S/2372R、H8S/2371R、H8S/2370R のみ対応しています。

## (4) DMAC、EXDMAC タイミング

表 26.35 DMAC、EXDMAC タイミング

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$ = 8 ~ 34MHz、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
DREQ セットアップ時間	$t_{DRQS}$	25	-	ns	図 26.31
DREQ ホールド時間	$t_{DRQH}$	10	-		
TEND 遅延時間	$t_{TED}$	-	18	ns	図 26.30
DACK 遅延時間 1	$t_{DACD1}$	-	18		
DACK 遅延時間 2	$t_{DACD2}$	-	18		
EDREQ セットアップ時間	$t_{EDRQS}$	25	-	ns	図 26.31
EDREQ ホールド時間	$t_{EDRQH}$	10	-		
ETEND 遅延時間	$t_{ETED}$	-	18	ns	図 26.30
EDACK 遅延時間 1	$t_{EDACD1}$	-	18		
EDACK 遅延時間 2	$t_{EDACD2}$	-	18		
EDRAK 遅延時間	$t_{EDRKD}$	-	18	ns	図 26.32

## (5) 内蔵周辺モジュールタイミング

表 26.36 内蔵周辺モジュールタイミング

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$ = 8 ~ 34MHz、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目		記号	min	max	単位	測定条件
I/O ポート	出力データ遅延時間	$t_{PWD}$	-	40	ns	図 26.33
	入力データセットアップ時間	$t_{PRS}$	25	-	ns	
	入力データホールド時間	$t_{PRH}$	25	-	ns	
PPG	パルス出力遅延時間	$t_{POD}$	-	40	ns	図 26.34
TPU	タイマ出力遅延時間	$t_{TOCD}$	-	40	ns	図 26.35
	タイマ入力セットアップ時間	$t_{TICS}$	25	-	ns	
	タイマクロック入力セットアップ時間	$t_{TCKS}$	25	-	ns	図 26.36
	タイマクロックパルス幅	単エッジ指定	$t_{TCKWH}$	1.5	-	
両エッジ指定		$t_{TCKWL}$	2.5	-	$t_{cyc}$	

## 26. 電気的特性

項目		記号	min	max	単位	測定条件	
8ビット タイマ	タイマ出力遅延時間	$t_{MOD}$	-	40	ns	図 26.37	
	タイマリセット入力セットアップ時間	$t_{MRS}$	25	-	ns	図 26.39	
	タイマクロック入力セットアップ時間	$t_{MCS}$	25	-	ns	図 26.38	
	タイマクロックパルス幅	単エッジ指定	$t_{MCWH}$	1.5	-		$t_{cyc}$
両エッジ指定		$t_{MCWL}$	2.5	-	$t_{cyc}$		
WDT	オーバフロー出力遅延時間	$t_{WOVD}$	-	40	ns	図 26.40	
SCI	入力クロックサイクル	調歩同期	$t_{cyc}$	4	-	$t_{cyc}$	図 26.41
		クロック同期		6	-		
	入力クロックパルス幅	$t_{SCKW}$	0.4	0.6	$t_{cyc}$		
	入力クロック立ち上がり時間	$t_{SCKr}$	-	1.5	$t_{cyc}$		
	入力クロック立ち下がり時間	$t_{SCKf}$	-	1.5			
	送信データ遅延時間	$t_{TXD}$	-	40	ns	図 26.42	
	受信データセットアップ時間 (クロック同期)	$t_{RXS}$	40	-	ns		
受信データホールド時間 (クロック同期)	$t_{RXH}$	40	-	ns			
A/D 変換器	トリガ入力セットアップ時間	$t_{TRGS}$	30	-	ns	図 26.43	
IIC2	SCL 入力サイクル時間	$t_{SCL}$	12 $t_{cyc}$ + 600		ns	図 26.44	
	SCL 入力 High パルス幅	$t_{SCLH}$	3 $t_{cyc}$ + 300		ns		
	SCL 入力 Low パルス幅	$t_{SCLL}$	5 $t_{cyc}$ + 300		ns		
	SCL、SDA 入力立ち下がり時間	$t_{SI}$		300	ns		
	SCL、SDA 入力 スパイクパルス除去時間	$t_{SP}$		1 $t_{cyc}$	ns		
	SDA 入力バスフリー時間	$t_{BUF}$	5 $t_{cyc}$		ns		
	開始条件入力ホールド時間	$t_{STAH}$	3 $t_{cyc}$		ns		
	再送開始条件入力 セットアップ時間	$t_{STAS}$	3 $t_{cyc}$		ns		
	停止条件入力 セットアップ時間	$t_{STOS}$	1 $t_{cyc}$ + 20		ns		
	データ入力セットアップ時間	$t_{SDAS}$	0		ns		
	データ入力ホールド時間	$t_{SDAH}$	0		ns		
	SCL、SDA の容量性負荷	$C_b$		400	pF		
	SCL、SDA 立ち下がり時間	$t_{SI}$		300	ns		

## 26.3.4 A/D 変換特性

表 26.37 A/D 変換特性

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$

= 8 ~ 34MHz、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	min	typ	max	単位
分解能	10	10	10	ビット
変換時間	7.6	-	-	$\mu s$
アナログ入力容量	-	-	20	pF
許容信号源インピーダンス	-	-	5	k
非直線性誤差	-	-	$\pm 5.5$	LSB
オフセット誤差	-	-	$\pm 5.5$	LSB
フルスケール誤差	-	-	$\pm 5.5$	LSB
量子化誤差	-	-	$\pm 0.5$	LSB
絶対精度	-	-	$\pm 6.0$	LSB

## 26.3.5 D/A 変換特性

表 26.38 D/A 変換特性

条件 :  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$

= 8 ~ 34MHz、 $T_a = -20 \sim +75$  (通常仕様品)、 $T_a = -40 \sim +85$  (広温度範囲仕様品)

項目	min	typ	max	単位	測定条件
分解能	8	8	8	ビット	
変換時間	-	-	10	$\mu s$	負荷容量 20pF
絶対精度	-	$\pm 2.0$	$\pm 3.0$	LSB	負荷抵抗 2M
	-	-	$\pm 2.0$	LSB	負荷抵抗 4M

## 26. 電氣的特性

### 26.3.6 フラッシュメモリ特性

表 26.39 フラッシュメモリ特性 (0.18  $\mu$ m F-ZTAT 版) (512K バイト)

条件:  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$

$T_a = 0 \sim 75$  (書き込み / 消去時の動作温度範囲: 通常仕様品)

$T_a = 0 \sim 85$  (書き込み / 消去時の動作温度範囲: 広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件
書き込み時間 ^{*1,*2,*4}	$t_p$	-	1	10	ms/128 バイト	
消去時間 ^{*1,*2,*4}	$t_E$	-	250	1500	ms/4K バイトブロック	
		-	500	4000	ms/32K バイトブロック	
		-	750	6500	ms/64K バイトブロック	
書き込み時間 (総和) ^{*1,*2,*4}	$t_p$	-	4	12	s/512K バイト	$T_a = 25$
消去時間 (総和) ^{*1,*2,*4}	$t_E$	-	7	20	s/512K バイト	$T_a = 25$
書き込み、消去時間 (総和) ^{*1,*2,*4}	$t_{PE}$	-	11	32	s/512K バイト	$T_a = 25$
書き換え回数	$N_{WEC}$	100 ^{*3}	-	-	回	
データ保持時間 ^{*4}	$t_{DRP}$	10	-	-	年	

【注】 *1 書き込み消去時間はデータに依存します。

*2 書き込み消去時間にはデータの転送時間は含みません。

*3 書き換え後のすべての特性を保証する min 回数です。(保証は 1 ~ min 値の範囲です。)

*4 書き換えが min 値を含む使用範囲内で行われたときの特性です。

表 26.40 フラッシュメモリ特性 (0.18  $\mu$ m F-ZTAT 版) (384K バイト)

条件:  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$

$T_a = 0 \sim 75$  (書き込み / 消去時の動作温度範囲: 通常仕様品)

$T_a = 0 \sim 85$  (書き込み / 消去時の動作温度範囲: 広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件
書き込み時間 ^{*1,*2,*4}	$t_p$	-	1	10	ms/128 バイト	
消去時間 ^{*1,*2,*4}	$t_E$	-	250	1500	ms/4K バイトブロック	
		-	500	4000	ms/32K バイトブロック	
		-	750	6500	ms/64K バイトブロック	
書き込み時間 (総和) ^{*1,*2,*4}	$t_p$	-	3	9	s/384K バイト	$T_a = 25$
消去時間 (総和) ^{*1,*2,*4}	$t_E$	-	7	20	s/384K バイト	$T_a = 25$
書き込み、消去時間 (総和) ^{*1,*2,*4}	$t_{PE}$	-	10	29	s/384K バイト	$T_a = 25$
書き換え回数	$N_{WEC}$	100 ^{*3}	-	-	回	
データ保持時間 ^{*4}	$t_{DRP}$	10	-	-	年	

【注】 *1 書き込み消去時間はデータに依存します。

*2 書き込み消去時間にはデータの転送時間は含みません。

*3 書き換え後のすべての特性を保証する min 回数です。(保証は 1 ~ min 値の範囲です。)

*4 書き換えが min 値を含む使用範囲内で行われたときの特性です。

表 26.41 フラッシュメモリ特性 (0.18  $\mu$ m F-ZTAT 版) (256K バイト)条件:  $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.0 \sim 3.6V$ 、 $V_{ref} = 3.0V \sim AV_{cc}$ 、 $V_{ss} = AV_{ss} = 0V$  $T_a = 0 \sim 75$  (書き込み / 消去時の動作温度範囲: 通常仕様品) $T_a = 0 \sim 85$  (書き込み / 消去時の動作温度範囲: 広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件
書き込み時間 ^{*1,*2,*4}	$t_P$	-	1	10	ms/128 バイト	
消去時間 ^{*1,*2,*4}	$t_E$	-	250	1500	ms/4K バイトブロック	
		-	500	4000	ms/32K バイトブロック	
		-	750	6500	ms/64K バイトブロック	
書き込み時間 (総和) ^{*1,*2,*4}	$t_P$	-	2	6	s/256K バイト	$T_a = 25$
消去時間 (総和) ^{*1,*2,*4}	$t_E$	-	7	20	s/全ブロック	$T_a = 25$
書き込み、消去時間 (総和) ^{*1,*2,*4}	$t_{PE}$	-	9	26	s/256K バイト	$T_a = 25$
書き換え回数	$N_{WEC}$	100 ^{*3}	-	-	回	
データ保持時間 ^{*4}	$t_{DRP}$	10	-	-	年	

【注】 *1 書き込み消去時間はデータに依存します。

*2 書き込み消去時間にはデータの転送時間は含みません。

*3 書き換え後のすべての特性を保証する min 回数です。(保証は 1 ~ min 値の範囲です。)

*4 書き換えが min 値を含む使用範囲内で行われたときの特性です。

## 26.4 タイミング図

### 26.4.1 クロックタイミング

クロックタイミングを以下に示します。

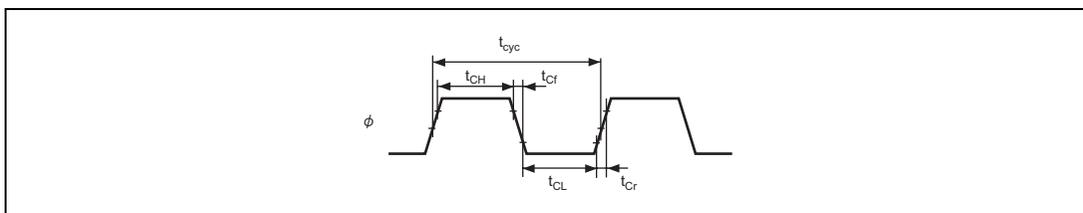


図 26.2 システムクロックタイミング

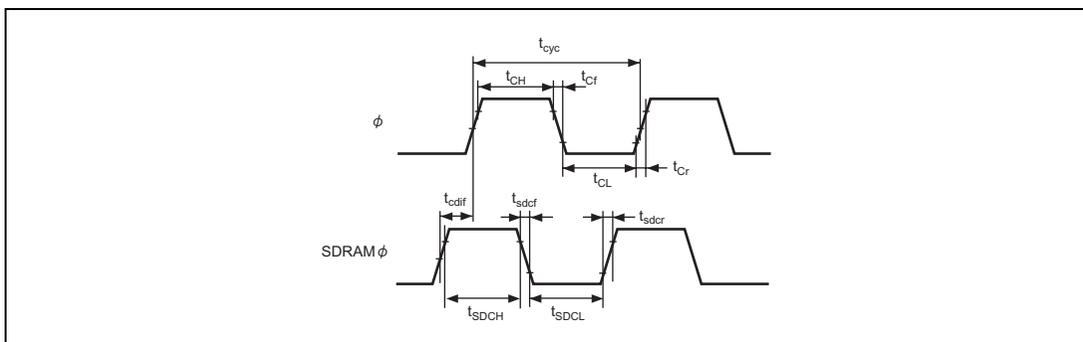


図 26.3 SDRAM タイミング

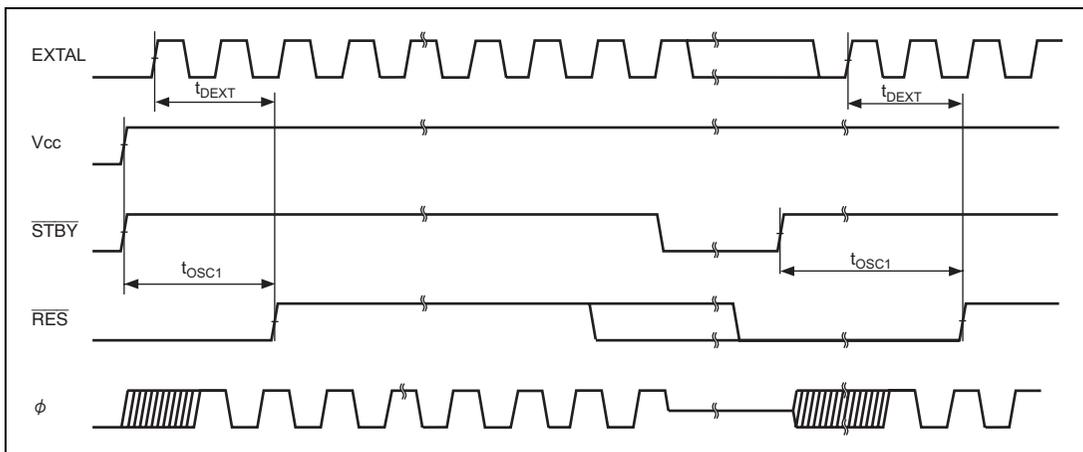


図 26.4 発振安定時間タイミング (1)

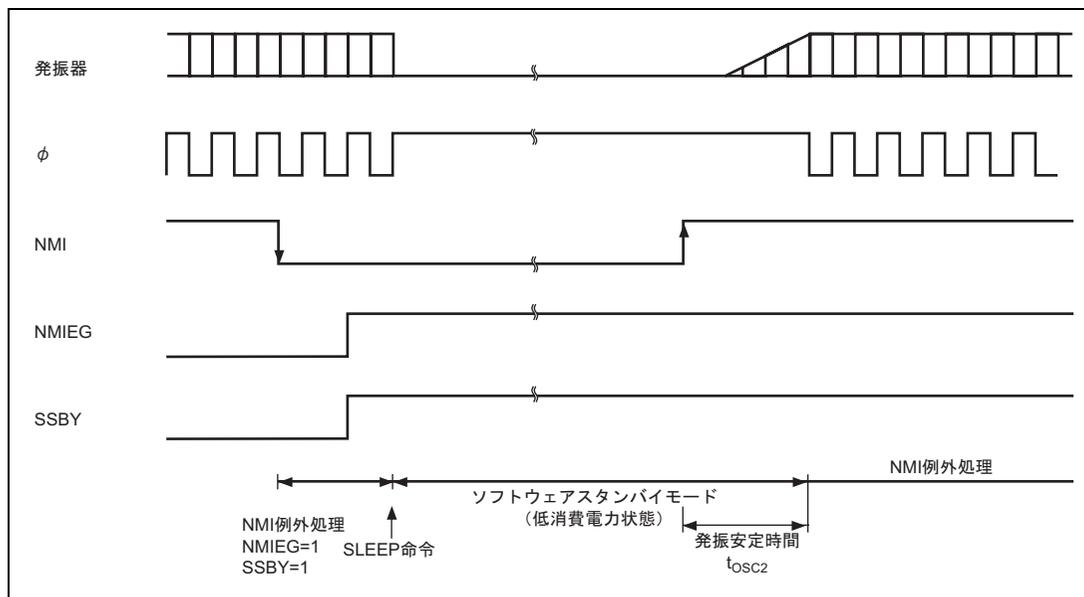


図 26.4 発振安定時間タイミング (2)

### 26.4.2 制御信号タイミング

制御信号タイミングを以下に示します。

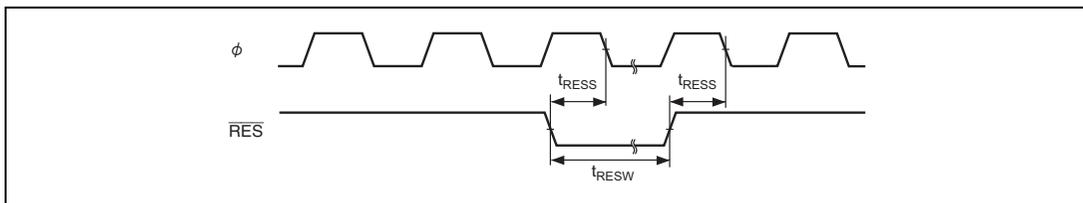


図 26.5 リセット入力タイミング

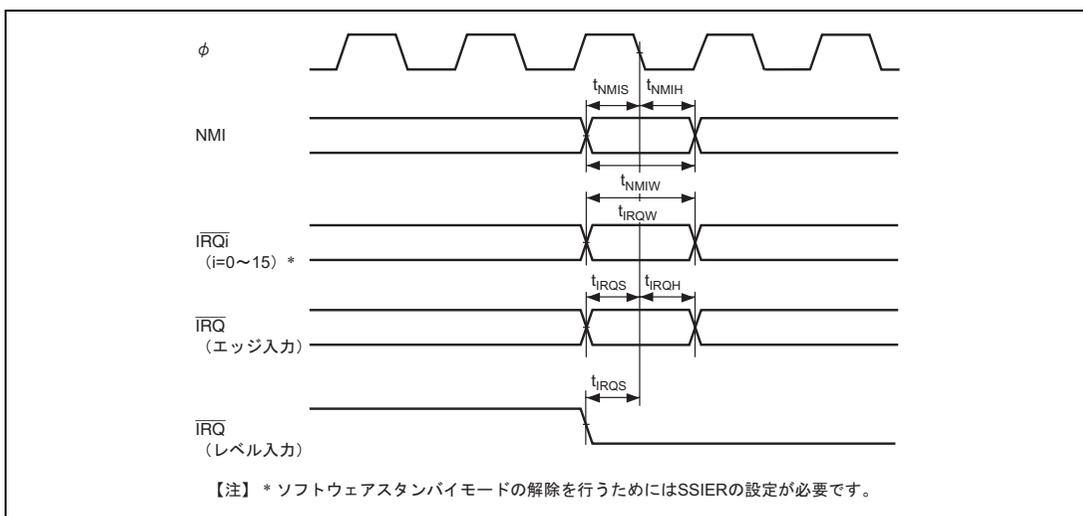


図 26.6 割り込み入力タイミング

## 26.4.3 バスタイミング

バスタイミングを以下に示します。

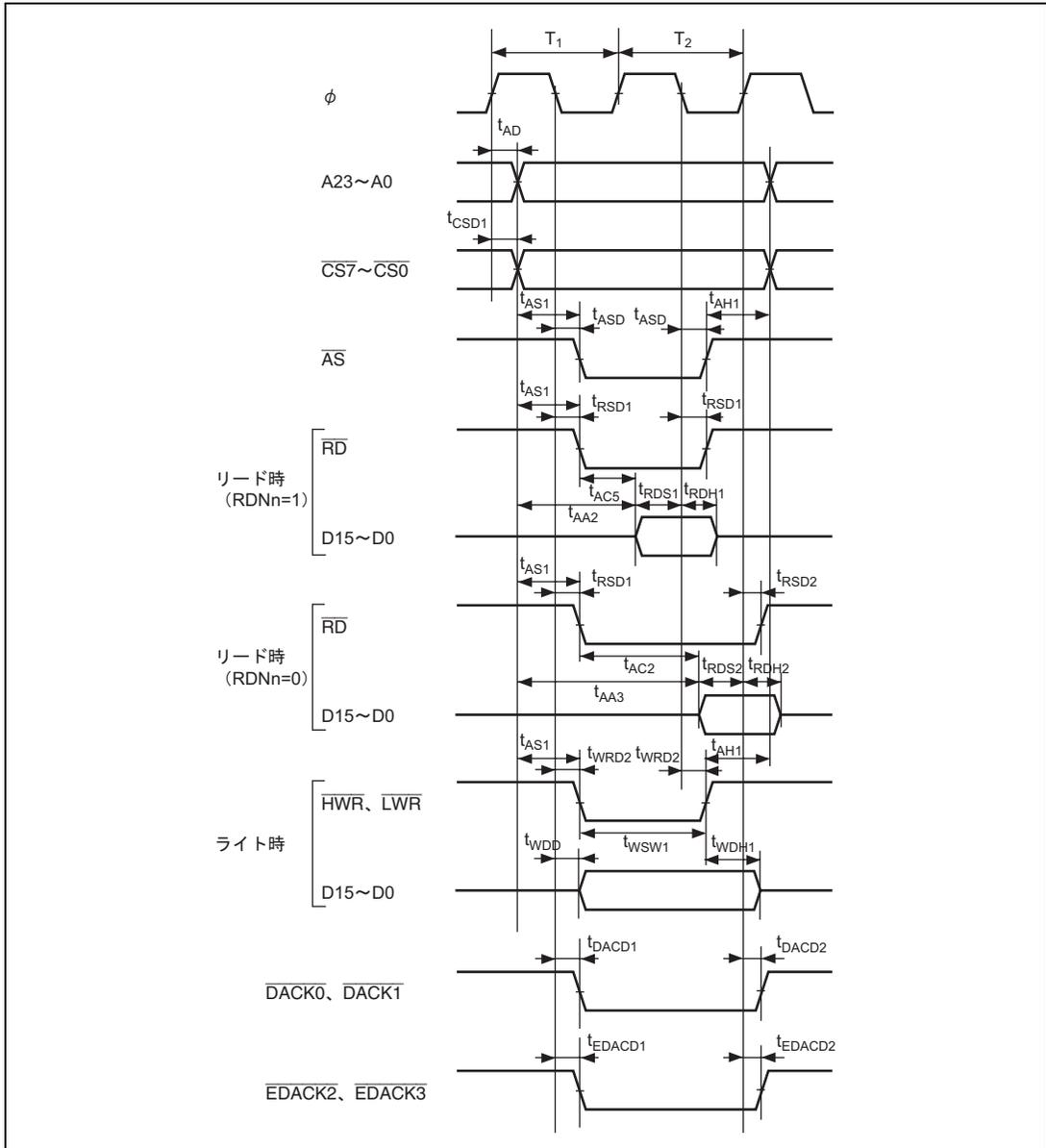


図 26.7 基本バスタイミング / 2 ステートアクセス

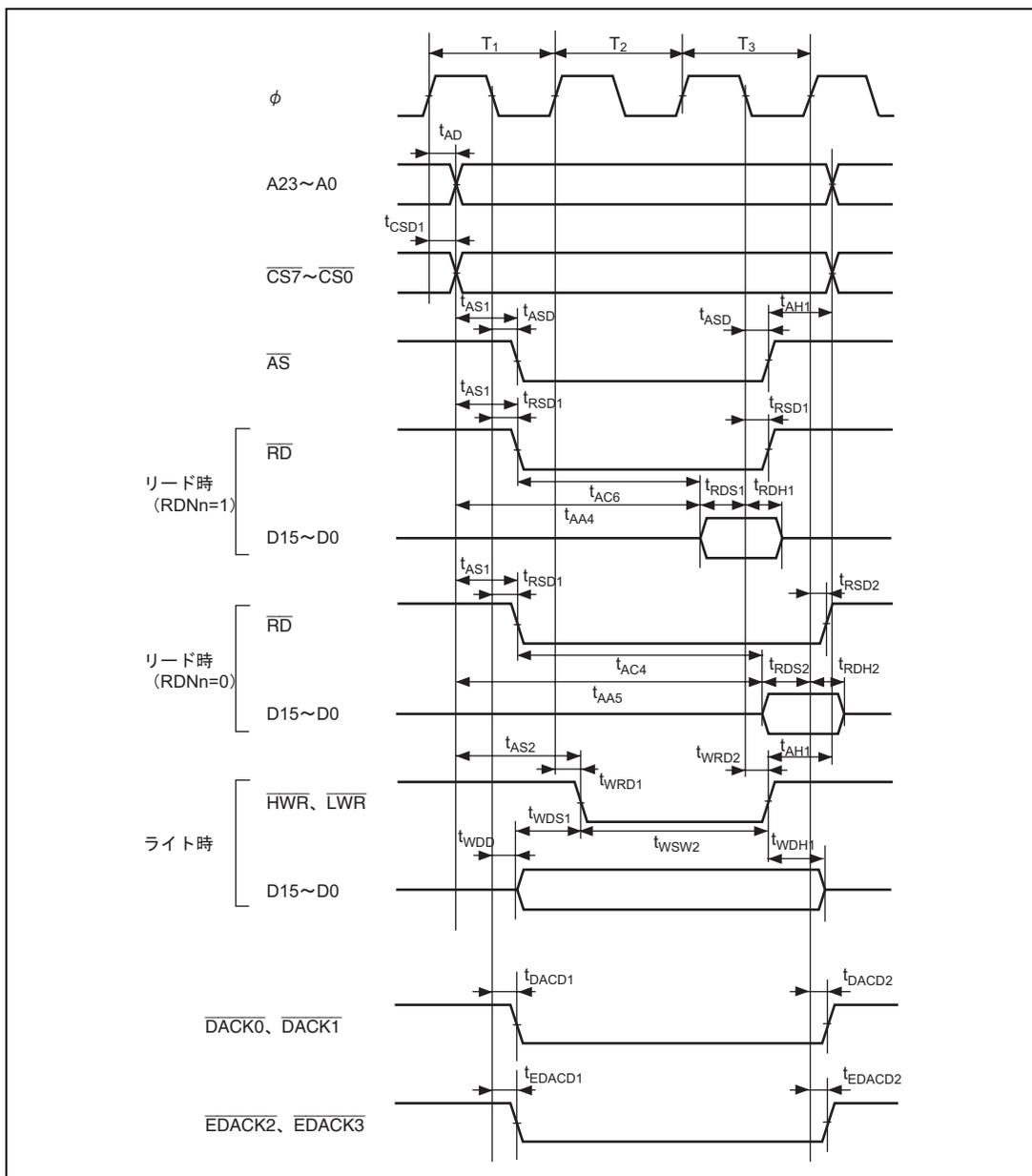


図 26.8 基本バスタイミング / 3 ステートアクセス

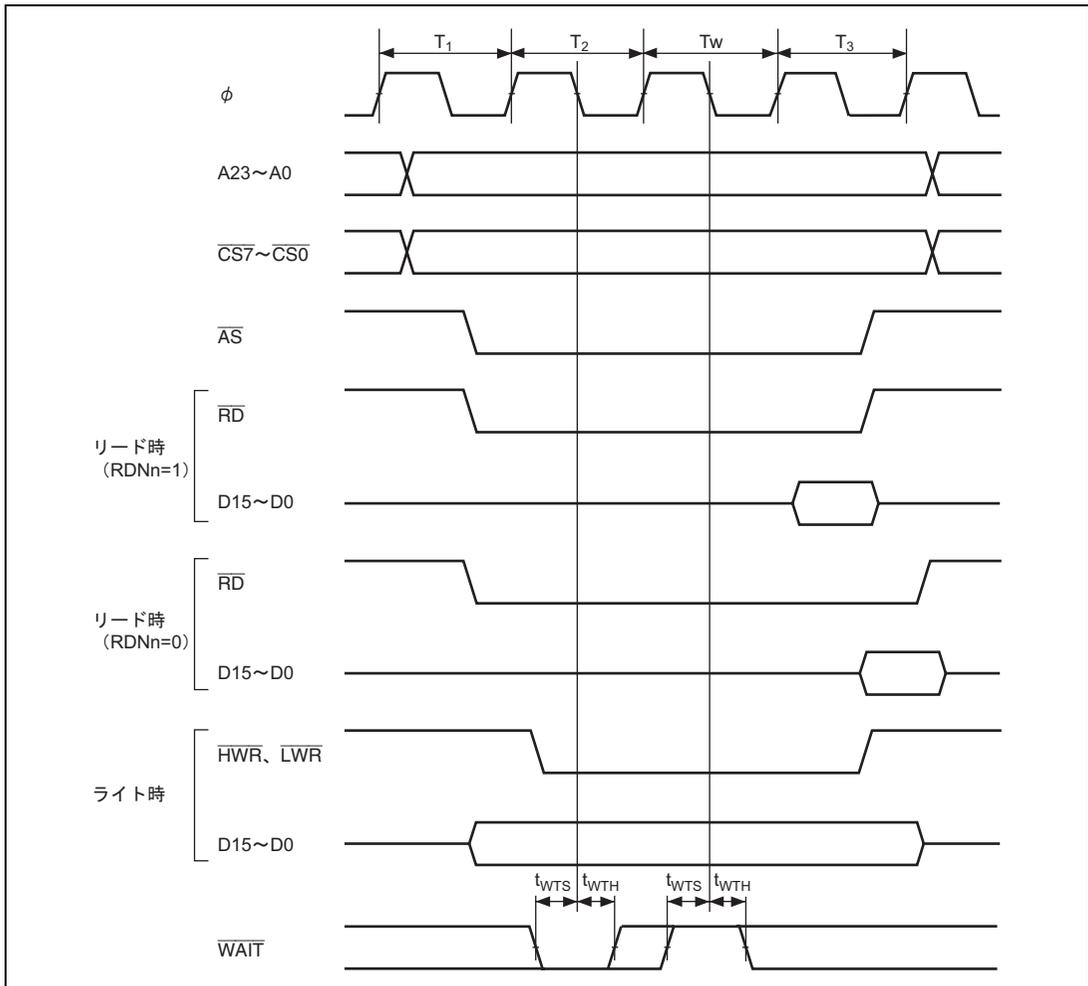


図 26.9 基本バスタイミング/3ステートアクセス1ウェイト

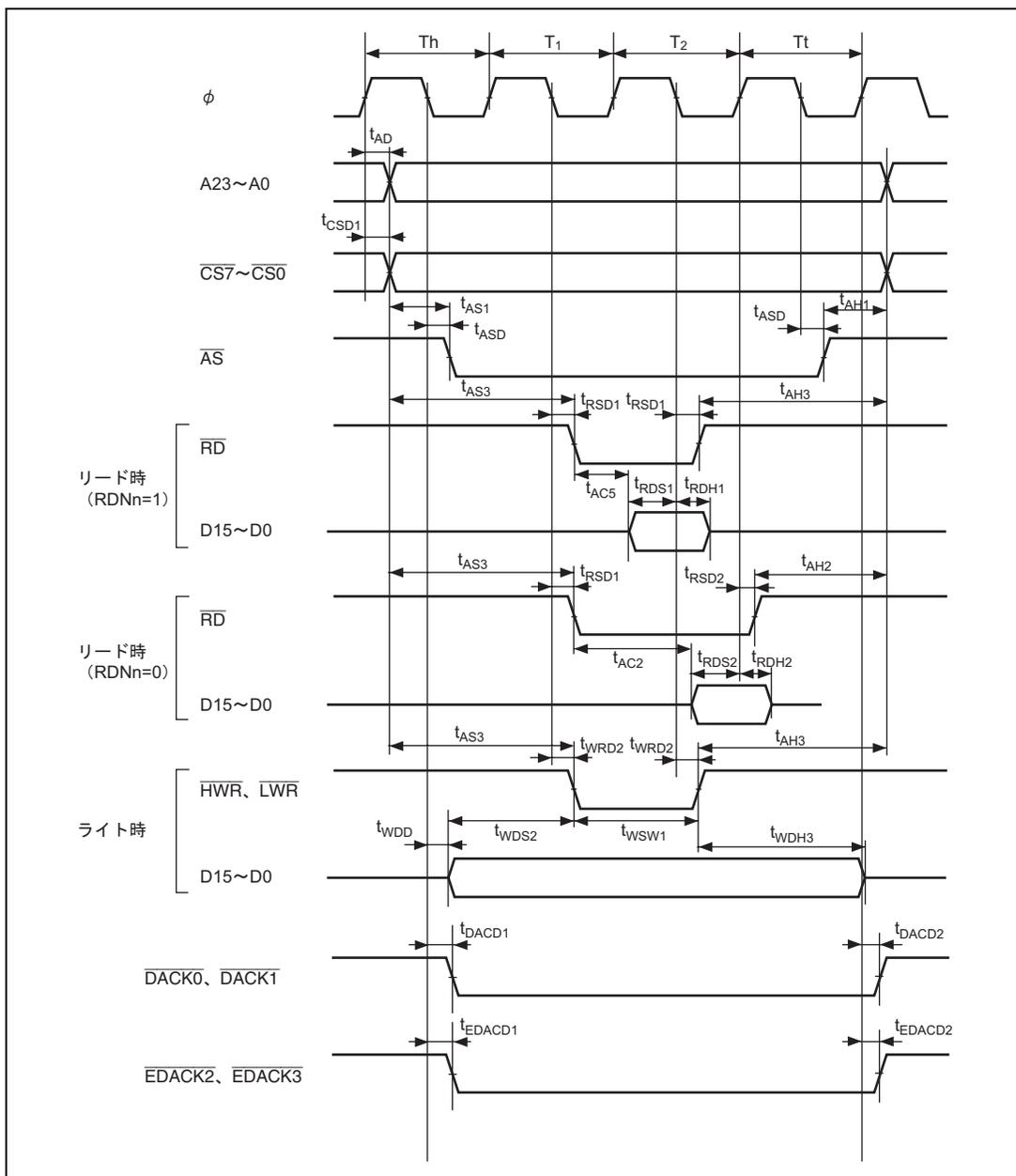


図 26.10 基本バスタイミング / 2 ステートアクセス  
(CS アサート期間延長)

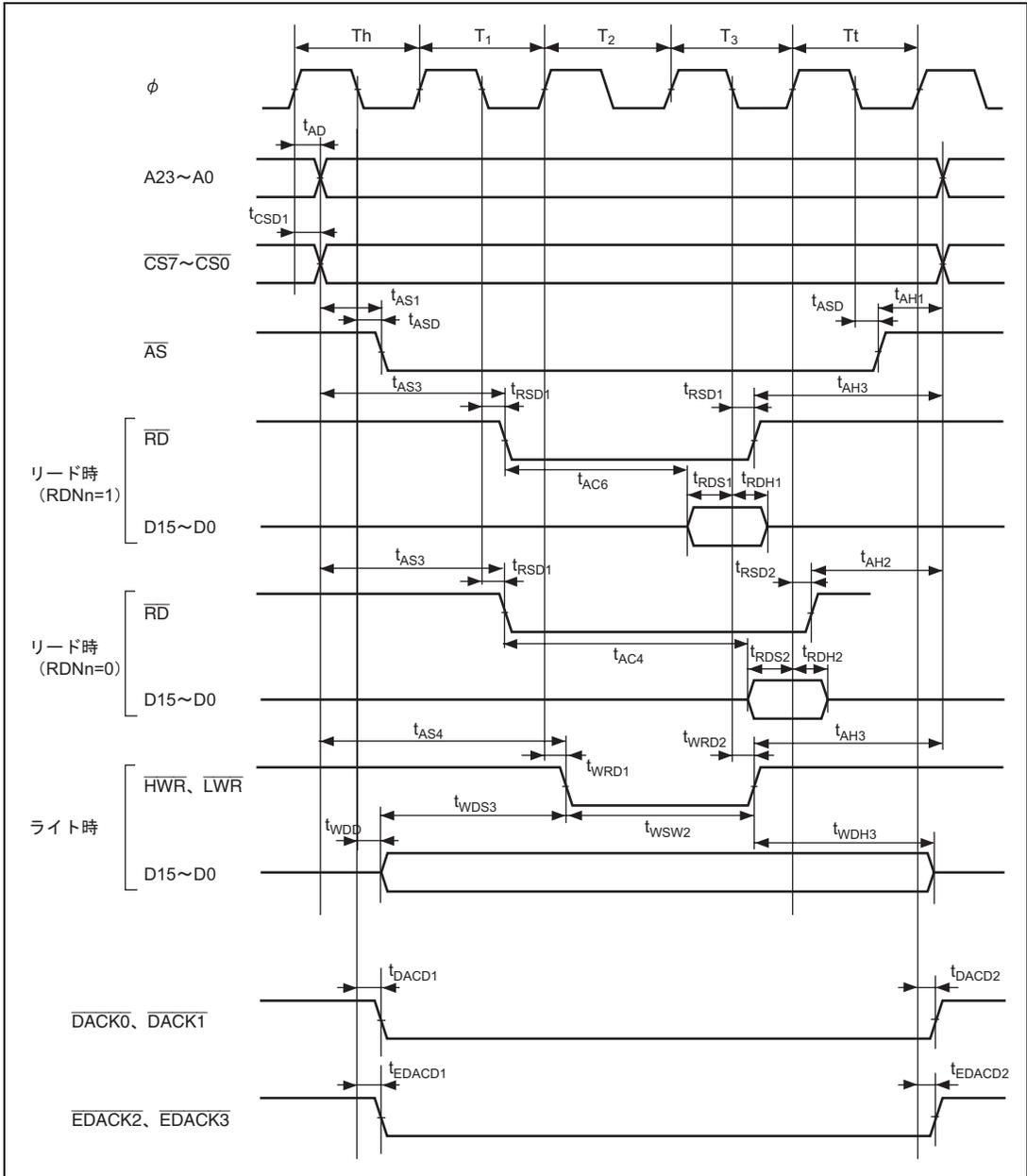


図 26.11 基本バスタイミング / 3 ステートアクセス  
(CS アサート期間延長)

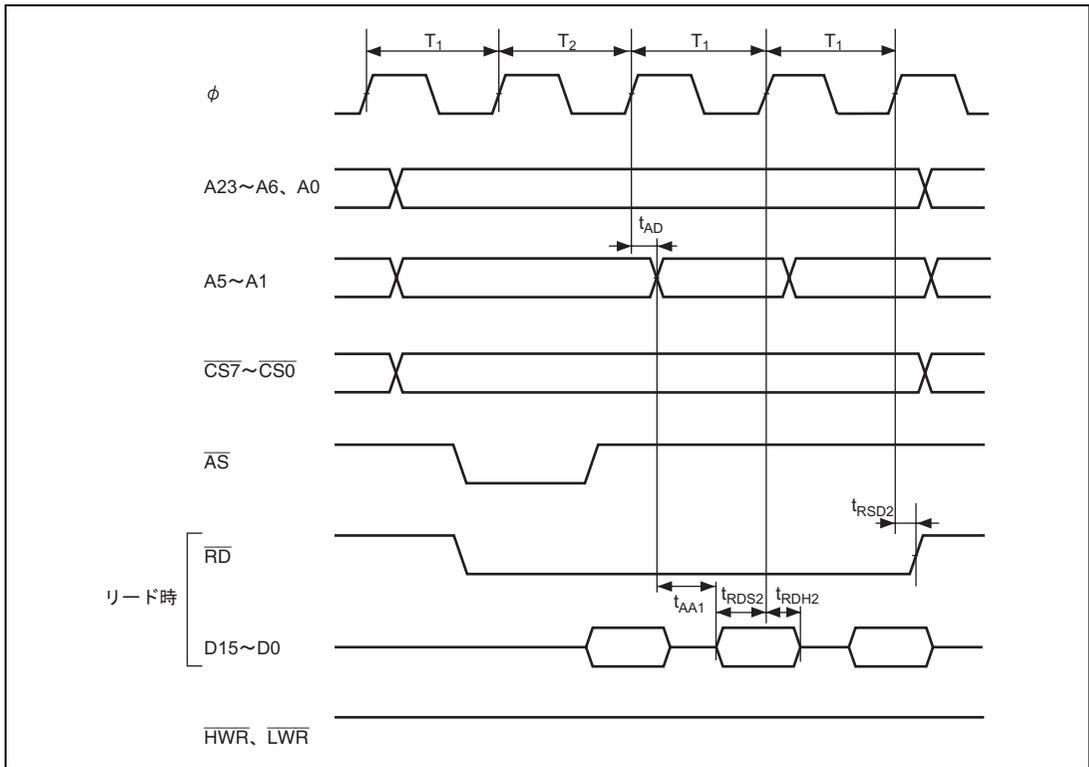


図 26.12 バースト ROM アクセスタイミング / 1 ステートバーストアクセス

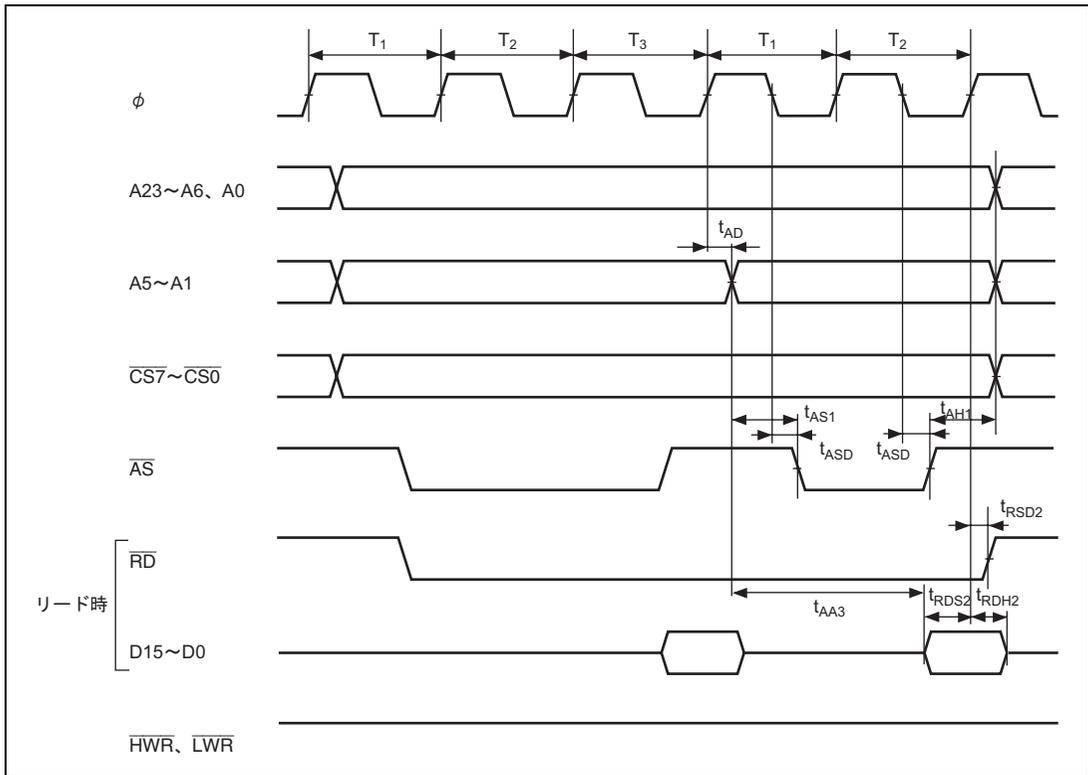


図 26.13 バースト ROM アクセスタイミング / 2 ステートバーストアクセス

26. 電気的特性

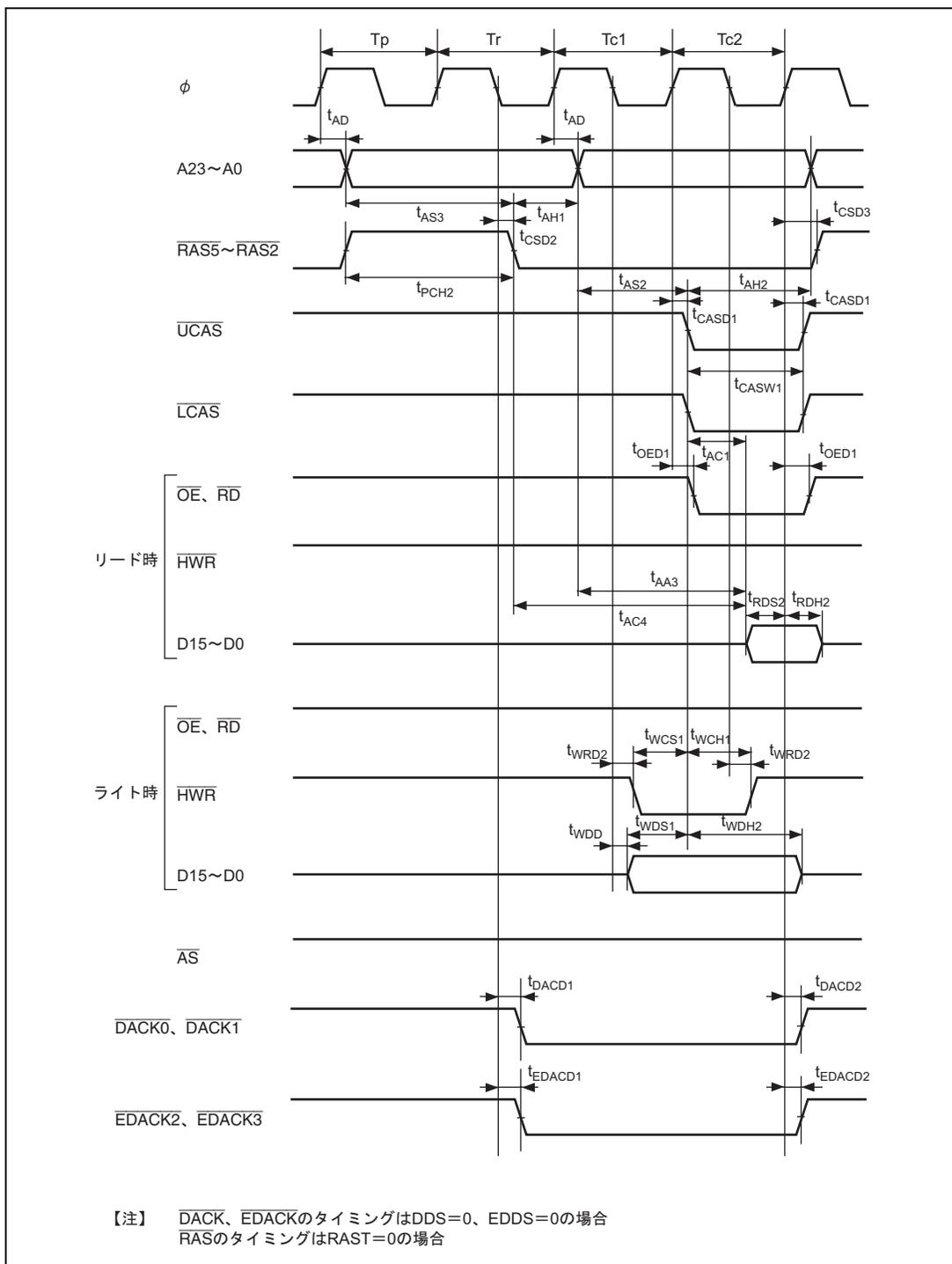


図 26.14 DRAM アクセスタイミング / 2 ステートアクセス

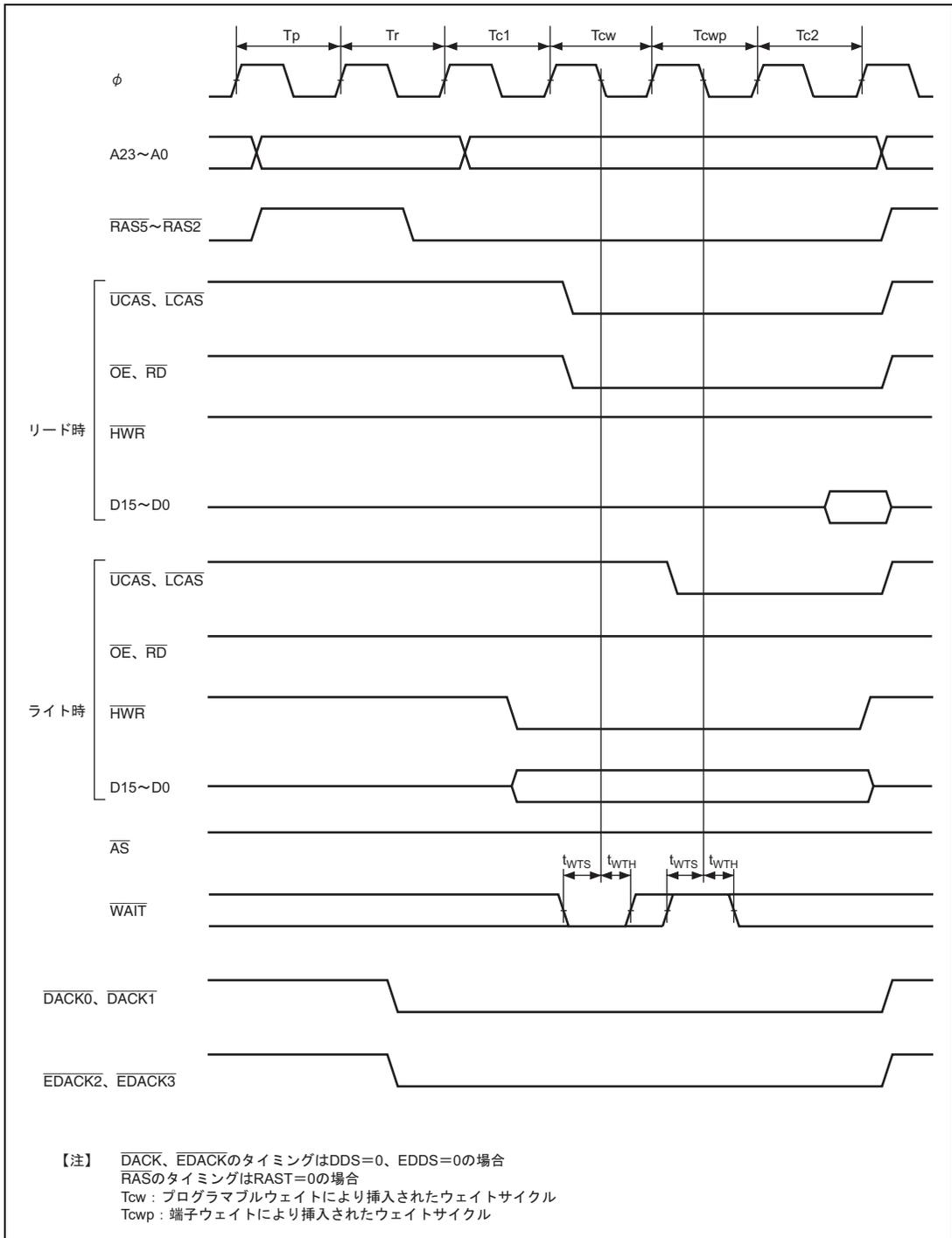


図 26.15 DRAM アクセスタイミング / 2 ステートアクセス 1 ウェイト

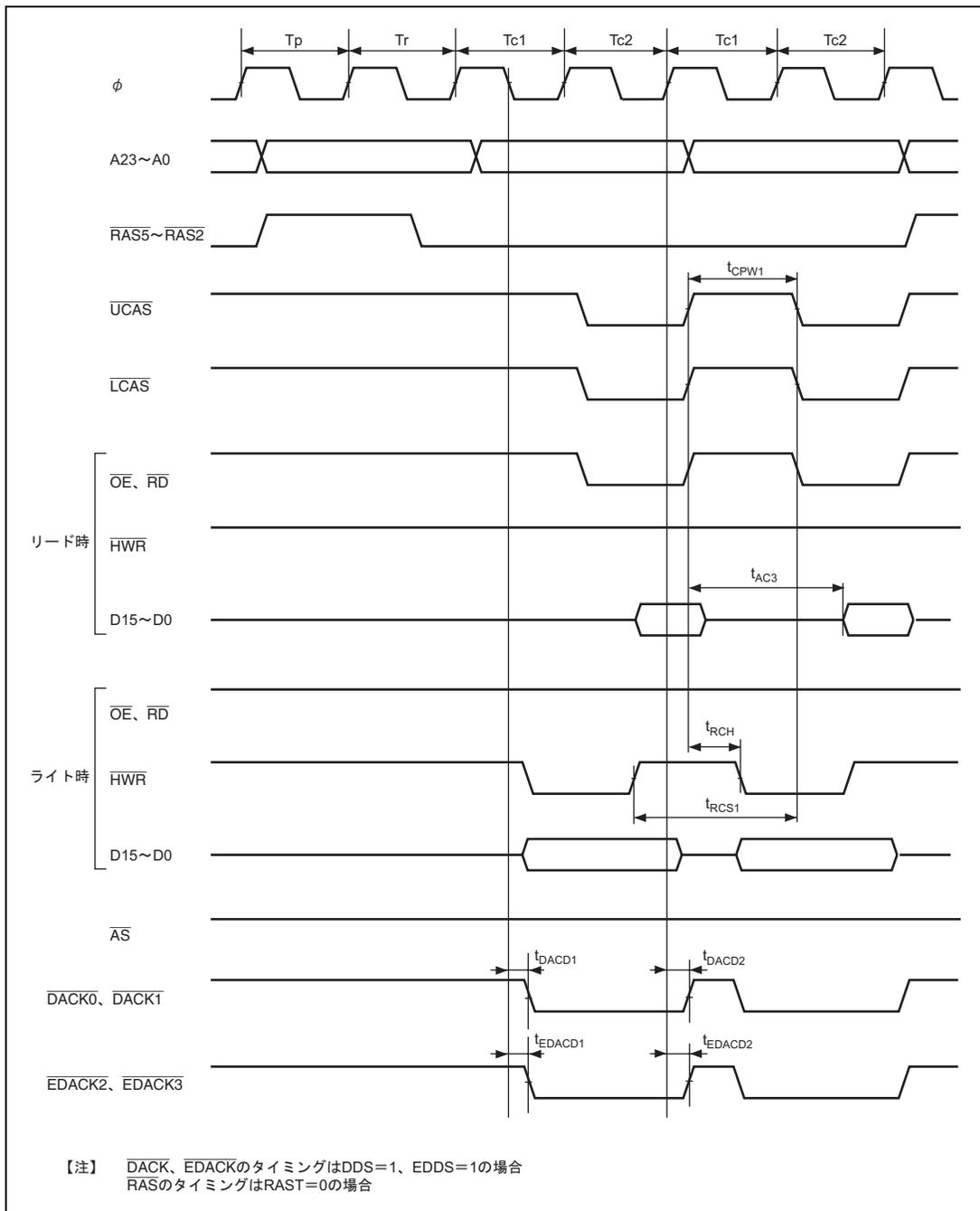


図 26.16 DRAM アクセスタイミング / 2 ステートバーストアクセス

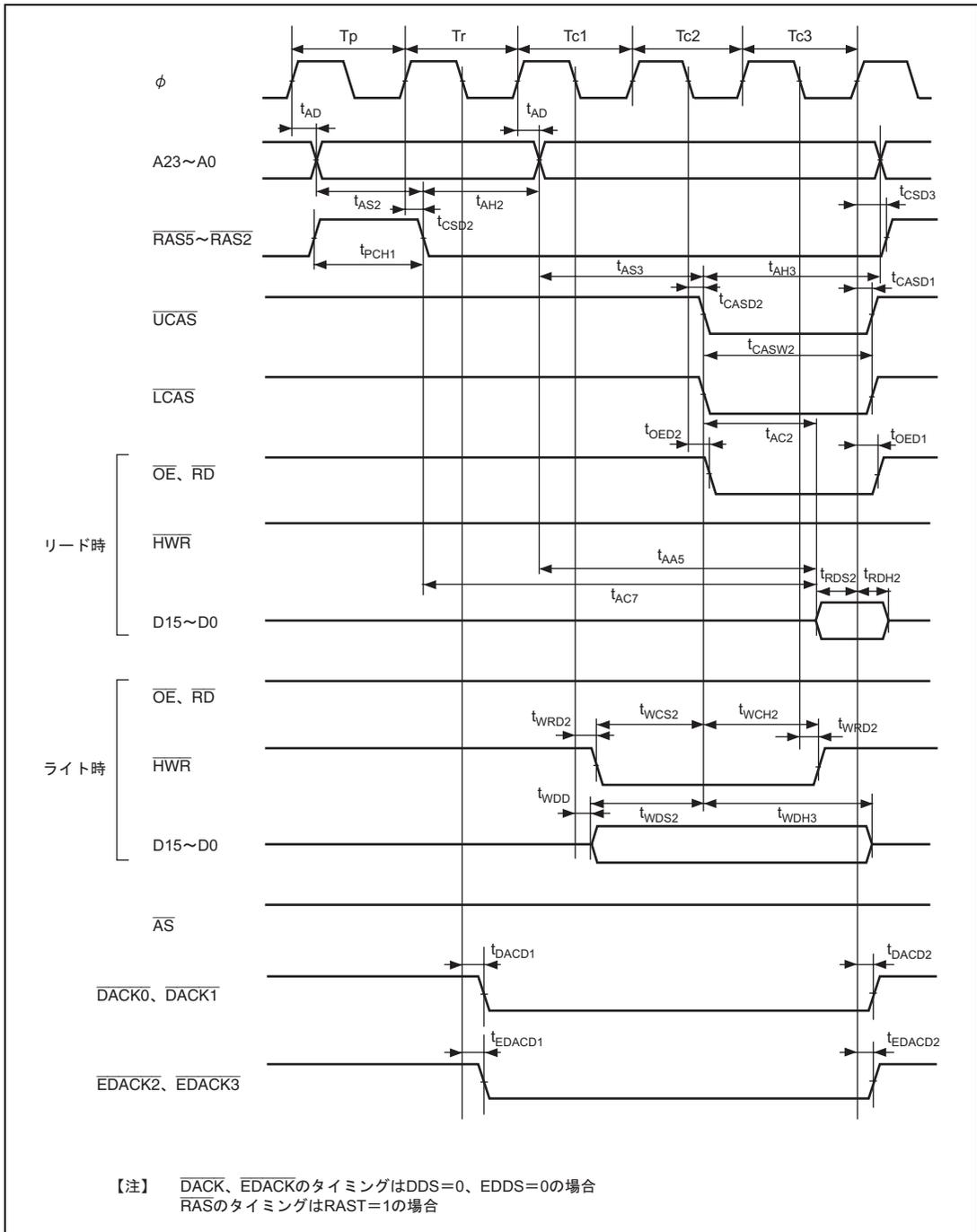


図 26.17 DRAM アクセスタイミング / 3 ステートアクセス (RAST = 1 のとき)

26. 電気的特性

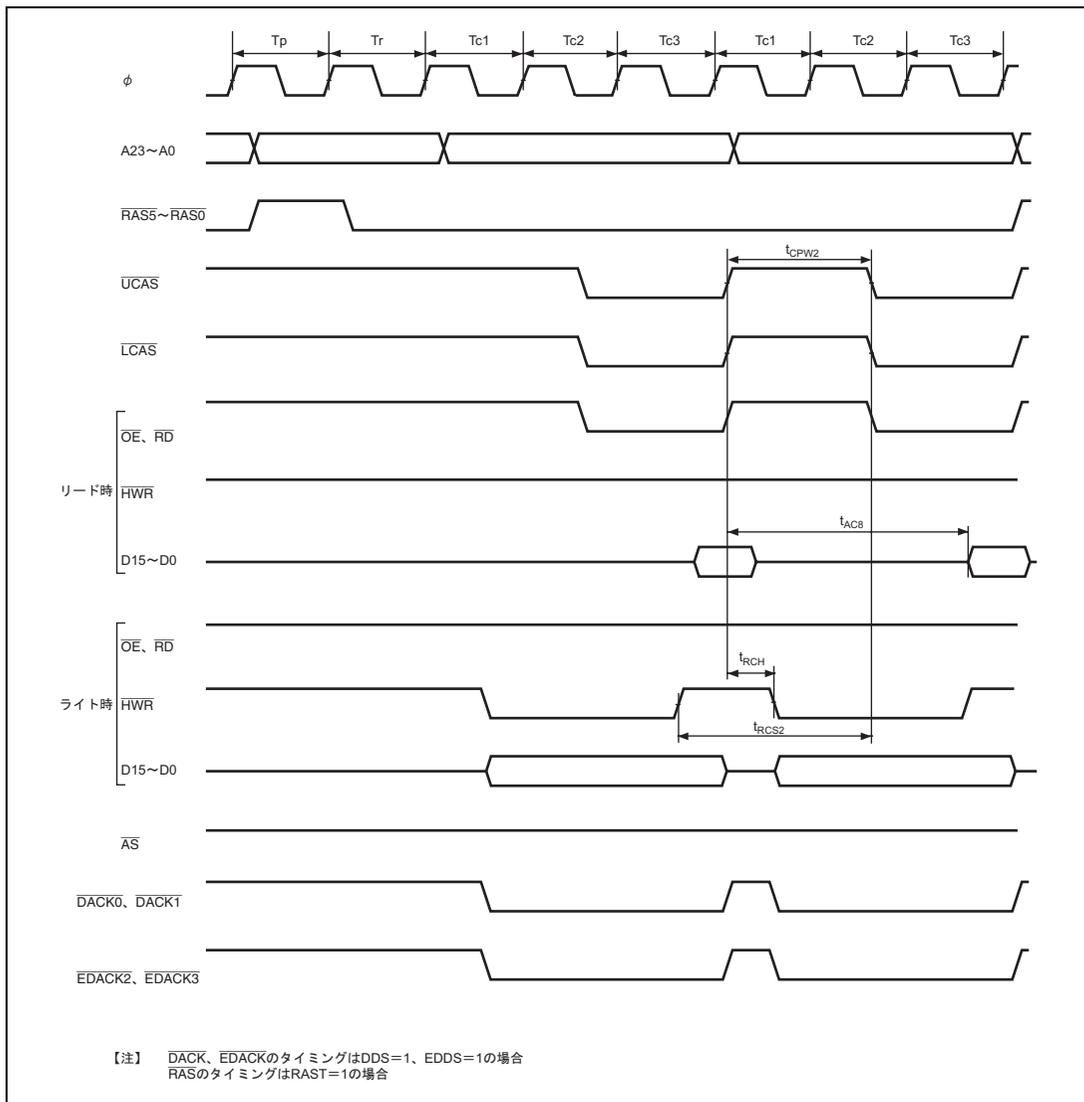


図 26.18 DRAM アクセスタイミング / 3 ステートバーストアクセス

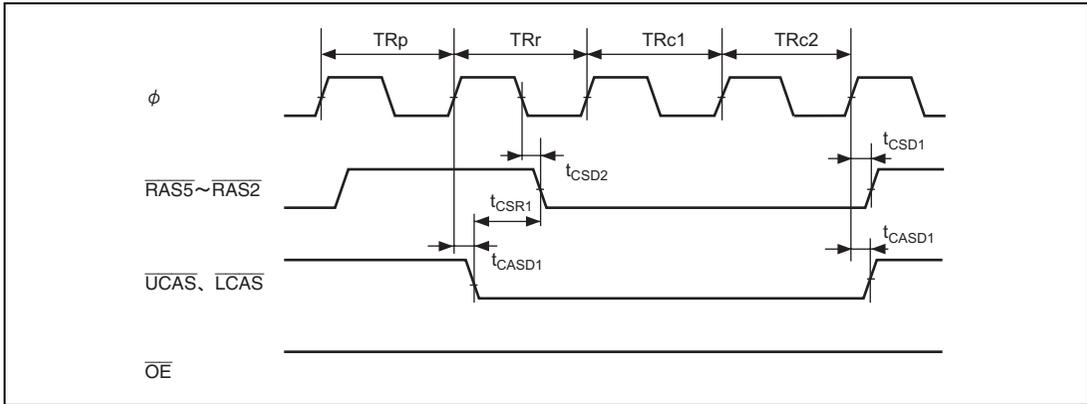


図 26.19 CAS ビフォア RAS リフレッシュタイミング

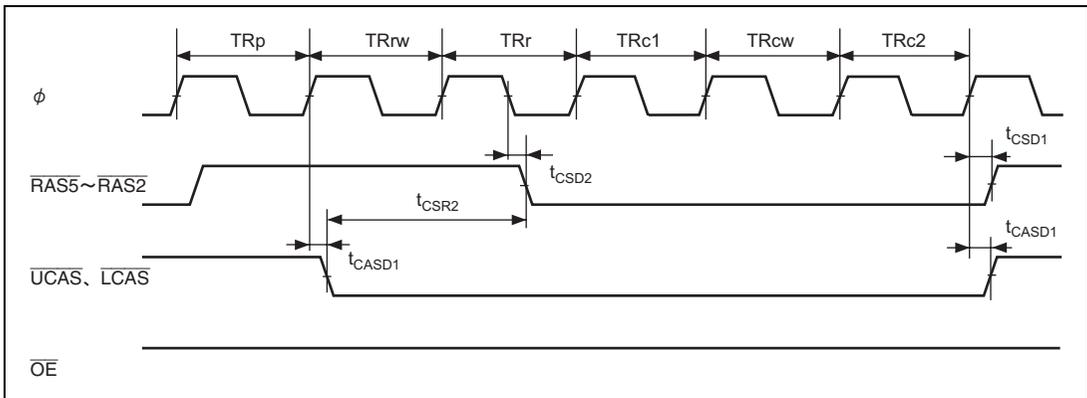


図 26.20 CAS ビフォア RAS リフレッシュタイミング (ウェイトサイクル挿入)

26. 電気的特性

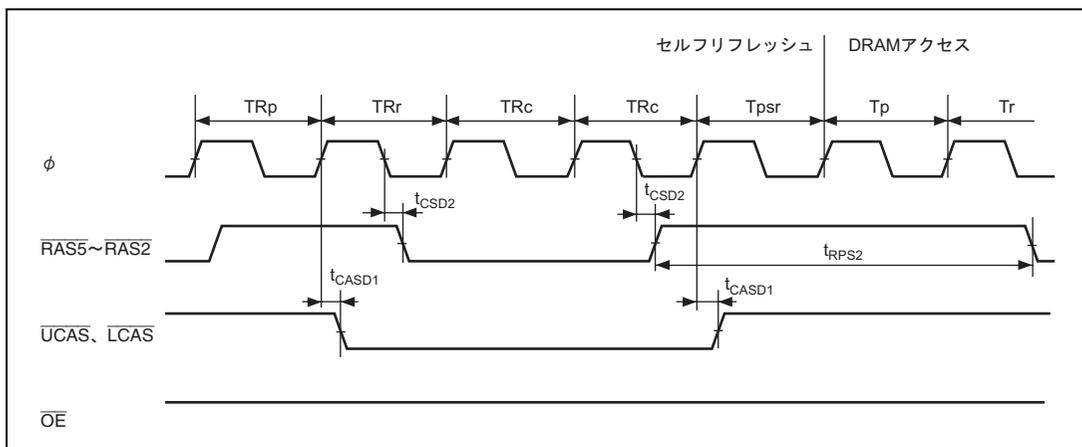


図 26.21 セルフリフレッシュタイミング  
(ソフトウェアスタンバイからの復帰時 : RAST = 0 のとき)

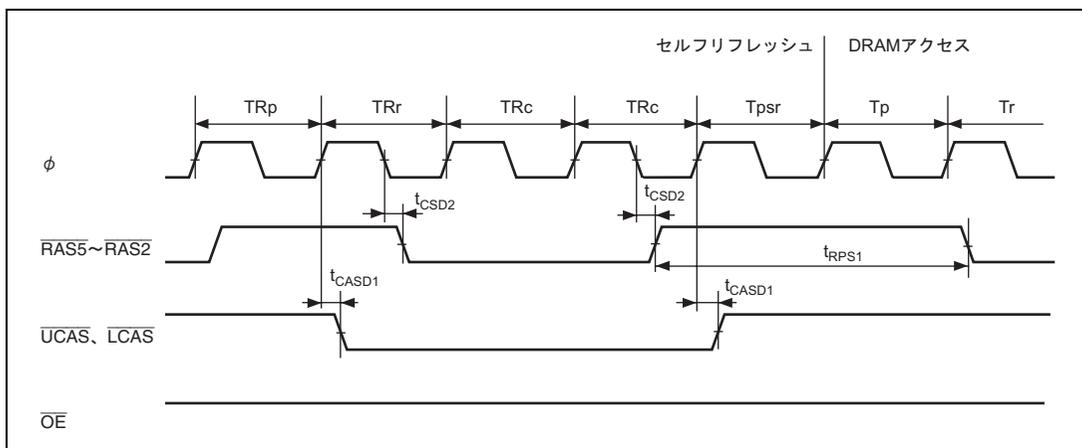


図 26.22 セルフリフレッシュタイミング  
(ソフトウェアスタンバイからの復帰時 : RAST = 1 のとき)

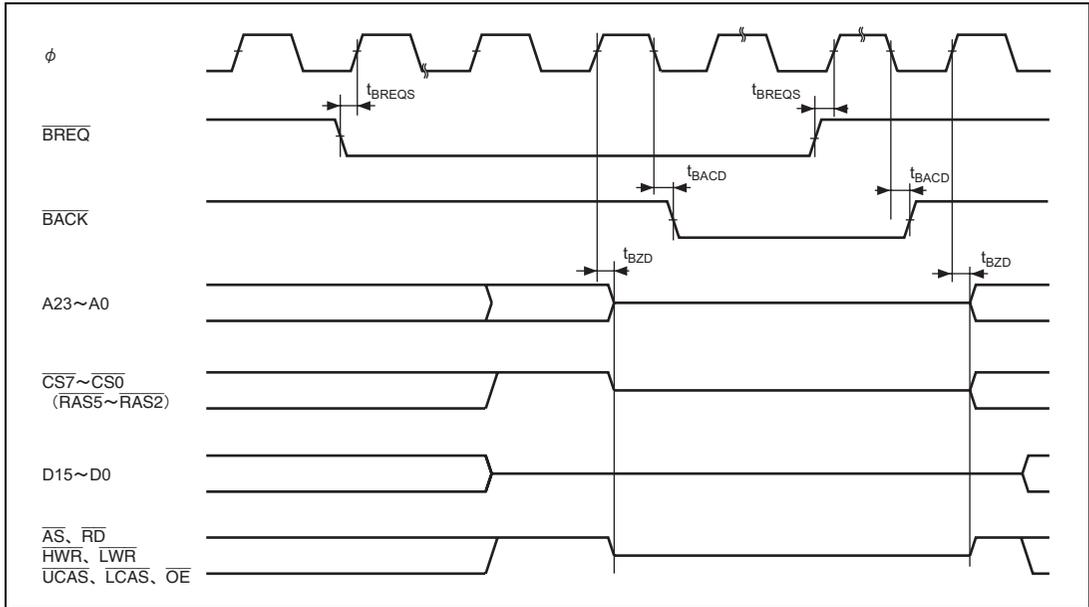


図 26.23 外部バス権開放タイミング

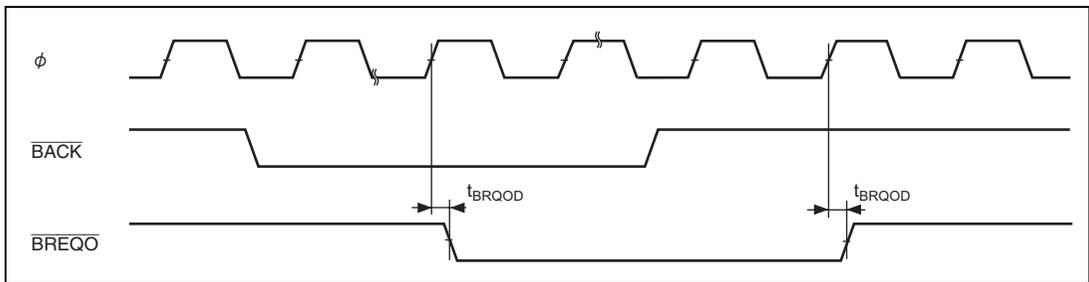


図 26.24 外部バス権要求出力タイミング

26. 電気的特性

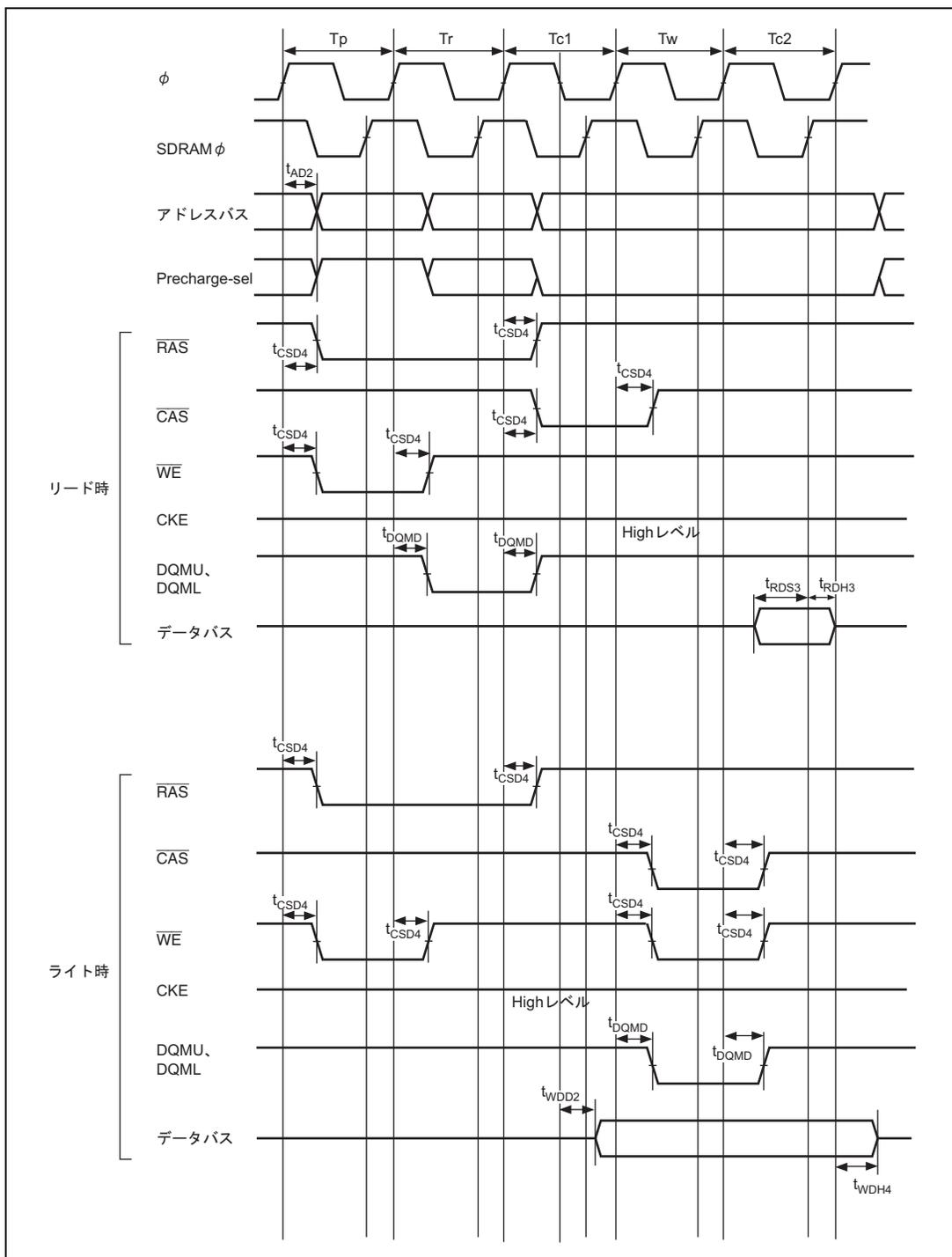


図 26.25 シンクロナス DRAM 基本アクセスタイミング (CAS レイテンシ 2 の場合)

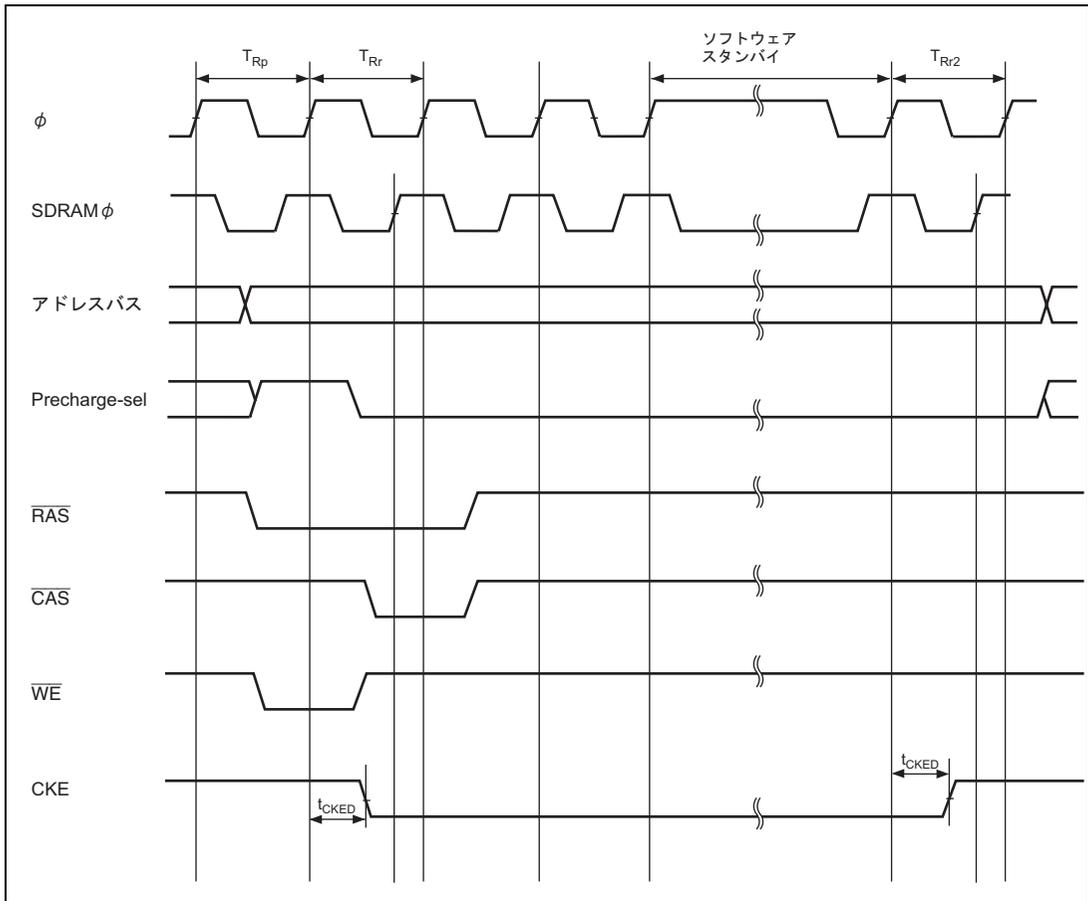


図 26.26 シンクロナス DRAM セルフリフレッシュタイミング

26. 電気的特性

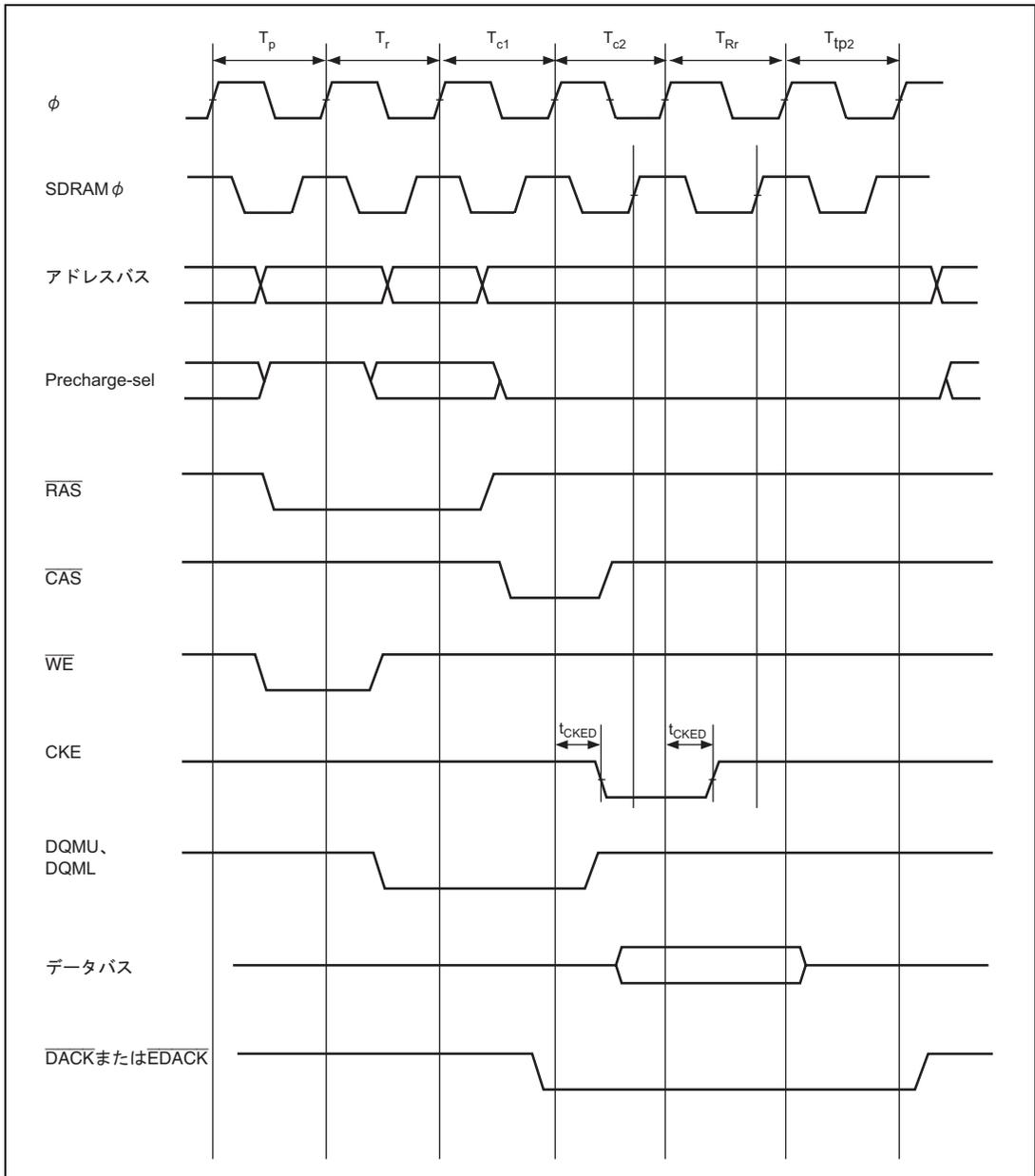


図 26.27 リードデータを 2 ステート拡張した場合 (CAS レイテンシ 2 の場合)

## 26.4.4 DMAC、EXDMAC タイミング

DMAC、EXDMAC タイミングを以下に示します。

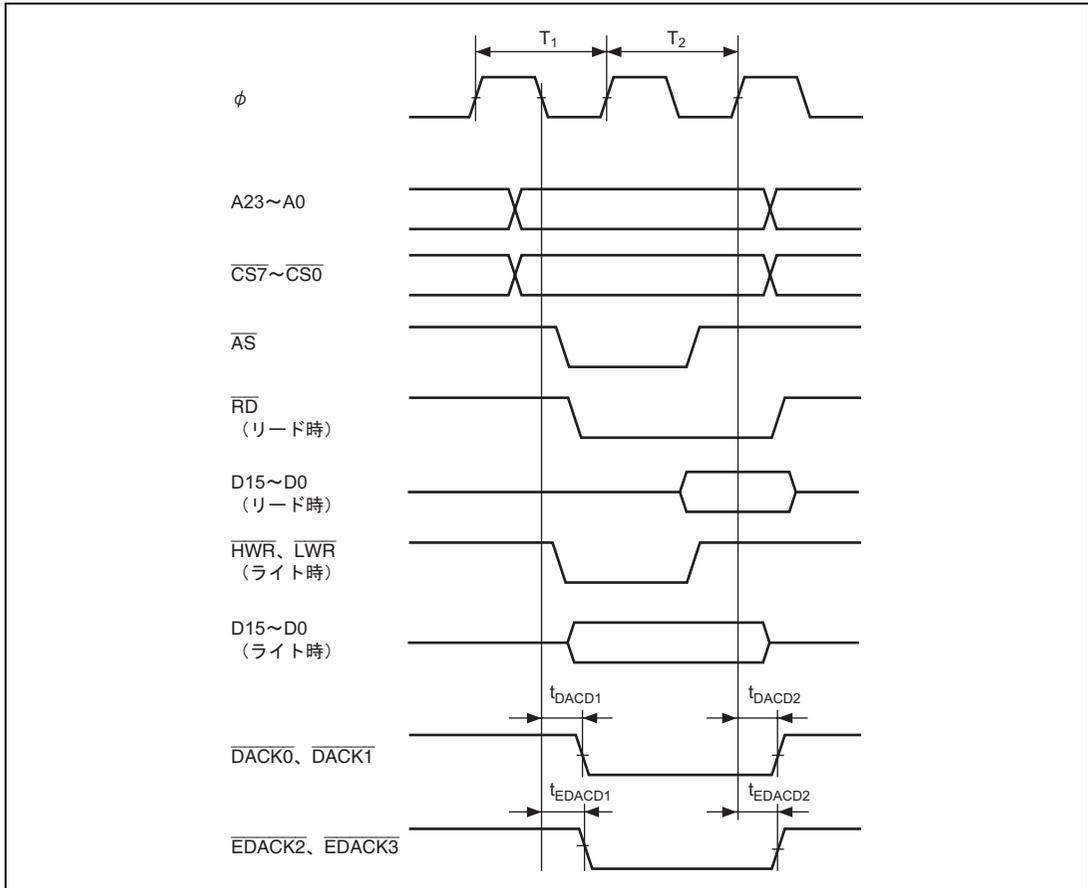


図 26.28 DMAC および EXDMAC、シングルアドレス転送タイミング / 2 ステートアクセス

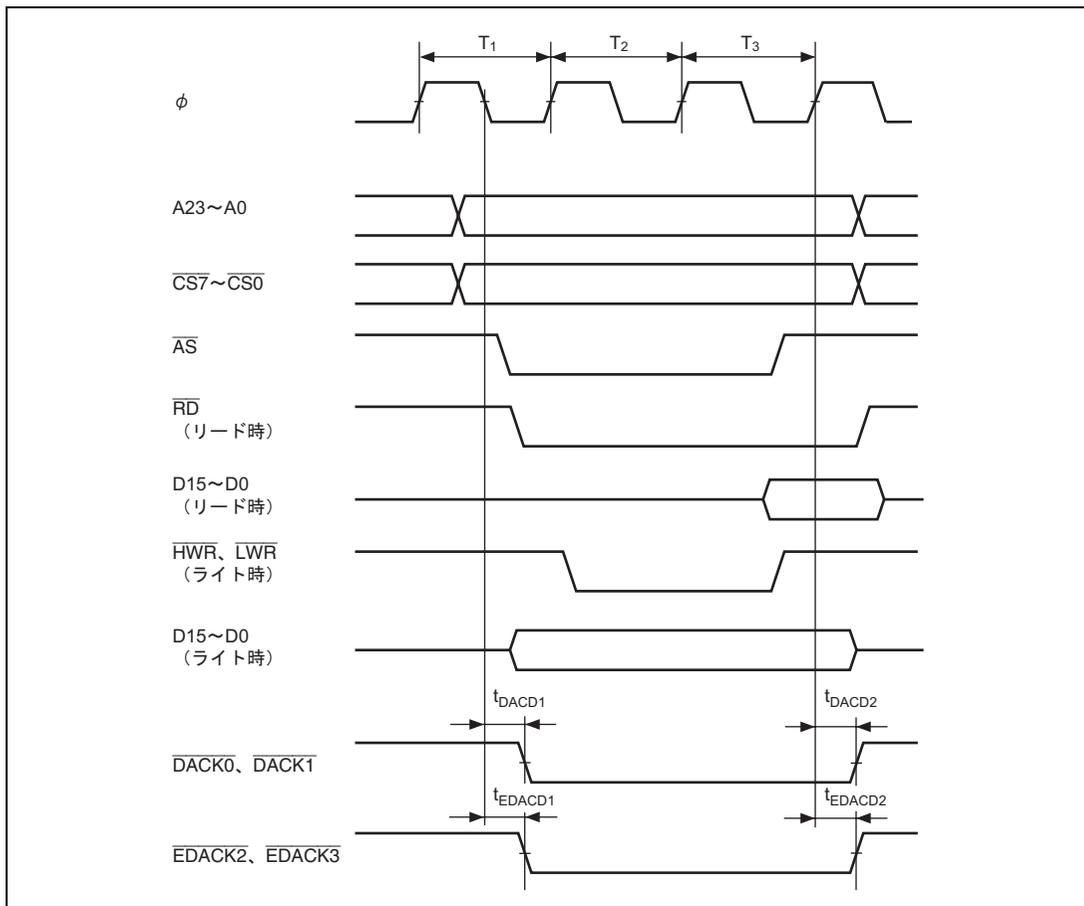


図 26.29 DMAC および EXDMAC、シングルアドレス転送タイミング / 3 ステートアクセス

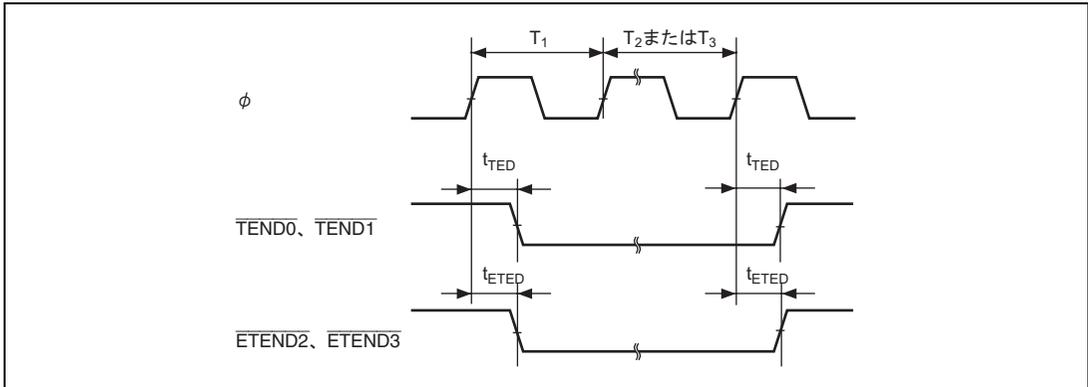


図 26.30 DMAC および EXDMAC、 $\overline{TEND}$ 、 $\overline{ETEND}$  出力タイミング

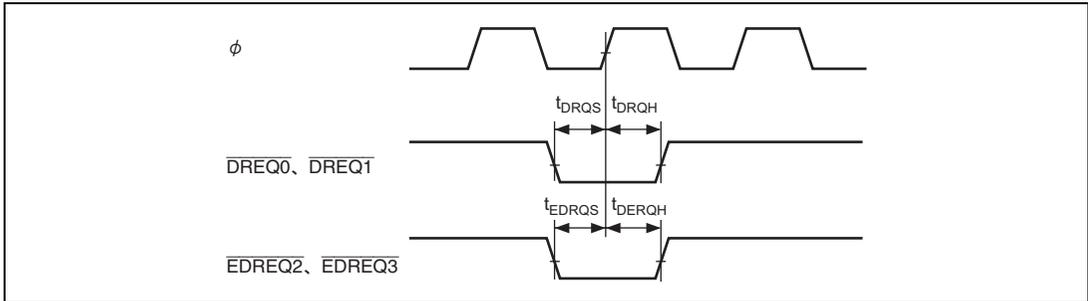


図 26.31 DMAC および EXDMAC、 $\overline{DREQ}$ 、 $\overline{EDREQ}$  入力タイミング

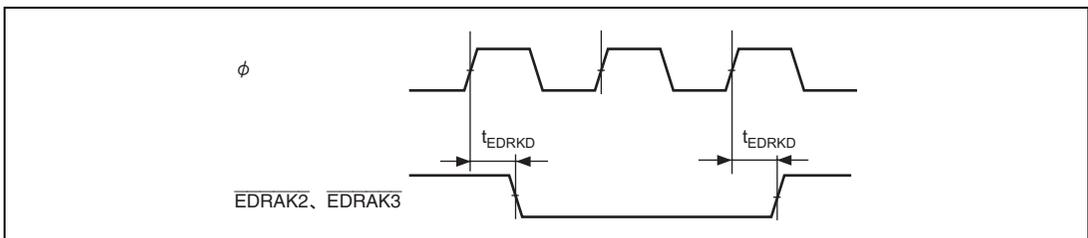


図 26.32 EXDMAC、 $\overline{EDRAK}$  出力タイミング

### 26.4.5 内蔵周辺モジュールタイミング

内蔵周辺モジュールタイミングを以下に示します。

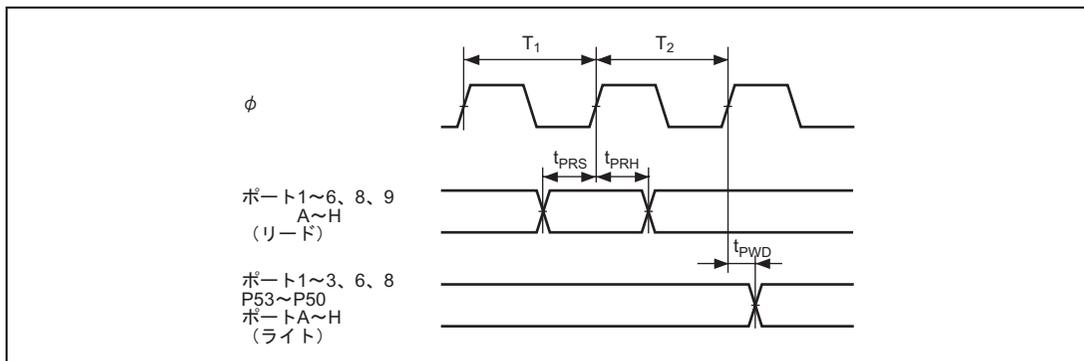


図 26.33 I/O ポート入出力タイミング

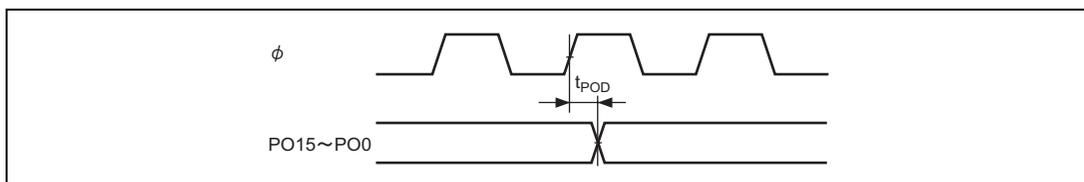


図 26.34 PPG 出力タイミング

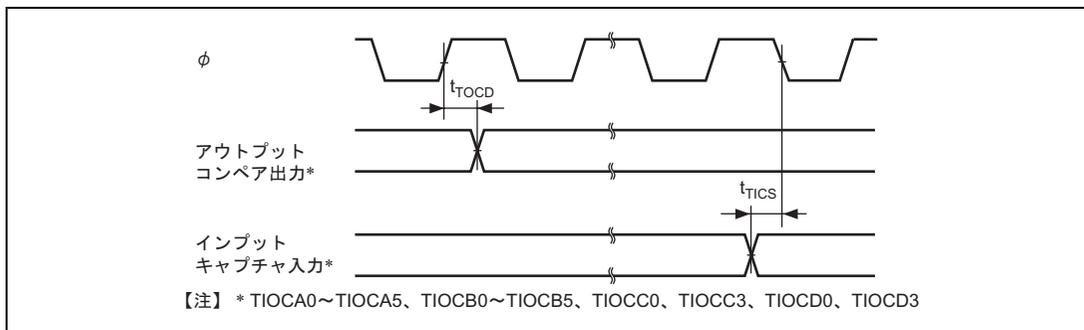


図 26.35 TPU 入出力タイミング

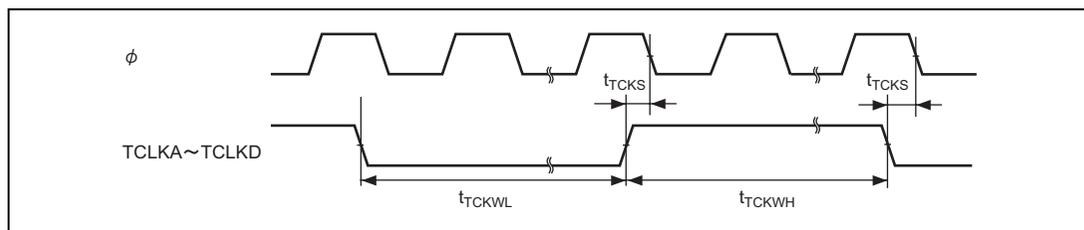


図 26.36 TPU クロック入力タイミング

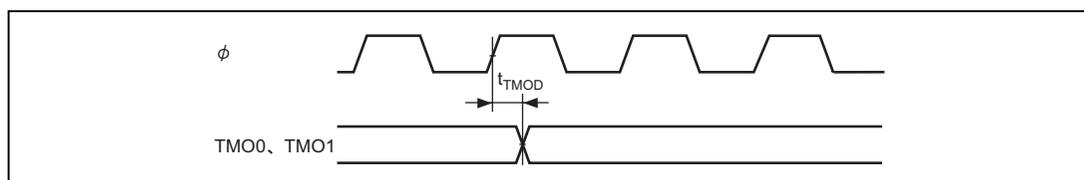


図 26.37 8ビットタイマ出力タイミング

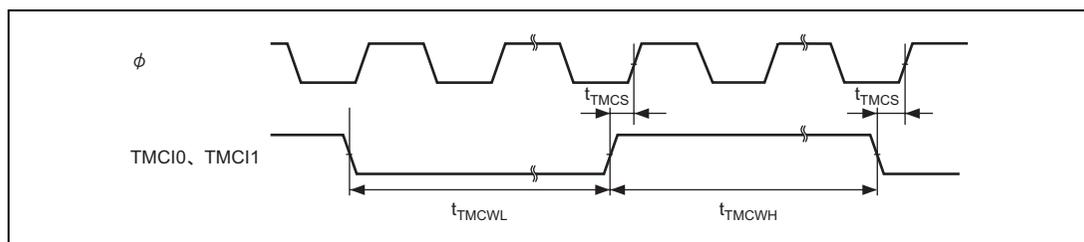


図 26.38 8ビットタイマクロック入力タイミング

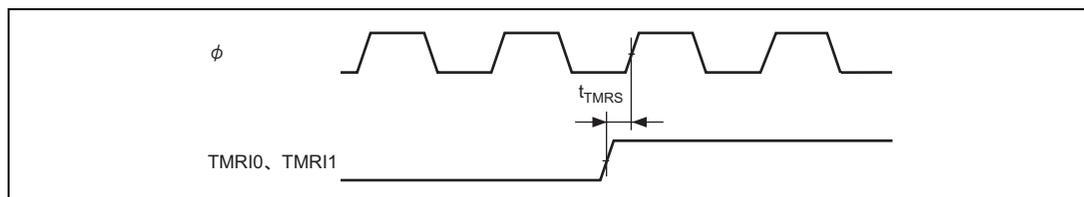


図 26.39 8ビットタイマリセット入力タイミング

## 26. 電气的特性

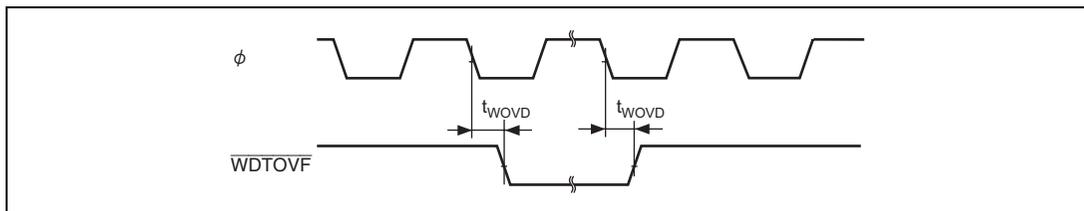


図 26.40 WDT 出力タイミング

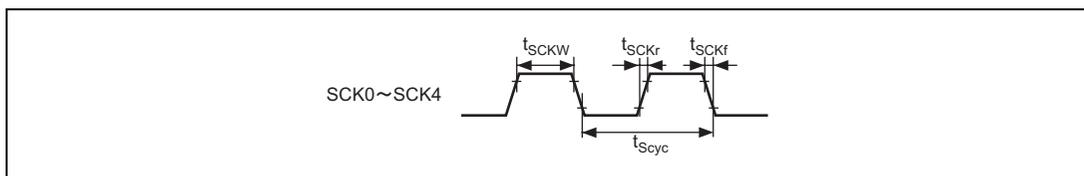


図 26.41 SCK クロック入力タイミング

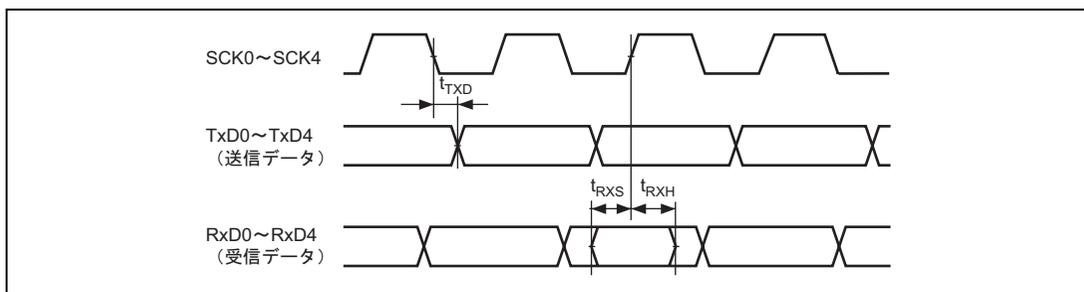


図 26.42 SCI 入出力タイミング / クロック同期式モード

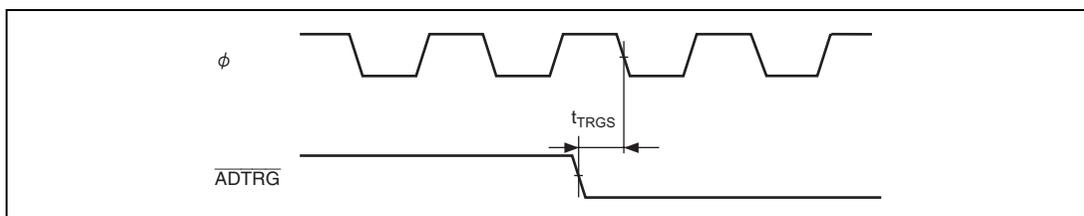
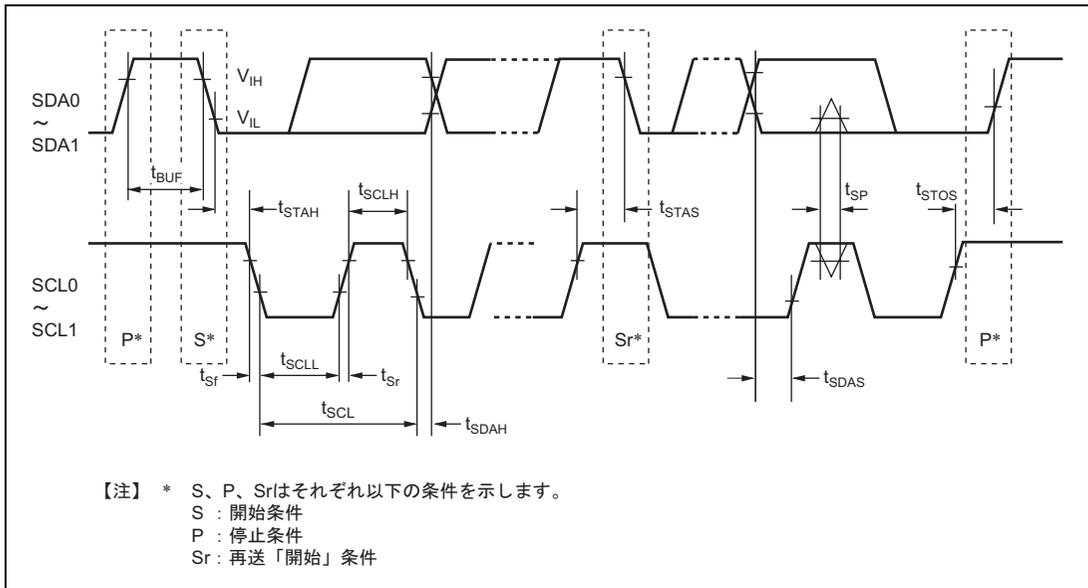


図 26.43 A/D 変換器外部トリガ入力タイミング

図 26.44 I²C バスインタフェース 2 入出力タイミング【オプション】



# 付録

## A. 各処理状態におけるポートの状態

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
ポート 1	1、2、4、7	T	T	keep	keep	入出力ポート
ポート 2	1、2、4、7	T	T	keep	keep	入出力ポート
P34 ~ P30	1、2、4、7	T	T	keep	keep	入出力ポート
P35/ $\overline{\text{OE}}$ / CKE ^{*1}	1、2、4、7	T	T	[ $\overline{\text{OE}}$ 、 $\overline{\text{CKE}}$ 出力時、 OPE = 0 ] T [ $\overline{\text{OE}}$ 出力時、OPE = 1 ] H [ CKE 出力時、 OPE = 1 ] L [ 上記以外 ] keep	[ $\overline{\text{OE}}$ 、 $\overline{\text{CKE}}$ 出力時、 OPE = 0 ] T [ 上記以外 ] keep	[ $\overline{\text{OE}}$ 、 $\overline{\text{CKE}}$ 出力時、 OPE = 0 ] $\overline{\text{OE}}$ 、CKE [ 上記以外 ] 入出力ポート
P47/DA1	1、2、4、7	T	T	[ DAOE1 = 1 ] keep [ DAOE1 = 0 ] T	keep	入力ポート
P46/DA0	1、2、4、7	T	T	[ DAOE0 = 1 ] keep [ DAOE0 = 0 ] T	keep	入力ポート
P45 ~ P40	1、2、4、7	T	T	T	T	入力ポート
P53 ~ P50	1、2、4、7	T	T	keep	keep	入出力ポート
ポート 6	1、2、4、7	T	T	keep	keep	入出力ポート
ポート 8	1、2、4、7	T	T	keep	keep	入出力ポート

付録

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
P97/DA5	1、2、4、7	T	T	[ DAOE5 = 1 ] keep [ DAOE5 = 0 ] T	keep	入力ポート
P96/DA4	1、2、4、7	T	T	[ DAOE4 = 1 ] keep [ DAOE4 = 0 ] T	keep	入力ポート
P95/DA3	1、2、4、7	T	T	[ DAOE3 = 1 ] keep [ DAOE3 = 0 ] T	keep	入力ポート
P94/DA2	1、2、4、7	T	T	[ DAOE2 = 1 ] keep [ DAOE2 = 0 ] T	keep	入力ポート
P93 ~ P90	1、2、4、7	T	T	T	T	入力ポート
PA7/A23 PA6/A22 PA5/A21	1、2、4、7	T	T	[ アドレス出力時、 OPE = 0 ] T [ アドレス出力時、 OPE = 1 ] keep [ 上記以外 ] keep	[ アドレス出力時 ] T [ 上記以外 ] keep	[ アドレス出力時 ] A23 ~ A21 [ 上記以外 ] 入出力ポート

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PA4/A20 PA3/A19 PA2/A18 PA1/A17 PA0/A16	1、2	L	T	[ OPE = 0 ] T [ OPE = 1 ] keep	T	[ アドレス出力時 ] A20 ~ A16
	3、4、7	T	T	[ アドレス出力時、 OPE = 0 ] T [ アドレス出力時、 OPE = 1 ] keep [ 上記以外 ] keep	[ アドレス出力時 ] T [ 上記以外 ] keep	[ アドレス出力時 ] A20 ~ A16 [ 上記以外 ] 入出力ポート
ポート B	1、2	L	T	[ OPE = 0 ] T [ OPE = 1 ] keep	T	[ アドレス出力時 ] A15 ~ A8
	4	T	T	[ アドレス出力時、 OPE = 0 ] T [ アドレス出力時、 OPE = 1 ] keep [ 上記以外 ] keep	[ アドレス出力時 ] T [ 上記以外 ] keep	[ アドレス出力時 ] A15 ~ A8 [ 上記以外 ] 入出力ポート
	3、5*2、7	T	T	[ アドレス出力時、 OPE = 0 ] T [ アドレス出力時、 OPE = 1 ] keep [ 上記以外 ] keep	[ アドレス出力時 ] T [ 上記以外 ] keep	[ アドレス出力時 ] A15 ~ A8 [ 上記以外 ] 入出力ポート
ポート C	1、2	L	T	[ OPE = 0 ] T [ OPE = 1 ] Keep	T	[ アドレス出力時 ] A7 ~ A0

付録

ポート名 端子名	MCU動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード	
ポート C	4	T	T	[ アドレス出力時、 OPE = 0 ] T [ アドレス出力時、 OPE = 1 ] keep [ 上記以外 ] keep	[ アドレス出力時 ] T [ 上記以外 ] keep	[ アドレス出力時 ] A7 ~ A0 [ 上記以外 ] 入出力ポート	
	3、5* ² 、7	T	T	[ アドレス出力時、 OPE = 0 ] T [ アドレス出力時、 OPE = 1 ] keep [ 上記以外 ] keep	[ アドレス出力時 ] T [ 上記以外 ] keep	[ アドレス出力時 ] A7 ~ A0 [ 上記以外 ] 入出力ポート	
ポート D	1、2、4	T	T	T	T	D15 ~ D8	
	3、5* ² 、7	T	T	[ データバス ] T [ 上記以外 ] keep	[ データバス ] T [ 上記以外 ] keep	[ データバス ] D15 ~ D8 [ 上記以外 ] 入出力ポート	
ポート E	1、 2、 4	8ビット バス	T	T	Keep	Keep	入出力ポート
		16ビット バス	T	T	T	T	D7 ~ D0
	3、 5* ² 、 7	8ビット バス	T	T	Keep	Keep	入出力ポート
		16ビット バス	T	T	[ データバス ] T [ 上記以外 ] keep	[ データバス ] T [ 上記以外 ] keep	[ データバス ] D7 ~ D0 [ 上記以外 ] 入出力ポート
PF7/	1、2、4	クロック 出力	T	[ クロック出力時 ] H [ 上記以外 ] keep	[ クロック出力時 ] クロック出力 [ 上記以外 ] keep	[ クロック出力時 ] クロック出力 [ 上記以外 ] 入力ポート	
	3、5* ² 、7	T					

ポート名 端子名	MCU動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PF6/ $\overline{AS}$	1、2、4	H	T	[ $\overline{AS}$ 出力時、 OPE = 0 ] T [ $\overline{AS}$ 出力時、 OPE = 1 ] H [ 上記以外 ] keep	[ $\overline{AS}$ 出力時 ] T [ 上記以外 ] keep	[ $\overline{AS}$ 出力時 ] $\overline{AS}$ [ 上記以外 ] 入出力ポート
	3、5* ² 、7	T				
PF5/ $\overline{RD}$ PF4/ $\overline{HWR}$	1、2、4	H	T	[ OPE = 0 ] T [ OPE = 1 ] H	T [ $\overline{RD}$ 、 $\overline{HWR}$ 出力時 ] T [ 上記以外 ] keep	$\overline{RD}$ 、 $\overline{HWR}$ [ $\overline{RD}$ 、 $\overline{HWR}$ 出力時 ] $\overline{RD}$ 、 $\overline{HWR}$ [ 上記以外 ] 入出力ポート
	3、5* ² 、7	T				
PF3/ $\overline{LWR}$	1、2、4	H	T	[ $\overline{LWR}$ 出力時、 OPE = 0 ] T [ $\overline{LWR}$ 出力時、 OPE = 1 ] H [ 上記以外 ] keep	[ $\overline{LWR}$ 出力時 ] T [ 上記以外 ] keep	[ $\overline{LWR}$ 出力時 ] $\overline{LWR}$ [ 上記以外 ] 入出力ポート
	3、5* ³ 、7	T				
PF2/ $\overline{LCAS}$ / DQML* ¹	1、2、4、7	T	T	[ $\overline{LCAS}$ 、DQML 出力時、OPE = 0 ] T [ $\overline{LCAS}$ 、DQML 出力時、OPE = 1 ] H [ 上記以外 ] keep	[ $\overline{LCAS}$ 、DQML 出力時 ] T [ 上記以外 ] keep	[ $\overline{LCAS}$ 、DQML 出力時 ] $\overline{LCAS}$ 、DQML [ 上記以外 ] 入出力ポート

付録

ポート名 端子名	MCU 動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PF1/ $\overline{\text{UCAS}}$ / DQMU* ¹	1、2、4、7	T	T	[ $\overline{\text{UCAS}}$ 、DQMU 出力時、OPE = 0] T [ $\overline{\text{UCAS}}$ 、DQMU 出力時、OPE = 1] H [上記以外] keep	[ $\overline{\text{UCAS}}$ 、DQMU 出力時] T [上記以外] keep	[ $\overline{\text{UCAS}}$ 、DQMU 出力時] $\overline{\text{UCAS}}$ [上記以外] 入出力ポート
PF0/ $\overline{\text{WAIT}}$	1、2、4、7	T	T	[ $\overline{\text{WAIT}}$ 入力時] T [上記以外] keep	[ $\overline{\text{WAIT}}$ 入力時] T [上記以外] keep	[ $\overline{\text{WAIT}}$ 入力時] $\overline{\text{WAIT}}$ [上記以外] 入出力ポート
PG6/ $\overline{\text{BREQ}}$	1、2、4、7	T	T	[ $\overline{\text{BREQ}}$ 入力時] T [上記以外] keep	[ $\overline{\text{BREQ}}$ 入力時] $\overline{\text{BREQ}}$	[ $\overline{\text{BREQ}}$ 入力時] $\overline{\text{BREQ}}$ [上記以外] 入出力ポート
PG5/ $\overline{\text{BACK}}$	1、2、4、7	T	T	[ $\overline{\text{BACK}}$ 出力時] T [上記以外] keep	BACK	[ $\overline{\text{BACK}}$ 出力時] BACK [上記以外] 入出力ポート
PG4/ $\overline{\text{BREQO}}$	1、2、4、7	T	T	[ $\overline{\text{BREQO}}$ 出力時] T [上記以外] keep	[ $\overline{\text{BREQO}}$ 出力時] $\overline{\text{BREQO}}$ [上記以外] keep	[ $\overline{\text{BREQO}}$ 出力時] $\overline{\text{BREQO}}$ [上記以外] 入出力ポート
PG3/ $\overline{\text{CS3}}$ PG2/ $\overline{\text{CS2}}$ PG1/ $\overline{\text{CS1}}$	1、2、4、7	T	T	[ $\overline{\text{CS}}$ 出力時、OPE = 0] T [ $\overline{\text{CS}}$ 出力時、OPE = 1] H [上記以外] keep	[ $\overline{\text{CS}}$ 出力時] T [上記以外] keep	[ $\overline{\text{CS}}$ 出力時] $\overline{\text{CS}}$ [上記以外] 入出力ポート
PG0/ $\overline{\text{CS0}}$	1、2	H	T	[ $\overline{\text{CS}}$ 出力時、OPE = 0] T	[ $\overline{\text{CS}}$ 出力時] T	[ $\overline{\text{CS}}$ 出力時] $\overline{\text{CS}}$
	3、4、5* ² 、 7	T		[ $\overline{\text{CS}}$ 出力時、OPE = 1] H [上記以外] keep	[上記以外] keep	[上記以外] 入出力ポート

ポート名 端子名	MCU動作 モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	バス権 解放状態	プログラム 実行状態 スリープモード
PH3/ $\overline{\text{OE}}$ / CKE* ¹ / $\overline{\text{CS}}$ ⁷	1、2、4、7	T	T	[ $\overline{\text{OE}}$ 、 $\overline{\text{CS}}$ 、CKE 出力時、OPE = 0] T [ $\overline{\text{OE}}$ 出力時、OPE = 1] H [ $\overline{\text{CS}}$ 出力時、OPE = 1] H [CKE 出力時、 OPE = 1] L [上記以外] keep	[ $\overline{\text{OE}}$ 、 $\overline{\text{CS}}$ 、 CKE 出力時] T [上記以外] keep	[ $\overline{\text{OE}}$ 、CKE 出力時] $\overline{\text{OE}}$ 、CKE [ $\overline{\text{CS}}$ 出力時] $\overline{\text{CS}}$ [上記以外] 入出力ポート
PH2/ $\overline{\text{CS}}$ ⁶	1、2、4、7	T	T	[ $\overline{\text{CS}}$ 出力時、OPE = 0] T [ $\overline{\text{CS}}$ 出力時、OPE = 1] H [上記以外] keep	[ $\overline{\text{CS}}$ 出力時] T [上記以外] keep	[ $\overline{\text{CS}}$ 出力時] $\overline{\text{CS}}$ [上記以外] 入出力ポート
PH1/ $\overline{\text{CS}}$ ⁵ / SDRAM * ¹	1、2、4、7	[DCTL = 1] クロック出力 [DCTL = 0] T	[DCTL = 1] L [DCTL = 0] T	[DCTL = 1] L [DCTL = 0、 $\overline{\text{CS}}$ 出力時、OPE = 0] T [DCTL = 0、 $\overline{\text{CS}}$ 出力時、OPE = 1] H [上記以外] keep	[DCTL = 1] クロック出力 [DCTL = 0、 $\overline{\text{CS}}$ 出力時] T [上記以外] keep	[DCTL = 1] クロック出力 [DCTL = 0、 $\overline{\text{CS}}$ 出力時] $\overline{\text{CS}}$ [上記以外] keep
PH0/ $\overline{\text{CS}}$ ⁴	1、2、4、7	T	T	[ $\overline{\text{CS}}$ 出力時、 OPE = 0] T [ $\overline{\text{CS}}$ 出力時、 OPE = 1] H [上記以外] keep	[ $\overline{\text{CS}}$ 出力時] T [上記以外] keep	[ $\overline{\text{CS}}$ 出力時] $\overline{\text{CS}}$ [上記以外] 入出力ポート
WDTOVF	1、2、4、7	H	H	H	H	H* ³

【記号説明】

L	: Low レベル	H	: High レベル
keep	: 入力ポートはハイインピーダンス、 出力ポートは保持	T	: ハイインピーダンス
OPE	: 出力ポートイネーブル	DDR	: データディレクションレジスタ

- 【注】 *1 H8S/2378 グループではサポートしていません。  
*2 H8S/2378 0.18  $\mu$ m F-ZTAT グループ、H8S/2378R 0.18  $\mu$ m F-ZTAT グループのみ使用できます。  
*3 WT/IT = 1 の状態でウォッチドッグがオーバーフローした場合、Low 出力されます。

## B. 型名一覧

製品分類		製品型名	マーク型名	パッケージ(コード)	
H8S/2378 グループ	H8S/2378	F-ZTAT 版	HD64F2378B	HD64F2378BVLP	145 ピン LGA (TLP-145V*)
				HD64F2378BVFQ	144 ピン LQFP (FP-144H、FP-144HV*)
	H8S/2377	F-ZTAT 版	HD64F2377	HD64F2377VFQ	
	H8S/2375	マスク ROM 版	HD6432375	HD6432375FQ	
	H8S/2374	F-ZTAT 版	HD64F2374	HD64F2374VLP	145 ピン LGA (TLP-145V*)
				HD64F2374VFQ	144 ピン LQFP (FP-144H、FP-144HV*)
	H8S/2373	ROM レス版	HD6412373	HD6412373VFQ	
	H8S/2372	F-ZTAT 版	HD64F2372	HD64F2372VLP	145 ピン LGA (TLP-145V*)
				HD64F2372VFQ	144 ピン LQFP (FP-144H、FP-144HV*)
	H8S/2371	F-ZTAT 版	HD64F2371	HD64F2371VLP	145 ピン LGA (TLP-145V*)
HD64F2371VFQ				144 ピン LQFP (FP-144H、FP-144HV*)	
H8S/2370	F-ZTAT 版	HD64F2370	HD64F2370VLP	145 ピン LGA (TLP-145V*)	
			HD64F2370VFQ	144 ピン LQFP (FP-144H、FP-144HV*)	
H8S/2378R グループ	H8S/2378R	F-ZTAT 版	HD64F2378R	HD64F2378RVLP	145 ピン LGA (TLP-145V*)
				HD64F2378RVFQ	144 ピン LQFP (FP-144H、FP-144HV*)
	H8S/2377R	F-ZTAT 版	HD64F2377R	HD64F2377RVFQ	
	H8S/2375R	マスク ROM 版	HD6432375R	HD6432375RFQ	
	H8S/2374R	F-ZTAT 版	HD64F2374R	HD64F2374RVLP	145 ピン LGA (TLP-145V*)
				HD64F2374RVFQ	144 ピン LQFP (FP-144H、FP-144HV*)
	H8S/2373R	ROM レス版	HD6412373R	HD6412373RVFQ	
	H8S/2372R	F-ZTAT 版	HD64F2372R	HD64F2372RVLP	145 ピン LGA (TLP-145V*)
				HD64F2372RVFQ	144 ピン LQFP (FP-144H、FP-144HV*)
	H8S/2371R	F-ZTAT 版	HD64F2371R	HD64F2371RVLP	145 ピン LGA (TLP-145V*)
HD64F2371RVFQ				144 ピン LQFP (FP-144H、FP-144HV*)	
H8S/2370R	F-ZTAT 版	HD64F2370R	HD64F2370RVLP	145 ピン LGA (TLP-145V*)	
			HD64F2370RVFQ	144 ピン LQFP (FP-144H、FP-144HV*)	

【注】 上記製品は開発中、計画中の製品も含まれます。各製品の状況につきましては、当社営業担当者に確認してください。  
また、F-ZTAT 版では製品型名は同一ですが、オプション機能 (IIC2) を使用する場合には、必ず当社営業担当者にご連絡ください。

* Pb フリー版

### C. 外形寸法図

外形寸法図については、「ルネサス半導体パッケージデータブック」に掲載されている寸法図を優先します。

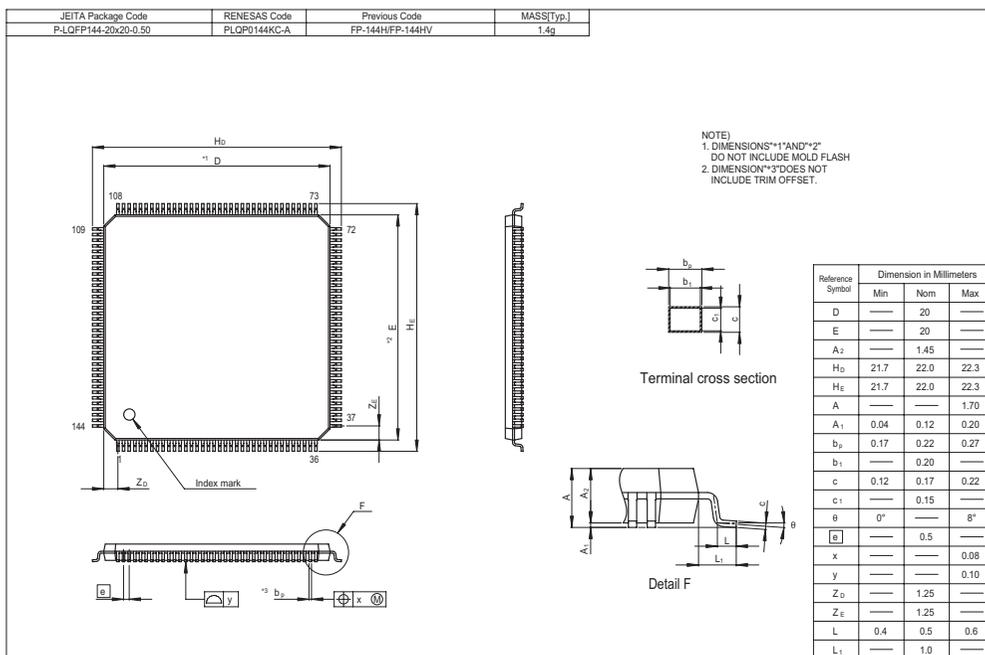


図 C.1 外形寸法図 (FP-144H)

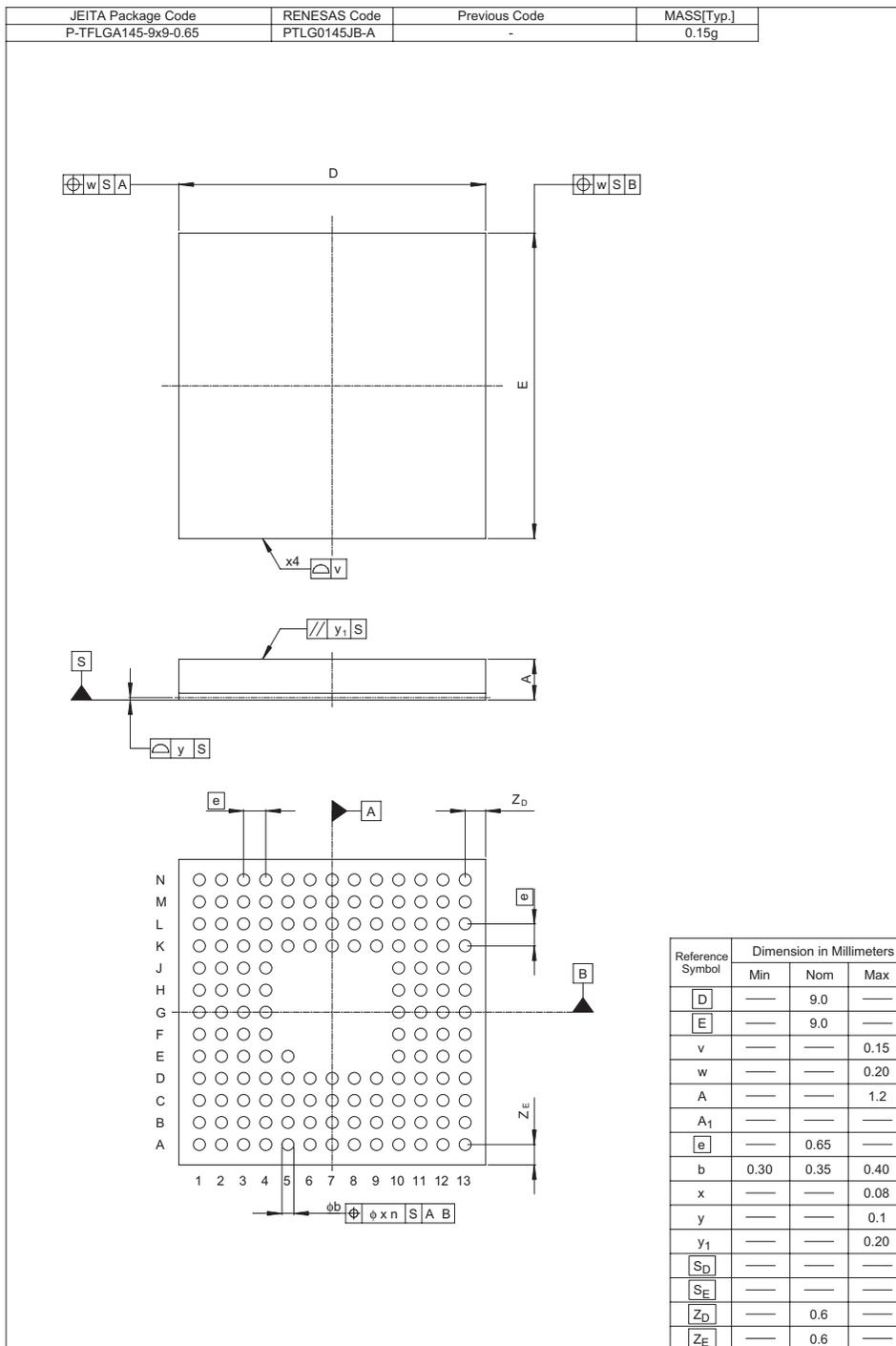
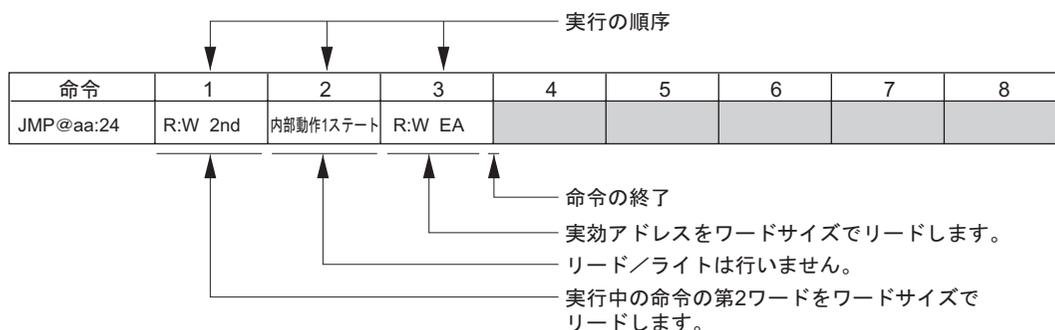


図 C.2 外形寸法図 (TLP-145V)

## D. 命令実行中のバス状態

本 LSI の個々の命令についての実行状態を表 D.1 に示します。

《表の見方》



《記号説明》

R : B	バイトサイズリードを行います。
R : W	ワードサイズリードを行います。
W : B	バイトサイズライトを行います。
W : W	ワードサイズライトを行います。
: M	本サイクル直後はバス権移譲を行いません。
2nd	第2ワード(第3・第4バイト)のアドレスです。
3rd	第3ワード(第5・第6バイト)のアドレスです。
4th	第4ワード(第7・第8バイト)のアドレスです。
5th	第5ワード(第9・第10バイト)のアドレスです。
NEXT	実行中の命令の直後の命令の先頭アドレスです。
EA	実効アドレスです。
VEC	ベクタアドレスです。

8ビットバス・3ステートアクセス・ウェイトなしの場合、上記命令実行中のアドレスバス、 $\overline{RD}$ 、 $\overline{HWR}$ 、 $\overline{LWR}$ のタイミングを図D.1に示します。

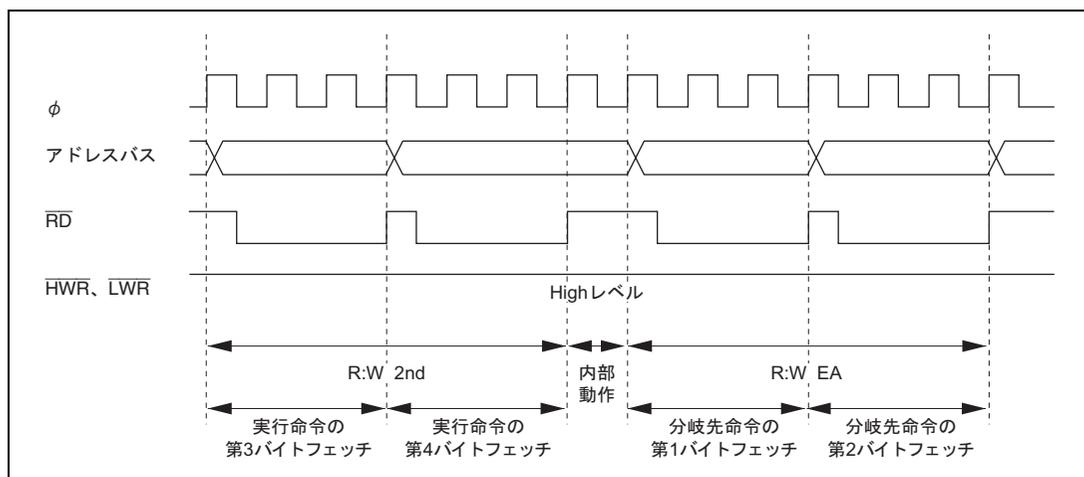


図 D.1 アドレスバス、 $\overline{RD}$ 、 $\overline{HWR}$ 、 $\overline{LWR}$ のタイミング  
(8ビットバス・3ステートアクセス・ウェイトなしの場合)

表 D.1 命令の実行状態

命令	1	2	3	4	5	6	7	8	9
ADD.B #xx:8,Rd	R:W NEXT								
ADD.B Rs,Rd	R:W NEXT								
ADD.W #xx:16,Rd	R:W 2nd	R:W NEXT							
ADD.W Rs,Rd	R:W NEXT								
ADD.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
ADD.L ERs,ERd	R:W NEXT								
ADDS #1/2/4,ERd	R:W NEXT								
ADDX #xx:8,Rd	R:W NEXT								
ADDX Rs,Rd	R:W NEXT								
AND.B #xx:8,Rd	R:W NEXT								
AND.B Rs,Rd	R:W NEXT								
AND.W #xx:16,Rd	R:W 2nd	R:W NEXT							
AND.W Rs,Rd	R:W NEXT								
AND.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
AND.L ERs,ERd	R:W 2nd	R:W NEXT							
ANDC #xx:8,CCR	R:W NEXT								
ANDC #xx:8,EXR	R:W 2nd	R:W NEXT							
BAND #xx:3,Rd	R:W NEXT								
BAND #xx:3,@ERd	R:W 2nd	R:B EA	R:W NEXT						
BAND #xx:3,@aa:8	R:W 2nd	R:B EA	R:W NEXT						
BAND #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W NEXT					
BAND #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W NEXT				
BRA d:8(BT d:8)	R:W NEXT	R:W EA							
BRN d:8 (BF d:8)	R:W NEXT	R:W EA							
BHI d:8	R:W NEXT	R:W EA							
BLS d:8	R:W NEXT	R:W EA							
BCC d:8(BHS d:8)	R:W NEXT	R:W EA							
BCS d:8(BLO d:8)	R:W NEXT	R:W EA							
BNE d:8	R:W NEXT	R:W EA							
BEQ d:8	R:W NEXT	R:W EA							
BVC d:8	R:W NEXT	R:W EA							
BVS d:8	R:W NEXT	R:W EA							
BPL d:8	R:W NEXT	R:W EA							
BMI d:8	R:W NEXT	R:W EA							
BGE d:8	R:W NEXT	R:W EA							
BLT d:8	R:W NEXT	R:W EA							

命令	1	2	3	4	5	6	7	8	9
BGT d:8	R:W NEXT	R:W EA							
BLE d:8	R:W NEXT	R:W EA							
BRA d:16(BT d:16)	R:W 2nd	内部動作 1 ステート	R:W EA						
BRN d:16(BF d:16)	R:W 2nd	内部動作 1 ステート	R:W EA						
BHI d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BLS d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BCC d:16(BHS d:16)	R:W 2nd	内部動作 1 ステート	R:W EA						
BCS d:16(BLO d:16)	R:W 2nd	内部動作 1 ステート	R:W EA						
BNE d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BEQ d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BVC d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BVS d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BPL d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BMI d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BGE d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BLT d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BGT d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BLE d:16	R:W 2nd	内部動作 1 ステート	R:W EA						
BCLR #xx:3,Rd	R:W NEXT								
BCLR #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					

付録

命令	1	2	3	4	5	6	7	8	9
BCLR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BCLR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BCLR Rn,Rd	R:W NEXT								
BCLR Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BCLR Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BCLR Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BIAND #xx:3,Rd	R:W NEXT								
BIAND #xx:3,@ERd	R:W 2nd	R:B EA	R:W NEXT						
BIAND #xx:3,@aa:8	R:W 2nd	R:B EA	R:W NEXT						
BIAND #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W NEXT					
BIAND #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W NEXT				
BILD #xx:3,Rd	R:W NEXT								
BILD #xx:3,@ERd	R:W 2nd	R:B EA	R:W NEXT						
BILD #xx:3,@aa:8	R:W 2nd	R:B EA	R:W NEXT						
BILD #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W NEXT					
BILD #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W NEXT				
BIOR #xx:3,Rd	R:W NEXT								
BIOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W NEXT						
BIOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W NEXT						
BIOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W NEXT					
BIOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W NEXT				
BIST #xx:3,Rd	R:W NEXT								
BIST #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BIST #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BIST #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BIST #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BIXOR #xx:3,Rd	R:W NEXT								
BIXOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W NEXT						
BIXOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W NEXT						
BIXOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W NEXT					

命令	1	2	3	4	5	6	7	8	9
BIXOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W NEXT				
BLD #xx:3,Rd	R:W NEXT								
BLD #xx:3,@ERd	R:W 2nd	R:B EA	R:W NEXT						
BLD #xx:3,@aa:8	R:W 2nd	R:B EA	R:W NEXT						
BLD #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W NEXT					
BLD #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W NEXT				
BNOT #xx:3,Rd	R:W NEXT								
BNOT #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BNOT #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BNOT Rn,Rd	R:W NEXT								
BNOT Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT Rn,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BNOT Rn,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BNOT Rn,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BOR #xx:3,Rd	R:W NEXT								
BOR #xx:3,@ERd	R:W 2nd	R:B EA	R:W NEXT						
BOR #xx:3,@aa:8	R:W 2nd	R:B EA	R:W NEXT						
BOR #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B EA	R:W NEXT					
BOR #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W NEXT				
BSET #xx:3,Rd	R:W NEXT								
BSET #xx:3,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET #xx:3,@aa:8	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET #xx:3,@aa:16	R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BSET #xx:3,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BSET Rn,Rd	R:W NEXT								
BSET Rn,@ERd	R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					

# 付録

命令		1	2	3	4	5	6	7	8	9
BSET Rn,@aa:8		R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BSET Rn,@aa:16		R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BSET Rn,@aa:32		R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BSR d:8	アドバンス	R:W NEXT	R:W EA	W:W:M スタック(H)	W:W スタック(L)					
BSR d:16	アドバンス	R:W 2nd	内部動作 1 ステート	R:W EA	W:W:M スタック(H)	W:W スタック(L)				
BST #xx:3,Rd		R:W NEXT								
BST #xx:3,@ERd		R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BST #xx:3,@aa:8		R:W 2nd	R:B:M EA	R:W:M NEXT	W:B EA					
BST #xx:3,@aa:16		R:W 2nd	R:W 3rd	R:B:M EA	R:W:M NEXT	W:B EA				
BST #xx:3,@aa:32		R:W 2nd	R:W 3rd	R:W 4th	R:B:M EA	R:W:M NEXT	W:B EA			
BTST #xx:3,Rd		R:W NEXT								
BTST #xx:3,@ERd		R:W 2nd	R:B EA	R:W NEXT						
BTST #xx:3,@aa:8		R:W 2nd	R:B EA	R:W NEXT						
BTST #xx:3,@aa:16		R:W 2nd	R:W 3rd	R:B EA	R:W NEXT					
BTST #xx:3,@aa:32		R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W NEXT				
BTST Rn,Rd		R:W NEXT								
BTST Rn,@ERd		R:W 2nd	R:B EA	R:W NEXT						
BTST Rn,@aa:8		R:W 2nd	R:B EA	R:W NEXT						
BTST Rn,@aa:16		R:W 2nd	R:W 3rd	R:B EA	R:W NEXT					
BTST Rn,@aa:32		R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W NEXT				
BXOR #xx:3,Rd		R:W NEXT								
BXOR #xx:3,@ERd		R:W 2nd	R:B EA	R:W NEXT						
BXOR #xx:3,@aa:8		R:W 2nd	R:B EA	R:W NEXT						
BXOR #xx:3,@aa:16		R:W 2nd	R:W 3rd	R:B EA	R:W NEXT					
BXOR #xx:3,@aa:32		R:W 2nd	R:W 3rd	R:W 4th	R:B EA	R:W NEXT				
CLRMAC		R:W NEXT	内部動作 1 ステート							
CMP.B #xx:8,Rd		R:W NEXT								
CMP.B Rs,Rd		R:W NEXT								
CMP.W #xx:16,Rd		R:W 2nd	R:W NEXT							

命令	1	2	3	4	5	6	7	8	9
CMP.W Rs,Rd	R:W NEXT								
CMP.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
CMP.L ERs,ERd	R:W NEXT								
DAA Rd	R:W NEXT								
DAS Rd	R:W NEXT								
DEC.B Rd	R:W NEXT								
DEC.W #1/2,Rd	R:W NEXT								
DEC.L #1/2,ERd	R:W NEXT								
DIVXS.B Rs,Rd	R:W 2nd	R:W NEXT	内部動作 11 ステート						
DIVXS.W Rs,ERd	R:W 2nd	R:W NEXT	内部動作 19 ステート						
DIVXU.B Rs,Rd	R:W NEXT	内部動作 11 ステート							
DIVXU.W Rs,ERd	R:W NEXT	内部動作 19 ステート							
EEMOV.B	R:W 2nd	内部動作 2 ステート		R:B EAs * ¹	W:B EAd * ¹	R:W NEXT			
EEMOV.W	R:W 2nd	内部動作 2 ステート		R:B EAs * ¹	W:B EAd * ¹	R:W NEXT			
EXTS.W Rd	R:W NEXT			n 回繰り返し返す * ¹					
EXTS.L ERd	R:W NEXT								
EXTU.W Rd	R:W NEXT								
EXTU.L ERd	R:W NEXT								
INC.B Rd	R:W NEXT								
INC.W #1/2,Rd	R:W NEXT								
INC.L #1/2,ERd	R:W NEXT								
JMP @ERn	R:W NEXT	R:W EA							
JMP @aa:24	R:W 2nd	内部動作 1 ステート	R:W EA						
JMP @@aa:8	アドバン スト	R:W NEXT	R:W:M aa:8	R:W aa:8	内部動作 1 ステート	R:W EA			
JSR @ERn	アドバン スト	R:W NEXT	R:W EA	W:W:M スタック(H)	W:W スタック(L)				
JSR @aa:24	アドバン スト	R:W 2nd	内部動作 1 ステート	R:W EA	W:W:M スタック(H)	W:W スタック(L)			
JSR @@aa:8	アドバン スト	R:W NEXT	R:W:M aa:8	R:W aa:8	W:W:M スタック(H)	W:W スタック(L)	R:W EA		
LDC #xx:8,CCR	R:W NEXT								
LDC #xx:8,EXR	R:W 2nd	R:W NEXT							
LDC Rs,CCR	R:W NEXT								
LDC Rs,EXR	R:W NEXT								
LDC @ERs,CCR	R:W 2nd	R:W NEXT	R:W EA						

# 付録

命令	1	2	3	4	5	6	7	8	9
LDC @ERs,EXR	R:W 2nd	R:W NEXT	R:W EA						
LDC@(d:16,ERs),CCR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC@(d:16,ERs),EXR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC@(d:32,ERs),CCR	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W EA			
LDC@(d:32,ERs),EXR	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W EA			
LDC @ERs+,CCR	R:W 2nd	R:W NEXT	内部動作 1 ステート	R:W EA					
LDC @ERs+,EXR	R:W 2nd	R:W NEXT	内部動作 1 ステート	R:W EA					
LDC @aa:16,CCR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @aa:16,EXR	R:W 2nd	R:W 3rd	R:W NEXT	R:W EA					
LDC @aa:32,CCR	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
LDC @aa:32,EXR	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
LDM.L @SP+, (ERn-ERn+1) * ⁸	R:W 2nd	R:W NEXT	内部動作 1 ステート	R:W:M スタック(H) * ²	R:W スタック(L) * ²				
LDM.L @SP+, (ERn-ERn+2) * ⁸	R:W 2nd	R:W NEXT	内部動作 1 ステート	R:W:M スタック(H) * ²	R:W スタック(L) * ²				
LDM.L @SP+, (ERn-ERn+3) * ⁸	R:W 2nd	R:W NEXT	内部動作 1 ステート	R:W:M スタック(H) * ²	R:W スタック(L) * ²				
LDMAC ERs,MACH	R:W NEXT	内部動作 1 ステート							
LDMAC ERs,MACL	R:W NEXT	内部動作 1 ステート							
MAC @ERn+,@ERm+	R:W 2nd	R:W NEXT	R:W EAn	R:W EAm					
MOV.B #xx:8,Rd	R:W NEXT								
MOV.B Rs,Rd	R:W NEXT								
MOV.B @ERs,Rd	R:W NEXT	R:B EA							
MOV.B @(d:16,ERs), Rd	R:W 2nd	R:W NEXT	R:B EA						
MOV.B @(d:32,ERs), Rd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:B EA				
MOV.B @ERs+,Rd	R:W NEXT	内部動作 1 ステート	R:B EA						
MOV.B @aa:8,Rd	R:W NEXT	R:B EA							
MOV.B @aa:16,Rd	R:W 2nd	R:W NEXT	R:B EA						
MOV.B @aa:32,Rd	R:W 2nd	R:W 3rd	R:W NEXT	R:B EA					
MOV.B Rs,@ERd	R:W NEXT	W:B EA							

命令	1	2	3	4	5	6	7	8	9
MOV.B Rs, @(d:16,ERd)	R:W 2nd	R:W NEXT	W:B EA						
MOV.B Rs, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:B EA				
MOV.B Rs,@-ERd	R:W NEXT	内部動作 1 ステート	W:B EA						
MOV.B Rs,@aa:8	R:W NEXT	W:B EA							
MOV.B Rs,@aa:16	R:W 2nd	R:W NEXT	W:B EA						
MOV.B Rs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:B EA					
MOV.W #xx:16,Rd	R:W 2nd	R:W NEXT							
MOV.W Rs,Rd	R:W NEXT								
MOV.W @ERs,Rd	R:W NEXT	R:W EA							
MOV.W @(d:16,ERs), Rd	R:W 2nd	R:W NEXT	R:W EA						
MOV.W @(d:32,ERs), Rd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W EA				
MOV.W @ERs+,Rd	R:W NEXT	内部動作 1 ステート	R:W EA						
MOV.W @aa:16,Rd	R:W 2nd	R:W NEXT	R:W EA						
MOV.W @aa:32,Rd	R:W 2nd	R:W 3rd	R:W NEXT	R:B EA					
MOV.W Rs,@ERd	R:W NEXT	W:W EA							
MOV.W Rs, @(d:16,ERd)	R:W 2nd	R:W NEXT	W:W EA						
MOV.W Rs, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA				
MOV.W Rs,@-ERd	R:W NEXT	内部動作 1 ステート	W:W EA						
MOV.W Rs,@aa:16	R:W 2nd	R:W NEXT	W:W EA						
MOV.W Rs,@aa:32	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
MOV.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
MOV.L ERs,ERd	R:W NEXT								
MOV.L @ERs,ERd	R:W 2nd	R:W NEXT	R:W:M EA	R:W EA+2					
MOV.L @(d:16,ERs), ERd	R:W 2nd	R:W 3rd	R:W NEXT	R:W:M EA	R:W EA+2				
MOV.L @(d:32,ERs), ERd	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	R:W:M EA	R:W EA+2		
MOV.L @ERs+,ERd	R:W 2nd	R:W NEXT	内部動作 1 ステート	R:W:M EA	R:W EA+2				

付録

命令	1	2	3	4	5	6	7	8	9
MOV.L @aa:16,ERd	R:W 2nd	R:W 3rd	R:W NEXT	R:W:M EA	R:W EA+2				
MOV.L @aa:32,ERd	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	R:W:M EA	R:W EA+2			
MOV.L ERs,@ERd	R:W 2nd	R:W NEXT	W:W:M EA	W:W EA+2					
MOV.L ERs, @(d:16,ERd)	R:W 2nd	R:W 3rd	R:W NEXT	W:W:M EA	W:W EA+2				
MOV.L ERs, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W:M EA	W:W EA+2		
MOV.L ERs,@-ERd	R:W 2nd	R:W NEXT	内部動作 1 ステート	W:W:M EA	W:W EA+2				
MOV.L ERs,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W:M EA	W:W EA+2				
MOV.L ERs,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W:M EA	W:W EA+2			
MOVFPPE @aa:16,Rd	本 LSI では使用できません。								
MOVTPE Rs,@aa:16									
MULXS.B Rs,Rd	R:W 2nd	R:W NEXT	内部動作 2 ステート						
MULXS.W Rs,ERd	R:W 2nd	R:W NEXT	内部動作 3 ステート						
MULXU.B Rs,Rd	R:W NEXT	内部動作 2 ステート							
MULXU.W Rs,ERd	R:W NEXT	内部動作 3 ステート							
NEG.B Rd	R:W NEXT								
NEG.W Rd	R:W NEXT								
NEG.L ERd	R:W NEXT								
NOP	R:W NEXT								
NOT.B Rd	R:W NEXT								
NOT.W Rd	R:W NEXT								
NOT.L ERd	R:W NEXT								
OR.B #xx:8,Rd	R:W NEXT								
OR.B Rs,Rd	R:W NEXT								
OR.W #xx:16,Rd	R:W 2nd	R:W NEXT							
OR.W Rs,Rd	R:W NEXT								
OR.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT						
OR.L ERs,ERd	R:W 2nd	R:W NEXT							
ORC #xx:8,CCR	R:W NEXT								
ORC #xx:8,EXR	R:W 2nd	R:W NEXT							
POP.W Rn	R:W NEXT	内部動作 1 ステート	R:W EA						
POP.L ERn	R:W 2nd	R:W NEXT	内部動作 1 ステート	R:W:M EA	R:W EA+2				

命令	1	2	3	4	5	6	7	8	9
PUSH.W Rn	R:W NEXT	内部動作 1 ステート	W:W EA						
PUSH.L ERn	R:W 2nd	R:W NEXT	内部動作 1 ステート	W:W:M EA	W:W EA+2				
ROTL.B Rd	R:W NEXT								
ROTL.B #2,Rd	R:W NEXT								
ROTL.W Rd	R:W NEXT								
ROTL.W #2,Rd	R:W NEXT								
ROTL.L ERd	R:W NEXT								
ROTL.L #2,ERd	R:W NEXT								
ROTR.B Rd	R:W NEXT								
ROTR.B #2,Rd	R:W NEXT								
ROTR.W Rd	R:W NEXT								
ROTR.W #2,Rd	R:W NEXT								
ROTR.L ERd	R:W NEXT								
ROTR.L #2,ERd	R:W NEXT								
ROTXL.B Rd	R:W NEXT								
ROTXL.B #2,Rd	R:W NEXT								
ROTXL.W Rd	R:W NEXT								
ROTXL.W #2,Rd	R:W NEXT								
ROTXL.L ERd	R:W NEXT								
ROTXL.L #2,ERd	R:W NEXT								
ROTXR.B Rd	R:W NEXT								
ROTXR.B #2,Rd	R:W NEXT								
ROTXR.W Rd	R:W NEXT								
ROTXR.W #2,Rd	R:W NEXT								
ROTXR.L ERd	R:W NEXT								
ROTXR.L #2,ERd	R:W NEXT								
RTE	R:W NEXT	R:Wスタック (EXR)	R:W スタック(H)	R:W スタック(L)	内部動作 1 ステート	R:W * ³			
RTS	アドバン スト	R:W NEXT	R:W:M スタック(H)	R:W スタック(L)	内部動作 1 ステート	R:W * ³			
SHAL.B Rd	R:W NEXT								
SHAL.B #2,Rd	R:W NEXT								
SHAL.W Rd	R:W NEXT								
SHAL.W #2,Rd	R:W NEXT								
SHAL.L ERd	R:W NEXT								
SHAL.L #2,ERd	R:W NEXT								

付録

命令	1	2	3	4	5	6	7	8	9
SHAR.B Rd	R:W NEXT								
SHAR.B #2,Rd	R:W NEXT								
SHAR.W Rd	R:W NEXT								
SHAR.W #2,Rd	R:W NEXT								
SHAR.L ERd	R:W NEXT								
SHAR.L #2,ERd	R:W NEXT								
SHLL.B Rd	R:W NEXT								
SHLL.B #2,Rd	R:W NEXT								
SHLL.W Rd	R:W NEXT								
SHLL.W #2,Rd	R:W NEXT								
SHLL.L ERd	R:W NEXT								
SHLL.L #2,ERd	R:W NEXT								
SHLR.B Rd	R:W NEXT								
SHLR.B #2,Rd	R:W NEXT								
SHLR.W Rd	R:W NEXT								
SHLR.W #2,Rd	R:W NEXT								
SHLR.L ERd	R:W NEXT								
SHLR.L #2,ERd	R:W NEXT								
SLEEP	R:W NEXT	内部動作:M							
STC CCR,Rd	R:W NEXT								
STC EXR,Rd	R:W NEXT								
STC CCR,@ERd	R:W 2nd	R:W NEXT	W:W EA						
STC EXR,@ERd	R:W 2nd	R:W NEXT	W:W EA						
STC CCR, @(d:16,ERd)	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC EXR, @(d:16,ERd)	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC CCR, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W EA			
STC EXR, @(d:32,ERd)	R:W 2nd	R:W 3rd	R:W 4th	R:W 5th	R:W NEXT	W:W EA			
STC CCR,@-ERd	R:W 2nd	R:W NEXT	内部動作 1 ステート	W:W EA					
STC EXR,@-ERd	R:W 2nd	R:W NEXT	内部動作 1 ステート	W:W EA					
STC CCR,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					
STC EXR,@aa:16	R:W 2nd	R:W 3rd	R:W NEXT	W:W EA					

命令	1	2	3	4	5	6	7	8	9	
STC CCR,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA					
STC EXR,@aa:32	R:W 2nd	R:W 3rd	R:W 4th	R:W NEXT	W:W EA					
STM.L (ERn-ERn+1), @-SP* ⁸	R:W 2nd	R:W NEXT	内部動作 1 ステート	W:W:M スタック(H) * ²	W:W スタック(L) * ²					
STM.L (ERn-ERn+2), @-SP* ⁸	R:W 2nd	R:W NEXT	内部動作 1 ステート	W:W:M スタック(H) * ²	W:W スタック(L) * ²					
STM.L (ERn-ERn+3), @-SP* ⁸	R:W 2nd	R:W NEXT	内部動作 1 ステート	W:W:M スタック(H) * ²	W:W スタック(L) * ²					
STMAC MACH,ERd	R:W NEXT									
STMAC MACL,ERd	R:W NEXT									
SUB.B Rs,Rd	R:W NEXT									
SUB.W #xx:16,Rd	R:W 2nd	R:W NEXT								
SUB.W Rs,Rd	R:W NEXT									
SUB.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT							
SUB.L ERs,ERd	R:W NEXT									
SUBS #1/2/4,ERd	R:W NEXT									
SUBX #xx:8,Rd	R:W NEXT									
SUBX Rs,Rd	R:W NEXT									
TAS @ERd* ⁷	R:W 2nd	R:W NEXT	R:B:M EA	W:B EA						
TRAPA #x:2 アドバンスト	R:W NEXT	内部動作 1 ステート	W:W スタック(L)	W:W スタック(H)	W:W スタック(EXR)	R:W:M VEC	R:W VEC+2	内部動作 1 ステート	R:W * ⁶	
XOR.B #xx8,Rd	R:W NEXT									
XOR.B Rs,Rd	R:W NEXT									
XOR.W #xx:16,Rd	R:W 2nd	R:W NEXT								
XOR.W Rs,Rd	R:W NEXT									
XOR.L #xx:32,ERd	R:W 2nd	R:W 3rd	R:W NEXT							
XOR.L ERs,ERd	R:W 2nd	R:W NEXT								
XORC #xx:8,CCR	R:W NEXT									
XORC #xx:8,EXR	R:W 2nd	R:W NEXT								
リセット 例外処理	アドバンスト	R:W:M VEC	R:W VEC+2	内部動作 1 ステート	R:W * ⁴					
割り込み 例外処理	アドバンスト	R:W * ⁵	内部動作 1 ステート	W:W スタック(L)	W:W スタック(H)	W:W スタック(EXR)	R:W:M VEC	R:W VEC+2	内部動作 1 ステート	R:W * ⁶

【注】 *1 EAs は ER5、EAd は ER6 の内容で、実行後それぞれ 1 が加算されます。

また、n は R4L または R4 の初期値であり、n=0 のときこれらの実行は行われません。

*2 2 本退避 / 復帰時は 2 回、3 本退避 / 復帰時は 3 回、4 本退避 / 復帰時は 4 回繰り返します。

*3 リターン後の先頭アドレスです。

*4 プログラムのスタートアドレスです。

- *5 プリフェッチアドレスです。退避される PC に 2 を加算したアドレスです。  
また、スリープモード、ソフトウェアスタンバイモードからの復帰時にはリード動作は行われず、内部動作となります。
- *6 割り込み処理ルーチンの先頭アドレスです。
- *7 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。
- *8 STM/LDM 命令を使用する場合は、レジスタ ER0～ER6 を使用してください。

## 本版で改訂された箇所

修正項目	ページ	修正箇所
5.1 特長 図 5.1 割り込みコントローラのブロック図	5-2	図を修正 <p>The diagram shows the Interrupt Controller (INTCR) block. It includes an NMI input section with NMI and NMIIEG signals, and an IRQ input section with IRQ and ISR signals. Internal interrupt sources (ITSR, ISCR, IER) are also shown. The controller performs priority arbitration (優先順位判定) and outputs to the Interrupt Priority Register (IPR). Signals like INTM1, INTM0, and SWDTEND~IIC1 are also indicated.</p>
5.4.1 外部割り込み要因 (2) IRQ15~IRQ0 割り込み	5-13	説明を修正 割り込み処理開始前に、当該 <b>IRQ</b> 入力を High レベルに戻すと当該割り込みが実行されない場合があります。
6.6.10 バイトアクセス制御 図 6.28 CAS2 本方式の制御タイミング (上位バイトライトアクセス時、RAST=0、CAST=0 の場合)	6-52	図を修正 <p>The timing diagram shows the data bus upper and lower bits. A write data pulse is shown, followed by a high impedance state. The note indicates n=2~5.</p> <p>【注】 n=2~5</p>
6.7.11 バイトアクセス制御 図 6.51 DQMU、DQML によるバイト制御の接続例	6-76	図を修正 64M ビットシンクロナス DRAM 1M ワード×16 ビット ×4 バンク構成 8 ビットコラムアドレス
8. EXDMA コントローラ (EXDMAC)	8-1	説明を修正 本 LSI は、2 チャンルの外部バス転送専用 DMA コントローラ (EXDMAC) を内蔵しています。EXDMAC は、 <b>DACK</b> (DMA 転送通知) 付き外部デバイスと外部メモリ間の転送を CPU に代わって高速に行うことができます。

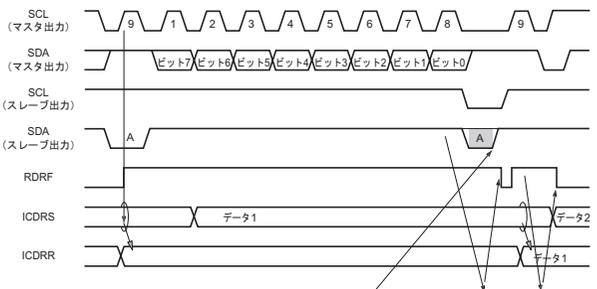
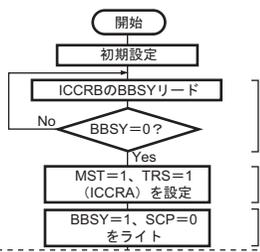
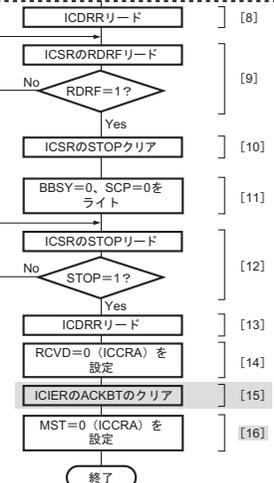
修正項目	ページ	修正箇所															
8.3.5 XDMA アドレスコントロールレジスタ (EDACR)	8-9	<p>図を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>15</td> <td>SAT1</td> <td>0</td> <td>R/W</td> <td>ソースアドレス更新モード</td> </tr> <tr> <td>14</td> <td>SAT0</td> <td>0</td> <td>R/W</td> <td>転送元アドレス (EDSAR) の増減を指定します。シングルアドレスモードで転送元を <u>DACK</u> 付き外部デバイスに設定した場合は、このビットの指定は無視されません。 0X : 固定 10 : 増加 (バイト転送時+1、ワード転送時+2) 11 : 減少 (バイト転送時-1、ワード転送時-2)</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	15	SAT1	0	R/W	ソースアドレス更新モード	14	SAT0	0	R/W	転送元アドレス (EDSAR) の増減を指定します。シングルアドレスモードで転送元を <u>DACK</u> 付き外部デバイスに設定した場合は、このビットの指定は無視されません。 0X : 固定 10 : 増加 (バイト転送時+1、ワード転送時+2) 11 : 減少 (バイト転送時-1、ワード転送時-2)
	ビット	ビット名	初期値	R/W	説明												
15	SAT1	0	R/W	ソースアドレス更新モード													
14	SAT0	0	R/W	転送元アドレス (EDSAR) の増減を指定します。シングルアドレスモードで転送元を <u>DACK</u> 付き外部デバイスに設定した場合は、このビットの指定は無視されません。 0X : 固定 10 : 増加 (バイト転送時+1、ワード転送時+2) 11 : 減少 (バイト転送時-1、ワード転送時-2)													
8-10	<p>図を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>DAT1</td> <td>0</td> <td>R/W</td> <td>デスティネーションアドレス更新モード</td> </tr> <tr> <td>6</td> <td>DAT0</td> <td>0</td> <td>R/W</td> <td>転送先アドレス (EDDAR) の増減を指定します。シングルアドレスモードで転送先を <u>DACK</u> 付き外部デバイスに設定した場合は、このビットの指定は無視されません。 0X : 固定 10 : 増加 (バイト転送時+1、ワード転送時+2) 11 : 減少 (バイト転送時-1、ワード転送時-2)</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	7	DAT1	0	R/W	デスティネーションアドレス更新モード	6	DAT0	0	R/W	転送先アドレス (EDDAR) の増減を指定します。シングルアドレスモードで転送先を <u>DACK</u> 付き外部デバイスに設定した場合は、このビットの指定は無視されません。 0X : 固定 10 : 増加 (バイト転送時+1、ワード転送時+2) 11 : 減少 (バイト転送時-1、ワード転送時-2)	
ビット	ビット名	初期値	R/W	説明													
7	DAT1	0	R/W	デスティネーションアドレス更新モード													
6	DAT0	0	R/W	転送先アドレス (EDDAR) の増減を指定します。シングルアドレスモードで転送先を <u>DACK</u> 付き外部デバイスに設定した場合は、このビットの指定は無視されません。 0X : 固定 10 : 増加 (バイト転送時+1、ワード転送時+2) 11 : 減少 (バイト転送時-1、ワード転送時-2)													
8.4.2 アドレスモード (2) シングルアドレスモード	8-14	<p>説明を修正</p> <p>図 8.3 に示す外部メモリと <u>DACK</u> 付き外部デバイスとの転送の例では、外部デバイスがデータバスにデータを出力すると同じバスサイクルでそのデータが外部メモリに書き込まれます。</p> <p>転送方向は、EDMDR の SDIR ビットにより、<u>DACK</u> 付き外部デバイスを転送元にするか転送先にするかを指定できます。SDIR = 0 では、外部メモリ(EDSAR) <u>DACK</u> 付き外部デバイスへの転送、SDIR = 1 では、<u>DACK</u> 付き外部デバイス 外部メモリ (EDDAR) への転送になります。</p>															
図 8.3 シングルアドレスモードでのデータの流れ		<p>図を修正</p> <p>---▶ データの流れ</p>															

修正項目	ページ	修正箇所																																										
8.4.2 アドレスモード 図 8.4 シングルアドレスモードのタイミング例	8-15	<p>図を修正</p> <p>外部メモリ→DACK付き外部デバイスへの転送の場合</p> <p>DACK付き外部デバイス→外部メモリへの転送の場合</p>																																										
9.8.5 チェイン転送	9-24	<p>説明を修正</p> <p>チェイン転送の場合には、連結された最後のデータ転送時に起動要因またはDTCERのクリアを行います。一方、SCIおよびA/D変換器の割り込み/起動要因は、DTCが所定のレジスタをリード/ライトしたときにクリアされます。</p>																																										
10.1.4 端子機能 ● P16/PO14/TIOCA2/EDRAK2 <small>*3</small>	10-8	<p>表を修正</p> <table border="1"> <tr> <td>EDRAKE</td> <td colspan="4">0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>TIOCA2 出力</td> <td>P16 入力</td> <td>P16 出力</td> <td>PO14 出力</td> <td>EDRAK2 出力</td> </tr> <tr> <td></td> <td colspan="5" style="text-align: center;">TIOCA2 入力*</td> </tr> </table>	EDRAKE	0				1	端子機能	TIOCA2 出力	P16 入力	P16 出力	PO14 出力	EDRAK2 出力		TIOCA2 入力*																												
EDRAKE	0				1																																							
端子機能	TIOCA2 出力	P16 入力	P16 出力	PO14 出力	EDRAK2 出力																																							
	TIOCA2 入力*																																											
10.9.7 端子機能 ● PA7/A23/IRQ7、 PA6/A22/IRQ6、 PA5/A21/IRQ5	10-48	<p>表を修正</p> <table border="1"> <tr> <td>動作モード</td> <td colspan="4">1, 2, 4</td> <td colspan="5">7</td> </tr> <tr> <td>端子機能</td> <td>PA_n 入力</td> <td>PA_n 出力</td> <td>PA_n 入力</td> <td>アドレス 出力</td> <td>PA_n 入力</td> <td>PA_n 出力</td> <td>PA_n 入力</td> <td>PA_n 出力</td> <td>PA_n 入力</td> <td>アドレス 出力</td> </tr> <tr> <td></td> <td colspan="10" style="text-align: center;">IRQ_n 割り込み入力*</td> </tr> </table>	動作モード	1, 2, 4				7					端子機能	PA _n 入力	PA _n 出力	PA _n 入力	アドレス 出力	PA _n 入力	PA _n 出力	PA _n 入力	PA _n 出力	PA _n 入力	アドレス 出力		IRQ _n 割り込み入力*																			
動作モード	1, 2, 4				7																																							
端子機能	PA _n 入力	PA _n 出力	PA _n 入力	アドレス 出力	PA _n 入力	PA _n 出力	PA _n 入力	PA _n 出力	PA _n 入力	アドレス 出力																																		
	IRQ _n 割り込み入力*																																											
● PA4/A20/IRQ4	10-49	<p>表を修正</p> <table border="1"> <tr> <td>動作モード</td> <td>1, 2</td> <td colspan="3">4</td> <td colspan="5">7</td> </tr> <tr> <td>EXPE</td> <td>-</td> <td colspan="3">-</td> <td colspan="2">0</td> <td colspan="3">1</td> </tr> <tr> <td>端子機能</td> <td>アドレス 出力</td> <td>PA4 入力</td> <td>PA4 出力</td> <td>PA4 入力</td> <td>アドレス 出力</td> <td>PA4 入力</td> <td>PA4 出力</td> <td>PA4 入力</td> <td>PA4 出力</td> <td>アドレス 出力</td> </tr> <tr> <td></td> <td colspan="10" style="text-align: center;">IRQ4 割り込み入力*</td> </tr> </table>	動作モード	1, 2	4			7					EXPE	-	-			0		1			端子機能	アドレス 出力	PA4 入力	PA4 出力	PA4 入力	アドレス 出力	PA4 入力	PA4 出力	PA4 入力	PA4 出力	アドレス 出力		IRQ4 割り込み入力*									
動作モード	1, 2	4			7																																							
EXPE	-	-			0		1																																					
端子機能	アドレス 出力	PA4 入力	PA4 出力	PA4 入力	アドレス 出力	PA4 入力	PA4 出力	PA4 入力	PA4 出力	アドレス 出力																																		
	IRQ4 割り込み入力*																																											

修正項目	ページ	修正箇所																										
10.9.7 端子機能 <ul style="list-style-type: none"> <li>PA3/A19、PA2/A18、PA1/A17、PA0/A16</li> </ul>	10-49	表を修正 <table border="1"> <tr> <td>動作モード</td> <td>1, 2</td> <td colspan="4">4</td> <td colspan="4">7</td> </tr> <tr> <td>端子機能</td> <td>アドレス出力</td> <td>PA_n入力</td> <td>PA_n出力</td> <td>PA_n入力</td> <td>アドレス出力</td> <td>PA_n入力</td> <td>PA_n出力</td> <td>PA_n入力</td> <td>PA_n出力</td> <td>アドレス出力</td> </tr> </table>	動作モード	1, 2	4				7				端子機能	アドレス出力	PA _n 入力	PA _n 出力	PA _n 入力	アドレス出力	PA _n 入力	PA _n 出力	PA _n 入力	PA _n 出力	アドレス出力					
動作モード	1, 2	4				7																						
端子機能	アドレス出力	PA _n 入力	PA _n 出力	PA _n 入力	アドレス出力	PA _n 入力	PA _n 出力	PA _n 入力	PA _n 出力	アドレス出力																		
10.10.5 端子機能 <ul style="list-style-type: none"> <li>PB7/A15、PB6/A14、PB5/A13、PB4/A12、PB3/A11、PB2/A10、PB1/A9、PB0/A8</li> </ul>	10-52	表を修正 <table border="1"> <tr> <td>動作モード</td> <td>1, 2</td> <td colspan="2">4</td> <td colspan="4">7</td> </tr> <tr> <td>PB_nDDR</td> <td>—</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>アドレス出力</td> <td>PB_n入力</td> <td>アドレス出力</td> <td>PB_n入力</td> <td>PB_n出力</td> <td>PB_n入力</td> <td>アドレス出力</td> </tr> </table> <p>【記号説明】 n = 7 ~ 0</p>	動作モード	1, 2	4		7				PB _n DDR	—	0	1	0	1	0	1	端子機能	アドレス出力	PB _n 入力	アドレス出力	PB _n 入力	PB _n 出力	PB _n 入力	アドレス出力		
動作モード	1, 2	4		7																								
PB _n DDR	—	0	1	0	1	0	1																					
端子機能	アドレス出力	PB _n 入力	アドレス出力	PB _n 入力	PB _n 出力	PB _n 入力	アドレス出力																					
10.11.5 端子機能 <ul style="list-style-type: none"> <li>PC7/A7、PC6/A6、PC5/A5、PC4/A4、PC3/A3、PC2/A2、PC1/A1、PC0/A0</li> </ul>	10-55	表を修正 <table border="1"> <tr> <td>動作モード</td> <td>1, 2</td> <td colspan="2">4</td> <td colspan="4">7</td> </tr> <tr> <td>PC_nDDR</td> <td>—</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>アドレス出力</td> <td>PC_n入力</td> <td>アドレス出力</td> <td>PC_n入力</td> <td>PC_n出力</td> <td>PC_n入力</td> <td>アドレス出力</td> </tr> </table> <p>【記号説明】 n = 7 ~ 0</p>	動作モード	1, 2	4		7				PC _n DDR	—	0	1	0	1	0	1	端子機能	アドレス出力	PC _n 入力	アドレス出力	PC _n 入力	PC _n 出力	PC _n 入力	アドレス出力		
動作モード	1, 2	4		7																								
PC _n DDR	—	0	1	0	1	0	1																					
端子機能	アドレス出力	PC _n 入力	アドレス出力	PC _n 入力	PC _n 出力	PC _n 入力	アドレス出力																					
10.12.5 端子機能 <ul style="list-style-type: none"> <li>PD7/D15、PD6/D14、PD5/D13、PD4/D12、PD3/D11、PD2/D10、PD1/D9、PD0/D8</li> </ul>	10-58	表を修正 <table border="1"> <tr> <td>動作モード</td> <td colspan="3">1, 2, 4</td> <td colspan="4">7</td> </tr> <tr> <td>PD_nDDR</td> <td colspan="3">—</td> <td>0</td> <td colspan="2">1</td> <td>—</td> </tr> <tr> <td>端子機能</td> <td colspan="3">データ入出力</td> <td colspan="2">PD_n入力</td> <td colspan="2">PD_n出力</td> <td>データ入出力</td> </tr> </table> <p>【記号説明】 n = 7 ~ 0</p>	動作モード	1, 2, 4			7				PD _n DDR	—			0	1		—	端子機能	データ入出力			PD _n 入力		PD _n 出力		データ入出力	
動作モード	1, 2, 4			7																								
PD _n DDR	—			0	1		—																					
端子機能	データ入出力			PD _n 入力		PD _n 出力		データ入出力																				
10.13.5 端子機能 <ul style="list-style-type: none"> <li>PE7/D7、PE6/D6、PE5/D5A、PE4/D4、PE3/D3、PE2/D2、PE1/D1、PE0/D0</li> </ul>	10-61	表を修正 <table border="1"> <tr> <td>動作モード</td> <td colspan="3">1, 2, 4</td> <td colspan="4">7</td> </tr> <tr> <td>PE_nDDR</td> <td>0</td> <td>1</td> <td>—</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>—</td> </tr> <tr> <td>端子機能</td> <td>PE_n入力</td> <td>PE_n出力</td> <td>データ入出力</td> <td>PE_n入力</td> <td>PE_n出力</td> <td>PE_n入力</td> <td>PE_n出力</td> <td>データ入出力</td> </tr> </table> <p>【記号説明】 n = 7 ~ 0</p>	動作モード	1, 2, 4			7				PE _n DDR	0	1	—	0	1	0	1	—	端子機能	PE _n 入力	PE _n 出力	データ入出力	PE _n 入力	PE _n 出力	PE _n 入力	PE _n 出力	データ入出力
動作モード	1, 2, 4			7																								
PE _n DDR	0	1	—	0	1	0	1	—																				
端子機能	PE _n 入力	PE _n 出力	データ入出力	PE _n 入力	PE _n 出力	PE _n 入力	PE _n 出力	データ入出力																				
10.14.4 端子機能 <ul style="list-style-type: none"> <li>PF7/</li> </ul>	10-65	表を修正 <table border="1"> <tr> <td>動作モード</td> <td colspan="4">1, 2, 4, 7</td> </tr> <tr> <td>PF7DDR</td> <td colspan="2">0</td> <td colspan="2">1</td> </tr> <tr> <td>端子機能</td> <td colspan="2">PF7 入力</td> <td colspan="2">φ出力</td> </tr> </table>	動作モード	1, 2, 4, 7				PF7DDR	0		1		端子機能	PF7 入力		φ出力												
動作モード	1, 2, 4, 7																											
PF7DDR	0		1																									
端子機能	PF7 入力		φ出力																									
10.16.1 ポートHデータディレクションレジスタ (PHDDR)	10-73	表を修正 <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>RAW</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>PH3DDR</td> <td>0</td> <td>W</td> <td>• モード7 (EXPE=0) のとき</td> </tr> <tr> <td>2</td> <td>PH2DDR</td> <td>0</td> <td>W</td> <td>PH3、PH2、PH0 端子は入出力ポートとなり、PHDDRによって端子機能を切り替えることができます。</td> </tr> <tr> <td>1</td> <td>PH1DDR</td> <td>0</td> <td>W</td> <td></td> </tr> <tr> <td>0</td> <td>PH0DDR</td> <td>0</td> <td>W</td> <td>PH1 端子は、DCTL 端子^{※1}の入力レベルが High レベルのとき SDRAM φ出力^{※2}となります。DCTL 端子の入力レベルが Low のとき入出力ポートとなり、PHDDRによって端子機能を切り替えることができます。</td> </tr> </tbody> </table>	ビット	ビット名	初期値	RAW	説明	3	PH3DDR	0	W	• モード7 (EXPE=0) のとき	2	PH2DDR	0	W	PH3、PH2、PH0 端子は入出力ポートとなり、PHDDRによって端子機能を切り替えることができます。	1	PH1DDR	0	W		0	PH0DDR	0	W	PH1 端子は、DCTL 端子 ^{※1} の入力レベルが High レベルのとき SDRAM φ出力 ^{※2} となります。DCTL 端子の入力レベルが Low のとき入出力ポートとなり、PHDDRによって端子機能を切り替えることができます。	
ビット	ビット名	初期値	RAW	説明																								
3	PH3DDR	0	W	• モード7 (EXPE=0) のとき																								
2	PH2DDR	0	W	PH3、PH2、PH0 端子は入出力ポートとなり、PHDDRによって端子機能を切り替えることができます。																								
1	PH1DDR	0	W																									
0	PH0DDR	0	W	PH1 端子は、DCTL 端子 ^{※1} の入力レベルが High レベルのとき SDRAM φ出力 ^{※2} となります。DCTL 端子の入力レベルが Low のとき入出力ポートとなり、PHDDRによって端子機能を切り替えることができます。																								
15.3.7 シリアルステータスレジスタ (SSR) <ul style="list-style-type: none"> <li>通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF = 0 のとき)</li> </ul>	15-13	注を追加 <p>【注】* フラグをクリアするための0ライトのみ可能です。また、フラグのクリアはビットクリア命令を使用してください。</p>																										
<ul style="list-style-type: none"> <li>スマートカードインタフェース (SCMR の SMIF = 1 のとき)</li> </ul>	15-15	注を追加 <p>【注】*1 フラグをクリアするための0ライトのみ可能です。また、フラグのクリアはビットクリア命令を使用してください。</p> <p>*2 etu (Elementary time unit) : 1 ビット転送期間</p>																										

修正項目	ページ	修正箇所																																																																																																																																																																																							
15.3.9 ビットレートレジスタ (BRR) 表 15.3 ビットレートに対する BRR の設定例 (調歩同期式モード)	15-18	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="3">ビットレート (bit/s)</th> <th colspan="12">動作周波数 φ (MHz)</th> </tr> <tr> <th colspan="3">8</th> <th colspan="3">9.8304</th> <th colspan="3">10</th> <th colspan="3">12</th> <th colspan="3">12.288</th> </tr> <tr> <th>n</th> <th>N</th> <th>誤差 (%)</th> </tr> </thead> <tbody> <tr> <td>9600</td> <td>0</td> <td>25</td> <td>0.16</td> <td>0</td> <td>31</td> <td>0.00</td> <td>0</td> <td>32</td> <td>-1.36</td> <td>0</td> <td>38</td> <td>0.16</td> <td>0</td> <td>39</td> <td>0.00</td> </tr> <tr> <td>19200</td> <td>0</td> <td>12</td> <td>0.16</td> <td>0</td> <td>15</td> <td>0.00</td> <td>0</td> <td>15</td> <td>1.73</td> <td>0</td> <td>19</td> <td>-2.34</td> <td>0</td> <td>19</td> <td>0.00</td> </tr> <tr> <td>31250</td> <td>0</td> <td>7</td> <td>0.00</td> <td>0</td> <td>9</td> <td>-1.70</td> <td>0</td> <td>9</td> <td>0.00</td> <td>0</td> <td>11</td> <td>0.00</td> <td>0</td> <td>11</td> <td>2.40</td> </tr> <tr> <td>38400</td> <td>-</td> <td>-</td> <td>-</td> <td>0</td> <td>7</td> <td>0.00</td> <td>0</td> <td>7</td> <td>1.73</td> <td>0</td> <td>9</td> <td>-2.34</td> <td>0</td> <td>9</td> <td>0.00</td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th rowspan="3">ビットレート (bit/s)</th> <th colspan="12">動作周波数 φ (MHz)</th> </tr> <tr> <th colspan="3">14</th> <th colspan="3">14.7456</th> <th colspan="3">16</th> <th colspan="3">17.2032</th> </tr> <tr> <th>n</th> <th>N</th> <th>誤差 (%)</th> <th>n</th> <th>N</th> <th>誤差 (%)</th> <th>n</th> <th>N</th> <th>誤差 (%)</th> <th>n</th> <th>N</th> <th>誤差 (%)</th> </tr> </thead> <tbody> <tr> <td>9600</td> <td>0</td> <td>45</td> <td>-0.93</td> <td>0</td> <td>47</td> <td>0.00</td> <td>0</td> <td>51</td> <td>0.16</td> <td>0</td> <td>55</td> <td>0.00</td> </tr> <tr> <td>19200</td> <td>0</td> <td>22</td> <td>-0.93</td> <td>0</td> <td>23</td> <td>0.00</td> <td>0</td> <td>25</td> <td>0.16</td> <td>0</td> <td>27</td> <td>0.00</td> </tr> <tr> <td>31250</td> <td>0</td> <td>13</td> <td>0.00</td> <td>0</td> <td>14</td> <td>-1.70</td> <td>0</td> <td>15</td> <td>0.00</td> <td>0</td> <td>16</td> <td>1.20</td> </tr> </tbody> </table>	ビットレート (bit/s)	動作周波数 φ (MHz)												8			9.8304			10			12			12.288			n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00	19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00	31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40	38400	-	-	-	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00	ビットレート (bit/s)	動作周波数 φ (MHz)												14			14.7456			16			17.2032			n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	9600	0	45	-0.93	0	47	0.00	0	51	0.16	0	55	0.00	19200	0	22	-0.93	0	23	0.00	0	25	0.16	0	27	0.00	31250	0	13	0.00	0	14	-1.70	0	15	0.00	0	16	1.20
ビットレート (bit/s)	動作周波数 φ (MHz)																																																																																																																																																																																								
	8			9.8304			10			12			12.288																																																																																																																																																																												
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)																																																																																																																																																																										
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00																																																																																																																																																																										
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00																																																																																																																																																																										
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40																																																																																																																																																																										
38400	-	-	-	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00																																																																																																																																																																										
ビットレート (bit/s)	動作周波数 φ (MHz)																																																																																																																																																																																								
	14			14.7456			16			17.2032																																																																																																																																																																															
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)																																																																																																																																																																													
9600	0	45	-0.93	0	47	0.00	0	51	0.16	0	55	0.00																																																																																																																																																																													
19200	0	22	-0.93	0	23	0.00	0	25	0.16	0	27	0.00																																																																																																																																																																													
31250	0	13	0.00	0	14	-1.70	0	15	0.00	0	16	1.20																																																																																																																																																																													
15.4.4 SCI の初期化 (調歩同期式)	15-30	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="3">ビットレート (bit/s)</th> <th colspan="12">動作周波数 φ (MHz)</th> </tr> <tr> <th colspan="3">18</th> <th colspan="3">19.6608</th> <th colspan="3">20</th> <th colspan="3">25</th> </tr> <tr> <th>n</th> <th>N</th> <th>誤差 (%)</th> <th>n</th> <th>N</th> <th>誤差 (%)</th> <th>n</th> <th>N</th> <th>誤差 (%)</th> <th>n</th> <th>N</th> <th>誤差 (%)</th> </tr> </thead> <tbody> <tr> <td>19200</td> <td>0</td> <td>28</td> <td>1.02</td> <td>0</td> <td>31</td> <td>0.00</td> <td>0</td> <td>32</td> <td>-1.36</td> <td>0</td> <td>40</td> <td>-0.76</td> </tr> <tr> <td>31250</td> <td>0</td> <td>17</td> <td>0.00</td> <td>0</td> <td>19</td> <td>-1.70</td> <td>0</td> <td>19</td> <td>0.00</td> <td>0</td> <td>24</td> <td>0.00</td> </tr> <tr> <td>38400</td> <td>0</td> <td>14</td> <td>-2.34</td> <td>0</td> <td>15</td> <td>0.00</td> <td>0</td> <td>15</td> <td>1.73</td> <td>0</td> <td>19</td> <td>1.73</td> </tr> </tbody> </table> <table border="1"> <thead> <tr> <th rowspan="3">ビットレート (bit/s)</th> <th colspan="12">動作周波数 φ (MHz)</th> </tr> <tr> <th colspan="3">30</th> <th colspan="3">33</th> <th colspan="3">34¹</th> <th colspan="3">35²</th> </tr> <tr> <th>n</th> <th>N</th> <th>誤差 (%)</th> <th>n</th> <th>N</th> <th>誤差 (%)</th> <th>n</th> <th>N</th> <th>誤差 (%)</th> <th>n</th> <th>N</th> <th>誤差 (%)</th> </tr> </thead> <tbody> <tr> <td>19200</td> <td>0</td> <td>48</td> <td>-0.35</td> <td>0</td> <td>53</td> <td>-0.54</td> <td>0</td> <td>54</td> <td>0.62</td> <td>0</td> <td>56</td> <td>-0.06</td> </tr> <tr> <td>31250</td> <td>0</td> <td>29</td> <td>0.00</td> <td>0</td> <td>32</td> <td>0.00</td> <td>0</td> <td>33</td> <td>0.00</td> <td>0</td> <td>34</td> <td>0.00</td> </tr> <tr> <td>38400</td> <td>0</td> <td>23</td> <td>1.73</td> <td>0</td> <td>26</td> <td>-0.54</td> <td>0</td> <td>27</td> <td>-1.18</td> <td>0</td> <td>27</td> <td>1.73</td> </tr> </tbody> </table>	ビットレート (bit/s)	動作周波数 φ (MHz)												18			19.6608			20			25			n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	19200	0	28	1.02	0	31	0.00	0	32	-1.36	0	40	-0.76	31250	0	17	0.00	0	19	-1.70	0	19	0.00	0	24	0.00	38400	0	14	-2.34	0	15	0.00	0	15	1.73	0	19	1.73	ビットレート (bit/s)	動作周波数 φ (MHz)												30			33			34 ¹			35 ²			n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	19200	0	48	-0.35	0	53	-0.54	0	54	0.62	0	56	-0.06	31250	0	29	0.00	0	32	0.00	0	33	0.00	0	34	0.00	38400	0	23	1.73	0	26	-0.54	0	27	-1.18	0	27	1.73																															
ビットレート (bit/s)	動作周波数 φ (MHz)																																																																																																																																																																																								
	18			19.6608			20			25																																																																																																																																																																															
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)																																																																																																																																																																													
19200	0	28	1.02	0	31	0.00	0	32	-1.36	0	40	-0.76																																																																																																																																																																													
31250	0	17	0.00	0	19	-1.70	0	19	0.00	0	24	0.00																																																																																																																																																																													
38400	0	14	-2.34	0	15	0.00	0	15	1.73	0	19	1.73																																																																																																																																																																													
ビットレート (bit/s)	動作周波数 φ (MHz)																																																																																																																																																																																								
	30			33			34 ¹			35 ²																																																																																																																																																																															
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)																																																																																																																																																																													
19200	0	48	-0.35	0	53	-0.54	0	54	0.62	0	56	-0.06																																																																																																																																																																													
31250	0	29	0.00	0	32	0.00	0	33	0.00	0	34	0.00																																																																																																																																																																													
38400	0	23	1.73	0	26	-0.54	0	27	-1.18	0	27	1.73																																																																																																																																																																													
15.6.2 SCI の初期化 (クロック同期式)	15-42	<p>説明を追加</p> <p>データの送受信前に、SCR の TE、RE ビットをクリアした後、図 15.15 のフローチャートの例に従って初期化してください。SCI 動作中に SMR、SCMR、IrCR、SEMR への書き込みは行わないでください。同一データのライトも同様です。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。</p>																																																																																																																																																																																							
15.7.3 ブロック転送モード	15-51	<p>注を追加</p> <p>【注】 etu (Elementary time unit) : 1 ビット転送期間</p>																																																																																																																																																																																							

修正項目	ページ	修正箇所																																																																																									
16. I ² C バスインタフェース 2 (IIC2)〔オプション〕	16-1	<p>説明を修正</p> <p>I²C バスインタフェースは、NXP セミコンダクターズ社が提唱する I²C バス (Inter IC Bus) インタフェース方式 (Rev03) のスタンダードモードおよびファーストモードに準拠しており、サブセット機能を備えています。ただし I²C バスを制御するレジスタの構成が一部 NXP セミコンダクターズ社と異なりますので注意してください。</p>																																																																																									
16.3.1 I ² C バスコントロールレジスタ A (ICCR A) 表 16.2 転送レート	16-6	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">ビット 3</th> <th rowspan="2">ビット 2</th> <th rowspan="2">ビット 1</th> <th rowspan="2">ビット 0</th> <th rowspan="2">クロック</th> <th colspan="7">転送レート</th> </tr> <tr> <th>φ = 8MHz</th> <th>φ = 10MHz</th> <th>φ = 20MHz</th> <th>φ = 25MHz</th> <th>φ = 33MHz</th> <th>φ = 34MHz^{※1}</th> <th>φ = 35MHz^{※2}</th> </tr> </thead> <tbody> <tr> <td>CKS3</td> <td>CKS2</td> <td>CKS1</td> <td>CKS0</td> <td></td> </tr> <tr> <td>0^{※3}</td> <td>0^{※3}</td> <td>0</td> <td>0</td> <td>φ/28</td> <td>286kHz</td> <td>357kHz</td> <td>714kHz^{※3}</td> <td>893kHz^{※3}</td> <td>1179kHz^{※3}</td> <td>1214kHz^{※3}</td> <td>1250kHz^{※3}</td> <td></td> <td></td> </tr> <tr> <td></td> <td></td> <td></td> <td>1</td> <td>φ/40</td> <td>200kHz</td> <td>250kHz</td> <td>500kHz^{※3}</td> <td>625kHz^{※3}</td> <td>825kHz^{※3}</td> <td>850kHz^{※3}</td> <td>875kHz^{※3}</td> <td></td> <td></td> </tr> <tr> <td></td> <td></td> <td>1</td> <td>0</td> <td>φ/48</td> <td>167kHz</td> <td>208kHz</td> <td>417kHz^{※3}</td> <td>521kHz^{※3}</td> <td>688kHz^{※3}</td> <td>708kHz^{※3}</td> <td>729kHz^{※3}</td> <td></td> <td></td> </tr> <tr> <td></td> <td></td> <td></td> <td>1</td> <td>φ/64</td> <td>125kHz</td> <td>156kHz</td> <td>313kHz</td> <td>391kHz</td> <td>516kHz^{※3}</td> <td>531kHz^{※3}</td> <td>547kHz^{※3}</td> <td></td> <td></td> </tr> </tbody> </table> <p>注を追加</p> <p>【注】*3 I²C バスインタフェース仕様 (スタンダードモード: 最大 100kHz、ファーストモード: 最大 400kHz) の範囲外となります。</p> <p>*4 CKS3、CKS2 がともに 0 (ビット周期が 7.5tcyc) で動作周波数が 20MHz 以上のときは負荷条件などにより所定の転送レートが得られない場合がありますので、動作周波数が 20MHz を超える場合は、ビット周期の設定を 7.5tcyc 以外で使用してください。</p>	ビット 3	ビット 2	ビット 1	ビット 0	クロック	転送レート							φ = 8MHz	φ = 10MHz	φ = 20MHz	φ = 25MHz	φ = 33MHz	φ = 34MHz ^{※1}	φ = 35MHz ^{※2}	CKS3	CKS2	CKS1	CKS0											0 ^{※3}	0 ^{※3}	0	0	φ/28	286kHz	357kHz	714kHz ^{※3}	893kHz ^{※3}	1179kHz ^{※3}	1214kHz ^{※3}	1250kHz ^{※3}						1	φ/40	200kHz	250kHz	500kHz ^{※3}	625kHz ^{※3}	825kHz ^{※3}	850kHz ^{※3}	875kHz ^{※3}					1	0	φ/48	167kHz	208kHz	417kHz ^{※3}	521kHz ^{※3}	688kHz ^{※3}	708kHz ^{※3}	729kHz ^{※3}						1	φ/64	125kHz	156kHz	313kHz	391kHz	516kHz ^{※3}	531kHz ^{※3}	547kHz ^{※3}		
ビット 3	ビット 2	ビット 1						ビット 0	クロック	転送レート																																																																																	
			φ = 8MHz	φ = 10MHz	φ = 20MHz	φ = 25MHz	φ = 33MHz			φ = 34MHz ^{※1}	φ = 35MHz ^{※2}																																																																																
CKS3	CKS2	CKS1	CKS0																																																																																								
0 ^{※3}	0 ^{※3}	0	0	φ/28	286kHz	357kHz	714kHz ^{※3}	893kHz ^{※3}	1179kHz ^{※3}	1214kHz ^{※3}	1250kHz ^{※3}																																																																																
			1	φ/40	200kHz	250kHz	500kHz ^{※3}	625kHz ^{※3}	825kHz ^{※3}	850kHz ^{※3}	875kHz ^{※3}																																																																																
		1	0	φ/48	167kHz	208kHz	417kHz ^{※3}	521kHz ^{※3}	688kHz ^{※3}	708kHz ^{※3}	729kHz ^{※3}																																																																																
			1	φ/64	125kHz	156kHz	313kHz	391kHz	516kHz ^{※3}	531kHz ^{※3}	547kHz ^{※3}																																																																																
16.3.5 I ² C バスステータスレジスタ (ICSR)	16-10	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>TDRE</td> <td>0</td> <td>R/W</td> <td>トランスミットデータエンプティ [セット条件] • ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき • TRS をセットしたとき • スリープモードで受信モードから送信モードになったとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • ICDRT ヘデータをライトしたとき</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	7	TDRE	0	R/W	トランスミットデータエンプティ [セット条件] • ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき • TRS をセットしたとき • スリープモードで受信モードから送信モードになったとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • ICDRT ヘデータをライトしたとき																																																																															
ビット	ビット名	初期値	R/W	説明																																																																																							
7	TDRE	0	R/W	トランスミットデータエンプティ [セット条件] • ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき • TRS をセットしたとき • スリープモードで受信モードから送信モードになったとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • ICDRT ヘデータをライトしたとき																																																																																							
	16-11	<p>表を修正</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>AL</td> <td>0</td> <td>R/W</td> <td>アービトレーションロスフラグ AL は、マスタモード時にバス競合負けをしたことを示します。 複数のマスタがほぼ同時にバスを占有しようとしたときに I²C バスインタフェースは SDA をモニタし、自分が出したデータと異なる場合、AL フラグを 1 にセットしてバスが他のマスタによって占有されたことを示します。 [セット条件] • マスタ送信モードの場合、SCL の立ち上がりで内部 SDA と SDA 端子のレベルが不一致のとき • マスタモードの場合、開始条件検出時、内部 SDA が High レベルのとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき</td> </tr> </tbody> </table>	ビット	ビット名	初期値	R/W	説明	2	AL	0	R/W	アービトレーションロスフラグ AL は、マスタモード時にバス競合負けをしたことを示します。 複数のマスタがほぼ同時にバスを占有しようとしたときに I ² C バスインタフェースは SDA をモニタし、自分が出したデータと異なる場合、AL フラグを 1 にセットしてバスが他のマスタによって占有されたことを示します。 [セット条件] • マスタ送信モードの場合、SCL の立ち上がりで内部 SDA と SDA 端子のレベルが不一致のとき • マスタモードの場合、開始条件検出時、内部 SDA が High レベルのとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき																																																																															
ビット	ビット名	初期値	R/W	説明																																																																																							
2	AL	0	R/W	アービトレーションロスフラグ AL は、マスタモード時にバス競合負けをしたことを示します。 複数のマスタがほぼ同時にバスを占有しようとしたときに I ² C バスインタフェースは SDA をモニタし、自分が出したデータと異なる場合、AL フラグを 1 にセットしてバスが他のマスタによって占有されたことを示します。 [セット条件] • マスタ送信モードの場合、SCL の立ち上がりで内部 SDA と SDA 端子のレベルが不一致のとき • マスタモードの場合、開始条件検出時、内部 SDA が High レベルのとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき																																																																																							

修正項目	ページ	修正箇所
16.4.5 スレーブ受信動作 図 16.12 スレーブ受信モード動作タイミング 2	16-21	図を修正  <p>ユーザの処理 [7]ACKBTセット [8]ICDRRリード [10]ICDRRリード</p>
16.4.7 使用例 図 16.14 マスタ送信モードのフローチャート例	16-23	図を修正  <p>[1] SCL、SDAラインの状態判定*            [2] マスタ送信モードに設定*            [3] 開始条件発行*</p> <p>注を追加  <b>【注】*</b> BBSY = 0 から[3]の開始条件発行まで割り込みが入らないようにしてください。</p>
図 16.15 マスタ受信モードのフローチャート例	16-24	図を修正  <p>[8] [14] RCVDをクリア            [9] [15] ACKBTをクリア            [16] スレーブ受信モードに設定            [10] [11] [12] [13] [14] [15] [16]</p>

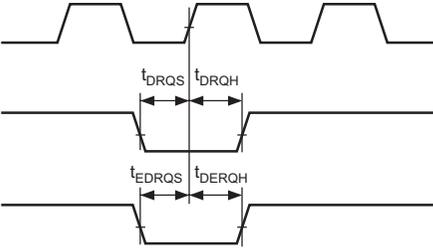
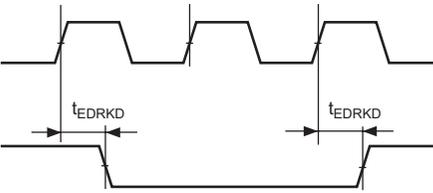
修正項目	ページ	修正箇所
16.4.7 使用例 図 16.17 スレーブ受信モードフローチャート例	16-26	図を修正 
16.7 使用上の注意事項 3. マスタ受信モードの注意事項について 4. マルチマスタで使用時の転送レート設定値の制限について	16-28	注意事項を追加
5. マルチマスタで使用時のMST、TRS 設定時のビット操作命令使用制限について	16-29	注意事項を追加
17.1 特長 図 17.1 A/D 変換器のブロック図	17-2	図を修正 

修正項目	ページ	修正箇所
21.3.2 書き込み/消去インタフェースパラメータ	21-14	説明を修正 ダウンロード、初期化、内蔵プログラム実行においては、ER0、ER1以外のCPUのレジスタは保存されます。ROLは、処理結果の戻り値が記入されます。ER0、ER1以外のレジスタの保存のためにスタック領域を使用しますので、処理開始においてはスタック領域の確保をしてください(使用スタック領域サイズは、最大128バイトです)。
21.3.3 フラッシュベクタアドレスコントロールレジスタ (FVACR)	21-23	説明を修正 通常はH'00001C～H'00001Fのアドレス空間からベクタテーブルデータを読み出しますが、本レジスタの設定により内蔵RAM空間からベクタテーブルを読み出すことが可能です。
21.4.2 ユーザプログラムモード (2) ユーザプログラムモードでの書き込み手順	21-30	説明を修正 • ダウンロード処理では、CPUのER0、ER1以外の汎用レジスタは値が保存されません。
21.8 ブートモードの標準シリアル通信インタフェース仕様 (4) 問い合わせ選択ステータス (b) デバイス選択	21-53	説明を修正 • サイズ(1バイト) : デバイスコードの文字数、固定値で4
21.8 ブートモードの標準シリアル通信インタフェース仕様 (9) 書き込み消去ステータス 図 21.21 書き込みシーケンス	21-63	図を修正 
(9) 書き込み消去ステータス (b) 128バイト書き込み	21-64	説明を修正 • 書き込みアドレス(4バイト) : 書き込み先頭アドレス、「書き込みサイズ問い合わせ」で応答したサイズの倍数 例) H'00,H'01,H'00,H'00 : H'00010000
24.2.1 クロック分周モード	24-8	説明を修正 クロック分周モードでは、CPU、バスマスタ、内蔵周辺機能はSCK2～SCK0ビットで指定した動作クロック(1/2、1/4)で動作します。

修正項目	ページ	修正箇所																																			
26.1.2 DC 特性 表 26.2 DC 特性 (1)	26-2	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td>入力 High レベル電圧</td> <td>STBY、MD2~MD0 RES、NMI、EMLE EXTAL ポート 3、P50~P53^{*3} ポート 6[※]、ポート 8^{*3}、 ポート A~H^{*3} ポート 4、ポート 9</td> <td>V_{IH} V_{CC} × 0.9 V_{CC} × 0.7 2.2V 2.2V</td> <td>— — — — —</td> <td>V_{CC} + 0.3 V_{CC} + 0.3 V_{CC} + 0.3 AV_{CC} + 0.3</td> <td>V V V V</td> <td></td> </tr> <tr> <td>入力 Low レベル電圧</td> <td>RES、STBY MD2~MD0、EMLE NMI、EXTAL ポート 3~6[※]、ポート 8[※]、 ポート A~H^{*3}、ポート 9</td> <td>V_{IL} -0.3 -0.3 -0.3</td> <td>— — —</td> <td>V_{CC} × 0.1 V_{CC} × 0.2 V_{CC} × 0.2</td> <td>V V V</td> <td></td> </tr> <tr> <td>出力 High レベル電圧</td> <td>全出力端子</td> <td>V_{OH} V_{CC} - 0.5 V_{CC} - 1.0</td> <td>— — —</td> <td>— — —</td> <td>V V V</td> <td>I_{OIH} = -200 μA I_{OIH} = -1mA</td> </tr> <tr> <td>出力 Low レベル電圧</td> <td>全出力端子 P32~P35^{*4}</td> <td>V_{OL} — —</td> <td>— — —</td> <td>0.4 0.5</td> <td>V V</td> <td>I_{OIL} = 1.6mA I_{OIL} = 8.0mA</td> </tr> </tbody> </table> <p>注を追加</p> <p>【注】*4 SCL0、SCL1、SDA0、SDA1 として使用した場合です。</p>	項目	記号	min	typ	max	単位	測定条件	入力 High レベル電圧	STBY、MD2~MD0 RES、NMI、EMLE EXTAL ポート 3、P50~P53 ^{*3} ポート 6 [※] 、ポート 8 ^{*3} 、 ポート A~H ^{*3} ポート 4、ポート 9	V _{IH} V _{CC} × 0.9 V _{CC} × 0.7 2.2V 2.2V	— — — — —	V _{CC} + 0.3 V _{CC} + 0.3 V _{CC} + 0.3 AV _{CC} + 0.3	V V V V		入力 Low レベル電圧	RES、STBY MD2~MD0、EMLE NMI、EXTAL ポート 3~6 [※] 、ポート 8 [※] 、 ポート A~H ^{*3} 、ポート 9	V _{IL} -0.3 -0.3 -0.3	— — —	V _{CC} × 0.1 V _{CC} × 0.2 V _{CC} × 0.2	V V V		出力 High レベル電圧	全出力端子	V _{OH} V _{CC} - 0.5 V _{CC} - 1.0	— — —	— — —	V V V	I _{OIH} = -200 μA I _{OIH} = -1mA	出力 Low レベル電圧	全出力端子 P32~P35 ^{*4}	V _{OL} — —	— — —	0.4 0.5	V V	I _{OIL} = 1.6mA I _{OIL} = 8.0mA
項目	記号	min	typ	max	単位	測定条件																															
入力 High レベル電圧	STBY、MD2~MD0 RES、NMI、EMLE EXTAL ポート 3、P50~P53 ^{*3} ポート 6 [※] 、ポート 8 ^{*3} 、 ポート A~H ^{*3} ポート 4、ポート 9	V _{IH} V _{CC} × 0.9 V _{CC} × 0.7 2.2V 2.2V	— — — — —	V _{CC} + 0.3 V _{CC} + 0.3 V _{CC} + 0.3 AV _{CC} + 0.3	V V V V																																
入力 Low レベル電圧	RES、STBY MD2~MD0、EMLE NMI、EXTAL ポート 3~6 [※] 、ポート 8 [※] 、 ポート A~H ^{*3} 、ポート 9	V _{IL} -0.3 -0.3 -0.3	— — —	V _{CC} × 0.1 V _{CC} × 0.2 V _{CC} × 0.2	V V V																																
出力 High レベル電圧	全出力端子	V _{OH} V _{CC} - 0.5 V _{CC} - 1.0	— — —	— — —	V V V	I _{OIH} = -200 μA I _{OIH} = -1mA																															
出力 Low レベル電圧	全出力端子 P32~P35 ^{*4}	V _{OL} — —	— — —	0.4 0.5	V V	I _{OIL} = 1.6mA I _{OIL} = 8.0mA																															
表 26.4 出力許容電流値	26-4	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td>出力 Low レベル許容電流 (1 端子当たり)</td> <td>SCL0、SCL1、SDA0、SDA1 上記以外の出力端子</td> <td>I_{OL} —</td> <td>— —</td> <td>8.0 2.0</td> <td>mA</td> </tr> <tr> <td>出力 Low レベル許容電流 (総和)</td> <td>全出力端子の総和</td> <td>Σ I_{OL}</td> <td>—</td> <td>80</td> <td>mA</td> </tr> <tr> <td>出力 High レベル許容電流 (1 端子当たり)</td> <td>全出力端子</td> <td>-I_{OIH}</td> <td>—</td> <td>2.0</td> <td>mA</td> </tr> </tbody> </table>	項目	記号	min	typ	max	単位	出力 Low レベル許容電流 (1 端子当たり)	SCL0、SCL1、SDA0、SDA1 上記以外の出力端子	I _{OL} —	— —	8.0 2.0	mA	出力 Low レベル許容電流 (総和)	全出力端子の総和	Σ I _{OL}	—	80	mA	出力 High レベル許容電流 (1 端子当たり)	全出力端子	-I _{OIH}	—	2.0	mA											
項目	記号	min	typ	max	単位																																
出力 Low レベル許容電流 (1 端子当たり)	SCL0、SCL1、SDA0、SDA1 上記以外の出力端子	I _{OL} —	— —	8.0 2.0	mA																																
出力 Low レベル許容電流 (総和)	全出力端子の総和	Σ I _{OL}	—	80	mA																																
出力 High レベル許容電流 (1 端子当たり)	全出力端子	-I _{OIH}	—	2.0	mA																																
26.1.6 フラッシュメモリ特性 表 26.13 フラッシュメモリ特性 (0.35 μm F-ZTAT 版)	26-11	<p>表を修正</p> <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td>書き込み時間^{*1*2*4}</td> <td>t_w</td> <td>—</td> <td>10</td> <td>200</td> <td>ms/128 バイト</td> <td></td> </tr> <tr> <td>消去時間^{*1*3*6}</td> <td>t_c</td> <td>—</td> <td>50</td> <td>1000</td> <td>ms</td> <td>ブロック</td> </tr> <tr> <td>書き換え回数</td> <td>N_{WEC}</td> <td>100^{*2}</td> <td>10000^{*5}</td> <td>—</td> <td>回</td> <td></td> </tr> <tr> <td>データ保持時間</td> <td>t_{REP}</td> <td>10^{*5}</td> <td>—</td> <td>—</td> <td>年</td> <td></td> </tr> </tbody> </table>	項目	記号	min	typ	max	単位	測定条件	書き込み時間 ^{*1*2*4}	t _w	—	10	200	ms/128 バイト		消去時間 ^{*1*3*6}	t _c	—	50	1000	ms	ブロック	書き換え回数	N _{WEC}	100 ^{*2}	10000 ^{*5}	—	回		データ保持時間	t _{REP}	10 ^{*5}	—	—	年	
項目	記号	min	typ	max	単位	測定条件																															
書き込み時間 ^{*1*2*4}	t _w	—	10	200	ms/128 バイト																																
消去時間 ^{*1*3*6}	t _c	—	50	1000	ms	ブロック																															
書き換え回数	N _{WEC}	100 ^{*2}	10000 ^{*5}	—	回																																
データ保持時間	t _{REP}	10 ^{*5}	—	—	年																																
	26-12	<p>注を追加</p> <p>【注】*7 書き換え後のすべての特性を保証する min 回数です。(保証は 1 ~ min 値の範囲です。)</p> <p>*8 25 のときの参考値(通常時この値まで書き換えは機能するという目安です)。</p> <p>*9 書き換えが min 値を含む使用範囲内で行われたときのデータ保持特性です。</p>																																			

修正項目	ページ	修正箇所																								
26.2.2 DC 特性 表 26.15 DC 特性 (1)	26-14	表を修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th colspan="2">項目</th> </tr> </thead> <tbody> <tr> <td rowspan="4">入力 High レベル電圧</td> <td>$\overline{STBY}$、MD2~MD0</td> </tr> <tr> <td>$\overline{RES}$、NMI、EMLE</td> </tr> <tr> <td>EXTAL</td> </tr> <tr> <td>ポート 3、P50~P53*³ ポート 6*³、ポート 8*³、 ポート A~H*³ ポート 4、ポート 9</td> </tr> <tr> <td rowspan="4">入力 Low レベル電圧</td> <td>$\overline{RES}$、$\overline{STBY}$ MD2~MD0、EMLE NMI、EXTAL ポート 3~6*³、ポート 8*³、 ポート A~H*³、ポート 9</td> </tr> <tr> <td>出力 High レベル電圧</td> <td>全出力端子</td> </tr> <tr> <td>出力 Low レベル電圧</td> <td>全出力端子 P32~P35*⁴</td> </tr> </tbody> </table>	項目		入力 High レベル電圧	$\overline{STBY}$ 、MD2~MD0	$\overline{RES}$ 、NMI、EMLE	EXTAL	ポート 3、P50~P53* ³ ポート 6* ³ 、ポート 8* ³ 、 ポート A~H* ³ ポート 4、ポート 9	入力 Low レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ MD2~MD0、EMLE NMI、EXTAL ポート 3~6* ³ 、ポート 8* ³ 、 ポート A~H* ³ 、ポート 9	出力 High レベル電圧	全出力端子	出力 Low レベル電圧	全出力端子 P32~P35* ⁴											
項目																										
入力 High レベル電圧	$\overline{STBY}$ 、MD2~MD0																									
	$\overline{RES}$ 、NMI、EMLE																									
	EXTAL																									
	ポート 3、P50~P53* ³ ポート 6* ³ 、ポート 8* ³ 、 ポート A~H* ³ ポート 4、ポート 9																									
入力 Low レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ MD2~MD0、EMLE NMI、EXTAL ポート 3~6* ³ 、ポート 8* ³ 、 ポート A~H* ³ 、ポート 9																									
	出力 High レベル電圧	全出力端子																								
	出力 Low レベル電圧	全出力端子 P32~P35* ⁴																								
	表 26.17 出力許容電流値	26-16	表を修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td>出力 Low レベル許容電流 (1 端子あたり)</td> <td>$I_{OL}$</td> <td>—</td> <td>—</td> <td>8.0</td> <td>mA</td> </tr> <tr> <td>出力 Low レベル許容電流 (総和)</td> <td>$\Sigma I_{OL}$</td> <td>—</td> <td>—</td> <td>80</td> <td>mA</td> </tr> <tr> <td>出力 High レベル許容電流 (1 端子あたり)</td> <td>$-I_{OH}$</td> <td>—</td> <td>—</td> <td>2.0</td> <td>mA</td> </tr> </tbody> </table>	項目	記号	min	typ	max	単位	出力 Low レベル許容電流 (1 端子あたり)	$I_{OL}$	—	—	8.0	mA	出力 Low レベル許容電流 (総和)	$\Sigma I_{OL}$	—	—	80	mA	出力 High レベル許容電流 (1 端子あたり)	$-I_{OH}$	—	—	2.0
項目	記号	min	typ	max	単位																					
出力 Low レベル許容電流 (1 端子あたり)	$I_{OL}$	—	—	8.0	mA																					
出力 Low レベル許容電流 (総和)	$\Sigma I_{OL}$	—	—	80	mA																					
出力 High レベル許容電流 (1 端子あたり)	$-I_{OH}$	—	—	2.0	mA																					
26.2.3 AC 特性 表 26.21 バスタイミング (2)	26-19	表を修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> </tr> </thead> <tbody> <tr> <td>WAIT ホールド時間</td> <td>$t_{WTH}$</td> <td>5</td> </tr> </tbody> </table>	項目	記号	min	WAIT ホールド時間	$t_{WTH}$	5																		
項目	記号	min																								
WAIT ホールド時間	$t_{WTH}$	5																								

修正項目	ページ	修正箇所																											
26.3.2 DC 特性 表 26.28 DC 特性 (1)	26-25	表を修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th colspan="2">項目</th> </tr> </thead> <tbody> <tr> <td>入力 High レベル電圧</td> <td> $\overline{STBY}$、MD2~MD0  $\overline{RES}$、NMI、EMLE            EXTAL            ポート 3、P50~P53*³            ポート 6*³、ポート 8*³、            ポート A~H*³            ポート 4、ポート 9         </td> </tr> <tr> <td>入力 Low レベル電圧</td> <td> $\overline{RES}$、$\overline{STBY}$            MD2~MD0、EMLE            NMI、EXTAL            ポート 3~6*³、ポート 8*³、            ポート A~H*³、ポート 9         </td> </tr> <tr> <td>出力 High レベル電圧</td> <td>全出力端子</td> </tr> <tr> <td>出力 Low レベル電圧</td> <td>全出力端子 P32~P35*⁴</td> </tr> </tbody> </table>	項目		入力 High レベル電圧	$\overline{STBY}$ 、MD2~MD0 $\overline{RES}$ 、NMI、EMLE EXTAL ポート 3、P50~P53* ³ ポート 6* ³ 、ポート 8* ³ 、 ポート A~H* ³ ポート 4、ポート 9	入力 Low レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ MD2~MD0、EMLE NMI、EXTAL ポート 3~6* ³ 、ポート 8* ³ 、 ポート A~H* ³ 、ポート 9	出力 High レベル電圧	全出力端子	出力 Low レベル電圧	全出力端子 P32~P35* ⁴																	
項目																													
入力 High レベル電圧	$\overline{STBY}$ 、MD2~MD0 $\overline{RES}$ 、NMI、EMLE EXTAL ポート 3、P50~P53* ³ ポート 6* ³ 、ポート 8* ³ 、 ポート A~H* ³ ポート 4、ポート 9																												
入力 Low レベル電圧	$\overline{RES}$ 、 $\overline{STBY}$ MD2~MD0、EMLE NMI、EXTAL ポート 3~6* ³ 、ポート 8* ³ 、 ポート A~H* ³ 、ポート 9																												
出力 High レベル電圧	全出力端子																												
出力 Low レベル電圧	全出力端子 P32~P35* ⁴																												
表 26.30 出力許容電流値	26-27	表を修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td>出力 Low レベル許容電流 (1 端子あたり)</td> <td>SCL0、SCL1、SDA0、SDA1 上記以外の出力端子</td> <td>$I_{OL}$</td> <td>—</td> <td>—</td> <td>8.0 2.0</td> <td>mA</td> </tr> <tr> <td>出力 Low レベル許容電流 (総和)</td> <td>全出力端子の総和</td> <td>$\Sigma I_{OL}$</td> <td>—</td> <td>—</td> <td>80</td> <td>mA</td> </tr> <tr> <td>出力 High レベル許容電流 (1 端子あたり)</td> <td>全出力端子</td> <td>$-I_{OH}$</td> <td>—</td> <td>—</td> <td>2.0</td> <td>mA</td> </tr> </tbody> </table>	項目	記号	min	typ	max	単位	出力 Low レベル許容電流 (1 端子あたり)	SCL0、SCL1、SDA0、SDA1 上記以外の出力端子	$I_{OL}$	—	—	8.0 2.0	mA	出力 Low レベル許容電流 (総和)	全出力端子の総和	$\Sigma I_{OL}$	—	—	80	mA	出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$	—	—	2.0	mA
項目	記号	min	typ	max	単位																								
出力 Low レベル許容電流 (1 端子あたり)	SCL0、SCL1、SDA0、SDA1 上記以外の出力端子	$I_{OL}$	—	—	8.0 2.0	mA																							
出力 Low レベル許容電流 (総和)	全出力端子の総和	$\Sigma I_{OL}$	—	—	80	mA																							
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$	—	—	2.0	mA																							
26.3.3 AC 特性 表 26.34 バスタイミング (2)	26-30	表を修正 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> </tr> </thead> <tbody> <tr> <td>WAIT ホールド時間</td> <td>$t_{WTH}$</td> <td>5</td> </tr> </tbody> </table>	項目	記号	min	WAIT ホールド時間	$t_{WTH}$	5																					
項目	記号	min																											
WAIT ホールド時間	$t_{WTH}$	5																											
26.4.4 DMAC、EXDMAC タイミング 図 26.30 DMAC および EXDMAC、 $\overline{TEND0}$ 、 $\overline{ETEND}$ 出力タイミング	26-59	図を修正																											

修正項目	ページ	修正箇所
26.4.4 DMAC、EXDMAC タイミング 図 26.31 DMAC および EXDMAC、 $\overline{\text{DREQ}}$ 、 $\overline{\text{EDREQ}}$ 入力タイミング	26-59	図を修正 $\phi$  $\overline{\text{DREQ0}}$ 、 $\overline{\text{DREQ1}}$ $\overline{\text{EDREQ2}}$ 、 $\overline{\text{EDREQ3}}$
図 26.32 EXDMAC、EDRAK 出力タイミング	26-59	図を修正 $\phi$  $\overline{\text{EDRAK2}}$ 、 $\overline{\text{EDRAK3}}$
C. 外形寸法図 図 C.2 外形寸法図 (TLP-145V)	付録-11	図を差し替え



# 索引

16ビットタイマパルスユニット.....	11-1	ライトデータバッファ機能.....	7-53
PWMモード.....	11-46	リピートモード.....	7-29
インプットキャプチャ機能.....	11-38	外部リクエストによる起動.....	7-22
カスケード接続動作.....	11-44	割り込み要因.....	7-58
コンペアマッチによる波形出力.....	11-36	転送モード.....	7-23
トグル出力.....	11-36	DRAMインタフェース.....	6-43
バッファ動作.....	11-41	EA拡張部.....	2-25
フリーランニングカウント動作.....	11-35	EXDMAコントローラ ( EXDMAC ) .....	8-1
位相計数モード.....	11-51	DMA転送終了.....	8-48
同期動作.....	11-39	アドレスモード.....	8-13
8ビットタイマ.....	13-1	オートリクエストモード.....	8-16
16ビットカウントモード.....	13-13	サイクルスチールモード.....	8-16
カスケード接続.....	13-13	シングルアドレスモード.....	8-14
コンペアマッチカウントモード.....	13-13	デュアルアドレスモード.....	8-13
トグル出力.....	13-16	ノーマル転送モード.....	8-18
パルス出力.....	13-9	バーストモード.....	8-17
A/D変換器.....	17-1	ブロック転送モード.....	8-19
A/D変換器の起動.....	11-59	リピートエリア機能.....	8-20
シングルモード.....	17-7	外部リクエストモード.....	8-16
スキャンモード.....	17-8	I ² Cバスインタフェース.....	16-1
外部トリガ.....	17-10	アクノリッジ.....	16-18
変換時間.....	17-8	スレーブアドレス.....	16-13
Bcc.....	2-16	I ² Cバスフォーマット.....	16-13
CPU動作モード.....	2-4	MCU動作モード.....	3-1
アドバンスモード.....	2-6	PLL回路.....	23-6
ノーマルモード.....	2-4	RAM.....	19-1
D/A変換器.....	18-1	TRAPA命令.....	4-7
DMAコントローラ ( DMAC ) .....	7-1	アイドルサイクル.....	6-94
DMAコントローラ ( DMAC )		アドレス空間.....	2-8
DMAC複数チャネルの動作.....	7-55	アドレッシングモード.....	2-26
アイドルモード.....	7-27	イミディエイト.....	2-28
オートリクエストによる起動.....	7-22	ディスプレイメント付きレジスタ間接.....	2-27
シーケンシャルモード.....	7-24	プリデクリメントレジスタ間接.....	2-27
シングルアドレスモード.....	7-32	プログラムカウンタ相対.....	2-28
ノーマルモード.....	7-35	ポストインクリメントレジスタ間接.....	2-27
バーストモード.....	7-44	メモリ間接.....	2-29
ブロック転送モード.....	7-38	レジスタ間接.....	2-27

レジスタ直接.....	2-27	データレジスタ.....	10-1
絶対アドレス.....	2-28	トラップ命令.....	4-1
インタラプトプライオリティレジスタ ( IPR ) .....	5-1	トレースビット.....	2-11
ウォッチドッグタイマ.....	14-1	バーストROMインタフェース.....	6-91
インターバルタイマモード.....	14-6	バスアービトレーション.....	6-115
オーバフロー.....	14-6	バスコントローラ.....	6-1
エクステンドレジスタ ( EXR ) .....	2-11	ウェイト制御.....	6-39
オープンドレインコントロールレジスタ.....	10-1	チップセレクト ( CS ) アサート期間拡張.....	6-42
オペレーションフィールド.....	2-25	データサイズとデータアライメント.....	6-30
クロック発振器.....	23-1	リードストローブ ( RD ) タイミング.....	6-41
コンディションコードレジスタ ( CCR ) .....	2-11	基本タイミング.....	6-32
コンディションフィールド.....	2-25	有効ストローブ.....	6-31
シリアルコミュニケーションインタフェース.....	15-1	バス解放.....	6-111
IrDA 動作.....	15-60	フラッシュメモリ ( 0.18 $\mu$ m F-ZTAT 版 ) .....	21-1
アクノリッジ.....	16-14	エラープロテクト.....	21-46
オーバランエラー.....	15-33	オフボードプログラミングモード.....	21-2
クロック同期式モード.....	15-41	オンボードプログラミング.....	21-24
スLEEPアドレス.....	16-14	オンボードプログラミングモード.....	21-2
ゼネラルコールアドレス.....	16-11	ソフトウェアプロテクト.....	21-45
パリティエラー.....	15-33	ハードウェアプロテクト.....	21-45
ビットレート.....	15-17	ブートモード.....	21-24
ブレーク.....	15-65	フラッシュマット構成.....	21-5
フレーミングエラー.....	15-33	プロテクト.....	21-45
マーク状態.....	15-65	モード比較.....	21-4
開始条件.....	16-13	ユーザブートマット.....	21-47
調歩同期式モード.....	15-26	ユーザブートメモリマット.....	21-1
停止条件.....	16-13	ユーザブートモード.....	21-37
転送レート.....	16-6	ユーザプログラムモード.....	21-27
シンクロナスDRAMインタフェース.....	6-64	ユーザマット.....	21-47
スタックポインタ ( SP ) .....	2-10	ユーザメモリマット.....	21-1
データディレクションレジスタ.....	10-1	ライタモード.....	21-48
データトランスファコントローラ.....	9-1	手順プログラム.....	21-40
DTC ベクタテーブル.....	9-8	通信プロトコル.....	21-50
カウンタ = 0 時のチェイン転送.....	9-21	標準シリアル通信インタフェース仕様.....	21-48
ソフトウェアによる起動.....	9-16	フラッシュメモリ ( 0.35 $\mu$ m F-ZTAT 版 ) .....	20-1
ソフトウェア起動.....	9-23	イレース / イレースベリファイ.....	20-17
ソフトウェア起動割り込み用ベクタ番号.....	9-6	エラープロテクト.....	20-19
チェイン転送.....	9-15, 9-16	ソフトウェアプロテクト.....	20-19
ノーマルモード.....	9-12	ハードウェアプロテクト.....	20-19
ブロック転送モード.....	9-14	ブートモード.....	20-11
リピートモード.....	9-13	プログラム / プログラムベリファイ.....	20-15
レジスタ情報.....	9-8	ユーザプログラムモードでの書き込み / 消去... ..	20-14
		ライタモード.....	20-20

書き込みの単位 .....	20-6	FCCS .....	21-10, 25-9, 25-22, 25-32
消去ブロック .....	20-6	FECS .....	21-12, 25-10, 25-22, 25-32
プルアップMOSコントロールレジスタ .....	10-50	FKEY .....	21-13, 25-10, 25-22, 25-32
プログラマブルパルスジェネレータ .....	12-1	FLMCR1 .....	20-8, 25-10, 25-22, 25-32
パルス出力ノンオーバーラップ動作 .....	12-14	FLMCR2 .....	20-9, 25-10, 25-22, 25-32
出力トリガ .....	12-8	FMATS .....	21-13, 25-10, 25-22, 25-32
プログラムカウンタ (PC) .....	2-11	FPCS .....	21-12, 25-10, 25-22, 25-32
ポートファンクションコントロールレジスタ 1 .....	10-47	FTDAR .....	21-14, 25-10, 25-22, 25-32
ポートレジスタ .....	10-1	FVACR .....	21-23, 25-10, 25-22, 25-32
ライトデータバッファ機能 .....	6-110	ICCRA .....	16-5, 25-2, 25-12, 25-24
リセット .....	4-3	ICCRB .....	16-7, 25-2, 25-12, 25-24
レジスタ		ICDRR .....	16-12, 25-2, 25-12, 25-24
ABWCR .....	6-5, 25-5, 25-16, 25-27	ICDRS .....	16-12
ADCR .....	17-7, 25-9, 25-21, 25-31	ICDRT .....	16-12, 25-2, 25-12, 25-24
ADCSR .....	17-5, 25-9, 25-21, 25-31	ICIER .....	16-9, 25-2, 25-12, 25-24
ADDR .....	17-4, 25-8, 25-21, 25-31	ICMR .....	16-8, 25-2, 25-12, 25-24
ASTCR .....	6-5, 25-5, 25-16, 25-27	ICSR .....	16-10, 25-2, 25-12, 25-24
BCR .....	25-5, 25-17, 25-27	IER .....	5-6, 25-6, 25-18, 25-28
BROMCR .....	6-12, 25-5, 25-17, 25-27	INTCR .....	5-4, 25-6, 25-18, 25-28
BRR .....	15-17, 25-8, 25-20, 25-30	IOAR .....	7-5, 25-5, 25-17, 25-28
CRA .....	9-4, 25-2, 25-12, 25-24	IPR .....	5-4, 25-3, 25-13, 25-25
CRB .....	9-5, 25-2, 25-12, 25-24	IrCR .....	15-24, 25-3, 25-14, 25-25
CSACR .....	6-10, 25-5, 25-16, 25-27	ISCR .....	5-7, 25-3, 25-14, 25-25
DACR .....	18-4, 25-9, 25-21, 25-31	ISR .....	5-10, 25-6, 25-18, 25-28
DADR .....	18-3, 25-9, 25-21, 25-31	ITSR .....	5-11, 25-3, 25-14, 25-25
DAR .....	9-4, 25-2, 25-12, 25-24	MAR .....	7-5, 25-5, 25-17, 25-27
DMABCR .....	7-12, 25-6, 25-18, 25-28	MDCR .....	3-2, 25-6, 25-19, 25-29
DMACR .....	7-6, 25-6, 25-18, 25-28	MRA .....	9-3, 25-2, 25-12, 25-24
DMATCR .....	7-20, 25-6, 25-18, 25-28	MRB .....	9-4, 25-2, 25-12, 25-24
DMAWER .....	7-18, 25-6, 25-18, 25-28	MSTPCR .....	24-6, 25-6, 25-19, 25-29
DRACCR .....	6-18, 25-5, 25-17, 25-27	NDER .....	12-4, 25-7, 25-19, 25-29
DRAMCR .....	6-14, 25-5, 25-17, 25-27	NDR .....	12-6, 25-7, 25-19, 25-29
DTCER .....	9-5, 25-6, 25-18, 25-28	P1DDR .....	10-5, 25-3, 25-14, 25-25
DTVECR .....	9-6, 25-6, 25-18, 25-28	P1DR .....	10-6, 25-7, 25-19, 25-30
EBR1 .....	20-9, 25-10, 25-22, 25-32	P2DDR .....	10-15, 25-3, 25-14, 25-25
EBR2 .....	20-10, 25-10, 25-22, 25-32	P2DR .....	10-15, 25-7, 25-19, 25-30
EDACR .....	8-9, 25-2, 25-13, 25-24	P3DDR .....	10-25, 25-3, 25-14, 25-25
EDDAR .....	8-4, 25-2, 25-13, 25-24	P3DR .....	10-25, 25-7, 25-19, 25-30
EDMDR .....	8-6, 25-3, 25-13, 25-24	P3ODR .....	10-26, 25-4, 25-15, 25-26
EDSAR .....	8-4, 25-2, 25-13, 25-24	P5DDR .....	10-32, 25-3, 25-14, 25-25
EDTCR .....	8-5, 25-2, 25-13, 25-24	P5DR .....	10-32, 25-7, 25-19, 25-30
ETCR .....	7-6, 25-5, 25-17, 25-28	P6DDR .....	10-35, 25-3, 25-14, 25-25
EXMSTPCR .....	24-7, 25-7, 25-19, 25-29	P6DR .....	10-35, 25-7, 25-20, 25-30

P8DDR .....	10-39, 25-3, 25-14, 25-25	PORTH.....	10-74, 25-8, 25-20, 25-30
P8DR .....	10-39, 25-7, 25-20, 25-30	RDNCR .....	6-10, 25-5, 25-16, 25-27
PADDR .....	10-44, 25-3, 25-14, 25-25	RDR.....	15-5, 25-8, 25-20, 25-30
PADR.....	10-45, 25-8, 25-20, 25-30	REFCR .....	6-21, 25-5, 25-17, 25-27
PAODR.....	10-47, 25-4, 25-15, 25-26	RSR.....	15-5
PAPCR .....	10-46, 25-3, 25-15, 25-26	RSTCSR .....	14-4, 25-9, 25-22, 25-32
PBDDR.....	10-50, 25-3, 25-14, 25-25	RTCNT .....	6-24, 25-5, 25-17, 25-27
PBDR.....	10-50, 25-8, 25-20, 25-30	RTCOR.....	6-24, 25-5, 25-17, 25-27
PBPCR .....	10-51, 25-4, 25-15, 25-26	SAR .....	16-12, 25-2, 25-12, 25-24
PCDDR.....	10-53, 25-3, 25-14, 25-25	SBYCR .....	24-4, 25-6, 25-19, 25-29
PCDR .....	10-53, 25-8, 25-20, 25-30	SCKCR.....	23-2, 25-6, 25-19, 25-29
PCPCR.....	10-54, 25-4, 25-15, 25-26	SCMR .....	15-16, 25-8, 25-20, 25-30
PCR .....	12-8, 25-7, 25-19, 25-29	SCR.....	15-8, 25-8, 25-20, 25-30
PDDDR.....	10-56, 25-3, 25-14, 25-25	SEMR .....	15-25, 25-2, 25-12, 25-24
PDDR .....	10-56, 25-8, 25-20, 25-30	SMR .....	15-6, 25-8, 25-20, 25-30
PDPCR.....	10-57, 25-4, 25-15, 25-26	SSIER.....	5-12, 25-3, 25-14, 25-25
PEDDR.....	10-59, 25-3, 25-15, 25-25	SSR .....	15-11, 25-8, 25-20, 25-21, 25-30
PEDR.....	10-60, 25-8, 25-20, 25-30	SYSCR.....	3-3, 25-6, 25-19, 25-29
PEPCR .....	10-61, 25-4, 25-15, 25-26	TCNT..	11-32, 14-2, 25-9, 25-10, 25-22, 25-31, 25-32
PFCR.....	10-69, 25-3, 25-15, 25-25	TCORA.....	13-4, 25-9, 25-21, 25-31
PFDDR .....	10-63, 25-3, 25-15, 25-25	TCORB.....	13-4, 25-9, 25-22, 25-31
PFDR.....	10-64, 25-8, 25-20, 25-30	TCR .....	11-7, 13-5, 25-9, 25-10, ..... 25-21, 25-22, 25-31, 25-32
PGDDR.....	10-67, 25-3, 25-15, 25-25	TCSR.....	13-7, 14-3, 25-9, 25-21, 25-22, 25-31
PGDR .....	10-68, 25-8, 25-20, 25-30	TDR .....	15-5, 25-8, 25-20, 25-30
PHDDR.....	10-72, 25-8, 25-20, 25-30	TGR .....	11-26, 11-32, 11-41, 25-4, ..... 25-16, 25-22, 25-26, 25-32
PHDR .....	10-74, 25-8, 25-20, 25-30	TIER .	11-29, 25-4, 25-10, 25-15, 25-22, 25-26, 25-32
PLLCR .....	23-3, 25-7, 25-19, 25-29	TIOR.	11-12, 25-4, 25-10, 25-15, 25-22, 25-26, 25-32
PMR.....	12-9, 25-7, 25-19, 25-29	TMDR .....	11-11, 25-4, 25-10, ..... 25-15, 25-22, 25-26, 25-32
PODR .....	12-5, 25-7, 25-19, 25-29	TSR .....	11-30, 15-5, 25-4, 25-10, ..... 25-15, 25-22, 25-26, 25-32
PORT1.....	10-6, 25-7, 25-19, 25-29	TSTR .....	11-33, 25-9, 25-22, 25-32
PORT2.....	10-16, 25-7, 25-19, 25-29	TSYR.....	11-33, 25-9, 25-22, 25-32
PORT3.....	10-26, 25-7, 25-19, 25-29	WTCR.....	6-6, 25-5, 25-16, 25-27
PORT4.....	10-30, 25-7, 25-19, 25-29	レジスタフィールド .....	2-25
PORT5.....	10-33, 25-7, 25-19, 25-29	レジスタ一覧	
PORT6.....	10-36, 25-7, 25-19, 25-29	レジスタアドレス一覧.....	25-2
PORT8.....	10-40, 25-7, 25-19, 25-29	レジスタビット一覧.....	25-12
PORTA .....	10-46, 25-7, 25-19, 25-29	各動作モードにおけるレジスタの状態 .....	25-24
PORTB .....	10-51, 25-7, 25-19, 25-29	割り込み	
PORTC.....	10-54, 25-7, 25-19, 25-29	ADI .....	17-10
PORTD.....	10-57, 25-7, 25-19, 25-29		
PORTE .....	10-60, 25-7, 25-19, 25-29		
PORTF .....	10-64, 25-7, 25-19, 25-29		
PORTG.....	10-68, 25-7, 25-19, 25-29		

ATI .....	5-18	TEI0 .....	15-63
CMI .....	5-15	TEI1 .....	5-17
CMIA .....	13-14	TEI2 .....	5-17
CMIA0 .....	5-16	TEI3 .....	5-17
CMIA1 .....	5-16	TEI4 .....	5-17
CMIB .....	13-14	TGI0A .....	11-57
CMIB0 .....	5-16	TGI0B .....	11-57
CMIB1 .....	5-16	TGI0C .....	11-57
DMTEND0A .....	5-17	TGI0D .....	11-57
DMTEND0B .....	5-17	TGI1A .....	11-57
DMTEND1A .....	5-17	TGI1B .....	11-57
DMTEND1B .....	5-17	TGI2A .....	11-57
ERI0 .....	15-63	TGI2B .....	11-57
ERI1 .....	5-17	TGI3A .....	11-57
ERI2 .....	5-17	TGI3B .....	11-57
ERI3 .....	5-17	TGI3C .....	11-57
ERI4 .....	5-17	TGI3D .....	11-57
EXDMTEND2 .....	5-17	TGI4A .....	11-57
EXDMTEND3 .....	5-17	TGI4B .....	11-57
IIC10 .....	5-18	TGI5A .....	11-57
IIC11 .....	5-18	TGI5B .....	11-57
IRQ0 .....	5-15	TXI0 .....	15-63
NMI .....	5-15	TXI1 .....	5-17
NMI 割り込み .....	5-26	TXI2 .....	5-17
OVI .....	13-14	TXI3 .....	5-17
OVI0 .....	5-16	TXI4 .....	5-17
OVI1 .....	5-16	WOVI .....	14-6
RXI0 .....	15-63	割り込みコントローラ .....	5-1
RXI1 .....	5-17	割り込みマスクビット .....	2-11
RXI2 .....	5-17	割り込み制御モード .....	5-19
RXI3 .....	5-17	割り込み要求マスクレベル .....	2-11
RXI4 .....	5-17	割り込み例外処理ベクタテーブル .....	5-14
SWDTEND .....	9-16	実効アドレス .....	2-26
TCI0V .....	11-57	書き込み / 消去インタフェースパラメータ .....	21-14
TCI1U .....	11-57	ダウンロードパス・フェイルリザルトパラメータ .....	21-16
TCI1V .....	11-57	バスアドレスエリアパラメータ .....	21-19
TCI2U .....	11-57	フラッシュイレースブロックセレクトパラメータ .....	21-17, 21-21
TCI2V .....	11-57	フラッシュバス / フェイルパラメータ .....	21-22
TCI3V .....	11-57	フラッシュプログラム / イレース周波数パラメータ .....	21-17
TCI4U .....	11-57		
TCI4V .....	11-57		
TCI5U .....	11-57		
TCI5V .....	11-57		

フラッシュマルチパースデータデスティネーションパラメータ.....	21-19	算術演算命令.....	2-18
書き込み/消去インタフェースレジスタ.....	21-10	分岐命令.....	2-23
入力プルアップMOS.....	10-1	論理演算命令.....	2-20
汎用レジスタ.....	2-10	例外処理.....	4-1
命令セット.....	2-16	トラップ命令例外処理.....	4-7
システム制御命令.....	2-24	トレース例外処理.....	4-6
シフト命令.....	2-20	リセット例外処理.....	4-3
データ転送命令.....	2-18	割り込み例外処理.....	4-6
ビット操作命令.....	2-21	例外処理後のスタックの状態.....	4-8
ブロック転送命令.....	2-25	例外処理ベクタテーブル.....	4-2

---

ルネサス16ビットシングルチップマイクロコンピュータ  
ハードウェアマニュアル  
H8S/2378グループ、H8S/2378Rグループ

発行年月日 2001年9月 第1版  
2009年3月12日 Rev.7.00  
発行 株式会社ルネサス テクノロジ 営業統括部  
〒100-0004 東京都千代田区大手町 2-6-2  
編集 株式会社ルネサスソリューションズ  
グローバルストラテジックコミュニケーション本部  
カスタマサポート部

株式会社ルネサステクノロジー 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口  
株式会社ルネサス販売

# RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
西	東	京	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平字田町120 (ラトフ)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市中央区東大通1-4-2 (新潟三井物産ビル)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング)	(082) 244-2570
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ)	(092) 481-7695

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

■技術的なお問合せおよび資料のご請求は下記へどうぞ。  
総合お問合せ窓口：コンタクトセンタ E-Mail: [csc@renesas.com](mailto:csc@renesas.com)



H8S/2378 グループ、H8S/2378R グループ  
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0094-0700