お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

RENESAS

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準：　コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準：　航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1.　本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2.　本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

User's Manual

16

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

H8S/2189R グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
H8S ファミリ／ H8S/2100 シリーズ

H8S/2189R　R4F2189R

ルネサス エレクトロニクス
www.renesas.com

Rev.2.00　2005.05

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (http://www.renesas.com) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任は負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は，製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明

・CPU およびシステム制御系

・内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、
①特長、②入出力端子、③レジスタの説明、④動作説明、⑤使用上の注意事項
等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。 各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。 必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で改訂または追加された主な箇所（改訂版のみ適用）

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。 改訂内容の全てについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

11. 索引

はじめに

H8S/2189R グループは、ルネサス テクノロジオリジナルアーキテクチャを採用した H8S/2000 CPU を核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータです。

H8S/2000 CPU は、内部 32 ビット構成で、16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。また、H8/300CPU および H8/300H CPU の命令に対し、オブジェクトレベルで上位互換を保っていますので、H8/300、H8/300L、H8/300H の各シリーズから容易に移行することができます。

対象者　このマニュアルは、H8S/2189R を用いた応用システムを設計するユーザーを対象としています。
このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的　このマニュアルは、H8S/2189R グループのハードウェア機能と電気的特性をユーザーに理解して頂くことを目的にしています。なお、実行命令の詳細については、**「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」**に記載していますので併せて御覧ください。

読み方

- 機能全体を理解しようとするとき。
  → 目次に従って読んでください。
  本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU機能の詳細を理解したいとき。
  → 別冊の**「H8S/2600シリーズ、H8S/2000シリーズ ソフトウェアマニュアル」**を参照してください。
- レジスタ名が判っていて、詳細機能を知りたいとき。
  → 本書の後ろに「索引」があります。索引からページ番号を検索してください。
  「第21章　レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

凡例　レジスタ表記　：シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャネルに存在する場合に次の表記を使用します。
XXX_N（XXX は基本レジスタ名称、N はチャネル番号）
ビット表記順　：左側が上位ビット、右側が下位ビット
数字の表記　：2 進数は B'xxxx、16 進数は H'xxxx、10 進数は xxxx
信号の表記　：ローアクティブの信号にはオーババーを付けます。$\overline{\text{xxxx}}$

関連資料一覧　ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。
(http://www.renesas.com/jpn/)

- H8S/2189Rグループに関するユーザーズマニュアル

資料名	資料番号
H8S/2189R グループ ハードウェアマニュアル	本マニュアル
H8S/2600 シリーズ、H8S/2000 シリーズソフトウェアマニュアル	RJJ09B0143

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンケージエディタ ユーザーズマニュアル	RJJ10B0049
H8S、H8/300 シリーズ シミュレータ・デバッガユーザーズマニュアル	ADJ－702－355
H8S、H8/300 シリーズ High-performance Embedded Workshop3 チュートリアル	RJJ10B0027
H8S、H8/300 シリーズ High-performance Embedded Workshop3 ユーザーズマニュアル	RJJ10B0029

- アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラパッケージ アプリケーションノート	RJJ05B0558
F-ZTAT マイコンテクニカル Q&A	ADJ－502－055

本版で修正または追加された箇所

項　　目	ページ	修正個所
全般		型名の変更 • H8S/2189 グループ→H8S/2189R グループ • R4F2189→R4F2189R
付録 C.　外形寸法図	付録-3	ルネサス版に差しかえ

目次

1. 概要 1-1

1.1 特長 1-1
1.2 内部ブロック図 1-3
1.3 端子説明 1-4
1.3.1 ピン配置図 1-4
1.3.2 動作モード別端子機能一覧 1-5
1.3.3 端子機能 1-10

2. CPU 2-1

2.1 特長 2-1
2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点 2-2
2.1.2 H8/300 CPU との相違点 2-3
2.1.3 H8/300H CPU との相違点 2-3
2.2 CPU動作モード 2-4
2.2.1 ノーマルモード 2-4
2.2.2 アドバンストモード 2-5
2.3 アドレス空間 2-7
2.4 レジスタの構成 2-8
2.4.1 汎用レジスタ 2-9
2.4.2 プログラムカウンタ（PC） 2-10
2.4.3 エクステンドレジスタ（EXR） 2-10
2.4.4 コンディションコードレジスタ（CCR） 2-10
2.4.5 CPU 内部レジスタの初期値 2-11
2.5 データ形式 2-12
2.5.1 汎用レジスタのデータ形式 2-12
2.5.2 メモリ上でのデータ形式 2-14
2.6 命令セット 2-15
2.6.1 命令の機能別一覧 2-16
2.6.2 命令の基本フォーマット 2-25
2.7 アドレッシングモードと実効アドレスの計算方法 2-26
2.7.1 レジスタ直接　Rn 2-26
2.7.2 レジスタ間接　@ERn 2-26
2.7.3 ディスプレースメント付きレジスタ間接　@（d:16,ERn）/@（d:32,ERn） 2-26
2.7.4 ポストインクリメントレジスタ間接@ERn+/プリデクリメントレジスタ間接@-ERn 2-27

2.7.5 絶対アドレス　@aa:8/@aa:16/@aa:24/@aa:32 2-27
2.7.6 イミディエイト　#xx:8/#xx:16/#xx:32 2-28
2.7.7 プログラムカウンタ相対　@（d:8, PC）/@（d:16, PC） 2-28
2.7.8 メモリ間接　@@aa:8 2-28
2.7.9 実効アドレスの計算方法 2-29
2.8 処理状態 2-31
2.9 使用上の注意事項 2-33
2.9.1 TAS 命令 2-33
2.9.2 STM/LDM 命令 2-33
2.9.3 ビット操作命令 2-33
2.9.4 EEPMOV 命令 2-34

3. MCU 動作モード 3-1

3.1 動作モードの選択 3-1
3.2 レジスタの説明 3-1
3.2.1 モードコントロールレジスタ（MDCR） 3-2
3.2.2 システムコントロールレジスタ（SYSCR） 3-2
3.2.3 シリアルタイマコントロールレジスタ（STCR） 3-3
3.2.4 システムコントロールレジスタ 3（SYSCR3） 3-5
3.3 動作モードの説明 3-5
3.3.1 モード 2 3-5
3.4 アドレスマップ 3-6

4. 例外処理 4-1

4.1 例外処理の種類と優先度 4-1
4.2 例外処理要因とベクタテーブル 4-1
4.3 リセット 4-4
4.3.1 リセット例外処理 4-4
4.3.2 リセット直後の割り込み 4-5
4.3.3 リセット解除後の内蔵周辺機能 4-5
4.4 割り込み例外処理 4-5
4.5 トラップ命令例外処理 4-5
4.6 例外処理後のスタックの状態 4-6
4.7 使用上の注意事項 4-7

5. 割り込みコントローラ 5-1

5.1 特長 5-1
5.2 入出力端子 5-3
5.3 レジスタの説明 5-3
5.3.1 インタラプトコントロールレジスタ A～D（ICRA～ICRD） 5-4

5.3.2 IRQ センスコントロールレジスタ（ISCR16H、ISCR16L、ISCRH、ISCRL） 5-5
5.3.3 IRQ イネーブルレジスタ（IER16、IER） 5-7
5.3.4 IRQ ステータスレジスタ（ISR16、ISR） 5-8
5.3.5 キーボードマトリクス割り込みマスクレジスタ（KMIMRA、KMIMR）
ウェイクアップイベント割り込みマスクレジスタ（WUEMR、WUEMRB） 5-9
5.3.6 IRQ センスポートセレクトレジスタ 16（ISSR16）
IRQ センスポートセレクトレジスタ（ISSR） 5-12
5.4 割り込み要因 5-13
5.4.1 外部割り込み要因 5-13
5.4.2 内部割り込み要因 5-15
5.5 割り込み例外処理ベクタテーブル 5-16
5.6 割り込み制御モードと割り込み動作 5-21
5.6.1 割り込み制御モード 0 5-23
5.6.2 割り込み制御モード 1 5-25
5.6.3 割り込み例外処理シーケンス 5-27
5.6.4 割り込み応答時間 5-29
5.7 使用上の注意事項 5-30
5.7.1 割り込みの発生とディスエーブルとの競合 5-30
5.7.2 割り込みを禁止している命令 5-30
5.7.3 EEPMOV 命令実行中の割り込み 5-31
5.7.4 ベクタアドレスの切り替え 5-31
5.7.5 ソフトウェアスタンバイモード、ウォッチモード時の外部割り込み端子について 5-31
5.7.6 ノイズキャンセラの切り替え 5-31
5.7.7 IRQ ステータスレジスタ（ISR）について 5-31

6. バスコントローラ（BSC） 6-1

6.1 レジスタの説明 6-1
6.1.1 バスコントロールレジスタ（BCR） 6-1
6.1.2 ウェイトステートコントロールレジスタ（WSCR） 6-2

7. I/O ポート 7-1

7.1 ポート1 7-4
7.1.1 ポート 1 データディレクションレジスタ（P1DDR） 7-4
7.1.2 ポート 1 データレジスタ（P1DR） 7-5
7.1.3 ポート 1 プルアップ MOS コントロールレジスタ（P1PCR） 7-5
7.1.4 端子機能 7-5
7.1.5 ポート 1 入力プルアップ MOS の状態 7-6
7.2 ポート2 7-6
7.2.1 ポート 2 データディレクションレジスタ（P2DDR） 7-6
7.2.2 ポート 2 データレジスタ（P2DR） 7-7
7.2.3 ポート 2 プルアップ MOS コントロールレジスタ（P2PCR） 7-7

7.2.4 端子機能 7-7
7.2.5 ポート 2 入力プルアップ MOS の状態 7-8
7.3 ポート3 7-9
7.3.1 ポート 3 データディレクションレジスタ（P3DDR） 7-9
7.3.2 ポート 3 データレジスタ（P3DR） 7-9
7.3.3 ポート 3 プルアップ MOS コントロールレジスタ（P3PCR） 7-10
7.3.4 端子機能 7-10
7.3.5 ポート 3 入力プルアップ MOS の状態 7-10
7.4 ポート4 7-11
7.4.1 ポート 4 データディレクションレジスタ（P4DDR） 7-11
7.4.2 ポート 4 データレジスタ（P4DR） 7-11
7.4.3 端子機能 7-12
7.5 ポート5 7-15
7.5.1 ポート 5 データディレクションレジスタ（P5DDR） 7-15
7.5.2 ポート 5 データレジスタ（P5DR） 7-15
7.5.3 端子機能 7-16
7.6 ポート6 7-17
7.6.1 ポート 6 データディレクションレジスタ（P6DDR） 7-17
7.6.2 ポート 6 データレジスタ（P6DR） 7-18
7.6.3 プルアップ MOS コントロールレジスタ（KMPCR） 7-18
7.6.4 ノイズキャンセライネーブルレジスタ（P6NCE） 7-18
7.6.5 ノイズキャンセラ判定制御レジスタ（P6NCMC） 7-19
7.6.6 ノイズキャンセル周期設定レジスタ（P6NCCS） 7-19
7.6.7 システムコントロールレジスタ 2（SYSCR2） 7-21
7.6.8 端子機能 7-21
7.6.9 ポート 6 入力プルアップ MOS の状態 7-23
7.7 ポート7 7-24
7.7.1 ポート 7 入力データレジスタ（P7PIN） 7-24
7.7.2 端子機能 7-24
7.8 ポート8 7-25
7.8.1 ポート 8 データディレクションレジスタ（P8DDR） 7-25
7.8.2 ポート 8 データレジスタ（P8DR） 7-25
7.8.3 端子機能 7-26
7.9 ポート9 7-28
7.9.1 ポート 9 データディレクションレジスタ（P9DDR） 7-28
7.9.2 ポート 9 データレジスタ（P9DR） 7-29
7.9.3 ポート 9 プルアップ MOS コントロールレジスタ（P9PCR） 7-29
7.9.4 端子機能 7-30
7.9.5 ポート 9 入力プルアップ MOS の状態 7-32
7.10 ポートA 7-32
7.10.1 ポート A データディレクションレジスタ（PADDR） 7-32

7.10.2 ポート A 出力データレジスタ（PAODR） 7-33
7.10.3 ポート A 入力データレジスタ（PAPIN） 7-33
7.10.4 端子機能 7-33
7.11 ポートB 7-34
7.11.1 ポート B データディレクションレジスタ（PBDDR） 7-34
7.11.2 ポート B 出力データレジスタ（PBODR） 7-34
7.11.3 ポート B 入力データレジスタ（PBPIN） 7-35
7.11.4 端子機能 7-35
7.11.5 ポート B 入力プルアップ MOS の状態 7-35
7.12 ポートC 7-36
7.12.1 ポート C データディレクションレジスタ（PCDDR） 7-36
7.12.2 ポート C 出力データレジスタ（PCODR） 7-37
7.12.3 ポート C 入力データレジスタ（PCPIN） 7-37
7.12.4 ノイズキャンセライネーブルレジスタ（PCNCE） 7-37
7.12.5 ノイズキャンセラ判定制御レジスタ（PCNCMC） 7-38
7.12.6 ノイズキャンセル周期設定レジスタ（PCNCCS） 7-38
7.12.7 端子機能 7-39
7.12.8 ポート C Nch-OD コントロールレジスタ（PCNOCR） 7-39
7.12.9 端子機能 7-39
7.12.10 ポート C 入力プルアップ MOS 7-40
7.13 ポートD 7-40
7.13.1 ポート D データディレクションレジスタ（PDDDR） 7-40
7.13.2 ポート D 出力データレジスタ（PDODR） 7-41
7.13.3 ポート D 入力データレジスタ（PDPIN） 7-41
7.13.4 端子機能 7-42
7.13.5 ポート D Nch-OD コントロールレジスタ（PDNOCR） 7-44
7.13.6 端子機能 7-45
7.13.7 ポート D 入力プルアップ MOS 7-45
7.14 ポートE 7-46
7.14.1 ポート入力プルアップ MOS コントロールレジスタ（PEPCR） 7-46
7.14.2 ポート E 入力データレジスタ（PEPIN） 7-46
7.14.3 端子機能 7-47
7.14.4 ポート E 入力プルアップ MOS 7-47
7.15 ポートF 7-48
7.15.1 ポート F データディレクションレジスタ（PFDDR） 7-48
7.15.2 ポート F 出力データレジスタ（PFODR） 7-48
7.15.3 ポート F 入力データレジスタ（PFPIN） 7-49
7.15.4 端子機能 7-49
7.15.5 ポート F Nch-OD コントロールレジスタ（PFNOCR） 7-50
7.15.6 端子機能 7-51
7.15.7 ポート F 入力プルアップ MOS 7-51

7.16 ポートG 7-52
7.16.1 ポート G データディレクションレジスタ（PGDDR） 7-52
7.16.2 ポート G 出力データレジスタ（PGODR） 7-53
7.16.3 ポート G 入力データレジスタ（PGPIN） 7-53
7.16.4 ノイズキャンセライネーブルレジスタ（PGNCE） 7-53
7.16.5 ノイズキャンセラ判定制御レジスタ（PGNCMC） 7-54
7.16.6 ノイズキャンセル周期設定レジスタ（PGNCCS） 7-54
7.16.7 端子機能 7-55
7.16.8 ポート G Nch-OD コントロールレジスタ（PGNOCR） 7-58
7.16.9 端子機能 7-58
7.17 周辺機能端子の移動 7-59
7.17.1 ポートコントロールレジスタ 0（PTCNT0） 7-59
7.17.2 ポートコントロールレジスタ 1（PTCNT1） 7-60
7.17.3 ポートコントロールレジスタ 2（PTCNT2） 7-61

8. 8 ビット PWM タイマ（PWM） 8-1

8.1 特長 8-1
8.2 端子構成 8-2
8.3 レジスタの説明 8-3
8.3.1 PWM レジスタセレクト（PWSL） 8-3
8.3.2 PWM データレジスタ 15～8（PWDR15～PWDR8） 8-4
8.3.3 PWM データポラリティレジスタ B（PWDPRB） 8-5
8.3.4 PWM アウトプットイネーブルレジスタ B（PWOERB） 8-5
8.3.5 周辺クロックセレクトレジスタ（PCSR） 8-6
8.4 動作説明 8-7
8.4.1 PWM の設定例 8-9
8.4.2 D/A として使用する場合の回路例 8-9
8.5 使用上の注意事項 8-10
8.5.1 モジュールストップモードの設定 8-10

9. 14 ビット PWM タイマ（PWMX） 9-1

9.1 特長 9-1
9.2 入出力端子 9-2
9.3 レジスタの説明 9-2
9.3.1 PWMX（D/A）カウンタ H、L（DACNTH、DACNTL） 9-2
9.3.2 PWMX（D/A）データレジスタ A、B（DADRA、DADRB） 9-3
9.3.3 PWMX（D/A）コントロールレジスタ（DACR） 9-5
9.3.4 周辺クロックセレクトレジスタ（PCSR） 9-6
9.4 バスマスタとのインタフェース 9-7
9.5 動作説明 9-9

9.6 使用上の注意事項 9-16
9.6.1 モジュールストップモードの設定 9-16

10. 16 ビットフリーランニングタイマ（FRT） 10-1

10.1 特長 10-1
10.2 入出力端子 10-3
10.3 レジスタの説明 10-3
10.3.1 フリーランニングカウンタ（FRC） 10-4
10.3.2 アウトプットコンペアレジスタ A、B（OCRA、OCRB） 10-4
10.3.3 インプットキャプチャレジスタ A～D（ICRA～ICRD） 10-4
10.3.4 アウトプットコンペアレジスタ AR、AF（OCRAR、OCRAF） 10-5
10.3.5 アウトプットコンペアレジスタ DM（OCRDM） 10-5
10.3.6 タイマインタラプトイネーブルレジスタ（TIER） 10-5
10.3.7 タイマコントロール／ステータスレジスタ（TCSR） 10-7
10.3.8 タイマコントロールレジスタ（TCR） 10-9
10.3.9 タイマアウトプットコンペアコントロールレジスタ（TOCR） 10-10
10.4 動作説明 10-11
10.4.1 パルス出力 10-11
10.5 動作タイミング 10-12
10.5.1 FRC のカウントタイミング 10-12
10.5.2 アウトプットコンペア出力タイミング 10-13
10.5.3 FRC のクリアタイミング 10-13
10.5.4 インプットキャプチャ入力タイミング 10-14
10.5.5 バッファ動作時タイミング 10-15
10.5.6 インプットキャプチャ時のフラグセットタイミング 10-16
10.5.7 アウトプットコンペア時のフラグセットタイミング 10-16
10.5.8 オーバフロー時のフラグセットタイミング 10-17
10.5.9 自動加算タイミング 10-17
10.5.10 マスク信号生成タイミング 10-18
10.6 割り込み要因 10-19
10.7 使用上の注意事項 10-19
10.7.1 FRC のライトとクリアの競合 10-19
10.7.2 FRC のライトとカウントアップの競合 10-20
10.7.3 OCR のライトとコンペアマッチの競合 10-21
10.7.4 内部クロックの切り替えとカウンタの動作 10-23
10.7.5 モジュールストップモードの設定 10-24

11. 16 ビットタイマパルスユニット（TPU） 11-1

11.1 特長 11-1
11.2 入出力端子 11-5

11.3 レジスタの説明 11-6
11.3.1 タイマコントロールレジスタ（TCR） 11-7
11.3.2 タイマモードレジスタ（TMDR） 11-9
11.3.3 タイマ I/O コントロールレジスタ（TIOR） 11-10
11.3.4 タイマインタラプトイネーブルレジスタ（TIER） 11-19
11.3.5 タイマステータスレジスタ（TSR） 11-20
11.3.6 タイマカウンタ（TCNT） 11-22
11.3.7 タイマジェネラルレジスタ（TGR） 11-22
11.3.8 タイマスタートレジスタ（TSTR） 11-23
11.3.9 タイマシンクロレジスタ（TSYR） 11-23
11.4 バスマスタとのインタフェース 11-24
11.4.1 16 ビットレジスタ 11-24
11.4.2 8 ビットレジスタ 11-24
11.5 動作説明 11-26
11.5.1 基本動作 11-26
11.5.2 同期動作 11-31
11.5.3 バッファ動作 11-32
11.5.4 PWM モード 11-35
11.5.5 位相計数モード 11-39
11.6 割り込み要因 11-44
11.6.1 割り込み要因と優先順位 11-44
11.6.2 A/D 変換器の起動 11-45
11.7 動作タイミング 11-46
11.7.1 入出力タイミング 11-46
11.7.2 割り込み信号タイミング 11-50
11.8 使用上の注意事項 11-53
11.8.1 入力クロックの制限事項 11-53
11.8.2 周期設定上の注意事項 11-53
11.8.3 TCNT のライトとクリアの競合 11-54
11.8.4 TCNT のライトとカウントアップの競合 11-54
11.8.5 TGR のライトとコンペアマッチの競合 11-55
11.8.6 バッファレジスタのライトとコンペアマッチの競合 11-55
11.8.7 TGR のリードとインプットキャプチャの競合 11-56
11.8.8 TGR のライトとインプットキャプチャの競合 11-56
11.8.9 バッファレジスタのライトとインプットキャプチャの競合 11-57
11.8.10 オーバフロー／アンダフローとカウンタクリアの競合 11-57
11.8.11 TCNT のライトとオーバフロー／アンダフローの競合 11-58
11.8.12 入出力端子の兼用 11-58
11.8.13 モジュールストップモード時の設定 11-58

12. 8 ビットタイマ（TMR） 12-1
12.1 特長 12-1
12.2 入出力端子 12-4
12.3 レジスタの説明 12-4
12.3.1 タイマカウンタ（TCNT） 12-6
12.3.2 タイムコンスタントレジスタ A（TCORA） 12-6
12.3.3 タイムコンスタントレジスタ B（TCORB） 12-6
12.3.4 タイマコントロールレジスタ（TCR） 12-7
12.3.5 タイマコントロール／ステータスレジスタ（TCSR） 12-10
12.3.6 タイムコンスタントレジスタ C（TCORC） 12-14
12.3.7 インプットキャプチャレジスタ R、F（TICRR、TICRF） 12-14
12.3.8 タイマインプットセレクトレジスタ（TISR） 12-14
12.3.9 タイマコネクションレジスタ I（TCONRI） 12-15
12.3.10 タイマコネクションレジスタ S（TCONRS） 12-15
12.3.11 タイマ XY コントロールレジスタ（TCRXY） 12-16
12.4 動作説明 12-16
12.4.1 パルス出力 12-16
12.5 動作タイミング 12-17
12.5.1 TCNT のカウントタイミング 12-17
12.5.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング 12-18
12.5.3 コンペアマッチ時のタイマ出力タイミング 12-18
12.5.4 コンペアマッチによるカウンタクリアタイミング 12-19
12.5.5 TCNT の外部リセットタイミング 12-19
12.5.6 オーバフローフラグ（OVF）のセットタイミング 12-20
12.6 TMR_0、TMR_1のカスケード接続 12-20
12.6.1 16 ビットカウントモード 12-20
12.6.2 コンペアマッチカウントモード 12-21
12.7 TMR_Y、TMR_Xのカスケード接続 12-21
12.7.1 16 ビットカウントモード 12-21
12.7.2 コンペアマッチカウントモード 12-21
12.7.3 インプットキャプチャ動作 12-21
12.8 割り込み要因 12-23
12.9 使用上の注意事項 12-24
12.9.1 TCNT のライトとカウンタクリアの競合 12-24
12.9.2 TCNT のライトとカウントアップの競合 12-25
12.9.3 TCOR のライトとコンペアマッチの競合 12-26
12.9.4 コンペアマッチ A、B の競合 12-26
12.9.5 内部クロックの切り替えと TCNT の動作 12-27
12.9.6 カスケード接続時のモード設定 12-28
12.9.7 モジュールストップモードの設定 12-28

13. ウォッチドッグタイマ（WDT）.....13-1
13.1 特長.....13-1
13.2 入出力端子.....13-3
13.3 レジスタの説明.....13-3
13.3.1 タイマカウンタ（TCNT）.....13-3
13.3.2 タイマコントロール／ステータスレジスタ（TCSR）.....13-4
13.4 動作説明.....13-7
13.4.1 ウォッチドッグタイマモード.....13-7
13.4.2 インターバルタイマモード.....13-8
13.4.3 $\overline{\text{RESO}}$ 信号出力タイミング.....13-9
13.5 割り込み要因.....13-9
13.6 使用上の注意事項.....13-10
13.6.1 レジスタアクセス時の注意事項.....13-10
13.6.2 タイマカウンタ（TCNT）のライトとカウントアップの競合.....13-11
13.6.3 CKS2～CKS0 ビットの書き換え.....13-11
13.6.4 PSS ビットの書き換え.....13-11
13.6.5 ウォッチドッグタイマモードとインターバルタイマモードの切り替え.....13-11
13.6.6 $\overline{\text{RESO}}$ 信号によるシステムのリセット.....13-12

14. シリアルコミュニケーションインタフェース （SCI、IrDA）.....14-1
14.1 特長.....14-1
14.2 入出力端子.....14-3
14.3 レジスタの説明.....14-3
14.3.1 レシーブシフトレジスタ（RSR）.....14-4
14.3.2 レシーブデータレジスタ（RDR）.....14-4
14.3.3 トランスミットデータレジスタ（TDR）.....14-4
14.3.4 トランスミットシフトレジスタ（TSR）.....14-4
14.3.5 シリアルモードレジスタ（SMR）.....14-5
14.3.6 シリアルコントロールレジスタ（SCR）.....14-7
14.3.7 シリアルステータスレジスタ（SSR）.....14-9
14.3.8 スマートカードモードレジスタ（SCMR）.....14-13
14.3.9 ビットレートレジスタ（BRR）.....14-14
14.3.10 キーボードコンパレータコントロールレジスタ（KBCOMP）.....14-20
14.4 調歩同期式モードの動作.....14-21
14.4.1 送受信フォーマット.....14-22
14.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン.....14-23
14.4.3 クロック.....14-24
14.4.4 SCI の初期化（調歩同期式）.....14-24
14.4.5 シリアルデータ送信（調歩同期式）.....14-26
14.4.6 シリアルデータ受信（調歩同期式）.....14-28

14.5 マルチプロセッサ通信機能 14-31
14.5.1 マルチプロセッサシリアルデータ送信 14-32
14.5.2 マルチプロセッサシリアルデータ受信 14-33
14.6 クロック同期式モードの動作 14-36
14.6.1 クロック 14-36
14.6.2 SCI の初期化（クロック同期式） 14-37
14.6.3 シリアルデータ送信（クロック同期式） 14-38
14.6.4 シリアルデータ受信（クロック同期式） 14-40
14.6.5 シリアルデータ送受信同時動作（クロック同期式） 14-42
14.7 スマートカードインタフェースの動作説明 14-44
14.7.1 接続例 14-44
14.7.2 データフォーマット（ブロック転送モード時を除く） 14-44
14.7.3 ブロック転送モード 14-46
14.7.4 受信データサンプリングタイミングと受信マージン 14-46
14.7.5 初期設定 14-47
14.7.6 シリアルデータ送信（ブロック転送モードを除く） 14-48
14.7.7 シリアルデータ受信（ブロック転送モードを除く） 14-51
14.7.8 クロック出力制御 14-52
14.8 IrDA動作 14-54
14.9 割り込み要因 14-57
14.9.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み 14-57
14.9.2 スマートカードインタフェースモードにおける割り込み 14-58
14.10 使用上の注意事項 14-59
14.10.1 モジュールストップモードの設定 14-59
14.10.2 ブレークの検出と処理 14-59
14.10.3 マーク状態とブレークの送り出し 14-59
14.10.4 受信エラーフラグと送信動作（クロック同期式モードのみ） 14-59
14.10.5 TDR へのライトと TDRE フラグの関係 14-59
14.10.6 モード遷移時の動作 14-60
14.10.7 SCK 端子からポート端子への切り替え 14-62

15. I^2C バスインタフェース（IIC） 15-1

15.1 特長 15-1
15.2 入出力端子 15-3
15.3 レジスタの説明 15-4
15.3.1 I^2C バスデータレジスタ（ICDR） 15-4
15.3.2 スレーブアドレスレジスタ（SAR） 15-5
15.3.3 第 2 スレーブアドレスレジスタ（SARX） 15-6
15.3.4 I^2C バスモードレジスタ（ICMR） 15-7
15.3.5 I^2C バスコントロールレジスタ（ICCR） 15-8

15.3.6 I^2C バスステータスレジスタ（ICSR） 15-15
15.3.7 DDC スイッチレジスタ（DDCSWR） 15-18
15.3.8 I^2C バスコントロール拡張レジスタ（ICXR） 15-19
15.4 動作説明 15-21
15.4.1 I^2C バスデータフォーマット 15-21
15.4.2 初期設定 15-23
15.4.3 マスタ送信動作 15-24
15.4.4 マスタ受信動作 15-28
15.4.5 スレーブ受信動作 15-35
15.4.6 スレーブ送信動作 15-42
15.4.7 IRIC セットタイミングと SCL 制御 15-45
15.4.8 ノイズ除去回路 15-48
15.4.9 内部状態の初期化 15-48
15.5 割り込み要因 15-49
15.6 使用上の注意事項 15-50
15.6.1 モジュールストップモードの設定 15-59

16. A/D 変換器 16-1

16.1 特長 16-1
16.2 入出力端子 16-3
16.3 レジスタの説明 16-4
16.3.1 A/D データレジスタ A～D（ADDRA～ADDRD） 16-4
16.3.2 A/D コントロール／ステータスレジスタ（ADCSR） 16-5
16.3.3 A/D コントロールレジスタ（ADCR） 16-6
16.4 動作説明 16-7
16.4.1 シングルモード 16-7
16.4.2 スキャンモード 16-7
16.4.3 入力サンプリングと A/D 変換時間 16-8
16.4.4 外部トリガ入力タイミング 16-9
16.5 割り込み要因 16-9
16.6 A/D変換精度の定義 16-10
16.7 使用上の注意事項 16-11
16.7.1 許容信号源インピーダンスについて 16-11
16.7.2 絶対精度への影響 16-12
16.7.3 アナログ電源端子他の設定範囲 16-12
16.7.4 ボード設計上の注意事項 16-12
16.7.5 ノイズ対策上の注意事項 16-13
16.7.6 モジュールストップモードの設定 16-14

17. RAM 17-1

18. フラッシュメモリ（0.18μm F-ZTAT 版） 18-1

18.1 特長 18-1
18.1.1 モード遷移図 18-3
18.1.2 モード比較 18-4
18.1.3 フラッシュメモリマット構成 18-5
18.1.4 ブロック分割 18-6
18.1.5 書き込み／消去インタフェース 18-8
18.2 入出力端子 18-10
18.3 レジスタの説明 18-10
18.3.1 書き込み／消去インタフェースレジスタ 18-11
18.3.2 書き込み／消去インタフェースパラメータ 18-15
18.4 オンボードプログラミング 18-22
18.4.1 ブートモード 18-22
18.4.2 ユーザプログラムモード 18-25
18.4.3 ユーザブートモード 18-35
18.4.4 手順プログラム、または書き込みデータの格納可能領域 18-38
18.5 プロテクト 18-43
18.5.1 ハードウェアプロテクト 18-43
18.5.2 ソフトウェアプロテクト 18-43
18.5.3 エラープロテクト 18-44
18.6 ユーザマットとユーザブートマットの切り替え 18-45
18.7 ライタモード 18-46
18.8 ブートモードの標準シリアル通信インタフェース仕様 18-46
18.9 使用上の注意事項 18-69

19. クロック発振器 19-1

19.1 発振回路 19-2
19.1.1 水晶発振子を接続する方法 19-2
19.1.2 外部クロックを入力する方法 19-3
19.2 デューティ補正回路 19-5
19.3 中速クロック分周器 19-5
19.4 バスマスタクロック選択回路 19-5
19.5 サブクロック入力回路 19-5
19.6 サブクロック波形成形回路 19-6
19.7 クロック選択回路 19-6
19.8 X1、X2の端子処理 19-7
19.9 使用上の注意事項 19-7
19.9.1 発振子に関する注意事項 19-7

19.9.2 ボード設計上の注意事項 19-7

20. 低消費電力状態 20-1

20.1 レジスタの説明 20-2
20.1.1 スタンバイコントロールレジスタ（SBYCR） 20-2
20.1.2 ローパワーコントロールレジスタ（LPWRCR） 20-4
20.1.3 モジュールストップコントロールレジスタ H、L、A（MSTPCRH、MSTPCRL、MSTPCRA） 20-5
20.2 モード間遷移とLSIの状態 20-7
20.3 中速モード 20-9
20.4 スリープモード 20-10
20.5 ソフトウェアスタンバイモード 20-10
20.6 ハードウェアスタンバイモード 20-11
20.7 ウォッチモード 20-12
20.8 サブスリープモード 20-12
20.9 サブアクティブモード 20-13
20.10 モジュールストップモード 20-13
20.11 直接遷移 20-14
20.12 使用上の注意事項 20-14
20.12.1 I/O ポートの状態 20-14
20.12.2 発振安定待機中の消費電流 20-14

21. レジスター覧 21-1

21.1 レジスタアドレス一覧（アドレス順） 21-2
21.2 レジスタビット一覧 21-11
21.3 各動作モードにおけるレジスタの状態 21-18
21.4 レジスタ選択条件 21-24
21.5 レジスタアドレス一覧（モジュール別） 21-33

22. 電気的特性 22-1

22.1 絶対最大定格 22-1
22.2 DC特性 22-2
22.3 AC特性 22-5
22.3.1 クロックタイミング 22-5
22.3.2 制御信号タイミング 22-7
22.3.3 内蔵周辺モジュールタイミング 22-9
22.3.4 A/D 変換特性 22-16
22.4 フラッシュメモリ特性 22-17
22.5 使用上の注意事項 22-18

付録 **付録-1**

A. 各処理状態におけるI/Oポートの状態 付録-1
B. 型名一覧 付録-2
C. 外形寸法図 付録-3

索引 **索引-1**

図目次

1. 概要
図1.1　H8S/2189Rグループの内部ブロック図 1-3
図1.2　H8S/2189Rグループのピン配置図（TFP-144） 1-4
図1.3　相互干渉しないリセット系信号の設計例 1-13

2. CPU
図2.1　例外処理ベクタテーブル（ノーマルモード） 2-5
図2.2　ノーマルモードのスタック構造 2-5
図2.3　例外処理ベクタテーブル（アドバンストモード） 2-6
図2.4　アドバンストモードのスタック構造 2-7
図2.5　アドレス空間 2-7
図2.6　CPU内部レジスタ構成 2-8
図2.7　汎用レジスタの使用方法 2-9
図2.8　スタックの状態 2-9
図2.9　汎用レジスタのデータ形式（1） 2-12
図2.9　汎用レジスタのデータ形式（2） 2-13
図2.10　メモリ上でのデータ形式 2-14
図2.11　命令フォーマットの例 2-25
図2.12　メモリ間接による分岐アドレスの指定 2-29
図2.13　状態遷移図 2-32

3. MCU 動作モード
図3.1　アドレスマップ 3-6

4. 例外処理
図4.1　リセットシーケンス（モード2） 4-4
図4.2　例外処理終了後のスタックの状態 4-6
図4.3　SPを奇数に設定したときの動作 4-7

5. 割り込みコントローラ
図5.1　割り込みコントローラのブロック図 5-2
図5.2　IRQ7、IRQ6割り込みとKIN15～KIN0割り込みおよびWUE7～WUE0割り込み、KMIMR、 KMIMRA、WUEMRBとの関係（H8S/2140Bグループ互換ベクタモード　EIVS=0） 5-10
図5.3　IRQ7、IRQ6割り込みとKIN15～KIN0割り込みおよびWUE15～WUE0割り込み、KMIMR、KMIMRA、WUEMRB、WUEMRとの関係（拡張ベクタモード　EIVS=1） 5-11
図5.4　IRQ15～IRQ0割り込みのブロック図 5-14
図5.5　KIN15～KIN0、WUE15～WUE0割り込みのブロック図（WUE15～WUE8の例） 5-15
図5.6　割り込み制御動作のブロック図 5-22
図5.7　割り込み制御モード0の割り込み受け付けまでのフロー 5-24
図5.8　割り込み制御モード1の状態遷移 5-25
図5.9　割り込み制御モード1の割り込み受け付けまでのフロー 5-27

図5.10　割り込み例外処理 5-28
図5.11　割り込みの発生とディスエーブルの競合 5-30

7.　I/O ポート
図7.1　ノイズキャンセル回路 7-20
図7.2　ノイズキャンセル動作概念図 7-20

8.　8 ビット PWM タイマ（PWM）
図8.1　PWMのブロック図 8-2
図8.2　付加パルスタイミング例（PWDR上位4ビットがB'1000） 8-8
図8.3　PWMの設定例 8-9
図8.4　D/Aとして使用する場合の回路例 8-9

9.　14 ビット PWM タイマ（PWMX）
図9.1　PWMX（D/A）のブロック図 9-1
図9.2（1）　DACNTのアクセス動作（1）（CPU→DACNT[H'AA57]ライト時） 9-8
図9.2（2）　DACNTのアクセス動作（2）（DACNT→CPU[H'AA57]リード時） 9-8
図9.3　PWMX（D/A）の動作 9-9
図9.4　出力波形（OS＝0、DADRはT_Lに対応） 9-12
図9.5　出力波形（OS＝1、DADRはT_Hに対応） 9-13
図9.6　CFS＝1のときのD/Aデータレジスタの構成 9-14
図9.7　DADR＝H'0207のときの出力波形（OS＝1） 9-14

10.　16 ビットフリーランニングタイマ（FRT）
図10.1　FRTのブロック図 10-2
図10.2　パルス出力例 10-11
図10.3　内部クロック動作時のカウントタイミング 10-12
図10.4　外部クロック動作時のカウントタイミング 10-12
図10.5　アウトプットコンペアA出力タイミング 10-13
図10.6　コンペアマッチA信号によるFRCのクリアタイミング 10-13
図10.7　インプットキャプチャ入力信号タイミング（通常時） 10-14
図10.8　インプットキャプチャ入力信号タイミング（ICRA～ICRDのリード時） 10-14
図10.9　バッファ動作タイミング（インプットキャプチャ） 10-15
図10.10　バッファ動作タイミング（BUFEA＝1） 10-15
図10.11　ICFA～ICFDフラグのセットタイミング 10-16
図10.12　OCFA、OCFBフラグのセットタイミング 10-16
図10.13　OVFフラグのセットタイミング 10-17
図10.14　OCRAの自動加算タイミング 10-17
図10.15　インプットキャプチャマスク信号のセットタイミング 10-18
図10.16　インプットキャプチャマスク信号のクリアタイミング 10-18
図10.17　FRCのライトとクリアの競合 10-19
図10.18　FRCのライトとカウントアップの競合 10-20
図10.19　OCRのライトとコンペアマッチの競合（自動加算機能を使用していない場合） 10-21
図10.20　OCRAR/OCRAFライトとコンペアマッチの競合
（自動加算機能を使用している場合） 10-22

11.　16 ビットタイマパルスユニット（TPU）
図11.1　TPUのブロック図 11-2
図11.2　16ビットレジスタのアクセス動作（バスマスタ⟷TCNT（16ビット）） 11-24

図11.3　8ビットレジスタのアクセス動作（バスマスタ⟷TCR（上位8ビット））.....11-24
図11.4　8ビットレジスタのアクセス動作（バスマスタ⟷TMDR（下位8ビット））.....11-25
図11.5　8ビットレジスタのアクセス動作（バスマスタ⟷TCR、TMDR（16ビット））....11-25
図11.6　カウンタ動作設定手順例.....11-26
図11.7　フリーランニングカウンタの動作.....11-27
図11.8　周期カウンタの動作.....11-27
図11.9　コンペアマッチによる波形出力動作例.....11-28
図11.10　0出力／1出力の動作例.....11-28
図11.11　トグル出力の動作例.....11-29
図11.12　インプットキャプチャ動作の設定例.....11-29
図11.13　インプットキャプチャ動作例.....11-30
図11.14　同期動作の設定手順例.....11-31
図11.15　同期動作の動作例.....11-32
図11.16　コンペアマッチバッファ動作.....11-33
図11.17　インプットキャプチャバッファ動作.....11-33
図11.18　バッファ動作の設定手順例.....11-33
図11.19　バッファ動作例（1）.....11-34
図11.20　バッファ動作例（2）.....11-35
図11.21　PWMモードの設定手順例.....11-36
図11.22　PWMモードの動作例（1）.....11-37
図11.23　PWMモードの動作例（2）.....11-37
図11.24　PWMモード動作例（3）.....11-38
図11.25　位相計数モードの設定手順例.....11-39
図11.26　位相計数モード1の動作例.....11-40
図11.27　位相計数モード2の動作例.....11-41
図11.28　位相計数モード3の動作例.....11-42
図11.29　位相計数モード4の動作例.....11-43
図11.30　内部クロック動作時のカウントタイミング.....11-46
図11.31　外部クロック動作時のカウントタイミング.....11-46
図11.32　アウトプットコンペア出力タイミング.....11-47
図11.33　インプットキャプチャ入力信号タイミング.....11-47
図11.34　カウンタクリアタイミング（コンペアマッチ）.....11-48
図11.35　カウンタクリアタイミング（インプットキャプチャ）.....11-48
図11.36　バッファ動作タイミング（コンペアマッチ）.....11-49
図11.37　バッファ動作タイミング（インプットキャプチャ）.....11-49
図11.38　TGI割り込みタイミング（コンペアマッチ）.....11-50
図11.39　TGI割り込みタイミング（インプットキャプチャ）.....11-50
図11.40　TCIV割り込みのセットタイミング.....11-51
図11.41　TCIU割り込みのセットタイミング.....11-51
図11.42　CPUによるステータスフラグのクリアタイミング.....11-52
図11.43　位相計数モード時の位相差、オーバラップ、およびパルス幅.....11-53
図11.44　TCNTのライトとクリアの競合.....11-54
図11.45　TCNTのライトとカウントアップの競合.....11-54
図11.46　TGRのライトとコンペアマッチの競合.....11-55
図11.47　バッファレジスタのライトとコンペアマッチの競合.....11-55
図11.48　TGRのリードとインプットキャプチャの競合.....11-56
図11.49　TGRのライトとインプットキャプチャの競合.....11-56
図11.50　バッファレジスタのライトとインプットキャプチャの競合.....11-57

図11.51　オーバフローとカウンタクリアの競合 11-57
図11.52　TCNTのライトとオーバフローの競合 11-58

12.　8 ビットタイマ（TMR）
図12.1　8ビットタイマ（TMR_0、TMR_1）のブロック図 12-2
図12.2　8ビットタイマ（TMR_Y、TMR_X）のブロック図..... 12-3
図12.3　パルス出力例.....12-16
図12.4　内部クロック動作時のカウントタイミング.....12-17
図12.5　外部クロック動作時のカウントタイミング（両エッジの場合） 12-17
図12.6　コンペアマッチ時のCMFフラグのセットタイミング 12-18
図12.7　コンペアマッチA信号によるトグル出力のタイマ出力タイミング 12-18
図12.8　コンペアマッチによるカウンタクリアタイミング.....12-19
図12.9　外部リセット入力によるクリアタイミング.....12-19
図12.10　OVFフラグのセットタイミング 12-20
図12.11　インプットキャプチャ動作タイミング 12-22
図12.12　インプットキャプチャ信号タイミング
（TICRR、TICRFのリード時に、インプットキャプチャ入力を入力した場合）.....12-22
図12.13　TCNTのライトとクリアの競合.....12-24
図12.14　TCNTのライトとカウントアップの競合 12-25
図12.15　TCORのライトとコンペアマッチの競合.....12-26

13.　ウォッチドッグタイマ（WDT）
図13.1　WDTのブロック図..... 13-2
図13.2　ウォッチドッグタイマモード時（RST/$\overline{\text{NMI}}$＝1）の動作..... 13-7
図13.3　インターバルタイマモード時の動作 13-8
図13.4　OVFのセットタイミング 13-8
図13.5　$\overline{\text{RESO}}$信号の出力タイミング 13-9
図13.6　TCNT、TCSRへのライト（WDT_0の例） 13-10
図13.7　TCNTのライトとカウントアップの競合 13-11
図13.8　$\overline{\text{RESO}}$信号によるシステムのリセット回路例 13-12

14.　シリアルコミュニケーションインタフェース（SCI、IrDA）
図14.1　SCIのブロック図..... 14-2
図14.2　調歩同期式通信のデータフォーマット
（8ビットデータ／パリティあり／2ストップビットの例） 14-21
図14.3　調歩同期式モードの受信データサンプリングタイミング.....14-23
図14.4　出力クロックと送信データの位相関係（調歩同期式モード） 14-24
図14.5　SCIの初期化フローチャートの例.....14-25
図14.6　調歩同期式モードの送信時の動作例
（8ビットデータ／パリティあり／1ストップビットの例） 14-26
図14.7　シリアル送信のフローチャートの例 14-27
図14.8　SCIの受信時の動作例（8ビットデータ／パリティあり／1ストップビットの例） ..14-28
図14.9　シリアル受信データフローチャートの例（1） 14-29
図14.9　シリアル受信データフローチャートの例（2） 14-30
図14.10　マルチプロセッサフォーマットを使用した通信例
（受信局Aへのデータ H'AAの送信の例） 14-31
図14.11　マルチプロセッサシリアル送信のフローチャートの例.....14-32

図14.12　SCIの受信時の動作例
（8ビットデータ／マルチプロセッサビットあり／1ストップビットの例）.....14-33
図14.13　マルチプロセッサシリアル受信のフローチャートの例（1）.....14-34
図14.13　マルチプロセッサシリアル受信のフローチャートの例（2）.....14-35
図14.14　クロック同期式通信のデータフォーマット（LSBファーストの場合）.....14-36
図14.15　SCIの初期化フローチャートの例.....14-37
図14.16　クロック同期式モードの送信時の動作例.....14-38
図14.17　シリアル送信のフローチャートの例.....14-39
図14.18　SCIの受信時の動作例.....14-40
図14.19　シリアルデータ受信フローチャートの例.....14-41
図14.20　シリアル送受信同時動作のフローチャートの例.....14-43
図14.21　スマートカードインタフェース端子接続概要.....14-44
図14.22　通常のスマートカードインタフェースのデータフォーマット.....14-45
図14.23　ダイレクトコンベンション（SDIR＝SINV＝O/$\overline{E}$＝0）.....14-45
図14.24　インバースコンベンション（SDIR＝SINV＝O/$\overline{E}$＝1）.....14-45
図14.25　スマートカードインタフェースモード時の受信データサンプリングタイミング
（372倍のクロック使用時）.....14-47
図14.26　SCI送信モードの場合の再転送動作.....14-48
図14.27　送信動作時のTENDフラグ発生タイミング.....14-49
図14.28　送信処理フローの例.....14-50
図14.29　SCI受信モードの場合の再転送動作.....14-51
図14.30　受信フローの例.....14-52
図14.31　クロック出力固定タイミング.....14-52
図14.32　クロック停止・再起動手順.....14-53
図14.33　IrDAブロック図.....14-54
図14.34　IrDA送信／受信動作.....14-55
図14.35　送信時のモード遷移フローチャートの例.....14-60
図14.36　調歩同期式モード送信時（内部クロック）の端子状態.....14-61
図14.37　クロック同期式モード送信時（内部クロック）の端子状態.....14-61
図14.38　受信時のモード遷移フローチャートの例.....14-62
図14.39　SCK端子からポート端子へ切り替える時の動作.....14-62
図14.40　SCK端子からポート端子へ切り替え時のLow出力の回避例.....14-63

15.　I^2C バスインタフェース（IIC）
図15.1　I^2Cバスインタフェースのブロック図.....15-2
図15.2　I^2Cバスインタフェース接続例（本LSIがマスタの場合）.....15-3
図15.3　I^2Cバスデータフォーマット（I^2Cバスフォーマット）.....15-21
図15.4　I^2Cバスデータフォーマット（シリアルフォーマット）.....15-22
図15.5　I^2Cバスタイミング.....15-22
図15.6　IICの初期化フローチャートの例.....15-23
図15.7　マスタ送信モードフローチャート例.....15-24
図15.8　マスタ送信モード動作タイミング例（MLS＝WAIT＝0のとき）.....15-26
図15.9　マスタ送信モード停止条件発行動作タイミング例（MLS＝WAIT＝0のとき）.....15-27
図15.10　マスタ受信モードフローチャート例（HNDS＝1）.....15-28
図15.11　マスタ受信モード動作タイミング例（MLS＝WAIT＝0、HNDS＝1のとき）.....15-30
図15.12　マスタ受信モード動作停止条件発行タイミング例
（MLS＝WAIT＝0、HNDS＝1のとき）.....15-30
図15.13　マスタ受信モード（複数バイト数受信）のフローチャート例（WAIT＝1）.....15-31

図15.14　マスタ受信モード（1バイトのみ受信）のフローチャート例（WAIT＝1）.....15-32
図15.15　マスタ受信モード動作タイミング例（MLS＝ACKB＝0、WAIT＝1のとき）.....15-35
図15.16　マスタ受信モード停止条件発行動作タイミング例
（MLS＝ACKB＝0、WAIT＝1のとき）.....15-35
図15.17　スレーブ受信モードのフローチャート例（HNDS＝1）.....15-36
図15.18　スレーブ受信モード動作タイミング例1（MLS＝0、HNDS＝1のとき）.....15-38
図15.19　スレーブ受信モード動作タイミング例2（MLS＝0、HNDS＝1のとき）.....15-38
図15.20　スレーブ受信モードのフローチャート例（HNDS＝0）.....15-39
図15.21　スレーブ受信モード動作タイミング例1（MLS＝ACKB＝0、HNDS＝0のとき）....15-41
図15.22　スレーブ受信モード動作タイミング例2（MLS＝ACKB＝0、HNDS＝0のとき）....15-41
図15.23　スレーブ送信モードのフローチャート例.....15-42
図15.24　スレーブ送信モード動作タイミング例（MLS＝0のとき）.....15-44
図15.25　IRICフラグセットタイミングとSCL制御（1）.....15-45
図15.26　IRICフラグセットタイミングとSCL制御（2）.....15-46
図15.27　IRICフラグセットタイミングとSCL制御（3）.....15-47
図15.28　ノイズ除去回路のブロック図.....15-48
図15.29　マスタ受信データの読み出しにおける注意.....15-53
図15.30　再送のための開始条件命令発行フローチャートおよびタイミング.....15-54
図15.31　停止条件発行タイミング.....15-55
図15.32　WAIT＝1状態でのIRICフラグクリアタイミング.....15-55
図15.33　スレーブ送信モードでのICDRリード、ICCRアクセスタイミング.....15-56
図15.34　スレーブモードでのTRSビット設定タイミング.....15-57
図15.35　アービトレーションロスト時の動作模式図.....15-59

16.　A/D 変換器
図16.1　A/D変換器のブロック図.....16-2
図16.2　A/D変換タイミング.....16-8
図16.3　外部トリガ入力タイミング.....16-9
図16.4　A/D変換精度の定義.....16-10
図16.5　A/D変換精度の定義.....16-11
図16.6　アナログ入力回路の例.....16-12
図16.7　アナログ入力保護回路の例.....16-13
図16.8　アナログ入力端子等価回路.....16-13

17.　RAM
図17.1　内蔵RAM構成図.....17-1

18.　フラッシュメモリ（0.18μm F-ZTAT 版）
図18.1　フラッシュメモリのブロック図.....18-2
図18.2　フラッシュメモリに関するモード遷移図.....18-3
図18.3　フラッシュメモリ構成図.....18-5
図18.4　ユーザマットのブロック分割（1）.....18-6
図18.4　ユーザマットのブロック分割（2）.....18-7
図18.5　ユーザの手続きプログラムの概要.....18-8
図18.6　ブートモード時のシステム構成図.....18-22
図18.7　SCIビットレートの自動合わせ込み動作.....18-23
図18.8　ブートモードの状態遷移の概略図.....18-24
図18.9　書き込み／消去概略フロー.....18-25

図18.10　書き込み／消去実施時のRAMマップ 18-26
図18.11　書き込み手順 18-27
図18.12　消去手順 18-32
図18.13　消去、書き込みの繰り返し手順 18-34
図18.14　ユーザブートモードでのユーザマットへの書き込み手順 18-36
図18.15　ユーザブートモードでのユーザマットの消去手順 18-37
図18.16　エラープロテクト状態への状態遷移図 18-44
図18.17　ユーザマット／ユーザブートマットの切り替え 18-45
図18.18　ライタモード時のメモリマップ 18-46
図18.19　ブートプログラムのステータス 18-47
図18.20　ビットレート合わせ込みのシーケンス 18-47
図18.21　通信プロトコルフォーマット 18-48
図18.22　新ビットレート選択のシーケンス 18-57
図18.23　書き込みシーケンス 18-60
図18.24　消去シーケンス 18-63

19.　クロック発振器
図19.1　クロック発振器のブロック図 19-1
図19.2　水晶発振子の接続例 19-2
図19.3　水晶発振子の等価回路 19-2
図19.4　外部クロックの接続例 19-3
図19.5　外部クロック入力タイミング 19-4
図19.6　外部クロック出力安定遅延時間タイミング 19-4
図19.7　EXCL端子、ExEXCL端子からのサブクロック入力 19-5
図19.8　サブクロック入力タイミング 19-6
図19.9　X1、X2の端子処理 19-7
図19.10　発振回路部のボード設計に関する注意事項 19-7

20.　低消費電力状態
図20.1　モード遷移図 20-7
図20.2　中速モードのタイミング 20-9
図20.3　ソフトウェアスタンバイモードの応用例 20-11
図20.4　ハードウェアスタンバイモードのタイミング 20-11

22.　電気的特性
図22.1　ダーリントントランジスタ駆動回路例 22-5
図22.2　LED駆動回路例 22-5
図22.3　出力負荷回路 22-5
図22.4　システムクロックタイミング 22-6
図22.5　発振安定時間タイミング 22-6
図22.6　発振安定時間タイミング（ソフトウェアスタンバイからの復帰） 22-7
図22.7　リセット入力タイミング 22-8
図22.8　割り込み入力タイミング 22-8
図22.9　I/Oポート入出力タイミング 22-10
図22.10　FRT入出力タイミング 22-11
図22.11　FRTクロック入力タイミング 22-11
図22.12　TPU入出力タイミング 22-11
図22.13　TPUクロック入力タイミング 22-12

図22.14　8ビットタイマ出力タイミング 22-12
図22.15　8ビットタイマクロック入力タイミング 22-12
図22.16　8ビットタイマリセット入力タイミング 22-12
図22.17　PWM、PWMX出力タイミング 22-13
図22.18　SCKクロック入力タイミング 22-13
図22.19　SCI入出力タイミング／クロック同期式モード 22-13
図22.20　A/D変換器外部トリガ入力タイミング 22-13
図22.21　WDT出力タイミング（$\overline{\text{RESO}}$） 22-13
図22.22　I^2Cバスインタフェース入出力タイミング 22-14
図22.23　JTAG ETCKタイミング 22-15
図22.24　リセットホールドタイミング 22-15
図22.25　JTAG入出力タイミング 22-16
図22.26　VCC端子とVCL端子のコンデンサ接続方法 22-18

付録

図C.1　TFP-144外形寸法図 付録-3

表目次

1. 概要
表1.1　H8S/2189Rグループ動作モード別端子機能一覧 1-5
表1.2　端子機能 1-10

2. CPU
表2.1　命令の分類 2-15
表2.2　オペレーションの記号 2-16
表2.3　データ転送命令 2-17
表2.4　算術演算命令（1） 2-18
表2.4　算術演算命令（2） 2-19
表2.5　論理演算命令 2-20
表2.6　シフト命令 2-20
表2.7　ビット操作命令（1） 2-21
表2.7　ビット操作命令（2） 2-22
表2.8　分岐命令 2-23
表2.9　システム制御命令 2-24
表2.10　ブロック転送命令 2-24
表2.11　アドレッシングモード一覧表 2-26
表2.12　絶対アドレスのアクセス範囲 2-27
表2.13　実行アドレスの計算方法（1） 2-29
表2.13　実行アドレスの計算方法（2） 2-30

3. MCU 動作モード
表3.1　MCU動作モードの選択 3-1

4. 例外処理
表4.1　例外処理の種類と優先度 4-1
表4.2　例外処理ベクタテーブル（H8S/2140Bグループ互換ベクタモード） 4-1
表4.3　例外処理ベクタテーブル（拡張ベクタモード） 4-3
表4.4　トラップ命令例外処理後のCCRの状態 4-6

5. 割り込みコントローラ
表5.1　端子構成 5-3
表5.2　各割り込み要因とICRの対応（H8S/2140Bグループ互換ベクタモード　EIVS＝0） 5-4
表5.3　各割り込み要因とICRの対応（拡張ベクタモード　EIVS＝1） 5-4
表5.4　割り込み要因とベクタアドレスおよび割り込み優先順位一覧
（H8S/2140Bグループ互換ベクタモード） 5-16
表5.5　割り込み要因とベクタアドレスおよび割り込み優先順位一覧（拡張ベクタモード） 5-19
表5.6　割り込み制御モード 5-21
表5.7　割り込み制御モードと選択される割り込み 5-22
表5.8　割り込み制御モードと動作および制御信号機能 5-23
表5.9　割り込み応答時間 5-29

7. I/O ポート
表7.1　ポートの機能一覧表 7-1
表7.2　ポート1入力プルアップMOSの状態 7-6
表7.3　ポート2入力プルアップMOSの状態 7-8
表7.4　ポート3入力プルアップMOSの状態 7-10
表7.5　ポート6入力プルアップMOSの状態 7-23
表7.6　ポート9入力プルアップMOSの状態 7-32
表7.7　ポートB入力プルアップMOSの状態 7-35
表7.8　ポートC入力プルアップMOSの状態 7-40
表7.9　ポートD入力プルアップMOSの状態 7-45
表7.10　ポートE入力プルアップMOSの状態 7-47
表7.11　ポートF入力プルアップMOSの状態 7-51

8. 8 ビット PWM タイマ（PWM）
表8.1　端子構成 8-2
表8.2　内部クロックの選択 8-4
表8.3　φ＝20MHz時の分解能、PWM変換周期、キャリア周波数 8-4
表8.4　基本パルスのデューティ比 8-7
表8.5　基本パルスに対する付加パルスの位置 8-8

9. 14 ビット PWM タイマ（PWMX）
表9.1　端子構成 9-2
表9.2　PWMXのクロックセレクト 9-6
表9.3　16ビットビットレジスタのリード／ライト別アクセス方式 9-7
表9.4　設定値と動作内容（φ：20MHz時の例） 9-10
表9.5　基本パルスに対する付加パルスの位置（CFS＝1の場合） 9-15

10. 16 ビットフリーランニングタイマ（FRT）
表10.1　端子構成 10-3
表10.2　FRT割り込み要因 10-19
表10.3　内部クロックの切り替えとFRC動作 10-23

11. 16 ビットタイマパルスユニット（TPU）
表11.1　TPUの機能一覧 11-3
表11.2　TPUの端子構成 11-5
表11.3　CCLR2～CCLR0（チャネル0） 11-7
表11.4　CCLR2～CCLR0（チャネル1、2） 11-8
表11.5　TPSC2～TPSC0（チャネル0） 11-8
表11.6　TPSC2～TPSC0（チャネル1） 11-8
表11.7　TPSC2～TPSC0（チャネル2） 11-9
表11.8　MD3～MD0 11-10
表11.9　TIORH_0（チャネル0） 11-11
表11.10　TIORH_0（チャネル0） 11-12
表11.11　TIORL_0（チャネル0） 11-13
表11.12　TIORL_0（チャネル0） 11-14
表11.13　TIOR_1（チャネル１） 11-15
表11.14　TIOR_1（チャネル1） 11-16
表11.15　TIOR_2（チャネル2） 11-17

表11.16　TIOR_2（チャネル2）.....11-18
表11.17　レジスタの組み合わせ.....11-32
表11.18　各PWM出力のレジスタと出力端子.....11-36
表11.19　位相計数モードクロック入力端子.....11-39
表11.20　位相計数モード1のアップ／ダウンカウント条件.....11-40
表11.21　位相計数モード2のアップ／ダウンカウント条件.....11-41
表11.22　位相計数モード3のアップ／ダウンカウント条件.....11-42
表11.23　位相計数モード4のアップ／ダウンカウント条件.....11-43
表11.24　TPU割り込み一覧.....11-44

12.　8 ビットタイマ（TMR）
表12.1　端子構成.....12-4
表12.2　TCNTに入力するクロックとカウント条件（1）.....12-8
表12.2　TCNTに入力するクロックとカウント条件（2）.....12-9
表12.3　TMR_X/TMR_Yのアクセス可能なレジスタ.....12-15
表12.4　インプットキャプチャ信号の選択.....12-23
表12.5　8ビットタイマTMR_0、TMR_1、TMR_Y、TMR_Xの割り込み要因.....12-23
表12.6　タイマ出力の優先順位.....12-26
表12.7　内部クロックの切り替えとTCNTの動作.....12-27

13.　ウォッチドッグタイマ（WDT）
表13.1　端子構成.....13-3
表13.2　WDTの割り込み要因.....13-9

14.　シリアルコミュニケーションインタフェース（SCI、IrDA）
表14.1　端子構成.....14-3
表14.2　BRRの設定値NとビットレートBの関係.....14-14
表14.3　ビットレートに対するBRRの設定例〔調歩同期式モード〕（1）.....14-15
表14.3　ビットレートに対するBRRの設定例〔調歩同期式モード〕（2）.....14-16
表14.4　各動作周波数における最大ビットレート（調歩同期式モード）.....14-17
表14.5　外部クロック入力時の最大ビットレート（調歩同期式モード）.....14-17
表14.6　ビットレートに対するBRRの設定例〔クロック同期式モード〕.....14-18
表14.7　外部クロック入力時の最大ビットレート（クロック同期式モード）.....14-18
表14.8　ビットレートに対するBRRの設定例
（スマートカードインタフェースモードでn＝0、S＝372のとき）.....14-19
表14.9　各動作周波数における最大ビットレート
（スマートカードインタフェースモードでS＝372のとき）.....14-19
表14.10　シリアル送信／受信フォーマット（調歩同期式モード）.....14-22
表14.11　SSRのステータスフラグの状態と受信データの処理.....14-29
表14.12　IrCKS2～IrCKS0ビットの設定.....14-56
表14.13　SCI割り込み要因.....14-57
表14.14　SCI割り込み要因.....14-58

15.　I^2C バスインタフェース（IIC）
表15.1　端子構成.....15-3
表15.2　転送フォーマット.....15-6
表15.3　転送レート.....15-8
表15.4　フラグと転送状態の関係（マスタモード）.....15-13
表15.5　フラグと転送状態の関係（スレーブモード）.....15-14

表15.6　I^2Cバスデータフォーマット記号説明 15-22
表15.7　IIC割り込み要因 15-49
表15.8　I^2Cバスタイミング（SCL、SDA出力） 15-50
表15.9　SCL立ち上がり時間（t_{Sr}）の許容範囲 15-51
表15.10　I^2Cバスタイミング（t_{Sr}/t_{Sf}影響最大の場合） 15-52

16.　A/D 変換器
表16.1　端子構成 16-3
表16.2　アナログ入力チャネルとADDRの対応 16-4
表16.3　A/D変換時間（シングルモード） 16-8
表16.4　A/D変換器の割り込み要因 16-9

18.　フラッシュメモリ（0.18μm F-ZTAT 版）
表18.1　プログラミングモードの比較 18-4
表18.2　端子構成 18-10
表18.3　使用レジスタ／パラメータと対象モード 18-11
表18.4　使用パラメータと対象モード 18-15
表18.5　オンボードプログラミングモードの設定方法 18-22
表18.6　本LSIの自動合わせ込みが可能なシステムクロックの周波数 18-23
表18.7　実行可能マットまとめ 18-39
表18.8（1）　ユーザプログラムモードでの書き込み処理で使用可能エリア 18-39
表18.8（2）　ユーザプログラムモードでの消去処理で使用可能エリア 18-40
表18.8（3）　ユーザブートモードでの書き込み処理で使用可能エリア 18-41
表18.8（4）　ユーザブートモードでの消去処理で使用可能エリア 18-42
表18.9　ハードウェアプロテクト 18-43
表18.10　ソフトウェアプロテクト 18-43
表18.11　問い合わせ選択コマンド一覧 18-49
表18.12　書き込み消去コマンド一覧 18-59
表18.13　ステータスコード 18-68
表18.14　エラーコード 18-68

19.　クロック発振器
表19.1　ダンピング抵抗値 19-2
表19.2　水晶発振子の特性 19-2
表19.3　外部クロック入力条件 19-3
表19.4　外部クロック出力安定遅延時間 19-4
表19.5　サブクロック入力条件 19-6

20.　低消費電力状態
表20.1　動作周波数と待機時間 20-3
表20.2　各動作モードでのLSIの内部状態 20-8

22.　電気的特性
表22.1　絶対最大定格 22-1
表22.2　DC特性（1） 22-2
表22.2　DC特性（2） 22-3
表22.3　出力許容電流値 22-4
表22.4　バス駆動特性 22-4
表22.5　クロックタイミング 22-6

表22.6　制御信号タイミング 22-7
表22.7　内蔵周辺モジュールタイミング（1） 22-9
表22.7　内蔵周辺モジュールタイミング（2） 22-10
表22.8　I^2Cバスタイミング 22-14
表22.9　JTAGタイミング 22-15
表22.10　A/D変換特性（AN7～AN0入力：134／266ステート変換） 22-16
表22.11　フラッシュメモリ特性 22-17

付録

表A.1　各処理状態におけるI/Oポートの状態 付録-1

1. 概要

1.1 特長

- 16ビット高速H8S/2000 CPU

  H8/300 CPU、H8/300H CPUとオブジェクトレベルで上位互換

  汎用レジスタ：16ビット×16本

  基本命令：65種類

- 豊富な周辺機能

  8ビットPWMタイマ（PWM）

  14ビットPWMタイマ（PWMX）

  16ビットタイマパルスユニット（TPU）

  16ビットフリーランニングタイマ（FRT）

  8ビットタイマ（TMR）

  ウォッチドッグタイマ（WDT）

  調歩同期式またはクロック同期式シリアルコミュニケーションインタフェース（SCI）

  I^2Cバスインタフェース（IIC）

  10ビットA/D変換器

  クロック発振器

- 内蔵メモリ

ROM	型名	ROM	RAM	備考
フラッシュメモリ版	R4F2189R	1M バイト	6K バイト	開発中

- 汎用入出力ポート

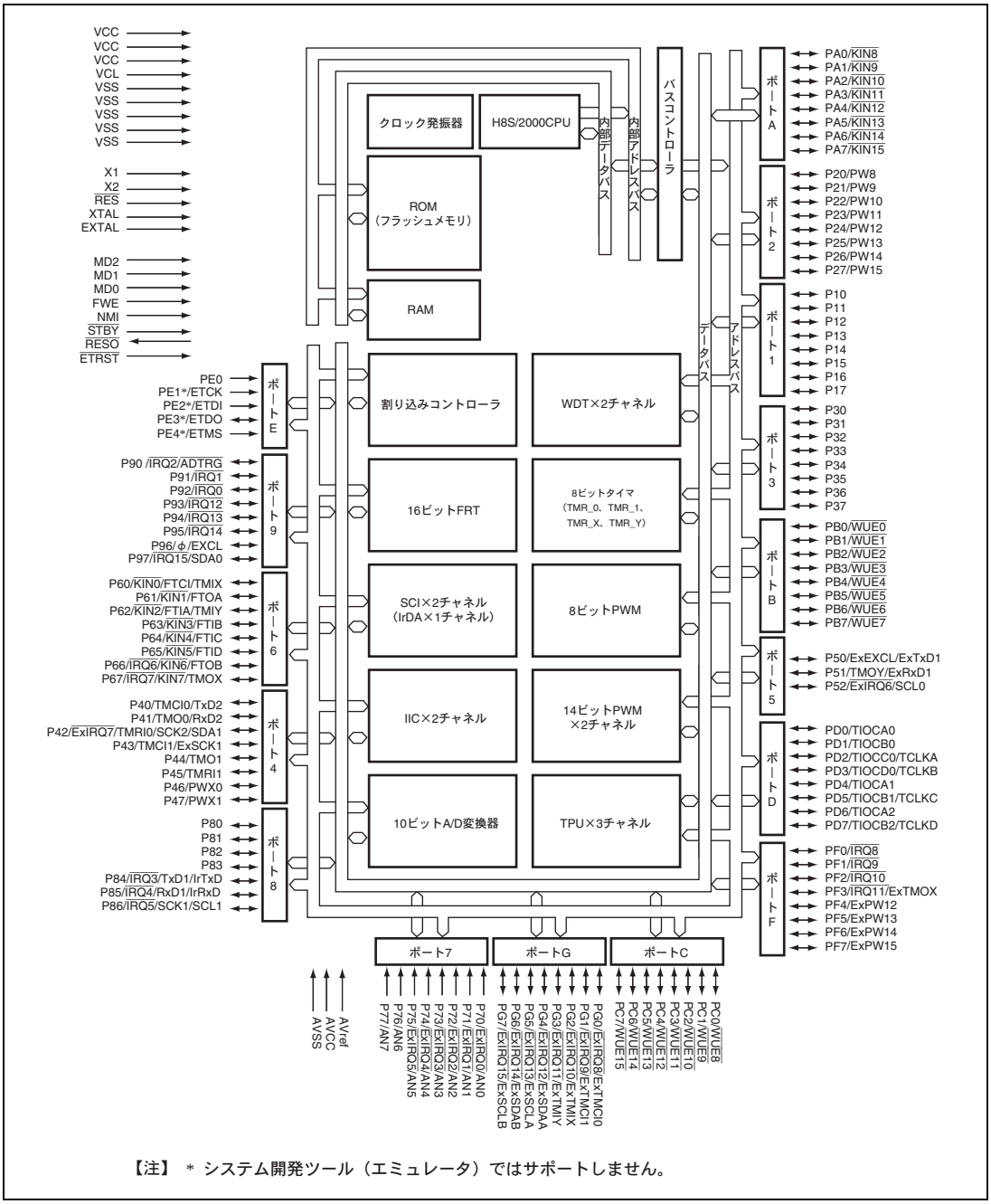
  入出力ポート：106本

  入力ポート：13本

- 各種低消費電力モードをサポート
- 小型パッケージ

パッケージ	コード	ボディサイズ	ピンピッチ
TQFP-144	TFP-144	16.0×16.0mm	0.4mm

1.2 内部ブロック図

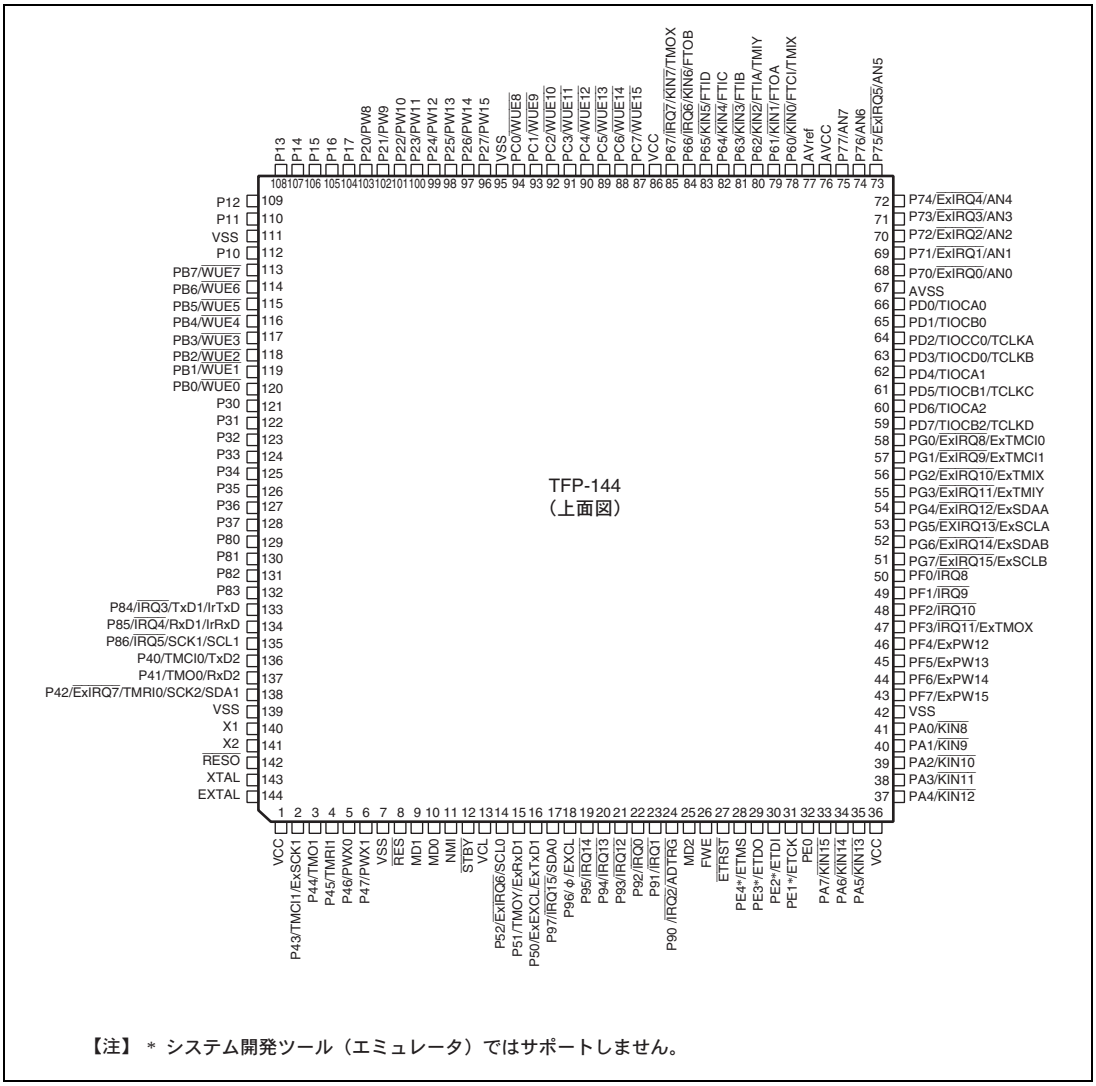


【注】 * システム開発ツール（エミュレータ）ではサポートしません。

図 1.1 H8S/2189R グループの内部ブロック図

1.3 端子説明

1.3.1 ピン配置図



【注】 * システム開発ツール（エミュレータ）ではサポートしません。

図 1.2 H8S/2189R グループのピン配置図（TFP-144）

1.3.2 動作モード別端子機能一覧

表 1.1 H8S/2189R グループ動作モード別端子機能一覧

ピン番号	端子名	
TFP-144	シングルチップモード	フラッシュメモリライタモード
	モード 2	
1	VCC	VCC
2	P43/TMCI1/ExSCK1	NC
3	P44/TMO1	NC
4	P45/TMRI1	NC
5	P46/PWX0	NC
6	P47/PWX1	NC
7	VSS	VSS
8	$\overline{\text{RES}}$	$\overline{\text{RES}}$
9	MD1	VSS
10	MD0	VSS
11	NMI	FA9
12	$\overline{\text{STBY}}$	VCC
13	VCL	VCL
14(N)	P52/$\overline{\text{ExIRQ6}}$/SCL0	FA18
15	P51/TMOY/ExRxD1	FA17
16	P50/ExEXCL/ExTxD1	FA19
17(N)	P97/$\overline{\text{IRQ15}}$/SDA0	VCC
18	P96/φ/EXCL	NC
19	P95/$\overline{\text{IRQ14}}$	FA16
20	P94/$\overline{\text{IRQ13}}$	FA15
21	P93/$\overline{\text{IRQ12}}$	$\overline{\text{WE}}$
22	P92/$\overline{\text{IRQ0}}$	VSS
23	P91/$\overline{\text{IRQ1}}$	VCC
24	P90/$\overline{\text{IRQ2}}$/$\overline{\text{ADTRG}}$	VCC
25	MD2	VSS
26	FWE	FWE
27	$\overline{\text{ETRST}}$	$\overline{\text{RES}}$
28	PE4*/ETMS	NC
29	PE3*/ETDO	NC
30	PE2*/ETDI	NC

ピン番号	端子名	
TFP-144	シングルチップモード	フラッシュメモリライタモード
	モード 2	
31	PE1*/ETCK	NC
32	PE0	NC
33(N)	PA7/$\overline{\text{KIN15}}$	NC
34(N)	PA6/$\overline{\text{KIN14}}$	NC
35(N)	PA5/$\overline{\text{KIN13}}$	NC
36	VCC	VCC
37(N)	PA4/$\overline{\text{KIN12}}$	NC
38(N)	PA3/$\overline{\text{KIN11}}$	NC
39(N)	PA2/$\overline{\text{KIN10}}$	NC
40(N)	PA1/$\overline{\text{KIN9}}$	NC
41(N)	PA0/$\overline{\text{KIN8}}$	NC
42	VSS	VSS
43	PF7/ExPW15	NC
44	PF6/ExPW14	NC
45	PF5/ExPW13	NC
46	PF4/ExPW12	NC
47	PF3/$\overline{\text{IRQ11}}$/ExTMOX	NC
48	PF2/$\overline{\text{IRQ10}}$	NC
49	PF1/$\overline{\text{IRQ9}}$	NC
50	PF0/$\overline{\text{IRQ8}}$	NC
51(N)	PG7/$\overline{\text{ExIRQ15}}$/ExSCLB	NC
52(N)	PG6/$\overline{\text{ExIRQ14}}$/ExSDAB	NC
53(N)	PG5/$\overline{\text{ExIRQ13}}$/ExSCLA	NC
54(N)	PG4/$\overline{\text{ExIRQ12}}$/ExSDAA	NC
55(N)	PG3/$\overline{\text{ExIRQ11}}$/ExTMIY	NC
56(N)	PG2/$\overline{\text{ExIRQ10}}$/ExTMIX	NC
57(N)	PG1/$\overline{\text{ExIRQ9}}$/ExTMCI1	NC
58(N)	PG0/$\overline{\text{ExIRQ8}}$/ExTMCI0	NC
59	PD7/TIOCB2/TCLKD	NC
60	PD6/TIOCA2	NC

ピン番号	端子名	
TFP-144	シングルチップモード	フラッシュメモリライタモード
	モード 2	
61	PD5/TIOCB1/TCLKC	NC
62	PD4/TIOCA1	NC
63	PD3/TIOCD0/TCLKB	NC
64	PD2/TIOCC0/TCLKA	NC
65	PD1/TIOCB0	NC
66	PD0/TIOCA0	NC
67	AVSS	VSS
68	P70/$\overline{\text{ExIRQ0}}$/AN0	NC
69	P71/$\overline{\text{ExIRQ1}}$/AN1	NC
70	P72/$\overline{\text{ExIRQ2}}$/AN2	NC
71	P73/$\overline{\text{ExIRQ3}}$/AN3	NC
72	P74/$\overline{\text{ExIRQ4}}$/AN4	NC
73	P75/$\overline{\text{ExIRQ5}}$/AN5	NC
74	P76/AN6	NC
75	P77/AN7	NC
76	AVCC	VCC
77	AVref	VCC
78	P60/FTCI/$\overline{\text{KIN0}}$/TMIX	NC
79	P61/FTOA/$\overline{\text{KIN1}}$	NC
80	P62/FTIA/$\overline{\text{KIN2}}$/TMIY	NC
81	P63/FTIB/$\overline{\text{KIN3}}$	NC
82	P64/FTIC/$\overline{\text{KIN4}}$	NC
83	P65/FTID/$\overline{\text{KIN5}}$	NC
84	P66/$\overline{\text{IRQ6}}$/FTOB/$\overline{\text{KIN6}}$	NC
85	P67/$\overline{\text{IRQ7}}$/TMOX/$\overline{\text{KIN7}}$	VSS
86	VCC	VCC
87	PC7/$\overline{\text{WUE15}}$	NC
88	PC6/$\overline{\text{WUE14}}$	NC
89	PC5/$\overline{\text{WUE13}}$	NC
90	PC4/$\overline{\text{WUE12}}$	NC

ピン番号	端子名	
TFP-144	シングルチップモード	フラッシュメモリライタモード
	モード 2	
91	PC3/$\overline{\text{WUE11}}$	NC
92	PC2/$\overline{\text{WUE10}}$	NC
93	PC1/$\overline{\text{WUE9}}$	NC
94	PC0/$\overline{\text{WUE8}}$	NC
95	VSS	VSS
96	P27/PW15	$\overline{\text{CE}}$
97	P26/PW14	FA14
98	P25/PW13	FA13
99	P24/PW12	FA12
100	P23/PW11	FA11
101	P22/PW10	FA10
102	P21/PW9	$\overline{\text{OE}}$
103	P20/PW8	FA8
104	P17	FA7
105	P16	FA6
106	P15	FA5
107	P14	FA4
108	P13	FA3
109	P12	FA2
110	P11	FA1
111	VSS	VSS
112	P10	FA0
113	PB7/$\overline{\text{WUE7}}$	NC
114	PB6/$\overline{\text{WUE6}}$	NC
115	PB5/$\overline{\text{WUE5}}$	NC
116	PB4/$\overline{\text{WUE4}}$	NC
117	PB3/$\overline{\text{WUE3}}$	NC
118	PB2/$\overline{\text{WUE2}}$	NC
119	PB1/$\overline{\text{WUE1}}$	NC
120	PB0/$\overline{\text{WUE0}}$	NC

ピン番号	端子名	
TFP-144	シングルチップモード	フラッシュメモリライタモード
	モード 2	
121	P30	FO0
122	P31	FO1
123	P32	FO2
124	P33	FO3
125	P34	FO4
126	P35	FO5
127	P36	FO6
128	P37	FO7
129	P80	NC
130	P81	NC
131	P82	NC
132	P83	NC
133	P84/$\overline{\text{IRQ3}}$/TxD1/IrTxD	NC
134	P85/$\overline{\text{IRQ4}}$/RxD1/IrRxD	NC
135(N)	P86/$\overline{\text{IRQ5}}$/SCK1/SCL1	NC
136	P40/TMCI0/TxD2	NC
137	P41/TMO0/RxD2	NC
138(N)	P42/$\overline{\text{ExIRQ7}}$/TMRI0/SCK2/SDA1	NC
139	VSS	VSS
140	X1	NC
141	X2	NC
142	$\overline{\text{RESO}}$	NC
143	XTAL	XTAL
144	EXTAL	EXTAL

【注】 （N）は NMOS プッシュプル／オープンドレイン駆動を表します。

＊ システム開発ツール（エミュレータ）ではサポートしません。

1.3.3 端子機能

表 1.2 端子機能

分類	記号	ピン番号	入出力	名称および機能
電源	VCC	1、36、86	入力	電源端子です。システムの電源に接続してください。また、VSS 端子との間にバイパスコンデンサを接続してください（端子近くに配置）。
	VCL	13	入力	内部降圧電源用の外付け容量端子です。内部降圧電源安定化のための外付けコンデンサを介して VSS に接続してください（端子近くに配置）。
	VSS	7、42 95、111 139	.入力	グランド端子です。システムの電源（0V）に接続してください。
クロック	XTAL	143	入力	水晶発振子接続端子です。また、EXTAL 端子は外部クロックを入力することもできます。接続例は、「第 19 章　クロック発振器」を参照してください。
	EXTAL	144	入力	
	φ	18	出力	外部デバイスにシステムクロックを供給します。
	EXCL	18	入力	サブクロック用 32.768kHz の外部クロックを入力してください。EXCL または ExEXCL のどの端子から入力するかを選択できます。
	ExEXCL	16	入力	
	X2 X1	141 140	入力	オープンとしてください。
動作モードコントロール	MD2 MD1 MD0	25 9 10	入力	動作モードを設定します。これらの端子は動作中には変化させないでください。
システム制御	$\overline{\text{RES}}$	8	入力	リセット端子です。この端子が Low レベルになると、リセット状態となります。
	$\overline{\text{RESO}}$	142	出力	外部デバイスに、リセット信号を出力します。
	$\overline{\text{STBY}}$	12	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	FWE	26	入力	フラッシュメモリ用の端子です。
割り込み	NMI	11	入力	ノンマスカブル割り込み要求入力端子です。
	$\overline{\text{IRQ15}}$～$\overline{\text{IRQ0}}$	17、19、20、21、47～50、85、84、135、134、133、24、23、22	入力	マスク可能な割り込みを要求します。 $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ のどの端子から入力するかを選択できます。 （n＝15～0）
	$\overline{\text{ExIRQ15}}$～$\overline{\text{ExIRQ0}}$	51～58、138、14 73～68		

分類	記号	ピン番号	入出力	名称および機能
H-UDI	$\overline{\text{ETRST}}$*2	27	入力	H-UDI 用インタフェース端子です。 JTAG を起動する／しないにかかわらず、必ず $\overline{\text{ETRST}}$ 端子を 0 にして、リセットしてください。このとき、$\overline{\text{ETRST}}$ 端子は ETCK に対して 20 クロックの間、Low レベルに保持してください。詳細は「第 22 章　電気的特性」を参照してください。その後、JTAG を起動する場合は $\overline{\text{ETRST}}$ 端子を 1 にして、ETCK、ETMS、ETDI 端子を任意に設定してください。JTAG を起動しない通常動作の場合は、$\overline{\text{ETRST}}$、ETCK、ETMS、ETDI 端子は 1 もしくはハイインピーダンスに設定してください。これらの端子はチップ内部でプルアップされますので、スタンバイ時注意してください。
	ETMS	28	入力	
	ETDO	29	出力	
	ETDI	30	入力	
	ETCK	31	入力	
PWM タイマ（PWM）	PW15～PW8	96～103	出力	PWM タイマのパルス出力端子です。 PWn または ExPWn のどの端子から出力するかを選択できます。 （n＝15～12）
	ExPW15～ExPW12	43～46	出力	
14 ビット PWM タイマ（PWMX）	PWX1 PWX0	6 5	出力	PWMX のパルス出力端子です。
16 ビット フリーランニングタイマ（FRT）	FTCI	78	入力	外部イベント入力端子です。
	FTOA FTOB	79 84	出力	アウトプットコンペア出力端子です。
	FTIA～FTID	80～83	入力	インプットキャプチャ入力端子です。
16 ビット タイマパルスユニット（TPU）	TCLKD TCLKC TCLKB TCLKA	59 61 63 64	入力	タイマの外部クロック入出力端子です。
	TIOCA0 TIOCB0 TIOCC0 TIOCD0	66 65 64 63	入出力	TGRA_0～TGRD_0 のインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子です。
	TIOCA1 TIOCB1	62 61	入出力	TGRA_1、TGRB_1 のインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子です。
	TIOCA2 TIOCB2	60 59	入出力	TGRA_2、TGRB_2 のインプットキャプチャ入力／アウトプットコンペア出力／PWM 出力端子です。
8 ビットタイマ（TMR_0、TMR_1、TMR_X、TMR_Y）	TMO0 TMO1 TMOX ExTMOX TMOY	137 3 85 47 15	出力	アウトプットコンペア機能による波形出力端子です。 TMOX または ExTMOX のどの端子から出力するかを選択できます。
	TMCI0 TMCI1 ExTMCI0 ExTMCI1	136 2 58 57	入力	カウンタに入力する外部クロックの入力端子です。TMCIn または ExTMCIn のどの端子から入力するかを選択できます。 （n＝1、0）

分類	記号	ピン番号	入出力	名称および機能
8 ビットタイマ （TMR_0、TMR_1、TMR_X、TMR_Y）	TMRI0 TMRI1	138 4	入力	外部イベント入力端子およびカウンタリセット入力端子です。
	TMIX TMIY ExTMIX ExTMIY	78 80 56 55	入力	外部イベント入力端子およびカウンタリセット入力端子です。 TMIn または ExTMIn のどの端子から入力するかを選択できます。 （n＝X、Y）
シリアルコミュニケーションインタフェース （SCI_1、SCI_2）	TxD1 TxD2 ExTxD1	133 136 16	出力	送信データ出力端子です。 TxD1 または ExTxD1 のどの端子から出力するかを選択することができます。
	RxD1 RxD2 ExRxD1	134 137 15	入力	受信データ入力端子です。 RxD1 または ExRxD1 のどの端子から入力するかを選択することができます。
	SCK1 SCK2 ExSCK1	135 138 2	入出力	クロック入出力端子です。出力形式は NMOS プッシュプル出力となります。SCK1 または ExSCK1 のどの端子から入出力するかを選択することができます。
IrDA 付き SCI （SCI）	IrTxD	133	出力	IrDA 用にエンコードされたデータの出力端子です。
	IrRxD	134	入力	IrDA 用にエンコードされたデータの入力端子です。
I^2C バスインタフェース（IIC）	SCL0 SCL1 ExSCLA ExSCLB	14 135 53 51	入出力	I^2C のクロック入出力端子です。NMOS オープンドレイン出力でバスを直接駆動できます。SCLn、ExSCLA または ExSCLB のどの端子から入出力するかを選択できます。 （n＝1、0）
	SDA0 SDA1 ExSDAA ExSDAB	17 138 54 52	入出力	I^2C のデータ入出力端子です。NMOS オープンドレイン出力でバスを直接駆動できます。SDAn、ExSDAA または ExSDAB のどの端子から入出力するかを選択できます。 （n＝1、0）
キーボード制御	$\overline{KIN15}$～ $\overline{KIN8}$	33～35 37～41	入力	マトリクスキーボードの入力端子です。全端子がウェイクアップ機能を持っています。通常は $\overline{KIN0}$～$\overline{KIN15}$ をキースキャン用入力、P10～P17 と P20～P27 をキースキャン用出力として使用します。これにより最大 16 出力×16 入力、256 キーのマトリクスが構成できます。
	$\overline{KIN7}$～$\overline{KIN0}$	85～78	入力	
	$\overline{WUE15}$～ $\overline{WUE8}$	87～94	入力	ウェイクアップイベント入力端子です。種々のソースから、キーウェイクアップと同様のウェイクアップが可能です。
	$\overline{WUE7}$～ $\overline{WUE0}$	113～120	入力	
A/D 変換器	AN7～AN0	75～68	入力	アナログ入力端子です。
	$\overline{ADTRG}$	24	入力	A/D 変換開始のための外部トリガ入力端子です。
	AVCC	76	入力	A/D 変換器のアナログ電源端子です。A/D 変換器を使用しない場合は、システムの電源（+3.3V）に接続してください。
	AVref	77	入力	A/D 変換器の基準電源端子です。A/D 変換器を使用しない場合は、システムの電源（+3.3V）に接続してください。
	AVSS	67	入力	A/D 変換器のグランド端子です。システムの電源（0V）に接続してください。

分類	記号	ピン番号	入出力	名称および機能
I/O ポート	P17～P10	104～110 112	入出力	8 ビットの入出力端子です。
	P27～P20	96～103	入出力	8 ビットの入出力端子です。
	P37～P30	128～121	入出力	8 ビットの入出力端子です。
	P47～P40	6～2 138～136	入出力	8 ビットの入出力端子です。
	P52～P50	14～16	入出力	3 ビットの入出力端子です。
	P67～P60	85～78	入出力	8 ビットの入出力端子です。
	P77～P70	75～68	入力	8 ビットの入力端子です。
	P86～P80	135～129	入出力	7 ビットの入出力端子です。
	P97～P90	17～24	入出力	8 ビットの入出力端子です。
	PA7～PA0	33～35 37～41	入出力	8 ビットの入出力端子です。
	PB7～PB0	113～120	入出力	8 ビットの入出力端子です。
	PC7～PC0	87～94	入出力	8 ビットの入出力端子です。
	PD7～PD0	59～66	入出力	8 ビットの入出力端子です。
	PE4～PE0*[1]	28～32	入力	5 ビットの入力端子です。
	PF7～PF0	43～50	入出力	8 ビットの入出力端子です。
	PG7～PG0	51～58	入出力	8 ビットの入出力端子です。

【注】 *1 PE4～PE1 端子はシステム開発ツール（エミュレータ）ではサポートしません。

*2 $\overline{\text{ETRST}}$ 端子に印加するパワーオンリセット信号については、以下の注意が必要です。

電源投入時に必ずリセット信号を印加してください。

ボードテスタの $\overline{\text{ETRST}}$ 端子が LSI のシステム側の動作に影響がないように回路を分離してください。

LSI のシステムリセットがボードテスタの $\overline{\text{ETRST}}$ 端子に影響を与えないように回路を分離してください。

図 1.3 に相互干渉しないリセット系信号の設計例を示します。

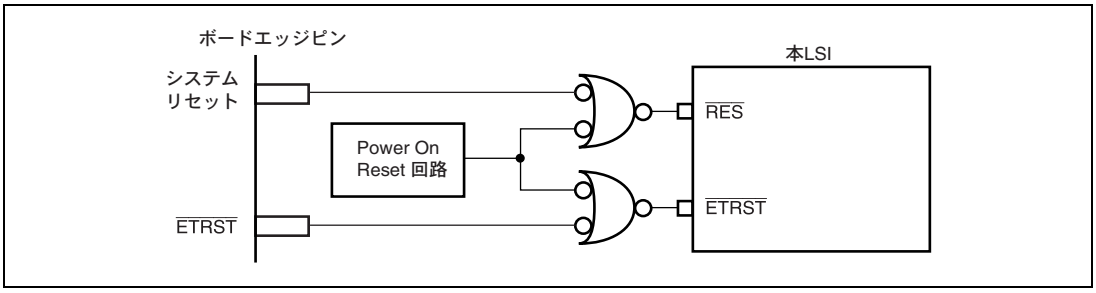


図 1.3 相互干渉しないリセット系信号の設計例

2. CPU

H8S/2000 CPU は、H8/300 CPU および H8/300H CPU と上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8S/2000 CPU には 16 ビットの汎用レジスタが 16 本あり、16M バイトのリニアなアドレス空間を扱うことができ、リアルタイム制御に最適な CPU です。この章は H8S/2000 CPU について説明しています。製品によって使用できるモードやアドレス空間が異なりますので、製品ごとの詳細は「第 3 章　MCU 動作モード」を参照してください。

2.1 特長

- H8/300 CPUおよびH8/300H CPUと上位互換

  H8/300およびH8/300H CPUオブジェクトプログラムを実行可能
- 汎用レジスタ：16ビット×16本

  8ビット×16本、32ビット×8本としても使用可能
- 基本命令：65種類

  8/16/32ビット演算命令

  乗除算命令

  強力なビット操作命令
- アドレッシングモード：8種類

  レジスタ直接（Rn）

  レジスタ間接（@ERn）

  ディスプレースメント付レジスタ間接（@(d:16,ERn)/@(d:32,ERn)）

  ポストインクリメント／プリデクリメントレジスタ間接（@ERn+/@-ERn）

  絶対アドレス（@aa:8/@aa:16/@aa:24/@aa:32）

  イミディエイト（#xx:8/#xx:16/#xx:32）

  プログラムカウンタ相対（@(d:8,PC)/@(d:16,PC)）

  メモリ間接（@@aa:8）
- アドレス空間：16Mバイト

  プログラム：16Mバイト

  データ：16Mバイト

- 高速動作

  頻出命令をすべて1～2ステートで実行

  8/16/32ビットレジスタ間加減算：1ステート

  8×8ビットレジスタ間乗算：12ステート（MULXU.B）、13ステート（MULXS.B）

  16÷8ビットレジスタ間除算：12ステート（DIVXU.B）

  16×16ビットレジスタ間乗算：20ステート（MULXU.W）、21ステート（MULXS.W）

  32÷16ビットレジスタ間除算：20ステート（DIVXU.W）

- CPU動作モード：2種類

  ノーマルモード*／アドバンストモード

【注】　＊　本 LSI では使用できません。

- 低消費電力状態

  SLEEP命令により低消費電力状態に遷移

  CPU動作クロックを選択可能

2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は以下のとおりです。

- レジスタ構成

  MACレジスタは、H8S/2600 CPUのみサポートしています。

- 基本命令

  MAC、CLRMAC、LDMAC、STMACの4命令は、H8S/2600 CPUのみサポートしています。

- MULXU、MULXS命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B　Rs, Rd	3	12
	MULXU.W　Rs, Erd	4	20
MULXS	MULXS.B　Rs, Rd	4	13
	MULXS.W　Rs, Erd	5	21

そのほか、製品によってアドレス空間や CCR、EXR の機能、低消費電力状態などが異なる場合があります。

2.1.2 H8/300 CPU との相違点

H8S/2000 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

- 汎用レジスタ、コントロールレジスタを拡張

  16ビット×8本の拡張レジスタおよび8ビット×1本のコントロールレジスタを追加

- アドレス空間を拡張

  ノーマルモード*のとき、H8/300 CPUと同一の64Kバイトのアドレス空間を使用可能

  アドバンストモードのとき、最大16Mバイトのアドレス空間を使用可能

【注】 * 本 LSI では使用できません。

- アドレッシングモードを強化

  16Mバイトのアドレス空間を有効に使用可能

- 命令強化

  ビット操作命令のアドレッシングモードを強化

  符号付き乗除算命令などを追加

  2ビットシフト、2ビットローテート命令を追加

  複数レジスタの退避/復帰命令を追加

  テストアンドセット命令を追加

- 高速化

  基本的な命令を2倍に高速化

2.1.3 H8/300H CPU との相違点

H8S/2000 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

- コントロールレジスタを拡張

  8ビット×1本のコントロールレジスタを追加

- 命令強化

  ビット操作命令のアドレッシングモードを強化

  2ビットシフト、2ビットローテート命令を追加

  複数レジスタの退避/復帰命令を追加

  テストアンドセット命令を追加

- 高速化

  基本的な命令を2倍に高速化

2.2 CPU 動作モード

H8S/2000 CPU には、ノーマルモード*とアドバンストモードの 2 つの動作モードがあります。サポートするアドレス空間は、ノーマルモード*では最大 64K バイト、アドバンストモードでは 16M バイトです。動作モードは LSI のモード端子によって決まります。

【注】 * 本 LSI では使用できません。

2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造は H8/300 CPU と同一です。

- アドレス空間

  最大64Kバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ（En）

  拡張レジスタ（E0～E7）は、16ビットレジスタとして、または32ビットレジスタの上位16ビットとして使用できます。

  拡張レジスタEnは、対応する汎用レジスタRnをアドレスレジスタとして使用している場合でも、16ビットレジスタとして任意の値を設定することができます（ただし、プリデクリメントレジスタ間接（@-Rn）、ポストインクリメントレジスタ間接（@Rn+）により汎用レジスタRnが参照された場合、キャリ／ボローが発生すると、対応する拡張レジスタEnの内容に伝播しますので注意してください）。

- 命令セット

  命令およびアドレッシングモードはすべて使用できます。実効アドレス（EA）の下位16ビットのみが有効となります。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

  ノーマルモードでは、H'0000から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、16ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を**図2.1**に示します。例外処理ベクタテーブルは**「第4章　例外処理」**を参照してください。

  メモリ間接（@@aa:8）は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

  ノーマルモードでは、オペランドは16ビット（ワード）となり、この16ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000～H'00FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

  ノーマルモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCRのスタックの構造を**図2.2**に示します。EXRはスタックされません。詳細は**「第4章　例外処理」**を参照してください。

【注】 本 LSI ではノーマルモードは使用できません。

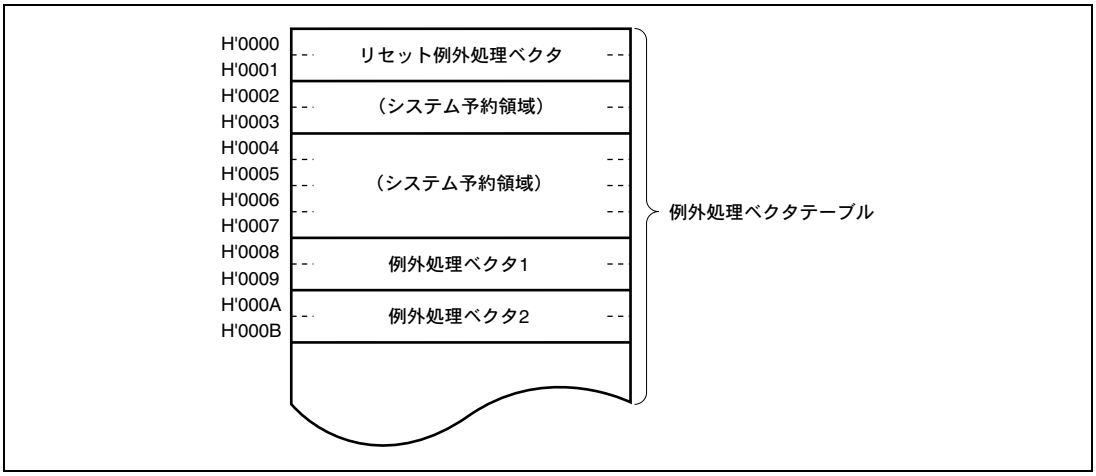


図 2.1　例外処理ベクタテーブル（ノーマルモード）

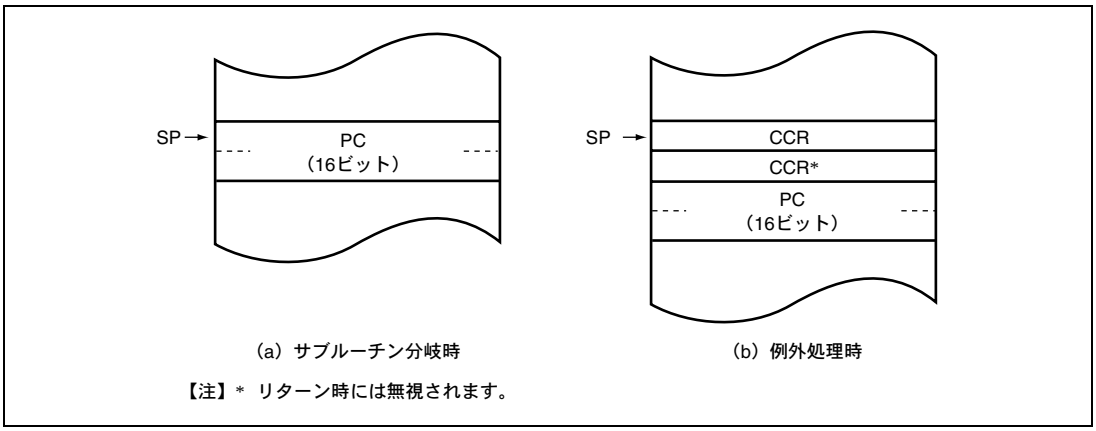


図 2.2　ノーマルモードのスタック構造

2.2.2　アドバンストモード

- アドレス空間

  最大16Mバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ（En）

  拡張レジスタ（E0～E7）は16ビットレジスタとして使用できます。また、32ビットレジスタあるいはアドレスレジスタの上位16ビットとして使用できます。

- 命令セット

  命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

  アドバンストモードでは、H'00000000から始まる先頭領域に32ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位8ビットは無視され24ビットの分岐先アドレスを格納します（**図2.3**参照）。例外処理ベクタテーブルは**「第4章　例外処理」**を参照してください。

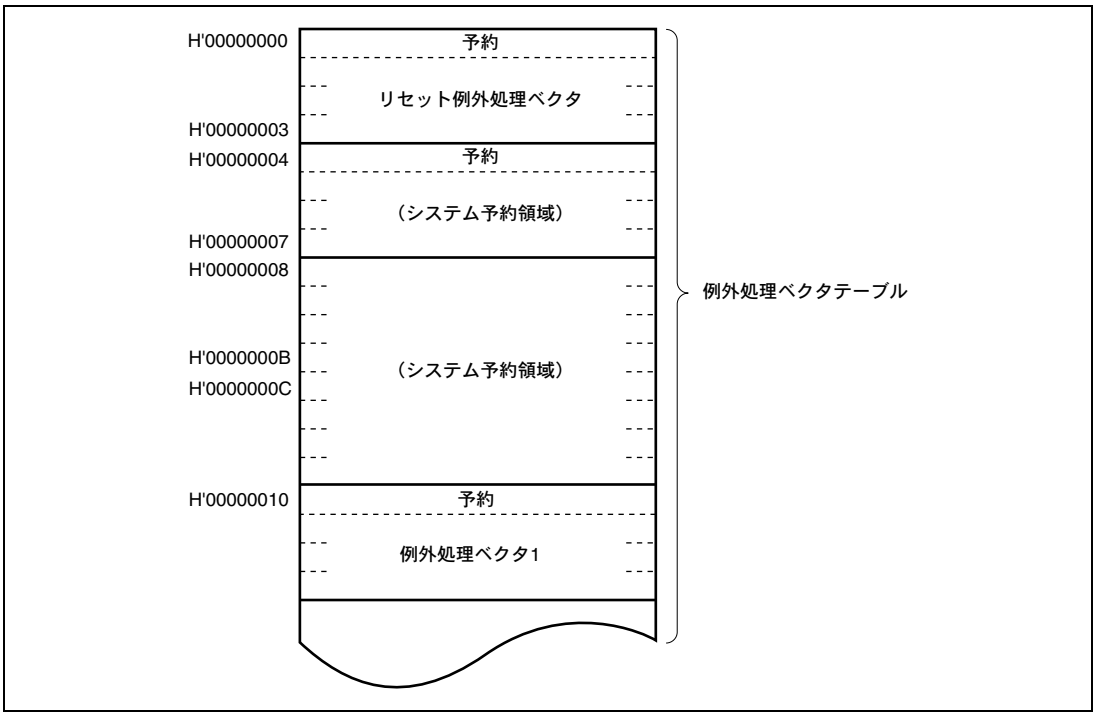


図 2.3　例外処理ベクタテーブル（アドバンストモード）

メモリ間接（@@aa:8）は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンストモードでは、オペランドは32ビット（ロングワード）となり、この32ビットが分岐先アドレスとなります。このうち、上位8ビットは予約領域となっておりH'00と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000～H'000000FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

  アドバンストモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCRのスタックの構造を**図2.4**に示します。EXRはスタックされません。詳細は**「第4章　例外処理」**を参照してください。

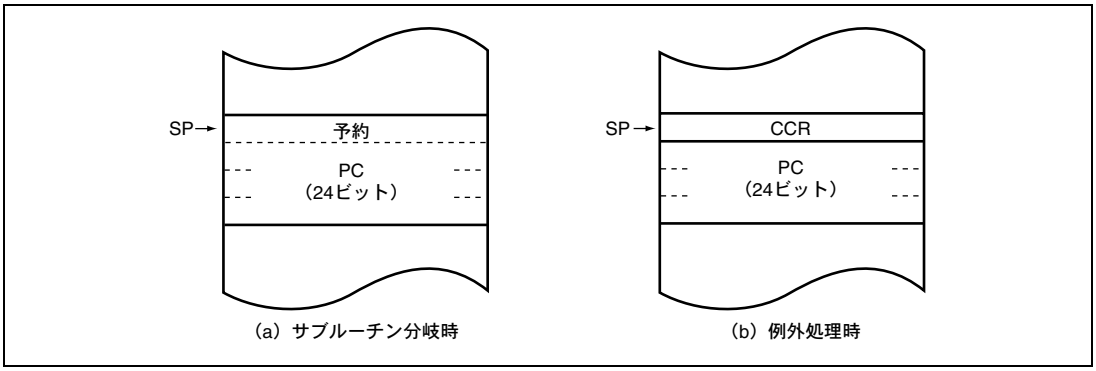


図 2.4　アドバンストモードのスタック構造

2.3　アドレス空間

H8S/2000 CPU のメモリマップを**図 2.5** に示します。H8S/2000 CPU は、ノーマルモードのとき最大 64K バイト、アドバンストモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。実際に使用できるモードやアドレス空間は製品ごとに異なります。詳細は**「第 3 章　MCU 動作モード」**を参照してください。

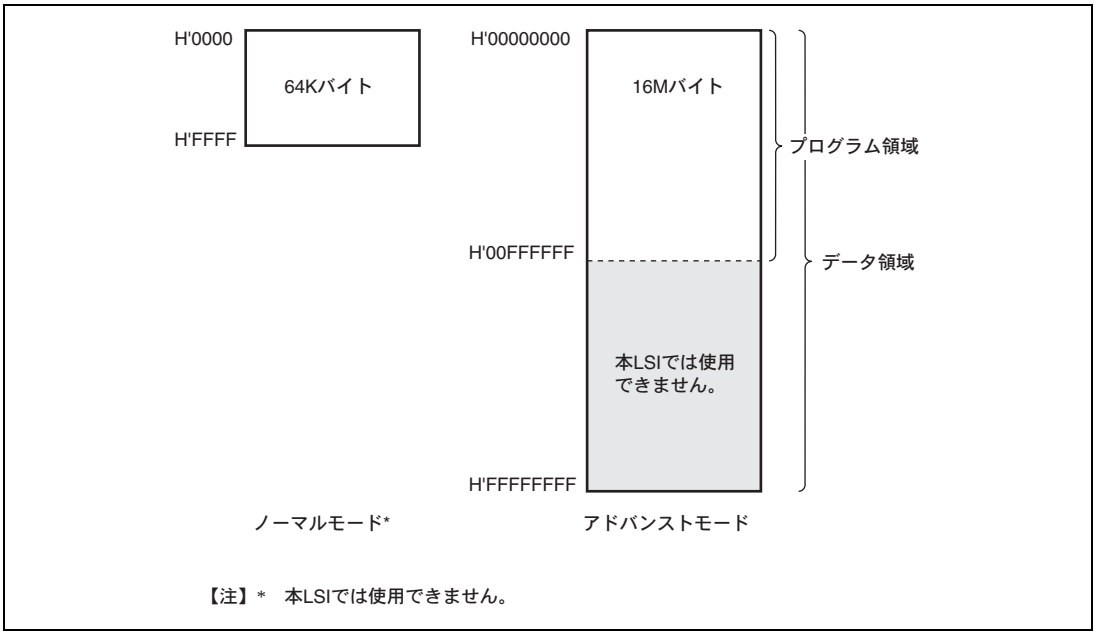


図 2.5　アドレス空間

2.4 レジスタの構成

H8S/2000 CPU の内部レジスタの構成を図 2.6 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、24 ビットのプログラムカウンタ（PC）、8 ビットのエクステンドレジスタ（EXR）、8 ビットのコンディションコードレジスタ（CCR）があります。

汎用レジスタ（Rn）と拡張レジスタ（En）

	15 … 0	7 … 0	7 … 0
ER0	E0	R0H	R0L
ER1	E1	R1H	R1L
ER2	E2	R2H	R2L
ER3	E3	R3H	R3L
ER4	E4	R4H	R4L
ER5	E5	R5H	R5L
ER6	E6	R6H	R6L
ER7 (SP)	E7	R7H	R7L

コントロールレジスタ

23 … 0
PC

	7	6	5	4	3	2	1	0
EXR *	T	–	–	–	–	I2	I1	I0

	7	6	5	4	3	2	1	0
CCR	I	UI	H	U	N	Z	V	C

【記号説明】

SP	：スタックポインタ	UI	：ユーザビット/割り込みマスクビット
PC	：プログラムカウンタ	H	：ハーフキャリフラグ
EXR	：エクステンドレジスタ	U	：ユーザビット
T	：トレースビット	N	：ネガティブフラグ
I2 ～I0	：割り込みマスクビット	Z	：ゼロフラグ
CCR	：コンディションコードレジスタ	V	：オーバフローフラグ
I	：割り込みマスクビット	C	：キャリフラグ

【注】 * 本LSIでは動作に影響を与えません。

図 2.6 CPU 内部レジスタ構成

2.4.1 汎用レジスタ

H8S/2000 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.7 に示します。

アドレスレジスタまたは 32 ビットレジスタとして使用する場合は一括して汎用レジスタ ER（ER0～ER7）として指定します。

16 ビットレジスタとして使用する場合は汎用レジスタ ER を分割して汎用レジスタ E（E0～E7）、汎用レジスタ R（R0～R7）として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E（E0～E7）を特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタとして使用する場合は汎用レジスタ R を分割して汎用レジスタ RH（R0H～R7H）、汎用レジスタ RL（R0L～R7L）として指定します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

各レジスタは独立に使用方法を選択できます。

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ（SP）としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.8 に示します。

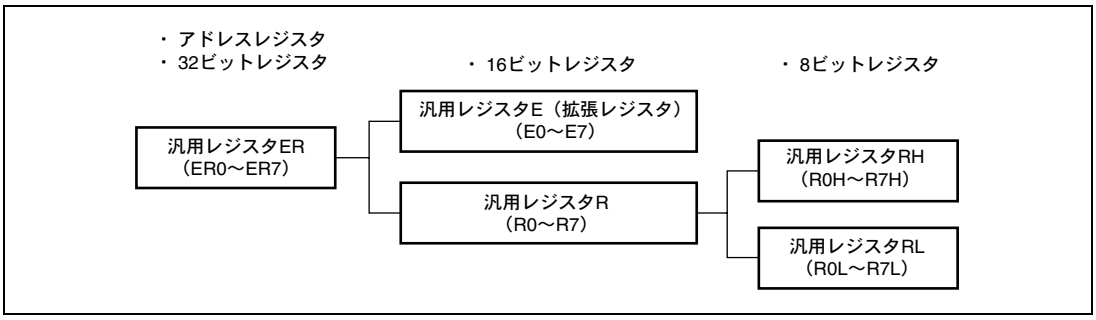


図 2.7　汎用レジスタの使用方法

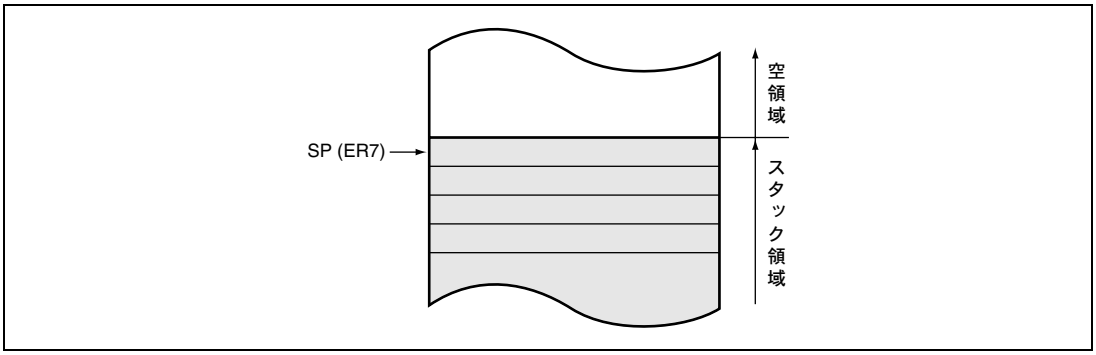


図 2.8　スタックの状態

2.4.2 プログラムカウンタ（PC）

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト（ワード）を単位としているため、最下位ビットは無効です（命令コードのリード時は最下位ビットは 0 とみなされます）。

2.4.3 エクステンドレジスタ（EXR）

本 LSI では動作に影響を与えません。

ビット	ビット名	初期値	R/W	説　明
7	T	0	R/W	トレースビット 本 LSI では動作に影響を与えません。
6～3	－	すべて 1	－	リザーブビット リードすると常に 1 がリードされます。
2 1 0	I2 I1 I0	1 1 1	R/W R/W R/W	割り込みマスクビット 2～0 本 LSI では動作に影響を与えません。

2.4.4 コンディションコードレジスタ（CCR）

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット（I）とハーフキャリ（H）、ネガティブ（N）、ゼロ（Z）、オーバフロー（V）、キャリ（C）の各フラグを含む 8 ビットで構成されています。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令（Bcc）で使用されます。

ビット	ビット名	初期値	R/W	説　明
7	I	1	R/W	割り込みマスクビット 本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI は I ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。詳細は「第 5 章　割り込みコントローラ」を参照してください。
6	UI	不定	R/W	ユーザビット／割り込みマスクビット ソフトウェア（LDC、STC、ANDC、ORC、XORC 命令）でリード／ライトできます。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはボローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。

ビット	ビット名	初期値	R/W	説　明
4	U	不定	R/W	ユーザビット ソフトウェア（LDC、STC、ANDC、ORC、XORC 命令）でリード／ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバフローフラグ 算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 • 加算結果のキャリ • 減算結果のボロー • シフト／ローテートのキャリ また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

2.4.5 CPU 内部レジスタの初期値

CPU 内部レジスタのうち、PC はリセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP（ER7）の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

2.5 データ形式

H8S/2000 CPU は、1 ビット、4 ビット BCD、8 ビット（バイト）、16 ビット（ワード）、および 32 ビット（ロングワード）のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第 n ビット（n=0,1,2,……,7）という形式でアクセスできます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.9 に示します。

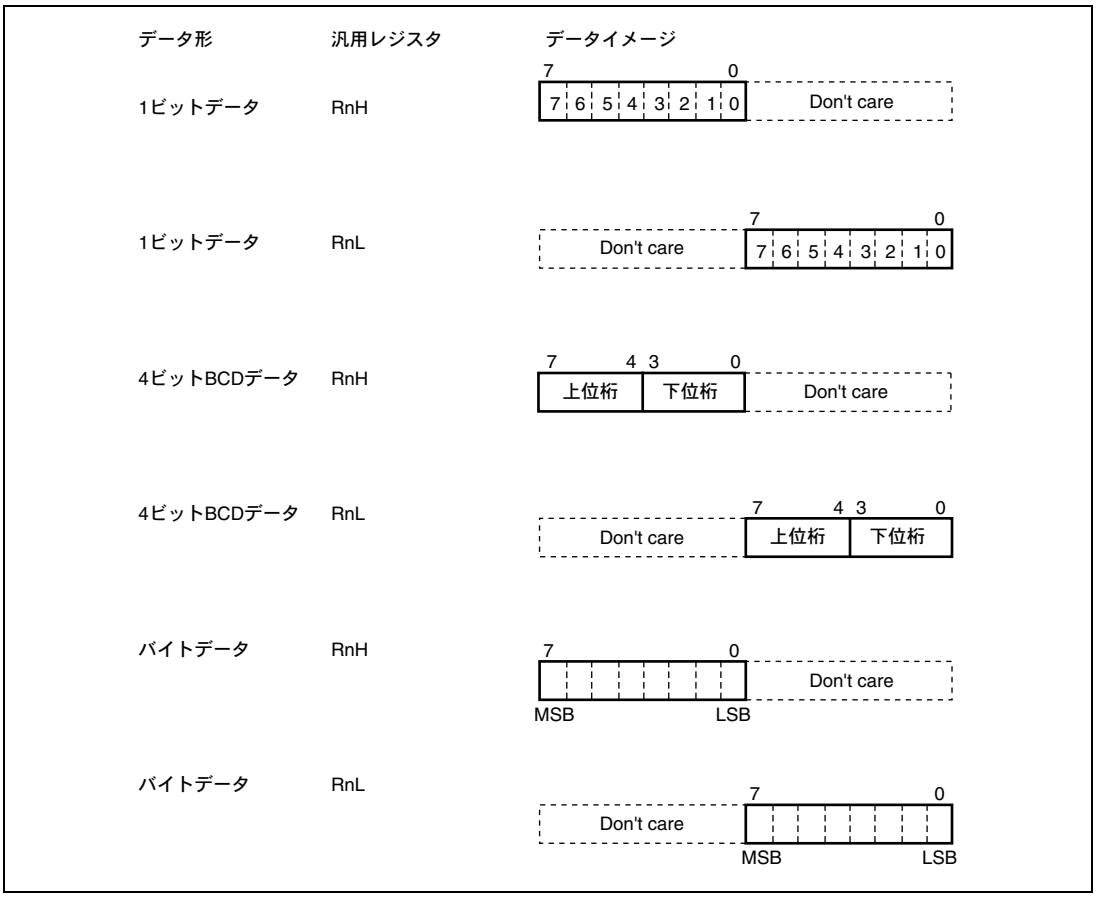


図 2.9 汎用レジスタのデータ形式（1）

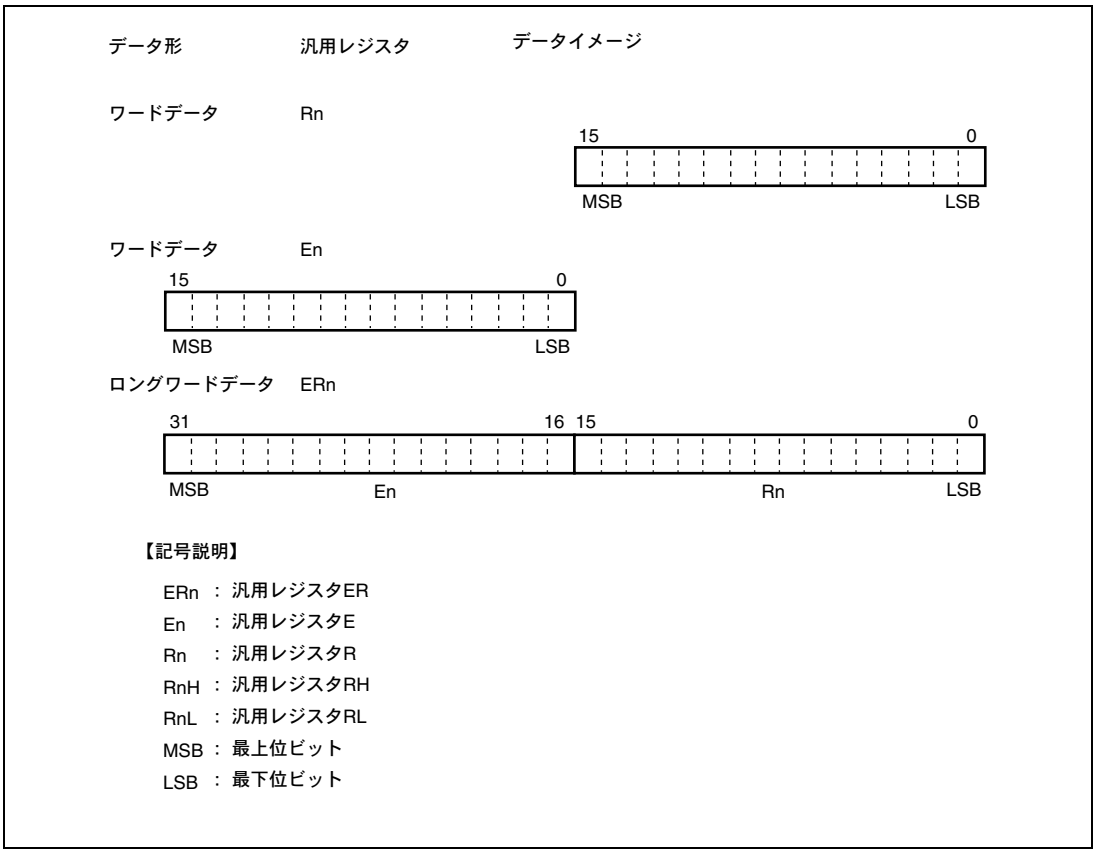


図 2.9　汎用レジスタのデータ形式（2）

2.5.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.10 に示します。

H8S/2000 CPU は、メモリ上のワードデータ／ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ／ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

なお、SP（ER7）をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

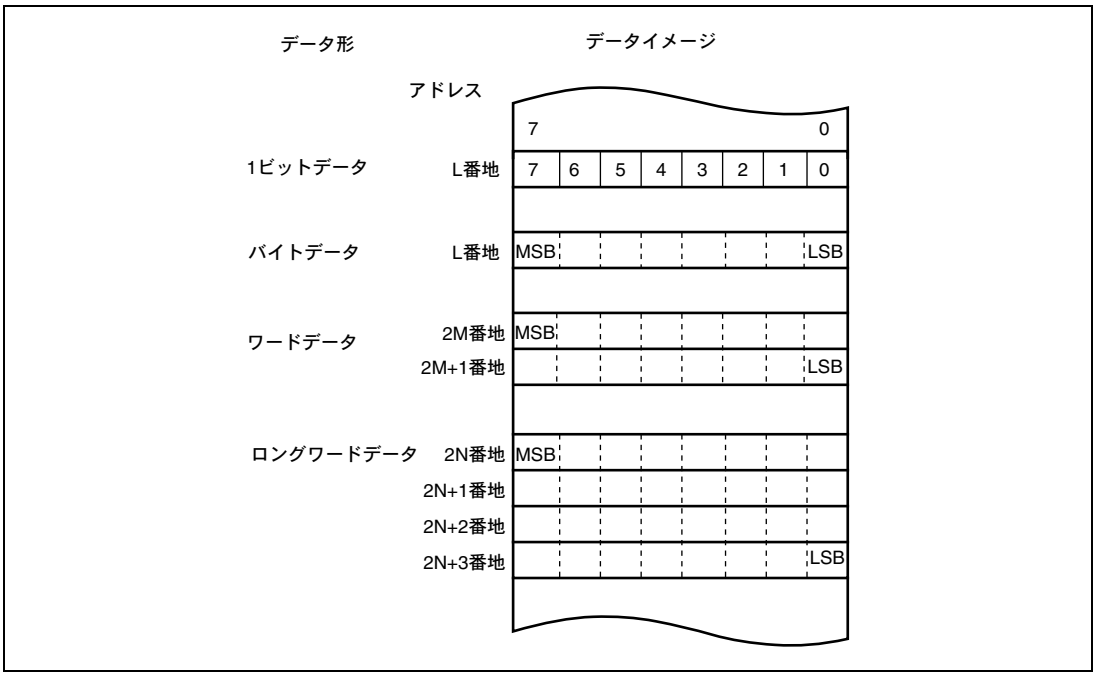


図 2.10 メモリ上でのデータ形式

2.6 命令セット

H8S/2000 CPU の命令は合計 65 種類あり、各命令の持つ機能によって表 2.1 に示すように分類されます。

表 2.1 命令の分類

分 類	命 令	サイズ	種類
データ転送命令	MOV	B/W/L	5
	POP *1, PUSH *1	W/L	
	LDM*5, STM*5	L	
	MOVFPE*3, MOVTPE*3	B	
算術演算命令	ADD, SUB, CMP, NEG	B/W/L	19
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	B/W/L	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	B/W	
	EXTU, EXTS	W/L	
	TAS*4	B	
論理演算命令	AND, OR, XOR, NOT	B/W/L	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	B/W/L	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc *2, JMP, BSR, JSR, RTS	－	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	－	9
ブロック転送命令	EEPMOV	－	1

合計 65 種類

【注】 B：バイトサイズ W：ワードサイズ L：ロングワードサイズ

*1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+,Rn、MOV.W Rn,@-SP と同一です。
また、POP.L ERn、PUSH.L ERn は、それぞれ MOV.L @SP+,ERn、MOV.L ERn,@-SP と同一です。

*2 Bcc は条件分岐命令の総称です。

*3 本 LSI では使用できません。

*4 TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

*5 STM/LDM 命令においては、ER7 レジスタはスタックポインタであるため、退避（STM）／復帰（LDM）できるレジスタとしては使えません。

2.6.1 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.2 オペレーションの記号

記号	説　明
Rd	汎用レジスタ（デスティネーション側）*
Rs	汎用レジスタ（ソース側）*
Rn	汎用レジスタ*
ERn	汎用レジスタ（32 ビットレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
＋	加算
－	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
～	反転論理（論理的補数）
:8/:16/:24/:32	8/16/24/32 ビット長

【注】 * 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）、16 ビット（R0～R7、E0～E7）、または 32 ビットレジスタ（ER0～ER7）です。

表 2.3　データ転送命令

命令	サイズ*1	機　　能
MOV	B/W/L	(EAs)→Rd、Rs→(EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPE	B	本 LSI では使用できません。
MOVTPE	B	本 LSI では使用できません。
POP	W/L	@SP+→Rn スタックから汎用レジスタへデータを復帰します。 POP.W　Rn は MOV.W　@SP+, Rn と、また、 POP.L　ERn は MOV.L　@SP+, ERn と同一です。
PUSH	W/L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W　Rn は MOV.W　Rn, @-SP と同一です。 PUSH.L　ERn は MOV.L　ERn, @-SP と同一です。
LDM*2	L	@SP+→Rn（レジスタ群） スタックから複数の汎用レジスタへデータを復帰します。
STM*2	L	Rn（レジスタ群）→@-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】　*1　サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

*2　STM/LDM 命令においては、ER7 レジスタはスタックポインタであるため、退避（STM）／復帰（LDM）できるレジスタとしては使えません。

表 2.4　算術演算命令（1）

命令	サイズ*	機　　能
ADD SUB	B/W/L	Rd±Rs→Rd、Rd±#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います（バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください）。
ADDX SUBX	B	Rd±Rs±C→Rd、Rd±＃IMM±C→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B/W/L	Rd±1→Rd、Rd±2→Rd 汎用レジスタに 1 または 2 を加減算します（バイトサイズで 1 の加減算のみ可能です）。
ADDS SUBS	L	Rd±1→Rd、Rd±2→Rd、Rd±4→Rd 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	Rd(10 進補正) →Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。
MULXS	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。
DIVXU	B/W	Rd÷Rs→Rd 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット÷8 ビット→商 8 ビット余り 8 ビット、 32 ビット÷16 ビット→商 16 ビット余り 16 ビットの除算が可能です。

【注】　*　サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.4　算術演算命令（2）

命令	サイズ*1	機　　能
DIVXS	B/W	Rd÷Rs→Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット÷8 ビット→商 8 ビット余り 8 ビット、 32 ビット÷16 ビット→商 16 ビット余り 16 ビットの除算が可能です。
CMP	B/W/L	Rd－Rs、Rd－#IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B/W/L	0－Rd→Rd 汎用レジスタの内容の 2 の補数（算術的補数）をとります。
EXTU	W/L	Rd(ゼロ拡張) →Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	Rd(符号拡張) →Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
TAS*2	B	@ERd－0、1 → (＜ビット 7＞of @ERd) メモリの内容をテストした後、最上位ビット（ビット 7）を 1 にセットします。

【注】　*1　サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

*2　TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

表 2.5　論理演算命令

命令	サイズ*	機　　能
AND	B/W/L	Rd∧Rs→Rd、Rd∧#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd∨Rs→Rd、Rd∨#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs→Rd、Rd⊕#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	～Rd→Rd 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

【注】　*　サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.6　シフト命令

命令	サイズ*	機　　能
SHAL SHAR	B/W/L	Rd(シフト処理) →Rd 汎用レジスタの内容を算術的にシフトします。 1 ビットまたは 2 ビットのシフトが可能です。
SHLL SHLR	B/W/L	Rd(シフト処理) →Rd 汎用レジスタの内容を論理的にシフトします。 1 ビットまたは 2 ビットのシフトが可能です。
ROTL ROTR	B/W/L	Rd(ローテート処理) →Rd 汎用レジスタの内容をローテートします。 1 ビットまたは 2 ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	Rd(ローテート処理) →Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1 ビットまたは 2 ビットのローテートが可能です。

【注】　*　サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.7　ビット操作命令（1）

命令	サイズ*	機　　能
BSET	B	1→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR	B	0→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BNOT	B	～(<ビット番号>of<EAd>)→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	～(<ビット番号>of<EAd>)→Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C∧(<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C∧〔～(<ビット番号>of<EAd>)〕→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C∨(<ビット番号>of<EAd>) →C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C∨〔～(<ビット番号>of<EAd>)〕→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】　*　サイズはオペランドサイズを示します。

B：バイト

表 2.7　ビット操作命令（2）

命令	サイズ*	機　　能
BXOR	B	C⊕(<ビット番号>of<EAd>) →C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	C⊕〔～(<ビット番号>of<EAd>)〕→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BLD	B	(<ビット番号>of<EAd>) →C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	～(<ビット番号>of<EAd>) →C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	C→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	～C→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグを反転して転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】　*　サイズはオペランドサイズを示します。

B：バイト

表 2.8　分岐命令

<table>
<tr><th>命令</th><th>サイズ</th><th>機　　能</th></tr>
<tr><td>Bcc</td><td>－</td><td>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。
<table>
<tr><th>ニーモニック</th><th>説　明</th><th>分岐条件</th></tr>
<tr><td>BRA(BT)</td><td>Always(True)</td><td>Always</td></tr>
<tr><td>BRN(BF)</td><td>Never(False)</td><td>Never</td></tr>
<tr><td>BHI</td><td>HIgh</td><td>CVZ=0</td></tr>
<tr><td>BLS</td><td>Low or Same</td><td>CVZ=1</td></tr>
<tr><td>BCC(BHS)</td><td>Carry Clear(High or Same))</td><td>C=0</td></tr>
<tr><td>BCS(BLO)</td><td>Carry Set(LOw)</td><td>C=1</td></tr>
<tr><td>BNE</td><td>Not Equal</td><td>Z=0</td></tr>
<tr><td>BEQ</td><td>EQual</td><td>Z=1</td></tr>
<tr><td>BVC</td><td>oVerflow Clear</td><td>V=0</td></tr>
<tr><td>BVS</td><td>oVerflow Set</td><td>V=1</td></tr>
<tr><td>BPL</td><td>PLus</td><td>N=0</td></tr>
<tr><td>BMI</td><td>MInus</td><td>N=1</td></tr>
<tr><td>BGE</td><td>Greater or Equal</td><td>N⊕V=0</td></tr>
<tr><td>BLT</td><td>Less Than</td><td>N⊕V=1</td></tr>
<tr><td>BGT</td><td>Greater Than</td><td>Z∨(N⊕V)=0</td></tr>
<tr><td>BLE</td><td>Less or Equal</td><td>Z∨(N⊕V)=1</td></tr>
</table></td></tr>
<tr><td>JMP</td><td>－</td><td>指定されたアドレスへ無条件に分岐します。</td></tr>
<tr><td>BSR</td><td>－</td><td>指定されたアドレスへサブルーチン分岐します。</td></tr>
<tr><td>JSR</td><td>－</td><td>指定されたアドレスへサブルーチン分岐します。</td></tr>
<tr><td>RTS</td><td>－</td><td>サブルーチンから復帰します。</td></tr>
</table>

表 2.9　システム制御命令

命令	サイズ*	機　　能
TRAPA	－	命令トラップ例外処理を行います。
RTE	－	例外処理ルーチンから復帰します。
SLEEP	－	低消費電力状態に遷移します。
LDC	B／W	(EAs)→CCR、(EAs)→EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B／W	CCR→(EAd)、EXR→(EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR∧#IMM→CCR、EXR∧#IMM→EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR∨#IMM→CCR、EXR∨#IMM→EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR、EXR⊕#IMM→EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	－	PC+2→PC PC のインクリメントだけを行います。

【注】　*　サイズはオペランドサイズを示します。

B：バイト

W：ワード

表 2.10　ブロック転送命令

命令	サイズ	機　　能
EEPMOV.B	－	if R4L≠0 then 　Repeat @ER5+→@ER6+ 　　R4L－1→R4L 　Until R4L＝0 else next;
EEPMOV.W	－	if R4≠0 then 　Repeat @ER5+→@ER6+ 　　R4－1→R4 　Until R4＝0 else next; ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2.6.2 命令の基本フォーマット

H8S/2000 CPU の命令は、2 バイト（ワード）を単位にしています。各命令はオペレーションフィールド（op）、レジスタフィールド（r）、EA 拡張部（EA）、およびコンディションフィールド（cc）から構成されています。

図 2.11 に命令フォーマットの例を示します。

- オペレーションフィールド

  命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

- レジスタフィールド

  汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

- EA拡張部

  イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8ビット、16ビット、または32ビットです。

- コンディションフィールド

  Bcc命令の分岐条件を指定します。

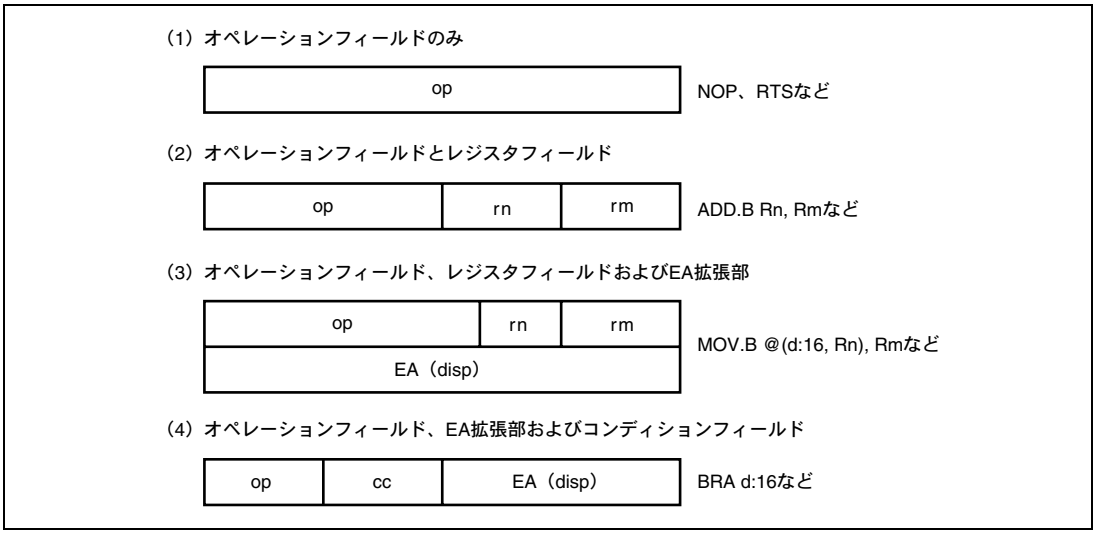


図 2.11 命令フォーマットの例

2.7 アドレッシングモードと実効アドレスの計算方法

H8S/2000 CPU は表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードが異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接（BSET、BCLR、BNOT、BTST の各命令）、およびイミディエイト（3 ビット）が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@(d:16,ERn)/@(d:32,ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8/@aa:16/@aa:24/@aa:32
6	イミディエイト	#xx:8/#xx:16/#xx:32
7	プログラムカウンタ相対	@(d:8,PC)/@(d:16,PC)
8	メモリ間接	@@aa:8

2.7.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ（8 ビット、16 ビットまたは 32 ビット）がオペランドとなります。8 ビットレジスタとしては R0H～R7H、R0L～R7L を指定可能です。16 ビットレジスタとしては R0～R7、E0～E7 を指定可能です。32 ビットレジスタとしては ER0～ER7 を指定可能です。

2.7.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容をアドレスとしてメモリ上のオペランドを指定します。プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0（H'00）とみなされます。

2.7.3 ディスプレースメント付きレジスタ間接 @（d:16,ERn）/@（d:32,ERn）

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

2.7.4 ポストインクリメントレジスタ間接@ERn+/ プリデクリメントレジスタ間接@-ERn

（1） ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズのとき、アドレスレジスタの内容が偶数となるようにしてください。

（2） プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容から、1、2 または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズのとき、アドレスレジスタの内容が偶数になるようにしてください。

2.7.5 絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。絶対アドレスは 8 ビット（@aa:8）、16 ビット（@aa:16）、24 ビット（@aa:24）、または 32 ビット（@aa:32）です。絶対アドレスのアクセス範囲を表 2.12 に示します。

データ領域としては、8 ビット（@aa:8）、16 ビット（@aa:16）、または 32 ビット（@aa:32）を使用します。8 ビット絶対アドレスの場合、上位 24 ビットはすべて 1（H'FFFF）となります。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット（@aa:24）を使用します。上位 8 ビットはすべて 0（H'00）となります。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード*	アドバンストモード
データ領域	8 ビット（@aa:8）	H'FF00～H'FFFF	H'FFFF00～H'FFFFFF
	16 ビット（@aa:16）	H'0000～H'FFFF	H'000000～H'007FFF、 H'FF8000～H'FFFFFF
	32 ビット（@aa:32）		H'000000～H'FFFFFF
プログラム領域	24 ビット（@aa:24）		

【注】 * 本 LSI では使用できません。

2.7.6 イミディエイト #xx:8/#xx:16/#xx:32

命令コード中に含まれる 8 ビット（#xx:8）、16 ビット（#xx:16）、または 32 ビット（#xx:32）のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コードの中に含まれます。

2.7.7 プログラムカウンタ相対 @（d:8, PC）/@（d:16, PC）

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0（H'00）とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して－126～＋128 バイト（－63～＋64 ワード）または－32766～＋32768 バイト（－16383～＋16384 ワード）です。このとき、加算結果が偶数となるようにしてください。

2.7.8 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0～255（ノーマルモードのとき H'0000～H'00FF*、アドバンストモードのとき H'000000～H'0000FF）番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。また、アドバンストモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0（H'00）とみなされます。ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は**「第 4 章 例外処理」**を参照してください。

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします（**「2.5.2 メモリ上でのデータ形式」**を参照してください）。

【注】 ＊ 本 LSI では使用できません。

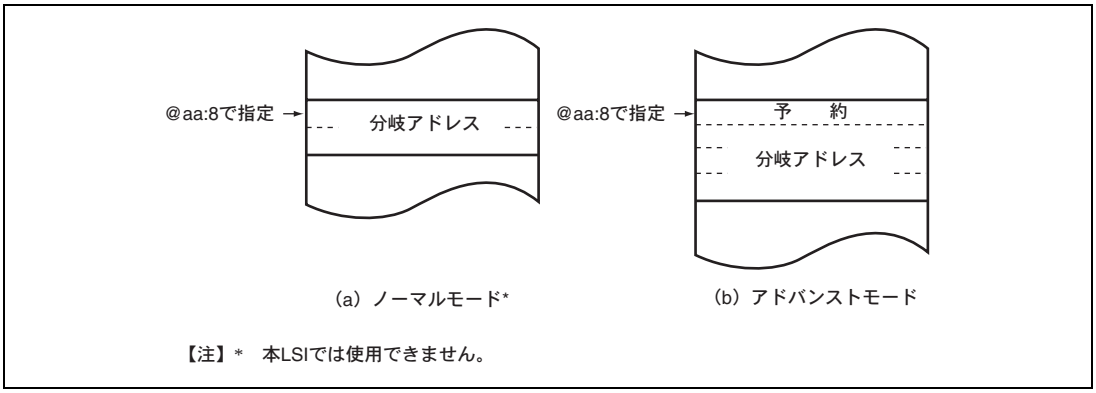


図 2.12　メモリ間接による分岐アドレスの指定

2.7.9　実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算法を**表 2.13** に示します。

ノーマルモード*の場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。

【注】　*　本 LSI では使用できません。

表 2.13　実行アドレスの計算方法（1）

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス（EA）
1	レジスタ直接（Rn） op　rm　rn		オペランドは汎用レジスタの内容です。
2	レジスタ間接（@ERn） op　r	31　0 汎用レジスタの内容	31　24 23　0 Don't care
3	ディスプレースメント付きレジスタ間接 @(d:16,ERn) ／ @(d:32,ERn) op　r　disp	31　0 汎用レジスタの内容 31　0 符号拡張　disp	31　24 23　0 Don't care
4	ポストインクリメントレジスタ間接／プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接　@ERn+ op　r ・プリデクリメントレジスタ間接　@-ERn op　r	31　0 汎用レジスタの内容 1、2または4 31　0 汎用レジスタの内容 1、2または4 オペランドサイズ／加減算される値 バイト／1 ワード／2 ロングワード／4	31　24 23　0 Don't care 31　24 23　0 Don't care

表 2.13　実行アドレスの計算方法（2）

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス（EA）
5	絶対アドレス @aa:8 op　abs		31　24 23　8 7　0 Don't care　H'FFFF
	@aa:16 op　abs		31　24 23　16 15　0 Don't care　符号拡張
	@aa:24 op　abs		31　24 23　0 Don't care
	@aa:32 op abs		31　24 23　0 Don't care
6	イミディエイト #xx:8／#xx:16／#xx:32 op　IMM		オペランドはイミディエイトデータです。
7	プログラムカウンタ相対 @(d:8,PC)／@(d:16,PC) op　disp	23　0 PCの内容 ⊕ 23　0 符号拡張　disp	31　24 23　0 Don't care
8	メモリ間接　@@aa:8 ・ノーマルモード* op　abs	31　8 7　0 H'000000　abs 15　0 メモリの内容	31　24 23　16 15　0 Don't care　H'00
	・アドバンストモード op　abs	31　8 7　0 H'000000　abs 31　0 メモリの内容	31　24 23　0 Don't care

【注】　*　本 LSI では使用できません。

2.8 処理状態

H8S/2000 CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、およびプログラム停止状態の 5 種類があります。処理状態間の状態遷移図を**図 2.13** に示します。

- リセット状態

  CPU および内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子がLowレベルになると、実行中の処理はすべて中止され、CPUはリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子をLowレベルからHighレベルにすると、リセット例外処理を開始します。リセットの詳細は**「第4章　例外処理」**を参照してください。ウォッチドッグタイマを内蔵する製品では、ウォッチドッグタイマのオーバフローによってもリセットすることもできます。

- 例外処理状態

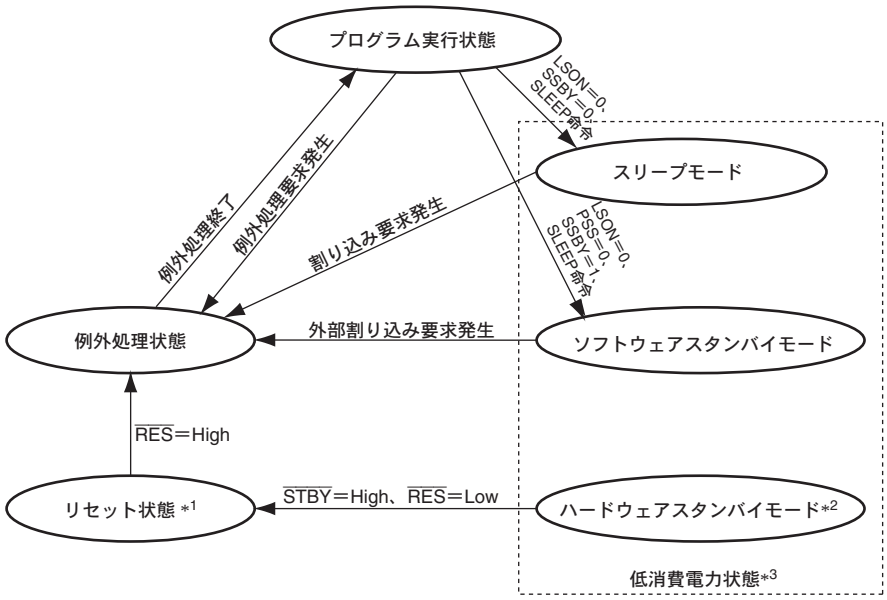
  例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によってCPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は**「第4章　例外処理」**を参照してください。

- プログラム実行状態

  CPUがプログラムを順次実行している状態です。

- プログラム停止状態

  CPUが動作を停止し、消費電力を低下させた状態です。SLEEP命令の実行、またはハードウェアスタンバイモードへの遷移でCPUはプログラム停止状態になります。詳細は**「第20章　低消費電力状態」**を参照してください。



【注】*1　ハードウェアスタンバイモードを除くすべての状態において、RES端子が Lowレベルになるとリセット状態に遷移します。また、ウォッチドッグタイマのオーバフローによっても、リセット状態に遷移させることができます。

*2　すべての状態においてSTBY端子がLowレベルになると、ハードウェアスタンバイモードに遷移します。

*3　このほかに、ウォッチモード、サブアクティブモード、サブスリープモードなどがあります。詳細は「第20章　低消費電力状態」を参照してください。

図 2.13　状態遷移図

2.9 使用上の注意事項

2.9.1 TAS 命令

TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用してください。

なお、ルネサス テクノロジ製 H8S、H8/300 シリーズ C/C++コンパイラでは、TAS 命令は生成されません。ユーザ定義の組み込み関数として TAS 命令を使用する場合は、レジスタ ER0、ER1、ER4、ER5 を使用するようにお願いいたします。

2.9.2 STM/LDM 命令

STM/LDM 命令において、ER7 レジスタはスタックポイントであるため、退避（STM）／復帰（LDM）できるレジスタとしては、使用できません。一命令で退避（STM）／復帰（LDM）できるレジスタ数は 2 本、3 本、4 本です。そのとき使用可能なレジスタリストは、以下のとおりです。

2 本：ER0―ER1、ER2―ER3、ER4―ER5

3 本：ER0―ER2、ER4―ER6

4 本：ER0―ER3

また、ルネサス テクノロジ製 H8S、H8S/300 シリーズ C/C++コンパイラでは、ER7 を含む STM/LDM 命令は生成されません。

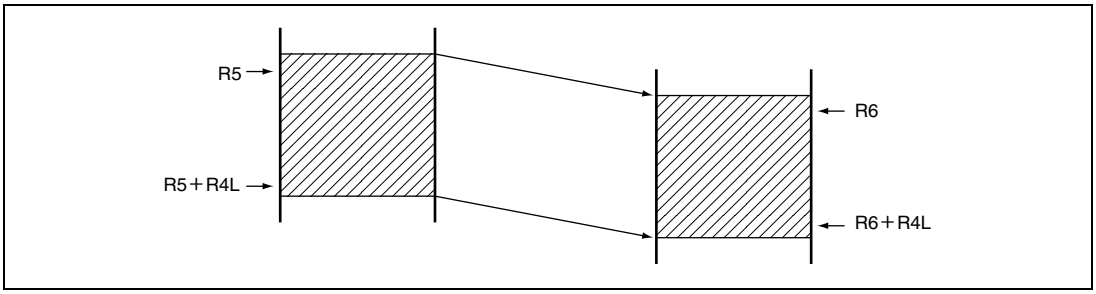
2.9.3 ビット操作命令

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用するときは注意が必要です。

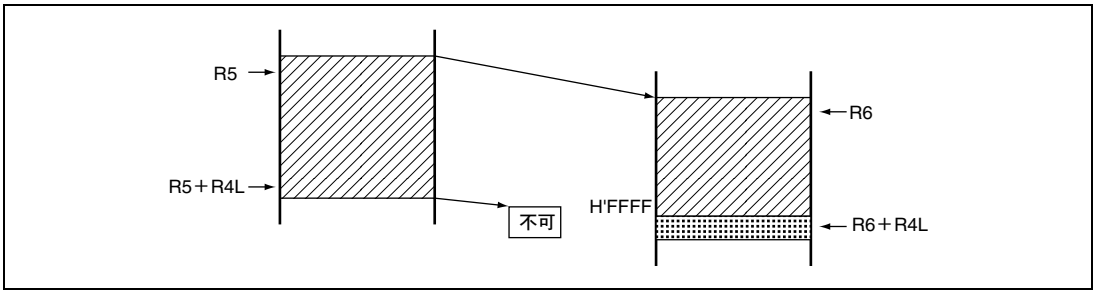
また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用できます。この場合、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

2.9.4 EEPMOV 命令

1. EEPMOV命令はブロック転送命令で、R5で示されるアドレスから始まるR4Lで示されるバイト数のデータを、R6で示されるアドレスへ転送します。



2. 転送先の最終アドレス（R6＋R4Lの値）がH'FFFFを超えないように（実行途中にR6の値がH'FFFF→H'0000とならないように）、R4L、R6を設定してください。



3. MCU 動作モード

3.1 動作モードの選択

本 LSI には、3 種類の動作モード（モード 2、4、6）があります。動作モードは、モード端子（MD2、MD1、MD0）の設定で決まります。表 3.1 に、MCU 動作モードの選択を示します。

表 3.1　MCU 動作モードの選択

MCU 動作モード	MD2	MD1	MD0	CPU 動作モード	内　　容	内蔵 ROM
2	0	1	0	アドバンスト	シングルチップモード	有効
4	1	0	0	－	フラッシュ書き込み／消去	－
6	1	1	0	エミュレーション	オンチップエミュレーションモード	有効

モード 2 は、シングルチップモードで動作します。

モード 0、1、5、7 は、本 LSI では使用できません。モード 4、6 は、特殊な動作モードです。したがって、通常のプログラム実行状態では、モード端子は必ずモード 2 になるように設定してください。また、モード端子は動作中に変化させないでください。

モード 4 は、フラッシュメモリの書き込み／消去を行うためのブートモードです。詳細は「第 18 章　フラッシュメモリ（0.18μm F-ZTAT 版）」を参照してください。

モード 6 は、オンチップエミュレーションモードです。JTAG を用いてオンチップエミュレータ（E10A）により制御され、オンチップエミュレーションが可能です。

3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。

- モードコントロールレジスタ（MDCR）
- システムコントロールレジスタ（SYSCR）
- シリアルタイマコントロールレジスタ（STCR）
- システムコントロールレジスタ3（SYSCR3）

3.2.1 モードコントロールレジスタ（MDCR）

MDCR は、動作モードの設定および現在の動作モードをモニタするのに用います。

ビット	ビット名	初期値	R/W	説　　明
7	EXPE	0	R/W	リザーブビット 初期値を変更しないでください。
6～3	－	すべて 0	R	リザーブビット 初期値を変更しないでください。
2 1 0	MDS2 MDS1 MDS0	－* －* －*	R R R	モードセレクト 2～0 モード端子（MD2～MD0）の入力レベルを反映した値（現在の動作モード）を示しています。MDS2～MDS0 ビットは MD2～MD0 端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。 MDCR をリードすると、モード端子（MD2～MD0）の入力レベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。

【注】 * MD2～MD0 端子により決定されます

3.2.2 システムコントロールレジスタ（SYSCR）

SYSCR は、リセット要因のモニタ、割り込み制御モードの選択、NMI 検出エッジの選択、周辺機能のレジスタアクセスの制御、RAM のアドレス空間の制御を行います。

ビット	ビット名	初期値	R/W	説　　明
7 6	－ －	0 0	R/W R/W	リザーブビット 初期値を変更しないでください。
5 4	INTM1 INTM0	0 0	R R/W	割り込み制御選択モード 1、0 割り込みコントローラの割り込み制御モードを選択します。 割り込み制御モードについては「5.6 割り込み制御モードと割り込み動作」を参照してください。 00：割り込み制御モード 0 01：割り込み制御モード 1 10：設定禁止 11：設定禁止
3	XRST	1	R	外部リセット リセット要因を表すビットです。リセットは、外部リセット入力、または、ウォッチドッグタイマオーバフローにより発生できます。 0：ウォッチドッグタイマオーバフローで発生 1：外部リセットで発生

ビット	ビット名	初期値	R/W	説　　明
2	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0：NMI 入力の立ち下がりエッジで割り込み要求を発生 1：NMI 入力の立ち上がりエッジで割り込み要求を発生
1	KINWUE	0	R/W	キーボードコントロールレジスタアクセスイネーブル RELOCATE ビットが 0 にクリアされているときに、キーボードマトリクス割り込みレジスタ（KMIMRA、KMIMR）、プルアップ MOS コントロールレジスタ（KMPCR）、8 ビットタイマ TMR_X、TMR_Y のレジスタ（TCR_X/TCR_Y、TCSR_X/TCSR_Y、TICRR/TCORA_Y、TICRF/TCORB_Y、TCNT_X/TCNT_Y、TCORC/TISR、TCORA_X、TCORB_X、TCONRI、CONRS）の CPU アクセスを制御します。 0：アドレス H'(FF)FFF0～H'(FF)FFF7、H'(FF)FFFC～H'(FF)FFFF のエリアは、TMR_X および TMR_Y のレジスタの CPU アクセスを許可 1：アドレス H'(FF)FFF0～H'(FF)FFF7、H'(FF)FFFC～H'(FF)FFFF のエリアは、キーボードマトリクス割り込みレジスタおよび入力プルアップ MOS コントロールレジスタの CPU アクセスを許可 RELOCATE ビットが 1 にセットされているときは、無効になります。 詳細は「3.2.4　システムコントロールレジスタ 3（SYSCR3）」「第 21 章　レジスター覧」を参照してください。
0	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。 0：内蔵 RAM 無効 1：内蔵 RAM 有効

3.2.3　シリアルタイマコントロールレジスタ（STCR）

STCR は、レジスタアクセスの制御、IIC の動作モードの制御、内蔵フラッシュメモリの制御、タイマカウンタの入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説　　明
7	IICS	0	R/W	I^2C エクストラバッファセレクト ポート A のビット 7～4 を SCL、SDA と同様の出力バッファとなるように設定します。ソフトウェアのみによる I^2C インタフェースを実現する場合に利用します。 0：PA7～PA4 は通常入出力端子 1：PA7～PA4 はバス駆動可能な入出力端子
6 5	IICX1 IICX0	0 0	R/W R/W	I^2C トランスファレートセレクト 1、0 IIC の動作を制御するビットです。I^2C バスモードレジスタ（ICMR）の CKS2～CKS0 ビットと組み合わせて、マスタモードでの転送レートを選択します。 転送レートについては、表 15.3 を参照してください。

ビット	ビット名	初期値	R/W	説　　明
4	IICE	0	R/W	I²C マスタイネーブル RELOCATE ビットが 0 にクリアされているときに、IIC のレジスタ（ICCR、ICSR、ICDR/SARX、ICMR/SAR、DDCSWR）、PWMX のレジスタ（DADRAH/DACR、DADRAL、DADRBH/DACNTH、DADRBL/DACNTL）、SCI のレジスタ（SMR、BRR、SCMR）の CPU アクセスを制御します。 0：アドレス H'(FF)FF88～H'(FF)FF89、H'(FF)FF8E～H'(FF)FF8F のエリアは、SCI_1 のレジスタをアクセス アドレス H'(FF)FFA0～H'(FF)FFA1、H'(FF)FFA6～H'(FF)FFA7 のエリアは、SCI_2 のレジスタをアクセス アドレス H'(FF)FFD8～H'(FF)FFD9、H'(FF)FFDE～H'(FF)FFDF のエリアは、アクセス禁止 1：アドレス H'(FF)FF88～H'(FF)FF89、H'(FF)FF8E～H'(FF)FF8F のエリアは、IIC_1 のレジスタをアクセス アドレス H'(FF)FFA0～H'(FF)FFA1、H'(FF)FFA6～H'(FF)FFA7 のエリアは、PWMX のレジスタをアクセス アドレス H'(FF)FFD8～H'(FF)FFD9、H'(FF)FFDE～H'(FF)FFDF のエリアは、IIC_0 のレジスタをアクセス アドレス H'(FF)FEE6 のエリアは DDCSWR をアクセス RELOCATE ビットが 1 にセットされているときは、無効になります。 詳細は「3.2.4　システムコントロールレジスタ 3（SYSCR3）」「第 21 章　レジスター覧」を参照してください。
3	FLSHE	0	R/W	フラッシュメモリコントロールレジスタイネーブル フラッシュメモリのレジスタ（FCCS、FPCS、FECS、FKEY、FMATS、FTDAR）、低消費電力状態の制御レジスタ（SBYCR、LPWRCR、MSTPCRH、MSTPCRL）、および周辺モジュールの制御レジスタ（BCR2、WSCR、PCSR、SYSCR2）の CPU アクセスを制御します。 0：アドレス H'(FF)FF80～H'(FF)FF87 のエリアは、低消費電力状態および周辺モジュールの制御レジスタをアクセス アドレス H'(FF)FEA8～H'(FF)FEAE はリザーブエリア 1：アドレス H'(FF)FF80～H'(FF)FF87 エリアはリザーブエリア アドレス H'(FF)FEA8～H'(FF)FEAE はフラッシュメモリの制御レジスタをアクセス
2	－	0	R/W	リザーブビット 初期値を変更しないでください。
1 0	ICKS1 ICKS0	0 0	R/W R/W	インターナルクロックソースセレクト 1、0 タイマコントロールレジスタ（TCR）の CKS2～CKS0 ビットと組み合わせてタイマカウンタ（TCNT）に入力するクロックとカウント条件を選択します。 詳細は「12.3.4　タイマコントロールレジスタ（TCR）」を参照してください。

3.2.4 システムコントロールレジスタ 3（SYSCR3）

SYSCR3 は、レジスタマップの選択、割り込みベクタの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	－	0	R/W	リザーブビット 初期値を変更しないでください。
6	EIVS*	0	R/W	拡張割り込みベクタセレクト* 割り込みベクタテーブルの互換モードか拡張モードを選択します。 0：H8S/2140B グループ互換ベクタモード 1：拡張ベクタモード 詳細は「第 5 章　割り込みコントローラ」を参照してください。
5	RELOCATE	0	R/W	レジスタアドレスマップセレクト レジスタマップの互換モードか拡張モードを選択します。 レジスタマップ拡張モードでは、レジスタの CPU アクセス制御を SYSCR の KINWUE、STCR の IICE で切り替えることなく使用できます。 0：H8S/2140B グループレジスタマップ互換モード 1：レジスタマップ拡張モード 詳細は「第 21 章　レジスター覧」を参照してください。
4～0	－	すべて 0	R/W	リザーブビット 初期値を変更しないでください。

【注】 * 割り込みが発生しない状態で切り替えてください。

3.3 動作モードの説明

3.3.1 モード 2

CPU はアドバンスト・シングルチップモードで、アドレス空間は 16M バイトです。内蔵 ROM は有効です。

3.4 アドレスマップ

アドレスマップを図 3.1 に示します。

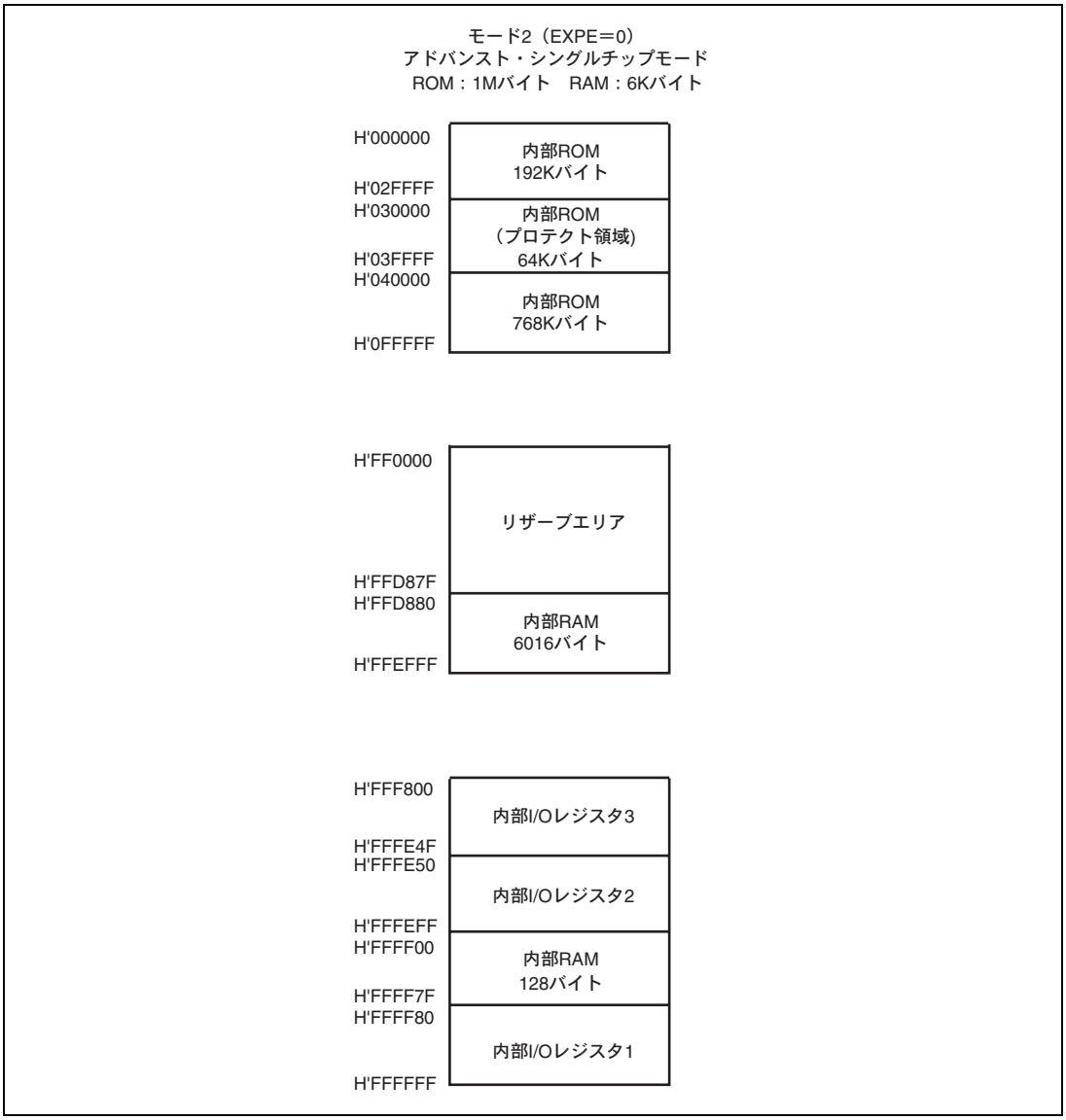


図 3.1　アドレスマップ

4. 例外処理

4.1 例外処理の種類と優先度

例外処理要因には表 4.1 に示すようにリセット、割り込み、直接遷移、およびトラップ命令があります。これらの例外処理要因には表 4.1 に示すように優先順位が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑	リセット	$\overline{\text{RES}}$ 端子の Low レベルから High レベルへの遷移時、またはウォッチドッグタイマのオーバフローにより開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。ただし、ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。
	直接遷移	SLEEP 命令の実行により、直接遷移が発生すると開始します。
↓ 低	トラップ命令	トラップ（TRAPA）命令の実行により開始します。 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

4.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。システムコントロールレジスタ 3（SYSCR3）の EIVS ビットにより、H8S/2140B グループ互換ベクタモードか、拡張ベクタモードを選択できます。例外処理要因とベクタアドレスとの対応を表 4.2、表 4.3 に示します。

表 4.2 例外処理ベクタテーブル（H8S/2140B グループ互換ベクタモード）

例外処理要因	ベクタ番号	ベクタアドレス
		アドバンストモード
リセット	0	H'000000～H'000003
システム予約	1 | 5	H'000004～H'000007 | H'000014～H000017
直接遷移	6	H'000018～H00001B
外部割り込み NMI	7	H'00001C～H'00001F

例外処理要因	ベクタ番号	ベクタアドレス アドバンストモード
トラップ命令（4 要因）	8 9 10 11	H'000020～H'000023 H'000024～H'000027 H'000028～H'00002B H'00002C～H'00002F
システム予約	12 | 15	H'000030～H'000033 | H'00003C～H'00003F
外部割り込み IRQ0 外部割り込み IRQ1 外部割り込み IRQ2 外部割り込み IRQ3 外部割り込み IRQ4 外部割り込み IRQ5 外部割り込み IRQ6、KIN7～KIN0 外部割り込み IRQ7、KIN15～KIN8、WUE7～WUE0	16 17 18 19 20 21 22 23	H'000040～H'000043 H'000044～H'000047 H'000048～H'00004B H'00004C～H'00004F H'000050～H'000053 H'000054～H'000057 H'000058～H'00005B H'00005C～H'00005F
内部割り込み*	24 | 29	H'000060～H'000063 | H'000074～H'000077
システム予約 システム予約 システム予約 外部割り込み WUE15～WUE8	30 31 32 33	H'000078～H'00007B H'00007C～H'00007F H'000080～H'000083 H'000084～H'000087
内部割り込み*	34 | 55	H'000088～H'00008B | H'0000DC～H'0000DF
外部割り込みIRQ8 外部割り込みIRQ9 外部割り込みIRQ10 外部割り込みIRQ11 外部割り込みIRQ12 外部割り込みIRQ13 外部割り込みIRQ14 外部割り込みIRQ15	56 57 58 59 60 61 62 63	H'0000E0～H'0000E3 H'0000E4～H'0000E7 H'0000E8～H'0000EB H'0000EC～H'0000EF H'0000F0～H'0000F3 H'0000F4～H'0000F7 H'0000F8～H'0000FB H'0000FC～H'0000FF
内部割り込み*	64 | 127	H'000100～H'000103 | H'0001FC～H'0001FF

【注】 * 内部割り込みのベクタテーブルは「5.5 割り込み例外処理ベクタテーブル」を参照してください。

表 4.3 例外処理ベクタテーブル（拡張ベクタモード）

例外処理要因	ベクタ番号	ベクタアドレス アドバンストモード
リセット	0	H'000000～H'000003
システム予約	1 | 5	H'000004～H'000007 | H'000014～H000017
直接遷移	6	H'000018～H00001B
外部割り込み NMI	7	H'00001C～H'00001F
トラップ命令（4 要因）	8 9 10 11	H'000020～H'000023 H'000024～H'000027 H'000028～H'00002B H'00002C～H'00002F
システム予約	12 | 15	H'000030～H'000033 | H'00003C～H'00003F
外部割り込み IRQ0 外部割り込み IRQ1 外部割り込み IRQ2 外部割り込み IRQ3 外部割り込み IRQ4 外部割り込み IRQ5 外部割り込み IRQ6 外部割り込み IRQ7	16 17 18 19 20 21 22 23	H'000040～H'000043 H'000044～H'000047 H'000048～H'00004B H'00004C～H'00004F H'000050～H'000053 H'000054～H'000057 H'000058～H'00005B H'00005C～H'00005F
内部割り込み*	24 | 29	H'000060～H'000063 | H'000074～H'000077
外部割り込み KIN7～KIN0 外部割り込み KIN15～KIN8 外部割り込み WUE7～WUE0 外部割り込み WUE15～WUE8	30 31 32 33	H'000078～H'00007B H'00007C～H'00007F H'000080～H'000083 H'000084～H'000087
内部割り込み*	34 | 55	H'000088～H'00008B | H'0000DC～H'0000DF
外部割り込みIRQ8 外部割り込みIRQ9 外部割り込みIRQ10 外部割り込みIRQ11 外部割り込みIRQ12 外部割り込みIRQ13 外部割り込みIRQ14 外部割り込みIRQ15	56 57 58 59 60 61 62 63	H'0000E0～H'0000E3 H'0000E4～H'0000E7 H'0000E8～H'0000EB H'0000EC～H'0000EF H'0000F0～H'0000F3 H'0000F4～H'0000F7 H'0000F8～H'0000FB H'0000FC～H'0000FF
内部割り込み*	64 | 127	H'000100～H'000103 | H'0001FC～H'0001FF

【注】 * 内部割り込みのベクタテーブルは「5.5 割り込み例外処理ベクタテーブル」を参照してください。

4.3 リセット

リセットは、最も優先順位の高い例外処理です。$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。本 LSI を確実にリセットするため、電源投入時は最低 20ms の間、$\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は $\overline{\text{RES}}$ 端子を最低 20 ステートの間、Low レベルに保持してください。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「**第 13 章　ウォッチドッグタイマ（WDT）**」を参照してください。

4.3.1 リセット例外処理

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理を開始し、本 LSI は次のように動作します。

1. CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化され、CCRのIビットが1にセットされます。
2. リセット例外処理ベクタアドレスをリードしてPCに転送した後、PCで示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を**図 4.1** に示します。

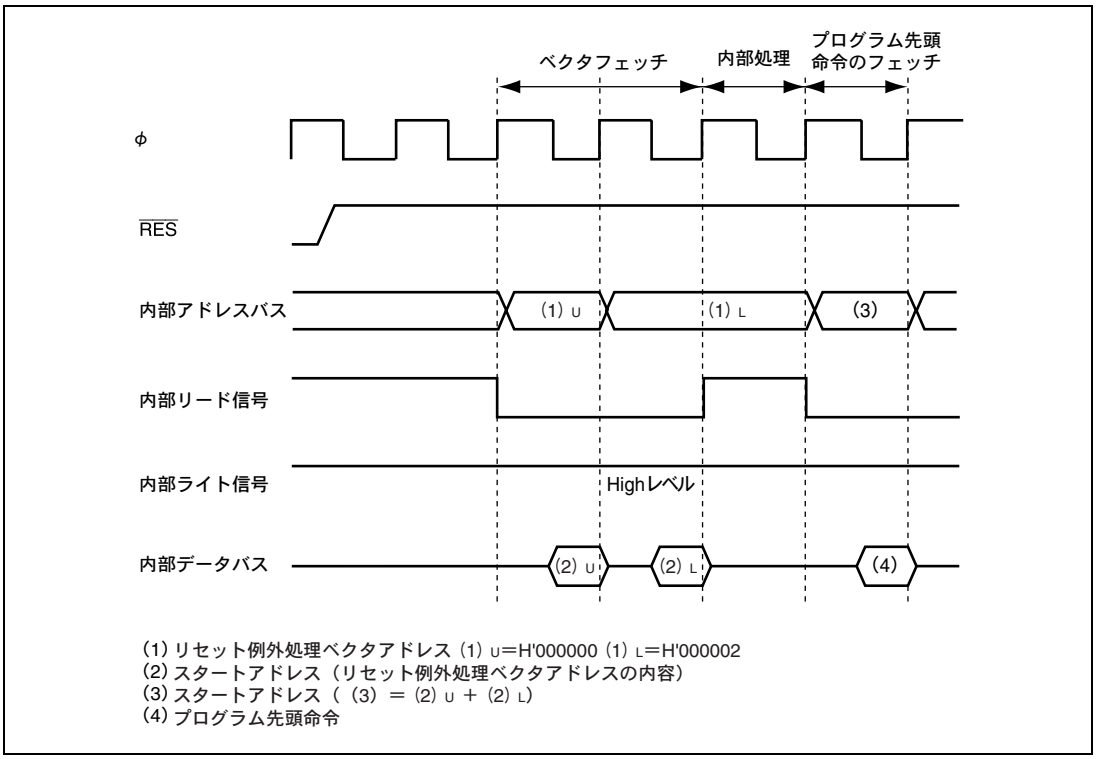


図 4.1　リセットシーケンス（モード 2）

4.3.2 リセット直後の割り込み

リセット直後、スタックポインタ（SP）を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われないため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください（例：MOV.L　#xx：32, SP）。

4.3.3 リセット解除後の内蔵周辺機能

リセット解除後は、モジュールストップコントロールレジスタ（MSTPCRH、MSTPCRL、MSTPCRA）は初期化され、すべてのモジュールがモジュールストップモードになっています。そのため、各内蔵周辺モジュールのレジスタは、リード／ライトできません。モジュールストップモードを解除することにより、レジスタのリード／ライトが可能となります。モジュールストップモードについての詳細は**「第 20 章　低消費電力状態」**を参照してください。

4.4 割り込み例外処理

割り込みは割り込みコントローラによって制御されます。割り込み例外処理を開始させる要因には、外部割り込み要因（NMI、IRQ15～IRQ0、KIN15～KIN0、WUE15～WUE0）と、内蔵周辺モジュールからの内部割り込み要因があります。NMI は最も優先順位の高い割り込みです。割り込みについての詳細は**「第 5 章　割り込みコントローラ」**を参照してください。

割り込み例外処理は、次のように動作します。

1. プログラムカウンタ（PC）とコンディションコードレジスタ（CCR）の内容をスタックに退避します。
2. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

4.5 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. プログラムカウンタ（PC）とコンディションコードレジスタ（CCR）の内容をスタックに退避します。
2. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した 0～3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.4 にトラップ命令例外処理実行後の CCR の状態を示します。

表 4.4　トラップ命令例外処理後の CCR の状態

割り込み制御モード	CCR	
	I	UI
0	1 にセット	実行前の値を保持
1	1 にセット	1 にセット

4.6　例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を図 4.2 に示します。

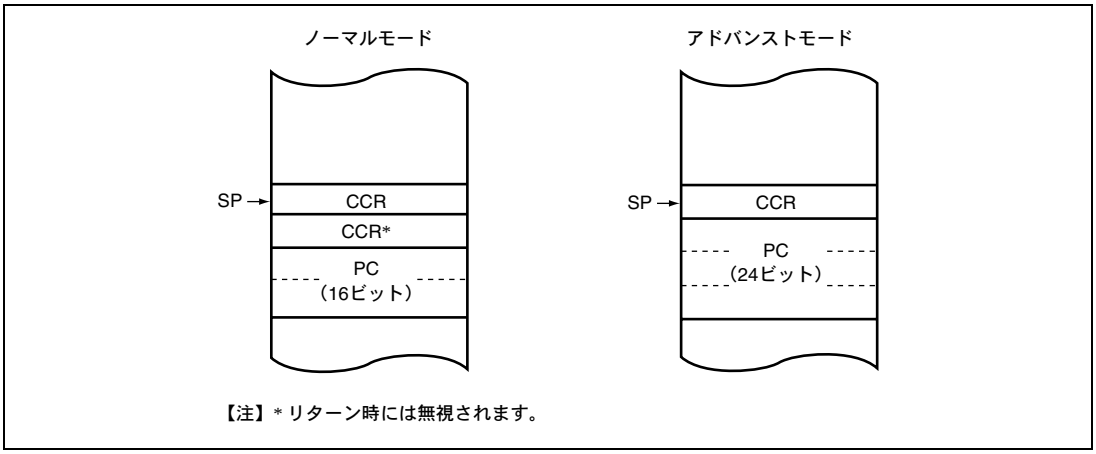


図 4.2　例外処理終了後のスタックの状態

4.7 使用上の注意事項

ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは常にワードサイズまたはロングワードサイズで行い、スタックポインタ（SP：ER7）の内容は奇数にしないでください。

すなわち、レジスタの退避は

PUSH.W Rn （MOV.W Rn, @-SP）

PUSH.L ERn （MOV.L ERn, @-SP）

また、レジスタの復帰は

POP.W Rn （MOV.W @SP+, Rn）

POP.L ERn （MOV.L @SP+, ERn）

を使用してください。

SP を奇数に設定すると誤動作の原因となります。SP を奇数に設定したときの動作例を図 4.3 に示します。

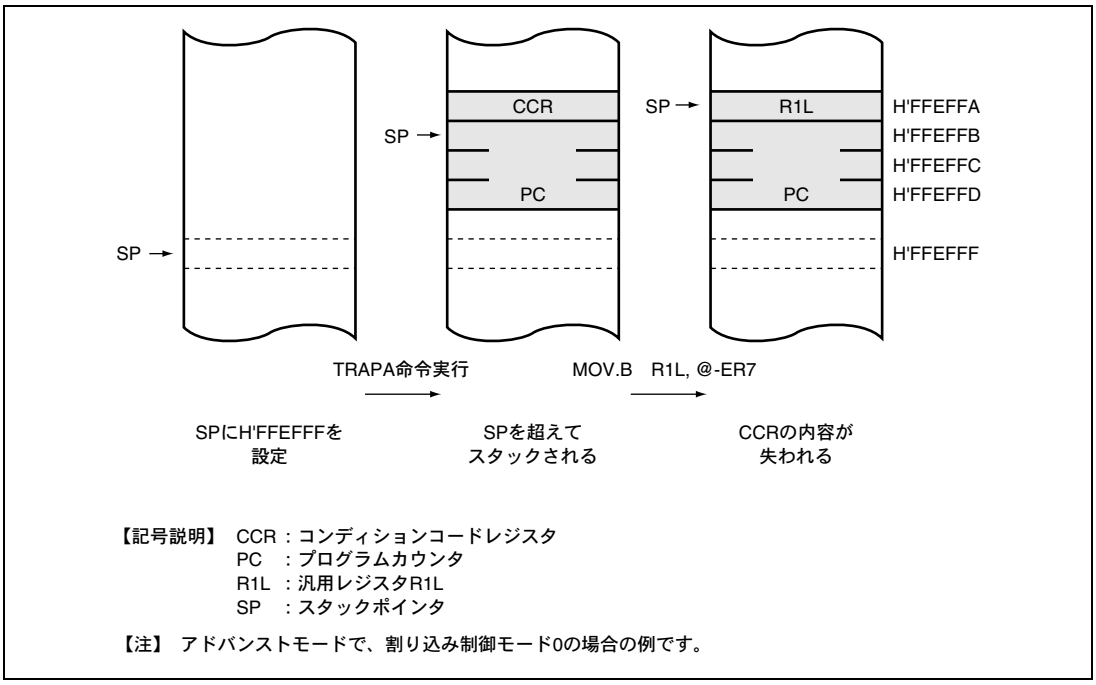


図 4.3 SP を奇数に設定したときの動作

5. 割り込みコントローラ

5.1 特長

- 2種類の割り込み制御モード

  システムコントロールレジスタ（SYSCR）のINTM1、INTM0ビットにより2種類の割り込み制御モードを設定できます。

- ICRにより、優先順位を設定可能

  インタラプトコントロールレジスタ（ICR）により、NMI以外の割り込み要求にはモジュールごとに優先順位を設定できます。

- 3レベルの割り込みマスク制御

  割り込み制御モード、CCRのI、UIビット、およびICRにより3レベルの割り込みマスク制御を行うことができます。

- 独立したベクタアドレス

  すべての割り込み要因には独立したベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。

- 49本の外部割り込み端子

  NMIは最優先の割り込みで常に受け付けられます。NMIは立ち上がりエッジまたは立ち下がりエッジを選択できます。$\overline{\text{IRQ15}}$～$\overline{\text{IRQ0}}$は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。システムコントロールレジスタ3（SYSCR3）のEIVSビットが0の場合、IRQ6割り込みは$\overline{\text{IRQ6}}$からの割り込みと$\overline{\text{KIN7}}$～$\overline{\text{KIN0}}$との兼用になっています。また、IRQ7割り込みは、$\overline{\text{IRQ7}}$からの割り込みと$\overline{\text{KIN15}}$～$\overline{\text{KIN8}}$、$\overline{\text{WUE7}}$～$\overline{\text{WUE0}}$との兼用になっています。システムコントロールレジスタ3（SYSCR3）のEIVSビットが1の場合、$\overline{\text{KIN15}}$～$\overline{\text{KIN0}}$、$\overline{\text{WUE15}}$～$\overline{\text{WUE0}}$は立ち下がりエッジで割り込みが要求されます。

- 2種類の割り込みベクタアドレスの選択が可能

  システムコントロールレジスタ3（SYSCR3）のEIVSビットにより、H8S/2140Bグループ互換のベクタアドレスか、拡張した割り込みベクタアドレスを選択できます。割り込みベクタアドレスの拡張モードではKIN7～KIN0、KIN15～KIN8、WUE7～WUE0にそれぞれ個別のベクタアドレスを割り当てることができます。

- $\overline{\text{IRQ15}}$～$\overline{\text{IRQ0}}$入力の兼用ポートの選択が可能

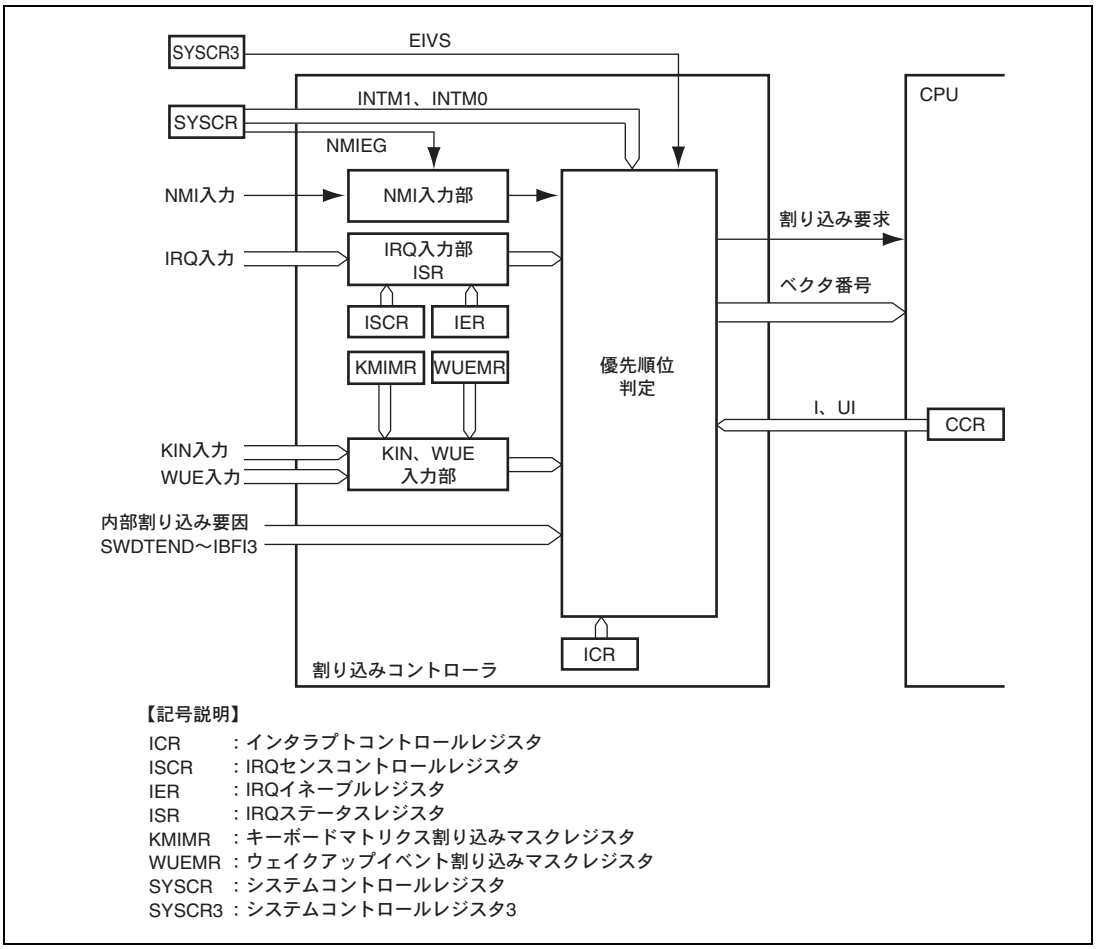


図 5.1 割り込みコントローラのブロック図

5.2 入出力端子

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

記　号	入出力	機　能
NMI	入力	ノンマスカブル外部割り込み端子 立ち上がりエッジまたは立ち下がりエッジを選択可能です。
$\overline{\text{IRQ15}}$～$\overline{\text{IRQ0}}$ $\overline{\text{ExIRQ15}}$～$\overline{\text{ExIRQ0}}$	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを独立に選択可能です。IRQ15～IRQ0 割り込みは、$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ のどの端子から入力するかを選択できます。（n＝15～0）
$\overline{\text{KIN15}}$～$\overline{\text{KIN0}}$	入力	マスク可能な外部割り込み端子 EIVS＝0 のとき 立ち下がりエッジ、レベルセンスのいずれかを選択可能です。 EIVS＝1 のとき 立ち下がりエッジで割り込みを要求します。
$\overline{\text{WUE15}}$～$\overline{\text{WUE8}}$	入力	マスク可能な外部割り込み端子 立ち下がりエッジで割り込みを要求します。
$\overline{\text{WUE7}}$～$\overline{\text{WUE0}}$	入力	マスク可能な外部割り込み端子 EIVS＝0 のとき 立ち下がりエッジ、レベルセンスのいずれかを選択可能です。 EIVS＝1 のとき 立ち下がりエッジで割り込みを要求します。

5.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。システムコントロールレジスタ（SYSCR）および システムコントロールレジスタ 3（SYSCR3）については「3.2.2　システムコントロールレジスタ（SYSCR）」、「3.2.4　システムコントロールレジスタ 3（SYSCR3）」を参照してください。

- インタラプトコントロールレジスタA～D（ICRA～ICRD）
- IRQセンスコントロールレジスタ（ISCR16H、ISCR16L、ISCRH、ISCRL）
- IRQイネーブルレジスタ（IER16、IER）
- IRQステータスレジスタ（ISR16、ISR）
- キーボードマトリクス割り込みマスクレジスタ（KMIMRA、KMIMR、TKMIMR）
  ウェイクアップイベント割り込みマスクレジスタ（WUEMR、WUEMRB）
- IRQセンスポートセレクトレジスタ16（ISSR16）IRQセンスポートセレクトレジスタ（ISSR）

5.3.1 インタラプトコントロールレジスタ A～D（ICRA～ICRD）

ICR は、NMI を除く割り込みのコントロールレベルを設定します。各割り込み要因と ICRA～ICRD の対応を表 5.2 に示します。

ビット	ビット名	初期値	R/W	説　　明
7～0	ICRn7 ～ ICRn0	すべて 0	R/W	割り込みコントロールレベル 0：対応する割り込み要因は割り込みコントロールレベル 0（非優先） 1：対応する割り込み要因は割り込みコントロールレベル 1（優先）

【注】 n：A～D

表 5.2 各割り込み要因と ICR の対応（H8S/2140B グループ互換ベクタモード EIVS＝0）

ビット	ビット名	レジスタ			
		ICRA	ICRB	ICRC	ICRD
7	ICRn7	IRQ0	A/D 変換器	－	IRQ8～IRQ11
6	ICRn6	IRQ1	FRT	SCI_1	IRQ12～IRQ15
5	ICRn5	IRQ2、IRQ3	－	SCI_2	－
4	ICRn4	IRQ4、IRQ5	－	IIC_0	WUE8～WUE15
3	ICRn3	IRQ6、IRQ7	TMR_0	IIC_1	TPU_0
2	ICRn2	－	TMR_1	－	TPU_1
1	ICRn1	WDT_0	TMR_X、TMR_Y	－	TPU_2
0	ICRn0	WDT_1	－	－	－

【注】 n：A～D

－：リザーブビットです。初期値を変更しないでください。

表 5.3 各割り込み要因と ICR の対応（拡張ベクタモード EIVS＝1）

ビット	ビット名	レジスタ			
		ICRA	ICRB	ICRC	ICRD
7	ICRn7	IRQ0	A/D 変換器	－	IRQ8～IRQ11
6	ICRn6	IRQ1	FRT	SCI_1	IRQ12～IRQ15
5	ICRn5	IRQ2、IRQ3	－	SCI_2	KIN0～KIN15
4	ICRn4	IRQ4、IRQ5	－	IIC_0	WUE0～WUE15
3	ICRn3	IRQ6、IRQ7	TMR_0	IIC_1	TPU_0
2	ICRn2	－	TMR_1	－	TPU_1
1	ICRn1	WDT_0	TMR_X 、TMR_Y	－	TPU_2
0	ICRn0	WDT_1	－	－	－

【注】 n：A～D

－：リザーブビットです。初期値を変更しないでください。

5.3.2 IRQ センスコントロールレジスタ（ISCR16H、ISCR16L、ISCRH、ISCRL）

ISCR は、$\overline{\text{IRQ15}}$～$\overline{\text{IRQ0}}$ 端子または $\overline{\text{ExIRQ15}}$～$\overline{\text{ExIRQ0}}$ 端子から割り込み要求を発生させる要因を選択します。

- ISCR16H

ビット	ビット名	初期値	R/W	説　　明
7	IRQ15SCB	0	R/W	IRQn センスコントロール B
6	IRQ15SCA	0	R/W	IRQn センスコントロール A
5	IRQ14SCB	0	R/W	B　A
4	IRQ14SCA	0	R/W	0　0：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の Low レベルで割り込み要求を発生
3	IRQ13SCB	0	R/W	0　1：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がりエッジで割り込み要求を発生
2	IRQ13SCA	0	R/W	1　0：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生
1	IRQ12SCB	0	R/W	1　1：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
0	IRQ12SCA	0	R/W	（n＝15～12）
				【注】 $\overline{\text{IRQn}}$ と $\overline{\text{ExIRQn}}$ 端子は、IRQ センスポートセレクトレジスタ 16（ISSR16）により選択します。

- ISCR16L

ビット	ビット名	初期値	R/W	説　　明
7	IRQ11SCB	0	R/W	IRQn センスコントロール B
6	IRQ11SCA	0	R/W	IRQn センスコントロール A
5	IRQ10SCB	0	R/W	B　A
4	IRQ10SCA	0	R/W	0　0：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の Low レベルで割り込み要求を発生
3	IRQ9SCB	0	R/W	0　1：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がりエッジで割り込み要求を発生
2	IRQ9SCA	0	R/W	1　0：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生
1	IRQ8SCB	0	R/W	1　1：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
0	IRQ8SCA	0	R/W	（n＝11～8）
				【注】 $\overline{\text{IRQn}}$ と $\overline{\text{ExIRQn}}$ 端子は、IRQ センスポートセレクトレジスタ 16（ISSR16）により選択します。

- ISCRH

ビット	ビット名	初期値	R/W	説　　明
7	IRQ7SCB	0	R/W	IRQn センスコントロール B
6	IRQ7SCA	0	R/W	IRQn センスコントロール A
5	IRQ6SCB	0	R/W	B　A
4	IRQ6SCA	0	R/W	0　0：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の Low レベルで割り込み要求を発生
3	IRQ5SCB	0	R/W	0　1：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がりエッジで割り込み要求を発生
2	IRQ5SCA	0	R/W	1　0：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生
1	IRQ4SCB	0	R/W	1　1：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
0	IRQ4SCA	0	R/W	（n＝7～4）
				【注】 $\overline{\text{IRQn}}$ と $\overline{\text{ExIRQn}}$ 端子は、IRQ センスポートセレクトレジスタ（ISSR）により選択します。

- ISCRL

ビット	ビット名	初期値	R/W	説　　明
7	IRQ3SCB	0	R/W	IRQn センスコントロール B
6	IRQ3SCA	0	R/W	IRQn センスコントロール A
5	IRQ2SCB	0	R/W	B　A
4	IRQ2SCA	0	R/W	0　0：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の Low レベルで割り込み要求を発生
3	IRQ1SCB	0	R/W	0　1：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がりエッジで割り込み要求を発生
2	IRQ1SCA	0	R/W	1　0：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生
1	IRQ0SCB	0	R/W	1　1：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
0	IRQ0SCA	0	R/W	（n＝3～0）
				【注】 $\overline{\text{IRQn}}$ と $\overline{\text{ExIRQn}}$ 端子は、IRQ センスポートセレクトレジスタ（ISSR）により選択します。

5.3.3 IRQ イネーブルレジスタ（IER16、IER）

IER は、IRQ15～IRQ0 割り込み要求をイネーブルにします。

- IER16

ビット	ビット名	初期値	R/W	説　明
7	IRQ15E	0	R/W	IRQn イネーブル
6	IRQ14E	0	R/W	このビットが 1 のとき IRQn 割り込み要求がイネーブルになります。
5	IRQ13E	0	R/W	（n＝15～8）
4	IRQ12E	0	R/W	
3	IRQ11E	0	R/W	
2	IRQ10E	0	R/W	
1	IRQ9E	0	R/W	
0	IRQ8E	0	R/W	

- IER

ビット	ビット名	初期値	R/W	説　明
7	IRQ7E	0	R/W	IRQn イネーブル
6	IRQ6E	0	R/W	このビットが 1 のとき IRQn 割り込み要求がイネーブルになります。
5	IRQ5E	0	R/W	（n＝7～0）
4	IRQ4E	0	R/W	
3	IRQ3E	0	R/W	
2	IRQ2E	0	R/W	
1	IRQ1E	0	R/W	
0	IRQ0E	0	R/W	

5.3.4 IRQ ステータスレジスタ（ISR16、ISR）

ISR は、IRQ15～IRQ0 割り込み要求フラグレジスタです。

- ISR16

ビット	ビット名	初期値	R/W	説　明
7	IRQ15F	0	R/(W)*	［セット条件］ • ISCR16 で選択した割り込み要因が発生したとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき • Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力が High レベルの状態で、割り込み例外処理を実行したとき • 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき （n＝15～8） 【注】 $\overline{\text{IRQn}}$ と $\overline{\text{ExIRQn}}$ 端子は、IRQ センスポートセレクトレジスタ 16（ISSR16）により選択します。
6	IRQ14F	0	R/(W)*	
5	IRQ13F	0	R/(W)*	
4	IRQ12F	0	R/(W)*	
3	IRQ11F	0	R/(W)*	
2	IRQ10F	0	R/(W)*	
1	IRQ9F	0	R/(W)*	
0	IRQ8F	0	R/(W)*	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

- ISR

ビット	ビット名	初期値	R/W	説　明
7	IRQ7F	0	R/(W)*	［セット条件］ • ISCR で選択した割り込み要因が発生したとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき • Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力が High レベルの状態で、割り込み例外処理を実行したとき • 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき （n＝7～0） 【注】 $\overline{\text{IRQn}}$ と $\overline{\text{ExIRQn}}$ 端子は、IRQ センスポートセレクトレジスタ（ISSR）により選択します。
6	IRQ6F	0	R/(W)*	
5	IRQ5F	0	R/(W)*	
4	IRQ4F	0	R/(W)*	
3	IRQ3F	0	R/(W)*	
2	IRQ2F	0	R/(W)*	
1	IRQ1F	0	R/(W)*	
0	IRQ0F	0	R/(W)*	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

5.3.5 キーボードマトリクス割り込みマスクレジスタ（KMIMRA、KMIMR）ウェイクアップイベント割り込みマスクレジスタ（WUEMR、WUEMRB）

KMIMRA、KMIMR、WUEMR、WUEMRB は、キーセンス割り込み入力（$\overline{\text{KIN15}}$～$\overline{\text{KIN0}}$）およびウェイクアップイベント割り込み入力（$\overline{\text{WUE15}}$～$\overline{\text{WUE0}}$）のマスク制御を行います。

- KMIMRA

ビット	ビット名	初期値	R/W	説　明
7	KMIMR15	1	R/W	キーボードマトリクス割り込みマスク
6	KMIMR14	1	R/W	キーセンス入力割り込み要求（KIN15～KIN8）を制御します。
5	KMIMR13	1	R/W	0：キーセンス入力割り込み要求を許可
4	KMIMR12	1	R/W	1：キーセンス入力割り込み要求を禁止
3	KMIMR11	1	R/W	
2	KMIMR10	1	R/W	
1	KMIMR9	1	R/W	
0	KMIMR8	1	R/W	

- KMIMR

ビット	ビット名	初期値	R/W	説　明
7	KMIMR7	1	R/W	キーボードマトリクス割り込みマスク
6	KMIMR6	0	R/W	キーセンス入力割り込み要求（KIN7～KIN0）を制御します。
5	KMIMR5	1	R/W	0：キーセンス入力割り込み要求を許可
4	KMIMR4	1	R/W	1：キーセンス入力割り込み要求を禁止
3	KMIMR3	1	R/W	KMIMR6 は EIVS=0 のとき IRQ6 端子割り込み要求のマスク制御も同時に行います。EIVS=1 とすると本ビットは 1 にセットされます。
2	KMIMR2	1	R/W	
1	KMIMR1	1	R/W	
0	KMIMR0	1	R/W	

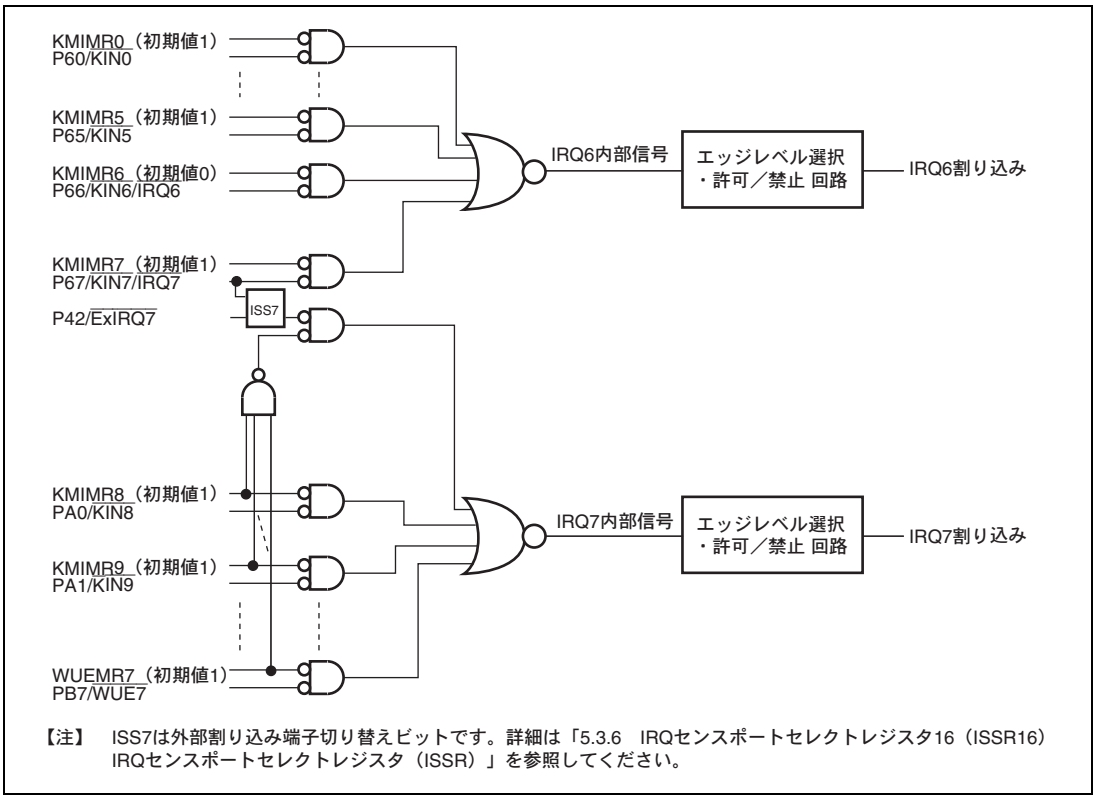
- WUEMR

ビット	ビット名	初期値	R/W	説　明
7	WUEMR15	1	R/W	ウェイクアップイベント割り込みマスク
6	WUEMR14	1	R/W	ウェイクアップイベント入力割り込み要求（WUE15～WUE8）を制御します。
5	WUEMR13	1	R/W	0：ウェイクアップイベント入力割り込み要求を許可
4	WUEMR12	1	R/W	1：ウェイクアップイベント入力割り込み要求を禁止
3	WUEMR11	1	R/W	
2	WUEMR10	1	R/W	
1	WUEMR9	1	R/W	
0	WUEMR8	1	R/W	

- WUEMRB

ビット	ビット名	初期値	R/W	説　　明
7	WUEMR7	1	R/W	ウェイクアップイベント割り込みマスク
6	WUEMR6	1	R/W	ウェイクアップイベント入力割り込み要求（WUE7～WUE0）を制御します。
5	WUEMR5	1	R/W	0：ウェイクアップイベント入力割り込み要求を許可
4	WUEMR4	1	R/W	1：ウェイクアップイベント入力割り込み要求を禁止
3	WUEMR3	1	R/W	
2	WUEMR2	1	R/W	
1	WUEMR1	1	R/W	
0	WUEMR0	1	R/W	

H8S/2140B グループ互換ベクタモードでの IRQ7、IRQ6 割り込みおよび WUE7～WUE0 割り込み、KMIMR、KMIMRA、WUEMRB との関係を図 5.2 に示します。また、拡張ベクタモードでの関係を図 5.3 に示します。



【注】 ISS7は外部割り込み端子切り替えビットです。詳細は「5.3.6 IRQセンスポートセレクトレジスタ16（ISSR16）IRQセンスポートセレクトレジスタ（ISSR）」を参照してください。

図 5.2 IRQ7、IRQ6 割り込みと KIN15～KIN0 割り込みおよび WUE7～WUE0 割り込み、KMIMR、KMIMRA、WUEMRB との関係（H8S/2140B グループ互換ベクタモード EIVS=0）

H8S/2140B グループ互換ベクタモードのときは、KMIMR15～KMKMR8 および WUEMR7～WUEMR0 の 1 ビットでも 0 にクリアされていると、$\overline{\text{IRQ7}}$ 端子からの割り込み入力が無視されます。また、$\overline{\text{KIN7}}$～$\overline{\text{KIN0}}$ 端子、あるいは $\overline{\text{KIN15}}$～$\overline{\text{KIN8}}$ 端子および $\overline{\text{WUE7}}$～$\overline{\text{WUE0}}$ 端子を、キーセンス割り込み入力端子またはウェイクアップ割り込み入力端子として使用する場合は、それぞれ対応する割り込み要因（IRQ6 あるいは IRQ7）の割り込みセンス条件を、必ず Low レベルセンスまたは立ち下りエッジセンスに設定してください。また、$\overline{\text{ExIRQ6}}$ 端子からの割り込み入力はできません。

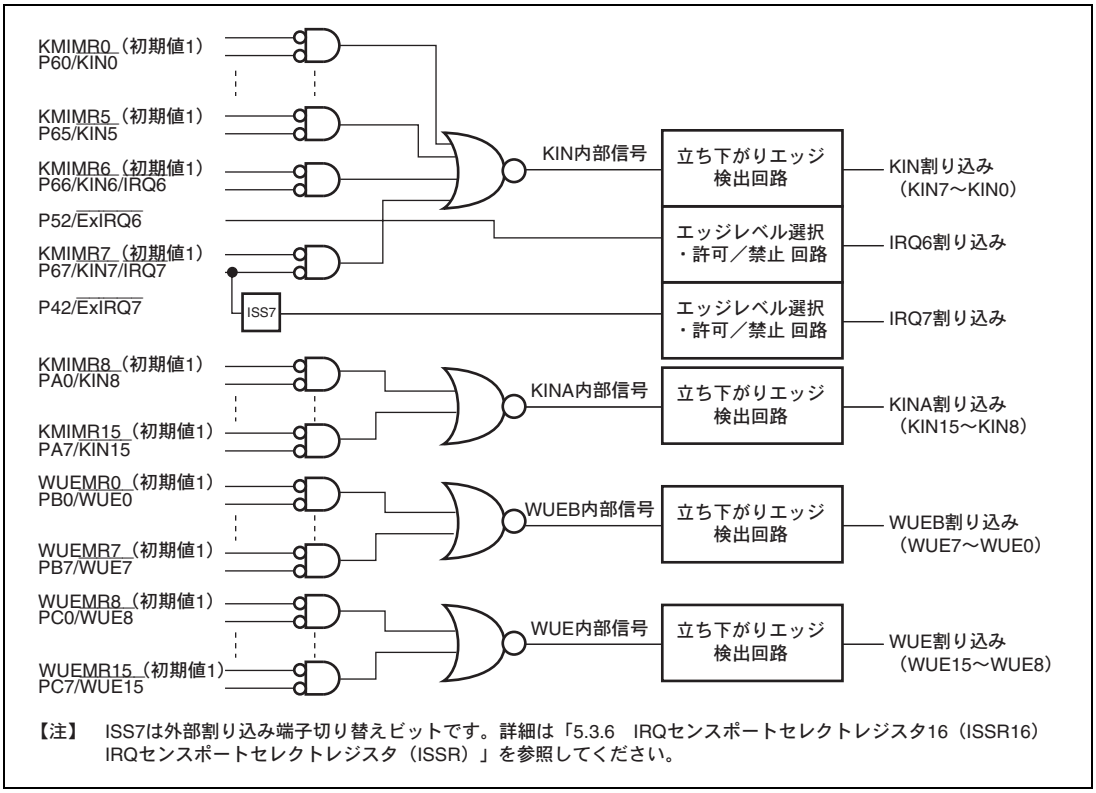


図 5.3　IRQ7、IRQ6 割り込みと KIN15～KIN0 割り込みおよび WUE15～WUE0 割り込み、
KMIMR、KMIMRA、WUEMRB、WUEMR との関係（拡張ベクタモード　EIVS=1）

拡張ベクタモードでは KMIMR6 の初期値は 1 となり $\overline{\text{IRQ6}}$ 端子割り込みの制御は行いません。IRQ6 割り込みは $\overline{\text{ExIRQ6}}$ 端子からの割り込み入力となります。

5.3.6 IRQ センスポートセレクトレジスタ 16（ISSR16）
IRQ センスポートセレクトレジスタ（ISSR）

ISSR16、ISSR は、IRQ15～IRQ0 割り込みの外部入力を $\overline{\text{IRQ15}}$～$\overline{\text{IRQ0}}$ 端子と $\overline{\text{ExIRQ15}}$～$\overline{\text{ExIRQ0}}$ 端子から選択します。

- ISSR16

ビット	ビット名	初期値	R/W	説　　明
7	ISS15	0	R/W	0：P97/$\overline{\text{IRQ15}}$ を選択します。 1：PG7/$\overline{\text{ExIRQ15}}$ を選択します。
6	ISS14	0	R/W	0：P95/$\overline{\text{IRQ14}}$ を選択します。 1：PG6/$\overline{\text{ExIRQ14}}$ を選択します。
5	ISS13	0	R/W	0：P94/$\overline{\text{IRQ13}}$ を選択します。 1：PG5/$\overline{\text{ExIRQ13}}$ を選択します。
4	ISS12	0	R/W	0：P93/$\overline{\text{IRQ12}}$ を選択します。 1：PG4/$\overline{\text{ExIRQ12}}$ を選択します。
3	ISS11	0	R/W	0：PF3/$\overline{\text{IRQ11}}$ を選択します。 1：PG3/$\overline{\text{ExIRQ11}}$ を選択します。
2	ISS10	0	R/W	0：PF2/$\overline{\text{IRQ10}}$ を選択します。 1：PG2/$\overline{\text{ExIRQ10}}$ を選択します。
1	ISS9	0	R/W	0：PF1/$\overline{\text{IRQ9}}$ を選択します。 1：PG1/$\overline{\text{ExIRQ9}}$ を選択します。
0	ISS8	0	R/W	0：PF0/$\overline{\text{IRQ8}}$ を選択します。 1：PG0/$\overline{\text{ExIRQ8}}$ を選択します。

- ISSR

ビット	ビット名	初期値	R/W	説　　明
7	ISS7	0	R/W	0：P67/$\overline{\text{IRQ7}}$ を選択します。 1：P42/$\overline{\text{ExIRQ7}}$ を選択します。
6	—	0	R/W	リザーブビット 初期値を変更しないでください。
5	ISS5	0	R/W	0：P86/$\overline{\text{IRQ5}}$ を選択します。 1：P75/$\overline{\text{ExIRQ5}}$ を選択します。
4	ISS4	0	R/W	0：P85/$\overline{\text{IRQ4}}$ を選択します。 1：P74/$\overline{\text{ExIRQ4}}$ を選択します。
3	ISS3	0	R/W	0：P84/$\overline{\text{IRQ3}}$ を選択します。 1：P73/$\overline{\text{ExIRQ3}}$ を選択します。
2	ISS2	0	R/W	0：P90/$\overline{\text{IRQ2}}$ を選択します。 1：P72/$\overline{\text{ExIRQ2}}$ を選択します。
1	ISS1	0	R/W	0：P91/$\overline{\text{IRQ1}}$ を選択します。 1：P71/$\overline{\text{ExIRQ1}}$ を選択します。
0	ISS0	0	R/W	0：P92/$\overline{\text{IRQ0}}$ を選択します。 1：P70/$\overline{\text{ExIRQ0}}$ を選択します。

5.4 割り込み要因

5.4.1 外部割り込み要因

外部割り込みには、NMI、IRQ15～IRQ0、KIN15～KIN0、WUE15～WUE0 の割り込み要因があります。これらは、すべてソフトウェアスタンバイモードからの復帰に使用できます。

（1） NMI 割り込み

ノンマスカブル割り込み要求 NMI は最優先の外部割り込み要求で、割り込み制御モードや CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジと立ち下がりエッジのいずれで割り込み要求を発生させるか、SYSCR の NMIEG ビットで選択できます。

（2） IRQ15～IRQ0 割り込み

IRQ15～IRQ0 割り込みは $\overline{\text{IRQ15}}$～$\overline{\text{IRQ0}}$ 端子または $\overline{\text{ExIRQ15}}$～$\overline{\text{ExIRQ0}}$ 端子の入力信号により割り込み要求を発生します。IRQ15～IRQ0 割り込みには以下の特長があります。

- IRQ15～IRQ0割り込み要求により、独立のベクタアドレスで割り込み例外処理を開始できます。
- $\overline{\text{IRQ15}}$～$\overline{\text{IRQ0}}$端子または$\overline{\text{ExIRQ15}}$～$\overline{\text{ExIRQ0}}$端子のLowレベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれで割り込み要求を発生させるか、ISCRで選択できます。
- IRQ15～IRQ0割り込み要求はIERによりマスクできます。
- IRQ15～IRQ0割り込み要求のステータスは、ISRに表示されます。ISRのフラグはソフトウェアで0にクリアすることができます。

IRQ15～IRQ0 割り込み要求を $\overline{\text{IRQn}}$ 入力の Low レベルで発生するようにした場合､割り込み要求時には当該 $\overline{\text{IRQ}}$ 入力を割り込み処理開始まで Low レベルに保持してください。その後、割り込み処理ルーチン内で、当該 $\overline{\text{IRQ}}$ 入力を High レベルに戻し、かつ ISR の IRQnF ビット（n＝15～0）を 0 にクリアしてください。割り込み処理開始前に、当該 IRQ 入力を High レベルに戻すと当該割り込みが実行されない場合があります。

IRQ15～IRQ0 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応するポートの DDR を 0 にクリアしてそのほかの機能の入出力端子としては使用しないでください。

IRQ15～IRQ0 割り込みのブロック図を図 5.4 に示します。

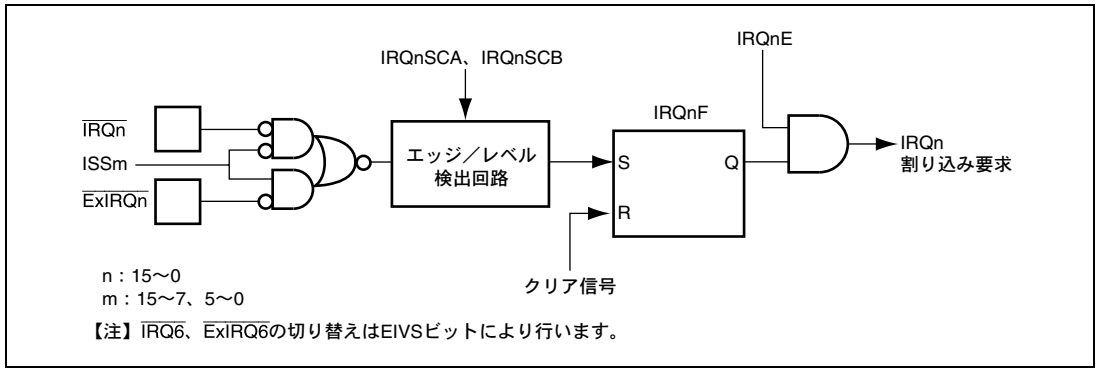


図 5.4　IRQ15～IRQ0 割り込みのブロック図

（3） KIN15～KIN0 割り込み、WUE15～WUE0 割り込み

KIN15～KIN0、WUE15～WUE0 割り込みは、$\overline{\text{KIN15}}$～$\overline{\text{KIN0}}$、$\overline{\text{WUE15}}$～$\overline{\text{WUE0}}$ 端子の入力信号により要求されます。システムコントロールレジスタ 3（SYSCR3）の EIVS ビットにより、KIN15～KIN0、WUE15～WUE0 割り込みには以下の特長があります。

（a） H8S/2140B グループ互換ベクタモード（SYSCR3 の EIVS ビットが 0 の場合）

- WUE7～WUE0割り込みおよびKIN15～KIN8割り込みはIRQ7割り込み、KIN7～KIN0割り込みはIRQ6割り込みとなります。割り込み要求の発生の端子条件、割り込み要求の許可、割り込みコントロールレベルの設定、および割り込み要求のステータス表示は、IRQ7およびIRQ6割り込みの各設定、表示に従います。WUE15～WUE8割り込みについてはIRQ6およびIRQ7とは関係なく割り込みの設定が可能です。
- KIN15～KIN0、WUE15～WUE0割り込み要求はKMIMRA、KMIMR、WUEMRB、WUEMRによりマスクできます。
- $\overline{\text{KIN7}}$～$\overline{\text{KIN0}}$端子あるいは$\overline{\text{WUE15}}$～$\overline{\text{WUE8}}$端子および$\overline{\text{WUE7}}$～$\overline{\text{WUE0}}$端子をキーセンス割り込みおよびウェイクアップ割り込み入力端子として使用する場合は、それぞれの対応する割り込み要因（IRQ6あるいはIRQ7）の割り込みセンス条件をLowレベルセンスまたは立ち下がりエッジセンスに設定する必要があります。
- $\overline{\text{IRQ6}}$端子をIRQ6割り込み入力端子として使用する場合は、KMIMR6ビットを 0 にクリアしてください。また、$\overline{\text{IRQ7}}$端子をIRQ7割り込み入力端子として使用する場合は、必ずKMIMR15～KMIMR8およびWUEMR7～WUEMR0の各ビットをすべて 1 にセットしてください。いずれか 1 ビットでも 0 にクリアされていると、$\overline{\text{IRQ7}}$端子からのIRQ7割り込みが無視されます。

（b） 拡張ベクタモード（SYSCR3 の EIVS ビットが 1 の場合）

- KIN15～KIN8、KIN7～KIN0、WUE15～WUE8、WUE7～WUE0の各々がひとつのグループとなっています。同一グループの割り込み要求は、同一のベクタアドレスから割り込み例外処理を開始します。
- $\overline{\text{KIN15}}$～$\overline{\text{KIN0}}$、$\overline{\text{WUE15}}$～$\overline{\text{WUE0}}$端子の立ち下がりエッジで割り込み要求を発生します。
- KIN15～KIN0、WUE15～WUE0割り込み要求はKMIMRA、KMIMR、WUEMRB、WUEMRによりマスクできます。

- KIN15～KIN0、WUE15～WUE0割り込み要求のステータスは表示されません。

  IRQ6割り込みは$\overline{\text{ExIRQ6}}$端子のみ有効となります。$\overline{\text{IRQ6}}$端子はKIN割り込みのみ有効となり$\overline{\text{KIN6}}$端子となります。またこのとき、KMIMR6の初期値は1となります。IRQ7割り込みはISS7ビットの切り替えにより$\overline{\text{IRQ7}}$端子および$\overline{\text{ExIRQ7}}$端子の選択ができ、KMIMR15～KMIMR8、WUEMR7～WUEMR0に依存しません。KIN15～KIN0、WUE15～WUE0割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応するポートのDDRを0にクリアしてそのほかの機能の入出力端子としては使用しないでください。

  KIN15～KIN0、WUE15～WUE0割り込みのブロック図を図5.5に示します。

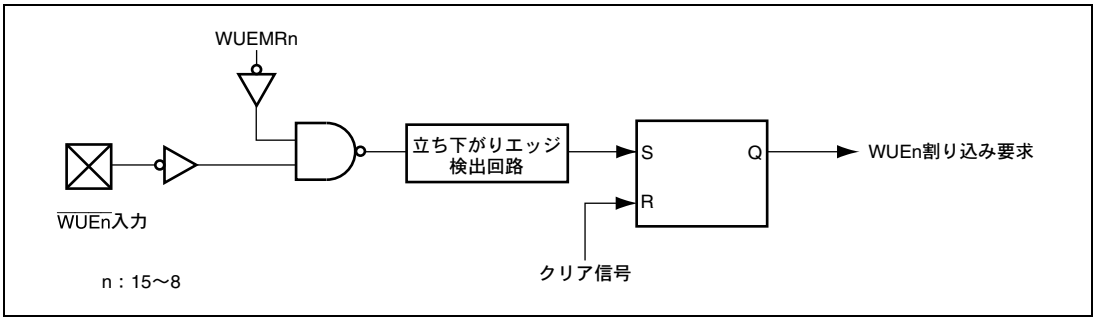


図 5.5　KIN15～KIN0、WUE15～WUE0 割り込みのブロック図（WUE15～WUE8 の例）

5.4.2　内部割り込み要因

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

1. 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグと、これらの割り込みイネーブルビットがあり、独立にマスクすることができます。イネーブルビットが1のとき割り込み要求が割り込みコントローラに送られます。
2. ICRによって割り込みのコントロールレベルを設定できます。

5.5 割り込み例外処理ベクタテーブル

表 5.4、表 5.5 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。ベクタアドレスはシステムコントロールレジスタ 3（SYSCR3）の EIVS ビットで H8S/2140B グループ互換モードと拡張モードを選択可能です。

デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。同一優先順位に設定されたモジュールはデフォルトの優先順位に従います。モジュール内の優先順位は固定されています。

ICR のビットが割り当てられているモジュールは、割り込みコントロールレベルを設定することができます。割り込みコントロールレベルと CCR の I、UI ビットにより、コントロールレベル 1（優先）に設定したモジュールの割り込みは、コントロールレベル 0（非優先）に設定したモジュールの割り込みより優先して処理できます。

表 5.4 割り込み要因とベクタアドレスおよび割り込み優先順位一覧（H8S/2140B グループ互換ベクタモード）

割り込み要因発生元	名　称	ベクタ番号	ベクタアドレス アドバンストモード	ICR	優先順位
外部端子	NMI	7	H'00001C	－	高
	IRQ0	16	H'000040	ICRA7	▲
	IRQ1	17	H'000044	ICRA6	
	IRQ2	18	H'000048	ICRA5	
	IRQ3	19	H'00004C		
	IRQ4	20	H'000050	ICRA4	
	IRQ5	21	H'000054		
	IRQ6、KIN7～KIN0	22	H'000058	ICRA3	
	IRQ7、KIN15～KIN8、WUE7～WUE0	23	H'00005C		
－	システム予約	24	H'000060	ICRA2	
WDT_0	WOVI0（インターバルタイマ）	25	H'000064	ICRA1	
WDT_1	WOVI1（インターバルタイマ）	26	H'000068	ICRA0	
－	システム予約	27	H'00006C	－	
A/D 変換器	ADI（A/D 変換終了）	28	H'000070	ICRB7	
－	システム予約	29	H'000074	－	
	システム予約	30	H'000078		
	システム予約	31	H'00007C		
外部端子	システム予約	32	H'000080	ICRD4	
	WUE15～WUE8	33	H'000084		
TPU_0	TGI0A（TGR0A インプットキャプチャ／コンペアマッチ）	34	H'000088	ICRD3	
	TGI0B（TGR0B インプットキャプチャ／コンペアマッチ）	35	H'00008C		
	TGI0C（TGR0C インプットキャプチャ／コンペアマッチ）	36	H'000090		
	TGI0D（TGR0D インプットキャプチャ／コンペアマッチ）	37	H'000094		
	TGI0V（オーバフロー0）	38	H'000098		低

割り込み要因発生元	名　　称	ベクタ番号	ベクタアドレス アドバンストモード	ICR	優先順位
TPU_1	TGI1A（TGR1A インプットキャプチャ／コンペアマッチ）	39	H'00009C	ICRD2	高
	TGI1B（TGR1B インプットキャプチャ／コンペアマッチ）	40	H'0000A0		▲
	TGI1V（オーバフロー1）	41	H'0000A4		
	TGI1U（アンダフロー1）	42	H'0000A8		
TPU_2	TGI2A（TGR2A インプットキャプチャ／コンペアマッチ）	43	H'0000AC	ICRD1	
	TGI2B（TGR2B インプットキャプチャ／コンペアマッチ）	44	H'0000B0		
	TGI2V（オーバフロー2）	45	H'0000B4		
	TGI2U（アンダフロー2）	46	H'0000B8		
	システム予約	47	H'0000BC		
FRT	ICIA（インプットキャプチャ A）	48	H'0000C0	ICRB6	
	ICIB（インプットキャプチャ B）	49	H'0000C4		
	ICIC（インプットキャプチャ C）	50	H'0000C8		
	ICID（インプットキャプチャ D）	51	H'0000CC		
	OCIA（アウトプットコンペア A）	52	H'0000D0		
	OCIB（アウトプットコンペア B）	53	H'0000D4		
	FOVI（オーバフロー）	54	H'0000D8		
	システム予約	55	H'0000DC		
外部端子	IRQ8	56	H'0000E0	ICRD7	
	IRQ9	57	H'0000E4		
	IRQ10	58	H'0000E8		
	IRQ11	59	H'0000EC		
	IRQ12	60	H'0000F0	ICRD6	
	IRQ13	61	H'0000F4		
	IRQ14	62	H'0000F8		
	IRQ15	63	H'0000FC		
TMR_0	CMIA0（コンペアマッチ A）	64	H'000100	ICRB3	
	CMIB0（コンペアマッチ B）	65	H'000104		
	OVI0（オーバフロー）	66	H'000108		
	システム予約	67	H'00010C		
TMR_1	CMIA1（コンペアマッチ A）	68	H'000110	ICRB2	
	CMIB1（コンペアマッチ B）	69	H'000114		
	OVI1（オーバフロー）	70	H'000118		
	システム予約	71	H'00011C		
TMR_X TMR_Y	CMIAY（コンペアマッチ A）	72	H'000120	ICRB1	
	CMIBY（コンペアマッチ B）	73	H'000124		
	OVIY（オーバフロー）	74	H'000128		
	ICIX （インプットキャプチャ）	75	H'00012C		
	CMIAX（コンペアマッチ A）	76	H'000130		
	CMIBX（コンペアマッチ B）	77	H'000134		
	OVIX（オーバフロー）	78	H'000138		低

割り込み要因発生元	名　　称	ベクタ番号	ベクタアドレス アドバンストモード	ICR	優先順位
－	システム予約	79	H'00013C	－	高
	システム予約	80	H'000140		▲
	システム予約	81	H'000144		
	システム予約	82	H'000148		
	システム予約	83	H'00014C		
SCI_1	ERI1（受信エラー1）	84	H'000150	ICRC6	
	RXI1（受信完了 1）	85	H'000154		
	TXI1（送信データエンプティ 1）	86	H'000158		
	TEI1（送信終了 1）	87	H'00015C		
SCI_2	ERI2（受信エラー2）	88	H'000160	ICRC5	
	RXI2（受信完了 2）	89	H'000164		
	TXI2（送信データエンプティ 2）	90	H'000168		
	TEI2（送信終了 2）	91	H'00016C		
IIC_0	IICI0（1 バイト送信／受信完了）	92	H'000170	ICRC4	
	システム予約	93	H'000174		
IIC_1	IICI1（1 バイト送信／受信完了）	94	H'000178	ICRC3	
	システム予約	95	H'00017C		
－	システム予約	96	H'000180	－	
		|	|		
		127	H'0001FC		低

表 5.5 割り込み要因とベクタアドレスおよび割り込み優先順位一覧（拡張ベクタモード）

割り込み要因発生元	名　　称	ベクタ番号	ベクタアドレス アドバンストモード	ICR	優先順位
外部端子	NMI	7	H'00001C	－	高
	IRQ0	16	H'000040	ICRA7	▲
	IRQ1	17	H'000044	ICRA6	
	IRQ2	18	H'000048	ICRA5	
	IRQ3	19	H'00004C		
	IRQ4	20	H'000050	ICRA4	
	IRQ5	21	H'000054		
	IRQ6	22	H'000058	ICRA3	
	IRQ7	23	H'00005C		
－	システム予約	24	H'000060	ICRA2	
WDT_0	WOVI0（インターバルタイマ）	25	H'000064	ICRA1	
WDT_1	WOVI1（インターバルタイマ）	26	H'000068	ICRA0	
－	システム予約	27	H'00006C	－	
A/D 変換器	ADI（A/D 変換終了）	28	H'000070	ICRB7	
－	システム予約	29	H'000074	－	
外部端子	KIN7～KIN0	30	H'000078	ICRD5	
	KIN15～KIN8	31	H'00007C		
外部端子	WUE7～WUE0	32	H'000080	ICRD4	
	WUE15～WUE8	33	H'000084		
TPU_0	TGI0A（TGR0A インプットキャプチャ／コンペアマッチ）	34	H'000088	ICRD3	
	TGI0B（TGR0B インプットキャプチャ／コンペアマッチ）	35	H'00008C		
	TGI0C（TGR0C インプットキャプチャ／コンペアマッチ）	36	H'000090		
	TGI0D（TGR0D インプットキャプチャ／コンペアマッチ）	37	H'000094		
	TGI0V（オーバフロー0）	38	H'000098		
TPU_1	TGI1A（TGR1A インプットキャプチャ／コンペアマッチ）	39	H'00009C	ICRD2	
	TGI1B（TGR1B インプットキャプチャ／コンペアマッチ）	40	H'0000A0		
	TGI1V（オーバフロー1）	41	H'0000A4		
	TGI1U（アンダフロー1）	42	H'0000A8		
TPU_2	TGI2A（TGR2A インプットキャプチャ／コンペアマッチ）	43	H'0000AC	ICRD1	
	TGI2B（TGR2B インプットキャプチャ／コンペアマッチ）	44	H'0000B0		
	TGI2V（オーバフロー2）	45	H'0000B4		
	TGI2U（アンダフロー2）	46	H'0000B8		
	システム予約	47	H'0000BC		低

割り込み要因発生元	名　称	ベクタ番号	ベクタアドレス アドバンストモード	ICR	優先順位
FRT	ICIA（インプットキャプチャ A）	48	H'0000C0	ICRB6	高
	ICIB（インプットキャプチャ B）	49	H'0000C4		▲
	ICIC（インプットキャプチャ C）	50	H'0000C8		
	ICID（インプットキャプチャ D）	51	H'0000CC		
	OCIA（アウトプットコンペア A）	52	H'0000D0		
	OCIB（アウトプットコンペア B）	53	H'0000D4		
	FOVI（オーバフロー）	54	H'0000D8		
	システム予約	55	H'0000DC		
外部端子	IRQ8	56	H'0000E0	ICRD7	
	IRQ9	57	H'0000E4		
	IRQ10	58	H'0000E8		
	IRQ11	59	H'0000EC		
	IRQ12	60	H'0000F0	ICRD6	
	IRQ13	61	H'0000F4		
	IRQ14	62	H'0000F8		
	IRQ15	63	H'0000FC		
TMR_0	CMIA0（コンペアマッチ A）	64	H'000100	ICRB3	
	CMIB0（コンペアマッチ B）	65	H'000104		
	OVI0（オーバフロー）	66	H'000108		
	システム予約	67	H'00010C		
TMR_1	CMIA1（コンペアマッチ A）	68	H'000110	ICRB2	
	CMIB1（コンペアマッチ B）	69	H'000114		
	OVI1（オーバフロー）	70	H'000118		
	システム予約	71	H'00011C		
TMR_X TMR_Y	CMIAY（コンペアマッチ A）	72	H'000120	ICRB1	
	CMIBY（コンペアマッチ B）	73	H'000124		
	OVIY（オーバフロー）	74	H'000128		
	ICIX （インプットキャプチャ）	75	H'00012C		
	CMIAX（コンペアマッチ A）	76	H'000130		
	CMIBX（コンペアマッチ B）	77	H'000134		
	OVIX（オーバフロー）	78	H'000138		
－	システム予約	79	H'00013C	－	
	システム予約	80	H'000140		
	システム予約	81	H'000144		
	システム予約	82	H'000148		
	システム予約	83	H'00014C		低

割り込み要因発生元	名　称	ベクタ番号	ベクタアドレス アドバンストモード	ICR	優先順位
SCI_1	ERI1（受信エラー1） RXI1（受信完了 1） TXI1（送信データエンプティ 1） TEI1（送信終了 1）	84 85 86 87	H'000150 H'000154 H'000158 H'00015C	ICRC6	高
SCI_2	ERI2（受信エラー2） RXI2（受信完了 2） TXI2（送信データエンプティ 2） TEI2（送信終了 2）	88 89 90 91	H'000160 H'000164 H'000168 H'00016C	ICRC5	
IIC_0	IICI0（1 バイト送信／受信完了） システム予約	92 93	H'000170 H'000174	ICRC4	
IIC_1	IICI1（1 バイト送信／受信完了） システム予約	94 95	H'000178 H'00017C	ICRC3	
－	システム予約	96 | 127	H'000180 | H'0001FC	－	低

5.6 割り込み制御モードと割り込み動作

割り込みコントローラには割り込み制御モード 0 と割り込み制御モード 1 の 2 種類のモードがあり、割り込み制御モードによって動作が異なります。NMI 割り込みは、リセット状態やハードウェアスタンバイ状態を除き常に受け付けられます。割り込み制御モードの選択は SYSCR で行います。表 5.6 に割り込み制御モードを示します。

表 5.6　割り込み制御モード

割り込み制御モード	SYSCR INTM1	SYSCR INTM0	優先順位設定レジスタ	割り込みマスクビット	説　明
0	0	0	ICR	I	I ビットにより割り込みマスク制御を行います。ICR により優先順位の設定ができます。
1		1	ICR	I、UI	I、UI ビットにより 3 レベルの割り込みマスク制御を行います。ICR により優先順位の設定ができます。

図 5.6 に優先順位判定回路のブロック図を示します。

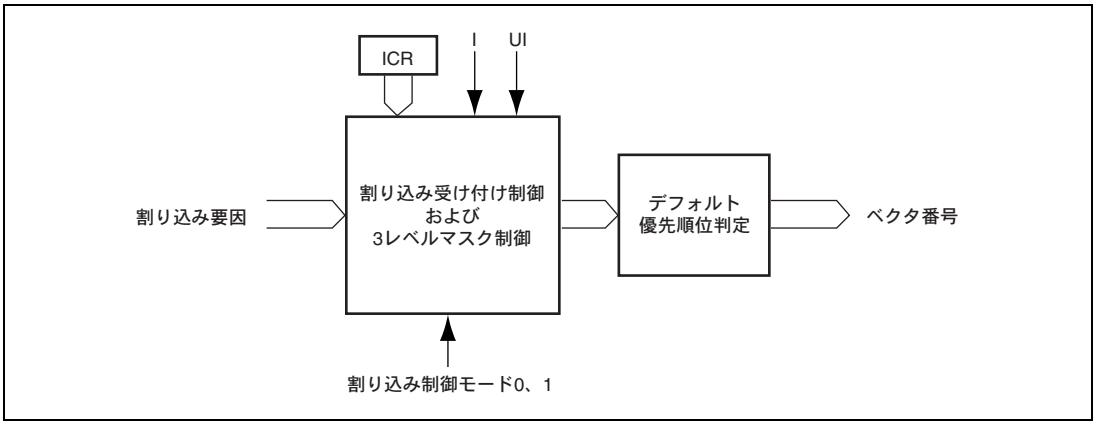


図 5.6 割り込み制御動作のブロック図

(1) 割り込み受け付け制御および 3 レベル制御

割り込み制御モード 0、1 のとき、CCR の I、UI ビット、および ICR（割り込みコントロールレベル）により割り込み受け付け制御、3 レベルのマスク制御を行います。

表 5.7 に、割り込み制御モードと選択可能な割り込みについて示します。

表 5.7 割り込み制御モードと選択される割り込み

割り込み制御モード	割り込みマスクビット		選択される割り込み
	I	UI	
0	0	*	すべての割り込み（割り込みコントロールレベル 1 を優先）
	1	*	NMI 割り込み、TMENI 割り込み
1	0	*	すべての割り込み（割り込みコントロールレベル 1 を優先）
	1	0	NMI 割り込み、TMENI 割り込みおよび割り込みコントロールレベル 1 の割り込み
		1	NMI 割り込み、TMENI 割り込み

【記号説明】

＊：Don't care

(2) デフォルト優先順位判定

選択された割り込みについて優先順位を判定し、ベクタ番号を生成します。

ICR に対して同じ値を設定した場合には、複数の割り込み要因の受け付けが許可されることになるため、あらかじめデフォルトで設定した優先順位に従って最も優先順位の高い割り込み要因のみを選択し、ベクタ番号を生成します。

受け付けられた割り込み要因よりも低い優先順位をもった割り込み要因は保留されます。

表 5.8 に割り込み制御モードと動作および制御信号機能を示します。

表 5.8 割り込み制御モードと動作および制御信号機能

割り込み制御モード	設定		割り込み受け付け制御 3 レベル制御				デフォルト優先順位判定
	INTM1	INTM0		I	UI	ICR	
0	0	0	○	IM	−	PR	○
1		1	○	IM	IM	PR	○

【記号説明】

○： 割り込み動作制御を行います。

IM： 割り込みマスクビットとして使用します。

PR： 優先順位を設定します。

－：使用しません。

5.6.1 割り込み制御モード 0

割り込み制御モード 0 では NMI 割り込みを除く割り込み要求は、ICR および CPU の CCR の I ビットによってマスク制御されます。割り込み受け付け動作のフローチャートを図 5.7 に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると､割り込み要求が割り込みコントローラに送られます。
2. 割り込みコントローラは、ICRに設定された割り込みコントロールレベルに従って優先度の高い割り込みコントロールレベル1の割り込み要求を選択し、割り込みコントロールレベル0の割り込み要求は保留します。このとき、複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択してCPUに対して割り込み処理を要求し、その他は保留します。
3. CCRのIビットが1にセットされているときは、割り込みコントローラはNMI以外の割り込み要求を保留します。Iビットが0にクリアされているときは、割り込み要求を受け付けます。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのIビットを1にセットします。これにより、NMI割り込みを除く割り込みはマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

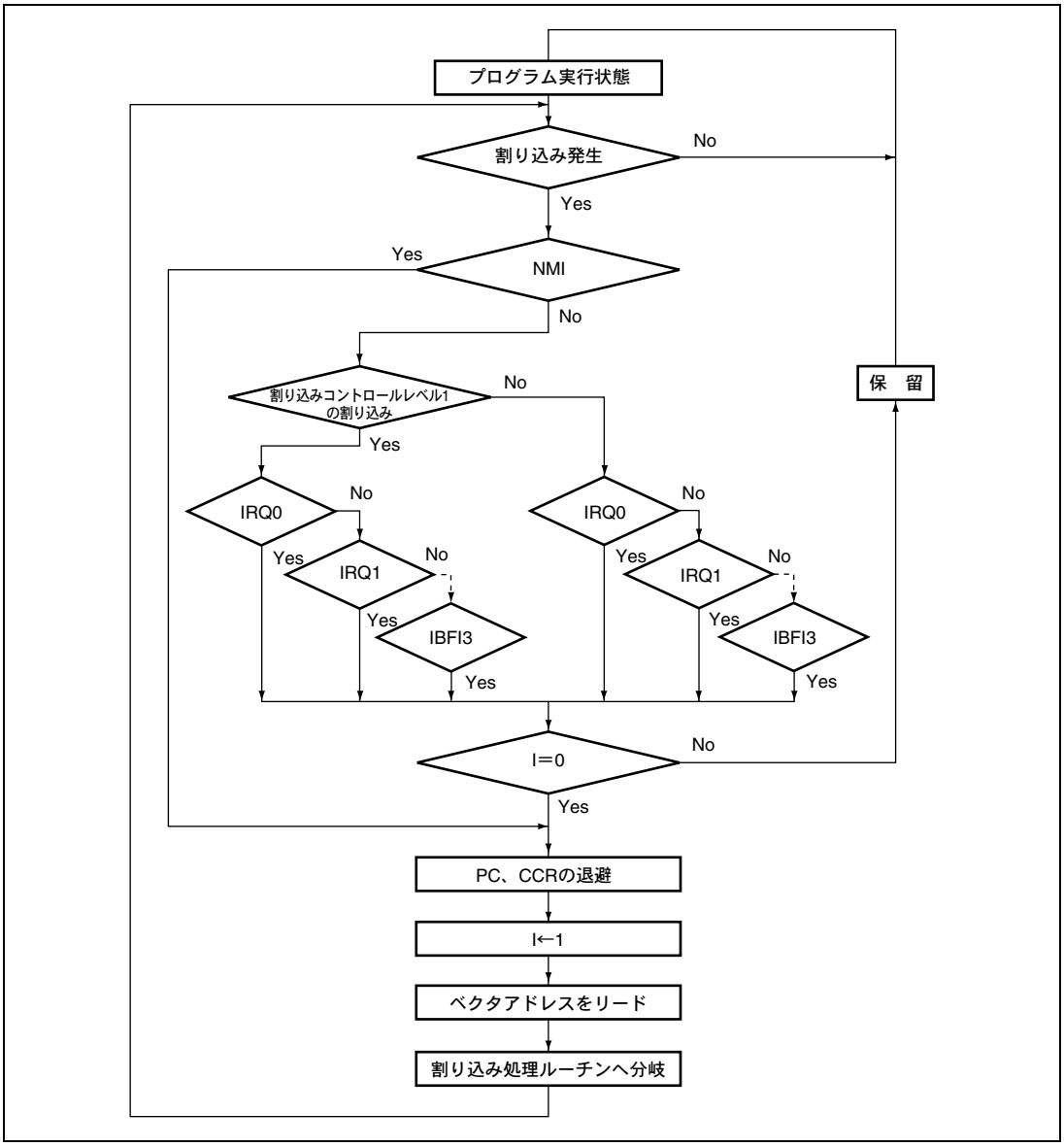


図 5.7　割り込み制御モード 0 の割り込み受け付けまでのフロー

5.6.2 割り込み制御モード 1

割り込み制御モード 1 では NMI 割り込みを除く割り込み要求は、ICR および CPU の CCR の I、UI ビットよって 3 レベルのマスク制御を行います。

- 割り込みコントロールレベル0の割り込み要求は、CCRのIビットが0にクリアされているときは割り込み要求を受け付けます。Iビットが1にセットされているときは割り込み要求を保留します。
- 割り込みコントロールレベル1の割り込み要求は、CCRのIビット、またはUIビットが0にクリアされているときは割り込み要求を受け付けます。Iビット、およびUIビットがいずれも1にセットされているときは割り込み要求を保留します。

例えば各割り込み要求に対応する割り込みイネーブルビットを 1 にセット、ICRA～ICRD をそれぞれ H'20、H'00、H'00 に設定した場合（IRQ2、IRQ3 割り込みをコントロールレベル 1 に、その他の割り込みをコントロールレベル 0 に設定）、次のようになります。このときの状態遷移を図 5.8 に示します。

- I＝0のときはすべての割り込み要求を受け付けます。
  （優先順位：NMI＞IRQ2＞IRQ3＞IRQ0＞IRQ1…）
- I＝1、UI＝0のときはNMI、IRQ2、IRQ3の割り込み要求のみを受け付けます。
- I＝1、UI＝1のときはNMIの割り込み要求のみを受け付けます。

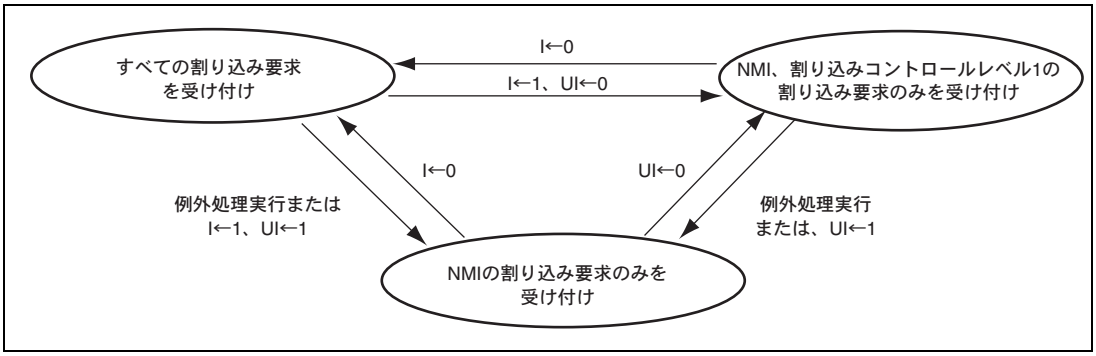


図 5.8 割り込み制御モード 1 の状態遷移

割り込み受け付けの動作フローチャートを図 5.9 に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 割り込みコントローラは、ICRに設定された割り込みコントロールレベルに従って優先度の高い割り込みコントロールレベル1の割り込み要求を選択し、割り込みコントロールレベル0の割り込み要求は保留します。このとき、複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択してCPUに対して割り込み処理を要求し、その他は保留します。
3. 割り込みコントロールレベル1の割り込み要求は、Iビットが0にクリアされているとき、またはIビットが1にセットされ、UIビットが0にクリアされているときに受け付けます。

   割り込みコントロールレベル0の割り込み要求は、Iビットが0にクリアされているときに受け付けます。Iビットが1にセットされているときはNMIの割り込み要求のみ受け付け、その他は保留します。

   I、UIビットがいずれも1にセットされているときはNMIの割り込み要求のみ受け付け、その他は保留します。

   Iビットが0にクリアされているときは、UIビットの影響を受けません。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのI、UIビットを1にセットします。これにより、NMIを除く割り込みがマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

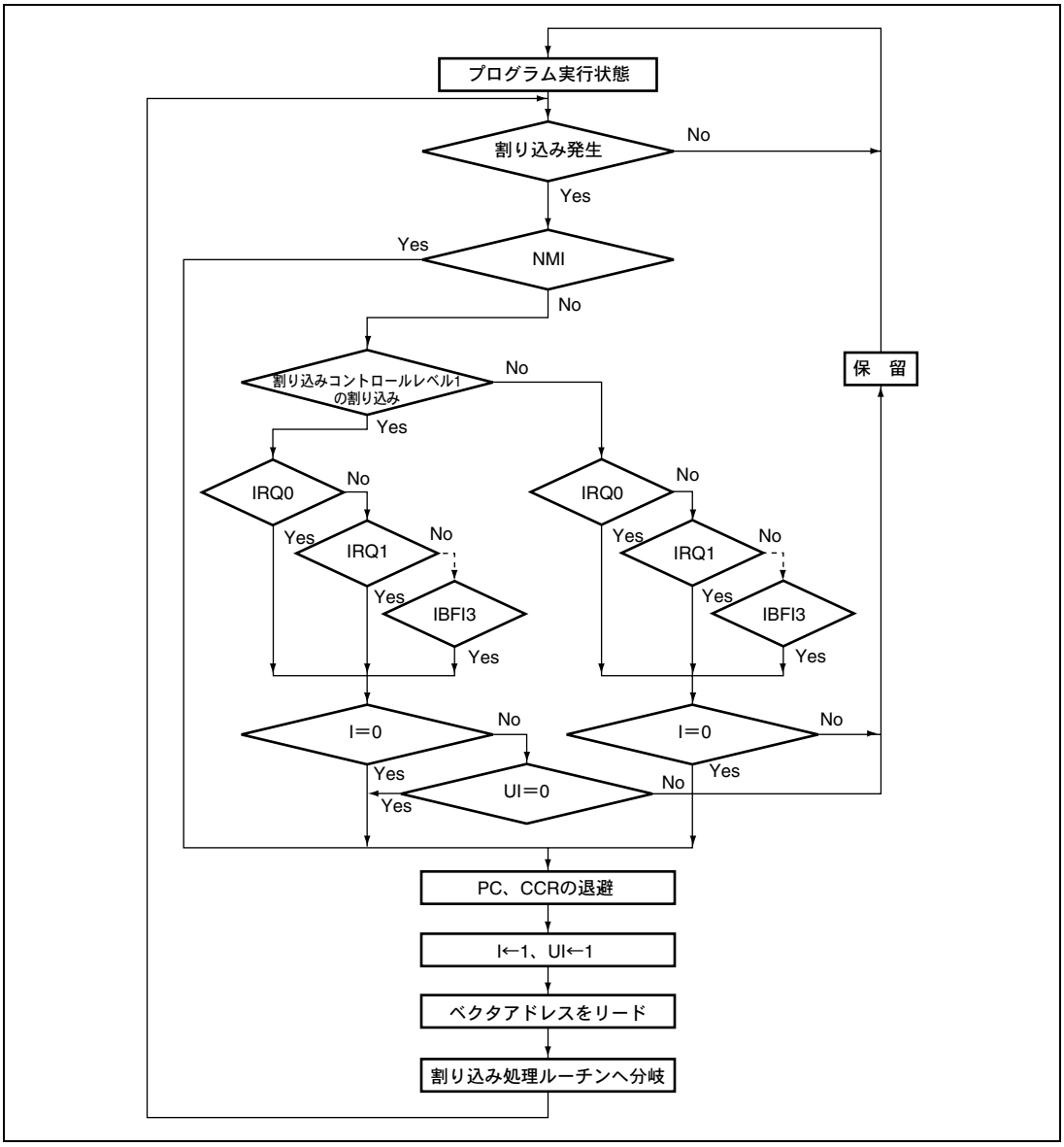


図 5.9　割り込み制御モード 1 の割り込み受け付けまでのフロー

5.6.3　割り込み例外処理シーケンス

図 5.10 に割り込み例外処理シーケンスを示します。アドバンストモードで割り込み制御モード 0、プログラム領域およびスタック領域を内蔵メモリの場合の例です。

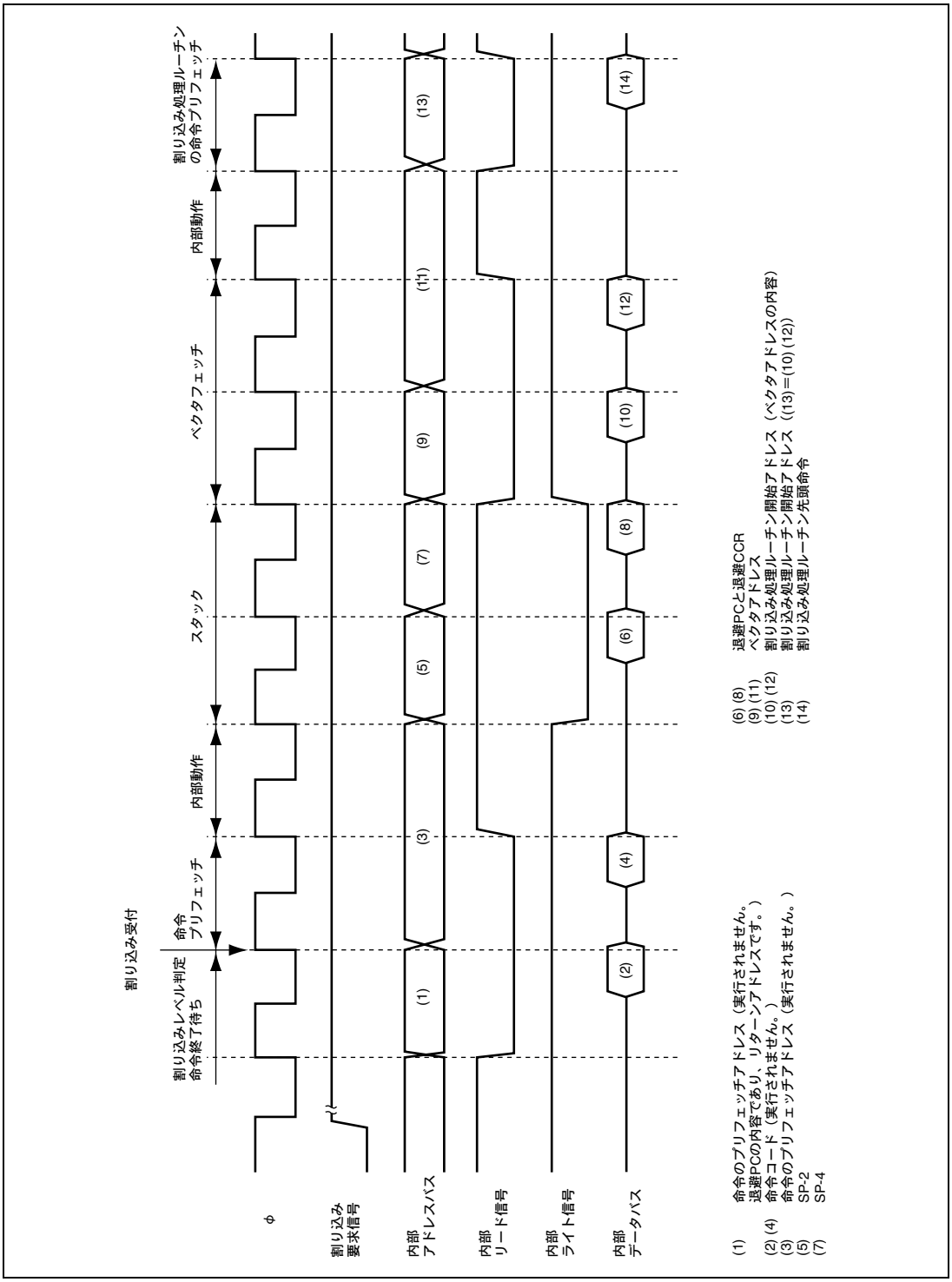


図 5.10 割り込み例外処理

5.6.4 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.9 に示します。

表 5.9 割り込み応答時間

No.	実行状態	ノーマルモード	アドバンストモード
1	割り込み優先順位判定*1	3	
2	実行中の命令が終了するまでの待ちステート数*2	1～21	
3	PC、CCR のスタック	2	2
4	ベクタフェッチ	1	2
5	命令フェッチ*3	2	
6	内部処理*4	2	
合計（内蔵メモリ使用時）		11～31	12～32

【注】 *1 内部割り込みの場合 2 ステートとなります。

*2 MULXS、DIVXS 命令について示しています。

*3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。

*4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。

5.7 使用上の注意事項

5.7.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットをクリアして割り込み要求をマスクする場合、割り込みのマスクはその命令実行終了後に有効になります。BCLR 命令、MOV 命令等で割り込みイネーブルビットをクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込みはイネーブル状態にあるため、命令実行終了後にその割り込み例外処理を開始します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを 0 にクリアする場合も同様です。TMR の TCR の CMIEA ビットを 0 にクリアする場合の例を図 5.11 に示します。なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

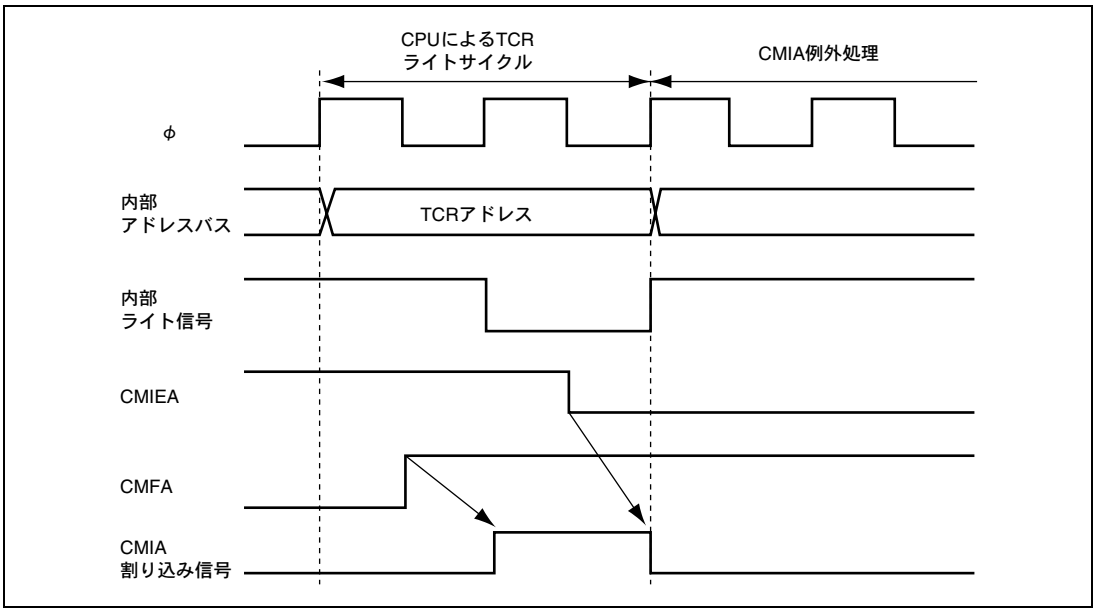


図 5.11 割り込みの発生とディスエーブルの競合

5.7.2 割り込みを禁止している命令

実行直後に割り込み要求を受け付けない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットまたは UI ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

5.7.3 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次の命令のアドレスとなります。このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:         EEPMOV.W
            MOV.W   R4,R4
            BNE     L1
```

5.7.4 ベクタアドレスの切り替え

H8S/2140B グループ互換ベクタモードと拡張ベクタモードの切り替えは、割り込みが発生しない状態で行ってください。

$\overline{\text{KIN15}}$～$\overline{\text{KIN0}}$ 端子および $\overline{\text{WUE15}}$～$\overline{\text{WUE0}}$ 端子が Low レベルで入力許可状態のときに EIVS＝0 から EIVS＝1 に切り替えを行うと、立ち下がりエッジを検出し割り込みを入力した状態となります。切り替えは $\overline{\text{KIN15}}$～$\overline{\text{KIN0}}$ 端子および $\overline{\text{WUE15}}$～$\overline{\text{WUE0}}$ 端子を High レベルとし、入力禁止状態で行ってください。

5.7.5 ソフトウェアスタンバイモード、ウォッチモード時の外部割り込み端子について

- ソフトウェアスタンバイモード、ウォッチモード時に外部割り込み端子（$\overline{\text{IRQ15}}$～$\overline{\text{IRQ0}}$、$\overline{\text{ExIRQ15}}$～$\overline{\text{ExIRQ0}}$、$\overline{\text{KIN15}}$～$\overline{\text{KIN0}}$、$\overline{\text{WUE15}}$～$\overline{\text{WUE0}}$）として使用する場合は端子をフローティングとしないでください。
- ソフトウェアスタンバイモード、ウォッチモード時に外部割り込み端子（$\overline{\text{IRQ7}}$、$\overline{\text{IRQ6}}$、$\overline{\text{ExIRQ15}}$～$\overline{\text{ExIRQ8}}$、$\overline{\text{KIN7}}$～$\overline{\text{KIN0}}$、$\overline{\text{WUE15}}$～$\overline{\text{WUE8}}$）を使用する場合、ノイズキャンセラはディスエーブルとしてください。

5.7.6 ノイズキャンセラの切り替え

ノイズキャンセラの切り替えは外部割り込み端子（$\overline{\text{IRQ7}}$、$\overline{\text{IRQ6}}$、$\overline{\text{ExIRQ15}}$～$\overline{\text{ExIRQ8}}$、$\overline{\text{KIN7}}$～$\overline{\text{KIN0}}$、$\overline{\text{WUE15}}$～$\overline{\text{WUE8}}$）を High レベルの状態で行ってください。

5.7.7 IRQ ステータスレジスタ（ISR）について

リセット後の端子状態により IRQnF＝1 となっていることがあるので、リセット後に必ず ISR をリードし、0 をライトしてください。（n＝15～0）

6. バスコントローラ（BSC）

本 LSI には、外部拡張機能がないため、バスコントローラの機能は内蔵していません。しかし、類似製品とのソフトウェアの流用性などを考慮し、バスコントローラ関連の制御レジスタを不適切な値に設定しないよう注意する必要があります。

6.1 レジスタの説明

BSC には以下のレジスタがあります。

- バスコントロールレジスタ（BCR）
- ウェイトステートコントロールレジスタ（WSCR）

6.1.1 バスコントロールレジスタ（BCR）

ビット	ビット名	初期値	R/W	説　明
7	－	1	R/W	リザーブビット 初期値を変更しないでください。
6	ICIS0	1	R/W	アイドルサイクル挿入 初期値を変更しないでください。
5	BRSTRM	0	R/W	バースト ROM イネーブル 初期値を変更しないでください。
4	BRSTS1	1	R/W	バーストサイクルセレクト 1 初期値を変更しないでください。
3	BRSTS0	0	R/W	バーストサイクルセレクト 0 初期値を変更しないでください。
2	－	1	R/W	リザーブビット 初期値を変更しないでください。
1 0	IOS1 IOS0	1 1	R/W R/W	IOS セレクト 1、0 初期値を変更しないでください。

6.1.2 ウェイトステートコントロールレジスタ（WSCR）

ビット	ビット名	初期値	R/W	説　明
7	－	0	R/W	リザーブビット
6	－	0	R/W	初期値を変更しないでください。
5	ABW	1	R/W	バス幅コントロール 初期値を変更しないでください。
4	AST	1	R/W	アクセスステートコントロール 初期値を変更しないでください。
3	WMS1	0	R/W	ウェイトモードセレクト 1、0
2	WMS0	0	R/W	初期値を変更しないでください。
1	WC1	1	R/W	ウェイトカウント 1、0
0	WC0	1	R/W	初期値を変更しないでください。

7. I/O ポート

ポートの機能一覧を表 7.1 に示します。各ポートは周辺モジュールの入出力端子や割り込み入力と端子を兼用しています。入出力ポートは入出力を制御するデータディレクションレジスタ（DDR）、出力データを格納するデータレジスタ（DR、ODR）から構成されています。入力専用ポートには DDR、DR、ODR はありません。

ポート 1～3、6、9、B～F には、入力プルアップ MOS が内蔵されています。また、ポート 1～3、C、D は LED を駆動する（シンク電流 5mA）ことができます。

また、P52、P97、P86、P42、ポート A、G は、NMOS プッシュプル出力となっています。

表 7.1　ポートの機能一覧表

ポート名	概　　要	モード 2、モード 3	入出力形態
ポート 1	汎用入出力ポート	P17 P16 P15 P14 P13 P12 P11 P10	入力プルアップ MOS 内蔵 LED 駆動可能（シンク電流 5mA）
ポート 2	PWM 出力端子と兼用汎用入出力ポート	P27/PW15 P26/PW14 P25/PW13 P24/PW12 P23/PW11 P22/PW10 P21/PW9 P20/PW8	入力プルアップ MOS 内蔵 LED 駆動可能（シンク電流 5mA）
ポート 3	汎用入出力ポート	P37 P36 P35 P34 P33 P32 P31 P30	入力プルアップ MOS 内蔵 LED 駆動可能（シンク電流 5mA）

ポート名	概　　要	モード 2、モード 3	入出力形態
ポート 4	割り込み入力、PWMX 出力、TMR_0、TMR_1、SCI_1、SCI_2、IIC_1 入出力端子と兼用汎用入出力ポート	P47/PWX1 P46/PWX0 P45/TMRI1 P44/TMO1 P43/TMCI1/ExSCK1 P42/$\overline{\text{ExIRQ7}}$/TMRI0/SCK2/SDA1 P41/TMO0/RxD2 P40/TMCI0/TxD2	
ポート 5	割り込み入力、IIC_0、SCI_1 入出力、TMR_Y 出力、外部サブクロック入力端子と兼用汎用入出力ポート	P52/$\overline{\text{ExIRQ6}}$/SCL0 P51/TMOY/ExRxD1 P50/ExEXCL/ExTxD1	
ポート 6	割り込み入力、TMR_Y、キーボード入力、FRT、TMR_X 入出力と兼用汎用入出力ポート	P67/$\overline{\text{IRQ7}}$/$\overline{\text{KIN7}}$/TMOX P66/$\overline{\text{IRQ6}}$/$\overline{\text{KIN6}}$/FTOB P65/$\overline{\text{KIN5}}$/FTID P64/$\overline{\text{KIN4}}$/FTIC P63/$\overline{\text{KIN3}}$/FTIB P62/$\overline{\text{KIN2}}$/FTIA/TMIY P61/$\overline{\text{KIN1}}$/FTOA P60/$\overline{\text{KIN0}}$/FTCI/TMIX	入力プルアップ MOS 内蔵 ノイズキャンセラ内蔵
ポート 7	割り込み入力、A/D 変換器のアナログ入力と兼用汎用入力ポート	P77/AN7 P76/AN6 P75/$\overline{\text{ExIRQ5}}$/AN5 P74/$\overline{\text{ExIRQ4}}$/AN4 P73/$\overline{\text{ExIRQ3}}$/AN3 P72/$\overline{\text{ExIRQ2}}$/AN2 P71/$\overline{\text{ExIRQ1}}$/AN1 P70/$\overline{\text{ExIRQ0}}$/AN0	
ポート 8	割り込み入力、SCI_1、IrDA インタフェース、IIC_1 入出力端子と兼用汎用入出力ポート	P86/$\overline{\text{IRQ5}}$/SCK1/SCL1 P85/$\overline{\text{IRQ4}}$/RxD1/IrRxD P84/$\overline{\text{IRQ3}}$/TxD1/IrTxD P83 P82 P81 P80	
ポート 9	A/D 変換器の外部トリガ、外部サブクロック、割り込み入力、システムクロック出力、IIC_0 入出力端子と兼用汎用入出力ポート	P97/$\overline{\text{IRQ15}}$/SDA0 P96/φ/EXCL P95/$\overline{\text{IRQ14}}$ P94/$\overline{\text{IRQ13}}$ P93/$\overline{\text{IRQ12}}$ P92/$\overline{\text{IRQ0}}$ P91/$\overline{\text{IRQ1}}$ P90/$\overline{\text{IRQ2}}$/$\overline{\text{ADTRG}}$	入力プルアップ MOS 内蔵 （P95～P90）

ポート名	概　　要	モード 2、モード 3	入出力形態
ポート A	キーボード入力と兼用汎用入出力ポート	PA7/$\overline{\text{KIN15}}$ PA6/$\overline{\text{KIN14}}$ PA5/$\overline{\text{KIN13}}$ PA4/$\overline{\text{KIN12}}$ PA3/$\overline{\text{KIN11}}$ PA2/$\overline{\text{KIN10}}$ PA1/$\overline{\text{KIN9}}$ PA0/$\overline{\text{KIN8}}$	
ポート B	ウェイクアップイベント入力と兼用汎用入出力ポート	PB7/$\overline{\text{WUE7}}$ PB6/$\overline{\text{WUE6}}$ PB5/$\overline{\text{WUE5}}$ PB4/$\overline{\text{WUE4}}$ PB3/$\overline{\text{WUE3}}$ PB2/$\overline{\text{WUE2}}$ PB1/$\overline{\text{WUE1}}$ PB0/$\overline{\text{WUE0}}$	入力プルアップ MOS 内蔵
ポート C	ウェイクアップイベント入力と兼用汎用入出力ポート	PC7/$\overline{\text{WUE15}}$ PC6/$\overline{\text{WUE14}}$ PC5/$\overline{\text{WUE13}}$ PC4/$\overline{\text{WUE12}}$ PC3/$\overline{\text{WUE11}}$ PC2/$\overline{\text{WUE10}}$ PC1/$\overline{\text{WUE9}}$ PC0/$\overline{\text{WUE8}}$	入力プルアップ MOS 内蔵 ノイズキャンセラ内蔵 LED 駆動可能（シンク電流 5mA）
ポート D	TPU 入出力端子と兼用汎用入出力ポート	PD7/TIOCB2/TCLKD PD6/TIOCA2 PD5/TIOCB1/TCLKC PD4/TIOCA1 PD3/TIOCD0/TCLKB PD2/TIOCC0/TCLKA PD1/TIOCB0 PD0/TIOCA0	入力プルアップ MOS 内蔵 LED 駆動可能（シンク電流 5mA）
ポート E	エミュレータ入出力端子と兼用汎用入力ポート	PE4*/ETMS PE3*/ETDO PE2*/ETDI PE1*/ETCK PE0	入力プルアップ MOS 内蔵

ポート名	概　　要	モード 2、モード 3	入出力形態
ポート F	割り込み入力、PWMX、TMR_X 出力端子と兼用汎用入出力ポート	PF7/ExPW15 PF6/ExPW14 PF5/ExPW13 PF4/ExPW12 PF3/$\overline{\text{IRQ11}}$/ExTMOX PF2/$\overline{\text{IRQ10}}$ PF1/$\overline{\text{IRQ9}}$ PF0/$\overline{\text{IRQ8}}$	入力プルアップ MOS 内蔵
ポート G	割り込み入力、TMR_0、TMR_1、TMR_X、TMR_Y 入力、IIC_0、IIC_1 入出力端子と兼用汎用入出力ポート	PG7/$\overline{\text{ExIRQ15}}$/ExSCLB PG6/$\overline{\text{ExIRQ14}}$/ExSDAB PG5/$\overline{\text{ExIRQ13}}$/ExSCLA PG4/$\overline{\text{ExIRQ12}}$/ExSDAA PG3/$\overline{\text{ExIRQ11}}$/ExTMIY PG2/$\overline{\text{ExIRQ10}}$/ExTMIX PG1/$\overline{\text{ExIRQ9}}$/ExTMCI1 PG0/$\overline{\text{ExIRQ8}}$/ExTMCI0	ノイズキャンセラ内蔵

【注】　＊　システム開発ツール（エミュレータ）では、サポートしません。

7.1　ポート 1

ポート 1 は、8 ビットの入出力ポートです。ポート 1 はプログラムで制御可能な入力プルアップ MOS が内蔵されています。ポート 1 には以下のレジスタがあります。

- ポート1データディレクションレジスタ（P1DDR）
- ポート1データレジスタ（P1DR）
- ポート1プルアップMOSコントロールレジスタ（P1PCR）

7.1.1　ポート 1 データディレクションレジスタ（P1DDR）

P1DDR は、ポート 1 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　　明
7	P17DDR	0	W	このビットを 1 にセットすると、対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P16DDR	0	W	
5	P15DDR	0	W	
4	P14DDR	0	W	
3	P13DDR	0	W	
2	P12DDR	0	W	
1	P11DDR	0	W	
0	P10DDR	0	W	

7.1.2 ポート 1 データレジスタ（P1DR）

P1DR は、ポート 1 の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7	P17DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。 このレジスタをリードすると、P1DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P1DDR が 0 にクリアされているビットは端子の状態が読み出されます。
6	P16DR	0	R/W	
5	P15DR	0	R/W	
4	P14DR	0	R/W	
3	P13DR	0	R/W	
2	P12DR	0	R/W	
1	P11DR	0	R/W	
0	P10DR	0	R/W	

7.1.3 ポート 1 プルアップ MOS コントロールレジスタ（P1PCR）

P1PCR は、ポート 1 の入力プルアップ MOS のオン／オフを制御します。

ビット	ビット名	初期値	R/W	説　　明
7	P17PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	P16PCR	0	R/W	
5	P15PCR	0	R/W	
4	P14PCR	0	R/W	
3	P13PCR	0	R/W	
2	P12PCR	0	R/W	
1	P11PCR	0	R/W	
0	P10PCR	0	R/W	

7.1.4 端子機能

- P17、P16、P15、P14、P13、P12、P11、P10

P1nDDR ビットの状態により、次のように切り替わります。

P1nDDR	0	1
端子機能	P1n 入力端子	P1n 出力端子

（n＝7～0）

7.1.5 ポート 1 入力プルアップ MOS の状態

ポート 1 はプログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS の状態を表 7.2 に示します。

表 7.2 ポート 1 入力プルアップ MOS の状態

リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
OFF		ON/OFF	

【記号説明】

OFF ：常にオフ状態です。

ON/OFF ：P1DDR＝0 かつ P1PCR＝1 のときオン状態、その他のときはオフ状態です。

7.2 ポート 2

ポート 2 は、8 ビットの入出力ポートです。ポート 2 は、PWM 出力端子と兼用になっています。ポート 2 は、プログラムで制御可能な入力プルアップ MOS が内蔵されています。ポート 2 には以下のレジスタがあります。

- ポート2データディレクションレジスタ（P2DDR）
- ポート2データレジスタ（P2DR）
- ポート2プルアップMOSコントロールレジスタ（P2PCR）

7.2.1 ポート 2 データディレクションレジスタ（P2DDR）

P2DDR は、ポート 2 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　　明
7	P27DDR	0	W	このビットを 1 にセットすると対応する端子は出力ポートまたは PWM 出力となり、0 にクリアすると入力ポートになります。
6	P26DDR	0	W	
5	P25DDR	0	W	
4	P24DDR	0	W	
3	P23DDR	0	W	
2	P22DDR	0	W	
1	P21DDR	0	W	
0	P20DDR	0	W	

7.2.2 ポート 2 データレジスタ（P2DR）

P2DR は、ポート 2 の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7	P27DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。 このレジスタをリードすると、P2DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P2DDR が 0 にクリアされているビットは端子の状態が読み出されます。
6	P26DR	0	R/W	
5	P25DR	0	R/W	
4	P24DR	0	R/W	
3	P23DR	0	R/W	
2	P22DR	0	R/W	
1	P21DR	0	R/W	
0	P20DR	0	R/W	

7.2.3 ポート 2 プルアップ MOS コントロールレジスタ（P2PCR）

P2PCR は、ポート 2 の入力プルアップ MOS のオン／オフを制御します。

ビット	ビット名	初期値	R/W	説　　明
7	P27PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	P26PCR	0	R/W	
5	P25PCR	0	R/W	
4	P24PCR	0	R/W	
3	P23PCR	0	R/W	
2	P22PCR	0	R/W	
1	P21PCR	0	R/W	
0	P20PCR	0	R/W	

7.2.4 端子機能

- P27/PW15、P26/PW14

PTCNT0 の PWMAS ビット、PWM の PWOERB の OEm ビットと P2nDDR ビットの組み合わせにより、次のように切り替わります。

PWMAS	0			1	
P2nDDR	0	1		0	1
OEm	－	0	1	－	
端子機能	P2n 入力端子	P2n 出力端子	PWm 出力端子	P2n 入力端子	P2n 出力端子

（n＝7、6）

（m＝15、14）

- P25/PW13、P24/PW12

PTCNT0 の PWMBS ビット、PWM の PWOERB の OEm ビットと P2nDDR ビットの組み合わせにより、次のように切り替わります。

PWMBS	0			1	
P2nDDR	0	1		0	1
OEm	−	0	1	−	
端子機能	P2n 入力端子	P2n 出力端子	PWm 出力端子	P2n 入力端子	P2n 出力端子

（n＝5、4）

（m＝13、12）

- P23/PW11、P22/PW10、P21/PW9、P20/PW8

PWM の PWOERA の OEm ビットと P2nDDR ビットの組み合わせにより、次のように切り替わります。

P2nDDR	0	1	
OEm	−	0	1
端子機能	P2n 入力端子	P2n 出力端子	PWm 出力端子

（n＝3～0）

（m＝11～8）

7.2.5 ポート 2 入力プルアップ MOS の状態

ポート 2 はプログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS の状態を表 7.3 に示します。

表 7.3 ポート 2 入力プルアップ MOS の状態

リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
OFF		ON/OFF	

【記号説明】

OFF ：常にオフ状態です。

ON/OFF ：P2DDR＝0 かつ P2PCR＝1 のときオン状態、その他のときはオフ状態です。

7.3 ポート 3

ポート 3 は、8 ビットの入出力ポートです。ポート 3 はプログラムで制御可能な入力プルアップ MOS が内蔵されています。ポート 3 には以下のレジスタがあります。

- ポート3データディレクションレジスタ（P3DDR）
- ポート3データレジスタ（P3DR）
- ポート3プルアップMOSコントロールレジスタ（P3PCR）

7.3.1 ポート 3 データディレクションレジスタ（P3DDR）

P3DDR は、ポート 3 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　　明
7	P37DDR	0	W	このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P36DDR	0	W	
5	P35DDR	0	W	
4	P34DDR	0	W	
3	P33DDR	0	W	
2	P32DDR	0	W	
1	P31DDR	0	W	
0	P30DDR	0	W	

7.3.2 ポート 3 データレジスタ（P3DR）

P3DR は、ポート 3 の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7	P37DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。 このレジスタをリードすると、P3DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P3DDR が 0 にクリアされているビットは端子の状態が読み出されます。
6	P36DR	0	R/W	
5	P35DR	0	R/W	
4	P34DR	0	R/W	
3	P33DR	0	R/W	
2	P32DR	0	R/W	
1	P31DR	0	R/W	
0	P30DR	0	R/W	

7.3.3 ポート 3 プルアップ MOS コントロールレジスタ（P3PCR）

P3PCR は、ポート 3 の入力プルアップ MOS のオン／オフを制御します。

ビット	ビット名	初期値	R/W	説　　明
7	P37PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	P36PCR	0	R/W	
5	P35PCR	0	R/W	
4	P34PCR	0	R/W	
3	P33PCR	0	R/W	
2	P32PCR	0	R/W	
1	P31PCR	0	R/W	
0	P30PCR	0	R/W	

7.3.4 端子機能

- P37、P36、P35、P34、P33、P32、P31、P30

P3nDDR	0	1
端子機能	P37～P30 入力端子	P37～P30 出力端子

（n＝7～0）

7.3.5 ポート 3 入力プルアップ MOS の状態

ポート 3 はプログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS の状態を表 7.4 に示します。

表 7.4　ポート 3 入力プルアップ MOS の状態

リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
OFF		ON/OFF	

【記号説明】

OFF　　：常にオフ状態です。

ON/OFF　：P3DDR=0 かつ P3PCR＝1 のときオン状態、その他のときはオフ状態です。

7.4 ポート 4

ポート 4 は、8 ビットの入出力ポートです。ポート 4 は、割り込み入力端子、PWMX 出力端子、TMR_0、TMR_1、SCI_1、SCI_2、IIC_1 入出力端子と兼用になっています。P42、SCK2 の出力形式は、NMOS プッシュプル出力となっています。また、SDA1 の出力形式は、NMOS オープンドレインとなっています。ポート 4 には以下のレジスタがあります。

- ポート4データディレクションレジスタ（P4DDR）
- ポート4データレジスタ（P4DR）

7.4.1 ポート 4 データディレクションレジスタ（P4DDR）

P4DDR は、ポート 4 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　　明
7	P47DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P46DDR	0	W	
5	P45DDR	0	W	
4	P44DDR	0	W	
3	P43DDR	0	W	
2	P42DDR	0	W	
1	P41DDR	0	W	
0	P40DDR	0	W	

7.4.2 ポート 4 データレジスタ（P4DR）

P4DR は、ポート 4 の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7	P47DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。 このレジスタをリードすると、P4DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P4DDR が 0 にクリアされているビットは端子の状態が読み出されます。
6	P46DR	0	R/W	
5	P45DR	0	R/W	
4	P44DR	0	R/W	
3	P43DR	0	R/W	
2	P42DR	0	R/W	
1	P41DR	0	R/W	
0	P40DR	0	R/W	

7.4.3 端子機能

- P47/PWX1

PWMX の DACR の OEB ビットと P47DDR ビットの組み合わせにより、次のように切り替わります。

OEB	0		1
P47DDR	0	1	−
端子機能	P47 入力端子	P47 出力端子	PWX1 出力端子

- P46/PWX0

PWMX の DACR の OEA ビットと P46DDR ビットの組み合わせにより、次のように切り替わります。

OEA	0		1
P46DDR	0	1	−
端子機能	P46 入力端子	P46 出力端子	PWX0 出力端子

- P45/TMRI1

P45DDR ビットにより、次のように切り替わります。

TMR_1 の TCR の CCLR1、CCLR0 ビットをいずれも 1 にセットすると TMRI1 入力端子になります。

P45DDR	0	1
端子機能	P45 入力端子	P45 出力端子
	TMRI1 入力端子	

- P44/TMO1

TMR_1 の TCR の OS3～OS0 ビットと P44DDR ビットの組み合わせにより、次のように切り替わります。

OS3～OS0	すべてが 0		いずれかが 1
P44DDR	0	1	−
端子機能	P44 入力端子	P44 出力端子	TMO1 出力端子

- P43/TMCI1/ExSCK1

PTCNT2 の SCK1S ビット、SCI_1 の SCR の CKE1、CKE0 ビット、SMR の C/$\overline{A}$ ビットと P43DDR ビットにより、次のように切り替わります。PTCNT0 の TMCI1S ビットを 0 にクリア、TMR_1 の TCR の CKS2～CKS0 ビットで外部クロックを選択すると、TMCI1 入力端子になります。

SCK1S	0		1				
CKE1	–	–	0				1
C/$\overline{A}$	–	–	0			1	–
CKE0	–	–	0		1	–	–
P43DDR	0	1	0	1	–	–	–
端子機能	P43 入力端子	P43 出力端子	P43 入力端子	P43 出力端子	ExSCK1 出力端子	ExSCK1 出力端子	ExSCK1 入力端子
	TMCI1 入力端子						

- P42/$\overline{\text{ExIRQ7}}$/TMRI0/SCK2/SDA1

PTCNT1 の SDA1AS、SDA1BS ビット、IIC_1 の ICCR の ICE ビット、SCI_2 の SCR の CKE1、CKE0 ビット、SMR の C/$\overline{A}$ ビットと P42DDR ビットの組み合わせにより、次のように切り替わります。TMR_0 の TCR の CCLR1、CCLR0 ビットをいずれも 1 にセットすると TMRI0 入力端子になります。ISSR の ISS7 ビット、割り込みコントローラの IER の IRQ7E ビットをそれぞれ 1 にセットすると、割り込み入力端子 $\overline{\text{ExIRQ7}}$ として使用可能です。表中の IICENABLE は、次の論理式で表されます。

IICENABLE=1：ICE・$\overline{\text{SDA1AS}}$・$\overline{\text{SDA1BS}}$

IICENABLE	0					1
CKE1	0				1	0
C/$\overline{A}$	0			1	–	0
CKE0	0		1	–	–	0
P42DDR	0	1	–	–	–	–
端子機能	P42 入力端子	P42 出力端子	SCK2 出力端子	SCK2 出力端子	SCK2 入力端子	SDA1 入出力端子
	$\overline{\text{ExIRQ7}}$ 入力端子／TMRI0 入力端子					

【注】 SDA1 入出力端子として使用する場合は、PTCNT1 の SDA1AS、SDA1BS ビット、SCI_2 の SCR の CKE1、CKE0 ビット、SMR の C/$\overline{A}$ ビットの各ビットを必ず 0 にクリアしてください。なお、SDA1 の出力形式は、NMOS のみの出力となり、直接バス駆動が可能です。また、P42 出力端子、SCK2 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。

- P41/TMO0/RxD2

TMR_0 の TCSR の OS3～OS0 ビット、SCI_2 の SCR の RE ビットと P41DDR ビットの組み合わせにより、次のように切り替わります。

OS3～OS0	すべてが 0			いずれかが 1
RE	0	1		0
P41DDR	0	1	－	－
端子機能	P41 入力端子	P41 出力端子	RxD2 入力端子	TMO0 出力端子

【注】 TMO0 出力端子として使用する場合は、SCI_2 の SCR の RE ビットを必ず 0 にクリアしてください。

- P40/TMCI0/TxD2

SCI_2 の SCR の TE ビットと P40DDR ビットの組み合わせにより、次のように切り替わります。PTCNT0 の TMCI0S ビットを 0 にクリア、TMR_0 の TCR の CKS2～CKS0 ビットで外部クロックを選択すると、TMCI0 入力端子になります。

TE	0		1
P40DDR	0	1	－
端子機能	P40 入力端子	P40 出力端子	TxD2 出力端子
	TMCI0 入力端子		

7.5 ポート 5

ポート 5 は、3 ビットの入出力ポートです。ポート 5 は、割り込み入力端子、IIC_0、SCI_1 入出力端子、TMR_Y 出力端子、外部サブクロック入力端子と兼用になっています。P52 の出力形式は、NMOS プッシュプル出力となっています。ポート 5 には以下のレジスタがあります。

- ポート5データディレクションレジスタ（P5DDR）
- ポート5データレジスタ（P5DR）

7.5.1 ポート 5 データディレクションレジスタ（P5DDR）

P5DDR は、ポート 5 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　　明
7～3	－	すべて不定	－	リザーブビット ライトは無効です。
2	P52DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
1	P51DDR	0	W	
0	P50DDR	0	W	

7.5.2 ポート 5 データレジスタ（P5DR）

P5DR は、ポート 5 の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7～3	－	すべて 1	－	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
2	P52DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。 このレジスタをリードすると、P5DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P5DDR が 0 にクリアされているビットは端子の状態が読み出されます。
1	P51DR	0	R/W	
0	P50DR	0	R/W	

7.5.3 端子機能

- P52/$\overline{\text{ExIRQ6}}$/SCL0

PTCNT1 の SCL0AS、SCL0BS ビット、IIC_0 の ICCR の ICE ビットと P52DDR ビットの組み合わせにより、次のように切り替わります。割り込みコントローラの IER の IRQ6E ビットを 1 にセットすると、割り込み入力端子 $\overline{\text{ExIRQ6}}$ として使用可能です。表中の IICENABLE は、次の論理式で表されます。

IICENABLE=1：ICE・$\overline{\text{SCL0AS}}$・$\overline{\text{SCL0BS}}$

IICENABLE	0		1
P52DDR	0	1	−
端子機能	P52 入力端子	P52 出力端子	SCL0 入出力端子
	$\overline{\text{ExIRQ6}}$ 入力端子		

【注】 SCL0 入出力端子として使用する場合は、PTCNT1 の SCL0AS、SCL0BS ビットの各ビットを必ず 0 にクリアしてください。SCL0 の出力形式は、NMOS のみの出力となり、直接バス駆動が可能です。また、P52 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。

- P51/TMOY/ExRxD1

PTCNT2 の SCD1S ビット、SCI_1 の SCR の RE ビット、TMR_Y の TCSR の OS3～OS0 ビットと P51DDR ビットの組み合わせにより、次のように切り替わります。

OS3～OS0	すべて 0					いずれかが 1
SCD1S	0		1			−
RE	−		0		1	−
P51DDR	0	1	0	1	−	−
端子機能	P51 入力端子	P51 出力端子	P51 入力端子	P51 出力端子	ExRxD1 入力端子	TMOY 出力端子

- P50/ExEXCL/ExTxD1

PTCNT2 の SCD1S ビット、SCI_1 の SCR の TE ビット、PTCNT0 の EXCLS ビット、LPWRCR の EXCLE ビットと P50DDR ビットの組み合わせにより、次のように切り替わります。ExEXCL 入力端子として使用する場合は、P50DDR ビットを 0 にクリアして、SCI_1 機能を無効にしてください。

EXCLS	0					1						
SCD1S	0		1			0			1			
TE	−		0		1	−			0			1
P50DDR	0	1	0	1	−	0		1	.0		1	−
EXCLE	−					0	1	−	0	1	−	
端子機能	P50 入力端子	P50 出力端子	P50 入力端子	P50 出力端子	ExTxD1 出力端子	P50 入力端子	ExEXCL 入力端子	P50 入力端子	P50 出力端子	ExEXCL 入力端子	P50 出力端子	ExTxD1 出力端子

7.6 ポート 6

ポート 6 は、8 ビットの入出力ポートです。ポート 6 は、割り込み入力端子、TMR_Y、キーボード、ノイズキャンセル入力端子、FRT、TMR_X 入出力端子と兼用になっています。また、ポート 6 の入力レベルを 4 段階に切り替えることができます。ポート 6 には以下のレジスタがあります。

- ポート6データディレクションレジスタ（P6DDR）
- ポート6データレジスタ（P6DR）
- プルアップMOSコントロールレジスタ（KMPCR）
- システムコントロールレジスタ2（SYSCR2）
- ノイズキャンセライネーブルレジスタ（P6NCE）
- ノイズキャンセラ判定制御レジスタ（P6NCMC）
- ノイズキャンセル周期設定レジスタ（P6NCCS）

7.6.1 ポート 6 データディレクションレジスタ（P6DDR）

P6DDR は、ポート 6 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　　明
7	P67DDR	0	W	このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P66DDR	0	W	
5	P65DDR	0	W	
4	P64DDR	0	W	
3	P63DDR	0	W	
2	P62DDR	0	W	
1	P61DDR	0	W	
0	P60DDR	0	W	

7.6.2 ポート 6 データレジスタ（P6DR）

P6DR は、ポート 6 の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7	P67DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。 このレジスタをリードすると、P6DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P6DDR が 0 にクリアされているビットは端子の状態が読み出されます。
6	P66DR	0	R/W	
5	P65DR	0	R/W	
4	P64DR	0	R/W	
3	P63DR	0	R/W	
2	P62DR	0	R/W	
1	P61DR	0	R/W	
0	P60DR	0	R/W	

7.6.3 プルアップ MOS コントロールレジスタ（KMPCR）

KMPCR は、ポート 6 の入力プルアップ MOS のオン／オフを制御します。

ビット	ビット名	初期値	R/W	説　　明
7	KM7PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	KM6PCR	0	R/W	
5	KM5PCR	0	R/W	
4	KM4PCR	0	R/W	
3	KM3PCR	0	R/W	
2	KM2PCR	0	R/W	
1	KM1PCR	0	R/W	
0	KM0PCR	0	R/W	

7.6.4 ノイズキャンセライネーブルレジスタ（P6NCE）

P6NCE は、ポート 6 端子のノイズキャンセル回路のイネーブルとディスエーブルをビットごとに制御します。

ビット	ビット名	初期値	R/W	説　　明
7	P67NCE	0	R/W	このビットを 1 にセットするとノイズキャンセル回路をイネーブルにして、P6NCCS で設定したサンプリング周期で端子設定状態を P6DR に取り込みます。
6	P66NCE	0	R/W	
5	P65NCE	0	R/W	
4	P64NCE	0	R/W	
3	P63NCE	0	R/W	
2	P62NCE	0	R/W	
1	P61NCE	0	R/W	
0	P60NCE	0	R/W	

7.6.5 ノイズキャンセラ判定制御レジスタ（P6NCMC）

P6NCMC は、ポート 6 端子の入力信号で 1 期待か 0 期待かをビットごとに制御します。

ビット	ビット名	初期値	R/W	説　　明
7	P67NCMC	0	R/W	1 期待：1 が安定入力時にポートデータレジスタに 1 が格納されます。 0 期待：0 が安定入力時にポートデータレジスタに 0 が格納されます。
6	P66NCMC	0	R/W	
5	P65NCMC	0	R/W	
4	P64NCMC	0	R/W	
3	P63NCMC	0	R/W	
2	P62NCMC	0	R/W	
1	P61NCMC	0	R/W	
0	P60NCMC	0	R/W	

7.6.6 ノイズキャンセル周期設定レジスタ（P6NCCS）

P6NCCS は、ノイズキャンセラのサンプリングの周期を制御します。

ビット	ビット名	初期値	R/W	説　　明
7～3	－	すべて 不定	R/W	リザーブビット リード値は不定です。初期値を変更しないでください。
2 1 0	P6NCCK2 P6NCCK1 P6NCCK0	0 0 0	R/W R/W R/W	ノイズキャンセラのサンプリング周期を設定します。 φ＝10MHz 時 000：0.8μs　φ/2 001：12.8μs　φ/32 010：3.3ms　φ/8192 011：6.6ms　φ/16384 100：13.1ms　φ/32768 101：26.2ms　φ/65536 110：52.4ms　φ/131072 111：104.9ms　φ/262144

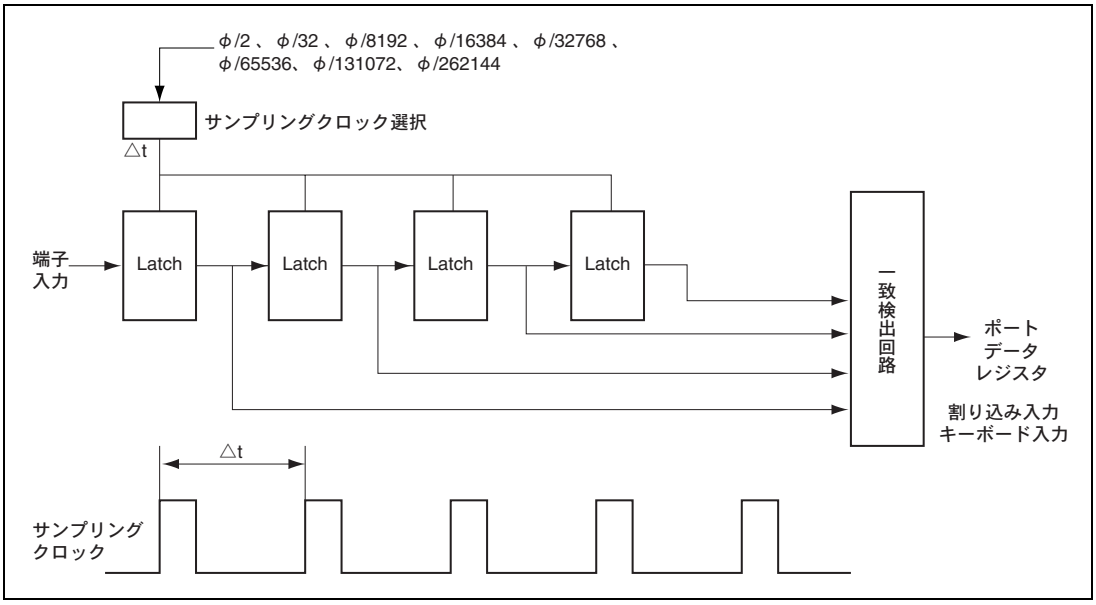


図 7.1　ノイズキャンセル回路

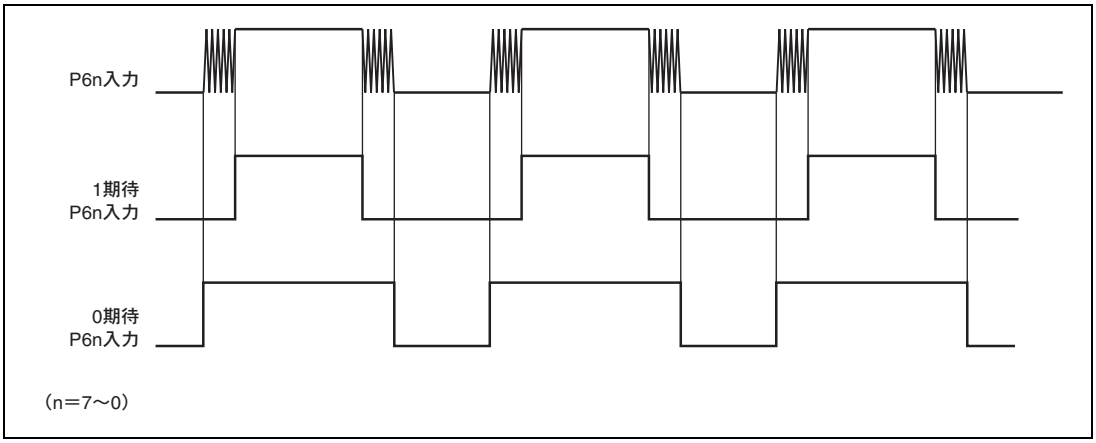


図 7.2　ノイズキャンセル動作概念図

7.6.7 システムコントロールレジスタ 2（SYSCR2）

SYSCR2 は、ポート 6 の入力レベル選択、入力プルアップ MOS の電流仕様の選択を制御します。

ビット	ビット名	初期値	R/W	説　　明
7 6	KWUL1 KWUL0	0 0	R/W R/W	キーウェイクアップレベル 1、0 ポート 6 の入力レベルを選択します。 00：ポート入力レベルは標準入力レベルを選択 01：ポート入力レベルは入力レベル 1 を選択 10：ポート入力レベルは入力レベル 2 を選択 11：ポート入力レベルは入力レベル 3 を選択
5	P6PUE	0	R/W	ポート 6 入力プルアップエクストラ 入力プルアップ MOS の電流仕様を選択します。 0：標準電流仕様を選択 1：電流制限仕様を選択
4～0	－	すべて 0	R/W	リザーブビット 初期値を変更しないでください。

7.6.8 端子機能

- P67/$\overline{\text{IRQ7}}$/$\overline{\text{KIN7}}$/TMOX

PTCNT0 の TMOXS ビット、TMR_X の TCSR の OS3～OS0 ビットと P67DDR ビットにより、次のように切り替わります。割り込みコントローラの KMIMR の KMIMR7 ビットを 0 にクリアすると、$\overline{\text{KIN7}}$ 入力端子になります。

ISSR の ISS7 ビットを 0 にクリアし、割り込みコントローラの IER の IRQ7E ビットを 1 にセットすると、$\overline{\text{IRQ7}}$ 入力端子になります。

TMOXS	0			1	
OS3～OS0	すべてが 0		いずれかが 1	－	
P67DDR	0	1	－	0	1
端子機能	P67 入力端子	P67 出力端子	TMOX 出力端子	P67 入力端子	P67 出力端子
	$\overline{\text{IRQ7}}$ 入力端子／$\overline{\text{KIN7}}$ 入力端子				

- P66/$\overline{\text{IRQ6}}$/$\overline{\text{KIN6}}$/FTOB

FRT の TOCR の OEB ビットと P66DDR ビットの組み合わせにより、次のように切り替わります。割り込みコントローラの KMIMR の KMIMR6 ビットを 0 にクリアすると $\overline{\text{KIN6}}$ 入力端子になります。SYSCR の EIVS ビットを 0 にクリアし、割り込みコントローラの IER の IRQ6E ビットを 1 にセットすると、$\overline{\text{IRQ6}}$ 入力端子になります。

OEB	0		1
P66DDR	0	1	－
端子機能	P66 入力端子	P66 出力端子	FTOB 出力端子
	$\overline{\text{IRQ6}}$ 入力端子／$\overline{\text{KIN6}}$ 入力端子		

- P65/$\overline{\text{KIN5}}$/FTID

P65DDR ビットにより、次のように切り替わります。FRT の TIER の ICIDE ビットを 1 にセットすると FTID 入力端子になります。割り込みコントローラの KMIMR の KMIMR5 ビットを 0 にクリアすると $\overline{\text{KIN5}}$ 入力端子になります。

P65DDR	0	1
端子機能	P65 入力端子	P65 出力端子
	$\overline{\text{KIN5}}$ 入力端子／FTID 入力端子	

- P64/$\overline{\text{KIN4}}$/FTIC

P64DDR ビットにより、次のように切り替わります。FRT の TIER の ICICE ビットを 1 にセットすると FTIC 入力端子になります。割り込みコントローラの KMIMR の KMIMR4 ビットを 0 にクリアすると $\overline{\text{KIN4}}$ 入力端子になります。

P64DDR	0	1
端子機能	P64 入力端子	P64 出力端子
	$\overline{\text{KIN4}}$ 入力端子／FTIC 入力端子	

- P63/$\overline{\text{KIN3}}$/FTIB

P63DDR ビットにより、次のように切り替わります。FRT の TIER の ICIBE ビットを 1 にセットすると FTIB 入力端子になります。割り込みコントローラの KMIMR の KMIMR3 ビットを 0 にクリアすると $\overline{\text{KIN3}}$ 入力端子になります。

P63DDR	0	1
端子機能	P63 入力端子	P63 出力端子
	$\overline{\text{KIN3}}$ 入力端子／FTIB 入力端子	

- P62/$\overline{\text{KIN2}}$/FTIA/TMIY

P62DDR ビットにより、次のように切り替わります。FRT の TIER の ICIAE ビットを 1 にセットすると FTIA 入力端子になります。PTCNT0 の TMIYS ビットを 0 にクリア、TMR_Y の TCR の CCLR1、CCLR0 ビットをいずれも 1 にセットすると TMIY（TMRIY）入力端子になります。割り込みコントローラの KMIMR の KMIMR2 ビットを 0 にクリアすると $\overline{\text{KIN2}}$ 入力端子になります。

P62DDR	0	1
端子機能	P62 入力端子	P62 出力端子
	$\overline{\text{KIN2}}$ 入力端子／FTIA 入力端子／TMIY 入力端子	

- P61/$\overline{\text{KIN1}}$/FTOA

FRT の TOCR の OEA ビットと P61DDR ビットの組み合わせにより、次のように切り替わります。割り込みコントローラの KMIMR の KMIMR1 ビットを 0 にクリアすると $\overline{\text{KIN1}}$ 入力端子になります。

OEA	0		1
P61DDR	0	1	−
端子機能	P61 入力端子	P61 出力端子	FTOA 出力端子
	$\overline{\text{KIN1}}$ 入力端子		

- P60/$\overline{\text{KIN0}}$/FTCI/TMIX

P60DDR ビットにより、次のように切り替わります。FRT の TCR の CKS1、CKS0 ビットをいずれも 1 にセットすると FTCI 入力端子になります。PTCNT0 の TMIXS ビットを 0 にクリア、TMR_X の TCR の CCLR1、CCLR0 ビットをいずれも 1 にセットすると、TMIX（TMRIX）入力端子になります。割り込みコントローラの KMIMR の KMIMR0 ビットを 0 にクリアすると $\overline{\text{KIN0}}$ 入力端子になります。

P60DDR	0	1
端子機能	P60 入力端子	P60 出力端子
	$\overline{\text{KIN0}}$ 入力端子／FTCI 入力端子／TMIX 入力端子	

7.6.9 ポート 6 入力プルアップ MOS の状態

ポート 6 はプログラムで制御可能な入力プルアップ MOS を内蔵しています。SYSCR2 の P6PUE ビットによりプルアップ MOS 電流仕様を変更することができます。なお、内蔵周辺機能の出力端子に設定した場合は、入力プルアップ MOS は常にオフとなります。

入力プルアップ MOS の状態を表 7.5 に示します。

表 7.5 ポート 6 入力プルアップ MOS の状態

リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
OFF		ON/OFF	

【記号説明】

OFF ：常にオフ状態です。

ON/OFF ：入力状態かつ KMPCR＝1 のときオン状態、その他のときはオフ状態です。

7.7 ポート 7

ポート 7 は、8 ビットの入力ポートです。ポート 7 は、割り込み入力端子、A/D 変換器のアナログ入力端子と兼用になっています。ポート 7 には以下のレジスタがあります。

- ポート7入力データレジスタ（P7PIN）

7.7.1 ポート 7 入力データレジスタ（P7PIN）

P7PIN は、ポート 7 の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説　　明
7	P77PIN	不定*	R	このレジスタをリードすると、端子の状態が読み出されます。
6	P76PIN	不定*	R	
5	P75PIN	不定*	R	
4	P74PIN	不定*	R	
3	P73PIN	不定*	R	
2	P72PIN	不定*	R	
1	P71PIN	不定*	R	
0	P70PIN	不定*	R	

【注】 * P77～P70 端子の状態により決定されます。

7.7.2 端子機能

- P77/AN7、P76/AN6

端子機能	P7n 入力端子／ANn 入力端子

（n=7、6）

- P75/$\overline{\text{ExIRQ5}}$/AN5、P74/$\overline{\text{ExIRQ4}}$/AN4、P73/$\overline{\text{ExIRQ3}}$/AN3、P72/$\overline{\text{ExIRQ2}}$/AN2、P71/$\overline{\text{ExIRQ1}}$/AN1、P70/$\overline{\text{ExIRQ0}}$/AN0

ISSR の ISSn ビット、割り込みコントローラの IER の IRQnE ビットをそれぞれ 1 にセットすると、割り込み入力端子 $\overline{\text{ExIRQn}}$ として使用可能です。

端子機能	P7n 入力端子／$\overline{\text{ExIRQn}}$ 入力端子／ANn 入力端子

【注】 割り込み入力端子設定時、AN 入力端子として使用しないでください。

（n=5～0）

7.8 ポート 8

ポート 8 は、7 ビットの入出力ポートです。ポート 8 は、割り込み入力端子、SCI_1、IIC_1 入出力端子と兼用になっています。P86、SCK1 の出力形式は、NMOS プッシュプル出力となっています。また、SCL1 の出力形式は、NMOS オープンドレインとなっています。ポート 8 には以下のレジスタがあります。

- ポート8データディレクションレジスタ（P8DDR）
- ポート8データレジスタ（P8DR）

7.8.1 ポート 8 データディレクションレジスタ（P8DDR）

P8DDR は、ポート 8 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　　明
7	－	不定	－	リザーブビット ライトは無効です。
6	P86DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
5	P85DDR	0	W	
4	P84DDR	0	W	
3	P83DDR	0	W	
2	P82DDR	0	W	
1	P81DDR	0	W	
0	P80DDR	0	W	

7.8.2 ポート 8 データレジスタ（P8DR）

P8DR は、ポート 8 の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7	－	1	－	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
6	P86DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。 このレジスタをリードすると、P8DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P8DDR が 0 にクリアされているビットは端子の状態が読み出されます。
5	P85DR	0	R/W	
4	P84DR	0	R/W	
3	P83DR	0	R/W	
2	P82DR	0	R/W	
1	P81DR	0	R/W	
0	P80DR	0	R/W	

7.8.3 端子機能

- P86/$\overline{\text{IRQ5}}$/SCK1/SCL1

PTCNT2 の SCK1S ビット、PTCNT1 の SCL1AS、SCL1BS ビット、IIC_1 の ICCR の ICE ビット、SCI_1 の SMR の C/$\overline{\text{A}}$ ビット、SCR の CKE0、CKE1 ビットと P86DDR ビットの組み合わせにより、次のように切り替わります。ISSR の ISS5 ビットを 0 にクリアし、割り込みコントローラの IER の IRQ5E ビットを 1 にセットすると $\overline{\text{IRQ5}}$ 入力端子として使用できます。表中の IICENABLE は、次の論理式で表されます。

IICENABLE=1：ICE・$\overline{\text{SCL1AS}}$・$\overline{\text{SCL1BS}}$

<table>
<tr><td>SCK1S</td><td colspan="6">0</td><td colspan="3">1</td></tr>
<tr><td>IICENABLE</td><td colspan="5">0</td><td>1</td><td colspan="2">0</td><td>1</td></tr>
<tr><td>CKE1</td><td colspan="4">0</td><td>1</td><td>0</td><td>–</td><td>–</td><td>–</td></tr>
<tr><td>C/$\overline{\text{A}}$</td><td colspan="3">0</td><td>1</td><td>–</td><td>0</td><td>–</td><td>–</td><td>–</td></tr>
<tr><td>CKE0</td><td colspan="2">0</td><td>1</td><td>–</td><td>–</td><td>0</td><td>–</td><td>–</td><td>–</td></tr>
<tr><td>P86DDR</td><td>0</td><td>1</td><td>–</td><td>–</td><td>–</td><td>–</td><td>0</td><td>1</td><td>–</td></tr>
<tr><td rowspan="2">端子機能</td><td>P86
入力端子</td><td>P86
出力端子</td><td>SCK1
出力端子</td><td>SCK1
出力端子</td><td>SCK1
入力端子</td><td>SCL1
入出力端子</td><td>P86
入力端子</td><td>P86
出力端子</td><td>SCL1
入出力端子</td></tr>
<tr><td colspan="9">$\overline{\text{IRQ5}}$ 入力端子</td></tr>
</table>

【注】 SCL1 入出力端子として使用する場合は、PTCNT1 の SCL1AS、SCL1BS ビット、SCI_1 の SCR の CKE1、CKE0 ビット、SMR の C/$\overline{\text{A}}$ ビットの各ビットを必ず 0 にクリアしてください。なお、SCL1 の出力形式は、NMOS のみの出力となり、直接バス駆動が可能です。また、P86 出力端子、SCK1 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。

- P85/$\overline{\text{IRQ4}}$/RxD1/IrRxD

PTCNT2 の SCD1S ビット、SCI_1 の SCR の RE ビットと P85DDR ビットの組み合わせにより、次のように切り替わります。ISSR の ISS4 ビットを 0 にクリアし、割り込みコントローラの IER の IRQ4E ビットを 1 にセットすると $\overline{\text{IRQ4}}$ 入力端子として使用できます。

<table>
<tr><td>SCD1S</td><td colspan="3">0</td><td colspan="2">1</td></tr>
<tr><td>RE</td><td colspan="2">0</td><td>1</td><td colspan="2">–</td></tr>
<tr><td>P85DDR</td><td>0</td><td>1</td><td>–</td><td>0</td><td>–</td></tr>
<tr><td rowspan="2">端子機能</td><td>P85 入力端子</td><td>P85 出力端子</td><td>RxD1/IrRxD 入力端子</td><td>P85 入力端子</td><td>P85 出力端子</td></tr>
<tr><td colspan="5">$\overline{\text{IRQ4}}$ 入力端子</td></tr>
</table>

- P84/$\overline{\text{IRQ3}}$/TxD1/IrTxD

PTCNT2 の SCD1S ビット、SCI_1 の SCR の TE ビットと P84DDR ビットの組み合わせにより、次のように切り替わります。ISSR の ISS3 ビットを 0 にクリアし、割り込みコントローラの IER の IRQ3E ビットを 1 にセットすると $\overline{\text{IRQ3}}$ 入力端子として使用できます。

SCD1S	0			1	
TE	0		1	–	
P84DDR	0	1	–	0	–
端子機能	P84 入力端子	P84 出力端子	TxD1/IrTxD 出力端子	P84 入力端子	P84 出力端子
	$\overline{\text{IRQ3}}$ 入力端子				

- P83、P82、P81、P80

P8nDDR	0	1
端子機能	P8n 入力端子	P8n 出力端子

（n=3～0）

7.9 ポート 9

ポート 9 は、8 ビットの入出力ポートです。ポート 9 は、割り込み入力端子、A/D 変換器の入力、サブクロック入力端子、IIC_0 の入出力端子およびシステムクロック（φ）出力端子と兼用になっています。P97 の出力形式は、NMOS プッシュプル出力となります。また、SDA0 の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。

ポート 9 には以下のレジスタがあります。

- ポート9データディレクションレジスタ（P9DDR）
- ポート9データレジスタ（P9DR）
- ポート9プルアップMOSコントロールレジスタ（P9PCR）

7.9.1 ポート 9 データディレクションレジスタ（P9DDR）

P9DDR は、ポート 9 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　　明
7	P97DDR	0	W	このビットを 1 にセットすると出力ポートとなり、0 にクリアすると入力ポートになります。
6	P96DDR	0	W	P96DDR を 1 にセットするとシステムクロック出力端子（φ）となります。
5	P95DDR	0	W	このビットを 1 にセットすると出力ポートとなり、0 にクリアすると入力ポートになります。
4	P94DDR	0	W	
3	P93DDR	0	W	
2	P92DDR	0	W	
1	P91DDR	0	W	
0	P90DDR	0	W	

7.9.2 ポート 9 データレジスタ（P9DR）

P9DR は、ポート 9 の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7	P97DR	0	R/W	ビット 6 以外は汎用出力ポートとして使用する端子の出力データを格納します。このレジスタをリードすると、P9DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P9DDR が 0 にクリアされているビットは端子の状態が読み出されます。
6	P96DR	不定*	R	
5	P95DR	0	R/W	
4	P94DR	0	R/W	
3	P93DR	0	R/W	
2	P92DR	0	R/W	
1	P91DR	0	R/W	
0	P90DR	0	R/W	

【注】 * P96 端子の状態により決定されます。

7.9.3 ポート 9 プルアップ MOS コントロールレジスタ（P9PCR）

P9PCR は、ポート 9 の入力プルアップ MOS のオン／オフを制御します。

ビット	ビット名	初期値	R/W	説　　明
7、6	－	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
5	P95PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
4	P94PCR	0	R/W	
3	P93PCR	0	R/W	
2	P92PCR	0	R/W	
1	P91PCR	0	R/W	
0	P90PCR	0	R/W	

7.9.4 端子機能

- P97/$\overline{\text{IRQ15}}$/SDA0

PTCNT1 の SDA0AS、SDA0BS ビット、IIC_0 の ICCR の ICE ビットと P97DDR の組み合わせにより、次のように切り替わります。ISSR16 の ISS15 ビットを 0 にクリアし、割り込みコントローラの IER16 の IRQ15E ビットを 1 にセットすると $\overline{\text{IRQ15}}$ 入力端子として使用できます。P97 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。表中の IICENABLE は、次の論理式で表されます。

IICENABLE=1：ICE・$\overline{\text{SDA0AS}}$・$\overline{\text{SDA0BS}}$

IICENABLE	0		1
P97DDR	0	1	−
端子機能	P97 入力端子	P97 出力端子	SDA0 入出力端子
	$\overline{\text{IRQ15}}$ 入力端子		

【注】 SDA0 の出力形式は、NMOS のみの出力となり、直接バス駆動が可能です。また、P97 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。

- P96/φ/EXCL

PTCNT0 の EXCLS ビット、LPWRCR の EXCLE ビットと P96DDR ビットの組み合わせにより、次のように切り替わります。

EXCLS	0			1	
P96DDR	0		1	0	1
EXCLE	0	1	−	−	
端子機能	P96 入力端子	EXCL 入力端子	φ 出力端子*	P96 入力端子	φ 出力端子*

【注】 * サブアクティブモード、サブスリープモード、ウォッチモード時はサブクロックを出力します。

- P95/$\overline{\text{IRQ14}}$

P95DDR ビットの状態により、次のように切り替わります。ISSR16 の ISS14 ビットを 0 にクリアし、割り込みコントローラの IER16 の IRQ14E ビットを 1 にセットすると $\overline{\text{IRQ14}}$ 入力端子として使用できます。

P95DDR	0	1
端子機能	P95 入力端子	P95 出力端子
	$\overline{\text{IRQ14}}$ 入力端子	

- P94/$\overline{\text{IRQ13}}$

P94DDR ビットの状態により、次のように切り替わります。ISSR16 の ISS13 ビットを 0 にクリアし、割り込みコントローラの IER16 の IRQ13E ビットを 1 にセットすると $\overline{\text{IRQ13}}$ 入力端子として使用できます。

P94DDR	0	1
端子機能	P94 入力端子	P94 出力端子
	$\overline{\text{IRQ13}}$ 入力端子	

- P93/$\overline{\text{IRQ12}}$

P93DDR ビットの状態により、次のように切り替わります。ISSR16 の ISS12 ビットを 0 にクリアし、割り込みコントローラの IER16 の IRQ12E ビットを 1 にセットすると $\overline{\text{IRQ12}}$ 入力端子として使用できます。

P93DDR	0	1
端子機能	P93 入力端子	P93 出力端子
	$\overline{\text{IRQ12}}$ 入力端子	

- P92/$\overline{\text{IRQ0}}$

P92DDR ビットの状態により、次のように切り替わります。ISSR の ISS0 ビットを 0 にクリアし、割り込みコントローラの IER の IRQ0E ビットを 1 にセットすると $\overline{\text{IRQ0}}$ 入力端子として使用できます。

P92DDR	0	1
端子機能	P92 入力端子	P92 出力端子
	$\overline{\text{IRQ0}}$ 入力端子	

- P91/$\overline{\text{IRQ1}}$

P91DDR ビットの状態により、次のように切り替わります。ISSR の ISS1 ビットを 0 にクリアし、割り込みコントローラの IER の IRQ1E ビットを 1 にセットすると $\overline{\text{IRQ1}}$ 入力端子として使用できます。

P91DDR	0	1
端子機能	P91 入力端子	P91 出力端子
	$\overline{\text{IRQ1}}$ 入力端子	

- P90/$\overline{\text{IRQ2}}$/$\overline{\text{ADTRG}}$

P90DDR ビットの状態により、次のように切り替わります。

ADCR の TRGS1、TRGS0 ビットをいずれも 1 にセットすると $\overline{\text{ADTRG}}$ 入力端子になります。

ISSR の ISS2 ビットを 0 にクリアし、割り込みコントローラの IER の IRQ2E ビットを 1 にセットすると $\overline{\text{IRQ2}}$ 入力端子として使用できます。

P90DDR	0	1
端子機能	P90 入力端子	P90 出力端子
	$\overline{\text{IRQ2}}$ 入力端子／$\overline{\text{ADTRG}}$ 入力端子	

7.9.5 ポート 9 入力プルアップ MOS の状態

P95～P90 はプログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS の状態を表 7.6 に示します。

表 7.6 ポート 9 入力プルアップ MOS の状態

リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の 動作時
OFF		ON/OFF	

【記号説明】

OFF ：常にオフ状態です。

ON/OFF ：P9DDR＝0 かつ P9PCR＝1 のときオン状態、その他のときはオフ状態です。

7.10 ポート A

ポート A は 8 ビットの入出力ポートです。ポート A はキーボード入力端子と兼用になっています。ポート A の出力形式は、NMOS プッシュプル出力となっています。

ポート A には以下のレジスタがあります。PADDR と PAPIN は、同一のアドレスにアサインされています。

- ポートAデータディレクションレジスタ（PADDR）
- ポートA出力データレジスタ（PAODR）
- ポートA入力データレジスタ（PAPIN）

7.10.1 ポート A データディレクションレジスタ（PADDR）

PADDR は、ポート A の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　　明
7	PA7DDR	0	W	このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PA6DDR	0	W	
5	PA5DDR	0	W	
4	PA4DDR	0	W	
3	PA3DDR	0	W	
2	PA2DDR	0	W	
1	PA1DDR	0	W	
0	PA0DDR	0	W	

7.10.2 ポート A 出力データレジスタ（PAODR）

PAODR は、ポート A の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7	PA7ODR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PA6ODR	0	R/W	
5	PA5ODR	0	R/W	
4	PA4ODR	0	R/W	
3	PA3ODR	0	R/W	
2	PA2ODR	0	R/W	
1	PA1ODR	0	R/W	
0	PA0ODR	0	R/W	

7.10.3 ポート A 入力データレジスタ（PAPIN）

PAPIN は、ポート A の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説　　明
7	PA7PIN	不定*	R	このレジスタをリードすると、端子の状態が読み出されます。 PAPIN は PADDR と同じアドレスであり、ライトを行うとポート A の設定が変わります。
6	PA6PIN	不定*	R	
5	PA5PIN	不定*	R	
4	PA4PIN	不定*	R	
3	PA3PIN	不定*	R	
2	PA2PIN	不定*	R	
1	PA1PIN	不定*	R	
0	PA0PIN	不定*	R	

【注】 * PA7～PA0 端子の状態により決定されます。

7.10.4 端子機能

- PA7/$\overline{\text{KIN15}}$、PA6/$\overline{\text{KIN14}}$、PA5/$\overline{\text{KIN13}}$、PA4/$\overline{\text{KIN12}}$、PA3/$\overline{\text{KIN11}}$、PA2/$\overline{\text{KIN10}}$、PA1/$\overline{\text{KIN9}}$、PA0/$\overline{\text{KIN8}}$

割り込みコントローラの KMIMRA の KMIMRm ビットを 0 にクリアすると $\overline{\text{KINm}}$ 入力端子になります。

PAnDDR	0	1
端子機能	PAn 入力端子	PAn 出力端子
	$\overline{\text{KINm}}$ 入力端子	

（n＝7～0）

（m＝15～8）

【注】 PA7～PA4 は STCR の IICS ビットを 1 にセットすると N-MOS オープンドレイン出力となり、直接バス駆動が可能です。

7.11 ポート B

ポート B は 8 ビットの入出力ポートです。ポート B はウェイクアップイベント入力端子と兼用になっています。ポート B には以下のレジスタがあります。PBDDR と PBPIN は、同一のアドレスにアサインされています。

- ポートBデータディレクションレジスタ（PBDDR）
- ポートB出力データレジスタ（PBODR）
- ポートB入力データレジスタ（PBPIN）

7.11.1 ポート B データディレクションレジスタ（PBDDR）

PBDDR は、ポート B の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　　明
7	PB7DDR	0	W	このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PB6DDR	0	W	
5	PB5DDR	0	W	
4	PB4DDR	0	W	
3	PB3DDR	0	W	
2	PB2DDR	0	W	
1	PB1DDR	0	W	
0	PB0DDR	0	W	

7.11.2 ポート B 出力データレジスタ（PBODR）

PBODR は、ポート B の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7	PB7ODR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PB6ODR	0	R/W	
5	PB5ODR	0	R/W	
4	PB4ODR	0	R/W	
3	PB3ODR	0	R/W	
2	PB2ODR	0	R/W	
1	PB1ODR	0	R/W	
0	PB0ODR	0	R/W	

7.11.3 ポート B 入力データレジスタ（PBPIN）

PBPIN は、ポート B の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説　　明
7	PB7PIN	不定*	R	このレジスタをリードすると、端子の状態が読み出されます。PBPIN のリードを行うと、常に端子の状態が読み出されます。PBPIN は PBDDR と同じアドレスであり、ライトを行うと PBDDR にデータが書き込まれポート B の設定が変わります。
6	PB6PIN	不定*	R	
5	PB5PIN	不定*	R	
4	PB4PIN	不定*	R	
3	PB3PIN	不定*	R	
2	PB2PIN	不定*	R	
1	PB1PIN	不定*	R	
0	PB0PIN	不定*	R	

【注】 * PB7～PB0 端子の状態により決定されます。

7.11.4 端子機能

- PB7/$\overline{\text{WUE7}}$、PB6/$\overline{\text{WUE6}}$、PB5/$\overline{\text{WUE5}}$、PB4/$\overline{\text{WUE4}}$、PB3/$\overline{\text{WUE3}}$、PB2/$\overline{\text{WUE2}}$、PB1/$\overline{\text{WUE1}}$、PB0/$\overline{\text{WUE0}}$

割り込みコントローラの WUEMRB の WUEMn ビットを 0 にクリアすると $\overline{\text{WUEn}}$ 入力端子になります。

PBnDDR	0	1
端子機能	PBn 入力端子	PBn 出力端子
	$\overline{\text{WUEn}}$ 入力端子	

（n＝7～0）

7.11.5 ポート B 入力プルアップ MOS の状態

ポート B は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS の状態を表 7.7 に示します。

表 7.7 ポート B 入力プルアップ MOS の状態

リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
OFF		ON/OFF	

【記号説明】

OFF ：常にオフ状態です。

ON/OFF：端子が入力状態で PBDDR＝0 かつ PBODR＝1 のときオン状態、その他のときはオフ状態です。

7.12 ポート C

ポート C は 8 ビットの入出力ポートです。ポート C はウェイクアップイベント入力、ノイズキャンセル入力端子と兼用になっています。ポート C には以下のレジスタがあります。PCDDR と PCPIN は、
同一のアドレスにアサインされています。SYSCR2 については、「7.6.7 システムコントロールレジスタ 2（SYSCR2）」を参照してください。

- ポートCデータディレクションレジスタ（PCDDR）
- ポートC出力データレジスタ（PCODR）
- ポートC入力データレジスタ（PCPIN）
- ポートC Nch-ODコントロールレジスタ（PCNOCR）
- システムコントロールレジスタ2（SYSCR2）
- ノイズキャンセライネーブルレジスタ（PCNCE）
- ノイズキャンセラ判定制御レジスタ（PCNCMC）
- ノイズキャンセル周期設定レジスタ（PCNCCS）

7.12.1 ポート C データディレクションレジスタ（PCDDR）

PCDDR は、ポート C の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　　明
7	PC7DDR	0	W	このビットを 1 にセットすると対応するポート C の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PC6DDR	0	W	
5	PC5DDR	0	W	
4	PC4DDR	0	W	
3	PC3DDR	0	W	
2	PC2DDR	0	W	
1	PC1DDR	0	W	
0	—	不定	W	

7.12.2 ポート C 出力データレジスタ（PCODR）

PCODR は、ポート C の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7	PC7ODR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PC6ODR	0	R/W	
5	PC5ODR	0	R/W	
4	PC4ODR	0	R/W	
3	PC3ODR	0	R/W	
2	PC2ODR	0	R/W	
1	PC1ODR	0	R/W	
0	―	不定	R/W	

7.12.3 ポート C 入力データレジスタ（PCPIN）

PCPIN は、ポート C の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説　　明
7	PC7PIN	不定*	R	このレジスタをリードすると、端子の状態が読み出されます。 PCPIN は PCDDR と同じアドレスであり、ライトを行うとポート C の設定が変わります。
6	PC6PIN	不定*	R	
5	PC5PIN	不定*	R	
4	PC4PIN	不定*	R	
3	PC3PIN	不定*	R	
2	PC2PIN	不定*	R	
1	PC1PIN	不定*	R	
0	PC0PIN	不定*	R	

【注】 * PC7～PC0 端子の状態により決定されます。

7.12.4 ノイズキャンセライネーブルレジスタ（PCNCE）

PCNCE は、ポート C 端子のノイズキャンセル回路のイネーブルとディスエーブルをビットごとに制御します。

ビット	ビット名	初期値	R/W	説　　明
7	PC7NCE	0	R/W	このビットを 1 にすると、ノイズキャンセル回路をイネーブルにして、 PCNCCS で設定したサンプリング周期で端子状態を PCPIN に取り込みます。
6	PC6NCE	0	R/W	
5	PC5NCE	0	R/W	
4	PC4NCE	0	R/W	
3	PC3NCE	0	R/W	
2	PC2NCE	0	R/W	
1	PC1NCE	0	R/W	
0	PC0NCE	0	R/W	

7.12.5 ノイズキャンセラ判定制御レジスタ（PCNCMC）

PCNCMC は、ポート C 端子の入力信号で 1 期待か 0 期待かをビットごとに制御します。

ビット	ビット名	初期値	R/W	説　　明
7	PC7NCMC	0	R/W	1 期待：1 が安定入力時にポートデータレジスタに 1 が格納されます。 0 期待：0 が安定入力時にポートデータレジスタに 0 が格納されます。
6	PC6NCMC	0	R/W	
5	PC5NCMC	0	R/W	
4	PC4NCMC	0	R/W	
3	PC3NCMC	0	R/W	
2	PC2NCMC	0	R/W	
1	PC1NCMC	0	R/W	
0	PC0NCMC	0	R/W	

7.12.6 ノイズキャンセル周期設定レジスタ（PCNCCS）

PCNCCS は、ノイズキャンセラのサンプリングの周期を制御します。

ビット	ビット名	初期値	R/W	説　　明
7～3	－	すべて 不定	R/W	リザーブビット リード値は不定です。初期値を変更しないでください。
2	PCNCCK2	0	R/W	ノイズキャンセラのサンプリング周期を設定します。
1	PCNCCK1	0	R/W	φ＝10MHz 時
0	PCNCCK0	0	R/W	000：0.8μs　φ/2 001：12.8μs　φ/32 010：3.3ms　φ/8192 011：6.6ms　φ/16384 100：13.1ms　φ/32768 101：26.2ms　φ/65536 110：52.4ms　φ/131072 111：104.9ms　φ/262144

7.12.7 端子機能

- PC7/$\overline{\text{WUE15}}$、PC6/$\overline{\text{WUE14}}$、PC5/$\overline{\text{WUE13}}$、PC4/$\overline{\text{WUE12}}$、PC3/$\overline{\text{WUE11}}$、PC2/$\overline{\text{WUE10}}$、PC1/$\overline{\text{WUE9}}$ 、PC0/$\overline{\text{WUE8}}$

割り込みコントローラの WUEMR の WUEMRm ビットを 0 にクリアすると $\overline{\text{WUEm}}$ 入力端子になります。

PCnDDR	0	1
端子機能	PCn 入力端子	PCn 出力端子
	$\overline{\text{WUEm}}$ 入力端子	

（n＝7～0）

（m＝15～8）

7.12.8 ポート C Nch-OD コントロールレジスタ（PCNOCR）

PCNOCR は出力に指定されたときの、ポート C の各端子の出力ドライバタイプをビットごとに指定します。

ビット	ビット名	初期値	R/W	説　　明
7	PC7NOCR	0	R/W	0：CMOS （P チャネルドライバが有効） 1：N チャネルオープンドレイン （P チャネルドライバが無効）
6	PC6NOCR	0	R/W	
5	PC5NOCR	0	R/W	
4	PC4NOCR	0	R/W	
3	PC3NOCR	0	R/W	
2	PC2NOCR	0	R/W	
1	PC1NOCR	0	R/W	
0	PC0NOCR	0	R/W	

7.12.9 端子機能

DDR	0		1			
NOCR	–		0		1	
ODR	0	1	0	1	0	1
N-ch.ドライバ	OFF		ON	OFF	ON	OFF
P-ch.ドライバ	OFF		OFF	ON	OFF	
入力プルアップ MOS	OFF	ON	OFF			
端子機能	入力端子		出力端子			

7.12.10 ポート C 入力プルアップ MOS

ポート C はプログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、ビット単位でオン／オフを指定できます。入力プルアップ MOS の状態を表 7.8 に示します。

表 7.8 ポート C 入力プルアップ MOS の状態

リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
OFF		ON/OFF	

【記号説明】

OFF ：常にオフ状態です。

ON/OFF ：端子が入力状態で PCDDR＝0 かつ PCODR＝1 のときオン状態、その他のときはオフ状態です。

7.13 ポート D

ポート D は 8 ビットの入出力ポートです。TPU 入出力端子と兼用になっています。ポート D には以下のレジスタがあります。PDDDR と PDPIN は同一のアドレスにアサインされています。

- ポートDデータディレクションレジスタ（PDDDR）
- ポートD出力データレジスタ（PDODR）
- ポートD入力データレジスタ（PDPIN）
- ポートD Nch-ODコントロールレジスタ（PDNOCR）

7.13.1 ポート D データディレクションレジスタ（PDDDR）

PDDDR は、ポート D の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　　明
7	PD7DDR	0	W	このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PD6DDR	0	W	
5	PD5DDR	0	W	
4	PD4DDR	0	W	
3	PD3DDR	0	W	
2	PD2DDR	0	W	
1	PD1DDR	0	W	
0	PD0DDR	0	W	

7.13.2 ポート D 出力データレジスタ（PDODR）

PDODR は、ポート D の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7	PD7ODR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PD6ODR	0	R/W	
5	PD5ODR	0	R/W	
4	PD4ODR	0	R/W	
3	PD3ODR	0	R/W	
2	PD2ODR	0	R/W	
1	PD1ODR	0	R/W	
0	PD0ODR	0	R/W	

7.13.3 ポート D 入力データレジスタ（PDPIN）

PDPIN は、ポート D の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説　　明
7	PD7PIN	不定*	R	このレジスタをリードすると、端子の状態が読み出されます。 PDPIN は PDDDR と同じアドレスであり、ライトを行うとポート D の設定が変わります。
6	PD6PIN	不定*	R	
5	PD5PIN	不定*	R	
4	PD4PIN	不定*	R	
3	PD3PIN	不定*	R	
2	PD2PIN	不定*	R	
1	PD1PIN	不定*	R	
0	PD0PIN	不定*	R	

【注】 * PD7～PD0 端子の状態により決定されます。

7.13.4 端子機能

- PD7/TIOCB2/TCLKD

TPU チャネル 2 の設定、TPU の TCR_0 の TPSC2～TPSC0 ビットと PD7DDR の組み合わせにより、次のように切り替わります。

TPU チャネル 2 の設定	入力設定または初期値		出力設定
PD7DDR	0	1	－
端子機能	PD7 入力端子	PD7 出力端子	TIOCB2 出力端子
	TIOCB2 入力端子*2		
	TCLKD 入力端子*1		

【注】 *1 TCR_0 の TPSC2～TPSC0 = 111 のとき、TCLKD 入力端子となります。また、チャネル 2 を位相計数モードに設定すると TCLKD 入力端子となります。

*2 TPU チャネル 2 のタイマの動作モードが通常動作または位相計数モードで TIOR_2 の IOB3=1 のとき、TIOCB2 入力端子となります。

- PD6/TIOCA2

TPU チャネル 2 の設定と PD6DDR の組み合わせにより、次のように切り替わります。

TPU チャネル 2 の設定	入力設定または初期値		出力設定
PD6DDR	0	1	－
端子機能	PD6 入力端子	PD6 出力端子	TIOCA2 出力端子
	TIOCA2 入力端子*		

【注】 * TPU チャネル 2 のタイマの動作モードが通常動作または位相計数モードで TIOR_2 の IOA3=1 のとき、TIOCA2 入力端子となります。

- PD5/TIOCB1/TCLKC

TPU チャネル 1 の設定、TPU の TCR_0、TCR_2 の TPSC2～TPSC0 ビットと PD5DDR の組み合わせにより、次のように切り替わります。

TPU チャネル 1 の設定	入力設定または初期値		出力設定
PD5DDR	0	1	－
端子機能	PD5 入力端子	PD5 出力端子	TIOCB1 出力端子
	TIOCB1 入力端子*2		
	TCLKC 入力端子*1		

【注】 *1 TCR_0、TCR_2 のいずれかの設定が TPSC2～TPSC0=110 のとき、TCLKC 入力端子となります。また、チャネル 2 を位相計数モードに設定すると TCLKC 入力端子となります。

*2 TPU チャネル 1 のタイマの動作モードが通常動作または位相計数モードで TIOR_1 の IOB3～IOB0=10xx のとき、TIOCB1 入力端子となります。

- PD4/TIOCA1

TPU チャネル 1 の設定と PD4DDR の組み合わせにより、次のように切り替わります。

TPU チャネル 1 の設定	入力設定または初期値		出力設定
PD4DDR	0	1	−
端子機能	PD4 入力端子	PD4 出力端子	TIOCA1 出力端子
	TIOCA1 入力端子*		

【注】 * TPU チャネル 1 のタイマの動作モードが通常動作または位相計数モードで TIOR_1 の IOA3～IOA0=10xx のとき、TIOCA1 入力端子となります。

- PD3/TIOCD0/TCLKB

TPU チャネル 0 の設定、TPU の TCR_0～TCR_2 の TPSC2～TPSC0 ビットと PD3DDR の組み合わせにより、次のように切り替わります。

TPU チャネル 0 の設定	入力設定または初期値		出力設定
PD3DDR	0	1	−
端子機能	PD3 入力端子	PD3 出力端子	TIOCD0 出力端子
	TIOCD0 入力端子*2		
	TCLKB 入力端子*1		

【注】 *1 TCR_0～TCR_2 のいずれかの設定が TPSC2～TPSC0=101 のとき、TCLKB 入力端子となります。また、チャネル 1 を位相計数モードに設定すると TCLKB 入力端子となります。

*2 TPU チャネル 0 のタイマの動作モードが通常動作または位相計数モードで TIOR_0 の IOD3～IOD0=10xx のとき、TIOCD0 入力端子となります。

- PD2/TIOCC0/TCLKA

TPU チャネル 0 の設定、TPU の TCR_0～TCR_2 の TPSC2～TPSC0 ビットと PD2DDR の組み合わせにより、次のように切り替わります。

TPU チャネル 0 の設定	入力設定または初期値		出力設定
PD2DDR	0	1	−
端子機能	PD2 入力端子	PD2 出力端子	TIOCC0 出力端子
	TIOCC0 入力端子*2		
	TCLKA 入力端子*1		

【注】 *1 TCR_0～TCR_2 のいずれかの設定が TPSC2～TPSC0=100 のとき、TCLKA 入力端子となります。また、チャネル 1 を位相計数モードに設定すると TCLKA 入力端子となります。

*2 TPU チャネル 0 のタイマの動作モードが通常動作または位相計数モードで TIOR_0 の IOC3～IOC0=10xx のとき、TIOCC0 入力端子となります。

- PD1/TIOCB0

TPU チャネル 0 の設定と PD1DDR の組み合わせにより、次のように切り替わります。

TPU チャネル 0 の設定	入力設定または初期値		出力設定
PD1DDR	0	1	−
端子機能	PD1 入力端子	PD1 出力端子	TIOCB0 出力端子
	TIOCB0 入力端子*		

【注】 * TPU チャネル 0 のタイマの動作モードが通常動作または位相計数モードで TIORH_0 の IOB3～IOB0=10xx のとき、TIOCB0 入力端子となります。

- PD0/TIOCA0

TPU チャネル 0 の設定と PD0DDR の組み合わせにより、次のように切り替わります。

TPU チャネル 0 の設定	入力設定または初期値		出力設定
PD0DDR	0	1	−
端子機能	PD0 入力端子	PD0 出力端子	TIOCA0 出力端子
	TIOCA0 入力端子*		

【注】 * TPU チャネル 0 のタイマの動作モードが通常動作または位相計数モードで TIORH_0 の IOA3～IOA0=10xx のとき、TIOCA0 入力端子となります。

TPU チャネルの設定は、「第 11 章 16 ビットタイマパルスユニット（TPU）」を参照してください。

7.13.5 ポート D Nch-OD コントロールレジスタ（PDNOCR）

PDNOCR は出力に指定されたときの、ポート D の各端子の出力ドライバタイプをビットごとに指定します。

ビット	ビット名	初期値	R/W	説　明
7	PD7NOCR	0	R/W	0：CMOS （P チャネルドライバが有効） 1：N チャネルオープンドレイン （P チャネルドライバが無効）
6	PD6NOCR	0	R/W	
5	PD5NOCR	0	R/W	
4	PD4NOCR	0	R/W	
3	PD3NOCR	0	R/W	
2	PD2NOCR	0	R/W	
1	PD1NOCR	0	R/W	
0	PD0NOCR	0	R/W	

7.13.6 端子機能

DDR	0		1			
NOCR	–		0		1	
ODR	0	1	0	1	0	1
N-ch.ドライバ	OFF		ON	OFF	ON	OFF
P-ch.ドライバ	OFF		OFF	ON	OFF	
入力プルアップ MOS	OFF	ON	OFF			
端子機能	入力端子		出力端子			

7.13.7 ポート D 入力プルアップ MOS

ポート D はプログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、ビット単位でオン／オフを指定できます。入力プルアップ MOS の状態を表 7.9 に示します。

表 7.9 ポート D 入力プルアップ MOS の状態

リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
OFF		ON/OFF	

【記号説明】

OFF ：常にオフ状態です。

ON/OFF ：端子が入力状態で PDDDR＝0 かつ PDODR＝1 のときオン状態、その他のときはオフ状態です。

7.14 ポート E

ポート E は 5 ビットの入力ポートです。エミュレータ入出力端子と兼用になっています。ポート E には以下のレジスタがあります。

- ポート入力プルアップMOSコントロールレジスタ（PEPCR）
- ポートE入力データレジスタ（PEPIN）

7.14.1 ポート入力プルアップ MOS コントロールレジスタ（PEPCR）

PEPCR は、ポート E の各端子の入力プルアップ MOS のオン／オフをビットごとに指定します。

ビット	ビット名	初期値	R/W	説　　明
7～5	－	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
4	PE4PCR	0	R/W	0：入力プルアップ MOS はオフ状態 1：入力プルアップ MOS はオン状態
3	PE3PCR	0	R/W	
2	PE2PCR	0	R/W	
1	PE1PCR	0	R/W	
0	PE0PCR	0	R/W	

7.14.2 ポート E 入力データレジスタ（PEPIN）

PEPIN は、ポート E の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説　　明
7～5	－	すべて 0	R	リザーブビット このレジスタをリードすると、常に 0 が読み出されます。
4	PE4PIN	不定*	R	このレジスタをリードすると、端子の状態が読み出されます。 ライトを行わないでください。
3	PE3PIN	不定*	R	
2	PE2PIN	不定*	R	
1	PE1PIN	不定*	R	
0	PE0PIN	不定*	R	

【注】 * PE4～PE0 端子の状態により決定されます。

7.14.3 端子機能

- PE4、PE3、PE2、PE1、PE0

端子機能	PEn 入力端子

（n＝4～0）

【注】 PE4～PE0 端子はシステム開発ツール（エミュレータ）では、サポートしていません。

7.14.4 ポート E 入力プルアップ MOS

ポート E はプログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、ビット単位でオン／オフを指定できます。入力プルアップ MOS の状態を表 7.10 に示します。

表 7.10 ポート E 入力プルアップ MOS の状態

リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
OFF		ON/OFF	

【記号説明】

OFF ：常にオフ状態です。

ON/OFF ：PEPCR＝1 のときオン状態、その他のときはオフ状態です。

7.15 ポート F

ポート F は 8 ビットの入出力ポートです。ポート F は、割り込み入力端子、TMR_X、PWM 出力端子と兼用になっています。ポート F には以下のレジスタがあります。PFDDR と PFPIN は同一のアドレスにアサインされています。

- ポートFデータディレクションレジスタ（PFDDR）
- ポートF出力データレジスタ（PFODR）
- ポートF入力データレジスタ（PFPIN）
- ポートF Nch-ODコントロールレジスタ（PFNOCR）

7.15.1 ポート F データディレクションレジスタ（PFDDR）

PFDDR は、ポート F の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　　明
7	PF7DDR	0	W	このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PF6DDR	0	W	
5	PF5DDR	0	W	
4	PF4DDR	0	W	
3	PF3DDR	0	W	
2	PF2DDR	0	W	
1	PF1DDR	0	W	
0	PF0DDR	0	W	

7.15.2 ポート F 出力データレジスタ（PFODR）

PFODR は、ポート F の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7	PF7ODR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PF6ODR	0	R/W	
5	PF5ODR	0	R/W	
4	PF4ODR	0	R/W	
3	PF3ODR	0	R/W	
2	PF2ODR	0	R/W	
1	PF1ODR	0	R/W	
0	PF0ODR	0	R/W	

7.15.3 ポート F 入力データレジスタ（PFPIN）

PFPIN は、ポート F の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説　　明
7	PF7PIN	不定*	R	このレジスタをリードすると、端子の状態が読み出されます。 PFPIN は PFDDR と同じアドレスであり、ライトを行うとポート F の設定が変わります。
6	PF6PIN	不定*	R	
5	PF5PIN	不定*	R	
4	PF4PIN	不定*	R	
3	PF3PIN	不定*	R	
2	PF2PIN	不定*	R	
1	PF1PIN	不定*	R	
0	PF0PIN	不定*	R	

【注】 * PF7～PF0 端子の状態により決定されます。

7.15.4 端子機能

- PF7/ExPW15、PF6/ExPW14

PTCNT0 の PWMAS ビット、PWM の PWOERB の OEm ビットと PFnDDR ビットの組み合わせにより、次のように切り替わります。

PWMAS	0		1		
PFnDDR	0	1	0	1	
OEm	－		－	0	1
端子機能	PFn 入力端子	PFn 出力端子	PFn 入力端子	PFn 出力端子	ExPWm 出力端子

（n＝7、6）

（m＝15、14）

- PF5/ExPW13、PF4/ExPW12

PTCNT0 の PWMBS ビット、PWM の PWOERB の OEm ビットと PFnDDR ビットの組み合わせにより、次のように切り替わります。

PWMBS	0		1		
PFnDDR	0	1	0	1	
OEm	－		－	0	1
端子機能	PFn 入力端子	PFn 出力端子	PFn 入力端子	PFn 出力端子	ExPWm 出力端子

（n＝5、4）

（m＝13、12）

- PF3/$\overline{\text{IRQ11}}$/ExTMOX

PTCNT0 の TMOXS ビット、TMR_X の TCSR の OS3～OS0 ビットと PF3DDR により次のように切り替わります。ISSR16 の ISS11 ビットを 0 にクリアし、割り込みコントローラの IER16 の IRQ11E ビットを 1 にセットすると $\overline{\text{IRQ11}}$ 入力端子として使用できます。

TMOXS	0		1		
OS3～OS0	－		すべて 0		いずれかが 1
PF3DDR	0	1	0	1	－
端子機能	PF3 入力端子	PF3 出力端子	PF3 入力端子	PF3 出力端子	ExTMOX 出力端子
	$\overline{\text{IRQ11}}$ 入力端子				

- PF2/$\overline{\text{IRQ10}}$、PF1/$\overline{\text{IRQ9}}$、PF0/$\overline{\text{IRQ8}}$

PFnDDR ビットにより、次のように切り替わります。ISSR16 の ISSm ビットを 0 にクリアし、割り込みコントローラの IER16 の IRQmE ビットを 1 にセットすると $\overline{\text{IRQm}}$ 入力端子として使用できます。

PFnDDR	0	1
端子機能	PFn 入力端子	PFn 出力端子
	$\overline{\text{IRQm}}$ 入力端子	

（n＝2～0）

（m＝10～8）

7.15.5 ポート F Nch-OD コントロールレジスタ（PFNOCR）

PFNOCR は出力に指定されたときの、ポート F の各端子の出力ドライバタイプをビットごとに指定します。

ビット	ビット名	初期値	R/W	説　　明
7	PF7NOCR	0	R/W	0：CMOS （P チャネルドライバが有効） 1：N チャネルオープンドレイン （P チャネルドライバが無効）
6	PF6NOCR	0	R/W	
5	PF5NOCR	0	R/W	
4	PF4NOCR	0	R/W	
3	PF3NOCR	0	R/W	
2	PF2NOCR	0	R/W	
1	PF1NOCR	0	R/W	
0	PF0NOCR	0	R/W	

7.15.6 端子機能

DDR	0		1			
NOCR	–		0		1	
ODR	0	1	0	1	0	1
N-ch.ドライバ	OFF		ON	OFF	ON	OFF
P-ch.ドライバ	OFF		OFF	ON	OFF	
入力プルアップ MOS	OFF	ON	OFF			
端子機能	入力端子		出力端子			

7.15.7 ポート F 入力プルアップ MOS

ポート F はプログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、ビット単位でオン／オフを指定できます。入力プルアップ MOS の状態を表 7.11 に示します。

表 7.11 ポート F 入力プルアップ MOS の状態

リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
OFF		ON/OFF	

【記号説明】

OFF ：常にオフ状態です。

ON/OFF ：端子が入力状態で PFDDR＝0 かつ PFODR＝1 のときオン状態、その他のときはオフ状態です。

7.16 ポート G

ポート G は 8 ビットの入出力ポートです。ポート G は割り込み入力端子、TMR_0、TMR_1、TMR_X、TMR_Y 入力端子、IIC_0、IIC_1 入出力端子と兼用になっています。ポート G の出力形式は、NMOS プッシュプル出力となっています。

ポート G には以下のレジスタがあります。PGDDR と PGPIN は、同一のアドレスにアサインされています。SYSCR2 については「7.6.7 システムコントロールレジスタ 2（SYSCR2）」を参照してください。

- ポートGデータディレクションレジスタ（PGDDR）
- ポートG出力データレジスタ（PGODR）
- ポートG入力データレジスタ（PGPIN）
- ポートG Nch-ODコントロールレジスタ（PGNOCR）
- システムコントロールレジスタ2（SYSCR2）
- ノイズキャンセライネーブルレジスタ（PGNCE）
- ノイズキャンセラ判定制御レジスタ（PGNCMC）
- ノイズキャンセル周期設定レジスタ（PGNCCS）

7.16.1 ポート G データディレクションレジスタ（PGDDR）

PGDDR は、ポート G の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　　明
7	PG7DDR	0	W	このビットを 1 にセットすると対応するポート G の各端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	PG6DDR	0	W	
5	PG5DDR	0	W	
4	PG4DDR	0	W	
3	PG3DDR	0	W	
2	PG2DDR	0	W	
1	PG1DDR	0	W	
0	PG0DDR	0	W	

7.16.2 ポート G 出力データレジスタ（PGODR）

PGODR は、ポート G の出力データを格納します。

ビット	ビット名	初期値	R/W	説　　明
7	PG7ODR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
6	PG6ODR	0	R/W	
5	PG5ODR	0	R/W	
4	PG4ODR	0	R/W	
3	PG3ODR	0	R/W	
2	PG2ODR	0	R/W	
1	PG1ODR	0	R/W	
0	PG0ODR	0	R/W	

7.16.3 ポート G 入力データレジスタ（PGPIN）

PGPIN は、ポート G の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説　　明
7	PG7PIN	不定*	R	このレジスタをリードすると、端子の状態が読み出されます。 PGPIN は PGDDR と同じアドレスであり、ライトを行うとポート G の設定が変わります。
6	PG6PIN	不定*	R	
5	PG5PIN	不定*	R	
4	PG4PIN	不定*	R	
3	PG3PIN	不定*	R	
2	PG2PIN	不定*	R	
1	PG1PIN	不定*	R	
0	PG0PIN	不定*	R	

【注】 * PG7～PG0 端子の状態により決定されます。

7.16.4 ノイズキャンセライネーブルレジスタ（PGNCE）

PGNCE は、ポート G 端子のノイズキャンセル回路のイネーブルとディスエーブルをビットごとに制御します。IIC_0、IIC_1 入出力端子として使用する場合は、ディスエーブルにしてください。

ビット	ビット名	初期値	R/W	説　　明
7	PG7NCE	0	R/W	このビットを 1 にセットすると、ノイズキャンセル回路をイネーブルにして、PGNCCS で設定したサンプリング周期で端子状態を PGPIN に取り込みます。
6	PG6NCE	0	R/W	
5	PG5NCE	0	R/W	
4	PG4NCE	0	R/W	
3	PG3NCE	0	R/W	
2	PG2NCE	0	R/W	
1	PG1NCE	0	R/W	
0	PG0NCE	0	R/W	

7.16.5 ノイズキャンセラ判定制御レジスタ（PGNCMC）

PGNCMC は、ポート G 端子の入力信号で 1 期待か 0 期待かをビットごとに制御します。

ビット	ビット名	初期値	R/W	説　　明
7	PG7NCMC	0	R/W	1 期待：1 が安定入力時にポートデータレジスタに 1 が格納されます。 0 期待：0 が安定入力時にポートデータレジスタに 0 が格納されます。
6	PG6NCMC	0	R/W	
5	PG5NCMC	0	R/W	
4	PG4NCMC	0	R/W	
3	PG3NCMC	0	R/W	
2	PG2NCMC	0	R/W	
1	PG1NCMC	0	R/W	
0	PG0NCMC	0	R/W	

7.16.6 ノイズキャンセル周期設定レジスタ（PGNCCS）

PGNCCS は、ノイズキャンセラのサンプリングの周期を制御します。

ビット	ビット名	初期値	R/W	説　　明
7～3	－	すべて 不定	R/W	リザーブビット リード値は不定です。初期値を変更しないでください。
2 1 0	PGNCCK2 PGNCCK1 PGNCCK0	0 0 0	R/W R/W R/W	ノイズキャンセラのサンプリング周期を設定します。 φ＝10MHz 時 000：0.8μs　φ/2 001：12.8μs　φ/32 010：3.3ms　φ/8192 011：6.6ms　φ/16384 100：13.1ms　φ/32768 101：26.2ms　φ/65536 110：52.4ms　φ/131072 111：104.9ms　φ/262144

7.16.7 端子機能

- PG7/$\overline{\text{ExIRQ15}}$/ExSCLB

PTCNT1 の SCL1BS、SCL0BS ビット、IIC_1 の ICCR の ICE ビット、IIC_0 の ICCR の ICE ビットと PG7DDR の組み合わせにより次のように切り替わります。ISSR16 の ISS15 ビットを 1 にセットし、割り込みコントローラの IER16 の IRQ15E ビットを 1 にセットすると $\overline{\text{ExIRQ15}}$ 入力端子として使用できます。

SCL1BS	0		1			0		
SCL0BS	0					1		
ICE_1	–		0		1	–		
ICE_0	–					0		1
PG7DDR	0	1	0	1	–	0	1	–
端子機能	PG7 入力端子	PG7 出力端子	PG7 入力端子	PG7 出力端子	ExSCLB (SCL1) 入出力端子	PG7 入力端子	PG7 出力端子	ExSCLB (SCL0) 入出力端子
	$\overline{\text{ExIRQ15}}$ 入力端子							

【注】 SCL1BS ビットと SCL0BS ビット、SCL1BS ビットと SCL1AS ビット、および SCL0BS ビットと SCL0AS ビットは同時に 1 にセットしないでください。なお、ExSCLB の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。

- PG6/$\overline{\text{ExIRQ14}}$/ExSDAB

PTCNT1 の SDA1BS、SDA0BS ビット、IIC_1 の ICCR の ICE ビット、IIC_0 の ICCR の ICE ビットと PG6DDR の組み合わせにより次のように切り替わります。ISSR16 の ISS14 ビットを 1 にセットし、割り込みコントローラの IER16 の IRQ14E ビットを 1 にセットすると $\overline{\text{ExIRQ14}}$ 入力端子として使用できます。

SDA1BS	0		1			0		
SDA0BS	0					1		
ICE_1	–		0		1	–		
ICE_0	–					0		1
PG6DDR	0	1	0	1	–	0	1	–
端子機能	PG6 入力端子	PG6 出力端子	PG6 入力端子	PG6 出力端子	ExSDAB (SDA1) 入出力端子	PG6 入力端子	PG6 出力端子	ExSDAB (SDA0) 入出力端子
	$\overline{\text{ExIRQ14}}$ 入力端子							

【注】 SDA1BS ビットと SDA0BS ビット、SDA1BS ビットと SDA1AS ビット、および SDA0BS ビットと SDA0AS ビットは同時に 1 にセットしないでください。なお、ExSDAB の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。

- PG5/$\overline{\text{ExIRQ13}}$/ExSCLA

PTCNT1 の SCL1AS、SCL0AS ビット、IIC_1 の ICCR の ICE ビット、IIC_0 の ICCR の ICE ビットと PG5DDR の組み合わせにより次のように切り替わります。ISSR16 の ISS13 ビットを 1 にセットし、割り込みコントローラの IER16 の IRQ13E ビットを 1 にセットすると $\overline{\text{ExIRQ13}}$ 入力端子として使用できます。

SCL1AS	0		1			0		
SCL0AS	0					1		
ICE_1	−		0		1	−		
ICE_0	−					0		1
PG5DDR	0	1	0	1	−	0	1	−
端子機能	PG5 入力端子	PG5 出力端子	PG5 入力端子	PG5 出力端子	ExSCLA (SCL1) 入出力端子	PG5 入力端子	PG5 出力端子	ExSCLA (SCL0) 入出力端子
	$\overline{\text{ExIRQ13}}$ 入力端子							

【注】 SCL1AS ビットと SCL0AS ビット、SCL1AS ビットと SCL1BS ビット、および SCL0AS ビットと SCL0BS ビットは同時に 1 にセットしないでください。なお、ExSCLA の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。

- PG4/$\overline{\text{ExIRQ12}}$/ExSDAA

PTCNT1 の SDA1AS、SDA0AS ビット、IIC_1 の ICCR の ICE ビット、IIC_0 の ICCR の ICE ビットと PG4DDR の組み合わせにより次のように切り替わります。ISSR16 の ISS12 ビットを 1 にセットし、割り込みコントローラの IER16 の IRQ12E ビットを 1 にセットすると $\overline{\text{ExIRQ12}}$ 入力端子として使用できます。

SDA1AS	0		1			0		
SDA0AS	0					1		
ICE_1	−		0		1	−		
ICE_0	−					0		1
PG4DDR	0	1	0	1	−	0	1	−
端子機能	PG4 入力端子	PG4 出力端子	PG4 入力端子	PG4 出力端子	ExSDAA (SDA1) 入出力端子	PG4 入力端子	PG4 出力端子	ExSDAA (SDA0) 入出力端子
	$\overline{\text{ExIRQ12}}$ 入力端子							

【注】 SDA1AS ビットと SDA0AS ビット、SDA1AS ビットと SDA1BS ビット、および SDA0AS ビットと SDA0BS ビットは同時に 1 にセットしないでください。なお、ExSDAA の出力形式は、NMOS オープンドレイン出力となり、直接バス駆動が可能です。

- PG3/$\overline{\text{ExIRQ11}}$/ExTMIY

PG3DDR により次のように切り替わります。PTCNT0 の TMIYS ビット、TMR_Y の TCR の CCLR1、CCLR0 ビットをいずれも 1 にセットすると ExTMIY 入力端子になります。ISSR16 の ISS11 ビットを 1 にセットし、割り込みコントローラの IER16 の IRQ11E ビットを 1 にセットすると $\overline{\text{ExIRQ11}}$ 入力端子として使用できます。

PG3DDR	0	1
端子機能	PG3 入力端子	PG3 出力端子
	$\overline{\text{ExIRQ11}}$ 入力端子／ExTMIY 入力端子	

- PG2/$\overline{\text{ExIRQ10}}$/ExTMIX

PG2DDR により次のように切り替わります。PTCNT0 の TMIXS ビット、TMR_X の TCR の CCLR1、CCLR0 ビットをいずれも 1 にセットすると ExTMIX 入力端子になります。ISSR16 の ISS10 ビットを 1 にセットし、割り込みコントローラの IER16 の IRQ10E ビットを 1 にセットすると $\overline{\text{ExIRQ10}}$ 入力端子として使用できます。

PG2DDR	0	1
端子機能	PG2 入力端子	PG2 出力端子
	$\overline{\text{ExIRQ10}}$ 入力端子／ExTMIX 入力端子	

- PG1/$\overline{\text{ExIRQ9}}$/ExTMCI1

PG1DDR により次のように切り替わります。PTCNT0 の TMCI1S ビットを 1 にセット、TMR_1 の TCR の CKS2～CKS0 ビットで外部クロックを選択すると ExTMCI1 入力端子になります。ISSR16 の ISS9 ビットを 1 にセットし、割り込みコントローラの IER16 の IRQ9E ビットを 1 にセットすると $\overline{\text{ExIRQ9}}$ 入力端子として使用できます。

PG1DDR	0	1
端子機能	PG1 入力端子	PG1 出力端子
	$\overline{\text{ExIRQ9}}$ 入力端子／ExTMCI1 入力端子	

- PG0/$\overline{\text{ExIRQ8}}$/ExTMCI0

PG0DDR により次のように切り替わります。PTCNT0 の TMCI0S ビットを 1 にセット、TMR_0 の TCR の CKS2～CKS0 ビットで外部クロックを選択すると ExTMCI0 入力端子になります。ISSR16 の ISS8 ビットを 1 にセットし、割り込みコントローラの IER16 の IRQ8E ビットを 1 にセットすると $\overline{\text{ExIRQ8}}$ 入力端子として使用できます。

PG0DDR	0	1
端子機能	PG0 入力端子	PG0 出力端子
	$\overline{\text{ExIRQ8}}$ 入力端子／ExTMCI0 入力端子	

7.16.8 ポート G Nch-OD コントロールレジスタ（PGNOCR）

PGNOCR は、出力に指定されたときのポート G の各端子の出力ドライバタイプをビットごとに指定します。

ビット	ビット名	初期値	R/W	説　　明
7	PG7NOCR	0	R/W	0：NMOS プッシュプル （Vcc 側 N チャネルドライバが有効） 1：Vss 側 N チャネルオープンドレイン （Vcc 側 N チャネルドライバが無効）
6	PG6NOCR	0	R/W	
5	PG5NOCR	0	R/W	
4	PG4NOCR	0	R/W	
3	PG3NOCR	0	R/W	
2	PG2NOCR	0	R/W	
1	PG1NOCR	0	R/W	
0	PG0NOCR	0	R/W	

7.16.9 端子機能

DDR	0		1			
NOCR	－		0		1	
ODR	0	1	0	1	0	1
Vss 側 N-ch ドライバ	OFF		ON	OFF	ON	OFF
Vcc 側 N-ch ドライバ	OFF		OFF	ON	OFF	
端子機能	入力端子		出力端子			

7.17 周辺機能端子の移動

8 ビットタイマ入出力、8 ビット PWM タイマ出力、IIC 入出力では、兼用の入出力ポートを変更することができます。外部サブクロック入力、8 ビットタイマ入出力、8 ビット PWM タイマ出力は PTCNT0 の設定で、IIC 入出力は PTCNT1 の設定で、ドッキング LPC 入出力は PTCNT2 の設定で兼用となる入出力ポートが変更されます。変更先の周辺機能端子名は、元の端子名の先頭に「Ex」を付加して表示します。各周辺機能の説明では元の端子名のみを使用します。

7.17.1 ポートコントロールレジスタ 0（PTCNT0）

PTCNT0 は、外部サブクロック入力、8 ビットタイマ入出力、8 ビット PWM タイマ出力の兼用ポートを選択します。

ビット	ビット名	初期値	R/W	説　　明
7	TMCI0S	0	R/W	0：P40/TMCI0 を選択します。 1：PG0/ExTMCI0 を選択します。
6	TMCI1S	0	R/W	0：P43/TMCI1 を選択します。 1：PG1/ExTMCI1 を選択します。
5	TMIXS	0	R/W	0：P60/TMIX を選択します。 1：PG2/ExTMIX を選択します。
4	TMIYS	0	R/W	0：P62/TMIY を選択します。 1：PG3/ExTMIY を選択します。
3	TMOXS	0	R/W	0：P67/TMOX を選択します。 1：PF3/ExTMOX を選択します。
2	PWMAS	0	R/W	0：P27/PW15、P26/PW14 を選択します。 1：PF7/ExPW15、PF6/ExPW14 を選択します。
1	PWMBS	0	R/W	0：P25/PW13、P24/PW12 を選択します。 1：PF5/ExPW13、PF4/ExPW12 を選択します。
0	EXCLS	0	R/W	0：P96/EXCL を選択します。 1：P50/ExEXCL を選択します。

7.17.2 ポートコントロールレジスタ 1（PTCNT1）

PTCNT1 は、IIC 入出力の兼用ポートを選択します。

ビット	ビット名	初期値	R/W	説　　明
7	SCL0AS	0	R/W	IIC0　IIC1
6	SCL1AS	0	R/W	0000：P52/SCL0　P86/SCL1
5	SCL0BS	0	R/W	1000：PG5/ExSCLA　P86/SCL1
4	SCL1BS	0	R/W	0100：P52/SCL0　PG5/ExSCLA
				0010：PG7/ExSCLB　P86/SCL1
				0001：P52/SCL0　PG7/ExSCLB
				1001：PG5/ExSCLA　PG7/ExSCLB
				0110：PG7/ExSCLB　PG5/ExSCLA
				上記以外設定禁止
3	SDA0AS	0	R/W	IIC0　IIC1
2	SDA1AS	0	R/W	0000：P97/SDA0　P42/SDA1
1	SDA0BS	0	R/W	1000：PG4/ExSDAA　P42/SDA1
0	SDA1BS	0	R/W	0100：P97/SDA0　PG4/ExSDAA
				0010：PG6/ExSDAB　P42/SDA1
				0001：P97/SDA0　PG6/ExSDAB
				1001：PG4/ExSDAA　PG6/ExSDAB
				0110：PG6/TExSDAB　PG4/ExSDAA
				上記以外設定禁止

【注】 PTCNT1 を設定する場合は、ICCR の ICE ビットを 0 にクリアした状態で設定してください。

7.17.3 ポートコントロールレジスタ 2（PTCNT2）

PTCNT2 は、シリアル入出力の兼用ポートを選択します。HICR0 の LPC3E～LPC1E シリアル入出力端子の選択は、SCI_0 の初期化開始前に行ってください。

ビット	ビット名	初期値	R/W	説　　明
7	－	0	R/W	リザーブビット 初期値を変更しないでください。
6	SCK1S	0	R/W	SCK1 ポートセレクト 0：P86/SCK1 を選択します。 1：P43/ExSCK1 を選択します。
5	SCD1S	0	R/W	RxD1、TxD1 ポートセレクト 0：P85/RxD1、P84/TxD1 を選択します。 1：P51/ExRxD1、P50/ExTxD1 を選択します。
4～0	－	すべて 0	R/W	リザーブビット 初期値を変更しないでください。

8.　8 ビット PWM タイマ（PWM）

本 LSI は、8 本の出力を持つ PWM（Pulse Width Modulation）を内蔵しています。8 本の出力波形は共通のタイムベースから生成され、パルス分割方式により高いキャリア周波数の PWM 出力が可能です。LSI 外部にローパスフィルタを接続することにより、8 ビット D/A 変換器として使用できます。

8.1　特長

- パルス分割により、最大1.25MHzのキャリア周波数での動作可能（20MHz動作時）
- デューティ0～100％を1／256の分解能で設定可能（100％はポート出力で実現）
- PWM出力のイネーブル／ディスエーブルの切り替え、直接出力／反転出力の切り替えが可能
- PWM出力の兼用ポートの選択が可能

  PW15、PW14またはExPW15、ExPW14を選択可能です。

  PW13、PW12またはExPW13、ExPW12を選択可能です。

PWM タイマのブロック図を図 8.1 に示します。

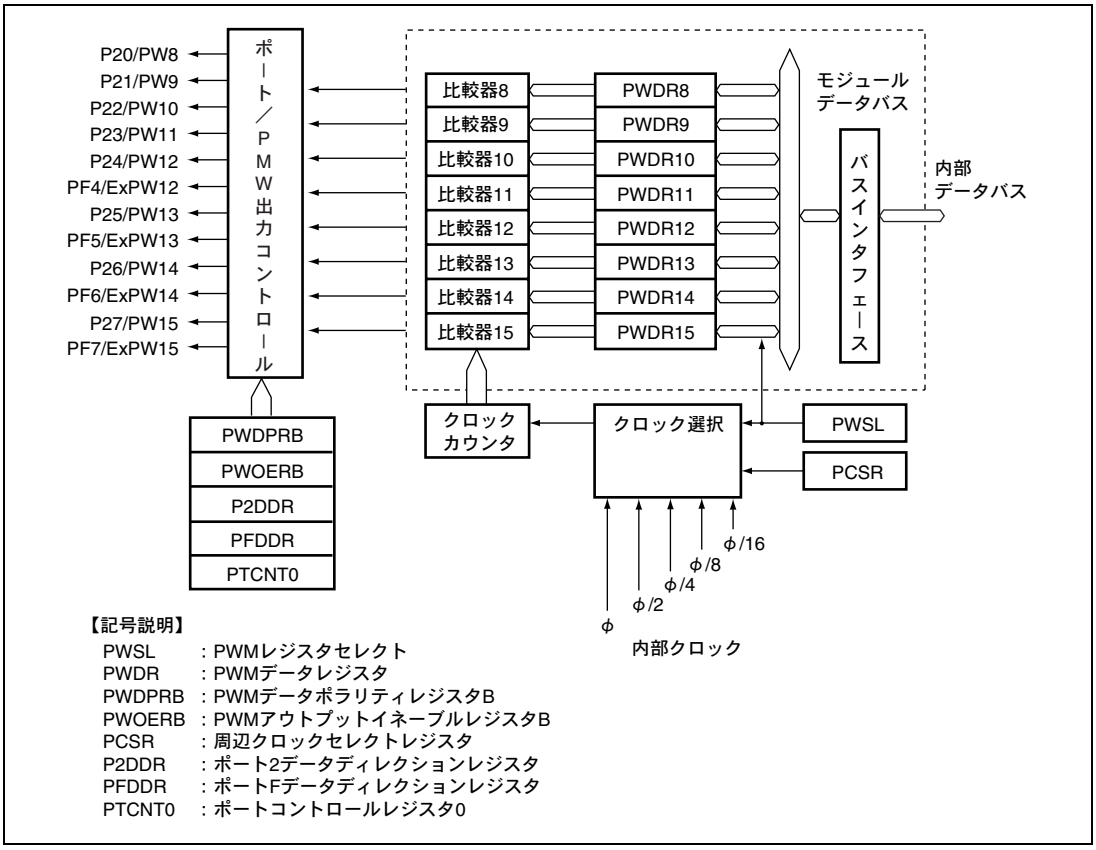


図 8.1 PWM のブロック図

8.2 端子構成

PWM の出力端子を表 8.1 に示します。

表 8.1 端子構成

名　称	記号	入出力	機　能
PWM 出力端子 15～8 ExPWM 出力端子 15～12	PW15～PW8 ExPW15～ExPW12	出力	PWM タイマパルス出力 15～8 PWn または ExPWn のどの端子から出力するかを選択できます。（n＝15～12） 詳細は「7.17.1 ポートコントロールレジスタ 0（PTCNT0）」を参照してください。

8.3 レジスタの説明

PWM には以下のレジスタがあります。PCSR をアクセスするためには、シリアルタイマコントロールレジスタ（STCR）の FLSHE ビットを 0 にクリアする必要があります。なお、シリアルタイマコントロールレジスタについては「3.2.3 シリアルタイマコントロールレジスタ（STCR）」を参照してください。

- PWMレジスタセレクト（PWSL）
- PWMデータレジスタ15～8（PWDR15～PWDR8）
- PWMデータポラリティレジスタB（PWDPRB）
- PWMアウトプットイネーブルレジスタB（PWOERB）
- 周辺クロックセレクトレジスタ（PCSR）

8.3.1 PWM レジスタセレクト（PWSL）

PWSL は、入力クロックの選択および PWM データレジスタの選択を行います。

ビット	ビット名	初期値	R/W	説　　明
7	PWCKE	0	R/W	PWM クロックイネーブル
6	PWCKS	0	R/W	PWM クロックセレクト PCSR の PWCKB、PWCKA ビットとともに、PWM の TCNT に入力する内部クロックを選択します。表 8.2 を参照してください。 分解能、PWM 変換周期、キャリア周波数は、選択した内部クロックにより次の式で求めることができます。 分解能（最小パルス幅）＝1／内部クロック周波数 PWM 変換周期＝分解能×256 キャリア周波数＝16／PWM 変換周期 システムクロック（φ）が 20MHz のときの分解能、PWM 変換周期、キャリア周波数は表 8.3 のようになります。
5	－	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
4	－	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

ビット	ビット名	初期値	R/W	説　　明
3	RS3	0	R/W	レジスタセレクト
2	RS2	0	R/W	PWM データレジスタを選択します。
1	RS1	0	R/W	0xxx：動作に影響を与えません
0	RS0	0	R/W	1000：PWDR8 選択
				1001：PWDR9 選択
				1010：PWDR10 選択
				1011：PWDR11 選択
				1100：PWDR12 選択
				1101：PWDR13 選択
				1110：PWDR14 選択
				1111：PWDR15 選択

【注】　x：Don't care

表 8.2　内部クロックの選択

PWSL		PCSR		説　　明
PWCKE	PWCKS	PWCKB	PWCKA	
0	－	－	－	クロック入力禁止　（初期値）
1	0	－	－	φ（システムクロック）を選択
	1	0	0	φ/2 を選択
			1	φ/4 を選択
		1	0	φ/8 を選択
			1	φ/16 を選択

表 8.3　φ＝20MHz 時の分解能、PWM 変換周期、キャリア周波数

内部クロック周波数	分解能	PWM 変換周期	キャリア周波数
φ	50ns	12.8μs	1250kHz
φ/2	100ns	25.6μs	625kHz
φ/4	200ns	51.2μs	312.5kHz
φ/8	400ns	102.4μs	156.3kHz
φ/16	800ns	204.8μs	78.1kHz

8.3.2　PWM データレジスタ 15～8（PWDR15～PWDR8）

PWDR は 8 ビットのリード／ライト可能なレジスタです。PWM には 8 本の PWDR があります。出力する基本パルスのデューティ比および付加パルスの個数を指定します。PWDR に設定する値が、変換周期内の 0/1 比に対応します。上位 4 ビットは基本パルスのデューティ比を 0/16～15/16 まで 1/16 の分解能で指定し、下位 4 ビットは 16 基本パルスで構成される変換周期内にいくつの付加パルスを付加するかを指定します。したがって、変換周期内の 0/1 比は 0/256～255/256 まで指定可能です。256/256（100％）を出力する場合はポート出力を利用してください。

8.3.3 PWM データポラリティレジスタ B（PWDPRB）

PWDPRB は PWM の出力位相を選択します。

ビット	ビット名	初期値	R/W	説　　明
7	OS15	0	R/W	アウトプットセレクト 15～8
6	OS14	0	R/W	PWM の出力位相を選択します。OS15～OS8 ビットがそれぞれ PW15
5	OS13	0	R/W	～PW8 出力に対応します。
4	OS12	0	R/W	0：PWM 直接出力（PWDR の値が出力の High 幅に対応）
3	OS11	0	R/W	1：PWM 反転出力（PWDR の値が出力の Low 幅に対応）
2	OS10	0	R/W	
1	OS9	0	R/W	
0	OS8	0	R/W	

8.3.4 PWM アウトプットイネーブルレジスタ B（PWOERB）

PWOERB は PWM 出力とポート出力を切り替えます。

ビット	ビット名	初期値	R/W	説　　明
7	OE15	0	R/W	アウトプットイネーブル 15～8
6	OE14	0	R/W	P2DDR とともに、P2n/PWm 端子の状態を指定します。OE15～OE8
5	OE13	0	R/W	ビットがそれぞれ PW15～PW8 出力に対応します。
4	OE12	0	R/W	P2nDDR OEn：端子状態
3	OE11	0	R/W	0x：ポート入力
2	OE10	0	R/W	10：ポート出力または PWM の 256/256 出力
1	OE9	0	R/W	11：PWM 出力（0～255/256 出力）
0	OE8	0	R/W	

【記号説明】

x：Don't care

n＝7～0

m＝15～8

DDR＝1、OE＝0 のとき PWM の 256/256 出力を実現するためには、該当端子をポート出力にする必要があります。また、該当端子がポート出力のときに出力されるのは、DR のデータです。PWM の 256/256 出力に対応する値は OS ビットで決まるので、この値をあらかじめ DR に設定してください。

8.3.5 周辺クロックセレクトレジスタ（PCSR）

PCSR は PWM の入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説　　明
7	－	0	R/W	「9.3.4 周辺クロックセレクトレジスタ（PCSR）」を参照してください。
6	－	0	R/W	
5	PWCKXB	0	R/W	
4	PWCKXA	0	R/W	
3	－	0	R/W	
2	PWCKB	0	R/W	PWM クロックセレクト B、A PWSL の PWCKE、PWCKS ビットとともに、クロックカウンタに入力する内部クロックを選択します。表 8.2 を参照してください。
1	PWCKA	0	R/W	
0	PWCKXC	0	R/W	「9.3.4 周辺クロックセレクトレジスタ（PCSR）」を参照してください。

8.4 動作説明

PWDR の上位 4 ビットは、基本パルスのデューティ比を 0/16～15/16 まで 1/16 の分解能で指定します。表 8.4 に基本パルスのデューティ比を示します。

表 8.4 基本パルスのデューティ比

上位4ビット	基本パルス波形（内部）
B'0000	0 1 2 3 4 5 6 7 8 9 A B C D E F 0
B'0001	
B'0010	
B'0011	
B'0100	
B'0101	
B'0110	
B'0111	
B'1000	
B'1001	
B'1010	
B'1011	
B'1100	
B'1101	
B'1110	
B'1111	

PWDR の下位 4 ビットは、16 基本パルスに対する付加パルスの付加位置を指定します。付加パルスは、基本パルスの立ち上がりエッジの前に分解能分の幅の High 期間（OS＝0 の場合）を付加します。PWDR の上位 4 ビットが B'0000 の場合は基本パルスの立ち上がりエッジは存在しませんが、付加パルスの付加タイミングは同様です。表 8.5 に基本パルスに対応する付加パルスの位置を、図 8.2 に付加パルスタイミング例を示します。

表 8.5　基本パルスに対する付加パルスの位置

下位 4 ビット	基本パルス No.															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
B'0000																
B'0001																○
B'0010								○								○
B'0011								○				○				○
B'0100				○				○				○				○
B'0101				○				○				○		○		○
B'0110				○		○		○				○		○		○
B'0111				○		○		○		○		○		○		○
B'1000		○		○		○		○		○		○		○		○
B'1001		○		○		○		○		○		○		○	○	○
B'1010		○		○		○	○	○		○		○		○	○	○
B'1011		○		○		○	○	○		○	○	○		○	○	○
B'1100		○	○	○		○	○	○		○	○	○		○	○	○
B'1101		○	○	○		○	○	○		○	○	○	○	○	○	○
B'1110		○	○	○	○	○	○	○		○	○	○	○	○	○	○
B'1111		○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

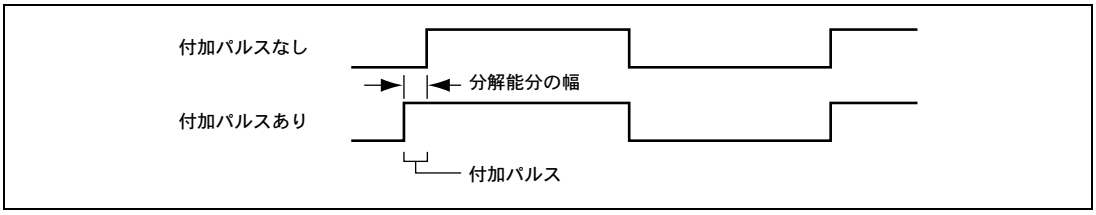


図 8.2　付加パルスタイミング例（PWDR 上位 4 ビットが B'1000）

8.4.1 PWM の設定例

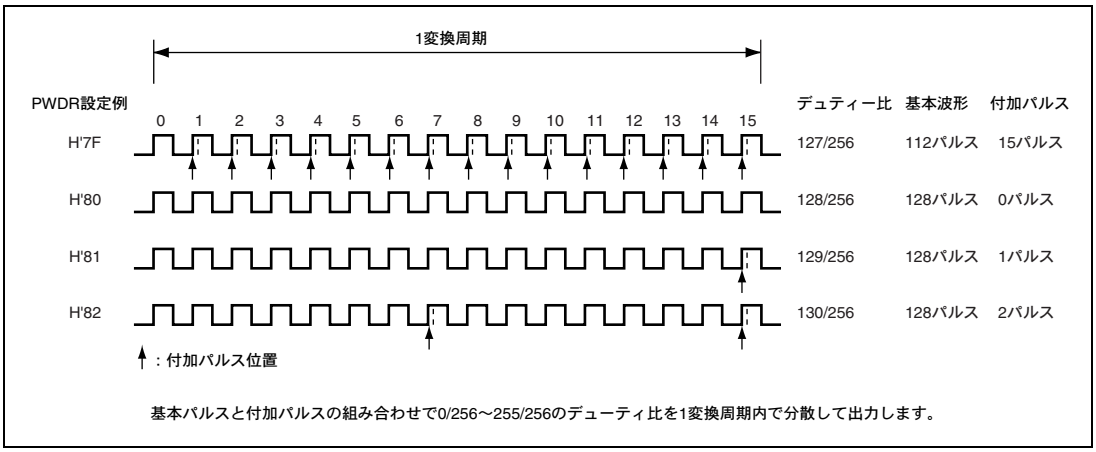


図 8.3 PWM の設定例

8.4.2 D/A として使用する場合の回路例

PWM パルスを D/A として使用する場合の回路例を示します。ローパスフィルタを接続にすることにより、リップルの少ないアナログ出力を生成することが可能です。

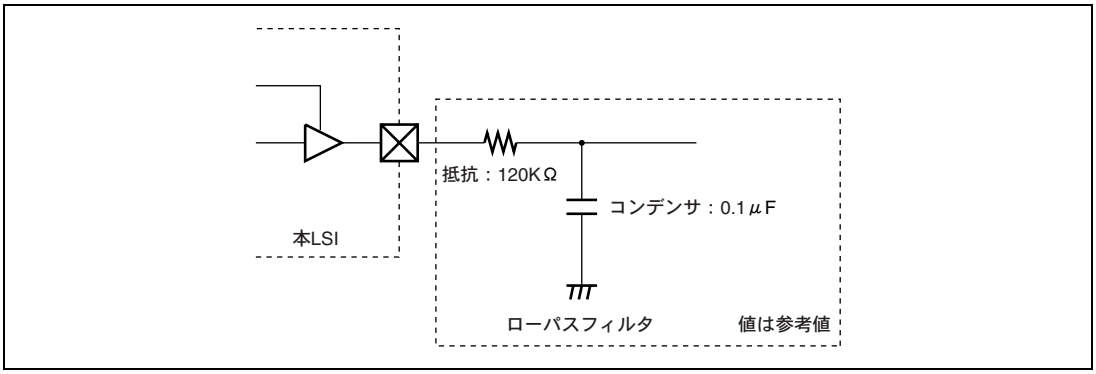


図 8.4 D/A として使用する場合の回路例

8.5　使用上の注意事項

8.5.1　モジュールストップモードの設定

モジュールストップコントロールレジスタにより、PWM の動作停止／許可を設定することが可能です。初期値では PWM の動作は停止します。モジュールストップモードを解除することより、レジスタのアクセスが可能になります。詳細は、**「第 20 章　低消費電力状態」**を参照してください。

9. 14 ビット PWM タイマ（PWMX）

本 LSI は 2 チャネルの 14 ビット PWM（Pulse Width Modulation）を内蔵しています。LSI 外部にローパスフィルタを接続することにより、14 ビット D/A 変換器として使用できます。

9.1 特長

- リップルの少ないパルス分割方式
- 8種類の分解能を選択可能

  システムクロック周期

  システムクロック周期×2、×64、×128、×256、×1024、×4096、×16384から選択可能
- 2種類の基本周期を設定可能

  基本周期　T×64

  基本周期　T×256（T＝分解能）
- 16種類の動作クロック（基本周期2種類×分解能8種類）を選択可能

PWMX（D/A）のブロック図を図 9.1 に示します。

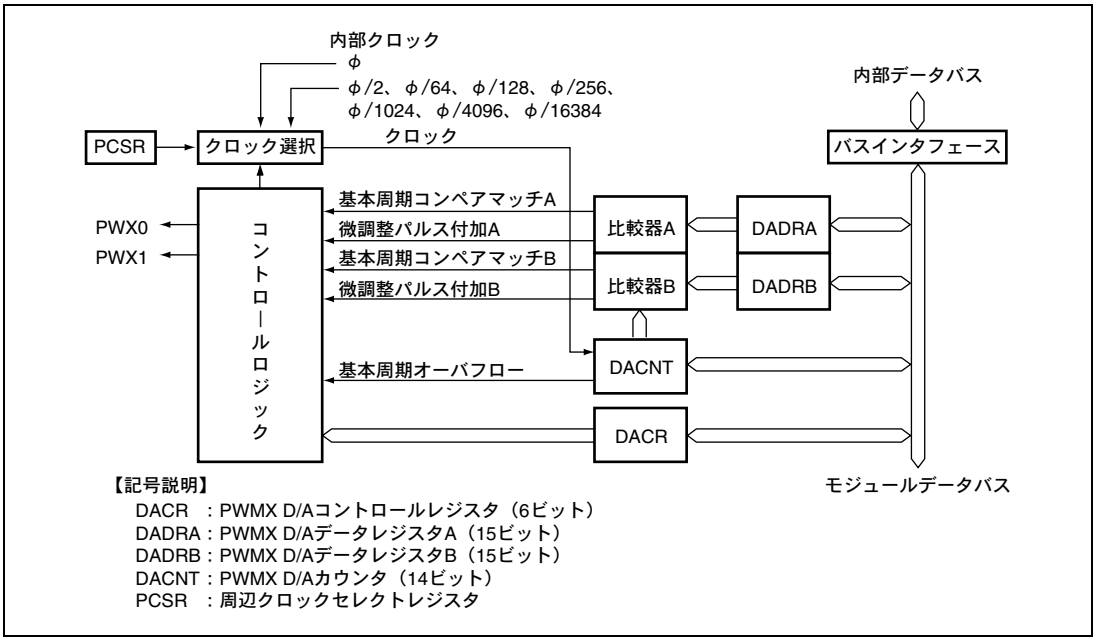


図 9.1　PWMX（D/A）のブロック図

9.2　入出力端子

PWMX（D/A）の入出力端子を表 9.1 に示します。

表 9.1　端子構成

名　　称	記号	入出力	機　　能
PWMX 出力端子 0	PWX0	出力	チャネル A の PWM 出力
PWMX 出力端子 1	PWX1	出力	チャネル B の PWM 出力

9.3　レジスタの説明

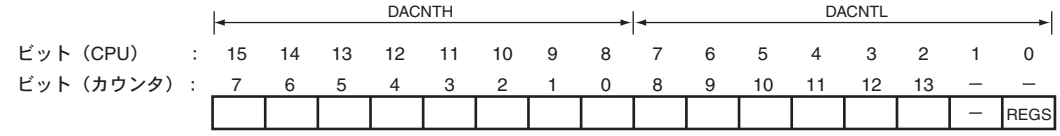
PWMX（D/A）には以下のレジスタがあります。PWMX（D/A）のレジスタは、他のレジスタと同一のアドレスに割り当てられています。レジスタの選択は、シリアルタイマコントロールレジスタ（STCR）の IICE ビットで行います。なお、モジュールストップコントロールレジスタについては「20.1.3　モジュールストップコントロールレジスタ H、L、A（MSTPCRH、MSTPCRL、MSTPCRA）」を参照してください。

- PWMX（D/A）カウンタ（DACNT）
- PWMX（D/A）データレジスタA（DADRA）
- PWMX（D/A）データレジスタB（DADRB）
- PWMX（D/A）コントロールレジスタ（DACR）
- 周辺クロックセレクトレジスタ（PCSR）

【注】 DADRA と DACR、DADRB と DACNT のアドレスは同一です。レジスタの切り替えは DACNT または DADRB の REGS ビットで行います。

9.3.1　PWMX（D/A）カウンタ H、L（DACNTH、DACNTL）

DACNT は 14 ビットのリード／ライト可能なアップカウンタです。入力クロックは DACR の CKS ビットにより選択します。DACNT は、2 チャネルの PWMX（D/A）のタイムベースとして使用されます。14 ビット精度で使用する場合には全ビットを、12 ビット精度で使用する場合には上位 2 ビット（カウンタ）を無視し、下位 12 ビットを利用します。DACNT は 16 ビット構成になっているため、CPU とのデータ転送はテンポラリレジスタ（TEMP）を介して行います。詳細は「9.4　バスマスタとのインタフェース」を参照してください。



- DACNTH

ビット	ビット名	初期値	R/W	説　　明
7～0	DACNT7～ DACNT0	すべて 0	R/W	上位アップカウンタ

- DACNTL

ビット	ビット名	初期値	R/W	説　　明
7～2	DACNT8～ DACNT13	すべて 0	R/W	下位アップカウンタ
1	－	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
0	REGS	1	R/W	レジスタセレクト DADRA と DACR、DADRB と DACNT は同一のアドレスに配置されています。このビットはアクセス可能にするレジスタを選択します。 0：DADRA と DADRB がアクセス可能 1：DACR と DACNT がアクセス可能

9.3.2 PWMX（D/A）データレジスタ A、B（DADRA、DADRB）

DADRA は PWMX（D/A）チャネル A に、DADRB は PWMX（D/A）チャネル B に対応します。16 ビット構成になっているため、CPU とのデータ転送はテンポラリレジスタ（TEMP）を介して行います。詳細は「9.4 バスマスタとのインタフェース」を参照してください。

- DADRA

ビット	ビット名	初期値	R/W	説　　明
15	DA13	1	R/W	D/A データ 13～0 D/A 変換データを設定します。このレジスタの値は DACNT の値と常に比較されており、基本周期ごとに出力波形のデューティを選択します。また、分解能幅の付加パルスを出力するか否かを選択します。この動作を可能にするためには、このレジスタをある範囲の値に設定する必要があります。この範囲は CFS ビットによって設定します。範囲外の値を設定すると PWM 出力は固定されます。 12 ビット精度で使用する場合には、DA0、DA1 をそれぞれ 0 に固定します。 この下位 2 ビットデータは DACNT の DACNT12、13 との比較を行いません。
14	DA12	1	R/W	
13	DA11	1	R/W	
12	DA10	1	R/W	
11	DA9	1	R/W	
10	DA8	1	R/W	
9	DA7	1	R/W	
8	DA6	1	R/W	
7	DA5	1	R/W	
6	DA4	1	R/W	
5	DA3	1	R/W	
4	DA2	1	R/W	
3	DA1	1	R/W	
2	DA0	1	R/W	
1	CFS	1	R/W	キャリアフリーケンシセレクト 0：基本周期＝分解能（T）×64 で動作 DA13～DA0 の値の範囲は H'0100～H'3FFF 1：基本周期＝分解能（T）×256 で動作 DA13～DA0 の値の範囲は H'0040～H'3FFF

ビット	ビット名	初期値	R/W	説　　明
0	－	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

- DADRB

ビット	ビット名	初期値	R/W	説　　明
15	DA13	1	R/W	D/A データ 13～0 D/A 変換データを設定します。このレジスタの内容は、DACNT の値と常に比較されており、基本周期ごとに出力波形のデューティを選択します。また、分解能幅の付加パルスを出力するか否かを選択します。この動作を可能にするためには、このレジスタをある範囲の値に設定する必要があります。この範囲は CFS ビットによって設定します。範囲外の値を DADR に設定すると PWM 出力は固定されます。 12 ビット精度で使用する場合には、DA0、DA1 をそれぞれ 0 に固定します。この 2 ビットデータは DACNT の DACNT12、13 との比較を行いません。
14	DA12	1	R/W	
13	DA11	1	R/W	
12	DA10	1	R/W	
11	DA9	1	R/W	
10	DA8	1	R/W	
9	DA7	1	R/W	
8	DA6	1	R/W	
7	DA5	1	R/W	
6	DA4	1	R/W	
5	DA3	1	R/W	
4	DA2	1	R/W	
3	DA1	1	R/W	
2	DA0	1	R/W	
1	CFS	1	R/W	キャリアフリーケンシセレクト 0：基本周期＝分解能（T）×64 で動作 DA13～DA0 の値の範囲は H'0100～H'3FFF 1：基本周期＝分解能（T）×256 で動作 DA13～DA0 の値の範囲は H'0040～H'3FFF
0	REGS	1	R/W	レジスタセレクト DADRA と DACR、DADRB と DACNT は同一のアドレスに配置されています。このビットはアクセス可能にするレジスタを選択します。 0：DADRA と DADRB がアクセス可能 1：DACR と DACNT がアクセス可能

9.3.3 PWMX（D/A）コントロールレジスタ（DACR）

DACR は、出力の許可、出力位相および動作速度を選択します。

ビット	ビット名	初期値	R/W	説　　明
7	－	0	R/W	リザーブビット 初期値を変更しないでください。
6	PWME	0	R/W	PWMX イネーブル DACNT の動作／停止を選択します。 0：DACNT は 14 ビットのアップカウンタとして動作 1：DACNT＝H'0003 で停止
5 4	－ －	1 1	R R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	OEB	0	R/W	アウトプットイネーブル B PWMX（D/A）チャネル B の出力の許可／禁止を選択します。 0：PWMX（D/A）チャネル B 出力（PWX1 出力端子）を禁止 1：PWMX（D/A）チャネル B 出力（PWX1 出力端子）を許可
2	OEA	0	R/W	アウトプットイネーブル A PWMX（D/A）チャネル A の出力の許可／禁止を選択します。 0：PWMX（D/A）チャネル A 出力（PWX0 出力端子）を禁止 1：PWMX（D/A）チャネル A 出力（PWX0 出力端子）を許可
1	OS	0	R/W	アウトプットセレクト PWMX(D/A)の出力位相を選択します。 0：PWMX（D/A）直接出力 1：PWMX（D/A）反転出力
0	CKS	0	R/W	クロックセレクト PWMX（D/A）の分解能を選択します。分解能は 8 種類から選択できます。 0：分解能（T）＝システムクロック周期（t_{cyc}）で動作 1：分解能（T）＝システムクロック周期（t_{cyc}）×2、×64、×128、×256、×1024、×4096、×16384 で動作

9.3.4 周辺クロックセレクトレジスタ（PCSR）

PCSR は、DACR の CKS ビットとあわせて動作速度を選択します。

ビット	ビット名	初期値	R/W	説　　明
7 6	－ －	0 0	R/W R/W	リザーブビット 初期値を変更しないでください。
5 4	PWCKXB PWCKXA	0 0	R/W R/W	PWMX クロックセレクト PWMX の DACR の CKS が 1 の状態でクロックを選択します。表 9.2 を参照してください。
3	－	0	R/W	リザーブビット 初期値を変更しないでください。
2 1	PWCKB PWCKA	0 0	R/W R/W	PWM クロックセレクト B、A 「8.3.5　周辺クロックセレクトレジスタ（PCSR）」を参照してください。
0	PWCKXC	0	R/W	PWMX クロックセレクト PWMX の DACR の CKS が 1 の状態でクロックを選択します。表 9.2 を参照してください。

表 9.2　PWMX のクロックセレクト

PWCKXC	PWCKXB	PWCKXA	分解能（T）
0	0	0	システムクロック周期（t_{cyc}）×2 で動作
0	0	1	システムクロック周期（t_{cyc}）×64 で動作
0	1	0	システムクロック周期（t_{cyc}）×128 で動作
0	1	1	システムクロック周期（t_{cyc}）×256 で動作
1	0	0	システムクロック周期（t_{cyc}）×1024 で動作
1	0	1	システムクロック周期（t_{cyc}）×4096 で動作
1	1	0	システムクロック周期（t_{cyc}）×16384 で動作
1	1	1	設定禁止

9.4 バスマスタとのインタフェース

DACNT、DADRA、DADRB は 16 ビットのレジスタです。一方、バスマスタと内蔵周辺モジュールの間のデータバスは 8 ビット幅です。したがって、バスマスタがこれらのレジスタをアクセスするには、8 ビットのテンポラリレジスタ（TEMP）を介して行います。各レジスタのリード／ライトは次のような動作で行われます。

（1） レジスタへのライト時の動作

上位バイトのライトにより、上位バイトのデータが TEMP にストアされます。次に下位バイトのライトにより、TEMP にある上位バイトの値と合わせて 16 ビットデータとしてレジスタにライトされます。

（2） レジスタからのリード時の動作

上位バイトのリードにより、上位バイトの値は CPU に転送され、下位バイトの値は TEMP に転送されます。次に下位バイトのリードにより、TEMP にある下位バイトの値が CPU に転送されます。

これらのレジスタのアクセスは MOV 命令を使用し、常に 16 ビット単位で行い、上位バイト、下位バイトの順序で行ってください。上位バイトのみ、下位バイトのみのアクセスではデータは正しく転送されません。なお、ビット操作命令は使用できません。

例 1　DACNT へのライト

```
MOV.W  R0, @DACNT      DACNT へ R0 の内容をライト
```

例 2　DADRA のリード

```
MOV.W  @DADRA, R0      DADRA の内容を R0 に転送
```

表 9.3　16 ビットビットレジスタのリード／ライト別アクセス方式

レジスタ名	リード		ライト	
	ワード	バイト	ワード	バイト
DADRA、DADRB	○	○	○	×
DACNT	○	×	○	×

【記号説明】

○：許されているアクセスを示します。

ワード単位のアクセスとは上位バイト→下位バイトの順序で連続してバイトアクセスすることを含みます。

×：その単位のアクセスでは、結果が保証されません。

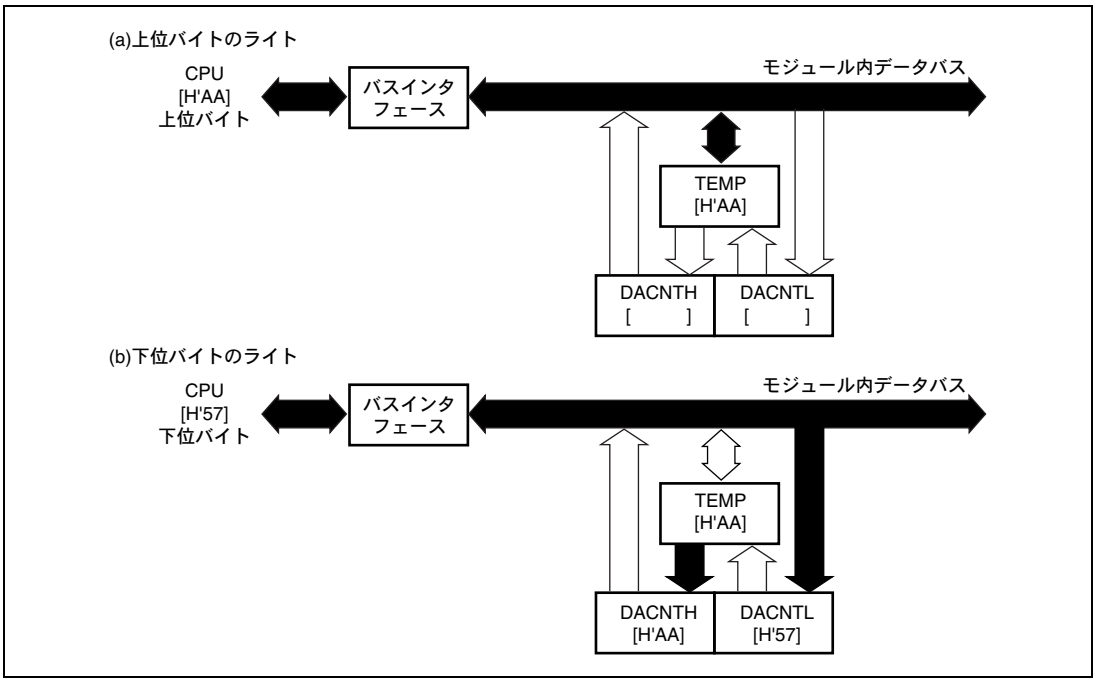


図 9.2（1） DACNT のアクセス動作（1）（CPU→DACNT[H'AA57]ライト時）

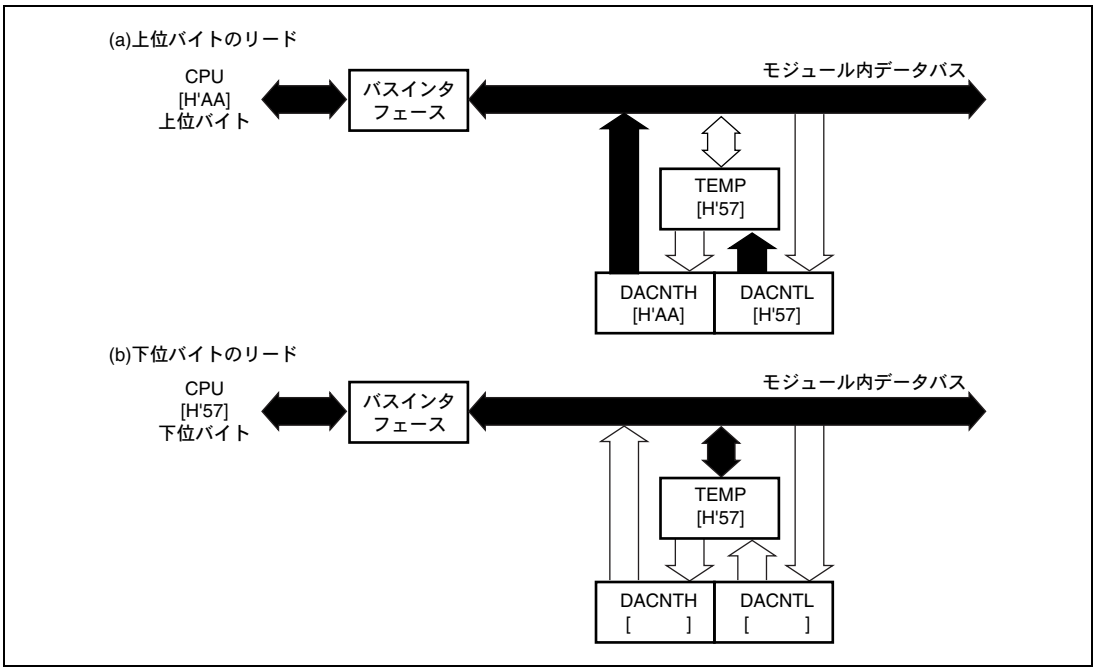


図 9.2（2） DACNT のアクセス動作（2）（DACNT→CPU[H'AA57]リード時）

9.5 動作説明

PWX 端子からは、図 9.3 に示すような PWM 波形が出力されます。1 変換周期中に発生するパルス（CFS＝0 の場合 64、CFS＝1 の場合 256）の 0 レベル幅の合計（T_L）が DADR の DA13～DA0 と対応しています。OS＝0 の場合、この波形が直接出力されます。OS＝1 の場合、この波形が反転して出力されます。このとき 1 レベル幅の合計（T_H）が DADR の DA13～DA0 と対応しています。出力波形を図 9.4、図 9.5 に示します。

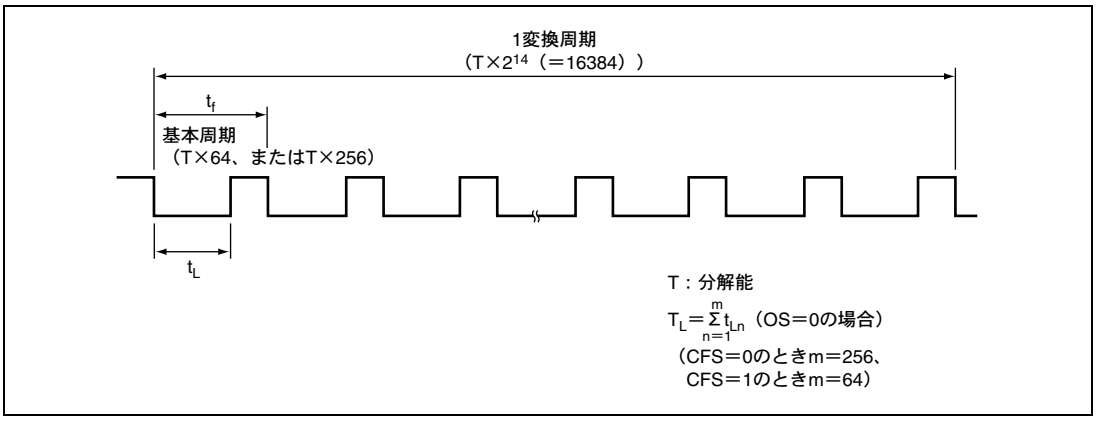


図 9.3 PWMX（D/A）の動作

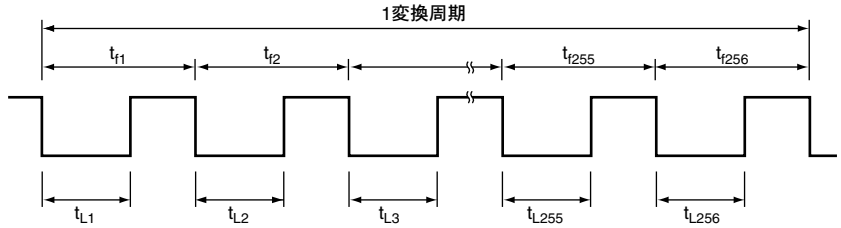
CKS、CFS の設定と、分解能、基本周期、変換周期との関係を表 9.4 に示します。DADR の DA13～DA0 がある値以上ではないと PWM 出力は固定レベルとなります。また、OS ビットと出力波形の関係を図 9.4 と図 9.5 に示します。

表 9.4　設定値と動作内容（φ：20MHz 時の例）

PCSR			CKS	分解能	CFS	基本	変換	TL/TH	DADR 固定ビット					変換
PWCKX0 PWCKX1				T（μs）		周期	周期	（OS＝0/OS＝1）	変換精度（ビット数）	ビットデータ				周期*
C	B	A								DA3	DA2	DA1	DA0	
−	−	−	0	0.05	0	3.2μs /312.5kHz	819.2μs	（1）常時 Low/High レベル出力 DA13～0＝H'0000～H'00FF	14					819.2μs
								（2）（データ値）×T DA13～0＝H'0100～H'3FFF	12			0	0	204.8μs
									10	0	0	0	0	51.2μs
					1	12.8μs /78.1kHz		（1）常時 Low/High レベル出力 DA13～0＝H'0000～H'003F	14					819.2μs
				（φ）				（2）（データ値）×T DA13～0＝H'0040～H'3FFF	12			0	0	204.8μs
									10	0	0	0	0	51.2μs
0	0	0	1	0.1	0	6.4μs /156.2kHz	1.64ms	（1）常時 Low/High レベル出力 DA13～0＝H'0000～H'00FF	14					1638.4μs
								（2）（データ値）×T DA13～0＝H'0100～H'3FFF	12			0	0	409.6μs
									10	0	0	0	0	102.4μs
					1	25.6μs /39.1kHz		（1）常時 Low/High レベル出力 DA13～0＝H'0000～H'003F	14					1638.4μs
				（φ/2）				（2）（データ値）×T DA13～0＝H'0040～H'3FFF	12			0	0	409.6μs
									10	0	0	0	0	102.4μs
0	0	1	1	3.2	0	204.8μs /4.9kHz	52.4ms	（1）常時 Low/High レベル出力 DA13～0＝H'0000～H'00FF	14					52.4ms
								（2）（データ値）×T DA13～0＝H'0100～H'3FFF	12			0	0	13.1ms
									10	0	0	0	0	3.3ms
					1	819.2μs /1.2kHz		（1）常時 Low/High レベル出力 DA13～0＝H'0000～H'003F	14					52.4ms
				（φ/64）				（2）（データ値）×T DA13～0＝H'0040～H'3FFF	12			0	0	13.1ms
									10	0	0	0	0	3.3ms
0	1	0	1	6.4	0	409.6μs /2.4kHz	104.9ms	（1）常時 Low/High レベル出力 DA13～0＝H'0000～H'00FF	14					104.9ms
								（2）（データ値）×T DA13～0＝H'0100～H'3FFF	12			0	0	26.2ms
									10	0	0	0	0	6.6ms
					1	1638.4μs /610.4Hz		（1）常時 Low/High レベル出力 DA13～0＝H'0000～H'003F	14					104.9ms
				（φ/128）				（2）（データ値）×T DA13～0＝H'0040～H'3FFF	12			0	0	26.2ms
									10	0	0	0	0	6.6ms
0	1	1	1	12.8	0	819.2μs /1.2kHz	209.7ms	（1）常時 Low/High レベル出力 DA13～0＝H'0000～H'00FF	14					209.7ms
								（2）（データ値）×T DA13～0＝H'0100～H'3FFF	12			0	0	52.4ms
									10	0	0	0	0	13.1ms
					1	3276.8μs /305.2Hz		（1）常時 Low/High レベル出力 DA13～0＝H'0000～H'003F	14					209.7ms
				（φ/256）				（2）（データ値）×T DA13～0＝H'0040～H'3FFF	12			0	0	52.4ms
									10	0	0	0	0	13.1ms

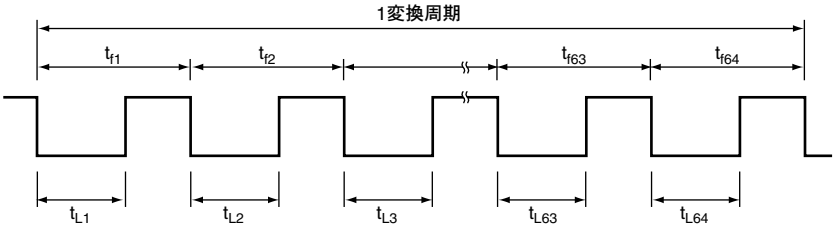
PCSR PWCKX0 PWCKX1 C	B	A	CKS	分解能 T（μs）	CFS	基本周期	変換周期	TL/TH（OS＝0/OS＝1）	DADR 固定ビット 変換精度（ビット数）	ビットデータ DA3	DA2	DA1	DA0	変換周期*
1	0	0	1	51.2	0	3.3ms /305.2Hz	838.9ms	（1）常時 Low/High レベル出力 DA13～0＝H'0000～H'00FF	14					838.9ms
								（2）（データ値）×T DA13～0＝H'0100～H'3FFF	12			0	0	209.7ms
									10	0	0	0	0	52.4ms
					1	13.1ms /76.3Hz		（1）常時 Low/High レベル出力 DA13～0＝H'0000～H'003F	14					838.9ms
								（2）（データ値）×T DA13～0＝H'0040～H'3FFF	12			0	0	209.7ms
				（φ/1024）					10	0	0	0	0	52.4ms
1	0	1	1	204.8	0	13.1ms /76.3Hz	3.4s	（1）常時 Low/High レベル出力 DA13～0＝H'0000～H'00FF	14					3.4s
								（2）（データ値）×T DA13～0＝H'0100～H'3FFF	12			0	0	838.9ms
									10	0	0	0	0	209.7ms
					1	52.4ms /19.1Hz		（1）常時 Low/High レベル出力 DA13～0＝H'0000～H'003F	14					3.4s
								（2）（データ値）×T DA13～0＝H'0040～H'3FFF	12			0	0	838.9ms
				（φ/4096）					10	0	0	0	0	209.7ms
1	1	0	1	819.2	0	52.4ms /19.1Hz	13.4s	（1）常時 Low/High レベル出力 DA13～0＝H'0000～H'00FF	14					13.4s
								（2）（データ値）×T DA13～0＝H'0100～H'3FFF	12			0	0	3.4s
									10	0	0	0	0	838.9ms
					1	209.7ms /4.8Hz		（1）常時 Low/High レベル出力 DA13～0＝H'0000～H'003F	14					13.4s
								（2）（データ値）×T DA13～0＝H'0040～H'3FFF	12			0	0	3.4s
				（φ/16384）					10	0	0	0	0	838.9ms
1	1	1	1	禁止	–	–	–	–	–	–	–	–	–	–

【注】 * DADR の特定のビットを固定することにより得られる変換周期です。



$t_{f1} = t_{f2} = t_{f3} = \cdot\cdot\cdot = t_{f255} = t_{f256} = T \times 64$
$t_{L1} + t_{L2} + t_{L3} + \cdot\cdot\cdot + t_{L255} + t_{L256} = T_L$

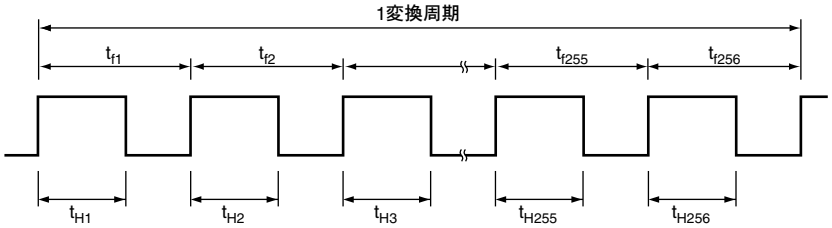
（a）CFS＝0（基本周期＝分解能（T）×64）



$t_{f1} = t_{f2} = t_{f3} = \cdot\cdot\cdot = t_{f63} = t_{f64} = T \times 256$
$t_{L1} + t_{L2} + t_{L3} + \cdot\cdot\cdot + t_{L63} + t_{L64} = T_L$

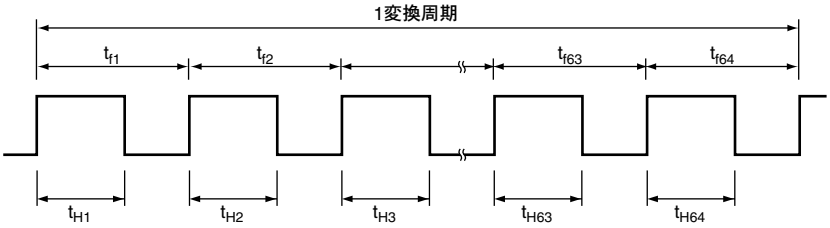
（b）CFS＝1（基本周期＝分解能（T）×256）

図 9.4　出力波形（OS＝0、DADR は T_L に対応）



$t_{f1} = t_{f2} = t_{f3} = \cdot\cdot\cdot = t_{f255} = t_{f256} = T \times 64$
$t_{H1} + t_{H2} + t_{H3} + \cdot\cdot\cdot + t_{H255} + t_{H256} = T_H$

（a）CFS＝0（基本周期＝分解能（T）×64）



$t_{f1} = t_{f2} = t_{f3} = \cdot\cdot\cdot = t_{f63} = t_{f64} = T \times 256$
$t_{H1} + t_{H2} + t_{H3} + \cdot\cdot\cdot + t_{H63} + t_{H64} = T_H$

（b）CFS＝1（基本周期＝分解能（T）×256）

図 9.5　出力波形（OS＝1、DADR は T_H に対応）

付加パルスについては、CFS＝1（基本周期＝分解能（T）×256）かつ OS＝1（PWM 反転出力）の設定を例に示します。CFS＝1 のとき、**図 9.6** に示すように DADR の上位 8 ビット（DA13～DA6）で基本パルスのデューティ比が、次の 6 ビット（DA5～DA0）で付加パルスの位置が決定されます。

表9.5 に付加パルスの位置を示します。

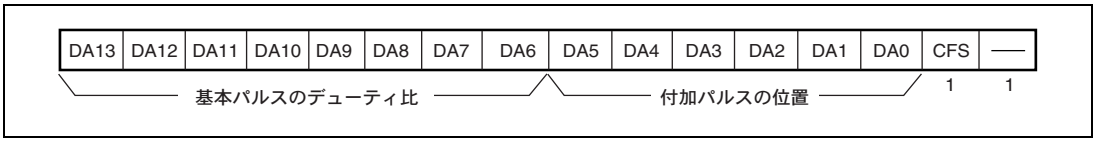


図 9.6　CFS＝1 のときの D/A データレジスタの構成

ここでは、DADR＝H'0207（B'0000 0010 0000 0111）の場合を考えます。**図 9.7** に出力波形を示します。CFS＝1 であり、上位 8 ビットの値が B'0000 0010 ですので、基本パルスは High 幅が 2/256×（T）のデューティ比となります。

次に続く 6 ビットの値が B'0000 01 ですので、**表 9.5** より、付加パルスは基本パルス No.63 の位置でのみ出力されます。付加パルスは基本パルスに 1/256×（T）だけ追加される形となります。

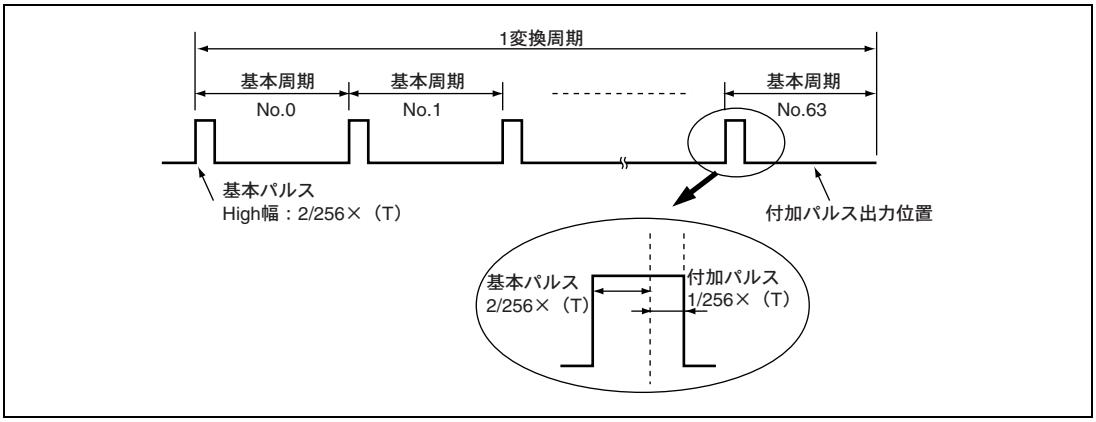


図 9.7　DADR＝H'0207 のときの出力波形（OS＝1）

なお、CFS＝0（基本周期＝分解能（T）×64）の場合、基本パルスのデューティ比は上位 6 ビットで、付加パルスの位置はその次の 8 ビットで決定されるという点以外は、同様な考え方となります。

表 9.5　基本パルスに対する付加パルスの位置（CFS＝1 の場合）

下位6ビット	基本パルスNo. 0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63
0 0 0 0 0 0	○																																																																			
0 0 0 0 0 1																																																																				
0 0 0 0 1 0																																																																				
0 0 0 0 1 1																																																																				
0 0 0 1 0 0																																																																				
0 0 0 1 0 1																																																																				
0 0 0 1 1 0																																																																				
0 0 0 1 1 1																																																																				
0 0 1 0 0 0																																																																				
0 0 1 0 0 1																																																																				
0 0 1 0 1 0																																																																				
0 0 1 0 1 1																																																																				
0 0 1 1 0 0																																																																				
0 0 1 1 0 1																																																																				
0 0 1 1 1 0																																																																				
0 0 1 1 1 1																																																																				
0 1 0 0 0 0																																																																				
0 1 0 0 0 1																																																																				
0 1 0 0 1 0																																																																				
0 1 0 0 1 1																																																																				
0 1 0 1 0 0																																																																				
0 1 0 1 0 1																																																																				
0 1 0 1 1 0																																																																				
0 1 0 1 1 1																																																																				
0 1 1 0 0 0																																																																				
0 1 1 0 0 1																																																																				
0 1 1 0 1 0																																																																				
0 1 1 0 1 1																																																																				
0 1 1 1 0 0																																																																				
0 1 1 1 0 1																																																																				
0 1 1 1 1 0																																																																				
0 1 1 1 1 1																																																																				
1 0 0 0 0 0																																																																				
1 0 0 0 0 1																																																																				
1 0 0 0 1 0																																																																				
1 0 0 0 1 1																																																																				
1 0 0 1 0 0																																																																				
1 0 0 1 0 1																																																																				
1 0 0 1 1 0																																																																				
1 0 0 1 1 1																																																																				
1 0 1 0 0 0																																																																				
1 0 1 0 0 1																																																																				
1 0 1 0 1 0																																																																				
1 0 1 0 1 1																																																																				
1 0 1 1 0 0																																																																				
1 0 1 1 0 1																																																																				
1 0 1 1 1 0																																																																				
1 0 1 1 1 1																																																																				
1 1 0 0 0 0																																																																				
1 1 0 0 0 1																																																																				
1 1 0 0 1 0																																																																				
1 1 0 0 1 1																																																																				
1 1 0 1 0 0																																																																				
1 1 0 1 0 1																																																																				
1 1 0 1 1 0																																																																				
1 1 0 1 1 1																																																																				
1 1 1 0 0 0																																																																				
1 1 1 0 0 1																																																																				
1 1 1 0 1 0																																																																				
1 1 1 0 1 1																																																																				
1 1 1 1 0 0																																																																				
1 1 1 1 0 1																																																																				
1 1 1 1 1 0																																																																				
1 1 1 1 1 1																																																																				

9.6　使用上の注意事項

9.6.1　モジュールストップモードの設定

モジュールストップコントロールレジスタにより、PWMX の動作停止／許可を設定することが可能です。初期値では PWMX の動作は停止します。モジュールストップモードを解除することより、レジスタのアクセスが可能になります。詳細は、**「第 20 章　低消費電力状態」**を参照してください。

10.　16 ビットフリーランニングタイマ（FRT）

本 LSI は、16 ビットフリーランニングタイマ（FRT：Free Running Timer）を内蔵しています。FRT は 16 ビットのフリーランニングカウンタ（FRC）をベースにして、2 種類の独立した波形出力が可能です。また、入力パルスの幅や外部クロックの周期を測定することができます。

10.1　特長

- **4種類のカウンタ入力クロックを選択可能**

  3種類の内部クロック（φ/2、φ/8、φ/32）と、外部クロックのうちから選択できます（外部イベントのカウントが可能）。

- **2本の独立したコンパレータ**

  2種類の波形出力が可能です。

- **4本の独立したインプットキャプチャ**

  立ち上がり／立ち下がりエッジの選択が可能です。

  バッファ動作を指定できます。

- **カウンタのクリア指定が可能**

  コンペアマッチAによりカウンタの値をクリアすることができます。

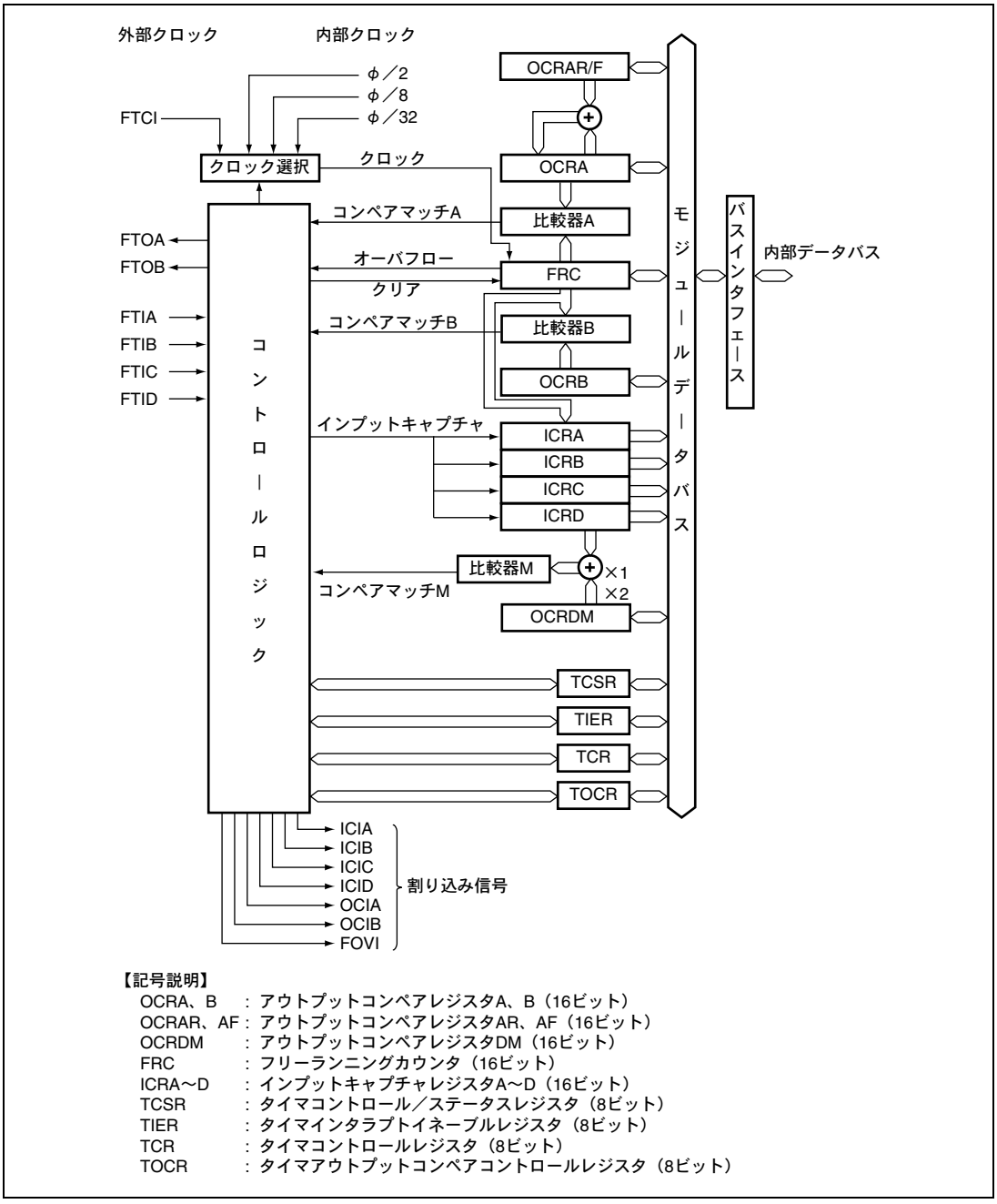
- **7種類の割り込み要因**

  コンペアマッチ×2要因、インプットキャプチャ×4要因、オーバフロー×1要因があり、それぞれ独立に要求することができます。

- **自動加算機能による特殊動作**

  OCRAの内容にOCRARおよびOCRAFの内容を自動的に加算し、ソフトウェアの介在なしに周期的な波形を生成することができます。ICRDの内容とOCRDMの内容×2を自動的に加算し、この間のインプットキャプチャ動作を制限することができます。

FRT のブロック図を図 10.1 に示します。



【記号説明】

OCRA、B	：	アウトプットコンペアレジスタA、B（16ビット）
OCRAR、AF	：	アウトプットコンペアレジスタAR、AF（16ビット）
OCRDM	：	アウトプットコンペアレジスタDM（16ビット）
FRC	：	フリーランニングカウンタ（16ビット）
ICRA～D	：	インプットキャプチャレジスタA～D（16ビット）
TCSR	：	タイマコントロール／ステータスレジスタ（8ビット）
TIER	：	タイマインタラプトイネーブルレジスタ（8ビット）
TCR	：	タイマコントロールレジスタ（8ビット）
TOCR	：	タイマアウトプットコンペアコントロールレジスタ（8ビット）

図 10.1　FRT のブロック図

10.2　入出力端子

FRT の入出力端子を表 10.1 に示します。

表 10.1　端子構成

名　　称	記号	入出力	機　　能
カウンタクロック入力端子	FTCI	入力	FRC のカウンタクロック入力
アウトプットコンペア A 出力端子	FTOA	出力	アウトプットコンペア A の出力
アウトプットコンペア B 出力端子	FTOB	出力	アウトプットコンペア B の出力
インプットキャプチャ A 入力端子	FTIA	入力	インプットキャプチャ A の入力
インプットキャプチャ B 入力端子	FTIB	入力	インプットキャプチャ B の入力
インプットキャプチャ C 入力端子	FTIC	入力	インプットキャプチャ C の入力
インプットキャプチャ D 入力端子	FTID	入力	インプットキャプチャ D の入力

10.3　レジスタの説明

FRT には以下のレジスタがあります。

- フリーランニングカウンタ（FRC）
- アウトプットコンペアレジスタA（OCRA）
- アウトプットコンペアレジスタB（OCRB）
- インプットキャプチャレジスタA（ICRA）
- インプットキャプチャレジスタB（ICRB）
- インプットキャプチャレジスタC（ICRC）
- インプットキャプチャレジスタD（ICRD）
- アウトプットコンペアレジスタAR（OCRAR）
- アウトプットコンペアレジスタAF（OCRAF）
- アウトプットコンペアレジスタDM（OCRDM）
- タイマインタラプトイネーブルレジスタ（TIER）
- タイマコントロール／ステータスレジスタ（TCSR）
- タイマコントロールレジスタ（TCR）
- タイマアウトプットコンペアコントロールレジスタ（TOCR）

【注】　OCRA と OCRB のアドレスは同一です。レジスタの切り替えは TOCR の OCRS ビットで行います。また、ICRA、ICRB、ICRC と OCRAR、OCRAF、OCRDM のアドレスは同一です。レジスタの切り替えは TOCR の ICRS ビットで行います。

10.3.1 フリーランニングカウンタ（FRC）

FRC は 16 ビットのリード／ライト可能なアップカウンタです。入力クロックは TCR の CKS1、CKS0 ビットにより選択します。FRC はコンペアマッチ A によりクリアすることができます。FRC が H'FFFF から H'0000 にオーバフローすると、TCSR の OVF が 1 にセットされます。FRC は 8 ビット単位のアクセスはできません。常に 16 ビットでアクセスしてください。FRC の初期値は H'0000 です。

10.3.2 アウトプットコンペアレジスタ A、B（OCRA、OCRB）

OCR は 16 ビットのリード／ライト可能なレジスタです。FRT には 2 本の OCR があります。OCR の値は FRC の値と常に比較されています。両者の値が一致（コンペアマッチ）すると、TCSR の OCFA、OCFB フラグが 1 にセットされます。このとき TOCR の OEA、OEB ビットが 1 にセットされていると、TOCR の OLVLA、OLVLB ビットで設定した出力レベルの値がアウトプットコンペア出力端子（FTOA、FTOB）に出力されます。リセット後、コンペアマッチが発生するまで FTOA、FTOB は 0 出力です。OCR は 8 ビット単位のアクセスはできません。常に 16 ビットでアクセスしてください。OCR の初期値は H'FFFF です。

10.3.3 インプットキャプチャレジスタ A～D（ICRA～ICRD）

ICR は 16 ビットのリード専用のレジスタです。FRT には 4 本の ICR があります。インプットキャプチャ入力信号（FTIA～FTID）の立ち上がり、または立ち下がりエッジが検出されると FRC の値が ICRA～ICRD に転送されます。このとき同時に TCSR の ICFA～ICFD フラグが 1 にセットされます。FRC から ICR への転送は ICF の値にかかわらず行われます。インプットキャプチャ信号の検出エッジは TCR の IEDGA～IEDGD ビットにより選択できます。

また、ICRC は ICRA のバッファレジスタとして、ICRD は ICRB のバッファレジスタとしてそれぞれ使用することもできます。この機能は TCR の BUFEA、BUFEB ビットにより選択できます。

例えば ICRA がインプットキャプチャレジスタとして、ICRC が ICRA のバッファレジスタとして設定された場合、インプットキャプチャが発生すると、FRC の値が ICRA に、ICRA の値がバッファレジスタ ICRC に転送されます。この場合、外部入力信号の変化として IEDGA ビットと IEDGC ビットを異なる設定にすることで、立ち上がり／立ち下がり再方のエッジを指定することができます

インプットキャプチャ動作を確実に行うために、インプットキャプチャ入力信号のパルス幅は、単エッジの場合は 1.5 システムクロック以上、両エッジの場合は 2.5 システムクロック以上にしてください。

ICRA～ICRD は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。ICR の初期値は H'0000 です。

10.3.4 アウトプットコンペアレジスタ AR、AF（OCRAR、OCRAF）

OCRAR、OCRAF は 16 ビットのリード／ライト可能なレジスタです。TOCR の OCRAMS ビットを 1 にセットすると、OCRA を OCRAR、OCRAF を使用した動作モードに設定されます。OCRAR、OCRAF の値は交互に OCRA に自動的に加算され、OCRA に書き込まれます。書き込みはコンペアマッチ A のタイミングで行われます。OCRAMS ビットを 1 にセットした後の最初のコンペアマッチ A では、OCRAF が加算されます。コンペアマッチ A の動作は、OCRAR、OCRAF のいずれを加算した後のコンペアマッチかによって異なります。TOCR の OLVLA ビットの設定は無視され、OCRAF 加算後のコンペアマッチ A では 1 を出力、OCRAR 加算後のコンペアマッチ A では 0 を出力します。

OCRA の自動加算機能を使用する場合には、FRC の入力クロックを内部クロックφ/2 で、かつ OCRAR（または OCRAF）の値を H'0001 以下に設定しないでください。

OCRAR、OCRAF は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。OCRAR、OCRAF の初期値は H'FFFF です。

10.3.5 アウトプットコンペアレジスタ DM（OCRDM）

OCRDM は 16 ビットのリード／ライト可能なレジスタです。OCRDM の上位 8 ビットは H'00 に固定にされています。TOCR の ICRDMS ビットが 1 にセットされていて、OCRDM の内容が H'0000 以外の場合、ICRD を OCRDM を使用した動作モードに設定されます。インプットキャプチャ D が発生した時点をマスク期間の開始とします。続いて ICRD の内容に OCRDM の値を 2 倍して加算した値を FRC と比較し、一致した時点をマスク期間の終了とします。マスク期間中は、新たなインプットキャプチャ D の発生は禁止されています。ICRDMS ビットが 1 にセットされていて、OCRDM の内容が H'0000 の場合はマスク期間は発生しません。

OCRDM は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。OCRDM の初期値は H'0000 です。

10.3.6 タイマインタラプトイネーブルレジスタ（TIER）

TIER は、割り込み要求の許可／禁止を制御します。

ビット	ビット名	初期値	R/W	説　　明
7	ICIAE	0	R/W	インプットキャプチャインタラプト A イネーブル TCSR の ICFA フラグが 1 にセットされたとき、ICFA フラグによる割り込み要求（ICIA）を許可または禁止します。 0：ICFA による割り込み要求（ICIA）を禁止 1：ICFA による割り込み要求（ICIA）を許可
6	ICIBE	0	R/W	インプットキャプチャインタラプト B イネーブル TCSR の ICFB フラグが 1 にセットされたとき、ICFB フラグによる割り込み要求（ICIB）を許可または禁止します。 0：ICFB による割り込み要求（ICIB）を禁止 1：ICFB による割り込み要求（ICIB）を許可

ビット	ビット名	初期値	R/W	説　　明
5	ICICE	0	R/W	インプットキャプチャインタラプト C イネーブル TCSR の ICFC フラグが 1 にセットされたとき、ICFC フラグによる割り込み要求（ICIC）を許可または禁止します。 0：ICFC による割り込み要求（ICIC）を禁止 1：ICFC による割り込み要求（ICIC）を許可
4	ICIDE	0	R/W	インプットキャプチャインタラプト D イネーブル TCSR の ICFD フラグが 1 にセットされたとき、ICFD フラグによる割り込み要求（ICID）を許可または禁止します。 0：ICFD による割り込み要求（ICID）を禁止 1：ICFD による割り込み要求（ICID）を許可
3	OCIAE	0	R/W	アウトプットコンペアインタラプト A イネーブル TCSR の OCFA フラグが 1 にセットされたとき、OCFA フラグによる割り込み要求（OCIA）を許可または禁止します。 0：OCFA による割り込み要求（OCIA）を禁止 1：OCFA による割り込み要求（OCIA）を許可
2	OCIBE	0	R/W	アウトプットコンペアインタラプト B イネーブル TCSR の OCFB フラグが 1 にセットされたとき、OCFB フラグによる割り込み要求（OCIB）を許可または禁止します。 0：OCFB による割り込み要求（OCIB）を禁止 1：OCFB による割り込み要求（OCIB）を許可
1	OVIE	0	R/W	タイマオーバフローインタラプトイネーブル TCSR の OVF フラグが 1 にセットされたとき、OVF フラグによる割り込み要求（FOVI）を許可または禁止します。 0：OVF による割り込み要求（FOVI）を禁止 1：OVF による割り込み要求（FOVI）を許可
0	－	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

10.3.7　タイマコントロール／ステータスレジスタ（TCSR）

TCSR は、カウンタの動作／停止の選択、割り込み要求信号の許可／禁止制御を行います。

ビット	ビット名	初期値	R/W	説　　明
7	ICFA	0	R/(W)*	インプットキャプチャフラグ A インプットキャプチャ信号により FRC の値が ICRA に転送されたことを示すステータスフラグです。このフラグは、BUFEA ビットが 1 にセットされているとき、インプットキャプチャ信号により FRC の値が ICRA に転送されたことを、また更新される前の ICRA の値が ICRC に転送されたことを示します。フラグをクリアするための 0 ライトのみ可能です。 ［セット条件］ インプットキャプチャ信号により、FRC の値が ICRA に転送されたとき ［クリア条件］ ICFA＝1 の状態で ICFA リード後、ICFA に 0 をライトしたとき
6	ICFB	0	R/(W)*	インプットキャプチャフラグ B インプットキャプチャ信号により FRC の値が ICRB に転送されたことを示すステータスフラグです。このフラグは、BUFEB ビットが 1 にセットされているとき、インプットキャプチャ信号により FRC の値が ICRB に転送されたことを、また更新される前の ICRB の値が ICRD に転送されたことを示します。フラグをクリアするための 0 ライトのみ可能です。 ［セット条件］ インプットキャプチャ信号により、FRC の値が ICRB に転送されたとき ［クリア条件］ ICFB＝1 の状態で ICFB をリード後、ICFB に 0 をライトしたとき
5	ICFC	0	R/(W)*	インプットキャプチャフラグ C インプットキャプチャ信号により、FRC の値が ICRC に転送されたことを示すステータスフラグです。このフラグは、BUFEA ビットが 1 にセットされているとき、FTIC 入力端子に IEDGC ビットで選択したインプットキャプチャ信号が発生するとセットされますが、ICRC へのデータ転送は行われません。バッファ動作では、このフラグは ICICE ビットを 1 にセットすることにより外部割り込みとして使用することができます。フラグをクリアするための 0 ライトのみ可能です。 ［セット条件］ インプットキャプチャ信号が発生したとき ［クリア条件］ ICFC＝1 の状態で ICFC をリード後、ICFC に 0 をライトしたとき

ビット	ビット名	初期値	R/W	説　　明
4	ICFD	0	R/(W)*	インプットキャプチャフラグ D インプットキャプチャ信号により、FRC の値が ICRD に転送されたことを示すステータスフラグです。このフラグは、BUFEB ビットが 1 にセットされているとき、FTID 入力端子に IEDGD ビットで選択したインプットキャプチャ信号が発生するとセットされますが、ICRD へのデータ転送は行われません。バッファ動作では、このフラグは ICIDE ビットを 1 にセットすることにより、外部割り込みとして使用することができます。フラグをクリアするための 0 ライトのみ可能です。 ［セット条件］ インプットキャプチャ信号が発生したとき ［クリア条件］ ICFD＝1 の状態で ICFD をリード後、ICFD に 0 をライトしたとき
3	OCFA	0	R/(W)*	アウトプットコンペアフラグ A FRC と OCRA の値が一致したことを示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 ［セット条件］ FRC＝OCRA になったとき ［クリア条件］ OCFA＝1 の状態で OCFA をリード後、OCFA に 0 をライトしたとき
2	OCFB	0	R/(W)*	アウトプットコンペアフラグ B FRC と OCRB の値が一致したことを示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 ［セット条件］ FRC＝OCRB になったとき ［クリア条件］ OCFB＝1 の状態で OCFB をリード後、OCFB に 0 をライトしたとき
1	OVF	0	R/(W)*	オーバフローフラグ FRC のオーバフローの発生を示すフラグです。フラグをクリアするための 0 ライトのみ可能です。 ［セット条件］ FRC の値がオーバフロー（H'FFFF→H'0000）したとき ［クリア条件］ OVF＝1 の状態で OVF をリード後、OVF に 0 をライトしたとき
0	CCLRA	0	R/W	カウンタクリア A コンペアマッチ A（FRC と OCRA の一致信号）により FRC をクリアするか、しないかを選択します。 0：FRC のクリアを禁止 1：コンペアマッチ A により FRC をクリア

【注】　*　フラグをクリアするための 0 ライトのみ可能です。

10.3.8　タイマコントロールレジスタ（TCR）

TCR は、インプットキャプチャ入力エッジの選択、バッファ動作の指定、FRC の入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説　　明
7	IEDGA	0	R/W	インプットエッジセレクト A インプットキャプチャ A 入力（FTIA）の立ち上がりエッジまたは立ち下がりエッジを選択します。 0：インプットキャプチャ A 入力の立ち下がりエッジでキャプチャ 1：インプットキャプチャ A 入力の立ち上がりエッジでキャプチャ
6	IEDGB	0	R/W	インプットエッジセレクト B インプットキャプチャ B 入力（FTIB）の立ち上がりエッジまたは立ち下がりエッジを選択します。 0：インプットキャプチャ B 入力の立ち下がりエッジでキャプチャ 1：インプットキャプチャ B 入力の立ち上がりエッジでキャプチャ
5	IEDGC	0	R/W	インプットエッジセレクト C インプットキャプチャ C 入力（FTIC）の立ち上がりエッジまたは立ち下がりエッジを選択します。 0：インプットキャプチャ C 入力の立ち下がりエッジでキャプチャ 1：インプットキャプチャ C 入力の立ち上がりエッジでキャプチャ
4	IEDGD	0	R/W	インプットエッジセレクト D インプットキャプチャ D 入力（FTID）の立ち上がりエッジまたは立ち下がりエッジを選択します。 0：インプットキャプチャ D 入力の立ち下がりエッジでキャプチャ 1：インプットキャプチャ D 入力の立ち上がりエッジでキャプチャ
3	BUFEA	0	R/W	バッファイネーブル A ICRC を ICRA のバッファレジスタとして使用するかしないかを選択します。 0：ICRC を ICRA のバッファレジスタとして使用しない 1：ICRC を ICRA のバッファレジスタとして使用する
2	BUFEB	0	R/W	バッファイネーブル B ICRD を ICRB のバッファレジスタとして使用するかしないかを選択します。 0：ICRD を ICRB のバッファレジスタとして使用しない 1：ICRD を ICRB のバッファレジスタとして使用する
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1、0 FRC に入力するクロックを選択します。 00：内部クロックφ/2 をカウント 01：内部クロックφ/8 をカウント 10：内部クロックφ/32 をカウント 11：外部クロック入力端子（FTCI）の立ち上がりエッジでカウント

10.3.9　タイマアウトプットコンペアコントロールレジスタ（TOCR）

TOCR は、アウトプットコンペア出力レベルの選択、アウトプットコンペア出力の許可、アウトプットコンペアレジスタ A、B のアクセスの切り替え制御、ICRD、OCRA の動作モード、およびインプットキャプチャレジスタ A、B、C のアクセスの切り替え制御を行います。

ビット	ビット名	初期値	R/W	説　　明
7	ICRDMS	0	R/W	インプットキャプチャ D モードセレクト ICRD を通常の動作モードにするか、OCRDM を使用した動作モードにするかを選択します。 0：ICRD を通常の動作モードに設定 1：ICRD を OCRDM を使用した動作モードに設定
6	OCRAMS	0	R/W	アウトプットコンペア A モードセレクト OCRA を通常の動作モードにするか、OCRAR、OCRAF を使用した動作モードにするかを選択します。 0：OCRA を通常の動作モードに設定 1：OCRA を OCRAR、OCRAF を使用した動作モードに設定
5	ICRS	0	R/W	インプットキャプチャレジスタセレクト ICRA と OCRAR、ICRB と OCRAF、ICRC と OCRDM のアドレスは同一です。このアドレスをリード／ライトするとき、どちらのレジスタを選択するか制御します。ICRA、ICRB、ICRC 動作には影響を与えません。 0：ICRA、ICRB と ICRC レジスタを選択 1：OCRAR、OCRAF と OCRDM レジスタを選択
4	OCRS	0	R/W	アウトプットコンペアレジスタセレクト OCRA と OCRB のアドレスは同一です。このアドレスをリード／ライトするとき、どちらのレジスタを選択するか制御します。OCRA、OCRB の動作には影響を与えません。 0：OCRA レジスタを選択 1：OCRB レジスタを選択
3	OEA	0	R/W	アウトプットイネーブル A アウトプットコンペア A 出力端子（FTOA）を制御します。 0：アウトプットコンペア A 出力を禁止 1：アウトプットコンペア A 出力を許可
2	OEB	0	R/W	アウトプットイネーブル B アウトプットコンペア B 出力端子（FTOB）を制御します。 0：アウトプットコンペア B 出力を禁止 1：アウトプットコンペア B 出力を許可

ビット	ビット名	初期値	R/W	説　　明
1	OLVLA	0	R/W	アウトプットレベル A コンペアマッチ A（FRC と OCRA の一致による信号）により、アウトプットコンペア A 出力端子（FTOA）の出力レベルを選択します。OCRAMS ビットが 1 の場合は無視されます。 0：コンペアマッチ A で 0 出力 1：コンペアマッチ A で 1 出力
0	OLVLB	0	R/W	アウトプットレベル B コンペアマッチ B（FRC と OCRB の一致による信号）により、アウトプットコンペア B 出力端子（FTOB）の出力レベルを選択します。 0：コンペアマッチ B により 0 出力 1：コンペアマッチ B により 1 出力

10.4　動作説明

10.4.1　パルス出力

デューティ 50％のパルスを任意の位相差で出力させた例を図 10.2 に示します。TCSR の CCLRA ビットを 1 にセットし、コンペアマッチが発生するたびに OLVLA、OLVLB ビットをソフトウェアにより反転させます。

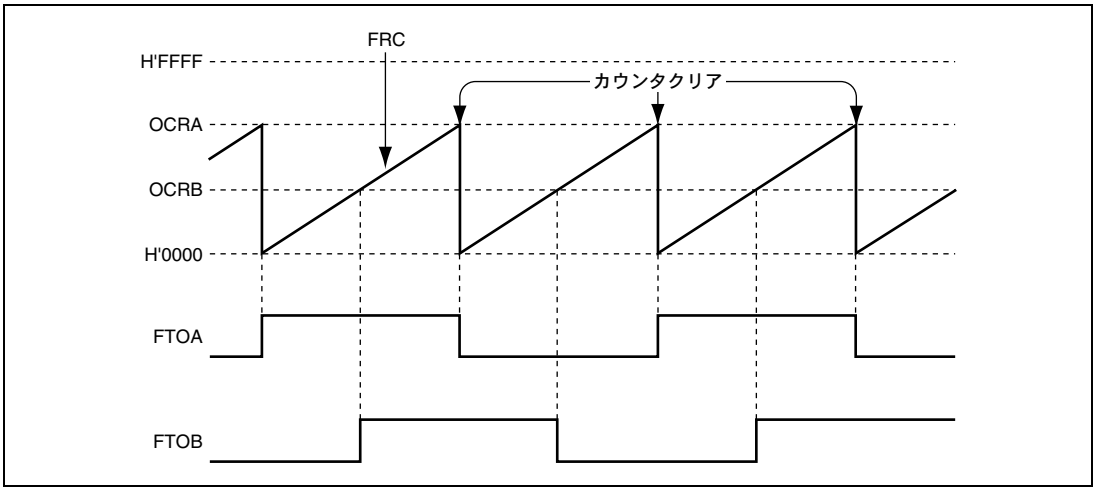


図 10.2　パルス出力例

10.5　動作タイミング

10.5.1　FRC のカウントタイミング

内部クロック動作の場合の FRC のカウントタイミングを**図 10.3** に示します。また、外部クロック動作の場合の FRC のカウントタイミングを**図 10.4** に示します。なお、外部クロックのパルス幅は 1.5 システムクロック（φ）以上必要です。これ以下のパルス幅では正しく動作しませんので注意が必要です。

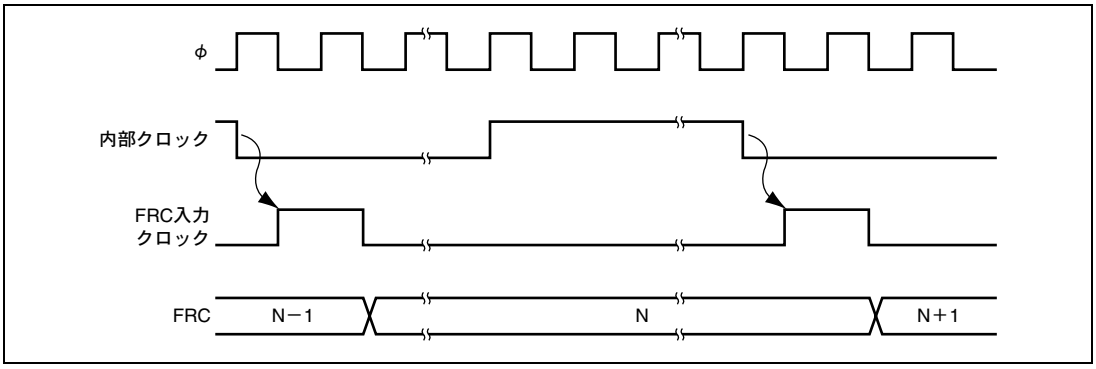


図 10.3　内部クロック動作時のカウントタイミング

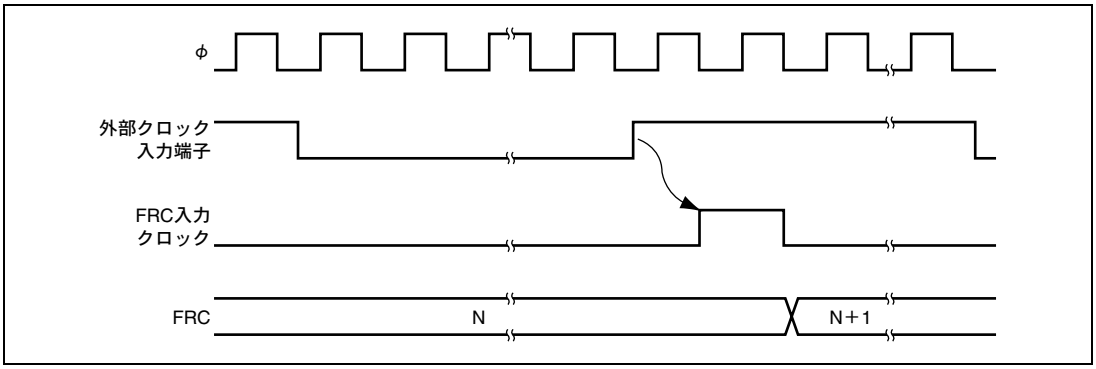


図 10.4　外部クロック動作時のカウントタイミング

10.5.2　アウトプットコンペア出力タイミング

コンペアマッチ信号は、FRC と OCR の値が一致した最後のステート（FRC が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TOCR の OLVL ビットで設定される出力値がアウトプットコンペア出力端子（FTOA、FTOB）に出力されます。アウトプットコンペア A 出力タイミングを図 10.5 に示します。

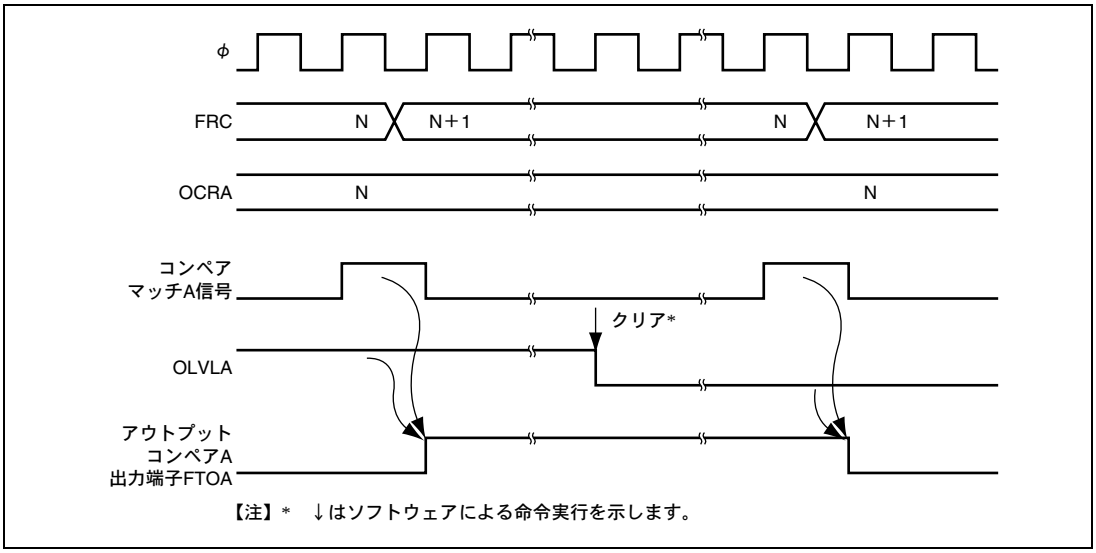


図 10.5　アウトプットコンペア A 出力タイミング

10.5.3　FRC のクリアタイミング

FRC はコンペアマッチ A 信号でクリアすることができます。このタイミングを図 10.6 に示します。

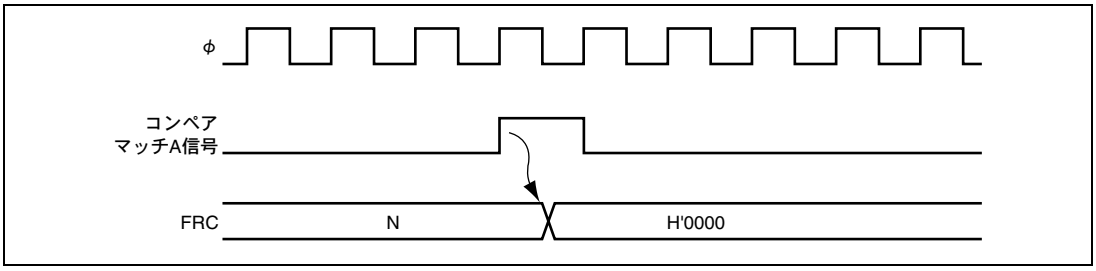


図 10.6　コンペアマッチ A 信号による FRC のクリアタイミング

10.5.4　インプットキャプチャ入力タイミング

インプットキャプチャ入力は、TCR の IEDGA～IEDGD ビットの設定により立ち上がりエッジ／立ち下がりエッジの選択ができます。立ち上がりエッジを選択した場合のタイミングを**図 10.7** に示します。

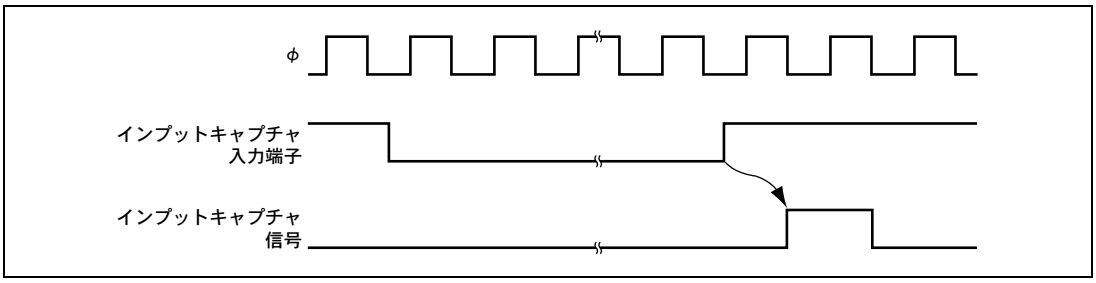


図 10.7　インプットキャプチャ入力信号タイミング（通常時）

また、ICRA～ICRD のリード時に、対応するインプットキャプチャ信号を入力するとインプットキャプチャ信号は 1 システムクロック（φ）遅延されます。このタイミングを**図 10.8** に示します。

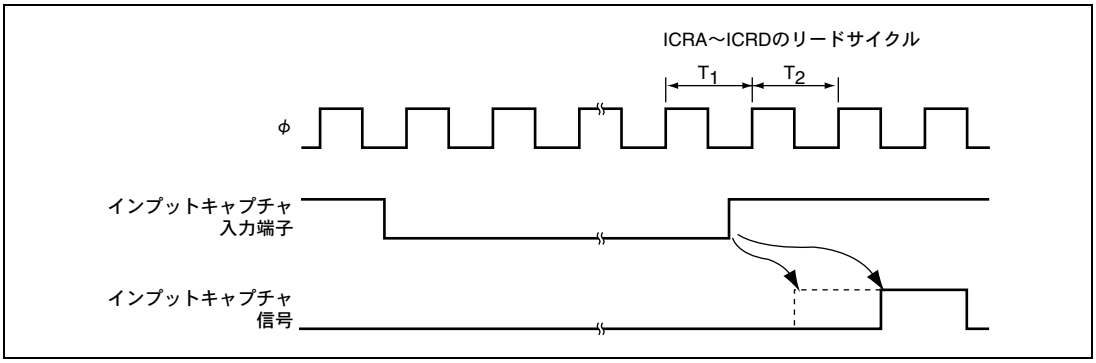


図 10.8　インプットキャプチャ入力信号タイミング（ICRA～ICRD のリード時）

10.5.5　バッファ動作時タイミング

ICRC または ICRD を ICRA または ICRB のバッファとして動作させることができます。ICRC を ICRA のバッファレジスタとして使用し（BUFEA＝1）、立ち上がり／立ち下がり両エッジ指定（IEDGA＝1、IEDGC＝0 または IEDGA＝0、IEDGC＝1）とした場合のインプットキャプチャ入力タイミングを**図 10.9** に示します。

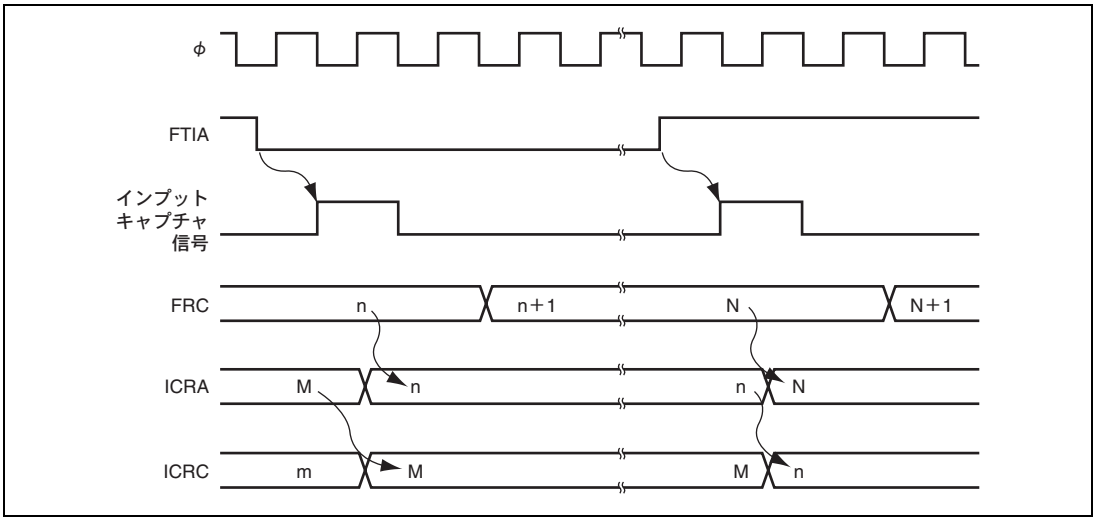


図 10.9　バッファ動作タイミング（インプットキャプチャ）

インプットキャプチャフラグは、ICRC または ICRD をバッファレジスタとして使用した場合でも各インプットキャプチャ入力の指定されたエッジに対応してセットされます。例えば、ICRC を ICRA のバッファレジスタとして使用しているとき、インプットキャプチャ入力に IEDGC ビットで指定したエッジになると ICFC フラグがセットされ、そのとき ICICE ビットがセットされていれば割り込み要求が発生します。ただし、FRC の値は ICRC には転送されません。また、バッファ動作時に、インプットキャプチャ入力信号が発生するタイミングでデータ転送レジスタ（ICRA と ICRC または ICRB と ICRD）のリードが行われると、インプットキャプチャ入力信号は 1 システムクロック（φ）遅延されます。BUFEA＝1 のときのバッファ動作タイミングを**図 10.10** に示します。

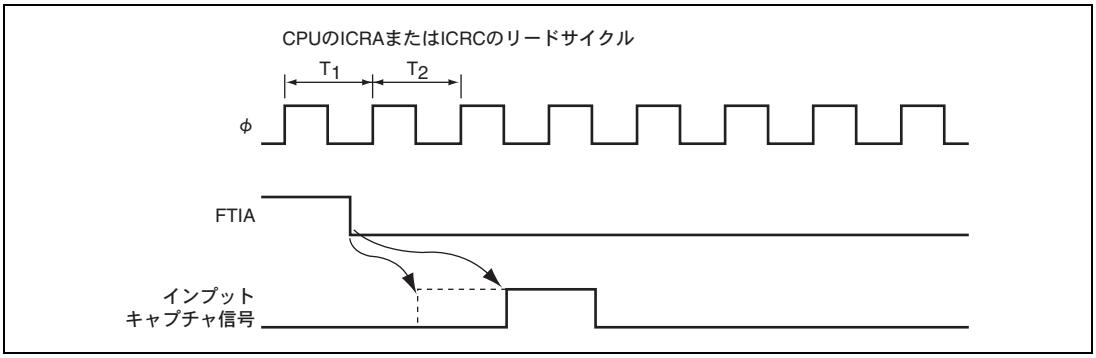


図 10.10　バッファ動作タイミング（BUFEA＝1）

10.5.6　インプットキャプチャ時のフラグセットタイミング

インプットキャプチャ信号入力により ICFA～ICFD フラグは 1 にセットされ、FRC の値が対応する ICRA～ICRD に転送されます。ICFA～ICFD フラグのセットタイミングを図 10.11 に示します。

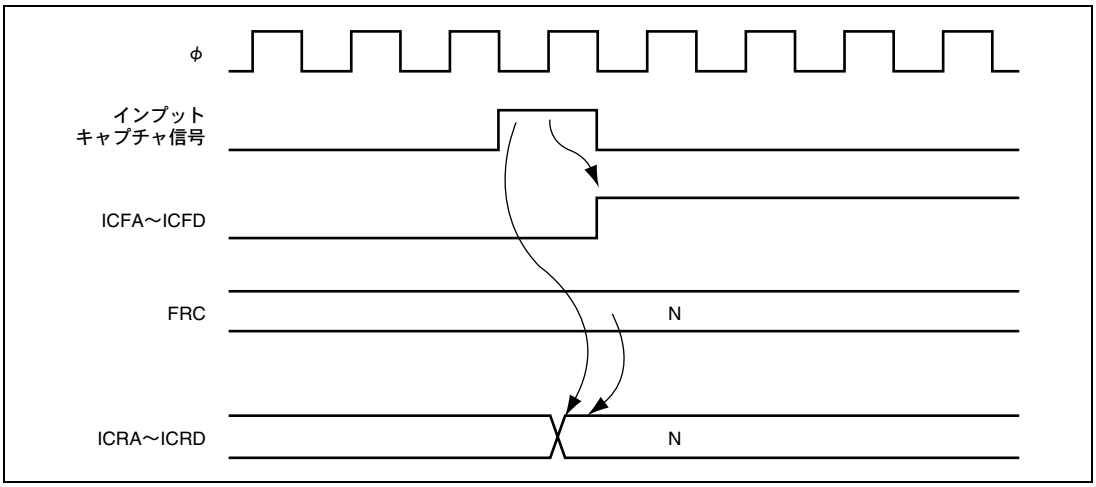


図 10.11　ICFA～ICFD フラグのセットタイミング

10.5.7　アウトプットコンペア時のフラグセットタイミング

OCFA、OCFB フラグは、OCRA、OCRB と FRC の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は値が一致した最後のステート（FRC が一致したカウント値を更新するタイミング）で発生します。OCRA、OCRB と FRC の値が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。OCFA、OCFB フラグのセットタイミングを図 10.12 に示します。

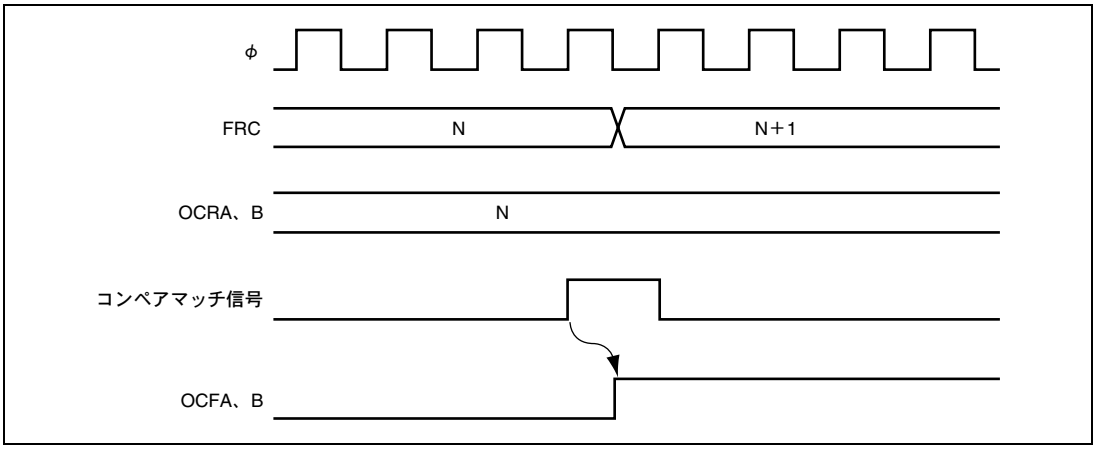


図 10.12　OCFA、OCFB フラグのセットタイミング

10.5.8　オーバフロー時のフラグセットタイミング

OVF フラグは、FRC がオーバフロー（H'FFFF→H'0000）したとき 1 にセットされます。OVF フラグのセットタイミングを図 10.13 に示します。

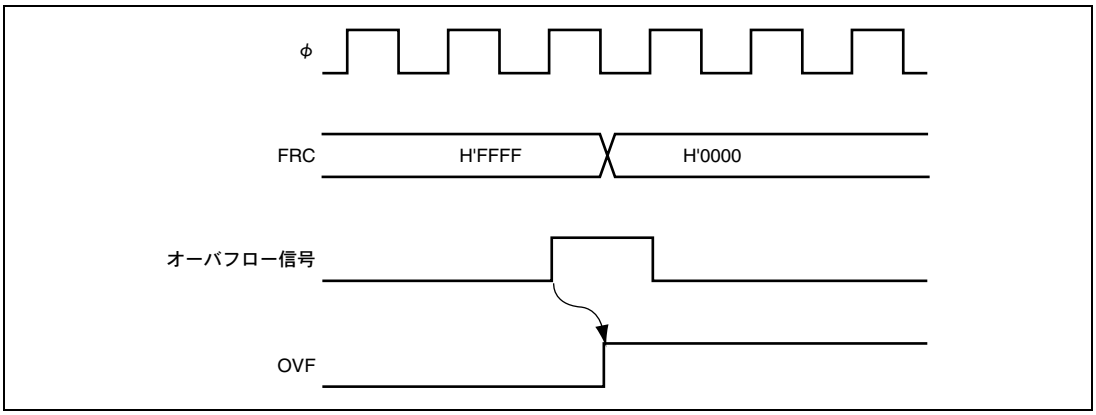


図 10.13　OVF フラグのセットタイミング

10.5.9　自動加算タイミング

TOCR の OCRAMS ビットが 1 にセットされている場合、OCRAR、OCRAF の内容は交互に OCRA に自動加算され、OCRA のコンペアマッチが発生すると OCRA に書き込まれます。OCRA の書き込みタイミングを図 10.14 に示します。

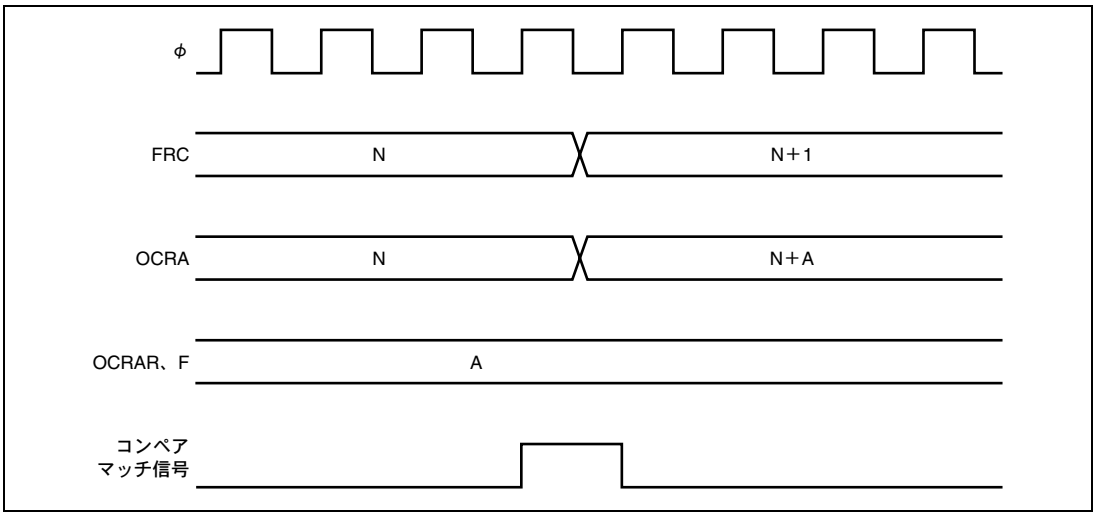


図 10.14　OCRA の自動加算タイミング

10.5.10　マスク信号生成タイミング

TOCR の ICRDMS ビットが 1 にセットされている場合、OCRDM の値が H'0000 以外であると、ICRD のインプットキャプチャ信号をマスクする信号が生成されます。マスク信号はインプットキャプチャ信号によりセットされます。マスク信号は ICRD の値に OCRDM の値を 2 倍して加算した値と、FRC のコンペアマッチによりクリアされます。マスク信号のセットタイミングを図 10.15 に示します。マスク信号のクリアタイミングを図 10.16 に示します。

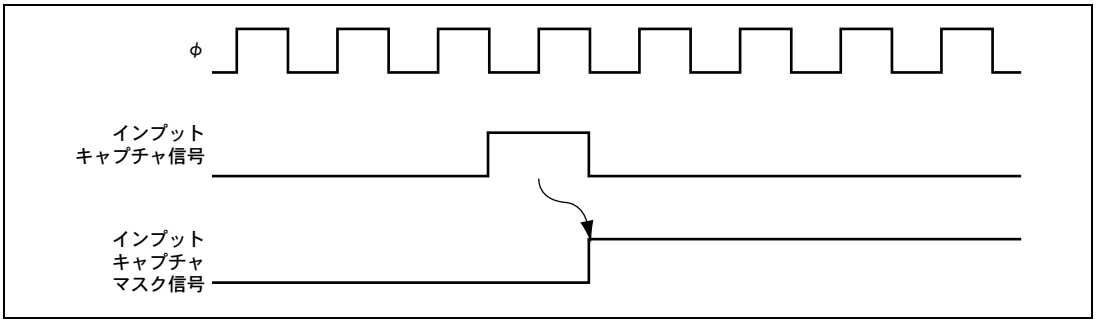


図 10.15　インプットキャプチャマスク信号のセットタイミング

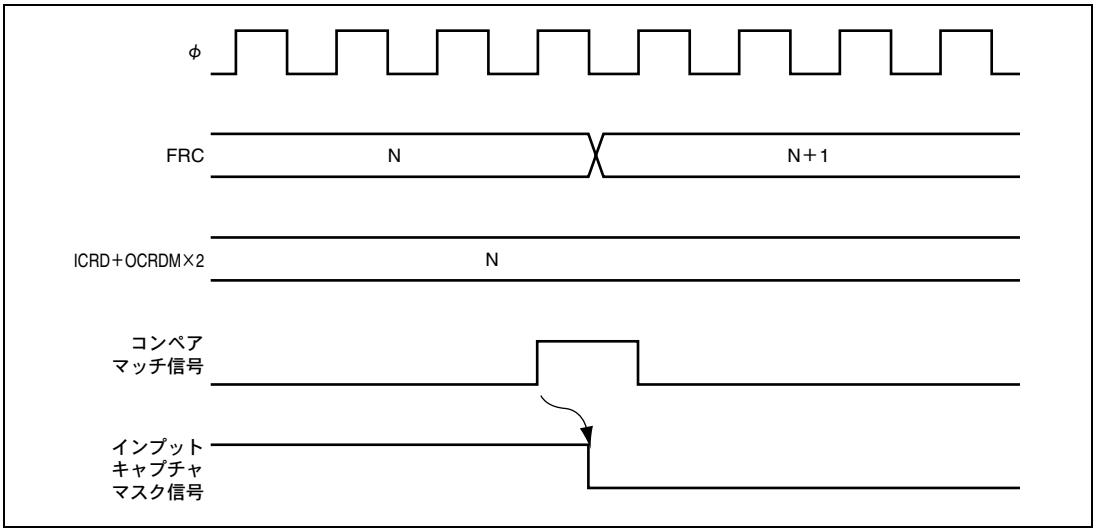


図 10.16　インプットキャプチャマスク信号のクリアタイミング

10.6　割り込み要因

FRT の割り込み要因は ICIA～ICID、OCIA、OCIB および FOVI の 7 つあります。各割り込み要因は TIER の各割り込みイネーブルビットで許可または禁止され、それぞれ独立に割り込みコントローラに送られます。表 10.2 に各割り込み要因と優先順位を示します。

表 10.2　FRT 割り込み要因

名　　称	割り込み要因	割り込みフラグ	優先順位
ICIA	ICRA のインプットキャプチャ	ICFA	高
ICIB	ICRB のインプットキャプチャ	ICFB	↑
ICIC	ICRC のインプットキャプチャ	ICFC	
ICID	ICRD のインプットキャプチャ	ICFD	
OCIA	OCRA のコンペアマッチ	OCFA	
OCIB	OCRB のコンペアマッチ	OCFB	
FOVI	FRC のオーバフロー	OVF	低

10.7　使用上の注意事項

10.7.1　FRC のライトとクリアの競合

FRC のライトサイクルの次のステートでカウンタクリア信号が発生すると, FRC へのライトは行われず、FRC のクリアが優先されます。このタイミングを図 10.17 に示します。

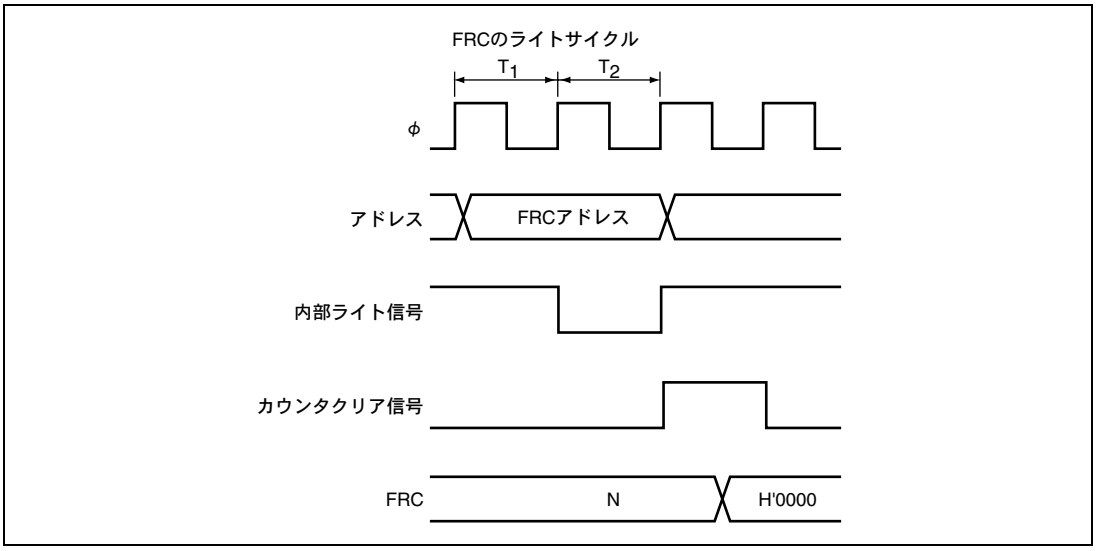


図 10.17　FRC のライトとクリアの競合

10.7.2　FRC のライトとカウントアップの競合

FRC のライトサイクルの次のステートでカウントアップが発生しても、カウントアップされず、カウンタライトが優先されます。このタイミングを図 10.18 に示します。

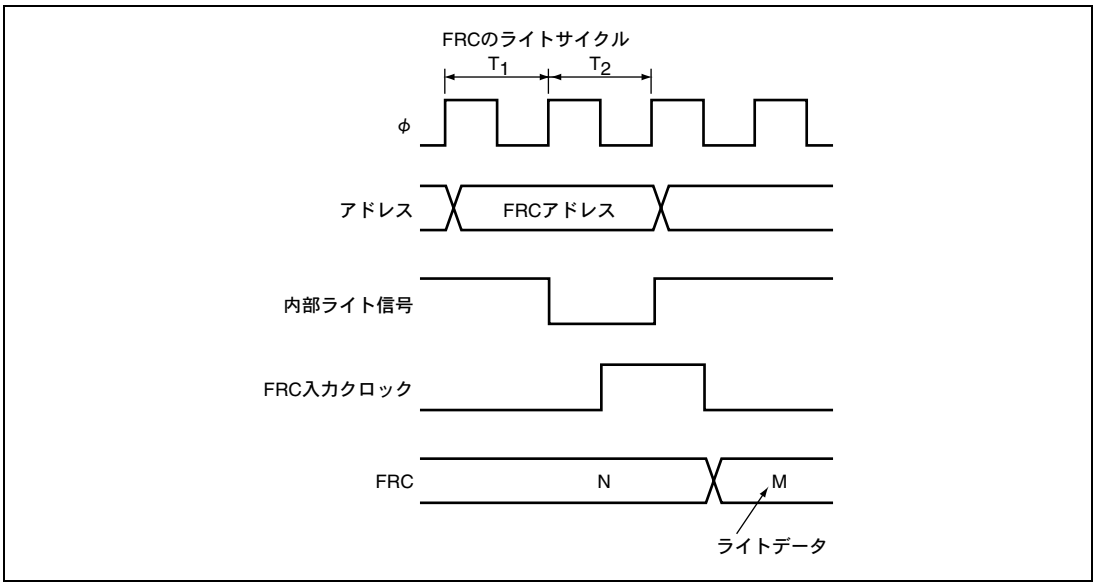


図 10.18　FRC のライトとカウントアップの競合

10.7.3　OCR のライトとコンペアマッチの競合

OCRA、OCRB のライトサイクルの次のステートでコンペアマッチが発生した場合、OCR のライトが優先され、コンペアマッチ信号は禁止されます。このタイミングを図 10.19 に示します。

OCRA の自動加算機能を選択しているとき、OCRA、OCRAR、OCRAF ライトサイクルの次のステートでコンペアマッチが発生した場合、OCRA、OCRAR、OCRAF のライトが優先され、コンペアマッチ信号が禁止されるため、自動加算結果のライトは行われません。このタイミングを図 10.20 に示します。

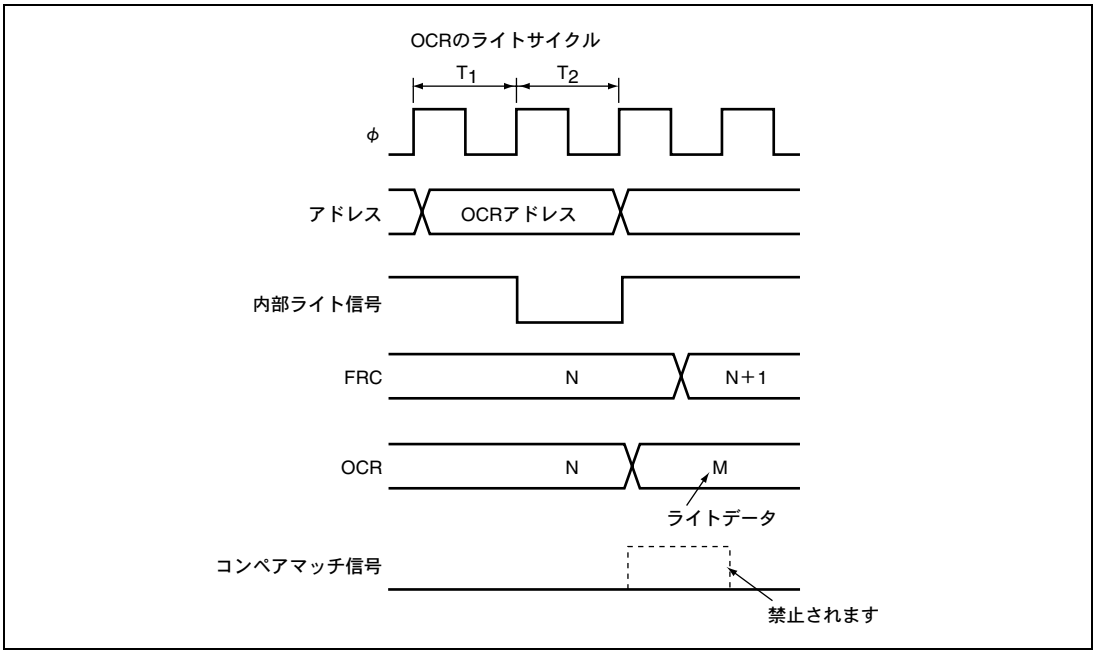


図 10.19　OCR のライトとコンペアマッチの競合（自動加算機能を使用していない場合）

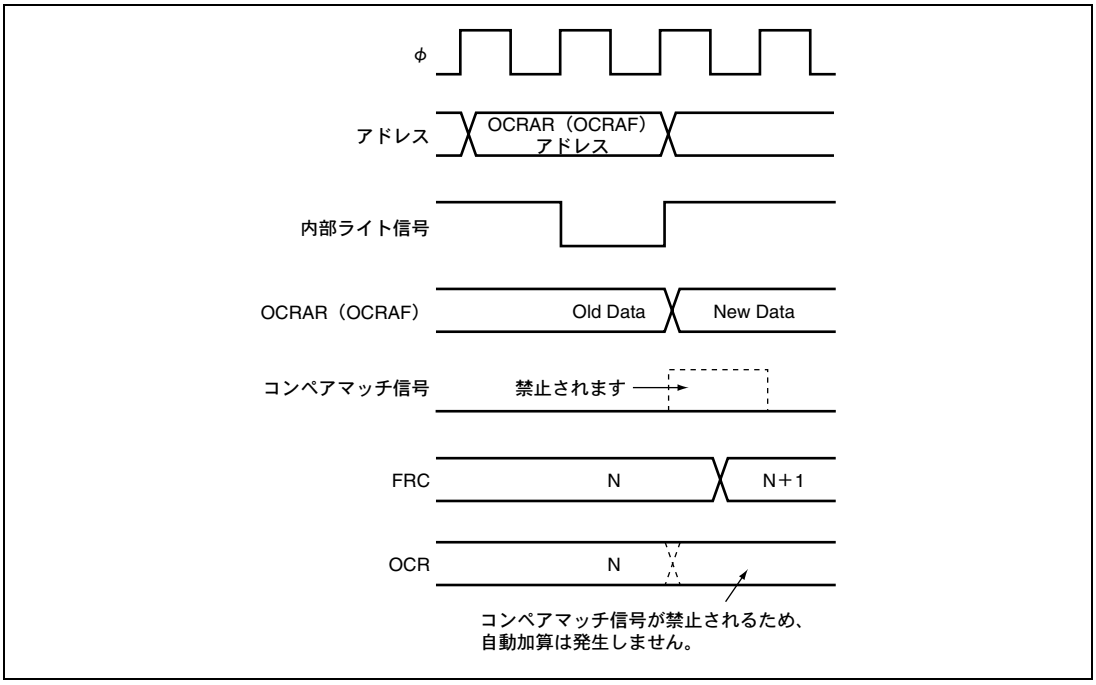


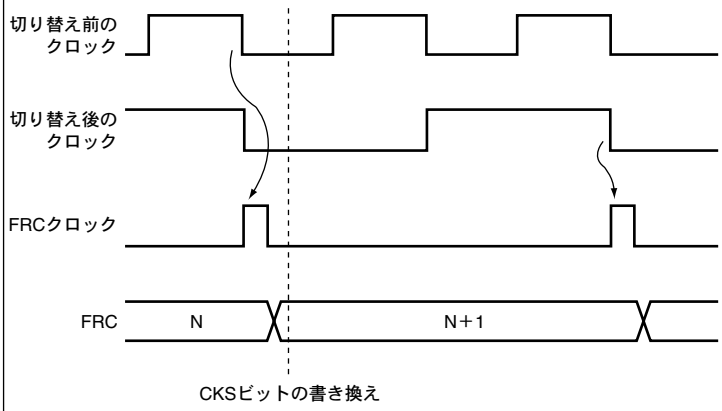
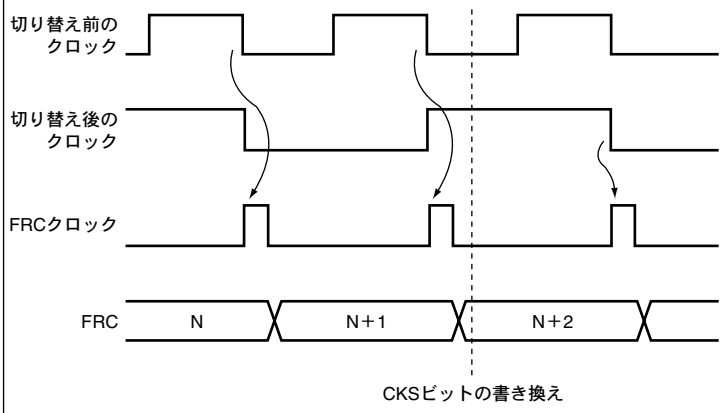
図 10.20　OCRAR/OCRAF ライトとコンペアマッチの競合（自動加算機能を使用している場合）

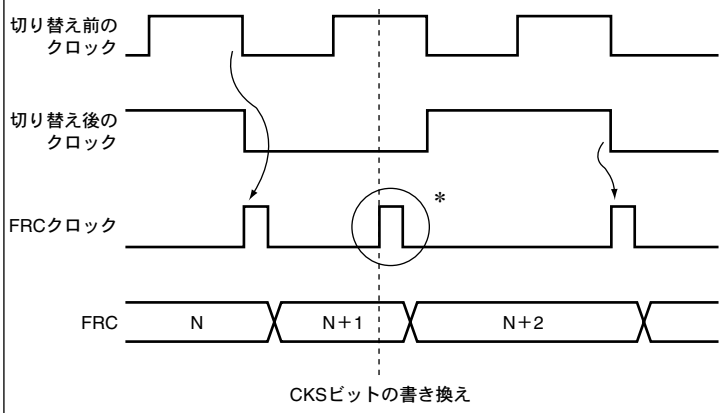
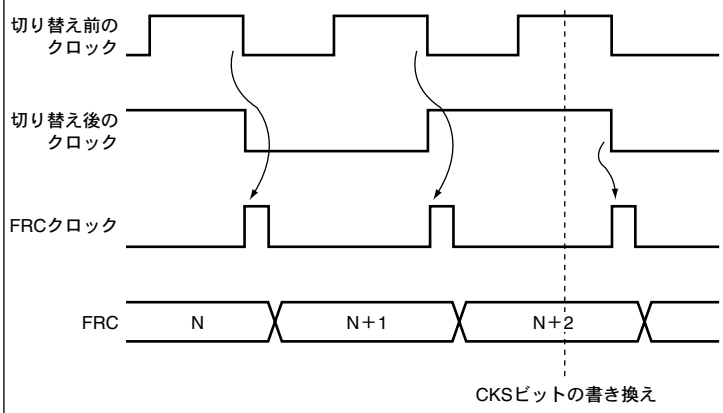
10.7.4　内部クロックの切り替えとカウンタの動作

内部クロックを切り替えるタイミングによっては、FRC がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング（CKS1、CKS0 ビットの書き換え）と FRC 動作の関係を**表 10.3** に示します。

内部クロックを使用する場合、システムクロック（φ）を分周した内部クロックの立ち下がりエッジを検出して FRC クロックを生成しています。そのため、**表 10.3** の No.3 のように切り替え前のクロック High→切り替え後のクロック Low レベルになるような切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして FRC クロックが発生し、FRC がカウントアップされてしまいます。また、内部クロックと外部クロックを切り替えるときも、FRC がカウントアップされることがあります。

表 10.3　内部クロックの切り替えと FRC 動作

No.	CKS1、CKS0ビット 書き換えタイミング	FRC動作
1	Low → Lowレベルの 切り替え	
2	Low → Highレベルの 切り替え	

No.	CKS1、CKS0ビット 書き換えタイミング	FRC動作
3	High → Lowレベルの 切り替え	
4	High → Highレベルの 切り替え	

【注】 ＊ 切り替えのタイミングを立ち下がりエッジとみなすために発生し、FRCはカウントアップされます。

10.7.5　モジュールストップモードの設定

モジュールストップコントロールレジスタにより、FRT の動作停止／許可を設定することが可能です。初期値では FRT の動作は停止します。モジュールストップモードを解除することより、レジスタのアクセスが可能になります。詳細は、**「第 20 章　低消費電力状態」**を参照してください。

11.　16 ビットタイマパルスユニット（TPU）

本 LSI は、3 チャネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット（TPU）を内蔵しています。16 ビットタイマパルスユニットのブロック図を**図** 11.1 に、機能一覧を**表** 11.1 に示します。

11.1　特長

- 最大8本のパルス入出力が可能
- チャネル0、2は8種類、チャネル1は7種類のカウンタ入力クロックを選択可能
- 各チャネルとも次の動作を設定可能

  コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ（TCNT）への同時書き込み、コンペアマッチ／インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、任意デューティのPWM出力、同期動作と組み合わせることによる最大7相のPWM出力
- チャネル0はバッファ動作を設定可能
- チャネル1、2は各々独立に位相計数モードを設定可能
- 内部16ビットバスによる高速アクセス
- 13種類の割り込み要因
- レジスタデータの自動転送が可能
- A/D変換器の変換スタートトリガを生成可能

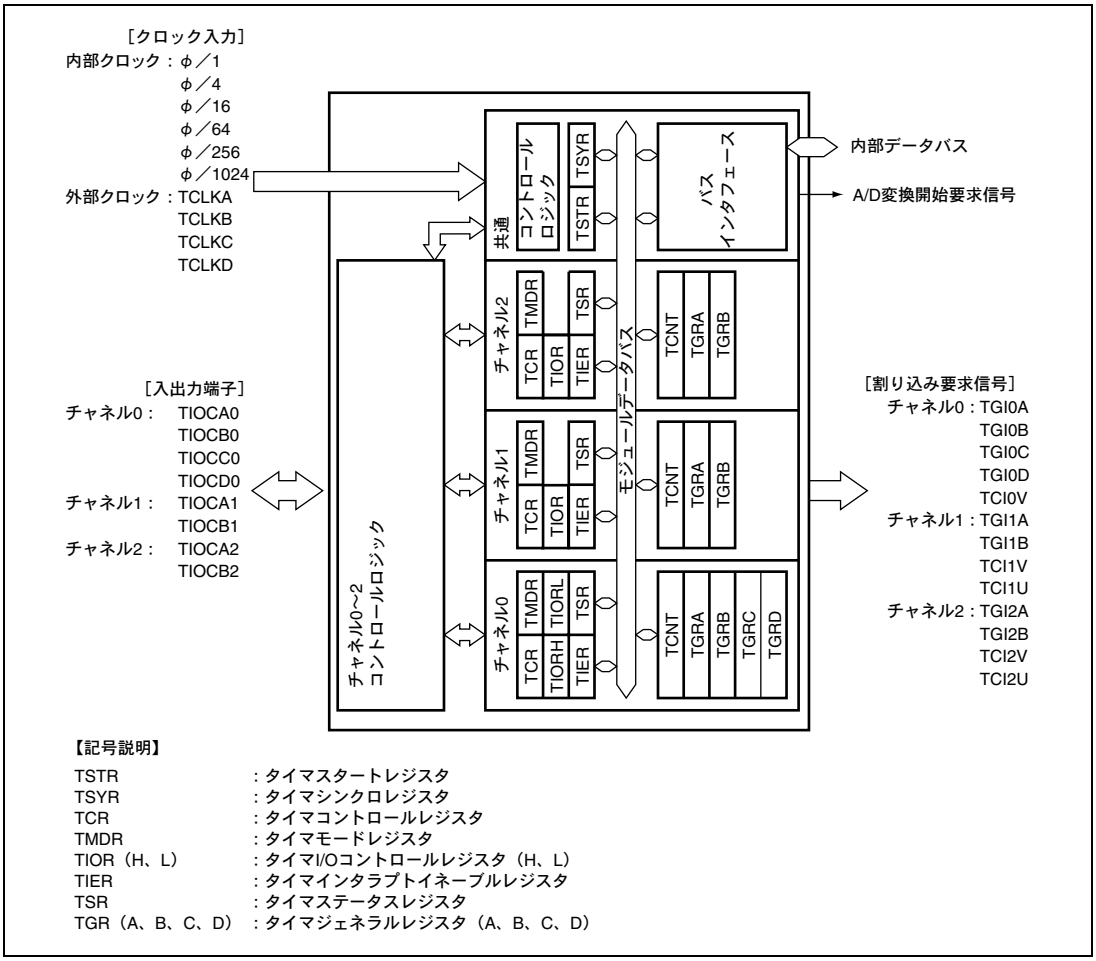


図 11.1　TPU のブロック図

表 11.1　TPU の機能一覧

項目		チャネル 0	チャネル 1	チャネル 2
カウントクロック		φ／1 φ／4 φ／16 φ／64 TCLKA TCLKB TCLKC TCLKD	φ／1 φ／4 φ／16 φ／64 φ／256 TCLKA TCLKB	φ／1 φ／4 φ／16 φ／64 φ／1024 TCLKA TCLKB TCLKC
ジェネラル レジスタ（TGR）		TGRA_0 TGRB_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2
ジェネラルレジスタ／ バッファレジスタ		TGRC_0 TGRD_0	－	－
入出力端子		TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2
カウンタクリア機能		TGR のコンペアマッチ または インプットキャプチャ	TGR のコンペアマッチ または インプットキャプチャ	TGR のコンペアマッチ または インプットキャプチャ
コンペア マッチ 出力	0 出力	○	○	○
	1 出力	○	○	○
	トグル 出力	○	○	○
インプットキャプチャ機能		○	○	○
同期動作		○	○	○
PWM モード		○	○	○
位相計数モード		－	○	○
バッファ動作		○	－	－

項目	チャネル 0	チャネル 1	チャネル 2
A/D 変換開始トリガ	TGRA_0 のコンペアマッチ または インプットキャプチャ	TGRA_1 のコンペアマッチ または インプットキャプチャ	TGRA_2 のコンペアマッチ または インプットキャプチャ
割り込み要因	5 要因 • コンペアマッチ ／インプットキャプチャ 0A • コンペアマッチ ／インプットキャプチャ 0B • コンペアマッチ ／インプットキャプチャ 0C • コンペアマッチ ／インプットキャプチャ 0D • オーバフロー	4 要因 • コンペアマッチ ／インプットキャプチャ 1A • コンペアマッチ ／インプットキャプチャ 1B • オーバフロー • アンダフロー	4 要因 • コンペアマッチ ／インプットキャプチャ 2A • コンペアマッチ ／インプットキャプチャ 2B • オーバフロー • アンダフロー

【記号説明】

○：可能

－：不可

11.2　入出力端子

表 11.2　TPU の端子構成

チャネル	記号	入出力	機　　能
共通	TCLKA	入力	外部クロック A 入力端子 （チャネル 1 の位相計数モード A 相入力）
	TCLKB	入力	外部クロック B 入力端子 （チャネル 1 の位相計数モード B 相入力）
	TCLKC	入力	外部クロック C 入力端子 （チャネル 2 の位相計数モード A 相入力）
	TCLKD	入力	外部クロック D 入力端子 （チャネル 2 の位相計数モード B 相入力）
0	TIOCA0	入出力	TGRA_0 のインプットキャプチャ入力／ アウトプットコンペア出力／PWM 出力端子
	TIOCB0	入出力	TGRB_0 のインプットキャプチャ入力／ アウトプットコンペア出力／PWM 出力端子
	TIOCC0	入出力	TGRC_0 のインプットキャプチャ入力／ アウトプットコンペア出力／PWM 出力端子
	TIOCD0	入出力	TGRD_0 のインプットキャプチャ入力／ アウトプットコンペア出力／PWM 出力端子
1	TIOCA1	入出力	TGRA_1 のインプットキャプチャ入力／ アウトプットコンペア出力／PWM 出力端子
	TIOCB1	入出力	TGRB_1 のインプットキャプチャ入力／ アウトプットコンペア出力／PWM 出力端子
2	TIOCA2	入出力	TGRA_2 のインプットキャプチャ入力／ アウトプットコンペア出力／PWM 出力端子
	TIOCB2	入出力	TGRB_2 のインプットキャプチャ入力／ アウトプットコンペア出力／PWM 出力端子

11.3　レジスタの説明

TPU には各チャネルに以下のレジスタがあります。

- タイマコントロールレジスタ_0（TCR_0）
- タイマモードレジスタ_0（TMDR_0）
- タイマI/OコントロールレジスタH_0（TIORH_0）
- タイマI/OコントロールレジスタL_0（TIORL_0）
- タイマインタラプトイネーブルレジスタ_0（TIER_0）
- タイマステータスレジスタ_0（TSR_0）
- タイマカウンタ_0（TCNT_0）
- タイマジェネラルレジスタA_0（TGRA_0）
- タイマジェネラルレジスタB_0（TGRB_0）
- タイマジェネラルレジスタC_0（TGRC_0）
- タイマジェネラルレジスタD_0（TGRD_0）
- タイマコントロールレジスタ_1（TCR_1）
- タイマモードレジスタ_1（TMDR_1）
- タイマI/Oコントロールレジスタ_1（TIOR_1）
- タイマインタラプトイネーブルレジスタ_1（TIER_1）
- タイマステータスレジスタ_1（TSR_1）
- タイマカウンタ_1（TCNT_1）
- タイマジェネラルレジスタA_1（TGRA_1）
- タイマジェネラルレジスタB_1（TGRB_1）
- タイマコントロールレジスタ_2（TCR_2）
- タイマモードレジスタ_2（TMDR_2）
- タイマI/Oコントロールレジスタ_2（TIOR_2）
- タイマインタラプトイネーブルレジスタ_2（TIER_2）
- タイマステータスレジスタ_2（TSR_2）
- タイマカウンタ_2（TCNT_2）
- タイマジェネラルレジスタA_2（TGRA_2）
- タイマジェネラルレジスタB_2（TGRB_2）

共通レジスタ

- タイマスタートレジスタ（TSTR）
- タイマシンクロレジスタ（TSYR）

11.3.1　タイマコントロールレジスタ（TCR）

TCR は各チャネルの TCNT を制御します。TPU には、チャネル 0～2 に各 1 本、計 3 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説　　明
7 6 5	CCLR2 CCLR1 CCLR0	0 0 0	R/W R/W R/W	カウンタクリア 2～0 TCNT のカウンタクリア要因を選択します。詳細は表 11.3、表 11.4 を参照してください。
4 3	CKEG1 CKEG0	0 0	R/W R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1／2 になります（例：φ／4 の両エッジ＝φ／2 の立ち上がりエッジ）。チャネル 1、2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックがφ／4 もしくはそれより遅い場合に有効です。入力クロックにφ／1 を選択した場合は本設定は無視され、立ち上がりエッジカウント選択になります。 00：立ち上がりエッジでカウント 01：立ち下がりエッジでカウント 1X：両エッジでカウント 【記号説明】X：Don't care
2 1 0	TPSC2 TPSC1 TPSC0	0 0 0	R/W R/W R/W	タイマプリスケーラ 2～0 TCNT のカウンタクロックを選択します。各チャネル独立にクロックソースを選択することができます。詳細は表 11.5～表 11.7　TPSC2～TPSC0 を参照してください。

表 11.3　CCLR2～CCLR0（チャネル 0）

チャネル	ビット 7	ビット 6	ビット 5	説　　明
	CCLR2	CCLR1	CCLR0	
0	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ／ンプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ／インプットキャプチャで TCNT クリア
	0	1	1	同期クリア／同期動作をしている他のチャネルのカウンタクリアで TCNT をクリア*1
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ／インプットキャプチャでTCNT クリア*2
	1	1	0	TGRD のコンペアマッチ／インプットキャプチャでTCNT クリア*2
	1	1	1	同期クリア／同期動作をしている他のチャネルのカウンタクリアで TCNT をクリア*1

【注】　*1　同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2　TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ／インプットキャプチャが発生しないため、TCNT はクリアされません。

表 11.4　CCLR2～CCLR0（チャネル 1、2）

チャネル	ビット 7	ビット 6	ビット 5	説　　明
	リザーブ*2	CCLR1	CCLR0	
1、2	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ／インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ／インプットキャプチャで TCNT クリア
	0	1	1	同期クリア／同期動作をしている他のチャネルのカウンタクリアで TCNT をクリア*1

【注】　*1　同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2　チャネル 1、2 ではビット 7 はリザーブです。リードすると常に 0 が読み出しされます。ライトは無効です。

表 11.5　TPSC2～TPSC0（チャネル 0）

チャネル	ビット 2	ビット 1	ビット 0	説　　明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック：φでカウント
	0	0	1	内部クロック：φ／4 でカウント
	0	1	0	内部クロック：φ／16 でカウント
	0	1	1	内部クロック：φ／64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKB 端子入力でカウント
	1	1	0	外部クロック：TCLKC 端子入力でカウント
	1	1	1	外部クロック：TCLKD 端子入力でカウント

表 11.6　TPSC2～TPSC0（チャネル 1）

チャネル	ビット 2	ビット 1	ビット 0	説　　明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック：φでカウント
	0	0	1	内部クロック：φ／4 でカウント
	0	1	0	内部クロック：φ／16 でカウント
	0	1	1	内部クロック：φ／64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKB 端子入力でカウント
	1	1	0	内部クロック：φ／256 でカウント
	1	1	1	設定禁止

【注】　チャネル 1 が位相計数モード時、この設定は無効になります。

表 11.7　TPSC2～TPSC0（チャネル 2）

チャネル	ビット 2	ビット 1	ビット 0	説　　明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック：φでカウント
	0	0	1	内部クロック：φ／4 でカウント
	0	1	0	内部クロック：φ／16 でカウント
	0	1	1	内部クロック：φ／64 でカウント
	1	0	0	外部クロック：TCLKA 端子入力でカウント
	1	0	1	外部クロック：TCLKB 端子入力でカウント
	1	1	0	外部クロック：TCLKC 端子入力でカウント
	1	1	1	内部クロック：φ／1024 でカウント

【注】　チャネル 2 が位相計数モード時、この設定は無効になります。

11.3.2　タイマモードレジスタ（TMDR）

TMDR は各チャネルの動作モードの設定を行います。TPU には、各チャネル 1 本、計 3 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	ビット名	初期値	R/W	説　　明
7	ー	1	R	リザーブビット
6	ー	1	R	リードすると常に 1 が読み出されます。ライトは無効です。
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ／アウトプットコンペアは発生しません。 TGRD を持たないチャネル 1、2 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0：TGRB は通常動作 1：TGRB と TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ／アウトプットコンペアは発生しません。 TGRC を持たないチャネル 1、2 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0：TGRA は通常動作 1：TGRA と TGRC はバッファ動作
3	MD3	0	R/W	モード 3～0
2	MD2	0	R/W	MD3～MD0 はタイマの動作モードを設定します。
1	MD1	0	R/W	MD3 はリザーブビットです。ライト時には常に 0 としてください。
0	MD0	0	R/W	詳細は表 11.8 を参照してください。

表 11.8　MD3～MD0

ビット 3	ビット 2	ビット 1	ビット 0	説　　明
MD3*1	MD2*2	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	リザーブ
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2
0	1	0	0	位相計数モード 1
0	1	0	1	位相計数モード 2
0	1	1	0	位相計数モード 3
0	1	1	1	位相計数モード 4
1	x	x	x	設定禁禁止

【記号説明】 x：Don't care

【注】　*1　MD3 はリザーブビットです。ライト時には常に 0 としてください。

*2　チャネル 0 では、位相計数モードの設定はできません。MD2 には常に 0 をライトしてください。

11.3.3　タイマ I/O コントロールレジスタ（TIOR）

TIOR は TGR を制御します。TPU には、チャネル 0 に 2 本、チャネル 1、2 に各 1 本、計 4 本の TIOR があります。TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタ停止した（TSTR の CST ビットを 0 にクリアした）状態で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

- TIORH_0、TIOR_1、TIOR_2

ビット	ビット名	初期値	R/W	説　　明
7	IOB3	0	R/W	I/O コントロール B3～0
6	IOB2	0	R/W	TGRB の機能を設定します。
5	IOB1	0	R/W	
4	IOB0	0	R/W	
3	IOA3	0	R/W	I/O コントロール A3～0
2	IOA2	0	R/W	TGRA の機能を設定します。
1	IOA1	0	R/W	
0	IOA0	0	R/W	

- TIORL_0

ビット	ビット名	初期値	R/W	説　　明
7	IOD3	0	R/W	I/O コントロール D3～0 TGRD の機能を設定します。
6	IOD2	0	R/W	
5	IOD1	0	R/W	
4	IOD0	0	R/W	
3	IOC3	0	R/W	I/O コントロール C3～0 TGRC の機能を設定します。
2	IOC2	0	R/W	
1	IOC1	0	R/W	
0	IOC0	0	R/W	

表 11.9　TIORH_0（チャネル 0）

ビット 7	ビット 6	ビット 5	ビット 4	説　　明	
IOB3	IOB2	IOB1	IOB0	TGRB_0 の機能	TIOCB0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB0 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】 x: Don't care

表 11.10　TIORH_0（チャネル 0）

ビット 3	ビット 2	ビット 1	ビット 0	説　　明	
IOA3	IOA2	IOA1	IOA0	TGRA_0 の機能	TIOCA0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA0 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】x：Don't care

表 11.11　TIORL_0（チャネル 0）

ビット 7	ビット 6	ビット 5	ビット 4	説　　明	
IOD3	IOD2	IOD1	IOD0	TGRD_0 の機能	TIOCD0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCD0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCD0 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】x：Don't care

【注】　*　TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表 11.12　TIORL_0（チャネル 0）

ビット 3	ビット 2	ビット 1	ビット 0	説　　明	
IOC3	IOC2	IOC1	IOC0	TGRC_0 の機能	TIOCC0 の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCC0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCC0 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】x：Don't care

【注】　*　TMDR_0 の BFA ビットを 1 にセットして TGRC_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ／アウトプットコンペアは発生しません。

表 11.13　TIOR_1（チャネル 1 ）

ビット 7	ビット 6	ビット 5	ビット 4	説　　明	
IOB3	IOB2	IOB1	IOB0	TGRB_1 の機能	TIOCB1 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB1 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】x：Don't care

表 11.14　TIOR_1（チャネル 1）

ビット 3	ビット 2	ビット 1	ビット 1	説　　明	
IOA3	IOA2	IOA1	IOA0	TGRA_1 の機能	TIOCA1 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA1 端子 両エッジでインプットキャプチャ
1	1	x	x		設定禁止

【記号説明】x：Don't care

表 11.15　TIOR_2（チャネル 2）

ビット 7	ビット 6	ビット 5	ビット 4	説　　明	
IOB3	IOB2	IOB1	IOB0	TGRB_2 の機能	TIOCB2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB2 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCB2 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCB2 端子 両エッジでインプットキャプチャ

【記号説明】x：Don't care

表 11.16　TIOR_2（チャネル 2）

ビット 3	ビット 2	ビット 1	ビット 0	説　　明	
IOA3	IOA2	IOA1	IOA0	TGRA_2 の機能	TIOCA2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA2 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCA2 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCA2 端子 両エッジでインプットキャプチャ

【記号説明】x：Don't care

11.3.4 タイマインタラプトイネーブルレジスタ（TIER）

TIER は各チャネルの割り込み要求の許可、禁止を制御します。TPU には、各チャネル 1 本、計 3 本の TIER があります。

ビット	ビット名	初期値	R/W	説　　明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ／コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0：A/D 変換開始要求の発生を禁止 1：A/D 変換開始要求の発生を許可
6	－	1	R	リザーブビット リードすると 1 が読み出しされます。ライトは無効です
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャネル 1、2 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求（TCIU）を許可または禁止します。 チャネル 0 ではリザーブビットです。 リードすると常に 0 が読み出しされます。ライトは無効です。 0：TCFU による割り込み要求（TCIU）を禁止 1：TCFU による割り込み要求（TCIU）を許可
4	TCIEV	0	R/W	オーバフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求（TCIV）を許可または禁止します。 0：TCFV による割り込み要求（TCIV）を禁止 1：TCFV による割り込み要求（TCIV）を許可
3	TGIED	0	R/W	TGR インタラプトイネーブル D チャネル 0 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求（TGID）を許可または禁止します。チャネル 1、2 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。 0：TGFD ビットによる割り込み要求（TGID）を禁止 1：TGFD ビットによる割り込み要求（TGID）を許可
2	TGIEC	0	R/W	TGR インタラプトイネーブル C チャネル 0 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求（TGIC）を許可または禁止します。 チャネル 1、2 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。 0：TGFC ビットによる割り込み要求（TGIC）を禁止 1：TGFC ビットによる割り込み要求（TGIC）を許可

ビット	ビット名	初期値	R/W	説　　明
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求（TGIB）を許可または禁止します。 0：TGFB ビットによる割り込み要求（TGIB）を禁止 1：TGFB ビットによる割り込み要求（TGIB）を禁止
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求（TGIA）を許可または禁止します。 0：TGFA ビットによる割り込み要求（TGIA）を禁止 1：TGFA ビットによる割り込み要求（TGIA）を許可

11.3.5　タイマステータスレジスタ（TSR）

TSR は各チャネルのステータスの表示を行います。TPU には、各チャネル 1 本、計 3 本の TSR があります。

ビット	ビット名	初期値	R/W	説　　明
7	TCFD	1	R	カウント方向フラグ チャネル 1、2 の TCNT のカウント方向を示すステータスフラグです。 チャネル 0 ではリザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。 0：TCNT はダウンカウント 1：TCNT はアップカウント
6	－	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です
5	TCFU	0	R/(W)*	アンダフローフラグ チャネル 1、2 が位相計数モードのとき、TCNT のアンダフローの発生を示すステータスフラグです。 チャネル 0 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。 ［セット条件］ • TCNT の値がアンダフロー（H'0000→H'FFFF）したとき ［クリア条件］ • TCFU＝1 の状態で TCFU をリード後、TCFU に 0 をライトしたとき
4	TCFV	0	R/(W)*	オーバフローフラグ TCNT のオーバフローの発生を示すステータスフラグです。 ［セット条件］ • TCNT の値がオーバフロー（H'FFFF→H'0000）したとき ［クリア条件］ • TCFV＝1 の状態で TCFV をリード後、TCFV に 0 をライトしたとき

ビット	ビット名	初期値	R/W	説　　明
3	TGFD	0	R/(W)*	インプットキャプチャ／アウトプットコンペアフラグ D チャネル0のTGRDのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。 チャネル 1、2 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。 ［セット条件］ • TGRD がアウトプットコンペアレジスタとして機能している場合、TCNT＝TGRD になったとき • TGRD がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRD に転送されたとき ［クリア条件］ • TGFD＝1 の状態で TGFD をリード後、TGFD に 0 をライトしたとき
2	TGFC	0	R/(W)*	インプットキャプチャ／アウトプットコンペアフラグ C チャネル0のTGRCのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。 チャネル 1、2 ではリザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。 ［セット条件］ • TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT＝TGRC になったとき • TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき ［クリア条件］ • TGFC＝1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき
1	TGFB	0	R/(W)*	インプットキャプチャ／アウトプットコンペアフラグ B TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。 ［セット条件］ • TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT＝TGRB になったとき • TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき ［クリア条件］ • TGFB＝1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき

ビット	ビット名	初期値	R/W	説　　明
0	TGFA	0	R/(W) *	インプットキャプチャ／アウトプットコンペアフラグ A TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。 ［セット条件］ • TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT＝TGRA になったとき • TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき ［クリア条件］ • TGFA＝1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき

【注】　*　フラグをクリアするための 0 ライトのみ可能です。

11.3.6　タイマカウンタ（TCNT）

TCNT は 16 ビットのリード／ライト可能なカウンタです。各チャネルに 1 本、計 3 本の TCNT があります。

TCNT は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

11.3.7　タイマジェネラルレジスタ（TGR）

TGR は 16 ビットのリード／ライト可能なアウトプットコンペア／インプットキャプチャ兼用のレジスタです。チャネル 0 に 4 本、チャネル 1、2 に各 2 本、計 8 本のジェネラルレジスタがあります。チャネル 0 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TRG は、リセットまたはハードウェアスタンバイモード時に H'FFFF に初期化されます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。TGR とバッファレジスタの組み合わせは、TGRA－TGRC、TGRB－TGRD になります。

11.3.8 タイマスタートレジスタ（TSTR）

TSTR はチャネル 0～2 の TCNT の動作／停止を選択するレジスタです。対応するビットを 1 にセットしたチャネルの TCNT がカウント動作を行います。TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止させてから行ってください。

ビット	ビット名	初期値	R/W	説　　明
7～3	－	0	R/W	リザーブビット 初期値を変更しないでください。
2 1 0	CST2 CST1 CST0	0 0 0	R/W R/W R/W	カウンタスタート 2～0 TCNT の動作または停止を選択します。 TIOC 端子を出力状態で動作中に、CST ビットに 0 をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが 0 の状態で TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0：TCNTn のカウント動作は停止 1：TCNTn はカウント動作　（n＝2～0）

11.3.9 タイマシンクロレジスタ（TSYR）

TSYR はチャネル 0～2 の TCNT の独立動作または同期動作を選択します。対応するビットを 1 にセットしたチャネルが同期動作を行います。

ビット	ビット名	初期値	R/W	説　　明
7～3	－	0	R/W	リザーブビット 初期値を変更しないでください。
2 1 0	SYNC2 SYNC1 SYNC0	0 0 0	R/W R/W R/W	タイマ同期 2～0 他のチャネルとの独立動作または同期動作を選択します。 同期動作を選択すると、複数の TCNT の同期プリセットや、他チャネルのカウンタクリアによる同期クリアが可能となります。 同期動作の設定には、最低 2 チャネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2～CCLR0 ビットで、TCNT のクリア要因を設定する必要があります。 0：TCNTn は独立動作（TCNT のプリセット／クリアは他チャネルと無関係） 1：TCNTn は同期動作 TCNT の同期プリセット／同期クリアが可能 （n＝2～0）

11.4　バスマスタとのインタフェース

11.4.1　16 ビットレジスタ

TCNT、TGR は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し／書き込みが可能です。

8 ビット単位での読み出し／書き込みはできません。常に 16 ビット単位でアクセスしてください。

16 ビットレジスタのアクセス動作例を図 11.2 に示します。

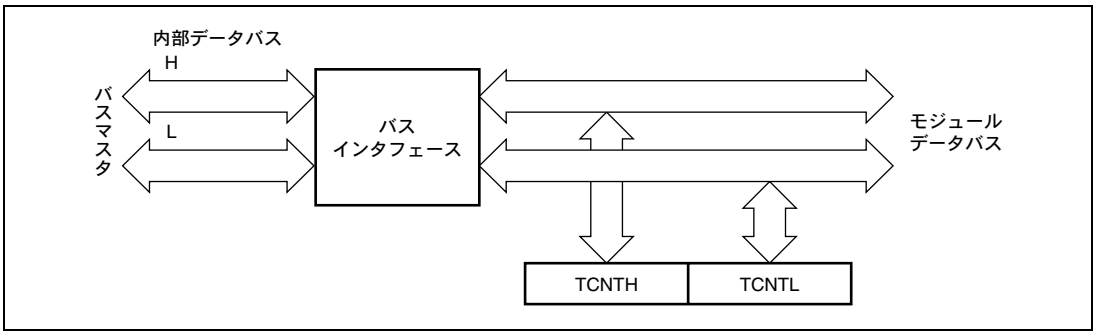


図 11.2　16 ビットレジスタのアクセス動作（バスマスタ⟷TCNT（16 ビット））

11.4.2　8 ビットレジスタ

TCNT、TGR 以外のレジスタは 8 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し／書き込みが可能です。また、8 ビット単位での読み出し／書き込みもできます。

8 ビットレジスタのアクセス動作例を図 11.3、図 11.4、図 11.5 に示します。

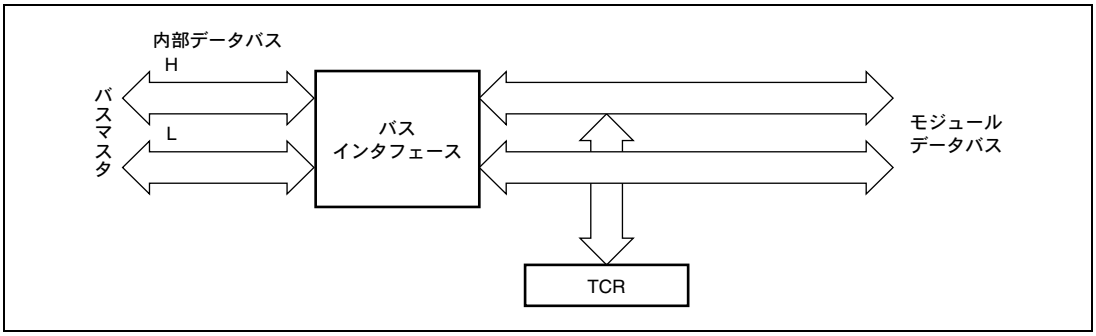


図 11.3　8 ビットレジスタのアクセス動作（バスマスタ⟷TCR（上位 8 ビット））

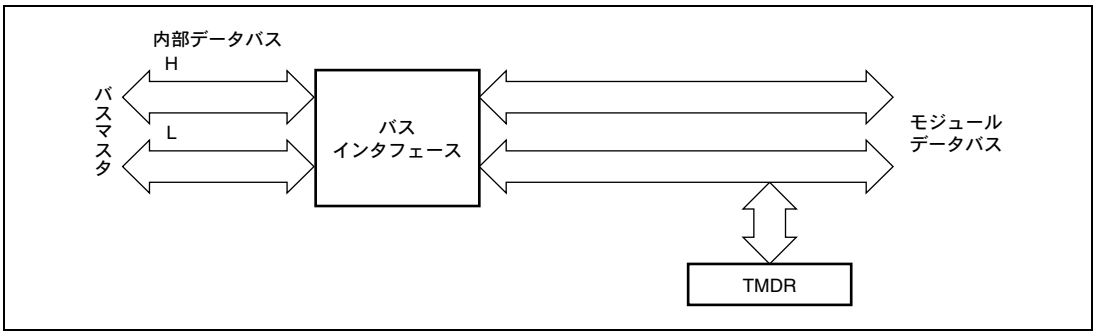


図 11.4　8 ビットレジスタのアクセス動作（バスマスタ⟷TMDR（下位 8 ビット））

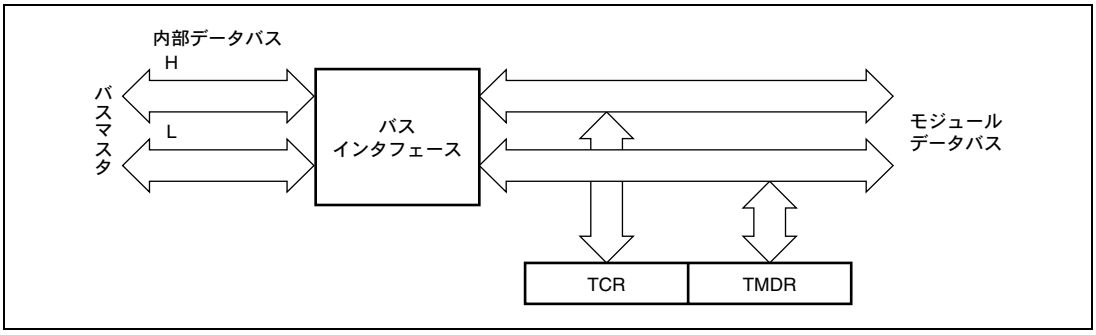


図 11.5　8 ビットレジスタのアクセス動作（バスマスタ⟷TCR、TMDR（16 ビット））

11.5　動作説明

11.5.1　基本動作

各チャネルには、TCNT と TGR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGR は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

（1）カウンタの動作

TSTR の CST0～CST2 ビットを 1 にセットすると、対応するチャネルの TCNT はカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

（a）カウント動作の設定手順例

カウント動作の設定手順例を図 11.6 に示します。

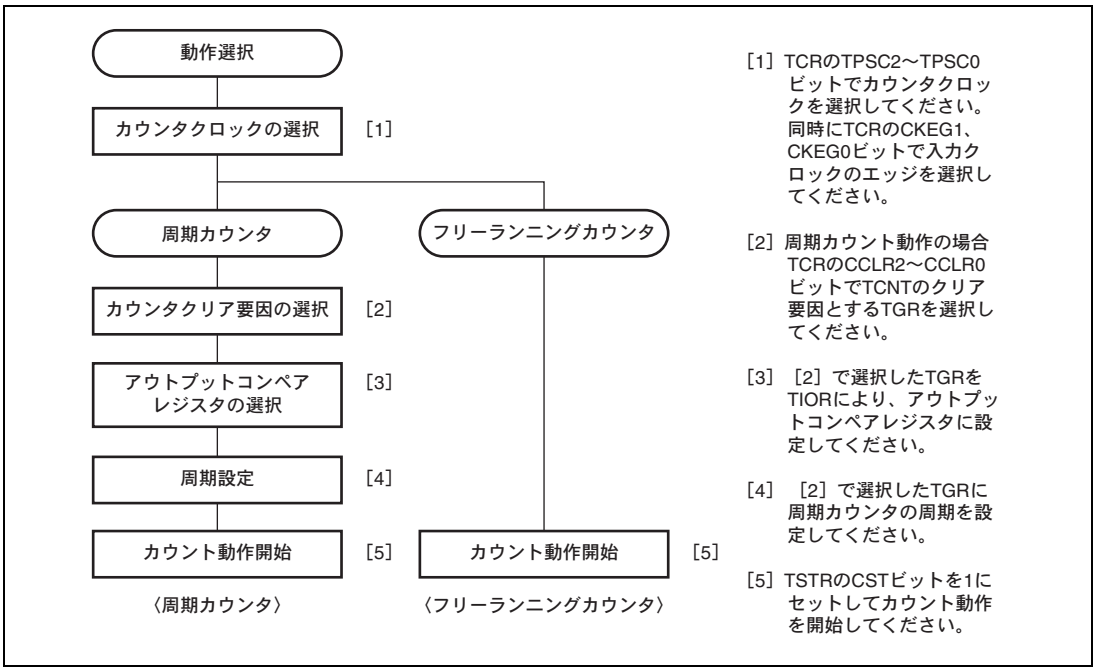


図 11.6　カウンタ動作設定手順例

（b） フリーランニングカウント動作と周期カウント動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバフロー（H'FFFF→H'0000）すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、TPU は割り込みを要求します。TCNT はオーバフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を**図 11.7** に示します。

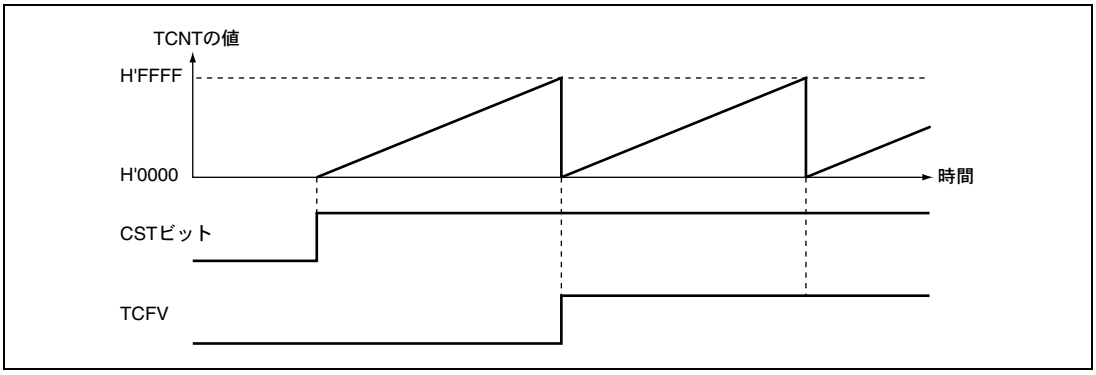


図 11.7　フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャネルの TCNT は周期カウント動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2～CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、TPU は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を**図 11.8** に示します。

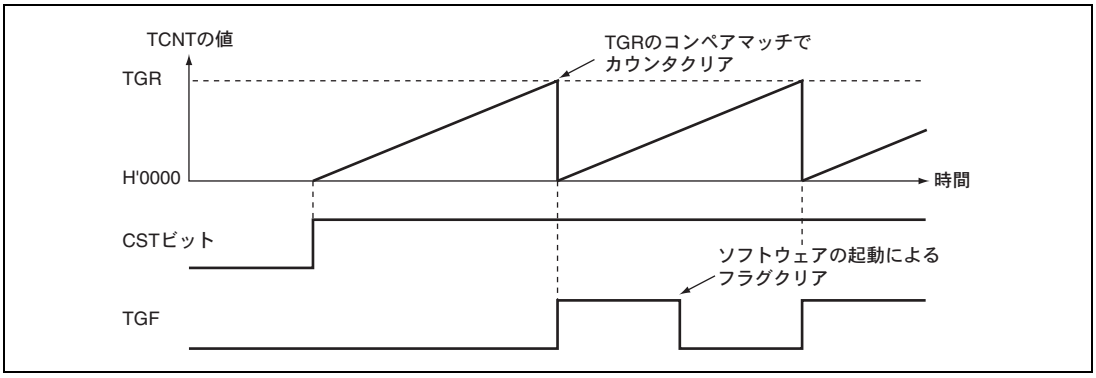


図 11.8　周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPU は、コンペアマッチにより対応する出力端子から 0 出力／1 出力／トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 11.9 に示します。

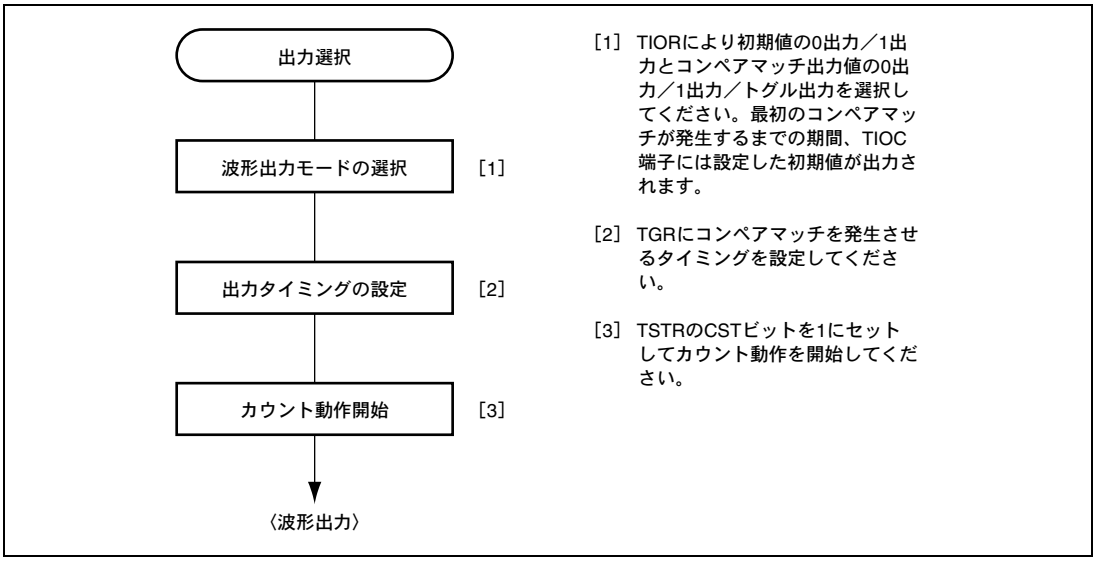


図 11.9　コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力／1 出力例を図 11.10 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

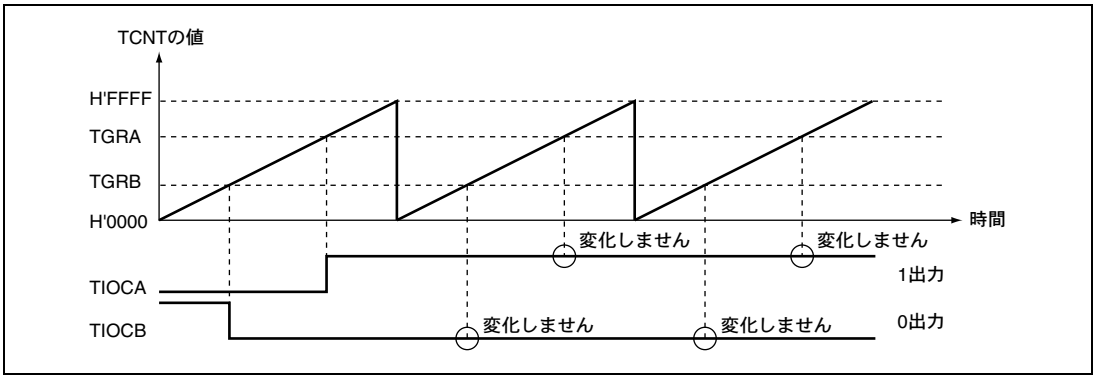


図 11.10　0 出力／1 出力の動作例

トグル出力の例を図 11.11 に示します。

TCNT を周期カウント動作（コンペアマッチ B によりカウンタクリア）に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

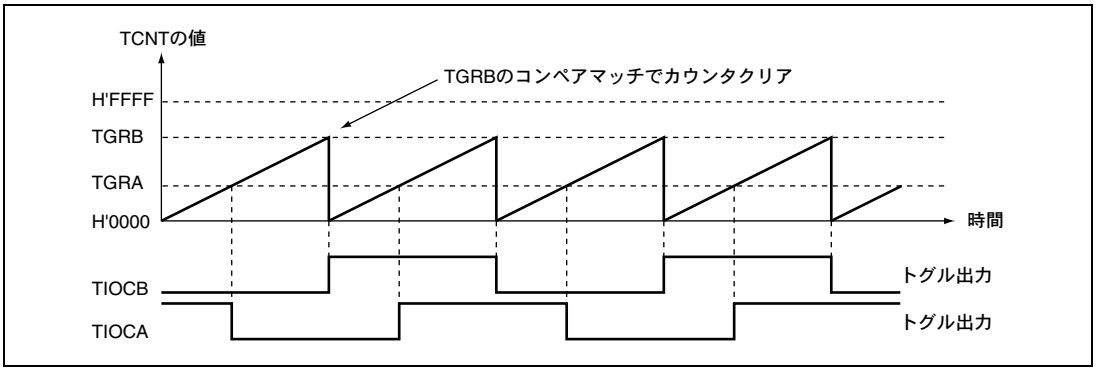


図 11.11　トグル出力の動作例

(3) インプットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ／立ち下がりエッジ／両エッジから選択できます。

(a) インプットキャプチャ動作の設定手順例

インプットキャプチャ動作の設定手順例を図 11.12 に示します。

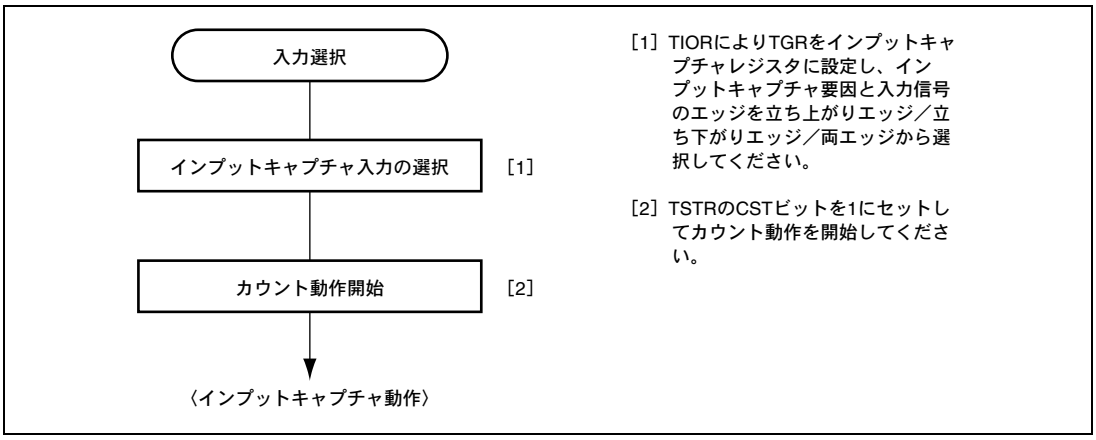


図 11.12　インプットキャプチャ動作の設定例

（b） インプットキャプチャ動作例

インプットキャプチャ動作例を図 11.13 に示します。

TIOCA 端子のインプットキャプチャ入力エッジは立ち上がり／立ち下がりの両エッジ、また TIOCB 端子のインプットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインプットキャプチャでカウンタクリアされるように設定した場合の例です。

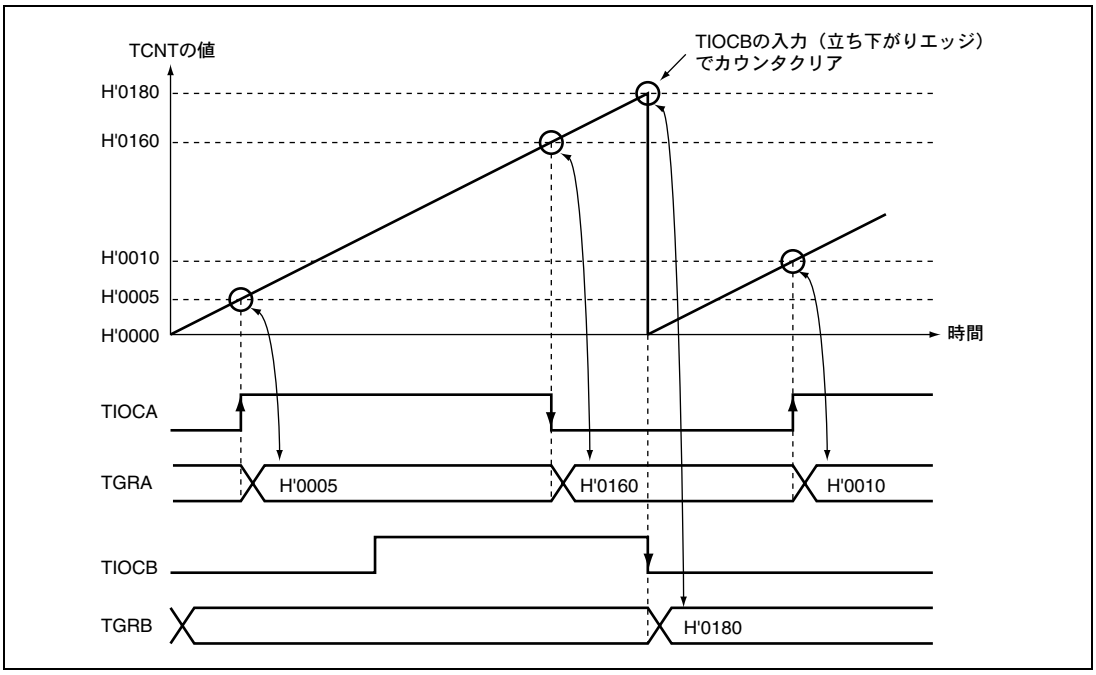


図 11.13　インプットキャプチャ動作例

11.5.2　同期動作

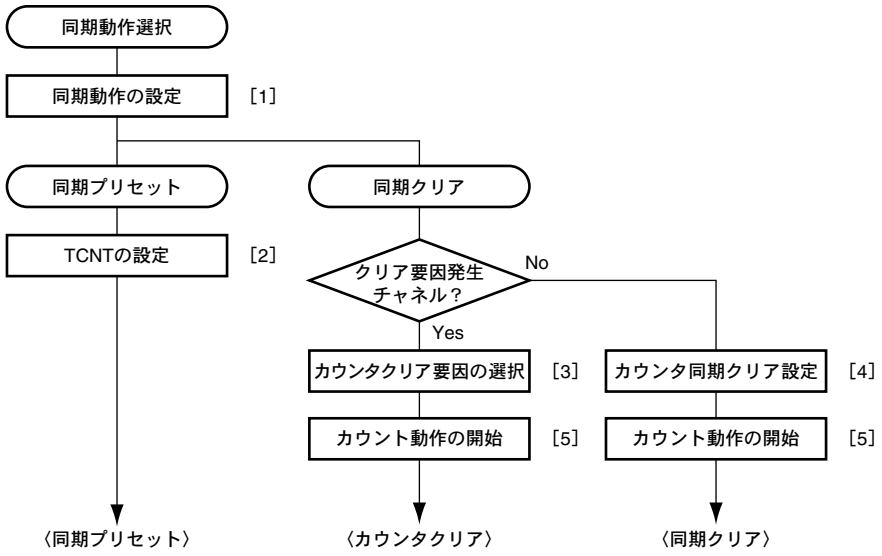
同期動作は、複数の TCNT の値を同時に書き換えることができます（同期プリセット）。また、TCR の設定により複数の TCNT を同時にクリアすることができます（同期クリア）。

同期動作により、1 つのタイムベースに対して TGR を増加することができます。

チャネル 0～2 はすべて同期動作の設定が可能です。

（1）同期動作の設定手順例

同期動作の設定手順例を図 11.14 に示します。



[1] 同期動作に設定するチャネルに対応したTSYRのSYNCビットを1にセットしてください。

[2] 同期動作に設定したチャネルのいずれかのTCNTにライトすると、他のTCNTにも同じ値が同時にライトされます。

[3] TCRのCCLR2～CCLR0ビットで、インプットキャプチャ／アウトプットコンペアなどでTCNTをクリアするように設定してください。

[4] TCRのCCLR2～CCLR0ビットで、カウンタクリア要因を同期クリアに設定してください。

[5] 対象となるチャネルに対応するTSTRのCSTビットを1にセットしてカウント動作を開始してください。

図 11.14　同期動作の設定手順例

（2） 同期動作の例

同期動作の例を図 11.15 に示します。

チャネル 0～2 を同期動作かつ PWM モード 1 に設定し、チャネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOCA0、TIOCA1、TIOCA2 端子から出力します。このとき、チャネル 0～2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。

PWM モードについては、「11.5.4　PWM モード」を参照してください。

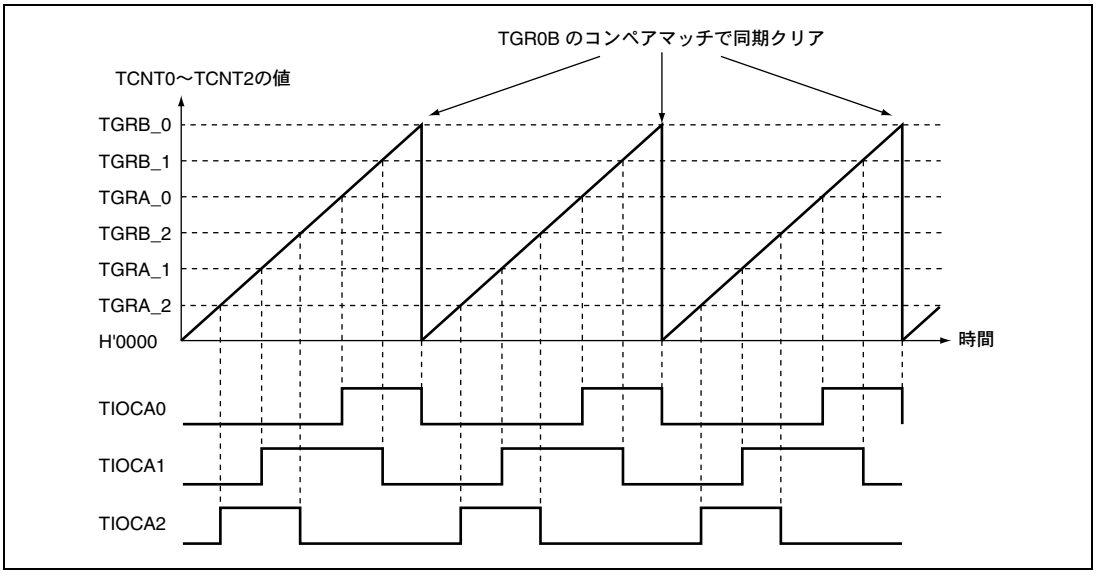


図 11.15　同期動作の動作例

11.5.3　バッファ動作

バッファ動作は、チャネル 0 が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。バッファ動作は、TGR をインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。表 11.17 にバッファ動作時のレジスタの組み合わせを示します。

表 11.17　レジスタの組み合わせ

チャネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。この動作を図 11.16 に示します。

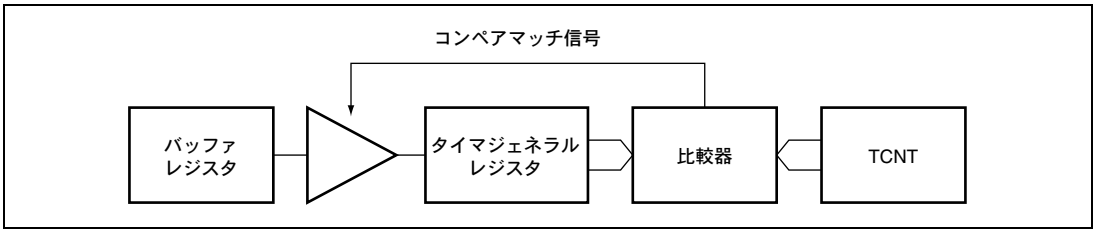


図 11.16　コンペアマッチバッファ動作

- TGRがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNT の値を TGR に転送すると同時に、それまで格納されていたタイマジェネラルレジスタの値をバッファレジスタに転送します。

この動作を図 11.17 に示します。

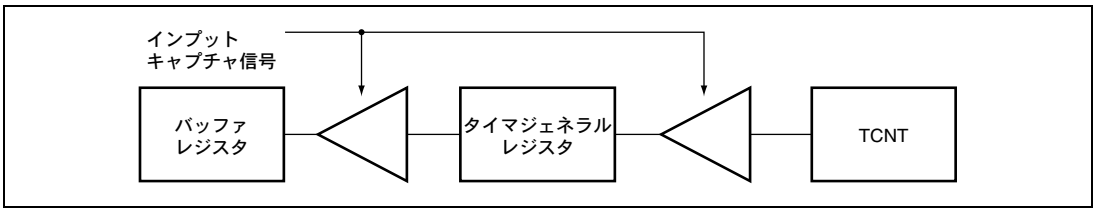


図 11.17　インプットキャプチャバッファ動作

（1） バッファ動作の設定手順例

バッファ動作の設定手順例を図 11.18 に示します。

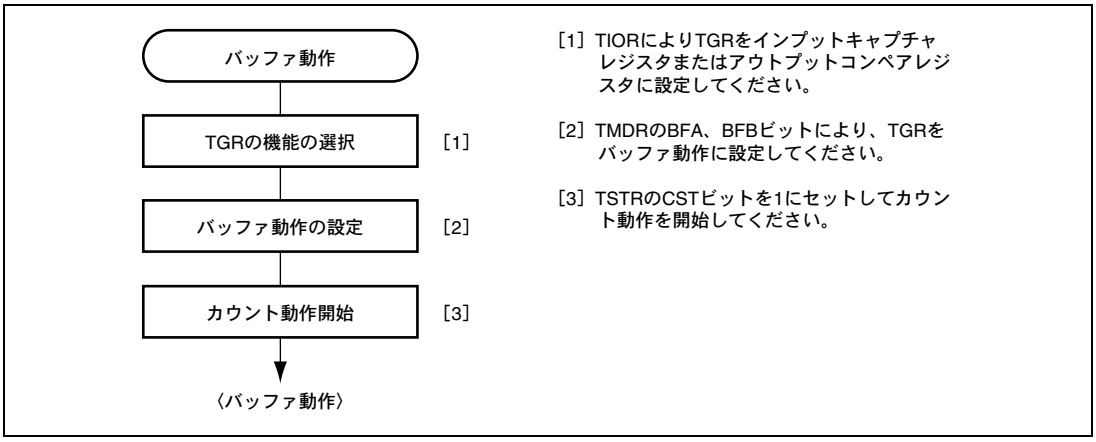


図 11.18　バッファ動作の設定手順例

（2） バッファ動作例

（a） TGR がアウトプットコンペアレジスタの場合

チャネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 11.19 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「11.5.4　PWM モード」を参照してください。

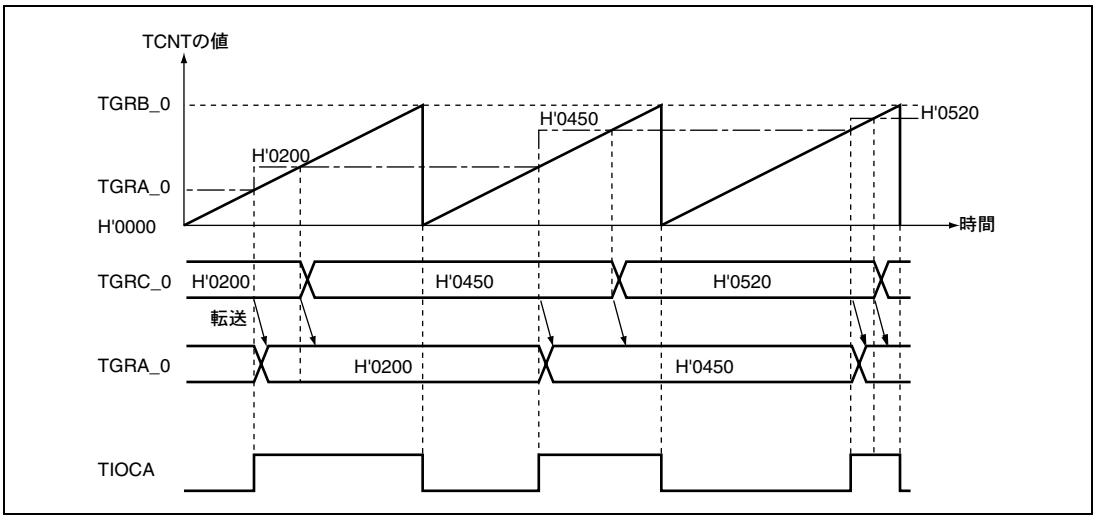


図 11.19　バッファ動作例（1）

（b） TGR がインプットキャプチャレジスタの場合

TGRA をインプットキャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 11.20 に示します。

TCNT は TGRA のインプットキャプチャでカウンタクリア、TIOCA 端子のインプットキャプチャ入力エッジは立ち上がりエッジ／立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、インプットキャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

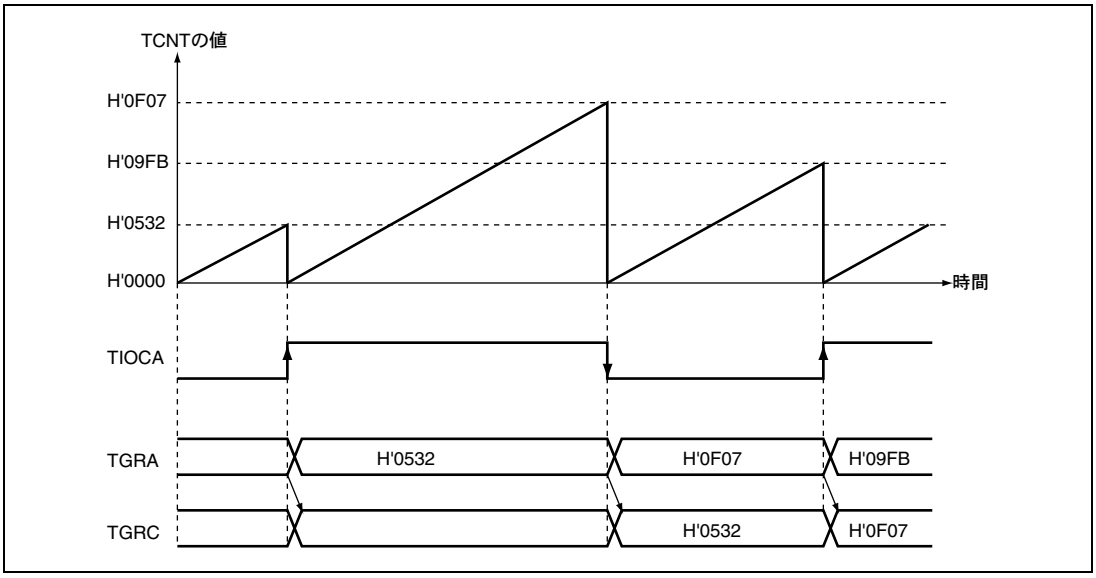


図 11.20　バッファ動作例（2）

11.5.4　PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力／1 出力／トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0～100%の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

（1） PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3～IOA0、IOC3～IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3～IOB0、IOD3～IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 4 相の PWM 出力が可能です。

（2） PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、同期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 7 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 11.18 に示します。

表 11.18　各 PWM 出力のレジスタと出力端子

チャネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOCA0	TIOCA0
	TGRB_0		TIOCB0
	TGRC_0	TIOCC0	TIOCC0
	TGRD_0		TIOCD0
1	TGRA_1	TIOCA1	TIOCA1
	TGRB_1		TIOCB1
2	TGRA_2	TIOCA2	TIOCA2
	TGRB_2		TIOCB2

【注】　PWM モード 2 の時、周期を設定した TGR の PWM 出力はできません。

（a）PWM モードの設定手順例

PWM モードの設定手順例を図 11.21 に示します。

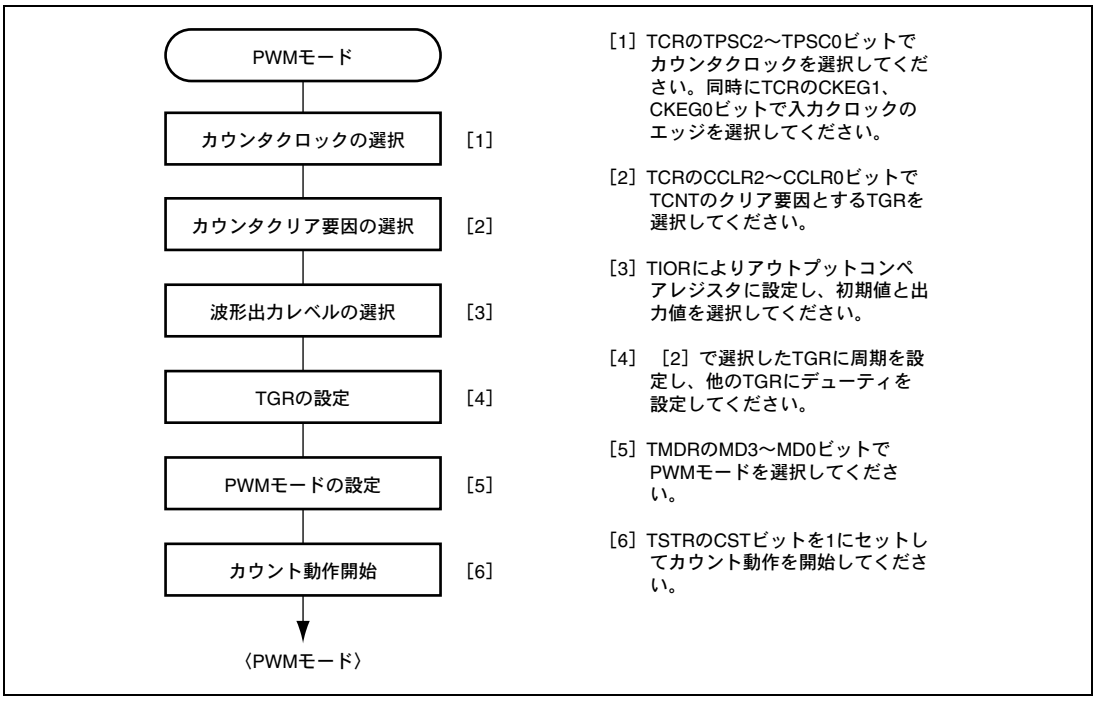


図 11.21　PWM モードの設定手順例

（b） PWM モードの動作例

PWM モード 1 の動作例を図 11.22 に示します。

この図は、TCNT のクリア要因を TGRA のコンペアマッチとし、TGRA の初期出力値と出力値を 0、TGRB の出力値を 1 に設定した場合の例です。

この場合、TGRA に設定した値が周期となり、TGRB に設定した値がデューティになります。

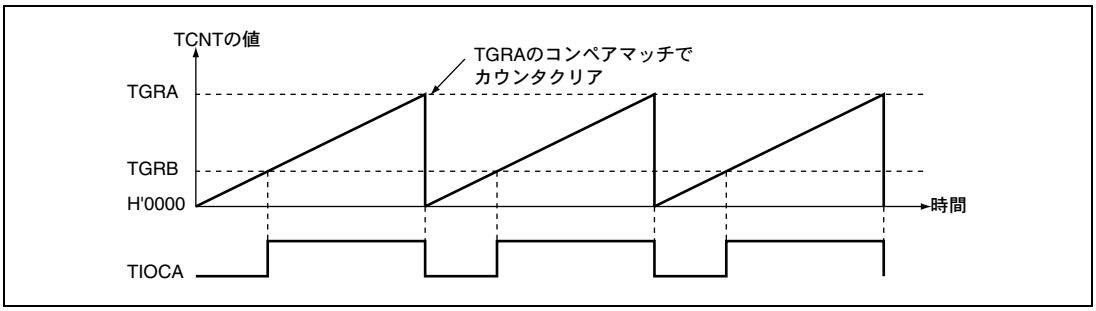


図 11.22　PWM モードの動作例（1）

PWM モード 2 の動作例を図 11.23 に示します。

この図は、チャネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB_1 のコンペアマッチとし、他の TGR（TGRA_0～TGRD_0、TGRA_1）の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGRB_1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。

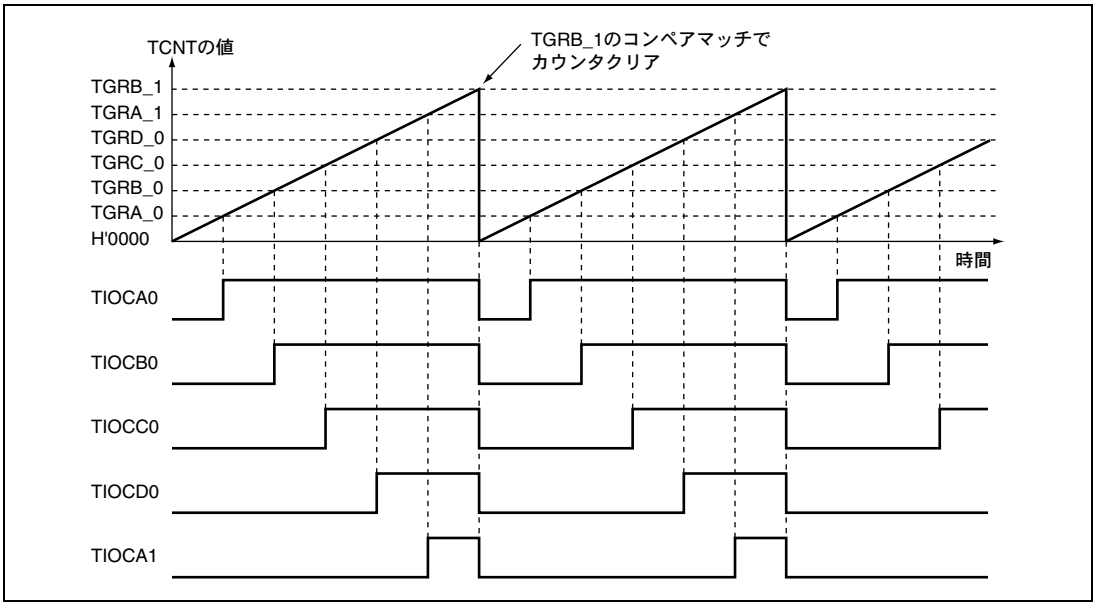


図 11.23　PWM モードの動作例（2）

PWM モードで、デューテイ 0%、デューテイ 100%の PWM 波形を出力する例を図 11.24 に示します。

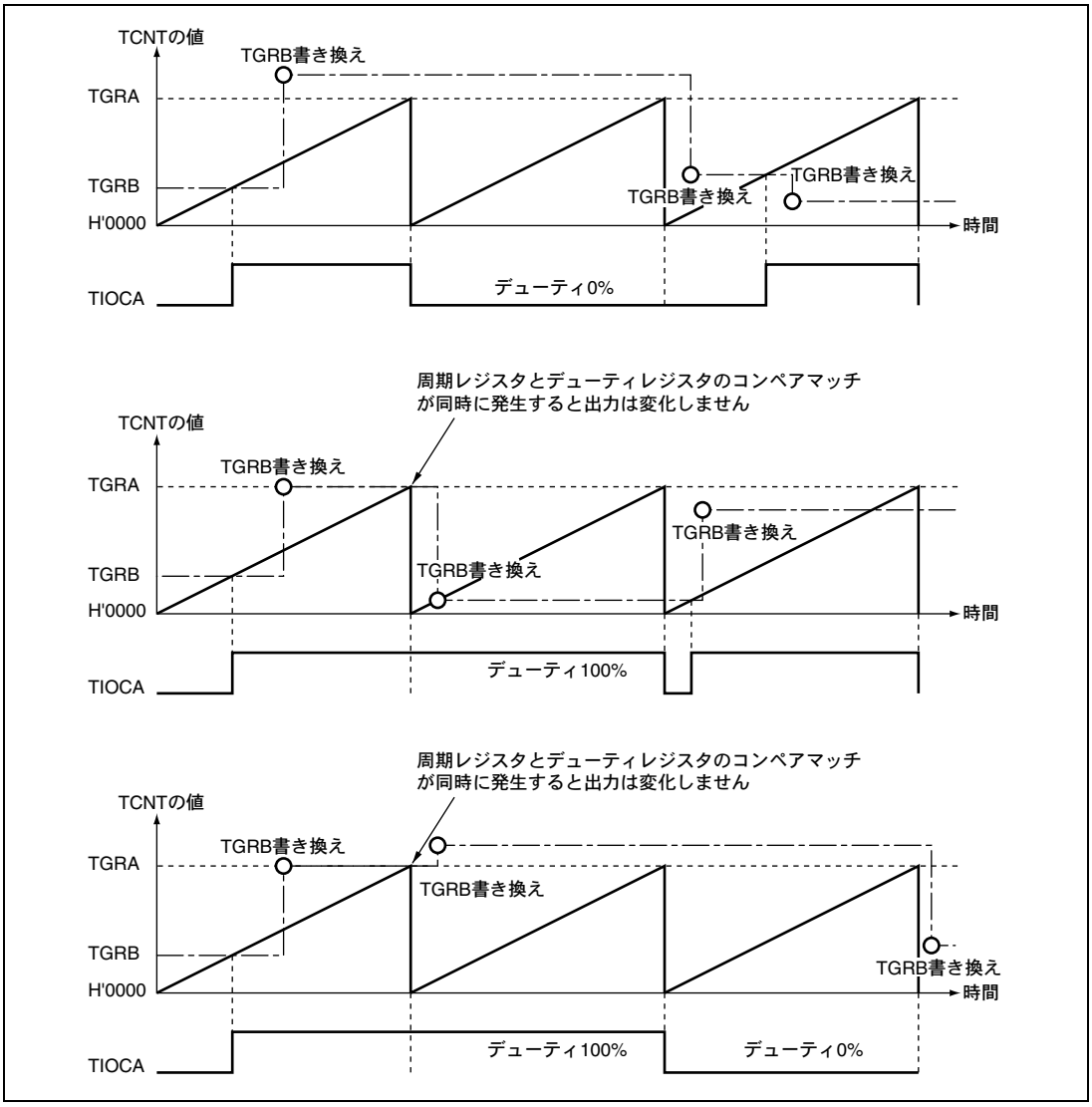


図 11.24　PWM モード動作例（3）

11.5.5 位相計数モード

位相計数モードは、チャネル 1、2 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ／ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2～TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ／ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ／コンペアマッチ機能や割り込み機能は使用することができます。

TCNT がアップカウント時、オーバフローが発生するとすると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 11.19 に外部クロック端子とチャネルの対応を示します。

表 11.19 位相計数モードクロック入力端子

チャネル	外部クロック端子	
	A 相	B 相
チャネル 1 を位相計数モードとするとき	TCLKA	TCLKB
チャネル 2 を位相計数モードとするとき	TCLKC	TCLKD

（1） 位相計数モードの設定手順例

位相計数モードの設定手順例を図 11.25 に示します。

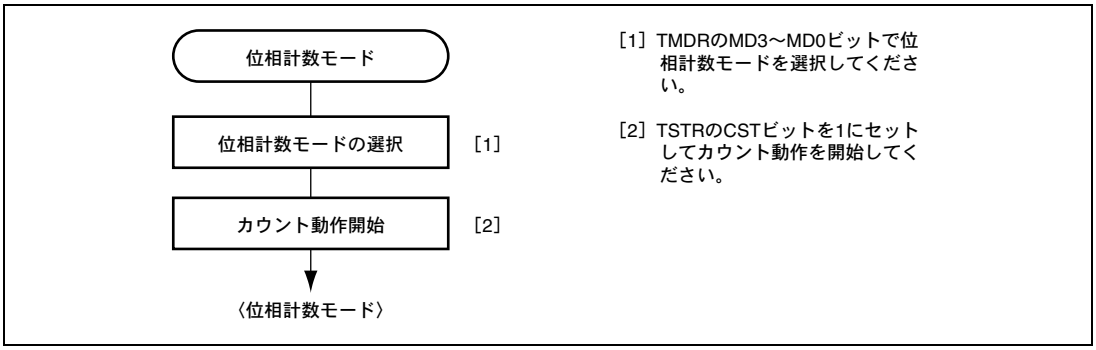


図 11.25 位相計数モードの設定手順例

（2） 位相計数モードの動作例

位相計数モードでは、2 本の外部クロックの位相差で TCNT がアップ／ダウンカウントします。また、カウント条件により 4 つのモードがあります。

（a） 位相計数モード 1

位相計数モード 1 の動作例を図 11.26 に、TCNT のアップ／ダウンカウント条件を表 11.20 に示します。

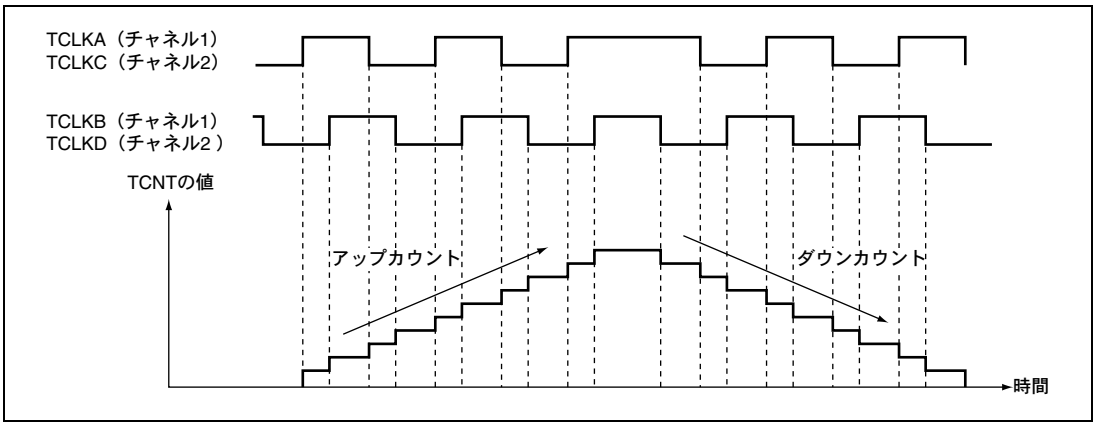


図 11.26　位相計数モード 1 の動作例

表 11.20　位相計数モード 1 のアップ／ダウンカウント条件

TCLKA（チャネル 1） TCLKC（チャネル 2）	TCLKB（チャネル 1） TCLKD（チャネル 2）	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	
↓	Low レベル	

【記号説明】

↑：立ち上がりエッジ

↓：立ち下がりエッジ

（b） 位相計数モード 2

位相計数モード 2 の動作例を**図 11.27** に、TCNT のアップ／ダウンカウント条件を**表 11.21** に示します。

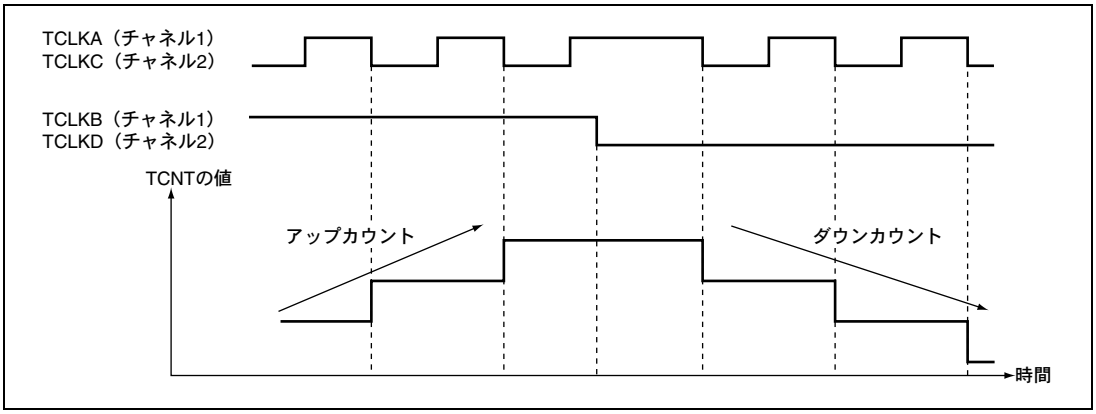


図 11.27　位相計数モード 2 の動作例

表 11.21　位相計数モード 2 のアップ／ダウンカウント条件

TCLKA（チャネル 1） TCLKC（チャネル 2）	TCLKB（チャネル 1） TCLKD（チャネル 2）	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	Don't care
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	ダウンカウント

【記号説明】

↑：立ち上がりエッジ

↓：立ち下がりエッジ

（c）　位相計数モード 3

位相計数モード 3 の動作例を**図** 11.28 に、TCNT のアップ／ダウンカウント条件を**表** 11.22 に示します。

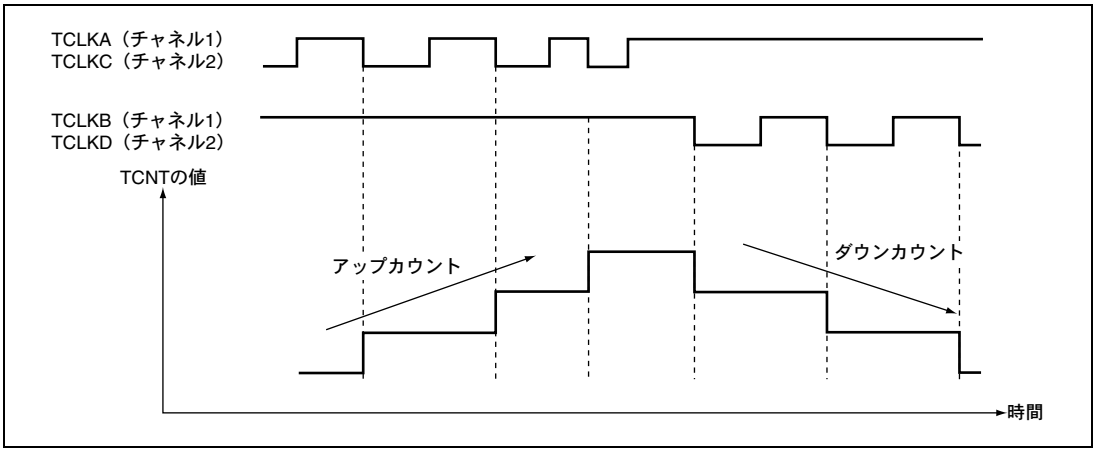


図 11.28　位相計数モード 3 の動作例

表 11.22　位相計数モード 3 のアップ／ダウンカウント条件

TCLKA（チャネル 1） TCLKC（チャネル 2）	TCLKB（チャネル 1） TCLKD（チャネル 2）	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	ダウンカウント
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	Don't care

【記号説明】

↑：立ち上がりエッジ

↓：立ち下がりエッジ

（d） 位相計数モード 4

位相計数モード 4 の動作例を**図** 11.29 に、TCNT のアップ／ダウンカウント条件を**表** 11.23 に示します。

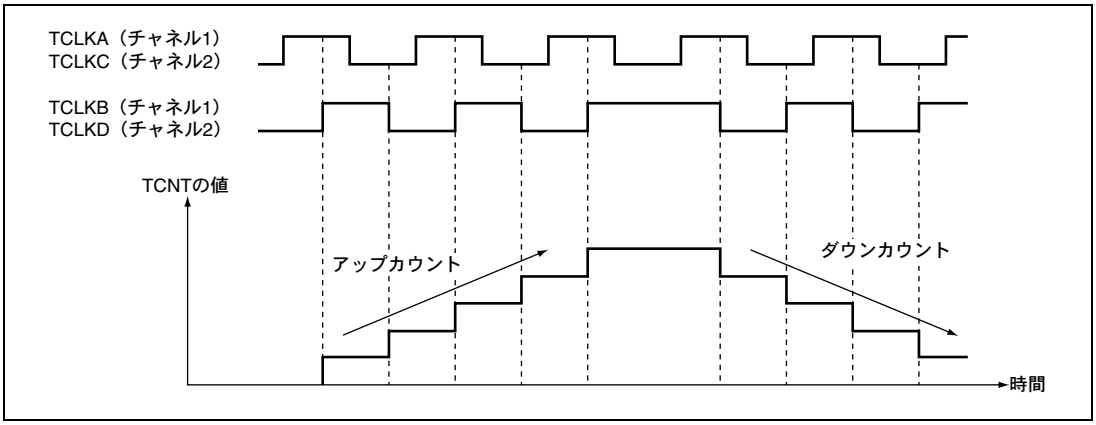


図 11.29　位相計数モード 4 の動作例

表 11.23　位相計数モード 4 のアップ／ダウンカウント条件

TCLKA（チャネル 1） TCLKC（チャネル 2）	TCLKB（チャネル 1） TCLKD（チャネル 2）	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	Don't care
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	Don't care
↓	Low レベル	

【記号説明】

↑：立ち上がりエッジ

↓：立ち下がりエッジ

11.6　割り込み要因

11.6.1　割り込み要因と優先順位

TPU の割り込み要因には、TGR のインプットキャプチャ／コンペアマッチ、TCNT のオーバフロー、アンダフローの 3 種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可／禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSR の対応するステータスフラグが 1 にセットされます。このとき TIER の対応する許可／禁止ビットが 1 にセットされていれば、割り込みを要求します。ステータスフラグを 0 にクリアすることで割り込み要求は解除されます。

チャネル間の優先順位は、割り込みコントローラにより変更可能です。チャネル内の優先順位は固定です。詳細は「第 5 章　割り込みコントローラ」を参照してください。

表 11.24 に TPU の割り込み要因の一覧を示します。

表 11.24　TPU 割り込み一覧

チャネル	名称	割り込み要因	割り込みフラグ	優先順位*
0	TGI0A	TGRA_0 のインプットキャプチャ／コンペアマッチ	TGFA	高
	TGI0B	TGRB_0 のインプットキャプチャ／コンペアマッチ	TGFB	↑
	TGI0C	TGRC_0 のインプットキャプチャ／コンペアマッチ	TGFC	
	TGI0D	TGRD_0 のインプットキャプチャ／コンペアマッチ	TGFD	
	TCI0V	TCNT_0 のオーバフロー	TCFV	
1	TGI1A	TGRA_1 のインプットキャプチャ／コンペアマッチ	TGFA	
	TGI1B	TGRB_1 のインプットキャプチャ／コンペアマッチ	TGFB	
	TCI1V	TCNT_1 のオーバフロー	TCFV	
	TCI1U	TCNT_1 のアンダフロー	TCFU	
2	TGI2A	TGRA_2 のインプットキャプチャ／コンペアマッチ	TGFA	
	TGI2B	TGRB_2 のインプットキャプチャ／コンペアマッチ	TGFB	
	TCI2V	TCNT_2 のオーバフロー	TCFV	
	TCI2U	TCNT_2 のアンダフロー	TCFU	低

【注】　*　リセット直後の初期状態について示しています。チャネル間の優先順位は割り込みコントローラにより変更可能です。

(1)　インプットキャプチャ／コンペアマッチ割り込み

各チャネルの TGR のインプットキャプチャ／コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャネル 0 に各 4 本、チャネル 1、2 に各 2 本、計 8 本のインプットキャプチャ／コンペアマッチ割り込みがあります。

（2） オーバフロー割り込み

各チャネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、各チャネルに 1 本、計 3 本のオーバフロー割り込みがあります。

（3） アンダフロー割り込み

各チャネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャネル 1、2 に各 1 本、計 2 本のアンダフロー割り込みがあります。

11.6.2 A/D 変換器の起動

各チャネルの TGRA のインプットキャプチャ／コンペアマッチによって、A/D 変換器を起動できます。

各チャネルの TGRA のインプットキャプチャ／コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、TPU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

TPU では、各チャネル 1 本、計 3 本の TGRA のインプットキャプチャ／コンペアマッチ割り込みを A/D 変換器の変換開始要因とすることができます。

11.7　動作タイミング

11.7.1　　入出力タイミング

（1） TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 11.30 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 11.31 に示します。

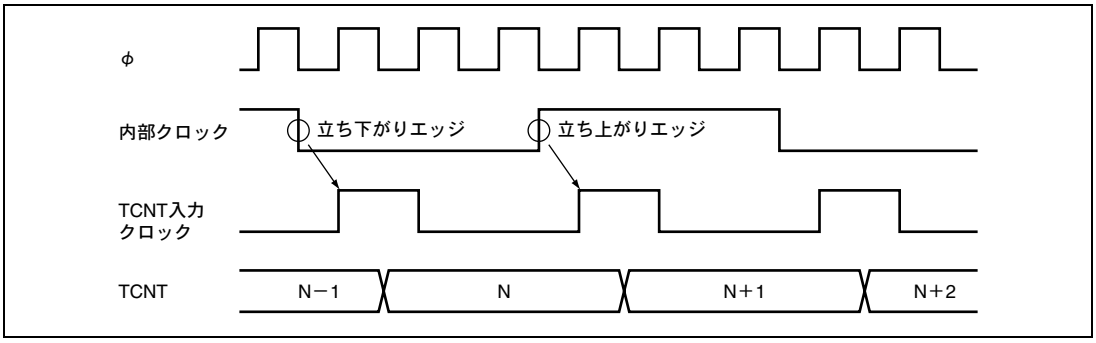


図 11.30　内部クロック動作時のカウントタイミング

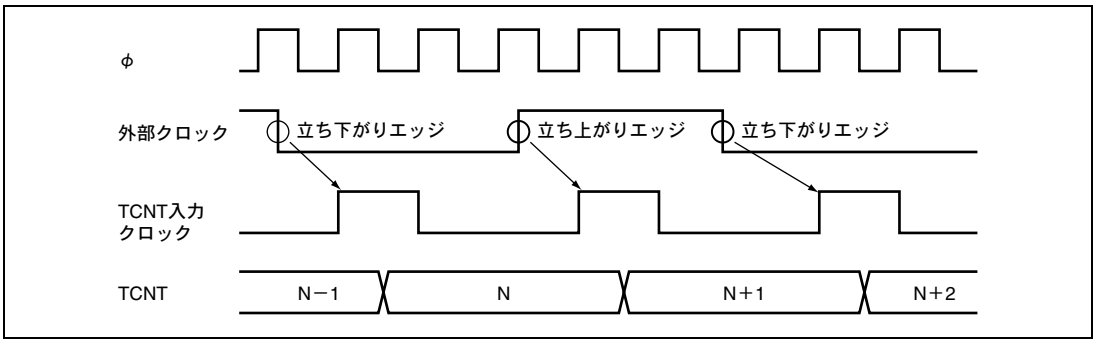


図 11.31　外部クロック動作時のカウントタイミング

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOR で設定した出力値がアウトプットコンペア出力端子（TIOC 端子）に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 11.32 に示します。

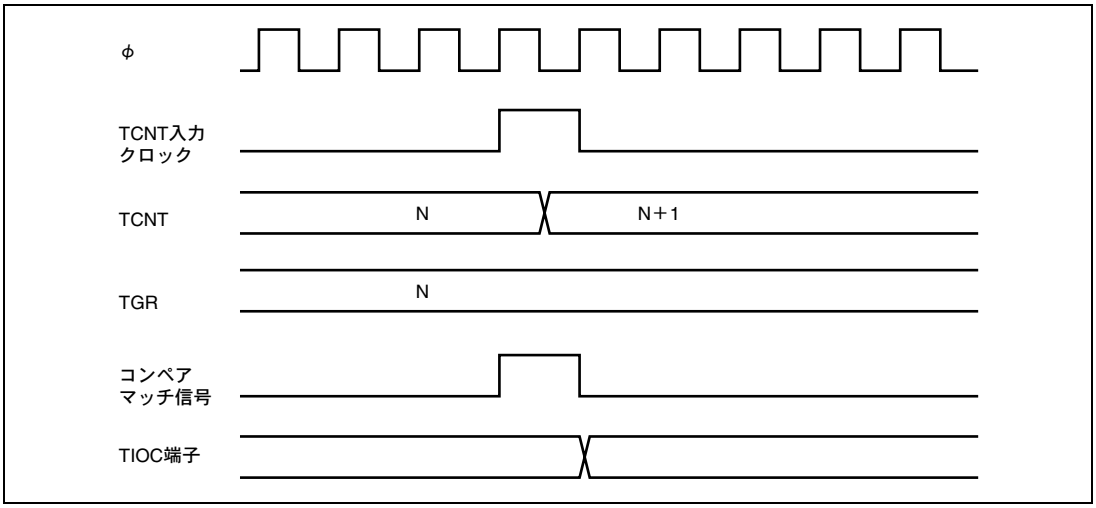


図 11.32　アウトプットコンペア出力タイミング

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 11.33 に示します。

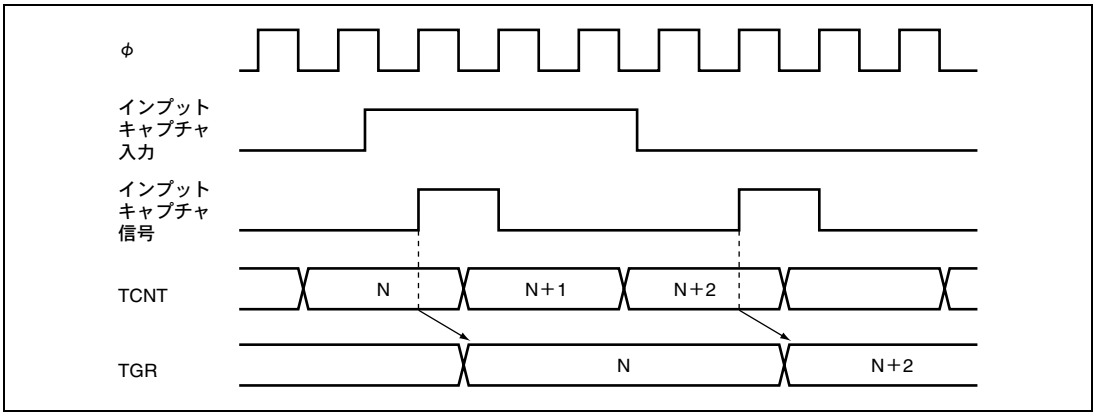


図 11.33　インプットキャプチャ入力信号タイミング

（4） コンペアマッチ／インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 11.34 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 11.35 に示します。

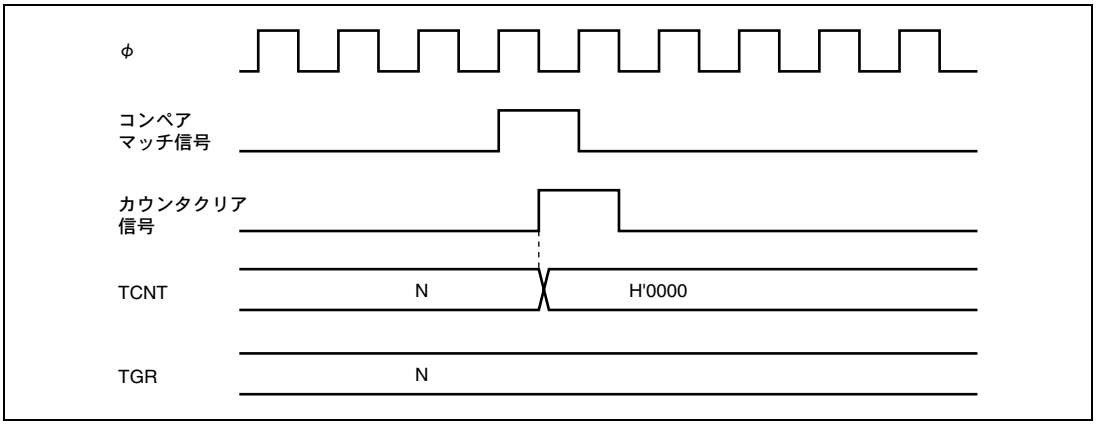


図 11.34　カウンタクリアタイミング（コンペアマッチ）

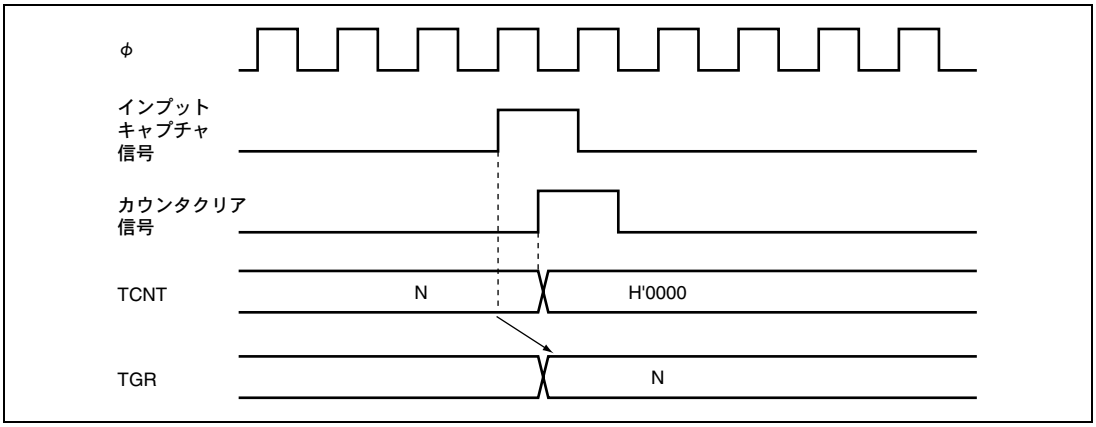


図 11.35　カウンタクリアタイミング（インプットキャプチャ）

（5） バッファ動作タイミング

バッファ動作の場合のタイミングを図 11.36、図 11.37 に示します。

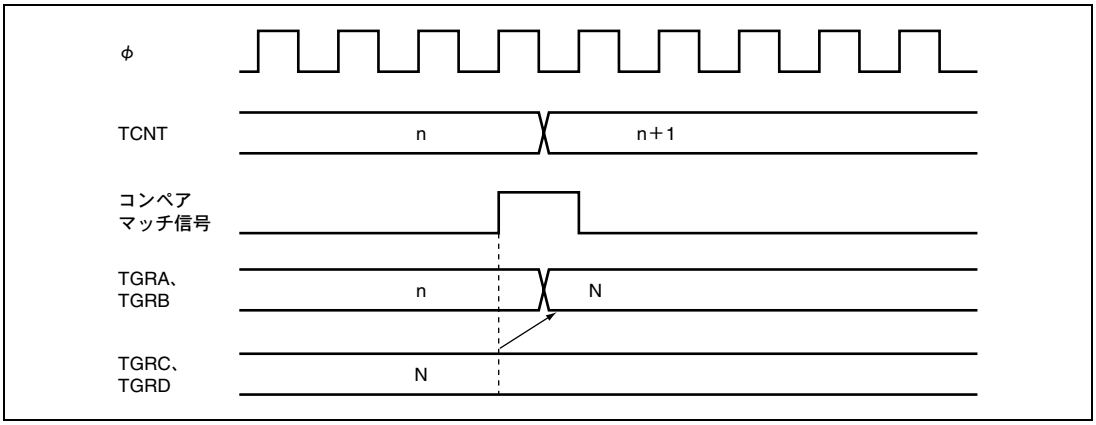


図 11.36　バッファ動作タイミング（コンペアマッチ）

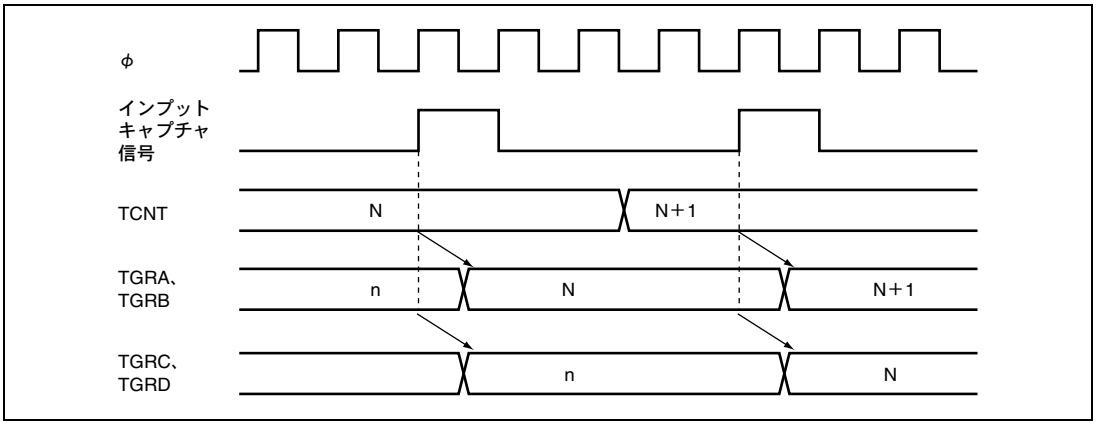


図 11.37　バッファ動作タイミング（インプットキャプチャ）

11.7.2　割り込み信号タイミング

（1）コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 11.38 に示します。

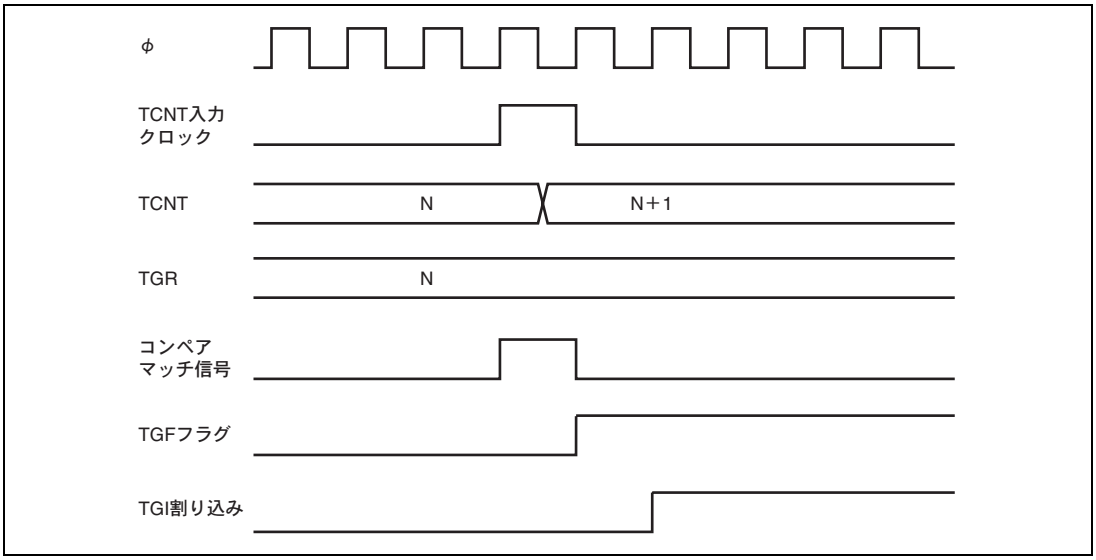


図 11.38　TGI 割り込みタイミング（コンペアマッチ）

（2）インプットキャプチャ時の TGF フラグのセットタイミング

インプットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 11.39 に示します。

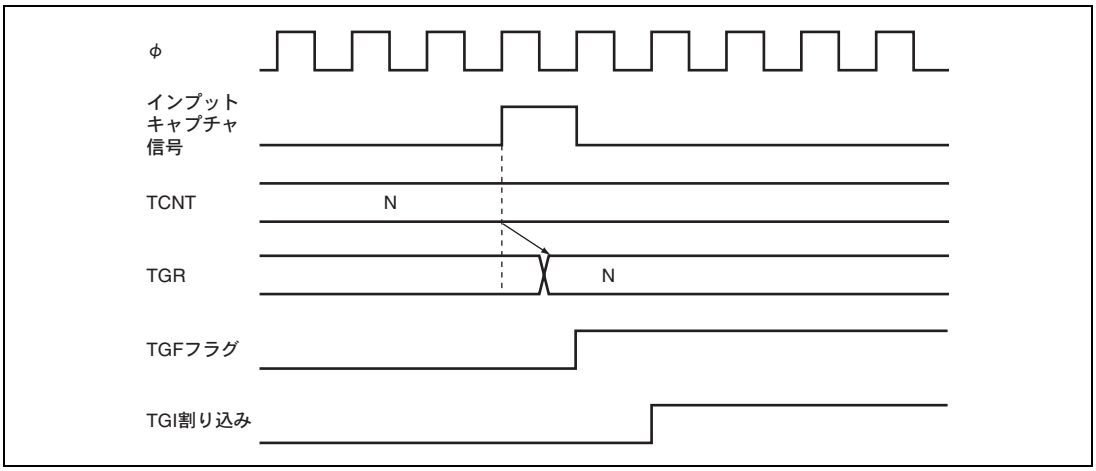


図 11.39　TGI 割り込みタイミング（インプットキャプチャ）

（3） TCFV フラグ／TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 11.40 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 11.41 に示します。

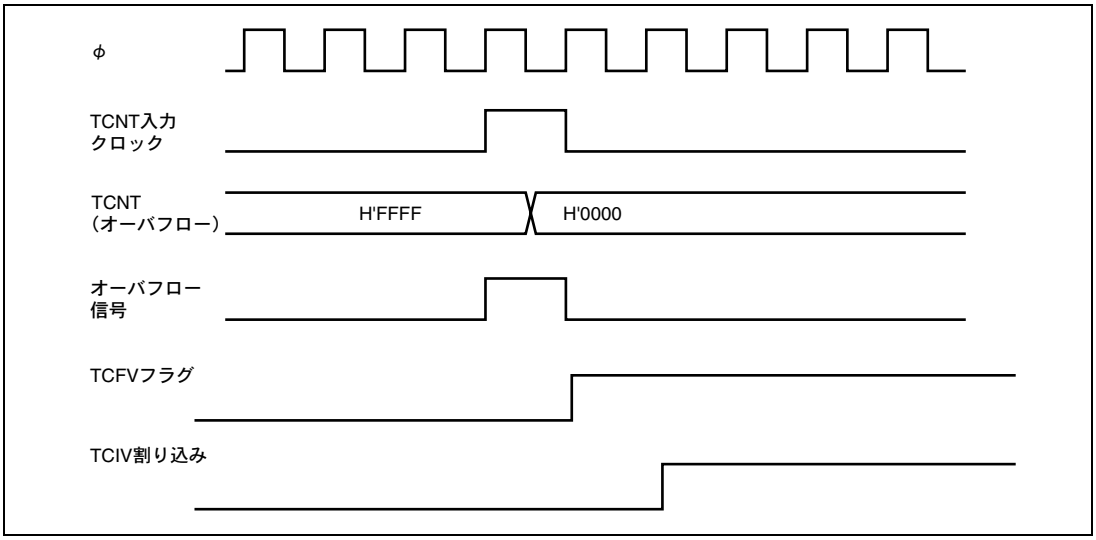


図 11.40　TCIV 割り込みのセットタイミング

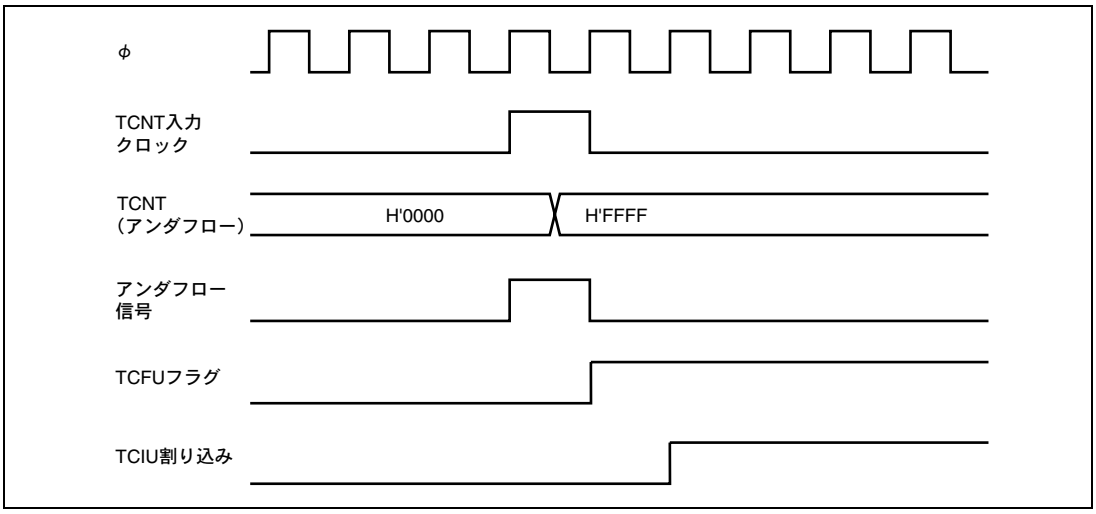


図 11.41　TCIU 割り込みのセットタイミング

（4） ステータスフラグのクリアタイミング

ステータスフラグは CPU が 1 の状態をリードした後、0 をライトするとクリアされます。CPU によるステータスフラグのクリアタイミングを図 11.42 に示します。

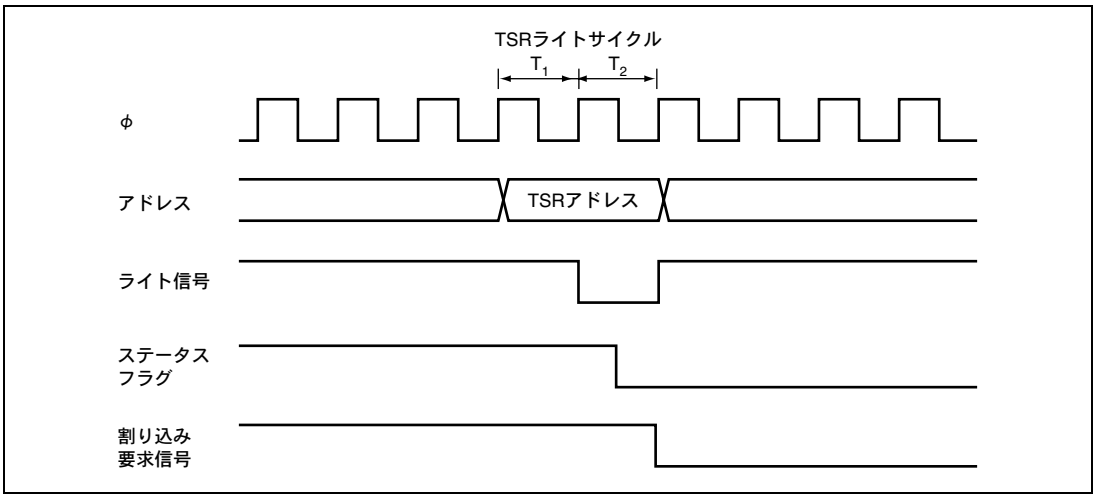


図 11.42　CPU によるステータスフラグのクリアタイミング

11.8　使用上の注意事項

11.8.1　入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。位相計数モードの入力クロックの条件を図 11.43 に示します。

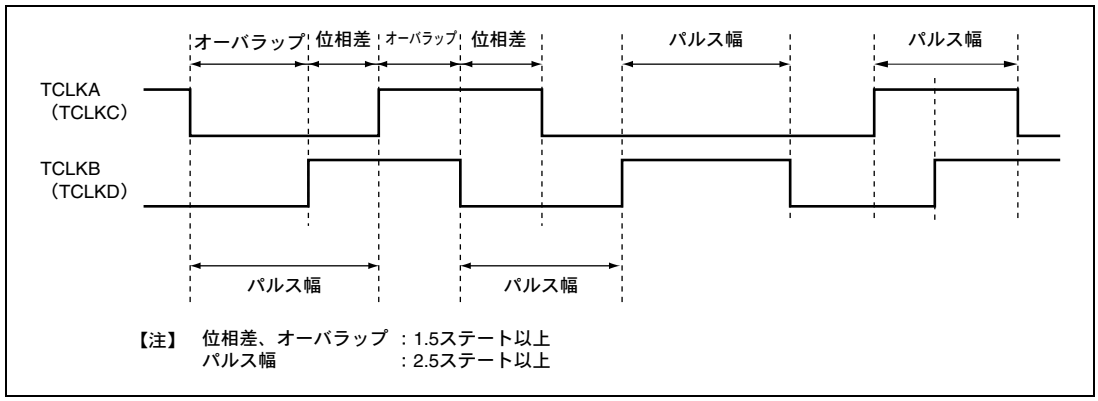


図 11.43　位相計数モード時の位相差、オーバラップ、およびパルス幅

11.8.2　周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TGR の値と一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

$$f = \frac{\phi}{(N+1)}$$

f　：カウンタ周波数

φ　：動作周波数

N　：TGR の設定値

11.8.3　TCNT のライトとクリアの競合

TCNT のライトサイクル中の T_2 ステートでカウンタクリア信号が発生すると、TCNT へのライトは行われずに TCNT のクリアが優先されます。

このタイミングを図 11.44 に示します。

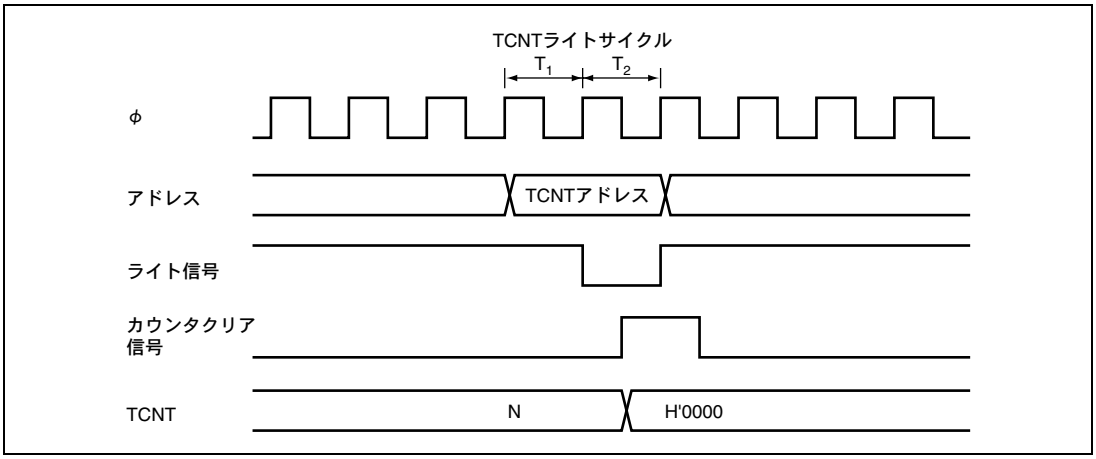


図 11.44　TCNT のライトとクリアの競合

11.8.4　TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T_2 ステートでカウントアップが発生してもカウントアップされず、TCNT へのライトが優先されます。

このタイミングを図 11.45 に示します。

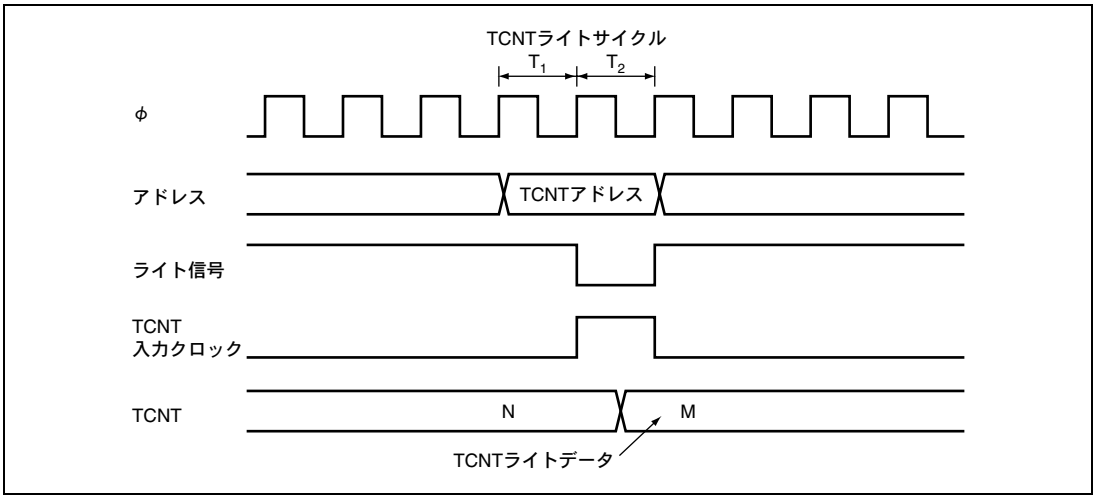


図 11.45　TCNT のライトとカウントアップの競合

11.8.5　TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T_2 ステートでコンペアマッチが発生しても TGR のライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。

このタイミングを図 11.46 に示します。

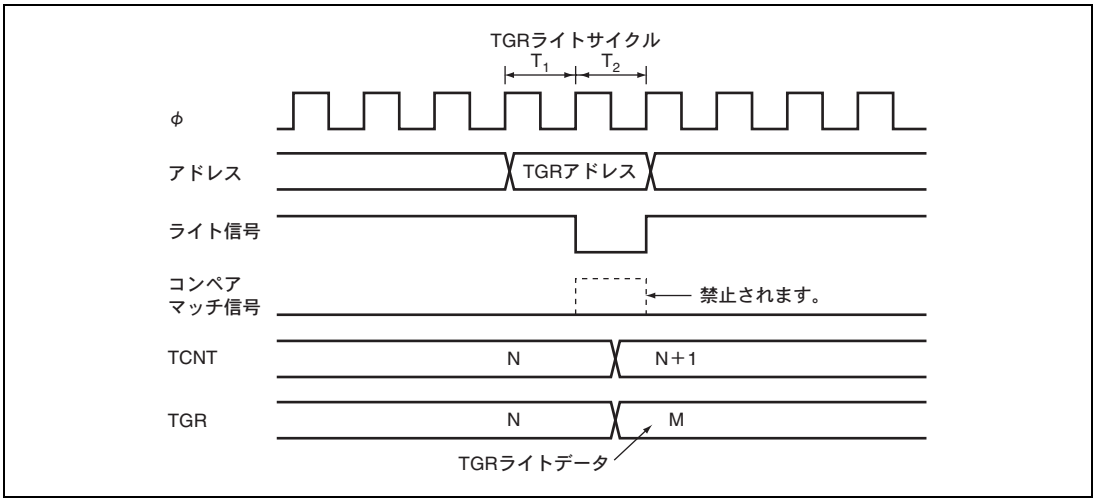


図 11.46　TGR のライトとコンペアマッチの競合

11.8.6　バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T_2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。

このタイミングを図 11.47 に示します。

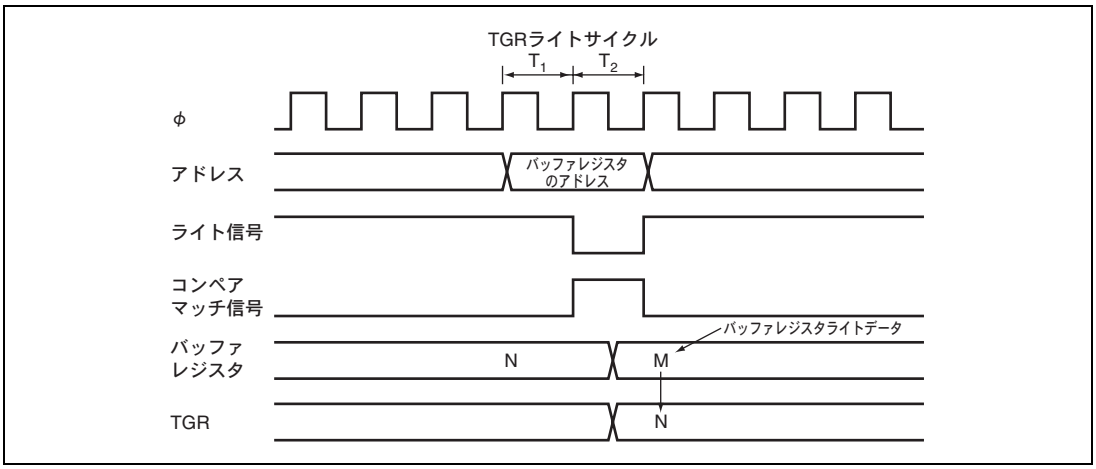


図 11.47　バッファレジスタのライトとコンペアマッチの競合

11.8.7　TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T_1 ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 11.48 に示します。

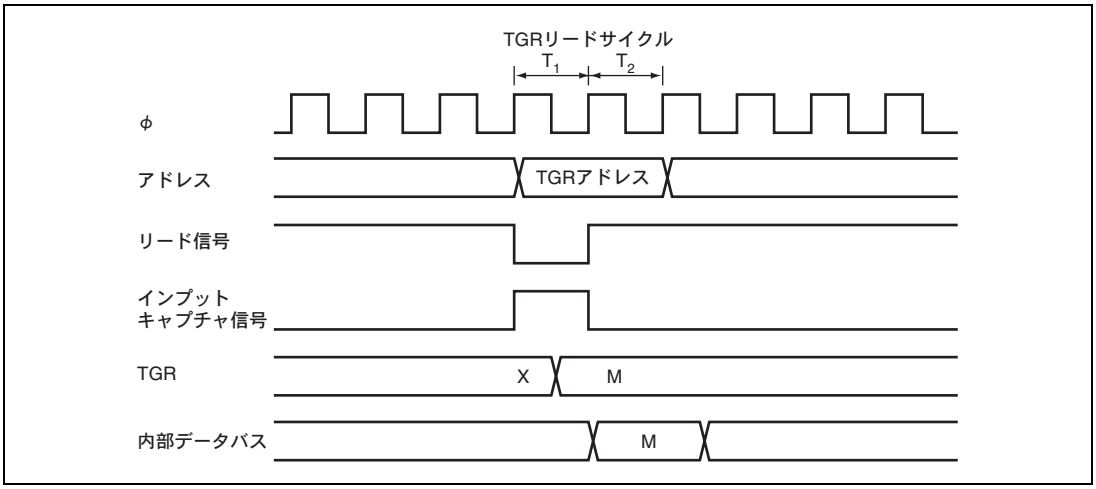


図 11.48　TGR のリードとインプットキャプチャの競合

11.8.8　TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T_2 ステートでインプットキャプチャ信号が発生すると、TGR へのライトは行われず、インプットキャプチャが優先されます。

このタイミングを図 11.49 に示します。

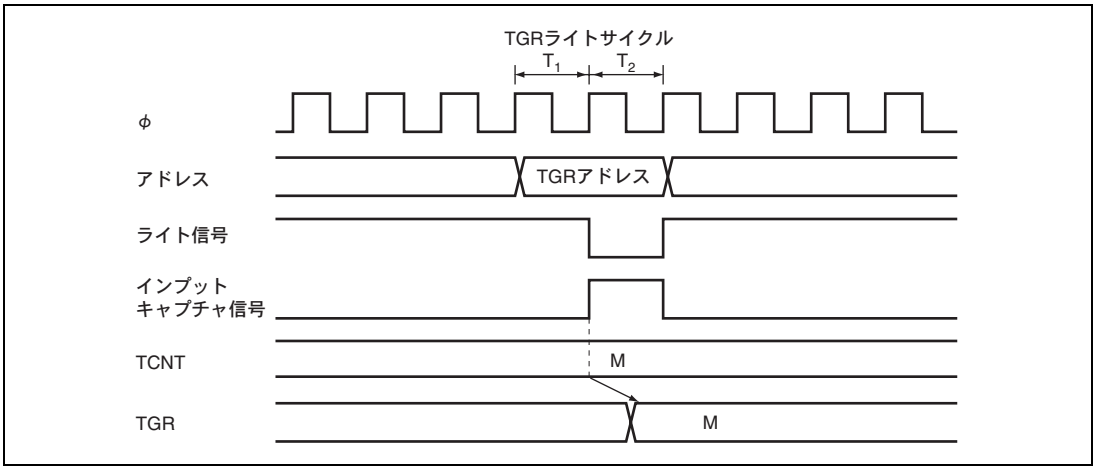


図 11.49　TGR のライトとインプットキャプチャの競合

11.8.9　バッファレジスタのライトとインプットキャプチャの競合

バッファレジスタのライトサイクル中の T_2 ステートでインプットキャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。このタイミングを図 11.50 に示します。

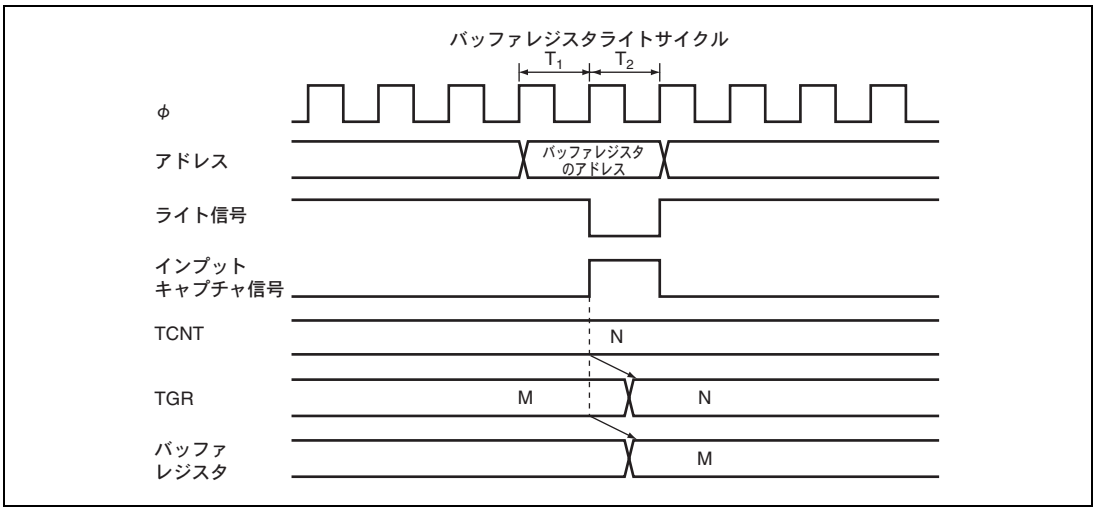


図 11.50　バッファレジスタのライトとインプットキャプチャの競合

11.8.10　オーバフロー／アンダフローとカウンタクリアの競合

オーバフロー／アンダフローとカウンタクリアが同時に発生すると、TSR の TCFV／TCFU フラグはセットされず、TCNT のクリアが優先されます。

TGR のコンペアマッチをクリア要因とし、TGR に H'FFFF を設定した場合の動作タイミングを図 11.51 に示します。

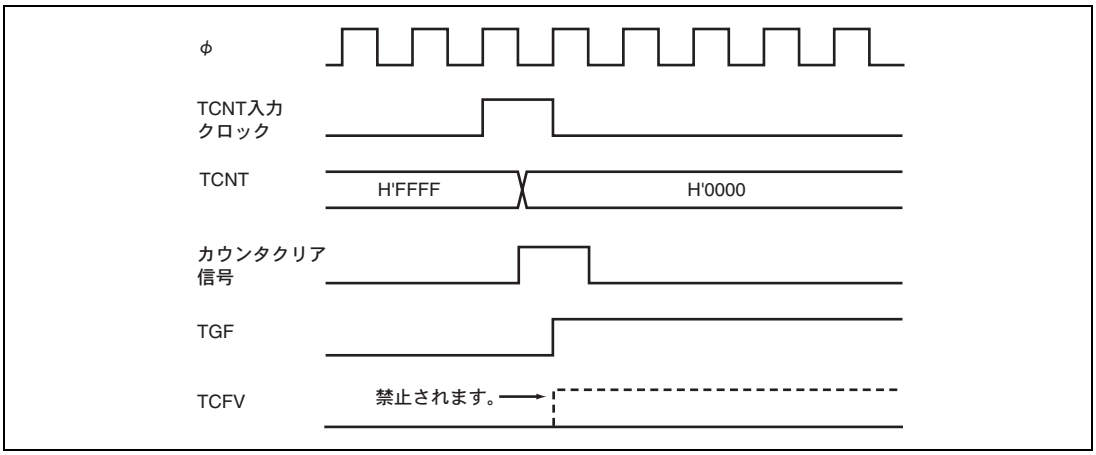


図 11.51　オーバフローとカウンタクリアの競合

11.8.11　TCNT のライトとオーバフロー／アンダフローの競合

TCNT のライトサイクル中の T_2 ステートでカウントアップ／カウントダウンが発生し、オーバフロー／アンダフローが発生しても TCNT へのライトが優先され、TSR の TCFV／TCFU フラグはセットされません。

TCNT のライトとオーバフロー競合時の動作タイミングを**図 11.52** に示します。

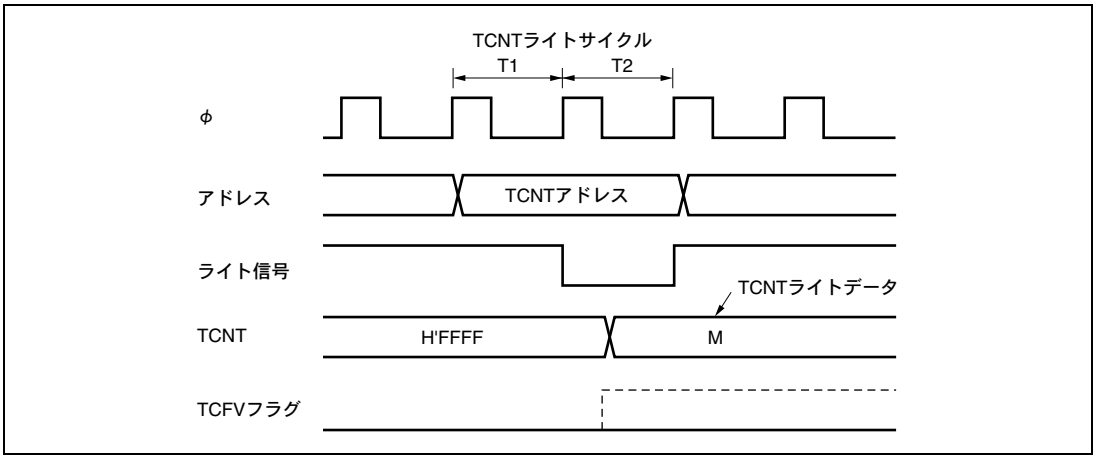


図 11.52　TCNT のライトとオーバフローの競合

11.8.12　入出力端子の兼用

本 LSI では、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

11.8.13　モジュールストップモード時の設定

モジュールストップコントロールレジスタにより、TPU の動作停止／許可を設定することが可能です。初期値では TPU の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は**「第 20 章　低消費電力状態」**を参照してください。

12.　8 ビットタイマ（TMR）

本 LSI は、8 ビットのカウンタをベースにした 4 チャネルの 8 ビットタイマ（TMR_0、TMR_1、TMR_Y、TMR_X）を内蔵しています。外部のイベントのカウントが可能なほか、2 本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

12.1　特長

- クロックを選択可能

  6種類の内部クロックと、外部クロックのうちから選択できます。

- カウンタのクリア指定が可能

  コンペアマッチA、コンペアマッチB、または外部リセット信号のうちから選択できます。

- 2つのコンペアマッチ信号の組み合わせでタイマ出力を制御

  独立に動作可能な2つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能です。

- 2チャネルのカスケード接続が可能

  TMR_0、TMR_1のカスケード接続：

  TMR_0を上位、TMR_1を下位とする16ビットタイマとして動作可能です。（16ビットカウントモード）

  TMR_1はTMR_0のコンペアマッチをカウント可能です。（コンペアマッチカウントモード）

  TMR_Y、TMR_Xのカスケード接続：

  TMR_Yを上位、TMR_Xを下位とする16ビットタイマとして動作可能です。（16ビットカウントモード）

  TMR_XはTMR_Yのコンペアマッチをカウント可能です。（コンペアマッチカウントモード）

- 複数の割り込み要因

  TMR_0、TMR_1、TMR_Y：コンペアマッチA、コンペアマッチB、オーバフローの3種類があります。

  TMR_X：コンペアマッチA、コンペアマッチB、オーバフロー、インプットキャプチャの4種類があります。

- タイマ入出力の兼用ポートの選択が可能

  TMCI0またはExTMCI0、TMCI1またはExTMCI1、TMIXまたはExTMIX、TMIYまたはExTMIY、TMOXまたはExTMOXをそれぞれ選択可能です。

8 ビットタイマのブロック図を図 12.1、図 12.2 に示します。

TMR_X には、インプットキャプチャ機能が追加されています。

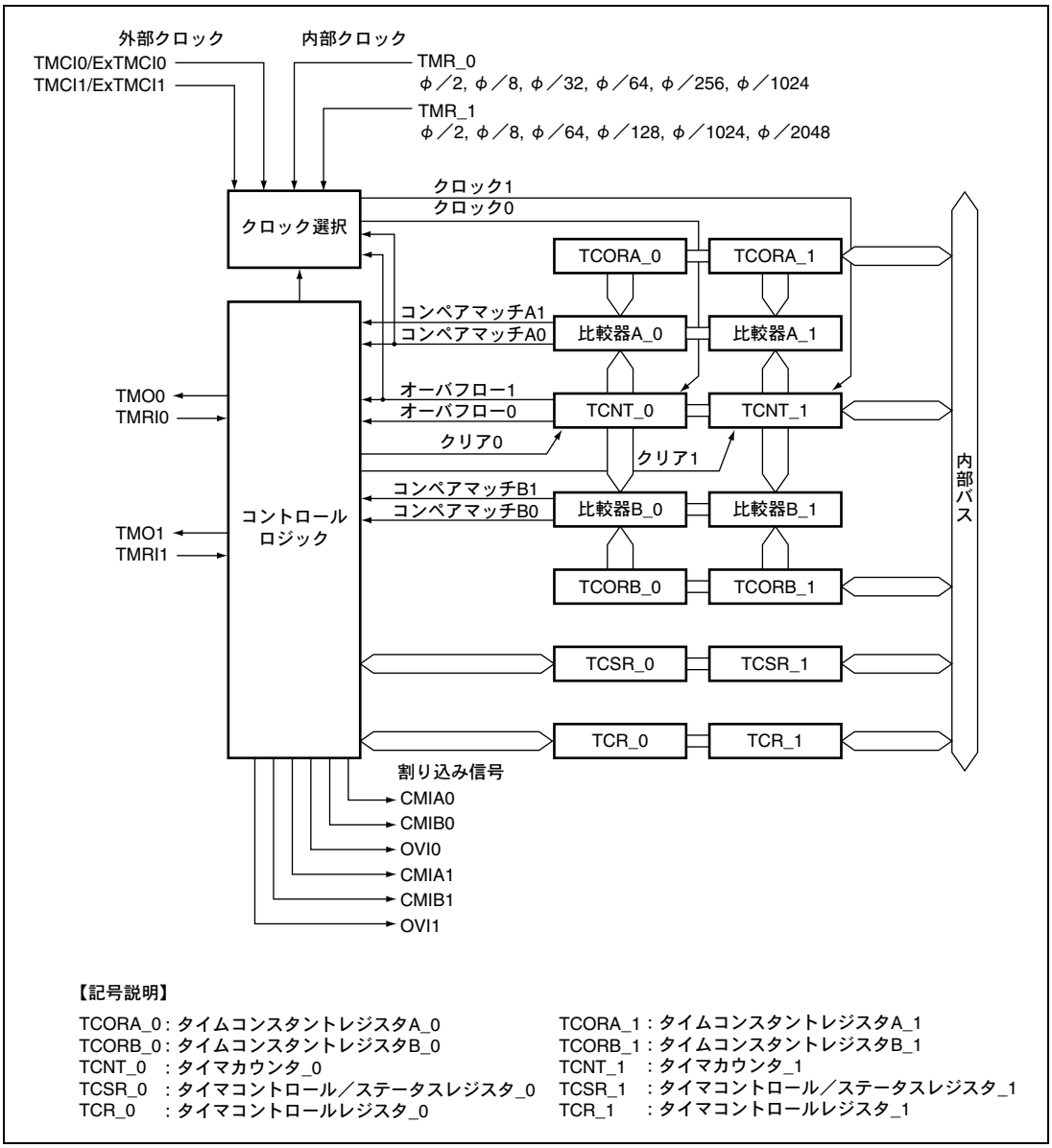
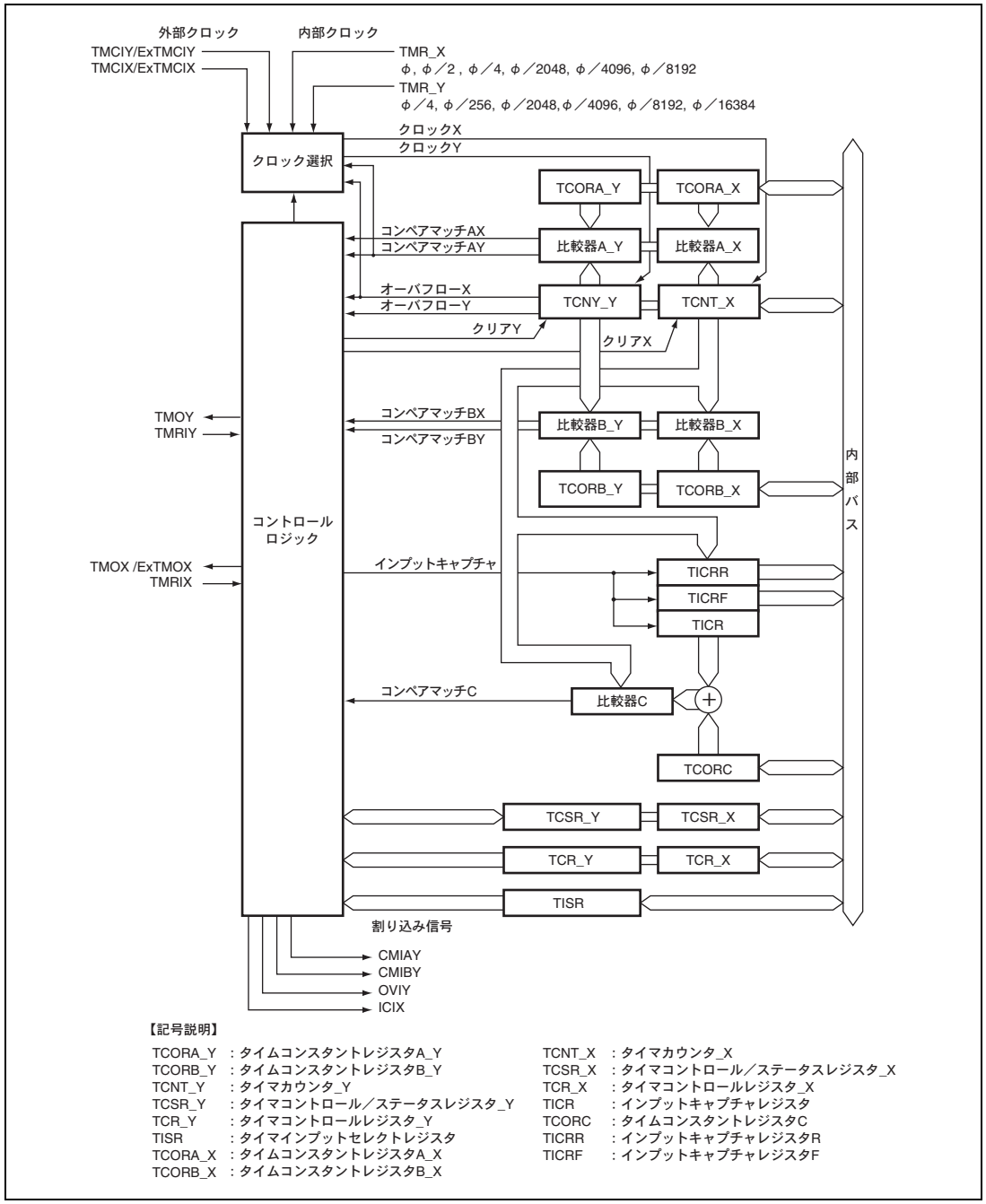


図 12.1　8 ビットタイマ（TMR_0、TMR_1）のブロック図



【記号説明】

TCORA_Y	：タイムコンスタントレジスタA_Y	TCNT_X	：タイマカウンタ_X
TCORB_Y	：タイムコンスタントレジスタB_Y	TCSR_X	：タイマコントロール／ステータスレジスタ_X
TCNT_Y	：タイマカウンタ_Y	TCR_X	：タイマコントロールレジスタ_X
TCSR_Y	：タイマコントロール／ステータスレジスタ_Y	TICR	：インプットキャプチャレジスタ
TCR_Y	：タイマコントロールレジスタ_Y	TCORC	：タイムコンスタントレジスタC
TISR	：タイマインプットセレクトレジスタ	TICRR	：インプットキャプチャレジスタR
TCORA_X	：タイムコンスタントレジスタA_X	TICRF	：インプットキャプチャレジスタF
TCORB_X	：タイムコンスタントレジスタB_X		

図 12.2　8 ビットタイマ（TMR_Y、TMR_X）のブロック図

12.2　入出力端子

TMR の入出力端子を表 12.1 に示します。

表 12.1　端子構成

チャネル	名　　称	記号	入出力	機　　能
TMR_0	タイマ出力端子	TMO0	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCI0、ExTMCI0	入力	カウンタ外部クロック入力 TMCI0 または ExTMCI0 のどの端子から入力するかを選択できます。*
	タイマリセット入力端子	TMRI0	入力	カウンタ外部リセット入力
TMR_1	タイマ出力端子	TMO1	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCI1、ExTMCI1	入力	カウンタ外部クロック入力 TMCI1 または ExTMCI1 のどの端子から入力するかを選択できます。*
	タイマリセット入力端子	TMRI1	入力	カウンタ外部リセット入力
TMR_Y	タイマクロック ／リセット入力端子	TMIY、ExTMIY (TMCIY/TMRIY)	入力	カウンタ外部クロック入力／リセット入力 TMIY または ExTMIY のどの端子から入力するかを選択できます。*
	タイマ出力端子	TMOY	出力	コンペアマッチ出力
TMR_X	タイマ出力端子	TMOX、ExTMOX	出力	コンペアマッチ出力 TMOX または ExTMOX のどの端子から出力するかを選択できます。*
	タイマクロック ／リセット入力端子	TMIX、ExTMIX (TMCIX/TMRIX)	入力	カウンタ外部クロック入力／リセット入力 TMIX または ExTMIX のどの端子から入力するかを選択できます。*

【注】　*　詳細は「7.17.1　ポートコントロールレジスタ 0（PTCNT0）」を参照してください。

12.3　レジスタの説明

TMR には以下のレジスタがあります。シリアルタイマコントロールレジスタについては「3.2.3　シリアルタイマコントロールレジスタ（STCR）」を参照してください。

TMR_0

- タイマカウンタ_0（TCNT_0）
- タイムコンスタントレジスタA_0（TCORA_0）
- タイムコンスタントレジスタB_0（TCORB_0）
- タイマコントロールレジスタ_0（TCR_0）
- タイマコントロール／ステータスレジスタ_0（TCSR_0）

TMR_1

- タイマカウンタ_1（TCNT_1）
- タイムコンスタントレジスタA_1（TCORA_1）
- タイムコンスタントレジスタB_1（TCORB_1）
- タイマコントロールレジスタ_1（TCR_1）
- タイマコントロール／ステータスレジスタ_1（TCSR_1）

TMR_Y

- タイマカウンタ_Y（TCNT_Y）
- タイムコンスタントレジスタA_Y（TCORA_Y）
- タイムコンスタントレジスタB_Y（TCORB_Y）
- タイマコントロールレジスタ_Y（TCR_Y）
- タイマコントロール／ステータスレジスタ_Y（TCSR_Y）
- タイマインプットセレクトレジスタ（TISR）
- タイマコネクションレジスタS（TCONRS）

TMR_X

- タイマカウンタ_X（TCNT_X）
- タイムコンスタントレジスタA_X（TCORA_X）
- タイムコンスタントレジスタB_X（TCORB_X）
- タイマコントロールレジスタ_X（TCR_X）
- タイマコントロール／ステータスレジスタ_X（TCSR_X）
- インプットキャプチャレジスタ（TICR）
- タイムコンスタントレジスタ（TCORC）
- インプットキャプチャレジスタR（TICRR）
- インプットキャプチャレジスタF（TICRF）
- タイマコネクションレジスタI（TCONRI）

TMR_Y、TMR_X 共通

- タイマXYコントロールレジスタ（TCRXY）

【注】 TMR_X と TMR_Y のレジスタは一部同一アドレスです。レジスタの切り替えは TCONRS の TMRX/Y ビットで行います。

TCNT_Y、TCORA_Y、TCORB_Y、TCR_Y は SYSCR3 の RELOCATE＝0、SYSCR の KINWUE＝0、TCONRS の TMRX/Y＝1 のとき、または SYSCR3 の RELOCATE＝1 のときアクセス可能です。TCNT_X、TCORA_X、TCORB_X、TCR_X は SYSCR3 の RELOCATE＝0、SYSCR の KINWUE＝0、TCONRS の TMRX/Y＝0 のとき、または SYSCR3 の RELOCATE＝1 のときアクセス可能です。

12.3.1 タイマカウンタ（TCNT）

TCNT は 8 ビットのリード／ライト可能なアップカウンタです。TCNT_0、TCNT_1 は 16 ビットレジスタとしてワードアクセスすることも可能です。クロックは、TCR の CKS2～CKS0 ビットにより選択します。TCNT は、外部リセット入力信号またはコンペアマッチ A 信号、コンペアマッチ B 信号によりクリアすることができます。いずれの信号でクリアするかは、TCR の CCLR1、CCLR0 ビットにより選択します。また、TCNT がオーバフロー（H'FF→H'00）すると、TCSR の OVF が 1 にセットされます。TCNT の初期値は H'00 です。

12.3.2 タイムコンスタントレジスタ A（TCORA）

TCORA は 8 ビットのリード／ライト可能なレジスタです。TCORA_0、TCORA_1 は 16 ビットレジスタとしてワードアクセスすることも可能です。TCORA の値は TCNT と常に比較され、一致すると TCSR の CMFA が 1 にセットされます。ただし、TCORA へのライトサイクルの T2 ステートでの比較は禁止されています。また、この一致信号（コンペアマッチ A）と TCSR の OS1、OS0 ビットの設定により、TMO 端子からのタイマ出力を制御することができます。TCORA の初期値は H'FF です。

12.3.3 タイムコンスタントレジスタ B（TCORB）

TCORB は 8 ビットのリード／ライト可能なレジスタです。TCORB_0、TCORB_1 は 16 ビットレジスタとしてワードアクセスすることも可能です。TCORB の値は TCNT と常に比較され、一致すると TCSR の CMFB が 1 にセットされます。ただし、TCORB へのライトサイクルの T2 ステートでの比較は禁止されています。また、この一致信号（コンペアマッチ B）と TCSR の OS3、OS2 ビットの設定により、TMO 端子からのタイマ出力を制御することができます。TCORB の初期値は H'FF です。

12.3.4　タイマコントロールレジスタ（TCR）

TCR は TCNT の入力クロックの選択、TCNT のクリア条件指定、各割り込み要求の制御を行います。

ビット	ビット名	初期値	R/W	説　　明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブル B TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求（CMIB）の許可または禁止を選択します。 0：CMFB による割り込み要求（CMIB）を禁止 1：CMFB による割り込み要求（CMIB）を許可
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブル A TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求（CMIA）の許可または禁止を選択します。 0：CMFA による割り込み要求（CMIA）を禁止 1：CMFA による割り込み要求（CMIA）を許可
5	OVIE	0	R/W	タイマオーバフローインタラプトイネーブル TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求（OVI）の許可または禁止を選択します。 0：OVF による割り込み要求（OVI）を禁止 1：OVF による割り込み要求（OVI）を許可
4 3	CCLR1 CCLR0	0 0	R/W R/W	カウンタクリア 1、0 TCNT のクリア条件を指定します。 00：クリアを禁止 01：コンペアマッチ A によりクリア 10：コンペアマッチ B によりクリア 11：外部リセット入力の立ち上がりエッジによりクリア
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト 2～0 STCR の ICKS1、ICKS0 ビットとの組み合わせで、TCNT に入力するクロックとカウント条件を選択します。表 12.2 を参照してください。

表 12.2　TCNT に入力するクロックとカウント条件（1）

チャネル	TCR			STCR		説　　明
	CKS2	CKS1	CKS0	ICKS1	ICKS0	
TMR_0	0	0	0	－	－	クロック入力を禁止
	0	0	1	－	0	内部クロックφ／8 立ち下がりエッジでカウント
	0	0	1	－	1	内部クロックφ／2 立ち下がりエッジでカウント
	0	1	0	－	0	内部クロックφ／64 立ち下がりエッジでカウント
	0	1	0	－	1	内部クロックφ／32 立ち下がりエッジでカウント
	0	1	1	－	0	内部クロックφ／1024 立ち下がりエッジでカウント
	0	1	1	－	1	内部クロックφ／256 立ち下がりエッジでカウント
	1	0	0	－	－	TCNT_1 のオーバフロー信号でカウント*
TMR_1	0	0	0	－	－	クロック入力を禁止
	0	0	1	0	－	内部クロックφ／8 立ち下がりエッジでカウント
	0	0	1	1	－	内部クロックφ／2 立ち下がりエッジでカウント
	0	1	0	0	－	内部クロックφ／64 立ち下がりエッジでカウント
	0	1	0	1	－	内部クロックφ／128 立ち下がりエッジでカウント
	0	1	1	0	－	内部クロックφ／1024 立ち下がりエッジでカウント
	0	1	1	1	－	内部クロックφ／2048 立ち下がりエッジでカウント
	1	0	0	－	－	TCNT_0 のコンペアマッチ A でカウント*
共通	1	0	1	－	－	外部クロックの立ち上がりエッジでカウント
	1	1	0	－	－	外部クロックの立ち下がりエッジでカウント
	1	1	1	－	－	外部クロックの立ち上がり／立ち下がり両エッジでカウント

【注】　*　TMR_0 のクロック入力を TCNT_1 のオーバフロー信号とし、TMR_1 のクロック入力を TCNT_0 のコンペアマッチ信号とするとカウントアップクロックが発生しません。これらの設定は行わないでください。

表 12.2　TCNT に入力するクロックとカウント条件（2）

チャネル	TCR			TCRXY		説　　明
	CKS2	CKS1	CKS0	CKSX	CKSY	
TMR_Y	0	0	0	－	0	クロック入力を禁止
	0	0	1	－	0	φ／4 でカウント
	0	1	0	－	0	φ／256 でカウント
	0	1	1	－	0	φ／2048 でカウント
	1	0	0	－	0	クロック入力を禁止
	0	0	0	－	1	クロック入力を禁止
	0	0	1	－	1	φ／4096 でカウント
	0	1	0	－	1	φ／8192 でカウント
	0	1	1	－	1	φ／16384 でカウント
	1	0	0	－	1	TCNT_X のオーバフローでカウント*
	1	0	1	－	x	外部クロック：立ち上がりエッジカウント
	1	1	0	－	x	外部クロック：立ち下がりエッジカウント
	1	1	1	－	x	外部クロック：両エッジカウント
TMR_X	0	0	0	0	－	クロック入力を禁止
	0	0	1	0	－	φでカウント
	0	1	0	0	－	φ／2 でカウント
	0	1	1	0	－	φ／4 でカウント
	1	0	0	0	－	クロック入力を禁止
	0	0	0	1	－	クロック入力を禁止
	0	0	1	1	－	φ／2048 でカウント
	0	1	0	1	－	φ／4096 でカウント
	0	1	1	1	－	φ／8192 でカウント
	1	0	0	1	－	TCNT_Y のコンペアマッチ A でカウント*
	1	0	1	x	－	外部クロック：立ち上がりエッジカウント
	1	1	0	x	－	外部クロック：立ち下がりエッジカウント
	1	1	1	x	－	外部クロック：両エッジカウント

【注】　*　TMR_Y のクロック入力を TCNT_X のオーバフロー信号とし、TMR_X のクロック入力を TCNT_Y のコンペアマッチ信号とするとカウントアップクロックが発生しません。これらの設定は行わないでください。

【記号説明】　x：Don’t care

－：無効

12.3.5　タイマコントロール／ステータスレジスタ（TCSR）

TCSR はステータスフラグの表示およびコンペアマッチによる出力制御を行います。

- TCSR_0

ビット	ビット名	初期値	R/W	説　　明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B ［セット条件］ TCNT_0 の値と TCORB_0 の値が一致したとき ［クリア条件］ CMFB＝1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A ［セット条件］ TCNT_0 の値と TCORA_0 の値が一致したとき ［クリア条件］ CMFA＝1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ ［セット条件］ TCNT_0 の値が H'FF から H'00 にオーバフローしたとき ［クリア条件］ OVF＝1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ADTE	0	R/W	A/D トリガイネーブル コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。 0：コンペアマッチ A による A/D 変換開始要求を禁止 1：コンペアマッチ A による A/D 変換開始要求を許可
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB_0 と TCNT_0 のコンペアマッチ B による TMO0 端子の出力方法を選択します。 00：変化しない 01：0 出力 10：1 出力 11：反転出力（トグル出力）
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1、0 TCORA_0 と TCNT_0 のコンペアマッチ A による TMO0 端子の出力方法を選択します。 00：変化しない 01：0 出力 10：1 出力 11：反転出力（トグル出力）

【注】　*　フラグをクリアするための 0 ライトのみ可能です。

- TCSR_1

ビット	ビット名	初期値	R/W	説　　明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B ［セット条件］ TCNT_1 の値と TCORB_1 の値が一致したとき ［クリア条件］ CMFB＝1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A ［セット条件］ TCNT_1 の値と TCORA_1 の値が一致したとき ［クリア条件］ CMFA＝1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ ［セット条件］ TCNT_1 の値が H'FF から H'00 にオーバフローしたとき ［クリア条件］ OVF＝1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	－	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB_1 と TCNT_1 のコンペアマッチ B による TMO1 端子の出力方法を選択します。 00：変化しない 01：0 出力 10：1 出力 11：反転出力（トグル出力）
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1、0 TCORA_1 と TCNT_1 のコンペアマッチ A による TMO1 端子の出力方法を選択します。 00：変化しない 01：0 出力 10：1 出力 11：反転出力（トグル出力）

【注】　＊　フラグをクリアするための 0 ライトのみ可能です。

- TCSR_Y

ビット	ビット名	初期値	R/W	説　　明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B ［セット条件］ TCNT_Y の値と TCORB_Y の値が一致したとき ［クリア条件］ CMFB＝1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A ［セット条件］ TCNT_Y の値と TCORA_Y の値が一致したとき ［クリア条件］ CMFA＝1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ ［セット条件］ TCNT_Y の値が H'FF から H'00 にオーバフローしたとき ［クリア条件］ OVF＝1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ICIE	1	R/W	インプットキャプチャインタラプトイネーブル TCSR_X の ICF が 1 にセットされたとき、ICF による割り込み要求（ICIX）の許可または禁止を選択します。 0：ICF による割り込み要求（ICIX）を禁止 1：ICF による割り込み要求（ICIX）を許可
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB_Y と TCNT_Y のコンペアマッチ B による TMOY 端子の出力方法を選択します。 00：変化しない 01：0 出力 10：1 出力 11：反転出力（トグル出力）
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1、0 TCORA_Y と TCNT_Y のコンペアマッチ A による TMOY 端子の出力方法を選択します。 00：変化しない 01：0 出力 10：1 出力 11：反転出力（トグル出力）

【注】　＊　フラグをクリアするための 0 ライトのみ可能です。

- TCSR_X

ビット	ビット名	初期値	R/W	説　　明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B ［セット条件］ TCNT_X の値と TCORB_X の値が一致したとき ［クリア条件］ CMFB＝1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A ［セット条件］ TCNT_X の値と TCORA_X の値が一致したとき ［クリア条件］ CMFA＝1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ ［セット条件］ TCNT_X の値が H'FF から H'00 にオーバフローしたとき ［クリア条件］ OVF＝1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ICF	0	R/(W)*	インプットキャプチャフラグ ［セット条件］ 外部リセット信号に立ち上がりエッジ、立ち下がりエッジの順でエッジを検出したとき ［クリア条件］ ICF＝1 の状態で ICF をリードした後、ICF に 0 をライトしたとき
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB_X と TCNT_X のコンペアマッチ B による TMOX 端子の出力方法を選択します。 00：変化しない 01：0 出力 10：1 出力 11：反転出力（トグル出力）
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1、0 TCORA_X と TCNT_X のコンペアマッチ A による TMOX 端子の出力方法を選択します。 00：変化しない 01：0 出力 10：1 出力 11：反転出力（トグル出力）

【注】　＊　フラグをクリアするための 0 ライトのみ可能です。

12.3.6　タイムコンスタントレジスタ C（TCORC）

TCORC は 8 ビットのリード／ライト可能なレジスタです。TCORC と TICR の内容を加算した値は TCNT と常に比較され、一致するとコンペアマッチ C 信号が発生されます。ただし、TCORC へのライトサイクルの T2 ステートと TICR のインプットキャプチャサイクルの比較は禁止されています。TCORC の初期値は H'FF です。

12.3.7　インプットキャプチャレジスタ R、F（TICRR、TICRF）

TICRR、TICRF は 8 ビットのリード専用のレジスタです。TICRR、TICRF は、TCONRI の ICST ビットが 1 にセットされている場合に、外部リセット入力（TMRIX）の立ち上がり、立ち下がりの順で TCNT の内容が転送されます。1 回のキャプチャ動作が終了すると ICST ビットは 0 にクリアされます。TICRR、TICRF の初期値は H'00 です。

12.3.8　タイマインプットセレクトレジスタ（TISR）

TISR は、カウンタ外部クロック／リセット入力の信号源を許可または禁止します。

ビット	ビット名	初期値	R/W	説　　明
7～1	－	すべて 1	R/(W)	リザーブビット 初期値を変更しないでください。
0	IS	0	R/W	インプットセレクト TMR_Y のカウンタ外部クロック／リセット入力の信号源として、タイマクロック／リセット入力端子（TMIY）を選択します。 0：TMIY（TMCIY/TMRIY）を入力禁止 1：TMIY（TMCIY/TMRIY）を入力許可

12.3.9　タイマコネクションレジスタ I（TCONRI）

TCONRI はインプットキャプチャ機能を制御します。

ビット	ビット名	初期値	R/W	説　　明
7～5	－	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
4	ICST	0	R/W	インプットキャプチャスタートビット TMR_X はインプットキャプチャレジスタ（TICRR、TICRF）があります。TICRR と TICRF は、このビットの制御で 1 回限りのキャプチャ動作を行い、パルス幅を測定することができます。このビットが 1 にセットされたとき、TMRIX に立ち上がりエッジ、立ち下がりエッジの順でエッジが検出されると、そのときの TCNT の内容が TICRR、TICRF にそれぞれキャプチャされ、このビットはクリアされます。 ［クリア条件］ TMRIX に立ち上がりエッジ、立ち下がりエッジの順でエッジを検出したとき ［セット条件］ ICST＝0 の状態で ICST リード後、ICST に 1 をライトしたとき
3～0	－	すべて 0	R/W	リザーブビット 初期値を変更しないでください。

12.3.10　タイマコネクションレジスタ S（TCONRS）

TCONRS は TMR_X、TMR_Y のアクセスを選択します。

ビット	ビット名	初期値	R/W	説　　明
7	TMRX/Y	0	R/W	TMR_X/TMR_Y アクセス選択 表 12.3 を参照してください。 0 : アドレス H'(FF)FFF0～H'(FF)FFF5 で TMR_X のレジスタをアクセスする 1 : アドレス H'(FF)FFF0～H'(FF)FFF5 で TMR_Y のレジスタをアクセスする
6～0	－	すべて 0	R/W	リザーブビット 初期値を変更しないでください。

表 12.3　TMR_X/TMR_Y のアクセス可能なレジスタ

TMRX/Y	H'FFF0	H'FFF1	H'FFF2	H'FFF3	H'FFF4	H'FFF5	H'FFF6	H'FFF7
0	TMR_X TCR_X	TMR_X TCSR_X	TMR_X TICRR	TMR_X TICRF	TMR_X TCNT_X	TMR_X TCORC	TMR_X TCORA_X	TMR_X TCORB_X
1	TMR_Y TCR_Y	TMR_Y TCSR_Y	TMR_Y TCORA_Y	TMR_Y TCORB_Y	TMR_Y TCNT_Y	TMR_Y TISR		

12.3.11　タイマ XY コントロールレジスタ（TCRXY）

TCRXY は TMR_X、TMR_Y の出力端子および内部クロックを選択します。

ビット	ビット名	初期値	R/W	説　　明
7 6	－ －	0 0	R/W R/W	リザーブビット 初期値を変更しないでください。
5	CKSX	0	R/W	TMR_X クロックセレクト 選択の詳細は、表 12.2 を参照してください。
4	CKSY	0	R/W	TMR_X クロックセレクト 選択の詳細は、表 12.2 を参照してください。
3～0	－	すべて 0	R/W	リザーブビット 初期値を変更しないでください。

12.4　動作説明

12.4.1　パルス出力

任意のデューティパルスを出力させる例を図 12.3 に示します。

1. TCORAのコンペアマッチによりTCNTがクリアされるようにTCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介在なしに出力できます。

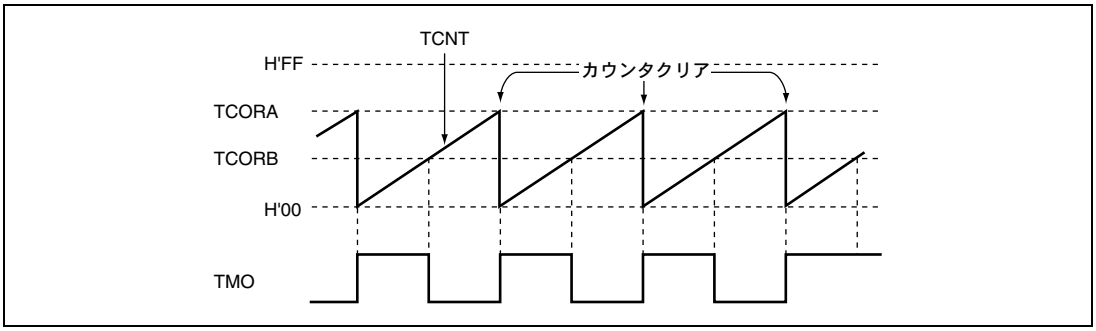


図 12.3　パルス出力例

12.5　動作タイミング

12.5.1　TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 12.4 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 12.5 に示します。なお外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

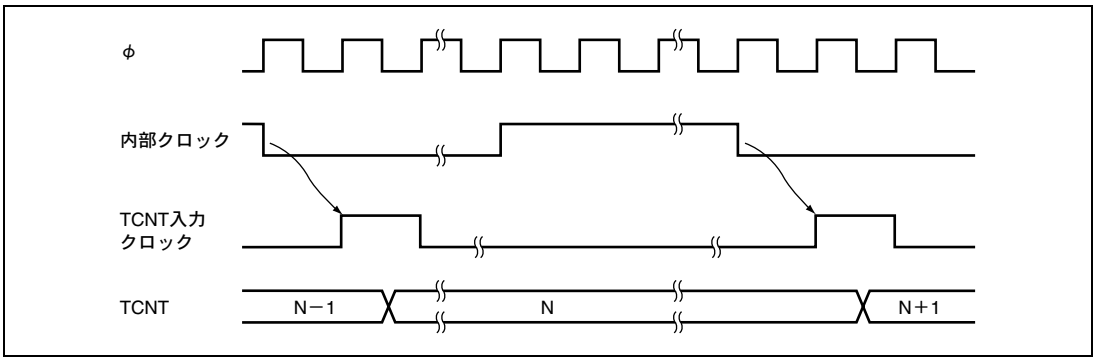


図 12.4　内部クロック動作時のカウントタイミング

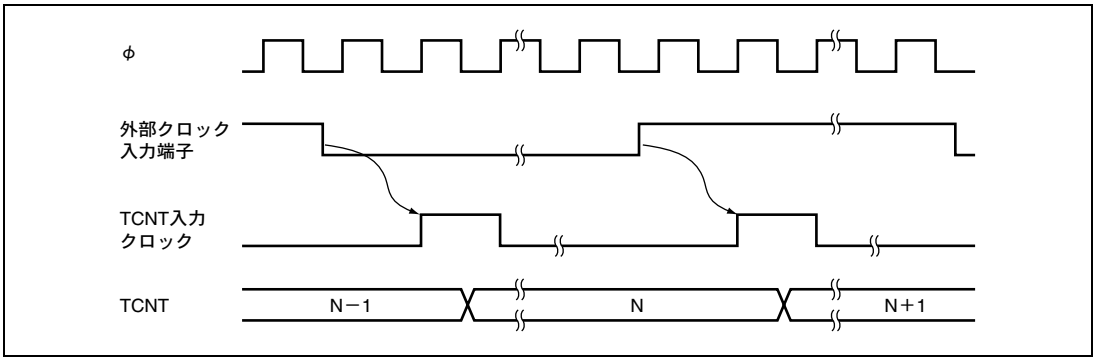


図 12.5　外部クロック動作時のカウントタイミング（両エッジの場合）

12.5.2　コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

TCSR の CMFA、CMFB フラグは、TCNT と TCOR の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。したがって、TCNT と TCOR の値が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF フラグのセットタイミングを図 12.6 に示します。

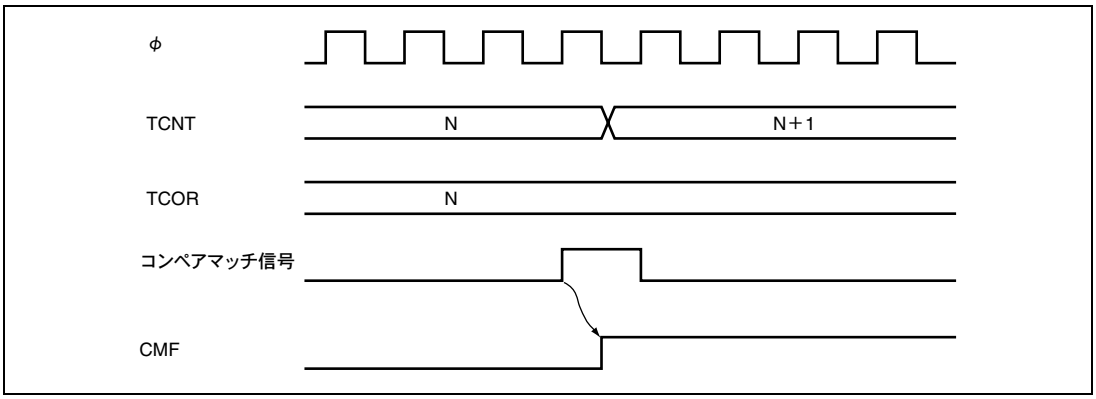


図 12.6　コンペアマッチ時の CMF フラグのセットタイミング

12.5.3　コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR の OS3～OS0 ビットで設定される出力値がタイマ出力端子に出力されます。コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 12.7 に示します。

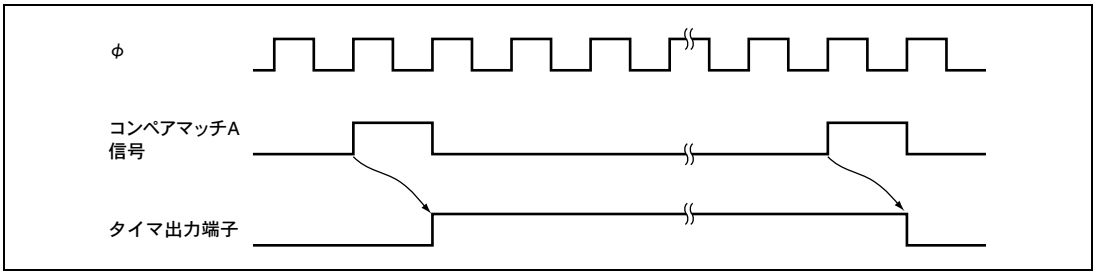


図 12.7　コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング

12.5.4　コンペアマッチによるカウンタクリアタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。コンペアマッチによるカウンタクリアタイミングを図 12.8 に示します。

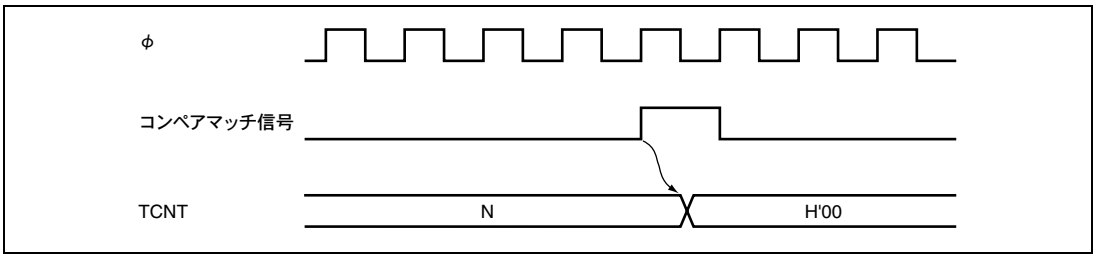


図 12.8　コンペアマッチによるカウンタクリアタイミング

12.5.5　TCNT の外部リセットタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択により外部リセット入力の立ち上がりエッジでクリアされます。クリアまでのパルス幅は 1.5 ステート以上必要となります。外部リセット入力によるクリアタイミングを図 12.9 に示します。

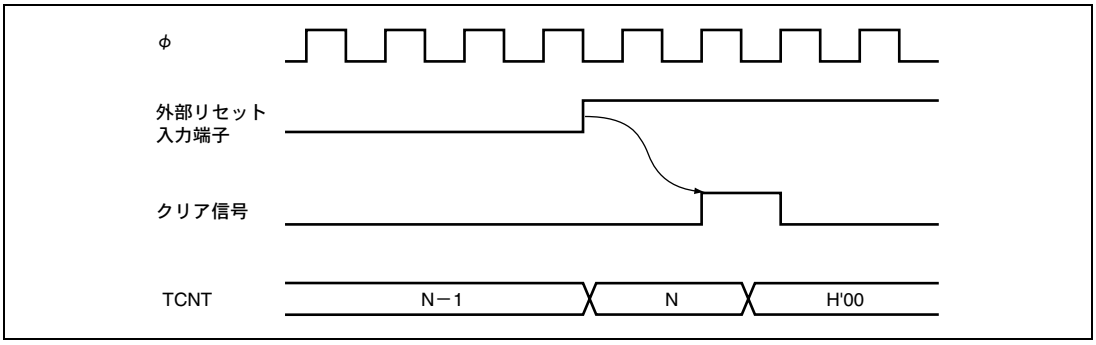


図 12.9　外部リセット入力によるクリアタイミング

12.5.6 オーバフローフラグ（OVF）のセットタイミング

TCSR の OVF は、TCNT がオーバフロー（H'FF→H'00）したとき出力されるオーバフロー信号により 1 にセットされます。OVF フラグのセットタイミングを図 12.10 に示します。

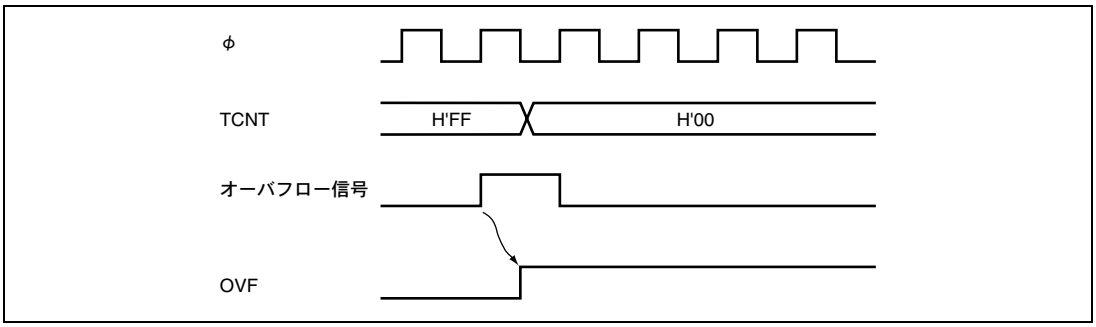


図 12.10 OVF フラグのセットタイミング

12.6 TMR_0、TMR_1 のカスケード接続

TCR_0、TCR_1 のいずれか一方の CKS2～CKS0 ビットを B'100 に設定すると、2 チャネルの 8 ビットタイマはカスケード接続されます。この場合、16 ビットタイマモードか、コンペアマッチカウントモードにすることができます。

12.6.1 16 ビットカウントモード

TCR_0 の CKS2～CKS0 ビットが B'100 のとき、タイマは TMR_0 を上位 8 ビット、TMR_1 を下位 8 ビットとする 1 チャネルの 16 ビットタイマとして動作します。

(1) コンペアマッチフラグのセット

- TCSR_0のCMFフラグは、16ビットのコンペアマッチが発生したとき1にセットされます。
- TCSR_1のCMFフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされます。

(2) カウンタクリア指定

- TCR_0のCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生したとき16ビットカウンタ（TCNT_0、TCNT_1の両方）がクリアされます。また、TMI0端子によるカウンタクリアを設定した場合も、16ビットカウンタ（TCNT_0、TCNT_1の両方）がクリアされます。
- TCR_1のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

(3) 端子出力

- TCSR_0のOS3～OS0ビットによるTMO0端子の出力制御は16ビットのコンペアマッチ条件に従います。
- TCSR_1のOS3～OS0ビットによるTMO1端子の出力制御は下位8ビットのコンペアマッチ条件に従います。

12.6.2 コンペアマッチカウントモード

TCR_1 の CKS2～CKS0 ビットが B'100 のとき、TCNT_1 は TMR_0 のコンペアマッチ A をカウントします。TMR_0、TMR_1 の制御はそれぞれ独立に行われます。CMF フラグのセット、割り込みの発生、TMO 端子の出力、カウンタクリアなどは各チャネルの設定に従います。

12.7 TMR_Y、TMR_X のカスケード接続

TCR_Y、TCR_X のいずれか一方の CKS2～CKS0 ビットを B'100 に設定すると、2 チャネルの 8 ビットタイマはカスケード接続されます。この場合、TCRXY の CKSX および CKSY ビットの設定により 16 ビットカウントモードか、コンペアマッチカウントモードにすることができます。

12.7.1 16 ビットカウントモード

TCR_Y の CKS2～CKS0 ビットが B'100 かつ TCRXY の CKSY ビットが 1 のとき、TMR_Y を上位 8 ビット、TMR_X を下位 8 ビットとする 1 チャネルの 16 ビットタイマとして動作します。

（1） コンペアマッチフラグのセット

- TCSR_YのCMFフラグは、上位8ビットのコンペアマッチが発生したとき1にセットされます。
- TCSR_XのCMFフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされます。

（2） カウンタクリア指定

- TCR_YのCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアを設定した場合、TCNT_Yの上位8ビットのみクリアされます。また、TMRIY端子によるカウンタクリアを設定した場合もTCNT_Yの上位8ビットのみクリアされます。
- TCR_XのCCLR1、CCLR0ビットの設定は有効でTCNT_Xの下位8ビットのカウンタクリアができます。

（3） 端子出力

- TCSR_YのOS3～OS0ビットによるTMOY端子の出力制御は上位8ビットのコンペアマッチ条件に従います。
- TCSR_XのOS3～OS0ビットによるTMOX端子の出力制御は下位8ビットのコンペアマッチ条件に従います。

12.7.2 コンペアマッチカウントモード

TCR_X の CKS2～CKS0 ビットが B'100 かつ TCRXY の CKSX ビットが 1 のとき、TCNT_X は TMR_Y のコンペアマッチ A をカウントします。TCNT_X、TMR_Y の制御はそれぞれ独立に行われます。CMF フラグのセット、割り込みの発生、TMO 端子の出力、カウンタクリアなどは各チャネルの設定に従います。

12.7.3 インプットキャプチャ動作

TMR_X には、インプットキャプチャレジスタ（TICRR、TICRF）があります。TICRR と TICRF は、1 回限りのキャプチャ動作をして、短いパルスのパルス幅を測定することができます。TMRIX（TMR_X のインプットキャプチャ入力信号）に立ち上がりエッジ→立ち下がりエッジの順でエッジが検出されると、そのときの TCNT_X の内容が TICRR、TICRF にそれぞれ転送されます。

（1） インプットキャプチャ入力タイミング

インプットキャプチャ機能を設定した場合の動作タイミングを**図** 12.11 に示します。

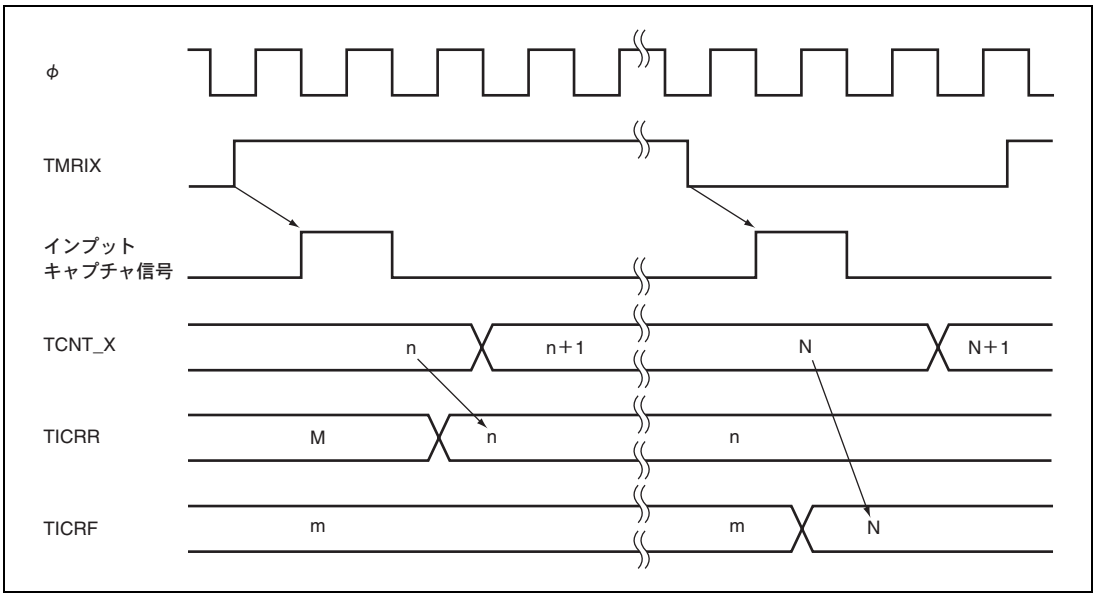


図 12.11　**インプットキャプチャ動作タイミング**

また、TICRR、TICRF のリード時に、インプットキャプチャ入力を入力すると、インプットキャプチャ信号は 1 システムクロック（φ）遅延されます。このタイミングを**図** 12.12 に示します。

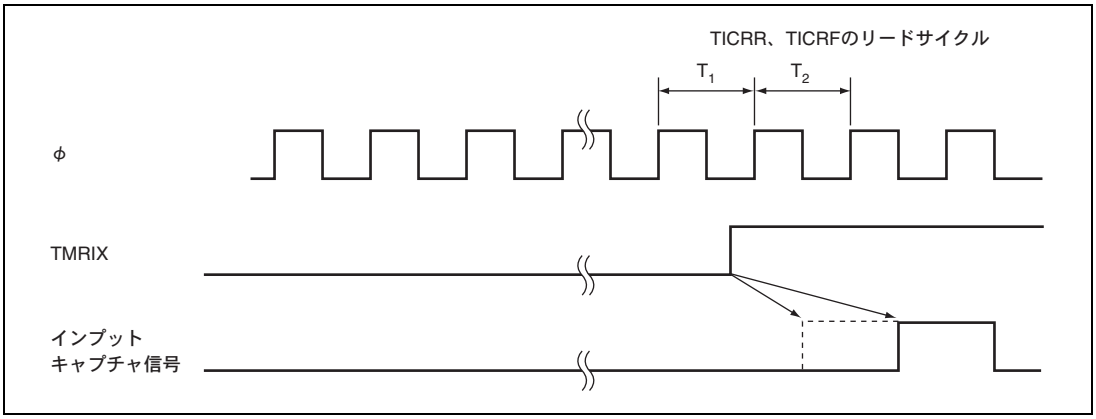


図 12.12　**インプットキャプチャ信号タイミング**
（TICRR、TICRF のリード時に、インプットキャプチャ入力を入力した場合）

（2） インプットキャプチャ入力信号の選択

TCONRI レジスタの ICST ビットの設定により、TMRIX を選択することができます。インプットキャプチャ信号の選択を表 12.4 に示します。

表 12.4　インプットキャプチャ信号の選択

TCONRI	説　　明
ビット 4	
ICST	
0	インプットキャプチャ機能を使用しない
1	TMIX 端子の入力信号を選択

12.8　割り込み要因

TMR_0、TMR_1、TMR_Y の割り込み要因は、CMIA、CMIB、OVI の 3 種類があります。TMR_X の割り込み要因は、CMIA、CMIB、OVI、ICIX の 4 種類があります。があります。表 12.5 に各割り込み要因と優先順位を示します。各割り込み要因は、TCR または TCSR の各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

表 12.5　8 ビットタイマ TMR_0、TMR_1、TMR_Y、TMR_X の割り込み要因

チャネル	名　称	割り込み要因	割り込みフラグ	優先順位
TMR_0	CMIA0	TCORA_0 のコンペアマッチ	CMFA	高
	CMIB0	TCORB_0 のコンペアマッチ	CMFB	↑
	OVI0	TCNT_0 のオーバフロー	OVF	
TMR_1	CMIA1	TCORA_1 のコンペアマッチ	CMFA	
	CMIB1	TCORB_1 のコンペアマッチ	CMFB	
	OVI1	TCNT_1 のオーバフロー	OVF	
TMR_Y	CMIAY	TCORA_Y のコンペアマッチ	OMFA	
	CMIBY	TCORB_Y のコンペアマッチ	CMFB	
	OVIY	TCNT_Y のオーバフロー	OVF	
TMR_X	ICIX	インプットキャプチャ	ICF	
	CMIAX	TCORA_X のコンペアマッチ	CMFA	
	CMIBX	TCORB_X のコンペアマッチ	CMFB	
	OVIX	TCNT_X のオーバフロー	OVF	低

12.9　使用上の注意事項

12.9.1　TCNT のライトとカウンタクリアの競合

図 12.12 のように TCNT のライトサイクル中の T_2 ステートでカウンタクリアが発生すると、カウンタへのライトは行われずクリアが優先されます。

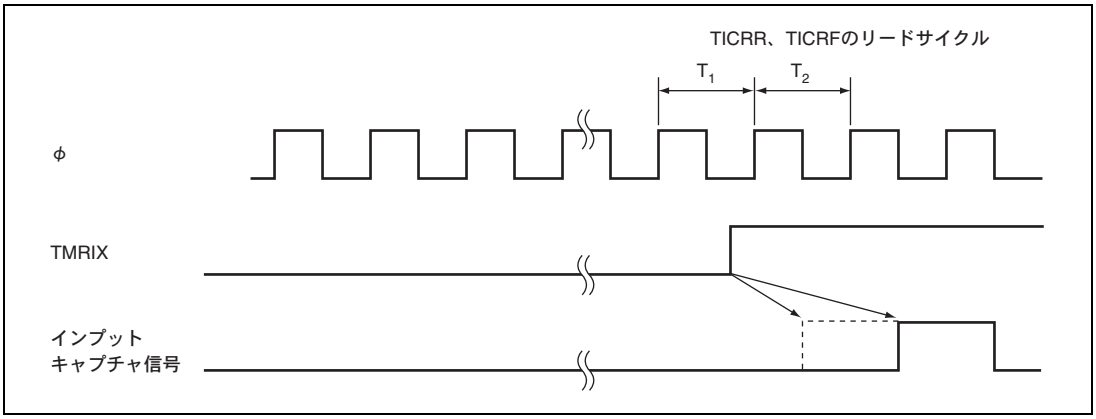


図 12.13　TCNT のライトとクリアの競合

12.9.2　TCNT のライトとカウントアップの競合

図 12.14 のように TCNT のライトサイクル中の T_2 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

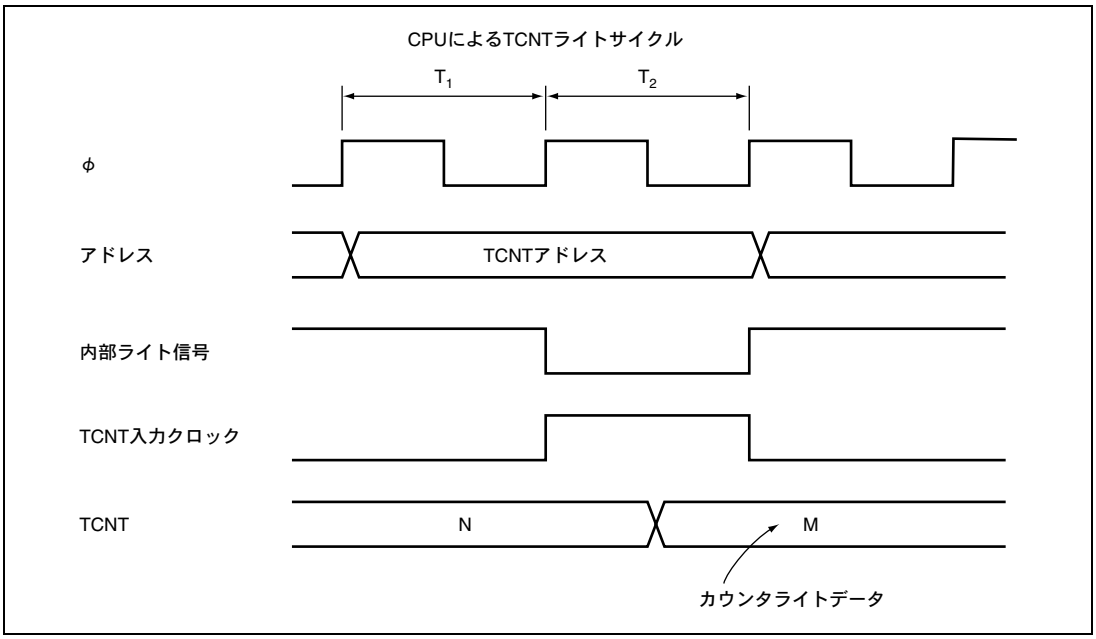


図 12.14　TCNT のライトとカウントアップの競合

12.9.3　TCOR のライトとコンペアマッチの競合

図 12.15 のように TCOR のライトサイクル中の T_2 ステートでコンペアマッチが発生しても、TCOR のライトが優先されコンペアマッチ信号は禁止されます。TMR_X では TICR のインプットキャプチャは、TCORC へのライトと同様にコンペアマッチと競合します。このときもインプットキャプチャが優先され、コンペアマッチ信号は禁止されます。

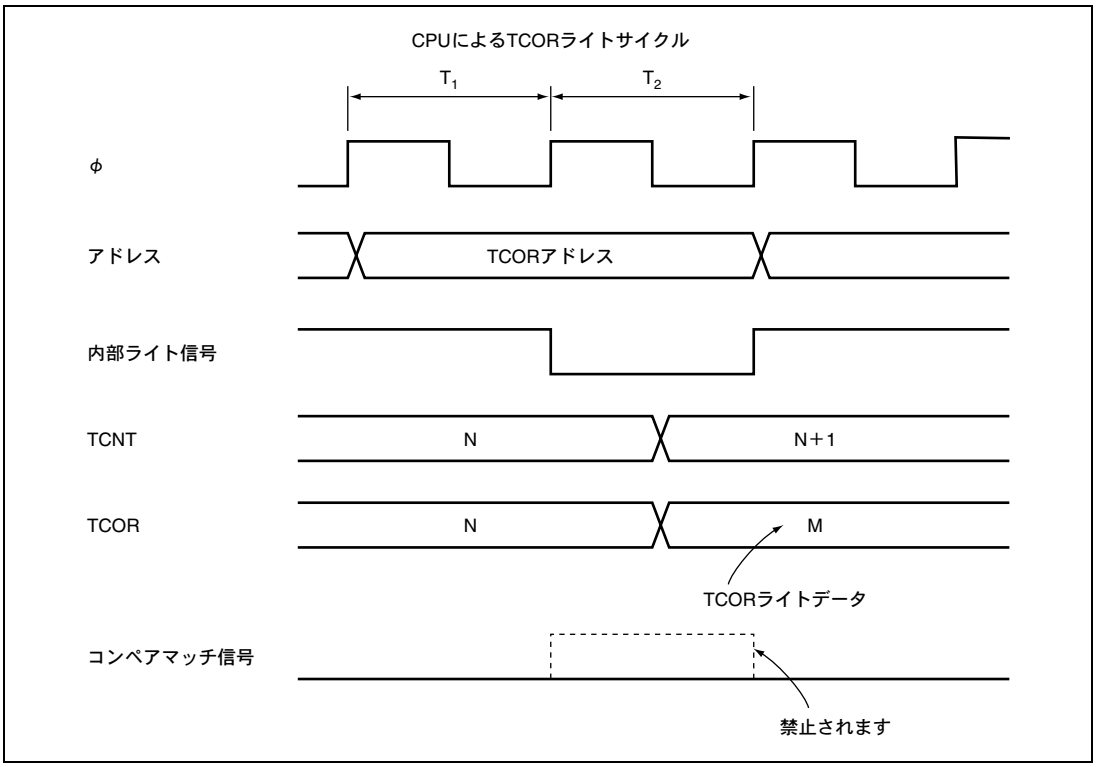


図 12.15　TCOR のライトとコンペアマッチの競合

12.9.4　コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 12.6 に示すタイマ出力の優先順位に従って動作します。

表 12.6　タイマ出力の優先順位

出力設定	優先順位
トグル出力	高
1 出力	↑
0 出力	↑
変化しない	低

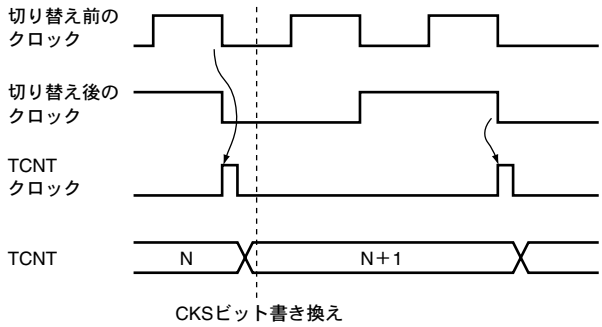
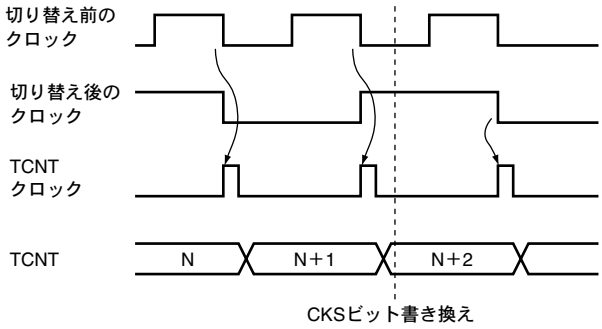
12.9.5　内部クロックの切り替えと TCNT の動作

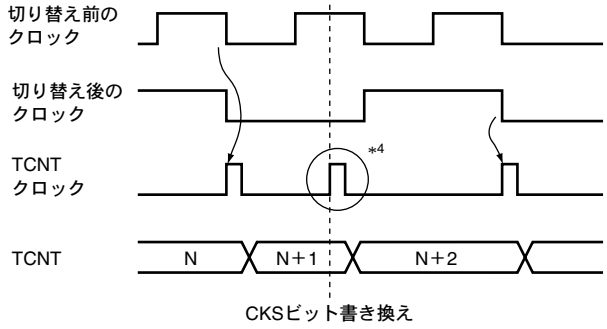
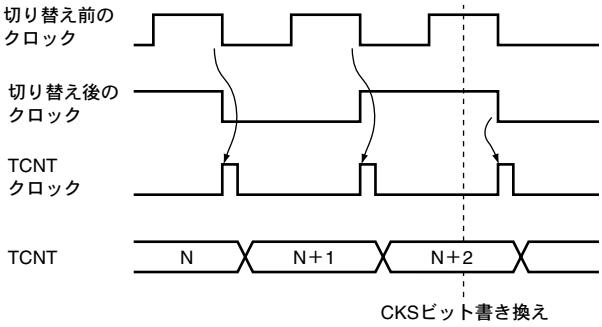
内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング（CKS1、CKS0 ビットの書き換え）と TCNT 動作の関係を**表 12.7** に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため**表 12.7** の No.3 のように、High→Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 12.7　内部クロックの切り替えと TCNT の動作

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low→Low レベル*1 の切り替え	
2	Low→High レベル*2 の切り替え	

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
3	High→Low レベル*3 の切り替え	
4	High→High レベル の切り替え	

【注】　*1　Low レベル→停止、および停止→Low レベルの場合を含みます。

*2　停止→High レベルの場合を含みます。

*3　High レベル→停止を含みます。

*4　切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

12.9.6　カスケード接続時のモード設定

16 ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT_0 と TCNT_1、TCNT_X と TCNT_Y の入力クロックが発生しなくなるためカウンタが停止して動作しません。この設定は行わないでください。

12.9.7　モジュールストップモードの設定

モジュールストップコントロールレジスタにより、TMR の動作停止／許可を設定することが可能です。初期値では TMR の動作は停止します。モジュールストップモードを解除することにより、レジスタアクセスが可能になります。詳細は、「第 20 章　低消費電力状態」を参照してください。

13. ウォッチドッグタイマ（WDT）

本 LSI は、2 チャネルのウォッチドッグタイマ（WDT_0、WDT_1）を内蔵しています。WDT は 8 ビットのタイマで、システムの暴走などによりカウンタの値を CPU が書き換えられずにオーバフローすると、本 LSI 内部をリセットするかまたは内部 NMI 割り込みを発生させることができます。また、外部にオーバフロー信号（$\overline{\text{RESO}}$）を出力することができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマモードとして使用する場合は、カウンタがオーバフローするごとにインターバルタイマ割り込みを発生します。WDT_0、WDT_1 のブロック図を図 13.1 に示します。

13.1 特長

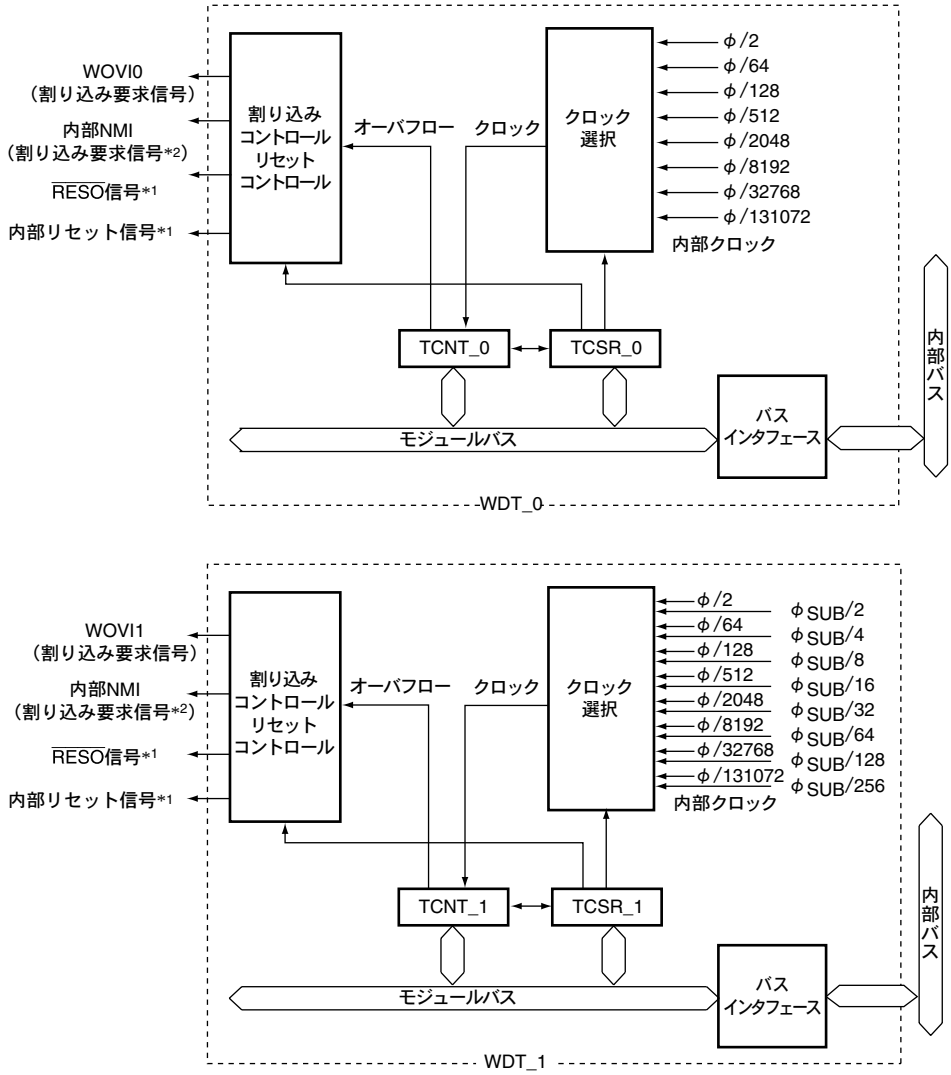
- WDT_0は8種類、WDT_1は16種類のカウンタ入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード

- カウンタがオーバフローすると、本LSI内部をリセットするかまたは内部NMI割り込みを発生するかを選択可能
- 内部リセットを選択した場合、カウンタがオーバフローすると$\overline{\text{RESO}}$端子からLowレベル信号を出力

インターバルタイマモード

- カウンタがオーバフローすると、インターバルタイマ割り込み（WOVI）を発生



【記号説明】
TCSR_0 ：タイマコントロール／ステータスレジスタ_0
TCNT_0 ：タイマカウンタ_0
TCSR_1 ：タイマコントロール／ステータスレジスタ_1
TCNT_1 ：タイマカウンタ_1

【注】*1 RESO端子は、WDT_0とWDT_1のどちらか一方でTCNTのオーバフローによる内部リセット信号が発生するとLowレベル信号が出力されます。内部リセット信号は、先にオーバフローしたWDTのリセットが優先になります。
*2 NMI割り込み要求信号は、WDT_0とWDT_1のどちらからでも独立して出力させることができます。割り込みコントローラではWDT_0とWDT_1のNMI割り込み要求は区別されません。

図 13.1 WDT のブロック図

13.2　入出力端子

WDT の入出力端子を**表 13.1** に示します。

表 13.1　端子構成

名　　称	記号	入出力	機　　能
リセット出力端子	$\overline{\text{RESO}}$	出力	ウォッチドッグタイマモード時のカウンタオーバフロー信号出力
外部サブクロック入力端子	EXCL	入力	WDT_1 のプリスケーラのカウンタ入力クロック

13.3　レジスタの説明

WDT にはチャネルごとに以下のレジスタがあります。TCNT、TCSR は容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は「13.6.1　**レジスタアクセス時の注意事項**」を参照してください。システムコントロールレジスタについては、「3.2.2　**システムコントロールレジスタ（SYSCR）**」を参照してください。

- タイマカウンタ（TCNT）
- タイマコントロール／ステータスレジスタ（TCSR）

13.3.1　タイマカウンタ（TCNT）

TCNT は、リード／ライト可能な 8 ビットのアップカウンタです。TCNT は、タイマコントロール／ステータスレジスタ（TCSR）の TME ビットが 0 のとき、H'00 に初期化されます。

13.3.2 タイマコントロール／ステータスレジスタ（TCSR）

TCSR は、TCNT に入力するクロック、モードの選択などを行います。

- TCSR_0

ビット	ビット名	初期値	R/W	説　明
7	OVF	0	R/(W)*	オーバフローフラグ TCNT がオーバフロー（H'FF→H'00）したことを示します。 ［セット条件］ TCNT がオーバフロー（H'FF→H'00）したとき ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。 ［クリア条件］ • OVF＝1 の状態で、TCSR をリード後、OVF に 0 をライトしたとき • TME ビットに 0 をライトしたとき
6	WT/$\overline{\text{IT}}$	0	R/W	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。 0：インターバルタイマモード 1：ウォッチドッグタイマモード
5	TME	0	R/W	タイマイネーブル このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。
4	－	0	R/W	リザーブビット 初期値を変更しないでください。
3	RST/$\overline{\text{NMI}}$	0	R/W	リセットまたは NMI TCNT がオーバフローしたときに、内部リセットか NMI 割り込み要求かを選択します。 0：NMI 割り込みを要求 1：内部リセットを要求
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト 2～0 TCNT に入力するクロックを選択します。（　）内はφ＝20MHz のときのオーバフロー周期を表します。 000：φ/2（周期 25.6μs） 001：φ/64（周期 819.2μs） 010：φ/128（周期 1.6ms） 011：φ/512（周期 6.6ms） 100：φ/2048（周期 26.2ms） 101：φ/8192（周期 104.9ms） 110：φ/32768（周期 419.4ms） 111：φ/131072（周期 1.68s）

【注】 ＊ フラグをクリアするための 0 ライトのみ可能です。

- TCSR_1

ビット	ビット名	初期値	R/W	説　明
7	OVF	0	R/(W)*[1]	オーバフローフラグ TCNT がオーバフロー（H'FF→H'00）したことを示します。 ［セット条件］ TCNT がオーバフロー（H'FF→H'00）したとき ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。 ［クリア条件］ • OVF＝1 の状態で、TCSR をリード後*[2]、OVF に 0 をライトしたとき • TME ビットに 0 をライトしたとき
6	WT/$\overline{\text{IT}}$	0	R/W	タイマモードセレクト ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。 0：インターバルタイマモード 1：ウォッチドッグタイマモード
5	TME	0	R/W	タイマイネーブル このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。
4	PSS	0	R/W	プリスケーラセレクト TCNT に入力するクロックを選択します。 0：φベースのプリスケーラ（PSM）の分周クロックをカウント 1：φSUB ベースのプリスケーラ（PSS）の分周クロックをカウント
3	RST/$\overline{\text{NMI}}$	0	R/W	リセットまたは NMI TCNT がオーバフローしたときに、内部リセットか NMI 割り込み要求かを選択します。 0：NMI 割り込みを要求 1：内部リセットを要求

ビット	ビット名	初期値	R/W	説　　明
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト 2～0 TCNT に入力するクロックを選択します。（　）内はφ＝20MHz、φSUB=32.768kHz のときのオーバフロー周期を表します。 PSS＝0 の場合 000：φ/2（周期 25.6μs） 001：φ/64（周期 819.2μs） 010：φ/128（周期 1.6ms） 011：φ/512（周期 6.6ms） 100：φ/2048（周期 26.2ms） 101：φ/8192（周期 104.9ms） 110：φ/32768（周期 419.4ms） 111：φ/131072（周期 1.68s） PSS＝1 の場合 000：φSUB/2（周期 15.6ms） 001：φSUB/4（周期 31.3ms） 010：φSUB/8（周期 62.5ms） 011：φSUB/16（周期 125ms） 100：φSUB/32（周期 250ms） 101：φSUB/64（周期 500ms） 110：φSUB/128（周期 1s） 111：φSUB/256（周期 2s）

【注】 *1　フラグをクリアするための 0 ライトのみ可能です。

*2　インターバルタイマ割り込みを禁止して OVF をポーリングした場合、OVF＝1 の状態を 2 回以上リードしてください。

13.4 動作説明

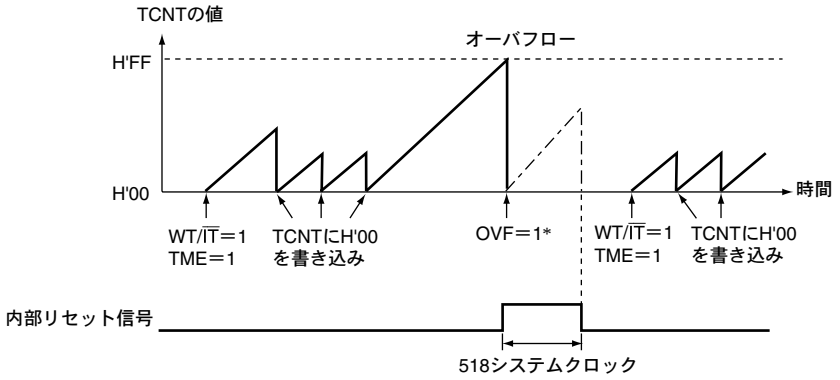
13.4.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときは、TCSR の WT/$\overline{\text{IT}}$ ビット＝1 に、TME ビット＝ 1 に設定してください。ウォッチドッグタイマとして動作しているとき、システムの暴走などにより TCNT の値が書き換えられずオーバフローすると、内部リセットまたは NMI 割り込み要求を発生します。システムが正常に動作している間は、TCNT のオーバフローは発生しません。TCNT がオーバフローする前に必ず TCNT の値を書き換えて（通常は H'00 をライトする）、オーバフローを発生させないようにプログラミングしてください。

TCSR の RST/$\overline{\text{NMI}}$ ビットを 1 にセットしておくと、**図 13.2** に示すように TCNT がオーバフローしたときに、本 LSI の内部をリセットする信号が 518 システムクロックの間出力され、$\overline{\text{RESO}}$ 端子から 132 ステートの間 Low レベルが出力されます。また、RST/$\overline{\text{NMI}}$ ビットを 0 にクリアしておくと、TCNT がオーバフローしたときに、NMI 割り込み要求を発生します。このとき $\overline{\text{RESO}}$ 端子は High レベルのままです。

ウォッチドッグタイマからの内部リセット要求と $\overline{\text{RES}}$ 端子からのリセット入力は､同一ベクタで処理されます。リセット要因は SYSCR の XRST ビットの内容によって判別できます。ウォッチドッグタイマからの内部リセット要求と $\overline{\text{RES}}$ 端子からのリセット入力が同時に発生したときは、$\overline{\text{RES}}$ 端子からのリセット入力が優先され、SYSCR の XRST ビットは 1 にセットされます。

ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求は、同一ベクタで処理されます。ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求を同時に扱うことは避けてください。



WT/$\overline{\text{IT}}$ ：タイマモードセレクトビット
TME ：タイマイネーブルビット
OVF ：オーバフローフラグ

【注】* OVF＝1となった後、内部リセットにより0にクリアされます。
また、XRSTは0にクリアされます。

図 13.2 ウォッチドッグタイマモード時（RST/$\overline{\text{NMI}}$＝1）の動作

13.4.2　インターバルタイマモード

インターバルタイマとして動作しているときは、図 13.3 に示すように TCNT がオーバフローするごとにインターバルタイマ割り込み（WOVI）が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

インターバルタイマモードで TCNT がオーバフローすると、TCSR の OVF フラグが 1 にセットされ、同時にインターバルタイマ割り込み（WOVI）が要求されます。このタイミングを図 13.4 に示します。

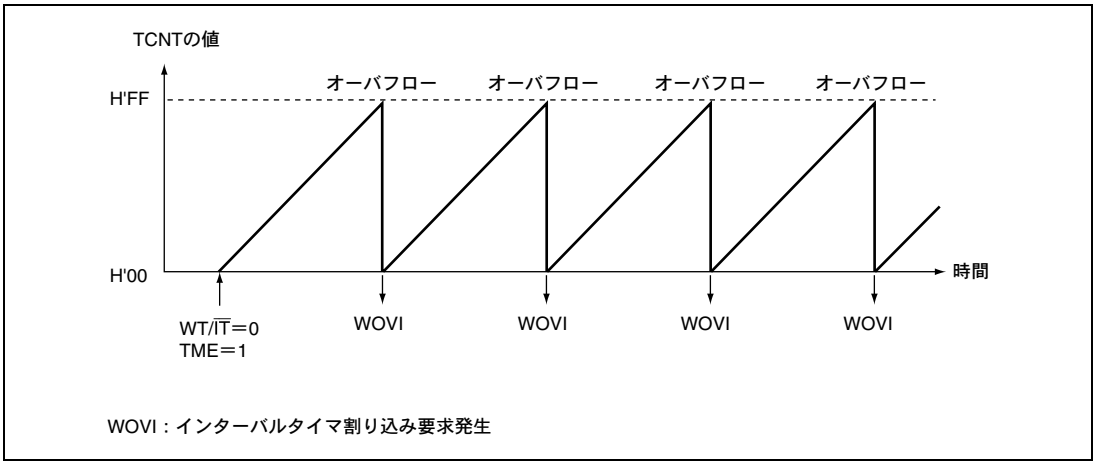


図 13.3　インターバルタイマモード時の動作

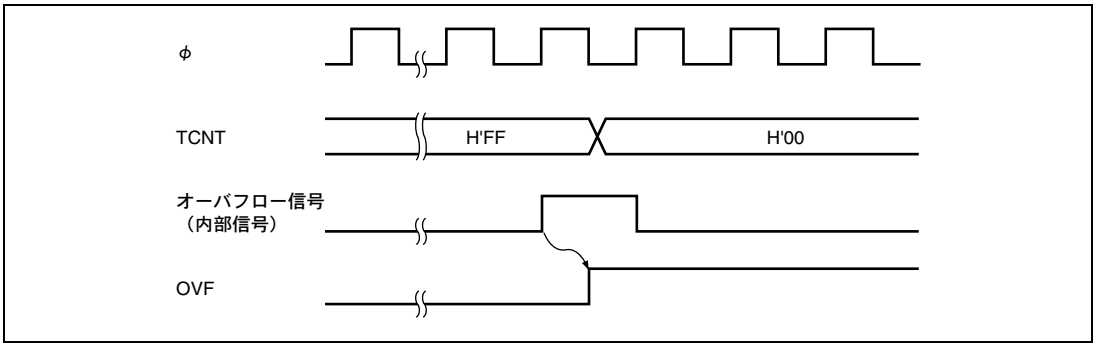


図 13.4　OVF のセットタイミング

13.4.3 $\overline{\text{RESO}}$ 信号出力タイミング

ウォッチドッグタイマモードで TCNT がオーバフローすると、TCSR の OVF フラグが 1 にセットされます。このとき RST/$\overline{\text{NMI}}$ ビットが 1 にセットしてあると、本 LSI 全体に対して内部リセット信号を発生します。また、同時に $\overline{\text{RESO}}$ 端子から Low レベルを出力します。これらのタイミングを図 13.5 に示します。

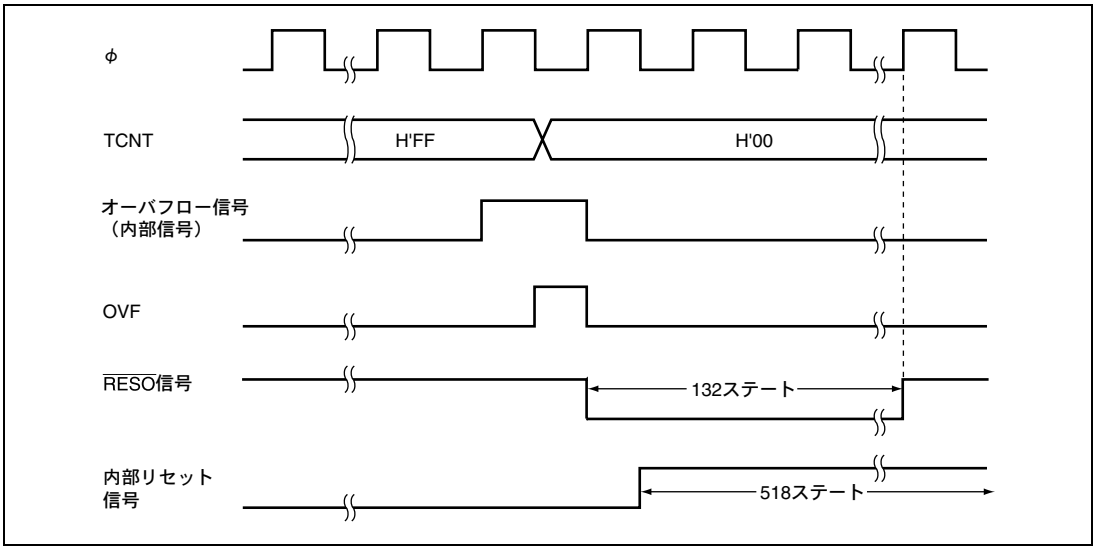


図 13.5 $\overline{\text{RESO}}$ 信号の出力タイミング

13.5 割り込み要因

インターバルタイマモード時、オーバフローによりインターバルタイマ割り込み（WOVI）が発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

ウォッチドッグタイマモードで NMI 割り込み要求の選択時は、オーバフローにより NMI 割り込み要求が発生します。

表 13.2 WDT の割り込み要因

名称	割り込み要因	割り込みフラグ
WOVI	TCNT のオーバフロー	OVF

13.6 使用上の注意事項

13.6.1 レジスタアクセス時の注意事項

TCNT、TCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。次の方法で、リード／ライトを行ってください。

（1） TCNT、TCSR へのライト（WDT_0 の例）

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 13.6 に示すようにして転送してください。TCNT へライトするときは上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。TCSR へライトするときは上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。

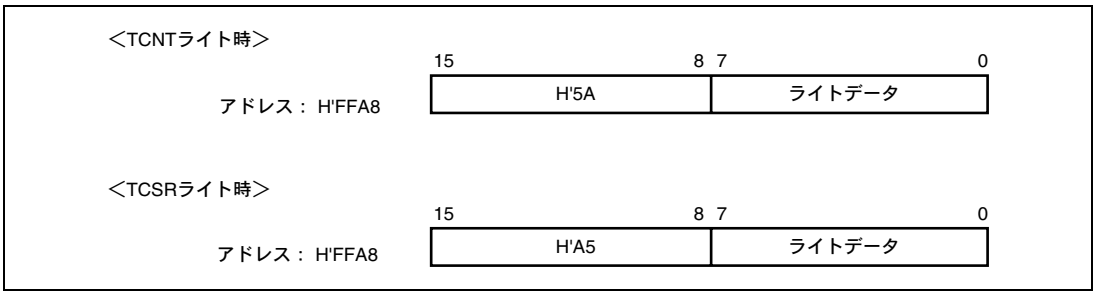


図 13.6 TCNT、TCSR へのライト（WDT_0 の例）

（2） TCNT、TCSR からのリード（WDT_0 の例）

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FFA8 に、TCNT はアドレス H'FFA9 にそれぞれ割り当てられています。

13.6.2 タイマカウンタ（TCNT）のライトとカウントアップの競合

TCNT のライトサイクル中の T_2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 13.7 に示します。

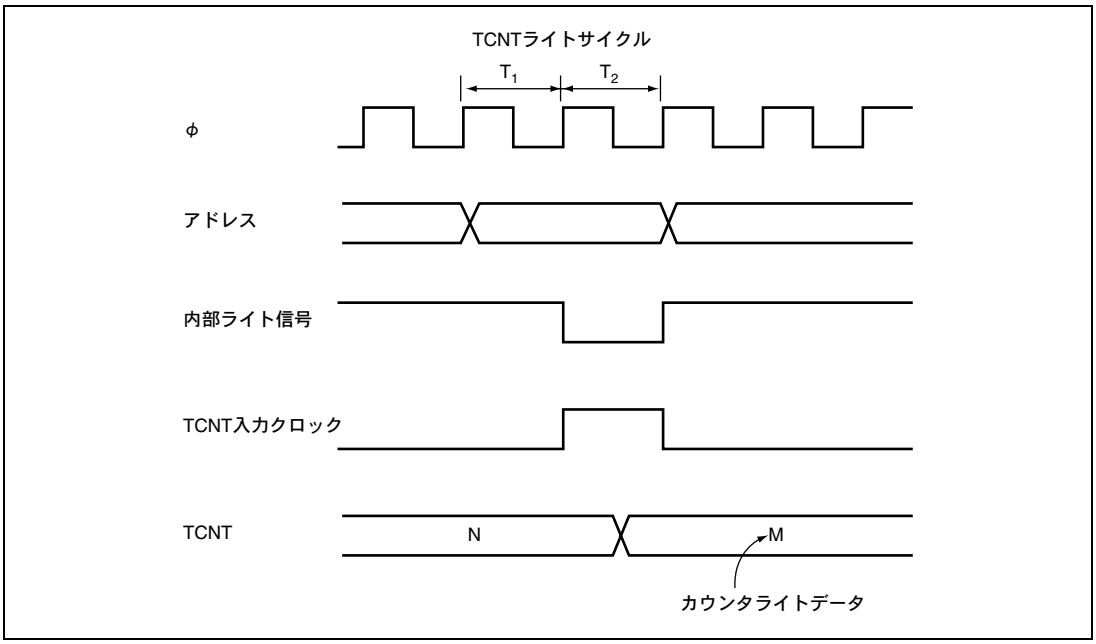


図 13.7 TCNT のライトとカウントアップの競合

13.6.3 CKS2～CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2～CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2～CKS0 ビットを書き換えるときは、必ず WDT を停止させてから（TME ビットを 0 にクリアしてから）行ってください。

13.6.4 PSS ビットの書き換え

WDT の動作中に TCSR_1 の PSS ビットを書き換えると、正しい動作が行われない場合があります。PSS ビットを書き換えるときは、必ず WDT を停止させて（TME ビットを 0 にクリアして）から行ってください。

13.6.5 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから（TME ビットを 0 にクリアしてから）行ってください。

13.6.6 $\overline{\text{RESO}}$ 信号によるシステムのリセット

$\overline{\text{RESO}}$ 出力信号を $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。$\overline{\text{RESO}}$ 信号は、$\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。$\overline{\text{RESO}}$ 信号でシステム全体をリセットするときは、図 13.8 に示すような回路で行ってください。

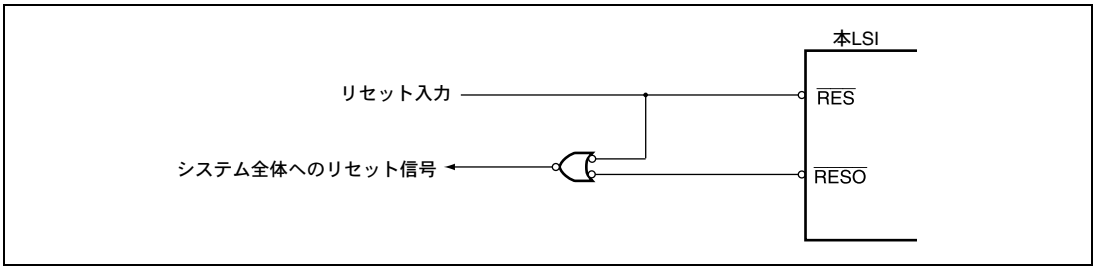


図 13.8 $\overline{\text{RESO}}$ 信号によるシステムのリセット回路例

14. シリアルコミュニケーションインタフェース（SCI、IrDA）

本 LSI は独立した 2 チャネルのシリアルコミュニケーションインタフェース（SCI：Serial Communication Interface）を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter（UART）や、Asynchronous Communication Interface Adapter（ACIA）などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。また、調歩同期式モードでは複数のプロセッサ間のシリアル通信機能（マルチプロセッサ通信機能）を備えています。このほか、SCI は調歩同期式モードの拡張機能として、ISO/IEC 7816-3（Identification Card）に準拠したスマートカード（IC カード）インタフェースをサポートしています。また、SCI_1 は IrDA（Infrared Data Associcction）規格バージョン 1.0 に基づく IrDA 通信波形の送受信が可能です。

14.1 特長

- シリアルデータ通信フォーマットを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能

  独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。
- 内蔵ボーレートジェネレータで任意のビットレートを選択可能

  送受信クロックソースとして外部クロックの選択も可能です（スマートカードインタフェースを除く）。
- LSBファースト／MSBファースト選択可能（調歩同期式7ビットデータを除く）
- 割り込み要因：4種類

  送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。

調歩同期式モード

- データ長：7ビット／8ビット選択可能
- ストップビット長：1ビット／2ビット選択可能
- パリティ：偶数パリティ／奇数パリティ／パリティなしから選択可能
- 受信エラーの検出：パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出：フレーミングエラー発生時、RxD端子のレベルを直接リードすることでブレークを検出可能
- マルチプロセッサ間通信が可能

クロック同期式モード

- データ長：8ビット
- 受信エラーの検出：オーバランエラー

スマートカードインタフェース

- 受信時パリティエラーを検出するとエラーシグナルを自動送出
- 送信時エラーシグナルを受信するとデータを自動再送信
- ダイレクトコンベンション／インバースコンベンションの両方をサポート

SCI のブロック図を図 14.1 に示します。

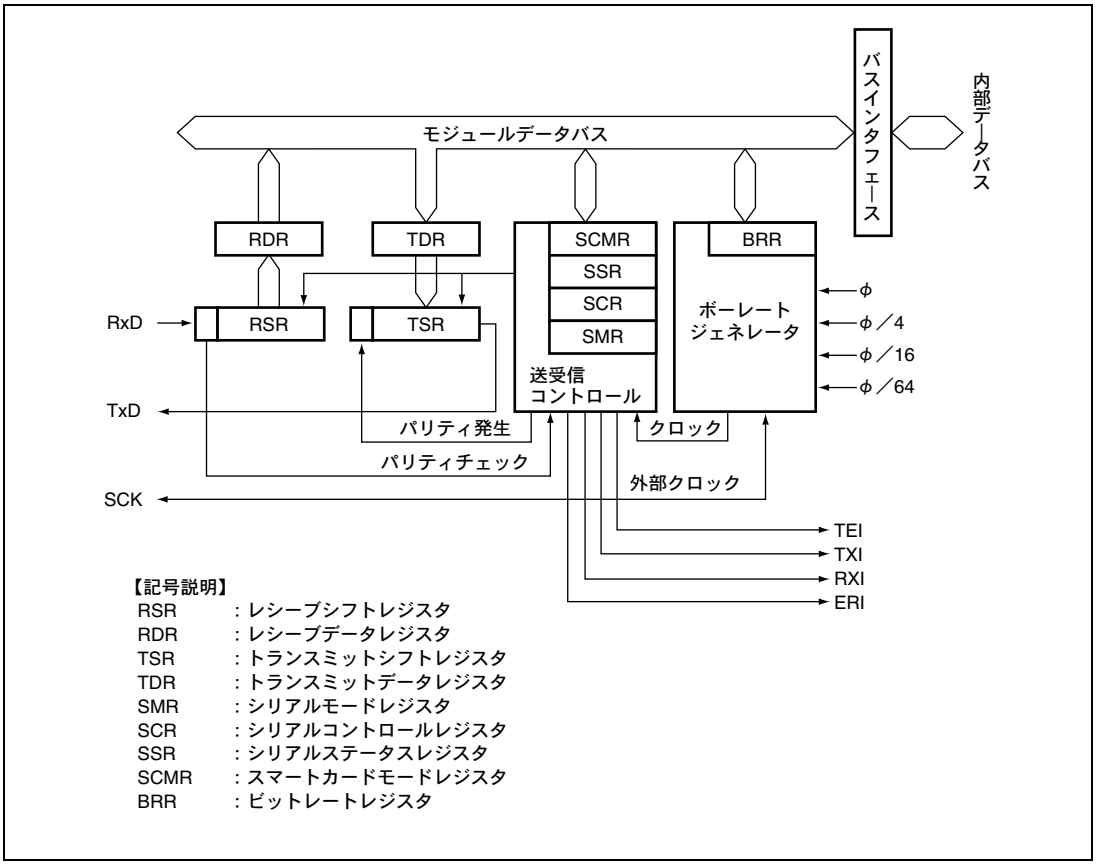


図 14.1　SCI のブロック図

14.2　入出力端子

SCI には、表 14.1 の入出力端子があります。

表 14.1　端子構成

チャネル	記号*	入出力	機　　能
1	SCK1 ExSCK1	入出力	チャネル 1 のクロック入出力端子
	RxD1/IrRxD ExRxD1	入力	チャネル 1 の受信データ入力端子（通常/IrDA）
	TxD1/IrTxD ExTxD1	出力	チャネル 1 の送信データ出力端子（通常/IrDA）
2	SCK2	入出力	チャネル 2 のクロック入出力端子
	RxD2	入力	チャネル 2 の受信データ入力端子
	TxD2	出力	チャネル 2 の送信データ出力端子

【注】　*　本文中ではチャネルを省略し、それぞれ SCK、RxD、TxD と略称します。

14.3　レジスタの説明

SCI にはチャネルごとに以下のレジスタがあります。シリアルモードレジスタ（SMR）、シリアルステータスレジスタ（SSR）、シリアルコントロールレジスタ（SCR）は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なるため、別々に記載してあります。

- レシーブシフトレジスタ（RSR）
- レシーブデータレジスタ（RDR）
- トランスミットデータレジスタ（TDR）
- トランスミットシフトレジスタ（TSR）
- シリアルモードレジスタ（SMR）
- シリアルコントロールレジスタ（SCR）
- シリアルステータスレジスタ（SSR）
- スマートカードモードレジスタ（SCMR）
- ビットレートレジスタ（BRR）
- キーボードコンパレータコントロールレジスタ（KBCOMP）*

【注】　*　KBCOMP は SCI_1 のみです。

14.3.1 レシーブシフトレジスタ（RSR）

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

14.3.2 レシーブデータレジスタ（RDR）

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。RDR の初期値は H'00 です。

14.3.3 トランスミットデータレジスタ（TDR）

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR につぎの送信データがライトされていれば TSR へ転送して送信を継続します。TDR は CPU から常にリード／ライト可能ですが、シリアル送信を確実に行うため TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。TDR の初期値は H'FF です。

14.3.4 トランスミットシフトレジスタ（TSR）

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

14.3.5 シリアルモードレジスタ（SMR）

SMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。SMR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

- 通常のシリアルコミュニケーションインタフェースモード（SCMRのSMIF＝0のとき）

ビット	ビット名	初期値	R/W	説　　明
7	C/$\overline{A}$	0	R/W	コミュニケーションモード 0：調歩同期式モードで動作します。 1：クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス（調歩同期式モードのみ有効） 0：データ長 8 ビットで送受信します。 1：データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では TDR の MSB は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティイネーブル（調歩同期式モードのみ有効） このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/$\overline{E}$	0	R/W	パリティモード（調歩同期式モードで PE＝1 のときのみ有効） 0：偶数パリティで送受信します。 1：奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレングス（調歩同期式モードのみ有効） 送信時のストップビットの長さを選択します。 0：1 ストップビット 1：2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。
2	MP	0	R/W	マルチプロセッサモード（調歩同期式モードのみ有効） このビットが 1 のときマルチプロセッサ通信機能がイネーブルになります。 マルチプロセッサモードでは PE、O/$\overline{E}$ ビットの設定は無効です。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1、0 内蔵ボーレートジェネレータのクロックソースを選択します。 00：φクロック（n=0） 01：φ/4 クロック（n=1） 10：φ/16 クロック（n=2） 11：φ/64 クロック（n=3） このビットの設定値とボーレートの関係については、「14.3.9　ビットレートレジスタ（BRR）」を参照してください。n は設定値の 10 進表示で、「14.3.9 ビットレートレジスタ（BRR）」中の n の値を表します。

- スマートカードインタフェースモード（SCMRのSMIF＝1のとき）

ビット	ビット名	初期値	R/W	説　　明
7	GM	0	R/W	GSM モード このビットを 1 にセットすると GSM モードで動作します。GSM モードでは TEND のセットタイミングが先頭から 11.0etu*に前倒しされ、クロック出力制御機能が追加されます。詳細は「14.7.8　クロック出力制御」を参照してください。
6	BLK	0	R/W	このビットを 1 にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「14.7.3　ブロック転送モード」を参照してください。
5	PE	0	R/W	パリティイネーブル（調歩同期式モードのみ有効） このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースではこのビットは 1 にセットして使用してください。
4	O/$\overline{E}$	0	R/W	パリティモード（調歩同期式モードで PE＝1 のときのみ有効） 0：偶数パリティで送受信します。 1：奇数パリティで送受信します。 スマートカードインタフェースにおけるこのビットの使用方法については「14.7.2　データフォーマット（ブロック転送モード時を除く）」を参照してください。
3 2	BCP1 BCP0	0 0	R/W R/W	基本クロックパルス 1、0 スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を選択します。 00：32 クロック（S=32） 01：64 クロック（S=64） 10：372 クロック（S=372） 11：256 クロック（S=256） 詳細は、「14.7.4　受信データサンプリングタイミングと受信マージン」を参照してください。S は「14.3.9　ビットレートレジスタ（BRR）」中の S の値を表します。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1、0 内蔵ボーレートジェネレータのクロックソースを選択します。 00：φクロック（n=0） 01：φ/4 クロック（n=1） 10：φ/16 クロック（n=2） 11：φ/64 クロック（n=3） このビットの設定値とボーレートの関係については、「14.3.9　ビットレートレジスタ（BRR）」を参照してください。n は設定値の 10 進表示で、「14.3.9 ビットレートレジスタ（BRR）」中の n の値を表します。

【注】　＊　etu：Eelment Time Unit　1 ビットの転送期間

14.3.6　シリアルコントロールレジスタ（SCR）

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「14.9　割り込み要因」を参照してください。SCR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

- 通常のシリアルコミュニケーションインタフェースモード（SCMRのSMIF＝0のとき）

ビット	ビット名	初期値	R/W	説　　明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。
5	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。
4	RE	0	R/W	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル（調歩同期式モードで SMR の MP＝1 のとき有効） このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読みとばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「14.5　マルチプロセッサ通信機能」を参照してください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを 1 セットすると TEI 割り込み要求がイネーブルになります。
1 0	CKE1 CKE0	0 0	R/W R/W	クロックイネーブル 1、0 クロックソースおよび SCK 端子の機能を選択します。 調歩同期式の場合 00：内部クロック （SCK 端子は入出力ポートとして使用できます） 01：内部クロック （SCK 端子からビットレートと同じ周波数のクロックを出力します） 1x：外部クロック （ビットレートの 16 倍の周波数のクロックを SCK 端子に入力してください。） クロック同期式の場合 0x：内部クロック（SCK 端子はクロック出力端子となります。） 1x：外部クロック（SCK 端子はクロック入力端子となります。）

【注】　x：Don't care

- スマートカードインタフェース（SCMRのSMIF＝1のとき）

ビット	ビット名	初期値	R/W	説　　明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。
5	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。
4	RE	0	R/W	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル（調歩同期式モードで SMR の MP＝1 のとき有効） スマートカードインタフェースではこのビットには 0 をライトして使用してください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル スマートカードインタフェースではこのビットには 0 をライトして使用してください。
1 0	CKE1 CKE0	0 0	R/W R/W	クロックイネーブル 1、0 SCK 端子からのクロック出力を制御します。GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は「14.7.8　クロック出力制御」を参照してください。 SMR の GM=0 の場合 00：出力ディスエーブル（SCK 端子は入出力ポートとして使用可） 01：クロック出力 1x：リザーブ SMR の GM=1 の場合 00：Low 出力固定 01：クロック出力 10：High 出力固定 11：クロック出力

【注】　x：Don't care

14.3.7 シリアルステータスレジスタ（SSR）

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。SSR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

- 通常のシリアルコミュニケーションインタフェースモード（SCMRのSMIF＝0のとき）

ビット	ビット名	初期値	R/W	説　　明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 ［セット条件］ • SCR の TE が 0 のとき • TDR から TSR にデータが転送され、TDR がデータライト可能になったとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 ［セット条件］ • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。
5	ORER	0	R/(W)*	オーバランエラー ［セット条件］ • RDRF=1 の状態で次のデータを受信したとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき
4	FER	0	R/(W)*	フレーミングエラー ［セット条件］ • ストップビットが 0 のとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき 2 ストップのときも 1 ビット目のストップビットのみチェックします。

ビット	ビット名	初期値	R/W	説　　明
3	PER	0	R/(W)*	パリティエラー ［セット条件］ • 受信中にパリティエラーを検出したとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき
2	TEND	1	R	トランスミットエンド ［セット条件］ • SCR の TE が 0 のとき • 送信キャラクタの最後尾ビットの送信時、TDRE が 1 のとき ［クリア条件］ • TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき
1	MPB	0	R	マルチプロセッサビット 受信フレーム中のマルチプロセッサビットの値が格納されます。SCR の RE が 0 のときは変化しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ 送信フレームに付加するマルチプロセッサビットの値を設定します。

【注】　*　フラグをクリアするための 0 ライトのみ可能です。

- スマートカードインタフェース（SCMRのSMIF＝1のとき）

ビット	ビット名	初期値	R/W	説　　明
7	TDRE	1	R/(W)*[1]	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 ［セット条件］ • SCR の TE が 0 のとき • TDR から TSR にデータが転送され、TDR がデータライト可能になったとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき
6	RDRF	0	R/(W)*[1]	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 ［セット条件］ • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。
5	ORER	0	R/(W)*[1]	オーバランエラー ［セット条件］ • RDRF=1 の状態で次のデータを受信したとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき
4	ERS	0	R/(W)*[1]	エラーシグナルステータス ［セット条件］ • エラーシグナル Low をサンプリングしたとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき
3	PER	0	R/(W)*[1]	パリティエラー ［セット条件］ • 受信中にパリティエラーを検出したとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき

ビット	ビット名	初期値	R/W	説　　明
2	TEND	1	R	トランスミットエンド 受信側からのエラーシグナルの応答がなく、次の送信データを TDR に転送可能になったときセットされます。 ［セット条件］ • SCR の TE=0 かつ ERS=0 のとき • 1 バイトのデータを送信して一定期間後、ERS=0 かつ TDRE=1 のとき。 セットされるタイミングはレジスタの設定により以下のように異なります。 GM=0、BLK=0 のとき、送信開始から 2.5etu*2 後 GM=0、BLK=1 のとき、送信開始から 1.5etu*2 後 GM=1、BLK=0 のとき、送信開始から 1.0etu*2 後 GM=1、BLK=1 のとき、送信開始から 1.0etu*2 後 ［クリア条件］ • TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき
1	MPB	0	R	マルチプロセッサビット スマートカードインタフェースでは使用しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ スマートカードインタフェースではこのビットには 0 をライトして使用してください。

【注】 *1　フラグをクリアするための 0 ライトのみ可能です。

*2　etu：Element Time Unit　1 ビットの転送期間

14.3.8 スマートカードモードレジスタ（SCMR）

SCMR はスマートカードインタフェースおよびそのフォーマットを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説　　明
7～4	－	すべて 1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	SDIR	0	R/W	スマートカードデータトランスファディレクション シリアル／パラレル変換の方向を選択します。 0：TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 1：TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納 送受信フォーマットが 8 ビットデータの場合のみ有効です。7 ビットデータの場合は LSB ファーストに固定されます。
2	SINV	0	R/W	スマートカードデータインバート 送受信データのロジックレベルの反転を指定します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SMR の O/$\overline{E}$ ビットを反転してください。 0：TDR の内容をそのまま送信、受信データをそのまま RDR に格納 1：TDR の内容を反転して送信、受信データを反転して RDR に格納
1	－	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
0	SMIF	0	R/W	スマートカードインタフェースモードセレクト スマートカードインタフェースモードで動作させるとき 1 をセットします。 0：通常の調歩同期式またはクロック同期式モード 1：スマートカードインタフェースモード

14.3.9 ビットレートレジスタ（BRR）

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR の設定値 N とビットレート B の関係を**表 14.2** に示します。BRR の初期値は H'FF で、CPU から常にリード／ライト可能です。

表 14.2 BRR の設定値 N とビットレート B の関係

モード	ビットレート	誤差
調歩同期式	$B = \dfrac{\phi \times 10^6}{64 \times 2^{2n-1} \times (N+1)}$	誤差（%）＝ $\left\{ \dfrac{\phi \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式	$B = \dfrac{\phi \times 10^6}{8 \times 2^{2n-1} \times (N+1)}$	
スマートカードインタフェース	$B = \dfrac{\phi \times 10^6}{S \times 2^{2n+1} \times (N+1)}$	誤差（%）＝ $\left\{ \dfrac{\phi \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$

【注】 B：ビットレート（bit/s）

N：ボーレートジェネレータの BRR の設定値（0≦N≦255）

φ：動作周波数（MHz）

n と S：下表のとおり SMR の設定値によって決まります。

SMR の設定値		n
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

SMR の設定値		S
BCP1	BCP0	
0	0	32
0	1	64
1	0	372
1	1	256

通常の調歩同期式モードにおける BRR の値Ｎの設定例を**表 14.3** に、各動作周波数における設定可能な最大ビットレートを**表 14.4** に示します。また、クロック同期式モードにおける BRR の値Ｎの設定例を**表 14.6** に、スマートカードインタフェースにおける BRR の値Ｎの設定例を**表 14.8** に示します。スマートカードインタフェースでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は**「14.7.4 受信データサンプリングタイミングと受信マージン」**を参照してください。また、**表 14.5**、**表 14.7** に外部クロック入力時の最大ビットレートを示します。

表 14.3　ビットレートに対する BRR の設定例〔調歩同期式モード〕（1）

ビットレート (bit/s)	動作周波数φ（MHz）																	
	4			4.9152			5			6			6.144			7.3728		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差（%）	n	N	誤差 (%)	n	N	誤差(%)
110	2	70	0.03	2	86	0.31	2	88	−0.25	2	106	−0.44	2	108	0.08	2	130	−0.07
150	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00	2	95	0.00
300	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00	1	191	0.00
600	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00	1	95	0.00
1200	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00	0	191	0.00
2400	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00	0	95	0.00
4800	0	25	0.16	0	31	0.00	0	32	−1.36	0	38	0.16	0	39	0.00	0	47	0.00
9600	0	12	0.16	0	15	0.00	0	15	1.73	0	19	−2.34	0	19	0.00	0	23	0.00
19200	—	—	—	0	7	0.00	0	7	1.73	0	9	−2.34	0	9	0.00	0	11	0.00
31250	0	3	0.00	0	4	−1.70	0	4	0.00	0	5	0.00	0	5	2.40	—	—	—
38400	—	—	—	0	3	0.00	0	3	1.73	0	4	−2.34	0	4	0.00	0	5	0.00

ビットレート (bit/s)	動作周波数φ（MHz）																	
	8			9.8304			10			12			12.288			14		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差（%）	n	N	誤差(%)	n	N	誤差(%)
110	2	141	0.03	2	174	−0.26	2	177	−0.25	2	212	0.03	2	217	0.08	2	248	−0.17
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00	2	181	0.16
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00	2	90	0.16
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00	1	181	0.16
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00	1	90	0.16
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00	0	181	0.16
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00	0	90	0.16
9600	0	25	0.16	0	31	0.00	0	32	−1.36	0	38	0.16	0	39	0.00	0	45	−0.93
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	−2.34	0	19	0.00	0	22	−0.93
31250	0	7	0.00	0	9	−1.70	0	9	0.00	0	11	0.00	0	11	2.40	0	13	0.00
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	−2.34	0	9	0.00	—	—	—

【注】　誤差はなるべく 1%以内になるように設定してください。

【記号説明】－：設定可能ですが誤差がでます。

表 14.3　ビットレートに対する BRR の設定例〔調歩同期式モード〕（2）

ビットレート（bit/s）	動作周波数φ（MHz）								
	14.7456			16			17.2032		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	3	64	0.70	3	70	0.03	3	75	0.48
150	2	191	0.00	2	207	0.16	2	223	0.00
300	2	95	0.00	2	103	0.16	2	111	0.00
600	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	47	0.00	0	51	0.16	0	55	0.00
19200	0	23	0.00	0	25	0.16	0	27	0.00
31250	0	14	−1.70	0	15	0.00	0	16	1.20
38400	0	11	0.00	0	12	0.16	0	16	0.00

ビットレート（bit/s）	動作周波数φ（MHz）								
	18			19.6608			20		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	3	79	−0.12	3	86	0.31	3	88	−0.25
150	2	233	0.16	2	255	0.00	3	64	0.16
300	2	116	0.16	2	127	0.00	2	129	0.16
600	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	58	−0.69	0	63	0.00	0	64	0.16
19200	0	28	1.02	0	31	0.00	0	32	−1.36
31250	0	17	0.00	0	19	−1.70	0	19	0.00
38400	0	14	−2.34	0	15	0.00	0	15	1.73

【注】　誤差はなるべく 1%以内になるように設定してください。

【記号説明】－：設定可能ですが誤差がでます。

表 14.4 各動作周波数における最大ビットレート（調歩同期式モード）

φ（MHz）	最大ビットレート（bit/s）	n	N	φ（MHz）	最大ビットレート（bit/s）	n	N
4	125000	0	0	12	375000	0	0
4.9152	153600	0	0	12.288	384000	0	0
5	156250	0	0	14	437500	0	0
6	187500	0	0	14.7456	460800	0	0
6.144	192000	0	0	16	500000	0	0
7.3728	230400	0	0	17.2032	537600	0	0
8	250000	0	0	18	562500	0	0
9.8304	307200	0	0	19.6608	614400	0	0
10	312500	0	0	20	625000	0	0

表 14.5 外部クロック入力時の最大ビットレート（調歩同期式モード）

φ（MHz）	外部入力クロック（MHz）	最大ビットレート（bit/s）	φ（MHz）	外部入力クロック（MHz）	最大ビットレート（bit/s）
4	1.0000	62500	12	3.0000	187500
4.9152	1.2288	76800	12.288	3.0720	192000
5	1.2500	78125	14	3.5000	218750
6	1.5000	93750	14.7456	3.6864	230400
6.144	1.5360	96000	16	4.0000	250000
7.3728	1.8432	115200	17.2032	4.3008	268800
8	2.0000	125000	18	4.5000	281250
9.8304	2.4576	153600	19.6608	4.9152	307200
10	2.5000	156250	20	5.0000	312500

表 14.6　ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビットレート（bit/s）	動作周波数φ（MHz）									
	4		8		10		16		20	
	n	N	n	N	n	N	n	N	n	N
110	—	—								
250	2	249	3	124	—	—	3	249		
500	2	124	2	249	—	—	3	124	—	—
1k	1	249	2	124	—	—	2	249	—	—
2.5k	1	99	1	199	1	249	2	99	2	124
5k	0	199	1	99	1	124	1	199	1	249
10k	0	99	0	199	0	249	1	99	1	124
25k	0	39	0	79	0	99	0	159	0	199
50k	0	19	0	39	0	49	0	79	0	99
100k	0	9	0	19	0	24	0	39	0	49
250k	0	3	0	7	0	9	0	15	0	19
500k	0	1*	0	3	0	4	0	7	0	9
1M	0	0	0	1			0	3	0	4
2.5M					0	0*			0	1
5M									0	0*

【記号説明】

空欄　　：設定できません。

—　　：設定可能ですが誤差がでます。

*　　：連続送信／連続受信はできません。

表 14.7　外部クロック入力時の最大ビットレート（クロック同期式モード）

φ（MHz）	外部入力クロック（MHz）	最大ビットレート（bit/s）	φ（MHz）	外部入力クロック（MHz）	最大ビットレート（bit/s）
4	0.6667	666666.7	14	2.3333	2333333.3
6	1.0000	1000000.0	16	2.6667	2666666.7
8	1.3333	1333333.3	18	3.0000	3000000.0
10	1.6667	1666666.7	20	3.3333	3333333.3
12	2.0000	2000000.0			

表 14.8 ビットレートに対する BRR の設定例
（スマートカードインタフェースモードで n＝0、S＝372 のとき）

ビットレート（bit/s）	動作周波数φ（MHz）														
	7.1424			10.00			13.00			14.2848			16.00		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
9600	0	0	0.00	0	1	30	0	1	－8.99	0	1	0.00	0	1	12.01

ビットレート（bit/s）	動作周波数φ（MHz）					
	18.00			20.00		
	n	N	誤差（%）	n	N	誤差（%）
9600	0	2	－15.99	0	2	－6.65

表 14.9 各動作周波数における最大ビットレート
（スマートカードインタフェースモードで S＝372 のとき）

φ（MHz）	最大ビットレート（bit/s）	n	N	φ（MHz）	最大ビットレート（bit/s）	n	N
7.1424	9600	0	0	16.00	21505	0	0
10.00	13441	0	0	18.00	24194	0	0
13.00	17473	0	0	20.00	26882	0	0
14.2848	19200	0	0				

14.3.10 キーボードコンパレータコントロールレジスタ（KBCOMP）

KBCOMP は、SCI_1 の IrDA 動作の制御を行います。

ビット	ビット名	初期値	R/W	説　　明
7	IrE	0	R/W	IrDA イネーブル SCI_1 の入出力端子を、通常 SCI か IrDA かに設定します。 0：TxD1/IrTxD、RxD1/IrRxD 端子は、TxD1、RxD1 として動作 1：TxD1/IrTxD、RxD1/IrRxD 端子は、IrTxD、IrRxD として動作
6 5 4	IrCKS2 IrCKS1 IrCKS0	0 0 0	R/W R/W R/W	IrDA クロックセレクト 2～0 IrDA 機能をイネーブルにしたとき、IrTxD 出力パルスエンコード時の High パルス幅を設定します。 000：B×3/16（ビットレートの 16 分の 3） 001：φ／2 010：φ／4 011：φ／8 100：φ／16 101：φ／32 110：φ／64 111：φ／128
3	IrTxINV	0	R/W	IrTx データインバート IrTxD 出力のロジックレベルの反転を指定します。反転したときビット 6～4 で指定した High パルス幅は Low パルス幅となります。 0：送信データをそのまま IrTxD 出力 1：送信データを反転して IrTxD 出力
2	IrRxINV	0	R/W	IrRx データインバート IrRxD 入力のロジックレベルの反転を指定します。反転したときビット 6～4 で指定した High パルス幅は Low パルス幅となります。 0：IrRxD 入力をそのまま受信データとして使用 1：IrRxD 入力を反転して受信データとして使用
1 0	－ －	0 0	R R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

14.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 14.2 に示します。1 フレームは、スタートビット（Low レベル）から始まり送受信データ、パリティビット、ストップビット（High レベル）の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態（High レベル）に保たれています。SCI は通信回線を監視し、スペース（Low レベル）を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信および受信中にデータのリード／ライトができ、連続送受信が可能です。

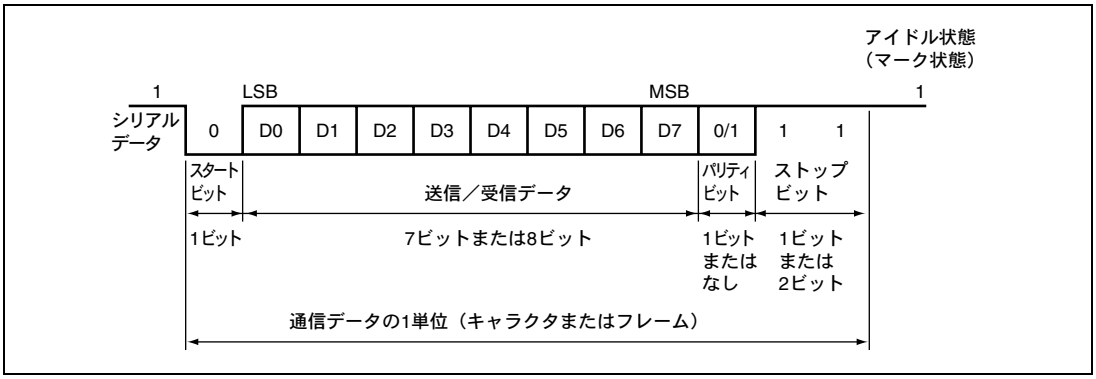


図 14.2 調歩同期式通信のデータフォーマット（8 ビットデータ／パリティあり／2 ストップビットの例）

14.4.1　送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、**表 14.10** に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「**14.5　マルチプロセッサ通信機能**」を参照してください。

表 14.10　シリアル送信／受信フォーマット（調歩同期式モード）

SMRの設定				シリアル送信／受信フォーマットとフレーム長
CHR	PE	MP	STOP	1 2 3 4 5 6 7 8 9 10 11 12
0	0	0	0	S 8ビットデータ STOP
0	0	0	1	S 8ビットデータ STOP STOP
0	1	0	0	S 8ビットデータ P STOP
0	1	0	1	S 8ビットデータ P STOP STOP
1	0	0	0	S 7ビットデータ STOP
1	0	0	1	S 7ビットデータ STOP STOP
1	1	0	0	S 7ビットデータ P STOP
1	1	0	1	S 7ビットデータ P STOP STOP
0	－	1	0	S 8ビットデータ MPB STOP
0	－	1	1	S 8ビットデータ MPB STOP STOP
1	－	1	0	S 7ビットデータ MPB STOP
1	－	1	1	S 7ビットデータ MPB STOP STOP

【記号説明】

S　　：スタートビット

STOP　：ストップビット

P　　：パリティビット

MPB　：マルチプロセッサビット

14.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、図 14.3 に示すように受信データを基本クロックの 8 ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式（1）のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N}\right) - \frac{D-0.5}{N}(1+F) - (L-0.5)F \right\} \times 100 \quad [\%] \qquad \cdots \text{式（1）}$$

M：受信マージン（%）

N：クロックに対するビットレートの比（N=16）

D：クロックのデューティ（D=0.5～1.0）

L：フレーム長（L=9～12）

F：クロック周波数の偏差の絶対値

式（1）で、F（クロック周波数の偏差の絶対値）=0、D（クロックのデューティ）=0.5 とすると、

$$M = \{0.5 - 1/(2 \times 16)\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20～30%の余裕を持たせてください。

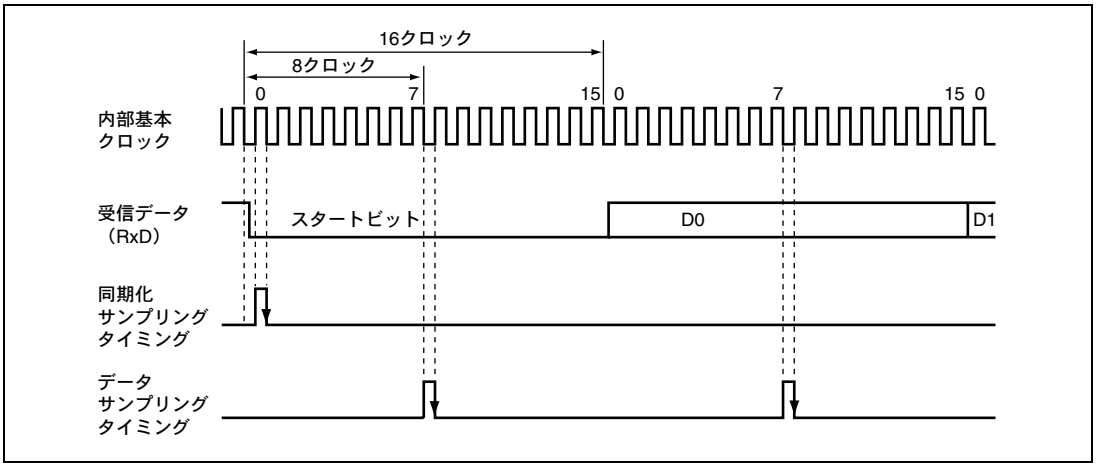


図 14.3 調歩同期式モードの受信データサンプリングタイミング

14.4.3 クロック

SCI の送受信クロックは、SMR の C/$\overline{A}$ ビットと SCR の CKE1、CKE0 ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックまたは SCK 端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK 端子にビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるときは SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は**図 14.4** に示すように送信データの中央でクロックが立ち上がります。

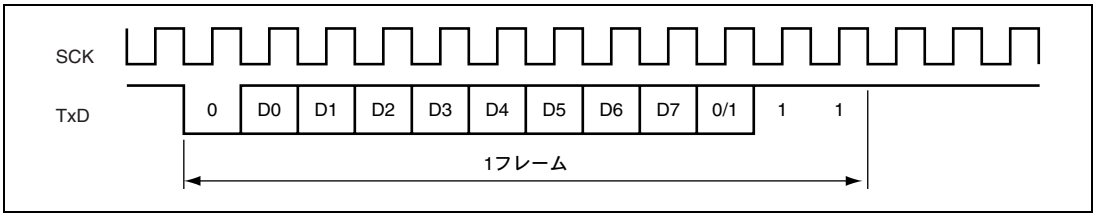
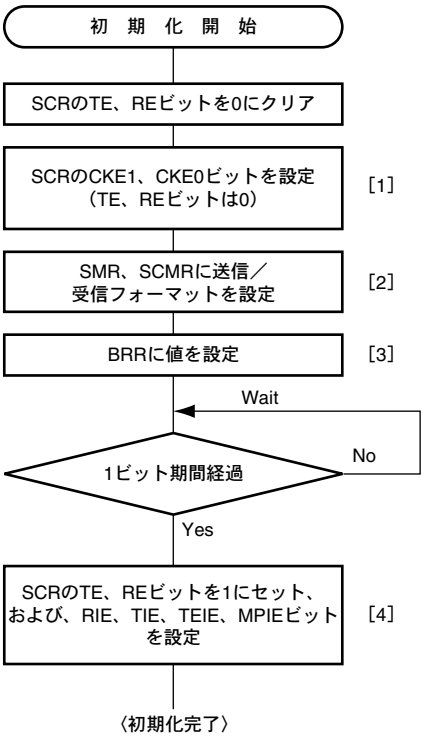


図 14.4 出力クロックと送信データの位相関係（調歩同期式モード）

14.4.4 SCI の初期化（調歩同期式）

データの送受信前に、SCR の TE、RE ビットをクリアした後、**図 14.5** のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、SSR の TDRE は 1 にセットされますが、RE を 0 にクリアしても、SSR の RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。



[1]　SCRにクロックの選択を設定してください。
なお、RIE、TIE、TEIE、MPIE、およびTE、REビットは必ず0にクリアしてください。
調歩同期式モードでクロックを選択した場合には、SCRの設定後、直ちに出力されます。

[2]　SMR、SCMRに送信／受信フォーマットを設定します。

[3]　BRRにビットレートに対応する値をライトします。ただし、外部クロックを使用する場合には必要ありません。

[4]　少なくとも1ビット期間待ってから、SCRのTEビットまたはREビットを1にセットします。また、RIE、TIE、TEIE、MPIEビットを設定してください。
TE、REビットを設定するとことによりTxD、RxD端子が使用可能となります。

図 14.5　SCI の初期化フローチャートの例

14.4.5 シリアルデータ送信（調歩同期式）

図 14.6 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット（フォーマットによってはない場合もあります）、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDを1をセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEI割り込み要求を発生します。

図 14.7 にデータ送信のフローチャートの例を示します。

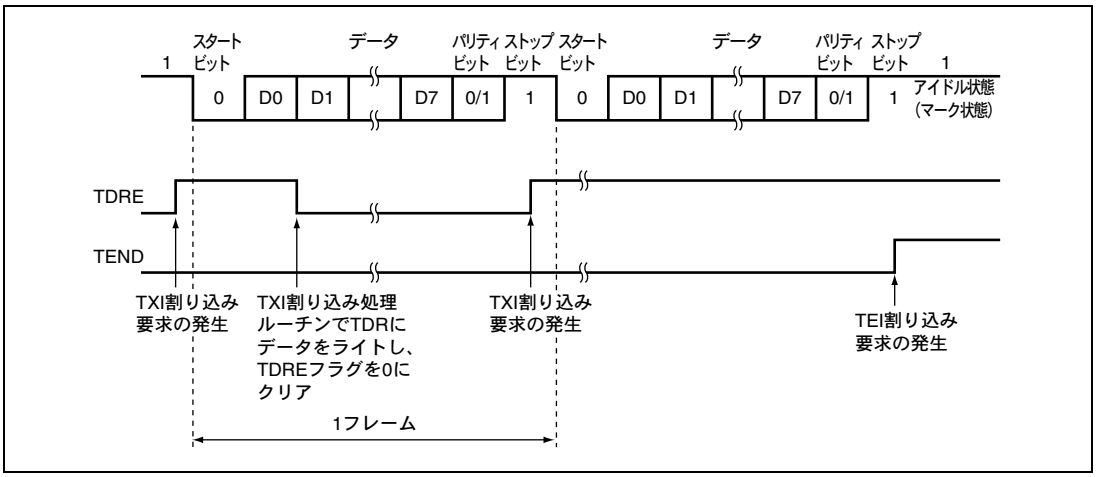
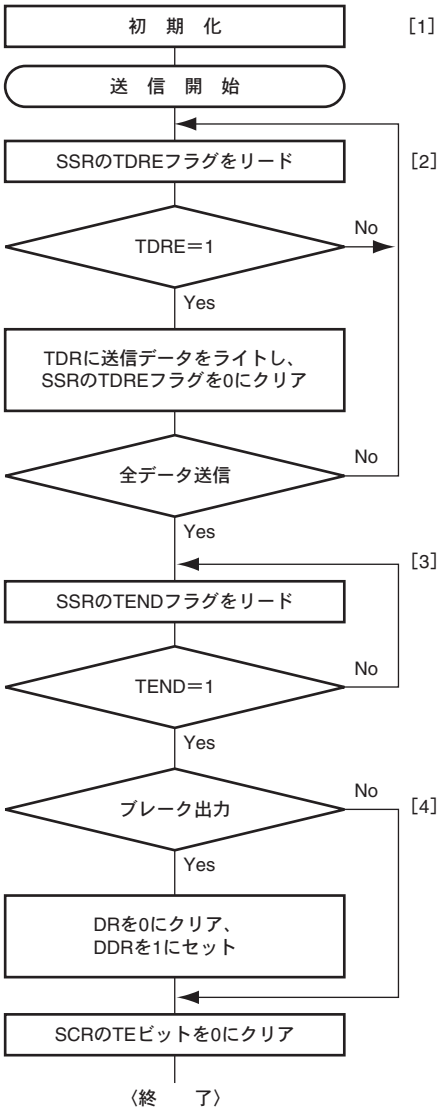


図 14.6 調歩同期式モードの送信時の動作例（8 ビットデータ／パリティあり／1 ストップビットの例）



[1] SCIを初期化：
TxD端子は自動的に送信データ出力端子になります。
TEビットを1にセットした後、1フレーム分の1を出力して送信可能状態になります。

[2] SCIの状態を確認して、送信データをライト：
SSRをリードして、TDREフラグが1であることを確認した後、TDRに送信データをライトし、TDREフラグを0にクリアします。

[3] シリアル送信の継続手順：
シリアル送信を続けるときには、TDREフラグの1をリードしてライト可能であることを確認した後にTDRにデータをライトし、続いてTDREフラグを0にクリアしてください。

[4] シリアル送信の終了時にブレークを出力：
シリアル送信時にブレークを出力するときには、TxD端子に対応するポートのDDRを1にセット、DRを0にクリアした後にSCRのTEビットを0にクリアします。

図 14.7　シリアル送信のフローチャートの例

14.4.6 シリアルデータ受信（調歩同期式）

図 14.8 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき（SSRのRDRFが1にセットされたまま次のデータを受信完了したとき）はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
4. フレーミングエラー（ストップビットが 0 のとき）を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

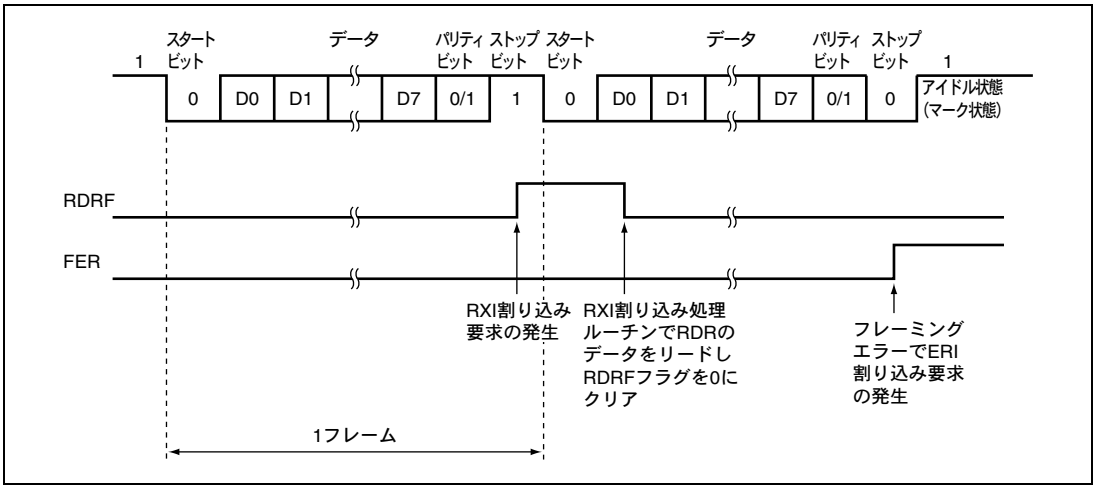


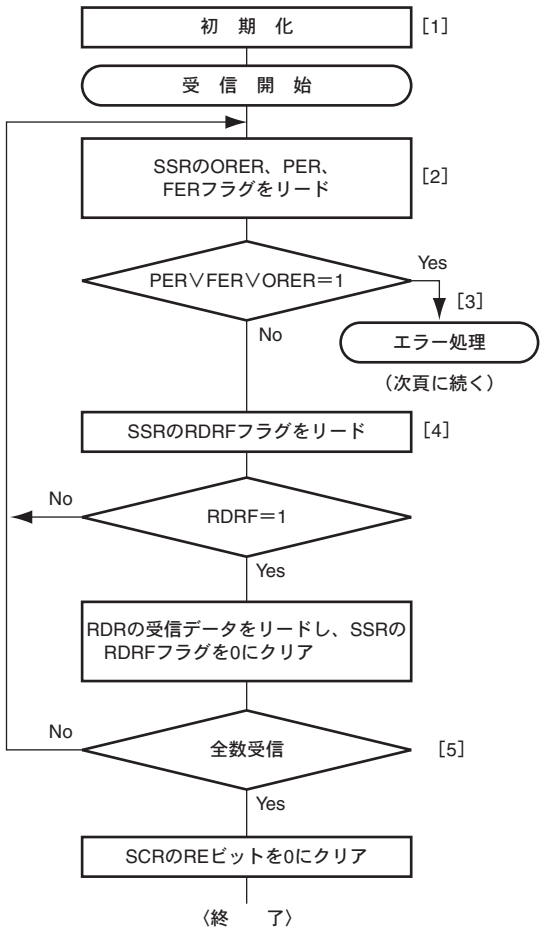
図 14.8 SCI の受信時の動作例（8 ビットデータ／パリティあり／1 ストップビットの例）

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を表 14.11 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 14.9 にデータ受信のためのフローチャートの例を示します。

表 14.11　SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー＋フレーミングエラー
1	1	0	1	消失	オーバランエラー＋パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー＋パリティエラー
1	1	1	1	消失	オーバランエラー＋フレーミングエラー＋パリティエラー

【注】　*　RDRF は、データ受信前の状態を保持します。



[1] SCIの初期化：
RxD端子は自動的に受信データ入力端子になります。

[2] [3] 受信エラー処理とブレークの検出：
受信エラーが発生したときには、SSRのORER、PER、FERの各フラグをリードしてエラーを判定します。所定のエラー処理を行った後、必ず、ORER、PER、FERフラグをすべて0にクリアしてください。ORER、PER、FERフラグのいずれかが1にセットされた状態では受信を再開できません。また、フレーミングエラー時にRxD端子に対応する入力ポートの値をリードすることでブレークの検出ができます。

[4] SCIの状態を確認して受信データのリード：
SSRをリードして、RDRF＝1であることを確認した後、RDRの受信データをリードし、RDRFフラグを0にクリアします。RDRFフラグが0から1に変化したことは、RXI割り込みによっても知ることができます。

[5] シリアル受信の継続手順：
シリアル受信を続けるときには、現在のフレームのストップビットを受信する前に、RDRFフラグのリード、RDRのリード、RDRFフラグを0にクリアしておいてください。

【記号説明】
∨：論理和（OR）

図 14.9　シリアル受信データフローチャートの例（1）

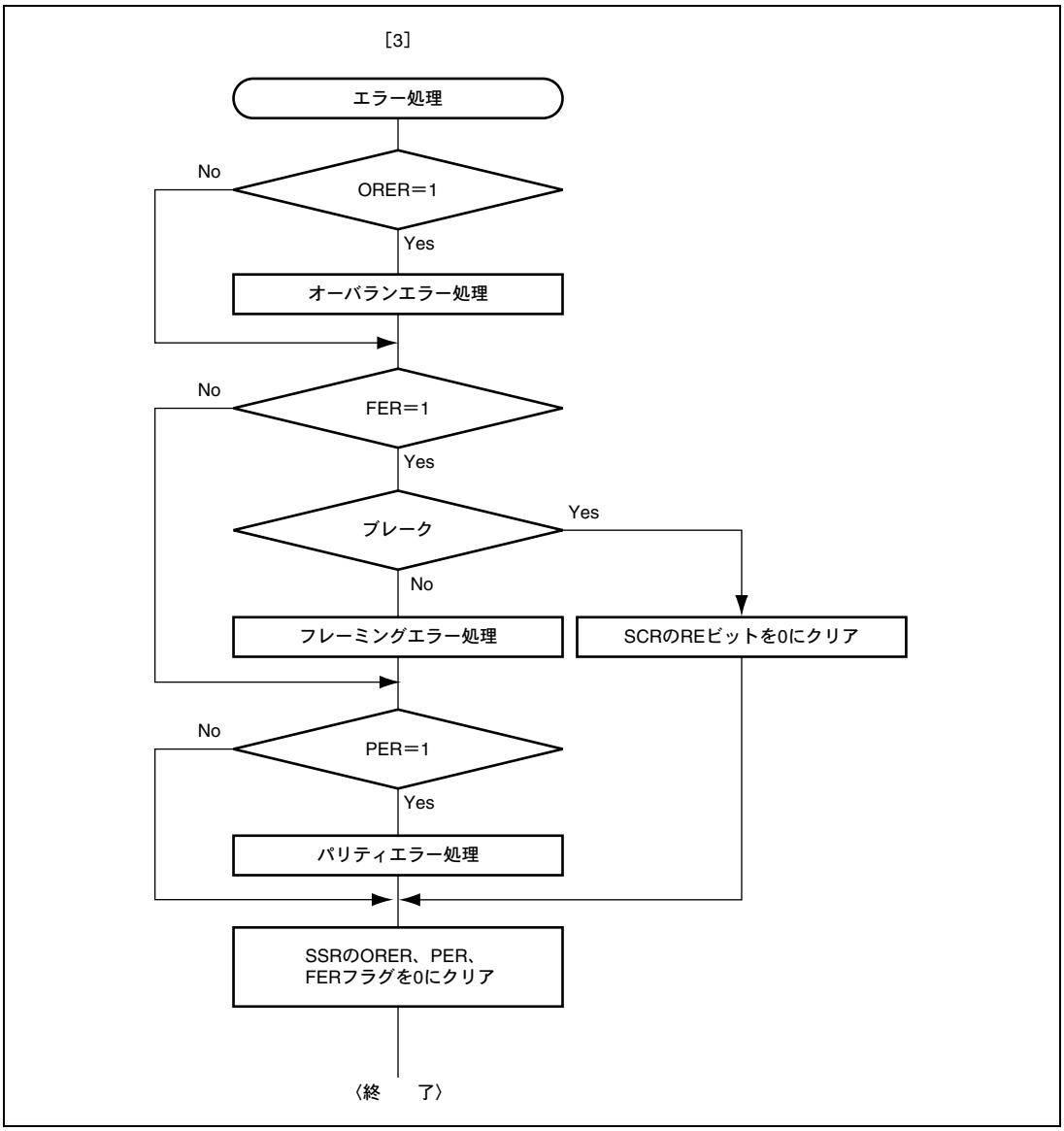


図 14.9　シリアル受信データフローチャートの例（2）

14.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 14.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCI はこの機能をサポートするため、SCR に MPIE ビットが設けてあります。MPIE を 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR の MPB が 1 にセットされるとともに MPIE が自動的にクリアされて通常の受信動作に戻ります。このとき SCR の RIE がセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

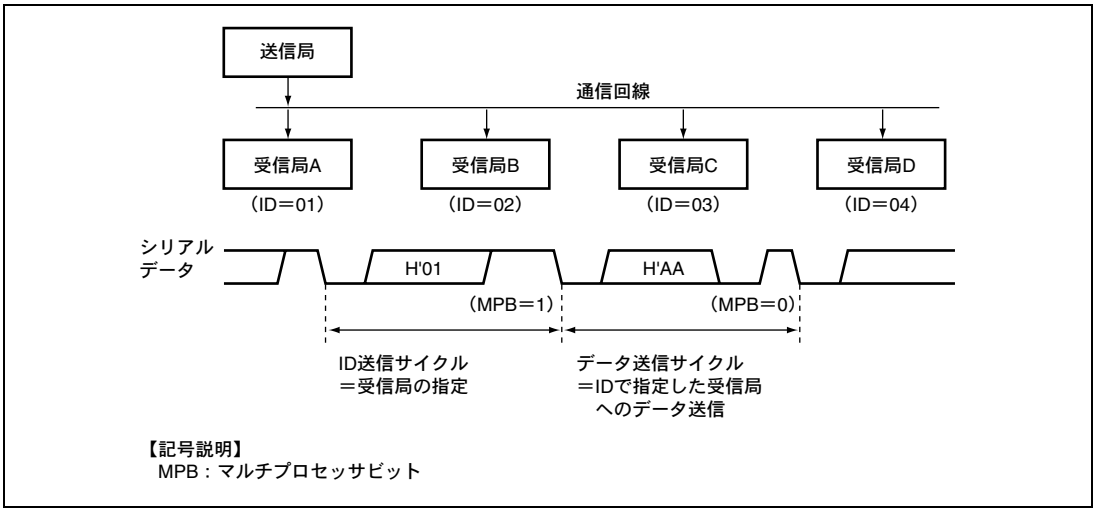


図 14.10 マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ H'AA の送信の例）

14.5.1　マルチプロセッサシリアルデータ送信

図 14.11 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

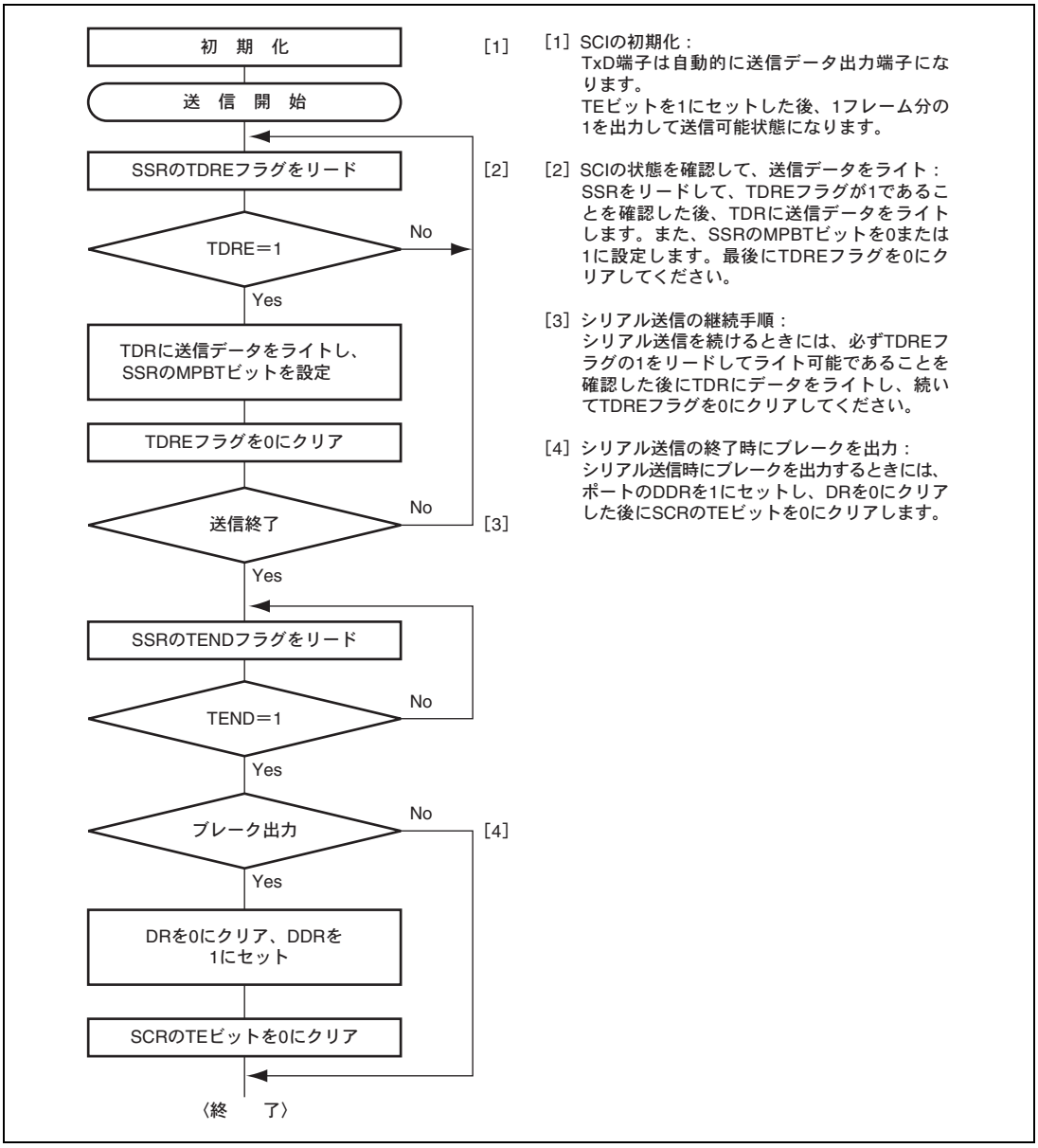


図 14.11　マルチプロセッサシリアル送信のフローチャートの例

14.5.2 マルチプロセッサシリアルデータ受信

図 14.13 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。図 14.12 に受信時の動作例を示します。

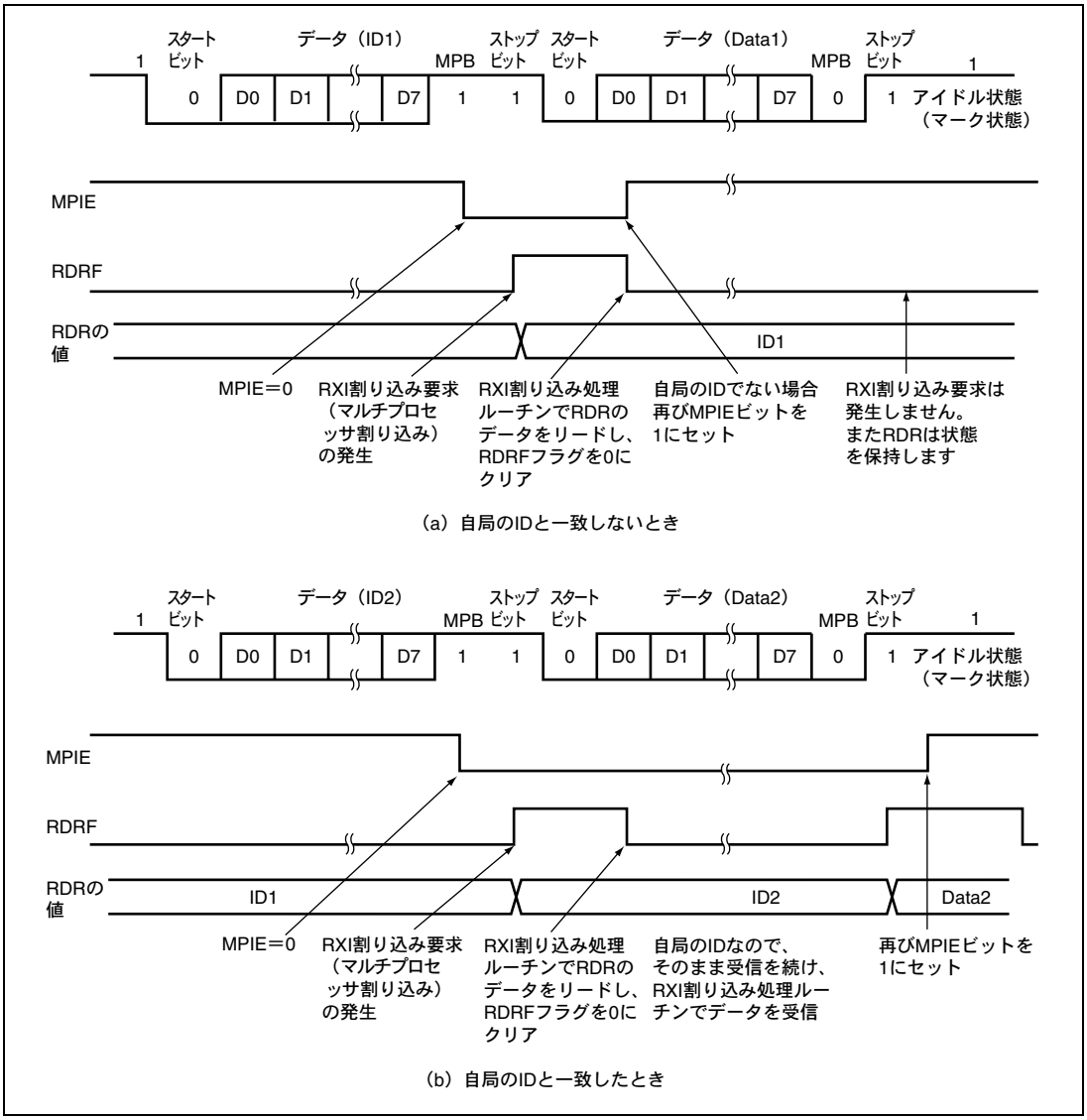


図 14.12 SCI の受信時の動作例（8 ビットデータ／マルチプロセッサビットあり／1 ストップビットの例）

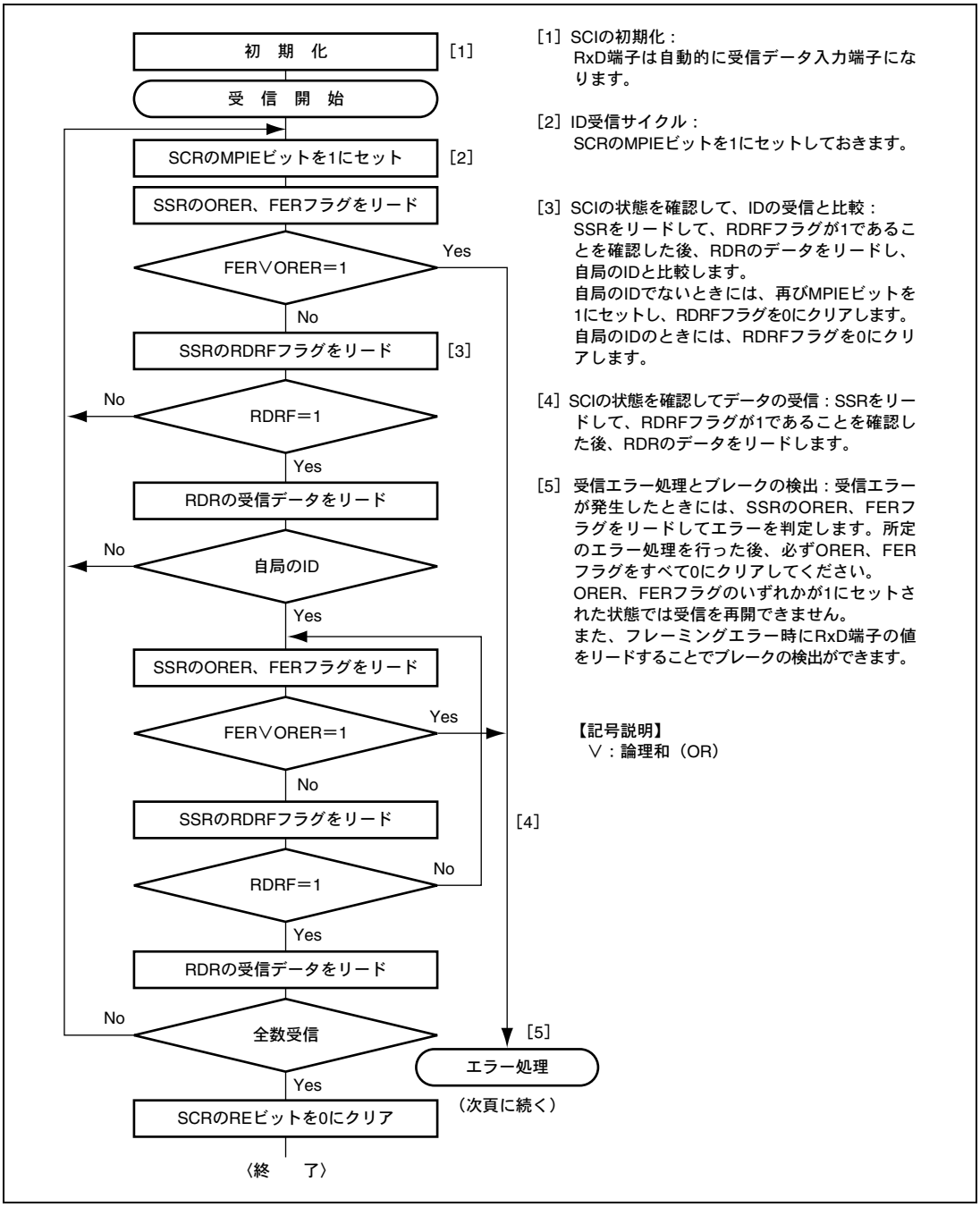


図 14.13　マルチプロセッサシリアル受信のフローチャートの例（1）

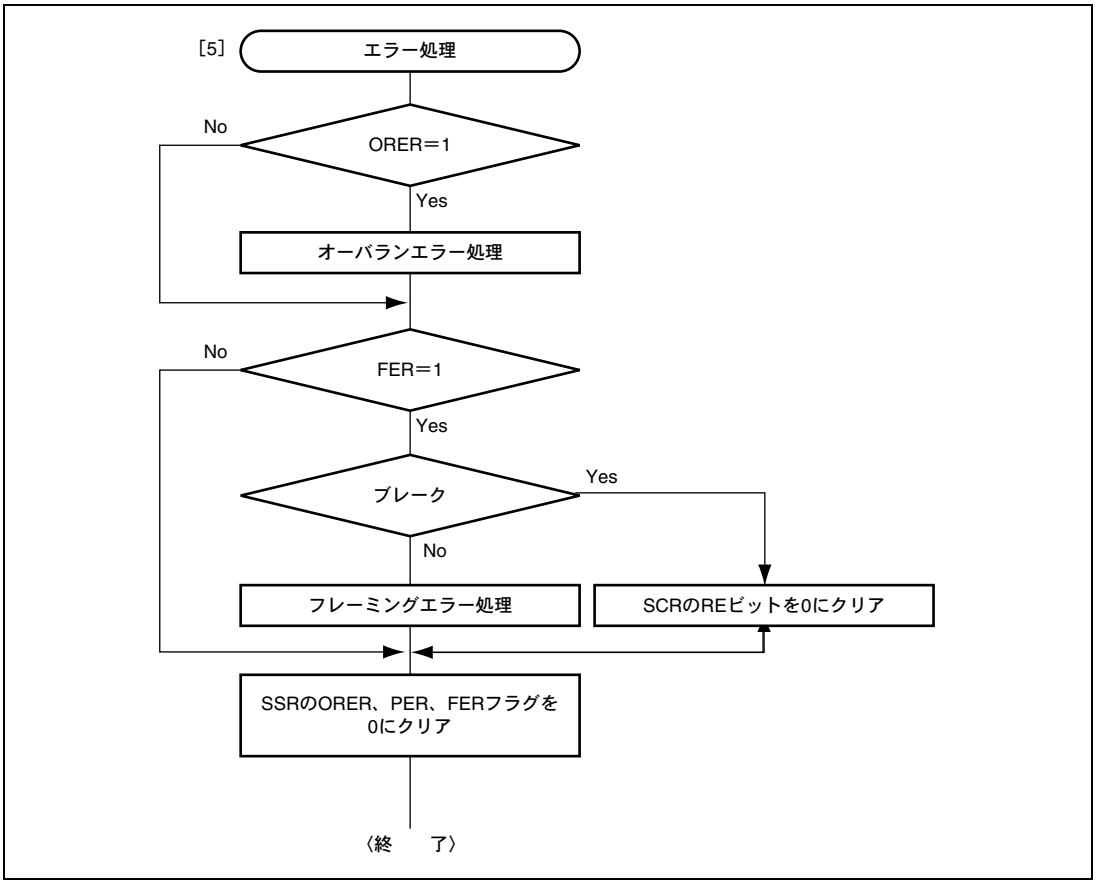


図 14.13　マルチプロセッサシリアル受信のフローチャートの例（2）

14.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを図 14.14 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI はデータ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部／受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

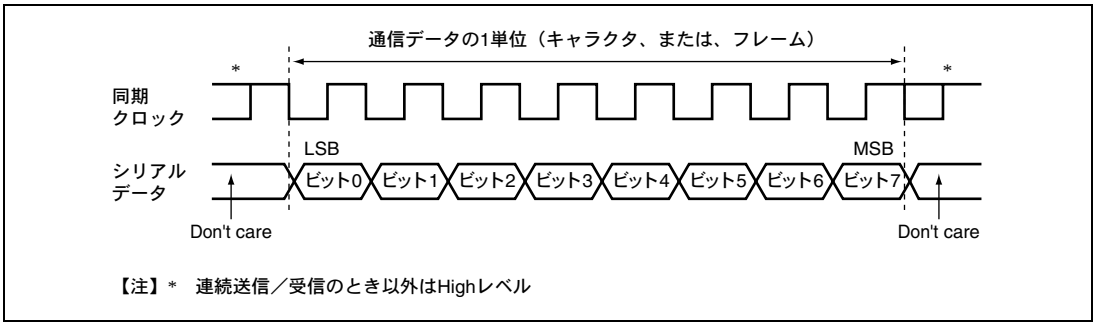


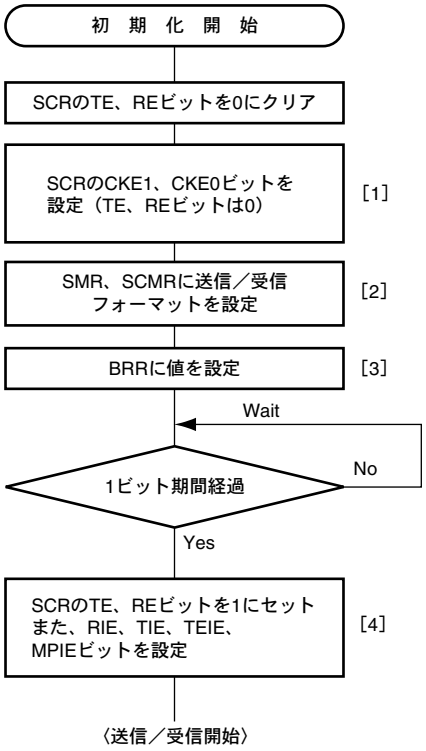
図 14.14 クロック同期式通信のデータフォーマット（LSB ファーストの場合）

14.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ボーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

14.6.2 SCI の初期化（クロック同期式）

データの送受信前に、SCR の TE、RE ビットをクリアした後、図 14.15 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、SSR の TDRE は 1 にセットされますが、RE を 0 にクリアしても、SSR の RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。



[1] SCRにクロックの選択を設定してください。なお、RIE、TIE、TEIE、MPIE、TE、REビットには必ず0を設定してください。

[2] SMR、SCMRに送信／受信フォーマットを設定します。

[3] BRRにビットレートに対応する値をライトします。ただし、外部クロックを使用する場合にはこの作業は必要ありません。

[4] 少なくとも1ビット期間待ってから、SCRのTE、またはREビットを1にセットします。
また、RIE、TIE、TEIE、MPIEビットを設定してください。
TE、REビットの設定でTxD、RxD端子が使用可能になります。

【注】 送受信同時動作の場合は、TEビット、REビットの0クリア、1セットの設定は、同時に行ってください。

図 14.15 SCI の初期化フローチャートの例

14.6.3 シリアルデータ送信（クロック同期式）

図 14.16 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD端子から8ビットのデータを出力します。
4. 最終ビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、最終ビット出力状態を保持します。このときSCRのTEIEが1にセットされているとTEI割り込み要求を発生します。SCK端子はHighレベルに固定されます。

図 14.17 にデータ送信のフローチャートの例を示します。受信エラーフラグ（ORER、FER、PER）が 1 にセットされた状態では TDRE をクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを 0 にクリアしておいてください。また、受信エラーフラグは RE ビットをクリアしただけではクリアされませんので注意してください。

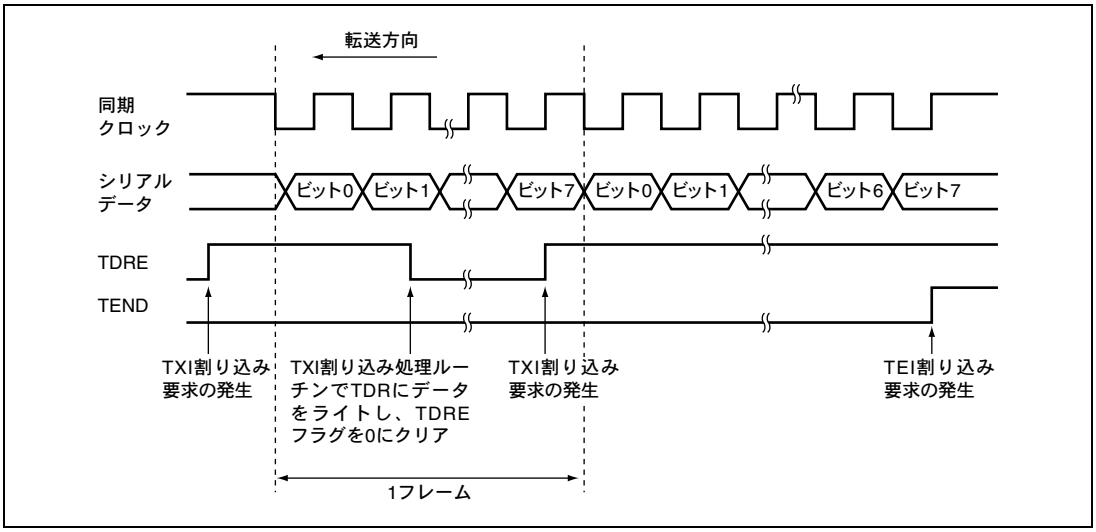
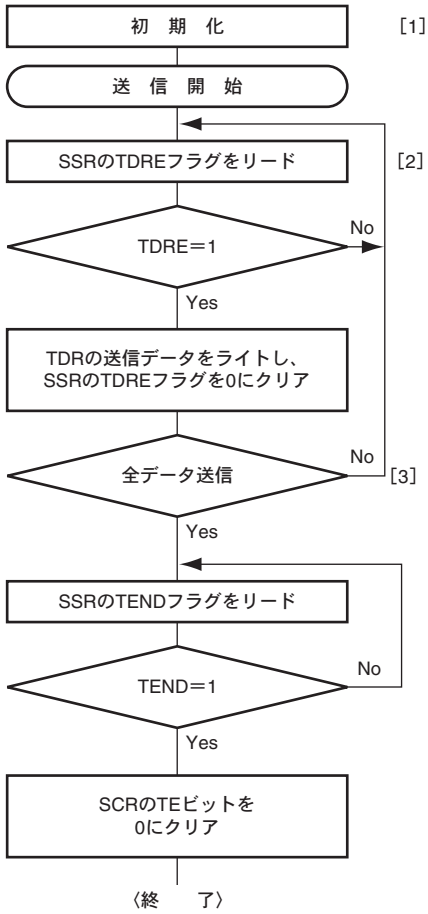


図 14.16 クロック同期式モードの送信時の動作例



[1] SCIの初期化：
TxD端子は自動的に送信データ出力端子になります。

[2] SCIの状態を確認して、送信データをライト：
SSRをリードして、TDREフラグが1であることを確認した後、TDRに送信データをライトし、TDREフラグを0にクリアします。

[3] シリアル送信の継続手順：
シリアル送信を続けるときには、必ずTDREフラグの1をリードしてライト可能であることを確認した後にTDRにデータをライトし、続いてTDREフラグを0にクリアしてください。

図 14.17　シリアル送信のフローチャートの例

14.6.4 シリアルデータ受信（クロック同期式）

図 14.18 にクロック同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCIは同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データをRSRに取り込みます。
2. オーバランエラーが発生したとき（SSRのRDRFが1にセットされたまま次のデータを受信完了したとき）はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

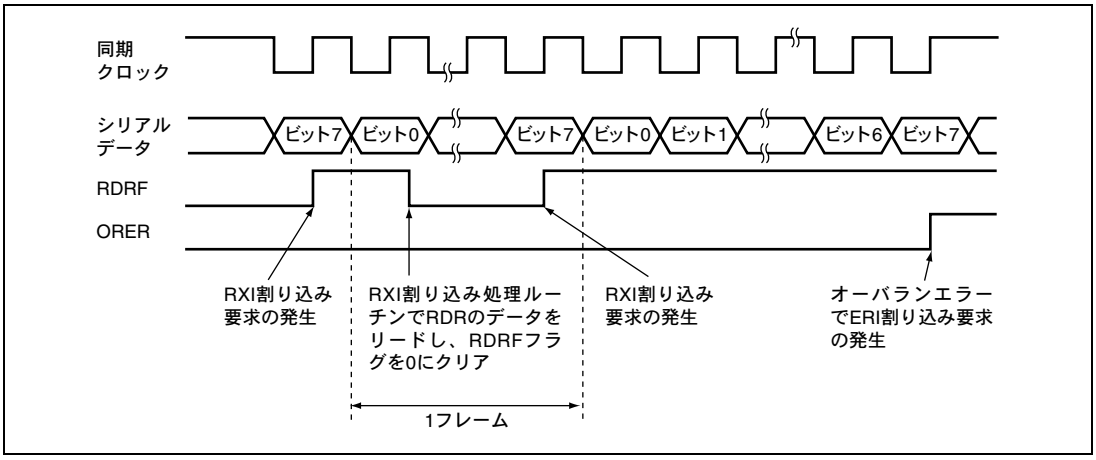
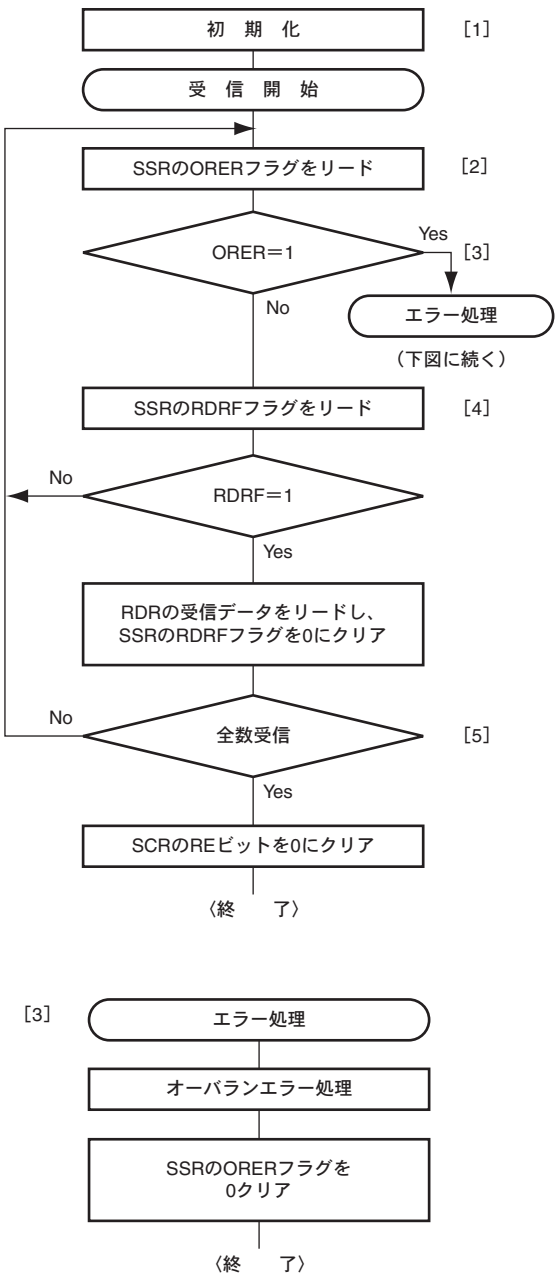


図 14.18 SCI の受信時の動作例

受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 14.19 にデータ受信のためのフローチャートの例を示します。



[1] SCIの初期化：
RxD端子は自動的に受信データ入力端子になります。

[2] [3] 受信エラー処理：
受信エラーが発生したときには、SSRのORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを0にクリアしてください。ORERフラグが1にセットされた状態では、送信／受信を再開できません。

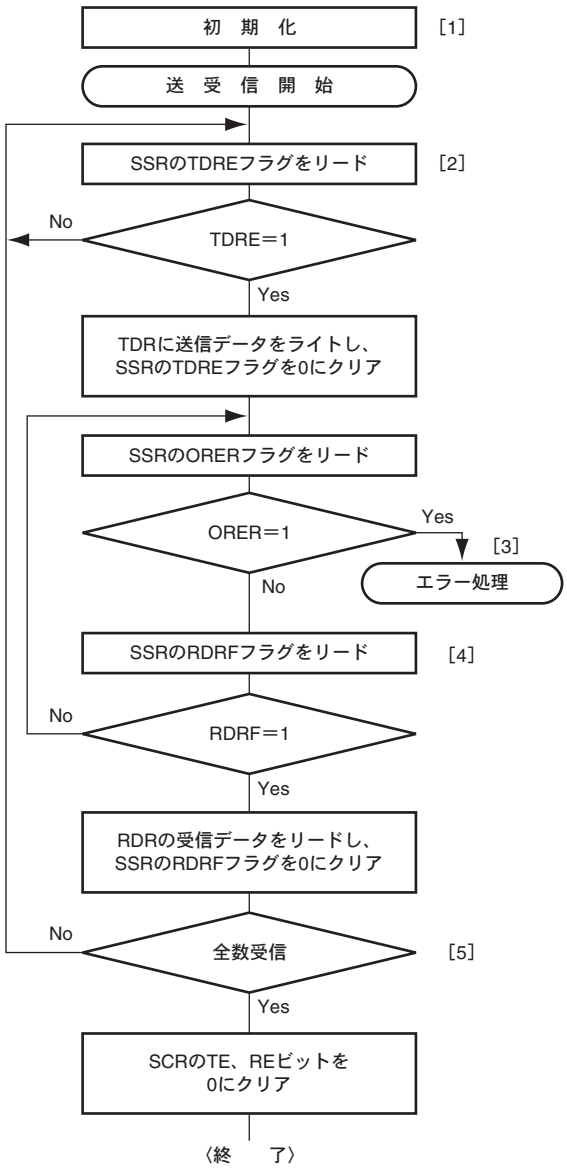
[4] SCIの状態を確認して受信データのリード：
SSRをリードして、RDRFフラグが1であることを確認した後、RDRの受信データをリードし、RDRFフラグを0にクリアします。RDRFフラグが0から1に変化したことは、RXI割り込みによっても知ることができます。

[5] シリアル受信の継続手順：
シリアル受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前に、RDRFフラグのリード、RDRのリード、RDRFフラグの0クリアを終了しておいてください。

図 14.19　シリアルデータ受信フローチャートの例

14.6.5 シリアルデータ送受信同時動作（クロック同期式）

図 14.20 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、SSR の TDRE および TEND が 1 にセットされていることを確認した後、SCR の TE ビットを 0 にクリアしてから TE および RE ビットを 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE ビットを 0 にクリアしてから SSR の RDRF およびエラーフラグ（ORER、FER、PER）が 0 にクリアされていることを確認した後、TE および RE ビットを 1 命令で同時に 1 にセットしてください。



[1] 初期化：
TxD端子は送信データ出力端子に、RxD端子は受信データ入力端子になり送受信同時動作可能状態になります。

[2] SCIの状態確認と送信データのライト：
SSRをリードしてTDREフラグが1であることを確認した後、TDRに送信データをライトし、TDREフラグを0にクリアします。
TDREフラグが0から1に変化したことは、TXI割り込みによっても知ることができます

[3] 受信エラー処理：
受信エラーが発生したときには、SSRのORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを0にクリアしてください。
ORERフラグが1にセットされた状態では送信／受信を再開できません。

[4] SCIの状態を確認して受信データのリード：
SSRをリードして、RDRFフラグが1であることを確認した後、RDRの受信データをリードし、RDRFフラグを0にクリアします。RDRFフラグが0から1に変化したことは、RXI割り込みによっても知ることができます。

[5] シリアル送受信の継続手順：
シリアル送受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前に、RDRFフラグのリード、RDRのリード、RDRFフラグの0クリアを終了しておいてください。また、現在のフレームのMSB（ビット7）を送信する前にTDREフラグの1をリードしてライト可能であることを確認してください。さらにTDRにデータをライトし、TDREフラグを0にクリアしておいてください。

【注】　送信、または受信動作から同時送受信に切り替えるときには、TEビットとREビットを0にクリアしてからTEビットとREビットを同時に1にセットしてください。

図 14.20　シリアル送受信同時動作のフローチャートの例

14.7 スマートカードインタフェースの動作説明

SCI はシリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3（Identification Card）に準拠した IC カード（スマートカード）とのインタフェースをサポートしています。スマートカードインタフェースモードへの切り替えはレジスタにより行います。

14.7.1 接続例

図 14.21 にスマートカードとの接続例を示します。IC カードとは 1 本のデータ伝送線で送受信が行われるので、TxD 端子と RxD 端子とを結線し、データ伝送線は抵抗で電源 Vcc 側にプルアップしてください。IC カードを接続しない状態で SCR の RE、TE ビットをそれぞれ 1 に設定すると、閉じた送信／受信が可能となり自己診断をすることができます。SCI で生成するクロックを IC カードに供給する場合は、SCK 端子出力を IC カードの CLK 端子に入力してください。リセット信号の出力には本 LSI の出力ポートを使用できます。

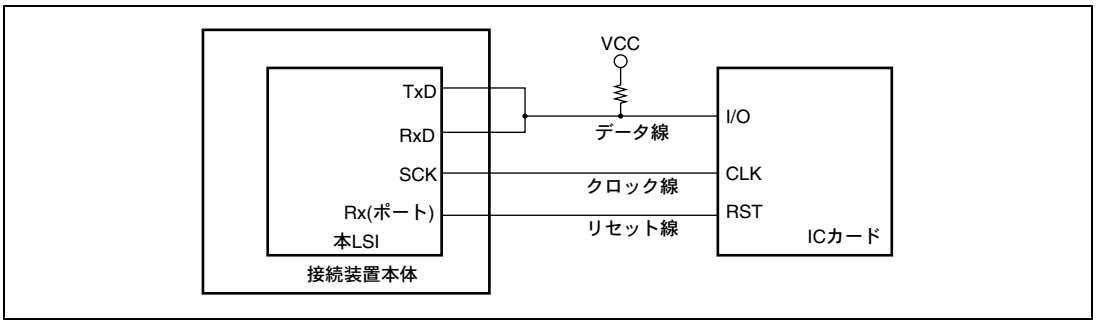


図 14.21 スマートカードインタフェース端子接続概要

14.7.2 データフォーマット（ブロック転送モード時を除く）

図 14.22 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで2etu（Elementary Time Unit：1ビットの転送期間）以上のガードタイムをおきます。
- 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。
- 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを再送信します。

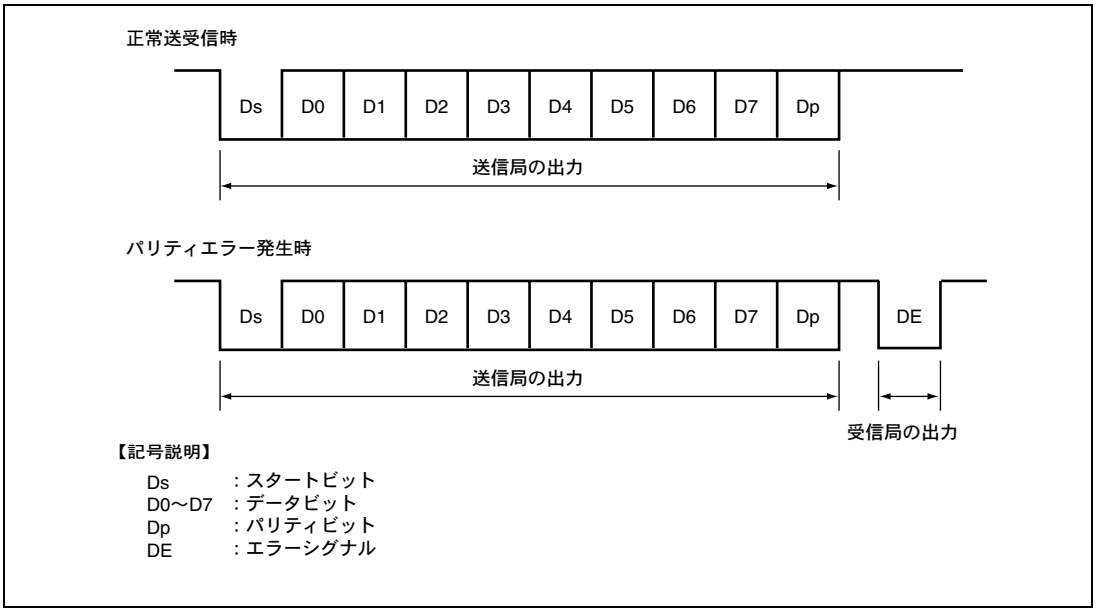


図 14.22　通常のスマートカードインタフェースのデータフォーマット

ダイレクトコンベンションタイプとインバースコンベンションタイプの 2 種類の IC カードとの送受信は次のように行ってください。

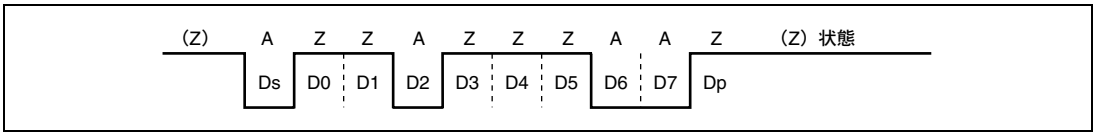


図 14.23　ダイレクトコンベンション（SDIR＝SINV＝O/$\overline{E}$＝0）

ダイレクトコンベンションタイプは上記開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。上記の開始キャラクタではデータは H'3B となります。ダイレクトコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 0 にセットしてください。また、スマートカードの規程により偶数パリティとなるよう SMR の O/$\overline{E}$ ビットには 0 をセットしてください。

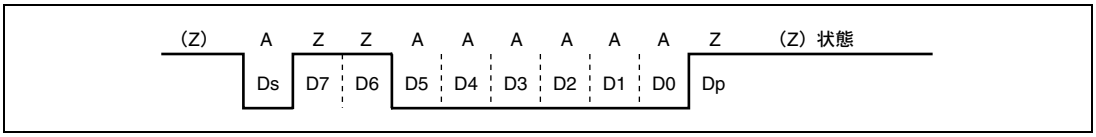


図 14.24　インバースコンベンション（SDIR＝SINV＝O/$\overline{E}$＝1）

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。上記の開始キャラクタではデータは H'3F となります。インバースコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 1 にセットしてください。パリティビットはスマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。本 LSI では、SINV ビットはデータビット D7～D0 のみ反転させます。このため、送受信とも SMR の O/$\overline{E}$ ビットに 1 を設定してパリティビットを反転させてください。

14.7.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースと比較して以下の点が異なります。

- 受信時はパリティチェックを行いますが、エラーを検出してもエラーシグナルは出力しません。SSRのPER はセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から次のフレーム開始までのガードタイムは最小1etu以上です。
- 送信時は再送信を行わないため、SSRのTENDフラグは送信開始から11.5etu後にセットされます。
- ERSフラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に0となります。

14.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースで使用できる送受信クロックは内蔵ボーレートジェネレータの生成した内部クロックのみです。スマートカードインタフェースモードでは、SCI は BCP1、BCP0 の設定によりビットレートの 32 倍、64 倍、372 倍、256 倍（通常の調歩同期式モードでは 16 倍に固定されています）の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、**図 14.25** に示すように受信データを基本クロックのそれぞれ 16、32、186、128 ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N}\right) - (L-0.5)F - \frac{|D-0.5|}{N}(1+F) \right| \times 100\,[\%] \quad \cdots \text{式（1）}$$

M：受信マージン（%）

N：クロックに対するビットレートの比（N＝32、64、372、256）

D：クロックデューティ（D＝0～1.0）

L：フレーム長（L＝10）

F：クロック周波数の偏差の絶対値

式（1）で、F＝0、D＝0.5、N＝372 とすると、受信マージンは次のようになります。

$$M = (0.5 - 1/2 \times 372) \times 100\,[\%] = 49.866\%$$

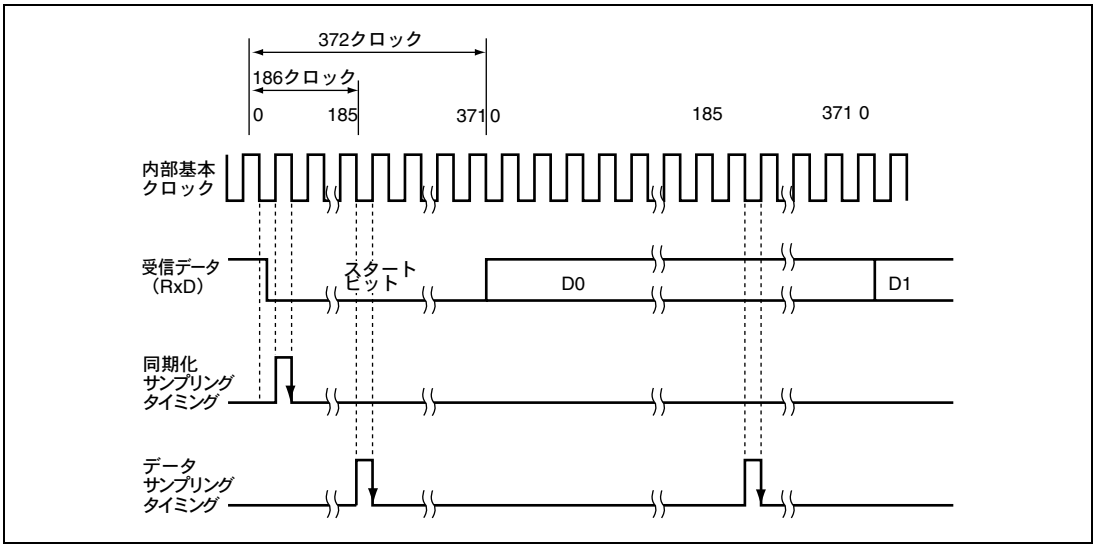


図 14.25　スマートカードインタフェースモード時の受信データサンプリングタイミング（372 倍のクロック使用時）

14.7.5　初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRのTE、REビットを0にクリアします。
2. SSRのエラーフラグORER、ERS、PERを0にクリアしてください。
3. SMRのGM、BLK、O/$\overline{\text{E}}$、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。
4. SCMRのSMIF、SDIR、SINVビットを設定してください。
   SMIFビットを1にセットすると、TxD端子およびRxD端子はともにポートからSCIの端子に切り替わり、ハイインピーダンス状態となります。
5. ビットレートに対応する値をBRRに設定します。
6. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。CKE0ビットを1にセットした場合は、SCK端子からクロックを出力します。
7. 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE＝0、TE＝1 に設定してください。受信動作の完了は、RDRF フラグ、あるいは PER、ORER フラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE＝0、RE＝1 に設定してください。送信動作の完了は TEND フラグで確認できます。

14.7.6 シリアルデータ送信（ブロック転送モードを除く）

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースとは動作が異なります（ブロック転送モードを除く）。送信時の再転送動作を図 14.26 に示します。

1. 1フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングするとSSRのERSビットが1にセットされます。このとき、SCRのRIEビットがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングまでにERSをクリアしてください。
2. エラーシグナルを受信したフレームでは、SSRのTENDはセットされません。TDRからTSRに再度データが転送され、自動的に再送信を行います。
3. 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。再転送を含む1フレームの送信が完了したと判断して、SSRのTENDがセットされます。このときSCRのTIEがセットされていれば、TXI割り込み要求を発生します。送信データをTDRに書き込むことにより次のデータが送信されます。

送信処理フローの例を図 14.28 に示します。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、SCR の TIE をセットしておくと TXI 割り込み要求を発生します。エラーが発生した場合は SCI が自動的に同じデータを再送信します。したがって、エラー発生時の再送信を含め、SCI が、指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にはクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS をクリアしてください。

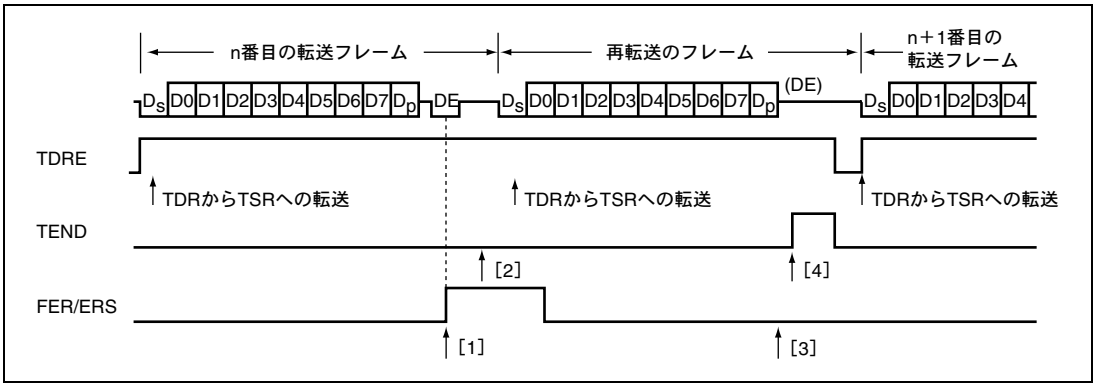
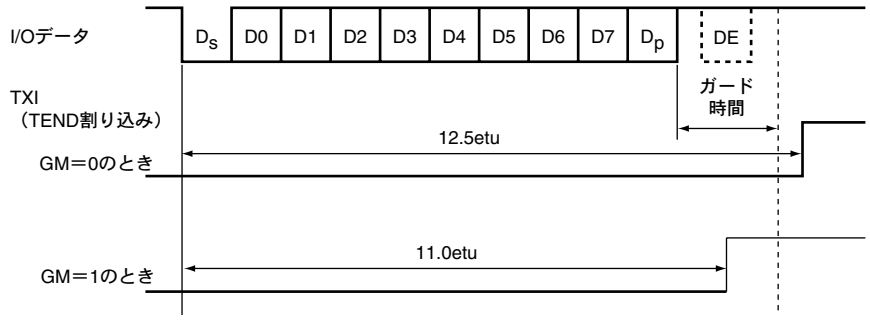


図 14.26 SCI 送信モードの場合の再転送動作

なお、SMR の GM ビットの設定により、TEND フラグのセットタイミングが異なります。図 14.27 に TEND フラグ発生タイミングを示します。



【記号説明】

D_S	：スタートビット
D0～D7	：データビット
D_P	：パリティビット
DE	：エラーシグナル
etu	：Element Time Unit　1ビットの転送帰還

図 14.27　送信動作時の TEND フラグ発生タイミング

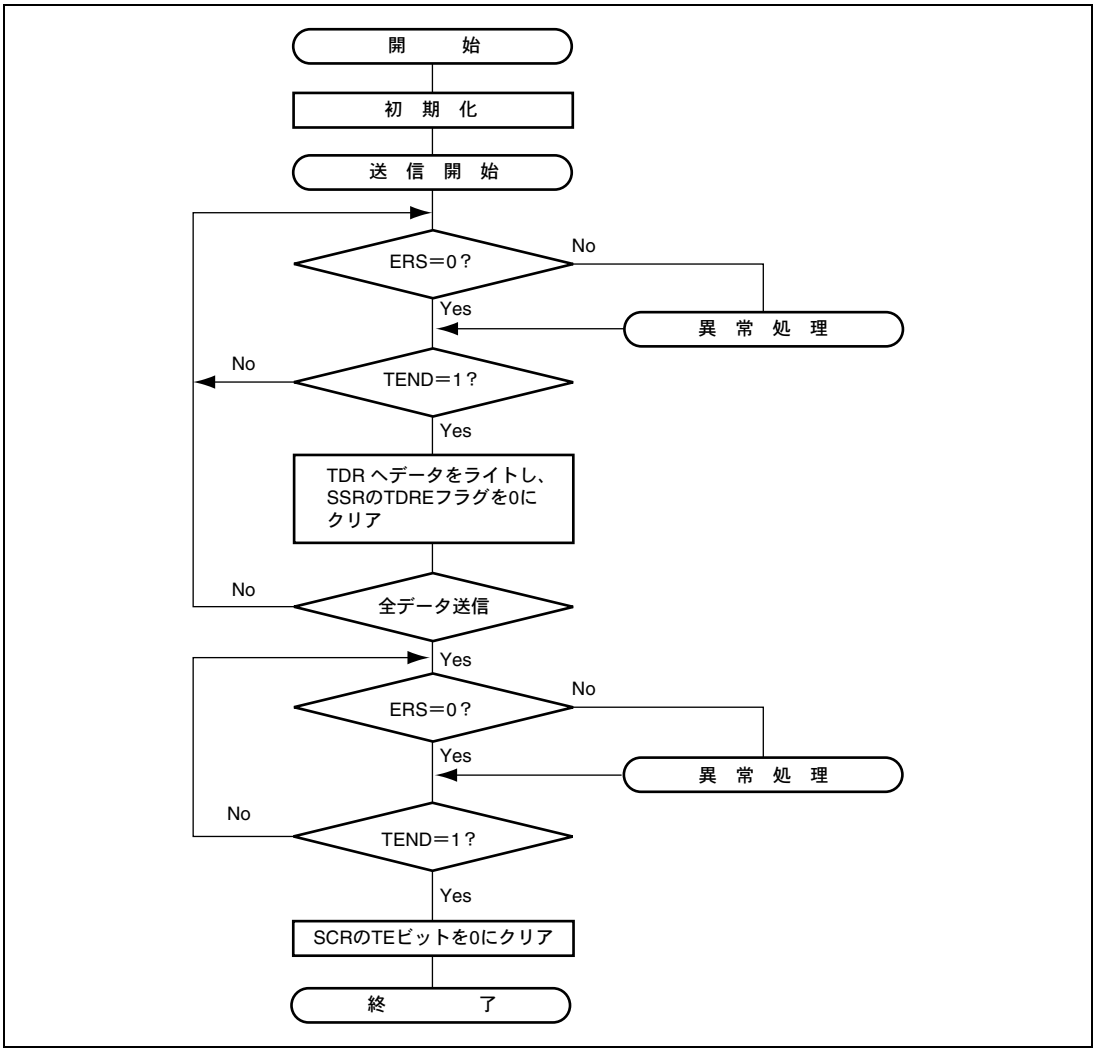


図 14.28　送信処理フローの例

14.7.7 シリアルデータ受信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるデータ受信は、通常のシリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 14.29 示します。

1. 受信データにパリティエラーを検出するとSSRのPERビットが1にセットされます。このとき、SCRのRIEがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでにPERビットをクリアしてください。
2. パリティエラーを検出したフレームではSSRのRDRFビットはセットされません。
3. パリティエラーが検出されない場合は、SSRのPERビットはセットされません。正常に受信を完了したと判断して、SSRのRDRFが1にセットされます。このときSCRのRIEビットがセットされていれば、RXI割り込み要求を発生します。

受信フローの例を図 14.30 に示します。受信動作では、RIE ビットを 1 にセットしておくと RDRF フラグが 1 にセットされると RXI 要求を発生します。受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み（ERI）要求を発生しますのでエラーフラグをクリアしてください。なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

【注】 ブロック転送モードの場合は「14.4 調歩同期式モードの動作」を参照してください。

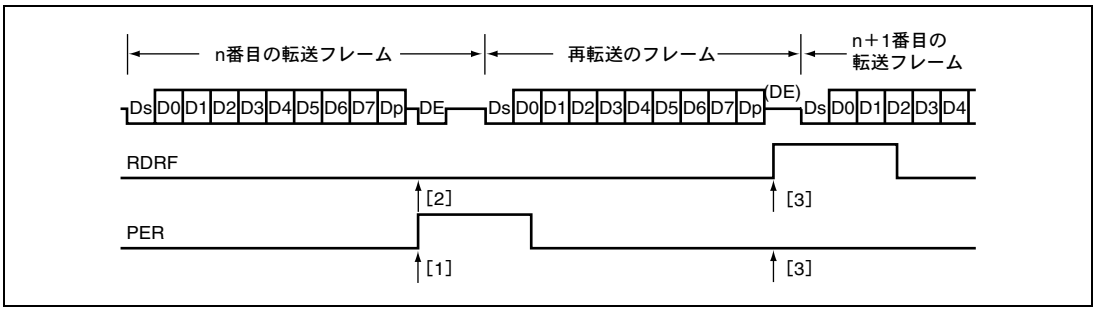


図 14.29 SCI 受信モードの場合の再転送動作

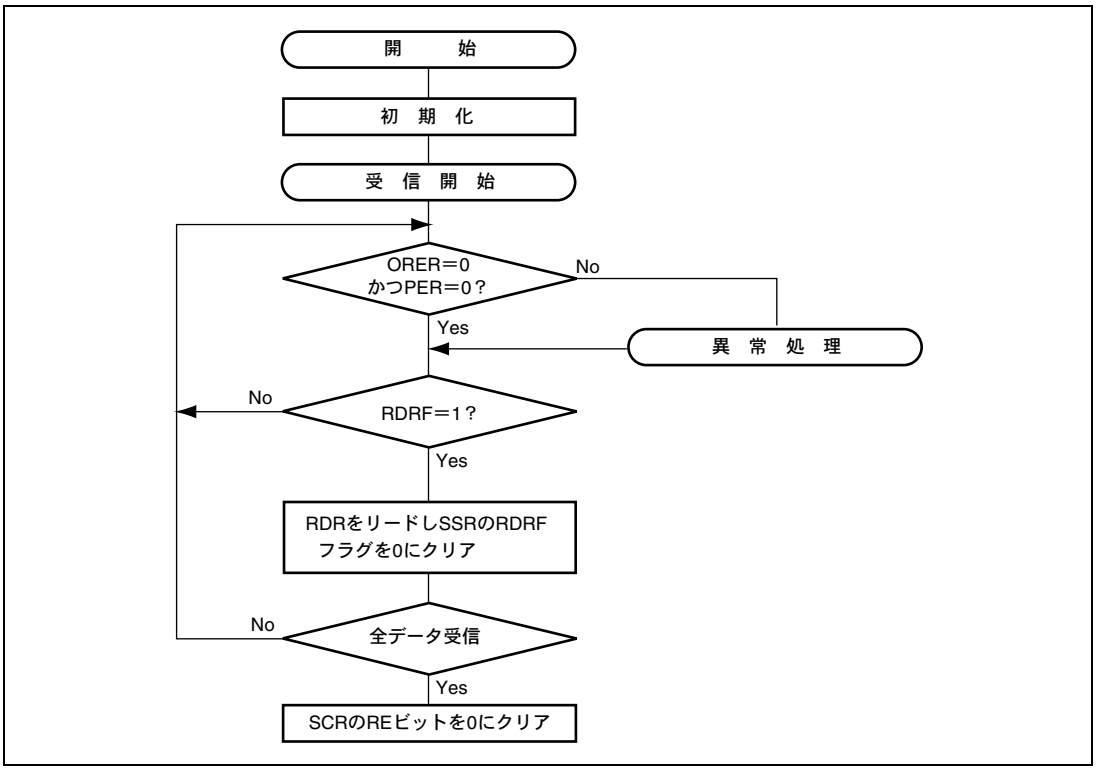


図 14.30　受信フローの例

14.7.8　クロック出力制御

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 14.31 にクロック出力の固定タイミングを示します。GM＝1、CKE1＝0 とし、CKE0 ビットを制御した場合の例です。

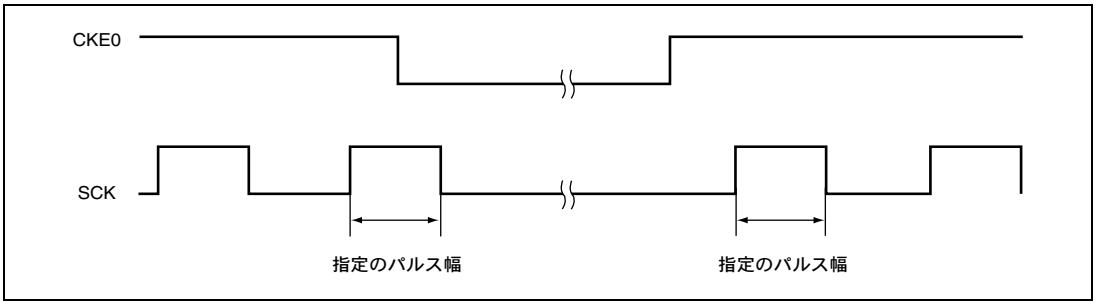


図 14.31　クロック出力固定タイミング

電源投入時およびソフトウェアスタンバイモードへの遷移またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

- **電源投入時**

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗／プルダウン抵抗を使用してください。
2. SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
3. SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。
4. SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。

- **スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき**

1. SCK端子に対応するポートのデータレジスタ（DR）とデータディレクションレジスタ（DDR）をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
2. SCRのTEビットとREビットに0をライトし、送信／受信動作を停止させてください。
   同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCRのCKE0ビットに0をライトし、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。
   この間にデューティを守って、指定のレベルでクロック出力は固定されます。
5. ソフトウェアスタンバイ状態に遷移させてください。

- **ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻すとき**

1. ソフトウェアスタンバイ状態を解除してください。
2. SCRのCKE0ビットに1をライトし、クロックを出力させてください。正常なデューティにて信号発生を開始します。

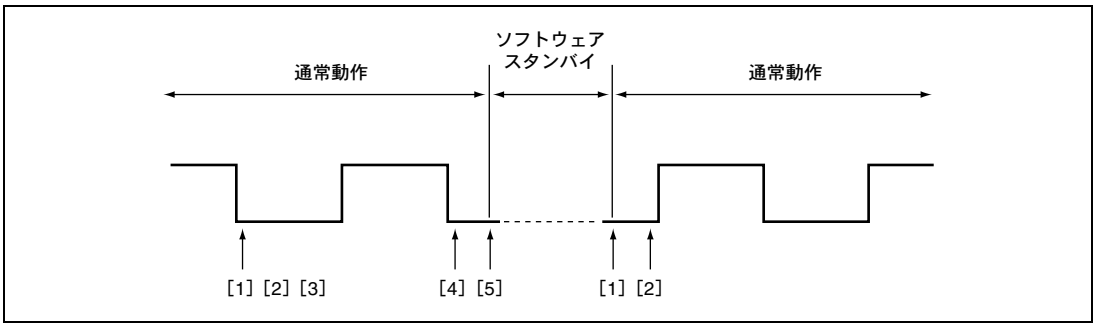


図 14.32　クロック停止・再起動手順

14.8 IrDA 動作

SCI_1 は IrDA 動作が可能です。図 14.33 に IrDA のブロック図を示します。

KBCOMP の IrE ビットで IrDA 機能をイネーブルにすると、SCI_1 の TxD1、RxD1 信号は IrDA 規格バージョン 1.0 に準拠した波形のエンコード/デコードを行います（IrTxD、IrRxD 端子）。これを赤外線送受信トランシーバ/レシーバと接続することで、IrDA 規格バージョン 1.0 システムに準拠した赤外線送受信を実現することができます。

IrDA 規格バージョン 1.0 システムでは、9600bps の転送レートで通信を開始し、その後必要に応じて転送レートを変化させることができます。本 LSI の IrDA インタフェースでは、自動的に転送レートを変更する機能は内蔵していません。転送レートはソフトウェアにより設定を変更してください。

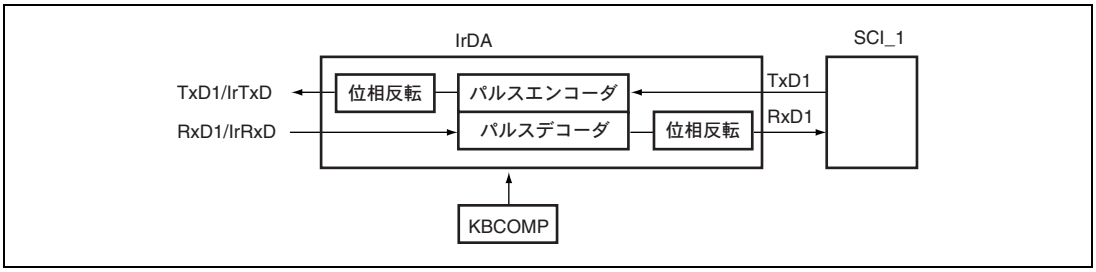


図 14.33 IrDA ブロック図

（1） 送信

送信時に SCI からの出力信号（UART フレーム）は、IrDA インタフェースにより IR フレームに変換されます（図 14.34 参照）。

シリアルデータが 0 のとき、ビットレート（1 ビット幅の期間）の 3/16 の High パルスが出力されます（初期値）。なお、High パルスは KBCOMP の IrCKS2～0 ビットの設定値により変化させることも可能です。また、KBCOMP の IrTxINV ビットにより出力波形を反転させることも可能です。

High パルス幅は最小 1.41 μs、最大（3/16＋2.5％）×ビットレート、または（3/16×ビットレート）＋1.08 μs と定められています。システムクロック φ が 20MH z のとき、1.41 μs 以上で最大の High パルス幅は 1.6 μs が設定可能です。

シリアルデータが 1 のときにはパルスは出力されません。

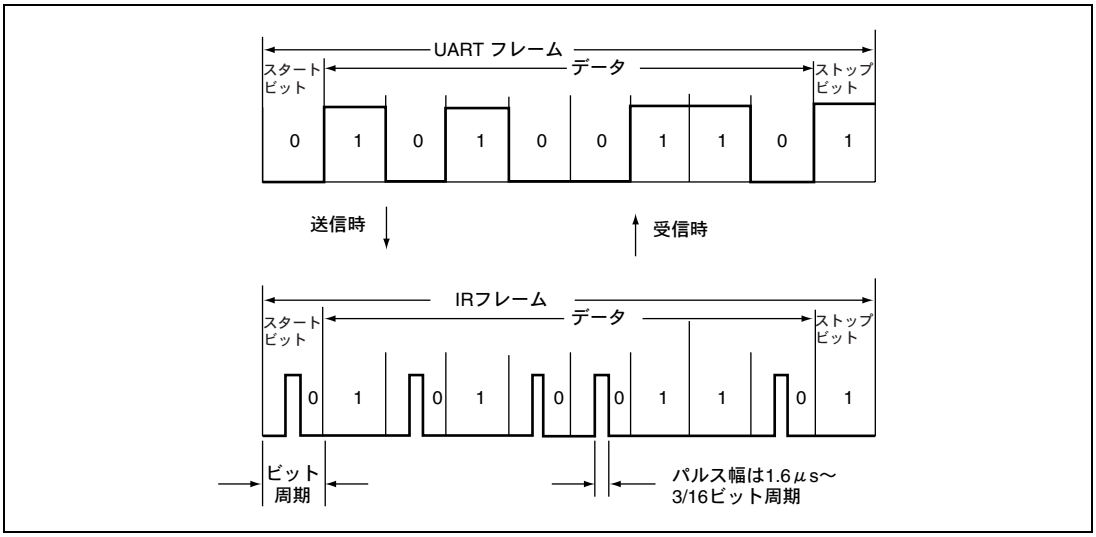


図 14.34　IrDA 送信／受信動作

（2） 受信

受信時に IR フレームのデータは、IrDA インタフェースにより UART フレームに変換され、SCI_1 に入力されます。また、KBCOMP の IrRxINV ビットにより入力波形を反転させることも可能です。

High パルスが検出されたときには 0 データを出力し、1 ビット期間中にパルスがないときには 1 データを出力します。最小パルス幅の 1.41 μs より短いパルスは 0 信号として認識しますのでご注意ください。

（3） High パルス幅の選択

送信時にビットレート×3/16 よりパルス幅を短くする場合に、適用可能な IrCKS2～IrCKS0 ビットの設定（最小パルス幅）と本 LSI の動作周波数およびビットレートの選択を表 14.12 に示します。

表 14.12　IrCKS2～IrCKS0 ビットの設定

動作周波数	ビットレート（bps）（上段）／ビット周期×3/16（μs）（下段）					
φ（MHz）	2400	9600	19200	38400	57600	115200
	78.13	19.53	9.77	4.88	3.26	1.63
4.9152	011	011	011	011	011	011
5	011	011	011	011	011	011
6	100	100	100	100	100	100
6.144	100	100	100	100	100	100
7.3728	100	100	100	100	100	100
8	100	100	100	100	100	100
9.8304	100	100	100	100	100	100
10	100	100	100	100	100	100
12	101	101	101	101	101	101
12.288	101	101	101	101	101	101
14	101	101	101	101	101	101
14.7456	101	101	101	101	101	101
16	101	101	101	101	101	101
16.9344	101	101	101	101	101	101
17.2032	101	101	101	101	101	101
18	101	101	101	101	101	101
19.6608	101	101	101	101	101	101
20	101	101	101	101	101	101

14.9 割り込み要因

14.9.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み

表 14.13 に通常のシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより独立にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。

TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

表 14.13 SCI 割り込み要因

チャネル	名称	割り込み要因	割り込みフラグ	優先順位
1	ERI1	受信エラー	ORER、FER、PER	高
	RXI1	受信データフル	RDRF	↑
	TXI1	送信データエンプティ	TDRE	
	TEI1	送信終了	TEND	
2	ERI2	受信エラー	ORER、FER、PER	
	RXI2	受信データフル	RDRF	
	TXI2	送信データエンプティ	TDRE	
	TEI2	送信終了	TEND	低

14.9.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 14.14 の割り込み要因があります。送信終了割り込み（TEI）要求は使用できません。

表 14.14 SCI 割り込み要因

チャネル	名称	割り込み要因	割り込みフラグ	優先順位
1	ERI1	受信エラー、エラーシグナル検出	ORER、PER、ERS	高
	RXI1	受信データフル	RDRF	↑
	TXI1	送信データエンプティ	TEND	
2	ERI2	受信エラー、エラーシグナル検出	ORER、PER、ERS	
	RXI2	受信データフル	RDRF	
	TXI2	送信データエンプティ	TEND	低

送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、TXI 割り込み要求が発生します。エラーが発生した場合は SCI が自動的に同じデータを再送信します。したがって、エラー発生時の再送信を含め、SCI が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR の ERS フラグは自動的にクリアされませんので、SCR の RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS をクリアしてください。

また、受信動作では、SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。

14.10 使用上の注意事項

14.10.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SCI の動作停止／許可を設定することが可能です。初期値では SCI の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、**「第 20 章　低消費電力状態」**を参照してください。

14.10.2 ブレークの検出と処理

フレーミングエラー検出時に、RxD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RxD 端子からの入力がすべて 0 になりますので、SSR の FER がセットされ、また PER もセットされる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしてもふたたび FER が 1 にセットされますので注意してください。

14.10.3 マーク状態とブレークの送り出し

SCR の TE が 0 のとき、TxD 端子はポートの DR と DDR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TxD 端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。TE を 1 にセットするまで、通信回線をマーク状態（1 の状態）にするためには、DDR＝1、DR＝1 を設定します。このとき、TE が 0 にクリアされていますので、TxD 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレークを送出したいときは、DDR＝1、DR＝0 に設定した後 TE を 0 にクリアします。TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

14.10.4 受信エラーフラグと送信動作（クロック同期式モードのみ）

SSR の受信エラーフラグ（ORER、FER、PER）が 1 にセットされた状態では、SSR の TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には受信エラーフラグを 0 にクリアしておいてください。また、SCR の RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

14.10.5 TDR へのライトと TDRE フラグの関係

TDR へのデータのライトは SSR の TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータはまだ TSR に転送されていないため失われてしまいます。したがって、TDR への送信データのライトは必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

14.10.6 モード遷移時の動作

（1） 送信

モジュールストップモード、ソフトウェアスタンバイモード、またはサブスリープモードへ遷移するときは、動作を停止（TE＝TIE＝TEIE＝0）してから行ってください。TSR、TDR および SSR はリセットされます。モジュールストップモード、ソフトウェアスタンバイモード、またはサブスリープモード期間中の出力端子の状態はポートの設定に依存し、モード解除後に TE＝1 に再設定すると High 出力となります。送信中に遷移すると送信中のデータは不確定になります。

モード解除後、送信モードを変えないで送信する場合は、TE＝1 に設定し、SSR リード→TDR ライト→TDRE を 0 にクリアで送信を開始してください。送信モードを変えて送信する場合は、初期設定から行ってください。

図 14.35 に送信時のモード遷移フローチャートの例を示します。図 14.36、図 14.37 に送信時の端子状態を示します。

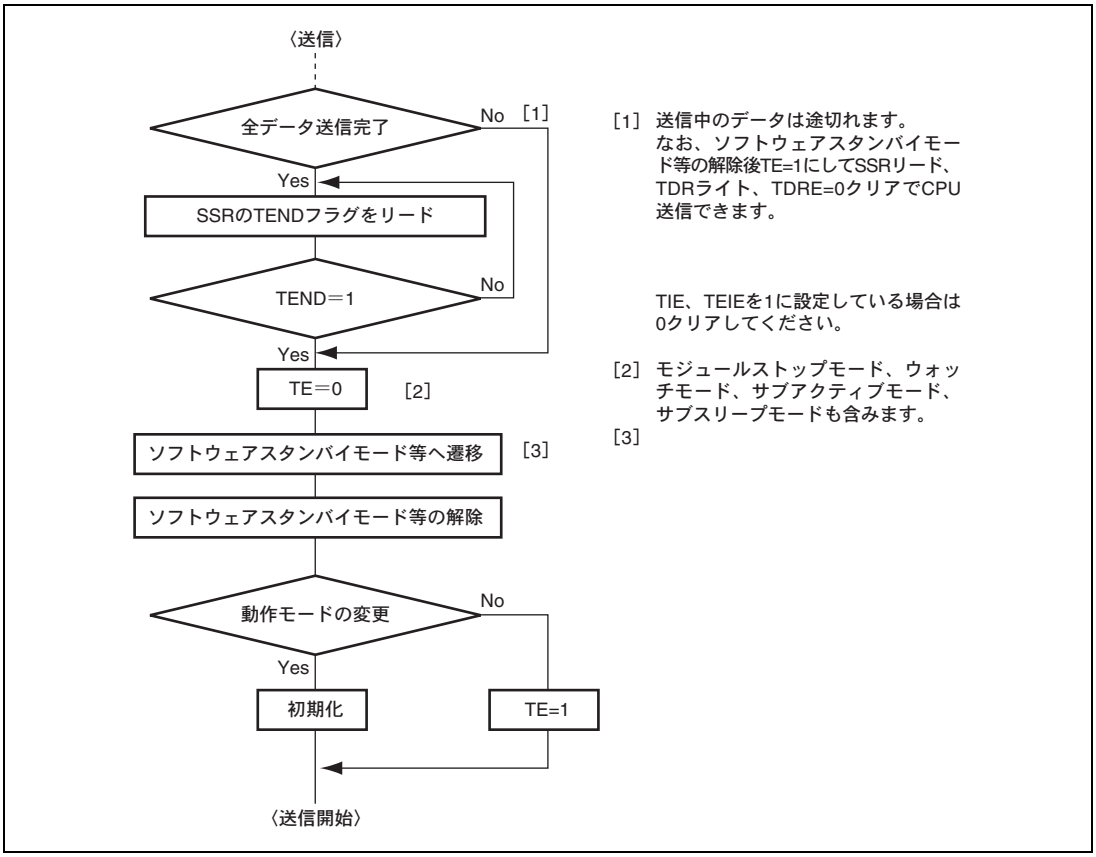


図 14.35 送信時のモード遷移フローチャートの例

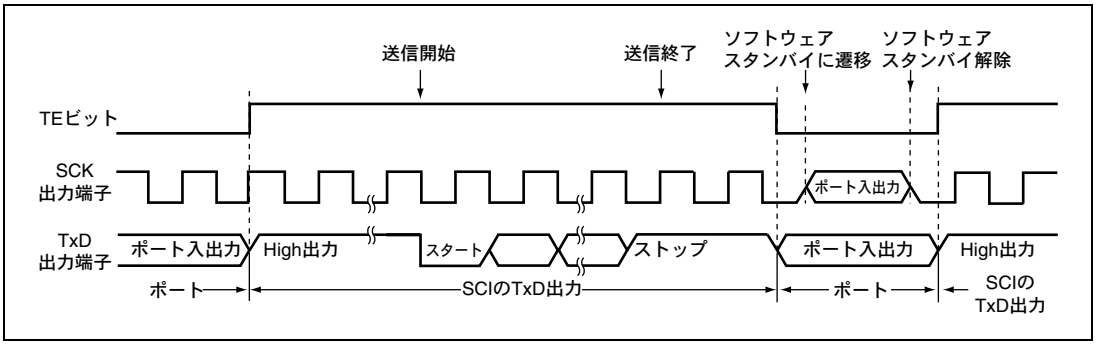


図 14.36　調歩同期式モード送信時（内部クロック）の端子状態

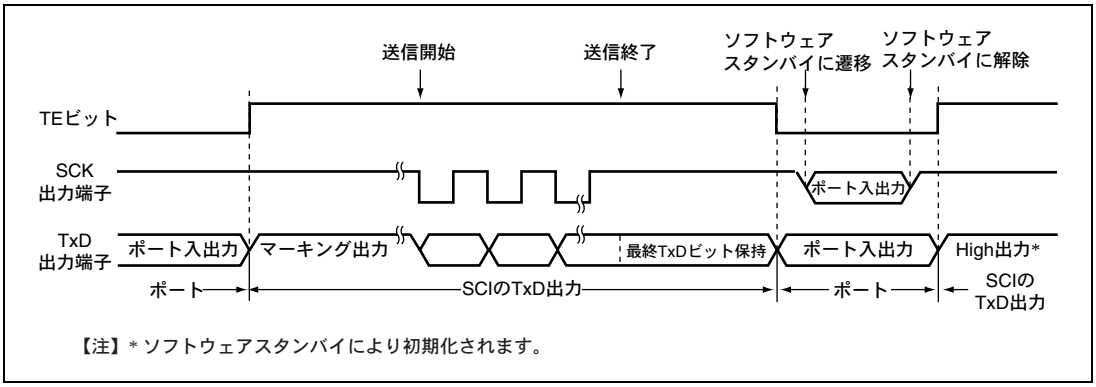


図 14.37　クロック同期式モード送信時（内部クロック）の端子状態

（2） 受信

モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモードへ遷移するときには、受信動作を停止（RE＝0）してから行ってください。RSR、RDR および SSR はリセットされます。受信中に遷移すると、受信中のデータは無効になります。

モード解除後、受信モードを変えないで受信する場合は、RE＝1 に設定してから受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 14.38 に受信時のモード遷移フローチャートの例を示します。

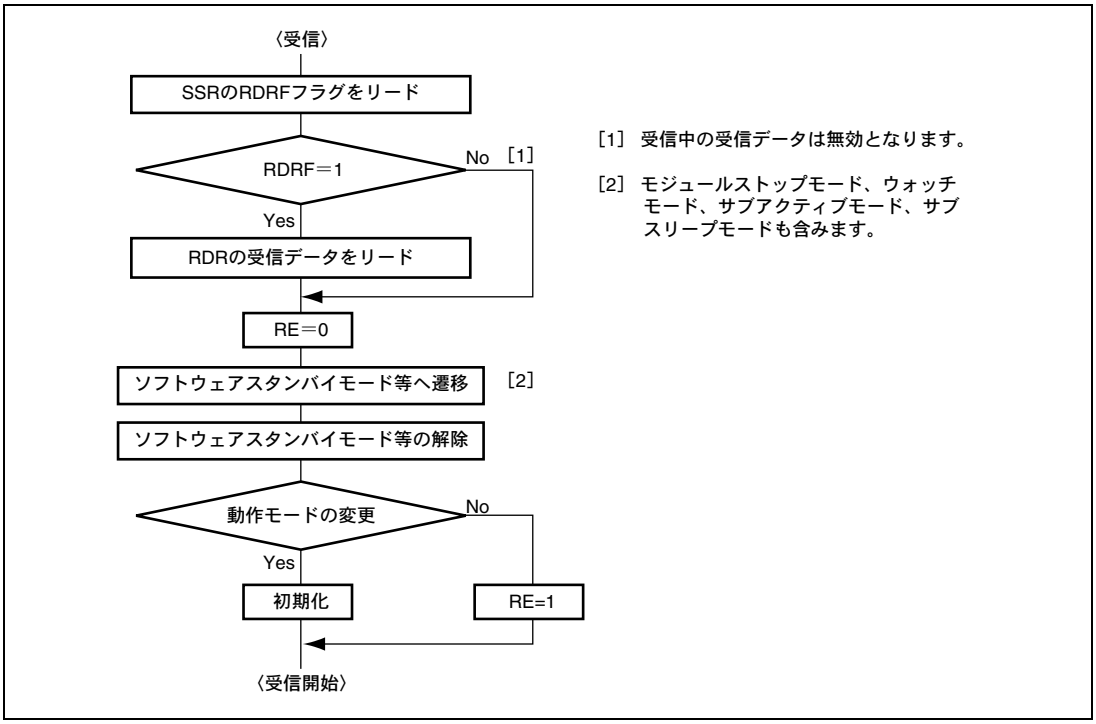


図 14.38　受信時のモード遷移フローチャートの例

14.10.7　SCK 端子からポート端子への切り替え

送信終了状態で SCK 端子をポート端子に切り替えるとき、図 14.39 に示すように半サイクルの Low 出力後にポート出力となります。

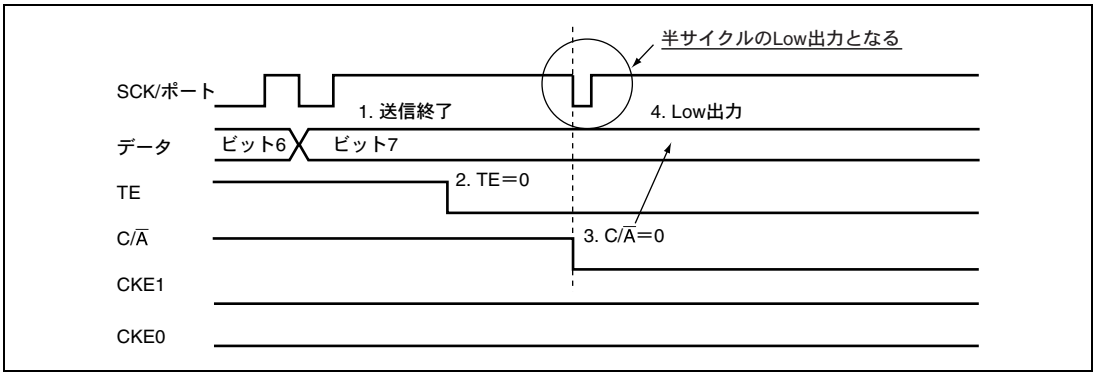


図 14.39　SCK 端子からポート端子へ切り替える時の動作

SCK 端子をポート端子に切り替えるときに発生する Low 出力を回避するためには、SCK 端子を入力状態にして（SCK/ポート端子を外部回路で Pull-up）、DDR＝1、DR＝1、C/$\overline{A}$＝1、CKE1＝0、CKE0＝0、TE＝1 の状態で次の 1～5 の順で設定してください。

1. シリアルデータ送信終了
2. TEビット＝0
3. CKE1ビット＝1
4. C/$\overline{A}$ビット＝0（ポート出力に切り替え）
5. CKE1ビット＝0

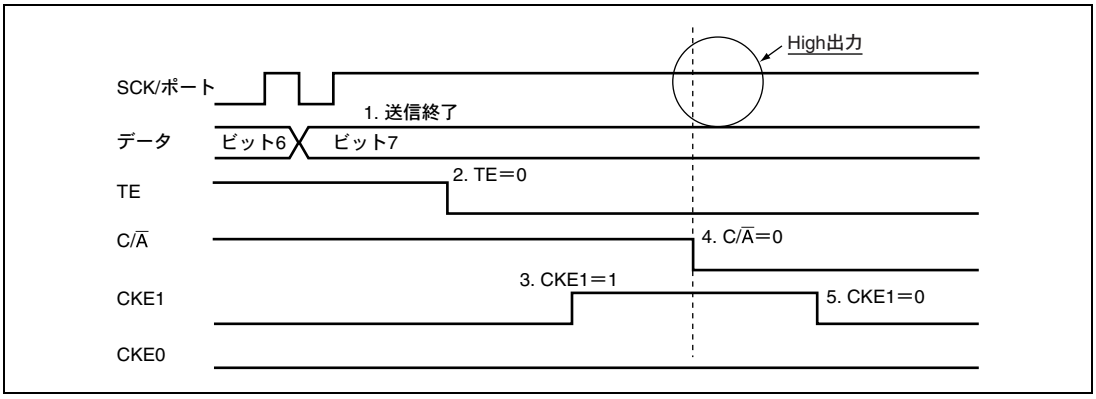


図 14.40　SCK 端子からポート端子へ切り替え時の Low 出力の回避例

15. I²C バスインタフェース（IIC）

本 LSI は、2 チャネルの I²C バスインタフェースを内蔵しています。I²C バスインタフェースは、Philips 社の提唱している I²C バス（Inter IC Bus）インタフェース方式に準拠しており、サブセット機能を備えています。ただし、I²C バスを制御するレジスタの構成が一部 Philips 社と異なりますので注意してください。

15.1 特長

- アドレッシングフォーマット、ノンアドレッシングフォーマットを選択可能

  I²Cバスフォーマット：アドレッシングフォーマットでアクノリッジビットあり、
  マスタ、スレーブ動作

  クロック同期式シリアルフォーマット：ノンアドレッシングフォーマットでアクノリッジビットなし、
  マスタ動作専用
- I²Cバスフォーマットは、Philips社提唱のI²Cバスインタフェースに準拠
- I²Cバスフォーマットで、スレーブアドレスを2通り設定可能
- I²Cバスフォーマットで、マスタモード時、開始、停止条件の自動生成
- I²Cバスフォーマットで、受信時、アクノリッジの出力レベルを選択可能
- I²Cバスフォーマットで、送信時、アクノリッジビットの自動ロード機能
- I²Cバスフォーマットで、マスタモード時のウェイトビット機能

  アクノリッジを除くデータ転送後、SCLをLowレベルにしてウェイト状態にすることが可能。ウェイト状態は、割り込みフラグを0にクリアすることで解除。
- I²Cバスフォーマットでのウェイト機能

  データ転送後、SCLをLowレベルにしてウェイト要求を発生することが可能。ウェイト要求は、次の転送が可能になった時点で解除。
- 割り込み要因

  データ転送終了時（I²Cバスフォーマットで送信モード遷移時、ICDR内データ転送発生時、およびウェイト時を含む）

  アドレス一致時：I²Cバスフォーマット、スレーブ受信モードで、いずれかのスレーブアドレスが一致したとき、またはゼネラルコールアドレスを受信したとき（マスタ競合負け後のアドレス受信を含む）

  アービトレーションロスト発生時

  開始条件検出時（マスタモード）

  停止条件検出時（スレーブモード時）
- マスタモード時、15種類の内部クロック選択可能

- バスを直接駆動（SCL／SDA端子）

  P52/SCL0、P97/SDA0、P86/SCL1、P42/SDA1、PG4/ExSDAA、PG5/ExSCLA、PG6/ExSDAB、PG7/ExSCLBの8端子は、通常時はNMOSプッシュプル出力、バス駆動機能選択時はNMOSオープンドレイン出力。

I²C バスインタフェースのブロック図を**図 15.1** に示します。

入出力端子の外部回路接続例を、**図 15.2** に示します。I²C バスインタフェースの入出力端子は通常ポートと端子構造が違うため、端子に印加可能な電圧仕様が異なっています。

詳細は**「第 22 章　電気的特性」**を参照してください。

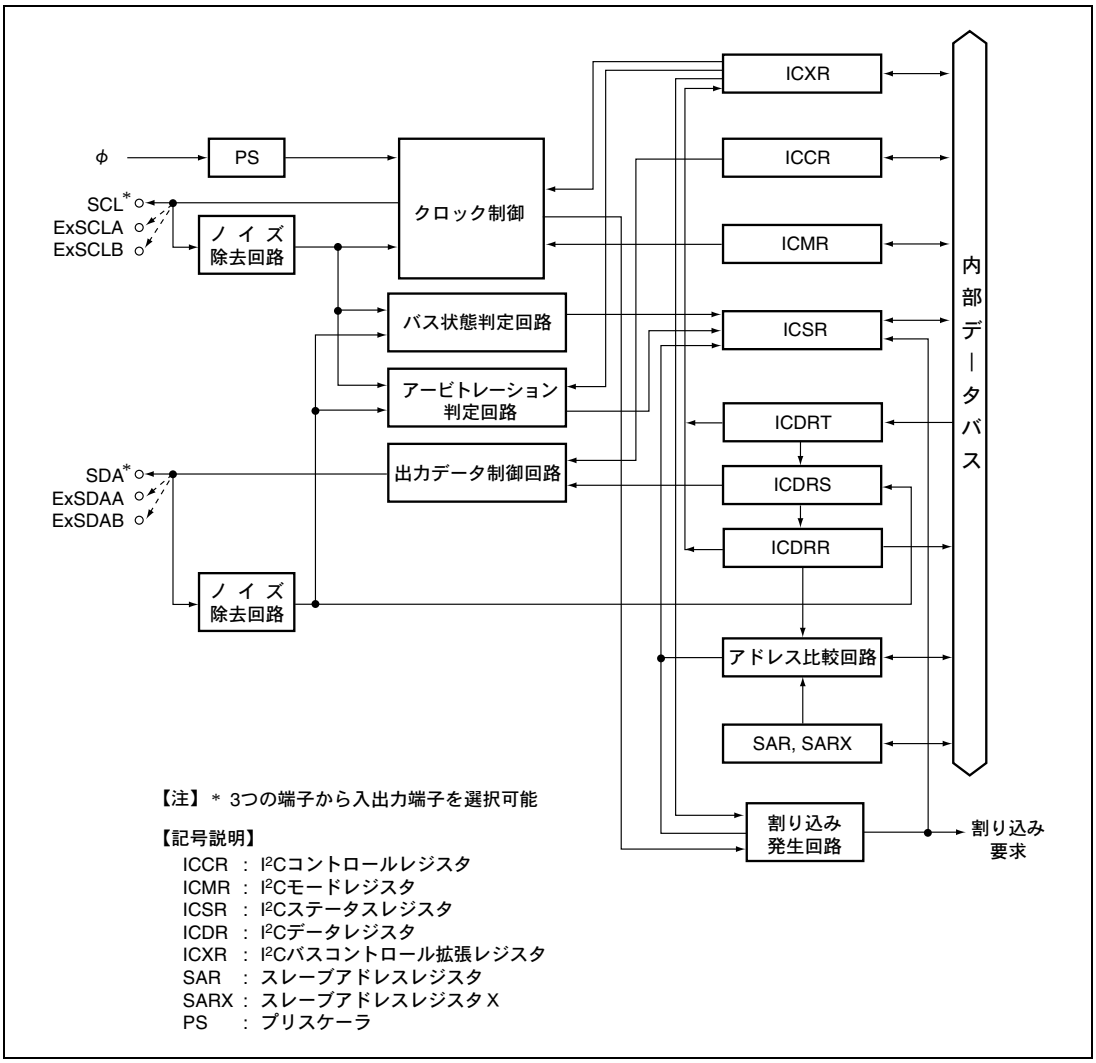


図 15.1　I²C バスインタフェースのブロック図

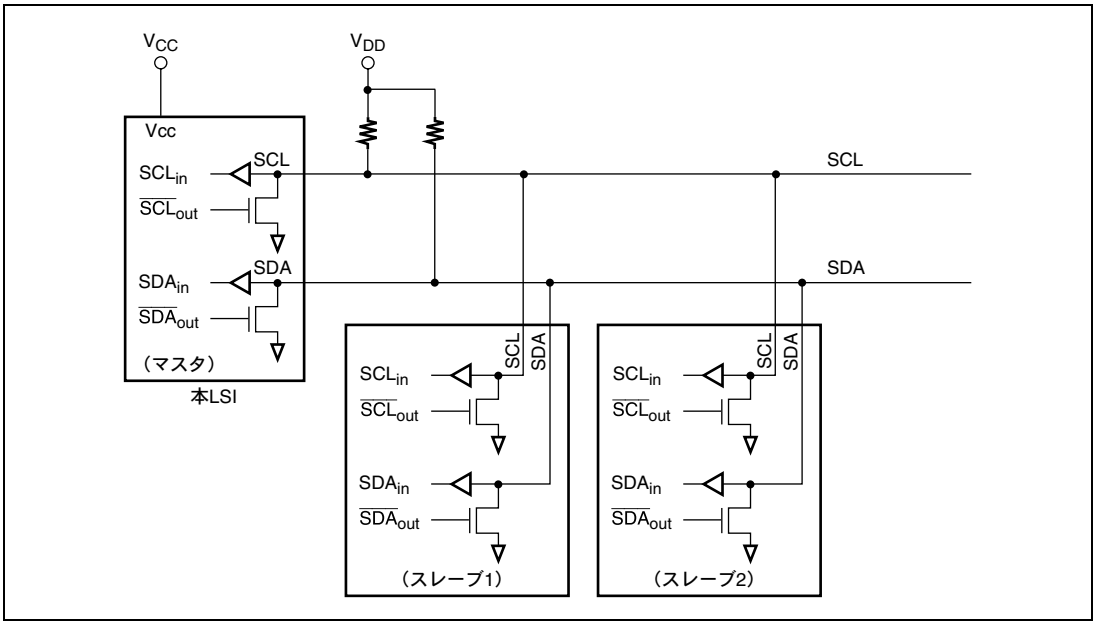


図 15.2　I²C バスインタフェース接続例（本 LSI がマスタの場合）

15.2　入出力端子

I²C バスインタフェースで使用する端子を表 15.1 に示します。

各チャネルにおける SCL、SDA 入出力端子は 3 つの端子から 1 つを選択して使用することができます。1 つのチャネルに 2 つ以上の入出力端子を設定しないでください。

端子の設定方法は「7.17.2　ポートコントロールレジスタ 1（PTCNT1）」を参照してください。

表 15.1　端子構成

チャネル	記号*	入出力	機　　能
0	SCL0	入出力	IIC_0 シリアルクロック入出力端子
	SDA0	入出力	IIC_0 シリアルデータの入出力端子
1	SCL1	入出力	IIC_1 シリアルクロック入出力端子
	SDA1	入出力	IIC_1 シリアルデータの入出力端子
－	ExSCLA	入出力	IIC_0 または IIC_1 のシリアルクロック入出力端子
	ExSDAA	入出力	IIC_0 または IIC_1 のシリアルデータ入出力端子
	ExSCLB	入出力	IIC_0 または IIC_1 のシリアルクロック入出力端子
	ExSDAB	入出力	IIC_0 または IIC_1 のシリアルデータ入出力端子

【注】　*　本文中ではチャネルを省略し、それぞれ SCL、SDA と略称します。

15.3 レジスタの説明

IIC にはチャネルごとに以下のレジスタがあります。ICDR と SARX、ICMR と SAR は同じアドレスに割り付けられており、ICCR の ICE ビットによりアクセスできるレジスタが変わります。ICE＝0 のとき SAR と SARX、ICE＝1 のとき ICMR と ICDR がアクセスできます。なお、シリアルタイマコントロールレジスタについては「3.2.3 シリアルタイマコントロールレジスタ（STCR）」を参照してください。

- I²Cバスコントロールレジスタ（ICCR）
- I²Cバスステータスレジスタ（ICSR）
- I²Cバスデータレジスタ（ICDR）
- I²Cバスモードレジスタ（ICMR）
- スレーブアドレスレジスタ（SAR）
- 第2スレーブアドレスレジスタ（SARX）
- I²Cバスコントロール拡張レジスタ（ICXR）
- DDCスイッチレジスタ（DDCSWR）＊

【注】＊ DDCSWR は IIC_0 のみです。

15.3.1 I²C バスデータレジスタ（ICDR）

ICDR は、8 ビットのリード／ライト可能なレジスタで、送信時は送信用データレジスタとして、受信時は受信用データレジスタとして機能します。ICDR は、内部的に、シフトレジスタ（ICDRS）、受信バッファ（ICDRR）および送信バッファ（ICDRT）に分かれています。3 本のレジスタ間のデータ転送は、バス状態の変化に関連付けられて自動的に行われ、ICXR の ICDRF フラグ、ICDRE フラグなどの状態に影響を与えます。

送信データの ICDR へのライトは、I²C バスフォーマットのマスタ送信モードでは開始条件検出後に行ってください。開始条件を検出すると、それ以前のライトデータは無視されます。また、スレーブ送信モードでは、スレーブアドレスが一致し TRS ビットが 1 に自動的に切り替わった後にライトしてください。

送信モード（TRS＝1）で ICDRT に次のデータがある場合（ICDRE フラグが 0 の場合）、ICDRS で 1 フレームのデータを正常に送信終了後、自動的に ICDRT から ICDRS へデータが転送されます。ICDRE フラグが 1 で次の送信データのライトを待っている状態では、ICDR ライトにより自動的に ICDRT から ICDRS へデータが転送されます。受信モード（TRS＝0）では ICDRT から ICDRS へデータ転送は行われません。受信モードでの ICDR への書き込みは行わないでください。

受信データの ICDR からの読み出しは、ICDRS から ICDRR へデータが転送された後で行います。

受信モードで ICDRR に以前のデータがない場合（ICDRF フラグが 0 の場合）、ICDRS で 1 フレームのデータを正常に受信終了後、自動的に ICDRS から ICDRR にデータが転送されます。ICDRF フラグが 1 の状態で更に受信データを受け取っている場合、ICDR リードにより自動的に ICDRS から ICDRR へデータが転送されます。送信モードでは ICDRS から ICDRR へデータ転送は行われません。受信モードに設定した上でリードしてください。

1 フレームのアクノリッジを除いたビット数が 8 ビットに満たない場合、送受信データの格納される位置が異なります。送信データは、MLS ビットが 0 のとき MSB 側に、MLS ビットが 1 のとき LSB 側に詰めて書き込んでください。受信データは、MLS ビットが 0 のとき LSB 側に、MLS ビットが 1 のとき MSB 側に詰めて格納されます。

ICDR は ICCR の ICE ビットを 1 に設定したときのみアクセス可能です。ICDR のリセット時の値は不定です。

15.3.2 スレーブアドレスレジスタ（SAR）

SAR は転送フォーマットの設定およびスレーブアドレスを格納します。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてきた第 1 フレームの上位 7 ビットと SAR の上位 7 ビットを比較して一致したとき、FS ビットに 0 が設定されていると、マスタデバイスに指定されたスレーブデバイスとして動作します。SAR は ICCR の ICE ビットを 0 に設定したときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説　　明
7	SVA6	0	R/W	スレーブアドレス 6～0 スレーブアドレスを設定します。
6	SVA5	0	R/W	
5	SVA4	0	R/W	
4	SVA3	0	R/W	
3	SVA2	0	R/W	
2	SVA1	0	R/W	
1	SVA0	0	R/W	
0	FS	0	R/W	フォーマットセレクト SARX の FSX ビットとの組み合わせで転送フォーマットを選択します。 表 15.2 を参照してください。 なお、ゼネラルコールアドレスの認識を行う場合は、必ず本ビットを 0 に設定してください。

15.3.3 第 2 スレーブアドレスレジスタ（SARX）

SARX は転送フォーマットの設定および第 2 スレーブアドレスを格納します。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてきた第 1 フレームの上位 7 ビットと SARX の上位 7 ビットを比較して一致したとき、FSX ビットに 0 が設定されていると、マスタデバイスに指定されたスレーブデバイスとして動作します。SARX は ICCR の ICE ビットを 0 に設定したときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説　　明
7	SVAX6	0	R/W	第 2 スレーブアドレス 6～0
6	SVAX5	0	R/W	第 2 スレーブアドレスを設定します。
5	SVAX4	0	R/W	
4	SVAX3	0	R/W	
3	SVAX2	0	R/W	
2	SVAX1	0	R/W	
1	SVAX0	0	R/W	
0	FSX	1	R/W	フォーマットセレクト X SAR の FS ビットとの組み合わせで転送フォーマットを選択します。 表 15.2 を参照してください。

表 15.2　転送フォーマット

SAR	SARX	動作モード
FS	FSX	
0	0	I²C バスフォーマット • SAR と SARX のスレーブアドレスを認識 • ゼネラルコールアドレスを認識
	1	I²C バスフォーマット • SAR のスレーブアドレスを認識 • SARX のスレーブアドレスを無視 • ゼネラルコールアドレスを認識
1	0	I²C バスフォーマット • SAR のスレーブアドレスを無視 • SARX のスレーブアドレスを認識 • ゼネラルコールアドレスを無視
	1	クロック同期式シリアルフォーマット • SAR と SARX のスレーブアドレスを無視 • ゼネラルコールアドレスを無視

- I²Cバスフォーマット：

  アドレッシングフォーマットでアクノリッジビットあり

- クロック同期式シリアルフォーマット：

  ノンアドレッシングフォーマットでアクノリッジビットなし、マスタモード専用

15.3.4 I²C バスモードレジスタ（ICMR）

ICMR は転送フォーマットと転送レートを設定します。ICCR の ICE ビットを 1 に設定したときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説　　明
7	MLS	0	R/W	MSB ファースト／LSB ファースト選択 0：MSB ファースト 1：LSB ファースト I²C バスフォーマットで使用するときは、本ビットを 0 に設定してください。
6	WAIT	0	R/W	ウェイト挿入ビット I²C バスフォーマットでマスタモードのときのみ有効。 0：ウェイト状態は挿入されず、データとアクノリッジを連続して転送します。 1：データの最終ビットのクロック（8 クロック目）が立ち下がった後、ICCR の IRIC フラグは 1 にセットされ、ウェイト状態（SCL＝Low レベル）となります。ICCR の IRIC フラグを 0 にクリアすることでウェイト状態を解除しアクノリッジの転送を行います。 詳細は「15.4.7　IRIC セットタイミングと SCL 制御」を参照してください。
5 4 3	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	転送クロック選択 2～0 STCR レジスタの IICX1 ビット（IIC_1）、IICX0 ビット（IIC_0）との組み合わせで転送クロックの周波数を選択します。マスタモード時に使用します。 表 15.3 を参照してください。
2 1 0	BC2 BC1 BC0	0 0 0	R/W R/W R/W	ビットカウンタ 2～0 次に転送するフレームのビット数を指定します。設定は転送フレーム間で行ってください。また、B'000 以外を設定する場合は、SCL が Low 状態のときに行ってください。 ビットカウンタは、開始条件検出時 B'000 に初期化されます。また、データ転送終了後、再び B'000 に戻ります。 I²C バスフォーマット　　クロック同期式シリアルフォーマット 000：9 ビット　　000：8 ビット 001：2 ビット　　001：1 ビット 010：3 ビット　　010：2 ビット 011：4 ビット　　011：3 ビット 100：5 ビット　　100：4 ビット 101：6 ビット　　101：5 ビット 110：7 ビット　　110：6 ビット 111：8 ビット　　111：7 ビット

表 15.3　転送レート

STCR ビット 5、6	ビット 5	ビット 4	ビット 3	クロック	転送レート				
IICX	CKS2	CKS1	CKS0		φ=5MHz	φ=8MHz	φ=10MHz	φ=16MHz	φ=20MHz
0	0	0	0	φ/28	179kHz	286kHz	357kHz	571kHz*	714kHz*
			1	φ/40	125kHz	200kHz	250kHz	400kHz	500kHz*
		1	0	φ/48	104kHz	167kHz	208kHz	333kHz	417kHz*
			1	φ/64	78.1kHz	125kHz	156kHz	250kHz	313kHz
	1	0	0	φ/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
			1	φ/100	50.0kHz	80.0kHz	100kHz	160kHz	200kHz
		1	0	φ/112	44.6kHz	71.4kHz	89.3kHz	143kHz	179kHz
			1	φ/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
1	0	0	0	φ/56	89.3kHz	143kHz	179kHz	286kHz	357kHz
			1	φ/80	62.5kHz	100kHz	125kHz	200kHz	250kHz
		1	0	φ/96	52.1kHz	83.3kHz	104kHz	167kHz	208kHz
			1	φ/128	39.1kHz	62.5kHz	78.1kHz	125kHz	156kHz
	1	0	0	φ/160	31.3kHz	50.0kHz	62.5kHz	100kHz	125kHz
			1	φ/200	25.0kHz	40.0kHz	50.0kHz	80.0kHz	100kHz
		1	0	φ/224	22.3kHz	35.7kHz	44.6kHz	71.4kHz	89.3kHz
			1	φ/256	19.5kHz	31.3kHz	39.1kHz	62.5kHz	78.1kHz

【注】　*　I²C バスインタフェース仕様（通常モード：最大 100kHz、高速モード：最大 400kHz）の範囲外となりますので、動作は保証できません。

15.3.5　I²C バスコントロールレジスタ（ICCR）

ICCR は I²C バスインタフェースの制御、および割り込みフラグの確認を行います。

ビット	ビット名	初期値	R/W	説　　明
7	ICE	0	R/W	I²C バスインタフェースイネーブル 0：本モジュールは機能を停止し、内部状態をクリアします。 SAR および SARX がアクセス可能になります。 1：本モジュールは転送動作可能状態となり、ポートは SCL、SDA 入出力端子となります。ICMR および ICDR がアクセス可能になります。
6	IEIC	0	R/W	I²C バスインタフェース割り込みイネーブル 0：I²C バスインタフェースから CPU に対する割り込み要求を禁止 1：I²C バスインタフェースから CPU に対する割り込み要求を許可

ビット	ビット名	初期値	R/W	説　　明
5	MST	0	R/W	マスタ／スレーブ選択
4	TRS	0	R/W	送信／受信選択 MST　TRS 0　0：スレーブ受信モード 0　1：スレーブ送信モード 1　0：マスタ受信モード 1　1：マスタ送信モード I^2C バスフォーマットのマスタモードでバス競合負けをすると MST、TRS ビットはともにハードウェアによってリセットされ、スレーブ受信モードに変わります。また、I^2C バスフォーマットのスレーブ受信モードのとき、開始条件直後の第 1 フレームの R/$\overline{W}$ ビットにより、ハードウェアで自動的に受信／送信モードが設定されます。 転送中の TRS ビットの変更は、データ転送終了時まで保留され、転送終了後に切り替わります。 ［MST クリア条件］ (1) ソフトウェアにより 0 をライトしたとき (2) I^2C バスフォーマットのマスタモードで、バス競合負けしたとき ［MST セット条件］ (1) ソフトウェアにより 1 をライトしたとき（MST クリア条件(1)の場合） (2) MST＝0 をリード後、1 をライトしたとき（MST クリア条件(2)の場合） ［TRS クリア条件］ (1) ソフトウェアにより 0 をライトしたとき（TRS セット条件(3)以外の場合） (2) TRS＝1 をリード後、0 をライトしたとき（TRS セット条件(3)の場合） (3) I^2C バスフォーマットのマスタモードで、バス競合負けしたとき ［TRS セット条件］ (1) ソフトウェアにより 1 をライトしたとき（TRS クリア条件(3)以外の場合） (2) TRS＝0 をリード後、1 をライトしたとき（TRS クリア条件(3)の場合） (3) I^2C バスフォーマットのスレーブモードで第 1 フレームのアドレス一致後に R/$\overline{W}$ ビットとして 1 を受信したとき
3	ACKE	0	R/W	アクノリッジビット判定選択 0：受信したアクノリッジビットの内容を無視して連続的に転送を行います。受信したアクノリッジビットの内容は ICSR の ACKB ビットに反映されず、常に 0 となります。 1：I^2C バスフォーマットで受信したアクノリッジビットが 1 ならば転送を中断します。 アクノリッジビットは、受信デバイスによって、受信したデータの処理完了などの意味をもたせる場合と、意味をもたず 1 固定の場合があります。

ビット	ビット名	初期値	R/W	説　　明
2	BBSY	0	R/W*	バスビジー
0	SCP	1	W	開始条件／停止条件発行禁止ビット マスタモード時 • BBSY＝0 かつ SCP＝0 ライト：停止条件発行 • BBSY＝1 かつ SCP＝0 ライト：開始条件、再送開始条件発行 スレーブモード時 • BBSY フラグのライトは無効 ［BBSY セット条件］ • SCL＝High レベルの状態で SDA が High レベルから Low レベルに変化し、開始条件が発行されたと認識したとき ［BBSY クリア条件］ • SCL＝High レベルの状態で SDA が Low レベルから High レベルに変化し、停止条件が発行されたと認識したとき 開始条件／停止条件の発行は、MOV 命令を用います。 開始条件の発行に先立って、I²C バスインタフェースをマスタ送信モードに設定する必要があります。BBSY＝1 かつ SCP＝0 をライトする以前に、MST＝1 かつ TRS＝1 を設定してください。 BBSY フラグをリードすることにより、I²C バス（SCL、SDA）が占有されているか開放されているかを確認できます。 SCP ビットは、リードすると常に 1 が読み出されます。また、0 をライトしてもデータは格納されません。

【注】　*　BBSY フラグはライトしてもフラグの値は変化しません。

ビット	ビット名	初期値	R/W	説　　明
1	IRIC	0	R/(W)*	I²C バスインタフェース割り込み要求フラグ I²C バスインタフェースが CPU に対して割り込み要求を発生させたことを示します。 SAR の FS ビットと SARX の FSX ビットおよび、ICMR の WAIT ビットの組み合わせにより IRIC フラグのセットタイミングが異なりますので、「15.4.7　IRIC セットタイミングと SCL 制御」を参照してください。また、ICCR の ACKE ビットの設定によっても、IRIC フラグがセットされる条件が異なります。 ［セット条件］ • I²C バスフォーマットでマスタモード 開始条件を発行後、バスラインの状態から開始条件を検出したとき （第 1 フレーム送信のため ICDRE フラグが 1 にセットされたとき） WAIT＝1 の場合、データとアクノリッジの間にウェイトを挿入したとき （送受信クロックの 8 クロック目の立ち下がりのとき） データ転送終了時 （ウェイト挿入なしで送受信クロックの 9 クロック目の立ち上がりのとき） バス競合負けの後、自分のスレーブアドレスを受信したとき （開始条件に続く第 1 フレーム） ACKE ビットが 1 のとき、アクノリッジビットとして 1 を受信したとき （ACKB ビットが 1 にセットされたとき） ALIE ビットが 1 の状態でバス競合負けし、AL フラグが 1 にセットされたとき • I²C バスフォーマットでスレーブモード スレーブアドレス（SVA、SVAX）が一致したとき （AAS、AASX フラグが 1 にセットされたとき）、 および、その後の再送開始条件または停止条件検出までのデータ転送終了時 （送受信クロックの 9 クロック目の立ち上がりのとき） ゼネラルコールアドレスを検出したとき （R/$\overline{W}$ ビットとして 0 を受信し、ADZ フラグが 1 にセットされたとき）、 および、その後の再送開始条件または停止条件検出までのデータ受信終了時 （受信クロックの 9 クロック目の立ち上がりのとき） ACKE ビットが 1 のとき、アクノリッジビットとして 1 を受信したとき （ACKB ビットが 1 にセットされたとき） STOPIM ビットが 0 の状態で停止条件を検出したとき （STOP または ESTP フラグが 1 にセットされたとき）

ビット	ビット名	初期値	R/W	説　　明
1	IRIC	0	R/(W)*	• クロック同期式シリアルフォーマット データ転送終了時 （送受信クロックの 8 クロック目立ち上りのとき） 開始条件を検出したとき • すべての動作モードで、ICDRE または ICDRF フラグが 1 にセットされる条件が発生したとき 送信モードで開始条件を検出したとき （送信モードで開始条件を検出し ICDRE フラグが 1 にセットされたとき） ICDR レジスタバッファデータ転送時 （送信モードで ICDRT から ICDRS にデータが転送され ICDRE フラグが 1 にセットされたとき、または受信モードで ICDRS から ICDRR にデータが転送され ICDRF フラグが 1 にセットされたとき） ［クリア条件］ • IRIC＝1 の状態でリードした後、0 をライトしたとき

【注】　*　フラグを 0 にクリアするための 0 ライトのみ可能です。

I²C バスフォーマットで IRIC＝1 となり割り込みが発生した場合には、IRIC＝1 となった要因を調べるために、他のフラグを調べる必要があります。各要因には、それぞれ対応するフラグがありますが、データ転送終了時に関しては注意が必要です。

ICDRE または ICDRF フラグがセットされたとき、IRTR フラグがセットされる場合とされない場合があります。IRTR フラグがデータ転送終了時にセットされないのは、I²C バスフォーマットでスレーブモードの場合に、スレーブアドレス（SVA）またはゼネラルコールアドレスが一致した後の再送開始条件または停止条件検出までの期間です。各フラグと転送状態の関係を表 15.4 と表 15.5 に示します。

表 15.4　フラグと転送状態の関係（マスタモード）

MST	TRS	BBSY	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	ICDRF	ICDRE	状態
1	1	0	0	0	0	0↓	0	0↓	0↓	0	－	0	アイドル状態 (フラグクリア要)
1	1	1↑	0	0	1↑	0	0	0	0	0	－	1↑	開始条件検出
1	－	1	0	0	－	0	0	0	0	－	－	－	ウェイト状態
1	1	1	0	0	－	0	0	0	0	1↑	－	－	送信終了(ACKE=1 かつ ACKB=1)
1	1	1	0	0	1↑	0	0	0	0	0	－	1↑	ICDRE=0 の状態から送信終了
1	1	1	0	0	－	0	0	0	0	0	－	0↓	上記状態から ICDR ライト
1	1	1	0	0	－	0	0	0	0	0	－	1	ICDRE=1 の状態から送信終了
1	1	1	0	0	－	0	0	0	0	0	－	0↓	上記状態から、または開始条件検出後の ICDR ライト
1	1	1	0	0	1↑	0	0	0	0	0	－	1↑	上記状態から ICDRT→ICDRS データ転送(自動)
1	0	1	0	0	1↑	0	0	0	0	－	1↑	－	ICDRF=0 の状態から受信終了
1	0	1	0	0	－	0	0	0	0	－	0↓	－	上記状態から ICDR リード
1	0	1	0	0	－	0	0	0	0	－	1	－	ICDRF=1 の状態から受信終了
1	0	1	0	0	－	0	0	0	0	－	0↓	－	上記状態から ICDR リード
1	0	1	0	0	1↑	0	0	0	0	－	1↑	－	上記状態から ICDRS→ICDRR データ転送(自動)
0↓	0↓	1	0	0	－	0	1↑	0	0	－	－	－	アービトレーションロスト
1	－	0↓	0	0	－	0	0	0	0	－	－	0↓	停止条件検出

【注】　0：0 状態保持　1：1 状態保持　－：以前の状態を保持　0↓：0 にクリア　1↑：1 にセット

表 15.5　フラグと転送状態の関係（スレーブモード）

MST	TRS	BBSY	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	ICDRF	ICDRE	状態
0	0	0	0	0	0	0	0	0	0	0	－	0	アイドル状態 (フラグクリア要)
0	0	1↑	0	0	0	0↓	0	0	0	0	－	1↑	開始条件検出
0	1↑/0 (*1)	1	0	0	0	0	－	1↑	0	0	1↑	1	第 1 フレームで SAR に一致(SARX≠SAR)
0	0	1	0	0	0	0	－	1↑	1↑	0	1↑	1	第 1 フレームでゼネラルコールアドレスに一致(SARX≠H’00)
0	1↑/0 (*1)	1	0	0	1↑	1↑	－	0	0	0	1↑	1	第 1 フレームで SARX に一致(SAR≠SARX)
0	1	1	0	0	－	－	－	－	0	1↑	－	－	送信終了(ACKE=1 かつ ACKB=1)
0	1	1	0	0	1↑/0 (*2)	－	－	－	0	0	－	1↑	ICDRE=0 の状態から送信終了
0	1	1	0	0	－	－	0↓	0↓	0	0	－	0↓	上記状態から ICDR ライト
0	1	1	0	0	－	－	－	－	0	0	－	1	ICDRE=1 の状態から送信終了
0	1	1	0	0	－	－	0↓	0↓	0	0	－	0↓	上記状態から ICDR ライト
0	1	1	0	0	1↑/0 (*2)	－	0	0	0	0	－	1↑	上記状態から ICDRT →ICDRS データ転送(自動)
0	0	1	0	0	1↑/0 (*2)	－	－	－	－	－	1↑	－	ICDRF=0 の状態から受信終了
0	0	1	0	0	－	－	0↓	0↓	0↓	－	0↓	－	上記状態から ICDR リード
0	0	1	0	0	－	－	－	－	－	－	1	－	ICDRF=1 の状態から受信終了
0	0	1	0	0	－	－	0↓	0↓	0↓	－	0↓	－	上記状態から ICDR リード
0	0	1	0	0	1↑/0 (*2)	－	0	0	0	－	1↑	－	上記状態から ICDRS →ICDRR データ転送(自動)
0	－	0↓	1↑/0 (*3)	0/1↑ (*3)	－	－	－	－	－	－	－	0↓	停止条件検出

【注】 0：0 状態保持　1：1 状態保持　－：以前の状態を保持　0↓：0 にクリア　1↑：1 にセット

*1　アドレスに続く R/$\overline{W}$ ビットとして 1 を受信した場合に 1 にセット

*2　AASX ビットに 1 がセットされている場合に 1 にセット

*3　ESTP＝1 のとき STOP=0、または STOP＝1 のとき ESTP=0

15.3.6 I²C バスステータスレジスタ（ICSR）

ICSR はステータスフラグで構成されます。表 15.4、表 15.5 を併せて参照してください。

ビット	ビット名	初期値	R/W	説　　明
7	ESTP	0	R/(W)*	エラー停止条件検出フラグ I²C バスフォーマットでスレーブモードのとき有効 ［セット条件］ • フレームの転送の途中で停止条件を検出したとき ［クリア条件］ • ESTP＝1 の状態をリードした後、0 をライトしたとき • IRIC フラグが 0 にクリアされたとき
6	STOP	0	R/(W)*	正常停止条件検出フラグ I²C バスフォーマットでスレーブモードのとき有効 ［セット条件］ • フレームの転送の完了後に停止条件を検出したとき ［クリア条件］ • STOP＝1 の状態をリードした後、0 をライトしたとき • IRIC フラグが 0 にクリアされたとき
5	IRTR	0	R/(W)*	I²C バスインタフェース連続送受信割り込み要求フラグ I²C バスインタフェースが CPU に対して割り込み要求を発生させており、その要因が 1 フレームデータ送受信の終了であることを示します。 IRTR フラグが 1 にセットされると、同時に IRIC フラグも 1 にセットされます。 ［セット条件］ • I²C バスインタフェースでスレーブモードのとき AASX＝1 の状態で、ICDRE または ICDRF フラグが 1 にセットされたとき • I²C バスインタフェースでマスタモード、クロック同期式シリアルフォーマットのとき ICDRE または ICDRF フラグが 1 にセットされたとき ［クリア条件］ • IRTR＝1 の状態をリードした後、0 をライトしたとき • ICE=1 の状態で IRIC フラグが 0 にクリアされたとき

ビット	ビット名	初期値	R/W	説　　明
4	AASX	0	R/(W)*	第 2 スレーブアドレス認識フラグ I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームが SARX の SVAX6～SVAX0 と一致したことを示します。 ［セット条件］ • スレーブ受信モードでかつ FSX＝0 で第 2 スレーブアドレスを検出したとき ［クリア条件］ • AASX＝1 の状態をリードした後、0 をライトしたとき • 開始条件を検出したとき • マスタモードのとき
3	AL	0	R/(W)*	アービトレーションロストフラグ マスタモード時にバス競合負けをしたことを示します。 ［セット条件］ ALSL＝0 のとき • マスタ送信モードで SCL の立ち上がりで内部 SDA と SDA 端子が不一致のとき • マスタモードで SCL の立ち下がりで内部 SCL が High レベルのとき ALSL＝1 のとき • マスタ送信モードで SCL の立ち上がりで内部 SDA と SDA 端子が不一致のとき • マスタ送信モードで開始条件命令実行後、自分が SDA 端子を Low に立ち下げる前に他デバイスにより SDA 端子が Low に立ち下げられたとき ［クリア条件］ • ICDR にデータをライト（送信時）、データをリード（受信時）したとき • AL＝1 の状態をリードした後、0 をライトしたとき
2	AAS	0	R/(W)*	スレーブアドレス認識フラグ I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームが SAR の SVA6～SVA0 と一致した場合、またはゼネラルコールアドレス（H'00）を検出したことを示します。 ［セット条件］ • スレーブ受信モードかつ FS＝0 でスレーブアドレスまたはゼネラルコールアドレス（R/$\overline{W}$ ビットも含めた 1 フレームが H'00）を検出したとき ［クリア条件］ • ICDR にデータをライト（送信時）、または ICDR のデータをリード（受信時）したとき • AAS＝1 の状態をリードした後、0 をライトしたとき • マスタモードのとき

ビット	ビット名	初期値	R/W	説　　明
1	ADZ	0	R/(W)*	ゼネラルコールアドレス認識フラグ I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームでゼネラルコールアドレス（H'00）を検出したことを示します。 ［セット条件］ • スレーブ受信モードかつ、FSX＝0 または FS＝0 でゼネラルコールアドレス（R/$\overline{W}$ ビットも含めた 1 フレームが H'00）を検出したとき ［クリア条件］ • ICDR にデータをライト（送信時）、または ICDR のデータをリード（受信時）したとき • ADZ＝1 の状態をリード後、0 をライトしたとき • マスタモードのとき FS＝1 かつ FSX＝0 でゼネラルコールアドレスを検出した場合、ADZ フラグは 1 にセットされますが、ゼネラルコールアドレスは認識されません（AAS フラグは 1 にセットされません）。
0	ACKB	0	R/W	アクノリッジビット アクノリッジデータを格納するビットです。 送信モード ［セット条件］ • 送信モードかつ ACKE＝1 でアクノリッジビットとして 1 を受信したとき ［クリア条件］ • 送信モードかつ ACKE＝1 でアクノリッジビットとして 0 を受信したとき • ACKE ビットに 0 をライトしたとき 受信モード 0：データを受信した後、アクノリッジデータとして 0 を送出します。 1：データを受信した後、アクノリッジデータとして 1 を送出します。 本ビットをリードすると、送信時（TRS＝1 のとき）にはロードした値（受信デバイスから返ってきた値）が読み出され、受信時（TRS＝0 のとき）には設定した値が読み出されます。 また、本ビットをライトすると TRS の値にかかわらず受信時に送信するアクノリッジデータの設定値を書き換えます。ICSR レジスタのフラグをビット操作命令によって書き換えた場合は、ACKB ビットのリード値でアクノリッジデータの設定値を書き換えますので、再度アクノリッジデータを設定し直してください。 マスタモードで送信動作を終了して停止条件を発行する場合、もしくはスレーブモードで送信動作を終了してマスタデバイスが停止条件を発行できるように SDA を開放する場合は、その前に ACKE ビットに 0 をライトして ACKB フラグを 0 にクリアしてください。

【注】　＊　フラグを 0 にクリアするための 0 ライトのみ可能です。

15.3.7 DDC スイッチレジスタ（DDCSWR）

DDCSWR は IIC の内部ラッチクリアの制御を行います。

ビット	ビット名	初期値	R/W	説　　明
7～5	－	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
4	－	0	R	リザーブビット
3 2 1 0	CLR3 CLR2 CLR1 CLR0	1 1 1 1	W* W* W* W*	IIC クリア 3～0 IIC_0、IIC_1 の内部状態の初期化を制御します。 00 - - : 設定禁止 0100 : 設定禁止 0101 : IIC_0 内部ラッチクリア 0110 : IIC_1 内部ラッチクリア 0111 : IIC_0、IIC_1 内部ラッチクリア 1- - - : 設定無効 本ビットのライト動作により対応するモジュールの内部ラッチ回路へのクリア信号が発生し、IIC モジュールの内部状態が初期化されます。 本ビットはライト動作のみ可能で、リードすると常に 1 が読み出されます。なお、本ビットへのライトデータは保持されません。 IIC 内部状態の初期化を行う場合は、必ず MOV 命令を使用し、CLR3～CLR0 ビットを同時に書き込んでください。CLR3～CLR0 ビットに対する BCLR などのビット操作命令は使用しないでください。 再度クリアが必要な場合は、すべてのビットとも設定に従い書き込みする必要があります。

【注】 ＊ リードすると常に 1 が読み出されます。

15.3.8 I²C バスコントロール拡張レジスタ（ICXR）

ICXR は I²C バスインタフェースの割り込み動作の許可／禁止、連続受信動作の許可／禁止、受信や送信状態の確認を行います。

ビット	ビット名	初期値	R/W	説　　明
7	STOPIM	0	R/W	停止条件割り込み要因マスク スレーブモード動作時に停止条件検出での割り込み発生の許可／禁止を選択します。 0：スレーブモード動作時、停止条件検出（STOP＝1 または ESTP＝1）での IRIC フラグセットおよび割り込み発生を許可 1：停止条件検出での IRIC フラグセットおよび割り込み発生を禁止
6	HNDS	0	R/W	ハンドシェーク受信動作選択 受信モードで連続受信動作をするかどうかを選択します。 0：連続受信動作を許可 1：連続受信動作を禁止 HNDS ビットが 0 にクリアされているときは、ICDRF フラグが 0 の状態でデータを正常に受信終了した場合、引き続き受信動作を行います。 HNDS ビットが 1 にセットされているときは、ICDRF フラグが 0 の状態でデータを正常に受信終了した場合、SCL を Low レベルに固定し、次のデータ転送を禁止します。ICDR の受信データをリードすることにより SCL バスラインを開放し、次フレームの受信動作を行います。
5	ICDRF	0	R	受信データ読み出し要求フラグ 受信モードでの ICDR（ICDRR）の状態を示すフラグです。 0：ICDR（ICDRR）にあるデータは既にリードされている、あるいは初期状態であることを示します。 1：正常に受信が完了し、データが ICDRS から ICDRR へ転送され、受信完了後にまだ読み出されていないことを示します。 ［セット条件］ • データが正常に受信され、ICDRS から ICDRR へデータが転送されたとき (1) ICDRF＝0 状態でデータ受信完了したとき（9 クロック目立ち上がり） (2) ICDRF＝1 状態でデータ受信完了後、受信モードで ICDR をリードしたとき ［クリア条件］ • ICDR（ICDRR）をリードしたとき • ICE ビットに 0 をライトしたとき • DDCSWR レジスタ CLR3～CLR0 ビットで内部状態を初期化したとき ［セット条件］(2)の場合、ICDR（CDRR）をリードしたときに一度 ICDRF は 0 クリアされますが、直ちに ICDRS から ICDRR へデータが転送されるため再び ICDRF は 1 にセットされます。 なお、送信モード（TRS＝1）で ICDR をリードしたときは、ICDRS から ICDRR へのデータ転送が行われませんので、正常なデータの読み出しができません。ICDR のデータを読み出すときは受信モード（TRS＝0）で ICDR をリードしてください。

ビット	ビット名	初期値	R/W	説　　明
4	ICDRE	0	R	送信データ書き込み要求フラグ 送信モードでの ICDR（ICDRT）の状態を示すフラグです。 0：ICDR（ICDRT）に次に送信するデータが書き込まれている、あるいは初期状態であることを示します。 1：送信データが ICDRT から ICDRS へ転送され送信中である、あるいは開始条件を検出または送信完了しており、次の送信データをライトすることが可能な状態であることを示します。 ［セット条件］ • I²C バスフォーマット、シリアルフォーマットでバスラインの状態から開始条件成立を検出したとき • ICDRT から ICDRS にデータが転送されたとき (1) ICDRE＝0 状態でデータ送信完了したとき（9 クロック目立ち上がり） (2) ICDRE＝1 状態でデータ送信完了後、送信モードで ICDR をライトしたとき ［クリア条件］ • ICDR（ICDRT）に送信データをライトしたとき • I²C バスフォーマットまたはシリアルフォーマットで停止条件を検出したとき • ICE ビットに 0 をライトしたとき • DDCSWR レジスタ CLR3～CLR0 ビットで内部状態を初期化したとき I²C バスフォーマットで ACKE ビットを 1 に設定し、アクノリッジビット判定を有効にしている場合､アクノリッジビットが 1 でデータ送信が完了した場合、ICDRE はセットされません。 ［セット条件］(2)の場合、ICDR（ICDRT）にライトしたときに一度 ICDRE は 0 クリアされますが、直ちに ICDRT から ICDRS へデータが転送されるため再び ICDRE は 1 にセットされます。 なお、TRS＝0 のときは ICDRE フラグの値は無効ですので、ICDR へのライト動作は行わないでください。
3	ALIE	0	R/W	アービトレーションロスト割り込みイネーブル アービトレーションロスト発生時に IRIC フラグを 1 にセットし、割り込み発生を許可するかどうかを選択します。 0：アービトレーションロスト発生時の割り込み要求を禁止 1：アービトレーションロスト発生時の割り込み要求を許可

ビット	ビット名	初期値	R/W	説　　明
2	ALSL	0	R/W	アービトレーションロスト条件セレクト アービトレーションロスト発生条件を選択します。 0：SCL 立ち上がり時に、SDA 端子の状態が自分の出力したデータと不一致または、SCL 端子が他デバイスにより立ち下げられたとき 1：SCL 立ち上がり時に、SDA 端子の状態が自分の出力したデータと不一致または、アイドル状態または開始条件命令実行後、他デバイスにより SDA 端子を立ち下げられたとき
1 0	FNC1 FNC0	0 0	R/W R/W	ファンクションビット 1、0 一部の使用上の制限事項を解除するためのビットです。 詳細は、「15.6　使用上の注意事項」を参照してください。 00：動作制限対策無効 01：設定禁止 10：設定禁止 11：動作制限対策有効

15.4　動作説明

I²C バスインタフェースには、I²C バスフォーマットとシリアルフォーマットがあります。

15.4.1　I²C バスデータフォーマット

I²C バスフォーマットは、アドレッシングフォーマットでアクノリッジビットありです。これを図 15.3 に示します。開始条件に続く第 1 フレームは必ず 9 ビット構成となります。

シリアルフォーマットは、ノンアドレッシングフォーマットでアクノリッジビットなしです。これを図 15.4 に示します。また、I²C バスのタイミングを図 15.5 に示します。

図 15.3～図 15.5 の記号説明を表 15.6 に示します。

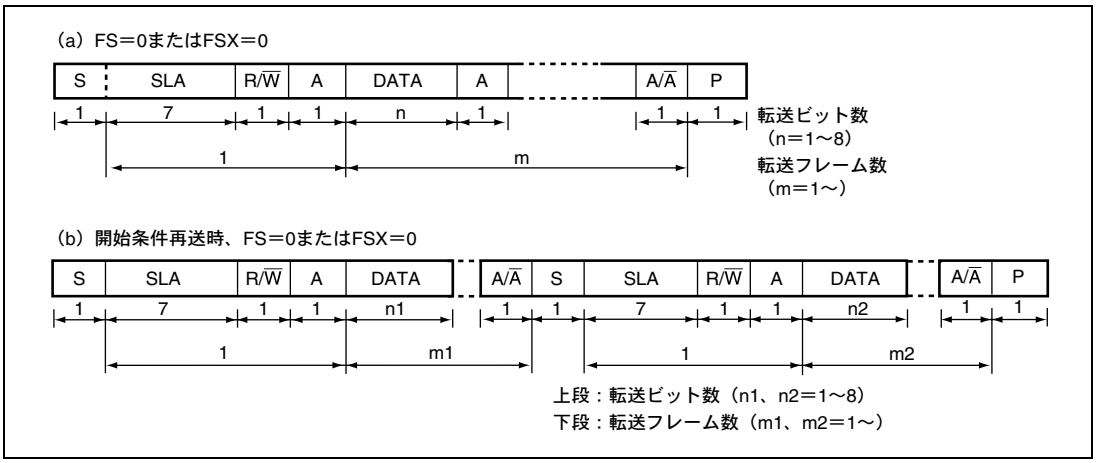


図 15.3　I²C バスデータフォーマット（I²C バスフォーマット）

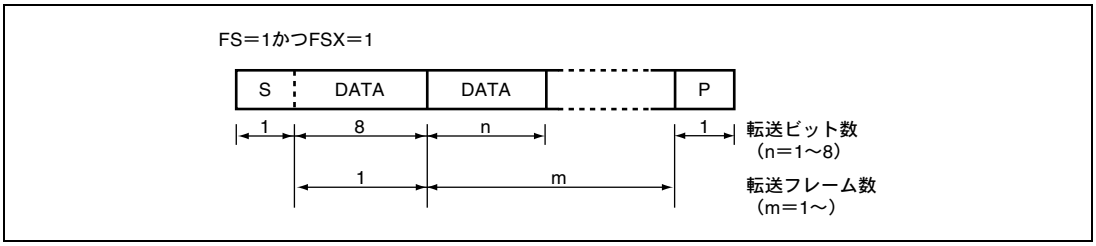


図 15.4　I²C バスデータフォーマット（シリアルフォーマット）

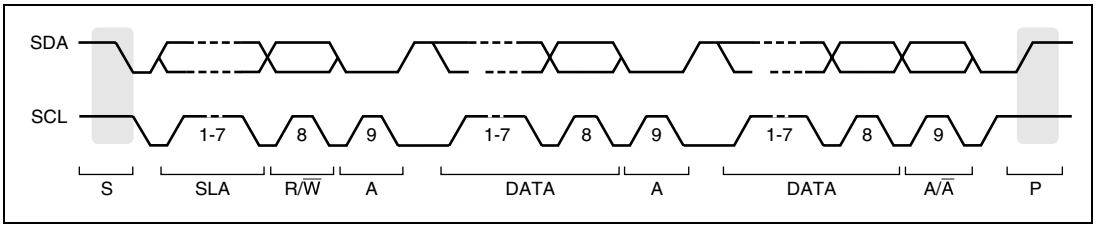


図 15.5　I²C バスタイミング

表 15.6　I²C バスデータフォーマット記号説明

S	開始条件を示します。マスタデバイスが SCL＝High レベルの状態で SDA を High レベルから Low レベルに変化させます。
SLA	スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/$\overline{W}$	送信／受信の方向を示します。R/$\overline{W}$ ビットが 1 の場合スレーブデバイスからマスタデバイス、R/$\overline{W}$ ビットが 0 の場合マスタデバイスからスレーブデバイスへデータを転送します。
A	アクノリッジを示します。受信デバイスが SDA を Low レベルにします（マスタ送信モード時スレーブが、マスタ受信モード時マスタがアクノリッジを返します）。
DATA	送受信データを示します。送受信するデータのビット長は ICMR の BC2～BC0 ビットで設定します。 また MSB ファースト／LSB ファーストの切り替えは ICMR の MLS ビットで選択します。
P	停止条件を示します。マスタデバイスが SCL＝High レベルの状態で SDA を Low レベルから High レベルに変化させます。

15.4.2 初期設定

データ送信／受信を開始するとき、以下の手順に従い IIC を初期化してください。

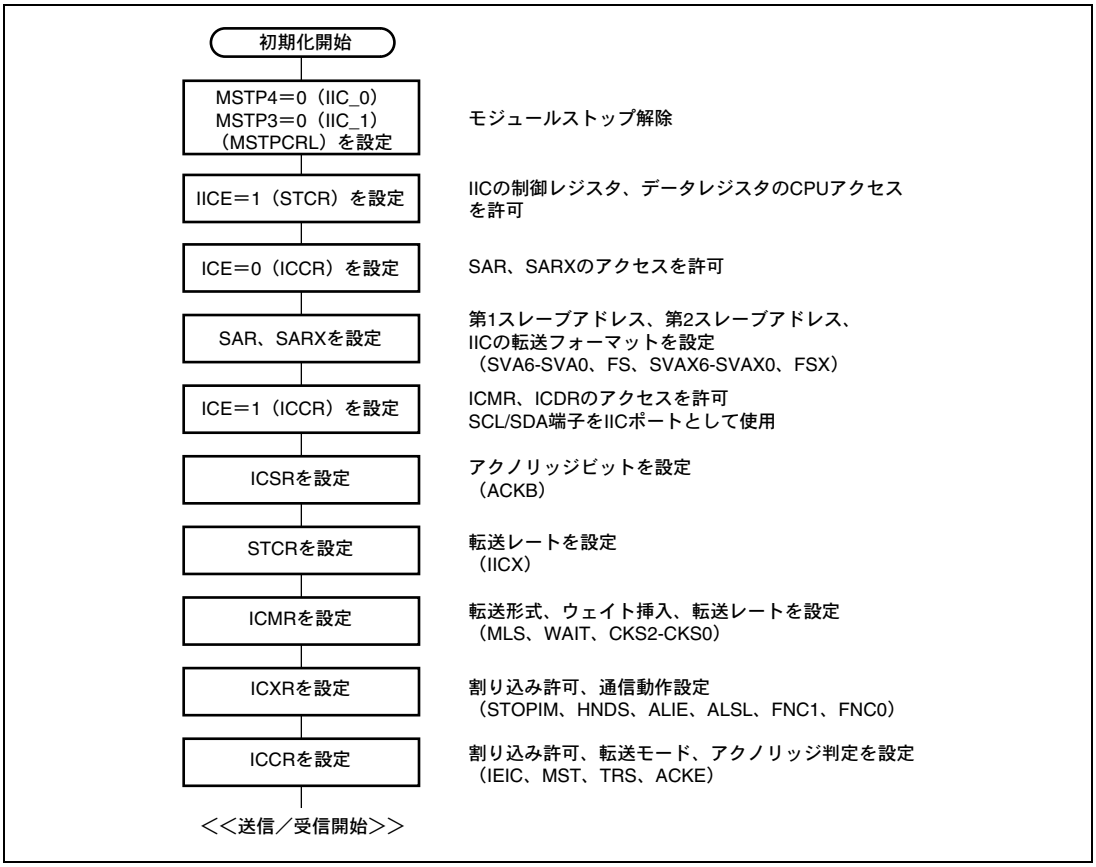


図 15.6　IIC の初期化フローチャートの例

【注】　ICMR レジスタの書き換えは、必ず送受信動作の終了後に行ってください。

送受信動作の途中で ICMR レジスタに対しライト動作を行うと、ビットカウンタ BC2-BC0 の値が不正に書き換えられ、正常に動作しなくなる恐れがあります。

15.4.3 マスタ送信動作

I²C バスフォーマットによるマスタ送信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。

図 15.7 にマスタ送信モードのフローチャート例を示します。

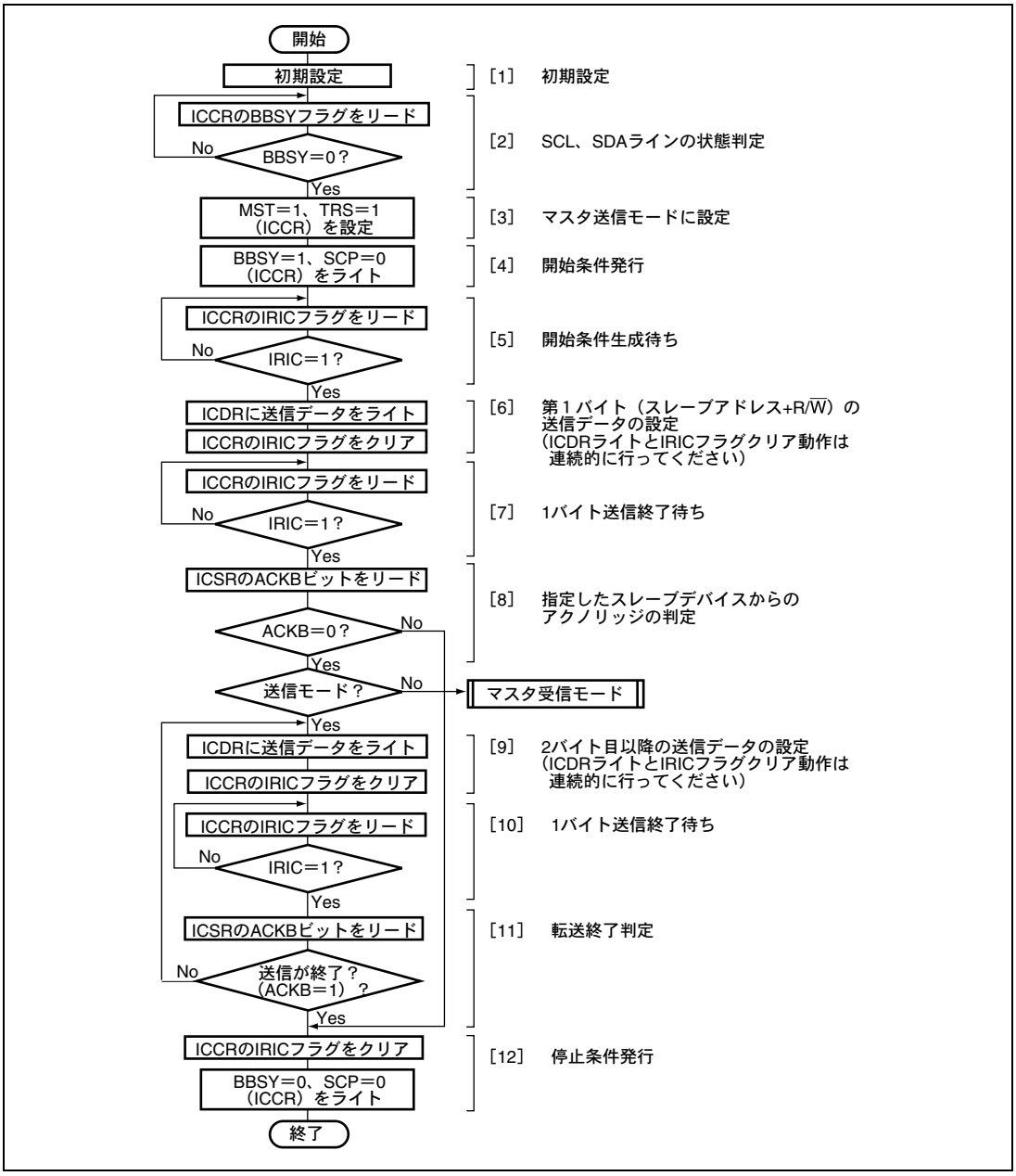


図 15.7 マスタ送信モードフローチャート例

以下に ICDR（ICDRT）のライト動作に同期して、データを逐次的に送信する送信手順と動作を示します。

1. 「15.4.2　初期設定」に従い初期設定を行います。
2. ICCRのBBSYフラグをリードし、バスがフリー状態であることを確認します。
3. ICCRのMST、TRSビットをそれぞれ1にセットしてマスタ送信モードに設定します。
4. ICCRにBBSY＝1かつSCP＝0をライトします。これにより、SCLがHighレベルのときSDAをHighレベルからLowレベルに変化させ、開始条件を生成します。
5. 開始条件の生成に伴いIRIC、IRTRフラグが1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求を発生します。
6. 開始条件を検出後、ICDRにデータ（スレーブアドレス+R/$\overline{W}$）をライトします。

   I²Cバスフォーマット（SARのFSビットまたはSARXのFSXビットが0のとき）では、開始条件に続く第1フレームデータは7ビットのスレーブアドレスと送信／受信の方向(R/$\overline{W}$)を示します。

   次に転送終了を判断するためIRICフラグを0にクリアします。

   ここでICDRのライトとIRICフラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。もしIRICフラグのクリアまでに1バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。

   マスタデバイスは送信クロックとICDRにライトされたデータを順次送出します。選択された（スレーブアドレスが一致した）スレーブデバイスは、送信クロックの9クロック目にSDAをLowレベルにし、アクノリッジを返します。
7. 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。

   SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。
8. ICSRのACKBビットをリードしてACKB＝0であることを確認します。

   スレーブデバイスがアクノリッジを返さずACKB＝1となっている場合は、12.の送信終了処理を行い、再度送信動作をやり直してください。
9. ICDRに送信データをライトします。

   次に転送終了を判断するためIRICフラグを0にクリアします。

   ここで6.同様にICDRのライトとIRICフラグのクリアは連続的に行ってください。

   次フレームの送信は内部クロックに同期して行われます。
10. 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。

    SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。

11. ICSRのACKBビットをリードします。

スレーブデバイスがアクノリッジを返しACKB＝0となっていることを確認します。引き続きデータを送信する場合には、9.に戻り次の送信動作に移ります。スレーブデバイスがアクノリッジを返さずACKB＝1となっている場合は、12.の送信終了処理を行います。

12. IRICフラグを0にクリアします。

ICCRのACKEビットに0をライトし、受信したACKBビットの内容を0にクリアします。

ICCRにBBSY=0かつSCP=0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

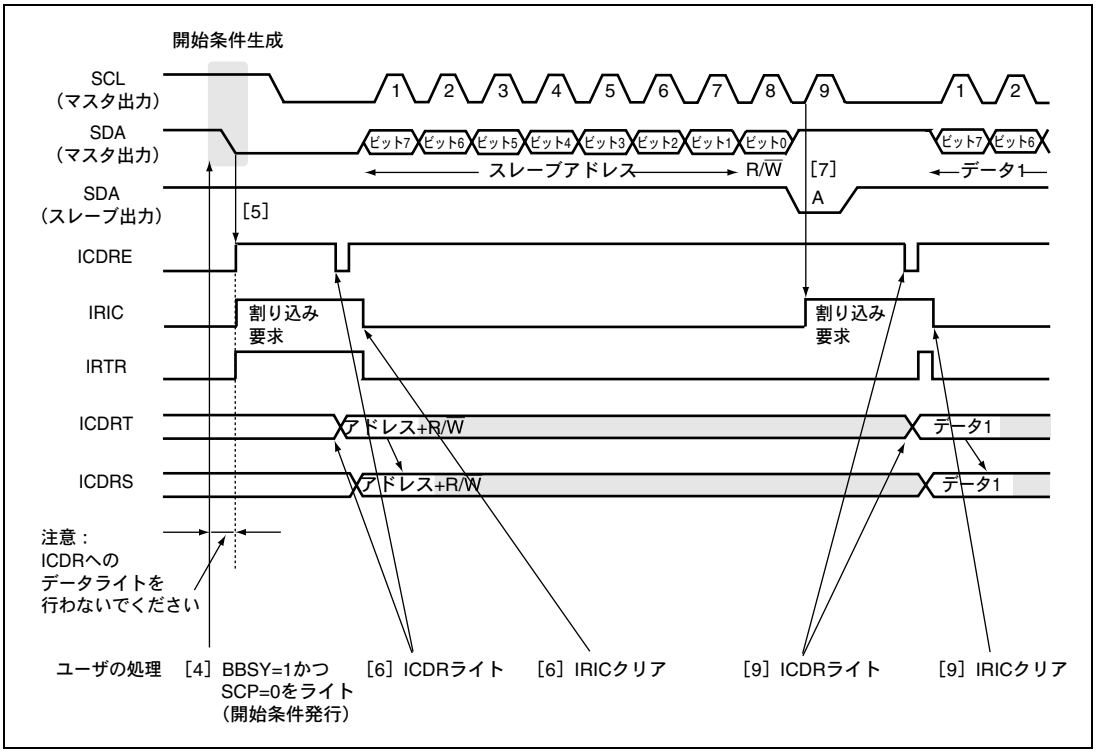


図 15.8　マスタ送信モード動作タイミング例（MLS＝WAIT＝0 のとき）

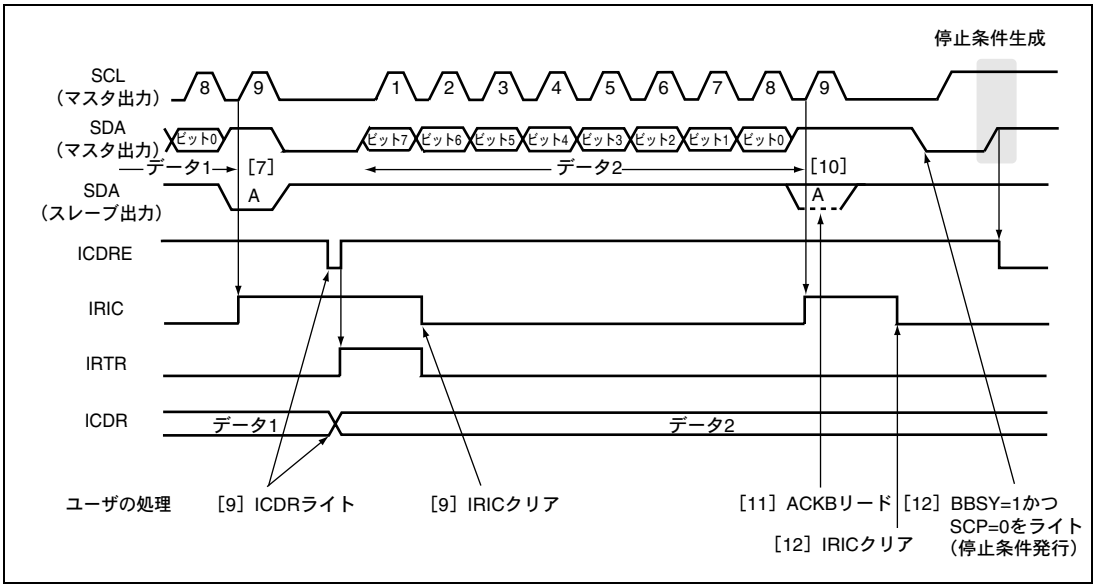


図 15.9　マスタ送信モード停止条件発行動作タイミング例（MLS＝WAIT＝0 のとき）

15.4.4 マスタ受信動作

I²C バスフォーマットによるマスタ受信モードでは、マスタデバイスが受信クロックを出力し、データを受信し、アクノリッジを返します。スレーブデバイスはデータを送信します。

マスタデバイスは、マスタ送信モードにて開始条件発行後の第一フレームでスレーブアドレス＋R/$\overline{W}$（1：リード）のデータを送信し、スレーブデバイスを選択した後、受信動作に切り替えます。

（1） HNDS 機能を利用した受信動作（HNDS＝1）

図 15.10 にマスタ受信モードのフローチャート例（HNDS＝1）を示します。

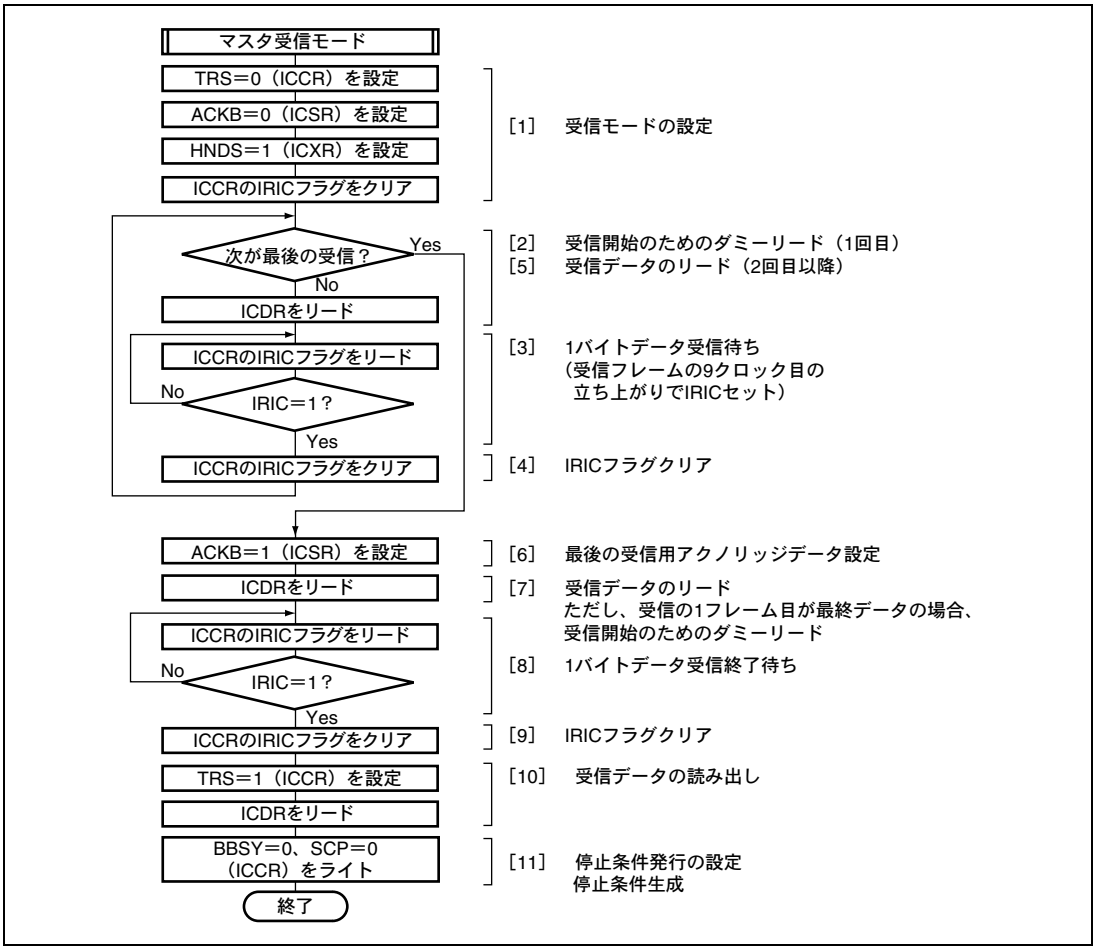


図 15.10 マスタ受信モードフローチャート例（HNDS＝1）

以下に HNDS ビット機能を利用し、データ受信ごとに SCL を Low に固定することで 1 バイトごとのデータ受信処理を行う受信手順と動作を示します。

1. ICCRのTRSビットを0にクリアし、送信モードから受信モードに切り替えます。

   ICSRのACKBビットを0にクリアします。（アクノリッジデータの設定）

   ICXRのHNDSビットを1にセットします。

   受信完了を判断するためIRICフラグを0にクリアします。

   受信の1フレーム目が最後の受信データの場合は、6.以降の終了処理を行ってください。

2. ICDRをリード（ダミーリード）すると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。（受信クロックの立ち上がりに同期してSDA端子のデータをICDRSに順次格納します。）

3. 受信フレームの9クロック目でマスタデバイスはSDAをLowレベルにし、アクノリッジを返します。受信データは9クロック目の立ち上がりでICDRSからICDRRに転送され、ICDRF、IRIC、IRTRの各フラグが1にセットされます。このとき、IEICビットが1にセットされていると、CPUに対し割り込み要求を発生します。

   マスタデバイスは受信クロックの9クロック目の立ち下がりからICDRのデータをリードするまでSCLをLowレベルにします。

4. 次の割り込みを判断するためIRICフラグを0にクリアします。

   次のフレームが最後の受信データの場合は、6.以降の終了処理を行ってください。

5. ICDRの受信データをリードします。このときICDRFフラグが0にクリアされ、マスタデバイスは次のデータ受信のため、引き続き受信クロックを出力します。

   3.から5.を繰り返し行うことにより、データを受信することができます。

6. ACKBビットを1にセットします。（最後の受信用アクノリッジデータの設定）

7. ICDRの受信データをリードします。このときICDRFフラグが0にクリアされ、マスタデバイスはデータ受信のため、受信クロックを出力します。

8. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICDRF、IRIC、IRTRの各フラグが1にセットされます。

9. IRICフラグを0にクリアします。

10. TRSビットを1にセット後、ICDRの受信データをリードします。このとき、ICDRFフラグが0にクリアされます。

11. 停止条件生成のため、ICCRにBBSY＝0かつSCP＝0をライトします。

    これによりSCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

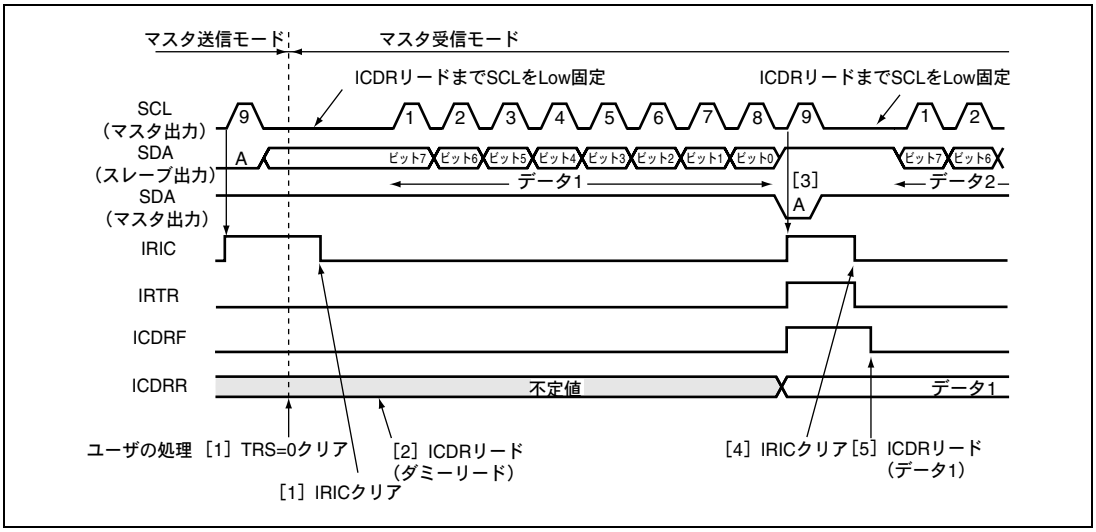


図 15.11　マスタ受信モード動作タイミング例（MLS＝WAIT＝0、HNDS＝1 のとき）

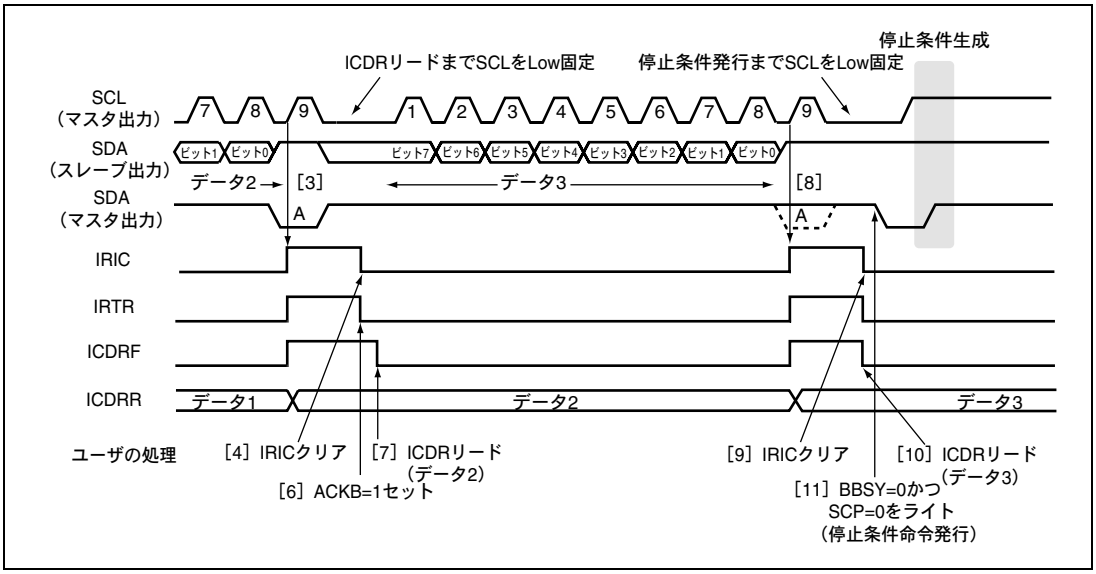


図 15.12　マスタ受信モード動作停止条件発行タイミング例（MLS＝WAIT＝0、HNDS＝1 のとき）

（2） ウェイトを利用した受信動作

図 15.13、図 15.14 にマスタ受信モードのフローチャート例（WAIT＝1）を示します。

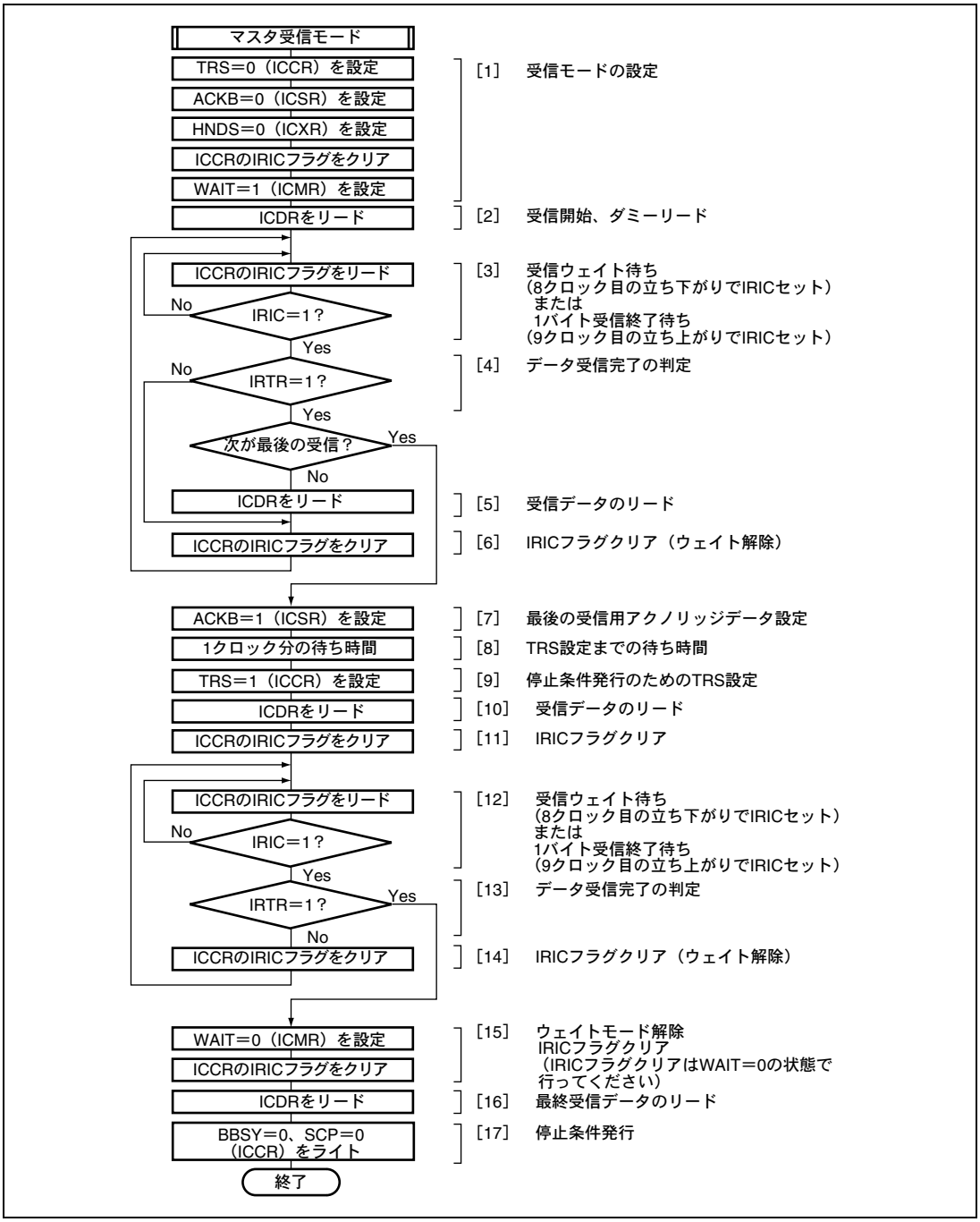


図 15.13 マスタ受信モード（複数バイト数受信）のフローチャート例（WAIT＝1）

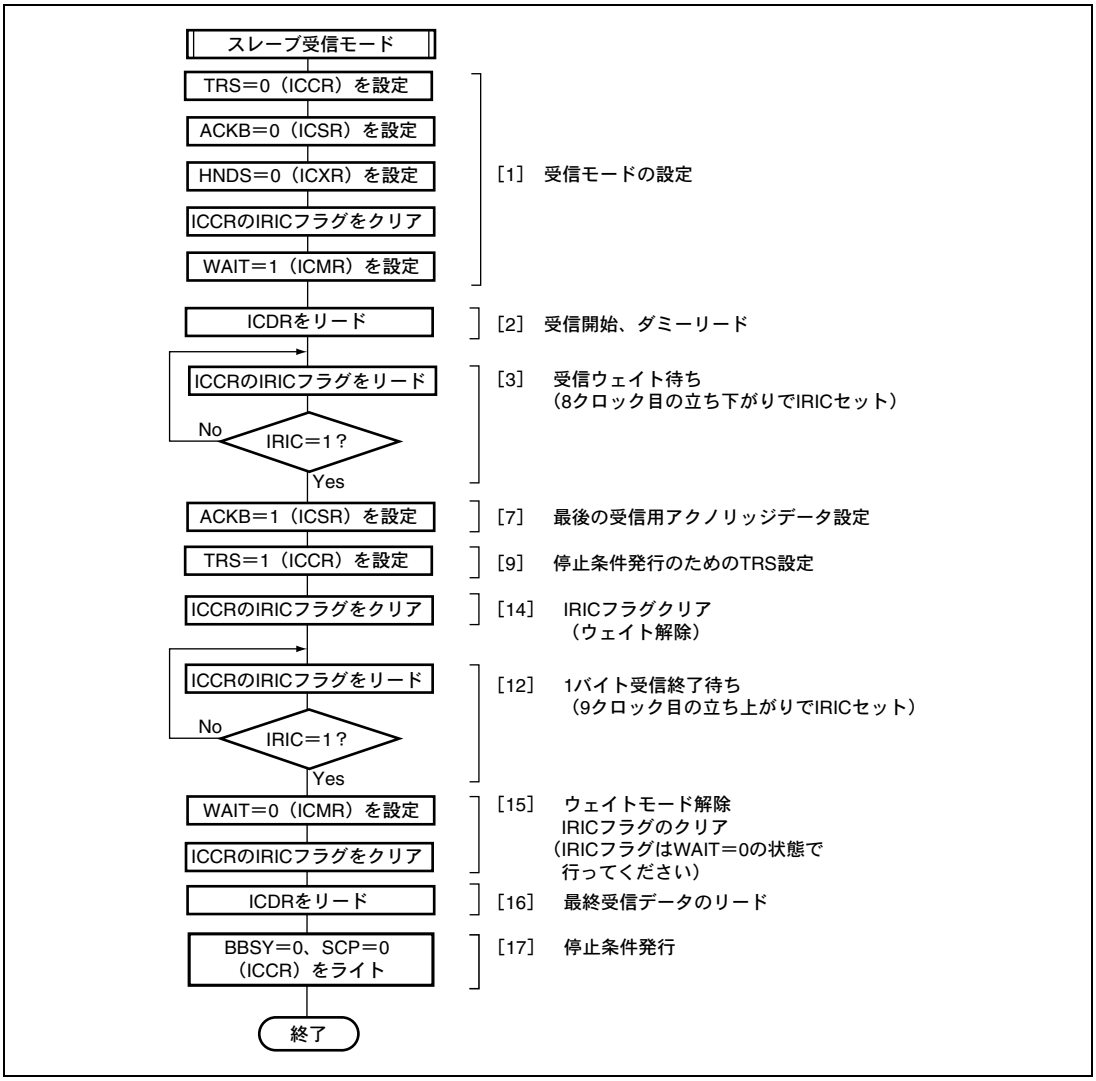


図 15.14　マスタ受信モード（1 バイトのみ受信）のフローチャート例（WAIT＝1）

以下にウェイト動作（WAIT ビット）を利用し、ICDR（ICDRR）のリード動作に同期してデータを逐次的に受信する受信手順と動作を示します。

下記手順は複数バイト受信動作について説明しています。1 バイトのみ受信の場合は一部手順が省略されていますので、**図 15.14** のフローチャートに従って動作を行ってください。

1. ICCRのTRSビットを0にクリアし、送信モードから受信モードに切り替えます。

   ICSRのACKBビットを0にクリアします。（アクノリッジデータの設定）

   ICXRのHNDSビットを0にクリアします。（ハンドシェーク機能の解除）

   IRICフラグを0にクリアし、その後にICMRのWAITビットを1にセットします。

2. ICDRをリード（ダミーリード）すると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。

3. IRICフラグが以下の2条件で1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求を発生します。

   (1) 1フレームの受信クロックの8クロック目の立ち下がりでセットされます。

   SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。

   (2) 1フレームの受信クロックの9クロック目の立ち上がりでセットされます。

   IRTRフラグとICDRFフラグが1にセットされ、1フレームのデータ受信が終了したことを示します。

   マスタデバイスは引き続き次の受信データの受信クロックを出力します。

4. ICSRのIRTRフラグをリードします。

   IRTRフラグが0の場合は6.のIRICフラグクリアでウェイト解除を行います。

   IRTRフラグが1で、次に受信するデータが最後の受信データの場合は、7.の終了処理を行ってください。

5. IRTRフラグが1の場合は、ICDRの受信データをリードします。

6. IRICフラグを0にクリアします。3.（1）の場合、マスタデバイスは受信クロックの9クロック目を出力するとともに、SDAをLowレベルにし、アクノリッジを返します。

   3.から6.を繰り返し行うことにより、データを受信することができます。

7. ICSRのACKBビットを1にセットし、最後の受信用アクノリッジデータを設定します。

8. IRICフラグが1にセットされてから少なくとも1クロック分の待ち時間をとり、次の受信データの1クロック目が立ち上がるのを待ちます。

9. ICCRのTRSビットを1にセットし、受信モードから送信モードに切り替えます。ここで設定したTRSビットの値は次の9クロック目の立ち上がりエッジが入力されてから有効になります。

10. ICDRの受信データをリードします。

11. IRICフラグを0にクリアします。
12. IRICフラグが以下の2条件で1にセットされます。
    (1) 1フレームの受信クロックの8クロック目の立ち下がりでセットされます。
    SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。
    (2) 1フレームの受信クロックの9クロック目の立ち上がりでセットされます。
    IRTRフラグとICDRFフラグが1にセットされ, 1フレームのデータ受信が終了したことを示します。
    マスタデバイスは引き続き次の受信データの受信クロックを出力します。
13. ICSRのIRTRフラグをリードします。
    IRTRフラグが0の場合は14.のIRICフラグクリアでウェイト解除を行います。
    IRTRフラグが1で受信動作が完了している場合は、15.の停止条件発行処理を行ってください。
14. IRTRフラグが0の場合は、IRICフラグを0にクリアし, ウェイトを解除します。
    受信動作の完了を検出するため12.のIRICフラグリードに戻ります。
15. ICMRのWAITビットを0にクリアし、ウェイトモードを解除します。
    その後、IRICフラグを0にクリアします。
    IRICフラグのクリアはWAIT＝0の状態で行ってください。
    （IRICフラグを0にクリアした後にWAITビットを0にクリアし, 停止条件発行命令を実行した場合, 停止条件が正常に出力されない場合があります。）
16. ICDRにある最終受信データをリードします。
17. ICCRにBBSY＝0かつSCP＝0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

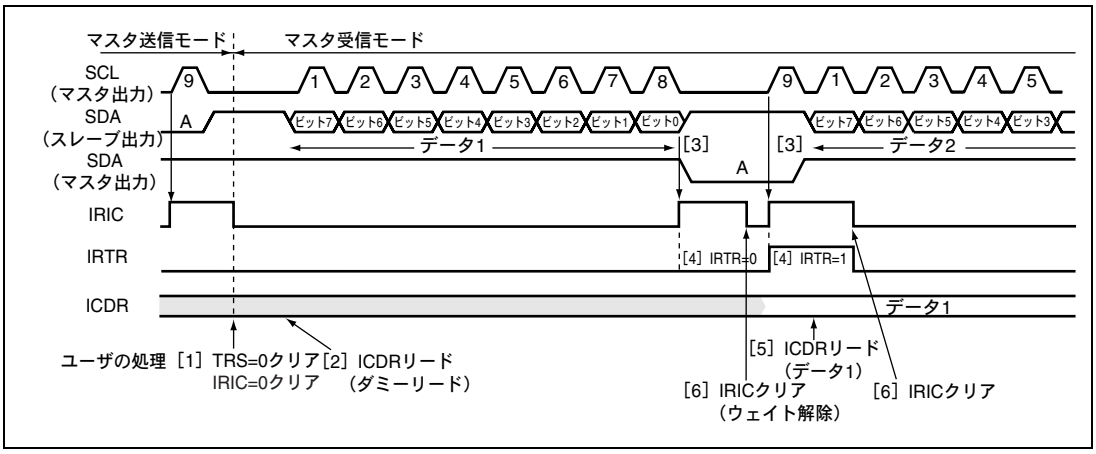


図 15.15　マスタ受信モード動作タイミング例（MLS＝ACKB＝0、WAIT＝1 のとき）

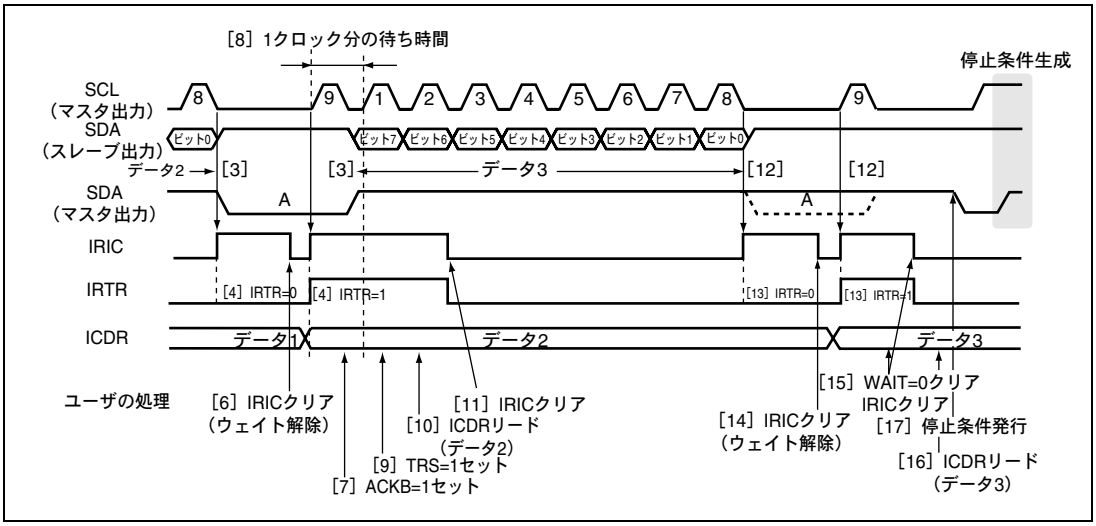


図 15.16　マスタ受信モード停止条件発行動作タイミング例（MLS＝ACKB＝0、WAIT＝1 のとき）

15.4.5　スレーブ受信動作

I²C バスフォーマットによるスレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。

スレーブデバイスは、マスタが発行する開始条件後の第 1 フレームのスレーブアドレスと自分のアドレスを比較し、一致したときにマスタデバイスに指定されたスレーブデバイスとして動作します。

（1） HNDS 機能を利用した受信動作（HNDS＝1）

図 15.17 にスレーブ受信モードのフローチャート例（HNDS＝1）を示します。

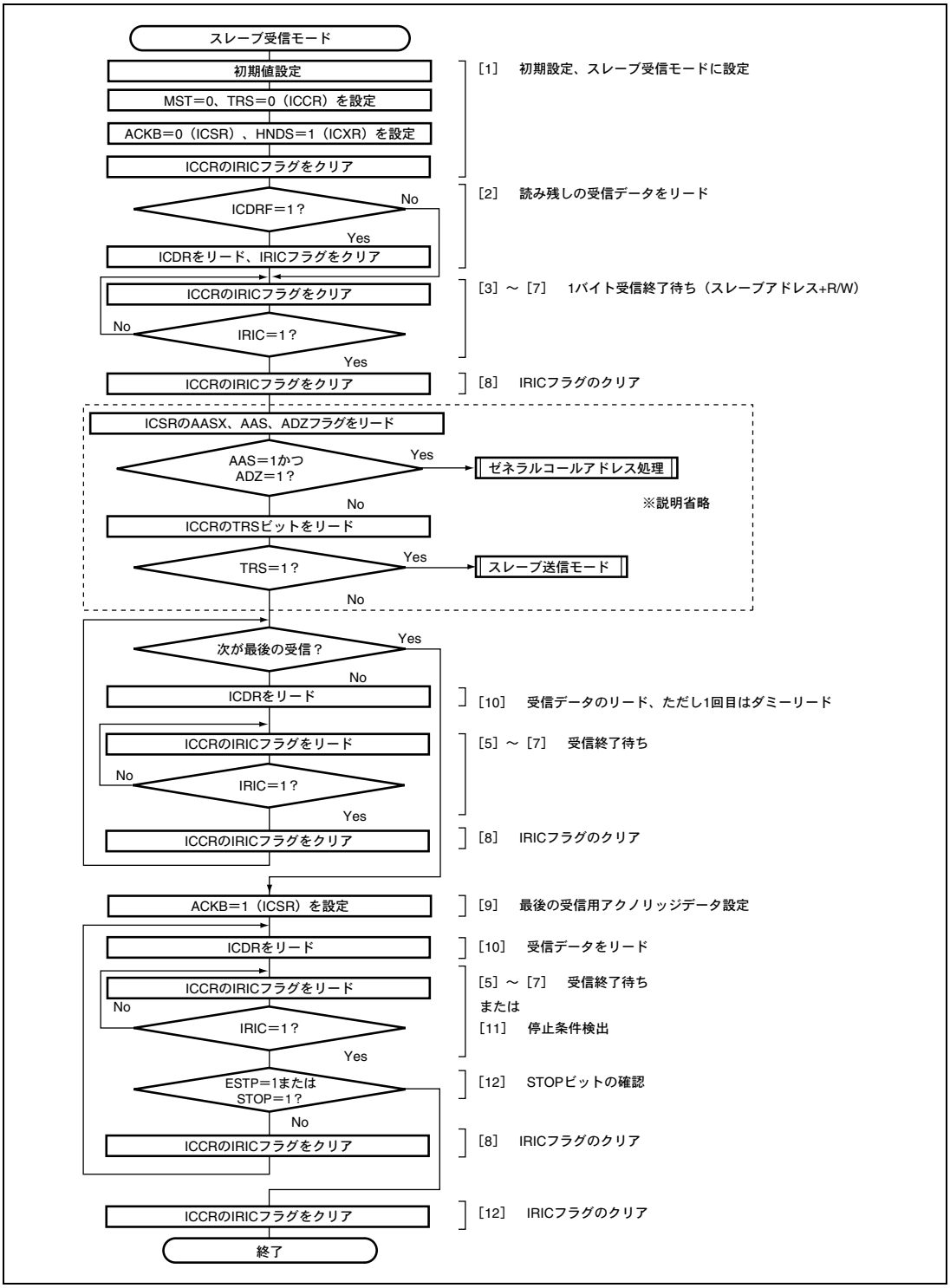


図 15.17　スレーブ受信モードのフローチャート例（HNDS＝1）

以下に HNDS ビット機能を利用し、データ受信ごとに SCL を Low に固定することで 1 バイトごとのデータ受信処理を行う受信手順と動作を示します。

1. **「15.4.2　初期設定」**に従い**初期設定**を行います。

   MST、TRSビットをそれぞれ0にクリアしてスレーブ受信モードに設定します。また、HNDSビットを1にセットし、ACKBビットを0に設定します。受信完了を判断するため、ICCRのIRICフラグを0にクリアします。

2. ICDRFフラグが0であることを確認します。もしICDRFフラグが1にセットされているときは、ICDRをリードし、その後でIRICフラグを0にクリアしておきます。

3. マスタデバイスの出力した開始条件を検出すると、ICCRのBBSYフラグが1にセットされます。マスタデバイスは、開始条件に引き続き7ビットのスレーブアドレスと送受信の方向（R/$\overline{W}$）のデータを送信クロックに合せ順次出力します。

4. 開始条件後の第1フレームでスレーブアドレスが一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。8ビット目のデータ（R/$\overline{W}$）が0のときTRSビットは0のまま変化せず、スレーブ受信動作を行います。8ビット目のデータ（R/$\overline{W}$）が1のときTRSビットは1にセットされ、スレーブ送信動作を行います。

   なお、アドレスが一致しなかった場合は、次の開始条件の検出までデータ受信動作は行いません。

5. 受信フレームの9クロック目でスレーブデバイスはACKBビットに設定したデータをアクノリッジとして返します。

6. 9クロック目の立ち上がりでIRICフラグが1にセットされます。このとき、IEICビットが1にセットされていると、CPUに対し割り込み要求を発生します。

   また、AASXビットが1にセットされているとIRTRフラグも1にセットされます。

7. 9クロック目の立ち上がりで、受信データはICDRSからICDRRに転送され、ICDRFフラグが1にセットされます。スレーブデバイスは受信クロックの9クロック目の立ち下がりからICDRのデータをリードするまでSCLをLowレベルにします。

8. STOPビットが0にクリアされていることを確認し、IRICフラグを0にクリアします。

9. 次のフレームが最後の受信フレームのときはACKBビットを1にセットしておきます。

10. ICDRをリードすると、ICDRFフラグが0にクリアされ、SCLバスラインを開放します。これによりマスタデバイスは次のデータの転送が可能となります。

    5.から10.を繰り返し行うことにより、受信動作を継続できます。

11. 停止条件（SCLがHighレベルのとき、SDAがLowレベルからHighレベルに変化）が検出されると、BBSYフラグが0にクリアされます。また、STOPビットが1にセットされます。このときSTOPIMビットが0にクリアされているとIRICフラグは1にセットされます。

12. STOPビットが1にセットされていることを確認し、IRICフラグを0にクリアします。

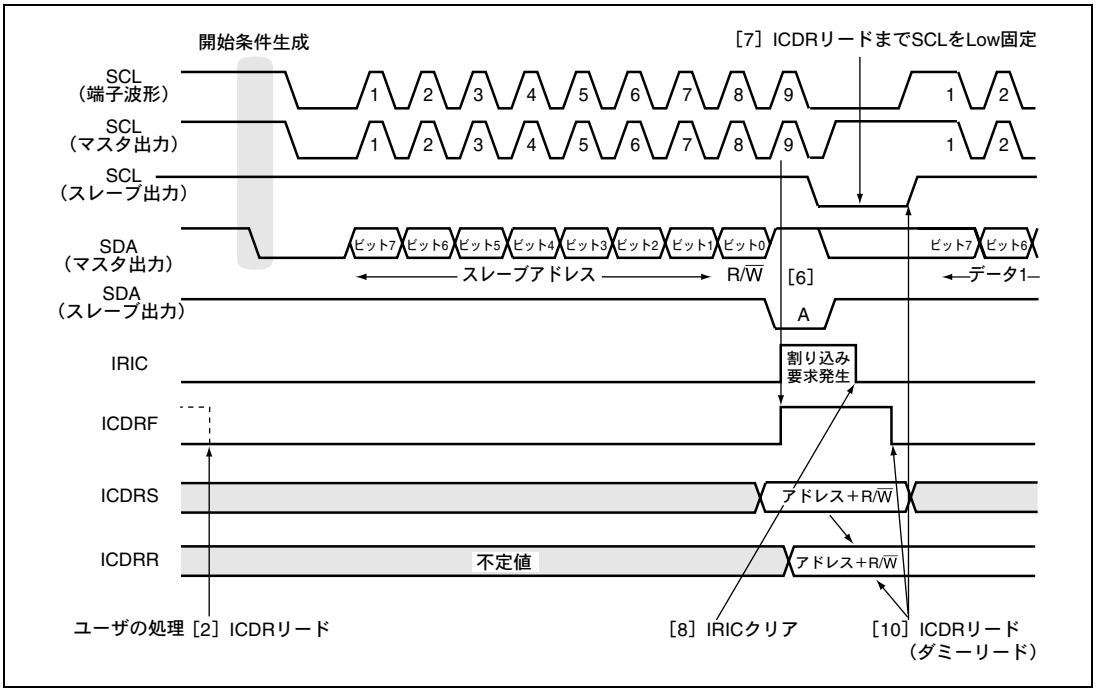


図 15.18　スレーブ受信モード動作タイミング例 1（MLS＝0、HNDS＝1 のとき）

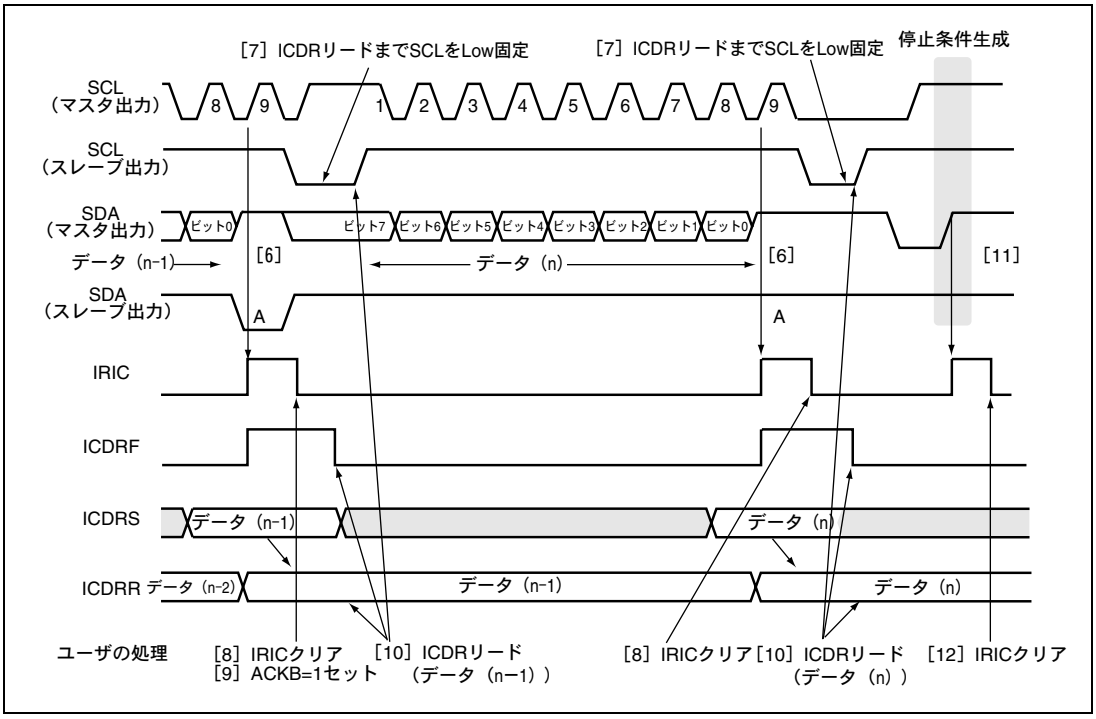


図 15.19　スレーブ受信モード動作タイミング例 2（MLS＝0、HNDS＝1 のとき）

（2） 連続受信動作

図 15.20 にスレーブ受信モードのフローチャート例（HNDS＝0）を示します。

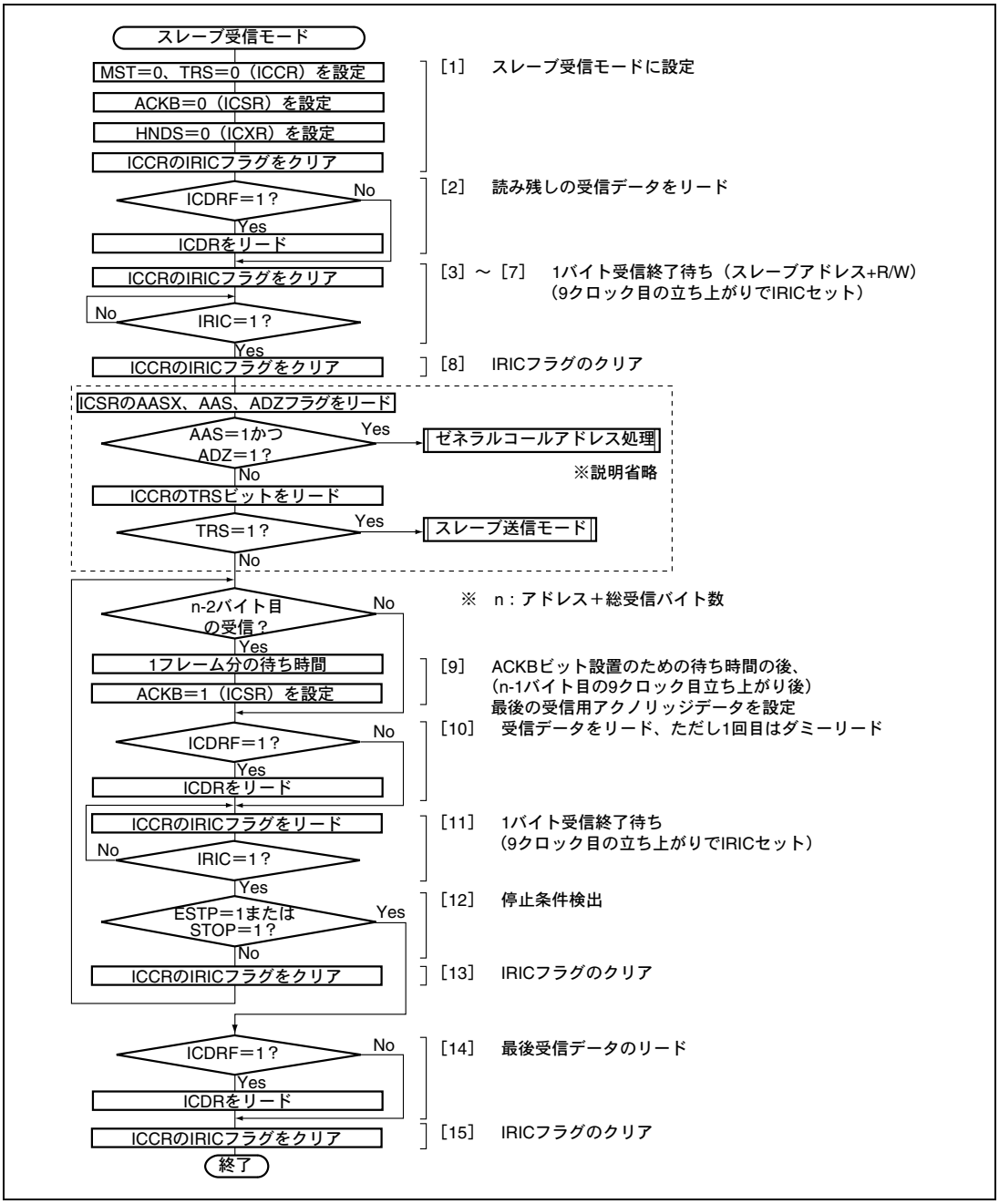


図 15.20 スレーブ受信モードのフローチャート例（HNDS＝0）

以下にスレーブ受信モードの受信手順と動作を示します。

1. 「15.4.2　初期設定」に従い初期設定を行います。

   MST、TRSビットをそれぞれ0にクリアしてスレーブ受信モードに設定します。また、HNDSビットを0にセットし、ACKBビットを0に設定します。受信完了を判断するため、ICCRのIRICフラグを0にクリアします。

2. ICDRFフラグが0であることを確認します。ICDRFフラグが1にセットされているときは、ICDRをリードし、その後でIRICフラグを0にクリアしておきます。

3. マスタデバイスの出力した開始条件を検出すると、ICCRのBBSYフラグが1にセットされます。マスタデバイスは、開始条件に引き続き7ビットのスレーブアドレスと送受信の方向（R/$\overline{W}$）のデータを送信クロックに合せ順次出力します。

4. 開始条件後の第1フレームでスレーブアドレスが一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。8ビット目のデータ（R/$\overline{W}$）が0のときTRSビットは0のまま変化せず、スレーブ受信動作を行います。8ビット目のデータ（R/$\overline{W}$）が1のときTRSビットは1にセットされ、スレーブ送信動作を行います。

   なお、アドレスが一致しなかった場合は、次の開始条件の検出までデータ受信動作は行いません。

5. 受信フレームの9クロック目でスレーブデバイスはACKBビットに設定したデータをアクノリッジとして返します。

6. 9クロック目の立ち上がりでIRICフラグが1にセットされます。このとき、IEICビットが1にセットされていると、CPUに対し割り込み要求を発生します。

   また、AASXビットが1にセットされているとIRTRフラグも1にセットされます。

7. 9クロック目の立ち上がりで、受信データはICDRSからICDRRに転送され、ICDRFフラグが1にセットされます。

8. STOPビットが0にクリアされていることを確認し、IRICフラグを0にクリアします。

9. 次にリードするデータが最後から2つ前の受信フレームのときはACKBビット設定のため最低1フレーム分の待ち時間を設けます。最後から1つ前の受信フレームの9クロック目が立ち上がった後にACKBビットを1にセットしておきます。

10. ICDRFフラグが1にセットされていることを確認し、ICDRをリードします。

    ICDRをリードすると、ICDRFフラグが0にクリアされます。

11. 9クロック目の立ち上がりまたは, ICDRリード動作により受信データがICDRSからICDRRに転送されるとIRICフラグおよびICDRFフラグが1にセットされます。

12. 停止条件（SCLがHighレベルのとき、SDAがLowレベルからHighレベルに変化）が検出されると、BBSYフラグが0にクリアされます。また、STOPフラグまたは, ESTPフラグが1にセットされます。このときSTOPIMビットが0にクリアされているとIRICフラグは1にセットされます。この場合は14.の最終受信データのリードを行います。

13. IRICフラグを0にクリアします。

9.から13.を繰り返し行うことにより、受信動作を継続できます。

14. ICDRFフラグが1にセットされていることを確認し、ICDRをリードします。

15. IRICフラグを0にクリアします。

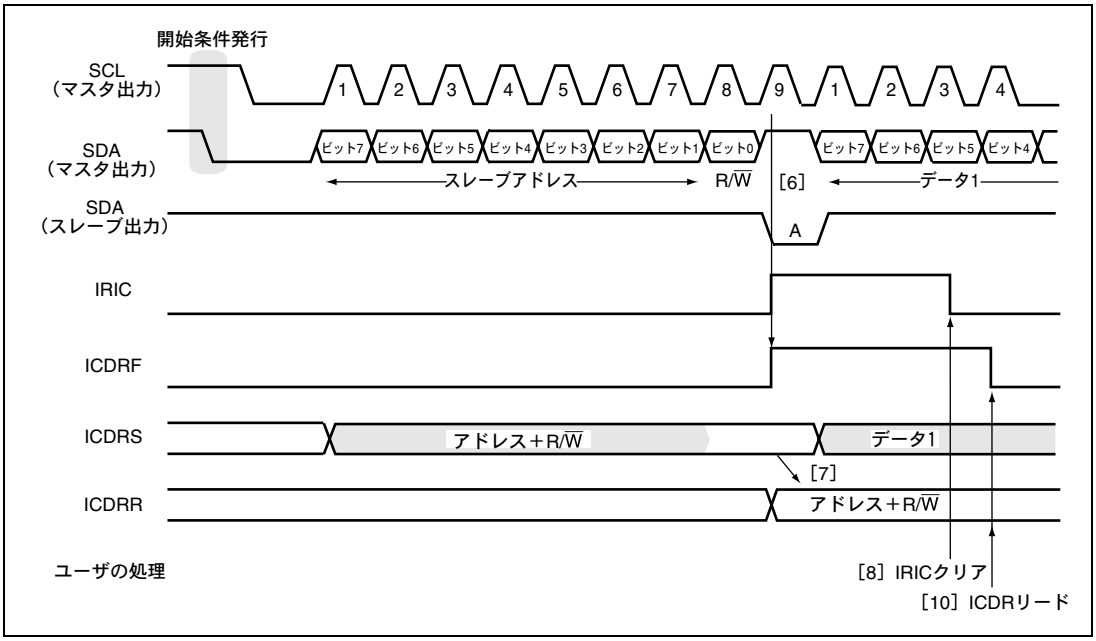


図 15.21　スレーブ受信モード動作タイミング例 1（MLS＝ACKB＝0、HNDS＝0 のとき）

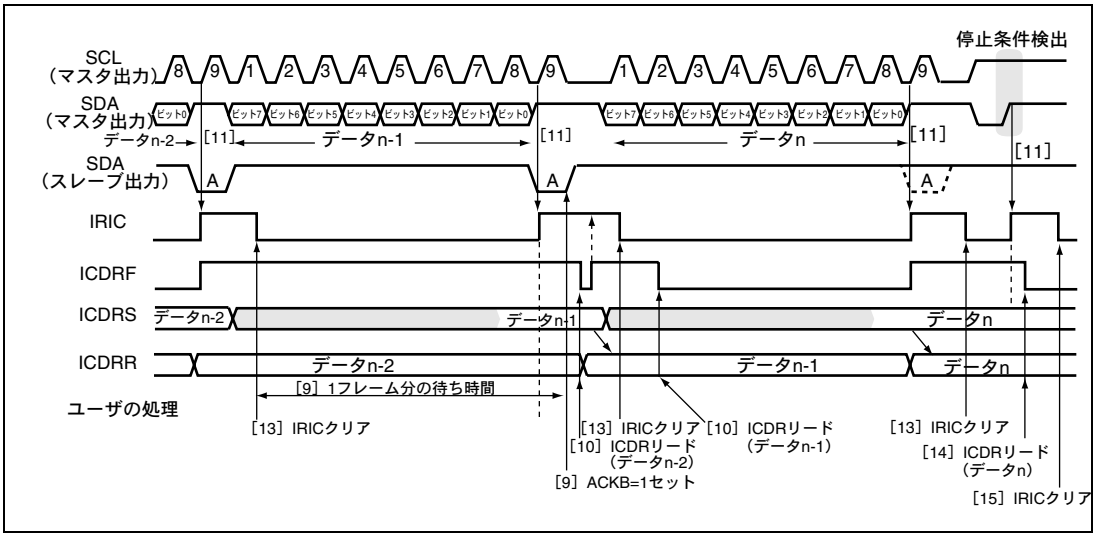


図 15.22　スレーブ受信モード動作タイミング例 2（MLS＝ACKB＝0、HNDS＝0 のとき）

15.4.6 スレーブ送信動作

スレーブ送信動作は、スレーブ受信モードで開始条件検出後の第 1 フレーム（アドレス受信フレーム）にてマスタが送信したアドレスと自分のアドレスが一致し、かつ 8 ビット目のデータ（R/$\overline{W}$）が 1（リード）のときに ICCR の TRS ビットが自動的に 1 にセットされ、スレーブ送信モードになります。

図 15.23 にスレーブ送信モードのフローチャート例を示します。

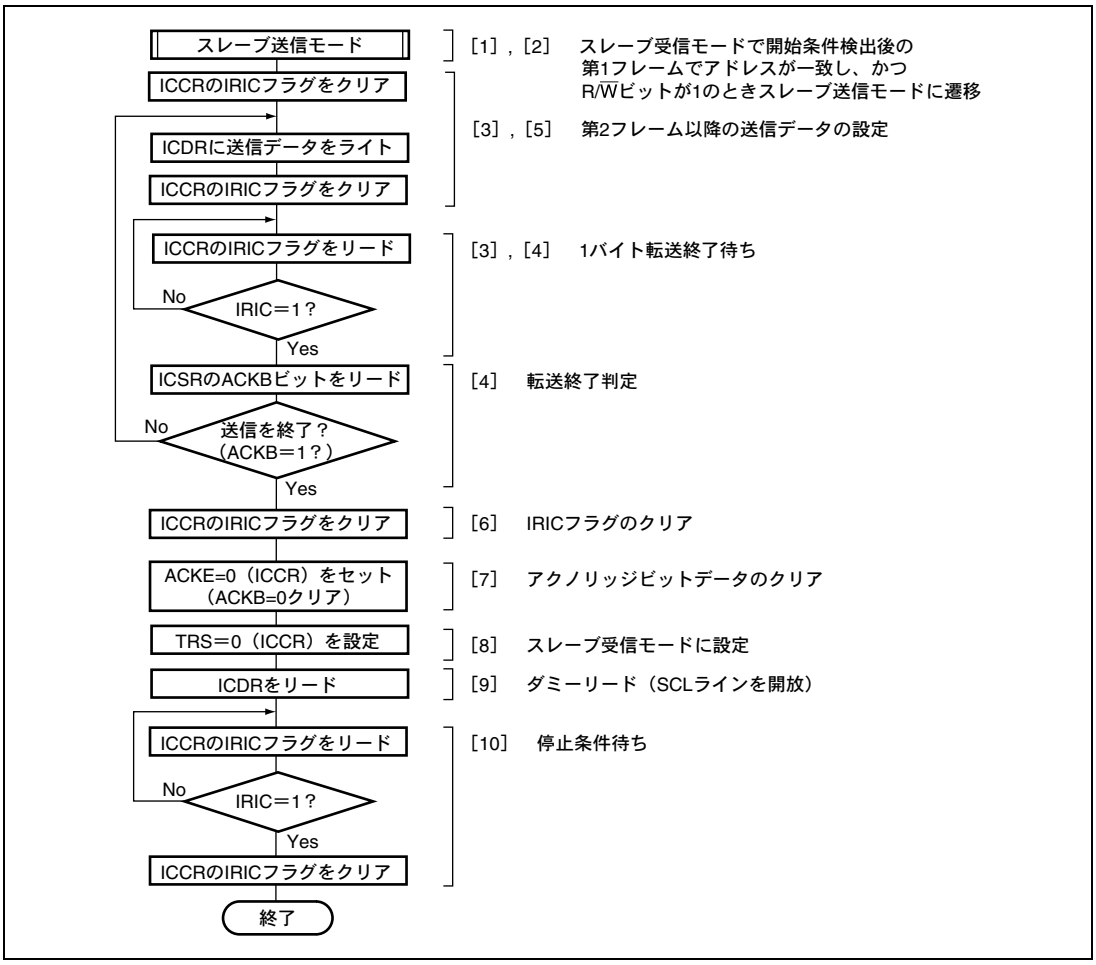


図 15.23　スレーブ送信モードのフローチャート例

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力し、アクノリッジを返します。以下にスレーブ送信モードの送信手順と動作を示します。

1. スレーブ受信モードの初期設定を行い、自分のアドレス受信を待ちます。
2. 開始条件を検出後の第1フレームでスレーブアドレスが一致したとき、9クロック目でスレーブデバイスはSDAをLowレベルにし、アクノリッジを返します。また、8ビット目のデータ（R/$\overline{W}$）が1のときTRSビットが1にセットされ、自動的にスレーブ送信モードになります。9クロックの立ち上がりのタイミングでIRICフラグが1にセットされます。このとき、IEICビットが1にセットされているとCPUに対し割り込み要求を発生します。このとき、ICDREフラグは1にセットされています。スレーブデバイスは送信クロックの9クロック目の立ち下がりからICDRにデータをライトするまでSCLをLowレベルにしマスタデバイスが次の転送クロックを出力できないようにします。
3. IRICフラグを0にクリア後、ICDRに送信データをライトします。このときICDREフラグは0にクリアされます。ライトされたデータはICDRSに転送され、ICDREフラグとIRICフラグが再び1にセットされます。スレーブデバイスはマスタデバイスが出力するクロックに従い、ICDRSに転送されたデータを順次送出します。

   送信完了を検知するためにIRICフラグを0にクリアします。ICDRレジスタライトからIRICフラグクリアまでは連続的に行い、この間に他の処理が入らないようにしてください。
4. マスタデバイスは転送フレームの9クロック目にSDAをLowレベルにし、アクノリッジを返します。このアクノリッジはICSRのACKBビットに格納されるので転送動作が正常に行われたかどうか確認することができます。1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。ICDREフラグが0のときは、ICDRにライトされたデータはICDRSに転送され送信を開始し、ICDREフラグとIRICフラグが再び1にセットされます。ICDREフラグが1にセットされていると、送信クロックの9クロック目の立ち下がりからICDRにデータライトするまでSCLをLowレベルにします。
5. 送信を続ける場合は、次に送信するデータをICDRにライトします。このときICDREフラグは0にクリアされます。送信完了を検知するためにIRICフラグを0にクリアします。ICDRライトからIRICフラグクリアまでは連続的に行い、この間に他の処理が入らないようにしてください。

   4.から5.を繰り返し行うことにより、送信動作を継続できます。
6. IRICフラグを0にクリアします。
7. 送信を終了する場合は、ICCRのACKEビットを0にクリアし、ACKBビットに格納されているアクノリッジビットの値を0にクリアします。
8. 次のアドレス受信動作のため、TRSビットを0にクリアし、スレーブ受信モードに設定します。
9. スレーブ側でSCLを開放するためにICDRをダミーリードします。
10. SCLがHighレベルのときSDAがLowレベルからHighレベルに変化して停止条件を検出すると、ICCRのBBSYフラグが0にクリアされ、ICSRのSTOPフラグが1にセットされます。ICXRのSTOPIMビットが0の場合は、IRICフラグが1にセットされます。IRICフラグがセットされているときは、IRICフラグを0にクリアします。

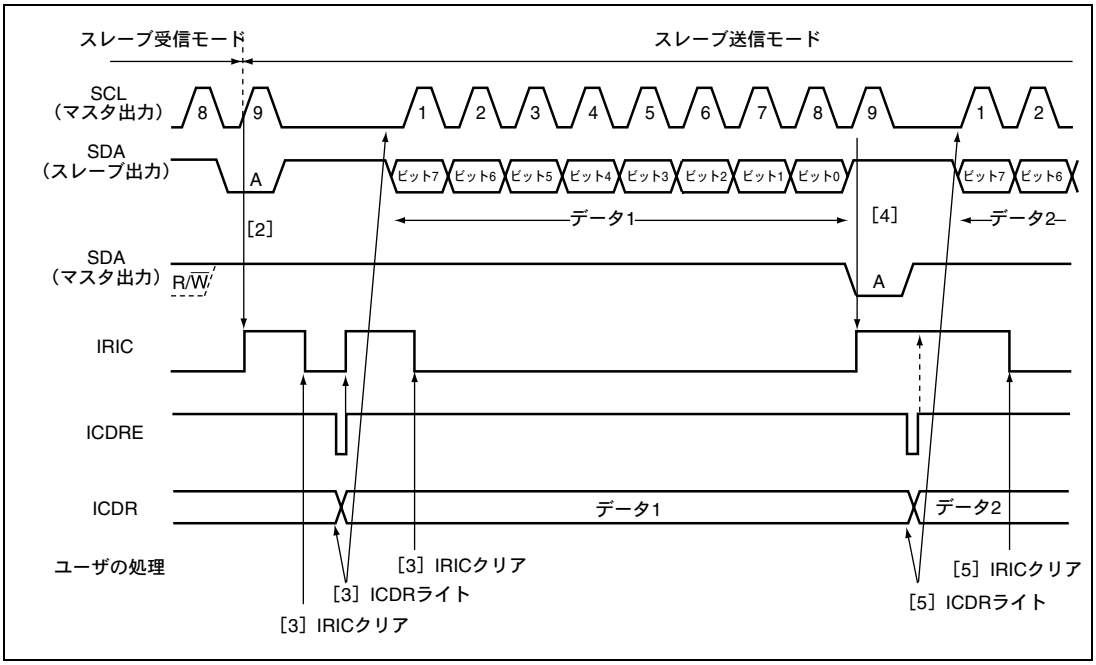


図 15.24　スレーブ送信モード動作タイミング例（MLS＝0 のとき）

15.4.7 IRIC セットタイミングと SCL 制御

割り込み要求フラグ（IRIC）セットタイミングは ICMR の WAIT ビット、SAR の FS ビットおよび SARX の FSX ビットの組み合わせにより異なります。また SCL は、ICDRE や ICDRF フラグが 1 にセットされていると、1 フレーム転送終了後内部クロックに同期して自動的に Low レベルに固定します。図 15.25～図 15.27 に IRIC セットタイミングと SCL 制御を示します。

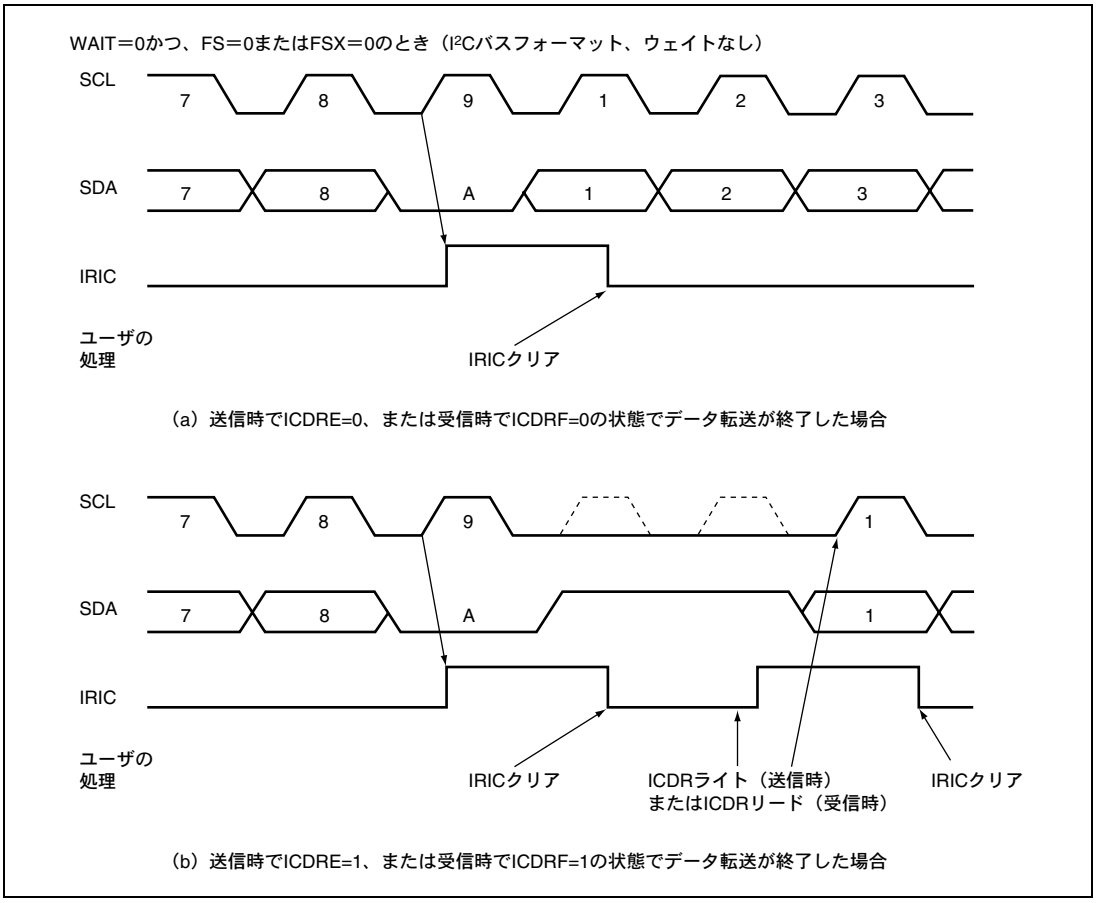


図 15.25　IRIC フラグセットタイミングと SCL 制御（1）

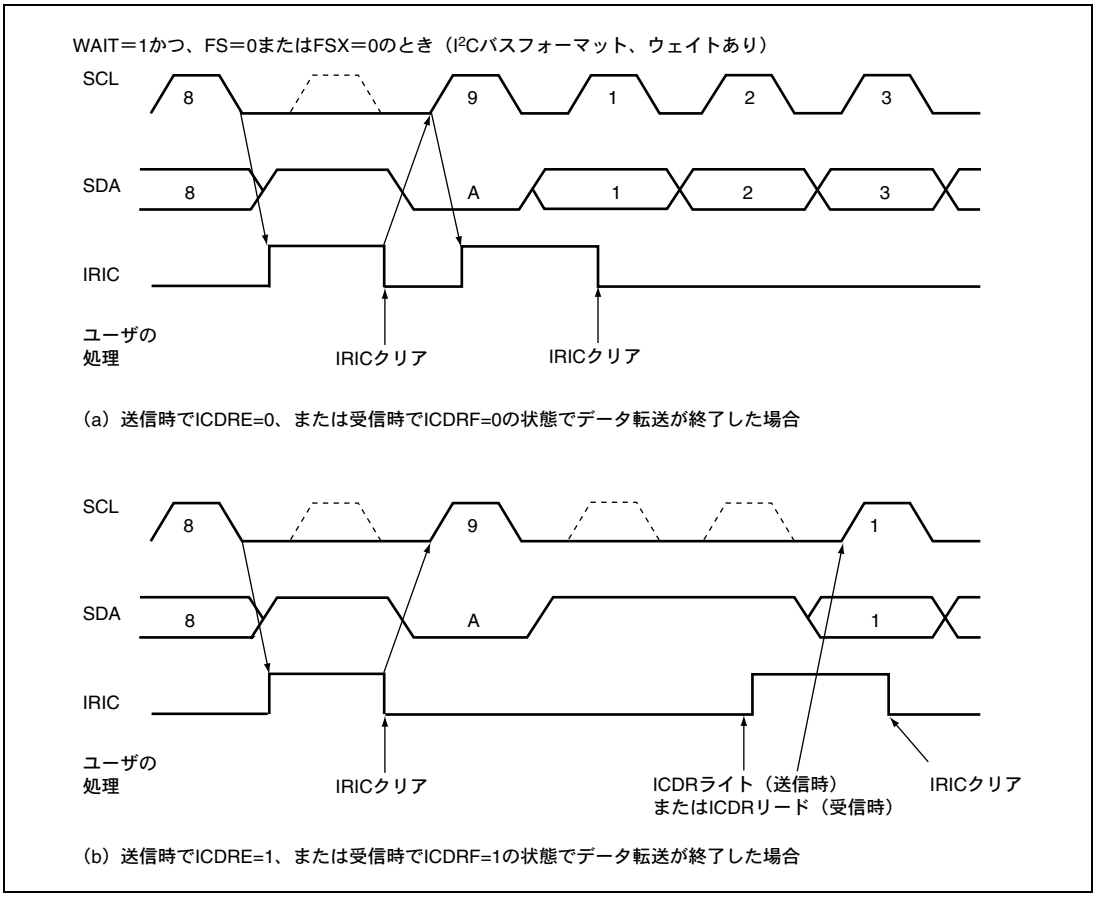


図 15.26　IRIC フラグセットタイミングと SCL 制御（2）

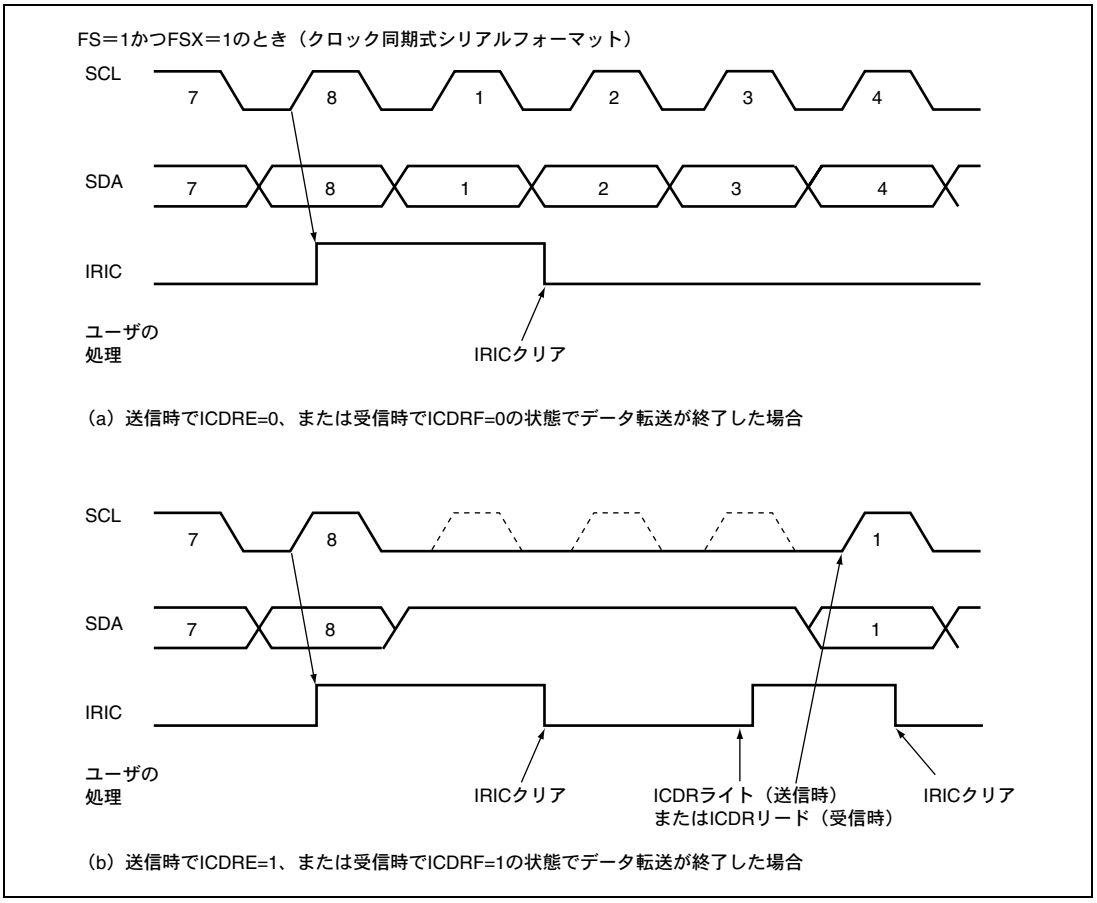


図 15.27　IRIC フラグセットタイミングと SCL 制御（3）

15.4.8 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 15.28 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

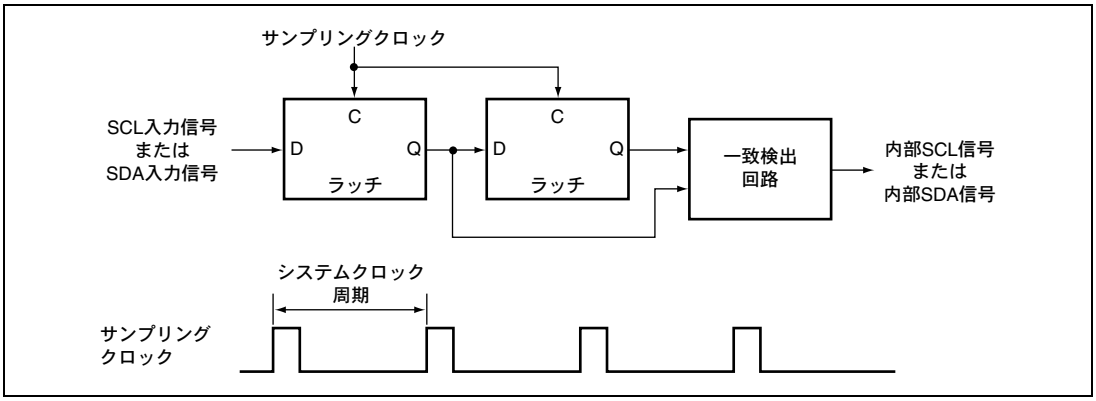


図 15.28 ノイズ除去回路のブロック図

15.4.9 内部状態の初期化

本 IIC モジュールは、通信動作中のデッドロック発生時に、強制的に IIC 内部状態を初期化させる機能をもっています。

初期化は、（1）DDCSWR レジスタの CLR3～CLR0 ビットの設定、または（2）ICE ビットのクリアにより実行されます。CLR3～CLR0 ビットの設定の詳細は、「15.3.7 DDC スイッチレジスタ（DDCSWR）」を参照してください。

（1） 初期化の範囲

本機能により初期化されるのは、次の範囲となります。

- ICDRE、ICDRF内部フラグ
- 送信／受信シーケンサ、内部動作クロックのカウンタ
- SCL、SDA端子出力状態を保持するための内部ラッチ（ウェイト、クロック、データ出力など）

なお、以下の内容は初期化されません。

- レジスタ自体の値（ICDR、SAR、SARX、ICMR、ICCR、ICSR、ICXR（ICDRE、ICDRFフラグ以外））
- ICMR、ICCR、ICSR各レジスタのフラグのセット／クリアのためのレジスタリード情報保持用内部ラッチ
- ICMRのビットカウンタ（BC2～BC0）の値
- 発生した割り込み要因（割り込みコントローラに転送された割り込み要因）

（2） 初期化における注意事項

- 割り込みフラグ、割り込み要因はクリアされませんので、必要に応じてフラグを0にクリアする処置が必要です。
- その他のレジスタフラグも基本的にクリアされませんので、必要に応じてフラグを0にクリアする処置が必要です。
- DDCSWRにより初期化を行う場合、CLR3～CLR0ビットのライトデータは保持されません。IICクリアを行う場合は、必ずMOV命令を使用し、CLR3～CLR0ビットを同時に書き込んでください。BCLRなどのビット操作命令は使用しないでください。
- また、再度クリアが必要な場合は、同様にすべてのビットとも設定に従い、同時に書き込みする必要があります。
- 送受信中にフラグのクリア設定を行うと、その時点でIICモジュールは送受信を中止しSCL、SDA端子を開放します。再度送受信を開始する際には、システムとして正しく通信できるよう、必要に応じてレジスタの初期化などを行ってください。

なお、本モジュールクリア機能により直接 BBSY ビットの値を書き換えませんが、SCL、SDA 端子の状態、開放するタイミングにより、停止条件の端子波形が生成され、結果的に BBSY ビットをクリアする場合があります。また、他のビット、フラグも同様に、状態の切り替わりに伴い影響が発生する場合があります。

これらによる問題を回避するため、IIC の状態を初期化するときは、以下の手順に従ってください。

1. CLR3～CLR0ビットの設定、またはICEビットによる内部状態の初期化実行
2. BBSYビットを0にクリアするための、停止条件発行命令実行（BBSY＝0かつSCP＝0ライト）および、転送レートの2クロック分の期間ウェイト
3. CLR3～CLR0ビットの設定、またはICEビットによる内部状態の初期化の再実行
4. IICの各レジスタの初期化（再設定）

15.5 割り込み要因

IIC の割り込み要因は、IICI があります。**表 15.7** に各割り込み要因と優先順位を示します。各割り込み要因は、ICCR 割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

表 15.7 IIC 割り込み要因

チャネル	名称	イネーブルビット	割り込み要因	割り込みフラグ	優先順位
0	IICI0	IEIC	I²C バスインタフェース割り込み要求	IRIC	高 ↑
1	IICI1	IEIC	I²C バスインタフェース割り込み要求	IRIC	低

15.6 使用上の注意事項

1. マスタモードで、開始条件生成のための命令を発行した際に、実際に開始条件がI²Cバスに出力される前に停止条件生成のための命令を発行すると、開始条件も停止条件も正常に出力されなくなります。
   開始条件に引き続いて停止条件を出力する*必要がある場合は、開始条件生成のための命令を発行後、各I²Cバス出力端子のDRレジスタをリードし、SCL、SDAが共に、Lowレベルになっていることを確認してください。ICEビットに1が設定された状態でもDRレジスタのリードで、端子状態をモニタすることができます。その後、停止条件生成のための命令を発行してください。BBSY＝0となったタイミングでは、まだSCLがLowレベルになっていない場合がありますのでご注意ください。

【注】 * I²C バスの仕様では、不正なフォーマットです。

2. 次転送のスタート条件が次の2条件となっています。ICDRをリード／ライトする場合は注意してください。

- ICE＝1かつTRS＝1かつICDRにライトしたとき（ICDRT→ICDRSの自動転送を含む）
- ICE＝1かつTRS＝0かつICDRをリードしたとき（ICDRS→ICDRRの自動転送を含む）

3. SCL、SDA出力は、内部クロックに同期して**表15.8**に示すタイミングで出力されます。バス上でのタイミングは、バスの負荷容量、直列抵抗、および並列抵抗に影響される信号の立ち上がり／立ち下がり時間によって定まります。

表 15.8 I²C バスタイミング（SCL、SDA 出力）

項　目	記号	出力タイミング	単位	備考
SCL 出力サイクル時間	t_{SCLO}	$28t_{cyc}$～$256t_{cyc}$	ns	図 22.23（参考）
SCL 出力 High パルス幅	t_{SCLHO}	$0.5t_{SCLO}$	ns	
SCL 出力 Low パルス幅	t_{SCLLO}	$0.5t_{SCLO}$	ns	
SDA 出力バスフリー時間	t_{BUFO}	$0.5t_{SCLO}$ -$1t_{cyc}$	ns	
開始条件出力ホールド時間	t_{STAHO}	$0.5t_{SCLO}$ -$1t_{cyc}$	ns	
再送開始条件出力セットアップ時間	t_{STASO}	$1t_{SCLO}$	ns	
停止条件出力セットアップ時間	t_{STOSO}	$0.5t_{SCLO}$+$2t_{cyc}$	ns	
データ出力セットアップ時間（マスタ時）	t_{SDASO}	$1t_{SCLLO}$ -$3t_{cyc}$	ns	
データ出力セットアップ時間（スレーブ時）		$1t_{SCLL}$-（$6t_{cyc}$ または $12t_{cyc}$*）	ns	
データ出力ホールド時間	t_{SDAHO}	$3t_{cyc}$	ns	

【注】 * IICX が 0 のとき 6 t_{cyc}、IICX が 1 のとき 12 t_{cyc} となります。

4. SCL、SDA入力は、内部クロックに同期してサンプリングされます。そのため、ACタイミングは、**「第22章　電気的特性」**のI²Cバスタイミングに示すように、システムクロック周期t_{cyc}に依存しています。システムクロック周波数が5MHzに満たないと、I²CバスインタフェースのACタイミング仕様を満足しなくなりますのでご注意ください。

5. SCLの立ち上がり時間t_{Sr}は、I²Cバスインタフェースの仕様で1000ns（高速モード時は300ns）以内と定められています。本I²Cバスインタフェースは、マスタモード時SCLをモニタし、ビットごとに同期をとりながら通信を行います。そのためSCLの立ち上がり時間t_{Sr}（LowレベルからV_{IH}まで変化する時間）が、I²Cバスインタフェースの入力クロックで決まる時間を超えた場合、SCLのHigh期間が延ばされます。SCLの立ち上がり時間は、SCLラインのプルアップ抵抗、負荷容量で決定されますので、設定した転送レートで動作させるためには、**表15.9**に示す時間以下になるようにプルアップ抵抗、負荷容量を設定してください。

表 15.9　SCL 立ち上がり時間（t_{Sr}）の許容範囲

IICX	t_{cyc} 表示		時間表示 [ns]					
			I²C バス仕様(max.)	φ=5MHz	φ=8MHz	φ=10MHz	φ=16MHz	φ=20MHz
0	7.5t_{cyc}	標準モード	1000	←	937	750	468	375
		高速モード	300	←	←	←	←	←
1	17.5t_{cyc}	標準モード	1000	←	←	←	←	875
		高速モード	300	←	←	←	←	←

6. SCL、SDAの立ち上がり、立ち下がり時間は、I²Cバスインタフェースの仕様で1000nsおよび300ns以内と定められています。一方、本I²CバスインタフェースのSCL、SDA出力タイミングは、**表15.10**に示すようにt_{cyc}によって規定されますが、立ち上がり、立ち下がり時間の影響で最大の転送レートではI²Cバスインタフェースの仕様を満足しない場合があります。**表15.10**は出力タイミングを各動作周波数で計算し、ワーストケースの立ち上がり、立ち下がり時間の影響を加えたものです。

t_{BUFO}はどの周波数でもI²Cバスインタフェースの仕様を満足しません。これに対しては、（a）停止条件発行後、開始条件の発行まで必要なインターバル（1μs程度）を確保するようプログラムする必要があります。あるいは、（b）I²Cバスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

高速モード時のt_{SCLLO}、標準モード時のt_{STASO}では、t_{Sr}／t_{Sf}をワーストケースとして計算した場合にI²Cバスインタフェースの仕様を満足しません。（a）プルアップ抵抗、容量負荷により立ち上がり、立ち下がり時間を調整するか、（b）転送レートを下げて仕様を満足するよう調整するなどの対応を検討してください。あるいは、（c）I²Cバスに接続されるスレーブデバイスとして、入力タイミングがこの出力タイミングを許容するものを選択してください。

表 15.10　I²C バスタイミング（t_{Sr}/t_{Sf} 影響最大の場合）

項目	tcyc 表示		時間表示（最大転送レート時）[ns]						
			tSr/tSf 影響(max.)	I²C バス仕様(min.)	φ=5MHz	φ=8MHz	φ=10MHz	φ=16MHz	φ=20MHz
t_{SCLHO}	$0.5t_{SCLO}$	標準モード	-1000	4000	4000	4000	4000	4000	4000
	($-t_{Sr}$)	高速モード	-300	600	950	950	950	950	950
t_{SCLLO}	$0.5t_{SCLO}$	標準モード	-250	4700	4750	4750	4750	4750	4750
	($-t_{Sf}$)	高速モード	-250	1300	1000*1	1000*1	1000*1	1000*1	1000*1
t_{BUFO}	$0.5t_{SCLO}$-1tcyc	標準モード	-1000	4700	3800*1	3875*1	3900*1	3939*1	3950*1
	($-t_{Sr}$)	高速モード	-300	1300	750*1	825*1	850*1	888*1	900*1
t_{STAHO}	$0.5t_{SCLO}$-1tcyc	標準モード	-250	4000	4550	4625	4650	4688	4700
	($-t_{Sf}$)	高速モード	-250	600	800	875	900	938	950
t_{STASO}	$1t_{SCLO}$	標準モード	-1000	4700	9000	9000	9000	9000	9000
	($-t_{Sr}$)	高速モード	-300	600	2200	2200	2200	2200	2200
t_{STOSO}	$0.5t_{SCLO}$+2tcyc	標準モード	-1000	4000	4400	4250	4200	4125	4100
	($-t_{Sr}$)	高速モード	-300	600	1350	1200	1150	1075	1050
t_{SDASO}	$1t_{SCLLO}$*3-3tcyc	標準モード	-1000	250	3100	3325	3400	3513	3550
マスタ時	($-t_{Sr}$)	高速モード	-300	100	400	625	700	813	850
t_{SDASO}	$1t_{SCLL}$*3-12tcyc*2	標準モード	-1000	250	1300	2200	2500	2950	3100
スレーブ時	($-t_{Sr}$)	高速モード	-300	100	-1400*1	-500*1	-200*1	250	400
t_{SDAHO}	3tcyc	標準モード	0	0	600	375	300	188	150
		高速モード	0	0	600	375	300	188	150

【注】　*1　I²C バスインタフェースの仕様を満足しません。以下の 4 つの対応などが必要です。

（1）開始／停止条件発行のインターバルを確保する。

（2）プルアップ抵抗・容量負荷により、立ち上がり、立ち下がり時間を調整する。

（3）転送レートを下げて調整する。

（4）入力タイミングが本出力タイミングを許容するスレーブデバイスを選択する。

なお、上記表の値は、IICX ビット、CKS2～CKS0 ビットの設定値により変わります。周波数により最大転送レートを実現できない場合もありますので、実際の設定条件に合せ、I²C バスインタフェースの仕様を満足するか検討してください。

*2　IICX ビットが 1 のときです。IICX ビットを 0 に設定すると、（t_{SCLL}-6t_{cyc}）となります。

*3　I²C バス仕様値（標準モード：4700ns min.、高速モード：1300ns min.）で計算しています。

7. マスタ受信終了時におけるICDRリードの注意

マスタ受信モードでの受信動作完了後、受信をやめる場合は、TRSビットを1にセットし、ICCRのBBSY＝0かつSCP＝0をライトします。これにより、SCLがHighレベルのとき、SDAをLowレベルからHighレベルに変化させ、停止条件を生成します。この後で受信データはICDRのリードにより読み出すことができますが、バッファにデータが残っている場合、ICDRSの受信データはICDR（ICDRR）に転送されなくなりますので、第2バイト目のデータは、読み出すことができなくなります。

第2バイト目のデータを読み出す必要があるときは、マスタ受信モードの状態（TRSビットが0の状態）で停止条件の発行を行ってください。受信データの読み出しは、必ずICCRレジスタのBBSYビットが0になり、停止条件が生成され、バスが開放されていることを確認後に、TRSが0の状態でICDRをリードしてください。

このとき、停止条件発行のための命令実行（ICCRのBBSY＝0かつSCP＝0をライト）から実際に停止条件が生成されるまでの期間において、受信データ（ICDRのデータ）を読み出すと、次のマスタ送信時に正しくクロックが出なくなる場合がありますので注意が必要です。

なお、マスタ送受信完了後のMSTビットのクリアなど、送受信の動作モード、設定変更のためのIIC制御ビットの書き換えについては、必ず図15.29（a）の期間中（ICCRのBBSYビットの0クリア確認後）に行ってください。

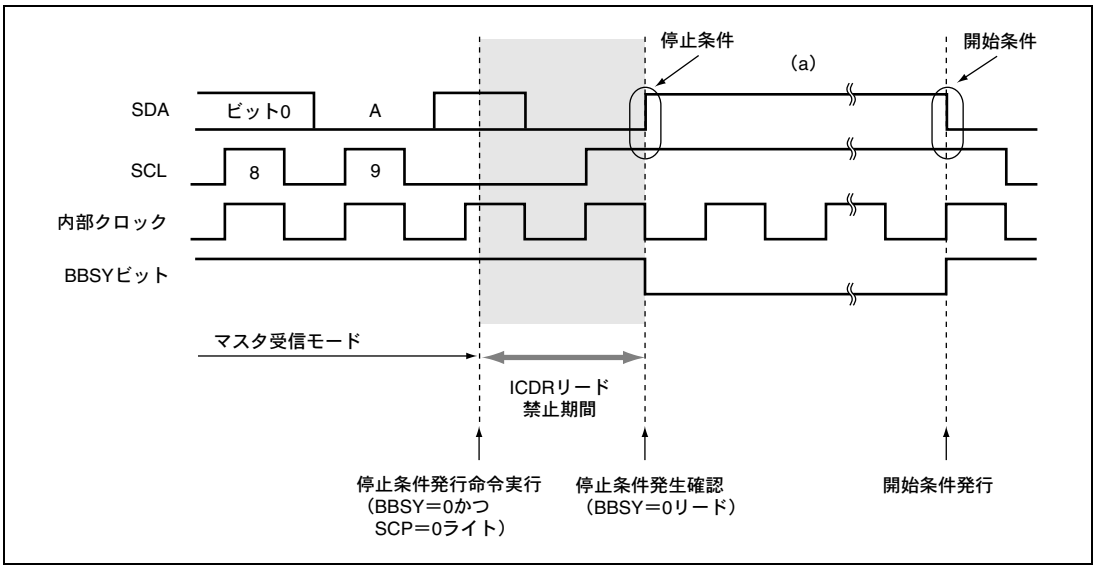


図 15.29　マスタ受信データの読み出しにおける注意

【注】　本使用上の制限は ICXR レジスタの FNC1、FNC0 ビットに B'11 を設定することで解除することができます。

8. 再送のための開始条件発行時の注意事項

図15.30に、再送のための開始条件発行のタイミングと、それに連続してICDRにデータを書き込むタイミングおよびフローチャートを示します。再送開始条件を発行し、開始条件が生成した後でICDRに送信データをライトしてください。

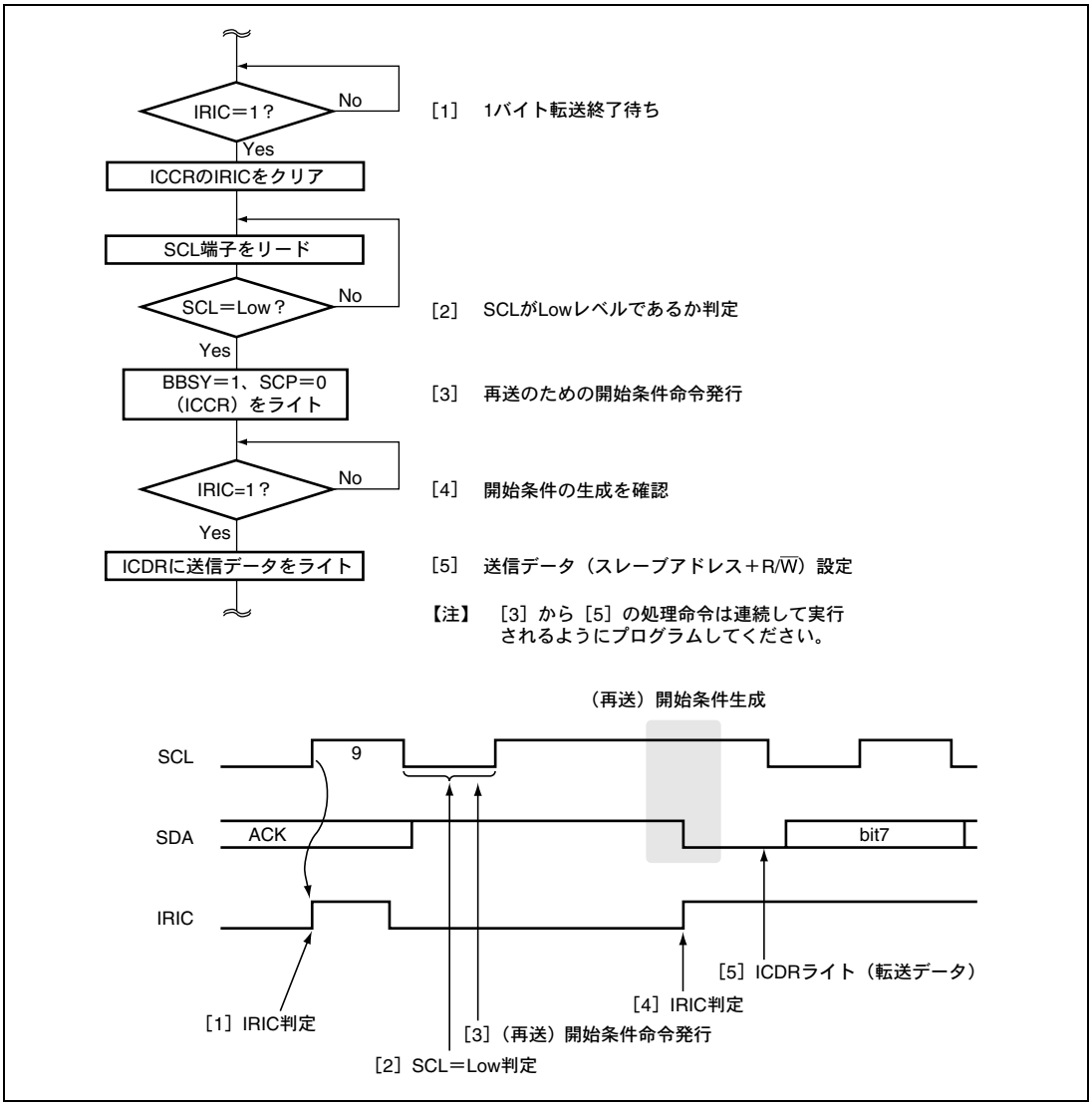


図 15.30　再送のための開始条件命令発行フローチャートおよびタイミング

【注】　本使用上の制限は ICXR レジスタの FNC1、FNC0 ビットに B'11 を設定することで解除することができます。

9. I²Cバスインタフェース停止条件命令発行時の注意事項

バス負荷容量が大きいため、SCLの9クロック目の立ち上がり時間が規定を越えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のように9クロック目の立ち上がり後にSCLをリードして、Lowを判定してから停止条件命令を発行してください。

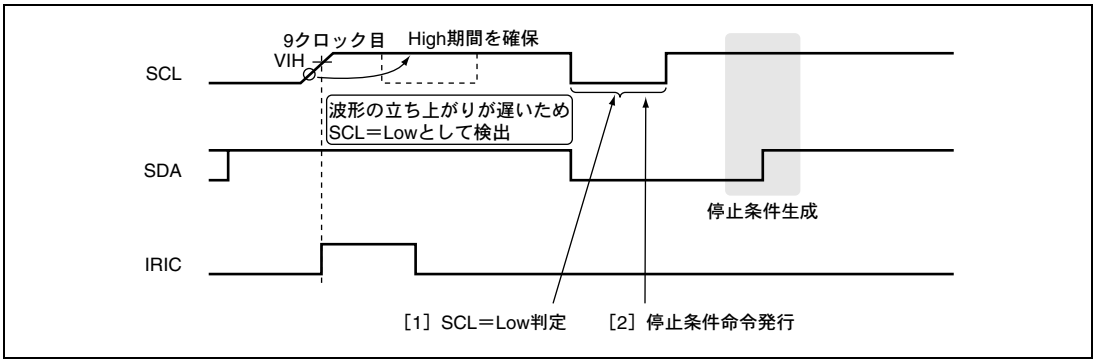


図 15.31　停止条件発行タイミング

【注】　本使用上の制限は ICXR レジスタの FNC1、FNC0 ビットに B'11 を設定することで解除することができます。

10. ウェイト機能使用時のIRICフラグクリアの注意事項

I²Cバスインタフェースのマスタモードでウェイト機能を使用しているときに、SCLの立ち上がり時間が規定を越えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のようにSCLをリードして、SCLがLowに立ち下がったことを判定してからIRICフラグのクリアをしてください。

SCLがHigh期間を引き延ばしている最中にWAIT＝1の状態でIRICフラグを0にクリアすると、SCLが立ち下がる前にSDAの値が変化し、開始条件や停止条件が誤って発生してしまうことがあります。

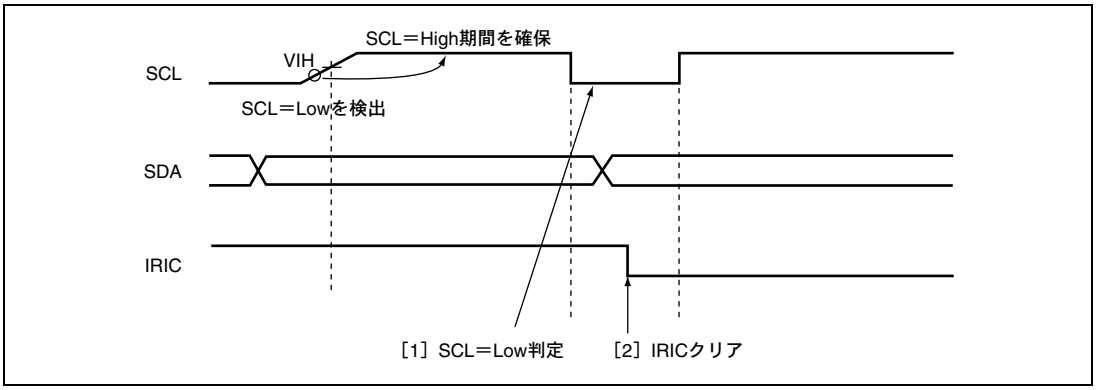


図 15.32　WAIT＝1 状態での IRIC フラグクリアタイミング

【注】　本使用上の制限は ICXR レジスタの FNC1、FNC0 ビットに B'11 を設定することで解除することができます。

11. スレーブ送信モードでのICDRリードとICCRアクセスの注意事項

I²Cバスインタフェースのスレーブモード送信動作では、図15.33の網がけ期間中にICDRのリードまたは、ICCRのリード／ライト動作を行わないようにしてください。

通常9クロック立ち上がりエッジに同期して発生する割り込み処理では、割り込み処理に移行するまでに問題の期間は経過しているため、ICDRレジスタリードまたは、ICCRレジスタリード／ライト動作を行っても問題ありません。

この割り込み処理を確実にするために、下記のいずれかの条件で使用願います。

- 次のスレーブアドレス受信動作が開始される前に、それまでに受信したICDRのリード動作および、ICCRのリード／ライト動作を完了させるようにしてください。
- ICMRのBC2～BC0ビットカウンタをモニタし、BC2～BC0＝B'000（8クロック目または9クロック目）の場合は、2転送クロック期間以上の待ち時間を設けて、問題となる期間を避けてICDRのリードまたは、ICCRのリード/ライト動作を行ってください。

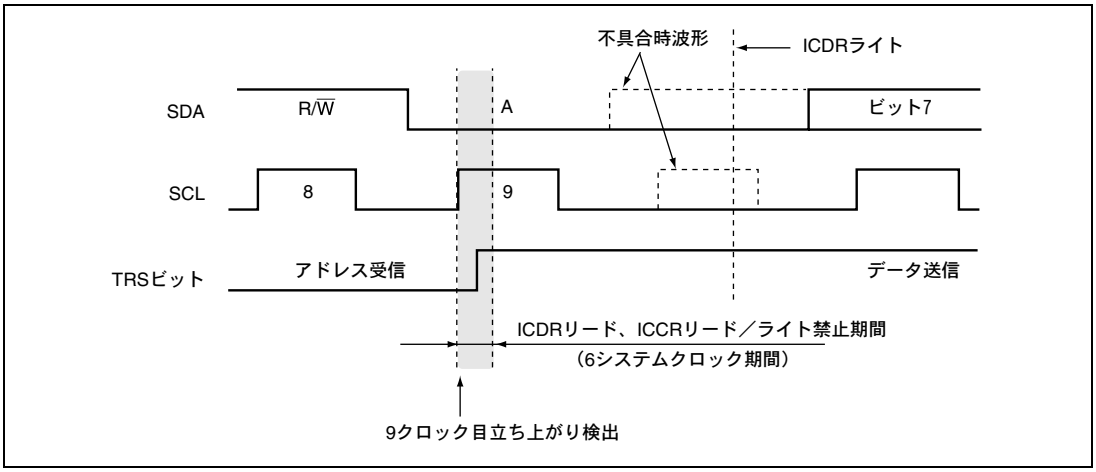


図 15.33　スレーブ送信モードでの ICDR リード、ICCR アクセスタイミング

【注】　本使用上の制限は ICXR レジスタの FNC1、FNC0 ビットに B'11 を設定することで解除することができます。

12. スレーブモードでのTRSビット設定の注意事項

I²Cバスインタフェースのスレーブモードでは、9クロック目の立ち上がりエッジ検出または、停止条件検出時から次にSCL端子に立ち上がりエッジを検出するまで（図15.34（a）の期間）は、ICCRのTRSビットに設定された値は、直ちに有効となります。

しかし、上記以外の期間（図15.34（b）の期間）に設定されたTRSビットの値は、次に9クロック目の立ち上がりエッジが検出されるか停止条件が検出されるまで設定値が保留されるため、すぐには有効になりません。

そのため、停止条件が入らない再送開始条件入力に続くアドレス受信動作時は、内部的なTRSビットの実効値は1（送信モード）のままとなり、9クロック目のアドレス受信完了に伴うアクノリッジビット送信が行われません。

スレーブモードのアドレス受信を行う場合は、図15.34（a）の期間中に、TRSビットを0クリアしてください。

スレーブモード時のウェイト機能によるSCL端子のLow固定解除については、TRSビット0クリア後ICDRのダミーリードにより行います。

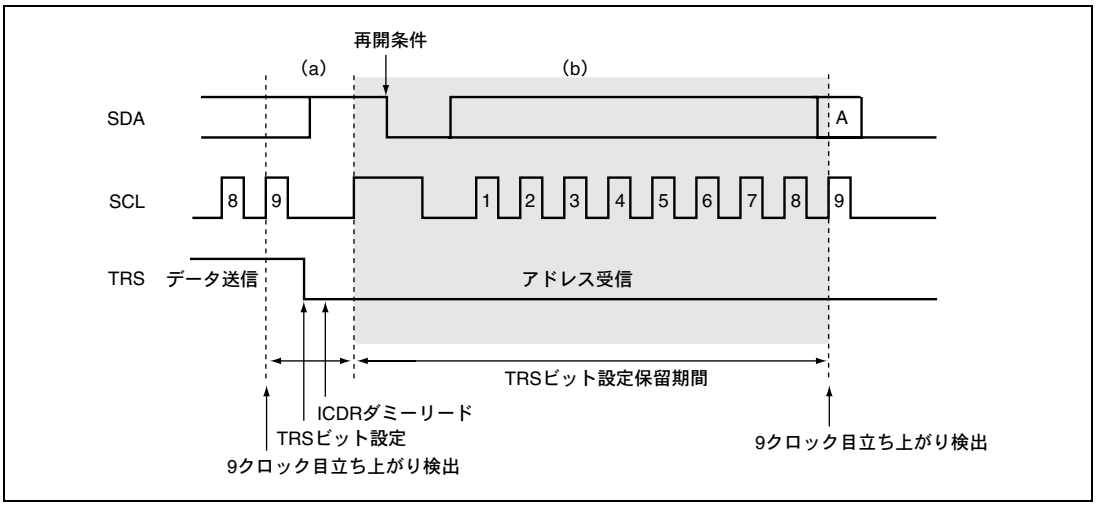


図 15.34　スレーブモードでの TRS ビット設定タイミング

【注】　本使用上の制限は ICXR レジスタの FNC1、FNC0 ビットに B'11 を設定することで解除することができます。

13. 送信モードでのICDRリードと受信モードでのICDRライトの注意事項

送信モード（TRS＝1）でのICDRリード動作または、受信モード（TRS＝0）でのICDRライト動作を行った場合、条件によっては送受信動作終了後のSCL端子のLow固定が行われず、正規のICDRのアクセス動作以前にクロックがSCLバスラインに出力される場合があります。

ICDRをアクセスするときは、受信モードに設定した後にリード動作を行うか、または送信モードに設定した後にライト動作を行うようにしてください。

14. スレーブモードでのACKEビットとTRSビットの注意事項

I²Cバスインタフェースにおいて、送信モード（TRS＝1）でアクノリッジビットとして1を受信（ACKB＝1）した後に、その状態のままスレーブモードでアドレスを受信すると、アドレス不一致のときも9クロック目の立ち上がりで、割り込み動作が発生することがあります。

また, スレーブモードで送信モード（TRS＝1）の状態でマスタデバイスから開始条件およびアドレスが送信された場合、ICDREフラグセットおよびアクノリッジビットとして1を受信（ACKB＝1）することでIRICフラグがセットされ、アドレス不一致のときも割り込み要因が発生することがあります。

I²Cバスインタフェースモジュールでスレーブモード動作を行う際は、下記処置を行ってください。

- 一連の送信動作の終了時、最終送信データに対するアクノリッジビットとして1を受信した場合には、ICCRのACKEビットを一旦0にクリアすることで、ACKBビットを0に初期化してください。
- スレーブモードで次の開始条件が入力される前に受信モード（TRS＝0）にセットしてください。

スレーブ送信モードから確実にスレーブ受信モードに切り替えるために、図15.23に従って送信を終了してください。

15. マスタモードでのアービトレーションロスト発生時の注意事項

I²Cバスインタフェースではマスタモードでアービトレーションロストにより、スレーブ受信モードに自動遷移した場合、アービトレーションロストが発生した送受信フレームのデータをアドレスとして認識する仕様となっています。

そのため、マスタモード第1フレーム送信動作でアービトレーションロストが発生せず、第2フレーム目以降でアービトレーションロストが発生すると、本来アドレスではない送受信データをアドレス値としてSAR、SARXの設定値と比較を行います。このとき、受信データがSAR、SARXの値と一致した場合、I²Cバスインタフェースに対し、アドレスコールがあったものとして動作してしまいます。（図15.35参照）

マルチマスタ環境でバス権の競合が起こり得る状況にあって、マスタモードで動作させている場合は、1フレームごとの送受信動作完了時にICSRのALビットの確認を行ってください。

第2フレーム以降でアービトレーションロストの発生が確認された場合は、異常動作として回避処置を行ってください。

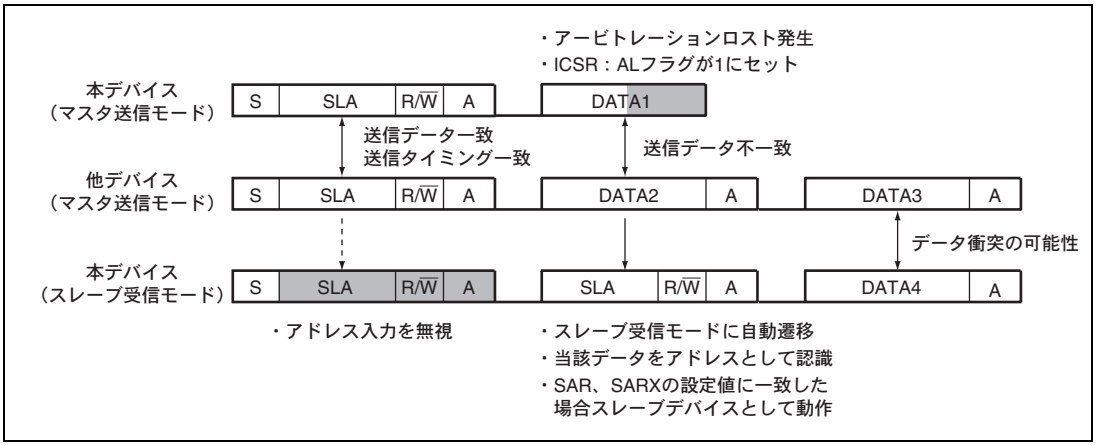


図 15.35　アービトレーションロスト時の動作模式図

本来のI²Cバスプロトコルでは禁止されている動作ですが、スレーブモードで送受信を行っている最中に誤ってMSTビットを1にセットしてマスタモードに設定した場合も、同様の現象が発生する可能性があります。

マルチマスタ動作でバス権の競合が予想される場合、ICCRのMSTビットに1をセットするときは、以下の手順で行ってください。

（1）MSTビットのセット直前にICCRのBBSYフラグが0であり、バスがフリー状態であることを確認する。

（2）MSTビットに1を設定する。

（3）MSTビットの設定中にバスがビジー状態にならなかったことを確認する意味で、MSTビットのセット直後にも、ICCRのBBSYフラグが0であることを確認する。

【注】　本使用上の制限は ICXR の FNC1、FNC0 ビットに B'11 を設定することで解除できます。

15.6.1　モジュールストップモードの設定

モジュールストップコントロールレジスタにより、IIC の動作停止／許可を設定することが可能です。初期値では IIC の動作は停止します。モジュールストップモードを解除することより、レジスタのアクセスが可能になります。詳細は、「第 20 章　低消費電力状態」を参照してください。

16. A/D 変換器

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しており、最大 8 チャネルのアナログ入力ができます。

16.1 特長

- 分解能：10ビット
- 入力チャネル：8チャネルのアナログ入力
- リファレンス電源電圧端子（AVref）をアナログ基準電圧として、アナログ変換電圧範囲を設定可能
- 変換時間：1チャネル当たり13.4μs（20MHz動作時）
- 動作モード：2種類

  シングルモード：1チャネルのA/D変換

  スキャンモード：1～4チャネルの連続A/D変換
- データレジスタ：4本

  A/D変換結果は各チャネルに対応した16ビットデータレジスタに保持
- サンプル＆ホールド機能付き
- A/D変換開始方法：3種類

  ソフトウェア

  タイマ（TPUまたは8ビットタイマ）の変換開始トリガ

  外部トリガ信号
- 割り込み要因

  A/D変換終了割り込み要求（ADI）を発生

A/D 変換器のブロック図を図 16.1 に示します。

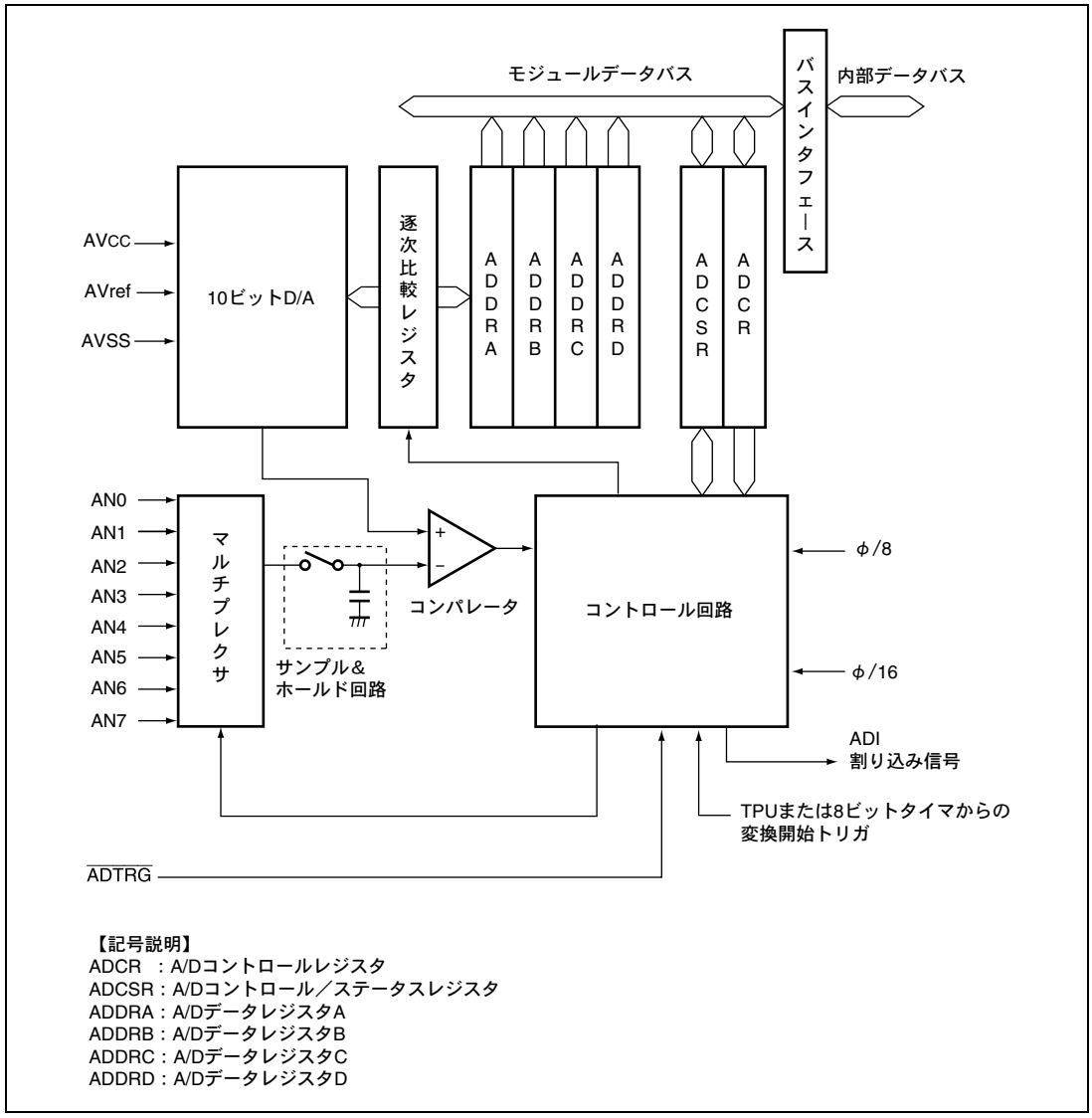


図 16.1 A/D 変換器のブロック図

16.2 入出力端子

A/D 変換器で使用する端子を表 16.1 に示します。8 本のアナログ入力端子は 4 チャネル×2 グループに分割されています。アナログ入力端子 0～3（AN0～AN3）がグループ 0、アナログ入力端子 4～7（AN4～AN7）がグループ 1 になっています。AVCC、AVSS 端子は、A/D 変換器内部のアナログ部の電源です。

表 16.1 端子構成

端子名	記号	入出力	機　　能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
リファレンス電源端子	AVref	入力	アナログ部の基準電圧
アナログ入力端子 0	AN0	入力	グループ 0 のアナログ入力端子
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	グループ 1 のアナログ入力端子
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
A/D 外部トリガ入力端子	$\overline{\text{ADTRG}}$	入力	A/D 変換開始のための外部トリガ入力端子

16.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

- A/Dデータレジスタ A（ADDRA）
- A/Dデータレジスタ B（ADDRB）
- A/Dデータレジスタ C（ADDRC）
- A/Dデータレジスタ D（ADDRD）
- A/Dコントロール／ステータスレジスタ（ADCSR）
- A/Dコントロールレジスタ（ADCR）

16.3.1 A/D データレジスタ A～D（ADDRA～ADDRD）

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタで、ADDRA～ADDRD の 4 本があります。各アナログ入力チャネルの変換結果が格納される ADDR は表 16.2 のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

CPU 間のデータバスは 8 ビット幅です。上位バイトは CPU から直接リードできますが、下位バイトは上位バイトリード時にテンポラリレジスタに転送されたデータがリードされます。このため ADDR をリードする場合は、ワードアクセスするか上位バイト、下位バイトの順でアクセスしてください。

表 16.2 アナログ入力チャネルと ADDR の対応

アナログ入力チャネル		変換結果が格納される A/D データレジスタ
グループ 0	グループ 1	
AN0	AN4	ADDRA
AN1	AN5	ADDRB
AN2	AN6	ADDRC
AN3	AN7	ADDRD

16.3.2 A/D コントロール／ステータスレジスタ（ADCSR）

ADCSR は A/D 変換動作を制御します。

ビット	ビット名	初期値	R/W	説　　明
7	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 ［セット条件］ • シングルモードで A/D 変換が終了したとき • スキャンモードで選択されたすべてのチャネルの A/D 変換が終了したとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 1 にセットすると A/D 変換を開始します。シングルモードでは選択したチャネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセット、スタンバイモード、またはモジュールストップモードによってクリアされるまで選択されたチャネルを順次連続変換します。
4	SCAN	0	R/W	スキャンモード A/D 変換の動作モードを選択します。 0：シングルモード 1：スキャンモード 動作モードの切り替えは、ADST＝0 の状態で行ってください。
3	CKS	0	R/W	クロックセレクト A/D 変換時間を設定します。 0：変換時間＝266 ステート（Max） 1：変換時間＝134 ステート（Max） （システムクロック（φ）が 16MHz 以下） 変換時間の切り替えは、ADST＝0 の状態で行ってください。
2 1 0	CH2 CH1 CH0	0 0 0	R/W R/W R/W	チャネルセレクト 2～0 アナログ入力チャネルを選択します。 SCAN＝0 のとき　　SCAN＝1 のとき 000：AN0　　000：AN0 001：AN1　　001：AN0、AN1 010：AN2　　010：AN0～AN2 011：AN3　　011：AN0～AN3 100：AN4　　100：AN4 101：AN5　　101：AN4、AN5 110：AN6　　110：AN4～AN6 111：AN7　　111：AN4～AN7 入力チャネルの切り替えは、ADST＝0 の状態で行ってください。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

16.3.3 A/D コントロールレジスタ（ADCR）

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	ビット名	初期値	R/W	説　　明
7 6	TRGS1 TRGS0	0 0	R/W R/W	タイマトリガセレクト 1、0 トリガ信号による A/D 変換開始をイネーブルにします。ビットの設定は A/D 変換停止時（ADST＝0）に行ってください。 00：外部トリガによる A/D 変換の開始を禁止 01：TPU からの変換トリガによる A/D 変換の開始 10：TMR からの変換トリガによる A/D 変換の開始 11：$\overline{\text{ADTRG}}$ による A/D 変換の開始
5～0	－	すべて 1	R/W	リザーブビット 初期値を変更しないでください。

16.4 動作説明

A/D 変換器は逐次比較方式で分解機能は 10 ビットです。動作モードにはシングルモードとスキャンモードがあります。動作モードやアナログ入力チャネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャネルの変更と ADST ビットのセットは同時に行うことができます。

16.4.1 シングルモード

シングルモードは、指定された 1 チャネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェアまたは外部トリガ入力によってADCSRのADSTビットが1にセットされると、選択されたチャネルのA/D変換を開始します。
2. A/D変換が終了すると、A/D変換結果がそのチャネルに対応するA/Dデータレジスタに転送されます。
3. A/D変換終了後、ADCSRのADFビットが1にセットされます。このとき、ADIEビットが1にセットされていると、ADI割り込み要求を発生します。
4. ADSTビットはA/D変換中は1を保持し、変換が終了すると自動的にクリアされてA/D変換器は待機状態になります。

16.4.2 スキャンモード

スキャンモードは指定された最大 4 チャネルのアナログ入力を以下のように順次連続して A/D 変換します。

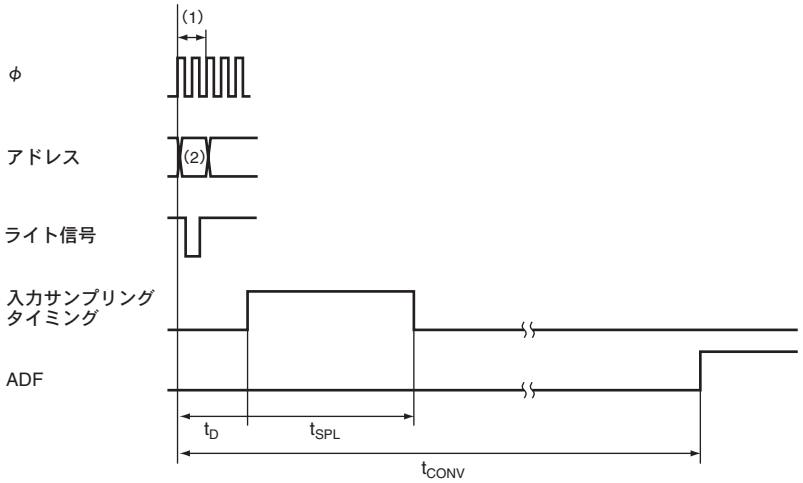
1. ソフトウェアまたは外部トリガ入力によってADCSRのADSTビットが1にセットされると、グループの第1チャネル（ADCSRのCH2ビットが0のときAN0、CH2ビットが1のときAN4）からA/D変換を開始します。
2. それぞれのチャネルのA/D変換が終了するとA/D変換結果は順次そのチャネルに対応するA/Dデータレジスタに転送されます。
3. 選択されたすべてのチャネルのA/D変換が終了するとADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再びグループの第1チャネルからA/D変換を開始します。
4. ADSTビットは自動的にクリアされず、1にセットされている間は2.～3.を繰り返します。ADSTビットを0にクリアするとA/D変換は停止します。

16.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル＆ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間(t_D)経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを**図 16.2** に示します。また、A/D 変換時間を**表 16.3** に示します。

A/D 変換時間(t_{CONV})は、**図 16.2** に示すように、t_D と入力サンプリング時間(t_{SPL})を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は**表 16.3** に示す範囲で変化します。

スキャンモードの変換時間は、**表 16.3** に示す値が 1 回目の変換時間となります。2 回目以降は CKS＝0 の場合は 266 ステート（固定）、CKS＝1 の場合は 134 ステート（固定）となります。134 ステートの変換時間はシステムクロック（φ）が 16MHz 以下のときのみ使用してください。



【記号説明】
(1)　：ADCSRライトサイクル
(2)　：ADCSRのアドレス
t_D　：A/D変換開始遅延時間
t_{SPL}　：入力サンプリング時間
t_{CONV}：A/D変換時間

図 16.2　A/D 変換タイミング

表 16.3　A/D 変換時間（シングルモード）

項目	記号	CKS＝0			CKS＝1*		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	10	—	17	6	—	9
入力サンプリング時間	t_{SPL}	—	63	—	—	31	—
A/D 変換時間	t_{CONV}	259	—	266	131	—	134

【注】　表中の数値の単位はステートです。

*　システムクロック（φ）が 16MHz 以下

16.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが B'11 にセットされているとき、$\overline{\text{ADTRG}}$ 端子から入力されます。$\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード／スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 16.3 に示します。

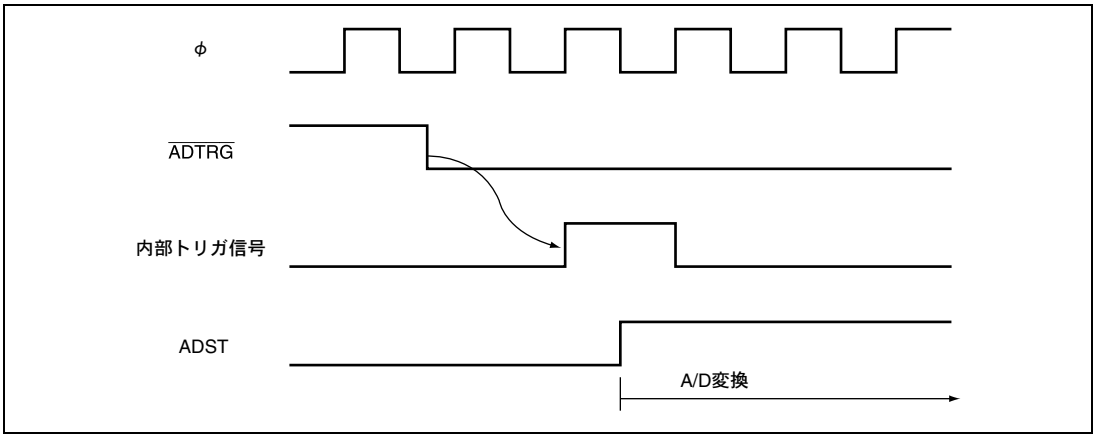


図 16.3 外部トリガ入力タイミング

16.5 割り込み要因

A/D 変換器は、A/D 変換が終了すると、A/D 変換終了割り込み（ADI）を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。

表 16.4 A/D 変換器の割り込み要因

名称	割り込み要因	割り込みフラグ
ADI 割り込み	A/D 変換終了	ADF

16.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

  A/D変換器のデジタル出力コード数

- 量子化誤差

  A/D変換器が本質的に有する偏差であり、1/2 LSBで与えられる（図16.4）

- オフセット誤差

  デジタル出力が最小電圧値B'00 0000 0000（H'000）からB'00 0000 0001（H'001）に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差（図16.5）

- フルスケール誤差

  デジタル出力がB'11 1111 1110（H'3FE）からB'11 1111 1111（H'3FF）に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差（図16.5）

- 非直線性誤差

  ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない（図16.5）。

- 絶対精度

  デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

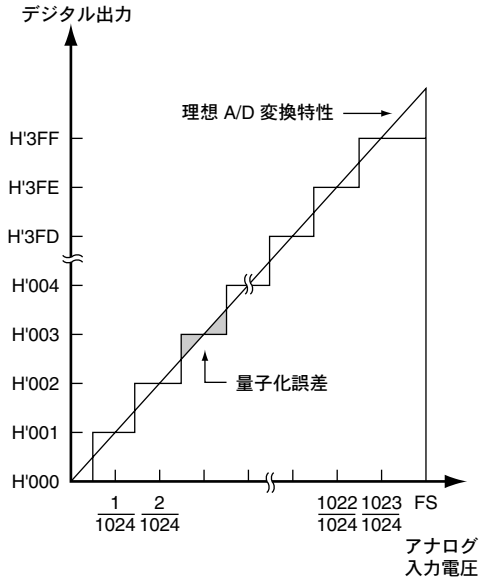


図 16.4 A/D 変換精度の定義

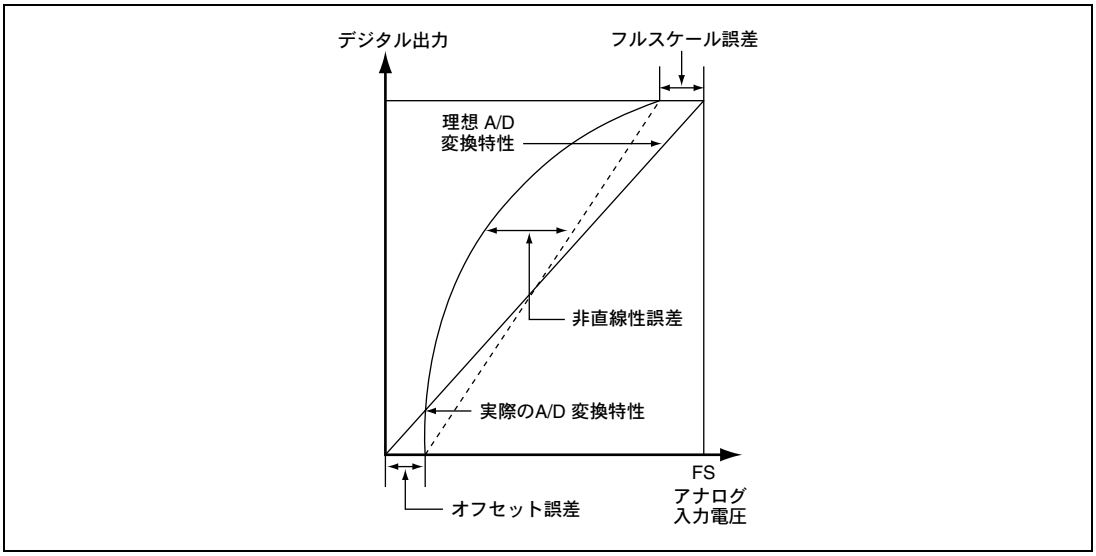


図 16.5　A/D 変換精度の定義

16.7　使用上の注意事項

16.7.1　許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが 5kΩ以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル＆ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが 5kΩを超える場合充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の 10kΩだけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（例えば電圧の変動率が 5mV/μs 以上）には追従できないことがあります（図 16.6）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

16.7.2 絶対精度への影響

容量を付加することにより、グランドとのカップリングを受けることになりますので、グランドにノイズがあると絶対精度が悪化する可能性がありますので、必ず AVss 等の電気的に安定なグランドに接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

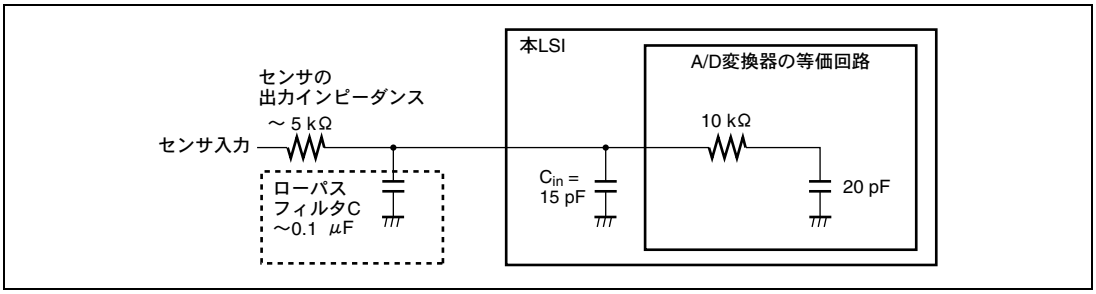


図 16.6 アナログ入力回路の例

16.7.3 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

  A/D変換中、アナログ入力端子ANnに印加する電圧はAVss≦ANn≦AVrefの範囲としてください。（n＝0～7）

- AVcc、AVssとVcc、Vssの関係

  AVcc、AVssとVcc、Vssとの関係はAVss＝Vss、AVccとVccは等しくなくてもよく、大小関係は不問です。また、A/D変換器を使用しないときもAVcc、AVss端子をオープンにしないでください。

- AVref端子の設定範囲

  AVref端子によるリファレンス電圧の設定範囲はAVref≦AVccにしてください。

16.7.4 ボード設計上の注意事項

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D 変換値に悪影響を及ぼします。アナログ入力端子（AN0～AN7）、アナログ基準電圧（AVref）、アナログ電源電圧（AVcc）は、アナロググランド（AVss）で、デジタル回路と分離してください。さらに、アナロググランド（AVss）は、ボード上の安定したグランド（Vss）に一点接続してください。

16.7.5 ノイズ対策上の注意事項

過大なサージなど異常電圧によるアナログ入力端子（AN0～AN7）、アナログ基準電圧端子（AVref）の破壊を防ぐために、図 16.7 に示すように AVcc－AVss 間に保護回路を接続してください。AVcc、AVref に接続するバイパスコンデンサ、AN0～AN7 に接続するフィルタ用のコンデンサは、必ず AVss に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0～AN7 の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス（R_{in}）を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は充分ご検討の上決定してください。

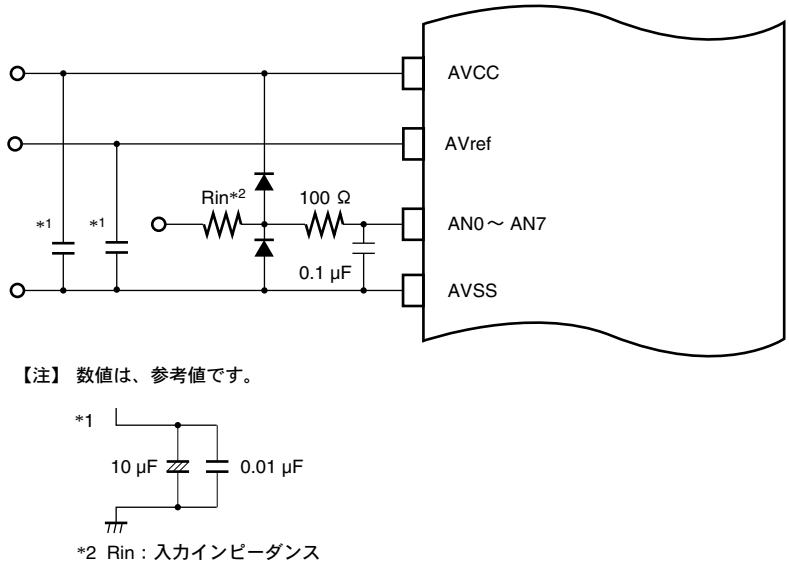
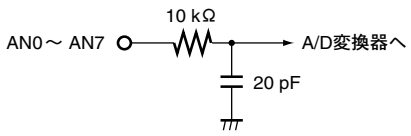


図 16.7 アナログ入力保護回路の例



【注】 数値は、参考値です。

図 16.8 アナログ入力端子等価回路

16.7.6 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、A/D 変換器の動作停止／許可を設定することが可能です。初期値では A/D 変換器の動作は停止します。モジュールストップモードを解除することより、レジスタのアクセスが可能になります。詳細は、**「第 20 章 低消費電力状態」**を参照してください。

17. RAM

本 LSI は 6K バイトの高速スタティック RAM を内蔵しています。RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。

RAM は、システムコントロールレジスタ（SYSCR）の RAM イネーブルビットにより有効または無効の制御が可能です。SYSCR については「3.2.2　システムコントロールレジスタ（SYSCR）」を参照してください。

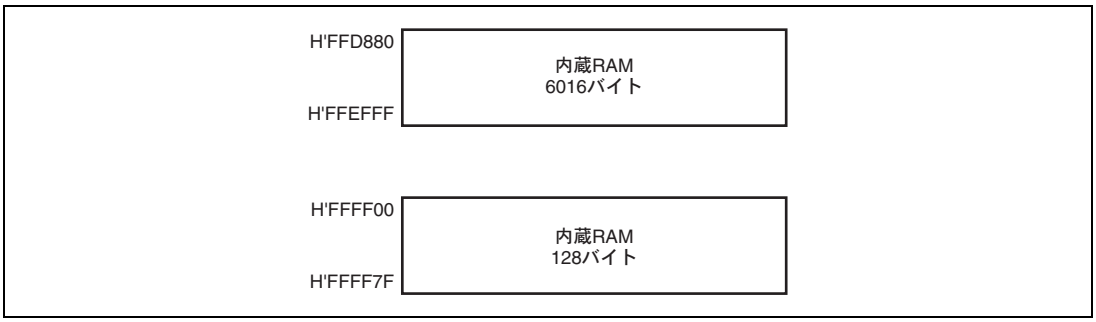


図 17.1　内蔵 RAM 構成図

18.　フラッシュメモリ（0.18μm F-ZTAT 版）

フラッシュメモリの特長を以下に示します。フラッシュメモリのブロック図を図 18.1 に示します。

18.1　特長

- 容量

製品区分		ROM 容量	ROM アドレス
H8S/2189R	R4F2189R	1M バイト	H'000000～H'0FFFFF

- LSI起動モードに合わせた2種類のフラッシュメモリマット

  内蔵しているフラッシュメモリには、同一アドレス空間に配置される2種類のメモリ空間（以下メモリマットと呼びます）があり、起動時のモード設定により、どちらのメモリマットから起動するかを選択できます。また、起動後もバンク切り替え方式でマットを切り替えることも可能です。

  ユーザモードでパワーオンリセット時に起動するユーザメモリマット：1Mバイト

  ユーザブートモードでパワーオンリセット時に起動するユーザブートメモリマット：8Kバイト

- 内蔵プログラムのダウンロードによる書き込み／消去インタフェース

  本LSIでは専用の書き込み／消去プログラムを内蔵しています。このプログラムを内蔵RAMにダウンロードした後、引数パラメータを設定するだけで書き込み／消去が可能です。

- 書き込み／消去時間

  フラッシュメモリの書き込み時間は、128バイト同時書き込みにて3ms（typ）、1バイト当たり換算にて約25μs、消去時間は64KBブロックあたり1000ms（typ）です。

- 書き換え回数

  フラッシュメモリの書き換えは、100回（min.回数）可能です（保証は1～100回の範囲）。

- オンボードプログラミングモード：3種類

  ブートモード：

  内蔵SCIインタフェースを使用するプログラムモードで、ユーザマットとユーザブートマットの書き換えができます。本モードでは、ホストと本LSI間のビットレートを自動で合わせることができます。

  ユーザプログラムモード：

  任意のインタフェースで、ユーザマットの書き換えができます。

  ユーザブートモード：

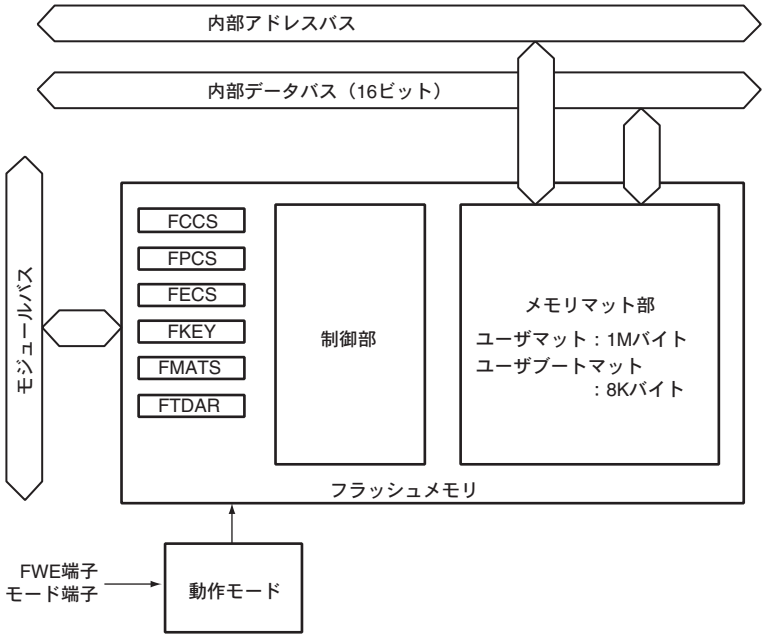
  任意のインタフェースのユーザブートプログラム作成が可能で、ユーザマットの書き換えが可能です。

- 書き込み／消去プロテクト

  ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類でフラッシュメモリの書き込み／消去に対するプロテクトを設定できます。

- ライタモード

  PROMライタを用いたライタモードで、ユーザマットとユーザブートマットの書き換えが可能です。



【記号説明】
FCCS ：フラッシュコードコントロール･ステータスレジスタ
FPCS ：フラッシュプログラムコードセレクトレジスタ
FECS ：フラッシュイレースコードセレクトレジスタ
FKEY ：フラッシュキーコードレジスタ
FMATS ：フラッシュマットセレクトレジスタ
FTDAR ：フラッシュトランスファディスティネーションアドレスレジスタ

【注】 上記レジスタのリード／ライトには、シリアルタイマコントロールレジスタ（STCR）のFLSHEビットを1にセットする必要があります。

図 18.1 フラッシュメモリのブロック図

18.1.1 モード遷移図

リセット状態でモード端子と FWE 端子を設定しリセットスタートすると、本 LSI は図 18.2 に示すような動作モードへ遷移します。

1. ユーザモードではフラッシュメモリの読み出しはできますが、書き込み／消去はできません。
2. オンボードでフラッシュメモリの読み出し／書き込み／消去ができるのは、ユーザプログラムモード、ユーザブートモード、ブートモードです。
3. ライタモードでは、PROMライタを利用してフラッシュメモリの読み出し／書き込み／消去を行います。

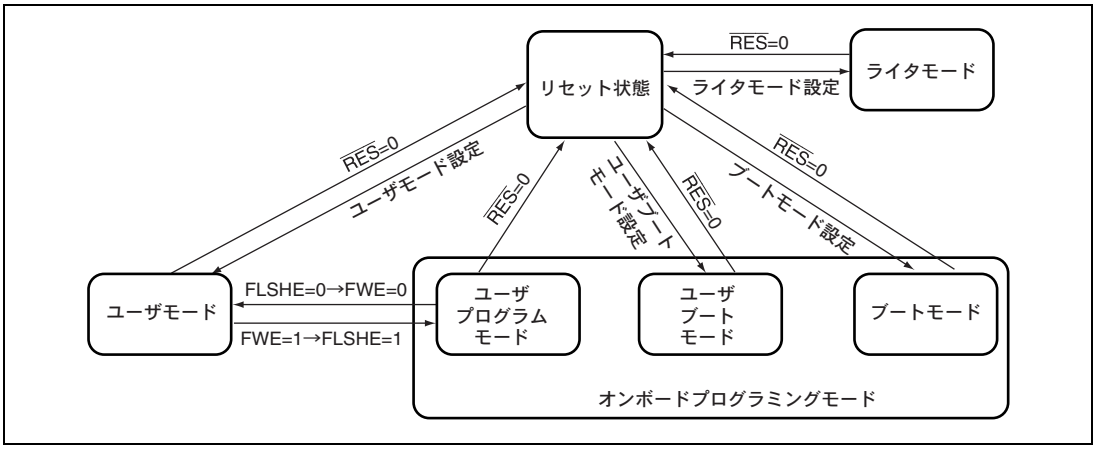


図 18.2 フラッシュメモリに関するモード遷移図

18.1.2 モード比較

ブートモード、ユーザプログラムモード、ユーザブートモード、ライタモードについての書き込み／消去関連項目の比較表を表 18.1 に示します。

表 18.1 プログラミングモードの比較

	ブートモード	ユーザプログラムモード	ユーザブートモード	ライタモード
書き込み／消去環境	オンボード			PROM ライタ
書き込み／消去可能マット	ユーザマット ユーザブートマット	ユーザマット	ユーザマット	ユーザマット ユーザブートマット
全面消去	○（自動）	○	○	○（自動）
ブロック分割消去	○*1	○	○	×
書き込みデータ転送	ホストから SCI 経由	任意のデバイス経由	任意のデバイス経由	ライタ経由
リセット起動マット	組み込みプログラム格納マット	ユーザマット	ユーザブートマット*2	—
ユーザモードへの遷移	モード設定変更 ＆リセット	FWE 端子と FLSHE ビット設定変更	モード設定変更 ＆リセット	—

【注】 *1 一旦全面消去が行われます。その後、特定ブロックの消去を行うことができます。

*2 一旦組み込みプログラム格納マットから起動し、フラッシュ関連レジスタのチェックが実行された後、ユーザブートマットのリセットベクタから起動します。

- ユーザブートマットの書き込み／消去は、ブートモードとライタモードでのみ可能です。
- ブートモードでは、一旦ユーザマットとユーザブートマットが全面消去されます。その後、コマンド方式でユーザマットまたはユーザブートマットの書き込みができますが、この状態になるまではマット内容の読み出しはできません。

  ユーザブートマットだけ書き込んでユーザマットの書き変えはユーザブートモードで実施する、あるいは、ユーザブートモードは使用しないためユーザマットだけ書き換えるなどの使い方が可能です。
- ユーザブートモードでは、ユーザプログラムモードと異なるモード端子設定で、任意のインタフェースのブート動作を実現できます。

18.1.3　フラッシュメモリマット構成

本 LSI のフラッシュメモリは、1M バイトのユーザマットと 8K バイトのユーザブートマットから構成されています。

ユーザマットとユーザブートマットは先頭アドレスが同じアドレスに割り当てられていますので、2 つのマット間でプログラム実行またはデータアクセスがまたがる場合は、FMATS によるマット切り替えが必要です。

ユーザマット／ユーザブートマットの読み出しはどのモードでも可能ですが、ユーザブートマットの書き換えはブートモードとライタモードでのみ可能です。

本 LSI のフラッシュメモリには、プロテクト領域があります。プロテクト領域は、ROM のプロテクト領域以外または RAM からリードすることができません。リードすると常に H'FF が読み出されます。また、書き込み／消去ともに禁止されています。

ROM のプロテクト領域以外または RAM から、ROM のプロテクト領域以外へ分岐（Jump、Subroutine Branch 等）することは可能です。

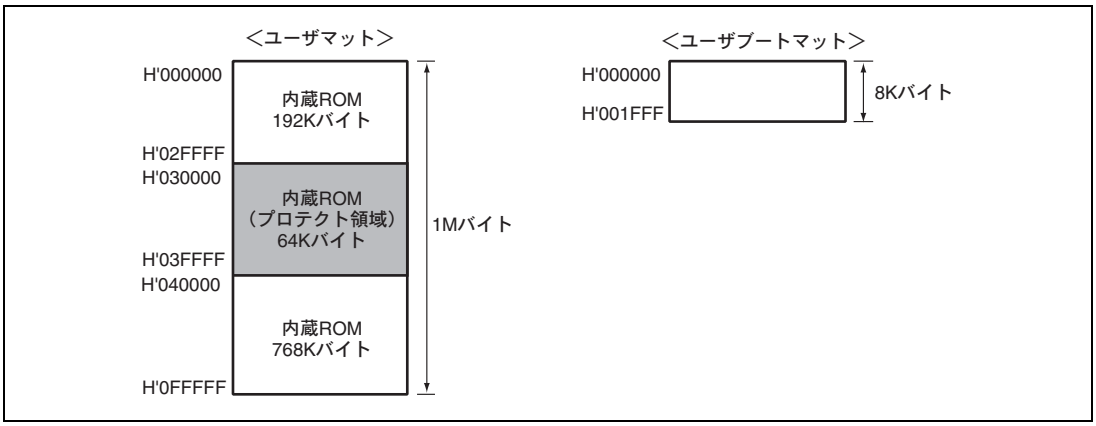


図 18.3　フラッシュメモリ構成図

ユーザマットとユーザブートマットはメモリサイズが異なります。8K バイト空間以上のユーザブートマットをアクセスしないようにしてください。8K バイト空間以上のユーザブートマットを読み出した場合、不定値が読み出されます。

18.1.4　ブロック分割

ユーザマットは、図 18.4 に示すように 64K バイト（15 ブロック）、32K バイト（1 ブロック）、4K バイト（8 ブロック）に分割されています。この分割ブロック単位に消去ができ、消去時に EB0～EB10、EB12～EB23 の消去ブロック番号で指定します。

EB0 消去単位4Kバイト	H'000000	H'000001	H'000002	←書き込み単位 128バイト→	H'00007F
	H'000F80	H'000F81	H'000F82	－ － － － － － － － － － － －	H'000FFF
EB1 消去単位4Kバイト	H'001000	H'001001	H'001002	←書き込み単位 128バイト→	H'00107F
	H'001F80	H'001F81	H'001F82	－ － － － － － － － － － － －	H'001FFF
EB2 消去単位4Kバイト	H'002000	H'002001	H'002002	←書き込み単位 128バイト→	H'00207F
	H'002F80	H'002F81	H'002F82	－ － － － － － － － － － － －	H'002FFF
EB3 消去単位4Kバイト	H'003000	H'003001	H'003002	←書き込み単位 128バイト→	H'00307F
	H'003F80	H'003F81	H'003F82	－ － － － － － － － － － － －	H'003FFF
EB4 消去単位32Kバイト	H'004000	H'004001	H'004002	←書き込み単位 128バイト→	H'00407F
	H'00BF80	H'00BF81	H'00BF82	－ － － － － － － － － － － －	H'00BFFF
EB5 消去単位4Kバイト	H'00C000	H'00C001	H'00C002	←書き込み単位 128バイト→	H'00C07F
	H'00CF80	H'00CF81	H'00CF82	－ － － － － － － － － － － －	H'00CFFF
EB6 消去単位4Kバイト	H'00D000	H'00D001	H'00D002	←書き込み単位 128バイト→	H'00D07F
	H'00DF80	H'00DF81	H'00DF82	－ － － － － － － － － － － －	H'00DFFF
EB7 消去単位4Kバイト	H'00E000	H'00E001	H'00E002	←書き込み単位 128バイト→	H'00E07F
	H'00EF80	H'00EF81	H'00EF82	－ － － － － － － － － － － －	H'00EFFF
EB8 消去単位4Kバイト	H'00F000	H'00F001	H'00F002	←書き込み単位 128バイト→	H'00F07F
	H'00FF80	H'00FF81	H'00FF82	－ － － － － － － － － － － －	H'00FFFF
EB9 消去単位64Kバイト	H'010000	H'010001	H'010002	←書き込み単位 128バイト→	H'01007F
	H'01FF80	H'01FF81	H'01FF82	－ － － － － － － － － － － －	H'01FFFF
EB10 消去単位64Kバイト	H'020000	H'020001	H'020002	←書き込み単位 128バイト→	H'02007F
	H'02FF80	H'02FF81	H'02FF82	－ － － － － － － － － － － －	H'02FFFF
EB11 64Kバイト（プロテクト領域）	H'030000	H'030001	H'030002	←書き込み単位 128バイト→	H'03007F
	H'03FF80	H'03FF81	H'03FF82	－ － － － － － － － － － － －	H'03FFFF

図 18.4　ユーザマットのブロック分割（1）

EB12 消去単位64Kバイト	H'040000	H'040001	H'040002	←書き込み単位 128バイト→	H'04007F
	≈				≈
	H'04FF80	H'04FF81	H'04FF82	－ － － － － － － － － － － －	H'04FFFF
EB13 消去単位64Kバイト	H'050000	H'050001	H'050002	←書き込み単位 128バイト→	H'05007F
	≈				≈
	H'05FF80	H'05FF81	H'05FF82	－ － － － － － － － － － － －	H'05FFFF
EB14 消去単位64Kバイト	H'060000	H'060001	H'060002	←書き込み単位 128バイト→	H'06007F
	≈				≈
	H'06FF80	H'06FF81	H'06FF82	－ － － － － － － － － － － －	H'06FFFF
EB15 消去単位64Kバイト	H'070000	H'070001	H'070002	←書き込み単位 128バイト→	H'07007F
	≈				≈
	H'07FF80	H'07FF81	H'07FF82	－ － － － － － － － － － － －	H'07FFFF
EB16 消去単位64Kバイト	H'080000	H'080001	H'080002	←書き込み単位 128バイト→	H'08007F
	≈				≈
	H'08FF80	H'08FF81	H'08FF82	－ － － － － － － － － － － －	H'08FFFF
EB17 消去単位64Kバイト	H'090000	H'900001	H'900002	←書き込み単位 128バイト→	H'09007F
	≈				≈
	H'09FF80	H'09FF81	H'09FF82	－ － － － － － － － － － － －	H'09FFFF
EB18 消去単位64Kバイト	H'0A0000	H'A0D001	H'0A0002	←書き込み単位 128バイト→	H'0A007F
	≈				≈
	H'0AFF80	H'0AFF81	H'0AFF82	－ － － － － － － － － － － －	H'0AFFFF
EB19 消去単位64Kバイト	H'0B0000	H'0B0001	H'0B0002	←書き込み単位 128バイト→	H'0B007F
	≈				≈
	H'0BFF80	H'0BFF81	H'0BFF82	－ － － － － － － － － － － －	H'0BFFFF
EB20 消去単位64Kバイト	H'0C0000	H'0C0001	H'0C0002	←書き込み単位 128バイト→	H'0C007F
	≈				≈
	H'0CFF80	H'0CFF81	H'0CFF82	－ － － － － － － － － － － －	H'0CFFFF
EB21 消去単位64Kバイト	H'0D0000	H'0D0001	H'0D0002	←書き込み単位 128バイト→	H'0D007F
	≈				≈
	H'0DFF80	H'0DFF81	H'0DFF82	－ － － － － － － － － － － －	H'0DFFFF
EB22 消去単位64Kバイト	H'0E0000	H'0E0001	H'0E0002	←書き込み単位 128バイト→	H'0E007F
	≈				≈
	H'0EFF80	H'0EFF81	H'0EFF82	－ － － － － － － － － － － －	H'0EFFFF
EB23 消去単位64Kバイト	H'0F0000	H'0F0001	H'0F0002	←書き込み単位 128バイト→	H'0F007F
	≈				≈
	H'0FFF80	H'0FFF81	H'0FFF82	－ － － － － － － － － － － －	H'0FFFFF

図 18.4　ユーザマットのブロック分割（2）

18.1.5 書き込み／消去インタフェース

書き込み／消去の実行は内蔵されているプログラムを内蔵 RAM 上にダウンロードし、書き込みアドレス／データ、消去ブロックなどをインタフェースレジスタ／パラメータで指定して行います。

ユーザプログラムモード／ユーザブートモードでは、これらの一連の手続きプログラムはユーザで作成していただきます。手順の概要を以下に示します。なお、詳細は「18.4.2 ユーザプログラムモード」で説明します。

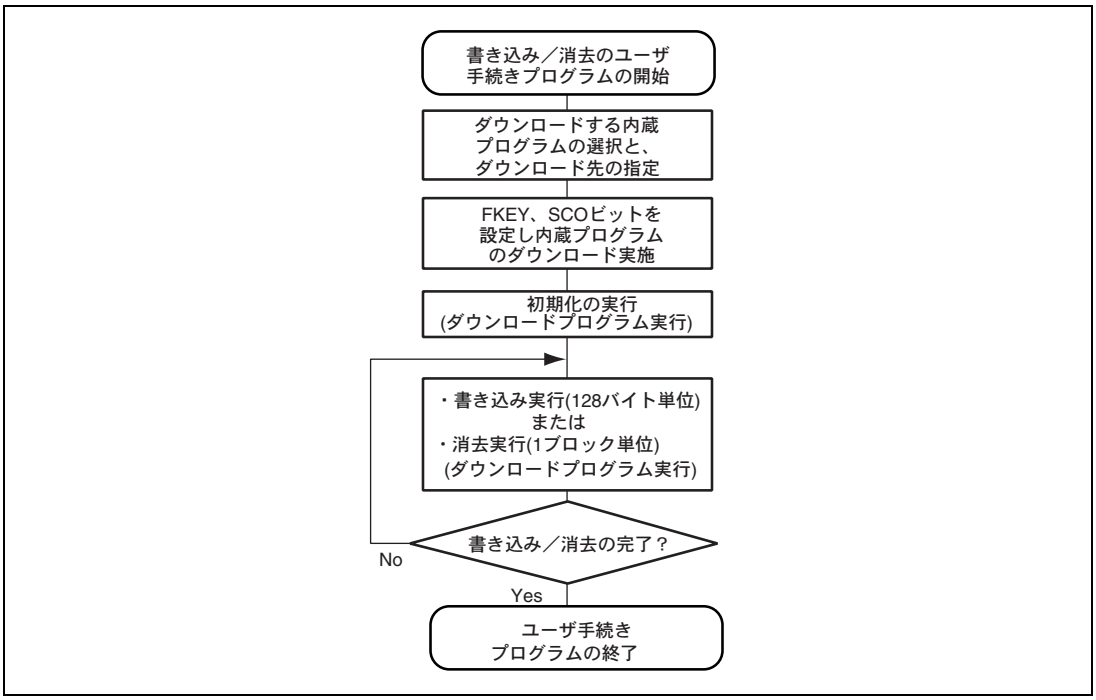


図 18.5 ユーザの手続きプログラムの概要

(1) ダウンロードする内蔵プログラムの選択

書き込み／消去を実施するためには、STCR の FLSHE ビットを 1 に設定しユーザプログラムモードにする必要があります。

本 LSI には、書き込み／消去関係のプログラムが内蔵されており、内蔵 RAM 上へのダウンロードが可能です。ダウンロードする内蔵プログラムの選択は、書き込み／消去インタフェースレジスタの対応ビットをセットすることで行います。また、ダウンロード先のアドレスはフラッシュトランスファディスティネーションアドレスレジスタ（FTDAR）で指定することができます。

(2) 内蔵プログラムのダウンロード

内蔵プログラムのダウンロードは、書き込み／消去インタフェースレジスタのフラッシュキーレジスタ（FKEY）と、フラッシュコードステータスレジスタ（FCCS）の SCO ビットの設定を行うことで自動的に行われます。

ダウンロード中はフラッシュメモリマットが組み込みプログラム格納領域と入れ替わります。また、書き込み／消去時はフラッシュメモリマットの読み出しはできないため、ダウンロード以降書き込み／消去完了までの一連の手続きプログラムはフラッシュメモリ以外（内蔵 RAM 上など）で実行するようにしてください。

ダウンロードの結果は、書き込み／消去インタフェースパラメータに戻されますので、正常にダウンロードできたかの確認ができます。

(3) 書き込み／消去の初期化

書き込み／消去の実行前に、動作周波数の設定を行います。この設定は書き込み／消去インタフェースパラメータで行います。

(4) 書き込み／消去の実行

書き込み／消去を行うためには、FWE 端子と STCR の FLSHE ビットを 1 にセットしユーザプログラムモードにしてください。

書き込みでは書き込みデータ／書き込み先アドレスの指定を 128 バイト単位で行います。消去では消去ブロックの指定を消去ブロック単位で行います。

これらの指定を書き込み／消去インタフェースパラメータで設定し、内蔵プログラムを起動します。内蔵プログラムは、内蔵 RAM 上の特定アドレスを JSR 命令または BSR 命令でサブルーチンコールすることで実行します。実行結果は、書き込み／消去インタフェースパラメータに戻されます。

フラッシュメモリの書き込みにおいては事前に対象領域が消去されている必要があります。書き込み／消去処理中は、すべての割り込みを禁止する必要があります。ユーザのシステム上で、割り込みが入らないようにしてください。

(5) 引き続き、書き込み／消去を実行する場合

128 バイトの書き込み、1 ブロックの消去で処理が終わらない場合、書き込みアドレス／データ、消去ブロック番号を更新して書き込み／消去を連続して行う必要があります。

ダウンロードした内蔵プログラムは処理終了後も内蔵 RAM 上に残っていますので、引き続き同じ処理を実行する場合はダウンロードと初期化の必要はありません。

18.2 入出力端子

フラッシュメモリは表 18.2 に示す端子により制御されます。

表 18.2 端子構成

端子名	入出力	機　　能
$\overline{\text{RES}}$	入力	リセット
FWE	入力	フラッシュメモリ書き込み／消去イネーブル端子
MD2	入力	本 LSI の動作モードを設定
MD1	入力	本 LSI の動作モードを設定
MD0	入力	本 LSI の動作モードを設定
TxD1	出力	シリアル送信データ出力（ブートモードで使用）
RxD1	入力	シリアル受信データ入力（ブートモードで使用）

18.3 レジスタの説明

フラッシュメモリをコントロールするレジスタ／パラメータを以下に示します。これらのレジスタをアクセスするためには、STCR の FLSHE ビットを 1 セットする必要があります。STCR については「3.2.3 シリアルタイマコントロールレジスタ（STCR）」を参照してください。

書き込み／消去インタフェースレジスタ

- フラッシュコードコントロール・ステータスレジスタ（FCCS）
- フラッシュプログラムコードセレクトレジスタ（FPCS）
- フラッシュイレースコードセレクトレジスタ（FECS）
- フラッシュキーコードレジスタ（FKEY）
- フラッシュマットセレクトレジスタ（FMATS）
- フラッシュトランスファディスティネーションアドレスレジスタ（FTDAR）

書き込み／消去インタフェースパラメータ

- スレーブフラッシュメモリプロテクトコントロールレジスタ（SLVPCR）
- ダウンロードパス・フェイルリザルト（DPFR）
- フラッシュパス・フェイルリザルト（FPFR）
- フラッシュマルチパーパスアドレスエリア（FMPAR）
- フラッシュマルチパーパスデータディスティネーションエリア（FMPDR）
- フラッシュイレースブロックセレクト（FEBS）
- フラッシュプログラム・イレース周波数コントロール（FPEFEQ）

フラッシュメモリのアクセスには読み出しモード／書き込みモードなどいくつかの動作モードがあります。

また、メモリマットもユーザマットとユーザブートマットがあり、それぞれの動作モード、マット選択で専用のレジスタ／パラメータが割り当てられています。動作モードと使用レジスタ／パラメータの対応表を表 18.3 に示します。

表 18.3　使用レジスタ／パラメータと対象モード

		ダウンロード	初期化	書き込み	消去	読み出し
書き込み／消去インタフェースレジスタ	FCCS	○	－	－	－	－
	FPCS	○	－	－	－	－
	FECS	○	－	－	－	－
	FKEY	○	－	○	○	－
	FMATS	－	－	○ (*1)	○ (*1)	○ (*2)
	FTDAR	○	－	－	－	－
書き込み／消去インタフェースパラメータ	DPFR	○	－	－	－	－
	FPFR	－	○	○	○	－
	FPEFEQ	－	○	－	－	－
	FMPAR	－	－	○	－	－
	FMPDR	－	－	○	－	－
	FEBS	－	－	－	○	－

【注】 *1　ユーザブートモードでの、ユーザマットへの書き込み／消去時に設定が必要です。

*2　起動モードと読み出し対象マットの組み合わせで設定が必要な場合があります。

18.3.1　書き込み／消去インタフェースレジスタ

書き込み／消去インタフェースレジスタは 8 ビットのレジスタでバイトアクセスのみ可能です。これらのレジスタはリセットとハードウェアスタンバイモードで初期化されます。

(1) フラッシュコードコントロール・ステータスレジスタ（FCCS）

FCCS は FWE 端子状態のモニタ、フラッシュメモリの書き込み／消去実行中のエラー発生のモニタ、および内蔵プログラムのダウンロードを要求します。

ビット	ビット名	初期値	R/W	説　　明
7	FWE	1/0	R	フラッシュライトイネーブル FWE 端子に入力されているレベルをモニタします。 0：FWE 端子に Low レベルが入力（ハードウェアプロテクト状態） 1：FWE 端子に High レベルが入力
6	－	0	R/W	リザーブビット
5	－	0	R/W	初期値を変更しないでください。

ビット	ビット名	初期値	R/W	説　　明
4	FLER	0	R	フラッシュメモリエラー フラッシュメモリへの書き込み／消去実行中にエラーが発生したことを示します。FLER＝1 にセットされると、フラッシュメモリはエラープロテクト状態に遷移します。なお、FLER＝1 になった場合は、フラッシュメモリ内部に高電圧が印加されていますので、フラッシュメモリへのダメージを低減するために、通常より長い 100μs のリセット入力期間の後にリセットリリースしてください。 0：フラッシュメモリは正常に動作 フラッシュメモリへの書き込み／消去プロテクト（エラープロテクト）は無効 ［クリア条件］リセットまたはハードウェアスタンバイモードのとき 1：フラッシュメモリへの書き込み／消去中にエラーが発生 フラッシュメモリへの書き込み／消去プロテクト（エラープロテクト）が有効 ［セット条件］ • 書き込み／消去中に NMI などの割り込みが発生したとき • 書き込み／消去中にフラッシュメモリを読み出したとき（ベクタリードおよび命令フェッチを含む） • 書き込み／消去中に SLEEP 命令を実行したとき（ソフトウェアスタンバイを含む） • 書き込み／消去中に CPU 以外のバスマスタ（LPC）が、バス権を確保したとき
3～1	－	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
0	SCO	0	(R)/W*	ソースプログラムコピーオペレーション 内蔵書き込み／消去プログラムを内蔵 RAM にダウンロードする要求ビットです。本ビットを 1 にセットすると、FPCS/FECS で選択した内蔵プログラムが、FTDAR で指定された内蔵 RAM の領域に自動的にダウンロードされます。本ビットを 1 にセットするためには、FKEY への H'A5 の書き込み、および内蔵 RAM 上での実行が必要です。 本ビットを 1 にセットした直後には、4 個の NOP 命令を必ず実行するようにしてください。なお、ダウンロード完了時点では本ビットは 0 クリアされているため、本ビットの 1 状態を読み出すことはできません。ダウンロード中は、すべての割り込みを禁止する必要があります。ユーザのシステム上で割り込みが入らないようにしてください。 0：内蔵されている書き込み／消去プログラムの内蔵 RAM へのダウンロードは行いません ［クリア条件］ダウンロードが完了したとき 1：内蔵されている書き込み／消去プログラムの内蔵 RAM へのダウンロードリクエストを発生します。 ［セット条件］以下の条件がすべて満足されている状態で、1 をセットしたとき • FKEY に H'A5 が書かれていること • 内蔵 RAM 上で実行中であること

【注】　＊　ライトのみ可能です。リードすると常に 0 が読み出されます。

(2) フラッシュプログラムコードセレクトレジスタ（FPCS）

FPCS は、ダウンロードする書き込み関係の内蔵プログラムを選択するレジスタです。

ビット	ビット名	初期値	R/W	説　　明
7～1	－	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
0	PPVS	0	R/W	プログラムパルスベリファイ 書き込みプログラムを選択します。 0：内蔵の書き込みプログラムを選択しない ［クリア条件］転送が終了したとき 1：内蔵の書き込みプログラムを選択する

(3) フラッシュイレースコードセレクトレジスタ（FECS）

FECS は、消去関係の内蔵プログラムのダウンロードを選択するレジスタです。

ビット	ビット名	初期値	R/W	説　　明
7～1	－	すべて 0	R/W	リザーブビット 初期値を変更しないでください。
0	EPVB	0	R/W	イレースパルスベリファイブロック 消去プログラムを選択します。 0：内蔵消去プログラムを選択しない ［クリア条件］転送が終了したとき 1：内蔵消去プログラムを選択する

(4) フラッシュキーコードレジスタ（FKEY）

FKEY は、内蔵プログラムのダウンロードとフラッシュメモリの書き込み／消去を許可するソフトウェアプロテクトのレジスタです。内蔵プログラムのダウンロード実施のため、SCO ビットを 1 にセットする前、およびダウンロードした書き込み／消去プログラム実行前に、キーコードを書き込まないとそれぞれの処理が実行できません。

ビット	ビット名	初期値	R/W	説　　明
7	K7	0	R/W	キーコード H'A5 を書き込んだ場合にのみ、SCO ビットの書き込みが有効になります。H'A5 以外の値が FKEY に書かれている場合、SCO ビットを 1 にセットすることができないため、内蔵 RAM へのダウンロードができません。また、H'5A を書き込んだ場合のみ、書き込み／消去が可能になります。内蔵の書き込み／消去プログラムを実行しても、H'5A 以外の値が FKEY レジスタに書かれている場合はフラッシュメモリの書き込み／消去はできません。 H'A5：SCO ビットの書き込みを許可（H'A5 以外では SCO ビットのセットはできません） H'5A：書き込み／消去を許可（H'5A 以外ではソフトウェアプロテクト状態） H'00：初期値
6	K6	0	R/W	
5	K5	0	R/W	
4	K4	0	R/W	
3	K3	0	R/W	
2	K2	0	R/W	
1	K1	0	R/W	
0	K0	0	R/W	

(5) フラッシュマットセレクトレジスタ（FMATS）

FMATS は、ユーザマット／ユーザブートマットのどちらを選択するかを指定するレジスタです。

ビット	ビット名	初期値	R/W	説　　明
7	MS7	0/1*	R/W	マットセレクト H'AA 以外の場合はユーザマット選択状態、H'AA が書かれている状態はユーザブートマット選択状態です。FMATS に値を書き込みことによりマット切り替えが発生します。マット切り替えは、必ず「18.6　ユーザマットとユーザブートマットの切り替え」に従ってください（ユーザプログラミングモードでのユーザブートマットの書き換えは、FMATS でユーザブートマットを選択してもできません。ユーザブートマットの書き換えは、ブートモードかライタモードで実施してください）。 H'AA：ユーザブートマットを選択（H'AA 以外ではユーザマット選択状態となります）。 ユーザブートモードで立ち上がった場合の初期値です。 H'00：ユーザブートモード以外で立ち上がった場合の初期値（ユーザマット選択状態です）。 ［書き込み可能条件］内蔵 RAM 上での実行状態であること
6	MS6	0	R/W	
5	MS5	0/1*	R/W	
4	MS4	0	R/W	
3	MS3	0/1*	R/W	
2	MS2	0	R/W	
1	MS1	0/1*	R/W	
0	MS0	0	R/W	

【注】　*　ユーザブートモードのときは 1 になります。それ以外のときは 0 となります。

(6) フラッシュトランスファディスティネーションアドレスレジスタ（FTDAR）

FTDAR は、内蔵プログラムのダウンロード先の内蔵 RAM 上のアドレスを指定するレジスタです。FCCS の SCO ビットを 1 にセットする前に、本レジスタの設定を行ってください。

ビット	ビット名	初期値	R/W	説　　明
7	TDER	0	R/W	トランスファディスティネーションアドレス設定エラー TDA6～TDA0 ビットで指定するダウンロード先頭アドレス指定にエラーがあった場合、1 がセットされます。アドレス指定のエラー判定は、FCCS の SCO ビットを 1 にセットして、ダウンロード処理が実行されたときに、TDA6～TDA0 の値が H'01、H'02 の範囲にあるかどうかを判定します。SCO ビットを 1 にセットする前に、本ビットの値を 0 にすることも含めて、FTDAR の値を H'01、H'02 の範囲に設定してください。 0：TDA6～TDA0 の設定は、正常値です。 1：TDER、TDA6～TDA0 の設定値が H'00、H'03～H'7F であり、ダウンロードは中断したことを示します。
6	TDA6	0	R/W	トランスファディスティネーションアドレス ダウンロード先頭アドレスを指定します。設定可能な値は H'01、H'02 で、UR 領域上のダウンロード先頭アドレスを指定できます。 H'01：ダウンロード先頭アドレスを H'FFD880 に設定 H'02：ダウンロード先頭アドレスを H'FFE080 に設定 H'00、H'03～H'7F：設定しないでください。この値が設定された場合、ダウンロード処理において、TDER ビットが 1 になり、内蔵プログラムのダウンロード処理は中断されます。
5	TDA5	0	R/W	
4	TDA4	0	R/W	
3	TDA3	0	R/W	
2	TDA2	0	R/W	
1	TDA1	0	R/W	
0	TDA0	0	R/W	

18.3.2 書き込み／消去インタフェースパラメータ

書き込み／消去インタフェースパラメータは、ダウンロードした内蔵プログラムに対して動作周波数、書き込みデータの格納場所、書き込み先アドレス、消去ブロックなどの指定および処理結果のやりとりをするものです。このパラメータは、CPU の汎用レジスタ（ER0、ER1）や内蔵 RAM 領域を使用します。リセット、ハードウェアスタンバイでの初期値は不定です。

ダウンロード、初期化、内蔵プログラム実行においては、R0L 以外の CPU のレジスタは保存されます。R0L は、処理結果の戻り値が記入されます。R0L 以外のレジスタ保存のためにスタック領域を使用しますので、処理開始においてはスタック領域の確保をしてください（使用スタック領域サイズは、最大 128 バイトです）。

書き込み／消去インタフェースパラメータは、次の 4 項目で使用します。

1. ダウンロード制御
2. 書き込み／消去実行前の初期化実行
3. 書き込み実行
4. 消去実行

それぞれ使用するパラメータは異なります。対応表を、表 18.4 に示します。

ここで FPFR パラメータは初期化処理、書き込み処理、消去処理において処理結果が戻されますが、処理内容によりビットの意味が異なります。各処理ごとの FPFR 説明部分をご覧ください。

表 18.4 使用パラメータと対象モード

パラメータ名	略称	ダウンロード	初期化	書き込み	消去	R/W	初期値	割り当て
ダウンロードパス・フェイルリザルト	DPFR	○	－	－	－	R/W	不定	内蔵 RAM*
フラッシュパス・フェイルリザルト	FPFR	－	○	○	○	R/W	不定	CPU の R0L
フラッシュプログラムイレース周波数コントロール	FPEFEQ	－	○	－	－	R/W	不定	CPU の ER0
フラッシュマルチパーパスアドレスエリア	FMPAR	－	－	○	－	R/W	不定	CPU の ER1
フラッシュマルチパーパスデータデスティネーションエリア	FMPDR	－	－	○	－	R/W	不定	CPU の ER0
フラッシュイレースブロックセレクト	FEBS	－	－	－	○	R/W	不定	CPU の R0L

【注】 * FTDAR レジスタで指定したダウンロード先の先頭アドレス 1 バイト

（1） ダウンロード制御

内蔵プログラムのダウンロードは、SCO ビットを 1 にセットすることで自動的に行われます。ダウンロードされる内蔵 RAM の領域は、FTDAR レジスタで指定した先頭アドレスから 2K バイト分の領域です。

ダウンロード制御は書き込み／消去インタフェースレジスタで設定し、戻り値は DPFR パラメータで渡されます。

（a） ダウンロードパス・フェイルリザルトパラメータ（DPFR：FTDAR レジスタで指定した内蔵 RAM の先頭アドレス 1 バイト）

ダウンロード結果の戻り値です。ダウンロードが実行できたかどうかは、本パラメータの値で判断します。SCO ビットを 1 にセットできたかの確認が困難のため、ダウンロード開始前（SCO ビットを 1 にセットする前）に、FTDAR で指定した内蔵 RAM の先頭アドレス 1 バイトをダウンロードの戻り値以外（H'FF など）にして、確実な判断ができるようにしてください。

ビット	ビット名	初期値	R/W	説　　明
7～3	－	－	－	未使用ビット 値 0 が戻されます
2	SS	－	R/W	ソースセレクトエラー検出ビット ダウンロード可能な内蔵プログラムは 1 種類のみ指定できます。2 種類以上の選択を行った場合、選択されていない場合、およびマッピングされていない選択の場合にはエラーとなります。 0：ダウンロードプログラムの選択関係は正常 1：ダウンロードエラー発生（多重選択または、マッピングされていないプログラム選択）
1	FK	－	R/W	フラッシュキーレジスタエラー検出ビット FKEY の値が、H'A5 であるかどうかをチェックした結果を返すビットです。 0：FKEY の設定は正常（FKEY＝ H'A5） 1：FKEY の設定値エラー（FKEY は、H'A5 以外の値）
0	SF	－	R/W	サクセス／フェイルビット ダウンロードが正常に終了したかどうかを戻すビットです。内蔵 RAM 上にダウンロードしたプログラムをリードバックし、内蔵 RAM 上に転送できているかの判定結果です。 0：内蔵プログラムのダウンロードは正常終了（エラーなし） 1：内蔵プログラムのダウンロードが異常終了（エラーが発生している）

(2) 書き込み／消去の初期化

ダウンロードされる書き込み／消去の内蔵プログラムには、初期化プログラムも含まれています。

書き込み／消去では決められた時間幅のパルス印加が必要で、ウェイトループを CPU 命令で構成する方法で規定のパルス幅を作成しています。このため、CPU の動作周波数を設定する必要があります。

これらの設定をダウンロードした書き込み／消去プログラムのパラメータとして設定するのが初期化プログラムです。

(a) フラッシュプログラム／イレース周波数パラメータ（FPEFEQ：CPU の汎用レジスタ ER0）

CPU の動作周波数を設定するパラメータです。本 LSI の動作周波数範囲は 4MHz～20MHz です。

ビット	ビット名	初期値	R/W	説　　明
31～16	－	－	－	未使用ビット 値 0 を設定してください。
15～0	F15～F0	－	R/W	周波数設定ビット CPU の動作周波数を設定します。設定値は以下のように算出してください。 • MHz 単位で表現した動作周波数を小数点第 3 位で四捨五入し、小数点第 2 位までとする。 • 100 倍した値を 16 進数に変換し、FPEFEQ パラメータ（汎用レジスタ ER0）に書き込む。 具体例として、CPU の動作周波数が 20.000MHz の場合には、以下のようになります。 • 20.000 の小数点第 3 位を四捨五入し、20.00。 • 20.00×100=2000 を 16 進数変換し、H'07D0 を ER0 に設定。

(b) フラッシュパス／フェイルパラメータ（FPFR：CPU の汎用レジスタ R0L）

初期化結果の戻り値です。

ビット	ビット名	初期値	R/W	説　　明
7～2	－	－	－	未使用ビット 値 0 が戻されます
1	FQ	－	R/W	周波数エラー検出ビット 指定された CPU 動作周波数が、サポートしている動作周波数の範囲にあるかをチェックした結果を戻します。 0：動作周波数の設定は正常値 1：動作周波数の設定が異常値
0	SF	－	R/W	サクセス／フェイルビット 初期化が正常に終了したかどうかを戻すビットです。 0：初期化は正常終了（エラーなし） 1：初期化が異常終了（エラーが発生している）

(3) 書き込み実行

フラッシュメモリへの書き込み実行においては、ユーザマット上の書き込み先アドレスと書き込みデータをダウンロードした書き込みプログラムに渡すことが必要です。

1. ユーザマット上の書き込み先の先頭アドレスを汎用レジスタER1に設定してください。このパラメータをフラッシュマルチパーパスアドレスエリアパラメータ（FMPAR）と呼びます。

   書き込みデータは常に128バイト単位ですので､ユーザマット上の書き込み先頭アドレスの境界はアドレスの下位8ビット（A7～A0）が、H'00またはH'80のいずれかとしてください。

2. ユーザマットへの書き込みデータを連続領域に準備してください。書き込みデータはCPUのMOV.B命令でアクセス可能な連続空間で、内蔵フラッシュメモリ空間以外としてください。

   書き込みたいデータが128バイトに満たない場合でも、ダミーコード（H'FF）を埋め込んで128バイトの書き込みデータを準備してください。

   準備した書き込みデータが格納されている領域の先頭アドレスを、汎用レジスタER0に設定してください。このパラメータをフラッシュマルチパーパスデータデスティネーションエリアパラメータ（FMPDR）と呼びます。

書き込み処理の手続きの詳細については、「18.4.2 ユーザプログラムモード」を参照してください。

(a) フラッシュマルチパーパスアドレスエリアパラメータ（FMPAR：CPU の汎用レジスタ ER1）

ユーザマット上の書き込み先の先頭アドレスを設定します。

フラッシュメモリ空間以外の領域のアドレスが設定されている場合、エラーとなります。

また、書き込み先の先頭アドレスは 128 バイト境界である必要があります。この境界条件になっていない場合も、エラーとなります。これらのエラーは FPFR パラメータのビット 1：WA ビットに反映されます。

ビット	ビット名	初期値	R/W	説　　明
31～0	MOA31 ～ MOA0	－	R/W	ユーザマット上の書き込み先の先頭アドレスを格納します。ここで指定されたユーザマットの先頭アドレスから連続 128 バイトの書き込みが行われます。 よって、指定する書き込み先の先頭アドレスは 128 バイト境界となり、MOA6～MOA0 は常に 0 になります。

(b) フラッシュマルチパーパスデータデスティネーションパラメータ（FMPDR：CPU の汎用レジスタ ER0）

ユーザマットに書き込むデータが格納されている領域の先頭アドレスを設定します。書き込みデータの格納先がフラッシュメモリ内の場合には、エラーとなります。このエラーは FPFR パラメータの WD ビットに反映されます。

ビット	ビット名	初期値	R/W	説　　明
31～0	MOD31 ～ MODA0	－	R/W	ユーザマットへの書き込みデータが格納されてる領域の先頭アドレスを格納します。ここで指定された先頭アドレスから連続 128 バイトのデータが、ユーザマットに対して書き込まれます。

（c） フラッシュパス／フェイルパラメータ（FPFR：CPU の汎用レジスタ R0L）

書き込み処理結果の戻り値です。

ビット	ビット名	初期値	R/W	説　　明
7	－	－	－	未使用ビット 値 0 が戻されます
6	MD	－	R/W	書き込みモード関連設定エラー検出ビット FWE 端子への入力値が High レベルであること、およびエラープロテクト状態でないことのチェック結果を返します。FWE 端子が Low レベルであったり、エラープロテクト状態になっている場合、1 が書き込まれます。これらの状態は、FCCS の FWE ビット、FLER ビットで確認できます。なお、エラープロテクト状態への遷移条件につきましては、「18.5.3　エラープロテクト」を参照してください。 0：FWE、FLER 状態は正常（FWE＝1、FLER＝0） 1：FWE＝0 または FLER＝1 であり、書き込みできない状態
5	EE	－	R/W	書き込み実行時エラー検出ビット ユーザマットが消去されていないために、指定データを書き込めなかった場合に、本ビットには 1 が返されます。これらが原因で、本ビットが 1 になった場合、ユーザマットは途中まで書き換えられいる可能性が高いため、エラーになる原因を取り除いた後、消去から実施し直してください。また、FMATS の値が H'AA となっており、ユーザブートマット選択状態のときに書き込みを実施しても、書き込み実行時エラーとなります。この場合は、ユーザマット／ユーザブートマットともに、書き換えられてはいません。ユーザブートマットの書き込みはブートモードまたはライタモードで実施してください。 0：書き込み処理は正常終了 1：書き込み処理が異常終了し、書き込み結果は保証できない
4	FK	－	R/W	フラッシュキーレジスタエラー検出ビット 書き込み処理開始前に FKEY の値をチェックした結果を戻します。 0：FKEY の設定は正常（FKEY＝H'5A） 1：FKEY の設定値エラー（FKEY は、H'5A 以外の値）
3	－	－	－	未使用ビット 値 0 が戻されます
2	WD	－	R/W	ライトデータアドレス検出ビット 書き込みデータの格納先の先頭アドレスとして、フラッシュメモリ領域のアドレスが指定された場合にはエラーとなります。 0：書き込みデータアドレス設定は正常値 1：書き込みデータアドレス設定が異常値
1	WA	－	R/W	ライトアドレスエラー検出ビット 書き込み先先頭アドレスとして、以下が指定された場合にはエラーとなります。 • フラッシュメモリの領域外が書き込み先アドレスとして指定された場合 • 指定されたアドレスが 128 バイト境界でない場合（アドレスの下位 8 ビットが H'00 か H'80 以外） 0：書き込み先アドレス設定は正常値 1：書き込み先アドレス設定が異常値

ビット	ビット名	初期値	R/W	説　　明
0	SF	－	R/W	サクセス／フェイルビット 書き込み処理が正常に終了したかどうかを戻すビットです。 0：書き込みは正常終了（エラーなし） 1：書き込みが異常終了（エラーが発生している）

（4） 消去実行

フラッシュメモリの消去実行においては、ユーザマット上の消去ブロック番号をダウンロードした消去プログラムに渡すことが必要です。これを、FEBS パラメータ（汎用レジスタ ER0）に設定します。

0～10、12～23 のブロック番号から 1 ブロックを指定します。

消去処理の手続きの詳細については、「18.4.2　ユーザプログラムモード」を参照してください。

（a） フラッシュイレースブロックセレクトパラメータ（FEBS：CPU の汎用レジスタ ER0）

消去ブロック番号を指定します。複数のブロック番号の指定はできません。

ビット	ビット名	初期値	R/W	説　　明
31～8	－	－	－	未使用ビット 値 0 を設定してください。
7	EB7	－	R/W	イレースブロック 0～10、12～23 の範囲で消去ブロック番号を設定します。0 は EB0 ブロック、23 は EB23 ブロックに対応します。0～10、12～23（H'00～H'0A、H'0C～H'77）以外の設定ではエラーになります。
6	EB6	－	R/W	
5	EB5	－	R/W	
4	EB4	－	R/W	
3	EB3	－	R/W	
2	EB2	－	R/W	
1	EB1	－	R/W	
0	EB0	－	R/W	

（b） フラッシュパス／フェイルパラメータ（FPFR：CPU の汎用レジスタ R0L）

消去処理結果の戻り値です。

ビット	ビット名	初期値	R/W	説　　明
7	－	－	－	未使用ビット 値 0 が戻されます
6	MD	－	R/W	消去モード関連設定エラー検出ビット FWE 端子への入力値が High レベルであることと、エラープロテクト状態でないことのチェック結果を返します。FWE 端子が Low レベルであったり、エラープロテクト状態になっている場合、1 が書き込まれます。これらの状態は、FCCS の FWE ビット、FLER ビットで確認できます。なお、エラープロテクト状態への遷移条件につきましては、「18.5.3　エラープロテクト」を参照してください。 0：FWE、FLER 状態は正常（FWE＝1、FLER＝0） 1：FWE＝0 または FLER＝1 であり、消去できない状態
5	EE	－	R/W	消去実行時エラー検出ビット ユーザマットの消去ができなかったり、フラッシュ関連レジスタの一部が書き換えられている場合に、本ビットには 1 が返されます。これらが原因で、本ビットが 1 になった場合、ユーザマットは途中まで消去されている可能性が高いため、エラーになる原因を取り除いた後、再度消去を実施し直してください。また、FMATS レジスタの値が H'AA となっており、ユーザブートマット選択状態のときに消去を実施しても、消去実行時エラーとなります。この場合は、ユーザマット／ユーザブートマットともに、消去されてはいません。ユーザブートマットの消去はブートモードまたはライタモードで実施してください。
4	FK	－	R/W	フラッシュキーレジスタエラー検出ビット 消去処理開始前に FKEY の値をチェックした結果を戻します。 0：FKEY の設定は正常（FKEY＝H'5A） 1：FKEY の設定値エラー（FKEY は、H'5A 以外の値）
3	EB	－	R/W	イレースブロックセレクトエラー検出ビット 指定された消去ブロック番号が、ユーザマットのブロック範囲内であるかのチェック結果です。 0：消去ブロック番号の設定は正常値 1：消去ブロック番号の設定が異常値
2 1	－ －	－ －	－ －	未使用ビット 値 0 が戻されます
0	SF	－	R/W	サクセス／フェイルビット 消去処理が正常に終了したかどうかを戻すビットです。 0：消去は正常終了（エラー無し） 1：消去が異常終了（エラーが発生している）

18.4 オンボードプログラミング

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み／消去を行うことができるオンボードプログラミング状態へ遷移します．オンボードプログラミングモードにはブートモード、ユーザプログラムモードとユーザブートモードの 3 種類の動作モードがあります。

各モードへの設定方法は、表 18.5 を参照してください。また、フラッシュメモリに対する各モードへの状態遷移図は図 18.2 を参照してください。

表 18.5 オンボードプログラミングモードの設定方法

モード設定	FWE	MD2	MD1	MD0	NMI
ブートモード	1	1	0	0	1
ユーザプログラムモード	1*	0	1	0	0/1
ユーザブートモード	1	1	0	0	0

【注】 * 書き込み／消去プログラムのダウンロードを行う前に FLSHE ビットを 1 に設定し、ユーザプログラムモードに遷移してください。

18.4.1 ブートモード

ブートモードは、内蔵の SCI を使用してホストから制御コマンドや書き込みデータを送信する方式でユーザマットやユーザブートマットへの書き込み／消去を実行するモードです。ホスト上に制御コマンドを送信するためのツールと書き込みデータを準備しておく必要があります。使用する SCI 通信モードは調歩同期式モードに設定されています。本 LSI の端子をブートモードに設定後、リセットスタートするとあらかじめマイコン内部に組み込まれているブートプログラムを起動し、SCI ビットレートの自動調整実施後、制御コマンド方式でのホストとの通信を行います。

図 18.6 にブートモード時のシステム構成図を示します。なお、ブートモードの端子設定は表 18.5 を参照してください。ブートモードでの NMI およびその他の割り込みは無視されます。しかし、NMI およびその他の割り込みはシステム側で発生しないようにしてください。

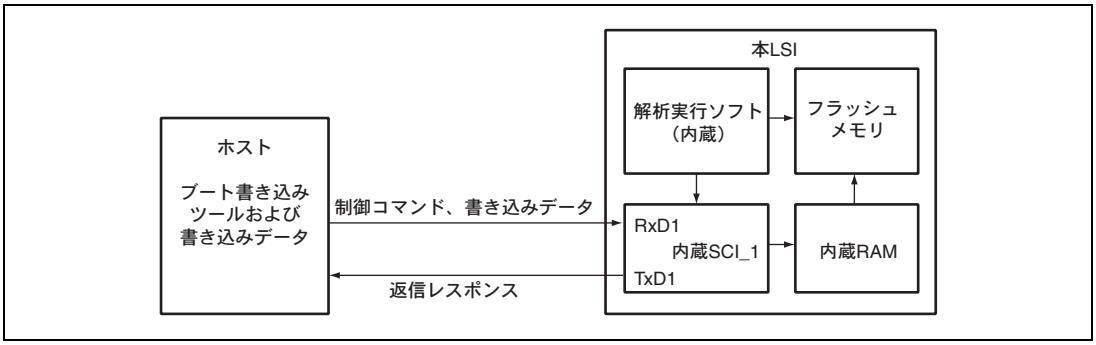


図 18.6 ブートモード時のシステム構成図

(1) ホストの SCI インタフェース設定

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ（H'00）の Low 期間を測定します。このときの SCI 送信／受信フォーマットは「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図（H'00 を 1 バイト）をホストへ送信します。ホストは、この調整終了合図（H'00）を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し（リセット）、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを 4,800bps、9,600bps または 19,200bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を、**表 18.6** に示します。このシステムクロックの範囲内でブートモードを起動してください。

図 18.7 SCI ビットレートの自動合わせ込み動作

表 18.6 本 LSI の自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロック周波数
4,800 bps	4～20 MHz
9,600 bps	4～20 MHz
19,200 bps	8～20 MHz

(2) 状態遷移図

ブートモード起動後の、状態遷移図の概要を**図 18.8** に示します。

1. ビットレート合わせ込み

   ブートモード起動後、ホストとのSCIインタフェースのビットレート合わせ込みを行います。

2. 問い合わせ設定コマンド待ち

   ユーザマットサイズ、ユーザマット構成、マット先頭アドレス、サポート状況などの問い合わせに対して、必要情報をホストに送信します。

3. 全ユーザマットおよびユーザブートマットの自動消去

   問い合わせが完了すると、すべてのユーザマットとユーザブートマットを自動消去します。

4. 書き込み／消去コマンド待ち

- 「書き込み準備通知」を受信すると、書き込みデータ待ち状態に遷移します。書き込みコマンドに続けて書き込み先頭アドレス、書き込みデータを送信してください。書き込み終了時は、書き込み先頭アドレスをH'FFFFFFFFと設定して送信してください。これにより書き込みデータ待ち状態から、書き込み／消去コマンド待ち状態に戻ります。
- 「消去準備通知」を受信すると、消去ブロックデータ待ち状態に遷移します。消去コマンドに続けて消去ブロック番号を送信してください。消去終了時は、消去ブロック番号をH'FFと設定して送信してください。これにより消去ブロックデータ待ち状態から、書き込み／消去コマンド待ち状態に戻ります。なお、消去の実行はブートモードで一旦書き込んだ後に、リセットスタートせずに特定のブロックのみを書き換える場合に使用してください。1回の操作で書き込みができる場合には、書き込み／消去／他コマンド待ち状態に遷移する前に全ブロックの消去が行われていますので、本消去操作は必要ありません。
- 書き込み／消去以外に、ユーザマット／ユーザブートマットのサムチェック、ユーザマット／ユーザブートマットのブランクチェック（消去チェック）、ユーザマット／ユーザブートマットのメモリリード、および現在のステータス情報取得のコマンドがあります。

ユーザマット／ユーザブートマットのメモリ読み出しは、すべてのユーザマット／ユーザブートマットを自動消去した後に書き込んだデータについてのみ読み出しができます。それ以外は読み出しができませんので、ご注意ください。

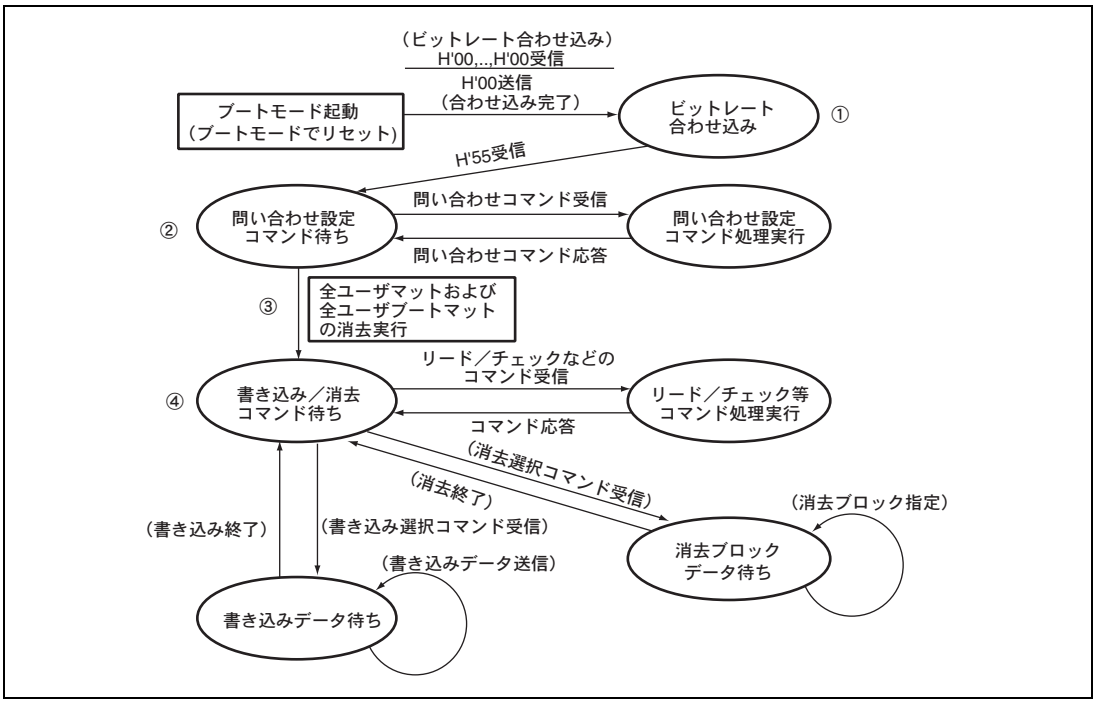


図 18.8　ブートモードの状態遷移の概略図

18.4.2　ユーザプログラムモード

ユーザプログラムモードでは、ユーザマットの書き込み／消去ができます（ユーザブートマットの書き込み／消去はできません）。

あらかじめマイコン内に内蔵されているプログラムをダウンロードして書き込み／消去を実施します。

書き込み／消去概略フローを図 18.9 に示します。

なお、書き込み／消去処理中はフラッシュメモリ内部に高電圧が印加されていますので、書き込み／消去処理中にはリセット、ハードウェアスタンバイへの遷移は行わないようにしてください。フラッシュメモリにダメージを与え破壊する可能性があります。誤って、リセットしてしまった場合は、100μs の通常より長いリセット入力期間のあとにリセットリリースしてください。

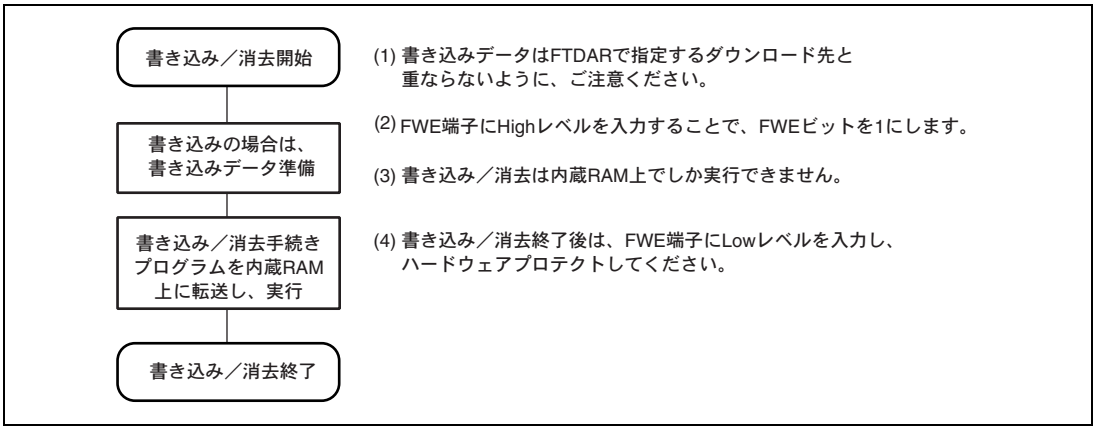


図 18.9　書き込み／消去概略フロー

(1) 書き込み／消去実行時の内蔵 RAM のアドレスマップ

ダウンロードの要求、書き込み／消去の手順、結果の判定などのユーザで作成してもらう手続きプログラムの一部は必ず内蔵 RAM 上で実行する必要があります。また、ダウンロードされる内蔵プログラムはすべて内蔵 RAM 上に存在します。これらが重複することのないように、内蔵 RAM 上の領域管理に気を付けてください。

図 18.10 にダウンロードされるプログラムの領域を示します。

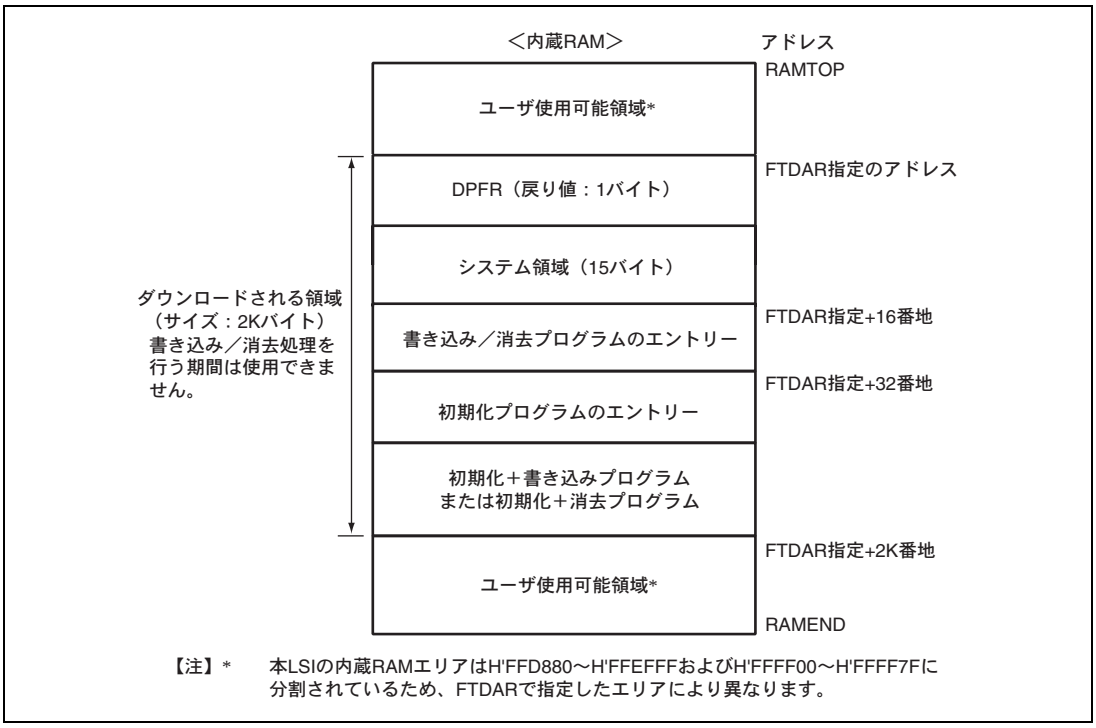


図 18.10 書き込み／消去実施時の RAM マップ

(2) ユーザプログラムモードでの書き込み手順

ダウンロード、初期化、書き込みの手順を**図 18.11** に示します。

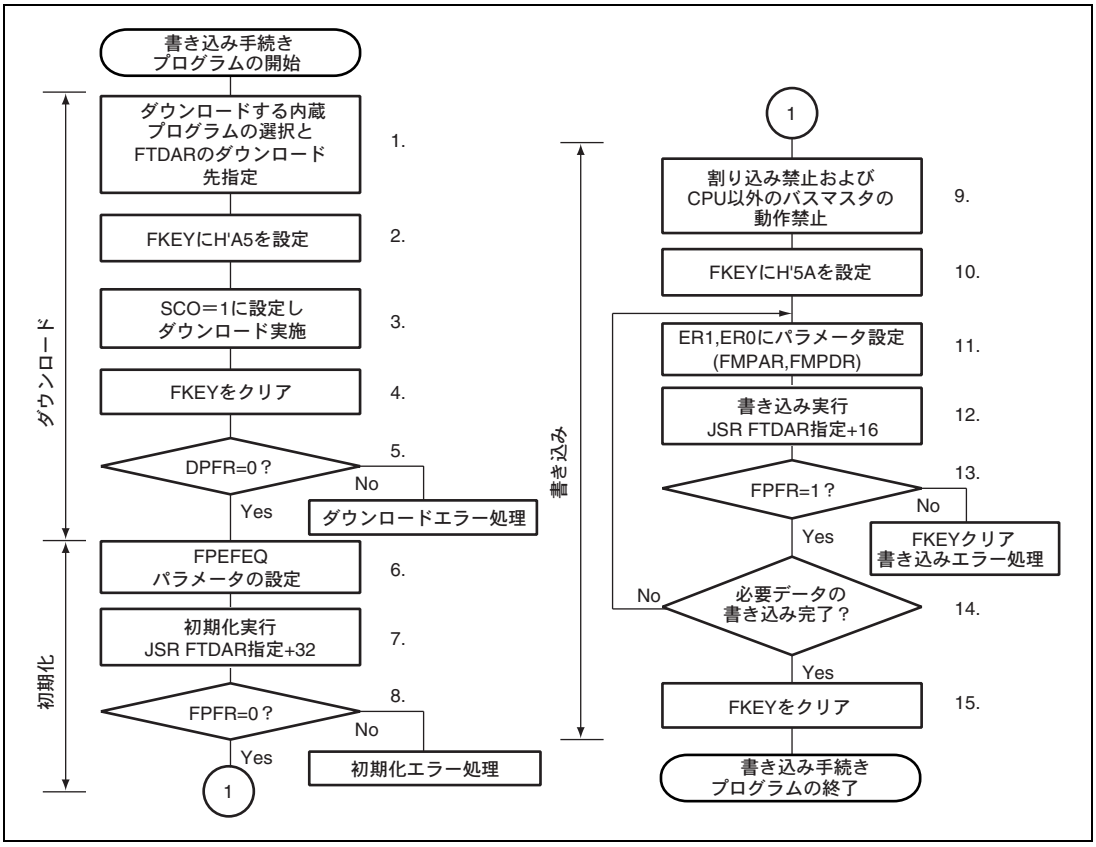


図 18.11　書き込み手順

手続きプログラムは、書き込み対象のフラッシュメモリ以外で実行してください。特に、ダウンロードのために FCCS の SCO ビットを 1 にセットする部分は、必ず内蔵 RAM 上で実行するようにしてください。

ユーザの手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマット）を**「18.4.4　手順プログラム、または書き込みデータの格納可能領域」**に示します。

以下の説明は、ユーザマット上の書き込み対象領域は消去されており、書き込みデータも連続領域に準備できたという前提です。消去ができていない場合は、書き込み前に消去を実施してください。

1 回の書き込み処理では 128 バイトの書き込みを行います。128 バイトを超える書き込みを行う場合は、書き込み先アドレス／書き込みデータのパラメータを 128 バイト単位で更新して書き込みを繰り返します。

128 バイト未満の書き込みの場合も無効データを埋め込んで 128 バイトにそろえる必要があります。埋め込む無効データを H'FF にすると書き込み処理時間を短縮できます。

1. ダウンロードする内蔵プログラムの選択とダウンロード先を選択します。

   FPCSのPPVSビットを1にセットすると書き込みプログラムが選択されます。

   書き込み／消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DPFRパラメータにのSSビットにダウンロードエラーが報告されます。FTDARでダウンロード先の先頭アドレスを指定します。

2. FKEYにH'A5を書き込みます。

   プロテクトのためにFKEYにH'A5を書き込まないとダウンロード要求のSCOビットに1をセットすることができません。

3. FCCSのSCOビットが1にセットし、ダウンロードを実行します。

   SCOビットに1をセットするためには、以下の条件がすべて満足されている必要があります。

   （1）FKEYにH'A5が書き込まれていること。

   （2）SCOビット書き込みが内蔵RAM上で実行されていること。

   SCOビットが1にセットされると自動的にダウンロードが開始され、ユーザの手続きプログラムに戻ってきた時点では、SCOビットが0にクリアされていますので、ユーザ手続きプログラムではSCOビットが1であることの確認ができません。

   ダウンロード結果の確認は、DPFRパラメータの戻り値での確認となりますので、SCOビットを1にセットする前に、DPFRパラメータとなる、FTDARで指定した内蔵RAMの先頭1バイトを、戻り値以外（H'FFなど）に設定して誤判定の発生を防いでください。

   ダウンロードの実行においては、マイコン内部処理として以下に示すようなバンク切り替えを伴った特殊な割り込み処理を行いますので、SCOビットを1にセットする命令の直後には4つのNOP命令を実行してください。

- ユーザマット空間を内蔵プログラム格納領域に切り替えます。
- ダウンロードプログラム選択条件とFTDARでの指定アドレスをチェック後、FTDARで指定された内蔵RAMへの転送処理を行います。
- FPCS、FECS、FCCSのSCOビットを0クリアします。
- DPFRパラメータに戻り値を設定します。
- 内蔵プログラム格納領域をユーザマット空間に戻した後、ユーザ手続きプログラムに戻ります。
- ダウンロード処理では、CPUの汎用レジスタは値が保存されます。
- ダウンロード処理中は、すべての割り込みは受け付けられません。NMI以外の割り込みの要求は保持されていますので、ユーザ手続きプログラムに戻った時点で、割り込みが発生することになります。
- レベル検出割り込み要求を保持したい場合は、ダウンロード終了まで割り込みを入れておく必要があります。
- ダウンロード処理中にハードウェアスタンバイモードに遷移した場合、内蔵RAM上への正常ダウンロードの保証はできませんので、再度ダウンロードから実行してください。
- 最大128バイトのスタック領域を使用しますので、SCOビットを1にセットする前に確保しておいてください。

4. プロテクトのために、FKEYをH'00にクリアします。

5. DPFRパラメータの値をチェックしダウンロード結果を確認します。

- DPFR パラメータ（FTDARで指定したダウンロード先の先頭アドレスの1バイト）の値をチェックします。値がH'00ならば、ダウンロードは正常に行われています。H'00以外の場合は、以下の手順でダウンロードが行われなかった原因を調査することができます。
- DPFRパラメータの値が、ダウンロード実行前に設定した値（H'FFなど）と同じであった場合は、FTDARのダウンロード先アドレス設定の異常が考えられますので、FTDARのTDERビットを確認してください。
- DPFRパラメータの値が、ダウンロード実行前の設定値と異なっている場合は、DPFRパラメータのSSビットや、FKビットにて、ダウンロードプログラムの選択やFKEYの設定が正常であったかの確認をしてください。

6. 初期化のためにFPEFEQパラメータに動作周波数を設定します。

- FPEFEQパラメータ（汎用レジスタ：ER0）に、現在のCPUクロックの周波数を設定します。

  FPEFEQパラメータの設定可能範囲は4MHz～20MHzです。この範囲以外の周波数が設定された場合、初期化プログラムのFPFRパラメータにエラーが報告され初期化は行われません。周波数の設定方法は「18.3.2（2）（a） フラッシュプログラム／イレース周波数パラメータ（FPEFEQ）」を参照してください。

7. 初期化を実行します。

   初期化プログラムは書き込みプログラムのダウンロード時に一緒に内蔵RAM上にダウンロードされています。FTDAR設定のダウンロード先頭アドレス＋32バイトからの領域に、初期化プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

```
MOV.L     #DLTOP+32,ER2     ; エントリーアドレスを ER2 に設定
JSR       @ER2              ; 初期化ルーチンをコール
NOP
```

- 初期化プログラムではR0L以外の汎用レジスタは保存されます。
- R0LはFPFRパラメータの戻り値です。
- 初期化プログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保しておいてください。
- 初期化プログラム実行中の割り込み受けつけは可能です。ただし、内蔵RAM上のプログラム格納領域やスタック領域、レジスタの値を破壊しないようにしてください。

8. 初期化プログラムの戻り値FPFR（汎用レジスタR0L）を判定します。
9. すべての割り込みと、CPU以外のバスマスタの使用を禁止してください。

   書き込みおよび消去においては規定の電圧を規定の時間幅で印加する処理を行います。この間に割り込みの発生または、CPU以外にバス権が移行するなどにより、規定以上の電圧パルスが印加されるとフラッシュメモリにダメージを与える可能性がありますので、必ず割り込みとCPU以外のLPCへのバス権を禁止としてください。

   割り込み処理禁止の設定は、割り込み制御モード0のときはCPUのコンディションコードレジスタ（CCR）のビット7（I）をB'1に設定し、割り込み制御モード1のときはCPUのコンディションコードレジスタ（CCR）のビット7、6（I、UI）をB'11に設定することで行います。こうするとNMI以外の割り込みは保持され、実行はされなくなります。

   NMI割り込みは、ユーザシステム上で発生しないようにしてください。

   保持した割り込みは、すべての書き込み処理後に実行するようにしてください。

   また、CPU以外のLPCへのバス権の移動が発生した場合、エラープロテクト状態に遷移しますので、割り込み禁止と同様にLPCによるバス権確保も発生しないようにしておいてください。
10. FKEYにH'5Aを設定し、ユーザマットへの書き込みができるようにしてください。
11. 書き込みに必要なパラメータの設定を行います。

    ユーザマットの書き込み先の先頭アドレス（FMPAR）を汎用レジスタER1に、書き込みデータ領域の先頭アドレス（FMPDR）の先頭アドレスを汎用レジスタのER0に設定します。

- FMPAR設定例

  FMPARは書き込み先アドレスの指定ですので、ユーザマットエリア以外のアドレスが指定された場合、書き込みプログラムを実行しても書き込みは実行されず、戻り値パラメータFPFRにはエラーが報告されます。また、128バイト単位ですのでアドレスの下位8ビットが、H'00かH'80の128バイト境界である必要があります。

- FMPDR設定例

  書き込みデータの格納先がフラッシュメモリ上の場合、書き込み実行ルーチンを実行しても書き込みは行われず、FPFRパラメータにエラーが報告されます。この場合はいったん内蔵RAMに転送してから書き込むようにしてください。

12. 書き込み処理の実行

FTDARで指定したダウンロード先の先頭アドレス＋16バイトからの領域に、書き込みプログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

```
MOV.L     #DLTOP+16,ER2     ; エントリーアドレスを ER2 に設定
JSR       @ER2              ; 書き込みルーチンをコール
NOP
```

- 書き込みプログラムではR0L以外の汎用レジスタは保存されます。
- R0LはFPFRパラメータの戻り値です。
- 書き込みプログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保しておいてください。

13. 書き込みプログラムの戻り値FPFR（汎用レジスタR0L）を判定します。

14. 必要データの書き込みが完了したかを判断します。

128バイトを超えるデータを書き込む場合、128バイト単位でFMPAR、FMPDRの設定を行い上記12.～14.の処理を繰り返します。書き込み先アドレスの128バイトのインクリメント、書き込みデータポインタの更新を正しく行ってください。書き込み済みのアドレスへの重複書き込みになると、書き込みエラーになるばかりでなく、フラッシュメモリにダメージを与えてしまいます。

15. 書き込みが終了したらFKEYをクリアして、ソフトウェアプロテクトをかけてください。

ユーザマットへの書き込み完了直後、リセットで再起動する場合は通常より長い100μs以上のリセット実施期間（$\overline{\text{RES}}$=0の期間）を設けてください。

(3) ユーザプログラムモードでの消去手順

ダウンロード、初期化、消去の手順を図 18.12 に示します。

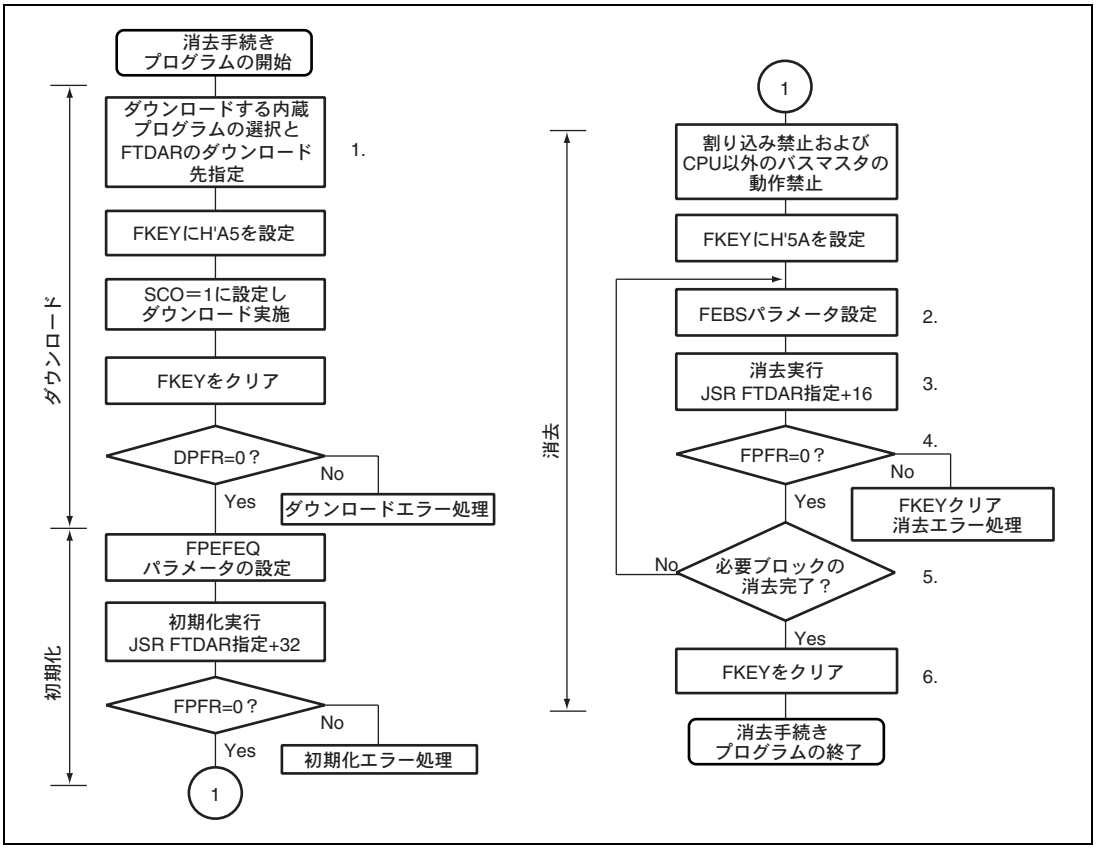


図 18.12　消去手順

手順プログラムは、消去対象のユーザマット以外で実行してください。

特に、ダウンロードのために FCCS レジスタの SCO ビットを 1 にセットする部分は、必ず内蔵 RAM 上で動作するようにしてください。

ユーザの手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマット）を**「18.4.4　手順プログラム、または書き込みデータの格納可能領域」**に示します。

ダウンロードされる内蔵プログラムの領域については、**図 18.10** を参照してください。

1 回の消去処理では 1 分割ブロックの消去を行います。ブロック分割については、**図 18.4** を参照してください。2 ブロック以上の消去を行う場合は、消去ブロック番号を更新して消去を繰り返します。

1. ダウンロードする内蔵プログラムを選択します。

   FECSのEPVBビットを1にセットします。

   書き込み／消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DPFRパラメータのSSビットにダウンロードエラーが報告されます。

FTDAR レジスタで、ダウンロード先の先頭アドレスを指定します。

FKEY の設定以降のダウンロード、初期化、などの手続きは、書き込み手順と同じですので、**「18.4.2（2）　ユーザプログラムモードでの書き込み手順」**を参照してください。

消去プログラム用のパラメータ設定以降を以下に示します。

2. 消去に必要なFEBSパラメータの設定を行います。

   ユーザマットの消去ブロック番号をフラッシュイレースブロックセレクトパラメータFEBS（汎用レジスタER0）に設定します。ユーザマットの分割ブロック番号以外の値が設定された場合、消去処理プログラムを実行しても消去はされず、戻り値パラメータFPFRにはエラーが報告されます。

3. 消去処理を実行します。

   書き込みと同様に、FTDARで指定したダウンロード先の先頭アドレス＋16バイトからの領域に、消去プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

```
MOV.L     #DLTOP+16,ER2     ; エントリーアドレスを ER2 に設定
JSR       @ER2              ; 消去ルーチンをコール
NOP
```

- 消去プログラムではR0L以外の汎用レジスタは保存されます。
- R0LはFPFRパラメータの戻り値です。
- 消去プログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保しておいてください。

4. 消去プログラムの戻り値FPFR（汎用レジスタR0L）を判定します。

5. 必要ブロックの消去が完了したかを判断します。

   複数ブロックの消去を実施する場合、FEBSパラメータの更新設定を行い上記2.～5.の処理を繰り返します。消去済みブロックに対しての消去は可能です。

6. 消去が終了したらFKEYをクリアして、ソフトウェアプロテクトを掛けてください。

   ユーザマットへの消去完了直後、リセットで再起動する場合は通常より長い100μs以上のリセット実施期間（$\overline{\text{RES}}$＝0の期間）を設けてください。

(4) ユーザプログラムモードでの消去／書き込み手順

FTDAR レジスタで、ダウンロード先の内蔵 RAM アドレスを変更することで、消去プログラムと書き込みプログラムを別々の内蔵 RAM 領域にダウンロードしておくことが可能です。

消去、書き込みを繰り返し実行する場合の手順を図 18.13 に示します。

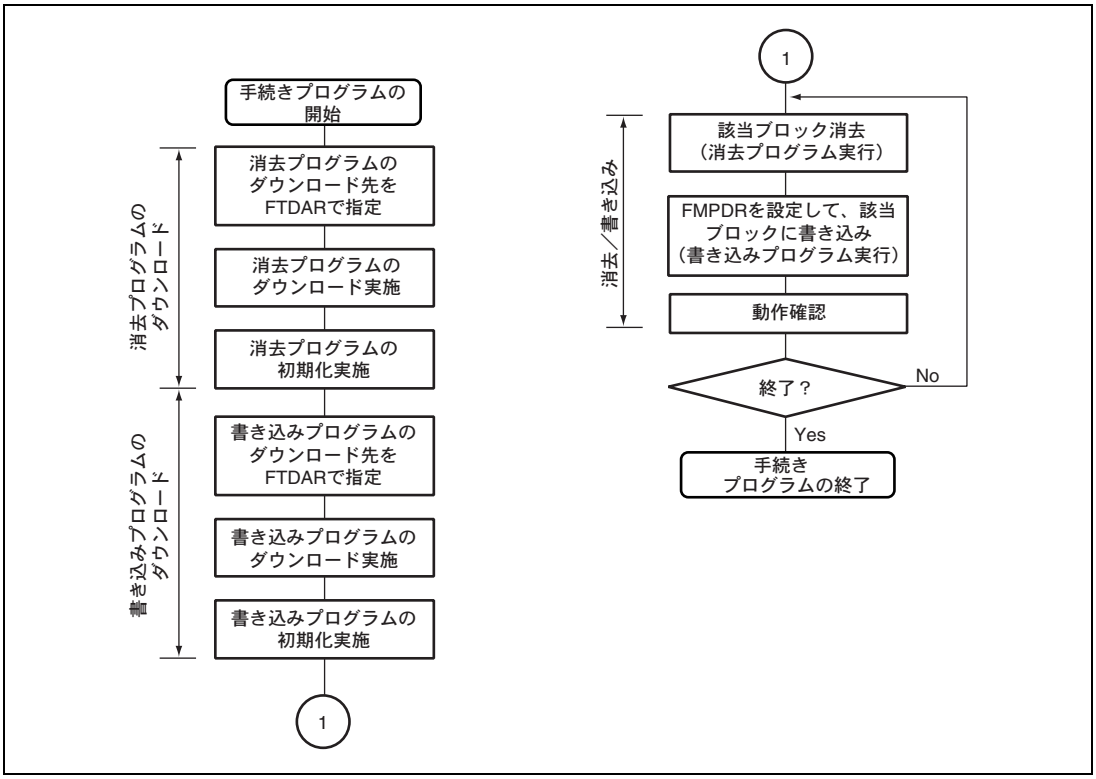


図 18.13　消去、書き込みの繰り返し手順

本手順では、ダウンロードと初期化は最初の 1 回だけ実施するようにしています。本手順のような手続きを行う場合、以下にご注意ください。

- 内蔵RAM領域の重複破壊にご注意ください。

  消去プログラム領域、書き込みプログラム領域以外に、ユーザに作成していただく手順プログラムや、作業領域、スタック領域などが、内蔵RAM上に存在しますので、これらの領域を破壊しないようにしてください。

- 消去プログラムの初期化、書き込みプログラムの初期化を行ってください。

  FPEFEQパラメータを設定する初期化は、必ず、消去プログラム／書き込みプログラムの両方に実行してください。初期化のエントリーアドレスは、消去プログラムのダウンロード先頭＋32番地、書き込みプログラムのダウンロード先頭＋32番地の両方に対して初期化してください。

18.4.3 ユーザブートモード

本 LSI にはブートモード、ユーザプログラムモードとは異なるモード端子設定で起動するユーザブートモードがあります。内蔵 SCI を使用するブートモードとは異なるユーザ任意のブートモードが実現できます。

ユーザブートモードで書き込み／消去が可能なマットはユーザマットだけです。ユーザブートマットの書き込み／消去は、ブートモードまたはライタモードで行ってください。

(1) ユーザブートモードでの起動

ユーザブートモード起動のためのモード端子の設定は**表 18.5** を参照してください。

ユーザブートモードでリセットスタートすると、いったん組み込みのチェックルーチンが走行します。ここではユーザマット、ユーザブートマットの状態チェックが行われます。

この間の NMI およびその他の割り込みは受けつけられません。

その後、ユーザブートマット上のリセットベクタの実行開始アドレスから処理を開始します。この時点で、実行マットはユーザブートマットになっていますので、FMATS レジスタには H'AA が設定されています。

(2) ユーザブートモードでのユーザマットの書き込み

ユーザブートモードでユーザマットへの書き込みを行う手続きでは、FMATS によるユーザブートマット選択状態からユーザマット選択状態への切り替え、および書き込み終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの書き込み手続きを**図 18.14** に示します。

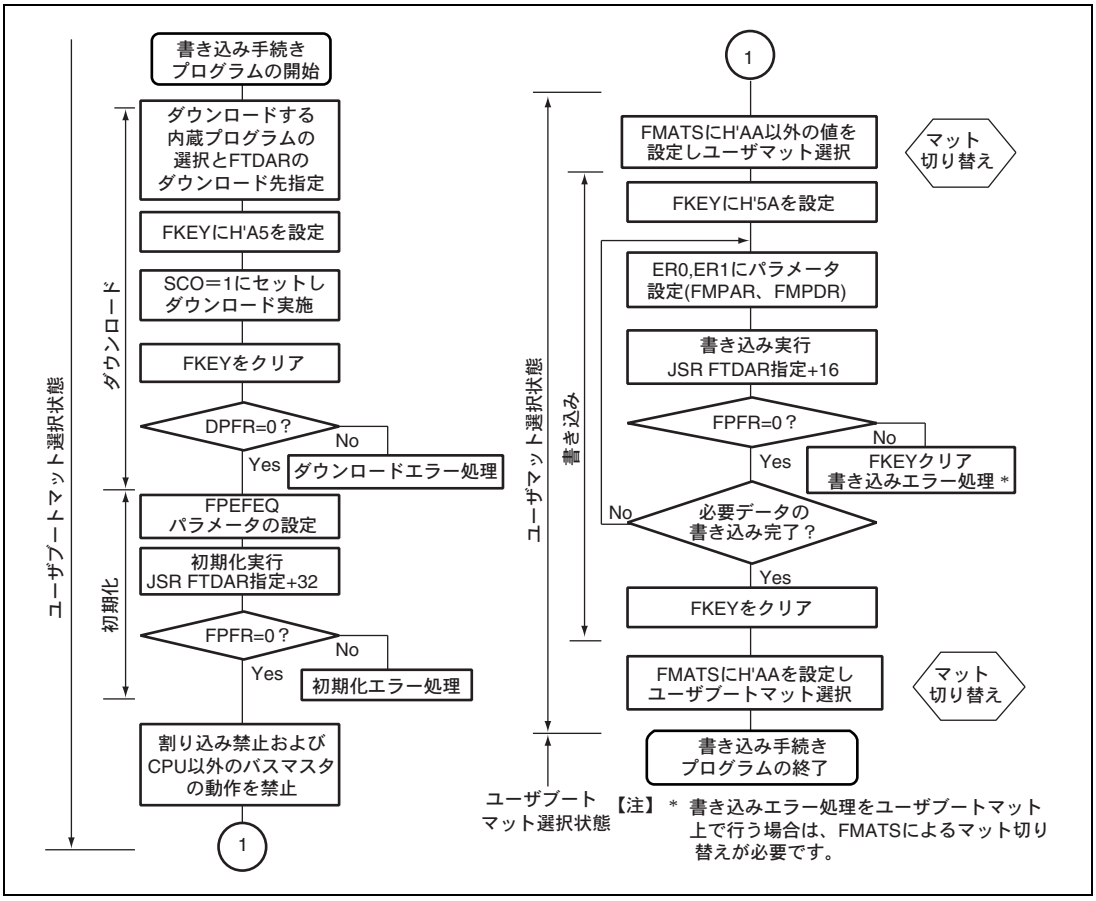


図 18.14　ユーザブートモードでのユーザマットへの書き込み手順

図 18.14 に示したように、ユーザプログラムモードとユーザブートモードでの書き込み手続きの違いは、マット切り替えを行うか否かです。

ユーザブートモードでは、フラッシュメモリ空間にユーザブートマットが見えていて、ユーザマットは「裏」に隠れている状態です。ユーザマットに書き込む処理の間だけ、ユーザマットとユーザブートマットを切り替えます。書き込み処理中は、ユーザブートマットは隠れており、かつユーザマットは書き込み状態ですので、手続きプログラムはフラッシュメモリ以外の領域で走行させる必要があります。書き込み処理が終了したら、最初の状態に戻すために再度マット切り替えを行います。

マット切り替えは、FMATS へ規定の値を書き込みことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、**「18.6　ユーザマットとユーザブートマットの切り替え」**の説明に従ってください。

マット切り替え以外の書き込み手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域（内蔵 RAM、ユーザマット）については**「18.4.4 手順プログラム、または書き込みデータの格納可能領域」**に示します。

(3) ユーザブートモードでのユーザマットの消去

ユーザブートモードでユーザマットの消去を行う手続きでは、FMATS によるユーザブートマット選択状態からユーザマット選択状態への切り替え、および消去終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの消去手続きを**図 18.15** に示します。

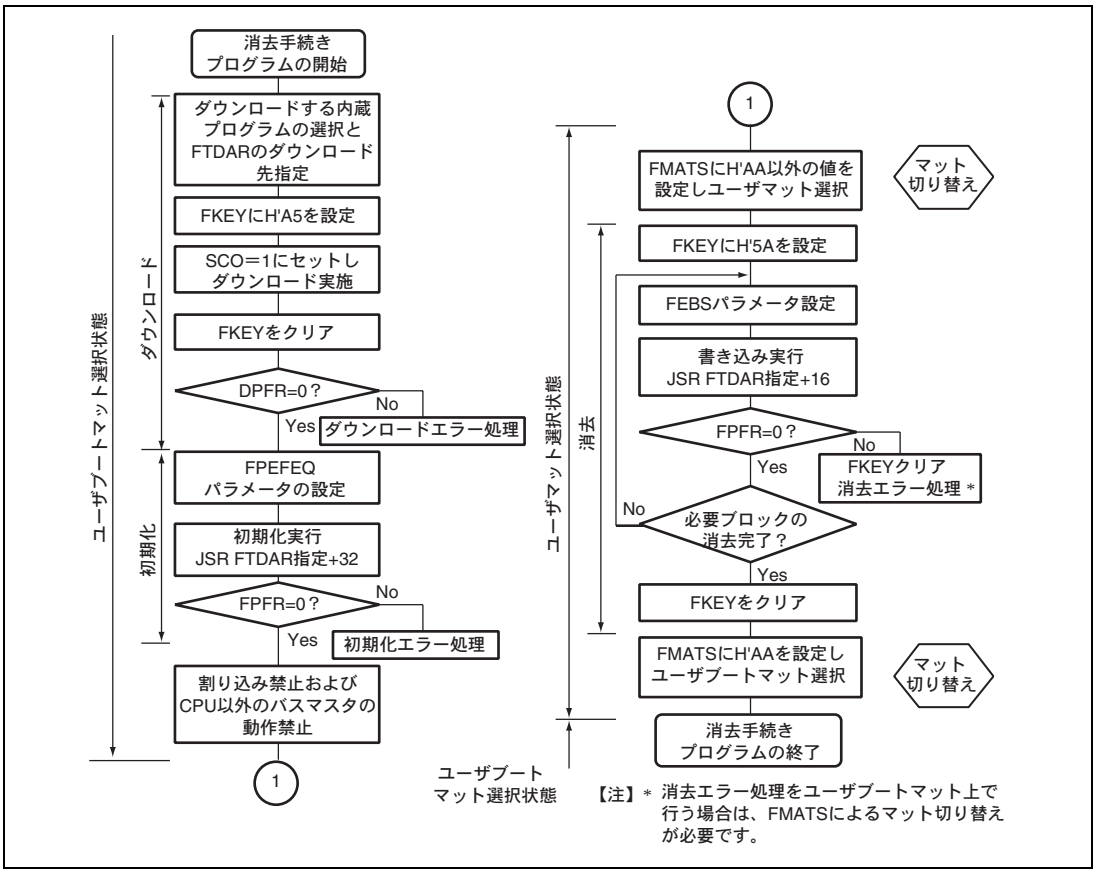


図 18.15　ユーザブートモードでのユーザマットの消去手順

図 18.15 に示したように、ユーザプログラムモードとユーザブートモードでの消去手続きの違いは、マット切り替えを行うか否かです。

マット切り替えは、FMATS へ規定の値を書き込みことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、**「18.6　ユーザマットとユーザブートマットの切り替え」**の説明に従ってください。

マット切り替え以外の消去手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域（内蔵 RAM、ユーザマット）については**「18.4.4 手順プログラム、または書き込みデータの格納可能領域」**に示します。

18.4.4 手順プログラム、または書き込みデータの格納可能領域

本文中での書き込み／消去手順プログラムおよび書き込みデータの格納可能領域は、内蔵 RAM 上に準備している例で示しましたが、以下の条件により他の領域（書き込み／消去対象外のフラッシュメモリ）で実行することができます。

（1） 書き込み／消去の条件

1. 内蔵の書き込み／消去実行プログラムはFTDARで指定された内蔵RAMのアドレスからダウンロードされ、実行されるのでここは使用不可能です。
2. 内蔵の書き込み／消去実行プログラムでは、スタック領域を最大128バイト使用するので、確保してください。
3. SCOビットを1にセットしてダウンロードの要求を行う処理では、マット切り替えが発生するので内蔵RAM上で実施してください。
4. 書き込み／消去を開始する前（ダウンロード結果の判定まで）は、フラッシュメモリはアクセス可能です。この時点までに必要な手続きプログラム、NMI処理ベクタとNMI処理ルーチンなどを内蔵RAMに転送してください。
5. 書き込み／消去処理中は、フラッシュメモリのアクセスはできませんので、内蔵RAM上のダウンロードされたプログラムで実行します。これを起動させる手続きプログラム、およびNMI割り込みのベクタテーブルとNMI割り込み処理プログラムの実行領域も、内蔵RAMにある必要があります。
6. 書き込み／消去完了後のFKEYのクリアまでの期間は、フラッシュメモリのアクセスは禁止とします。

   書き込み／消去完了後に、LSIモードを変更してリセット動作をさせる場合には、100μs以上のリセット期間（$\overline{\text{RES}}$=0とする期間）を設けてください。

   なお、書き込み／消去処理中のリセット状態、ハードウェアスタンバイ状態への遷移は禁止ですが、誤ってリセットを入れてしまった場合は、100μsの通常より長いリセット期間の後に、リセットリリースしてください。
7. ユーザブートモードでのユーザマットへの書き込み／消去処理では、FMATSによるマット切り替えが必要です。マット切り替えの実行は内蔵RAM上で実施してください。

   （「18.6 ユーザマットとユーザブートマットの切り替え」を参照してください）

   マットの切り替えにおいて、現在どちらのマットが選択されているかにご注意ください。
8. 通常書き込みのデータであっても、書き込み処理のパラメータFMPDRが示す書き込みデータ格納領域がフラッシュメモリ上であるとエラーと判断しますので、いったん内蔵RAMに転送してFMPDRの示すアドレスはフラッシュメモリ空間以外としてください。

これらの条件を考慮し、各動作モード／ユーザマットのバンク構成／処理内容ごとの組み合わせでの、書き込みデータ格納および実行が可能なエリアを表に示します。

表 18.7　実行可能マットまとめ

処理	起動モード	
	ユーザプログラムモード	ユーザブートモード*
書き込み	表 18.8（1）	表 18.8（3）
消去	表 18.8（2）	表 18.8（4）

【注】　*　ユーザマットに対しての書き込み／消去が可能です。

表 18.8（1）　ユーザプログラムモードでの書き込み処理で使用可能エリア

項目	格納／実行が可能なエリア		選択されているマット	
	内蔵 RAM	ユーザマット	ユーザマット	組み込みプログラム格納マット
書き込みデータの格納領域	○	×*	—	—
ダウンロードする内蔵プログラムの選択処理	○	○	○	
FKEY への H'A5 書き込み処理	○	○	○	
FCCS の SC0=1 書き込み実行（ダウンロード）	○	×		○
FKEY クリア処理	○	○	○	
ダウンロード結果の判定	○	○	○	
ダウンロードエラー処理	○	○	○	
初期化パラメータの設定処理	○	○	○	
初期化実行	○	×	○	
初期化結果の判定	○	○	○	
初期化エラー処理	○	○	○	
NMI 処理ルーチン	○	×	○	
割り込み禁止処理	○	○	○	
FKEY への H'5A 書き込み処理	○	○	○	
書き込みパラメータの設定処置	○	×	○	
書き込み実行	○	×	○	
書き込み結果の判定	○	×	○	
書き込みエラー処理	○	×	○	
FKEY クリア処理	○	×	○	

【注】　*　事前に内蔵 RAM に転送しておけば可能です。

表 18.8（2） ユーザプログラムモードでの消去処理で使用可能エリア

項目	格納／実行が可能なエリア		選択されているマット	
	内蔵 RAM	ユーザマット	ユーザマット	組み込みプログラム格納マット
ダウンロードする内蔵プログラムの選択処理	○	○	○	
FKEY への H'A5 書き込み処理	○	○	○	
FCCS の SC0=1 書き込み実行（ダウンロード）	○	×		○
FKEY クリア処理	○	○	○	
ダウンロード結果の判定	○	○	○	
ダウンロードエラー処理	○	○	○	
初期化パラメータの設定処理	○	○	○	
初期化実行	○	×	○	
初期化結果の判定	○	○	○	
初期化エラー処理	○	○	○	
NMI 処理ルーチン	○	×	○	
割り込み禁止処理	○	○	○	
FKEY への H'5A 書き込み処理	○	○	○	
消去パラメータの設定処置	○	×	○	
消去実行	○	×	○	
消去結果の判定	○	×	○	
消去エラー処理	○	×	○	
FKEY クリア処理	○	×	○	

表 18.8（3）　ユーザブートモードでの書き込み処理で使用可能エリア

項目	格納／実行が可能なエリア		選択されているマット		
	内蔵 RAM	ユーザブートマット	ユーザマット	ユーザブートマット	組み込みプログラム格納マット
書き込みデータの格納領域	○	×*1	–	–	–
ダウンロードする内蔵プログラムの選択処理	○	○		○	
FKEY への H'5A 書き込み処理	○	○		○	
FCCS の SC0＝1 書き込み実行（ダウンロード）	○	×			○
FKEY クリア処理	○	○		○	
ダウンロード結果の判定	○	○		○	
ダウンロードエラー処理	○	○		○	
初期化パラメータの設定処理	○	○		○	
初期化実行	○	×		○	
初期化結果の判定	○	○		○	
初期化エラー処理	○	○		○	
NMI 処理ルーチン	○	×		○	
割り込み禁止処理	○	○		○	
FMATS によるマット切り替え	○	×	○		
FKEY への H'5A 書き込み処理	○	×	○		
書き込みパラメータの設定処置	○	×	○		
書き込み実行	○	×	○		
書き込み結果の判定	○	×	○		
書き込みエラー処理	○	×*2	○		
FKEY クリア処理	○	×	○		
FMATS によるマット切り替え	○	×		○	

【注】　*1　事前に内蔵 RAM に転送しておけば可能です。

*2　内蔵 RAM 上で FMATS を切り替えた後なら可能です。

表 18.8（4） ユーザブートモードでの消去処理で使用可能エリア

項目	格納／実行が可能なエリア		選択されているマット		
	内蔵 RAM	ユーザブートマット	ユーザマット	ユーザブートマット	組み込みプログラム格納マット
ダウンロードする内蔵プログラムの選択処理	○	○		○	
FKEY への H'A5 書き込み処理	○	○		○	
FCCS の SC0＝1 書き込み実行（ダウンロード）	○	×			○
FKEY クリア処理	○	○		○	
ダウンロード結果の判定	○	○		○	
ダウンロードエラー処理	○	○		○	
初期化パラメータの設定処理	○	○		○	
初期化実行	○	×		○	
初期化結果の判定	○	○		○	
初期化エラー処理	○	○		○	
NMI 処理ルーチン	○	×		○	
割り込み禁止処理	○	○		○	
FMATS によるマット切り替え	○	×		○	
FKEY への H'5A 書き込み処理	○	×	○		
消去パラメータの設定処置	○	×	○		
消去実行	○	×	○		
消去結果の判定	○	×	○		
消去エラー処理	○	×*	○		
FKEY クリア処理	○	×	○		
FMATS によるマット切り替え	○	×	○		

【注】 * 内蔵 RAM 上で FMATS を切り替えた後なら可能です。

18.5 プロテクト

フラッシュメモリに対する書き込み／消去プロテクトは、ハードウェアプロテクトとソフトウェアプロテクト、エラープロテクトおよびフラッシュメモリプロテクトの 4 種類あります。

18.5.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み／消去が強制的に禁止、中断された状態のことです。内蔵プログラムのダウンロードと初期化実行はできますが、書き込み／消去プログラムを起動してもユーザマットの書き込み／消去はできず、書き込み／消去エラーが FPFR パラメータで報告されます。

表 18.9 ハードウェアプロテクト

項目	説　明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
FWE 端子プロテクト	• FWE 端子に Low レベルが入力されているときには、FCCS の FWE ビットがクリアされ、書き込み／消去プロテクト状態になります。	−	○
リセット、スタンバイプロテクト	• リセット（WDT によるリセットも含む）およびハードウェアスタンバイ時は、書き込み／消去インタフェースレジスタが初期化され、書き込み／消去プロテクト状態になります。 • $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。書き込み／消去動作中のフラッシュメモリの値は、保証しません。この場合は、消去を実施してから再度書き込みを実施してください。	○	○

18.5.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、内蔵の書き込み／消去プログラムのダウンロードからのプロテクト、キーコードによるプロテクトがあります。

表 18.10 ソフトウェアプロテクト

項目	説　明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
SCO ビットプロテクト	• FCCS の SCO ビットを 0 にクリアすることにより、書き込み／消去プログラムのダウンロードができないため、書き込み／消去プロテクト状態になります。	○	○
FKEY プロテクト	• FKEY にキーコードを書き込まないと、ダウンロードと書き込み／消去ができません。ダウンロードと書き込み／消去では、異なったキーコードの設定が必要です。	○	○

18.5.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み／消去中のマイコンの暴走や規定の書き込み／消去手順に沿っていない動作をした場合に発生する異常を検出し、書き込み／消去動作を強制的に中断するプロテクトです。書き込み／消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み／消去中にマイコンが異常動作すると、FCCS の FLER ビットが 1 にセットされエラープロテクト状態に遷移し、書き込み／消去は中断されます。

FLER ビットのセット条件を以下に示します。

1. 書き込み／消去中にNMIなどの割り込みが発生したとき
2. 書き込み／消去中にフラッシュメモリを読み出したとき（ベクタリードおよび命令フェッチを含む）
3. 書き込み／消去中にSLEEP命令を実行したとき（ソフトウェアスタンバイを含む）
4. 書き込み／消去中にCPU以外のバスマスタ（LPC）が、バス権を確保したとき

エラープロテクトの解除は、リセットまたはハードウェアスタンバイで行われます。

なお、この場合のリセット入力期間は、通常より長い 100μs の期間のあとにリセットリリースしてください。フラッシュメモリには書き込み／消去中には高電圧が印加されているため、エラープロテクト状態への遷移時に、印加電圧が抜けきれない恐れがあります。このため、リセット期間を延長してチャージを抜くことにより、フラッシュメモリへのダメージを低減する必要があります。

図 18.16 にエラープロテクト状態への状態遷移図を示します。

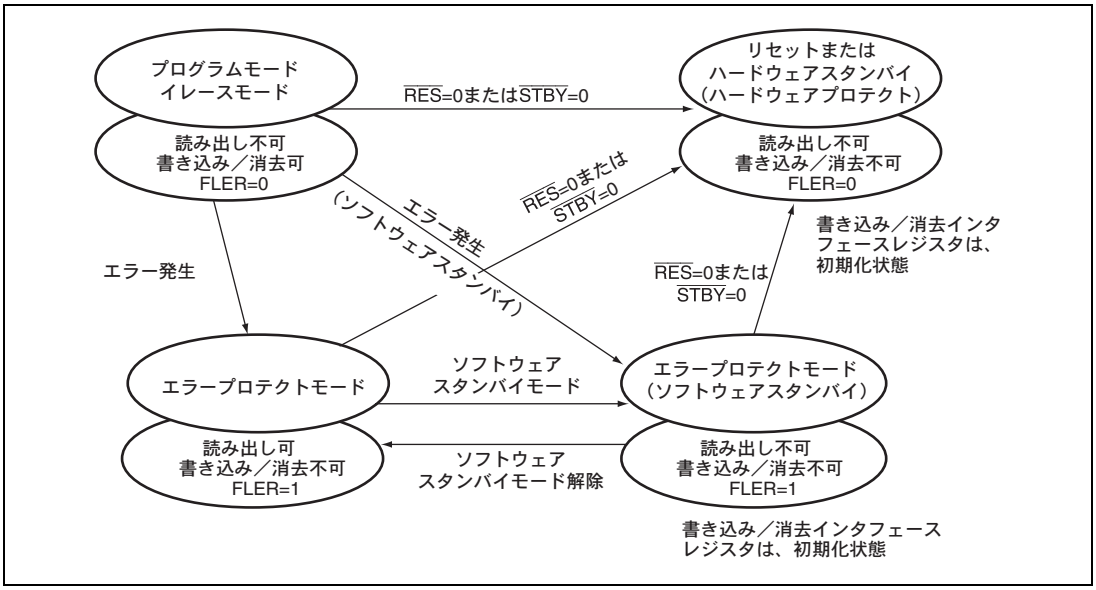


図 18.16 エラープロテクト状態への状態遷移図

18.6 ユーザマットとユーザブートマットの切り替え

ユーザマットとユーザブートマットを切り替えて使うことができます。ただし、同じ 0 番地からのアドレスに割り当てられているため、以下の手順が必要です。

（ユーザブートマットに切り替えた状態での書き込み／消去はできません。ユーザブートマットの書き換えは、ブートモードまたはライタモードで実施してください。）

1. FMATSによるマット切り替えは、必ず内蔵RAM上で実行してください。
2. 確実に切り替えを行った後で切り替え後のマットのアクセスをするために内蔵RAM上でのFMATS書き換えの直後には、同じく内蔵RAM上で4個のNOP命令を実行してください。

   （切り替えを行っている最中のフラッシュメモリをアクセスしないためです）
3. 切り替えの最中に割り込みが発生した場合、どちらのメモリマットがアクセスされるか保証できません。

   必ずマット切り替え実行前に、マスク可能な割り込みはマスクするようにしてください。また、マット切り替え中には、NMI割り込みが発生しないようなシステムとしてください。
4. マット切り替え完了後は、各種割り込みのベクタテーブルも切り替わっていますので注意してください。

   マット切り替え前後で同じ割り込み処理を実施する場合は、内蔵RAM上に割り込み処理ルーチンを転送しておき、かつ割り込みベクタテーブルもFCCSのWEINTEビットをセットすることにより内蔵RAM上に設定するなどをお願いします。
5. ユーザマットとユーザブートマットはメモリサイズが異なります。8Kバイト以上の空間のユーザブートマットをアクセスしないようにしてください。8Kバイト空間以上をアクセスした場合、不定値が読み出されます。

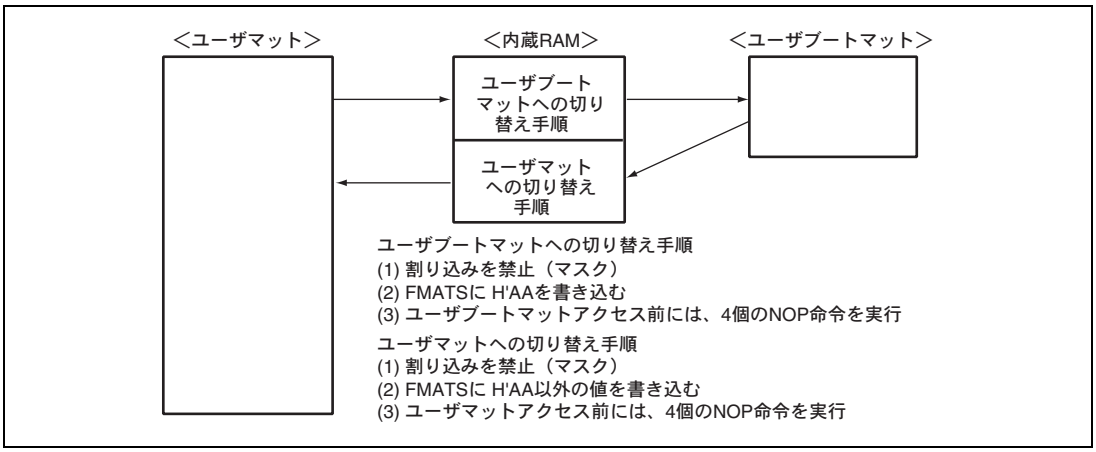


図 18.17 ユーザマット／ユーザブートマットの切り替え

18.7 ライタモード

プログラム／データの書き込み／消去が可能なモードとして、オンボードプログラミングモード以外にライタモードがあります。ライタモードではルネサス テクノロジ 1M バイトフラッシュメモリ内蔵マイコンのデバイスタイプ*1 をサポートしている汎用 PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。書き込み／消去対象マットは、ユーザマットとユーザブートマット*2 です。図 18.18 にライタモード時のメモリマップを示します。

自動書き込み／自動消去／ステータス読み出しのモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み／自動消去を実行した後に、その詳細な内部信号を出力します。ライタモードでは、入力クロックとして 12MHz を入力してください。

【注】 *1 本 LSI は、PROM ライタの書き込み電圧を 3.3V に設定して使用してください。

*2 対応する PROM ライタおよびプログラムバージョンに関しては、ソケットアダプタの取り扱い説明書等を参照してください。

図 18.18 ライタモード時のメモリマップ

18.8 ブートモードの標準シリアル通信インタフェース仕様

ブートモードで起動するブートプログラムは、ホストパソコンと LSI 内蔵の SCI を使って送受信を行います。ホストとブートプログラムのシリアル通信インタフェース仕様を以下に示します。

(1) ステータス

ブートプログラムは 3 つのステータスを持ちます。

1. ビットレート合わせ込みステータス

   ホストと送受信するビットレートを合わせ込むステータスです。ブートモードで起動するとブートプログラムが起動し、ビットレート合わせ込みステータスになり、ホストからのコマンドを受信しビットレートの合わせ込みを行います。合わせ込みが終了すると、問い合わせ選択ステータスに遷移します。

2. 問い合わせ選択ステータス

   ホストからの問い合わせコマンドに応答するステータスです。このステータスで、デバイスとクロックモードとビットレートを選択します。選択が完了したら、書き込み／消去ステータス遷移コマンドで書き込み／消去ステータスに遷移します。書き込み／消去ステータスに遷移する前に、ブートプログラムは消去関連ライブラリを内蔵RAM上に転送し、ユーザマットとユーザブートマットを消去します。

3. 書き込み消去ステータス

書き込み／消去を行うステータスです。ホストからのコマンドに従って、書き込み／消去プログラムをRAMに転送し、書き込み／消去を行います。コマンドにより、サムチェック、ブランクチェックを行います。

ブートプログラムのステータスを図 18.19 に示します。

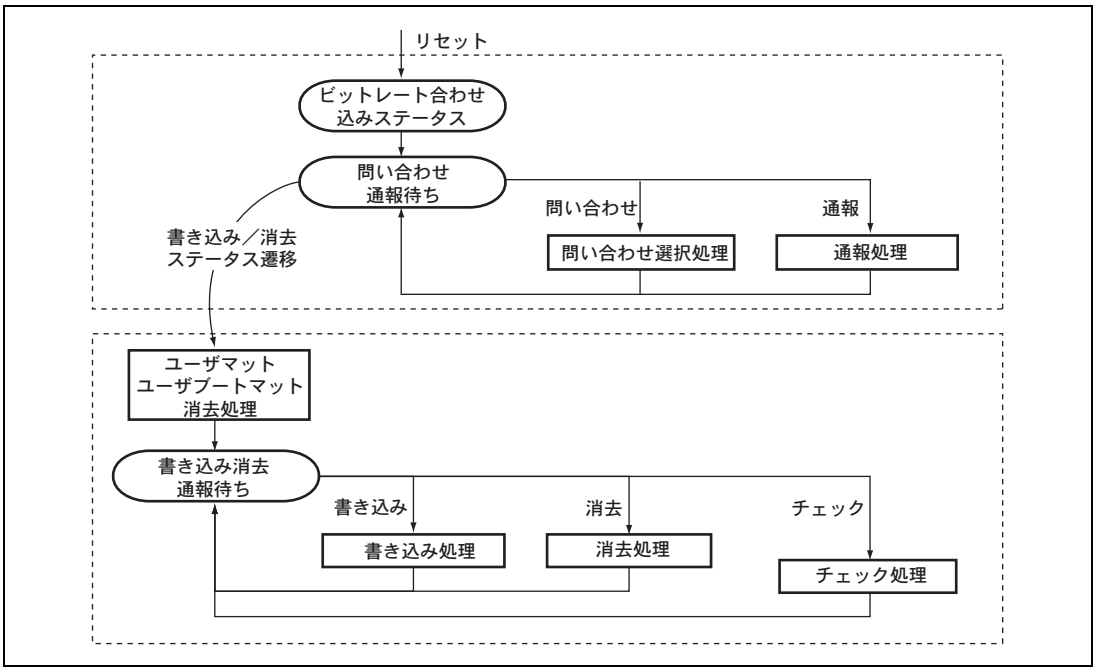


図 18.19　ブートプログラムのステータス

（2） ビットレート合わせ込みステータス

ビットレート合わせ込みは、ホストから送信された H'00 のローレベルの区間を測定してビットレートを計算します。このビットレートは新ビットレート選択コマンドで変更することができます。ビットレート合わせ込みが終了すると、ブートプログラムは問い合わせ選択ステータスに遷移します。ビットレート合わせ込みのシーケンスを図 18.20 に示します。

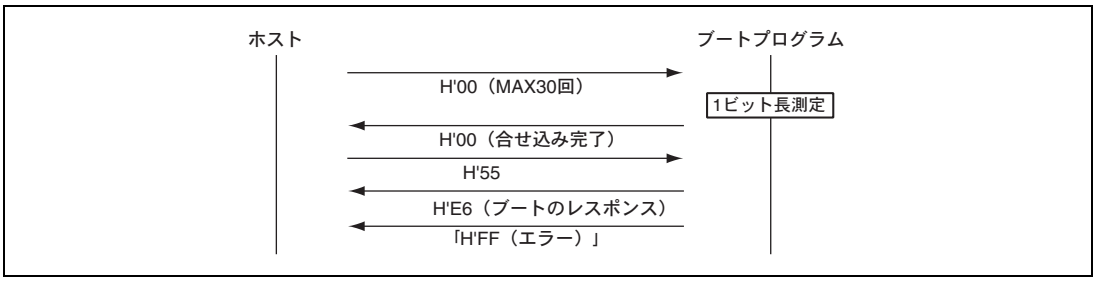


図 18.20　ビットレート合わせ込みのシーケンス

(3) 通信プロトコル

ビットレート合わせ込みが完了した後の、パソコンホストとブートプログラムとのシリアル通信プロトコルは以下のとおりです。

1. 1文字コマンドまたは1文字レスポンス

   コマンドまたはレスポンスが1文字だけのもので、問い合わせと、正常終了のACKがあります。

2. n文字コマンドまたはn文字レスポンス

   コマンド、レスポンスにnバイトのデータを必要とするもので、選択コマンドと、問い合わせに対応するレスポンスがあります。

   書き込みデータについては、データ長を別途定めるので、データのサイズは省略します。

3. エラーレスポンス

   コマンドに対するエラーレスポンスです。エラーレスポンスと、エラーコードの2バイトです。

4. 128バイト書き込み

   サイズのないコマンドです。データのサイズは書き込みサイズ問い合わせのレスポンスで知ることができます。

5. メモリリードのレスポンス

   サイズが4バイトのレスポンスです。

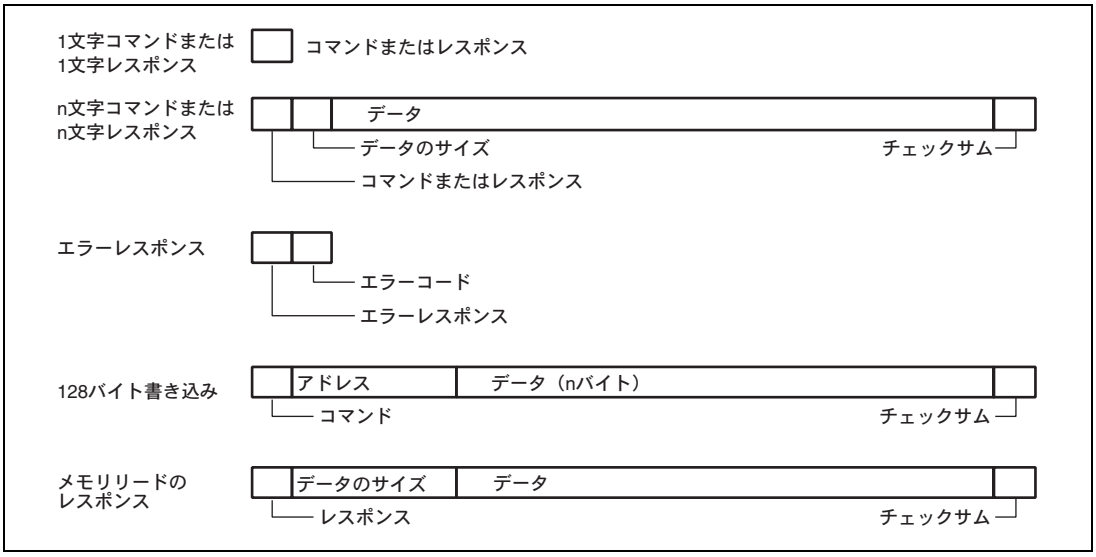


図 18.21 通信プロトコルフォーマット

- コマンド（1バイト）：問い合わせ、選択、書き込み、消去、チェックなどのコマンド
- レスポンス（1バイト）：問い合わせに対する応答
- サイズ（1バイト）：コマンド、サイズ、サムチェックを除いた送受信データのサイズ

- データ（nバイト）：コマンド、レスポンスの詳細データ
- チェックサム（1バイト）：コマンドからSUMまで加算し、H'00となるように設定
- エラーレスポンス（1バイト）：コマンドに対するエラーレスポンス
- エラーコード（1バイト）：発生したエラーの種類
- アドレス（4バイト）：書き込みアドレス
- データ（nバイト）：書き込みデータ、nは書き込みサイズ問い合わせコマンドのレスポンスで知る
- データのサイズ（4バイト）：メモリリードのレスポンスで4バイト長

（4） 問い合わせ選択ステータス

問い合わせ選択ステータスでは、ブートプログラムはホストからの問い合わせコマンドに対してフラッシュROM の情報を応答し、選択コマンドに対してデバイス、クロックモード、ビットレートを選択します。

問い合わせ選択コマンド一覧を下表に示します。

表 18.11　問い合わせ選択コマンド一覧

コマンド	コマンド名	機　　能
H'20	サポートデバイス問い合わせ	デバイスコードと品名の問い合わせ
H'10	デバイス選択	デバイスコードの選択
H'21	クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
H'11	クロックモード選択	選択されているクロックモードの通知
H'22	分周比問い合わせ	分周比の種類数とそれぞれの個数とその値の問い合わせ
H'23	動作周波数問い合わせ	メインクロックとペリフェラルクロックの最小値最大値の問い合わせ
H'24	ユーザブートマット情報問い合わせ	ユーザブートマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'25	ユーザマット情報問い合わせ	ユーザマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'26	消去ブロック情報問い合わせ	ブロック数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'27	書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
H'3F	新ビットレート選択	新ビットレートの選択
H'40	書き込み消去ステータス遷移	ユーザマット、ユーザブートマットを消去し、書き込み消去ステータスに遷移
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

選択コマンドは、デバイス選択（H'10）、クロックモード選択（H'11）、新ビットレート選択（H'3F）の順にホストから送信してください。これらのコマンドは必ず必要です。選択コマンドが 2 つ以上送信されたときは、後に送信された選択コマンドが有効になります。

これらのコマンドは、ブートプログラムステータス問い合わせ（H'4F）を除いて、書き込み消去ステータス遷移（H'40）を受付けるまでは有効であり、ホスト側は上記のコマンド中、ホストが必要なものを、選択して問い合わせを行うことができます。ブートプログラムステータス問い合わせ（H'4F）は書き込み消去ステータス遷移（H'40）を受付け後も有効です。

(a) サポートデバイス問い合わせ

サポートデバイス問い合わせに対して、ブートプログラムはサポート可能なデバイスのデバイスコードと製品名を応答します。

コマンド

H'20	

- コマンド「H'20」（1バイト）：サポートデバイス問い合わせ

レスポンス

H'30	サイズ	デバイス数	
文字数	デバイスコード		品名
・・・			
SUM			

- レスポンス「H'30」（1バイト）：サポートデバイス問い合わせに対する応答
- サイズ（1バイト）：コマンド、サイズ、チェックサムを除いた送受信データのサイズ、ここではデバイス数、文字数、デバイスコード、品名の合計サイズ
- デバイス数（1バイト）：マイコン内のブートプログラムがサポートする品種数
- 文字数（1バイト）：デバイスコードとブートプログラム品名の文字数
- デバイスコード（4バイト）：サポートする品名のASCIIコード
- 品名（nバイト）：ブートプログラム型名、ASCIIコード
- SUM（1バイト）：サムチェック、コマンドからSUMまで加算し、H'00となるように設定

(b) デバイス選択

デバイス選択に対して、ブートプログラムはサポートデバイスを指定されたサポートデバイスに設定します。その後の問い合わせに対して選択されたデバイスの情報を応答します。

コマンド

H'10	サイズ	デバイスコード	SUM

- コマンド「H'10」（1バイト）：デバイス選択
- サイズ.（1バイト）：デバイスコードの文字数、固定値で4
- デバイスコード（4バイト）：サポートデバイス問い合わせで応答したデバイスコード（ASCIIコード）
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：デバイス選択に対する応答、デバイスコードが一致したときACK

エラー

レスポンス

H'90	ERROR

- エラーレスポンス「H'90」（1バイト）：デバイス選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

  H'11：サムチェックエラー

  H'21：デバイスコードエラー、デバイスコードが一致しない

(c) クロックモード問い合わせ

クロックモード問い合わせに対して、ブートプログラムは選択可能なクロックモードを応答します。

コマンド

H'21

- コマンド「H'21」（1バイト）：クロックモード問い合わせ

レスポンス

H'31	サイズ	モード数	モード	. . .	SUM

- レスポンス「H'31」（1バイト）：クロックモード問い合わせに対する応答
- サイズ（1バイト）：モード数、モードの合計サイズ
- クロックモード数（1バイト）：デバイスで選択可能なクロックモード数
  H'00の場合はクロックモードなし、またはデバイスがクロックモード読み取り可を示す
- モード（1バイト）：選択可能なクロックモード（例：H'01　クロックモード1）
- SUM（1バイト）：サムチェック

(d) クロックモード選択

クロックモード選択に対して、ブートプログラムはクロックモードを指定されたモードに設定します。その後の問い合わせに対して、選択されたクロックモードの情報を応答します。

クロックモード選択コマンドはデバイス選択コマンド送信後に送信してください。

コマンド

H'11	サイズ	モード	SUM

- コマンド「H'11」（1バイト）：クロックモード選択
- サイズ（1バイト）：モードの文字数、固定値で1
- モード（1バイト）：クロックモード問い合わせで応答されたクロックモード
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：クロックモード選択に対する応答、クロックモードが一致したときACK

エラーレスポンス

H'91	ERROR

- エラーレスポンス「H'91」（1バイト）：クロックモード選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
  H'11：サムチェックエラー
  H'22：クロックモードエラー、クロックモードが一致しない

  クロックモード問い合せでクロックモード数がH'00、H'01の場合もそれぞれその値で、クロックモード選択をしてください。

(e) 分周比問い合わせ

分周比問い合わせに対して、ブートプログラムは選択可能な分周比を応答します。

コマンド

H'22

- コマンド「H'22」（1バイト）：分周比問い合わせ

レスポンス

H'32	サイズ	種別数					
分周比数	分周比	・・・					
・・・							
SUM							

- レスポンス「H'32」（1バイト）：分周比問い合わせに対する応答
- サイズ（1バイト）：種別数、分周比数、分周比の合計サイズ
- 種別数（1バイト）：デバイスで選択可能な分周比の種別の数
  （メイン動作周波数と周辺モジュール動作周波数の2種類ならH'02）
- 分周比数（1バイト）：各動作周波数で選択可能な分周比数
  メインモジュール、周辺モジュールで選択可能な分周比数
- 分周比（1バイト）
  分周比：　分周する数値、負の数（例　2分周：H'FE[－2]）
  分周比を分周比数の数だけ繰り返し、分周比数と分周比の組み合わせを種別数の数だけ繰り返す。
- SUM（1バイト）：サムチェック

(f) 動作周波数問い合わせ

動作周波数問い合わせに対して、ブートプログラムは動作周波数の数とその最小値、最大値を応答します。

コマンド

H'23

- コマンド「H'23」（1バイト）：動作周波数問い合わせ

レスポンス

H'33	サイズ	周波数の数
動作周波数最小値		動作周波数最大値
・・・		
SUM		

- レスポンス「H'33」（1バイト）：動作周波数問い合わせに対する応答
- サイズ（1バイト）：動作周波数の数、動作周波数最小値、動作周波数最大値の合計サイズ
- 周波数の数　（1バイト）：デバイスで必要な動作周波数の種類数、
  たとえば、メイン動作周波数と周辺モジュール動作周波数の場合は2
- 動作周波数最小値（2バイト）：分周されたクロックの最小値、
  動作周波数最小値、最大値は周波数（MHz）の小数点2位までの値を100倍した値、
  （たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする）
- 動作周波数最大値（2バイト）：分周されたクロックの最大値、
  動作周波数最大値、動作周波数最大値のデータが周波数の数だけ続く
- SUM（1バイト）：サムチェック

(g) ユーザブートマット情報問い合わせ

ユーザブートマット情報問い合わせに対して、ブートプログラムはユーザブートマットのエリア数とアドレスを応答します。

コマンド

H'24

- コマンド「H'24」（1バイト）：ユーザブートマット情報問い合わせ

レスポンス

H'34	サイズ	エリア数
エリア先頭アドレス		エリア最終アドレス
・・・		
SUM		

- レスポンス「H'34」（1バイト）：ユーザブートマット情報問い合わせに対する応答
- サイズ（1バイト）：エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数（1バイト）：連続したユーザブートマットのエリアの数、
  ユーザブートマットのエリアが連続の場合はH'01
- エリア先頭アドレス（4バイト）：エリアの先頭アドレス
- エリア最終アドレス（4バイト）：エリアの最終アドレス、
  エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM（1バイト）：サムチェック

(h) ユーザマット情報問い合わせ

ユーザマット情報問い合わせに対して、ブートプログラムはユーザマットのエリア数とアドレスを応答します。

コマンド

H'25

- コマンド「H'25」（1バイト）：ユーザマット情報問い合わせ

レスポンス

H'35	サイズ	エリア数
エリア先頭アドレス		エリア最終アドレス
・・・		
SUM		

- レスポンス「H'35」（1バイト）：ユーザマット情報問い合わせに対する応答
- サイズ（1バイト）：エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数 （1バイト）：連続したユーザマットのエリアの数、
  ユーザマットのマットエリアが連続の場合はH'01
- エリア先頭アドレス（4バイト）：エリアの先頭アドレス
- エリア最終アドレス（4バイト）：エリアの最終アドレス、
  エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM（1バイト）：サムチェック

(i) 消去ブロック情報問い合わせ

消去ブロック情報問い合わせに対して、ブートプログラムは消去ブロックのブロック数とそのアドレスを応答します。

コマンド	H'26

- コマンド「H'26」（1バイト）：消去ブロック情報問い合わせ

レスポンス	H'36	サイズ	ブロック数	
	ブロック先頭アドレス			ブロック最終アドレス
	・・・			
	SUM			

- レスポンス「H'36」（1バイト）：消去ブロック情報問い合わせに対する応答
- サイズ（2バイト）：ブロック数、ブロック先頭アドレス、ブロック最終アドレスの合計サイズ
- ブロック数 （1バイト）：フラッシュメモリ消去ブロック数
- ブロック先頭アドレス（4バイト）：ブロックの先頭アドレス
- ブロック最終アドレス（4バイト）：ブロックの最終アドレス、
  ブロック先頭アドレス、ブロック最終アドレスのデータがブロック数分続く
- SUM（1バイト）：サムチェック

(j) 書き込みサイズ問い合わせ

書き込みサイズ問い合わせに対して、ブートプログラムは書き込みデータの書き込み単位を応答します。

コマンド	H'27

- コマンド「H'27」（1バイト）：書き込みサイズ問い合わせ

レスポンス	H'37	サイズ	書き込みサイズ	SUM

- レスポンス「H'37」（1バイト）：書き込みサイズ問い合わせに対する応答
- サイズ（1バイト）：書き込み単位のサイズの文字数、固定値で2
- 書き込みサイズ（2バイト）：書き込み単位のサイズ、
  このサイズで書き込みデータを受け取る
- SUM（1バイト）：サムチェック

(k) 新ビットレート選択

新ビットレート選択に対して、ブートプログラムは指定されたビットレートに選択変更し、確認に対して新ビットレートで応答します。

新ビットレート選択コマンドはクロックモード選択コマンド送信後に送信してください。

コマンド

H'3F	サイズ	ビットレート	入力周波数
分周比数	分周比 1	分周比 2	
SUM			

- コマンド「H'3F」（1バイト）：新ビットレート選択
- サイズ（1バイト）：ビットレート、入力周波数、分周比数、分周比の合計サイズ
- ビットレート（2バイト）：新ビットレート、
  1/100の値とする、（たとえば、19200bpsのときは192とし、H'00C0とする）
- 入力周波数（2バイト）：ブートプログラムに入力されるクロック周波数、
  周波数（MHz）の小数点2位までの値とする（たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする）。
- 分周比数（1バイト）：デバイスで選択可能な分周比数
  通常はメイン動作周波数と周辺モジュール動作周波数で2
- 分周比1（1バイト）：メイン動作周波数の分周比
  分周比：分周する数値、負の数値（例　2分周：H'FE[－2]）
- 分周比2（1バイト）：周辺動作周波数の分周比
  分周比：分周する数値、負の数値（例　2分周：H'FE[－2]）
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：新ビットレート選択に対する応答、選択可能なときACK

エラーレスポンス

H'BF	ERROR

- エラーレスポンス「H'BF」（1バイト）：新ビットレート選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
  H'11：サムチェックエラー
  H'24：ビットレート選択不可エラー、指定されたビットレートが選択できない
  H'25：入力周波数エラー、入力周波数が最小値と最大値の範囲にない
  H'26：分周比エラー、分周比が一致しない
  H'27：動作周波数エラー、動作周波数が最小値と最大値の範囲にない

(5) 受信データのチェック

受信したデータのチェック方法を以下に示します。

1. 入力周波数

   受信した入力周波数の値が、すでに選択されたデバイスのクロックモードに対する入力周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ入力周波数エラーです。

2. 分周比

   受信した分周比の値が、すでに選択されたデバイスのクロックモードに対する分周比と一致するかどうかをチェックします。一致しなければ分周比エラーです。

3. 動作周波数

   受信した入力周波数と分周比とから動作周波数を計算します。入力周波数はLSIに供給される周波数で、動作周波数は実際にLSIが動作する周波数です。計算式を以下に示します。

   動作周波数 ＝ 入力周波数 ÷ 分周比

   この計算した動作周波数が、すでに選択されたデバイスのクロックモードに対する動作周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ動作周波数エラーです。

4. ビットレート

   ペリフェラル動作周波数（φ）とビットレート（B）から、シリアルモードレジスタ（SMR）のクロックセレクト（CKS）の値（n）とビットレートレジスタ（BRR）の値（N）を求め、誤差を計算し、誤差が4％未満であるかどうかをチェックします。誤差が4％以上ならばビットレート選択エラーです。誤差の計算は下記のとおりです。

$$\text{誤差（\%）} = \left\{\left[\frac{\phi \times 10^{6}}{(N+1) \times B \times 64 \times 2^{(2\times n-1)}}\right] - 1\right\} \times 100$$

新ビットレート選択が可能な場合は、ACK を応答した後で、新ビットレートの値にレジスタを選択します。新ビットレートでホストが ACK を送信し、ブートプログラムが新ビットレートで応答します。

確認

H'06

- 確認「H'06」（1バイト）：新ビットレートの確認

レスポンス

H'06

- レスポンス「H'06」（1バイト）：新ビットレートの確認に対する応答

新ビットレート選択のシーケンスを図 18.22 に示します。

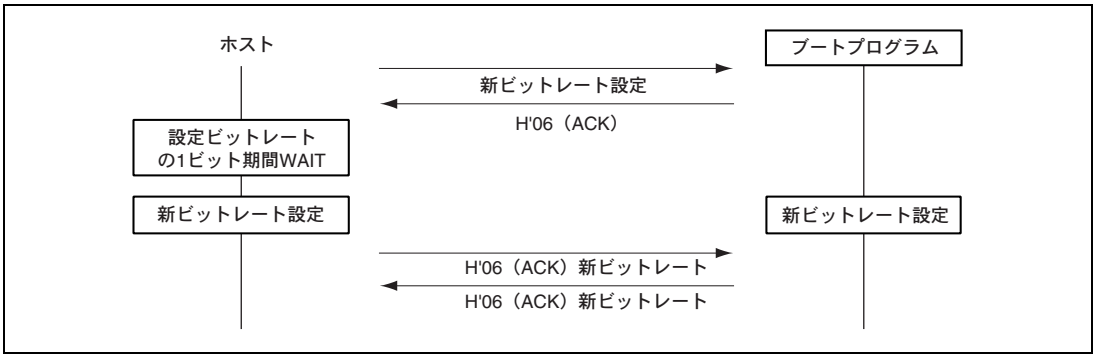


図 18.22　新ビットレート選択のシーケンス

(6) 書き込み消去ステータス遷移

書き込み消去ステータス遷移に対して、ブートプログラムは、消去プログラムを転送し、ユーザマット、ユーザブートマットの順にデータを消去します。消去が完了すると、ACK を応答し、書き込み消去ステータスになります。

ホストは、書き込み選択コマンドと書き込みデータを送る前に、デバイス選択コマンド、クロックモード選択コマンド、新ビットレート選択コマンドで LSI のデバイス、クロックモード、新ビットレートを選択し、書き込み消去ステータス遷移コマンドをブートプログラムへ送ってください。

コマンド

H'40

- コマンド「H'40」（1バイト）：書き込み消去ステータス遷移

レスポンス

H'06

- レスポンス「H'06」（1バイト）：書き込み消去ステータス遷移に対する応答、
  消去プログラムを転送した後、ユーザブートマット、ユーザマットが正常にデータを消去できたときACK

エラーレスポンス

H'C0	H'51

- エラーレスポンス「H'C0」（1バイト）：ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'51」（1バイト）：消去エラー、エラーが発生し消去できなかった

(7) コマンドエラー

コマンドが未定義のとき、コマンドの順序が正しくないとき、あるいはコマンドが受け付けることができないとき、コマンドエラーとなります。たとえば、デバイス選択の前のクロックモード選択コマンド、書き込み消去ステータス遷移コマンドの後での問い合わせコマンドは、コマンドエラーになります。

エラー

レスポンス

H'80	H'xx

- エラーレスポンス「H'80」（1バイト）：コマンドエラー
- コマンド「H'xx」（1バイト）：受信したコマンド

(8) コマンドの順序

問い合わせ選択ステータスでのコマンドの順序の例は以下のとおりです。

1. サポートデバイス問い合わせ（H'20）で、サポートデバイスを問い合わせてください。
2. 応答されたデバイス情報からデバイスを選んで、デバイス選択（H'10）をしてください。
3. クロックモード問い合わせ（H'21）で、クロックモードを問い合わせてください。
4. 応答されたクロックモードからクロックモードを選んで、クロックモード選択をしてください。
5. デバイス選択、クロックモード選択が終わったら、分周比問い合わせ（H'22）、動作周波数問い合わせ（H'23）で新ビットレート選択に必要な情報を問い合わせてください。
6. 分周比、動作周波数の情報に従って、新ビットレート選択（H'3F）をしてください。
7. デバイス選択、クロックモード選択が終わったら、ユーザブートマット情報問い合わせ（H'24）、ユーザマット情報問い合わせ（H'25）、消去ブロック情報問い合わせ（H'26）、書き込みサイズ問い合わせ（H'27）で、ユーザブートマット、ユーザマットへの書き込み消去情報を問い合わせてください。
8. 問い合わせと新ビットレート選択が終わったら、書き込み消去ステータス遷移（H'40）を実行してください。書き込み消去ステータスに遷移します。

(9) 書き込み消去ステータス

書き込み消去ステータスでは、ブートプログラムは書き込み選択コマンドで書き込み方法を選択し、128 バイト書き込みコマンドでデータを書き込み、消去選択コマンドとブロック消去コマンドでブロックを消去します。書き込み消去コマンド一覧をを下表に示します。

表 18.12 書き込み消去コマンド一覧

コマンド	コマンド名	機能
H'42	ユーザブートマット書き込み選択	ユーザブートマット書き込みプログラムの転送
H'43	ユーザマット書き込み選択	ユーザマット書き込みプログラムの転送
H'50	128 バイト書き込み	128 バイト書き込み
H'48	消去選択	消去プログラムの転送
H'58	ブロック消去	ブロックデータの消去
H'52	メモリリード	メモリの読み出し
H'4A	ユーザブートマットのサムチェック	ユーザブートマットのサムチェック
H'4B	ユーザマットのサムチェック	ユーザマットのサムチェック
H'4C	ユーザブートマットのブランクチェック	ユーザブートマットのブランクチェック
H'4D	ユーザマットのブランクチェック	ユーザマットのブランクチェック
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

- **書き込み**

書き込みは書き込み選択コマンドと 128 バイト書き込みコマンドで行います。

最初に、ホストは書き込み選択コマンドを送信し書き込み方式と書き込みマットを選択します。書き込み選択コマンドは書き込みエリアと書き込み方式により以下の 2 つがあります。

1. ユーザブートマット書き込み選択
2. ユーザマット書き込み選択

次に 128 バイト書き込みコマンドを送信します。選択コマンドに続く 128 バイト書き込みコマンドはそれぞれ選択コマンドで指定された書き込み方式の書き込みデータと解釈します。128 バイトを超えるデータを書き込むときは 128 バイトコマンドを繰り返してください。書き込みを終了させたいときはアドレスが H'FFFFFFFF の 128 バイト書き込みコマンドをホストから送信してください。書き込みが終了すると書き込み消去選択待ちになります。

続けて他の方式、他のマットの書き込みを行うときは書き込み選択コマンドから開始します。

書き込み選択コマンドとに 128 バイト書き込みコマンドのシーケンスを図 18.23 に示します。

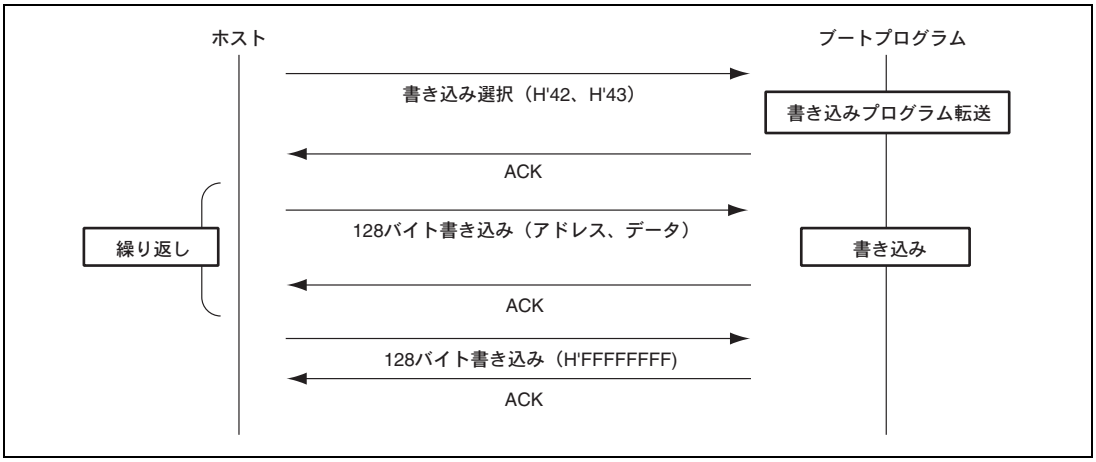


図 18.23　書き込みシーケンス

（a） ユーザブートマット書き込み選択

ユーザブートマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザブートマットに書き込みます。

コマンド　| H'42 |

- コマンド「H'42」（1バイト）：ユーザブートマット書き込み選択

レスポンス　| H'06 |

- レスポンス「H'06」（1バイト）：ユーザブートマット書き込み選択に対する応答、書き込みプログラムを転送したときACK

エラー

レスポンス　| H'C2 | ERROR |

- エラーレスポンス「H'C2」（1バイト）：ユーザブートマット書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

  H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

- **ユーザマット書き込み選択**

ユーザマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザマットに書き込みます。

コマンド

H'43	

- コマンド「H'43」（1バイト）：ユーザマット書き込み選択

レスポンス

H'06	

- レスポンス「H'06」（1バイト）：ユーザプマット書き込み選択に対する応答、
  書き込みプログラムを転送したときACK

エラー
レスポンス

H'C3	ERROR

- エラーレスポンス「H'C3」（1バイト）：ユーザマット書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

  H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(b) 128 バイト書き込み

n バイト書き込みに対して、ブートプログラムは書き込み選択で転送した書き込みプログラムで、ユーザブートマット、またはユーザマットに書き込みます。

コマンド

H'50	アドレス						
データ	. . .						
. . .							
SUM							

- コマンド「H'50」（1バイト）：128バイト書き込み
- 書き込みアドレス（4バイト）：書き込み先頭アドレス、「書き込みサイズ問い合わせ」で応答したサイズの倍数

  例）H'00,H'01,H'00,H'00：H'010000
- 書き込みデータ（128バイト）：書き込みデータ、書き込みデータのサイズは「書き込みサイズ問い合わせ」で応答したサイズ
- SUM（1バイト）：サムチェック

レスポンス

H'06	

- レスポンス「H'06」（1バイト）：128バイト書き込みに対する応答、書き込みが完了したときACK

エラー
レスポンス

H'D0	ERROR

- エラーレスポンス「H'D0」（1バイト）：128バイト書き込みに対するエラー応答

- ERROR：（1バイト）：エラーコード
  H'11：サムチェックエラー
  H'2A：アドレスエラー
  H'53：書き込みエラー、書き込みエラーが発生し書き込めない

データ書き込みサイズに従った境界のアドレスを指定してください。たとえば、データ書き込みサイズが 128 バイトのときは、アドレスの下位 8 ビットを H'00 か H'80 にしてください。

ホストは、128 バイト中に書き込みデータが無い部分を H'FF に埋めて送信してください。

書き込み処理を終了するときは、アドレス H'FFFFFFFF の 128 バイト書き込みコマンドを送信してください。アドレス H'FFFFFFFF の 128 バイト書き込みコマンドに対して、ブートプログラムはデータが終了したと判断し、書き込み消去選択コマンド待ちになります。

コマンド	H'50	アドレス	SUM

- コマンド「H'50」（1バイト）：128バイト書き込み
- 書込みアドレス（4バイト）：終了コード（H'FF,H'FF,H'FF,H'FF）
- SUM（1バイト）：サムチェック

レスポンス	H'06

- レスポンス「H'06」（1バイト）：128バイト書き込みに対する応答、書き込み処理が完了したときACK

エラーレスポンス

H'D0	ERROR

- エラーレスポンス「H'D0」（1バイト）：128バイト書き込みに対するエラー応答
- ERROR：（1バイト）：エラーコード
  H'11：サムチェックエラー
  H'2A：アドレスエラー
  H'53：書き込みエラー、書き込みエラーが発生し書き込めない

（10）消去

消去は消去選択コマンドとブロック消去コマンドで行います。

最初に消去選択コマンドで消去を選択し、次にブロック消去コマンドで指定されたブロックを消去します。消去ブロックが複数あるときはブロック消去コマンドを繰り返します。消去処理を終了するときはブロック番号 H'FF のブロック消去コマンドをホストから送信してください。消去が終了すると書き込み消去選択待ちになります。

消去選択コマンドとブロック消去コマンドのシーケンスを図 18.24 に示します。

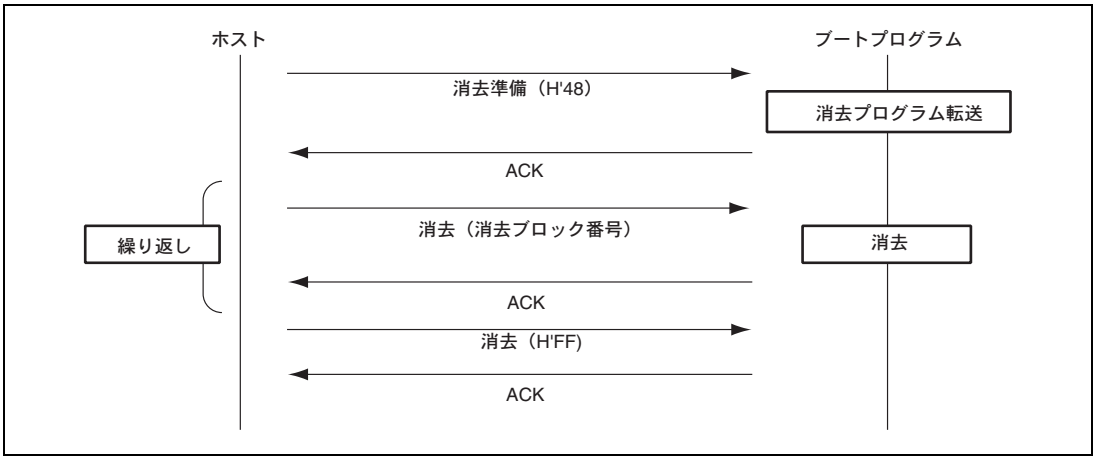


図 18.24　消去シーケンス

（a） 消去選択

消去選択に対して、ブートプログラムは、消去プログラムを転送します。消去は転送した消去プログラムで、ユーザマットのデータを消去します。

コマンド　H'48

- コマンド「H'48」（1バイト）：消去選択

レスポンス　H'06

- レスポンス「H'06」（1バイト）：消去選択に対する応答、消去プログラムを転送したときACK

エラー

レスポンス　H'C8　ERROR

- エラーレスポンス「H'C8」（1バイト）：消去選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

  H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(b) ブロック消去

消去に対して、ブートプログラムは指定されたブロックを消去します。

コマンド

H'58	サイズ	ブロック番号	SUM

- コマンド「H'58」（1バイト）：消去
- サイズ.（1バイト）：消去ブロックNoの文字数、固定値で1
- ブロック番号（1バイト）：データを消去する消去ブロック番号
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：消去に対する応答、消去が完了したときACK

エラー

レスポンス

H'D8	ERROR

- エラーレスポンス「H'D8」（1バイト）：消去に対するエラー応答
- ERROR：（1バイト）：エラーコード

  H'11：サムチェックエラー

  H'29：ブロック番号エラー、ブロック番号が正しくない

  H'51：消去エラー、消去中にエラー発生

ブロック番号が H'FF に対して、ブートプログラムは消去処理を終了し、選択コマンド待ち状態になります。

コマンド

H'58	サイズ	ブロック番号	SUM

- コマンド「H'58」（1バイト）：消去
- サイズ（1バイト）：消去ブロックNoの文字数、固定値で1
- ブロック番号（1バイト）：H'FF、消去処理の終了コード
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：消去終了に対する応答、ACK

ブロック番号を H'FF で指定した後、再度、消去を行う場合は、消去選択から実行します。

（11）メモリリード

メモリリードに対して、ブートプログラムは指定されたアドレスのデータを応答します。

コマンド

H'52	サイズ	エリア	読み出しアドレス
読み出しサイズ			SUM

- コマンド「H'52」（1バイト）：メモリリード
- サイズ（1バイト）：エリア、読み出しアドレス、読み出しサイズの合計サイズ（固定値で9）
- エリア（1バイト）

  H'00：ユーザブートマット

  H'01：ユーザマット

  エリアの指定が正しくないときはアドレスエラー
- 読み出しアドレス（4バイト）：読み出す先頭アドレス
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- SUM （1バイト）：サムチェック

レスポンス

H'52	読み出しアドレス						
データ	. . .						
SUM							

- レスポンス「H'52」（1バイト）：メモリリードに対する応答
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- データ（nバイト）読み出しアドレスからの読み出しサイズ分のデータ
- SUM （1バイト）：サムチェック

エラー

レスポンス

H'D2	ERROR

- エラーレスポンス「H'D2」（1バイト）：メモリリードに対するエラー応答
- ERROR：（1バイト）：エラーコード

  H'11：サムチェックエラー

  H'2A：アドレスエラー

  読み出しアドレスがマットの範囲にない

  H'2B：サイズエラー

  読み出しサイズがマットの範囲を超えている

（12）ユーザブートマットのサムチェック

ユーザブートマットのサムチェックに対して、ブートプログラムはユーザブートマットのデータを加算してその結果を応答します。

コマンド

H'4A

- コマンド「H'4A」（1バイト）：ユーザブートマットのサムチェック

レスポンス

H'5A	サイズ	マットのサムチェック	SUM

- レスポンス「H'5A」（1バイト）：ユーザブートマットのサムチェックに対する応答
- サイズ（1バイト）：サムチェックデータの文字数、固定値で4
- マットのサムチェック（4バイト）：ユーザブートマットのサムチェック値、バイト単位で加算
- SUM（1バイト）：サムチェック（送信データの）

（13）ユーザマットのサムチェック

ユーザマットのサムチェックに対して、ブートプログラムはユーザマットのデータを加算してその結果を応答します。

コマンド

H'4B

- コマンド「H'4B」（1バイト）：ユーザマットのサムチェック

レスポンス

H'5B	サイズ	マットのサムチェック	SUM

- レスポンス「H'5B」（1バイト）：ユーザマットのサムチェックに対する応答
- サイズ（1バイト）：サムチェックデータの文字数、固定値で4
- サムチェック（4バイト）：ユーザマットのサムチェック値、バイト単位で加算
- SUM（1バイト）：サムチェック（送信データの）

（14）ユーザブートマットのブランクチェック

ユーザブートマットのブランクチェックに対して、ブートプログラムはユーザブートマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4C

- コマンド「H'4C」（1バイト）：ユーザブートマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザブートマットのブランクチェックに対する応答、エリアがすべてブランク（H'FF）のときACK

エラー

レスポンス

H'CC	H'52

- エラーレスポンス「H'CC」（1バイト）：ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'52」（1バイト）：未消去エラー

（15）ユーザマットのブランクチェック

ユーザマットのブランクチェックに対して、ブートプログラムはユーザマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4D

- コマンド「H'4D」（1バイト）：ユーザマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザマットのブランクチェックに対する応答、エリアがすべてブランク（H'FF）のときACK

エラーレスポンス

H'CD	H'52

- エラーレスポンス「H'CD」（1バイト）：ユーザマットのブランクチェックに対するエラー応答
- エラーコード「H'52」（1バイト）：未消去エラー

（16）ブートプログラムステータス問い合わせ

ブートプログラムステータス問い合わせに対して、ブートプログラムは現在のステータスとエラー状態を応答します。この問い合わせは、問い合わせ選択ステータス、書き込み消去ステータス、いずれも有効です。

コマンド

H'4F

- コマンド「H'4F」（1バイト）：ブートプログラムステータス問い合わせ

レスポンス

H'5F	サイズ	STATUS	ERROR	SUM

- レスポンス「H'5F」（1バイト）：ブートプログラムステータス問い合わせに対する応答
- サイズ（1バイト）：データの文字数、固定値で2
- STATUS （1バイト）：標準ブートプログラムのステータス
- ERROR（1バイト）：エラー状態

  ERROR =0で正常

  ERRORが0以外で異常

- SUM（1バイト）：サムチェック

表 18.13 ステータスコード

コード	内　　容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	ビットレート選択待ち
H'1F	書き込み消去ステータス遷移待ち（ビットレート選択完了）
H'31	書き込みステータス消去中
H'3F	書き込み消去選択待ち（消去完了）
H'4F	書き込みデータ受信待ち（書き込み完了）
H'5F	消去ブロック指定待ち（消去完了）

表 18.14 エラーコード

コード	内　　容
H'00	エラーなし
H'11	サムチェックエラー
H'12	プログラムサイズエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	分周比エラー
H'27	動作周波数エラー
H'29	ブロック番号エラー
H'2A	アドレスエラー
H'2B	データ長エラー
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'54	選択処理エラー
H'80	コマンドエラー
H'FF	ビットレート合わせ込み確認エラー

18.9 使用上の注意事項

1. ルネサス テクノロジ出荷品の初期状態は、消去状態です。これ以外の消去来歴不明チップに対して、初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。
2. 本LSIのライタモードに適合するPROMライタおよびそのプログラムバージョンに関しては、ソケットアダプタの取り扱い説明書等を参照してください。
3. PROMライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。
4. 定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。PROMライタは、ルネサス テクノロジ1Mバイトフラッシュメモリ内蔵マイコンデバイスタイプの書き込み電圧3.3Vをサポートしているものを使用してください。ライタの設定をHN28F101や書き込み電圧を5.0Vにセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊にいたることがあります。
5. 書き込み／消去実行中に、マイコンチップをPROMライタから取り外したり、リセットを入力することはやめてください。書き込み／消去実行中はフラッシュメモリに高電圧が印加されているため、フラッシュメモリの永久破壊の可能性があります。もし、誤ってリセット入力してしまった場合は、100μsの通常より長いリセット期間の後にリセットリリースしてください。
6. 書き込み／消去完了後のFKEYのクリアまでの期間は、フラッシュメモリのアクセスは禁止とします。書き込み／消去完了直後に、LSIモードを変更してリセット動作をさせる場合には、100μs以上のリセット期間（$\overline{\text{RES}}$＝0とする期間）を設けてください。なお、書き込み／消去処理中のリセット状態、ハードウェアスタンバイ状態への遷移は禁止ですが、誤ってリセットを入れてしまった場合は、100μsの通常より長いリセット期間の後に、リセットリリースしてください。
7. V_{CC}電源の印加／切断時は$\overline{\text{RES}}$端子をLowレベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入および解除タイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。
8. オンボードプログラミングでは128バイトの書き込み単位ブロックへの書き込みは、1回のみとしてください。
   ライタモードでも128バイトの書き込み単位ブロックへの書き込みは、1回のみとしてください。
   書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。
9. オンボードプログラミングモードにて書き込み／消去を行ったチップに対して、ライタを用いて書き換えを行う場合には、自動消去を行った後に自動書き込みを行うことを推奨します。

10. フラッシュメモリへの書き込みを行う場合は、書き込みデータ、およびプログラムは外部割り込みベクタテーブル以降（H'000040）に配置して、例外処理ベクタテーブルのシステム予約エリアには必ずall H'FFを配置してください。

11. フラッシュメモリのキーコードエリア（H'00003C～3F）にall H'FF（4バイト）以外のデータを書き込むと、ライタモードでの読み出しができなくなります（H'00が読み出される。消去→書き換えは可能）。ライタモードによる読み出しを行う場合は、必ずキーコードエリアにall H'FFを書き込むようにしてください。

    ライタモードでキーコードエリアにall H'FF以外のデータを書き込む場合、PROMライタおよびプログラムバージョンが対応されていないと書き込み時にベリファイエラーになります。

12. 初期化ルーチンを含む書き込みプログラム、または初期化ルーチンを含む消去プログラムのコードサイズはそれぞれ2Kバイト以内です。よって、CPUクロック周波数が20MHzの場合、200μsのダウンロード時間となります。

13. SCO転送要求による内蔵プログラムのダウンロード方式をサポートしていない、従来のH8S F-ZTATマイコンで使用していたフラッシュメモリの書き込み／消去プログラムは、本LSIでは動作しません。本LSIでのフラッシュメモリへの書き込み／消去は、必ず内蔵プログラムをダウンロードして実施してください。

14. 従来のH8S F-ZTATマイコンと異なり、書き込み／消去中はWDTによる暴走などへの対応は、実施していません。必要に応じて、書き込み／消去の実行時間を考慮したWDTでの対応を実施してください（定期的なタイマ割り込みの使用など）。

15. プロテクト領域に書き込みを行う場合は、必ずall H'FFを書き込むようにしてください。

19.　クロック発振器

本 LSI は、クロック発振器を内蔵しており、システムクロック（φ）、内部クロック、バスマスタクロック、およびサブクロック（φSUB）を生成します。クロック発振器は、発振回路、デューティ補正回路、システムクロック選択回路、中速クロック分周器、バスマスタクロック選択回路、サブクロック入力回路、サブクロック波形成形回路で構成されます。クロック発振器のブロック図を**図** 19.1 に示します。

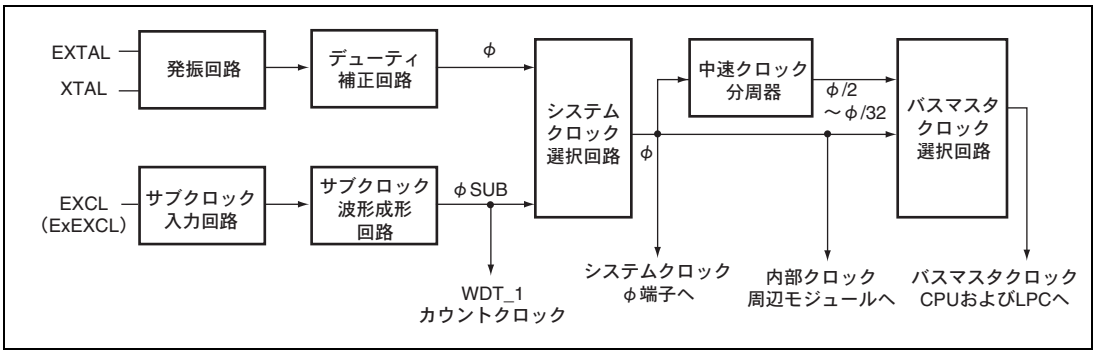


図 19.1　**クロック発振器のブロック図**

高速モード、中速モードでのバスマスタクロックの選択は、スタンバイコントロールレジスタの SCK2～SCK0 ビットの設定によりソフトウェアで行います。スタンバイコントロールレジスタについては、「20.1.1　**スタンバイコントロールレジスタ（SBYCR）**」を参照してください。

サブクロック入力は、ローパワーコントロールレジスタの EXCLE ビット、ポートコントロールレジスタ 0 の EXCLS ビットの設定によりソフトウェアで制御します。ローパワーコントロールレジスタについては「20.1.2　**ローパワーコントロールレジスタ（LPWRCR）**」を、ポートコントロールレジスタ 0 については「7.17.1　**ポートコントロールレジスタ 0（PTCNT0）**」を参照してください。

19.1 発振回路

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

19.1.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 19.2 に示します。ダンピング抵抗 R_d は、表 19.1 に示すものを使用してください。水晶発振子は、AT カット並列共振形を使用してください。

水晶発振子の等価回路を図 19.3 に示します。水晶発振子は表 19.2 に示す特性のものを使用してください。

水晶発振子は、システムクロック（φ）と同一周波数のものを使用してください。

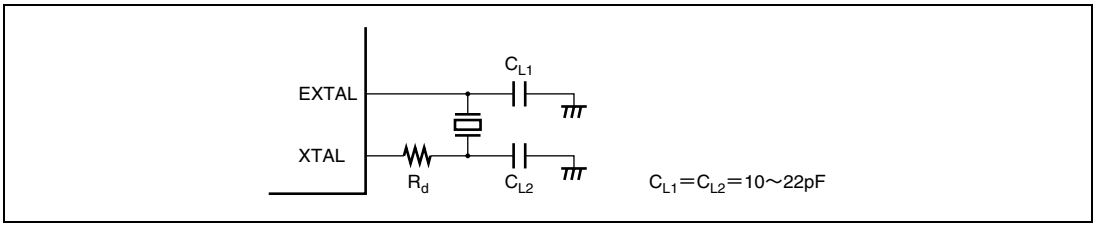


図 19.2 水晶発振子の接続例

表 19.1 ダンピング抵抗値

周波数（MHz）	4	8	10	12	16	20
R_d（Ω）	500	200	0	0	0	0

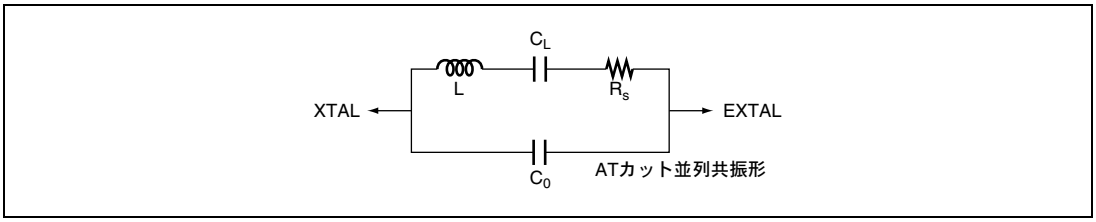


図 19.3 水晶発振子の等価回路

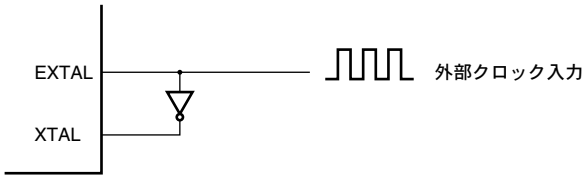
表 19.2 水晶発振子の特性

周波数（MHz）	4	8	10	12	16	20
Rs max（Ω）	120	80	70	60	50	40
C0 max（pF）	7					

19.1.2 外部クロックを入力する方法

外部クロック入力の接続例を図 19.4 に示します。XTAL 端子をオープン状態にする場合は、寄生容量を 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード、サブアクティブモード、サブスリープモード、およびウォッチモード時は外部クロックを High レベルにしてください。外部クロックの入力条件を表 19.3 に示します。外部クロックは、システムクロック（φ）と同一周波数としてください。

（a） XTAL端子をオープンにする接続例



（b） XTAL端子に逆相クロックを入力する接続例

図 19.4 外部クロックの接続例

表 19.3 外部クロック入力条件

項　目	記号	VCC＝3.0～3.6V		単位	測定条件	
		min	max			
外部クロック入力パルス幅 Low レベル	t_{EXL}	20	－	ns	図 19.5	
外部クロック入力パルス幅 High レベル	t_{EXH}	20	－	ns		
外部クロック立ち上がり時間	t_{EXr}	－	5	ns		
外部クロック立ち下がり時間	t_{EXf}	－	5	ns		
クロックパルス幅 Low レベル	t_{CL}	0.4	0.6	t_{cyc}	φ≧5MHz	図 22.4
		80	－	ns	φ＜5MHz	
クロックパルス幅 High レベル	t_{CH}	0.4	0.6	t_{cyc}	φ≧5MHz	
		80	－	ns	φ＜5MHz	

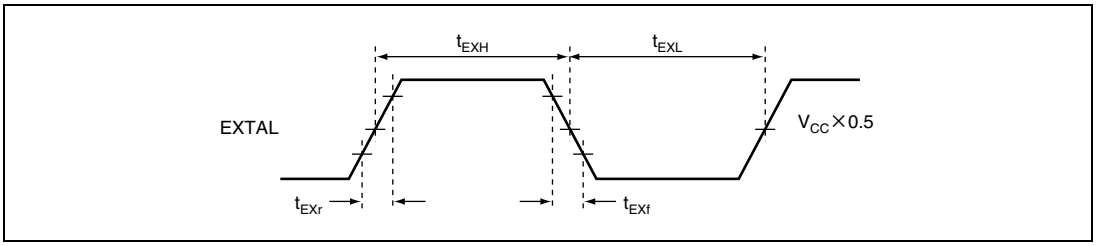


図 19.5　外部クロック入力タイミング

発振器とデューティ補正回路は、EXTAL 端子に入力した外部クロックの入力の波形を調整する機能を持っています。

EXTAL 端子に規定のクロック信号を入力すると、外部クロック出力安定遅延時間（t_{DEXT}）経過後に内部クロック信号出力が確定します。t_{DEXT} 期間中はクロック信号出力が確定していないので、リセット信号を Low レベルにしリセット状態を保持してください。**表 19.4** に外部クロック出力安定遅延時間、**図 19.6** に外部クロック出力安定遅延時間タイミングを示します。

表 19.4　外部クロック出力安定遅延時間

条件：VCC＝3.0V～3.6V、AVCC＝3.0V～3.6V、VSS＝AVSS＝0V

項　目	記号	min.	max.	単位	備考
外部クロック出力安定遅延時間	t_{DEXT}*	500	－	μs	図 19.6

【注】　*　t_{DEXT} は、$\overline{RES}$ パルス幅（t_{RESW}）を含みます。

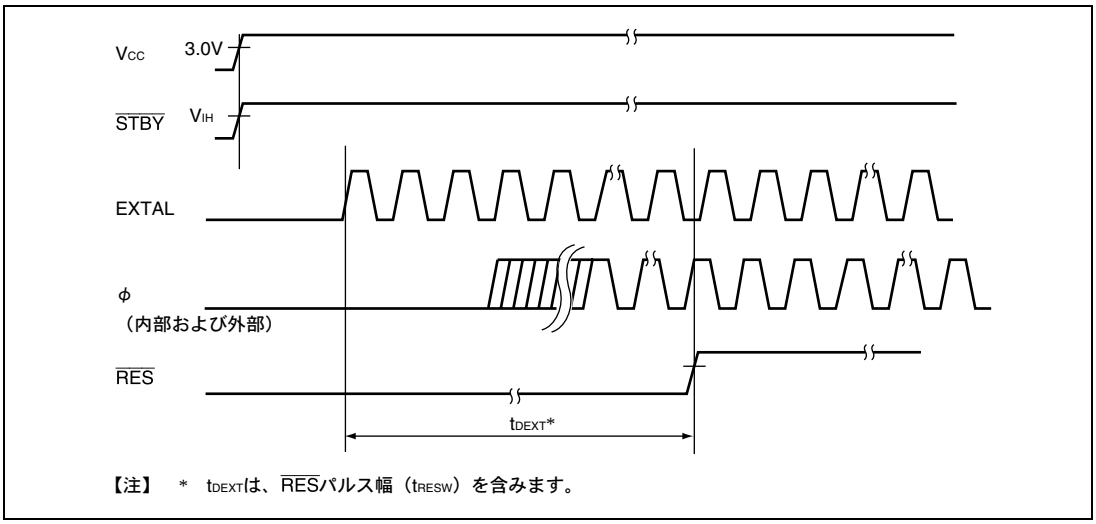


図 19.6　外部クロック出力安定遅延時間タイミング

19.2 デューティ補正回路

デューティ補正回路は発振器の出力するクロックのデューティを補正してシステムクロック（φ）を生成します。

19.3 中速クロック分周器

中速クロック分周器は、システムクロック（φ）を分周し、φ/2、φ/4、φ/8、φ/16、φ/32 を生成します。

19.4 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタに供給するクロックを SBYCR の SCK2～SCK0 ビットによりシステムクロック（φ）、または中速クロック（φ/2、φ/4、φ/8、φ/16、φ/32）から選択します。

19.5 サブクロック入力回路

EXCL 端子または ExEXCL 端子からのサブクロック入力を制御します。サブクロックを使用する場合は、EXCL 端子または ExEXCL 端子から 32.768kHz の外部クロックを入力してください。

EXCL 端子入力と ExEXCL 端子入力の関係を図 19.7 に示します。

サブクロック入力を使用する場合は、入力に使用する端子の DDR ビットを 0 にクリアし、入力端子状態にしてください。PTCNT0 の EXCLS ビットを 0 にクリアすることで EXCL 端子入力、1 にセットすることで ExEXCL 端子入力が選択されます。さらに、LPWRCR の EXCLE ビットを 1 にセットすることでサブクロック入力がイネーブルになります。

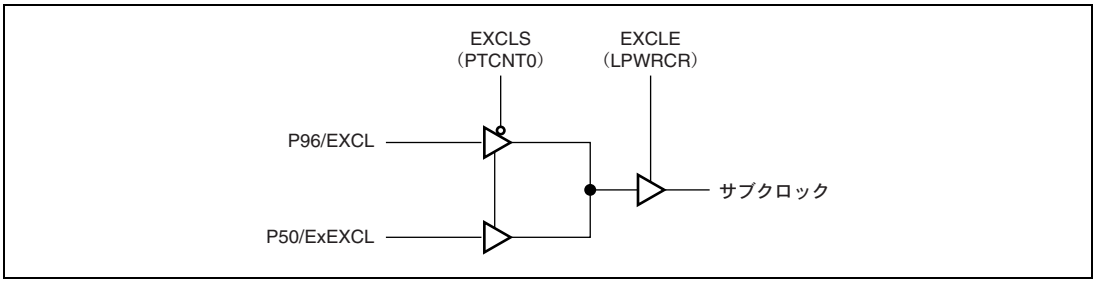


図 19.7 EXCL 端子、ExEXCL 端子からのサブクロック入力

サブクロックの入力条件を表 19.5 に示します。サブクロックを必要としない場合には、サブクロック入力をイネーブルにしないでください。

表 19.5 サブクロック入力条件

項　目	記号	VCC＝3.0～3.6V			単位	測定条件
		Min	typ	Max		
サブクロック入力パルス幅 Low レベル	t_{EXCLL}	－	15.26	－	μs	図 19.8
サブクロック入力パルス幅 High レベル	t_{EXCLH}	－	15.26	－	μs	
サブクロック入力立ち上がり時間	t_{EXCLr}	－	－	10	ns	
サブクロック入力立ち下がり時間	t_{EXCLf}	－	－	10	ns	

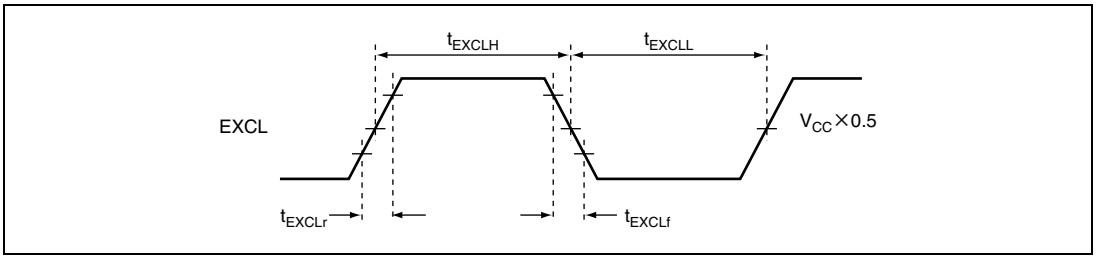


図 19.8 サブクロック入力タイミング

19.6 サブクロック波形成形回路

EXCL（ExEXCL）端子から入力されたサブクロックのノイズ除去のため、φクロックの分周クロックでサンプリングします。サンプリング周波数は、LPWRCR の NESEL ビットで設定します。

サブアクティブモード、サブスリープモード、およびウォッチモードではサンプリングされません。

19.7 クロック選択回路

LSI 内部で使用するシステムクロックを選択します。

高速モード、中速モード、スリープモード、リセット状態、スタンバイモードからの復帰時には XTAL、EXTAL 端子の発振器で生成されるクロックをシステムクロック（φ）として選択します。

サブアクティブモード、サブスリープモード、ウォッチモードでは、LPWRCR の EXCLE＝1 のときは、EXCL（ExEXCL）端子から入力されるサブクロックをシステムクロックとして選択します。このとき、CPU、TMR_0、TMR_1、WDT_0、WDT_1、ポート、割り込みコントローラなどのモジュールおよび機能はφSUB により動作し、各タイマのカウントクロックやサンプリングクロックもφSUB を分周したクロックとなります。

19.8　X1、X2 の端子処理

図 19.9 に示すように X1、X2 端子をオープンとしてください。

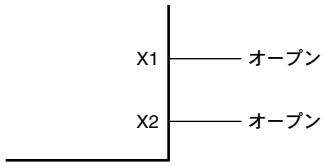


図 19.9　X1、X2 の端子処理

19.9　使用上の注意事項

19.9.1　発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本書で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

19.9.2　ボード設計上の注意事項

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。また、図 19.10 に示すように発振回路の近くには他の信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。

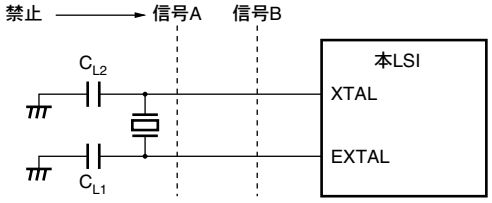


図 19.10　発振回路部のボード設計に関する注意事項

20. 低消費電力状態

リセット解除後の動作モードには、通常の高速モードでのプログラム実行状態のほかに消費電力を著しく低下させる 7 種類の低消費電力モードがあります。このほか、内蔵周辺モジュールを選択的に停止させて消費電力を低下させるモジュールストップモードがあります。

- 中速モード

  CPUを動作させるシステムクロックの周波数はφ／2、φ／4、φ／8、φ／16、φ／32の中から選択できます。
- サブアクティブモード

  CPUはサブクロックで動作します。内蔵周辺モジュールはTMR_0、TMR_1、WDT_0、WDT_1のみ動作します。
- スリープモード

  CPUは動作を停止します。内蔵周辺モジュールは動作します。
- サブスリープモード

  CPUは動作を停止します。内蔵周辺モジュールはTMR_0、TMR_1、WDT_0、WDT_1のみ動作します。
- ウォッチモード

  CPUは動作を停止します。内蔵周辺モジュールはWDT_1のみ動作します。
- ソフトウェアスタンバイモード

  クロック発振器が停止し、CPUおよび内蔵周辺モジュールは動作を停止します。
- ハードウェアスタンバイモード

  クロック発振器が停止し、CPUおよび内蔵周辺モジュールはリセット状態になります。
- モジュールストップモード

  上記動作モードとは独立に、使用しない内蔵周辺モジュールの動作をモジュール単位で停止させることができます。

20.1 レジスタの説明

低消費電力モードに関連するレジスタには以下のものがあります。なお、シリアルタイマコントロールレジスタについては「3.2.3 シリアルタイマコントロールレジスタ（STCR）」を参照してください。TSCR_1（WDT_1）の PSS ビットについては「13.3.2 タイマコントロール／ステータスレジスタ（TCSR）」の TCSR_1 を参照してください。

- スタンバイコントロールレジスタ（SBYCR）
- ローパワーコントロールレジスタ（LPWRCR）
- モジュールストップコントロールレジスタH（MSTPCRH）
- モジュールストップコントロールレジスタL（MSTPCRL）
- モジュールストップコントロールレジスタA（MSTPCRA）

20.1.1 スタンバイコントロールレジスタ（SBYCR）

SBYCR は低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説　明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を指定します。 高速モードまたは中速モードで SLEEP 命令を実行したとき 0：スリープモードに遷移 1：ソフトウェアスタンバイモード、サブアクティブモードまたはウォッチモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき 0：サブスリープモードに遷移 1：ウォッチモードまたは高速モードに遷移 割り込みなどによってモード間遷移をした場合でも SSBY ビットの内容は変わりません。
6 5 4	STS2 STS1 STS0	0 0 0	R/W R/W R/W	スタンバイタイマセレクト 2～0 ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモードを解除する際に、クロック発振器が発振を開始してからクロックが安定するまでの待機ステート数を設定します。動作周波数に応じて待機時間が 8ms（発振安定時間）以上となるように設定してください。設定値と待機ステート数の関係は表 20.1 のとおりです。 外部クロックを使用する場合は任意の選択が可能です。通常の場合は最小値を推奨します。

ビット	ビット名	初期値	R/W	説　　明
3	－	0	R/W	リザーブビット 初期値を変更しないでください
2 1 0	SCK2 SCK1 SCK0	0 0 0	R/W R/W R/W	システムクロックセレクト 2～0 高速モードおよび中速モードでのバスマスタのクロックを選択します。 なお、サブアクティブモード、ウォッチモードに遷移して動作させる場合には SCK2～SCK0 を B'000 にしてください。 000：高速モード 001：中速クロックはφ/2 010：中速クロックはφ/4 011：中速クロックはφ/8 100：中速クロックはφ/16 101：中速クロックはφ/32 11X：設定しないでください

【注】　X：Don't care

表 20.1　動作周波数と待機時間

STS2	STS1	STS0	待機時間	20MHz	10MHz	8MHz	6MHz	4MHz	単位
0	0	0	8192 ステート	0.4	0.8	1.0	1.3	2.0	ms
0	0	1	16384 ステート	0.8	1.6	2.0	2.7	4.1	
0	1	0	32768 ステート	1.6	3.3	4.1	5.5	8.2	
0	1	1	65536 ステート	3.3	6.6	8.2	10.9	16.4	
1	0	0	131072 ステート	6.6	13.1	16.4	21.8	32.8	
1	0	1	262144 ステート	13.1	26.2	32.8	43.6	65.6	
1	1	0	リザーブ	－	－	－	－	－	－
1	1	1	16 ステート*	0.8	1.6	2.0	2.7	4.0	μs

：推奨設定時間

【注】　*　本設定は使用しないでください。

20.1.2 ローパワーコントロールレジスタ（LPWRCR）

LPWRCR は低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説　明
7	DTON	0	R/W	ダイレクトトランスファオンフラグ SLEEP 命令実行後の遷移先を指定します。 高速モードまたは中速モードで SLEEP 命令を実行したとき 0：スリープモード、ソフトウェアスタンバイモードまたはウォッチモードに遷移 1：サブアクティブモードに直接遷移、またはスリープモード、ソフトウェアスタンバイモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき 0：サブスリープモードまたはウォッチモードに遷移 1：高速モードに直接遷移、またはサブスリープモードに遷移
6	LSON	0	R/W	ロースピードオンフラグ SLEEP 命令実行後の遷移先を指定します。また、ウォッチモードを解除時に、高速モードに遷移するかサブアクティブモードに遷移するかを制御します。 高速モードまたは中速モードで SLEEP 命令を実行したとき 0：スリープモード、ソフトウェアスタンバイモード、またはウォッチモードに遷移 1：ウォッチモード、またはサブアクティブモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき 0：ウォッチモードまたは高速モードに直接遷移 1：サブスリープモードまたはウォッチモードに遷移 ウォッチモードを解除したとき 0：高速モードに遷移 1：サブアクティブモードに遷移
5	NESEL	0	R/W	ノイズ除去サンプリング周波数選択 EXCL 端子または ExEXCL 端子から入力されたサブクロック（φSUB）を、システムクロック発振器で生成されたクロック（φ）により、サンプリングする周波数を選択します。φ＝5MHz 以上のときは 0 をセットしてください。 0：φの 32 分周クロックでサンプリング 1：φの 4 分周クロックでサンプリング
4	EXCLE	0	R/W	サブクロック入力イネーブル EXCL 端子または ExEXCL 端子からのサブクロック入力を制御します。 0：EXCL 端子または ExEXCL 端子からのサブクロック入力禁止 1：EXCL 端子または ExEXCL 端子からのサブクロック入力許可
3～0	－	すべて 0	R/W	リザーブビット 初期値を変更しないでください。

20.1.3 モジュールストップコントロールレジスタ H、L、A（MSTPCRH、MSTPCRL、MSTPCRA）

MSTPCR は内蔵周辺モジュールをモジュール単位でモジュールストップモードにします。各モジュールに対応したビットを 1 にセットするとそのモジュールはモジュールストップモードになります。

- MSTPCRH

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTP15	0	R/W	リザーブビット 初期値を変更しないでください。
6	MSTP14	0	R/W	リザーブビット 初期値を変更しないでください。
5	MSTP13	1	R/W	16 ビットフリーランニングタイマ（FRT）
4	MSTP12	1	R/W	8 ビットタイマ（TMR_0、TMR_1）
3	MSTP11	1	R/W	8 ビット PWM タイマ（PWM）、14 ビット PWM タイマ（PWMX）
2	MSTP10	1	R/W	リザーブビット 初期値を変更しないでください。
1	MSTP9	1	R/W	A/D 変換器
0	MSTP8	1	R/W	8 ビットタイマ（TMR_X、TMR_Y）

- MSTPCRL

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTP7	1	R/W	リザーブビット 初期値を変更しないでください。
6	MSTP6	1	R/W	シリアルコミュニケーションインタフェース 1（SCI_1）
5	MSTP5	1	R/W	シリアルコミュニケーションインタフェース 2（SCI_2）
4	MSTP4	1	R/W	I^2C バスインタフェース チャネル 0（IIC_0）
3	MSTP3	1	R/W	I^2C バスインタフェース チャネル 1（IIC_1）
2	MSTP2	1	R/W	KMIMR、KMIMRA、KMPCR
1	MSTP1	1	R/W	TPU
0	MSTP0	1	R/W	リザーブビット 初期値を変更しないでください。

- MSTPCRA

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTPA7	0	R/W	リザーブビット 初期値を変更しないでください。
6	MSTPA6	0	R/W	リザーブビット 初期値を変更しないでください。
5	MSTPA5	0	R/W	リザーブビット 初期値を変更しないでください。
4	MSTPA4	0	R/W	リザーブビット 初期値を変更しないでください。
3	MSTPA3	0	R/W	リザーブビット 初期値を変更しないでください。
2	MSTPA2	0	R/W	リザーブビット 初期値を変更しないでください。
1	MSTPA1	0	R/W	14 ビット PWM タイマ（PWMX）
0	MSTPA0	0	R/W	8 ビット PWM タイマ（PWM）

MSTPCRA はビットの組み合わせにより以下のとおり動作と停止を設定します。

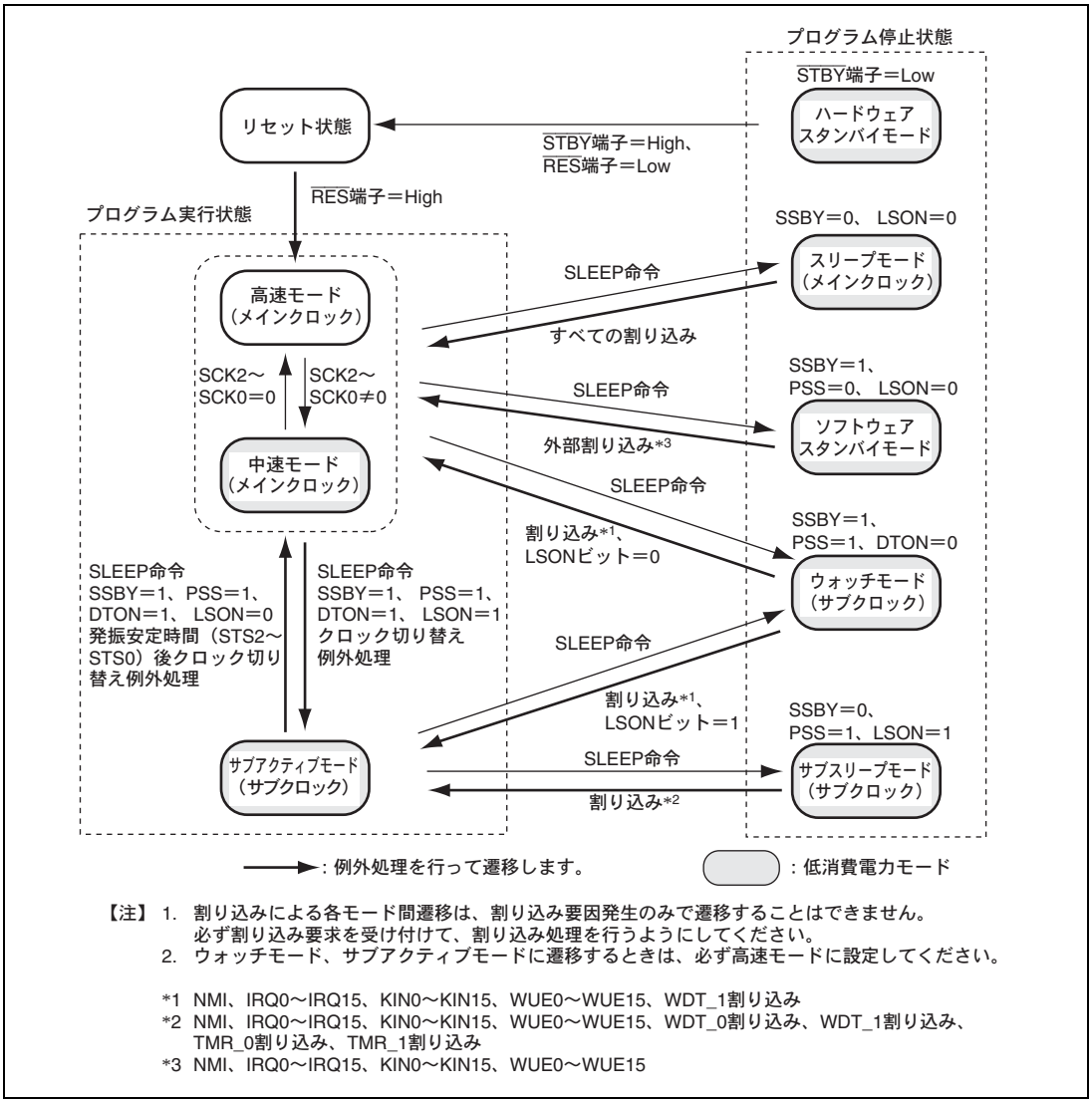
MSTPCRH MSTP11	MSTPCRA MSTPA1	機　　能
0	0	14 ビット PWM タイマ（PWMX）動作
0	1	14 ビット PWM タイマ（PWMX）停止
1	0	14 ビット PWM タイマ（PWMX）停止
1	1	14 ビット PWM タイマ（PWMX）停止

MSTPCRH MSTP11	MSTPCRA MSTPA0	機　　能
0	0	8 ビット PWM タイマ（PWM）動作
0	1	8 ビット PWM タイマ（PWM）停止
1	0	8 ビット PWM タイマ（PWM）停止
1	1	8 ビット PWM タイマ（PWM）停止

【注】　MSTPCRH の MSTP11 ビットは PWM、PWMX のモジュールストップビットです。

20.2　モード間遷移と LSI の状態

図 20.1 に可能なモード間遷移を示します。プログラム実行状態からプログラム停止状態へは SLEEP 命令の実行によって遷移します。プログラム停止状態からプログラム実行状態へは割り込みによって復帰します。$\overline{\text{STBY}}$ 入力によりすべてのモードからハードウェアスタンバイモードに遷移します。また、$\overline{\text{RES}}$ 入力によりハードウェアスタンバイモードを除くすべてのモードからリセット状態に遷移します。表 20.2 に各動作モードでの LSI の内部状態を示します。



【注】 1. 割り込みによる各モード間遷移は、割り込み要因発生のみで遷移することはできません。
必ず割り込み要求を受け付けて、割り込み処理を行うようにしてください。
2. ウォッチモード、サブアクティブモードに遷移するときは、必ず高速モードに設定してください。

*1 NMI、IRQ0～IRQ15、KIN0～KIN15、WUE0～WUE15、WDT_1割り込み
*2 NMI、IRQ0～IRQ15、KIN0～KIN15、WUE0～WUE15、WDT_0割り込み、WDT_1割り込み、TMR_0割り込み、TMR_1割り込み
*3 NMI、IRQ0～IRQ15、KIN0～KIN15、WUE0～WUE15

図 20.1　モード遷移図

表 20.2 各動作モードでの LSI の内部状態

<table>
<tr><th colspan="2">機 能</th><th>高速</th><th>中速</th><th>スリープ</th><th>モジュール
ストップ</th><th>ウォッチ</th><th>サブ
アクティブ</th><th>サブ
スリープ</th><th>ソフトウェア
スタンバイ</th><th>ハードウェア
スタンバイ</th></tr>
<tr><td colspan="2">システムクロック
発振器</td><td>動作</td><td>動作</td><td>動作</td><td>動作</td><td>停止</td><td>停止</td><td>停止</td><td>停止</td><td>停止</td></tr>
<tr><td colspan="2">サブクロック入力</td><td>動作</td><td>動作</td><td>動作</td><td>動作</td><td>動作</td><td>動作</td><td>動作</td><td>停止</td><td>停止</td></tr>
<tr><td rowspan="2">CPU 動作</td><td>命令実行</td><td rowspan="2">動作</td><td>中速
動作</td><td>停止</td><td rowspan="2">動作</td><td>停止</td><td rowspan="2">サブクロック
動作</td><td>停止</td><td>停止</td><td>停止</td></tr>
<tr><td>レジスタ</td><td>保持</td><td>保持</td><td>保持</td><td>保持</td><td>不定</td></tr>
<tr><td rowspan="4">外部
割り込み</td><td>NMI</td><td rowspan="4">動作</td><td rowspan="4">動作</td><td rowspan="4">動作</td><td rowspan="4">動作</td><td rowspan="4">動作</td><td rowspan="4">動作</td><td rowspan="4">動作</td><td rowspan="4">動作</td><td rowspan="4">停止</td></tr>
<tr><td>IRQ0～15</td></tr>
<tr><td>KIN0～15</td></tr>
<tr><td>WUE
0～15</td></tr>
<tr><td rowspan="14">周辺
モジュール</td><td>WDT_1</td><td rowspan="14">動作</td><td rowspan="9">動作</td><td rowspan="14">動作</td><td rowspan="3">動作</td><td>サブクロック
動作</td><td rowspan="3">サブクロック
動作</td><td rowspan="3">サブクロック
動作</td><td rowspan="11">停止
（保持）</td><td rowspan="14">停止
(リセット)</td></tr>
<tr><td>WDT_0</td><td rowspan="8">停止
（保持）</td></tr>
<tr><td>TMR_0、1</td><td rowspan="6">動作／停止
（保持）</td></tr>
<tr><td>FRT</td><td rowspan="5">停止
（保持）</td><td rowspan="5">停止
（保持）</td></tr>
<tr><td>TPU</td></tr>
<tr><td>TMR_X、Y</td></tr>
<tr><td>IIC_0</td></tr>
<tr><td>IIC_1</td></tr>
<tr><td>PWM</td><td rowspan="4">動作</td><td rowspan="4">動作／停止
(リセット)</td></tr>
<tr><td>PWMX</td></tr>
<tr><td>SCI_1</td><td rowspan="3">停止
(リセット)</td><td rowspan="3">停止
(リセット)</td><td rowspan="3">停止
(リセット)</td><td rowspan="3">停止
(リセット)</td></tr>
<tr><td>SCI_2</td></tr>
<tr><td>A/D 変換器</td></tr>
<tr><td>RAM</td><td>動作</td><td>動作</td><td>動作</td><td>動作</td><td>保持</td><td>動作</td><td>保持</td><td>保持</td><td>保持</td></tr>
<tr><td>I/O</td><td>動作</td><td>動作</td><td>動作</td><td>動作</td><td>保持</td><td>動作</td><td>動作</td><td>保持</td><td>ハイインピー
ダンス</td></tr>
</table>

【注】 停止（保持）は、内部レジスタ値保持、内部状態は動作停止。

停止（リセット）は、内部レジスタおよび内部状態を初期化。

モジュールストップモードは、対象モジュールのみ停止（リセットまたは保持）。

20.3 中速モード

SBYCR の SCK2～SCK0 ビットの設定により、そのバスサイクルの終了時点で中速モードになります。動作クロックはφ／2、φ／4、φ／8、φ／16、φ／32 から選択できます。バスマスタ以外の内蔵周辺機能はシステムクロック（φ）で動作します。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。例えば、動作クロックとしてφ／4 を選択した場合、内蔵メモリは 4 ステートアクセス、内部 I/O レジスタは 8 ステートアクセスになります。

中速モードは、SCK2～SCK0 ビットをいずれも 0 にクリアすると、そのバスサイクルの終了時点で高速モードに遷移します。

SBYCR の SSBY ビットが 0、LPWRCR の LSON ビットが 0 のとき SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。SSBY ビットが 1、LPWRCR の LSON ビットが 0、TCSR（WDT_1）の PSS ビットが 0 のとき SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されると、中速モードに復帰します。

$\overline{\text{RES}}$ 端子を Low レベルにすると中速モードは解除されリセット状態に遷移します。ウォッチドッグタイマのオーバフローによるリセットによっても同様です。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

図 20.2 に中速モードのタイミングを示します。

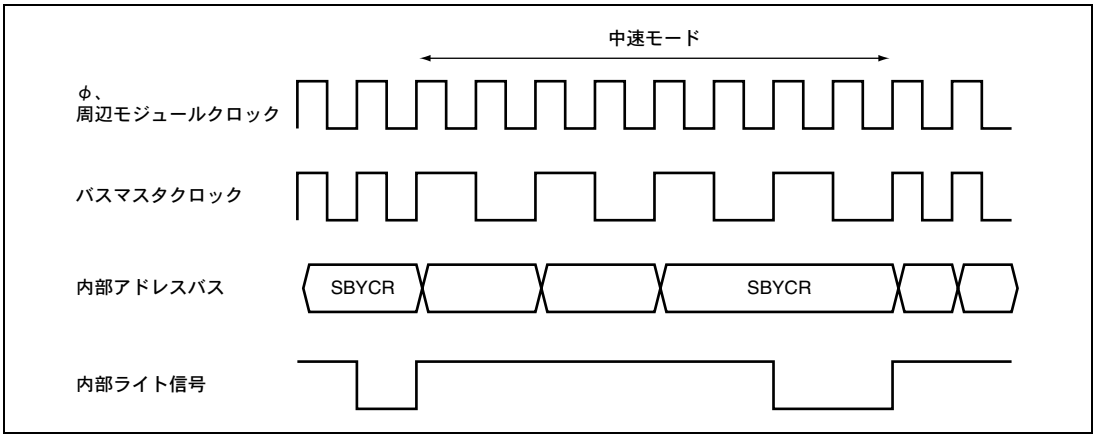


図 20.2 中速モードのタイミング

20.4 スリープモード

SBYCR の SSBY ビットが 0、LPWRCR の LSON ビットが 0 の状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードでは CPU の動作は停止しますが、内蔵周辺モジュールは動作します。CPU の内部レジスタの内容は保持されます。

スリープモードは、割り込み、$\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって解除されます。

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されているとき、または NMI 以外の割り込みが CPU でマスクされているとスリープモードは解除できません。

$\overline{\text{RES}}$ 端子を Low レベルにすると、スリープモードは解除されリセット状態になります。規定のリセット入力期間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

20.5 ソフトウェアスタンバイモード

SBYCR の SSBY ビットが 1、LPWRCR の LSON ビットが 0、TCSR（WDT_1）の PSS が 0 のとき SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、クロック発振器が停止し、CPU および内蔵周辺機能が停止します。ただし、規定の電圧が与えられているかぎり、CPU のレジスタと内蔵 RAM のデータおよび SCI、PWM、PWMX、A/D 変換器を除く内蔵周辺機能と I/O ポートの状態は保持されます。

ソフトウェアスタンバイモードは、外部割り込み（NMI、IRQ0～IRQ15、KIN0～KIN15、WUE0～WUE15）、$\overline{\text{RES}}$ 入力、または $\overline{\text{STBY}}$ 入力によって解除されます。

外部割り込み要求信号が入力されると、システムクロック発振器が発振を開始します。SBYCR の STS2～STS0 ビットによって設定された時間が経過するとソフトウェアスタンバイモードが解除され、割り込み例外処理を開始します。IRQ0～IRQ15 割り込みでソフトウェアスタンバイモードを解除するときには対応するイネーブルビットを 1 にセットし KIN0～KIN15、WUE0～WUE15 割り込みでソフトウェアスタンバイモードを解除するときには入力を許可し、かつ IRQ0～IRQ15 割り込みより高い優先順位の割り込みが発生しないようにしてください。なお、IRQ0～IRQ15 割り込みについては対応するイネーブルビットが 0 にクリアされている場合、KIN0～KIN15、WUE0～WUE15 割り込みについては入力が許可されていない場合、または割り込みが CPU でマスクされている場合には、ソフトウェアスタンバイモードは解除されません。

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。$\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ソフトウェアスタンバイモードは解除されハードウェアスタンバイモードに遷移します。

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている（立ち下がりエッジ指定）状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット（立ち上がりエッジ指定）、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

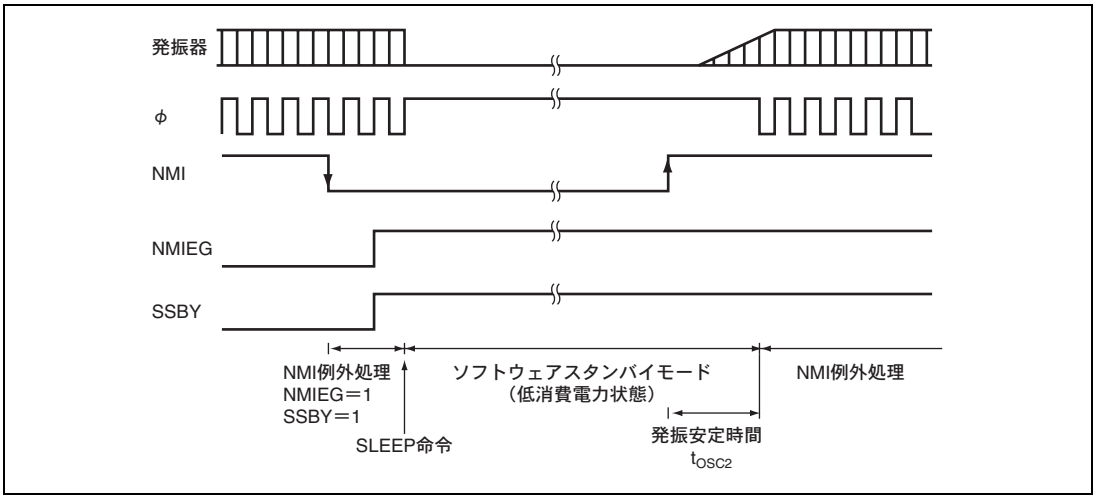


図 20.3　ソフトウェアスタンバイモードの応用例

20.6　ハードウェアスタンバイモード

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どのモードからでもハードウェアスタンバイモードに遷移します。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になります。規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、$\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。また、ハードウェアスタンバイモード中に、モード端子（MD2、MD1、MD0）の状態を変化させないでください。

ハードウェアスタンバイモードは、$\overline{\text{RES}}$ 入力と $\overline{\text{STBY}}$ 入力によって解除されます。

$\overline{\text{RES}}$ 端子を Low レベルの状態で、$\overline{\text{STBY}}$ 端子を High レベルにするとクロック発振器が発振を開始します。$\overline{\text{RES}}$ 端子は必ずシステムクロックの発振が安定するまで Low レベルを保持してください。発振安定時間経過後、$\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理を開始します。

図 20.4 にハードウェアスタンバイモードのタイミング例を示します。

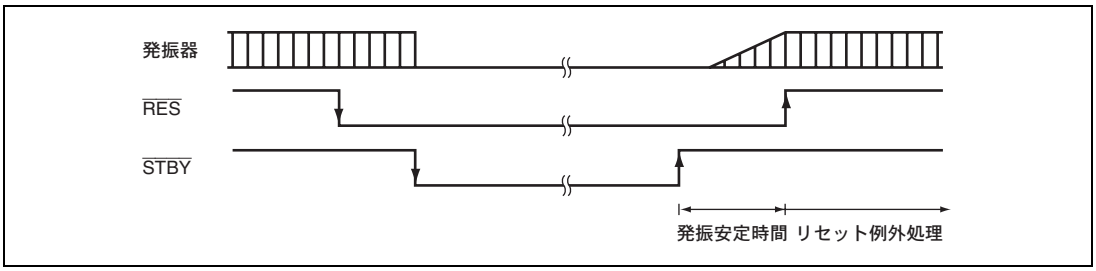


図 20.4　ハードウェアスタンバイモードのタイミング

20.7 ウォッチモード

高速モードあるいはサブアクティブモードにおいて、SBYCR の SSBY ビットが 1、LPWRCR の DTON ビットが 0、TCSR（WDT_1）の PSS ビットが 1 のとき SLEEP 命令を実行すると、CPU はウォッチモードに遷移します。

ウォッチモードでは、CPU および WDT_1 以外の周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

ウォッチモードは、割り込み（WOVI1、NMI、IRQ0～IRQ15、KIN0～KIN15、WUE0～WUE15）、$\overline{\text{RES}}$ 入力、または $\overline{\text{STBY}}$ 入力によって解除されます。

割り込みが発生するとウォッチモードは解除され、 LPWRCR の LSON ビットが 0 のときは高速モードあるいは中速モードに、LSON ビットが 1 のときはサブアクティブモードに遷移します。高速モードに遷移するときは、SBYCR の STS2～STS0 により設定された時間が経過した後、安定したクロックが LSI 全体に供給され、割り込み例外処理を開始します。なお、IRQ0～IRQ15 割り込みについては対応するイネーブルビットが 0 にクリアされている場合、KIN0～KIN15、WUE0～WUE15 割り込みについては入力が許可されていない場合、内蔵周辺機能による割り込みについては割り込み許可レジスタにより当該割り込みの受付が禁止されている場合、または CPU でマスクされている場合には、ウォッチモードは解除されません。

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。$\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

20.8 サブスリープモード

サブアクティブモードにおいて、SBYCR の SSBY ビットが 0、LPWRCR の LSON ビットが 1、TCSR（WDT_1）の PSS ビットが 1 の状態で SLEEP 命令を実行すると、CPU はサブスリープモードに遷移します。

サブスリープモード時、CPU は動作を停止します。また、TMR_0、TMR_1、WDT_0、WDT_1 以外の周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

サブスリープモードは、割り込み（内蔵周辺機能からの割り込み、NMI、IRQ0～IRQ15、KIN0～KIN15、WUE0～WUE15）、$\overline{\text{RES}}$ 入力、または $\overline{\text{STBY}}$ 入力によって解除されます。

割り込みが発生すると、サブスリープモードは解除され、割り込み例外処理を開始します。

なお、IRQ0～IRQ15 割り込みについては対応するイネーブルビットが 0 にクリアされている場合、KIN0～KIN15、WUE0～WUE15 割り込みについては入力が許可されていない場合、内蔵周辺機能からの割り込みについては割り込み許可レジスタにより当該割り込みの受付が禁止されている場合、または CPU でマスクされている場合には、サブスリープモードは解除されません。

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。$\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

20.9 サブアクティブモード

高速モードにおいて、SBYCR の SSBY ビットが 1、LPWRCR の DTON ビットが 1、LSON ビットが 1、TCSR（WDT_1）の PSS ビットが 1 の状態で SLEEP 命令を実行すると、CPU はサブアクティブモードに遷移します。また、ウォッチモードで割り込みが発生したとき、LPWRCR の LSON ビットが 1 の状態であれば、サブアクティブモードに直接遷移します。また、サブスリープモードで割り込みが発生したとき、サブアクティブモードに遷移します。

サブアクティブモード時、CPU はサブクロックにより、低速動作で順次プログラムを実行します。サブアクティブモードでは、TMR_0、TMR_1、WDT_0、WDT_1 以外の周辺機能は動作を停止します。

なお、サブアクティブモードで動作させる場合は、SBYCR の SCK2～SCK0 の各ビットを必ず 0 としてください。

サブアクティブモードは、SLEEP 命令、$\overline{\text{RES}}$ 入力、または $\overline{\text{STBY}}$ 入力によって解除されます。

SBYCR の SSBY ビットが 1、LPWRCR の DTON ビットが 0、TCSR（WDT_1）の PSS ビット 1 のとき SLEEP 命令を実行するとサブアクティブモードは解除され、ウォッチモードに遷移します。また、SBYCR の SSBY ビットが 0、LPWRCR の LSON ビットが 1、TCSR（WDT_1）の PSS ビットが 1 のとき SLEEP 命令を実行すると、サブスリープモードに遷移します。また、SBYCR の SSBY ビットが 1、LPWRCR の DTON ビットが 1、LSON ビットが 0、TCSR（WDT_1）の PSS ビットが 1 のとき SLEEP 命令を実行すると、高速モードに直接遷移します。

直接遷移の詳細は「20.11 **直接遷移**」を参照してください。

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。$\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

20.10 モジュールストップモード

モジュールストップモードは内蔵周辺モジュール単位で設定できます。

MSTPCR の各モジュールに対応した MSTP ビットを 1 にセットすると、そのモジュールはバスサイクルの終了時点でモジュールストップモードへ遷移します。0 にクリアするとモジュールストップモードは解除され、バスサイクルの終了時点で動作を再開します。モジュールストップモードでは、SCI、PWM、PWMX、A/D 変換器を除く周辺モジュールの内部状態は保持されています。

リセット解除後は、すべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード／ライトできません。

20.11 直接遷移

CPU がプログラムを実行している動作モードには高速モード、中速モード、サブアクティブモードの 3 つのモードがあります。高速モードとサブアクティブモードの間で、プログラムを停止することなく遷移することを直接遷移と呼びます。直接遷移は LPWRCR の DTON を 1 にセットし、SLEEP 命令を実行することにより可能です。遷移後は直接遷移例外処理を開始します。

高速モードで SBYCR の SSBY ビットが 1、LPWRCR の LSON ビットが 1、DTON ビットが 1、TSCR（WDT_1）の PSS ビットが 1 にセットした状態で SLEEP 命令を実行すると、サブアクティブモードに遷移します。

サブアクティブモードで SBYCR の SSBY ビットが 1、LPWRCR の LSON ビットが 0、DTON ビットが 1、TSCR（WDT_1）の PSS ビットが 1 のとき SLEEP 命令を実行すると、SBYCR の STS2～STS0 により設定された時間を経過した後、直接高速モードに遷移します。

20.12 使用上の注意事項

20.12.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、またはプルアップ MOS がオン状態では出力電流分の消費電流は低減されません。

20.12.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

21. レジスター覧

レジスター覧では、内蔵レジスタのアドレス、ビット構成、動作モード別の状態、選択条件およびモジュール別のアドレスに関する情報をまとめています。表記方法は下記のとおりです。

1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- アドレスは、16ビットの場合、MSB側のアドレスを記載しています。
- モジュール名称による分類をしています。
- アクセスサイズを表示しています。
- システムコントロールレジスタ3（SYSCR3）のRELOCATEビットにより、H8S/2140Bグループ互換のレジスタアドレスと拡張レジスタアドレスを選択できます。

  拡張レジスタアドレス選択時、IIC_1、TMR_Y、PWMX_0およびPORTの一部レジスタのアドレスが移動します。このため、これらと同じアドレスに割り当てられている他のモジュールレジスタとの選択は不用になります。

2. レジスタビット一覧

- **「21.1　レジスタアドレス一覧（アドレス順）」**の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「－」で表記しています。
- ビット番号が表示されているものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットのレジスタの場合、8ビットずつ2段で記載しています。

3. 各動作モードにおけるレジスタの状態

- **「21.1　レジスタアドレス一覧（アドレス順）」**の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

4. レジスタ選択条件

- **「21.1　レジスタアドレス一覧（アドレス順）」**の順序で、レジスタの選択条件を記載しています。
- レジスタの選択条件については**「3.2.2　システムコントロールレジスタ（SYSCR）」**、**「3.2.3　シリアルタイマコントロールレジスタ（STCR）」**、**「20.1.3　モジュールストップコントロールレジスタH、L、A（MSTPCRH、MSTPCRL、MSTPCRA）」**および各モジュールのレジスタ説明を参照してください。

5. 各モジュール別レジスタアドレス一覧

- 各モジュールごとにアドレスを記載しています。
- 複数のチャネルを持つモジュールは、チャネル順に記載しています。

21.1 レジスタアドレス一覧（アドレス順）

データバス幅は、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
タイマコントロールレジスタ_1	TCR_1	8	H'FD40	TPU_1	8	2
タイマモードレジスタ_1	TMDR_1	8	H'FD41	TPU_1	8	2
タイマ I/O コントロールレジスタ_1	TIOR_1	8	H'FD42	TPU_1	8	2
タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FD44	TPU_1	8	2
タイマステータスレジスタ_1	TSR_1	8	H'FD45	TPU_1	8	2
タイマカウンタ_1	TCNT_1	16	H'FD46	TPU_1	16	2
タイマジェネラルレジスタ A_1	TGRA_1	16	H'FD48	TPU_1	16	2
タイマジェネラルレジスタ B_1	TGRB_1	16	H'FD4A	TPU_1	16	2
ポート 6 ノイズキャンセライネーブルレジスタ	P6NCE	8	H'FE00	PORT	8	2
ポート 6 ノイズキャンセラ判定制御レジスタ	P6NCMC	8	H'FE01	PORT	8	2
ポート 6 ノイズキャンセル周期設定レジスタ	P6NCCS	8	H'FE02	PORT	8	2
ポート C ノイズキャンセライネーブルレジスタ	PCNCE	8	H'FE03	PORT	8	2
ポート C ノイズキャンセラ判定制御レジスタ	PCNCMC	8	H'FE04	PORT	8	2
ポート C ノイズキャンセル周期設定レジスタ	PCNCCS	8	H'FE05	PORT	8	2
ポート G ノイズキャンセライネーブルレジスタ	PGNCE	8	H'FE06	PORT	8	2
ポート G ノイズキャンセラ判定制御レジスタ	PGNCMC	8	H'FE07	PORT	8	2
ポート G ノイズキャンセル周期設定レジスタ	PGNCCS	8	H'FE08	PORT	8	2
ポートコントロールレジスタ 0	PTCNT0	8	H'FE10	PORT	8	2
ポートコントロールレジスタ 1	PTCNT1	8	H'FE11	PORT	8	2
ポートコントロールレジスタ 2	PTCNT2	8	H'FE12	PORT	8	2
ポート 9 プルアップ MOS コントロールレジスタ	P9PCR	8	H'FE14	PORT	8	2
ポート G Nch-OD コントロールレジスタ	PGNOCR	8	H'FE16	PORT	8	2
ポート F Nch-OD コントロールレジスタ	PFNOCR	8	H'FE19	PORT	8	2
ポート C Nch-OD コントロールレジスタ	PCNOCR	8	H'FE1C	PORT	8	2
ポート D Nch-OD コントロールレジスタ	PDNOCR	8	H'FE1D	PORT	8	2
ウェイクアップイベント割り込みマスクレジスタ B	WUEMRB	8	H'FE44	INT	8	2
ウェイクアップイベント割り込みマスクレジスタ	WUEMR	8	H'FE45	INT	8	2
ポート G 出力データレジスタ	PGODR	8	H'FE46	PORT	8	2
ポート G 入力データレジスタ	PGPIN	8	H'FE47 (リード時)	PORT	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
ポート G データディレクションレジスタ	PGDDR	8	H'FE47 (ライト時)	PORT	8	2
ポートE プルアップMOS コントロールレジスタ	PEPCR	8	H'FE48	PORT	8	2
ポート F 出力データレジスタ	PFODR	8	H'FE49	PORT	8	2
ポート E 入力データレジスタ	PEPIN	8	H'FE4A (リード時) (ライト禁止)	PORT	8	2
ポート F 入力データレジスタ	PFPIN	8	H'FE4B (リード時)	PORT	8	2
ポート F データディレクションレジスタ	PFDDR	8	H'FE4B (ライト時)	PORT	8	2
ポート C 出力データレジスタ	PCODR	8	H'FE4C	PORT	8	2
ポート D 出力データレジスタ	PDODR	8	H'FE4D	PORT	8	2
ポート C 入力データレジスタ	PCPIN	8	H'FE4E (リード時)	PORT	8	2
ポート C データディレクションレジスタ	PCDDR	8	H'FE4E (ライト時)	PORT	8	2
ポート D 入力データレジスタ	PDPIN	8	H'FE4F (リード時)	PORT	8	2
ポート D データディレクションレジスタ	PDDDR	8	H'FE4F (ライト時)	PORT	8	2
タイマコントロールレジスタ_0	TCR_0	8	H'FE50	TPU_0	8	2
タイマモードレジスタ_0	TMDR_0	8	H'FE51	TPU_0	8	2
タイマ I/O コントロールレジスタ H_0	TIORH_0	8	H'FE52	TPU_0	8	2
タイマ I/O コントロールレジスタ L_0	TIORL_0	8	H'FE53	TPU_0	8	2
タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FE54	TPU_0	8	2
タイマステータスレジスタ_0	TSR_0	8	H'FE55	TPU_0	8	2
タイマカウンタ_0	TCNT_0	16	H'FE56	TPU_0	16	2
タイマジェネラルレジスタ A_0	TGRA_0	16	H'FE58	TPU_0	16	2
タイマジェネラルレジスタ B_0	TGRB_0	16	H'FE5A	TPU_0	16	2
タイマジェネラルレジスタ C_0	TGRC_0	16	H'FE5C	TPU_0	16	2
タイマジェネラルレジスタ D_0	TGRD_0	16	H'FE5E	TPU_0	16	2
タイマコントロールレジスタ_2	TCR_2	8	H'FE70	TPU_2	8	2
タイマモードレジスタ_2	TMDR_2	8	H'FE71	TPU_2	8	2
タイマ I/O コントロールレジスタ_2	TIOR_2	8	H'FE72	TPU_2	8	2
タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FE74	TPU_2	8	2
タイマステータスレジスタ_2	TSR_2	8	H'FE75	TPU_2	8	2
タイマカウンタ_2	TCNT_2	16	H'FE76	TPU_2	16	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
タイマジェネラルレジスタ A_2	TGRA_2	16	H'FE78	TPU_2	16	2
タイマジェネラルレジスタ B_2	TGRB_2	16	H'FE7A	TPU_2	16	2
システムコントロールレジスタ 3	SYSCR3	8	H'FE7D	SYSTEM	8	2
モジュールストップコントロールレジスタ A	MSTPCRA	8	H'FE7E	SYSTEM	8	2
キーボードマトリクス割り込みレジスタ	KMIMR	8	H'FE81 （RELOCATE＝1 時）	INT	8	2
プルアップ MOS コントロールレジスタ	KMPCR	8	H'FE82 （RELOCATE＝1 時）	PORT	8	2
キーボードマトリクス割り込みレジスタ A	KMIMRA	8	H'FE83 （RELOCATE＝1 時）	INT	8	2
インタラプトコントロールレジスタ D	ICRD	8	H'FE87	INT	8	2
PWMX(D/A)コントロールレジスタ	DACR	8	H'FEA0 （RELOCATE＝1 時）	PWMX	8	2
PWMX(D/A)データレジスタ AH	DADRAH	8	H'FEA0 （RELOCATE＝1 時）	PWMX	8	2
PWMX(D/A)データレジスタ AL	DADRAL	8	H'FEA1 （RELOCATE＝1 時）	PWMX	8	2
PWMX(D/A)データレジスタ BH	DADRBH	8	H'FEA6 （RELOCATE＝1 時）	PWMX	8	2
PWMX(D/A)カウンタ H	DACNTH	8	H'FEA6 （RELOCATE＝1 時）	PWMX	8	2
PWMX(D/A)データレジスタ BL	DADRBL	8	H'FEA7 （RELOCATE＝1 時）	PWMX	8	2
PWMX(D/A)カウンタ L	DACNTL	8	H'FEA7 （RELOCATE＝1 時）	PWMX	8	2
フラッシュコードコントロールステータスレジスタ	FCCS	8	H'FEA8	ROM	8	2
フラッシュプログラムコードセレクトレジスタ	FPCS	8	H'FEA9	ROM	8	2
フラッシュイレースコードセレクトレジスタ	FECS	8	H'FEAA	ROM	8	2
フラッシュキーコードレジスタ	FKEY	8	H'FEAC	ROM	8	2
フラッシュマットセレクトレジスタ	FMATS	8	H'FEAD	ROM	8	2
フラッシュトランスファディスティネーションアドレスレジスタ	FTDAR	8	H'FEAE	ROM	8	2
タイマスタートレジスタ	TSTR	8	H'FEB0	TPU	8	2
タイマシンクロレジスタ	TSYR	8	H'FEB1	TPU	8	2
タイマ XY コントロールレジスタ	TCRXY	8	H'FEC6	TMR_XY	8	2
タイマコントロールレジスタ_Y	TCR_Y	8	H'FEC8 （RELOCATE＝1 時）	TMR_Y	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
タイマコントロール/ステータスレジスタ_Y	TCSR_Y	8	H'FEC9 （RELOCATE＝1 時）	TMR_Y	8	2
タイムコンスタントレジスタ A_Y	TCORA_Y	8	H'FECA （RELOCATE＝1 時）	TMR_Y	8	2
タイムコンスタントレジスタ B_Y	TCORB_Y	8	H'FECB （RELOCATE＝1 時）	TMR_Y	8	2
タイマインプットセレクトレジスタ	TISR	8	H'FECD （RELOCATE＝1 時）	TMR_Y	8	2
I^2C バスデータレジスタ_1	ICDR_1	8	H'FECE （RELOCATE＝1 時）	IIC_1	8	2
第 2 スレーブアドレスレジスタ_1	SARX_1	8	H'FECE （RELOCATE＝1 時）	IIC_1	8	2
I^2C バスモードレジスタ_1	ICMR_1	8	H'FECF （RELOCATE＝1 時）	IIC_1	8	2
スレーブアドレスレジスタ_1	SAR_1	8	H'FECF （RELOCATE＝1 時）	IIC_1	8	2
I^2C バスコントロールレジスタ_1	ICCR_1	8	H'FED0 （RELOCATE＝1 時）	IIC_1	8	2
I^2C バスステータスレジスタ_1	ICSR_1	8	H'FED1 （RELOCATE＝1 時）	IIC_1	8	2
I^2C バスコントロール拡張レジスタ_0	ICXR_0	8	H'FED4	IIC_0	8	2
I^2C バスコントロール拡張レジスタ_1	ICXR_1	8	H'FED5	IIC_1	8	2
キーボードコンパレータコントロールレジスタ	KBCOMP	8	H'FEE4	IrDA	8	2
DDC スイッチレジスタ	DDCSWR	8	H'FEE6	IIC_0、IIC_1	8	2
インタラプトコントロールレジスタ A	ICRA	8	H'FEE8	INT	8	2
インタラプトコントロールレジスタ B	ICRB	8	H'FEE9	INT	8	2
インタラプトコントロールレジスタ C	ICRC	8	H'FEEA	INT	8	2
IRQ ステータスレジスタ	ISR	8	H'FEEB	INT	8	2
IRQ センスコントロールレジスタ H	ISCRH	8	H'FEEC	INT	8	2
IRQ センスコントロールレジスタ L	ISCRL	8	H'FEED	INT	8	2
IRQ イネーブルレジスタ 16	IER16	8	H'FEF8	INT	8	2
IRQ ステータスレジスタ 16	ISR16	8	H'FEF9	INT	8	2
IRQ センスコントロールレジスタ 16H	ISCR16H	8	H'FEFA	INT	8	2
IRQ センスコントロールレジスタ 16L	ISCR16L	8	H'FEFB	INT	8	2
IRQ センスポートセレクトレジスタ 16	ISSR16	8	H'FEFC	INT	8	2
IRQ センスポートセレクトレジスタ	ISSR	8	H'FEFD	INT	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
周辺クロックセレクトレジスタ	PCSR	8	H'FF82	PWM、PWMX	8	2
システムコントロールレジスタ 2	SYSCR2	8	H'FF83	PORT	8	2
スタンドバイコントロールレジスタ	SBYCR	8	H'FF84	SYSTEM	8	2
ローパワーコントロールレジスタ	LPWRCR	8	H'FF85	SYSTEM	8	2
モジュールストップコントロールレジスタ H	MSTPCRH	8	H'FF86	SYSTEM	8	2
モジュールストップコントロールレジスタ L	MSTPCRL	8	H'FF87	SYSTEM	8	2
シリアルモードレジスタ_1	SMR_1	8	H'FF88	SCI_1	8	2
I^2C バスコントロールレジスタ_1	ICCR_1	8	H'FF88（RELOCATE＝0 時）	IIC_1	8	2
ビットレートレジスタ_1	BRR_1	8	H'FF89	SCI_1	8	2
I^2C バスステータスレジスタ_1	ICSR_1	8	H'FF89（RELOCATE＝0 時）	IIC_1	8	2
シリアルコントロールレジスタ_1	SCR_1	8	H'FF8A	SCI_1	8	2
トランスミットデータレジスタ_1	TDR_1	8	H'FF8B	SCI_1	8	2
シリアルステータスレジスタ_1	SSR_1	8	H'FF8C	SCI_1	8	2
レシーブデータレジスタ_1	RDR_1	8	H'FF8D	SCI_1	8	2
スマートカードモードレジスタ_1	SCMR_1	8	H'FF8E	SCI_1	8	2
I^2C バスデータレジスタ_1	ICDR_1	8	H'FF8E（RELOCATE＝0 時）	IIC_1	8	2
第 2 スレーブアドレスレジスタ_1	SARX_1	8	H'FF8E（RELOCATE＝0 時）	IIC_1	8	2
I^2C バスモードレジスタ_1	ICMR_1	8	H'FF8F（RELOCATE＝0 時）	IIC_1	8	2
スレーブアドレスレジスタ_1	SAR_1	8	H'FF8F（RELOCATE＝0 時）	IIC_1	8	2
タイマインタラプトイネーブルレジスタ	TIER	8	H'FF90	FRT	8	2
タイマコントロール/ステータスレジスタ	TCSR	8	H'FF91	FRT	8	2
フリーランニングカウンタ	FRC	16	H'FF92	FRT	16	2
アウトプットコントロールレジスタ A	OCRA	16	H'FF94	FRT	16	2
アウトプットコントロールレジスタ B	OCRB	16	H'FF94	FRT	16	2
タイマコントロールレジスタ	TCR	8	H'FF96	FRT	8	2
タイマアウトプットコンペアコントロールレジスタ	TOCR	8	H'FF97	FRT	8	2
インプットキャプチャレジスタ A	ICRA	16	H'FF98	FRT	16	2
アウトプットコントロールレジスタ AR	OCRAR	16	H'FF98	FRT	16	2
インプットキャプチャレジスタ B	ICRB	16	H'FF9A	FRT	16	2
アウトプットコントロールレジスタ AF	OCRAF	16	H'FF9A	FRT	16	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
インプットキャプチャレジスタ C	ICRC	16	H'FF9C	FRT	16	2
アウトプットコンペアレジスタ DM	OCRDM	16	H'FF9C	FRT	16	2
インプットキャプチャレジスタ D	ICRD	16	H'FF9E	FRT	16	2
シリアルモードレジスタ_2	SMR_2	8	H'FFA0	SCI_2	8	2
PWMX(D/A)コントロールレジスタ	DACR	8	H'FFA0 （RELOCATE＝0 時）	PWMX	8	2
PWMX(D/A)データレジスタ AH	DADRAH	8	H'FFA0 （RELOCATE＝0 時）	PWMX	8	2
PWMX(D/A)データレジスタ AL	DADRAL	8	H'FFA1 （RELOCATE＝0 時）	PWMX	8	2
ビットレートレジスタ_2	BRR_2	8	H'FFA1	SCI_2	8	2
シリアルコントロールレジスタ_2	SCR_2	8	H'FFA2	SCI_2	8	2
トランスミットデータレジスタ_2	TDR_2	8	H'FFA3	SCI_2	8	2
シリアルステータスレジスタ_2	SSR_2	8	H'FFA4	SCI_2	8	2
レシーブデータレジスタ_2	RDR_2	8	H'FFA5	SCI_2	8	2
スマートカードモードレジスタ_2	SCMR_2	8	H'FFA6	SCI_2	8	2
PWMX(D/A)カウンタ H	DACNTH	8	H'FFA6 （RELOCATE＝0 時）	PWMX	8	2
PWMX(D/A)データレジスタ BH	DADRBH	8	H'FFA6 （RELOCATE＝0 時）	PWMX	8	2
PWMX(D/A)カウンタ L	DACNTL	8	H'FFA7 （RELOCATE＝0 時）	PWMX	8	2
PWMX(D/A)データレジスタ BL	DADRBL	8	H'FFA7 （RELOCATE＝0 時）	PWMX	8	2
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FFA8 (ライト時)	WDT_0	16	2
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FFA8 (リード時)	WDT_0	8	2
タイマカウンタ_0	TCNT_0	8	H'FFA8 (ライト時)	WDT_0	16	2
タイマカウンタ_0	TCNT_0	8	H'FFA9 (リード時)	WDT_0	8	2
ポート A 出力データレジスタ	PAODR	8	H'FFAA	PORT	8	2
ポート A 入力データレジスタ	PAPIN	8	H'FFAB	PORT	8	2
ポート A データディレクションレジスタ	PADDR	8	H'FFAB	PORT	8	2
ポート 1 プルアップ MOS コントロールレジスタ	P1PCR	8	H'FFAC	PORT	8	2
ポート 2 プルアップ MOS コントロールレジスタ	P2PCR	8	H'FFAD	PORT	8	2
ポート 3 プルアップ MOS コントロールレジスタ	P3PCR	8	H'FFAE	PORT	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
ポート 1 データディレクションレジスタ	P1DDR	8	H'FFB0	PORT	8	2
ポート 2 データディレクションレジスタ	P2DDR	8	H'FFB1	PORT	8	2
ポート 1 データレジスタ	P1DR	8	H'FFB2	PORT	8	2
ポート 2 データレジスタ	P2DR	8	H'FFB3	PORT	8	2
ポート 3 データディレクションレジスタ	P3DDR	8	H'FFB4	PORT	8	2
ポート 4 データディレクションレジスタ	P4DDR	8	H'FFB5	PORT	8	2
ポート 3 データレジスタ	P3DR	8	H'FFB6	PORT	8	2
ポート 4 データレジスタ	P4DR	8	H'FFB7	PORT	8	2
ポート 5 データディレクションレジスタ	P5DDR	8	H'FFB8	PORT	8	2
ポート 6 データディレクションレジスタ	P6DDR	8	H'FFB9	PORT	8	2
ポート 5 データレジスタ	P5DR	8	H'FFBA	PORT	8	2
ポート 6 データレジスタ	P6DR	8	H'FFBB	PORT	8	2
ポート B 出力データレジスタ	PBODR	8	H'FFBC	PORT	8	2
ポート 8 データディレクションレジスタ	P8DDR	8	H'FFBD	PORT	8	2
ポート B 入力データレジスタ	PBPIN	8	H'FFBD	PORT	8	2
ポート 7 入力データレジスタ	P7PIN	8	H'FFBE	PORT	8	2
ポート B データディレクションレジスタ	PBDDR	8	H'FFBE	PORT	8	2
ポート 8 データレジスタ	P8DR	8	H'FFBF	PORT	8	2
ポート 9 データディレクションレジスタ	P9DDR	8	H'FFC0	PORT	8	2
ポート 9 データレジスタ	P9DR	8	H'FFC1	PORT	8	2
インタラプトイネーブルレジスタ	IER	8	H'FFC2	INT	8	2
シリアルタイマコントロールレジスタ	STCR	8	H'FFC3	SYSTEM	8	2
システムコントロールレジスタ	SYSCR	8	H'FFC4	SYSTEM	8	2
モードコントロールレジスタ	MDCR	8	H'FFC5	SYSTEM	8	2
バスコントロールレジスタ	BCR	8	H'FFC6	BSC	8	2
ウェイトステートコントロールレジスタ	WSCR	8	H'FFC7	BSC	8	2
タイマコントロールレジスタ_0	TCR_0	8	H'FFC8	TMR_0	8	2
タイマコントロールレジスタ_1	TCR_1	8	H'FFC9	TMR_1	8	2
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FFCA	TMR_0	8	2
タイマコントロール/ステータスレジスタ_1	TCSR_1	8	H'FFCB	TMR_1	16	2
タイムコンスタントレジスタ A_0	TCORA_0	8	H'FFCC	TMR_0	16	2
タイムコンスタントレジスタ A_1	TCORA_1	8	H'FFCD	TMR_1	16	2
タイムコンスタントレジスタ B_0	TCORB_0	8	H'FFCE	TMR_0	16	2
タイムコンスタントレジスタ B_1	TCORB_1	8	H'FFCF	TMR_1	16	2
タイマカウンタ_0	TCNT_0	8	H'FFD0	TMR_0	16	2
タイマカウンタ_1	TCNT_1	8	H'FFD1	TMR_1	16	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
PWM アウトプットイネーブルレジスタ B	PWOERB	8	H'FFD2	PWM	8	2
PWM データポラリティレジスタ B	PWDPRB	8	H'FFD4	PWM	8	2
PWM レジスタセレクト	PWSL	8	H'FFD6	PWM	8	2
PWM データレジスタ 15～8	PWDR 15～8	8	H'FFD7	PWM	8	2
I^2C バスコントロールレジスタ_0	ICCR_0	8	H'FFD8	IIC_0	8	2
I^2C バスステータスレジスタ_0	ICSR_0	8	H'FFD9	IIC_0	8	2
I^2C バスデータレジスタ_0	ICDR_0	8	H'FFDE	IIC_0	8	2
第 2 スレーブアドレスレジスタ_0	SARX_0	8	H'FFDE	IIC_0	8	2
I^2C バスモードレジスタ_0	ICMR_0	8	H'FFDF	IIC_0	8	2
スレーブアドレスレジスタ_0	SAR_0	8	H'FFDF	IIC_0	8	2
A/D データレジスタ AH	ADDRAH	8	H'FFE0	A/D 変換器	8	2
A/D データレジスタ AL	ADDRAL	8	H'FFE1	A/D 変換器	8	2
A/D データレジスタ BH	ADDRBH	8	H'FFE2	A/D 変換器	8	2
A/D データレジスタ BL	ADDRBL	8	H'FFE3	A/D 変換器	8	2
A/D データレジスタ CH	ADDRCH	8	H'FFE4	A/D 変換器	8	2
A/D データレジスタ CL	ADDRCL	8	H'FFE5	A/D 変換器	8	2
A/D データレジスタ DH	ADDRDH	8	H'FFE6	A/D 変換器	8	2
A/D データレジスタ DL	ADDRDL	8	H'FFE7	A/D 変換器	8	2
A/D コントロール/ステータスレジスタ	ADCSR	8	H'FFE8	A/D 変換器	8	2
A/D コントロールレジスタ	ADCR	8	H'FFE9	A/D 変換器	8	2
タイマコントロール/ステータスレジスタ	TCSR_1	8	H'FFEA (ライト時)	WDT_1	16	2
タイマコントロール/ステータスレジスタ	TCSR_1	8	H'FFEA (リード時)	WDT_1	8	2
タイマカウンタ_1	TCNT_1	8	H'FFEA (ライト時)	WDT_1	16	2
タイマカウンタ_1	TCNT_1	8	H'FFEB (リード時)	WDT_1	8	2
タイマコントロールレジスタ_X	TCR_X	8	H'FFF0	TMR_X	8	2
タイマコントロールレジスタ_Y	TCR_Y	8	H'FFF0 （RELOCATE＝0 時）	TMR_Y	8	2
キーボードマトリクス割り込みレジスタ	KMIMR	8	H'FFF1 （RELOCATE＝0 時）	INT	8	2
タイマコントロール/ステータスレジスタ_X	TCSR_X	8	H'FFF1	TMR_X	8	2
タイマコントロール/ステータスレジスタ_Y	TCSR_Y	8	H'FFF1 （RELOCATE＝0 時）	TMR_Y	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
プルアップ MOS コントロールレジスタ	KMPCR	8	H'FFF2 （RELOCATE＝0 時）	PORT	8	2
インプットキャプチャレジスタ R	TICRR	8	H'FFF2	TMR_X	8	2
タイムコンスタントレジスタ A_Y	TCORA_Y	8	H'FFF2 （RELOCATE＝0 時）	TMR_Y	8	2
インプットキャプチャレジスタ F	TICRF	8	H'FFF3	TMR_X	8	2
タイムコンスタントレジスタ B_Y	TCORB_Y	8	H'FFF3 （RELOCATE＝0 時）	TMR_Y	8	2
キーボードマトリクス割り込みレジスタ A	KMIMRA	8	H'FFF3 （RELOCATE＝0 時）	INT	8	2
タイマカウンタ_X	TCNT_X	8	H'FFF4	TMR_X	8	2
タイマカウンタ_Y	TCNT_Y	8	H'FFF4 （RELOCATE＝0 時）	TMR_Y	8	2
タイムコンスタントレジスタ C	TCORC	8	H'FFF5	TMR_X	8	2
タイマインプットセレクトレジスタ	TISR	8	H'FFF5 （RELOCATE＝0 時）	TMR_Y	8	2
タイムコンスタントレジスタ A_X	TCORA_X	8	H'FFF6	TMR_X	8	2
タイムコンスタントレジスタ B_X	TCORB_X	8	H'FFF7	TMR_X	8	2
タイマコネクションレジスタ I	TCONRI	8	H'FFFC	TMR_X	8	2
タイマコネクションレジスタ S	TCONRS	8	H'FFFE	TMR_X、 TMR_Y	8	2

21.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16 ビットレジスタは、8 ビットずつ 2 段で表しています。

レジスタ略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
TCR_1	–	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_1
TMDR_1	–	–	–	–	MD3	MD2	MD1	MD0	
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_1	TTGE	–	TCIEU	TCIEV	–	–	TGIEB	TGIEA	
TSR_1	TCFD	–	TCFU	TCFV	–	–	TGFB	TGFA	
TCNT_1	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TGRA_1	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TGRB_1	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
P6NCE	P67NCE	P66NCE	P65NCE	P64NCE	P63NCE	P62NCE	P61NCE	P60NCE	PORT
P6NCMC	P67NCMC	P66NCMC	P65NCMC	P64NCMC	P63NCMC	P62NCMC	P61NCMC	P60NCMC	
P6NCCS	–	–	–	–	–	P6NCCK2	P6NCCK1	P6NCCK0	
PCNCE	PC7NCE	PC6NCE	PC5NCE	PC4NCE	PC3NCE	PC2NCE	PC1NCE	PC0NCE	
PCNCMC	PC7NCMC	PC6NCMC	PC5NCMC	PC4NCMC	PC3NCMC	PC2NCMC	PC1NCMC	PC0NCMC	
PCNCCS	–	–	–	–	–	PCNCCK2	PCNCCK1	PCNCCK0	
PGNCE	PG7NCE	PG6NCE	PG5NCE	PG4NCE	PG3NCE	PG2NCE	PG1NCE	PG0NCE	
PGNCMC	PG7NCMC	PG6NCMC	PG5NCMC	PG4NCMC	PG3NCMC	PG2NCMC	PG1NCMC	PG0NCMC	
PGNCCS	–	–	–	–	–	PGNCCK2	PGNCCK1	PGNCCK0	
PTCNT0	TMCI0S	TMCI1S	TMIXS	TMIYS	TMOXS	PWMAS	PWMBS	EXCLS	
PTCNT1	SCL0AS	SCL1AS	SCL0BS	SCL1BS	SDA0AS	SDA1AS	SDA0BS	SDA1BS	
PTCNT2	–	SCK1S	SCD1S	–	–	–	–	–	
P9PCR	–	–	P95PCR	P94PCR	P93PCR	P92PCR	P91PCR	P90PCR	
PGNOCR	PG7NOCR	PG6NOCR	PG5NOCR	PG4NOCR	PG3NOCR	PG2NOCR	PG1NOCR	PG0NOCR	
PFNOCR	PF7NOCR	PF6NOCR	PF5NOCR	PF4NOCR	PF3NOCR	PF2NOCR	PF1NOCR	PF0NOCR	
PCNOCR	PC7NOCR	PC6NOCR	PC5NOCR	PC4NOCR	PC3NOCR	PC2NOCR	PC1NOCR	PC0NOCR	
PDNOCR	PD7NOCR	PD6NOCR	PD5NOCR	PD4NOCR	PD3NOCR	PD2NOCR	PD1NOCR	PD0NOCR	
WUEMRB	WUEMR7	WUEMR6	WUEMR5	WUEMR4	WUEMR3	WUEMR2	WUEMR1	WUEMR0	INT
WUEMR	WUEMR15	WUEMR14	WUEMR13	WUEMR12	WUEMR11	WUEMR10	WUEMR9	WUEMR8	

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PGODR	PG7ODR	PG6ODR	PG5ODR	PG4ODR	PG3ODR	PG2ODR	PG1ODR	PG0ODR	PORT
PGPIN	PG7PIN	PG6PIN	PG5PIN	PG4PIN	PG3PIN	PG2PIN	PG1PIN	PG0PIN	
PGDDR	PG7DDR	PG6DDR	PG5DDR	PG4DDR	PG3DDR	PG2DDR	PG1DDR	PG0DDR	
PEPCR	–	–	–	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR	
PFODR	PF7ODR	PF6ODR	PF5ODR	PF4ODR	PF3ODR	PF2ODR	PF1ODR	PF0ODR	
PEPIN	–	–	–	PE4PIN	PE3PIN	PE2PIN	PE1PIN	PE0PIN	
PFPIN	PF7PIN	PF6PIN	PF5PIN	PF4PIN	PF3PIN	PF2PIN	PF1PIN	PF0PIN	
PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR	
PCODR	PC7ODR	PC6ODR	PC5ODR	PC4ODR	PC3ODR	PC2ODR	PC1ODR	PC0ODR	
PDODR	PD7ODR	PD6ODR	PD5ODR	PD4ODR	PD3ODR	PD2ODR	PD1ODR	–	
PCPIN	PC7PIN	PC6PIN	PC5PIN	PC4PIN	PC3PIN	PC2PIN	PC1PIN	PC0PIN	
PCDDR	PC7DDR	PC6DDR	PC5DDR	PC4DDR	PC3DDR	PC2DDR	PC1DDR	–	
PDPIN	PD7PIN	PD6PIN	PD5PIN	PD4PIN	PD3PIN	PD2PIN	PD1PIN	PD0PIN	
PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR	
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_0
TMDR_0	–	–	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_0	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_0	TTGE	–	–	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_0	–	–	–	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_0	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TGRA_0	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TGRB_0	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TGRC_0	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TGRD_0	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCR_2	–	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_2
TMDR_2	–	–	–	–	MD3	MD2	MD1	MD0	
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_2	TTGE	–	TCIEU	TCIEV	–	–	TGIEB	TGIEA	
TSR_2	TCFD	–	TCFU	TCFV	–	–	TGFB	TGFA	

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TCNT_2	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	TPU_2
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TGRA_2	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TGRB_2	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SYSCR3	–	EIVS	RELOCATE	–	–	–	–	–	SYSTEM
MSTPCRA	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0	
KMIMR	KMIMR7	KMIMR6	KMIMR5	KMIMR4	KMIMR3	KMIMR2	KMIMR1	KMIMR0	INT
KMPCR	KM7PCR	KM6PCR	KM5PCR	KM4PCR	KM3PCR	KM2PCR	KM1PCR	KM0PCR	PORT
KMIMRA	KMIMR15	KMIMR14	KMIMR13	KMIMR12	KMIMR11	KMIMR10	KMIMR9	KMIMR8	INT
ICRD	ICRD7	ICRD6	ICRD5	ICRD4	ICRD3	ICRD2	ICRD1	ICRD0	
DACR	–	PWME	–	–	OEB	OEA	OS	CKS	PWMX
DADRA	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	
	DA5	DA4	DA3	DA2	DA1	DA0	CFS	–	
DADRB	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	
	DA5	DA4	DA3	DA2	DA1	DA0	CFS	REGS	
DACNT	DACNT7	DACNT6	DACNT5	DACNT4	DACNT3	DACNT2	DACNT1	DACNT0	
	DACNT8	DACNT9	DACNT10	DACNT11	DACNT12	DACNT13	–	REGS	
FCCS	FWE	–	–	FLER	–	–	–	SCO	ROM
FPCS	–	–	–	–	–	–	–	PPVS	
FECS	–	–	–	–	–	–	–	EPVB	
FKEY	K7	K6	K5	K4	K3	K2	K1	K0	
FMATS	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0	
FTDAR	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0	
TSTR	–	–	–	–	–	CST2	CST1	CST0	TPU
TSYR	–	–	–	–	–	SYNC2	SYNC1	SYNC0	
TCRXY	–	–	CKSX	CKSY	–	–	–	–	TMR_XY
TCR_Y	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_Y
TCSR_Y	CMFB	CMFA	OVF	ICIE	OS3	OS2	OS1	OS0	
TCORA_Y	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCORB_Y	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCNT_Y	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TISR	–	–	–	–	–	–	–	IS	

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
ICDR_1	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	IIC_1
SARX_1	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX	
ICMR_1	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0	
SAR_1	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
ICCR_1	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	
ICSR_1	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	
ICXR_0	STOPIM	HNDS	ICDRF	ICDRE	ALIE	ALSL	FNC1	FNC0	IIC_0
ICXR_1	STOPIM	HNDS	ICDRF	ICDRE	ALIE	ALSL	FNC1	FNC0	IIC_1
KBCOMP	IrE	IrCKS2	IrCKS1	IrCKS0	IrTxINV	IrRxINV	–	–	IrDA
DDCSWR	–	–	–	–	CLR3	CLR2	CLR1	CLR0	IIC_0、IIC_1
ICRA	ICRA7	ICRA6	ICRA5	ICRA4	ICRA3	ICRA2	ICRA1	ICRA0	INT
ICRB	ICRB7	ICRB6	ICRB5	ICRB4	ICRB3	ICRB2	ICRB1	ICRB0	
ICRC	ICRC7	ICRC6	ICRC5	ICRC4	ICRC3	ICRC2	ICRC1	ICRC0	
ISR	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
ISCRH	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	
ISCRL	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA	
IER16	IRQ15E	IRQ14E	IRQ13E	IRQ12E	IRQ11E	IRQ10E	IRQ9E	IRQ8E	
ISR16	IRQ15F	IRQ14F	IRQ13F	IRQ12F	IRQ11F	IRQ10F	IRQ9F	IRQ8F	
ISCR16H	IRQ15SCB	IRQ15SCA	IRQ14SCB	IRQ14SCA	IRQ13SCB	IRQ13SCA	IRQ12SCB	IRQ12SCA	
ISCR16L	IRQ11SCB	IRQ11SCA	IRQ10SCB	IRQ10SCA	IRQ9SCB	IRQ9SCA	IRQ8SCB	IRQ8SCA	
ISSR16	ISS15	ISS14	ISS13	ISS12	ISS11	ISS10	ISS9	ISS8	
ISSR	ISS7	–	ISS5	ISS4	ISS3	ISS2	ISS1	ISS0	
PCSR	–	–	PWCKXB	PWCKXA	–	PWCKB	PWCKA	PWCKXC	PWM、PWMX
SYSCR2	KWUL1	KWUL0	P6PUE	–	–	–	–	–	PORT
SBYCR	SSBY	STS2	STS1	STS0	–	SCK2	SCK1	SCK0	SYSTEM
LPWRCR	DTON	LSON	NESEL	EXCLE	–	–	–	–	
MSTPCRH	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	
MSTPCRL	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0	
SMR_1*	C/$\overline{A}$ (GM)	CHR (BLK)	PE (PE)	O/$\overline{E}$ (O/$\overline{E}$)	STOP (BCP1)	MP (BCP0)	CKS1 (CKS1)	CKS0 (CKS0)	SCI_1
BRR_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SCR_1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SSR_1*	TDRE (TDRE)	RDRF (RDRF)	ORER (ORER)	FER (ERS)	PER (PER)	TEND (TEND)	MPB (MPB)	MPBT (MPBT)	
RDR_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SCMR_1	–	–	–	–	SDIR	SINV	–	SMIF	

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TIER	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	−	FRT
TCSR	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA	
FRC	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
OCRA/	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
OCRB	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCR	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0	
TOCR	ICRDMS	OCRAMS	ICRS	OCRS	OEA	OEB	OLVLA	OLVLB	
ICRA/	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
OCRAR	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ICRB/	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
OCRAF	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ICRC/	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
OCRDM	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
ICRD	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8	
	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SMR_2*	C/$\overline{A}$ (GM)	CHR (BLK)	PE (PE)	O/$\overline{E}$ (O/$\overline{E}$)	STOP (BCP1)	MP (BCP0)	CKS1 (CKS1)	CKS0 (CKS0)	SCI_2
BRR_2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SCR_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SSR_2*	TDRE (TDRE)	RDRF (RDRF)	ORER (ORER)	FER (ERS)	PER (PER)	TEND (TEND)	MPB (MPB)	MPBT (MPBT)	
RDR_2	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
SCMR_2	−	−	−	−	SDIR	SINV	−	SMIF	
TCSR_0	OVF	WT/$\overline{IT}$	TME	−	RST/$\overline{NMI}$	CKS2	CKS1	CKS0	WDT_0
TCNT_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PAODR	PA7ODR	PA6ODR	PA5ODR	PA4ODR	PA3ODR	PA2ODR	PA1ODR	PA0ODR	PORT
PAPIN	PA7PIN	PA6PIN	PA5PIN	PA4PIN	PA3PIN	PA2PIN	PA1PIN	PA0PIN	
PADDR	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR	
P1PCR	P17PCR	P16PCR	P15PCR	P14PCR	P13PCR	P12PCR	P11PCR	P10PCR	
P2PCR	P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR	
P3PCR	P37PCR	P36PCR	P35PCR	P34PCR	P33PCR	P32PCR	P31PCR	P30PCR	
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	
P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR	
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	
P2DR	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR	

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
P3DDR	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	PORT
P4DDR	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR	
P3DR	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR	
P4DR	P47DR	P46DR	P45DR	P44DR	P43DR	P42DR	P41DR	P40DR	
P5DDR	−	−	−	−	−	P52DDR	P51DDR	P50DDR	
P6DDR	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR	
P5DR	−	−	−	−	−	P52DR	P51DR	P50DR	
P6DR	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR	
PBODR	PB7ODR	PB6ODR	PB5ODR	PB4ODR	PB3ODR	PB2ODR	PB1ODR	PB0ODR	
PBPIN	PB7PIN	PB6PIN	PB5PIN	PB4PIN	PB3PIN	PB2PIN	PB1PIN	PB0PIN	
P8DDR	−	P86DDR	P85DDR	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR	
P7PIN	P77PIN	P76PIN	P75PIN	P74PIN	P73PIN	P72PIN	P71PIN	P70PIN	
PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR	
P8DR	−	P86DR	P85DR	P84DR	P83DR	P82DR	P81DR	P80DR	
P9DDR	P97DDR	P96DDR	P95DDR	P94DDR	P93DDR	P92DDR	P91DDR	P90DDR	
P9DR	P97DR	P96DR	P95DR	P94DR	P93DR	P92DR	P91DR	P90DR	
IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	INT
STCR	IICS	IICX1	IICX0	IICE	FLSHE	−	ICKS1	ICKS0	SYSTEM
SYSCR	−	−	INTM1	INTM0	XRST	NMIEG	KINWUE	RAME	
MDCR	EXPE	−	−	−	−	MDS2	MDS1	MDS0	
BCR	−	ICIS0	BRSTRM	BRSTS1	BRSTS0	−	IOS1	IOS0	BSC
WSCR	−	−	ABW	AST	WMS1	WMS0	WC1	WC0	
TCR_0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_0、
TCR_1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_1
TCSR_0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	
TCSR_1	CMFB	CMFA	OVF	−	OS3	OS2	OS1	OS0	
TCORA_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCORA_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCORB_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCORB_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCNT_0	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCNT_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
PWOERB	OE15	OE14	OE13	OE12	OE11	OE10	OE9	OE8	PWM
PWDPRB	OS15	OS14	OS13	OS12	OS11	OS10	OS9	OS8	
PWSL	PWCKE	PWCKS	−	−	RS3	RS2	RS1	RS0	
PWDR15～8	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	

レジスタ略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
ICCR_0	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC_0
ICSR_0	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	
ICDR_0	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	
SARX_0	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX	
ICMR_0	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0	
SAR_0	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D 変換器
ADDRAL	AD1	AD0	–	–	–	–	–	–	
ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRBL	AD1	AD0	–	–	–	–	–	–	
ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRCL	AD1	AD0	–	–	–	–	–	–	
ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRDL	AD1	AD0	–	–	–	–	–	–	
ADCSR	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	
ADCR	TRGS1	TRGS0	–	–	–	–	–	–	
TCSR_1	OVF	WT/$\overline{\text{IT}}$	TME	PSS	RST/$\overline{\text{NMI}}$	CKS2	CKS1	CKS0	WDT_1
TCNT_1	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCR_X	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_X
TCSR_X	CMFB	CMFA	OVF	ICF	OS3	OS2	OS1	OS0	
TICRR	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TICRF	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCNT_X	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCORC	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCORA_X	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCORB_X	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
TCONRI	–	–	–	ICST	–	–	–	–	
TCONRS	TMRX/Y	–	–	–	–	–	–	–	TMR_X, TMR_Y

【注】 * 通常モードとスマートカードインタフェースモードで一部ビット名が異なります。

( ) : スマートカードインタフェースモード時のビット名

21.3 各動作モードにおけるレジスタの状態

レジスタ略称	リセット	高速／中速	ウォッチ	スリープ	サブアクティブ	サブスリープ	モジュールストップ	ソフトウェアスタンバイ	ハードウェアスタンバイ	モジュール
TCR_1	初期化	–	–	–	–	–	–	–	初期化	TPU_1
TMDR_1	初期化	–	–	–	–	–	–	–	初期化	
TIOR_1	初期化	–	–	–	–	–	–	–	初期化	
TIER_1	初期化	–	–	–	–	–	–	–	初期化	
TSR_1	初期化	–	–	–	–	–	–	–	初期化	
TCNT_1	初期化	–	–	–	–	–	–	–	初期化	
TGRA_1	初期化	–	–	–	–	–	–	–	初期化	
TGRB_1	初期化	–	–	–	–	–	–	–	初期化	
P6NCE	初期化	–	–	–	–	–	–	–	初期化	PORT
P6NCMC	初期化	–	–	–	–	–	–	–	初期化	
P6NCCS	初期化	–	–	–	–	–	–	–	初期化	
PCNCE	初期化	–	–	–	–	–	–	–	初期化	
PCNCMC	初期化	–	–	–	–	–	–	–	初期化	
PCNCCS	初期化	–	–	–	–	–	–	–	初期化	
PGNCE	初期化	–	–	–	–	–	–	–	初期化	
PGNCMC	初期化	–	–	–	–	–	–	–	初期化	
PGNCCS	初期化	–	–	–	–	–	–	–	初期化	
PTCNT0	初期化	–	–	–	–	–	–	–	初期化	
PTCNT1	初期化	–	–	–	–	–	–	–	初期化	
PTCNT2	初期化	–	–	–	–	–	–	–	初期化	
P9PCR	初期化	–	–	–	–	–	–	–	初期化	
PGNOCR	初期化	–	–	–	–	–	–	–	初期化	
PFNOCR	初期化	–	–	–	–	–	–	–	初期化	
PCNOCR	初期化	–	–	–	–	–	–	–	初期化	
PDNOCR	初期化	–	–	–	–	–	–	–	初期化	
WUEMRB	初期化	–	–	–	–	–	–	–	初期化	INT
WUEMR	初期化	–	–	–	–	–	–	–	初期化	
PGODR	初期化	–	–	–	–	–	–	–	初期化	PORT
PGPIN	—	–	–	–	–	–	–	–	—	
PGDDR	初期化	–	–	–	–	–	–	–	初期化	
PEPCR	初期化	–	–	–	–	–	–	–	初期化	
PFODR	初期化	–	–	–	–	–	–	–	初期化	
PEPIN	—	–	–	–	–	–	–	–	—	
PFPIN	—	–	–	–	–	–	–	–	—	
PFDDR	初期化	–	–	–	–	–	–	–	初期化	

レジスタ略称	リセット	高速／中速	ウォッチ	スリープ	サブアクティブ	サブスリープ	モジュールストップ	ソフトウェアスタンバイ	ハードウェアスタンバイ	モジュール
PCODR	初期化	–	–	–	–	–	–	–	初期化	PORT
PDODR	初期化	–	–	–	–	–	–	–	初期化	
PCPIN	–	–	–	–	–	–	–	–	–	
PCDDR	初期化	–	–	–	–	–	–	–	初期化	
PDPIN	–	–	–	–	–	–	–	–	–	
PDDDR	初期化	–	–	–	–	–	–	–	初期化	
TCR_0	初期化	–	–	–	–	–	–	–	初期化	TPU_0
TMDR_0	初期化	–	–	–	–	–	–	–	初期化	
TIORH_0	初期化	–	–	–	–	–	–	–	初期化	
TIORL_0	初期化	–	–	–	–	–	–	–	初期化	
TIER_0	初期化	–	–	–	–	–	–	–	初期化	
TSR_0	初期化	–	–	–	–	–	–	–	初期化	
TCNT_0	初期化	–	–	–	–	–	–	–	初期化	
TGRA_0	初期化	–	–	–	–	–	–	–	初期化	
TGRB_0	初期化	–	–	–	–	–	–	–	初期化	
TGRC_0	初期化	–	–	–	–	–	–	–	初期化	
TGRD_0	初期化	–	–	–	–	–	–	–	初期化	
TCR_2	初期化	–	–	–	–	–	–	–	初期化	TPU_2
TMDR_2	初期化	–	–	–	–	–	–	–	初期化	
TIOR_2	初期化	–	–	–	–	–	–	–	初期化	
TIER_2	初期化	–	–	–	–	–	–	–	初期化	
TSR_2	初期化	–	–	–	–	–	–	–	初期化	
TCNT_2	初期化	–	–	–	–	–	–	–	初期化	
TGRA_2	初期化	–	–	–	–	–	–	–	初期化	
TGRB_2	初期化	–	–	–	–	–	–	–	初期化	
SYSCR3	初期化	–	–	–	–	–	–	–	初期化	SYSTEM
MSTPCRA	初期化	–	–	–	–	–	–	–	初期化	
KMIMR	初期化	–	–	–	–	–	–	–	初期化	INT
KMPCR	初期化	–	–	–	–	–	–	–	初期化	PORT
KMIMRA	初期化	–	–	–	–	–	–	–	初期化	INT
ICRD	初期化	–	–	–	–	–	–	–	初期化	
DACR	初期化	–	初期化	–	初期化	初期化	初期化	初期化	初期化	PWMX
DADRA	初期化	–	初期化	–	初期化	初期化	初期化	初期化	初期化	
DADRB	初期化	–	初期化	–	初期化	初期化	初期化	初期化	初期化	
DACNT	初期化	–	初期化	–	初期化	初期化	初期化	初期化	初期化	
FCCS	初期化	–	–	–	–	–	–	–	初期化	ROM
FPCS	初期化	–	–	–	–	–	–	–	初期化	
FECS	初期化	–	–	–	–	–	–	–	初期化	

レジスタ略称	リセット	高速／中速	ウォッチ	スリープ	サブアクティブ	サブスリープ	モジュールストップ	ソフトウェアスタンバイ	ハードウェアスタンバイ	モジュール
FKEY	初期化	–	–	–	–	–	–	–	初期化	ROM
FMATS	初期化	–	–	–	–	–	–	–	初期化	
FTDAR	初期化	–	–	–	–	–	–	–	初期化	
TSTR	初期化	–	–	–	–	–	–	–	初期化	TPU
TSYR	初期化	–	–	–	–	–	–	–	初期化	
TCRXY	初期化	–	–	–	–	–	–	–	初期化	TMR_XY
TCR_Y	初期化	–	–	–	–	–	–	–	初期化	TMR_Y
TCSR_Y	初期化	–	–	–	–	–	–	–	初期化	
TCORA_Y	初期化	–	–	–	–	–	–	–	初期化	
TCORB_Y	初期化	–	–	–	–	–	–	–	初期化	
TCNT_Y	初期化	–	–	–	–	–	–	–	初期化	
TISR	初期化	–	–	–	–	–	–	–	初期化	
ICDR_1	—	–	–	–	–	–	–	–	—	IIC_1
SARX_1	初期化	–	–	–	–	–	–	–	初期化	
ICMR_1	初期化	–	–	–	–	–	–	–	初期化	
SAR_1	初期化	–	–	–	–	–	–	–	初期化	
ICCR_1	初期化	–	–	–	–	–	–	–	初期化	
ICSR_1	初期化	–	–	–	–	–	–	–	初期化	
ICXR_0	初期化	–	–	–	–	–	–	–	初期化	IIC_0
ICXR_1	初期化	–	–	–	–	–	–	–	初期化	IIC_1
KBCOMP	初期化	–	–	–	–	–	–	–	初期化	IrDA
DDCSWR	初期化	–	–	–	–	–	–	–	初期化	IIC_0、IIC_1
ICRA	初期化	–	–	–	–	–	–	–	初期化	INT
ICRB	初期化	–	–	–	–	–	–	–	初期化	
ICRC	初期化	–	–	–	–	–	–	–	初期化	
ISR	初期化	–	–	–	–	–	–	–	初期化	
ISCRH	初期化	–	–	–	–	–	–	–	初期化	
ISCRL	初期化	–	–	–	–	–	–	–	初期化	
IER16	初期化	–	–	–	–	–	–	–	初期化	
ISR16	初期化	–	–	–	–	–	–	–	初期化	
ISCR16H	初期化	–	–	–	–	–	–	–	初期化	
ISCR16L	初期化	–	–	–	–	–	–	–	初期化	
ISSR16	初期化	–	–	–	–	–	–	–	初期化	
ISSR	初期化	–	–	–	–	–	–	–	初期化	
PCSR	初期化	–	–	–	–	–	–	–	初期化	PWM、PWMX
SYSCR2	初期化	–	–	–	–	–	–	–	初期化	PORT

レジスタ略称	リセット	高速／中速	ウォッチ	スリープ	サブアクティブ	サブスリープ	モジュールストップ	ソフトウェアスタンバイ	ハードウェアスタンバイ	モジュール
SBYCR	初期化	–	–	–	–	–	–	–	初期化	SYSTEM
LPWRCR	初期化	–	–	–	–	–	–	–	初期化	
MSTPCRH	初期化	–	–	–	–	–	–	–	初期化	
MSTPCRL	初期化	–	–	–	–	–	–	–	初期化	
SMR_1	初期化	–	–	–	–	–	–	–	初期化	SCI_1
BRR_1	初期化	–	–	–	–	–	–	–	初期化	
SCR_1	初期化	–	–	–	–	–	–	–	初期化	
TDR_1	初期化	–	初期化	–	初期化	初期化	初期化	初期化	初期化	
SSR_1	初期化	–	初期化	–	初期化	初期化	初期化	初期化	初期化	
RDR_1	初期化	–	初期化	–	初期化	初期化	初期化	初期化	初期化	
SCMR_1	初期化	–	–	–	–	–	–	–	初期化	
TIER	初期化	–	–	–	–	–	–	–	初期化	FRT
TCSR	初期化	–	–	–	–	–	–	–	初期化	
FRC	初期化	–	–	–	–	–	–	–	初期化	
OCRA/	初期化	–	–	–	–	–	–	–	初期化	
OCRB	初期化	–	–	–	–	–	–	–	初期化	
TCR	初期化	–	–	–	–	–	–	–	初期化	
TOCR	初期化	–	–	–	–	–	–	–	初期化	
ICRA/	初期化	–	–	–	–	–	–	–	初期化	
OCRAR	初期化	–	–	–	–	–	–	–	初期化	
ICRB/	初期化	–	–	–	–	–	–	–	初期化	
OCRAF	初期化	–	–	–	–	–	–	–	初期化	
ICRC/	初期化	–	–	–	–	–	–	–	初期化	
OCRDM	初期化	–	–	–	–	–	–	–	初期化	
ICRD	初期化	–	–	–	–	–	–	–	初期化	
SMR_2	初期化	–	–	–	–	–	–	–	初期化	SCI_2
BRR_2	初期化	–	–	–	–	–	–	–	初期化	
SCR_2	初期化	–	–	–	–	–	–	–	初期化	
TDR_2	初期化	–	初期化	–	初期化	初期化	初期化	初期化	初期化	
SSR_2	初期化	–	初期化	–	初期化	初期化	初期化	初期化	初期化	
RDR_2	初期化	–	初期化	–	初期化	初期化	初期化	初期化	初期化	
SCMR_2	初期化	–	–	–	–	–	–	–	初期化	
TCSR_0	初期化	–	–	–	–	–	–	–	初期化	WDT_0
TCNT_0	初期化	–	–	–	–	–	–	–	初期化	
PAODR	初期化	–	–	–	–	–	–	–	初期化	PORT
PAPIN	—	–	–	–	–	–	–	–	—	
PADDR	初期化	–	–	–	–	–	–	–	初期化	
P1PCR	初期化	–	–	–	–	–	–	–	初期化	

レジスタ略称	リセット	高速／中速	ウォッチ	スリープ	サブアクティブ	サブスリープ	モジュールストップ	ソフトウェアスタンバイ	ハードウェアスタンバイ	モジュール
P2PCR	初期化	–	–	–	–	–	–	–	初期化	PORT
P3PCR	初期化	–	–	–	–	–	–	–	初期化	
P1DDR	初期化	–	–	–	–	–	–	–	初期化	
P2DDR	初期化	–	–	–	–	–	–	–	初期化	
P1DR	初期化	–	–	–	–	–	–	–	初期化	
P2DR	初期化	–	–	–	–	–	–	–	初期化	
P3DDR	初期化	–	–	–	–	–	–	–	初期化	
P4DDR	初期化	–	–	–	–	–	–	–	初期化	
P3DR	初期化	–	–	–	–	–	–	–	初期化	
P4DR	初期化	–	–	–	–	–	–	–	初期化	
P5DDR	初期化	–	–	–	–	–	–	–	初期化	
P6DDR	初期化	–	–	–	–	–	–	–	初期化	
P5DR	初期化	–	–	–	–	–	–	–	初期化	
P6DR	初期化	–	–	–	–	–	–	–	初期化	
PBODR	初期化	–	–	–	–	–	–	–	初期化	
PBPIN	–	–	–	–	–	–	–	–	–	
P8DDR	初期化	–	–	–	–	–	–	–	初期化	
P7PIN	–	–	–	–	–	–	–	–	–	
PBDDR	初期化	–	–	–	–	–	–	–	初期化	
P8DR	初期化	–	–	–	–	–	–	–	初期化	
P9DDR	初期化	–	–	–	–	–	–	–	初期化	
P9DR	初期化	–	–	–	–	–	–	–	初期化	
IER	初期化	–	–	–	–	–	–	–	初期化	INT
STCR	初期化	–	–	–	–	–	–	–	初期化	SYSTEM
SYSCR	初期化	–	–	–	–	–	–	–	初期化	
MDCR	初期化	–	–	–	–	–	–	–	初期化	
BCR	初期化	–	–	–	–	–	–	–	初期化	BSC
WSCR	初期化	–	–	–	–	–	–	–	初期化	
TCR_0	初期化	–	–	–	–	–	–	–	初期化	TMR_0、
TCR_1	初期化	–	–	–	–	–	–	–	初期化	TMR_1
TCSR_0	初期化	–	–	–	–	–	–	–	初期化	
TCSR_1	初期化	–	–	–	–	–	–	–	初期化	
TCORA_0	初期化	–	–	–	–	–	–	–	初期化	
TCORA_1	初期化	–	–	–	–	–	–	–	初期化	
TCORB_0	初期化	–	–	–	–	–	–	–	初期化	
TCORB_1	初期化	–	–	–	–	–	–	–	初期化	
TCNT_0	初期化	–	–	–	–	–	–	–	初期化	
TCNT_1	初期化	–	–	–	–	–	–	–	初期化	

レジスタ略称	リセット	高速／中速	ウォッチ	スリープ	サブアクティブ	サブスリープ	モジュールストップ	ソフトウェアスタンバイ	ハードウェアスタンバイ	モジュール
PWOERB	初期化	–	–	–	–	–	–	–	初期化	PWM
PWDPRB	初期化	–	–	–	–	–	–	–	初期化	
PWSL	初期化	–	初期化	–	初期化	初期化	初期化	初期化	初期化	
PWDR 15～8	初期化	–	初期化	–	初期化	初期化	初期化	初期化	初期化	
ICCR_0	初期化	–	–	–	–	–	–	–	初期化	IIC_0
ICSR_0	初期化	–	–	–	–	–	–	–	初期化	
ICDR_0	—	–	–	–	–	–	–	–	—	
SARX_0	初期化	–	–	–	–	–	–	–	初期化	
ICMR_0	初期化	–	–	–	–	–	–	–	初期化	
SAR_0	初期化	–	–	–	–	–	–	–	初期化	
ADDRAH	初期化	–	初期化	–	初期化	初期化	初期化	初期化	初期化	A/D 変換器
ADDRAL	初期化	–	初期化	–	初期化	初期化	初期化	初期化	初期化	
ADDRBH	初期化	–	初期化	–	初期化	初期化	初期化	初期化	初期化	
ADDRBL	初期化	–	初期化	–	初期化	初期化	初期化	初期化	初期化	
ADDRCH	初期化	–	初期化	–	初期化	初期化	初期化	初期化	初期化	
ADDRCL	初期化	–	初期化	–	初期化	初期化	初期化	初期化	初期化	
ADDRDH	初期化	–	初期化	–	初期化	初期化	初期化	初期化	初期化	
ADDRDL	初期化	–	初期化	–	初期化	初期化	初期化	初期化	初期化	
ADCSR	初期化	–	初期化	–	初期化	初期化	初期化	初期化	初期化	
ADCR	初期化	–	初期化	–	初期化	初期化	初期化	初期化	初期化	
TCSR_1	初期化	–	–	–	–	–	–	–	初期化	WDT_1
TCNT_1	初期化	–	–	–	–	–	–	–	初期化	
TCR_X	初期化	–	–	–	–	–	–	–	初期化	TMR_X
TCSR_X	初期化	–	–	–	–	–	–	–	初期化	
TICRR	初期化	–	–	–	–	–	–	–	初期化	
TICRF	初期化	–	–	–	–	–	–	–	初期化	
TCNT_X	初期化	–	–	–	–	–	–	–	初期化	
TCORC	初期化	–	–	–	–	–	–	–	初期化	
TCORA_X	初期化	–	–	–	–	–	–	–	初期化	
TCORB_X	初期化	–	–	–	–	–	–	–	初期化	
TCONRI	初期化	–	–	–	–	–	–	–	初期化	
TCONRS	初期化	–	–	–	–	–	–	–	初期化	TMR_X, TMR_Y

21.4 レジスタ選択条件

下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名
H'FD40	TCR_1	MSTP1＝0	TPU_1
H'FD41	TMDR_1		
H'FD42	TIOR_1		
H'FD44	TIER_1		
H'FD45	TSR_1		
H'FD46	TCNT_1		
H'FD48	TGRA_1		
H'FD4A	TGRB_1		
H'FE00	P6NCE	条件なし	PORT
H'FE01	P6NCMC		
H'FE02	P6NCCS		
H'FE03	PCNCE		
H'FE04	PCNCMC		
H'FE05	PCNCCS		
H'FE06	PGNCE		
H'FE07	PGNCMC		
H'FE08	PGNCCS		
H'FE10	PTCNT0		
H'FE11	PTCNT1		
H'FE12	PTCNT2		
H'FE14	P9PCR		
H'FE16	PGNOCR		
H'FE19	PFNOCR		
H'FE1C	PCNOCR		
H'FE1D	PDNOCR		
H'FE44	WUEMRB	条件なし	INT
H'FE45	WUEMR		
H'FE46	PGODR	条件なし	PORT
H'FE47	PGPIN（リード）		
	PGDDR（ライト）		
H'FE48	PEPCR		
H'FE49	PFODR		
H'FE4A	PEPIN（リード） （ライト禁止）		

下位アドレス	レジスタ名称	レジスタ選択条件	モジュール名
H'FE4B	PFPIN（リード）	条件なし	PORT
	PFDDR（ライト）		
H'FE4C	PCODR		
H'FE4D	PDODR		
H'FE4E	PCPIN（リード）		
	PCDDR（ライト）		
H'FE4F	PDPIN（リード）		
	PDDDR（ライト）		
H'FE50	TCR_0	MSTP1＝0	TPU_0
H'FE51	TMDR_0		
H'FE52	TIORH_0		
H'FE53	TIORL_0		
H'FE54	TIER_0		
H'FE55	TSR_0		
H'FE56	TCNT_0		
H'FE58	TGRA_0		
H'FE5A	TGRB_0		
H'FE5C	TGRC_0		
H'FE5E	TGRD_0		
H'FE70	TCR_2		TPU_2
H'FE71	TMDR_2		
H'FE72	TIOR_2		
H'FE74	TIER_2		
H'FE75	TSR_2		
H'FE76	TCNT_2		
H'FE78	TGRA_2		
H'FE7A	TGRB_2		
H'FE7D	SYSCR3	条件なし	SYSTEM
H'FE7E	MSTPCRA		
H'FE81	KMIMR（RELOCATE＝1）	MSTP2＝0	INT
H'FE82	KMPCR（RELOCATE＝1）		PORT
H'FE83	KMIMRA（RELOCATE＝1）		INT
H'FE87	ICRD	条件なし	

下位アドレス	レジスタ名称	レジスタ選択条件		モジュール名
H'FEA0	DACR（RELOCATE＝1）	MSTP11＝0 MSTPA1＝0	DACNT/ DADRB の REGS＝1	PWMX
	DADRAH（RELOCATE＝1）		DACNT/ DADRB の REGS＝0	
H'FEA1	DADRAL（RELOCATE＝1）			
H'FEA6	DADRBH（RELOCATE＝1）			
	DACNTH（RELOCATE＝1）		DACNT/ DADRB の REGS＝1	
H'FEA7	DADRBL（RELOCATE＝1）		DACNT/ DADRB の REGS＝0	
	DACNTL（RELOCATE＝1）		DACNT/ DADRB の REGS＝1	
H'FEA8	FCCS	FLSHE＝1		ROM
H'FEA9	FPCS			
H'FEAA	FECS			
H'FEAC	FKEY			
H'FEAD	FMATS			
H'FEAE	FTDAR			
H'FEB0	TSTR	MSTP1＝0		TPU
H'FEB1	TSYR			
H'FEC6	TCRXY	MSTP8＝0		TMR_XY
H'FEC8	TCR_Y（RELOCATE＝1）			TMR_Y
H'FEC9	TCSR_Y（RELOCATE＝1）			
H'FECA	TCORA_Y（RELOCATE＝1）			
H'FECB	TCORB_Y（RELOCATE＝1）			
H'FECC	TCNT_Y（RELOCATE＝1）			
H'FECD	TISR（RELOCATE＝1）			
H'FECE	ICDR_1（RELOCATE＝1）	MSTP3＝0	ICCR_1 の ICE＝1	IIC_1
	SARX_1（RELOCATE＝1）		ICCR_1 の ICE＝0	
H'FECF	ICMR_1（RELOCATE＝1）		ICCR_1 の ICE＝1	
	SAR_1（RELOCATE＝1）		ICCR_1 の ICE＝0	
H'FED0	ICCR_1（RELOCATE＝1）			
H'FED1	ICSR_1（RELOCATE＝1）			

下位アドレス	レジスタ名称	レジスタ選択条件		モジュール名
H'FED4	ICXR_0	MSTP4＝0		IIC_0
H'FED5	ICXR_1	MSTP3＝0		IIC_1
H'FEE4	KBCOMP	条件なし		IrDA
H'FEE6	DDCSWR	MSTP4＝0、STCR の IICE＝1		IIC_0、IIC_1
H'FEE8	ICRA	条件なし		INT
H'FEE9	ICRB			
H'FEEA	ICRC			
H'FEEB	ISR			
H'FEEC	ISCRH			
H'FEED	ISCRL			
H'FEF8	IER16			
H'FEF9	ISR16			
H'FEFA	ISCR16H			
H'FEFB	ISCR16L			
H'FEFC	ISSR16			
H'FEFD	ISSR			
H'FF82	PCSR	条件なし		PWM、PWMX
H'FF83	SYSCR2	STCR の FLSHE＝0		PORT
H'FF84	SBYCR			SYSTEM
H'FF85	LPWRCR			
H'FF86	MSTPCRH			
H'FF87	MSTPCRL			
H'FF88	SMR_1（RELOCATE＝1）	MSTP6＝0		SCI_1
	SMR_1（RELOCATE＝0）	MSTP6＝0　STCR の IICE＝0		
	ICCR_1（RELOCATE＝0）	MSTP3＝0　STCR の IICE＝1		IIC_1
H'FF89	BRR_1（RELOCATE＝1）	MSTP6＝0		SCI_1
	BRR_1（RELOCATE＝0）	MSTP6＝0　STCR の IICE＝0		
	ICSR_1（RELOCATE＝0）	MSTP3＝0　STCR の IICE＝1		IIC_1
H'FF8A	SCR_1	MSTP6＝0		SCI_1
H'FF8B	TDR_1			
H'FF8C	SSR_1			
H'FF8D	RDR_1			
H'FF8E	SCMR_1（RELOCATE＝1）	MSTP6＝0		
	SCMR_1（RELOCATE＝0）	MSTP6＝0　STCR の IICE＝0		
	ICDR_1（RELOCATE＝0）	MSTP3＝0 STCR の IICE＝1	ICCR_1 の ICE＝1	IIC_1
	SARX_1（RELOCATE＝0）		ICCR_1 の ICE＝0	

下位アドレス	レジスタ名称	レジスタ選択条件		モジュール名
H'FF8F	ICMR_1（RELOCATE＝0）	MSTP3＝0 STCR の IICE＝1	ICCR_1 の ICE＝1	IIC_1
	SAR_1（RELOCATE＝0）		ICCR_1 の ICE＝0	
H'FF90	TIER	MSTP13＝0		FRT
H'FF91	TCSR			
H'FF92	FRC			
H'FF94	OCRA	MSTP13＝0	TOCR の OCRS＝0	
	OCRB		TOCR の OCRS＝1	
H'FF96	TCR			
H'FF97	TOCR			
H'FF98	ICRA		TOCR の ICRS＝0	
	OCRAR		TOCR の ICRS＝1	
H'FF9A	ICRB		TOCR の ICRS＝0	
	OCRAF		TOCR の ICRS＝1	
H'FF9C	ICRC	MSTP13＝0	TOCR の ICRS＝0	
	OCRDM		TOCR の ICRS＝1	
	ICRD			
H'FFA0	SMR_2（RELOCATE＝1）	MSTP5＝0		SCI_2
	SMR_2（RELOCATE＝0）	MSTP5＝0　STCR の IICE＝0		
	DADRAH（RELOCATE＝0）	MSTP11＝0 MSTPA1＝0 STCR の IICE＝1	DACNT/DADRB の REGS＝0	PWMX
	DACR（RELOCATE＝0）		DACNT/DADRB の REGS＝1	
H'FFA1	BRR_2（RELOCATE＝1）	MSTP5＝0		SCI_2
	BRR_2（RELOCATE＝0）	MSTP5＝0　STCR の IICE＝0		
	DADRAL（RELOCATE＝0）	MSTP11＝0 MSTPA1＝0 STCR の IICE＝1	DACNT/DADRB の REGS＝0	PWMX
H'FFA2	SCR_2	MSTP5＝0		SCI_2
H'FFA3	TDR_2			
H'FFA4	SSR_2			
H'FFA5	RDR_2			

下位アドレス	レジスタ名称	レジスタ選択条件		モジュール名
H'FFA6	SCMR_2（RELOCATE＝1）	MSTP5＝0		SCI_2
	SCMR_2（RELOCATE＝0）	MSTP5＝0　STCR の IICE＝0		
	DADRBH（RELOCATE＝0）	MSTP11＝0 MSTPA1＝0 STCR の IICE＝1	DACNT/DADRB の REGS＝0	PWMX
	DACNTH（RELOCATE＝0）		DACNT/DADRB の REGS＝1	
H'FFA7	DADRBL（RELOCATE＝0）		DACNT/DADRB の REGS＝0	
	DACNTL（RELOCATE＝0）		DACNT/DADRB の REGS＝1	
H'FFA8	TCSR_0	条件なし		WDT_0
	TCNT_0（ライト）			
H'FFA9	TCNT_0（リード）			
H'FFAA	PAODR	条件なし		PORT
H'FFAB	PAPIN（リード）			
	PADDR（ライト）			
H'FFAC	P1PCR			
H'FFAD	P2PCR			
H'FFAE	P3PCR			
H'FFB0	P1DDR			
H'FFB1	P2DDR			
H'FFB2	P1DR			
H'FFB3	P2DR			
H'FFB4	P3DDR			
H'FFB5	P4DDR			
H'FFB6	P3DR			
H'FFB7	P4DR			
H'FFB8	P5DDR			
H'FFB9	P6DDR			
H'FFBA	P5DR			
H'FFBB	P6DR			
H'FFBC	PBODR			
H'FFBD	P8DDR（ライト）			
	PBPIN（リード）			
H'FFBE	P7PIN（リード）			
	PBDDR（ライト）			
H'FFBF	P8DR			
H'FFC0	P9DDR			
H'FFC1	P9DR			

下位アドレス	レジスタ名称	レジスタ選択条件		モジュール名
H'FFC2	IER	条件なし		INT
H'FFC3	STCR	条件なし		SYSTEM
H'FFC4	SYSCR			
H'FFC5	MDCR			
H'FFC6	BCR	条件なし		BSC
H'FFC7	WSCR			
H'FFC8	TCR_0	MSTP12＝0		TMR_0, TMR_1
H'FFC9	TCR_1			
H'FFCA	TCSR_0			
H'FFCB	TCSR_1			
H'FFCC	TCORA_0			
H'FFCD	TCORA_1			
H'FFCE	TCORB_0			
H'FFCF	TCORB_1			
H'FFD0	TCNT_0			
H'FFD1	TCNT_1			
H'FFD2	PWOERB	条件なし		PWM
H'FFD4	PWDPRB			
H'FFD6	PWSL	MSTP11＝0 MSTPA0＝0		
H'FFD7	PWDR15～8			
H'FFD8	ICCR_0（RELOCATE＝0）	MSTP4＝0　STCR の IICE＝1		RELOCATE＝1 のとき、 IICE＝1 の条件なし
H'FFD9	ICSR_0（RELOCATE＝0）			
H'FFDE	ICDR_0（RELOCATE＝0）	MSTP4＝0 STCR の IICE＝1	ICCR_0 の ICE＝1	
	SARX_0（RELOCATE＝0）		ICCR_0 の ICE＝0	
H'FFDF	ICMR_0（RELOCATE＝0）	MSTP4＝0 STCR の IICE＝1	ICCR_0 の ICE＝1	
	SAR_0（RELOCATE＝0）		ICCR_0 の ICE＝0	
H'FFE0	ADDRAH	MSTP9＝0		A/D 変換器
H'FFE1	ADDRAL			
H'FFE2	ADDRBH			
H'FFE3	ADDRBL			
H'FFE4	ADDRCH			
H'FFE5	ADDRCL			
H'FFE6	ADDRDH			
H'FFE7	ADDRDL			
H'FFE8	ADCSR			
H'FFE9	ADCR			

<table>
<tr><th>下位アドレス</th><th>レジスタ名称</th><th colspan="2">レジスタ選択条件</th><th>モジュール名</th></tr>
<tr><td rowspan="3">H'FFEA</td><td>TCSR_1</td><td colspan="2" rowspan="3">条件なし</td><td rowspan="3">WDT_1</td></tr>
<tr><td>TCNT_1（ライト）</td></tr>
<tr><td>H'FFEB</td><td>TCNT_1（リード）</td></tr>
<tr><td rowspan="3">H'FFF0</td><td>TCR_X（RELOCATE＝1）</td><td colspan="2">MSTP8＝0</td><td rowspan="2">TMR_X</td></tr>
<tr><td>TCR_X（RELOCATE＝0）</td><td rowspan="2">MSTP8＝0
STCR の
KINWUE＝0</td><td>TCONRS の
TMRX/Y＝0</td></tr>
<tr><td>TCR_Y（RELOCATE＝0）</td><td>TCONRS の
TMRX/Y＝1</td><td>TMR_Y</td></tr>
<tr><td rowspan="4">H'FFF1</td><td>KMIMR（RELOCATE＝0）</td><td colspan="2">MSTP2＝0
STCR の KINWUE＝1</td><td>INT</td></tr>
<tr><td>TCSR_X（RELOCATE＝1）</td><td colspan="2">MSTP8＝0</td><td rowspan="2">TMR_X</td></tr>
<tr><td>TCSR_X（RELOCATE＝0）</td><td rowspan="2">MSTP8＝0
SYSCR の
KINWUE＝0</td><td>TCONRS の
TMRX/Y＝0</td></tr>
<tr><td>TCSR_Y（RELOCATE＝0）</td><td>TCONRS の
TMRX/Y＝1</td><td>TMR_Y</td></tr>
<tr><td rowspan="4">H'FFF2</td><td>KMPCR（RELOCATE＝0）</td><td colspan="2">MSTP2＝0
SYSCR の KINWUE＝1</td><td>PORT</td></tr>
<tr><td>TICRR（RELOCATE＝1）</td><td colspan="2">MSTP8＝0</td><td rowspan="2">TMR_X</td></tr>
<tr><td>TICRR（RELOCATE＝0）</td><td rowspan="2">MSTP8＝0
SYSCR の
KINWUE＝0</td><td>TCONRS の
TMRX/Y＝0</td></tr>
<tr><td>TCORA_Y（RELOCATE＝0）</td><td>TCONRS の
TMRX/Y＝1</td><td>TMR_Y</td></tr>
<tr><td rowspan="4">H'FFF3</td><td>KMIMRA（RELOCATE＝0）</td><td colspan="2">MSTP2＝0
SYSCR の KINWUE＝1</td><td>INT</td></tr>
<tr><td>TICRF（RELOCATE＝1）</td><td colspan="2">MSTP8＝0</td><td rowspan="2">TMR_X</td></tr>
<tr><td>TICRF（RELOCATE＝0）</td><td rowspan="2">MSTP8＝0
SYSCR の
KINWUE＝0</td><td>TCONRS の
TMRX/Y＝0</td></tr>
<tr><td>TCORB_Y（RELOCATE＝0）</td><td>TCONRS の
TMRX/Y＝1</td><td>TMR_Y</td></tr>
<tr><td rowspan="3">H'FFF4</td><td>TCNT_X（RELOCATE＝1）</td><td colspan="2">MSTP8＝0</td><td rowspan="2">TMR_X</td></tr>
<tr><td>TCNT_X（RELOCATE＝0）</td><td rowspan="2">MSTP8＝0
SYSCR の
KINWUE＝0</td><td>TCONRS の
TMRX/Y＝0</td></tr>
<tr><td>TCNT_Y（RELOCATE＝0）</td><td>TCONRS の
TMRX/Y＝1</td><td>TMR_Y</td></tr>
<tr><td rowspan="3">H'FFF5</td><td>TCORC（RELOCATE＝1）</td><td colspan="2">MSTP8＝0</td><td rowspan="2">TMR_X</td></tr>
<tr><td>TCORC（RELOCATE＝0）</td><td rowspan="2">MSTP8＝0
SYSCR の
KINWUE＝0</td><td>TCONRS の
TMRX/Y＝0</td></tr>
<tr><td>TISR（RELOCATE＝0）</td><td>TCONRS の
TMRX/Y＝1</td><td>TMR_Y</td></tr>
</table>

下位アドレス	レジスタ名称	レジスタ選択条件		モジュール名
H'FFF6	TCORA_X（RELOCATE＝1）	MSTP8＝0		TMR_X
	TCORA_X（RELOCATE＝0）	MSTP8＝0 SYSCR の KINWUE＝0	TCONRS の TMRX/Y＝0	
H'FFF7	TCORB_X（RELOCATE＝1）	MSTP8＝0		
	TCORB_X（RELOCATE＝0）	MSTP8＝0 SYSCR の KINWUE＝0	TCONRS の TMRX/Y＝0	
H'FFFC	TCONRI（RELOCATE＝1）	MSTP8＝0		
	TCONRI（RELOCATE＝0）	MSTP8＝0 SYSCR の KINWUE＝0		
H'FFFE	TCONRS（RELOCATE＝1）	MSTP8＝0		TMR_X, TMR_Y
	TCONRS（RELOCATE＝0）	MSTP8＝0 SYSCR の KINWUE＝0		

21.5 レジスタアドレス一覧（モジュール別）

モジュール	レジスタ略称	ビット数	アドレス	初期値	データバス幅	アクセスステート数
INT	WUEMRB	8	H'FE44	H'FF	8	2
INT	WUEMR	8	H'FE45	H'FF	8	2
INT	KMIMR	8	H'FE81 （RELOCATE＝1 時）	H'BF	8	2
INT	KMIMR	8	H'FFF1 （RELOCATE＝0 時）	H'BF	8	2
INT	KMIMRA	8	H'FE83 （RELOCATE＝1 時）	H'FF	8	2
INT	KMIMRA	8	H'FFF3 （RELOCATE＝0 時）	H'FF	8	2
INT	ICRD	8	H'FE87	H'00	8	2
INT	ICRA	8	H'FEE8	H'00	8	2
INT	ICRB	8	H'FEE9	H'00	8	2
INT	ICRC	8	H'FEEA	H'00	8	2
INT	ISR	8	H'FEEB	H'00	8	2
INT	ISCRH	8	H'FEEC	H'00	8	2
INT	ISCRL	8	H'FEED	H'00	8	2
INT	IER16	8	H'FEF8	H'00	8	2
INT	ISR16	8	H'FEF9	H'00	8	2
INT	ISCR16H	8	H'FEFA	H'00	8	2
INT	ISCR16L	8	H'FEFB	H'00	8	2
INT	ISSR16	8	H'FEFC	H'00	8	2
INT	ISSR	8	H'FEFD	H'00	8	2
INT	IER	8	H'FFC2	H'00	8	2
BSC	BCR	8	H'FFC6	H'D3	8	2
BSC	WSCR	8	H'FFC7	H'F3	8	2
PORT	P1PCR	8	H'FFAC	H'00	8	2
PORT	P1DDR	8	H'FFB0	H'00	8	2
PORT	P1DR	8	H'FFB2	H'00	8	2
PORT	P2PCR	8	H'FFAD	H'00	8	2
PORT	P2DDR	8	H'FFB1	H'00	8	2
PORT	P2DR	8	H'FFB3	H'00	8	2
PORT	P3PCR	8	H'FFAE	H'00	8	2
PORT	P3DDR	8	H'FFB4	H'00	8	2

モジュール	レジスタ略称	ビット数	アドレス	初期値	データバス幅	アクセスステート数
PORT	P3DR	8	H'FFB6	H'00	8	2
PORT	P4DDR	8	H'FFB5	H'00	8	2
PORT	P4DR	8	H'FFB7	H'00	8	2
PORT	P5DR	8	H'FFBA	H'F8	8	2
PORT	P5DDR	8	H'FFB8	H'00	8	2
PORT	P6NCE	8	H'FE00	H'00	8	2
PORT	P6NCMC	8	H'FE01	H'00	8	2
PORT	P6NCCS	8	H'FE02	H'00	8	2
PORT	KMPCR	8	H'FE82 （RELOCATE＝1 時）	H'00	8	2
PORT	KMPCR	8	H'FFF2 （RELOCATE＝0 時）	H'00	8	2
PORT	SYSCR2	8	H'FF83	H'00	8	2
PORT	P6DR	8	H'FFBB	H'00	8	2
PORT	P6DDR	8	H'FFB9	H'00	8	2
PORT	P7PIN	8	H'FFBE	－	8	2
PORT	P8DDR	8	H'FFBD	H'80	8	2
PORT	P8DR	8	H'FFBF	H'80	8	2
PORT	P9PCR	8	H'FE14	H'00	8	2
PORT	P9DDR	8	H'FFC0	H'00	8	2
PORT	P9DR	8	H'FFC1	H'00/H'40	8	2
PORT	PAODR	8	H'FFAA	H'00	8	2
PORT	PAPIN	8	H'FFAB	H'00	8	2
PORT	PADDR	8	H'FFAB	H'00	8	2
PORT	PBODR	8	H'FFBC	H'00	8	2
PORT	PBPIN	8	H'FFBD	－	8	2
PORT	PBDDR	8	H'FFBE	H'00	8	2
PORT	PCNCE	8	H'FE03	H'00	8	2
PORT	PCNCMC	8	H'FE04	H'00	8	2
PORT	PCNCCS	8	H'FE05	H'00	8	2
PORT	PCNOCR	8	H'FE1C	H'00	8	2
PORT	PCODR	8	H'FE4C	H'00	8	2
PORT	PCPIN	8	H'FE4E (リード時)	－	8	2
PORT	PCDDR	8	H'FE4E (ライト時)	H'00	8	2
PORT	PDNOCR	8	H'FE1D	H'00	8	2

モジュール	レジスタ略称	ビット数	アドレス	初期値	データバス幅	アクセスステート数
PORT	PDODR	8	H'FE4D	H'00	8	2
PORT	PDPIN	8	H'FE4F (リード時)	−	8	2
PORT	PDDDR	8	H'FE4F (ライト時)	H'00	8	2
PORT	PEPCR	8	H'FE48	H'00	8	2
PORT	PEPIN	8	H'FE4A (リード時) (ライト禁止)	−	8	2
PORT	PFNOCR	8	H'FE19	H'00	8	2
PORT	PFDDR	8	H'FE4B (ライト時)	H'00	8	2
PORT	PFODR	8	H'FE49	H'00	8	2
PORT	PFPIN	8	H'FE4B (リード時)	−	8	2
PORT	PGNCE	8	H'FE06	H'00	8	2
PORT	PGNCMC	8	H'FE07	H'00	8	2
PORT	PGNCCS	8	H'FE08	H'00	8	2
PORT	PGNOCR	8	H'FE16	H'00	8	2
PORT	PGODR	8	H'FE46	H'00	8	2
PORT	PGPIN	8	H'FE47 (リード時)	−	8	2
PORT	PGDDR	8	H'FE47 (ライト時)	H'00	8	2
PORT	PTCNT0	8	H'FE10	H'00	8	2
PORT	PTCNT1	8	H'FE11	H'00	8	2
PORT	PTCNT2	8	H'FE12	H'00	8	2
PWM	PWOERB	8	H'FFD2	H'00	8	2
PWM	PWDPRB	8	H'FFD4	H'00	8	2
PWM	PWSL	8	H'FFD6	H'20	8	2
PWM	PWDR 15～8	8	H'FFD7	H'00	8	2
PWM	PCSR	8	H'FF82	H'00	8	2
PWMX	DACR	8	H'FEA0 （RELOCATE＝1 時）	H'30	8	2
PWMX	DACR	8	H'FFA0 （RELOCATE＝0 時）	H'FF	8	2

モジュール	レジスタ略称	ビット数	アドレス	初期値	データバス幅	アクセスステート数
PWMX	DADRAH	8	H'FEA0 （RELOCATE＝1 時）	H'00	8	2
PWMX	DADRAH	8	H'FFA0 （RELOCATE＝0 時）	H'FF	8	2
PWMX	DADRAL	8	H'FEA1 （RELOCATE＝1 時）	H'FF	8	2
PWMX	DADRAL	8	H'FFA1 （RELOCATE＝0 時）	H'FF	8	2
PWMX	DACNTH	8	H'FEA6 （RELOCATE＝1 時）	H'FF	8	2
PWMX	DACNTH	8	H'FFA6 （RELOCATE＝0 時）	H'00	8	2
PWMX	DADRBH	8	H'FEA6 （RELOCATE＝1 時）	H'FF	8	2
PWMX	DADRBH	8	H'FFA6 （RELOCATE＝0 時）	H'FF	8	2
PWMX	DACNTL	8	H'FEA7 （RELOCATE＝1 時）	H'03	8	2
PWMX	DACNTL	8	H'FFA7 （RELOCATE＝0 時）	H'03	8	2
PWMX	DADRBL	8	H'FEA7 （RELOCATE＝1 時）	H'FF	8	2
PWMX	DADRBL	8	H'FFA7 （RELOCATE＝0 時）	H'FF	8	2
PWMX	PCSR	8	H'FF82	H'00	8	2
FRT	TIER	8	H'FF90	H'01	8	2
FRT	TCSR	8	H'FF91	H'00	8	2
FRT	FRC	16	H'FF92	H'0000	16	2
FRT	OCRA	16	H'FF94	H'FFFF	16	2
FRT	OCRB	16	H'FF94	H'FFFF	16	2
FRT	TCR	8	H'FF96	H'00	8	2
FRT	TOCR	8	H'FF97	H'00	8	2
FRT	ICRA	16	H'FF98	H'0000	16	2
FRT	OCRAR	16	H'FF98	H'FFFF	16	2
FRT	ICRB	16	H'FF9A	H'0000	16	2
FRT	OCRAF	16	H'FF9A	H'FFFF	16	2
FRT	ICRC	16	H'FF9C	H'0000	16	2
FRT	OCRDM	16	H'FF9C	H'0000	16	2

モジュール	レジスタ略称	ビット数	アドレス	初期値	データバス幅	アクセスステート数
FRT	ICRD	16	H'FF9E	H'0000	16	2
TPU_0	TCR_0	8	H'FE50	H'00	8	2
TPU_0	TMDR_0	8	H'FE51	H'C0	8	2
TPU_0	TIORH_0	8	H'FE52	H'00	8	2
TPU_0	TIORL_0	8	H'FE53	H'00	8	2
TPU_0	TIER_0	8	H'FE54	H'40	8	2
TPU_0	TSR_0	8	H'FE55	H'C0	8	2
TPU_0	TCNT_0	16	H'FE56	H'0000	16	2
TPU_0	TGRA_0	16	H'FE58	H'FFFF	16	2
TPU_0	TGRB_0	16	H'FE5A	H'FFFF	16	2
TPU_0	TGRC_0	16	H'FE5C	H'FFFF	16	2
TPU_0	TGRD_0	16	H'FE5E	H'FFFF	16	2
TPU_1	TCR_1	8	H'FD40	H'00	8	2
TPU_1	TMDR_1	8	H'FD41	H'C0	8	2
TPU_1	TIOR_1	8	H'FD42	H'00	8	2
TPU_1	TIER_1	8	H'FD44	H'40	8	2
TPU_1	TSR_1	8	H'FD45	H'C0	8	2
TPU_1	TCNT_1	16	H'FD46	H'0000	16	2
TPU_1	TGRA_1	16	H'FD48	H'FFFF	16	2
TPU_1	TGRB_1	16	H'FD4A	H'FFFF	16	2
TPU_2	TCR_2	8	H'FE70	H'00	8	2
TPU_2	TMDR_2	8	H'FE71	H'C0	8	2
TPU_2	TIOR_2	8	H'FE72	H'00	8	2
TPU_2	TIER_2	8	H'FE74	H'40	8	2
TPU_2	TSR_2	8	H'FE75	H'C0	8	2
TPU_2	TCNT_2	16	H'FE76	H'0000	16	2
TPU_2	TGRA_2	16	H'FE78	H'FFFF	16	2
TPU_2	TGRB_2	16	H'FE7A	H'FFFF	16	2
TPU	TSTR	8	H'FEB0	H'00	8	2
TPU	TSYR	8	H'FEB1	H'00	8	2
TMR_0	TCR_0	8	H'FFC8	H'00	8	2
TMR_0	TCSR_0	8	H'FFCA	H'00	8	2
TMR_0	TCORA_0	8	H'FFCC	H'FF	16	2
TMR_0	TCORB_0	8	H'FFCE	H'FF	16	2
TMR_0	TCNT_0	8	H'FFD0	H'00	16	2
TMR_1	TCR_1	8	H'FFC9	H'00	8	2

モジュール	レジスタ略称	ビット数	アドレス	初期値	データバス幅	アクセスステート数
TMR_1	TCSR_1	8	H'FFCB	H'FF	16	2
TMR_1	TCORA_1	8	H'FFCD	H'FF	16	2
TMR_1	TCORB_1	8	H'FFCF	H'FF	16	2
TMR_1	TCNT_1	8	H'FFD1	H'00	16	2
TMR_X	TCR_X	8	H'FFF0	H'00	8	2
TMR_X	TCSR_X	8	H'FFF1	H'00	8	2
TMR_X	TICRR	8	H'FFF2	H'00	8	2
TMR_X	TICRF	8	H'FFF3	H'00	8	2
TMR_X	TCNT_X	8	H'FFF4	H'00	8	2
TMR_X	TCORC	8	H'FFF5	H'FF	8	2
TMR_X	TCORA_X	8	H'FFF6	H'FF	8	2
TMR_X	TCORB_X	8	H'FFF7	H'FF	8	2
TMR_X	TCONRI	8	H'FFFC	H'00	8	2
TMR_Y	TCR_Y	8	H'FEC8 （RELOCATE＝1 時）	H'00	8	2
TMR_Y	TCR_Y	8	H'FFF0 （RELOCATE＝0 時）	H'00	8	2
TMR_Y	TCSR_Y	8	H'FEC9 （RELOCATE＝1 時）	H'10	8	2
TMR_Y	TCSR_Y	8	H'FFF1 （RELOCATE＝0 時）	H'00	8	2
TMR_Y	TCORA_Y	8	H'FECA （RELOCATE＝1 時）	H'FF	8	2
TMR_Y	TCORA_Y	8	H'FFF2 （RELOCATE＝0 時）	H'FF	8	2
TMR_Y	TCORB_Y	8	H'FECB （RELOCATE＝1 時）	H'FF	8	2
TMR_Y	TCORB_Y	8	H'FFF3 （RELOCATE＝0 時）	H'FF	8	2
TMR_Y	TCNT_Y	8	H'FECC （RELOCATE＝1 時）	H'00	8	2
TMR_Y	TCNT_Y	8	H'FFF4 （RELOCATE＝0 時）	H'00	8	2
TMR_Y	TISR	8	H'FECD （RELOCATE＝1 時）	H'FE	8	2
TMR_Y	TISR	8	H'FFF5 （RELOCATE＝0 時）	H'FE	8	2
TMR_X、 TMR_Y	TCONRS	8	H'FFFE	H'00	8	2

モジュール	レジスタ略称	ビット数	アドレス	初期値	データバス幅	アクセスステート数
TMR_XY	TCRXY	8	H'FEC6	H'00	8	2
WDT_0	TCSR_0	8	H'FFA8 (ライト時)	H'00	16	2
WDT_0	TCSR_0	8	H'FFA8 (リード時)	H'00	8	2
WDT_0	TCNT_0	8	H'FFA8 (ライト時)	H'00	16	2
WDT_0	TCNT_0	8	H'FFA9 (リード時)	H'00	8	2
WDT_1	TCSR_1	8	H'FFEA (ライト時)	H'00	16	2
WDT_1	TCSR_1	8	H'FFEA (リード時)	H'00	8	2
WDT_1	TCNT_1	8	H'FFEA (ライト時)	H'00	16	2
WDT_1	TCNT_1	8	H'FFEB (リード時)	H'00	8	2
IrDA	KBCOMP	8	H'FEE4	H'00	8	2
SCI_1	SMR_1	8	H'FF88	H'00	8	2
SCI_1	BRR_1	8	H'FF89	H'FF	8	2
SCI_1	SCR_1	8	H'FF8A	H'00	8	2
SCI_1	TDR_1	8	H'FF8B	H'FF	8	2
SCI_1	SSR_1	8	H'FF8C	H'84	8	2
SCI_1	RDR_1	8	H'FF8D	H'00	8	2
SCI_1	SCMR_1	8	H'FF8E	H'F2	8	2
SCI_2	SMR_2	8	H'FFA0	H'00	8	2
SCI_2	BRR_2	8	H'FFA1	H'FF	8	2
SCI_2	SCR_2	8	H'FFA2	H'00	8	2
SCI_2	TDR_2	8	H'FFA3	H'FF	8	2
SCI_2	SSR_2	8	H'FFA4	H'84	8	2
SCI_2	RDR_2	8	H'FFA5	H'00	8	2
SCI_2	SCMR_2	8	H'FFA6	H'F2	8	2
IIC_0	ICXR_0	8	H'FED4	H'00	8	2
IIC_0	ICCR_0	8	H'FFD8	H'01	8	2
IIC_0	ICSR_0	8	H'FFD9	H'00	8	2
IIC_0	ICDR_0	8	H'FFDE	–	8	2
IIC_0	SARX_0	8	H'FFDE	H'01	8	2
IIC_0	ICMR_0	8	H'FFDF	H'00	8	2

モジュール	レジスタ略称	ビット数	アドレス	初期値	データバス幅	アクセスステート数
IIC_0	SAR_0	8	H'FFDF	H'00	8	2
IIC_1	ICDR_1	8	H'FECE （RELOCATE＝1 時）	－	8	2
IIC_1	SARX_1	8	H'FECE （RELOCATE＝1 時）	H'01	8	2
IIC_1	ICMR_1	8	H'FECF （RELOCATE＝1 時）	H'00	8	2
IIC_1	SAR_1	8	H'FECF （RELOCATE＝1 時）	H'00	8	2
IIC_1	ICCR_1	8	H'FED0 （RELOCATE＝1 時）	H'01	8	2
IIC_1	ICSR_1	8	H'FED1 （RELOCATE＝1 時）	H'00	8	2
IIC_1	ICXR_1	8	H'FED5	H'00	8	2
IIC_1	ICCR_1	8	H'FF88 （RELOCATE＝0 時）	H'01	8	2
IIC_1	ICSR_1	8	H'FF89 （RELOCATE＝0 時）	H'00	8	2
IIC_1	ICDR_1	8	H'FF8E （RELOCATE＝0 時）	－	8	2
IIC_1	SARX_1	8	H'FF8E （RELOCATE＝0 時）	H'01	8	2
IIC_1	ICMR_1	8	H'FF8F （RELOCATE＝0 時）	H'00	8	2
IIC_1	SAR_1	8	H'FF8F （RELOCATE＝0 時）	H'00	8	2
IIC_0、IIC_1	DDCSWR	8	H'FEE6	H'0F	8	2
A/D 変換器	ADDRAH	8	H'FFE0	H'00	8	2
A/D 変換器	ADDRAL	8	H'FFE1	H'00	8	2
A/D 変換器	ADDRBH	8	H'FFE2	H'00	8	2
A/D 変換器	ADDRBL	8	H'FFE3	H'00	8	2
A/D 変換器	ADDRCH	8	H'FFE4	H'00	8	2
A/D 変換器	ADDRCL	8	H'FFE5	H'00	8	2
A/D 変換器	ADDRDH	8	H'FFE6	H'00	8	2
A/D 変換器	ADDRDL	8	H'FFE7	H'00	8	2
A/D 変換器	ADCSR	8	H'FFE8	H'00	8	2
A/D 変換器	ADCR	8	H'FFE9	H'3F	8	2
ROM	FCCS	8	H'FEA8	－	8	2
ROM	FPCS	8	H'FEA9	H'00	8	2

モジュール	レジスタ略称	ビット数	アドレス	初期値	データバス幅	アクセスステート数
ROM	FECS	8	H'FEAA	H'00	8	2
ROM	FKEY	8	H'FEAC	H'00	8	2
ROM	FMATS	8	H'FEAD	—	8	2
ROM	FTDAR	8	H'FEAE	H'00	8	2
SYSTEM	MSTPCRA	8	H'FE7E	H'00	8	2
SYSTEM	SBYCR	8	H'FF84	H'01	8	2
SYSTEM	LPWRCR	8	H'FF85	H'00	8	2
SYSTEM	MSTPCRH	8	H'FF86	H'3F	8	2
SYSTEM	MSTPCRL	8	H'FF87	H'FF	8	2
SYSTEM	SYSCR3	8	H'FE7D	H'00	8	2
SYSTEM	STCR	8	H'FFC3	H'00	8	2
SYSTEM	SYSCR	8	H'FFC4	H'09	8	2
SYSTEM	MDCR	8	H'FFC5	—	8	2
SYSTEM	SYSCR2	8	H'FF83	H'00	8	2

22.　電気的特性

22.1　絶対最大定格

絶対最大定格を表 22.1 に示します。

表 22.1　絶対最大定格

項　　目	記号	定格値	単位
電源電圧*	V_{CC}	- 0.3～+4.3	V
入力電圧 （ポート 7、A、G、P97、P86、P52、P42 以外）	V_{in}	- 0.3～V_{CC} + 0.3	
入力電圧（ポート A、G、P97、P86、P52、P42）	V_{in}	- 0.3～+7.0	
入力電圧（ポート 7）	V_{in}	- 0.3～AV_{CC} + 0.3	
リファレンス電源電圧	AVref	- 0.3～AV_{CC} + 0.3	
アナログ電源電圧	AV_{CC}	- 0.3～+4.3	
アナログ入力電圧	V_{AN}	- 0.3～AV_{CC} + 0.3	
動作温度	T_{opr}	- 20～+75	℃
動作温度（FLASH メモリ書き込み／消去時）	T_{opr}	- 20～+75	
保存温度	T_{stg}	- 55～+125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

印加電圧が 4.3V を超えないように注意してください。

【注】 * VCC 端子への印加電圧です。

VCL 端子には電圧を印加しないでください。

22.2 DC 特性

DC 特性を表 22.2 に示します。また、出力許容電流値、バス駆動特性を表 22.3、表 22.4 に示します。

表 22.2 DC 特性（1）

条件：V_{CC}＝3.0V～3.6V、AV_{CC}*1＝3.0V～3.6V、AVref*1＝3.0V～AV_{CC}、V_{SS}＝AV_{SS}*1＝0V

項 目			記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	P67～P60 (KWUL＝00)*2、 $\overline{IRQ7}$～$\overline{IRQ0}$*3、$\overline{IRQ15}$～$\overline{IRQ8}$ $\overline{KIN7}$～$\overline{KIN0}$、$\overline{KIN15}$～$\overline{KIN8}$、 $\overline{WUE15}$～$\overline{WUE0}$ $\overline{ExIRQ7}$～$\overline{ExIRQ0}$、 $\overline{ExIRQ15}$～$\overline{ExIRQ8}$	(1)	V_T^-	V_{CC}×0.2	–	–	V	
			V_T^+	–	–	V_{CC}×0.7		
			$V_T^+ - V_T^-$	V_{CC}×0.05	–	–		
シュミット トリガ入力電圧 (レベル切換時)	P67～P60 (KWUL＝01)		V_T^-	V_{CC}×0.3	–	–		
			V_T^+	–	–	V_{CC}×0.7		
			$V_T^+ – V_T^-$	V_{CC}×0.05	–	–		
	P67～P60 (KWUL＝10)		V_T^-	V_{CC}×0.4	–	–		
			V_T^+	–	–	V_{CC}×0.8		
			$V_T^+ – V_T^-$	V_{CC}×0.03	–	–		
	P67～P60 (KWUL＝11)		V_T^-	V_{CC}×0.45	–	–		
			V_T^+	–	–	V_{CC}×0.9		
			$V_T^+ – V_T^-$	0.05	–	–		
入力 High レベル電圧	$\overline{RES}$、$\overline{STBY}$、NMI、MD2、MD1、MD0、FWE、$\overline{ETRST}$	(2)	V_{IH}	V_{CC}×0.9	–	V_{CC} + 0.3		
	EXTAL			V_{CC}×0.7	–	V_{CC} + 0.3		
	ポート 7			V_{CC}×0.7	–	AV_{CC} + 0.3		
	ポート A、G、P97、P86、P52、P42			V_{CC}×0.7	–	5.5		
	上記(1)(2)以外の入力端子			V_{CC}×0.7	–	V_{CC} + 0.3		
入力 Low レベル電圧	$\overline{RES}$、$\overline{STBY}$、MD2、MD1、MD0、FWE、$\overline{ETRST}$	(3)	V_{IL}	- 0.3	–	V_{CC}×0.1		
	NMI、EXTAL ほか、 上記(1)(3)以外の入力端子			- 0.3	–	V_{CC}×0.2		
出力 High レベル電圧	全出力端子（ポート A、G、P97、 P86、P52、P42 を除く）		V_{OH}	V_{CC} - 0.5	–	–		I_{OH}＝- 200μA
				V_{CC} - 1.0	–	–		I_{OH}＝ - 1mA
	ポート A、G、P97、P86、P52、P42*4			0.5	–	–		I_{OH}＝- 200μA
出力 Low レベル電圧	全出力端子*5		V_{OL}	–	–	0.4		I_{OL}＝1.6mA
	ポート 1、2、3、C、D			–	–	1.0		I_{OL}＝5mA

表 22.2 DC 特性（2）

条件：V_{CC}＝3.0V～3.6V、AV_{CC}*1＝3.0V～3.6V、AVref*1＝3.0V～AV_{CC}、V_{SS}＝AV_{SS}*1＝0V

項 目		記号	min	typ	max	単位	測定条件
入力リーク電流	$\overline{RES}$	$\lvert I_{in} \rvert$	–	–	10.0	μA	Vin＝0.5～V_{CC} - 0.5V
	$\overline{STBY}$、NMI、MD2、MD1、MD0、FWE		–	–	1.0		
	ポート 7		–	–	1.0		Vin＝0.5～AV_{CC} - 0.5V
スリーステートリーク電流（オフ状態）	ポート 1～6 ポート 8、9、A～G	$\lvert I_{TSI} \rvert$	–	–	1.0		Vin＝0.5～V_{CC} - 0.5V
入力プルアップ MOS 電流	ポート 1～3、P95～P90	$-I_p$	5	–	150		V_{in}＝0V
	ポート 6（P6PUE＝0）、B～F		30	–	300		
	ポート 6（P6PUE＝1）		3	–	100		
入力容量	P41、P40、PB7～PB3、PC7	C_{in}	–	–	15	pF	V_{in}＝0V f＝1MHz T_a＝25℃
	上記以外の端子		–	–	10		
消費電流*6	通常動作時	I_{CC}	–	30	45	mA	V_{CC}=3.0V～3.6V f＝20MHz、全モジュール動作時、高速モード
	スリープ時		–	22	35		V_{CC}＝3.0V～3.6V f＝20MHz
	スタンバイ時		–	10	40	μA	Ta≦50℃
			–	–	80		50℃＜Ta
アナログ電源電流	A/D 変換中	AI_{CC}	–	1	2	mA	
	A/D 変換待機時		–	0.01	5	μA	AV_{CC}＝3.0V～3.6V
リファレンス電源電流	A/D 変換中	AI_{ref}	–	1	2	mA	
	A/D 変換待機時		–	0.01	5	μA	AVref＝3.0V～AV_{CC}
VCC 開始電圧		VCC_{START}	–	0	0.8	V	
VCC 立ち上がり勾配		SVCC	–	–	20	ms/V	

【注】 *1 A/D 変換器を使用しない場合でも、AVCC、AVref、AVSS 端子は開放しないでください。
A/D 変換器を使用しない場合でも、AVCC、AVref 端子は電源（V_{CC}）に接続し、3.0V～3.6V の範囲の電圧を印加してください。このとき、AVref ≦ AV_{CC}としてください。

*2 兼用の周辺機能入力端子を含みます。

*3 $\overline{IRQ2}$ には、それと兼用の $\overline{ADTRG}$ 入力端子を含みます。

*4 ポート A、G、P97、P86、P52、P42 およびこれらの端子と兼用の周辺機能出力端子は、NMOS プッシュプル出力です。
SCL0、SCL1、SDA0、SDA1、ExSCLA、ExSCLB、ExSDAA、ExSDAB（ICCR の ICE＝1）から High レベルを出力するためには、プルアップ抵抗を外付けする必要があります。
ポート A、G、P97、P86/SCK1、P52 および P42/SCK2（ICCR の ICE＝0）の High レベルは、NMOS で駆動されます。出力として使用する場合は、High レベルを出力するためプルアップ抵抗を外付けする必要があります。

*5 IICS＝0、および ICE＝0 の場合です。バス駆動機能を選択した場合の Low レベル出力は別に定めます。

*6 消費電流値は V_{IH} min＝V_{CC} - 0.2V、V_{IL} max＝0.2V の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

表 22.3 出力許容電流値

条件：V_{CC}＝3.0V～3.6V、V_{SS}＝0V

項　目		記号	min	typ	max	単位
出力 Low レベル許容電流（1 端子あたり）	SCL0、SDA0、SCL1、SDA1、ExSCLA、ExSDAA、ExSCLB、ExSDAB、PA7～PA4（バス駆動機能選択）	I_{OL}	–	–	10	mA
	ポート 1、2、3、C、D		–	–	5	
	上記以外の出力端子		–	–	2	
出力 Low レベル許容電流（総和）	ポート 1、2、3、C、D の総和	ΣI_{OL}	–	–	40	
	上記を含む、全出力端子の総和		–	–	60	
出力 High レベル許容電流（1 端子あたり）	全出力端子	$- I_{OH}$	–	–	2	
出力 High レベル許容電流（総和）	全出力端子の総和	$\Sigma - I_{OH}$	–	–	30	

【注】 1. LSI の信頼性を確保するため、出力電流値は表 22.3 の値を超えないようにしてください。

2. ダーリントントランジスタや、LED を直接駆動する場合には、図 22.1、図 22.2 に示すように出力に必ず電流制限抵抗を挿入してください。

表 22.4 バス駆動特性

条件：V_{CC}＝3.0V～3.6V、V_{SS}＝0V

対象端子：SCL0、SDA0、SCL1、SDA1、ExSCLA、ExSDAA、ExSCLB、ExSDAB（バス駆動機能選択）

項　目	記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	V_T^-	V_{CC}×0.3	–	–	V	
	V_T^+	–	–	V_{CC}×0.7		
	$V_T^+ - V_T^-$	V_{CC}×0.05	–	–		
入力 High レベル電圧	V_{IH}	V_{CC}×0.7	–	5.5		
入力 Low レベル電圧	V_{IL}	- 0.5	–	V_{CC}×0.3		
出力 Low レベル電圧	V_{OL}	–	–	0.5		I_{OL}＝8mA
		–	–	0.4		I_{OL}＝3mA
入力容量	C_{in}	–	–	10	pF	V_{in}＝0V、f＝1MHz、Ta＝25℃
スリーステートリーク電流（オフ状態）	$\lvert I_{TSI} \rvert$	–	–	1.0	μA	V_{in}＝0.5～V_{CC} - 0.5V

条件：V_{CC}＝3.0V～3.6V、V_{SS}＝0V

対象端子： PA7～PA4（バス駆動機能選択）

項　目	記号	min	typ	max	単位	測定条件
出力 Low レベル電圧	V_{OL}	–	–	0.8	V	I_{OL}＝16mA
		–	–	0.5		I_{OL}＝8mA
		–	–	0.4		I_{OL}＝3mA

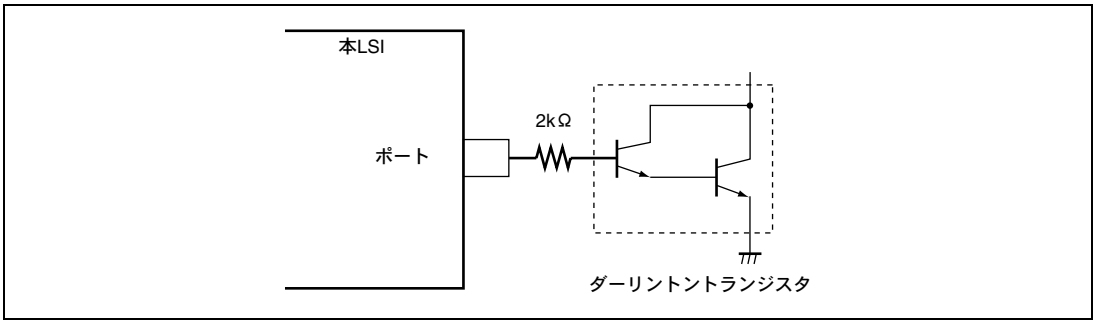


図 22.1　ダーリントントランジスタ駆動回路例

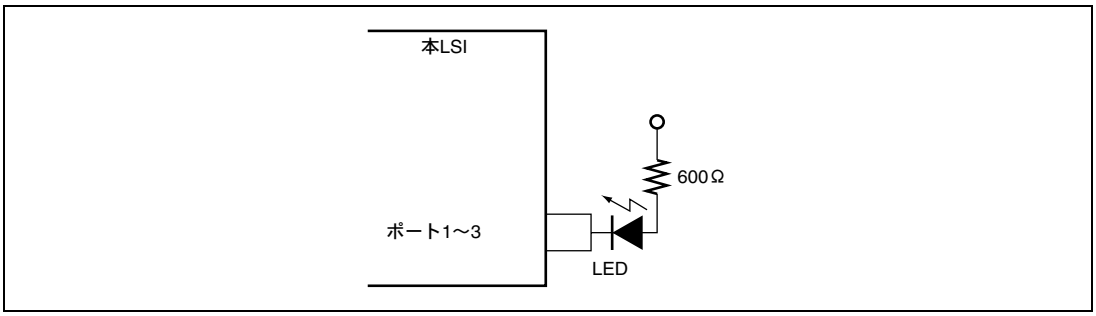


図 22.2　LED 駆動回路例

22.3　AC 特性

図 22.3 に AC 特性測定条件を示します。

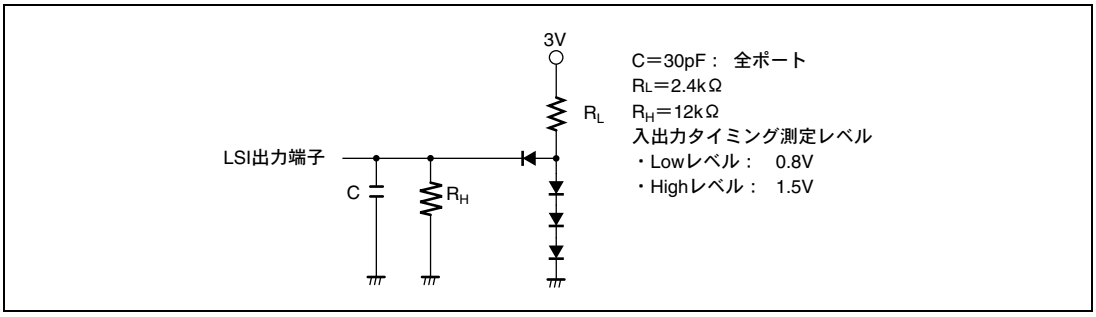


図 22.3　出力負荷回路

22.3.1　クロックタイミング

表 22.5 にクロックタイミングを示します。ここで規定するクロックタイミングは、クロック出力（φ）と、クロック発振器（水晶）と外部クロック入力（EXTAL 端子）の発振安定時間です。外部クロック入力（EXTAL 端子および EXCL 端子）タイミングの詳細については、**「第 19 章　クロック発振器」**を参照してください。

表 22.5　クロックタイミング

条件 A：V_{CC}＝3.0V～3.6V、V_{SS}＝0V、φ＝4MHz～10MHz

条件 B：V_{CC}＝3.0V～3.6V、V_{SS}＝0V、φ＝4MHz～20MHz

項　目	記号	条件 A		条件 B		単位	参照図
		min	max	min	max		
クロックサイクル時間	t_{cyc}	100	250	50	250	ns	図 22.4
クロック High レベルパルス幅	t_{CH}	30	–	20	–		
クロック Low レベルパルス幅	t_{CL}	30	–	20	–		
クロック立ち上がり時間	t_{Cr}	–	20	–	5		
クロック立ち下がり時間	t_{Cf}	–	20	–	5		
リセット発振安定時間（水晶）	t_{OSC1}	20	–	10	–	ms	図 22.5
ソフトウェアスタンバイ発振安定時間（水晶）	t_{OSC2}	8	–	8	–		図 22.6
外部クロック出力安定遅延時間	t_{DEXT}	500	–	500	–	μs	図 22.5

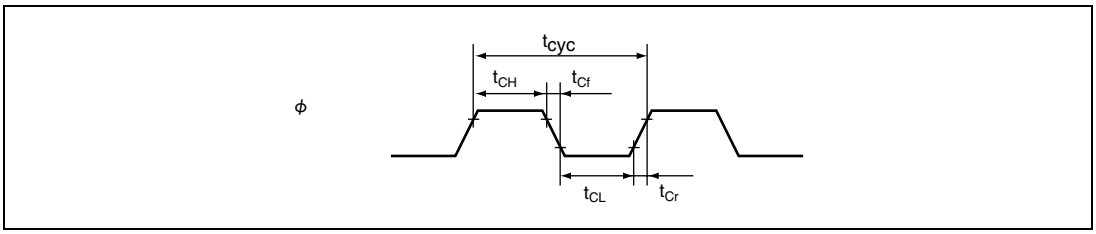


図 22.4　システムクロックタイミング

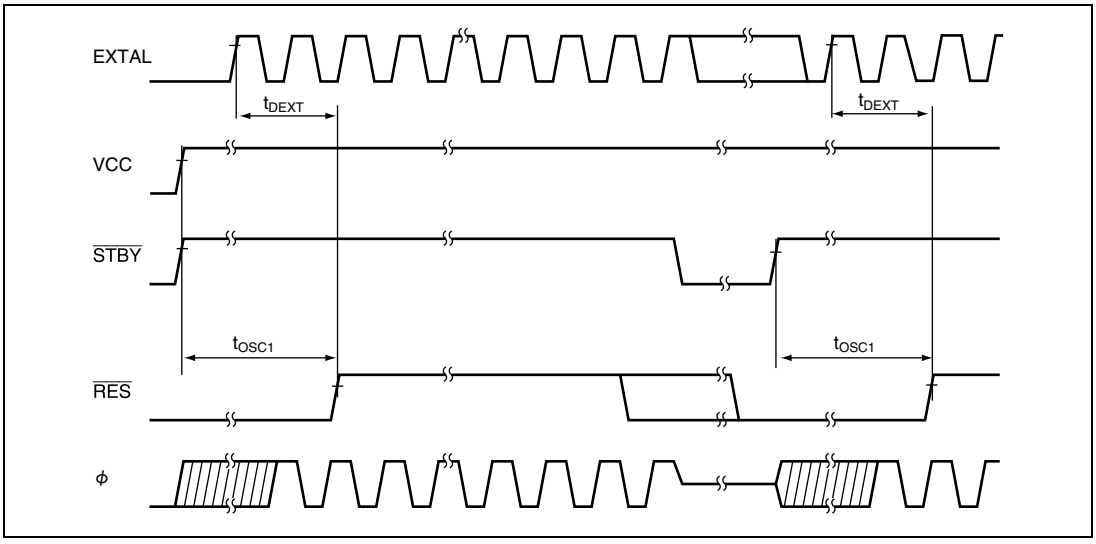


図 22.5　発振安定時間タイミング

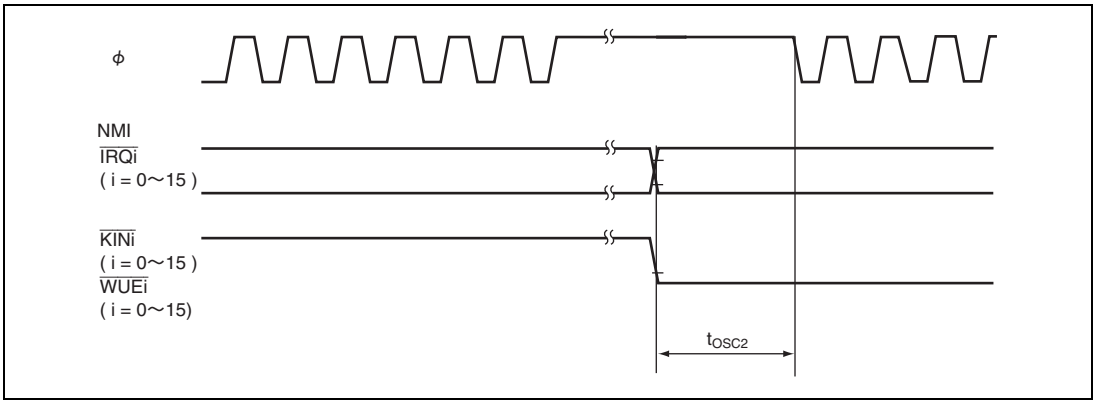


図 22.6　発振安定時間タイミング（ソフトウェアスタンバイからの復帰）

22.3.2　制御信号タイミング

表 22.6 に制御信号タイミングを示します。サブクロック（φ＝32.768kHz）で動作可能な外部割り込みは、NMI、IRQ0～IRQ15、KIN0～KIN15、WUE0～WUE15、KBCA～KBCC のみです。

表 22.6　制御信号タイミング

条件：V_{CC}＝3.0V～3.6V、V_{SS}＝0V、φ＝32.768kHz、4MHz～20MHz

項　目	記号	min	max	単位	測定条件
RES セットアップ時間	t_{RESS}	200	–	ns	図 22.7
RES パルス幅	t_{RESW}	20	–	t_{cyc}	
NMI セットアップ時間	t_{NMIS}	150	–	ns	図 22.8
NMI ホールド時間	t_{NMIH}	10	–		
NMI パルス幅 （ソフトウェアスタンバイモードからの復帰時）	t_{NMIW}	200	–		
IRQ セットアップ時間 （IRQ15～IRQ0、KIN15～KIN0、WUE15～WUE0）	t_{IRQS}	150	–		
IRQ ホールド時間 （IRQ15～IRQ0、KIN15～KIN0、WUE15～WUE0）	t_{IRQH}	10	–		
IRQ パルス幅 （IRQ15～IRQ0、KIN15～KIN0、WUE15～WUE0） （ソフトウェアスタンバイモードからの復帰時）	t_{IRQW}	200	–		

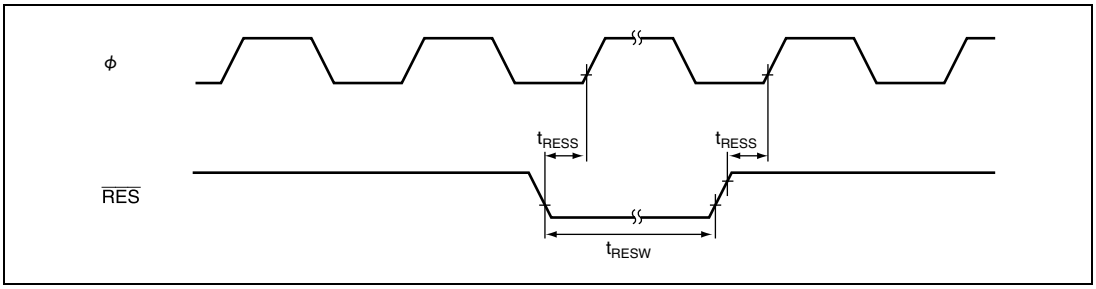


図 22.7　リセット入力タイミング

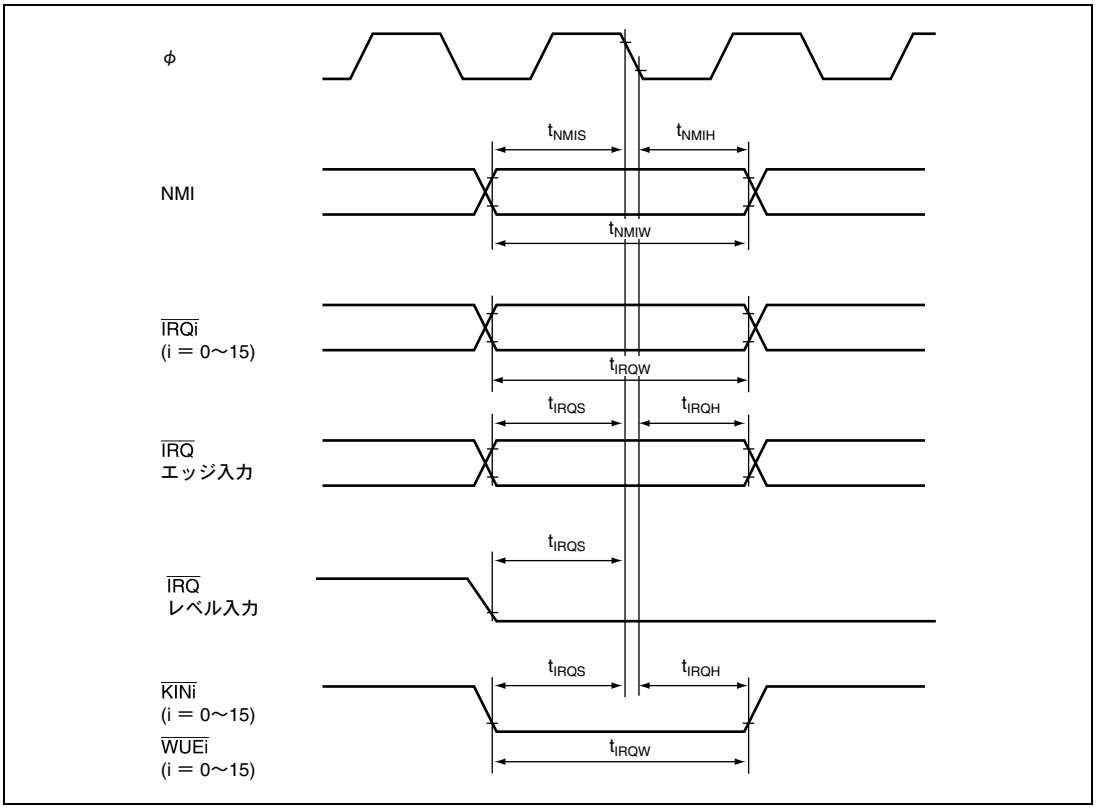


図 22.8　割り込み入力タイミング

22.3.3 内蔵周辺モジュールタイミング

表 22.7、表 22.8 に内蔵周辺モジュールタイミングを示します。サブクロック動作時（φ＝32.768kHz）に動作可能な内蔵周辺モジュールは、I/O ポート、外部割り込み（NMI、IRQ0～IRQ15、KIN0～KIN15、WUE0～WUE15、KBCA～KBCC）、ウォッチドッグタイマ、8 ビットタイマ（チャネル 0, 1）のみです。

表 22.7 内蔵周辺モジュールタイミング（1）

条件：V_{CC}＝3.0V～3.6V、V_{SS}＝0V、φ＝32.768kHz*、φ＝4MHz～20MHz

項目			記号	min	max	単位	測定条件
I/O ポート	出力データ遅延時間		t_{PWD}	–	50	ns	図 22.9
	入力データセットアップ時間		t_{PRS}	30	–		
	入力データデータホールド時間		t_{PRH}	30	–		
FRT	タイマ出力遅延時間		t_{FTOD}	–	50		図 22.10
	タイマ入力セットアップ時間		t_{FTIS}	30	–		
	タイマクロック入力セットアップ時間		t_{FTCS}	30	–		図 22.11
	タイマクロックパルス幅	単エッジ指定	t_{FTCWH}	1.5	–	t_{cyc}	
		両エッジ指定	t_{FTCWL}	2.5	–		
TPU	タイマ出力遅延時間		t_{TOCD}	–	50	ns	図 22.12
	タイマ入力セットアップ時間		t_{TICS}	30	–		
	タイマクロック入力セットアップ時間		t_{TCKS}	30	–		図 22.13
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH}	1.5	–	t_{cyc}	
		両エッジ指定	t_{TCKWL}	2.5	–		
TMR	タイマ出力遅延時間		t_{TMOD}	–	50	ns	図 22.14
	タイマリセット入力セットアップ時間		t_{TMRS}	30	–		図 22.16
	タイマクロック入力セットアップ時間		t_{TMCS}	30	–		図 22.15
	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5	–	t_{cyc}	
		両エッジ指定	t_{TMCWL}	2.5	–		
PWM、PWMX	パルス出力遅延時間		t_{PWOD}	–	50	ns	図 22.17

【注】 * サブクロック動作時に使用可能な内蔵周辺モジュールのみ

表 22.7　内蔵周辺モジュールタイミング（2）

条件：V_{CC}＝3.0V～3.6V、V_{SS}＝0V、φ＝32.768kHz*、φ＝4MHz～20MHz

項　目			記号	min	max	単位	測定条件
SCI	入力クロックサイクル	調歩同期	t_{Scyc}	4	–	t_{cyc}	図 22.18
		クロック同期		6	–		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間		t_{SCKr}	–	1.5	t_{cyc}	
	入力クロック立ち下がり時間		t_{SCKf}	–	1.5		
	送信データ遅延時間（クロック同期）		t_{TXD}	–	50	ns	図 22.19
	受信データセットアップ時間（クロック同期）		t_{RXS}	50	–		
	受信データホールド時間（クロック同期）		t_{RXH}	50	–		
A/D 変換器	トリガ入力セットアップ時間		t_{TRGS}	30	–		図 22.20
WDT	$\overline{RESO}$ 出力遅延時間		t_{RESD}	–	100		図 22.21
	$\overline{RESO}$ 出力パルス幅		t_{RESOW}	132	–	t_{cyc}	

【注】　*　サブクロック動作時に使用可能な内蔵周辺モジュールのみ

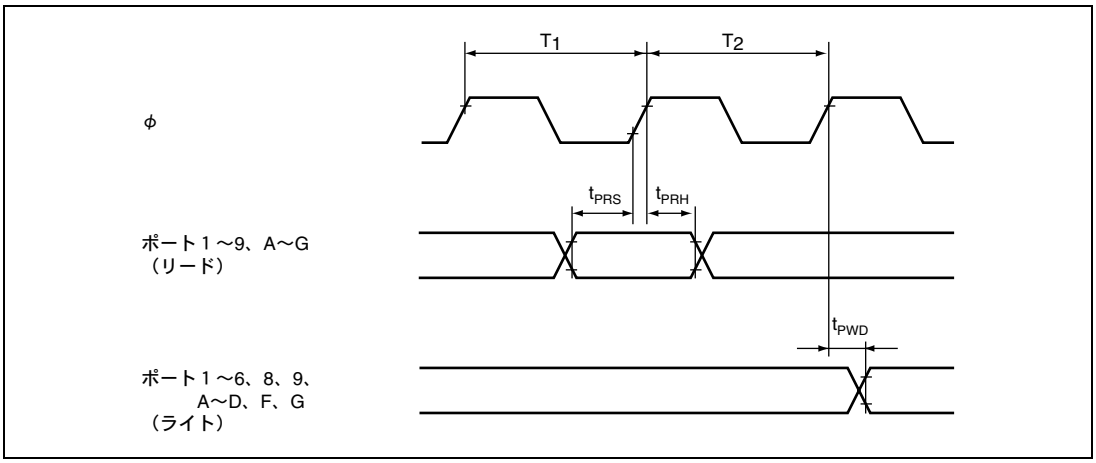


図 22.9　I/O ポート入出力タイミング

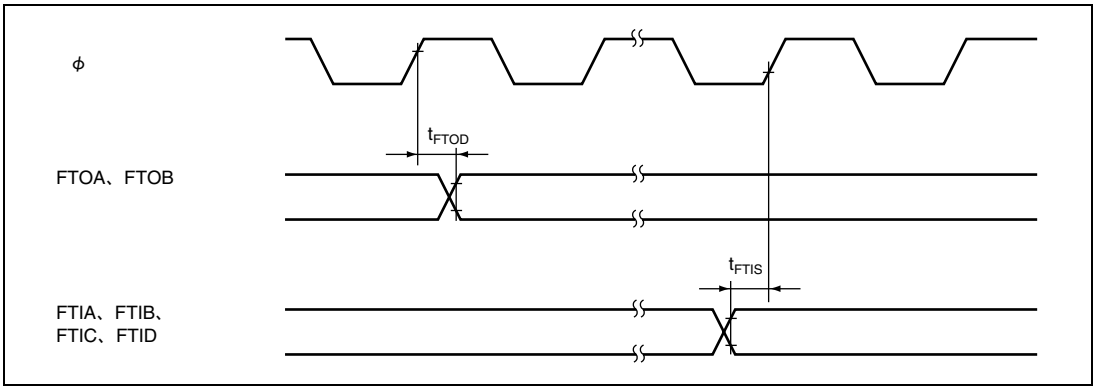


図 22.10　FRT 入出力タイミング

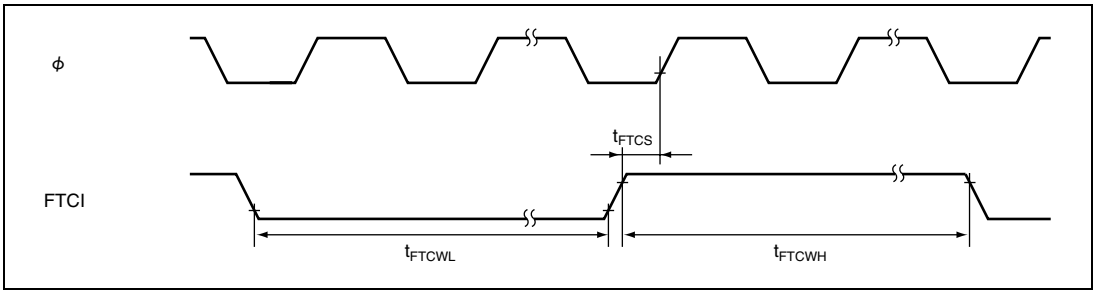


図 22.11　FRT クロック入力タイミング

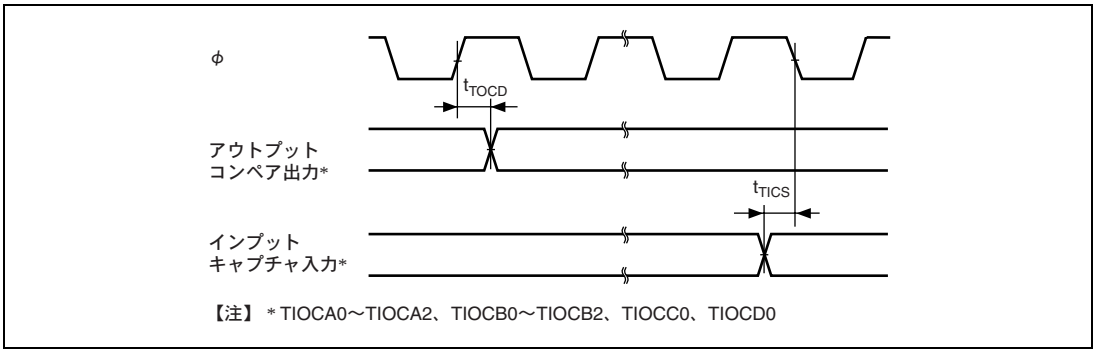


図 22.12　TPU 入出力タイミング

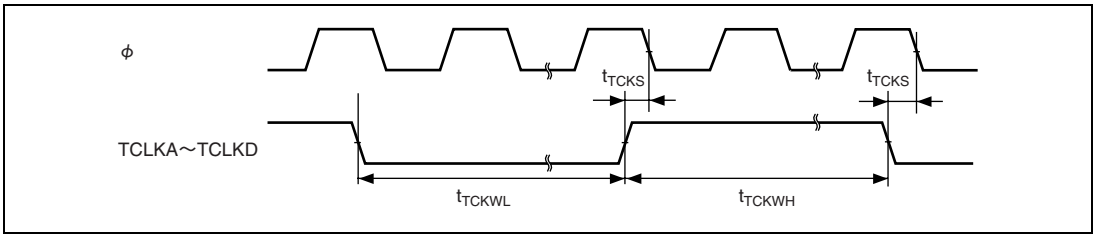


図 22.13　TPU クロック入力タイミング

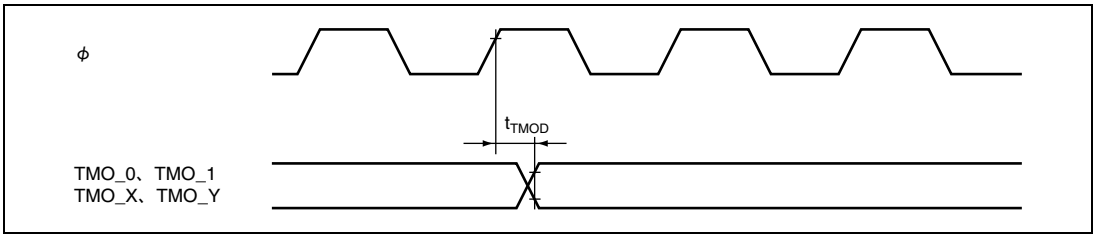


図 22.14　8 ビットタイマ出力タイミング

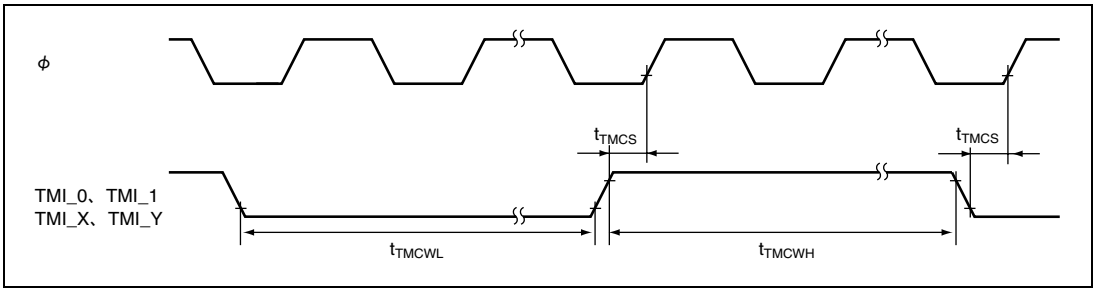


図 22.15　8 ビットタイマクロック入力タイミング

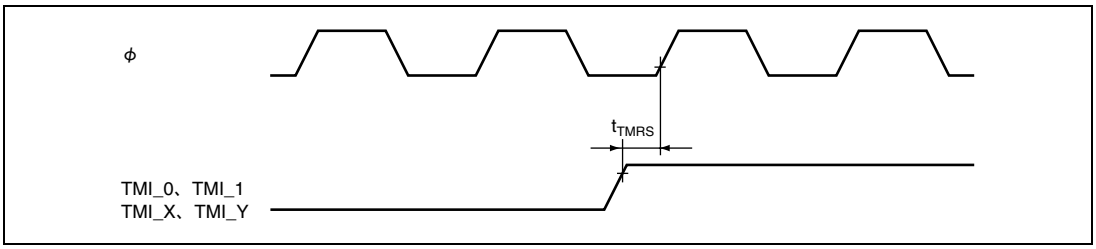


図 22.16　8 ビットタイマリセット入力タイミング

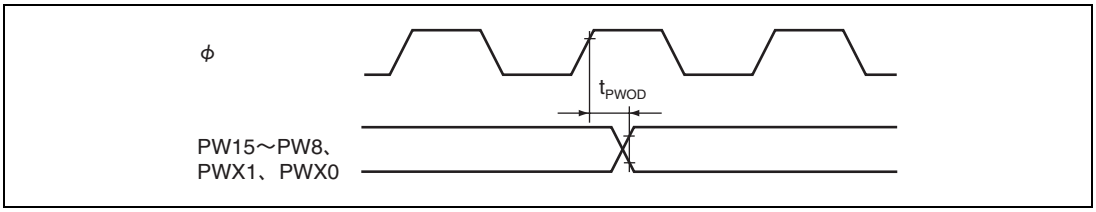


図 22.17　PWM、PWMX 出力タイミング

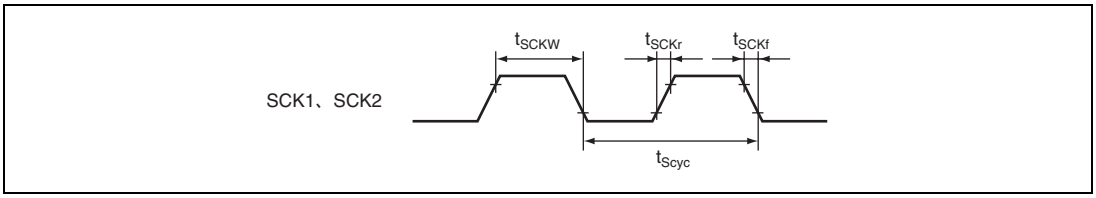


図 22.18　SCK クロック入力タイミング

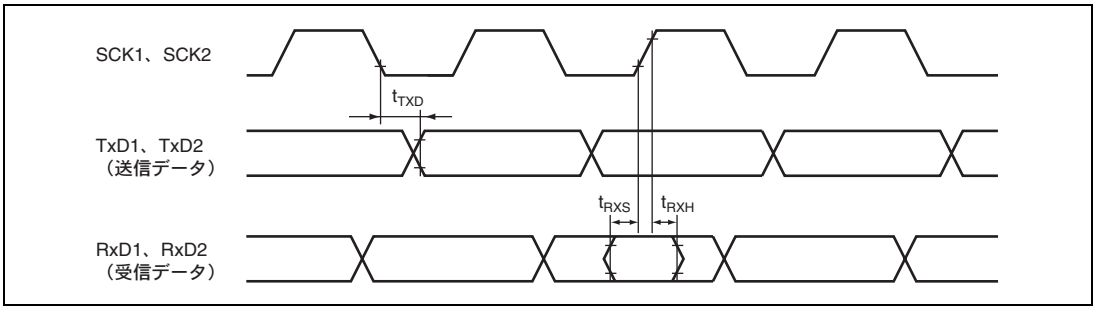


図 22.19　SCI 入出力タイミング／クロック同期式モード

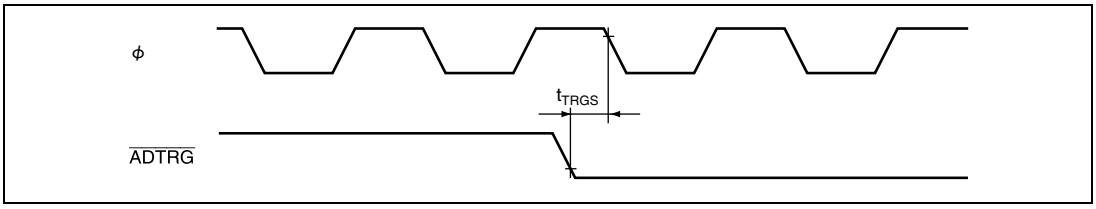


図 22.20　A/D 変換器外部トリガ入力タイミング

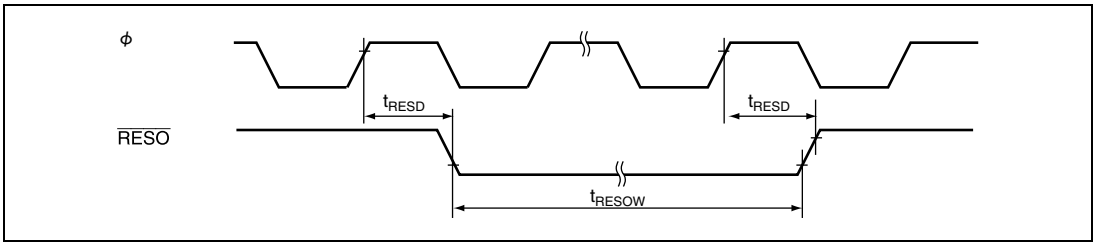


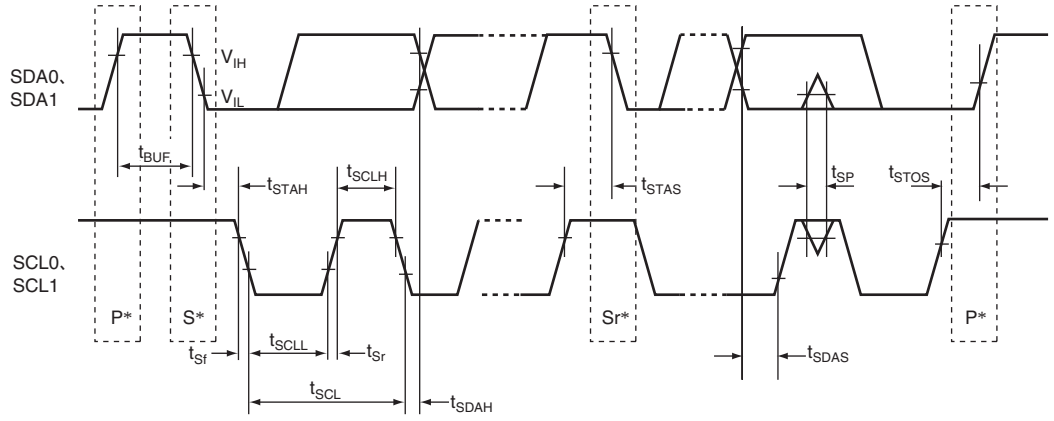
図 22.21　WDT 出力タイミング（RESO）

表 22.8 I^2C バスタイミング

条件：V_{CC}＝3.0V～3.6V、V_{SS}＝0V、φ＝5MHz～最大動作周波数

項　目	記号	min	typ	max	単位	測定条件
SCL 入力サイクル時間	t_{SCL}	12	–	–	t_{cyc}	図 22.22
SCL 入力 High パルス幅	t_{SCLH}	3	–	–		
SCL 入力 Low パルス幅	t_{SCLL}	5	–	–		
SCL、SDA 入力立ち上がり時間	t_{Sr}	–	–	7.5*		
SCL、SDA 入力立ち下がり時間	t_{Sf}	–	–	300	ns	
SCL、SDA 出力立ち下がり時間	t_{Of}	20 ＋ 0.1C_b	–	250		
SCL、SDA 入力スパイクパルス除去時間	t_{SP}	–	–	1	t_{cyc}	
SDA 入力バスフリー時間	t_{BUF}	5	–	–		
開始条件入力ホールド時間	t_{STAH}	3	–	–		
再送開始条件入力セットアップ時間	t_{STAS}	3	–	–		
停止条件入力セットアップ時間	t_{STOS}	3	–	–		
データ入力セットアップ時間	t_{SDAS}	0.5	–	–		
データ入力ホールド時間	t_{SDAH}	0	–	–	ns	
SCL、SDA の容量性負荷	C_b	–	–	400	pF	

【注】 ＊ I^2C モジュールで使用するクロックの選択により、17.5t_{cyc} とすることが可能です。



【注】 ＊ S、P、Srはそれぞれ以下の条件を示します。
S ：開始条件
P ：停止条件
Sr：再送「開始」条件

図 22.22 I^2C バスインタフェース入出力タイミング

表 22.9　JTAG タイミング

条件：V_{CC}＝3.0V～3.6V、V_{SS}＝0V、φ＝4MHz～20MHz

項　目	記号	min	max	単位	測定条件
ETCK クロックサイクル時間	t_{TCKcyc}	50*	250*	ns	図 22.23
ETCK クロック High レベルパルス幅	t_{TCKH}	20	–		
ETCK クロック Low レベルパルス幅	t_{TCKL}	20	–		
ETCK クロック立ち上がり時間	t_{TCKr}	–	5		
ETCK クロック立ち下がり時間	t_{TCKf}	–	5		
$\overline{\text{ETRST}}$ パルス幅	t_{TRSTW}	20	–	t_{cyc}	図 22.24
リセットホールド遷移パルス幅	t_{RSTHW}	3	–		
ETMS セットアップ時間	t_{TMSS}	20	–	ns	図 22.25
ETMS ホールド時間	t_{TMSH}	20	–		
ETDI セットアップ時間	t_{TDIS}	20	–		
ETDI ホールド時間	t_{TDIH}	20	–		
ETDO データ遅延時間	t_{TDOD}	–	20		

【注】　*　ただし、$t_{cyc} \leqq t_{TCKcyc}$

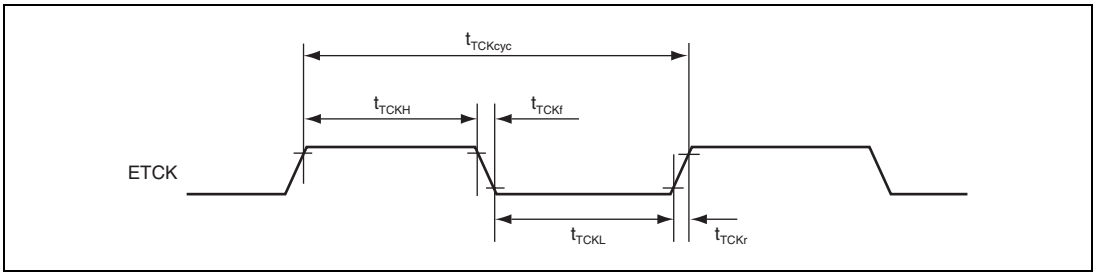


図 22.23　JTAG ETCK タイミング

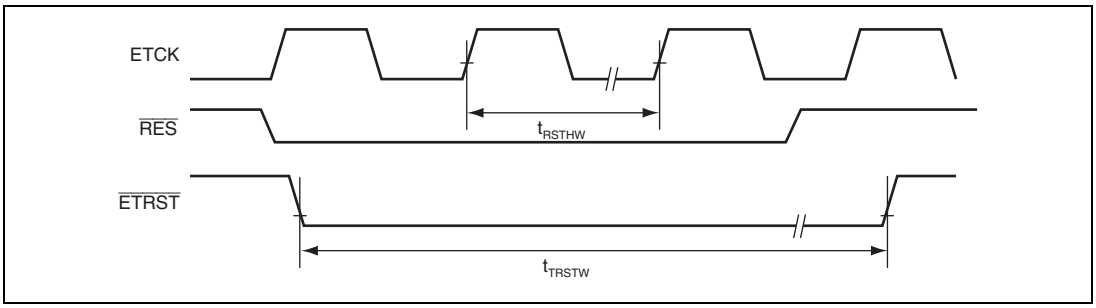


図 22.24　リセットホールドタイミング

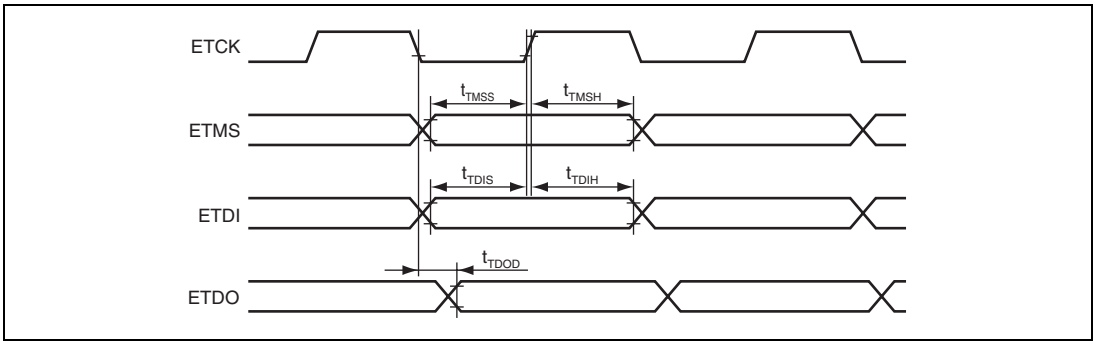


図 22.25　JTAG 入出力タイミング

22.3.4　A/D 変換特性

A/D 変換特性を表 22.10 に示します。

表 22.10　A/D 変換特性（AN7～AN0 入力：134／266 ステート変換）

条件 A：V_{CC}＝3.0V～3.6V、AV_{CC}＝3.0V～3.6V、AVref＝3.0V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝4MHz～16MHz
条件 B：V_{CC}＝3.0V～3.6V、AV_{CC}＝3.0V～3.6V、AVref＝3.0V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、φ＝4MHz～20MHz

項　目	条件 A			条件 B			単　位
	min	typ	max	min	typ	max	
分解能		10			10		ビット
変換時間	–	–	8.38*1	–	–	13.4*2	μs
アナログ入力容量	–	–	20	–	–	20	pF
許容信号源インピーダンス	–	–	5	–	–	5	kΩ
非直線性誤差	–	–	±7.0	–	–	±7.0	LSB
オフセット誤差	–	–	±7.5	–	–	±7.5	
フルスケール誤差	–	–	±7.5	–	–	±7.5	
量子化誤差	–	–	±0.5	–	–	±0.5	
絶対精度	–	–	±8.0	–	–	±8.0	

【注】　*1　134 ステートで最大動作周波数のとき
　　*2　266 ステートで最大動作周波数のとき

22.4 フラッシュメモリ特性

表 22.11 にフラッシュメモリ特性を示します。

表 22.11 フラッシュメモリ特性

条件：V_{CC}＝3.0V～3.6V、AV_{CC}＝3.0V～3.6V、AVref＝3.0V～AV_{CC}、V_{SS}＝AV_{SS}＝0V

T_a＝0～+75℃（書き込み／消去時の動作温度範囲）

項目	記号	min.	typ.	max.	単位	測定条件
書き込み時間*1*2*4	t_P	－	3	30	ms/128 バイト	
消去時間*1*2*4	t_E	－	80	800	ms/4K バイト	
		－	500	5000	ms/32K バイト	
		－	1000	10000	ms/64K バイト	
書き換え回数	N_{WEC}	100*3	－	－	回	
データ保持時間*4	t_{DRP}	10	－	－	年	

【注】 *1 書き込み、消去時間はデータに依存します。

*2 書き込み、消去時間にはデータ転送時間は含みません。

*3 書き換え後のすべての特性を保証する min.回数です。（保証は 1～min.値の範囲）

*4 書き換えが min.値を含む仕様範囲内で行われたときの特性です。

22.5　使用上の注意事項

VCC 端子と VSS 端子の間にはバイパスコンデンサ、VCL 端子と VSS 端子の間には内部降圧安定化用のコンデンサを接続する必要があります。図 22.26 に接続例を示します。

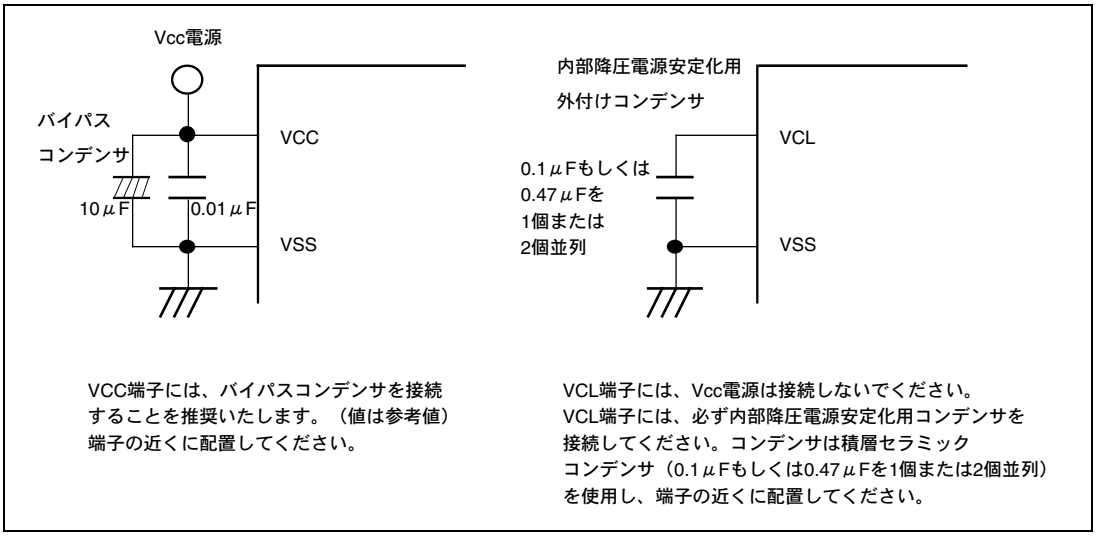


図 22.26　VCC 端子と VCL 端子のコンデンサ接続方法

付録

A.　各処理状態における I/O ポートの状態

表 A.1　各処理状態における I/O ポートの状態

ポート名 端子名	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	ウォッチ モード	スリープ モード	サブ スリープ モード	サブ アクティブ モード	プログラム 実行状態
ポート 1	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート
ポート 2	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート
ポート 3	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート
ポート 4	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート
ポート 50 ExEXCL	T	T	keep	ExEXCL 入力／ keep	keep	ExEXCL 入力／ keep	ExEXCL 入力／ 入出力ポート	ExEXCL 入力／ 入出力ポート
ポート 51、52	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート
ポート 6	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート
ポート 7、E	T	T	T	T	T	T	入力ポート	入力ポート
ポート 8	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート
ポート 97	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート
ポート 96 φ、 EXCL	T	T	[DDR=1]H [DDR=0]T	EXCL 入力／ keep	[DDR=1] クロック出力 [DDR=0]T	EXCL 入力／ keep	EXCL 入力／ 入力ポート	クロック出力／ EXCL 入力／ 入力ポート
ポート 95～90	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート
ポート A～D、F、G	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート

【記号説明】

H　：High レベル

L　：Low レベル

T　：ハイインピーダンス

keep　：入力ポートはハイインピーダンス（DDR=0、PCR=1 の場合、入力プルアップ MOS は ON 状態を保持）
出力ポートは保持
なお、端子により内蔵周辺モジュールが初期化され、DDR、DR で決まる入出力ポートとなる場合があります。

DDR　：データディレクションレジスタ

B.　型名一覧

製品分類		製品型名	マーク型名	パッケージ（コード）
H8S/2189R	F-ZTAT 版	R4F2189R	F2189RVTE20	PTQP0144LC-A（TFP-144）

C. 外形寸法図

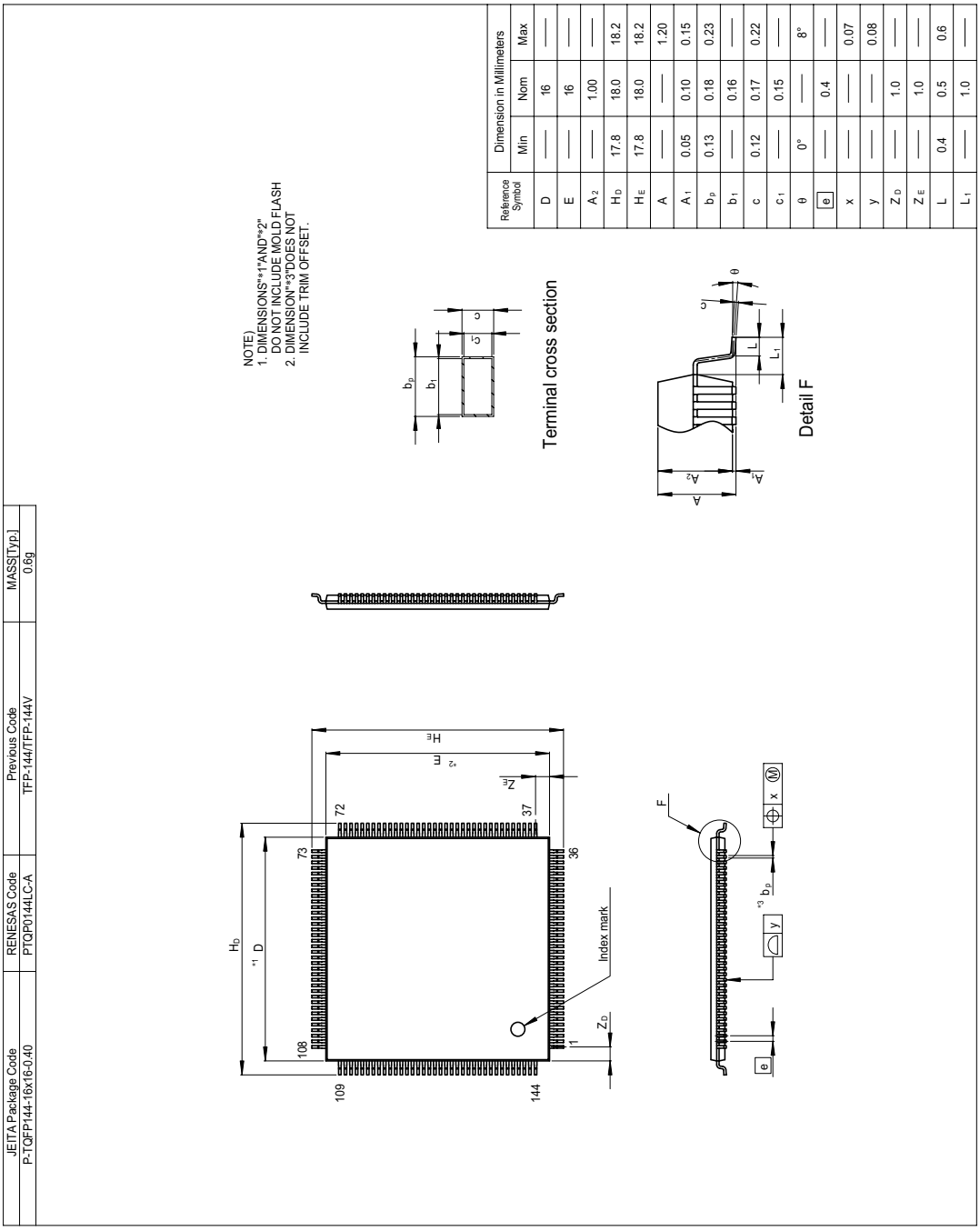


図 C.1　TFP-144 外形寸法図

索引

【数字／記号】

14 ビット PWM タイマ（PWMX） 9-1
16 ビットカウントモード 12-20
16 ビットタイマパルスユニット 11-1
8 ビット PWM タイマ（PWM） 8-1
8 ビットタイマ（TMR） 12-1

【A～Z】

A/D 変換器 16-1
A/D 変換器の起動 11-45
A/D 変換時間 16-8
ADI 割り込み 16-9
Bcc 2-23
CMIA 12-23
CMIAY 12-23
CMIB 12-23
CMIBY 12-23
EA 拡張部 2-25
EEPMOV 命令 2-34
ERI1 14-57
ERI2 14-57
FOVI 10-19
H8S/2140B グループ互換ベクタモード 5-10, 5-14
I^2C バスインタフェース 15-1
I^2C バスデータフォーマット 15-21
ICIA 10-19
ICIB 10-19
ICIC 10-19
ICID 10-19
ICIX 12-23
IICI 15-49
IrDA 動作 14-54
OCIA 10-19
OCIB 10-19
OVI 12-23
OVIY 12-23
PWM モード 11-35
PWM 変換周期 8-3
RAM 17-1
RXI1 14-57
RXI2 14-57
TCI0V 11-44
TCI1U 11-44
TCI1V 11-44
TCI2U 11-44
TCI2V 11-44
TCNT 13-3
TEI1 14-57
TEI2 14-57
TGI0A 11-44
TGI0B 11-44
TGI0C 11-44
TGI0D 11-44
TGI1A 11-44
TGI1B 11-44
TGI2A 11-44
TGI2B 11-44
TRAPA 命令 4-5
TXI1 14-57
TXI2 14-57
WOVI 13-9

【あ】

アウトプットコンペア 10-13
アドレスマップ 3-6
アドレス空間 2-7
アドレッシングモード 2-26
イミディエイト 2-28
インターバルタイマモード 13-8
インタフェース 14-1
インプットキャプチャ 10-14
インプットキャプチャ動作 12-21
ウォッチドッグタイマ（WDT） 13-1
ウォッチドッグタイマモード 13-7
ウォッチモード 20-12
エクステンドレジスタ 2-10
エラープロテクト 18-44
オーバフロー 13-7
オーバランエラー 14-28
オペレーションフィールド 2-25
オンボードプログラミング 18-22

オンボードプログラミングモード 18-1

【か】

外部クロック 19-3
外部トリガ 16-9
書き込み／消去インタフェースパラメータ 18-15
書き込み／消去インタフェースレジスタ 18-11
拡張ベクタモード 5-14
各動作モードでの LSI の内部状態 20-8
カスケード接続 12-20
基本周期 9-9
基本パルス 8-7
キャリア周波数 8-3
クロック同期式モード 14-36
クロック発振器 19-1
コンディションコードレジスタ 2-10
コンディションフィールド 2-25
コンペアマッチカウントモード 12-21
コンペアマッチによる波形出力 11-28

【さ】

サブアクティブモード 20-13
サブスリープモード 20-12
算術演算命令 2-18
システム制御命令 2-24
実効アドレス 2-26, 2-29
シフト命令 2-20
シリアルコミュニケーション
インタフェース（SCI） 14-1
シリアルデータ受信 14-28
シリアルデータ送信 14-26
シリアルフォーマット 15-22
シングルモード 16-7
水晶発振子 19-2
スキャンモード 16-7
スタックの状態 4-6
スタックポインタ 2-9
スマートカード 14-1
スマートカードインタフェース 14-44
スリープモード 20-10
絶対アドレス 2-27
ソフトウェアスタンバイモード 20-10
ソフトウェアプロテクト 18-43

【た】

ダウンロードパス・フェイルリザルトパラメータ 18-16
端子機能 1-10
中速モード 20-9
調歩同期式モード 14-21
直接遷移 20-14
通信プロトコル 18-48
低消費電力状態 20-1
ディスプレースメント付きレジスタ間接 2-26
データ転送命令 2-17
手順プログラム 18-38
同期動作 11-31
動作モード別端子機能一覧 1-5
トグル出力 11-29
トラップ命令例外処理 4-5

【な】

内部ブロック図 1-3
ノイズ除去回路 15-48

【は】

ハードウェアスタンバイモード 20-11
ハードウェアプロテクト 18-43
パスアドレスエリアパラメータ 18-18
バッファ動作 11-32
パリティエラー 14-28
汎用レジスタ 2-9
ビットレート 14-14
ビット操作命令 2-21, 2-33
標準シリアル通信インタフェース仕様 18-46
ピン配置図 1-4
ブートモード 18-22
付加パルス 8-8
フラッシュイレースブロックセレクトパラメータ 18-20
フラッシュパス／フェイルパラメータ 18-21
フラッシュプログラム／
イレース周波数パラメータ 18-17
フラッシュマット構成 18-5
フラッシュマルチパーパスデータ
デスティネーションパラメータ 18-18
フラッシュメモリ 18-1
プリデクリメントレジスタ間接 2-27
フレーミングエラー 14-28
プログラムカウンタ 2-10
プログラムカウンタ相対 2-28
ブロック転送命令 2-24
プロテクト 18-43
分解能 9-9
分岐命令 2-23
ベクタアドレスの切り替え 5-31

変換周期 9-9
ポストインクリメントレジスタ間接 2-27

【ま】

マルチプロセッサ通信機能 14-31
命令セット 2-15
メモリ間接 2-28
モード遷移図 20-7
モード比較 18-4
モジュールストップモード 20-13

【や】

ユーザブートマット 18-45
ユーザブートモード 18-35
ユーザプログラムモード 18-25
ユーザマット 18-45
ユーザメモリマット 18-1

【ら】

ライタモード 18-46
リセット 4-4
リセット例外処理 4-4
レジスタ
ADCR 16-6, 21-9, 21-17, 21-23, 21-30, 21-40
ADCSR 16-5, 21-9, 21-17, 21-23, 21-30, 21-40
ADDR 16-4, 21-9, 21-17, 21-23, 21-30, 21-40
BCR 6-1
BRR 14-14, 21-6, 21-14, 21-21, 21-27, 21-39
DACNT 9-2, 21-7, 21-19, 21-26, 21-29, 21-36
DACR 9-5, 21-7, 21-19, 21-26, 21-28, 21-35
DADR 9-3, 21-4, 21-7, 21-19, 21-28, 21-36
DDCSWR 15-18, 21-5, 21-14, 21-20, 21-27, 21-40
FCCS 18-11, 21-4, 21-13, 21-19, 21-26, 21-40
FECS 18-13, 21-4, 21-13, 21-19, 21-26, 21-41
FKEY 18-13, 21-4, 21-13, 21-20, 21-26, 21-41
FMATS 18-14, 21-4, 21-13, 21-20, 21-26, 21-41
FPCS 18-13, 21-4, 21-13, 21-19, 21-26, 21-40
FRC 10-4, 21-6, 21-15, 21-21, 21-28, 21-36
FTDAR 18-14
ICCR 15-8, 21-9, 21-17, 21-23, 21-30, 21-39
ICDR 15-4, 21-9, 21-17, 21-23, 21-30, 21-39
ICMR 15-7, 21-9, 21-17, 21-23, 21-30, 21-39
ICR 5-4, 10-4, 21-4, 21-6, 21-13, 21-15,
.....21-19, 21-21, 21-25, 21-28, 21-33, 21-36
ICSR 15-15, 21-9, 21-17, 21-23, 21-30, 21-39
ICXR 15-19, 21-5, 21-14, 21-20, 21-27, 21-39
IER 5-7, 21-8, 21-16, 21-22, 21-30, 21-33
ISCR 5-5, 21-5, 21-14, 21-20, 21-27, 21-33
ISR 5-8, 21-5, 21-14, 21-20, 21-27, 21-33
ISSR 5-12, 21-5, 21-14, 21-20, 21-27, 21-33
KBCOMP 14-20, 21-5, 21-14, 21-20, 21-27, 21-39
KMPCR 7-18, 21-4, 21-13, 21-19, 21-25, 21-34
LPWRCR 20-4, 21-6, 21-14, 21-21, 21-27, 21-41
MDCR 3-2, 21-8, 21-16, 21-22, 21-30, 21-41
MSTPCR 20-5, 21-6, 21-14, 21-21, 21-27, 21-41
OCR 10-4, 21-6, 21-15, 21-21, 21-28, 21-36
OCRAF 10-5, 21-6, 21-15, 21-21, 21-28, 21-36
OCRAR 10-5, 21-6, 21-15, 21-21, 21-28, 21-36
OCRDM 10-5, 21-7, 21-15, 21-21, 21-28, 21-36
P1DDR 7-4, 21-8, 21-15, 21-22, 21-29, 21-33
P1DR 7-5, 21-8, 21-15, 21-22, 21-29, 21-33
P1PCR 7-5, 21-7, 21-15, 21-21, 21-29, 21-33
P2DDR 7-6, 21-8, 21-15, 21-22, 21-29, 21-33
P2DR 7-7, 21-8, 21-15, 21-22, 21-29, 21-33
P2PCR 7-7, 21-7, 21-15, 21-22, 21-29, 21-33
P3DDR 7-9, 21-8, 21-16, 21-22, 21-29, 21-33
P3DR 7-9, 21-8, 21-16, 21-22, 21-29, 21-34
P3PCR 7-10, 21-7, 21-15, 21-22, 21-29, 21-33
P4DDR 7-11, 21-8, 21-16, 21-22, 21-29, 21-34
P4DR 7-11, 21-8, 21-16, 21-22, 21-29, 21-34
P5DDR 7-15, 21-8, 21-16, 21-22, 21-29, 21-34
P5DR 7-15, 21-8, 21-16, 21-22, 21-29, 21-34
P6DDR 7-17, 21-8, 21-16, 21-22, 21-29, 21-34
P6DR 7-18, 21-8, 21-16, 21-22, 21-29, 21-34
P6NCCS 7-19, 21-2, 21-11, 21-18, 21-24, 21-34
P6NCE 7-18, 21-2, 21-11, 21-18, 21-24, 21-34
P6NCMC 7-19, 21-2, 21-11, 21-18, 21-24, 21-34
P7PIN 7-24, 21-8, 21-16, 21-22, 21-29, 21-34
P8DDR 7-25, 21-8, 21-16, 21-22, 21-29, 21-34
P8DR 7-25, 21-8, 21-16, 21-22, 21-29, 21-34
P9DDR 7-28, 21-8, 21-16, 21-22, 21-29, 21-34
P9DR 7-29, 21-8, 21-16, 21-22, 21-29, 21-34
P9PCR 7-29, 21-2, 21-11, 21-18, 21-24, 21-34
PADDR 7-32, 21-7, 21-15, 21-21, 21-29, 21-34
PAODR 7-33, 21-7, 21-15, 21-21, 21-29, 21-34
PAPIN 7-33, 21-7, 21-15, 21-21, 21-29, 21-34
PBDDR 7-34, 21-8, 21-16, 21-22, 21-29, 21-34
PBODR 7-34, 21-8, 21-16, 21-22, 21-29, 21-34
PBPIN 7-35, 21-8, 21-16, 21-22, 21-29, 21-34
PCDDR 7-36, 21-3, 21-12, 21-19, 21-25, 21-34
PCNCCS 7-38, 21-2, 21-11, 21-18, 21-24, 21-34
PCNCE 7-37, 21-2, 21-11, 21-18, 21-24, 21-34
PCNCMC 7-38, 21-2, 21-11, 21-18, 21-24, 21-34
PCNOCR 7-39, 21-2, 21-11, 21-18, 21-24, 21-34

PCODR 7-37, 21-3, 21-12, 21-19, 21-25, 21-34
PCPIN 7-37, 21-3, 21-12, 21-19, 21-25, 21-34
PCSR 8-6, 21-6, 21-14, 21-20, 21-27, 21-35
PDDDR 7-40, 21-3, 21-12, 21-19, 21-25, 21-35
PDNOCR.....7-44, 21-2, 21-11, 21-18, 21-24, 21-34
PDODR 7-41, 21-3, 21-12, 21-19, 21-25, 21-35
PDPIN 7-41, 21-3, 21-12, 21-19, 21-25, 21-35
PEPCR.....7-46, 21-3, 21-12, 21-18, 21-24, 21-35
PEPIN 7-46, 21-3, 21-12, 21-18, 21-24, 21-35
PFDDR.....7-48, 21-3, 21-12, 21-18, 21-25, 21-35
PFNOCR.....7-50, 21-2, 21-11, 21-18, 21-24, 21-35
PFODR 7-48, 21-3, 21-12, 21-18, 21-24, 21-35
PFPIN 7-49, 21-3, 21-12, 21-18, 21-25, 21-35
PGDDR 7-52, 21-3, 21-12, 21-18, 21-24, 21-35
PGNCCS.....7-54, 21-2, 21-11, 21-18, 21-24, 21-35
PGNCE 7-53, 21-2, 21-11, 21-18, 21-24, 21-35
PGNCMC 7-54, 21-2, 21-11, 21-18, 21-24, 21-35
PGNOCR 7-58, 21-2, 21-11, 21-18, 21-24, 21-35
PGODR.....7-53, 21-2, 21-12, 21-18, 21-24, 21-35
PGPIN.....7-53, 21-2, 21-12, 21-18, 21-24, 21-35
PTCNT0 .....7-59, 21-2, 21-11, 21-18, 21-24, 21-35
PTCNT1 .....7-60, 21-2, 21-11, 21-18, 21-24, 21-35
PTCNT2 .....7-61, 21-2, 21-11, 21-18, 21-24, 21-35
PWDPR.....8-5, 21-9, 21-16, 21-23, 21-30, 21-35
PWDR 8-4, 21-9, 21-16, 21-23, 21-30, 21-35
PWOER 8-5, 21-9, 21-16, 21-23, 21-30, 21-35
PWSL.....8-3, 21-9, 21-16, 21-23, 21-30, 21-35
RDR 14-4, 21-6, 21-14, 21-21, 21-27, 21-39
RSR 14-4
SAR.....15-5, 21-9, 21-17, 21-23, 21-30, 21-40
SARX 15-6, 21-9, 21-17, 21-23, 21-30, 21-39
SBYCR.....20-2, 21-6, 21-14, 21-21, 21-27, 21-41
SCMR 14-13, 21-6, 21-14, 21-21, 21-27, 21-39
SCR 14-7, 21-6, 21-14, 21-21, 21-27, 21-39
SMR.....14-5, 21-6, 21-14, 21-21, 21-27, 21-39
SSR.....14-9, 21-6, 21-14, 21-21, 21-27, 21-39
STCR 3-3, 21-8, 21-16, 21-22, 21-30, 21-41
SYSCR.....3-2, 21-8, 21-16, 21-22, 21-30, 21-41
SYSCR2.....7-21, 21-6, 21-14, 21-20, 21-27, 21-41
SYSCR3..... 3-5, 21-4, 21-13, 21-19, 21-25, 21-41
TCNT..... 11-22, 12-6, 21-3, 21-7, 21-8, 21-12,
..... 21-15, 21-16, 21-19, 21-21, 21-22,
..... 21-25, 21-29, 21-30, 21-37, 21-39
TCONRI.... 12-15, 21-10, 21-17, 21-23, 21-32, 21-38
TCONRS .. 12-15, 21-10, 21-17, 21-23, 21-32, 21-38
TCOR 12-6, 21-8, 21-16, 21-22, 21-30, 21-37
TCR..... 10-9, 11-7, 12-7, 21-3, 21-6, 21-8,
..... 21-12, 21-15, 21-16, 21-19, 21-21,
..... 21-22, 21-25, 21-28, 21-30, 21-36, 21-37
TCSR 10-7, 12-10, 21-6, 21-7, 21-8,
..... 21-15, 21-16, 21-21, 21-22, 21-23,
..... 21-28, 21-30, 21-36, 21-37, 21-39
TDR..... 14-4, 21-6, 21-14, 21-21, 21-27, 21-39
TGR..... 11-22, 21-3, 21-12, 21-19, 21-25, 21-37
TICRF..... 12-14, 21-10, 21-17, 21-23, 21-31, 21-38
TICRR 12-14, 21-10, 21-17, 21-23, 21-31, 21-38
TIER..... 10-5, 11-19, 21-3, 21-6, 21-12, 21-15,
..... 21-19, 21-21, 21-25, 21-28, 21-36, 21-37
TIOR..... 11-10, 21-3, 21-12, 21-19, 21-25, 21-37
TISR..... 12-14, 21-10, 21-13, 21-20, 21-26, 21-38
TMDR..... 11-9, 21-3, 21-12, 21-19, 21-25, 21-37
TOCR..... 10-10, 21-6, 21-15, 21-21, 21-28, 21-36
TSR..... 11-20, 21-3, 21-12, 21-19, 21-25, 21-37
TSTR..... 11-23, 21-4, 21-13, 21-20, 21-26, 21-37
TSYR..... 11-23, 21-4, 21-13, 21-20, 21-26, 21-37
WSCR 6-2
例外処理 4-1
例外処理ベクタテーブル 4-1, 4-3
レジスタフィールド 2-25
レジスタ間接 2-26
レジスタ直接 2-26
論理演算命令 2-20

【わ】

割り込みコントローラ 5-1
割り込みマスクビット 2-10
割り込み例外処理 4-5
割り込み例外処理ベクタテーブル 5-16

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8S/2189Rグループ

発行年月日　2004年11月23日　Rev.1.00
　　2005年5月24日　Rev.2.00
発　　行　株式会社ルネサス テクノロジ 営業企画統括部
　　〒100-0004 東京都千代田区大手町 2-6-2
編　　集　株式会社ルネサス小平セミコン 技術ドキュメント部

© 2005. Renesas Technology Corp., All rights reserved. Printed in Japan.

株式会社ルネサス テクノロジ　営業企画統括部　〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

http://www.renesas.com

本社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京浜支社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西東京支社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東北支社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
いわき支店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨城支店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新潟支店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松本支社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中部支社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関西支社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北陸支社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広島支店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥取支店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九州支社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンタ　E-Mail: csc@renesas.com

Colophon 5.5

H8S/2189R グループ
ハードウェアマニュアル

ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0223-0200