お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ（http://www.renesas.com）

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社（http://www.renesas.com）

【問い合わせ先】http://japan.renesas.com/inquiry

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

   標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

   高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

   特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

User's Manual

16

RENESAS

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

H8S/2158

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
H8Sファミリ／ H8S/2100シリーズ

H8S/2158　　HD64F2158

ルネサス エレクトロニクス
www.renesas.com

Rev.3.00　2005.09

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (http://www.renesas.com) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任は負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

   【注意】NC端子には、何も接続しないようにしてください。

   NC(Non-Connection)**端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。接続された場合については保証できません。**

2. **未使用入力端子の処理**

   【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

   CMOS**製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。**

3. **初期化前の処置**

   【注意】電源投入時は，製品の状態は不定です。

   すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. **未定義・リザーブアドレスのアクセス禁止**

   【注意】未定義・リザーブアドレスのアクセスを禁止します。

   未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的注意事項
2. 本書の構成
3. はじめに
4. 本版で改訂された箇所

> 改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。
> 改訂内容のすべてについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

5. 目次
6. 概要
7. 各機能モジュールの説明

・CPU およびシステム制御系

・内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュールごとに異なりますが、一般的には、
①特長、②入出力端子、③レジスタの説明、④動作説明、⑤使用上の注意事項、
等の節で構成されています。

> 本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。
> 各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。
> 必ずお読みください。(使用上の注意事項は必要により記載されます。)

8. レジスタ一覧
9. 電気的特性
10. 付録
    - 製品型名、外形寸法など
11. 索引

はじめに

H8S/2158 は、ルネサスオリジナルアーキテクチャを採用した H8S/2000 CPU を核にして、ノート PC、携帯型情報家電製品などのシステム構成に必要な周辺機能を集積したマイクロコンピュータです。

H8S/2000 CPU は、内部 32 ビット構成で、16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。また、H8/300CPU および H8/300H CPU の命令に対し、オブジェクトレベルで上位互換を保っていますので、H8/300、H8/300L、H8/300H の各シリーズから容易に移行することができます。

システム構成に必要な基本機能としては、ROM、RAM、2 種類の PWM タイマ（PWM、PWMX）、16 ビットフリーランニングタイマ（FRT）、8 ビットタイマ（TMR）、ウォッチドッグタイマ（WDT）、シリアルコミュニケーションインタフェース（SCI）、I^2C バスインタフェース（IIC）、D/A 変換器、A/D 変換器、I/O ポートの周辺機能などを内蔵しています。

特に、フラッシュメモリカードを記録メディアとしたシステムを構築するために、ユニバーサルシリアルバスインタフェース（USB）と共にマルチメディアカード（MultiMediaCard™*1）インタフェース（MCIF）を内蔵しています。また、シリアルコミュニケーションインタフェース（SCI）は、スマートカードインタフェースの機能を持っています。音楽配信の著作権保護などに必須な暗号機能としては、「ケータイ de ミュージック*2」の規格に適応した暗号演算の補助ハードウェア（DES、GF）を内蔵しています。これによりセキュアマルチメディアカード（Secure-MultiMediaCard™*1）へのインタフェースを容易にすることができます。

さらにバスマスタとして、データトランスファコントローラ（DTC）、および USB、MCIF などの FIFO を集中して操作可能な RAM-FIFO ユニット（RFU）があります。

内蔵 ROM は、フラッシュメモリ（F-ZTAT™*3）であり、256k バイトの容量を持っています。ROM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。命令フェッチを高速化し、処理速度を向上しています。

動作モードとしては、モード 2、3 があり、アドレス空間やシングルチップモード／外部拡張モードの選択ができます。それ以外の特殊な動作モードとしては、フラッシュメモリのブート書き込み、オンチップエミュレーションやバウンダリスキャンなどの動作を選択することができます。

【注】 *1 MultiMediaCard™ は Infineon Technologies AG の商標です。
Secure-MultiMediaCard™ は、コンテンツ保護機能を持ったマルチメディアカードです。

*2 三洋電機株式会社、富士通株式会社、日本コロムビア株式会社、株式会社 PFU、株式会社ルネサス テクノロジの 5 社がまとめた、携帯電話、PHS に音楽等のデジタルコンテンツを配信するシステムの技術規格。セキュリティガイドライン、プロトコル規格、セキュアマルチメディアカード規格およびダウンロード再生システム規格から構成される。

URL:http://www.keitaide-music.org/

*3 F-ZTAT は（株）ルネサス テクノロジの商標です。

対象者　このマニュアルは、H8S/2158 を用いた応用システムを設計するユーザを対象としています。
このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的　このマニュアルは、H8S/2158 のハードウェア機能と電気的特性をユーザに理解して頂くことを目的にしています。なお、実行命令の詳細については、**「H8S/2600 シリーズ、H8S/2000 シリーズ ソフトウェアマニュアル」**に記載していますので併せて御覧ください。

読み方

- 機能全体を理解しようとするとき。
  → 目次に従って読んでください。
  本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU機能の詳細を理解したいとき。
  → 別冊の**「H8S/2600シリーズ、H8S/2000シリーズ ソフトウェアマニュアル」**を参照してください。
- レジスタ名が判っていて、詳細機能を知りたいとき。
  → 本書の後ろに「索引」があります。索引からページ番号を検索してください。
  「第28章　レジスター覧」にアドレス、ビット内容、初期化についてまとめています。

凡例　レジスタ表記　：シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャネルに存在する場合に次の表記を使用します。
XXX_N　（XXX は基本レジスタ名称、N はチャネル番号）
ビット表記順　：左側が上位ビット、右側が下位ビット
数字の表記　：2 進数は B’xxxx、16 進数は H’xxxx、10 進数は xxxx
信号の表記　：ローアクティブの信号にはオーババーを付けます。$\overline{\text{xxxx}}$

関連資料一覧　ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。

(http://japan.renesas.com/homepage.jsp)

- H8S/2158**に関するユーザーズマニュアル**

資料名	資料番号
H8S/2158 **ハードウェアマニュアル**	**本マニュアル**
H8S/2600 **シリーズ、**H8S/2000 **シリーズ ソフトウェアマニュアル**	RJJ09B0143

- **開発ツール関連ユーザーズマニュアル**

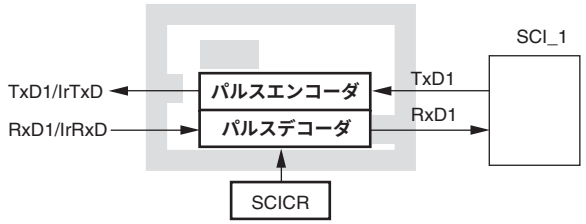
資料名	資料番号
H8S、H8/300 **シリーズ** C/C++**コンパイラ、アセンブラ、最適化リンケージエディタ ユーザーズマニュアル**	ADJ－702－303
H8S、H8/300 **シリーズ シミュレータ・デバッガ（**Windows **版）ユーザーズマニュアル**	ADJ－702－163
H8S、H8/300 **シリーズ シミュレータ・デバッガ（**UNIX **版）ユーザーズマニュアル**	ADJ－702－355
H8S、H8/300 **シリーズ** High-performance Embedded Workshop、High-performance Debugging Interface **チュートリアル**	ADJ―702―307
High-performance Embedded Workshop **ユーザーズマニュアル**	ADJ－702－275

- **アプリケーションノート**

資料名	資料番号
H8S、H8/300 **シリーズ** C/C++**コンパイラパッケージ アプリケーションノート**	RJJ05B0558
F-ZTAT **マイコンテクニカル** Q&A	ADJ－502－055

本版で改訂された箇所

<table>
<tr><th>修正項目</th><th>ページ</th><th>修正内容（詳細はマニュアル参照）</th></tr>
<tr><td rowspan="2">全体</td><td>－</td><td>• 社名変更による変更
日立製作所→ルネサス テクノロジ</td></tr>
<tr><td>－</td><td>パッケージ
TQFP-100 を削除
TFBGA のコードを TBP-112A に修正</td></tr>
<tr><td>8.2.5 データ転送 ID リード／ライト選択レジスタ B（DTIDSRB）</td><td>8-11</td><td>ID7R/W～ID0R/W の説明を修正
ID 番号 7～0 の周辺機能の転送方向を選択します。
0：RAM→周辺機能（ライト）
1：周辺機能（リード）→RAM</td></tr>
<tr><td>13.1 特長</td><td>13-1</td><td>2 チャネルのカスケード接続が可能
• 説明を差し替え</td></tr>
<tr><td rowspan="2">13.3.4 タイマコントロールレジスタ（TCR）
表 13.2 TCNT に入力するクロックとカウント条件</td><td>13-7</td><td>表 13.2 を修正
<table>
<tr><th>チャネル</th><th colspan="3">TCR</th><th colspan="2">STCR</th><th>説 明</th></tr>
<tr><th></th><th>CKS2</th><th>CKS1</th><th>CKS0</th><th>ICKS1</th><th>ICKS0</th><th></th></tr>
<tr><td>TMR_Y</td><td>0</td><td>0</td><td>0</td><td>＊</td><td>＊</td><td>クロック入力を禁止</td></tr>
<tr><td></td><td>0</td><td>0</td><td>1</td><td>＊</td><td>＊</td><td>内部クロックφ／4 立ち下がりエッジでカウント</td></tr>
<tr><td></td><td>0</td><td>1</td><td>0</td><td>＊</td><td>＊</td><td>内部クロックφ／256 立ち下がりエッジでカウント</td></tr>
<tr><td></td><td>0</td><td>1</td><td>1</td><td>＊</td><td>＊</td><td>内部クロックφ／2048 立ち下がりエッジでカウント</td></tr>
<tr><td></td><td>1</td><td>0</td><td>0</td><td>＊</td><td>＊</td><td>設定禁止</td></tr>
<tr><td>TMR_X</td><td>0</td><td>0</td><td>0</td><td>＊</td><td>＊</td><td>クロック入力を禁止</td></tr>
<tr><td></td><td>0</td><td>0</td><td>1</td><td>＊</td><td>＊</td><td>内部クロックφでカウント</td></tr>
<tr><td></td><td>0</td><td>1</td><td>0</td><td>＊</td><td>＊</td><td>内部クロックφ／2 立ち下がりエッジでカウント</td></tr>
<tr><td></td><td>0</td><td>1</td><td>1</td><td>＊</td><td>＊</td><td>内部クロックφ／4 立ち下がりエッジでカウント</td></tr>
<tr><td></td><td>1</td><td>0</td><td>0</td><td>＊</td><td>＊</td><td>設定禁止</td></tr>
</table></td></tr>
<tr><td>13-7</td><td>注*を修正
【注】＊ TMR_0 のクロック入力を TCNT_1 のオーバフロー信号とし、TMR_1 のクロック入力を TCNT_0 のコンペアマッチ信号とするとカウントアップクロックが発生しません。この設定は行わないでください。</td></tr>
<tr><td></td><td>－</td><td>「TMR_Y、TMR_X のカスケード接続」を削除</td></tr>
<tr><td>13.7 インプットキャプチャ動作</td><td>13-19～13-21</td><td>13.7.3 から移動</td></tr>
<tr><td>13.9.6 カスケード動作時のモード設定</td><td>13-27</td><td>説明を修正
（修正前）TCNT_0、TCNT_1（または TCNT_Y、TCNT_X）
→（修正後）TCNT_0、TCNT_1</td></tr>
<tr><td>16.3.10 シリアルインタフェースコントロールレジスタ（SCICR）</td><td>16-23</td><td>ビット 3、2 を修正
<table>
<tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説 明</th></tr>
<tr><td>3</td><td>—</td><td>0</td><td>R/W</td><td>リザーブビット</td></tr>
<tr><td>2</td><td>—</td><td>0</td><td>R/W</td><td>初期値を変更しないでください。</td></tr>
</table></td></tr>
</table>

<table>
<tr><th>修正項目</th><th>ページ</th><th>修正内容（詳細はマニュアル参照）</th></tr>
<tr><td>16.8　IrDA 動作
図 16.36　IrDA ブロック図</td><td>16-63</td><td>図 16.36 を修正
 
</td></tr>
<tr><td></td><td>16-64</td><td>（1）送信
説明を削除
･･･の設定値により変化させることも可能です。High パルス幅は最小･･･</td></tr>
<tr><td>17.7　使用上の注意事項</td><td>17-64、
17-65</td><td>「15.　マスタモードでのアービトレーションロスト発生時の注意事項」を追加</td></tr>
<tr><td>28.1　レジスタアドレス一覧（アドレス一覧）</td><td>28-2</td><td>表にレジスタを追加
<table>
<tr><th>レジスタ名称</th><th>略称</th><th>ビット数</th><th>アドレス</th><th>モジュール</th><th>データバス幅</th><th>アクセスステート数</th></tr>
<tr><td>コマンドレジスタ 5</td><td>CMDR5</td><td>8</td><td>H'FBC5</td><td>MCIF</td><td>8</td><td>3</td></tr>
<tr><td>コマンドスタートレジスタ</td><td>CMDSTRT</td><td>8</td><td>H'FBC6</td><td>MCIF</td><td>8</td><td>3</td></tr>
<tr><td>オペレーションコントロールレジスタ</td><td>OPCR</td><td>8</td><td>H'FBCA</td><td>MCIF</td><td>8</td><td>3</td></tr>
</table></td></tr>
<tr><td></td><td>28-3</td><td>
<table>
<tr><th>レジスタ名称</th><th>略称</th><th>ビット数</th><th>アドレス</th><th>モジュール</th><th>データバス幅</th><th>アクセス</th></tr>
<tr><td>レスポンスレジスタ 16</td><td>RSPR16</td><td>8</td><td>H'FBF0</td><td>MCIF</td><td>8</td><td>3</td></tr>
<tr><td>レスポンスレジスタ D</td><td>RSPRD</td><td>8</td><td>H'FBF1</td><td>MCIF</td><td>8</td><td>3</td></tr>
<tr><td>データタイムアウトレジスタ H</td><td>DTOUTRH</td><td>8</td><td>H'FBF2</td><td>MCIF</td><td>8</td><td>3</td></tr>
</table></td></tr>
<tr><td>28.2　レジスタビット一覧</td><td>28-11</td><td>表にレジスタを追加
<table>
<tr><th>レジスタ略称</th><th>ビット 7</th><th>ビット 6</th><th>ビット 5</th><th>ビット 4</th><th>ビット 3</th><th>ビット 2</th><th>ビット 1</th><th>ビット 0</th><th>モジュール</th></tr>
<tr><td>CMDR5</td><td>CRC</td><td>CRC</td><td>CRC</td><td>CRC</td><td>CRC</td><td>CRC</td><td>CRC</td><td>End</td><td>MCIF</td></tr>
<tr><td>CMDSTART</td><td>–</td><td>–</td><td>–</td><td>–</td><td>–</td><td>–</td><td>–</td><td>START</td><td></td></tr>
<tr><td>OPCR</td><td>CMDOFF</td><td>–</td><td>RD_CONTI</td><td>DATAEN</td><td>–</td><td>–</td><td>–</td><td>–</td><td></td></tr>
</table></td></tr>
<tr><td></td><td>28-12</td><td>
<table>
<tr><th>レジスタ略称</th><th>ビット 7</th><th>ビット 6</th><th>ビット 5</th><th>ビット 4</th><th>ビット 3</th><th>ビット 2</th><th>ビット 1</th><th>ビット 0</th><th>モジュール</th></tr>
<tr><td>RSPR16</td><td>ビット 7</td><td>ビット 6</td><td>ビット 5</td><td>ビット 4</td><td>ビット 3</td><td>ビット 2</td><td>ビット 1</td><td>ビット 0</td><td>MCIF</td></tr>
<tr><td>PSPRD</td><td>ビット 7</td><td>ビット 6</td><td>ビット 5</td><td>ビット 4</td><td>ビット 3</td><td>ビット 2</td><td>ビット 1</td><td>ビット 0</td><td></td></tr>
<tr><td>DTOUTRH</td><td>DTOUT15</td><td>DTOUT14</td><td>DTOUT13</td><td>DTOUT12</td><td>DTOUT11</td><td>DTOUT10</td><td>DTOUT9</td><td>DTOUT8</td><td></td></tr>
</table></td></tr>
<tr><td></td><td>28-14</td><td>
<table>
<tr><th>レジスタ略称</th><th>ビット 7</th><th>ビット 6</th><th>ビット 5</th><th>ビット 4</th><th>ビット 3</th><th>ビット 2</th><th>ビット 1</th><th>ビット 0</th><th>モジュール</th></tr>
<tr><td>KBCOMP</td><td>–</td><td>–</td><td>–</td><td>SCANE</td><td>KBADE</td><td>KBCH2</td><td>KBCH1</td><td>KBCH0</td><td>A/D 変換器</td></tr>
<tr><td>SCICR</td><td>IrE</td><td>IrCKS2</td><td>IrCKS1</td><td>IrCKS0</td><td>–</td><td>–</td><td>–</td><td>–</td><td>SCI_1</td></tr>
<tr><td>ICRD</td><td>IRQ8-11</td><td>IRQ12-15</td><td>–</td><td>–</td><td>–</td><td>–</td><td>–</td><td>MCIF</td><td>INT</td></tr>
</table></td></tr>
<tr><td>28.3　各モードにおけるレジスタの状態</td><td>28-21</td><td>表にレジスタを追加
<table>
<tr><th>レジスタ略称</th><th>リセット</th><th>高速／中速</th><th>ウォッチ</th><th>スリープ</th><th>サブアクティブ</th><th>サブスリープ</th><th>モジュールストップ</th><th>ソフトウェアスタンバイ</th><th>ハードウェアスタンバイ</th><th>モジュール</th></tr>
<tr><td>CMDR5</td><td>初期化</td><td>–</td><td>初期化</td><td>–</td><td>初期化</td><td>初期化</td><td>初期化</td><td>初期化</td><td>初期化</td><td>MCIF</td></tr>
<tr><td>CMDSTRT</td><td>初期化</td><td>–</td><td>初期化</td><td>–</td><td>初期化</td><td>初期化</td><td>初期化</td><td>初期化</td><td>初期化</td><td></td></tr>
<tr><td>OPCR</td><td>初期化</td><td>–</td><td>初期化</td><td>–</td><td>初期化</td><td>初期化</td><td>初期化</td><td>初期化</td><td>初期化</td><td></td></tr>
</table></td></tr>
</table>

<table>
<tr><th>修正項目</th><th>ページ</th><th>修正内容（詳細はマニュアル参照）</th></tr>
<tr><td>28.3 各モードにおけるレジスタの状態</td><td>28-22</td><td>表にレジスタを追加
<table>
<tr><th>レジスタ略称</th><th>リセット</th><th>高速／中速</th><th>ウォッチ</th><th>スリープ</th><th>サブアクティブ</th><th>サブスリープ</th><th>モジュールストップ</th><th>ソフトウェアスタンバイ</th><th>ハードウェアスタンバイ</th><th>モジュール</th></tr>
<tr><td>RSPR16</td><td>初期化</td><td>—</td><td>初期化</td><td>—</td><td>初期化</td><td>初期化</td><td>初期化</td><td>初期化</td><td>初期化</td><td>MCIF</td></tr>
<tr><td>PSPRD</td><td>初期化</td><td>—</td><td>初期化</td><td>—</td><td>初期化</td><td>初期化</td><td>初期化</td><td>初期化</td><td>初期化</td><td></td></tr>
<tr><td>DTOUTRH</td><td>初期化</td><td>—</td><td>初期化</td><td>—</td><td>初期化</td><td>初期化</td><td>初期化</td><td>初期化</td><td>初期化</td><td></td></tr>
</table></td></tr>
<tr><td>B. 型名一覧</td><td>付録-4</td><td>マーク型名を修正
<table>
<tr><th>製品分類</th><th></th><th>製品型名</th><th>マーク型名</th><th>パッケージ（コード）</th></tr>
<tr><td>H8S/2158</td><td>F-ZTAT 版</td><td>HD64F2158</td><td>F2158VBQ25</td><td>112 ピン TFBGA（TBP-112A）</td></tr>
</table></td></tr>
<tr><td>C. 外形寸法図</td><td>—</td><td>TBP-100B 外形寸法図を削除</td></tr>
<tr><td>図 C.1 TBP-112A 外形寸法図</td><td>付録-5</td><td>図 C.1 を差し替え</td></tr>
</table>

目次

1. **概要** 1-1

1.1 特長 1-1
1.2 内部ブロック図 1-3
1.3 端子説明 1-4
1.3.1 ピン配置図 1-4
1.3.2 動作モード別ピン配置一覧 1-5
1.3.3 端子機能 1-9

2. CPU 2-1

2.1 特長 2-1
2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点 2-2
2.1.2 H8/300 CPU との相違点 2-3
2.1.3 H8/300H CPU との相違点 2-3
2.2 CPU動作モード 2-4
2.2.1 ノーマルモード 2-4
2.2.2 アドバンストモード 2-6
2.3 アドレス空間 2-8
2.4 レジスタの構成 2-8
2.4.1 汎用レジスタ 2-9
2.4.2 プログラムカウンタ（PC） 2-11
2.4.3 エクステンドレジスタ（EXR） 2-11
2.4.4 コンディションコードレジスタ（CCR） 2-11
2.4.5 CPU 内部レジスタの初期値 2-13
2.5 データ形式 2-13
2.5.1 汎用レジスタのデータ形式 2-14
2.5.2 メモリ上でのデータ形式 2-15
2.6 命令セット 2-17
2.6.1 命令の機能別一覧 2-18
2.6.2 命令の基本フォーマット 2-27
2.7 アドレッシングモードと実効アドレスの計算方法 2-28
2.7.1 レジスタ直接　Rn 2-28
2.7.2 レジスタ間接　@ERn 2-28
2.7.3 ディスプレースメント付きレジスタ間接　@（d:16,ERn）/@（d:32,ERn） 2-28
2.7.4 ポストインクリメントレジスタ間接@ERn+/ プリデクリメントレジスタ間接@-ERn 2-29
2.7.5 絶対アドレス　@aa:8/@aa:16/@aa:24/@aa:32 2-29

2.7.6 イミディエイト #xx:8/#xx:16/#xx:32 2-30
2.7.7 プログラムカウンタ相対 @（d:8, PC）/@（d:16, PC） 2-30
2.7.8 メモリ間接 @@aa:8 2-30
2.7.9 実効アドレスの計算方法 2-31
2.8 処理状態 2-33
2.9 使用上の注意 2-34
2.9.1 TAS 命令使用上の注意 2-34
2.9.2 ビット操作命令 2-35
2.9.3 EEPMOV 命令 2-36

3. MCU 動作モード 3-1

3.1 動作モードの選択 3-1
3.2 レジスタの説明 3-2
3.2.1 モードコントロールレジスタ（MDCR） 3-2
3.2.2 システムコントロールレジスタ（SYSCR） 3-3
3.2.3 シリアルタイマコントロールレジスタ（STCR） 3-5
3.3 各動作モードの説明 3-6
3.3.1 モード 2 3-6
3.3.2 モード 3 3-6
3.3.3 端子機能 3-7
3.4 アドレスマップ 3-8

4. 例外処理 4-1

4.1 例外処理の種類と優先度 4-1
4.2 例外処理要因とベクタテーブル 4-1
4.3 リセット 4-3
4.3.1 リセット例外処理 4-3
4.3.2 リセット直後の割り込み 4-4
4.3.3 リセット解除後の内蔵周辺機能 4-4
4.4 割り込み例外処理 4-4
4.5 トラップ命令例外処理 4-5
4.6 例外処理後のスタックの状態 4-5
4.7 使用上の注意事項 4-6

5. 割り込みコントローラ 5-1

5.1 特長 5-1
5.2 入出力端子 5-3
5.3 レジスタの説明 5-3
5.3.1 インタラプトコントロールレジスタ A～D（ICRA～ICRD） 5-4
5.3.2 アドレスブレークコントロールレジスタ（ABRKCR） 5-5
5.3.3 ブレークアドレスレジスタ A～C（BARA～BARC） 5-5

5.3.4 IRQ センスコントロールレジスタ（ISCR16H、ISCR16L、ISCRH、ISCRL） 5-6
5.3.5 IRQ イネーブルレジスタ（IER16、IER） 5-7
5.3.6 IRQ ステータスレジスタ（ISR16、ISR） 5-8
5.3.7 キーボードマトリクス割り込みマスクレジスタ（KMIMRA、KMIMR6）
ウェイクアップイベント割り込みマスクレジスタ（WUEMR3） 5-9
5.4 割り込み要因 5-10
5.4.1 外部割り込み要因 5-10
5.4.2 内部割り込み要因 5-12
5.5 割り込み例外処理ベクタテーブル 5-12
5.6 割り込み制御モードと割り込み動作 5-15
5.6.1 割り込み制御モード 0 5-17
5.6.2 割り込み制御モード 1 5-19
5.6.3 割り込み例外処理シーケンス 5-21
5.6.4 割り込み応答時間 5-23
5.6.5 割り込みによる DTC の起動 5-23
5.7 使用上の注意事項 5-25
5.7.1 割り込みの発生とディスエーブルとの競合 5-25
5.7.2 割り込みを禁止している命令 5-26
5.7.3 EEPMOV 命令実行中の割り込み 5-26

6. バスコントローラ（BSC） 6-1

6.1 特長 6-1
6.2 入出力端子 6-3
6.3 レジスタの説明 6-3
6.3.1 バスコントロールレジスタ（BCR） 6-4
6.3.2 バスコントロールレジスタ 2（BCR2） 6-5
6.3.3 ウェイトステートコントロールレジスタ（WSCR） 6-6
6.3.4 ウェイトステートコントロールレジスタ 2（WSCR2） 6-8
6.4 バス制御 6-9
6.4.1 バス仕様 6-9
6.4.2 アドバンストモード 6-15
6.4.3 ノーマルモード 6-15
6.4.4 I/O セレクト信号 6-15
6.5 基本バスインタフェース 6-16
6.5.1 データサイズとデータアライメント 6-16
6.5.2 有効ストローブ 6-18
6.5.3 基本動作タイミング 6-19
6.5.4 ウェイト制御 6-27
6.6 バーストROMインタフェース 6-29
6.6.1 基本動作タイミング 6-29
6.6.2 ウェイト制御 6-30

6.7 メモリカードインタフェース 6-31
6.7.1 データサイズとデータアライメント 6-31
6.7.2 有効ストローブ 6-32
6.7.3 基本動作タイミング 6-32
6.7.4 ウェイト制御 6-34
6.8 アイドルサイクル 6-35
6.9 バスアービトレーション 6-36
6.9.1 バスマスタの優先順位 6-36
6.9.2 バス権移行タイミング 6-36

7. データトランスファコントローラ（DTC） 7-1

7.1 特長 7-1
7.2 レジスタの説明 7-2
7.2.1 DTC モードレジスタ A（MRA） 7-3
7.2.2 DTC モードレジスタ B（MRB） 7-4
7.2.3 DTC ソースアドレスレジスタ（SAR） 7-4
7.2.4 DTC デスティネーションアドレスレジスタ（DAR） 7-4
7.2.5 DTC 転送カウントレジスタ A（CRA） 7-4
7.2.6 DTC 転送カウントレジスタ B（CRB） 7-5
7.2.7 DTC イネーブルレジスタ（DTCER） 7-5
7.2.8 DTC ベクタレジスタ（DTVECR） 7-6
7.3 起動要因 7-7
7.4 レジスタ情報の配置とDTCベクタテーブル 7-8
7.5 動作説明 7-11
7.5.1 ノーマルモード 7-12
7.5.2 リピートモード 7-13
7.5.3 ブロック転送モード 7-14
7.5.4 チェイン転送 7-15
7.5.5 割り込み要因 7-16
7.5.6 動作タイミング 7-16
7.5.7 DTC 実行ステート数 7-17
7.6 DTC使用手順 7-18
7.6.1 割り込みによる起動 7-18
7.6.2 ソフトウェアによる起動 7-18
7.7 DTC使用例 7-19
7.7.1 ノーマルモード 7-19
7.7.2 ソフトウェア起動 7-19
7.8 使用上の注意事項 7-20
7.8.1 モジュールストップモードの設定 7-20
7.8.2 内蔵 RAM 7-20
7.8.3 DTCE ビットの設定 7-20

7.8.4 サブアクティブモード、ウォッチモードへの遷移時の設定 7-20
7.8.5 SCI、IIC および A/D 変換器の割り込み要因による DTC の起動 7-20
7.8.6 USB、MCIF の割り込み要因による DTC の起動 7-20

8. RAM-FIFO ユニット（RFU） 8-1

8.1 特長 8-1
8.2 レジスタの説明 8-3
8.2.1 FIFO ステータス／レジスタ／ポインタ（FSTR） 8-3
8.2.2 ベースアドレスレジスタ（BAR） 8-4
8.2.3 リードアドレスポインタ（RAR） 8-4
8.2.4 ライトアドレスポインタ（WAR） 8-5
8.2.5 テンポラリポインタ（TMP） 8-5
8.2.6 有効データバイト数（DATAN） 8-6
8.2.7 フリーエリアバイト数（FREEN） 8-6
8.2.8 リード先頭アドレス（NRA） 8-6
8.2.9 ライト先頭アドレス（NWA） 8-6
8.2.10 データ転送コントロールレジスタ A（DTCRA） 8-7
8.2.11 データ転送コントロールレジスタ B（DTCRB） 8-8
8.2.12 データ転送ステータスレジスタ C（DTSTRC） 8-9
8.2.13 データ転送 ID レジスタ（DTIDR） 8-10
8.2.14 データ転送 ID リード／ライト選択レジスタ A（DTIDSRA） 8-11
8.2.15 データ転送 ID リード／ライト選択レジスタ B（DTIDSRB） 8-11
8.2.16 データ転送ステータスレジスタ A（DTSTRA） 8-11
8.2.17 データ転送ステータスレジスタ B（DTSTRB） 8-12
8.2.18 データ転送コントロールレジスタ C（DTCRC） 8-12
8.2.19 データ転送コントロールレジスタ D（DTCRD） 8-12
8.2.20 データ転送割り込みイネーブルレジスタ（DTIER） 8-13
8.2.21 データ転送レジスタ選択レジスタ（DTRSR） 8-13
8.3 起動要因と優先順位 8-14
8.4 RAM-FIFOの配置 8-14
8.5 RAM-FIFOポインタ 8-15
8.6 RAM-FIFOの操作とRFUバスサイクル 8-15
8.7 RFUバスサイクル 8-17
8.7.1 クロック分周 8-17
8.7.2 RFU バスサイクル挿入 8-18
8.7.3 RFU レスポンス時間 8-18
8.8 動作説明 8-19
8.8.1 単一データブロックの送信／受信 8-20
8.8.2 連続データブロックの送信／受信 8-20
8.8.3 USB の RFU 操作 8-21
8.8.4 SCI の RFU 操作 8-25

8.8.5 MCIF の RFU 操作 8-27
8.9 割り込み要因 8-30
8.10 RFUの初期化 8-31
8.11 使用上の注意事項 8-32

9. I/O ポート 9-1

9.1 ポート1 9-5
9.1.1 ポート 1 データディレクションレジスタ（P1DDR） 9-5
9.1.2 ポート 1 データレジスタ（P1DR） 9-5
9.1.3 ポート 1 プルアップ MOS コントロールレジスタ（P1PCR） 9-6
9.1.4 端子機能 9-6
9.1.5 ポート 1 入力プルアップ MOS の状態 9-6
9.2 ポート2 9-7
9.2.1 ポート 2 データディレクションレジスタ（P2DDR） 9-7
9.2.2 ポート 2 データレジスタ（P2DR） 9-7
9.2.3 ポート 2 プルアップ MOS コントロールレジスタ（P2PCR） 9-8
9.2.4 端子機能 9-8
9.2.5 ポート 2 入力プルアップ MOS の状態 9-9
9.3 ポート3 9-10
9.3.1 ポート 3 データディレクションレジスタ（P3DDR） 9-10
9.3.2 ポート 3 データレジスタ（P3DR） 9-10
9.3.3 ポート 3 プルアップ MOS コントロールレジスタ（P3PCR） 9-11
9.3.4 端子機能 9-11
9.3.5 ポート 3 入力プルアップ MOS の状態 9-14
9.4 ポート4 9-15
9.4.1 ポート 4 データディレクションレジスタ（P4DDR） 9-15
9.4.2 ポート 4 データレジスタ（P4DR） 9-15
9.4.3 端子機能 9-16
9.5 ポート5 9-20
9.5.1 ポート 5 データディレクションレジスタ（P5DDR） 9-20
9.5.2 ポート 5 データレジスタ（P5DR） 9-20
9.5.3 端子機能 9-21
9.6 ポート6 9-24
9.6.1 ポート 6 データディレクションレジスタ（P6DDR） 9-24
9.6.2 ポート 6 データレジスタ（P6DR） 9-24
9.6.3 ポート 6 プルアップ MOS コントロールレジスタ（KMPCR6） 9-25
9.6.4 システムコントロールレジスタ 2（SYSCR2） 9-25
9.6.5 端子機能 9-26
9.6.6 ポート 6 入力プルアップ MOS の状態 9-32
9.7 ポート7 9-33
9.7.1 ポート 7 入力データレジスタ（P7PIN） 9-33

9.8 ポート8 9-34
9.8.1 ポート 8 データディレクションレジスタ（P8DDR） 9-34
9.8.2 ポート 8 データレジスタ（P8DR） 9-34
9.8.3 端子機能 9-35
9.9 ポート9 9-38
9.9.1 ポート 9 データディレクションレジスタ（P9DDR） 9-38
9.9.2 ポート 9 データレジスタ（P9DR） 9-39
9.9.3 端子機能 9-39
9.10 ポートA 9-41
9.10.1 ポート A データディレクションレジスタ（PADDR） 9-41
9.10.2 ポート A 出力データレジスタ（PAODR） 9-42
9.10.3 ポート A 入力データレジスタ（PAPIN） 9-42
9.10.4 端子機能 9-43
9.10.5 入力プルアップ MOS 9-45
9.11 周辺機能端子の移動 9-46
9.11.1 IRQ センスポートセレクトレジスタ 16（ISSR16）、IRQ センスポートセレクトレジスタ（ISSR） 9-46
9.11.2 ポートコントロールレジスタ 0（PTCNT0） 9-48

10. 8 ビット PWM タイマ（PWM） 10-1

10.1 特長 10-1
10.2 端子構成 10-3
10.3 レジスタの説明 10-3
10.3.1 PWM レジスタセレクト（PWSL） 10-4
10.3.2 PWM データレジスタ（PWDR0～15） 10-5
10.3.3 PWM データポラリティレジスタ A、B（PWDPRA、PWDPRB） 10-6
10.3.4 PWM アウトプットイネーブルレジスタ A、B（PWOERA、PWOERB） 10-7
10.3.5 周辺クロックセレクトレジスタ（PCSR） 10-8
10.4 動作説明 10-9

11. 14 ビット PWM タイマ（PWMX） 11-1

11.1 特長 11-1
11.2 入出力端子 11-2
11.3 レジスタの説明 11-3
11.3.1 PWMX（D/A）カウンタ H、L（DACNTH、DACNTL） 11-3
11.3.2 PWMX（D/A）データレジスタ A、B（DADRA、DADRB） 11-4
11.3.3 PWMX（D/A）コントロールレジスタ（DACR） 11-6
11.3.4 周辺クロックセレクトレジスタ（PCSR） 11-7
11.4 バスマスタとのインタフェース 11-8
11.5 動作説明 11-9

12. 16 ビットフリーランニングタイマ（FRT） 12-1

12.1 特長 12-1
12.2 入出力端子 12-3
12.3 レジスタの説明 12-3
12.3.1 フリーランニングカウンタ（FRC） 12-4
12.3.2 アウトプットコンペアレジスタ A、B（OCRA、OCRB） 12-4
12.3.3 インプットキャプチャレジスタ A～D（ICRA～ICRD） 12-4
12.3.4 アウトプットコンペアレジスタ AR、AF（OCRAR、OCRAF） 12-5
12.3.5 アウトプットコンペアレジスタ DM（OCRDM） 12-5
12.3.6 タイマインタラプトイネーブルレジスタ（TIER） 12-5
12.3.7 タイマコントロール／ステータスレジスタ（TCSR） 12-7
12.3.8 タイマコントロールレジスタ（TCR） 12-9
12.3.9 タイマアウトプットコンペアコントロールレジスタ（TOCR） 12-10
12.4 動作説明 12-11
12.4.1 パルス出力 12-11
12.5 動作タイミング 12-12
12.5.1 FRC のカウントタイミング 12-12
12.5.2 アウトプットコンペア出力タイミング 12-13
12.5.3 FRC のクリアタイミング 12-13
12.5.4 インプットキャプチャ入力タイミング 12-14
12.5.5 バッファ動作時タイミング 12-15
12.5.6 インプットキャプチャ時のフラグセットタイミング 12-16
12.5.7 アウトプットコンペア時のフラグセットタイミング 12-17
12.5.8 オーバフロー時のフラグセットタイミング 12-17
12.5.9 自動加算タイミング 12-18
12.5.10 マスク信号生成タイミング 12-19
12.6 割り込み要因 12-20
12.7 使用上の注意 12-21
12.7.1 FRC のライトとクリアの競合 12-21
12.7.2 FRC のライトとカウントアップの競合 12-22
12.7.3 OCR のライトとコンペアマッチの競合 12-23
12.7.4 内部クロックの切り替えとカウンタの動作 12-25

13. 8 ビットタイマ（TMR） 13-1

13.1 特長 13-1
13.2 入出力端子 13-4
13.3 レジスタの説明 13-4
13.3.1 タイマカウンタ（TCNT） 13-5
13.3.2 タイムコンスタントレジスタ A（TCORA） 13-5
13.3.3 タイムコンスタントレジスタ B（TCORB） 13-6
13.3.4 タイマコントロールレジスタ（TCR） 13-6

13.3.5 タイマコントロール／ステータスレジスタ（TCSR）....13-8
13.3.6 インプットキャプチャレジスタ（TICR）....13-12
13.3.7 タイムコンスタントレジスタ（TCORC）....13-12
13.3.8 インプットキャプチャレジスタ R、F（TICRR、TICRF）....13-12
13.3.9 タイマインプットセレクトレジスタ（TISR）....13-12
13.4 動作説明....13-13
13.4.1 パルス出力....13-13
13.5 動作タイミング....13-14
13.5.1 TCNT のカウントタイミング....13-14
13.5.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング....13-15
13.5.3 コンペアマッチ時のタイマ出力タイミング....13-15
13.5.4 コンペアマッチによるカウンタクリアタイミング....13-16
13.5.5 TCNT の外部リセットタイミング....13-16
13.5.6 オーバフローフラグ（OVF）のセットタイミング....13-17
13.6 TMR_0、TMR_1のカスケード接続....13-18
13.6.1 16 ビットカウントモード....13-18
13.6.2 コンペアマッチカウントモード....13-18
13.7 インプットキャプチャ動作....13-19
13.8 割り込み要因....13-21
13.9 使用上の注意....13-22
13.9.1 TCNT のライトとカウンタクリアの競合....13-22
13.9.2 TCNT のライトとカウントアップの競合....13-23
13.9.3 TCOR のライトとコンペアマッチの競合....13-24
13.9.4 コンペアマッチ A、B の競合....13-25
13.9.5 内部クロックの切り替えと TCNT の動作....13-26
13.9.6 カスケード接続時のモード設定....13-27

14. タイマコネクション....14-1

14.1 特長....14-1
14.2 入出力端子....14-3
14.3 レジスタの説明....14-3
14.3.1 タイマコネクションレジスタ I（TCONRI）....14-4
14.3.2 タイマコネクションレジスタ O（TCONRO）....14-6
14.3.3 タイマコネクションレジスタ S（TCONRS）....14-7
14.3.4 エッジセンスレジスタ（SEDGR）....14-9
14.4 動作説明....14-11
14.4.1 PWM デコード（PDC 信号生成）....14-11
14.4.2 クランプ波形の生成（CL1、CL2、CL3 信号の生成）....14-12
14.4.3 8 ビットタイマ分周波形周期測定....14-13
14.4.4 IHI 信号の 2fH モディファイ....14-15
14.4.5 IVI 信号の立ち下がりモディファイと IHI 同期....14-17

14.4.6 内部同期信号の生成（IHG 信号、IVG 信号、CL4 信号の生成）.....14-18
14.4.7 HSYNCO 出力.....14-20
14.4.8 VSYNCO 出力.....14-21
14.4.9 CBLANK 出力.....14-22

15. **ウォッチドッグタイマ（WDT）**..... 15-1

15.1 特長.....15-1
15.2 入出力端子.....15-3
15.3 レジスタの説明.....15-3
15.3.1 タイマカウンタ（TCNT）.....15-3
15.3.2 タイマコントロール／ステータスレジスタ（TCSR）.....15-4
15.4 動作説明.....15-7
15.4.1 ウォッチドッグタイマモード.....15-7
15.4.2 インターバルタイマモード.....15-8
15.4.3 $\overline{\text{RESO}}$ 信号出力タイミング.....15-9
15.5 割り込み要因.....15-9
15.6 使用上の注意事項.....15-10
15.6.1 レジスタアクセス時の注意事項.....15-10
15.6.2 タイマカウンタ（TCNT）のライトとカウントアップの競合.....15-11
15.6.3 CKS2～CKS0 ビットの書き換え.....15-11
15.6.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え.....15-11
15.6.5 $\overline{\text{RESO}}$ 信号によるシステムのリセット.....15-12
15.6.6 高速モード、サブアクティブモード、ウォッチモード間遷移時のカウンタ値.....15-12

16. **シリアルコミュニケーションインタフェース（SCI、IrDA、CRC）**..... 16-1

16.1 特長.....16-1
16.2 入出力端子.....16-5
16.3 レジスタの説明.....16-5
16.3.1 レシーブシフトレジスタ（RSR）.....16-6
16.3.2 レシーブデータレジスタ（RDR）.....16-6
16.3.3 トランスミットデータレジスタ（TDR）.....16-6
16.3.4 トランスミットシフトレジスタ（TSR）.....16-6
16.3.5 シリアルモードレジスタ（SMR）.....16-7
16.3.6 シリアルコントロールレジスタ（SCR）.....16-9
16.3.7 シリアルステータスレジスタ（SSR）.....16-11
16.3.8 スマートカードモードレジスタ（SCMR）.....16-15
16.3.9 ビットレートレジスタ（BRR）.....16-16
16.3.10 シリアルインタフェースコントロールレジスタ（SCICR）.....16-23
16.3.11 シリアル拡張モードレジスタ_0、2（SEMR_0、SEMR_2）.....16-24
16.3.12 シリアル RFU イネーブルレジスタ_0、2（SCIDTER_0、SCIDTER_2）.....16-26
16.4 調歩同期式モードの動作.....16-27

16.4.1 送受信フォーマット 16-28
16.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン 16-29
16.4.3 クロック 16-30
16.4.4 シリアル拡張モードのクロック 16-30
16.4.5 SCI の初期化（調歩同期式） 16-33
16.4.6 シリアルデータ送信（調歩同期式） 16-34
16.4.7 シリアルデータ受信（調歩同期式） 16-36
16.5 マルチプロセッサ通信機能 16-39
16.5.1 マルチプロセッサシリアルデータ送信 16-40
16.5.2 マルチプロセッサシリアルデータ受信 16-41
16.6 クロック同期式モードの動作 16-44
16.6.1 クロック 16-44
16.6.2 SCI の初期化（クロック同期式） 16-45
16.6.3 シリアルデータ送信（クロック同期式） 16-46
16.6.4 シリアルデータ受信（クロック同期式） 16-48
16.6.5 シリアルデータ送受信同時動作（クロック同期式） 16-50
16.6.6 シリアル拡張モードの SCI セレクト動作 16-50
16.7 スマートカードインタフェースの動作説明 16-52
16.7.1 接続例 16-52
16.7.2 データフォーマット（ブロック転送モード時を除く） 16-53
16.7.3 ブロック転送モード 16-54
16.7.4 受信データサンプリングタイミングと受信マージン 16-55
16.7.5 初期設定 16-56
16.7.6 シリアルデータ送信（ブロック転送モードを除く） 16-57
16.7.7 シリアルデータ受信（ブロック転送モードを除く） 16-60
16.7.8 クロック出力制御 16-62
16.8 IrDA動作 16-63
16.9 割り込み要因 16-66
16.9.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み 16-66
16.9.2 スマートカードインタフェースモードにおける割り込み 16-67
16.10 使用上の注意事項 16-68
16.10.1 モジュールストップモードの設定 16-68
16.10.2 ブレークの検出と処理 16-68
16.10.3 マーク状態とブレークの送り出し 16-68
16.10.4 受信エラーフラグと送信動作（クロック同期式モードのみ） 16-68
16.10.5 TDR へのライトと TDRE フラグの関係 16-68
16.10.6 DTC または RFU の使用上の制約 16-69
16.10.7 モード遷移時の動作 16-69
16.10.8 SCK 端子からポート端子への切り替え 16-73
16.11 CRC演算器 16-74
16.11.1 特長 16-74

16.11.2 レジスタの説明 16-74
16.11.3 CRC 演算器の動作説明 16-76
16.11.4 CRC 演算器使用上の注意事項 16-79

17. I²C バスインタフェース（IIC） 17-1

17.1 特長 17-1
17.2 入出力端子 17-3
17.3 レジスタの説明 17-4
17.3.1 I²C バスデータレジスタ（ICDR） 17-4
17.3.2 スレーブアドレスレジスタ（SAR） 17-6
17.3.3 第 2 スレーブアドレスレジスタ（SARX） 17-6
17.3.4 I²C バスモードレジスタ（ICMR） 17-7
17.3.5 I²C バスコントロールレジスタ（ICCR） 17-9
17.3.6 I²C バスステータスレジスタ（ICSR） 17-15
17.3.7 IIC 動作予約アダプタコントロールレジスタ（ICCRX） 17-18
17.3.8 IIC 動作予約アダプタステータスレジスタ A（ICSRA） 17-19
17.3.9 IIC 動作予約アダプタステータスレジスタ B（ICSRB） 17-20
17.3.10 IIC 動作予約アダプタステータスレジスタ C（ICSRC） 17-23
17.3.11 IIC 動作予約アダプタデータレジスタ（ICDRX） 17-26
17.3.12 IIC データシフトレジスタ（ICDRS） 17-26
17.3.13 IIC 動作予約アダプタカウントレジスタ（ICCNT） 17-27
17.3.14 IIC 動作予約アダプタコマンドレジスタ（ICCMD） 17-28
17.4 IIC動作予約アダプタ 17-28
17.4.1 IIC レジスタアクセスの制約 17-28
17.4.2 動作予約コマンド 17-29
17.5 動作説明 17-32
17.5.1 I²C バスデータフォーマット 17-32
17.5.2 マスタ送信動作 17-33
17.5.3 マスタ受信動作 17-35
17.5.4 スレーブ受信動作 17-38
17.5.5 スレーブ送信動作 17-40
17.5.6 IRIC セットタイミングと SCL 制御 17-42
17.5.7 DTC による動作 17-45
17.5.8 ノイズ除去回路 17-48
17.5.9 内部状態の初期化 17-49
17.5.10 使用例 17-51
17.6 割り込み要因 17-55
17.7 使用上の注意事項 17-56

18. ユニバーサルシリアルバスインタフェース（USB） 18-1

18.1 特長 18-1

18.2 入出力端子 18-3
18.3 レジスタの説明 18-3
18.3.1 USB データ FIFO 18-5
18.3.2 エンドポイントサイズレジスタ 1（EPSZR1） 18-6
18.3.3 エンドポイントデータレジスタ 0S、0O、0I、1、2、3
（EPDR0S、EPDR0O、EPDR0I、EPDR1、EPDR2、EPDR3） 18-7
18.3.4 FIFO 有効サイズレジスタ 0S、0O、0I、1、2、3
（FVSR0S、FVSR0O、FVSR0I、FVSR1、FVSR2、FVSR3） 18-8
18.3.5 エンドポイントディレクションレジスタ 0（EPDIR0） 18-10
18.3.6 パケット送信イネーブルレジスタ 0（PTTER0） 18-11
18.3.7 USB 割り込みイネーブルレジスタ 0、1（USBIER0、USBIER1） 18-12
18.3.8 USB 割り込みフラグレジスタ 0、1（USBIFR0、USBIFR1） 18-13
18.3.9 転送正常終了割り込みフラグレジスタ 0（TSFR0） 18-16
18.3.10 転送異常終了割り込みフラグレジスタ 0（TFFR0） 18-20
18.3.11 USB コントロール／ステータスレジスタ 0（USBCSR0） 18-23
18.3.12 エンドポイントストールレジスタ 0（EPSTLR0） 18-25
18.3.13 エンドポイントリセットレジスタ 0（EPRSTR0） 18-27
18.3.14 デバイスレジュームレジスタ（DEVRSMR） 18-28
18.3.15 割り込み要因セレクトレジスタ 0（INTSELR0） 18-28
18.3.16 USB コントロールレジスタ 0、1（USBCR0、USBCR1） 18-29
18.3.17 USB PLL コントロールレジスタ（UPLLCR） 18-32
18.3.18 コンフィギュレーションバリューレジスタ（CONFV） 18-33
18.3.19 エンドポイント 4 パケットサイズレジスタ（EP4PKTSZR） 18-33
18.3.20 RFU/FIFO 読み出し要求フラグレジスタ（UDTRFR） 18-34
18.3.21 USB モードコントロールレジスタ（USBMDCR） 18-34
18.3.22 USB ポートコントロールレジスタ（UPRTCR）、
USB テストレジスタ 0、1（UTESTR0、UTESTR1） 18-35
18.4 動作説明 18-36
18.4.1 USB ファンクションコアの機能 18-36
18.4.2 SETUP トークン受信時の動作（エンドポイント 0） 18-38
18.4.3 OUT トークン受信時の動作（エンドポイント 0、2、5） 18-44
18.4.4 IN トークン受信時の動作（エンドポイント 0、1、2、3、4） 18-48
18.4.5 サスペンド／レジューム動作 18-52
18.4.6 USB モジュールのリセットおよび動作停止状態 18-52
18.4.7 USB モジュールの起動シーケンス 18-54
18.5 割り込み要因 18-58
18.6 使用上の注意事項 18-58

19. マルチメディアカードインタフェース（MCIF） 19-1

19.1 特長 19-1
19.2 入出力端子 19-3

19.3 レジスタの説明 19-3
19.3.1 モードレジスタ（MODER） 19-4
19.3.2 コマンドタイプレジスタ（CMDTYR） 19-5
19.3.3 レスポンスタイプレジスタ（RSPTYR） 19-6
19.3.4 転送バイト数カウントレジスタ（TBCR） 19-9
19.3.5 転送ブロック数カウンタ（TBNCR） 19-10
19.3.6 コマンドレジスタ 0～5（CMDR0～CMDR5） 19-10
19.3.7 レスポンスレジスタ 0～16、D（RSPR0～RSPR16、RSPRD） 19-11
19.3.8 コマンドスタートレジスタ（CMDSTRT） 19-12
19.3.9 オペレーションコントロールレジスタ（OPCR） 19-13
19.3.10 コマンドタイムアウトコントロールレジスタ（CTOCR） 19-15
19.3.11 データタイムアウトレジスタ（DTOUTR） 19-15
19.3.12 カードステータスレジスタ（CSTR） 19-16
19.3.13 割り込みコントロールレジスタ 0、1（INTCR0、INTCR1） 19-17
19.3.14 割り込みステータスレジスタ 0、1（INTSTR0、INTSTR1） 19-19
19.3.15 端子モードコントロールレジスタ（IOMCR） 19-22
19.3.16 転送クロックコントロールレジスタ（CLKON） 19-23
19.4 MCIFの起動 19-24
19.4.1 初期状態 19-24
19.4.2 起動手順 19-24
19.5 MMCモードの動作 19-25
19.5.1 ブロードキャスト型コマンドの動作 19-25
19.5.2 相対アドレス型コマンドの動作 19-25
19.5.3 コマンドレスポンスを要さないコマンドの動作 19-26
19.5.4 データ転送を伴わないコマンドの動作 19-27
19.5.5 リードデータを伴うコマンド 19-31
19.5.6 ライトデータを伴うコマンド 19-37
19.6 SPIモードの動作 19-43
19.6.1 データ転送を伴わないコマンドの動作 19-43
19.6.2 リードデータを伴うコマンド 19-47
19.6.3 ライトデータを伴うコマンド 19-51
19.7 割り込み要因 19-55
19.8 使用上の注意事項 19-55

20. 暗号演算器（DES、GF） 20-1

21. D/A 変換器 21-1

21.1 特長 21-1
21.2 入出力端子 21-2
21.3 レジスタの説明 21-2
21.3.1 D/A データレジスタ 0、1（DADR0、DADR1） 21-2

21.3.2 D/A コントロールレジスタ（DACR） 21-2
21.4 動作説明 21-4
21.5 使用上の注意事項 21-4

22. A/D 変換器 22-1

22.1 特長 22-1
22.1.1 ブロック図 22-2
22.2 入出力端子 22-3
22.3 レジスタの説明 22-4
22.3.1 A/D データレジスタ A～D（ADDRA～ADDRD） 22-4
22.3.2 A/D コントロール／ステータスレジスタ（ADCSR） 22-5
22.3.3 A/D コントロールレジスタ（ADCR） 22-6
22.3.4 キーボードコンパレータコントロールレジスタ（KBCOMP） 22-6
22.4 DTCコンパレータスキャン機能 22-8
22.5 動作説明 22-9
22.5.1 シングルモード 22-9
22.5.2 スキャンモード 22-9
22.5.3 入力サンプリングと A/D 変換時間 22-9
22.5.4 外部トリガ入力タイミング 22-11
22.6 割り込み要因 22-11
22.7 A/D変換精度の定義 22-12
22.8 使用上の注意事項 22-14
22.8.1 許容信号源インピーダンスについて 22-14
22.8.2 絶対精度への影響 22-14
22.8.3 アナログ電源端子他の設定範囲 22-15
22.8.4 ボード設計上の注意 22-15
22.8.5 ノイズ対策上の注意 22-16

23. RAM 23-1

24. ROM 24-1

24.1 特長 24-1
24.2 モード遷移図 24-3
24.3 ブロック構成 24-6
24.4 入出力端子 24-7
24.5 レジスタの説明 24-7
24.5.1 フラッシュメモリコントロールレジスタ 1（FLMCR1） 24-8
24.5.2 フラッシュメモリコントロールレジスタ 2（FLMCR2） 24-9
24.5.3 消去ブロック指定レジスタ 1、2（EBR1、EBR2） 24-10
24.6 動作モード 24-11
24.7 オンボードプログラミング 24-11

24.7.1 ブートモード 24-12
24.7.2 ユーザプログラムモード 24-16
24.8 フラッシュメモリの書き込み／消去 24-17
24.8.1 プログラム／プログラムベリファイ 24-17
24.8.2 イレース／イレースベリファイ 24-19
24.9 書き込み／消去プロテクト 24-21
24.9.1 ハードウェアプロテクト 24-21
24.9.2 ソフトウェアプロテクト 24-21
24.9.3 エラープロテクト 24-21
24.10 フラッシュメモリの書き込み／消去時の割り込み 24-22
24.11 ライタモード 24-22
24.12 使用上の注意事項 24-23

25. ユーザデバッグインタフェース（H-UDI） 25-1

25.1 特長 25-1
25.2 入出力端子 25-3
25.3 レジスタの説明 25-3
25.3.1 インストラクションレジスタ（SDIR） 25-4
25.3.2 バイパスレジスタ（SDBPR） 25-5
25.3.3 バウンダリスキャンレジスタ（SDBSR） 25-6
25.3.4 ID コードレジスタ（SDIDR） 25-9
25.4 動作説明 25-10
25.4.1 TAP コントローラの状態遷移 25-10
25.4.2 H-UDI のリセット 25-10
25.5 バウンダリスキャン 25-11
25.5.1 サポート命令 25-11
25.5.2 注意事項 25-12
25.6 使用上の注意事項 25-13

26. クロック発振器 26-1

26.1 発振器 26-2
26.1.1 水晶発振子を接続する方法 26-2
26.1.2 外部クロックを入力する方法 26-3
26.2 デューティ補正回路 26-5
26.3 中速クロック分周器 26-5
26.4 バスマスタクロック選択回路 26-5
26.5 サブクロック入力回路 26-6
26.6 波形成形回路 26-6
26.7 クロック選択回路 26-7
26.8 PLL回路 26-7
26.9 使用上の注意事項 26-7

26.9.1 発振子に関する注意事項 26-7
26.9.2 ボード設計上の注意事項 26-7
26.9.3 X1、X2 の端子処理 26-8

27. 低消費電力状態 27-1

27.1 レジスタの説明 27-2
27.1.1 スタンバイコントロールレジスタ（SBYCR） 27-2
27.1.2 ローパワーコントロールレジスタ（LPWRCR） 27-4
27.1.3 システムコントロールレジスタ 2（SYSCR2） 27-5
27.1.4 モジュールストップコントロールレジスタ H、L（MSTPCRH、MSTPCRL）
サブチップモジュールストップコントロールレジスタ BH、BL（SUBMSTPBH、SUBMSTPBL）
..... 27-6
27.2 モード間遷移とLSIの状態 27-7
27.3 中速モード 27-10
27.4 スリープモード 27-11
27.5 ソフトウェアスタンバイモード 27-11
27.6 ハードウェアスタンバイモード 27-12
27.7 ウォッチモード 27-13
27.8 サブスリープモード 27-14
27.9 サブアクティブモード 27-14
27.10 モジュールストップモード 27-15
27.11 直接遷移 27-15
27.12 使用上の注意事項 27-16
27.12.1 I/O ポートの状態 27-16
27.12.2 発振安定待機中の消費電流 27-16
27.12.3 DTC のモジュールストップモードの設定 27-16

28. レジスター覧 28-1

28.1 レジスタアドレス一覧（アドレス順） 28-2
28.2 レジスタビット一覧 28-11
28.3 各動作モードにおけるレジスタの状態 28-21

29. 電気的特性 29-1

29.1 絶対最大定格 29-1
29.2 DC特性 29-2
29.3 AC特性 29-8
29.3.1 クロックタイミング 29-8
29.3.2 制御信号タイミング 29-10
29.3.3 バスタイミング 29-12
29.3.4 内蔵周辺モジュールタイミング 29-19
29.4 A/D変換特性 29-28

29.5 D/A変換特性 29-29
29.6 フラッシュメモリ特性 29-30

付録

A. 各処理状態におけるI/Oポートの状態 付録-1
B. 型名一覧 付録-4
C. 外形寸法図 付録-5

索引 **索引**-1

図目次

1. **概要** 1-1

図 1.1 内部ブロック図 1-3
図 1.2 ピン配置図（TBP-112A：上面図） 1-4

2. CPU 2-1

図 2.1 例外処理ベクタテーブル（ノーマルモード） 2-5
図 2.2 ノーマルモードのスタック構造 2-5
図 2.3 例外処理ベクタテーブル（アドバンストモード） 2-6
図 2.4 アドバンストモードのスタック構造 2-7
図 2.5 アドレス空間 2-8
図 2.6 CPU 内部レジスタ構成 2-9
図 2.7 汎用レジスタの使用方法 2-10
図 2.8 スタックの状態 2-10
図 2.9 汎用レジスタのデータ形式（1） 2-14
図 2.9 汎用レジスタのデータ形式（2） 2-15
図 2.10 メモリ上でのデータ形式 2-16
図 2.11 命令フォーマットの例 2-27
図 2.12 メモリ間接による分岐アドレスの指定 2-31
図 2.13 状態遷移図 2-34

3. MCU **動作モード** 3-1

図 3.1 アドレスマップ（モード 2） 3-8
図 3.2 アドレスマップ（モード 3） 3-9

4. **例外処理** 4-1

図 4.1 リセットシーケンス（モード 3） 4-3
図 4.2 例外処理終了後のスタックの状態 4-5
図 4.3 SP を奇数に設定したときの動作 4-6

5. **割り込みコントローラ** 5-1

図 5.1 割り込みコントローラのブロック図 5-2
図 5.2 IRQ15～IRQ0 割り込みのブロック図 5-10
図 5.3 KIN9～KIN0、WUE15～WUE8 割り込みのブロック図（KIN9～KIN0 の例） 5-11
図 5.4 割り込み制御動作のブロック図 5-15

図 5.5　割り込み制御モード 0 の割り込み受け付けまでのフロー 5-18
図 5.6　割り込み制御モード 1 の状態遷移 5-19
図 5.7　割り込み制御モード 1 の割り込み受け付けまでのフロー 5-21
図 5.8　割り込み例外処理 5-22
図 5.9　DTC と割り込み制御 5-24
図 5.10　割り込みの発生とディスエーブルの競合 5-26

6.　**バスコントローラ（BSC）** 6-1

図 6.1　バスコントローラのブロック図 6-2
図 6.2　$\overline{\text{IOS}}$ 信号出力タイミング 6-15
図 6.3　アクセスサイズとデータアライメント制御（8 ビットアクセス空間） 6-17
図 6.4　アクセスサイズとデータアライメント制御（16 ビットアクセス空間） 6-17
図 6.5　8 ビット 2 ステートアクセス空間のバスタイミング 6-19
図 6.6　8 ビット 3 ステートアクセス空間のバスタイミング 6-20
図 6.7　16 ビット 2 ステートアクセス空間のバスタイミング（偶数バイトアクセス） 6-21
図 6.8　16 ビット 2 ステートアクセス空間のバスタイミング（奇数バイトアクセス） 6-22
図 6.9　16 ビット 2 ステートアクセス空間のバスタイミング（ワードアクセス） 6-23
図 6.10　16 ビット 3 ステートアクセス空間のバスタイミング（偶数バイトアクセス） 6-24
図 6.11　16 ビット 3 ステートアクセス空間のバスタイミング（奇数バイトアクセス） 6-25
図 6.12　16 ビット 3 ステートアクセス空間のバスタイミング（ワードアクセス） 6-26
図 6.13　ウェイトステート挿入タイミング例（端子ウェイトモード） 6-28
図 6.14　バースト ROM 空間のアクセスタイミング例（AST＝BRSTS1＝1 の場合） 6-29
図 6.15　バースト ROM 空間のアクセスタイミング例（AST＝BRSTS1＝0 の場合） 6-30
図 6.16　アクセスサイズとデータアライメント制御 6-31
図 6.17　メモリカードモードのアクセスタイミング例（基本サイクル） 6-33
図 6.18　メモリカードモードのアクセスタイミング例
（OWEAC＝OWENC＝1、ウェイトステート挿入ありの場合） 6-33
図 6.19　メモリカードモードのアクセスタイミング例
（プログラムウェイトおよび $\overline{\text{CPWAIT}}$ 端子によるウェイトステート挿入） 6-34
図 6.20　アイドルサイクルの動作例 6-35

7.　**データトランスファコントローラ（DTC）** 7-1

図 7.1　DTC のブロック図 7-2
図 7.2　DTC 起動要因制御ブロック図 7-7
図 7.3　アドレス空間上での DTC レジスタ情報の配置 7-8
図 7.4　DTC 動作フローチャート 7-11
図 7.5　ノーマルモードのメモリマップ 7-12
図 7.6　リピートモードのメモリマップ 7-13
図 7.7　ブロック転送モードのメモリマップ 7-14
図 7.8　チェイン転送の動作 7-15
図 7.9　DTC の動作タイミング（ノーマルモード、リピートモードの例） 7-16

図 7.10　DTC の動作タイミング（ブロック転送モード、ブロックサイズ＝2 の例）.....7-16
図 7.11　DTC の動作タイミング（チェイン転送の例）.....7-17

8.　RAM-FIFO ユニット（RFU）.....8-1

図 8.1　RFU のブロック図.....8-2
図 8.2　中速モード一時解除の例.....8-17
図 8.3　RFU レスポンス時間の例.....8-19
図 8.4　USB の RFU インタフェース.....8-22
図 8.5　USB の IN 転送動作フロー.....8-23
図 8.6　USB の OUT 転送動作フロー.....8-24
図 8.7　SCI の RFU インタフェース.....8-25
図 8.8　SCI の送信動作フロー.....8-26
図 8.9　SCI の受信動作フロー.....8-27
図 8.10　MCIF の RFU インタフェース.....8-28
図 8.11　MCIF の送信動作フロー.....8-29
図 8.12　MCIF の受信動作フロー.....8-30
図 8.13　RFU の初期化フロー.....8-31

10.　8 ビット PWM タイマ（PWM）.....10-1

図 10.1　PWM タイマのブロック図.....10-2
図 10.2　付加パルスタイミング例（PWDR 上位 4 ビットが B'1000）.....10-10

11.　14 ビット PWM タイマ（PWMX）.....11-1

図 11.1　PWMX（D/A）のブロック図.....11-2
図 11.2　PWMX（D/A）の動作.....11-9
図 11.3　出力波形（OS＝0、DADR は TL に対応）.....11-11
図 11.4　出力波形（OS＝1、DADR は TH に対応）.....11-12
図 11.5　CFS＝1 のときの D/A データレジスタの構成.....11-13
図 11.6　DADR＝H'0207 のときの出力波形（OS＝1）.....11-13

12.　16 ビットフリーランニングタイマ（FRT）.....12-1

図 12.1　16 ビットフリーランニングタイマのブロック図.....12-2
図 12.2　パルス出力例.....12-11
図 12.3　内部クロック動作時のカウントタイミング.....12-12
図 12.4　外部クロック動作時のカウントタイミング.....12-12
図 12.5　アウトプットコンペア A 出力タイミング.....12-13
図 12.6　コンペアマッチ A 信号による FRC のクリアタイミング.....12-13
図 12.7　インプットキャプチャ入力信号タイミング（通常時）.....12-14
図 12.8　インプットキャプチャ入力信号タイミング（ICRA～ICRD のリード時）.....12-14
図 12.9　バッファ動作タイミング（インプットキャプチャ）.....12-15

図 12.10　バッファ動作タイミング（BUFEA=1）.....12-16
図 12.11　ICFA～ICFD フラグのセットタイミング.....12-16
図 12.12　OCFA、OCFB フラグのセットタイミング.....12-17
図 12.13　OVF フラグのセットタイミング.....12-17
図 12.14　OCRA の自動加算タイミング.....12-18
図 12.15　インプットキャプチャマスク信号のセットタイミング.....12-19
図 12.16　インプットキャプチャマスク信号のクリアタイミング.....12-19
図 12.17　FRC のライトとクリアの競合.....12-21
図 12.18　FRC のライトとカウントアップの競合.....12-22
図 12.19　OCR のライトとコンペアマッチの競合（自動加算機能を使用していない場合）.....12-23
図 12.20　OCRAR/OCRAF のライトとコンペアマッチの競合（自動加算機能を使用している場合）.....12-24

13.　8 **ビットタイマ（**TMR**）**.....13-1

図 13.1　8 ビットタイマ（TMR_0、TMR_1）のブロック図.....13-2
図 13.2　8 ビットタイマ（TMR_Y、TMR_X）のブロック図.....13-3
図 13.3　パルス出力例.....13-13
図 13.4　内部クロック動作時のカウントタイミング.....13-14
図 13.5　外部クロック動作時のカウントタイミング.....13-14
図 13.6　コンペアマッチ時の CMF フラグのセットタイミング.....13-15
図 13.7　コンペアマッチ A 信号によるトグル出力のタイマ出力タイミング.....13-15
図 13.8　コンペアマッチによるカウンタクリアタイミング.....13-16
図 13.9　外部リセット入力によるクリアタイミング.....13-16
図 13.10　OVF フラグのセットタイミング.....13-17
図 13.11　インプットキャプチャ動作タイミング.....13-19
図 13.12　インプットキャプチャ信号タイミング
（TICRR、TICRF のリード時に、インプットキャプチャ入力を入力した場合）.....13-20
図 13.13　インプットキャプチャ動作タイミング.....13-20
図 13.14　TCNT のライトとクリアの競合.....13-22
図 13.15　TCNT のライトとカウントアップの競合.....13-23
図 13.16　TCOR のライトとコンペアマッチの競合.....13-24

14.　**タイマコネクション**.....14-1

図 14.1　タイマコネクションのブロック図.....14-2
図 14.2　PWM デコードタイミング.....14-12
図 14.3　クランプ波形生成タイミング（CL1 信号、CL2 信号）.....14-13
図 14.4　クランプ波形生成タイミング（CL3 信号）.....14-13
図 14.5　IVI 信号と IHI 信号分周波形の周期測定タイミング.....14-14
図 14.6　2fH モディファイタイミング.....14-16
図 14.7　立ち下がりモディファイと IHI 同期タイミング.....14-18
図 14.8　IVG 信号、IHG 信号、CL4 信号のタイミング.....14-19
図 14.9　CBLANK 出力波形生成の論理.....14-22

15. **ウォッチドッグタイマ（WDT）** 15-1

図 15.1 WDT のブロック図 15-2
図 15.2 ウォッチドッグタイマモード時（RST/$\overline{\text{NMI}}$=1）の動作 15-7
図 15.3 インターバルタイマモード時の動作 15-8
図 15.4 OVF のセットタイミング 15-8
図 15.5 $\overline{\text{RESO}}$ 信号の出力タイミング 15-9
図 15.6 TCNT、TCSR へのライト（WDT_0 の例） 15-10
図 15.7 TCNT のライトとカウントアップの競合 15-11
図 15.8 $\overline{\text{RESO}}$ 信号によるシステムのリセット回路例 15-12

16. **シリアルコミュニケーションインタフェース（SCI、IrDA、CRC）** 16-1

図 16.1 SCI_1 のブロック図 16-3
図 16.2 SCI_0、SCI_2 のブロック図 16-4
図 16.3 調歩同期式通信のデータフォーマット
（8 ビットデータ／パリティあり／2 ストップビットの例） 16-27
図 16.4 調歩同期式モードの受信データサンプリングタイミング 16-29
図 16.5 出力クロックと送信データの位相関係（調歩同期式モード） 16-30
図 16.6 平均転送レートが選択されたときのベースクロック例（1） 16-31
図 16.7 平均転送レートが選択されたときのベースクロック例（2） 16-32
図 16.8 SCI の初期化フローチャートの例 16-33
図 16.9 調歩同期式モードの送信時の動作例
（8 ビットデータ／パリティあり／1 ストップビットの例） 16-34
図 16.10 シリアル送信のフローチャートの例 16-35
図 16.11 SCI の受信時の動作例（8 ビットデータ／パリティあり／1 ストップビットの例） 16-36
図 16.12 シリアル受信データフローチャートの例（1） 16-37
図 16.12 シリアル受信データフローチャートの例（2） 16-38
図 16.13 マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ H'AA の送信の例） 16-39
図 16.14 マルチプロセッサシリアル送信のフローチャートの例 16-40
図 16.15 SCI の受信時の動作例
（8 ビットデータ／マルチプロセッサビットあり／1 ストップビットの例） 16-41
図 16.16 マルチプロセッサシリアル受信のフローチャートの例（1） 16-42
図 16.16 マルチプロセッサシリアル受信のフローチャートの例（2） 16-43
図 16.17 クロック同期式通信のデータフォーマット（LSB ファーストの場合） 16-44
図 16.18 SCI の初期化フローチャートの例 16-45
図 16.19 クロック同期式モードの送信時の動作例 16-46
図 16.20 シリアル送信のフローチャートの例 16-47
図 16.21 SCI の受信時の動作例 16-48
図 16.22 シリアルデータ受信フローチャートの例 16-49
図 16.23 シリアル送受信同時動作のフローチャートの例 16-51
図 16.24 スマートカードインタフェース端子接続概要 16-52
図 16.25 通常のスマートカードインタフェースのデータフォーマット 16-53

図 16.26　ダイレクトコンベンション（SDIR＝SINV＝O/$\overline{E}$＝0）.....16-54
図 16.27　インバースコンベンション（SDIR＝SINV＝O/$\overline{E}$＝1）.....16-54
図 16.28　スマートカードインタフェースモード時の受信データサンプリングタイミング（372 倍のクロック使用時）.....16-55
図 16.29　SCI 送信モードの場合の再転送動作.....16-58
図 16.30　送信動作時の TEND フラグ発生タイミング.....16-58
図 16.31　送信処理フローの例.....16-59
図 16.32　SCI 受信モードの場合の再転送動作.....16-60
図 16.33　受信フローの例.....16-61
図 16.34　クロック出力固定タイミング.....16-62
図 16.35　クロック停止・再起動手順.....16-63
図 16.36　IrDA ブロック図.....16-63
図 16.37　IrDA 送信／受信動作.....16-64
図 16.38　DTC によるクロック同期式送信時の例.....16-69
図 16.39　送信時のモード遷移フローチャートの例.....16-70
図 16.40　調歩同期式モード送信時（内部クロック）の端子状態.....16-71
図 16.41　クロック同期式モード送信時（内部クロック）の端子状態.....16-71
図 16.42　受信時のモード遷移フローチャートの例.....16-72
図 16.43　SCK 端子からポート端子へ切り替える時の動作.....16-73
図 16.44　SCK 端子からポート端子へ切り替え時の Low 出力の回避例.....16-73
図 16.45　CRC 演算器のブロック図.....16-74
図 16.46　LSB ファーストでのデータ送信.....16-76
図 16.47　MSB ファーストでのデータ送信.....16-76
図 16.48　LSB ファーストでのデータ受信.....16-77
図 16.49　MSB ファーストでのデータ受信.....16-78
図 16.50　LSB ファーストと MSB ファーストの送信データ.....16-79

17.　I^2C バスインタフェース（IIC）.....17-1

図 17.1　I^2C バスインタフェースのブロック図.....17-2
図 17.2　I^2C バスインタフェース接続例（本 LSI がマスタの場合）.....17-3
図 17.3　TDRE、SDRF、RDRF ビット状態遷移図.....17-26
図 17.4　I^2C バスデータフォーマット（I^2C バスフォーマット）.....17-32
図 17.5　I^2C バスデータフォーマット（シリアルフォーマット）.....17-32
図 17.6　I^2C バスタイミング.....17-33
図 17.7　マスタ送信モード動作タイミング例（MLS＝WAIT＝0 のとき）.....17-35
図 17.8　マスタ受信モード動作タイミング例（MLS=ACKB=0、WAIT=1 のとき）.....17-37
図 17.9　マスタ受信モード動作タイミング例（MLS=ACKB=0、WAIT=1 のとき）.....17-37
図 17.10　スレーブ受信モード動作タイミング例 1（MLS＝ACKB＝0 のとき）.....17-39
図 17.11　スレーブ受信モード動作タイミング例 2（MLS＝ACKB＝0 のとき）.....17-39
図 17.12　スレーブ送信モード動作タイミング例（MLS＝0 のとき）.....17-41
図 17.13　IRIC フラグタイミングと SCL 制御（1）.....17-42

図 17.14　IRIC フラグタイミングと SCL 制御（2）.....17-43
図 17.15　IRIC フラグタイミングと SCL 制御（3）.....17-44
図 17.16　動作予約アダプタ割り込みフラグタイミング例.....17-45
図 17.17　ノイズ除去回路のブロック図.....17-48
図 17.18　マスタ送信モードのフローチャート例.....17-51
図 17.19　マスタ受信モードのフローチャート例.....17-52
図 17.20　スレーブ受信モードフローチャート例.....17-53
図 17.21　スレーブ送信モードフローチャート例.....17-54
図 17.22　マスタ受信データの読み出しにおける注意.....17-59
図 17.23　再送のための開始条件命令発行フローチャートおよびタイミング.....17-60
図 17.24　停止条件発行タイミング.....17-61
図 17.25　WAIT=1 状態での IRIC フラグクリアタイミング.....17-61
図 17.26　スレーブ送信モードでの ICDR リード、ICCR アクセスタイミング.....17-62
図 17.27　スレーブモードでの TRS ビット設定タイミング.....17-63
図 17.28　アービトレーションロスト時の動作模式図.....17-65

18.　**ユニバーサルシリアルバスインタフェース（USB）**.....18-1

図 18.1　USB のブロック図.....18-2
図 18.2　SETUP トークン受信時の動作
（スレーブ CPU でデコードの必要がない場合、SETICNT=0 の場合）.....18-40
図 18.3　SETUP トークン受信時の動作
（スレーブ CPU でデコードの必要がある場合、SETICNT=0 の場合）.....18-41
図 18.4　SETUP トークン受信時の動作
（スレーブ CPU でデコードの必要がない場合、SETICNT=1 の場合）.....18-42
図 18.5　SETUP トークン受信時の動作
（スレーブ CPU でデコードの必要がある場合、SETICNT=1 の場合）.....18-43
図 18.6　OUT トークン受信時の動作（EP2-OUT：初期 FIFO 空）.....18-44
図 18.7　OUT トークン受信時の動作（EP2-OUT：初期 FIFO フル）.....18-45
図 18.8　OUT トークン受信時の動作（EP5-OUT：初期 FIFO 空）.....18-46
図 18.9　OUT トークン受信時の動作（EP5-OUT：初期 FIFO フル）.....18-47
図 18.10　IN トークン受信時の動作（EP2-IN：初期 FIFO フル）.....18-48
図 18.11　IN トークン受信時の動作（EP2-IN：初期 FIFO 空）.....18-49
図 18.12　IN トークン受信時の動作（EP4-IN：初期 FIFO フル）.....18-50
図 18.13　IN トークン受信時の動作（EP4-IN：初期 FIFO 空）.....18-51
図 18.14　USB モジュールの初期動作手順.....18-57

19.　**マルチメディアカードインタフェース（MCIF）**.....19-1

図 19.1　MCIF のブロック図.....19-2
図 19.2　コマンドレスポンスを要さないコマンドのコマンドシーケンスの例.....19-26
図 19.3　コマンドレスポンスを要さないコマンドの動作フローチャート.....19-27
図 19.4　データ転送を伴わないコマンドのコマンドシーケンスの例（データビジー状態なし）.....19-28

図 19.5　データ転送を伴わないコマンドのコマンドシーケンスの例（データビジー状態あり）.....19-29
図 19.6　データ転送を伴わないコマンドの動作フローチャート.....19-30
図 19.7　リードデータを伴うコマンドのコマンドシーケンスの例（1）.....19-32
図 19.8　リードデータを伴うコマンドのコマンドシーケンスの例（2）.....19-33
図 19.9　リードデータを伴うコマンドのコマンドシーケンスの例（3）.....19-34
図 19.10　リードデータを伴うコマンドのコマンドシーケンスの例（4）.....19-35
図 19.11　リードデータを伴うコマンドの動作フローチャート.....19-36
図 19.12　ライトデータを伴うコマンドのコマンドシーケンスの例（1）.....19-38
図 19.13　ライトデータを伴うコマンドのコマンドシーケンスの例（2）.....19-39
図 19.14　ライトデータを伴うコマンドのコマンドシーケンスの例（3）.....19-40
図 19.15　ライトデータを伴うコマンドのコマンドシーケンスの例（4）.....19-41
図 19.16　ライトデータを伴うコマンドの動作フローチャート.....19-42
図 19.17　データ転送を伴わないコマンドのコマンドシーケンスの例（データビジー状態なし）.....19-44
図 19.18　データ転送を伴わないコマンドのコマンドシーケンスの例（データビジー状態あり）.....19-45
図 19.19　データ転送を伴わないコマンドの動作フローチャート.....19-46
図 19.20　リードデータを伴うコマンドのコマンドシーケンスの例（1）.....19-48
図 19.21　リードデータを伴うコマンドのコマンドシーケンスの例（2）.....19-49
図 19.22　リードデータを伴うコマンドの動作フローチャート.....19-50
図 19.23　ライトデータを伴うコマンドのコマンドシーケンスの例（1）.....19-52
図 19.24　ライトデータを伴うコマンドのコマンドシーケンスの例（2）.....19-53
図 19.25　ライトデータを伴うコマンドの動作フローチャート.....19-54

21.　D/A **変換器**..... 21-1

図 21.1　D/A 変換器のブロック図.....21-1
図 21.2　D/A 変換器の動作例.....21-4

22.　A/D **変換器**..... 22-1

図 22.1　A/D 変換器のブロック図.....22-2
図 22.2　A/D 変換タイミング.....22-10
図 22.3　外部トリガ入力タイミング.....22-11
図 22.4　A/D 変換精度の定義.....22-13
図 22.5　A/D 変換精度の定義.....22-13
図 22.6　アナログ入力回路の例.....22-14
図 22.7　アナログ入力保護回路の例.....22-16
図 22.8　アナログ入力端子等価回路.....22-16

24.　ROM..... 24-1

図 24.1　フラッシュメモリのブロック図.....24-2
図 24.2　フラッシュメモリに関する状態遷移.....24-3
図 24.3　ブートモード.....24-4
図 24.4　ユーザプログラムモード（例）.....24-5

図 24.5　フラッシュメモリのブロック構成 24-6
図 24.6　ブートモード時の内蔵 RAM エリア 24-15
図 24.7　ID コードエリア 24-15
図 24.8　ユーザプログラムモードにおける書き込み／消去例 24-16
図 24.9　プログラム／プログラムベリファイフロー 24-18
図 24.10　イレース／イレースベリファイフロー 24-20
図 24.11　ライタモード時のメモリマップ 24-22

25.　ユーザデバッグインタフェース（H-UDI） 25-1

図 25.1　H-UDI のブロック図 25-2
図 25.2　TAP コントローラ状態遷移図 25-10
図 25.3　相互干渉しないリセット系信号の設計例 25-13
図 25.4　シリアルデータ入出力（1） 25-14
図 25.4　シリアルデータ入出力（2） 25-14

26.　クロック発振器 26-1

図 26.1　クロック発振器のブロック図 26-1
図 26.2　水晶発振子の接続例 26-2
図 26.3　水晶発振子の等価回路 26-2
図 26.4　外部クロックの接続例 26-3
図 26.5　外部クロック入力タイミング 26-4
図 26.6　外部クロック出力安定遅延時間タイミング 26-5
図 26.7　サブクロック入力タイミング 26-6
図 26.8　発振回路部のボード設計に関する注意事項 26-8
図 26.9　X1、X2 の端子処理 26-8

27.　低消費電力状態 27-1

図 27.1　モード遷移図 27-8
図 27.2　中速モードのタイミング 27-11
図 27.3　ソフトウェアスタンバイモードの応用例 27-12
図 27.4　ハードウェアスタンバイモードのタイミング 27-13

29.　電気的特性 29-1

図 29.1　ダーリントントランジスタ駆動回路例 29-7
図 29.2　LED 駆動回路例 29-7
図 29.3　出力負荷回路 29-8
図 29.4　システムクロックタイミング 29-9
図 29.5　発振安定時間タイミング 29-9
図 29.6　発振安定時間タイミング（ソフトウェアスタンバイからの復帰） 29-9
図 29.7　リセット入力タイミング 29-10

図 29.8　割り込み入力タイミング 29-11
図 29.9　基本バスタイミング／2 ステートアクセス 29-13
図 29.10　基本バスタイミング／3 ステートアクセス 29-14
図 29.11　基本バスタイミング／3 ステートアクセス 1 ウェイト 29-15
図 29.12　CF インタフェース基本タイミング／3 ステートアクセス 29-16
図 29.13　バースト ROM アクセスタイミング／2 ステートアクセス 29-17
図 29.14　バースト ROM アクセスタイミング／1 ステートアクセス 29-18
図 29.15　I/O ポート入出力タイミング 29-20
図 29.16　FRT 入出力タイミング 29-20
図 29.17　FRT クロック入力タイミング 29-21
図 29.18　8 ビットタイマ出力タイミング 29-21
図 29.19　8 ビットタイマクロック入力タイミング 29-21
図 29.20　8 ビットタイマリセット入力タイミング 29-21
図 29.21　PWM、PWMX 出力タイミング 29-22
図 29.22　SCK クロック入力タイミング 29-22
図 29.23　SCI 入出力タイミング／クロック同期式モード 29-22
図 29.24　A/D 変換器外部トリガ入力タイミング 29-22
図 29.25　WDT 出力タイミング（$\overline{\text{RESO}}$） 29-23
図 29.26　I^2C バスインタフェース入出力タイミング 29-24
図 29.27　USB ドライバ／レシーバ出力タイミング 29-24
図 29.28　マルチメディアカードインタフェースタイミング 29-26
図 29.29　H-UDI ETCK タイミング 29-27
図 29.30　リセットホールドタイミング 29-27
図 29.31　H-UDI 入出力タイミング 29-27

付録 **付録-1**

図 C.1　TBP-112A 外形寸法図 付録-5

表目次

1. **概要** 1-1

表 1.1 動作モード別ピン配置一覧 1-5
表 1.2 端子機能 1-9

2. CPU 2-1

表 2.1 命令の分類 2-17
表 2.2 オペレーションの記号 2-18
表 2.3 データ転送命令 2-19
表 2.4 算術演算命令（1） 2-20
表 2.4 算術演算命令（2） 2-21
表 2.5 論理演算命令 2-22
表 2.6 シフト命令 2-22
表 2.7 ビット操作命令（1） 2-23
表 2.7 ビット操作命令（2） 2-24
表 2.8 分岐命令 2-25
表 2.9 システム制御命令 2-26
表 2.10 ブロック転送命令 2-26
表 2.11 アドレッシングモード一覧表 2-28
表 2.12 絶対アドレスのアクセス範囲 2-29
表 2.13 実行アドレスの計算方法（1） 2-31
表 2.13 実行アドレスの計算方法（2） 2-32

3. MCU **動作モード** 3-1

表 3.1 MCU 動作モードの選択 3-1
表 3.2 各動作モードにおける端子機能 3-7

4. **例外処理** 4-1

表 4.1 例外処理の種類と優先度 4-1
表 4.2 例外処理ベクタテーブル 4-1
表 4.3 トラップ命令例外処理後の CCR の状態 4-5

5. **割り込みコントローラ** 5-1

表 5.1 端子構成 5-3
表 5.2 各割り込み要因と ICR の対応 5-4

表 5.3　割り込み要因とベクタアドレスおよび割り込み優先順位一覧 5-12
表 5.4　割り込み制御モード 5-15
表 5.5　各割り込み制御モードで受け付けられる割り込み 5-16
表 5.6　割り込み制御モードと動作および制御信号機能 5-16
表 5.7　割り込み応答時間 5-23
表 5.8　割り込み例外処理の実行状態のステート数 5-23
表 5.9　割り込み要因の選択とクリア制御 5-25

6.　**バスコントローラ（BSC）** 6-1

表 6.1　端子構成 6-3
表 6.2　アドレス範囲と外部アドレス空間 6-10
表 6.3　各ビットの設定と基本バスインタフェースのバス仕様 6-11
表 6.4　基本拡張エリア／基本バスインタフェースのバス仕様 6-12
表 6.5　256kB 拡張エリア／基本バスインタフェースのバス仕様 6-12
表 6.6　CP 拡張エリア（基本モード）／基本バスインタフェースのバス仕様 6-13
表 6.7　CF 拡張エリア（メモリカードモード）／基本バスインタフェースのバス仕様 6-14
表 6.8　$\overline{\text{IOS}}$ 信号を出力するアドレスの範囲 6-16
表 6.9　使用するデータバスと有効ストローブ 6-18
表 6.10　使用するデータバスと有効ストローブ 6-32
表 6.11　アイドルサイクルでの端子状態 6-35

7.　**データトランスファコントローラ（DTC）** 7-1

表 7.1　各割り込み要因と DTCER の対応 7-5
表 7.2　割り込み要因と DTC ベクタアドレスおよび対応する DTCE 7-9
表 7.3　ノーマルモードのレジスタ機能 7-12
表 7.4　リピートモードのレジスタ機能 7-13
表 7.5　ブロック転送モードのレジスタ機能 7-14
表 7.6　DTC の実行状態 7-17
表 7.7　実行状態に必要なステート数 7-17

8.　**RAM-FIFO ユニット（RFU）** 8-1

表 8.1　BAR、RAR、WAR、TMP の有効ビット 8-8
表 8.2　起動要因と ID 番号 8-14
表 8.3　RFU バスサイクルの種類 8-15
表 8.4　周辺機能の要求と RFU バスサイクル 8-16
表 8.5　バスサイクル挿入 8-18
表 8.6　バウンダリオーバフロー利用時の設定（単一データブロックの送受信） 8-20
表 8.7　DATAN/FREEN リード値 8-32

9. I/O ポート 9-1

表 9.1 ポートの機能一覧表 9-1
表 9.2 ポート 1 入力プルアップ MOS の状態 9-6
表 9.3 ポート 2 入力プルアップ MOS の状態 9-9
表 9.4 ポート 3 入力プルアップ MOS の状態 9-14
表 9.5 ポート 6 入力プルアップ MOS の状態 9-32
表 9.6 入力プルアップ MOS の状態（ポート A） 9-45

10. 8 ビット PWM タイマ（PWM） 10-1

表 10.1 端子構成 10-3
表 10.2 内部クロックの選択 10-5
表 10.3 φ＝20MHz 時の分解能、PWM 変換周期、キャリア周波数 10-5
表 10.4 基本パルスのデューティ比 10-9
表 10.5 基本パルスに対する付加パルスの位置 10-10

11. 14 ビット PWM タイマ（PWMX） 11-1

表 11.1 端子構成 11-2
表 11.2 16 ビットレジスタのリード／ライト別アクセス方式 11-8
表 11.3 設定値と動作内容（φ：25MHz 時の例） 11-10
表 11.4 基本パルスに対する付加パルスの位置（CFS＝1 の場合） 11-14

12. 16 ビットフリーランニングタイマ（FRT） 12-1

表 12.1 端子構成 12-3
表 12.2 FRT 割り込み要因 12-20
表 12.3 内部クロックの切り替えと FRC 動作 12-25

13. 8 ビットタイマ（TMR） 13-1

表 13.1 端子構成 13-4
表 13.2 TCNT に入力するクロックとカウント条件 13-7
表 13.3 インプットキャプチャ信号の選択 13-21
表 13.4 8 ビットタイマ TMR_0、TMR_1、TMR_Y、TMR_X の割り込み要因 13-21
表 13.5 タイマ出力の優先順位 13-25
表 13.6 内部クロックの切り替えと TCNT の動作 13-26

14. タイマコネクション 14-1

表 14.1 端子構成 14-3
表 14.2 同期信号接続イネーブル 14-5
表 14.3 TMR_X/TMR_Y のアクセス可能なレジスタ 14-8
表 14.4 TCR の設定例 14-11
表 14.5 TCORB（パルス幅しきい値）の設定例 14-11

表 14.6　TCR と TCSR の設定例 14-14
表 14.7　TCR、TCSR、TCOR と OCRDM の設定例 14-15
表 14.8　TCR、TCSR と TCORB の設定例 14-17
表 14.9　TCR、TCSR、TCORA、TCORB、OCRAR、OCRAF と TOCR の設定例 14-19
表 14.10　HSYNCO 出力モード 14-20
表 14.11　VSYNCO 出力モード 14-21

15. **ウォッチドッグタイマ（WDT）** 15-1

表 15.1　端子構成 15-3
表 15.2　WDT の割り込み要因 15-9

16. **シリアルコミュニケーションインタフェース（SCI、IrDA、CRC）** 16-1

表 16.1　端子構成 16-5
表 16.2　BRR の設定値 N とビットレート B の関係 16-16
表 16.3　ビットレートに対する BRR の設定例〔調歩同期式モード〕（1） 16-17
表 16.3　ビットレートに対する BRR の設定例〔調歩同期式モード〕（2） 16-18
表 16.3　ビットレートに対する BRR の設定例〔調歩同期式モード〕（3） 16-19
表 16.4　各動作周波数における最大ビットレート（調歩同期式モード） 16-20
表 16.5　外部クロック入力時の最大ビットレート（調歩同期式モード） 16-20
表 16.6　ビットレートに対する BRR の設定例〔クロック同期式モード〕 16-21
表 16.7　外部クロック入力時の最大ビットレート（クロック同期式モード） 16-21
表 16.8　ビットレートに対する BRR の設定例
（スマートカードインタフェースモードで n＝0、S＝372 のとき） 16-22
表 16.9　各動作周波数における最大ビットレート
（スマートカードインタフェースモードで S＝372 のとき） 16-22
表 16.10　シリアル送信／受信フォーマット（調歩同期式モード） 16-28
表 16.11　SSR のステータスフラグの状態と受信データの処理 16-37
表 16.12　IrCKS2～IrCKS0 ビットの設定 16-65
表 16.13　SCI 割り込み要因 16-66
表 16.14　SCI 割り込み要因 16-67

17. **I^2C バスインタフェース（IIC）** 17-1

表 17.1　端子構成 17-3
表 17.2　転送フォーマット 17-7
表 17.3　転送レート 17-8
表 17.4　フラグと転送状態の関係 17-13
表 17.5　IIC レジスタアクセスの制約 17-28
表 17.6　動作予約コマンド 17-30
表 17.7　動作予約コマンド完了時の動作 17-31
表 17.8　DTC を利用した処理例 17-46
表 17.9　動作予約アダプタによる DTC を利用した処理例 17-47

表 17.10　IIC 割り込み要因 17-55
表 17.11　I^2C バスタイミング（SCL、SDA 出力） 17-56
表 17.12　SCL 立ち上がり時間（t_{Sr}）の許容範囲 17-57
表 17.13　I^2C バスタイミング（t_{Sr}/t_{Sf}影響最大の場合） 17-58

18. **ユニバーサルシリアルバスインタフェース（USB）** 18-1

表 18.1　端子構成 18-3
表 18.2　FIFO の構成 18-5
表 18.3　ポート 6 の機能 18-31
表 18.4　USB ファンクションコアとスレーブ CPU の役割分担 18-37
表 18.5　各トランザクションに含まれるパケット 18-39
表 18.6　UIFRST、FSRST により初期化されるレジスタ 18-53
表 18.7　エンドポイント構成情報 18-55
表 18.8　USB 割り込み要因（USBMDCR の SETICNT=0 の場合） 18-58
表 18.9　USB 割り込み要因（USBMDCR の SETICNT=1 の場合） 18-58

19. **マルチメディアカードインタフェース（MCIF）** 19-1

表 19.1　端子構成 19-3
表 19.2　コマンドと CMDTYR、RSPTYR の対応 19-7
表 19.3　CMDR の構成 19-10
表 19.4　コマンドレスポンスバイト数と RSPR レジスタの対応 19-11
表 19.5　コマンドシーケンスを停止するカードステータス 19-14
表 19.6　MCIF 割り込み要因 19-55

21. D/A **変換器** 21-1

表 21.1　端子構成 21-2
表 21.2　D/A 変換の制御 21-3

22. A/D **変換器** 22-1

表 22.1　端子構成 22-3
表 22.2　アナログ入力チャネルと ADDR の対応 22-4
表 22.3　DTC コンパレータスキャン機能による CIN7～CIN0 のスキャン 22-8
表 22.4　A/D 変換時間（シングルモード） 22-10
表 22.5　A/D 変換器の割り込み要因 22-11

24. ROM 24-1

表 24.1　ブートモードとユーザプログラムモードの相違点 24-3
表 24.2　端子構成 24-7
表 24.3　動作モードと ROM 24-11
表 24.4　オンボードプログラミングモードの設定方法 24-11

表 24.5　ブートモードの動作 24-14
表 24.6　ビットレート自動合わせ込みが可能なシステムクロック周波数 24-14

25. **ユーザデバッグインタフェース（H-UDI）** 25-1

表 25.1　端子構成 25-3
表 25.2　H-UDI レジスタのシリアル転送 25-4
表 25.3　端子とバウンダリスキャンレジスタの対応 25-6

26. **クロック発振器** 26-1

表 26.1　ダンピング抵抗値 26-2
表 26.2　水晶発振子の特性 26-2
表 26.3　外部クロック入力条件 26-3
表 26.4　外部クロック出力安定遅延時間 26-4
表 26.5　サブクロック入力条件 26-6

27. **低消費電力状態** 27-1

表 27.1　動作周波数と待機時間 27-3
表 27.2　各動作モードでの LSI の内部状態 27-9

29. **電気的特性** 29-1

表 29.1　絶対最大定格 29-1
表 29.2　DC 特性（1） 29-2
表 29.2　DC 特性（2） 29-3
表 29.2　DC 特性（3） 29-4
表 29.3　出力許容電流値 29-5
表 29.4　I^2C バス駆動特性 29-5
表 29.5　USB 端子特性 29-6
表 29.6　マルチメディアカードインタフェース端子特性 29-6
表 29.7　クロックタイミング 29-8
表 29.8　制御信号タイミング 29-10
表 29.9　バスタイミング（ノーマルモード、アドバンストモード時） 29-12
表 29.10　内蔵周辺モジュールタイミング 29-19
表 29.11　I^2C バスタイミング 29-23
表 29.12　USB タイミング 29-24
表 29.13　マルチメディアカードインタフェース 29-25
表 29.14　H-UDI タイミング 29-26
表 29.15　A/D 変換特性（AN7～AN2 入力：134／266 ステート変換） 29-28
表 29.16　A/D 変換特性（CIN7～CIN0 入力：134／266 ステート変換） 29-28
表 29.17　D/A 変換特性 29-29
表 29.18　フラッシュメモリ特性 29-30

付録 **付録-1**

表 A.1　各処理状態における I/O ポートの状態.....付録-1

1. 概要

1.1 特長

- 16ビット高速H8S/2000 CPU

  H8/300 CPU、H8/300H CPUとオブジェクトレベルで上位互換

  汎用レジスタ：16ビット×16本

  基本命令：65種類

- 豊富な周辺機能

  データトランスファコントローラ（DTC）

  RAM-FIFOユニット（RFU）

  8ビットPWMタイマ（PWM）

  14ビットPWMタイマ（PWMX）

  16ビットフリーランニングタイマ（FRT）

  8ビットタイマ（TMR）

  タイマコネクション

  ウォッチドッグタイマ（WDT）

  調歩同期式またはクロック同期式シリアルコミュニケーションインタフェース（SCI）

  CRC演算器（CRC）

  I^2Cバスインタフェース（IIC）

  ユニバーサルシリアルバスインタフェース（USB）

  マルチメディアカードインタフェース（MCIF）

  暗号演算器（DES、GF）

  8ビットD/A変換器

  10ビットA/D変換器

  ユーザデバッグインタフェース（H-UDI）

  クロック発振器

- 内蔵メモリ

ROM	型名	ROM	RAM	備考
フラッシュメモリ版	HD64F2158	256k バイト	10K バイト	

- 汎用入出力ポート

  入出力ポート：65本

  入力ポート：7本

- 各種低消費電力モードをサポート
- 小型パッケージ

パッケージ	コード	ボディサイズ	ピンピッチ
TFBGA-112	TBP-112A	10.0×10.0mm	0.8mm

1.2 内部ブロック図

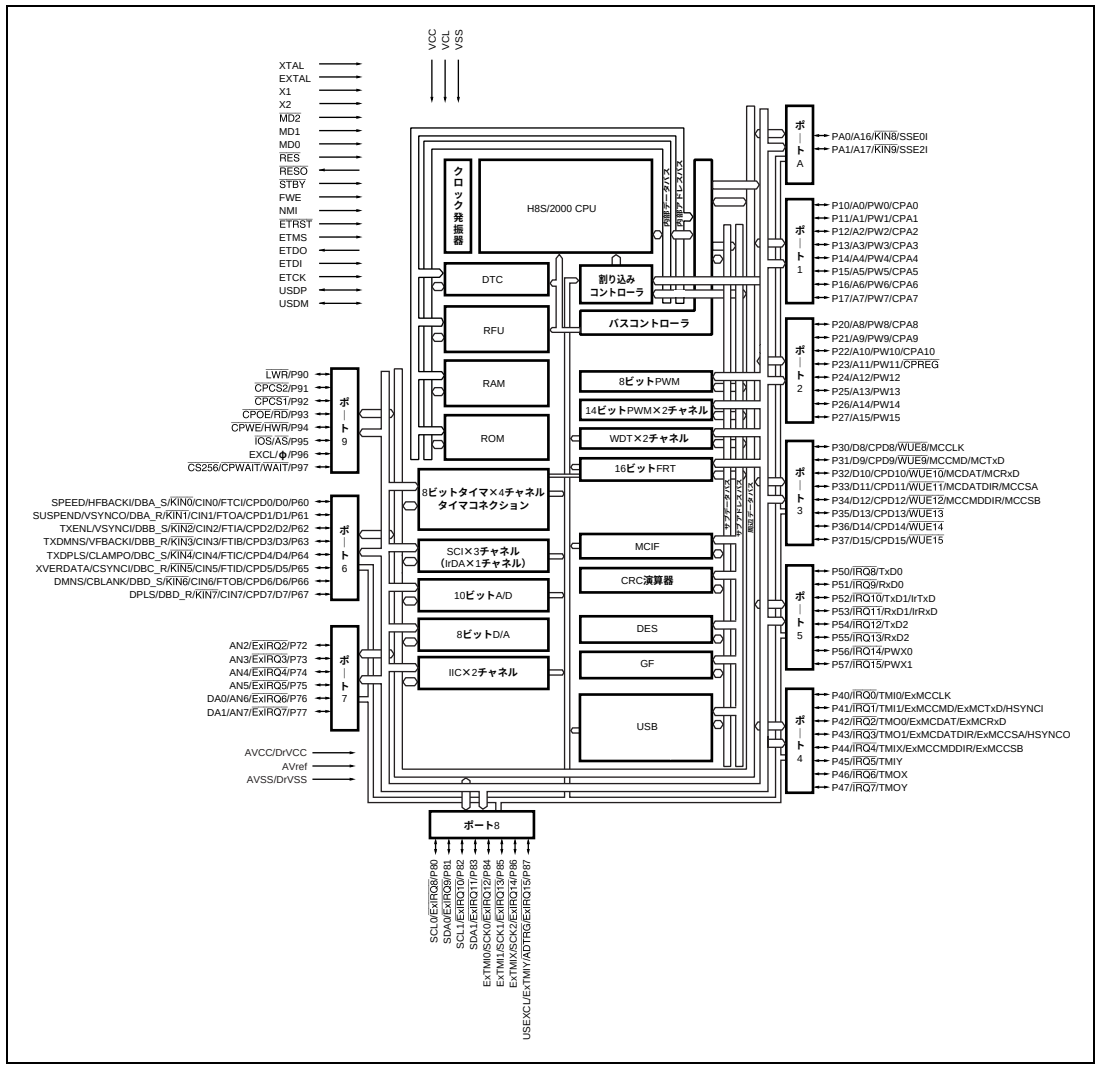
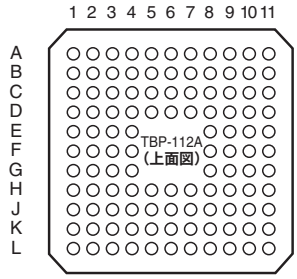


図 1.1 内部ブロック図

1.3 端子説明

1.3.1 ピン配置図



ピン番号	端子名	ピン番号	端子名	ピン番号	端子名
A1	(Reserve)	E1	X1	J1	P57/IRQ15/PWX1
A2	FWE	E2	X2	J2	P92/CPCS1
A3	P83/ExIRQ11/SDA1	E3	VCL	J3	P90/LWR
A4	P80/ExIRQ8/SCL0	E4	STBY	J4	ETCK
A5	P84/ExIRQ12/SCK0/ExTMI0			J5	P67/D7/CPD7/CIN7/KIN7/DPLS
A6	P36/D14/CPD14/WUE14			J6	AVCC/DrVCC
A7	P33/D11/CPD11/WUE11/MCDATDIR/MCCSA			J7	P75/ExIRQ5/AN5
A8	P30/D8/CPD8/WUE8/MCCLK	E8	VSS	J8	PA1/A17/KIN9/SSE2I
A9	P87/ExIRQ15/ADTRG/ExTMIY/USEXCL	E9	ETMS	J9	P55/IRQ13/RxD2
A10	P12/A2/PW2/CPA2	E10	P20/A8/PW8/CPA8	J10	P43/IRQ3/TMO1/ExMCDATDIR/ExMCCSA/HSYNCO
A11	(Reserve)	E11	P21/A9/PW9/CPA9	J11	P44/IRQ4/TMIX/ExMCCMDDIR/ExMCCSB
B1	XTAL	F1	P51/IRQ9/RxD0	K1	P91/CPCS2
B2	RES	F2	P50/IRQ8/TxD0	K2	P60/D0/CPD0/FTCI/CIN0/KIN0/HFBACKI/SPEED
B3	P53/IRQ11/RxD1/IrRxD	F3	ETRST	K3	P63/D3/CPD3/FTIB/CIN3/KIN3/VFBACKI/TXDMNS
B4	P82/ExIRQ10/SCL1	F4	VSS	K4	P64/D4/CPD4/FTIC/CIN4/KIN4/CLAMPO/TXDPLS
B5	VSS			K5	AVCC/DrVCC
B6	P37/D15/CPD15/WUE15			K6	USDM
B7	P34/D12/CPD12/WUE12/MCCMDDIR/MCCSB			K7	P74/ExIRQ4/AN4
B8	(Reserve)	F8	P22/A10/PW10/CPA10	K8	AVSS/DrVSS
B9	P10/A0/PW0/CPA0	F9	P25/A13/PW13	K9	PA0/A16/KIN8/SSE0I
B10	P13/A3/PW3/CPA3	F10	P23/A11/PW11/CPREG	K10	P40/IRQ0/TMI0/ExMCCLK
B11	P15/A5/PW5/CPA5	F11	P24/A12/PW12	K11	P41/IRQ1/TMI1/ExMCCMD/ExMCTxD/HSYNCI
C1	MD2	G1	VSS	L1	(Reserve)
C2	EXTAL	G2	P97/WAIT/CPWAIT/CS256	L2	P61/D1/CPD1/FTOA/CIN1/KIN1/VSYNCO/SUSPEND
C3	RESO	G3	P96/φ/EXCL	L3	ETDI
C4	P52/IRQ10/TxD1/IrTxD	G4	P94/HWR/CPWE	L4	P65/D5/CPD5/FTID/CIN5/KIN5/CSYNCI/XVERDATA
C5	VSS			L5	AVref
C6	P35/D13/CPD13/WUE13			L6	USDP
C7	P32/D10/CPD10/WUE10/MCDAT/MCRxD			L7	P73/ExIRQ3/AN3
C8	P86/ExIRQ14/SCK2/ExTMIX	G8	VCC	L8	P76/ExIRQ6/AN6/DA0
C9	P14/A4/PW4/CPA4	G9	VCC	L9	AVSS/DrVSS
C10	P16/A6/PW6/CPA6	G10	P26/A14/PW14	L10	P54/IRQ12/TxD2
C11	VSS	G11	P27/A15/PW15	L11	(Reserve)
D1	NMI	H1	P95/AS/IOS		
D2	MD0	H2	P56/IRQ14/PWX0		
D3	MD1	H3	P93/RD/CPOE		
D4	(Reserve)	H4	P62/D2/CPD2/FTIA/CIN2/KIN2/VSYNCI/TXENL		
D5	P81/ExIRQ9/SDA0	H5	P66/D6/CPD6/FTOB/CIN6/KIN6/CBLANK/DMNS		
D6	P85/ExIRQ13/SCK1/ExTMI1	H6	P72/ExIRQ2/AN2		
D7	P31/D9/CPD9/WUE9/MCCMD/MCTxD	H7	P77/ExIRQ7/AN7/DA1		
D8	P11/A1/PW1/CPA1	H8	P42/IRQ2/TMO0/ExMCDAT/ExMCRxD		
D9	P17/A7/PW7/CPA7	H9	P45/IRQ5/TMIY		
D10	VSS	H10	P46/IRQ6/TMOX		
D11	ETDO	H11	P47/IRQ7/TMOY		

図 1.2 ピン配置図（TBP-112A：上面図）

1.3.2 動作モード別ピン配置一覧

表 1.1 動作モード別ピン配置一覧

ピン番号	端子名			
TBP-112A	拡張モード		シングルチップモード	フラッシュメモリライタモード
	モード 2、モード 3 (EXPE＝1)		モード 2、モード 3 (EXPE＝0)	
B2	$\overline{\text{RES}}$		$\overline{\text{RES}}$	$\overline{\text{RES}}$
B1	XTAL		XTAL	XTAL
C2	EXTAL		EXTAL	EXTAL
C1	$\overline{\text{MD2}}$		$\overline{\text{MD2}}$	VCC
D3	MD1		MD1	VSS
D2	MD0		MD0	VSS
D1	NMI		NMI	FA9
E4	$\overline{\text{STBY}}$		$\overline{\text{STBY}}$	VCC
E3	VCL		VCL	VCL
E1	X1		X1	NC
E2	X2		X2	NC
F3	$\overline{\text{ETRST}}$		$\overline{\text{ETRST}}$	VSS
F1	P51/$\overline{\text{IRQ9}}$/RxD0		P51/$\overline{\text{IRQ9}}$/RxD0	FA17
F2	P50/$\overline{\text{IRQ8}}$/TxD0		P50/$\overline{\text{IRQ8}}$/TxD0	NC
F4、G1	VSS		VSS	VSS
G2	P97/$\overline{\text{WAIT}}$/$\overline{\text{CPWAIT}}$/$\overline{\text{CS256}}$		P97	VCC
G3	P96/φ/EXCL		P96/φ/EXCL	NC
H1	$\overline{\text{AS}}$/$\overline{\text{IOS}}$		P95	FA16
G4	$\overline{\text{HWR}}$/$\overline{\text{CPWE}}$		P94	FA15
H2	P56/$\overline{\text{IRQ14}}$/PWX0		P56/$\overline{\text{IRQ14}}$/PWX0	NC
J1	P57/$\overline{\text{IRQ15}}$/PWX1		P57/$\overline{\text{IRQ15}}$/PWX1	NC
H3	$\overline{\text{RD}}$/$\overline{\text{CPOE}}$		P93	$\overline{\text{WE}}$
J2	P92/$\overline{\text{CPCS1}}$		P92	VSS
K1	P91/$\overline{\text{CPCS2}}$		P91	VCC
J3	P90/$\overline{\text{LWR}}$		P90	VCC
K2	P60/FTCI/CIN0/ $\overline{\text{KIN0}}$/HFBACKI*1	D0/CPD0*2	P60/FTCI/CIN0/$\overline{\text{KIN0}}$/HFBACKI/SPEED	NC
L2	P61/FTOA/CIN1/ $\overline{\text{KIN1}}$/VSYNCO*1	D1/CPD1*2	P61/FTOA/CIN1/$\overline{\text{KIN1}}$/VSYNCO/ SUSPEND	NC
H4	P62/FTIA/CIN2/ $\overline{\text{KIN2}}$/VSYNCI*1	D2/CPD2*2	P62/FTIA/CIN2/$\overline{\text{KIN2}}$/VSYNCI/TXENL	NC

ピン番号	端子名			
TBP-112A	拡張モード		シングルチップモード	フラッシュメモリライタモード
	モード 2、モード 3 (EXPE=1)		モード 2、モード 3 (EXPE=0)	
K3	P63/FTIB/CIN3/$\overline{KIN3}$/VFBACKI*1	D3/CPD3*2	P63/FTIB/CIN3/$\overline{KIN3}$/VFBACKI/TXDMNS	NC
L3	ETDI		ETDI	NC
J4	ETCK		ETCK	NC
K4	P64/FTIC/CIN4/$\overline{KIN4}$/CLAMPO*1	D4/CPD4*2	P64/FTIC/CIN4/$\overline{KIN4}$/CLAMPO/TXDPLS	NC
L4	P65/FTID/CIN5/$\overline{KIN5}$/CSYNCI*1	D5/CPD5*2	P65/FTID/CIN5/$\overline{KIN5}$/CSYNCI/XVERDATA	NC
H5	P66/FTOB/CIN6/$\overline{KIN6}$/CBLANK*1	D6/CPD6*2	P66/FTOB/CIN6/$\overline{KIN6}$/CBLANK/DMNS	NC
J5	P67/CIN7/$\overline{KIN7}$*1	D7/CPD7*2	P67/CIN7/$\overline{KIN7}$/DPLS	VSS
L5	AVref		AVref	VCC
K5、J6	AVCC/DrVCC		AVCC/DrVCC	VCC
L6	USDP		USDP	NC
K6	USDM		USDM	NC
H6	P72/$\overline{ExIRQ2}$/AN2		P72/$\overline{ExIRQ2}$/AN2	NC
L7	P73/$\overline{ExIRQ3}$/AN3		P73/$\overline{ExIRQ3}$/AN3	NC
K7	P74/$\overline{ExIRQ4}$/AN4		P74/$\overline{ExIRQ4}$/AN4	NC
J7	P75/$\overline{ExIRQ5}$/AN5		P75/$\overline{ExIRQ5}$/AN5	NC
L8	P76/$\overline{ExIRQ6}$/AN6/DA0		P76/$\overline{ExIRQ6}$/AN6/DA0	NC
H7	P77/$\overline{ExIRQ7}$/AN7/DA1		P77/$\overline{ExIRQ7}$/AN7/DA1	NC
K8、L9	AVSS/DrVSS		AVSS/DrVSS	VSS
J8	PA1/A17/$\overline{KIN9}$/SSE2I*3	PA1/$\overline{KIN9}$/SSE2I*4	PA1/$\overline{KIN9}$/SSE2I	NC
K9	PA0/A16/$\overline{KIN8}$/SSE0I*3	PA0/$\overline{KIN8}$/SSE0I*4	PA0/$\overline{KIN8}$/SSE0I	NC
L10	P54/$\overline{IRQ12}$/TxD2		P54/$\overline{IRQ12}$/TxD2	NC
J9	P55/$\overline{IRQ13}$/RxD2		P55/$\overline{IRQ13}$/RxD2	NC
K10	P40/$\overline{IRQ0}$/TMI0/ExMCCLK		P40/$\overline{IRQ0}$/TMI0/ExMCCLK	NC
K11	P41/$\overline{IRQ1}$/TMI1/ExMCCMD/ExMCTxD/HSYNCI		P41/$\overline{IRQ1}$/TMI1/ExMCCMD/ExMCTxD/HSYNCI	NC
H8	P42/$\overline{IRQ2}$/TMO0/ExMCDAT/ExMCRxD		P42/$\overline{IRQ2}$/TMO0/ExMCDAT/ExMCRxD	NC
J10	P43/$\overline{IRQ3}$/TMO1/ExMCDATDIR/ExMCCSA/ HSYNCO		P43/$\overline{IRQ3}$/TMO1/ExMCDATDIR/ExMCCSA/HSYNCO	NC

ピン番号	端子名		
TBP-112A	拡張モード	シングルチップモード	フラッシュメモリライタモード
	モード 2、モード 3 (EXPE=1)	モード 2、モード 3 (EXPE=0)	
J11	P44/$\overline{IRQ4}$/TMIX/ExMCCMDDIR/ExMCCSB	P44/$\overline{IRQ4}$/TMIX/ExMCCMDDIR/ExMCCSB	NC
H9	P45/$\overline{IRQ5}$/TMIY	P45/$\overline{IRQ5}$/TMIY	NC
H10	P46/$\overline{IRQ6}$/TMOX	P46/$\overline{IRQ6}$/TMOX	NC
H11	P47/$\overline{IRQ7}$/TMOY	P47/$\overline{IRQ7}$/TMOY	NC
G8、G9	VCC	VCC	VCC
G11	P27/A15	P27/PW15	$\overline{CE}$
G10	P26/A14	P26/PW14	FA14
F9	P25/A13	P25/PW13	FA13
F11	P24/A12	P24/PW12	FA12
F10	P23/A11/$\overline{CPREG}$	P23/PW11	FA11
F8	P22/A10/CPA10	P22/PW10	FA10
E11	P21/A9/CPA9	P21/PW9	$\overline{OE}$
E10	P20/A8/CPA8	P20/PW8	FA8
E9	ETMS	ETMS	NC
D11	ETDO	ETDO	NC
E8、D10	VSS	VSS	VSS
C11	VSS	VSS	VSS
D9	P17/A7/CPA7	P17/PW7	FA7
C10	P16/A6/CPA6	P16/PW6	FA6
B11	P15/A5/CPA5	P15/PW5	FA5
C9	P14/A4/CPA4	P14/PW4	FA4
B10	P13/A3/CPA3	P13/PW3	FA3
A10	P12/A2/CPA2	P12/PW2	FA2
D8	P11/A1/CPA1	P11/PW1	FA1
B9	P10/A0/CPA0	P10/PW0	FA0
A9	P87/$\overline{ExIRQ15}$/$\overline{ADTRG}$/ExTMIY/USEXCL	P87/$\overline{ExIRQ15}$/$\overline{ADTRG}$/ExTMIY/USEXCL	NC
C8	P86/$\overline{ExIRQ14}$/SCK2/ExTMIX	P86/$\overline{ExIRQ14}$/SCK2/ExTMIX	NC
A8	D8/CPD8	P30/$\overline{WUE8}$/MCCLK	FO0
D7	D9/CPD9	P31/$\overline{WUE9}$/MCCMD/MCTxD	FO1
C7	D10/CPD10	P32/$\overline{WUE10}$/MCDAT/MCRxD	FO2
A7	D11/CPD11	P33/$\overline{WUE11}$/MCDATDIR/MCCSA	FO3
B7	D12/CPD12	P34/$\overline{WUE12}$/MCCMDDIR/MCCSB	FO4

ピン番号	端子名		
TBP-112A	拡張モード	シングルチップモード	フラッシュメモリライタモード
	モード 2、モード 3 (EXPE＝1)	モード 2、モード 3 (EXPE＝0)	
C6	D13/CPD13	P35/$\overline{\text{WUE13}}$	FO5
A6	D14/CPD14	P36/$\overline{\text{WUE14}}$	FO6
B6	D15/CPD15	P37/$\overline{\text{WUE15}}$	FO7
D6	P85/$\overline{\text{ExIRQ13}}$/SCK1/ExTMI1	P85/$\overline{\text{ExIRQ13}}$/SCK1/ExTMI1	NC
A5	P84/$\overline{\text{ExIRQ12}}$/SCK0/ExTMI0	P84/$\overline{\text{ExIRQ12}}$/SCK0/ExTMI0	NC
B5、C5	VSS	VSS	V_{SS}
A4	P80/$\overline{\text{ExIRQ8}}$/SCL0	P80/$\overline{\text{ExIRQ8}}$/SCL0	NC
D5	P81/$\overline{\text{ExIRQ9}}$/SDA0	P81/$\overline{\text{ExIRQ9}}$/SDA0	NC
B4	P82/$\overline{\text{ExIRQ10}}$/SCL1	P82/$\overline{\text{ExIRQ10}}$/SCL1	NC
A3	P83/$\overline{\text{ExIRQ11}}$/SDA1	P83/$\overline{\text{ExIRQ11}}$/SDA1	NC
C4	P52/$\overline{\text{IRQ10}}$/TxD1/IrTxD	P52/$\overline{\text{IRQ10}}$/TxD1/IrTxD	FA18
B3	P53/$\overline{\text{IRQ11}}$/RxD1/IrRxD	P53/$\overline{\text{IRQ11}}$/RxD1/IrRxD	NC
A2	FWE	FWE	FWE
C3	$\overline{\text{RESO}}$	$\overline{\text{RESO}}$	NC

【注】 *1 8 ビットデータバス設定のとき

*2 16 ビットデータバス設定のとき

*3 拡張モード（モード 2）のとき

*4 拡張モード（モード 3）のとき

1.3.3 端子機能

表 1.2 端子機能

分類	記号	ピン番号	入出力	名称および機能
		TBP-112A		
電源	VCC	G8、G9	入力	電源端子です。システムの電源に接続してください。
	VCL	E3	入力	電源端子です。VCC に接続してください。
	VSS	F4、G1 E8、D10 C11、B5 C5	入力	グランド端子です。システムの電源（0V）に接続してください。
クロック	XTAL	B1	入力	水晶発振子接続端子です。また、EXTAL 端子は外部クロックを入力することもできます。接続例は、「第 26 章 クロック発振器」を参照してください。
	EXTAL	C2	入力	
	φ	G3	出力	外部デバイスにシステムクロックを供給します。
	EXCL	G3	入力	サブクロック用 32.768kHz の外部クロックを入力してください。
	X1	E1	入力	水晶発振子接続端子です。また、X2 端子は外部クロックを入力することもできます。接続例は、「第 26 章 クロック発振器」を参照してください。
	X2	E2	入力	
動作モードコントロール	$\overline{\text{MD2}}$ MD1 MD0	C1 D3 D2	入力	動作モードを設定します。これらの端子は動作中には変化させないでください。
システム制御	$\overline{\text{RES}}$	B2	入力	リセット端子です。この端子が Low レベルになると、リセット状態となります。
	$\overline{\text{RESO}}$	C3	出力	外部デバイスに、リセット信号を出力します。
	$\overline{\text{STBY}}$	E4	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
	FWE	A2	入力	フラッシュメモリ用の端子です。
アドレスバス	A17～A0	J8、K9 G11、G10 F9、F11 F10、F8 E11、E10 D9、C10 B11、C9 B10、A10 D8、B9	出力	アドレス出力端子です。

分類	記号	ピン番号 TBP-112A	入出力	名称および機能
データバス	D15～D8	B6、A6 C6、B7 A7、C7 D7、A8	入出力	上位双方向データバスです。
	D7～D0	J5、H5 L4、K4 K3、H4 L2,、K2		下位双方向データバスです。
コンパクトフラッシュ制御	$\overline{\text{CPREG}}$ CPA10～ CPA0	F10 F8、E11 E10、D9 C10、B11 C9、B10 A10、D8 B9	出力	コンパクトフラッシュアドレス出力端子です。
	CPD15～ CPD0	B6、A6 C6、B7 A7、C7 D7、A8 J5、H5 L4、K4 K3、H4 L2、K2	入出力	コンパクトフラッシュ双方向データバスです。
	$\overline{\text{CPCS2}}$ $\overline{\text{CPCS1}}$	K1 J2	出力	コンパクトフラッシュチップセレクト出力端子です。
	$\overline{\text{CPWAIT}}$	G2	入力	コンパクトフラッシュウェイト入力端子です。
	$\overline{\text{CPOE}}$	H3	出力	コンパクトフラッシュアウトプットイネーブル出力端子です。
	$\overline{\text{CPWE}}$	G4	出力	コンパクトフラッシュライトイネーブル出力端子です。
バス制御	$\overline{\text{WAIT}}$	G2	入力	外部 3 ステートアドレス空間をアクセスすると、バスサイクルにウェイトステートの挿入を要求します。
	$\overline{\text{RD}}$	H3	出力	この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。
	$\overline{\text{HWR}}$	G4	出力	この端子が Low レベルのとき、外部アドレス空間のライト状態であることを示します。データバスの上位側が有効です。
	$\overline{\text{LWR}}$	J3	出力	この端子が Low レベルのとき、外部アドレス空間のライト状態であることを示します。データバスの下位側が有効です。

分類	記号	ピン番号 TBP-112A	入出力	名称および機能
バス制御	$\overline{AS}$/$\overline{IOS}$	H1	出力	この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	$\overline{CS256}$	G2	出力	H'F80000～H'FBFFFF の 256k バイトのエリアのアクセスを示します。
割り込み	NMI	D1	入力	ノンマスカブル割り込み要求入力端子です。
	$\overline{IRQ15}$～$\overline{IRQ0}$	J1、H2 J9、L10 B3、C4 F1、F2 H11、H10 H9、J11 J10、H8 K11、K10	入力	マスク可能な割り込みを要求します。 IRQ15～IRQ0 割り込みは、$\overline{IRQn}$ または $\overline{ExIRQn}$ のどの端子から入力するかを選択できます。
	$\overline{ExIRQ15}$～ $\overline{ExIRQ2}$	A9、C8 D6、A5 A3、B4 D5、A4 H7、L8 J7、K7 L7、H6		
オンチップエミュレータ	$\overline{ETRST}$	F3	入力	オンチップエミュレータ用インタフェース端子です。
	ETMS	E9	入力	
	ETDO	D11	出力	
	ETDI	L3	入力	
	ETCK	J4	入力	
PWM タイマ（PWM）	PW15～PW0	G11、G10 F9、F11 F10、F8 E11、E10 D9、C10 B11、C9 B10、A10 D8、B9	出力	PWM タイマのパルス出力端子です。
14 ビット PWM タイマ（PWMX）	PWX1	J1	出力	PWMX（D/A）のパルス出力端子です。
	PWX0	H2		

分類	記号	ピン番号 TBP-112A	入出力	名称および機能
16 ビット フリーランニングタイマ (FRT)	FTCI	K2	入力	外部イベント入力端子です。
	FTOA FTOB	L2 H5	出力 出力	アウトプットコンペア出力端子です。
	FTIA～FTID	H4、K3 K4、L4	入力	インプットキャプチャ入力端子です。
8 ビット タイマ (TMR_0、 TMR_1、 TMR_X、 TMR_Y)	TMO0 TMO1 TMOX TMOY	H8 J10 H10 H11	出力	アウトプットコンペア機能による波形出力端子です。
	TMI0、TMI1 TMIX、TMIY ExTMI0 ExTMI1 ExTMIX ExTMIY	K10、K11 J11、H9 A5 D6 C8 A9	入力	外部イベント入力端子およびカウンタリセット入力端子です。TMIn または ExTMIn のどの端子から入力するかを選択できます。
タイマ コネクション	VSYNCI HSYNCI CSYNCI VFBACKI HFBACKI	H4 K11 L4 K3 K2	入力	タイマコネクションの同期信号入力端子です。
	VSYNCO HSYNCO CLAMPO CBLANK	L2 J10 K4 H5	出力	タイマコネクションの同期信号出力端子です。
シリアル コミュニケーション インタフェース (SCI_0、 SCI_1、 SCI_2)	TxD0～ TxD2	F2、C4 L10	出力	送信データ出力端子です。
	RxD0～ RxD2	F1、B3 J9	入力	受信データ入力端子です。
	SCK0～ SCK2	A5、D6 C8	入出力	クロック入出力端子です。出力形式は NMOS プッシュプル出力となります。
	SSE0I	K9	入力	SCI_0 を停止する入力端子です。
	SSE2I	J8	入力	SCI_2 を停止する入力端子です。
IrDA 付き SCI (SCI)	IrTxD	C4	出力	IrDA 用にエンコードされたデータの出力端子です。
	IrRxD	B3	入力	IrDA 用にエンコードされたデータの入力端子です。
I^2C バスインタフェース (IIC)	SCL0、SCL1	A4、B4	入出力	IIC のクロック入出力端子です。NMOS オープンドレイン出力でバスを直接駆動できます。
	SDA0、SDA1	D5、A3	入出力	IIC のデータ入出力端子です。NMOS オープンドレイン出力でバスを直接駆動できます。

分類	記号	ピン番号	入出力	名称および機能
		TBP-112A		
キーボード制御	$\overline{KIN9}$～$\overline{KIN0}$	J8、K9 J5、H5 L4、K4 K3、H4 L2、K2	入力	マトリクスキーボードの入力端子です。全端子がウェイクアップ機能を持っています。通常は $\overline{KIN0}$～$\overline{KIN9}$ をキースキャン用入力、P10～P17 と P20～P27 をキースキャン用出力として使用します。これにより最大 16 出力×8 入力、128 キーのマトリクスが構成できます。
	$\overline{WUE15}$～$\overline{WUE8}$	B6、A6 C6、B7 A7、C7 D7、A8	入力	ウェイクアップイベント入力端子です。種々のソースから、キーウェイクアップと同様のウェイクアップが可能です。
A/D 変換器	AN7～AN2	H7、L8 J7、K7 L7、H6	入力	アナログ入力端子です。
	CIN7～CIN0	J5、H5 L4、K4 K3、H4 L2、K2	入力	拡張 A/D 変換入力端子です。
	$\overline{ADTRG}$	A9	入力	A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器	DA1、DA0	H7、L8	出力	アナログ出力端子です。
A/D 変換器 D/A 変換器	AVCC	K5、J6	入力	A/D 変換器、D/A 変換器のアナログ電源端子です。A/D 変換器、D/A 変換器を使用しない場合は、システムの電源に接続してください。本 LSI では、USB の内蔵ドライバ／レシーバの電源と共用になっているため、USB を使用する場合は必ず 3.3V±0.3V の電源に接続してください。
	AVref	L5	入力	A/D 変換器、D/A 変換器の基準電源端子です。A/D 変換器、D/A 変換器を使用しない場合は、システムの電源に接続してください。
	AVSS	K8、L9	入力	A/D 変換器、D/A 変換器のグランド端子です。システムの電源（0V）に接続してください。
ユニバーサルシリアルバス（USB）	USDP USDM	L6 K6	入出力	USB シリアルデータ入出力端子です。
	USEXCL	A9	入力	USB の外部クロック入力端子です。
	DrVCC	K5、J6	入力	内蔵ドライバ／レシーバ用の電源（3.3V±0.3V）を接続します。
	DrVSS	K8、L9	入力	内蔵ドライバ／レシーバ用の電源（0V）を接続します。
	SPEED	K2	出力	外付けドライバ／レシーバ接続信号 Philips 社製 PDIUSBP11A 互換のドライバ／レシーバに接続するための端子です。
	SUSPEND	L2	出力	
	TXENL	H4	出力	
	TXDMNS	K3	出力	

分類	記号	ピン番号 TBP-112A	入出力	名称および機能
ユニバーサルシリアルバス（USB）	TXDPLS	K4	出力	外付けドライバ／レシーバ接続信号 Philips 社製 PDIUSBP11A 互換のドライバ／レシーバに接続するための端子です。
	XVERDATA	L4	入力	
	DMNS	H5	入力	
	DPLS	J5	入力	
マルチメディアカードインタフェース（MCIF）	ExMCCLK MCCLK	K10 A8	出力	MMC モード*／SPI モード共通のクロック出力端子です。
	ExMCTxD MCTxD	K11 D7	出力	SPI モード時のコマンド／データ出力端子です。
	ExMCRxD MCRxD	H8 C7	入力	SPI モード時のレスポンス／データ入力端子です。
	ExMCCSA ExMCCSB MCCSA MCCSB	J10 J11 A7 B7	出力	SPI モード時にマルチメディアカードを選択するチップセレクト出力端子です。
	ExMCCMD MCCMD	K11 D7	入出力	MMC モード時*のコマンド出力／レスポンス入力端子です。
	ExMCDAT MCDAT	H8 C7	入出力	MMC モード時*のデータ入出力端子です。
	ExMCDATDIR ExMCCMDDIR MCDATDIR MCCMDDIR	J10 J11 A7 B7	出力	MCCMD、MCDAT 端子の入出力の方向を示す出力端子です。
I/O ポート	P17～P10	D9、C10 B11、C9 B10、A10 D8、B9	入出力	8 ビットの入出力端子です。
	P27～P20	G11、G10 F9、F11 F10、F8 E11、E10	入出力	8 ビットの入出力端子です。
	P37～P30	B6、A6 C6、B7 A7、C7 D7、A8	入出力	8 ビットの入出力端子です。
	P47～P40	H11、H10 H9、J11 J10、H8 K11、K10	入出力	8 ビットの入出力端子です。

【注】 * MMC モードとは MultiMediaCard モードのことです。

分類	記号	ピン番号 TBP-112A	入出力	名称および機能
I/O ポート	P57～P50	J1、H2 J9、L10 B3、C4 F1、F2	入出力	8 ビットの入出力端子です。
	P67～P60	J5、H5 L4、K4 K3、H4 L2、K2	入出力	8 ビットの入出力端子です。
	P77～P72	H7、L8 J7、K7 L7、H6	入力	6 ビットの入力端子です。
	P87～P80	A9、C8 D6、A5 A3、B4 D5、A4	入出力	8 ビットの入出力端子です。
	P97～P90	G2、G3 H1、G4 H3、J2 K1、J3	入出力	8 ビットの入出力端子です。ただし P96 は汎用出力ポートとしては使用できません。
	PA1、PA0	J8、K9	入出力	2 ビットの入出力端子です。

2. CPU

H8S/2000 CPU は、H8/300 CPU および H8/300H CPU と上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8S/2000 CPU には 16 ビットの汎用レジスタが 16 本あり、16M バイトのリニアなアドレス空間を扱うことができ、リアルタイム制御に最適な CPU です。この章は H8S/2000 CPU について説明しています。製品によって使用できるモードやアドレス空間が異なりますので、製品ごとの詳細は**「第 3 章　MCU 動作モード」**を参照してください。

2.1 特長

- H8/300 CPUおよびH8/300H CPUと上位互換

  H8/300 CPUおよびH8/300H CPUオブジェクトプログラムを実行可能
- 汎用レジスタ：16ビット×16本

  8ビット×16本、32ビット×8本としても使用可能
- 基本命令：65種類

  8/16/32ビット演算命令

  乗除算命令

  強力なビット操作命令
- アドレッシングモード：8種類

  レジスタ直接（Rn）

  レジスタ間接（@ERn）

  ディスプレースメント付レジスタ間接（@(d:16,ERn)/@(d:32,ERn)）

  ポストインクリメント／プリデクリメントレジスタ間接（@ERn+/@-ERn）

  絶対アドレス（@aa:8/@aa:16/@aa:24/@aa:32）

  イミディエイト（#xx:8/#xx:16/#xx:32）

  プログラムカウンタ相対（@(d:8,PC)/@(d:16,PC)）

  メモリ間接（@@aa:8）
- アドレス空間：16Mバイト

  プログラム：16Mバイト

  データ：16Mバイト

- 高速動作

  頻出命令をすべて1～2ステートで実行

  8/16/32ビットレジスタ間加減算：1ステート

  8×8ビットレジスタ間乗算：12ステート（MULXU.B）、13ステート（MULXS.B）

  16÷8ビットレジスタ間除算：12ステート（DIVXU.B）

  16×16ビットレジスタ間乗算：20ステート（MULXU.W）、21ステート（MULXS.W）

  32÷16ビットレジスタ間除算：20ステート（DIVXU.W）

- CPU動作モード：2種類

  ノーマルモード／アドバンストモード

- 低消費電力状態

  SLEEP命令により低消費電力状態に遷移

  CPU動作クロックを選択可能

2.1.1 H8S/2600 CPU と H8S/2000 CPU との相違点

H8S/2600 CPU および H8S/2000 CPU の相違点は以下のとおりです。

- レジスタ構成

  MACレジスタは、H8S/2600 CPUのみサポートしています。

- 基本命令

  MAC、CLRMAC、LDMAC、STMACの4命令は、H8S/2600 CPUのみサポートしています。

- MULXU、MULXS命令の実行ステート数

命令	ニーモニック	実行ステート	
		H8S/2600	H8S/2000
MULXU	MULXU.B Rs, Rd	3	12
	MULXU.W Rs, Erd	4	20
MULXS	MULXS.B Rs, Rd	4	13
	MULXS.W Rs, Erd	5	21

そのほか、製品によってアドレス空間や CCR、EXR の機能、低消費電力状態などが異なる場合があります。

2.1.2 H8/300 CPU との相違点

H8S/2000 CPU は、H8/300 CPU に対して、次の点が追加、拡張されています。

- 汎用レジスタ、コントロールレジスタを拡張

  16ビット×8本の拡張レジスタおよび8ビット×1本のコントロールレジスタを追加
- アドレス空間を拡張

  ノーマルモードのとき、H8/300 CPUと同一の64kバイトのアドレス空間を使用可能

  アドバンストモードのとき、最大16Mバイトのアドレス空間を使用可能
- アドレッシングモードを強化

  16Mバイトのアドレス空間を有効に使用可能
- 命令強化

  ビット操作命令のアドレッシングモードを強化

  符号付き乗除算命令などを追加

  2ビットシフト、2ビットローテート命令を追加

  複数レジスタの退避/復帰命令を追加

  テストアンドセット命令を追加
- 高速化

  基本的な命令を2倍に高速化

2.1.3 H8/300H CPU との相違点

H8S/2000 CPU は、H8/300H CPU に対して、次の点が追加、拡張されています。

- コントロールレジスタを拡張

  8ビット×1本のコントロールレジスタを追加
- 命令強化

  ビット操作命令のアドレッシングモードを強化

  2ビットシフト、2ビットローテート命令を追加

  複数レジスタの退避/復帰命令を追加

  テストアンドセット命令を追加
- 高速化

  基本的な命令を2倍に高速化

2.2 CPU 動作モード

H8S/2000 CPU には、ノーマルモードとアドバンストモードの 2 つの動作モードがあります。サポートするアドレス空間は、ノーマルモードでは最大 64k バイト、アドバンストモードでは 16M バイトです。動作モードは LSI のモード端子によって決まります。

2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造は H8/300 CPU と同一です。

- アドレス空間

  最大64kバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ（En）

  拡張レジスタ（E0～E7）は、16ビットレジスタとして、または32ビットレジスタの上位16ビットとして使用できます。

  拡張レジスタEnは、対応する汎用レジスタRnをアドレスレジスタとして使用している場合でも、16ビットレジスタとして任意の値を設定することができます（ただし、プリデクリメントレジスタ間接（@-Rn）、ポストインクリメントレジスタ間接（@Rn+）により汎用レジスタRnが参照された場合、キャリ／ボローが発生すると、対応する拡張レジスタEnの内容に伝播しますので注意してください）。

- 命令セット

  命令およびアドレッシングモードはすべて使用できます。実効アドレス（EA）の下位16ビットのみが有効となります。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

  ノーマルモードでは、H'0000から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、16ビットの分岐先アドレスを格納します。ノーマルモードの例外処理ベクタテーブルの構造を**図**2.1に示します。例外処理ベクタテーブルは**「第4章　例外処理」**を参照してください。

  メモリ間接（@@aa:8）は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

  ノーマルモードでは、オペランドは16ビット（ワード）となり、この16ビットが分岐先アドレスとなります。なお、分岐先アドレスを格納できるのは、H'0000～H'00FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

  ノーマルモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCRのスタックの構造を**図**2.2に示します。EXRはスタックされません。詳細は**「第4章　例外処理」**を参照してください。

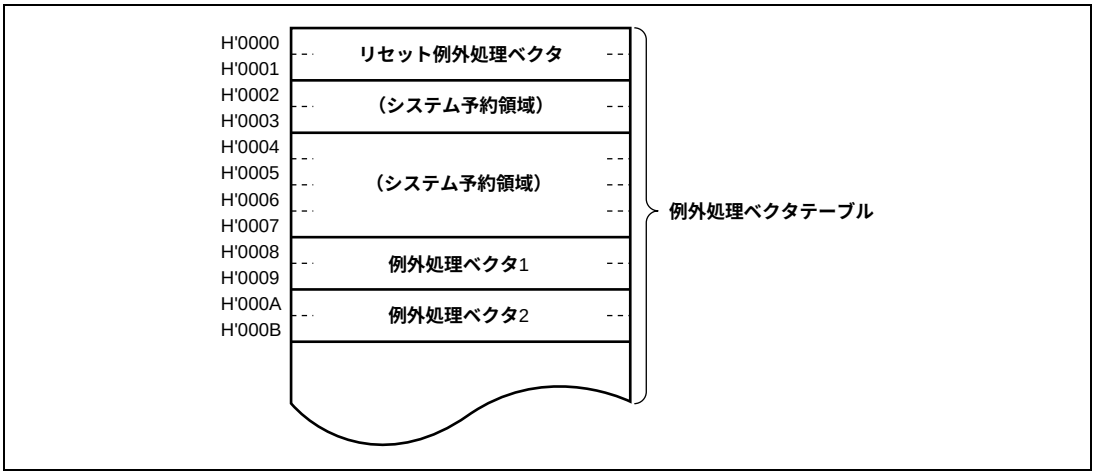


図 2.1　**例外処理ベクタテーブル（ノーマルモード）**

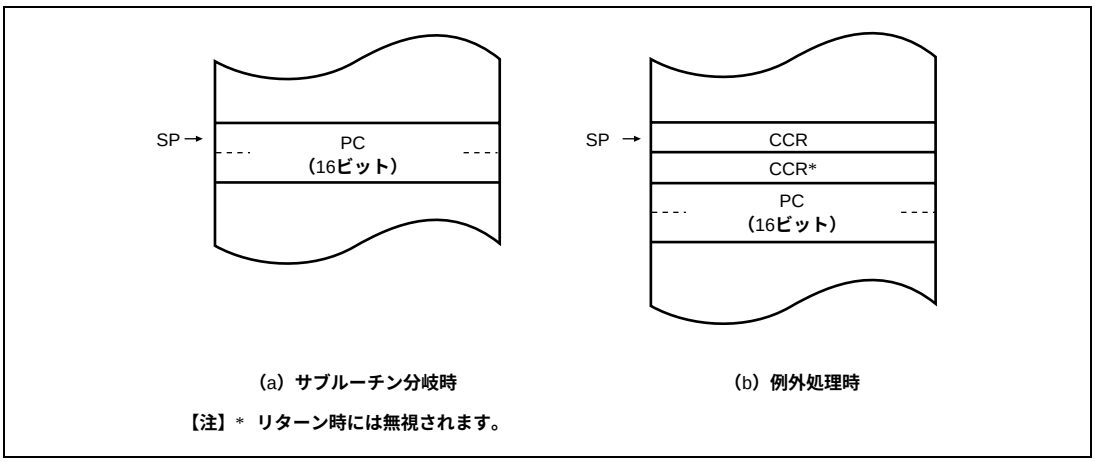


図 2.2　**ノーマルモードのスタック構造**

2.2.2 アドバンストモード

- アドレス空間

  最大16Mバイトの空間をリニアにアクセス可能です。

- 拡張レジスタ（En）

  拡張レジスタ（E0～E7）は16ビットレジスタとして使用できます。また、32ビットレジスタあるいはアドレスレジスタの上位16ビットとして使用できます。

- 命令セット

  命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

  アドバンストモードでは、H'00000000から始まる先頭領域に32ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位8ビットは無視され24ビットの分岐先アドレスを格納します（**図**2.3参照）。例外処理ベクタテーブルは**「第4章　例外処理」**を参照してください。

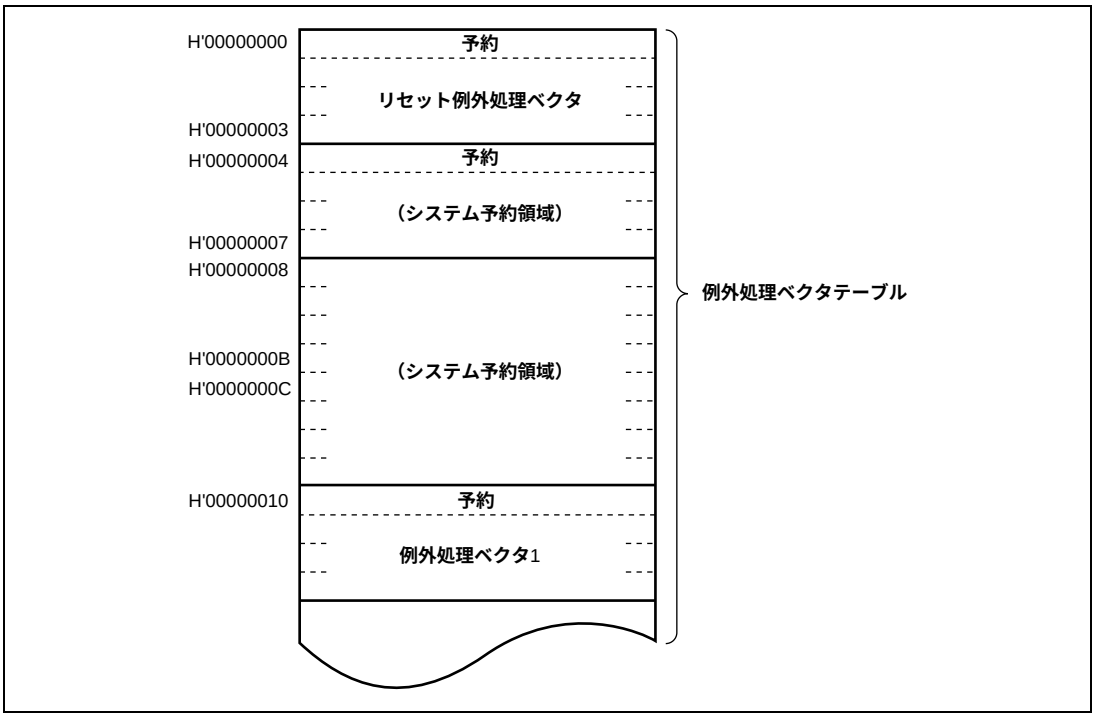


図 2.3　**例外処理ベクタテーブル（アドバンストモード）**

メモリ間接（@@aa:8）は、JMPおよびJSR命令で使用されます。命令コードに含まれる8ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンストモードでは、オペランドは32ビット（ロングワード）となり、この32ビットが分岐先アドレスとなります。このうち、上位8ビットは予約領域となっておりH'00と見なされます。なお、分岐先アドレスを格納できるのは、H'00000000～H'000000FFの領域であり、この範囲の先頭領域は例外処理ベクタテーブルと共通となっていますので注意してください。

- スタック構造

アドバンストモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCRのスタックの構造を**図**2.4に示します。EXRはスタックされません。詳細は**「第4章　例外処理」**を参照してください。

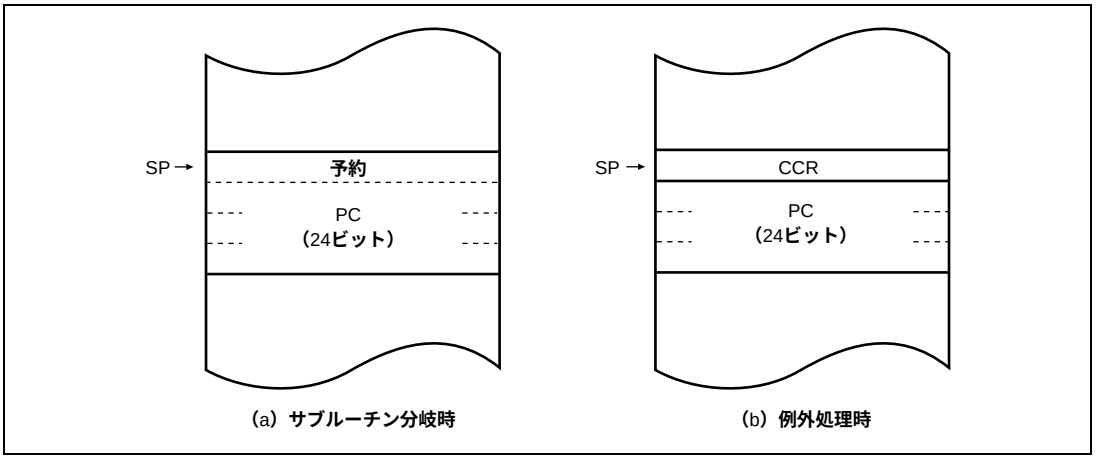


図 2.4　**アドバンストモードのスタック構造**

2.3 アドレス空間

H8S/2000 CPU のメモリマップを**図** 2.5 に示します。H8S/2000 CPU は、ノーマルモードのとき最大 64k バイト、アドバンストモードのとき最大 16M バイト（アーキテクチャ上は 4G バイト）のアドレス空間をリニアに使用することができます。実際に使用できるモードやアドレス空間は製品ごとに異なります。詳細は**「第 3 章　MCU 動作モード」**を参照してください。

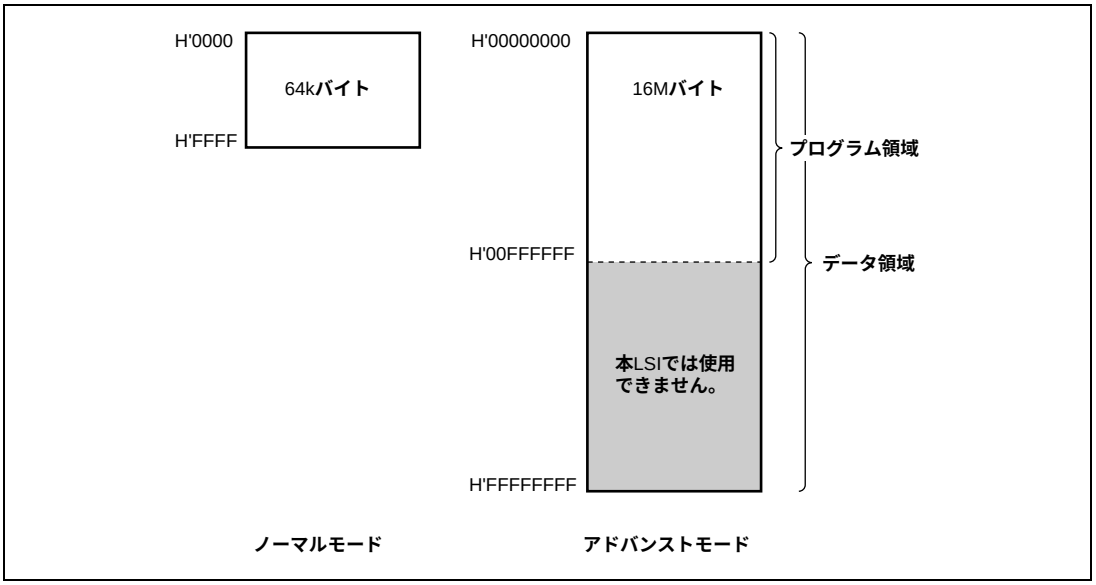


図 2.5　**アドレス空間**

2.4 レジスタの構成

H8S/2000 CPU の内部レジスタの構成を**図** 2.6 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、24 ビットのプログラムカウンタ（PC）、8 ビットのエクステンドレジスタ（EXR）、8 ビットのコンディションコードレジスタ（CCR）があります。

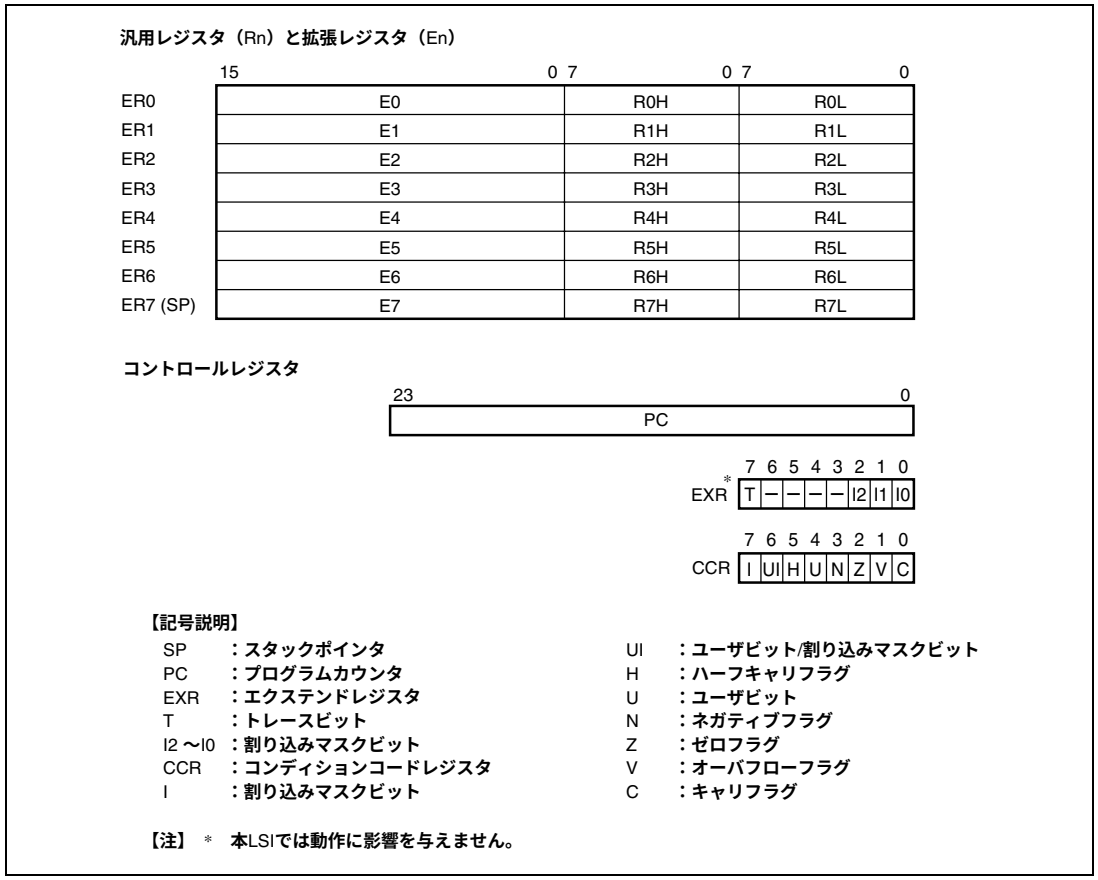


図 2.6 CPU **内部レジスタ構成**

2.4.1 汎用レジスタ

H8S/2000 CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を**図** 2.7 に示します。

アドレスレジスタまたは 32 ビットレジスタとして使用する場合は一括して汎用レジスタ ER（ER0～ER7）として指定します。

16 ビットレジスタとして使用する場合は汎用レジスタ ER を分割して汎用レジスタ E（E0～E7）、汎用レジスタ R（R0～R7）として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E（E0～E7）を特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタとして使用する場合は汎用レジスタ R を分割して汎用レジスタ RH（R0H～R7H）、汎用レジスタ RL（R0L～R7L）として指定します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

各レジスタは独立に使用方法を選択できます。

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ（SP）としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を**図** 2.8 に示します。

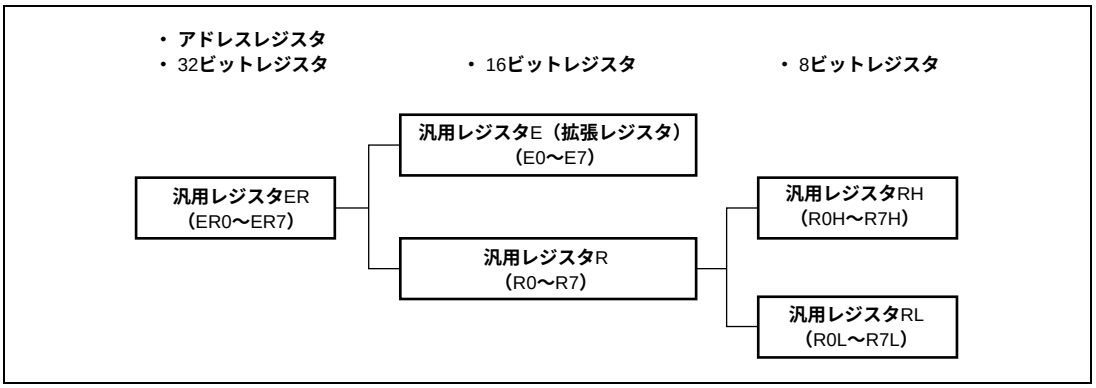


図 2.7　**汎用レジスタの使用方法**

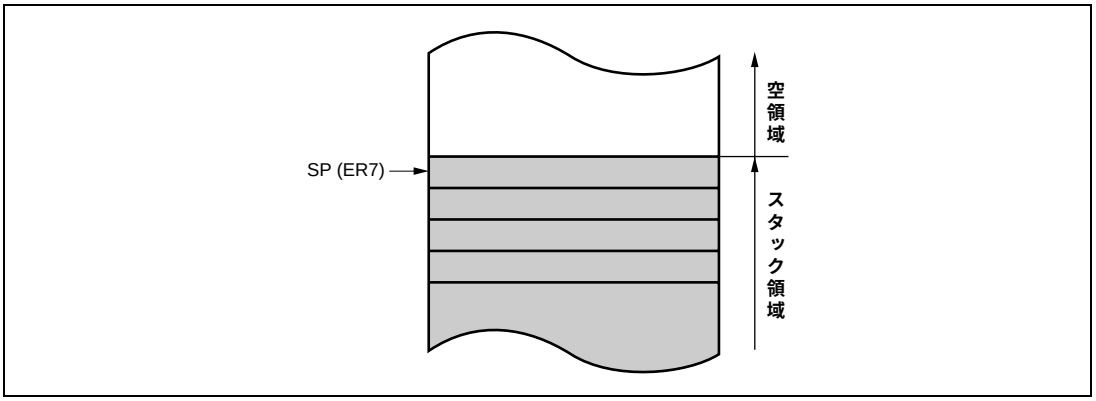


図 2.8　**スタックの状態**

2.4.2 プログラムカウンタ（PC）

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト（ワード）を単位としているため、最下位ビットは無効です（命令コードのリード時は最下位ビットは 0 とみなされます）。

2.4.3 エクステンドレジスタ（EXR）

本 LSI では動作に影響を与えません。

ビット	ビット名	初期値	R/W	説　明
7	T	0	R/W	トレースビット 本 LSI では動作に影響を与えません。
6〜3	—	すべて 1	R	リザーブビットです。リードすると常に 1 がリードされます。
2〜0	I2	1	R/W	割り込みマスクビット 2〜0
	I1	1	R/W	本 LSI では動作に影響を与えません。
	I0	1	R/W	

2.4.4 コンディションコードレジスタ（CCR）

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット（I）とハーフキャリ（H）、ネガティブ（N）、ゼロ（Z）、オーバフロー（V）、キャリ（C）の各フラグを含む 8 ビットで構成されています。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令（Bcc）で使用されます。

ビット	ビット名	初期値	R/W	説　明
7	I	1	R/W	**割り込みマスクビット** **本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI は I ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。詳細は「第 5 章　割り込みコントローラ」を参照してください。**
6	UI	**不定**	R/W	**ユーザビット／割り込みマスクビット** **ソフトウェア（**LDC、STC、ANDC、ORC、XORC **命令）でリード／ライトできます。**
5	H	**不定**	R/W	**ハーフキャリフラグ** ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B **命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、**ADD.W、SUB.W、CMP.W、NEG.W **命令の実行により、ビット 11 にキャリまたはボローが生じたとき、もしくは** ADD.L、SUB.L、CMP.L、NEG.L **命令の実行により、ビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。**
4	U	**不定**	R/W	**ユーザビット** **ソフトウェア（**LDC、STC、ANDC、ORC、XORC **命令）でリード／ライトできます。**
3	N	**不定**	R/W	**ネガティブフラグ** **データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。**
2	Z	**不定**	R/W	**ゼロフラグ** **データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。**
1	V	**不定**	R/W	**オーバフローフラグ** **算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。**
0	C	**不定**	R/W	**キャリフラグ** **演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。** **• 加算結果のキャリ** **• 減算結果のボロー** **• シフト／ローテートのキャリ** **また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。**

2.4.5 CPU 内部レジスタの初期値

CPU 内部レジスタのうち、PC はリセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP（ER7）の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP の初期化を行ってください。

2.5 データ形式

H8S/2000 CPU は、1 ビット、4 ビット BCD、8 ビット（バイト）、16 ビット（ワード）、および 32 ビット（ロングワード）のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第 n ビット（n＝0,1,2,……,7）という形式でアクセスできます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を**図** 2.9 に示します。

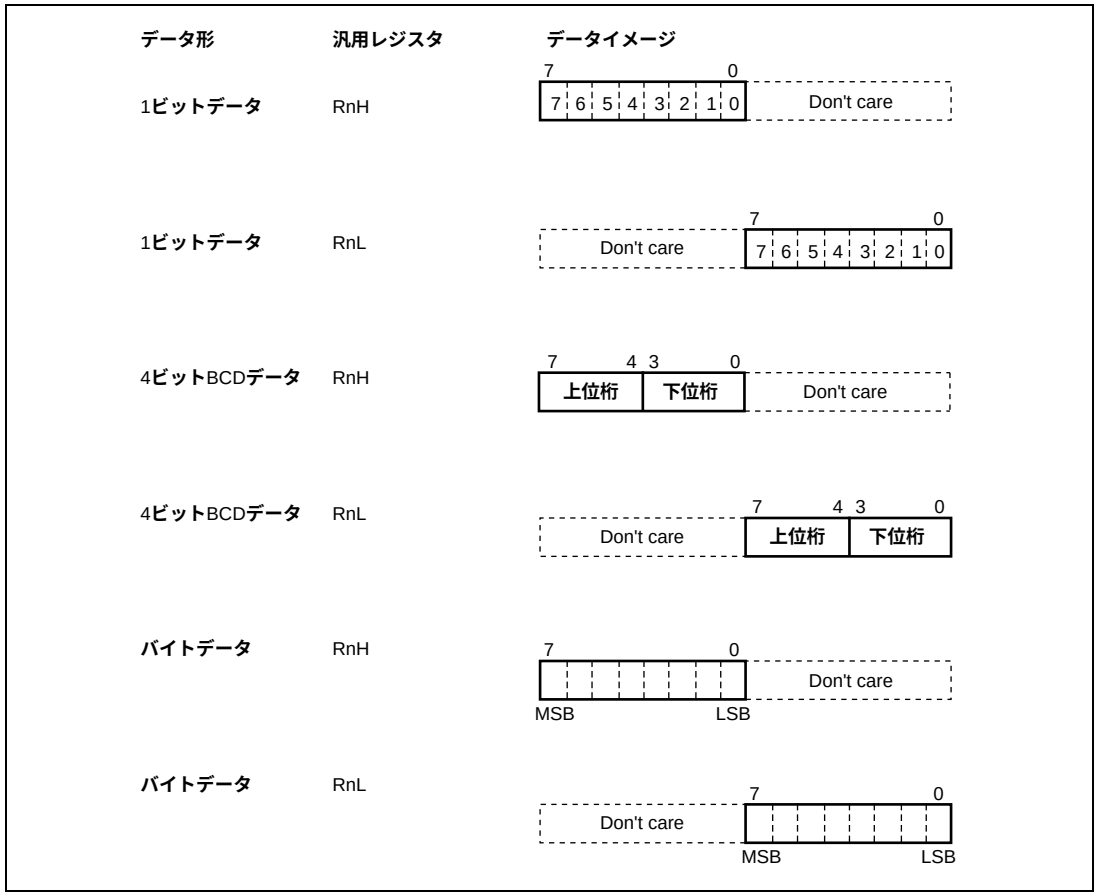


図 2.9 **汎用レジスタのデータ形式（1）**

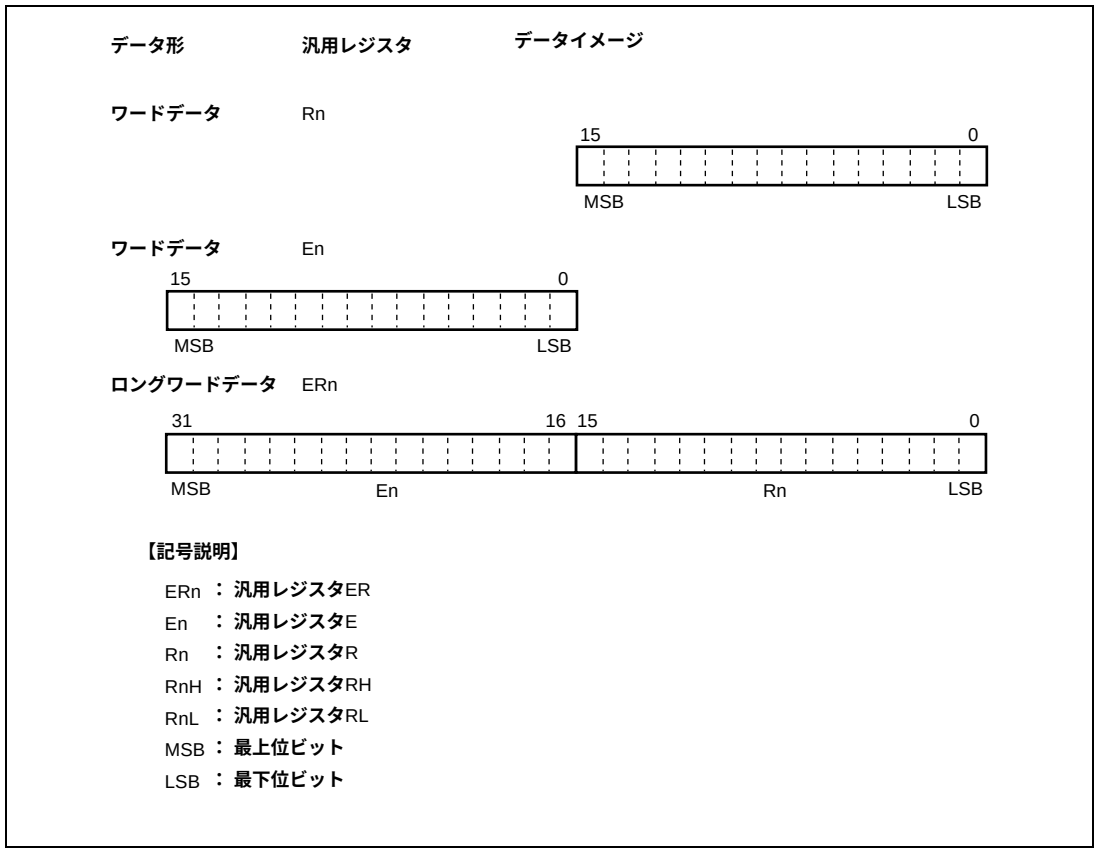


図 2.9　汎用レジスタのデータ形式（2）

2.5.2　メモリ上でのデータ形式

メモリ上でのデータ形式を**図** 2.10 に示します。

H8S/2000 CPU は、メモリ上のワードデータ／ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ／ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

なお、SP（ER7）をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

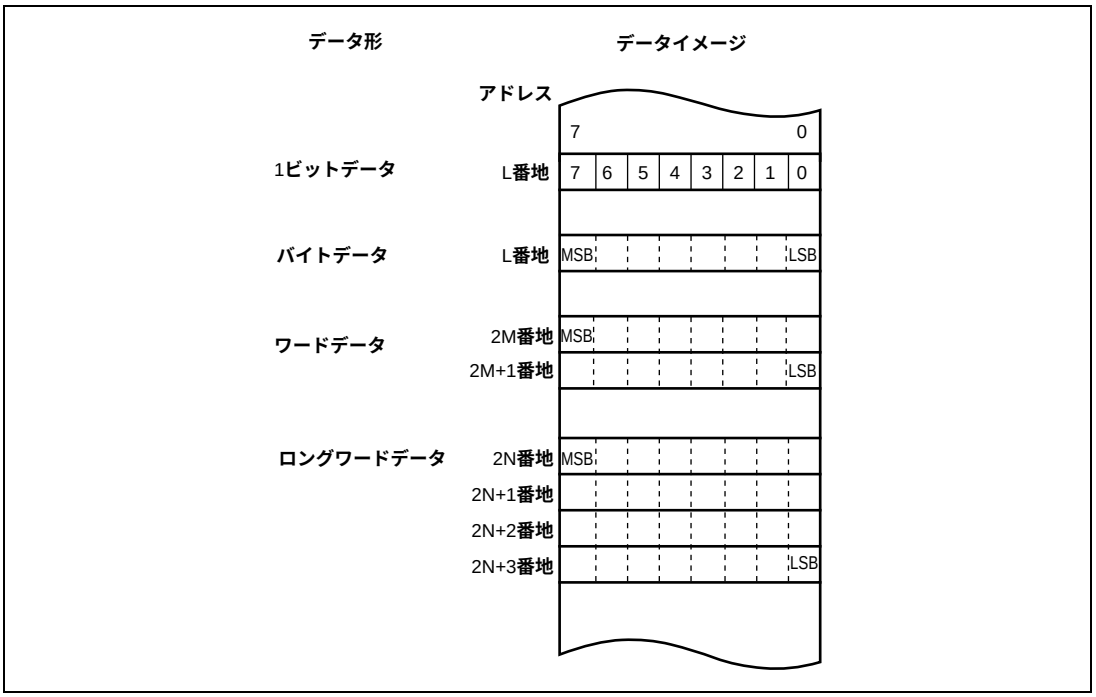


図 2.10　**メモリ上でのデータ形式**

2.6 命令セット

H8S/2000 CPU の命令は合計 65 種類あり、各命令の持つ機能によって**表** 2.1 に示すように分類されます。

表 2.1 **命令の分類**

分 類	命 令	サイズ	種類
データ転送命令	MOV	B/W/L	5
	POP *[1], PUSH *[1]	W/L	
	LDM, STM*[2]	L	
	MOVFPE*[3], MOVTPE*[3]	B	
算術演算命令	ADD, SUB, CMP, NEG	B/W/L	19
	ADDX, SUBX, DAA, DAS	B	
	INC, DEC	B/W/L	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	B/W	
	EXTU, EXTS	W/L	
	TAS	B	
論理演算命令	AND, OR, XOR, NOT	B/W/L	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	B/W/L	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BLD, BILD, BST, BIST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR	B	14
分岐命令	Bcc *[4], JMP, BSR, JSR, RTS	−	5
システム制御命令	TRAPA, RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	−	9
ブロック転送命令	EEPMOV	−	1
			合計 65 **種類**

【注】 B：**バイトサイズ** W：**ワードサイズ** L：**ロングワードサイズ**

*1 POP.W Rn、PUSH.W Rn **は、それぞれ** MOV.W @SP+,Rn、MOV.W Rn,@-SP **と同一です。**
また、POP.L ERn、PUSH.L ERn **は、それぞれ** MOV.L @SP+,ERn、MOV.L ERn,@-SP **と同一です。**

*2 STM/LDM **命令においては、**ER7 **レジスタはスタックポインタであるため、退避（**STM**）／復帰（**LDM**）できるレジスタとしては使えません。**

*3 **本** LSI **では使用できません。**

*4 Bcc **は条件分岐命令の総称です。**

2.6.1 命令の機能別一覧

各命令の機能について**表** 2.3～**表** 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.2 **オペレーションの記号**

記号	説　明
Rd	**汎用レジスタ（デスティネーション側）**＊
Rs	**汎用レジスタ（ソース側）**＊
Rn	**汎用レジスタ**＊
ERn	**汎用レジスタ（**32 **ビットレジスタ）**
(EAd)	**デスティネーションオペランド**
(EAs)	**ソースオペランド**
EXR	**エクステンドレジスタ**
CCR	**コンディションコードレジスタ**
N	CCR **の** N**（ネガティブ）フラグ**
Z	CCR **の** Z**（ゼロ）フラグ**
V	CCR **の** V**（オーバフロー）フラグ**
C	CCR **の** C**（キャリ）フラグ**
PC	**プログラムカウンタ**
SP	**スタックポインタ**
#IMM	**イミディエイトデータ**
disp	**ディスプレースメント**
＋	**加算**
－	**減算**
×	**乗算**
÷	**除算**
∧	**論理積**
∨	**論理和**
⊕	**排他的論理和**
→	**転送**
～	**反転論理（論理的補数）**
:8/:16/:24/:32	8/16/24/32 **ビット長**

【注】 ＊ **汎用レジスタは、**8 **ビット（**R0H～R7H、R0L～R7L**）、**16 **ビット（**R0～R7、E0～E7**）、または** 32 **ビットレジスタ（**ER0～ER7**）です。**

表 2.3 データ転送命令

命令	サイズ*1	機　能
MOV	B/W/L	(EAs)→Rd、Rs→(EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPE	B	本 LSI では使用できません。
MOVTPE	B	本 LSI では使用できません。
POP	W/L	@SP+→Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また、 POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W/L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と同一です。 PUSH.L ERn は MOV.L ERn, @-SP と同一です。
LDM*2	L	@SP+→Rn（レジスタ群） スタックから複数の汎用レジスタへデータを復帰します。
STM*2	L	Rn（レジスタ群）→@-SP 複数の汎用レジスタの内容をスタックに退避します。

【注】 *1 サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

*2 STM/LDM 命令においては、ER7 レジスタはスタックポインタであるため、退避（STM）／復帰（LDM）できるレジスタとしては使えません。

表 2.4 算術演算命令（1）

命令	サイズ*	機　能
ADD SUB	B/W/L	Rd±Rs→Rd、Rd±#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います（バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください）。
ADDX SUBX	B	Rd±Rs±C→Rd、Rd±＃IMM±C→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付きの加減算を行います。
INC DEC	B/W/L	Rd±1→Rd、Rd±2→Rd 汎用レジスタに 1 または 2 を加減算します（バイトサイズで 1 の加減算のみ可能です）。
ADDS SUBS	L	Rd±1→Rd、Rd±2→Rd、Rd±4→Rd 32 ビットレジスタに 1、2、または 4 を加減算します。
DAA DAS	B	Rd(10 進補正) →Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。
MULXS	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。
DIVXU	B/W	Rd÷Rs→Rd 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット÷8 ビット→商 8 ビット余り 8 ビット、 32 ビット÷16 ビット→商 16 ビット余り 16 ビットの除算が可能です。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.4 算術演算命令（2）

命令	サイズ*	機　能
DIVXS	B/W	Rd÷Rs→Rd 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット÷8 ビット→商 8 ビット余り 8 ビット、 32 ビット÷16 ビット→商 16 ビット余り 16 ビットの除算が可能です。
CMP	B/W/L	Rd－Rs、Rd－#IMM 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B/W/L	0－Rd→Rd 汎用レジスタの内容の 2 の補数（算術的補数）をとります。
EXTU	W/L	Rd(ゼロ拡張) →Rd 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	Rd(符号拡張) →Rd 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
TAS	B	@ERd－0、1 → (<ビット 7>of @ERd) メモリの内容をテストした後、最上位ビット（ビット 7）を 1 にセットします。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.5 論理演算命令

命令	サイズ*	機　能
AND	B/W/L	Rd∧Rs→Rd、Rd∧#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd∨Rs→Rd、Rd∨#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs→Rd、Rd⊕#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の排他的論理和をとります。
NOT	B/W/L	～Rd→Rd 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.6 シフト命令

命令	サイズ*	機　能
SHAL SHAR	B/W/L	Rd(シフト処理) →Rd 汎用レジスタの内容を算術的にシフトします。 1 ビットまたは 2 ビットのシフトが可能です。
SHLL SHLR	B/W/L	Rd(シフト処理) →Rd 汎用レジスタの内容を論理的にシフトします。 1 ビットまたは 2 ビットのシフトが可能です。
ROTL ROTR	B/W/L	Rd(ローテート処理) →Rd 汎用レジスタの内容をローテートします。 1 ビットまたは 2 ビットのローテートが可能です。
ROTXL ROTXR	B/W/L	Rd(ローテート処理) →Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。 1 ビットまたは 2 ビットのローテートが可能です。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.7 ビット操作命令（1）

命令	サイズ*	機　能
BSET	B	1→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR	B	0→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BNOT	B	～(<ビット番号>of<EAd>)→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	～(<ビット番号>of<EAd>)→Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C∧(<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。
BIAND	B	C∧〔～(<ビット番号>of<EAd>)〕→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C∨(<ビット番号>of<EAd>) →C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。
BIOR	B	C∨〔～(<ビット番号>of<EAd>)〕→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B：バイト

表 2.7 ビット操作命令（2）

命令	サイズ*	機　能
BXOR	B	C⊕(<ビット番号>of<EAd>) →C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。
BIXOR	B	C⊕〔～(<ビット番号>of<EAd>)〕→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BLD	B	(<ビット番号>of<EAd>) →C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	～(<ビット番号>of<EAd>) →C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	C→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	～C→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグを反転して転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B：バイト

表 2.8 分岐命令

<table>
<tr><th>命令</th><th>サイズ</th><th>機　能</th></tr>
<tr><td>Bcc</td><td>−</td><td>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。
<table>
<tr><th>ニーモニック</th><th>説　明</th><th>分岐条件</th></tr>
<tr><td>BRA(BT)</td><td>Always(True)</td><td>Always</td></tr>
<tr><td>BRN(BF)</td><td>Never(False)</td><td>Never</td></tr>
<tr><td>BHI</td><td>HIgh</td><td>CVZ=0</td></tr>
<tr><td>BLS</td><td>Low or Same</td><td>CVZ=1</td></tr>
<tr><td>BCC(BHS)</td><td>Carry Clear(High or Same))</td><td>C=0</td></tr>
<tr><td>BCS(BLO)</td><td>Carry Set(LOw)</td><td>C=1</td></tr>
<tr><td>BNE</td><td>Not Equal</td><td>Z=0</td></tr>
<tr><td>BEQ</td><td>EQual</td><td>Z=1</td></tr>
<tr><td>BVC</td><td>oVerflow Clear</td><td>V=0</td></tr>
<tr><td>BVS</td><td>oVerflow Set</td><td>V=1</td></tr>
<tr><td>BPL</td><td>PLus</td><td>N=0</td></tr>
<tr><td>BMI</td><td>MInus</td><td>N=1</td></tr>
<tr><td>BGE</td><td>Greater or Equal</td><td>N⊕V=0</td></tr>
<tr><td>BLT</td><td>Less Than</td><td>N⊕V=1</td></tr>
<tr><td>BGT</td><td>Greater Than</td><td>Z∨(N⊕V)=0</td></tr>
<tr><td>BLE</td><td>Less or Equal</td><td>Z∨(N⊕V)=1</td></tr>
</table>
</td></tr>
<tr><td>JMP</td><td>−</td><td>指定されたアドレスへ無条件に分岐します。</td></tr>
<tr><td>BSR</td><td>−</td><td>指定されたアドレスへサブルーチン分岐します。</td></tr>
<tr><td>JSR</td><td>−</td><td>指定されたアドレスへサブルーチン分岐します。</td></tr>
<tr><td>RTS</td><td>−</td><td>サブルーチンから復帰します。</td></tr>
</table>

表 2.9 システム制御命令

命令	サイズ*	機　能
TRAPA	−	命令トラップ例外処理を行います。
RTE	−	例外処理ルーチンから復帰します。
SLEEP	−	低消費電力状態に遷移します。
LDC	B／W	(EAs)→CCR、(EAs)→EXR 汎用レジスタまたはメモリの内容を CCR、EXR に転送します。また、イミディエイトデータを CCR、EXR に転送します。CCR、EXR は 8 ビットですが、メモリと CCR、EXR 間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
STC	B／W	CCR→(EAd)、EXR→(EAd) CCR、EXR の内容を汎用レジスタまたはメモリに転送します。CCR、EXR は 8 ビットですが、CCR、EXR とメモリ間の転送はワードサイズで行われ、上位 8 ビットが有効になります。
ANDC	B	CCR∧#IMM→CCR、EXR∧#IMM→EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR∨#IMM→CCR、EXR∨#IMM→EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR、EXR⊕#IMM→EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	−	PC+2→PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

表 2.10 ブロック転送命令

命令	サイズ	機　能
EEPMOV.B	−	if R4L≠0 then 　Repeat @ER5+→@ER6+ 　　R4L−1→R4L 　Until R4L＝0 else next;
EEPMOV.W	−	if R4≠0 then 　Repeat @ER5+→@ER6+ 　　R4−1→R4 　Until R4＝0 else next; ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2.6.2 命令の基本フォーマット

H8S/2000 CPU の命令は、2 バイト（ワード）を単位にしています。各命令はオペレーションフィールド（op）、レジスタフィールド（r）、EA 拡張部（EA）、およびコンディションフィールド（cc）から構成されています。**図** 2.11 に命令フォーマットの例を示します。

- オペレーションフィールド

  命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

- レジスタフィールド

  汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

- EA拡張部

  イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8ビット、16ビット、または32ビットです。

- コンディションフィールド

  Bcc命令の分岐条件を指定します。

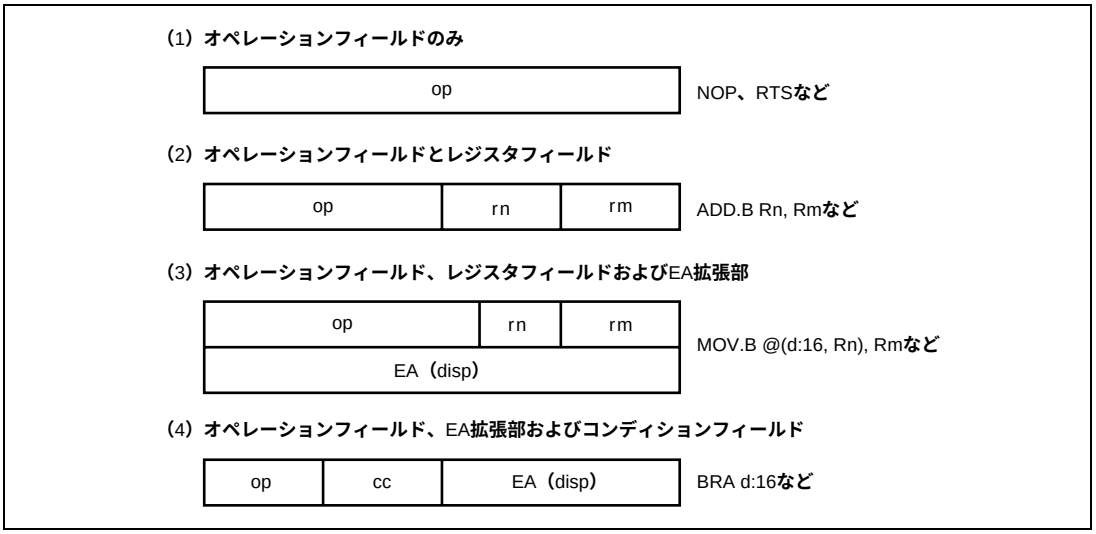


図 2.11 **命令フォーマットの例**

2.7 アドレッシングモードと実効アドレスの計算方法

H8S/2000 CPU は**表 2.11** に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードが異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接（BSET、BCLR、BNOT、BTST の各命令）、およびイミディエイト（3 ビット）が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	**レジスタ直接**	Rn
2	**レジスタ間接**	@ERn
3	**ディスプレースメント付きレジスタ間接**	@(d:16,ERn)/@(d:32,ERn)
4	**ポストインクリメントレジスタ間接** **プリデクリメントレジスタ間接**	@ERn+ @-ERn
5	**絶対アドレス**	@aa:8/@aa:16/@aa:24/@aa:32
6	**イミディエイト**	#xx:8/#xx:16/#xx:32
7	**プログラムカウンタ相対**	@(d:8,PC)/@(d:16,PC)
8	**メモリ間接**	@@aa:8

2.7.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ（8 ビット、16 ビットまたは 32 ビット）がオペランドとなります。8 ビットレジスタとしては R0H～R7H、R0L～R7L を指定可能です。16 ビットレジスタとしては R0～R7、E0～E7 を指定可能です。32 ビットレジスタとしては ER0～ER7 を指定可能です。

2.7.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容をアドレスとしてメモリ上のオペランドを指定します。プログラム領域としては、下位 24 ビットが有効になり、上位 8 ビットはすべて 0（H'00）とみなされます。

2.7.3 ディスプレースメント付きレジスタ間接 @（d:16,ERn）/@（d:32,ERn）

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

2.7.4 ポストインクリメントレジスタ間接@ERn+/ プリデクリメントレジスタ間接@-ERn

(1) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容をアドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズまたはロングワードサイズのとき、アドレスレジスタの内容が偶数となるようにしてください。

(2) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ（ERn）の内容から、1、2 または 4 を減算した内容をアドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズまたはロングワードサイズのとき、アドレスレジスタの内容が偶数になるようにしてください。

2.7.5 絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。絶対アドレスは 8 ビット（@aa:8）、16 ビット（@aa:16）、24 ビット（@aa:24）、または 32 ビット（@aa:32）です。絶対アドレスのアクセス範囲を**表 2.12** に示します。

データ領域としては、8 ビット（@aa:8）、16 ビット（@aa:16）、または 32 ビット（@aa:32）を使用します。8 ビット絶対アドレスの場合、上位 16 ビットはすべて 1（H'FFFF）となります。16 ビット絶対アドレスの場合、上位 16 ビットは符号拡張されます。32 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては 24 ビット（@aa:24）を使用します。上位 8 ビットはすべて 0（H'00）となります。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード	アドバンストモード
データ領域	8 ビット（@aa:8）	H'FF00～H'FFFF	H'FFFF00～H'FFFFFF
	16 ビット（@aa:16）	H'0000～H'FFFF	H'000000～H'007FFF、 H'FF8000～H'FFFFFF
	32 ビット（@aa:32）		H'000000～H'FFFFFF
プログラム領域	24 ビット（@aa:24）		

2.7.6 イミディエイト #xx:8/#xx:16/#xx:32

命令コード中に含まれる 8 ビット（#xx:8）、16 ビット（#xx:16）、または 32 ビット（#xx:32）のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コードの中に含まれます。

2.7.7 プログラムカウンタ相対 @（d:8, PC）/@（d:16, PC）

Bcc、BSR 命令で使用されます。PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して 24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0（H'00）とみなされます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して−126〜＋128 バイト（−63〜＋64 ワード）または−32766〜＋32768 バイト（−16383〜＋16384 ワード）です。このとき、加算結果が偶数となるようにしてください。

2.7.8 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。8 ビット絶対アドレスの上位のビットはすべて 0 となりますので、分岐アドレスを格納できるのは 0〜255（ノーマルモードのとき H'0000〜H'00FF、アドバンストモードのとき H'000000〜H'0000FF）番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。また、アドバンストモードの場合は、メモリ上のオペランドはロングワードサイズで指定します。このうち先頭の 1 バイトはすべて 0（H'00）とみなされます。ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。詳細は**「第 4 章　例外処理」**を参照してください。

ワードサイズ、ロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは 0 とみなされ、1 番地前から始まるデータまたは命令コードをアクセスします（**「**2.5.2　**メモリ上でのデータ形式」**を参照してください）。

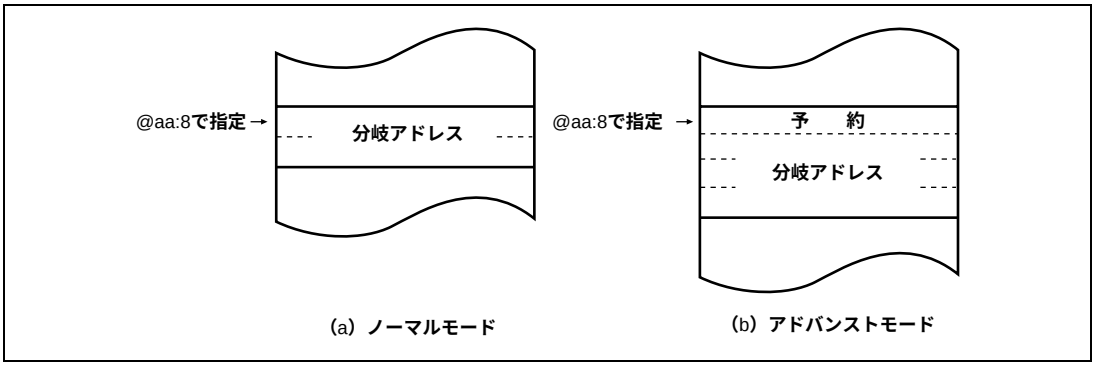


図 2.12　メモリ間接による分岐アドレスの指定

2.7.9　実効アドレスの計算方法

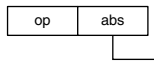
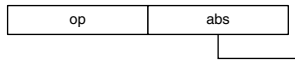
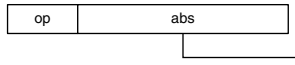
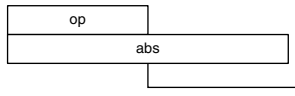
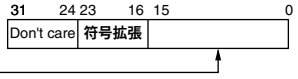
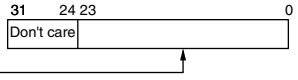
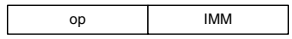
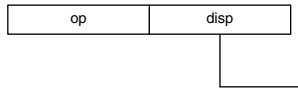
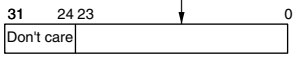
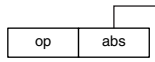
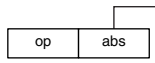
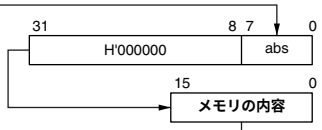
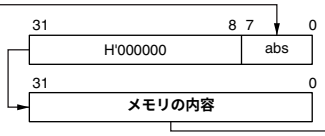
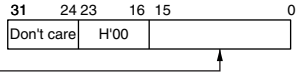
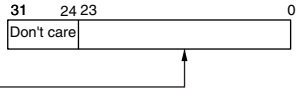
各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算法を**表 2.13** に示します。

ノーマルモードの場合、実効アドレスの上位 8 ビットは無視され、16 ビットのアドレスとなります。

表 2.13　実行アドレスの計算方法（1）

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス（EA）
1	レジスタ直接（Rn） op | rm | rn		オペランドは汎用レジスタの内容です。
2	レジスタ間接（@ERn） op | r	31 … 0 汎用レジスタの内容	31 … 24 23 … 0 Don't care
3	ディスプレースメント付きレジスタ間接 @(d:16,ERn) ／ @(d:32,ERn) op | r | disp	31 … 0 汎用レジスタの内容 31 … 0 符号拡張 | disp	31 … 24 23 … 0 Don't care
4	ポストインクリメントレジスタ間接／プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接　@ERn+ op | r ・プリデクリメントレジスタ間接　@-ERn op | r	31 … 0 汎用レジスタの内容 1、2または4 31 … 0 汎用レジスタの内容 1、2または4 オペランドサイズ / 加減算される値 バイト / 1 ワード / 2 ロングワード / 4	31 … 24 23 … 0 Don't care 31 … 24 23 … 0 Don't care

表 2.13　実行アドレスの計算方法（2）

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス（EA）
5	**絶対アドレス** @aa:8  @aa:16  @aa:24  @aa:32 		  
6	**イミディエイト** #xx:8／#xx:16／#xx:32 		**オペランドはイミディエイトデータです。**
7	**プログラムカウンタ相対** @(d:8,PC)／@(d:16,PC) 		
8	**メモリ間接　@@aa:8** **・ノーマルモード**  **・アドバンストモード** 	 	 

2.8 処理状態

H8S/2000 CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、およびプログラム停止状態の 5 種類があります。処理状態間の状態遷移図を**図 2.13** に示します。

- リセット状態

  CPU および内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子がLowレベルになると、実行中の処理はすべて中止され、CPUはリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子をLowレベルからHighレベルにすると、リセット例外処理を開始します。リセットの詳細は**「第４章　例外処理」**を参照してください。ウォッチドッグタイマを内蔵する製品では、ウォッチドッグタイマのオーバフローによってもリセットすることもできます。

- 例外処理状態

  例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によってCPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は**「第4章 例外処理」**を参照してください。

- プログラム実行状態

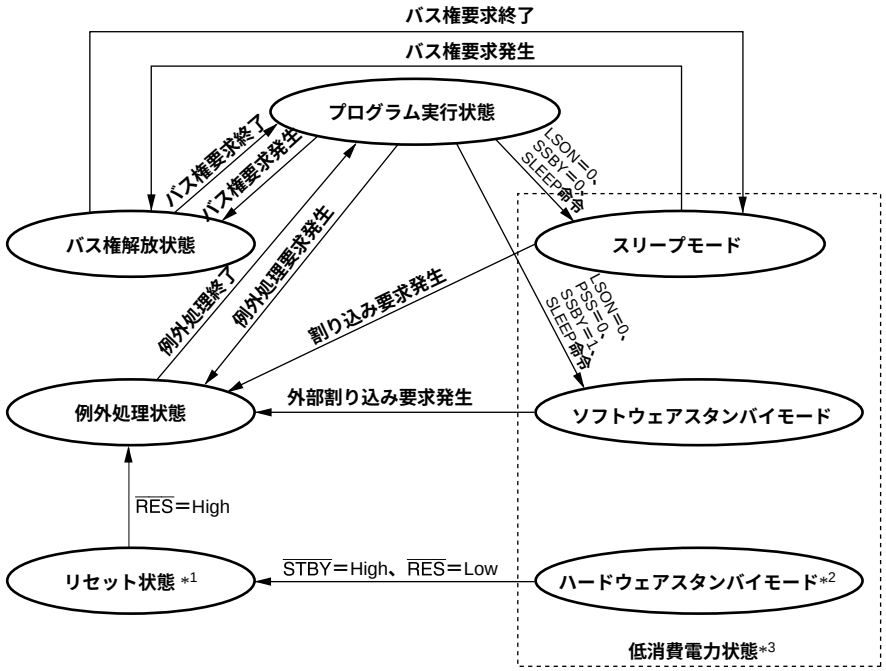
  CPUがプログラムを順次実行している状態です。

- バス権解放状態

  データトランスファコントローラ（DTC）やRAM-FIFOユニット（RFU）を内蔵している製品で、これらCPU以外のバスマスタからのバス権要求に対してバス権を解放した状態です。バス権解放状態ではCPUは動作を停止します。

- プログラム停止状態

  CPUが動作を停止し、消費電力を低下させた状態です。SLEEP命令の実行、またはハードウェアスタンバイモードへの遷移でCPUはプログラム停止状態になります。詳細は**「第27章　低消費電力状態」**を参照してください。



【注】*1 ハードウェアスタンバイモードを除くすべての状態において、RES端子がLowレベルになるとリセット状態に遷移します。また、ウォッチドッグタイマのオーバフローによっても、リセット状態に遷移させることができます。

*2 すべての状態においてSTBY端子がLowレベルになると、ハードウェアスタンバイモードに遷移します。

*3 このほかに、ウォッチモード、サブアクティブモード、サブスリープモードなどがあります。詳細は「第27章 低消費電力状態」を参照してください。

図 2.13 状態遷移図

2.9 使用上の注意

2.9.1 TAS 命令使用上の注意

ルネサス製 H8S、H8/300 シリーズ C/C++コンパイラでは、TAS 命令は生成されません。ユーザ定義の組み込み関数として TAS 命令を使用することは可能です。

2.9.2 ビット操作命令

BSET、BCLR、BNOT、BST、BIST 命令は、指定されたアドレスのデータをバイト単位でリードし、対象となる 1 ビットを操作した後、同一アドレスにバイト単位でライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対して直接ビット操作命令を使用すると、ビット操作対象以外のビットのデータが書き変わる可能性がありますので注意してください。

例：ポート4のDDRにBCLR命令を実行した場合

P47、P46 は入力端子に設定され、それぞれ Low レベル、High レベルが入力されているとします。P45～P40 は出力端子に設定され、それぞれ Low レベル出力状態とします。以下に、BCLR 命令で P40 を入力端子に設定する例を示します。

【BCLR命令実行前】

	P47	P46	P45	P44	P43	P42	P41	P40
入出力	**入力**	**入力**	**出力**	**出力**	**出力**	**出力**	**出力**	**出力**
端子状態	Low **レベル**	High **レベル**	Low **レベル**	Low **レベル**	Low **レベル**	Low **レベル**	Low **レベル**	Low **レベル**
DDR	0	0	1	1	1	1	1	1
DR	1	0	0	0	0	0	0	0

【BCLR命令実行】

```
BCLR    #0 , @P4DDR
```

DDR に対して BCLR 命令を実行します。

【BCLR命令実行後】

	P47	P46	P45	P44	P43	P42	P41	P40
入出力	**出力**	**出力**	**出力**	**出力**	**出力**	**出力**	**出力**	**入力**
端子状態	Low **レベル**	High **レベル**	Low **レベル**	Low **レベル**	Low **レベル**	Low **レベル**	Low **レベル**	High **レベル**
DDR	1	1	1	1	1	1	1	0
DR	1	0	0	0	0	0	0	0

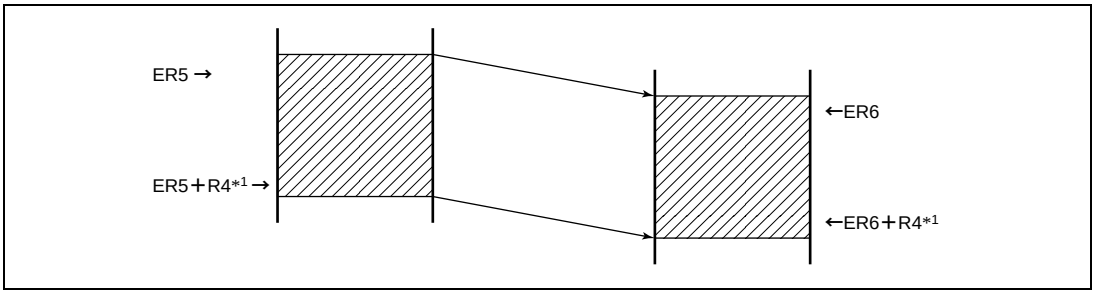
【動作説明】

1. BCLR **命令を実行すると、**CPU **は** P4DDR **をリードします。**P4DDR **はライト専用レジスタですので、**CPU **は** H'FF **をリードします。したがって、この例では** DDR **は** H'3F **ですが、**CPU **がリードしたデータは** H'FF **となります。**
2. CPU **はリードしたデータのビット** 0 **を** 0 **にクリアして、データを** H'FE **に変更します。**
3. H'FE **を** DDR **に書き込んで、**BCLR **命令を終了します。**

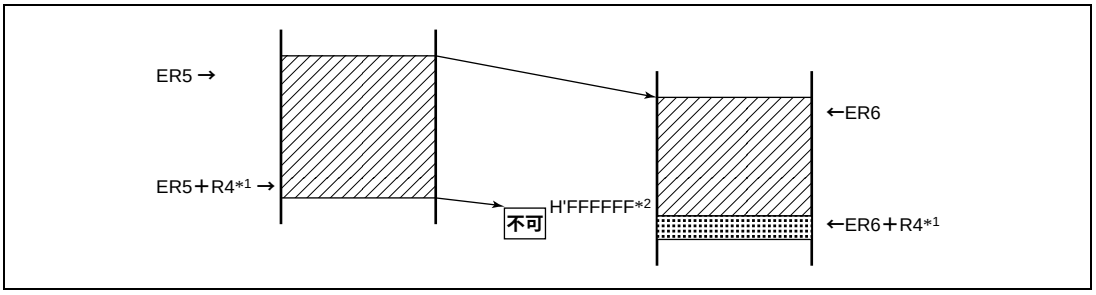
その結果、DDR のビット 0 が 0 になり、P40 は入力端子になります。しかし、DDR のビット 7、6 が 1 になり、P47、P46 は出力端子に変化してしまいます。

2.9.3 EEPMOV 命令

1. EEPMOV命令はブロック転送命令で、ER5で示されるアドレスから始まるR4*1で示されるバイト数のデータを、ER6で示されるアドレスへ転送します。



2. 転送先の最終アドレス（ER6＋R4*1の値）がH'00FFFFFF*2を超えないように（実行途中にER6の値がH'00FFFFFF→H'01000000とならないように*2）、R4*1、ER6を設定してください。



【注】 *1 **ノーマルモードでは** R4L **が対象となります。**

*2 **ノーマルモードでは** H'0000FFFF **を超えないように設定してください。**

3. MCU 動作モード

3.1 動作モードの選択

本 LSI には、2 種類の動作モード（モード 2、3）があります。動作モードは、モード端子（$\overline{\text{MD2}}$、MD1、MD0）の設定で決まります。**表 3.1** に、MCU 動作モードの選択を示します。

表 3.1 MCU 動作モードの選択

MCU 動作モード	$\overline{\text{MD2}}$	MD1	MD0	CPU 動作モード	内容	内蔵 ROM
2	1	1	0	アドバンスト	内蔵 ROM 有効拡張モード シングルチップモード	有効
3	1	1	1	ノーマル	内蔵 ROM 有効拡張モード シングルチップモード	有効

モード 2、3 は、リセット後はシングルチップモードで動作を開始します。MDCR の EXPE ビットを 1 にセットすることにより拡張モードに移行することができます。

モード 0、1、5 は、本 LSI では使用できません。モード 4、6、7 は、特殊な動作モードです。したがって、通常のプログラム実行状態では、モード端子は必ずモード 2～3 になるように設定してください。また、モード端子は動作中に変化させないでください。

モード 4 は、フラッシュメモリの書き込み／消去を行うためのブートモードです。詳細は**「第 24 章 ROM」**を参照してください。

モード 6、7 は、オンチップエミュレーションモードです。JTAG インタフェースを用いてオンチップエミュレータ（E10A）により制御され、オンチップエミュレーションが可能です。

3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。バスコントロールレジスタ（BCR）については「6.3.1 **バスコントロールレジスタ（BCR）**」を、バスコントロールレジスタ 2（BCR2）については「6.3.2 **バスコントロールレジスタ 2（BCR2）**」を参照してください。

- **モードコントロールレジスタ**（MDCR）
- **システムコントロールレジスタ**（SYSCR）
- **シリアルタイマコントロールレジスタ**（STCR）

3.2.1 モードコントロールレジスタ（MDCR）

MDCR は、動作モードの設定および現在の動作モードをモニタするのに用います。

ビット	ビット名	初期値	R/W	説　明
7	EXPE	0	R/W	**拡張モードイネーブル** **拡張モードを設定します。** 0：**シングルチップモード** 1：**拡張モード**
6〜3	—	**すべて** 0	R	**リザーブビット**
2	MDS2	＊*	R	**モードセレクト** 2、1、0
1	MDS1	＊*	R	**モード端子（**$\overline{\text{MD2}}$、MD1、MD0**）の入力レベルを反映した値（現在の動作モード）を示しています。**MDS2、MDS1、MDS0 **ビットは** $\overline{\text{MD2}}$、MD1、MD0 **端子にそれぞれ対応します。これらのビットはリード専用でライトは無効です。**
0	MDS0	＊*	R	MDCR **をリードすると、モード端子（**$\overline{\text{MD2}}$、MD1、MD0**）の入力レベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。**

【注】 * $\overline{\text{MD2}}$、MD1、MD0 **端子により決定されます**

3.2.2 システムコントロールレジスタ（SYSCR）

SYSCR は、システム端子機能の選択、リセット要因のモニタ、割り込み制御モードの選択、NMI 検出エッジの選択、周辺機能のレジスタアクセスの制御、RAM のアドレス空間の制御を行います。

ビット	ビット名	初期値	R/W	説　明
7	CS256E	0	R/W	チップセレクト 256 イネーブル 拡張モード時の P97/$\overline{\text{WAIT}}$/$\overline{\text{CPWAIT}}$/$\overline{\text{CS256}}$ 端子の機能を制御します。 0：P97/$\overline{\text{WAIT}}$/$\overline{\text{CPWAIT}}$ 端子 $\overline{\text{WAIT}}$/$\overline{\text{CPWAIT}}$ 端子機能は WSCR、WSCR2 の設定で選択 1：$\overline{\text{CS256}}$ 端子 アドレス H'F80000～H'FBFFFF の指定アドレスをアクセス時に Low 出力
6	IOSE	0	R/W	IOS イネーブル 拡張モード時の $\overline{\text{AS}}$/$\overline{\text{IOS}}$ 端子の機能を制御します。 0：$\overline{\text{AS}}$ 端子 外部エリアアクセス時に Low 出力 1：$\overline{\text{IOS}}$ 端子 アドレス H'(FF)F000～H'(FF)F7FF の指定アドレスアクセス時に Low 出力
5 4	INTM1 INTM0	0 0	R R/W	割り込みコントローラの割り込み制御モードを選択します。割り込み制御モードについては「5.6　割り込み制御モードと割り込み動作」を参照してください。 00：割り込み制御モード 0 01：割り込み制御モード 1 10：設定禁止 11：設定禁止
3	XRST	1	R	外部リセット リセット要因を表すビットです。リセットは、外部リセット入力、または、ウォッチドッグタイマオーバフローにより発生できます。 0：ウォッチドッグタイマオーバフローで発生 1：外部リセットで発生
2	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0：NMI 入力の立ち下がりエッジで割り込み要求を発生 1：NMI 入力の立ち上がりエッジで割り込み要求を発生

ビット	ビット名	初期値	R/W	説　明
1	KINWUE	0	R/W	**キーボードコントロールレジスタアクセスイネーブル** $\overline{\text{KINn}}$、$\overline{\text{WUEn}}$ **端子の入力制御レジスタ**（KMIMRA、KMIMR6、WUEMR3）、$\overline{\text{KINn}}$ **端子の入力プルアップ** MOS **制御レジスタ**（KMPCR6）、8 **ビットタイマ** TMR_X、TMR_Y **のレジスタ**（TCR_X/TCR_Y、TCSR_X/TCSR_Y、TICRR/TCORA_Y、TICRF/TCORB_Y、TCNT_X/TCNT_Y、TCORC/TISR、TCORA_X、TCORB_X）、**タイマコネクションのレジスタ**（TCONRI、TCONRO、TCONRS、SEDGR）**の** CPU **アクセスを制御します。** 0：**アドレス** H'(FF)FFF0～H'(FF)FFF7、H'(FF)FFFC～H'(FF)FFFF **のエリアは、**TMR_X、TMR_Y **およびタイマコネクションのレジスタの** CPU **アクセスを許可** 1：**アドレス** H'(FF)FFF0～H'(FF)FFF7、H'(FF)FFFC～H'(FF)FFFF **のエリアは、**$\overline{\text{KINn}}$、$\overline{\text{WUEn}}$ **端子の入力制御レジスタおよび** $\overline{\text{KINn}}$ **端子の入力プルアップ** MOS **制御レジスタの** CPU **アクセスを許可**
0	RAME	1	R/W	RAM **イネーブル** **内蔵** RAM **の有効または無効を選択します。**RAME **ビットはリセットを解除したときに初期化されます。** 0：**内蔵** RAM **無効** 1：**内蔵** RAM **有効**

3.2.3 シリアルタイマコントロールレジスタ（STCR）

STCR は、レジスタアクセスの制御、IIC の動作モードの制御、内蔵フラッシュメモリの制御、タイマカウンタの入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説　明
7	—	0	R/(W)	リザーブビット 初期値を変更しないでください。
6	IICX1	0	R/W	IIC トランスファレートセレクト 1、0
5	IICX0	0	R/W	IIC の動作を制御するビットです。I²C バスモードレジスタ（ICMR）の CKS2～CKS0 ビットと組み合わせて、マスタモードでの転送レートを選択します。転送レートについては、表 17.3 を参照してください。IICX0 は IIC_0 を、IICX1 は IIC_1 を制御します。
4	IICE	0	R/W	IIC マスタイネーブル IIC のレジスタ（ICCR、ICSR、ICDR/SARX、ICMR/SAR）、PWMX のレジスタ（DADRAH/DACR、DADRAL、DADRBH/DACNTH、DADRBL/DACNTL）、SCI のレジスタ（SMR、BRR、SCMR）の CPU アクセスを制御します。 0：アドレス H'(FF)FF88～H'(FF)FF89、H'(FF)FF8E～H'(FF)FF8F のエリアは、SCI_1 のレジスタをアクセス アドレス H'(FF)FFA0～H'(FF)FFA1、H'(FF)FFA6～H'(FF)FFA7 のエリアは、SCI_2 のレジスタをアクセス アドレス H'(FF)FFD8～H'(FF)FFD9、H'(FF)FFDE～H'(FF)FFDF のエリアは、SCI_0 のレジスタをアクセス 1：アドレス H'(FF)FF88～H'(FF)FF89、H'(FF)FF8E～H'(FF)FF8F のエリアは、IIC_1 のレジスタをアクセス アドレス H'(FF)FFA0～H'(FF)FFA1、H'(FF)FFA6～H'(FF)FFA7 のエリアは、PWMX のレジスタをアクセス アドレス H'(FF)FFD8～H'(FF)FFD9、H'(FF)FFDE～H'(FF)FFDF のエリアは、IIC_0 のレジスタをアクセス
3	FLSHE	0	R/W	フラッシュメモリコントロールレジスタイネーブル フラッシュメモリのレジスタ（FLMCR1、FLMCR2、EBR1、EBR2）、低消費電力状態の制御レジスタ（SBYCR、LPWRCR、MSTPCRH、MSTPCRL）、および周辺モジュールの制御レジスタ（BCR2、WSCR2、PCSR、SYSCR2）の CPU アクセスを制御します。 0：アドレス H'(FF)FF80～H'(FF)FF87 のエリアは、低消費電力状態および周辺モジュールの制御レジスタをアクセス 1：アドレス H'(FF)FF80～H'(FF)FF87 のエリアは、フラッシュメモリの制御レジスタをアクセス
2	—	0	R/(W)	リザーブビット 初期値を変更しないでください。

ビット	ビット名	初期値	R/W	説　明
1	ICKS1	0	R/W	インターナルクロックソースセレクト 1、0
0	ICKS0			タイマコントロールレジスタ（TCR）の CKS2～CKS0 ビットと組み合わせてタイマカウンタ（TCNT）に入力するクロックとカウント条件を選択します。詳細は「13.3.4　タイマコントロールレジスタ（TCR）」を参照してください。

3.3　各動作モードの説明

3.3.1　モード 2

CPU はアドバンストモードで、アドレス空間は 16M バイトです。内蔵 ROM は有効です。

リセット後はシングルチップモードに設定されており、外部アドレス空間を使用するには MDCR の EXPE ビットを 1 にセットしてください。本 LSI はアドレス出力端子が最大 18 本のため、$\overline{AS}$/$\overline{IOS}$ 端子の I/O ストローブ機能、CP/CF 拡張機能および $\overline{CS256}$ の機能を使用する場合のみ外部アドレス空間をアクセスできます。

拡張モードでは、ポート 1、2 はリセット後は入力ポートになっています。対応するポートのデータディレクションレジスタ（DDR）を 1 にセットすることによりアドレスバスを出力できます。ポート 3 がデータバス、ポート 9 の一部がバス制御信号となります。また、WSCR の ABW ビットを 0 にクリアすることで、ポート 6 がデータバスとなります。

3.3.2　モード 3

CPU はノーマルモードで、アドレス空間は 64k バイトです。内蔵 ROM は有効です。モード 3 では使用できる ROM 容量は 56K バイトです。

リセット後はシングルチップモードに設定されており、外部アドレス空間を使用するには MDCR の EXPE ビットを 1 にセットする必要があります。

拡張モードでは、ポート 1、2 はリセット後は入力ポートになっています。対応するポートのデータディレクションレジスタ（DDR）を 1 にセットすることによりアドレスバスを出力できます。ポート 3 がデータバス、ポート 9 の一部がバス制御信号となります。また、WSCR の ABW ビットを 0 にクリアすることで、ポート 6 がデータバスとなります。

3.3.3 端子機能

動作モードにより、ポート 1～3、6、9、A の端子機能が切り替わります。各動作モードにおける端子機能の一覧を**表** 3.2 に示します。

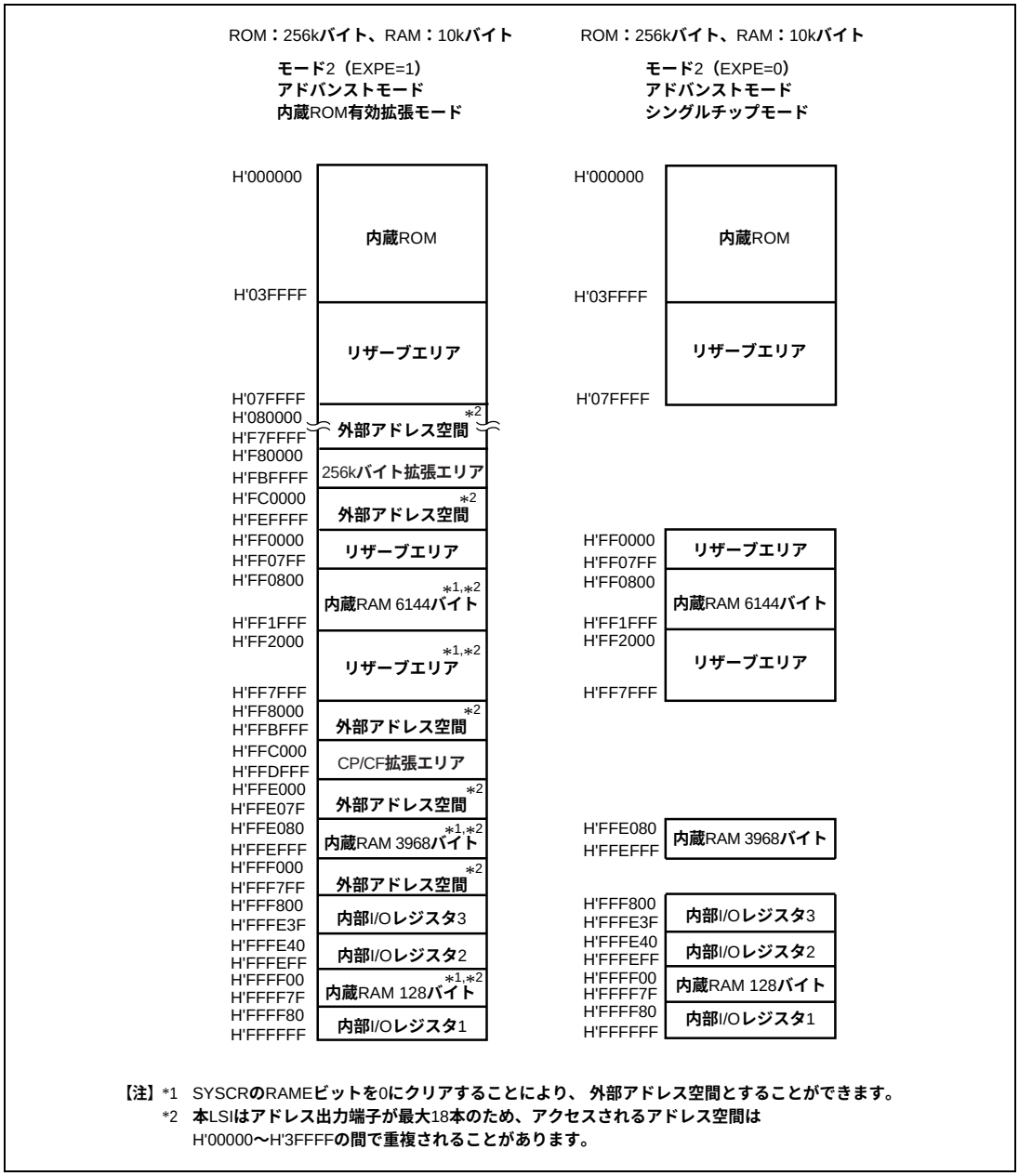
表 3.2 **各動作モードにおける端子機能**

ポート		モード 2	モード 3
ポート 1		入出力ポート*／アドレスバス出力	
ポート 2		入出力ポート*／アドレスバス出力	
ポート 3		入出力ポート*／データバス入出力	
ポート 6		入出力ポート*／データバス入出力	
ポート 9	P97	入出力ポート*／制御信号出力	
	P96	入力ポート*／クロック入出力	
	P95～P93	入出力ポート*／制御信号出力	
	P90	入出力ポート*／制御信号出力	
ポート A		入出力ポート*／アドレスバス出力	入出力ポート*

【記号説明】 * **リセット直後**

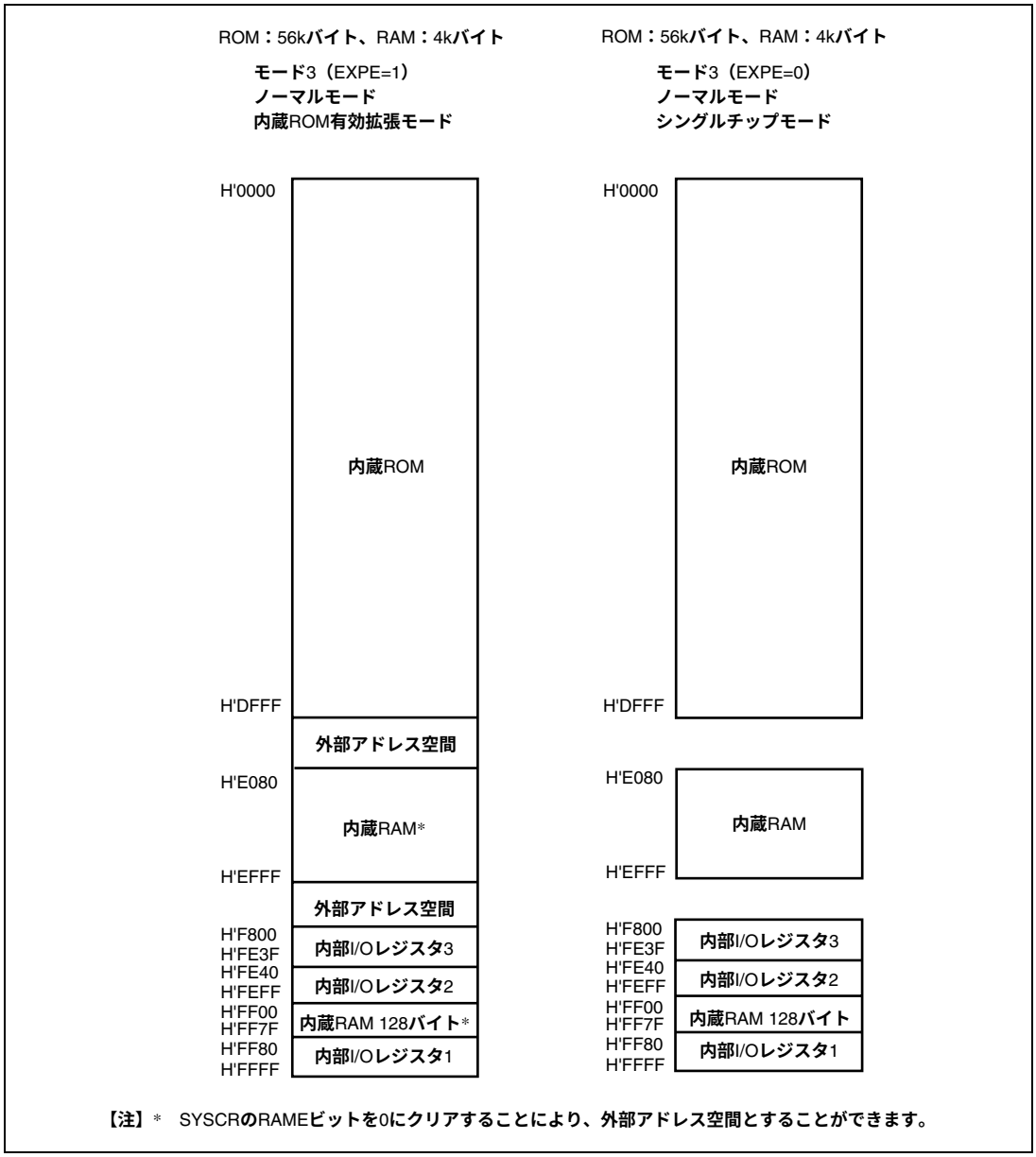
3.4 アドレスマップ

各動作モードのアドレスマップを図 3.1、図 3.2 に示します。



【注】*1 SYSCRのRAMEビットを0にクリアすることにより、外部アドレス空間とすることができます。
*2 本LSIはアドレス出力端子が最大18本のため、アクセスされるアドレス空間は H'00000～H'3FFFFの間で重複されることがあります。

図 3.1 アドレスマップ（モード 2）



【注】* SYSCRのRAMEビットを0にクリアすることにより、外部アドレス空間とすることができます。

図 3.2 アドレスマップ（モード 3）

4. 例外処理

4.1 例外処理の種類と優先度

例外処理要因には**表** 4.1 に示すようにリセット、割り込み、直接遷移、およびトラップ命令があります。これらの例外処理要因には**表** 4.1 に示すように優先順位が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。

表 4.1 **例外処理の種類と優先度**

優先度	例外処理の種類	例外処理開始タイミング
高 ▲ 低	リセット	$\overline{\text{RES}}$ 端子の Low レベルから High レベルへの遷移時、またはウォッチドッグタイマのオーバフローにより開始します。
	割り込み	割り込み要求が発生すると、命令または例外処理の実行終了時に開始します。ただし、ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。
	直接遷移	SLEEP 命令の実行により、直接遷移が発生すると開始します。
	トラップ命令	トラップ（TRAPA）命令の実行により開始します。 トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

4.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。例外処理要因とベクタアドレスとの対応を**表** 4.2 に示します。

表 4.2 **例外処理ベクタテーブル**

例外処理要因	ベクタ番号	ベクタアドレス	
		ノーマルモード	アドバンストモード
リセット	0	H'0000〜H'0001	H'000000〜H'000003
システム予約	1 ｜ 5	H'0002〜H'0003 ｜ H'000A〜H'000B	H'000004〜H'000007 ｜ H'000014〜H000017
直接遷移	6	H'000C〜H'000D	H'000018〜H00001B
外部割り込み NMI	7	H'000E〜H'000F	H'00001C〜H'00001F
トラップ命令（4 要因）	8 9 10 11	H'0010〜H'0011 H'0012〜H'0013 H'0014〜H'0015 H'0016〜H'0017	H'000020〜H'000023 H'000024〜H'000027 H'000028〜H'00002B H'00002C〜H'00002F

例外処理要因	ベクタ番号	ベクタアドレス	
		ノーマルモード	アドバンストモード
直接遷移（クロック切替）	12	H'0018～H'0019	H'000030～H'000033
システム予約	13 ｜ 15	H'001A～H'001B ｜ H'001E～H'001F	H'000034～H'000037 ｜ H'00003C～H'00003F
外部割り込み IRQ0	16	H'0020～H'0021	H'000040～H'000043
外部割り込み IRQ1	17	H'0022～H'0023	H'000044～H'000047
外部割り込み IRQ2	18	H'0024～H'0025	H'000048～H'00004B
外部割り込み IRQ3	19	H'0026～H'0027	H'00004C～H'00004F
外部割り込み IRQ4	20	H'0028～H'0029	H'000050～H'000053
外部割り込み IRQ5	21	H'002A～H'002B	H'000054～H'000057
外部割り込み IRQ6	22	H'002C～H'002D	H'000058～H'00005B
外部割り込み IRQ7	23	H'002E～H'002F	H'00005C～H'00005F
内部割り込み*	24 ｜ 29	H'0030～H'0031 ｜ H'003A～H'003B	H'000060～H'000063 ｜ H'000074～H'000077
外部割り込み KIN7～KIN0	30	H'003C～H'003D	H'000078～H'00007B
外部割り込み KIN9、KIN8	31	H'003E～H'003F	H'00007C～H'00007F
システム予約	32	H'0040～H'0041	H'000080～H'000083
外部割り込み WUE15～WUE8	33	H'0042～H'0043	H'000084～H'000087
内部割り込み*	34 ｜ 55	H'0044～H'0045 ｜ H'006E～H'006F	H'000088～H'00008B ｜ H'0000DC～H'0000DF
外部割り込みIRQ8	56	H'0070～H'0071	H'0000E0～H'0000E3
外部割り込みIRQ9	57	H'0072～H'0073	H'0000E4～H'0000E7
外部割り込みIRQ10	58	H'0074～H'0075	H'0000E8～H'0000EB
外部割り込みIRQ11	59	H'0076～H'0077	H'0000EC～H'0000EF
外部割り込みIRQ12	60	H'0078～H'0079	H'0000F0～H'0000F3
外部割り込みIRQ13	61	H'007A～H'007B	H'0000F4～H'0000F7
外部割り込みIRQ14	62	H'007C～H'007D	H'0000F8～H'0000FB
外部割り込みIRQ15	63	H'007E～H'007F	H'0000FC～H'0000FF
内部割り込み*	64 ｜ 114	H'0080～H'0081 ｜ H'00E4～H'00E5	H'000100～H'000103 ｜ H'0001C8～H'0001CB

【注】 * 内部割り込みのベクタテーブルは「5.5　割り込み例外処理ベクタテーブル」を参照してください。

4.3 リセット

リセットは、最も優先順位の高い例外処理です。$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。本 LSI を確実にリセットするため、電源投入時は最低 20ms の間、$\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は $\overline{\text{RES}}$ 端子を最低 20 ステートの間、Low レベルに保持してください。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。またウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は**「第 15 章　ウォッチドッグタイマ」**を参照してください。

4.3.1 リセット例外処理

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理を開始し、本 LSI は次のように動作します。

1. CPUの内部状態と内蔵周辺モジュールの各レジスタが初期化され、CCRのIビットが1にセットされます。
2. リセット例外処理ベクタアドレスをリードしてPCに転送した後、PCで示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を**図 4.1** に示します。

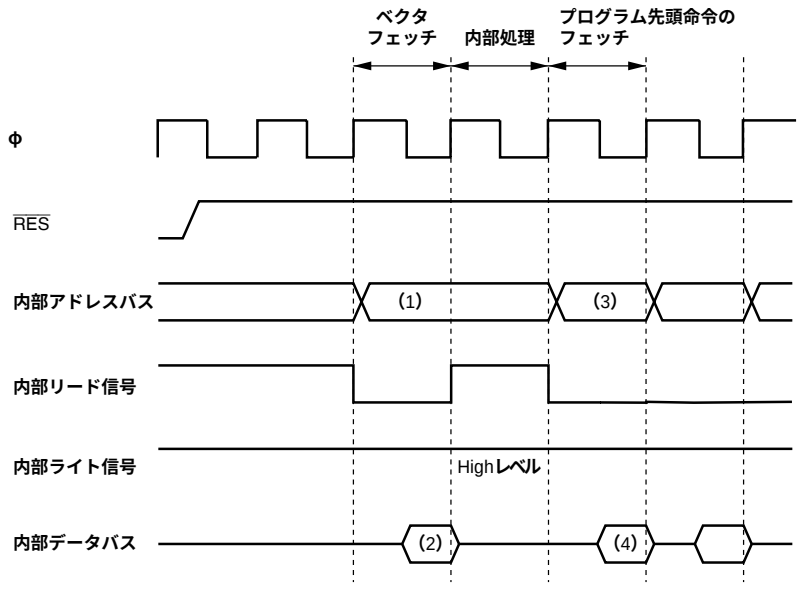


図 4.1　リセットシーケンス（モード 3）

4.3.2 リセット直後の割り込み

リセット直後、スタックポインタ（SP）を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われないため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください（例：MOV.L　#xx：32, SP）。

4.3.3 リセット解除後の内蔵周辺機能

リセット解除後は、モジュールストップコントロールレジスタ（MSTPCR、SUBMSTPA、SUBMSTPB）は初期化され、DTC を除くすべてのモジュールがモジュールストップモードになっています。そのため、各内蔵周辺モジュールのレジスタは、リード／ライトできません。モジュールストップモードを解除することにより、レジスタのリード／ライトが可能となります。

4.4 割り込み例外処理

割り込みは割り込みコントローラによって制御されます。割り込み例外処理を開始させる要因には、外部割り込み要因（NMI、IRQ15～IRQ0、KIN9～KIN0、WUE15～WUE8）と、内蔵周辺モジュールからの内部割り込み要因があります。NMI は最も優先順位の高い割り込みです。割り込みについての詳細は**「第 5 章　割り込みコントローラ」**を参照してください。

割り込み例外処理は、次のように動作します。

1. プログラムカウンタ（PC）とコンディションコードレジスタ（CCR）の内容をスタックに退避します。
2. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

4.5 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. プログラムカウンタ（PC）とコンディションコードレジスタ（CCR）の内容をスタックに退避します。
2. 割り込み要因に対応するベクタアドレスを生成し、ベクタテーブルからスタートアドレスをPCにロードしてその番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した 0～3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

表 4.3 にトラップ命令例外処理実行後の CCR の状態を示します。

表 4.3 トラップ命令例外処理後の CCR の状態

割り込み制御モード	CCR	
	I	UI
0	1 にセット	実行前の値を保持
1	1 にセット	1 にセット

4.6 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタックの状態を**図** 4.2 に示します。

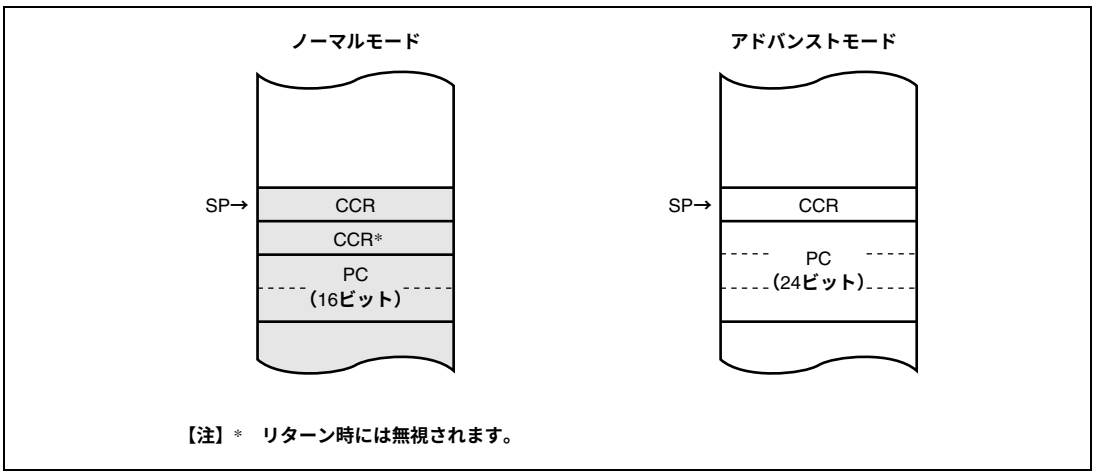


図 4.2 例外処理終了後のスタックの状態

4.7 使用上の注意事項

ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは常にワードサイズまたはロングワードサイズで行い、スタックポインタ（SP：ER7）の内容は奇数にしないでください。

すなわち、レジスタの退避は

PUSH.W Rn （MOV.W Rn, @-SP）

PUSH.L ERn （MOV.L ERn, @-SP）

また、レジスタの復帰は

POP.W Rn （MOV.W @SP+, Rn）

POP.L ERn （MOV.L @SP+, ERn）

を使用してください。

SP を奇数に設定すると誤動作の原因となります。SP を奇数に設定したときの動作例を**図** 4.3 に示します。

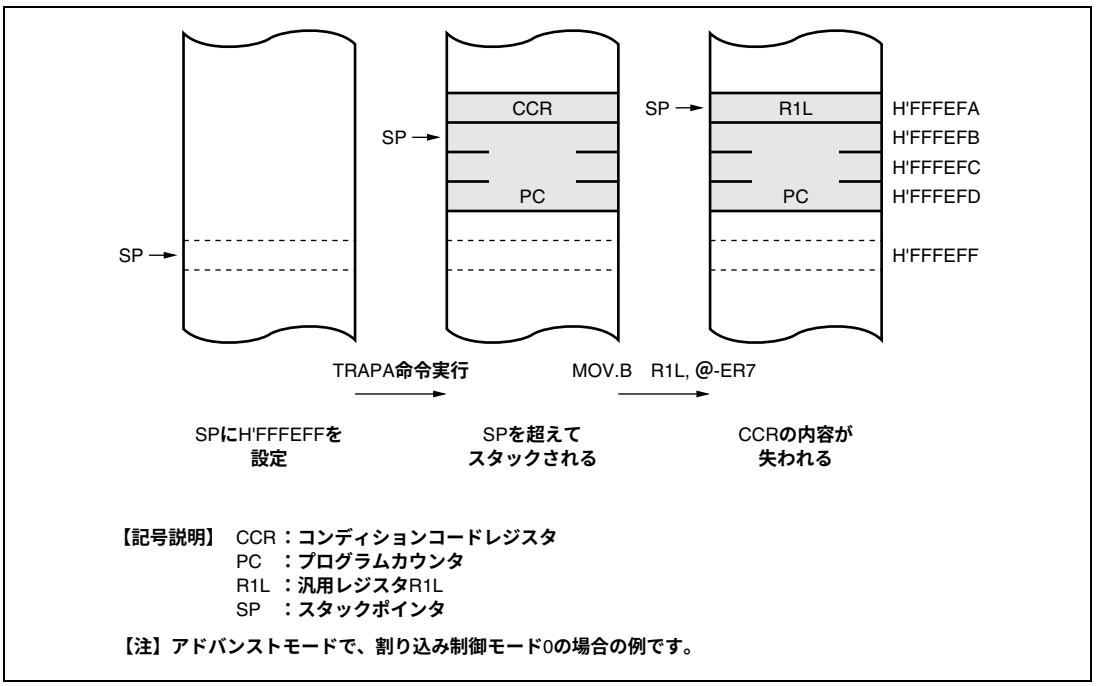


図 4.3 SP **を奇数に設定したときの動作**

5. 割り込みコントローラ

5.1 特長

- 2種類の割り込み制御モード

  システムコントロールレジスタ（SYSCR）のINTM1、INTM0ビットにより2種類の割り込み制御モードを設定できます。

- ICRにより、優先順位を設定可能

  インタラプトコントロールレジスタ（ICR）により、NMI、KIN、WUE以外の割り込み要求にはモジュールごとに3レベルの優先順位を設定できます。

- 独立したベクタアドレス

  すべての割り込み要因には独立したベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。

- 35本の外部割り込み端子

  NMIは最優先の割り込みで常に受け付けられます。NMIは立ち上がりエッジまたは立ち下がりエッジを選択できます。$\overline{\text{IRQ15}}$～$\overline{\text{IRQ0}}$は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。$\overline{\text{KIN9}}$～$\overline{\text{KIN0}}$、$\overline{\text{WUE15}}$～$\overline{\text{WUE8}}$は立ち下がりエッジで割り込みが要求されます。

- DTCの制御

  割り込み要求によりDTCを起動することができます。

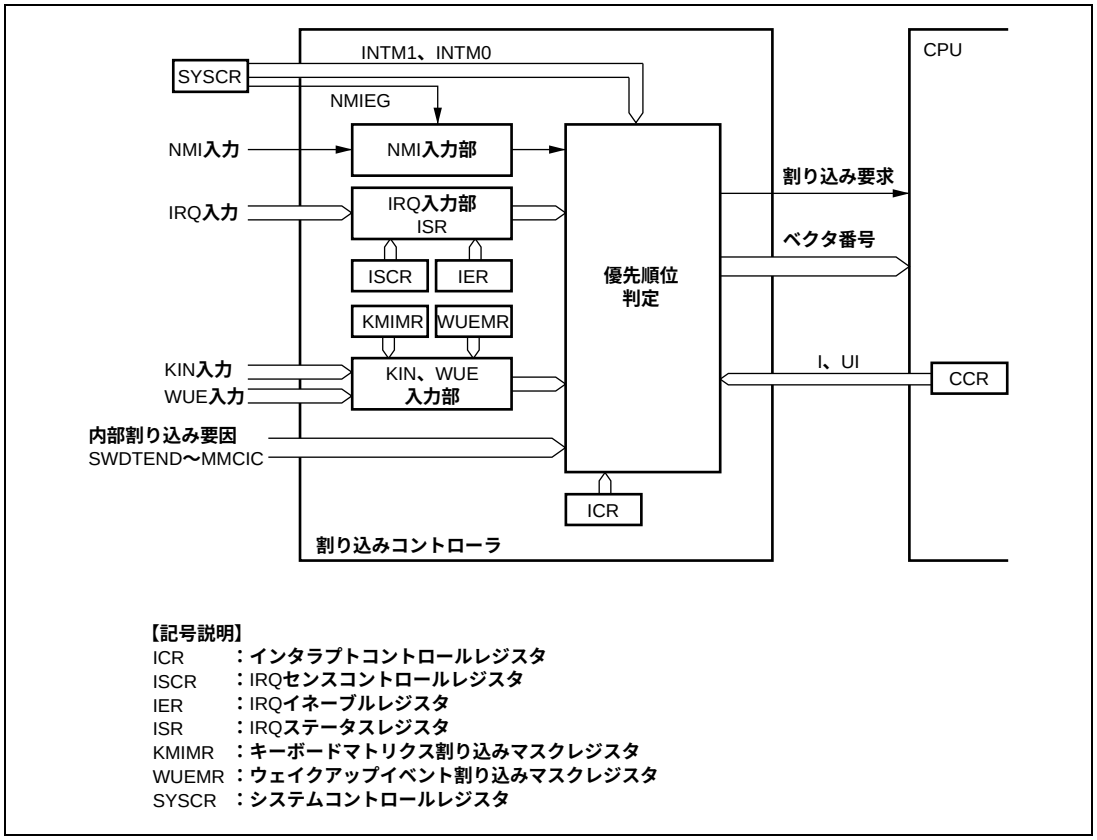


図 5.1 割り込みコントローラのブロック図

5.2 入出力端子

割り込みコントローラの端子構成を**表** 5.1 に示します。

表 5.1 **端子構成**

記　号	入出力	機　能
NMI	入力	ノンマスカブル外部割り込み端子 立ち上がりエッジまたは立ち下がりエッジを選択可能です。
$\overline{\text{IRQ15}}$～$\overline{\text{IRQ0}}$ $\overline{\text{ExIRQ15}}$～$\overline{\text{ExIRQ2}}$	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを独立に選択可能です。IRQ15～IRQ2 割り込みは、$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ のどの端子から入力するかを選択できます。
$\overline{\text{KIN9}}$～$\overline{\text{KIN0}}$	入力	マスク可能な外部割り込み 立ち下がりエッジで割り込みを要求します。
$\overline{\text{WUE15}}$～$\overline{\text{WUE8}}$	入力	マスク可能な外部割り込み 立ち下がりエッジで割り込みを要求します。

5.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。システムコントロールレジスタ（SYSCR）については「3.2.2 **システムコントロールレジスタ**（SYSCR）」を、IRQ センスポートセレクトレジスタ（ISSR16、ISSR）については「9.11.1 IRQ **センスポートセレクトレジスタ** 16（ISSR16）、IRQ **センスポートセレクトレジスタ**（ISSR）」を参照してください。

- **インタラプトコントロールレジスタ**A～D（ICRA～ICRD）
- **アドレスブレークコントロールレジスタ**（ABRKCR）
- **ブレークアドレスレジスタ**A～C（BARA～BARC）
- IRQ**センスコントロールレジスタ**（ISCR16H、ISCR16L、ISCRH、ISCRL）
- IRQ**イネーブルレジスタ**（IER16、IER）
- IRQ**ステータスレジスタ**（ISR16、ISR）
- **キーボードマトリクス割り込みマスクレジスタ**（KMIMRA、KMIMR6）
- **ウェイクアップイベント割り込みマスクレジスタ**（WUEMR3）

5.3.1 インタラプトコントロールレジスタ A～D（ICRA～ICRD）

ICR は、NMI を除く割り込みのコントロールレベルを設定します。各割り込み要因と ICRA～ICRD の対応を**表** 5.2 に示します。

ビット	ビット名	初期値	R/W	説　明
7～0	ICRn7～ ICRn0	すべて 0	R/W	割り込みコントロールレベル 0：対応する割り込み要因は割り込みコントロールレベル 0（非優先） 1：対応する割り込み要因は割り込みコントロールレベル 1（優先）

【注】 n：A～D

表 5.2 **各割り込み要因と** ICR **の対応**

ビット	ビット名	レジスタ			
		ICRA	ICRB	ICRC	ICRD
7	ICRn7	IRQ0	A/D 変換器	SCI_0	IRQ8～IRQ11
6	ICRn6	IRQ1	FRT	SCI_1	IRQ12～IRQ15
5	ICRn5	IRQ2、IRQ3	－	SCI_2	－
4	ICRn4	IRQ4、IRQ5	TMR_X	IIC_0	－
3	ICRn3	IRQ6、IRQ7	TMR_0	IIC_1	－
2	ICRn2	DTC	TMR_1	－	－
1	ICRn1	WDT_0	TMR_Y	－	－
0	ICRn0	WDT_1	－	USB	MCIF

【注】 n：A～D

－：リザーブビットです。0 をライトしてください。

5.3.2 アドレスブレークコントロールレジスタ（ABRKCR）

ABRKCR は、アドレスブレークの制御を行います。CMF フラグ、BIE フラグがいずれも 1 にセットされるとアドレスブレークが要求されます。

ビット	ビット名	初期値	R/W	説　明
7	CMF	不定	R	コンディションマッチフラグ アドレスブレーク要因フラグです。BARA～BARC で設定したアドレスをプリフェッチしたことを示します。 ［クリア条件］ アドレスブレーク割り込みを例外処理を実行したとき ［セット条件］ BIE フラグが 1 のとき、BARA～BARC で設定したアドレスのプリフェッチを実行したとき
6～1	—	すべて 0	R	リザーブビットです。 リードすると常に 0 が読み出されます。ライトは無効です。
0	BIE	0	R/W	ブレーク割り込みイネーブル アドレスブレークの許可/禁止を選択します。 0：禁止 1：許可

5.3.3 ブレークアドレスレジスタ A～C（BARA～BARC）

BAR は、ブレークアドレスを発生させるアドレスを指定します。ブレークアドレスは、命令の第 1 バイトが存在するアドレスに設定してください。ノーマルモードでは、アドレス A23～A16 は比較されません。

- BARA

ビット	ビット名	初期値	R/W	説　明
7～0	A23～A16	すべて 0	R/W	アドレス 23～16 A23～A16 ビットは、内部アドレスバスの A23～A16 と比較されます。

- BARB

ビット	ビット名	初期値	R/W	説　明
7～0	A15～A8	すべて 0	R/W	アドレス 15～8 A15～A8 ビットは、内部アドレスバスの A15～A8 と比較されます。

- BARC

ビット	ビット名	初期値	R/W	説　明
7～1	A7～A1	すべて 0	R/W	アドレス 7～1 A7～A1 ビットは、内部アドレスバスの A7～A1 と比較されます。
0	—	0	R	リザーブビットです。 リードすると常に 0 が読み出されます。ライトは無効です。

5.3.4 IRQ センスコントロールレジスタ（ISCR16H、ISCR16L、ISCRH、ISCRL）

ISCR は、$\overline{\text{IRQ15}}$～$\overline{\text{IRQ0}}$ 端子または $\overline{\text{ExIRQ15}}$～$\overline{\text{ExIRQ2}}$ 端子から割り込み要求を発生させる要因を選択します。

なお、$\overline{\text{IRQ15}}$～$\overline{\text{IRQ2}}$ 端子と $\overline{\text{ExIRQ15}}$～$\overline{\text{ExIRQ2}}$ 端子の切り替えは、IRQ センスポートセレクトレジスタ 16（ISSR16）、IRQ センスポートセレクトレジスタ（ISSR）で行います。

- ISCR16H

ビット	ビット名	初期値	R/W	説　明
7	IRQ15SCB	0	R/W	IRQn センスコントロール B
6	IRQ15SCA	0	R/W	IRQn センスコントロール A
5	IRQ14SCB	0	R/W	00：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の Low レベルで割り込み要求を発生
4	IRQ14SCA	0	R/W	01：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がりエッジで割り込み要求を発生
3	IRQ13SCB	0	R/W	10：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生
2	IRQ13SCA	0	R/W	11：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
1	IRQ12SCB	0	R/W	（n=15～12）
0	IRQ12SCA	0	R/W	

- ISCR16L

ビット	ビット名	初期値	R/W	説　明
7	IRQ11SCB	0	R/W	IRQn センスコントロール B
6	IRQ11SCA	0	R/W	IRQn センスコントロール A
5	IRQ10SCB	0	R/W	00：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の Low レベルで割り込み要求を発生
4	IRQ10SCA	0	R/W	01：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がりエッジで割り込み要求を発生
3	IRQ9SCB	0	R/W	10：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生
2	IRQ9SCA	0	R/W	11：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
1	IRQ8SCB	0	R/W	（n=11～8）
0	IRQ8SCA	0	R/W	

- ISCRH

ビット	ビット名	初期値	R/W	説　明
7	IRQ7SCB	0	R/W	IRQn センスコントロール B
6	IRQ7SCA	0	R/W	IRQn センスコントロール A
5	IRQ6SCB	0	R/W	00：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の Low レベルで割り込み要求を発生
4	IRQ6SCA	0	R/W	01：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がりエッジで割り込み要求を発生
3	IRQ5SCB	0	R/W	10：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち上がりエッジで割り込み要求を発生
2	IRQ5SCA	0	R/W	11：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
1	IRQ4SCB	0	R/W	（n=7～4）
0	IRQ4SCA	0	R/W	

• ISCRL

ビット	ビット名	初期値	R/W	説　明
7	IRQ3SCB	0	R/W	IRQn センスコントロール B
6	IRQ3SCA	0	R/W	IRQn センスコントロール A
5	IRQ2SCB	0	R/W	00：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$*入力の Low レベルで割り込み要求を発生
4	IRQ2SCA	0	R/W	01：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$*入力の立ち下がりエッジで割り込み要求を発生
3	IRQ1SCB	0	R/W	10：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$*入力の立ち上がりエッジで割り込み要求を発生
2	IRQ1SCA	0	R/W	11：$\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$*入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
1	IRQ0SCB	0	R/W	（n=3〜0）
0	IRQ0SCA	0	R/W	【注】＊　$\overline{\text{ExIRQn}}$ は $\overline{\text{ExIRQ3}}$、$\overline{\text{ExIRQ2}}$ が対象になります。

5.3.5 IRQ イネーブルレジスタ（IER16、IER）

IER は、IRQ15〜IRQ0 割り込み要求をイネーブルにします。

• IER16

ビット	ビット名	初期値	R/W	説　明
15	IRQ15E	0	R/W	IRQn イネーブル（n=15〜8）
14	IRQ14E	0	R/W	このビットが 1 のとき IRQn 割り込み要求がイネーブルになります。
13	IRQ13E	0	R/W	
12	IRQ12E	0	R/W	
11	IRQ11E	0	R/W	
10	IRQ10E	0	R/W	
9	IRQ9E	0	R/W	
8	IRQ8E	0	R/W	

• IER

ビット	ビット名	初期値	R/W	説　明
7	IRQ7E	0	R/W	IRQn イネーブル（n=7〜0）
6	IRQ6E	0	R/W	このビットが 1 のとき IRQn 割り込み要求がイネーブルになります。
5	IRQ5E	0	R/W	
4	IRQ4E	0	R/W	
3	IRQ3E	0	R/W	
2	IRQ2E	0	R/W	
1	IRQ1E	0	R/W	
0	IRQ0E	0	R/W	

5.3.6 IRQ ステータスレジスタ（ISR16、ISR）

ISR は、IRQ15～IRQ0 割り込み要求フラグレジスタです。

- ISR16

ビット	ビット名	初期値	R/W	説　明
7	IRQ15F	0	R/W	[セット条件]
6	IRQ14F	0	R/W	• ISCR で選択した割り込み要因が発生したとき
5	IRQ13F	0	R/W	[クリア条件]
4	IRQ12F	0	R/W	• 1 の状態をリードした後、0 をライトしたとき
3	IRQ11F	0	R/W	• Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$ 入力が High レベルの状態で、割り込み例外処理を実行したとき（n=15～8）
2	IRQ10F	0	R/W	
1	IRQ9F	0	R/W	• 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき
0	IRQ8F	0	R/W	

- ISR

ビット	ビット名	初期値	R/W	説　明
7	IRQ7F	0	R/W	[セット条件]
6	IRQ6F	0	R/W	• ISCR で選択した割り込み要因が発生したとき
5	IRQ5F	0	R/W	[クリア条件]
4	IRQ4F	0	R/W	• 1 の状態をリードした後、0 をライトしたとき
3	IRQ3F	0	R/W	• Low レベル検出設定の状態かつ $\overline{\text{IRQn}}$ または $\overline{\text{ExIRQn}}$*入力が High レベルの状態で、割り込み例外処理を実行したとき（n=7～0）
2	IRQ2F	0	R/W	
1	IRQ1F	0	R/W	• 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき
0	IRQ0F	0	R/W	【注】＊ $\overline{\text{ExIRQn}}$ は $\overline{\text{ExIRQ7}}$～$\overline{\text{ExIRQ2}}$ が対象になります。

5.3.7 キーボードマトリクス割り込みマスクレジスタ（KMIMRA、KMIMR6）ウェイクアップイベント割り込みマスクレジスタ（WUEMR3）

KMIMR、WUEMR は、キーセンス割り込み入力（$\overline{\text{KIN9}}$～$\overline{\text{KIN0}}$）およびウェイクアップイベント割り込み入力（$\overline{\text{WUE15}}$～$\overline{\text{WUE8}}$）のマスク制御を行います。

- KMIMRA

ビット	ビット名	初期値	R/W	説　明
7～2	−	すべて 1	R/W	リザーブビット 0 にクリアしないでください。
1	KMIM9	1	R/W	キーボードマトリクス割り込みマスク
0	KMIM8	1	R/W	キーセンス入力割り込み要求（KIN9、KIN8）を制御します。 0：キーセンス入力割り込み要求を許可 1：キーセンス入力割り込み要求を禁止

- KMIMR6

ビット	ビット名	初期値	R/W	説　明
7	KMIM7	1	R/W	キーボードマトリクス割り込みマスク
6	KMIM6	1	R/W	キーセンス入力割り込み要求（KIN7～KIN0）を制御します。
5	KMIM5	1	R/W	0：キーセンス入力割り込み要求を許可
4	KMIM4	1	R/W	1：キーセンス入力割り込み要求を禁止
3	KMIM3	1	R/W	
2	KMIM2	1	R/W	
1	KMIM1	1	R/W	
0	KMIM0	1	R/W	

- WUEMR3

ビット	ビット名	初期値	R/W	説　明
7	WUEM15	1	R/W	ウェイクアップイベント割り込みマスク
6	WUEM14	1	R/W	ウェイクアップイベント入力割り込み要求（WUE15～WUE8）を制御します。
5	WUEM13	1	R/W	0：ウェイクアップイベント入力割り込み要求を許可
4	WUEM12	1	R/W	1：ウェイクアップイベント入力割り込み要求を禁止
3	WUEM11	1	R/W	
2	WUEM10	1	R/W	
1	WUEM9	1	R/W	
0	WUEM8	1	R/W	

5.4 割り込み要因

5.4.1 外部割り込み要因

外部割り込みには、NMI、IRQ15～IRQ0、KIN9～KIN0、WUE15～WUE8 の割り込み要因があります。これらは、すべてソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

ノンマスカブル割り込み要求 NMI は最優先の外部割り込み要求で、割り込み制御モードや CPU の割り込みマスクビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジと立ち下がりエッジのいずれで割り込み要求を発生させるか、SYSCR の NMIEG ビットで選択できます。

(2) IRQ15～IRQ0 割り込み

IRQ15～IRQ0 割り込みは $\overline{\text{IRQ15}}$～$\overline{\text{IRQ0}}$ 端子または $\overline{\text{ExIRQ15}}$～$\overline{\text{ExIRQ2}}$ 端子の入力信号により割り込み要求を発生します。IRQ15～IRQ0 割り込みには以下の特長があります。

- IRQ15～IRQ0割り込み要求により、独立のベクタアドレスで割り込み例外処理を開始できます。
- $\overline{\text{IRQ15}}$～$\overline{\text{IRQ0}}$端子または$\overline{\text{ExIRQ15}}$～$\overline{\text{ExIRQ2}}$端子のLowレベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれで割り込み要求を発生させるか、ISCRで選択できます。
- IRQ15～IRQ0割り込み要求はIERによりマスクできます。
- IRQ15～IRQ0割り込み要求のステータスは、ISRに表示されます。ISRのフラグはソフトウェアで0にクリアすることができます。

IRQ15～IRQ0 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応するポートの DDR を 0 にクリアしてそのほかの機能の入出力端子としては使用しないでください。

IRQ15～IRQ0 割り込みのブロック図を**図** 5.2 に示します。

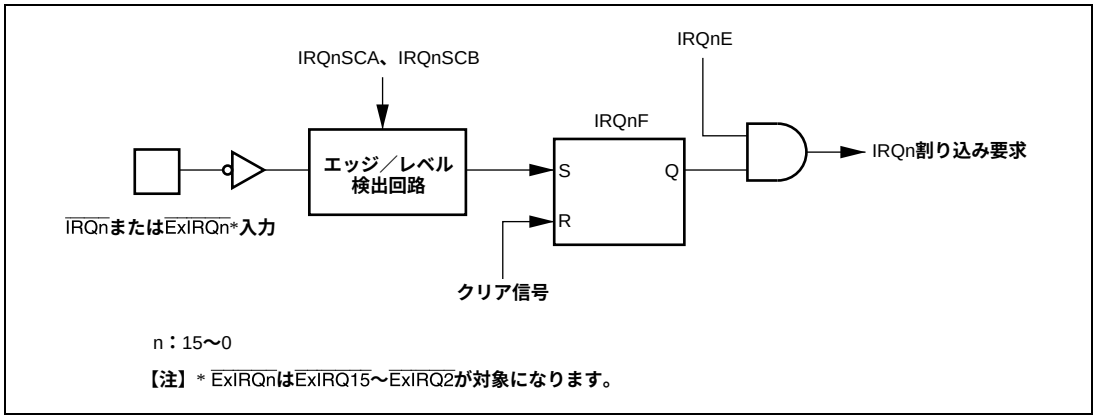


図 5.2 IRQ15～IRQ0 **割り込みのブロック図**

(3) KIN9～KIN0 割り込み、WUE15～WUE8 割り込み

KIN9～KIN0、WUE15～WUE8 割り込みは、$\overline{\text{KIN9}}$～$\overline{\text{KIN0}}$、$\overline{\text{WUE15}}$～$\overline{\text{WUE8}}$ 端子の入力信号により要求されます。KIN9～KIN0、WUE15～WUE8 割り込みには以下の特長があります。

- $\overline{\text{KIN9}}$～$\overline{\text{KIN8}}$、$\overline{\text{KIN7}}$～$\overline{\text{KIN0}}$、$\overline{\text{WUE15}}$～$\overline{\text{WUE8}}$の各々がひとつのグループとなっています。同一グループの割り込み要求は、同一のベクタアドレスから割り込み例外処理を開始します。
- 割り込み要求はCCRのIビットで制御されます。
- $\overline{\text{KIN9}}$～$\overline{\text{KIN0}}$、$\overline{\text{WUE15}}$～$\overline{\text{WUE8}}$端子の立ち下がりエッジで割り込み要求を発生します。
- KIN9～KIN0、WUE15～WUE8割り込み要求はKMIMRA、KMIMR6、WUEMR3によりマスクできます。
- KIN9～KIN0、WUE15～WUE8割り込み要求のステータスは表示されません。

KIN9～KIN0、WUE15～WUE8 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合には、対応するポートの DDR を 0 にクリアしてそのほかの機能の入出力端子としては使用しないでください。

KIN9～KIN0、WUE15～WUE8 割り込みのブロック図を**図** 5.3 に示します。

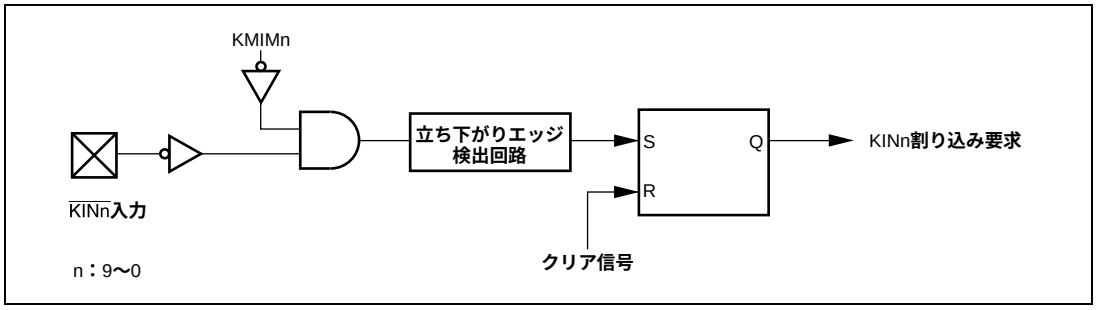


図 5.3 KIN9～KIN0、WUE15～WUE8 **割り込みのブロック図（**KIN9～KIN0 **の例）**

5.4.2 内部割り込み要因

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

1. 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグと、これらの割り込みイネーブルビットがあり、独立にマスクすることができます。イネーブルビットが1のとき割り込み要求が割り込みコントローラに送られます。
2. ICRによって割り込みのコントロールレベルを設定できます。
3. 内蔵周辺モジュールからの割り込み要求によってDTCを起動することができます。
4. 割り込み要求によってDTCを起動する場合は、割り込みモードや、CPUの割り込みマスクビットの影響を受けません。

5.5 割り込み例外処理ベクタテーブル

表 5.3 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。同一優先順位に設定されたモジュールはデフォルトの優先順位に従います。モジュール内の優先順位は固定されています。

ICR のビットが割り当てられているモジュールは、割り込みコントロールレベルを設定することができます。割り込みコントロールレベルと CCR の I、UI ビットにより、コントロールレベル 1（優先）に設定したモジュールの割り込みは、コントロールレベル 0（非優先）に設定したモジュールの割り込みより優先して処理できます。

表 5.3 **割り込み要因とベクタアドレスおよび割り込み優先順位一覧**

割り込み要因発生元	名　称	ベクタ番号	ベクタアドレス		ICR	優先順位
			ノーマルモード	アドバンストモード		
外部端子	NMI	7	H'000E	H'00001C	—	高
	IRQ0	16	H'0020	H'000040	ICRA7	▲
	IRQ1	17	H'0022	H'000044	ICRA6	
	IRQ2 IRQ3	18 19	H'0024 H'0026	H'000048 H'00004C	ICRA5	
	IRQ4 IRQ5	20 21	H'0028 H'002A	H'000050 H'000054	ICRA4	
	IRQ6 IRQ7	22 23	H'002C H'002E	H'000058 H'00005C	ICRA3	
DTC	SWDTEND（ソフトウェア起動データ転送終了）	24	H'0030	H'000060	ICRA2	
WDT_0	WOVI0（インターバルタイマ）	25	H'0032	H'000064	ICRA1	
WDT_1	WOVI1（インターバルタイマ）	26	H'0034	H'000068	ICRA0	
—	アドレスブレーク	27	H'0036	H'00006C	—	
A/D 変換器	ADI（A/D 変換終了）	28	H'0038	H'000070	ICRB7	低

割り込み要因発生元	名　称	ベクタ番号	ベクタアドレス		ICR	優先順位
			ノーマルモード	アドバンストモード		
—	**システム予約**	29	H'003A	H'000074	—	高
外部端子	KIN7～KIN0	30	H'003C	H'000078	—	▲
	KIN9、KIN8	31	H'003E	H'00007C		
	システム予約	32	H'0040	H'000080		
	WUE15～WUE8	33	H'0042	H'000084		
RFU	DTI0	34	H'0044	H'000088	—	
	DTI1	35	H'0046	H'00008C		
	DTI2	36	H'0048	H'000090		
	DTI3	37	H'004A	H'000094		
	システム予約	38	H'004C	H'000098		
	システム予約	39	H'004E	H'00009C		
	システム予約	40	H'0050	H'0000A0		
	システム予約	41	H'0052	H'0000A4		
	DTIE	42	H'0054	H'0000A8		
	システム予約	43	H'0056	H'0000AC		
TMR_X	CMIAX（**コンペアマッチ** A）	44	H'0058	H'0000B0	ICRB4	
	CMIBX（**コンペアマッチ** B）	45	H'005A	H'0000B4		
	OVIX（**オーバフロー**）	46	H'005C	H'0000B8		
	ICIX（**インプットキャプチャ**）	47	H'005E	H'0000BC		
FRT	ICIA（**インプットキャプチャ** A）	48	H'0060	H'0000C0	ICRB6	
	ICIB（**インプットキャプチャ** B）	49	H'0062	H'0000C4		
	ICIC（**インプットキャプチャ** C）	50	H'0064	H'0000C8		
	ICID（**インプットキャプチャ** D）	51	H'0066	H'0000CC		
	OCIA（**アウトプットコンペア** A）	52	H'0068	H'0000D0		
	OCIB（**アウトプットコンペア** B）	53	H'006A	H'0000D4		
	FOVI（**オーバフロー**）	54	H'006C	H'0000D8		
	システム予約	55	H'006E	H'0000DC		
外部端子	IRQ8	56	H'0070	H'0000E0	ICRD7	
	IRQ9	57	H'0072	H'0000E4		
	IRQ10	58	H'0074	H'0000E8		
	IRQ11	59	H'0076	H'0000EC		
	IRQ12	60	H'0078	H'0000F0	ICRD6	
	IRQ13	61	H'007A	H'0000F4		
	IRQ14	62	H'007C	H'0000F8		
	IRQ15	63	H'007E	H'0000FC		
TMR_0	CMIA0（**コンペアマッチ** A）	64	H'0080	H'000100	ICRB3	
	CMIB0（**コンペアマッチ** B）	65	H'0082	H'000104		
	OVI0（**オーバフロー**）	66	H'0084	H'000108		
	システム予約	67	H'0086	H'00010C		低

割り込み要因発生元	名　称	ベクタ番号	ベクタアドレス		ICR	優先順位
			ノーマルモード	アドバンストモード		
TMR_1	CMIA1（コンペアマッチ A）	68	H'0088	H'000110	ICRB2	高
	CMIB1（コンペアマッチ B）	69	H'008A	H'000114		
	OVI1（オーバフロー）	70	H'008C	H'000118		
	システム予約	71	H'008E	H'00011C		
TMR_Y	CMIAY（コンペアマッチ A）	72	H'0090	H'000120	ICRB1	
	CMIBY（コンペアマッチ B）	73	H'0092	H'000124		
	OVIY（オーバフロー）	74	H'0094	H'000128		
	システム予約	75	H'0096	H'00012C		
−	システム予約	76	H'0098	H'000130	ICRC2	
		77	H'009A	H'000134		
		78	H'009C	H'000138		
		79	H'009E	H'00013C		
SCI_0	ERI0（受信エラー0）	80	H'00A0	H'000140	ICRC7	
	RXI0（受信完了 0）	81	H'00A2	H'000144		
	TXI0（送信データエンプティ 0）	82	H'00A4	H'000148		
	TEI0（送信終了 0）	83	H'00A6	H'00014C		
SCI_1	ERI1（受信エラー1）	84	H'00A8	H'000150	ICRC6	
	RXI1（受信完了 1）	85	H'00AA	H'000154		
	TXI1（送信データエンプティ 1）	86	H'00AC	H'000158		
	TEI1（送信終了 1）	87	H'00AE	H'00015C		
SCI_2	ERI2（受信エラー2）	88	H'00B0	H'000160	ICRC5	
	RXI2（受信完了 2）	89	H'00B2	H'000164		
	TXI2（送信データエンプティ 2）	90	H'00B4	H'000168		
	TEI2（送信終了 2）	91	H'00B6	H'00016C		
IIC_0	IICC0	92	H'00B8	H'000170	ICRC4	
	IICM0	93	H'00BA	H'000174		
	IICR0	94	H'00BC	H'000178		
	IICT0	95	H'00BE	H'00017C		
IIC_1	IICC1	96	H'00C0	H'000180	ICRC3	
	IICM1	97	H'00C2	H'000184		
	IICR1	98	H'00C4	H'000188		
	IICT1	99	H'00C6	H'00018C		
−	システム予約	100	H'00C8	H'000190	ICRB0	
		101	H'00CA	H'000194		
		102	H'00CC	H'000198		
		103	H'00CE	H'00019C		
−	システム予約	104	H'00D0	H'0001A0	ICRC1	
		105	H'00D2	H'0001A4		
		106	H'00D4	H'0001A8		
		107	H'00D6	H'0001AC		低

割り込み要因発生元	名　称	ベクタ番号	ベクタアドレス		ICR	優先順位
			ノーマルモード	アドバンストモード		
USB	USBI0	108	H'00D8	H'0001B0	ICRC0	高
	USBI1	109	H'00DA	H'0001B4		▲
	USBI2	110	H'00DC	H'0001B8		
	USBI3	111	H'00DE	H'0001BC		
MCIF	MMCIA	112	H'00E0	H'0001C0	ICRD0	
	MMCIB	113	H'00E2	H'0001C4		
	MMCIC	114	H'00E4	H'0001C8		低

5.6　割り込み制御モードと割り込み動作

割り込みコントローラには割り込み制御モード 0 と割り込み制御モード 1 の 2 種類のモードがあり、割り込み制御モードによって動作が異なります。NMI 割り込みおよびアドレスブレーク割り込みは、リセット状態やハードウェアスタンバイ状態を除き常に受け付けられます。割り込み制御モードの選択は SYSCR で行います。**表** 5.4 に割り込み制御モードを示します。

表 5.4　**割り込み制御モード**

割り込み制御モード	SYSCR		優先順位設定レジスタ	割り込みマスクビット	説　明
	INTM1	INTM0			
0	0	0	ICR	I	**I ビットにより割り込みマスク制御を行います。**ICR **により優先順位の設定ができます。**
1		1	ICR	I、UI	**I、UI ビットにより 3 レベルの割り込みマスク制御を行います。**ICR **により優先順位の設定ができます。**

図 5.4 に優先順位判定回路のブロック図を示します。

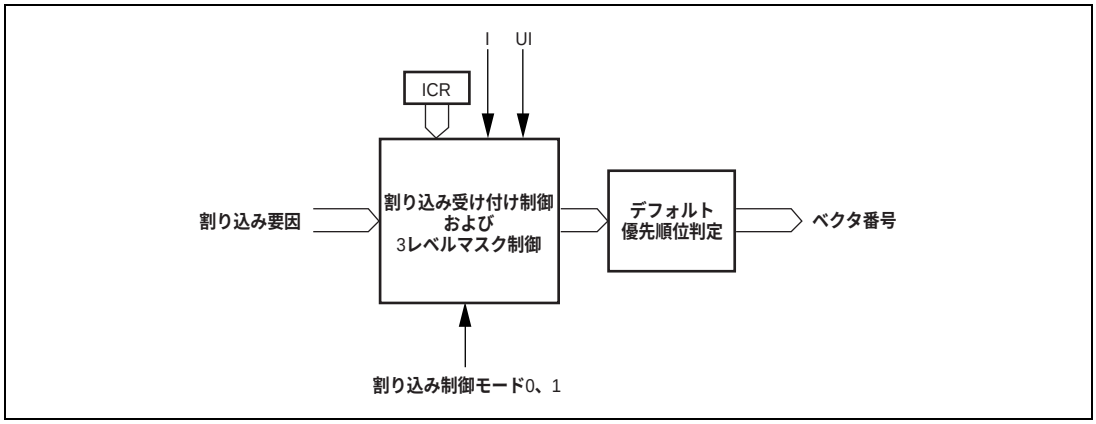


図 5.4　**割り込み制御動作のブロック図**

(1) 割り込み受け付け制御および 3 レベル制御

割り込み制御モード 0、1 のとき、CCR の I、UI ビット、および ICR（割り込みコントロールレベル）により割り込み受け付け制御、3 レベルのマスク制御を行います。

表 5.5 に、割り込み制御モードと選択可能な割り込みについて示します。

表 5.5 各割り込み制御モードで受け付けられる割り込み

割り込み制御モード	I ビット	UI ビット	NMI、アドレスブレーク	KIN、WUE、DTI	周辺機能割り込み
0	0	＊	○	○	○（すべての割り込み）＊
	1	＊	○	×	×
1	0	＊	○	○	○（すべての割り込み）＊
	1	0	○	×	○（ICR＝1 の割り込み）
		1	○	×	×

【記号説明】 ＊：Don't care

【注】 ＊ 割り込みコントロールレベル 1 を優先

(2) デフォルト優先順位判定

選択された割り込みについて優先順位を判定し、ベクタ番号を生成します。

ICR に対して同じ値を設定した場合には、複数の割り込み要因の受け付けが許可されることになるため、あらかじめデフォルトで設定した優先順位に従って最も優先順位の高い割り込み要因のみを選択し、ベクタ番号を生成します。

受け付けられた割り込み要因よりも低い優先順位をもった割り込み要因は保留されます。

表 5.6 に割り込み制御モードと動作および制御信号機能を示します。

表 5.6 割り込み制御モードと動作および制御信号機能

割り込み制御モード	設定		割り込み受け付け制御 3 レベル制御				デフォルト優先順位判定	T（トレース）
	INTM1	INTM0		I	UI	ICR		
0	0	0	○	IM	−	PR	○	−
1		1	○	IM	IM	PR	○	−

【記号説明】

○： 割り込み動作制御を行います。

IM： 割り込みマスクビットとして使用します。

PR： 優先順位を設定します。

−：使用しません。

5.6.1 割り込み制御モード 0

割り込み制御モード 0 では NMI を除く割り込み要求は、ICR および CPU の CCR の I ビットによってマスクされます。ただし、KIN、WUE、DTI の割り込みは I ビットが 0 のときは割り込み要求を受け付けられます。I ビットが 1 のときは割り込み要求を保留します。割り込み受け付け動作のフローチャートを**図** 5.5 に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 割り込みコントローラは、ICRに設定された割り込みコントロールレベルに従って優先度の高い割り込みコントロールレベル1の割り込み要求を選択し、割り込みコントロールレベル0の割り込み要求は保留します。このとき、複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択してCPUに対して割り込み処理を要求し、その他は保留します。
3. CCRのIビットが1にセットされているときは、割り込みコントローラはNMIとアドレスブレーク以外の割り込み要求を保留します。Iビットが0にクリアされているときは、割り込み要求を受け付けます。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのIビットを1にセットします。これにより、NMIとアドレスブレーク割り込みを除く割り込みはマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

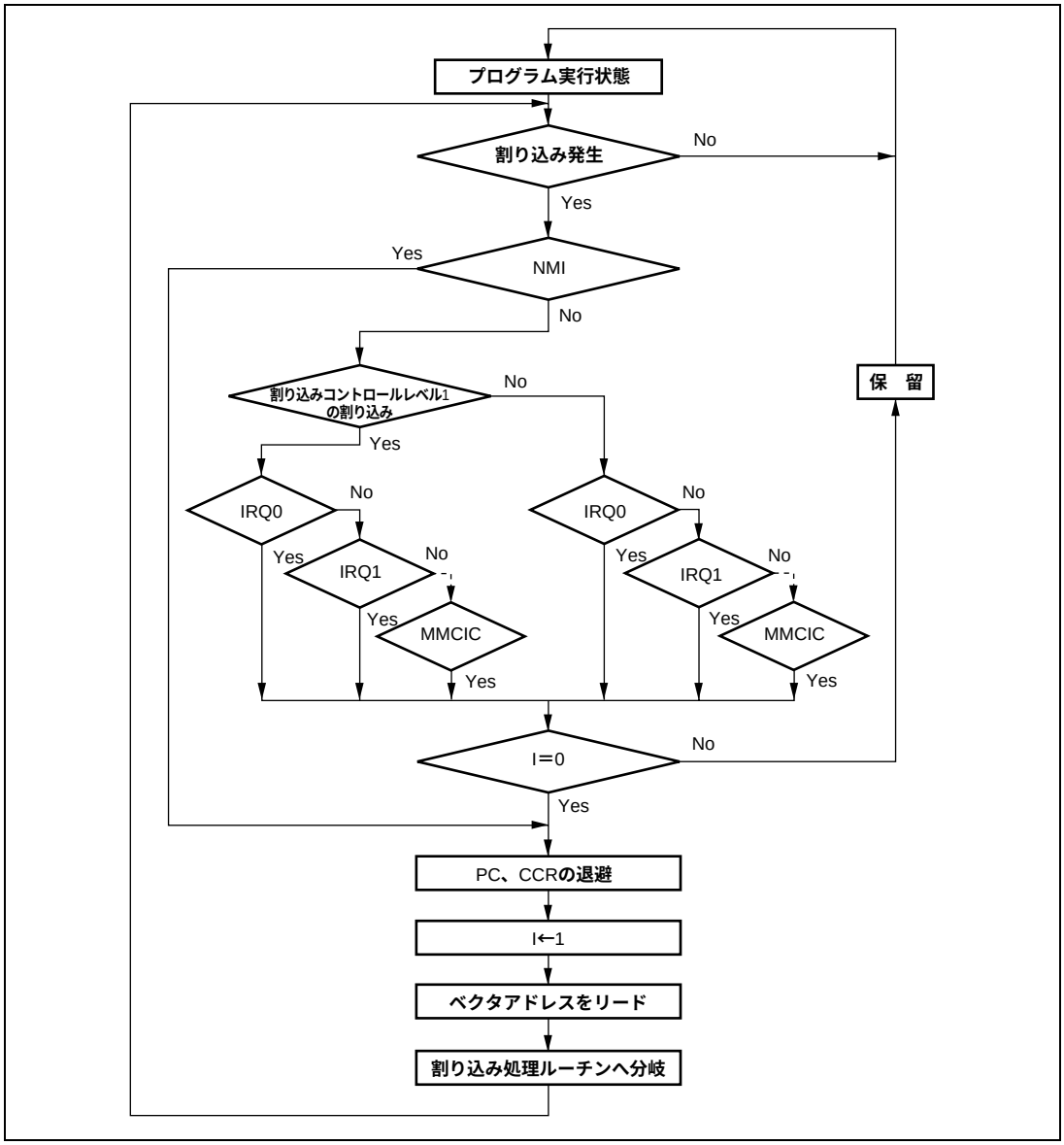


図 5.5 割り込み制御モード 0 の割り込み受け付けまでのフロー

5.6.2 割り込み制御モード 1

割り込み制御モード 1 では IRQ、および内蔵周辺モジュールの割り込みは、CPU の CCR の I、UI ビット、および ICR によって 3 レベルのマスク制御を行います。ただし、KIN、WUE、DTI の割り込みは I ビットが 0 のときは割り込み要求を受け付けられます。I ビットが 1 のときは割り込み要求を保留します。

- 割り込みコントロールレベル0の割り込み要求は、CCRのIビットが0にクリアされているときは割り込み要求を受け付けます。Iビットが1にセットされているときは割り込み要求を保留します。
- 割り込みコントロールレベル1の割り込み要求は、CCRのIビット、またはUIビットが0にクリアされているときは割り込み要求を受け付けます。Iビット、およびUIビットがいずれも1にセットされているときは割り込み要求を保留します。

例えば各割り込み要求に対応する割り込みイネーブルビットを 1 にセット、ICRA～ICRD をそれぞれ H'20、H'00、H'00 に設定した場合（IRQ2、IRQ3 割り込みをコントロールレベル 1 に、その他の割り込みをコントロールレベル 0 に設定）、次のようになります。このときの状態遷移を**図** 5.6 に示します。

- I＝0のときはすべての割り込み要求を受け付けます。
  （優先順位：NMI＞IRQ2＞IRQ3＞IRQ0＞IRQ1＞アドレスブレーク…）
- I＝1、UI＝0のときはNMI、IRQ2、IRQ3、アドレスブレークの割り込み要求のみを受け付けます。
- I＝1、UI＝1のときはNMIとアドレスブレークの割り込み要求のみを受け付けます。

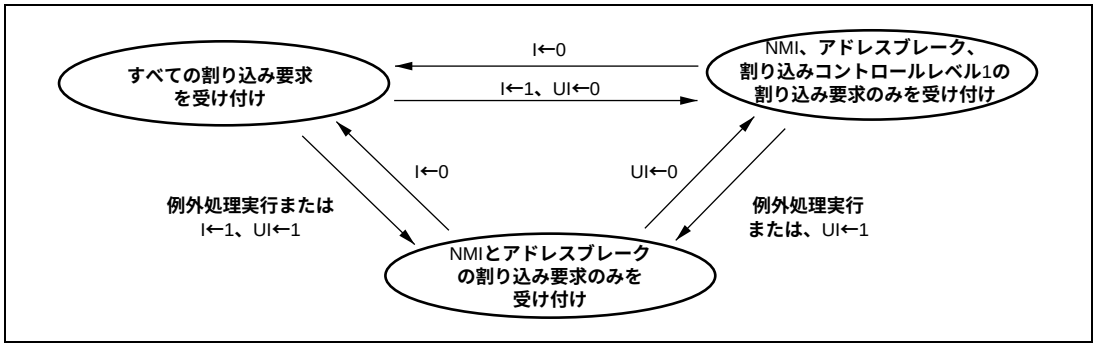


図 5.6 **割り込み制御モード 1 の状態遷移**

割り込み受け付けの動作フローチャートを**図** 5.7 に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 割り込みコントローラは、ICRに設定された割り込みコントロールレベルに従って優先度の高い割り込みコントロールレベル1の割り込み要求を選択し、割り込みコントロールレベル0の割り込み要求は保留します。このとき、複数の割り込み要求があるときは割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択してCPUに対して割り込み処理を要求し、その他は保留します。
3. 割り込みコントロールレベル1の割り込み要求は、Iビットが0にクリアされているとき、またはIビットが1にセットされ、UIビットが0にクリアされているときに受け付けます。

   割り込みコントロールレベル0の割り込み要求は、Iビットが0にクリアされているときに受け付けます。Iビットが1にセットされているときはNMIとアドレスブレークの割り込み要求のみ受け付け、その他は保留します。

   I、UIビットがいずれも1にセットされているときはNMIとアドレスブレークの割り込み要求のみ受け付け、その他は保留します。

   Iビットが0にクリアされているときは、UIビットの影響を受けません。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのI、UIビットを1にセットします。これにより、NMIとアドレスブレークを除く割り込みがマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

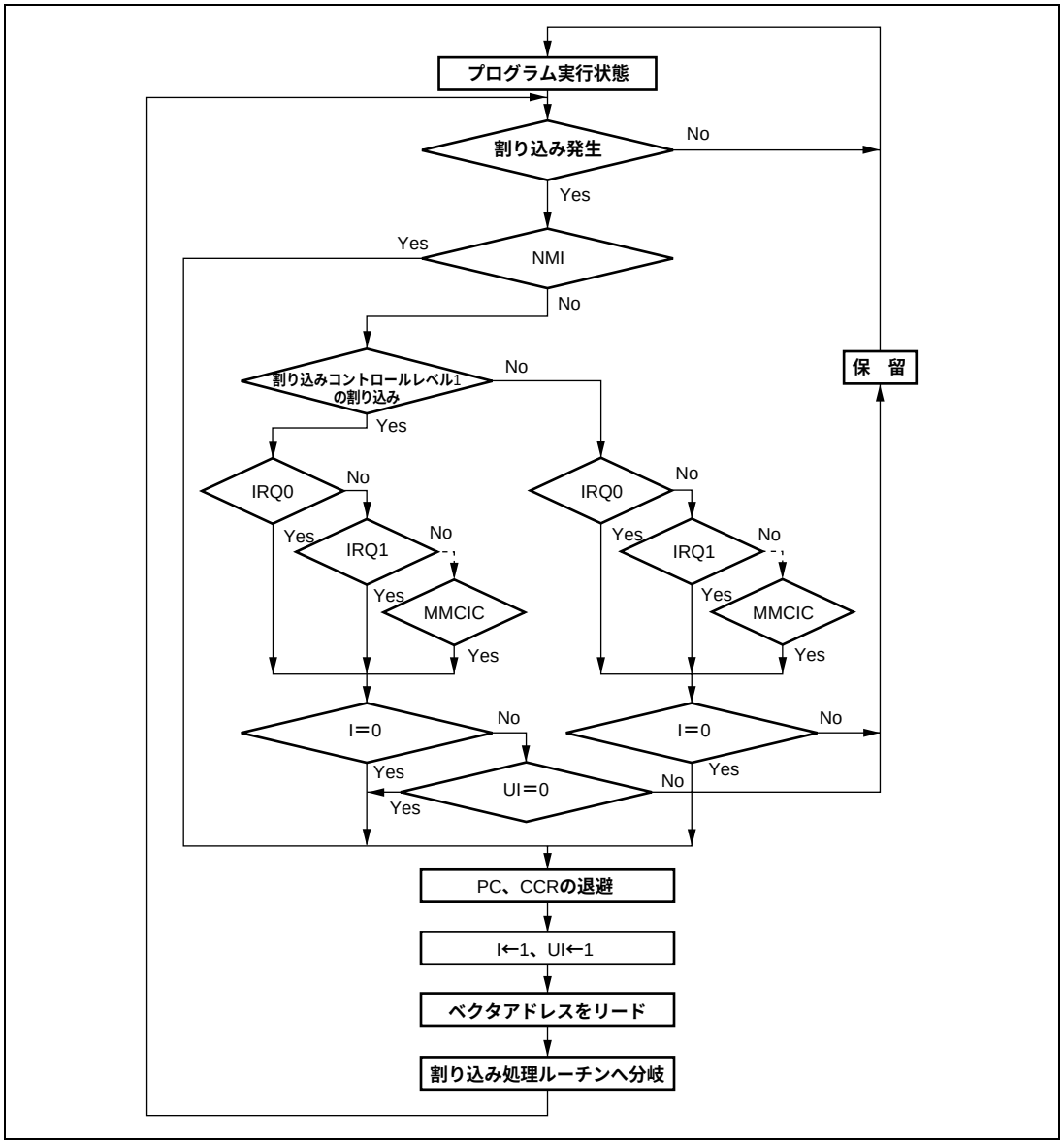


図 5.7 割り込み制御モード 1 の割り込み受け付けまでのフロー

5.6.3 割り込み例外処理シーケンス

図 5.8 に割り込み例外処理シーケンスを示します。アドバンストモードで割り込み制御モード 0、プログラム領域およびスタック領域を内蔵メモリの場合の例です。

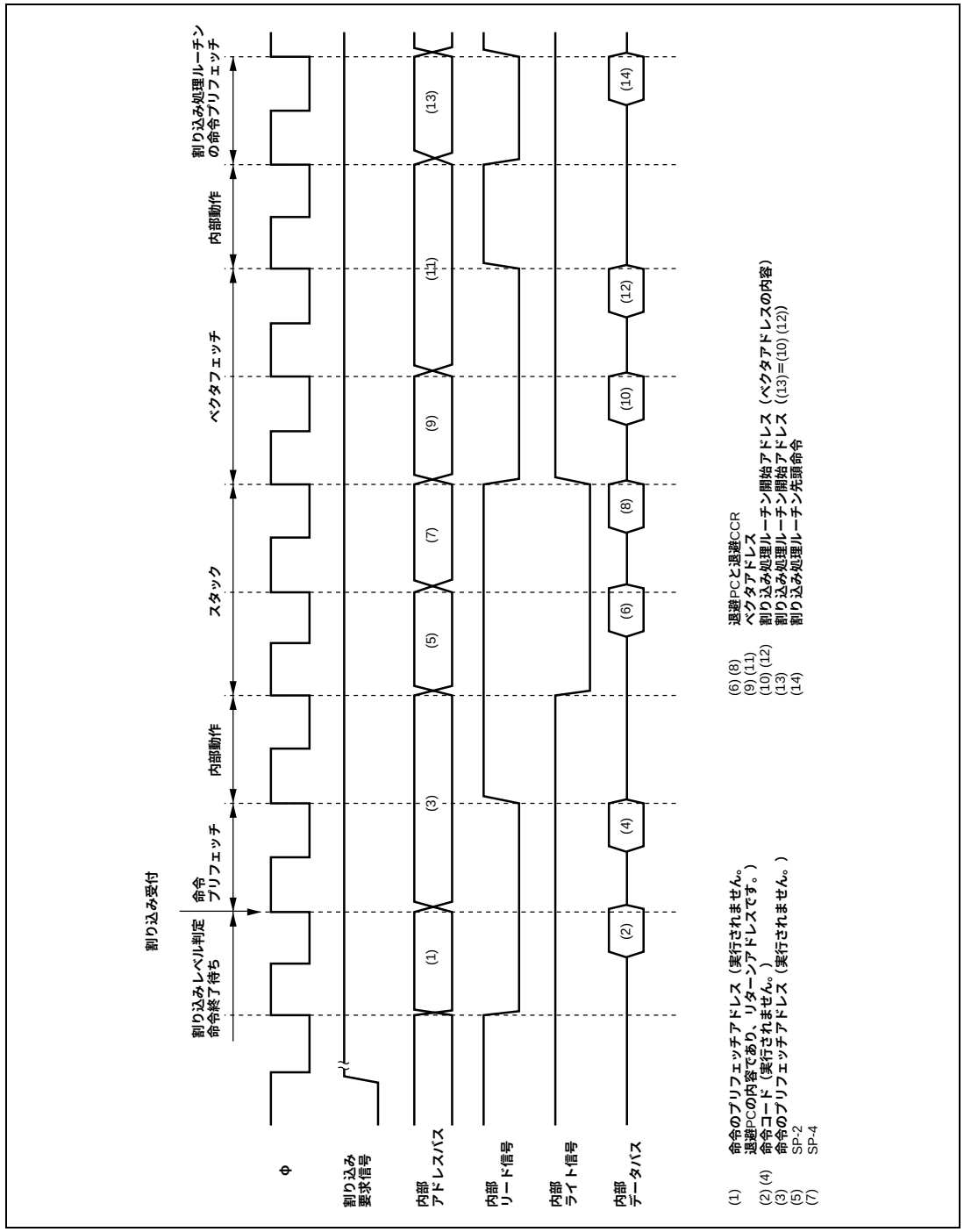


図 5.8 **割り込み例外処理**

5.6.4 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を**表** 5.7 に示します。**表** 5.7 の実行状態の記号については**表** 5.8 を参照してください。

表 5.7 **割り込み応答時間**

No.	実行状態	ノーマルモード	アドバンストモード
1	**割り込み優先順位判定***1	3	
2	**実行中の命令が終了するまでの待ちステート数***2	1～（19＋2・S_I）	
3	PC、CCR **のスタック**	2・S_K	2・S_K
4	**ベクタフェッチ**	S_I	2・S_I
5	**命令フェッチ***3	2・S_I	
6	**内部処理***4	2	
合計（内蔵メモリ使用時）		11～31	12～32

【注】 *1 **内部割り込みの場合** 2 **ステートとなります。**

*2 MULXS、DIVXS **命令について示しています。**

*3 **割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。**

*4 **割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。**

表 5.8 **割り込み例外処理の実行状態のステート数**

記　号		**アクセス対象**				
		内部メモリ	**外部デバイス**			
			8 ビットバス		**16 ビットバス**	
			2 ステート アクセス	**3 ステート アクセス**	**2 ステート アクセス**	**3 ステート アクセス**
命令フェッチ	S_I	1	4	6＋2m	2	3＋m
分岐アドレスリード	S_J					
スタック操作	S_K					

【記号説明】

m：**外部デバイスアクセス時のウェイトステート数**

5.6.5 割り込みによる DTC の起動

割り込みにより、DTC を起動することができます。この場合、以下の選択を行うことができます。

1. CPUに対する割り込み要求
2. DTCに対する起動要求
3. 1.～2.の複数の選択

なお、DTC を起動できる割り込み要求については、**「第 7 章　データトランスファコントローラ（DTC）」**を参照してください。**図** 5.9 に DTC と割り込みコントローラのブロック図を示します。

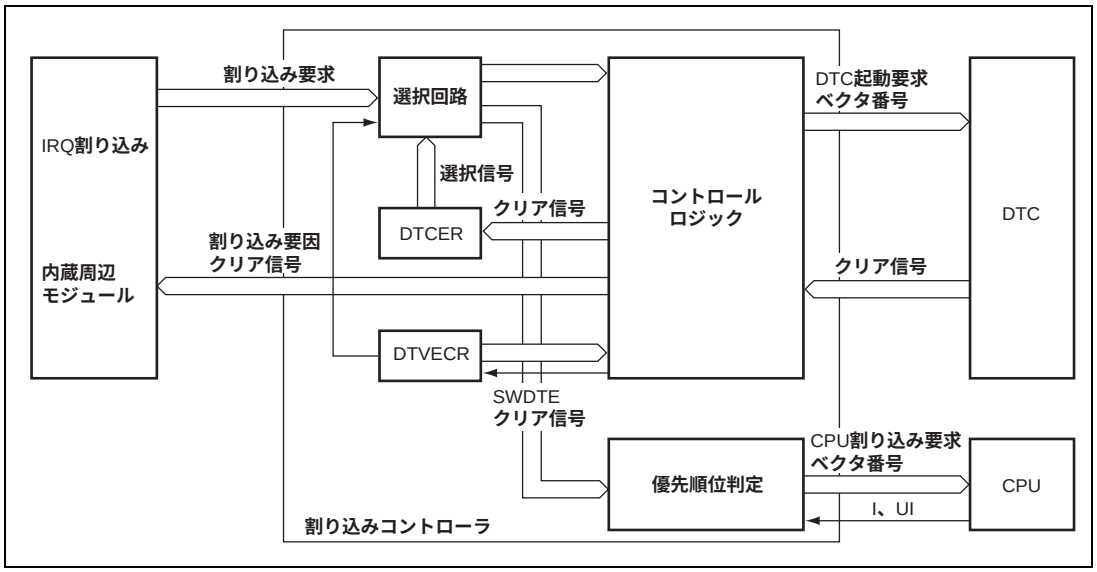


図 5.9　DTC **と割り込み制御**

DTC 制御の割り込みコントローラの機能は 3 つに大別されます。

(1) 割り込み要因の選択

割り込み要因は、DTCのDTCERA～DTCEREのDTCEビットにより、DTC起動要求とするか、CPU割り込み要求とするかを選択します。DTCのMRBのDISELビットの指定により、DTCのデータ転送後、DTCEビットを0にクリアして、CPUに割り込みを要求することができます。なお、DTCが所定回数のデータ転送を行い、転送カウンタが0になった場合には、DTCのデータ転送後、DTCEビットを0にクリアして、CPUに割り込みを要求します。

(2) 優先順位判定

DTCの起動要因はデフォルトの優先順位に従って選択されます。マスクレベルやプライオリティレベルなどの影響を受けません。それぞれの優先順位は、**「**7.4　**レジスタ情報の配置と**DTC**ベクタテーブル」**を参照してください。

(3) 動作順序

同一の割り込みをDTCの起動要因とCPUの割り込み要因に選択した場合、DTCのデータ転送が行われ、その後、CPUの割り込み例外処理が行われます。

表 5.9 に DTC の DTCERA～DTCERE の DTCE ビット、および DTC の MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

表 5.9 割り込み要因の選択とクリア制御

設定内容		割り込み要因選択・クリア制御	
DTC			
DTCE	DISEL	DTC	CPU
0	*	×	◎
1	0	◎	×
	1	○	◎

【記号説明】

◎ ：当該割り込みを使用します。割り込み要因のクリアを行います。
（CPU は割り込み処理ルーチンで、要因フラグをクリアしてください。）

○ ：当該割り込みを使用します。割り込み要因をクリアしません。

× ：当該割り込みは使用できません。

＊ ：Don't care

5.7 使用上の注意事項

5.7.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットをクリアして割り込み要求をマスクする場合、割り込みのマスクはその命令実行終了後に有効になります。BCLR 命令、MOV 命令等で割り込みイネーブルビットをクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込みはイネーブル状態にあるため、命令実行終了後にその割り込み例外処理を開始します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを 0 にクリアする場合も同様です。TMR の TCR の CMIEA ビットを 0 にクリアする場合の例を**図 5.10** に示します。なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

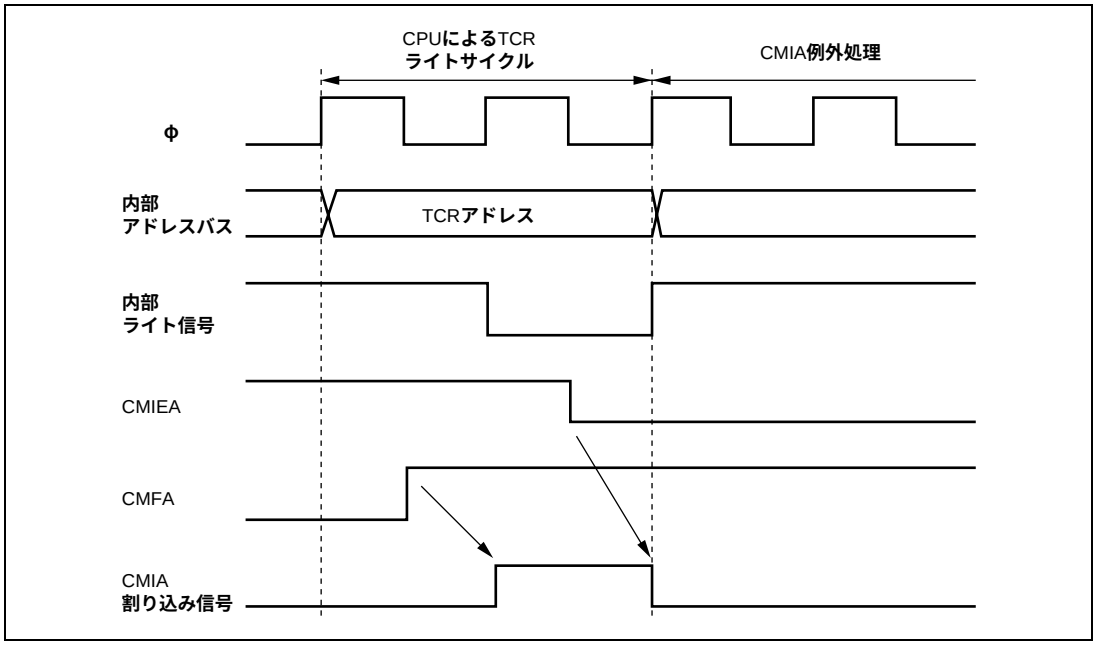


図 5.10　割り込みの発生とディスエーブルの競合

5.7.2　割り込みを禁止している命令

実行直後に割り込み要求を受け付けない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットまたは UI ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

5.7.3　EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令のときは、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は次の命令のアドレスとなります。このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:     EEPMOV.W
        MOV.W   R4,R4
        BNE     L1
```

6. バスコントローラ（BSC）

本 LSI はバスコントローラ（BSC）を内蔵しており、外部アドレス空間のバス幅、アクセスステート数などのバス仕様を設定することが可能です。また、BSC はバス調停権機能をもっており、内部バスマスタである CPU、データトランスファコントローラ（DTC）、RAM-FIFO ユニット（RFU）の動作を制御します。

6.1 特長

- **拡張エリアの分割**

  外部アドレス空間を基本拡張エリアとしてアクセス可能

  拡張モード2（アドバンストモード）で256kB拡張エリアを設定し、基本拡張エリアと独立に制御可能

  拡張モード2（アドバンストモード）でCP拡張エリアを設定し、基本拡張エリアと独立に制御可能

- **アドレス端子の節約**

  H'F80000～H'FBFFFFの256kB拡張エリアは、アドレス18本と$\overline{\text{CS256}}$信号で選択可能

  H'FFC000～H'FFDFFFのCP拡張エリア（8kB、基本モード）は、アドレス13本と$\overline{\text{CPCS1}}$信号で選択可能

  H'(FF)F000～H'(FF)F7FFの2kBは、アドレス6～11本と$\overline{\text{IOS}}$信号で選択可能

- 基本バスインタフェース

  2ステートアクセス空間／3ステートアクセス空間を選択可能

  プログラムウェイトステートを挿入可能

- メモリカードインタフェース

  CP拡張エリア中のCF拡張エリア（4kB、メモリカードモード）で、コンパクトフラッシュ*のインタフェースをサポート可能

- バーストROMインタフェース

  基本拡張エリアをバーストROMインタフェースに設定可能

  バーストアクセスは1または2ステートを選択可能

- アイドルサイクル挿入

  外部リードサイクルの直後の外部ライトサイクル時、アイドルサイクルを挿入可能

- バス権調停機能（バスアービトレーション）

  バスアービタを内蔵し、CPU、DTC、およびRFUのバス権を調停

【注】 ＊ **コンパクトフラッシュ（**Compact FLASH™**）は米国** San Disk **社の商標であり、**CFA（Compact Flash™ Association）**へライセンスされています。**

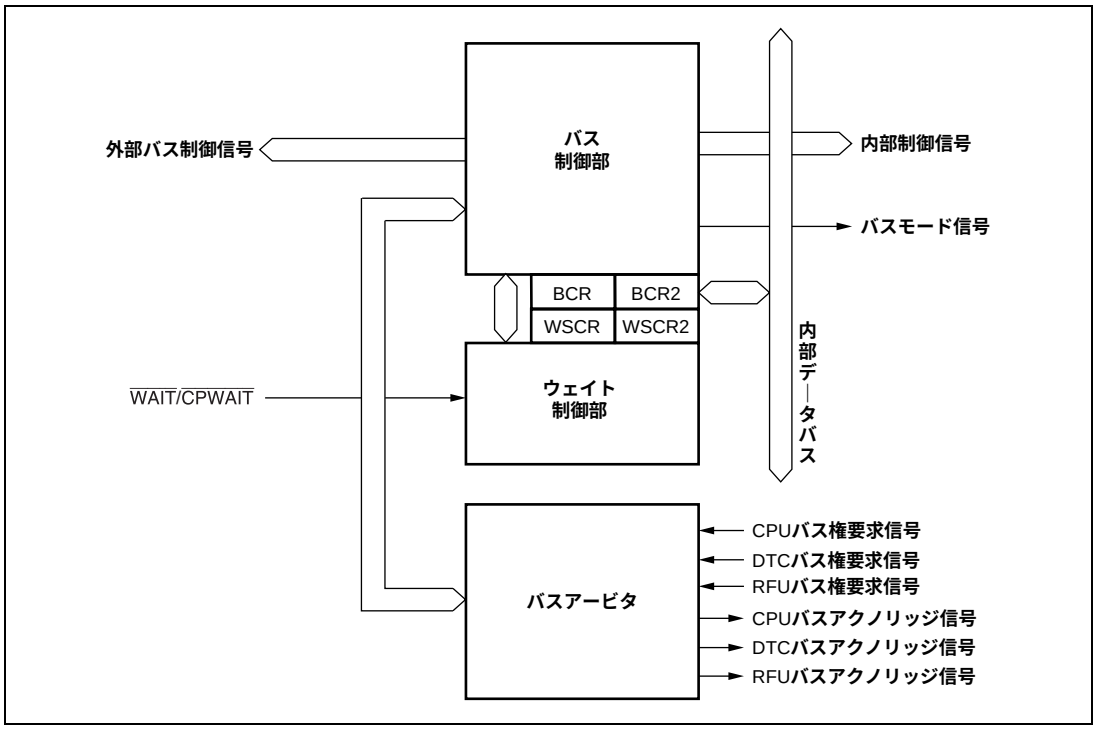


図 6.1　バスコントローラのブロック図

6.2 入出力端子

BSC の端子構成を**表** 6.1 に示します。

表 6.1 **端子構成**

記号	入出力	機　　能
$\overline{AS}$	出力	アドレスバス上のアドレス出力が有効であることを示すストローブ信号 （SYSCR の IOSE＝0 の場合） 256kB 拡張エリアをアクセス（SYSCR の CS256E＝1）、または CP/CF 拡張エリアをアクセス（BCR2 の CPCSE＝1）した場合、$\overline{AS}$ 信号は出力されません。
$\overline{IOS}$	出力	I/O セレクト信号（SYSCR の IOSE＝1 の場合）
$\overline{CPCS2}$ $\overline{CPCS1}$	出力	CP/CF 拡張エリアのアクセスを示すチップセレクト信号 （モード 2、BCR 2 の CPCSE＝1 の場合）
$\overline{CS256}$	出力	256kB 拡張エリアのアクセスを示すチップセレクト信号（モード 2、SYSCR の CS256E＝1 の場合）
$\overline{RD}$/$\overline{CPOE}$	出力	外部アドレス空間をリードしていることを示すストローブ信号
$\overline{HWR}$/$\overline{CPWE}$	出力	外部アドレス空間をライトし、データバスの上位（D15～D8）が有効であることを示すストローブ信号 （CP/CF 拡張エリアをアクセスする場合は、$\overline{CPCS2}$、$\overline{CPCS1}$ 信号を用いて有効なデータバスを指定）
$\overline{LWR}$	出力	外部アドレス空間をライトし、データバスの下位（D7～D0）が有効であることを示すストローブ信号
$\overline{WAIT}$/$\overline{CPWAIT}$	入力	外部 3 ステートアクセス空間、あるいは CP/CF 拡張エリアをアクセスするときのウェイト要求信号

6.3 レジスタの説明

BSC には以下のレジスタがあります。システムコントロールレジスタについては「3.2.2 **システムコントロールレジスタ**（SYSCR）」を参照してください。

- **バスコントロールレジスタ**（BCR）
- **バスコントロールレジスタ**2（BCR2）
- **ウェイトステートコントロールレジスタ**（WSCR）
- **ウェイトステートコントロールレジスタ**2（WSCR2）

6.3.1 バスコントロールレジスタ（BCR）

BCR は、外部アドレス空間のアクセスモード、$\overline{AS}$/ $\overline{IOS}$ 端子を I/O ストローブ機能に設定したときの I/O 領域の範囲を設定します。

ビット	ビット名	初期値	R/W	説　明
7	−	1	R/(W)	リザーブビット 初期値を変更しないでください。
6	ICIS	1	R/W	アイドルサイクル挿入 外部リードサイクルと外部ライトサイクルが連続したとき、アイドルサイクルを 1 ステート挿入するか、挿入しないかを選択します。 0：アイドルサイクルを挿入しない。 1：アイドルサイクルを 1 ステート挿入する。
5	BRSTRM	0	R/W	バースト ROM イネーブル 外部アドレス空間を選択します。 0：基本バスインタフェース 1：バースト ROM インタフェース SYSCR の CS256E ビットおよび BCR2 の CPCSE ビットが 1 にセットされているとき、256kB 拡張エリアおよび CP/CF 拡張エリアはバースト ROM インタフェースの対象から除外されます。
4	BRSTS1	1	R/W	バーストサイクルセレクト 1 バースト ROM インタフェースのバーストサイクル数を選択します。 0：1 ステート 1：2 ステート
3	BRSTS0	0	R/W	バーストサイクルセレクト 0 バースト ROM インタフェースのバーストアクセス可能なワード数を選択します。 0：最大 4 ワード 1：最大 8 ワード
2	CFE	0	R/W	CF 拡張エリアイネーブル BCR2 の CPCSE ビットが 1 にセットされているとき、アクセスする CP/CF 拡張エリアを設定します。表 6.2 を参照してください。 0：CP 拡張エリア（基本モード） 1：CF 拡張エリア（メモリカードモード）
1	IOS1	1	R/W	IOS セレクト 1、0
0	IOS0	1	R/W	$\overline{IOS}$ 信号を出力するアドレスの範囲を指定します。表 6.8 を参照してください。

6.3.2 バスコントロールレジスタ 2（BCR2）

BCR2 は、CP 拡張エリア（基本モード）および CF 拡張エリア（メモリカードモード）のアクセスモードを設定します。

ビット	ビット名	初期値	R/W	説　明
7	OWEAC	0	R/W	OE/WE アサートコントロール CP 拡張エリアを CF 拡張エリアに設定したとき、アドレス出力から $\overline{\text{CPOE}}$、$\overline{\text{CPWE}}$ 信号のアサートまでのサイクル数を設定します。 0：0.5 サイクル 1：1.5 サイクル ASTCP ビットが 0 にクリアされているとき、このビットを 1 にセットしないでください。
6	OWENC	0	R/W	OE/WE ネゲートコントロール CP 拡張エリアを CF 拡張エリアに設定したとき、$\overline{\text{CPOE}}$、$\overline{\text{CPWE}}$ 信号のネゲートからのアドレスホールド遅延サイクル数を設定します。 0：0.5 サイクル 1：1.5 サイクル ASTCP ビットが 0 にクリアされているとき、このビットを 1 にセットしないでください。
5	ABWCP	1	R/W	CP 拡張エリアバス幅コントロール CPCSE ビットが 1 かつ BCR の CFE ビットが 0 のとき、CP 拡張エリアのバス幅を選択します。CPCSE ビットが 1 かつ BCR の CFE ビットが 1 のとき、CF 拡張エリアのバス幅は 16 ビットに固定されます。 0：16 ビット 1：8 ビット
4	ASTCP	1	R/W	CP/CF 拡張エリアアクセスステートコントロール CPCSE ビットが 1 のとき、CP/CF 拡張エリアのアクセスステート数を選択します。同時にウェイトステートの挿入を許可または禁止します。 0：2 ステートアクセス空間 CP/CF 拡張エリアのアクセスにウェイトステート挿入を禁止 1：3 ステートアクセス空間 CP/CF 拡張エリアのアクセスにウェイトステートの挿入を許可
3	ADFULLE	0	R/W	アドレス出力フルイネーブル $\overline{\text{IOS}}$ 信号、および 256kB 拡張エリアまたは CP/CF 拡張エリアアクセス時のアドレス出力を制御します。「第 9 章　I/O ポート」を参照してください。

ビット	ビット名	初期値	R/W	説　明
2	EXCKS	0	R/W	外部拡張クロックセレクト 外部拡張エリアアクセスの動作クロックを選択します。 0：中速クロックで動作 1：システムクロック（φ）で動作 外部拡張エリアアクセスの前のバスサイクル中に動作クロックは切り換わります。
1	BUSDIVE	1	R/W	バス分割アビトレーションイネーブル 分割されたバスサイクルのバスアビトレーションのタイミングを制御します。詳細は「第 8 章　RAM-FIFO ユニット」を参照してください。
0	CPCSE	0	R/W	CP/CF 拡張エリアイネーブル アクセスする拡張エリアを設定します。 0：外部アドレス空間（基本拡張エリア） 1：CP/CF 拡張エリア（BCR の CFE ビットが 0 のとき基本モード、BCR の CFE ビットが 1 のときメモリカードモード）

6.3.3　ウェイトステートコントロールレジスタ（WSCR）

WSCR は、外部アドレス空間（基本拡張エリア、256kB 拡張エリア）のデータバス幅、外部アドレス空間のアクセスステート数、および外部アドレス空間のウェイトモードとウェイトステート数を設定します。内蔵メモリおよび内蔵 I/O レジスタのバス幅およびアクセスステート数は WSCR の設定値にかかわらず固定です。

ビット	ビット名	初期値	R/W	説　明
7	ABW256	1	R/W	256kB 拡張エリアバス幅コントロール SYSCR の CS256E ビットが 1 にセットされているとき、256kB 拡張エリアのバス幅を選択します。 0：16 ビット 1：8 ビット
6	AST256	1	R/W	256kB 拡張エリアアクセスステートコントロール SYSCR の CS256E ビットが 1 にセットされいるとき、256kB 拡張エリアのアクセスステート数を選択します。同時にウェイトステートの挿入を許可または禁止します。 0：2 ステートアクセス空間 256kB 拡張エリアのアクセスにウェイトステートの挿入を禁止 1：3 ステートアクセス空間 256kB 拡張エリアのアクセスにウェイトステートの挿入を許可

ビット	ビット名	初期値	R/W	説　明
5	ABW	1	R/W	バス幅コントロール 基本拡張エリアのバス幅を選択します。 0：16 ビット 1：8 ビット SYSCR の CS256E ビットおよび BCR2 の CPCSE ビットが 1 にセットされているとき、256kB 拡張エリアおよび CP/CF 拡張エリアのアクセスについてはこのビットの設定は無視されます。
4	AST	1	R/W	アクセスステートコントロール 基本拡張エリアのアクセスステート数を選択します。同時にウェイトステートの挿入を許可または禁止します。 0：2 ステートアクセス空間 基本拡張エリアのアクセスにウェイトステートの挿入を禁止 1：3 ステートアクセス空間 基本拡張エリアのアクセスにウェイトステートの挿入を許可 SYSCR の CS256E ビットおよび BCR2 の CPCSE ビットが 1 にセットされているとき、256kB 拡張エリアおよび CP/CF 拡張エリアのアクセスについてはこのビットの設定は無視されます。
3	WMS1	0	R/W	ウェイトモードセレクト 1、0
2	WMS0	0	R/W	AST ビットが 1 にセットされたとき、基本拡張エリアをアクセスするときのウェイトモードを選択します。 00：プログラムウェイトモード 01：ウェイト禁止モード 10：端子ウェイトモード 11：端子オートウェイトモード SYSCR の CS256E ビットおよび BCR2 の CPCSE ビットが 1 にセットされているとき、256kB 拡張エリアおよび CP/CF 拡張エリアのアクセスについてはこのビットの設定は無視されます。
1	WC1	1	R/W	ウェイトカウント 1、0
0	WC0	1	R/W	AST ビットが 1 にセットされたとき、基本拡張エリアをアクセスするときのプログラムウェイトステート数を選択します。 00：プログラムウェイトを挿入しない 01：プログラムウェイトを 1 ステート挿入 10：プログラムウェイトを 2 ステート挿入 11：プログラムウェイトを 3 ステート挿入 SYSCR の CS256E ビットおよび BCR2 の CPCSE ビットが 1 にセットされているとき、256kB 拡張エリアおよび CP/CF 拡張エリアのアクセスについてはこのビットの設定は無視されます。

6.3.4 ウェイトステートコントロールレジスタ 2（WSCR2）

WSCR2 は、256kB 拡張エリアおよび CP/CF 拡張エリアのウェイトモードとウェイトステート数を設定します。

ビット	ビット名	初期値	R/W	説　明
7	WMS10	0	R/W	256kB 拡張エリアウェイトモードセレクト 0 SYSCR の CS256E ビット、WSCR の AST256 ビットが 1 にセットされているとき、256kB 拡張エリアをアクセスするときのウェイトモードを選択します。 0：プログラムウェイトモード 1：ウェイト禁止モード
6	WC11	1	R/W	256kB 拡張エリアウェイトカウント 1、0
5	WC10	1	R/W	SYSCR の CS256E ビット、WSCR の AST256 ビットが 1 にセットされているとき、256kB 拡張エリアをアクセスするときのプログラムウェイト数を選択します。 00：プログラムウェイトを挿入しない 01：プログラムウェイトを 1 ステート挿入 10：プログラムウェイトを 2 ステート挿入 11：プログラムウェイトを 3 ステート挿入
4	WMS21	0	R/W	CP/CF 拡張エリアウェイトモードセレクト 1、0
3	WMS20	0	R/W	BCR2 の CPCSE ビット、ASTCP ビットが 1 にセットされているとき、CP/CF 拡張エリアをアクセスするときのウェイトモードを選択します。 00：プログラムウェイトモード 01：ウェイト禁止モード 10：端子ウェイトモード 11：端子オートウェイトモード（CP 拡張エリアアクセスのみ）
2	WC22	1	R/W	CP/CF 拡張エリアウェイトカウント 2、1、0
1	WC21	1	R/W	BCR2 の CPCSE ビット、ASTCP ビットが 1 にセットされているとき、CP/CF 拡張エリアをアクセスするときのプログラムウェイト数を選択します。CP 拡張エリア設定時は WC22 ビットを 0 にクリアしてください。 000：プログラムウェイトを挿入しない 001：プログラムウェイトを 1 ステート挿入 010：プログラムウェイトを 2 ステート挿入 011：プログラムウェイトを 3 ステート挿入 100：プログラムウェイトを 4 ステート挿入（CF 拡張エリアのみ） 101：プログラムウェイトを 6 ステート挿入（CF 拡張エリアのみ） 110：プログラムウェイトを 8 ステート挿入（CF 拡張エリアのみ） 111：プログラムウェイトを 10 ステート挿入（CF 拡張エリアのみ）
0	WC20	1	R/W	

6.4 バス制御

6.4.1 バス仕様

外部アドレス空間のバス仕様は、バス幅、アクセスステート数、ウェイトモード・プログラムウェイトステート数の 3 つの要素で構成されます。内蔵メモリ、内部 I/O レジスタは、バス幅、アクセスステート数は固定で、バスコントローラの設定の影響を受けません。

(1) バス幅

バス幅は、WSCR の ABW、ABW256 ビット、BCR2 の ABWCP ビットにより、8 ビットまたは 16 ビットを選択します。BCR の CFE ビットを 1 にセットしてメモリカードモードに設定すると、CF 拡張エリアのアクセスは自動的に 16 ビットが選択されます。

(2) アクセスステート数

アクセスステート数は、WSCR の AST、AST256 ビット、BCR2 の ASTCP ビットにより、2 ステートまたは 3 ステートを選択します。2 ステートアクセス空間に設定すると、ウェイトステートの挿入が禁止されます。

バースト ROM インタフェースでは、AST ビットの設定に関係なく基本拡張エリアのアクセスステート数が決まります。

(3) ウェイトモード・プログラムウェイトステート数

WSCR の AST ビットによって 3 ステートアクセス空間に設定したとき、WSCR の WMS1、WMS0、WC1、WC0 ビットにより、ウェイトモードおよび自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0～3 ステートを選択可能です。

WSCR の AST256 ビットによって 256kB 拡張エリアを 3 ステートアクセス空間に設定したとき、WSCR2 の WMS10、WC11、WC10 ビットにより、ウェイトモードおよび自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイト数は 0～3 ステートを選択可能です。

BCR2 の ASTCP ビットによって CP/CF 拡張エリアを 3 ステートアクセス空間に設定したとき、WSCR2 の WMS21、WMS20、WC21、WC20 ビットにより、ウェイトモードおよび自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0～3 ステートを選択可能です。

BCR の CFE ビットによって CP 拡張エリアを CF 拡張エリア（メモリカードモード）に設定したとき、WSCR2 の WMS21、WMS20、WC22、WC21、WC20 ビットにより、ウェイトモードおよび自動的に挿入するプログラムウェイトステート数を選択します。プログラムウェイトは 0～3、4、6、8、10 ステートを選択可能です。

外部拡張時のウェイト機能は、低速デバイスを外部アドレス空間に外付けする際に有効な機能です。一方で、CPU 以外のバスマスタ（DTC、RFU）の動作を遅延させる際に問題が発生する場合があります。RFU はインタフェース系の周辺機能の送信／受信データの転送に利用する場合が多く、送信／受信データの通信レートにデータ転送を間に合わせるためには、外部拡張時のウェイト機能が障害となる場合があります。そのため、RFU 使用時には、外部アドレス空間を 2 ステートまたは 3 ステート／ウェイトなしでアクセスするシステム構成を推奨します。

外部アドレス空間のアドレス範囲における各ビットの設定と外部アドレス空間の区分、および、各エリアの基本バスインタフェースのバス仕様を**表** 6.2**〜表** 6.7 に示します。

表 6.2　**アドレス範囲と外部アドレス空間**

アドレス範囲	**エリア**	
	基本拡張エリア	256kB **拡張エリア、** CP **拡張エリア（基本モード）、** CF **拡張エリア（メモリカードモード）**
H'080000〜H'F7FFFF（15M **バイト**）	○ **無条件**	—
H'F80000〜H'FBFFFF（256k **バイト**） 256kB **拡張エリア**	△ CS256E＝0 **のとき** **基本拡張エリアに統合**	$\overline{\text{WAIT}}$/$\overline{\text{CPWAIT}}$ **端子機能非選択** **かつ** CS256E＝1 **のとき** $\overline{\text{CS256}}$ **出力、アドレス** A17〜A0 **使用**
H'FC0000〜H'FEFFFF（192k **バイト**）	○ **無条件**	—
H'FF0800〜H'FF7FFF	△ RAME=0 **のとき** **基本拡張エリアに統合**	—
H'FF8000〜H'FFBFFF（16k **バイト**）	○ **無条件**	—
H'FFC000〜H'FFCFFF（4k **バイト**） CP **拡張エリア**(1)、CF **拡張エリア**	△ CPCSE＝0 **のとき** **基本拡張エリアに統合**	CPCSE＝1 **かつ** CFE＝0 **のとき** CP **拡張エリアで** $\overline{\text{CPCS1}}$ **出力、** **アドレス** A12〜A0 **使用** CPCSE＝1 **かつ** CFE＝1 **のとき** CF **拡張エリアで** $\overline{\text{CPCS1}}$**、**$\overline{\text{CPCS2}}$ **出力、** $\overline{\text{CPREG}}$**、**CPA10〜CPA0 **使用**
H'FFD000〜H'FFDFFF（4k **バイト**） CP **拡張エリア**(2)	△ CPCSE＝0 **のとき** **基本拡張エリアに統合**	CPCSE＝1 **かつ** CFE＝0 **のとき** CP **拡張エリアで** $\overline{\text{CPCS1}}$ **出力、** **アドレス** A12〜A0 **使用** CPCSE＝1 **かつ** CFE＝1 **のとき** **使用禁止**
H'(FF)E000〜H'(FF)E07F（128 **バイト**）	○ **無条件**	—
H'(FF)E080〜H'(FF)EFFF（3968 **バイト**）	△ RAME＝0 **のとき** **基本拡張エリアに統合**	—
H'(FF)F000〜H'(FF)F7FF（2k **バイト**）	○ **無条件** IOSE=1 **のとき** $\overline{\text{IOS}}$ **出力、**A10〜A0 **使用**	—
H'(FF)FF00〜H'(FF)FF7F（128 **バイト**）	△ RAME＝0 **のとき** **基本拡張エリアに統合**	—

【記号説明】

○：該当アドレス範囲アクセス時、無条件で基本拡張エリア

△：該当アドレス範囲アクセス時、基本拡張エリアとなる設定条件

—：非該当アドレス範囲

表 6.3 各ビットの設定と基本バスインタフェースのバス仕様

BRSTRM	CS256E	CPCSE	CFE	エリア		
				基本拡張エリア	256kB 拡張エリア	CP 拡張エリア (基本モード) CF 拡張エリア (メモリカードモード)
0	0	0	*	基本拡張エリア	基本拡張エリアに統合	基本拡張エリアに統合
		1	0	ABW、AST、WMS1、WMS0、WC1、WC0		ABWCP、ASTCP、WMS21、WMS20、WC21、WC20
			1			メモリカードモード WMS21、WMS20、WC22、WC21、WC20
	1	0	*		ABW256、AST256、WMS10、WC11、WC10	CS256E=0 時と同じ
		1	0			
			1			
1	0	0	*	バースト ROM インタフェース*	バースト ROM インタフェースに統合	バースト ROM インタフェースに統合
		1	0	ABW、AST、WMS0、WC1、WC0、BRSTS1、BRSTS0		ABWCP、ASTCP、WMS21、WMS20、WC21、WC20
			1			メモリカードモード WMS21、WMS20、WC22、WC21、WC20
	1	0	*		ABW256、AST256、WMS10、WC11、WC10	CS256E=0 時と同じ
		1	0			
			1			

【記号説明】*：Don't care

【注】* バースト ROM インタフェースでは、バス幅は ABW で設定し、フルアクセスステート数は AST で設定（ウェイト挿入も可能）します。バーストアクセスのサイクル数は AST の設定と無関係です。

表 6.4 基本拡張エリア／基本バスインタフェースのバス仕様

ABW	AST	WMS1	WMS0	WC1	WC0	バス仕様		
						バス幅	アクセス ステート数	プログラム ウェイト ステート数
0	0	＊	＊	＊	＊	16	2	0
	1	0	1	＊	＊	16	3	0
		WMS1＝0 かつ WMS0＝1 を除く		0	0		3	0
					1			1
				1	0			2
					1			3
1	0	＊	＊	＊	＊	8	2	0
	1	0	1	＊	＊	8	3	0
		WMS1＝0 かつ WMS0＝1 を除く		0	0		3	0
					1			1
				1	0			2
					1			3

【記号説明】＊：Don’t care

表 6.5 256kB 拡張エリア／基本バスインタフェースのバス仕様

ABW256	AST256	WMS10	WC11	WC10	バス仕様		
					バス幅	アクセス ステート数	プログラム ウェイト ステート数
0	0	＊	＊	＊	16	2	0
	1	1	＊	＊	16	3	0
		0	0	0		3	0
				1			1
			1	0			2
				1			3
1	0	＊	＊	＊	8	2	0
	1	1	＊	＊	8	3	0
		0	0	0		3	0
				1			1
			1	0			2
				1			3

【記号説明】＊：Don’t care

表 6.6　CP 拡張エリア（基本モード）／基本バスインタフェースのバス仕様

ABWCP	ASTCP	WMS21	WMS20	WC21	WC20	バス仕様		
						バス幅	アクセス ステート数	プログラム ウェイト ステート数
0	0	＊	＊	＊	＊	16	2	0
	1	0	1	＊	＊	16	3	0
		WMS21＝0 かつ WMS20＝1 を除く		0	0		3	0
					1			1
				1	0			2
					1			3
1	0	＊	＊	＊	＊	8	2	0
	1	0	1	＊	＊	8	3	0
		WMS21＝0 かつ WMS20＝1 を除く		0	0		3	0
					1			1
				1	0			2
					1			3

【記号説明】＊：Don’t care

表 6.7 CF 拡張エリア（メモリカードモード）／基本バスインタフェースのバス仕様

ASTCP	WMS21	WMS20	WC22	WC21	WC20	バス仕様		
						バス幅	アクセスステート数	プログラムウェイトステート数
0	＊	＊	＊	＊	＊	16	2	0
1	0	1	＊	＊	＊	16	3	0
	WMS21＝0 かつ WMS20＝1 および WMS21＝1 かつ WMS20＝1 を除く		0	0	0		3	0
					1			1
				1	0			2
					1			3
			1	0	0			4
					1			6
				1	0			8
					1			10

【記号説明】＊：Don’t care

6.4.2 アドバンストモード

本 LSI はアドレス出力端子が 18 本（A17～A0）のため、モード 2（アドバンストモード）での上位アドレス（A23～A18）を出力できません。そのため、外部アドレス空間（H'FFF000～H'FFF7FF）は $\overline{AS}/\overline{IOS}$ 端子を I/O ストローブ機能に設定することにより、また 256kB 拡張エリア（H'F80000～H'FBFFFF）および CP 拡張エリア（H'FFC000～H'FFDFFF）はそれぞれ $\overline{CS256}$ 端子と $\overline{CPCS1}$ 端子の機能によりアクセスすることができます。

外部アドレス空間の初期状態は、基本バスインタフェースで 3 ステートアクセス空間になっています。モード 2 では、内蔵 ROM、内蔵 RAM、内部 I/O レジスタ、およびそれらのリザーブエリアを除いた空間が外部アドレス空間となります。内蔵 RAM およびそのリザーブエリアは、SYSCR の RAME ビットを 1 にセットしたときに有効で、RAME ビットを 0 にクリアすると内蔵 RAM およびそのリザーブエリアは無効になります。また、内蔵 RAM およびそのリザーブエリアのうち、H'FF0800～H'FF7FFF、H'FFE080～H'FFEFFF と H'FFFF00～H'FFFF7F は外部アドレス空間になります。

6.4.3 ノーマルモード

外部アドレス空間の初期状態は、基本バスインタフェースで 3 ステートアクセス空間になっています。モード 3（ノーマルモード）では、内蔵 ROM、内蔵 RAM および内部 I/O レジスタを除いた空間が外部アドレス空間となります。内蔵 RAM は SYSCR の RAME ビットを 1 にセットしたとき有効で、RAME ビットを 0 にクリアすると内蔵 RAM は無効になり、対応するアドレスは外部アドレス空間になります。

6.4.4 I/O セレクト信号

本 LSI は、I/O セレクト信号（$\overline{IOS}$）を出力することができ、設定された外部アドレス空間をアクセスしたときに Low レベルを出力します。**図 6.2** に、$\overline{IOS}$ 信号出力タイミング例を示します。

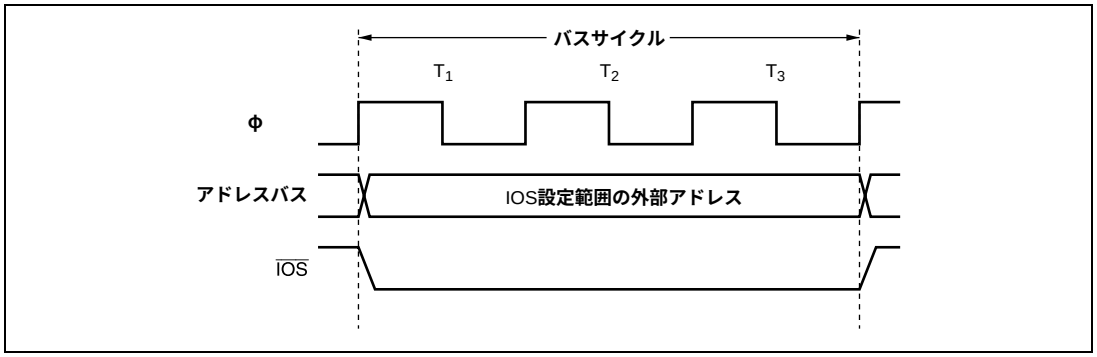


図 6.2 $\overline{IOS}$ 信号出力タイミング

$\overline{IOS}$ 信号の出力の許可または禁止は、SYSCR の IOSE ビットの設定により行います。拡張モードでは、$\overline{IOS}$ 端子はリセットにより $\overline{AS}$ 端子として動作しますので、$\overline{IOS}$ 端子として動作させる場合には IOSE ビットを 1 にセットしてください。詳細は**「第 9 章　I/O ポート」**を参照してください。

$\overline{IOS}$ 信号を出力するアドレスの範囲は、BCR の IOS1、IOS0 ビットにより設定することができます。$\overline{IOS}$ 信号を出力するアドレスの範囲を**表** 6.8 に示します。

表 6.8　$\overline{IOS}$ **信号を出力するアドレスの範囲**

IOS1	IOS0	$\overline{IOS}$ 信号出力範囲
0	0	H'(FF)F000〜H'(FF)F03F
	1	H'(FF)F000〜H'(FF)F0FF
1	0	H'(FF)F000〜H'(FF)F3FF
	1	H'(FF)F000〜H'(FF)F7FF **（初期値）**

6.5　基本バスインタフェース

基本バスインタフェースでは ROM、SRAM との直結が可能です。基本バスインタフェースの基本拡張エリア、256kB 拡張エリア、CP/CF 拡張エリアのバス仕様の選択については、**表** 6.4〜**表** 6.6 を参照してください。

6.5.1　データサイズとデータアライメント

CPU およびそのほかの内部バスマスタのデータサイズにはバイト、ワード、ロングワードがあります。BSC はデータアライメント機能を持っており、外部アドレス空間をアクセスするとき、上位側データバス（D15〜D8）を使用するか下位側データバス（D7〜D0）を使用するかを、アクセスするエリアのバス仕様（8 ビットアクセス空間または 16 ビットアクセス空間）とデータサイズによって制御します。

（1）8 ビットアクセス空間

図 6.3 に 8 ビットアクセス空間のデータアライメント制御を示します。8 ビットアクセス空間では常に上位側データバス（D15〜D8）を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

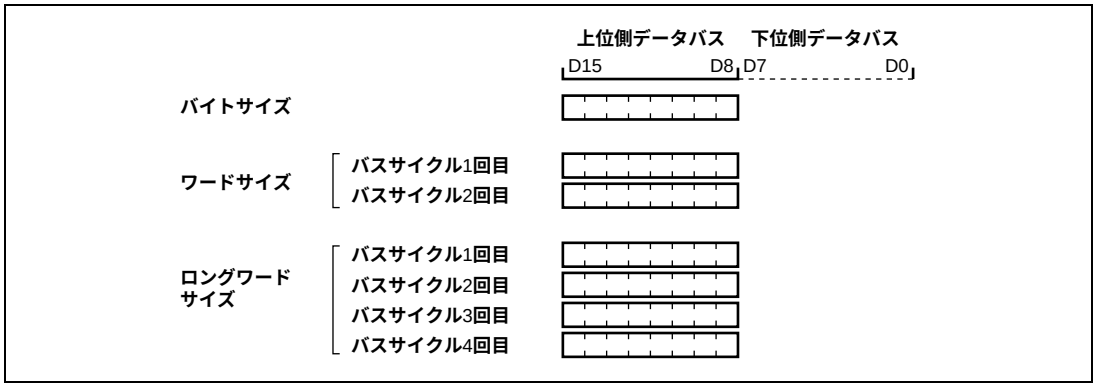


図 6.3　アクセスサイズとデータアライメント制御（8 ビットアクセス空間）

(2) 16 ビットアクセス空間

図 6.4 に 16 ビットアクセス空間のデータアライメント制御を示します。16 ビットアクセス空間では、上位側データバス（D15～D8）および下位側データバス（D7～D0）を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスはワードアクセスを 2 回実行します。

バイトアクセスのとき、上位側データバスを使用するか下位側データバスを使用するかは、アドレスの偶数／奇数で決まります。偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは下位側データバスを使用します。

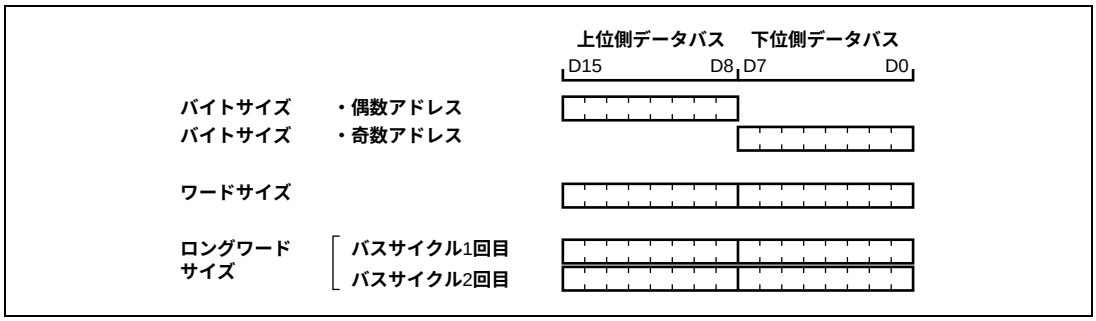


図 6.4　アクセスサイズとデータアライメント制御（16 ビットアクセス空間）

6.5.2 有効ストローブ

表 6.9 にアクセス空間と、使用するデータバスおよび有効なストローブを示します。

リード時はデータバスの上位側、下位側の区別なく $\overline{RD}$ 信号が有効です。ライト時はデータバスの上位側に対して $\overline{HWR}$ 信号が、下位側に対して $\overline{LWR}$ 信号が有効です。

表 6.9 **使用するデータバスと有効ストローブ**

エリア	アクセスサイズ	リード／ライト	アドレス	有効なストローブ	データバス上位 (D15～D8)	データバス下位 (D7～D0)
8 ビットアクセス空間	バイト	リード	−	$\overline{RD}$	有効	ポート他
		ライト	−	$\overline{HWR}$		ポート他
16 ビットアクセス空間	バイト	リード	偶数	$\overline{RD}$	有効	無効
			奇数		無効	有効
		ライト	偶数	$\overline{HWR}$	有効	不定
			奇数	$\overline{LWR}$	不定	有効
	ワード	リード	−	$\overline{RD}$	有効	有効
		ライト	−	$\overline{HWR}$、$\overline{LWR}$	有効	有効

【注】 不定 ：不定データが出力されます。

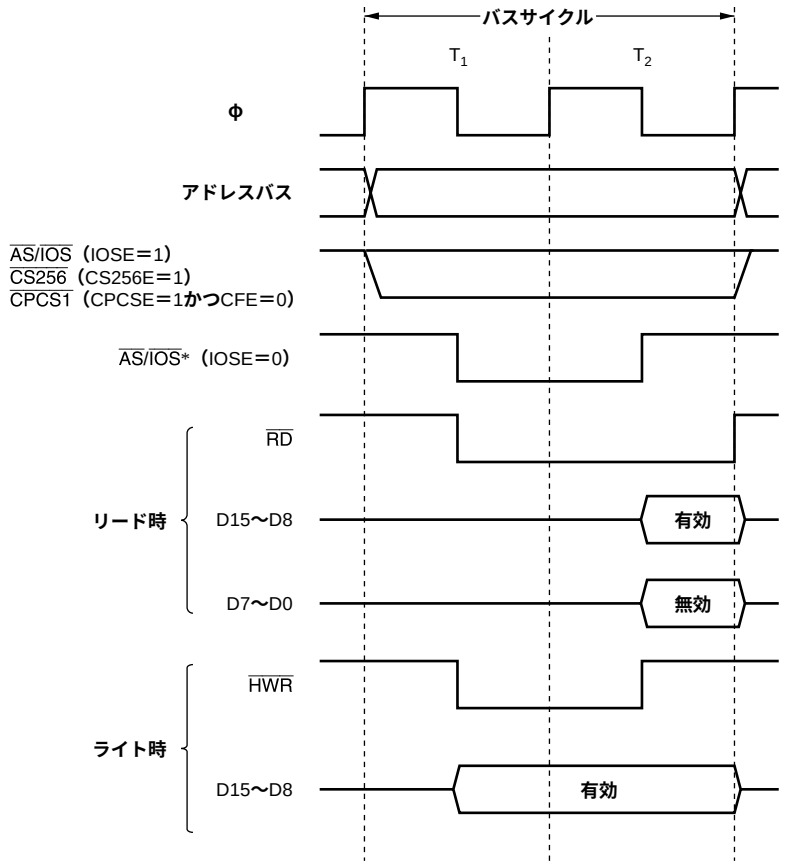
無効 ：入力状態であり、入力値は無視されます。

ポート他 ：ポートまたは内蔵周辺機器の入出力端子となり、データバスとしては使用されません。

6.5.3 基本動作タイミング

(1) 8 ビット 2 ステートアクセス空間

図 6.5 に 8 ビット 2 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側（D15～D8）を使用します。ウェイトステートを挿入することはできません。

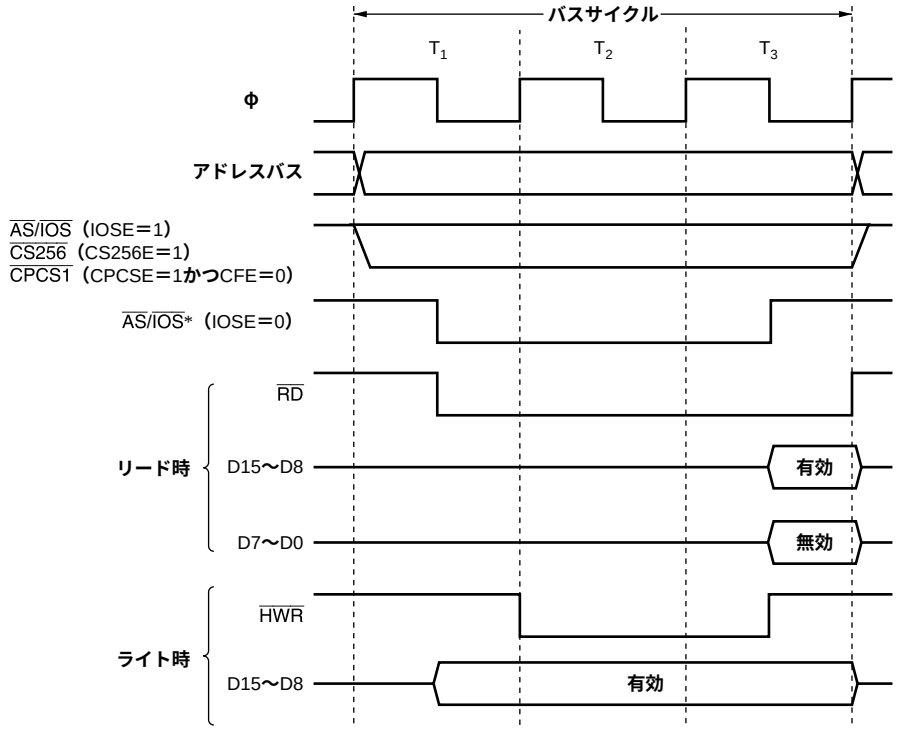


【注】 * 外部アドレス空間アクセスのうち、CS256E＝1のときの256kB拡張エリアアクセス、およびCPCSE＝1のときのCP/CF拡張エリアアクセスの場合は、出力されません。

図 6.5 8 ビット 2 ステートアクセス空間のバスタイミング

(2) 8 ビット 3 ステートアクセス空間

図 6.6 に 8 ビット 3 ステートアクセス空間のバスタイミングを示します。8 ビットアクセス空間をアクセスするとき、データバスは上位側（D15～D8）を使用します。ウェイトステートを挿入することができます。

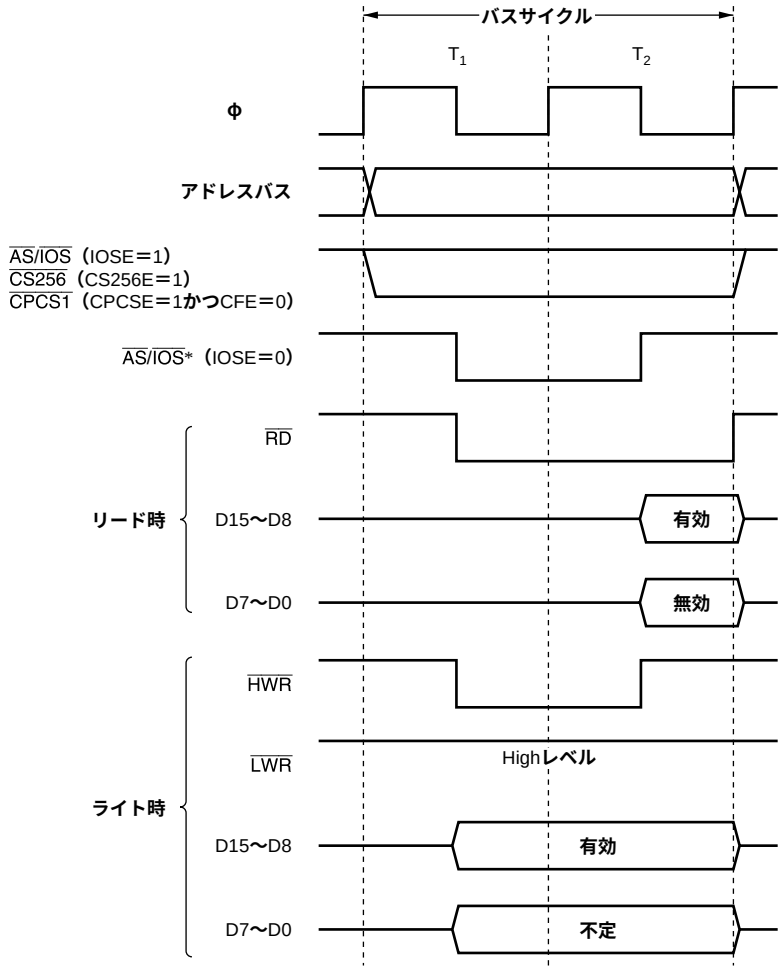


【注】 * 外部アドレス空間アクセスのうち、CS256E＝1のときの256kB拡張エリアアクセス、およびCPCSE＝1のときのCP/CF拡張エリアアクセスの場合は、出力されません。

図 6.6 8 ビット 3 ステートアクセス空間のバスタイミング

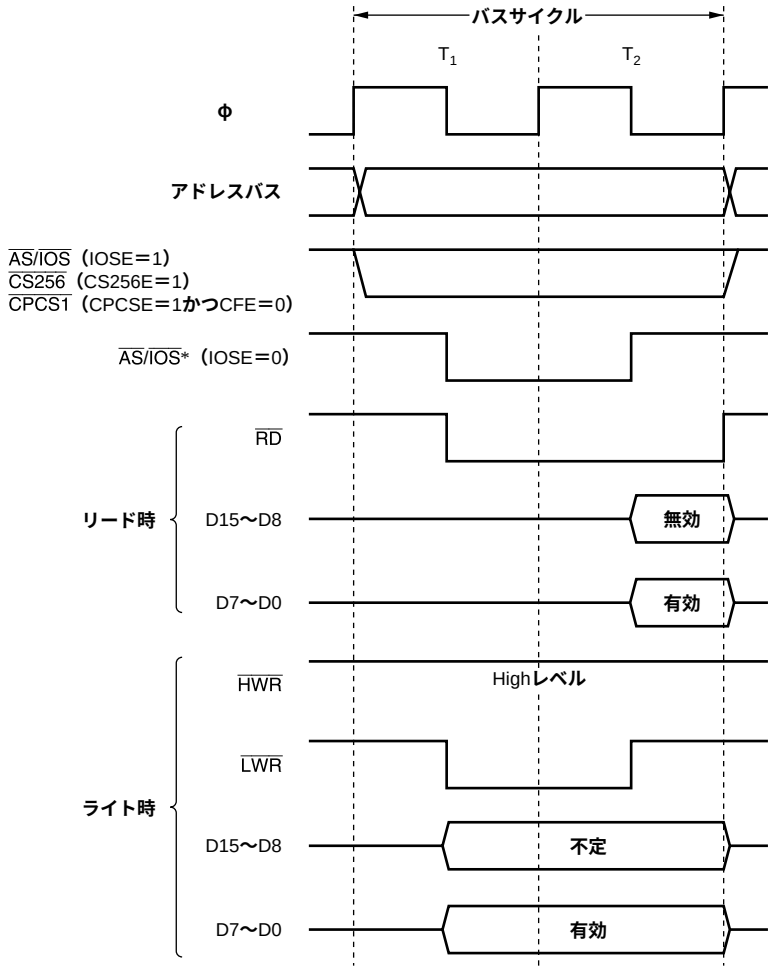
(3) 16 ビット 2 ステートアクセス空間

図 6.7～**図** 6.9 に 16 ビット 2 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側（D15～D8）を使用し、奇数アドレスに対してはデータバスは下位側（D7～D0）を使用します。ウェイトステートを挿入することはできません。



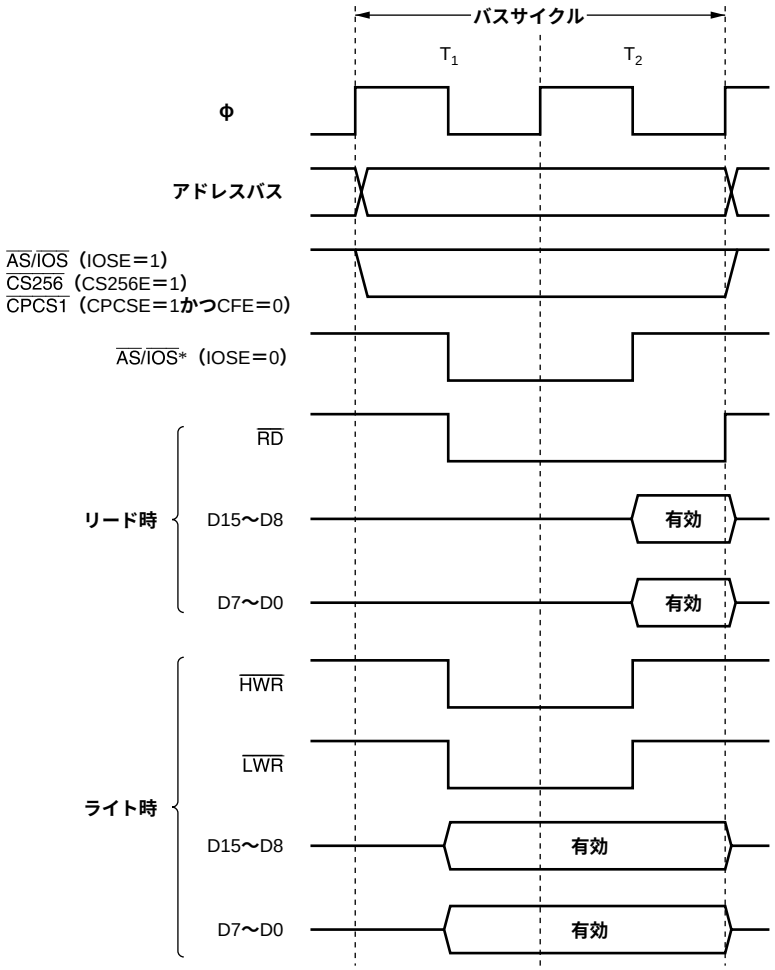
【注】 * 外部アドレス空間アクセスのうち、CS256E＝1のときの256kB拡張エリアアクセス、およびCPCSE＝1のときのCP/CF拡張エリアアクセスの場合は、出力されません。

図 6.7 16 ビット 2 ステートアクセス空間のバスタイミング（偶数バイトアクセス）



【注】 * 外部アドレス空間アクセスのうち、CS256E＝1のときの256kB拡張エリアアクセス、およびCPCSE＝1のときのCP/CF拡張エリアアクセスの場合は、出力されません。

図 6.8 16 ビット 2 ステートアクセス空間のバスタイミング（奇数バイトアクセス）

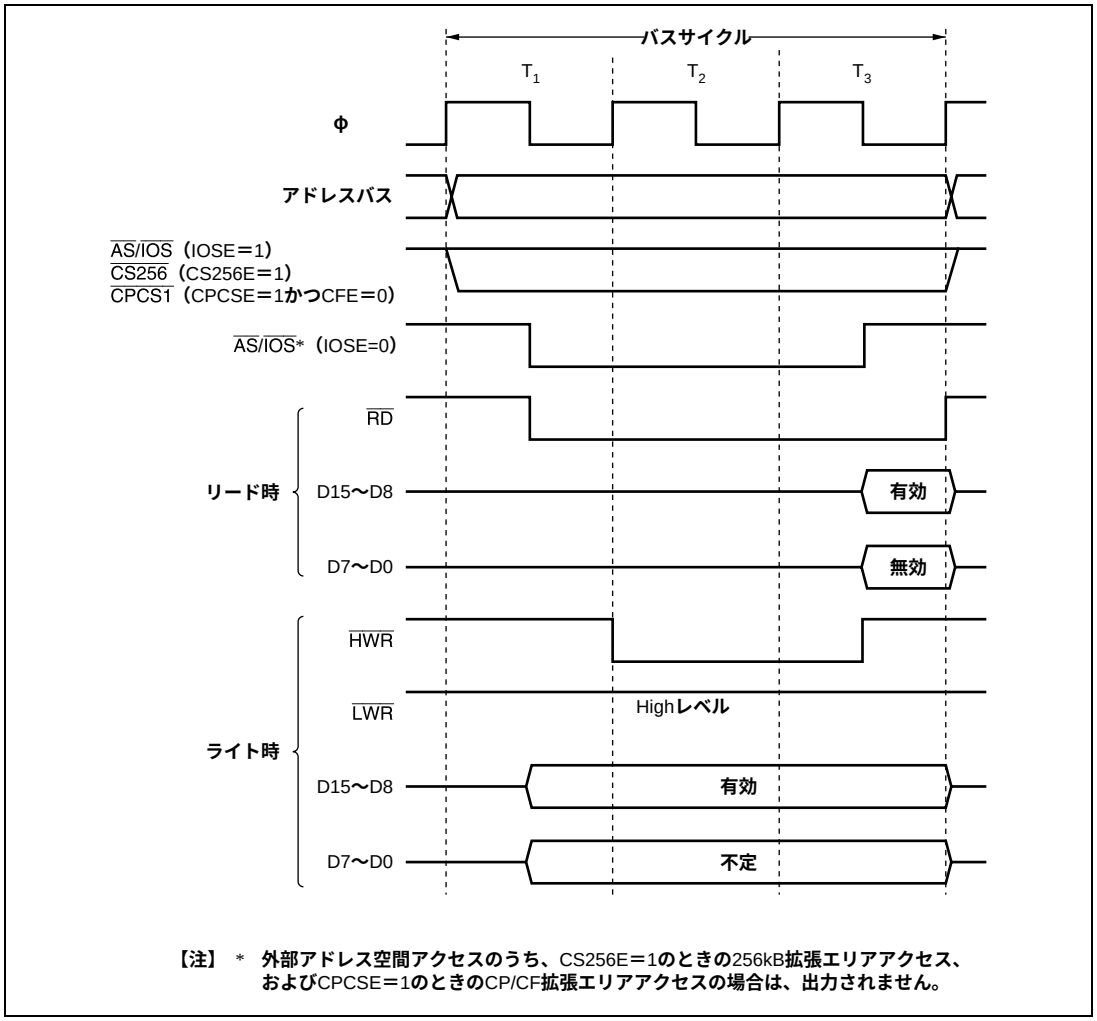


【注】 * 外部アドレス空間アクセスのうち、CS256E＝1のときの256kB拡張エリアアクセス、およびCPCSE＝1のときのCP/CF拡張エリアアクセスの場合は、出力されません。

図 6.9　16 ビット 2 ステートアクセス空間のバスタイミング（ワードアクセス）

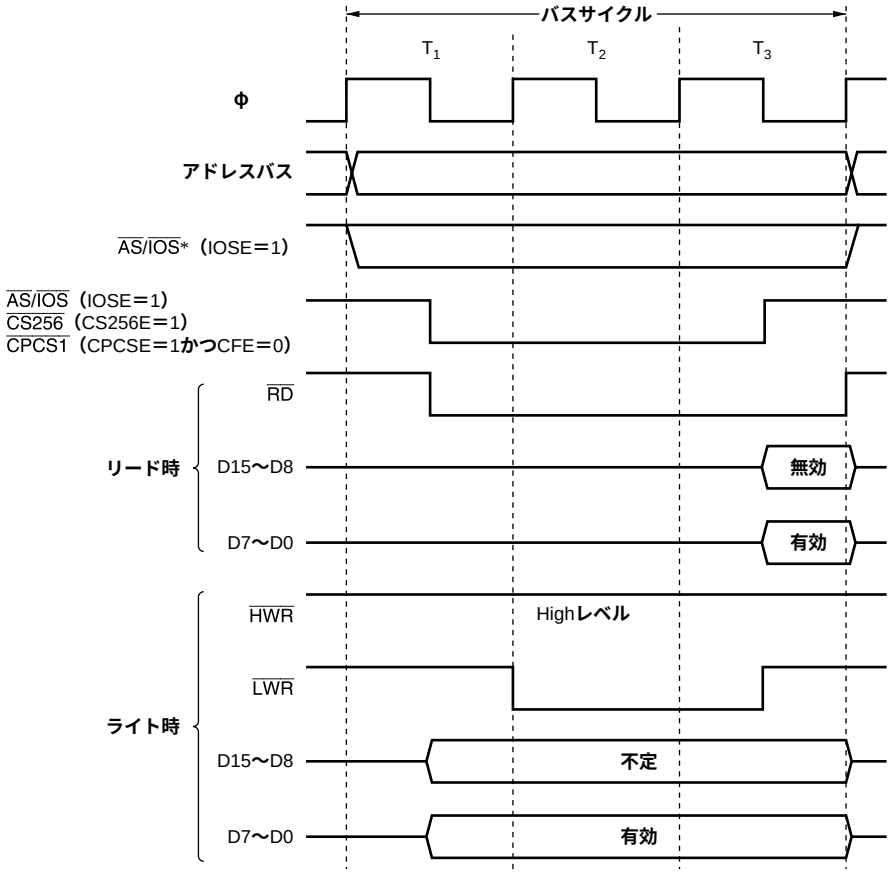
(4) 16 ビット 3 ステートアクセス空間

図 6.10～図 6.12 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。16 ビットアクセス空間をアクセスするとき、偶数アドレスに対してはデータバスは上位側（D15～D8）を使用し、奇数アドレスに対してはデータバスは下位側（D7～D0）を使用します。ウェイトステートを挿入することができます。



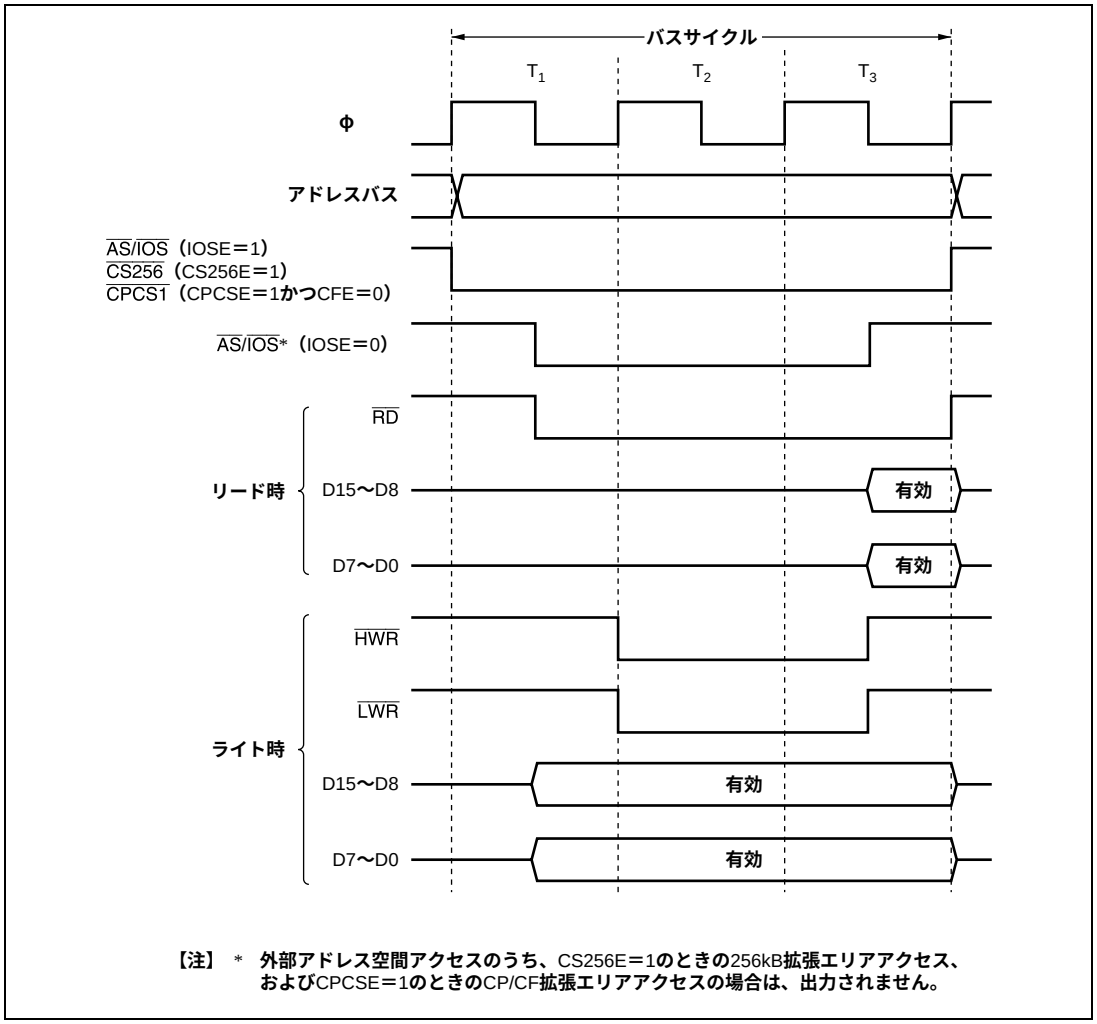
【注】 * 外部アドレス空間アクセスのうち、CS256E＝1のときの256kB拡張エリアアクセス、およびCPCSE＝1のときのCP/CF拡張エリアアクセスの場合は、出力されません。

図 6.10 16 ビット 3 ステートアクセス空間のバスタイミング（偶数バイトアクセス）



【注】 * 外部アドレス空間アクセスのうち、CS256E＝1のときの256kB拡張エリアアクセス、およびCPCSE＝1のときのCP/CF拡張エリアアクセスの場合は、出力されません。

図 6.11 16 ビット 3 ステートアクセス空間のバスタイミング（奇数バイトアクセス）



【注】 * 外部アドレス空間アクセスのうち、CS256E＝1のときの256kB拡張エリアアクセス、およびCPCSE＝1のときのCP/CF拡張エリアアクセスの場合は、出力されません。

図 6.12 16 ビット 3 ステートアクセス空間のバスタイミング（ワードアクセス）

6.5.4 ウェイト制御

本 LSI は外部アドレス空間をアクセスするとき、ウェイトステート（Tw）を挿入してバスサイクルを引き延ばすことができます。ウェイトステートを挿入する方法には、プログラムウェイトの挿入、$\overline{\text{WAIT}}$/$\overline{\text{CPWAIT}}$ 端子による端子ウェイトの挿入、およびプログラムウェイトと $\overline{\text{WAIT}}$/$\overline{\text{CPWAIT}}$ 端子による端子ウェイトの組み合わせがあります。

(1) プログラムウェイトモード

プログラムウェイトモードでは外部アドレス空間をアクセスすると、常に WSCR の WC1、WC0 ビット（256kB 拡張エリアでは WSCR2 の WC11、WC10 ビット、CP 拡張エリアでは WSCR2 の WC21、WC20 ビット）により設定されたステート数の Tw が、T_2 ステートと T_3 ステートの間に挿入されます。

(2) 端子ウェイトモード

端子ウェイトモードでは外部アドレス空間をアクセスすると、常に WC1、WC0 ビット（CP 拡張エリアでは WC21、WC20 ビット）により設定されたステート数の Tw が、T_2 ステートと T_3 ステートの間に挿入されます。T_2 または Tw の最後のステートのφの立ち下がりのタイミングで、$\overline{\text{WAIT}}$/$\overline{\text{CPWAIT}}$ 端子が Low レベルであると、さらに Tw が挿入されます。$\overline{\text{WAIT}}$/$\overline{\text{CPWAIT}}$ 端子が Low レベルに保持されると、$\overline{\text{WAIT}}$/$\overline{\text{CPWAIT}}$ 端子が High レベルになるまで Tw が挿入されます。

端子ウェイトモードは、4 ステート以上の Tw を挿入する場合や、外部デバイスごとに挿入する Tw 数を変える場合などに有効です。

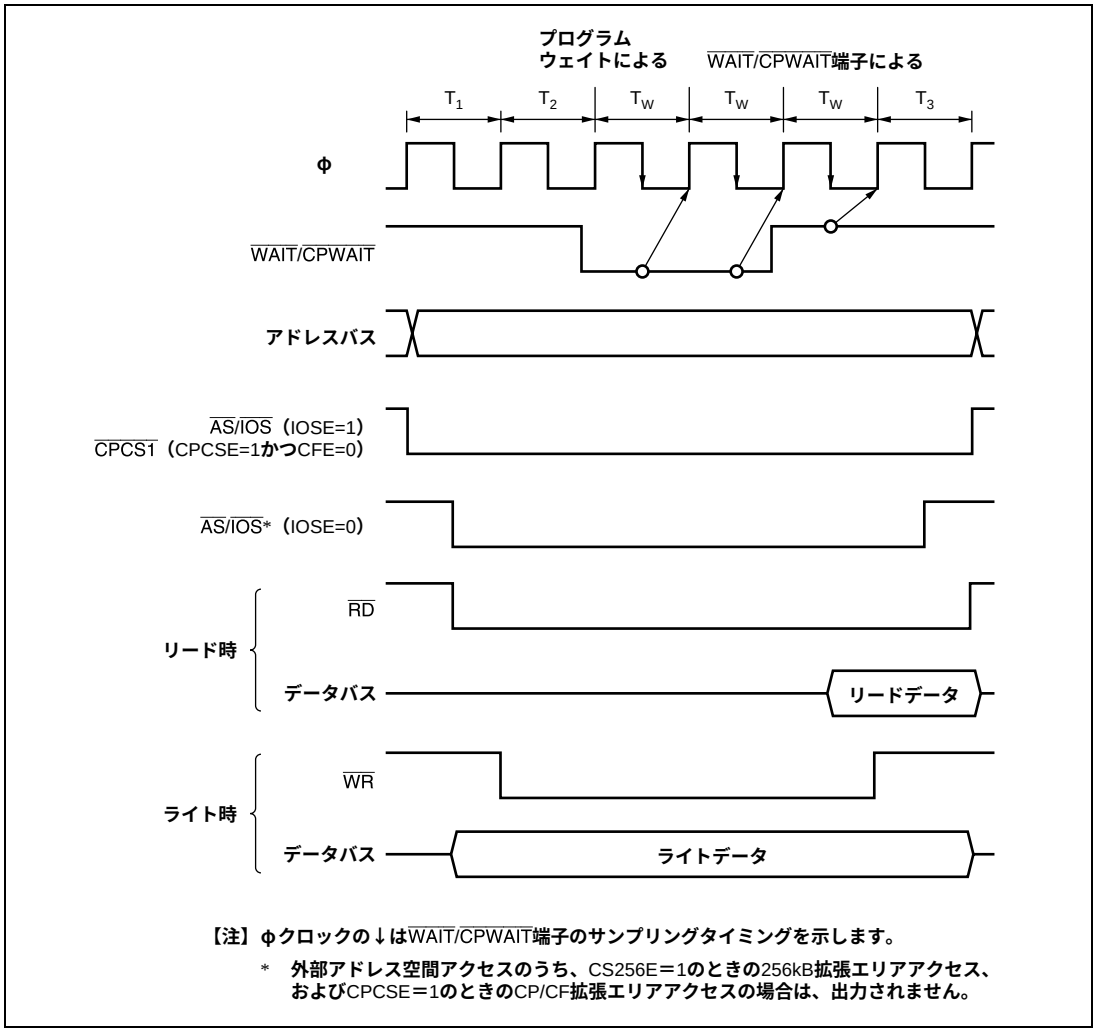
(3) 端子オートウェイトモード

端子オートウェイトモードでは外部アドレス空間をアクセスしたとき、T_2 のφの立ち下がりのタイミングで $\overline{\text{WAIT}}$/$\overline{\text{CPWAIT}}$ 端子が Low レベルであると、WC1、WC0 ビット（CP 拡張エリアでは WC21、WC20 ビット）により設定されたステート数の Tw が、T_2 ステートと T_3 ステートの間に挿入されます。$\overline{\text{WAIT}}$/$\overline{\text{CPWAIT}}$ 端子が Low レベルに保持されても、設定されたステート数を超える Tw は挿入されません。

端子オートウェイトモードを用いると、チップセレクト信号を $\overline{\text{WAIT}}$/$\overline{\text{CPWAIT}}$ 端子に入力するだけで低速メモリと容易にインタフェースすることができます。

図 6.13 に端子ウェイトモードのウェイトステート挿入のタイミング例を示します。

リセット後は、3 ステートアクセスかつプログラムウェイト 3 ステート挿入、$\overline{\text{WAIT}}$/$\overline{\text{CPWAIT}}$ 入力禁止状態となっています。



【注】φクロックの↓はWAIT/CPWAIT端子のサンプリングタイミングを示します。

* 外部アドレス空間アクセスのうち、CS256E＝1のときの256kB拡張エリアアクセス、およびCPCSE＝1のときのCP/CF拡張エリアアクセスの場合は、出力されません。

図 6.13 ウェイトステート挿入タイミング例（端子ウェイトモード）

6.6 バースト ROM インタフェース

本 LSI は BCR の BRSTRM ビットにより、外部アドレス空間をバースト ROM 空間に設定し、バースト ROM インタフェースを行うことができます。CPU の命令フェッチに限り最大 4 ワードまたは最大 8 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートまたは 2 ステートを選択できます。

6.6.1 基本動作タイミング

バースト ROM インタフェースのイニシャルサイクル（フルアクセス）のアクセスステート数は、WSCR の AST ビットの設定に従います。AST ビットを 1 にセットすると、ウェイトステートを挿入することもできます。バーストサイクルは BCR の BRSTS1 ビットの設定により、1 ステートまたは 2 ステートの選択が可能です。ウェイトステートは挿入できません。また、BCR の BRSTS0 ビットを 0 にクリアすると最大 4 ワードのバーストアクセスを行います。BRSTS0 ビットを 1 にセットすると最大 8 ワードのバーストアクセスを行います。

バースト ROM 空間の基本アクセスタイミングを**図** 6.14、**図** 6.15 に示します。

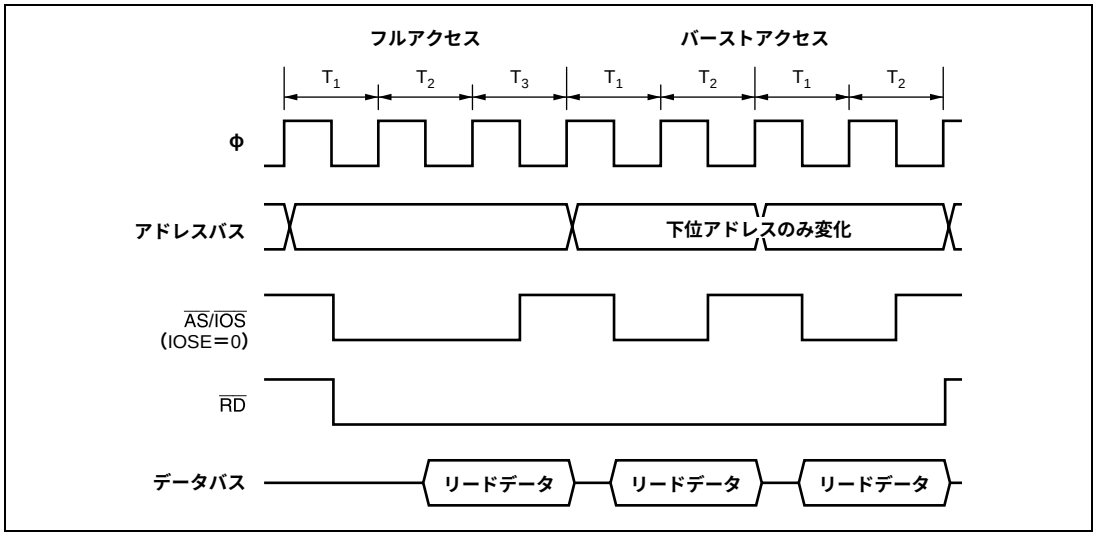


図 6.14 **バースト** ROM **空間のアクセスタイミング例（**AST＝BRSTS1＝1 **の場合）**

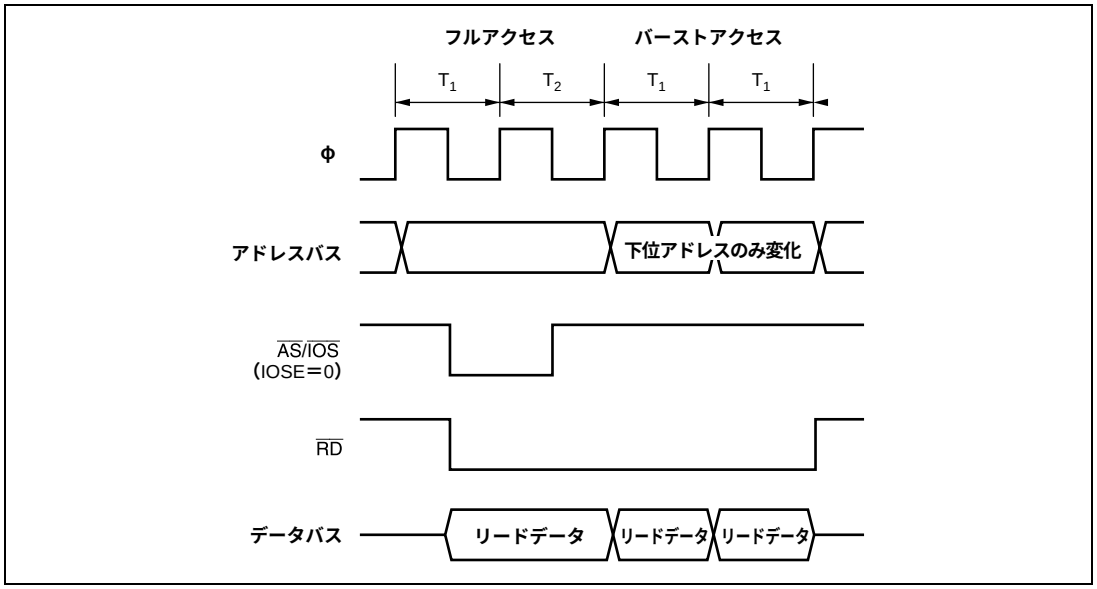


図 6.15　バースト ROM 空間のアクセスタイミング例（AST＝BRSTS1＝0 の場合）

6.6.2　ウェイト制御

バースト ROM インタフェースのイニシャルサイクル（フルアクセス）には、基本バスインタフェースと同様にプログラムウェイトの挿入、および $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入が可能です。詳細は**「6.5.4　ウェイト制御」**を参照してください。バーストサイクルにはウェイトステートを挿入することはできません。

6.7 メモリカードインタフェース

BCR2 の CPCSE ビットを 1 にセットし、かつ BCR の CFE ビットを 1 にセットすると、CP 拡張エリアを CF 拡張エリア（メモリカードモード）に設定することができます。メモリカードモードのバス幅は 16 ビットに固定されます。メモリカードモードで使用する端子は $\overline{\text{CPCS1}}$、$\overline{\text{CPCS2}}$ 端子を除き基本バスインタフェースと共通ですが、信号波形が異なります。アクセスステート数やストローブ信号（$\overline{\text{CPOE}}$、$\overline{\text{CPWE}}$）の波形は、WSCR2 の WMS21、WMS20、WC22、WC21、WC21 ビット、および BCR2 の OWEAC、OWENC ビットによって制御することができます。

6.7.1 データサイズとデータアライメント

CPU およびそのほかの内部バスマスタのデータサイズにはバイト、ワード、ロングワードがあります。BSC はデータアライメント機能を持っており、メモリカードモードで CF 拡張エリアをアクセスするとき、上位側データバス（D15～D8）を使用するか下位側データバス（D7～D0）を使用するかを、アクセスするデータサイズによって制御します。

図 6.16 にデータアライメント制御を示します。CF 拡張エリアアクセスでは、上位側データバス（D15～D8）および下位側データバス（D7～D0）を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトまたは 1 ワードで、ロングワードアクセスはワードアクセスを 2 回実行します。

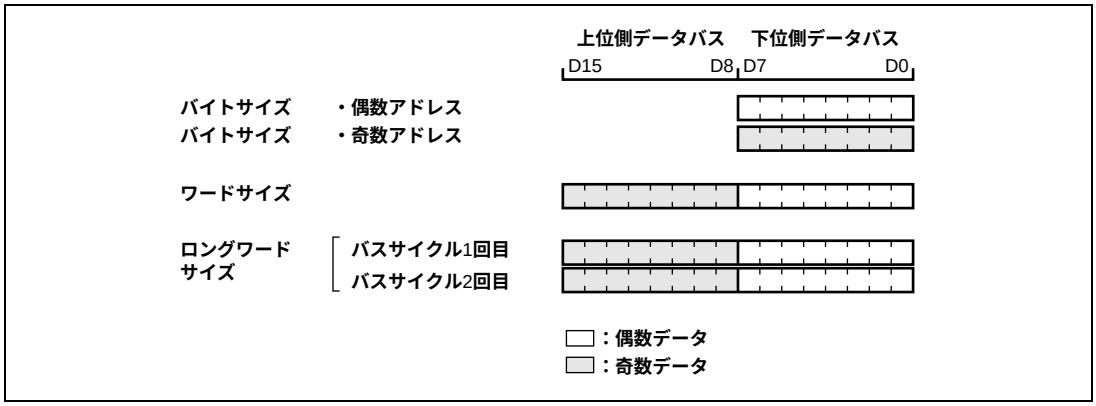


図 6.16 **アクセスサイズとデータアライメント制御**

6.7.2 有効ストローブ

表 6.10 に使用するデータバスおよび有効なストローブを示します。

表 6.10 使用するデータバスと有効ストローブ

アクセスサイズ	リード／ライト	アドレス	$\overline{\text{CPCS1}}$ 端子	$\overline{\text{CPCS2}}$ 端子	有効なストローブ	データバス上位（D15～D8）	データバス下位（D7～D0）
バイト	リード	偶数	L	H	CPOE	無効	有効（偶数データ）
		奇数	L	H		無効	有効（奇数データ）
	ライト	偶数	L	H	CPWE	不定	有効（偶数データ）
		奇数	L	H		不定	有効（奇数データ）
ワード	リード	—	L	L	CPOE	有効（奇数データ）	有効（偶数データ）
	ライト	—	L	L	CPWE	有効（奇数データ）	有効（偶数データ）

【注】 不定 ：不定データが出力されます。

無効 ：入力状態であり、入力値は無視されます。

6.7.3 基本動作タイミング

メモリカードインタフェースのアクセスステート数は 3 ステートを基本にしています。メモリカードモードのアクセスタイミングを**図** 6.17 に示します。ストローブ信号の波形は、アドレス出力に対する立ち下がり／立ち上がりのタイミングをそれぞれ BCR2 の OWEAC、OWENC ビットにより、1 ステート移動させることが可能です。このときには、ウェイトステートの挿入が必要になります。2 ステートアクセス時は OWEAC、OWENC ビットを両方とも 0 にセットしてください。また、3 ステートアクセス時は OWEAC、OWENC ビットを B'01 または B'10 にセットしてください。このときのアクセスタイミングを**図** 6.19 に示します。

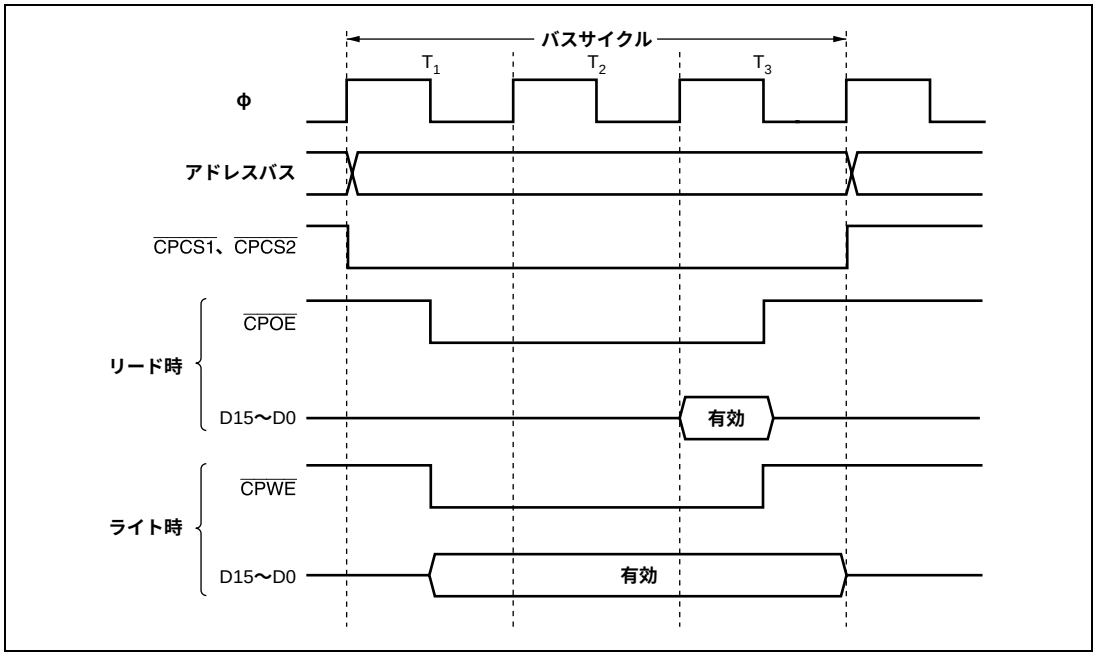


図 6.17　メモリカードモードのアクセスタイミング例（基本サイクル）

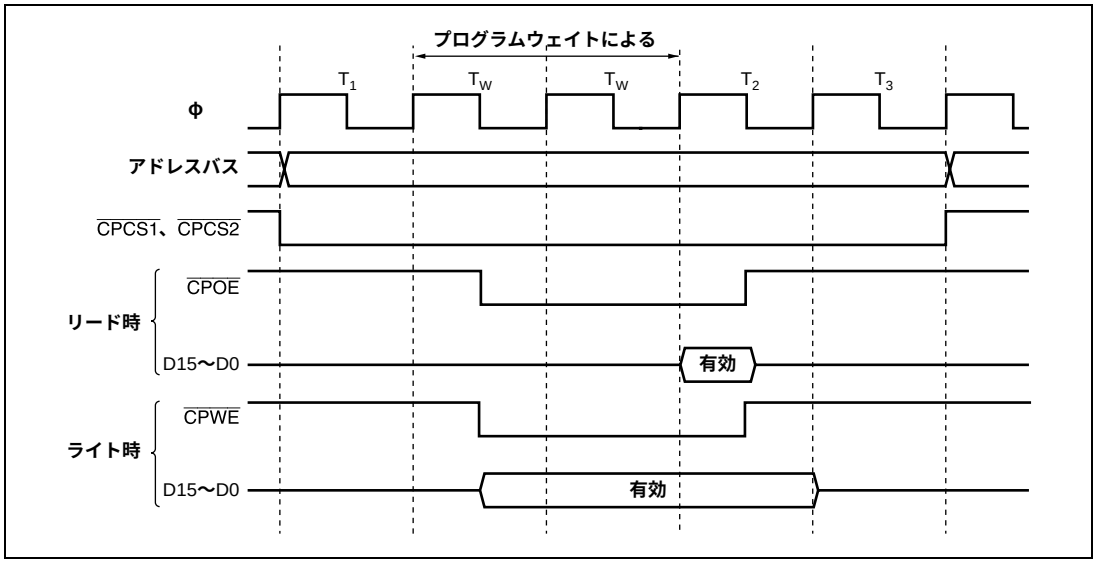


図 6.18　メモリカードモードのアクセスタイミング例
（OWEAC＝OWENC＝1、ウェイトステート挿入ありの場合）

6.7.4 ウェイト制御

メモリカードインタフェースにはプログラムウェイトの挿入、$\overline{\text{CPWAIT}}$ 端子による端子ウェイトの挿入が可能です。

(1) プログラムウェイトモード

プログラムウェイトモードではCF拡張エリアをアクセスすると、常にWSCR2のWC22、WC21、WC20ビットにより設定されたステート数のTwが、T_2ステートとT_3ステートの間に挿入されます。

(2) 端子ウェイトモード

端子ウェイトモードではCF拡張エリアをアクセスすると、常にWC22、WC21、WC20ビットにより設定されたステート数のTwが、T_2ステートとT_3ステートの間に挿入されます。Twの最後のステートのφの立ち下がりのタイミングで、$\overline{\text{CPWAIT}}$端子がLowレベルであると、さらにTwが挿入されます。$\overline{\text{CPWAIT}}$端子がLowレベルに保持されると、$\overline{\text{CPWAIT}}$端子がHighレベルになるまでTwが挿入されます。プログラムウェイトによるTwの挿入がない場合、$\overline{\text{CPWAIT}}$端子によるTwは挿入されません。**図**6.19にウェイトステート挿入のタイミング例を示します。

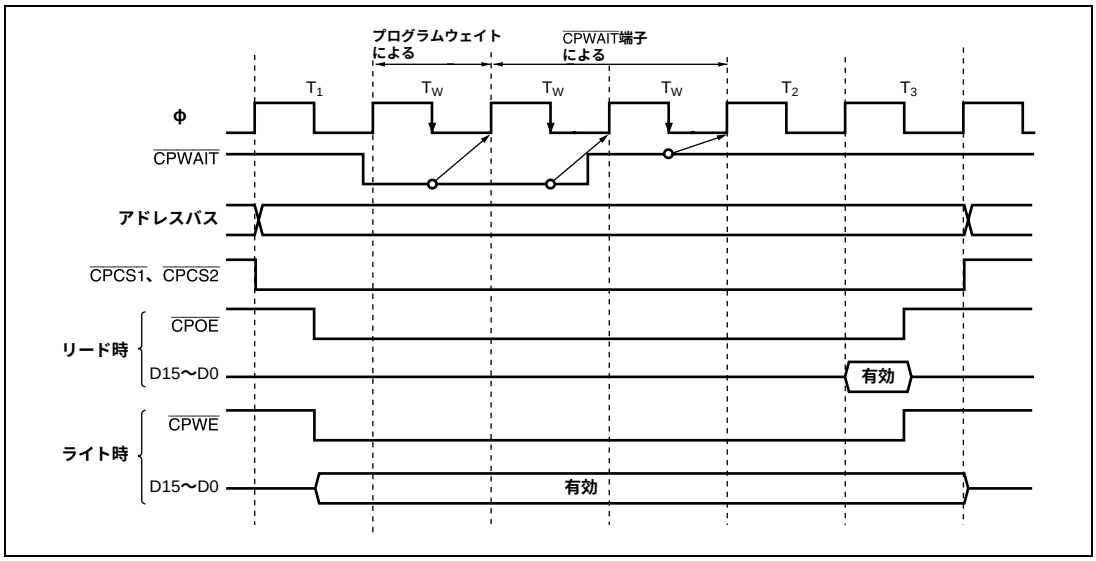


図 6.19 **メモリカードモードのアクセスタイミング例**
（プログラムウェイトおよび $\overline{\text{CPWAIT}}$ 端子によるウェイトステート挿入）

6.8 アイドルサイクル

本 LSI は外部アドレス空間をアクセスするときに、リードサイクルの直後にライトサイクルが発生した場合、バスサイクルとバスサイクルの間にアイドルサイクル（T_I）を 1 ステート挿入することができます。アイドルサイクルを挿入することにより、例えば出力フローティング時間の大きい ROM と、高速メモリ、I/O インタフェースとのデータ衝突を防ぐことができます。

BCR の ICIS ビットを 1 にセットした状態で外部リード後に外部ライトが発生すると、ライトサイクルの先頭にアイドルサイクルが挿入されます。

図 6.20 にアイドルサイクルの動作例を示します。バスサイクル A は出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。**図** 6.20（a）はアイドルサイクルを挿入しない場合で、バスサイクル B で ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し**図** 6.20（b）ではアイドルサイクルの挿入でデータの衝突を回避しています。

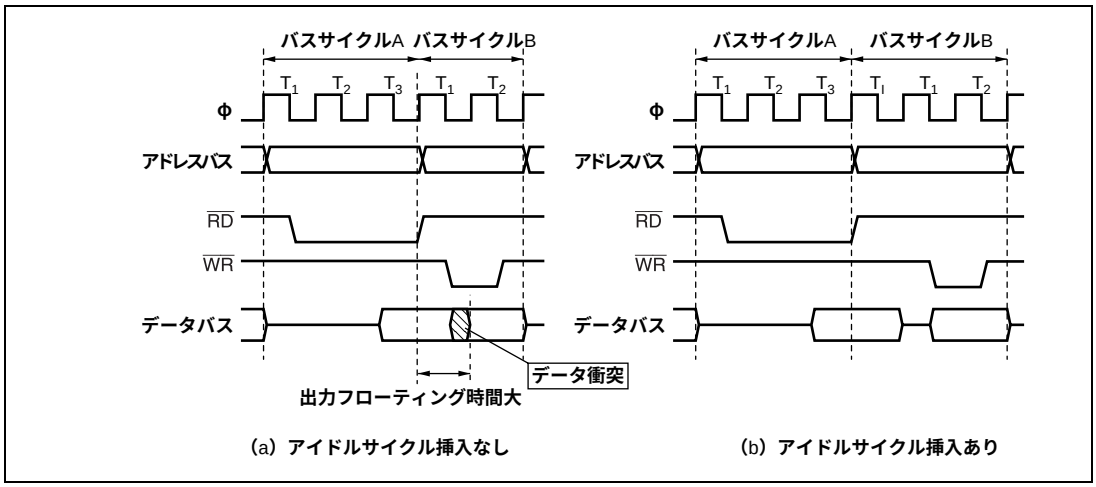


図 6.20　**アイドルサイクルの動作例**

アイドルサイクルでの端子状態を**表** 6.11 に示します。

表 6.11　**アイドルサイクルでの端子状態**

端子名	端子の状態
A17～A0	**直後のバスサイクルの内容**
D15～D0	**ハイインピーダンス**
$\overline{AS}$、$\overline{IOS}$、$\overline{CS256}$、$\overline{CPCS1}$、$\overline{CPCS2}$	High **レベル**
$\overline{RD}$、$\overline{CPOE}$	High **レベル**
$\overline{HWR}$、$\overline{LWR}$、$\overline{CPWE}$	High **レベル**

6.9 バスアービトレーション

BSC はバスマスタの動作を調停（バスアービトレーション）するバスアービタを内蔵しています。バスマスタは、CPU、DTC および RFU の 3 つがあり、バス権を占有した状態でリード／ライト動作を行います。

6.9.1 バスマスタの優先順位

各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは、バスマスタのバス権要求信号を検出し、バス権要求であれば所定のタイミングでそのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。バスマスタの優先順位は以下のとおりです。

（高）RFU ＞ DTC ＞ CPU（低）

6.9.2 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときに、すぐにバス権が移行するとは限りません。バス権が移行するタイミングは次のとおりです。

(1) CPU

CPU は最も優先順位が低いバスマスタで、DTC および RFU からのバス権要求があるとバスアービタはバス権を DTC に移行します。

- **DTCのバス権移行タイミング**

1. バスサイクルの切れ目で、バス権を移行します。

ただし、ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合には、分割されたバスサイクルの切れ目ではバス権は移行しません。詳細は H8S/2600 シリーズ、H8S/2000 シリーズプログラミングマニュアルの**「2.7 命令実行中のバス状態」**を参照してください。

2. CPUがスリープモードの場合は、ただちにバス権を移行します。

- **RFUのバス権移行タイミング**

1. バスサイクルの切れ目で、バス権を移行します。

ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合の分割されたバスサイクルの切れ目でも、バス権を移行することが可能です。詳細は、**「8 章 RAM-FIFO ユニット（RFU）」**を参照してください。

2. CPUがスリープモードの場合は、ただちにバス権を移行します。

(2) DTC

DTC は起動要求が発生すると、バスアービタに対してバス権を要求します。

DTC は RFU より優先順位が低いバスマスタで、RFU からのバス権要求があるとバスアービタはバス権を RFU に移行します。

- **RFUのバス権移行タイミング**

1. バスサイクルの切れ目で、バス権を移行します。

ロングワードサイズのアクセスなど、バスサイクルを分割して実行する場合の分割されたバスサイクルの切れ目ではバス権を移行しません。また、DTC の 32 ビットアクセスの場合も、ロングワードごとのバスサイクルの切れ目ではバス権を移行しません。詳細は**「8 章　RAM-FIFO ユニット（RFU）」**を参照してください。

(3) RFU

RFU は最も優先順位の高いバスマスタです。RFU は起動要求が発生するとバスアービタに対してバス権を要求します。RFU は一連の処理が完了するまでバス権を解放しません。詳細は**「8 章　RAM-FIFO ユニット（RFU）」**を参照してください。

7. データトランスファコントローラ（DTC）

本 LSI は、データトランスファコントローラ（DTC）を内蔵しています。DTC は、割り込みまたはソフトウェアによって起動され、データ転送を行うことができます。

図 7.1 に DTC のブロック図を示します。DTC のレジスタ情報は内蔵 RAM に配置されます。DTC を使用するときには、必ず SYSCR の RAME ビットを 1 にセットしてください。DTC と内蔵 RAM の H'(FF)EC00～H'(FF)EFFF（1k バイト）間は 32 ビットバスで接続されていますので、DTC のレジスタ情報のリード／ライトを 32 ビット 1 ステートで実行できます。

7.1 特長

- 任意チャネル数の転送可能
- 転送モード：3種類

  ノーマルモード、リピートモード、ブロック転送モード
- 一つの起動要因で複数データの連続転送が可能（チェイン転送）
- 16Mバイトのアドレス空間を直接指定可能
- ソフトウェアによる起動が可能
- 転送単位をバイト／ワードに設定可能
- DTCを起動した割り込みをCPUに要求可能
- モジュールストップモードの設定可能
- CIN7～CIN0のスキャン動作に利用可能
- 中速モード時、DTCは高速モードで動作可能

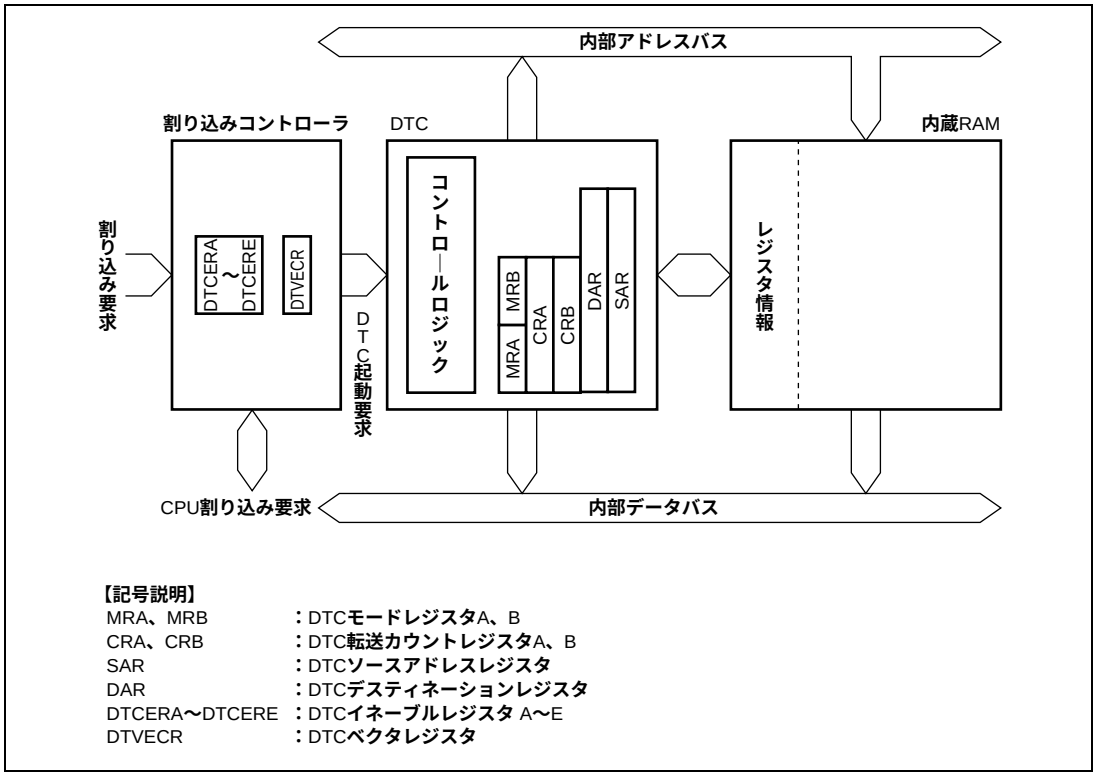


図 7.1 DTC **のブロック図**

7.2 レジスタの説明

DTC には以下のレジスタがあります。

- DTC**モードレジスタ**A（MRA）
- DTC**モードレジスタ**B（MRB）
- DTC**ソースアドレスレジスタ**（SAR）
- DTC**デスティネーションアドレスレジスタ**（DAR）
- DTC**転送カウントレジスタ**A（CRA）
- DTC**転送カウントレジスタ**B（CRB）

以上の 6 本のレジスタは CPU から直接アクセスすることはできません。DTC 起動要因が発生すると内蔵 RAM 上に配置された任意の組のレジスタ情報から該当するレジスタ情報をこれらのレジスタに転送して DTC 転送を行い、転送が終了するとこれらのレジスタの内容が内蔵 RAM に戻されます。

- DTC**イネーブルレジスタ**（DTCER）
- DTC**ベクタレジスタ**（DTVECR）

7.2.1 DTC モードレジスタ A（MRA）

MRA は DTC の動作モードの選択を行います。

ビット	ビット名	初期値	R/W	説　明
7	SM1	不定	—	ソースアドレスモード 1、0
6	SM0	不定	—	データ転送後の SAR の動作を指定します。 0∗：SAR は固定 10：転送後 SAR をインクリメント（Sz=0 のとき+1、Sz=1 のとき+2） 11：転送後 SAR をデクリメント（Sz=0 のとき−1、Sz=1 のとき−2）
5	DM1	不定	—	デスティネーションアドレスモード 1、0
4	DM0	不定	—	データ転送後の DAR の動作を指定します。 0∗：DAR は固定 10：転送後 DAR をインクリメント（Sz=0 のとき+1、Sz=1 のとき+2） 11：転送後 DAR をデクリメント（Sz=0 のとき−1、Sz=1 のとき−2）
3	MD1	不定	—	DTC モード
2	MD0	不定	—	DTC の転送モードを指定します。 00：ノーマルモード 01：リピートモード 10：ブロック転送モード 11：設定禁止
1	DTS	不定	—	DTC 転送モードセレクト リピートモードまたはブロック転送モードのとき、ソース側とデスティネーション側のどちらをリピート領域またはブロック領域とするかを指定します。 0：デスティネーション側がリピート領域またはブロック領域 1：ソース側がリピート領域またはブロック領域
0	Sz	不定	—	DTC データトランスファサイズ 転送データのサイズを指定します。 0：バイトサイズ転送 1：ワードサイズ転送

【記号説明】∗ ：Don't care

7.2.2 DTC モードレジスタ B（MRB）

MRB は DTC モードの選択を行います。

ビット	ビット名	初期値	R/W	説　明
7	CHNE	不定	—	DTC チェイン転送イネーブル このビットが 1 のときチェイン転送を行います。チェイン転送の詳細は「7.5.4 チェイン転送」を参照してください。 CHNE＝1 に設定したデータ転送では、指定した転送回数の終了の判定や起動要因フラグのクリアや DTCER のクリアは行いません。
6	DISEL	不定	—	DTC インタラプトセレクト このビットが 1 のとき DTC 転送のたびに CPU に対して割り込み要求を発生します。このビットが 0 のとき指定されたデータ転送を終了したときだけ CPU に対して割り込み要求を発生します。ただし、USB、MCIF の割り込み要因で DTC を起動する場合、このビットを 0 にクリアすると正しく動作することができません。必ず 1 にセットしてください。
5〜0	—	すべて不定	—	リザーブビット DTC の動作に影響を与えません。0 をライトしてください。

7.2.3 DTC ソースアドレスレジスタ（SAR）

SAR は 24 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

7.2.4 DTC デスティネーションアドレスレジスタ（DAR）

DAR は 24 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。ワードサイズの場合は偶数アドレスを指定してください。

7.2.5 DTC 転送カウントレジスタ A（CRA）

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマルモードでは、一括して 16 ビットの転送カウンタ（1〜65536）として機能します。1 回のデータ転送を行うたびにデクリメント（−1）され、カウンタ値が H'0000 になると転送を終了します。

リピートモードおよびブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ（1〜256）として機能します。CRAL は、1 回のデータ転送を行うたびにデクリメント（−1）され、カウンタ値が H'00 になると、CRAH の内容が転送されます。

7.2.6 DTC 転送カウントレジスタ B（CRB）

CRB は 16 ビットのレジスタで、ブロック転送モードのとき、DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送カウンタ（1～65536）として機能し、1 回のデータ転送を行うたびに、デクリメント（－1）され、カウンタ値が H'0000 になると転送を終了します。

7.2.7 DTC イネーブルレジスタ（DTCER）

DTCER は DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA～DTCERE があります。各割り込み要因と DTCE ビットの対応については**表 7.1、表 7.3** を参照してください。DTCE ビットの設定は、BSET、BCLR などビット操作命令を使用してください。ただし複数の起動要因を一度に設定する時には、初期設定に限り、割り込みをマスクして対象となるレジスタをダミーリードした後ライトすることができます。

ビット	ビット名	初期値	R/W	説　明
7	DTCE7	0	R/W	DTC 起動イネーブル
6	DTCE6	0	R/W	1 をセットすると対応する割り込み要因が DTC 起動要因として選択されます。
5	DTCE5	0	R/W	［クリア条件］
4	DTCE4	0	R/W	• MRB の DISEL ビットが 1 でデータ転送を終了したとき
3	DTCE3	0	R/W	• 指定した回数の転送が終了したとき
2	DTCE2	0	R/W	DISEL ビットが 0 で、指定した回数の転送が終了していないときはクリアされません。
1	DTCE1	0	R/W	
0	DTCE0	0	R/W	

表 7.1　各割り込み要因と DTCER の対応

ビット	ビット名	レジスタ				
		DTCERA	DTCERB	DTCERC	DTCERD	DTCERE
7	DTCEn7	(16)IRQ0	(53)OCIB	(69)CMIB1	(86)TXI1	(108)USBI0
6	DTCEn6	(17)IRQ1	(93)IICM0	(72)CMIAY	(89)RXI2	(109)USBI1
5	DTCEn5	(18)IRQ2	(94)IICR0	(73)CMIBY	(90)TXI2	(110)USBI2
4	DTCEn4	(19)IRQ3	(95)IICT0	—	(97)IICM1	(111)USBI3
3	DTCEn3	(28)ADI	—	(44)CMIAX	(98)IICR1	—
2	DTCEn2	(48)ICIA	(64)CMIA0	(81)RXI0	(99)IICT1	—
1	DTCEn1	(49)ICIB	(65)CMIB0	(82)TXI0	(112)MMCIA	—
0	DTCEn0	(52)OCIA	(68)CMIA1	(85)RXI1	(45)CMIBX	—

【注】 n：A～E

（ ）：ベクタ番号

－：リザーブビットです。0 をライトしてください。

7.2.8 DTC ベクタレジスタ（DTVECR）

DTVECR はソフトウェアによる DTC 起動およびソフトウェア起動割り込み用ベクタ番号を設定します。

ビット	ビット名	初期値	R/W	説　明
7	SWDTE	0	R/W	DTC ソフトウェア起動イネーブル このビットを 1 にセットすると DTC が起動します。1 のライトのみ可能です。 ［クリア条件］ • DISEL ビットが 0 で、指定した回数の転送が終了しないとき • CPU に対し、ソフトウェア起動データ転送終了割り込み要求（SWDTEND）が発生したあと、0 をライトしたとき DISEL ビットが 1 で、データ転送を終了したとき、および指定した回数の転送が終了したときはクリアされません。
6	DTVEC6	0	R/W	DTC ソフトウェア起動ベクタ 6～0 ソフトウェアによる DTC 起動ベクタ番号を設定します。 ベクタアドレスは、H'0400＋ベクタ番号×2 となります。たとえば、DTVEC6～DTVEC0＝H'10 のとき、ベクタアドレスは H'0420 となります。 SWDTE=0 のときだけライト可能です。
5	DTVEC5	0	R/W	
4	DTVEC4	0	R/W	
3	DTVEC3	0	R/W	
2	DTVEC2	0	R/W	
1	DTVEC1	0	R/W	
0	DTVEC0	0	R/W	

7.3 起動要因

DTC は割り込み要求またはソフトウェアによる DTVECR へのライト動作により起動します。起動する割り込み要因は DTCER で選択します。1 回のデータ転送（チェイン転送の場合、連続した最後の転送）終了時に、起動要因となった割り込みフラグまたは DTCER の対応するビットをクリアします。たとえば RXI0 の場合、起動要因フラグは、SCI_0 の RDRF フラグになります。

割り込みで DTC を起動する場合は CPU のマスクレベルおよび割り込みコントローラに設定されたプライオリティレベルの影響を受けません。複数の起動要因が同時に発生した場合には、割り込み要因のデフォルトの優先順位に従って DTC が起動します。DTC 起動要因制御ブロック図を**図 7.2** に示します。割り込みコントローラの詳細は、**「第 5 章　割り込みコントローラ」**を参照してください。

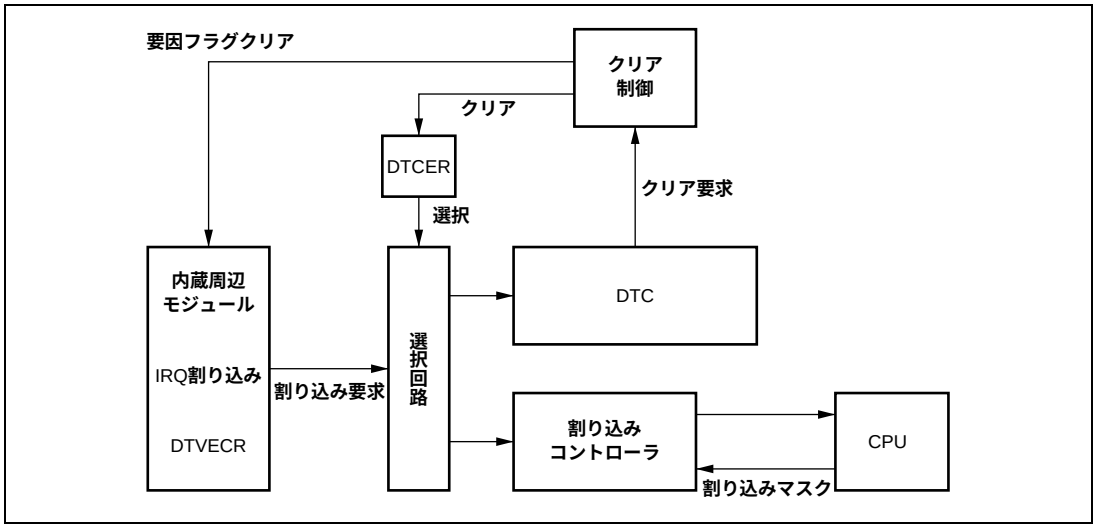


図 7.2　DTC 起動要因制御ブロック図

7.4 レジスタ情報の配置と DTC ベクタテーブル

レジスタ情報は、内蔵 RAM 上のアドレス H'(FF)EC00～H'(FF)EFFF に配置してください。レジスタ情報はこの範囲の任意のアドレスに配置することができますが、アドレスは 4 の倍数の番地としてください。**図** 7.3 に、アドレス空間上でのレジスタ情報の配置方法を示します。レジスタ情報の先頭アドレスから、MRA、SAR、MRB、DAR、CRA、CRB の順に配置してください。チェイン転送の場合は、**図** 7.3 のように連続した領域にレジスタ情報を配置してください。また、各レジスタ情報の先頭アドレスを DTC ベクタテーブルの起動要因に対応する番地に格納してください。DTC は起動要因別にベクタテーブルからレジスタ情報の先頭アドレスをリードし、この先頭アドレスからレジスタ情報をリードします。

ソフトウェアで起動する場合のベクタアドレスは H'0400+(DTVECR[6:0]×2) となります。たとえば、DTVECR が H'10 のとき、ベクタアドレスは H'0420 となります。

ベクタアドレスの構造は、ノーマルモードとアドバンストモードとで同一で、2 バイト単位となっています。先頭アドレスの下位 2 バイトを設定してください。

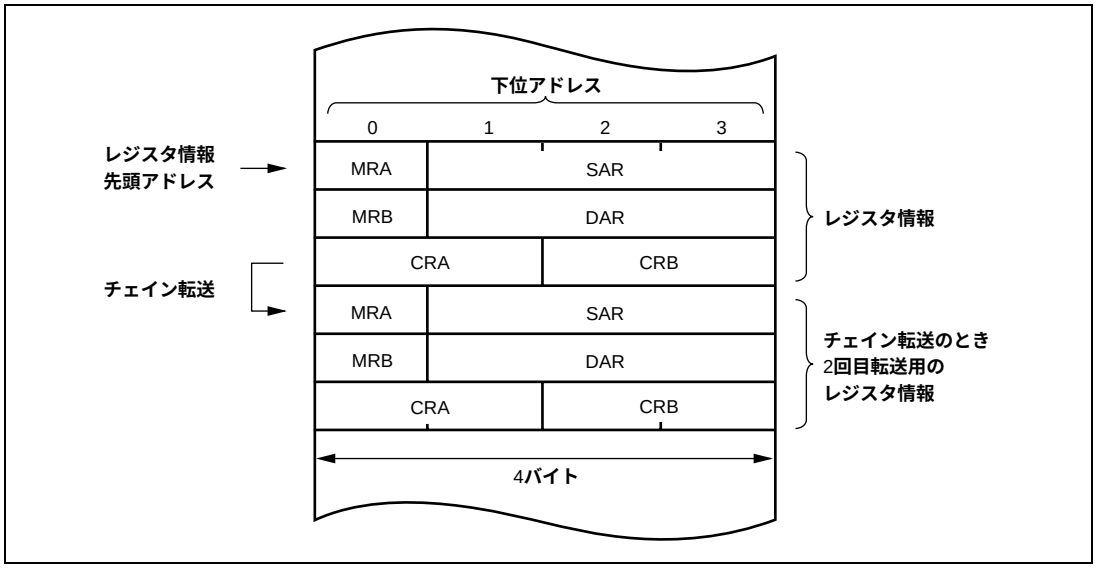


図 7.3 **アドレス空間上での** DTC **レジスタ情報の配置**

表 7.2 割り込み要因と DTC ベクタアドレスおよび対応する DTCE

起動要因発生元	起動要因	ベクタ番号	DTC ベクタアドレス	DTCE*	優先順位
ソフトウェア	DTVECR へのライト	DTVECR	H'0400＋ベクタ番号×2	−	高
外部端子	IRQ0	16	H'0420	DTCEA7	
	IRQ1	17	H'0422	DTCEA6	
	IRQ2	18	H'0424	DTCEA5	
	IRQ3	19	H'0426	DTCEA4	
A/D 変換器	ADI	28	H'0438	DTCEA3	
TMR_X	CMIAX	44	H'0458	DTCEC3	
	CMIBX	45	H'045A	DTCED0	
FRT	ICIA	48	H'0460	DTCEA2	
	ICIB	49	H'0462	DTCEA1	
	OCIA	52	H'0468	DTCEA0	
	OCIB	53	H'046A	DTCEB7	
TMR_0	CMIA0	64	H'0480	DTCEB2	
	CMIB0	65	H'0482	DTCEB1	
TMR_1	CMIA1	68	H'0488	DTCEB0	
	CMIB1	69	H'048A	DTCEC7	
TMR_Y	CMIAY	72	H'0490	DTCEC6	
	CMIBY	73	H'0492	DTCEC5	
−	システム予約	76	H'0498	DTCED2	
	システム予約	78	H'049C	DTCED2	
	システム予約	79	H'049E	DTCEB4	
SCI_0	RXI0	81	H'04A2	DTCEC2	
	TXI0	82	H'04A4	DTCEC1	
SCI_1	RXI1	85	H'04AA	DTCEC0	
	TXI1	86	H'04AC	DTCED7	
SCI_2	RXI2	89	H'04B2	DTCED6	
	TXI2	90	H'04B4	DTCED5	
IIC_0	IICM0	93	H'04BA	DTCEB6	
	IICR0	94	H'04BC	DTCEB5	
	IICT0	95	H'04BE	DTCEB4	
IIC_1	IICM1	97	H'04C2	DTCED4	
	IICR1	98	H'04C4	DTCED3	
	IICT1	99	H'04C6	DTCED2	低

起動要因発生元	起動要因	ベクタ番号	DTC ベクタアドレス	DTCE*	優先順位
—	システム予約	104	H'04D0	DTCEE3	高
	システム予約	105	H'04D2	DTCEE2	
	システム予約	106	H'04D4	DTCEE1	
	システム予約	107	H'04D6	DTCEE0	
USB	USBI0	108	H'04D8	DTCEE7	
	USBI1	109	H'04DA	DTCEE6	
	USBI2	110	H'04DC	DTCEE5	
	USBI3	111	H'04DE	DTCEE4	
MCIF	MMCIA	112	H'04E0	DTCED1	低

【注】* 対応する割り込みのない DTCE ビットはリザーブビットとなります。0 をライトしてください。

7.5 動作説明

DTC はレジスタ情報を内蔵 RAM に格納します。DTC が起動すると、内蔵 RAM からレジスタ情報をリードしてデータ転送を行い、データ転送後のレジスタ情報を内蔵 RAM に戻します。レジスタ情報を内蔵 RAM に格納することで、任意のチャネル数のデータ転送を行うことができます。転送モードにはノーマルモード、リピートモード、ブロック転送モードがあります。また、MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数の転送を行うことができます（チェイン転送）。

転送元アドレスは 24 ビット長の SAR、転送先アドレスは 24 ビット長の DAR で指定します。SAR、DAR は転送後、レジスタ情報に従って独立にインクリメント、デクリメントされるか固定されます。

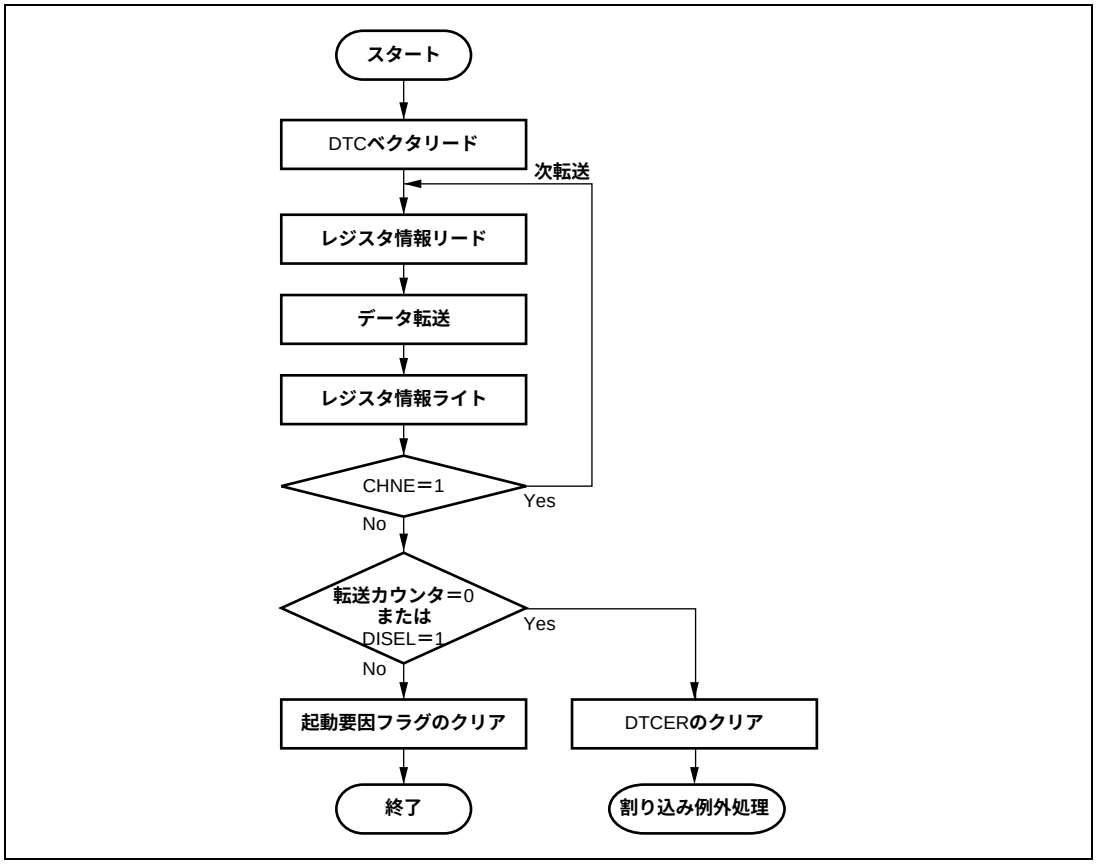


図 7.4　DTC **動作フローチャート**

7.5.1 ノーマルモード

1 つの起動要因で、1 バイトまたは 1 ワードの転送を行います。**表 7.4** にノーマルモードにおけるレジスタ機能を示します。転送回数は 1～65536 です。指定回数の転送が終了すると、CPU へ割り込み要求を発生することができます。

表 7.3 ノーマルモードのレジスタ機能

名　称	略称	機　能
DTC ソースアドレスレジスタ	SAR	転送元アドレス
DTC デスティネーションアドレスレジスタ	DAR	転送先アドレス
DTC 転送カウントレジスタ A	CRA	転送カウント
DTC 転送カウントレジスタ B	CRB	使用しません

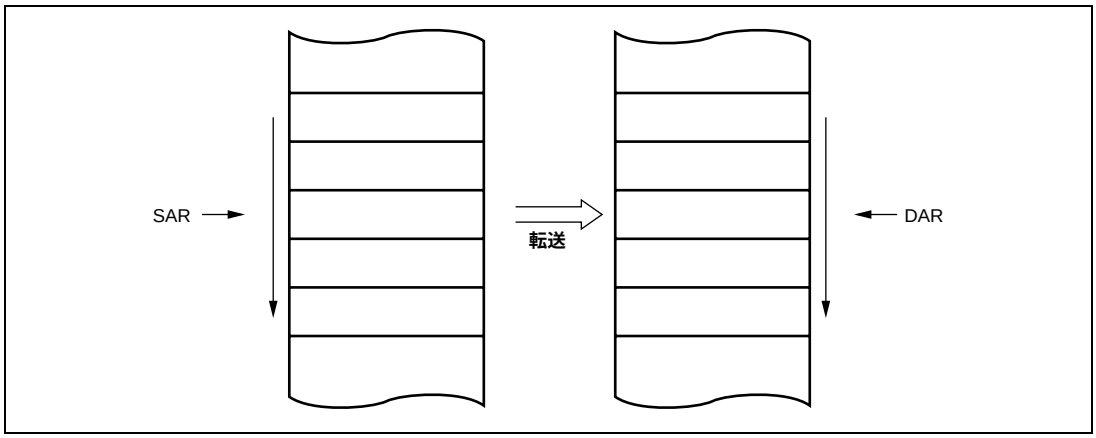


図 7.5 ノーマルモードのメモリマップ

7.5.2 リピートモード

1 つの起動要因で、1 バイトまたは 1 ワードの転送を行います。**表 7.4** にリピートモードにおけるレジスタ機能を示します。転送回数は 1～256 で、指定回数の転送が終了すると、転送カウンタおよびリピートエリアに指定された方のアドレスレジスタの初期状態が回復し、転送を繰り返します。リピートモードでは、転送カウンタが H'00 にならないので、DISEL＝0 の場合は CPU への割り込み要求は発生しません。

表 7.4 リピートモードのレジスタ機能

名　称	略称	機　能
DTC **ソースアドレスレジスタ**	SAR	**転送元アドレス**
DTC **デスティネーションアドレスレジスタ**	DAR	**転送先アドレス**
DTC **転送カウントレジスタ** AH	CRAH	**転送回数保持**
DTC **転送カウントレジスタ** AL	CRAL	**転送カウンタ**
DTC **転送カウントレジスタ** B	CRB	**使用しません**

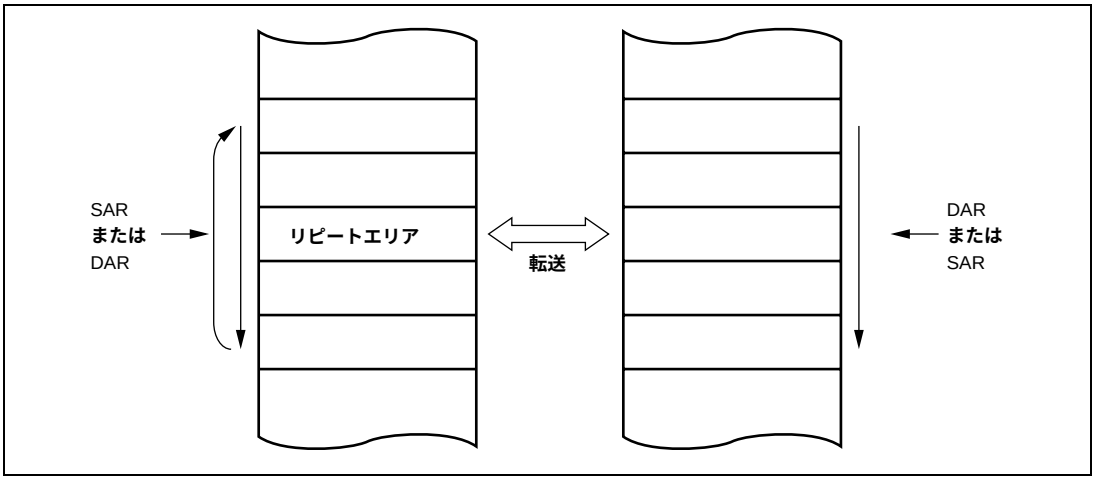


図 7.6 リピートモードのメモリマップ

7.5.3 ブロック転送モード

1 つの起動要因で、1 ブロックの転送を行います。転送元、転送先のいずれか一方をブロックエリアに指定します。**表** 7.5 にブロック転送モードにおけるレジスタ機能を示します。ブロックサイズは 1～256 で、1 ブロックの転送が終了すると、ブロックサイズカウンタとブロックエリアに指定した方のアドレスレジスタの初期状態が復帰します。他方のアドレスレジスタは、レジスタ情報に従い連続してインクリメント、デクリメントするか固定されます。転送回数は 1～65536 です。指定回数のブロック転送が終了すると、CPU へ割り込み要求を発生させることができます。

表 7.5 **ブロック転送モードのレジスタ機能**

名　称	略称	機　能
DTC **ソースアドレスレジスタ**	SAR	**転送元アドレス**
DTC **デスティネーションアドレスレジスタ**	DAR	**転送先アドレス**
DTC **転送カウントレジスタ** AH	CRAH	**ブロックサイズ保持**
DTC **転送カウントレジスタ** AL	CRAL	**ブロックサイズカウンタ**
DTC **転送カウントレジスタ** B	CRB	**転送カウンタ**

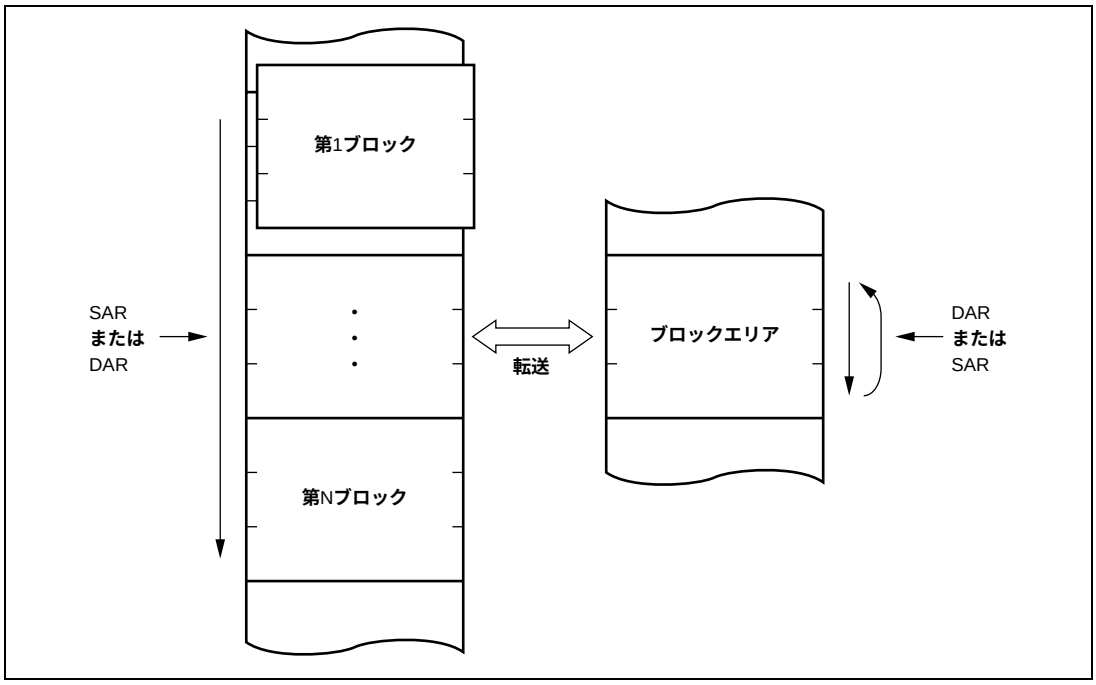


図 7.7 **ブロック転送モードのメモリマップ**

7.5.4 チェイン転送

MRB の CHNE ビットを 1 にセットしておくことにより、1 つの起動要因で複数のデータ転送を連続して行うことができます。SAR、DAR、CRA、CRB および MRA、MRB はおのおの独立に設定できます。

図 7.8 にチェイン転送の動作の概要を示します。DTC は起動すると起動要因に対応した DTC ベクタアドレスからレジスタ情報の先頭アドレスをリードし、この先頭アドレスから最初のレジスタ情報をリードします。データ転送終了後このレジスタの CHNE ビットをテストし、1 であれば連続して配置された次のレジスタ情報をリードして転送を行います。この動作を CHNE ビットが 0 のレジスタ情報のデータ転送が終了するまで続けます。

CHNE＝1 の転送では指定した転送回数の終了による CPU への割り込み要求や、DISEL＝1 による CPU への割り込み要求は発生しません。また、CHNE＝1 の転送は起動要因となった割り込み要因フラグに影響を与えません。

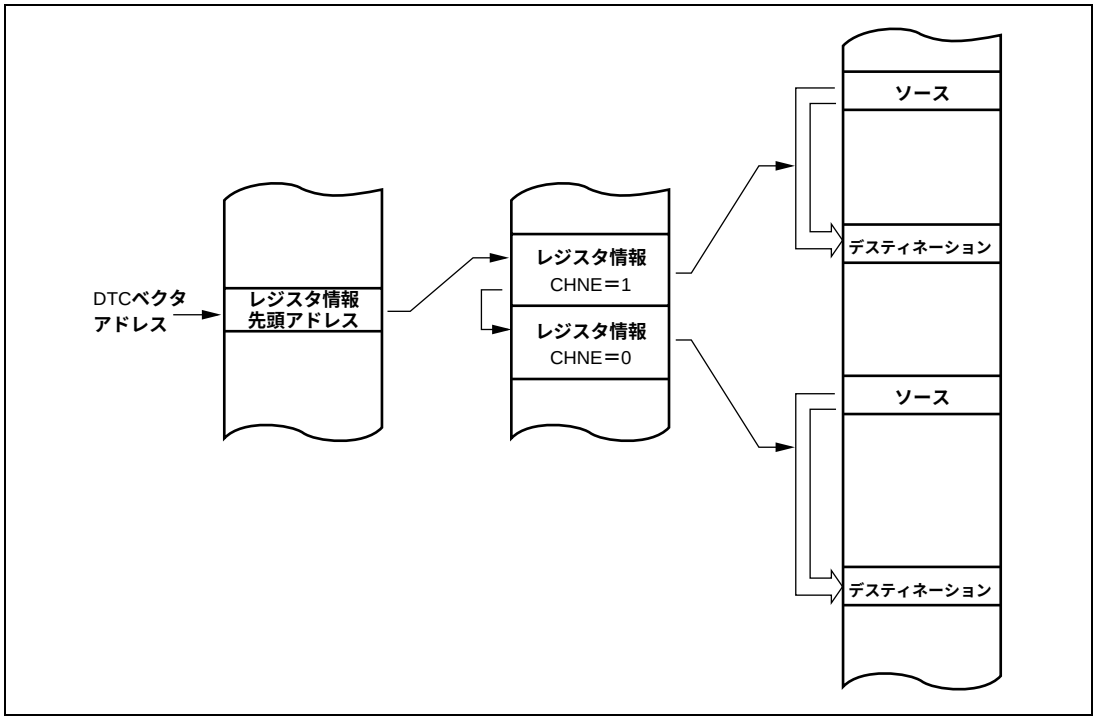


図 7.8　**チェイン転送の動作**

7.5.5 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラの割り込みコントロールレベルの制御を受けます。

ソフトウェアによる起動の場合、ソフトウェア起動データ転送終了割り込み（SWDTEND）を発生します。

DISEL ビットが 1 の状態で、1 回のデータ転送を終了した場合、または指定した回数のデータ転送を終了した場合、データ転送終了後に SWDTE ビットが 1 に保持され、SWDTEND 割り込みを発生します。割り込み処理ルーチンで SWDTE ビットを 0 にクリアしてください。

ソフトウェアで DTC を起動する場合、SWDTE ビットを 1 にセットしても、データ転送待ち、およびデータ転送中は、SWDTEND 割り込みは発生しません。

7.5.6 動作タイミング

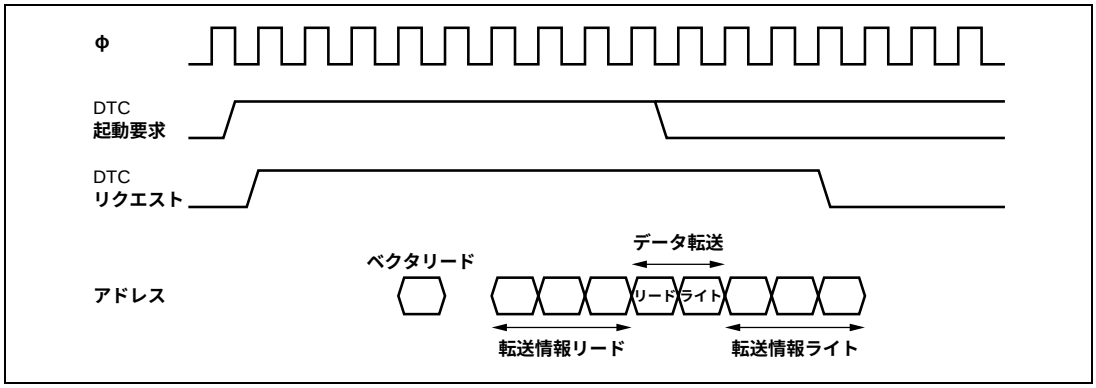


図 7.9 DTC の動作タイミング（ノーマルモード、リピートモードの例）

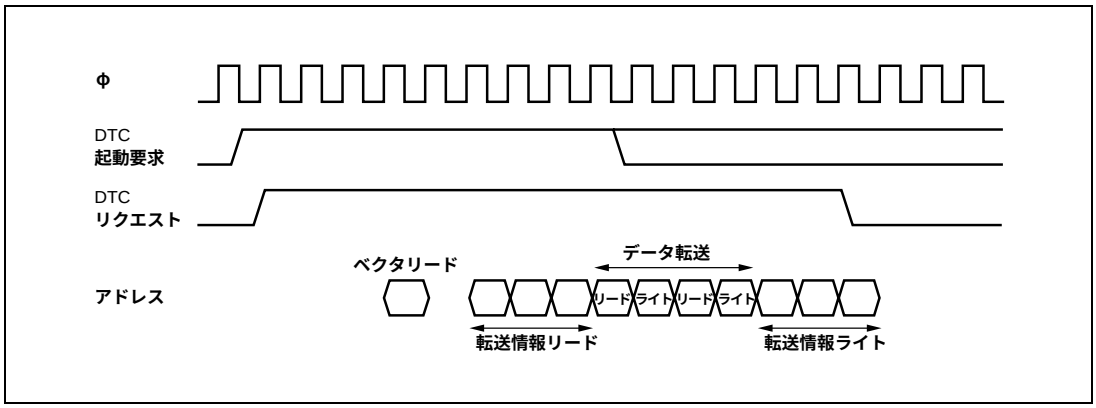


図 7.10 DTC の動作タイミング（ブロック転送モード、ブロックサイズ＝2 の例）

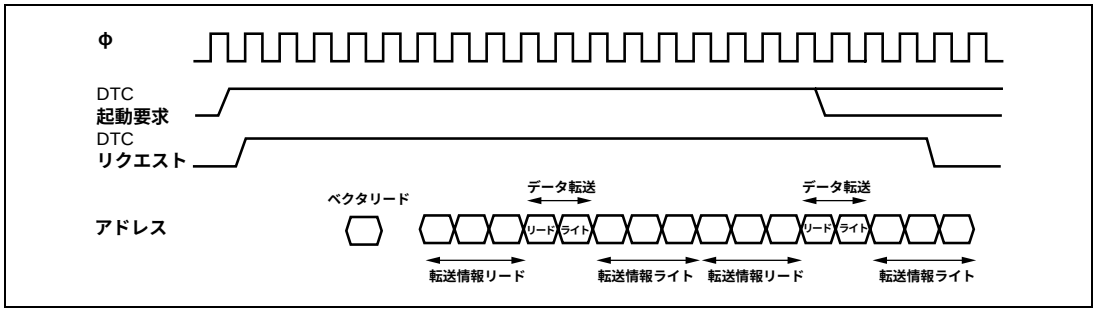


図 7.11　DTC **の動作タイミング（チェイン転送の例）**

7.5.7　DTC 実行ステート数

表 7.6 に DTC の 1 回のデータ転送の実行状態を示します。また、**表** 7.7 に実行状態に必要なステート数を示します。

表 7.6　DTC **の実行状態**

モード	ベクタリード I	レジスタ情報 リード／ライト J	データリード K	データライト L	内部動作 M
ノーマル	1	6	1	1	3
リピート	1	6	1	1	3
ブロック転送	1	6	N	N	3

N　：**ブロックサイズ**（CRAH、CRAL **の初期設定値**）

表 7.7　**実行状態に必要なステート数**

アクセス対象			内蔵 RAM (H'(FF)EC00～ H'(FF)EFFF)	内蔵 RAM (左記以外の内蔵 RAM エリア)	内蔵 ROM	内部 I/O レジスタ		外部デバイス			
バス幅			32	16	16	8	16	8		16	
アクセスステート			1	1	1	2	2	2	3	2	3
実行状態	ベクタリード	SI	−	−	1	−	−	4	6+2m	2	3+m
	レジスタ情報 リード／ライト	SJ	1	−	−	−	−	−	−	−	−
	バイトデータリード	SK	1	1	1	2	2	2	3+m	2	3+m
	ワードデータリード	SK	1	1	1	4	2	4	6+2m	2	3+m
	バイトデータライト	SL	1	1	1	2	2	2	3+m	2	3+m
	ワードデータライト	SL	1	1	1	4	2	4	6+2m	2	3+m
	内部動作	SM	1								

実行ステート数は次の計算式で計算されます。なお、Σは1つの起動要因で転送する回数分（CHNEビットを1にセットした数＋1）の和を示します。

実行ステート数＝$I \cdot S_I + \Sigma (J \cdot S_J + K \cdot S_K + L \cdot S_L) + M \cdot S_M$

たとえば、DTCベクタアドレスを内蔵ROMに配置し、ノーマルモードで、内蔵ROM→内部I/Oレジスタのデータ転送を行った場合、DTCの動作に必要な時間は13ステートです。起動からデータライト終了までの時間は10ステートです。

7.6 DTC使用手順

7.6.1 割り込みによる起動

DTCの割り込み起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. 起動要因となる割り込み要因のイネーブルビットを1にセットします。
   要因となる割り込みが発生すると、DTCが起動されます。
5. 1回のデータ転送終了後、または、指定した回数のデータ転送終了後、DTCEビットが0にクリアされ、CPUに割り込みが要求されます。引き続きDTCによるデータ転送を行う場合には、DTCEビットを1にセットしてください。

7.6.2 ソフトウェアによる起動

DTCのソフトウェア起動による使用手順を以下に示します。

1. MRA、MRB、SAR、DAR、CRA、CRBのレジスタ情報を内蔵RAM上に設定します。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. SWDTE＝0を確認します。
4. SWDTEに1を、DTVECRにベクタ番号をライトします。
5. DTVECRにライトしたベクタ番号を確認します。
6. 1回のデータ転送終了後、DISELビットが0で、CPUに割り込みを要求しない場合、SWDTEビットが0にクリアされます。引き続きDTCによるデータ転送を行う場合には、SWDTEを1にセットしてください。DISELビットが1の場合、または指定した回数のデータ転送終了後、SWDTEビットは1に保持され、CPUに割り込みが要求されます。

7.7 DTC 使用例

7.7.1 ノーマルモード

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

1. MRAはソースアドレス固定（SM1＝SM0＝0）、デスティネーションアドレスインクリメント（DM1＝1、DM0＝0）、ノーマルモード（MD1＝MD0＝0）、バイトサイズ（Sz＝0）を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送（CHNE＝0、DISEL＝0）を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128（H'0080）を設定します。CRBは任意の値とすることができます。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレスに設定します。
3. DTCERの対応するビットを1にセットします。
4. SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了（RXI）割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

7.7.2 ソフトウェア起動

DTC の使用例として、ソフトウェア起動による 1 ブロック 128 バイトのデータ転送を行う例を示します。転送元アドレスは H'1000、転送先アドレスは H'2000 です。ベクタ番号は H'60、したがって、ベクタアドレスは H'04C0 です。

1. MRAはソースアドレスインクリメント（SM1＝1、SM0＝0）、デスティネーションアドレスインクリメント（DM1＝1、DM0＝0）、ブロック転送モード（MD＝1、MD0＝0）、バイトサイズ（Sz＝0）を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のブロック転送（CHNE＝0）を行います。SARは転送元アドレスでH'1000、DARは転送先アドレスでH'2000、CRAは128（H'8080）を設定します。CRBは1（H'0001）をセットします。
2. レジスタ情報の先頭アドレスを、DTCベクタアドレス（H'04C0）に設定します。
3. DTVECRのSWDTE＝0を確認します。現在、DTCがソフトウェア起動による転送を行っていないことの確認です。
4. SWDTE＝1と共に、ベクタ番号H'60を、DTVECRにライトします。ライトデータはH'E0です。

5. 再度、DTVECRを読み、ベクタ番号H'60が設定されていることを確認します。設定されていないときは、ライトが失敗したことを表します。［3］と［4］の間に割り込みが入り、ここで他のソフトウェアによって起動された場合が、これに相当します。起動したい場合、［3］に戻ってください。
6. ライトが成功すると、DTCが起動され、128バイト1ブロックの転送を行います。
7. 転送後、SWDTEND割り込みが起動します。割り込み処理ルーチンでSWDTEビットの0クリアなど、終了処理を行ってください。

7.8 使用上の注意事項

7.8.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、DTC の動作禁止／許可を設定することが可能です。初期値では、DTC の動作許可状態です。モジュールストップモードを設定することにより、レジスタのアクセスが禁止されます。ただし、DTC が起動中はモジュールストップモードに設定できません。詳細は、**「第 27 章　低消費電力状態」**を参照してください。

7.8.2 内蔵 RAM

MRA、MRB、SAR、DAR、CRA、CRB の各レジスタは、内蔵 RAM に配置します。DTC を使用する場合は、SYSCR の RAME ビットを 0 にクリアしないでください。

7.8.3 DTCE ビットの設定

DTCE ビットの設定は、必ず BSET、BCLR などビット操作命令を使ってリード／ライトしてください。ただし、初期設定に限り、複数の起動要因を一度に設定するときには、割り込みを禁止して、当該レジスタのダミーリードを行ってからライトすることができます。

7.8.4 サブアクティブモード、ウォッチモードへの遷移時の設定

サブアクティブモード、ウォッチモードへの遷移前に、DTC をモジュールストップ（MSTPCRH の MSTP14 ビットを 1 にセット）の設定にし、1 に設定されていることを確認後、モード遷移してください。

7.8.5 SCI、IIC および A/D 変換器の割り込み要因による DTC の起動

SCI、IIC および A/D 変換器の割り込み要因は、DTC が所定のレジスタをリード／ライトしたときにクリアされ、DISEL ビットには依存しません。

7.8.6 USB、MCIF の割り込み要因による DTC の起動

USB、MCIF の割り込み要因で DTC を起動する場合、DISEL ビットを 0 にクリアすると正しく動作することができません。必ず 1 にセットしてください。

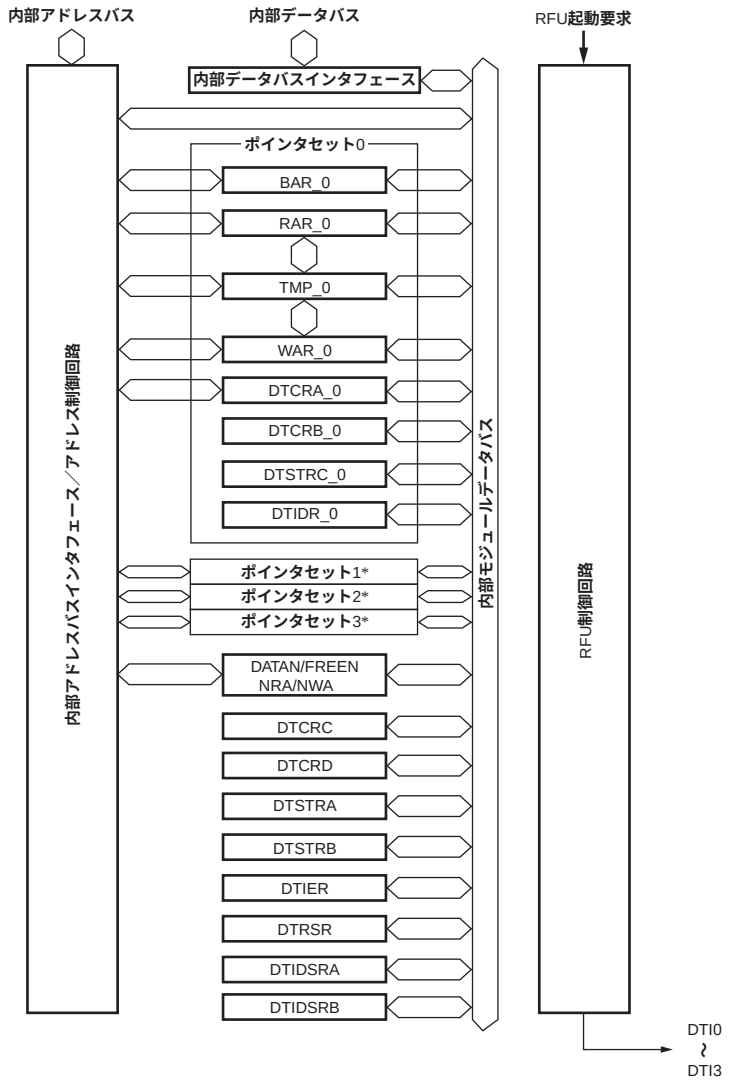
8. RAM-FIFO ユニット（RFU）

本 LSI は RAM-FIFO ユニット（RFU）を内蔵しています。RFU は周辺機能の要求によって起動され、周辺機能と内蔵 RAM の間のデータ転送を行うことができます。RFU はデータ転送の実行ごとに更新されるポインタによって転送対象の RAM アドレスを指定することができるので、内蔵 RAM の指定エリアを FIFO（First-in First-out）のように扱うことが可能です。ポインタの更新により FIFO のフル、エンプティやオーバランなどが生じた場合は、RFU はこれを周辺機能に通知することができます。周辺機能からの要求はデータ転送以外に、ポインタのリセットやテンポラリポインタの操作などがあります。

図 8.1 に RFU のブロック図を示します。

8.1 特長

- CPUやDTCよりも優先度の高いバスマスタ
- 特定の周辺機能（SCI、USB、MCIF）にRFU-IDを付与し、RFUの操作対象をID番号で指定
- RFUバスサイクルは、周辺機能と内蔵RAMを同時アクセス
- RFUバスサイクル時のアドレスバスは、データ転送対象のRAMアドレスを出力
- データ転送対象のRAMアドレスは、RFU内蔵のポインタセットで指定
- ポインタセットを4セット搭載
- ポインタセットの内容はデータ転送ごとに更新し、内蔵RAMの特定エリアをFIFOとして操作可能
- RAM-FIFOのサイズは32、64、128、256、512、1024、2048バイトから選択可能
- RAM-FIFOのフル、エンプティやオーバランで割り込みを発生可能
- 中速モード時もRFUは高速モードで動作



【注】＊ ポインタセット1～ポインタセット3はポインタセット0と同様の機能です。

【記号説明】

BAR： ベースアドレスレジスタ
RAR： リードアドレスポインタ
TMP： テンポラリポインタ
WAR： ライトアドレスポインタ
DATAN： 有効データバイト数
FREEN： フリーエリアバイト数
NRA： リード先頭アドレス
NWA： ライト先頭アドレス
DTCRA： データ転送コントロールレジスタA
DTCRB： データ転送コントロールレジスタB
DTSTRC： データ転送ステータスレジスタC
DTIDR： データ転送IDレジスタ
DTIDSRA： データ転送IDリード／ライト選択レジスタA
DTIDSRB： データ転送IDリード／ライト選択レジスタB
DTSTRA： データ転送ステータスレジスタA
DTSTRB： データ転送ステータスレジスタB
DTCRC： データ転送コントロールレジスタC
DTCRD： データ転送コントロールレジスタD
DTIER： データ転送割り込みイネーブルレジスタ
DTRSR： データ転送レジスタ選択レジスタ

図 8.1 RFU のブロック図

8.2 レジスタの説明

RFU には以下のレジスタがあります。

- FIFOステータス／レジスタ／ポインタ（FSTR）

  ベースアドレスレジスタ（BAR）
  リードアドレスポインタ（RAR）
  ライトアドレスポインタ（WAR）
  テンポラリポインタ（TMP）
  有効データバイト数（DATAN）
  フリーエリアバイト数（FREEN）
  リード先頭アドレス（NRA）
  ライト先頭アドレス（NWA）
- データ転送コントロールレジスタA（DTCRA）
- データ転送コントロールレジスタB（DTCRB）
- データ転送ステータスレジスタC（DTSTRC）
- データ転送IDレジスタ（DTIDR）
- データ転送IDリード／ライト選択レジスタA（DTIDSRA）
- データ転送IDリード／ライト選択レジスタB（DTIDSRB）
- データ転送ステータスレジスタA（DTSTRA）
- データ転送ステータスレジスタB（DTSTRB）
- データ転送コントロールレジスタC（DTCRC）
- データ転送コントロールレジスタD（DTCRD）
- データ転送割り込みイネーブルレジスタ（DTIER）
- データ転送レジスタ選択レジスタ（DTRSR）

8.2.1 FIFO ステータス／レジスタ／ポインタ（FSTR）

FSTR は 32 ビットのリード／ライト可能なレジスタで、ポインタセット（0～3）の FIFO ステータス／レジスタ／ポインタをアクセスする際に使用します。FSTR により 4 つのレジスタ／ポインタ（BAR、RAR、WAR、TMP）と、4 つのステータス（DATAN、FREEN、NRA、NWA）のいずれかをアクセスすることが可能です。

ステータスは、DTRSR のライト（ポインタやステータスの選択）により更新されます。同一ポインタ、同一ステータスの参照の場合でも、DTRSR にライトしてから最新のステータスを参照してください。

ポインタセット 0 の BAR は DTRSR の初期値で選択されていますが、DTRSR にライトするまで FSTR からは不定値がリードされます。

8.2.2 ベースアドレスレジスタ（BAR）

BAR は各ポインタセットに 1 本ずつ存在するレジスタです。BAR は 16 ビットのレジスタで、FSTR のビット 19～4 に配置されています。ベースアドレスは、DTCRA の BUD2～BUD0 ビットで指定されるバウンダリの境界に設定する必要があります。それ以外に設定すると、ポインタによるアドレスの指定や、ポインタ間演算によるステータスの表示が正しく動作しません。

ビット	ビット名	初期値	R/W	説　明
31～20	—	すべて 1	R	ベースアドレス 31～20 リードすると常に 1 が読み出されます。ライトは無効です。
19～4	BA19～BA4	不定	R/W	ベースアドレス 19～4 FIFO として操作可能な内蔵 RAM のベースアドレスを設定します。
3～0	—	すべて 0	R	ベースアドレス 3～0 リードすると常に 0 が読み出されます。ライトは無効です。

8.2.3 リードアドレスポインタ（RAR）

RAR は各ポインタセットに 1 本ずつ存在するポインタです。RAR は 11 ビットのポインタで、FSTR のビット 10～0 に配置されています。

ビット	ビット名	初期値	R/W	説　明
31～11	—	すべて 0	R	リードアドレス 31～11 リードすると常に 0 が読み出されます。ライトは無効です。
10～0	RA10～RA0	すべて 0	R/W	リードアドレス 10～0 RFU の RAM リードサイクルで、リードする RAM アドレスを指定するポインタです。RAM アドレスは BAR＋RAR で計算されます。これは NRA としてリードすることが可能です。RAM リードサイクルごとにリードバイト数だけインクリメントされます。ただし、選択された FIFO のサイズを超えるとインクリメントされず、0 にクリアされます。

8.2.4 ライトアドレスポインタ（WAR）

WAR は各ポインタセットに 1 本ずつ存在するポインタです。WAR は 11 ビットのポインタで、FSTR のビット 10～0 に配置されています。

ビット	ビット名	初期値	R/W	説　明
31～11	—	すべて 0	R	ライトアドレス 31～11 リードすると常に 0 が読み出されます。ライトは無効です。
10～0	WA10～WA0	すべて 0	R/W	ライトアドレス 10～0 RFU の RAM ライトサイクルで、ライトする RAM アドレスを指定するポインタです。RAM アドレスは BAR+WAR で計算されます。これは NWA としてリードすることが可能です。RAM ライトサイクルごとにライトバイト数だけインクリメントされます。選択された FIFO のサイズを超えるとインクリメントされず、0 にクリアされます。

8.2.5 テンポラリポインタ（TMP）

TMP は各ポインタセットに 1 本ずつ存在するポインタです。TMP は 11 ビットのポインタで、FSTR のビット 10～0 に配置されます。TMP は、DTCRA の PMD1、PMD0 ビットの設定により、ポインタセットの動作を選択可能です。

ビット	ビット名	初期値	R/W	説　明
31～11	—	すべて 0	R	テンポラリアドレス 31～11 リードすると常に 0 が読み出されます。ライトは無効です。
10～0	TMP10～TMP0	すべて 0	R/W	テンポラリアドレス 10～0 [TMP をリードテンポラリポインタとして使用する場合] ポインタ更新の操作によって、RAR の内容を TMP に転送するか、TMP の内容を RAR に転送することができます。 [TMP をライトテンポラリポインタとして使用する場合] ポインタ更新の操作によって、WAR の内容を TMP に転送するか、TMP の内容を WAR に転送することができます。

8.2.6 有効データバイト数（DATAN）

DATAN は 11 ビットのステータスデータで、FSTR のビット 10～0 に配置されます。

ビット	ビット名	初期値	R/W	説　明
31～11	－	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
10～0	－	すべて 0	R	有効データバイト数 各ポインタセットにおいて、FIFO のリード可能な有効なデータのバイト数を示します。

8.2.7 フリーエリアバイト数（FREEN）

FREEN は 11 ビットのステータスデータで、FSTR のビット 10～0 に配置されます。

ビット	ビット名	初期値	R/W	説　明
31～11	－	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
10～0	－	すべて 0	R	フリーエリアバイト数 各ポインタセットにおいて、FIFO にライト可能な空きエリアのバイト数を示します。

8.2.8 リード先頭アドレス（NRA）

NRA は 32 ビットのステータスデータで、FSTR のビット 31～0 に配置されます。

ビット	ビット名	初期値	R/W	説　明
31～0	－	不定	R	リード先頭アドレス 31～0 RAM アドレスを BAR+RAR で計算します。

8.2.9 ライト先頭アドレス（NWA）

NWA は 32 ビットのステータスデータで、FSTR のビット 31～0 に配置されます。

ビット	ビット名	初期値	R/W	説　明
31～0	－	不定	R	ライト先頭アドレス 31～0 RAM アドレスを BAR+RAR で計算します。

8.2.10 データ転送コントロールレジスタ A（DTCRA）

DTCRA は各ポインタセットに 1 本ずつ存在するレジスタです。DTCRA は各ポインタセットの動作を制御します。

ビット	ビット名	初期値	R/W	説　明
7	IDE-A	0	R/W	ID-A イネーブル DTIDR で選択した ID-A のイネーブル／ディスエーブルを選択します 0：ID-A ディスエーブル 1：ID-A イネーブル
6	IDE-B	0	R/W	ID-B イネーブル DTIDR で選択した ID-B のイネーブル／ディスエーブルを選択します 0：ID-B ディスエーブル 1：ID-B イネーブル
5 4	PMD1 PMD0	0 0	R/W R/W	ポインタモード 1、0 TMP の動作モードを選択します。 0∗：TMP を使用しない 10：TMP をライトテンポラリポインタとして使用する 11：TMP をリードテンポラリポインタとして使用する
3	Sz	0	R/W	転送サイズ 周辺機能によって起動されるバスサイクルのデータサイズを選択します。 0：バイト転送 1：ワード転送
2 1 0	BUD2 BUD1 BUD0	1 1 0	R/W R/W R/W	バウンダリ 2、1、0 FIFO のサイズと、バウンダリオーバフローの有無を選択します。 000：32 バイト 001：64 バイト 010：128 バイト 011：256 バイト 100：512 バイト 101：1024 バイト 110：2048 バイト 111：バウンダリは設定されません。

【記号説明】∗：Don't care

表 8.1 に BAR、RAR、WAR、TMP の設定方法を示します。

BUD2～BUD0 ビットに設定した FIFO バイト数により、BAR はバウンダリ境界より上位のビットが有効となります。下位ビットは無効となるため 0 をライトしてください。RAR、WAR、TMP はバウンダリ境界より下位のビットが有効となります。上位ビットは無効となるため 0 をライトしてください。

表 8.1 BAR、RAR、WAR、TMP の有効ビット

FIFO バイト数	BAR 有効部分	BAR 無効部分（0 に設定要）	RAR、WAR、TMP 無効部分（0 に設定要、桁上がりなし）	RAR、WAR、TMP 有効部分
32 バイト	A19～A5	A4	A10～A5	A4～A0
64 バイト	A19～A6	A5～A4	A10～A6	A5～A0
128 バイト	A19～A7	A6～A4	A10～A7	A6～A0
256 バイト	A19～A8	A7～A4	A10～A8	A7～A0
512 バイト	A19～A9	A8～A4	A10～A9	A8～A0
1024 バイト	A19～A10	A9～A4	A10	A9～A0
2048 バイト	A19～A11	A10～A4	—	A10～A0

8.2.11 データ転送コントロールレジスタ B（DTCRB）

DTCRB は各ポインタセットに 1 本ずつ存在するレジスタです。DTCRB は各ポインタセットの割り込みフラグの動作とポインタ間のデータ転送を制御します。

ビット	ビット名	初期値	R/W	説　明
7	BOVF_RE	0	R/W	バウンダリオーバフロー（リード時）イネーブル RAR のバウンダリオーバフローを DTSTRC の BOVF_R フラグに反映するか否かを選択します。 0：バウンダリオーバフロー（リード時）を BOVF_R フラグに反映しない 1：バウンダリオーバフロー（リード時）を BOVF_R フラグに反映する
6	BOVF_WE	0	R/W	バウンダリオーバフロー（ライト時）イネーブル WAR のバウンダリオーバフローを DTSTRC の BOVF_W フラグに反映するか否かを選択します。 0：バウンダリオーバフロー（ライト時）を BOVF_W フラグに反映しない 1：バウンダリオーバフロー（ライト時）を BOVF_W フラグに反映する
5	FULLE	0	R/W	FIFO フルイネーブル FIFO フル（ライトバスサイクルによる WAR＝RAR または TMP＝WAR（リードテンポラリポインタ選択時）の状態の発生）の検出を DTSTRC の FULL フラグに反映するか否かを選択します。 0：FIFO フルの検出を FULL フラグに反映しない 1：FIFO フルの検出を FULL フラグに反映する
4	EMPTYE	0	R/W	FIFO エンプティイネーブル FIFO エンプティ（リードバスサイクルによる RAR＝WAR または TMP＝RAR（ライトテンポラリポインタ選択時）の状態の発生）の検出を DTSTRC の EMPTY フラグに反映するか否かを選択します。 0：FIFO エンプティの検出を EMPTY フラグに反映しない 1：FIFO エンプティの検出を EMPTY フラグに反映する

ビット	ビット名	初期値	R/W	説　明
3	LOAD	0	W	ポインタリロード TMP の設定時に、このビットを 1 にセットすると TMP の内容を RAR または WAR に転送します。 • リードテンポラリポインタを選択時、TMP の内容を RAR に転送します。 • ライトテンポラリポインタを選択時、TMP の内容を WAR に転送します。
2	MARK	0	W	ポインタマーク TMP の設定時に、このビットを 1 にセットすると RAR または WAR の内容を TMP に転送します。 • リードテンポラリポインタを選択時、RAR の内容を TMP に転送します。 • ライトテンポラリポインタを選択時、WAR の内容を TMP に転送します。
1	REST	0	W	ポインタリセット このビットを 1 にセットすると、RAR、WAR および TMP は初期化され、FIFO エンプティ状態になります。
0	STCLR	0	W	ステータスクリア FIFO フルおよび FIFO エンプティの情報をクリアします。

【注】ビット 1 とビット 0 は同時に 1 にセットしないでください。

8.2.12 データ転送ステータスレジスタ C（DTSTRC）

DTSTRC は各ポインタセットに 1 本ずつ存在するレジスタです。DTSTRC は各ポインタセットの割り込みフラグをもっています。

ビット 7～4 のフラグのうち 1 ビットでも 1 にセットされると、DTSTRA のポインタセット番号に対応するフラグがセットされます。ビット 3、2 のいずれかのビットが 1 にセットされると、DTSTRB のポインタセット番号に対応するフラグがセットされます。

ビット	ビット名	初期値	R/W	説　明
7	BOVF_R	0	R/(W)	バウンダリオーバフロー（リード時） RAR または TMP（リードテンポラリポインタ選択時）のバウンダリオーバフローの検出を示すフラグです。DTCRB の BOVF_RE ビットによりマスク可能です。
6	BOVF_W	0	R/(W)	バウンダリオーバフロー（ライト時） WAR または TMP（ライトテンポラリポインタ選択時）のバウンダリオーバフローの検出を示すフラグです。DTCRB の BOVF_WE ビットによりマスク可能です。
5	FULL	0	R/(W)	FIFO フル FIFO フル（ライトバスサイクルによる WAR＝RAR または TMP＝WAR（リードテンポラリポインタ選択時）の状態の発生）の検出を示すフラグです。DTCRB の FULLE ビットによりマスク可能です。

ビット	ビット名	初期値	R/W	説　明
4	EMPTY	0	R/(W)	FIFO エンプティ FIFO エンプティ（リードバスサイクルによる RAR＝WAR または TMP＝RAR（ライトテンポラリポインタ選択時）の状態の発生）の検出を示すフラグです。 DTCRB の EMPTYE ビットによりマスク可能です。
3	OVER_R	0	R/(W)	FIFO オーバリード FIFO エンプティ（RAR＝WAR または TMP＝RAR（ライトテンポラリポインタ選択時）の状態でのリード要求発生）の検出を示すフラグです。
2	OVER_W	0	R/(W)	FIFO オーバライト FIFO フル（WAR＝RAR または TMP＝WAR（リードテンポラリポインタ選択時）の状態でのライト要求発生）の検出を示すフラグです。
1	—	1	R	リザーブビット
0	—	1	R	リードすると常に 1 が読み出されます。ライトは無効です。

8.2.13　データ転送 ID レジスタ（DTIDR）

DTIDR は各ポインタセットに 1 本ずつ存在するレジスタです。DTIDR は各ポインタセットの起動要因となる周辺機能を選択します。

周辺機能には、あらかじめ 4 ビットの ID が割り振られており、DTIDR で 2 つの ID を選択します。ID は DTCRA の IDE-A、IDE-B ビットを 1 にセットすると、DTIDR で選択した ID がイネーブルになります。

ID の選択時、次の点に注意してください。

1. 2つのIDを選択するときはデータの転送方向がリードとライトになるように組み合わせてください。
2. 同一のIDが複数のポインタセットで選択されないようにしてください。

ビット	ビット名	初期値	R/W	説　明
7	ID-A3	0	R/W	ID-A 選択
6	ID-A2	0	R/W	IDE-A ビットで選択する ID の番号をライトします。
5	ID-A1	0	R/W	
4	ID-A0	0	R/W	
3	ID-B3	0	R/W	ID-B 選択
2	ID-B2	0	R/W	IDE-B ビットで選択する ID の番号をライトします。
1	ID-B1	0	R/W	
0	ID-B0	0	R/W	

8.2.14 データ転送 ID リード／ライト選択レジスタ A（DTIDSRA）

DTIDSRA は ID15～8 の転送方向を選択します。ID はあらかじめ周辺機能に割り振られているため転送方向は固定されています。詳細は「8.8 動作説明」を参照してください。

ビット	ビット名	初期値	R/W	説　明
7	IDRW15	0	R/W	ID15 R/W～ID8 R/W
6	IDRW14	0	R/W	ID 番号 15～8 の周辺機能の転送方向を選択します。
5	IDRW13	0	R/W	0：RAM→周辺機能（ライト）
4	IDRW12	0	R/W	1：周辺機能（リード）→RAM
3	IDRW11	0	R/W	
2	IDRW10	0	R/W	
1	IDRW9	0	R/W	
0	IDRW8	0	R/W	

8.2.15 データ転送 ID リード／ライト選択レジスタ B（DTIDSRB）

DTIDSRB は ID7～ID0 の転送方向を選択します。ID はあらかじめ周辺機能に割り振られているため転送方向は固定されています。詳細は「8.8 動作説明」を参照してください。

ビット	ビット名	初期値	R/W	説　明
7	IDRW7	0	R/W	ID7 R/W～ID0 R/W
6	IDRW6	0	R/W	ID 番号 7～0 の周辺機能の転送方向を選択します。
5	IDRW5	0	R/W	0：RAM→周辺機能（ライト）
4	IDRW4	0	R/W	1：周辺機能（リード）→RAM
3	IDRW3	0	R/W	
2	IDRW2	0	R/W	
1	IDRW1	0	R/W	
0	IDRW0	0	R/W	

8.2.16 データ転送ステータスレジスタ A（DTSTRA）

DTSTRA は各ポインタセットの割り込みフラグを持っています。

ビット	ビット名	初期値	R/W	説　明
7～4	—	すべて 0	R/(W)	リザーブビット 初期値を変更しないでください。
3	DTF3	0	R/(W)*	データ転送割り込みフラグ 3～0
2	DTF2	0	R/(W)*	ポインタセット 3～0 の割り込みフラグです。
1	DTF1	0	R/(W)*	0：割り込み要因なし
0	DTF0	0	R/(W)*	1：BOVF_R、BOVF_W、FULL、EMPTY のいずれかのフラグが 1 にセットされた

【注】 * フラグをクリアするための 0 ライトのみ可能です。

8.2.17 データ転送ステータスレジスタ B（DTSTRB）

DTSTRB は各ポインタセットのエラー割り込みフラグを持っています。

ビット	ビット名	初期値	R/W	説　明
7〜4	—	すべて 0	R/(W)	リザーブビット 初期値を変更しないでください。
3	DTEF3	0	R/(W)*	データ転送エラー割り込みフラグ 3〜1
2	DTEF2	0	R/(W)*	ポインタセット 3〜1 のエラー割り込みフラグです。
1	DTEF1	0	R/(W)*	0：割り込み要因なし 1：OVER_R、OVER_W のいずれかのフラグが 1 にセットされた
0	DTEIE	0	R/W	データ転送エラー割り込みイネーブル 0：DTEF3〜1 による割り込み発生を禁止 1：DTEF3〜1 による割り込み発生を許可

【注】 * フラグをクリアするための 0 ライトのみ可能です。

8.2.18 データ転送コントロールレジスタ C（DTCRC）

DTCRC は ID 番号に割り当てられた周辺機能モジュールと起動要因を切り替えるビットを持っています。

ビット	ビット名	初期値	R/W	説　明
7、6	—	すべて 0	R/(W)	リザーブビット 初期値を変更しないでください。
5〜0	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

8.2.19 データ転送コントロールレジスタ D（DTCRD）

DTCRD は各ポインタセットのイネーブルビットを持っています。DTE ビットを 0 にクリアし、1 にセットし直すと、エンプティ情報が復活します。

ビット	ビット名	初期値	R/W	説　明
7〜4	—	すべて 0	R/(W)	リザーブビット 初期値を変更しないでください。
3	DTE3	0	R/W	データ転送イネーブル 3〜0
2	DTE2	0	R/W	ポインタセット 3〜0 のイネーブルビットです。
1	DTE1	0	R/W	0：ポインタセットディスエーブル
0	DTE0	0	R/W	1：ポインタセットイネーブル

8.2.20 データ転送割り込みイネーブルレジスタ（DTIER）

DTIER は各ポインタセットの割り込みイネーブルビットを持っています。

ビット	ビット名	初期値	R/W	説　明
7〜4	—	すべて 0	R/(W)	リザーブビット 初期値を変更しないでください。
3	DTIE3	0	R/W	データ転送割り込みイネーブル 3〜0
2	DTIE2	0	R/W	ポインタセット 3〜0 の割り込みイネーブルビットです。
1	DTIE1	0	R/W	0：DTF による割り込み発生を禁止
0	DTIE0	0	R/W	1：DTF による割り込み発生を許可

8.2.21 データ転送レジスタ選択レジスタ（DTRSR）

DTRSR はポインタセット番号や FSTR でアクセスされる FIFO ステータス／レジスタ／ポインタを指定します。ポインタセット番号の指定により、FSTR、DTCRA、DTCRB、DTCRC、DTIDR、DTSTRC から、指定のポインタ番号のリソースがアクセス可能になります。

ビット	ビット名	初期値	R/W	説　明
7	CHS2	0	R/W	ポインタセット番号選択
6	CHS1	0	R/W	FSTR、DTCRA、DTCRB、DTIDR、DTSTRC でアクセスするポインタセット番号をライトします。
5	CHS0	0	R/W	
4	RS	0	R/W	レジスタ選択 FSTR でレジスタ／ポインタ、FIFO ステータスのいずれをアクセスするかを選択します。 0：FSTR でレジスタ／ポインタをアクセス 1：FSTR で FIFO ステータスをアクセス
3	POS1	0	R/W	レジスタ／ポインタ選択 1、0
2	POS0	0	R/W	RS ビットが 0 にクリアされているとき、FSTR でアクセスするレジスタ／ポインタを選択します。 00：FSTR で BAR をアクセス 01：FSTR で RAR をアクセス 10：FSTR で WAR をアクセス 11：FSTR で TMP をアクセス
1	STS1	0	R/W	FIFO ステータス選択 1、0
0	STS0	0	R/W	RS ビットが 1 にセットされているとき、FSTR でアクセスする FIFO ステータスを選択します。 00：FSTR で DATATN をアクセス 01：FSTR で FREEN をアクセス 10：FSTR で NRA をアクセス 11：FSTR で NWA をアクセス RS ビットが 0 にクリアされているときに NWA、NRA、FREEN、DATATN をアクセスするには、RS ビットに 1 を 2 度ライトしてください。

8.3 起動要因と優先順位

RFU は周辺機能からの要求を起動要因として動作します。周辺機能からの要求は、SCI では TDRE や RDRF のセットのように 1 バイトのデータ転送の完了を示すイベントですが、USB では CPU 命令では参照できない内部イベントです。周辺機能からの要求にはあらかじめ 14 の ID 番号が割り振られています。ID 番号が割り振られていない周辺機能は RFU を利用することはできません。ID 番号と起動要因の対応を**表** 8.2 に示します。

RFU は複数の起動要因を同時に受け付けたとき、最も優先順位の高い ID を選択します。ID は 2 つのグループに分けられており、グループ間の優先順位は固定されています。A、B グループ内での優先順位は初期状態では**表** 8.2 に示すとおりですが、RFU で処理される度に変更されます。A、B グループ内での優先順位はループ状であり、処理された ID 番号が最下位となりその次の ID 番号が最上位となります。

表 8.2 **起動要因と** ID **番号**

ID 番号	周辺機能モジュール	起動要因	転送方向	転送サイズ	グループ内優先順位（初期値）	グループ	グループ間優先順位（固定）
0	USB	EP4	RAM→USB	バイト	最上位	A	最上位
1	USB	EP5	USB→RAM	バイト			
2	USB	EP9	RAM→USB	バイト			
3	USB	EP10	USB→RAM	バイト			
4	USB	EP11	RAM→USB	バイト			
5	USB	EP12	USB→RAM	バイト			
6	USB	EP6I	RAM→USB	バイト			
7	USB	EP6O	USB→RAM	バイト	最下位		
8	SCI_0	RDRF	SCI_0→RAM	バイト	最上位	B	
9	SCI_0	TDRE	RAM→SCI_0	バイト			
10	SCI_2	RDRF	SCI_2→RAM	バイト			
11	SCI_2	TDRE	RAM→SCI_2	バイト			
12	MCIF	MCIF→マルチメディアカード	RAM→マルチメディアカード	バイト			
13	MCIF	マルチメディアカード→MCIF	マルチメディアカード→RAM	バイト	最下位		最下位

8.4 RAM-FIFO の配置

RAM-FIFO は内蔵 RAM 上のアドレス H'(FF)E080～H'(FF)EFFF、および H'FF0800～H'FF1FFF に配置してください。RAM-FIFO を外部アドレス空間に配置しないでください。

8.5 RAM-FIFO ポインタ

RAM-FIFO は BAR で先頭アドレスを、DTCRA の BUD2～BUD0 でサイズを設定します。すべてのポインタセットの RAM-FIFO エリアが内蔵 RAM エリアに納まり、ポインタセット間で RAM-FIFO エリアの重複がないように、BAR と DTCRA の BUD2～BUD0 を設定してください。

RAM-FIFO は RAR、WAR、または TMP の内容に BAR の内容を加算した値がアドレスバスに出力されることによりアクセスされます。

8.6 RAM-FIFO の操作と RFU バスサイクル

表 8.4 に RFU への周辺機能の要求と RFU バスサイクルおよびポインタの操作を示します。

周辺機能の要求に対し、RFU はアクノリッジを返信し要求をクリアします。すべての RFU バスサイクルは 2 ステートで実行されます。RFU バスサイクルでは、要求のクリアのほかにデータ転送の実行やエラーステータスの通知が行われ、同時に RFU のポインタの操作が行われます。RFU バスサイクルのデータ転送では、RAM アドレスがアドレスバスに出力されると同時に周辺機能の ID が指定され、（RAM→周辺機能）や（周辺機能→RAM）のデータ転送が 1 バスサイクルで実行されます。リード／ライトサイクル以外の RFU バスサイクルは 2 ステートです。

周辺機能の要求はデータ転送と、ポインタのマーク（RAR/WAR→TMP）／リロード（TMP→RAR/WAR）／リセット（0→RAR,WAR,TMP）の 4 種類です。

データ転送が実行されると転送方向およびバイト転送／ワード転送の設定に従い、RAR または WAR のいずれかが転送バイト数だけ加算されます。ポインタセットには TMP は 1 本であるため、リードテンポラリポインタかライトテンポラリポインタのいずれかに設定して使用します。

ポインタは加算後の内容が DTCRA の BUD2～BUD0 で設定した FIFO サイズを超える場合、FIFO サイズを減じた値（FIFO サイズの剰余）に設定されます。

周辺機能の中にはデータ転送を行った後にハンドシェークを行い、ハンドシェークの成立／不成立でポインタの更新を行うものがあります。ハンドシェークまでのデータ転送中は TMP を用います。ハンドシェークが成立した場合は、RAR/WAR の内容を正式なポインタの内容とするため TMP に転送します（マーク動作）。ハンドシェークが不成立の場合は、RAR/WAR を前回の内容に戻すため、TMP の内容を RAR または WAR に転送します（リロード動作）。

ポインタのリセットでは、RAR、WAR、TMP をすべて 0 にクリアします。

表 8.3 RFU **バスサイクルの種類**

周辺機能の要求	USB	SCI	MCIF
データ転送	○	○	○
ポインタマーク	○	—	—
ポインタリロード	○	—	—
リセット	○	—	—

表 8.4　周辺機能の要求と RFU バスサイクル

周辺機能の要求	転送条件 FIFO ポインタのステータス		RFU バスサイクル内容	ポインタ操作
データ転送	RAM→周辺機能 TMP を使用しない	下記以外	RAM リード、周辺機能ライトサイクル	RAR を加算
		RAR 加算後、RAR＝WAR	RAM リード、周辺機能ライトサイクル FIFO エンプティステータスの通知	RAR を加算
		RAR＝WAR	FIFO オーバリードステータスの通知	ポインタ操作なし
	RAM→周辺機能、TMP はリードテンポラリポインタ	下記以外	RAM リード、周辺機能ライトサイクル	RAR を加算
		RAR 加算後、RAR＝WAR	RAM リード、周辺機能ライトサイクル FIFO エンプティステータスの通知	RAR 加算
		RAR＝WAR	FIFO オーバリードステータスの通知	ポインタ操作なし
	周辺機能→RAM TMP を使用しない	下記以外	RAM リード、周辺機能ライトサイクル	WAR を加算
		WAR 加算後、WAR＝RAR	周辺機能リード、RAM ライトサイクル FIFO フルステータスの通知	WAR を加算
		WAR＝RAR	FIFO オーバライトステータスの通知	ポインタ操作なし
	周辺機能→RAM TMP はライトテンポラリポインタ	下記以外	RAM リード、周辺機能ライトサイクル	WAR を加算
		WAR 加算後、WAR＝RAR	周辺機能リード、RAM ライトサイクル FIFO フルステータスの通知	WAR を加算
		WAR＝RAR	FIFO オーバライトステータスの通知	ポインタ操作なし
ポインタのマーク	TMP を使用しない		アクノリッジのみ	ポインタ操作なし
	TMP はリードテンポラリポインタ		アクノリッジのみ	RAR→TMP
	TMP はライトテンポラリポインタ		アクノリッジのみ	WAR→TMP
ポインタのリロード	TMP を使用しない		アクノリッジのみ	ポインタ操作なし
	TMP はリードテンポラリポインタ		アクノリッジのみ	TMP→RAR
	TMP はライトテンポラリポインタ		アクノリッジのみ	TMP→WAR
ポインタのリセット	—		アクノリッジのみ	ポインタ操作なし

8.7 RFU バスサイクル

8.7.1 クロック分周

本 LSI は中速モードをサポートしており、バスマスタの動作クロックを分周し消費電流を低減することが可能です。一方、バスマスタの一種である RFU は、高速レスポンスが要求される場合があります。特に USB などのホストインタフェースのスレーブとなる場合は、転送レートに余裕をもって転送データを供給する必要があります。

RFU は中速モードをサポートしていません。SBYCR の DTSPEED ビットを 1 にセットして、DTC および RFU の動作時に（転送要求があるときには CPU 動作にも）、中速モードのクロック分周を一時中断して高速で動作するようにしてください。

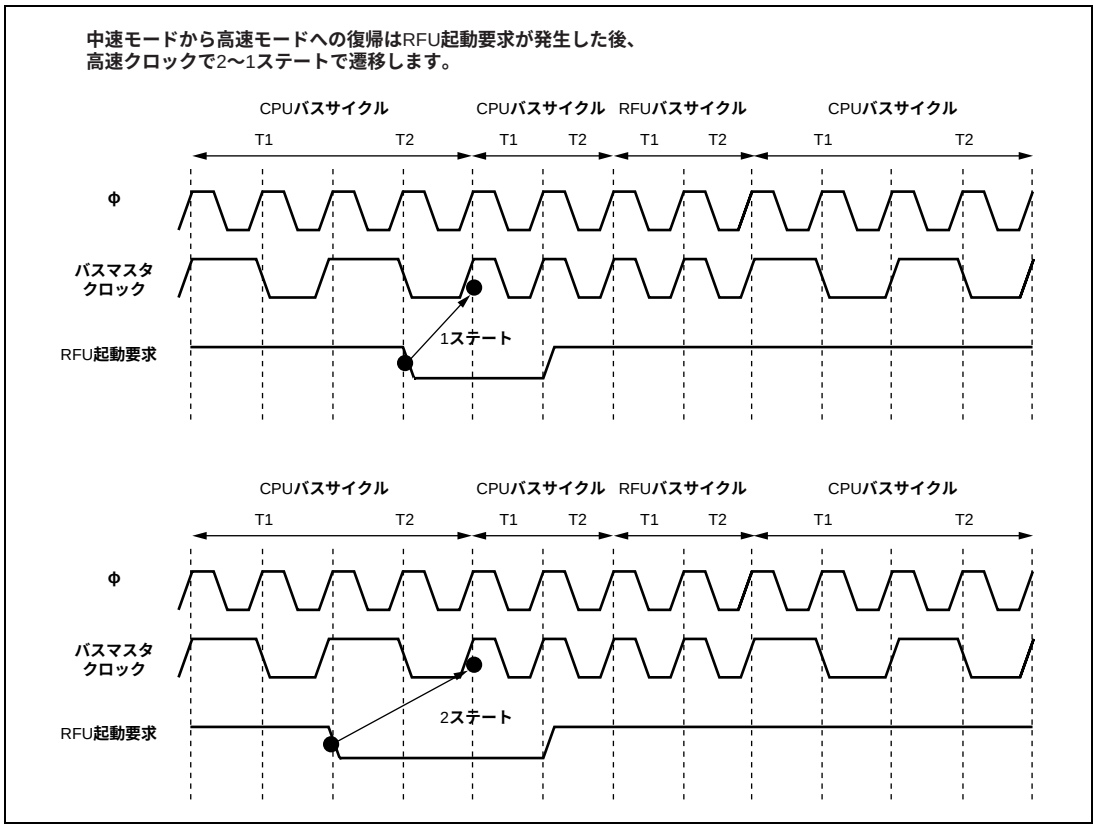


図 8.2 中速モード一時解除の例

8.7.2 RFU バスサイクル挿入

RFU バスサイクルは、バスサイクルの切れ目であればほとんどすべての条件で挿入が可能です。

表 8.4 に DTC と RFU のバスサイクルの挿入の可否の比較を示します。BCR2 の BUSDIVE ビットを 0 にクリアすると、DTC と同一の条件で RFU のバスサイクルが挿入されます。

表 8.5 **バスサイクル挿入**

バスサイクルの条件	RFU	DTC
CPU 内部動作サイクル	可	可
CPU バスサイクルの終了	可	可
CPU バスサイクルの分割されたワードアクセスの上位バイトバスサイクルの終了	不可	不可
CPU バスサイクルの分割されたロングワードアクセスの上位ワードバスサイクルの終了	可	不可
CPU の EEPMOV 命令の各バスサイクルの終了	可	不可
CPU の STM/LDM 命令の各バスサイクルの終了	可	不可
CPU のビット操作命令の各バスサイクルの終了	可	不可
CPU の CCR 操作命令のバスサイクルの終了	可	不可
CPU のスタック／アンスタック処理の各バスサイクルの終了	可	不可
CPU のベクタアドレスリードの各バスサイクルの終了	可	不可
DTC のベクタアドレスリードの各バスサイクルの終了	不可	—
DTC の制御レジスタ（32 ビット×3）アクセスの終了	可	—
DTC の制御レジスタ（32 ビット×3）アクセスの第 1、2 ロングワードバスサイクルの終了	不可	—
DTC バスサイクルの終了	可	—
DTC バスサイクルの分割されたワードアクセスの上位バイトバスサイクルの終了	不可	—

8.7.3 RFU レスポンス時間

図 8.3 に、RFU レスポンス時間の例を示します。RFU のレスポンス時間は、次の要素で構成されます。

- システムクロックへの同期期間：1～2ステート
- 周辺機能の要求出力期間：1～5
- 現行バスサイクルの終了待ち時間：0～2ステート（外部拡張のウェイトステートを除く）
- RFUバスサイクル：2ステート
- RFU信号の周辺機能クロックへの同期期間：1～2ステート（周辺機能クロック依存）

この構成要素の合算は、5～13 ステートとなります。このうちシステムクロックの同期期間は、RFU の代わりにハードウェアの FIFO を使用しても必要な期間です。したがって、RFU による RAM-FIFO のオーバヘッドは、3～10 ステート（外部拡張のウェイトステートを除く）となります。RFU のレスポンス時間を短縮するためには、外部拡張空間のアクセスは 3 ステート／ウェイトなしとすることを推奨します。

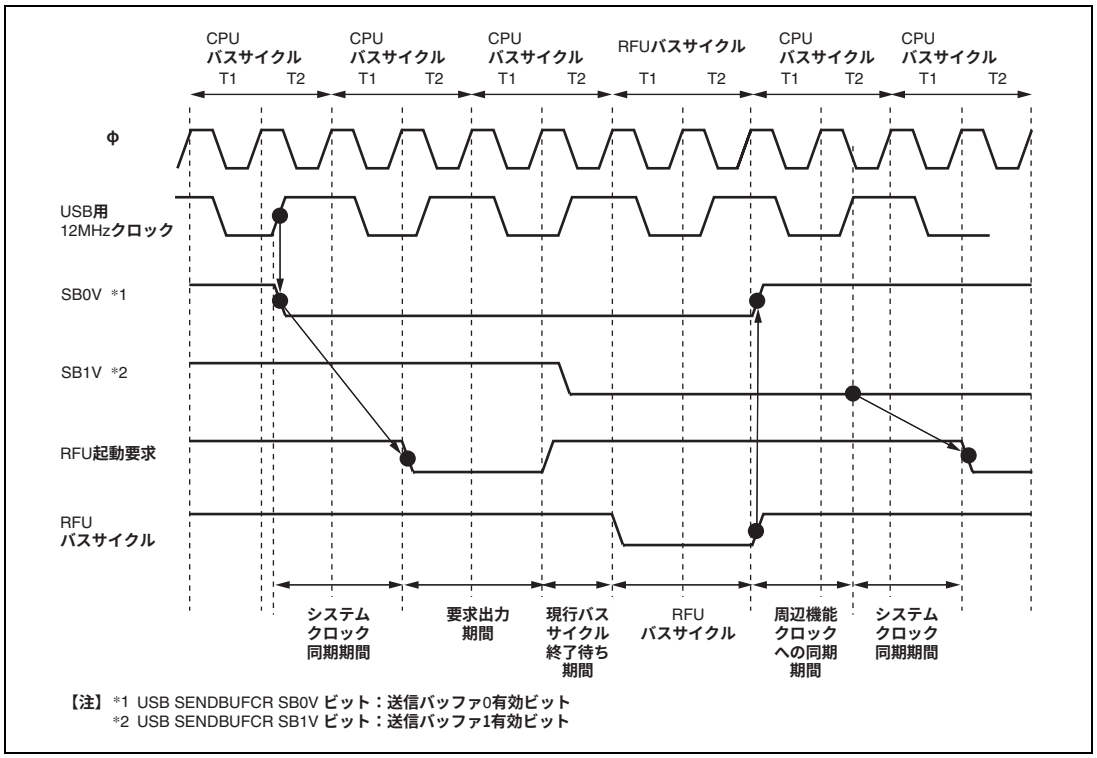


図 8.3 RFU レスポンス時間の例

8.8 動作説明

RFU 動作は、次の手順を前提としています。

- RFUにライトするIDをイネーブルにして、周辺機能が受信したデータをFIFOに蓄積する
- RFUからリードするIDをイネーブルにして、周辺機能が送信するデータをFIFOから供給する

2 つの ID を同時にイネーブルにすることも可能です。しかし、FIFO オーバリード、FIFO オーバライトのエラー状態が発生した場合に十分なエラー処理ができない場合があるので、有効データバイト数やフリーエリアバイト数に余裕をもった処理を行ってください。

受信したデータを CPU がリードして使用する場合には、ポインタステータスのリード先頭アドレスや有効データバイト数を利用します。送信するデータを CPU が生成する場合には、データを RAM にライトした後、ポインタにデータを格納した RAM アドレスをライトします。

8.8.1 単一データブロックの送信／受信

単一のデータブロックを送信する場合や、バイト数のあらかじめ判っているデータブロックを受信する場合にはバウンダリオーバフローを利用すると便利です。周辺機能に転送データバイト数を設定して完了時に割り込みを発生する機能がなくても、RFU 側の割り込みでデータブロックの送信／受信の完了を知ることができます。この割り込みは、RFU のポインタが DTCRA の BUD2～BUD0 で指定する FIFO サイズのバウンダリに達したときに発生します。

表 8.5 に、バウンダリオーバフローを利用する場合の設定を示します。

表 8.6 バウンダリオーバフロー利用時の設定（単一データブロックの送受信）

転送条件		RAM→周辺機能	周辺機能→RAM
転送データバイト数	—	N_R	N_W
FIFO **サイズ**	BUD2～BUD0	Sz	Sz
ベースアドレス	BAR	**設定する** FIFO **サイズに従い、バウンダリ設定以下のビットを** 0 **に設定してください。**	**設定する** FIFO **サイズに従い、バウンダリ設定以下のビットを** 0 **に設定してください。**
リードポインタ	RAR	Sz－N_R	0
ライトポインタ	WAR	0	Sz－N_W

RAM→周辺機能の場合、転送データバイト数分の送信が完了すると、リードポインタは 0 になりバウンダリオーバフローが発生します。このとき、DTSTRC の BOVF_R フラグが 1 にセットされます。

周辺機能→RAM の場合、転送データバイト数分の受信が完了すると、ライトポインタは 0 になりバウンダリオーバフローが発生します。このとき、DTSTRC の BOVF_W フラグが 1 にセットされます。

8.8.2 連続データブロックの送信／受信

周辺機能に転送データバイト数を設定して、完了時に割り込み要求を発生する機能がある場合、次の手順でデータブロックを連続的に処理することが可能です。RFU にライトする ID をイネーブルにし、受信データを CPU で処理する例を示します。

1. ポインタセットの初期設定
2. RFUにライトするIDをイネーブル
3. 対応する周辺機能のデータ転送開始
4. データブロック受信完了割り込み（周辺機能）
5. RAR、DATANをリードし、受信データブロックのCPU処理開始

5.の CPU 処理を開始した後、FIFO に空きエリアが十分あれば 3.に戻って次のデータブロックの転送を開始することが可能です。このとき、RFU は DTCRA の BUD2～BUD0 で決まる FIFO サイズのリングバッファとなっています。RFU のポインタの内容は、FIFO サイズを超えると自動的に FIFO サイズの剰余になります。一方、CPU でのアクセスは FIFO エリアを逸脱しないようにプログラミングする必要があります。

8.8.3 USB の RFU 操作

図 8.4 に USB の RFU インタフェースのブロック図を示します。

USB は、エンドポイント 4（EP4）とエンドポイント 5（EP5）のデータ転送で RFU を利用可能です。USB は、IN 転送専用の EP4 に 2 バイトの送信バッファを持っています。また、OUT 転送専用の EP5 に 2 バイトの受信バッファを持っています。

図 8.5 に IN 転送の動作フローを示します。EP4 はバルクの IN 転送です。送信データを FIFO に準備して送信開始をトリガ（PTTE ビットを 1 にセット）すると、USB は RFU にデータ転送要求を発行し、2 バイトの送信バッファを満たして出力可能状態になります。ホストが IN 転送要求を発行すると、USB は送信バッファのデータを送信します。MAX_PACKET_SIZE バイト分のデータが送信バッファに転送されるまで USB はデータ転送要求を発行し、常に送信バッファを満たすよう動作します。MAX_PACKET_SIZE バイト分の送信が完了すると、USB はホストから受信した ACK／NACK ハンドシェークに従い、RFU にマーク／リロード（リワインド）要求を発行します。送信中に FIFO がアンダーラン（OVER-R）した場合には、そのデータパケットはショートパケットであったとして送信は正常に終了します。送信バッファがアンダーランした場合には、USB は異常なデータを送信して、ホストの NACK ハンドシェークを誘発します。

図 8.6 に OUT 転送の動作フローを示します。EP5 バルクの OUT 転送です。USB は受信したデータを受信バッファにライトします。受信バッファにデータがあると USB はデータ転送要求を発行し、常に受信バッファが空になるよう動作します。MAX_PACKET_SIZE バイト分の受信が完了し、受信バッファのデータがすべて FIFO に転送されると、USB はホストに ACK ハンドシェークを送信し、RFU にマークを要求します。受信データに誤りが検出されるか、受信データがすべて FIFO に転送できなかったエラー状態の場合には、USB はホストに NACK ハンドシェークを送信し、RFU にリロード（リワインド）を要求します。エラー状態としては FIFO のオーバラン（OVER-W）と、受信バッファのオーバランが想定されます。

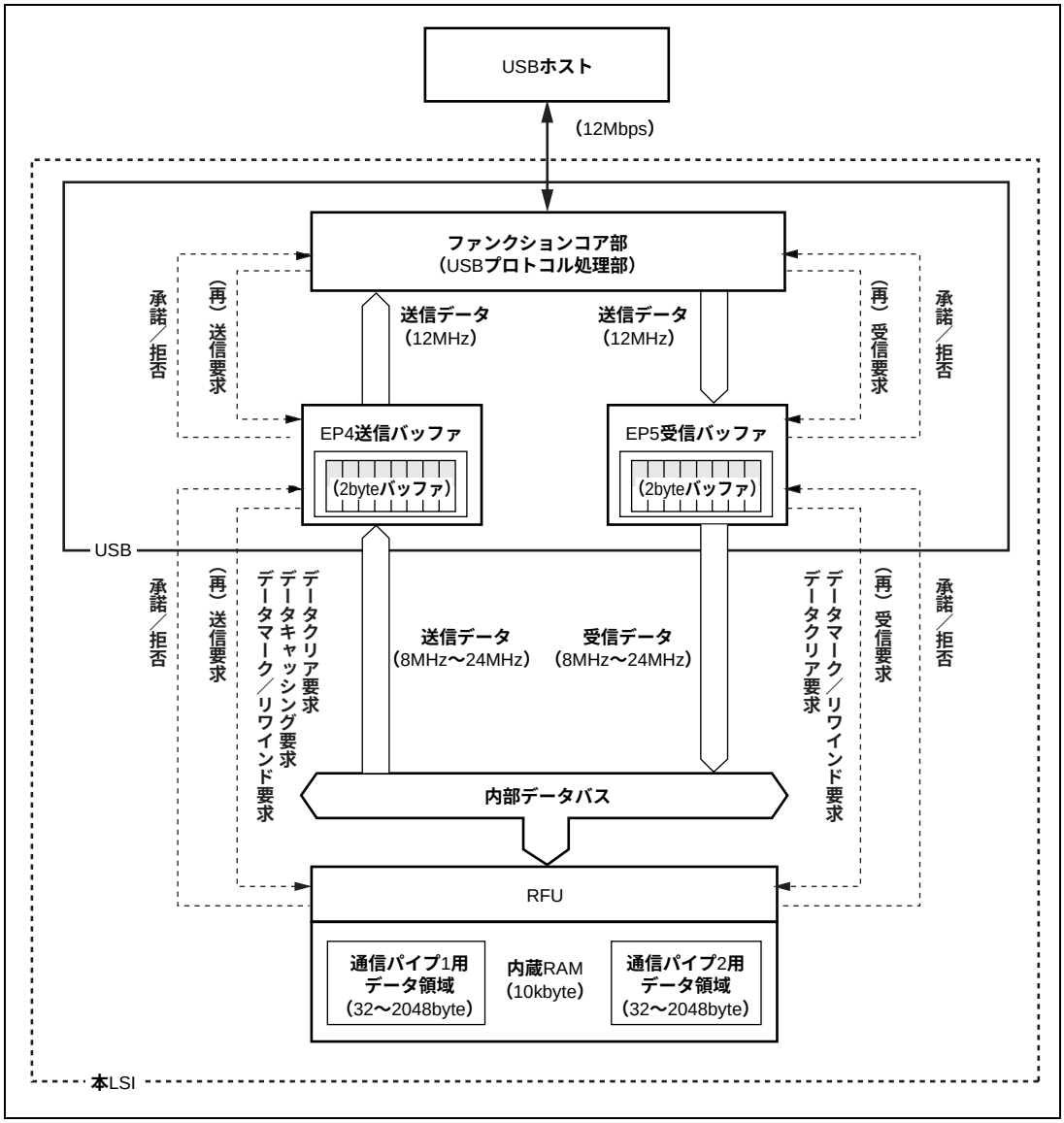


図 8.4　USB の RFU インタフェース

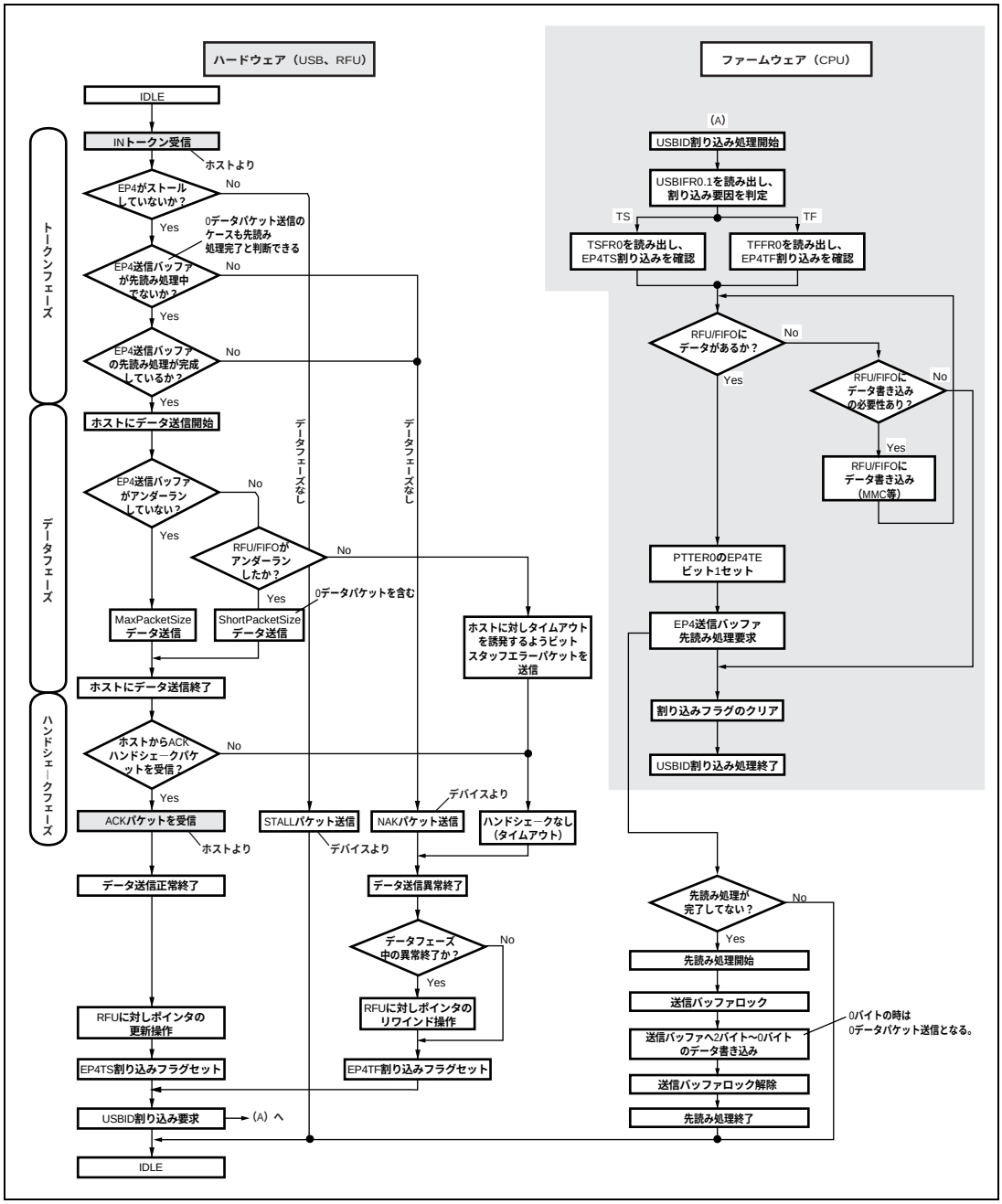


図 8.5　USB の IN 転送動作フロー

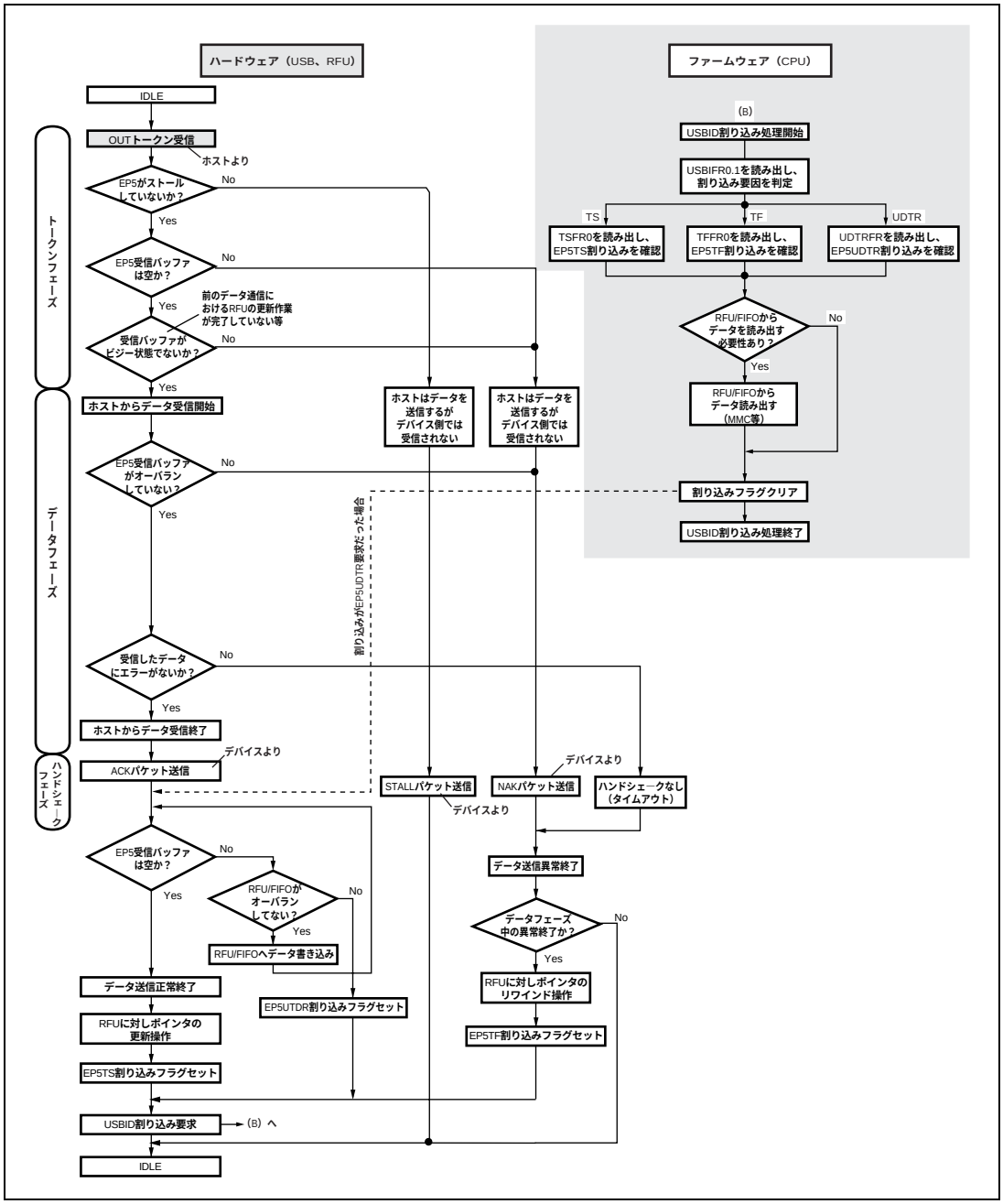


図 8.6　USB **の** OUT **転送動作フロー**

8.8.4 SCI の RFU 操作

図 8.7 に SCI の RFU インタフェースのブロック図を示します。SCI は、データ送信およびデータ受信で RFU を利用できます。RFU の起動要因は、TDRE フラグおよび RDRF フラグのセットです。

図 8.8 に送信動作の動作フローを示します。送信データを FIFO に準備して送信開始をトリガ（SSR の TDRE および RDRF フラグのセット）すると、RFU にデータを要求します。

図 8.9 に受信動作の動作フローを示します。

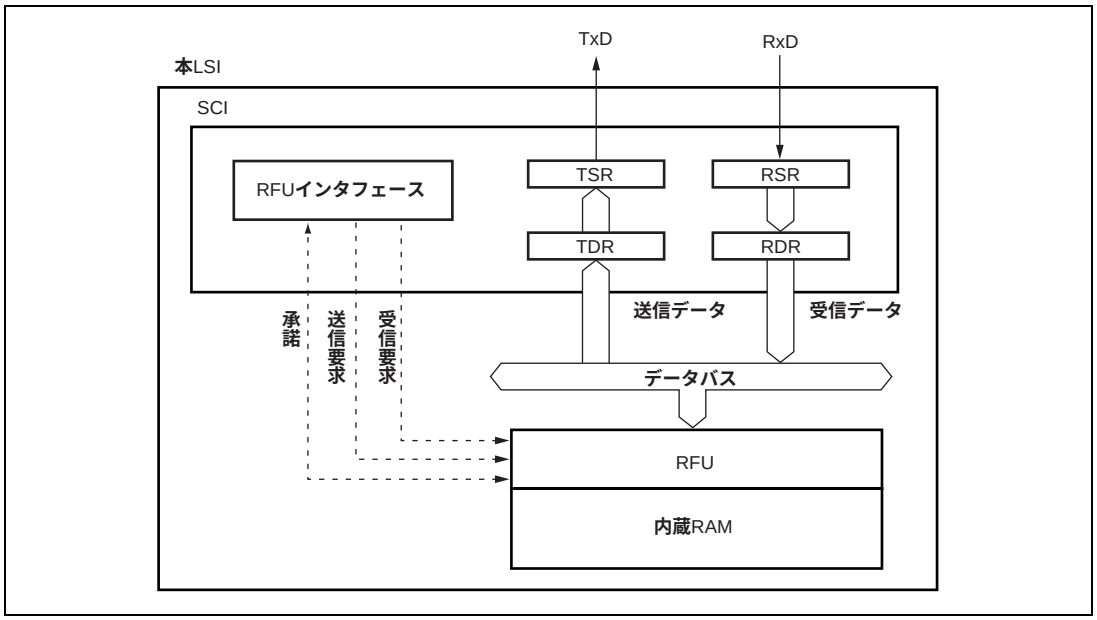


図 8.7 SCI の RFU インタフェース

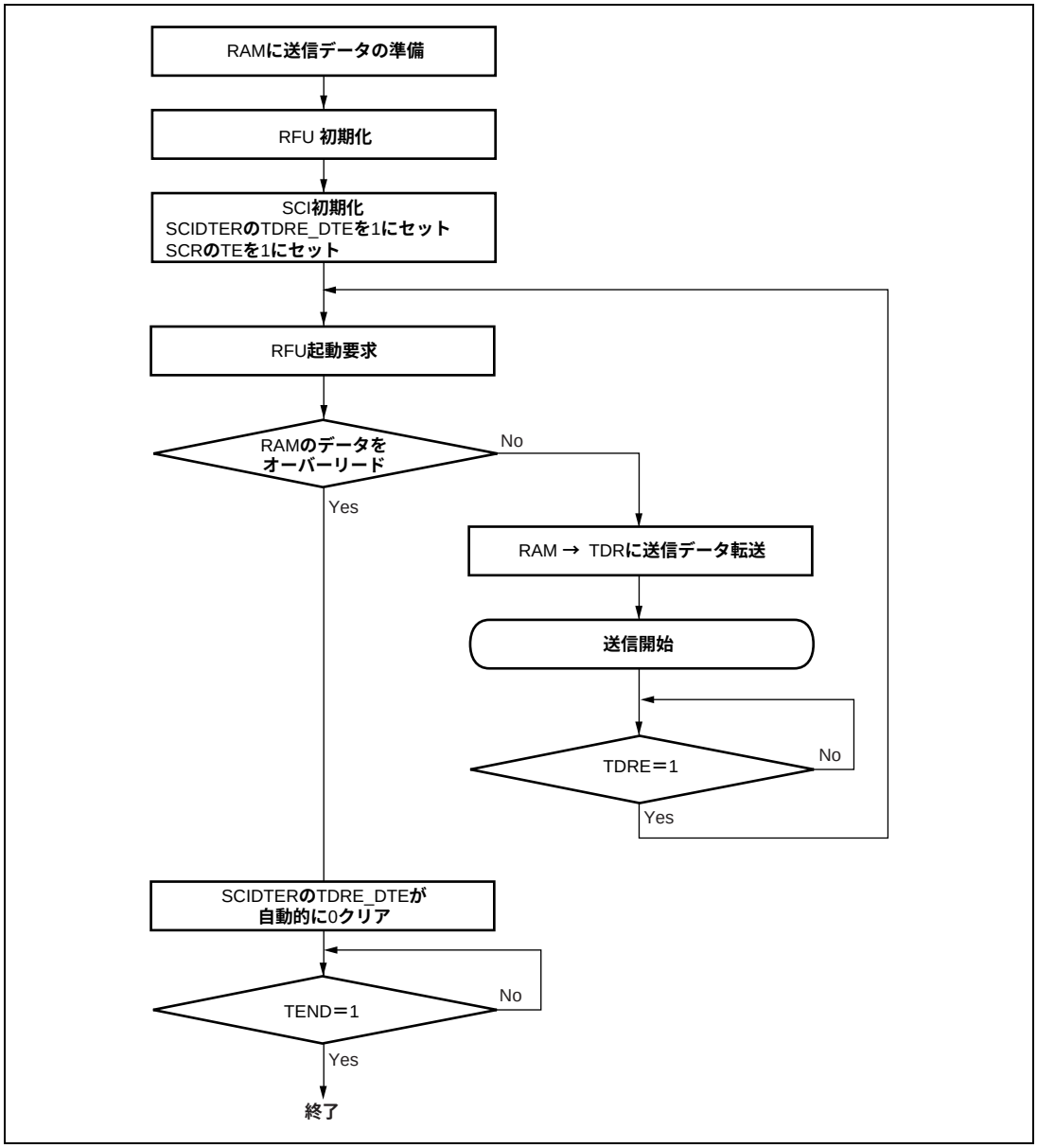


図 8.8　SCI の送信動作フロー

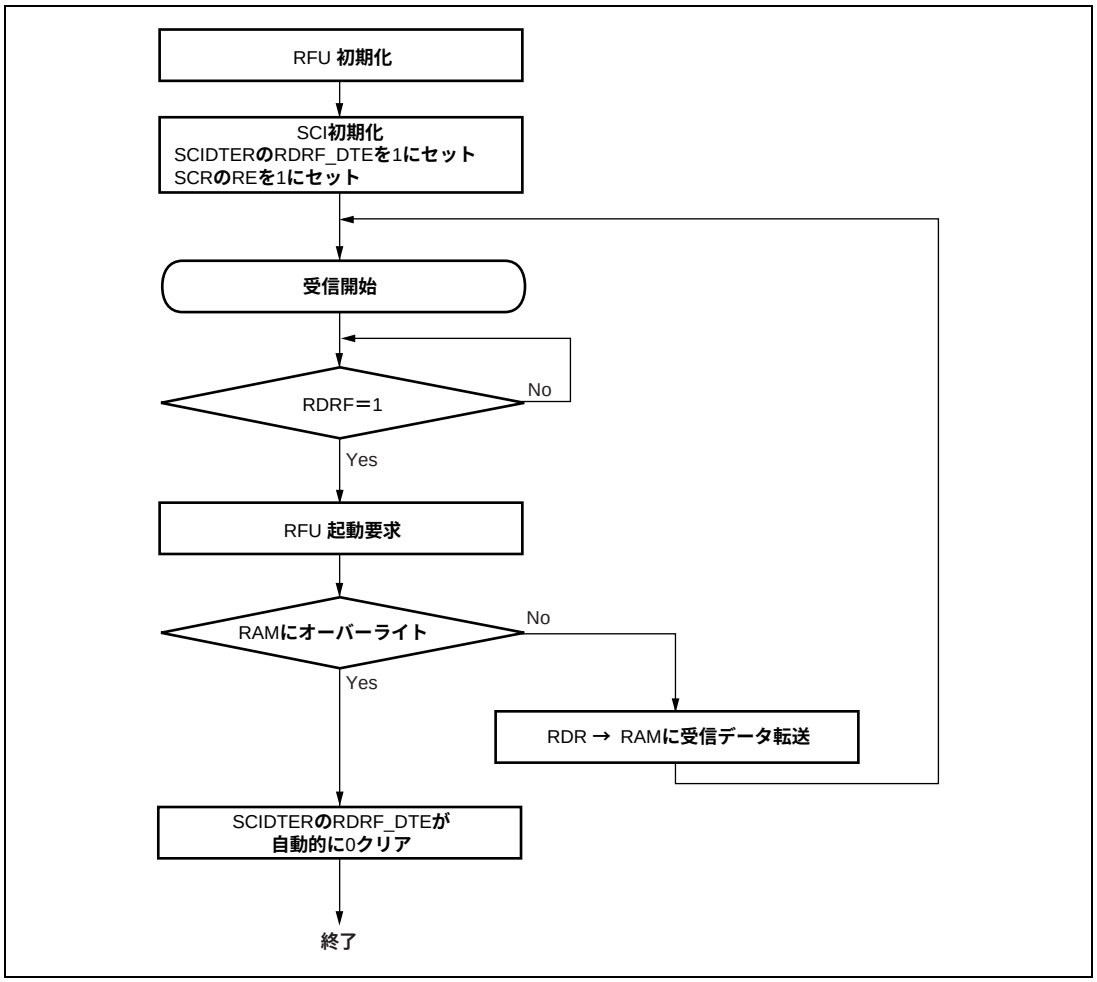


図 8.9　SCI **の受信動作フロー**

8.8.5　MCIF **の** RFU **操作**

図 8.10 に MCIF の RFU インタフェースのブロック図を示します。MCIF はデータ送信およびデータ受信で RFU を利用します。

図 8.11 に、送信動作の動作フローを示します。送信データを RFU に準備して送信開始をトリガ（OPCR の DATAEN ビット）をセットすると RFU にデータを要求します。

図 8.12 に、受信動作の動作フローを示します。

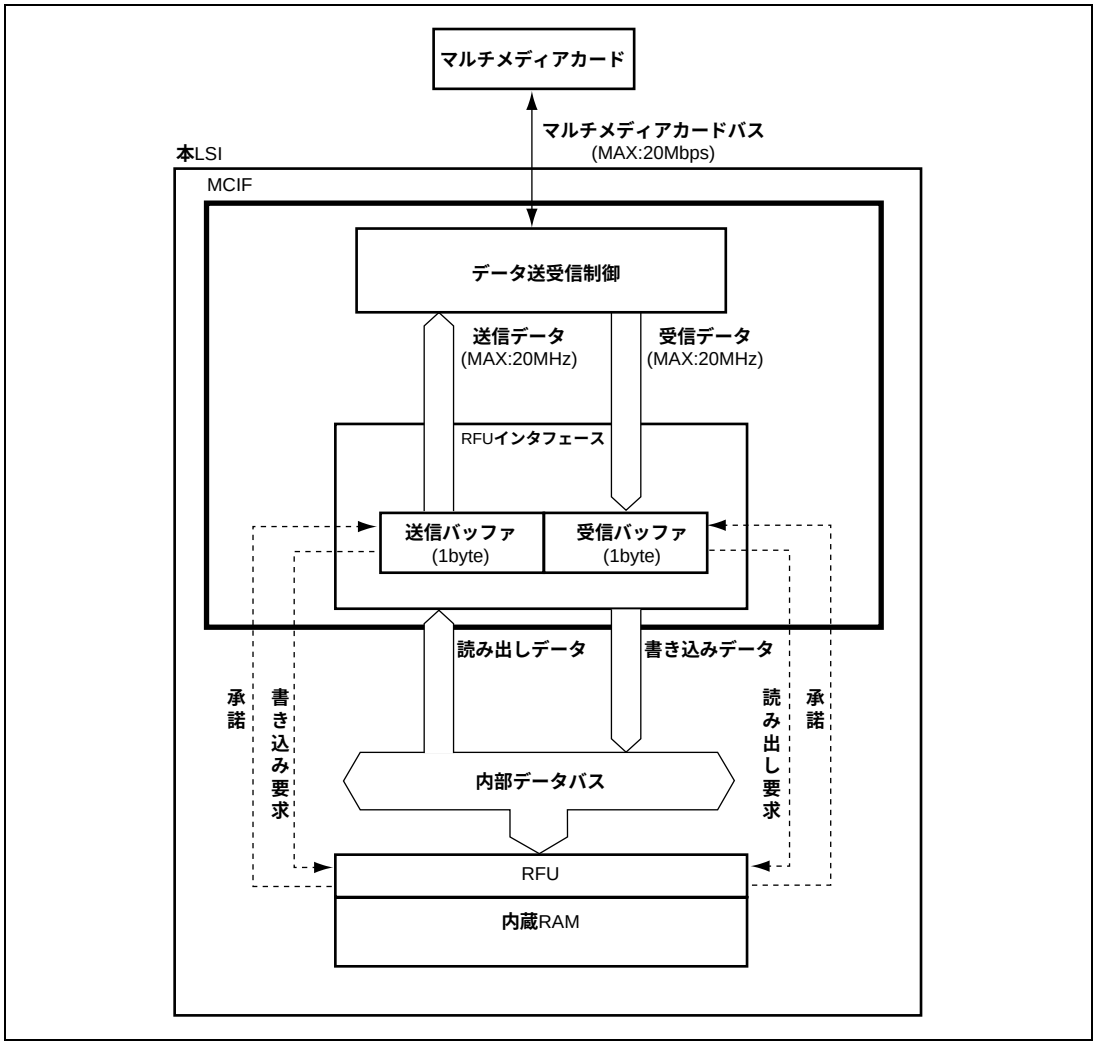


図 8.10　MCIF **の** RFU **インタフェース**

データ送信途中で、RFU がエンプティになったときは、RFU のエンプティ解除後（RFU に必要データ書き込み後）に、送信再開トリガ（OPCR の DATAEN セット）をセットし、データ送信動作を再開します。

データ受信動作を開始すると、自動的に RFU へのデータ書き込みを開始します。データ受信途中で、RFU がフルになったときは、RFU のフル解除後（RFU から必要なデータを読み出し後）に受信再開トリガ（OPCR の RD_CONTI ビット）をセットしデータ受信動作を再開します。

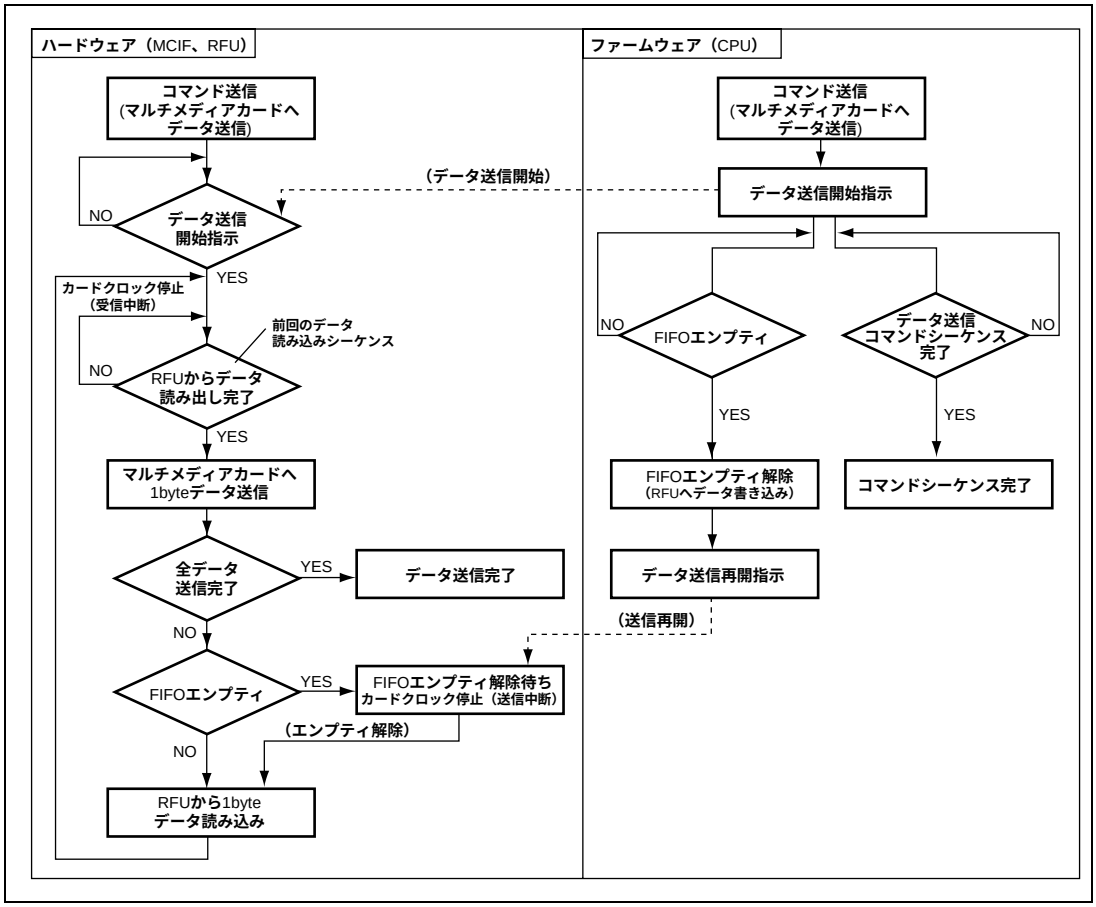


図 8.11　MCIF **の送信動作フロー**

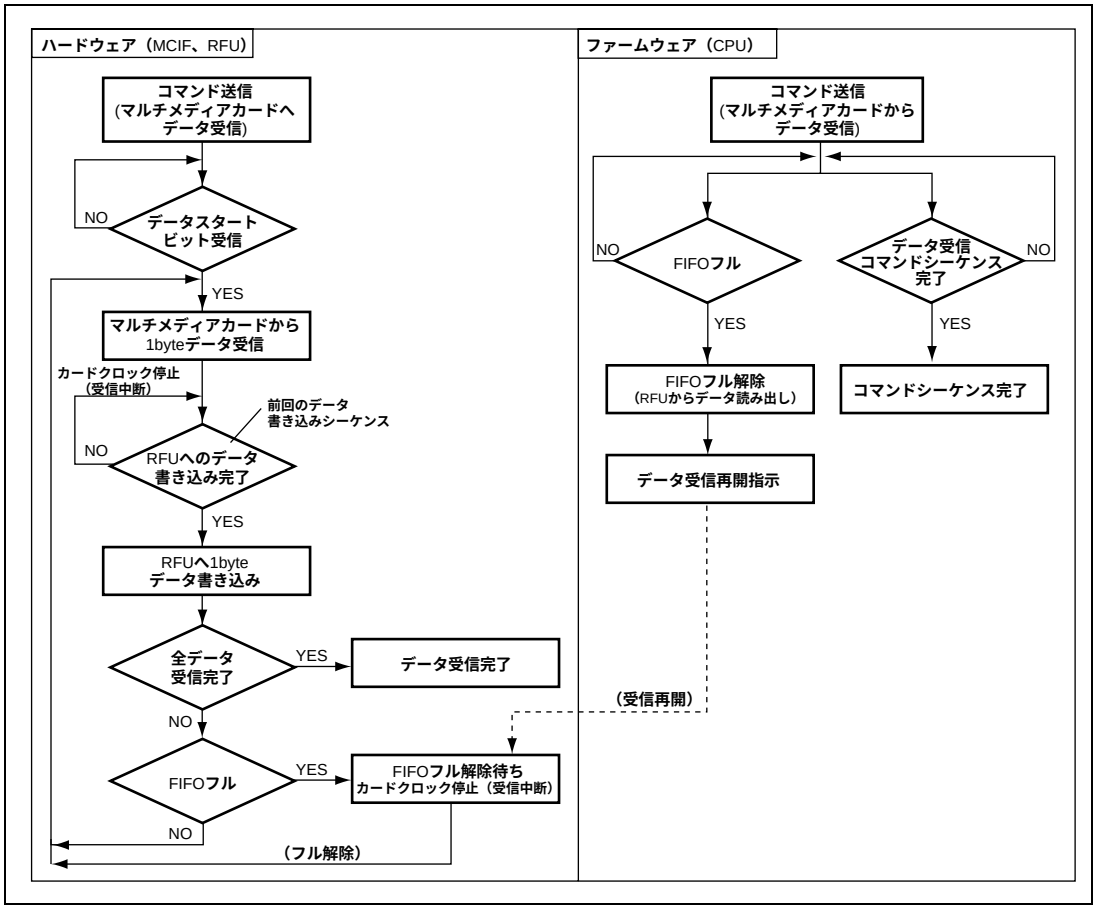


図 8.12　MCIF の受信動作フロー

8.9　割り込み要因

RFU には各ポインタセットについてバウンダリオーバフロー（リード時）、バウンダリオーバフロー（ライト時）、FIFO フル、FIFO エンプティ、FIFO オーバリード、FIFO オーバライトの 6 種類の割り込みをサポートしています。

このうちバウンダリオーバフロー（リード時）、バウンダリオーバフロー（ライト時）、FIFO フル、FIFO エンプティは同一の割り込みベクタアドレスがアサインされています。

割り込み発生時には、DTSTRC の割り込みフラグをリードすることにより要因判定ができます。

また、FIFO オーバリードと FIFO オーバライトも割り込みベクタアドレスは共通になっています。割り込み発生時に DTSTRC の割り込みフラグをリードすることにより要因判定ができます。

8.10 RFU の初期化

図 8.13 に RFU の初期化フローを示します。

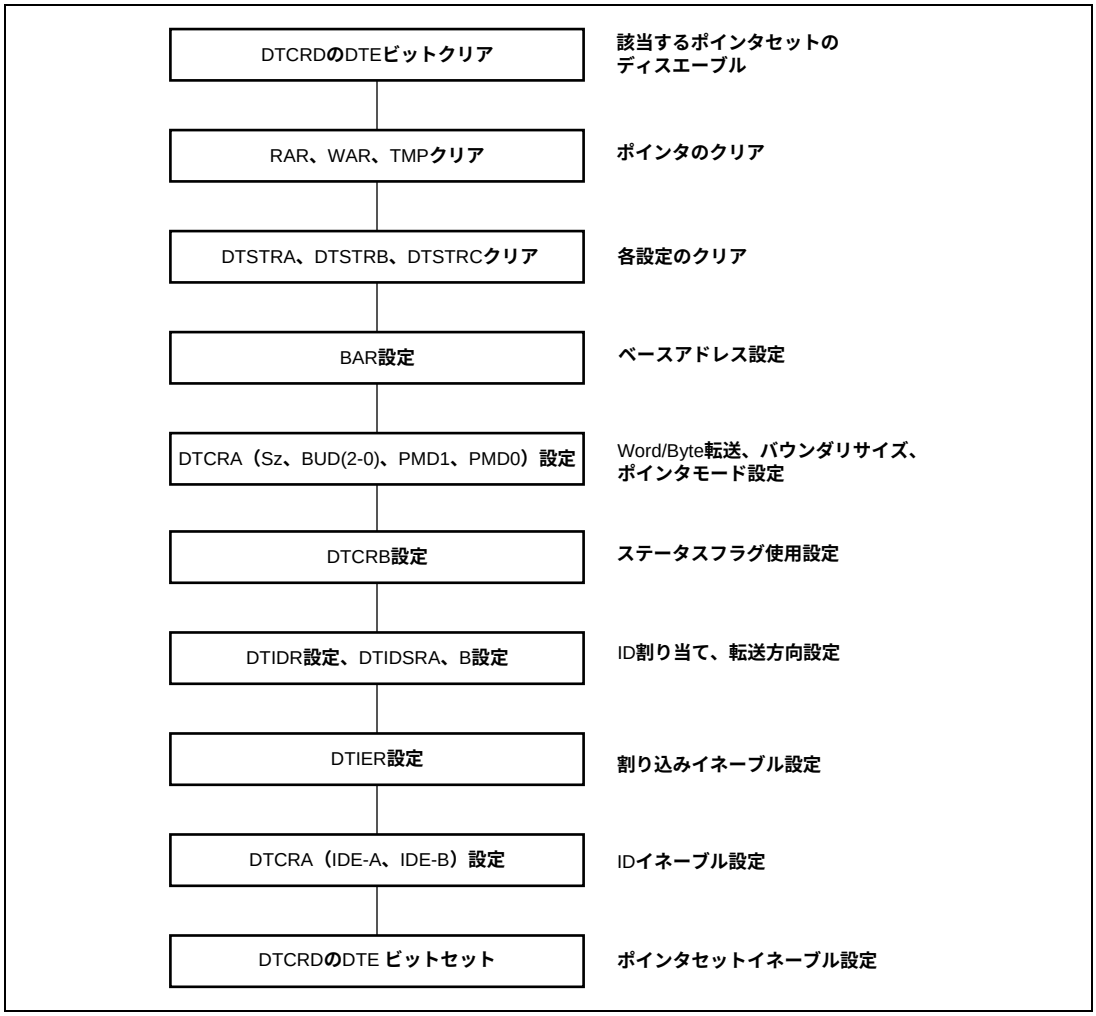


図 8.13 RFU の初期化フロー

1. FIFOの初期状態はFIFOエンプティ状態です。単一データブロックのRAM→周辺機能転送を実行する場合、初期化終了後、DTCRBのSTCLRビットに1をライトし、FIFOエンプティ状態をクリアしてください。
2. DTEビットを0にクリアするとこにより、自動的にFIFOフル状態の解除、FIFOエンプティ状態となります。
3. 中速モードの場合、SBYCRのDTSPEEDビットを1とする必要があります。

8.11 使用上の注意事項

(1) DTRSR の CPU ライトと RFU 起動要求の競合

DTRSR の RS ビットが 0 の状態で CPU ライトと RFU 起動要求の競合が発生した場合、RFU のデータ転送が正常に行われません。

FIFO ステータスをアクセスする場合は、RFU 初期化のときに RS ビットをあらかじめ 1 としておく必要があります。

RS ビットを 0 とした場合、RFU データ処理中は DTRSR への CPU ライトを行わないでください。

(2) FIFO フル、FIFO エンプティ状態

テンポラリポインタを使用する場合、RFU データ処理中に FIFO フル、FIFO エンプティ状態を正常に保持することができず、データのオーバーリード、オーバーライトが発生することがあります。

テンポラリポインタを使用する場合は、FIFO の有効データ数、フリーエリア、EMPTY、FULL ビットを確認してデータ処理を行ってください。

(3) DATAN/FREEN リード値

FIFO フルまたは FIFO エンプティ状態で、FREEN/DATAN のリードを行った場合、**表 8.6** の条件のときに正常な値が得られないことがあります。FREEN/DATAN を使用して 0 がリードされたときは、DTSTRC の FULL、EMPTY ビットにより、FIFO がフルかエンプティかを確認する必要があります。

表 8.7 DATAN/FREEN リード値

ポインタモード	条件	DATAN/FREEN リード値
ライトテンポラリ	FULL までライトし MARK（TMP＝RAR のとき）	FIFO フルなのに DATAN＝0
	EMPTY までリード（WAR＝RAR のとき）	FIFO エンプティなのに FREEN＝0
リードテンポラリ	FULL までライト（WAR＝RAR のとき）	FIFO フルなのに DATAN＝0
	EMPTY までリードし MARK（TMP＝WAR のとき）	FIFO エンプティなのに FREEN＝0
テンポラリを使用しない	FULL までライト	FIFO フルなのに DATAN＝0
	EMPTY までリード	FIFO エンプティなのに FREEN＝0

(4) RFU の中速モード動作

本 LSI は RFU の中速モード動作をサポートしておりません。中速モードで RFU を使用する場合は、SBYCR の DTSPEED ビットを必ず 1 に設定してください。0 の状態で RFU が起動するとプログラムの暴走につながります。

9. I/O ポート

ポートの機能一覧を**表** 9.1 に示します。各ポートは周辺モジュールの入出力端子や割り込み入力と端子を兼用しています。入出力ポートは入出力を制御するデータディレクションレジスタ（DDR）、出力データを格納するデータレジスタ（DR）から構成されています。入力専用ポートには DDR、DR はありません。

ポート 1～3、6、A には、入力プルアップ MOS が内蔵されています。ポート A は DDR と ODR で入力プルアップ MOS のオン／オフを制御し、ポート 1～3、6 は DDR、DR の他に入力プルアップ MOS コントロールレジスタ（PCR）で入力プルアップ MOS のオン／オフを制御します。

ポート 1～6、9、A は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。すべての入出力ポートは出力時にダーリントントランジスタを駆動することができます。なお、ポート 8 は NMOS プッシュプル出力となっています。

表 9.1 **ポートの機能一覧表**

ポート名	概　　要	拡張モード	シングルチップモード	入出力形態
		モード 2、モード 3 (EXPE=1)	モード 2、モード 3 (EXPE=0)	
ポート 1	アドレス出力、コンパクトフラッシュアドレス出力、PWM 出力端子と兼用汎用入出力ポート	P17/A7/CPA7	P17/PW7	入力プルアップ MOS 内蔵 LED 駆動可能（シンク電流 5mA）
		P16/A6/CPA6	P16/PW6	
		P15/A5/CPA5	P15/PW5	
		P14/A4/CPA4	P14/PW4	
		P13/A3/CPA3	P13/PW3	
		P12/A2/CPA2	P12/PW2	
		P11/A1/CPA1	P11/PW1	
		P10/A0/CPA0	P10/PW0	
ポート 2	アドレス出力、コンパクトフラッシュアドレス出力、PWM 出力端子と兼用汎用入出力ポート	P27/A15	P27/PW15	入力プルアップ MOS 内蔵 LED 駆動可能（シンク電流 5mA）
		P26/A14	P26/PW14	
		P25/A13	P25/PW13	
		P24/A12	P24/PW12	
		P23/A11/$\overline{\text{CPREG}}$	P23/PW11	
		P22/A10/CPA10	P22/PW10	
		P21/A9/CPA9	P21/PW9	
		P20/A8/CPA8	P20/PW8	

ポート名	概　要	拡張モード	シングルチップモード	入出力形態
		モード 2、モード 3 (EXPE=1)	モード 2、モード 3 (EXPE=0)	
ポート 3	双方向データバス、コンパクトフラッシュ双方向データバス、ウェイクアップイベント入力、MCIF 入出力端子と兼用汎用入出力ポート	D15/CPD15	P37/$\overline{\text{WUE15}}$	入力プルアップ MOS 内蔵 LED 駆動可能 （シンク電流 5mA）
		D14/CPD14	P36/$\overline{\text{WUE14}}$	
		D13/CPD13	P35/$\overline{\text{WUE13}}$	
		D12/CPD12	P34/$\overline{\text{WUE12}}$/MCCMDDIR/MCCSB	
		D11/CPD11	P33/$\overline{\text{WUE11}}$/MCDATDIR/MCCSA	
		D10/CPD10	P32/$\overline{\text{WUE10}}$/MCDAT/MCRxD	
		D9/CPD9	P31/$\overline{\text{WUE9}}$/MCCMD/MCTxD	
		D8/CPD8	P30/$\overline{\text{WUE8}}$/MCCLK	
ポート 4	割り込み入力、TMR_0、TMR_1、TMR_X、TMR_Y、タイマコネクション入出力、MCIF 入出力端子と兼用汎用入出力ポート	P47/$\overline{\text{IRQ7}}$/TMOY P46/$\overline{\text{IRQ6}}$/TMOX P45/$\overline{\text{IRQ5}}$/TMIY P44/$\overline{\text{IRQ4}}$/TMIX/ExMCCMDDIR/ExMCCSB P43/$\overline{\text{IRQ3}}$/TMO1/ExMCDATDIR/ExMCCSA/HSYNCO P42/$\overline{\text{IRQ2}}$/TMO0/ExMCDAT/ExMCRxD P41/$\overline{\text{IRQ1}}$/TMI1/ExMCCMD/ExMCTxD/ HSYNCI P40/$\overline{\text{IRQ0}}$/TMI0/ExMCCLK		
ポート 5	割り込み入力、PWMX 出力、SCI_0、SCI_1、SCI_2 入出力端子と兼用汎用入出力ポート	P57/$\overline{\text{IRQ15}}$/PWX1 P56/$\overline{\text{IRQ14}}$/PWX0 P55/$\overline{\text{IRQ13}}$/RxD2 P54/$\overline{\text{IRQ12}}$/TxD2 P53/$\overline{\text{IRQ11}}$/RxD1/IrRxD P52/$\overline{\text{IRQ10}}$/TxD1/IrTxD P51/$\overline{\text{IRQ9}}$/RxD0 P50/$\overline{\text{IRQ8}}$/TxD0		

ポート名	概　要	拡張モード		シングルチップモード	入出力形態
		モード 2、モード 3 (EXPE=1)		モード 2、モード 3 (EXPE=0)	
ポート 6	双方向データバス、コンパクトフラッシュ双方向データバス、FRT 入出力、拡張 A/D 変換入力、キーボード入力、タイマコネクション入出力、外付け USB ドライバ／レシーバ入出力端子と兼用汎用入出力ポート	P67/CIN7/$\overline{\text{KIN7}}$*1	D7/CPD7*2	P67/CIN7/$\overline{\text{KIN7}}$/DPLS	入力プルアップ MOS 内蔵
		P66/FTOB/CIN6/$\overline{\text{KIN6}}$/CBLANK*1	D6/CPD6*2	P66/FTOB/CIN6/$\overline{\text{KIN6}}$/CBLANK/DMNS	
		P65/FTID/CIN5/$\overline{\text{KIN5}}$/CSYNCI*1	D5/CPD5*2	P65/FTID/CIN5/$\overline{\text{KIN5}}$/CSYNCI/XVERDATA	
		P64/FTIC/CIN4/$\overline{\text{KIN4}}$/CLAMPO*1	D4/CPD4*2	P64/FTIC/CIN4/$\overline{\text{KIN4}}$/CLAMPO/TXDPLS	
		P63/FTIB/CIN3/$\overline{\text{KIN3}}$/VFBACKI*1	D3/CPD3*2	P63/FTIB/CIN3/$\overline{\text{KIN3}}$/VFBACKI/TXDMNS	
		P62/FTIA/CIN2/$\overline{\text{KIN2}}$/VSYNCI*1	D2/CPD2*2	P62/FTIA/CIN2/$\overline{\text{KIN2}}$/VSYNCI/TXENL	
		P61/FTOA/CIN1/$\overline{\text{KIN1}}$/VSYNCO*1	D1/CPD1*2	P61/FTOA/CIN1/$\overline{\text{KIN1}}$/VSYNCO/SUSPEND	
		P60/FTCI/CIN0/$\overline{\text{KIN0}}$/HFBACKI*1	D0/CPD0*2	P60/FTCI/CIN0/$\overline{\text{KIN0}}$/HFBACKI/SPEED	
ポート 7	A/D 変換器のアナログ入力、D/A 変換器のアナログ出力、割り込み入力端子と兼用汎用入力ポート	P77/$\overline{\text{ExIRQ7}}$/AN7/DA1 P76/$\overline{\text{ExIRQ6}}$/AN6/DA0 P75/$\overline{\text{ExIRQ5}}$/AN5 P74/$\overline{\text{ExIRQ4}}$/AN4 P73/$\overline{\text{ExIRQ3}}$/AN3 P72/$\overline{\text{ExIRQ2}}$/AN2			
ポート 8	A/D 変換器の外部トリガ入力端子、SCI_0、SCI_1、SCI_2 クロック入出力端子、IIC_0、IIC_1 入出力端子、ExTMR_0、ExTMR_1、ExTMR_X、ExTMR_Y 入力、USB の外部クロック入力、割り込み入力端子と兼用汎用入出力ポート	P87/$\overline{\text{ExIRQ15}}$/$\overline{\text{ADTRG}}$/ExTMIY/USEXCL P86/$\overline{\text{ExIRQ14}}$/SCK2/ExTMIX P85/$\overline{\text{ExIRQ13}}$/SCK1/ExTMI1 P84/$\overline{\text{ExIRQ12}}$/SCK0/ExTMI0 P83/$\overline{\text{ExIRQ11}}$/SDA1 P82/$\overline{\text{ExIRQ10}}$/SCL1 P81/$\overline{\text{ExIRQ9}}$/SDA0 P80/$\overline{\text{ExIRQ8}}$/SCL0			P87～P80 は、NMOS プッシュプル出力 SDA1、SCL1、SDA0、SCL0 は NMOS オープンドレイン出力

ポート名	概　要	拡張モード		シングルチップモード	入出力形態
		モード 2、モード 3 (EXPE=1)		モード 2、モード 3 (EXPE=0)	
ポート 9	バス制御の入出力、コンパクトフラッシュ制御の入出力、システムクロック出力、外部サブクロック入力端子と兼用汎用入出力ポート	P97/$\overline{\text{WAIT}}$/$\overline{\text{CPWAIT}}$/$\overline{\text{CS256}}$		P97	
		P96/φ/EXCL			
		$\overline{\text{AS}}$/$\overline{\text{IOS}}$		P95	
		$\overline{\text{HWR}}$/$\overline{\text{CPWE}}$		P94	
		$\overline{\text{RD}}$/$\overline{\text{CPOE}}$		P93	
		P92/$\overline{\text{CPCS1}}$		P92	
		P91/$\overline{\text{CPCS2}}$		P91	
		P90/$\overline{\text{LWR}}$		P90	
ポート A	アドレス出力、キーボード入力、SCI_0、SCI_2 外部制御端子と兼用汎用入出力ポート	PA1/A17/$\overline{\text{KIN9}}$/SSE2I*3 PA0/A16/$\overline{\text{KIN8}}$/SSE0I*3	PA1/$\overline{\text{KIN9}}$/SSE2I*4 PA0/$\overline{\text{KIN8}}$/SSE0I*4	PA1/$\overline{\text{KIN9}}$/SSE2I PA0/$\overline{\text{KIN8}}$/SSE0I	入力プルアップ MOS 内蔵

【注】 *1 8 ビットデータバス設定のとき

*2 16 ビットデータバス設定のとき

*3 拡張モード（モード 2）

*4 拡張モード（モード 3）

9.1 ポート 1

ポート 1 は 8 ビットの入出力ポートです。ポート 1 はアドレスバス、PWM 出力端子、コンパクトフラッシュアドレス出力端子と兼用になっています。動作モードによって端子機能が切り替わります。ポート 1 には以下のレジスタがあります。

- **ポート1データディレクションレジスタ**(P1DDR)
- **ポート1データレジスタ**(P1DR)
- **ポート1プルアップ**MOS**コントロールレジスタ**(P1PCR)

9.1.1 ポート 1 データディレクションレジスタ（P1DDR）

P1DDR はポート 1 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　明
7	P17DDR	0	W	**拡張モードのとき** **このビットを 1 にセットすると対応する端子はアドレス出力、コンパクトフラッシュアドレス出力となり、0 にクリアすると入力ポートになります。** **シングルチップモードのとき** **このビットを 1 にセットすると対応する端子は出力ポートまたは PWM 出力となり、0 にクリアすると入力ポートになります。**
6	P16DDR	0	W	
5	P15DDR	0	W	
4	P14DDR	0	W	
3	P13DDR	0	W	
2	P12DDR	0	W	
1	P11DDR	0	W	
0	P10DDR	0	W	

9.1.2 ポート 1 データレジスタ（P1DR）

P1DR はポート 1 の出力データを格納します。

ビット	ビット名	初期値	R/W	説　明
7	P17DR	0	R/W	**汎用出力ポートとして使用する端子の出力データを格納します。このレジスタをリードすると、P1DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P1DDR が 0 にクリアされているビットは端子の状態が読み出されます。**
6	P16DR	0	R/W	
5	P15DR	0	R/W	
4	P14DR	0	R/W	
3	P13DR	0	R/W	
2	P12DR	0	R/W	
1	P11DR	0	R/W	
0	P10DR	0	R/W	

9.1.3 ポート 1 プルアップ MOS コントロールレジスタ（P1PCR）

P1PCR はポート 1 の入力プルアップ MOS のオン／オフを制御します。

ビット	ビット名	初期値	R/W	説　明
7	P17PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	P16PCR	0	R/W	
5	P15PCR	0	R/W	
4	P14PCR	0	R/W	
3	P13PCR	0	R/W	
2	P12PCR	0	R/W	
1	P11PCR	0	R/W	
0	P10PCR	0	R/W	

9.1.4 端子機能

動作モードおよびレジスタの設定値と端子機能の関係は以下のとおりです。なお、表中の＊は Don’t care を表します。

(1) 拡張モード

P1nDDR ビットにより、次のように切り替わります。

P1nDDR	0	1
端子機能	P17～P10 **入力端子**	A7～A0 **出力端子、**CPA7～CPA0 **出力端子**

【注】 n＝7～0

(2) シングルチップモード

PWM の PWOERA の OEn ビットと P1nDDR ビットの組み合わせにより、次のように切り替わります。

P1nDDR	0	1	1
OEn	＊	0	1
端子機能	P17～P10 **入力端子**	P17～P10 **出力端子**	PW7～PW0 **出力端子**

【注】 n＝7～0

9.1.5 ポート 1 入力プルアップ MOS の状態

ポート 1 はプログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS は動作モードに関係なく使用できます。入力プルアップ MOS の状態を**表** 9.2 に示します。

表 9.2　**ポート** 1 **入力プルアップ** MOS **の状態**

リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
OFF		ON/OFF	

【記号説明】

OFF　　**：常にオフ状態です。**

ON/OFF **：**P1DDR＝0 **かつ** P1PCR＝1 **のときオン状態、その他のときはオフ状態です。**

9.2 ポート 2

ポート 2 は 8 ビットの入出力ポートです。ポート 2 はアドレスバス、PWM 出力端子、コンパクトフラッシュアドレス出力端子と兼用になっています。動作モードによって端子機能が切り替わります。ポート 2 には以下のレジスタがあります。

- **ポート2データディレクションレジスタ**(P2DDR)
- **ポート2データレジスタ**(P2DR)
- **ポート2プルアップMOSコントロールレジスタ**(P2PCR)

9.2.1 ポート 2 データディレクションレジスタ（P2DDR）

P2DDR はポート 2 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　明
7	P27DDR	0	W	**拡張モードのとき** **このビットを 1 にセットすると対応する端子はアドレス出力、コンパクトフラッシュアドレス出力端子となり、0 にクリアすると入力ポートになります。** **アドレス出力端子となる範囲は、**SYSCR **の** CS256E**、**IOSE **ビットの設定により異なります。** **シングルチップモードのとき** **このビットを 1 にセットすると対応する端子は出力ポートまたは** PWM **出力となり、0 にクリアすると入力ポートになります。**
6	P26DDR	0	W	
5	P25DDR	0	W	
4	P24DDR	0	W	
3	P23DDR	0	W	
2	P22DDR	0	W	
1	P21DDR	0	W	
0	P20DDR	0	W	

9.2.2 ポート 2 データレジスタ（P2DR）

P2DR はポート 2 の出力データを格納します。

ビット	ビット名	初期値	R/W	説　明
7	P27DR	0	R/W	**汎用出力ポートとして使用する端子の出力データを格納します。このレジスタをリードすると、**P2DDR **が** 1 **にセットされているビットはこのレジスタの値が読み出されます。**P2DDR **が** 0 **にクリアされているビットは端子の状態が読み出されます。**
6	P26DR	0	R/W	
5	P25DR	0	R/W	
4	P24DR	0	R/W	
3	P23DR	0	R/W	
2	P22DR	0	R/W	
1	P21DR	0	R/W	
0	P20DR	0	R/W	

9.2.3 ポート 2 プルアップ MOS コントロールレジスタ（P2PCR）

P2PCR はポート 2 の入力プルアップ MOS のオン／オフを制御します。

ビット	ビット名	初期値	R/W	説　明
7	P27PCR	0	R/W	端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	P26PCR	0	R/W	
5	P25PCR	0	R/W	
4	P24PCR	0	R/W	
3	P23PCR	0	R/W	
2	P22PCR	0	R/W	
1	P21PCR	0	R/W	
0	P20PCR	0	R/W	

9.2.4 端子機能

動作モードおよびレジスタの設定値と端子機能の関係は以下のとおりです。なお、表中の＊は Don't care を表します。

(1) 拡張モード

SYSCR の CS256E、IOSE ビット、BSC の BCR2 の ADFULLE、CPCSE ビットおよび P2nDDR ビットの組み合わせにより、次のように切り替わります。表中のアドレス 13、アドレス 11 は、次の論理式で表されます。

アドレス 13=1：$\overline{\text{ADFULLE}}$・$\overline{\text{CS256E}}$・IOSE

アドレス 11=1：$\overline{\text{ADFULLE}}$・$\overline{\text{CS256E}}$・$\overline{\text{CPCSE}}$・IOSE

P2nDDR	0	1	
アドレス 13	＊	0	1
端子機能	P27～P25 入力端子	A15～A13 出力端子	P27～P25 出力端子

【注】 n＝7～5

P2nDDR＝1 かつ CPCSE＝1 としても、IOSE＝1 にしなければ P27～P25 は出力端子として使用できません。

P24DDR	0	1	
アドレス 11	＊	0	1
端子機能	P24 入力端子	A12 出力端子	P24 出力端子

P23DDR	0	1	
アドレス 11	＊	0	1
端子機能	P23 入力端子	A11 出力端子／$\overline{\text{CPREG}}$ 出力端子	P23 出力端子

P2nDDR	0	1
端子機能	P22～P20 入力端子	A10～A8 出力端子／ CPA10～CPA8 出力端子

【注】 n＝2～0

(2) シングルチップモード

PWM の PWOERB の OEm ビットと P2nDDR ビットの組み合わせにより、次のように切り替わります。

P2nDDR	0	1	
OEm	*	0	1
端子機能	P27～P20 入力端子	P27～P20 出力端子	PW15～PW8 出力端子

【注】 n＝7～0

m＝15～8

9.2.5 ポート 2 入力プルアップ MOS の状態

ポート 2 はプログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS は動作モードに関係なく使用できます。入力プルアップ MOS の状態を表 9.3 に示します。

表 9.3 ポート 2 入力プルアップ MOS の状態

リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
OFF		ON/OFF	

【記号説明】

OFF ：常にオフ状態です。

ON/OFF ：P2DDR＝0 かつ P2PCR＝1 のときオン状態、その他のときはオフ状態です。

9.3 ポート 3

ポート 3 は 8 ビットの入出力ポートです。ポート 3 は双方向データバス、コンパクトフラッシュ双方向データバス、ウェイクアップイベント入力端子、MCIF 入出力端子と兼用になっています。動作モードによって端子機能が切り替わります。ポート 3 には以下のレジスタがあります。

- **ポート3データディレクションレジスタ**（P3DDR）
- **ポート3データレジスタ**（P3DR）
- **ポート3プルアップ**MOS**コントロールレジスタ**（P3PCR）

9.3.1 ポート 3 データディレクションレジスタ（P3DDR）

P3DDR はポート 3 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　明
7	P37DDR	0	W	**拡張モードのとき** **このビットの値にかかわらずデータバスとなります。** **シングルチップモードのとき** **このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。**
6	P36DDR	0	W	
5	P35DDR	0	W	
4	P34DDR	0	W	
3	P33DDR	0	W	
2	P32DDR	0	W	
1	P31DDR	0	W	
0	P30DDR	0	W	

9.3.2 ポート 3 データレジスタ（P3DR）

P3DR はポート 3 の出力データを格納します。

ビット	ビット名	初期値	R/W	説　明
7	P37DR	0	R/W	**拡張モードのとき** **このレジスタをリードすると** P3DDR **が** 1 **にセットされているビットはこのレジスタの値が読み出されます。**P3DDR **が** 0 **にクリアされているビットは** 1 **が読み出されます。** **シングルチップモードのとき** **汎用出力ポートとして使用する端子の出力データを格納します。** **このレジスタをリードすると、**P3DDR **が** 1 **にセットされているビットはこのレジスタの値が読み出されます。**P3DDR **が** 0 **にクリアされているビットは端子の状態が読み出されます。**
6	P36DR	0	R/W	
5	P35DR	0	R/W	
4	P34DR	0	R/W	
3	P33DR	0	R/W	
2	P32DR	0	R/W	
1	P31DR	0	R/W	
0	P30DR	0	R/W	

9.3.3 ポート 3 プルアップ MOS コントロールレジスタ（P3PCR）

P3PCR はポート 3 の入力プルアップ MOS のオン／オフを制御します。

ビット	ビット名	初期値	R/W	説　明
7	P37PCR	0	R/W	拡張モードのとき 動作に影響しません。 シングルチップモードのとき 端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	P36PCR	0	R/W	
5	P35PCR	0	R/W	
4	P34PCR	0	R/W	
3	P33PCR	0	R/W	
2	P32PCR	0	R/W	
1	P31PCR	0	R/W	
0	P30PCR	0	R/W	

9.3.4 端子機能

動作モードおよびレジスタの設定値と端子機能の関係は以下のとおりです。なお、表中の MMC モードとは MultiMediaCard モードのことを、＊は Don’t care を表します。

(1) 拡張モード

ポート 3 は自動的にデータバスになります。

(2) シングルチップモード

- P37/$\overline{\text{WUE15}}$

P37DDR ビットにより、次のように切り替わります。

割り込みコントローラの WUEMR3 の WUEM15 ビットを 0 にクリアすると、$\overline{\text{WUE15}}$ 入力端子になります。$\overline{\text{WUE15}}$ 入力端子として使用する場合は、P37DDR ビットを 0 にクリアしてください。

P37DDR	0	1
端子機能	P37 入力端子	P37 出力端子
	$\overline{\text{WUE15}}$ 入力端子	

- P36/$\overline{\text{WUE14}}$

P36DDR ビットにより、次のように切り替わります。

割り込みコントローラの WUEMR3 の WUEM14 ビットを 0 にクリアすると、$\overline{\text{WUE14}}$ 入力端子になります。$\overline{\text{WUE14}}$ 入力端子として使用する場合は、P36DDR ビットを 0 にクリアしてください。

P36DDR	0	1
端子機能	P36 入力端子	P36 出力端子
	$\overline{\text{WUE14}}$ 入力端子	

- P35/$\overline{\text{WUE13}}$

P35DDR ビットにより、次のように切り替わります。

割り込みコントローラの WUEMR3 の WUEM13 ビットを 0 にクリアすると、$\overline{\text{WUE13}}$ 入力端子になります。

$\overline{\text{WUE13}}$ 入力端子として使用する場合は、P35DDR ビットを 0 にクリアしてください。

P35DDR	0	1
端子機能	P35 **入力端子**	P35 **出力端子**
	$\overline{\text{WUE13}}$ **入力端子**	

- P34/$\overline{\text{WUE12}}$/MCCMDDIR/MCCSB

MCIF の動作モードおよび P34DDR ビットの組み合わせにより、次のように切り替わります。

割り込みコントローラの WUEMR3 の WUEM12 ビットを 0 にクリアすると、$\overline{\text{WUE12}}$ 入力端子になります。

$\overline{\text{WUE12}}$ 入力端子として使用する場合は、P34DDR ビットを 0 にクリアしてください。

MCIF **動作モード**	MCIF **ディスエーブル**（IOMCR:MMCPE=0） **または** PTCNT0:MMCS=1		MCIF **イネーブル**（IOMCR:MMCPE=1） PTCNT0:MMCS=0	
	MCIF **イネーブル**（IOMCR:MMCPE=1） PTCCNT0:MMCS=0 （MMC **モード**（MODER:SPI=0） IOMCR:DIRME=0） **または** （SPI **モード**（MODER:SPI=1） IOMCR:SPCNUM=0）		MMC **モード** （MODER:SPI=0） IOMCR:DIRME=1	SPI **モード** （MODER:SPI=1） IOMCR:SPCNUM=1
P34DDR	0	1	＊	＊
端子機能	P34 **入力端子**	P34 **出力端子**	MCCMDDIR **出力端子**	MCCSB **出力端子**
	$\overline{\text{WUE12}}$ **入力端子**			

- P33/$\overline{\text{WUE11}}$/MCDATDIR/MCCSA

MCIF の動作モードおよび P33DDR ビットの組み合わせにより、次のように切り替わります。

割り込みコントローラの WUEMR3 の WUEM11 ビットを 0 にクリアすると、$\overline{\text{WUE11}}$ 入力端子になります。

$\overline{\text{WUE11}}$ 入力端子として使用する場合は、P33DDR ビットを 0 にクリアしてください。

MCIF **動作モード**	MCIF **ディスエーブル**（IOMCR:MMCPE=0） **または** PTCNT0:MMCS=1		MCIF **イネーブル**（IOMCR:MMCPE=1） PTCNT0:MMCS=0	
	MCIF **イネーブル**（IOMCR:MMCPE=1） PTCCNT0:MMCS=0 MMC **モード**（MODER:SPI=0） IOMCR:DIRME=0		MMC **モード** （MODER:SPI=0） IOMCR:DIRME=1	SPI **モード** （MODER:SPI=1）
P33DDR	0	1	＊	＊
端子機能	P33 **入力端子**	P33 **出力端子**	MCDATDIR **出力端子**	MCCSA **出力端子**
	$\overline{\text{WUE11}}$ **入力端子**			

- P32/$\overline{\text{WUE10}}$/MCDAT/MCRxD

MCIF の動作モードおよび P32DDR ビットの組み合わせにより、次のように切り替わります。

割り込みコントローラの WUEMR3 の WUEM10 ビットを 0 にクリアすると、$\overline{\text{WUE10}}$ 入力端子になります。$\overline{\text{WUE10}}$ 入力端子として使用する場合は、P32DDR ビットを 0 にクリアしてください。

MCIF 動作モード	MCIF ディスエーブル（IOMCR:MMCPE=0）または PTCNT0:MMCS=1		MCIF イネーブル（IOMCR:MMCPE=1）PTCNT0:MMCS=0	
			MMC モード（MODER:SPI=0）	SPI モード（MODER:SPI=1）
P32DDR	0	1	*	*
端子機能	P32 入力端子	P32 出力端子	MCDAT 入出力端子	MCRxD 入力端子
	$\overline{\text{WUE10}}$ 入力端子			

- P31/$\overline{\text{WUE9}}$/MCCMD/MCTxD

MCIF の動作モードおよび P31DDR ビットの組み合わせにより、次のように切り替わります。

割り込みコントローラの WUEMR3 の WUEM9 ビットを 0 にクリアすると、$\overline{\text{WUE9}}$ 入力端子になります。$\overline{\text{WUE9}}$ 入力端子として使用する場合は、P31DDR ビットを 0 にクリアしてください。

MCIF 動作モード	MCIF ディスエーブル（IOMCR:MMCPE=0）または PTCNT0:MMCS=1		MCIF イネーブル（IOMCR:MMCPE=1）PTCNT0:MMCS=0	
			MMC モード（MODER:SPI=0）	SPI モード（MODER:SPI=1）
P31DDR	0	1	*	*
端子機能	P31 入力端子	P31 出力端子	MCCMD 入出力端子	MCTxD 出力端子
	$\overline{\text{WUE9}}$ 入力端子			

- P30/$\overline{\text{WUE8}}$/MCCLK

MCIF の動作モードおよび P30DDR ビットの組み合わせにより、次のように切り替わります。

割り込みコントローラの WUEMR3 の WUEM8 ビットを 0 にクリアすると、$\overline{\text{WUE8}}$ 入力端子になります。$\overline{\text{WUE8}}$ 入力端子として使用する場合は、P30DDR ビットを 0 にクリアしてください。

MCIF 動作モード	MCIF ディスエーブル（IOMCR:MMCPE=0）または PTCNT0:MMCS=1		MCIF イネーブル（IOMCR:MMCPE=1）PTCNT0:MMCS=0
P30DDR	0	1	*
端子機能	P30 入力端子	P30 出力端子	MCCLK 出力端子
	$\overline{\text{WUE8}}$ 入力端子		

9.3.5 ポート 3 入力プルアップ MOS の状態

ポート 3 はプログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS はシングルチップモードのときに使用できます。入力プルアップ MOS の状態を**表** 9.4 に示します。

表 9.4 **ポート** 3 **入力プルアップ** MOS **の状態**

モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
拡張モード（EXPE=1）	OFF		OFF	
シングルチップモード（EXPE=0）	OFF		ON/OFF	

【記号説明】

OFF **：常にオフ状態です。**

ON/OFF **：入力状態かつ** P3PCR＝1 **のときオン状態、その他のときはオフ状態です。**

9.4 ポート 4

ポート 4 は 8 ビットの入出力ポートです。ポート 4 は割り込み入力端子、TMR_0、TMR_1、TMR_X、TMR_Y 入出力端子、タイマコネクション入出力端子、MCIF 入出力端子と兼用になっています。ポート 4 には以下のレジスタがあります。

- **ポート4データディレクションレジスタ**（P4DDR）
- **ポート4データレジスタ**（P4DR）

9.4.1 ポート 4 データディレクションレジスタ（P4DDR）

P4DDR はポート 4 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　明
7	P47DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P46DDR	0	W	
5	P45DDR	0	W	
4	P44DDR	0	W	
3	P43DDR	0	W	
2	P42DDR	0	W	
1	P41DDR	0	W	
0	P40DDR	0	W	

9.4.2 ポート 4 データレジスタ（P4DR）

P4DR はポート 4 の出力データを格納します。

ビット	ビット名	初期値	R/W	説　明
7	P47DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。このレジスタをリードすると、P4DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P4DDR が 0 にクリアされているビットは端子の状態が読み出されます。
6	P46DR	0	R/W	
5	P45DR	0	R/W	
4	P44DR	0	R/W	
3	P43DR	0	R/W	
2	P42DR	0	R/W	
1	P41DR	0	R/W	
0	P40DR	0	R/W	

9.4.3 端子機能

レジスタの設定値と端子機能の関係は以下のとおりです。なお、表中の MMC モードとは MultiMediaCard モードのことを、＊は Don't care を表します。

- P47/$\overline{\text{IRQ7}}$/TMOY

TMR_Y の TCSR の OS3～OS0 ビットと P47DDR ビットの組み合わせにより、次のように切り替わります。

ISSR の ISS7 ビットを 0 にクリアし、割り込みコントローラの IER の IRQ7E ビットを 1 にセットすると、$\overline{\text{IRQ7}}$ 入力端子になります。$\overline{\text{IRQ7}}$ 入力端子として使用する場合は、P47DDR を 0 にクリアしてください。

OS3～OS0	すべて 0		いずれかが 1
P47DDR	0	1	＊
端子機能	P47 入力端子	P47 出力端子	TMOY 出力端子
	$\overline{\text{IRQ7}}$ 入力端子		

- P46/$\overline{\text{IRQ6}}$/TMOX

TMR_X の TCSR の OS3～OS0 ビットと P46DDR ビットの組み合わせにより、次のように切り替わります。

ISSR の ISS6 ビットを 0 にクリアし、割り込みコントローラの IER の IRQ6E ビットを 1 にセットすると $\overline{\text{IRQ6}}$ 入力端子になります。$\overline{\text{IRQ6}}$ 入力端子として使用する場合は、P46DDR ビットを 0 にクリアしてください。

OS3～OS0	すべて 0		いずれかが 1
P46DDR	0	1	＊
端子機能	P46 入力端子	P46 出力端子	TMOX 出力端子
	$\overline{\text{IRQ6}}$ 入力端子		

- P45/$\overline{\text{IRQ5}}$/TMIY

P45DDR ビットにより、次のように切り替わります。

PTCNT0 の TMIYS ビットを 0 にクリアし、TMR_Y の TCR の CKS2～CKS0 ビットで外部クロックを選択すると TMCIY 入力端子になります。TMR_Y の TCR の CCLR1、CCLR0 ビットをいずれも 1 にセットすると TMRIY 入力端子になります。ISSR の ISS5 ビットを 0 にクリアし、割り込みコントローラの IER の IRQ5E ビットを 1 にセットすると、$\overline{\text{IRQ5}}$ 入力端子になります。$\overline{\text{IRQ5}}$ 入力端子として使用する場合は、P45DDR ビットを 0 にクリアしてください。

P45DDR	0	1
端子機能	P45 入力端子	P45 出力端子
	TMIY（TMCIY/TMRIY）入力端子／$\overline{\text{IRQ5}}$ 入力端子	

- P44/$\overline{\text{IRQ4}}$/TMIX/ExMCCMDDIR/ExMCCSB

MCIF の動作モードおよび P44DDR ビットの組み合わせにより、次のように切り替わります。

PTCNT0 の TMIXS ビットを 0 にクリアし、TMR_X の TCR の CKS2～CKS0 ビットで外部クロックを選択すると TMCIX 入力端子になります。TMR_X の TCR の CCLR1、CCLR0 ビットをいずれも 1 にセットすると TMRIX 入力端子になります。ISSR の ISS4 ビットを 0 にクリアし、割り込みコントローラの IER の IRQ4E ビットを 1 にセットすると、$\overline{\text{IRQ4}}$ 入力端子になります。$\overline{\text{IRQ4}}$ 入力端子として使用する場合は、P44DDR ビットを 0 にクリアしてください。

<table>
<tr><td>MCIF 動作モード</td><td colspan="2">MCIF ディスエーブル（IOMCR:MMCPE=0）
または
（シングルチップモード（EXPE=0）
PTCNT0:MMCS=0）</td><td colspan="2">MCIF イネーブル（IOMCR:MMCPE=1）
PTCNT0:MMCS=1
または
拡張モード（EXPE=1）</td></tr>
<tr><td></td><td>MCIF イネーブル（IOMCR:MMCPE=1）
PTCCNT0:MMCS=1
（MMC モード（MODER:SPI=0）
IOMCR:DIRME=0）
または
（SPI モード（MODER:SPI=1）
IOMCR:SPCNUH=0）</td><td>MMC モード（MODER:SPI=0）
IOMCR:DIRME=1</td><td>SPI モード（MODER:SPI=1）
IOMCR:SPCNUM=1</td></tr>
<tr><td>P44DDR</td><td>0</td><td>1</td><td>＊</td><td>＊</td></tr>
<tr><td>端子機能</td><td>P44 入力端子</td><td>P44 出力端子</td><td>ExMCCMDDIR 出力端子</td><td>ExMCCSB 出力端子</td></tr>
<tr><td></td><td colspan="3">TMIX（TMCIX/TMRIX）入力端子／$\overline{\text{IRQ4}}$ 入力端子</td></tr>
</table>

- P43/$\overline{\text{IRQ3}}$/TMO1/ExMCDATDIR/ExMCCSA/HSYNCO

MCIF の動作モード、タイマコネクションの TCONRO の HOE ビット、TMR_1 の TCSR の OS3～OS0 ビットおよび P43DDR ビットの組み合わせにより、次のように切り替わります。

ISSR の ISS3 ビットを 0 にクリアし、割り込みコントローラの IER の IRQ3E ビットを 1 にセットすると $\overline{\text{IRQ3}}$ 入力端子になります。$\overline{\text{IRQ3}}$ 入力端子として使用する場合は、P43DDR ビットを 0 にクリアしてください。

MCIF 動作モード	MCIF ディスエーブル（IOMCR:MMCPE=0）または（シングルチップモード（EXPE=0）PTCNT0:MMCS=0）				MCIF イネーブル（IOMCR:MMCPE=1）PTCNT0:MMCS=1 または 拡張モード（EXPE=1）	
	MCIF イネーブル（IOMCR:MMCPE=1）PTCCNT0:MMCS=1 MMC モード（MODER:SPI=0）IOMCR:DIRME=1				MMC モード（MODER:SPI=0）IOMCR:DIRME=1	SPI モード（MODER:SPI=1）
HOE	0			1	＊	
OS3～OS0	すべて 0		いずれかが 1	＊	＊	
P43DDR	0	1	＊	＊	＊	
端子機能	P43 入力端子	P43 出力端子	TMO1 出力端子	HSYNCO 出力端子	ExMCDATDIR 出力端子	ExMCCSA 出力端子
	$\overline{\text{IRQ3}}$ 入力端子					

- P42/$\overline{\text{IRQ2}}$/TMO0/ExMCDAT/ExMCRxD

MCIF の動作モード、TMR_1 の TCSR の OS3～OS0 ビットおよび P42DDR ビットの組み合わせにより、次のように切り替わります。

ISSR の ISS2 ビットを 0 にクリアし、割り込みコントローラの IER の IER2E ビットを 1 にセットすると、$\overline{\text{IRQ2}}$ 入力端子になります。$\overline{\text{IRQ2}}$ 入力端子として使用する場合は、P42DDR ビットを 0 にクリアしてください。

MCIF 動作モード	MCIF ディスエーブル（IOMCR:MMCPE=0）または（シングルチップモード（EXPE=0）PTCNT0:MMCS=0）			MCIF イネーブル（IOMCR:MMCPE=1）PTCNT0:MMCS=1 または 拡張モード（EXPE=1）	
				MMC モード（MODER:SPI=0）	SPI モード（MODER:SPI=1）
OS3～OS0	すべて 0		いずれかが 1	＊	
P42DDR	0	1	＊	＊	
端子機能	P42 入力端子	P42 出力端子	TMO0 出力端子	ExMCDAT 入出力端子	ExMCRxD 入力端子
	$\overline{\text{IRQ2}}$ 入力端子				

- P41/$\overline{\text{IRQ1}}$/TMI1/ExMCCMD/ExMCTxD/HSYNCI

MCIF の動作モードおよび P41DDR ビットの組み合わせにより、次のように切り替わります。

PTCNT0 の TMI1S ビットを 0 にクリアし、TMR_1 の TCR の CKS2～CKS0 ビットで外部クロックを選択すると、TMCI1 入力端子になります。TMR_1 の TCR の CCLR1、CCLR0 ビットをいずれも 1 にセットすると、TMRI1 入力端子になります。ISSR の ISS1 ビットを 0 にクリアし、割り込みコントローラの IER の IRQ1E ビットを 1 にセットすると、$\overline{\text{IRQ1}}$ 入力端子になります。$\overline{\text{IRQ1}}$ 端子として使用する場合は P41DDR ビットを 0 にクリアしてください。タイマコネクションの TCONRI の SIMOD1 ビット（IHI 信号）を 1 にセットすると、HSYNCI 入力端子として使用できます。

MCIF **動作モード**	MCIF **ディスエーブル**（IOMCR:MMCPE=0）**または**（**シングルチップモード**（EXPE=0）PTCNT0:MMCS=0）		MCIF **イネーブル**（IOMCR:MMCPE=1）PTCNT0:MMCS=1 **または** **拡張モード**（EXPE=1）	
			MMC **モード**（MODER:SPI=0）	SPI **モード**（MODER:SPI=1）
P41DDR	0	1	＊	
端子機能	P41 **入力端子**	P41 **出力端子**	ExMCCMD **入出力端子**	ExMCTxD **出力端子**
	TMI1（TMCI1/TMRI1）**入力端子**／$\overline{\text{IRQ1}}$ **入力端子**／HSYNCI **入力端子**			

- P40/$\overline{\text{IRQ0}}$/TMI0/ExMCCLK

MCIF の動作モードおよび P40DDR ビットの組み合わせにより、次のように切り替わります。

PTCNT0 の TMIOS ビットを 0 にクリアし、TMR_0 の TCR の CKS2～CKS0 ビットで外部クロックを選択すると、TMCI0 入力端子になります。TMR_0 の TCR の CCLR1、CCLR0 ビットをいずれも 1 にセットすると、TMRI0 入力端子になります。ISSR の ISS0 ビットを 0 にクリアし、割り込みコントローラの IER の IRQ0E ビットを 1 にセットすると、$\overline{\text{IRQ0}}$ 入力端子になります。$\overline{\text{IRQ0}}$ 入力端子として使用する場合は、P40DDR ビットを 0 にクリアしてください。

MCIF **動作モード**	MCIF **ディスエーブル**（IOMCR:MMCPE=0）**または**（**シングルチップモード**（EXPE=0）PTCNT0:MMCS=0）		MCIF **イネーブル**（IOMCR:MMCPE=1）PTCNT0:MMCS=1 **または** **拡張モード**（EXPE=1）
P40DDR	0	1	＊
端子機能	P40 **入力端子**	P40 **出力端子**	ExMCCLK **出力端子**
	TMI0（TMCI0/TMRI0）**入力端子**／$\overline{\text{IRQ0}}$ **入力端子**		

9.5 ポート 5

ポート 5 は 8 ビットの入出力ポートです。ポート 5 は、割り込み入力端子、PWMX 出力端子、SCI_0、SCI_1、SCI_2 入出力端子と兼用になっています。ポート 5 には以下のレジスタがあります。

- **ポート5データディレクションレジスタ**（P5DDR）
- **ポート5データレジスタ**（P5DR）

9.5.1 ポート 5 データディレクションレジスタ（P5DDR）

P5DDR はポート 5 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　明
7	P57DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P56DDR	0	W	
5	P55DDR	0	W	
4	P54DDR	0	W	
3	P53DDR	0	W	
2	P52DDR	0	W	
1	P51DDR	0	W	
0	P50DDR	0	W	

9.5.2 ポート 5 データレジスタ（P5DR）

P5DR はポート 5 の出力データを格納します。

ビット	ビット名	初期値	R/W	説　明
7	P57DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。このレジスタをリードすると、P5DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P5DDR が 0 にクリアされているビットは端子の状態が読み出されます。
6	P56DR	0	R/W	
5	P55DR	0	R/W	
4	P54DR	0	R/W	
3	P53DR	0	R/W	
2	P52DR	0	R/W	
1	P51DR	0	R/W	
0	P50DR	0	R/W	

9.5.3 端子機能

レジスタの設定値と端子機能の関係は以下のとおりです。なお、表中の＊は Don't care を表します。

- P57/$\overline{\text{IRQ15}}$/PWX1

PWMX の DACR の OEB ビットと P57DDR ビットの組み合わせにより、次のように切り替わります。

割り込みコントローラの IER16 の IRQ15E ビットを 1 にセット、または ISSR16 の ISS15 ビットを 0 にクリアすると $\overline{\text{IRQ15}}$ 入力端子となります。$\overline{\text{IRQ15}}$ 入力端子として使用する場合は、P57DDR ビットを 0 にクリアしてください。

OEB	0		1
P57DDR	0	1	＊
端子機能	P57 **入力端子**	P57 **出力端子**	PWX1 **出力端子**
	$\overline{\text{IRQ15}}$ **入力端子**		

- P56/$\overline{\text{IRQ14}}$/PWX0

PWMX の DACR の OEA ビットと P56DDR ビットの組み合わせにより、次のように切り替わります。

割り込みコントローラの IER16 の IRQ14E ビットを 1 にセット、または ISSR16 の ISS14 ビットを 0 にクリアすると $\overline{\text{IRQ14}}$ 入力端子となります。$\overline{\text{IRQ14}}$ 入力端子として使用する場合は、P56DDR ビットを 0 にクリアしてください。

OEA	0		1
P56DDR	0	1	＊
端子機能	P56 **入力端子**	P56 **出力端子**	PWX0 **出力端子**
	$\overline{\text{IRQ14}}$ **入力端子**		

- P55/$\overline{\text{IRQ13}}$/RxD2

SCI_2 の SCR の RE ビットと P55DDR ビットの組み合わせにより、次のように切り替わります。

割り込みコントローラの IER16 の IRQ13E ビットを 1 にセット、または ISSR16 の ISS13 ビットを 0 にクリアすると $\overline{\text{IRQ13}}$ 入力端子となります。$\overline{\text{IRQ13}}$ 入力端子として使用する場合は、P55DDR ビットを 0 にクリアしてください。

RE	0		1
P55DDR	0	1	＊
端子機能	P55 **入力端子**	P55 **出力端子**	RxD2 **入力端子**
	$\overline{\text{IRQ13}}$ **入力端子**		

- P54/$\overline{\text{IRQ12}}$/TxD2

SCI_2 の SCR の TE ビットと P54DDR ビットの組み合わせにより、次のように切り替わります。

割り込みコントローラの IER16 の IRQ12E ビットを 1 にセット、または ISSR16 の ISS12 ビットを 0 にクリアすると $\overline{\text{IRQ12}}$ 入力端子となります。$\overline{\text{IRQ12}}$ 入力端子として使用する場合は、P54DDR ビットを 0 にクリアしてください。

TE	0		1
P54DDR	0	1	*
端子機能	P54 **入力端子**	P54 **出力端子**	TxD2 **出力端子**
	$\overline{\text{IRQ12}}$ **入力端子**		

- P53/$\overline{\text{IRQ11}}$/RxD1/IrRxD

SCI_1 の SCR の RE ビットと P53DDR ビットの組み合わせにより、次のように切り替わります。

割り込みコントローラの IER16 の IRQ11E ビットを 1 にセット、または ISSR16 の ISS11 ビットを 0 にクリアすると $\overline{\text{IRQ11}}$ 入力端子となります。$\overline{\text{IRQ11}}$ 入力端子として使用する場合は、P53DDR ビットを 0 にクリアしてください。

RE	0		1
P53DDR	0	1	*
端子機能	P53 **入力端子**	P53 **出力端子**	RxD1 **入力端子**／IrRxD **入力端子**
	$\overline{\text{IRQ11}}$ **入力端子**		

- P52/$\overline{\text{IRQ10}}$/TxD1/IrTxD

SCI_1 の SCR の TE ビットと P52DDR ビットの組み合わせにより、次のように切り替わります。

割り込みコントローラの IER16 の IRQ10E ビットを 1 にセット、または ISSR16 の ISS10 ビットを 0 にクリアすると $\overline{\text{IRQ10}}$ 入力端子となります。$\overline{\text{IRQ10}}$ 入力端子として使用する場合は、P52DDR ビットを 0 にクリアしてください。

TE	0		1
P52DDR	0	1	*
端子機能	P52 **入力端子**	P52 **出力端子**	TxD1 **出力端子**／IrTxD **出力端子**
	$\overline{\text{IRQ10}}$ **入力端子**		

- P51/$\overline{\text{IRQ9}}$/RxD0

SCI_0 の SCR の RE ビットと P51DDR ビットの組み合わせにより、次のように切り替わります。

割り込みコントローラの IER16 の IRQ9E ビットを 1 にセット、または ISSR16 の ISS9 ビットを 0 にクリアすると $\overline{\text{IRQ9}}$ 入力端子となります。$\overline{\text{IRQ9}}$ 入力端子として使用する場合は、P51DDR ビットを 0 にクリアしてください。

RE	0		1
P51DDR	0	1	*
端子機能	P51 **入力端子**	P51 **出力端子**	RxD0 **入力端子**
	$\overline{\text{IRQ9}}$ **入力端子**		

- P50/$\overline{\text{IRQ8}}$/TxD0

SCI_0 の SCR の TE ビットと P50DDR ビットの組み合わせにより、次のように切り替わります。

割り込みコントローラの IER16 の IRQ8E ビットを 1 にセット、または ISSR16 の ISS8 ビットを 0 にクリアすると $\overline{\text{IRQ8}}$ 入力端子となります。$\overline{\text{IRQ8}}$ 入力端子として使用する場合は、P50DDR ビットを 0 にクリアしてください。

TE	0		1
P50DDR	0	1	*
端子機能	P50 **入力端子**	P50 **出力端子**	TxD0 **出力端子**
	$\overline{\text{IRQ8}}$ **入力端子**		

9.6 ポート 6

ポート 6 は 8 ビットの入出力ポートです。ポート 6 は、FRT 入出力端子、拡張 A/D 変換入力端子、キーボード入力端子、タイマコネクション入出力端子、外付け USB ドライバ／レシーバ入出力端子と兼用になっています。動作モードによって端子機能が切り替わります。また、拡張データバス（下位 8 ビットデータバス）として使用することができます。

ポート 6 には以下のレジスタがあります。

- **ポート6データディレクションレジスタ**（P6DDR）
- **ポート6データレジスタ**（P6DR）
- **ポート6プルアップ**MOS**コントロールレジスタ**（KMPCR6）
- **システムコントロールレジスタ**2（SYSCR2）

9.6.1 ポート 6 データディレクションレジスタ（P6DDR）

P6DDR はポート 6 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　明
7	P67DDR	0	W	**拡張モード（16 ビットデータバス）のとき** **このビットの値にかかわらずデータバスとなります。** **シングルチップモード／拡張モード（8 ビットデータバス）のとき** **汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。**
6	P66DDR	0	W	
5	P65DDR	0	W	
4	P64DDR	0	W	
3	P63DDR	0	W	
2	P62DDR	0	W	
1	P61DDR	0	W	
0	P60DDR	0	W	

9.6.2 ポート 6 データレジスタ（P6DR）

P6DR はポート 6 の出力データを格納します。

ビット	ビット名	初期値	R/W	説　明
7	P67DR	0	R/W	**拡張モード（16 ビットデータバス）のとき** **このレジスタをリードすると、P6DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P6DDR が 0 にクリアされているビットは 1 が読み出されます。** **シングルチップモード／拡張モード（8 ビットデータバス）のとき** **汎用出力ポートとして使用する端子の出力データを格納します。** **このレジスタをリードすると、P6DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P6DDR が 0 にクリアされているビットは端子の状態が読み出されます。**
6	P66DR	0	R/W	
5	P65DR	0	R/W	
4	P64DR	0	R/W	
3	P63DR	0	R/W	
2	P62DR	0	R/W	
1	P61DR	0	R/W	
0	P60DR	0	R/W	

9.6.3 ポート 6 プルアップ MOS コントロールレジスタ（KMPCR6）

KMPCR6 はポート 6 の入力プルアップ MOS のオン／オフを制御します。

ビット	ビット名	初期値	R/W	説　明
7	KM7PCR	0	R/W	拡張モード（16 ビットデータバス）のとき 動作に影響しません。 シングルチップモード／拡張モード（8 ビットデータバス）のとき 端子が入力状態のとき、このレジスタの 1 にセットされたビットに対応する端子の入力プルアップ MOS がオンします。
6	KM6PCR	0	R/W	
5	KM5PCR	0	R/W	
4	KM4PCR	0	R/W	
3	KM3PCR	0	R/W	
2	KM2PCR	0	R/W	
1	KM1PCR	0	R/W	
0	KM0PCR	0	R/W	

9.6.4 システムコントロールレジスタ 2（SYSCR2）

SYSCR2 は、ポート 6 の入力レベル選択、入力プルアップ MOS の電流仕様を制御します。

ビット	ビット名	初期値	R/W	説　明
7	KWUL1	0	R/W	キーウェイクアップレベル 1、0 ポート 6 の入力レベルを選択します。 00：標準入力レベルを選択 01：入力レベル 1 を選択 10：入力レベル 2 を選択 11：入力レベル 3 を選択
6	KWUL0	0	R/W	
5	P6PUE	0	R/W	ポート 6 入力プルアップエクストラ KMPCR の設定により接続される入力プルアップ MOS の電流仕様を選択します。 0：標準電流仕様を選択 1：電流制限仕様を選択
4、3	－	0	R/(W)	リザーブビット 初期値を変更しないでください。
2	CKCHGE	0	R/W	「27.1.3　システムコントロールレジスタ 2（SYSCR2）」を参照してください。
1	－	0	R/(W)	リザーブビット 初期値を変更しないでください。
0	PLCKS	0	R/W	「27.1.3　システムコントロールレジスタ 2（SYSCR2）」を参照してください。

9.6.5 端子機能

動作モードおよびレジスタの設定値と端子機能の関係は以下のとおりです。なお、表中の＊は Don't care を表します。

ポート 6 は、拡張モードのとき双方向データバス、コンパクトフラッシュ双方向データバス、FRT 入出力端子、拡張 A/D 変換入力端子、キーボード入力端子、タイマコネクション入出力端子または入出力ポートとして機能します。BSC の WSCR の ABW、ABW256 ビット、BCR2 の ABWCP ビットにより、拡張データバス幅を設定することができます。16 ビットバスインタフェースを設定した場合は、双方向データバス（D7～D0/CPD7～CPD0）として機能します。8 ビットバスインタフェースを設定した場合は、FRT 入出力端子、拡張 A/D 変換入力端子、キーボード入力端子、タイマコネクション入出力端子、または入出力ポートとして機能します。

シングルチップモードのときは、FRT 入出力端子、拡張 A/D 変換入力端子、キーボード入力端子、タイマコネクション入出力端子、外付け USB ドライバ／レシーバ入出力端子、または入出力ポートとして機能します。

(1) 拡張モードで 16 ビットデータバス設定

ポート 6 は下位 8 ビットデータバスとして動作します。

【注】拡張モードで 16 ビットデータバス設定時は、USB をイネーブルしないでください。USB をイネーブルにすると、ポート 6 はデータバスとして動作しません。

(2) 拡張モードで 8 ビットデータバス設定

- P67/CIN7/$\overline{\text{KIN7}}$

P67DDR ビットにより、次のように切り替わります。

A/D 変換器の KBCOMP の KBADE ビットを 1 にセットし、KBCH2～KBCH0 ビットを B'111 にセットすると、CIN7 入力端子になります。割り込みコントローラの KMIMR6 の KMIM7 ビットを 0 にクリアすると、$\overline{\text{KIN7}}$ 入力端子になります。$\overline{\text{KIN7}}$ 入力端子として使用する場合は、P67DDR ビットを 0 にクリアしてください。

P67DDR	0	1
端子機能	P67 **入力端子**	P67 **出力端子**
	CIN7 **入力端子**／$\overline{\text{KIN7}}$ **入力端子**	

- P66/FTOB/CIN6/$\overline{\text{KIN6}}$/CBLANK

タイマコネクションの TCONRO の CBOE ビット、FRT の TOCR の OEB ビットおよび P66DDR ビットの組み合わせにより、次のように切り替わります。

A/D 変換器の KBCOMP の KBADE ビットを 1 にセットし、KBCH2～KBCH0 ビットを B'110 にすると、CIN6 入力端子になります。割り込みコントローラの KMIMR6 の KMIM6 ビットを 0 にクリアすると $\overline{\text{KIN6}}$ 入力端子になります。$\overline{\text{KIN6}}$ 入力端子として使用する場合は、P66DDR を 0 にクリアしてください。

CBOE	0			1
OEB	0		1	*
P66DDR	0	1	*	*
端子機能	P66 **入力端子**	P66 **出力端子**	FTOB **出力端子**	CBLANK **出力端子**
	CIN6 **入力端子**／$\overline{\text{KIN6}}$ **入力端子**			

- P65/FTID/CIN5/$\overline{\text{KIN5}}$/CSYNCI

P65DDR ビットにより、次のように切り替わります。

FRT の TIER の ICIDE ビットを 1 にセットすると、FTID 入力端子になります。A/D 変換器の KBCOMP の KBADE ビットを 1 にセットし、KBCH2～KBCH0 ビットを B'101 にすると、CIN5 入力端子になります。割り込みコントローラの KMIMR6 の KMIM5 ビットを 0 にクリアすると $\overline{\text{KIN5}}$ 入力端子になります。$\overline{\text{KIN5}}$ 入力端子として使用する場合は P65DDR ビットを 0 にクリアしてください。タイマコネクションの TCONRI の SIMOD1、0 ビット（IHI 信号）を B'01 にすると CSYNCI 入力端子になります。

P65DDR	0	1
端子機能	P65 **入力端子**	P65 **出力端子**
	FTID **入力端子**／CIN5 **入力端子**／$\overline{\text{KIN5}}$ **入力端子**／CSYNCI **入力端子**	

- P64/FTIC/CIN4/$\overline{\text{KIN4}}$/CLAMPO

タイマコネクションの TCONRO の CLOE ビット、および P64DDR ビットの組み合わせにより、次のように切り替わります。

FRT の TIER の ICICE ビットを 1 にセットすると、FTIC 入力端子になります。A/D 変換器の KBCOMP の KBADE ビットを 1 にセットし、KBCH2～KBCH0 ビットを B'100 にすると、CIN4 入力端子になります。割り込みコントローラの KMIMR6 の KMIM4 ビットを 0 にクリアすると $\overline{\text{KIN4}}$ 入力端子になります。$\overline{\text{KIN4}}$ 入力端子として使用する場合は、P64DDR ビットを 0 にクリアしてください。

CLOE	0		1
P64DDR	0	1	*
端子機能	P64 **入力端子**	P64 **出力端子**	CLAMPO **出力端子**
	FTIC **入力端子**／CIN4 **入力端子**／$\overline{\text{KIN4}}$ **入力端子**		

- P63/FTIB/CIN3/$\overline{\text{KIN3}}$/VFBACKI

P63DDR ビットにより、次のように切り替わります。

FRT の TIER の ICIBE ビットを 1 にセットすると、FTIB 入力端子になります。A/D 変換器の KBCOMP の KBADE ビットを 1 にセットし、KBCH2～KBCH0 ビットを B'011 にすると、CIN3 入力端子になります。割り込みコントローラの KMIMR6 の KMIM3 ビットを 0 にクリアすると、$\overline{\text{KIN3}}$ 入力端子になります。$\overline{\text{KIN3}}$ 入力端子として使用する場合は、P63DDR ビットを 0 にクリアしてください。タイマコネクションの TCONRI の SIMOD1、0 ビット（IVI 信号）を B'00 にクリアすると VFBACKI 入力端子になります。

P63DDR	0	1
端子機能	P63 **入力端子**	P63 **出力端子**
	FTIB **入力端子**／CIN3 **入力端子**／$\overline{\text{KIN3}}$ **入力端子**／VFBACKI **入力端子**	

- P62/FTIA/CIN2/$\overline{\text{KIN2}}$/VSYNCI

P62DDR ビットにより、次のように切り替わります。

FRT の TIER の ICIAE ビットを 1 にセットすると、FTIA 入力端子になります。A/D 変換器の KBCOMP の KBADE ビットを 1 にセットし、KBCH2～KBCH0 ビットを B'010 にすると、CIN2 入力端子になります。割り込みコントローラの KMIMR6 の KMIM2 ビットを 0 にクリアすると、$\overline{\text{KIN2}}$ 入力端子になります。$\overline{\text{KIN2}}$ 入力端子として使用する場合は、P62DDR ビットを 0 にクリアしてください。タイマコネクションの TCONRI の SIMOD1、0 ビット（IVI 信号）を B'11 にセットすると VSYNCI 入力端子になります。

P62DDR	0	1
端子機能	P62 **入力端子**	P62 **出力端子**
	FTIA **入力端子**／CIN2 **入力端子**／$\overline{\text{KIN2}}$ **入力端子**／VSYNCI **入力端子**	

- P61/FTOA/CIN1/$\overline{\text{KIN1}}$/VSYNCO

タイマコネクションの TCONRO の VOE ビット、FRT の TOCR の OEA ビットおよび P61DDR ビットの組み合わせにより、次のように切り替わります。

A/D 変換器の KBCOMP の KBADE ビットを 1 にセットし、KBCH2～KBCH0 ビットを B'001 にすると CIN1 入力端子となります。割り込みコントローラの KMIMR6 の KMIM1 ビットを 0 にクリアすると、$\overline{\text{KIN1}}$ 入力端子になります。$\overline{\text{KIN1}}$ 入力端子として使用する場合は、P61DDR ビットを 0 にクリアしてください。

VOE	0			1
OEA	0		1	＊
P61DDR	0	1	＊	＊
端子機能	P61 **入力端子**	P61 **出力端子**	FTOA **出力端子**	VSYNCO **出力端子**
	CIN1 **入力端子**／$\overline{\text{KIN1}}$ **入力端子**			

- P60/FTCI/CIN0/$\overline{\text{KIN0}}$/HFBACKI

P60DDR ビットにより、次のように切り替わります。

FRT の TCR の CKS1、0 ビットをいずれも 1 にセットすると、FTCI 入力端子になります。A/D 変換器の KBCOMP の KBADE ビットを 1 にセットし、KBCH2～KBCH0 ビットを B'000 にすると、CIN0 入力端子になります。

割り込みコントローラの KMIMR6 の KMIM0 ビットを 0 にクリアすると、$\overline{\text{KIN0}}$ 入力端子になります。$\overline{\text{KIN0}}$ 入力端子として使用する場合は、P60DDR ビットを 0 にクリアしてください。タイマコネクションの TCONRI の SIMOD1、0 ビット（IHI 信号）を B'00 にクリアすると HFBACKI 入力端子になります。

P60DDR	0	1
端子機能	P60 **入力端子**	P60 **出力端子**
	FTCI **入力端子**、CIN0 **入力端子**、$\overline{\text{KIN0}}$ **入力端子**、HFBACKI **入力端子**	

(3) シングルチップモード

- P67/CIN7/$\overline{\text{KIN7}}$/DPLS

USB の USBCR0 の FADSEL ビットと P67DDR ビットの組み合わせにより、次のように切り替わります。

A/D 変換器の KBCOMP の KBADE ビットを 1 にセットし、KBCH2～KBCH0 ビットを B'111 にすると、CIN7 入力端子になります。割り込みコントローラの KMIMR6 の KMIM7 ビットを 0 にクリアすると $\overline{\text{KIN7}}$ 入力端子になります。$\overline{\text{KIN7}}$ 入力端子として使用する場合は、P67DDR ビットを 0 にクリアしてください。

FADSEL	0		1
P67DDR	0	1	＊
端子機能	P67 **入力端子**	P67 **出力端子**	DPLS **入力端子**
	CIN7 **入力端子**／$\overline{\text{KIN7}}$ **入力端子**		

- P66/FTOB/CIN6/$\overline{\text{KIN6}}$/CBLANK/DMNS

USB の USBCR0 の FADSEL ビット、タイマコネクションの TCONRO の CBOE ビット、FRT の TOCR の OEB ビットおよび P66DDR ビットの組み合わせにより、次のように切り替わります。

A/D 変換器の KBCOMP の KBADE ビットを 1 にセットし、KBCH2～KBCH0 ビットを B'110 にすると、CIN6 入力端子になります。割り込みコントローラの KMIMR6 の KMIM6 ビットを 0 にクリアすると $\overline{\text{KIN6}}$ 入力端子になります。$\overline{\text{KIN6}}$ 入力端子として使用する場合は、P66DDR を 0 にクリアしてください。

FADSEL	0				1
CBOE	0			1	＊
OEB	0		1	＊	＊
P66DDR	0	1	＊	＊	＊
端子機能	P66 **入力端子**	P66 **出力端子**	FTOB **出力端子**	CBLANK **出力端子**	DMNS **入力端子**
	CIN6 **入力端子**／$\overline{\text{KIN6}}$ **入力端子**				

- P65/FTID/CIN5/$\overline{\text{KIN5}}$/CSYNCI/XVERDATA

USB の USBCR0 の FADSEL ビットと P65DDR ビットの組み合わせにより、次のように切り替わります。

FRT の TIER の ICIDE ビットを 1 にセットすると、FTID 入力端子になります。

A/D 変換器の KBCOMP の KBADE ビットを 1 にセットし、KBCH2～KBCH0 ビットを B'101 にすると、CIN5 入力端子になります。割り込みコントローラの KMIMR6 の KMIM5 ビットを 0 にクリアすると $\overline{\text{KIN5}}$ 入力端子になります。$\overline{\text{KIN5}}$ 入力端子として使用する場合は P65DDR ビットを 0 にクリアしてください。タイマコネクションの TCONRI の SIMOD1、0 ビット（IHI 信号）を B'01 にすると CSYNCI 入力端子になります。

FADSEL	0		1
P65DDR	0	1	*
端子機能	P65 **入力端子**	P65 **出力端子**	XVERDATA **入力端子**
	FTID **入力端子**／CIN5 **入力端子**／$\overline{\text{KIN5}}$ **入力端子**／CSYNCI **入力端子**		

- P64/FTIC/CIN4/$\overline{\text{KIN4}}$/CLAMPO/TXDPLS

USB の USBCR0 の FADSEL ビット、タイマコネクションの TCONRO の CLOE ビット、および P64DDR ビットの組み合わせにより、次のように切り替わります。

FRT の TIER の ICICE ビットを 1 にセットすると、FTIC 入力端子になります。A/D 変換器の KBCOMP の KBADE ビットを 1 にセットし、KBCH2～KBCH0 ビットを B'100 にすると、CIN4 入力端子になります。割り込みコントローラの KMIMR6 の KMIM4 ビットを 0 にクリアすると $\overline{\text{KIN4}}$ 入力端子になります。$\overline{\text{KIN4}}$ 入力端子として使用する場合は、P64DDR ビットを 0 にクリアしてください。

FADSEL	0			1
CLOE	0		1	*
P64DDR	0	1	*	*
端子機能	P64 **入力端子**	P64 **出力端子**	CLAMPO **出力端子**	TXDPLS **出力端子**
	FTIC **入力端子**／CIN4 **入力端子**／$\overline{\text{KIN4}}$ **入力端子**			

- P63/FTIB/CIN3/$\overline{\text{KIN3}}$/VFBACKI/TXDMNS

USB の USBCR0 の FADSEL ビットと P63DDR ビットの組み合わせにより、次のように切り替わります。

FRT の TIER の ICIBE ビットを 1 にセットすると、FTIB 入力端子になります。A/D 変換器の KBCOMP の KBADE ビットを 1 にセットし、KBCH2～KBCH0 ビットを B'011 にすると、CIN3 入力端子になります。割り込みコントローラの KMIMR6 の KMIM3 ビットを 0 にクリアすると、$\overline{\text{KIN3}}$ 入力端子になります。$\overline{\text{KIN3}}$ 入力端子として使用する場合は、P63DDR ビットを 0 にクリアしてください。タイマコネクションの TCONRI の SIMOD1、0 ビット（IVI 信号）を B'00 にクリアすると VFBACKI 入力端子になります。

FADSEL	0		1
P63DDR	0	1	*
端子機能	P63 **入力端子**	P63 **出力端子**	TXDMNS **出力端子**
	FTIB **入力端子**／CIN3 **入力端子**／$\overline{\text{KIN3}}$ **入力端子**／VFBACKI **入力端子**		

- P62/FTIA/CIN2/$\overline{\text{KIN2}}$/VSYNCI/TXENL

USB の USBCR0 の FADSEL ビットと P62DDR ビットの組み合わせにより、次のように切り替わります。

FRT の TIER の ICIAE ビットを 1 にセットすると、FTIA 入力端子になります。A/D 変換器の KBCOMP の KBADE ビットを 1 にセットし、KBCH2～KBCH0 ビットを B'010 にすると、CIN2 入力端子になります。割り込みコントローラの KMIMR6 の KMIM2 ビットを 0 にクリアすると、$\overline{\text{KIN2}}$ 入力端子になります。$\overline{\text{KIN2}}$ 入力端子として使用する場合は、P62DDR ビットを 0 にクリアしてください。タイマコネクションの TCONRI の SIMOD1、0 ビット（IVI 信号）を B'11 にセットすると VSYNCI 入力端子になります。

FADSEL	0		1
P62DDR	0	1	*
端子機能	P62 **入力端子**	P62 **出力端子**	TXENL **出力端子**
	FTIA **入力端子**／CIN2 **入力端子**／$\overline{\text{KIN2}}$ **入力端子**／VSYNCI **入力端子**		

- P61/FTOA/CIN1/$\overline{\text{KIN1}}$/VSYNCO/SUSPEND

USB の USBCR0 の FADSEL ビット、タイマコネクションの TCONRO の VOE ビット、FRT の TOCR の OEA ビットおよび P61DDR ビットの組み合わせにより、次のように切り替わります。

A/D 変換器の KBCOMP の KBADE ビットを 1 にセットし、KBCH2～KBCH0 ビットを B'001 にすると、CIN1 入力端子となります。割り込みコントローラの KMIMR6 の KMIM1 ビットを 0 にクリアすると、$\overline{\text{KIN1}}$ 入力端子になります。$\overline{\text{KIN1}}$ 入力端子として使用する場合は、P61DDR ビットを 0 にクリアしてください。

FADSEL	0				1
VOE	0			1	＊
OEA	0		1	＊	＊
P61DDR	0	1	＊	＊	＊
端子機能	P61 **入力端子**	P61 **出力端子**	FTOA **出力端子**	VSYNCO **出力端子**	SUSPEND **出力端子**
	CIN1 **入力端子**／$\overline{\text{KIN1}}$ **入力端子**				

- P60/FTCI/CIN0/$\overline{\text{KIN0}}$/HFBACKI/SPEED

USB の USBCR0 の FADSEL ビットと P60DDR ビットの組み合わせにより、次のように切り替わります。

FRT の TCR の CKS1、0 ビットをいずれも 1 にセットすると、FTCI 入力端子になります。A/D 変換器の KBCOMP の KBADE ビットを 1 にセットし、KBCH2～KBCH0 ビットを B'000 にすると、CIN0 入力端子になります。割り込みコントローラの KMIMR6 の KMIM0 ビットを 0 にクリアすると、$\overline{\text{KIN0}}$ 入力端子になります。$\overline{\text{KIN0}}$ 入力端子として使用する場合は、P60DDR ビットを 0 にクリアしてください。タイマコネクションの TCONRI の SIMOD1、0 ビット（IHI 信号）を B'00 にクリアすると HFBACKI 入力端子になります。

FADSEL	0		1
P60DDR	0	1	＊
端子機能	P60 **入力端子**	P60 **出力端子**	SPEED **出力端子**
	FTCI **入力端子**、CIN0 **入力端子**、$\overline{\text{KIN0}}$ **入力端子**、HFBACKI **入力端子**		

9.6.6 ポート 6 入力プルアップ MOS の状態

ポート 6 はプログラムで制御可能な入力プルアップ MOS を内蔵しています。入力プルアップ MOS は動作モードに関係なく使用できます。入力プルアップ MOS の状態を**表 9.5** に示します。

表 9.5 ポート 6 入力プルアップ MOS の状態

リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
OFF		ON/OFF	

【記号説明】

OFF **：常にオフ状態です。**

ON/OFF **：入力状態かつ** KMPCR＝1 **のときオン状態、その他のときはオフ状態です。**

9.7 ポート 7

ポート 7 は 6 ビットの入力ポートです。ポート 7 は A/D 変換器のアナログ入力端子、D/A 変換器のアナログ出力端子、割り込み入力端子と兼用になっています。ISSR の ISS ビットを 1 にセットすると、割り込み入力端子になります。ポート 7 には以下のレジスタがあります。

- **ポート7入力データレジスタ**(P7PIN)

9.7.1 ポート 7 入力データレジスタ（P7PIN）

P7PIN はポート 7 の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説　明
7	P77PIN	不定*	R	このレジスタをリードすると、端子の状態が読み出されます。
6	P76PIN	不定*	R	
5	P75PIN	不定*	R	
4	P74PIN	不定*	R	
3	P73PIN	不定*	R	
2	P72PIN	不定*	R	
1	－	1	R	リザーブビット
0	－	1	R	リードすると常に 1 が読み出されます。ライトは無効です。

【注】* P77～P72 端子の状態により決定されます。

9.8 ポート 8

ポート 8 は 8 ビットの入出力ポートです。ポート 8 は、A/D 変換器の外部トリガ入力端子、SCI_0、SCI_1、SCI_2 クロック入出力端子、IIC_0、IIC_1 入出力端子、ExTMR_0、ExTMR_1、ExTMR_X、ExTMR_Y 入力端子、USB の外部クロック入力端子、割り込み入力端子と兼用になっています。ポート 8 の出力形式は、NMOS プッシュプル出力になります。ポート 8 には以下のレジスタがあります。

- **ポート8データディレクションレジスタ**（P8DDR）
- **ポート8データレジスタ**（P8DR）

9.8.1 ポート 8 データディレクションレジスタ（P8DDR）

P8DDR はポート 8 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　明
7	P87DDR	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
6	P86DDR	0	W	
5	P85DDR	0	W	
4	P84DDR	0	W	
3	P83DDR	0	W	
2	P82DDR	0	W	
1	P81DDR	0	W	
0	P80DDR	0	W	

9.8.2 ポート 8 データレジスタ（P8DR）

P8DR はポート 8 の出力データを格納します。

ビット	ビット名	初期値	R/W	説　明
7	P87DR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。このレジスタをリードすると、P8DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P8DDR が 0 にクリアされているビットは端子の状態が読み出されます。
6	P86DR	0	R/W	
5	P85DR	0	R/W	
4	P84DR	0	R/W	
3	P83DR	0	R/W	
2	P82DR	0	R/W	
1	P81DR	0	R/W	
0	P80DR	0	R/W	

9.8.3 端子機能

レジスタの設定値と端子機能の関係は以下のとおりです。なお、表中の＊は Don't care を表します。

- P87/$\overline{\text{ExIRQ15}}$/$\overline{\text{ADTRG}}$/ExTMIY/USEXCL

P87DDR ビットにより、次のように切り替わります。

A/D 変換器の ADCR の TRGS1、0 ビットをいずれも 1 にセットすると、$\overline{\text{ADTRG}}$ 入力端子になります。USB の UPLLCR の CKSEL2～0 ビットをいずれも 1 にセットすると、USEXCL 入力端子になります。また、ISSR16 の ISS15 ビットを 1 にセットすると $\overline{\text{ExIRQ15}}$ 入力端子、PTCNT0 の TMIYS ビットを 1 にセットすると TMIY（TMCIX/TMRIY）入力端子として使用できます。$\overline{\text{ExIRQ15}}$ として使用する場合は、P87DDR ビットを 0 にクリアしてください。

P87 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。

P87DDR	0	1
端子機能	P87 **入力端子**	P87 **出力端子**
	$\overline{\text{ExIRQ15}}$ **入力端子**／$\overline{\text{ADTRG}}$ **入力端子**／ExTMIY **入力端子**、USEXCL **入力端子**	

- P86/$\overline{\text{ExIRQ14}}$/SCK2/ExTMIX

SCI_2 の SMR の C/$\overline{\text{A}}$ ビット、SCR の CKE1、CKE0 ビットおよび P86DDR ビットの組み合わせにより、次のように切り替わります。

ISSR16 の ISS14 ビットを 1 にセットすると $\overline{\text{ExIRQ14}}$ 入力端子、PTCNT0 の TMIXS ビットを 1 にセットすると TMIX（TMCIX/TMRIX）入力端子として使用できます。$\overline{\text{ExIRQ14}}$ として使用する場合は、P86DDR ビットを 0 にクリアしてください。

P86 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。

CKE1	0				1
C/$\overline{\text{A}}$	0			1	＊
CKE0	0		1	＊	＊
P86DDR	0	1	＊	＊	＊
端子機能	P86 **入力端子**	P86 **出力端子**	SCK2 **出力端子**	SCK2 **出力端子**	SCK2 **入力端子**
	$\overline{\text{ExIRQ14}}$ **入力端子**／ExTMIX **入力端子**				

- P85/$\overline{\text{ExIRQ13}}$/SCK1/ExTMI1

SCI_1 の SMR の C/$\overline{\text{A}}$ ビット、SCR の CKE1、CKE0 ビットおよび P85DDR ビットの組み合わせにより、次のように切り替わります。

ISSR16 の ISS13 ビットを 1 にセットすると $\overline{\text{ExIRQ13}}$ 入力端子、PTCNT0 の TMI1S ビットを 1 にセットすると TMI1（TMI1/TMRI1）入力端子として使用できます。$\overline{\text{ExIRQ13}}$ として使用する場合は、P85DDR ビットを 0 にクリアしてください。

P85 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。

CKE1	0				1
C/$\overline{\text{A}}$	0			1	＊
CKE0	0		1	＊	＊
P85DDR	0	1	＊	＊	＊
端子機能	P85 **入力端子**	P85 **出力端子**	SCK1 **出力端子**	SCK1 **出力端子**	SCK1 **入力端子**
	$\overline{\text{ExIRQ13}}$ **入力端子**／ExTMI1 **入力端子**				

- P84/$\overline{\text{ExIRQ12}}$/SCK0/ExTMI0

SCI_0 の SMR の C/$\overline{\text{A}}$ ビット、SCR の CKE1、CKE0 ビットおよび P84DDR ビットの組み合わせにより、次のように切り替わります。

ISSR16 の ISS12 ビットを 1 にセットすると $\overline{\text{ExIRQ12}}$ 入力端子、PTCNT0 の TMI0S ビットを 1 にセットすると TMI0（TMI0/TMRI0）入力端子として使用できます。$\overline{\text{ExIRQ12}}$ 端子として使用する場合は、P84DDR ビットを 0 にクリアしてください。

P84 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。

CKE1	0				1
C/$\overline{\text{A}}$	0			1	＊
CKE0	0		1	＊	＊
P84DDR	0	1	＊	＊	＊
端子機能	P84 **入力端子**	P84 **出力端子**	SCK0 **出力端子**	SCK0 **出力端子**	SCK0 **入力端子**
	$\overline{\text{ExIRQ12}}$ **入力端子**／ExTMI0 **入力端子**				

- P83/$\overline{\text{ExIRQ11}}$/SDA1

IIC_1 の ICCR の ICE ビットと P83DDR ビットの組み合わせにより、次のように切り替わります。

ISSR16 の ISS11 ビットを 1 にセットすると $\overline{\text{ExIRQ11}}$ 入力端子として使用できます。$\overline{\text{ExIRQ11}}$ 入力端子として使用する場合は、P83DDR ビットを 0 にクリアしてください。

P83 出力端子に設定した場合の出力形式は NMOS プッシュプル出力となります。SDA1 の出力形式は NMOS オープンドレイン出力となり、直接バス駆動が可能です。

ICE	0		1
P83DDR	0	1	*
端子機能	P83 **入力端子**	P83 **出力端子**	SDA1 **入出力端子**
	$\overline{\text{ExIRQ11}}$ **入力端子**		

- P82/$\overline{\text{ExIRQ10}}$/SCL1

IIC_1 の ICCR の ICE ビットと P82DDR ビットの組み合わせにより、次のように切り替わります。

ISSR16 の ISS10=1 ビットを 1 にセットすると $\overline{\text{ExIRQ10}}$ 入力端子として使用できます。$\overline{\text{ExIRQ10}}$ 入力端子として使用する場合は、P82DDR ビットを 0 にクリアしてください。

P82 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。SCL1 の出力形式は NMOS オープンドレイン出力となり、直接バス駆動が可能です。

ICE	0		1
P82DDR	0	1	*
端子機能	P82 **入力端子**	P82 **出力端子**	SCL1 **入出力端子**
	$\overline{\text{ExIRQ10}}$ **入力端子**		

- P81/$\overline{\text{ExIRQ9}}$/SDA0

IIC_0 の ICCR の ICE ビットと P81DDR ビットの組み合わせにより、次のように切り替わります。

ISSR16 の ISS9 ビットを 1 にセットすると $\overline{\text{ExIRQ9}}$ 入力端子として使用できます。$\overline{\text{ExIRQ9}}$ 入力端子として使用する場合は、P81DDR ビットを 0 にクリアしてください。

P81 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。SDA0 の出力形式は NMOS オープンドレイン出力となり、直接バス駆動が可能です。

ICE	0		1
P81DDR	0	1	*
端子機能	P81 **入力端子**	P81 **出力端子**	SDA0 **入出力端子**
	$\overline{\text{ExIRQ9}}$ **入力端子**		

- P80/$\overline{\text{ExIRQ8}}$/SCL0

IIC_0 の ICCR の ICE ビットと P80DDR ビットの組み合わせにより、次のように切り替わります。

ISSR16 の ISS8 ビットを 1 にセットすると $\overline{\text{ExIRQ8}}$ 入力端子として使用できます。$\overline{\text{ExIRQ8}}$ 入力端子として使用する場合は、P80DDR ビットを 0 にクリアしてください。

P80 出力端子に設定した場合の出力形式は、NMOS プッシュプル出力となります。SCL0 の出力形式は NMOS オープンドレイン出力となり、バス駆動が可能です。

ICE	0		1
P80DDR	0	1	*
端子機能	P80 **入力端子**	P80 **出力端子**	SCL0 **入出力端子**
	$\overline{\text{ExIRQ8}}$ **入力端子**		

9.9 ポート 9

ポート 9 は 8 ビットの入出力ポートです。ただし、P96 は汎用出力ポートとしては使用できません。ポート 9 は、バス制御の入出力端子、コンパクトフラッシュ制御の入出力端子、システムクロック出力端子、外部サブクロック入力端子と兼用になっています。動作モードによって端子機能が切り替わります。ポート 9 には以下のレジスタがあります。

- **ポート9データディレクションレジスタ**（P9DDR）
- **ポート9データレジスタ**（P9DR）

9.9.1 ポート 9 データディレクションレジスタ（P9DDR）

P9DDR はポート 9 の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　明
7	P97DDR	0	W	**汎用入出力ポート機能が選択されているとき、このビットを 1 にセットすると出力ポートとなり、0 にクリアすると入力ポートになります。**
6	P96DDR	0	W	**1 にセットするとシステムクロック出力端子（φ）となり、0 にクリアすると汎用入力ポートになります。**
5	P95DDR	0	W	**汎用入出力ポート機能が選択されているとき、このビットを 1 にセットすると出力ポートとなり、0 にクリアすると入力ポートになります。**
4	P94DDR	0	W	
3	P93DDR	0	W	
2	P92DDR	0	W	
1	P91DDR	0	W	
0	P90DDR	0	W	

9.9.2 ポート 9 データレジスタ（P9DR）

P9DR はポート 9 の出力データを格納します。

ビット	ビット名	初期値	R/W	説　明
7	P97DR	0	R/W	ビット 6 以外は、汎用出力ポートとして使用する端子の出力データを格納します。このレジスタをリードすると、P9DDR が 1 にセットされているビットはこのレジスタの値が読み出されます。P9DDR が 0 にクリアされているビットは端子の状態が読み出されます。
6	P96DR	不定*	R	
5	P95DR	0	R/W	
4	P94DR	0	R/W	
3	P93DR	0	R/W	
2	P92DR	0	R/W	
1	P91DR	0	R/W	
0	P90DR	0	R/W	

【注】* P96 端子の状態により決定されます。

9.9.3 端子機能

動作モードおよびレジスタの設定値と端子機能の関係は以下のとおりです。なお、表中の＊は Don’t care を表します。

- P97/$\overline{\text{WAIT}}$/$\overline{\text{CPWAIT}}$/$\overline{\text{CS256}}$

動作モード、SYSCR の CS256E ビット、BSC の WSCR の WMS1 ビット、WSCR2 の WMS21 ビットおよび P97DDR の組み合わせにより、次のように切り替わります。

動作モード	拡張モード				シングルチップモード	
WMS1、WMS21	すべて 0			いずれかが 1	＊	
CS256E	0		1	＊	＊	
P97DDR	0	1	＊	＊	0	1
端子機能	P97 入力端子	P97 出力端子	$\overline{\text{CS256}}$ 出力端子	$\overline{\text{WAIT}}$(WMS1=1) 入力端子／ $\overline{\text{CPWAIT}}$(WMS21=1) 入力端子	P97 入力端子	P97 出力端子

- P96/φ/EXCL

LPWRCR の EXCLE ビットと P96DDR ビットの組み合わせにより、次のように切り替わります。

P96DDR	0		1
EXCLE	0	1	0
端子機能	P96 入力端子	EXCL 入力端子	φ出力端子

- P95/$\overline{\text{AS}}$/$\overline{\text{IOS}}$

動作モード、SYSCR の IOSE ビットおよび P95DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	拡張モード		シングルチップモード	
P95DDR	＊		0	1
IOSE	0	1	＊	＊
端子機能	$\overline{\text{AS}}$ 出力端子	$\overline{\text{IOS}}$ 出力端子	P95 入力端子	P95 出力端子

- P94/$\overline{\text{HWR}}$/$\overline{\text{CPWE}}$

動作モードおよび P94DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	拡張モード	シングルチップモード	
P94DDR	＊	0	1
端子機能	$\overline{\text{HWR}}$/$\overline{\text{CPWE}}$ 出力端子	P94 入力端子	P94 出力端子

- P93/$\overline{\text{RD}}$/$\overline{\text{CPOE}}$

動作モードおよび P93DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	拡張モード	シングルチップモード	
P93DDR	＊	0	1
端子機能	$\overline{\text{RD}}$/$\overline{\text{CPOE}}$ 出力端子	P93 入力端子	P93 出力端子

- P92/$\overline{\text{CPCS1}}$

動作モード、BSC の BCR2 の CPCSE ビットおよび P92DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	拡張モード			シングルチップモード	
CPCSE	0		1	＊	
P92DDR	0	1	＊	0	1
端子機能	P92 入力端子	P92 出力端子	$\overline{\text{CPCS1}}$ 出力端子	P92 入力端子	P92 出力端子

- P91/$\overline{\text{CPCS2}}$

動作モード、BSC の BCR2 の CPCSE ビット、BCR の CFE ビットおよび P91DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	拡張モード			シングルチップモード	
CPCSE、CFE	いずれかが 0		すべて 1	＊	
P91DDR	0	1	＊	0	1
端子機能	P91 入力端子	P91 出力端子	$\overline{\text{CPCS2}}$ 出力端子	P91 入力端子	P91 出力端子

- P90/$\overline{\text{LWR}}$

動作モード、BSC の WSCR の ABW ビット、ABW256 ビット、BCR2 の ABWCP ビットおよび P90DDR ビットの組み合わせにより、次のように切り替わります。

動作モード	拡張モード			シングルチップモード	
ABW、ABW256、ABWCP	すべて 1		いずれかが 0	＊	
P90DDR	0	1	＊	0	1
端子機能	P90 入力端子	P90 出力端子	$\overline{\text{LWR}}$ 出力端子	P90 入力端子	P90 出力端子

9.10 ポート A

ポート A は 2 ビットの入出力ポートです。ポート A は、アドレス出力、キーボード入力、SCI_0、SCI_2 外部制御端子と兼用になっています。動作モードによって端子機能が切り替わります。ポート A には以下のレジスタがあります。PADDR と PAPIN は、同一のアドレスにアサインされています。

- **ポートAデータディレクションレジスタ**（PADDR）
- **ポートA出力データレジスタ**（PAODR）
- **ポートA入力データレジスタ**（PAPIN）

9.10.1 ポート A データディレクションレジスタ（PADDR）

PADDR は、ポート A の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説　明
7〜2	−	すべて 0	(W)	リザーブビット ライトは無効です。
1	PA1DDR	0	W	拡張モード（モード 2） このビットを 1 にセットすると対応する端子はアドレス出力端子となり、0 にクリアすると入力ポートになります。アドレス出力端子となる範囲は、SYSCR の IOSE と CS256E ビットの設定により異なります。 シングルチップモードおよび拡張モード（モード 3）のとき このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートになります。
0	PA0DDR	0	W	

9.10.2 ポート A 出力データレジスタ（PAODR）

PAODR はポート A の出力データを格納します。

ビット	ビット名	初期値	R/W	説　明
7～2	−	すべて 1	R	リザーブビット リードすると常に 1 が読み出されます。初期値を変更しないでください。
1	PA1ODR	0	R/W	汎用出力ポートとして使用する端子の出力データを格納します。
0	PA0ODR	0	R/W	

9.10.3 ポート A 入力データレジスタ（PAPIN）

PAPIN はポート A の端子の状態を反映します。

ビット	ビット名	初期値	R/W	説　明
7～2	−	すべて 1	R	リザーブビット リードすると常に 1 が読み出されます。
1	PA1PIN	不定*	R	このレジスタをリードすると、端子の状態が読み出されます。
0	PA0PIN	不定*	R	

【注】* PA1、PA0 端子の状態により決定されます。

9.10.4 端子機能

動作モードおよびレジスタの設定値と端子機能の関係は以下のとおりです。なお、表中の＊は Don't care を表します。

(1) 拡張モード（モード 2）

- PA1/A17/$\overline{\text{KIN9}}$/SSE2I

SCI_2 の SEMR の SSE ビット、SMR の C/$\overline{\text{A}}$ ビット、SCR の CKE1 ビット、SYSCR の CS256E、IOSE ビット、BSC の BCR2 の ADFULLE ビットおよび PA1DDR ビットの組み合わせにより、次のように切り替わります。

表中のアドレス 13 は、次の論理式で表されます。

アドレス 13＝1：$\overline{\text{ADFULLE}}$・$\overline{\text{CS256E}}$・IOSE

割り込みコントローラの KMIMRA の KMIM9 ビットを 0 にクリアすると、$\overline{\text{KIN9}}$ 入力端子になります。$\overline{\text{KIN9}}$ 入力端子として使用する場合は、PA1DDR ビットを 0 にクリアしてください。

SSE	0			1
C/$\overline{\text{A}}$	＊			1
CKE1	＊			1
PA1DDR	0	1	1	＊
アドレス 13	1		0	＊
端子機能	PA1 **入力端子**	PA1 **出力端子**	A17 **出力端子**	SSE2I
	$\overline{\text{KIN9}}$ **入力端子**			

【注】 SSE＝0、PA1DDR＝1 **かつ** CPCSE＝1 **としても、**IOSE＝1 **にしなければ** PA1 **は出力端子として使用できません。**

- PA0/A16/$\overline{\text{KIN8}}$/SSE0I

SCI_0 の SEMR の SSE ビット、SMR の C/$\overline{\text{A}}$ ビット、SCR の CKE1 ビット、SYSCR の CS256E、IOSE ビット、BSC の BCR2 の ADFULLE ビットおよび PA0DDR ビットの組み合わせにより、次のように切り替わります。

表中のアドレス 13 は、次の論理式で表されます。

アドレス 13＝1：$\overline{\text{ADFULLE}}$・$\overline{\text{CS256E}}$・IOSE

割り込みコントローラの KMIMRA の KMIM8 ビットを 0 にクリアすると、$\overline{\text{KIN8}}$ 入力端子になります。$\overline{\text{KIN8}}$ 入力端子として使用する場合は、PA0DDR ビットを 0 にクリアしてください。

SSE	0			1
C/$\overline{\text{A}}$	＊			1
CKE1	＊			1
PA0DDR	0	1	1	＊
アドレス 13	1		0	＊
端子機能	PA0 **入力端子**	PA0 **出力端子**	A16 **出力端子**	SSE0I
	$\overline{\text{KIN8}}$ **入力端子**			

【注】 SSE＝0、PA0DDR＝1 **かつ** CPCSE＝1 **としても、**IOSE＝1 **にしなければ** PA0 **は出力端子として使用できません。**

(2) シングルチップモードおよび拡張モード（モード 3）

- PA1/$\overline{\text{KIN9}}$/SSE2I

SCI_2 の SEMR の SSE ビット、SMR の C/$\overline{\text{A}}$ ビット、SCR の CKE1 ビットおよび PA1DDR ビットの組み合わせにより、次のように切り替わります。

割り込みコントローラの KMIMRA の KMIM9 ビットを 0 にクリアすると、$\overline{\text{KIN9}}$ 入力端子になります。$\overline{\text{KIN9}}$ 入力端子として使用する場合は、PA1DDR ビットを 0 にクリアしてください。

SSE	0		1
C/$\overline{\text{A}}$	∗		1
CKE1	∗		1
PA1DDR	0	1	∗
端子機能	PA1 **入力端子**	PA1 **出力端子**	SSE2I
	$\overline{\text{KIN9}}$ **入力端子**		

- PA0/$\overline{\text{KIN8}}$/SSE0I

SCI_0 の SEMR の SSE ビット、SMR の C/$\overline{\text{A}}$ ビット、SCR の CKE1 ビットおよび PA0DDR ビットの組み合わせにより、次のように切り替わります。

割り込みコントローラの KMIMRA の KMIM8 ビットを 0 にクリアすると、$\overline{\text{KIN8}}$ 入力端子になります。$\overline{\text{KIN8}}$ 入力端子として使用する場合は、PA0DDR ビットを 0 にクリアしてください。

SSE	0		1
C/$\overline{\text{A}}$	∗		1
CKE1	∗		1
PA0DDR	0	1	∗
端子機能	PA0 **入力端子**	PA0 **出力端子**	SSE0I
	$\overline{\text{KIN8}}$ **入力端子**		

9.10.5 入力プルアップ MOS

ポート A は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS はいずれの動作モードでも使用でき、ビット単位でオン／オフを指定できます。

PADDR を 0 にクリアした状態で、PAODR を 1 にセットすると、入力プルアップ MOS はオンとなります。

入力プルアップ MOS は、リセットまたはハードウェアスタンバイモードではオフします。ソフトウェアスタンバイモードでは直前の状態を保持します。

入力プルアップ MOS の状態を**表** 9.6 に示します。

表 9.6 **入力プルアップ** MOS **の状態（ポート** A**）**

リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
OFF		ON/OFF	

【記号説明】

OFF **：入力プルアップは、常にオフ状態です。**

ON/OFF **：**PADDR=0 **かつ** PAODR=1 **のときオン状態、その他のときはオフ状態です。**

9.11 周辺機能端子の移動

外部割り込み、8 ビットタイマ、MCIF では、兼用の入出力ポートを変更することができます。

外部割込みは ISSR16 および ISSR の設定で、8 ビットタイマ入力、MCIF 入出力は PTCNT0 の設定で、兼用となる入出力ポートが変更できます。変更先の周辺機能端子名は、元の端子名の先頭に「Ex」を付加して表示します。各周辺機能の説明では元の端子名のみを使用します。

9.11.1 IRQ センスポートセレクトレジスタ 16（ISSR16）、IRQ センスポートセレクトレジスタ（ISSR）

ISSR16、ISSR は、$\overline{\text{IRQ15}}$～$\overline{\text{IRQ2}}$ 入力の兼用ポートを選択します。

- ISSR16

ビット	ビット名	初期値	R/W	説　明
15	ISS15	0	R/W	0：P57/$\overline{\text{IRQ15}}$ を選択します。 1：P87/Ex$\overline{\text{IRQ15}}$ を選択します。
14	ISS14	0	R/W	0：P56/$\overline{\text{IRQ14}}$ を選択します。 1：P86/Ex$\overline{\text{IRQ14}}$ を選択します。
13	ISS13	0	R/W	0：P55/$\overline{\text{IRQ13}}$ を選択します。 1：P85/Ex$\overline{\text{IRQ13}}$ を選択します。
12	ISS12	0	R/W	0：P54/$\overline{\text{IRQ12}}$ を選択します。 1：P84/Ex$\overline{\text{IRQ12}}$ を選択します。
11	ISS11	0	R/W	0：P53/$\overline{\text{IRQ11}}$ を選択します。 1：P83/Ex$\overline{\text{IRQ11}}$ を選択します。
10	ISS10	0	R/W	0：P52/$\overline{\text{IRQ10}}$ を選択します。 1：P82/Ex$\overline{\text{IRQ10}}$ を選択します。
9	ISS9	0	R/W	0：P51/$\overline{\text{IRQ9}}$ を選択します。 1：P81/Ex$\overline{\text{IRQ9}}$ を選択します。
8	ISS8	0	R/W	0：P50/$\overline{\text{IRQ8}}$ を選択します。 1：P80/Ex$\overline{\text{IRQ8}}$ を選択します。

- ISSR

ビット	ビット名	初期値	R/W	説　明
7	ISS7	0	R/W	0：P47/$\overline{IRQ7}$ を選択します。 1：P77/$\overline{ExIRQ7}$ を選択します。
6	ISS6	0	R/W	0：P46/$\overline{IRQ6}$ を選択します。 1：P76/$\overline{ExIRQ6}$ を選択します。
5	ISS5	0	R/W	0：P45/$\overline{IRQ5}$ を選択します。 1：P75/$\overline{ExIRQ5}$ を選択します。
4	ISS4	0	R/W	0：P44/$\overline{IRQ4}$ を選択します。 1：P74/$\overline{ExIRQ4}$ を選択します。
3	ISS3	0	R/W	0：P43/$\overline{IRQ3}$ を選択します。 1：P73/$\overline{ExIRQ3}$ を選択します。
2	ISS2	0	R/W	0：P42/$\overline{IRQ2}$ を選択します。 1：P72/$\overline{ExIRQ2}$ を選択します。
1	ISS1	0	R/W	常に P41/$\overline{IRQ1}$ を選択します。
0	ISS0	0	R/W	常に P40/$\overline{IRQ0}$ を選択します。

9.11.2 ポートコントロールレジスタ 0（PTCNT0）

PTCNT0 は、8 ビットタイマ入力、MCIF 入出力の兼用ポートを選択します。

ビット	ビット名	初期値	R/W	説　明
7	TMI0S	0	R/W	0：P40/TMI0 を選択します。 1：P84/ExTMI0 を選択します。
6	TMI1S	0	R/W	0：P41/TMI1 を選択します。 1：P85/ExTMI1 を選択します。
5	TMIXS	0	R/W	0：P44/TMIX を選択します。 1：P86/ExTMIX を選択します。
4	TMIYS	0	R/W	0：P45/TMIY を選択します。 1：P87/ExTMIY を選択します。
3	MMCS	0	R/W	0：P30/MCCLK、P31/MCCMD/MCTxD、P32/MCDAT/MCRxD、P33/MCDATDIR/MCCSA、P34/MCCMDDIR/MCCSB を選択します。 1：P40/ExMCCLK、P41/ExMCCMD/ExMCTxD、P42/ExMCDAT/ExMCRxD、P43/ExMCDATDIR/ExMCCSA、P44/ExMCCMDDIR/ExMCCSB を選択します。 拡張モードを設定すると、MMCS の設定にかかわらず、ポート 4 に MCIF の端子機能がマルチプレクスされます。
2〜0	—	すべて 0	R/(W)	リザーブビット 初期値を変更しないでください。

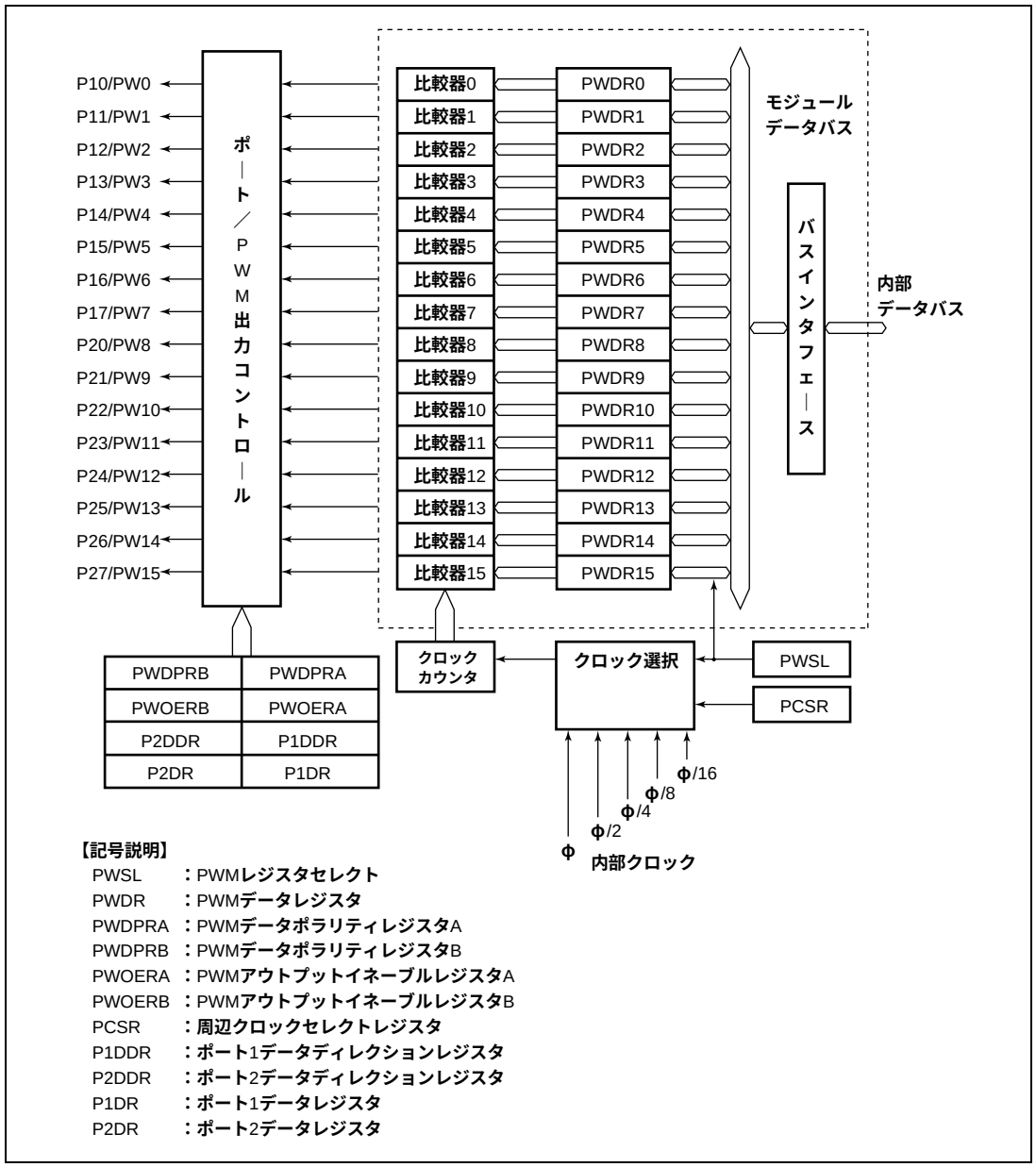
10. 8 ビット PWM タイマ（PWM）

本 LSI は、16 本の出力を持つ PWM（Pulse Width Modulation）を内蔵しています。16 本の出力波形は共通のタイムベースから生成され、パルス分割方式により高いキャリア周波数の PWM 出力が可能です。

10.1 特長

- パルス分割により、最大1.25MHzのキャリア周波数での動作可能（20MHz動作時）
- デューティ0～100%を1／256の分解能で設定可能（100%はポート出力で実現）
- PWM出力のイネーブル／ディスエーブルの切り替え、直接出力／反転出力の切り替えが可能

PWM タイマのブロック図を図 10.1 に示します。



【記号説明】

PWSL	：PWMレジスタセレクト
PWDR	：PWMデータレジスタ
PWDPRA	：PWMデータポラリティレジスタA
PWDPRB	：PWMデータポラリティレジスタB
PWOERA	：PWMアウトプットイネーブルレジスタA
PWOERB	：PWMアウトプットイネーブルレジスタB
PCSR	：周辺クロックセレクトレジスタ
P1DDR	：ポート1データディレクションレジスタ
P2DDR	：ポート2データディレクションレジスタ
P1DR	：ポート1データレジスタ
P2DR	：ポート2データレジスタ

図 10.1 PWM タイマのブロック図

10.2 端子構成

PWM の出力端子を**表** 10.1 に示します。

表 10.1 **端子構成**

名　称	記号	入出力	機　能
PWM **出力端子** 15〜0	PW15〜PW0	**出力**	PWM **タイマパルス出力** 15〜0

10.3 レジスタの説明

PWM には以下のレジスタがあります。PCSR をアクセスするためには、シリアルタイマコントロールレジスタ（STCR）の FLSHE ビットを 0 にクリアする必要があります。なお、シリアルタイマコントロールレジスタについては「3.2.3 **シリアルタイマコントロールレジスタ（**STCR**）**」を参照してください。

- PWM**レジスタセレクト**（PWSL）
- PWM**データレジスタ**0〜15（PWDR0〜PWDR15）
- PWM**データポラリティレジスタ**A（PWDPRA）
- PWM**データポラリティレジスタ**B（PWDPRB）
- PWM**アウトプットイネーブルレジスタ**A（PWOERA）
- PWM**アウトプットイネーブルレジスタ**B（PWOERB）
- **周辺クロックセレクトレジスタ**（PCSR）

10.3.1 PWM レジスタセレクト（PWSL）

PWSL は、入力クロックの選択および PWM データレジスタの選択を行います。

ビット	ビット名	初期値	R/W	説　明
7	PWCKE	0	R/W	PWM クロックイネーブル
6	PWCKS	0	R/W	PWM クロックセレクト PCSR の PWCKB、PWCKA ビットとともに、PWM の TCNT に入力する内部クロックを選択します。表 10.2 を参照してください。 分解能、PWM 変換周期、キャリア周波数は、選択した内部クロックにより次の式で求めることができます。 分解能（最小パルス幅）＝1／内部クロック周波数 PWM 変換周期＝分解能×256 キャリア周波数＝16／PWM 変換周期 システムクロック（φ）が 20MHz のときの分解能、PWM 変換周期、キャリア周波数は表 10.3 のようになります。
5	—	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
4	—	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3	RS3	0	R/W	レジスタセレクト PWM データレジスタを選択します。 0000：PWDR0 選択　1000：PWDR8 選択 0001：PWDR1 選択　1001：PWDR9 選択 0010：PWDR2 選択　1010：PWDR10 選択 0011：PWDR3 選択　1011：PWDR11 選択 0100：PWDR4 選択　1100：PWDR12 選択 0101：PWDR5 選択　1101：PWDR13 選択 0110：PWDR6 選択　1110：PWDR14 選択 0111：PWDR7 選択　1111：PWDR15 選択
2	RS2	0	R/W	
1	RS1	0	R/W	
0	RS0	0	R/W	

表 10.2 内部クロックの選択

PWSL		PCSR		説　明
PWCKE	PWCKS	PWCKB	PWCKA	
0	−	−	−	クロック入力禁止　（初期値）
1	0	−	−	φ（システムクロック）を選択
	1	0	0	φ／2 を選択
			1	φ／4 を選択
		1	0	φ／8 を選択
			1	φ／16 を選択

表 10.3 φ＝20MHz 時の分解能、PWM 変換周期、キャリア周波数

内部クロック周波数	分解能	PWM 変換周期	キャリア周波数
φ	50ns	12.8μs	1250kHz
φ／2	100ns	25.6μs	625kHz
φ／4	200ns	51.2μs	312.5kHz
φ／8	400ns	102.4μs	156.3kHz
φ／16	800ns	204.8μs	78.1kHz

10.3.2 PWM データレジスタ（PWDR0〜15）

PWDR は 8 ビットのリード／ライト可能なレジスタです。PWM には 16 本の PWDR があります。出力する基本パルスのデューティ比および付加パルスの個数を指定します。PWDR に設定する値が、変換周期内の 0／1 比に対応します。上位 4 ビットは基本パルスのデューティ比を 0／16〜15／16 まで 1／16 の分解能で指定し、下位 4 ビットは 16 基本パルスで構成される変換周期内にいくつの付加パルスを付加するかを指定します。したがって、変換周期内の 0／1 比は 0／256〜255／256 まで指定可能です。256／256（100%）を出力する場合はポート出力を利用してください。

10.3.3 PWM データポラリティレジスタ A、B（PWDPRA、PWDPRB）

PWDPR は PWM の出力位相を選択します。

- PWDPRA

ビット	ビット名	初期値	R/W	説　明
7	OS7	0	R/W	アウトプットセレクト 7〜0
6	OS6	0	R/W	PWM の出力位相を選択します。OS7〜OS0 ビットがそれぞれ PW7〜PW0 出力に対応します。
5	OS5	0	R/W	
4	OS4	0	R/W	0：PWM 直接出力（PWDR の値が出力の High 幅に対応）
3	OS3	0	R/W	1：PWM 反転出力（PWDR の値が出力の Low 幅に対応）
2	OS2	0	R/W	
1	OS1	0	R/W	
0	OS0	0	R/W	

- PWDPRB

ビット	ビット名	初期値	R/W	説　明
7	OS15	0	R/W	アウトプットセレクト 15〜8
6	OS14	0	R/W	PWM の出力位相を選択します。OS15〜OS8 ビットがそれぞれ PW15〜PW8 出力に対応します。
5	OS13	0	R/W	
4	OS12	0	R/W	0：PWM 直接出力（PWDR の値が出力の High 幅に対応）
3	OS11	0	R/W	1：PWM 反転出力（PWDR の値が出力の Low 幅に対応）
2	OS10	0	R/W	
1	OS9	0	R/W	
0	OS8	0	R/W	

10.3.4 PWM アウトプットイネーブルレジスタ A、B（PWOERA、PWOERB）

PWOER は PWM 出力とポート出力を切り替えます。

- PWOERA

ビット	ビット名	初期値	R/W	説　明
7	OE7	0	R/W	アウトプットイネーブル 7〜0
6	OE6	0	R/W	P1DDR とともに、P1n/PWn 端子の状態を指定します。OE7〜OE0 ビットがそれぞれ PW7〜PW0 出力に対応します。
5	OE5	0	R/W	
4	OE4	0	R/W	P1nDDR OEn：端子状態
3	OE3	0	R/W	0∗：ポート入力
2	OE2	0	R/W	10：ポート出力または PWM の 256/256 出力
1	OE1	0	R/W	11：PWM 出力（0〜255/256 出力）
0	OE0	0	R/W	

【記号説明】∗：Don't care

- PWOERB

ビット	ビット名	初期値	R/W	説　明
7	OE15	0	R/W	アウトプットイネーブル 15〜8
6	OE14	0	R/W	P2DDR とともに、P2n/PWn 端子の状態を指定します。OE15〜OE8 ビットがそれぞれ PW15〜PW8 出力に対応します。
5	OE13	0	R/W	
4	OE12	0	R/W	P2nDDR OEn：端子状態
3	OE11	0	R/W	0∗：ポート入力
2	OE10	0	R/W	10：ポート出力または PWM の 256/256 出力
1	OE9	0	R/W	11：PWM 出力（0〜255/256 出力）
0	OE8	0	R/W	

【記号説明】∗：Don't care

DDR=1、OE=0 のとき PWM の 256/256 出力を実現するためには、該当端子をポート出力にする必要があります。該当端子をポート出力にするためには、シングルチップモードか、内蔵 ROM 有効拡張モードで SYSCR の IOSE＝1 かつ CS256E＝0 にしてください。それ以外の状態では、該当端子にアドレスバスが出力されるのでご注意ください。

また、該当端子がポート出力のときに出力されるのは、DR のデータです。PWM の 256/256 出力に対応する値は OS ビットで決まるので、この値をあらかじめ DR に設定してください。

10.3.5 周辺クロックセレクトレジスタ（PCSR）

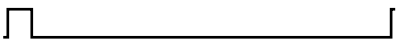
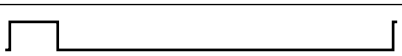
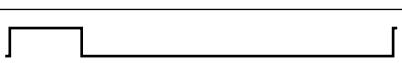
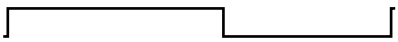
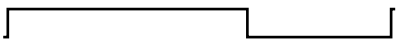
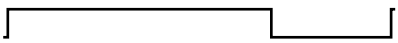
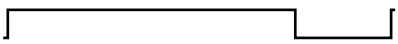
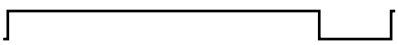
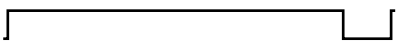
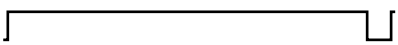
PCSR は PWM の入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説　明
7	—	0	R/(W)	リザーブビット
6	—	0	R/(W)	初期値を変更しないでください。
5	PWCKXB	0	R/W	「11.3.4 周辺クロックセレクトレジスタ（PCSR）」を参照してください。
4	PWCKXA	0	R/W	
3	—	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	PWCKB	0	R/W	PWM クロックセレクト B、A
1	PWCKA	0	R/W	PWSL の PWCKE、PWCKS ビットとともに、クロックカウンタに入力する内部クロックを選択します。表 10.2 を参照してください。
0	—	0	R/(W)	リザーブビット 初期値を変更しないでください。

10.4 動作説明

PWDR の上位 4 ビットは、基本パルスのデューティ比を 0／16～15／16 まで 1／16 の分解能で指定します。**表 10.4** に基本パルスのデューティ比を示します。

表 10.4 基本パルスのデューティ比

上位4ビット	基本パルス波形（内部）
B'0000	0 1 2 3 4 5 6 7 8 9 A B C D E F 0
B'0001	
B'0010	
B'0011	
B'0100	
B'0101	
B'0110	
B'0111	
B'1000	
B'1001	
B'1010	
B'1011	
B'1100	
B'1101	
B'1110	
B'1111	

PWDR の下位 4 ビットは、16 基本パルスに対する付加パルスの付加位置を指定します。付加パルスは、基本パルスの立ち上がりエッジの前に分解能分の幅の High 期間（OS＝0 の場合）を付加します。PWDR の上位 4 ビットが B'0000 の場合は基本パルスの立ち上がりエッジは存在しませんが、付加パルスの付加タイミングは同様です。**表** 10.5 に基本パルスに対応する付加パルスの位置を、**図** 10.2 に付加パルスタイミング例を示します。

表 10.5　**基本パルスに対する付加パルスの位置**

下位 4 ビット	**基本パルス** No.															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
B'0000																
B'0001																○
B'0010								○								○
B'0011								○				○				○
B'0100				○				○				○				○
B'0101				○				○				○		○		○
B'0110				○		○		○				○		○		○
B'0111				○		○		○		○		○		○		○
B'1000		○		○		○		○		○		○		○		○
B'1001		○		○		○		○		○		○		○	○	○
B'1010		○		○		○	○	○		○		○		○	○	○
B'1011		○		○		○	○	○		○	○	○		○	○	○
B'1100		○	○	○		○	○	○		○	○	○		○	○	○
B'1101		○	○	○		○	○	○		○	○	○	○	○	○	○
B'1110		○	○	○	○	○	○	○		○	○	○	○	○	○	○
B'1111		○	○	○	○	○	○	○	○	○	○	○	○	○	○	○

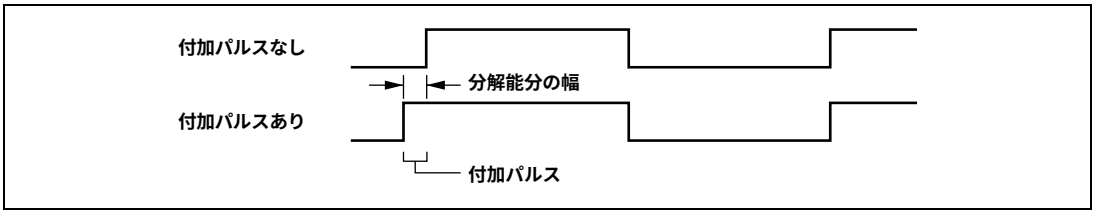


図 10.2　**付加パルスタイミング例**（PWDR **上位** 4 **ビットが** B'1000）

11. 14 ビット PWM タイマ（PWMX）

本 LSI は 2 チャネルの 14 ビット PWM（Pulse Width Modulator）を内蔵しています。LSI 外部にローパスフィルタを接続することにより、14 ビット D/A 変換器として使用できます。

11.1 特長

- リップルの少ないパルス分割方式
- 4種類の分解能を選択可能

  システムクロック周期

  システムクロック周期×2、×64、×128から選択可能
- 2種類の基本周期を設定可能

  基本周期T×64

  基本周期T×256（T＝分解能）
- 8種類の動作速度を設定可能
- 8種類の動作クロック（基本周期2種類×分解能4種類）を選択可能

PWMX（D/A）のブロック図を**図** 11.1 に示します。

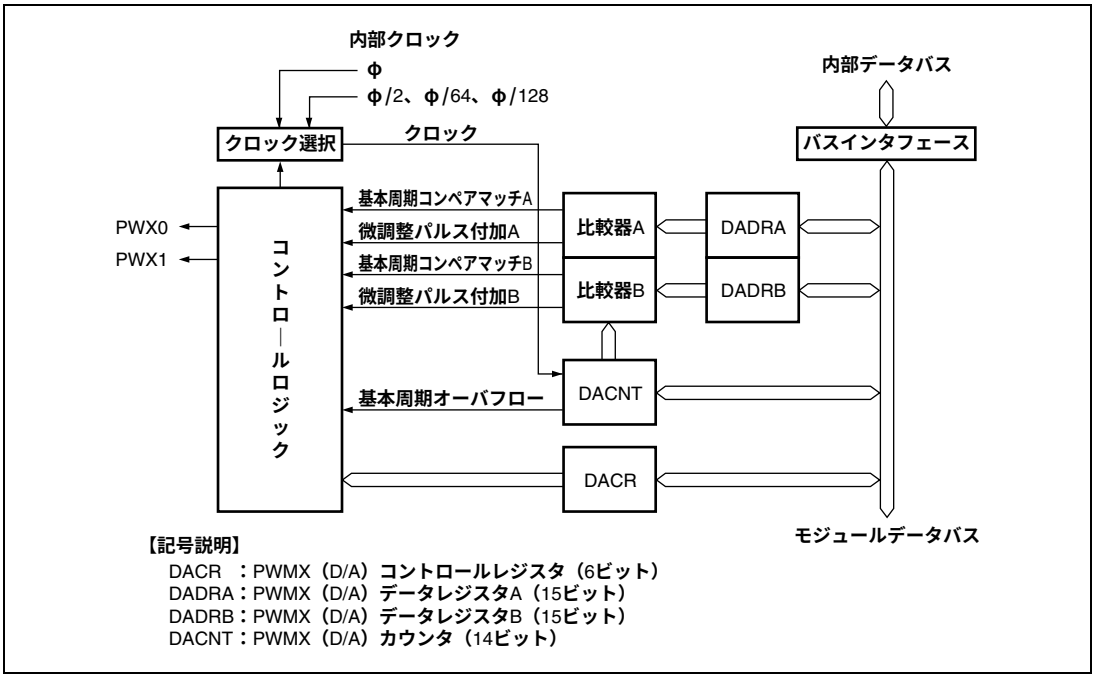


図 11.1 PWMX（D/A）**のブロック図**

11.2 入出力端子

PWMX（D/A）の入出力端子を**表** 11.1 に示します。

表 11.1 **端子構成**

名　称	記号	入出力	機　能
PWMX **出力端子** X0	PWX0	**出力**	PWMX **チャネル** A **の** PWM **出力**
PWMX **出力端子** X1	PWX1	**出力**	PWMX **チャネル** B **の** PWM **出力**

11.3 レジスタの説明

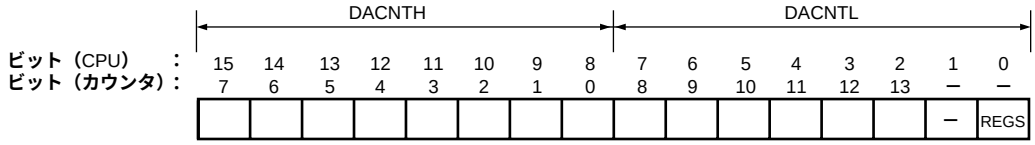
PWMX（D/A）には以下のレジスタがあります。PWMX（D/A）のレジスタは、他のレジスタと同一のアドレスに割り当てられています。レジスタの選択は、シリアルタイマコントロールレジスタ（STCR）の IICE ビットで行います。また、PCSR をアクセスするためには、STCR の FLSHE ビットを 0 にクリアする必要があります。なお、STCR については「3.2.3 **シリアルタイマコントロールレジスタ（STCR）」**を参照してください。

- PWMX（D/A）**カウンタ**H（DACNTH）
- PWMX（D/A）**カウンタ**L（DACNTL）
- PWMX（D/A）**データレジスタ**AH（DADRAH）
- PWMX（D/A）**データレジスタ**AL（DADRAL）
- PWMX（D/A）**データレジスタ**BH（DADRBH）
- PWMX（D/A）**データレジスタ**BL（DADRBL）
- PWMX（D/A）**コントロールレジスタ**（DACR）
- **周辺クロックセレクトレジスタ**（PCSR）

【注】 DADRA **と** DACR、DADRB **と** DACNT **のアドレスは同一です。レジスタの切り替えは** DACNT **または** DADRB **の** REGS **ビットで行います。**

11.3.1 PWMX（D/A）**カウンタ** H、L（DACNTH、DACNTL）

DACNT は 14 ビットのリード／ライト可能なアップカウンタです。入力クロックは DACR の CKS ビットにより選択します。DACNT は、2 チャネルの PWMX（D/A）のタイムベースとして使用されます。14 ビット精度で使用する場合には全ビットを、12 ビット精度で使用する場合には上位 2 ビットを無視し、下位 12 ビットを利用します。DACNT は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。詳細は「11.4 **バスマスタとのインタフェース」**を参照してください。



- DACNTH

ビット	ビット名	初期値	R/W	説　明
7〜0	UC7〜UC0	すべて 0	R/W	上位アップカウンタ

• DACNTL

ビット	ビット名	初期値	R/W	説　明
7〜2	UC8〜UC13	すべて 0	R/W	上位アップカウンタ
1	−	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
0	REGS	1	R/W	レジスタセレクト DADRA と DACR、DADRB と DACNT は同一のアドレスに配置されています。このビットはアクセス可能にするレジスタを選択します。 0：DADRA と DADRB がアクセス可能 1：DACR と DACNT がアクセス可能

11.3.2 PWMX（D/A）データレジスタ A、B（DADRA、DADRB）

DADRA は PWMX（D/A）チャネル A に、DADRB は PWMX（D/A）チャネル B に対応します。DADR は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。詳細は**「11.4 バスマスタとのインタフェース」**を参照してください。

• DADRA

ビット	ビット名	初期値	R/W	説　明
15	DA13	1	R/W	D/A データ 13〜0 D/A 変換データを設定します。このレジスタの値は DACNT の値と常に比較されており、基本周期ごとに出力波形のデューティを選択します。また、分解能幅の付加パルスを出力するか否かを選択します。この動作を可能にするためには、このレジスタをある範囲の値に設定する必要があります。この範囲は CFS ビットによって設定します。範囲外の値を DADR に設定すると PWMX 出力は固定されます。 12 ビット精度で使用する場合には、下位 2 ビット DA1、DA0 をそれぞれ 0 に固定します。この下位 2 ビットデータは DACNT の上位 2 ビットに対応しています。
14	DA12	1	R/W	
13	DA11	1	R/W	
12	DA10	1	R/W	
11	DA9	1	R/W	
10	DA8	1	R/W	
9	DA7	1	R/W	
8	DA6	1	R/W	
7	DA5	1	R/W	
6	DA4	1	R/W	
5	DA3	1	R/W	
4	DA2	1	R/W	
3	DA1	1	R/W	
2	DA0	1	R/W	
1	CFS	1	R/W	キャリアフリーケンシセレクト 0：基本周期＝分解能（T）×64 で動作 DADR の値の範囲は H'0401〜H'FFFD 1：基本周期＝分解能（T）×256 で動作 DADR の値の範囲は H'0103〜H'FFFF
0	—	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

• DADRB

ビット	ビット名	初期値	R/W	説　明
15	DA13	1	R/W	D/A データ 13〜0 D/A 変換データを設定します。このレジスタの内容は、DACNT の値と常に比較されており、基本周期ごとに出力波形のデューティを選択します。また、分解能幅の付加パルスを出力するか否かを選択します。この動作を可能にするためには、このレジスタをある範囲の値に設定する必要があります。この範囲は CFS ビットによって設定します。範囲外の値を DADR に設定すると PWMX 出力は固定されます。 12 ビット精度で使用する場合には、下位 2 ビット DA1、DA0 をそれぞれ 0 に固定します。この下位 2 ビットデータは DACNT の上位 2 ビットに対応しています。
14	DA12	1	R/W	
13	DA11	1	R/W	
12	DA10	1	R/W	
11	DA9	1	R/W	
10	DA8	1	R/W	
9	DA7	1	R/W	
8	DA6	1	R/W	
7	DA5	1	R/W	
6	DA4	1	R/W	
5	DA3	1	R/W	
4	DA2	1	R/W	
3	DA1	1	R/W	
2	DA0	1	R/W	
1	CFS	1	R/W	キャリアフリーケンシセレクト 0：基本周期＝分解能（T）×64 で動作 DA13〜0 の値の範囲は H'0100〜H'3FFF 1：基本周期＝分解能（T）×256 で動作 DA13〜0 の値の範囲は H'0040〜H'3FFF
0	REGS	1	R/W	レジスタセレクト DADRA と DACR、DADRB と DACNT は同一のアドレスに配置されています。このビットはアクセス可能にするレジスタを選択します。 0：DADRA と DADRB がアクセス可能 1：DACR と DACNT がアクセス可能

11.3.3 PWMX（D/A）コントロールレジスタ（DACR）

DACR は、出力の許可、出力位相および動作速度を選択します。

ビット	ビット名	初期値	R/W	説　明
7	—	0	R/(W)	リザーブビット 初期値を変更しないでください。
6	PWME	0	R/W	PWMX イネーブル DACNT の動作／停止を選択します。 0：DACNT は 14 ビットのアップカウンタとして動作 1：DACNT＝H'0003 で停止
5	—	1	R	リザーブビット
4	—	1	R	リードすると常に 1 が読み出されます。ライトは無効です。
3	OEB	0	R/W	アウトプットイネーブル B PWMX（D/A）チャネル B の出力の許可／禁止を選択します。 0：PWMX（D/A）チャネル B 出力（PWX1 出力端子）を禁止 1：PWMX（D/A）チャネル B 出力（PWX1 出力端子）を許可
2	OEA	0	R/W	アウトプットイネーブル A PWMX（D/A）チャネル A の出力の許可／禁止を選択します。 0：PWMX（D/A）チャネル A 出力（PWX0 出力端子）を禁止 1：PWMX（D/A）チャネル A 出力（PWX0 出力端子）を許可
1	OS	0	R/W	アウトプットセレクト PWMX（D/A）の出力位相を選択します。 0：PWMX（D/A）直接出力 1：PWMX（D/A）反転出力
0	CKS	0	R/W	クロックセレクト PWMX（D/A）の分解能を選択します。分解能はシステムクロック（φ）が 10MHz の場合、100ns と 200ns、6400ns、12800ns が選択できます。 0：分解能（T）＝システムクロック周期（t_{cyc}）で動作 1：分解能（T）＝システムクロック周期（t_{cyc}）×2、×64、×128 で動作

11.3.4 周辺クロックセレクトレジスタ（PCSR）

PCSR は、DACR の動作速度を選択します。

ビット	ビット名	初期値	R/W	説　明
7	ー	0	R/(W)	リザーブビット
6	ー	0	R/(W)	初期値を変更しないでください。
5	PWCKXB	0	R/W	PWMX クロックセレクト
4	PWCKXA	0	R/W	PWMX の DACR の CKS=1 の状態でクロックを選択します。 00：分解能（T）＝システムクロック周期（t_{cyc}）×2 で動作 01：分解能（T）＝システムクロック周期（t_{cyc}）×64 で動作 10：分解能（T）＝システムクロック周期（t_{cyc}）×128 で動作 11：設定禁止
3	—	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	PWCKB	0	R/W	「10.3.5　周辺クロックセレクトレジスタ（PCSR）」を参照してください。
1	PWCKA	0	R/W	
0	—	0	R/(W)	リザーブビット 初期値を変更しないでください。

11.4 バスマスタとのインタフェース

DACNT、DADRA、DADRB は 16 ビットのレジスタです。一方、バスマスタと内蔵周辺モジュールの間のデータバスは 8 ビット幅です。したがって、バスマスタがこれらのレジスタをアクセスするには、8 ビットのテンポラリレジスタ（TEMP）を介して行います。各レジスタのリード／ライトは次のような動作で行われます。

(1) レジスタへのライト時の動作

上位バイトのライトにより、上位バイトのデータが TEMP にストアされます。次に下位バイトのライトにより、TEMP にある上位バイトの値と合わせて 16 ビットデータとしてレジスタにライトされます。

(2) レジスタからのリード時の動作

上位バイトのリードにより、上位バイトの値は CPU に転送され、下位バイトの値は TEMP に転送されます。次に下位バイトのリードにより、TEMP にある下位バイトの値が CPU に転送されます。

これらのレジスタのアクセスは MOV 命令を使用し、常に 16 ビット単位で行い、上位バイト、下位バイトの順序で行ってください。上位バイトのみ、下位バイトのみのアクセスではデータは正しく転送されません。なお、ビット操作命令は使用できません。

例 1　DACNT へのライト

```
MOV．W　R0，@DACNT　　DACNT へ R0 の内容をライト
```

例 2　DADRA のリード

```
MOV．W　@DADRA，R0　　DADRA の内容を R0 に転送
```

表 11.2　16 ビットレジスタのリード／ライト別アクセス方式

レジスタ名	リード		ライト	
	ワード	バイト	ワード	バイト
DADRA、DADRB	○	○	○	×
DACNT	○	×	○	×

【記号説明】

○　：許されているアクセスを示します。
　　ワード単位のアクセスとは上位バイト、下位バイトの順序で連続してアクセスすることを含みます。

×　：その単位のアクセスでは、結果が保証されません。

11.5 動作説明

PWX 端子からは、**図** 11.2 に示すような PWM 波形が出力されます。1 変換周期中に発生するパルス（CFS＝0 の場合 256、CFS＝1 の場合 64）の 0 レベル幅の合計（TL）が DADR のデータと対応しています。OS＝0 の場合、この波形が直接出力されます。OS＝1 の場合、この波形が反転して出力されます。このとき 1 レベル幅の合計（TH）が DADR のデータと対応しています。出力波形を**図** 11.3、**図** 11.4 に示します。

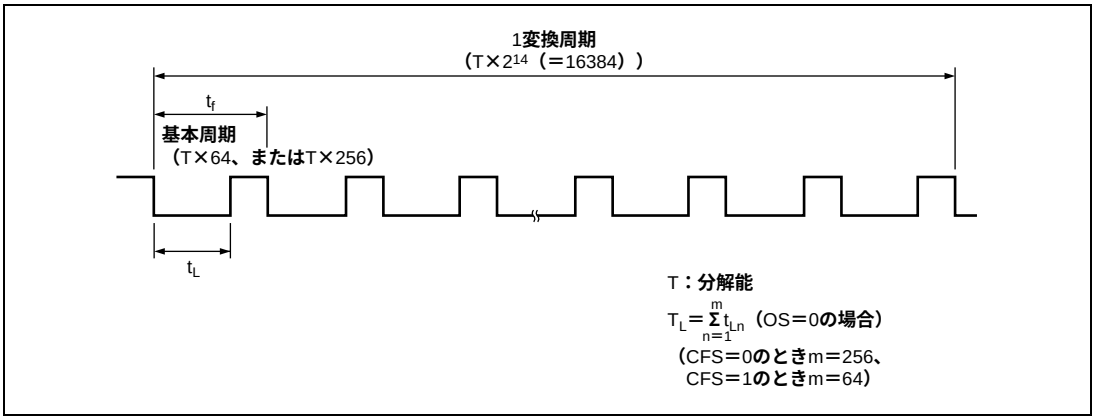


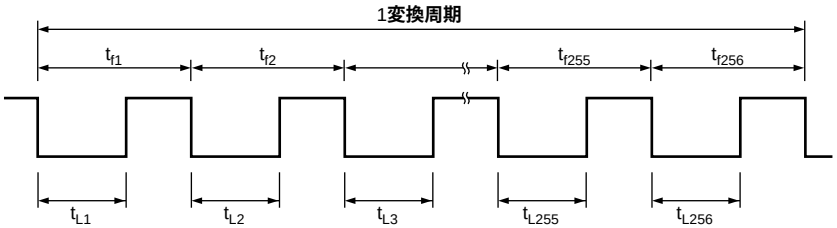
図 11.2 PWMX（D/A）**の動作**

CKS、CFS、OS ビットの設定と、分解能、基本周期、変換周期との関係を**表** 11.3 に示します。DADR の内容がある値以上ではないと PWMX 出力は固定レベルとなります。

表 11.3 設定値と動作内容（φ：25MHz 時の例）

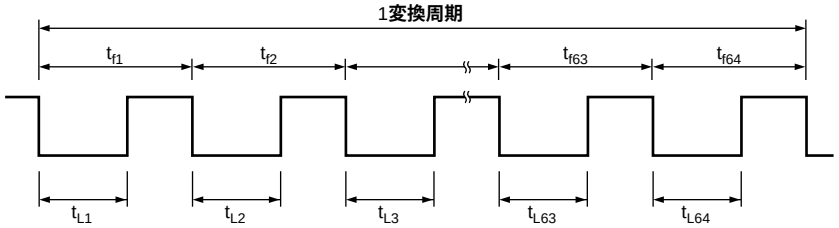
PCSR		CKS	分解能	CFS	基本	変換	TL／TH	DADR 固定ビット					変換
PWCKXB	PWCKXA		T (μs)		周期 (μs) / 周波数	周期 (μs) / 周波数	(OS=0／OS=1)	変換精度 (ビット数)	ビットデータ 3	2	1	0	周期* (μs)
—	—	0	0.04	0	2.56/ 391KHz	655.36/ 1.53KHz	(1) 常時 Low/High レベル出力 (DADR=H'0001～H'03FD)	14					655.36
								12			0	0	163.84
							(2) (データ値)×T (DADR=H'0401～H'FFFD)	10	0	0	0	0	40.96
				1	10.24/ 97.7KHz		(1) 常時 Low/High レベル出力 (DADR=H'0003～H'00FF)	14					655.36
								12			0	0	163.84
							(2) (データ値)×T (DADR=H'0103～H'FFFF)	10	0	0	0	0	40.96
0	0	1	0.08	0	5.12/ 195KHz	1310.72/ 763Hz	(1) 常時 Low/High レベル出力 (DADR=H'0001～H'03FD)	14					1310.72
								12			0	0	327.68
							(2) (データ値)×T (DADR=H'0401～H'FFFD)	10	0	0	0	0	81.92
				1	20.48/ 48.8KHz		(1) 常時 Low/High レベル出力 (DADR=H'0003～H'00FF)	14					1310.72
								12			0	0	327.68
							(2) (データ値)×T (DADR=H'0103～H'FFFF)	10	0	0	0	0	81.92
0	1	1	2.56	0	163.84/ 6.10KHz	41.943/ 23.84Hz	(1) 常時 Low/High レベル出力 (DADR=H'0001～H'03FD)	14					41.943
								12			0	0	10.486
							(2) (データ値)×T (DADR=H'0401～H'FFFD)	10	0	0	0	0	2.621
				1	655.36/ 1.53KHz		(1) 常時 Low/High レベル出力 (DADR=H'0003～H'00FF)	14					41.943
								12			0	0	10.486
							(2) (データ値)×T (DADR=H'0103～H'FFFF)	10	0	0	0	0	2.621
1	0	1	5.12	0	327.68/ 3.05KHz	83.886/ 11.92Hz	(1) 常時 Low/High レベル出力 (DADR=H'0001～H'03FD)	14					83.886
								12			0	0	20.972
							(2) (データ値)×T (DADR=H'0401～H'FFFD)	10	0	0	0	0	5.243
				1	1310.72/ 763Hz		(1) 常時 Low/High レベル出力 (DADR=H'0003～H'00FF)	14					83.886
								12			0	0	20.972
							(2) (データ値)×T (DADR=H'0103～H'FFFF)	10	0	0	0	0	5.243

【注】* DADR の特定のビットを固定することにより得られる変換周期です。



$t_{f1} = t_{f2} = t_{f3} = \cdots = t_{f255} = t_{f256} = T \times 64$
$t_{L1} + t_{L2} + t_{L3} + \cdots + t_{L255} + t_{L256} = T_L$

（a）CFS＝0（基本周期＝分解能（T）×64）



$t_{f1} = t_{f2} = t_{f3} = \cdots = t_{f63} = t_{f64} = T \times 256$
$t_{L1} + t_{L2} + t_{L3} + \cdots + t_{L63} + t_{L64} = T_L$

（b）CFS＝1（基本周期＝分解能（T）×256）

図 11.3　出力波形（OS＝0、DADR は TL に対応）

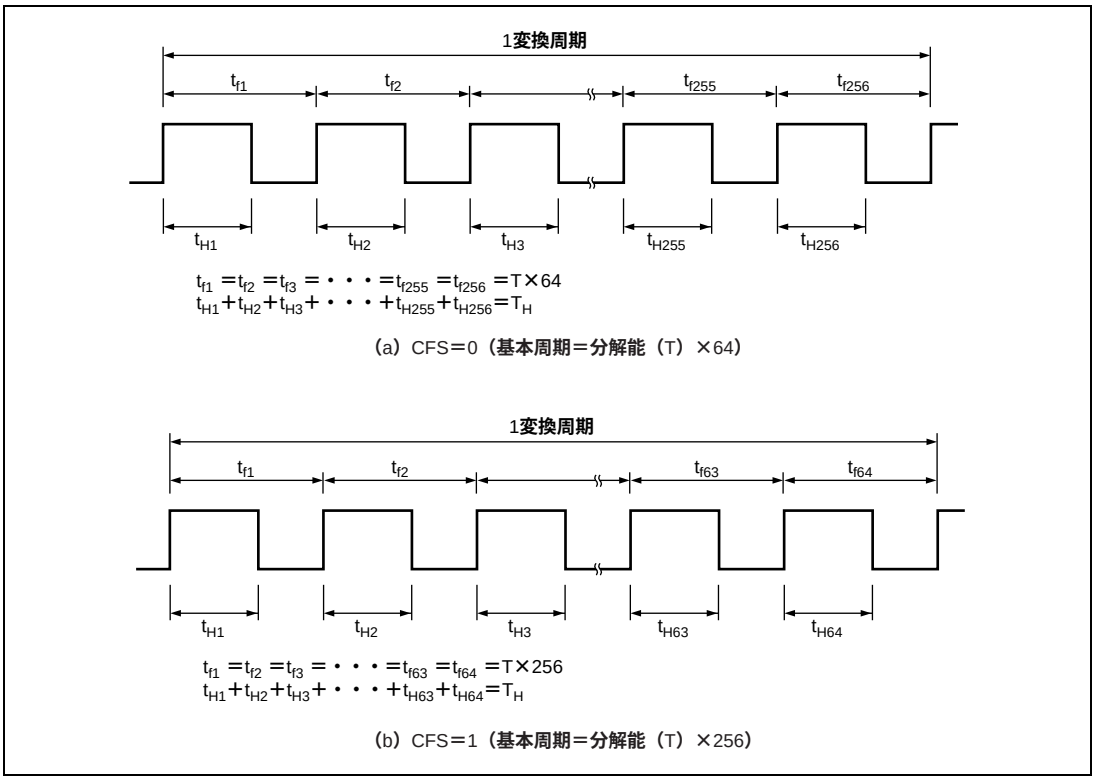


図 11.4　出力波形（OS＝1、DADR は TH に対応）

付加パルスについては、CFS＝1（基本周期＝分解能（T）×256）かつ OS＝1（PWMX 反転出力）の設定を例に示します。CFS＝1 のとき、**図 11.5** に示すように DADR の上位 8 ビット（DA13～DA6）で基本パルスのデューティ比が、次の 6 ビット（DA5～DA0）で付加パルスの位置が決定されます。

表11.4 に付加パルスの位置を示します。

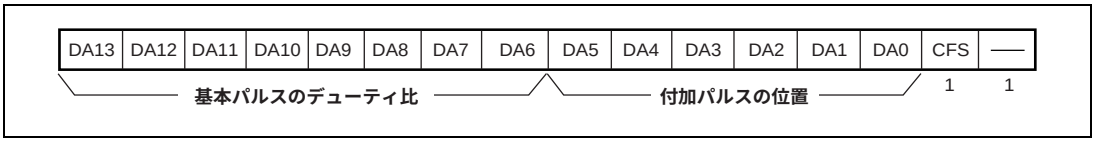


図 11.5　CFS＝1 のときの D/A データレジスタの構成

ここでは、DADR＝H'0207（B'0000 0010 0000 0111）の場合を考えます。**図 11.6** に出力波形を示します。CFS＝1 であり、上位 8 ビットの値が B'0000 0010 ですので、基本パルスは High 幅が 2/256×（T）のデューティ比となります。

次に続く 6 ビットの値が B'0000 01 ですので、**表 11.4** より、付加パルスは基本パルス No.63 の位置でのみ出力されます。付加パルスは基本パルスに 1/256×（T）だけ追加される形となります。

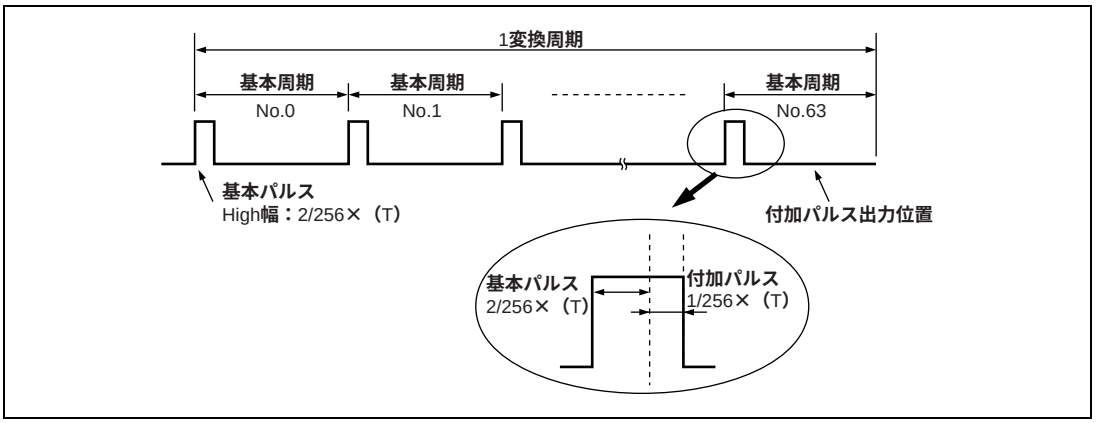
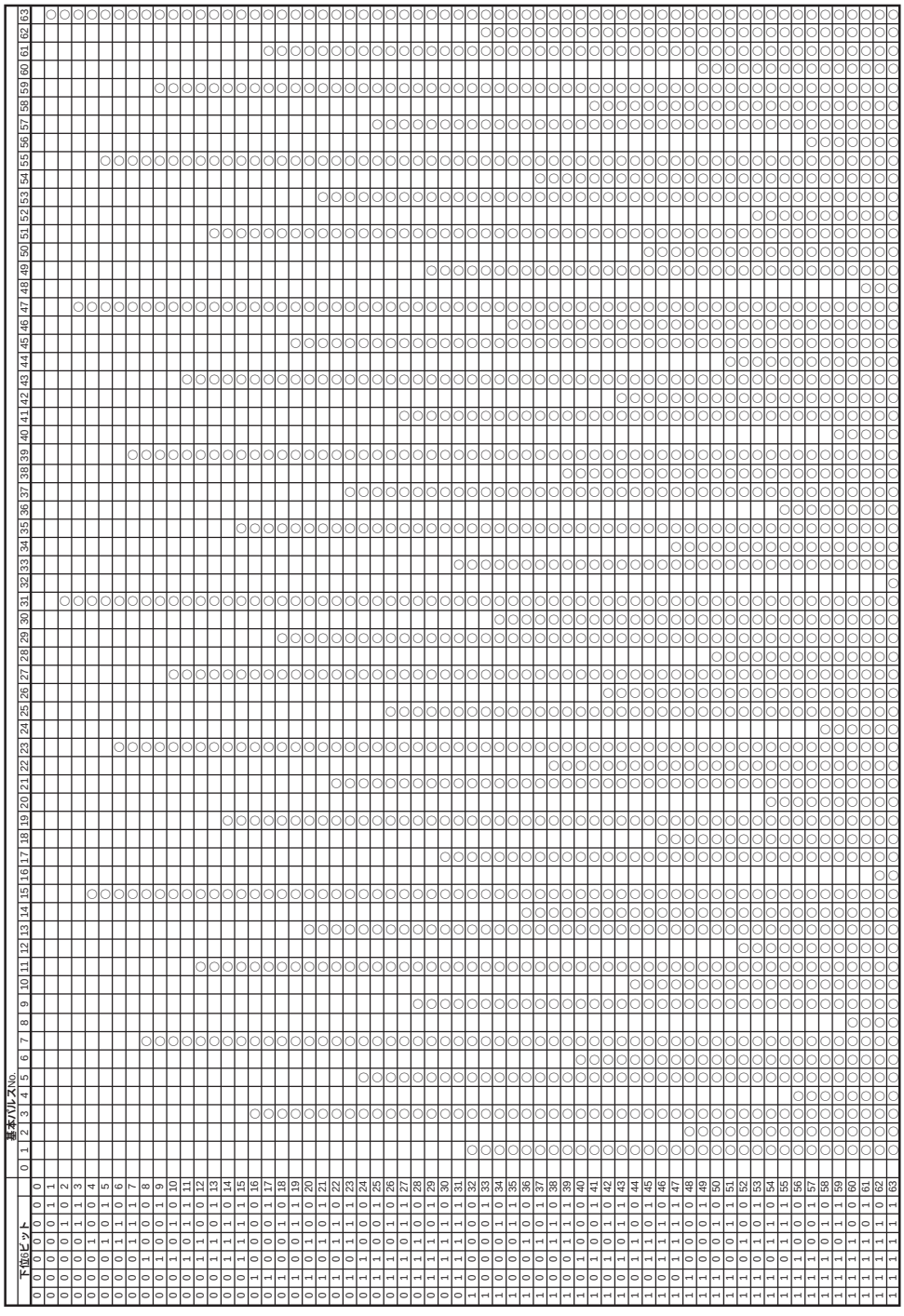


図 11.6　DADR＝H'0207 のときの出力波形（OS＝1）

なお、CFS＝0（基本周期＝分解能（T）×64）の場合、基本パルスのデューティ比は上位 6 ビットで、付加パルスの位置はその次の 8 ビットで決定されるという点以外は、同様な考え方となります。

表 11.4 基本パルスに対する付加パルスの位置（CFS＝1 の場合）



12. 16 ビットフリーランニングタイマ（FRT）

本 LSI は、16 ビットフリーランニングタイマ（FRT：Free Running Timer）を内蔵しています。FRT は 16 ビットのフリーランニングカウンタ（FRC）をベースにして、2 種類の独立した波形出力が可能です。また、入力パルスの幅や外部クロックの周期を測定することができます。

12.1 特長

- **4種類のカウンタ入力クロックを選択可能**

  3種類の内部クロック（φ／2、φ／8、φ／32）と、外部クロックのうちから選択できます（外部イベントのカウントが可能）。

- **2本の独立したコンパレータ**

  2種類の波形出力が可能です。

- **4本の独立したインプットキャプチャ**

  立ち上がり／立ち下がりエッジの選択が可能です。

  バッファ動作を指定できます。

- **カウンタのクリア指定が可能**

  コンペアマッチAによりカウンタの値をクリアすることができます。

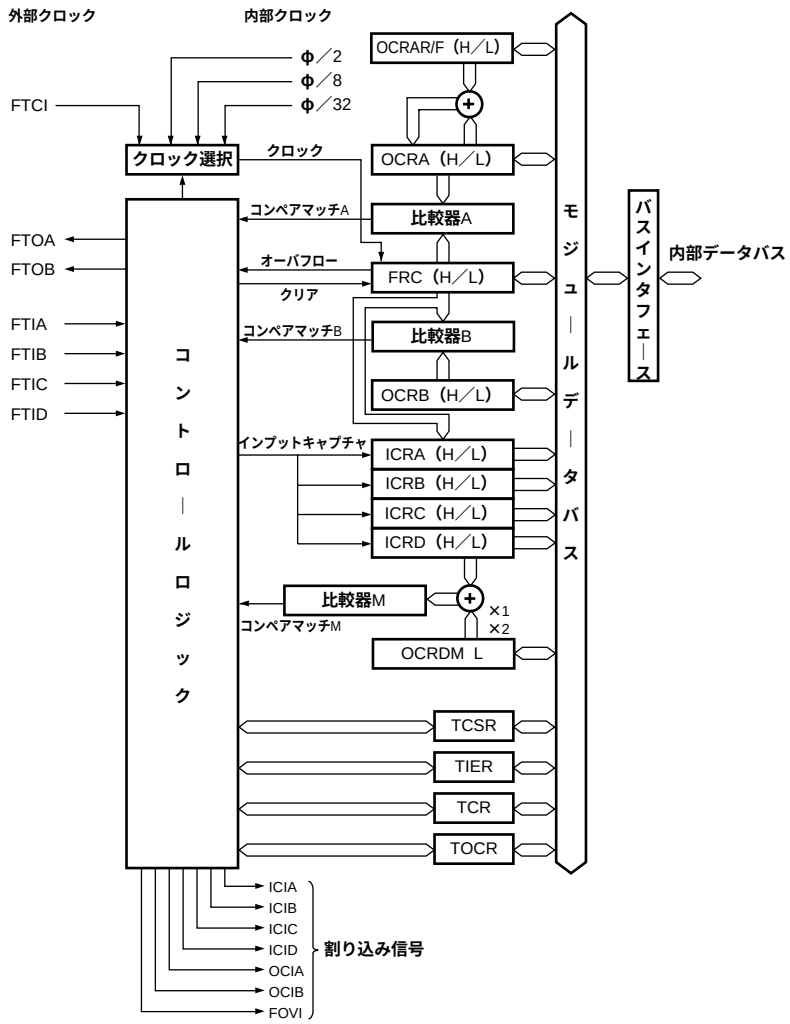
- **7種類の割り込み要因**

  コンペアマッチ×2要因、インプットキャプチャ×4要因、オーバフロー×1要因があり、それぞれ独立に要求することができます。

- **自動加算機能による特殊動作**

  OCRAの内容にOCRARおよびOCRAFの内容を自動的に加算し、ソフトウェアの介在なしに周期的な波形を生成することができます。ICRDの内容とOCRDMの内容×2を自動的に加算し、この間のインプットキャプチャ動作を制限することができます。

FRT のブロック図を**図** 12.1 に示します。



【記号説明】

OCRA、B	:	**アウトプットコンペアレジスタ**A、B（16**ビット**）
OCRAR、AF	:	**アウトプットコンペアレジスタ**AR、AF（16**ビット**）
OCRDM	:	**アウトプットコンペアレジスタ**（16**ビット**）
FRC	:	**フリーランニングカウンタ**（16**ビット**）
ICRA～D	:	**インプットキャプチャレジスタ**A～D（16**ビット**）
TCSR	:	**タイマコントロール／ステータスレジスタ**（8**ビット**）
TIER	:	**タイマインタラプトイネーブルレジスタ**（8**ビット**）
TCR	:	**タイマコントロールレジスタ**（8**ビット**）
TOCR	:	**タイマアウトプットコンペアコントロールレジスタ**（8**ビット**）

図 12.1　16 **ビットフリーランニングタイマのブロック図**

12.2 入出力端子

FRT の入出力端子を**表** 12.1 に示します。

表 12.1 **端子構成**

名　称	記号	入出力	機　能
カウンタクロック入力端子	FTCI	入力	FRC のカウンタクロック入力
アウトプットコンペア A 出力端子	FTOA	出力	アウトプットコンペア A の出力
アウトプットコンペア B 出力端子	FTOB	出力	アウトプットコンペア B の出力
インプットキャプチャ A 入力端子	FTIA	入力	インプットキャプチャ A の入力
インプットキャプチャ B 入力端子	FTIB	入力	インプットキャプチャ B の入力
インプットキャプチャ C 入力端子	FTIC	入力	インプットキャプチャ C の入力
インプットキャプチャ D 入力端子	FTID	入力	インプットキャプチャ D の入力

12.3 レジスタの説明

FRT には以下のレジスタがあります。

- フリーランニングカウンタ（FRC）
- アウトプットコンペアレジスタA（OCRA）
- アウトプットコンペアレジスタB（OCRB）
- インプットキャプチャレジスタA（ICRA）
- インプットキャプチャレジスタB（ICRB）
- インプットキャプチャレジスタC（ICRC）
- インプットキャプチャレジスタD（ICRD）
- アウトプットコンペアレジスタAR（OCRAR）
- アウトプットコンペアレジスタAF（OCRAF）
- アウトプットコンペアレジスタDM（OCRDM）
- タイマインタラプトイネーブルレジスタ（TIER）
- タイマコントロール／ステータスレジスタ（TCSR）
- タイマコントロールレジスタ（TCR）
- タイマアウトプットコンペアコントロールレジスタ（TOCR）

【注】 OCRA と OCRB のアドレスは同一です。レジスタの切り替えは TOCR の OCRS ビットで行います。また、ICRA、ICRB、ICRC と OCRAR、OCRAF、OCRDM のアドレスは同一です。レジスタの切り替えは TOCR の ICRS ビットで行います。

12.3.1 フリーランニングカウンタ（FRC）

FRC は 16 ビットのリード／ライト可能なアップカウンタです。入力クロックは TCR の CKS1、CKS0 ビットにより選択します。FRC はコンペアマッチ A によりクリアすることができます。FRC が H'FFFF から H'0000 にオーバフローすると、TCSR の OVF が 1 にセットされます。FRC は 8 ビット単位のアクセスはできません。常に 16 ビットでアクセスしてください。FRC の初期値は H'0000 です。

12.3.2 アウトプットコンペアレジスタ A、B（OCRA、OCRB）

OCR は 16 ビットのリード／ライト可能なレジスタです。FRT には 2 本の OCR があります。OCR の値は FRC の値と常に比較されています。両者の値が一致（コンペアマッチ）すると、TCSR の OCFA、OCFB フラグが 1 にセットされます。このとき TOCR の OEA、OEB ビットが 1 にセットされていると、TOCR の OLVLA、OLVLB ビットで設定した出力レベルの値がアウトプットコンペア出力端子（FTOA、FTOB）に出力されます。リセット後、コンペアマッチが発生するまで FTOA、FTOB は 0 出力です。OCR は 8 ビット単位のアクセスはできません。常に 16 ビットでアクセスしてください。OCR の初期値は H'FFFF です。

12.3.3 インプットキャプチャレジスタ A～D（ICRA～ICRD）

ICR は 16 ビットのリード専用のレジスタです。FRT には 4 本の ICR があります。インプットキャプチャ入力信号（FTIA～FTID）の立ち上がり、または立ち下がりエッジが検出されると FRC の値が ICRA～ICRD に転送されます。このとき同時に TCSR の ICFA～ICFD フラグが 1 にセットされます。FRC から ICR への転送は ICF の値にかかわらず行われます。インプットキャプチャ信号の検出エッジは TCR の IEDGA～IEDGD ビットにより選択できます。

また、ICRC は ICRA のバッファレジスタとして、ICRD は ICRB のバッファレジスタとしてそれぞれ使用することもできます。この機能は TCR の BUFEA、BUFEB ビットにより選択できます。

例えば ICRA がインプットキャプチャレジスタとして、ICRC が ICRA のバッファレジスタとして設定された場合、インプットキャプチャが発生すると、FRC の値が ICRA に、ICRA の値がバッファレジスタ ICRC に転送されます。

インプットキャプチャ動作を確実に行なうために、インプットキャプチャ入力信号のパルス幅は、単エッジの場合は 1.5 システムクロック以上、両エッジの場合は 2.5 システムクロック以上にしてください。

ICRA～ICRD は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。ICR の初期値は H'0000 です。

12.3.4 アウトプットコンペアレジスタ AR、AF（OCRAR、OCRAF）

OCRAR、OCRAF は 16 ビットのリード／ライト可能なレジスタです。TOCR の OCRAMS ビットを 1 にセットすると、OCRA を OCRAR、OCRAF を使用した動作モードに設定されます。OCRAR、OCRAF の値は交互に OCRA に自動的に加算され、OCRA に書き込まれます。書き込みはコンペアマッチ A のタイミングで行われます。OCRAMS ビットを 1 にセットした後の最初のコンペアマッチ A では、OCRAF が加算されます。コンペアマッチ A の動作は、OCRAR、OCRAF のいずれを加算した後のコンペアマッチかによって異なります。TOCR の OLVLA ビットの設定は無視され、OCRAF 加算後のコンペアマッチ A では 1 を出力、OCRAR 加算後のコンペアマッチ A では 0 を出力します。

OCRA の自動加算機能を使用する場合には、FRC の入力クロックを内部クロックφ／2 で、かつ OCRAR（または OCRAF）の値を H'0001 以下に設定しないでください。

OCRAR、OCRAF は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。OCRAR、OCRAF の初期値は H'FFFF です。

12.3.5 アウトプットコンペアレジスタ DM（OCRDM）

OCRDM は 16 ビットのリード／ライト可能なレジスタです。OCRDM の上位 8 ビットは H'00 に固定にされています。TOCR の ICRDMS ビットが 1 にセットされていて、OCRDM の内容が H'0000 以外の場合、ICRD を OCRDM を使用した動作モードに設定されます。インプットキャプチャ D が発生した時点をマスク期間の開始とします。続いて ICRD の内容に OCRDM の値を 2 倍して加算した値を FRC と比較し、一致した時点をマスク期間の終了とします。マスク期間中は、新たなインプットキャプチャ D の発生は禁止されています。ICRDMS ビットが 1 にセットされていて、OCRDM の内容が H'0000 の場合はマスク期間は発生しません。

OCRDM は 8 ビット単位のアクセスはできません。常に 16 ビット単位でアクセスしてください。OCRDM の初期値は H'0000 です。

12.3.6 タイマインタラプトイネーブルレジスタ（TIER）

TIER は、割り込み要求の許可／禁止を制御します。

ビット	ビット名	初期値	R/W	説　明
7	ICIAE	0	R/W	**インプットキャプチャインタラプト A イネーブル** **TCSR の ICFA フラグが 1 にセットされたとき、ICFA フラグによる割り込み要求（ICIA）を許可または禁止します。** **0：ICFA による割り込み要求（ICIA）を禁止** **1：ICFA による割り込み要求（ICIA）を許可**
6	ICIBE	0	R/W	**インプットキャプチャインタラプト B イネーブル** **TCSR の ICFB フラグが 1 にセットされたとき、ICFB フラグによる割り込み要求（ICIB）を許可または禁止します。** **0：ICFB による割り込み要求（ICIB）を禁止** **1：ICFB による割り込み要求（ICIB）を許可**

ビット	ビット名	初期値	R/W	説　明
5	ICICE	0	R/W	インプットキャプチャインタラプト C イネーブル TCSR の ICFC フラグが 1 にセットされたとき、ICFC フラグによる割り込み要求（ICIC）を許可または禁止します。 0：ICFC による割り込み要求（ICIC）を禁止 1：ICFC による割り込み要求（ICIC）を許可
4	ICIDE	0	R/W	インプットキャプチャインタラプト D イネーブル TCSR の ICFD フラグが 1 にセットされたとき、ICFD フラグによる割り込み要求（ICID）を許可または禁止します。 0：ICFD による割り込み要求（ICID）を禁止 1：ICFD による割り込み要求（ICID）を許可
3	OCIAE	0	R/W	アウトプットコンペアインタラプト A イネーブル TCSR の OCFA フラグが 1 にセットされたとき、OCFA フラグによる割り込み要求（OCIA）を許可または禁止します。 0：OCFA による割り込み要求（OCIA）を禁止 1：OCFA による割り込み要求（OCIA）を許可
2	OCIBE	0	R/W	アウトプットコンペアインタラプト B イネーブル TCSR の OCFB フラグが 1 にセットされたとき、OCFB フラグによる割り込み要求（OCIB）を許可または禁止します。 0：OCFB による割り込み要求（OCIB）を禁止 1：OCFB による割り込み要求（OCIB）を許可
1	OVIE	0	R/W	タイマオーバフローインタラプトイネーブル TCSR の OVF フラグが 1 にセットされたとき、OVF フラグによる割り込み要求（FOVI）を許可または禁止します。 0：OVF による割り込み要求（FOVI）を禁止 1：OVF による割り込み要求（FOVI）を許可
0	—	0	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

12.3.7 タイマコントロール／ステータスレジスタ（TCSR）

TCSR は、カウンタの動作／停止の選択、割り込み要求信号の許可／禁止制御を行います。

ビット	ビット名	初期値	R/W	説　明
7	ICFA	0	R/(W)*	インプットキャプチャフラグ A インプットキャプチャ信号により FRC の値が ICRA に転送されたことを示すステータスフラグです。このフラグは、BUFEA ビットが 1 にセットされているとき、インプットキャプチャ信号により FRC の値が ICRA に転送されたことを、また更新される前の ICRA の値が ICRC に転送されたことを示します。フラグをクリアするための 0 ライトのみ可能です。 ［セット条件］ インプットキャプチャ信号により、FRC の値が ICRA に転送されたとき ［クリア条件］ ICFA＝1 の状態で ICFA リード後、ICFA に 0 をライトしたとき
6	ICFB	0	R/(W)*	インプットキャプチャフラグ B インプットキャプチャ信号により FRC の値が ICRB に転送されたことを示すステータスフラグです。このフラグは、BUFEB ビットが 1 にセットされているとき、インプットキャプチャ信号により FRC の値が ICRB に転送されたことを、また更新される前の ICRB の値が ICRD に転送されたことを示します。フラグをクリアするための 0 ライトのみ可能です。 ［セット条件］ インプットキャプチャ信号により、FRC の値が ICRB に転送されたとき ［クリア条件］ ICFB＝1 の状態で ICFB をリード後、ICFB に 0 をライトしたとき
5	ICFC	0	R/(W)*	インプットキャプチャフラグ C インプットキャプチャ信号により、FRC の値が ICRC に転送されたことを示すステータスフラグです。このフラグは、BUFEA ビットが 1 にセットされているとき、FTIC 入力端子に IEDGC ビットで選択したインプットキャプチャ信号が発生するとセットされますが、ICRC へのデータ転送は行われません。バッファ動作では、このフラグは ICICE ビットを 1 にセットすることにより外部割り込みとして使用することができます。フラグをクリアするための 0 ライトのみ可能です。 ［セット条件］ インプットキャプチャ信号が発生したとき ［クリア条件］ ICFC＝1 の状態で ICFC をリード後、ICFC に 0 をライトしたとき

ビット	ビット名	初期値	R/W	説　明
4	ICFD	0	R/(W)*	インプットキャプチャフラグ D インプットキャプチャ信号により、FRC の値が ICRD に転送されたことを示すステータスフラグです。このフラグは、BUFEB ビットが 1 にセットされているとき、FTID 入力端子に IEDGD ビットで選択したインプットキャプチャ信号が発生するとセットされますが、ICRD へのデータ転送は行われません。バッファ動作では、このフラグは ICFD は ICIDE ビットを 1 にセットすることにより、外部割り込みとして使用することができます。フラグをクリアするための 0 ライトのみ可能です。 ［セット条件］ インプットキャプチャ信号が発生したとき ［クリア条件］ ICFD＝1 の状態で ICFD をリード後、ICFD に 0 をライトしたとき
3	OCFA	0	R/(W)*	アウトプットコンペアフラグ A FRC と OCRA の値が一致したことを示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 ［セット条件］ FRC＝OCRA になったとき ［クリア条件］ OCFA＝1 の状態で OCFA をリード後、OCFA に 0 をライトしたとき
2	OCFB	0	R/(W)*	アウトプットコンペアフラグ B FRC と OCRB の値が一致したことを示すステータスフラグです。フラグをクリアするための 0 ライトのみ可能です。 ［セット条件］ FRC＝OCRB になったとき ［クリア条件］ OCFB＝1 の状態で OCFB をリード後、OCFB に 0 をライトしたとき
1	OVF	0	R/(W)*	オーバフローフラグ FRC のオーバフローの発生を示すフラグです。フラグをクリアするための 0 ライトのみ可能です。 ［セット条件］ FRC の値がオーバフロー（H'FFFF→H'0000）したとき ［クリア条件］ OVF＝1 の状態で OVF をリード後、OVF に 0 をライトしたとき
0	CCLRA	0	R/W	カウンタクリア A コンペアマッチ A（FRC と OCRA の一致信号）により FRC をクリアするか、しないかを選択します。 0：FRC のクリアを禁止 1：コンペアマッチ A により FRC をクリア

【注】 * フラグをクリアするための 0 ライトのみ可能です。

12.3.8 タイマコントロールレジスタ（TCR）

TCR は、インプットキャプチャ入力エッジの選択、バッファ動作の指定、FRC の入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説　明
7	IEDGA	0	R/W	インプットエッジセレクト A インプットキャプチャ A 入力（FTIA）の立ち上がりエッジまたは立ち下がりエッジを選択します。 0：インプットキャプチャ A 入力の立ち下がりエッジでキャプチャ 1：インプットキャプチャ A 入力の立ち上がりエッジでキャプチャ
6	IEDGB	0	R/W	インプットエッジセレクト B インプットキャプチャ B 入力（FTIB）の立ち上がりエッジまたは立ち下がりエッジを選択します。 0：インプットキャプチャ B 入力の立ち下がりエッジでキャプチャ 1：インプットキャプチャ B 入力の立ち上がりエッジでキャプチャ
5	IEDGC	0	R/W	インプットエッジセレクト C インプットキャプチャ C 入力（FTIC）の立ち上がりエッジまたは立ち下がりエッジを選択します。 0：インプットキャプチャ C 入力の立ち下がりエッジでキャプチャ 1：インプットキャプチャ C 入力の立ち上がりエッジでキャプチャ
4	IEDGD	0	R/W	インプットエッジセレクト D インプットキャプチャ D 入力（FTID）の立ち上がりエッジまたは立ち下がりエッジを選択します。 0：インプットキャプチャ D 入力の立ち下がりエッジでキャプチャ 1：インプットキャプチャ D 入力の立ち上がりエッジでキャプチャ
3	BUFEA	0	R/W	バッファイネーブル A ICRC を ICRA のバッファレジスタとして使用するかしないかを選択します。 0：ICRC を ICRA のバッファレジスタとして使用しない 1：ICRC を ICRA のバッファレジスタとして使用する
2	BUFEB	0	R/W	バッファイネーブル B ICRD を ICRB のバッファレジスタとして使用するかしないかを選択します。 0：ICRD を ICRB のバッファレジスタとして使用しない 1：ICRD を ICRB のバッファレジスタとして使用する
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1、0 FRC に入力するクロックを選択します。 00：内部クロックφ／2 をカウント 01：内部クロックφ／8 をカウント 10：内部クロックφ／32 をカウント 11：外部クロック入力端子（FTCI）の立ち上がりエッジでカウント

12.3.9 タイマアウトプットコンペアコントロールレジスタ（TOCR）

TOCR は、アウトプットコンペア出力レベルの選択、アウトプットコンペア出力の許可、アウトプットコンペアレジスタ A、B のアクセスの切り替え制御、ICRD、OCRA の動作モード、およびインプットキャプチャレジスタ A、B、C のアクセスの切り替え制御を行います。

ビット	ビット名	初期値	R/W	説　明
7	ICRDMS	0	R/W	**インプットキャプチャ D モードセレクト** **ICRD を通常の動作モードにするか、OCRDM を使用した動作モードにするかを選択します。** **0：ICRD を通常の動作モードに設定** **1：ICRD を OCRDM を使用した動作モードに設定**
6	OCRAMS	0	R/W	**アウトプットコンペア A モードセレクト** **OCRA を通常の動作モードにするか、OCRAR、OCRAF を使用した動作モードにするかを選択します。** **0：OCRA を通常の動作モードに設定** **1：OCRA を OCRAR、OCRAF を使用した動作モードに設定**
5	ICRS	0	R/W	**インプットキャプチャレジスタセレクト** **ICRA と OCRAR、ICRB と OCRAF、ICRC と OCRDM のアドレスは同一です。このアドレスをリード／ライトするとき、どちらのレジスタを選択するか制御します。ICRA、ICRB、ICRC 動作には影響を与えません。** **0：ICRA、ICRB と ICRC レジスタを選択** **1：OCRAR、OCRAF と OCRDM レジスタを選択**
4	OCRS	0	R/W	**アウトプットコンペアレジスタセレクト** **OCRA と OCRB のアドレスは同一です。このアドレスをリード／ライトするとき、どちらのレジスタを選択するか制御します。OCRA、OCRB の動作には影響を与えません。** **0：OCRA レジスタを選択** **1：OCRB レジスタを選択**
3	OEA	0	R/W	**アウトプットイネーブル A** **アウトプットコンペア A 出力端子（FTOA）を制御します。** **0：アウトプットコンペア A 出力を禁止** **1：アウトプットコンペア A 出力を許可**
2	OEB	0	R/W	**アウトプットイネーブル B** **アウトプットコンペア B 出力端子（FTOB）を制御します。** **0：アウトプットコンペア B 出力を禁止** **1：アウトプットコンペア B 出力を許可**

ビット	ビット名	初期値	R/W	説　明
1	OLVLA	0	R/W	**アウトプットレベル** A **コンペアマッチ** A（FRC **と** OCRA **の一致による信号）により、アウトプットコンペア** A **出力端子（**FTOA**）の出力レベルを選択します。**OCRAMS **ビットが** 1 **の場合は無視されます。** 0**：コンペアマッチ** A **で** 0 **出力** 1**：コンペアマッチ** A **で** 1 **出力**
0	OLVLB	0	R/W	**アウトプットレベル** B **コンペアマッチ** B（FRC **と** OCRB **の一致による信号）により、アウトプットコンペア** B **出力端子（**FTOB**）の出力レベルを選択します。** 0**：コンペアマッチ** B **により** 0 **出力** 1**：コンペアマッチ** B **により** 1 **出力**

12.4　動作説明

12.4.1　パルス出力

デューティ 50%のパルスを任意の位相差で出力させた例を**図** 12.2 に示します。TCSR の CCLRA ビットを 1 にセットし、コンペアマッチが発生するたびに OLVLA、OLVLB ビットをソフトウェアにより反転させます。

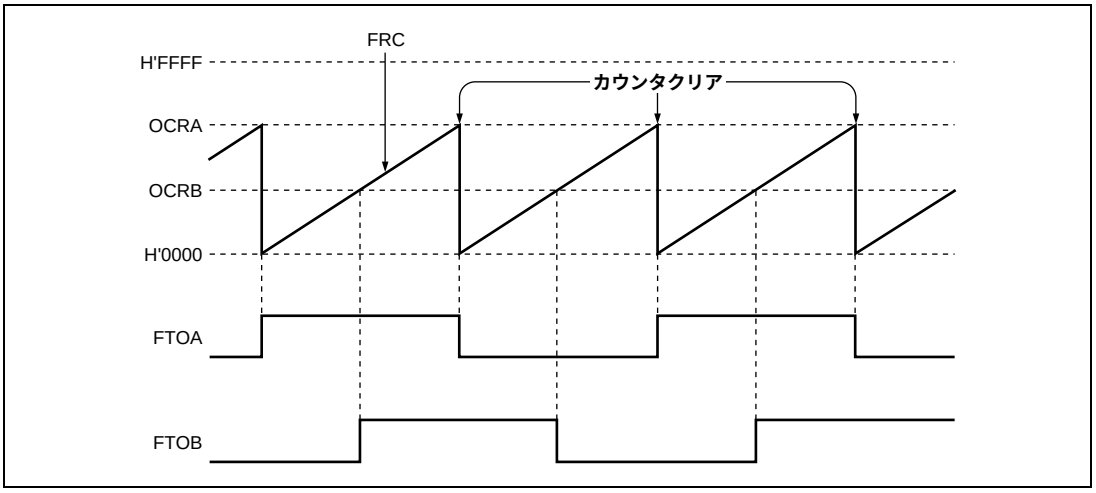


図 12.2　**パルス出力例**

12.5 動作タイミング

12.5.1 FRC のカウントタイミング

内部クロック動作の場合の FRC のカウントタイミングを**図** 12.3 に示します。また、外部クロック動作の場合の FRC のカウントタイミングを**図** 12.4 に示します。なお、外部クロックのパルス幅は 1.5 システムクロック（φ）以上必要です。これ以下のパルス幅では正しく動作しませんので注意が必要です。

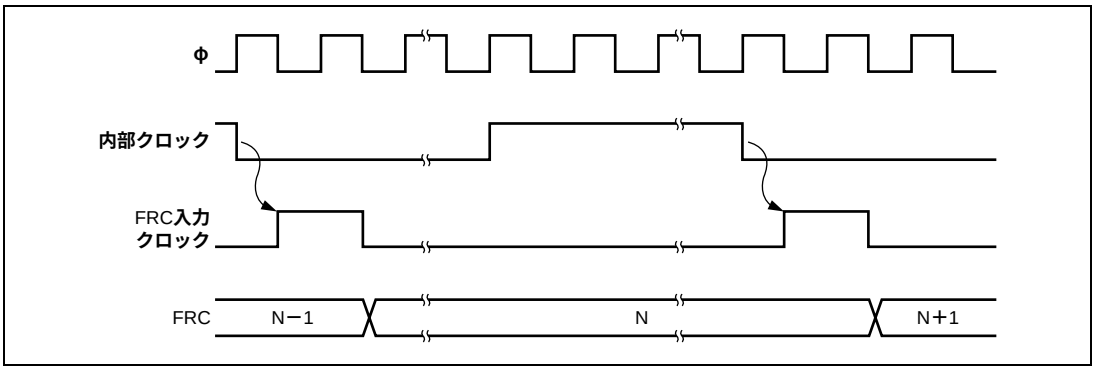


図 12.3 **内部クロック動作時のカウントタイミング**

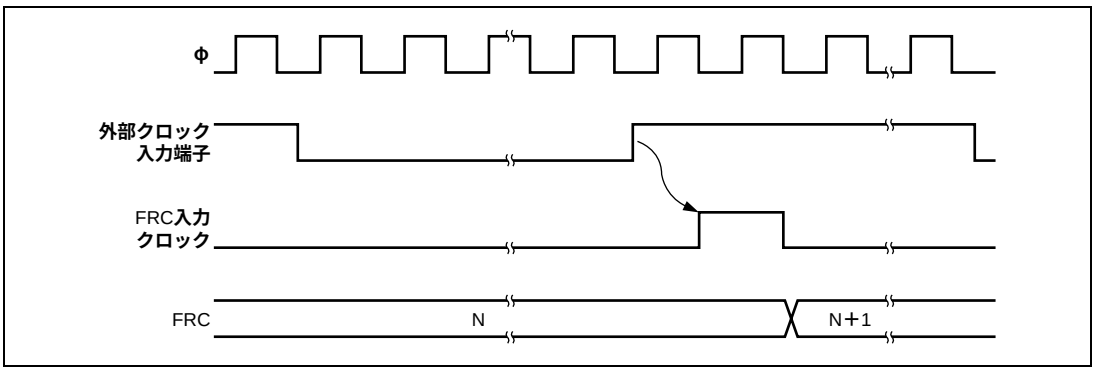


図 12.4 **外部クロック動作時のカウントタイミング**

12.5.2 アウトプットコンペア出力タイミング

コンペアマッチ信号は、FRC と OCR の値が一致した最後のステート（FRC が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TOCR の OLVL ビットで設定される出力値がアウトプットコンペア出力端子（FTOA、FTOB）に出力されます。アウトプットコンペア A 出力タイミングを**図** 12.5 に示します。

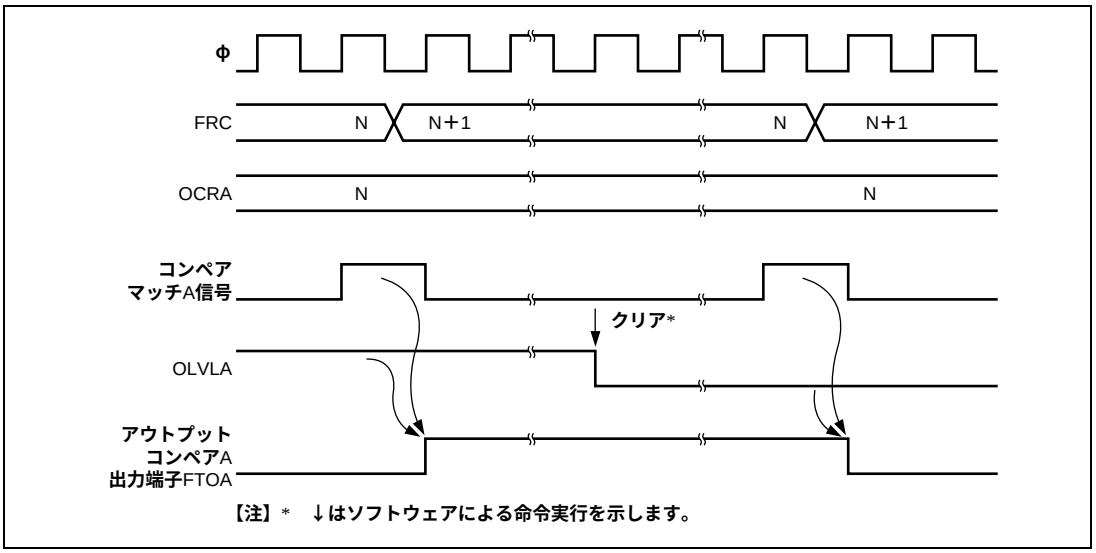


図 12.5 **アウトプットコンペア A 出力タイミング**

12.5.3 FRC のクリアタイミング

FRC はコンペアマッチ A 信号でクリアすることができます。このタイミングを**図** 12.6 に示します。

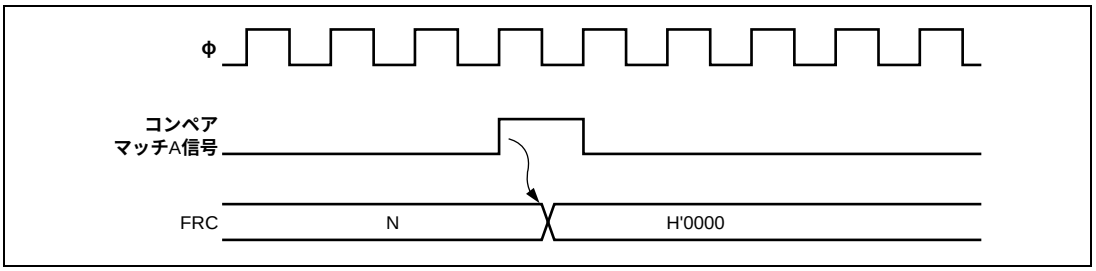


図 12.6 **コンペアマッチ A 信号による** FRC **のクリアタイミング**

12.5.4 インプットキャプチャ入力タイミング

インプットキャプチャ入力は、TCR の IEDGA～IEDGD ビットの設定により立ち上がりエッジ／立ち下がりエッジの選択ができます。立ち上がりエッジを選択した場合のタイミングを**図** 12.7 に示します。

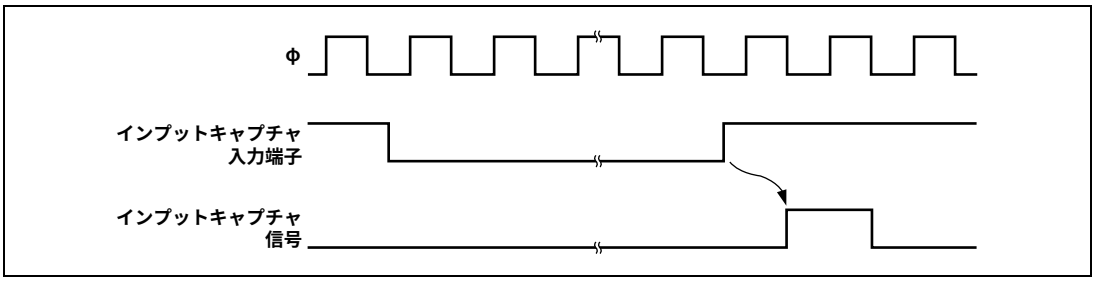


図 12.7 **インプットキャプチャ入力信号タイミング（通常時）**

また、ICRA～ICRD のリード時に、対応するインプットキャプチャ信号を入力するとインプットキャプチャ信号は 1 システムクロック（φ）遅延されます。このタイミングを**図** 12.8 に示します。

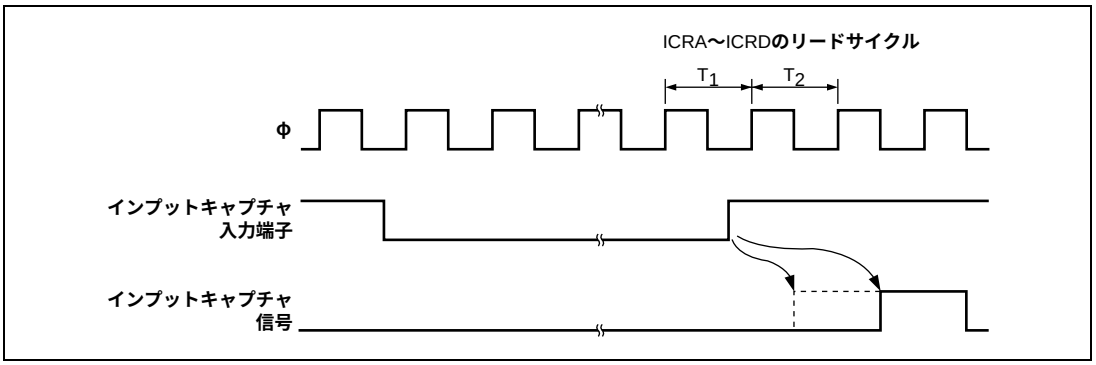


図 12.8 **インプットキャプチャ入力信号タイミング（**ICRA～ICRD **のリード時）**

12.5.5 バッファ動作時タイミング

ICRC または ICRD を ICRA または ICRB のバッファとして動作させることができます。ICRC を ICRA のバッファレジスタとして使用し（BUFEA＝1）、立ち上がり／立ち下がり両エッジ指定（IEDGA＝1、IEDGC＝0 または IEDGA＝0、IEDGC＝1）とした場合のインプットキャプチャ入力タイミングを**図** 12.9 に示します。

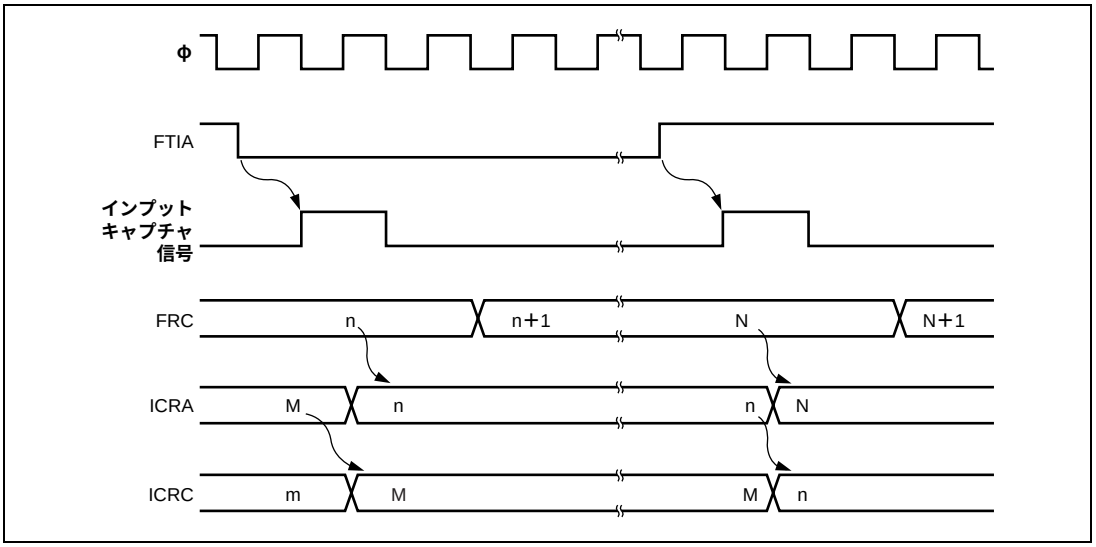


図 12.9 **バッファ動作タイミング（インプットキャプチャ）**

インプットキャプチャフラグは、ICRC または ICRD をバッファレジスタとして使用した場合でも各インプットキャプチャ入力の指定されたエッジに対応してセットされます。例えば、ICRC を ICRA のバッファレジスタとして使用しているとき、インプットキャプチャ入力に IEDGC ビットで指定したエッジになると ICFC フラグがセットされ、そのとき ICICE ビットがセットされていれば割り込み要求が発生します。ただし、FRC の値は ICRC には転送されません。また、バッファ動作時に、インプットキャプチャ入力信号が発生するタイミングでデータ転送レジスタ（ICRA と ICRC または ICRB と ICRD）のリードが行われると、インプットキャプチャ入力信号は 1 システムクロック（φ）遅延されます。BUFEA＝1 のときのバッファ動作タイミングを**図** 12.10 に示します。

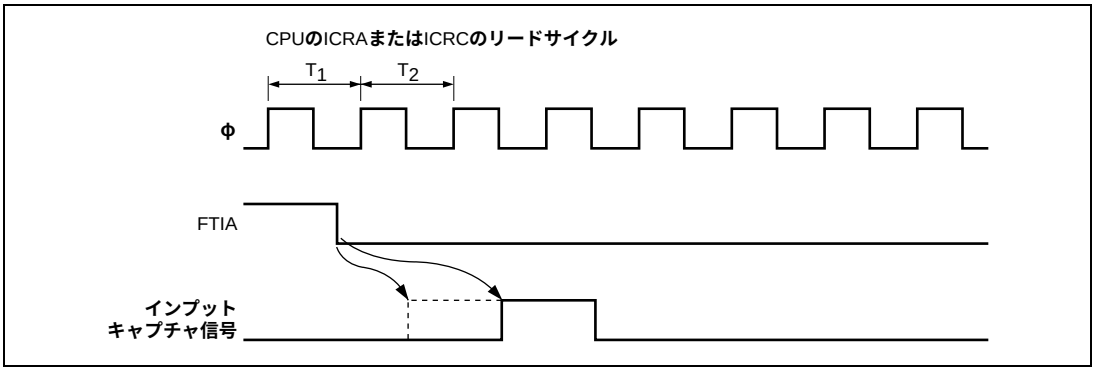


図 12.10　**バッファ動作タイミング**（BUFEA=1）

12.5.6　インプットキャプチャ時のフラグセットタイミング

インプットキャプチャ信号入力により ICFA～ICFD フラグは 1 にセットされ、FRC の値が対応する ICRA～ICRD に転送されます。ICFA～ICFD フラグのセットタイミングを**図** 12.11 に示します。

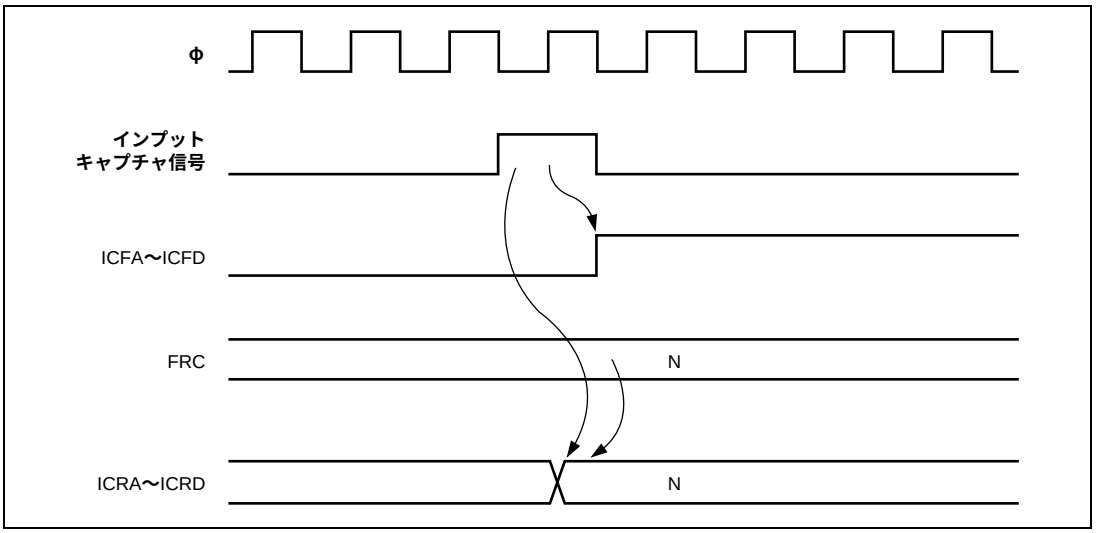


図 12.11　ICFA～ICFD **フラグのセットタイミング**

12.5.7 アウトプットコンペア時のフラグセットタイミング

OCFA、OCFB フラグは、OCRA、OCRB と FRC の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は値が一致した最後のステート（FRC が一致したカウント値を更新するタイミング）で発生します。OCRA、OCRB と FRC の値が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。OCFA、OCFB フラグのセットタイミングを**図** 12.12 に示します。

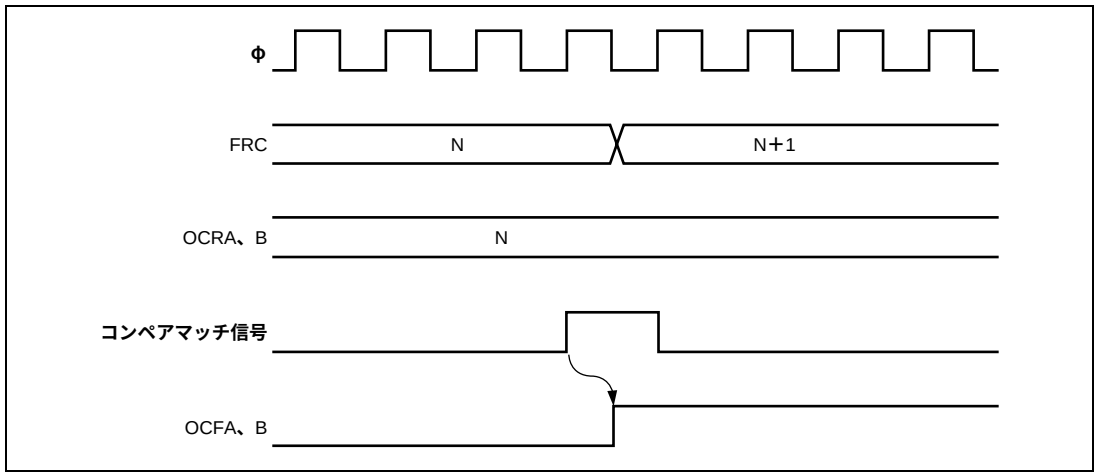


図 12.12 OCFA、OCFB **フラグのセットタイミング**

12.5.8 オーバフロー時のフラグセットタイミング

OVF フラグは、FRC がオーバフロー（H'FFFF→H'0000）したとき 1 にセットされます。OVF フラグのセットタイミングを**図** 12.13 に示します。

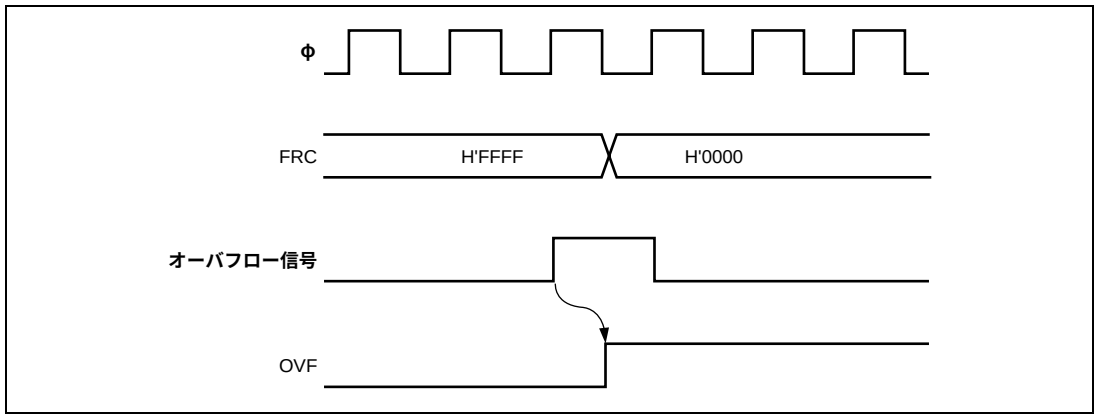


図 12.13 OVF **フラグのセットタイミング**

12.5.9 自動加算タイミング

TOCR の OCRAMS ビットが 1 にセットされている場合、OCRAR、OCRAF の内容は交互に OCRA に自動加算され、OCRA のコンペアマッチが発生すると OCRA に書き込まれます。OCRA の書き込みタイミングを**図** 12.14 に示します。

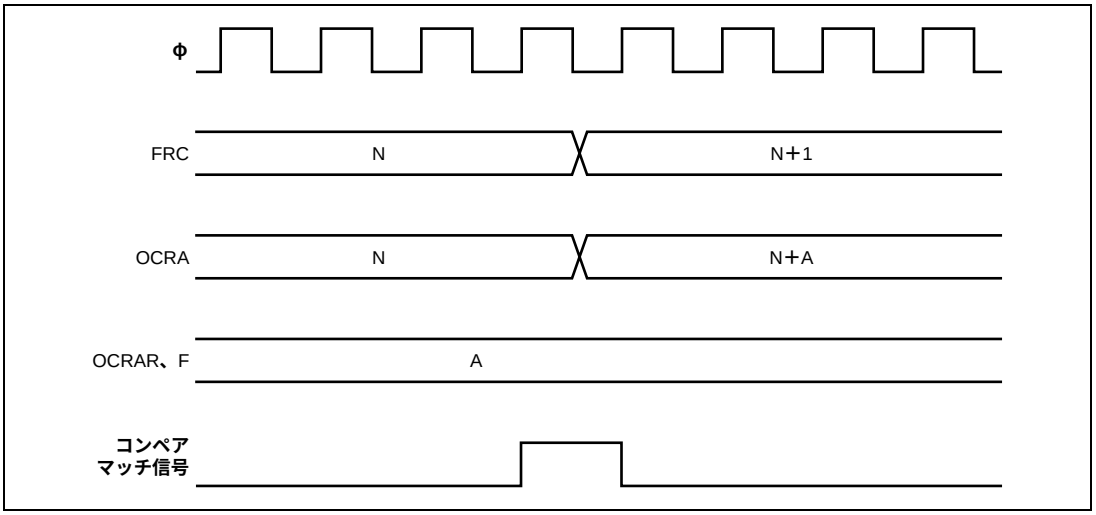


図 12.14　OCRA **の自動加算タイミング**

12.5.10 マスク信号生成タイミング

TOCR の ICRDMS ビットが 1 にセットされている場合、OCRDM の値が H'0000 以外であると、ICRD のインプットキャプチャ信号をマスクする信号が生成されます。マスク信号はインプットキャプチャ信号によりセットされます。マスク信号は ICRD の値に OCRDM の値を 2 倍して加算した値と、FRC のコンペアマッチによりクリアされます。マスク信号のセットタイミングを**図** 12.15 に示します。マスク信号のクリアタイミングを**図** 12.16 に示します。

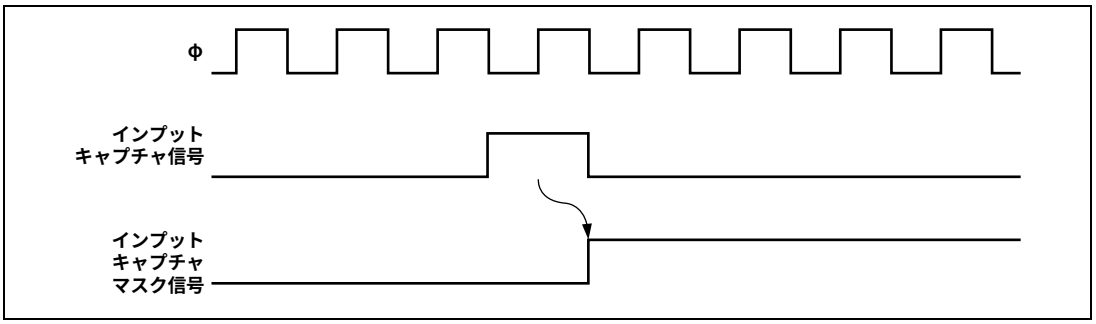


図 12.15 **インプットキャプチャマスク信号のセットタイミング**

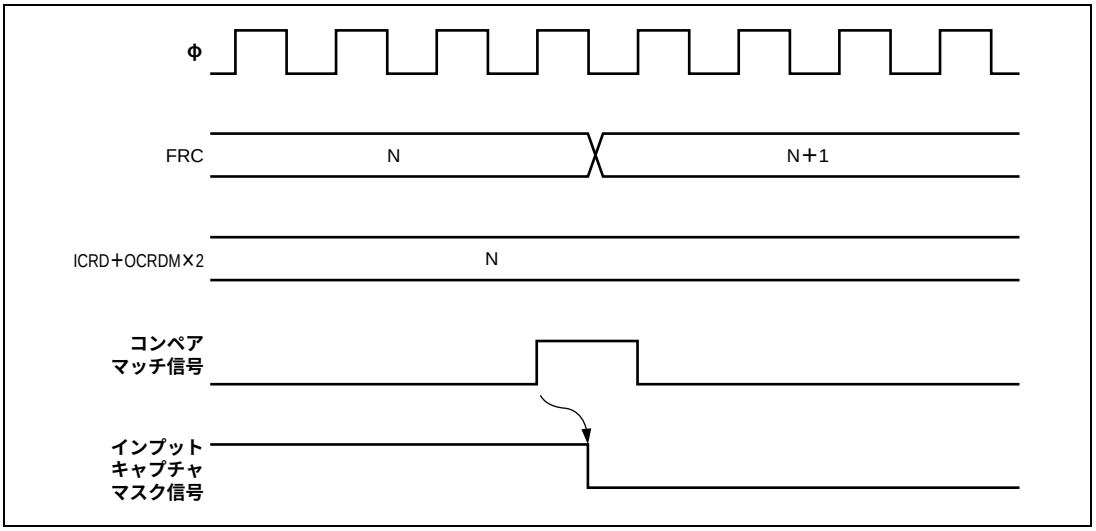


図 12.16 **インプットキャプチャマスク信号のクリアタイミング**

12.6 割り込み要因

FRT の割り込み要因は ICIA～ICID、OCIA、OCIB および FOVI の 7 つあります。各割り込み要因は TIER の各割り込みイネーブルビットで許可または禁止され、それぞれ独立に割り込みコントローラに送られます。**表** 12.2 に各割り込み要因と優先順位を示します。

ICIA、ICIB、OCIA、OCIB 割り込みは、内蔵 DTC の起動要因とすることができます。

表 12.2 FRT **割り込み要因**

名　称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
ICIA	ICRA のインプットキャプチャ	ICFA	可	高
ICIB	ICRB のインプットキャプチャ	ICFB	可	
ICIC	ICRC のインプットキャプチャ	ICFC	不可	
ICID	ICRD のインプットキャプチャ	ICFD	不可	
OCIA	OCRA のコンペアマッチ	OCFA	可	
OCIB	OCRB のコンペアマッチ	OCFB	可	
FOVI	FRC のオーバフロー	OVF	不可	低

12.7 使用上の注意

12.7.1 FRC のライトとクリアの競合

FRC のライトサイクルの次のステートでカウンタクリア信号が発生すると、FRC へのライトは行われず、FRC のクリアが優先されます。このタイミングを図 12.17 に示します。

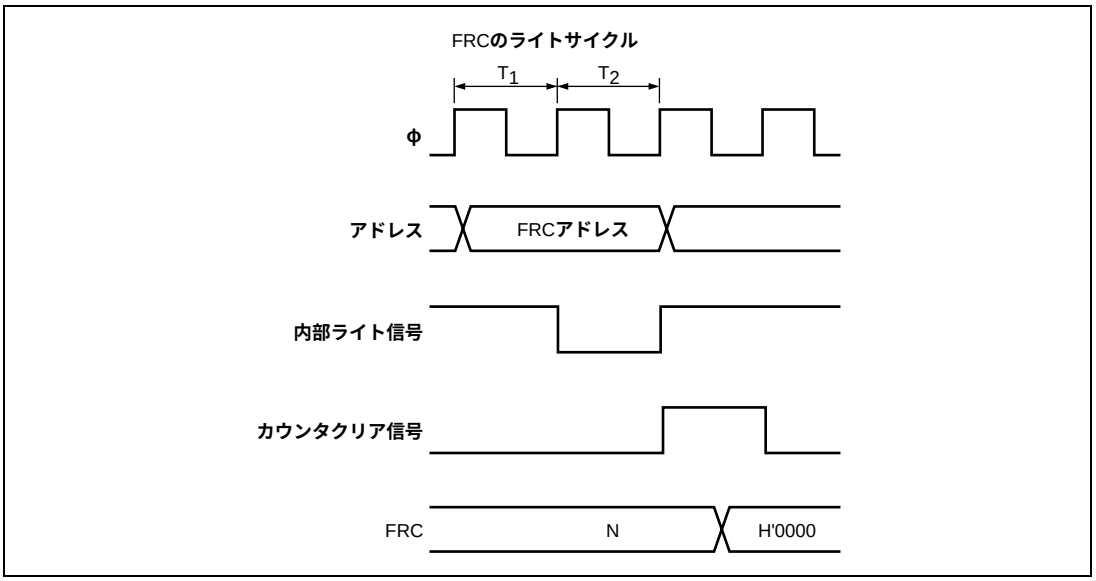


図 12.17 FRC のライトとクリアの競合

12.7.2 FRC のライトとカウントアップの競合

FRC のライトサイクルの次のステートでカウントアップが発生しても、カウントアップされず、カウンタライトが優先されます。このタイミングを図 12.18 に示します。

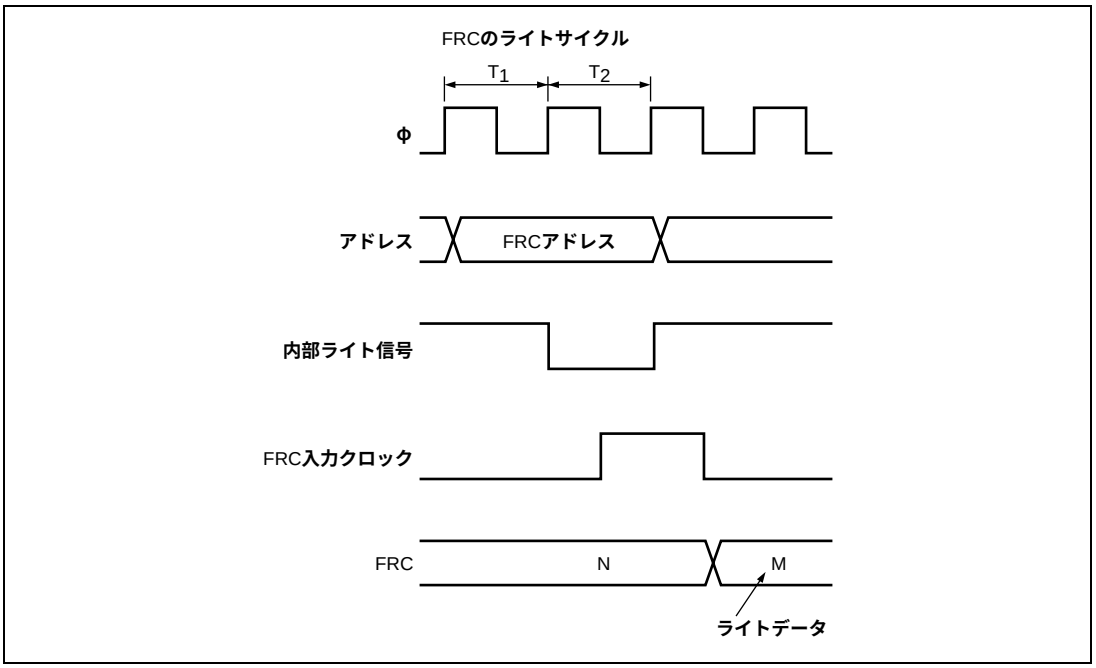


図 12.18 FRC のライトとカウントアップの競合

12.7.3 OCR のライトとコンペアマッチの競合

OCRA、OCRB のライトサイクルの次のステートでコンペアマッチが発生した場合、OCR のライトが優先され、コンペアマッチ信号は禁止されます。このタイミングを**図** 12.19 に示します。

OCRA の自動加算機能を選択しているとき、OCRA、OCRAR、OCRAF ライトサイクルの次のステートでコンペアマッチが発生した場合、OCRA、OCRAR、OCRAF のライトが優先され、コンペアマッチ信号が禁止されるため、自動加算結果のライトは行われません。このタイミングを**図** 12.20 に示します。

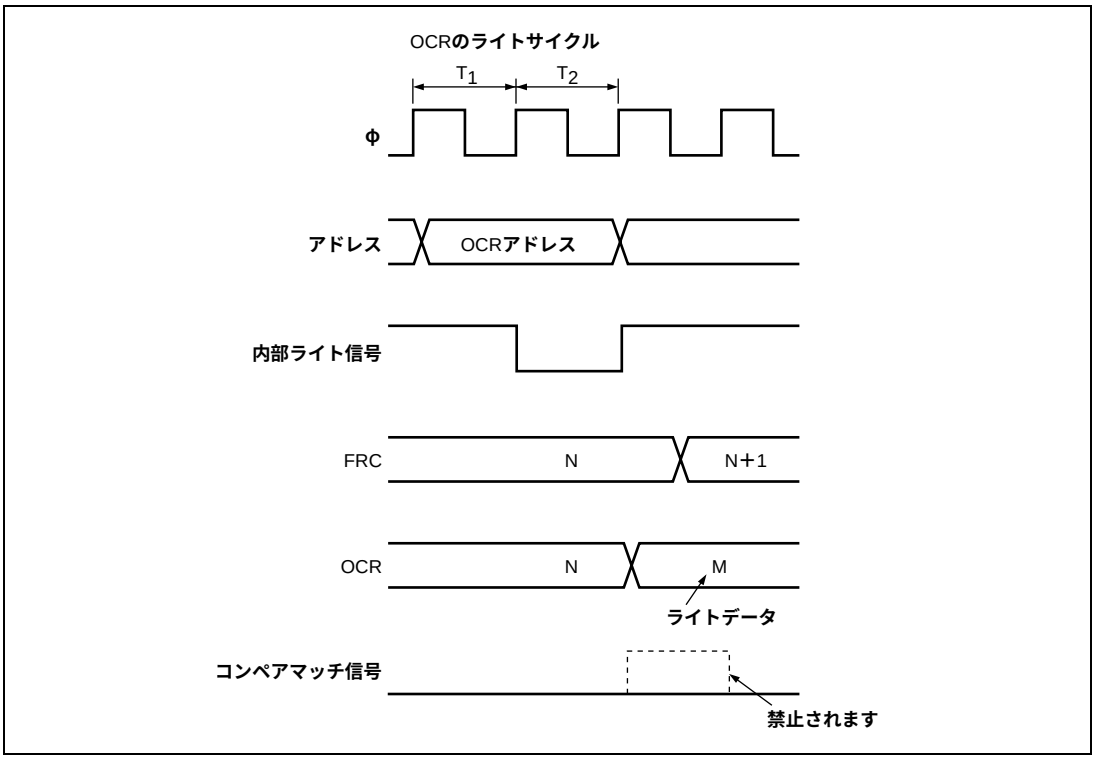


図 12.19 OCR **のライトとコンペアマッチの競合（自動加算機能を使用していない場合）**

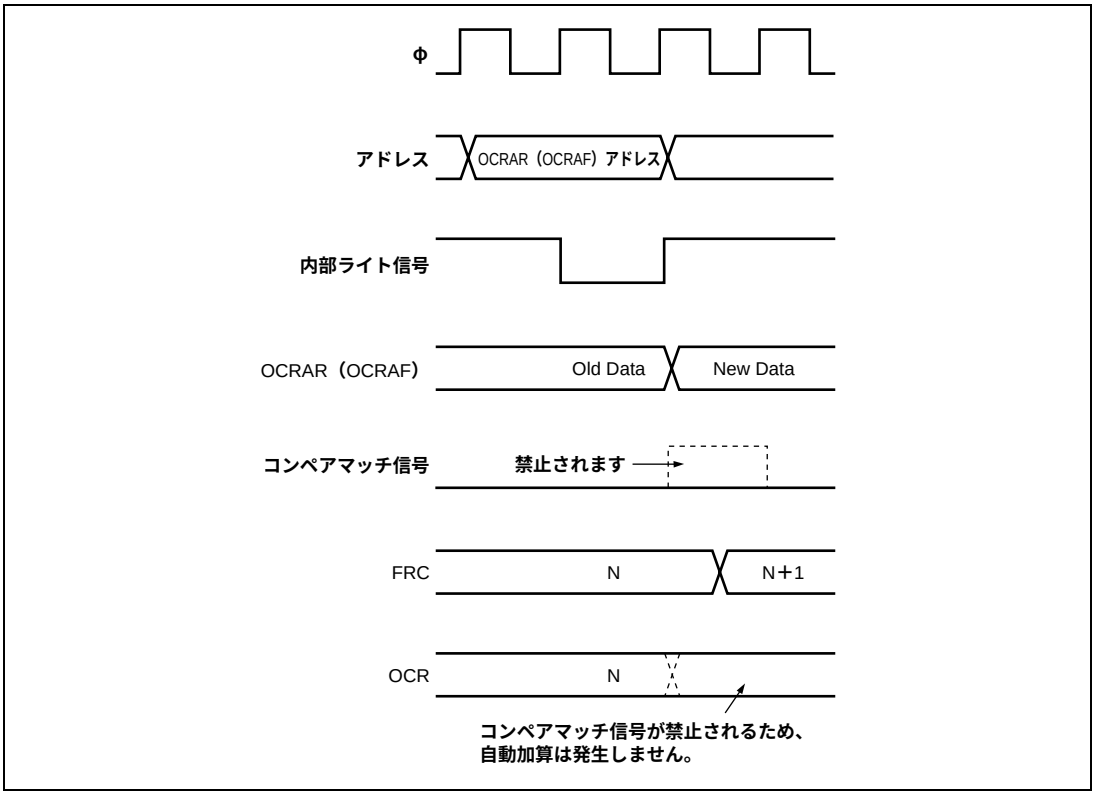


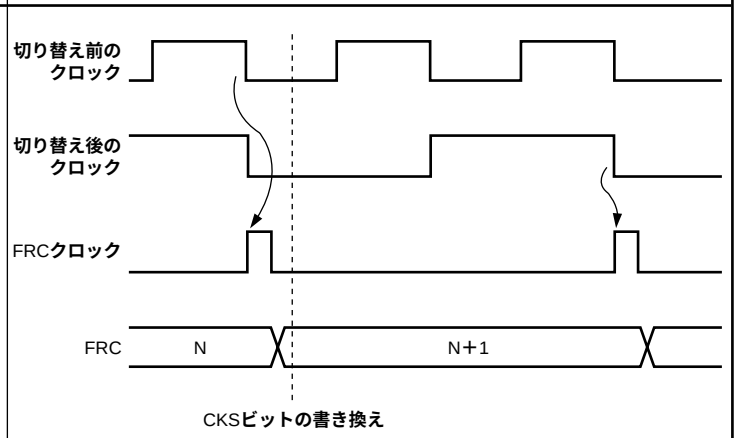
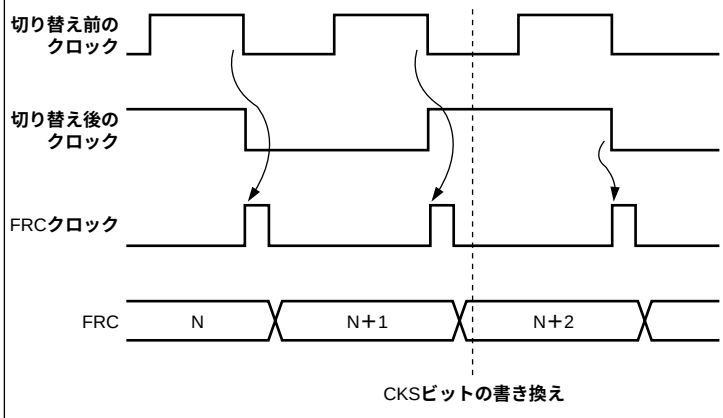
図 12.20　OCRAR/OCRAF **のライトとコンペアマッチの競合（自動加算機能を使用している場合）**

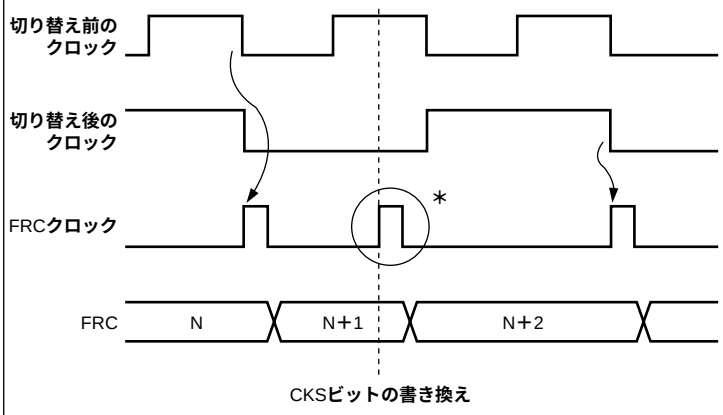
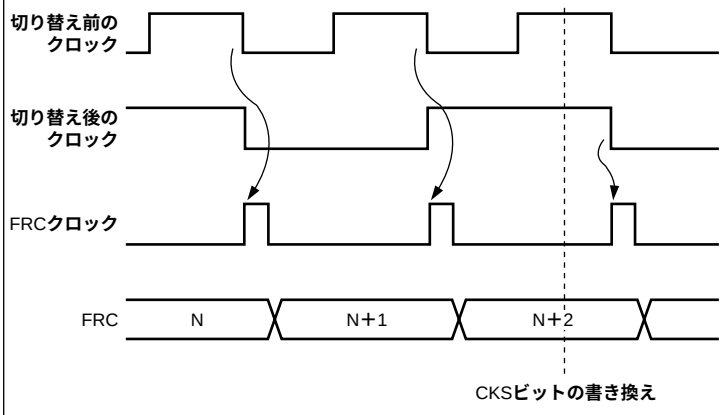
12.7.4 内部クロックの切り替えとカウンタの動作

内部クロックを切り替えるタイミングによっては、FRC がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング（CKS1、CKS0 ビットの書き換え）と FRC 動作の関係を**表 12.3** に示します。

内部クロックを使用する場合、システムクロック（φ）を分周した内部クロックの立ち下がりエッジを検出して FRC クロックを生成しています。そのため、**表 12.3** の No.3 のように切り替え前のクロック High→切り替え後のクロック Low レベルになるような切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして FRC クロックが発生し、FRC がカウントアップされてしまいます。また、内部クロックと外部クロックを切り替えるときも、FRC がカウントアップされることがあります。

表 12.3 内部クロックの切り替えと FRC 動作

No.	CKS1、CKS0ビット 書き換えタイミング	FRC動作
1	Low → Lowレベルの 切り替え	
2	Low → Highレベルの 切り替え	

No.	CKS1、CKS0ビット 書き換えタイミング	FRC動作
3	High → Lowレベルの 切り替え	
4	High → Highレベルの 切り替え	

【注】 ＊ 切り替えのタイミングを立ち下がりエッジとみなすために発生し、FRCはカウントアップされます。

13. 8 ビットタイマ（TMR）

本 LSI は、8 ビットのカウンタをベースにした 2 チャネルの 8 ビットタイマ（TMR_0、TMR_1）を内蔵しています。外部のイベントのカウントが可能なほか、2 本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

また、本 LSI は 2 チャネルの類似の 8 ビットタイマ（TMR_Y、TMR_X）を内蔵しており、タイマコネクションに接続して使用できます。

13.1 特長

- クロックを選択可能

  TMR_0、TMR_1：6種類の内部クロックと、外部クロックのうちから選択できます。

  TMR_Y、TMR_X：3種類の内部クロックと、外部クロックのうちから選択できます。

- カウンタのクリア指定が可能

  コンペアマッチA、コンペアマッチB、または外部リセット信号のうちから選択できます。

- 2つのコンペアマッチ信号の組み合わせでタイマ出力を制御

  独立に動作可能な2つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能です。

- TMR_0、TMR_1のカスケード接続が可能

  （TMR_Y、TMR_Xのカスケード接続はできません）

  TMR_0を上位、TMR_1を下位とする16ビットタイマとして動作可能です（16ビットカウントモード）。

  TMR_1はTMR_0のコンペアマッチをカウント可能です（コンペアマッチカウントモード）。

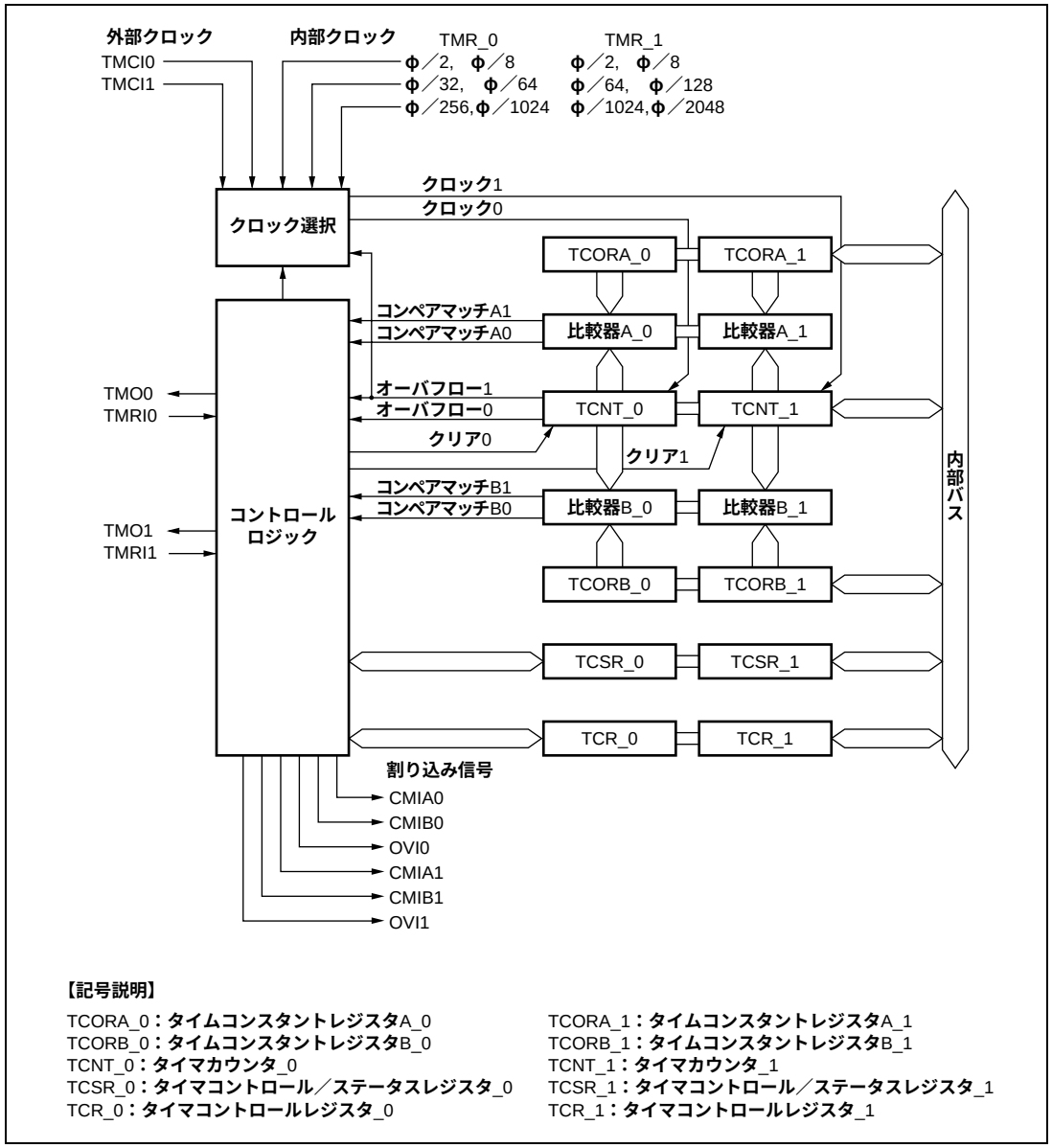
- 複数の割り込み要因

  TMR_0、TMR_1、TMR_Y：コンペアマッチA、コンペアマッチB、オーバフローの3種類があります。

  TMR_X：コンペアマッチA、コンペアマッチB、オーバフロー、インプットキャプチャの4種類があります。

8 ビットタイマのブロック図を**図** 13.1、**図** 13.2 に示します。

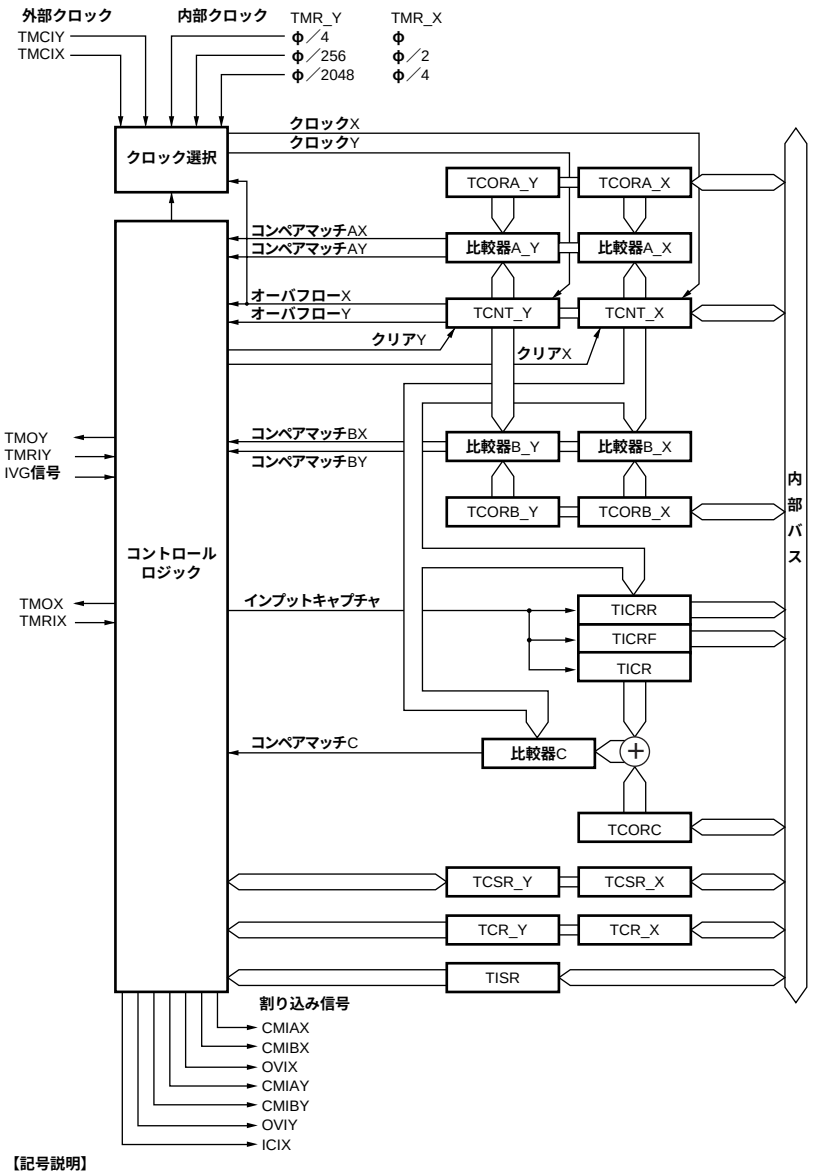
TMR_X には、インプットキャプチャ機能が追加されています。詳細は**「第 14 章　タイマコネクション」**を参照してください。



【記号説明】

TCORA_0：**タイムコンスタントレジスタ**A_0
TCORB_0：**タイムコンスタントレジスタ**B_0
TCNT_0：**タイマカウンタ**_0
TCSR_0：**タイマコントロール／ステータスレジスタ**_0
TCR_0：**タイマコントロールレジスタ**_0
TCORA_1：**タイムコンスタントレジスタ**A_1
TCORB_1：**タイムコンスタントレジスタ**B_1
TCNT_1：**タイマカウンタ**_1
TCSR_1：**タイマコントロール／ステータスレジスタ**_1
TCR_1：**タイマコントロールレジスタ**_1

図 13.1　8 **ビットタイマ（**TMR_0、TMR_1**）のブロック図**



【記号説明】

TCORA_Y：タイムコンスタントレジスタA_Y
TCORB_Y：タイムコンスタントレジスタB_Y
TCNT_Y：タイマカウンタ_Y
TCSR_Y：タイマコントロール／ステータスレジスタ_Y
TCR_Y：タイマコントロールレジスタ_Y
TISR：タイマインプットセレクトレジスタ

TCORA_X：タイムコンスタントレジスタA_X
TCORB_X：タイムコンスタントレジスタB_X
TCNT_X：タイマカウンタ_X
TCSR_X：タイマコントロール／ステータスレジスタ_X
TCR_X：タイマコントロールレジスタ_X
TICR：インプットキャプチャレジスタ
TCORC：タイムコンスタントレジスタ
TICRR：インプットキャプチャレジスタR
TICRF：インプットキャプチャレジスタF

図 13.2 8 ビットタイマ（TMR_Y、TMR_X）のブロック図

13.2 入出力端子

TMR の入出力端子を**表** 13.1 に示します。

表 13.1 **端子構成**

チャネル	名　称	記号	入出力	機　能
TMR_0	**タイマ出力端子**	TMO0	**出力**	**コンペアマッチ出力**
	タイマクロック／リセット入力端子	TMI0/ExTMI0	**入力**	**カウンタ外部クロック入力**（TMCI0）／**リセット入力**（TMRI0）
TMR_1	**タイマ出力端子**	TMO1	**出力**	**コンペアマッチ出力**
	タイマクロック／リセット入力端子	TMI1/ExTMI1	**入力**	**カウンタ外部クロック入力**（TMCI1）／**リセット入力**（TMRI1）
TMR_Y	**タイマ出力端子**	TMOY	**出力**	**コンペアマッチ出力**
	タイマクロック／リセット入力端子	TMIY/ExTMIY	**入力**	**カウンタ外部クロック入力**（TMCIY）／**リセット入力**（TMRIY）
TMR_X	**タイマ出力端子**	TMOX	**出力**	**コンペアマッチ出力**
	タイマクロック／リセット入力端子	TMIX/ExTMIX	**入力**	**カウンタ外部クロック入力**（TMCIX）／**リセット入力**（TMRIX）

13.3 レジスタの説明

TMR には以下のレジスタがあります。なお、シリアルタイマコントロールレジスタについては「3.2.3 **シリアルタイマコントロールレジスタ**（STCR）」、タイマコネクションレジスタについては「14.3.3 **タイマコネクションレジスタ** S（TCONRS）」を参照してください。

TMR_0

- **タイマカウンタ**_0（TCNT_0）
- **タイムコンスタントレジスタ**A_0（TCORA_0）
- **タイムコンスタントレジスタ**B_0（TCORB_0）
- **タイマコントロールレジスタ**_0（TCR_0）
- **タイマコントロール／ステータスレジスタ**_0（TCSR_0）

TMR_1

- **タイマカウンタ**_1（TCNT_1）
- **タイムコンスタントレジスタ**A_1（TCORA_1）
- **タイムコンスタントレジスタ**B_1（TCORB_1）
- **タイマコントロールレジスタ**_1（TCR_1）
- **タイマコントロール／ステータスレジスタ**_1（TCSR_1）

TMR_Y

- **タイマカウンタ**_Y（TCNT_Y）
- **タイムコンスタントレジスタ**A_Y（TCORA_Y）
- **タイムコンスタントレジスタ**B_Y（TCORB_Y）
- **タイマコントロールレジスタ**_Y（TCR_Y）
- **タイマコントロール／ステータスレジスタ**_Y（TCSR_Y）
- **タイマインプットセレクトレジスタ**（TISR）

TMR_X

- **タイマカウンタ**_X（TCNT_X）
- **タイムコンスタントレジスタ**A_X（TCORA_X）
- **タイムコンスタントレジスタ**B_X（TCORB_X）
- **タイマコントロールレジスタ**_X（TCR_X）
- **タイマコントロール／ステータスレジスタ**_X（TCSR_X）
- **インプットキャプチャレジスタ**（TICR）
- **タイムコンスタントレジスタ**（TCORC）
- **インプットキャプチャレジスタ**R（TICRR）
- **インプットキャプチャレジスタ**F（TICRF）

13.3.1 タイマカウンタ（TCNT）

TCNT は 8 ビットのリード／ライト可能なアップカウンタです。TCNT_0、TCNT_1（または TMR_Y、TMR_X）を 16 ビットレジスタとしてワードアクセスすることも可能です。クロックは、TCR の CKS2～CKS0 ビットにより選択します。TCNT は、外部リセット入力信号またはコンペアマッチ A 信号、コンペアマッチ B 信号によりクリアすることができます。いずれの信号でクリアするかは、TCR の CCLR1、CCLR0 ビットにより選択します。また、TCNT がオーバフロー（H'FF→H'00）すると、TCSR の OVF が 1 にセットされます。TCNT の初期値は H'00 です。

13.3.2 タイムコンスタントレジスタ A（TCORA）

TCORA は 8 ビットのリード／ライト可能なレジスタです。TCORA_0、TCORA_1（または TCORA_Y、TCORA_X）を 16 ビットレジスタとしてワードアクセスすることも可能です。TCORA の値は TCNT と常に比較され、一致すると TCSR の CMFA が 1 にセットされます。ただし、TCORA へのライトサイクルの T2 ステートでの比較は禁止されています。また、この一致信号（コンペアマッチ A）と TCSR の OS1、OS0 ビットの設定により、TMO 端子からのタイマ出力を制御することができます。TCORA の初期値は H'FF です。

13.3.3 タイムコンスタントレジスタ B（TCORB）

TCORB は 8 ビットのリード／ライト可能なレジスタです。TCORB_0、TCORB_1（または TCORB_Y、TCORB_X）を 16 ビットレジスタとしてワードアクセスすることも可能です。TCORB の値は TCNT と常に比較され、一致すると TCSR の CMFB が 1 にセットされます。ただし、TCORB へのライトサイクルの T2 ステートでの比較は禁止されています。また、この一致信号（コンペアマッチ B）と TCSR の OS3、OS2 ビットの設定により、TMO 端子からのタイマ出力を制御することができます。TCORB の初期値は H'FF です。

13.3.4 タイマコントロールレジスタ（TCR）

TCR は TCNT の入力クロックの選択、TCNT のクリア条件指定、各割り込み要求の制御を行います。

ビット	ビット名	初期値	R/W	説　明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブル B TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求（CMIB）の許可または禁止を選択します。 0：CMFB による割り込み要求（CMIB）を禁止 1：CMFB による割り込み要求（CMIB）を許可
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブル A TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求（CMIA）の許可または禁止を選択します。 0：CMFA による割り込み要求（CMIA）を禁止 1：CMFA による割り込み要求（CMIA）を許可
5	OVIE	0	R/W	タイマオーバフローインタラプトイネーブル TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求（OVI）の許可または禁止を選択します。 0：OVF による割り込み要求（OVI）を禁止 1：OVF による割り込み要求（OVI）を許可
4 3	CCLR1 CCLR0	0 0	R/W R/W	カウンタクリア 1、0 TCNT のクリア条件を指定します。 00：クリアを禁止 01：コンペアマッチ A によりクリア 10：コンペアマッチ B によりクリア 11：外部リセット入力の立ち上がりエッジによりクリア
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	クロックセレクト 2～0 STCR の ICKS1、ICKS0 ビットとの組み合わせで、TCNT に入力するクロックとカウント条件を選択します。表 13.2 を参照してください。

表 13.2 TCNT に入力するクロックとカウント条件

チャネル	TCR			STCR		説　明
	CKS2	CKS1	CKS0	ICKS1	ICKS0	
TMR_0	0	0	0	＊	＊	クロック入力を禁止
	0	0	1	＊	0	内部クロックφ／8 立ち下がりエッジでカウント
	0	0	1	＊	1	内部クロックφ／2 立ち下がりエッジでカウント
	0	1	0	＊	0	内部クロックφ／64 立ち下がりエッジでカウント
	0	1	0	＊	1	内部クロックφ／32 立ち下がりエッジでカウント
	0	1	1	＊	0	内部クロックφ／1024 立ち下がりエッジでカウント
	0	1	1	＊	1	内部クロックφ／256 立ち下がりエッジでカウント
	1	0	0	＊	＊	TCNT_1 のオーバフロー信号でカウント*
TMR_1	0	0	0	＊	＊	クロック入力を禁止
	0	0	1	0	＊	内部クロックφ／8 立ち下がりエッジでカウント
	0	0	1	1	＊	内部クロックφ／2 立ち下がりエッジでカウント
	0	1	0	0	＊	内部クロックφ／64 立ち下がりエッジでカウント
	0	1	0	1	＊	内部クロックφ／128 立ち下がりエッジでカウント
	0	1	1	0	＊	内部クロックφ／1024 立ち下がりエッジでカウント
	0	1	1	1	＊	内部クロックφ／2048 立ち下がりエッジでカウント
	1	0	0	＊	＊	TCNT_0 のコンペアマッチ A でカウント*
TMR_Y	0	0	0	＊	＊	クロック入力を禁止
	0	0	1	＊	＊	内部クロックφ／4 立ち下がりエッジでカウント
	0	1	0	＊	＊	内部クロックφ／256 立ち下がりエッジでカウント
	0	1	1	＊	＊	内部クロックφ／2048 立ち下がりエッジでカウント
	1	0	0	＊	＊	設定禁止
TMR_X	0	0	0	＊	＊	クロック入力を禁止
	0	0	1	＊	＊	内部クロックφでカウント
	0	1	0	＊	＊	内部クロックφ／2 立ち下がりエッジでカウント
	0	1	1	＊	＊	内部クロックφ／4 立ち下がりエッジでカウント
	1	0	0	＊	＊	設定禁止
共通	1	0	1	＊	＊	外部クロックの立ち上がりエッジでカウント
	1	1	0	＊	＊	外部クロックの立ち下がりエッジでカウント
	1	1	1	＊	＊	外部クロックの立ち上がり／立ち下がり両エッジでカウント

【記号説明】＊：Don't care

【注】* TMR_0 のクロック入力を TCNT_1 のオーバフロー信号とし、TMR_1 のクロック入力を TCNT_0 のコンペアマッチ信号とするとカウントアップクロックが発生しません。この設定は行わないでください。

13.3.5 タイマコントロール／ステータスレジスタ（TCSR）

TCSR はステータスフラグの表示およびコンペアマッチによる出力制御を行います。

- TCSR_0

ビット	ビット名	初期値	R/W	説　明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B ［セット条件］ TCNT_0 の値と TCORB_0 の値が一致したとき ［クリア条件］ CMFB＝1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A ［セット条件］ TCNT_0 の値と TCORA_0 の値が一致したとき ［クリア条件］ CMFA＝1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ ［セット条件］ TCNT_0 の値が H'FF から H'00 にオーバフローしたとき ［クリア条件］ OVF＝1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ADTE	0	R/W	A/D トリガイネーブル コンペアマッチ A による A/D 変換開始要求の許可または禁止を選択します。 0：コンペアマッチ A による A/D 変換開始要求を禁止 1：コンペアマッチ A による A/D 変換開始要求を許可
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB_0 と TCNT_0 のコンペアマッチ B による TMO0 端子の出力方法を選択します。 00：変化しない 01：0 出力 10：1 出力 11：反転出力（トグル出力）
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1、0 TCORA_0 と TCNT_0 のコンペアマッチ A による TMO0 端子の出力方法を選択します。 00：変化しない 01：0 出力 10：1 出力 11：反転出力（トグル出力）

【注】 * フラグをクリアするための 0 ライトのみ可能です。

- TCSR_1

ビット	ビット名	初期値	R/W	説　明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B ［セット条件］ TCNT_1 の値と TCORB_1 の値が一致したとき ［クリア条件］ CMFB＝1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A ［セット条件］ TCNT_1 の値と TCORA_1 の値が一致したとき ［クリア条件］ CMFA＝1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ ［セット条件］ TCNT_1 の値が H'FF から H'00 にオーバフローしたとき ［クリア条件］ OVF＝1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	―	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB_1 と TCNT_1 のコンペアマッチ B による TMO1 端子の出力方法を選択します。 00：変化しない 01：0 出力 10：1 出力 11：反転出力（トグル出力）
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1、0 TCORA_1 と TCNT_1 のコンペアマッチ A による TMO1 端子の出力方法を選択します。 00：変化しない 01：0 出力 10：1 出力 11：反転出力（トグル出力）

【注】* フラグをクリアするための 0 ライトのみ可能です。

- TCSR_Y

ビット	ビット名	初期値	R/W	説　明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B ［セット条件］ TCNT_Y の値と TCORB_Y の値が一致したとき ［クリア条件］ CMFB＝1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A ［セット条件］ TCNT_Y の値と TCORA_Y の値が一致したとき ［クリア条件］ CMFA＝1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ ［セット条件］ TCNT_Y の値が H'FF から H'00 にオーバフローしたとき ［クリア条件］ OVF＝1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ICIE	1	R/W	インプットキャプチャインタラプトイネーブル TCSR_X の ICF が 1 にセットされたとき、ICF による割込み要求（ICIX）の許可または禁止を選択します。 0：ICF による割込み要求（ICIX）を禁止 1：ICF による割込み要求（ICIX）を許可
3 2	OS3 OS2	0 0	R/W R/W	アウトプットセレクト 3、2 TCORB_Y と TCNT_Y のコンペアマッチ B による TMOY 端子の出力方法を選択します。 00：変化しない 01：0 出力 10：1 出力 11：反転出力（トグル出力）
1 0	OS1 OS0	0 0	R/W R/W	アウトプットセレクト 1、0 TCORA_Y と TCNT_Y のコンペアマッチ A による TMOY 端子の出力方法を選択します。 00：変化しない 01：0 出力 10：1 出力 11：反転出力（トグル出力）

【注】＊ フラグをクリアするための 0 ライトのみ可能です。

- TCSR_X

ビット	ビット名	初期値	R/W	説　明
7	CMFB	0	R/(W)*	コンペアマッチフラグ B ［セット条件］ TCNT_X の値と TCORB_X の値が一致したとき ［クリア条件］ CMFB＝1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき
6	CMFA	0	R/(W)*	コンペアマッチフラグ A ［セット条件］ TCNT_X の値と TCORA_X の値が一致したとき ［クリア条件］ CMFA＝1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき
5	OVF	0	R/(W)*	タイマオーバフローフラグ ［セット条件］ TCNT_X の値が H'FF から H'00 にオーバフローしたとき ［クリア条件］ OVF＝1 の状態で OVF をリードした後、OVF に 0 をライトしたとき
4	ICF	0	R/(W)*	インプットキャプチャフラグ ［セット条件］ タイマコネクションの TCONRI の ICST ビットが 1 にセットされた後、外部リセット信号に立ち上がりエッジ、立ち下がりエッジの順でエッジを検出したとき ［クリア条件］ ICF＝1 の状態で ICF をリードした後、ICF に 0 をライトしたとき
3	OS3	0	R/W	アウトプットセレクト 3、2 TCORB_X と TCNT_X のコンペアマッチ B による TMOX 端子の出力方法を選択します。 00：変化しない 01：0 出力 10：1 出力 11：反転出力（トグル出力）
2	OS2	0	R/W	
1	OS1	0	R/W	アウトプットセレクト 1、0 TCORA_X と TCNT_X のコンペアマッチ A による TMOX 端子の出力方法を選択します。 00：変化しない 01：0 出力 10：1 出力 11：反転出力（トグル出力）
0	OS0	0	R/W	

【注】* フラグをクリアするための 0 ライトのみ可能です。

13.3.6 インプットキャプチャレジスタ（TICR）

TICR は 8 ビットのレジスタです。外部リセット入力の立ち下がりで TCNT の内容が TICR に転送されます。CPU から直接アクセスすることはできません。TICR の機能はタイマコネクションで使用されます。詳細は**「第 14 章 タイマコネクション」**を参照してください。

13.3.7 タイムコンスタントレジスタ（TCORC）

TCORC は 8 ビットのリード/ライト可能なレジスタです。TCORC と TICR の内容を加算した値は TCNT と常に比較され、一致するとコンペアマッチ C 信号が発生されます。ただし、TCORC へのライトサイクルの T2 ステートと TICR のインプットキャプチャサイクルの比較は禁止されています。TCORC の初期値は H'FF です。TCORC の機能はタイマコネクションで使用されます。詳細は**「第 14 章　タイマコネクション」**を参照してください。

13.3.8 インプットキャプチャレジスタ R、F（TICRR、TICRF）

TICRR、TICRF は 8 ビットのリード専用のレジスタです。TICRR、TICRF は、タイマコネクションの TCONRI の ICST ビットが 1 にセットされているときに、外部リセット入力の立ち上がり、立ち下がりの順で TCNT の内容が転送されます。1 回のキャプチャ動作が終了すると ICST ビットは 0 にクリアされます。TICRR、TICRF の初期値は H'00 です。TICRR、TICRF の機能はタイマコネクションで使用されます。詳細は**「第 14 章　タイマコネクション」**を参照してください。

13.3.9 タイマインプットセレクトレジスタ（TISR）

TISR は、カウンタ外部クロック／リセット入力の信号源を選択します。

ビット	ビット名	初期値	R/W	説　明
7〜1	—	すべて 1	R/(W)	リザーブビット 初期値を変更しないでください。
0	IS	0	R/W	インプットセレクト TMRY のカウンタ外部クロック/リセット入力の信号源として、内部同期信号(IVG 信号)またはタイマクロック/リセット入力端子(TMIY または ExTMIY を選択します。 0：IVG 信号を選択 1：TMIY または ExTMIY(TMCIY/TMRIY)を選択

13.4 動作説明

13.4.1 パルス出力

任意のデューティパルスを出力させる例を**図 13.3** に示します。

1. TCORAのコンペアマッチによりTCNTがクリアされるようにTCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介在なしに出力できます。

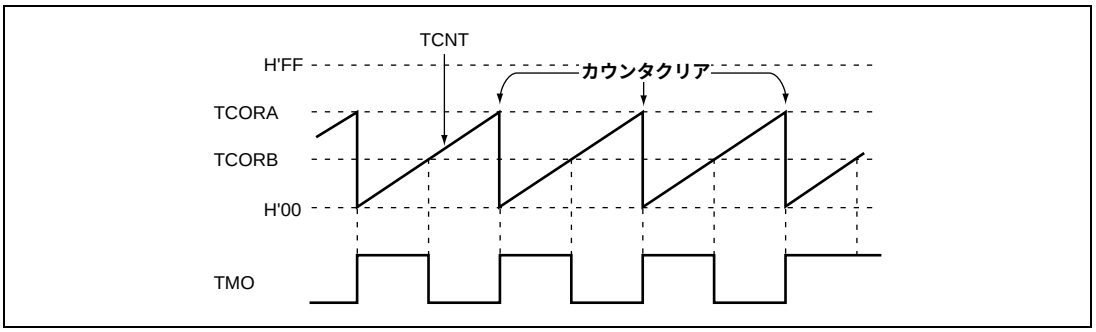


図 13.3 パルス出力例

13.5 動作タイミング

13.5.1 TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを**図** 13.4 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを**図** 13.5 に示します。なお外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

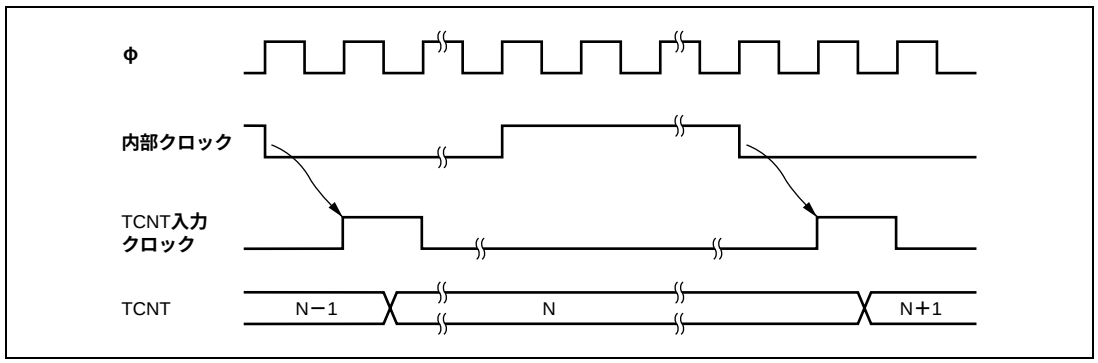


図 13.4 **内部クロック動作時のカウントタイミング**

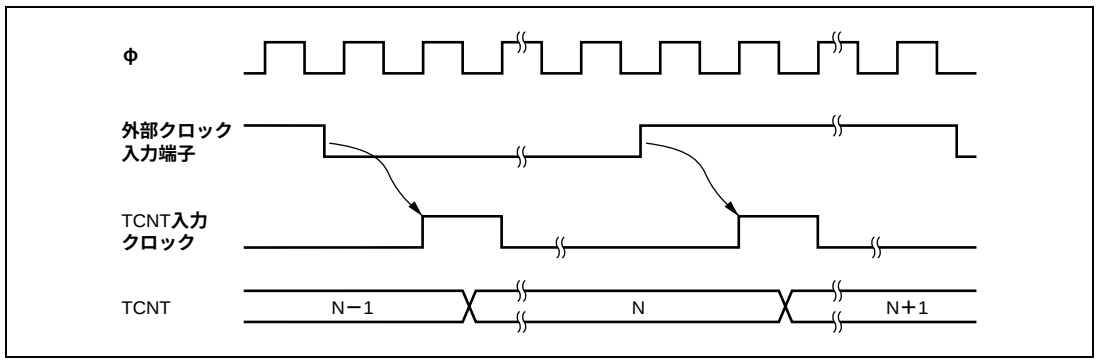


図 13.5 **外部クロック動作時のカウントタイミング**

13.5.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

TCSR の CMFA、CMFB フラグは、TCNT と TCOR の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。したがって、TCNT と TCOR の値が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF フラグのセットタイミングを**図** 13.6 に示します。

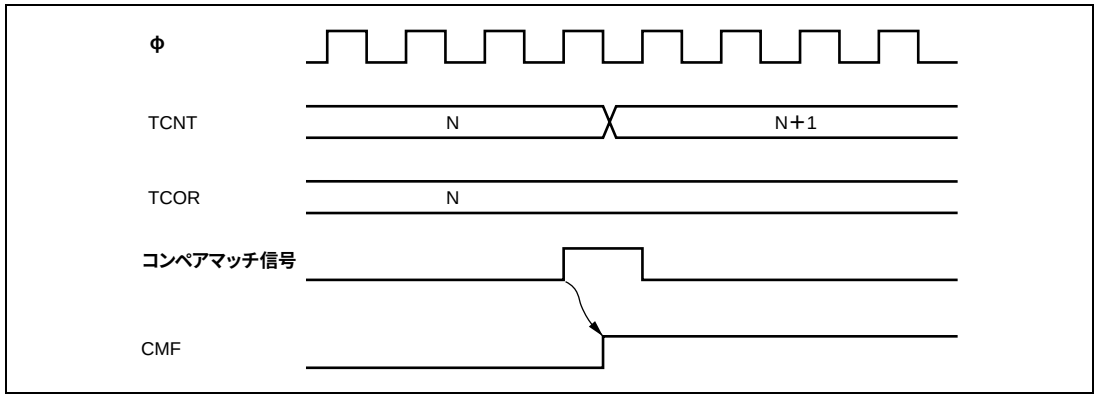


図 13.6 **コンペアマッチ時の** CMF **フラグのセットタイミング**

13.5.3 コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR の OS3～OS0 ビットで設定される出力値がタイマ出力端子に出力されます。コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを**図** 13.7 に示します。

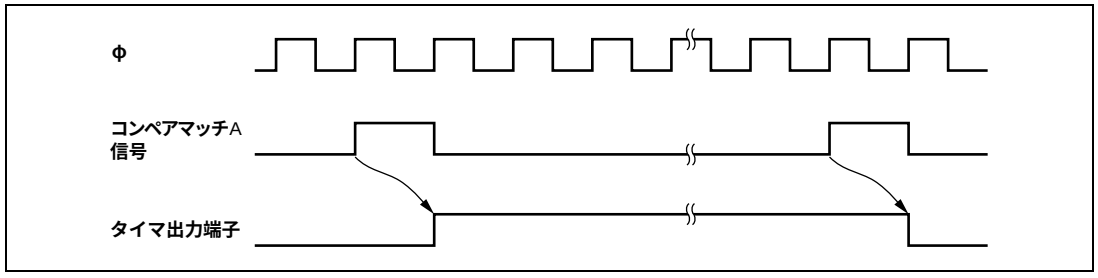


図 13.7 **コンペアマッチ** A **信号によるトグル出力のタイマ出力タイミング**

13.5.4 コンペアマッチによるカウンタクリアタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。コンペアマッチによるカウンタクリアタイミングを**図** 13.8 に示します。

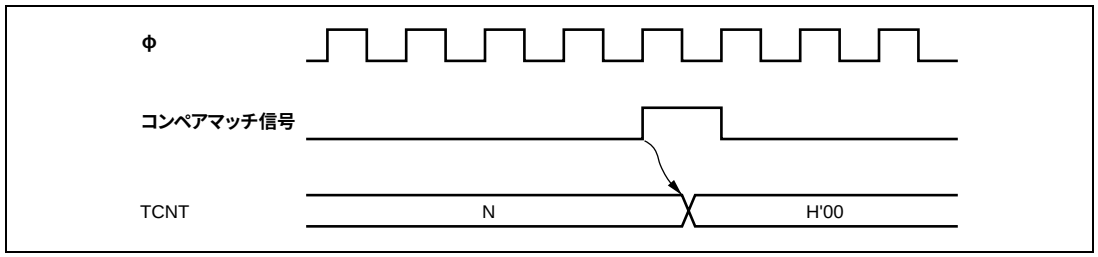


図 13.8 **コンペアマッチによるカウンタクリアタイミング**

13.5.5 TCNT の外部リセットタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択により外部リセット入力の立ち上がりエッジでクリアされます。クリアまでのパルス幅は 1.5 ステート以上必要となります。外部リセット入力によるクリアタイミングを**図** 13.9 に示します。

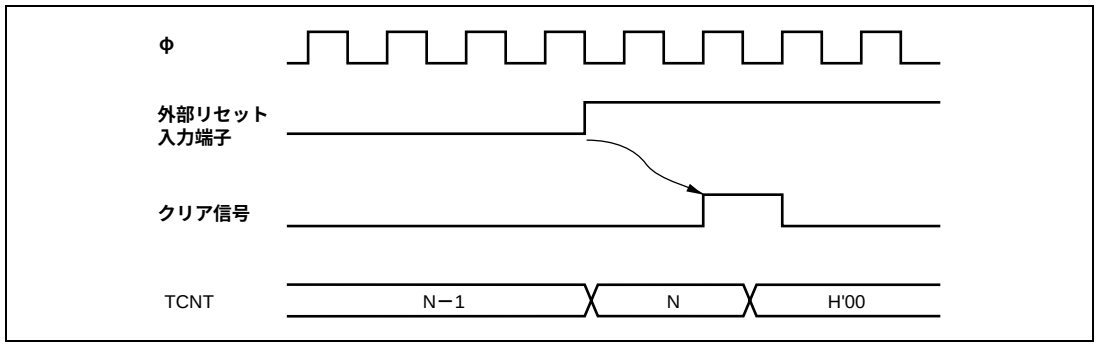


図 13.9 **外部リセット入力によるクリアタイミング**

13.5.6 オーバフローフラグ（OVF）のセットタイミング

TCSR の OVF は、TCNT がオーバフロー（H'FF→H'00）したとき出力されるオーバフロー信号により 1 にセットされます。OVF フラグのセットタイミングを**図** 13.10 に示します。

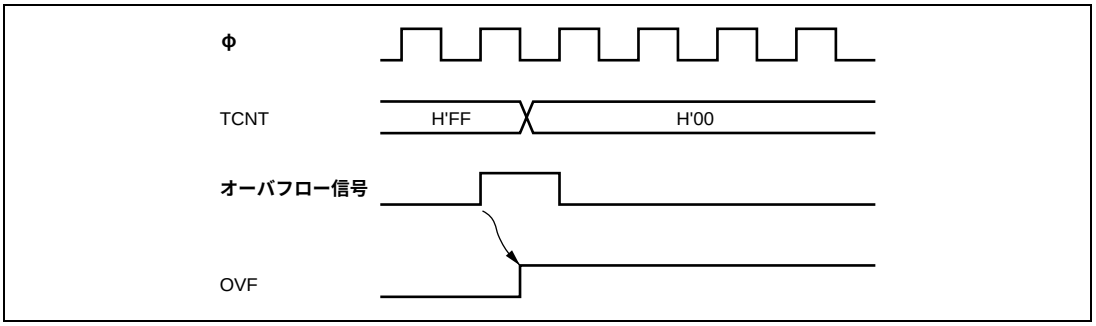


図 13.10 OVF **フラグのセットタイミング**

13.6 TMR_0、TMR_1 のカスケード接続

TCR_0、TCR_1 のいずれか一方の CKS2～CKS0 ビットを B'100 に設定すると、2 チャネルの 8 ビットタイマはカスケード接続されます。この場合、1 本の 16 ビットタイマとして使用する 16 ビットタイマモードか、またはチャネル 0 の 8 ビットタイマのコンペアマッチをチャネル 1 のタイマでカウントするコンペアマッチカウントモードにすることができます。

13.6.1 16 ビットカウントモード

TCR_0 の CKS2～CKS0 ビットが B'100 のとき、タイマはチャネル 0 を上位 8 ビット、チャネル 1 を下位 8 ビットとする 1 チャネルの 16 ビットタイマとして動作します。

(1) コンペアマッチフラグのセット

- TCSR_0のCMFフラグは、16ビットのコンペアマッチが発生したとき1にセットされます。
- TCSR_1のCMFフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされます。

(2) カウンタクリア指定

- TCR_0のCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生したとき16ビットカウンタ（TCNT_0、TCNT_1の両方）がクリアされます。また、TMI0端子によるカウンタクリアを設定した場合も、16ビットカウンタ（TCNT_0、TCNT_1の両方）がクリアされます。
- TCR_1のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

(3) 端子出力

- TCSR_0のOS3～OS0ビットによるTMO0端子の出力制御は16ビットのコンペアマッチ条件に従います。
- TCSR_1のOS3～OS0ビットによるTMO1端子の出力制御は下位8ビットのコンペアマッチ条件に従います。

13.6.2 コンペアマッチカウントモード

TCR_1 の CKS2～CKS0 ビットが B'100 のとき、TCNT_1 はチャネル 0 のコンペアマッチ A をカウントします。チャネル 0、1 の制御はそれぞれ独立に行われます。CMF フラグのセット、割り込みの発生、TMO 端子の出力、カウンタクリアなどは各チャネルの設定に従います。

13.7 インプットキャプチャ動作

TMR_X には、インプットキャプチャレジスタ（TICR、TICRR、TICRF）があります。TICRR と TICRF は、タイマコネクションの TCONRI の ICST ビットの制御で 1 回限りのキャプチャ動作をして、短いパルスのパルス幅を測定することができます。ICST ビットが 1 にセットされた後、TMRIX（TMR_X のインプットキャプチャ入力信号）に立ち上がりエッジ→立ち下がりエッジの順でエッジが検出されると、そのときの TCNT_X の内容が TICRR、TICRF にそれぞれ転送され、ICST ビットは 0 にクリアされます。

また、TCONRI のその他のビットの設定により TMRIX 入力信号を切り替えることができます。

(1) インプットキャプチャ入力タイミング

インプットキャプチャ機能を設定した場合の動作タイミングを**図** 13.11 に示します。

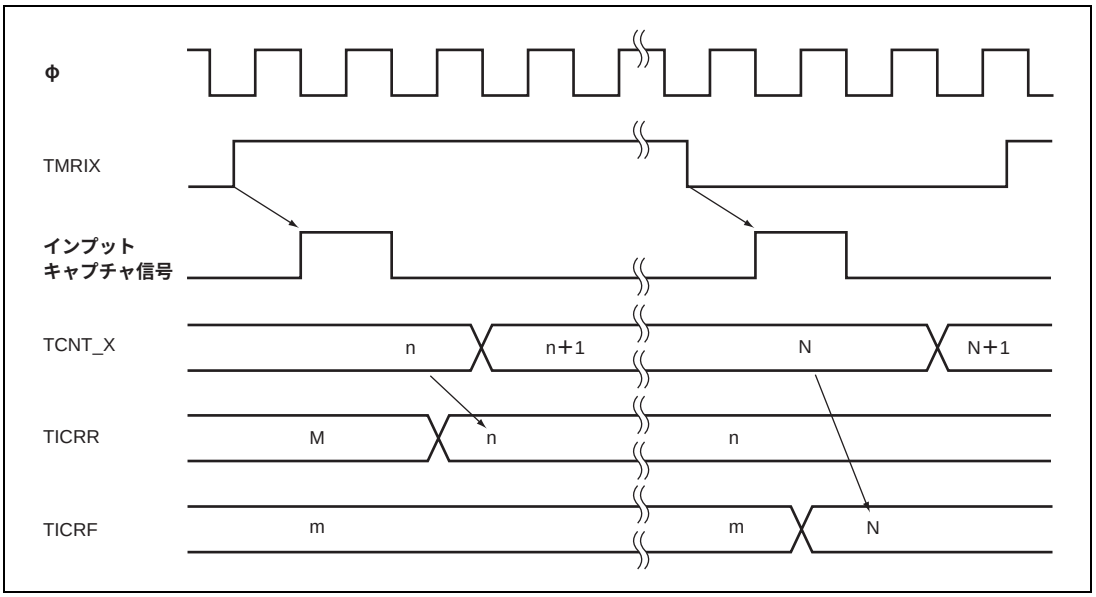


図 13.11 **インプットキャプチャ動作タイミング**

また、TICRR、TICRF のリード時に、インプットキャプチャ入力を入力すると、インプットキャプチャ信号は 1 システムクロック（φ）遅延されます。このタイミングを**図** 13.12 に示します。

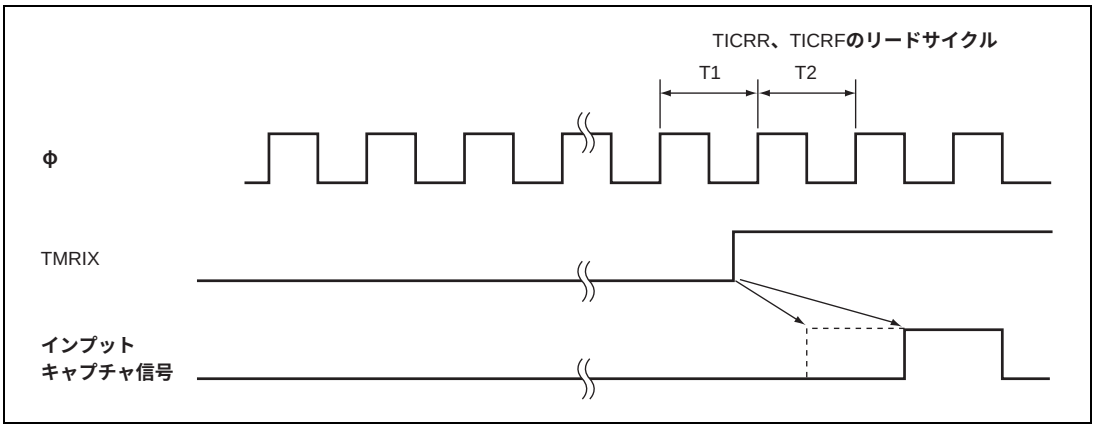


図 13.12　**インプットキャプチャ信号タイミング**
（TICRR、TICRF のリード時に、インプットキャプチャ入力を入力した場合）

(2) インプットキャプチャ入力信号の選択

タイマコネクションの TCONRI レジスタの各ビットの設定により、TMRIX を切り替えることができます。インプットキャプチャ信号の選択を**図** 13.13 および**表** 13.3 に示します。詳細は**「**14.3.1　**タイマコネクションレジスタ I（TCONRI）」**を参照してください。

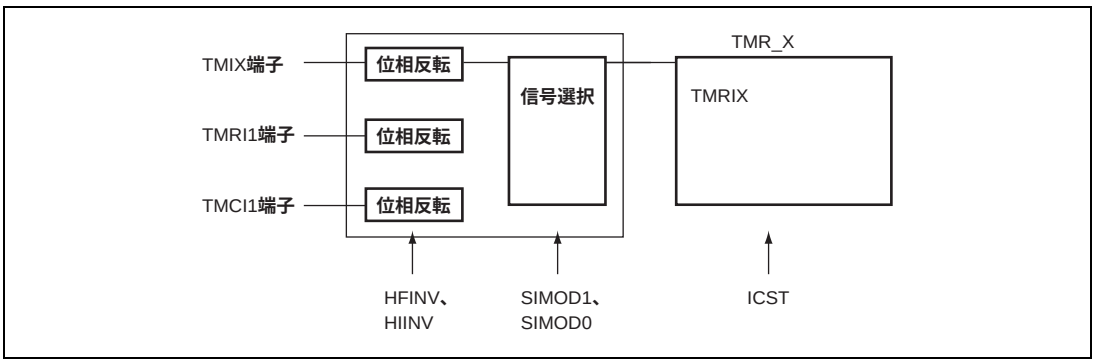


図 13.13　**インプットキャプチャ動作タイミング**

表 13.3 インプットキャプチャ信号の選択

TCONRI					説　　明
ビット 4	ビット 7	ビット 6	ビット 3	ビット 1	
ICST	SIMOD1	SIMOD0	HFINV	HIINV	
0	＊	＊	＊	＊	インプットキャプチャ機能を使用しない
1	0	0	0	＊	TMIX 端子の入力信号を選択
			1	＊	TMIX 端子入力の反転信号を選択
		1	＊	0	TMRI1 端子の入力信号を選択
			＊	1	TMRI1 端子入力の反転信号を選択
	1	1	＊	0	TMCI1 端子の入力信号を選択
			＊	1	TMCI1 端子入力の反転信号を選択

【記号説明】＊：Don't care

13.8 割り込み要因

TMR_0、TMR_1、TMR_Y の割り込み要因は、CMIA、CMIB、OVI の 3 種類があります。TMR_X の割り込み要因は、CMIA、CMIB、OVI、ICIX の 4 種類があります。**表 13.4** に各割り込み要因と優先順位を示します。各割り込み要因は、TCR または TCSR の各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

CMIA、CMIB 割り込みは、内蔵 DTC の起動要因とすることができます。

表 13.4 8 ビットタイマ TMR_0、TMR_1、TMR_Y、TMR_X の割り込み要因

チャネル	名　称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
TMR_X	CMIAX	TCORA_X のコンペアマッチ	OMFA	可	高
	CMIBX	TCORB_X のコンペアマッチ	CMFB	可	
	OVIX	TCNT_X のオーバフロー	OVF	不可	
	ICIX	インプットキャプチャ	ICF	不可	
TMR_0	CMIA0	TCORA_0 のコンペアマッチ	CMFA	可	
	CMIB0	TCORB_0 のコンペアマッチ	CMFB	可	
	OVI0	TCNT_0 のオーバフロー	OVF	不可	
TMR_1	CMIA1	TCORA_1 のコンペアマッチ	CMFA	可	
	CMIB1	TCORB_1 のコンペアマッチ	CMFB	可	
	OVI1	TCNT_1 のオーバフロー	OVF	不可	
TMR_Y	CMIAY	TCORA_Y のコンペアマッチ	OMFA	可	
	CMIBY	TCORB_Y のコンペアマッチ	CMFB	可	
	OVIY	TCNT_Y のオーバフロー	OVF	不可	低

13.9 使用上の注意

13.9.1 TCNT のライトとカウンタクリアの競合

図 13.14 のように TCNT のライトサイクル中の T2 ステートでカウンタクリアが発生すると、カウンタへのライトは行われずクリアが優先されます。

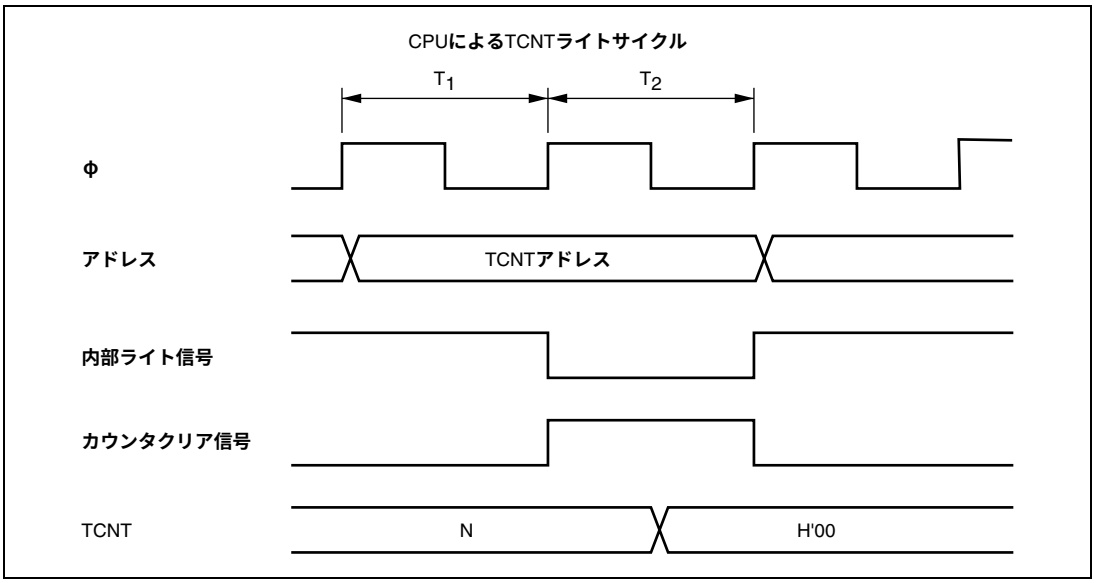


図 13.14 TCNT のライトとクリアの競合

13.9.2 TCNT のライトとカウントアップの競合

図 13.15 のように TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

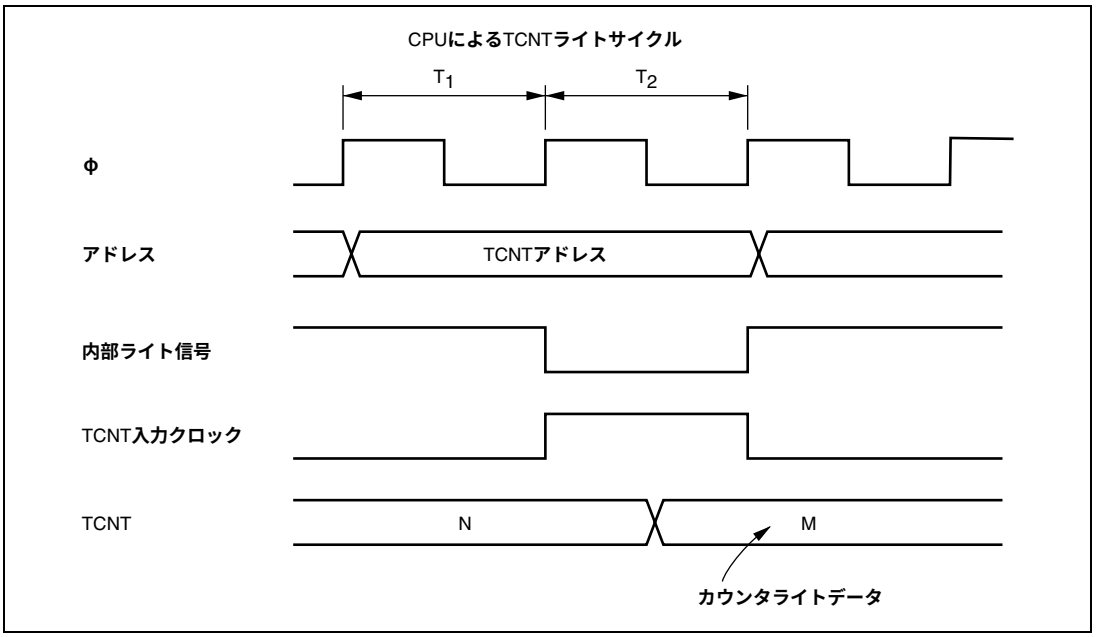


図 13.15 TCNT のライトとカウントアップの競合

13.9.3 TCOR のライトとコンペアマッチの競合

図 13.16 のように TCOR のライトサイクル中の T2 ステートでコンペアマッチが発生しても、TCOR のライトが優先されコンペアマッチ信号は禁止されます。TMR_X では TICR のインプットキャプチャは、TCORC へのライトと同様にコンペアマッチと競合します。このときもインプットキャプチャが優先され、コンペアマッチ信号は禁止されます。

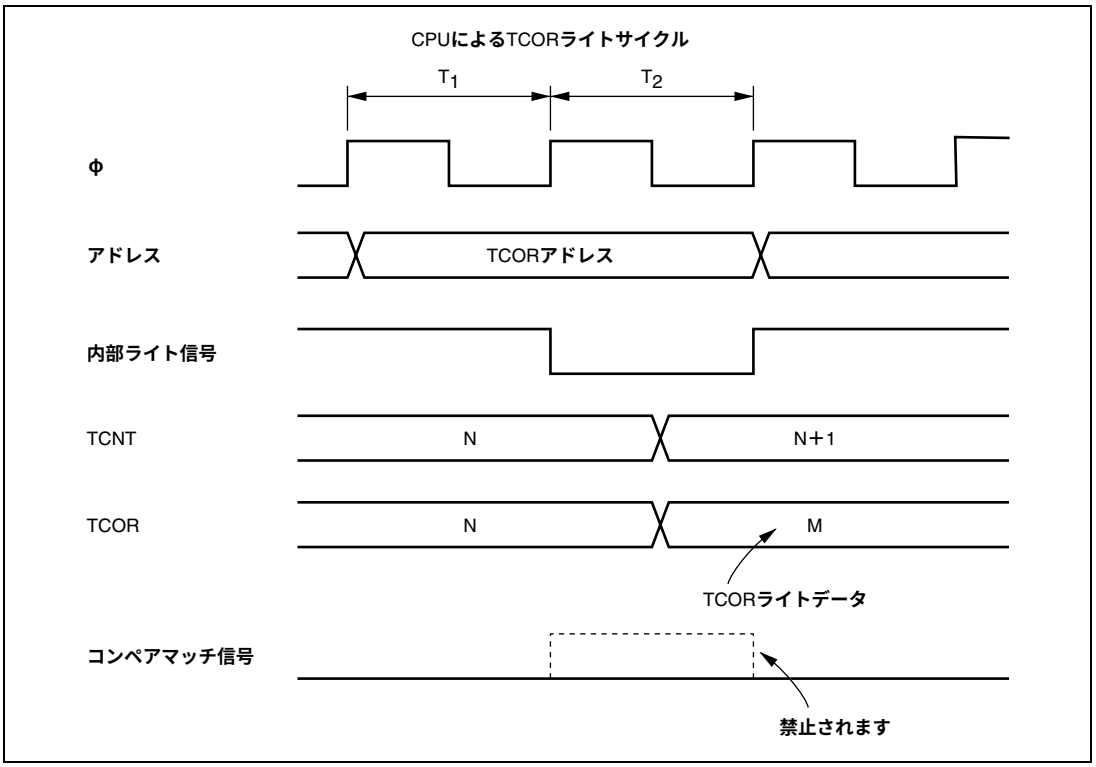


図 13.16 TCOR のライトとコンペアマッチの競合

13.9.4 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、**表** 13.5 に示すタイマ出力の優先順位に従って動作します。

表 13.5 **タイマ出力の優先順位**

出力設定	優先順位
トグル出力	高
1 出力	↑
0 出力	↑
変化しない	低

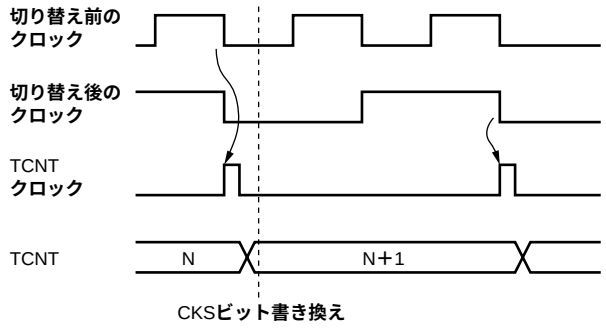
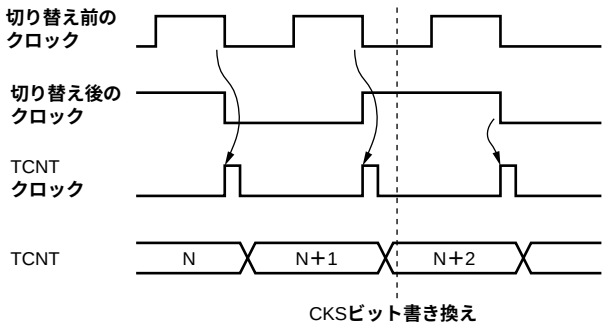
13.9.5 内部クロックの切り替えと TCNT の動作

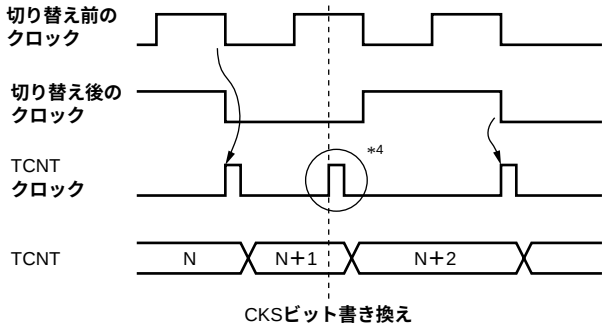
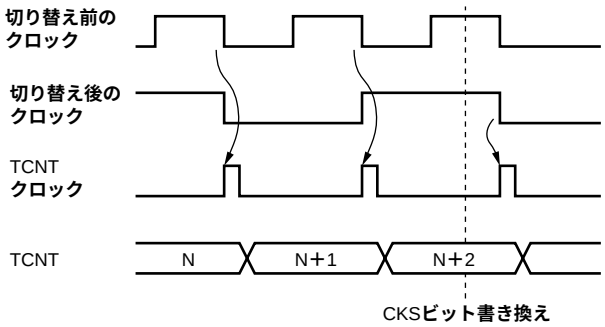
内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング（CKS1、CKS0 ビットの書き換え）と TCNT 動作の関係を**表 13.6** に示します。

内部クロックから TCNT クロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため**表 13.6** の No.3 のように、High→Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 13.6 内部クロックの切り替えと TCNT の動作

No	CKS1、CKS0 ビット書き換えタイミング	TCNT クロックの動作
1	Low→Low レベル[*1]の切り替え	
2	Low→High レベル[*2]の切り替え	

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
3	High→Low レベル*3 の切り替え	
4	High→High レベル の切り替え	

【注】 *1 Low レベル→停止、および停止→Low レベルの場合を含みます。

*2 停止→High レベルの場合を含みます。

*3 High レベル→停止を含みます。

*4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

13.9.6 カスケード接続時のモード設定

16 ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT_0、TCNT_1 の入力クロックが発生しなくなるためカウンタが停止して動作しません。この設定は行わないでください。

14. タイマコネクション

本 LSI は、タイマコネクションに 16 ビットのフリーランニングタイマ（FRT）と 3 チャネルの 8 ビットタイマ（TMR_1、TMR_X、TMR_Y）を接続し、PWM デコードやクランプ波形生成などの機能を実現することができます。

14.1 特長

- 5本の入力端子、4本の出力端子は、それぞれ位相反転を指定可能です。
  タイマコネクションの内部信号は、すべて正論理です。
- 入力端子には、信号入力検出を容易にするエッジ検出回路が接続されています。
- TMR_XでPWM入力信号のデコードが可能です。
- TMR_Xでクランプ波形生成が可能です。
- TMR_1で分周した外部クロック信号をFRTのキャプチャ入力信号として利用できます。
- FRTとTMR_Yで内部同期信号を生成できます。
- 入力信号やタイマコネクションで生成、モディファイした信号を選択して出力できます。

タイマコネクションのブロック図を**図** 14.1 に示します。

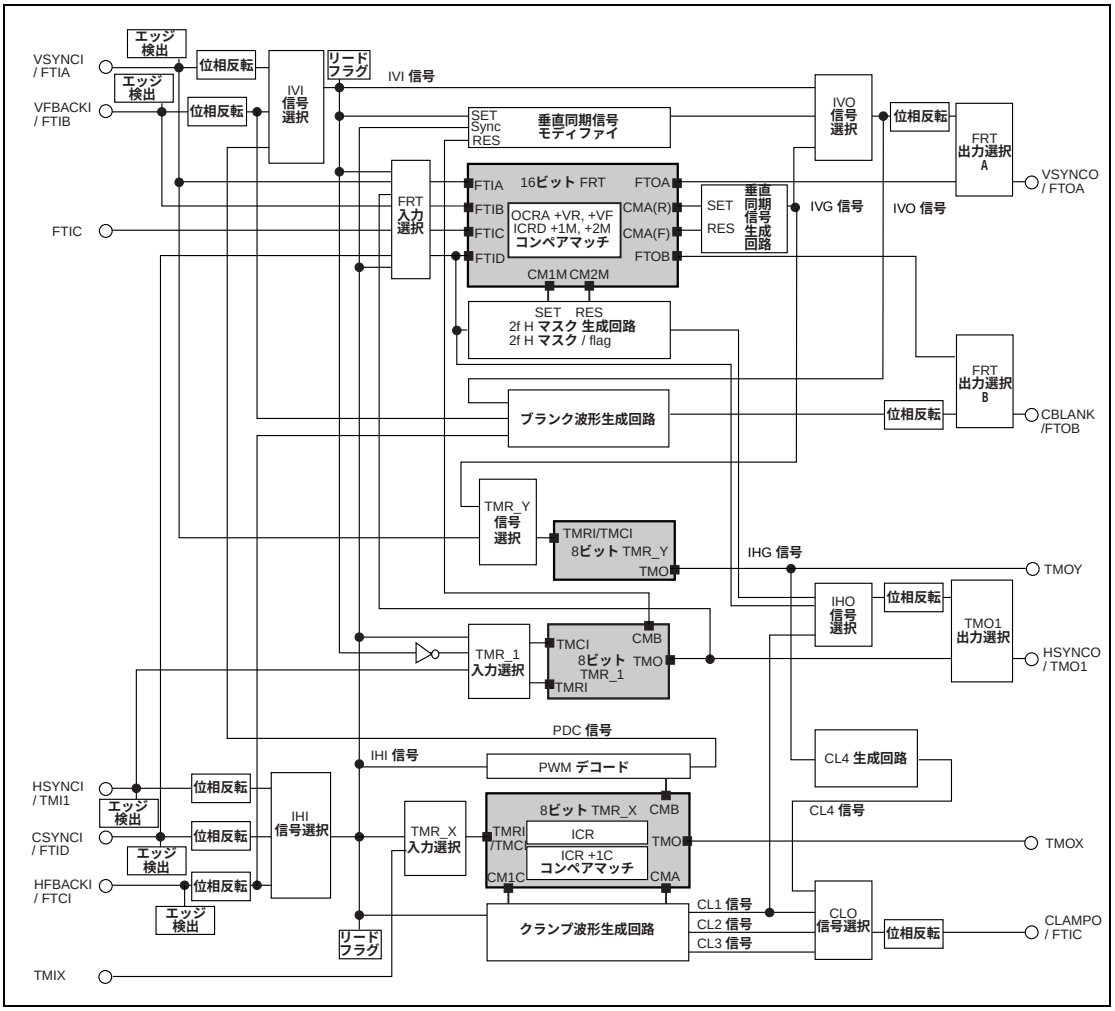


図 14.1 **タイマコネクションのブロック図**

14.2 入出力端子

タイマコネクションの入出力端子を**表** 14.1 に示します。

表 14.1 **端子構成**

名 称	記 号	入出力	機 能
垂直同期信号入力端子	VSYNCI	**入力**	**垂直同期信号入力端子または** FTIA **入力端子**
水平同期信号入力端子	HSYNCI	**入力**	**水平同期信号入力端子または** TMI1 **入力端子**
複合同期信号入力端子	CSYNCI	**入力**	**複合同期信号入力端子または** FTID **入力端子**
予備垂直同期信号入力端子	VFBACKI	**入力**	**予備垂直同期信号入力端子または** FTIB **入力端子**
予備水平同期信号入力端子	HFBACKI	**入力**	**予備水平同期信号入力端子または** FTCI **入力端子**
垂直同期信号出力端子	VSYNCO	**出力**	**垂直同期信号出力端子または** FTOA **出力端子**
水平同期信号出力端子	HSYNCO	**出力**	**水平同期信号出力端子または** TMO1 **出力端子**
クランプ波形出力端子	CLAMPO	**出力**	**クランプ波形出力端子または** FTIC **入力端子**
ブランク波形出力端子	CBLANK	**出力**	**ブランク波形出力端子または** FTOB **出力端子**

14.3 レジスタの説明

タイマコネクションには以下のレジスタがあります。

- **タイマコネクションレジスタ**I（TCONRI）
- **タイマコネクションレジスタ**O（TCONRO）
- **タイマコネクションレジスタ**S（TCONRS）
- **エッジセンスレジスタ**（SEDGR）

14.3.1 タイマコネクションレジスタ I（TCONRI）

TCONRI はタイマ相互の接続、同期信号入力の信号源や位相反転などを制御します。

ビット	ビット名	初期値	R/W	説　明
7	SIMOD1	0	R/W	入力同期モード選択 1、0
6	SIMOD0	0	R/W	IHI 信号、IVI 信号の信号源を選択します。 • モード名称 00：無信号 01：S オン G モード 10：コンポジットモード 11：セパレートモード • IHI 信号 00：HFBACKI 入力 01：CSYNCI 入力 1∗：HSYNCI 入力 • IVI 信号 00：VFBACKI 入力 01：PDC 入力 10：PDC 入力 11：VSYNCI 入力
5	SCONE	0	R/W	同期信号接続イネーブル FRT の FTI 入力、TMR_1 の TMI1 入力、TMR_X の TMIX 入力、TMR_Y の TMIY 入力の信号源を選択します。表 14.2 を参照してください。
4	ICST	0	R/W	インプットキャプチャスタートビット TMR_X の外部リセット入力（TMRIX）は、IHI 信号に接続されています。TMR_X はインプットキャプチャレジスタ（TICR、TICRR、TICRF）があります。TICRR と TICRF は、このビットの制御で 1 回限りのキャプチャ動作を行い、パルス幅を測定することができます。このビットが 1 にセットされたとき、TMRIX に立ち上がりエッジ、立ち下がりエッジの順でエッジが検出されると、そのときの TCNT の内容が TICRR、TICRF にそれぞれキャプチャされ、このビットはクリアされます。 ［クリア条件］ TMRIX に立ち上がりエッジ、立ち下がりエッジの順でエッジを検出したとき ［セット条件］ ICST＝0 の状態で ICST リード後、ICST に 1 をライトしたとき

ビット	ビット名	初期値	R/W	説　明
3	HFINV	0	R/W	入力同期信号反転 予備水平同期信号（HFBACKI）、予備垂直同期信号（VFBACKI）、水平同期信号（HSYNCI）、複合同期信号（CSYNCI）および垂直同期信号（VSYNCI）の入力位相の反転を選択します。 HFINV 0：HFBACKI 端子の状態をそのまま HFBACKI 入力とする 1：HFBACKI 端子の状態を反転して HFBACKI 入力とする VFINV 0：VFBACKI 端子の状態をそのまま VFBACKI 入力とする 1：VFBACKI 端子の状態を反転して VFBACKI 入力とする HIINV 0：HSYNCI、CSYNCI 端子の状態をそのまま HSYNCI、CSYNCI 入力とする 1：HSYNCI、CSYNCI 端子の状態を反転して HSYNCI、CSYNCI 入力とする VIINV 0：VSYNCI 端子の状態をそのまま VSYNCI 入力とする 1：VSYNCI 端子の状態を反転して VSYNCI 入力とする
2	VFINV	0	R/W	
1	HIINV	0	R/W	
0	VIINV	0	R/W	

【記号説明】＊：Don't care

表 14.2　同期信号接続イネーブル

SCONE	モード名称	FTIA	FTIB	FTIC	FTID	TMCI1	TMRI1
0	通常接続（初期値）	FTIA 入力	FTIB 入力	FTIC 入力	FTID 入力	TMI1 入力	TMI1 入力
1	同期信号接続モード	IVI 信号	TMO1 信号	VFBACKI 入力	IHI 信号	IHI 信号	IVI 反転信号

SCONE	モード名称	TMCIX	TMRIX	TMCIY	TMRIY
0	通常接続（初期値）	TMIX 入力	TMIX 入力	TMIY 入力	TMIY 入力
1	同期信号接続モード	IHI 信号	IHI 信号	IVG 信号	IVG 信号

14.3.2 タイマコネクションレジスタ O（TCONRO）

TCONRO は出力信号の出力制御や位相反転などを制御します。

ビット	ビット名	初期値	R/W	説　明
7	HOE	0	R/W	出力許可 水平同期信号（HSYNCO）、垂直同期信号（VSYNCO）、クランプ波形（CLAMPO）およびブランク波形（CBLANK）出力の許可／禁止を制御します。出力を禁止した当該端子の状態は、ポートの DR、DDR および FRT、TMR、PWM の設定によって決定されます。 出力の許可／禁止の制御はポート、FRT、TMR の入力機能には影響を与えませんが、FRT や TMR の入力信号の一部は、TCONRI の SCONE ビットにより決定されます。 HOE 0：P43/TMO1/ HSYNCO 端子は、P43/TMO1 端子として動作する。 1：P43/TMO1/ HSYNCO 端子は、HSYNCO 端子として動作する。 VOE 0：P61/FTOA/ VSYNCO 端子は、P61/FTOA 端子として動作する。 1：P61/FTOA/ VSYNCO 端子は、VSYNCO 端子として動作する。 CLOE 0：P64/FTIC/ CLAMPO 端子は、P64/FTIC 端子として動作する。 1：P64/FTIC/ CLAMPO 端子は、CLAMPO 端子として動作する。 CBOE 0：P66/FTOB/ CBLANK 端子は、P66/FTOB 端子として動作する。 1：P66/FTOB/ CBLANK 端子は、CBLANK 端子として動作する。
6	VOE	0	R/W	
5	CLOE	0	R/W	
4	CBOE	0	R/W	

ビット	ビット名	初期値	R/W	説　明
3	HOINV	0	R/W	出力同期信号反転 水平同期信号（HSYNCO）、垂直同期信号（VSYNCO）、クランプ波形（CLAMPO）およびブランク波形（CBLANK）の出力位相の反転を選択します。 HOINV 0：IHO 信号をそのまま HSYNCO 出力とする。 1：IHO 信号を反転して HSYNCO 出力とする。 VOINV 0：IVO 信号をそのまま VSYNCO 出力とする。 1：IVO 信号を反転して VSYNCO 出力とする。 CLOINV 0：CLO 信号（CL1、CL2、CL3 または CL4 信号）をそのまま CLAMPO 出力とする。 1：CLO 信号（CL1、CL2、CL3 または CL4 信号）を反転して CLAMPO 出力とする。 CBOINV 0：CBLANK 信号をそのまま CBLANK 出力とする。 1：CBLANK 信号を反転して CBLANK 出力とする。
2	VOINV	0	R/W	
1	CLOINV	0	R/W	
0	CBOINV	0	R/W	

14.3.3　タイマコネクションレジスタ S（TCONRS）

TCONRS は TMR_X、TMR_Y のアクセスや、同期信号出力の信号源および生成方法を選択します。

ビット	ビット名	初期値	R/W	説　明
7	TMRX/Y	0	R/W	TMR_X/TMR_Y アクセス選択 表 14.3 を参照してください。 0：アドレス H'(FF)FFF0～H'(FF)FFF5 で TMR_X のレジスタをアクセスする 1：アドレス H'(FF)FFF0～H'(FF)FFF5 で TMR_Y のレジスタをアクセスする
6	ISGENE	0	R/W	内部同期信号選択 IHO 信号、IVO 信号および CLO 信号の信号源として、HOMOD1、HOMOD0、VOMOD1、VOMOD0、CLMOD1、CLMOD0 とともに、内部同期信号（IHG 信号、IVG 信号、CL4 信号）を選択します。

ビット	ビット名	初期値	R/W	説　明
5	HOMOD1	0	R/W	水平同期出力モード選択 1、0
4	HOMOD0	0	R/W	IHO 信号の信号源および生成方法を選択します。 • ISGENE=0 の場合 00：IHI 信号（2fH モディファイなし）を選択 01：IHI 信号（2fH モディファイあり）を選択 1∗：CL1 信号を選択 • ISGENE=1 の場合 ∗∗：IHG 信号を選択
3	VOMOD1	0	R/W	垂直同期出力モード選択 1、0
2	VOMOD0	0	R/W	IVO 信号の信号源および生成方法を選択します。 • ISGENE=0 の場合 00：IVI 信号（立ち下がりモディファイなし、IHI 同期なし）を選択 01：IVI 信号（立ち下がりモディファイなし、IHI 同期あり）を選択 10：IVI 信号（立ち下がりモディファイあり、IHI 同期なし）を選択 11：IVI 信号（立ち下がりモディファイあり、IHI 同期あり）を選択 • ISGENE=1 の場合 ∗∗：IVG 信号を選択
1	CLMOD1	0	R/W	クランプ波形モード選択 1、0
0	CLMOD0	0	R/W	CLO 信号（クランプ波形）の信号源を選択します。 • ISGENE=0 の場合 00：CL1 信号を選択 01：CL2 信号を選択 1∗：CL3 信号を選択 • ISGENE=1 の場合 ∗∗：CL4 信号を選択

【記号説明】∗：Don’t care

表 14.3　TMR_X/TMR_Y のアクセス可能なレジスタ

TMRX/Y	H'FFF0	H'FFF1	H'FFF2	H'FFF3	H'FFF4	H'FFF5	H'FFF6	H'FFF7
0	TMR_X TCR_X	TMR_X TCSR_X	TMR_X TICRR	TMR_X TICRF	TMR_X TCNT_X	TMR_X TCORC	TMR_X TCORA_X	TMR_X TCORB_X
1	TMR_Y TCR_Y	TMR_Y TCSR_Y	TMR_Y TCORA_Y	TMR_Y TCORB_Y	TMR_Y TCNT_Y	TMR_Y TISR		

14.3.4 エッジセンスレジスタ（SEDGR）

SEDGR はタイマコネクション入力端子の立ち上がりエッジの検出、2fH モディファイの成立の検出、および IVI 信号、IHI 信号の位相判定に利用します。

ビット	ビット名	初期値	R/W	説　明
7	VEDG	0	R/(W)*[1]	VSYNCI エッジ VSYNCI 端子の立ち上がりエッジを検出します。 ［クリア条件］ VEDG=1 の状態で VEDG をリード後、VEDG に 0 をライトしたとき ［セット条件］ VSYNCI 端子の立ち上がりエッジを検出したとき
6	HEDG	0	R/(W)*[1]	HSYNCI エッジ HSYNCI 端子の立ち上がりエッジを検出します。 ［クリア条件］ HEDG=1 の状態で HEDG をリード後、HEDG に 0 をライトしたとき ［セット条件］ HSYNCI 端子の立ち上がりエッジを検出したとき
5	CEDG	0	R/(W)*[1]	CSYNCI エッジ CSYNCI 端子の立ち上がりエッジを検出します。 ［クリア条件］ CEDG=1 の状態で CEDG をリード後、CEDG に 0 をライトしたとき ［セット条件］ CSYNCI 端子の立ち上がりエッジを検出したとき
4	HFEDG	0	R/(W)*[1]	HFBACKI エッジ HFBACKI 端子の立ち上がりエッジを検出します。 ［クリア条件］ HFEDG=1 の状態で HFEDG をリード後、HFEDG に 0 をライトしたとき ［セット条件］ HFBACKI 端子の立ち上がりエッジを検出したとき
3	VFEDG	0	R/(W)*[1]	VFBACKI エッジ VFBACKI 端子の立ち上がりエッジを検出します。 ［クリア条件］ VFEDG=1 の状態で VFEDG をリード後、VFEDG に 0 をライトしたとき ［セット条件］ VFBACKI 端子の立ち上がりエッジを検出したとき

ビット	ビット名	初期値	R/W	説　明
2	PREDG	0	R/(W)*1	プリイコライゼーションフラグ IHI 信号の 2fH モディファイの条件成立を検出します。2fH モディファイの条件成立とは、マスク期間中に IHI 信号に立ち上がり／立ち下がりエッジが発生したことを表します。詳細は「14.4.4　IHI 信号の 2fH モディファイ」を参照してください。 ［クリア条件］ PREQF=1 の状態で PREQF をリード後、PREQF に 0 をライトしたとき ［セット条件］ IHI 信号の 2fH モディファイの条件成立を検出したとき
1	IHI	不定*2	R	IHI 信号レベル IHI 信号のレベルをリードします。 IHI 信号は TCONRI により信号源および位相反転が選択されます。このビットをリードして入力信号の正負を判定し TCONRI を書き換えることにより、IHI 信号を正位相に保ってください。 0：IHI 信号が Low レベル 1：IHI 信号が High レベル
0	IVI	不定*2	R	IVI 信号レベル IVI 信号のレベルをリードします。IVI 信号は TCONRI により信号源および位相反転が選択されます。このビットをリードして入力信号の正負を判定し TCONRI を書き換えることにより、IVI 信号を正位相に保ってください。 0：IVI 信号が Low レベル 1：IVI 信号が High レベル

【注】　*1　フラグをクリアするための 0 ライトのみ可能です。

　　*2　端子の状態によって決定されます。

14.4 動作説明

14.4.1 PWM デコード（PDC 信号生成）

タイマコネクションと TMR_X により、パルス幅で 0／1 を表現する PWM 信号をデコードすることができます。この場合立ち上がりエッジが一定周期で発生する信号を IHI 信号として選択してください。

TMR_X の TCNT は内部クロックをカウントし、外部リセット信号（IHI 信号）の立ち上がりエッジでクリアされるように設定します。TCORB にはパルス幅判定のしきい値となる数値をライトします。PWM デコード回路には、IHI 信号をデータ、コンペアマッチ信号 B（CMB）をクロックとするディレイラッチがあります。PWM デコード回路は、IHI 信号の立ち上がりによる TCNT のリセット後、最初のコンペアマッチ信号 B のタイミングでの IHI 信号の状態（パルス幅判定結果）を PDC 信号として出力します。

パルス幅判定のしきい値決定のために、TMR_X の TICRR と TICRF を用いたパルス幅測定を利用することができます。

TMR_X の TCR と TCORB の設定例を**表** 14.4、**表** 14.5 に、PWM デコードタイミングを**図** 14.2 に示します。

表 14.4 TCR **の設定例**

ビット	略　称	内　容	説　　明
7	CMIEB	0	**コンペアマッチ、オーバフローによる割り込みを禁止**
6	CMIEA	0	
5	OVIE	0	
4、3	CCLR1、0	11	**外部リセット信号（**IHI **信号）の立ち上がりエッジにより** TCNT **をクリア**
2〜0	CKS2〜0	001	**内部クロックφでカウント**

表 14.5 TCORB**（パルス幅しきい値）の設定例**

	φ：10MHz	φ：12MHz	φ：16MHz	φ：20MHz
H'07	0.8µs	0.67µs	0.5µs	0.4µs
H'0F	1.6µs	1.33µs	1.0µs	0.8µs
H'1F	3.2µs	2.67µs	2.0µs	1.6µs
H'3F	6.4µs	5.33µs	4.0µs	3.2µs
H'7F	12.8µs	10.67µs	8.0µs	6.4µs

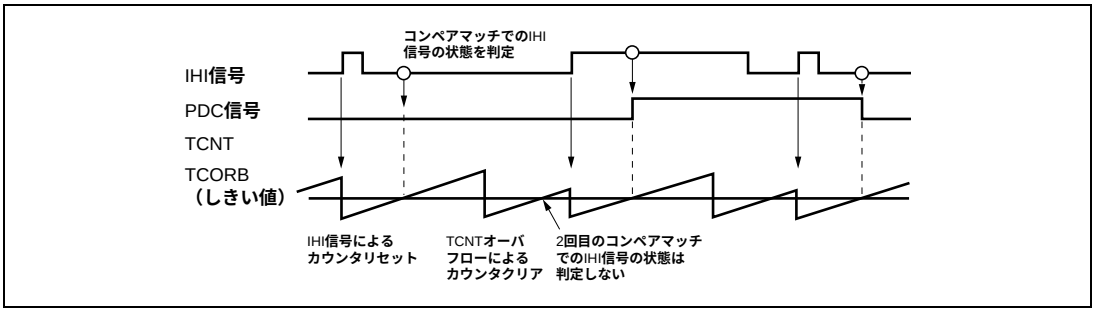


図 14.2　PWM **デコードタイミング**

14.4.2　クランプ波形の生成（CL1、CL2、CL3 信号の生成）

タイマコネクションと TMR_X により、入力信号（IHI 信号）波形に同期してデューティや立ち上がり／立ち下がりが異なるクランプ波形を生成できます。クランプ波形が生成できる信号は、CL1、CL2、CL3 信号の 3 通りです。また、TMR_Y を利用することにより CL4 信号を生成できます。

CL1 信号は IHI 信号の立ち上がりと同一タイミングで立ち上がります。CL2 信号は CL1 信号が High のときに IHI 信号の立ち下がりと同一タイミングで立ち上がります。CL1 と CL2 信号の立ち下がりは TCORA で指定できます。CL3 信号は IHI 信号の立ち下がりをシステムクロックでサンプリングしたタイミングで立ち上がります。CL3 信号の立ち下がりは TCORC で指定できます。また、IHI 信号の立ち上がりでも CL3 信号は立ち下がります。

TMR_X の TCNT は内部クロックをカウントし、外部リセット信号（IHI 信号）の立ち上がりエッジでクリアされるように設定してください。

TCORA には CL1 信号のパルス幅となる数値をライトしてください。なお、TMR_X のカウンタクロックを内部クロックのφに設定した場合は TCORA には H'02 以上の値を、φ／2 に設定した場合は H'01 以上の値をライトしてください。内部クロックφに設定した場合の CL1 信号パルス幅は、（TCORA の設定値＋3±0.5）となります。CL2 信号を使用する場合は、IHI 信号のパルス幅より大きくなるように数値を設定してください。

TCORC には CL3 信号のパルス幅となる数値をライトしてください。TMR_X には TICR があり、TICR は外部リセット信号の逆エッジ（この場合 IHI 信号の立ち下がりエッジ）で TCNT の値をキャプチャします。CL3 信号の立ち下がりタイミングは TICR の内容と TCORC の内容を加算した値で決まります。なお、TCORC により設定した立ち下がりタイミングの前に IHI 信号の立ち上がりエッジが発生した場合、IHI 信号により CL3 信号は立ち下がりますので注意が必要です。

TMR_X の TCR の設定例は**表** 14.4 と同様です。クランプ波形のタイミングを**図** 14.3 と**図** 14.4 に示します。

CL1、CL2 信号は立ち上がりが IHI 信号のエッジに同期し、立ち下がりがシステムクロックに同期します。そのため、パルス幅がシステムクロックの分解能分変動します。

CL3 信号は立ち上がり／立ち下がりともシステムクロックに同期します。パルス幅は一定ですが、IHI 信号との位相関係がシステムクロックの分解能分変動します。

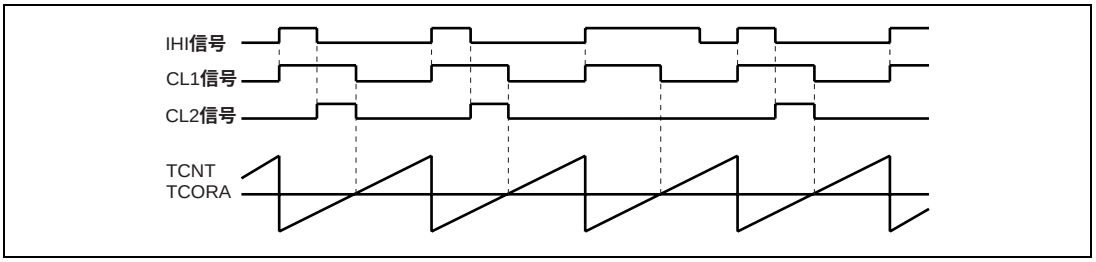


図 14.3　クランプ波形生成タイミング（CL1 信号、CL2 信号）

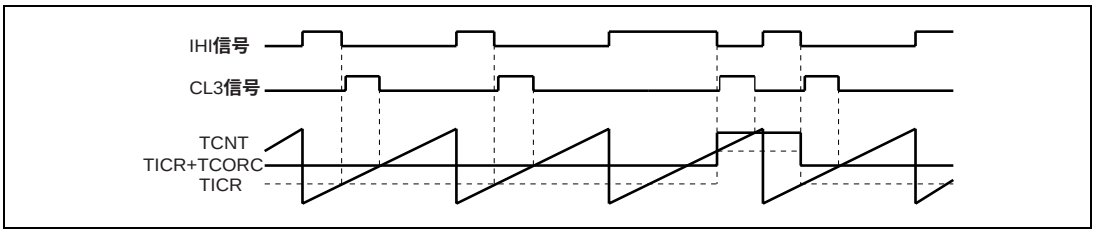


図 14.4　クランプ波形生成タイミング（CL3 信号）

14.4.3　8 ビットタイマ分周波形周期測定

タイマコネクションと TMR_1、FRT により、IHI 信号分周波形の周期を測定できます。TMR_1 は、IVI 信号の反転信号の立ち上がりエッジでクリアすることができるため、IHI 信号分周波形の立ち上がり／立ち下がりを IVI 信号に同期化することができます。これにより、周期判定を効率的に行うことが可能です。

IHI 信号分周波形の周期を測定する場合、TMR_1 の TCNT は外部クロック（IHI 信号）をカウントし、外部リセット信号（IVI 信号の反転信号）の立ち上がりエッジでクリアされるように設定してください。TCORA には分周の倍率となる数値をライトし、TCSR の OS ビットには TMO 出力方式を指定します。

TMR_1 の TCR と TCSR、および FRT の TCR と TCSR の設定例を**表 14.6** に、IVI 信号と IHI 信号分周波形の周期測定タイミングを**図 14.5** に示します。IHI 信号分周波形の周期は（ICRD(3)－ICRD(2)）×分解能で求めることができます。

表 14.6　TCR と TCSR の設定例

レジスタ	ビット	略称	内容	説　明
TMR_1 の TCR	7	CMIEB	0	コンペアマッチ、オーバフローによる割り込みを禁止
	6	CMIEA	0	
	5	OVIE	0	
	4、3	CCLR 1、0	11	外部リセット信号（IVI 信号の反転信号）の立ち上がりエッジにより TCNT をクリア
	2〜0	CKS2〜0	101	外部クロック（IHI 信号）の立ち上がりエッジにより TCNT をカウントアップ
TMR_1 の TCSR	3〜0	OS3〜0	0011	コンペアマッチ B で変化せず、コンペアマッチ A で反転出力（トグル出力）：512 分周
			1001	TCORB<TCORA の条件で、コンペアマッチ B で 1 出力、 コンペアマッチ A で 0 出力：256 分周
FRT の TCR	6	IEDGB	0／1	0：インプットキャプチャ入力 B（IHI 分周信号波形）の立ち下がりエッジで FRC の値を ICRB に転送 1：インプットキャプチャ入力 B（IHI 分周信号波形）の立ち上がりエッジで FRC の値を ICRB に転送
	1、0	CKS1、0	01	内部クロックφ／8 で FRC をカウントアップ
FRT の TCSR	0	CCLRA	0	FRC のクリアを禁止

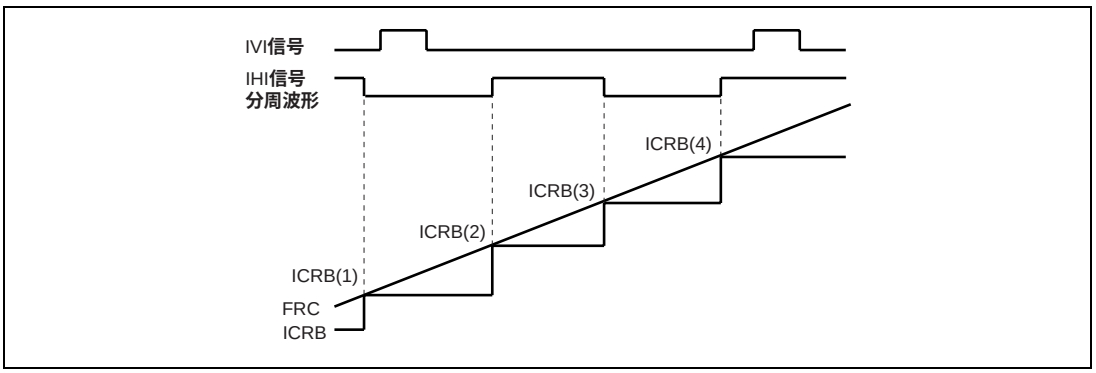


図 14.5　IVI 信号と IHI 信号分周波形の周期測定タイミング

14.4.4 IHI 信号の 2fH モディファイ

タイマコネクションと FRT により、IHI 信号の一部に 2 倍の周波数をもつ部分が存在してもこれを除去することができます。この機能が正常動作するためには、IHI 信号のデューティは約 30%以下か約 70%以上である必要があります。

FRT の ICRD はキャプチャしたデータに 8 ビットの OCRDM の内容および OCRDM の内容を 2 倍して自動的に加算し、このタイミングでコンペアマッチを発生することができます。このふたつのコンペアマッチの間の期間をマスク期間とよびます。OCRDM には、IHI 信号の周期の約 1／3 に相当する数値をライトします。ICRD は、IHI 信号の立ち上がりでキャプチャを行うよう設定します。

IHO 信号選択回路に供給される IHI 信号は、通常 IHI 信号の立ち上がりでセットされ、立ち下がりでリセットされるため、波形は IHI 信号と同じです。2fH モディファイを選択すると、マスク期間中の IHI 信号のエッジ検出が禁止されます。また、マスク期間中のキャプチャも禁止されます。

FRT の TCR、TCSR、TOCR と OCRDM の設定例を**表** 14.7 に、2fH モディファイのタイミングを**図** 14.6 に示します。

表 14.7　TCR、TCSR、TCOR **と** OCRDM **の設定例**

レジスタ	ビット	略　称	内　容	説　　明
FRT **の** TCR	4	IEDGD	1	**インプットキャプチャ入力 D（**IHI **信号）の立ち上がりエッジで** FRC **の値を** ICRD **に転送**
	1、0	CKS1、0	01	**内部クロックφ／**8 **で** FRC **をカウントアップ**
FRT **の** TCSR	0	CCLRA	0	FRC **のクリアを禁止**
FRT **の** TOCR	7	ICRDMS	1	ICRD **を** OCRDM **を使用した動作モードに設定**
FRT **の** OCRDM	7〜0	OCRDM 7〜0	H'01〜H'FF	ICRD **の動作をマスクする期間を設定**

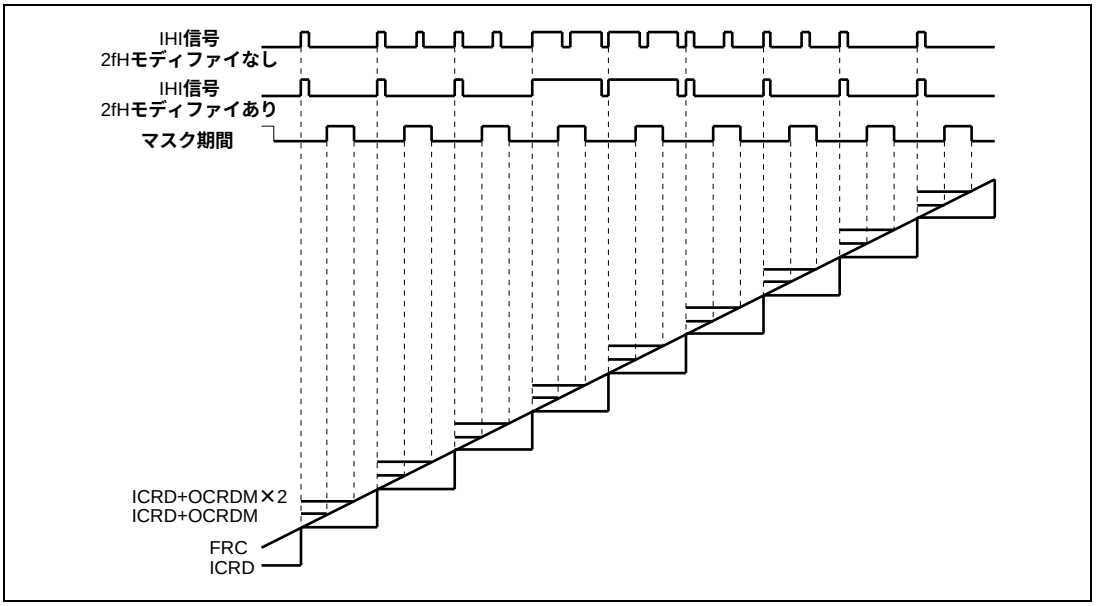


図 14.6　2fH **モディファイタイミング**

14.4.5 IVI 信号の立ち下がりモディファイと IHI 同期

タイマコネクションと TMR_1 により、IVI 信号の立ち下がりを IHI 信号波形の指定した個数分後方へ移動することができます。また、IVI 信号の立ち下がりを IHI 信号の立ち上がりに同期させることができます。

8 ビットタイマ分周波形周期測定のために TMR_1 の TCNT は、外部クロック（IHI 信号）をカウントし、外部リセット信号（IVI 信号の反転信号）の立ち上がりエッジでクリアされるように設定します。TOCRB には、IVI 信号立ち下げまでの IHI 信号の個数をライトします。

IVO 信号選択回路に供給される IVI 信号は、通常 IVI 信号の立ち上がりでセットされ、立ち下がりでリセットされるため、波形は IVI 信号と同じです。立ち下がりモディファイを選択すると、リセットは TMR_1 の TCORB のコンペアマッチで行われます。

上記のように生成された波形は立ち下がりモディファイ選択の有無にかかわりなく、立ち下がりを IHI 信号の立ち上がりに同期させることができます。

TMR_1 の TCR、TCSR と TCORB の設定例を**表 14.8** に、立ち下がりモディファイと IHI 同期のタイミングを**図 14.7** に示します。

表 14.8 TCR、TCSR と TCORB の設定例

レジスタ	ビット	略 称	内 容	説 明
TMR_1 の TCR	7	CMIEB	0	コンペアマッチ、オーバフローによる割り込みを禁止
	6	CMIEA	0	
	5	OVIE	0	
	4、3	CCLR 1、0	11	外部リセット信号（IVI 信号の反転信号）の立ち上がりエッジにより TCNT をクリア
	2〜0	CKS2〜0	101	外部クロック（IHI 信号）の立ち上がりエッジにより TCNT をカウントアップ
TMR_1 の TCSR	3〜0	OS3〜0	0011	コンペアマッチ B で変化せず、コンペアマッチ A で反転出力（トグル出力）
			1001	TCORB<TCORA の条件でコンペアマッチ B で 1 出力、 コンペアマッチ A で 0 出力
TMR_1 の TCORB			H'03 (例)	IVI 信号の反転信号立ち上がり後、4 番目（例）の IHI 信号の立ち上がりでコンペアマッチ

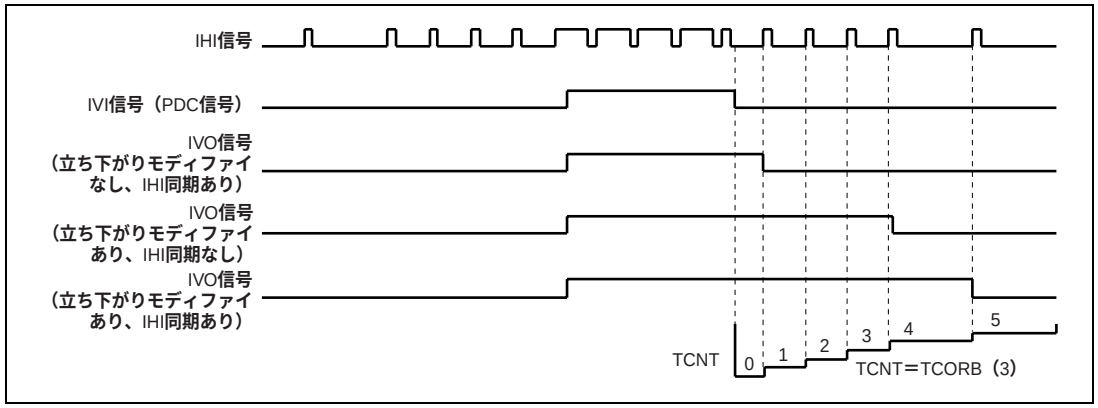


図 14.7　立ち下がりモディファイと IHI 同期タイミング

14.4.6　内部同期信号の生成（IHG 信号、IVG 信号、CL4 信号の生成）

タイマコネクションと FRT、TMR_Y により、IHI、IVI 信号に相当する内部信号（IHG、IVG 信号）を自動的に生成することができます。IHG 信号は IVG 信号の立ち上がりに同期するため、IHG 信号周期を一定に保つには、IVG 信号周期の約数とする必要があります。また、IHG 信号に同期して CL4 信号を生成することができます。

FRT の OCRA の内容は、コンペアマッチを発生するたびに、OCRAR と OCRAF の内容を交互に自動的に加算した内容に更新することができます。OCRAR には IVG 信号の 0 期間に相当する値を、また OCRAF には IVG 信号の 1 期間に相当する値をライトします。IVG 信号は、OCRAR 加算後のコンペアマッチでセットされ、OCRAF 加算後のコンペアマッチでリセットされます。

IHG 信号は TMR_Y のタイマ出力です。TMR_Y は内部クロックをカウントし、TCORA のコンペアマッチで TCNT をクリアして周期を定めるとともにタイマ出力をセットするように設定します。TCORB は、タイマ出力をリセットするように設定します。TMR_Y のリセット入力（TMRI）としては IVG 信号が接続されており、IVG 信号の立ち上がりを TCORA のコンペアマッチと同様に扱うことができます。

CL4 信号は、IHG 信号の立ち下がりから 1 システムクロック以内の遅れで立ち上がり、6 システムクロックの 1 期間をもつ波形です。

TMR_Y の TCR、TCSR、TCORA と TCORB、および FRT の TCR、OCRAR、OCRAF と TOCR の設定例を**表** 14.9 に、IHG 信号、IVG 信号のタイミングを**図** 14.8 に示します。

表 14.9　TCR、TCSR、TCORA、TCORB、OCRAR、OCRAF と TOCR の設定例

レジスタ	ビット	略　称	内　容	説　明	
TMR_Y の TCR	7	CMIEB	0	コンペアマッチ、オーバフローによる割り込みを禁止	
	6	CMIEA	0		
	5	OVIE	0		
	4、3	CCLR1、0	01	コンペアマッチ A により TCNT をクリア	
	2～0	CKS2～0	001	内部クロックφ／4 で TCNT をカウントアップ	
TMR_Y の TCSR	3～0	OS3～0	0110	コンペアマッチ B で 0 出力 コンペアマッチ A で 1 出力	
TMR_Y の TCORA			H'3F（例）	IHG 信号の周期はφ×256	
TMR_Y の TCORB			H'03（例）	IHG 信号の 1 の期間はφ×16	
FRT の TCR	1、0	CKS1、0	01	内部クロックφ／8 で FRC をカウントアップ	
FRT の OCRAR			H'7FEF（例）	IVG 信号の 0 の期間はφ×262016	IVG 信号の周期はφ×262144
FRT の OCRAF			H'000F（例）	IVG 信号の 1 の期間はφ×128	（IHG 信号の 1024 倍）
FRT の TOCR	6	OCRAMS	1	OCRA を OCRAR、OCRAF を使用した動作モードに設定	

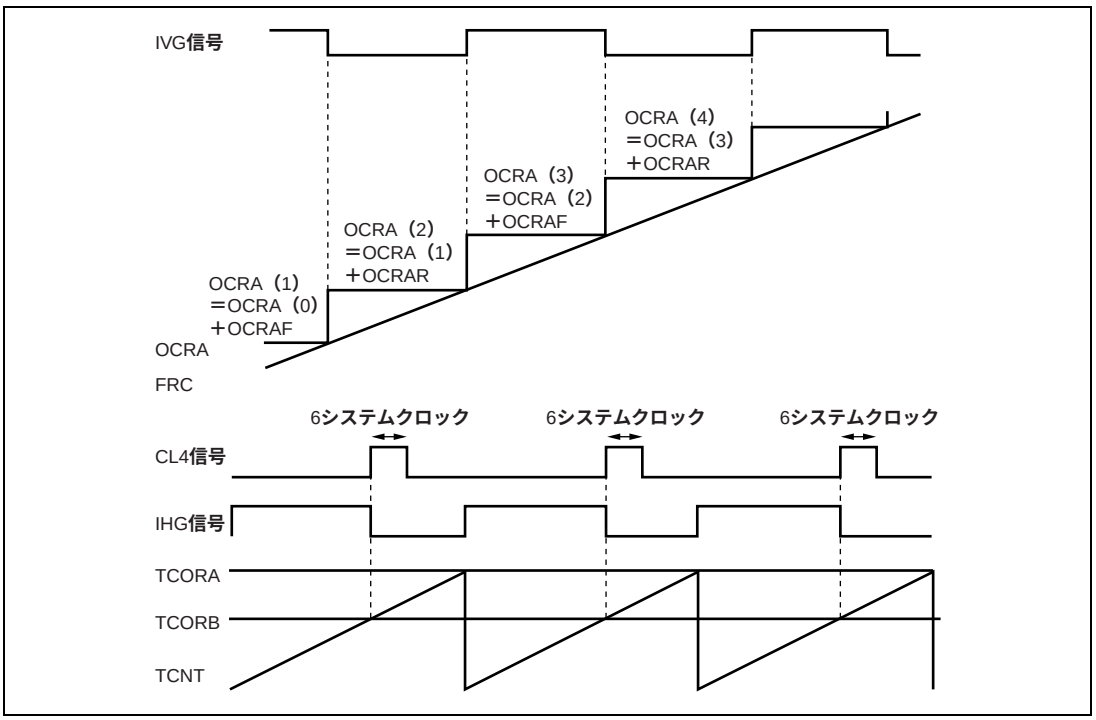


図 14.8　IVG 信号、IHG 信号、CL4 信号のタイミング

14.4.7 HSYNCO 出力

HSYNCO 出力は IHI 信号の信号源や外部回路の要求する波形によって、選択すべき信号源とモディファイの有無の意味が異なります。HSYNCO 出力モードを表 14.10 に示します。

表 14.10 HSYNCO 出力モード

モード名称	IHI 信号	IHO 信号	IHO 信号の意味
無信号	HFBACKI 入力	IHI 信号（2fH モディファイなし）	HFBACKI 入力をそのまま出力
		IHI 信号（2fH モディファイあり）	HFBACKI 入力に周波数が倍の部分がなければ意味なし
		CL1 信号	HFBACKI 入力の 1 期間を変更して出力
		IHG 信号	内部同期信号を出力
S オン G モード	CSYNCI 入力	IHI 信号（2fH モディファイなし）	CSYNCI 入力（複合同期信号）をそのまま出力
		IHI 信号（2fH モディファイあり）	CSYNCI 入力（複合同期信号）の周波数が倍の部分を除去して出力
		CL1 信号	CSYNCI 入力（複合同期信号）の水平同期信号部分を分離して出力
		IHG 信号	内部同期信号を出力
コンポジットモード	HSYNCI 入力	IHI 信号（2fH モディファイなし）	HSYNCI 入力（複合同期信号）をそのまま出力
		IHI 信号（2fH モディファイあり）	HSYNCI 入力（複合同期信号）の周波数が倍の部分を除去して出力
		CL1 信号	HSYNCI 入力（複合同期信号）の水平同期信号部分を分離して出力
		IHG 信号	内部同期信号を出力
セパレートモード	HSYNCI 入力	IHI 信号（2fH モディファイなし）	HSYNCI 入力（水平同期信号）をそのまま出力
		IHI 信号（2fH モディファイあり）	HSYNCI 入力（水平同期信号）に周波数が倍の部分がなければ意味なし
		CL1 信号	HSYNCI 入力（水平同期信号）の 1 期間を変更して出力
		IHG 信号	内部同期信号出力

14.4.8 VSYNCO 出力

VSYNCO 出力は IVI 信号の信号源や外部回路の要求する波形によって、選択すべき信号源とモディファイの有無の意味が異なります。VSYNCO 出力モードを表 14.11 に示します。

表 14.11 VSYNCO 出力モード

モード名称	IVI 信号	IVO 信号	IVO 信号の意味
無信号	VFBACKI 入力	IVI 信号（立ち下がりモディファイなし、IHI 同期なし）	VFBACKI 入力をそのまま出力
		IVI 信号（立ち下がりモディファイなし、IHI 同期あり）	VFBACKI 入力が HFBACKI 入力に同期していれば意味なし
		IVI 信号（立ち下がりモディファイあり、IHI 同期なし）	VFBACKI 入力の立ち下がりをモディファイして出力
		IVI 信号（立ち下がりモディファイあり、IHI 同期あり）	VFBACKI 入力の立ち下がりをモディファイし、HFBACKI 入力に同期し出力
		IVG 信号	内部同期信号を出力
S オン G モード、またはコンポジットモード	PDC 信号	IVI 信号（立ち下がりモディファイなし、IHI 同期なし）	CSYNCI／HSYNCI 入力（複合同期信号）の垂直同期信号部分を分離して出力
		IVI 信号（立ち下がりモディファイなし、IHI 同期あり）	CSYNCI／HSYNCI 入力（複合同期信号）の垂直同期信号部分を分離し、CSYNCI／HSYNCI 入力に同期して出力
		IVI 信号（立ち下がりモディファイあり、IHI 同期なし）	CSYNCI／HSYNCI 入力（複合同期信号）の垂直同期信号部分を分離し、立ち下がりをモディファイして出力
		IVI 信号（立ち下がりモディファイあり、IHI 同期あり）	CSYNCI／HSYNCI 入力（複合同期信号）の垂直同期信号部分を分離し、立ち下がりをモディファイし、CSYNCI／HSYNCI 入力に同期して出力
		IVG 信号	内部同期信号を出力

モード名称	IVI 信号	IVO 信号	IVO 信号の意味
セパレートモード	VSYNCI 入力	IVI 信号（立ち下がりモディファイなし、IHI 同期なし）	VSYNCI 入力（垂直同期信号）をそのまま出力
		IVI 信号（立ち下がりモディファイなし、IHI 同期あり）	VSYNCI 入力（垂直同期信号）が HSYNCI 入力（水平同期信号）に同期していれば意味なし
		IVI 信号（立ち下がりモディファイあり、IHI 同期なし）	VSYNCI 入力（垂直同期信号）の立ち下がりをモディファイして出力
		IVI 信号（立ち下がりモディファイあり、IHI 同期あり）	VSYNCI 入力（垂直同期信号）の立ち下がりをモディファイし、HSYNCI 入力（水平同期信号）に同期して出力
		IVG 信号	内部同期信号出力

14.4.9 CBLANK 出力

タイマコネクションで生成、選択した信号を用いて、複合同期信号に準じた波形（ブランキング波形）を生成することができます。ブランキング波形は 1 種類で、HFBACKI 入力と VFBACKI 入力を、TCONRI の HFINV ビットと VFINV ビットで位相の正負を正としたものと、IVO 信号とを合成することによって生成します。CBLANK 出力波形生成の論理を**図** 14.9 に示します。

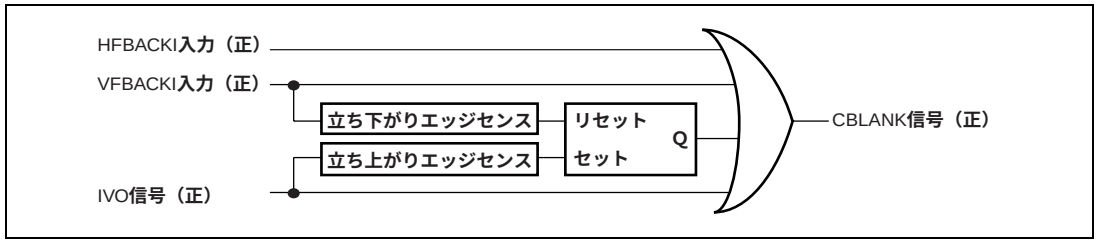


図 14.9 CBLANK 出力波形生成の論理

15. ウォッチドッグタイマ（WDT）

本 LSI は、2 チャネルのウォッチドッグタイマ（WDT_0、WDT_1）を内蔵しています。WDT は 8 ビットのタイマで、システムの暴走などによりカウンタの値を CPU が書き換えられずにオーバフローすると、本 LSI 内部をリセットするかまたは内部 NMI 割り込みを発生させることができます。また、外部にオーバフロー信号（$\overline{\text{RESO}}$）を出力することができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマモードとして使用する場合は、カウンタがオーバフローするごとにインターバルタイマ割り込みを発生します。WDT_0、WDT_1 のブロック図を**図 15.1** に示します。

15.1 特長

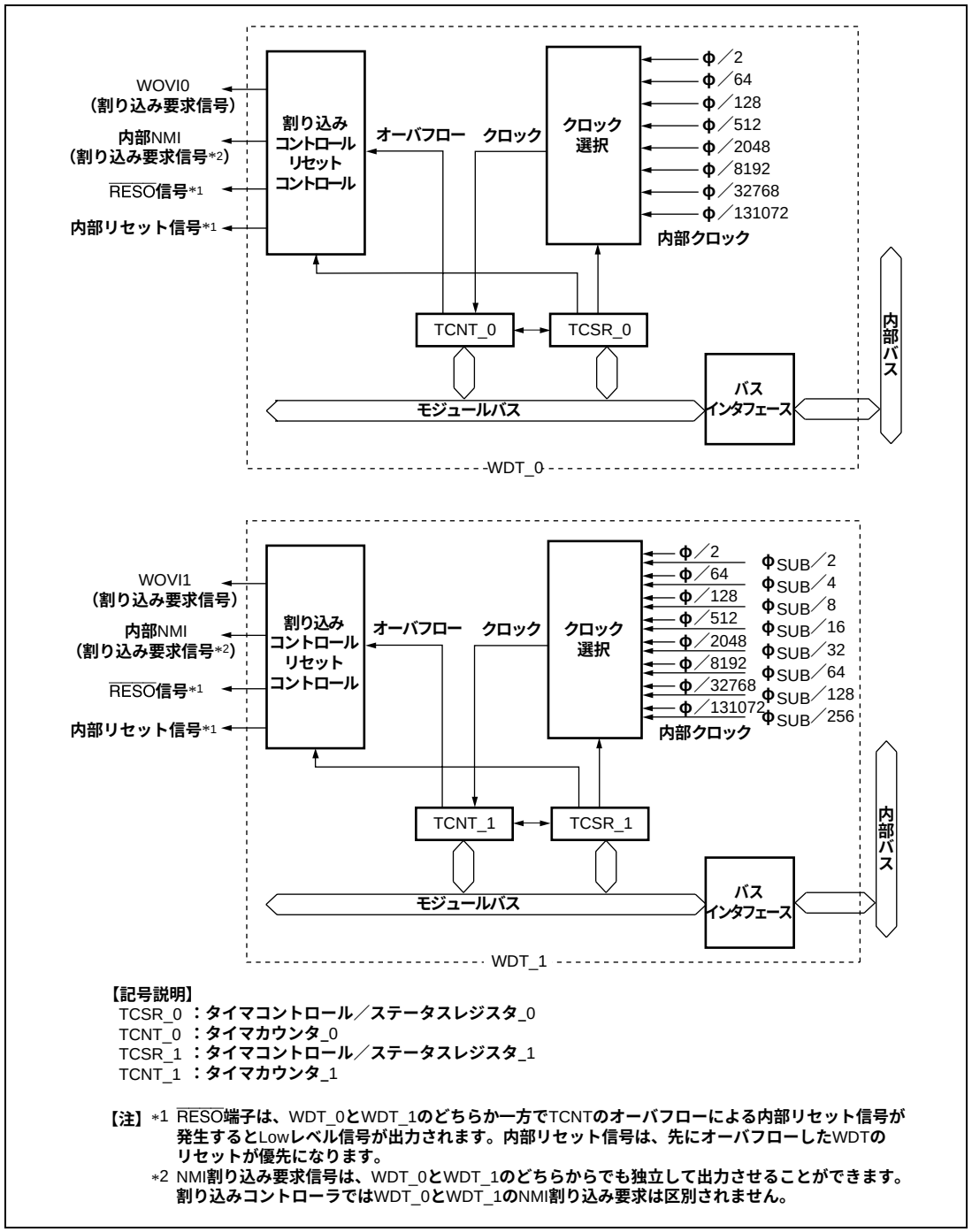
- WDT_0は8種類、WDT_1は16種類のカウンタ入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード

- カウンタがオーバフローすると、本LSI内部をリセットするかまたは内部NMI割り込みを発生するかを選択可能
- 内部リセットを選択した場合、カウンタがオーバフローすると$\overline{\text{RESO}}$端子からLowレベル信号を出力

インターバルタイマモード

- カウンタがオーバフローすると、インターバルタイマ割り込み（WOVI）を発生



【記号説明】

TCSR_0 ：タイマコントロール／ステータスレジスタ_0
TCNT_0 ：タイマカウンタ_0
TCSR_1 ：タイマコントロール／ステータスレジスタ_1
TCNT_1 ：タイマカウンタ_1

【注】 *1 RESO端子は、WDT_0とWDT_1のどちらか一方でTCNTのオーバフローによる内部リセット信号が発生するとLowレベル信号が出力されます。内部リセット信号は、先にオーバフローしたWDTのリセットが優先になります。

*2 NMI割り込み要求信号は、WDT_0とWDT_1のどちらからでも独立して出力させることができます。割り込みコントローラではWDT_0とWDT_1のNMI割り込み要求は区別されません。

図 15.1　WDT のブロック図

15.2 入出力端子

WDT の入出力端子を**表** 15.1 に示します。

表 15.1 **端子構成**

名　称	記号	入出力	機　能
リセット出力端子	$\overline{\text{RESO}}$	出力	ウォッチドッグタイマモード時のカウンタオーバフロー信号出力
外部サブクロック入力端子	EXCL	入力	WDT_1 のプリスケーラのカウンタ入力クロック

15.3 レジスタの説明

WDT には、以下のレジスタがあります。TCNT、TCSR は容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は「15.6.1 **レジスタアクセス時の注意事項**」を参照してください。システムコントロールレジスタについては、「3.2.2 **システムコントロールレジスタ**（SYSCR）」を参照してください。

- **タイマカウンタ**_0（TCNT_0）
- **タイマコントロール／ステータスレジスタ**_0（TCSR_0）
- **タイマカウンタ**_1（TCNT_1）
- **タイマコントロール／ステータスレジスタ**_1（TCSR_1）

15.3.1 タイマカウンタ（TCNT）

TCNT は、リード／ライト可能な 8 ビットのアップカウンタです。TCNT は、タイマコントロール／ステータスレジスタ（TCSR）の TME ビットが 0 のとき、H'00 に初期化されます。

15.3.2 タイマコントロール／ステータスレジスタ（TCSR）

TCSR は、TCNT に入力するクロック、モードの選択などを行います。

- TCSR_0

ビット	ビット名	初期値	R/W	説　明
7	OVF	0	R/(W)*	**オーバフローフラグ** TCNT **がオーバフロー（**H'FF→H'00**）したことを示します。** **［セット条件］** TCNT **がオーバフロー（**H'FF→H'00**）したとき** **ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。** **［クリア条件］** • OVF＝1 **の状態で、**TCSR **をリード後、**OVF **に** 0 **をライトしたとき** • TME **ビットに** 0 **をライトしたとき**
6	WT/$\overline{IT}$	0	R/W	**タイマモードセレクト** **ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。** 0：**インターバルタイマモード** 1：**ウォッチドッグタイマモード**
5	TME	0	R/W	**タイマイネーブル** **このビットを** 1 **にセットすると** TCNT **がカウントを開始します。クリアすると** TCNT **はカウント動作を停止し、**H'00 **に初期化されます。**
4	—	0	R/(W)	**リザーブビット** **初期値を変更しないでください。**
3	RST/$\overline{NMI}$	0	R/W	**リセットまたは** NMI TCNT **がオーバフローしたときに、内部リセットか** NMI **割り込み要求かを選択します。** 0：NMI **割り込みを要求** 1：**内部リセットを要求**
2 1 0	CKS2 CKS1 CKS0	0 0 0	R/W R/W R/W	**クロックセレクト** 2～0 TCNT **に入力するクロックを選択します。（　）内はφ＝**25MHz **のときのオーバフロー周期を表します。** 000：**φ/2（周期** 20.4μs**）** 001：**φ/64（周期** 655.3μs**）** 010：**φ/128（周期** 1.3ms**）** 011：**φ/512（周期** 5.2ms**）** 100：**φ/2048（周期** 20.9ms**）** 101：**φ/8192（周期** 83.8ms**）** 110：**φ/32768（周期** 335.5ms**）** 111：**φ/131072（周期** 1.34s**）**

【注】 * **フラグをクリアするための** 0 **ライトのみ可能です。**

• TCSR_1

ビット	ビット名	初期値	R/W	説　明
7	OVF	0	R/(W)*	**オーバフローフラグ** TCNT **がオーバフロー**（H'FF→H'00）**したことを示します。** **［セット条件］** TCNT **がオーバフロー**（H'FF→H'00）**したとき** **ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。** **［クリア条件］** • OVF＝1 **の状態で、**TCSR **をリード後***、OVF **に** 0 **をライトしたとき** • TME **ビットに** 0 **をライトしたとき**
6	WT/$\overline{IT}$	0	R/W	**タイマモードセレクト** **ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。** 0：**インターバルタイマモード** 1：**ウォッチドッグタイマモード**
5	TME	0	R/W	**タイマイネーブル** **このビットを** 1 **にセットすると** TCNT **がカウントを開始します。クリアすると** TCNT **はカウント動作を停止し、**H'00 **に初期化されます。**
4	PSS	0	R/W	**プリスケーラセレクト** TCNT **に入力するクロックを選択します。** 0：**φベースのプリスケーラ**（PSM）**の分周クロックをカウント** 1：**φ**SUB **ベースのプリスケーラ**（PSS）**の分周クロックをカウント**
3	RST/$\overline{NMI}$	0	R/W	**リセットまたは** NMI TCNT **がオーバフローしたときに、内部リセットか** NMI **割り込み要求かを選択します。** 0：NMI **割り込みを要求** 1：**内部リセットを要求**

【注】 * **インターバルタイマ割り込みを禁止して** OVF **をポーリングした場合、**OVF=1 **の状態を** 2 **回以上リードしてください。**

ビット	ビット名	初期値	R/W	説　明
2	CKS2	0	R/W	クロックセレクト 2～0 TCNT に入力するクロックを選択します。（ ）内はφ＝25MHz、 φSUB=32.768kHz のときのオーバフロー周期を表します。 PSS＝0 の場合 000：φ/2（周期 20.4μs） 001：φ/64（周期 655.3μs） 010：φ/128（周期 1.3ms） 011：φ/512（周期 5.2ms） 100：φ/2048（周期 20.9ms） 101：φ/8192（周期 83.8ms） 110：φ/32768（周期 335.5ms） 111：φ/131072（周期 1.34s） PSS＝1 の場合 000：φSUB/2（周期 15.6ms） 001：φSUB/4（周期 31.3ms） 010：φSUB/8（周期 62.5ms） 011：φSUB/16（周期 125ms） 100：φSUB/32（周期 250ms） 101：φSUB/64（周期 500ms） 110：φSUB/128（周期 1s） 111：φSUB/256（周期 2s）
1	CKS1	0	R/W	
0	CKS0	0	R/W	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

15.4 動作説明

15.4.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときは、TCSR の WT/$\overline{IT}$ ビット＝１に、TME ビット＝１に設定してください。ウォッチドッグタイマとして動作しているとき、システムの暴走などにより TCNT の値が書き換えられずオーバフローすると、内部リセットまたは NMI 割り込み要求を発生します。システムが正常に動作している間は、TCNT のオーバフローは発生しません。TCNT がオーバフローする前に必ず TCNT の値を書き換えて（通常は H'00 をライトする）、オーバフローを発生させないようにプログラミングしてください。

TCSR の RST/$\overline{NMI}$ ビットを 1 にセットしておくと、**図** 15.2 に示すように TCNT がオーバフローしたときに、本 LSI の内部をリセットする信号が 518 システムクロックの間出力され、$\overline{RESO}$ 端子から 132 ステートの間 Low レベルが出力されます。また、RST/$\overline{NMI}$ ビットを 0 にクリアしておくと、TCNT がオーバフローしたときに、NMI 割り込み要求を発生します。このとき $\overline{RESO}$ 端子は High レベルのままです。

ウォッチドッグタイマからの内部リセット要求と $\overline{RES}$ 端子からのリセット入力は、同一ベクタで処理されます。リセット要因は SYSCR の XRST ビットの内容によって判別できます。ウォッチドッグタイマからの内部リセット要求と $\overline{RES}$ 端子からのリセット入力が同時に発生したときは、$\overline{RES}$ 端子からのリセット入力が優先され、SYSCR の XRST ビットは 1 にセットされます。

ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求は、同一ベクタで処理されます。ウォッチドッグタイマからの NMI 割り込み要求と NMI 端子からの割り込み要求を同時に扱うことは避けてください。

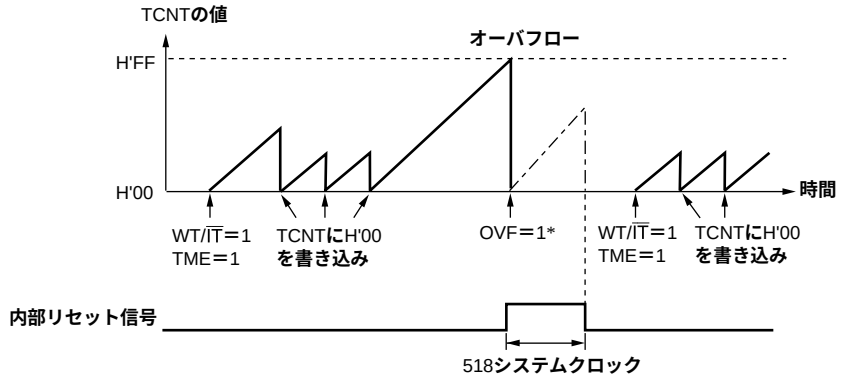


図 15.2 **ウォッチドッグタイマモード時（**RST/$\overline{NMI}$=1**）の動作**

15.4.2 インターバルタイマモード

インターバルタイマとして動作しているときは、**図 15.3** に示すように TCNT がオーバフローするごとにインターバルタイマ割り込み（WOVI）が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

インターバルタイマモードで TCNT がオーバフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み（WOVI）が要求されます。このタイミングを**図 15.4** に示します。

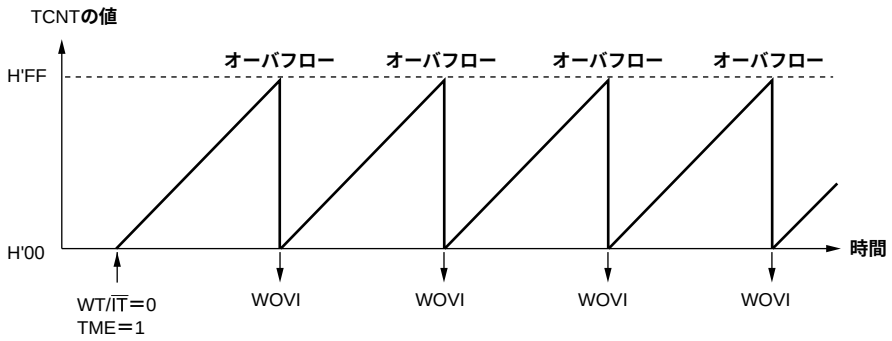


図 15.3 インターバルタイマモード時の動作

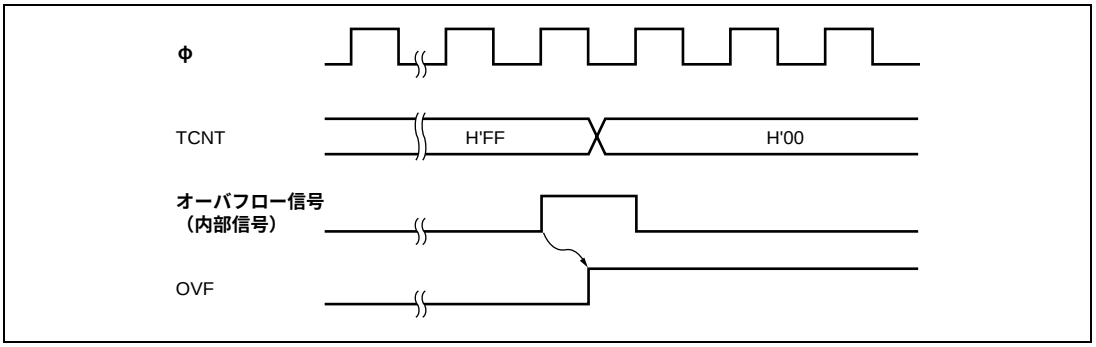


図 15.4 OVF のセットタイミング

15.4.3 $\overline{\text{RESO}}$ 信号出力タイミング

ウォッチドッグタイマモードで TCNT がオーバフローすると、TCSR の OVF ビットが 1 にセットされます。このとき RST/$\overline{\text{NMI}}$ ビットが 1 にセットしてあると、本 LSI 全体に対して内部リセット信号を発生します。また、同時に $\overline{\text{RESO}}$ 端子から Low レベルを出力します。これらのタイミングを**図 15.5** に示します。

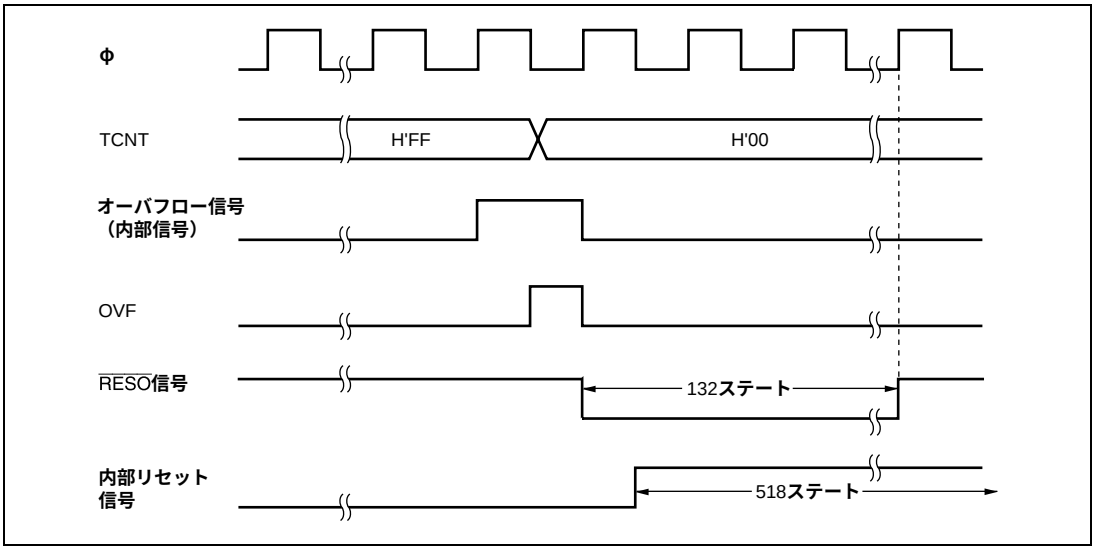


図 15.5 $\overline{\text{RESO}}$ 信号の出力タイミング

15.5 割り込み要因

インターバルタイマモード時、オーバフローによりインターバルタイマ割り込み（WOVI）が発生します。インターバルタイマ割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

ウォッチドッグタイマモードで NMI 割り込み要求の選択時は、オーバフローにより NMI 割り込み要求が発生します。

表 15.2 WDT の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動
WOVI	TCNT のオーバフロー	OVF	不可

15.6 使用上の注意事項

15.6.1 レジスタアクセス時の注意事項

TCNT、TCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。次の方法で、リード／ライトを行ってください。

(1) TCNT、TCSR へのライト（WDT_0 の例）

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、**図** 15.6 に示すようにして転送してください。TCNT へライトするときは上位バイトを H'5A にし、下位バイトをライトデータにして転送してください。TCSR へライトするときは上位バイトを H'A5 にし、下位バイトをライトデータにして転送してください。

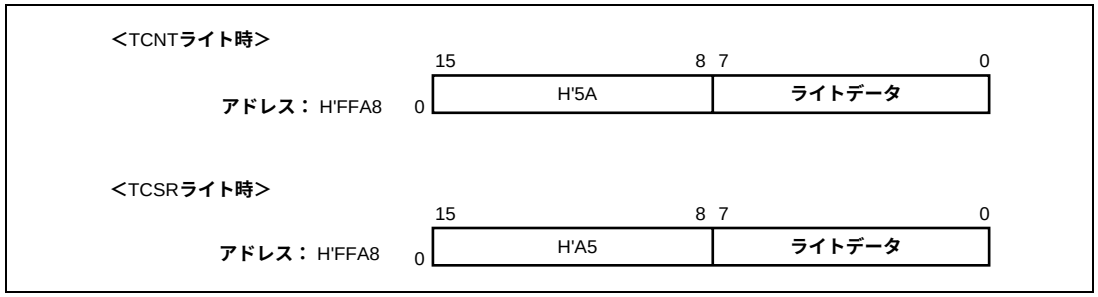


図 15.6 TCNT、TCSR **へのライト（**WDT_0 **の例）**

(2) TCNT、TCSR からのリード（WDT_0 **の例）**

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス H'FFA8 に、TCNT はアドレス H'FFA9 にそれぞれ割り当てられています。

15.6.2 タイマカウンタ（TCNT）のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを**図** 15.7 に示します。

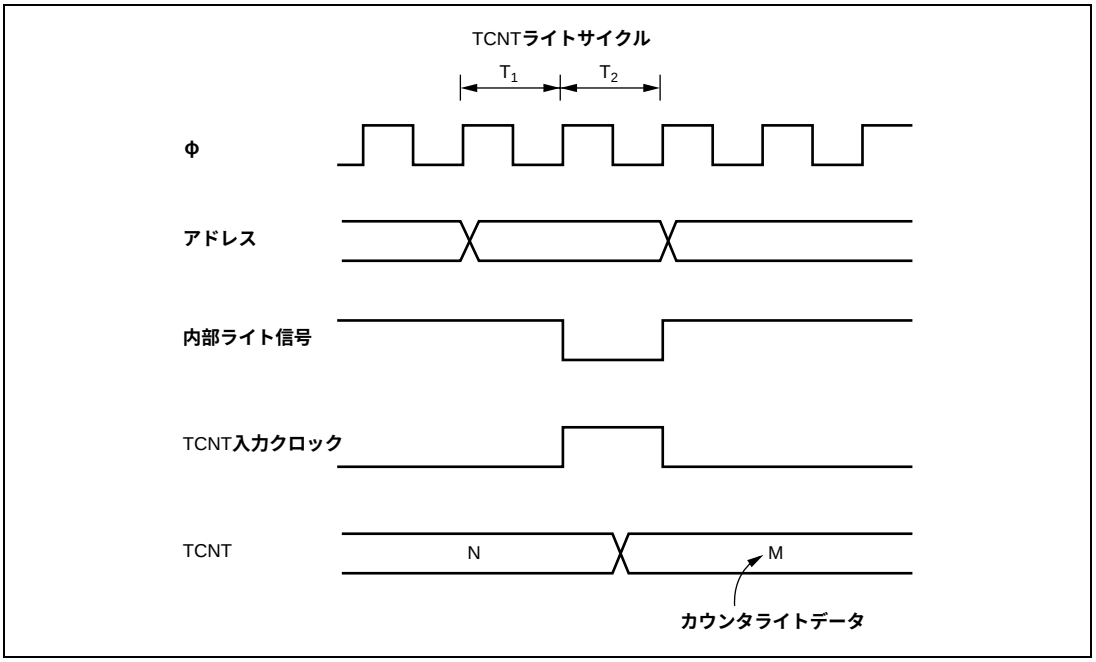


図 15.7 TCNT **のライトとカウントアップの競合**

15.6.3 CKS2～CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2～CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS2～CKS0 ビットを書き換えるときは、必ず WDT を停止させてから（TME ビットを 0 にクリアしてから）行ってください。

15.6.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから（TME ビットを 0 にクリアしてから）行ってください。

15.6.5 $\overline{\text{RESO}}$ 信号によるシステムのリセット

$\overline{\text{RESO}}$ 出力信号を $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。$\overline{\text{RESO}}$ 信号は、$\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。$\overline{\text{RESO}}$ 信号でシステム全体をリセットするときは、**図 15.8** に示すような回路で行ってください。

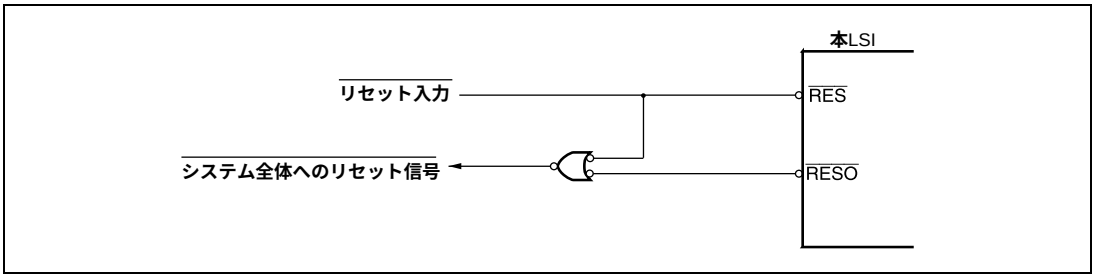


図 15.8 $\overline{\text{RESO}}$ 信号によるシステムのリセット回路例

15.6.6 高速モード、サブアクティブモード、ウォッチモード間遷移時のカウンタ値

WDT_1 を時計用クロックのカウンタとして使用し、かつ高速モードとサブアクティブモード間、あるいは高速モードとウォッチモード間を遷移する場合には、内部クロックの切り替えにともなうカウンタ値のずれが生じます。

高速モードからサブアクティブモードまたはウォッチモードへの遷移時には、WDT_1 の制御クロックがメインクロックからサブクロックに切り替わるタイミングで約 2～3 クロックサイクル分カウントアップタイミングが遅くなります。また、サブクロック動作時にはメインクロック発振器がストップするため、ウォッチモードまたはサブアクティブモードから高速モードへの遷移時には、内部発振が安定するまでクロックは供給されなくなります。このため、発振を開始し SBYCR の STS2～STS0 ビットで設定された発振安定待機時間はカウントアップを停止し、この期間分のカウンタ値のずれが生じます。

WDT_1 を時計用クロックのカウンタとして使用するときは注意してください。なお、同じモード内で動作している間は、カウンタ値のずれは発生しません。

16. シリアルコミュニケーションインタフェース（SCI、IrDA、CRC）

本 LSI は独立した 3 チャネルのシリアルコミュニケーションインタフェース（SCI：Serial Communication Interface）を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter（UART）や、Asynchronous Communication Interface Adapter（ACIA）などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。また、調歩同期式モードでは複数のプロセッサ間のシリアル通信機能（マルチプロセッサ通信機能）を備えています。このほか、SCI は調歩同期式モードの拡張機能として、ISO/IEC 7816-3（Identification Card）に準拠したスマートカード（IC カード）インタフェースをサポートしています。

SCI_1 は、IrDA（Infrared Data Associcction）規格バージョン 1.0 に基づく IrDA 通信波形の送受信が可能です。SCI_0、SCI_2 は、特定のシステムクロック周波数で平均転送レート動作による高速送受信が可能です。高速送受信などのデータ転送の信頼性のために CRC 演算器を内蔵しています。CRC（Cyclic Redundancy Check）演算器は SCI と接続されておらず、MOV 命令でデータを転送して演算を行います。

16.1 特長

- シリアルデータ通信フォーマットを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能

  独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能です。
- 内蔵ボーレートジェネレータで任意のビットレートを選択可能

  送受信クロックソースとして外部クロックの選択も可能です（スマートカードインタフェースを除く）。
- LSBファースト／MSBファースト選択可能（調歩同期式7ビットデータを除く）
- 割り込み要因：4種類

  送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因によりDTCを起動することができます。SCI_0、SCI_2は送信データエンプティ、受信データフル割り込み要因により、RFUを起動することができます。
- モジュールストップモードの設定可能

調歩同期式モード

- データ長：7ビット／8ビット選択可能
- ストップビット長：1ビット／2ビット選択可能
- パリティ：偶数パリティ／奇数パリティ／パリティなしから選択可能

- 受信エラーの検出：パリティエラー、オーバーランエラー、フレーミングエラー
- ブレークの検出：フレーミングエラー発生時、RxD端子のレベルを直接リードすることでブレークを検出可能
- 平均転送レートジェネレータ（SCI_0、SCI_2）：
  10.667MHz動作時に460.606kbps / 115.152kbpsの選択が可能
  16MHzおよび24MHz動作時に720kbps / 460.784kbps / 230.392kbps / 115.196kbpsの選択が可能
  20MHz動作時に230.392kbps / 115.196kbpsの選択が可能

クロック同期式モード

- データ長：8ビット
- 受信エラーの検出：オーバランエラー
- SCIセレクト機能（SCI_0、SCI_2）：
  SSE0I＝1のときTxD0＝ハイインピーダンス、SCK0＝High固定入力
  SSE2I＝1のときTxD2＝ハイインピーダンス、SCK2＝High固定入力

スマートカードインタフェース

- 受信時パリティエラーを検出するとエラーシグナルを自動送出
- 送信時エラーシグナルを受信するとデータを自動再送信
- ダイレクトコンベンション／インバースコンベンションの両方をサポート

SCI_1 のブロック図を**図** 16.1 に、SCI_0、SCI_2 のブロック図を**図** 16.2 に示します。

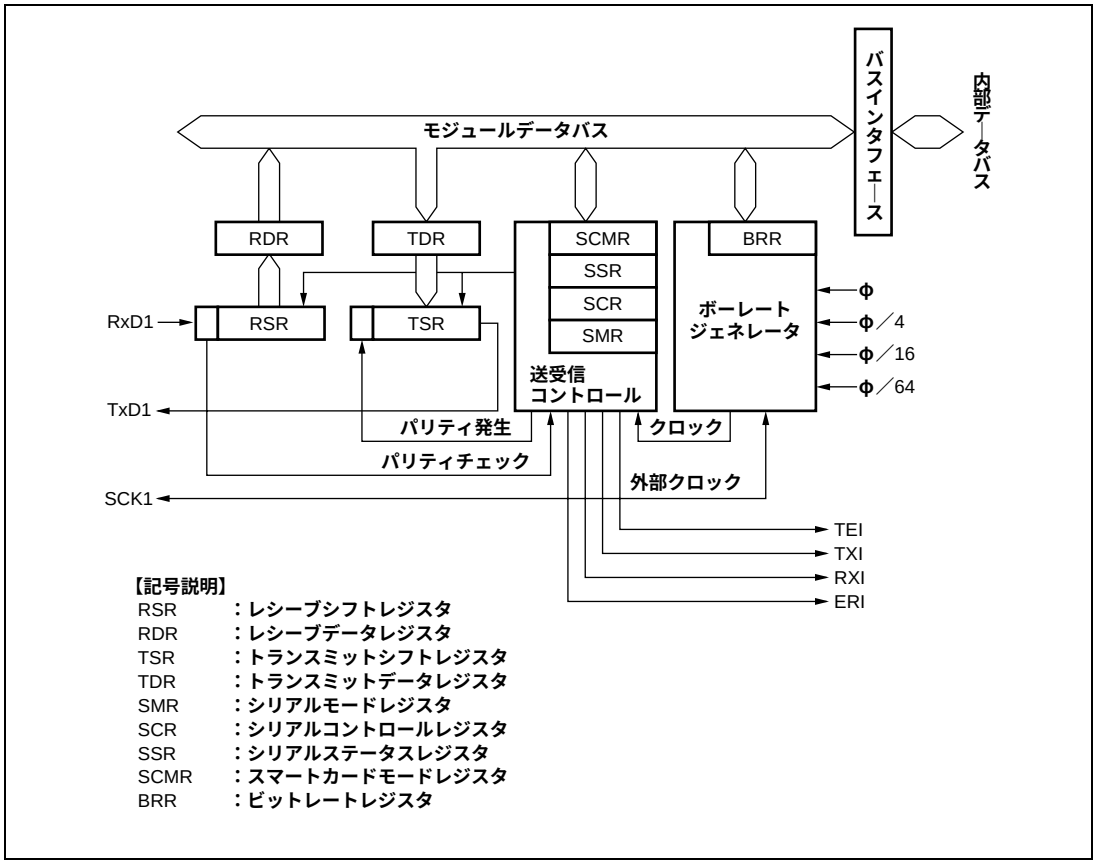


図 16.1　SCI_1 **のブロック図**

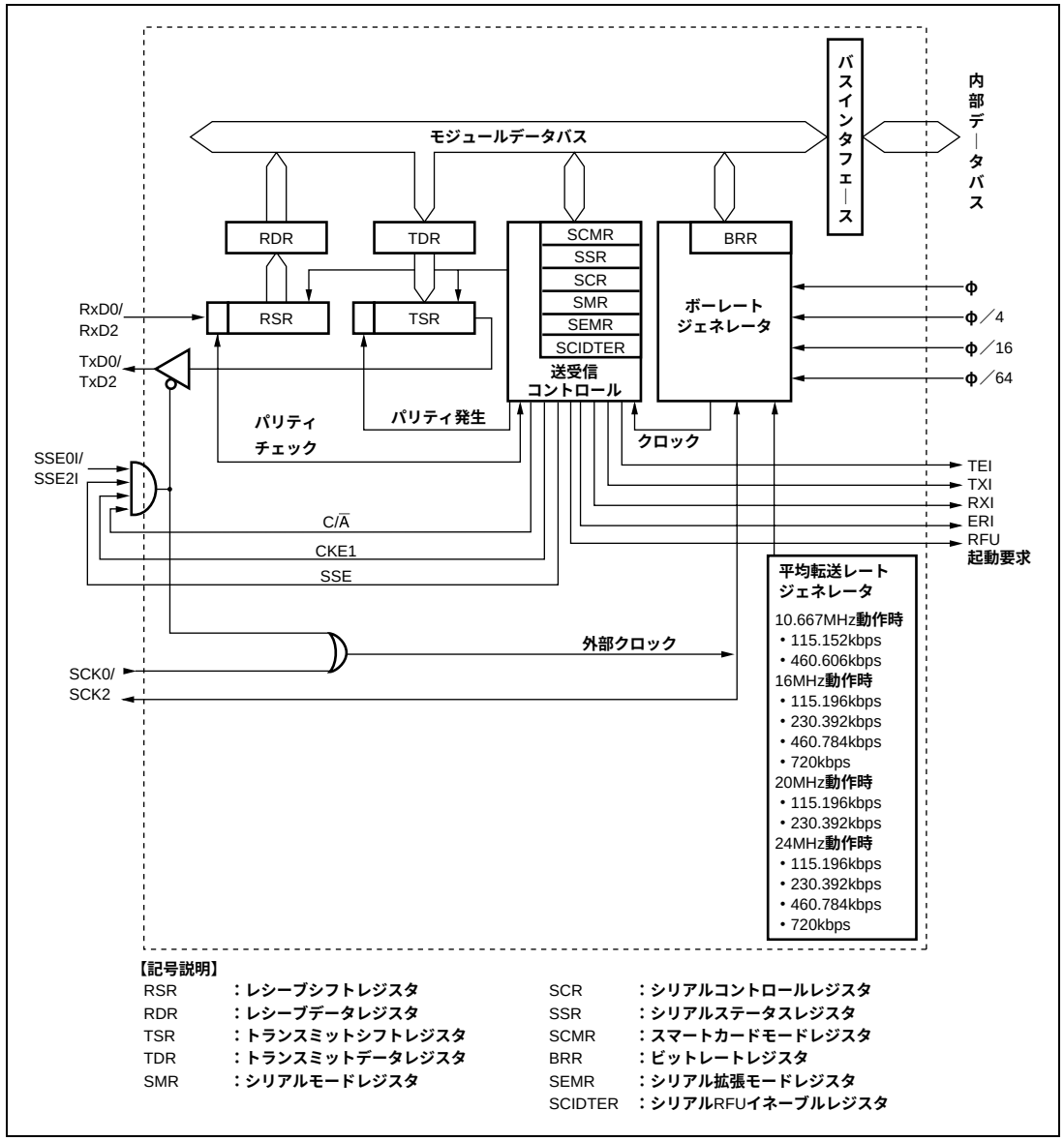


図 16.2　SCI_0、SCI_2 **のブロック図**

16.2 入出力端子

SCI には、**表 16.1** の入出力端子があります。

表 16.1 端子構成

チャネル	記号*	入出力	機　能
0	SCK0	入出力	チャネル 0 のクロック入出力端子
	RxD0	入力	チャネル 0 の受信データ入力端子
	TxD0	出力	チャネル 0 の送信データ出力端子
	SSE0I	入力	チャネル 0 の動作を停止する入力端子
1	SCK1	入出力	チャネル 1 のクロック入出力端子
	RxD1/IrRxD	入力	チャネル 1 の受信データ入力端子（通常/IrDA）
	TxD1/IrTxD	出力	チャネル 1 の送信データ出力端子（通常/IrDA）
2	SCK2	入出力	チャネル 2 のクロック入出力端子
	RxD2	入力	チャネル 2 の受信データ入力端子
	TxD2	出力	チャネル 2 の送信データ出力端子
	SSE2I	入力	チャネル 2 の動作を停止する入力端子

【注】*　本文中ではチャネルを省略し、それぞれ SCK、RxD、TxD **と略称します。**

16.3 レジスタの説明

SCI にはチャネルごとに以下のレジスタがあります。シリアルモードレジスタ（SMR）、シリアルステータスレジスタ（SSR）、シリアルコントロールレジスタ（SCR）は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なるため、別々に記載してあります。

- **レシーブシフトレジスタ**（RSR）
- **レシーブデータレジスタ**（RDR）
- **トランスミットデータレジスタ**（TDR）
- **トランスミットシフトレジスタ**（TSR）
- **シリアルモードレジスタ**（SMR）
- **シリアルコントロールレジスタ**（SCR）
- **シリアルステータスレジスタ**（SSR）
- **スマートカードモードレジスタ**（SCMR）
- **ビットレートレジスタ**（BRR）
- **シリアルインタフェースコントロールレジスタ**（SCICR）*1
- **シリアル拡張モードレジスタ**（SEMR）*2
- **シリアル**RFU**イネーブルレジスタ**（SCIDTER）*2

【注】 *1　SCICR **は** SCI_0、SCI_2 **にはありません。**

*2　SEMR、SCIDTER **は、**SCI_1 **にはありません。**

16.3.1 レシーブシフトレジスタ（RSR）

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

16.3.2 レシーブデータレジスタ（RDR）

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。

16.3.3 トランスミットデータレジスタ（TDR）

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR につぎの送信データがライトされていれば TSR へ転送して送信を継続します。TDR は CPU から常にリード／ライト可能ですが、シリアル送信を確実に行うため TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。

16.3.4 トランスミットシフトレジスタ（TSR）

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

16.3.5 シリアルモードレジスタ（SMR）

SMR は通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。SMR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

通常のシリアルコミュニケーションインタフェースモード（SCMR の SMIF＝0 のとき）

ビット	ビット名	初期値	R/W	説　明
7	C/$\overline{A}$	0	R/W	コミュニケーションモード 0：調歩同期式モードで動作します。 1：クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス（調歩同期式モードのみ有効） 0：データ長 8 ビットで送受信します。 1：データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では TDR の MSB は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティイネーブル（調歩同期式モードのみ有効） このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/$\overline{E}$	0	R/W	パリティモード（調歩同期式モードで PE＝1 のときのみ有効） 0：偶数パリティで送受信します。 1：奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレングス（調歩同期式モードのみ有効） 送信時のストップビットの長さを選択します。 0：1 ストップビット 1：2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。
2	MP	0	R/W	マルチプロセッサモード（調歩同期式モードのみ有効） このビットが 1 のときマルチプロセッサ通信機能がイネーブルになります。 マルチプロセッサモードでは PE、O/$\overline{E}$ ビットの設定は無効です。
1	CKS1	0	R/W	クロックセレクト 1〜0
0	CKS0	0	R/W	内蔵ボーレートジェネレータのクロックソースを選択します。 00：φクロック（n=0） 01：φ/4 クロック（n=1） 10：φ/16 クロック（n=2） 11：φ/64 クロック（n=3） このビットの設定値とボーレートの関係については、「16.3.9　ビットレートレジスタ（BRR）」を参照してください。n は設定値の 10 進表示で、「16.3.9　ビットレートレジスタ（BRR）」中の n の値を表します。

スマートカードインタフェース（SCMR の SMIF=1 のとき）

ビット	ビット名	初期値	R/W	説　明
7	GM	0	R/W	GSM モード このビットを 1 にセットすると GSM モードで動作します。GSM モードでは TEND のセットタイミングが先頭から 11.0etu に前倒しされ、クロック出力制御機能が追加されます。詳細は「16.7.8　クロック出力制御」を参照してください。
6	BLK	0	R/W	このビットを 1 にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「16.7.3　ブロック転送モード」を参照してください。
5	PE	0	R/W	パリティイネーブル（調歩同期式モードのみ有効） このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースではこのビットは 1 にセットして使用してください。
4	O/$\overline{E}$	0	R/W	パリティモード（調歩同期式モードで PE＝1 のときのみ有効） 0：偶数パリティで送受信します。 1：奇数パリティで送受信します。 スマートカードインタフェースにおけるこのビットの使用方法については「16.7.2　データフォーマット（ブロック転送モード時を除く）」を参照してください。
3 2	BCP1 BCP0	0 0	R/W R/W	基本クロックパルス 1〜0 スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を選択します。 00：32 クロック（S=32） 01：64 クロック（S=64） 10：372 クロック（S=372） 11：256 クロック（S=256） 詳細は、「16.7.4　受信データサンプリングタイミングと受信マージン」を参照してください。S は「16.3.9　ビットレートレジスタ（BRR）」中の S の値を表します。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1〜0 内蔵ボーレートジェネレータのクロックソースを選択します。 00：φクロック（n=0） 01：φ/4 クロック（n=1） 10：φ/16 クロック（n=2） 11：φ/64 クロック（n=3） このビットの設定値とボーレートの関係については、「16.3.9　ビットレートレジスタ（BRR）」を参照してください。n は設定値の 10 進表示で、「16.3.9 ビットレートレジスタ（BRR）」中の n の値を表します。

16.3.6 シリアルコントロールレジスタ（SCR）

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「16.9 **割り込み要因**」を参照してください。SCR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

通常のシリアルコミュニケーションインタフェースモード（SCMR の SMIF=0 のとき）

ビット	ビット名	初期値	R/W	説　明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。
5	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。
4	RE	0	R/W	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル（調歩同期式モードで SMR の MP＝1 のとき有効） このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読みとばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「16.5 マルチプロセッサ通信機能」を参照してください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを 1 セットすると TEI 割り込み要求がイネーブルになります。
1	CKE1	0	R/W	クロックイネーブル 1～0
0	CKE0	0	R/W	クロックソースおよび SCK 端子の機能を選択します。 調歩同期式の場合 00：内部クロック （SCK 端子は入出力ポートとして使用できます） 01：内部クロック （SCK 端子からビットレートと同じ周波数のクロックを出力します） 1∗：外部クロック （ビットレートの 16 倍の周波数のクロックを SCK 端子に入力してください。） クロック同期式の場合 0∗：内部クロック（SCK 端子はクロック出力端子となります。） 1∗：外部クロック（SCK 端子はクロック入力端子となります。）

【記号説明】∗：Don't care

スマートカードインタフェース（SCMR の SMIF=1 のとき）

ビット	ビット名	初期値	R/W	説　明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。
5	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。
4	RE	0	R/W	レシーブイネーブル このビットを 1 にセットすると、受信動作が可能になります。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル（調歩同期式モードで SMR の MP＝1 のとき有効） スマートカードインタフェースではこのビットには 0 をライトして使用してください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル スマートカードインタフェースではこのビットには 0 をライトして使用してください。
1	CKE1	0	R/W	クロックイネーブル 1〜0
0	CKE0	0	R/W	SCK 端子からのクロック出力を制御します。GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は「16.7.8　クロック出力制御」を参照してください。 SMR の GM=0 の場合 00：出力ディスエーブル（SCK 端子は入出力ポートとして使用可） 01：クロック出力 1＊：リザーブ SMR の GM=1 の場合 00：Low 出力固定 01：クロック出力 10：High 出力固定 11：クロック出力

【記号説明】＊：Don't care

16.3.7 シリアルステータスレジスタ（SSR）

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。SSR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

通常のシリアルコミュニケーションインタフェースモード（SCMR の SMIF=0 のとき）

ビット	ビット名	初期値	R/W	説　明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 ［セット条件］ • SCR の TE が 0 のとき • TDR から TSR にデータが転送され、TDR がデータライト可能になったとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき • TXI 割り込み要求による DTC で TDR へデータをライトしたとき • TDRE=1 をトリガとした RFU 起動で TDR へデータをライトしたとき （SCI_0、SCI_2 のみ）
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 ［セット条件］ • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき • RXI 割り込み要求による DTC で RDR のデータをリードしたとき • RDRF=1 をトリガとした RFU 起動で RDR のデータをリードしたとき （SCI_0、SCI_2 のみ） SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。
5	ORER	0	R/(W)*	オーバランエラー ［セット条件］ • RDRF=1 の状態で次のデータを受信したとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき
4	FER	0	R/(W)*	フレーミングエラー ［セット条件］ • ストップビットが 0 のとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき 2 ストップのときも 1 ビット目のストップビットのみチェックします。

ビット	ビット名	初期値	R/W	説　明
3	PER	0	R/(W)*	パリティエラー ［セット条件］ • 受信中にパリティエラーを検出したとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき
2	TEND	1	R	トランスミットエンド ［セット条件］ • SCR の TE が 0 のとき • 送信キャラクタの最後尾ビットの送信時、TDRE が 1 のとき ［クリア条件］ • TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき • TXI 割り込み要求による DTC で TDR へデータをライトしたとき • TDRE=1 をトリガとした RFU 起動で TDR へデータをライトしたとき （SCI_0、SCI_2 のみ）
1	MPB	0	R	マルチプロセッサビット 受信フレーム中のマルチプロセッサビットの値が格納されます。SCR の RE が 0 のときは変化しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ 送信フレームに付加するマルチプロセッサビットの値を設定します。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

スマートカードインタフェース（SCMR の SMIF=1 のとき）

ビット	ビット名	初期値	R/W	説　明
7	TDRE	1	R/(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 ［セット条件］ • SCR の TE が 0 のとき • TDR から TSR にデータが転送され、TDR がデータライト可能になったとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき • TXI 割り込み要求により DTC で TDR へ送信データを転送したとき • SMR の BLK=0 のとき、TEND=1 をトリガとした RFU 起動で TDR へデータをライトしたとき（SCI_0、SCI_2 のみ） • SMR の BLK=1 のとき、TDRE=1 をトリガとした RFU 起動で TDR へデータをライトしたとき（SCI_0、SCI_2 のみ）
6	RDRF	0	R/(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 ［セット条件］ • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき • RXI 割り込み要求による DTC で RDR のデータをリードしたとき • RDRF=1 をトリガとした RFU 起動で RDR のデータをリードしたとき（SCI_0、SCI_2 のみ） SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。
5	ORER	0	R/(W)*	オーバランエラー ［セット条件］ • RDRF=1 の状態で次のデータを受信したとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき
4	ERS	0	R/(W)*	エラーシグナルステータス ［セット条件］ • エラーシグナル Low をサンプリングしたとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき

ビット	ビット名	初期値	R/W	説　明
3	PER	0	R/(W)*	パリティエラー ［セット条件］ • 受信中にパリティエラーを検出したとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき
2	TEND	1	R	トランスミットエンド 受信側からのエラーシグナルの応答がなく、次の送信データを TDR に転送可能になったときセットされます。 ［セット条件］ • SCR の TE=0 かつ ERS=0 のとき • 1 バイトのデータを送信して一定期間後、ERS=0 かつ TDRE=1 のとき。 セットされるタイミングはレジスタの設定により以下のように異なります。 GM=0、BLK=0 のとき、送信開始から 2.5etu 後 GM=0、BLK=1 のとき、送信開始から 1.5etu 後 GM=1、BLK=0 のとき、送信開始から 1.0etu 後 GM=1、BLK=1 のとき、送信開始から 1.0etu 後 ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき • TXI 割り込み要求により DTC で TDR へ送信データをライトしたとき • SMR の BLK=0 のとき、TEND=1 をトリガとした RFU 起動で TDR へデータをライトしたとき（SCI_0、SCI_2 のみ） • SMR の BLK=1 のとき、TDRE=1 をトリガとした RFU 起動で TDR へデータをライトしたとき（SCI_0、SCI_2 のみ）
1	MPB	0	R	マルチプロセッサビット スマートカードインタフェースでは使用しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ スマートカードインタフェースではこのビットには 0 をライトして使用してください。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

16.3.8 スマートカードモードレジスタ（SCMR）

SCMR はスマートカードインタフェースおよびそのフォーマットを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説　明
7〜4	—	すべて 1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	SDIR	0	R/W	スマートカードデータトランスファディレクション シリアル／パラレル変換の方向を選択します。 0：TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 1：TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納 送受信フォーマットが 8 ビットデータの場合のみ有効です。7 ビットデータの場合は LSB ファーストに固定されます。
2	SINV	0	R/W	スマートカードデータインバート 送受信データのロジックレベルの反転を指定します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SMR の O/$\overline{E}$ ビットを反転してください。 0：TDR の内容をそのまま送信、受信データをそのまま RDR に格納 1：TDR の内容を反転して送信、受信データを反転して RDR に格納
1	—	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
0	SMIF	0	R/W	スマートカードインタフェースモードセレクト スマートカードインタフェースモードで動作させるとき 1 をセットします。 0：通常の調歩同期式またはクロック同期式モード 1：スマートカードインタフェースモード

16.3.9 ビットレートレジスタ（BRR）

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR の設定値 N とビットレート B の関係を**表 16.2** に示します。BRR の初期値は H'FF で、CPU から常にリード／ライト可能です。

表 16.2 BRR の設定値 N とビットレート B の関係

モード	ビットレート	誤差
調歩同期式	$B = \frac{\phi \times 10^6}{64 \times 2^{2n-1} \times (N+1)}$	誤差（%）$= \{ \frac{\phi \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \} \times 100$
クロック同期式	$B = \frac{\phi \times 10^6}{8 \times 2^{2n-1} \times (N+1)}$	
スマートカードインタフェース	$B = \frac{\phi \times 10^6}{S \times 2^{2n-1} \times (N+1)}$	誤差（%）$= \{ \frac{\phi \times 10^6}{B \times S \times 2^{2n-1} \times (N+1)} - 1 \} \times 100$

【注】 B：ビットレート（bit/s）

N：ボーレートジェネレータの BRR の設定値（0≦N≦255）

φ：動作周波数（MHz）

n と S：下表のとおり SMR の設定値によって決まります。

SMR の設定値		n
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

SMR の設定値		S
BCP1	BCP0	
0	0	32
0	1	64
1	0	372
1	1	256

通常の調歩同期式モードにおける BRR の値Nの設定例を**表 16.3** に、各動作周波数における設定可能な最大ビットレートを**表 16.4** に示します。また、クロック同期式モードにおける BRR の値Nの設定例を**表 16.6** に、スマートカードインタフェースにおける BRR の値Nの設定例を**表 16.8** に示します。スマートカードインタフェースでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は**「16.7.4 受信データサンプリングタイミングと受信マージン」**を参照してください。また、**表 16.5**、**表 16.7** に外部クロック入力時の最大ビットレートを示します。

表 16.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕（1）

ビットレート (bit/s)	動作周波数φ（MHz）											
	2			2.097152			2.4576			3		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	1	141	0.03	1	148	−0.04	1	174	−0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	−0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	−2.48	0	15	0.00	0	19	−2.34
9600	−	−	−	0	6	−2.48	0	7	0.00	0	9	−2.34
19200	−	−	−	−	−	−	0	3	0.00	0	4	−2.34
31250	0	1	0.00	−	−	−	−	−	−	0	2	0.00
38400	−	−	−	−	−	−	0	1	0.00	−	−	−

ビットレート (bit/s)	動作周波数φ（MHz）											
	3.6864			4			4.9152			5		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	−0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	−1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	−	−	−	0	7	0.00	0	7	1.73
31250	—	—	—	0	3	0.00	0	4	−1.70	0	4	0.00
38400	0	2	0.00	−	−	−	0	3	0.00	0	3	1.73

【注】 誤差はなるべく 1%以内になるように設定してください。

【記号説明】 −：設定可能ですが誤差がでます。

表 16.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕（2）

ビットレート (bit/s)	動作周波数φ（MHz）											
	6			6.144			7.3728			8		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	N	N	誤差（%）
110	2	106	−0.44	2	108	0.08	2	130	−0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	−2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	−2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	−	−	−	0	7	0.00
38400	0	4	−2.34	0	4	0.00	0	5	0.00	−	−	−

ビットレート (bit/s)	動作周波数φ（MHz）											
	9.8304			10			12			12.288		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	N	N	誤差（%）
110	2	174	−0.26	2	177	−0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	−1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	−2.34	0	19	0.00
31250	0	9	−1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	−2.34	0	9	0.00

【注】 誤差はなるべく 1%以内になるように設定してください。

【記号説明】 −：設定可能ですが誤差がでます。

表 16.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕（3）

ビットレート (bit/s)	動作周波数φ（MHz）											
	14			14.7456			16			17.2032		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	2	248	−0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	−0.93	0	47	0.00	0	51	0.16	0	55	0.00
19200	0	22	−0.93	0	23	0.00	0	25	0.16	0	27	0.00
31250	0	13	0.00	0	14	−1.70	0	15	0.00	0	16	1.20
38400	−	−	−	0	11	0.00	0	12	0.16	0	16	0.00

ビットレート (bit/s)	動作周波数φ（MHz）											
	18			19.6608			20			25		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
110	3	79	−0.12	3	86	0.31	3	88	−0.25	3	110	−0.02
150	2	233	0.16	2	255	0.00	3	64	0.16	3	80	−0.47
300	2	116	0.16	2	127	0.00	2	129	0.16	2	162	0.15
600	1	233	0.16	1	255	0.00	2	64	0.16	2	80	−0.47
1200	1	116	0.16	1	127	0.00	1	129	0.16	1	162	0.15
2400	0	233	0.16	0	255	0.00	1	64	0.16	1	80	−0.47
4800	0	116	0.16	0	127	0.00	0	129	0.16	0	162	0.15
9600	0	58	−0.69	0	63	0.00	0	64	0.16	0	80	−0.47
19200	0	28	1.02	0	31	0.00	0	32	−1.36	0	40	−0.76
31250	0	17	0.00	0	19	−1.70	0	19	0.00	0	24	0.00
38400	0	14	−2.34	0	15	0.00	0	15	1.73	0	19	1.73

【注】 誤差はなるべく 1%以内になるように設定してください。

【記号説明】 −：設定可能ですが誤差がでます。

表 16.4　各動作周波数における最大ビットレート（調歩同期式モード）

φ（MHz）	最大ビットレート (bit/s)	N	N	φ（MHz）	最大ビットレート (bit/s)	n	N
2	62500	0	0	9.8304	307200	0	0
2.097152	65536	0	0	10	312500	0	0
2.4576	76800	0	0	12	375000	0	0
3	93750	0	0	12.288	384000	0	0
3.6864	115200	0	0	14	437500	0	0
4	125000	0	0	14.7456	460800	0	0
4.9152	153600	0	0	16	500000	0	0
5	156250	0	0	17.2032	537600	0	0
6	187500	0	0	18	562500	0	0
6.144	192000	0	0	19.6608	614400	0	0
7.3728	230400	0	0	20	625000	0	0
8	250000	0	0	25	781250	0	0

表 16.5　外部クロック入力時の最大ビットレート（調歩同期式モード）

φ（MHz）	外部入力クロック (MHz)	最大ビットレート (bit/s)	φ（MHz）	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250	9.8304	2.4576	153600
2.097152	0.5243	32768	10	2.5000	156250
2.4576	0.6144	38400	12	3.0000	187500
3	0.7500	46875	12.288	3.0720	192000
3.6864	0.9216	57600	14	3.5000	218750
4	1.0000	62500	14.7456	3.6864	230400
4.9152	1.2288	76800	16	4.0000	250000
5	1.2500	78125	17.2032	4.3008	268800
6	1.5000	93750	18	4.5000	281250
6.144	1.5360	96000	19.6608	4.9152	307200
7.3728	1.8432	115200	20	5.0000	312500
8	2.0000	125000	25	6.2500	390625

表 16.6　ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビットレート (bit/s)	動作周波数φ（MHz）													
	2		4		8		10		16		20		25	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	−	−										
250	2	124	2	249	3	124	−	−	3	249				
500	1	249	2	124	2	249	−	−	3	124	−	−		
1k	1	124	1	249	2	124	−	−	2	249	−	−	3	97
2.5k	0	199	1	99	1	199	1	249	2	99	2	124	2	155
5k	0	99	0	199	1	99	1	124	1	199	1	249	2	77
10k	0	49	0	99	0	199	0	249	1	99	1	124	1	155
25k	0	19	0	39	0	79	0	99	0	159	0	199	0	249
50k	0	9	0	19	0	39	0	49	0	79	0	99	0	124
100k	0	4	0	9	0	19	0	24	0	39	0	49	0	62
250k	0	1	0	3	0	7	0	9	0	15	0	19	0	24
500k	0	0*	0	1*	0	3	0	4	0	7	0	9	−	−
1M			0	0	0	1			0	3	0	4	−	−
2.5M							0	0*			0	1	−	−
5M											0	0*	−	−

【記号説明】

−　　：設定可能ですが誤差がでます。

*　　：連続送信／連続受信はできません。

表 16.7　外部クロック入力時の最大ビットレート（クロック同期式モード）

φ（MHz）	外部入力クロック (MHz)	最大ビットレート (bit/s)	φ（MHz）	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.3333	333333.3	14	2.3333	2333333.3
4	0.6667	666666.7	16	2.6667	2666666.7
6	1.0000	1000000.0	18	3.0000	3000000.0
8	1.3333	1333333.3	20	3.3333	3333333.3
10	1.6667	1666666.7	25	4.1667	4166666.7
12	2.0000	2000000.0			

表 16.8 ビットレートに対する BRR の設定例
（スマートカードインタフェースモードで n＝0、S＝372 のとき）

ビットレート (bit/s)	動作周波数φ（MHz）											
	7.1424			10.0000			10.7136			13.0000		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
9600	0	0	0.00	0	1	30	0	1	25	0	1	8.99

ビットレート (bit/s)	動作周波数φ（MHz）														
	14.2848			16.0000			18.0000			20.0000			25.0000		
	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）	n	N	誤差（%）
9600	0	1	0.00	0	1	12.01	0	2	15.99	0	2	6.60	0	3	12.49

表 16.9 各動作周波数における最大ビットレート（スマートカードインタフェースモードで S＝372 のとき）

φ（MHz）	最大ビットレート (bit/s)	n	N	φ（MHz）	最大ビットレート (bit/s)	n	N
7.1424	9600	0	0	16.0000	21505	0	0
10.0000	13441	0	0	18.0000	24194	0	0
10.7136	14400	0	0	20.0000	26882	0	0
13.0000	17473	0	0	25.0000	33602	0	0
14.2848	19200	0	0				

16.3.10 シリアルインタフェースコントロールレジスタ（SCICR）

SCICR は、SCI_1 の IrDA 動作の制御を行います。

ビット	ビット名	初期値	R/W	説　明
7	IrE	0	R/W	IrDA イネーブル SCI_1 の入出力端子を、通常 SCI か IrDA かに設定します。 0：TxD1/IrTxD,RxD1/IrRxD 端子は、TxD1,RxD1 として動作 1：TxD1/IrTxD,RxD1/IrRxD 端子は、IrTxD,IrRxD として動作
6 5 4	IrCKS2 IrCKS1 IrCKS0	0 0 0	R/W R/W R/W	IrDA クロックセレクト 2～0 IrDA 機能をイネーブルにしたとき、IrTxD 出力パルスエンコード時の High パルス幅を設定します。 000：B×3/16（ビットレートの 16 分の 3） 001：φ／2 010：φ／4 011：φ／8 100：φ／16 101：φ／32 110：φ／64 111：φ／128
3 2	— —	0 0	R/W R/W	リザーブビット 初期値を変更しないでください。
1 0	— —	0 0	R R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

16.3.11 シリアル拡張モードレジスタ_0、2（SEMR_0、SEMR_2）

SEMR_0、SEMR_2 は、それぞれ SCI_0、SCI_2 のセレクト機能の設定、および調歩同期式モード時のクロックソースを選択するためのレジスタです。平均転送レート動作の選択により基本クロックが自動設定できます。

ビット	ビット名	初期値	R/W	説　明
7	SSE	0	R/W	SCI セレクトイネーブル クロック同期モードで外部クロック入力時に、外部端子による SCI セレクト機能を設定します。 0：外部端子による SCI セレクト機能無効（通常状態） 1：外部端子による SCI セレクト機能有効 • SCI_0 SSE0I 端子＝0 入力時（選択状態）　：SCI_0 は通常動作 SSE0I 端子＝1 入力時（非選択状態）：SCI_0 は動作停止 （TxD0＝ハイインピーダンス状態、SCK0＝High 固定入力） • SCI_2 SSE2I 端子＝0 入力時（選択状態）　：SCI_2 は通常動作 SSE2I 端子＝1 入力時（非選択状態）：SCI_2 は動作停止 （TxD2＝ハイインピーダンス状態、SCK2＝High 固定入力）
6	—	0	R	リザーブビット
5	—	0	R	リードすると常に 0 が読み出されます。ライトは無効です。
4	ABCS	0	R/W	調歩同期基本クロックセレクト 調歩同期式モード時の 1 ビット期間の基本クロックを設定します。 このビットは、調歩同期式モード（SMR の C/$\overline{A}$ ビット＝0）のときのみ有効です。 0：転送クロックの 16 倍の周波数の基本クロックで動作（通常動作） 1：転送クロックの 8 倍の周波数の基本クロックで動作（倍速動作）

ビット	ビット名	初期値	R/W	説　明
3	ACS4	0	R/W	調歩同期クロックソースセレクト
2	ACS2	0	R/W	調歩同期式モード時のクロックソースおよび平均転送レート動作を設定します。これらのビットは、調歩同期式モードかつ外部クロック入力を選択したときのみ有効です。
1	ACS1	0	R/W	
0	ACS0	0	R/W	0000：外部クロック入力、平均転送レート動作なし、通常動作（転送クロックの 16 倍または 8 倍の周波数の基本クロックで動作） 0001：システムクロック 10.667MHz 時、115.152kbps の平均転送レート動作（転送クロックの 16 倍の周波数の基本クロックで動作） 0010：システムクロック 10.667MHz 時、460.606kbps の平均転送レート動作（転送クロックの 8 倍の周波数の基本クロックで動作） 0011：リザーブ 0100：リザーブ 0101：システムクロック 16MHz 時、115.196kbps の平均転送レート動作（転送クロックの 16 倍の周波数の基本クロックで動作） 0110：システムクロック 16MHz 時、460.784kbps の平均転送レート動作（転送クロックの 16 倍の周波数の基本クロックで動作） 0111：システムクロック 16MHz 時、720kbps の平均転送レート動作（転送クロックの 8 倍の周波数の基本クロックで動作） 1000：システムクロック 16MHz 時、115.196kbps の平均転送レート動作（転送クロックの 16 倍の周波数の基本クロックで動作） 1001：システムクロック 16MHz 時、230.392kbps の平均転送レート動作（転送クロックの 16 倍の周波数の基本クロックで動作） 1010：システムクロック 20MHz 時、115.196kbps の平均転送レート動作（転送クロックの 16 倍の周波数の基本クロックで動作） 1011：システムクロック 20MHz 時、230.392kbps の平均転送レート動作（転送クロックの 16 倍の周波数の基本クロックで動作） 1100：システムクロック 24MHz 時、115.196kbps の平均転送レート動作（転送クロックの 16 倍の周波数の基本クロックで動作） 1101：システムクロック 24MHz 時、230.392kbps の平均転送レート動作（転送クロックの 16 倍の周波数の基本クロックで動作） 1110：システムクロック 24MHz 時、460.784kbps の平均転送レート動作（転送クロックの 16 倍の周波数の基本クロックで動作） 1111：システムクロック 24MHz 時、720kbps の平均転送レート動作（転送クロックの 8 倍の周波数の基本クロックで動作）

16.3.12 シリアル RFU イネーブルレジスタ_0、2（SCIDTER_0、SCIDTER_2）

SCIDTER_0、SCIDTER_2 はそれぞれ SCI_0、SCI_2 の RFU の起動を許可／禁止します。

ビット	ビット名	初期値	R/W	説　明
7	TDRE_DTE	0	R/W	TDRE データ転送イネーブル TDRE=1 をトリガとした RFU の起動を許可/禁止します。 • SCMR の SMIF=0 のとき、または SMIF=1 かつ SMR の BLK=1 のとき 0：SSR の TDRE=1 をトリガとした RFU の起動を禁止、TXI 割り込み要求をマスクしない。 1：SSR の TDRE=1 をトリガとした RFU の起動を許可、TXI 割り込み要求をマスクする。 ［クリア条件］ TDRE=1 をトリガとした RFU の起動によるデータ転送が終了したとき（FIFO の EMPTY） • SCMR の SMIF=1 かつ SMR の BLK＝0 のとき 0：SSR の TEND=1 をトリガとした RFU の起動を禁止、TXI 割り込み要求をマスクしない。 1：SSR の TEND=1 をトリガとした RFU の起動を許可、TXI 割り込み要求をマスクする。 ［クリア条件］ SSR の TEND=1 をトリガとした RFU の起動によるデータ転送が終了したとき
6	RDRF_DTE	0	R/W	RDRF データ転送イネーブル SSR の RDRF=1 をトリガとした RFU の起動を許可／禁止します。 0：RFU の起動を禁止、RXI 割り込み要求をマスクしない。 1：RFU の起動を許可、RXI 割り込み要求をマスクする。 ［クリア条件］ SSR の RDRF=1 をトリガとした RFU の起動によるデータ転送が終了したとき（FIFO の FULL）
5〜0	—	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

16.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを**図 16.3** に示します。1 フレームは、スタートビット（Low レベル）から始まり送受信データ、パリティビット、ストップビット（High レベル）の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態（High レベル）に保たれています。SCI は通信回線を監視し、スペース（Low レベル）を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード／ライトができ、連続送受信が可能です。

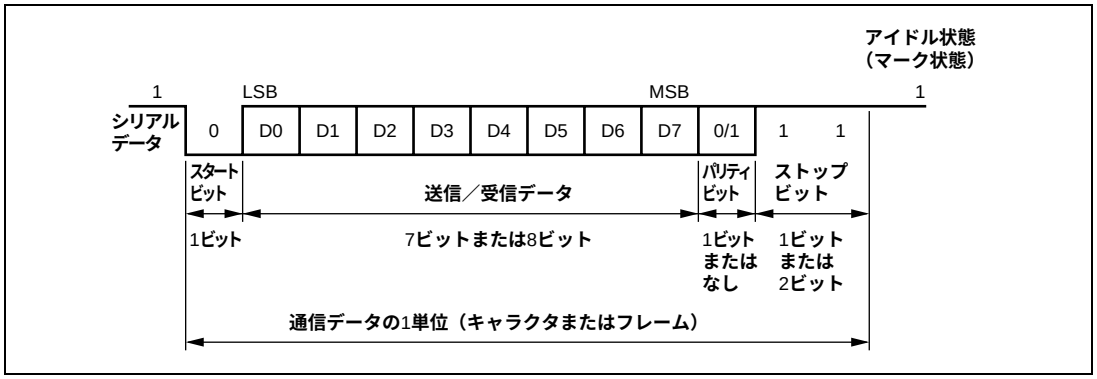


図 16.3 調歩同期式通信のデータフォーマット（8 ビットデータ／パリティあり／2 ストップビットの例）

16.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、**表 16.10** に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては**「16.5 マルチプロセッサ通信機能」**を参照してください。

表 16.10 シリアル送信／受信フォーマット（調歩同期式モード）

SMRの設定				シリアル送信／受信フォーマットとフレーム長
CHR	PE	MP	STOP	1 2 3 4 5 6 7 8 9 10 11 12
0	0	0	0	S 8ビットデータ STOP
0	0	0	1	S 8ビットデータ STOP STOP
0	1	0	0	S 8ビットデータ P STOP
0	1	0	1	S 8ビットデータ P STOP STOP
1	0	0	0	S 7ビットデータ STOP
1	0	0	1	S 7ビットデータ STOP STOP
1	1	0	0	S 7ビットデータ P STOP
1	1	0	1	S 7ビットデータ P STOP STOP
0	＊	1	0	S 8ビットデータ MPB STOP
0	＊	1	1	S 8ビットデータ MPB STOP STOP
1	＊	1	0	S 7ビットデータ MPB STOP
1	＊	1	1	S 7ビットデータ MPB STOP STOP

【記号説明】

S **：スタートビット**

STOP **：ストップビット**

P **：パリティビット**

MPB **：マルチプロセッサビット**

＊ **：**Don’t care

16.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、**図 16.4** に示すように受信データを基本クロックの 8 ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式（1）のように表わすことができます。

$$M = \{(0.5 - \frac{1}{2N}) - \frac{D-0.5}{N} - (L-0.5)F\} \times 100 \quad [\%] \qquad \cdots \text{式（1）}$$

M：受信マージン（%）

N：クロックに対するビットレートの比（N=16）

D：クロックのデューティ（D=0.5～1.0）

L：フレーム長（L=9～12）

F：クロック周波数の偏差の絶対値

式（1）で、F（クロック周波数の偏差の絶対値）=0、D（クロックのデューティ）=0.5 とすると、

M= {0.5−1/（2×16）} ×100 [%] =46.875%

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20～30%の余裕を持たせてください。

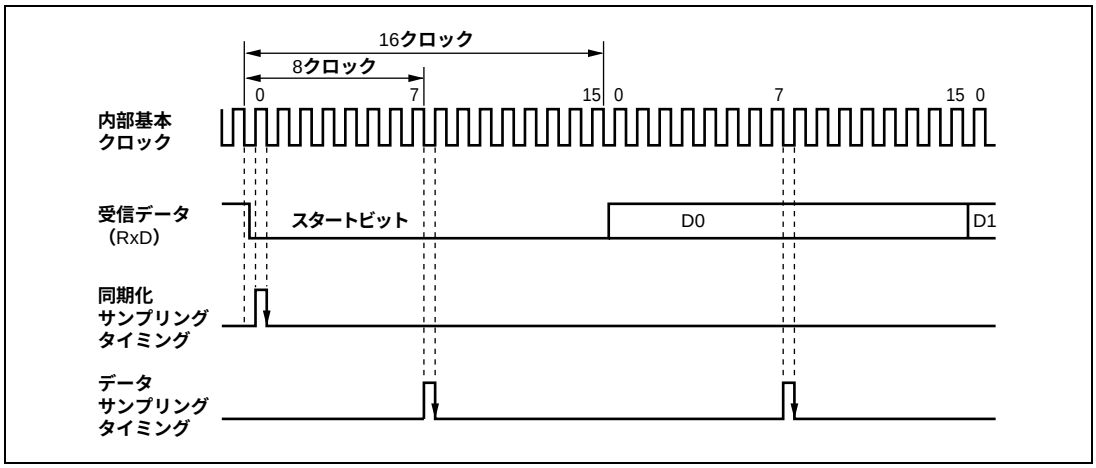


図 16.4 調歩同期式モードの受信データサンプリングタイミング

16.4.3 クロック

SCI の送受信クロックは、SMR の C/$\overline{A}$ ビットと SCR の CKE1、CKE0 ビットの設定により、内蔵ボーレートジェネレータの生成する内部クロックまたは SCK 端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK 端子にビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるときは SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は**図** 16.5 に示すように送信データの中央でクロックが立ち上がります。

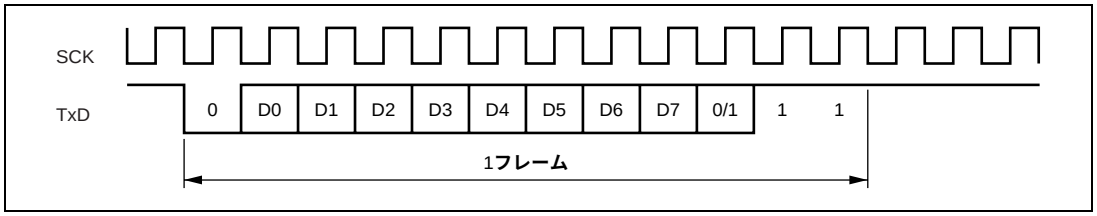


図 16.5 **出力クロックと送信データの位相関係（調歩同期式モード）**

16.4.4 シリアル拡張モードのクロック

SCI_0 および SCI_2 では、**「**16.4.3 **クロック」**の動作に加えて SEMR_0、SEMR_2 の設定により次の動作が可能です。

(1) 倍速動作

通常のビットレートの 16 倍の周波数のクロックの動作を、8 倍の周波数のクロックで動作させることができます。同一の基本クロックで 2 倍の転送レートで動作することができます。

倍速動作は SEMR の ABCS ビットで設定することができ、内部ボーレートジェネレータの生成する内部クロック、または SCK 端子から入力される外部クロックのいずれでも設定が可能です。ただし、平均転送レートを選択した場合は設定できません。

(2) 平均転送レート動作

SCK 端子から入力される外部クロックの動作を、システムクロックから生成した平均転送レートのクロックで動作させることができます。このとき SCK 端子は入力状態に固定されています。

平均転送レート動作は SEMR の ACS4、ACS2～0 ビットで設定できます。また、ACS4、ACS2～0 ビットをいずれも 0 にクリアすることにより、倍速動作を設定することができます。

図 16.6、**図** 16.7 に平均転送レートが選択されたときの内部ベースクロックの例を示します。

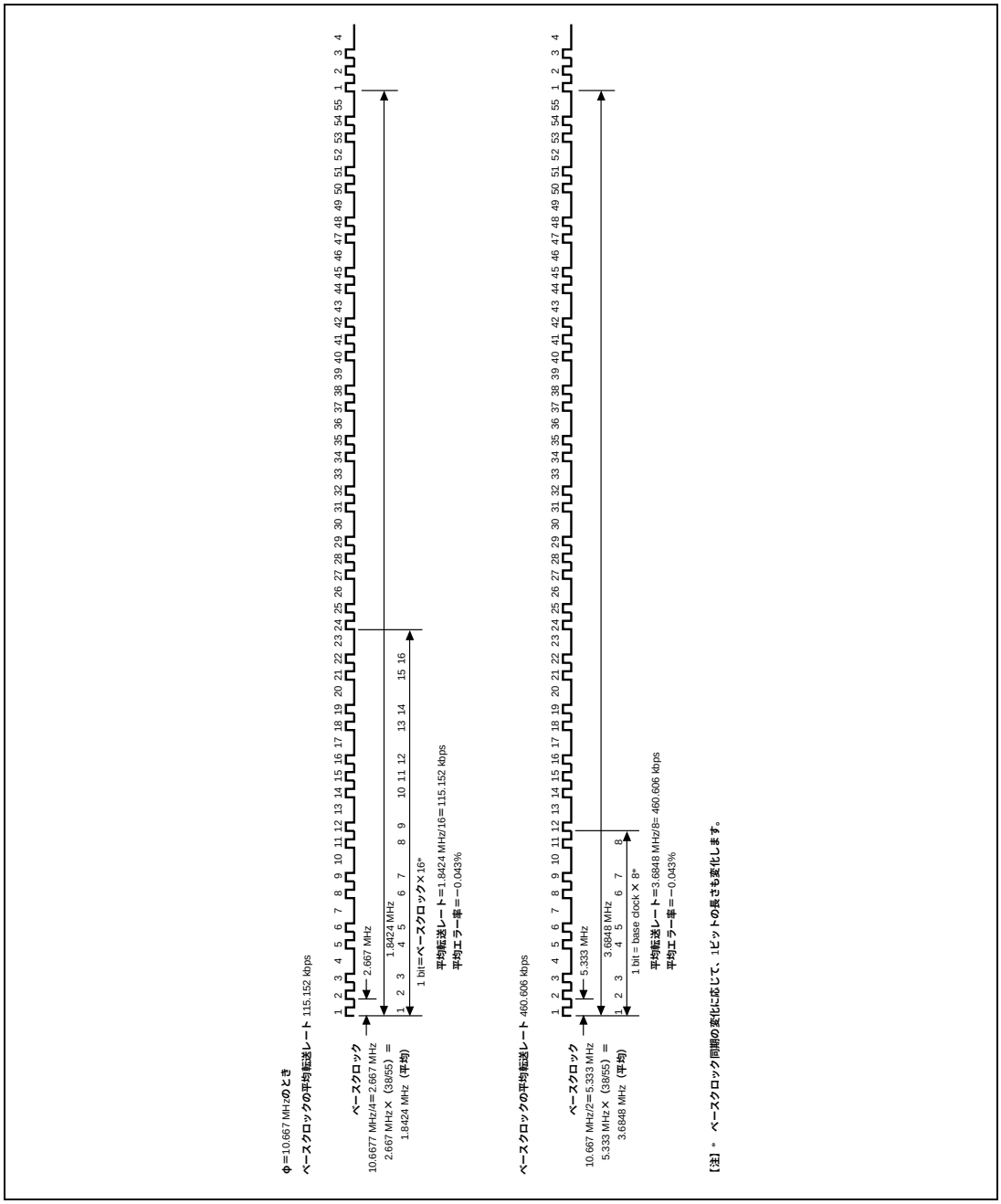


図 16.6　**平均転送レートが選択されたときのベースクロック例（1）**

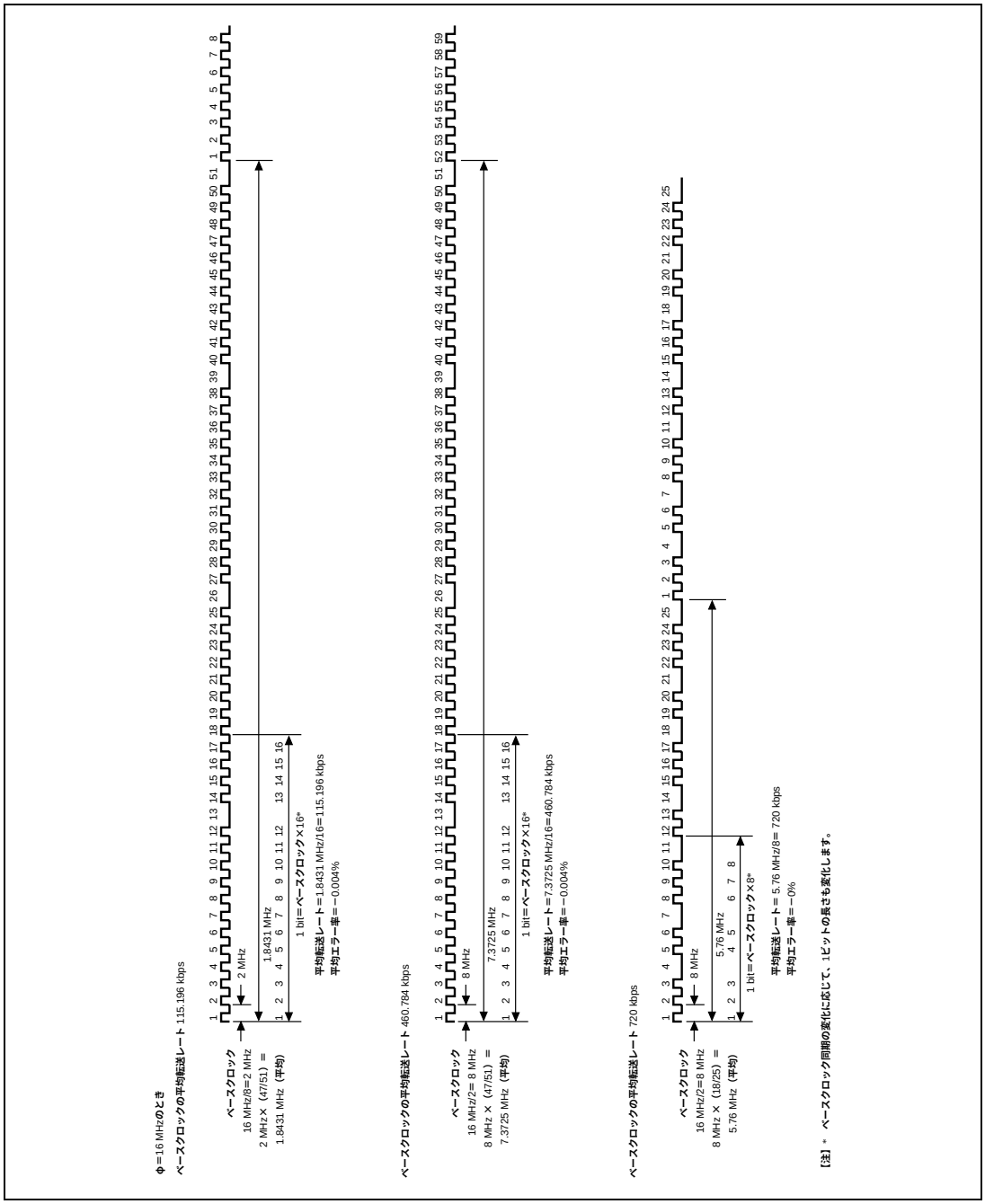


図 16.7　**平均転送レートが選択されたときのベースクロック例**（2）

16.4.5 SCI の初期化（調歩同期式）

データの送受信前に、SCR の TE、RE ビットをクリアした後、**図 16.8** のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、SSR の TDRE は 1 にセットされますが、RE を 0 にクリアしても、SSR の RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

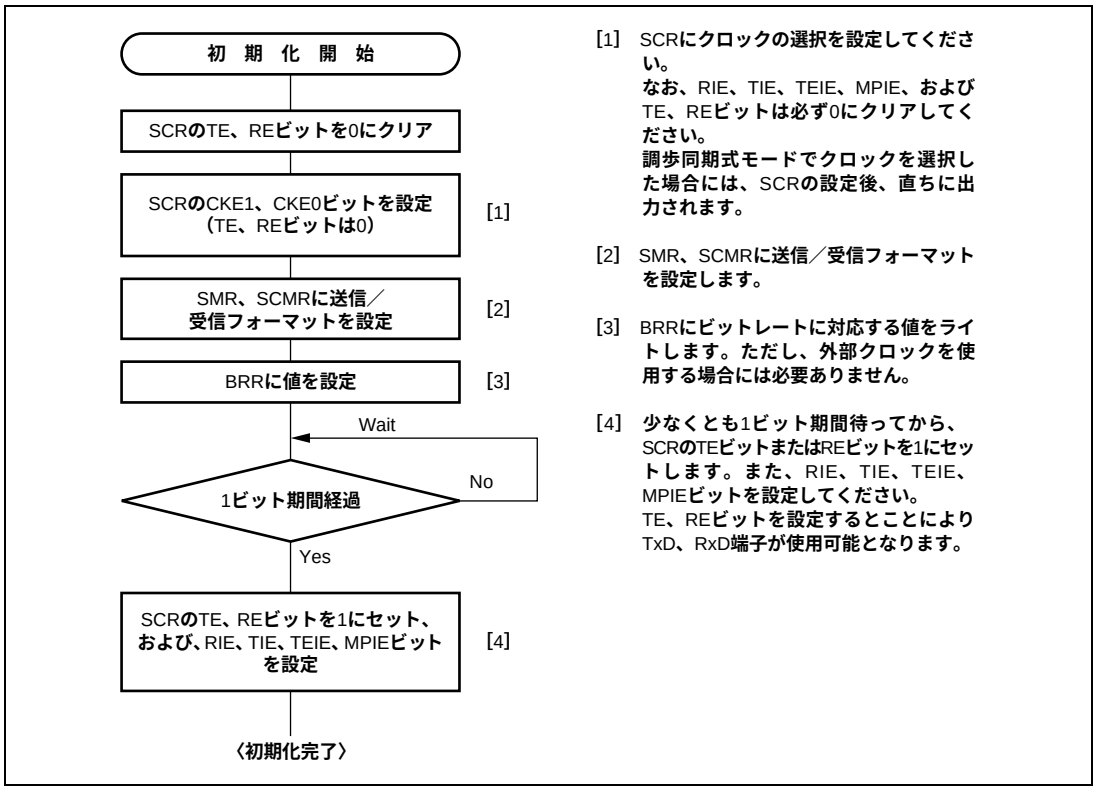


図 16.8 SCI の初期化フローチャートの例

16.4.6 シリアルデータ送信（調歩同期式）

図 16.9 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット（フォーマットによってはない場合もあります）、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDを1をセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEI割り込み要求を発生します。

図 16.10 にデータ送信のフローチャートの例を示します。

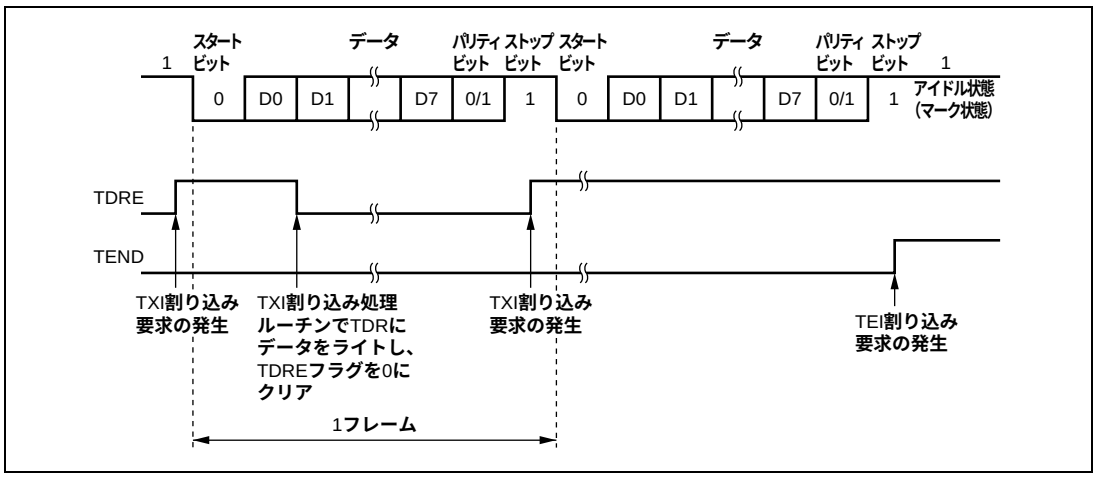
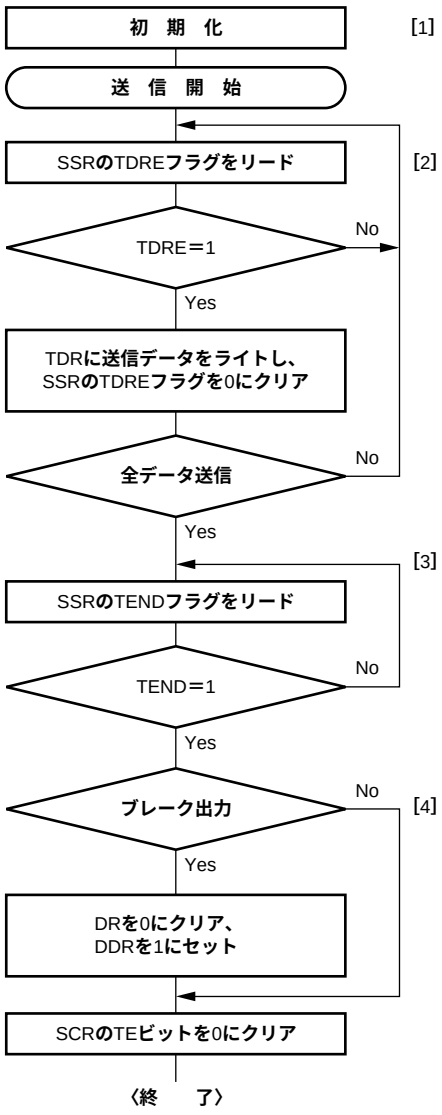


図 16.9 **調歩同期式モードの送信時の動作例（8 ビットデータ／パリティあり／1 ストップビットの例）**



[1] SCIを初期化：
TxD端子は自動的に送信データ出力端子になります。
TEビットを1にセットした後、1フレーム分の1を出力して送信可能状態になります。

[2] SCIの状態を確認して、送信データをライト：
SSRをリードして、TDREフラグが1であることを確認した後、TDRに送信データをライトし、TDREフラグを0にクリアします。

[3] シリアル送信の継続手順：
シリアル送信を続けるときには、TDREフラグの1をリードしてライト可能であることを確認した後にTDRにデータをライトし、続いてTDREフラグを0にクリアしてください。ただし、送信データエンプティ割り込み（TXI）要求でDTCを起動し、TDRにデータをライトする場合には、TDREフラグのチェックおよびクリアは自動的に行われます。

[4] シリアル送信の終了時にブレークを出力：
シリアル送信時にブレークを出力するときには、TxD端子に対応するポートのDDRを1にセット、DRを0にクリアした後にSCRのTEビットを0にクリアします。

図 16.10 シリアル送信のフローチャートの例

16.4.7 シリアルデータ受信（調歩同期式）

図 16.11 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき（SSRのRDRFが1にセットされたまま次のデータを受信完了したとき）はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
4. フレーミングエラー（ストップビットが０のとき）を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

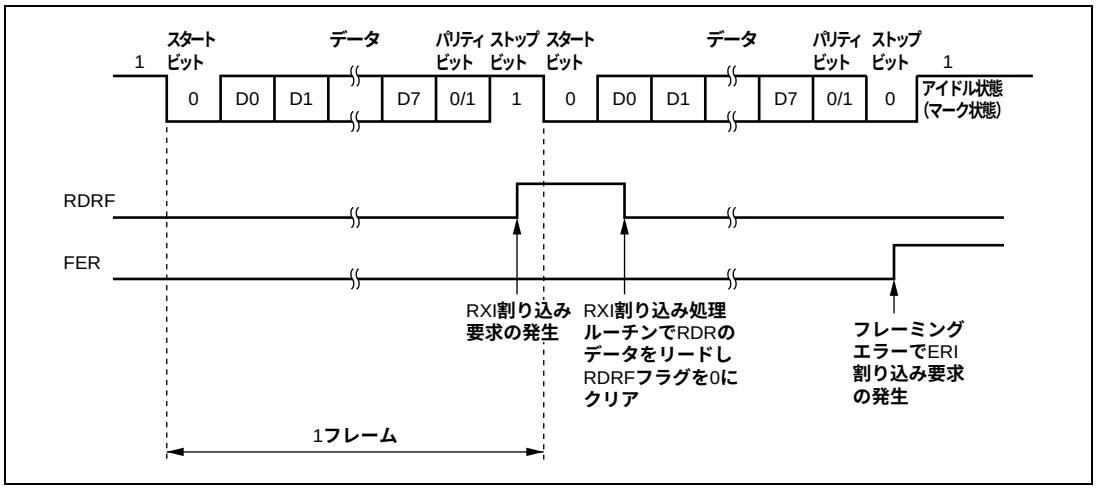


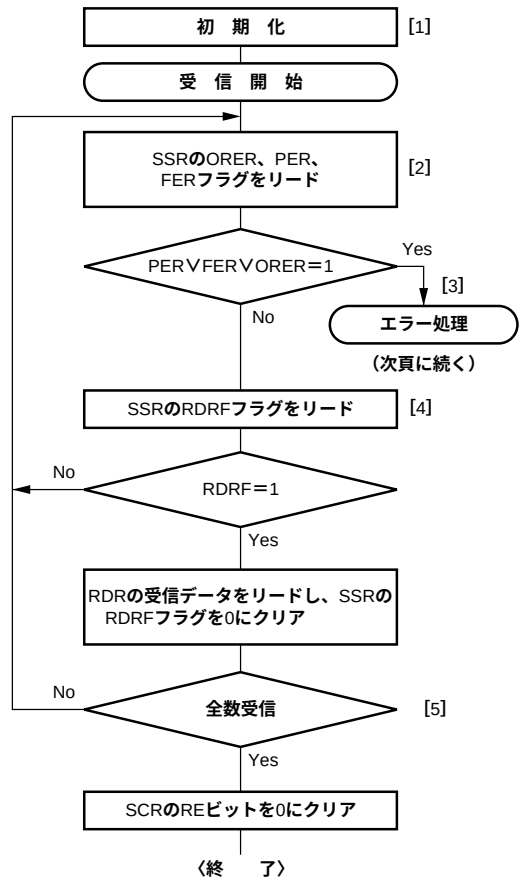
図 16.11　SCI **の受信時の動作例（**8 **ビットデータ／パリティあり／**1 **ストップビットの例）**

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を**表** 16.11 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。**図** 16.12 にデータ受信のためのフローチャートの例を示します。

表 16.11　SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー＋フレーミングエラー
1	1	0	1	消失	オーバランエラー＋パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー＋パリティエラー
1	1	1	1	消失	オーバランエラー＋フレーミングエラー＋パリティエラー

【注】＊ RDRF は、データ受信前の状態を保持します。



[1] SCIの初期化：
RxD端子は自動的に受信データ入力端子になります。

[2] [3] 受信エラー処理とブレークの検出：
受信エラーが発生したときには、SSRのORER、PER、FERの各フラグをリードしてエラーを判定します。所定のエラー処理を行った後、必ず、ORER、PER、FERフラグをすべて0にクリアしてください。ORER、PER、FERフラグのいずれかが1にセットされた状態では受信を再開できません。また、フレーミングエラー時にRxD端子に対応する入力ポートの値をリードすることでブレークの検出ができます。

[4] SCIの状態を確認して受信データのリード：
SSRをリードして、RDRF＝1であることを確認した後、RDRの受信データをリードし、RDRFフラグを0にクリアします。RDRFフラグが0から1に変化したことは、RXI割り込みによっても知ることができます。

[5] シリアル受信の継続手順：
シリアル受信を続けるときには、現在のフレームのストップビットを受信する前に、RDRFフラグのリード、RDRのリード、RDRFフラグを0にクリアしておいてください。ただし、RXI割り込みでDTCを起動しRDRの値をリードする場合には、RDRFフラグのクリアは自動的に行われます。

【記号説明】
∨：論理和（OR）

図 16.12　シリアル受信データフローチャートの例（1）

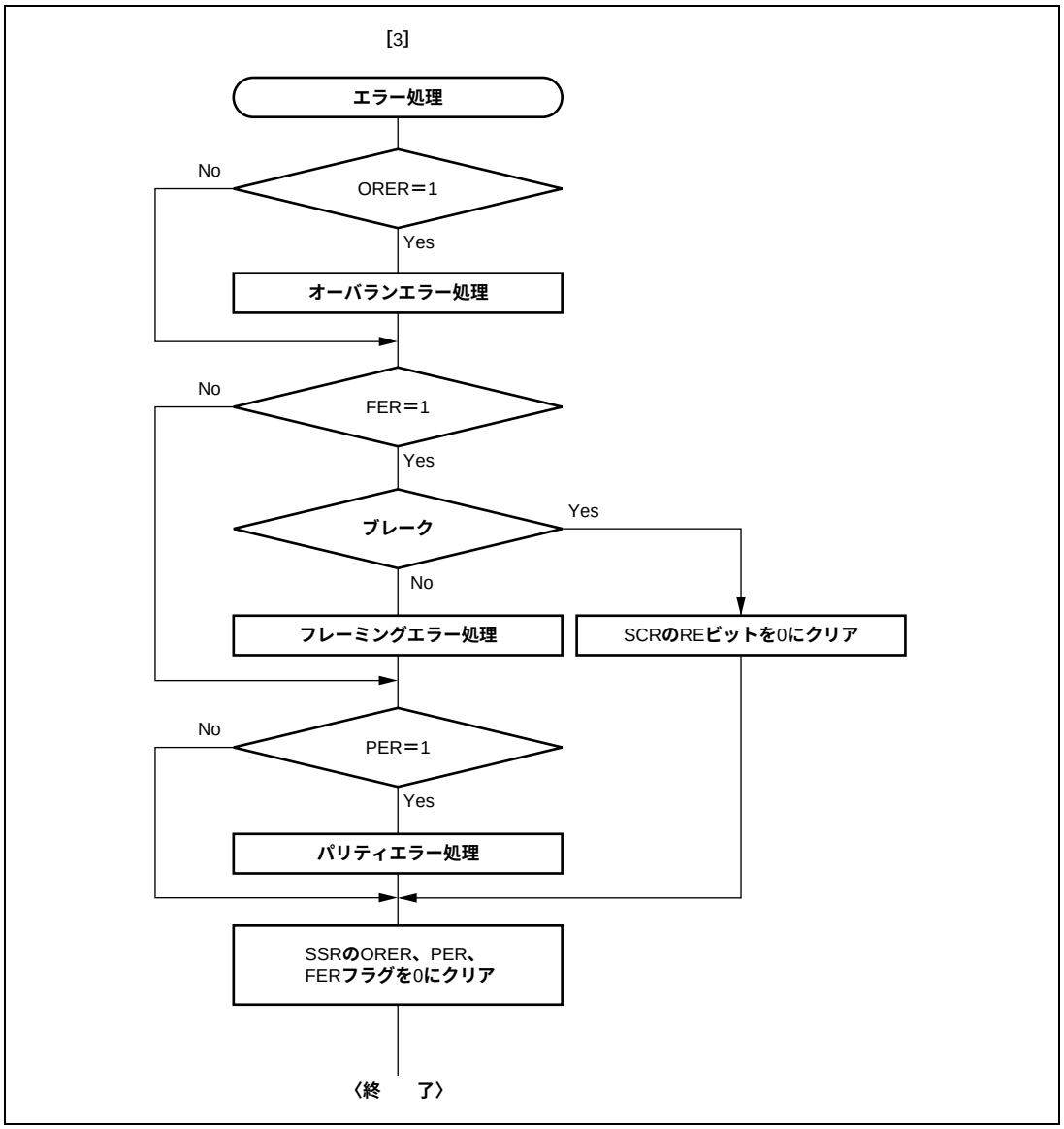


図 16.12　シリアル受信データフローチャートの例（2）

16.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。**図 16.13** にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCI はこの機能をサポートするため、SCR に MPIE ビットが設けてあります。MPIE を 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR の MPB が 1 にセットされるとともに MPIE が自動的にクリアされて通常の受信動作に戻ります。このとき SCR の RIE がセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

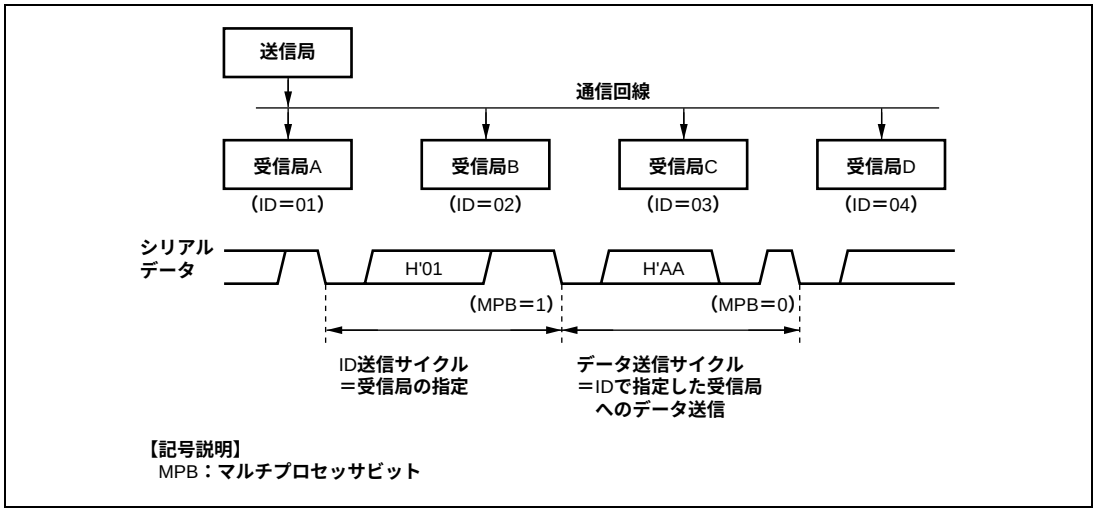
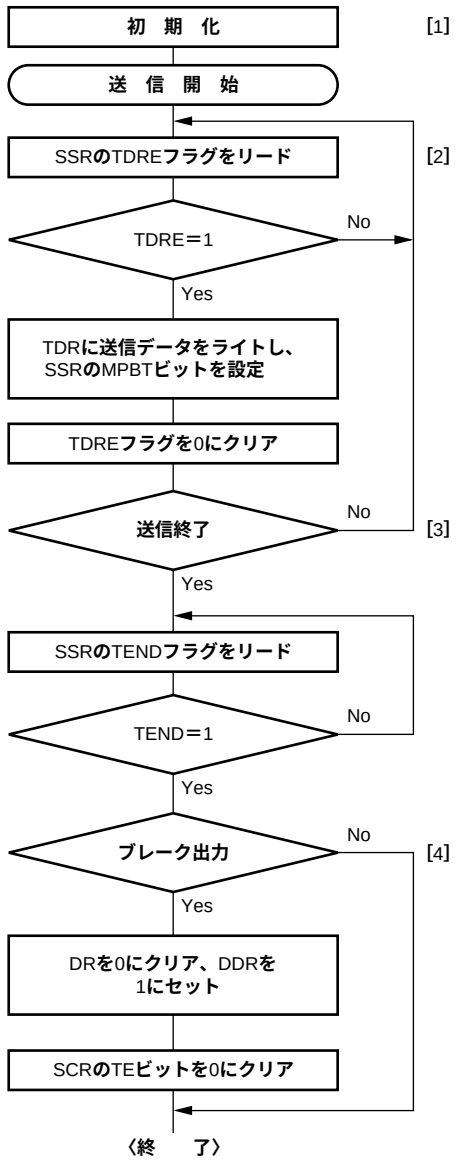


図 16.13　マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ H'AA の送信の例）

16.5.1 マルチプロセッサシリアルデータ送信

図 16.14 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。



[1] SCIの初期化：
TxD端子は自動的に送信データ出力端子になります。
TEビットを1にセットした後、1フレーム分の1を出力して送信可能状態になります。

[2] SCIの状態を確認して、送信データをライト：
SSRをリードして、TDREフラグが1であることを確認した後、TDRに送信データをライトします。また、SSRのMPBTビットを0または1に設定します。最後にTDREフラグを0にクリアしてください。

[3] シリアル送信の継続手順：
シリアル送信を続けるときには、必ずTDREフラグの1をリードしてライト可能であることを確認した後にTDRにデータをライトし、続いてTDREフラグを0にクリアしてください。ただし、送信データエンプティ割り込み（TXI）要求でDTCを起動しTDRにデータをライトする場合にはTDREフラグのチェック、およびクリアは自動的に行われます。

[4] シリアル送信の終了時にブレークを出力：
シリアル送信時にブレークを出力するときには、ポートのDDRを1にセットし、DRを0にクリアした後にSCRのTEビットを0にクリアします。

図 16.14 **マルチプロセッサシリアル送信のフローチャートの例**

16.5.2 マルチプロセッサシリアルデータ受信

図 16.16 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。**図 16.15** に受信時の動作例を示します。

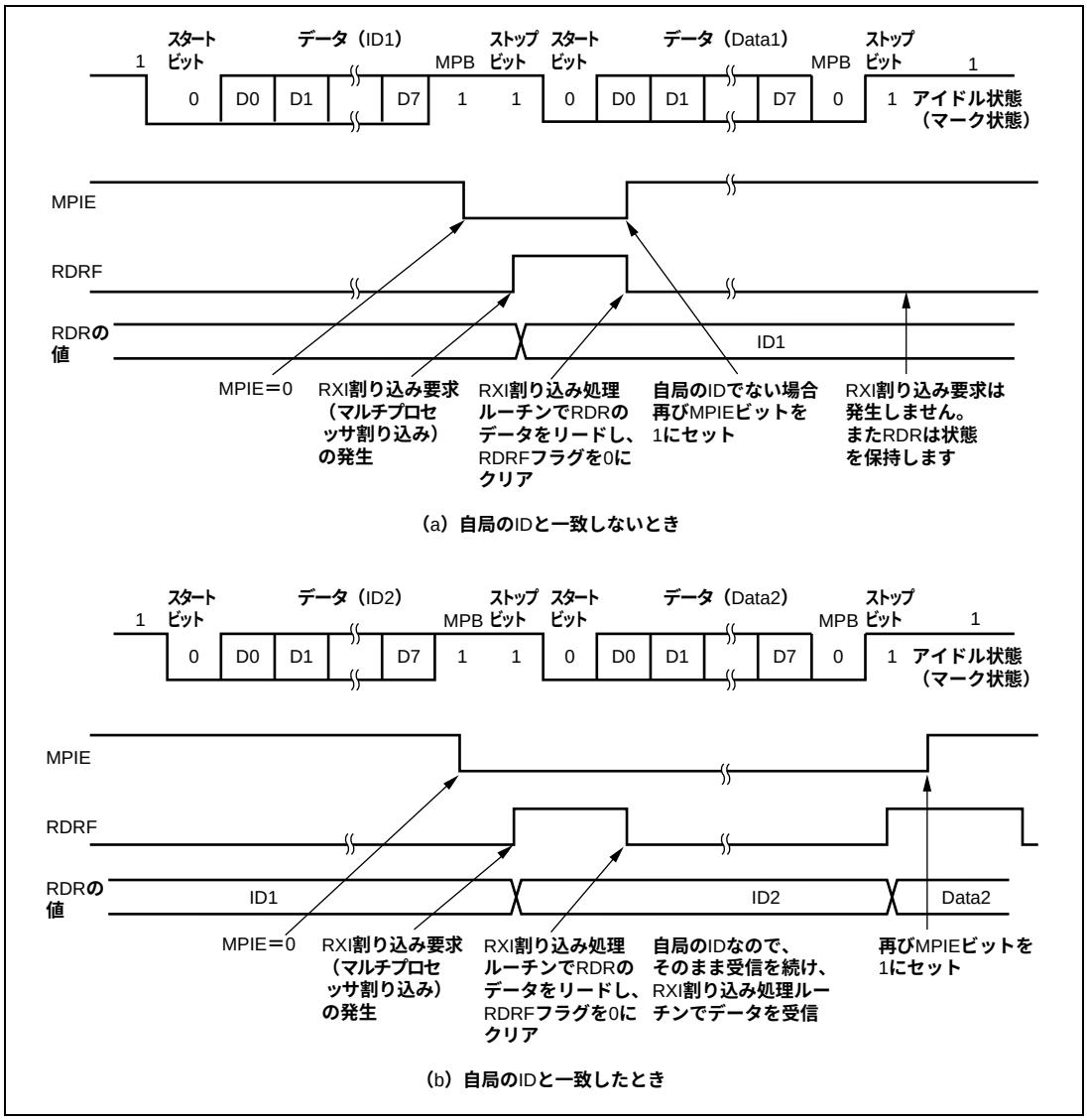


図 16.15 SCI の受信時の動作例（8 ビットデータ／マルチプロセッサビットあり／1 ストップビットの例）

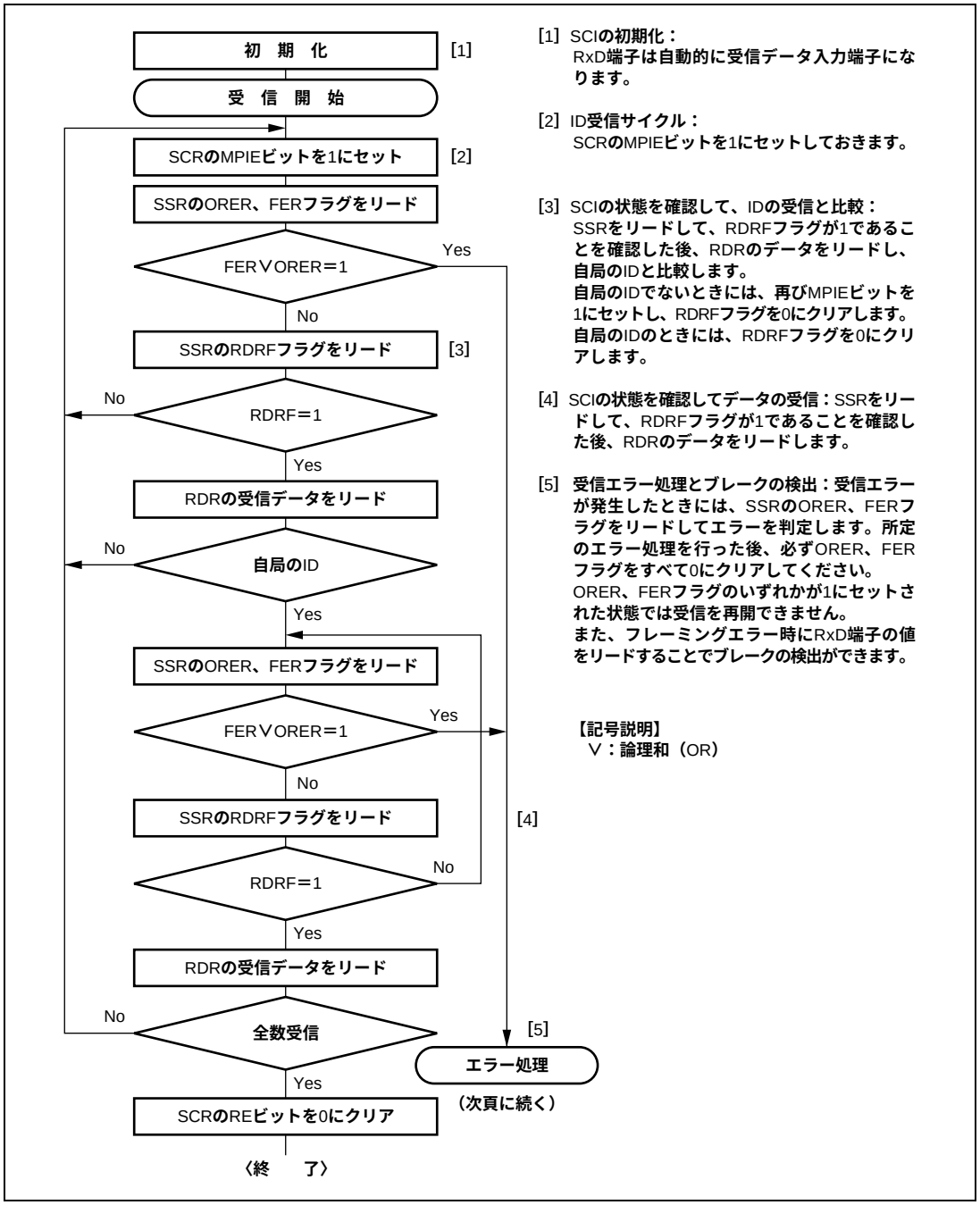


図 16.16 **マルチプロセッサシリアル受信のフローチャートの例（1）**

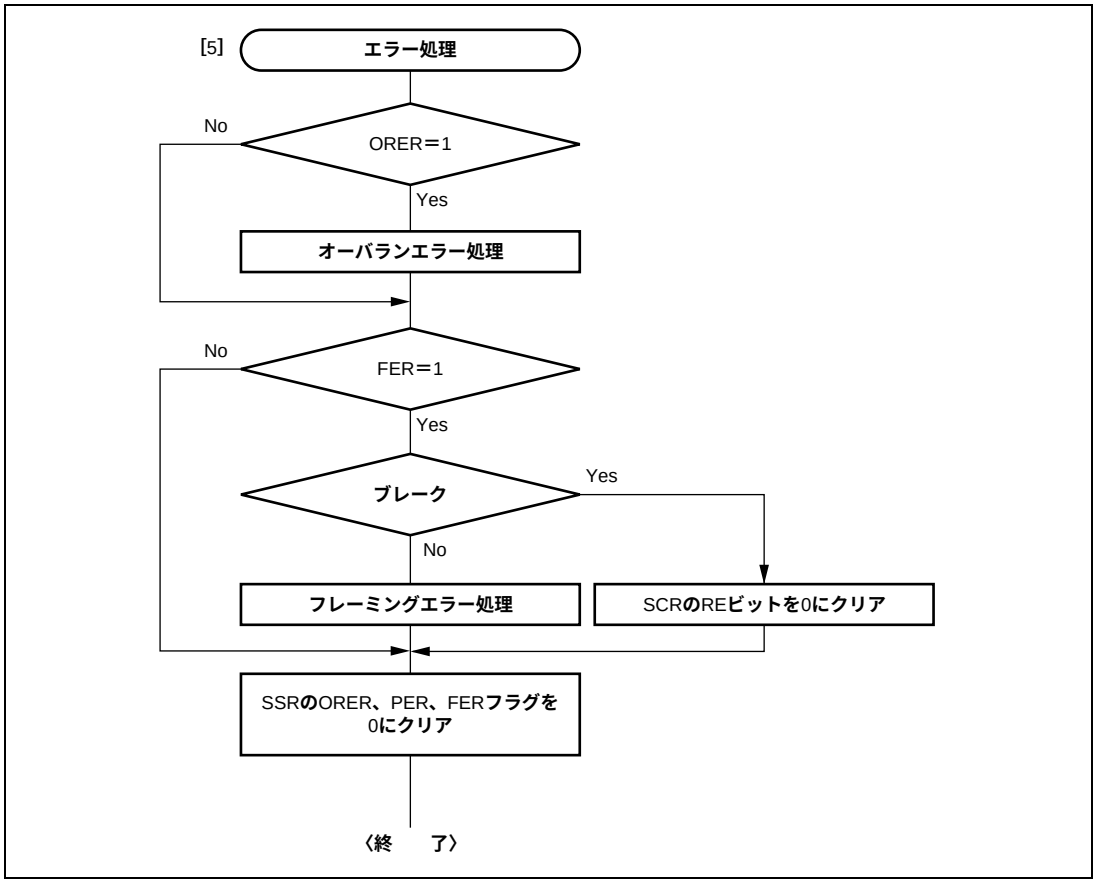
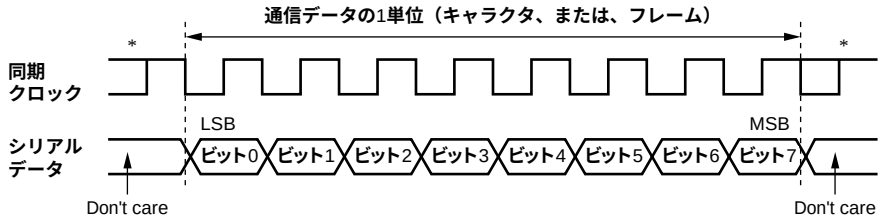


図 16.16　マルチプロセッサシリアル受信のフローチャートの例（2）

16.6 クロック同期式モードの動作

クロック同期式通信の通信データのフォーマットを**図 16.17** に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI はデータ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部／受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。



【注】＊ 連続送信／受信のとき以外はHighレベル

図 16.17 クロック同期式通信のデータフォーマット（LSB ファーストの場合）

16.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ボーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

16.6.2 SCI の初期化（クロック同期式）

データの送受信前に、SCR の TE、RE ビットをクリアした後、**図 16.18** のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、SSR の TDRE は 1 にセットされますが、RE を 0 にクリアしても、SSR の RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。

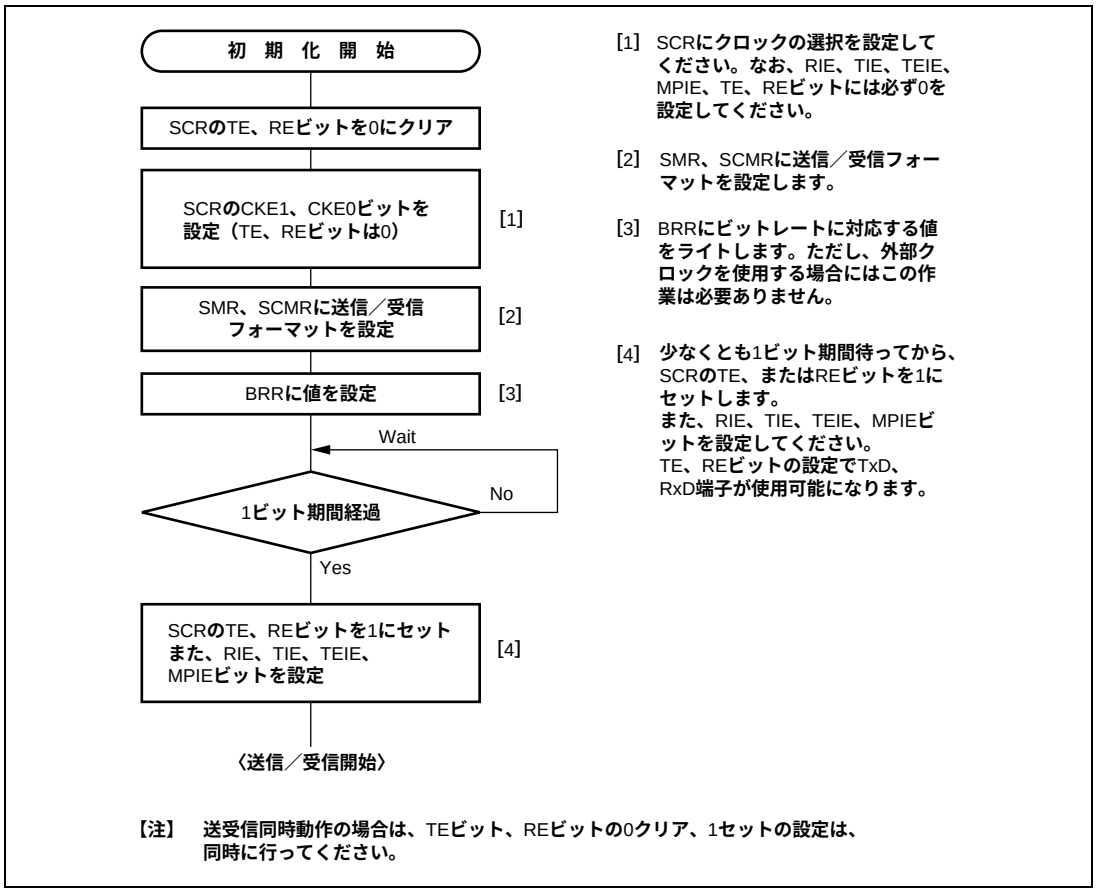


図 16.18 SCI の初期化フローチャートの例

16.6.3 シリアルデータ送信（クロック同期式）

図16.19にクロック同期式モードの送信時の動作例を示します。データ送信時SCIは以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD端子から8ビットのデータを出力します。
4. 最終ビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、最終ビット出力状態を保持します。このときSCRのTEIEが1にセットされているとTEI割り込み要求を発生します。SCK端子はHighレベルに固定されます。

図 16.20 にデータ送信のフローチャートの例を示します。受信エラーフラグ（ORER、FER、PER）が 1 にセットされた状態では TDRE をクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを 0 にクリアしておいてください。また、受信エラーフラグは RE ビットをクリアしただけではクリアされませんので注意してください。

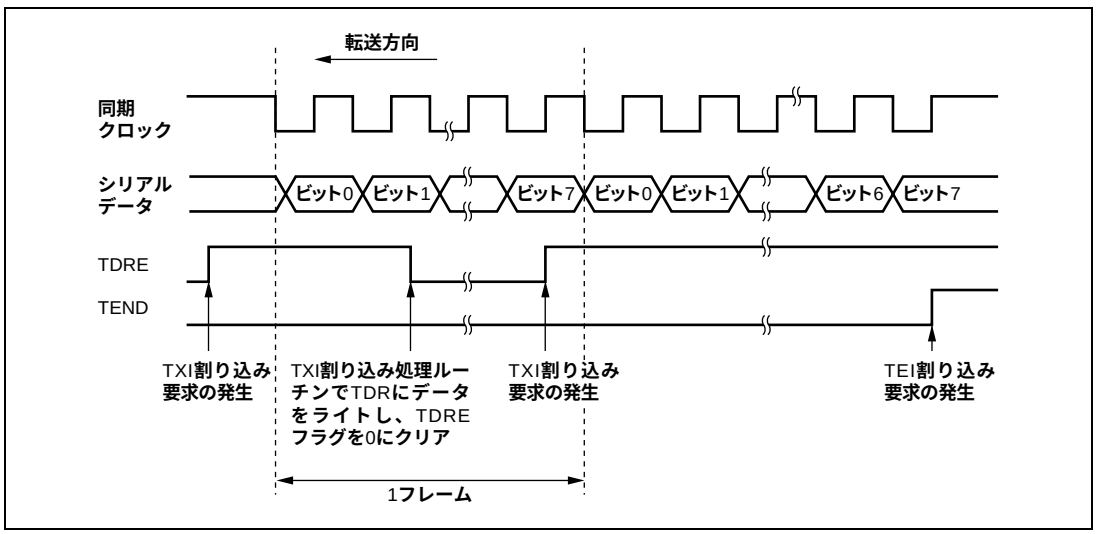
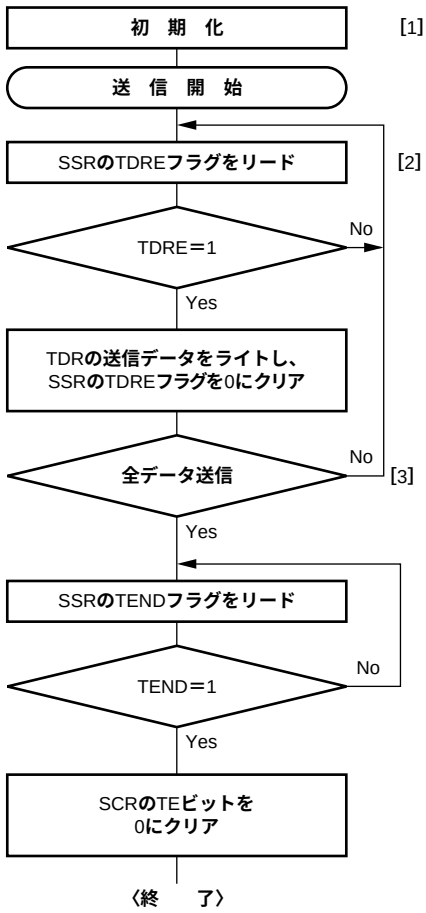


図 16.19　**クロック同期式モードの送信時の動作例**



[1] SCIの初期化：
TxD端子は自動的に送信データ出力端子になります。

[2] SCIの状態を確認して、送信データをライト：
SSRをリードして、TDREフラグが1であることを確認した後、TDRに送信データをライトし、TDREフラグを0にクリアします。

[3] シリアル送信の継続手順：
シリアル送信を続けるときには、必ずTDREフラグの1をリードしてライト可能であることを確認した後にTDRにデータをライトし、続いてTDREフラグを0にクリアしてください。ただし、送信データエンプティ割り込み（TXI）要求でDTCを起動しTDRにデータをライトする場合にはTDREフラグのチェック、およびクリアは自動的に行われます。

図 16.20 シリアル送信のフローチャートの例

16.6.4 シリアルデータ受信（クロック同期式）

図16.21にクロック同期式モードの受信時の動作例を示します。データ受信時SCIは以下のように動作します。

1. SCIは同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データをRSRに取り込みます。
2. オーバランエラーが発生したとき（SSRのRDRFが1にセットされたまま次のデータを受信完了したとき）はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

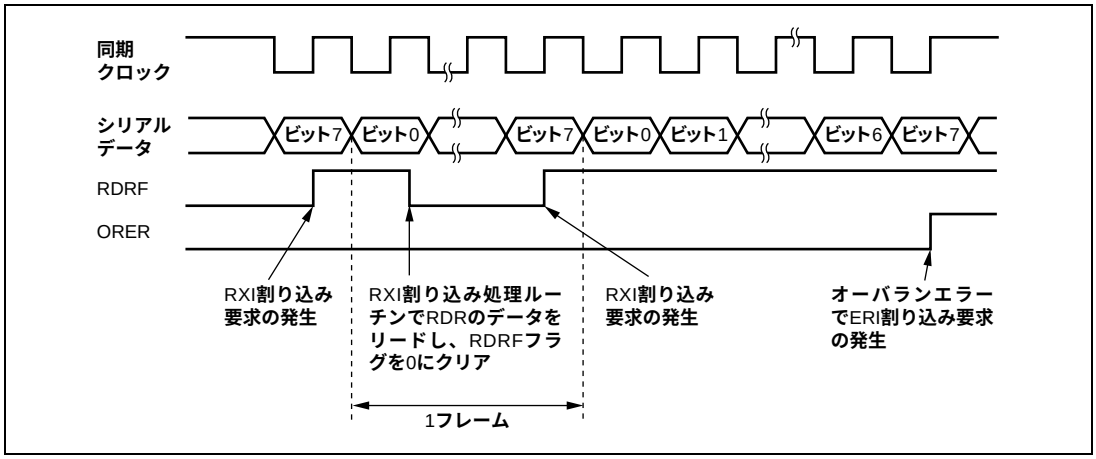
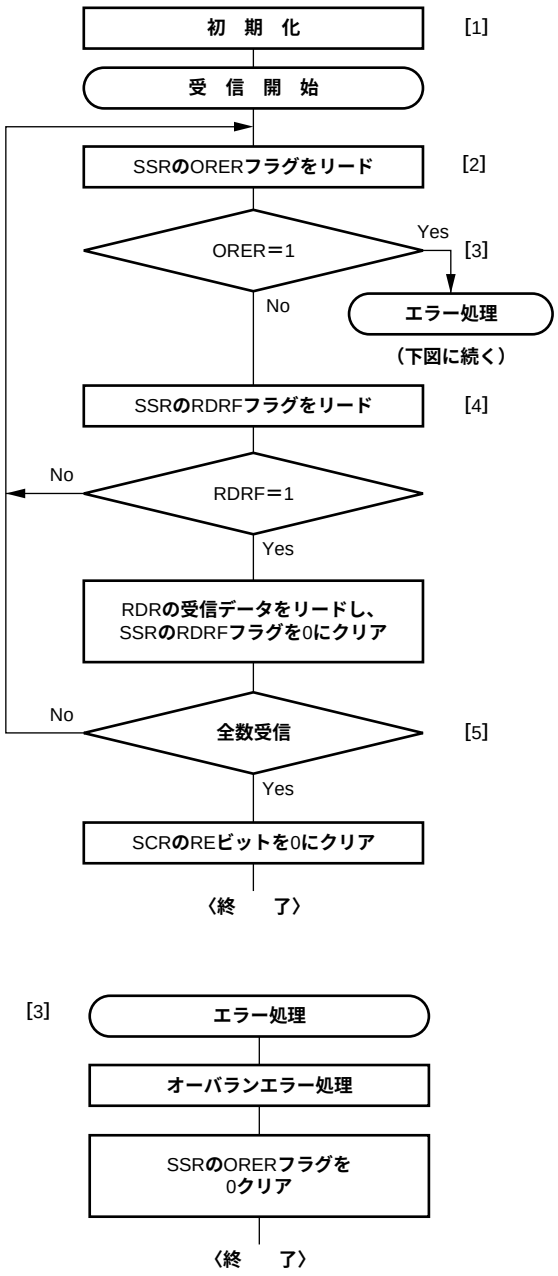


図 16.21 SCI の受信時の動作例

受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。**図** 16.22 にデータ受信のためのフローチャートの例を示します。



[1] SCIの初期化：
RxD端子は自動的に受信データ入力端子になります。

[2] [3] 受信エラー処理：
受信エラーが発生したときには、SSRのORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを0にクリアしてください。ORERフラグが1にセットされた状態では、送信／受信を再開できません。

[4] SCIの状態を確認して受信データのリード：
SSRをリードして、RDRFフラグが1であることを確認した後、RDRの受信データをリードし、RDRFフラグを0にクリアします。RDRFフラグが0から1に変化したことは、RXI割り込みによっても知ることができます。

[5] シリアル受信の継続手順：
シリアル受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前に、RDRFフラグのリード、RDRのリード、RDRFフラグの0クリアを終了しておいてください。ただし、受信データフル割り込み（RXI）要求でDTCを起動し、RDRの値をリードする場合にはRDRFフラグのクリアは自動的に行われます。

図 16.22　シリアルデータ受信フローチャートの例

16.6.5 シリアルデータ送受信同時動作（クロック同期式）

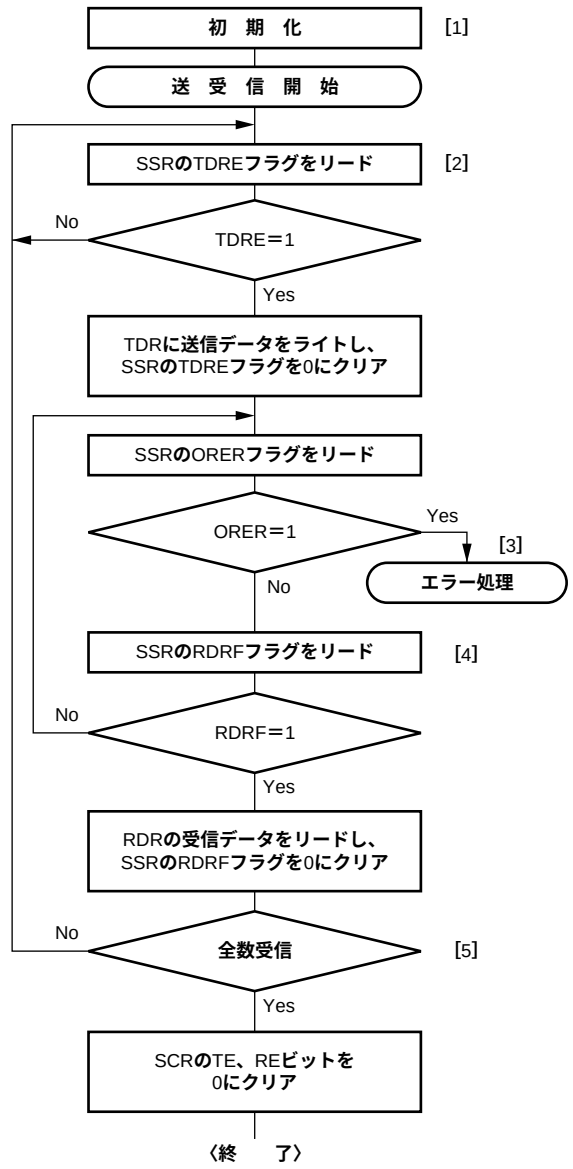
図16.23にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作はSCIの初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、SSR の TDRE および TEND が 1 にセットされていることを確認した後、SCR の TE ビットを 0 にクリアしてから TE および RE ビットを 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE ビットを 0 にクリアしてから SSR の RDRF およびエラーフラグ（ORER、FER、PER）が 0 にクリアされていることを確認した後、TE および RE ビットを 1 命令で同時に 1 にセットしてください。

16.6.6 シリアル拡張モードの SCI セレクト動作

SCI_0 および SCI_2 では、SEMR_0、SEMR_2 の設定により次の動作が可能です。

SCI をクロック同期式モードのクロック入力状態に設定した場合、外部端子入力により動作の許可／禁止を制御することができます。この外部端子は PA0/SSE0I（SCI_0）および PA1/SSE2I（SCI_2）端子で、PA0、PA1 端子が自動的にアドレス出力となるモードでは使用できません。

外部端子入力により SCI の動作を禁止（非選択）にした場合、TxD 出力はハイインピーダンス状態、SCK 入力は内部的に High 入力固定状態となります。SCK を出力するマスタデバイスがこの外部端子入力をチップセレクトとして操作することにより、1 対多の通信が可能になります。SCI セレクト動作は、SEMR の SSE ビットにより選択できます。



【注】 送信、または受信動作から同時送受信に切り替えるときには、TEビットとREビットを0にクリアしてからTEビットとREビットを同時に1にセットしてください。

[1] 初期化：
TxD端子は送信データ出力端子に、RxD端子は受信データ入力端子になり送受信同時動作可能状態になります。

[2] SCIの状態確認と送信データのライト：
SSRをリードしてTDREフラグが1であることを確認した後、TDRに送信データをライトし、TDREフラグを0にクリアします。
TDREフラグが0から1に変化したことは、TXI割り込みによっても知ることができます

[3] 受信エラー処理：
受信エラーが発生したときには、SSRのORERフラグをリードしてから、所定のエラー処理を行った後、ORERフラグを0にクリアしてください。ORERフラグが1にセットされた状態では送信／受信を再開できません。

[4] SCIの状態を確認して受信データのリード：
SSRをリードして、RDRFフラグが1であることを確認した後、RDRの受信データをリードし、RDRFフラグを0にクリアします。RDRFフラグが0から1に変化したことは、RXI割り込みによっても知ることができます。

[5] シリアル送受信の継続手順：
シリアル送受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前に、RDRFフラグのリード、RDRのリード、RDRFフラグの0クリアを終了しておいてください。また、現在のフレームのMSB（ビット7）を送信する前にTDREフラグの1をリードしてライト可能であることを確認してください。さらにTDRにデータをライトし、TDREフラグを0にクリアしておいてください。
ただし、送信データエンプティ割り込み（TXI）要求でDTCを起動しTDRにデータをライトする場合には、TDREフラグのチェック、およびクリアは自動的に行われます。また、受信データフル割り込み（RXI）要求でDTCを起動しRDRの値をリードする場合にはRDRFフラグのクリアは自動的に行われます。

図 16.23 シリアル送受信同時動作のフローチャートの例

16.7 スマートカードインタフェースの動作説明

SCI はシリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3（Identification Card）に準拠した IC カード（スマートカード）とのインタフェースをサポートしています。スマートカードインタフェースモードへの切り替えはレジスタにより行います。

16.7.1 接続例

図 16.24 にスマートカードとの接続例を示します。IC カードとは 1 本のデータ伝送線で送受信が行われるので、TxD 端子と RxD 端子とを結線し、データ伝送線は抵抗で電源 Vcc 側にプルアップしてください。IC カードを接続しない状態で SCR の RE、TE ビットをそれぞれ 1 に設定すると、閉じた送信／受信が可能となり自己診断をすることができます。SCI で生成するクロックを IC カードに供給する場合は、SCK 端子出力を IC カードの CLK 端子に入力してください。リセット信号の出力には本 LSI の出力ポートを使用できます。

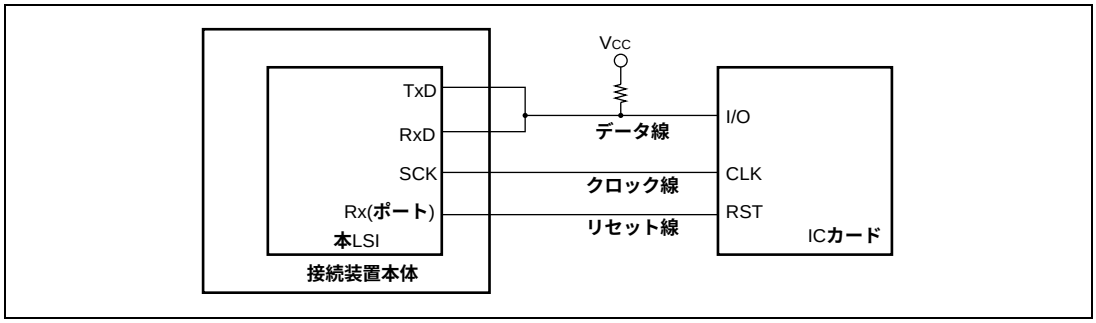


図 16.24 **スマートカードインタフェース端子接続概要**

16.7.2 データフォーマット（ブロック転送モード時を除く）

図 16.25 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで2etu（Elementary Time Unit：1ビットの転送期間）以上のガードタイムをおきます。
- 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。
- 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを再送信します。

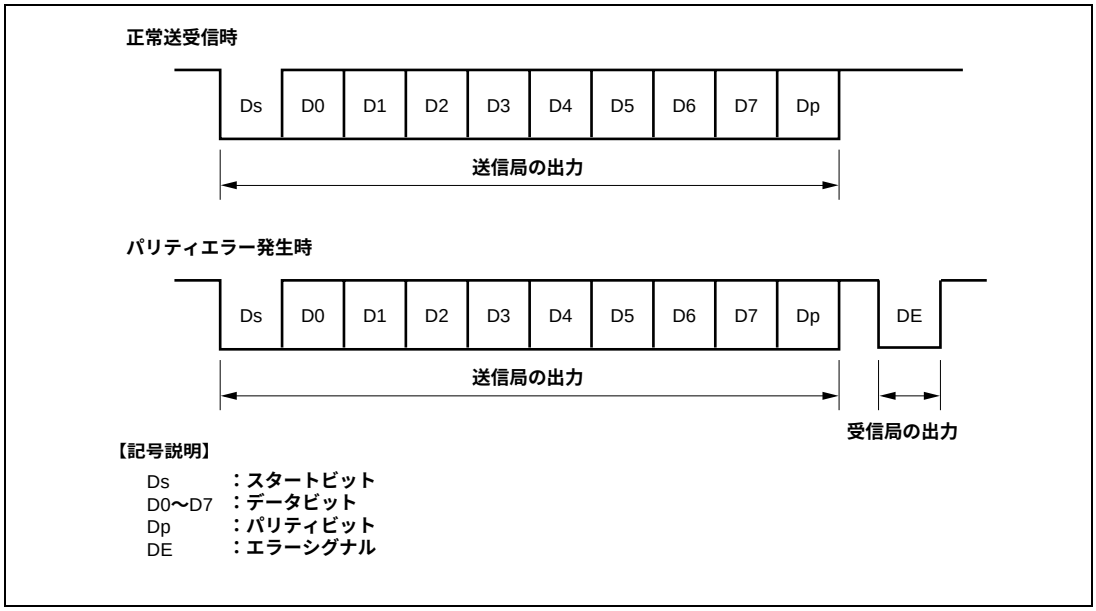


図 16.25 **通常のスマートカードインタフェースのデータフォーマット**

ダイレクトコンベンションタイプとインバースコンベンションタイプの2種類のICカードとの送受信は次のように行ってください。

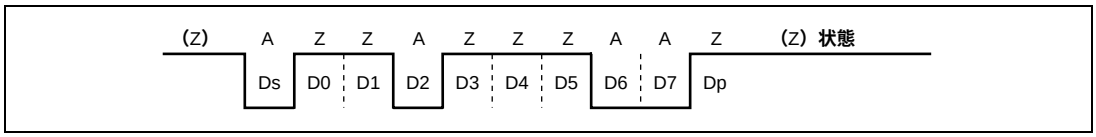


図 16.26 ダイレクトコンベンション（SDIR＝SINV＝O/$\overline{E}$＝0）

ダイレクトコンベンションタイプは上記開始キャラクタの例のように、論理1レベルを状態Zに、論理0レベルを状態Aに対応付け、LSBファーストで送受信します。上記の開始キャラクタではデータはH'3Bとなります。ダイレクトコンベンションタイプではSCMRのSDIRビット、SINVビットをともに0にセットしてください。また、スマートカードの規程により偶数パリティとなるようSMRのO/$\overline{E}$ビットには0をセットしてください。

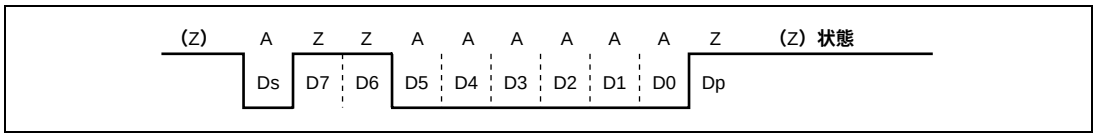


図 16.27 インバースコンベンション（SDIR＝SINV＝O/$\overline{E}$＝1）

インバースコンベンションタイプは、論理1レベルを状態Aに、論理0レベルを状態Zに対応付け、MSBファーストで送受信します。上記の開始キャラクタではデータはH'3Fとなります。インバースコンベンションタイプではSCMRのSDIRビット、SINVビットをともに1にセットしてください。パリティビットはスマートカードの規程により偶数パリティで論理0となり、状態Zが対応します。本LSIでは、SINVビットはデータビットD7～D0のみ反転させます。このため、送受信ともSMRのO/$\overline{E}$ビットに1を設定してパリティビットを反転させてください。

16.7.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースと比較して以下の点が異なります。

- 受信時はパリティチェックは行いますが、エラーを検出してもエラーシグナルは出力しません。SSRのPERはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から次のフレーム開始までのガードタイムは最小1etu以上です。
- 送信時は再送信を行わないため、SSRのTENDフラグは送信開始から11.5etu後にセットされます。
- ERSフラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に0となります。

16.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースで使用できる送受信クロックは内蔵ボーレートジェネレータの生成した内部クロックのみです。スマートカードインタフェースモードでは、SCI は BCP1、BCP0 の設定によりビットレートの 32 倍、64 倍、372 倍、256 倍（通常の調歩同期式モードでは 16 倍に固定されています）の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がりを基本クロックでサンプリングして内部を同期化します。また、**図 16.28** に示すように受信データを基本クロックのそれぞれ 16、32、186、128 番目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N}\right) - (L-0.5)F - \frac{|D-0.5|}{N}(1+F) \right| \times 100\ [\%] \quad \cdots \text{式（1）}$$

M：**受信マージン**（%）

N：**クロックに対するビットレートの比**（N=32、64、372、256）

D：**クロックデューティー**（D=0～1.0）

L：**フレーム長**（L=10）

F：**クロック周波数の偏差の絶対値**

式（1）で、F=0、D=0.5、N=372 とすると、受信マージンは次のようになります。

M=（0.5−1/2×372）×100 [%] ＝ 49.866%

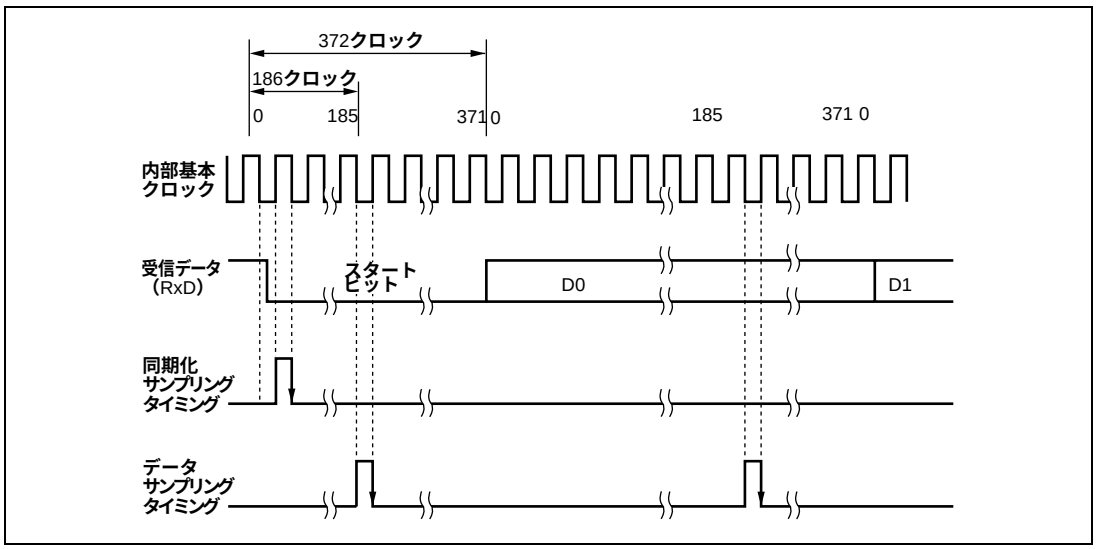


図 16.28 スマートカードインタフェースモード時の受信データサンプリングタイミング（372 倍のクロック使用時）

16.7.5 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRのTE、REビットを0にクリアします。
2. SSRのエラーフラグORER、ERS、PERを0にクリアしてください。
3. SMRのGM、BLK、O/$\overline{E}$、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。
4. SCMRのSMIF、SDIR、SINVビットを設定してください。
   SMIFビットを1にセットすると、TxD端子およびRxD端子は共にポートからSCIの端子に切り替わり、ハイインピーダンス状態となります。
5. ビットレートに対応する値をBRRに設定します。
6. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。CKE0ビットを1にセットした場合は、SCK端子からクロックを出力します。
7. 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合､受信動作が完了していることを確認した後､初期化から開始し、RE＝0、TE＝1 に設定してください。受信動作の完了は、RDRF フラグ、あるいは PER、ORER フラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE＝0、RE＝1 に設定してください。送信動作の完了は TEND フラグで確認できます。

16.7.6 シリアルデータ送信（ブロック転送モードを除く）

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースとは動作が異なります（ブロック転送モードを除く）。送信時の再転送動作を**図** 16.29 に示します。

1. 1フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングするとSSRのERSビットが1にセットされます。このとき、SCRのRIEビットがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングまでにERSをクリアしてください。
2. エラーシグナルを受信したフレームでは、SSRのTENDはセットされません。TDRからTSRに再度データが転送され、自動的に再送信を行います。
3. 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。再転送を含む1フレームの送信が完了したと判断して、SSRのTENDがセットされます。このときSCRのTIEがセットされていれば、TXI割り込み要求を発生します。送信データをTDRに書き込むことにより次のデータが送信されます。

送信処理フローの例を**図** 16.31 に示します。これら一連の処理は TXI 割り込み要因によって DTC を起動することで、自動的に行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、SCR の TIE をセットしておくと TXI 割り込み要求を発生します。あらかじめ DTC の起動要因に TXI 要求を設定しておけば、TXI 要求により DTC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DTC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にはクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS をクリアしてください。

SCI_0、SCI_2 の TEND をトリガとした RFU 起動による動作も同様です。

なお、DTC、RFU を使って送受信を行う場合は、必ず先に DTC、RFU を設定し、許可状態にしてから SCI の設定を行ってください。DTC、RFU の設定方法は**「第 7 章　データトランスファコントローラ（DTC）」**、**「第 8 章　RAM-FIFO ユニット（RFU）」**を参照してください。

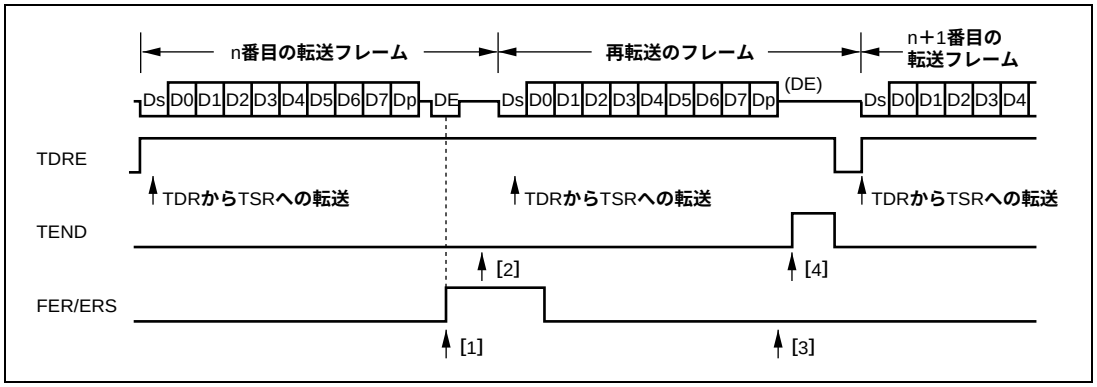


図 16.29　SCI **送信モードの場合の再転送動作**

なお、SMR の GM ビットの設定により、TEND フラグのセットタイミングが異なります。**図** 16.30 に TEND フラグ発生タイミングを示します。

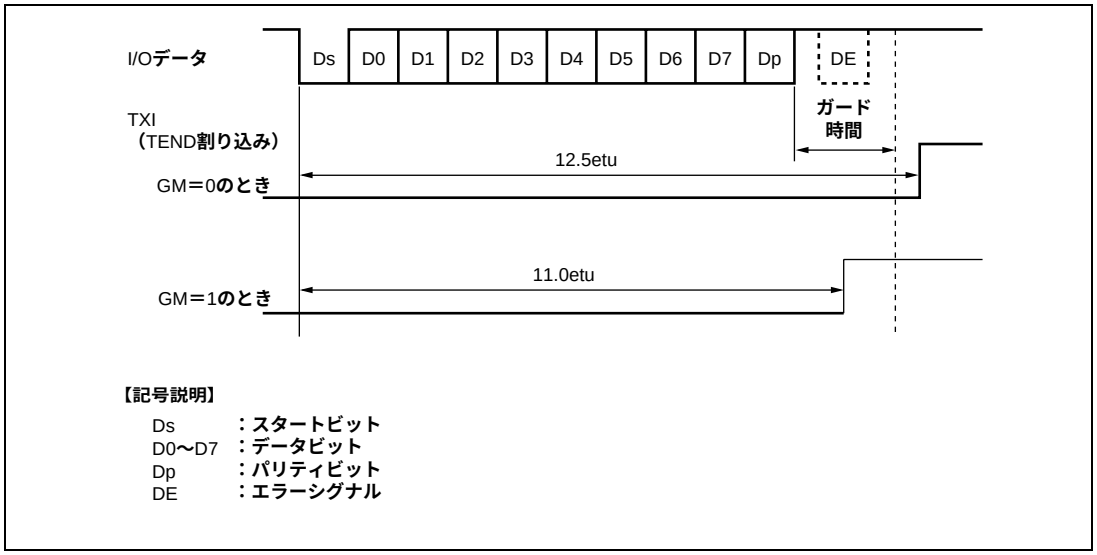


図 16.30　**送信動作時の** TEND **フラグ発生タイミング**

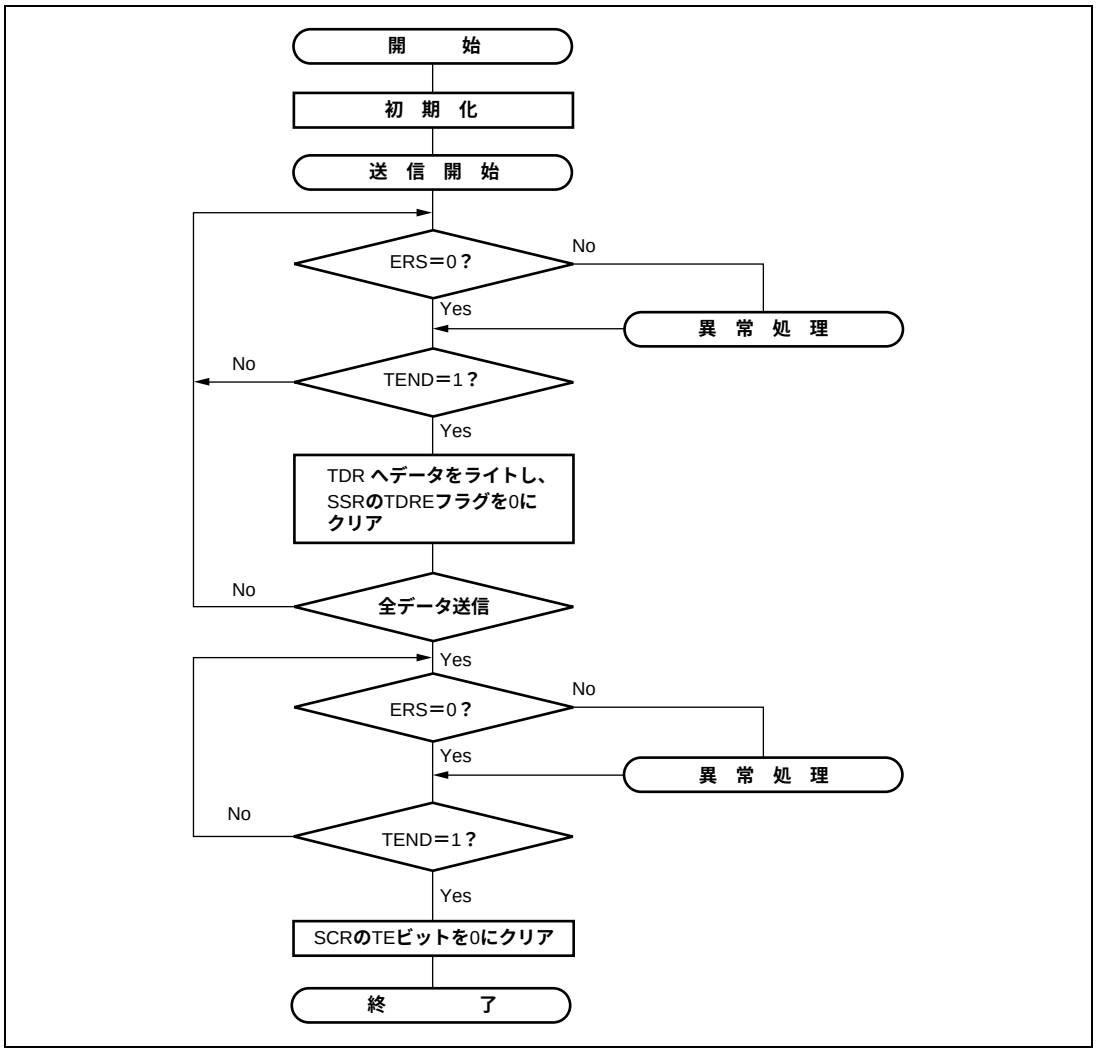


図 16.31　送信処理フローの例

16.7.7 シリアルデータ受信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるデータ受信は、通常のシリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を**図** 16.32 示します。

1. 受信データにパリティエラーを検出するとSSRのPERビットが1にセットされます。このとき、SCRのRIEがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでにPERビットをクリアしてください。
2. パリティエラーを検出したフレームではSSRのRDRFビットはセットされません。
3. パリティエラーが検出されない場合は、SSRのPERビットはセットされません。正常に受信を完了したと判断して、SSRのRDRFが1にセットされます。このときSCRのRIEビットがセットされていれば、RXI割り込み要求を発生します。

受信フローの例を**図** 16.33 に示します。これら一連の処理は RXI 割り込み要因によって DTC を起動することで、自動的に行うことができます。受信動作では、RIE ビットを 1 にセットしておくと RDRF フラグが 1 にセットされると RXI 要求を発生します。あらかじめ DTC の起動要因に RXI 要求を設定しておけば、RXI 要求により DTC が起動されて受信データの転送を行います。DTC によりデータが転送されると RDRF フラグは自動的にクリアされます。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み（ERI）要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は DTC は起動されず、受信データはスキップされるため DTC に設定したバイト数だけ受信データを転送します。なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

SCI_0、SCI_2 の RDRF をトリガとした RFU 起動による動作も同様です。

【注】 ブロック転送モードの場合は「16.4 調歩同期式モードの動作」を参照してください。

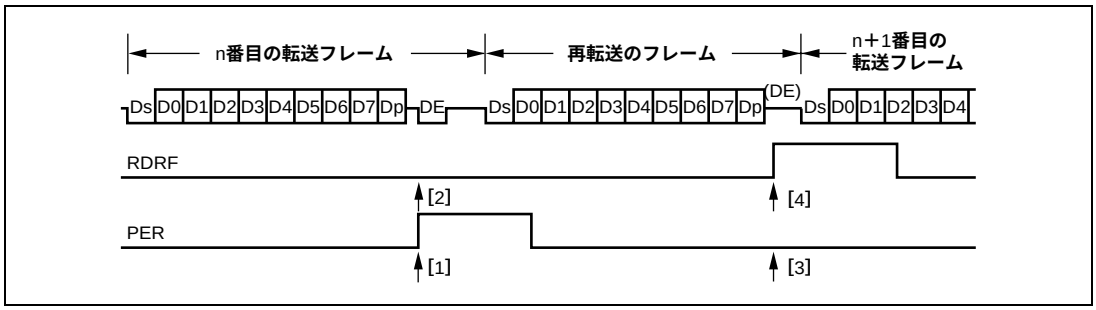


図 16.32 SCI **受信モードの場合の再転送動作**

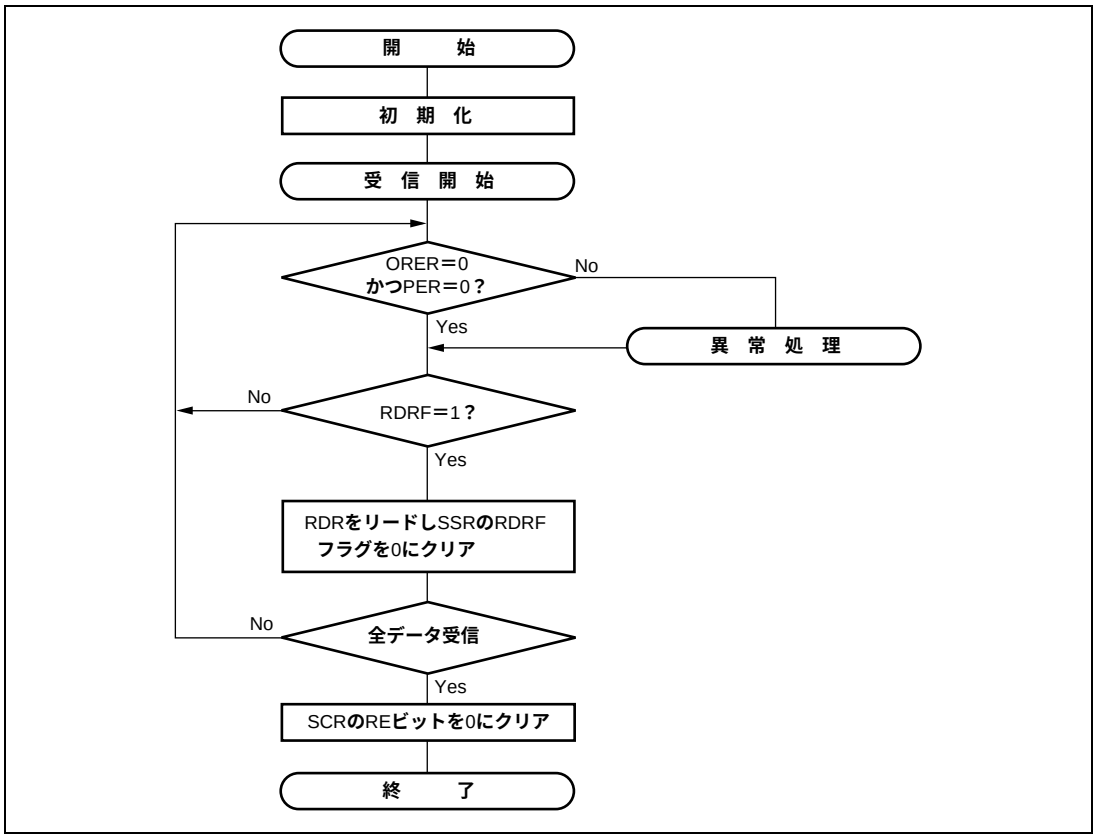


図 16.33　受信フローの例

16.7.8 クロック出力制御

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 16.34 にクロック出力の固定タイミングを示します。GM＝1、CKE1＝0 とし、CKE0 ビットを制御した場合の例です。

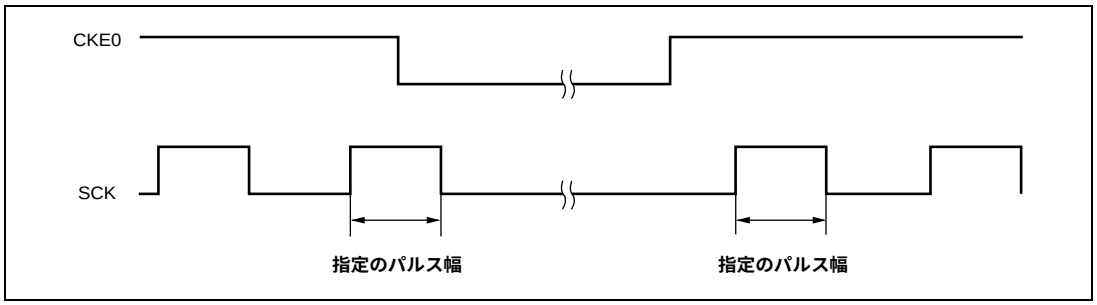


図 16.34 **クロック出力固定タイミング**

電源投入時およびソフトウェアスタンバイモードへの遷移またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

- **電源投入時**

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗／プルダウン抵抗を使用してください。
2. SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
3. SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。
4. SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。

- **スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移する時**

1. SCK端子に対応するポートのデータレジスタ（DR）とデータディレクションレジスタ（DDR）をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。
2. SCRのTEビットとREビットに0をライトし、送信／受信動作を停止させてください。
   同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCRのCKE0ビットに0をライトし、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。
   この間にデューティを守って、指定のレベルでクロック出力は固定されます。
5. ソフトウェアスタンバイ状態に遷移させてください。

- **ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻す時**

1. ソフトウェアスタンバイ状態を解除してください。
2. SCRのCKE0ビットに1をライトし、クロックを出力させてください。クロックを出力させてください。正常なデューティにて信号発生を開始します。

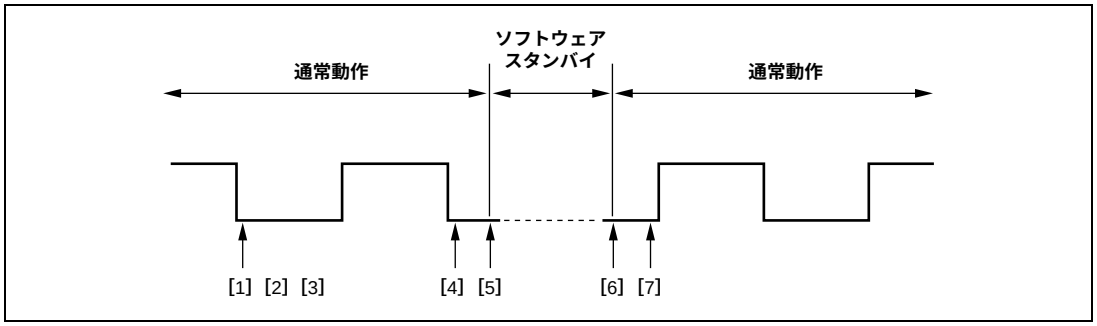


図 16.35　クロック停止・再起動手順

16.8　IrDA 動作

SCI_1 は IrDA 動作が可能です。**図 16.36** に IrDA のブロック図を示します。

SCICR の IrE ビットで IrDA 機能をイネーブルにすると、SCI_1 の TxD1、RxD1 信号は IrDA 規格バージョン 1.0 に準拠した波形のエンコード/デコードを行ないます（IrTxD、IrRxD 端子）。これを赤外線送受信トランシーバ/レシーバと接続することで、IrDA 規格バージョン 1.0 システムに準拠した赤外線送受信を実現することができます。

IrDA 規格バージョン 1.0 システムでは、9600bps の転送レートで通信を開始し、その後必要に応じて転送レートを変化させることができます。本 LSI の IrDA インタフェースでは、自動的に転送レートを変更する機能は内蔵していません。転送レートはソフトウェアにより設定を変更してください。

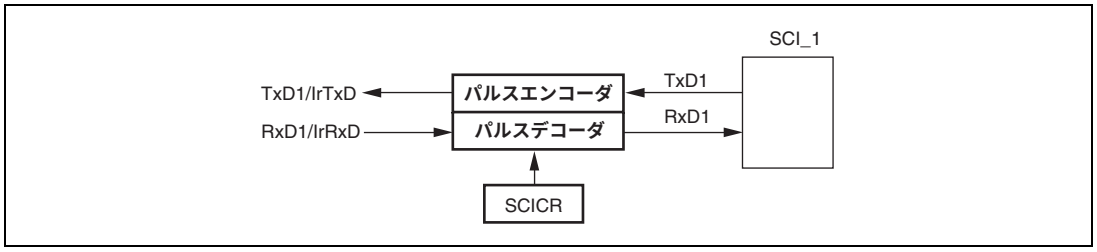


図 16.36　IrDA ブロック図

(1) 送信

送信時に SCI からの出力信号（UART フレーム）は、IrDA インタフェースにより IR フレームに変換されます（**図** 16.37 参照）。

シリアルデータが 0 のとき、ビットレート（1 ビット幅の期間）の 3/16 の High パルスが出力されます（初期値）。なお、High パルスは SCICR の IrCKS2～0 ビットの設定値により変化させることも可能です。

High パルス幅は最小 1.41 µs、最大(3/16＋2.5%)×ビットレート、または(3/16×ビットレート)＋1.08 µs と定められています。システムクロックφが 20MHz のとき、1.41 µs 以上で最大の High パルス幅は 1.6 µs が設定可能です。

シリアルデータが 1 のときはパルスは出力されません。

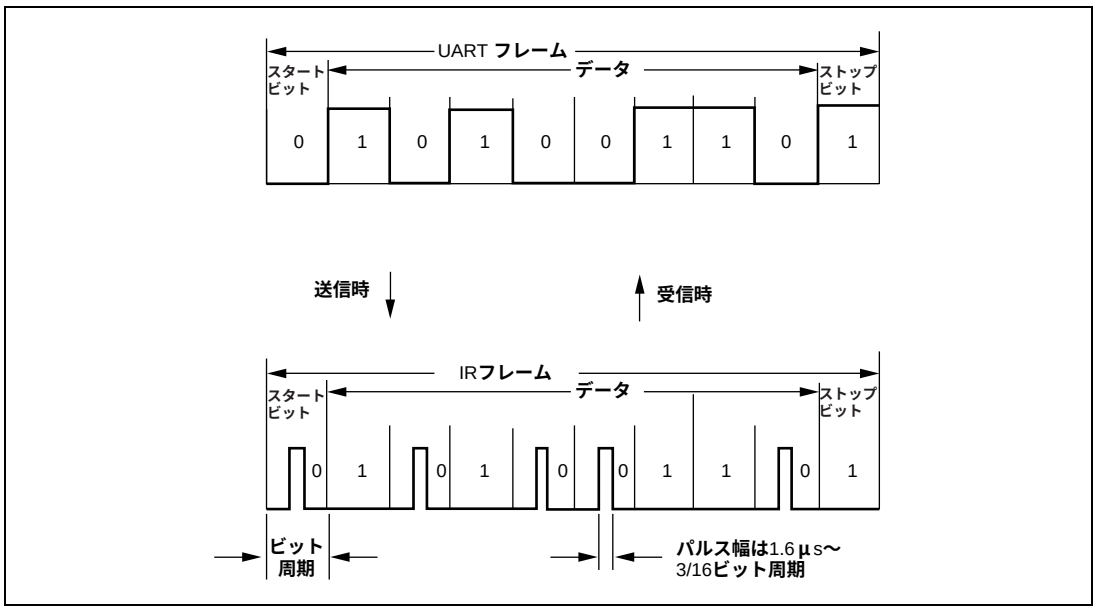


図 16.37 IrDA **送信／受信動作**

(2) 受信

受信時に IR フレームのデータは、IrDA インタフェースにより UART フレームに変換され、SCI_1 に入力されます。

High パルスが検出されたときには 0 データを出力し、1 ビット期間中にパルスがないときには 1 データを出力します。最小パルス幅の 1.41 µs より短いパルスは 0 信号として認識しますのでご注意ください。

(3) High パルス幅の選択

送信時にビットレート×3/16 よりパルス幅を短くする場合に、適用可能な IrCKS2～IrCKS0 ビットの設定（最小パルス幅）と本 LSI の動作周波数およびビットレートの選択を**表** 16.12 に示します。

表 16.12　IrCKS2～IrCKS0 ビットの設定

動作周波数	ビットレート（bps）（上段）／ビット周期×3/16（μs）（下段）					
φ（MHz）	2400	9600	19200	38400	57600	115200
	78.13	19.53	9.77	4.88	3.26	1.63
2	010	010	010	010	010	－
2.097152	010	010	010	010	010	－
2.4576	010	010	010	010	010	－
3	011	011	011	011	011	－
3.6864	011	011	011	011	011	011
4.9152	011	011	011	011	011	011
5	011	011	011	011	011	011
6	100	100	100	100	100	100
6.144	100	100	100	100	100	100
7.3728	100	100	100	100	100	100
8	100	100	100	100	100	100
9.8304	100	100	100	100	100	100
10	100	100	100	100	100	100
12	101	101	101	101	101	101
12.288	101	101	101	101	101	101
14	101	101	101	101	101	101
14.7456	101	101	101	101	101	101
16	101	101	101	101	101	101
16.9344	101	101	101	101	101	101
17.2032	101	101	101	101	101	101
18	101	101	101	101	101	101
19.6608	101	101	101	101	101	101
20	101	101	101	101	101	101
25	110	110	110	110	110	110

【記号説明】－：SCI 側のビットレート設定ができません。

16.9 割り込み要因

16.9.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み

表 16.13 に通常のシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより独立にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DTC を起動してデータ転送を行うことができます。TDRE フラグは DTC によるデータ転送時に自動的に 0 にクリアされます。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DTC を起動してデータ転送を行うことができます。RDRF フラグは DTC によるデータ転送時に自動的に 0 にクリアされます。

TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

SCIDTER_0、SCIDTER_2 の TDRE_DTE=1 のとき TXI0、TXI2 割り込みがマスクされ、RDRF_DTE=1 のとき RXI0、RXI2 割り込みがマスクされます。

表 16.13 SCI **割り込み要因**

チャネル	名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
0	ERI0	受信エラー	ORER、FER、PER	不可	高
	RXI0	受信データフル	RDRF	可	▲
	TXI0	送信データエンプティ	TDRE	可	
	TEI0	送信終了	TEND	不可	
1	ERI1	受信エラー	ORER、FER、PER	不可	
	RXI1	受信データフル	RDRF	可	
	TXI1	送信データエンプティ	TDRE	可	
	TEI1	送信終了	TEND	不可	
2	ERI2	受信エラー	ORER、FER、PER	不可	
	RXI2	受信データフル	RDRF	可	
	TXI2	送信データエンプティ	TDRE	可	
	TEI2	送信終了	TEND	不可	低

16.9.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、**表 16.14** の割り込み要因があります。送信終了割り込み（TEI）要求は使用できません。

表 16.14 SCI 割り込み要因

チャネル	名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
0	ERI0	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	高
	RXI0	受信データフル	RDRF	可	▲
	TXI0	送信データエンプティ	TEND	可	
1	ERI1	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	
	RXI1	受信データフル	RDRF	可	
	TXI1	送信データエンプティ	TEND	可	
2	ERI2	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	
	RXI2	受信データフル	RDRF	可	
	TXI2	送信データエンプティ	TEND	可	低

スマートカードモードの場合も通常の SCI の場合と同様に、DTC を使って送受信を行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、TXI 割り込み要求が発生します。あらかじめ DTC の起動要因に TXI 割り込み要因を設定しておけば、TXI 割り込み要求により DTC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DTC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR の ERS フラグは自動的にクリアされませんので、SCR の RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS をクリアしてください。

なお、DTC を使って送受信を行う場合は、必ず先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。DTC の設定方法は**「第 7 章 データトランスファコントローラ（DTC）」**を参照してください。

また、受信動作では、SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。あらかじめ DTC の起動要因に RXI 割り込み要因を設定しておけば、RXI 割り込み要求で DTC が起動されて受信データの転送を行います。RDRF フラグは、DTC によるデータ転送時に、自動的に 0 にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。そのため DTC は起動されず、かわりに CPU に対し ERI 割り込み要求を発生しますのでエラーフラグをクリアしてください。

SCIDTER_0、SCIDTER_2 の TDRE_DTE=1 のとき TXI0、TXI2 割り込み要求がマスクされ、RDRF_DTE=1 のとき RXI0、RXI2 割り込み要求がマスクされます。

16.10 使用上の注意事項

16.10.1 モジュールストップモードの設定

モジュールストップコントロールレジスタにより、SCI の動作停止／許可を設定することが可能です。初期値では SCI の動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。詳細は、**「第 27 章　低消費電力状態」**を参照してください。

16.10.2 ブレークの検出と処理

フレーミングエラー検出時に、RxD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RxD 端子からの入力がすべて 0 になりますので、SSR の FER がセットされ、また PER もセットされる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしてもふたたび FER が 1 にセットされますので注意してください。

16.10.3 マーク状態とブレークの送り出し

SCR の TE が 0 のとき、TxD 端子はポートの DR と DDR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TxD 端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。TE を 1 にセットするまで、通信回線をマーク状態（1 の状態）にするためには、DDR＝1、DR＝1 を設定します。このとき、TE が 0 にクリアされていますので、TxD 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレークを送出したいときは、DDR＝1、DR＝0 に設定した後 TE を 0 にクリアします。TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

16.10.4 受信エラーフラグと送信動作（クロック同期式モードのみ）

SSR の受信エラーフラグ（ORER、FER、PER）が 1 にセットされた状態では、SSR の TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には受信エラーフラグを 0 にクリアしておいてください。また、SCR の RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

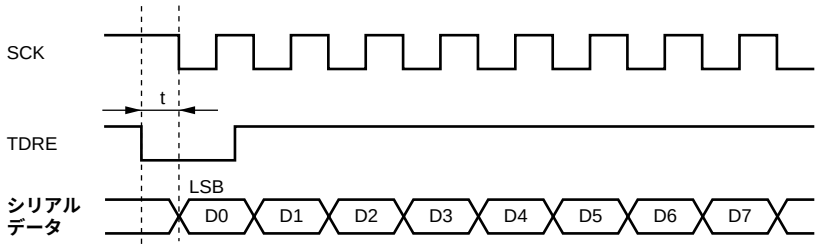
16.10.5 TDR へのライトと TDRE フラグの関係

TDR へのデータのライトは SSR の TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータはまだ TSR に転送されていないため失われてしまいます。したがって、TDR への送信データのライトは必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

16.10.6 DTC または RFU の使用上の制約

同期クロックに外部クロックソースを使用する場合は、DTC または RFU による TDR の更新後、φクロックで 5 クロック以上経過した後に送信クロックを入力してください。TDR の更新後、4 クロック以内に送信クロックを入力すると誤動作することがあります（**図** 16.38）。

DTC または RFU により RDR のリードを行うときは、必ず起動要因を当該 SCI の受信完了割り込み要因（RXI）に設定してください。



【注】 外部クロック動作時には、t>4クロックとしてください。

図 16.38 DTC **によるクロック同期式送信時の例**

16.10.7 モード遷移時の動作

(1) 送信

モジュールストップモード、ソフトウェアスタンバイモード、またはサブスリープモードへ遷移するときは、動作を停止（TE＝TIE＝TEIE＝0）してから行ってください。TSR、TDR および SSR はリセットされます。モジュールストップモード、ソフトウェアスタンバイモード、またはサブスリープモード期間中の出力端子の状態はポートの設定に依存し、モード解除後に High 出力となります。送信中に遷移すると送信中のデータは不確定になります。

モード解除後、送信モードを変えないで送信する場合は、TE＝1 に設定し、SSR リード→TDR ライト→TDRE を 0 にクリアで送信を開始してください。送信モードを変えて送信する場合は、初期設定から行ってください。

図 16.39 に送信時のモード遷移フローチャートの例を示します。**図** 16.40、**図** 16.41 に送信時の端子状態を示します。

また、DTC 転送による送信から、モジュールストップモード、ソフトウェアスタンバイモード、またはサブスリープモードへ遷移するときは、動作を停止（TE＝TIE＝TEIE＝0）してから行ってください。モード解除後に TE＝1、TIE＝1 に設定すると、TXI 割り込み要求が発生して DTC による送信が始まります。

(2) 受信

モジュールストップモード、ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモードへ遷移するときには、受信動作を停止（RE＝0）してから行ってください。RSR、RDR および SSR はリセットされます。受信中に遷移すると、受信中のデータは無効になります。

モード解除後、受信モードを変えないで受信する場合は、RE＝1 に設定してから受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 16.42 に受信時のモード遷移フローチャートの例を示します。

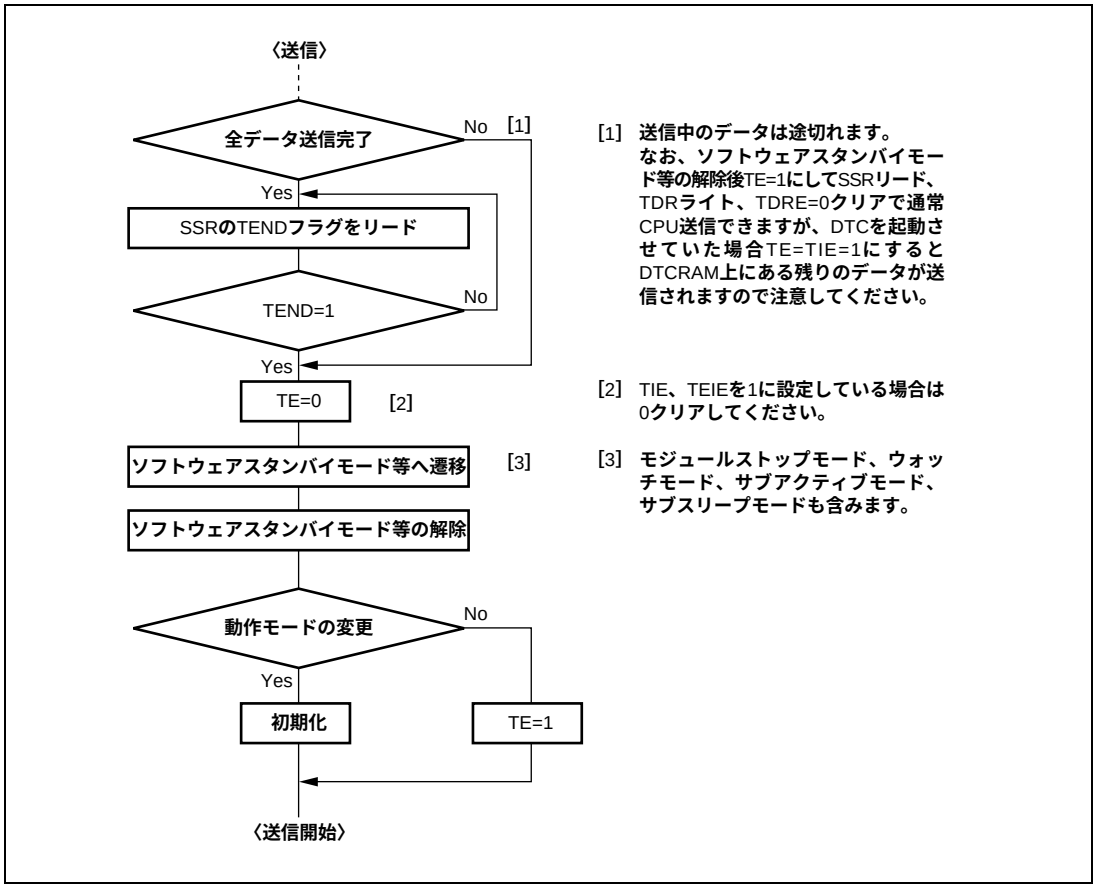


図 16.39　**送信時のモード遷移フローチャートの例**

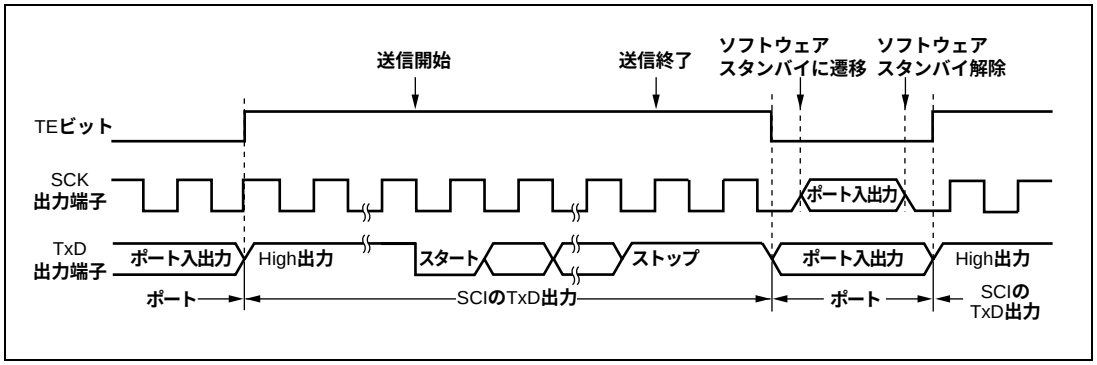


図 16.40　調歩同期式モード送信時（内部クロック）の端子状態

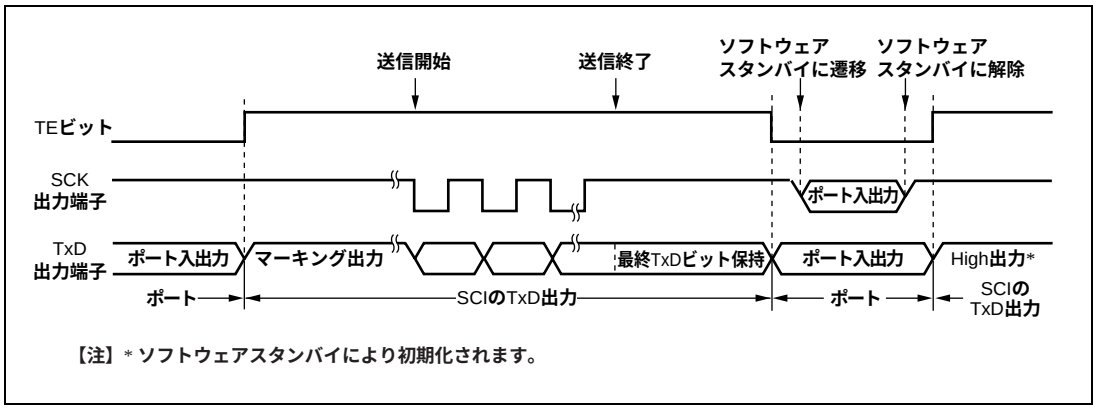


図 16.41　クロック同期式モード送信時（内部クロック）の端子状態

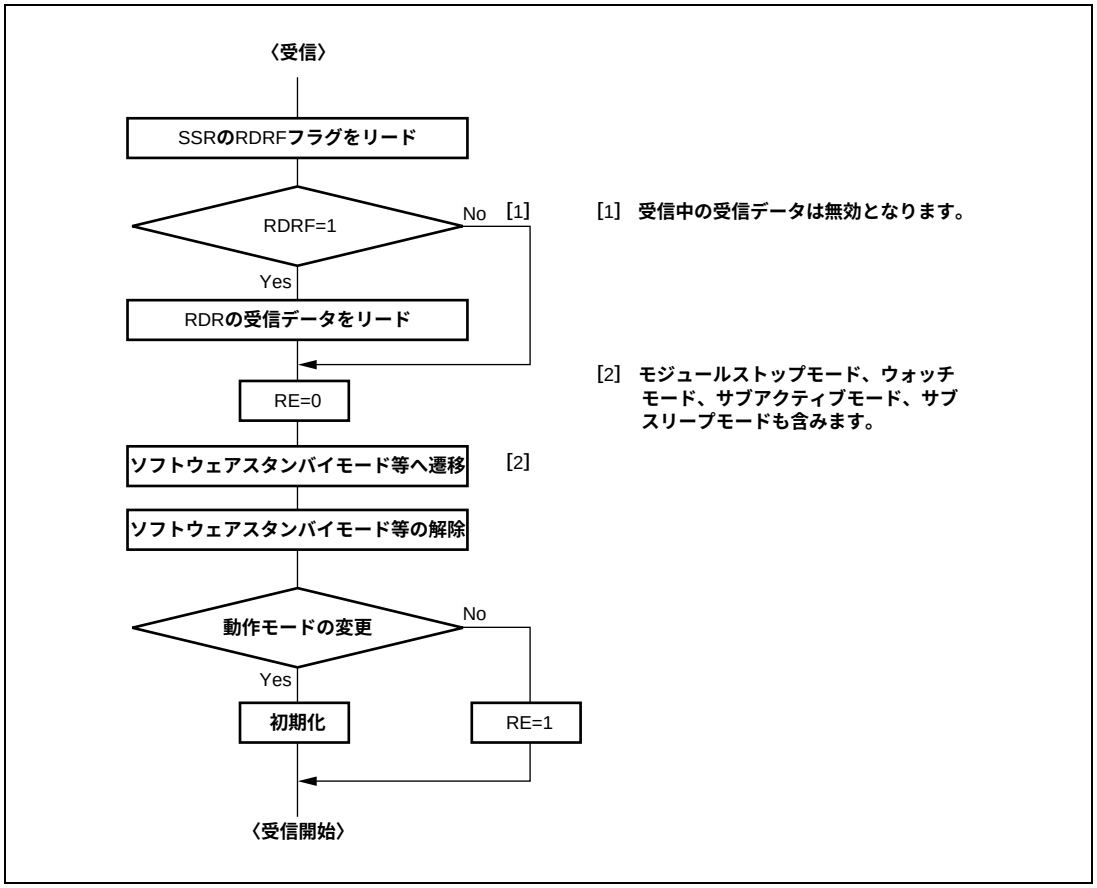


図 16.42　受信時のモード遷移フローチャートの例

16.10.8 SCK 端子からポート端子への切り替え

送信終了状態で SCK 端子をポート端子に切り替えるとき、**図** 16.43 に示すように半サイクルの Low 出力後にポート出力となります。

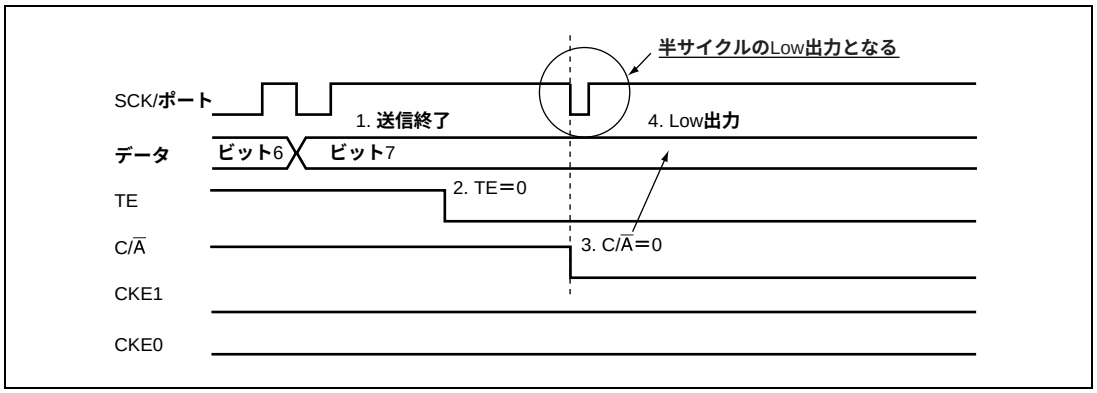


図 16.43 SCK **端子からポート端子へ切り替える時の動作**

SCK 端子をポート端子に切り替えるときに発生する Low 出力を回避するためには、SCK 端子を入力状態にして（SCK/ポート端子を外部回路で Pull-up）、DDR＝1、DR＝1、C/$\overline{A}$＝1、CKE1＝0、CKE0＝0、TE＝1 の状態で次の 1～5 の順で設定してください。

1. シリアルデータ送信終了
2. TEビット＝0
3. CKE1ビット＝1
4. C/$\overline{A}$ビット＝0 （ポート出力に切り替え）
5. CKE1ビット＝0

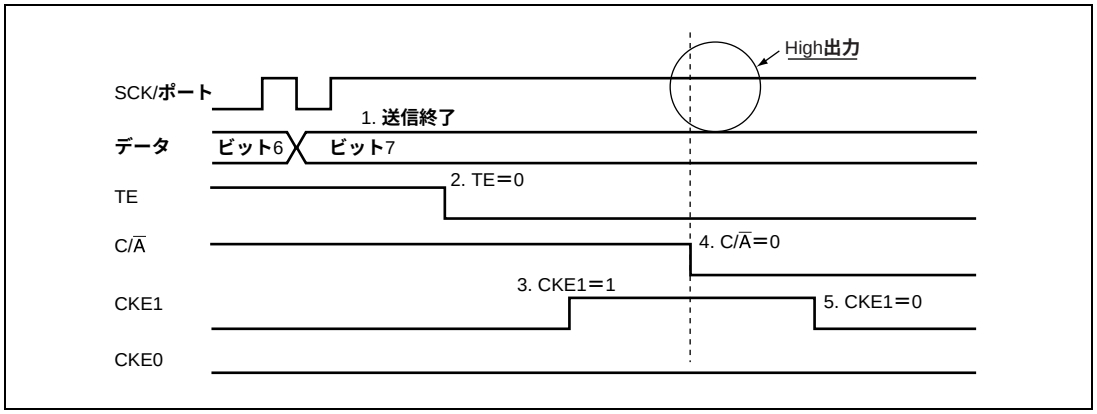


図 16.44 SCK **端子からポート端子へ切り替え時の** Low **出力の回避例**

16.11 CRC 演算器

CRC（Cyclic Redundancy Check）演算器は、データブロックの誤り検出を行います。

16.11.1 特長

- 8ビット単位の任意のデータ長に対してCRCコードを生成
- CRC演算は8ビットずつ並列に実行
- 生成多項式を3つの多項式から選択可能
- LSBファースト通信用CRCコード生成／MSBファースト通信用CRCコード生成の選択が可能

図 16.45 に CRC 演算器のブロック図を示します。

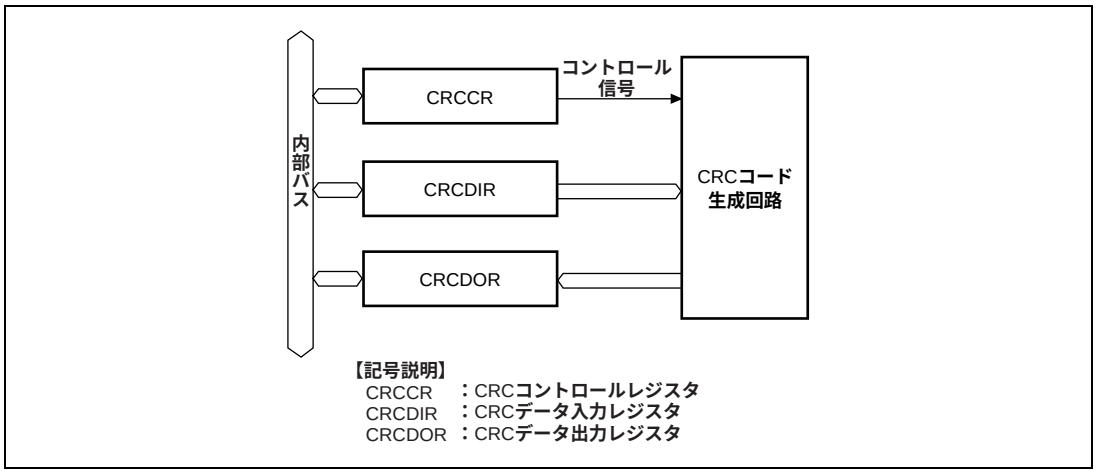


図 16.45 CRC **演算器のブロック図**

16.11.2 レジスタの説明

CRC 演算器には以下のレジスタがあります。

- CRC**コントロールレジスタ**（CRCCR）
- CRC**データ入力レジスタ**（CRCDIR）
- CRC**データ出力レジスタ**（CRCDOR）

(1) CRC コントロールレジスタ（CRCCR）

CRCCR は CRC 演算器の初期化、演算切り替え、生成多項式を選択します。

ビット	ビット名	初期値	R/W	説　明
7	DORCLR	0	W	CRCDOR クリア このビットを 1 にセットすると、CRCDOR が H'0000 にクリアされます。
6～3	—	0	R	リザーブビット 初期値を変更しないでください。
2	LMS	0	R/W	CRC 演算切り替え LSB ファースト通信用 CRC コード生成か、MSB ファースト通信用 CRC コード生成かを選択します。 0：LSB ファーストで通信する場合の CRC 演算を行います。CRCDOR の内容（CRC コード）を 2 バイトに分けて送信する場合、下位バイト（ビット 7～0）を先に送信します。 1：MSB ファーストで通信する場合の CRC 演算を行います。CRCDOR の内容（CRC コード）を 2 バイトに分けて送信する場合、上位バイト（ビット 15～8）を先に送信します。
1	G1	0	R/W	CRC 生成多項式切り替え
0	G0	0	R/W	多項式を選択します。 00：リザーブ 01：$X^8 + X^2 + X + 1$ 10：$X^{16} + X^{15} + X^2 + 1$ 11：$X^{16} + X^{12} + X^5 + 1$

(2) CRC データ入力レジスタ（CRCDIR）

CRCDIR は 8 ビットのリード／ライト可能なレジスタです。CRCDIR に CRC 演算対象のバイトをライトすると CRCDOR に結果が得られます。

(3) CRC データ出力レジスタ（CRCDOR）

CRCDOR は 16 ビットのリード／ライト可能なレジスタです。CRCDOR クリア後、CRCDIR に CRC 演算対象のバイトをライトすると CRCDOR に結果が得られます。CRC 演算対象のバイトに CRC 演算結果を追加してライトした場合、CRC エラーがなければ結果は H'0000 になります。CRCCR ビット 1、0 を G1＝0、G0＝1 と指定した場合、下位バイトに結果が得られます。

16.11.3 CRC 演算器の動作説明

CRC 演算器は、LSB ファースト／MSB ファースト通信用 CRC コードを生成します。以下に CRCCR の G1、G0 ビットを B'11 として $X^{16}+X^{12}+X^{5}+1$ の多項式を使用し、16 進数 H'F0 データについて CRC コードを生成する使用例を示します。

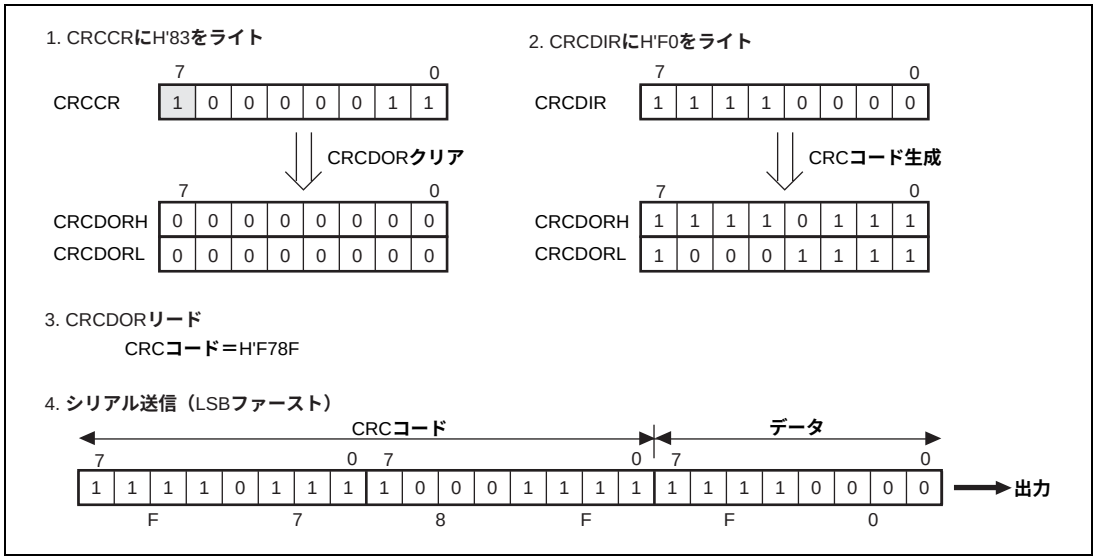


図 16.46　LSB ファーストでのデータ送信

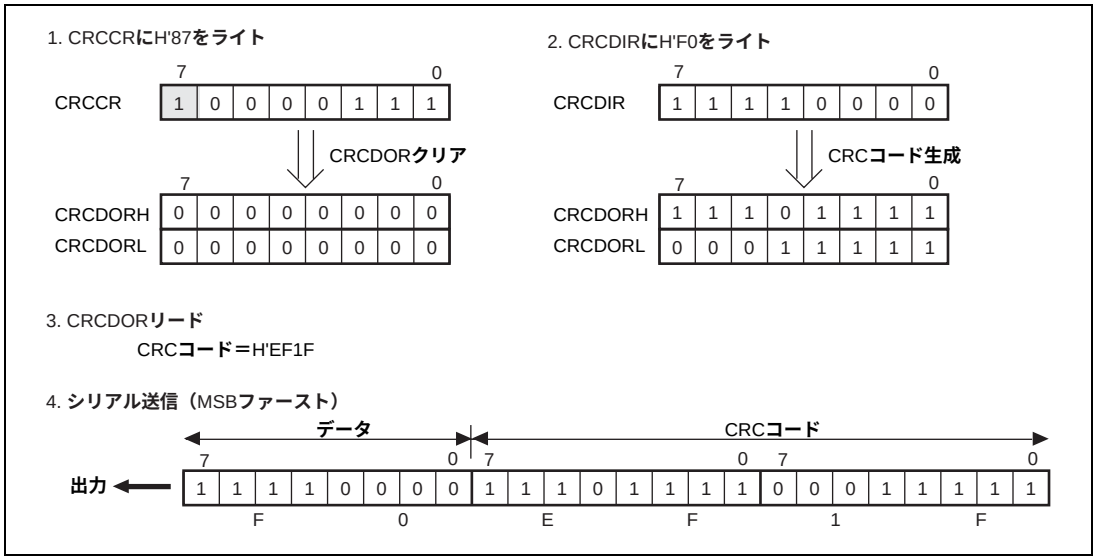


図 16.47　MSB ファーストでのデータ送信

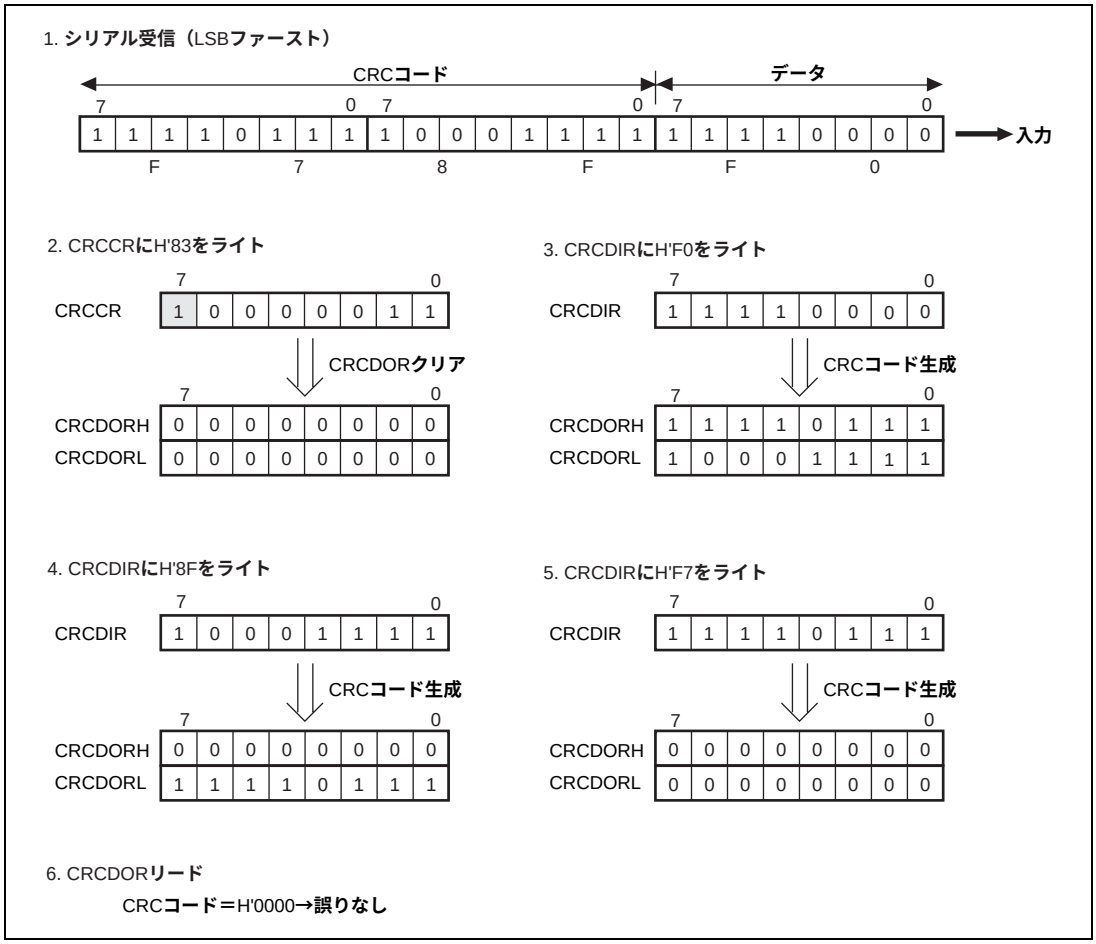


図 16.48　LSB ファーストでのデータ受信

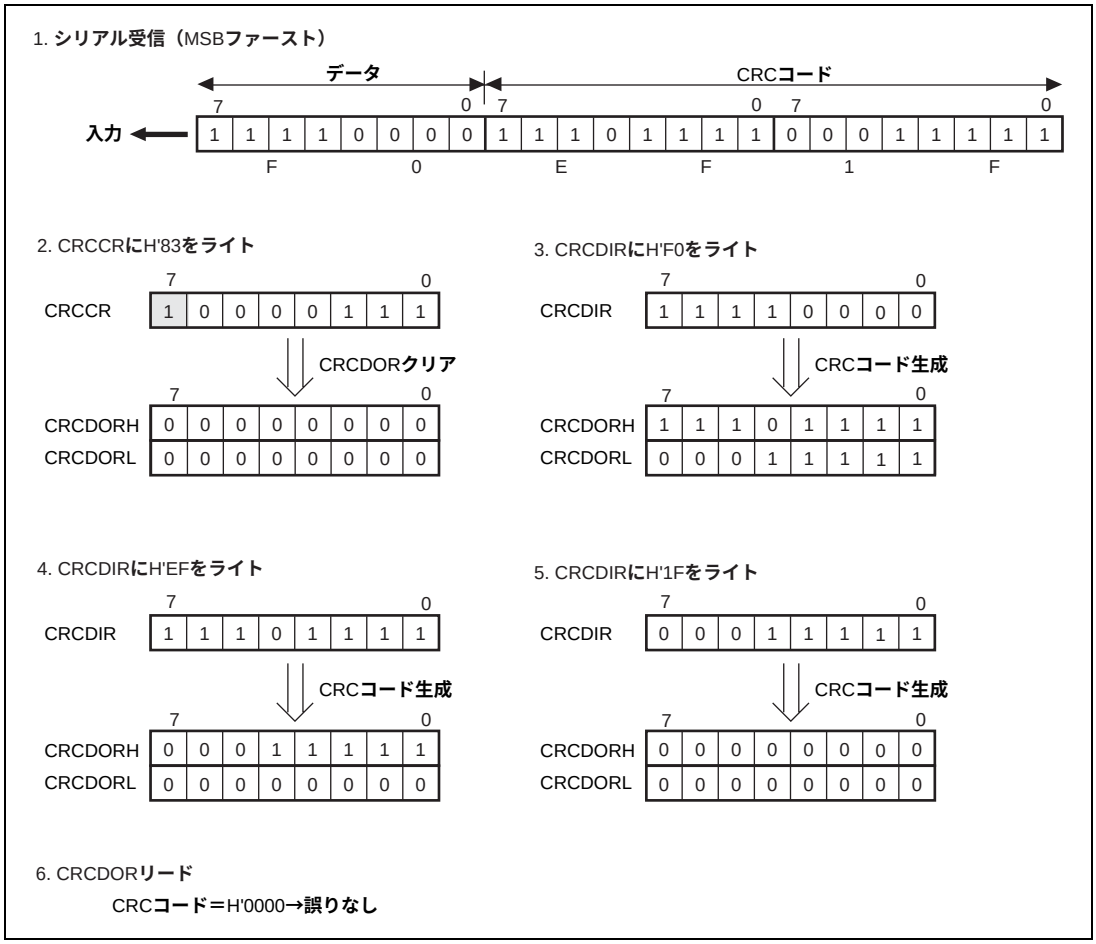


図 16.49　MSB ファーストでのデータ受信

16.11.4 CRC 演算器使用上の注意事項

LSB ファーストで送信する場合と MSB ファーストで送信する場合とでは、CRC コードを送る順序が異なりますので、注意してください。

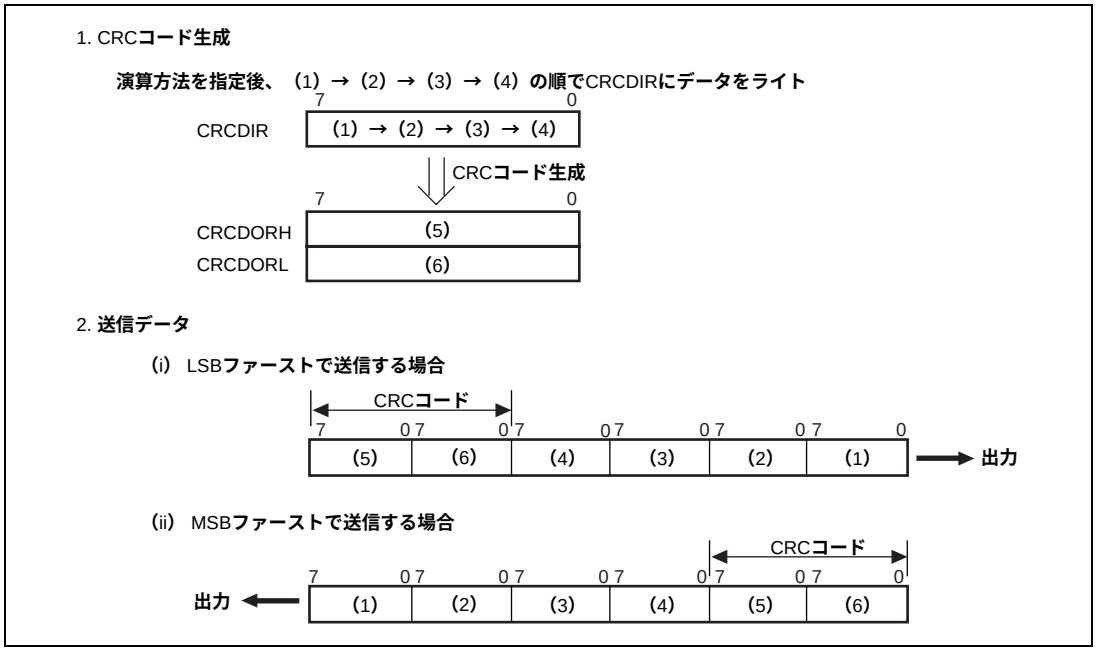


図 16.50 LSB ファーストと MSB ファーストの送信データ

17. I²C バスインタフェース（IIC）

本 LSI は 2 チャネルの I²C バスインタフェース（IIC）を内蔵しています。I²C バスインタフェースはフィリップス社が提唱する I²C バス（Inter IC Bus）インタフェース方式に準拠しており、サブセット機能を備えています。ただし、I²C バスを制御するレジスタの構成が一部フィリップス社と異なります。

17.1 特長

- I²Cバスフォーマットまたはクロック同期式シリアルフォーマットに設定可能
  I²Cバスフォーマット：アドレッシングフォーマットでアクノリッジビットあり、マスタ、スレーブ動作
  クロック同期式シリアルフォーマット：ノンアドレッシングフォーマットでアクノリッジビットなし、マスタ動作専用
- I²Cバスフォーマットで、スレーブアドレスを2通り設定可能
- I²Cバスフォーマットで、マスタモードでは開始条件、停止条件を自動生成
- I²Cバスフォーマットで、受信時にアクノリッジの出力レベルを選択可能
- I²Cバスフォーマットで、送信時にアクノリッジビットを自動ロード
- I²Cバスフォーマットで、マスタモード時のウェイトビット機能
  アクノリッジを除くデータ転送後、SCLをLowレベルにしてウェイト状態にすることが可能。
  ウェイト状態は、割り込みフラグをクリアすることで解除。
- I²Cバスフォーマットで、ウェイト機能
  アクノリッジを除くデータ転送後、SCLをLowレベルにしてウェイト要求を発生することが可能。
  ウェイト要求は、次の転送が可能になった時点で解除。
- 割り込み要因
  データ転送終了時（I²Cバスフォーマットで送信モード遷移時、ICDR内データ転送発生時、およびウェイト時を含む）
  アドレス一致時：I²Cバスフォーマット、スレーブ受信モードで、いずれかのスレーブアドレスが一致したとき、またはゼネラルコールアドレスを受信したとき
  （マスタ競合負け後のアドレス受信を含む）
  アービトレーションロスト発生時
  開始条件検出時（マスタモード）
  停止条件検出時（スレーブモード時）
- マスタモード時、16種類の内部クロック選択可能

- バスを直接駆動可能

  SCL、SDA端子は、バス駆動機能選択時NMOSオープンドレイン出力

- 動作予約アダプタによる動作

I²C バスインタフェースのブロック図を**図** 17.1 に示します。入出力端子の外部回路接続例を**図** 17.2 に示します。入出力端子は NMOS オープンドレインで、印加電圧は 5.8V 以下としてください。

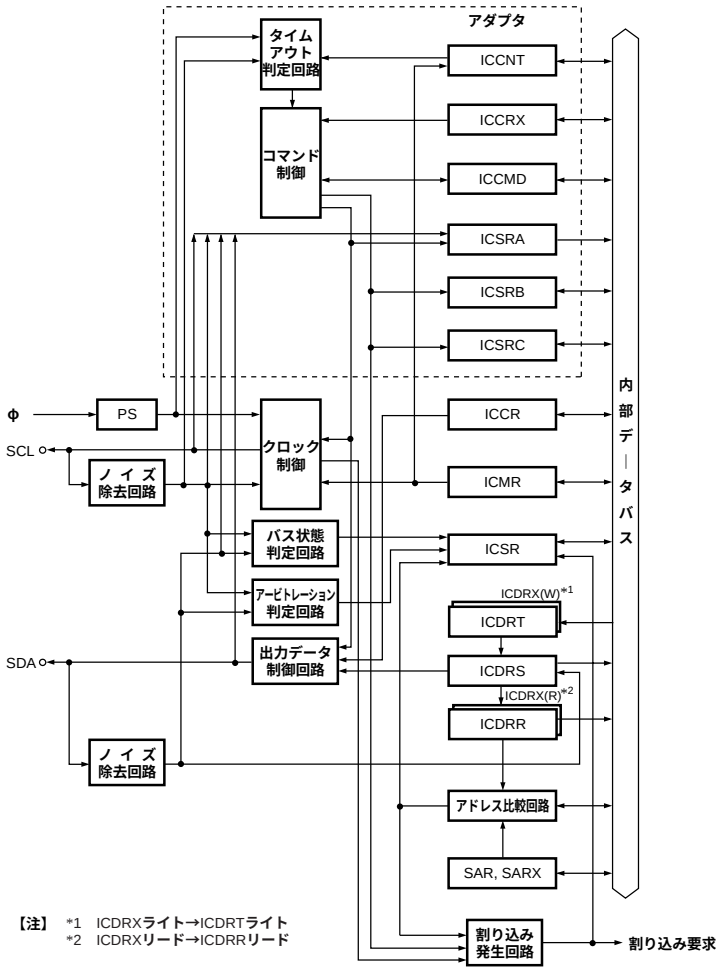


図 17.1 I²C **バスインタフェースのブロック図**

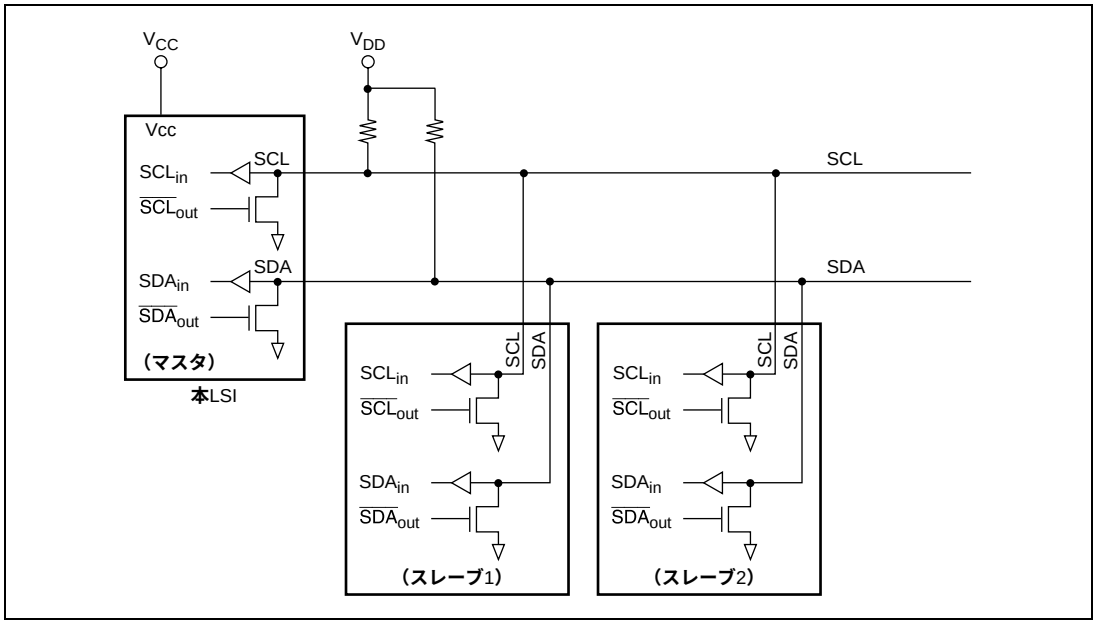


図 17.2 I²C バスインタフェース接続例（本 LSI がマスタの場合）

17.2 入出力端子

I²C バスインタフェースで使用する端子を**表 17.1** に示します。

表 17.1 端子構成

チャネル	記号	入出力	機　能
0	SCL0	入出力	チャネル 0 のクロック入出力端子
	SDA0	入出力	チャネル 0 のデータ入出力端子
1	SCL1	入出力	チャネル 1 のクロック入出力端子
	SDA1	入出力	チャネル 1 のデータ入出力端子

17.3 レジスタの説明

IIC には以下のレジスタがあります。ICDR と SARX、ICMR と SAR は同じアドレスに割り付けられており、ICCR の ICE ビットによりアクセスできるレジスタが変わります。ICE＝0 のとき SAR と SARX、ICE＝1 のとき ICMR と ICDR がアクセスできます。なお、シリアルタイマコントロールレジスタについては**「3.2.3 シリアルタイマコントロールレジスタ（STCR）」**を参照してください。

- **I²C バスデータレジスタ（ICDR）**
- **スレーブアドレスレジスタ（SAR）**
- **第2スレーブアドレスレジスタ（SARX）**
- **I²C バスモードレジスタ（ICMR）**
- **I²C バスコントロールレジスタ（ICCR）**
- **I²C バスステータスレジスタ（ICSR）**
- **IIC 動作予約アダプタコントロールレジスタ（ICCRX）**
- **IIC 動作予約アダプタステータスレジスタ A（ICSRA）**
- **IIC 動作予約アダプタステータスレジスタ B（ICSRB）**
- **IIC 動作予約アダプタステータスレジスタ C（ICSRC）**
- **IIC 動作予約アダプタデータレジスタ（ICDRX）**
- **IIC データシフトレジスタ（ICDRS）**
- **IIC 動作予約アダプタカウントレジスタ（ICCNT）**
- **IIC 動作予約アダプタコマンドレジスタ（ICCMD）**

17.3.1 I²C バスデータレジスタ（ICDR）

ICDR は 8 ビットのリード／ライト可能なレジスタで、送信時は送信用データレジスタとして、受信時は受信用データレジスタとして機能します。ICDR は内部でシフトレジスタ（ICDRS）、受信バッファ（ICDRR）、送信バッファ（ICDRT）に分かれています。3 本のレジスタ間のデータ転送はバス状態の変化に関連付けられて自動的に行われ、ICDRE や ICDRF などの内部フラグの状態に影響を与えます。ICDRE は 1 のとき受信バッファが空の状態で CPU から次の送信データをライト可能であることを示します。ICDRF は 1 のとき受信バッファに有効な受信データが格納されていることを示します。

シフトレジスタで 1 フレームのデータを正常に送受信後、送信モードでは送信バッファに次の送信データがあると（ICDRE フラグが 0 の場合）、自動的にシフトレジスタへ転送されます。受信モードでは受信バッファに以前のデータがない場合（ICDRF フラグが 0 の場合）、自動的にシフトレジスタから受信バッファにデータが転送されます。ただし、受信モードでは送信バッファからシフトレジスタへデータ転送は行われません。受信モードでの ICDR の書き込みは行わないでください。また、送信モードではシフトレジスタから受信バッファへデータ転送は行われません。送信モードで ICDR をリードした場合、受信バッファ内のデータはリード可能ですが、シ

フトレジスタ内のデータをリードすることはできません。受信モードに設定した上でリードしてください。

1 フレームのアクノリッジを除いたビット数が 8 ビットに満たない場合、送受信データの格納される位置が異なります。送信データは、MLS＝0 のとき MSB 側に、MLS＝1 のとき LSB 側に詰めて書き込んでください。受信データは、MLS＝0 のとき LSB 側に、MLS＝1 のとき MSB 側に詰めて格納されます。

ICDR は ICCR の ICE ビットを 1 に設定したときのみアクセス可能です。ICDR の初期値は不定です。

内部フラグ ICDRE、ICDRF は次のような条件でセット／クリアされます。ICDRE、ICDRF は割り込みフラグの状態に影響を与えます。

ビット	ビット名	初期値	R/W	説　明
—	ICDRE	—	—	**トランスミットデータレジスタエンプティ** **［セット条件］** **• I²C バスフォーマット、シリアルフォーマットのバスラインの状態から開始条件成立を検出したとき** **• 送信バッファからシフトレジスタにデータが転送されたとき** **（送信モードかつ** ICDRE＝0 **でシフトレジスタが空の場合、送信バッファ→シフトレジスタへデータ転送）** **（受信モードのときは** ICDRE **フラグの値は無効ですので、**ICDR **へのライト動作は行わないでください）** **［クリア条件］** • ICDR**（送信バッファ）に送信データをライトしたとき** **• I²C バスフォーマットまたはシリアルフォーマットで、バスラインの状態から停止条件成立を検出したとき** **送信モードで** ICDR **に送信すべきデータが存在しない状態で** ICDR **（送信バッファ）にライトした場合、いったん** ICDRE **は** 0 **にクリアされますが、直ちに送信バッファからシフトレジスタへデータが転送されるため、再び** ICDRE **は** 1 **にセットされます。** **• 内部状態初期化時** **（転送中の** ICCR **の** TRS **ビットへの** 0 **ライトは、アクノリッジを含めたフレーム受信後に有効）**
—	ICDRF	—	—	**レシーブデータレジスタフル** **［セット条件］** **• シフトレジスタから受信バッファにデータが転送されたとき** **（受信モードかつ** ICDRF＝0 **でシフトレジスタに受信データが存在する場合、シフトレジスタ→受信バッファへデータ転送）** **（送信モードのときは、シフトレジスタ→受信バッファへのデータ転送が行われませんので、シフトレジスタ内のデータを読み出すときは受信モードの状態で** ICDR **をリードしてください）** **［クリア条件］** • ICDR**（受信バッファ）の受信データをリードしたとき** **受信モードでシフトレジスタに次の受信データが存在する状態で** ICDR**（受信バッファ）をリードした場合、いったん** ICDRF **は** 0 **にクリアされますが、直ちにシフトレジスタから受信バッファへデータが転送されるため、再び** ICDRF **は** 1 **にセットされます。** **• 内部状態初期化時**

17.3.2 スレーブアドレスレジスタ（SAR）

SAR はスレーブアドレスと転送フォーマットを設定します。アドレッシングフォーマットでスレーブモードの場合、開始条件後に送られてきた第 1 フレームの上位 7 ビットと SAR の上位 7 ビットを比較して一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。SAR は、ICCR の ICE ビットがクリアされているときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説　明
7	SVA6	0	R/W	**スレーブアドレス 6〜0** **スレーブアドレスを設定します。**
6	SVA5	0	R/W	
5	SVA4	0	R/W	
4	SVA3	0	R/W	
3	SVA2	0	R/W	
2	SVA1	0	R/W	
1	SVA0	0	R/W	
0	FS	0	R/W	**フォーマットセレクト** **SARX の FSX との組み合わせで転送フォーマットを選択します。表 17.2 を参照してください。なお、ゼネラルコールアドレスの認識を行う場合は、必ず本ビットを 0 に設定してください。**

17.3.3 第 2 スレーブアドレスレジスタ（SARX）

SARX は第 2 スレーブアドレスと転送フォーマットを設定します。スレーブモードでは受信したアドレスが第 2 スレーブアドレスに一致したときに DTC を利用した送受信動作が可能になります。I²C バスフォーマットでスレーブモードの場合、開始条件に送られてきた第 1 フレームの上位 7 ビットと SARX の上位 7 ビットを比較して一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。SARX は、ICCR の ICE ビットが 0 にクリアされているときのみアクセス可能です。

ビット	ビット名	初期値	R/W	説　明
7	SVAX6	0	R/W	**第 2 スレーブアドレス 6〜0** **第 2 スレーブアドレスを設定します。**
6	SVAX5	0	R/W	
5	SVAX4	0	R/W	
4	SVAX3	0	R/W	
3	SVAX2	0	R/W	
2	SVAX1	0	R/W	
1	SVAX0	0	R/W	
0	FSX	1	R/W	**フォーマットセレクト X** **SAR の FS との組み合わせで転送フォーマットを選択します。表 17.2 を参照してください。**

表 17.2 転送フォーマット

SAR	SARX	転送フォーマット
FS	FSX	
0	0	I²C バスフォーマットで SAR と SARX をスレーブアドレスとして使用
0	1	I²C バスフォーマットで SAR のみスレーブアドレスとして使用
1	0	I²C バスフォーマットで SARX のみスレーブアドレスとして使用
1	1	クロック同期式シリアルフォーマット（SAR と SARX は無効となります）

17.3.4 I²C バスモードレジスタ（ICMR）

ICMR は転送フォーマットと転送レートを設定します。ICCR の ICE ビットが 1 のときだけアクセスできます。

ビット	ビット名	初期値	R/W	説　明
7	MLS	0	R/W	MSB ファースト／LSB ファースト選択 0：MSB ファースト 1：LSB ファースト I²C バスフォーマットで使用するときは 0 に設定してください。
6	WAIT	0	R/W	ウエイト挿入ビット I²C バスフォーマットでマスタモードのときのみ有効 0：ウェイトは挿入されず、データとアクノリッジを連続して転送します。 1：データの最終ビットのクロックが立ち下がった後、ICCR の IRIC フラグが 1 にセットされウェイト状態（SCL＝Low レベル）となります。ICCR の IRIC フラグを 0 にクリアすることでウェイト状態を解除しアクノリッジの転送を行います。 詳細は「17.5.6 IRIC セットタイミングと SCL 制御」を参照してください。
5	CKS2	0	R/W	転送クロック選択 2～0 マスタモードのときのみ有効 STCR の IICX1（チャネル 1）、IICX0（チャネル 0）との組み合わせで転送レートを選択します。表 17.3 を参照してください。
4	CKS1	0	R/W	
3	CKS0	0	R/W	
2	BC2	0	R/W	ビットカウンタ 2～0 次に転送するデータのビット数を指定します。I²C バスフォーマットでは、データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、B'000 以外の値を設定する場合は、SCL が Low 状態で行ってください。これらのビットは開始条件検出時またはアクノリッジを含むデータ転送終了後、自動的に B'000 に戻ります。 I²C バスフォーマット　　クロック同期式シリアルフォーマット 000：9 ビット　　000：8 ビット 001：2 ビット　　001：1 ビット 010：3 ビット　　010：2 ビット 011：4 ビット　　011：3 ビット 100：5 ビット　　100：4 ビット 101：6 ビット　　101：5 ビット 110：7 ビット　　110：6 ビット 111：8 ビット　　111：7 ビット
1	BC1	0	R/W	
0	BC0	0	R/W	

表 17.3 転送レート

STCR	ICMR			クロック	転送レート						
ビット 6、5	ビット 5	ビット 4	ビット 3								
IICX1、IICX0	CKS2	CKS1	CKS0		φ=5MHz	φ=8MHz	φ=10MHz	φ=12MHz	φ=16MHz	φ=20MHz	φ=24MHz
0	0	0	0	φ/28	179kHz	286kHz	357kHz	429kHz*	517kHz*	714kHz*	857kHz*
			1	φ/40	125kHz	200kHz	250kHz	300kHz	400kHz	500kHz*	600kHz*
		1	0	φ/48	104kHz	167kHz	208kHz	250kHz	333kHz	417kHz*	500kHz*
			1	φ/64	78.1kHz	125kHz	156kHz	188kHz	250kHz	313kHz	375kHz
	1	0	0	φ/80	62.5kHz	100kHz	125kHz	150kHz	200kHz	250kHz	300kHz
			1	φ/100	50.0kHz	80.0kHz	100kHz	120kHz	160kHz	200kHz	240kHz
		1	0	φ/112	44.6kHz	71.4kHz	89.3kHz	107kHz	143kHz	179kHz	214kHz
			1	φ/128	39.1kHz	62.5kHz	78.1kHz	93.8kHz	125kHz	156kHz	188kHz
1	0	0	0	φ/56	89.3kHz	143kHz	179kHz	212kHz	286kHz	357kHz	429kHz
			1	φ/80	62.5kHz	100kHz	125kHz	150kHz	200kHz	250kHz	300kHz
		1	0	φ/96	52.1kHz	83.3kHz	104kHz	125kHz	167kHz	208kHz	250kHz
			1	φ/128	39.1kHz	62.5kHz	78.1kHz	93.8kHz	125kHz	156kHz	188kHz
	1	0	0	φ/160	31.3kHz	50.0kHz	62.5kHz	75.0kHz	100kHz	125kHz	150kHz
			1	φ/200	25.0kHz	40.0kHz	50.0kHz	60.0kHz	80.0kHz	100kHz	120kHz
		1	0	φ/224	22.3kHz	35.7kHz	44.6kHz	53.5kHz	71.4kHz	89.3kHz	107kHz
			1	φ/256	19.5kHz	31.3kHz	39.1kHz	46.9kHz	62.5kHz	78.1kHz	93.8kHz

【注】 * I²C バスインタフェース仕様（通常モード：最大 100kHz、最高モード：最大 400kHz）の範囲外となります。

17.3.5 I²C バスコントロールレジスタ（ICCR）

ICCR は I²C バスインタフェースの制御ビットと割り込み要求フラグで構成されています。

ビット	ビット名	初期値	R/W	説　明
7	ICE	0	R/W	I²C バスインタフェースイネーブル 0：本モジュールは停止状態となり、SCL、SDA 端子から切り離されます。SAR、SARX がアクセス可能となります。 1：本モジュールは送受信可能となり、SCL、SDA 端子と接続されてバスを駆動できる状態になります。また、ICMR、ICDR がアクセス可能となります。
6	IEIC	0	R/W	I²C バスインタフェース割り込みイネーブル このビットが 1 のとき IRIC による割り込み要求がイネーブルになります。
5	MST	0	R/W	マスタ／スレーブ選択
4	TRS	0	R/W	送受信選択 00：スレーブ受信モード 01：スレーブ送信モード 10：マスタ受信モード 11：マスタ送信モード I²C バスフォーマットのマスタモードでバス競合負けをするとこれらのビットは共にハードウェアによってクリアされます。スレーブ受信モードでは、開始条件直後の第 1 フレームの R/$\overline{W}$ ビットによりハードウェアによって自動的に受信モードまたは送信モードに設定されます。これらハードウェアによってセットまたはクリアされたビットは一度読み出すことによって再設定が可能になります。転送中の TRS ビットの変更はデータ転送終了まで保留され、転送終了後に切り替わります。 [MST クリア条件] (1)ソフトウェアにより 0 をライトしたとき (2)I²C バスフォーマットのマスタモードでバス競合負けをしたとき [MST セット条件] (1)ソフトウェアにより 1 をライトしたとき（MST クリア条件(1)の場合） (2)MST=0 をリード後、1 をライトしたとき（MST クリア条件(2)の場合） [TRS クリア条件] (1)ソフトウェアにより 0 をライトしたとき（TRS セット条件(3)以外の場合） (2)TRS=1 をリード後、0 をライトしたとき（TRS セット条件(3)の場合） (3)I²C バスフォーマットのマスタモードでバス競合負けをしたとき [TRS セット条件] (1)ソフトウェアにより 1 をライトしたとき（TRS クリア条件(3)以外の場合） (2)TRS=0 をリード後、1 をライトしたとき（TRS クリア条件(3)の場合） (3)I²C バスフォーマットのスレーブモードで第 1 フレームの R/$\overline{W}$ ビットとして 1 を受信したとき

ビット	ビット名	初期値	R/W	説　明
3	ACKE	0	R/W	アクノリッジビット判定選択 0：受信したアクノリッジビットを無視して連続的に転送を行います。 受信したアクノリッジビットは ICSR の ACKB ビットに反映されず、常時 0 となります。 1：受信したアクノリッジビットが 1 のとき転送を中断します。 アクノリッジビットは、受信デバイスによって、受信したデータの処理完了などの意味をもたせる場合と、意味をもたず 1 固定の場合があります。
2	BBSY	0	R/W	バスビジー
0	SCP	1	W	開始条件／停止条件発行禁止ビット マスタモード時 • BBSY＝0 かつ SCP＝0 ライト：停止条件発行 • BBSY＝1 かつ SCP＝0 ライト：開始条件、再送開始条件発行 スレーブモード時 • BBSY フラグのライトは無効 ［BBSY セット条件］ • SCL＝High レベルの状態で SDA が High レベルから Low レベルに変化し、開始条件が発行されたと認識したとき ［BBSY クリア条件］ • SCL＝High レベルの状態で SDA が Low レベルから High レベルに変化し、停止条件が発行されたと認識したとき 開始条件／停止条件の発行は、MOV 命令を用います。 開始条件の発行に先立って、I²C バスインタフェースをマスタ送信モードに設定する必要があります。 BBSY＝1 かつ SCP＝0 をライトする以前に、MST＝1 かつ TRS＝1 を設定してください。 BBSY フラグをリードすることにより、I²C バス（SCL、SDA）が占有されているか開放されているかを確認できます。 SCP ビットは、リードすると常に 1 が読み出されます。また、0 をライトしてもデータは格納されません。

ビット	ビット名	初期値	R/W	説　明
1	IRIC	0	R/(W)*	I²C バスインタフェース割り込み要求フラグ IIC モジュールが CPU に対して割り込み要求を発生させたことを示します。 SAR の FS ビットと SARX の FSX ビットおよび、ICMR の WAIT ビットの組み合せにより IRIC フラグのセットタイミングが異なりますので、「17.5.6　IRIC セットタイミングと SCL 制御」を参照してください。また、ICCR の ACKE ビットの設定によっても、IRIC フラグがセットされる条件が異なります。 ［セット条件］ • I²C バスフォーマットでマスタモード 開始条件を発行後、バスラインの状態から開始条件を検出したとき （第 1 フレーム送信のため ICDRE フラグが 1 にセットされたとき） WAIT=1 の場合、データとアクノリッジの間にウェイトを挿入したとき （送受信クロックの 8 クロック目の立ち下がりのとき） データ転送終了時 （ウェイト挿入なしで送受信クロックの 9 クロック目の立ち上がりのとき） バス競合負けの後、自分のスレーブアドレスを受信したとき （開始条件に続く第 1 フレーム） ACKE ビットが 1 のとき、アクノリッジビットとして 1 を受信したとき （ACKB ビットが 1 にセットされたとき） ALIE ビットが 1 の状態でバス競合負けし、AL フラグが 1 にセットされたとき • I²C バスフォーマットでスレーブモード スレーブアドレス（SVA、SVAX）が一致したとき （AAS、AASX フラグが 1 にセットされたとき）、 および、その後の再送開始条件または停止条件検出までのデータ転送終了時 （送受信クロックの 9 クロック目の立ち上がりのとき） ゼネラルコールアドレスを検出したとき （R/$\overline{W}$ ビットとして 0 を受信し、ADZ フラグが 1 にセットされたとき）、 および、その後の再送開始条件または停止条件検出までのデータ受信終了時 （受信クロックの 9 クロック目の立ち上がりのとき） ACKE ビットが 1 のとき、アクノリッジビットとして 1 を受信したとき （ACKB ビットが 1 にセットされたとき） STOPIM ビットが 0 の状態で停止条件を検出したとき （STOP または ESTP フラグが 1 にセットされたとき）

ビット	ビット名	初期値	R/W	説　明
				• クロック同期式シリアルフォーマット データ転送終了時 （シリアルフォーマットモードでは送受信クロックの 8 クロック目立ち上がりのとき） シリアルフォーマットで開始条件を検出したとき • すべての動作モードで、ICDRE または ICDRF フラグが 1 にセットされる条件が発生したとき 送信モードで開始条件を検出したとき （送信モードで開始条件を検出し ICDRE フラグが 1 にセットされたとき） ICDR レジスタバッファデータ転送時 （送信モードで送信バッファからシフトレジスタにデータが転送され ICDRE フラグが 1 にセットされたとき、または受信モードでシフトレジスタから受信バッファにデータが転送され ICDRF フラグが 1 にセットされたとき） [クリア条件] • IRIC＝1 の状態でリードした後、0 をライトしたとき • DTC で ICDR をリード／ライトしたとき （クリア条件とならない場合もあるため、詳細は DTC の動作説明参照）

【注】 * フラグを 0 にクリアするための 0 ライトのみ可能です。

DTC を利用すると IRIC フラグは自動的にクリアされ、CPU を介さない連続的な転送が可能です。

I²C バスフォーマットで IRIC＝1 となり割り込みが発生した場合には、IRIC＝1 となった要因を調べるために、他のフラグを調べる必要があります。各要因には、それぞれ対応するフラグがありますが、データ転送終了時に関しては注意が必要です。

ICDRE または ICDRF フラグがセットされたとき、IRTR フラグがセットされる場合とされない場合があります。DTC 起動要求フラグである IRTR フラグがデータ転送終了時にセットされないのは、I²C バスフォーマットでスレーブモードの場合に、スレーブアドレス（SVA）またはゼネラルコールアドレスが一致した後の再送開始条件または停止条件検出までの期間です。

IRIC フラグ、IRTR フラグがセットされているときでも、ICDRE または ICDRF フラグがセットされていない場合があります。DTC を利用した連続的な転送の場合、設定した回数の転送終了時には、IRIC フラグおよび IRTR フラグはクリアされません。一方、設定した回数の ICDR のリード／ライトは完了しているため ICDRE または ICDRF フラグはクリアされています。各フラグと転送状態の関係を**表** 17.4 に示します。

表 17.4　フラグと転送状態の関係

動作モード	MST	TRS	BBSY	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	ICDRE	ICDRF	状態
マスタ	1	1	0	0	0	0	0↓	0	0↓	0↓	0	0	–	アイドル状態（フラグクリア要）
モード	1	1	1↑	0	0	1↑	0	0	0	0	0	1↑	–	開始条件検出
	1	–	1	0	0	–	0	0	0	0	–	–	–	ウェイト状態
	1	1	1	0	0	–	0	0	0	0	1↑	–	–	送信終了（ACKB=1 受信のとき）
	1	1	1	0	0	1↑	0	0	0	0	0	1↑	–	送信終了（以前の状態が ICDRE=0 のとき）
	1	1	1	0	0	–	0	0	0	0	0	0↓	–	上記状態からの ICDR レジスタライト
	1	1	1	0	0	–	0	0	0	0	0	1	–	送信終了(以前の状態が ICDRE=1 のとき)
	1	1	1	0	0	–	0	0	0	0	0	0↓	–	上記状態または開始条件検出からの ICDR レジスタライト
	1	1	1	0	0	1↑	0	0	0	0	0	1↑	–	上記状態から 送信バッファ→シフトレジスタデータ転送 (自動)
	1	0	1	0	0	1↑	0	0	0	0	–	–	1↑	受信終了(以前の状態が ICDRF=0 のとき)
	1	0	1	0	0	–	0	0	0	0	–	–	0↓	上記状態からの ICDR レジスタリード
	1	0	1	0	0	–	0	0	0	0	–	–	1	受信終了(以前の状態が ICDRF=1 のとき)
	1	0	1	0	0	–	0	0	0	0	–	–	0↓	上記状態からの ICDR レジスタリード
	1	0	1	0	0	1↑	0	0	0	0	–	–	1↑	上記状態から シフトレジスタ→受信バッファデータ転送 (自動)
	0↓	0↓	1	0	0	–	0	1↑	0	0	–	–	–	アービトレーションロスト
	1	–	0↓	0	0	–	0	0	0	0	–	0↓	–	停止条件検出
スレーブ	0	0	0	0	0	0	0	0	0	0	0	0	–	アイドル状態(フラグクリア要)
モード	0	0	1↑	0	0	0	0↓	0	0	0	0	1↑	–	開始条件検出
	0	1↑/0*1	1	0	0	0	0	–	1↑	0	0	1	1↑	第 1 フレームで SAR に一致 (SARX≠SAR)
	0	0	1	0	0	0	0	–	1↑	1↑	0	1	1↑	第 1 フレームでゼネラルコールアドレスに一致 (SARX≠H'00)
	0	1↑/0*1	1	0	0	1↑	1↑	–	0	0	0	1	1↑	第 1 フレームで SARX に一致 (SAR≠SARX)
	0	1	1	0	0	–	–	–	–	0	1↑	–	–	送信終了(ACKB=1 受信のとき)
	0	1	1	0	0	1↑/0*2	–	–	–	0	0	1↑	–	送信終了(以前の状態が ICDRE=0 のとき)
	0	1	1	0	0	–	–	0↓	0↓	0	0	0↓	–	上記状態からの ICDR レジスタライト
	0	1	1	0	0	–	–	–	–	0	0	1	–	送信終了(以前の状態が ICDRE=1 のとき)
	0	1	1	0	0	–	–	0↓	0↓	0	0	0↓	–	上記状態または開始条件検出からの ICDR レジスタライト
	0	1	1	0	0	1↑/0*2	–	0	0	0	0	1↑	–	上記状態から 送信バッファ→シフトレジスタデータ転送 (自動)

動作モード	MST	TRS	BBSY	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	ICDRE	ICDRF	状態
スレーブモード	0	0	1	0	0	1↑/0*2	–	–	–	–	–	–	1↑	受信終了(以前の状態が ICDRF=0 のとき)
	0	0	1	0	0	–	–	0↓	0↓	0↓	–	–	0↓	上記状態からの ICDR レジスタリード
	0	0	1	0	0	–	–	–	–	–	–	–	1	受信終了(以前の状態が ICDRF=1 のとき)
	0	0	1	0	0	–	–	0↓	0↓	0↓	–	–	0↓	上記状態からの ICDR レジスタリード
	0	0	1	0	0	1↑/0*2	–	0	0	0	–	–	1↑	上記状態から シフトレジスタ→受信バッファデータ転送（自動）
	0	–	0↓	1↑/0*3	0/1↑*3	–	–	–	–	–	–	0↓	–	停止条件検出

【注】 0：0 状態保持　1：1 状態保持　－：以前の状態を保持　0↓：0 にクリア　1↑：1 にセット

*1 アドレスに続く R/$\overline{W}$ ビットとして 1 を受信した場合に 1 にセット

*2 AASX ビットに 1 がセットされている場合に 1 にセット

*3 ESTP=1 のとき STOP=0、または STOP=1 のとき ESTP=0

17.3.6 I²C バスステータスレジスタ（ICSR）

ICSR はステータスフラグで構成されます。**表** 17.4 を併せて参照してください。

ビット	ビット名	初期値	R/W	説　明
7	ESTP	0	R/(W)*	**エラー停止条件検出フラグ** **I²C バスフォーマットでスレーブモードのとき有効** **[セット条件]** **• フレームの転送の途中で停止条件を検出したとき** **[クリア条件]** **• ESTP＝1 の状態をリードした後、0 をライトしたとき** **• ICCR の IRIC フラグが 0 にクリアされたとき**
6	STOP	0	R/(W)*	**正常停止条件検出フラグ** **I²C バスフォーマットでスレーブモードのとき有効** **[セット条件]** **• フレームの転送の完了後に停止条件を検出したとき** **[クリア条件]** **• 1 の状態をリードした後、0 をライトしたとき** **• ICCR の IRIC フラグが 0 にクリアされたとき**
5	IRTR	0	R/(W)*	**I²C バスインタフェース連続送受信割り込み要求フラグ** **IIC モジュールが CPU に対して割り込み要求を発生させており、その要因が DTC 起動可能な 1 フレームデータ送受信の終了であることを示します。** **IRTR フラグが 1 にセットされると、同時に IRIC フラグも 1 にセットされます。** **[I²C バスフォーマットでスレーブモードのときのセット条件]** **• AASX＝1 の状態で ICXR の ICDRE または ICDRF フラグが 1 にセットされたとき** **[I²C バスフォーマットでスレーブモードのとき以外のセット条件]** **• ICXR の ICDRE または ICDRF フラグが 1 にセットされたとき** **[クリア条件]** **• 1 の状態をリードした後、0 をライトしたとき** **• ICCR の IRIC フラグがクリアされたとき（ICE=1 または ICXE=1 のとき）**
4	AASX	0	R/(W)*	**第 2 スレーブアドレス認識フラグ** **I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームが SARX の SVAX6～SVAX0 と一致したことを示します。** **[セット条件]** **• スレーブ受信モードかつ SARX の FSX＝0 で第 2 スレーブアドレスを検出したとき** **[クリア条件]** **• 1 の状態をリードした後、0 をライトしたとき** **• 開始条件を検出したとき** **• マスタモードのとき**

ビット	ビット名	初期値	R/W	説　明
3	AL	0	R/(W)*	アービトレーションロストフラグ マスタモード時にバス競合負けをしたことを示します。 ［セット条件］ ALSL=0 のとき • マスタ送信モードで SCL の立ち上がりで内部 SDA と SDA 端子が不一致のとき • マスタモードで SCL の立ち下がりで内部 SCL が High レベルのとき ALSL=1 のとき • マスタ送信モードで SCL の立ち上がりで内部 SDA と SDA 端子が不一致のとき • マスタ送信モードで開始条件命令実行後、自分が SDA 端子を Low に立ち下げる前に他デバイスにより SDA 端子が Low に立ち下げられたとき ［クリア条件］ • ICDR にデータをライト（送信時）、データをリード（受信時）したとき • AL＝1 の状態をリードした後、0 をライトしたとき
2	AAS	0	R/(W)*	スレーブアドレス認識フラグ I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームが SAR の SVA6～SVA0 と一致した場合、またはゼネラルコールアドレス（H'00）を検出したことを示します。 ［セット条件］ • スレーブ受信モードかつ SAR の FS＝0 でスレーブアドレスまたはゼネラルコールアドレスを検出したとき ［クリア条件］ • ICDR にデータをライト（送信時）、または ICDR のデータをリード（受信時）したとき • 1 の状態をリードした後、0 をライトしたとき • マスタモードのとき
1	ADZ	0	R/(W)*	ゼネラルコールアドレス認識フラグ I²C バスフォーマットのスレーブ受信モードで、開始条件直後の第 1 フレームでゼネラルコールアドレス（H'00）を検出したことを示します。 ［セット条件］ • スレーブ受信モードかつ（SAR の FS＝0 または SARX の FSX＝0）でゼネラルコールアドレスを検出したとき ［クリア条件］ • ICDR にデータをライト（送信時）、または ICDR のデータをリード（受信時）したとき • ADZ＝1 の状態をリード後、0 をライトしたとき • マスタモードのとき FS=1 かつ FSX=0 でゼネラルコールアドレスを検出した場合、ADZ フラグは 1 にセットされますが、ゼネラルコールアドレスは認識されません（AAS フラグは 1 にセットされません）。

ビット	ビット名	初期値	R/W	説　明
0	ACKB	0	R/W	アクノリッジビット アクノリッジデータを格納するビットです。 送信モード ［セット条件］ • 送信モードかつ ACKE＝1 でアクノリッジビットとして 1 を受信したとき ［クリア条件］ • 送信モードかつ ACKE＝1 でアクノリッジビットとして 0 を受信したとき • ACKE ビットに 0 をライトしたとき 受信モード 0：データを受信した後、アクノリッジデータとして 0 を送出します。 1：データを受信した後、アクノリッジデータとして 1 を送出します。 本ビットをリードすると、送信時（TRS＝1 のとき）にはロードした値（受信デバイスから返ってきた値）が読み出され、受信時（TRS＝0 のとき）には設定した値が読み出されます。 また、本ビットをライトすると TRS の値にかかわらず受信時に送信するアクノリッジデータの設定値を書き換えます。ICSR レジスタのフラグをビット操作命令によって書き換えた場合は、ACKB ビットのリード値でアクノリッジデータの設定値を書き換えますので、再度アクノリッジデータを設定し直してください。 マスタモードで送信動作を終了して停止条件を発行する場合、もしくはスレーブモードで送信動作を終了してマスタデバイスが停止条件を発行できるように SDA を開放する場合は、その前に ACKE ビットに 0 をライトして ACKB フラグを 0 にクリアしてください。

【注】　＊ フラグをクリアするための 0 ライトのみ可能です。

17.3.7 IIC 動作予約アダプタコントロールレジスタ（ICCRX）

ICCRX は、IIC 動作予約アダプタの動作を制御します。

ビット	ビット名	初期値	R/W	説　明
7	ICXE	0	R/W	IIC 動作予約アダプタイネーブル 従来の IIC モジュールを操作するか、IIC 動作予約アダプタをイネーブルにして操作するかを選択します。 0：従来の IIC モジュールを直接操作、IIC 動作予約アダプタディスエーブル 1：IIC 動作予約アダプタイネーブル、従来の IIC モジュールの直接操作を制限 ICXE を 1 にセットすると ICCR の ICE ビットを 1 にセットしたときと同様に SCL、SDA 端子はバス駆動ができる状態になります。
6	CRIC	0	R/W	コマンド書き込み要求割り込みイネーブル IIC 動作予約コマンドの実行完了／次コマンド書き込み要求割り込みの許可／禁止を選択します。 0：コマンド書き込み要求割り込みを禁止 1：コマンド書き込み要求割り込みを許可
5	MRIC	0	R/W	マスタモード送受信割り込みイネーブル 0：マスタモード送受信割り込み（MRREQ、MTREQ）を禁止 1：マスタモード送受信割り込み（MRREQ、MTREQ）を許可
4	SRIC	0	R/W	スレーブモード送受信割り込みイネーブル 0：スレーブモード送受信（SRREQ、STREQ）割り込みを禁止 1：スレーブモード送受信（SRREQ、STREQ）割り込みを許可
3	BBSYX	0	R	バスビジーX 0：バス開放状態 1：バス占有状態
2	—	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
1	AASHIT	0	R	スレーブアドレスマッチ 0：マスタモードまたはスレーブアドレス不一致 1：スレーブアドレス一致
0	ACKBX	0	R	アクノリッジビット送信予約 0：アクノリッジビット 0 送信予約 1：アクノリッジビット 1 送信予約

ビット	ビット名	初期値	R/W	説　明
3	CLR3	—	W	クリア 3〜0 MOV 命令を用いて、これらのビットに B'0101 をライトすると、従来の IIC モジュールおよび IIC 動作予約アダプタの内部ラッチやステートマシンを初期化します。従来の IIC モジュールおよび IIC 動作予約アダプタの各制御ビットは、IIC モジュールが非動作状態となるように初期化しておく必要があります。 ビット 7〜4 をビット操作命令でビットセット／クリアする場合、リード／モディファイ／ライト動作により、BBSYX、AASHIT の内容がこれらのビットにライトされます。しかし、ビット 2 は常に 0 が読み出されるためクリア動作は行われません。
2	CLR2	—	W	
1	CLR1	—	W	
0	CLR0	—	W	

17.3.8 IIC 動作予約アダプタステータスレジスタ A（ICSRA）

ICSRA は IIC モジュールの動作状態をモニタします。

ビット	ビット名	初期値	R/W	説　明
7	SDAO	1	R	SDA アウトプットバリュー SDA 端子の出力値をモニタできます。
6	SCLO	1	R	SCL アウトプットバリュー SCL 端子の出力値をモニタできます。
5	SDAI	—	R	SDA インプットレベル SDA 端子の入力レベルをモニタできます。
4	SCLI	—	R	SCL インプットレベル SCL 端子の入力レベルをモニタできます。
3	MSTX	0	R	マスタ／スレーブ状態 X
2	TRSX	0	R	送受信状態 X 00：スレーブ受信モード 01：スレーブ送信モード 10：マスタ受信モード 11：マスタ送信モード アダプタの動作予約コマンドによって自動設定されます。
1	WAITX	0	R	ウェイト挿入ビット X I²C バスフォーマットでマスタモードのときのみ有効です。動作予約コマンドにより自動設定されます。 0：ウェイトは挿入されず、データとアクノリッジを連続して転送します。 1：データの最終ビットのクロックが立ち下がった後、ウェイト状態（SCL＝Low レベル）となります。
0	ACKXE	0	R	アクノリッジビット判定選択 X 0：受信したアクノリッジビットを無視して連続的に転送を行ないます。受信したアクノリッジビットは ICCRX の ACKBX ビットに反映されず、常時 0 となります。 1：受信したアクノリッジビットが 1 のとき転送を中断します。 動作予約コマンドにより自動設定されます。

17.3.9 IIC 動作予約アダプタステータスレジスタ B（ICSRB）

ICSRB は IIC 動作予約アダプタの動作状態の変化やエラー状態をモニタします。

ビット	ビット名	初期値	R/W	説　明
7	CREQ	0	R/(W)*	動作予約コマンド書き込み要求割り込みフラグ 0：コマンド書き込み要求なし 1：コマンド書き込み要求あり [クリア条件] • ICCMD をリードまたはライト • CREQ=1 の状態をリードした後、0 をライトしたとき [セット条件] CREQ 発生要因 / 発生タイミング (1) スレーブモードアドレス一致後のコマンド自動遷移時 / 9 クロック立ち上がり時 (2) 送信モードでアクノリッジビット有効なときに ACKB=1 受信時（NACK=1） / 9 クロック立ち上がり時 (3) 停止条件検出時 (STOPIMX=0 and (STOP=1 or ABRT=1)) / 停止条件検出時 (4) アービトレーションロスト発生時（ALST=1） / 随時 (5) タイムオーバー発生時（TOVR=1） / 随時 (6) 定義されていないコマンドを書き込んだとき / 随時
6	CERR	0	R/(W)*	動作予約コマンドエラーフラグ 0：コマンドエラーなし 1：コマンドエラーあり [クリア条件] • ICCMD をライト • CERR=1 の状態をリードした後、0 をライトしたとき [セット条件] • アービトレーションロスト • タイムオーバー • 転送途中の開始/停止条件検出 • NAK 受信
5	STOP	0	R/(W)*	停止条件検出 0：停止条件検出なし 1：停止条件検出あり [クリア条件] • ICCMD をライト • STOP=1 の状態をリードした後、0 をライトしたとき [セット条件] • 停止条件の検出

ビット	ビット名	初期値	R/W	説　明
4	ABRT	0	R	アボート 0：正常動作 1：アボート [クリア条件] • ICCMD をライト • ABRT=1 の状態をリードした後、0 をライトしたとき [セット条件] • データ転送中の開始条件または停止条件検出
3	ALST	0	R/(W)*	アービトレーションロスト 0：正常動作 1：アービトレーションロスト発生 [クリア条件] • ICCMD をライト • ALST=1 の状態をリードした後、0 をライトしたとき [セット条件] • マスタ動作時にアービトレーションロスト発生 （1）SCL の立ち上がりで内部 SDA と SDA 端子が不一致 （2）開始条件検出時に内部 SDA が High レベルのとき
2	DERR	0	R/(W)*	送信データ不一致エラー 0：正常動作 1：送信データ不一致発生 [クリア条件] • ICCMD をライト • DERR=1 の状態をリードした後、0 をライトしたとき [セット条件] スレーブ送信モードで停止条件を検出すると、このビットは 1 にセットされます。同時に STOP ビットが 1 にセットされたときは正常動作ですのでこのビットの値は無視してください。 • 送信時に内部送信データと SDA 端子レベルに不一致発生
1	TOVR	0	R/(W)*	タイムオーバー 0：正常動作 1：タイムオーバー発生 [クリア条件] • ICCMD をライト • TOVR=1 の状態をリードした後、0 をライトしたとき [セット条件] • タイムオーバー発生

ビット	ビット名	初期値	R/W	説　明
0	NACK	0	R/(W)*	NACK 受信 0：正常動作 1：NACK 受信 [クリア条件] • ICCMD をライト • NACK=1 の状態をリードした後、0 をライトしたとき [セット条件] • データ送信完了後 NACK 受信（ACKBX=1 を受信）

【注】　* フラグをクリアするための 0 ライトのみ可能です。

17.3.10 IIC 動作予約アダプタステータスレジスタ C（ICSRC）

ICSRC は IIC 動作予約アダプタの送受信に関する動作状態をモニタします。TDRE、SDRF、RDRF ビットについては**図** 17.3 を併せて参照してください。

ビット	ビット名	初期値	R/W	説　明
7	MTREQ	0	R/(W)*[1]	**マスタモード送信データ書き込み要求割り込みフラグ** **0：マスタモードで送信データ書き込み要求なし** **1：マスタモードで送信データ書き込み要求あり、割り込みを要求** **[クリア条件]** • ICDRX **をライト** • ICCMD **をライト** • MTREQ=1 **の状態をリードした後、**0 **をライトしたとき** **[セット条件]** • **マスタモードでデータ送信完了**
6	MRREQ	0	R/(W)*[1]	**マスタモード受信データ読み出し要求割り込みフラグ** **0：マスタモードで受信データ読み出し要求なし** **1：マスタモードで受信データ読み出し要求あり、割り込みを要求** **[クリア条件]** • ICDRX **をリード** • ICCMD **をライト** • MRREQ=1 **の状態をリードした後、**0 **をライトしたとき** **[セット条件]** • **マスタモードでデータ受信完了**
5	STREQ	0	R/(W)*[1]	**スレーブモード送信データ書き込み要求割り込みフラグ** **0：スレーブモードで送信データ書き込み要求なし** **1：スレーブモードで送信データ書き込み要求あり、割り込みを要求** **[クリア条件]** • ICDRX **をライト** • ICCMD **をライト** • STREQ=1 **の状態をリードした後、**0 **をライトしたとき** **[セット条件]** • **スレーブモードでデータ送信完了**

ビット	ビット名	初期値	R/W	説　明
4	SRREQ	0	R/(W)*1	スレーブモード受信データ読み出し要求割り込みフラグ 0：スレーブモードで受信データ読み出し要求なし 1：スレーブモードで受信データ読み出し要求あり、割り込みを要求 [クリア条件] • ICDRX をリード • ICCMD をライト • SRREQ=1 の状態をリードした後、0 をライトしたとき [セット条件] • スレーブモードでデータ受信完了
3	MASX	0	R	マスタモードアドレスセレクト X 0：DTC 起動不可能 スレーブモードでアドレス不一致、または AAS、ADZ のアドレス一致 1：DTC 起動可能 マスタモード、またはスレーブモードかつ AASX でアドレス一致
2	TDRE	0	R	トランスミットデータレジスタエンプティ 0：送信バッファ（ICDRT）に送信データあり 1：送信バッファ（ICDRT）に送信データなし、書き込み可 [セット条件] • 開始条件検出時（開始条件検出時以前に ICDRX へライト動作が行われていないとき）*2 • 第 1 フレーム（アドレス＋R/W）転送終了（9 クロック目立ち上がり）時*2 • 第 2 フレーム以降データ送信開始（1 クロック目立ち下がり）時（DTC による転送の最終バイト転送時を除く）*2 [クリア条件] • ICDRX ライト時*2 • ACKB ビットとして 1 を受信したとき • 停止条件検出時 このビットは IIC 動作予約アダプタで送信している場合に有効です。 従来の方法で送受信を行う場合は、ICDR の ICDRE、ICDRF フラグを参照してください。

ビット	ビット名	初期値	R/W	説　明
1	SDRF	0	R	シフトデータレジスタフル 0：シフトレジスタ（ICDRS）に未読受信／送信途中データなし 1：シフトレジスタ（ICDRS）に未読受信／送信途中データあり [送信モード時セット条件] • ICDRX ライト時または ICDRT に次の送信データがセットされた状態（TDRE=0）でデータ送信終了（9 クロック目立ち上がり）時*2 [送信モード時クリア条件] • ICDRT に次の送信データがセットされていない状態（TDRE=1）でデータ送信終了（9 クロック目立ち上がり）時*2 • 停止条件検出時 • 受信モードに遷移時 • アービトレーションロスト時 [受信モード時セット条件] • RDRF=1 の状態でデータ受信終了（8 クロック目立ち下がり）時*3 [受信モード時クリア条件] • ICDRX リード時 • 開始条件検出時 • 送信モードに遷移時 このビットは IIC 動作予約アダプタで送受信している場合に有効です。
0	RDRF	0	R	レシーブデータレジスタフル 0：受信バッファ（ICDRR）に受信データなし 1：受信バッファ（ICDRR）に受信データあり、読み出し可 [セット条件] • マスタモード第 1 フレーム（アドレス＋R/W=1）送信終了（9 クロック目立ち上がり）時 • 第 2 フレーム以降データ受信終了（8 クロック目立ち下がり）時*3 • 受信モードでシフトレジスタに受信データが存在する状態（SDRF=1）で ICDRX リード時 [クリア条件] • 受信モードでシフトレジスタに受信データが存在しない状態（SDRF=0）で ICDRX リード時 • 開始条件検出時 このビットは IIC 動作予約アダプタで受信している場合に有効です。

【注】 *1　フラグをクリアするための 0 ライトのみ可能です。

*2　マスタモードまたはスレーブモードでアドレス一致の状態で送信モードのとき

*3　マスタモードまたはスレーブモードでアドレス（ゼネラルコールアドレスを含む）一致の状態で受信モードのとき

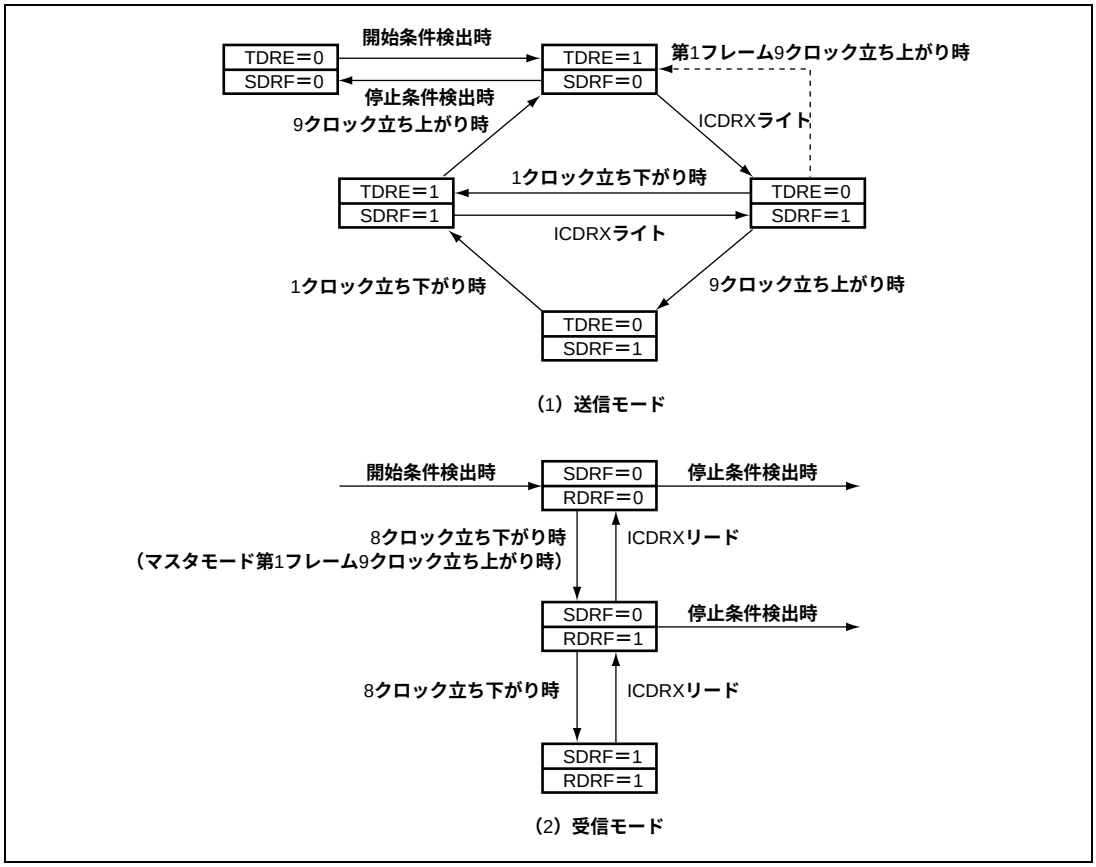


図 17.3　TDRE、SDRF、RDRF ビット状態遷移図

17.3.11　IIC 動作予約アダプタデータレジスタ（ICDRX）

ICDRX は 8 ビットのリード／ライト可能なレジスタで、ICDR と同一のレジスタです。リードは受信バッファ（ICDRR）の内容が読み出され、ライトは送信バッファ（ICDRT）に書き込まれます。ただし、リード／ライト時の IIC モジュールの動作は、動作予約アダプタでの定義に従います。

ICCRX の ICXE ビットが 1 にセットされている場合は、ICDR のアクセスは無効になります。ICDRX の初期値は不定です。

17.3.12　IIC データシフトレジスタ（ICDRS）

ICDRS は 8 ビットのリード専用レジスタで、ICDR のシフトレジスタ（ICDRS）をリード可能としたものです。

転送動作中はフレーム転送ビット数に応じて値が変化します。ICDRS と ICCNT をワードサイズで同時に読み出すことにより、ICDRS の値と ICCNT の BBC3～BBC0 ビットを関連付けることができます。BBC3～BBC0＝B'1111 のときに読み出した ICDRS の値は受信データに一致します。

受信データをリードして ACK/NACK ビットを選択するときなど、SCL クロックを停止した状態で受信データをリードする場合は上記方法で ICDRS をリードしてください。

17.3.13 IIC 動作予約アダプタカウントレジスタ（ICCNT）

ICCNT は、IIC 動作予約アダプタのタイムアウトの監視を制御します。

タイムアウト発生条件：IIC 動作予約アダプタを使用した送受信動作中に割り込みフラグが立たず、SCL 端子に変化がない状態が CNTS1、CNTS0 ビットで設定した時間を超えた場合にタイムアウトが発生します。タイムアウトが発生すると、ICSRB の TOVR、CERR フラグが 1 にセットされ、コマンド要求割り込み（CREQ）要求が発生します。

タイムアウトカウンタクリア条件

1. リセット時
2. ICCRXのICXE＝0（IIC動作予約アダプタディスエーブル）のとき
3. CNTE=0（タイムアウトカウンタ停止）のとき
4. ICCRXのBBSYX＝0（バス開放状態）のとき
5. ICSRBのCREQビット、ICSRCのMTREQ、MRREQ、STREQ、SRREQビットのいずれかが1にセット（割り込み要求）されているとき
6. SCL端子に立ち上がり／立ち下がりエッジが入力されたとき

ビット	ビット名	初期値	R/W	説　明
7	CNTE	0	R/W	**タイムアウトカウンタイネーブル** **タイムアウトカウンタの動作／停止を選択します。** 0：**タイムアウトカウンタ停止、内部カウンタクリア** 1：**タイムアウトカウンタ動作**
6	STOPIMX	0	R/W	**停止条件割り込み要因マスク** X **停止条件による** CREQ **割り込み要求を許可／禁止します。** 0：**停止条件による** CREQ **割り込み要求を許可** 1：**停止条件による** CREQ **割り込み要求を禁止**
5 4	CNTS1 CNTS0	1 1	R/W R/W	**カウントセレクト** **タイムアウトカウンタのクロック数を選択します。**STCR **の** IICX1、IICX0 **ビットおよび** ICMR **の** CKS2～CKS0 **ビットで決まる動作ビットクロック数を指定します。** 00：32 **クロック** 01：64 **クロック** 10：128 **クロック** 11：256 **クロック**
3 2 1 0	BBC3 BBC2 BBC1 BBC0	1 1 1 1	R R R R	**フレームビットカウント** SCL **の立ち上がりごとに、フレームのビット数をカウントします。最初の立ち上がりエッジで** B'0000 **にクリアされ、立ち上がりエッジごとに** 1 **ずつカウントアップします。**8 **回目の立ち上がりエッジで** B'0111 **となった後、次の立ち上がりエッジ（アクノリッジ用）で** B'1111 **に初期化されます。**

17.3.14 IIC 動作予約アダプタコマンドレジスタ（ICCMD）

ICCMD は 8 ビットのリード／ライト可能なレジスタで、IIC 動作予約コマンドを指定します。また、ICCMD は予約した動作の完了により、次の関連したコマンドに自動的に遷移する場合があります。コマンドの種類と動作は、**「17.4 IIC 動作予約アダプタ」**を参照してください。

ICCRX の ICXE ビットを 1 にセットすると、ICCMD は自動的に H'A0 にセットされます。ICXE ビットを 0 にクリアすると、ICCMD は H'00 にクリアされます。

ICXE＝1 の状態で ICCMD に動作予約コマンドとして定義されていない値を書き込むと、ICSRB の CERR ビットが 1 にセットされ、CREQ 割り込み要求を発生します。このとき ICCMD は H'A0 にリセットされます。ICXE＝0 の状態では ICCMD に値を書き込むことはできません。

17.4 IIC 動作予約アダプタ

17.4.1 IIC レジスタアクセスの制約

IIC 動作予約アダプタ以外のレジスタは、動作予約アダプタをイネーブル（ICCRX の ICXE=1）にすると、レジスタのアクセスに制約があります。これを**表 17.5** に示します。

表 17.5 IIC レジスタアクセスの制約

レジスタ	ビット	ビット名	R/W	説　明
ICDR	7〜0	—	R/W	ライトできません。リード／ライトによるデータ転送の起動は発生しません。ライトしてもデータは書き換わりません。
SAR	7〜1	SVA6〜SVA0	R/W	スレーブアドレスをライトしてください。
	0	FS	R/W	I²C バスフォーマットを選択してください。
SARX	7〜1	SVAX6〜SVAX0	R/W	必要に応じて第 2 スレーブアドレスをライトしてください。
	0	FSX	R/W	I²C バスフォーマットを選択してください。
ICMR	7	MLS	R/W	MSB ファーストを選択してください。
	6	WAIT	R/W	このビットの機能は ICCMD で代替されるため、ライトされた値は無視されます。このビットの機能は、ICSRA の WAITX ビットでモニタできます。
	5〜3	CKS2〜CKS0	R/W	転送レートを選択してください。
	2〜0	BC2〜BC0	R/W	B'000（9 ビット）に設定してください。
ICCR	7	ICE	R/W	—
	6	IEIC	R/W	従来の割り込みは 1 に設定しても無視されます。
	5	MST	R/W	これらのビットの機能は ICCMD で代替されるため、ライトされた値は無視されます。これらのビットの機能は、ICSRA の MSTX、TRSX、ACKXE ビットでモニタできます。
	4	TRS	R/W	
	3	ACKE	R/W	
	2	BBSY	R/W	B'10、B'00 をライトしても無視されます。
	1	IRIC	R/W	—
	0	SCP	W	B'10、B'00 をライトしても無視されます。

レジスタ	ビット	ビット名	R/W	説　明
ICSR	7	ESTP	R/W	−
	6	STOP	R/W	
	5	IRTR	R/W	
	4	AASX	R/W	
	3	AL	R/W	
	2	AAS	R/W	
	1	ADZ	R/W	
	0	ACKB	R/W	**このビットのライト時の機能は** ICCRX **の** ACKXB **ビットで代替されるため、ライトされた値は無視されます。**

17.4.2 動作予約コマンド

ICCMD に設定可能な動作予約コマンドを**表** 17.6 に示します。H'A0～H'AF、H'C0～H'CF 以外の値をライトすると、自動的に H'A0 がコマンドとして設定されます。

動作予約コマンドは、開始条件発行、停止条件発行、データ送信（アクノリッジ（ACK）／ノンアクノリッジ（NAK）判定を含む）、データ受信（ACK/NAK 送信、停止条件発行を含む）などの動作を単位に予約を行います。ICCMD は ICDRX と同時に 16 ビットライトが可能なため、データ送信の場合は一連の動作を転送データ（データ＋コマンド）として記述しておくことが可能です。

動作予約コマンドの動作完了に伴う割り込みフラグの状態変化、およびコマンドの自動移行を**表** 17.7 示します。IIC のデータは、第 1 フレーム（アドレス＋リード／ライト）と第 2 以降のフレーム（データ）からなっています。また、各フレームはデータ 8 ビットと ACK/NAK の組み合わせからなっており、ACK/NAK の送信または NAK 判定の有効／無効をコマンドで区別する必要があります。これらに対応するコマンドは、コマンド動作実行後に発行されるコマンド要求割り込み（CREQ）により書き換えるか、コマンドの自動移行により自動的に書き換えられます。第 1 フレームに対応するコマンドは自動移行します。第 2 フレーム以降に対応するコマンドは、自動移行しない連続データ用コマンドと、自動移行する最終データおよび停止条件用コマンドがあります。また、アービトレーションロストが発生した場合もコマンドは自動移行します。

連続データ用のコマンドは、コマンド動作実行後（1 バイトの処理後）にデータ転送要求割り込み（MRREQ、MTREQ、SRREQ、STREQ）を発生します。最終データを処理する場合は、このタイミングでコマンドの書き換えを行います。

表 17.6 動作予約コマンド

モード	コマンド	内　容
初期値	00	IIC 動作予約アダプタディスエーブル
スレーブ	A0	アドレス受信待機（ACK 送信／NACK 有効、受信シングルバッファ）
	A1	アドレス受信待機（NAK 送信／NACK 無効、受信シングルバッファ）
	A2	アドレス受信待機（ACK 送信／NACK 有効、受信ダブルバッファ）
	A3	アドレス受信待機（NAK 送信／NACK 無効、受信ダブルバッファ）
	A4	スレーブ受信待機、ACK 送信予約、受信シングルバッファ
	A5	スレーブ受信待機、NAK 送信予約、受信シングルバッファ
	A6	スレーブ受信待機、ACK 送信予約、受信ダブルバッファ
	A7	スレーブ受信待機、NAK 送信予約、受信ダブルバッファ
	A8、AA	スレーブ送信予約、NAK 受信時自動停止
	A9、AB	スレーブ送信予約、NAK 無効
	AC～AF	リザーブ（設定禁止）
	C0～C3	リザーブ（設定禁止）
マスタ	C4	マスタ受信予約、ACK 送信予約、受信シングルバッファ
	C5	マスタ受信予約、NAK 送信予約、受信シングルバッファ
	C6	マスタ受信予約、ACK 送信予約、受信ダブルバッファ
	C7	マスタ受信予約、NAK 送信予約、受信ダブルバッファ
	C8	開始条件発行、マスタ送信予約、NAK 有効
	C9	開始条件発行、マスタ送信予約、NAK 無効
	CA	開始条件発行、マスタ送信予約、NAK 受信時停止条件発行
	CB	開始条件発行、マスタ送信予約、NAK 受信時停止条件発行
	CC	再送開始条件発行
	CD	ACK 送信、停止条件発行予約
	CE	NAK 送信、停止条件発行予約
	CF	停止条件発行予約

表 17.7　動作予約コマンド完了時の動作

コマンド	動作開始トリガ	動作完了	条　件	自動移行	割り込みフラグ
A0～A3	アドレス受信	アドレス受信完了	AAS または ADZ が 1、R/$\overline{W}$＝0	A4～A7	CREQ、SRREQ
	アドレス受信	アドレス受信完了	AAS または ADZ が 1、R/$\overline{W}$＝1	A8～AB	CREQ、STREQ
	アドレス受信	アドレス受信完了	AASX が 1、R/$\overline{W}$＝0	A4～A7	SRREQ
	アドレス受信	アドレス受信完了	AASX が 1、R/$\overline{W}$＝1	A8～AB	STREQ
A4	ICDRX リード	(ACK 送信)、受信完了	—	—	SRREQ
	ICDRX リード	ACK 送信、停止条件検出	—	A0	CREQ
A5	ICDRX リード	(NAK 送信)、受信完了	—	—	SRREQ
	ICDRX リード	NAK 送信、停止条件検出	—	A0	CREQ
A6	ICDRX リード	受信完了、ACK 送信	—	—	SRREQ
	ICDRX リード	停止条件検出	—	A0	CREQ
A7	ICDRX リード	受信完了、NAK 送信	—	—	SRREQ
	ICDRX リード	停止条件検出	—	A0	CREQ
A8、AA	ICDRX ライト	送信完了	ACK 受信	—	STREQ
	ICDRX ライト	送信完了	NAK 受信	—	CREQ
	ICDRX ライト	停止条件検出	—	A0	CREQ
A9、AB	ICDRX ライト	送信完了	—	—	STREQ
	ICDRX ライト	停止条件検出	—	A0	CREQ
C8～CB	ICCMD ライト	開始条件発行	—	—	MTREQ
	ICDRX ライト	アドレス送信完了	R/$\overline{W}$＝1	—	MTREQ
	ICCMD、ICDRX 同時ライト	開始条件発行、アドレス送信完了	R/$\overline{W}$＝1	—	MTREQ
	ICDRX ライト	アドレス送信完了	R/$\overline{W}$＝0	C4～C7	MRREQ
	ICCMD、ICDRX 同時ライト	開始条件発行、アドレス送信完了	R/$\overline{W}$＝0	C4～C7	MRREQ
	ICDRX ライト	アービトレーションロスト	—	A0	CREQ
C8	ICDRX ライト	データ送信開始	—	—	MTREQ
	—	—	NAK 受信*	—	CREQ
C9	ICDRX ライト	送信完了	—	—	MTREQ
CA、CB	ICDRX ライト	送信完了	ACK 受信	—	MTREQ
	ICDRX ライト	送信完了→停止条件発行	NAK 受信	A0	CREQ
C4	ICDRX リード	(ACK 送信)、受信完了	—	—	MRREQ
C5	ICDRX リード	(NAK 送信)、受信完了	—	—	MRREQ
C6	ICDRX リード	受信完了、ACK 送信	—	—	MRREQ
C7	ICDRX リード	受信完了、NAK 送信	—	—	MRREQ
CC	ICCMD ライト	再送開始条件発行	—	—	CREQ
CD	ICCMD ライト	ACK 送信、停止条件発行	—	A0	CREQ
CE	ICCMD ライト	ACK 送信、停止条件発行	—	A0	CREQ
CF	ICCMD ライト	停止条件発行	—	A0	CREQ

【注】＊：バッファ中にデータがあっても無視。

17.5 動作説明

I²C バスインタフェースには、I²C バスフォーマットとシリアルフォーマットがあります。

17.5.1 I²C バスデータフォーマット

I²C バスフォーマットは、アドレッシングフォーマットでアクノリッジビットが付加されます。アドレッシングフォーマットは開始条件に続く第 1 フレームは必ず 9 ビット構成となります。I²C バスフォーマットを**図** 17.4 に示します。

シリアルフォーマットは、ノンアドレッシングフォーマットでアクノリッジビットはありません。シリアルフォーマットを**図** 17.5 に示します。

I²C バスタイミングを**図** 17.6 に示します。

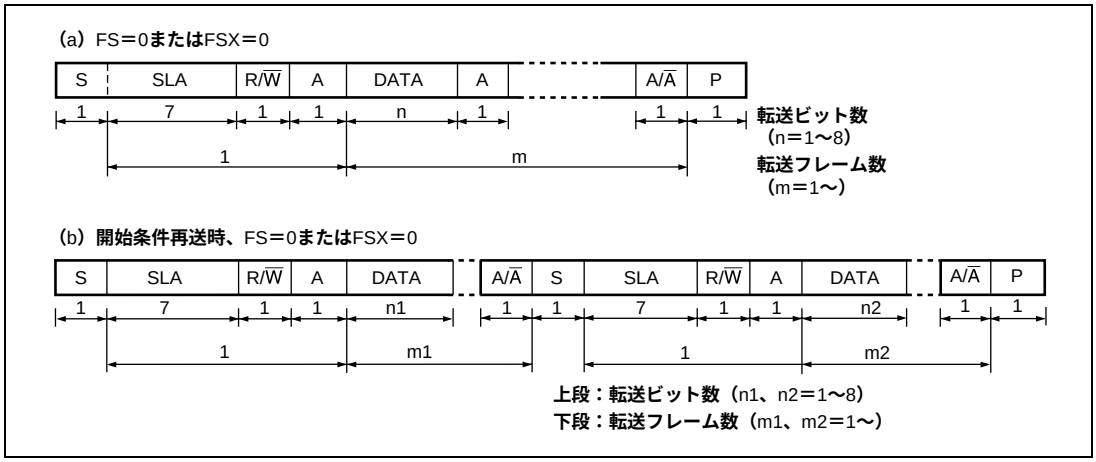


図 17.4 I²C **バスデータフォーマット（**I²C **バスフォーマット）**

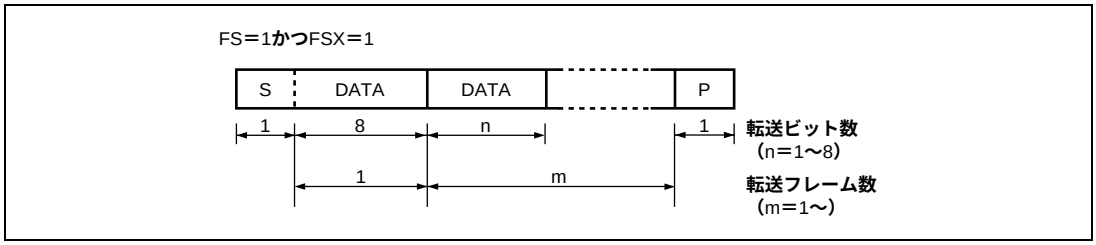


図 17.5 I²C **バスデータフォーマット（シリアルフォーマット）**

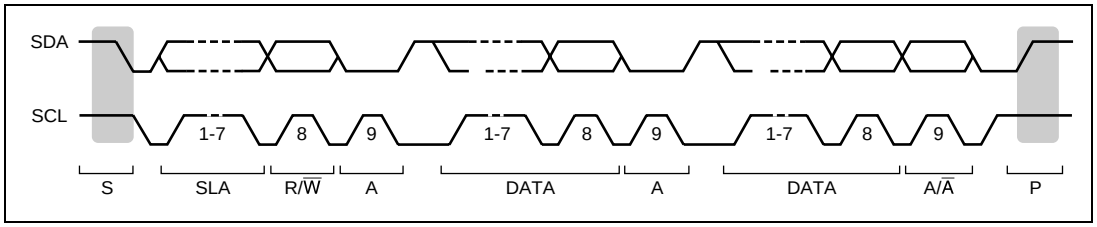


図 17.6 I²C バスタイミング

記号の説明

S	**：開始条件。マスタデバイスが** SCL＝High **レベルの状態で** SDA **を** High **レベルから** Low **レベルに変化させます。**
SLA	**：スレーブアドレス**
R/$\overline{W}$	**：送受信の方向を示します。**1 **のときスレーブデバイスからマスタデバイスへ、**0 **のときマスタデバイスからスレーブデバイスへデータを送信します。**
A	**：アクノリッジ。受信デバイスが** SDA **を** Low **レベルにします。**
DATA	**：送受信データ**
P	**：停止条件。マスタデバイスが** SCL＝High **レベルの状態で** SDA **を** Low **レベルから** High **レベルに変化させます。**

17.5.2 マスタ送信動作

開始条件発行命令を実行後、実際の開始条件生成までの期間に ICDR へデータを設定すると、内部での開始条件生成動作とデータ出力動作の競合が発生し、データが正しく出力されなくなることがあります。また、停止条件発行前に ICDR への H'FF データのダミーライト処理を行うようにしていますが、停止条件発行命令の実行タイミングが遅れた場合、ダミーライト処理による H'FF データが出力されることがあります。

これらを回避するため、マスタ送信動作時は以下のフローに従ってください。

I²C バスフォーマットによるマスタ送信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。

以下に ICDR のライト動作に同期して、データを逐次的に送信する送信手順と動作を示します。

1. ICCRのICEビットを1に設定します。ICMRのMLS、WAITビット、CKS2～CKS0ビット、およびSTCRのIICX1、IICX0ビットを動作モードに合わせて設定します。
2. ICCRのBBSYフラグをリードし、バスがフリー状態であることを確認します。
3. ICCRのMST、TRSビットをそれぞれ1にセットしてマスタ送信モードに設定します。
4. ICCRにBBSY＝1かつSCP＝0をライトします。これにより、SCLがHighレベルのときSDAをHighレベルからLowレベルに変化させ、開始条件を生成します。
5. 開始条件の生成に伴いIRIC、IRTRフラグが1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求を発生します。

6. ICDRにデータ（スレーブアドレス＋R/$\overline{W}$）をライトします。

   I²Cバスフォーマット（SARのFSビットまたはSARXのFSXビットが0のとき）では、開始条件に続く第1フレームデータは7ビットのスレーブアドレスと送信／受信の方向を示します。

   次に転送終了を判断するためIRICフラグを0にクリアします。ここでICDRのライトとIRICフラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。もしIRICフラグのクリアまでに1バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。

   マスタデバイスは**図17.7**で示すタイミングで送信クロックとICDRにライトされたデータを順次送出します。選択された（スレーブアドレスが一致した）スレーブデバイスは、送信クロックの9クロック目にSDAをLowレベルにし、アクノリッジを返します。

7. 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。

8. ICSRのACKBビットをリードしてACKB＝0であることを確認します。スレーブデバイスがアクノリッジを返さずACKB＝1となっている場合は、12.の送信終了処理を行い、再度送信動作をやり直してください。

9. ICDRに送信データをライトします。

   次に転送終了を判断するためIRICフラグを0にクリアします。

   ここで6.と同様にICDRのライトとIRICフラグのクリアは連続的に行ってください。

   次フレームの送信は内部クロックに同期して行われます。

10. 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。SCLは1フレーム転送終了後、次の送信データをライトするまで内部クロックに同期して自動的にLowレベルに固定されます。

11. ICSRのACKBビットをリードします。

    スレーブデバイスがアクノリッジを返しACKB＝0となっていることを確認します。引き続きデータを送信する場合には、9.に戻り次の送信動作に移ります。一方、スレーブデバイスがアクノリッジを返さずACKB＝1となっている場合は、12.の送信終了処理を行います。

12. IRICフラグを0にクリアします。

    ICCRにBBSY＝0かつSCP＝0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

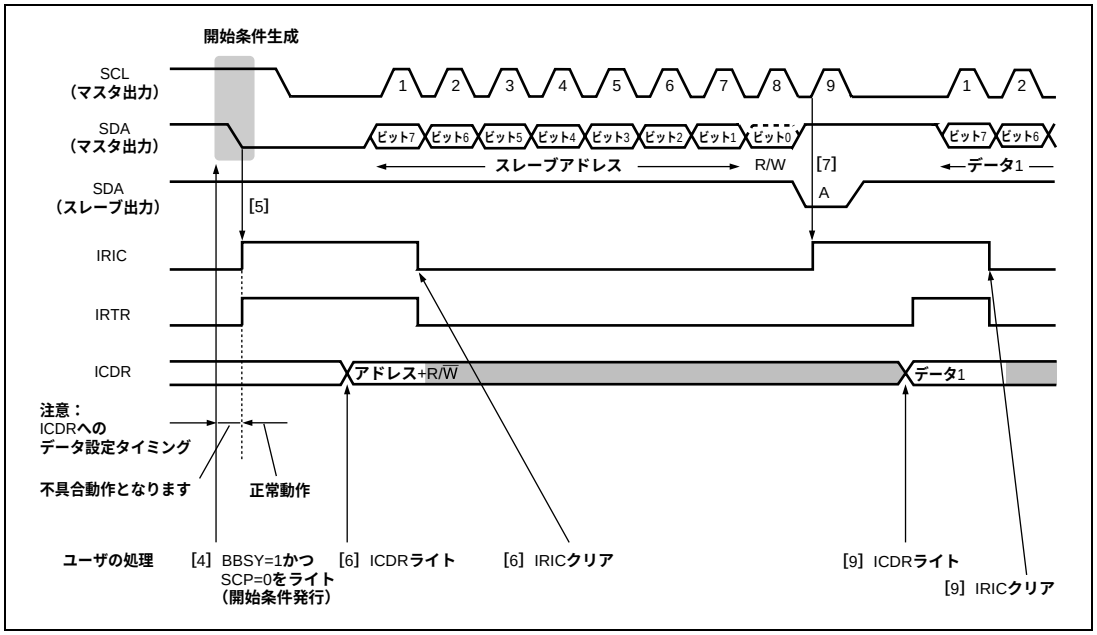


図 17.7　マスタ送信モード動作タイミング例（MLS＝WAIT＝0 のとき）

17.5.3　マスタ受信動作

IIC モジュールのデータバッファは、ICDRR と ICDRS で構成されているため連続受信が可能ですが、最終データの受信完了処理が遅れた場合に、停止条件発行命令と次のデータ受信のための SCL クロック出力とが競合し、余分なクロックの発生や SDA ラインの出力 Low 固定などの現象が発生することがあります。

また、I²C システムでは、マスタの最終データ受信時、アクノリッジを返さないというアクノリッジビットの切り替え制御が必要になるため、ICSR レジスタの ACKB ビットの切り替えタイミングを制御する必要があります。

これらについては、WAIT 機能を用いることで回避することが可能となりますので、以下のフローに従ってください。

I²C バスフォーマットによるマスタ受信モードでは、マスタデバイスが受信クロックを出力し、データを受信し、アクノリッジを返します。スレーブデバイスはデータを送信します。

以下にウェイト動作を利用し、ICDR のリード動作に同期してデータを逐次的に受信する受信手順と動作を示します。

1. ICCRのTRSビットを0にクリアし、送信モードから受信モードに切り替えます。

   ICMRのWAITビットを1にセットします。

   ICSRのACKBビットを0にクリアします。（アクノリッジデータの設定）

2. ICDRをリード（ダミーデータリード）すると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。

   次にウェイトを判断するためIRICフラグを0にクリアします。ここでICDRのリードとIRICフラグのクリアは連続的に行い、他の割り込み処理が入らないようにしてください。もしIRICフラグのクリアまでに1バイト分の転送時間が経過した場合には転送終了を判定することができなくなります。

3. 1フレームの受信クロックの8クロック目の立ち下がりでIRICフラグが1にセットされます。このとき、ICCRのIEICビットが1にセットされているとCPUに対して割り込み要求を発生します。

   SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。

   1フレーム目が最後の受信データの場合は、10.の終了処理を行ってください。

4. ウェイトを解除するためIRICフラグを0にクリアします。
   マスタデバイスは受信クロックの9クロック目を出力するとともに、SDAをLowレベルにし、アクノリッジを返します。

5. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでIRICフラグ、およびIRTRフラグが1にセットされます。

   マスタデバイスは引き続き次の受信データの受信クロックを出力します。

6. ICDRの受信データをリードします。

7. 次のウェイトを判断するためIRICフラグを0にクリアします。

   4.（または9.）のウェイト解除のためIRICフラグクリアから5.～7.のデータ受信完了処理までは、1バイト分の転送時間内で行うようにしてください。

8. 1フレームの受信クロックの8クロック目の立ち下がりでIRICフラグが1にセットされます。

   SCLはIRICフラグがクリアされるまで内部クロックに同期して自動的にLowレベルに固定されます。

   このフレームが最後の受信データの場合は、10.の終了処理を行ってください。

9. ウェイトを解除するためIRICフラグを0にクリアします。

   マスタデバイスは受信クロックの9クロック目を出力するとともに、SDAをLowレベルにし、アクノリッジを返します。

   5.から9.を繰り返し行うことにより、データを受信することができます。

10. ICSRのACKBビットを1にセットし、最後の受信用アクノリッジデータを設定します。

    ICCRのTRSビットを1にセットし、受信モードから送信モードに切り替えます。

11. ウェイトを解除するためIRICフラグを0にクリアします。

12. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでIRICフラグが1にセットされます。

13. ICMRのWAITビットを0にクリアし、ウェイトモードを解除します。

    その後、ICDRの受信データをリードし、IRICフラグを0にクリアします。

    IRICフラグのクリアはWAIT＝0の状態で行ってください。

    （IRICフラグを0にクリア後にWAITビットを0にクリアし、停止条件発行命令を実行した場合、SDAがLow固定され、停止条件が発行できなくなります。）

14. ICCRにBBSY＝0かつSCP＝0をライトします。これにより、SCLがHighレベルのときSDAをLowレベルからHighレベルに変化させ、停止条件を生成します。

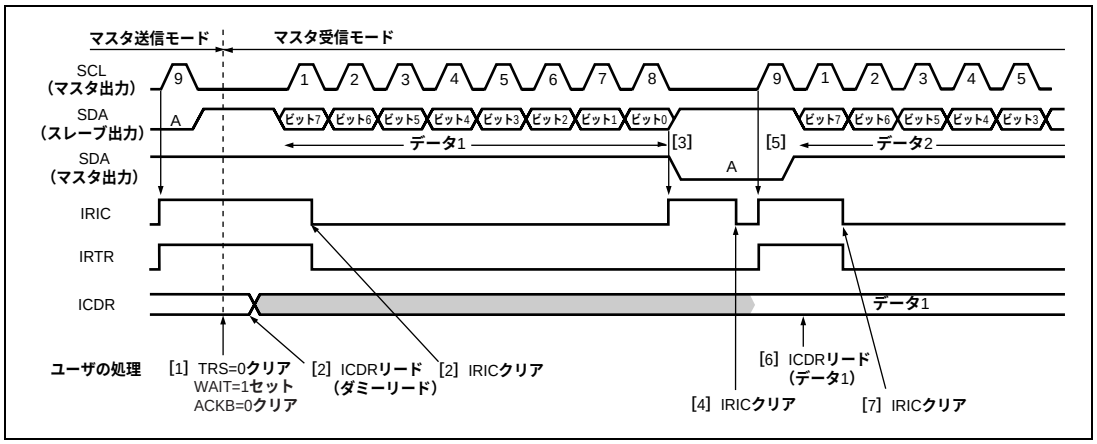


図 17.8　マスタ受信モード動作タイミング例（MLS=ACKB=0、WAIT=1 のとき）

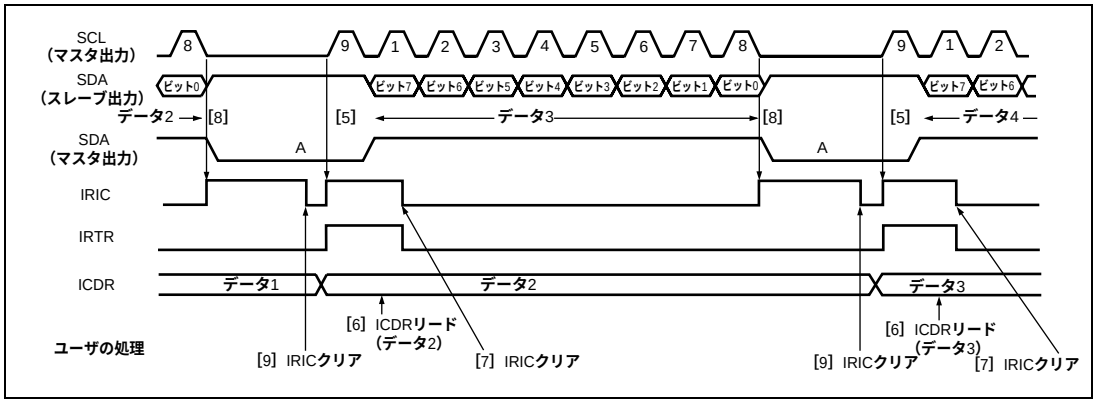


図 17.9　マスタ受信モード動作タイミング例（MLS=ACKB=0、WAIT=1 のとき）

17.5.4 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。以下にスレーブ受信モードの受信手順と動作を示します。

1. ICCRのICEビットを1にセットします。また、ICMRのMLSビットおよびICCRのMST、TRSビットを動作モードに合わせて設定します。
2. マスタデバイスの出力した開始条件を検出すると、ICCRのBBSYフラグが1にセットされます。
3. 開始条件後の第1フレームでスレーブアドレスが一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。8ビット目のデータ（R/$\overline{W}$）が0のときICCRのTRSビットは0のまま変化せず、スレーブ受信動作を行います。
4. 受信フレームの9クロック目でスレーブデバイスはSDAをLowレベルにし、アクノリッジを返します。同時にICCRのIRICフラグが1にセットされます。このとき、ICCRのIEICビットが1にセットされていると、CPUに対し割り込み要求を発生します。このとき、RDRF内部フラグが0にクリアされていると、RDRF内部フラグを1にセットして引き続き受信動作を行います。RDRF内部フラグが1にセットされていると、スレーブデバイスは受信クロックの立ち下がりからICDRにデータをリードするまでSCLをLowレベルにします。
5. ICDRをリードし、ICCRのIRICフラグを0にクリアします。このときRDRFフラグが0にクリアされます。

4.から 5.を繰り返し行うことにより、受信動作を継続できます。SCL が High レベルのとき、SDA が Low レベルから High レベルに変化し停止条件を検出すると、ICCR の BBSY フラグが 0 にクリアされます。

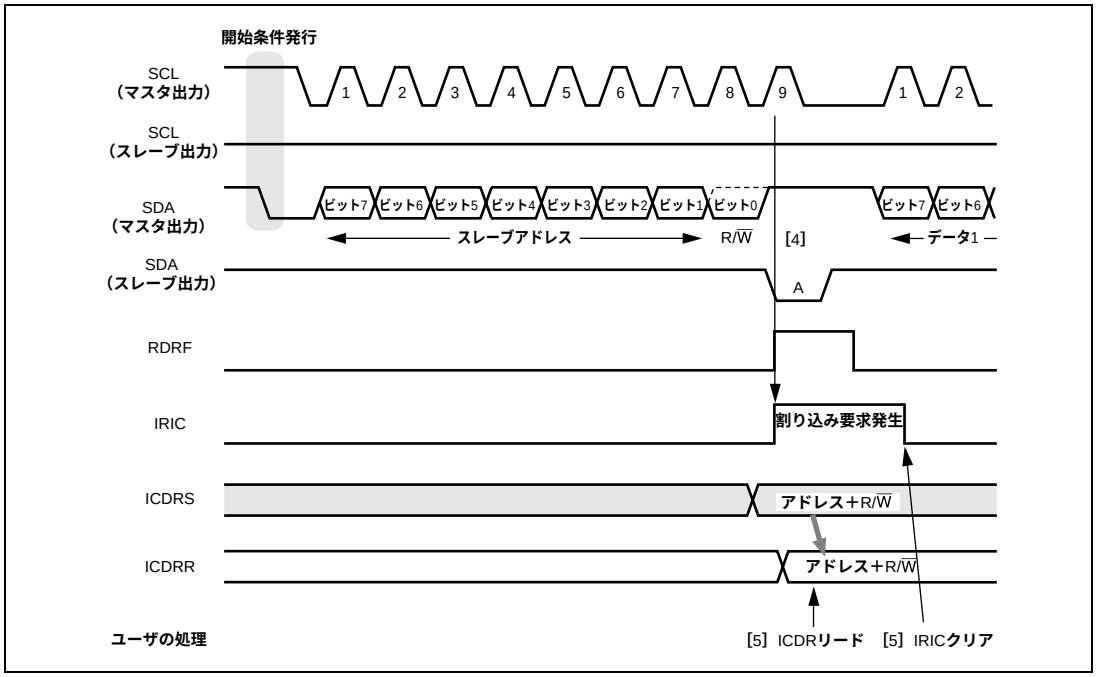


図 17.10　**スレーブ受信モード動作タイミング例** 1（MLS＝ACKB＝0 **のとき**）

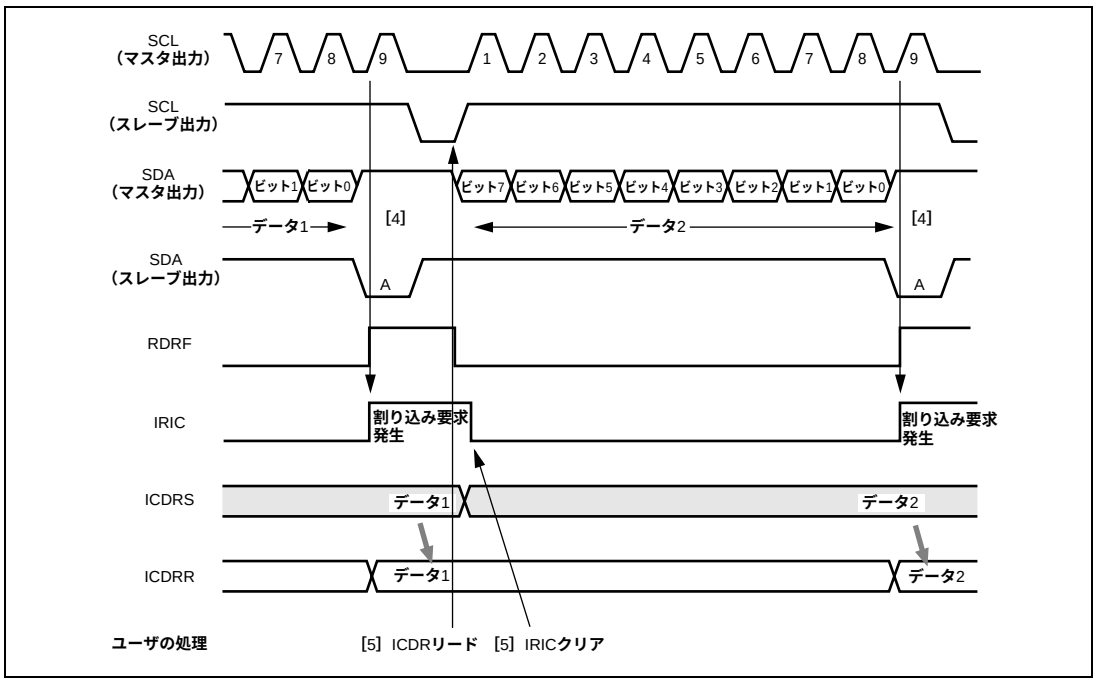


図 17.11　**スレーブ受信モード動作タイミング例** 2（MLS＝ACKB＝0 **のとき**）

17.5.5 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力し、アクノリッジを返します。以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCRのICEビットを1にセットします。また、ICMRのMLSビットおよびICCRのMST、TRSビットを動作モードに合わせて設定します。
2. 開始条件を検出後の第1フレームでスレーブアドレスが一致したとき、9クロック目でスレーブデバイスはSDAをLowレベルにし、アクノリッジを返します。同時にICCRのIRICフラグが1にセットされ、このとき、ICCRのIEICビットが1にセットされているとCPUに対し割り込み要求を発生します。また、8ビット目のデータ（R/$\overline{W}$）が1のときICCRのTRSビットが1にセットされ、自動的にスレーブ送信モードに変化します。このときTDRE内部フラグが1にセットされます。スレーブデバイスは送信クロックの立ち下がりからICDRデータをライトするまでSCLをLowレベルにします。
3. IRICフラグを0にクリア後、ICDRにデータをライトします。このときTDRE内部フラグは0にクリアされます。ライトされたデータはICDRSに転送され、TDRE内部フラグおよびIRIC、IRTRフラグが再び1にセットされます。IRICフラグを0にクリア後、ICDRに次のデータをライトします。スレーブデバイスは**図17.12**で示すタイミングでマスタデバイスが出力するクロックに従い、ICDRにライトされたデータを順次送出します。
4. 1フレームのデータ送信が終了し、送信クロックの9クロック目の立ち上がりでICCRのIRICフラグが1にセットされます。またこのスレーブデバイスは、TDRE内部フラグが1にセットされていると、送信クロックの立ち下がりからICDRにデータライトするまでSCLをLowレベルにします。マスタデバイスは9クロック目にSDAをLowレベルにし、アクノリッジを返します。このアクノリッジはICSRのACKBビットに格納されるので転送動作が正常に行われたかどうか確認することができます。TDRE内部フラグが0のときは、ICDRにライトされたデータはICDRSに転送され、TDRE内部フラグおよびIRIC、IRTRフラグが再び1にセットされます。
5. 送信を続ける場合は、IRICフラグを0にクリア後、次に送信するデータをICDRにライトします。このときTDRE内部フラグは0にクリアされます。

4.から 5.を繰り返し行うことにより、送信動作を継続できます。送信を終了する場合は ICDR に H'FF をライトします。SCL が High レベルのとき SDA が Low レベルから High レベルに変化し停止条件を検出すると、ICCR の BBSY フラグが 0 にクリアされます。

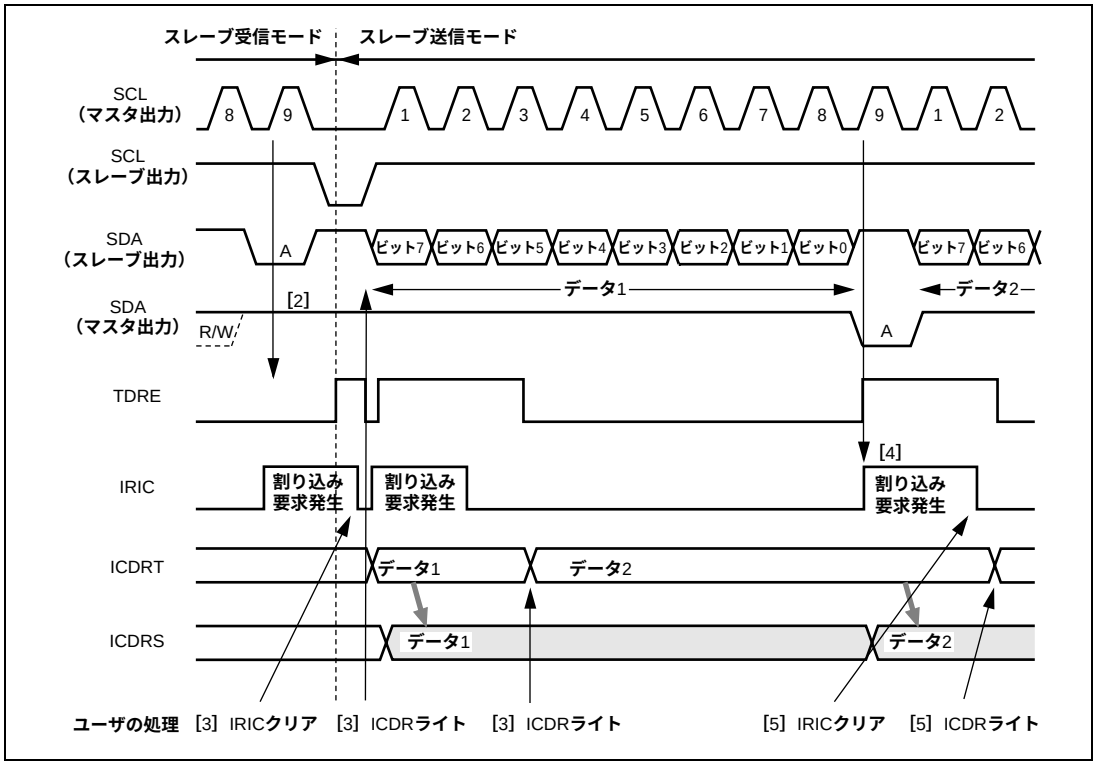


図 17.12　スレーブ送信モード動作タイミング例（MLS＝0 のとき）

17.5.6 IRIC セットタイミングと SCL 制御

割り込み要求フラグ（IRIC）セットタイミングは ICMR の WAIT ビット、SAR の FS ビットおよび SARX の FSX ビットの組み合わせにより異なります。また SCL は、ICDRE や ICDRF 内部フラグが 1 にセットされていると、1 フレーム転送終了後内部クロックに同期して自動的に Low レベルに固定します。**図 17.13～図 17.15** に IRIC フラグタイミングと SCL 制御を、**図 17.16** に動作予約アダプタ割り込みフラグタイミング例を示します。

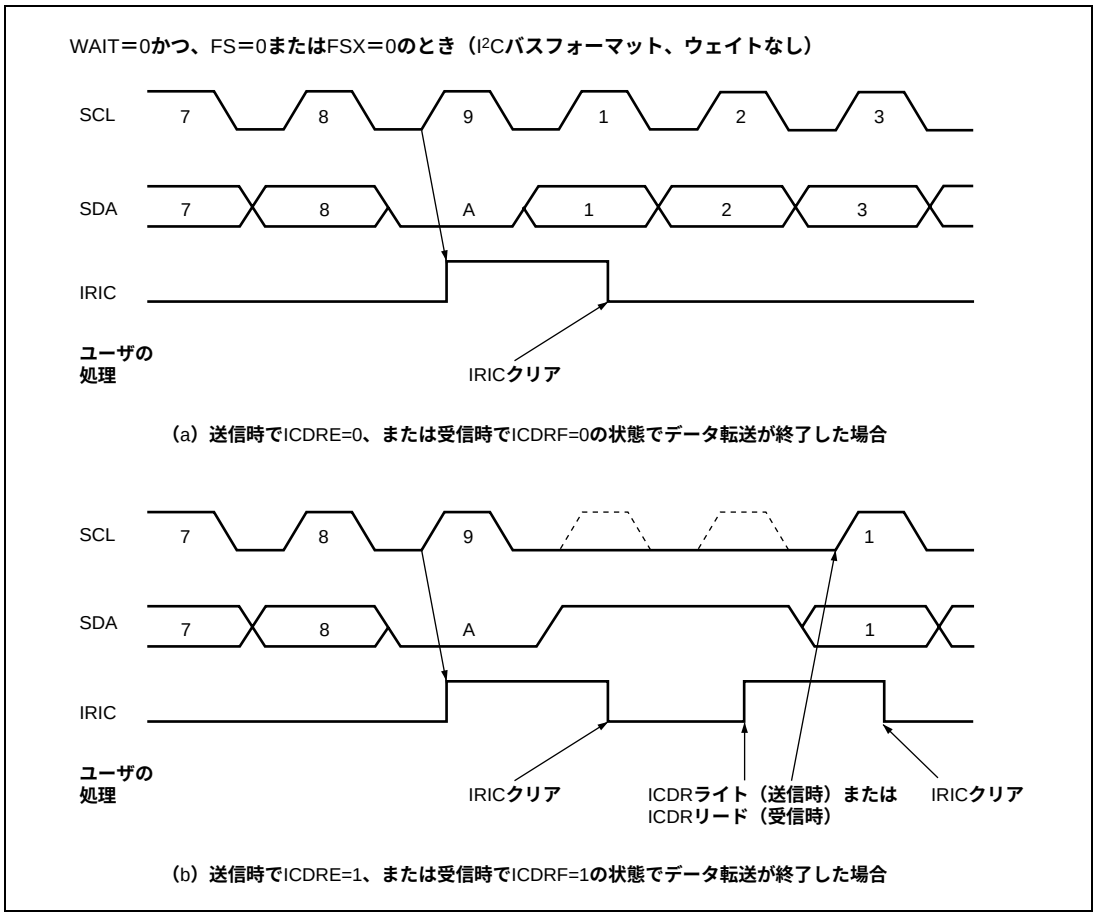


図 17.13 IRIC フラグタイミングと SCL 制御（1）

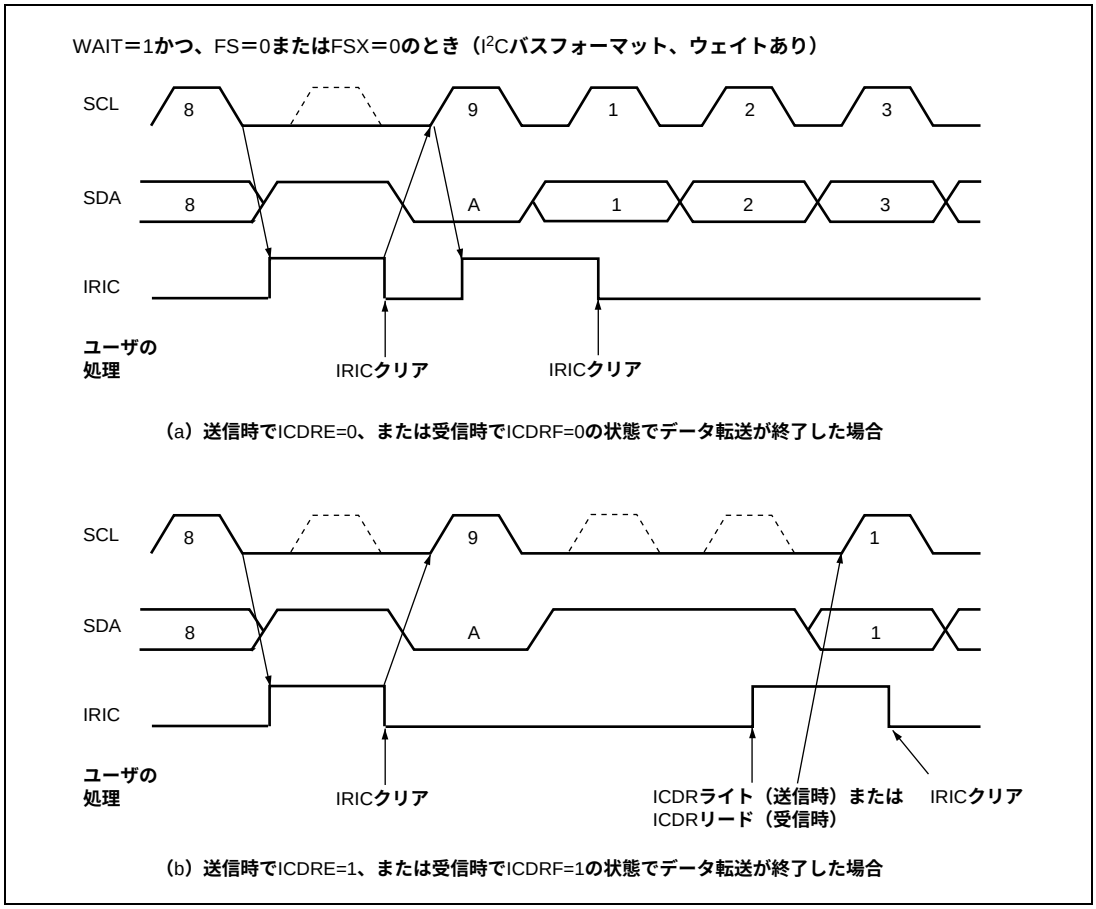


図 17.14　IRIC フラグタイミングと SCL 制御（2）

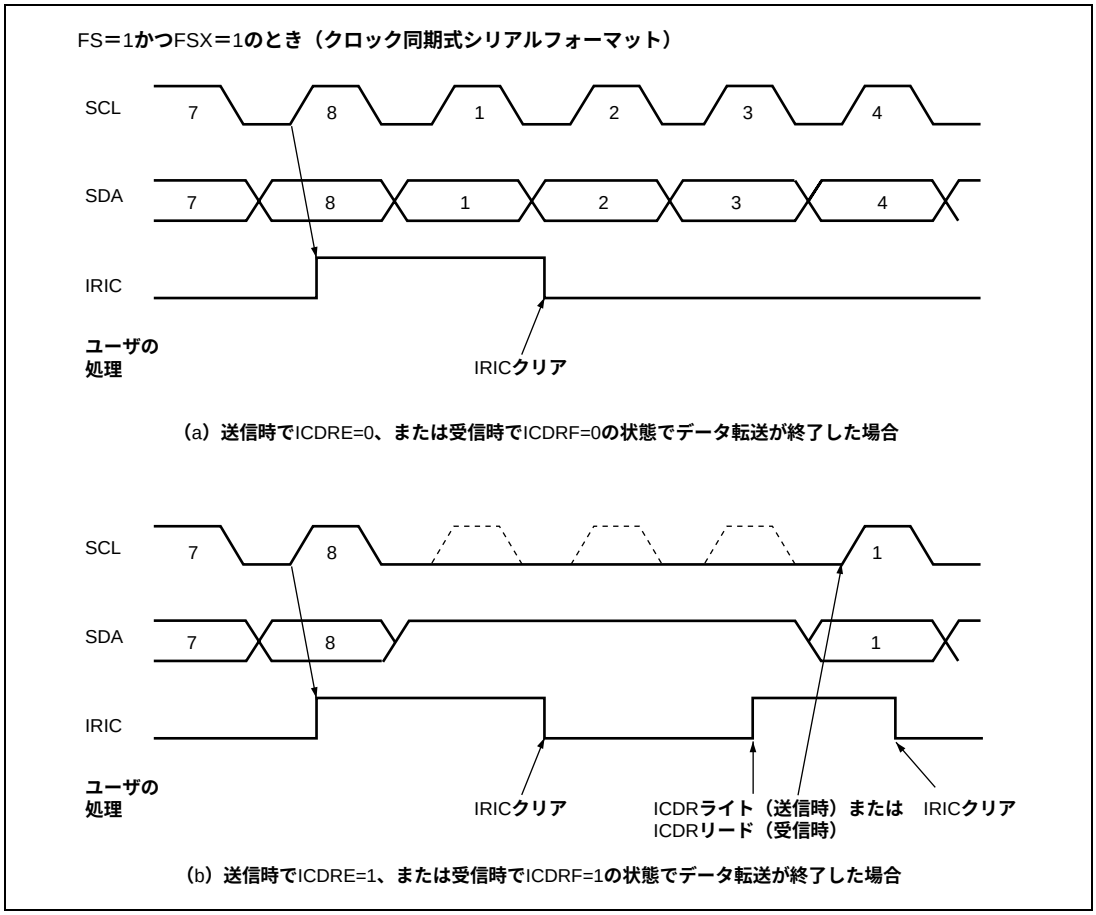


図 17.15　IRIC フラグタイミングと SCL 制御（3）

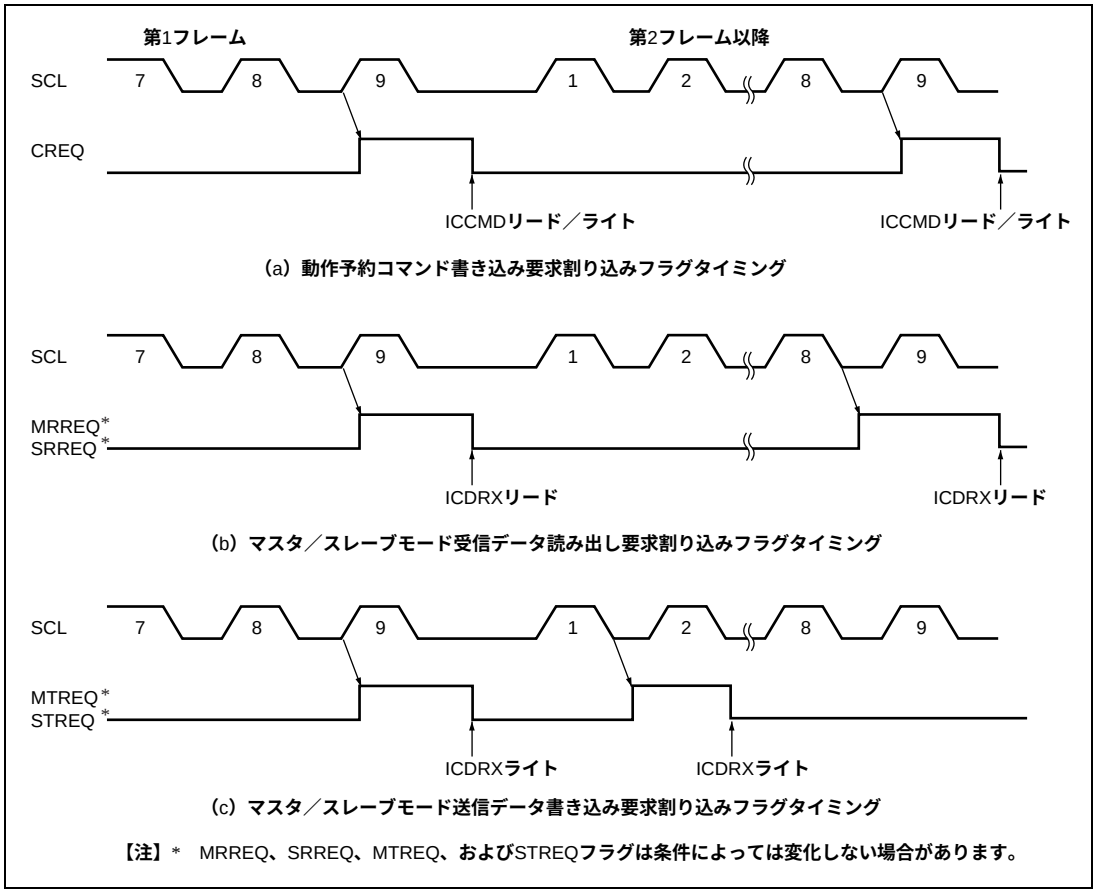


図 17.16 動作予約アダプタ割り込みフラグタイミング例

17.5.7 DTC による動作

本 LSI では転送を連続的に行うために、DTC を利用することができます。DTC は、2 つある割り込みフラグ（IRIC と IRTR）のうち、IRTR フラグが 1 にセットされた場合に起動されます。ACKE ビットが 0 の場合、アクノリッジビットの内容にかかわらずデータ送信完了時に ICDRE フラグ、IRIC フラグと IRTR フラグがセットされます。ACKE ビットが 1 の場合、アクノリッジビットが 0 でデータ送信が完了すると ICDRE フラグ、IRIC フラグと IRTR フラグがセットされ、アクノリッジビットが 1 でデータ送信が完了すると IRIC フラグだけがセットされます。

DTC が起動されると、所定のデータ転送を実行した後、ICDRE フラグ、IRIC フラグと IRTR フラグを 0 にクリアします。そのため、データを連続的に転送している間は割り込みが発生しませんが、ACKE ビットが 1 の場合にアクノリッジビットが 1 でデータ送信が完了すると、DTC は起動されず、許可されていれば割り込みが発生します。

アクノリッジビットは、受信デバイスによって、受信したデータの処理完了などの意味をもたせる場合と、全く意味をもたず 1 固定の場合があります。

I²C バスフォーマットでは、スレーブアドレスと R/W ビットによるスレーブデバイスおよび転送方向の選択や、

アクノリッジビットによる受信の確認および最終フレームの表示などが行われるため、DTC によるデータの連続転送は、割り込みによる CPU 処理と組み合わせて行う必要があります。

動作予約アダプタによる転送動作では、マスタモード時 DTC で設定したデータ数の転送が終了すると自動的に停止条件を発行します。

表 17.8 は DTC を利用した処理の例を、**表 17.9** は動作予約アダプタによる DTC を利用した処理の例を示します。スレーブモードでも転送データ数が判っていると仮定しています。

表 17.8　DTC を利用した処理例

項目	マスタ送信モード	マスタ受信モード	スレーブ送信モード	スレーブ受信モード
スレーブアドレス＋R/W ビット送信／受信	DTC で送信（ICDR ライト）	CPU で送信（ICDR ライト）	CPU で受信（ICDR リード）	CPU で受信（ICDR リード）
ダミーデータリード	—	CPU で処理（ICDR リード）	—	—
本体データ送信／受信	DTC で送信（ICDR ライト）	DTC で受信（ICDR リード）	DTC で送信（ICDR ライト）	DTC で受信（ICDR リード）
ダミーデータ（H'FF）ライト	—	—	DTC で処理（ICDR ライト）	—
最終フレーム処理	不要	CPU で受信（ICDR リード）	不要	CPU で受信（ICDR リード）
最終フレーム処理後の転送要求処理	1 回目：CPU でクリア 2 回目：CPU で終了条件発行	不要	ダミーデータ（H'FF）送出中に終了条件を検出して自動的にクリア	不要
DTC 転送データフレーム数設定	送信：実データ数＋1（＋1 は、スレーブアドレス＋R/W ビット分）	受信：実データ数	送信：実データ数＋1（＋1 は、ダミーデータ（H'FF）分）	受信：実データ数

表 17.9　動作予約アダプタによる DTC を利用した処理例

項目	マスタ送信モード	マスタ受信モード	スレーブ送信モード	スレーブ受信モード
スレーブアドレス＋R/W ビット送信／受信	CPU で送信（ICDRX＋ICCMD ライト）	CPU で送信（ICDRX＋ICCMD ライト）	不要	不要
ダミーデータリード	—	CPU で処理（ICDRX リード）	—	—
本体データ送信／受信	DTC で送信（ICDRX ライト）	DTC で受信（ICDRX リード）	DTC で送信（ICDRX ライト）	DTC で受信（ICDRX リード）
ダミーデータ（H'FF）ライト	—	—	不要	—
最終フレーム処理	不要	不要	不要	不要
最終フレーム処理後の転送要求処理	MTREQ：CPU でクリア CREQ：CPU でクリア	MRREQ：CPU でクリア CREQ：CPU でクリア	STREQ：CPU でクリア CREQ：CPU でクリア	SRREQ：CPU でクリア CREQ：CPU でクリア
DTC 転送データフレーム数設定	送信：実データ数	受信：実データ数	送信：実データ数	受信：実データ数

17.5.8 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。**図 17.17** にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

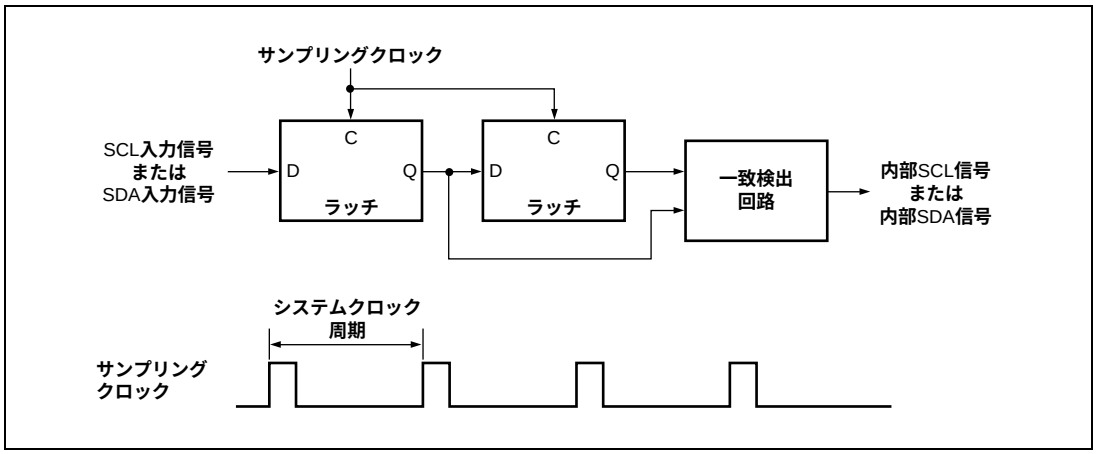


図 17.17 ノイズ除去回路のブロック図

17.5.9 内部状態の初期化

本 IIC モジュールは、通信動作中のデッドロック発生時に、強制的に IIC 内部状態を初期化させる機能をもっています。

初期化は、（1）ICCRX レジスタの CLR3～CLR0 ビットの設定、または（2）ICE ビットのクリアにより実行されます。CLR3～CLR0 ビットの設定の詳細は、**「17.3.7 IIC 動作予約アダプタコントロールレジスタ（ICCRX）」**を参照してください。

(1) 初期化の範囲

本機能により初期化されるのは、次の範囲となります。

- ICDRE、ICDRF内部フラグ
- 送信／受信シーケンサ、内部動作クロックのカウンタ
- SCL、SDA端子出力状態を保持するための内部ラッチ（ウェイト、クロック、データ出力など）

なお、以下の内容は初期化されません。

- レジスタ自体の値（ICDR、SAR、SARX、ICMR、ICCR、ICSR、ICXR（ICDRE、ICDRFフラグ以外）、ICCRX、ICSRA、ICSRB、ICSRC、ICRRX、ICDRS、ICCNT、ICCMD）
- ICMR、ICCR、ICSR、ICSRB、ICSRC各レジスタのフラグのセット／クリアのためのレジスタリード情報保持用内部ラッチ
- ICMRレジスタのビットカウンタ（BC2～BC0）の値
- 発生した割り込み要因（割り込みコントローラに転送された割り込み要因）

(2) 初期化における注意事項

- 割り込みフラグ、割り込み要因はクリアされませんので、必要に応じてフラグを0にクリアする処置が必要です。
- その他のレジスタフラグも基本的にクリアされませんので、必要に応じてフラグを0にクリアする処置が必要です。
- ICCRXレジスタにより初期化を行う場合、CLR3～CLR0ビットのライトデータは保持されません。IICクリアを行う場合は、必ずMOV命令を使用し、CLR3～CLR0ビットを同時に書き込んでください。BCLRなどのビット操作命令は使用しないでください。
- また、再度クリアが必要な場合は、同様にすべてのビットとも設定に従い、同時に書き込みする必要があります。
- 送受信中にフラグのクリア設定を行うと、その時点でIICモジュールは送受信を中止しSCL、SDA端子を開放します。再度送受信を開始する際には、システムとして正しく通信できるよう、必要に応じてレジスタの初期化などを行ってください。

なお、本モジュールクリア機能により直接 BBSY ビットの値を書き換えませんが、SCL、SDA 端子の状態、開放するタイミングにより、停止条件の端子波形が生成され、結果的に BBSY ビットをクリアする場合があります。また、他のビット、フラグも同様に、状態の切り替わりに伴い影響が発生する場合があります。

これらによる問題を回避するため、IIC の状態を初期化するときは、以下の手順に従ってください。

1. CLR3～CLR0ビットの設定、またはICEビットによる内部状態の初期化実行
2. BBSYビットを0にクリアするための、停止条件発行命令実行（BBSY＝0かつSCP＝0ライト）および、転送レートの2クロック分の期間ウェイト
3. CLR3～CLR0ビットの設定、またはICEビットによる内部状態の初期化の再実行
4. IICの各レジスタの初期化（再設定）

17.5.10 使用例

I²C バスインタフェースを使用する場合の各モードでのフローチャート例を**図** 17.18～**図** 17.21 に示します。

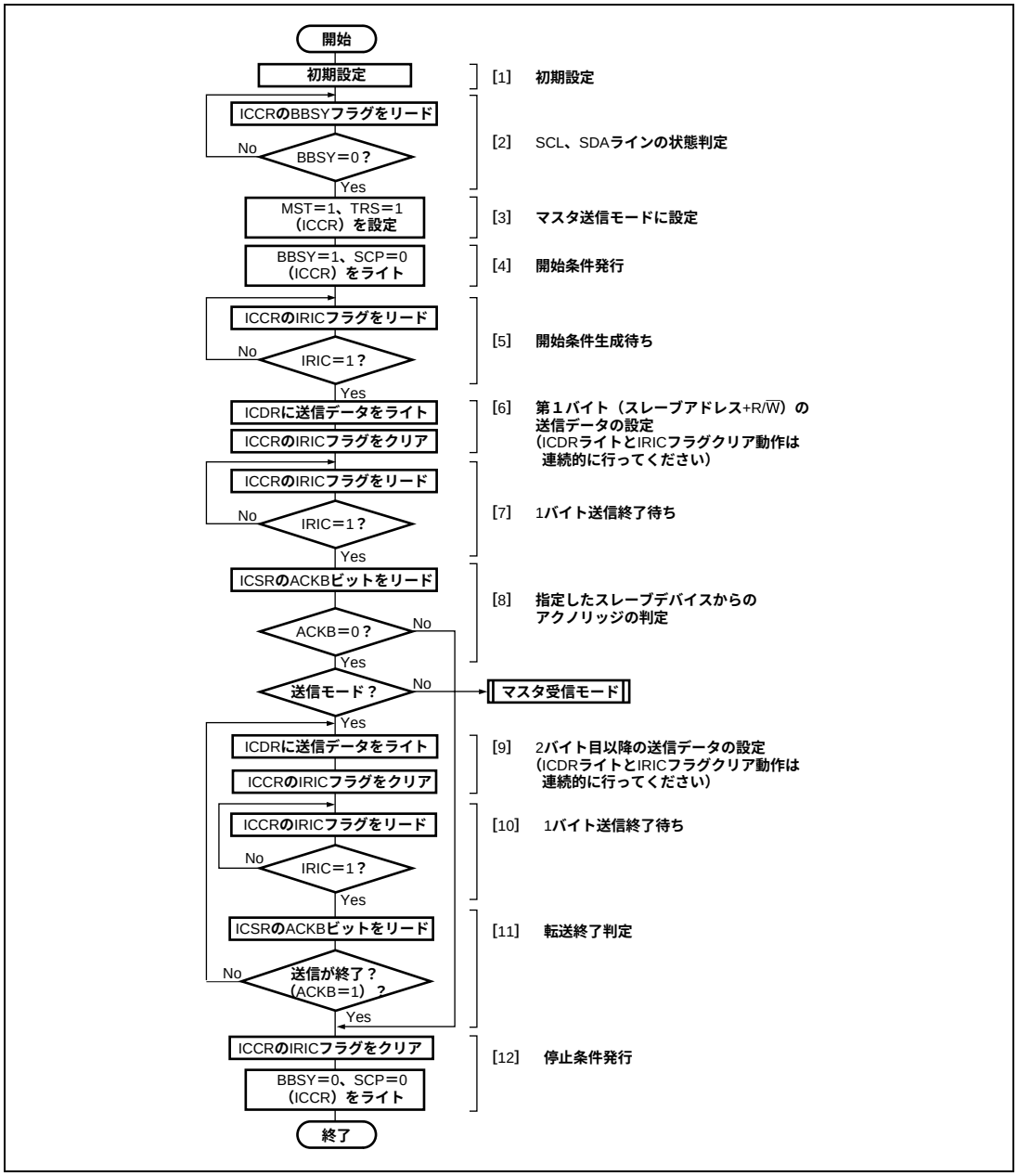


図 17.18 **マスタ送信モードのフローチャート例**

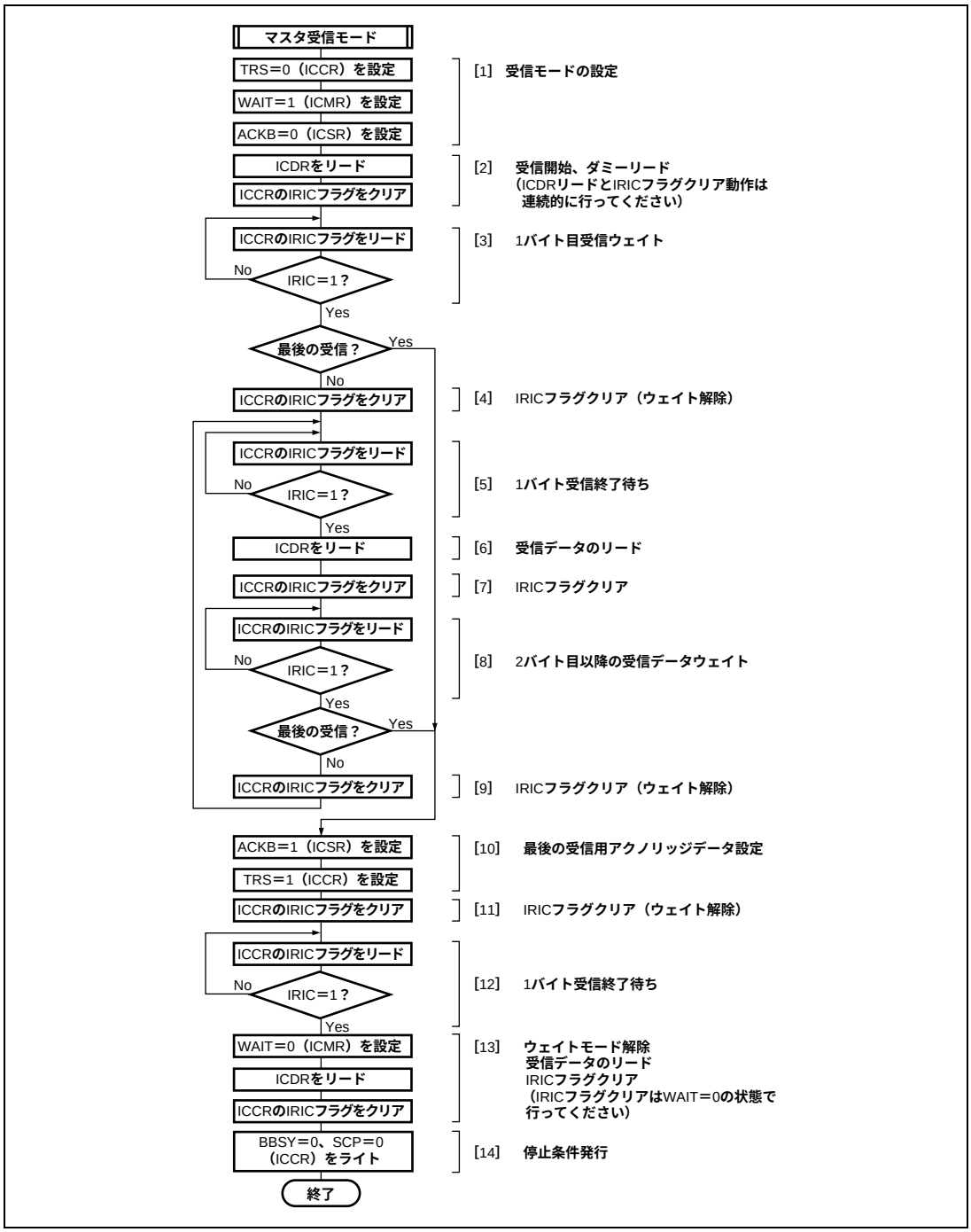


図 17.19　マスタ受信モードのフローチャート例

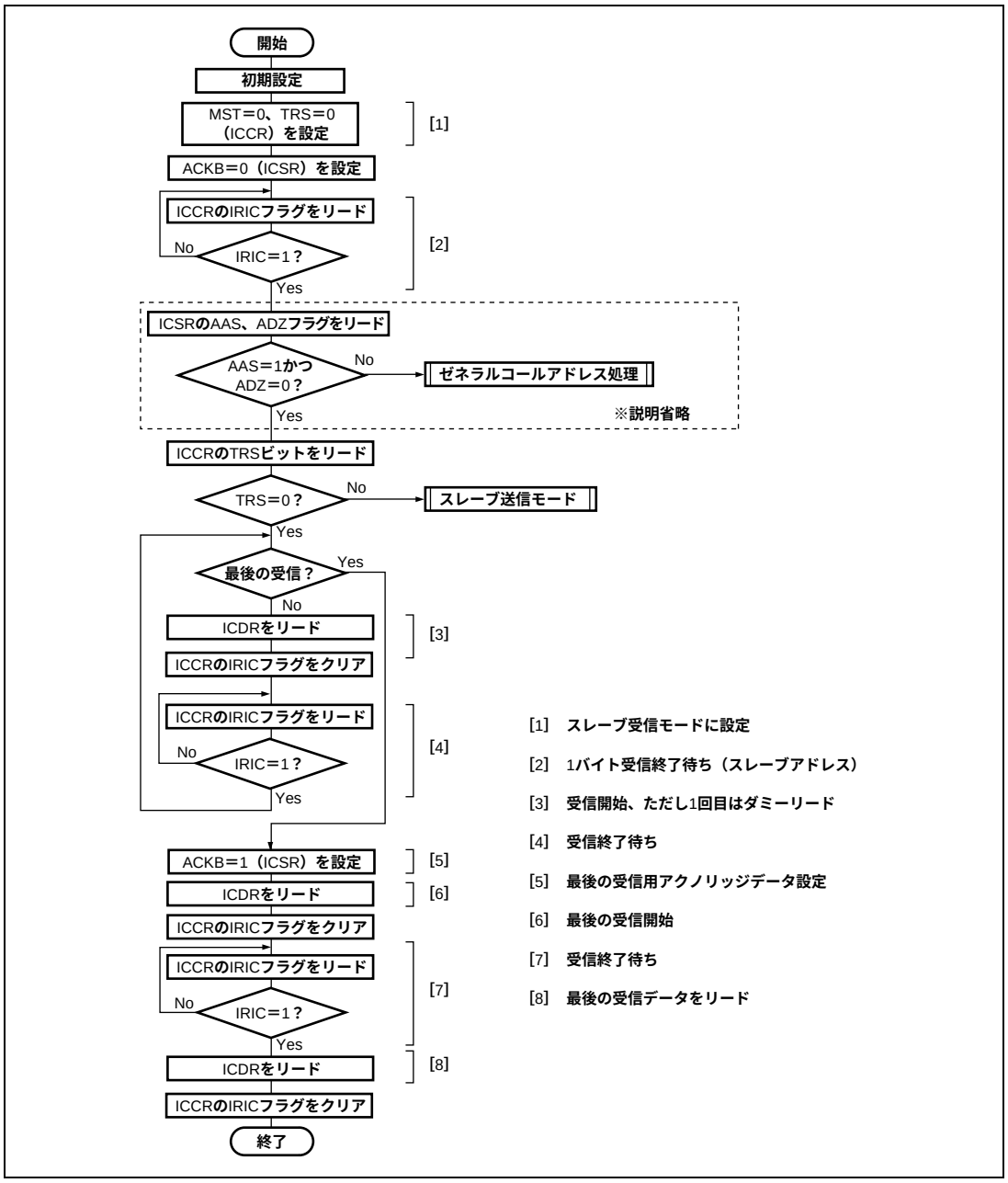


図 17.20　**スレーブ受信モードフローチャート例**

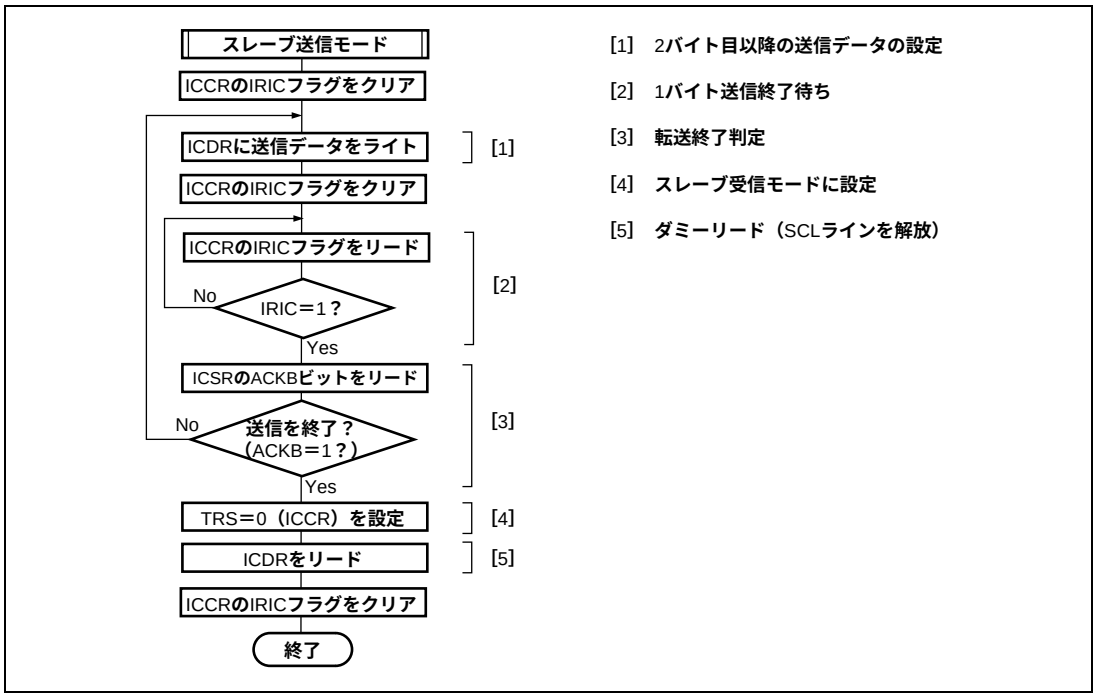


図 17.21　**スレーブ送信モードフローチャート例**

17.6 割り込み要因

IIC の割り込み要因は、IICC、IICM、IICR、IICT の 4 種類があります。**表 17.10** に各割り込み要因と優先順位を示します。各割り込み要因は、ICCR、ICCRX、ICCNT の各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

IICM、IICR、IICT 割り込みは、内蔵 DTC の起動要因とすることができます。

表 17.10 IIC 割り込み要因

チャネル	名称	イネーブルビット	割り込み要因	割り込みフラグ	DTC の起動	優先順位
0	IICC0	CRIC	動作予約コマンド書き込み要求割り込み	CREQ	不可	高
	IICM0	MRIC	マスタモード受信データ読み出し要求割り込み	MRREQ	可	▲
			マスタモード送信データ書き込み要求割り込み	MTREQ		
	IICR0	IEIC	I²C バスインタフェース割り込み要求	IRIC*	可	
		SRIC	スレーブモード受信データ読み出し要求割り込み	SRREQ		
	IICT0		スレーブモード送信データ書き込み要求割り込み	STREQ	可	
1	IICC1	CRIC	動作予約コマンド書き込み要求割り込み	CREQ	不可	
	IICM1	MRIC	マスタモード受信データ読み出し要求割り込み	MRREQ	可	
			マスタモード送信データ書き込み要求割り込み	MTREQ		
	IICR1	IEIC	I²C バスインタフェース割り込み要求	IRIC*	可	
		SRIC	スレーブモード受信データ読み出し要求割り込み	SRREQ		
	IICT1		スレーブモード送信データ書き込み要求割り込み	STREQ	可	低

【注】 * **動作予約アダプタ** SRREQ **と割り込み要因を共用**

17.7 使用上の注意事項

1. マスタモードで、開始条件生成のための命令と停止条件生成のための命令を連続して発行すると、開始条件も停止条件も正常に出力されなくなります。開始条件と停止条件を続けて出力する場合は、開始条件生成のための命令を発行後、ポートをリードし、SCL、SDAが共にLowレベルになっていることを確認して、停止条件生成のための命令を発行してください。BBSY=0となったタイミングでは、まだSCLがLowレベルになっていない場合がありますので注意してください。
2. 次の転送の開始条件は以下の2条件となっています。ICDRをアクセスする場合は注意してください。
   （a）ICE＝1、TRS＝1の状態でICDRにデータをライトしたとき（送信バッファ→シフトレジスタの自動転送を含む）
   （b）ICE＝1、TRS＝0の状態でICDRをリードしたとき（シフトレジスタ→受信バッファの自動転送を含む）
3. SCL、SDA出力は、内部クロックに同期して**表17.11**に示すタイミングで出力されます。実際のバス上でのタイミングは、さらにバスの負荷容量、直列抵抗、および並列抵抗によって決まる信号の立ち上がり／立ち下がり時間の影響を受けます。

表 17.11 I²C バスタイミング（SCL、SDA 出力）

項　目	記号	出力タイミング	単位	備考
SCL 出力サイクル時間	t_{SCLO}	28 t_{cyc}〜256 t_{cyc}	ns	
SCL 出力 High パルス幅	t_{SCLHO}	0.5 t_{SCLO}	ns	
SCL 出力 Low パルス幅	t_{SCLLO}	0.5 t_{SCLO}	ns	
SDA 出力バスフリー時間	t_{BUFO}	0.5 t_{SCLO}−1 t_{cyc}	ns	
開始条件出力ホールド時間	t_{STAHO}	0.5 t_{SCLO}−1 t_{cyc}	ns	
再送開始条件出力セットアップ時間	t_{STASO}	1 t_{SCLO}	ns	
停止条件出力セットアップ時間	t_{STOSO}	0.5 t_{SCLO}+2 t_{cyc}	ns	
データ出力セットアップ時間（マスタ時）	t_{SDASO}	1 t_{SCLLO}−3 t_{cyc}	ns	
データ出力セットアップ時間（スレーブ時）		1 t_{SCLL}−（6 t_{cyc} または 12 t_{cyc}*）	ns	
データ出力ホールド時間	t_{SDAHO}	3 t_{cyc}	ns	

【注】 * IICX が 0 のとき 6 tcyc、IICX が 1 のとき 12 tcyc となります。

4. SCL、SDA入力は内部クロックに同期してサンプリングされます。そのため、ACタイミングは、**「第29章　電気的特性」**の**表29.10**のようにシステムクロックの周期t_{cyc}に依存します。システムクロック周波数が5MHzに満たないと、I²CバスインタフェースのACタイミング仕様を満足しなくなりますので注意してください。
5. SCLの立ち上がり時間t_{Sr}は、I²Cバスインタフェースの仕様で1000ns（高速モード時は300ns）以内と定められています。本I²Cバスインタフェースは、マスタモード時SCLをモニタし、ビットごとに同期をとりながら通信を行います。そのためSCLの立ち上がり時間t_{Sr}（LowレベルからVIHまで変化する時間）が、I²Cバスインタフェースの入力クロックで決まる時間を超えた場合、SCLのHigh期間が延ばされます。SCLの立ち上がり時間は、SCLラインのプルアップ抵抗、負荷容量で決定されますので、設定した転送レートで動作させるため

には、**表**17.12に示す時間以下になるようにプルアップ抵抗、負荷容量を設定してください。

表 17.12　SCL **立ち上がり時間（**t_{Sr}**）の許容範囲**

IICX1、IICX0	t_{cyc} **表示**		**時間表示** [ns]						
			I²C **バス仕様**(max.)	**φ**= 5MHz	**φ**= 8MHz	**φ**= 10MHz	**φ**= 16MHz	**φ**= 20MHz	**φ**= 25MHz
0	7.5 t_{cyc}	**標準モード**	1000	←	937	750	468	375	300
		高速モード	300	←	←	←	←	←	←
1	17.5 t_{cyc}	**標準モード**	1000	←	←	←	←	875	700
		高速モード	300	←	←	←	←	←	←

6. SCL、SDAの立ち上がり、立ち下がり時間は、I²Cバスインタフェースの仕様で1000nsおよび300ns以内と定められています。一方、本I²CバスインタフェースのSCL、SDA出力タイミングは、**表**17.11に示すようにt_{cyc}によって規定されますが、立ち上がり、立ち下がり時間の影響で最大の転送レートではI²Cバスインタフェースの仕様を満足しない場合があります。**表**17.13は出力タイミングを各動作周波数で計算し、ワーストケースの立ち上がり、立ち下がり時間の影響を加えたものです。表の値はIICX1、IICX0、CKS2～CKS0の設定値により変わります。周波数により最大転送レートを実現できない場合もありますので、実際の設定条件に合わせ、I²Cバスインタフェースの仕様を満足するか検討してください。t_{BUFO}はどの周波数でもI²Cバスインタフェースの仕様を満足しません。これに対しては
   - プログラムで停止条件発行から開始条件の発行まで必要なインターバル（1μs程度）を確保する。
   - 入力タイミングがこの出力タイミングを許容するスレーブデバイスを選択する。

   等検討してください。

   また、高速モード時のt_{SCLLO}、標準モード時のt_{STASO}では、t_{Sr}／t_{Sf}をワーストケースとして計算した場合にI²Cバスインタフェースの仕様を満足しません。これに対しては
   - プルアップ抵抗、容量負荷により立ち上がり、立ち下がり時間を調整する。
   - 転送レートを下げて仕様を満足するよう調整する。
   - 入力タイミングがこの出力タイミングを許容するスレーブデバイスを選択する。

   等検討してください。

表 17.13 I²C バスタイミング（t_{Sr}/t_{Sf}影響最大の場合）

項目	tcyc 表示		時間表示（最大転送レート時）[ns]							
			t_{Sr}／t_{Sf} 影響 (max.)	I²C バス仕様(min.)	Φ= 5MHz	Φ= 8MHz	Φ= 10MHz	Φ= 16MHz	Φ= 20MHz	Φ= 25MHz
t_{SCLHO}	$0.5t_{SCLO}$ ($-t_{Sr}$)	標準モード	-1000	4000	4000	4000	4000	4000	4000	4000
		高速モード	-300	600	950	950	950	950	950	950
t_{SCLLO}	$0.5t_{SCLO}$ ($-t_{Sf}$)	標準モード	-250	4700	4750	4750	4750	4750	4750	4750
		高速モード	-250	1300	1000*1	1000*1	1000*1	1000*1	1000*1	1000*1
t_{BUFO}	$0.5t_{SCLO}$-$1t_{cyc}$ ($-t_{Sr}$)	標準モード	-1000	4700	3800*1	3875*1	3900*1	3938*1	3950*1	3960*1
		高速モード	-300	1300	750*1	825*1	850*1	888*1	900*1	910*1
t_{STAHO}	$0.5t_{SCLO}$-$1t_{cyc}$ ($-t_{Sr}$)	標準モード	-250	4000	4550	4625	4650	4688	4700	4710
		高速モード	-250	600	800	875	900	938	950	960
t_{STASO}	$1t_{SCLO}$ ($-t_{Sr}$)	標準モード	-1000	4700	9000	9000	9000	9000	9000	9000
		高速モード	-300	600	2200	2200	2200	2200	2200	2200
t_{STOSO}	$0.5t_{SCLO}$+$2t_{cyc}$ ($-t_{Sr}$)	標準モード	-1000	4000	4400	4250	4200	4125	4100	4080
		高速モード	-300	600	1350	1200	1150	1075	1050	1030
t_{SDASO} マスタ時	$1t_{SCLLO}$*3-$3t_{cyc}$ ($-t_{Sr}$)	標準モード	-1000	250	3100	3325	3400	3513	3550	3580
		高速モード	-300	100	400	625	700	813	850	880
t_{SDASO} スレーブ時	$1t_{SCLL}$*3-3tcyc*2 ($-t_{Sr}$)	標準モード	-1000	250	1300	2200	2500	2950	3100	3220
		高速モード	-300	100	-1400*1	-500*1	-200*1	250	400	520
t_{SDAHO}	$3t_{cyc}$	標準モード	0	0	600	375	300	188	150	120
		高速モード	0	0	600	375	300	188	150	120

【注】 *1 **I²C バスインタフェースの仕様を満足しません。以下の 4 つの対応などが必要です。**
（1）開始／停止条件発行のインターバルを確保する。（2）プルアップ抵抗・容量負荷により、立ち上がり、立ち下がり時間を調整する。（3）転送レートを下げて調整する。（4）入力タイミングが本出力タイミングを許容するスレーブデバイスを選択する。
なお、上記表の値は、IICX ビット、CKS2～CKS0 ビットの設定値により変わります。周波数により最大転送レートを実現できない場合もありますので、実際の設定条件に合せ、I²C バスインタフェースの仕様を満足するか検討してください。

*2 **IICX ビットが 1 のときです。IICX ビットを 0 に設定すると、（t_{SCLL}-$6t_{cyc}$）となります。**

*3 **I²C バス仕様値（標準モード：4700ns min.、高速モード：1300ns min.）で計算しています。**

7. マスタ受信終了時におけるICDRリードの注意

マスタ受信モードでの受信動作完了後、受信をやめる場合は、ICCRのTRSビットを１にセットし、ICCRのBBSY＝0かつSCP＝0をライトします。これにより、SCL端子がHighレベルのとき、SDA端子をLowレベルからHighレベルに変化させて停止条件を生成します。この後で受信データはICDRをリードすることにより読み出すことができますが､バッファにデータが残っている場合はICDRSの受信データがICDRに転送されないため第2バイト目のデータを読み出すことができなくなります。第2バイト目のデータを読み出す必要がある

ときは、マスタ受信モードの状態（TRSビットが0の状態）で停止条件の発行を行ってください。受信データの読み出しは、必ずICCRのBBSYビットが0になり、停止条件が生成され、バスが開放されていることを確認した後、TRSが0の状態でICDRをリードしてください。このとき、停止条件発行のための命令実行（ICCRのBBSY＝0かつSCP＝0をライト）から実際に停止条件が生成されるまでの期間に受信データ（ICDRのデータ）を読み出すと、次のマスタ送信時に正しくクロックが出力されなくなる場合がありますので注意が必要です。なお、マスタ送受信完了後のMSTビットのクリアなど、送受信の動作モード、設定変更のためのIIC制御ビットの書き換えについては、必ず**図**17.22の（a）期間中（ICCRのBBSYビットの0クリア確認）に行ってください。

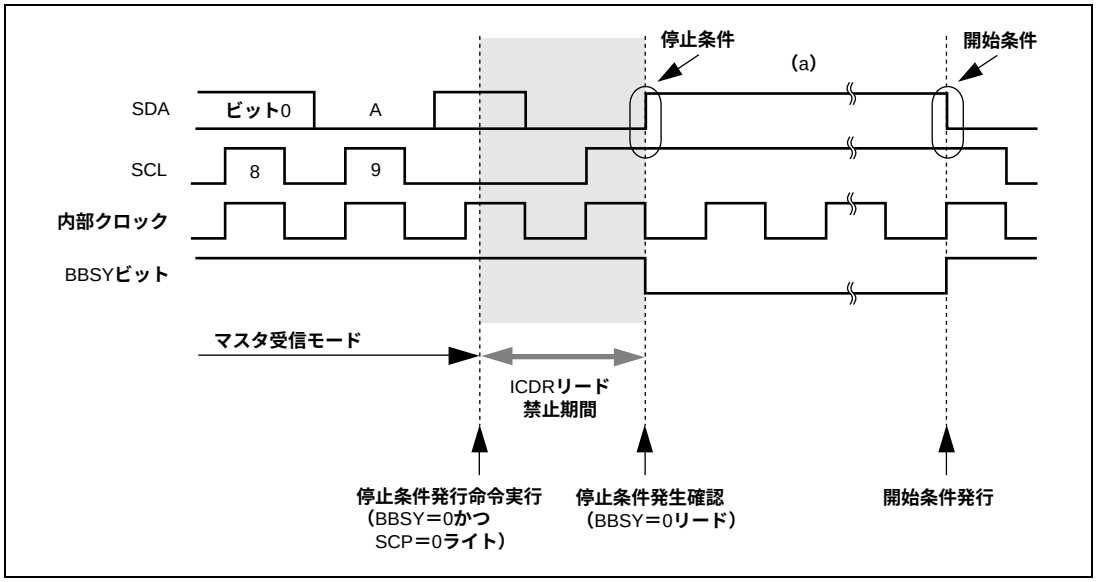


図 17.22　**マスタ受信データの読み出しにおける注意**

8. 再送開始条件発行時の注意

再送開始条件発行と次バイト転送命令の実行タイミングにより、再送開始条件生成や再送開始条件生成後のデータ送信が正常に動作しない場合があります。そのため、再送開始条件を発行し、開始条件が生成した後でICDRに送信データをライトしてください。再送のための開始条件発行のタイミングと、それに連続してICDRにデータを書き込むタイミングおよびフローチャートを**図**17.23に示します。

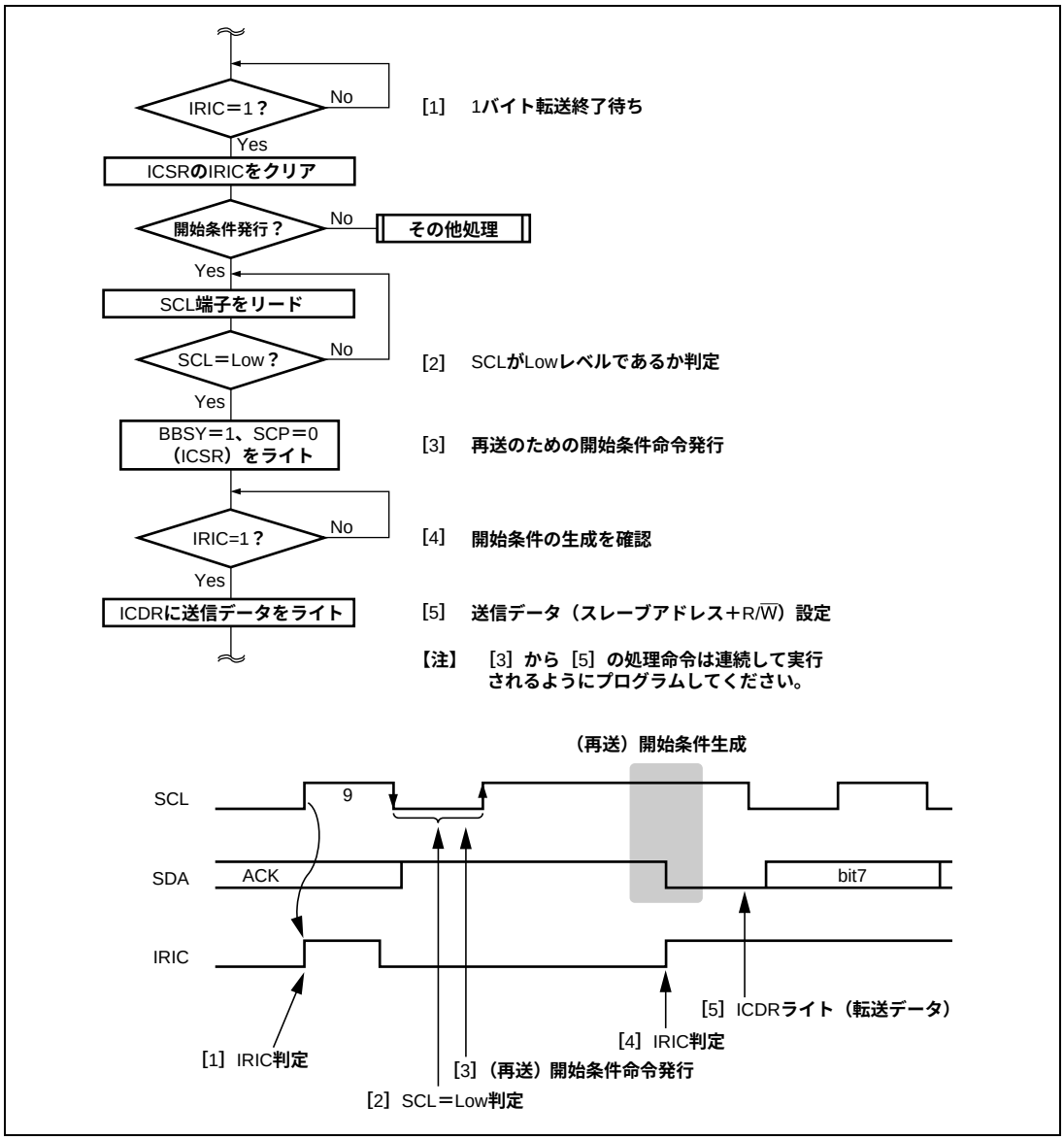


図 17.23 **再送のための開始条件命令発行フローチャートおよびタイミング**

9. I²Cバスインタフェース停止条件命令発行時の注意事項

バス負荷容量が大きいため、SCLの9クロック目の立ち上がり時間が規定を超えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のように9クロック目の立ち上がり後にSCLをリードして、Lowを判定してから停止条件命令を発行してください。

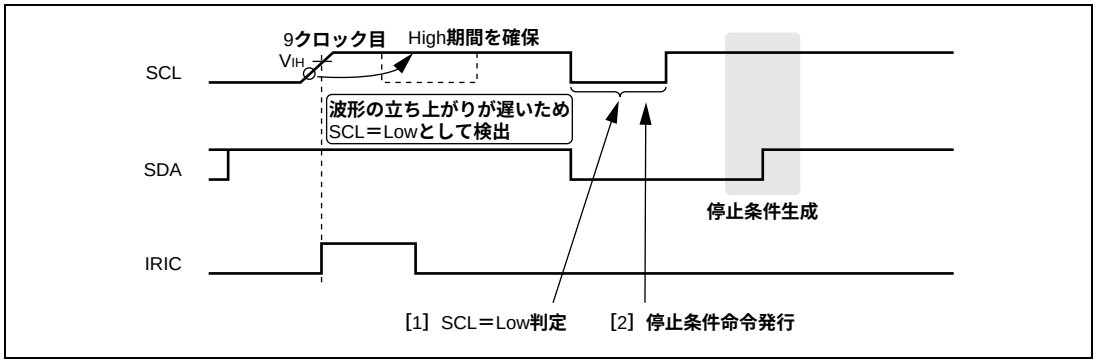


図 17.24　停止条件発行タイミング

10. ウェイト機能使用時のIRICフラグクリアの注意事項

I²Cバスインタフェースのマスタモードでウェイト機能を使用しているときに、SCLの立ち上がり時間が規定を超えてしまう場合や、SCLをLowにしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のようにSCLをリードして、SCLがLowに立ち下がったことを判定してからIRICフラグのクリアをしてください。

SCLがHigh期間を引き延ばしている最中にWAIT=1の状態でIRICフラグを0にクリアすると、SCLが立ち下がる前にSDAの値が変化し、開始条件や停止条件が誤って発生してしまうことがあります。

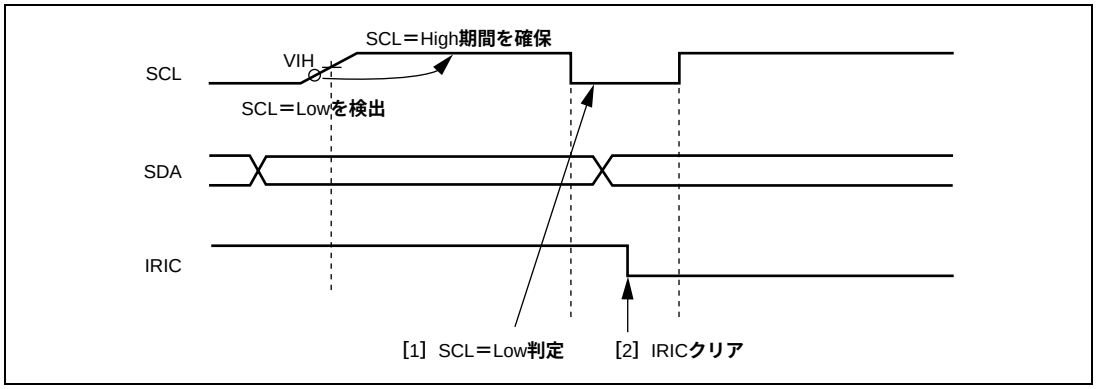


図 17.25　WAIT=1 状態での IRIC フラグクリアタイミング

11. スレーブ送信モードでのICDRリードとICCRアクセスの注意事項

I²Cバスインタフェースのスレーブモード送信動作では、**図**17.26の網がけ期間中にICDRレジスタリードまたは、ICCRレジスタリード/ライト動作を行わないようにしてください。

通常9クロック立ち上がりエッジに同期して発生する割り込み処理では、割り込み処理に移行するまでに問題の期間は経過しているため、ICDRレジスタリードまたは、ICCRレジスタリード/ライト動作を行っても問題ありません。

この割り込み処理を確実にするために、下記のいずれかの条件で使用願います。

- 次のスレーブアドレス受信動作が開始される前に、それまでに受信したICDRレジスタのリード動作および、ICCRレジスタのリード/ライト動作を完了させるようにしてください。
- ICMRレジスタのBC2～BC0ビットカウンタをモニタし、BC2～BC0=000（8クロック目または9クロック目）の場合は、2転送クロック期間以上の待ち時間を設けて、問題となる期間を避けてICDRレジスタリードまたは、ICCRレジスタリード/ライト動作を行ってください。

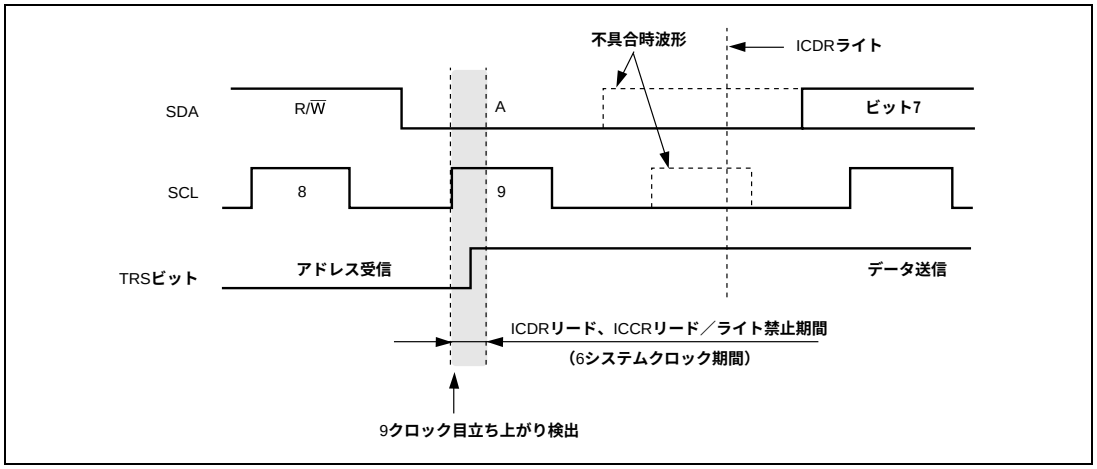


図 17.26　**スレーブ送信モードでの** ICDR **リード、**ICCR **アクセスタイミング**

12. スレーブモードでのTRSビット設定の注意事項

I²Cバスインタフェースのスレーブモードでは、9クロック目の立ち上がりエッジ検出または、停止条件検出時から次にSCL端子に立ち上がりエッジを検出するまで（**図17.27（a）**の期間）は、ICCRレジスタのTRSビットに設定された値は、直ちに有効となります。

しかし、上記以外の期間（**図17.27（b）**の期間）に設定されたTRSビットの値は、次に9クロック目の立ち上がりエッジが検出されるか停止条件が検出されるまで設定値が保留されるため、すぐには有効になりません。

そのため、停止条件が入らない再送開始条件入力に続くアドレス受信動作時は、内部的なTRSビットの実効値は1（送信モード）のままとなり、9クロック目のアドレス受信完了に伴うアクノリッジビット送信が行われません。

スレーブモードのアドレス受信を行う場合は、**図17.27（a）**の期間中に、TRSビットを0クリアしてください。

スレーブモード時のウェイト機能によるSCL端子のLow固定解除については、TRSビット0クリア後ICDRレジスタのダミーリードにより行います。

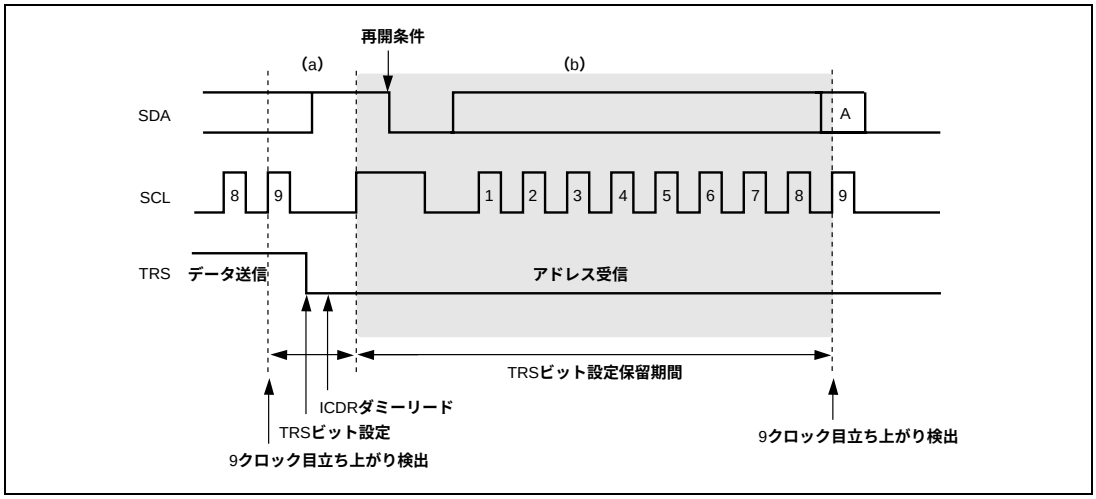


図 17.27　スレーブモードでの TRS ビット設定タイミング

13. 送信モードでのICDRリードと受信モードでのICDRライトの注意事項

送信モード（TRS=1）でのICDRリード動作または、受信モード（TRS=0）でのICDRライト動作を行った場合、条件によっては送受信動作終了後のSCL端子のLow固定が行われず、正規のICDRレジスタアクセス動作以前にクロックがSCLバスラインに出力される場合があります。

ICDRをアクセスするときは、受信モードに設定した後にリード動作を行うか、または送信モードに設定した後にライト動作を行うようにしてください。

14. スレーブモードでのACKEビットとTRSビットの注意事項

I²Cバスインタフェースにおいて、送信モード（TRS=1）でアクノリッジビットとして1を受信（ACKB=1）した後に、 その状態のままスレーブモードでアドレスを受信すると、アドレス不一致のときも9クロック目の立ち上がりで、割り込み動作が発生することがあります。

また、スレーブモードで送信モード（TRS=1）の状態でマスタデバイスから開始条件およびアドレスが送信された場合、ICDREフラグセットおよびアクノリッジビットとして1を受信(ACKB=1)することでIRICフラグがセットされ、アドレス不一致のときも割り込み要因が発生することがあります。

I²Cバスインタフェースモジュールでスレーブモード動作を行う際は、下記処置を行ってください。

- 一連の送信動作の終了時、最終送信データに対するアクノリッジビットとして1を受信した場合には、ICCRレジスタのACKEビットをいったん0にクリアすることで、ACKBビットを0に初期化してください。
- スレーブモードで次の開始条件が入力される前に受信モード（TRS=0）にセットしてください。

  スレーブ送信モードから確実にスレーブ受信モードに切り替えるために、**図**17.21に従って送信を終了してください。

15. マスタモードでのアービトレーションロスト発生時の注意事項

I²Cバスインタフェースではマスタモードでアービトレーションロストにより、スレーブ受信モードに自動遷移した場合、アービトレーションロストが発生した送受信フレームのデータをアドレスとして認識する仕様となっています。

そのため、マスタモード第1フレーム送信動作でアービトレーションロストが発生せず、第2フレーム目以降でアービトレーションロストが発生すると、本来アドレスではない送受信データをアドレス値としてSAR、SARXの設定値と比較を行います。このとき、受信データがSAR、SARXの値と一致した場合、I²Cバスインタフェースに対し、アドレスコールがあったものとして動作してしまいます。（**図**17.28参照）

マルチマスタ環境でバス権の競合が起こり得る状況にあって、マスタモードで動作させている場合は、1フレームごとの送受信動作完了時にICSRのALビットの確認を行ってください。

第2フレーム以降でアービトレーションロストの発生が確認された場合は、異常動作として回避処置を行ってください。

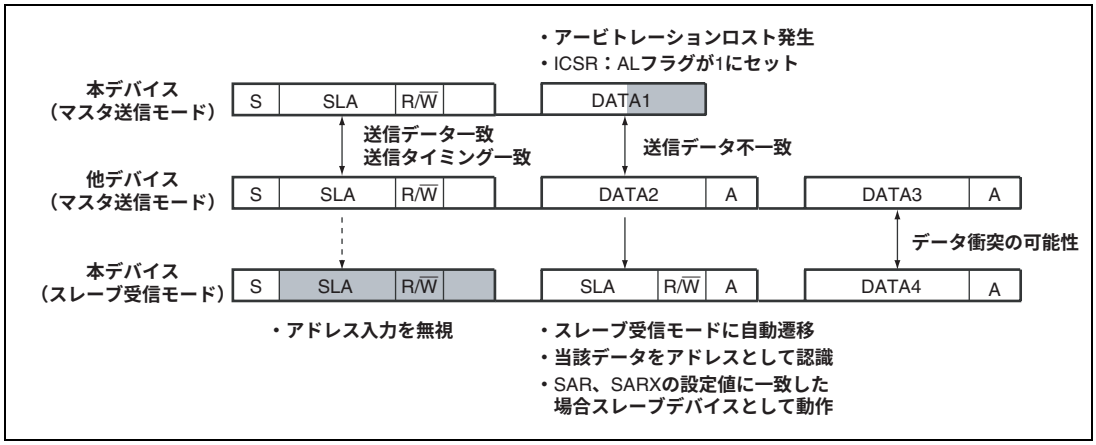


図 17.28　アービトレーションロスト時の動作模式図

本来のI²Cバスプロトコルでは禁止されている動作ですが、スレーブモードで送受信を行っている最中に誤ってMSTビットを1にセットしてマスタモードに設定した場合も、同様の現象が発生する可能性があります。マルチマスタ動作でバス権の競合が予想される場合、ICCRのMSTビットに1をセットするときは、以下の手順で行ってください。

（1）MSTビットのセット直前にICCRのBBSYフラグが0であり、バスがフリー状態であることを確認する。

（2）MSTビットに1を設定する。

（3）MSTビットの設定中にバスがビジー状態にならなかったことを確認する意味で、MSTビットのセット直後にも、ICCRのBBSYフラグが0であることを確認する。

【注】　本使用上の制限は ICXR の FNC1、FNC0 ビットに B'11 を設定することで解除できます。

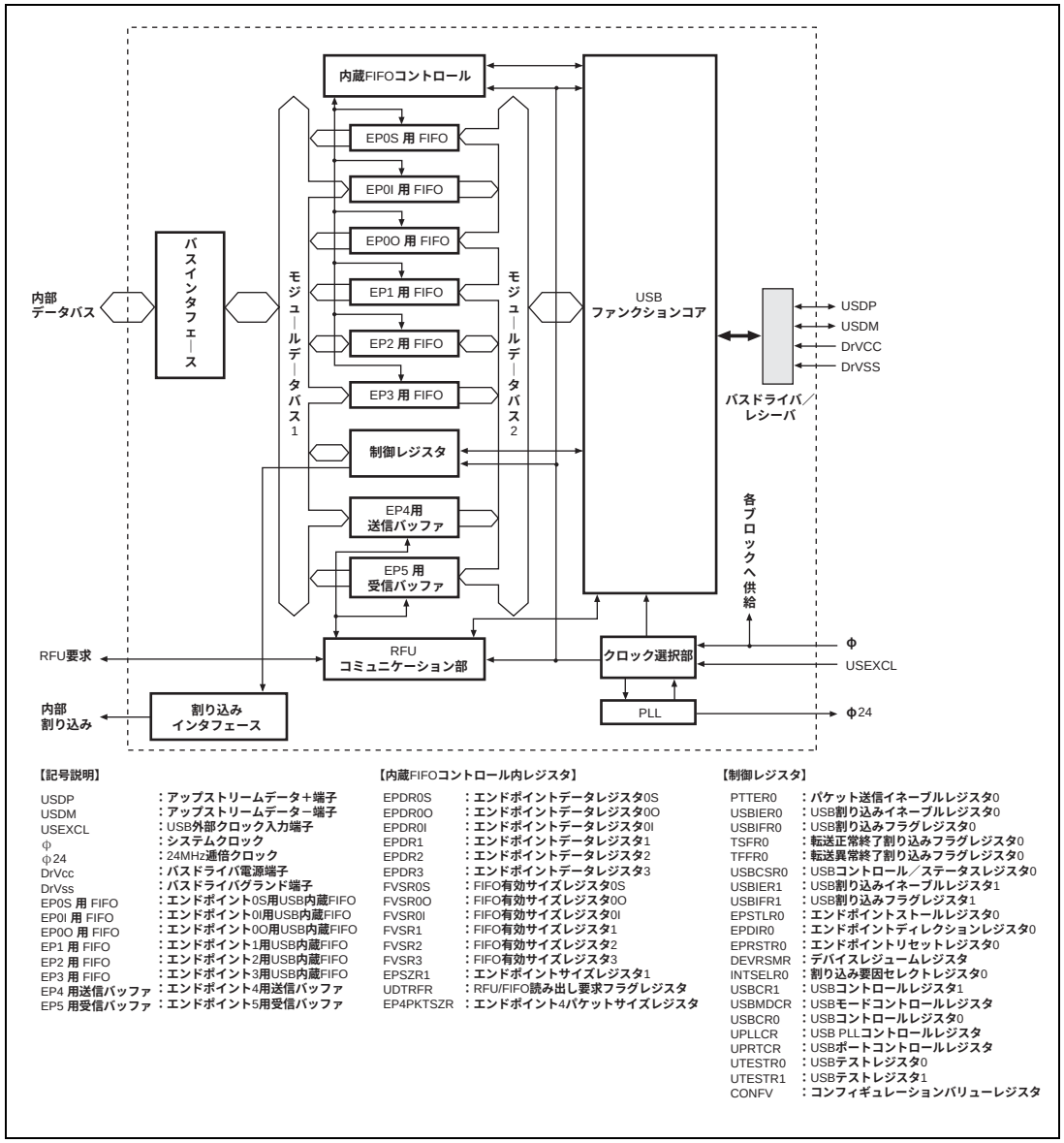
18. ユニバーサルシリアルバスインタフェース（USB）

本 LSI は、ユニバーサルシリアルバス（USB 規格 Rev.1.1 準拠）のファンクションを内蔵しています。USB は、パーソナルコンピュータの周辺機器向けのインタフェースです。パーソナルコンピュータの周辺機器は多様性に富んでおり、USB ではいくつかのデバイスクラスを設けて多様性に対応しています。本 LSI に内蔵した USB は、コントロール転送、インタラプト転送およびバルク転送をサポートするエンドポイント群により、MassStorage クラス、HID（Human Interface Device）クラスなどをサポート可能です。

18.1 特長

- USB規格Rev.1.1に準拠したデバイス
- USBファンクションコアは、標準コマンドを解釈し実行
  CPUでデバイスクラスコマンドを解釈し実行（ファームウェア作成要）
- HIDデバイスクラスとMassStorageデバイスクラスからなる複合ファンクション
- EP0：USB制御用エンドポイント（コントロール転送専用）
  EP0S、EP0I、EP0Oの各々が専用FIFOを使用可能
- EP1、EP2：HID制御用エンドポイント（インタラプト転送専用）
  専用FIFOを使用
- EP3：MassStorage制御用エンドポイント（インタラプト転送専用）
  専用FIFOを使用
- EP4、EP5：MassStorageデータ用エンドポイント（バルク転送専用）
  それぞれ最大2048バイトのRFU-FIFOを使用可能
- 12Mbpsの高速転送モードに対応
- システムクロックおよび外部クロック入力の分周／逓倍回路を内蔵
- バスドライバ／レシーバを内蔵
  DrVCC／DrVSS電源で駆動

USB のブロック図を**図** 18.1 に示します。



【記号説明】

USDP	：アップストリームデータ＋端子
USDM	：アップストリームデーター端子
USEXCL	：USB外部クロック入力端子
φ	：システムクロック
φ24	：24MHz通倍クロック
DrVcc	：バスドライバ電源端子
DrVss	：バスドライバグランド端子
EP0S 用 FIFO	：エンドポイント0S用USB内蔵FIFO
EP0I 用 FIFO	：エンドポイント0I用USB内蔵FIFO
EP0O 用 FIFO	：エンドポイント0O用USB内蔵FIFO
EP1 用 FIFO	：エンドポイント1用USB内蔵FIFO
EP2 用 FIFO	：エンドポイント2用USB内蔵FIFO
EP3 用 FIFO	：エンドポイント3用USB内蔵FIFO
EP4 用送信バッファ	：エンドポイント4用送信バッファ
EP5 用受信バッファ	：エンドポイント5用受信バッファ

【内蔵FIFOコントロール内レジスタ】

EPDR0S	：エンドポイントデータレジスタ0S
EPDR0O	：エンドポイントデータレジスタ0O
EPDR0I	：エンドポイントデータレジスタ0I
EPDR1	：エンドポイントデータレジスタ1
EPDR2	：エンドポイントデータレジスタ2
EPDR3	：エンドポイントデータレジスタ3
FVSR0S	：FIFO有効サイズレジスタ0S
FVSR0O	：FIFO有効サイズレジスタ0O
FVSR0I	：FIFO有効サイズレジスタ0I
FVSR1	：FIFO有効サイズレジスタ1
FVSR2	：FIFO有効サイズレジスタ2
FVSR3	：FIFO有効サイズレジスタ3
EPSZR1	：エンドポイントサイズレジスタ1
UDTRFR	：RFU/FIFO読み出し要求フラグレジスタ
EP4PKTSZR	：エンドポイント4パケットサイズレジスタ

【制御レジスタ】

PTTER0	：パケット送信イネーブルレジスタ0
USBIER0	：USB割り込みイネーブルレジスタ0
USBIFR0	：USB割り込みフラグレジスタ0
TSFR0	：転送正常終了割り込みフラグレジスタ0
TFFR0	：転送異常終了割り込みフラグレジスタ0
USBCSR0	：USBコントロール／ステータスレジスタ0
USBIER1	：USB割り込みイネーブルレジスタ1
USBIFR1	：USB割り込みフラグレジスタ1
EPSTLR0	：エンドポイントストールレジスタ0
EPDIR0	：エンドポイントディレクションレジスタ0
EPRSTR0	：エンドポイントリセットレジスタ0
DEVRSMR	：デバイスレジュームレジスタ
INTSELR0	：割り込み要因セレクトレジスタ0
USBCR1	：USBコントロールレジスタ1
USBMDCR	：USBモードコントロールレジスタ
USBCR0	：USBコントロールレジスタ0
UPLLCR	：USB PLLコントロールレジスタ
UPRTCR	：USBポートコントロールレジスタ
UTESTR0	：USBテストレジスタ0
UTESTR1	：USBテストレジスタ1
CONFV	：コンフィギュレーションバリューレジスタ

図 18.1　USB **のブロック図**

18.2 入出力端子

USB の端子構成を**表** 18.1 に示します。

表 18.1 端子構成

名　称	記　号	入出力	機　能
外部クロック入力端子	USEXCL	**入力**	USB **外部クロック入力端子**
アップストリームデータ＋端子	USDP	**入出力**	USB **シリアルデータ入出力端子**
アップストリームデータ－端子	USDM	**入出力**	USB **シリアルデータ入出力端子**
バスドライバ電源端子	DrVCC	**入力**	**内蔵バスドライバ／レシーバ用電源端子**
バスドライバグランド端子	DrVSS	**入力**	**内蔵バスドライバ／レシーバ用グランド端子**

18.3 レジスタの説明

USB のプロトコルでは、ホストがトークンを送信して 1 単位のデータ転送（トランザクション）を起動します。トランザクションはトークンパケット、データパケット、ハンドシェークパケットから構成されています。トークンパケットは転送対象となるデバイスのアドレス、エンドポイント、および転送の種類を、データパケットはデータを、ハンドシェークパケットは転送の成立／不成立に関する情報を含みます。

ホストからスレーブへデータを転送する際、ホストは OUT トークンまたは SETUP トークンを送信し、続いてデータを送信します（OUT トランザクション、または SETUP トランザクション）。スレーブからホストへデータ転送する際、ホストは IN トークンを送信してスレーブのデータを待ちます（IN トランザクション）。以下の説明では、このホストを基準とした IN および OUT を「入力」および「出力」と表現する場合があります。また、ホスト入力転送に関連する事項を、IN（IN トランザクション、IN-FIFO、EP0in 等）、ホスト出力転送に関連する事項を OUT（OUT トランザクション、OUT-FIFO、EP0out 等）と表現することがあります。

一方で「送信」および「受信」と表現する場合は、「ホストが送信」や「ホストが受信」などと明記した場合以外は、USB モジュールおよびスレーブ CPU を基準とした送信および受信を表します。

USB には以下のレジスタがあります。

- **エンドポイントサイズレジスタ**1（EPSZR1）
- **エンドポイントデータレジスタ**0S（EPDR0S）
- **エンドポイントデータレジスタ**0O（EPDR0O）
- **エンドポイントデータレジスタ**0I（EPDR0I）
- **エンドポイントデータレジスタ**1（EPDR1）
- **エンドポイントデータレジスタ**2（EPDR2）
- **エンドポイントデータレジスタ**3（EPDR3）
- FIFO**有効サイズレジスタ**0S（FVSR0S）
- FIFO**有効サイズレジスタ**0O（FVSR0O）
- FIFO**有効サイズレジスタ**0I（FVSR0I）

- FIFO有効サイズレジスタ1（FVSR1）
- FIFO有効サイズレジスタ2（FVSR2）
- FIFO有効サイズレジスタ3（FVSR3）
- エンドポイントディレクションレジスタ0（EPDIR0）
- パケット送信イネーブルレジスタ0（PTTER0）
- USB割り込みイネーブルレジスタ0（USBIER0）
- USB割り込みイネーブルレジスタ1（USBIER1）
- USB割り込みフラグレジスタ0（USBIFR0）
- USB割り込みフラグレジスタ1（USBIFR1）
- 転送正常終了割り込みフラグレジスタ0（TSFR0）
- 転送異常終了割り込みフラグレジスタ0（TFFR0）
- USBコントロール／ステータスレジスタ0（USBCSR0）
- エンドポイントストールレジスタ0（EPSTLR0）
- エンドポイントリセットレジスタ0（EPRSTR0）
- デバイスレジュームレジスタ（DEVRSMR）
- 割り込み要因セレクトレジスタ0（INTSELR0）
- USBコントロールレジスタ0（USBCR0）
- USBコントロールレジスタ1（USBCR1）
- USB PLLコントロールレジスタ（UPLLCR）
- コンフィギュレーションバリューレジスタ（CONFV）
- エンドポイント4パケットサイズレジスタ（EP4PKTSZR）
- RFU/FIFO読み出し要求フラグレジスタ（UDTRFR）
- USBモードコントロールレジスタ（USBMDCR）
- USBポートコントロールレジスタ（UPRTCR）
- USBテストレジスタ0（UTESTR0）
- USBテストレジスタ1（UTESTR1）

18.3.1 USB データ FIFO

FIFO は、EPDR とともに本 LSI の CPU（スレーブ）と USB ファンクションコアとの間のデータ転送を仲介します。USB ファンクションコアは FIFO を利用して USB ホスト（ホスト）とのデータ転送を実行します。

本 LSI は 80 バイトの専用 FIFO と、内蔵 RAM を利用して最大 4096 バイトの FIFO として使用できる RAM-FIFO ユニット（RFU）を内蔵しています。

専用 FIFO は、**表** 18.2 に示すように EP2 を使用する場合と使用しない場合の 2 通りの使用方法があります。EP0I、EP0O、EP1、EP2 では、データパケットの最大パケットサイズは FIFO バイト数の半分に設定します。EP0S、EP3 では、データパケットの最大パケットサイズは FIFO のバイト数と同じに設定します。EP0S はセットアップコマンド受信専用 FIFO です。USBMDCR の SETICNT ビットの設定により使用可能になります。EP4、EP5 を構成する RAM-FIFO については**「第 8 章　RAM-FIFO ユニット（RFU）」**を参照してください。

ホスト入力転送時には、スレーブから送信するデータをすべて専用 FIFO にライトした後にスレーブ送信を開始します。ホスト出力転送時には、ホスト出力転送が終了した後にすべてのデータをスレーブが専用 FIFO からリードします。

表 18.2　FIFO **の構成**

エンドポイント		転送方向	FIFO サイズ	構　成	説明
エンドポイント 0	EP0S	OUT(SETUP)	8 バイト	8 バイト×1	専用 FIFO
	EP0O	OUT	16 バイト	8 バイト×2	
	EP0I	IN	16 バイト	8 バイト×2	
エンドポイント 1	EP1	IN	16 バイト	8 バイト×2	
			32 バイト	16 バイト×2	
エンドポイント 2	EP2	IN/OUT	16 バイト	8 バイト×2	
			0 バイト	使用しない	
エンドポイント 3	EP3	IN	8 バイト	8 バイト×1	
エンドポイント 4	EP4	IN	最大 2,048 バイト	最大 64 バイト×32	RAM-FIFO
エンドポイント 5	EP5	OUT	最大 2,048 バイト	最大 64 バイト×32	(RFU)

18.3.2 エンドポイントサイズレジスタ 1（EPSZR1）

EPSZR1 は、USB ファンクションコアのエンドポイント 1、2 の FIFO のバイト数を指定します。

本 LSI では、エンドポイント 1、2 の両方を使用する場合は、それぞれの FIFO を 16 バイトで使用するように設定してください。エンドポイント 1 のみを使用する場合は、FIFO を 16 バイトまたは 32 バイトで使用するように設定してください。32 バイトを選択した場合は、エンドポイント 2 の FIFO サイズを 0 バイトに設定してください。

EPSZR1 は、システムリセットおよびファンクションソフトリセット（「18.3.16 USB コントロールレジスタ 0、1（USBCR0、USBCR1）」参照）により H'44 に初期化されます。

ビット	ビット名	初期値	R/W	説　明
7	EP1SZ3	0	R/W	EP1 FIFO サイズ
6	EP1SZ2	1	R/W	0000：設定禁止
5	EP1SZ1	0	R/W	0001：設定禁止
4	EP1SZ0	0	R/W	0010：設定禁止
				0011：設定禁止
				0100：FIFO サイズ、16 バイト
				0101：FIFO サイズ、32 バイト
				0110：設定禁止
				0111：設定禁止
				1＊＊＊：設定禁止
3	EP2SZ3	0	R/W	EP2 FIFO サイズ
2	EP2SZ2	1	R/W	0000：FIFO サイズ、0 バイト
1	EP2SZ1	0	R/W	0001：設定禁止
0	EP2SZ0	0	R/W	0010：設定禁止
				0011：設定禁止
				0100：FIFO サイズ、16 バイト
				0101：設定禁止
				0110：設定禁止
				0111：設定禁止
				1＊＊＊：設定禁止

【記号説明】　＊：Don't care

18.3.3 エンドポイントデータレジスタ 0S、0O、0I、1、2、3（EPDR0S、EPDR0O、EPDR0I、EPDR1、EPDR2、EPDR3）

EPDR は、USB ファンクションコアの各エンドポイントのホスト入力転送／ホスト出力転送ごとに CPU と FIFO とのデータ転送を仲介します。

EPDR0I、EPDR1、および EPDR3 はホスト入力転送に用いられるライト専用のレジスタです。EPDR0S と EPDR0O はホスト出力転送に用いられるリード専用のレジスタです。EPDR2 は EPDIR0 によって転送方向が決まり、ホスト入力転送に設定された場合にはライト専用のレジスタ、ホスト出力転送に設定された場合にはリード専用のレジスタになります。

EPDR0I、EPDR1、EPDR3、および EPDR2（ライト専用設定時）にライトされたデータは FIFO に蓄積され、PTTER0 の EPTE ビットのセットにより有効になります。有効になったデータは、USB ファンクションコアの要求に従い USB ファンクションコアに転送され、ホストに転送されます。

ホストから転送されたデータは、USB ファンクションコアが FIFO に蓄積し、データパケットの全バイトを受信して ACK ハンドシェークを送信することによって有効になります。EPDR0S、EPDR0O、および EPDR2（リード専用設定時）をリードすると、FIFO に蓄積されて有効になったデータが転送された順番で読み出されます。

EPDR は、システムリセットおよびファンクションソフトリセット（**「18.3.16　USB コントロールレジスタ 0、1（USBCR0、USBCR1）」**参照）により H'00 に初期化されます。

エンドポイント 4、5 には EPDR に相当するレジスタはありません。直接内蔵 RAM をアクセスしてデータを操作します。

- EPDR0S

ビット	ビット名	初期値	R/W	説　明
7〜0	D7〜D0	0	R	**エンドポイント 0 は入出力転送に対応し、**EPDR0S **はリードのみ可能です。また、**EPDR0S **はセットアップコマンド受信専用の** FIFO **で、**USBMDCR **の** SETICNT **ビットを 1 にセットしたときに有効になります。**SETICNT **ビットが 0 のときはアクセスは無効です。**

- EPDR0O

ビット	ビット名	初期値	R/W	説　明
7〜0	D7〜D0	0	R	**エンドポイント 0 は入出力転送に対応し、**EPDR0O **はリードのみ可能です。**

- EPDR0I

ビット	ビット名	初期値	R/W	説　明
7〜0	D7〜D0	0	W	**エンドポイント 0 は入出力転送に対応し、**EPDR0I **はライトのみ可能です。**

• EPDR1

ビット	ビット名	初期値	R/W	説　明
7〜0	D7〜D0	0	W	エンドポイント 1 は入力転送に対応し、EPDR1 はライトのみ可能です。

• EPDR2

ビット	ビット名	初期値	R/W	説　明
7〜0	D7〜D0	0	R or W	エンドポイント 2 は EPDIR0 で設定された転送方向によりライト専用およびリード専用となります。

• EPDR3

ビット	ビット名	初期値	R/W	説　明
7〜0	D7〜D0	0	W	エンドポイント 3 は入力転送に対応し、EPDR3 はライトのみ可能です。

18.3.4 FIFO 有効サイズレジスタ 0S、0O、0I、1、2、3 （FVSR0S、FVSR0O、FVSR0I、FVSR1、FVSR2、FVSR3）

FVSR は、USB ファンクションコアの各エンドポイントの FIFO 内の有効データ数を表示します。エンドポイント 4、5 は、FIFO を USB インタフェースに持たないため、RFU を使用してデータ転送を行います。FVSR に相当する機能は RFU 内に存在します。

ホスト入力転送を行う場合は、スレーブ CPU が FIFO にライト可能なバイト数（FIFO サイズから、スレーブ CPU が FIFO にライトし USB ファンクションコアがリード（送信）していないバイト数を引いたバイト数）を表示します。ホスト出力転送を行う場合は、USB ファンクションコアが受信して FIFO にライトし、スレーブ CPU がリードしていないバイト数を表示します。

ホスト入力転送を行う場合、FVSR の値はスレーブ CPU が EPDR にライトし、PTTER0 の EPTE ビットを 1 にセットすると、ライトしたバイト数だけ減算されます。また、USB ファンクションコアが FIFO をリードし、ホストから ACK ハンドシェークを受信すると、リードされたバイト数だけ加算されます。

ホスト出力転送を行う場合、FVSR の値は USB ファンクションコアが FIFO にライトし、ACK ハンドシェークを送信するとライトされたバイト数だけ加算されます。また、スレーブ CPU が EPDR をリードすると 1 ずつデクリメントされます。

転送エラーが発生した場合は、データの再転送が必要となる場合があります。このとき FVSR の値は変化せず、再転送が必要になるチャネルの FIFO はリワインドされます。

USB のプロトコルでは、エンドポイントごとにデータ転送時に DATA0 パケットと DATA1 パケットを交互に送信および受信します。この DATA0／DATA1 のトグルによってもデータ転送が正常に行われたか否かが判定されます。ホスト出力転送で DATA0／DATA1 のトグルが正常に行われなかった場合は、USB ファンクションコアはそのトランザクションの処理を打ち切り、FVSR の値は変化しません。

FVSR は 2 バイトのレジスタですが、本 LSI の FIFO は各々8 バイト、16 バイト、または 32 バイトであるため、下位バイトのみで FIFO の状態を表現できます。FVSR は、下位バイトのみをリードしてください。

FVSR の上位バイトは直接アクセスすることができません。下位バイトをリードしたタイミングで、上位バイト

はテンポラリレジスタに転送され、上位バイトをリードするとこのテンポラリレジスタの内容が読み出されます。FVSR をワードリードした場合、リードされた上位バイトの内容は、前回下位バイトをリードした時点の内容ですので注意が必要です。

FVSR0S、FVSR0O、および FVSR0I は、SETUP トークンを受信すると自動的にそれぞれ H'0000、H'0000 および H'0010 に設定されます。

FVSR は、システムリセットおよびファンクションソフトリセット（**「18.3.16　USB コントロールレジスタ 0、1（USBCR0、USBCR1）」**参照）により初期化されます。初期値は、EPDIR0 および EPSZR1 で決まる転送の方向および FIFO のサイズにより異なります。

- FVSR0SH, FVSR0OH, FVSR0IH, FVSR1H, FVSR2H, FVSR3H

ビット	ビット名	初期値	R/W	説　明
7	—	0	R	**初期値**
6	—	0	R	FVSR0SH：H'00
5	—	0	R	FVSR0OH：H'00
4	—	0	R	FVSR0IH：H'00
3	—	0	R	FVSR1H：H'00
2	—	0	R	FVSR2H：H'00
1	N9	0	R	FVSR3H：H'00
0	N8	0	R	

- FVSR0SL, FVSR0OL, FVSR0IL, FVSR1L, FVSR2L, FVSR3L

ビット	ビット名	初期値	R/W	説　明
7	N7	0	R	**初期値**
6	N6	0	R	FVSR0SL：H'00
5	N5	0	R	FVSR0OL：H'00
4	N4	0/1*1	R	FVSR0IL：H'10
3	N3	0/1*2	R	FVSR1L：H'10
2	N2	0	R	FVSR2L：H'10
1	N1	0	R	FVSR3L：H'08
0	N0	0	R	

【注】 *1　N4 **ビットの初期値は** FVSR0S、FVSR0O、FVSR3 **は** 0、**それ以外では** 1 **となります。**

*2　N3 **ビットの初期値は** FVSR3 **は** 1、**それ以外は** 0 **となります。**

18.3.5 エンドポイントディレクションレジスタ 0（EPDIR0）

EPDIR0 は、USB ファンクションコアのエンドポイント 0 以外のエンドポイントのデータ転送方向を制御します。本 LSI では、EP1、EP3、EP4 をホスト入力転送、EP5 をホスト出力転送、EP2 をホスト入力転送またはホスト出力転送に設定してください。

EPDIR0 は、システムリセットおよびファンクションソフトリセット（**「**18.3.16　USB **コントロールレジスタ 0、1（USBCR0、USBCR1）」**参照）により H'3C に初期化されます。

ビット	ビット名	初期値	R/W	説　明
7	—	0	R	**リザーブビット** **リードすると常に 0 が読み出されます。ライトは無効です。**
6	EP5DIR	0	R/W	**エンドポイント 5 のデータ転送方向制御フラグ** **エンドポイント 5 のデータ転送方向を切り替えます。** **0：ホスト出力転送** **1：設定禁止**
5	EP4DIR	1	R/W	**エンドポイント 4 のデータ転送方向制御フラグ** **エンドポイント 4 のデータ転送方向を切り替えます。** **0：設定禁止** **1：ホスト入力転送**
4	EP3DIR	1	R/W	**エンドポイント 3 のデータ転送方向制御フラグ** **エンドポイント 3 のデータ転送方向を切り替えます。** **0：設定禁止** **1：ホスト入力転送**
3	EP2DIR	1	R/W	**エンドポイント 2 のデータ転送方向制御フラグ** **エンドポイント 2 のデータ転送方向を切り替えます。** **0：ホスト出力転送** **1：ホスト入力転送**
2	EP1DIR	1	R/W	**エンドポイント 1 のデータ転送方向制御フラグ** **エンドポイント 1 のデータ転送方向を切り替えます。** **0：設定禁止** **1：ホスト入力転送**
1	—	0	R	**リザーブビット**
0	—	0	R	**リードすると常に 0 が読み出されます。ライトは無効です。**

18.3.6 パケット送信イネーブルレジスタ 0（PTTER0）

PTTER0 は、USB ファンクションコアのホスト入力転送の FIFO 有効サイズレジスタを制御します。

USB のプロトコルでは、パケットという形式で通信が行われます。データ転送の最小単位はトランザクションです。トランザクションはトークンパケット、データパケット、ハンドシェークパケットで構成されています。

ホスト入力転送では、USB ファンクションコアは IN トークン（パケット）を受信します。USB ファンクションコアは、STALL していない場合はこれに対してデータパケットを送信するか、データがない場合は NAK ハンドシェークを送信する必要があります。

ホストへ送信するデータをスレーブ CPU が FIFO にライトした後に EPTE ビットを 1 にセットすると FVSR の内容が更新されます。これによって FIFO にライトしたデータが送信可能になります。この EPTE ビットでのデータ送信制御によって、スレーブ CPU が FIFO にデータを書き込んでいる途中で誤ってデータが送信されてしまうことを防ぐことができます。

エンドポイント 4 は、FIFO を RFU が管理する内蔵 RAM 領域に持っています。EP4TE ビットを 1 にセットすると、IN トークンを待ち受けてデータ送信を開始するため、FIFO のデータを USB インタフェース中のバッファに転送します（先読み）。

0 バイトのデータパケットをホストに送信する場合は、RAM-FIFO エンプティの状態で EPTE ビットを 1 にセットしてください。

ビット	ビット名	初期値	R/W	説　明
7	—	0	R	リザーブビット
6	—	0	R	リードすると常に 0 が読み出されます。ライトは無効です。
5	EP4TE	0	R/(W)*	エンドポイント 4 パケット送信イネーブル エンドポイント 4 の RAM-FIFO 中のデータを送信準備します。 0：通常リード値 1：エンドポイント 4 の RAM-FIFO のデータを送信準備(先読み)します。EP4TE ビットは、1 トランザクションの IN 転送ごとに 1 にセットしてください。
4	EP3TE	0	R/(W)*	エンドポイント 3 パケット送信イネーブル エンドポイント 3 の FVSR3 を更新します。 0：通常リード値 1：エンドポイント 3 の専用 FIFO の FVSR3 を更新する
3	EP2TE	0	R/(W)*	エンドポイント 2 パケット送信イネーブル EP2DIR ビットが 1 にセットされているとき、エンドポイント 2 の FVSR2 を更新します。 0：通常リード値 1：エンドポイント 2 の専用 FIFO の FVSR2 を更新する

ビット	ビット名	初期値	R/W	説　明
2	EP1TE	0	R/(W)*	エンドポイント 1 パケット送信イネーブル エンドポイント 1 の FVSR1 を更新します。 0：通常リード値 1：エンドポイント 1 の専用 FIFO の FVSR1 を更新する
1	EP0ITE	0	R/(W)*	エンドポイント 0I パケット送信イネーブル エンドポイント 0 の FVSR0I を更新します。 0：通常リード値 1：エンドポイント 0 の専用 FIFO の FVSR0I を更新する
0	—	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

【注】＊ 1 ライトのみ可能です。

18.3.7　USB 割り込みイネーブルレジスタ 0、1（USBIER0、USBIER1）

USBIER0、USBIER1 は、USB ファンクションコアからスレーブ CPU への割り込みをイネーブルにします。

USBIER0、USBIER1 は、システムリセットおよびファンクションソフトリセット（「18.3.16　USB コントロールレジスタ 0、1（USBCR0、USBCR1）」参照）により H'00 に初期化されます。

- USBIER0

ビット	ビット名	初期値	R/W	説　明
7	—	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
6	UDTRE	0	R/W	RFU/FIFO 読み出し要求割り込みイネーブル このビットを 1 にセットすると、EP5 の RFU/FIFO 読み出し要求割り込みがイネーブルになります。
5	BRSTE	0	R/W	バスリセット割り込みイネーブル このビットを 1 にセットすると、USB ファンクションコアのバスリセット割り込みがイネーブルになります。
4	SOFE	0	R/W	SOF 割り込みイネーブル このビットを 1 にセットすると、USB ファンクションコアの SOF（Start of Frame）割り込みがイネーブルになります。
3	SPNDE	0	R/W	サスペンド割り込みイネーブル このビットを 1 にセットすると、USB ファンクションコアのサスペンド OUT 割り込みおよびサスペンド IN 割り込みがイネーブルになります。
2	TFE	0	R/W	転送異常終了割り込みイネーブル このビットを 1 にセットすると、USB ファンクションコアの転送異常終了割り込みがイネーブルになります。
1	TSE	0	R/W	転送正常終了割り込みイネーブル このビットを 1 にセットすると、USB ファンクションコアの転送正常終了割り込みがイネーブルになります。

ビット	ビット名	初期値	R/W	説　明
0	SETUPE	0	R/W	セットアップ割り込みイネーブル このビットを 1 にセットすると、USB ファンクションコアのセットアップ割り込みがイネーブルになります。

- USBIER1

ビット	ビット名	初期値	R/W	説　明
7〜2	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
1	SETCE	0	R/W	SetConfiguration コマンド検出割り込みイネーブル このビットを 1 にセットすると、SetConfiguration コマンド検出割り込みがイネーブルになります。
0	SETIE	0	R/W	SetInterface コマンド検出割り込みイネーブル このビットを 1 にセットすると、SetInterface コマンド検出割り込みがイネーブルになります。

18.3.8 USB 割り込みフラグレジスタ 0、1（USBIFR0、USBIFR1）

USBIFR0、USBIFR1 には、USB モジュールからスレーブ CPU への割り込みを発生する割り込みフラグがあります。

USB モジュールは 4 つの割り込み要因（USBIA、USBIB、USBIC、USBID）があります。USBIA はセットアップ割り込み専用です。USBIB、USBIC にはいずれかひとつの転送正常終了割り込みまたは転送異常終了割り込みを割り当てることが可能です。USBID には、すべての転送正常終了割り込み、転送異常終了割り込み、RFU/FIFO 読み出し要求割り込み、バスリセット割り込み、SOF 割り込み、サスペンド OUT 割り込み、サスペンド IN 割り込み、SetConfiguration コマンド検出割り込み、SetInterface コマンド検出割り込みが割り当てられています。

USBIFR0、USBIFR1 は、システムリセットおよびファンクションソフトリセット（**「18.3.16　USB コントロールレジスタ 0、1（USBCR0、USBCR1）」**参照）により H'00 に初期化されます。

- USBIFR0

ビット	ビット名	初期値	R/W	説　明
7	TS	0	R	転送正常終了割り込みステータス USB ファンクションコアのいずれかのエンドポイントで転送が正常終了したことを示すステータスフラグです。 USBIER0 の TSE ビットが 1 のとき、USBID 割り込みがスレーブ CPU に要求されますが、TS＝1 とした要因が USBIB または USBIC 割り込みを要求するように設定されている場合には、スレーブ CPU の割り込みコントローラの優先順位により USBIB または USBIC 割り込みが優先して処理されます。 0：TSFR0 のすべてのビットが 0 である 1：TSFR0 の少なくとも 1 ビットが 1 である

ビット	ビット名	初期値	R/W	説　明
6	TF	0	R	転送異常終了割り込みステータス USB ファンクションコアのいずれかのエンドポイントで転送が異常終了したことを示すステータスフラグです。 USBIER0 の TFE ビットが 1 のとき、USBID 割り込みがスレーブ CPU に要求されますが、TF＝1 とした要因が USBIB または USBIC 割り込みを要求するように設定されている場合には、スレーブ CPU の割り込みコントローラの優先順位により USBIB または USBIC 割り込みが優先して処理されます。 0：TFFR0 のすべてのビットが 0 である 1：TFFR0 の少なくとも 1 ビットが 1 である
5	UDTRF	0	R	RFU/FIFO 読み出し要求割り込みステータス RAM-FIFO がフルかつ受信バッファにデータが存在する状態で、ホスト出力転送（OUT トランザクション）が正常に終了したことを示すステータスフラグです。 USBIER0 の UDTRE ビットが 1 のとき、USBID 割り込みがスレーブ CPU に要求されます。 0：UDTRFR のすべてのビットが 0 である 1：UDTRFR の少なくとも 1 ビットが 1 である
4	BRSTF	0	R/(W)*	バスリセット割り込みフラグ USB ファンクションコアがアップストリームからのバスリセットを検出したことを示すステータスフラグです。 USBIER0 の BRSTE ビットが 1 のとき、USBID 割り込みがスレーブ CPU に要求されます。 ［クリア条件］ BRSTF＝1 の状態で BRSTF をリード後、BRSTF に 0 をライトしたとき ［セット条件］ USB ファンクションコアがアップストリームからのバスリセットを検出したとき
3	SOFF	0	R/(W)*	SOF 割り込みフラグ USB ファンクションコアが SOF（Start of Frame）を検出したことを示すステータスフラグです。 USBIER0 の SOFE ビットが 1 のとき、USBID 割り込みがスレーブ CPU に要求されます。 ［クリア条件］ SOFF＝1 の状態で SOFF をリード後、SOFF に 0 をライトしたとき ［セット条件］ USB ファンクションコアが SOF（Start of Frame）を検出したとき

ビット	ビット名	初期値	R/W	説　明
2	SPNDOF	0	R/(W)*	サスペンド OUT 割り込みフラグ USB ファンクションコアがバス状態の変化を検出し、サスペンド状態から通常の状態に遷移したことを示すステータスフラグです。 USBIER0 の SPNDE ビットが 1 のとき、USBID 割り込みがスレーブ CPU に要求されます。 ［クリア条件］ SPNDOF＝1 の状態で SPNDOF をリード後、SPNDOF に 0 をライトしたとき ［セット条件］ USB ファンクションコアがサスペンド状態から通常の状態に遷移したとき
1	SPNDIF	0	R/(W)*	サスペンド IN 割り込みフラグ USB ファンクションコアが規定時間以上のバスアイドルを検出し、通常の状態からサスペンド状態に遷移したことを示すステータスフラグです。 USBIER0 の SPNDE ビットが 1 のとき、USBID 割り込みがスレーブ CPU に要求されます。 ［クリア条件］ SPNDIF＝1 の状態で SPNDIF をリード後、SPNDIF に 0 をライトしたとき ［セット条件］ USB ファンクションコアが通常の状態からサスペンド状態に遷移したとき
0	SETUPF	0	R/(W)*	セットアップ割り込みフラグ USBMDCR の SETICNT ビットの値によって意味が異なります。 SETICNT＝0 のとき、USB ファンクションコアのエンドポイント 0 がセットアップトークンを受信したことを示すステータスフラグです。 SETICNT＝1 のとき、USB ファンクションコアのエンドポイント 0 がスレーブ CPU でデコードすべきセットアップコマンドを受信したことを示すステータスフラグです。 USBIER0 の SETUPE ビットが 1 のとき、USBIA 割り込みがスレーブ CPU に要求されます。 ［クリア条件］ SETUPF＝1 の状態で SETUPF をリード後、SETUPF に 0 をライトしたとき ［セット条件］ • USB ファンクションコアのエンドポイント 0 がセットアップトークンを受信したとき（SETICNT＝0 のとき） • USB ファンクションコアのエンドポイント 0 がスレーブ CPU でデコードすべきセットアップコマンドを受信したとき（SETICNT＝1 のとき）

【注】* フラグをクリアするための 0 ライトのみ可能です。

- USBIFR1

ビット	ビット名	初期値	R/W	説　明
7〜2	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
1	SETC	0	R/(W)*	SetConfiguration コマンド検出割り込みフラグ USB ファンクションコアが SetConfiguration コマンドを検出したことを示すステータスフラグです。 USBIER1 の SETCE ビットが 1 のとき、USBID 割り込みがスレーブ CPU に要求されます。 ［クリア条件］ SETC＝1 の状態で SETC をリード後、SETC に 0 をライトしたとき ［セット条件］ USB ファンクションコアが SetConfiguration コマンドを検出したとき
0	SETI	0	R/(W)*	SetInterface コマンド検出割り込みフラグ USB ファンクションコアが SetInterface コマンドを検出したことを示すステータスフラグです。 USBIER1 の SETIE ビットが 1 のとき、USBID 割り込みがスレーブ CPU に要求されます。 ［クリア条件］ SETI＝1 の状態で SETI をリード後、SETI に 0 をライトしたとき ［セット条件］ USB ファンクションコアが SetInterface コマンドを検出したとき

【注】＊ フラグをクリアするための 0 ライトのみ可能です。

18.3.9　転送正常終了割り込みフラグレジスタ 0（TSFR0）

TSFR0 には、USB ファンクションコアの各エンドポイントのホスト入力転送／ホスト出力転送のトランザクションが正常に終了したことを示すステータスフラグがあります。トランザクションの正常終了の条件は、ホスト入力転送の場合は ACK ハンドシェークの受信、ホスト出力転送の場合は ACK ハンドシェークの送信です。

TSFR0 は、システムリセットおよびファンクションソフトリセット（「18.3.16　USB コントロールレジスタ 0、1（USBCR0、USBCR1）」参照）により H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説　明
7	—	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
6	EP5TS	0	R/(W)*	エンドポイント 5 トランスファサクセスフラグ エンドポイント 5 のホスト出力転送が正常に終了したことを示します。ただし、RAM-FIFO がフルかつ受信バッファにデータが存在した状態でホスト出力転送が正常に終了した場合、このビットは 1 にセットされずに UDTRFR の EP5UDTR ビットに 1 がセットされます。詳細は「18.3.20　RFU/FIFO 読み出し要求フラグレジスタ（UDTRFR）」を参照してください。 0：エンドポイント 5 は転送待ち状態 [クリア条件] EP5TS＝1 の状態で EP5TS をリード後、EP5TS に 0 をライトしたとき 1：エンドポイント 5 のホスト出力転送（OUT トランザクション）が正常終了 [セット条件] OUT トークン受信、データ転送後に ACK ハンドシェーク成立（ACK 送信）し、RFU による FIFO 操作正常終了
5	EP4TS	0	R/(W)*	エンドポイント 4 トランスファサクセスフラグ エンドポイント 4 のホスト入力転送が正常に終了したことを示します。 0：エンドポイント 4 は転送待ち状態 [クリア条件] EP4TS＝1 の状態で EP4TS をリード後、EP4TS に 0 をライトしたとき 1：エンドポイント 4 のホスト入力転送（IN トランザクション）が正常終了 [セット条件] IN トークン受信、データ転送後に ACK ハンドシェーク成立（ACK 受信）し、RFU による FIFO 操作正常終了
4	EP3TS	0	R/(W)*	エンドポイント 3 トランスファサクセスフラグ エンドポイント 3 のホスト入力転送が正常に終了したことを示します。 0：エンドポイント 3 は転送待ち状態 [クリア条件] EP3TS＝1 の状態で EP3TS をリード後、EP3TS に 0 をライトしたとき 1：エンドポイント 3 のホスト入力転送（IN トランザクション）が正常終了 [セット条件] IN トークン受信、データ転送後に ACK ハンドシェーク成立（ACK 受信）

ビット	ビット名	初期値	R/W	説　明
3	EP2TS	0	R/(W)*	エンドポイント 2 トランスファサクセスフラグ エンドポイント 2 のホスト入力転送またはホスト出力転送が正常に終了したことを示します。 0：エンドポイント 2 は転送待ち状態 [クリア条件] EP2TS＝1 の状態で EP2TS をリード後、EP2TS に 0 をライトしたとき 1：エンドポイント 2 のホスト入力転送（IN トランザクション）またはホスト出力転送（OUT トランザクション）が正常終了 [セット条件] • IN トークン受信、データ転送後に ACK ハンドシェーク成立（ACK 受信） • OUT トークン受信、データ転送後に ACK ハンドシェーク成立（ACK 送信）
2	EP1TS	0	R/(W)*	エンドポイント 1 トランスファサクセスフラグ エンドポイント 1 のホスト入力転送が正常に終了したことを示します。 0：エンドポイント 1 は転送待ち状態 [クリア条件] EP1TS＝1 の状態で EP1TS をリード後、EP1TS に 0 をライトしたとき 1：エンドポイント 1 のホスト入力転送（IN トランザクション）が正常終了 [セット条件] IN トークン受信、データ転送後に ACK ハンドシェーク成立（ACK 受信）
1	EP0ITS	0	R/(W)*	エンドポイント 0 ホスト入力トランスファサクセスフラグ エンドポイント 0 のホスト入力転送が正常に終了したことを示します。 0：エンドポイント 0 はホスト入力転送待ち状態 [クリア条件] • EP0ITS＝1 の状態で EP0ITS をリード後、EP0ITS に 0 をライトしたとき • エンドポイント 0 が SETUP トークンを受信 1：エンドポイント 0 のホスト入力転送（IN トランザクション）が正常終了 [セット条件] IN トークン受信、データ転送後に ACK ハンドシェーク成立（ACK 受信）

ビット	ビット名	初期値	R/W	説　明
0	EP0OTS	0	R/(W)*	エンドポイント 0 ホスト出力トランスファサクセスフラグ エンドポイント 0 のホスト出力転送が正常終了したことを示します。エンドポイント 0 へのホスト出力転送には、OUT トランザクションと SETUP トランザクションがあります。これらはデータ転送に関しては同様の動作をしますが、フラグの扱いが異なります。SETUP トランザクションで転送されるコマンドの多くは USB ファンクションコア内部で処理されるため、EP0OTS フラグは 1 にセットされずに、TFFR0 の EP0OTF フラグが 1 にセットされます。USB ファンクションコア内部で処理できないコマンドは、EP0OTS フラグが 1 にセットされます。ただし、USBMDCR の SETICNT ビットが 1 にセットされているときは、SETUP トランザクションで転送されるコマンドが USB ファンクション内部でデコードできる、できないに関わらず、EP0OTS フラグも EP0OTF フラグも 1 にセットされません。 0：エンドポイント 0 はホスト出力転送待ち状態 [クリア条件] • EP0OTS＝1 の状態で EP0OTS をリード後、EP0OTS に 0 をライトしたとき • エンドポイント 0 が SETUP トークン受信 1：エンドポイント 0 のホスト出力転送（OUT トランザクションまたは SETUP トランザクション）が正常終了 [セット条件] • OUT トークン受信、データ転送後に ACK ハンドシェーク成立（ACK 送信） • SETUP トークン受信後に受信したコマンドがスレーブ CPU で処理が必要であった場合（SETICNT＝0 のとき）

【注】* フラグをクリアするための 0 ライトのみ可能です。

18.3.10 転送異常終了割り込みフラグレジスタ 0（TFFR0）

TFFR0 には、USB ファンクションコアの各エンドポイントのホスト入力転送／ホスト出力転送のトランザクションが正常に終了しなかったことを示すステータスフラグがあります。トランザクションの異常終了の条件は、ホスト入力転送の場合は NAK ハンドシェーク受信、または転送データなし（FVSR＝FIFO サイズ：FIFO エンプティ）による NAK ハンドシェーク送信、ホスト出力転送の場合はデータ転送中に FIFO フルなどによる NAK ハンドシェーク送信、または各種の通信異常（DATA0／DATA1 のトグルエラー、ビットスタッフィングエラー、ビット数異常、CRC エラー、Max Packet Size を超えるバイト数の転送など）です。

TFFR0 は、システムリセットおよびファンクションソフトリセット（「18.3.16 USB コントロールレジスタ 0、1（USBCR0、USBCR1）」参照）により H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説　明
7	—	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
6	EP5TF	0	R/(W)*	エンドポイント 5 トランスファフェイルフラグ エンドポイント 5 のホスト出力転送が正常に終了しなかったことを示します。 0：エンドポイント 5 は転送待ち状態 [クリア条件] EP5TF＝1 の状態で EP5TF をリード後、EP5TF に 0 をライトしたとき 1：エンドポイント 5 のホスト出力転送（OUT トランザクション）が異常終了 [セット条件] • OUT トークン受信後に RFU 対応受信用バッファおよび FIFO フルによりデータ受信不可（NAK 送信） • OUT トークン受信後に各種の通信異常
5	EP4TF	0	R/(W)*	エンドポイント 4 トランスファフェイルフラグ エンドポイント 4 のホスト入力転送が正常に終了しなかったことを示します。 0：エンドポイント 4 は転送待ち状態 [クリア条件] EP4TF＝1 の状態で EP4TF をリード後、EP4TF に 0 をライトしたとき 1：エンドポイント 4 のホスト入力転送（IN トランザクション）が異常終了 [セット条件] • IN トークン受信、データ転送後に ACK ハンドシェーク不成立 • IN トークン受信後に RFU 対応受信バッファおよび FIFO エンプティによりデータ転送不可（NAK 送信）

ビット	ビット名	初期値	R/W	説　明
4	EP3TF	0	R/(W)*	エンドポイント 3 トランスファフェイルフラグ エンドポイント 3 のホスト入力転送が正常に終了しなかったことを示します。 0：エンドポイント 3 は転送待ち状態 [クリア条件] EP3TF＝1 の状態で EP3TF をリード後、EP3TF に 0 をライトしたとき 1：エンドポイント 3 のホスト入力転送（IN トランザクション）が異常終了 [セット条件] • IN トークン受信、データ転送後に ACK ハンドシェーク不成立 • IN トークン受信後に FIFO エンプティによりデータ転送不可（NAK 送信）
3	EP2TF	0	R/(W)*	エンドポイント 2 トランスファフェイルフラグ エンドポイント 2 のホスト入力転送またはホスト出力転送が正常に終了しなかったことを示します。 0：エンドポイント 2 は転送待ち状態 [クリア条件] EP2TF＝1 の状態で EP2TF をリード後、EP2TF に 0 をライトしたとき 1：エンドポイント 2 のホスト入力転送（IN トランザクション）またはホスト出力転送（OUT トランザクション）が異常終了 [セット条件] • IN トークン受信、データ転送後に ACK ハンドシェーク不成立 • IN トークン受信後に FIFO エンプティによりデータ転送不可（NAK 送信） • OUT トークン受信後に FIFO フルによりデータ受信不可（NAK 送信） • OUT トークン受信後に各種の通信異常
2	EP1TF	0	R/(W)*	エンドポイント 1 トランスファフェイルフラグ エンドポイント 1 のホスト入力転送が正常に終了しなかったことを示します。 0：エンドポイント 1 は転送待ち状態 [クリア条件] EP1TF＝1 の状態で EP1TF をリード後、EP1TF に 0 をライトしたとき 1：エンドポイント 1 のホスト入力転送（IN トランザクション）が異常終了 [セット条件] • IN トークン受信、データ転送後に ACK ハンドシェーク不成立 • IN トークン受信後に FIFO エンプティによりデータ転送不可（NAK 送信）

ビット	ビット名	初期値	R/W	説　明
1	EP0ITF	0	R/(W)*	エンドポイント 0 ホスト入力トランスファフェイルフラグ エンドポイント 0 のホスト入力転送が正常に終了しなかったことを示します。 0：エンドポイント 0 はホスト入力転送待ち状態 [クリア条件] • EP0ITF＝1 の状態で EP0ITF をリード後、EP0ITF に 0 をライトしたとき • エンドポイント 0 が SETUP トークンを受信 1：エンドポイント 0 のホスト入力転送（IN トランザクション）が異常終了 [セット条件] • IN トークン受信、データ転送後に ACK ハンドシェーク不成立 • IN トークン受信後に FIFO エンプティによりデータ転送不可（NAK 送信）
0	EP0OTF	0	R/(W)*	エンドポイント 0 ホスト出力トランスファフェイルフラグ エンドポイント 0 のホスト出力転送が正常に終了しなかったことを示します。エンドポイント 0 へのホスト出力転送には、OUT トランザクションと SETUP トランザクションがあります。これらはデータ転送に関しては同様の動作をしますが、フラグの扱いが異なります。SETUP トランザクションで転送されるコマンドの多くは USB ファンクションコア内部で処理されるため、TSFR0 の EP0OTS フラグは 1 にセットされずに、EP0OTF フラグが 1 にセットされます。USB ファンクションコア内部で処理できないコマンドは、EP0OTS フラグが 1 にセットされます。ただし、USBMDCR の SETICNT ビットが 1 にセットされているときは、SETUP トランザクションで転送されるコマンドが USB ファンクション内部でデコードできる、できないに関わらず、EP0OTS フラグも EP0OTF フラグも 1 にセットされません。 0：エンドポイント 0 はホスト出力転送待ち状態 [クリア条件] • EP0OTF＝1 の状態で EP0OTF をリード後、EP0OTF に 0 をライトしたとき • エンドポイント 0 が SETUP トークン受信 1：エンドポイント 0 のホスト出力転送（OUT トランザクションまたは SETUP トランザクション）が異常終了 [セット条件] • OUT トークン受信後に FIFO フルによりデータ転送不可（NAK 送信） • OUT トークン受信後に EP0OTC＝0 によりデータ転送不可（NAK 送信） • OUT トークン受信後に各種の通信異常 • SETUP トークン受信後に受信したコマンドが USB ファンクションコア内で処理可能であった場合（SETICNT＝0 のとき）

【注】* フラグをクリアするための 0 ライトのみ可能です。

18.3.11 USB コントロール／ステータスレジスタ 0（USBCSR0）

USBCSR0 は、USB ファンクションコアの動作を制御します。

USBCSR0 は、システムリセットおよびファンクションソフトリセット（「18.3.16 USB コントロールレジスタ 0、1（USBCR0、USBCR1）」参照）により H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説　明
7〜4	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3	EP0STOP	0	R/W	エンドポイント 0 ストップ USB ファンクションコアのエンドポイント 0 の FIFO の内容を保護するビットです。このビットを 1 にセットすることにより、SETUP トランザクションにより EP0 の OUT-FIFO へ転送されたデータを保護することができます。 0：EP0 の OUT-FIFO は動作状態 [クリア条件] • システムリセット • ファンクションソフトリセット 1：EP0 の OUT-FIFO は読み出し停止状態 • EPDR0O のリードにより FVSR0O の内容は変化しない EP0 の専用 FIFO は書き込み／転送停止状態 • EPDR0I のライトにより FIFO の内容は変化しない • EP0ITE のセットにより FVSR0I の内容は変化しない
2	EPIVLD	0	R/(W)*	エンドポイントインフォメーションバリッド USB ファンクションコアを動作可能にするためのビットです。USB ファンクションコアを動作可能にするプロセスの一部に、エンドポイントインフォメーションの設定があります。システムリセットおよびファンクションソフトリセット後には USB ファンクションコアはエンドポイントの情報を持たない状態になっています。本 LSI に内蔵する USB ファンクションコアのエンドポイントインフォメーション（「18.4.7 USB モジュールの起動シーケンス」参照）は、EPDR0I に順次書き込むことで設定できます。すべてのデータをライトした後に、このビットを 1 にセットすることにより、ライトしたエンドポイントインフォメーションが有効になります。 0：エンドポイントインフォメーション（EPINFO）は未設定 [クリア条件] • システムリセット • ファンクションソフトリセット 1：エンドポイントインフォメーション（EPINFO）は設定済み

ビット	ビット名	初期値	R/W	説　明
1	EP0OTC	0	R/W	**エンドポイント 0O トランスファコントロール** USB ファンクションコアのエンドポイント 0 のコントロール転送を制御するビットです。このビットを 0 にクリアすることにより、EP0 の OUT-FIFO への書き込みが禁止されます。これに起因する転送異常終了割り込みにより、コントロール転送内のデータ転送方向の変化を知ることができます。コントロール転送では、SETUP トランザクション（セットアップステージ）でコマンドを受信した後、OUT トランザクションまたは IN トランザクションでデータの転送（データステージ）を行い、最後にそれぞれ IN トランザクションまたは OUT トランザクションでハンドシェークに相当する転送（ステータスステージ）を行います。 このビットは、SETUP トークンを受信すると 1 にセットされ、さらに FVSR が初期化されてコマンドデータを受信可能になります。このビットはコマンドデータ受信が完了すると 0 にクリアされ、EP0 の OUT-FIFO の内容は保護されます。コマンドが USB ファンクションコアで自動的に処理できない場合は、TSFR0 の EP0OTS フラグが 1 にセットされるので、スレーブ CPU はコマンドの解析を行う必要があります。 コマンドの解析の結果、データステージとして OUT トランザクションが続く場合には、スレーブ CPU はこのビットを 1 にセットして OUT トランザクションに備える必要があります。データステージとして IN トランザクションが続く場合には、スレーブ CPU はこのビットを 0 にクリアされたままにしておきます。ステータスステージとしてホスト CPU が OUT トランザクションを開始すると、TFFR0 の EP0OTF フラグが 1 にセットされ転送異常終了割り込みが発生するため、スレーブ CPU はデータステージの終了を知ることができます。スレーブ CPU はこの割り込みでこのビットを 1 にセットして、ステータスステージのデータの再転送を受信します。 0：EP0 の OUT-FIFO は書き込み停止状態 （後続の EP0 の OUT-FIFO へのライトは無効） [クリア条件] • システムリセット • ファンクションソフトリセット • SETUP トランザクションでコマンドデータ受信（EP0OTS フラグセット） 1：EP0 の OUT-FIFO は動作状態 [セット条件] • SETUP トークン受信 • EP0OTC ビットの 0 リード後の 1 ライト
0	−	0	R/(W)	リザーブビット 初期値を変更しないでください。

【注】 * 0 ライトは無効です。

18.3.12 エンドポイントストールレジスタ 0（EPSTLR0）

EPSTLR0 は、USB ファンクションコアの各エンドポイントをストール状態に設定します。EPSTL ビットが 1 にセットされているエンドポイントは、ホストからのトークン受信によるトランザクション開始に対して、STALL ハンドシェークによる応答を行います。ストール状態（STALL ハンドシェーク応答を行う状態）は、USB ファンクションコア側とホスト側の両方から設定が可能です。ストール状態の解除は、ホスト側からのみ可能です。ストール状態は、USB ファンクションコアの内部ビットに設定されています。この内部ビットは、ホストの SetFeature／ClearFeature コマンドによりセット／クリアが可能です。また、EPSTL ビットが 1 にセットされていると STALL ハンドシェーク応答を行った場合、この内部ビットはストール状態に設定されます。ホストが内部ビットをクリアしても、EPSTL ビットが 1 にセットされている限り、次のトランザクションでまた内部ビットがストール状態にセットされます。

EPSTLR0 は、システムリセットおよびファンクションソフトリセット（**「18.3.16 USB コントロールレジスタ 0、1（USBCR0、USBCR1）」**参照）により H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説　明
7	—	0	R	**リザーブビット** **リードすると常に 0 が読み出されます。ライトは無効です。**
6	EP5STL	0	R/W	**エンドポイント 5 ストール** **エンドポイント 5 をストール状態に設定します。** **0：エンドポイント 5 は動作状態** **（ClearFeature コマンドによりストール状態解除可能）** **［クリア条件］（SCME＝1 のとき）** **エンドポイント 5 の STALL ハンドシェーク応答を行ったとき** **1：エンドポイント 5 はストール状態** **［セット条件］（SCME＝1 のとき）** **EP5STL＝0 の状態で EP5STL をリード後、EP5STL に 1 をライトしたとき**
5	EP4STL	0	R/W	**エンドポイント 4 ストール** **エンドポイント 4 をストール状態に設定します。** **0：エンドポイント 4 は動作状態** **（ClearFeature コマンドによりストール状態解除可能）** **［クリア条件］（SCME＝1 のとき）** **エンドポイント 4 の STALL ハンドシェーク応答を行ったとき** **1：エンドポイント 4 はストール状態** **［セット条件］（SCME＝1 のとき）** **EP4STL＝0 の状態で EP4STL をリード後、EP4STL に 1 をライトしたとき**

ビット	ビット名	初期値	R/W	説　明
4	EP3STL	0	R/W	エンドポイント 3 ストール エンドポイント 3 をストール状態に設定します。 0：エンドポイント 3 は動作状態 （ClearFeature コマンドによりストール状態解除可能） ［クリア条件］（SCME＝1 のとき） エンドポイント 3 の STALL ハンドシェーク応答を行ったとき 1：エンドポイント 3 はストール状態 ［セット条件］（SCME＝1 のとき） EP3STL＝0 の状態で EP3STL をリード後、EP3STL に 1 をライトしたとき
3	EP2STL	0	R/W	エンドポイント 2 ストール エンドポイント 2 をストール状態に設定します。 0：エンドポイント 2 は動作状態 （ClearFeature コマンドによりストール状態解除可能） ［クリア条件］（SCME＝1 のとき） エンドポイント 2 の STALL ハンドシェーク応答を行ったとき 1：エンドポイント 2 はストール状態 ［セット条件］（SCME＝1 のとき） EP2STL＝0 の状態で EP2STL をリード後、EP2STL に 1 をライトしたとき
2	EP1STL	0	R/W	エンドポイント 1 ストール エンドポイント 1 をストール状態に設定します。 0：エンドポイント 1 は動作状態 （ClearFeature コマンドによりストール状態解除可能） ［クリア条件］（SCME＝1 のとき） エンドポイント 1 の STALL ハンドシェーク応答を行ったとき 1：エンドポイント 1 はストール状態 ［セット条件］（SCME＝1 のとき） EP1STL＝0 の状態で EP1STL をリード後、EP1STL に 1 をライトしたとき
1	—	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
0	EP0STL	0	R/(W)*	エンドポイント 0 ストール エンドポイント 0 をストール状態に設定します。 0：エンドポイント 0 は動作状態 （ClearFeature コマンドによりストール状態解除可能） ［クリア条件］ エンドポイント 0 が SETUP トークン受信 1：エンドポイント 0 はストール状態 ［セット条件］ EP0STL＝0 の状態で EP0STL をリード後、EP0STL に 1 をライトしたとき

【注】 * 0 ライトは無効です。

18.3.13 エンドポイントリセットレジスタ 0（EPRSTR0）

EPRSTR0 は、USB ファンクションコアの各エンドポイントに対応する FIFO のポインタをリセットします。

ビット	ビット名	初期値	R/W	説　明
7	—	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
6	EP5RST	0	R/(W)*	エンドポイント 5 リセット エンドポイント 5 の FIFO を初期化します。 0：通常リード値 1：エンドポイント 5 の FIFO ポインタのリセットコマンドを RFU に発行
5	EP4RST	0	R/(W)*	エンドポイント 4 リセット エンドポイント 4 の FIFO を初期化します。 0：通常リード値 1：エンドポイント 4 の FIFO ポインタのリセットコマンドを RFU に発行
4	EP3RST	0	R/(W)*	エンドポイント 3 リセット エンドポイント 3 の FIFO を初期化します。 0：通常リード値 1：FVSR3 を H'0008 に初期化
3	EP2RST	0	R/(W)*	エンドポイント 2 リセット エンドポイント 2 の FIFO を初期化します。 0：通常リード値 1：FVSR2 を H'0000 に初期化（EP2DIR＝0 のとき） FVSR2 を H'0010 に初期化（EP2DIR＝1 のとき）
2	EP1RST	0	R/(W)*	エンドポイント 1 リセット エンドポイント 1 の FIFO を初期化します。 0：通常リード値 1：FVSR1 を H'0010 に初期化（EP1 の FIFO サイズ 16 バイト） FVSR1 を H'0020 に初期化（EP1 の FIFO サイズ 32 バイト）
1	EP0IRST	0	R/(W)*	エンドポイント 0I リセット エンドポイント 0I の FIFO を初期化します。 0：通常リード値 1：FVSR0I を H'0010 に初期化
0	EP0ORST	0	R/(W)*	エンドポイント 0O リセット エンドポイント 0O の FIFO を初期化します。 0：通常リード値 1：FVSR0O を H'0000 に初期化

【注】* 1 ライトのみ可能です。

18.3.14 デバイスレジュームレジスタ（DEVRSMR）

DEVRSMR には、リモートウェイクアップの許可／禁止の状態を示すフラグと USB ファンクションコアのサスペンド状態のリモートウェイクアップを制御するビットがあります。

DEVRSMR は、システムリセットおよびファンクションソフトリセットにより（**「18.3.16 USB コントロールレジスタ 0、1（USBCR0、USBCR1）」**参照）H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説　明
7〜2	—	すべて 0	R	**リザーブビット** **リードすると常に 0 が読み出されます。ライトは無効です。**
1	RWUPS	0	R	**リモートウェイクアップステータス** **USB ファンクションコアのリモートウェイクアップの許可または禁止状態を示します。状態の変更はホストからのコマンドによってのみ可能です。** **0：リモートウェイクアップ禁止状態** **1：リモートウェイクアップ許可状態**
0	DVR	0	R/(W)*	**デバイスレジューム** **サスペンド状態を解除します。** **0：通常リード値** **1：サスペンド状態を解除（リモートウェイクアップ）**

【注】 * **1 ライトのみ可能です。**

18.3.15 割り込み要因セレクトレジスタ 0（INTSELR0）

INTSELR0 は、USB モジュールの USBIB および USBIC 割り込み要因を選択します。

INTSELR0 は、システムリセットおよびファンクションソフトリセット（**「18.3.16 USB コントロールレジスタ 0、1（USBCR0、USBCR1）」**参照）により H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説　明
7	TSELB	0	R/W	**トランスファセレクト B** **EPIBS2〜EPIBS0 ビットとともに、USBIB 割り込みのソースを選択します。** **0：USBIB 割り込みは USBIFR0 の TS フラグによる割り込みで要求され、TS フラグによる割り込みのソースとなるエンドポイントは EPIBS2〜EPIBS0 ビットで指定される** **1：USBIB 割り込みは USBIFR0 の TF フラグによる割り込みで要求され、TF フラグによる割り込みのソースとなるエンドポイントは EPIBS2〜EPIBS0 ビットで指定される**

ビット	ビット名	初期値	R/W	説　明
6	EPIBS2	0	R/W	割り込み B エンドポイントセレクト 2～0
5	EPIBS1	0	R/W	TSELB ビットとともに、USBIB 割り込みのソースを選択します。
4	EPIBS0	0	R/W	000：エンドポイント非選択状態 001：エンドポイント 1 を選択 010：エンドポイント 2 を選択 011：エンドポイント 3 を選択 100：エンドポイント 4 を選択 101：エンドポイント 5 を選択 11∗：設定禁止
3	TSELC	0	R/W	トランスファセレクト C EPICS2～EPICS0 ビットとともに、USBIC 割り込みのソースを選択します。 0：USBIC 割り込みは USBIFR0 の TS フラグによる割り込みで要求され、TS フラグによる割り込みのソースとなるエンドポイントは EPICS2～EPICS0 ビットで指定される 1：USBIC 割り込みは USBIFR0 の TF フラグによる割り込みで要求され、TF フラグによる割り込みのソースとなるエンドポイントは EPICS2～EPICS0 ビットで指定される
2	EPICS2	0	R/W	割り込み C エンドポイントセレクト 2～0
1	EPICS1	0	R/W	TSELC ビットとともに、USBIC 割り込みのソースを選択します。
0	EPICS0	0	R/W	000：エンドポイント非選択状態 001：エンドポイント 1 を選択 010：エンドポイント 2 を選択 011：エンドポイント 3 を選択 100：エンドポイント 4 を選択 101：エンドポイント 5 を選択 11∗：設定禁止

【記号説明】∗：Don't care

18.3.16 USB コントロールレジスタ 0、1（USBCR0、USBCR1）

USBCR0 は、USB モジュールのデータ入出力方法の選択、および各部の動作状態、リセット状態を制御します。USBCR1 は、バスドライバ／レシーバおよび USB ファンクションコアへのクロック供給を制御します。

USBCR0 は、システムリセットにより H'7F に初期化されます。

USBCR1 は、システムリセットにより H'00 に初期化されます。

- USBCR0

ビット	ビット名	初期値	R/W	説　明
7	FADSEL	0	R/W	ファンクション入出力アナログ／デジタル選択 USB モジュールのデータ入出力の方法を選択します。 0：USB モジュールのデータ入出力は USDP、USDM 端子を使用 1：USB モジュールのデータ入出力は、Philips 社製 PDIUSBP11A 互換ドライバ／レシーバの制御入出力をポート 6 端子にマルチプレクスして実現（表 18.3 参照）
6	—	1	R	リザーブビット
5	—	1	R	リードすると常に 1 が読み出されます。ライトは無効です。
4	UIFRST	1	R/W	USB インタフェースソフトリセット EP4PKTSZR、EPSZR1、USBIER0、USBIER1、USBMDCR、EPDIR0、INTSELR0 をリセットするビットです。 0：動作状態に設定 1：リセット状態に設定
3	—	1	R	リザーブビット
2	—	1	R	リードすると常に 1 が読み出されます。ライトは無効です。
1	FPLLRST	1	R/W	ファンクション部 PLL ソフトリセット USB ファンクションコア内部の USB バスクロック回路（DPLL）をリセットするビットです。このビットを 1 にセットすると USB ファンクションコア内部の DPLL がリセットされ、バスクロック同期動作が停止します。このビットは PLL の動作が安定した後 0 にクリアしてください。 0：DPLL を動作状態に設定 1：DPLL をリセット状態に設定
0	FSRST	1	R/W	ファンクションコア内部状態ソフトリセット USB ファンクションコアの内部状態をリセットするビットです。 このビットを 1 にセットすると、USB ファンクションコアのバスクロック回路（DPLL）を除く内部状態が初期化されます。このビットは DPLL の動作が安定した後 0 にクリアしてください。FSRST＝1 かつ UIFRST＝1 の状態をファンクションソフトリセットと呼びます。 0：USB ファンクションコアを動作状態に設定 1：USB ファンクションコアの内部状態をリセット状態に設定（DPLL を除く）

• USBCR1

ビット	ビット名	初期値	R/W	説　明
7〜2	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
1	VBUSS	0	R/W	VBUS ステータス バスドライバ／レシーバの貫通電流防止を、VBUS ライン（USB ケーブル）の接続状態を設定することにより制御します。VBUS の状態のモニタ回路は、外部割込みや汎用ポートを用いて構成する必要があります。また、外付けのプルアップ抵抗の ON/OFF も汎用ポートを用いて制御する必要があります。 0：VBUS 切断状態での貫通電流防止 USDP、USDM 端子はハイインピーダンス状態 1：VBUS 接続状態 USDP 端子はプルアップ、USDM 端子はプルダウン状態
0	CK48-READY	0	R/W	USB ファンクションコアへのバスクロック（48MHz）供給を制御します。サスペンド／レジューム状態で PLL の動作停止／起動を行う場合、PLL 停止前にクロック供給を停止し、PLL 起動後 PLL 動作が安定してからクロック供給を再開します。 0：USB ファンクションコアへバスクロック供給を停止 1：USB ファンクションコアへバスクロック供給を許可

表 18.3　ポート 6 の機能

ポート 6	Philips 社製 PDIUSBP11A 互換ドライバ／レシーバの制御入出力		
P67（DPLS）	入力	VP	差動入力（+）
P66（DMNS）	入力	VM	差動入力（−）
P65（XVERDATA）	入力	RCV	データ入力
P64（TXDPLS）	出力	VPO	差動出力（+）
P63（TXDMNS）	出力	VMO	差動出力（−）
P62（TXENL）	出力	$\overline{OE}$	出力イネーブル
P61（SUSPEND）	出力	SUSPEND	サスペンド設定
P60（SPEED）	出力	SPEED	スピード設定（12Mbps 仕様のため High レベル固定出力）

18.3.17 USB PLL コントロールレジスタ（UPLLCR）

UPLLCR は、USB ファンクションコアの動作クロックの生成方法を制御します。

UPLLCR は、システムリセットにより H'01 に初期化されます。

ビット	ビット名	初期値	R/W	説　明
7	—	0	R	リザーブビット
6	—	0	R	リードすると常に 0 が読み出されます。ライトは無効です。
5	PFSEL2	0	R/W	PLL 周波数セレクト 2 PFSEL1、PFSEL0 ビットとともに USB 動作クロック生成回路（PLL）に供給するクロック周波数を選択します。詳細は PFSEL1、PFSEL0 ビットを参照してください。
4	CKSEL2	0	R/W	クロックソースセレクト 2〜0
3	CKSEL1	0	R/W	USB 動作クロック生成回路（PLL）に供給するクロックソースを選択します。
2	CKSEL0	0	R/W	0＊＊：PLL 動作停止、クロック入力停止 100：設定禁止 101：PLL 動作停止 USEXCL 端子入力（48MHz）を PLL 出力の代りに使用 110：PLL はシステムクロック発振器（XTAL）をクロックソースとして動作 111：PLL は USEXCL 端子入力をクロックソースとして動作
1	PFSEL1	0	R/W	PLL 周波数セレクト 1、0
0	PFSEL0	1	R/W	USB 動作クロック生成回路（PLL）に供給するクロック周波数を選択します。 PLL はここで選択された周波数をクロックソースの周波数として、48MHz の USB 動作クロックを生成します。 000：PLL 入力クロックは 8MHz 001：PLL 入力クロックは 12MHz 010：PLL 入力クロックは 16MHz 011：PLL 入力クロックは 20MHz 100：PLL 入力クロックは 24MHz 上記以外：設定禁止

【記号説明】＊：Don’t care

18.3.18 コンフィギュレーションバリューレジスタ（CONFV）

CONFV には、SetConfiguration、SetInterface コマンドにより、ホストで選択されたコンフィギュレーション値、インタフェース値、オルタネート値が格納されます。

CONFV は、システムリセットおよびファンクションソフトリセット（「18.3.16 USB コントロールレジスタ 0、1（USBCR0、USBCR1）」参照）により H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説　明
7〜6	—	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
5	CONFV0	0	R	コンフィギュレーション値
4	INTV1	0	R	インタフェース値
3	INTV0	0	R	
2	ALTV2	0	R	オルタネート値
1	ALTV1	0	R	
0	ALTV0	0	R	

18.3.19 エンドポイント 4 パケットサイズレジスタ（EP4PKTSZR）

EP4PKTSZR は、エンドポイント 4 の最大パケットサイズ（Max Packet Size）を設定するレジスタです。本 LSI では 64 バイトのみ設定可能です。エンドポイント 4 は RFU から送信データの供給を受けます。パケットサイズの管理は USB モジュール側が行っており、RFU への送信データ供給の要求は、送信バイト数が EP4PKTSZR に達するまで続けられます。

EP4PKTSZR は、システムリセットおよびファンクションソフトリセット（「18.3.16 USB コントロールレジスタ 0、1（USBCR0、USBCR1）」参照）により H'40 に初期化されます。

ビット	ビット名	初期値	R/W	説　明
7	PS7	0	R/W	EP4 の最大パケットサイズ
6	PS6	1	R/W	H'40：64 バイト
5	PS5	0	R/W	上記以外は設定禁止
4	PS4	0	R/W	
3	PS3	0	R/W	
2	PS2	0	R/W	
1	PS1	0	R/W	
0	PS0	0	R/W	

18.3.20 RFU/FIFO 読み出し要求フラグレジスタ（UDTRFR）

UDTRFR には、エンドポイント 5 のデータ転送完了状態を示すフラグがあります。エンドポイント 5 は USB モジュール内に受信バッファを 2 バイト持ち、ホストから受信したデータをいったん受信バッファに保持し、RFU により RAM-FIFO へデータを転送します。RFU による転送が完了するまで受信データを保持します。

一方、RAM-FIFO がフルになり、受信バッファにデータが 1 バイトまたは 2 バイト存在する状態でトランザクション自体が正常終了する場合があります。このとき、TSFR0 の EP5TS ビットは 1 にセットされず、EP5UDTR ビットが 1 にセットされます。RAM-FIFO に 2 バイト以上の空きがある状態で、EP5UDTR ビットを 0 にクリアすることにより、受信バッファに存在するデータが RAM-FIFO に転送され、転送完了後 EP5TS ビットに 1 がセットされます。

スレーブ CPU は UDTR 割り込みにより RAM-FIFO の空きを 2 バイト以上作り、EP5UDTR ビットを 0 にクリアする必要があります。

UDTRFR は、システムリセットおよびファンクションソフトリセット（**「18.3.16 USB コントロールレジスタ 0、1（USBCR0、USBCR1）」**参照）により H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説　明
7～1	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
0	EP5UDTR	0	R/(W)	エンドポイント 5　RFU/FIFO 読み出し要求フラグ 0：エンドポイント 5 受信バッファは空 1：エンドポイント 5 受信バッファにデータが存在 [クリア条件] EP5UDTR=1 の状態で EP5UDTR をリード後、EP5UDTR に 0 をライトしたとき [セット条件] RAM-FIFO がフルかつ受信バッファにデータが存在した状態で USB 転送が正常終了

18.3.21 USB モードコントロールレジスタ（USBMDCR）

USBMDCR は、SETUP トランザクション時の動作の制御とストール解除手順を制御します。

USBMDCR は、システムリセットおよびファンクションソフトリセット（**「18.3.16 USB コントロールレジスタ 0、1（USBCR0、USBCR1）」**参照）により H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説　明
7～2	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

ビット	ビット名	初期値	R/W	説　明
1	SCME	0	R/W	ストール解除モードイネーブル EPSTLR0 の EPSTL ビットの自動クリア機能を設定します。 0：EPSTL ビットの自動クリアなし 1：STALL ハンドシェーク応答をしたエンドポイントの EPSTL ビットを自動クリア
0	SETICNT	0	R/W	セットアップ割り込みコントロール SETUP トランザクション時の FIFO の扱い、および割り込みの制御を設定します。 0：FIFO は EP0O 用、および EP0I 用の構成とし、SETUP トランザクションは EP0O 用を使用。割り込みは USBIA を使用し優先順位は最優先 1：FIFO は EP0O 用、EP0I 用および EP0S 用の構成とし、SETUP トランザクションは EP0S 用を使用。割り込みは USBIA を使用し優先順位は最下位

18.3.22 USB ポートコントロールレジスタ（UPRTCR）、USB テストレジスタ 0、1（UTESTR0、UTESTR1）

UPRTCR、UTESTR0、UTESTR1 は、テスト用のレジスタです。UPRTCR、UTESTR0、UTESTR1 には、初期値以外の設定をしないでください。

UPRTCR、UTESTR0、UTESTR1 は、システムリセットにより H'00 に初期化されます。

- UPRTCR

ビット	ビット名	初期値	R/W	説　明
7〜3	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	PCNMD2	0	R/(W)	テストモード設定 初期値を変更しないでください。
1	PCNMD1	0	R/(W)	
0	PCNMD0	0	R/(W)	

- UTESTR0

ビット	ビット名	初期値	R/W	説　明
7〜0	TEST15〜TEST8	すべて 0	R/(W)	テストモード設定 初期値を変更しないでください。

- UTESTR1

ビット	ビット名	初期値	R/W	説　明
7〜0	TEST7〜TEST0	すべて 0	R/(W)	テストモード設定 初期値を変更しないでください。

18.4 動作説明

USB はパーソナルコンピュータの周辺機器向けのインタフェースであり、その規格は USB 規格 Rev.1.1 によって定義されています。本 LSI における USB モジュールの動作は、USB 規格 Rev.1.1 に基づいています。

18.4.1 USB ファンクションコアの機能

USB ファンクションコアは 5 つのエンドポイントを持っています。

エンドポイント 2 のイネーブル／ディスエーブルと IN/OUT、およびエンドポイント 1 の最大パケットサイズ（Max Packet Size）の組み合わせにより USB ファンクションコアは以下の 3 つのオルタネートを選択可能です。

コンフィギュレーション	インタフェース	オルタネート	エンドポイント 0		エンドポイント 1		エンドポイント 2	
			IN/OUT	FIFO	IN/OUT	FIFO	IN/OUT	FIFO
1	0	0	IN/OUT	各 16 バイト	IN	16 バイト	IN	16 バイト
		1					OUT	16 バイト
		2			IN	32 バイト	なし	

コンフィギュレーション	インタフェース	オルタネート	エンドポイント 3		エンドポイント 4		エンドポイント 5	
			IN/OUT	FIFO	IN/OUT	FIFO	IN/OUT	FIFO
1	1	0	IN	8 バイト	IN	最大 2048 バイト	OUT	最大 2048 バイト

USB ファンクションコアはエンドポイント 0 によるコントロール転送と、エンドポイント 1、2 および 3 によるインタラプト転送、エンドポイント 4、5 によるバルク転送に対応しています。

コントロール転送は、複数のトランザクションで構成されています。SETUP トランザクションでホストから送信されるコマンドは USB ファンクションコアでデコードされます。

SETUP トークンを受信すると、FVSR0O、FVSR0I の初期化や EP0OTC ビットが 1 にセットされ、コマンドを受信可能な状態になります。受信したコマンドが USB 標準コマンド（GetDescriptor, SetDescriptor を除く）であると、SETUPF フラグ、EP0OTF フラグが 1 にセットされ、USB 標準コマンドであったことがスレーブ CPU へ通知されます（SETICNT＝0 の場合）。この場合そのコントロール転送の残りのトランザクションは USB ファンクションコア内で処理されスレーブ CPU は関与しません。

受信したコマンドが GetDescriptor, SetDescriptor コマンドおよびデバイスクラス固有のコマンドであると、SETUPF フラグ、EP0OTS フラグが 1 にセットされます（SETICNT＝0 の場合）。スレーブ CPU は FIFO からコマンドをリードし、解釈、実行する必要があります。また、そのコントロール転送の残りのトランザクションも、FIFO などを利用してスレーブ CPU で処理する必要があります。

SETICNT ビットが 1 にセットされている場合は EP0S 用の FIFO が利用され、GetDescriptor, SetDescriptor コマンドおよびデバイスクラス固有のコマンドを受信した場合のみ SETUPF フラグがセットされます。

インタラプト転送は、単独の IN または OUT トランザクションで構成されます。これらはすべて FIFO などを利

用してスレーブ CPU で処理する必要があります。

バルク転送は、単独の IN または OUT トランザクションで構成されます。転送データは、RFU により内蔵 RAM と USB モジュールの間で直接やりとりされます。

USB モジュールは、上記のようにスレーブ CPU による処理が必要な場合は通信の処理を USB ファンクションコアとスレーブ CPU で分担して実行します。USB ファンクションコアとスレーブ CPU のそれぞれの役割およびインタフェースに用いられるフラグ、ビット類を**表** 18.4 に示します。

表 18.4　USB **ファンクションコアとスレーブ** CPU **の役割分担**

項番	内容	動作 ハードウェア	関連レジスタ フラグ・ビット
1	USDP/USDM **信号のアナログ⇔デジタル信号変換**	**ポート部** USB **ファンクションコア**	—
2	**シリアル⇔パラレル変換／ビットスタッフィング** PID **判定／付加、**CRC **判定／付加**	USB **ファンクションコア**	—
3	**トークンパケットの判定／**SETUP **時スレーブ** CPU **への通知**	USB **ファンクションコア**	SETUPF TS, EPTS TF, EPTF
4	**ハンドシェークパケットの判定／生成** DATA0／1 PID **のトグル、**FIFO **のリワインド、**ACK／NAK **検出／返送**	USB **ファンクションコア**	FVSR, EPTE RFU
	ACK **ハンドシェークの検出、スレーブ** CPU **への通知／**ACK **ハンドシェークの返送**		TS, EPTS
	データエラーの検出、スレーブ CPU **への通知／**NAK **ハンドシェークの返送**		TF, EPTF
	STALL **ハンドシェークの返送**		EPSTL
5	**データパケットの受信／生成／スレーブ** CPU **との転送**	USB **ファンクションコア**	FIFO RFU
6	USB **コマンドの解釈、実行**	USB **ファンクションコア** **スレーブ** CPU	FIFO RFU

USB バスライン上の電気信号の処理および信号ビット列の処理は、ポート部にあるバスドライバ／レシーバおよび USB ファンクションコアで行われます。ここでトークン、アクノリッジの種類やデータバイトが抽出され、また逆にアクノリッジやデータバイトがビット列の電気信号に変換されます（**表** 18.4 項番 1、2）。

SETUP トークン受信時は、GetDescriptor、 SetDescriptor コマンドおよびデバイスクラス固有のコマンドを受信した場合、SETUPF フラグ、EP0OTS フラグがセットされスレーブ CPU に通知されます（**表** 18.4 項番 3）。コマンド自体は FIFO を利用して転送され、スレーブ CPU で解釈、実行する必要があります（**表** 18.4 項番 6）。また、そのコントロール転送の残りのトランザクションも、FIFO などを利用してスレーブ CPU で処理する必要があります（**表** 18.4 項番 4、5）。

コントロール転送、インタラプト転送およびバルク転送での IN および OUT トークン受信は CPU に通知されませんが、引き続きデータの転送が行われます。IN トランザクションの場合、あらかじめ送信データが FIFO に準

備され、EPTE ビットがセットされていれば送信が開始され、そうでなければ NAK ハンドシェークが行われます。IN トランザクション終了時、ホストのハンドシェークにより転送の正常終了／異常終了が確定して USBIFR0 の TS、TF、TSFR0 の EPTS、TFFR0 の EPTF によりスレーブ CPU に通知されます。OUT トランザクションの場合、FIFO にすべてのデータが受信された場合 ACK ハンドシェークが、受信できなかった場合 NAK ハンドシェークが行われます。IN トランザクションと OUT トランザクションのいずれの場合も、エンドポイントが EPSTL によりストール状態に設定されていると STALL ハンドシェークが行われます。

18.4.2 SETUP トークン受信時の動作（エンドポイント 0）

ホストが SETUP トークンを発行して始まる一連のトランザクションをコントロール転送と呼びます。コントロール転送は、セットアップ、データ、ステータスの 3 つのステージから構成されます。コントロール転送には、コントロールライト転送とコントロールリード転送があります。ライト／リードの区別およびデータステージの転送バイト数は、セットアップステージで OUT 転送される 8 バイトのコマンドで決まります。

セットアップステージは SETUP トランザクションで、データステージはトランザクションがないか、ひとつまたは複数のデータトランザクションで、ステータスステージはひとつのデータトランザクションで構成されます。各トランザクションに含まれるパケットを**表 18.5** に示します。

表 18.5 各トランザクションに含まれるパケット

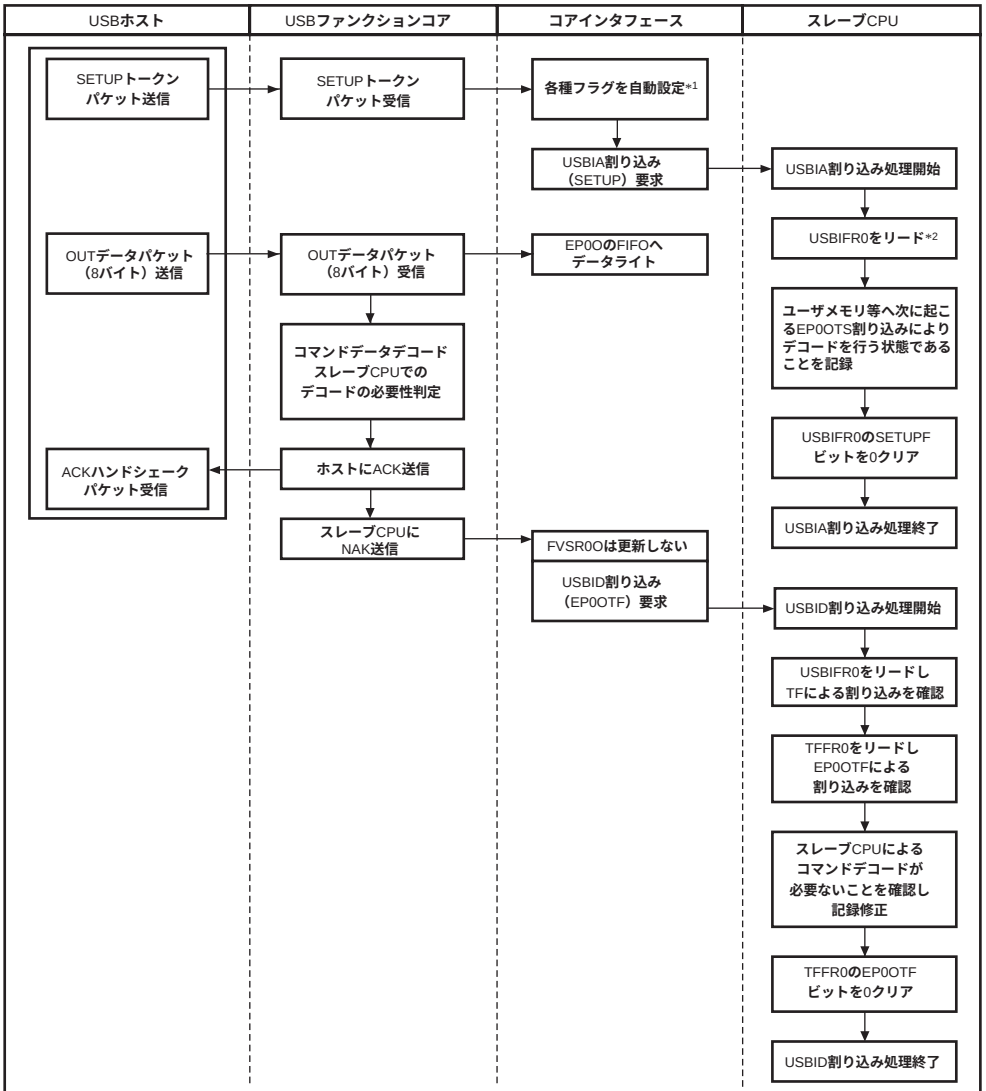
ステージ		トークンフェーズ	データフェーズ	ハンドシェークフェーズ*1
セットアップステージ		SETUP トークンパケット	OUT データパケット（8 バイト）（ホスト→スレーブ）	ACK ハンドシェークパケット（スレーブ→ホスト）
コントロールライト転送	データステージ	OUT トークンパケット	OUT データパケット（ホスト→スレーブ）	ACK/NAK/STALL ハンドシェークパケット（スレーブ→ホスト）
	ステータスステージ	IN トークンパケット	IN データパケット（0 バイト）*2（スレーブ→ホスト）	ACK ハンドシェークパケット（ホスト→スレーブ）
			NAK/STALL ハンドシェークパケット（スレーブ→ホスト）	—
コントロールリード転送	データステージ	IN トークンパケット	IN データパケット（スレーブ→ホスト）	ACK ハンドシェークパケット（ホスト→スレーブ）
			NAK/STALL ハンドシェークパケット（スレーブ→ホスト）	—
	ステータスステージ	OUT トークンパケット	OUT データパケット（ホスト→スレーブ）	ACK/NAK/STALL ハンドシェークパケット（スレーブ→ホスト）
データステージなし	ステータスステージ	IN トークンパケット	IN データパケット（0 バイト）*2（スレーブ→ホスト）	ACK ハンドシェークパケット（ホスト→スレーブ）
			NAK/STALL ハンドシェークパケット（スレーブ→ホスト）	—

【注】 *1 データフェーズでデータパケットの転送が実行された場合にのみ存在するフェーズです。

*2 FIFO 内のデータがすべて転送されて FIFO がエンプティとなった場合には、EPTE ビットは 0 にクリアされます。ここで IN トランザクションが開始されると、NAK ハンドシェークが返送されます。

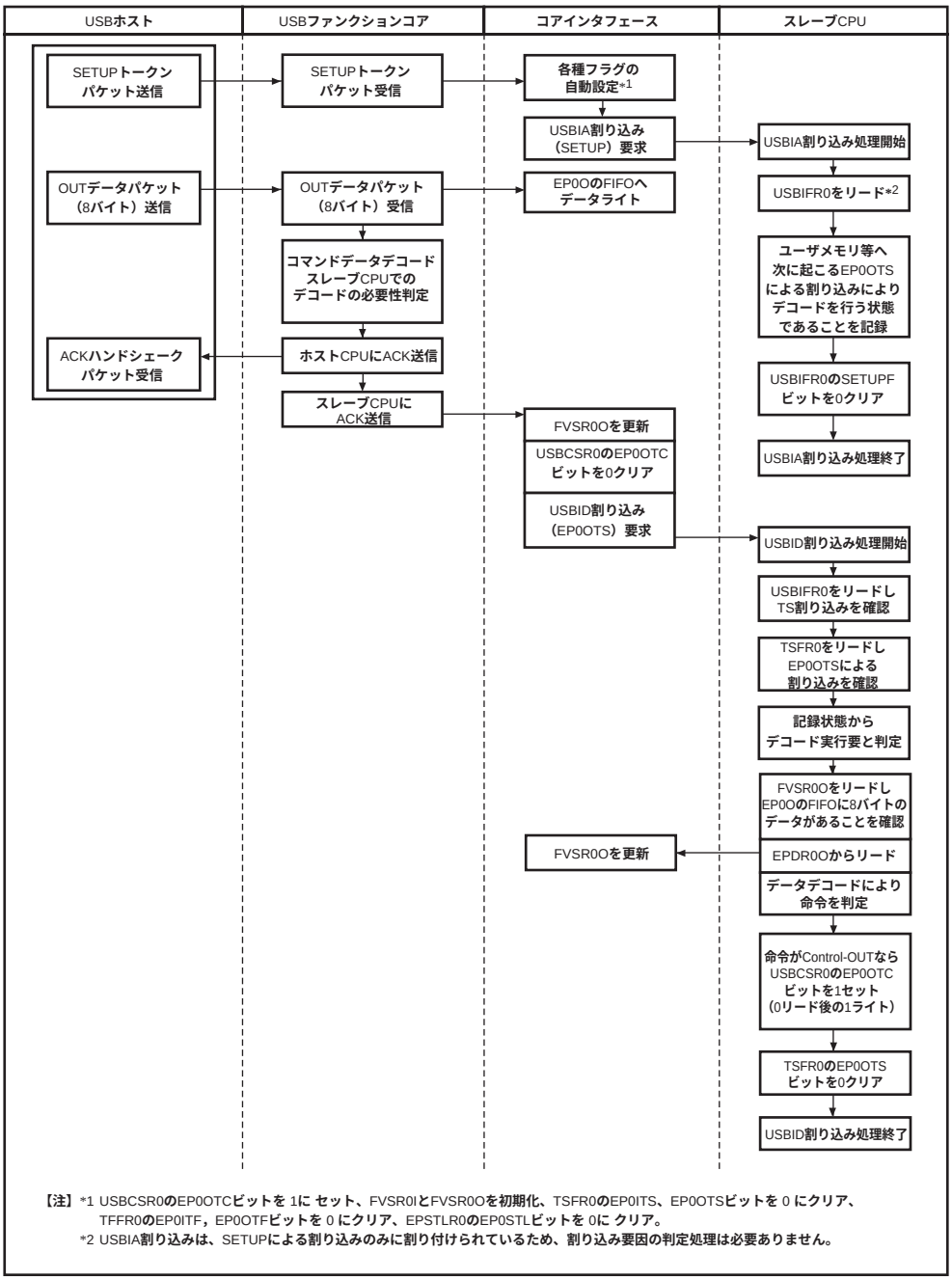
0 バイトのデータパケット転送するためには、 FIFO がエンプティの状態で EPTE ビットを 1 にセットします。

USB ファンクションコアが SETUP トークンを受信した場合（SETUP トランザクション）の USB ファンクションコア、および本 LSI のファームウェアの動作を**図 18.2～図 18.5** に示します。



【注】*1 USBCSR0のEP0OTCビットを1にセット、FVSR0IとFVSR0Oを初期化、TSFR0のEP0ITS、EP0OTSビットを0にクリア、TFFR0のEP0ITF，EP0OTFビットを0にクリア、EPSTLR0のEP0STLビットを0にクリア。
*2 USBIA割り込みは、SETUPによる割り込みのみに割り付けられているため、割り込み要因の判定処理は必要ありません。

図 18.2 SETUP トークン受信時の動作（スレーブ CPU でデコードの必要がない場合、SETICNT=0 の場合）



【注】*1 USBCSR0のEP0OTCビットを 1に セット、FVSR0IとFVSR0Oを初期化、TSFR0のEP0ITS、EP0OTSビットを 0 にクリア、
TFFR0のEP0ITF，EP0OTFビットを 0 にクリア、EPSTLR0のEP0STLビットを 0に クリア。
*2 USBIA割り込みは、SETUPによる割り込みのみに割り付けられているため、割り込み要因の判定処理は必要ありません。

図 18.3 SETUP トークン受信時の動作（スレーブ CPU でデコードの必要がある場合、SETICNT=0 の場合）

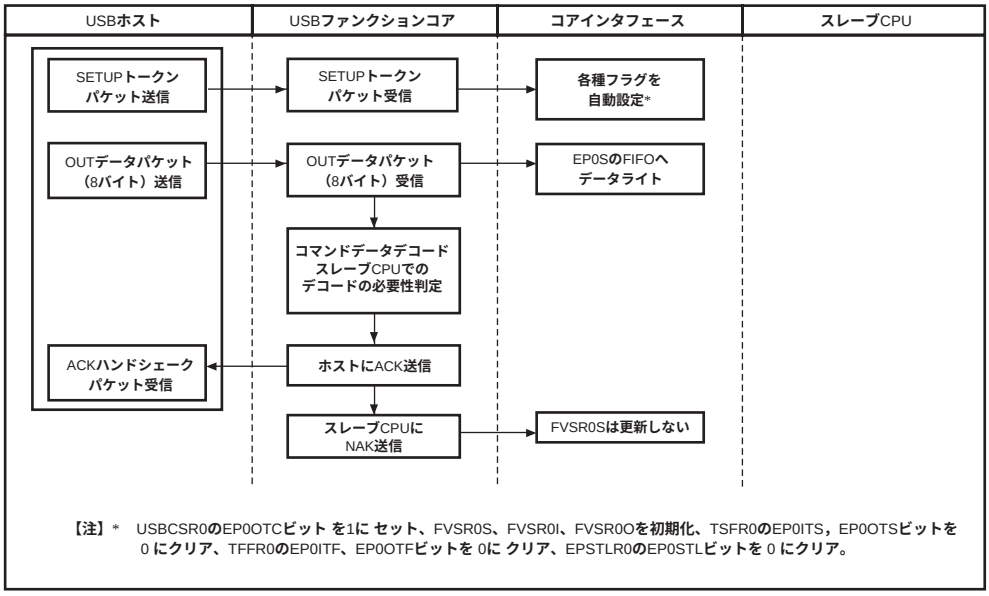
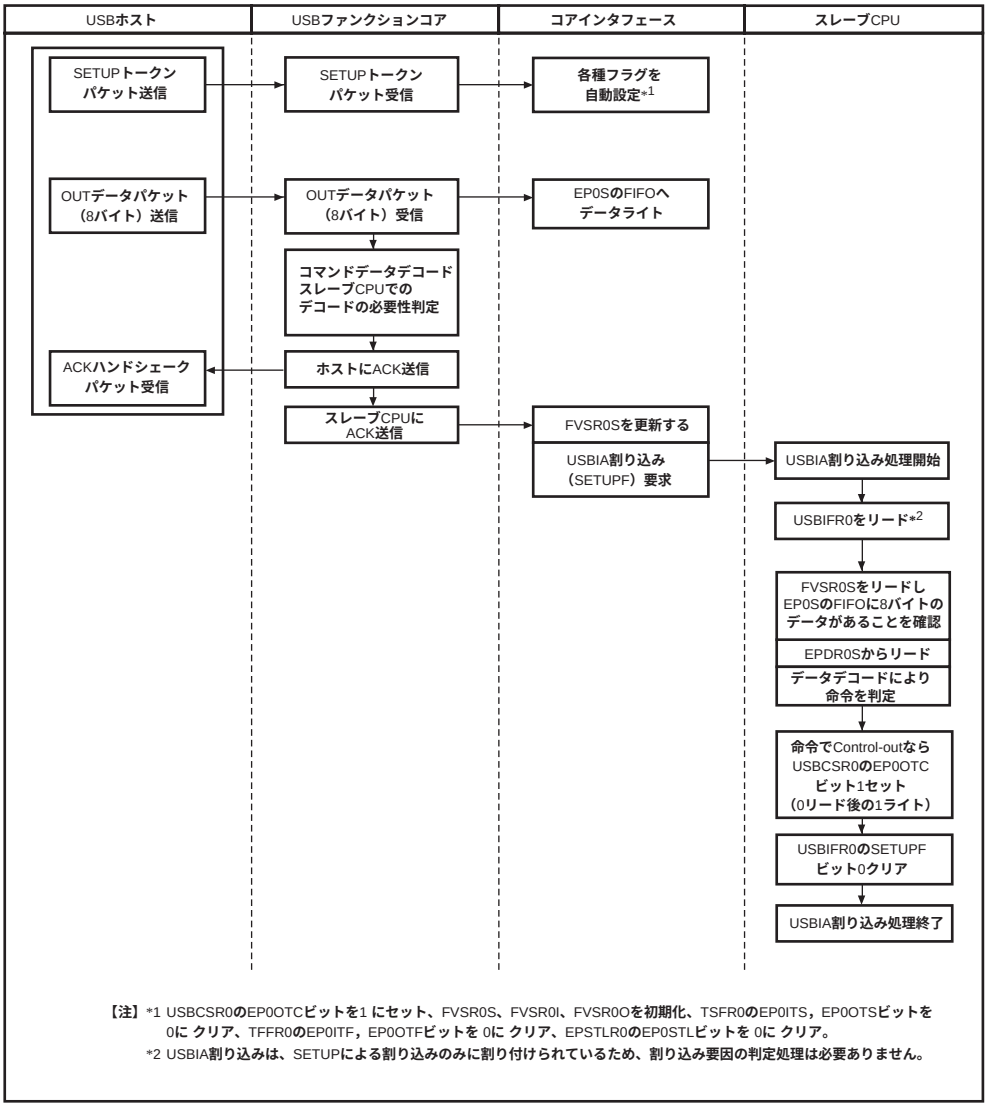


図 18.4　SETUP **トークン受信時の動作（スレーブ** CPU **でデコードの必要がない場合、**SETICNT=1 **の場合）**



【注】*1 USBCSR0のEP0OTCビットを1 にセット、FVSR0S、FVSR0I、FVSR0Oを初期化、TSFR0のEP0ITS，EP0OTSビットを 0に クリア、TFFR0のEP0ITF，EP0OTFビットを 0に クリア、EPSTLR0のEP0STLビットを 0に クリア。
*2 USBIA割り込みは、SETUPによる割り込みのみに割り付けられているため、割り込み要因の判定処理は必要ありません。

図 18.5　SETUP トークン受信時の動作（スレーブ CPU でデコードの必要がある場合、SETICNT=1 の場合）

18.4.3 OUT トークン受信時の動作（エンドポイント 0、2、5）

USB ファンクションコアが OUT トークンを受信した場合（OUT トランザクション）の USB ファンクションコア、および本 LSI のファームウェアの動作を**図 18.6〜図 18.9** に示します。OUT トランザクションはコントロール転送のデータステージ、およびステータスステージ、インタラプト転送、バルク転送時に用いられます。

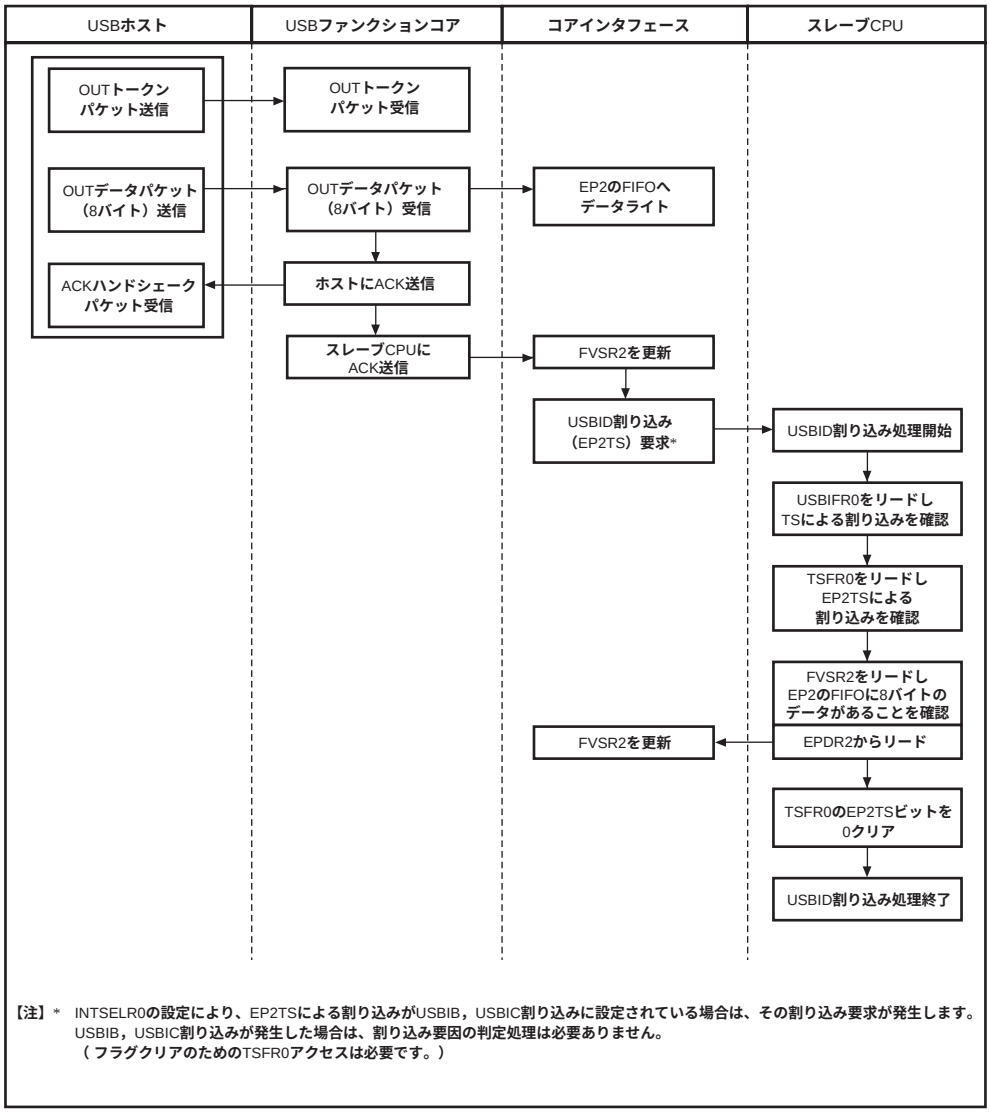
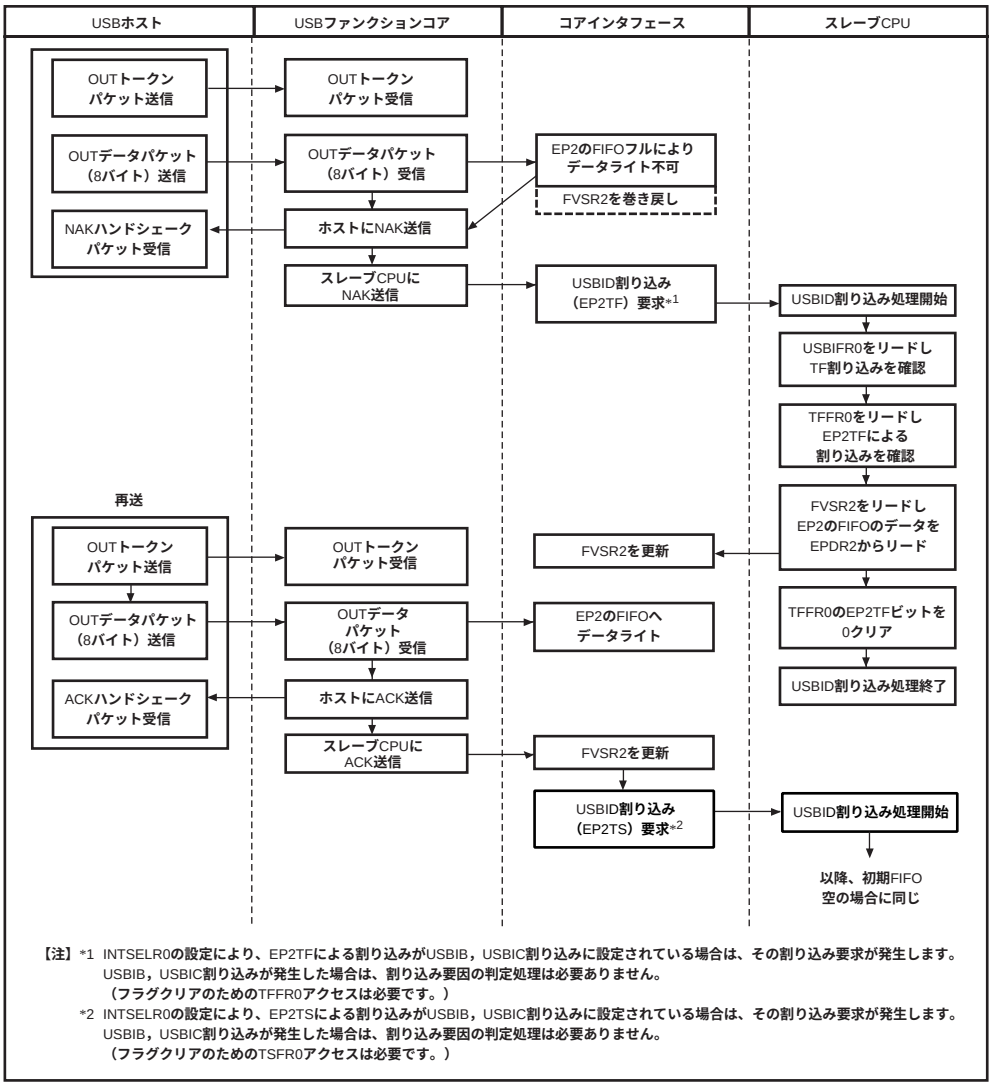


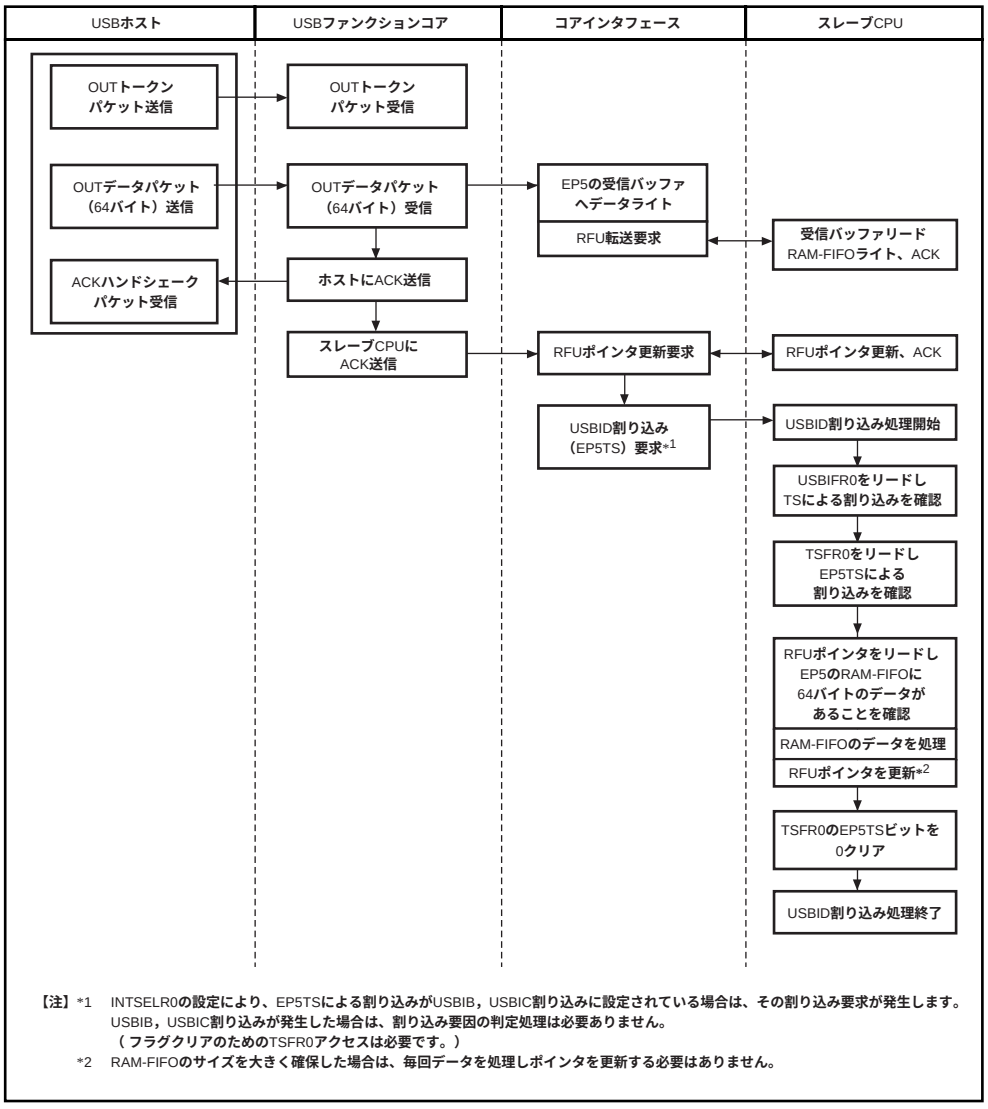
図 18.6 OUT トークン受信時の動作（EP2-OUT：初期 FIFO 空）



【注】*1 INTSELR0の設定により、EP2TFによる割り込みがUSBIB，USBIC割り込みに設定されている場合は、その割り込み要求が発生します。
USBIB，USBIC割り込みが発生した場合は、割り込み要因の判定処理は必要ありません。
（フラグクリアのためのTFFR0アクセスは必要です。）

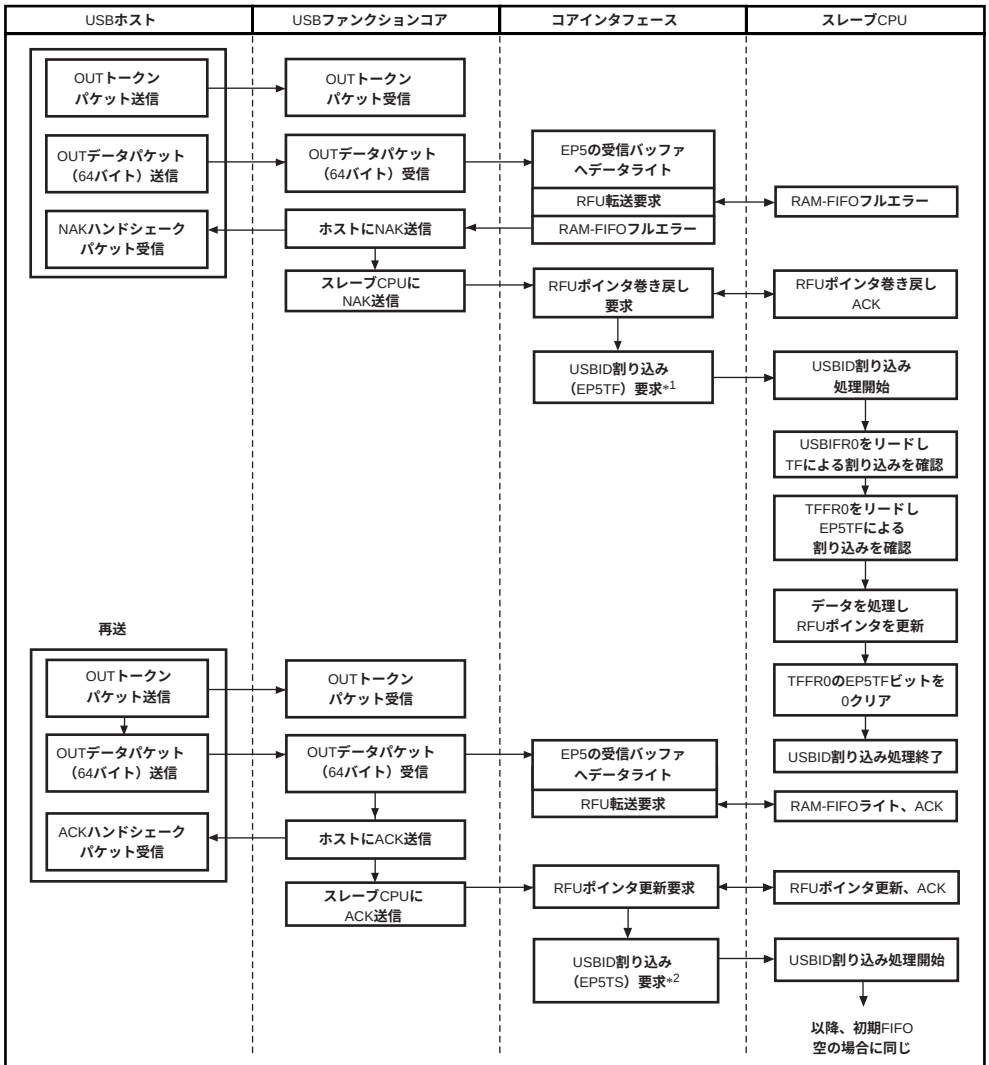
*2 INTSELR0の設定により、EP2TSによる割り込みがUSBIB，USBIC割り込みに設定されている場合は、その割り込み要求が発生します。
USBIB，USBIC割り込みが発生した場合は、割り込み要因の判定処理は必要ありません。
（フラグクリアのためのTSFR0アクセスは必要です。）

図 18.7　OUT トークン受信時の動作（EP2-OUT：初期 FIFO フル）



【注】*1　INTSELR0の設定により、EP5TSによる割り込みがUSBIB，USBIC割り込みに設定されている場合は、その割り込み要求が発生します。USBIB，USBIC割り込みが発生した場合は、割り込み要因の判定処理は必要ありません。
（フラグクリアのためのTSFR0アクセスは必要です。）
*2　RAM-FIFOのサイズを大きく確保した場合は、毎回データを処理しポインタを更新する必要はありません。

図 18.8　OUT トークン受信時の動作（EP5-OUT：初期 FIFO 空）



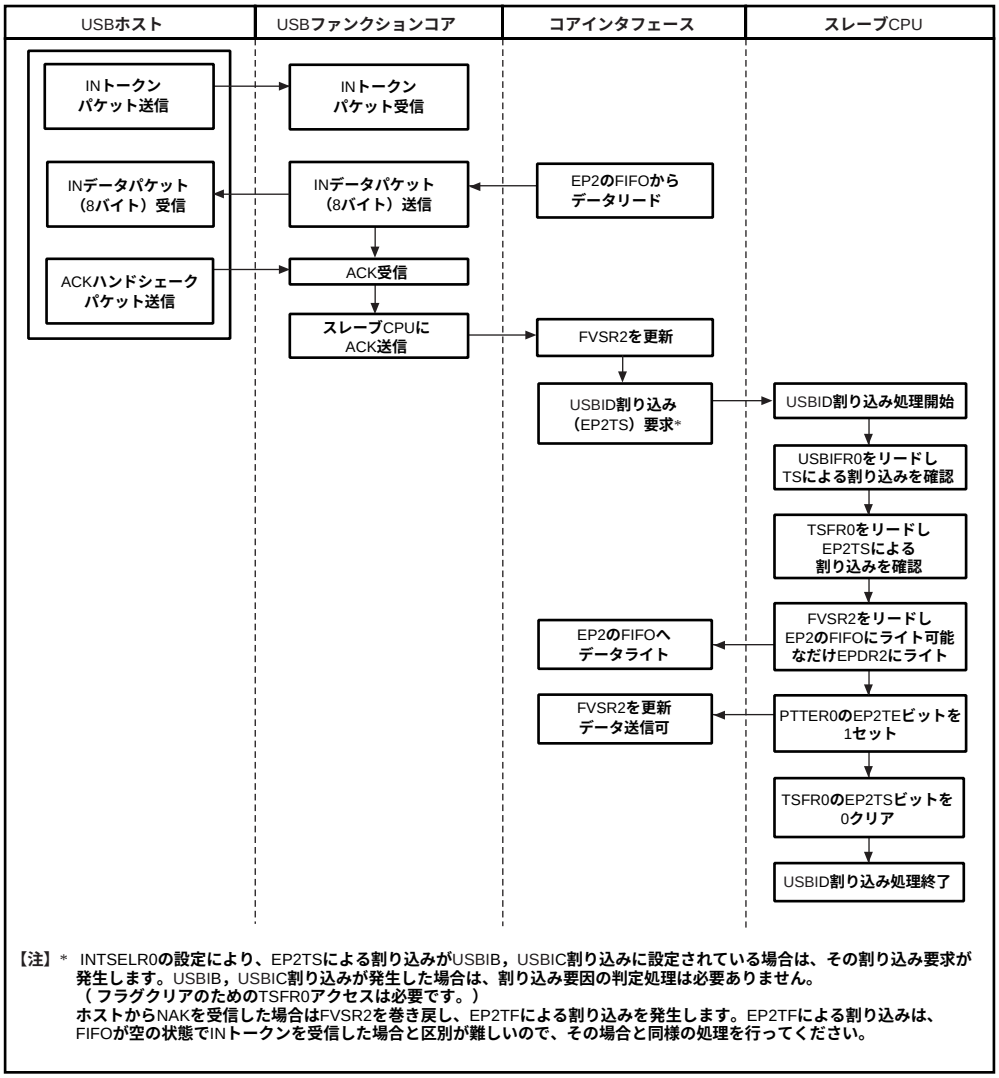
【注】*1 INTSELR0の設定により、EP5TFによる割り込みがUSBIB，USBIC割り込みに設定されている場合は、その割り込み要求が発生します。
USBIB，USBIC割り込みが発生した場合は、割り込み要因の判定処理は必要ありません。
（フラグクリアのためのTFFR0アクセスは必要です。）

*2 INTSELR0の設定により、EP5TSによる割り込みがUSBIB，USBIC割り込みに設定されている場合は、その割り込み要求が発生します。
USBIB，USBIC割り込みが発生した場合は、割り込み要因の判定処理は必要ありません。
（フラグクリアのためのTSFR0アクセスは必要です。）

図 18.9 OUT トークン受信時の動作（EP5-OUT：初期 FIFO フル）

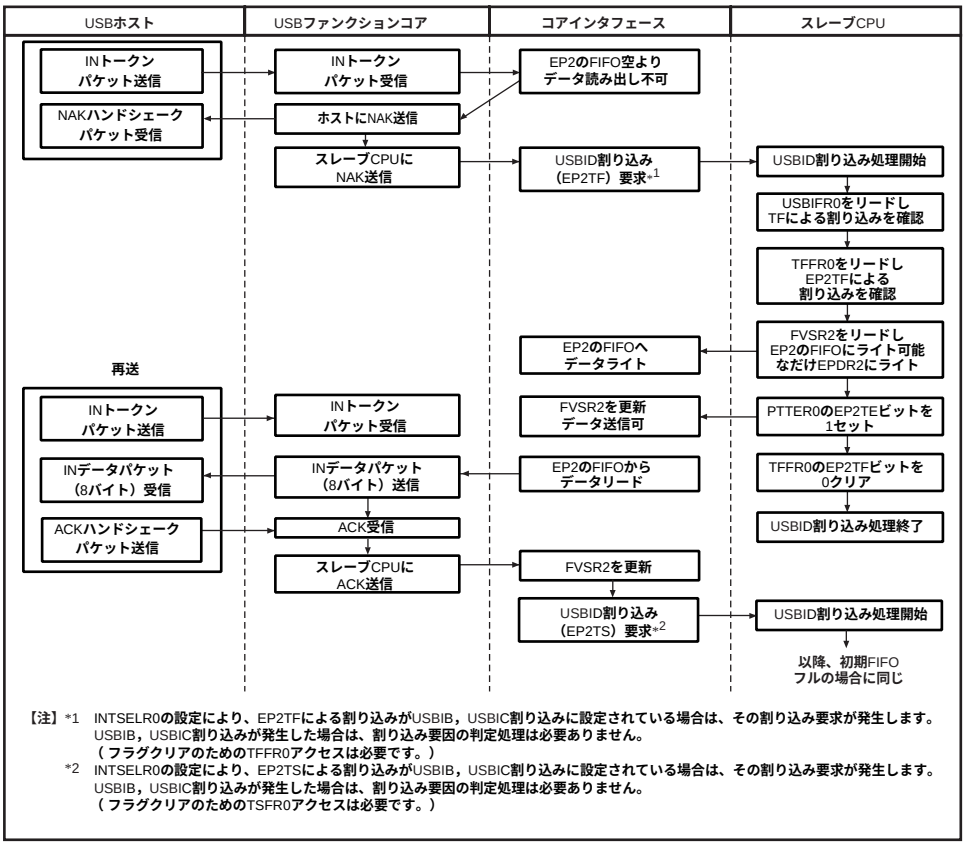
18.4.4 IN トークン受信時の動作（エンドポイント 0、1、2、3、4）

USB ファンクションコアが IN トークンを受信した場合（IN トランザクション）の USB ファンクションコア、および本 LSI のファームウェアの動作を**図 18.10～図 18.13** に示します。IN トランザクションは、コントロール転送のデータステージ、およびステータスステージ、インタラプト転送、バルク転送時に用いられます。



【注】* INTSELR0の設定により、EP2TSによる割り込みがUSBIB，USBIC割り込みに設定されている場合は、その割り込み要求が発生します。USBIB，USBIC割り込みが発生した場合は、割り込み要因の判定処理は必要ありません。
（フラグクリアのためのTSFR0アクセスは必要です。）
ホストからNAKを受信した場合はFVSR2を巻き戻し、EP2TFによる割り込みを発生します。EP2TFによる割り込みは、FIFOが空の状態でINトークンを受信した場合と区別が難しいので、その場合と同様の処理を行ってください。

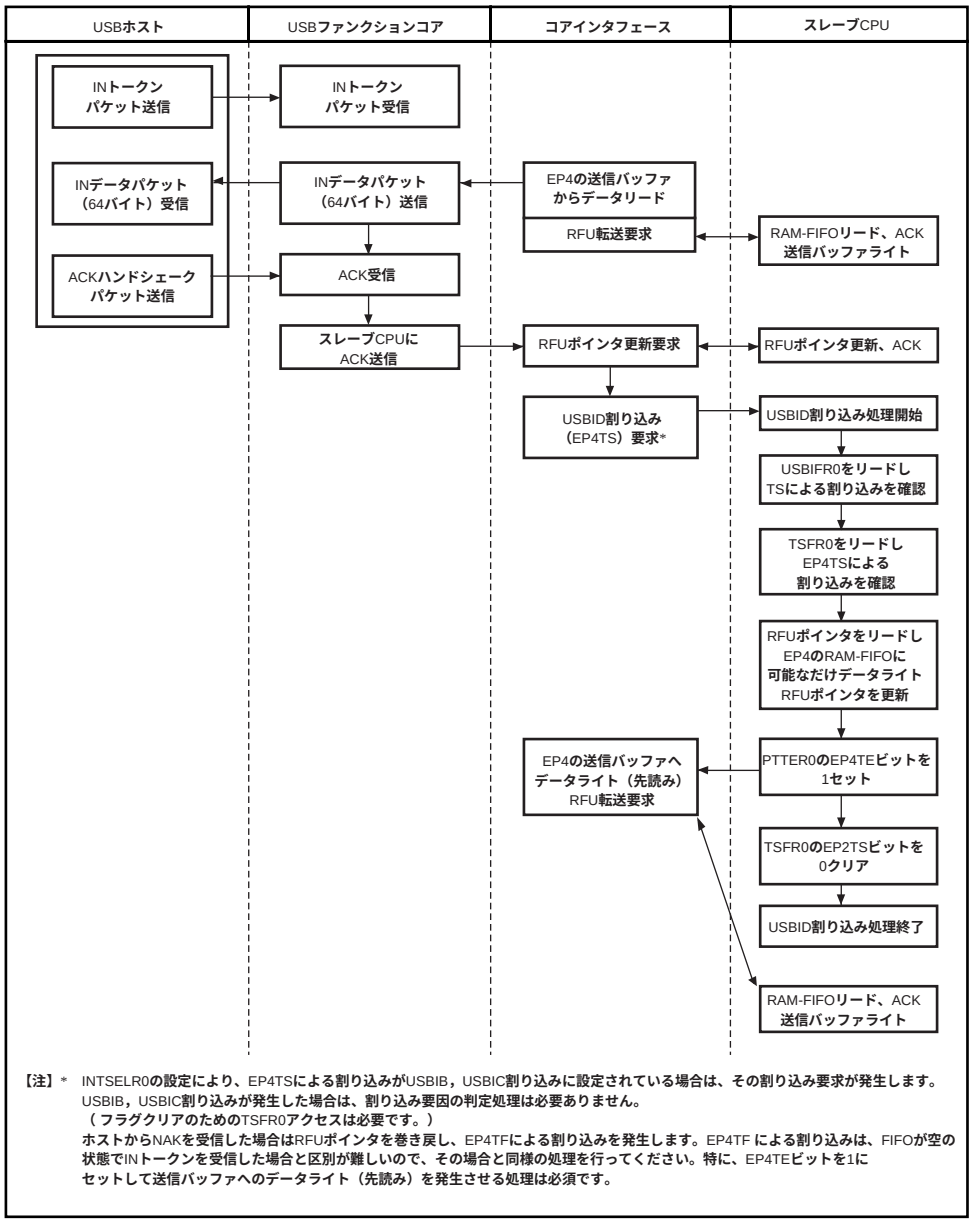
図 18.10 IN トークン受信時の動作（EP2-IN：初期 FIFO フル）



【注】*1 INTSELR0の設定により、EP2TFによる割り込みがUSBIB，USBIC割り込みに設定されている場合は、その割り込み要求が発生します。USBIB，USBIC割り込みが発生した場合は、割り込み要因の判定処理は必要ありません。（フラグクリアのためのTFFR0アクセスは必要です。）

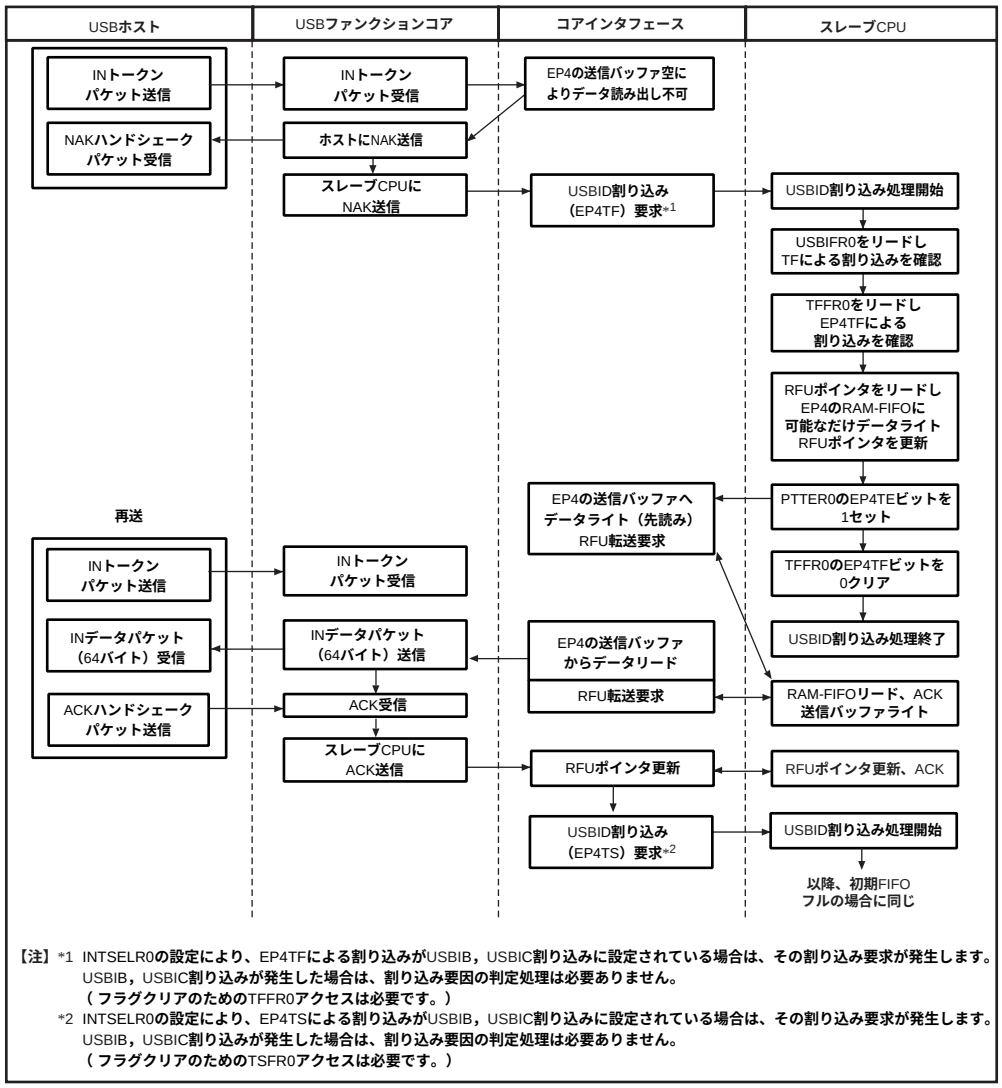
*2 INTSELR0の設定により、EP2TSによる割り込みがUSBIB，USBIC割り込みに設定されている場合は、その割り込み要求が発生します。USBIB，USBIC割り込みが発生した場合は、割り込み要因の判定処理は必要ありません。（フラグクリアのためのTSFR0アクセスは必要です。）

図 18.11 IN トークン受信時の動作（EP2-IN：初期 FIFO 空）



【注】* INTSELR0の設定により、EP4TSによる割り込みがUSBIB，USBIC割り込みに設定されている場合は、その割り込み要求が発生します。USBIB，USBIC割り込みが発生した場合は、割り込み要因の判定処理は必要ありません。
（ フラグクリアのためのTSFR0アクセスは必要です。）
ホストからNAKを受信した場合はRFUポインタを巻き戻し、EP4TFによる割り込みを発生します。EP4TF による割り込みは、FIFOが空の状態でINトークンを受信した場合と区別が難しいので、その場合と同様の処理を行ってください。特に、EP4TEビットを1にセットして送信バッファへのデータライト（先読み）を発生させる処理は必須です。

図 18.12　IN **トークン受信時の動作（**EP4-IN**：初期** FIFO **フル）**



【注】*1 INTSELR0の設定により、EP4TFによる割り込みがUSBIB，USBIC割り込みに設定されている場合は、その割り込み要求が発生します。
USBIB，USBIC割り込みが発生した場合は、割り込み要因の判定処理は必要ありません。
（フラグクリアのためのTFFR0アクセスは必要です。）
*2 INTSELR0の設定により、EP4TSによる割り込みがUSBIB，USBIC割り込みに設定されている場合は、その割り込み要求が発生します。
USBIB，USBIC割り込みが発生した場合は、割り込み要因の判定処理は必要ありません。
（フラグクリアのためのTSFR0アクセスは必要です。）

図 18.13 IN トークン受信時の動作（EP4-IN：初期 FIFO 空）

18.4.5 サスペンド／レジューム動作

USB ファンクションコアは、USB のデータ線が USB 規格 Rev.1.1 で定められた時間以上アイドル状態であると自動的にサスペンド状態になります。

サスペンド状態はアップストリーム側（ホスト）がデータ転送を再開すると自動的に解除（レジューム）されますが、USB ファンクションコアから強制的にレジュームすること（リモートウェイクアップ）も可能です。

サスペンド／レジュームの状態変化は、SPNDIF／SPNDOF フラグによって検知することができます。SPNDOF 割り込みは本 LSI がソフトウェアスタンバイ状態であっても、本 LSI をウェイクアップして受け付けることが可能です。この場合、発振器および PLL を起動シーケンスに従って起動する必要があります。

リモートウェイクアップの許可／禁止は、DEVRSMR の RWUPS フラグによって確認できます。許可されている場合は、DEVRSMR の DVR ビットを 1 にセットすることによりリモートウェイクアップを行います。

18.4.6 USB モジュールのリセットおよび動作停止状態

USB モジュールは、複数の制御ビットによってリセットおよび動作停止状態に設定することができます。これらのビットを順次設定して USB モジュールを起動する場合は、**「18.4.7 USB モジュールの起動シーケンス」**を参照してください。

USB モジュールのリセットおよび動作停止状態には以下の種類があります。ハードウェアスタンバイとリセットは、USB モジュール全体を初期化します。各レジスタの説明の個々のビット説明では、この初期化条件を明示せず「初期値」のみ示しています。

1. ハードウェアスタンバイ状態
2. リセット状態
3. モジュールストップ状態
4. ソフトウェアスタンバイ状態
5. USBバスリセット状態
6. USBサスペンド状態

(1) ハードウェアスタンバイ状態

本 LSI の $\overline{\text{STBY}}$ 端子を Low レベルに設定すると、ハードウェアスタンバイ状態になります。ハードウェアスタンバイ状態では、本 LSI の初期化可能なレジスタおよび内部状態はすべて初期化されます。本 LSI の端子はすべてハイインピーダンス状態になります。

また、クロック発振器は、XTAL-EXTAL のシステムクロック発振が停止します。

(2) リセット状態

本 LSI の $\overline{\text{RES}}$ 端子を Low レベルに設定すると、リセット状態になります。リセット状態では、本 LSI の初期化可能なレジスタおよび内部状態はすべて初期化されます。本 LSI の端子はすべて入力状態になります。クロック発振器は、XTAL-EXTAL のシステムクロックの発振が可能です。

(3) モジュールストップ状態

サブチップモジュールストップコントロールレジスタ BL（SUBMSTPBL）の SMSTPB1 ビットが 1 にセットされると、USB モジュールはモジュールストップ状態になります。モジュールストップ状態では、USB モジュールへのシステムクロックの供給が停止します。しかし、USB 動作クロック（48MHz）の供給は停止しないため、USB モジュールは動作を停止しません。USB モジュールストップ状態を設定する場合には USBCR1 および UPLLCR の値を初期状態に戻してください。また、モジュールストップ状態の解除に備えて、USBCR0 の値も初期状態に戻しておくことを推奨します。SUBMSTPCR のモジュールストップビットは、ハードウェアスタンバイおよびリセットによって 1 に初期化されるため、リセット解除後に USB モジュールはモジュールストップ状態になっています。

(4) ソフトウェアスタンバイ状態

SBYCR の SSBY ビットを 1 にセットして SLEEP 命令を実行すると、ソフトウェアスタンバイ状態になります。ソフトウェアスタンバイ状態では、USB モジュールはリセットまたは動作停止状態にはなりません。しかし、ソフトウェアスタンバイ状態によりスレーブ CPU が動作停止すると USB ファンクションコアとしての機能を満足できない場合があります。ホストの状態に関係なくソフトウェアスタンバイ状態を設定する場合は、ソフトウェアスタンバイ状態設定以前に、USBCR0 の UIFRST、FPLLRST、FSRST ビットを 1 にセットして USB モジュールの動作を停止させておく必要があります。これにより、**表 18.6** に示すレジスタが初期化されます。このときは、外付けのプルアップ MOS をケーブル非接続状態となるように設定してください。

これらはウォッチモード、サブアクティブモード、サブスリープモードについても同様です。

表 18.6 UIFRST、FSRST により初期化されるレジスタ

レジスタ	UIFRST／FSRST
EPDR3、EPDR2、EPDR1、EPDR0S、EPDR0O、EPDR0I	FSRST
FVSR3、FVSR2、FVSR1、FVSR0S、FVSR0O、FVSR0I	FSRST
EPSZR1	UIFRST
USBIER0、USBIER1	UIFRST
USBIFR0、USBIFR1、TSFR0、TFFR0、UDTRFR、CONFV	FSRST
USBCSR0、DEVRSMR、EPSTLR0	FSRST
EPDIR0	UIFRST
INTSELR0、EP4PKTSZR、USBMDCR	UIFRST

ホストがサスペンド状態になった場合は、解除（レジューム）を待つソフトウェアスタンバイ状態を設定することが可能です。

(5) USB バスリセット状態

USB バスに新たなデバイスが接続された場合や、エラーリカバリーを実行する場合には、USDP/USDM 端子の信号が一定期間バスリセット状態になります。

USB モジュールでは、USB バスリセットを検出するとバスリセット割り込みフラグが 1 にセットされます。USB モジュールの内部状態や USB モジュールの動作状態を選択する制御レジスタ類は、USB バスリセットによっては

初期化されません。初期化する場合は、初期化する必要があるレジスタごとに行ってください。USBCR0 の FSRST ビットにより初期化した場合はエンドポイント構成情報（EPINFO）、USB ファンクションコア内部のバスリセット検出情報等も初期化されます。したがって、バスリセットによる割り込み処理は、USBCR0 の FSRST、UIFRST ビットによる初期化は行わないでください。

（6） USB サスペンド状態

USB バスが一定期間以上アイドル状態を継続すると、USB ファンクションコアはサスペンド状態に遷移します。サスペンド状態では、USBCR1 の CK48READY ビットを 0 に設定後、PLL を停止することにより消費電流を低減することができます。同時に本 LSI の低消費電力モードを併用することで、システムの非動作時の消費電流を大幅に低減することが可能です。

USB ファンクションコアがサスペンド状態に遷移した場合、およびサスペンド状態が USDP/USDM 端子の信号変化により解除された場合は、それぞれサスペンド IN 割り込みフラグおよびサスペンド OUT 割り込みフラグが 1 にセットされます。SPNDOF 割り込みは、本 LSI がソフトウェアスタンバイ状態であっても本 LSI をウェイクアップして受け付けることが可能です。

18.4.7 USB モジュールの起動シーケンス

（1） 構成要素

USB モジュールにはいくつかの構成要素があり、これらを正常に動作させホストに正しく認識させるためには、ファームウェア（本 LSI のプログラム）によってシーケンスに従った起動を行う必要があります。

ここで配慮すべき USB の構成要素は以下のとおりです。

- USBクロック外部入力端子、USB動作クロック生成用PLL（48MHz）
- USBバスクロック同期用DPLL（12MHz）
- EPINFO―エンドポイント構成情報
- スレーブCPU、コアインタフェース
- USBファンクションコア

（a） USB クロック外部入力端子、USB 動作クロック PLL（48MHz）

USB 動作クロック PLL は、USB クロック外部入力端子またはシステムクロック発振器から入力されたクロックを 48MHz に逓倍します。入力クロックは 8、12、16、20、24MHz のいずれかである必要があります。UPLLCR の PFSEL ビットで PLL の逓倍率が選択されます。生成した 48MHz クロックを 2 分周した 24MHz クロックは、システムクロックとして使用することも可能です。

USB 動作クロック PLL の安定時間をを待つ間は、USBCR0 の UIFRST、FPLLRST、FSRST ビットを 1 にセットして、USB バスクロック同期用 DPLL、USB ファンクションコアをリセット状態にします。

（b） USB バスクロック同期用 DPLL（12MHz）

USB のデータ転送は最大 12Mbps で行われますが、ビットデータのサンプリングタイミングは 48MHz の USB 動作クロックを利用してパケットに先立つ同期パターン受信の間に位相を調整します。この機構を USB バスクロック同期用 DPLL と呼びます。

USB バスクロック同期用 DPLL の動作安定時間は、ファームウェアで確保します。動作安定時間を待つ間は、

USBCR0 の FSRST ビットを 1 にセットして USB ファンクションコアをリセット状態にします。

動作安定時間は 48MHz クロック 10 サイクル以上を推奨します。

（c） EPINFO―エンドポイント構成情報

USB ファンクションコアはアイソクロナス転送にも対応可能ですが、CPU とのインタフェース部の仕様から本 LSI ではコントロール転送、インタラプト転送およびバルク転送のみ処理対象としています。

エンドポイントの個数や対応する転送の種類、最大パケットバイト数などの設定（EPINFO）は、USB ファンクションコアの初期化のたびにファームウェアで USB ファンクションコアに書き込みます。本 LSI では 3 つのオルタネートを用意しており、3 つすべての EPINFO を書き込みます。**表 18.7** に USB ファンクションコアに書き込むエンドポイント構成情報を示します。A1、A2、...、A5、B1、B2、...、M4、M5 の順に計 65 バイト、各値を EPDR0I に書き込んでください。すべての EPINFO 書き込み後、USBCSR0 の EPIVLD ビットを 1 にセットすることにより、EPINFO が有効になります。

表 18.7　エンドポイント構成情報

	1	2	3	4	5
A	H'00	H'00	H'11	H'00	H'00
B	H'14	H'38	H'10	H'00	H'01
C	H'24	H'38	H'10	H'00	H'02
D	H'14	H'78	H'10	H'00	H'01
E	H'24	H'70	H'10	H'00	H'02
F	H'14	H'B8	H'20	H'00	H'01
G	H'35	H'20	H'10	H'00	H'03
H	H'45	H'20	H'10	H'00	H'04
I	H'55	H'20	H'10	H'00	H'05
J	H'65	H'20	H'10	H'00	H'06
K	H'36	H'20	H'10	H'00	H'03
L	H'46	H'20	H'10	H'00	H'04
M	H'56	H'20	H'10	H'00	H'05

（d） スレーブ CPU、コアインタフェース

ファームウェアを実行する際の基本部分です。スレーブ CPU はリセット解除後すぐに動作を開始しますが、コアインタフェース部はモジュールストップを解除してからアクセス可能になります。

（e） USB ファンクションコア

USB インタフェースの中心部です。（a）～（d）の構成要素がすべて正常に動作することにより USB バスインタフェースが動作可能になります。

(2) 初期動作手順

USB モジュールの初期動作手順を**図 18.14** に示します。

1. LSIは、パワーオフまたはハードウェアスタンバイ状態
2. パワーオン、$\overline{\text{STBY}}$端子のHighレベル印加などが行われ、最終的に$\overline{\text{RES}}$端子にHighレベルが印加されて本LSIが動作を開始
3. ファームウェアでVBUSライン（USBケーブル）の接続を確認
4. ファームウェアでUSBモジュールのモジュールストップ解除
5. ファームウェアでUSBCR1のVBUSSビットを1にセット
6. ファームウェアでUPLLCRを設定し、USB動作クロックPLL安定時間（3ms）待ち
7. ファームウェアでUSBCR1のCK48READYビットを1にセット
8. ファームウェアでUSBCR0のUIFRSTビットを０にクリアし、USBモジュール関連のレジスタを設定
9. ファームウェアでUSBCR0のFPLLRSTビットを0にクリア
10. DPLL動作安定時間後、ファームウェアでUSBCR0のFSRSTビットを0にクリア
11. ファームウェアでEPINFOをUSBファンクションコアに書込み、最後にUSBCSR0のEPIVLDビットを1にセット
12. ファームウェアで外付けプルアップ抵抗を接続状態に設定
13. バスリセット割り込み待ち
    - ホストがバスリセットを実行
    - ホストがUSBファンクションコアをコンフィギュレーション
      → USBファンクションコア動作開始

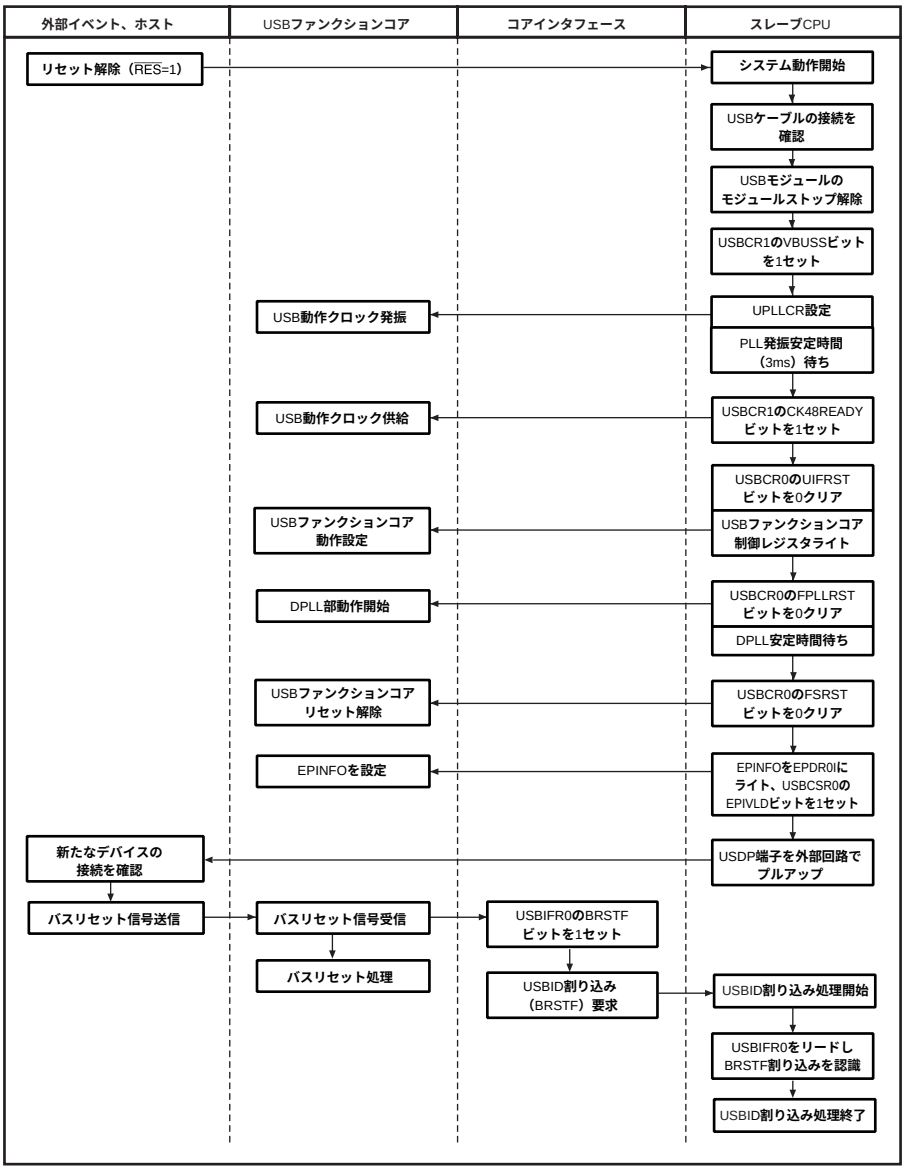


図 18.14　USB **モジュールの初期動作手順**

18.5 割り込み要因

USB モジュールのスレーブ CPU 割り込み要因は、USBIA、USBIB、USBIC、USBID 割り込みの 4 つがあります。**表 18.8、表 18.9** に各割り込み要因と優先順位を示します。割り込み要因は USBIFR0/USBIFR1 および TSFR0/TFFR0/UDTRFR の割り込みフラグです。各割り込みは、USBIER0/USBIER1 の各割り込みイネーブルビットにより、割り込みフラグごとに割り込みを許可／禁止できます。USBID 割り込みの処理ルーチンでは、USBIFR0/USBIFR1 および TSFR0/TFFR0/UDTRFR をリードして割り込み要因を判定した後に処理をする必要があります。

USBIA、USBIB、USBIC、USBID 割り込みは、内蔵 DTC の起動要因とすることができます。

表 18.8 USB 割り込み要因（USBMDCR の SETICNT=0 の場合）

割り込み要因		内　容	DTC 起動	優先順位
USBI0	USBIA	SETUP による割り込み	可	高
USBI1	USBIB	INTSELR0 で指定したエンドポイントの EPTS または EPTF による割り込み	可	▲
USBI2	USBIC	INTSELR0 で指定したエンドポイントの EPTS または EPTF による割り込み	可	
USBI3	USBID	SOF、SPND、BRST、TS、TF、UDTR、SETI、SETC による割り込み	可	低

表 18.9 USB 割り込み要因（USBMDCR の SETICNT=1 の場合）

割り込み要因		内　容	DTC 起動	優先順位
USBI0	USBIB	INTSELR0 で指定したエンドポイントの EPTS または EPTF による割り込み	可	高
USBI1	USBIC	INTSELR0 で指定したエンドポイントの EPTS または EPTF による割り込み	可	▲
USBI2	USBID	SOF、SPND、BRST、TS、TF、UDTR、SETI、SETC による割り込み	可	
USBI3	USBIA	SETUP による割り込み	可	低

18.6 使用上の注意事項

1. USBの割り込み要因でDTCを起動する場合、DTCモードレジスタB（MRB）のDISELビットを0にクリアすると正しく動作することができません。必ず1にセットしてください。
2. サブチップモジュールストップコントロールレジスタBL（SUBMSTPBL）のSMSTPB1ビットにより、USBモジュールの動作停止／許可を設定することが可能です。初期値ではUSBモジュールの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。
3. バスドライバ／レシーバ電源端子DrVCC/DrVSSは、アナログ電源端子AVCC/AVSSと共用のため、USBとA/D変換器やD/A変換器の同時使用は推奨しません。

19. マルチメディアカードインタフェース（MCIF）

本 LSI は、マルチメディアカード（MultiMediaCard™*[1]、以下 MMC）インタフェース（MCIF）を備えています*[2]。MCIF は、MultiMediaCard モード（以下 MMC モード）と SPI モードの 2 つの動作モードがあります。MCIF は、クロック同期式のシリアルインタフェースでコマンド／レスポンスとデータを区別して通信します。

MMC は、いくつかのコマンド／レスポンスのタイプが定義されています。MCIF は、コマンド発行時にコマンドコードとコマンドタイプ／レスポンスタイプを設定する構成になっているため、現在定義されているコマンドタイプ／レスポンスタイプの組み合わせの範囲内で将来のコマンドの追加に対応が可能です。また、MMC のコマンド体系の中には、アプリケーション固有のコマンドを拡張する機能があります。MCIF は、セキュアマルチメディアカード（Secure-MultiMediaCard™、以下 Secure-MMC）で拡張されたコマンドにも対応可能です。

【注】 *1 MultiMediaCard™ は Infineon Technologies AG の商標です。
Secure-MultiMediaCard™ は、コンテンツ保護機能を持ったマルチメディアカードです。

*2 MultiMediaCard System Specification Version2.11 準拠のマルチメディアカードをサポートしています。
MultiMediaCard System Specification Version3.1 準拠のマルチメディアカードでは SPI モードをサポートしていません。

19.1 特長

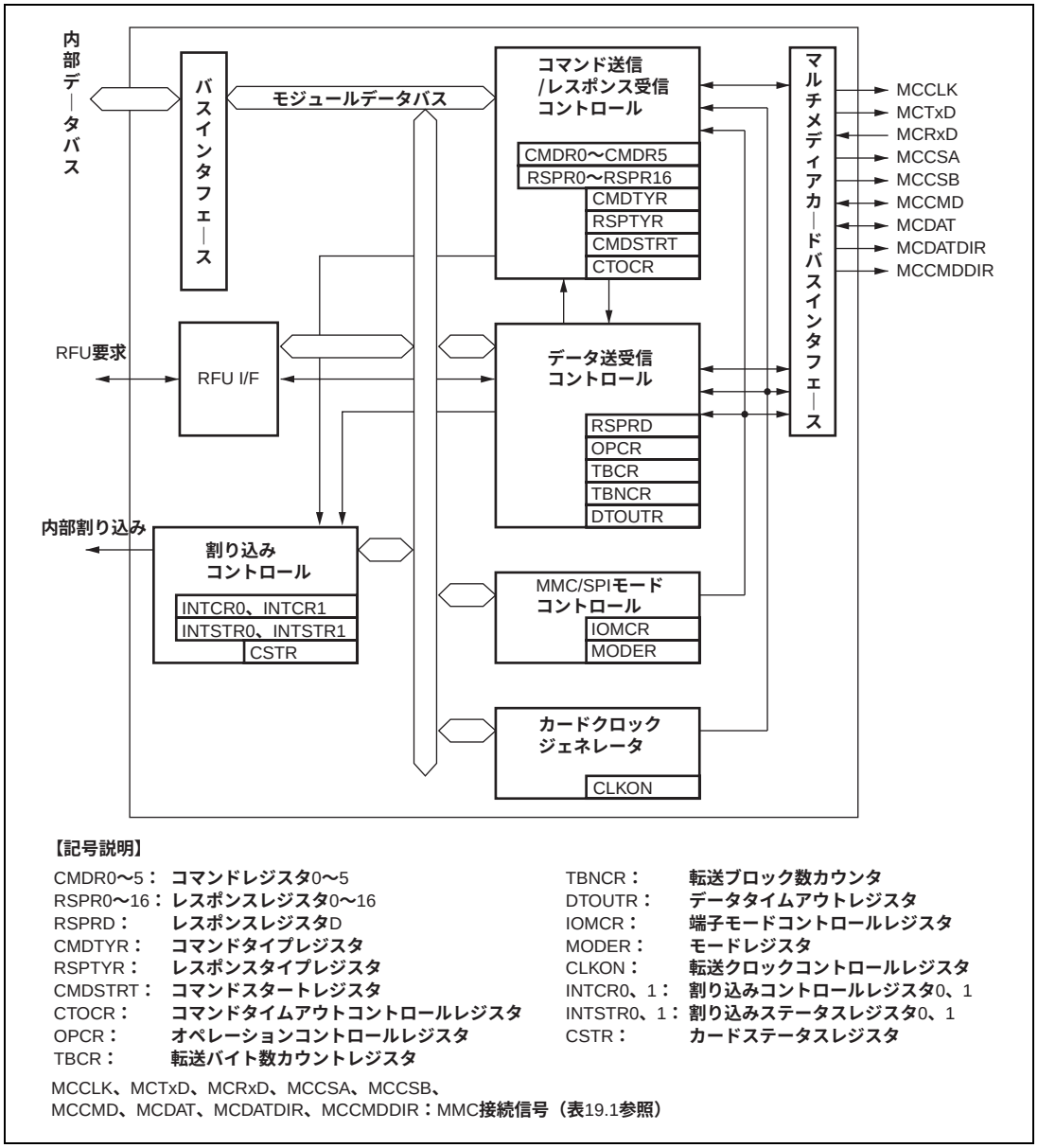
- MMCモードとSPIモードの両モードに対応
- SPIモードはMMCの2枚挿しに対応可能（2本のチップセレクト出力）
- 最大20Mbpsのビットレート（システムクロック20MHzの場合）
- Secure-MMCを含めたMMCのコマンドに対応
- RFUによるRAM-FIFOを使用可能
- FIFOエンプティ／フル、コマンド／レスポンス／データ転送完了、転送エラーの3種類の割り込み要因

MMC モード

- MCCLK端子（転送クロック出力）、MCCMD端子（コマンド送信／レスポンス受信）、MCDAT端子（データ送受信）によるインタフェース
- MCCMD端子とMCDAT端子の入出力状態のモニタ出力機能

SPI モード

- MCCLK端子（転送クロック出力）、MCTxD端子（コマンド送信／データ送信）、MCRxD端子（レスポンス受信／データ送信）と、MMCごとのMCCSA、MCCSB端子（チップセレクト）によるインタフェース



【記号説明】

CMDR0〜5： コマンドレジスタ0〜5
RSPR0〜16： レスポンスレジスタ0〜16
RSPRD： レスポンスレジスタD
CMDTYR： コマンドタイプレジスタ
RSPTYR： レスポンスタイプレジスタ
CMDSTRT： コマンドスタートレジスタ
CTOCR： コマンドタイムアウトコントロールレジスタ
OPCR： オペレーションコントロールレジスタ
TBCR： 転送バイト数カウントレジスタ
TBNCR： 転送ブロック数カウンタ
DTOUTR： データタイムアウトレジスタ
IOMCR： 端子モードコントロールレジスタ
MODER： モードレジスタ
CLKON： 転送クロックコントロールレジスタ
INTCR0、1： 割り込みコントロールレジスタ0、1
INTSTR0、1： 割り込みステータスレジスタ0、1
CSTR： カードステータスレジスタ

MCCLK、MCTxD、MCRxD、MCCSA、MCCSB、
MCCMD、MCDAT、MCDATDIR、MCCMDDIR：MMC接続信号（表19.1参照）

図 19.1　MCIF **のブロック図**

19.2 入出力端子

MCIF には、**表** 19.1 の入出力端子があります。

表 19.1 **端子構成**

端子名	入出力	機　能
MCCLK、ExMCCLK	出力	MMC モード／SPI モード共通のクロック出力端子
MCTxD、ExMCTxD	出力	SPI モード時のコマンド／データ出力端子 MMC 側の Data in 端子に接続します。
MCRxD、ExMCRxD	入力	SPI モード時のレスポンス／データ入力端子 MMC 側の Data out 端子に接続します。
MCCSA、ExMCCSA	出力	SPI モード時のカード A 選択出力端子（アクティブ Low 信号） MMC 側の CS 端子に接続します。
MCCSB、ExMCCSB	出力	SPI モード時のカード B 選択出力端子（アクティブ Low 信号） MMC 側の CS 端子に接続します。
MCCMD、ExMCCMD	入出力	MMC モード時のコマンド出力／レスポンス入力端子
MCDAT、ExMCDAT	入出力	MMC モード時のデータ入出力端子
MCDATDIR、ExMCDATDIR	出力	MCDAT、ExMCDAT 端子の入出力の方向を示す出力端子
MCCMDDIR、ExMCCMDDIR	出力	MCCMD、ExMCCMD 端子の入出力の方向を示す出力端子

19.3 レジスタの説明

MCIF には以下のレジスタがあります。

- **モードレジスタ**（MODER）
- **コマンドタイプレジスタ**（CMDTYR）
- **レスポンスタイプレジスタ**（RSPTYR）
- **転送バイト数カウントレジスタ**（TBCR）
- **転送ブロック数カウンタ**（TBNCR）
- **コマンドレジスタ**0～5（CMDR0～CMDR5）
- **レスポンスレジスタ**0～16（RSPR0～RSPR16）
- **レスポンスレジスタ**D（RSPRD）
- **コマンドスタートレジスタ**（CMDSTRT）
- **オペレーションコントロールレジスタ**（OPCR）
- **コマンドタイムアウトコントロールレジスタ**（CTOCR）
- **データタイムアウトレジスタ**（DTOUTR）
- **カードステータスレジスタ**（CSTR）

- **割り込みコントロールレジスタ0、1**（INTCR0、INTCR1）
- **割り込みステータスレジスタ0、1**（INTSTR0、INTSTR1）
- **端子モードコントロールレジスタ**（IOMCR）
- **転送クロックコントロールレジスタ**（CLKON）

19.3.1 モードレジスタ（MODER）

MODER は、MCIF の動作モードを設定します。2 つの動作モードは、入出力端子のほか、使用可能なコマンドの種類やコマンドシーケンスが異なります。いずれのモードでも MCIF で MMC を操作する場合は、コマンドを送信し、コマンドシーケンスの終了およびデータビジー状態の終了を待ち、次のコマンドを送信する一連の動作の繰り返しとなります。

コマンド送信から、コマンドレスポンス受信、データ送信／受信、データレスポンス受信の一連の動作をコマンドシーケンスと呼びます。コマンドシーケンスは、CMDSTRT の START ビットを 1 にセットするとコマンド送信を開始し、必要なデータの送信／受信やレスポンス受信がすべて完了すると終了します。MMC にはコマンドシーケンス実行中および終了後に、MMC 内のフラッシュメモリの書き込み／消去のために次のコマンドを受け付けないデータビジー状態があります。データビジー状態は、MMC モードでは MCDAT 端子、SPI モードでは MCRxD 端子に MMC 側からの 0 出力で表示されます。

ビット	ビット名	初期値	R/W	説　明
7〜3	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	—	0	R/(W)	リザーブビット
1	—	0	R/(W)	初期値を変更しないでください。
0	SPI	0	R/W	SPI/$\overline{\text{MMC}}$ モード MCIF の動作モードを設定します。 0：MMC モードで動作 1：SPI モードで動作

19.3.2 コマンドタイプレジスタ（CMDTYR）

CMDTYR は、RSPTYR とともにコマンドの形式を設定します。**表 19.2** を参照してください。

ビット	ビット名	初期値	R/W	説　明
7	−	0	R	リザーブビット
6	−	0	R	リードすると常に 0 が読み出されます。ライトは無効です。
5	TY5	0	R/W	Secure-MMC で SPI モードの拡張コマンド使用時、マルチブロック転送を設定します。TY1、TY0 ビットは B'01 または B'10 に設定してください。 このビットを指定するコマンド使用時は、TBCR に転送ブロックサイズを、TBNCR に転送ブロック数を設定してください。
4	TY4	0	R/W	CMD12M コマンドを設定するとき、このビットを 1 にセットします。CMD12M コマンドは、MMC モードでのみ使用できます。TY1、TY0 ビットは B'00 に設定してください。
3	TY3	0	R/W	ストリーム転送を設定します。TY1、TY0 ビットは B'01 または B'10 に設定してください。ストリーム転送は MMC モードでのみ使用できます。 このビットで設定されたストリーム転送のコマンドシーケンスは、CMD12M コマンドで中止したときに終了します。
2	TY2	0	R/W	MMC モードで、マルチブロック転送を設定します。TY1、TY0 ビットは B'01 または B'10 に設定してください。 このビットで設定されたマルチブロック転送のコマンドシーケンスは、CMD12M コマンドで中止したときに終了します。
1	TY1	0	R/W	転送データの有無および方向を設定します。
0	TY0	0	R/W	00：データ転送を伴わないコマンド 01：リードデータの受信を伴うコマンド 10：ライトデータの送信を伴うコマンド 11：設定禁止

19.3.3 レスポンスタイプレジスタ（RSPTYR）

RSPTYR は、CMDTYR とともにコマンドの形式を設定します。**表 19.2** を参照してください。

ビット	ビット名	初期値	R/W	説　明
7	−	0	R	リザーブビット
6	−	0	R	リードすると常に 0 が読み出されます。ライトは無効です。
5	RTY5	0	R/W	MMC モード／SPI モードの R1b レスポンスで設定します。
4	RTY4	0	R/W	コマンドレスポンスの CRC を CRC7 ビットでチェックする設定にします。 RTY2～RTY0 ビットは、B'011、B'100、B'101 のいずれかに設定してください。
3	−	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	RTY2	0	R/W	コマンドレスポンスバイト数を設定します。
1	RTY1	0	R/W	000：コマンドレスポンスを要しないコマンド
0	RTY0	0	R/W	001：コマンドレスポンス 1 バイトを要するコマンド （SPI モードの R1、R1b レスポンスで設定）
				010：コマンドレスポンス 2 バイトを要するコマンド （SPI モードの R2 レスポンスで設定）
				011：コマンドレスポンス 5 バイトを要するコマンド （SPI モードの R3 レスポンスで設定）
				100：コマンドレスポンス 6 バイトを要するコマンド （MMC モードの R1、R1b、R3、R4、R5 レスポンスで設定）
				101：コマンドレスポンス 17 バイトを要するコマンド （MMC モードの R2 レスポンスで設定）
				11∗：設定禁止

【記号説明】∗：Don’t care

表 19.2 に「MultiMediaCard System Specification Version2.11」記載のコマンドと、CMDTYR、RSPTYR レジスタの設定の対応を示します。MMC モードと SPI モードではレスポンス形式が異なり、さらに SPI モードにはデータレスポンスを要するコマンドが存在します。

表 19.2 **コマンドと** CMDTYR、RSPTYR **の対応**

コマンドインデックス	略称	resp*2	CMDTYR					RSPTYR		
			TY5	TY4	TY3	TY2	TY1、TY0	RTY5	RTY4*3	RTY2～RTY0*2
CMD0	GO_IDLE_STATE	—/R1					00			000/001
CMD1	SEND_OP_COND	R3/R1					00			100/001
CMD2M*1	ALL_SEND_CID	R2					00			101
CMD3M*1	SET_RELATIVE_ADDR	R1					00		1	100
CMD4M*1	SET_DSR	—					00			000
CMD7M*1	SELECT/DESELECT_CARD	R1b					00	1	1	100
CMD9	SEND_CSD	R2/R1					00			101/001
CMD10	SEND_CID	R2/R1					00			101/001
CMD11M*1	READ_DAT_UNTIL_STOP	R1			1		01		1	100
CMD12M*1	STOP_TRANSMISSION	R1b		1			00	1	1	100
CMD13	SEND_STATUS	R1/R2					00		1/0	100/010
CMD15M*1	GO_INACTIVE_STATE	—					00			000
CMD16	SET_BLOCKLEN	R1					00		1/0	100/001
CMD17	READ_SINGLE_BLOCK	R1					01		1/0	100/001
CMD18M*1	READ_MULTIPLE_BLOCK	R1				1	01		1	100
CMD20M*1	WRITE_DAT_UNTIL_STOP	R1			1		10		1	100
CMD24	WRITE_SINGLE_BLOCK	R1					10*2		1/0	100/001
CMD25M*1	WRITE_MULTIPLE_BLOCK	R1				1	10		1	100
CMD26M*1	PROGRAM_CID	R1					10		1	100
CMD27	PROGRAM_CSD	R1					10*2		1/0	100/001
CMD28	SET_WRITE_PROT	R1b					00	1	1/0	100/001
CMD29	CLR_WRITE_PROT	R1b					00	1	1/0	100/001
CMD30	SEND_WRITE_PROT	R1					01		1/0	100/001
CMD32	TAG_SECTOR_START	R1					00		1/0	100/001
CMD33	TAG_SECTOR_END	R1					00		1/0	100/001
CMD34	UNTAG_SECTOR	R1					00		1/0	100/001
CMD35	TAG_ERASE_GROUP_START	R1					00		1/0	100/001
CMD36	TAG_ERASE_GROUP_END	R1					00		1/0	100/001
CMD37	UNTAG_ERASE_GROUP	R1					00		1/0	100/001
CMD38	ERASE	R1b					00	1	1/0	100/001
CMD39M*1	FAST_IO	R4					00		1	100

コマンドインデックス	略称	resp*2	CMDTYR					RSPTYR		
			TY5	TY4	TY3	TY2	TY1、TY0	RTY5	RTY4*3	RTY2～RTY0*2
CMD40M*1	GO_IRQ_STATE	R5					00		1	100
CMD42	LOCK_UNLOCK	R1b					10*2	1	1/0	100/001
CMD55	APP_CMD	R1					00		1/0	100/001
CMD56	GEN_CMD	R1b					10*2、01*4	1	1/0	100/001
CMD58S*1	READ_OCR	R3					00			011
CMD59S*1	CRC_ON_OFF	R1					00			001

【注】 *1 MMC モードのみ存在するコマンドはコマンドインデックスの末尾に M、SPI モードのみに存在するコマンドはコマンドインデックスの末尾に S を付けて表しています。

*2 MMC モードと SPI モードのレスポンス形式の違いは resp の欄に、レスポンスバイト数の違いは RTY2～RTY0 ビットの欄に MMC モード／SPI モードの順に列記します。データレスポンスは、SPI モードで TY1、TY0 ビットが B'10 のコマンドで使用されます。

*3 SPI モードでは 0 にクリアしてください。MMC モードで RTY4 ビットを 1 にセットすると、コマンドレスポンスの CRC のチェックが可能です。

*4 リードデータを伴うコマンドとしても使用されます。

19.3.4 転送バイト数カウントレジスタ（TBCR）

TBCR は、シングルブロック転送コマンドあたりの転送バイト数（ブロックサイズ）を設定します。ブロックサイズはスタートビット(SPI モードのときはスタートバイト)や CRC を含まないデータブロックバイト数です。MMC モードのマルチブロック転送コマンドでは各データブロックのバイト数に対応します。MMC モードのストリーム転送コマンドでは TBCR の設定は無視されます。

ビット	ビット名	初期値	R/W	説　明
7〜4	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
3	C3	0	R/W	転送データブロックサイズ
2	C2	0	R/W	0000：1 バイト
1	C1	0	R/W	0001：2 バイト
0	C0	0	R/W	0010：4 バイト 0011：8 バイト 0100：16 バイト 0101：32 バイト 0110：64 バイト 0111：128 バイト 1000：256 バイト 1001：512 バイト 1010：1024 バイト 1011：2048 バイト 11＊＊：設定禁止

【記号説明】＊：Don't care

19.3.5 転送ブロック数カウンタ（TBNCR）

TBNCR は、CMDTYR の TY5 ビットでマルチブロック転送を設定した場合、その転送ブロック数を設定します。TBNCR の内容は、1 ブロックの転送が完了するたびにデクリメントされ、0 になるとコマンドシーケンスを終了し、割り込みを発生します。

ビット	ビット名	初期値	R/W	説　明
15〜0	—	すべて 0	R/W	転送ブロック数カウンタ

19.3.6 コマンドレジスタ 0〜5（CMDR0〜CMDR5）

CMDR には**表 19.3** のようにコマンドをライトし、CMDSTRT の START ビットを 1 にセットすることによりコマンドを送信します。

表 19.3　CMDR の構成

レジスタ	内　容	操　作	注意事項
CMDR0	Start ビット、 Host ビット、 コマンドインデックス 6 ビット	コマンドインデックスの書き込み Start ビットは 0 Host ビットは 1 をセット	初期値は H'00
CMDR1〜CMDR4	コマンド引数 32 ビット	コマンド引数の書き込み	初期値は H'00
CMDR5	CRC 7 ビット、 End ビット	CRC は自動計算 End ビットは 1 固定	初期値は不定 リード値は常に H'00

- CMDR0

ビット	ビット名	初期値	R/W	説　明
7	Start	0	R/W	スタートビット 0 をセットする。
6	Host	0	R/W	トランスミッションビット 1 をセットする。
5〜0	—	すべて 0	R/W	コマンドインデックス

- CMDR1、CMDR2、CMDR3、CMDR4

ビット	ビット名	初期値	R/W	説　明
7〜0	—	すべて 0	R/W	コマンド引数

- CMDR5

ビット	ビット名	初期値	R/W	説　明
7〜1	CRC	—	—	CRC コード（自動計算）
0	End	—	—	End ビット（1 固定）

19.3.7 レスポンスレジスタ 0～16、D（RSPR0～RSPR16、RSPRD）

RSPR は、18 本の 8 ビットのリード／ライト可能なレジスタです。RSPR0～RSPR16 はコマンドレスポンスレジスタです。RSPRD はデータレスポンスレジスタで、SPI モードでのみ使用されます。

コマンドレスポンスバイト数はコマンドにより異なります。MCIF では、コマンドレスポンスバイト数を RSPTYR で指定することができます。コマンドレスポンスは RSPR16 のビット 0 からシフトインされ、コマンドレスポンスバイト数×8 ビットまでシフトされます。コマンドレスポンスバイト数と有効な RSPR レジスタの対応を**表 19.4** に示します。

データレスポンスは、SPI モードでライトデータを伴うコマンドの場合のみ RSPRD のビット 0 からシフトインされ、8 ビットシフトされます。それ以外のコマンドではシフトされません。任意の値のライトにより RSPRD は H'00 にクリアされます。*1

RSPR の初期値は H'00 です。RSPR0～RSPR16 は単純なシフトレジスタであり、一度シフトインされたコマンドレスポンスは自動的にはクリアされず、RSPR0 のビット 7 からシフトアウトされるまでシフトされ続けます。不要なバイトを H'00 にクリアするためには、各 RSPR に任意の値をライトしてください。*2

【注】 *1 RSPRD **のビット 7、ビット 6、ビット 5 は 0 に固定されています。**

*2 RSPR **からのレスポンスデータリードは、**DRPI **割り込み発生後、1 転送クロックサイクル後に実行してください。**
RSPR **のクリア完了は、任意の値のライトから 2 転送クロックサイクル後となります。**

表 19.4 コマンドレスポンスバイト数と RSPR レジスタの対応

	SPI モードレスポンス			MMC モードレスポンス	
RSPR レジスタ	1 バイト SPI モード (R1、R1b)	2 バイト SPI モード (R2)	5 バイト SPI モード (R3)	6 バイト MMC モード (R1、R1b、R3、R4)	17 バイト MMC モード (R2)
RSPR0	—	—	—	—	1 バイト目
RSPR1	—	—	—	—	2 バイト目
RSPR2	—	—	—	—	3 バイト目
RSPR3	—	—	—	—	4 バイト目
RSPR4	—	—	—	—	5 バイト目
RSPR5	—	—	—	—	6 バイト目
RSPR6	—	—	—	—	7 バイト目
RSPR7	—	—	—	—	8 バイト目
RSPR8	—	—	—	—	9 バイト目
RSPR9	—	—	—	—	10 バイト目
RSPR10	—	—	—	—	11 バイト目
RSPR11	—	—	—	1 バイト目	12 バイト目
RSPR12	—	—	1 バイト目	2 バイト目	13 バイト目
RSPR13	—	—	2 バイト目	3 バイト目	14 バイト目
RSPR14	—	—	3 バイト目	4 バイト目	15 バイト目
RSPR15	—	1 バイト目	4 バイト目	5 バイト目	16 バイト目
RSPR16	1 バイト目	2 バイト目	5 バイト目	6 バイト目	17 バイト目

19.3.8 コマンドスタートレジスタ（CMDSTRT）

CMDSTRT は、コマンド送信開始をトリガします。コマンド送信開始は、同時にコマンドシーケンスの開始となります。コマンドシーケンスの開始に先立って、次の操作を完了しておく必要があります。

- 前コマンドのレスポンスの解析、必要であればコマンドレスポンスレジスタのライトクリア
- 必要であれば前コマンドの受信データの解析／転送
- 必要であれば次コマンドの送信データの準備
- CMDTYR、RSPTYR、TBCR、TBNCRの設定
  CMDTYR、RSPTYR、TBCR、TBNCRは、コマンドシーケンスが終了するまで変更しないでください。
- CMDR0～CMDR4の設定
  CMDR0～CMDR4は、コマンド送信が終了する（CSTRのCWREフラグがリセットされるか、またはコマンド送信完了割り込みが発生）まで変更しないでください。

コマンドシーケンスは、MCIF 側と MMC 側それぞれのシーケンサで管理されています。これらは、通常は同期して動作しますが、エラーの発生やコマンドの中止などが発生すると一時的に同期しない場合があります。したがって、MMC モードでの OPCR の CMDOFF ビットのセット、CMD12M コマンドの発行、エラー処理を行う場合には注意が必要です。MCIF 側、MMC 側それぞれのコマンドシーケンスが終了していることを確認して、新しいコマンドシーケンスを開始してください。

ビット	ビット名	初期値	R/W	説　明
7～1	—	すべて 0	R/(W)	リザーブビット 初期値を変更しないでください。
0	START	0	R/W	コマンドシーケンススタートビット このビットを 1 にセットするとコマンド送信を開始します。リード値は常に 0 です。 ［クリア条件］ コマンド送信を開始すると自動的にクリアされます。

19.3.9 オペレーションコントロールレジスタ（OPCR）

OPCR は、コマンドの動作中止、データ転送の中断／継続を制御します。

ビット	ビット名	初期値	R/W	説　明
7	CMDOFF	0	W	コマンドオフ リード値は 0 です。 コマンド送信後の 1 ライトでそのコマンドに関する動作（MCIF のコマンドシーケンス）をすべて中止します。 ライト有効期間：コマンド送信完了からコマンドシーケンス終了まで 0：動作に影響ありません。 1：コマンドシーケンスを強制的に中止します。転送中のバイトの転送も中断します。 コマンドシーケンスの中止の結果、コマンドシーケンス中に転送クロックを停止していた場合は転送クロックの出力を再開します。
6	—	0	R/(W)	リザーブビット 初期値を変更しないでください。
5	RD_CONTI	0	W	リードコンティニュー リード値は 1 ライト後リード再開まで 1、それ以外は 0 です。 FIFO フルやマルチブロック読み込みのブロック読み込み終了による転送クロックの停止状態で、転送クロック出力およびリードデータの受信を再開します。 ライト有効期間：リードデータ受信の MCCLK 停止中 0：動作に影響ありません。 1：MCCLK 出力およびリードデータ受信を再開します。
4	DATAEN	0	R/W	データイネーブル リード値は 1 ライト後のデータ転送期間は 1、それ以外は 0 です。 ライトデータを伴うコマンドで、ライトデータの送信を開始します。FIFO エンプティによる転送クロック停止状態や、マルチブロック書き込みの 1 ブロック書き込み終了では、転送クロック出力およびライトデータの送信を再開します。 ライト有効期間： • ライトデータを伴うコマンド送信後 • FIFO エンプティによる転送クロック停止状態 • マルチブロック書き込みの 1 ブロック書き込み終了時 0：動作に影響ありません 1：転送クロック出力およびライトデータ送信を開始または再開します。
3〜0	—	すべて 0	R/(W)	リザーブビット 初期値を変更しないでください。

MMC のステータスによっては、MMC 側が自らコマンドシーケンスを停止する場合があります。これを**表 19.5** に示します。この場合は、必要に応じて MCIF 側も CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止する必要があります。

表 19.5 コマンドシーケンスを停止するカードステータス

動作モード		エラーステータス
MMC モード	コマンドレスポンス	MMC が送信したコマンドレスポンス内のカードステータス（32 ビット）のエラー検出ビットがセットされているとき
	データステータス	MMC へブロックデータ送信時、MMC より送信される CRC ステータス（3 ビット）のエラー検出ビットがセットされているとき
SPI モード	コマンドレスポンス	MMC が送信したコマンドレスポンス内のカードステータス（8 ビット）のエラー検出ビットがセットされているとき
	データレスポンス	MMC へブロックデータ送信時、MMC より送信されるデータレスポンス（8 ビット）のエラー検出ビットがセットされているとき

ライトデータの送信は、コマンドレスポンスやデータレスポンスの内容を解析後、送信のトリガを行う必要があります。また、転送クロック出力（MCCLK）は、FIFO のフル／エンプティにより一時的に停止し、準備が整ったところで転送クロックの出力を再開する必要があります。

MMC モードでのマルチブロック転送の場合は、ブロックの区切りごとに一時的にシーケンスを停止しますので、次のブロックに進むか、CMD12M コマンドを発行してマルチブロック転送コマンドを中止するかを選択して、シーケンスを再開する必要があります。マルチブロックリードでは、シーケンス停止中は転送クロックの出力も停止します。次のブロックに進むときは、RD_CONTI ビットや DATAEN ビットを 1 にセットします。CMD12M コマンドを発行する場合は、CMDOFF ビットを 1 にセットして MCIF 側のコマンドシーケンスを中止します。

転送クロックの一時停止は、FIFO がフル／エンプティになる 1 バイト前に決定されます。送信データ FIFO に 1 バイトだけデータがある状態で DATAEN ビットを 1 にセットしないでください。また、受信データ FIFO からの読み出しは FIFO フルの状態になってから行い、3 バイト以上読み出した後に RD_CONTI ビットを 1 にセットしてください。

19.3.10 コマンドタイムアウトコントロールレジスタ（CTOCR）

CTOCR は、コマンドレスポンスのタイムアウトを発生する周期を設定します。

コマンドタイムアウトを監視するために、CPU からはアクセスできないカウンタ（CTOUTC）があり、転送クロックをカウントします。CTOUTC は、コマンド送信開始から転送クロックのカウントを開始します。CTOUTC はコマンドレスポンス受信を完了するか、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止することによりクリアされ、転送クロックのカウントを停止します。

コマンドレスポンスが受信できない場合は、CTOUTC は転送クロックのカウントを続け、CTOCR に設定した転送クロック数に達するとコマンドタイムアウトエラーの状態になります。ここで INTCR1 の CTERIE ビットが 1 にセットされていると、INTSTR1 の CTERI フラグが 1 にセットされます。CTOUTC はその後も転送クロックのカウントを継続するため、繰り返し CTERI フラグのセット条件が発生します。コマンドタイムアウトエラー処理をする場合は、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止してから CTERI フラグをクリアするなどして、余分な割り込みが発生しないよう注意する必要があります。

ビット	ビット名	初期値	R/W	説　明
7〜1	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
0	CTSEL0	0	R/W	コマンドタイマアウトセレクト コマンド送信完了からコマンドレスポンスまでの転送クロック数を設定します。 0：128 転送クロック 1：256 転送クロック

19.3.11 データタイムアウトレジスタ（DTOUTR）

DTOUTR は、データタイムアウトを発生する周期を設定します。データタイムアウトを監視するために、CPU からはアクセスできない 16 ビットカウンタ（DTOUTC）とプリスケーラがあり、システムクロックをカウントします。プリスケーラは常にシステムクロックをカウントしており、10000 システムクロックごとにカウントパルスを出力します。DTOUTC は、コマンドシーケンスの開始からプリスケーラ出力のカウントを開始します。DTOUTC はコマンドシーケンスが終了するか、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止することによりクリアされ、プリスケーラ出力のカウントを停止します。

コマンドシーケンスが終了しない場合は、DTOUTC はプリスケーラ出力のカウントを続け、DTOUTR に設定した値に達するとデータタイムアウトエラーの状態になります。ここで INTCR1 の DTERIE ビットが 1 にセットされていると、INTSTR1 の DTERI フラグが 1 にセットされます。DTOUTC はその後もプリスケーラ出力のカウントを継続するため、繰り返し DTERI フラグのセット条件が発生します。データタイムアウトエラー処理をする場合は、CMDOFF ビットを 1 にセットしてコマンドシーケンスを中止してから DTERI フラグをクリアするなどして、余分な割り込みが発生しないよう注意する必要があります。

データビジー状態があるコマンドの場合、コマンドシーケンスはデータビジー状態の前に終了するため、データタイムアウトでタイムアウトの監視をすることができません。データビジー状態のタイムアウト監視はファームウェアで実現する必要があります。

ビット	ビット名	初期値	R/W	説　明
15～0	DTOUT15 ～ DTOUT0	すべて 1	R/W	データタイムアウト時間/10000 データタイムアウト時間は、システムクロック周期×DTOUTR 設定値×10000 となります。

19.3.12 カードステータスレジスタ（CSTR）

CSTR は、コマンドシーケンス実行中の MCIF のステータスを示します。

ビット	ビット名	初期値	R/W	説　明
7	BUSY	0	R	コマンドビジー コマンドの実行状態を示します。OPCR の CMDOFF ビットを 1 にセットすると、MCIF のコマンドシーケンスが中止されるため、このビットは 0 にクリアされます。 0：コマンドシーケンスが完了している状態です。 1：コマンドシーケンス実行中です。
6	FIFO_ FULL	0	R	FIFO フル 受信データ FIFO のフル検出の有無を示します。 0：受信データ FIFO のフルを検出していない状態です。 1：受信データ FIFO がフルを検出した状態です。 フル検出後の MMC からのリードデータ受信の再開、またはコマンドシーケンスの完了により 0 にクリアされます。
5	FIFO_ EMPTY	0	R	FIFO エンプティ 送信データ FIFO のエンプティ検出の有無を示します。 0：送信データ FIFO のエンプティを検出していない状態です。 1：送信データ FIFO がエンプティを検出した状態です。 エンプティ検出後の MMC へのデータ送信の再開、またはコマンドシーケンスの完了により 0 にクリアされます。
4	CWRE	0	R	コマンドレジスタライトイネーブル CMDR のコマンド送信中か送信済みかを示します。 0：CMDR のコマンド送信済みまたは CMDSTRT の START ビットのセット前で、新しいコマンドを書き込み可能です。 1：CMDR のコマンド送信待ちまたは送信中で、新しいコマンドを書き込むと誤動作する状態です。
3	DTBUSY	0	R	データビジー コマンドの実行状態を示します。データの転送を伴わないコマンドでレスポンスにビジー状態のあるコマンド、またはライトデータを伴うコマンドのシーケンス実行中または終了後、MMC がビジーである状態を表示します。 0：コマンド待ちのアイドル状態、またはコマンドシーケンス実行中です。 1：コマンドシーケンスの終了後、MMC 側がデータビジー表示をしています。

ビット	ビット名	初期値	R/W	説　明
2	DTBUSY_TU	—	R	データビジー端子状態 MMC モードでの MCDAT 端子、SPI モードでの MCRxD 端子のレベルをモニタします。ビジー状態にある MMC を非選択し、再度選択したとき MMC がビジー状態にあるかを検知するためにこのビットをモニタします。
1	—	0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
0	REQ	0	R	割り込み要求 割り込み処理要求の有無を示します。割り込み要求は、INTSTR0、INTSTR1 のフラグの論理和です。INTSTR0、INTSTR1 のフラグのセットは、INTCR0、INTCR1 のイネーブルビットによって制御されます。 0：割り込み要求がない。 1：割り込み要求がある。

19.3.13 割り込みコントロールレジスタ 0、1（INTCR0、INTCR1）

INTCR は、割り込みの許可／禁止を制御します。

- INTCR0

ビット	ビット名	初期値	R/W	説　明
7	FEIE	0	R/W	FIFO エンプティ割り込みイネーブル INTRQ0E ビットが 1 のとき、このビットを 1 にセットすると送信データ FIFO エンプティ割り込み要求がイネーブルになります。
6	FFIE	0	R/W	FIFO フル割り込みイネーブル INTRQ0E ビットが 1 のとき、このビットを 1 にセットすると受信データ FIFO フル割り込み要求がイネーブルになります。
5	DRPIE	0	R/W	データレスポンス割り込みイネーブル SPI モードで INTRQ1E ビットが 1 のとき、このビットを 1 にセットするとデータレスポンス割り込み要求がイネーブルになります。
4	DTIE	0	R/W	データ転送終了割り込みイネーブル INTRQ1E ビットが 1 のとき、このビットを 1 にセットするとデータ転送終了割り込み要求がイネーブルになります。
3	CRPIE	0	R/W	コマンドレスポンス終了割り込みイネーブル INTRQ1E ビットが 1 のとき、このビットを 1 にセットするとコマンドレスポンス終了割り込み要求がイネーブルになります。
2	CMDIE	0	R/W	コマンド送信完了割り込みイネーブル INTRQ1E ビットが 1 のとき、このビットを 1 にセットするとコマンド送信完了割り込み要求がイネーブルになります。
1	DBSYIE	0	R/W	データビジー終了割り込みイネーブル INTRQ1E ビットが 1 のとき、このビットを 1 にセットするとデータビジー終了割り込み要求がイネーブルになります。
0	BTIE	0	R/W	マルチブロック転送終了割り込みイネーブル INTRQ1E ビットが 1 のとき、このビットを 1 にセットするとマルチブロック転送終了割り込み要求がイネーブルになります。

- INTCR1

ビット	ビット名	初期値	R/W	説　明
7	INTRQ2E	0	R/W	要因 2 割り込みイネーブル 0：MCIF2 の CPU への割り込みをディスエーブルにする。 1：MCIF2 の CPU への割り込みをイネーブルにする。
6	INTRQ1E	0	R/W	要因 1 割り込みイネーブル 0：MCIF1 の CPU への割り込みをディスエーブルにする。 1：MCIF1 の CPU への割り込みをイネーブルにする。
5	INTRQ0E	0	R/W	要因 0 割り込みイネーブル 0：MCIF0 の CPU への割り込みをディスエーブルにする。 1：MCIF0 の CPU への割り込みをイネーブルにする。
4〜3	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	CRCERIE	0	R/W	CRC エラー割り込みイネーブル INTRQ2E が 1 のとき、このビットを 1 にセットすると CRC エラー割り込み要求がイネーブルになります。
1	DTERIE	0	R/W	データタイムアウトエラー割り込みイネーブル INTRQ2E が 1 のとき、このビットを 1 にセットするとデータタイムアウトエラー割り込み要求がイネーブルになります。
0	CTERIE	0	R/W	コマンドタイムアウトエラー割り込みイネーブル INTRQ2E が 1 のとき、このビットを 1 にセットするとコマンドタイムアウトエラー割り込み要求がイネーブルになります。

19.3.14 割り込みステータスレジスタ 0、1（INTSTR0、INTSTR1）

INTSTR は、MCIF の MCIFI0～MCIFI2 割り込み要求を制御します。

- INTSTR0

ビット	ビット名	初期値	R/W	説　明
7	FEI	0	R/(W)*	FIFO エンプティ割り込みフラグ 0：割り込み要求なし 1：MCIFI0 割り込み要求あり [セット条件] INTCR0 の FEIE=1 の状態で、送信データ FIFO がエンプティとなったとき（CSTR の FIFO_EMPTY ビットがセットされたとき） [クリア条件] FEI=1 の状態で FEI をリード後、FEI に 0 をライトしたとき
6	FFI	0	R/(W)*	FIFO フル割り込みフラグ 0：割り込み要求なし 1：MCIFI0 割り込み要求あり [セット条件] INTCR0 の FFIE=1 の状態で、受信データ FIFO がフルとなったとき（CSTR の FIFO_FULL ビットがセットされたとき） [クリア条件] FFI=1 の状態で FFI をリード後、FFI に 0 をライトしたとき
5	DRPI	0	R/(W)*	データレスポンス割り込みフラグ 0：割り込み要求なし 1：MCIFI1 割り込み要求あり [セット条件] INTCR0 の DRPIE=1 の状態で、1 ブロックデータ送信後の MMC からの CRC ステーテス（MMC モード）、データレスポンス（SPI モード）を受信したとき [クリア条件] DRPI=1 の状態で DRPI をリード後、DRPI に 0 をライトしたとき
4	DTI	0	R/(W)*	データ転送終了割り込みフラグ 0：割り込み要求なし 1：MCIFI1 割り込み要求あり [セット条件] INTCR0 の DTIE=1 の状態で、TBCR に設定したバイト数のデータ転送が終了したとき [クリア条件] DTI=1 の状態で DTI をリード後、DTI に 0 をライトしたとき

ビット	ビット名	初期値	R/W	説　明
3	CRPI	0	R/(W)*	コマンドレスポンス終了割り込みフラグ 0：割り込み要求なし 1：MCIFI1 割り込み要求あり [セット条件] INTCR0 の CRPIE=1 の状態で、コマンドレスポンスの受信が終了したとき [クリア条件] CRPI=1 の状態で CRPI をリード後、CRPI に 0 をライトしたとき
2	CMDI	0	R/(W)*	コマンド送信完了割り込みフラグ 0：割り込み要求なし 1：MCIFI1 割り込み要求あり [セット条件] INTCR0 の CMDIE=1 の状態で、コマンドの送信が完了したとき （CSTR の CWRE ビットがクリアされたとき） [クリア条件] CMDI=1 の状態で CMDI をリード後、CMDI に 0 をライトしたとき
1	DBSYI	0	R/(W)*	データビジー終了割り込みフラグ 0：割り込み要求なし 1：MCIFI1 割り込み要求あり [セット条件] INTCR0 の DBSYIE=1 の状態で、データビジーの状態が解消したとき （CSTR の DTBUSY ビットがクリアされたとき） [クリア条件] DBSYI=1 の状態で DBSYI をリード後、DBSYI に 0 をライトしたとき
0	BTI	0	R/(W)*	マルチブロック転送終了割り込みフラグ 0：割り込み要求なし 1：MCIFI1 割り込み要求あり [セット条件] INTCR0 の BTIE=1 の状態で、SPI モードの拡張コマンド（マルチブロック転送）で、TBNCR が 0 までデクリメントされた後の TBCR で設定したバイト数のデータ転送が終了したとき [クリア条件] BTI=1 の状態で BTI をリード後、BTI に 0 をライトしたとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

- INTSTR1

ビット	ビット名	初期値	R/W	説　明
7〜3	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	CRCERI	0	R/(W)*	CRC エラー割り込みフラグ 0：割り込み要求なし 1：MCIFI2 割り込み要求あり ［セット条件］ INTCR1 の CRCERIE=1 の状態で、コマンドレスポンスまたは受信データの CRC エラー、および送信データレスポンスのステータスエラー（CRC エラー）を検出したとき。コマンドレスポンスに対しては RSPTYR の RTY4 ビットがイネーブルのとき CRC をチェックします。 ［クリア条件］ CRCERI=1 の状態で CRCERI リード後、CRCERI に 0 をライトしたとき
1	DTERI	0	R/(W)*	データタイムアウトエラー割り込みフラグ 0：割り込み要求なし 1：MCIFI2 割り込み要求あり ［セット条件］ INTCR1 の DTERIE=1 の状態で、DTOUTR に設定したデータタイムアウトエラーが発生とき ［クリア条件］ DTERI=1 の状態で DTERI リード後、DTERI に 0 をライトしたとき
0	CTERI	0	R/(W)*	コマンドタイムアウトエラー割り込みフラグ 0：割り込み要求なし 1：MCIFI2 割り込み要求あり ［セット条件］ INTCR1 の CTERIE=1 の状態で、CTOCR に設定したコマンドタイムアウトエラーが発生したとき ［クリア条件］ CTERI=1 の状態で CTERI リード後、CTERI に 0 をライトしたとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

19.3.15 端子モードコントロールレジスタ（IOMCR）

IOMCR は、SPI モードのチップセレクト端子の動作や、MMC モードの入出力方向出力端子の動作を制御します。

ビット	ビット名	初期値	R/W	説　明
7	SPCNUM	0	R/W	SPI モード MMC 枚数 SPI モードで操作する MMC が 1 枚か 2 枚かを設定します。 0：MMC は 1 枚で、MCCSA 端子を接続 MCCSB 端子の出力を禁止します。 1：MMC は最大 2 枚で、MCCSA、MCCSB 端子を接続
6	CHIPSA	0	R/W	MMC 選択 $\overline{A}$/B SPCNUM＝1 のとき、2 枚の MMC の選択を設定します。 0：MCCSA 端子に CS 信号出力、MCCSB 端子はハイレベル（非選択） 1：MCCSA 端子はハイレベル（非選択）、MCCSB 端子に CS 信号出力
5〜2	―	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
1	DIRME	0	R/W	信号ディレクション出力イネーブル MMC モードにおいて、MCCMD 端子、MCDAT 端子の入出力の方向を示す MCCMDDIR 端子、MCDATDIR 端子の出力を許可／禁止します。 0：MCCMDDIR 端子、MCDATDIR 端子の出力を禁止 1：MCCMDDIR 端子、MCDATDIR 端子の出力を許可
0	MMCPE	0	R/W	MCIF 端子機能イネーブル MCIF のすべての入出力端子の入出力を許可／禁止します。 0：すべての入出力を禁止 1：MCCLK、MCCMD/MCTxD、MCDAT/MCRxD、MCCSA/MCDATDIR、MCCSB/MCCMDDIR 端子の入出力を許可 MCCSB 端子、MCDATDIR 端子、MCCMDDIR 端子の出力は、それぞれ SPCNUM ビット、DIRME ビットによっても禁止されます。

19.3.16 転送クロックコントロールレジスタ（CLKON）

CLKON は、転送クロックの周波数および ON/OFF を制御します。

本 LSI の最大動作周波数の制限から 20Mbps の転送クロックを実現するためには、システムクロックを 20MHz とし、CSEL2～CSEL0 ビットを B'100 に設定する必要があります。このとき MMC モードのオープンドレイン形式出力状態では、CSEL2～CSEL0 ビットを B'000 に設定して転送クロックを 200kbps とします。

ビット	ビット名	初期値	R/W	説　明
7	CLKON	0	R/W	クロックオン 0：MCCLK 端子からの転送クロック出力を Low レベルに固定 1：MCCLK 端子から転送クロックを出力
6～3	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
2	CSEL2	0	R/W	転送クロック周波数セレクト
1	CSEL1	0	R/W	000：転送クロックはφ/100
0	CSEL0	0	R/W	001：転送クロックはφ/8 010：転送クロックはφ/4 011：転送クロックはφ/2 100：転送クロックはφ 101～111：設定禁止

19.4 MCIF の起動

MMC は着脱可能な外部記憶メディアです。MCIF は MMC とのデータ転送を制御しますが、MMC の挿入／抜き取りに関する制御は不十分です。MMC の挿入／抜き取りに関しての制御は、本 LSI の外部割り込みや汎用ポートを利用してファームウェアで行ってください。

19.4.1 初期状態

MMC へ供給する電源は、本 LSI の汎用ポート出力で ON/OFF 制御します。MCCLK、MCCMD/MCTxD、MCDAT/MCRxD、MCCSA/MCDATDIR、MCCSB/MCCMDDIR などの入出力端子は、IOMCR の MMCPE ビットによって入出力を許可／禁止します。MMCPE ビットを 1 にセットするとき、他の入出力が安定してから転送クロックが印加されるよう、CLKON ビットは 0 にクリアしておきます。

19.4.2 起動手順

MMC の挿入を検出した場合には、次の手順で MCIF を起動します。

(1) MMC モード

- 汎用ポート出力で、MMCへの電源の供給を許可します。
- MMCPEビットを1にセットして、入出力信号をイネーブルにします。
- CLKONビットを1にセットして、転送クロックの印加を開始します。

(2) SPI モード

- 汎用ポート出力で、MMCへの電源の供給を許可します。
- MMCスロットの数および挿入されたMMCスロットによって、IOMCRのSPCNUM、CHIPSAにビットを設定します。
- MMCPEビットを1にセットして、入出力信号をイネーブルにします。
- CLKONビットを1にセットして、転送クロックの印加を開始します。

19.5 MMC モードの動作

MMC モードは、転送クロックを出力する MCCLK 端子、コマンドを送信しレスポンスを受信する MCCMD 端子と、データを送受信する MCDAT 端子からなる動作モードです。この端子構成によりデータ送受信中に次のコマンドを発行できます。これは、データ転送のバイト数をあらかじめ設定しないマルチブロック転送やストリーム転送に利用できます。この場合、次のコマンドは現在のコマンドシーケンスを中止させる CMD12M コマンドを発行します。

MMC モードでは、複数のカードに同時にコマンドを発行するブロードキャスト型のコマンドをサポートしています。ブロードキャスト型のコマンドを用いて挿入されている MMC の情報を認識した後、個々の MMC に相対アドレスを与えます。相対アドレスによって 1 枚の MMC を選択し、他の MMC を非選択にした後、選択した MMC に対して種々のコマンドを発行します。

19.5.1 ブロードキャスト型コマンドの動作

CMD0、CMD1、CMD2M、CMD4M はブロードキャスト型のコマンドです。これに CMD3M を加えて、個々の MMC に相対アドレスを与えるシーケンスを構成します。このシーケンスの間は、MMC 側の CMD 出力形式はオープンドレインに設定され、コマンドレスポンスはワイヤード OR されます。このときの転送クロックの周波数は充分遅く設定する必要があります。代表的なコマンド動作の概要を以下に説明します。

- CMD0は、すべてのMMCをアイドル状態に初期化します。
- CMD1は、すべてのMMCのオペレーションコンディションレジスタ（OCR）をワイヤードORで読み出し、動作できないMMCを不活性化します。不活性化されなかったMMCはレディ状態になります。
- CMD2Mは、すべてのレディ状態のMMCのカードアイデンティフィケーション（CID）をワイヤードORで読み出します。個々のMMCは自身のCIDとCMD上のデータを比較し、異なっていれば直ちにCID出力を中止します。CIDを最後まで出力できた1枚のMMCは認識状態になります。
- CMD3Mは、認識状態のMMCに相対アドレス（RCA）を与えます。RCAを得たMMCはスタンバイ状態になります。
- CMD2M、CMD3Mを繰り返し、すべてのレディ状態のMMCにRCAを与えスタンバイ状態にします。

19.5.2 相対アドレス型コマンドの動作

CMD7M、CMD9、CMD10、CMD13、CMD15M、CMD39M、CMD55 は RCA で MMC をアドレスする相対アドレス型コマンドです。相対アドレス型コマンドは MMC の管理情報や固有情報を読み取るほか、特定の MMC の状態を変更するために用います。代表的なコマンド動作の概要を以下に説明します。

- CMD7Mはアドレスした1枚のMMCを転送状態に設定し、それ以外のMMCをスタンバイ状態にします。転送状態のMMCに対して、データの送受信を供うコマンド等を実行します。
- CMD15Mはアドレスしたを不活性状態に設定します。
- CMD55はアドレスしたMMCをアプリケーション固有の拡張コマンド受付状態に設定します。

19.5.3 コマンドレスポンスを要さないコマンドの動作

MMC モードでのコマンドには、コマンドレスポンスを要さないコマンドがあります。

図 19.2 にコマンドレスポンスを要さないコマンドのコマンドシーケンスの例を示します。**図** 19.3 にコマンドレスポンスを要さないコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。
- CMDSTRTのSTARTビットを1にセットして、コマンド送信を開始します。
- コマンドシーケンス終了をCSTRのBUSYフラグのポーリングかコマンド送信完了割り込み（CMDI）で検出します。

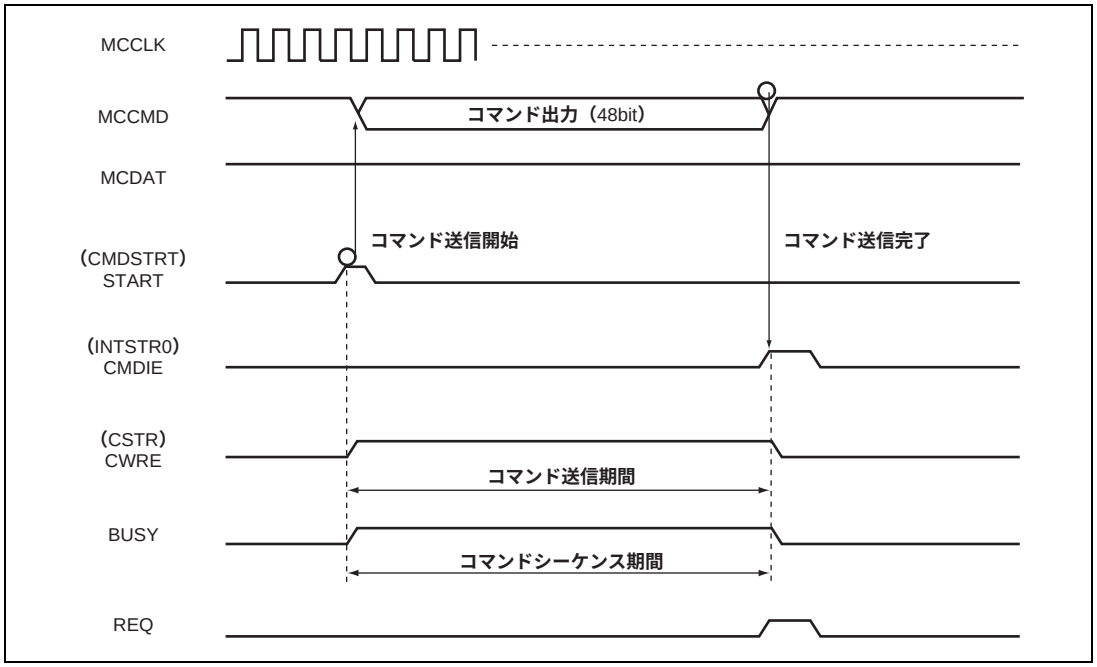


図 19.2 **コマンドレスポンスを要さないコマンドのコマンドシーケンスの例**

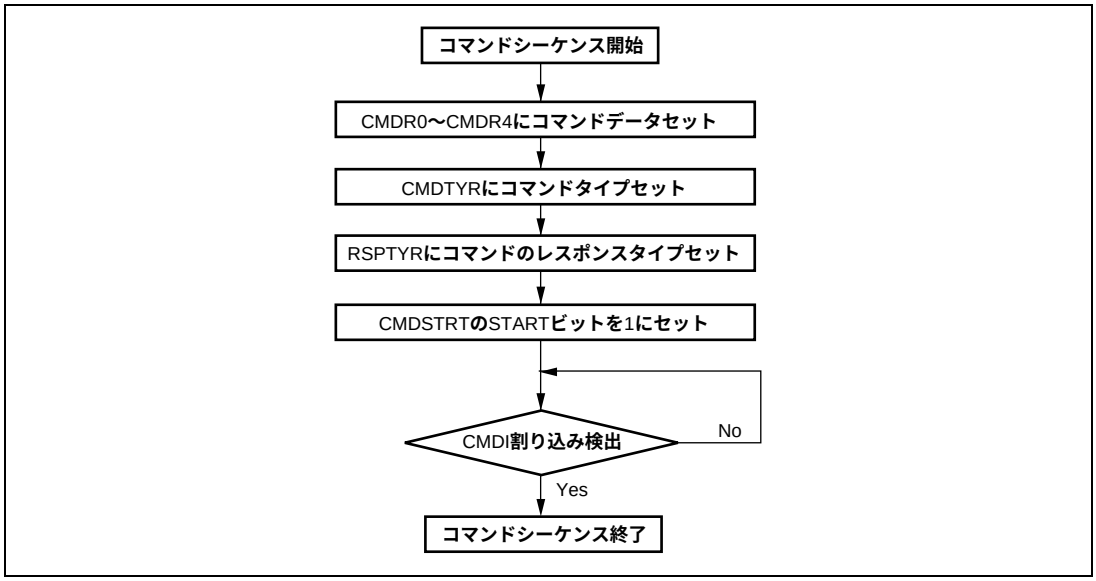


図 19.3　コマンドレスポンスを要さないコマンドの動作フローチャート

19.5.4　データ転送を伴わないコマンドの動作

ブロードキャスト型、相対アドレス型のコマンドには、データ転送を伴わないコマンドがあります。このコマンドは、コマンドの引数およびコマンドレスポンスで所望のデータ転送を実行します。フラッシュメモリの書き込み／消去など時間を要する処理に関するコマンドでは、MMC は DAT 端子にデータビジー状態を表示します。

図 19.4 と**図 19.5** にデータ転送を伴わないコマンドのコマンドシーケンスの例を示します。**図 19.6** にデータ転送を伴わないコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。
- CMDSTRTのSTARTビットを1にセットして、コマンド送信を開始します。

  コマンド送信完了はコマンド送信完了割り込み（CMDI）で確認できます。
- MMCからコマンドレスポンスを受信します。MMCがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー（CTERI）で検出します。
- コマンドシーケンス終了をCSTRのBUSYフラグのポーリングか、コマンドレスポンス終了割り込み（CRPI）で検出します。
- データビジー状態終了は、CSTRのDTBUSYフラグのポーリングかデータビジー終了割り込み（DBSYI）で検出します。

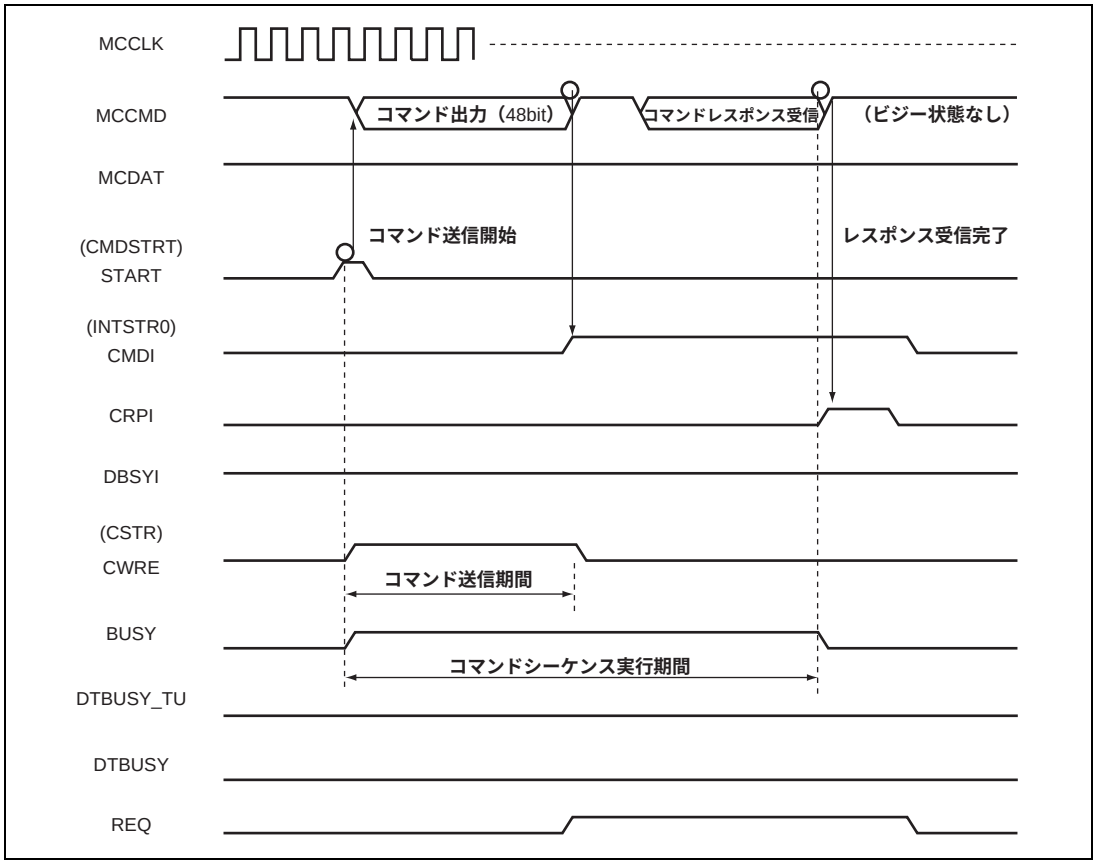


図 19.4　**データ転送を伴わないコマンドのコマンドシーケンスの例（データビジー状態なし）**

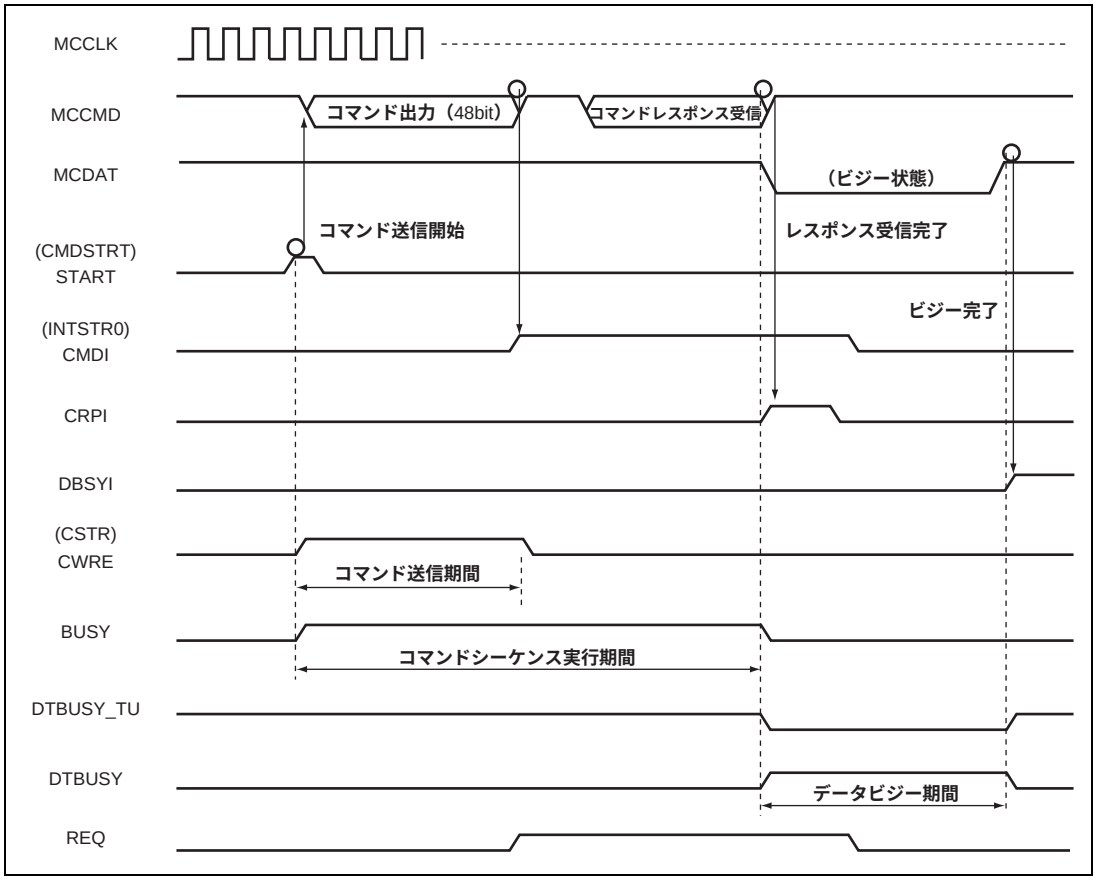


図 19.5　**データ転送を伴わないコマンドのコマンドシーケンスの例（データビジー状態あり）**

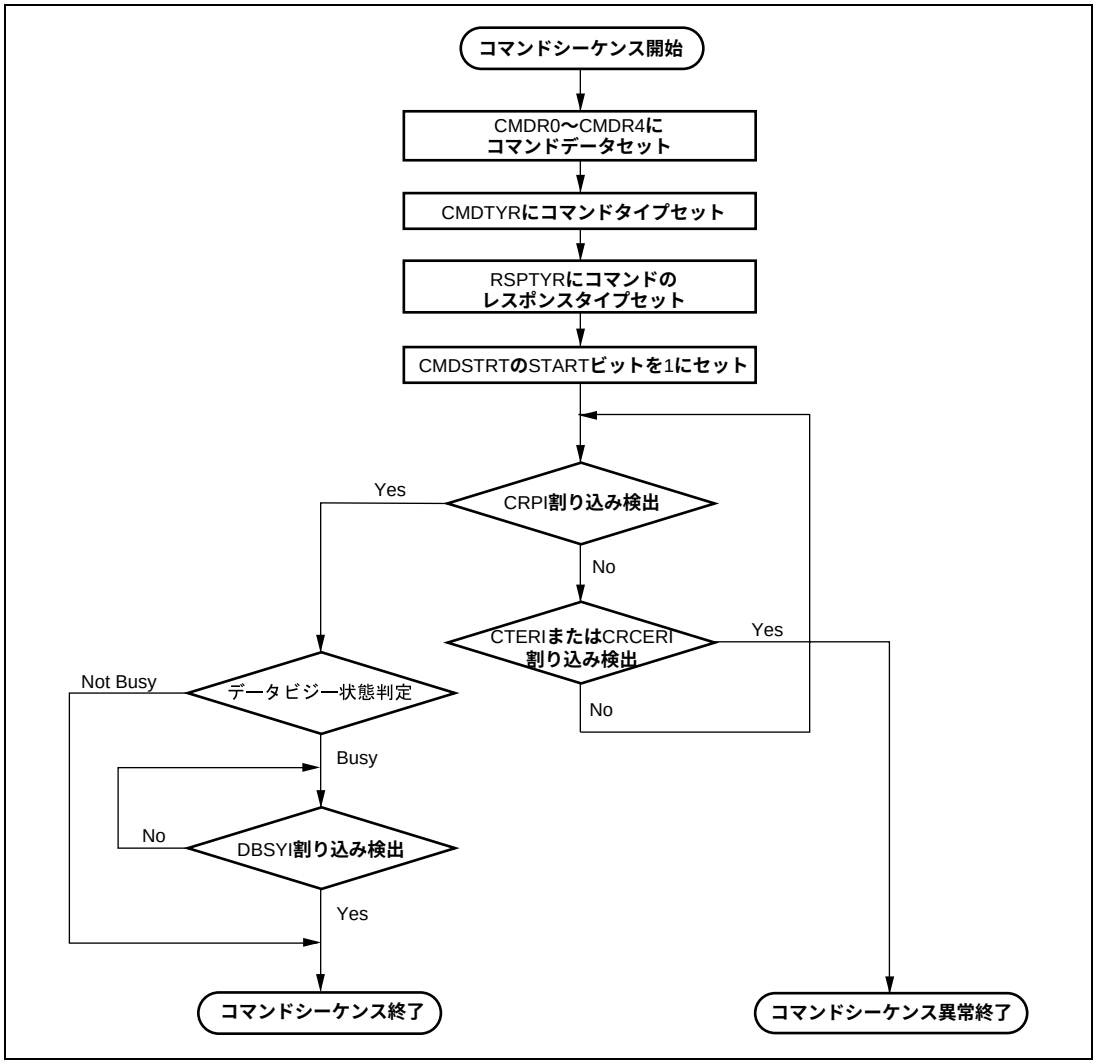


図 19.6　データ転送を伴わないコマンドの動作フローチャート

19.5.5 リードデータを伴うコマンド

リードデータを伴うコマンドではコマンドの引数およびコマンドレスポンスで MMC の状態を確認後、MMC の情報やフラッシュメモリのデータを MCDAT 端子から受信します。

リードするフラッシュメモリのバイト数は CMD16 で設定したブロックサイズか、バイト数を設定しないマルチブロック転送およびストリーム転送では CMD12M で中止されるまでとなります。マルチブロック転送では、ブロックごとに転送を中断してコマンドシーケンスを継続するか否かの指示を待ちます。

ブロックサイズと受信データ FIFO のサイズの大小関係によって、コマンドシーケンス中の中断があるか否かが異なります。ブロックサイズ≦受信データ FIFO サイズのシングルブロック転送の場合は、データ転送の終了まで中断なくコマンドシーケンスを実行します。マルチブロック転送では、ブロックごとにシーケンスを中断します。ブロックサイズ＞受信データ FIFO サイズのシングルブロック転送の場合は、FIFO フルでコマンドシーケンスが中断します。中断した場合は、受信データ FIFO 中のデータを処理した後、コマンドシーケンスを継続します。

図 19.7〜図 19.10 にリードデータを伴うコマンドのコマンドシーケンスの例を示します。**図 19.11** にリードデータを伴うコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。受信データFIFOをクリアします。
- CMDSTRTのSTARTビットを1にセットして、コマンド送信を開始します。コマンド送信完了は、コマンド送信完了割り込み（CMDI）で確認できます。
- MMCからコマンドレスポンスを受信します。MMCがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー（CTERI）で検出します。
- MMCからリードデータを受信します。
- マルチブロック転送でのブロック間中断および受信データFIFOフルによる中断を、それぞれデータ転送終了割り込み（DTI）およびFIFOフル割り込み（FFI）で検出します。コマンドシーケンスを継続する場合は、OPCRのRD_CONTIビットを1にセットします。中止する場合は、OPCRのCMDOFFビットを1にセットしてCMD12Mを発行します。
- コマンドシーケンス終了の検出はコマンドの種類によって異なります。SPIモードの拡張コマンドのマルチブロック転送では所望のブロック数の受信完了後、ブロック転送終了割り込み（BTI）で検出します。それ以外のコマンドの場合、CSTRのBUSYフラグのポーリングかデータ転送終了割り込み（DTI）で検出します。

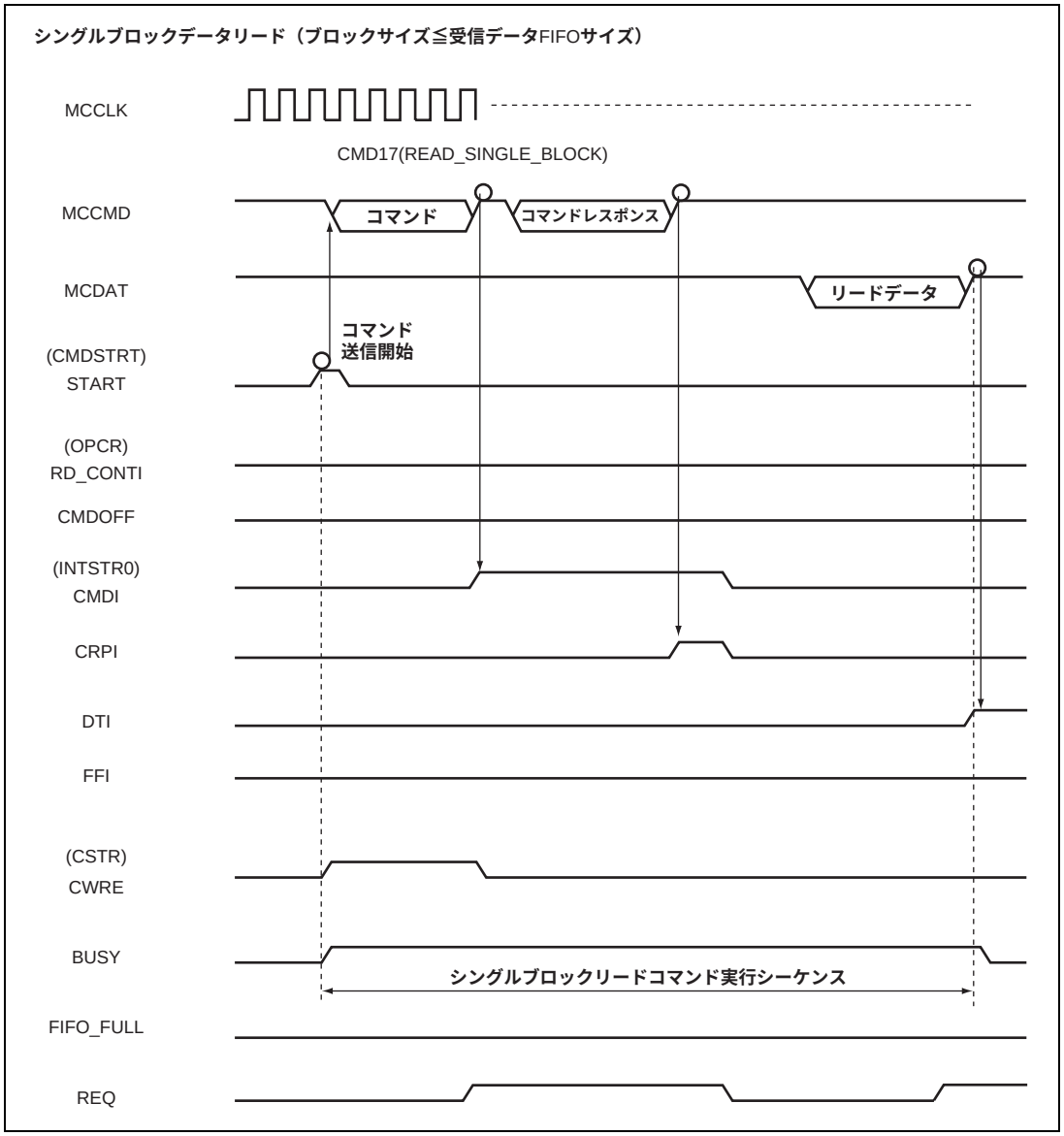


図 19.7　**リードデータを伴うコマンドのコマンドシーケンスの例（1）**

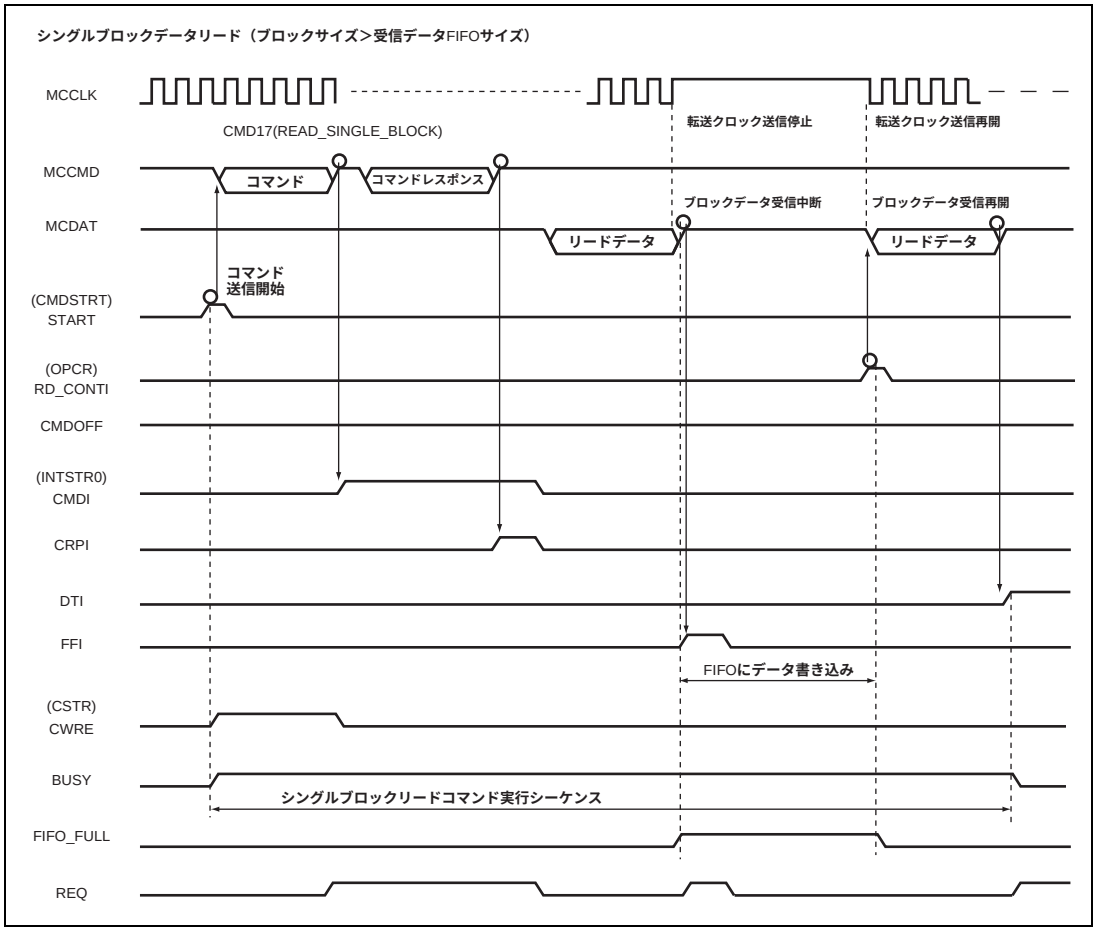


図 19.8　リードデータを伴うコマンドのコマンドシーケンスの例（2）

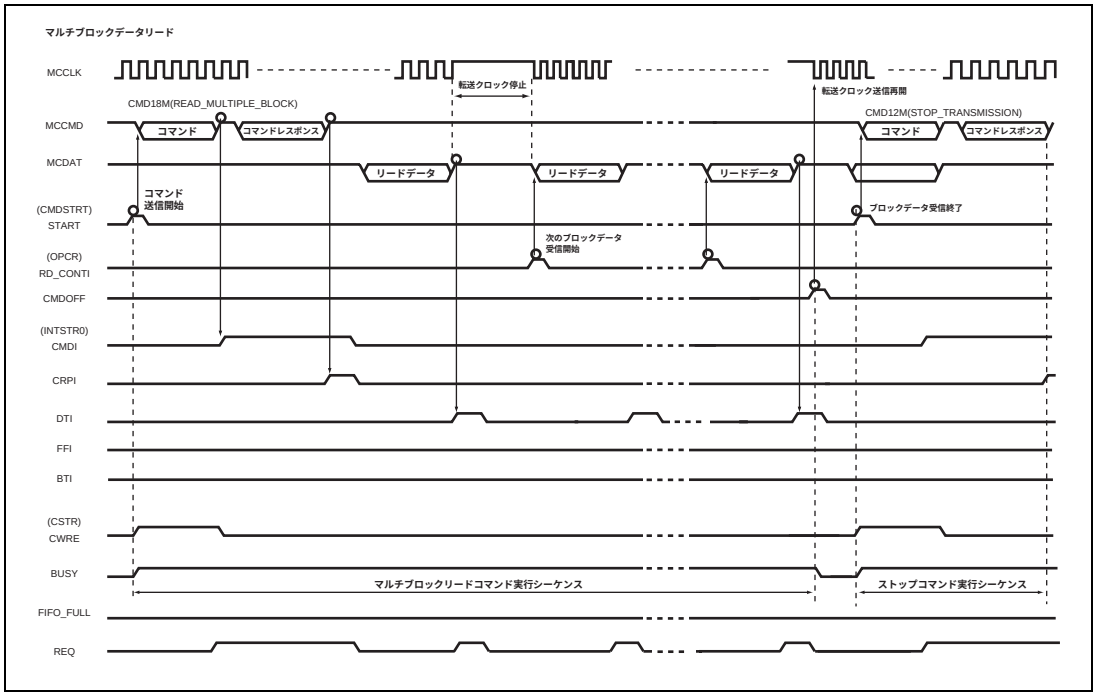


図 19.9　**リードデータを伴うコマンドのコマンドシーケンスの例（3）**

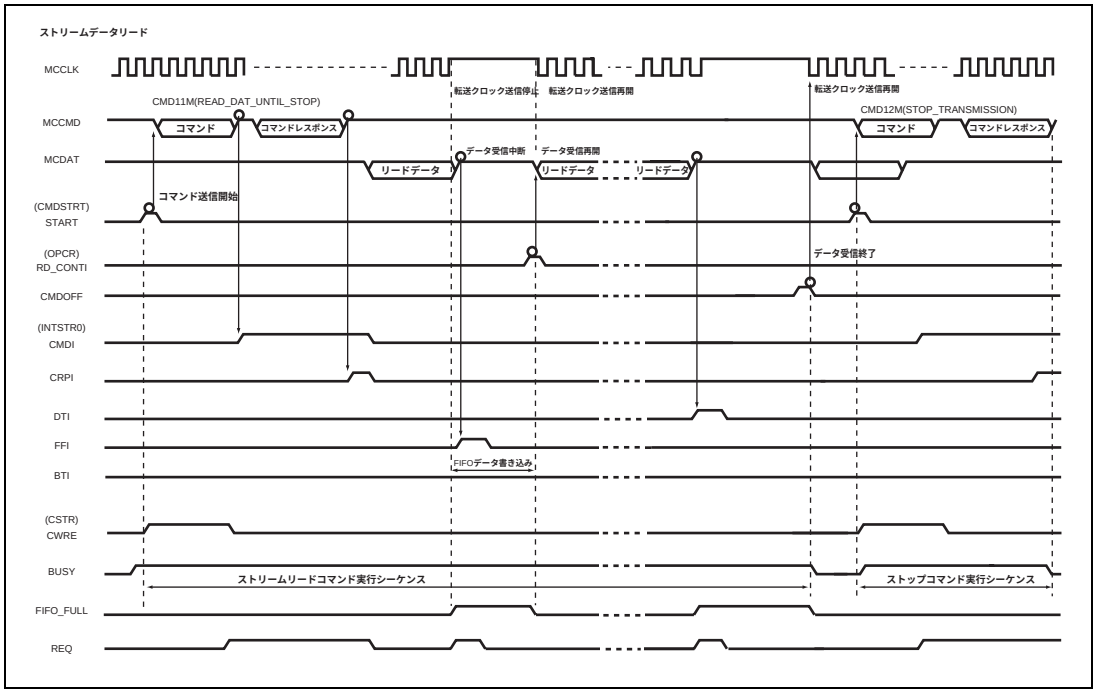


図 19.10　**リードデータを伴うコマンドのコマンドシーケンスの例**（4）

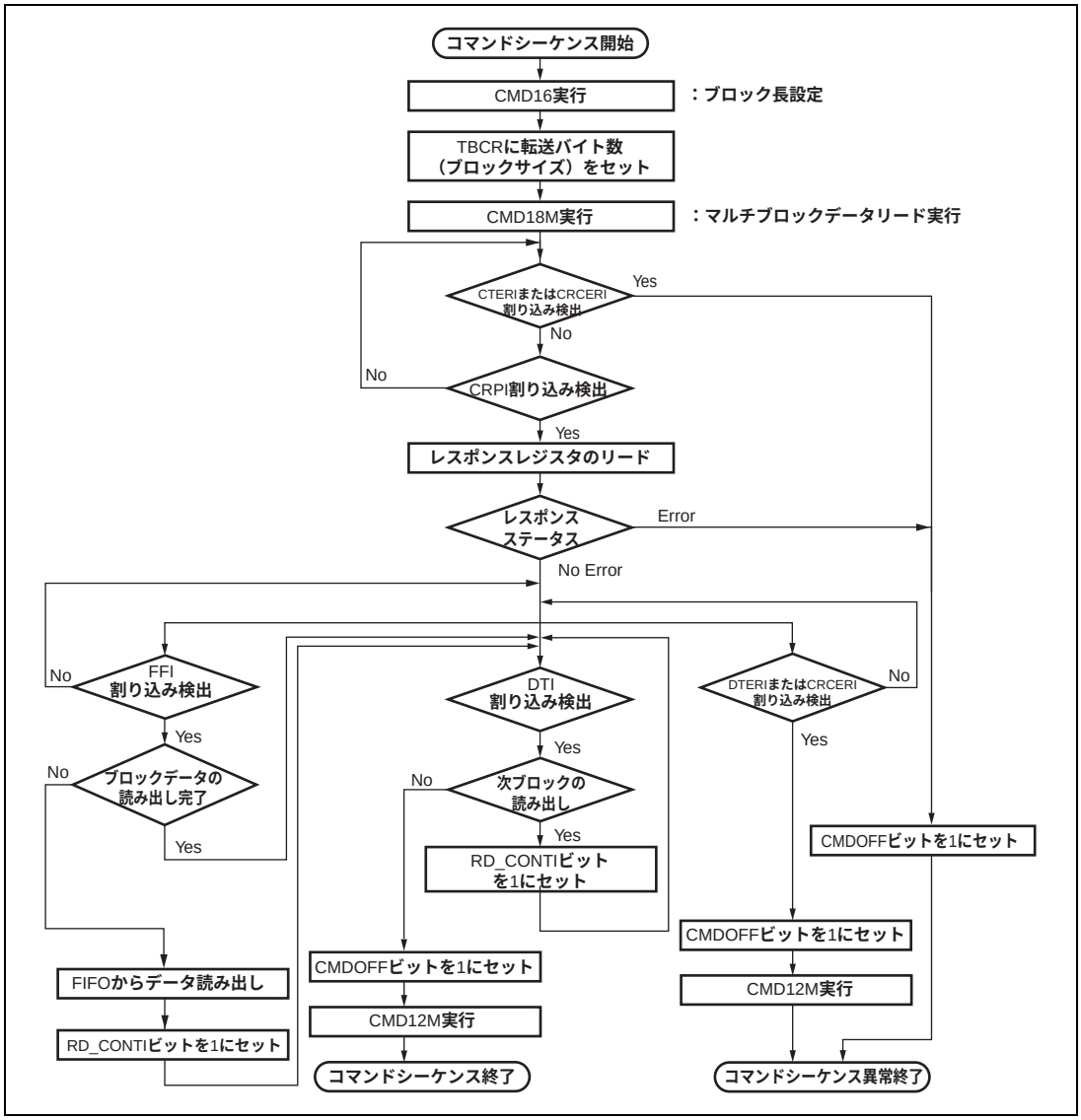


図 19.11　**リードデータを伴うコマンドの動作フローチャート**

19.5.6 ライトデータを伴うコマンド

ライトデータを伴うコマンドでは、コマンド送信後のコマンドレスポンスで MMC の状態を確認後、MMC の情報やフラッシュメモリのデータを MCDAT 端子から送信します。フラッシュメモリの書き込みなど時間を要する処理に関するコマンドでは、MMC は DAT 端子にデータビジー状態を表示します。

ライトするフラッシュメモリのバイト数は、CMD16 で設定したブロックサイズか、バイト数を設定しないマルチブロック転送およびストリーム転送では CMD12M で中止されるまでとなります。マルチブロック転送では、ブロックごとに転送を中断してコマンドシーケンスを継続するか否かの指示を待ちます。

ブロックサイズと送信データ FIFO のサイズの大小関係によって、コマンドシーケンス中の中断があるか否かが異なります。ブロックサイズ≦送信データ FIFO サイズのシングルブロック転送の場合は、データ転送の終了まで中断なくコマンドシーケンスを実行します。マルチブロック転送では、ブロックごとにシーケンスを中断します。ブロックサイズ＞送信データ FIFO サイズのシングルブロック転送の場合は、FIFO エンプティでコマンドシーケンスが中断します。中断した場合は、送信データ FIFO に次のデータを補充した後、コマンドシーケンスを継続します。

図 19.12～図 19.15 にライトデータを伴うコマンドのコマンドシーケンスの例を示します。**図 19.16** にライトデータを伴うコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。送信データFIFOにライトデータをセットします。
- CMDSTRTのSTARTビットを1にセットして、コマンド送信を開始します。コマンド送信完了は、コマンド送信完了割り込み（CMDI）で確認できます。
- MMCからコマンドレスポンスを受信します。MMCがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー（CTERI）で検出します。
- OPCRのDATAENビットをセットして、ライトデータの送信を開始します。
- マルチブロック転送でのブロック間中断および送信データFIFOエンプティによる中断を、それぞれデータ転送終了割り込み（DTI）、データレスポンス完了割り込み（DRPI）およびFIFOエンプティ割り込み（FEI）で検出します。さらに、データ転送終了による中断の場合、データビジー状態の解除をデータビジー終了割り込み（DBSYI）で検出します。コマンドシーケンスを継続する場合は、送信データFIFOにライトデータを補充し、OPCRのDATAENビットを1にセットします。中止する場合は、OPCRのCMDOFFビットを1にセットしてCMD12Mを発行します。
- コマンドシーケンス終了の検出は、コマンドの種類によって異なります。SPIモードの拡張コマンドのマルチブロック転送では、所望のブロック数の送信完了後ブロック転送終了割り込み（BTI）、データレスポンス完了割り込み（DRPI）で検出します。それ以外のコマンドの場合、CSTRのBUSYフラグのポーリングか、データ転送終了割り込み（DTI）、データレスポンス完了割り込み（DRPI）で検出します。
- データビジー状態の終了は、CSTRのDTBUSYフラグのポーリングかデータビジー終了割り込み（DBSYI）で検出します。

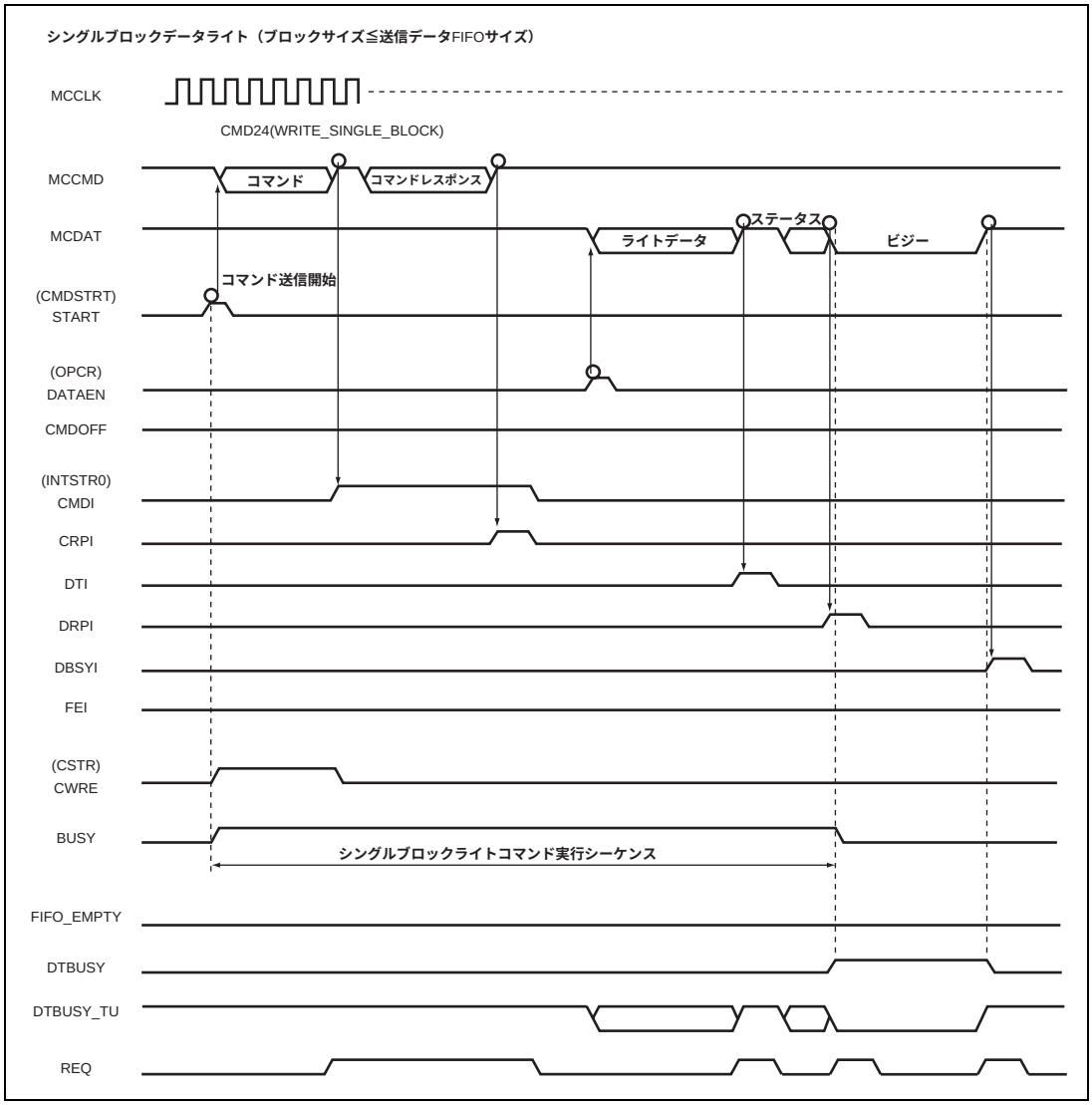


図 19.12　**ライトデータを伴うコマンドのコマンドシーケンスの例（1）**

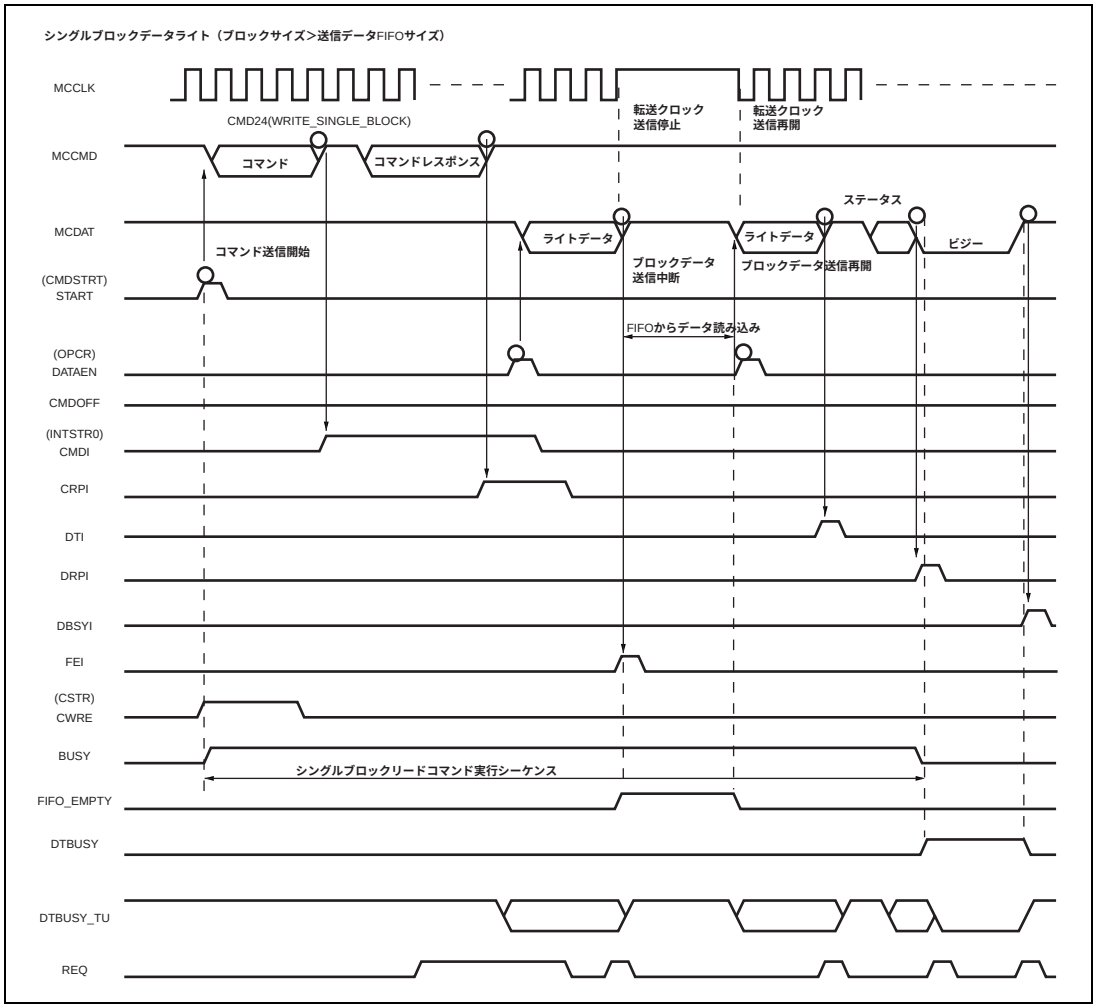


図 19.13　**ライトデータを伴うコマンドのコマンドシーケンスの例**（2）

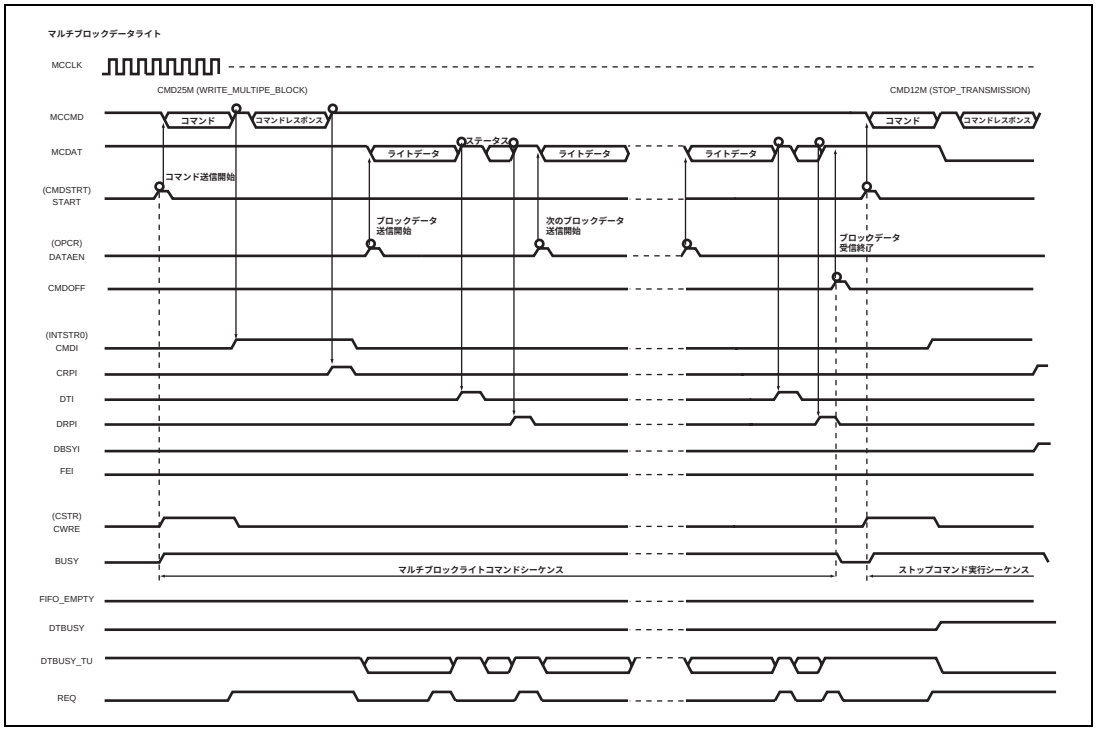


図 19.14　**ライトデータを伴うコマンドのコマンドシーケンスの例**（3）

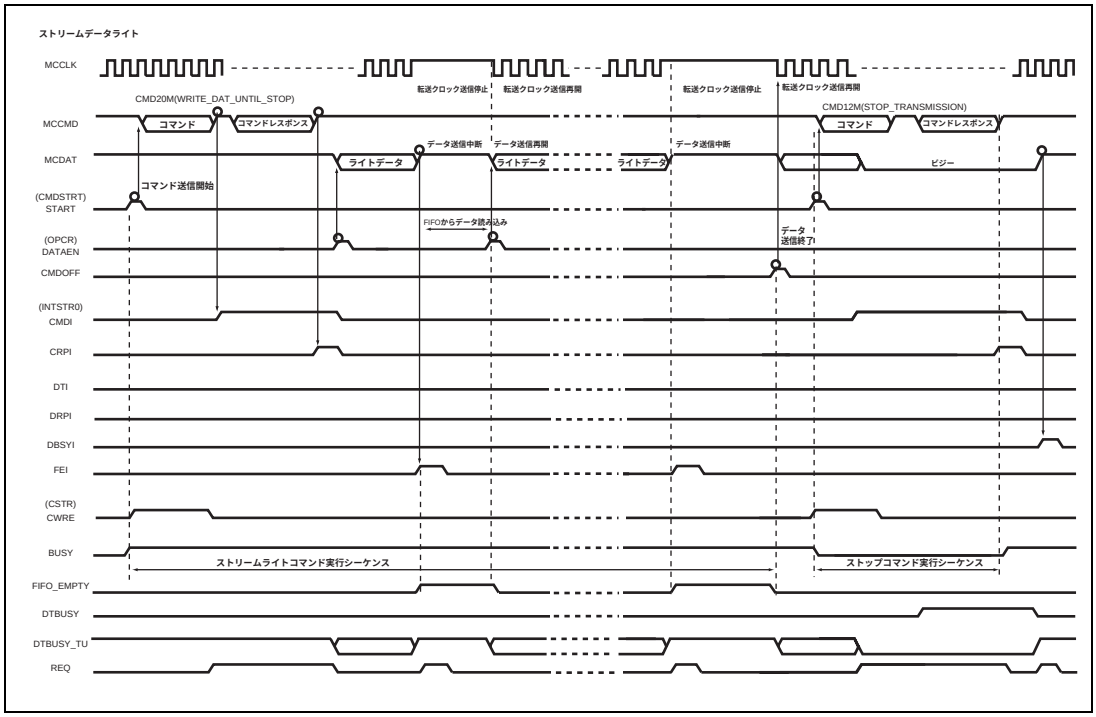


図 19.15　**ライトデータを伴うコマンドのコマンドシーケンスの例**（4）

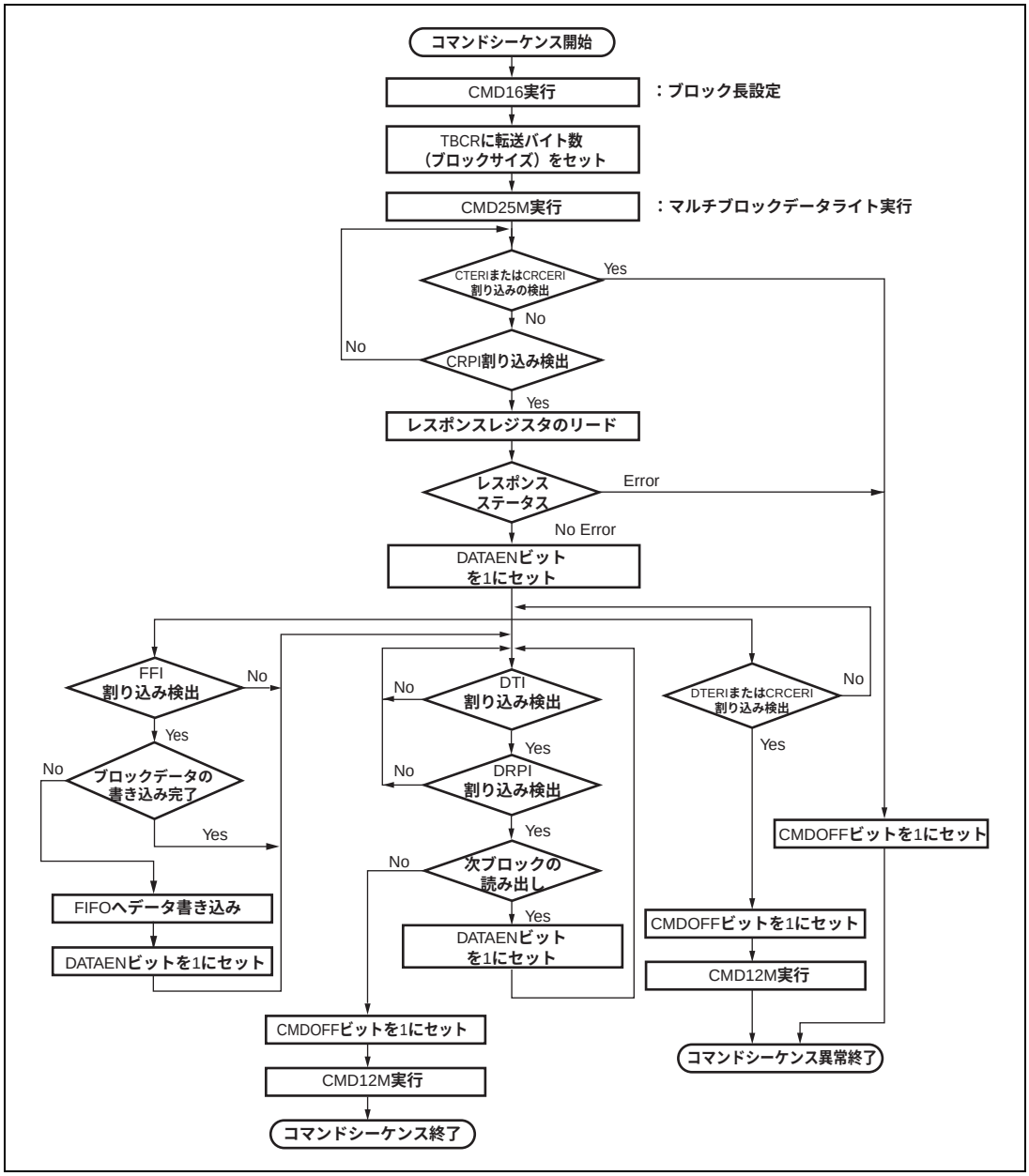


図 19.16　**ライトデータを伴うコマンドの動作フローチャート**

19.6 SPI モードの動作

SPI モードは、転送クロックを出力する MCCLK 端子、コマンド送信／レスポンス受信／データ入出力の MCRxD 端子と MCTxD 端子からなる動作モードです。

SPI モードは、複数の MMC のうち 1 枚を CS（チップセレクト）端子によって選択するシステム構成です。MMC モードに存在するブロードキャスト型コマンドによるカード選択はサポートされていません。また、SPI モードでは、ライトデータに対するデータレスポンスがサポートされています。

19.6.1 データ転送を伴わないコマンドの動作

データ転送を伴わないコマンドは、コマンドの引数およびコマンドレスポンスで所望のデータ転送を実行します。フラッシュメモリの書き込み／消去など時間を要する処理に関するコマンドでは、MMC はデータビジー状態を表示します。

図 19.17 と**図** 19.18 にデータ転送を伴わないコマンドのコマンドシーケンスの例を示します。**図** 19.19 にデータ転送を伴わないコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。
- CMDSTRTのSTARTビットを1にセットして、コマンド送信を開始します。CS信号がLow（選択）レベルになります。コマンド送信完了は、コマンド送信完了割り込み（CMDI）で確認できます。
- MMCからコマンドレスポンスを受信します。MMCがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー（CTERI）で検出します。
- コマンドシーケンスの終了で、CS信号がHigh（非選択）レベルになります。コマンドシーケンス終了を、CSTRのBUSYフラグのポーリングか、コマンドレスポンス終了割り込み（CRPI）で検出します。
- データビジー状態終了は、CSTRのDTBUSYフラグのポーリングかデータビジー終了割り込み（DBSYI）で検出します。

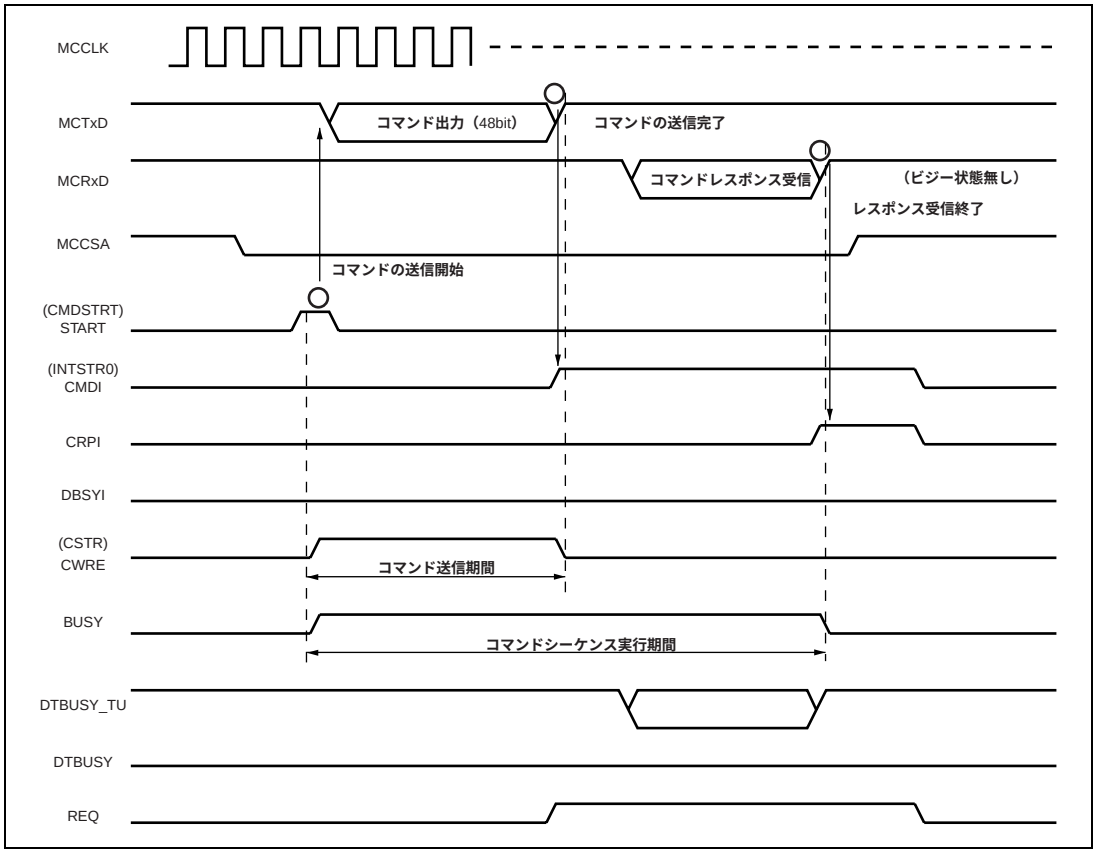


図 19.17　**データ転送を伴わないコマンドのコマンドシーケンスの例（データビジー状態なし）**

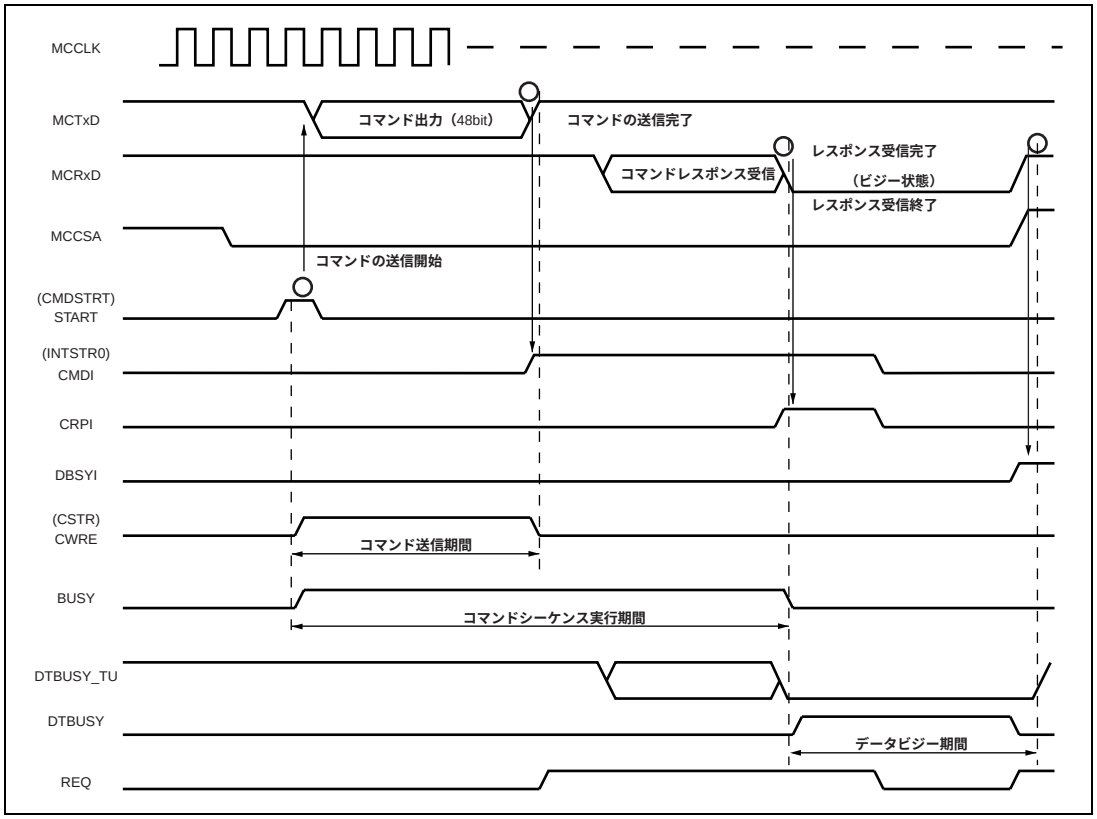


図 19.18　**データ転送を伴わないコマンドのコマンドシーケンスの例（データビジー状態あり）**

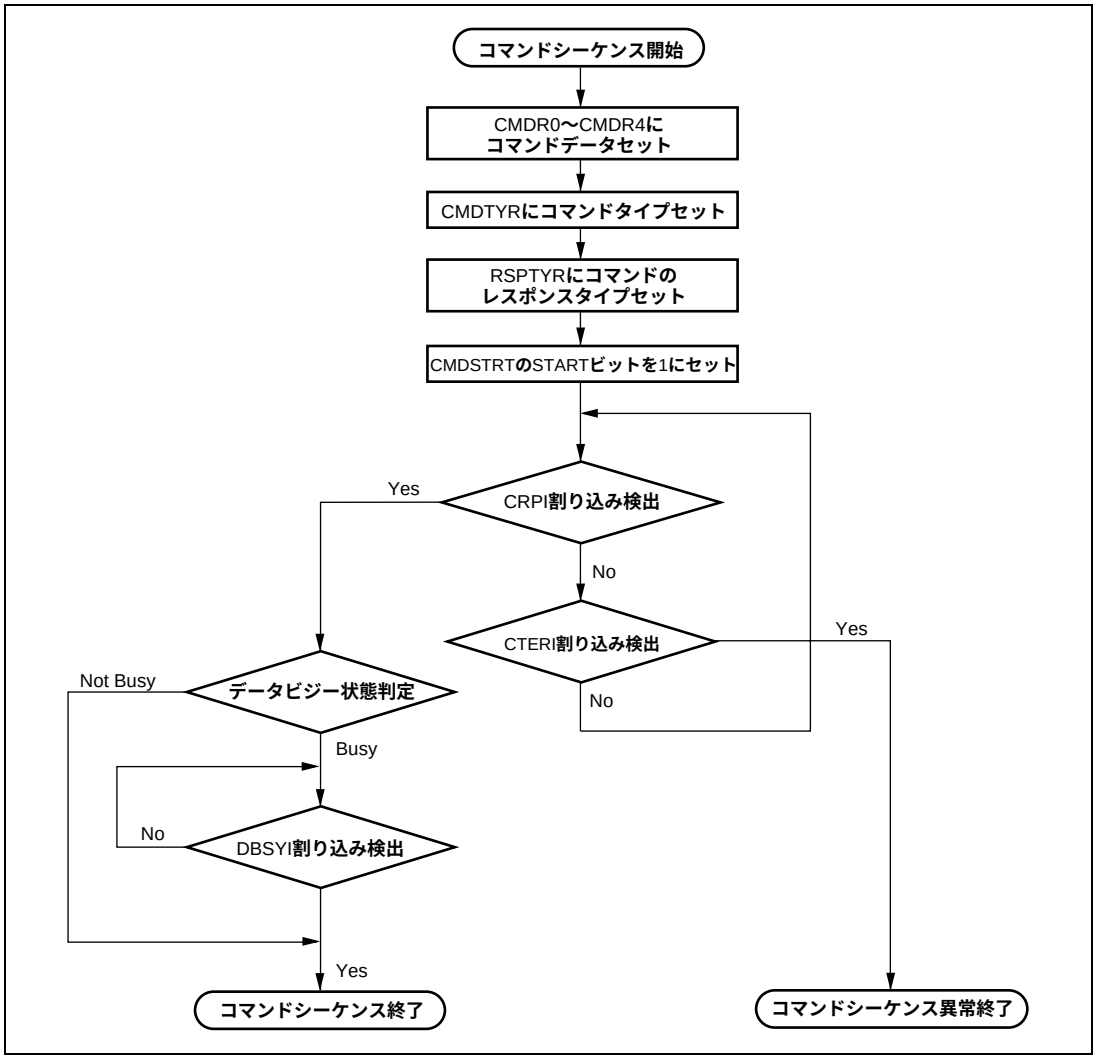


図 19.19　**データ転送を伴わないコマンドの動作フローチャート**

19.6.2 リードデータを伴うコマンド

リードデータを伴うコマンドは、コマンドのレスポンスで MMC の状態を確認後、MMC の情報やフラッシュメモリのデータを受信します。

リードするフラッシュメモリのバイト数は、CMD16 で設定したブロックサイズとなります。

ブロックサイズ＞受信データ FIFO サイズの場合は、FIFO フルでコマンドシーケンスが中断します。受信データ FIFO 中のデータを処理した後、コマンドシーケンスを継続します。

図 19.20、**図** 19.21 にリードデータを伴うコマンドのコマンドシーケンスの例を示します。**図** 19.22 にリードデータを伴うコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。
- CMDSTRTのSTARTビットを1にセットして、コマンド送信を開始します。CS信号がLow（選択）レベルになります。コマンド送信完了は、コマンド送信完了割り込み（CMDI）で確認できます。
- MMCからコマンドレスポンスを受信します。MMCがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー（CTERI）で検出します。
- MMCからリードデータを受信します。
- 受信データFIFOフルによる中断を、FIFOフル割り込み（FFI）で検出します。コマンドシーケンスを継続する場合は、OCRのRD_CONTIビットを1にセットします。
- コマンドシーケンスの終了で、CS信号がHigh（非選択）レベルになります。コマンドシーケンス終了を、CSTRのBUSYフラグのポーリングか、データ転送終了割り込み（DTI）で検出します。

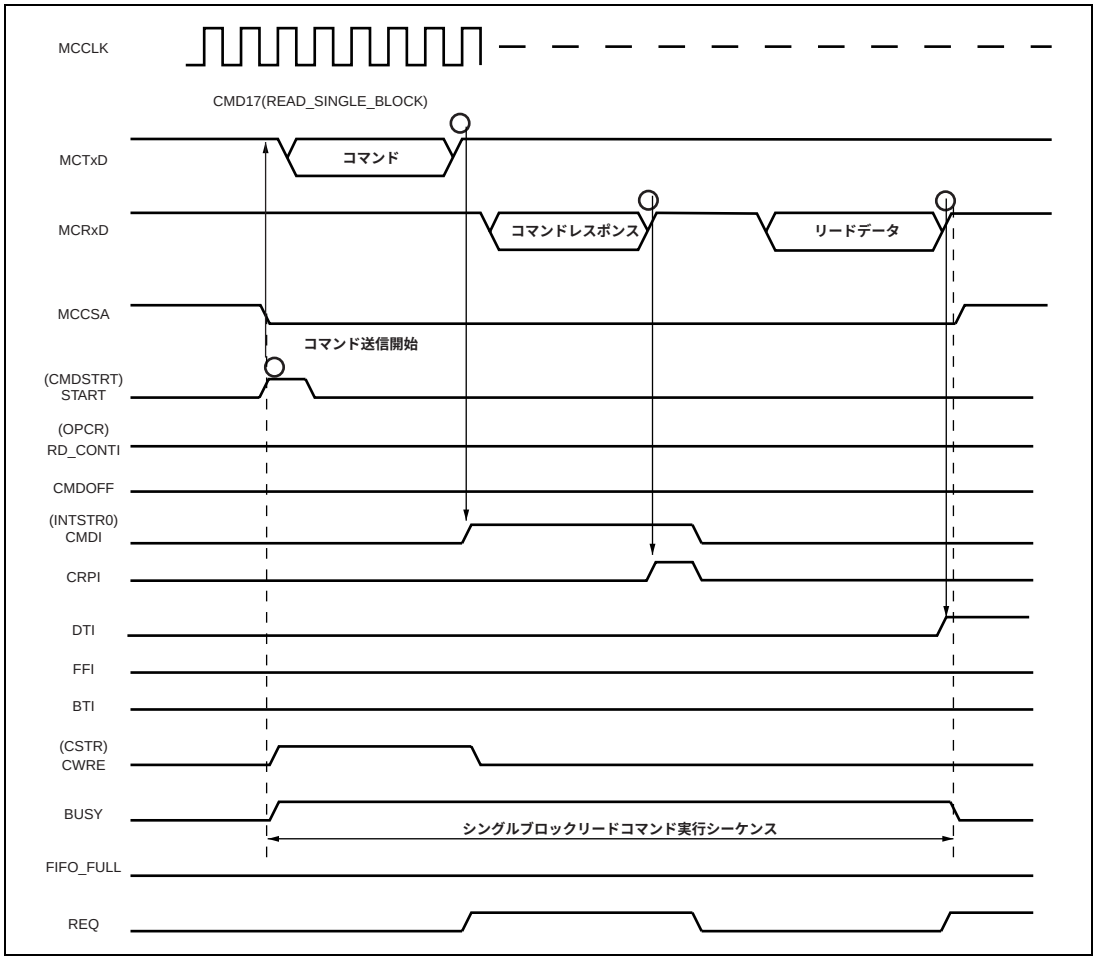


図 19.20　**リードデータを伴うコマンドのコマンドシーケンスの例（1）**

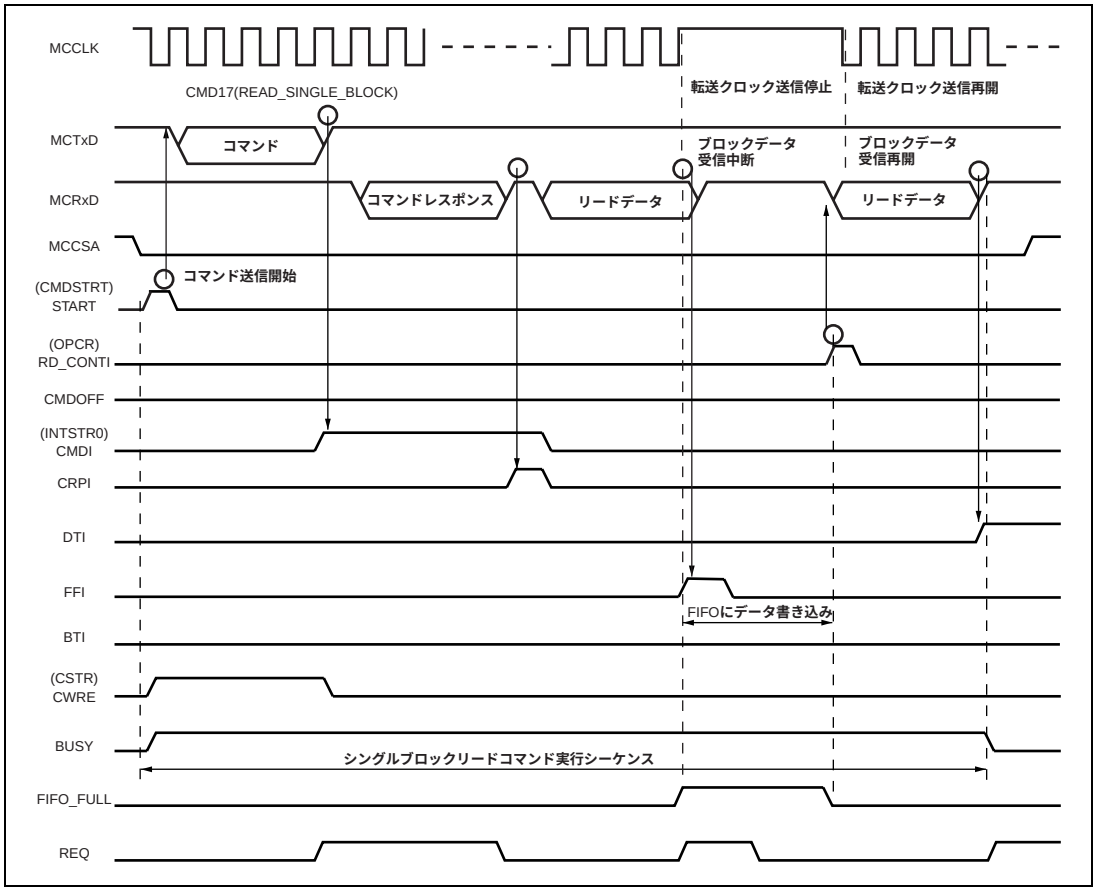


図 19.21　**リードデータを伴うコマンドのコマンドシーケンスの例**（2）

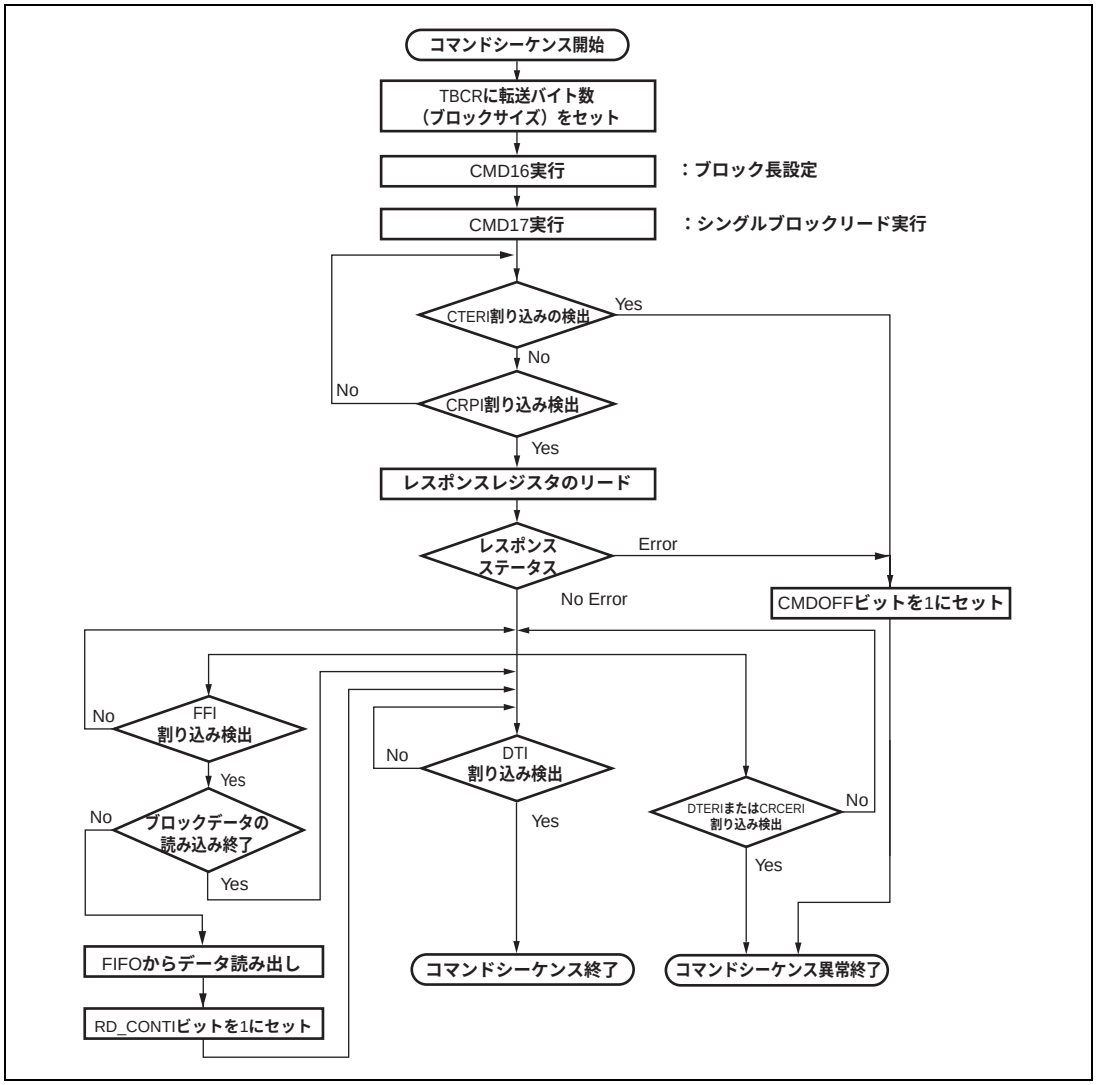


図 19.22　**リードデータを伴うコマンドの動作フローチャート**

19.6.3 ライトデータを伴うコマンド

ライトデータを伴うコマンドは、コマンドのレスポンスで MMC の状態を確認後、MMC の情報やフラッシュメモリのデータを送信します。フラッシュメモリの書き込みなど時間を要する処理に関するコマンドでは、MMC はデータビジー状態を表示します。

ライトするフラッシュメモリのバイト数は、CMD16 で設定したブロックサイズとなります。

ブロックサイズ＞送信データ FIFO サイズの場合は、FIFO エンプティでコマンドシーケンスが中断します。送信データ FIFO に次のデータを補充した後、コマンドシーケンスを継続します。

図 19.23、**図** 19.24 にライトデータを伴うコマンドのコマンドシーケンスの例を示します。**図** 19.25 にライトデータを伴うコマンドの動作フローチャートを示します。

- コマンド発行に必要な設定をします。送信データFIFOにライトデータをセットします。
- CMDSTRTのSTARTビットを1にセットして、コマンド送信を開始します。CS信号がLow（選択）レベルになります。コマンド送信完了は、コマンド送信完了割り込み（CMDI）で確認できます。
- MMCからコマンドレスポンスを受信します。MMCがコマンドレスポンスを返さない場合は、コマンドタイムアウトエラー（CTERI）で検出します。
- OPCRのDATAENビットを1にセットして、ライトデータの送信を開始します。
- 送信データFIFOエンプティによる中断をFIFOエンプティ割り込み（FEI）で検出します。送信データFIFOにライトデータを補充し、OPCRのDATAENビットを1にセットします。
- コマンドシーケンス終了をCSTRのBUSYフラグのポーリングか、データ転送終了割り込み（DTI）で検出します。また、データレスポンスの受信はデータレスポンス割り込み（DRPI）で確認できます。
- コマンドシーケンスの終了で、CS信号がHigh（非選択）レベルになります。データビジー状態の終了は、CSTRのDTBUSYフラグのポーリングか、データビジー終了割り込み（DBSYI）で検出します。

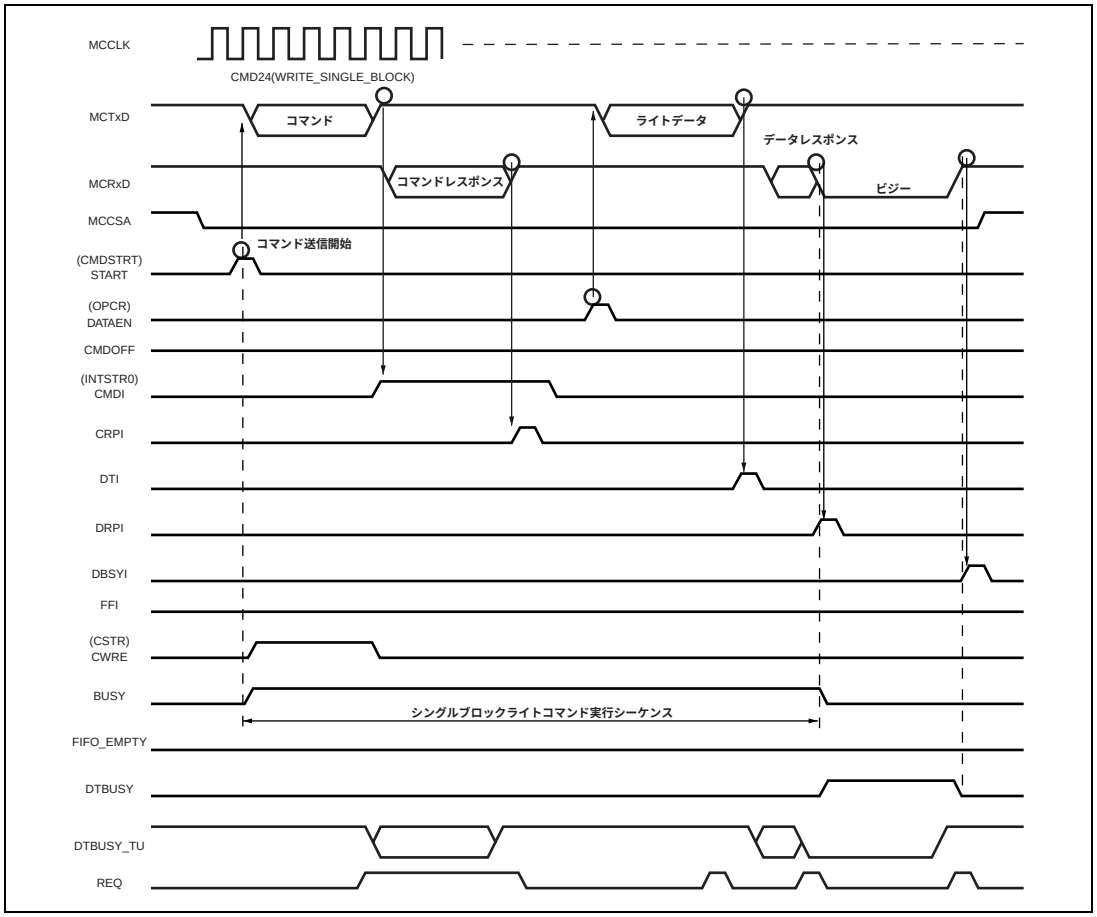


図 19.23　**ライトデータを伴うコマンドのコマンドシーケンスの例（1）**

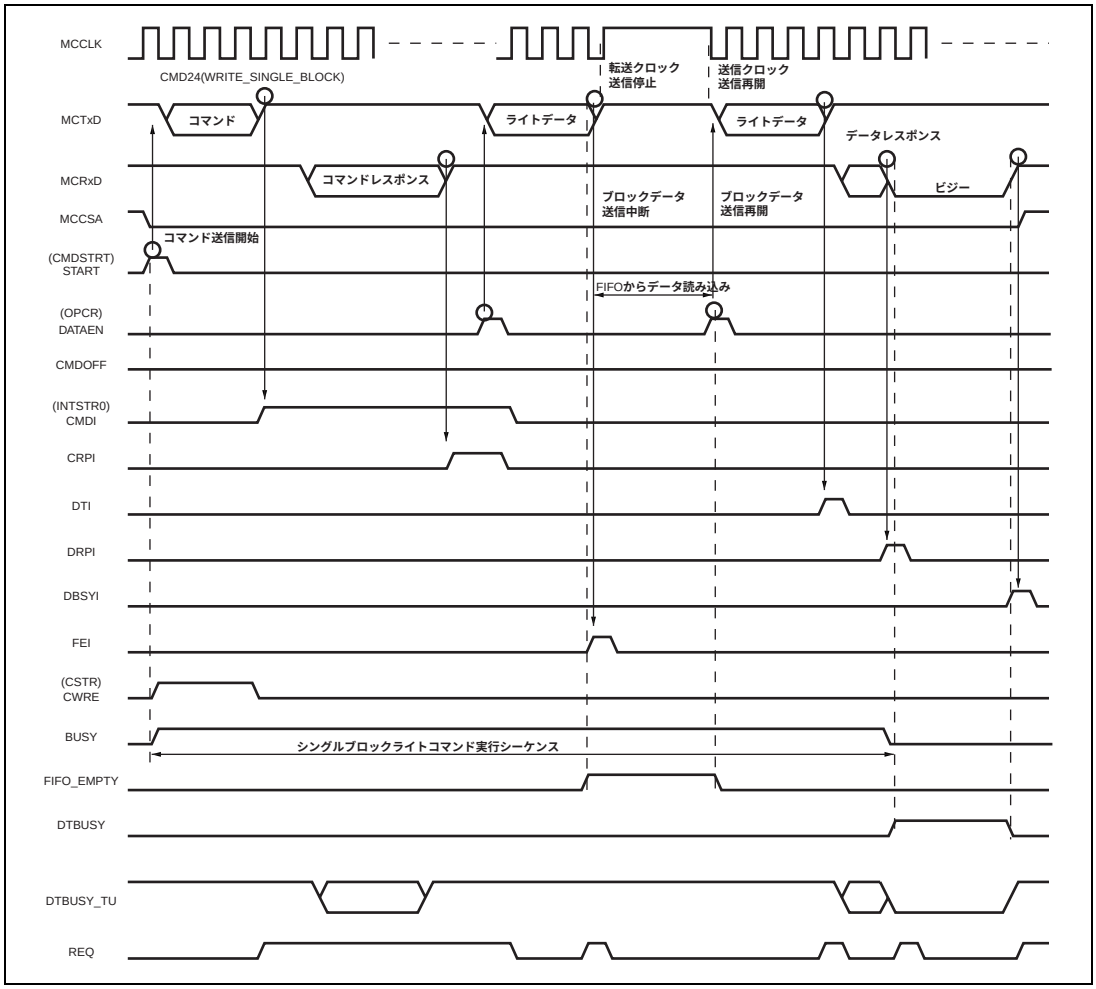


図 19.24　**ライトデータを伴うコマンドのコマンドシーケンスの例**（2）

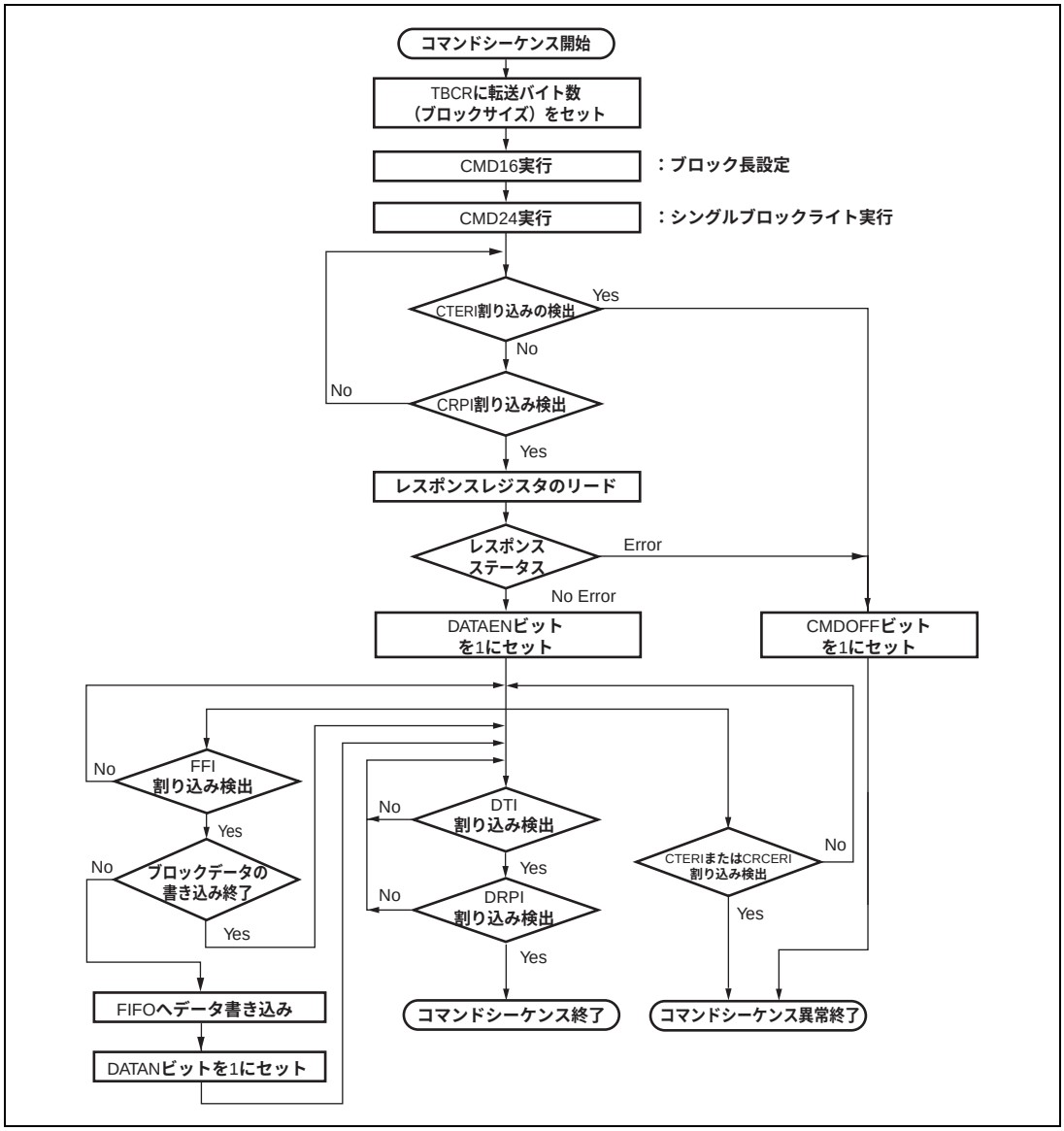


図 19.25　**ライトデータを伴うコマンドの動作フローチャート**

19.7 割り込み要因

MCIF には**表 19.6** に示す割り込み要因があります。各割り込み要因は 3 グループに分類されており、3 つの割り込みベクタが割り当てられています。各割り込み要因は、INTCR0、INTCR1 のイネーブルビットにより独立にイネーブルにすることができます。ディスエーブルにされた割り込み要因はフラグをセットしません。

MMCIA 割り込みは、DTC の起動要因とすることができます。

表 19.6 MCIF 割り込み要因

名称		割り込み要因	割り込みフラグ	DTC の起動	優先順位
MMCIA	MCIFI0	FIFO エンプティ	FEI	可	高
		FIFO フル	FFI	可	▲
MMCIB	MCIFI1	データレスポンス	DPRI	不可	
		データ転送終了	DTI	不可	
		コマンドレスポンス終了	CRPI	不可	
		コマンド出力終了	CMDI	不可	
		データビジー終了	DBSYI	不可	
		ブロック転送終了	BTI	不可	
MMCIC	MCIFI2	CRC エラー	CRCERI	不可	
		データタイムアウトエラー	DTERI	不可	
		コマンドタイムアウトエラー	CTERI	不可	低

19.8 使用上の注意事項

1. MCIFの割り込み要因でDTCを起動する場合、DTCモードレジスタB（MRB）のDISELを0にクリアすると正しく動作することができません。必ず1にセットしてください。
2. サブチップモジュールストップコントロールレジスタBL（SUBMSTPBL）のSMSTPB6ビットにより、MCIFの動作停止／許可を設定することが可能です。初期値ではMCIFの動作は停止します。モジュールストップモードを解除することにより、レジスタのアクセスが可能になります。

20. 暗号演算器（DES、GF）

本章は、守秘契約を結んで頂いた上で公開致します。詳細は担当営業にご確認ください。

21. D/A 変換器

21.1 特長

- 分解能：8ビット
- 出力チャネル：2チャネル
- 変換時間：最大10 µs（負荷容量20pF時）
- 出力電圧：0V～AV_{ref}
- ソフトウェアスタンバイモード時のD/A出力保持機能

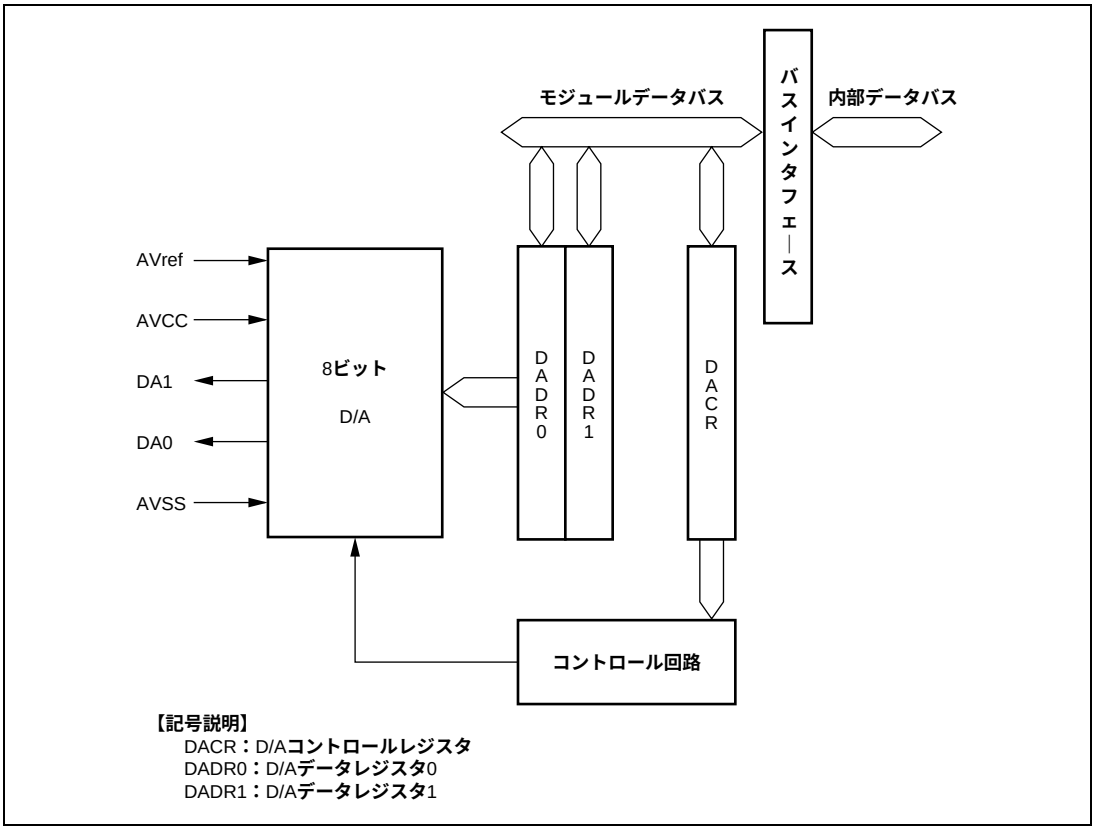


図 21.1 D/A 変換器のブロック図

21.2 入出力端子

D/A 変換器で使用する入出力端子を**表** 21.1 に示します。

表 21.1 **端子構成**

名 称	記号	入出力	機 能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
アナログ出力端子 0	DA0	出力	チャネル 0 のアナログ出力
アナログ出力端子 1	DA1	出力	チャネル 1 のアナログ出力
リファレンス電源端子	AVref	入力	アナログ部の基準電圧

21.3 レジスタの説明

D/A 変換器には以下のレジスタがあります。

- D/A**データレジスタ**0(DADR0)
- D/A**データレジスタ**1(DADR1)
- D/A**コントロールレジスタ**(DACR)

21.3.1 D/A データレジスタ 0、1（DADR0、DADR1）

D/A データレジスタは、D/A 変換を行うデータを格納するための 8 ビットのリード／ライト可能なレジスタです。アナログ出力を許可すると、D/A データレジスタの値が変換され、アナログ出力端子に出力されます。

21.3.2 D/A コントロールレジスタ（DACR）

DACR は D/A 変換器の動作を制御します。

ビット	ビット名	初期値	R/W	説 明
7	DAOE1	0	R/W	D/A アウトプットイネーブル 1 D/A 変換とアナログ出力を制御します。 0：アナログ出力 DA1 を禁止 1：チャネル 1 の D/A 変換を許可。アナログ出力 DA1 を許可
6	DAOE0	0	R/W	D/A アウトプットイネーブル 0 D/A 変換とアナログ出力を制御します。 0：アナログ出力 DA0 を禁止 1：チャネル 0 の D/A 変換を許可。アナログ出力 DA0 を許可

ビット	ビット名	初期値	R/W	説　明
5	DAE	0	R/W	D/A イネーブル DAOE1、DAOE0 ビットとの組み合わせで、D/A 変換を制御します。このビットが 0 にクリアされているとチャネル 0、1 の D/A 変換は独立に制御されます。このビットが 1 にセットされているとチャネル 0、1 の D/A 変換は一括して制御されます。変換結果の出力は、DAOE1、DAOE0 ビットにより制御されます。 詳細は表 21.2 を参照してください。
4〜0	—	すべて 1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

表 21.2　D/A 変換の制御

ビット 7	ビット 6	ビット 5	説　明
DAOE1	DAOE0	DAE	
0	0	＊	D/A 変換を禁止
	1	0	チャネル 0 の D/A 変換を許可
			チャネル 1 の D/A 変換を禁止
		1	チャネル 0、1 の D/A 変換を許可
1	0	0	チャネル 0 の D/A 変換を禁止
			チャネル 1 の D/A 変換を許可
		1	チャネル 0、1 の D/A 変換を許可
	1	＊	チャネル 0、1 の D/A 変換を許可

【記号説明】＊：Don't care

21.4 動作説明

2 チャネルの D/A 変換器は、それぞれ独立に変換を行うことができます。

DACR の DAOE ビットを 1 にセットすると、D/A 変換が許可され変換結果が出力されます。

チャネル 0 の D/A 変換を行う場合の動作例を以下に示します。このときの動作タイミングを**図** 21.2 に示します。

1. DADR0に変換データをライトします。
2. DACRのDAOE0ビットを1にセットすると、D/A変換が開始されます。t_{DCONV}時間経過後、変換結果がアナログ出力端子DA0より出力されます。DADR0を書き換えるか、DAOE0ビットを0にクリアするまで、この変換結果が出力され続けます。出力値は以下の式で表されます。

$$\frac{\text{DADR0の内容}}{256} \times AV_{ref}$$

3. DADR0を書き換えると、ただちに変換が開始されます。t_{DCONV}時間経過後、変換結果が出力されます。
4. DAOE0ビットを0にクリアすると、アナログ出力を禁止します。

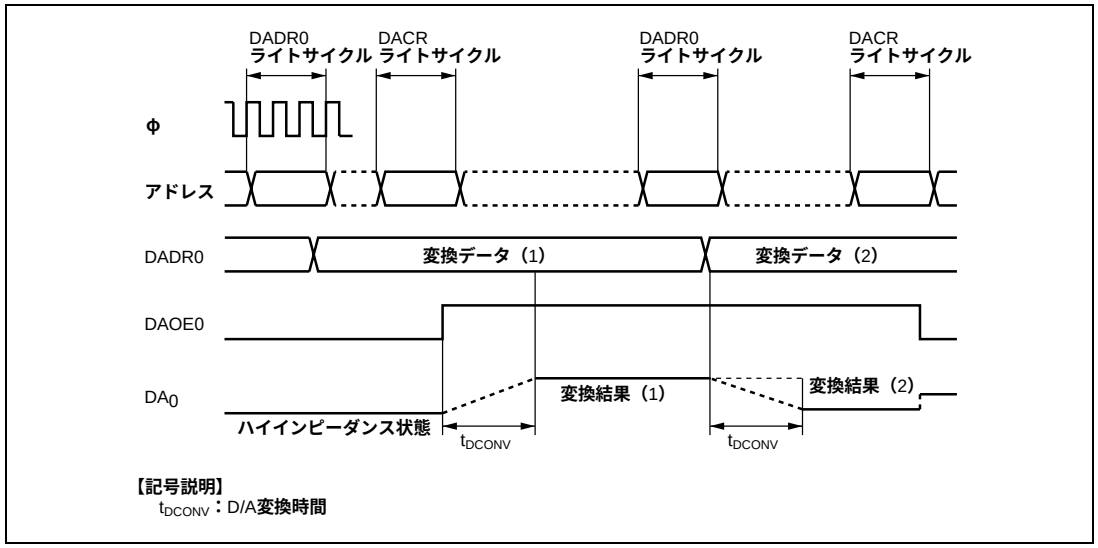


図 21.2 D/A **変換器の動作例**

21.5 使用上の注意事項

1. D/A変換を許可した状態で本LSIがソフトウェアスタンバイモードになると、D/A出力は保持され、アナログ電源電流はD/A変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合には、DAOE1、DAOE0、DAEビットをすべて0にクリアしてD/A出力を禁止にしてください。
2. アナログ電源端子AVCC/AVSSはUSBのバスドライバ／レシーバ電源端子DrVCC/DrVSSと共用のため、D/A変換器やA/D変換器とUSBの同時使用を推奨しません。

22. A/D 変換器

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しており、最大 6 チャネルのアナログ入力および最大 8 チャネルのデジタル入力を選択することができます。デジタル入力は多値入力判定のコンパレータなどの用途に最適です。

22.1 特長

- 分解能：10ビット
- 入力チャネル：6チャネルのアナログ入力と8チャネルのデジタル入力
- リファレンス電源電圧端子（AVref）をアナログ基準電圧として、アナログ変換電圧範囲を設定可能
- 変換時間：1チャネル当たり最大5.36 μs（25MHz動作時）
- 動作モード：2種類

  シングルモード：1チャネルのA/D変換

  スキャンモード：1～4チャネルの連続A/D変換
- データレジスタ：4本

  A/D変換結果は各チャネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類

  ソフトウェア

  8ビットタイマ（TMR）の変換開始トリガ

  外部トリガ信号
- 割り込み要因

  A/D変換終了割り込み要求（ADI）を発生
- モジュールストップモードの設定可能

22.1.1 ブロック図

A/D 変換器のブロック図を図 22.1 に示します。

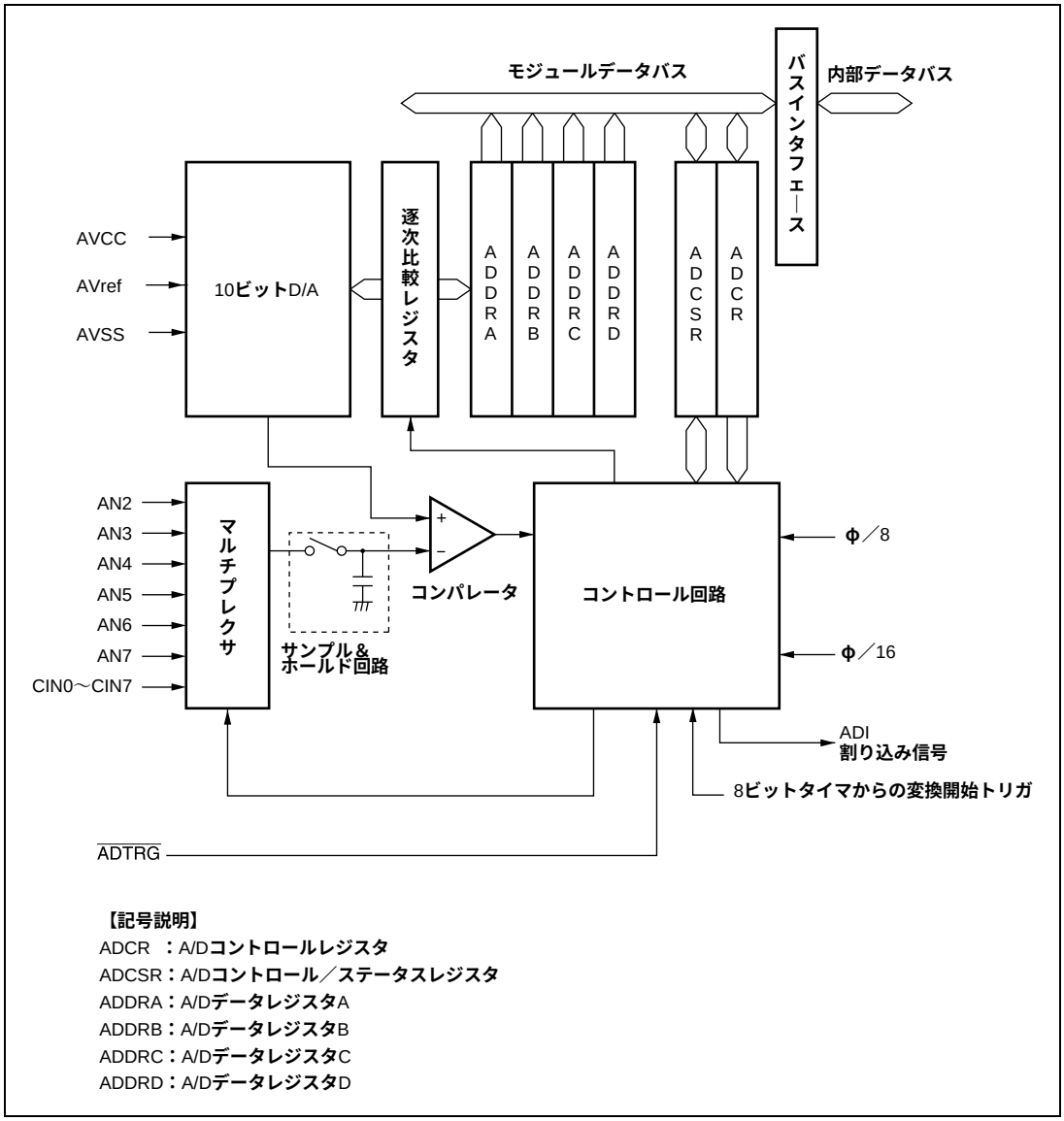


図 22.1 A/D 変換器のブロック図

22.2 入出力端子

A/D 変換器で使用する端子を**表 22.1** に示します。8 本のアナログ入力端子は 4 チャネル×2 グループに分割されています。アナログ入力端子 0～3(AN0～AN3)がグループ 0、アナログ入力端子 4～7(AN4～AN7)がグループ 1 になっています。ただし、本 LSI には AN0、AN1 がありません。AN0 の代わりに拡張 A/D 変換入力端子（CIN0～CIN7）を選択することができます。AVCC、AVSS 端子は、A/D 変換器内部のアナログ部の電源です。

表 22.1 端子構成

端子名	記号	入出力	機　能
アナログ電源端子	AVCC	入力	アナログ部の電源
アナロググランド端子	AVSS	入力	アナログ部のグランドおよび基準電圧
リファレンス電源端子	AVref	入力	アナログ部の基準電圧
アナログ入力端子 0	AN0	未実装	グループ 0 のアナログ入力端子
アナログ入力端子 1	AN1	未実装	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	グループ 1 のアナログ入力端子
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
A/D 外部トリガ入力端子	$\overline{\text{ADTRG}}$	入力	A/D 変換開始のための外部トリガ入力端子
拡張 A/D 変換入力端子 0～7	CIN0～CIN7	入力	拡張 A/D 変換入力（デジタル入力端子）チャネル 0～7 AN0 の代わりにグループ 0 のアナログ入力端子として使用可能

22.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

- A/D**データレジスタ**A（ADDRA）
- A/D**データレジスタ**B（ADDRB）
- A/D**データレジスタ**C（ADDRC）
- A/D**データレジスタ**D（ADDRD）
- A/D**コントロール／ステータスレジスタ**（ADCSR）
- A/D**コントロールレジスタ**（ADCR）
- **キーボードコンパレータコントロールレジスタ**（KBCOMP）

22.3.1 A/D データレジスタ A～D（ADDRA～ADDRD）

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタで、ADDRA～ADDRD の 4 本があります。各アナログ入力チャネルの変換結果が格納される ADDR は**表 22.2** のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

CPU 間のデータバスは 8 ビット幅です。上位バイトは CPU から直接リードできますが、下位バイトは上位バイトリード時にテンポラリレジスタに転送されたデータがリードされます。このため ADDR をリードする場合は、ワードアクセスするか上位バイトのみリードしてください。

表 22.2 アナログ入力チャネルと ADDR の対応

アナログ入力チャネル		変換結果が格納される A/D データレジスタ
グループ 0	グループ 1	
CIN0～CIN7	AN4	ADDRA
—	AN5	ADDRB
AN2	AN6	ADDRC
AN3	AN7	ADDRD

22.3.2 A/D コントロール／ステータスレジスタ（ADCSR）

ADCSR は A/D 変換動作を制御します。

ビット	ビット名	初期値	R/W	説　明
7	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 ［セット条件］ • シングルモードで A/D 変換が終了したとき • スキャンモードで選択されたすべてのチャネルの A/D 変換が終了したとき ［クリア条件］ • 1 の状態をリードした後、0 をライトしたとき • ADI 割り込みにより DTC が起動され、ADDR をリードしたとき
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 1 にセットすると A/D 変換を開始します。シングルモードでは選択したチャネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセット、スタンバイモード、またはモジュールストップモードによってクリアされるまで選択されたチャネルを順次連続変換します。
4	SCAN	0	R/W	スキャンモード A/D 変換の動作モードを選択します。 0：シングルモード 1：スキャンモード
3	CKS	0	R/W	クロックセレクト A/D 変換時間を設定します。 0：変換時間=266 ステート（Max） 1：変換時間=134 ステート（Max） 変換時間の切り替えは、ADST=0 の状態で行ってください。
2 1 0	CH2 CH1 CH0	0 0 0	R/W R/W R/W	チャネルセレクト 2～0 アナログ入力チャネルを選択します。 SCAN=0 のとき　　SCAN=1 のとき 000：CIN0～CIN7　　000：CIN0～CIN7 001：設定禁止　　001：設定禁止 010：AN2　　010：設定禁止 011：AN3　　011：設定禁止 100：AN4　　100：AN4 101：AN5　　101：AN4、AN5 110：AN6　　110：AN4、AN5、AN6 111：AN7　　111：AN4、AN5、AN6、AN7

【注】* フラグをクリアするための 0 ライトのみ可能です。

22.3.3 A/D コントロールレジスタ（ADCR）

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	ビット名	初期値	R/W	説　明
7	TRGS1	0	R/W	タイマトリガセレクト 1、0
6	TRGS0	0	R/W	トリガ信号による A/D 変換開始をイネーブルにします。ビットの設定は A/D 変換停止時(ADST=0)に行ってください。 00：外部トリガによる A/D 変換の開始を禁止 01：外部トリガによる A/D 変換の開始を禁止 10：TMR からの変換トリガによる A/D 変換の開始 11：$\overline{\text{ADTRG}}$ による A/D 変換の開始
5〜0	—	すべて 1	R	リザーブビット リードすると常に 1 がリードされます。ライトは無効です。

22.3.4 キーボードコンパレータコントロールレジスタ（KBCOMP）

KBCOMP は、A/D 変換する CIN 入力チャネルの選択、CIN7〜CIN0 のコンパレータスキャン機能を許可／禁止します。

DTC は KBCH2〜KBCH0 ビットの状態により、A/D 変換結果の格納先を決定します。

ビット	ビット名	初期値	R/W	説　明
7	—	0	R/(W)	リザーブビット 初期値を変更しないでください。
6	—	0	R	リザーブビット
5	—	0	R	リードすると常に 0 が読み出されます。ライトは無効です。
4	SCANE	0	R/W	DTC コンパレータスキャンイネーブル DTC コンパレータスキャン機能を許可／禁止します。 0：DTC コンパレータスキャン機能を禁止 1：DTC コンパレータスキャン機能を許可
3	KBADE	0	R/W	キーボード A/D イネーブル A/D 変換器のアナログ端子 0（AN0）を、デジタル入力端子（CIN7〜CIN0）に設定します。 0：AN0 を選択（本 LSI では未実装です） 1：CIN7〜CIN0 を選択

ビット	ビット名	初期値	R/W	説　明
2	KBCH2	0	R/W	キーボード A/D チャネルセレクト 2〜0
1	KBCH1	0	R/W	デジタル入力端子（CIN7〜CIN0）から、A/D 変換するチャネルを選択します。
0	KBCH0	0	R/W	入力チャネルの設定は、変換停止中に行ってください。
				これらのビットは SCANE ビットを 1 にセットすると、DTC により自動的にインクリメントされます。
				000：CIN0 を選択
				001：CIN1 を選択
				010：CIN2 を選択
				011：CIN3 を選択
				100：CIN4 を選択
				101：CIN5 を選択
				110：CIN6 を選択
				111：CIN7 を選択

22.4 DTC コンパレータスキャン機能

DTC コンパレータスキャン機能により CIN7～CIN0 をスキャンするためには、**表** 22.3 のように DTC を設定します。

表 22.3 DTC **コンパレータスキャン機能による** CIN7～CIN0 **のスキャン**

レジスタ	ビット	ビット名	説　　明
MRA	7、6	SM1、SM0	00：SAR **は固定**
	5、4	DM1、DM0	00：DAR **は固定**
	3、2	MD1、MD0	01：**リピートモード**
	1	DTS	0：**デスティネーション側がリピート領域**
	0	Sz	1：**ワードサイズ転送**
MRB	7	CHNE	0：**チェイン転送を行わない**
	6	DISEL	0：**指定回数のデータ転送終了時に割り込み要求発生**
SAR	23～0	—	H'(FF)FFE0：ADDRA
DAR	23～0	—	**任意の** RAM **アドレス。ただし下位** 4 **ビットは** 0 **とする。** **このアドレスを先頭とする** 8 **ワードに、**CIN0～CIN7 **の変換結果がライトされる。**
CRAH	7～0	—	H'FF
CRAL	7～0	—	H'FF
DTCERA	3	DTCEA3	1：A/D **変換器の** DTC **起動を許可**
KBCOMP	4	SCANE	1：**コンパレータスキャン機能イネーブル**
	3	KBADE	1：CIN7～CIN0 **を** A/D **変換器入力チャネル** 0 **に設定**
ADCSR	6	ADIE	1：A/D **変換終了による割り込み要求を許可**
	4	SCAN	1：**スキャンモードを選択**
	2～0	CH2～CH0	000：**入力チャネル** 0 **を選択**
ADCR	7、6	TRGS1、TRGS0	00：**外部トリガによる** A/D **変換の開始を禁止**
RAM	—	—	(DAR)： CIN0 **の変換結果** (DAR)+2： CIN1 **の変換結果** (DAR)+4： CIN2 **の変換結果** (DAR)+6： CIN3 **の変換結果** (DAR)+8： CIN4 **の変換結果** (DAR)+10：CIN5 **の変換結果** (DAR)+12：CIN6 **の変換結果** (DAR)+14：CIN7 **の変換結果**

ADCSR、ADCR の設定により、A/D 変換器は入力チャネル 0 を繰り返し A/D 変換します。入力チャネル 0 は CIN7～CIN0 に接続されており、KBCOMP の KBCH2～KBCH0 ビットにより CIN7～CIN0 のうち 1 チャネルを選択します。KBCH2～KBCH0 ビットは SCANE ビットを 1 にセットすると DTC により自動的にインクリメントされます。

1 回の A/D 変換が終了すると、ADCSR の ADF フラグが 1 にセットされ、ADI 割り込み要求を発生します。ADI 割り込み要求は DTC を起動し、ADDRA から内蔵 RAM へのデータ転送を行います。このとき、DAR の下位 4 ビットは無視され、前回の KBCH2～KBCH0 ビットの内容×2 に置き換えられます。

22.5 動作説明

A/D 変換器は逐次比較方式で分解機能は 10 ビットです。動作モードにはシングルモードとスキャンモードがあります。動作モードやアナログ入力チャネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャネルの変更と ADST ビットのセットは同時に行うことができます。

22.5.1 シングルモード

シングルモードは、指定された 1 チャネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェアまたは外部トリガ入力によってADCSRのADSTビットが1にセットされると、選択されたチャネルのA/D変換を開始します。
2. A/D変換が終了すると、A/D変換結果がそのチャネルに対応するA/Dデータレジスタに転送されます。
3. A/D変換終了後、ADCSRのADFビットが1にセットされます。このとき、ADIEビットが1にセットされていると、ADI割り込み要求を発生します。
4. ADSTビットはA/D変換中は1.を保持し、変換が終了すると自動的にクリアされてA/D変換器は待機状態になります。

22.5.2 スキャンモード

スキャンモードは指定された最大 4 チャネルのアナログ入力を以下のように順次連続して A/D 変換します。

1. ソフトウェアまたは外部トリガ入力によってADCSRのADSTビットが1にセットされると、グループの第１チャネル（ADCSRのCH2ビットが0、かつKBCOMPのSCANE、KBADEビットがB'11のときCIN0、CH2ビットが1のときAN4）からA/D変換を開始します。
2. それぞれのチャネルのA/D変換が終了するとA/D変換結果は順次そのチャネルに対応するA/Dレジスタに転送されます。
3. 選択されたすべてのチャネルのA/D変換が終了するとADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再びグループの第一チャネルからA/D変換を開始します。
4. ADSTビットは自動的にクリアされず、1.にセットされている間は2.～3.を繰り返します。ADSTビットを0にクリアするとA/D変換は停止します。

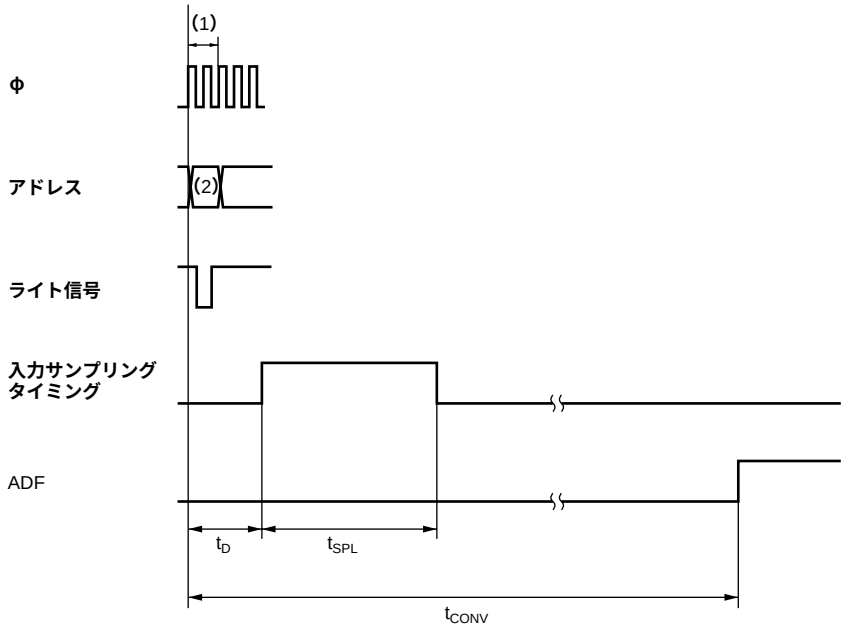
22.5.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル＆ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間（t_D）時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを**図** 22.2 に示します。また、A/D 変換時間を**表** 22.4 に示します。

A/D 変換時間(t_{CONV})は、**図** 22.2 に示すように、t_D と入力サンプリング時間(t_{SPL})を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は**表** 22.4 に示

す範囲で変化します。

スキャンモードの変換時間は、**表 22.4** に示す値が 1 回目の変換時間となります。2 回目以降は CKS=0 の場合は 266 ステート（固定）、CKS=1 の場合は 134 ステート（固定）となります。



【記号説明】
(1) ：ADCSRライトサイクル
(2) ：ADCSRのアドレス
t_D ：A/D変換開始遅延時間
t_{SPL} ：入力サンプリング時間
t_{CONV} ：A/D変換時間

図 22.2 A/D 変換タイミング

表 22.4 A/D 変換時間（シングルモード）

項目	記号	CKS＝0			CKS＝1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_D	10	−	17	6	−	9
入力サンプリング時間	t_{SPL}	−	63	−	−	31	−
A/D 変換時間	t_{CONV}	259	−	266	131	−	134

【注】表中の数値の単位はステートです。

22.5.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが B'11 にセットされているとき、$\overline{\text{ADTRG}}$ 端子から入力されます。$\overline{\text{ADTRG}}$ の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード／スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを**図** 22.3 に示します。

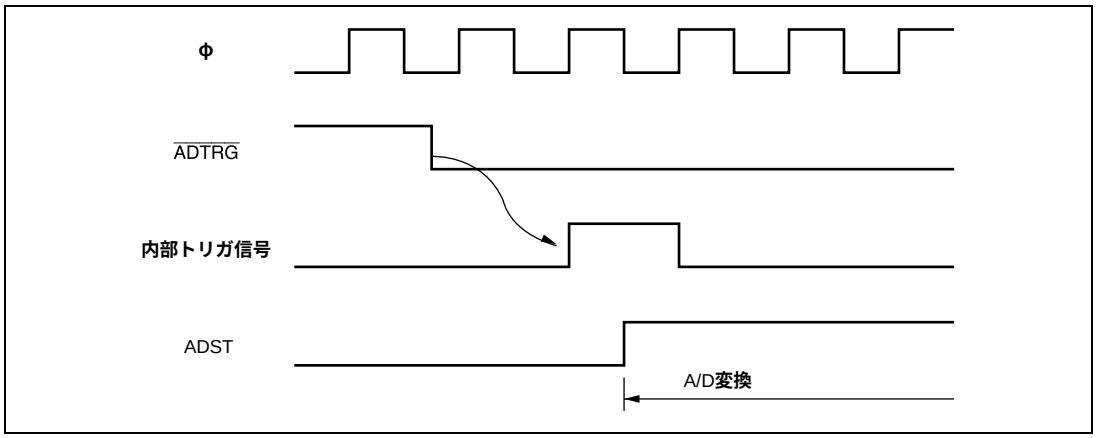


図 22.3 **外部トリガ入力タイミング**

22.6 割り込み要因

A/D 変換器は、A/D 変換が終了すると、A/D 変換終了割り込み（ADI）を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。ADI 割り込みは、内蔵 DTC の起動要因とすることができます。

表 22.5 **A/D 変換器の割り込み要因**

名称	割り込み要因	割り込みフラグ	DTC の起動
ADI 割り込み	A/D 変換終了	ADF	可

22.7 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

  A/D変換器のデジタル出力コード数

- 量子化誤差

  A/D変換器が本質的に有する偏差であり、1/2 LSBで与えられる（**図**22.4）

- オフセット誤差

  デジタル出力が最小電圧値B'00_0000_0000（H'000）からB'00_0000_0001（H'001）に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差（**図**22.5）

- フルスケール誤差

  デジタル出力がB'11_1111_1110（H'3FE）からB'11_1111_1111（H'3FF）に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差（**図**22.5）

- 非直線性誤差

  ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない（**図**22.5）。

- 絶対精度

  デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

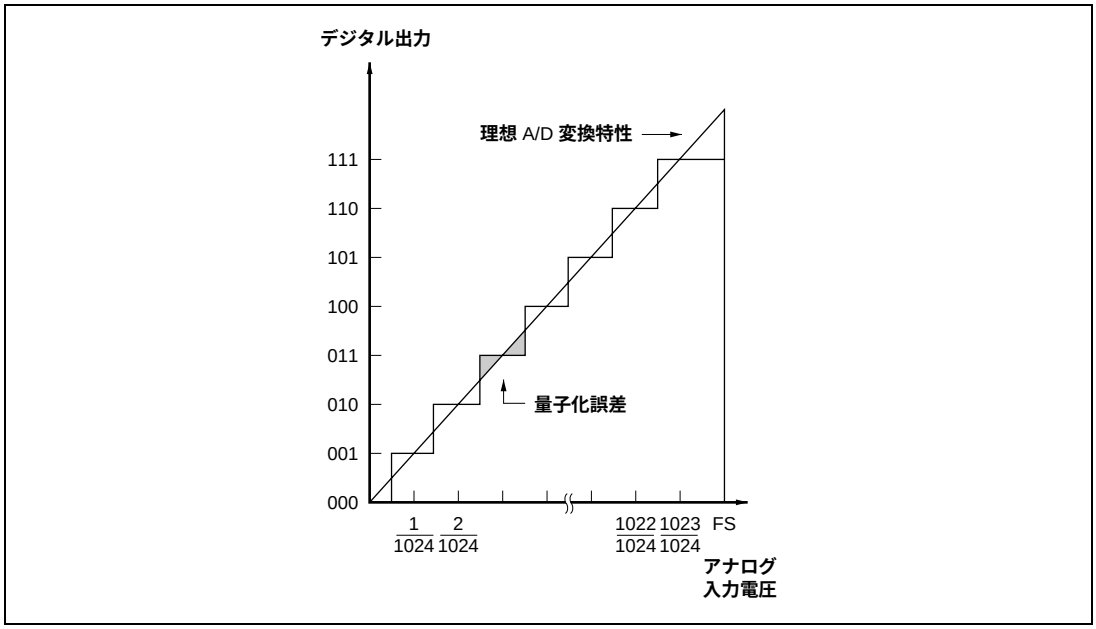


図 22.4 A/D 変換精度の定義

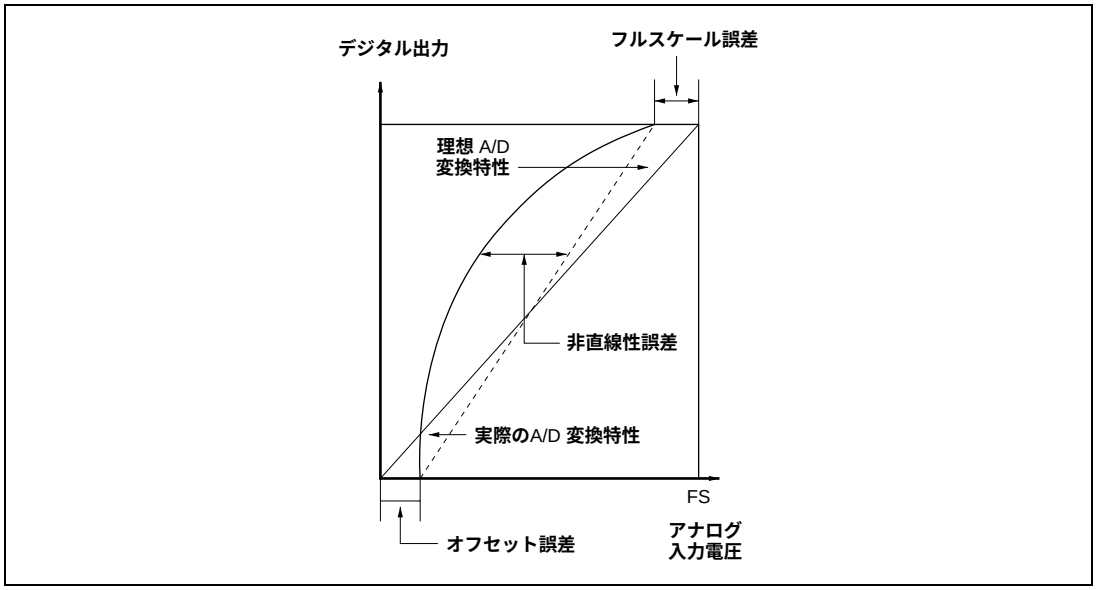


図 22.5 A/D 変換精度の定義

22.8 使用上の注意事項

22.8.1 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが 5kΩ以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル＆ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出力インピーダンスが 10kΩを超える場合充電不足が生じて、A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の 10kΩだけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号（例えば電圧の変動率が 5mV/μs 以上）には追従できないことがあります（**図** 22.6）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

22.8.2 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることになりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AVSS 等の電気的に安定な GND に接続してください。

またフィルター回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意してください。

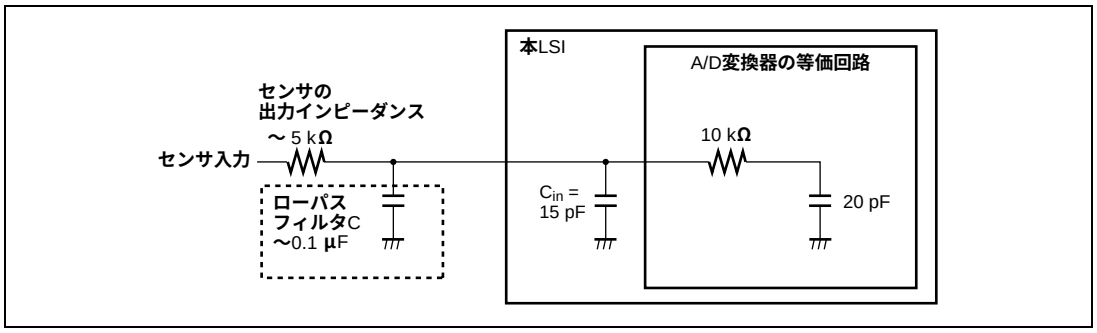


図 22.6 **アナログ入力回路の例**

22.8.3 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

  A/D変換中、アナログ入力端子ANnに印加する電圧はAV_{SS}≦ANn≦AV_{ref}の範囲としてください。（n＝2～7）

- デジタル入力電圧の範囲

  デジタル入力端子CINnに印加する電圧はAV_{SS}≦CINn≦AV_{ref}かつV_{SS}≦CINn≦V_{CC}の範囲としてください。（n＝0～7）

- AV_{CC}、AV_{SS}とV_{CC}、V_{SS}の関係

  AV_{CC}、AV_{SS}とV_{CC}、V_{SS}との関係はAV_{SS}＝V_{SS}とし、さらに、A/D変換器を使用しないときもAVCC、AVSS端子をオープンにしないでください。

- AVref端子の設定範囲

  AVref端子によるリファレンス電圧の設定範囲はAV_{ref}≦AV_{CC}にしてください。

- AVCC、AVSS端子はUSBのバスドライバ／レシーバ電源端子DrVCC/DrVSSと共用のため、D/A変換器やA/D変換器とUSBの同時使用を推奨しません。

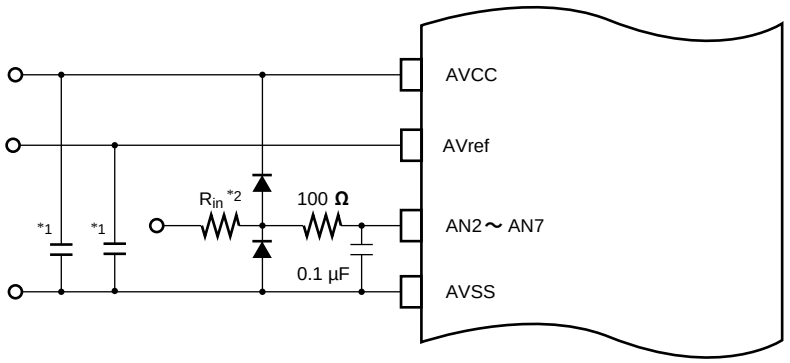
22.8.4 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D 変換値に悪影響を及ぼします。アナログ入力端子（AN2～AN7）、アナログ基準電圧（AV_{ref}）、アナログ電源電圧（AV_{CC}）は、アナロググランド（AV_{SS}）で、デジタル回路と分離してください。さらに、アナロググランド（AV_{SS}）は、ボード上の安定したグランド（V_{SS}）に一点接続してください。

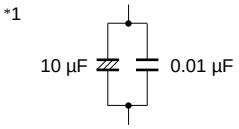
22.8.5 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子（AN2～AN7）、アナログ基準電圧（AVref）の破壊を防ぐために、**図** 22.7 に示すように AVCC－AVSS 間に保護回路を接続してください。AVCC、AVref に接続するバイパスコンデンサ、AN7～AN2 に接続するフィルタ用のコンデンサは、必ず AVSS に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN2～AN7 の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどで A/D 変換を頻繁に行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス（R_{in}）を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は十分ご検討の上決定してください。

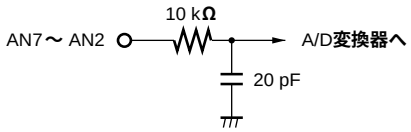


【注】 数値は、参考値です。



*2 R_{in}：**入力インピーダンス**

図 22.7 **アナログ入力保護回路の例**



【注】 数値は、参考値です。

図 22.8 **アナログ入力端子等価回路**

23. RAM

本 LSI は 10k バイトの高速スタティック RAM を内蔵しています。RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。

RAM は、システムコントロールレジスタ（SYSCR）の RAM イネーブルビットにより有効または無効の制御が可能です。SYSCR については「3.2.2 **システムコントロールレジスタ（SYSCR）**」を参照してください。

24. ROM

本 LSI に内蔵されているフラッシュメモリの特長は以下のとおりです。
フラッシュメモリのブロック図を**図** 24.1 に示します。

24.1 特長

- 容量：256kバイト
- 書き込み／消去方式

  書き込みは128バイト単位の同時書き込み方式です。消去はブロック単位で行います。フラッシュメモリは、64kバイト×3ブロック、32kバイト×1ブロック、4kバイト×8ブロックで構成されています。全面消去を行う場合も1ブロックずつ消去してください。
- 書き込み／消去時間

  書き込み時間は128バイト同時書き込みで10ms（typ.）、1バイトあたり換算約80μs（typ.）です。

  消去時間はブロックあたり10ms（typ.）です。
- 書き換え回数

  100回まで書き換え可能です。
- オンボードプログラミングモード：2種類

  ブートモード

  ユーザプログラムモード

  内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み／消去ができます。この他、ユーザプログラムモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。
- ビットレート自動合わせ込み

  ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動的に合わせ込みます。
- 書き込み／消去プロテクト

  ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの3種類でフラッシュメモリの書き込み／消去に対するプロテクトを設定できます。
- ライタモード

  オンボードプログラミングの他にPROMライタを用いて書き込み／消去を行うライタモードがあります。

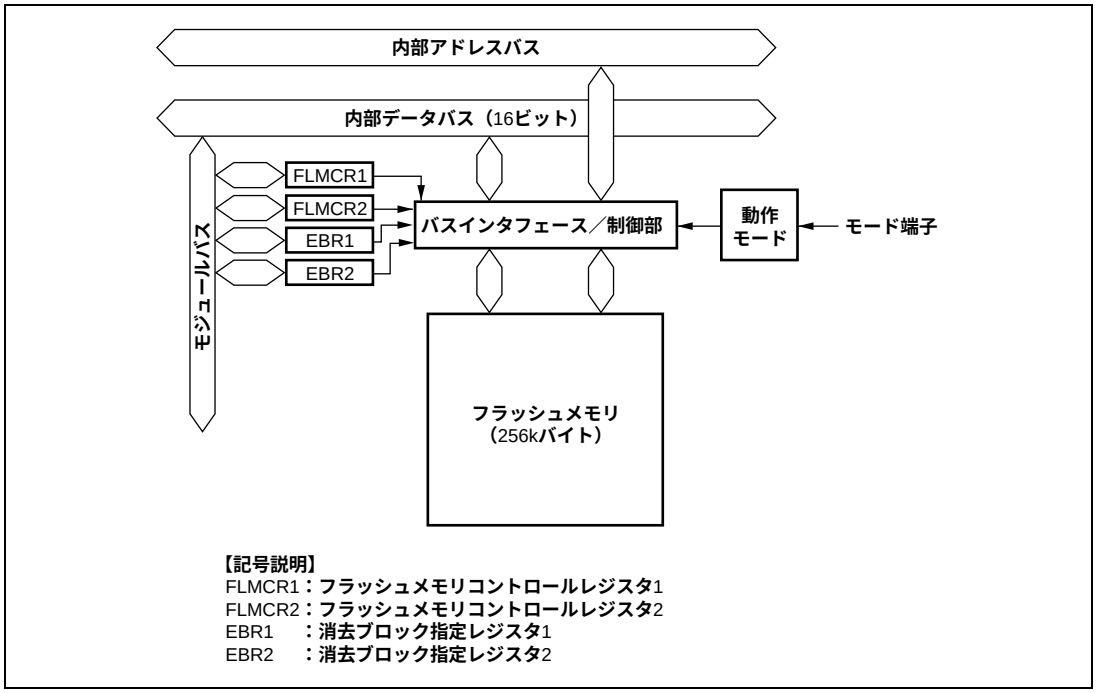
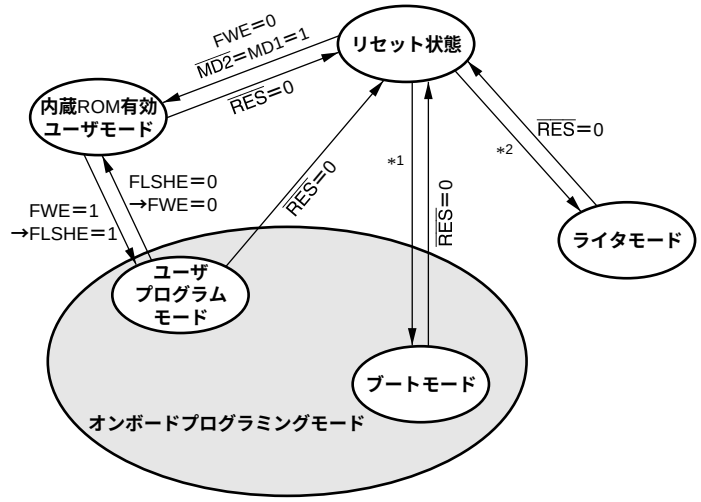


図 24.1　フラッシュメモリのブロック図

24.2 モード遷移図

リセット状態でモード端子を設定しリセットスタートすると、本 LSI は**図** 24.2 に示すような動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み／消去はできません。フラッシュメモリへの書き込み／消去を行えるモードとしてブートモード、ユーザプログラムモード、ライタモードがあります。

表 24.1 にブートモードとユーザプログラムモードの相違点を示します。**図** 24.3 にブートモードを、**図** 24.4 にユーザプログラムモードを示します。



【注】ユーザモード／ユーザプログラムモード間での遷移は、
CPUがフラッシュメモリをアクセスしていない状態で行ってください。
*1： FWE＝1、 MD2＝MD1＝MD0＝0
*2： FWE＝1、 MD2＝1、MD1＝MD0＝0、P92＝0、P91＝P90＝1

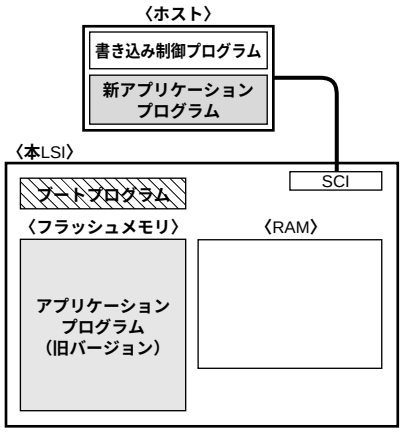
図 24.2 **フラッシュメモリに関する状態遷移**

表 24.1 **ブートモードとユーザプログラムモードの相違点**

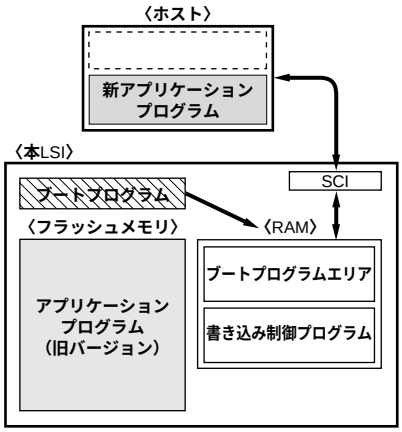
	ブートモード	ユーザプログラムモード
全面消去	○	○
ブロック分割消去	×	○
書き換え制御プログラム*	プログラム／プログラムベリファイ	プログラム／プログラムベリファイ イレース／イレースベリファイ

【注】* **推奨するアルゴリズムに沿って、ユーザ側で用意してください。**

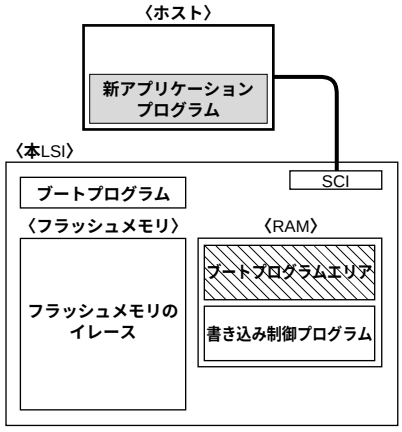
1. 初期状態
フラッシュメモリは、工場出荷時は消去状態です。ここでは、旧バージョンのアプリケーションプログラムあるいはデータを書き直す場合について説明します。書き込み制御プログラムおよび新アプリケーションプログラムはユーザがあらかじめホストに用意してください。



2. 書き込み制御プログラムの転送
ブートモードに遷移すると本LSI内のブートプログラム（既にLSIに内蔵されている）が起動し、SCI通信チェックを行い、ホストにある書き込み制御プログラムをRAMにSCI通信で転送します。また、フラッシュメモリの消去に必要なブートプログラムがRAMのブートプログラムエリアに自動的に転送されます。



3. フラッシュメモリの初期化
ブートプログラムエリア（RAM内）にある消去プログラムを実行し、フラッシュメモリを初期化（H'FF）します。ブートモード時は、ブロックに関係なくフラッシュメモリを全面消去します。



4. 新アプリケーションプログラムの書き込み
ホストよりRAMに転送した書き込み制御プログラムをSCI通信で転送し、これを実行して、ホストにある新アプリケーションプログラムをフラッシュメモリに書き込みます。

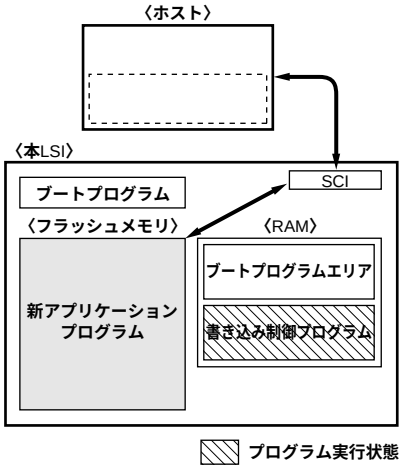
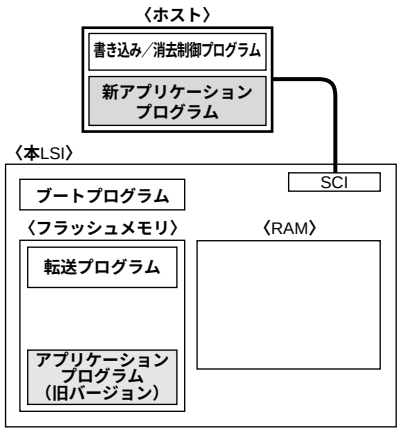
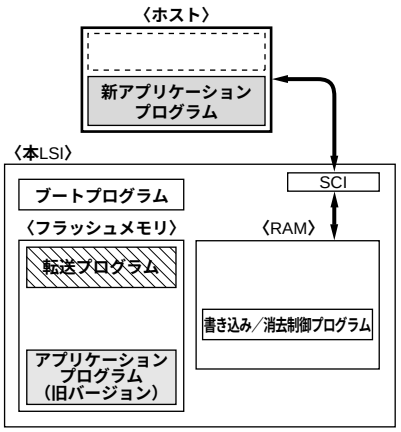


図 24.3 **ブートモード**

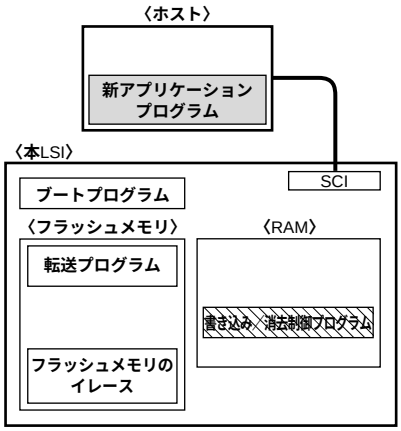
1. **初期状態**
   （1）書き込み／消去制御プログラムを内蔵RAMに転送するプログラムは、あらかじめユーザがフラッシュメモリに書き込んでおいてください。
   （2）書き込み／消去制御プログラムはホストまたはフラッシュメモリに用意してください。



2. **書き込み／消去制御プログラムの転送**
   フラッシュメモリ内の転送プログラムを実行して、書き込み／消去制御プログラムをRAMに転送します。



3. **フラッシュメモリの初期化**
   RAM上の書き込み／消去プログラムを実行し、フラッシュメモリを初期化（H'FF）します。消去は、ブロック単位で行えます。バイト単位の消去はできません。



4. **アプリケーションプログラムの書き込み**
   次にホストにある新アプリケーションプログラムを消去したフラッシュメモリのブロックに書き込みます。消去されていないブロックに対する書き込みは行わないでください。

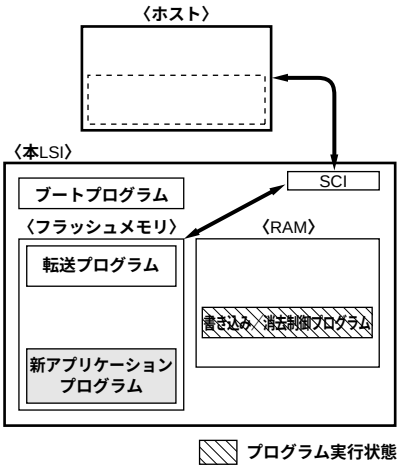


図 24.4 **ユーザプログラムモード（例）**

24.3 ブロック構成

図 24.5 に 256k バイトフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。フラッシュメモリは 64k バイト（3 ブロック）、32k バイト（1 ブロック）、4k バイト（8 ブロック）に分割されていて、消去はこの単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

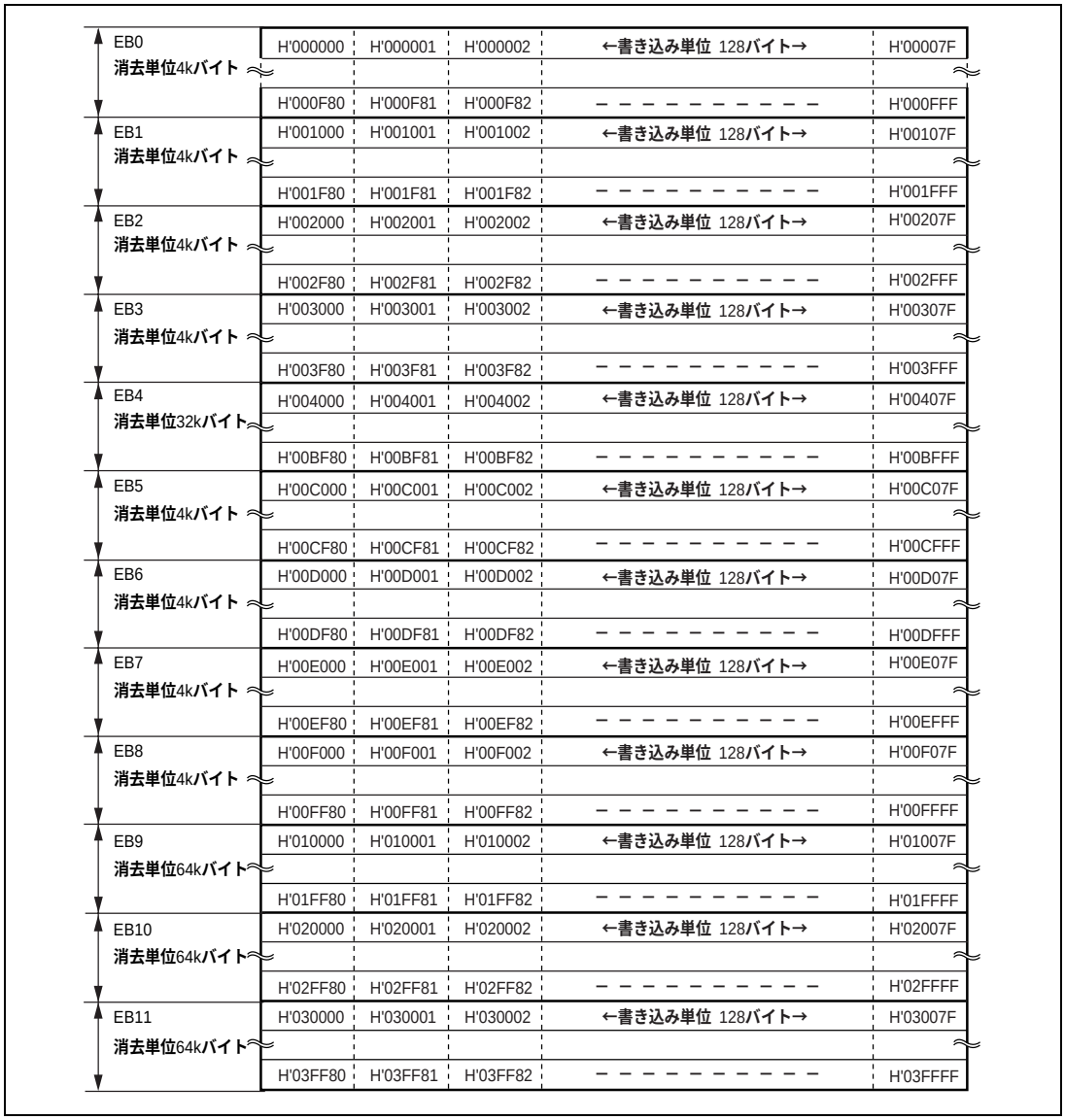


図 24.5 **フラッシュメモリのブロック構成**

24.4 入出力端子

フラッシュメモリは**表** 24.2 に示す端子により制御されます。

表 24.2 **端子構成**

端子名	入出力	機　　能
$\overline{\text{RES}}$	入力	リセット
$\overline{\text{MD2}}$	入力	本 LSI の動作モードを設定
MD1	入力	本 LSI の動作モードを設定
MD0	入力	本 LSI の動作モードを設定
FWE	入力	フラッシュメモリ用の端子
TxD1	出力	シリアル送信データ出力
RxD1	入力	シリアル受信データ入力

24.5 レジスタの説明

フラッシュメモリには以下のレジスタがあります。FLMCR1、FLMCR2、EBR1、EBR2 をアクセスするためには、シリアルタイマコントロールレジスタ（STCR）の FLSHE ビットを 1 にセットする必要があります。なお、シリアルタイマコントロールレジスタについては「3.2.3 **シリアルタイマコントロールレジスタ**（STCR）」を参照してください。

- **フラッシュメモリコントロールレジスタ**1（FLMCR1）
- **フラッシュメモリコントロールレジスタ**2（FLMCR2）
- **消去ブロック指定レジスタ**1（EBR1）
- **消去ブロック指定レジスタ**2（EBR2）

24.5.1 フラッシュメモリコントロールレジスタ 1（FLMCR1）

FLMCR1 は FLMCR2 と組み合わせて設定することで、フラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については**「24.8 フラッシュメモリの書き込み／消去」**を参照してください。

FLMCR1 はリセット、ハードウェアスタンバイ、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモードで H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説　明
7	FWE	0	R	**フラッシュライトイネーブル** FWE 端子の状態をモニタするビットです。このビットが 0 のときフラッシュメモリの書き込み／消去はハードウェアプロテクトされます。1 のときハードウェアプロテクトは解除され、SWE ビットはリード／ライト可能になります。
6	SWE	0	R/W	**ソフトウェアライトイネーブル** このビットが 1 のときフラッシュメモリの書き込み／消去が可能となります。0 のときこのレジスタの EV、PV、E、P ビットと FLMCR2 の ESU、PSU ビットと EBR1、EBR2 の各ビットは 1 にセットできません。また、これらのビットと同時に 0 にクリアしないでください。
5	−	0	R	**リザーブビット**
4	−	0	R	リードすると常に 0 が読み出されます。ライトは無効です。
3	EV	0	R/W	**イレースベリファイ** SWE＝1 の状態でこのビットを 1 にセットするとイレースベリファイモードへ遷移し、0 にクリアするとイレースベリファイモードを解除します。
2	PV	0	R/W	**プログラムベリファイ** SWE＝1 の状態でこのビットを 1 にセットするとプログラムベリファイモードへ遷移し、0 にクリアするとプログラムベリファイモードを解除します。
1	E	0	R/W	**イレース** SWE＝1、ESU＝1 の状態でこのビットを 1 にセットするとイレースモードへ遷移し、0 にクリアするとイレースモードを解除します。
0	P	0	R/W	**プログラム** SWE＝1、PSU＝1 の状態でこのビットを 1 にセットするとプログラムモードへ遷移し、0 にクリアするとプログラムモードを解除します。

24.5.2 フラッシュメモリコントロールレジスタ 2（FLMCR2）

FLMCR2 はフラッシュメモリへの書き込み／消去プロテクト（エラープロテクト）の有無のモニタと、フラッシュメモリのプログラム／イレースモードへのセットアップを行います。FLMCR2 はリセット、ハードウェアスタンバイモードで H'00 に初期化されます。ESU ビット、PSU ビットはソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモード、および FLMCR1 の SWE ビットが 0 のとき 0 にクリアされます。

ビット	ビット名	初期値	R/W	説　明
7	FLER	0	R	**このビットはフラッシュメモリへの書き込み／消去中にエラーを検出し、エラープロテクト状態となったときセットされます。** **詳細は「**24.9.3　**エラープロテクト」を参照してください。**
6〜2	—	**すべて** 0	R/(W)	**リザーブビット** **初期値を変更しないでください。**
1	ESU	0	R/W	**イレースセットアップ** SWE＝1 **の状態でこのビットを** 1 **にセットするとイレースセットアップ状態となり、**0 **にクリアするとセットアップ状態を解除します。**FLMCR1 **の** E **ビットを** 1 **にセットする前に、このビットを** 1 **にセットしてください。**
0	PSU	0	R/W	**プログラムセットアップ** SWE＝1 **の状態でこのビットを** 1 **にセットするとプログラムセットアップ状態となり、**0 **にクリアするとセットアップ状態を解除します。**FLMCR1 **の** P **ビットを** 1 **にセットする前に、このビットを** 1 **にセットしてください。**

24.5.3 消去ブロック指定レジスタ 1、2（EBR1、EBR2）

フラッシュメモリの消去ブロックを指定するレジスタです。EBR1、EBR2 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモード、および FLMCR1 の SWE ビットが 0 のとき H'00 に初期化されます。このレジスタは 2 ビット以上同時に 1 に設定しないでください。設定すると EBR1、EBR2 は 0 に自動クリアされます。

- EBR1

ビット	ビット名	初期値	R/W	説　明
7～4	－	すべて 0	R/(W)	リザーブビット 初期値を変更しないでください。
3	EB11	0	R/W*	このビットが 1 のとき EB11（H'030000～H'03FFFF）の 64k バイトが消去対象となります。
2	EB10	0	R/W*	このビットが 1 のとき EB10（H'020000～H'02FFFF）の 64k バイトが消去対象となります。
1	EB9	0	R/W*	このビットが 1 のとき EB9（H'010000～H'01FFFF）の 64k バイトが消去対象となります。
0	EB8	0	R/W*	このビットが 1 のとき EB8（H'00F000～H'00FFFF）の 4k バイトが消去対象となります。

- EBR2

ビット	ビット名	初期値	R/W	説　明
7	EB7	0	R/W*	このビットが 1 のとき EB7（H'00E000～H'00EFFF）の 4k バイトが消去対象となります。
6	EB6	0	R/W	このビットが 1 のとき EB6（H'00D000～H'00DFFF）の 4k バイトが消去対象となります。
5	EB5	0	R/W	このビットが 1 のとき EB5（H'00C000～H'00CFFF）の 4k バイトが消去対象となります。
4	EB4	0	R/W	このビットが 1 のとき EB4（H'004000～H'00BFFF）の 32k バイトが消去対象となります。
3	EB3	0	R/W	このビットが 1 のとき EB3（H'003000～H'003FFF）の 4k バイトが消去対象となります。
2	EB2	0	R/W	このビットが 1 のとき EB2（H'002000～H'002FFF）の 4k バイトが消去対象となります。
1	EB1	0	R/W	このビットが 1 のとき EB1（H'001000～H'001FFF）の 4k バイトが消去対象となります。
0	EB0	0	R/W	このビットが 1 のとき EB0（H'000000～H'000FFF）の 4k バイトが消去対象となります。

【注】* ノーマルモードの場合は 0 が読み出され、ライトは無効です。

24.6 動作モード

フラッシュメモリは CPU と 16 ビット幅のデータバスで接続されており、バイトデータ、ワードデータにかかわらず、1 ステートでアクセスできます。偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは偶数番地から始まるデータに限定されています。

内蔵 ROM の有効または無効の設定はモード端子（$\overline{\text{MD2}}$、MD1、MD0）および MDCR の EXPE ビットにより行います。この設定を**表 24.3** に示します。

ノーマルモードのとき、使用できる ROM は最大 56k バイトになります。

表 24.3 動作モードと ROM

動作モード			モード端子			MDCR	内蔵 ROM
MCU 動作モード	CPU 動作モード	内容	$\overline{\text{MD2}}$	MD1	MD0	EXPE	
モード 2	アドバンスト	シングルチップモード	1	1	0	0	有効（256k バイト）
	アドバンスト	内蔵 ROM 有効拡張モード	1	1	0	1	
モード 3	ノーマル	シングルチップモード	1	1	1	0	有効（56k バイト）
	ノーマル	内蔵 ROM 有効拡張モード	1	1	1	1	

24.7 オンボードプログラミング

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリへの書き込み、消去、ベリファイを行うことができます。本モードには、2 種類の動作モード（ブートモード、ユーザプログラムモード）があります。ブートモードの設定方法は、**表 24.4** を参照してください。ユーザプログラムモードは、ソフトウェアで制御ビットを設定し動作可能です。また、フラッシュメモリに関する各モードへの状態遷移図は、**図 24.2** を参照してください。

表 24.4 オンボードプログラミングモードの設定方法

モード設定		FWE	$\overline{\text{MD2}}$	MD1	MD0
ブートモード		1	0	0	0
ユーザプログラムモード	モード 2（アドバンストモード）	1	1	1	0
	モード 3（ノーマルモード）	1	1	1	1

24.7.1 ブートモード

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を**表** 24.5 に示します。

1. ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは**「**24.8 **フラッシュメモリの書き込み／消去」**に沿ったものを用意してください。ブートモードは、フラッシュメモリに書き込まれているデータがある場合（全データが1でないとき）、フラッシュメモリの全ブロックを消去します。ブートモードはオンボード状態での初期の書き込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰等に使用してください。
2. SCI_1は調歩同期式モードに設定され、送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。
3. ブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データH'00のLow期間を測定してビットレートを計算し、SCI_1のビットレートをホストのビットレートに合わせ込みます。リセット解除はRxD1端子がHighの状態で行ってください。必要に応じてRxD1端子およびTxD1端子は、ボード上でプルアップしてください。リセット解除からLow期間を測定できるまで約100ステートかかります。
4. ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を**表**24.6の範囲としてください。
5. ブートモードでは内蔵RAMの一部をブートプログラムで使用します。実行が終了した本エリアにホスト側から送信される書き込み制御プログラムを格納します。格納できるエリアはH'FF0800～H'FF1FFF番地です。ただし、H'FF0800～H'FF0807番地はIDコードを配置します。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。**図**24.6にブートモード時の内蔵RAMエリアを示します。
6. 書き込み制御プログラム（RAMエリアのH'FF0808）に分岐するときSCI_1は送受信動作を終了（SCRのRE＝0、TE＝0）しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやベリファイデータの送受信に使用できます。TxD1端子はHighレベル出力状態となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。
7. ブートモードはリセットにより解除されます。リセット端子をLowレベルにして最低20ステート経過後、モード端子を設定してリセットを解除*[1]してください。WDTのオーバフローリセットが発生した場合もブートモードは解除されます。
8. ブートモードの途中でモード端子の入力レベルを変化させないでください。リセット中にモード端子の入力

レベルを変化（例えばLowレベル→Highレベル）させると、動作モードが切り替わることによりアドレス兼用ポート、およびバス制御出力信号（$\overline{AS}$、$\overline{RD}$、$\overline{HWR}$）の状態が変化*2します。このため、これらの端子はリセット中に出力信号とならないような端子設定にするか、外部の信号と衝突しないように注意してください。

9. フラッシュメモリへの書き込み中、あるいは消去中に割り込みを使用することはできません。

【注】 *1 **モード端子の入力はリセット解除後、モードプログラミングセットアップ時間（t_{MDS}=4 ステート）を満足する必要があります。**

*2 **アドレス兼用ポートは、リセット中に** MD1 **端子が** 0 **の設定になったとき、アドレスとして** Low **レベルを出力します。それ以外のモードではハイインピーダンス状態となります。また、バス制御出力信号はリセット中に** MD1 **端子が** 0 **の設定になったとき、**High **レベルを出力します。それ以外のモードではハイインピーダンス状態となります。**

表 24.5 ブートモードの動作

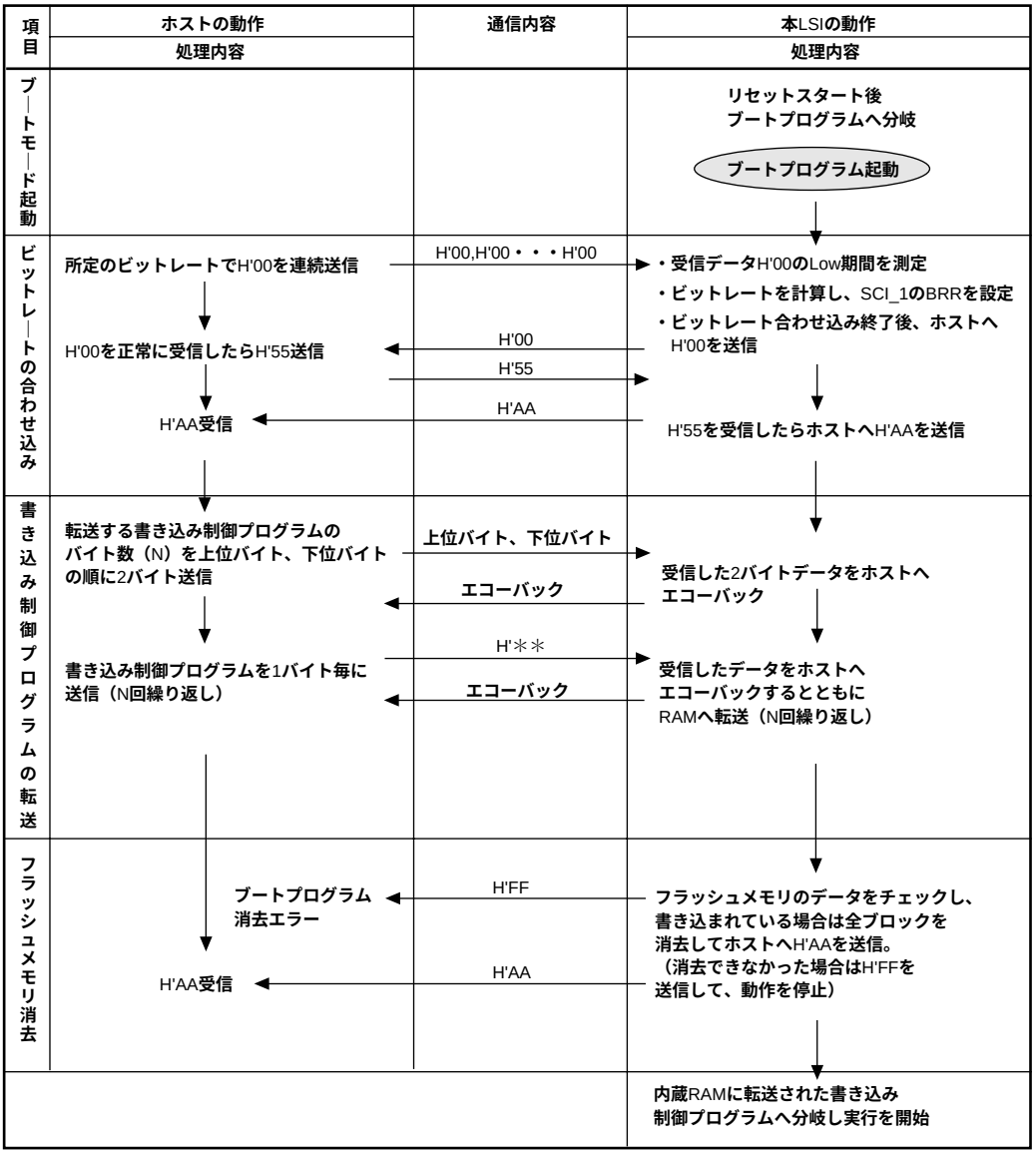


表 24.6 ビットレート自動合わせ込みが可能なシステムクロック周波数

ホストのビットレート	本 LSI のシステムクロック周波数範囲
19200bps	8～25MHz
9600bps	5～25MHz
4800bps	5～25MHz

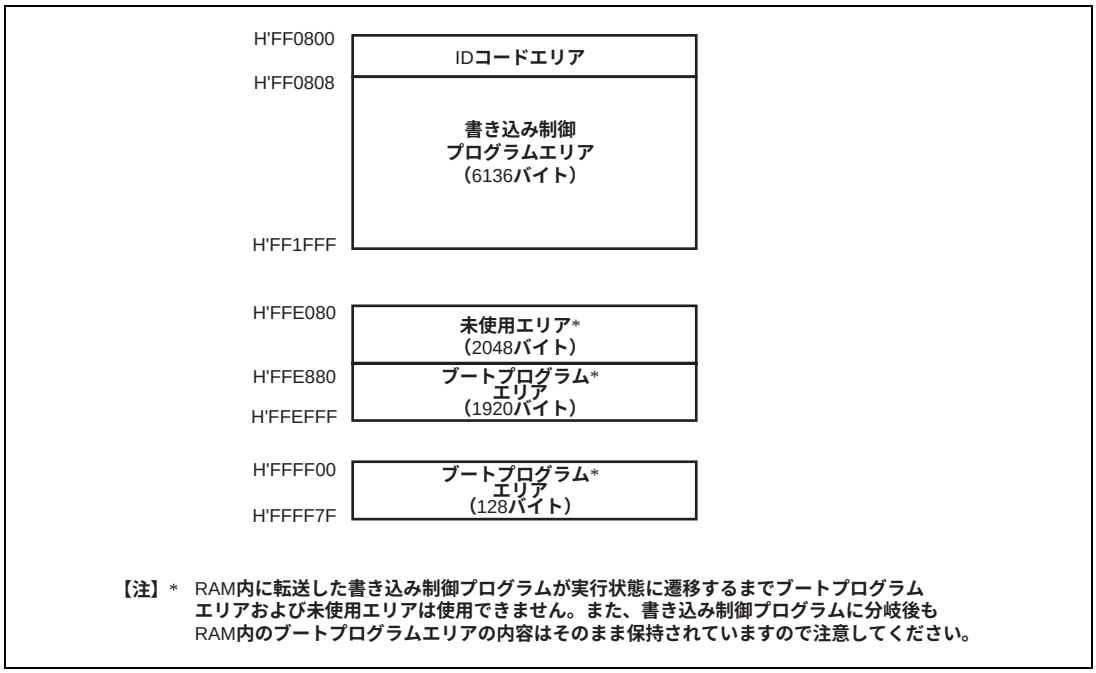


図 24.6　ブートモード時の内蔵 RAM エリア

本 LSI のブートモードでは 8 バイトの ID コードエリアの内容を確認し、本 LSI に対応した書き込み制御プログラムであるか識別します。ブートモードで使用する書き込み制御プログラムをオリジナルで作成する際には、8 バイトの ID コードをプログラムの先頭に追加してください。

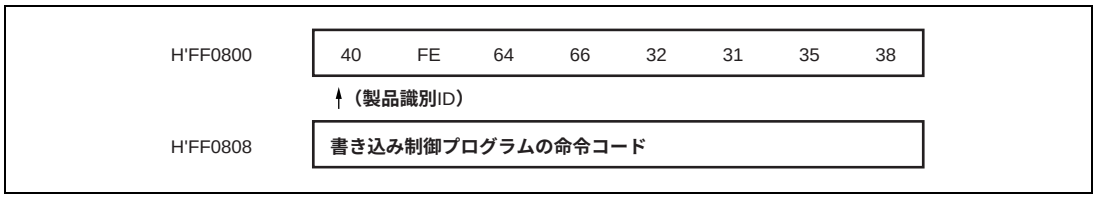


図 24.7　ID コードエリア

24.7.2 ユーザプログラムモード

ユーザモードではユーザが用意した書き込み／消去プログラムに分岐することで任意のブロックをオンボードで消去し書き換えることができるユーザプログラムモードがあります。分岐のための条件設定やオンボードでの書き換えデータ供給手段をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み／消去プログラムを書き込んでおくか、書き込み／消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み／消去中はフラッシュメモリを読み出せないため、ブートモードと同様書き込み／消去プログラムは内蔵 RAM に転送して実行してください。**図** 24.8 にユーザプログラムモードでの書き込み／消去手順の例を示します。書き込み／消去プログラムは**「**24.8 **フラッシュメモリの書き込み／消去」**に沿ったものを用意してください。

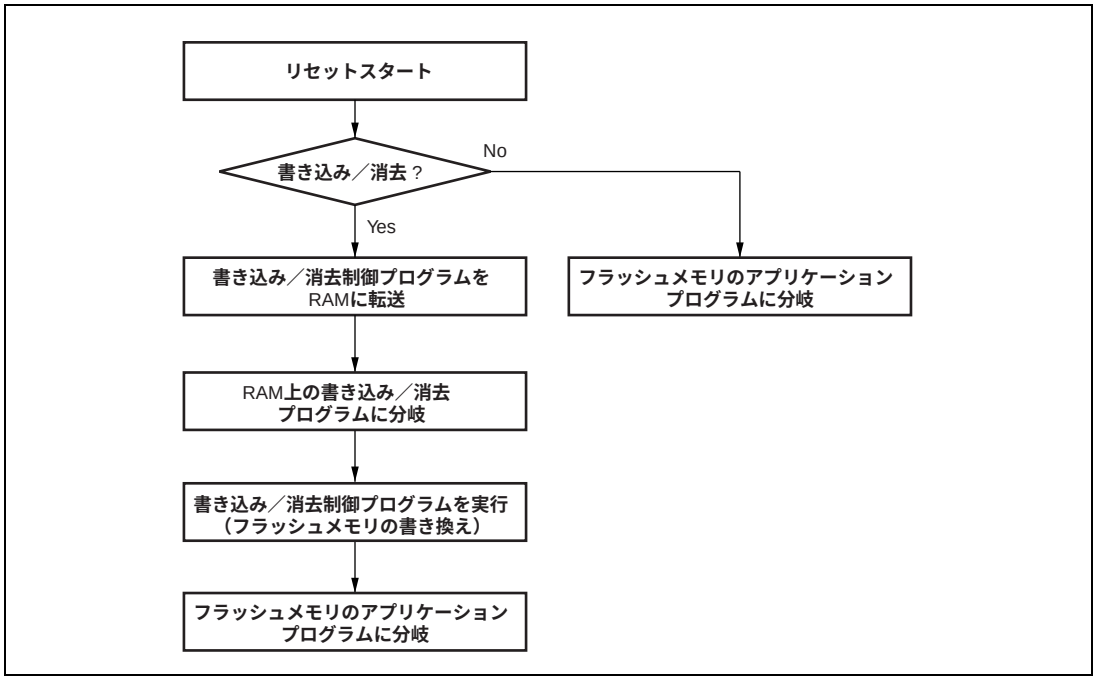


図 24.8 **ユーザプログラムモードにおける書き込み／消去例**

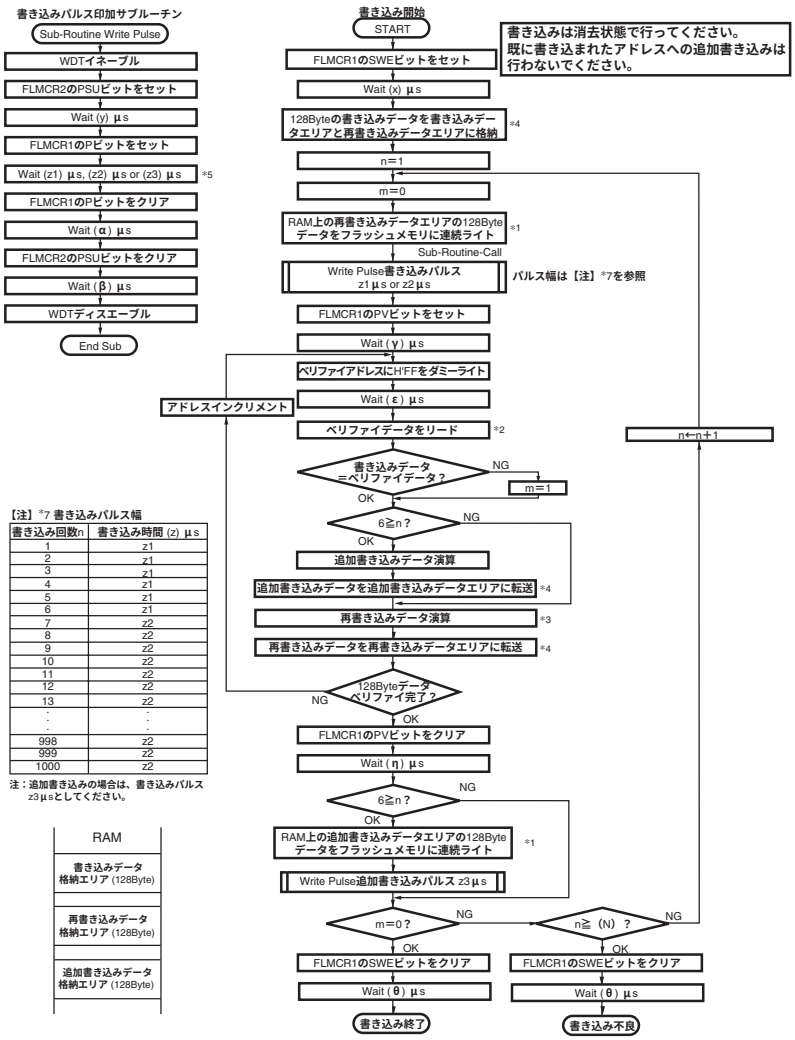
24.8 フラッシュメモリの書き込み／消去

オンボードでのフラッシュメモリの書き込み／消去はCPUを用いてソフトウェアで行う方式を採用しています。フラッシュメモリはFLMCR1、FLMCR2の設定によってプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザプログラムモードでの書き込み／消去プログラムではこれらのモードを組み合わせて書き込み／消去を行います。フラッシュメモリへの書き込みは**「24.8.1 プログラム／プログラムベリファイ」**に沿って、また、フラッシュメモリの消去は**「24.8.2 イレース／イレースベリファイ」**に沿って行ってください。

24.8.1 プログラム／プログラムベリファイ

フラッシュメモリへの書き込みは、**図** 24.9に示すプログラム／プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損なうことなく書き込みを行うことができます。

1. 書き込みは消去された状態で行い、既に書き込まれたアドレスへの再書き込みは行わないでください。
2. 1回の書き込みは128バイト単位です。128バイトに満たないデータを書き込む場合もフラッシュメモリに128バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んで下さい。
3. RAM上に書き込みデータエリア128バイト、再書き込みデータエリア128バイト、追加書き込みデータエリア128バイトの領域を確保して下さい。再書き込みデータの演算、追加書き込みデータの演算は**図**24.9に従ってください。
4. 再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへはバイト単位で128バイト連続転送してください。プログラムアドレスと128バイトのデータがフラッシュメモリ内にラッチされます。転送先のフラッシュメモリの先頭アドレスは下位8ビットをH'00またはH'80としてください。
5. Pビットがセットされている時間が書き込み時間となります。書き込み時間は**図**24.9に従ってください。
6. ウォッチドッグタイマの設定はプログラムの暴走等による過剰書き込みを避けるためのものです。オーバフロー周期は（y＋z2＋α＋β）μsより大きくしてください。
7. ベリファイアドレスへのダミーライトは、下位２ビットがB'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードで読み出せます。
8. 同一ビットに対するプログラム／プログラムベリファイシーケンスの繰り返しは、（N）回を超えないようにしてください。



【注】 *1 データ転送はバイト転送で行う。ライトする先頭アドレスの下位8ビットは、H'00,H'80でなければなりません。128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。必要無いアドレスへの書き込みは、データをH'FFにして書き込みを行う必要があります。

*2 ベリファイデータは16ビット (W) で読み出します。

*3 128バイトの書き込みループ内で、一度書き込みが完了したビットでも、次のベリファイでFAILした場合は、そのビットの追加書き込みを行います。

*4 RAM上に書き込みデータを格納するエリア(128バイト)と再書き込みデータを格納するエリア(128バイト)と追加書き込みデータを格納するエリア（128バイト）が必要です。再書き込みと、追加書き込みデータの内容は書き込みの進行に応じて書き換えられます。

*5 書き込みパルスは、書き込みの進行に応じて、z1 µs or z2 µsの書き込みパルスを印加します。パルス幅に関しては、【注】*7を参照してください。追加書き込みデータの書き込みを実施する場合は、z3 µsの書き込みパルスを印加してください。再書き込みデータx'は、書き込みパルスを印加した時の再書き込みデータを意味します。

*6 x, y, z1, z2, z3, α, β, γ, ε, η, θおよびNの値は「29.6 フラッシュメモリ特性」を参照してください。

書き込みデータ演算表

元データ(D)	Verifyデータ(V)	再書き込みデータ(X)	コメント
0	0	1	書き込み完了
	1	0	書き込み未完了、再書き込み
1	0	1	
	1	1	消去状態のまま、なにもしない

追加書き込みデータ演算表

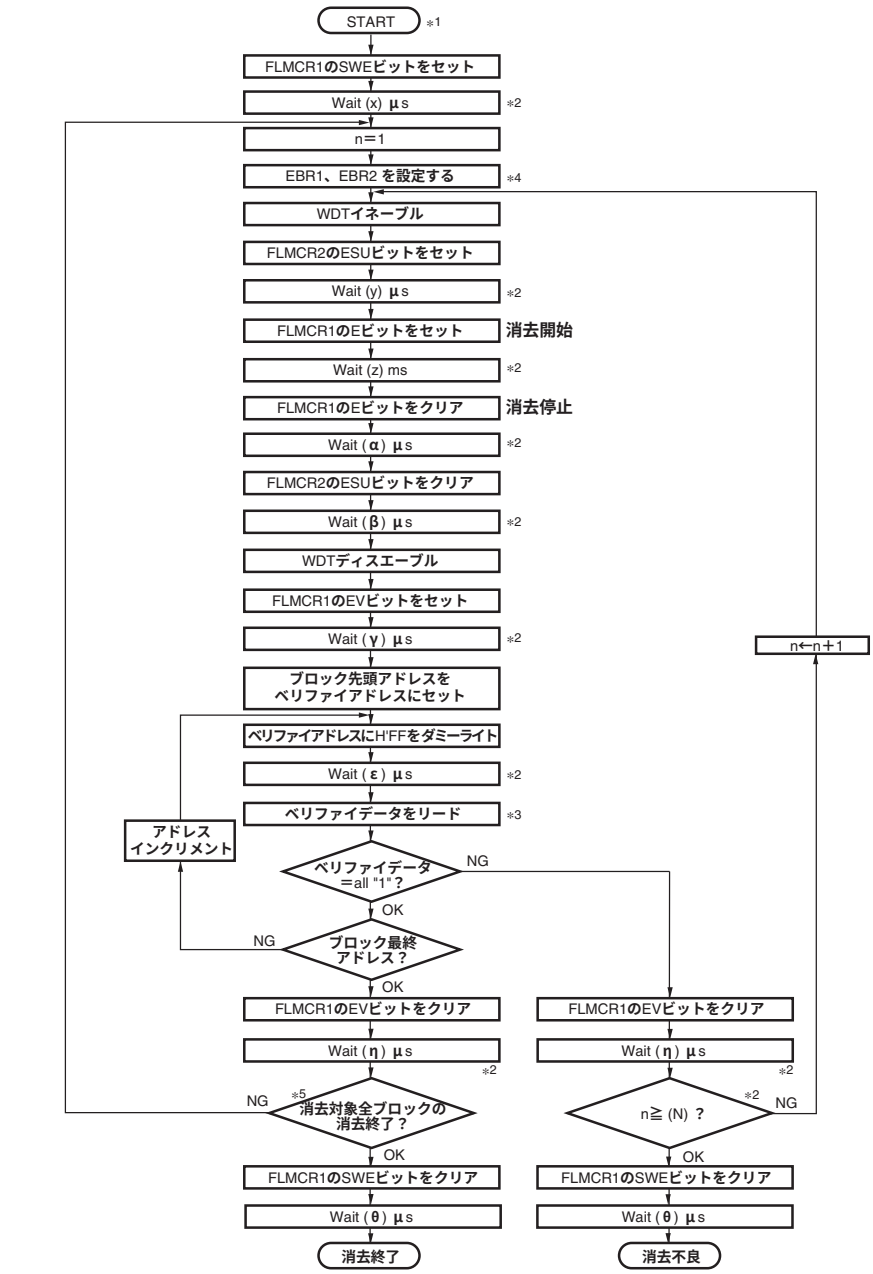
再書き込みデータ(X')	Verifyデータ(V)	追加書き込みデータ(Y)	コメント
0	0	0	追加書き込みを実施
	1	1	追加書き込みを実施しない
1	0	1	
	1	1	追加書き込みを実施しない

図 24.9 **プログラム／プログラムベリファイフロー**

24.8.2 イレース／イレースベリファイ

消去は**図** 24.10 のイレース／イレースベリファイフローチャートに従って行ってください。

1. 消去の前にプレライト（消去するメモリの全データをすべて0にする）を行う必要はありません。
2. 消去はブロック単位で行います。消去ブロック指定レジスタ1、2（EBR1、EBR2）により消去するブロックを1ブロックだけ選択してください。複数のブロックを消去する場合も1ブロックずつ順次消去してください。
3. Eビットが設定されている時間が消去時間となります。
4. ウォッチドッグタイマの設定はプログラムの暴走等による過剰消去を避けるためのものです。オーバフロー周期は（y＋z＋α＋β）msより大きくしてください。
5. ベリファイアドレスへのダミーライトは、下位２ビットがB'00のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードで読み出せます。
6. 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース／イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が（N）回を超えないようにしてください。



【注】 *1 プレライト（消去ブロックのデータをすべて"0"にする）は必要ありません。
*2 x、y、z、α、β、γ、ε、η、θおよびNの値を「29.6 電気的特性 フラッシュメモリ特性」に示します。
*3 ベリファイデータは16ビット（W）で読み出します。
*4 EBR1、EBR2は1ビットのみ設定してください。2ビット以上を設定しないでください。
*5 消去はブロック単位で行います。複数のブロックを消去する場合は各ブロック単位で順次消去を行ってください。

図 24.10 **イレース／イレースベリファイフロー**

24.9 書き込み／消去プロテクト

フラッシュメモリに対する書き込み／消去プロテクトにはハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトの 3 種類あります。

24.9.1 ハードウェアプロテクト

ハードウェアプロテクトは、FWE 端子に Low レベルが入力されているとき、およびリセット（WDT のオーバフローリセット含む）、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモードへの状態遷移によりフラッシュメモリに対する書き込み／消去が強制的に禁止、中断された状態をいいます。フラッシュメモリコントロールレジスタ 1（FLMCR1）、フラッシュメモリコントロールレジスタ 2（FLMCR2）、消去ブロック指定レジスタ 1、2（EBR1、EBR2）が初期化されます。$\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。

24.9.2 ソフトウェアプロテクト

ソフトウェアで FLMCR1 の SWE ビットをクリアすることで全ブロック書き込み／消去プロテクト状態になります。この状態で FLMCR1 の P ビットまたは E ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。また、消去ブロック指定レジスタ 1、2（EBR1、EBR2）の設定により、ブロック毎に消去プロテクトが可能です。EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。

24.9.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み／消去中に CPU の暴走や書き込み／消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み／消去動作を中断した状態です。書き込み／消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み／消去中に以下のエラーを検出すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態となります。

- 書き込み／消去中のフラッシュメモリ読み出し（ベクタリードおよび命令フェッチを含む）
- 書き込み／消去中のリセットを除く例外処理開始
- 書き込み／消去中のSLEEP命令実行（ソフトウェアスタンバイ、スリープ、サブアクティブ、サブスリープ、ウォッチモードへの遷移）
- 書き込み／消去中にCPUがバス権を失う

このとき、FLMCR1、FLMCR2、EBR1、EBR2 の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PV ビット、EV ビットは保持され、ベリファイモードへの遷移は可能です。エラープロテクト状態は、リセットまたはハードウェアスタンバイモードによってのみ解除できます。

24.10 フラッシュメモリの書き込み／消去時の割り込み

フラッシュメモリへの書き込み、消去中（FLMCR1 の P ビットまたは E ビットがセット）、およびブートモードでのブートプログラム実行中*[1]は、書き込み、消去動作を最優先とするため、NMI 入力を含むすべての割り込みを禁止してください。

1. 書き込み、消去中に割り込みが発生すると、正常な書き込み／消去アルゴリズムに沿った動作が保証できなくなります。
2. 書き込み／消去中の割り込み例外処理では正常なベクタリードができないため*[2]、結果としてCPUが暴走してしまいます。
3. ブートプログラム実行中に割り込みが発生すると正常なブートモードのシーケンスが実行できなくなります。

【注】 *1 **書き込み制御プログラムによる書き込みが完了するまでは、CPU 内部と外部で割り込み要求を禁止する必要があります。**

*2 **以下の 2 つの理由によって正常なベクタリードが行われません。**

- **書き込み、消去中（FLMCR1 の P ビットまたは E ビットがセット）にフラッシュメモリのリードを行っても正しい値を読み出すことはできません（値は不定）。**
- **割り込みベクタテーブルに値がまだ書き込まれていない場合、割り込み例外処理が正しく実行されません。**

24.11 ライタモード

ライタモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み／消去を行うことができます。PROM ライタはルネサス 256k バイトフラッシュメモリ内蔵マイコンデバイスタイプ*をサポートしているライタを使用してください。**図** 24.11 にライタモード時のメモリマップを示します。

【注】* **本** LSI **は、**PROM **ライタの書き込み電圧を** 3.3V **に設定して使用してください。**

図 24.11 **ライタモード時のメモリマップ**

24.12 使用上の注意事項

オンボードプログラミングモード、およびライタモード使用時の注意事項を示します。

(1) 規定された電圧、タイミングで書き込み／消去を行ってください。

定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。PROMライタは、ルネサス256kバイトフラッシュメモリ内蔵マイコンデバイスタイプの書き込み電圧3.3Vをサポートしているものを使用してください。ライタの設定をHN28F101や書き込み電圧を5.0Vにセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊にいたることがあります。

(2) 電源投入／切断時の注意

V_{cc}電源の印加／切断時は$\overline{RES}$端子をLowレベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入および解除タイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。

(3) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。

推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。また、FLMCR1のPビット、Eビットをセットするときは、プログラムの暴走等に備えてあらかじめウォッチドッグタイマを設定してください。

(4) SWE ビットのセット／クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。

SWEビットのセット／クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。フラッシュメモリ上のプログラム実行とデータの読み出しは、SWEビットをクリアした後に100μs以上の待ち時間をおいて行ってください。SWEビットをセットするとフラッシュメモリのデータを書き換えできますが、SWE＝1のときは、プログラムベリファイ／イレースベリファイモード以外ではフラッシュメモリを読み出すことはできません。ベリファイ（プログラム／イレース中のベリファイ）以外の目的で、フラッシュメモリをアクセスしないでください。また、プログラム／イレース／ベリファイ中にSWEビットのクリアを行わないでください。

(5) フラッシュメモリの書き込み中または消去中に割り込みを使用しないでください。

フラッシュメモリへの書き込み／消去を行う場合は、書き込み／消去動作を最優先とするため、NMIを含むすべての割り込み要求を禁止してください。

(6) 追加書き込みは行わないでください。書き換えは消去後に行ってください。

オンボードプログラミングでは128バイトの書き込み単位ブロックへの書き込みは、1回のみとしてください。ライタモードでも128バイトの書き込み単位ブロックへの書き込みは、1回のみとしてください。

書き込みはこの書き込み単位ブロックがすべて消去された状態で行ってください。

(7) 書き込み前に、必ず、正しく PROM ライタに装着されていることを確認してください。

PROMライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊することがあります。

(8) 書き込み中はソケットアダプタや製品に手を触れないでください。

接触不良などにより、書き込み不良になることがあります。

(9) フラッシュメモリへ書き込むデータ、およびプログラムは外部割り込みベクタテーブル以降に配置してください。

フラッシュメモリへの書き込みを行う場合は、書き込みデータ、およびプログラムは外部割り込みベクタテーブル以降（アドバンストモード：H'000040、ノーマルモード：H'0020）に配置して、例外処理ベクタテーブルのシステム予約エリアには必ずall H'FFを配置してください。

(10) ライタモードによる読み出しを行うためにはキーコードエリアに all H'FF を書き込んでください。

フラッシュメモリのキーコードエリア（アドバンストモード：H'00003C～3F、ノーマルモード：H'001E～1F）にall H'FF（アドバンストモード：4バイト、ノーマルモード：2バイト）以外のデータを書き込むと、ライタモードでの読み出しができなくなります（H'00が読み出される。消去→書き換えは可能）。ライタモードによる読み出しを行う場合は、必ずキーコードエリアにall H'FFを書き込むようにしてください。

ライタモードでキーコードエリアにall H'FF以外のデータを書き込む場合、PROMライタがソフトウェア対応されていないとベリファイエラーになります。

25. ユーザデバッグインタフェース（H-UDI）

ユーザデバッグインタフェース（H-UDI）は、JTAG（Joint Test Action Group, IEEE Std 1149.1, IEEE Standard Test Access Port and Boundary-Scan Architecture）とピンコンパチブルのシリアルインタフェースでバウンダリスキャン機能を備えています。H-UDI は、外部信号の制御でシリアル転送を行います。

25.1 特長

- 5本のテスト端子（ETCK、ETDI、ETDO、ETMS、および$\overline{\text{ETRST}}$）
- TAPコントローラ
- インストラクション：6種類

  BYPASSモード

  EXTESTモード

  SAMPLE/PRELOADモード

  CLAMPモード

  HIGHZモード

  IDCODEモード

  （上記6つのインストラクションはIEEE1149.1に対応したテストモード）

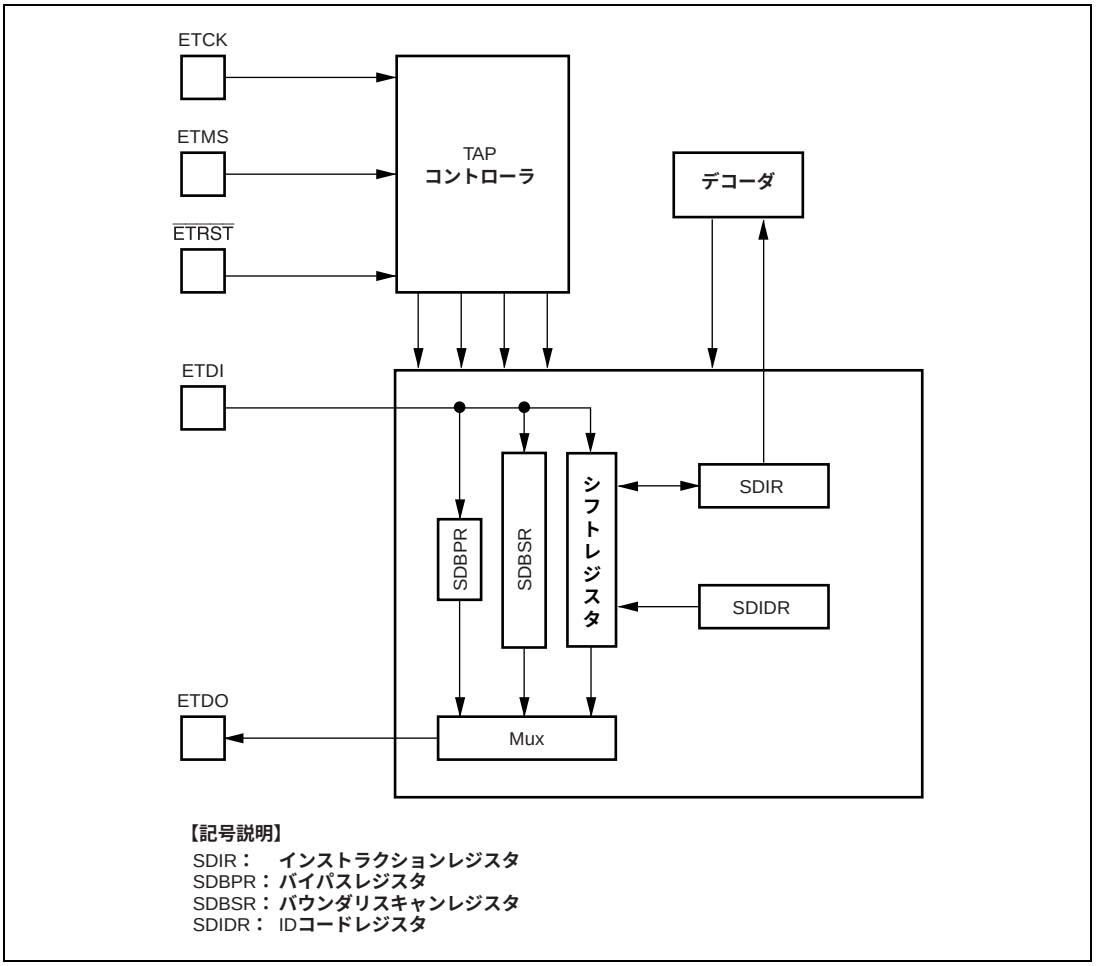


図 25.1 H-UDI のブロック図

25.2 入出力端子

表 25.1 に H-UDI の端子構成を示します。

表 25.1 端子構成

名 称	略 称	入出力	機 能
テストクロック	ETCK	入力	テストクロック入力 H-UDI に独立にクロックを供給します。ETCK 端子への入力クロックはそのまま H-UDI へ供給しているため、デューティ比 50%に近いクロック波形を入力してください。詳細は「第 29 章 電気的特性」を参照してください。何も入力されないと ETCK 端子は内部プルアップにより 1 に固定されます。
テストモードセレクト	ETMS	入力	テストモードセレクト入力 ETCK 端子の立ち上がりでサンプリングされます。ETMS 端子は TAP コントローラの内部ステートを制御します。何も入力されないと ETMS 端子は内部プルアップにより 1 に固定されます。
テストデータ入力	ETDI	入力	シリアルデータ入力 H-UDI レジスタに対するインストラクションとデータのシリアル入力を行います。ETDI 端子は ETCK 端子の立ち上がりでサンプリングされます。何も入力されないと ETDI 端子は内部プルアップにより 1 に固定されます。
テストデータ出力	ETDO	出力	シリアルデータ出力 H-UDI レジスタからのインストラクションとデータのシリアル出力を行います。転送は ETCK 端子に同期して行われます。ETDO 端子は出力していない場合、ハイインピーダンス状態です。
テストリセット	$\overline{\text{ETRST}}$	入力	テストリセット入力 H-UDI を非同期に初期化する信号です。何も入力されないと $\overline{\text{ETRST}}$ 端子は内部プルアップにより 1 に固定されます。

25.3 レジスタの説明

H-UDI には以下のレジスタがあります。

- インストラクションレジスタ（SDIR）
- バイパスレジスタ（SDBPR）
- バウンダリスキャンレジスタ（SDBSR）
- IDコードレジスタ（SDIDR）

インストラクションは、テストデータ入力端子（ETDI）からシリアル転送によりインストラクションレジスタ（SDIR）へ入力できます。SDIR からのデータは、テストデータ出力端子（ETDO）を通じて出力できます。バイパスレジスタ（SDBPR）は 1 ビットのレジスタで、BYPASS モード、CLAMP モード、および HIGHZ モード時、ETDI 端子と ETDO 端子はこのレジスタに接続されます。また、バウンダリスキャンレジスタ（SDBSR）は 215 ビットのレジスタで、SAMPLE/PRELOAD モード、および EXTEST モード時、ETDI 端子と ETDO 端子はこのレ

ジスタに接続されます。ID コードレジスタ（SDIDR）は 32 ビットのレジスタで、IDCODE モード時、ETDO 端子を通じて固定コードが出力できます。すべてのレジスタは CPU から直接アクセスすることができません。**表** 25.2 に H-UDI の各レジスタの可能なシリアル転送の種類を示します。

表 25.2　H-UDI **レジスタのシリアル転送**

レジスタ	シリアル入力	シリアル出力
SDIR	**可能**	**可能**
SDBPR	**可能**	**可能**
SDBSR	**可能**	**可能**
SDIDR	**不可**	**可能**

25.3.1　インストラクションレジスタ（SDIR）

SDIR はリード専用の 32 ビットのレジスタです。H-UDI のインストラクションは、ETDI 端子からのシリアル入力によって SDIR に転送することができます。SDIR は $\overline{\text{ETRST}}$ 端子が Low レベル、または TAP コントローラが Test-Logic-Reset 状態時に初期化されますが、リセットまたはスタンバイモードでは初期化されません。

SDIR に転送するインストラクションは、4 ビット長でなければなりません。4 ビットを超えるインストラクションを入力すると SDIR にはシリアルデータの最後の 4 ビットを格納します。

ビット	ビット名	初期値	R/W	説　　明
31	TS3	1	R	**テストセットビット**
30	TS2	1	R	0000：EXTEST **モード**
29	TS1	1	R	0001：**設定禁止**
28	TS0	0	R	0010：CLAMP **モード**
				0011：HIGHZ **モード**
				0100：SAMPLE/PRELOAD **モード**
				0101：**設定禁止**
				：　　：
				1101：**設定禁止**
				1110：IDCODE **モード（初期値）**
				1111：BYPASS **モード**
27〜14	−	**すべて** 0	R	**リザーブビット**
				リードすると常に 0 **が読み出されます。ライトは無効です。**
13	−	1	R	**リザーブビット**
				リードすると常に 1 **が読み出されます。ライトは無効です。**
12〜10	−	**すべて** 0	R	**リザーブビット**
				リードすると常に 0 **が読み出されます。ライトは無効です。**

ビット	ビット名	初期値	R/W	説　　明
9	−	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
8〜1	−	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。
0	−	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

25.3.2 バイパスレジスタ（SDBPR）

SDBPR は 1 ビットのシフトレジスタです。BYPASS モード、CLAMP モード、および HIGHZ モードでは、SDBPR は ETDI 端子と ETDO 端子の間に接続されます。

25.3.3 バウンダリスキャンレジスタ（SDBSR）

SDBSR は、本 LSI の入出力端子の制御を行うために PAD 上に配置されたシフトレジスタです。EXTEST モードと SAMPLE/PRELOAD モードを用いて、IEEE1149.1 規格に準拠したバウンダリスキャンテストを行うことができます。**表** 25.3 に本 LSI の端子とバウンダリスキャンレジスタの対応を示します。

表 25.3 **端子とバウンダリスキャンレジスタの対応**

Pin No.	端子名	入出力	ビット名
from ETDI			
4	$\overline{MD2}$	入力	214
5	MD1	入力	213
6	MD0	入力	212
7	NMI	入力	211
13	P51	入力	210
		イネーブル	209
		出力	208
14	P50	入力	207
		イネーブル	206
		出力	205
16	P97	入力	204
		イネーブル	203
		出力	202
17	P96	入力	201
		イネーブル	200
		出力	199
18	P95	入力	198
		イネーブル	197
		出力	196
19	P94	入力	195
		イネーブル	194
		出力	193
20	P56	入力	192
		イネーブル	191
		出力	190
21	P57	入力	189
		イネーブル	188
		出力	187
22	P93	入力	186
		イネーブル	185
		出力	184
23	P92	入力	183
		イネーブル	182
		出力	181
24	P91	入力	180
		イネーブル	179
		出力	178
25	P90	入力	177
		イネーブル	176
		出力	175
26	P60	入力	174
		イネーブル	173
		出力	172
27	P61	入力	171
		イネーブル	170
		出力	169
28	P62	入力	168
		イネーブル	167
		出力	166

Pin No.	端子名	入出力	ビット名
29	P63	入力	165
		イネーブル	164
		出力	163
32	P64	入力	162
		イネーブル	161
		出力	160
33	P65	入力	159
		イネーブル	158
		出力	157
34	P66	入力	156
		イネーブル	155
		出力	154
35	P67	入力	153
		イネーブル	152
		出力	151
38	USDP	入力	150
		イネーブル*	149
		出力	148
39	USDM	入力	147
		イネーブル*	146
		出力	145
40	P72	入力	144
41	P73	入力	143
42	P74	入力	142
43	P75	入力	141
44	P76	入力	140

Pin No.	端子名	入出力	ビット名
45	P77	入力	139
47	PA1	入力	138
		イネーブル	137
		出力	136
48	PA0	入力	135
		イネーブル	134
		出力	133
49	P54	入力	132
		イネーブル	131
		出力	130
50	P55	入力	129
		イネーブル	128
		出力	127
51	P40	入力	126
		イネーブル	125
		出力	124
52	P41	入力	123
		イネーブル	122
		出力	121
53	P42	入力	120
		イネーブル	119
		出力	118
54	P43	入力	117
		イネーブル	116
		出力	115
55	P44	入力	114
		イネーブル	113
		出力	112
56	P45	入力	111
		イネーブル	110
		出力	109
57	P46	入力	108
		イネーブル	107
		出力	106

Pin No.	端子名	入出力	ビット名
58	P47	入力	105
		イネーブル	104
		出力	103
60	P27	入力	102
		イネーブル	101
		出力	100
61	P26	入力	99
		イネーブル	98
		出力	97
62	P25	入力	96
		イネーブル	95
		出力	94
63	P24	入力	93
		イネーブル	92
		出力	91
64	P23	入力	90
		イネーブル	89
		出力	88
65	P22	入力	87
		イネーブル	86
		出力	85
66	P21	入力	84
		イネーブル	83
		出力	82
67	P20	入力	81
		イネーブル	80
		出力	79
72	P17	入力	78
		イネーブル	77
		出力	76
73	P16	入力	75
		イネーブル	74
		出力	73
74	P15	入力	72
		イネーブル	71
		出力	70

Pin No.	端子名	入出力	ビット名
75	P14	入力	69
		イネーブル	68
		出力	67
76	P13	入力	66
		イネーブル	65
		出力	64
77	P12	入力	63
		イネーブル	62
		出力	61
78	P11	入力	60
		イネーブル	59
		出力	58
79	P10	入力	57
		イネーブル	56
		出力	55
80	P87	入力	54
		イネーブル	53
		出力	52
81	P86	入力	51
		イネーブル	50
		出力	49
82	P30	入力	48
		イネーブル	47
		出力	46
83	P31	入力	45
		イネーブル	44
		出力	43
84	P32	入力	42
		イネーブル	41
		出力	40
85	P33	入力	39
		イネーブル	38
		出力	37
86	P34	入力	36
		イネーブル	35
		出力	34

Pin No.	端子名	入出力	ビット名
87	P35	入力	33
		イネーブル	32
		出力	31
88	P36	入力	30
		イネーブル	29
		出力	28
89	P37	入力	27
		イネーブル	26
		出力	25
90	P85	入力	24
		イネーブル	23
		出力	22
91	P84	入力	21
		イネーブル	20
		出力	19
93	P80	入力	18
		イネーブル	17
		出力	16

Pin No.	端子名	入出力	ビット名
94	P81	入力	15
		イネーブル	14
		出力	13
95	P82	入力	12
		イネーブル	11
		出力	10
96	P83	入力	9
		イネーブル	8
		出力	7
97	P52	入力	6
		イネーブル	5
		出力	4
98	P53	入力	3
		イネーブル	2
		出力	1
99	FWE	入力	0
to ETDO			

【注】 表中のイネーブルは High アクティブの信号です。イネーブルを High にすると該当端子を出力の値でドライブします。

＊ USDP 端子と USDM 端子のイネーブルは、どちらか一方を High にすると両端子共に出力の値でドライブします。

25.3.4 ID コードレジスタ（SDIDR）

SDIDR は 32 ビットのレジスタです。IDCODE モード時、SDIDR は ETDO 端子から固定コードである H'0018200F を出力可能ですが、シリアルデータは ETDI 端子を通じて SDIDR に書き込むことはできません。

31 28	27 12	11 1	0
0000	0000 0001 1000 0010	0000 0000 111	1
Version （4 ビット）	Part Number （16 ビット）	Manufacture Identify （11 ビット）	固定コード （1 ビット）

25.4 動作説明

25.4.1 TAP コントローラの状態遷移

図 25.2 に TAP コントローラの内部状態を示します。IEEE1149.1 で規定されている状態遷移に準拠しています。

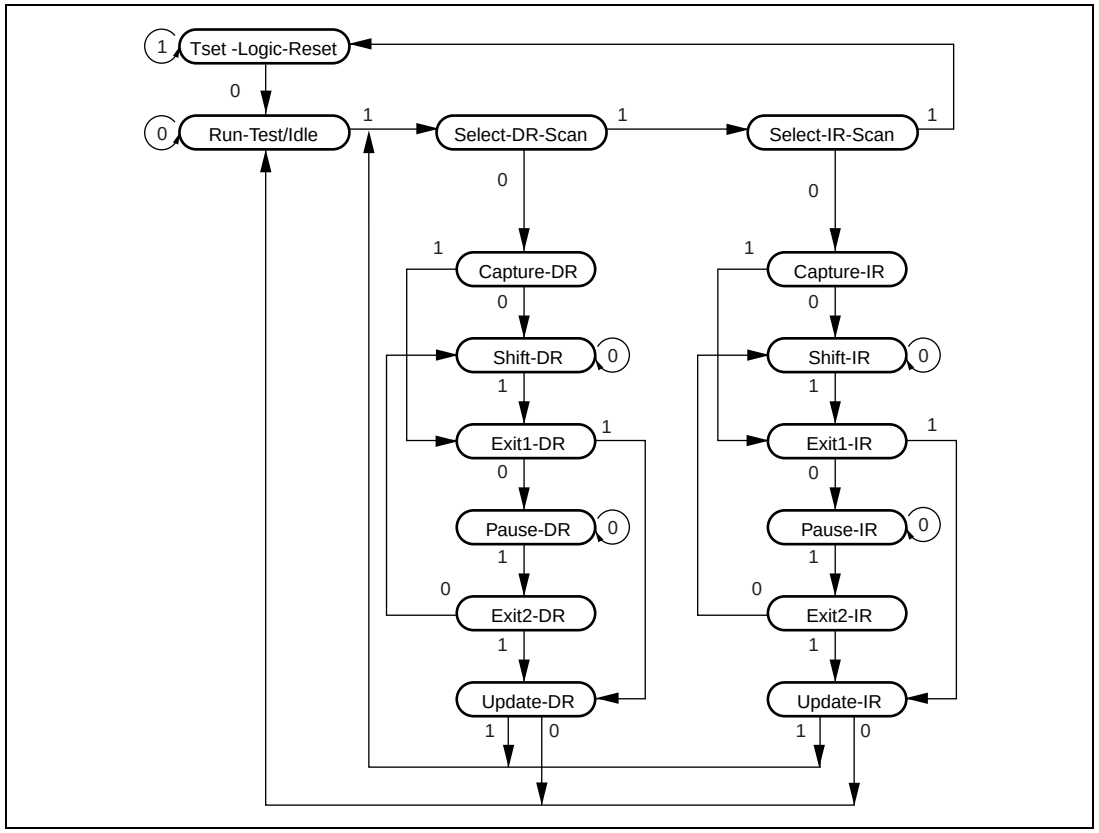


図 25.2 TAP **コントローラ状態遷移図**

25.4.2 H-UDI のリセット

H-UDI は 2 つの方法でリセットできます。

- $\overline{\text{ETRST}}$端子を0に保持する。
- $\overline{\text{ETRST}}$＝1のとき、ETMS＝1の状態で5クロック以上のETCKを入力する。

25.5 バウンダリスキャン

SDIR にコマンドを設定することにより、H-UDI 端子を IEEE1149.1 で規定されているバウンダリスキャンモードに設定できます。

25.5.1 サポート命令

IEEE1149.1 で定義される 3 つの命令（BYPASS、SAMPLE/PRELOAD、EXTEST）、およびオプション命令（CLAMP、HIGHZ、IDCODE）をサポートします。

(1) BYPASS［命令コード：B'1111］

BYPASS 命令は、バイパスレジスタを動作させる命令です。この命令はシフトパスを短縮してプリント基板上の他の LSI のシリアルデータを転送高速化するためのものです。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。

(2) SAMPLE/PRELOAD［命令コード：B'0100］

SAMPLE/PRELOAD 命令は、本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。この命令の実行中、本 LSI の入力信号はそのまま内部回路に伝達され、内部回路の値はそのまま出力端子から外部へ出力されます。この命令の実行により本 LSI のシステム回路は何も影響を受けません。

SAMPLE 動作では、入力端子から内部回路へ転送される値や、内部回路から出力端子へ転送される値のスナップショットをバウンダリスキャンレジスタに取り込み、スキャンパスから読み出します。スナップショットの取り込みは本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令の実行時、最初のスキャンシーケンスが完了する（出力ラッチへの転送）までの間、出力端子から不定値が出力される（EXTEST 命令では出力端子に常にパラレル出力ラッチを出力する）ことになります。

(3) EXTEST［命令コード：B'0000］

EXTEST 命令は、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本命令の実行時、出力端子はバウンダリスキャンレジスタからテストデータ（SAMPLE/PRELOAD 命令ですでに設定されています）をプリント基板へ出力するために使用され、入力端子はプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST 命令を N 回用いてテストを行うとき、N 回目のテストデータは（N-1）回目のスキャンアウトのときにスキャンインされます。

本命令の Capture-DR 状態で出力端子のバウンダリスキャンレジスタにロードされたデータは、外部回路のテストには使用されません（シフト動作で入れ替えます）。

(4) CLAMP［命令コード：B'0010］

CLAMP 命令が選択されると、出力端子はあらかじめ SAMPLE/PRELOAD 命令によって設定されたバウンダリスキャンレジスタの値を出力します。CLAMP 命令が選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態が保持されます。

ETDI、ETDO 端子間にはバイパスレジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

(5) HIGHZ［命令コード：B'0011］

HIGHZ 命令が選択されると、すべての出力端子はハイインピーダンス状態となります。HIGHZ 命令が選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態で保持されます。

ETDI、ETDO 端子間にはバイパスレジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

(6) IDCODE［命令コード：B'1110］

IDCODE 命令が選択されると、TAP コントローラの Shift-DR 状態時に ID コードレジスタの値を LSB より ETDO 端子から出力します。この命令の実行中テスト回路はシステム回路に何も影響を与えません。

TAP コントローラの Test-Logic-Reset 状態時、インストラクションレジスタは IDCODE 命令に初期化されます。

25.5.2 注意事項

1. 電源関連端子（VCC、VCL、VSS、AVCC/DrVCC、AVSS/DrVSS、AVref）はバウンダリスキャン対象外です。
2. クロック関連端子（EXTAL、XTAL、X1、X2）はバウンダリスキャンの対象です。
3. リセット、スタンバイ関連端子（$\overline{\text{RES}}$、$\overline{\text{STBY}}$、$\overline{\text{RESO}}$）はバウンダリスキャンの対象外です。
4. H-UDI関連端子（ETCK、ETDI、ETDO、ETMS、$\overline{\text{ETRST}}$）はバウンダリスキャンの対象外です。
5. $\overline{\text{MD2}}$端子はHigh固定としてください。

25.6 使用上の注意事項

1. H-UDIを起動する／しないにかかわらず、必ずETRST端子を0にして、リセットしてください。このとき、ETRST端子はETCKに対して20クロックの間、Lowレベルに保持してください。詳細は**「第29章　電気的特性」**を参照してください。その後、H-UDIを起動する場合はETRST端子を1にして、ETCK、ETMS、ETDI端子を任意に設定してください。H-UDIを起動しない通常動作の場合は、ETRST、ETCK、ETMS、ETDI端子は1もしくはハイインピーダンスに設定してください。これらの端子はチップ内部でプルアップされますので、スタンバイ時注意してください。
2. ETRST端子に印加するパワーオンリセット信号については、以下の注意が必要です。

- 電源投入時に必ずリセット信号を印加してください。
- ボードテスタのETRST端子がLSIのシステム側の動作に影響がないように回路を分離してください。
- また、LSIのシステムリセットがボードテスタのETRST端子に影響を与えないように回路を分離してください。

図25.3に相互干渉しないリセット系信号の設計例を示します。

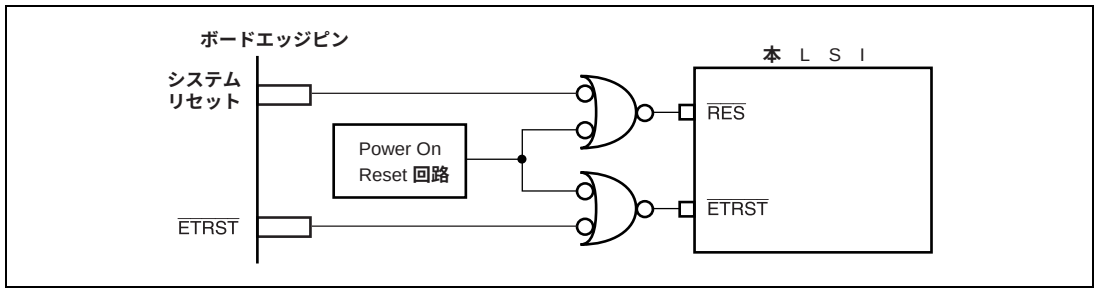


図 25.3　相互干渉しないリセット系信号の設計例

3. スタンバイモードではレジスタは初期化されません。スタンバイモード時にETRST端子を0に設定するとIDCODEモードになります。
4. ETCK端子の周波数はシステムクロックの周波数よりも低くなければなりません。詳細は**「第29章　電気的特性」**を参照してください。
5. シリアル転送時のデータ入出力はLSBから開始します。**図**25.4にシリアルデータ入出力を示します。
6. ETDI、ETDO端子間に接続されるレジスタのビット数を超えてシリアル転送した場合、レジスタのビット数を超えてETDO端子から出力されるシリアルデータはETDI端子から入力されたデータとなります。
7. H-UDIシリアル転送シーケンスがくずれた場合、必ずETRST端子のリセットを行ってください。このとき、転送動作にかかわらず再度転送し直してください。
8. プルアップ機能付きピンで、プルアップ機能有効の状態でSAMPLEすると、対応する入力のスキャンレジスタで1を見ることができます。このとき対応するイネーブルのスキャンレジスタは0にしてください。

9. オープンドレイン機能付きピンで、オープンドレイン機能有効の状態かつ対応する出力のスキャンレジスタが1でSAMPLEすると、対応するイネーブルのスキャンレジスタで0を見ることができます。

SDIRのシリアルデータ入出力

Capture-IR時にSDIRがシフトレジスタへ取り込まれ、Shift-IRでETDO端子よりSDIRのビット0からビット31の順に出力されます。

Update-IR時にETDI端子から入力したデータが、SDIRへ書き込まれます。

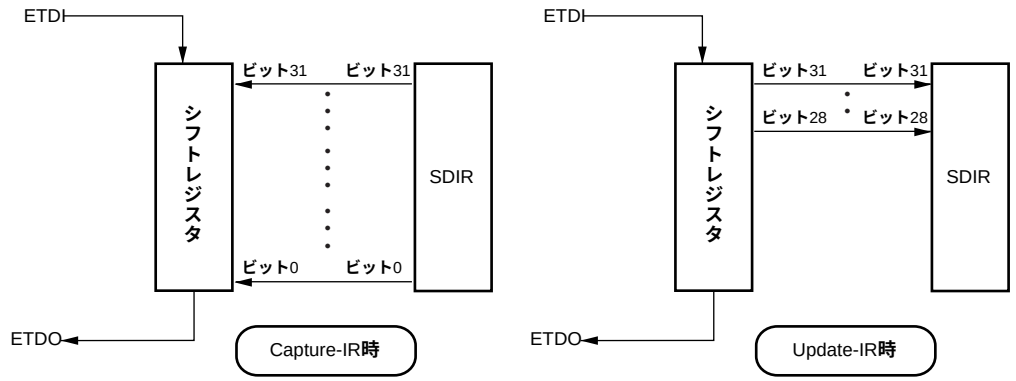


図 25.4 シリアルデータ入出力（1）

SDIDRのシリアルデータ入出力

IDCODEモード時、Capture-DR時にSDIDRがシフトレジスタへ取り込まれ、Shift-DRでETDO端子よりSDIDRのビット0からビット31の順に出力されます。

Update-DR時、ETDI端子から入力したデータは、どのレジスタへも書き込まれません。

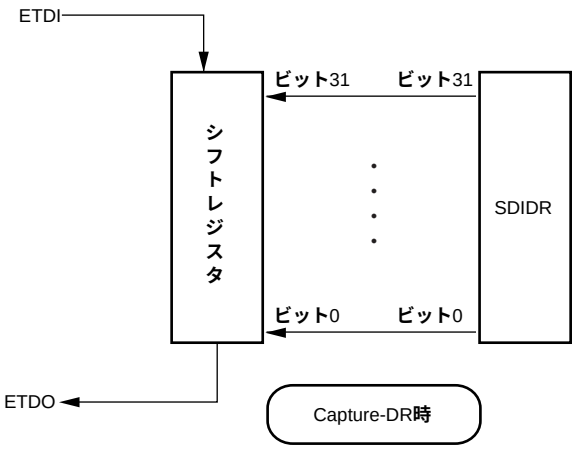


図 25.4 シリアルデータ入出力（2）

26. クロック発振器

本 LSI は、クロック発振器を内蔵しており、システムクロック（φ）、内部クロック、バスマスタクロック、およびサブクロック（φSUB）を生成します。クロック発振器は、発振器、デューティ補正回路、システムクロック選択回路、中速クロック分周器、バスマスタクロック選択回路、サブクロック入力回路、波形成形回路で構成されます。クロック発振器のブロック図を**図** 26.1 に示します。

また、本 LSI は、PLL（Phase Locked Loop）回路も内蔵しており、USB 動作クロック用の 48MHz 逓倍クロック（φ48）と 24MHz 逓倍クロック（φ24）を生成します。24MHz 逓倍クロックは、EXTAL、XTAL 端子の発振器で生成されるクロックの代わりにデューティ補正回路に入力してシステムクロック（φ）として使用することが可能です。PLL 回路は、USB 外部クロック入力回路、PLL 入力クロック選択回路、分周／逓倍回路、USB 動作クロック選択回路で構成されます。

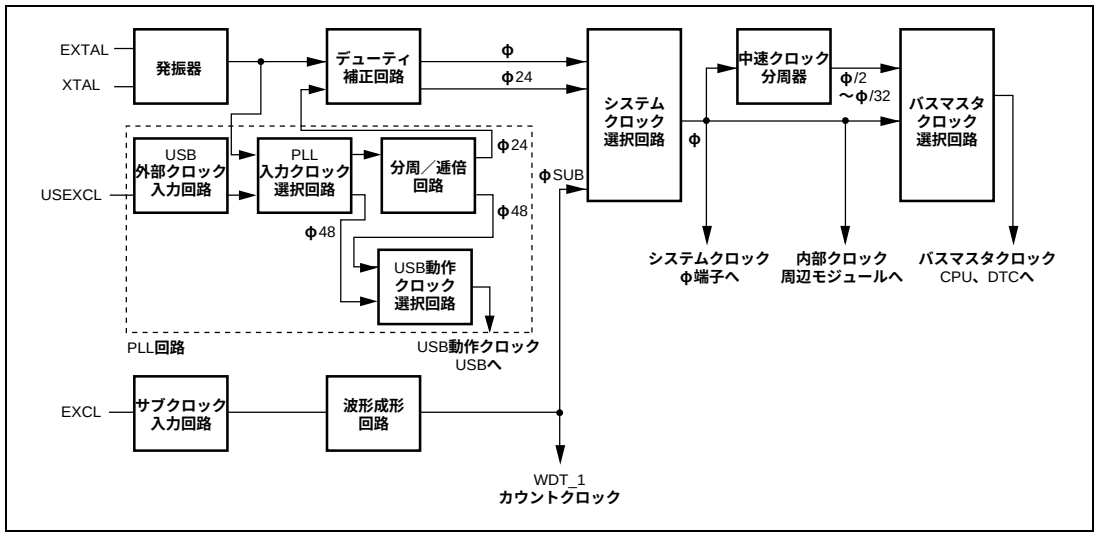


図 26.1　**クロック発振器のブロック図**

高速モード、中速モードでのバスマスタクロックの選択は、スタンバイコントロールレジスタの SCK2～SCK0 ビットの設定によりソフトウェアで行います。また、中速クロック（φ/2～φ/32）を CPU 動作時および CPU の内部メモリアクセス時に限定して使用することが可能です。これにより、DTC や RFU の動作速度や外部空間のアクセスサイクルを、中速モードの設定にかかわらず一定にすることが可能です。スタンバイコントロールレジスタについては、**「**27.1.1　**スタンバイコントロールレジスタ（**SBYCR**）」**を参照してください。

サブクロック入力は、ローパワーコントロールレジスタの EXCLE ビットの設定によりソフトウェアで制御します。ローパワーコントロールレジスタについては**「**27.1.2　**ローパワーコントロールレジスタ（**LPWRCR**）」**を参照してください。

26.1 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

26.1.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を**図** 26.2 に示します。ダンピング抵抗 R_dは、**表** 26.1 に示すものを使用してください。水晶発振子は、AT カット並列共振形を使用してください。

水晶発振子の等価回路を**図** 26.3 に示します。水晶発振子は**表** 26.2 に示す特性のものを使用してください。水晶発振子は、システムクロック（φ）と同一の周波数のものを使用してください。

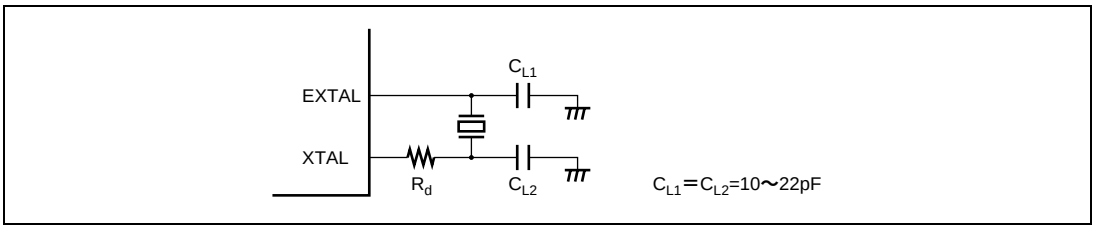


図 26.2 **水晶発振子の接続例**

表 26.1 **ダンピング抵抗値**

周波数（MHz）	5	8	10	12	16	20	25
R_d（Ω）	300	200	0	0	0	0	0

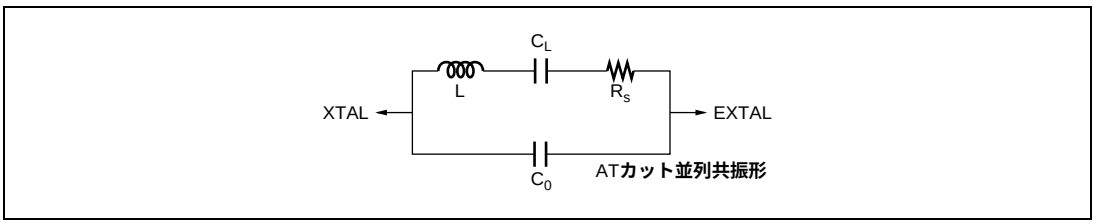


図 26.3 **水晶発振子の等価回路**

表 26.2 **水晶発振子の特性**

周波数（MHz）	5	8	10	12	16	20	25
Rs max（Ω）	100	80	70	60	50	40	30
C0 max（pF）	7						

26.1.2 外部クロックを入力する方法

外部クロック入力の接続例を**図** 26.4 に示します。XTAL 端子をオープン状態にする場合は、寄生容量を 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード、サブアクティブモード、サブスリープモード、およびウォッチモード時は外部クロックを High レベルにしてください。外部クロックの入力条件を**表** 26.3 に示します。外部クロックはシステムクロック（φ）と同一の周波数としてください。

(a)　XTAL**端子をオープンにする接続例**

(b)　XTAL**端子に逆相クロックを入力する接続例**

図 26.4　**外部クロックの接続例**

表 26.3　**外部クロック入力条件**

項　目	**記号**	V_{CC}=3.0～3.6V		V_{CC}=2.7～3.6V		**単位**	**測定条件**
		min	max	min	max		
外部クロック入力パルス幅 Low **レベル**	t_{EXL}	15	—	20	—	ns	**図** 26.5
外部クロック入力パルス幅 High **レベル**	t_{EXH}	15	—	20	—	ns	
外部クロック立ち上がり時間	t_{EXr}	—	5	—	5	ns	
外部クロック立ち下がり時間	t_{EXf}	—	5	—	5	ns	
クロックパルス幅 Low **レベル**	t_{CL}	0.4	0.6	0.4	0.6	t_{cyc}	**図** 29.4
クロックパルス幅 High **レベル**	t_{CH}	0.4	0.6	0.4	0.6	t_{cyc}	

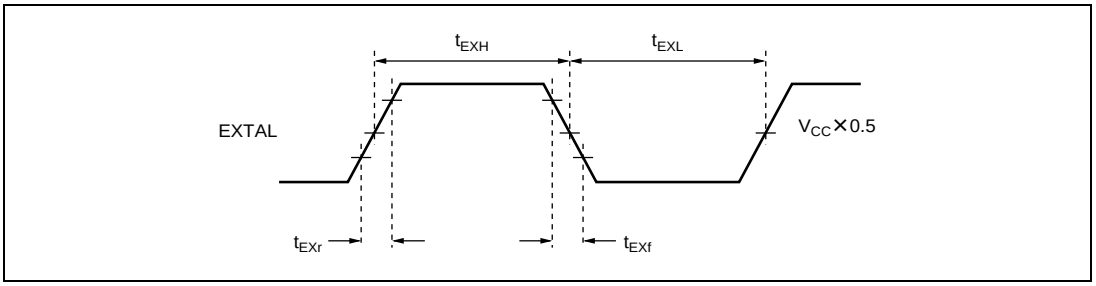


図 26.5　外部クロック入力タイミング

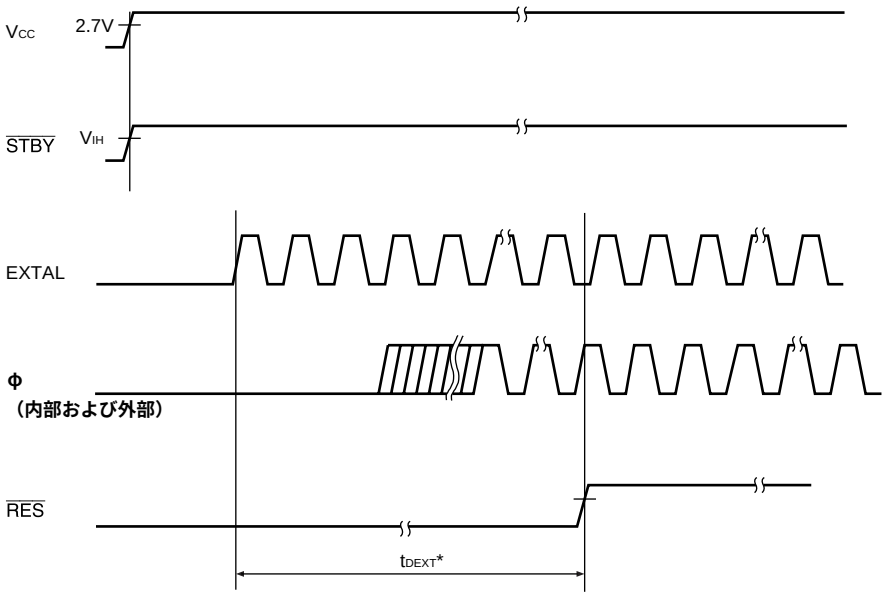
発振器とデューティ補正回路は、EXTAL 端子に入力した外部クロックの入力の波形を調整する機能を持っています。EXTAL 端子に規定のクロック信号を入力すると、外部クロック出力安定遅延時間（t_{DEXT}）経過後に内部クロック信号出力が確定します。t_{DEXT}期間中はクロック信号出力が確定していないので、リセット信号を Low レベルにしリセット状態を保持してください。**表 26.4** に外部クロック出力安定遅延時間、**図 26.6** に外部クロック出力安定遅延時間タイミングを示します。

表 26.4　外部クロック出力安定遅延時間

条件：V_{CC}=2.7V～3.6V、AV_{CC}=2.7V～3.6V、V_{SS}=AV_{SS}=0V

項　目	記号	min.	max.	単位	備考
外部クロック出力安定遅延時間	t_{DEXT}*	500	−	μs	図 26.6

【注】*　t_{DEXT}は、$\overline{RES}$ パルス幅（t_{RESW}）を含みます。



【注】 * tDEXTは、RESパルス幅（tRESW）を含みます。

図 26.6 外部クロック出力安定遅延時間タイミング

26.2 デューティ補正回路

デューティ補正回路は発振周波数 5MHz 以上の場合に有効になり、発振器の出力するクロックのデューティを補正してシステムクロック（φ）を生成します。

26.3 中速クロック分周器

中速クロック分周器は、システムクロック（φ）を分周し、φ／2、φ／4、φ／8、φ／16、φ／32 を生成します。

26.4 バスマスタクロック選択回路

バスマスタクロック選択回路は、バスマスタに供給するクロックを SBYCR の SCK2～SCK0 ビットによりシステムクロック（φ）、または中速クロック（φ／2、φ／4、φ／8、φ／16、φ／32）から選択します。

26.5 サブクロック入力回路

EXCL 端子からのサブクロック入力を制御します。サブクロックを使用する場合は、EXCL 端子から 32.768kHz の外部クロックを入力してください。このとき P9DDR の P96DDR ビットを 0 にクリアし、LPWRCR の EXCLE ビットを 1 にセットしてください。

サブクロックの入力条件を**表 26.5** に示します。サブクロックを必要としない場合には、サブクロック入力をイネーブルにしないでください。

表 26.5 サブクロック入力条件

項　目	記号	V_{CC}=2.7～3.6V			単位	測定条件
		Min	typ	Max		
サブクロック入力 パルス幅 Low レベル	t_{EXCLL}	−	15.26	−	μs	図 26.7
サブクロック入力 パルス幅 High レベル	t_{EXCLH}	−	15.26	−	μs	
サブクロック入力 立ち上がり時間	t_{EXCLr}	−	−	10	ns	
サブクロック入力 立ち下がり時間	t_{EXCLf}	−	−	10	ns	

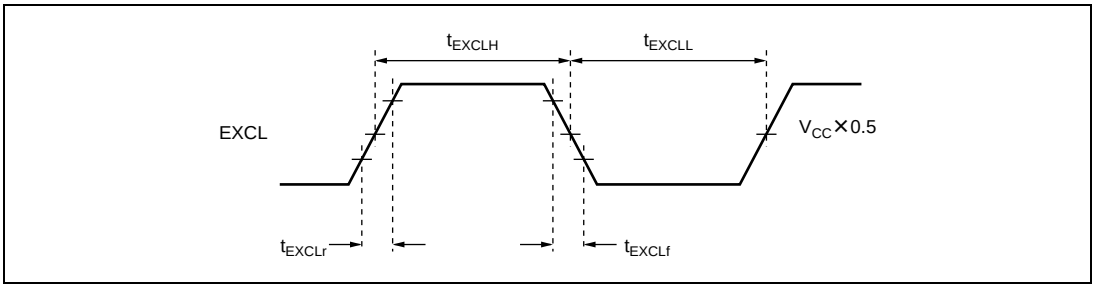


図 26.7 サブクロック入力タイミング

26.6 波形成形回路

EXCL 端子から入力されたサブクロックのノイズ除去のため、φクロックの分周クロックでサンプリングします。サンプリング周波数は、LPWRCR の NESEL ビットで設定します。

サブアクティブモード、サブスリープモード、およびウォッチモードではサンプリングされません。

26.7 クロック選択回路

LSI 内部で使用するシステムクロックを選択します。

高速モード、中速モード、スリープモード、ソフトウェアスタンバイモードからの復帰時には、EXTAL、XTAL 端子の発振器で生成されるクロックと PLL で生成される 24MHz 逓倍クロックのどちらかをシステムクロックとして選択します。リセット状態、ハードウェアスタンバイモードからの復帰時には、EXTAL、XTAL 端子の発振器で生成されるクロックをシステムクロックとして選択します。

サブアクティブモード、サブスリープモード、ウォッチモードでは、EXCL 端子から入力されるサブクロックをシステムクロックとして選択します。このとき、CPU、TMR_0、TMR_1、WDT_0、WDT_1、ポート、割り込みコントローラなどのモジュールおよび機能はφSUB により動作し、各タイマのカウントクロックやサンプリングクロックもφSUB を分周したクロックとなります。

26.8 PLL 回路

本 LSI は、PLL 回路を内蔵しており、USEXCL 端子から入力されるクロックまたは EXTAL、XTAL 端子の発振器で生成されるクロックを逓倍した USB 動作クロック用の 48MHz 逓倍クロック（φ48）と、それを 2 分周した 24MHz 逓倍クロック（φ24）を生成します。PLL 入力クロックは、8MHz、12MHz、16MHz、20MHz、24MHz のいずれかである必要があります。USEXCL 端子入力（48MHz）は、PLL 回路の出力クロックの代わりに USB 動作クロックとして直接使用することが可能です。詳細は**「18.3.17 USB PLL コントロールレジスタ（UPLLCR）」**を参照してください。

PLL 回路で生成した 24MHz 逓倍クロック（φ24）は、システムクロックとしても使用可能です。詳細は**「27.1.3 システムコントロールレジスタ 2（SYSCR2）」**を参照してください。

PLL 回路の起動は、SUBMSTPBL の SMSTPB1 ビットを 0 にクリアし、USB のモジュールストップ状態解除後、UPLLCR を設定して行ってください。USB を使用しない場合は、PLL 回路起動後 SUBMSTPBL の SMSTPB1 ビットを 1 にセットし、USB をモジュールストップ状態に設定してください。

26.9 使用上の注意事項

26.9.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本書で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

26.9.2 ボード設計上の注意事項

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ EXTAL、XTAL 端子の近くに配置してください。また、**図 26.8** に示すように発振回路の近くには他の信号線を通過させないでください。誘導により正しい発振ができなくなることがあります。

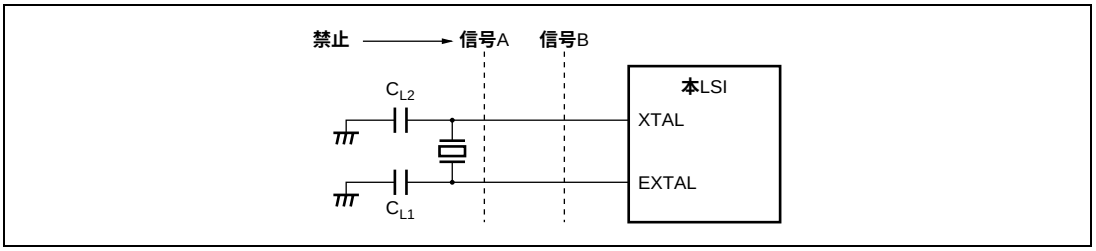


図 26.8　発振回路部のボード設計に関する注意事項

26.9.3　X1、X2 の端子処理

図 26.9 に示すように X1、X2 端子をオープンとしてください。

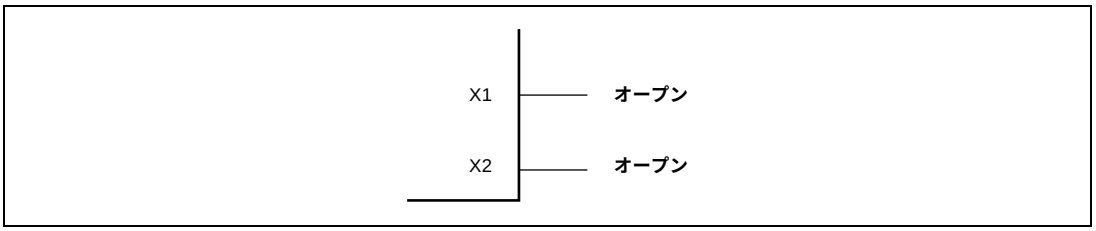


図 26.9　X1、X2 の端子処理

27. 低消費電力状態

リセット解除後の動作モードには、通常の高速モードでのプログラム実行状態のほかに消費電力を著しく低下させる 7 種類の低消費電力モードがあります。このほか、内蔵周辺モジュールを選択的に停止させて消費電力を低下させるモジュールストップモードがあります。

- 中速モード

  CPUを動作させるシステムクロックの周波数はφ／2、φ／4、φ／8、φ／16、φ／32の中から選択できます。
- サブアクティブモード

  CPUはサブクロックで動作します。TMR_0、TMR_1、WDT_0、WDT_1以外の内蔵周辺モジュールは動作を停止します。
- スリープモード

  CPUは動作を停止しますが、内蔵周辺モジュールは動作します。
- サブスリープモード

  CPUおよびTMR_0、TMR_1、WDT_0、WDT_1以外の内蔵周辺モジュールは動作を停止します。
- ウォッチモード

  CPUおよびWDT_1以外の内蔵周辺モジュールは動作を停止します。
- ソフトウェアスタンバイモード

  クロック発振器が停止し、CPUおよび内蔵周辺モジュールは動作を停止します。
- ハードウェアスタンバイモード

  クロック発振器が停止し、CPUおよび内蔵周辺モジュールはリセット状態になります。
- モジュールストップモード

  上記動作モードとは独立に、使用しない内蔵周辺モジュールの動作をモジュール単位で停止させることができます。

27.1 レジスタの説明

低消費電力モードに関連するレジスタには以下のものがあります。SBYCR、LPWRCR、SYSCR2、MSTPCRH、MSTPCRL をアクセスするためには、シリアルタイマコントロールレジスタ（STCR）の FLSHE ビットを 0 にクリアする必要があります。なお、シリアルタイマコントロールレジスタについては「3.2.3 **シリアルタイマコントロールレジスタ（STCR）**」を参照してください。

- **スタンバイコントロールレジスタ**（SBYCR）
- **ローパワーコントロールレジスタ**（LPWRCR）
- **システムコントロールレジスタ**2（SYSCR2）
- **モジュールストップコントロールレジスタ**H（MSTPCRH）
- **モジュールストップコントロールレジスタ**L（MSTPCRL）
- **サブチップモジュールストップコントロールレジスタ**BH（SUBMSTPBH）
- **サブチップモジュールストップコントロールレジスタ**BL（SUBMSTPBL）

27.1.1 スタンバイコントロールレジスタ（SBYCR）

SBYCR は低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説　明
7	SSBY	0	R/W	**ソフトウェアスタンバイ** SLEEP **命令実行後の遷移先を指定します。** **高速モードまたは中速モードで** SLEEP **命令を実行したとき** 0：**スリープモードに遷移** 1：**ソフトウェアスタンバイモード、サブアクティブモードまたはウォッチモードに遷移** **サブアクティブモードで** SLEEP **命令を実行したとき** 0：**サブスリープモードに遷移** 1：**ウォッチモードまたは高速モードに遷移** **割り込みなどによってモード間遷移をした場合でも** SSBY **ビットの内容は変わりません。**
6 5 4	STS2 STS1 STS0	0 0 0	R/W R/W R/W	**スタンバイタイマセレクト** 2～0 **ソフトウェアスタンバイモード、ウォッチモード、サブアクティブモードを解除する際に、クロック発振器が発振を開始してからクロックが安定するまでの待機ステート数を設定します。動作周波数に応じて待機時間が** 8ms（**発振安定時間**）**以上となるように設定してください。設定値と待機ステート数の関係は表** 27.1 **のとおりです。** **外部クロックを使用する場合は任意の選択が可能です。通常の場合は最小値を推奨します。**

ビット	ビット名	初期値	R/W	説　明
3	DTSPEED	0	R/W	DTC/RFU スピード 中速モード時、CPU 以外のバスマスタ（DTC/RFU）の動作クロックを選択します。 0：全てのバスマスタが中速クロックで動作します。 1：DTC/RFU は常にシステムクロックで動作します。 DTC/RFU の転送要求が発生した時点で、CPU が中速モードで動作中であっても動作クロックが切り替わります。ただし、本 LSI は RFU の中速モード動作をサポートしておりません。中速モードで RFU を使用する場合は、このビットを必ず 1 に設定してください。0 の状態で RFU が起動するとプログラムの暴走につながります。
2	SCK2	0	R/W	システムクロックセレクト 2～0 高速モードおよび中速モードでのバスマスタのクロックを選択します。 なお、サブアクティブモード、ウォッチモードに遷移して動作させる場合には SCK2～SCK0 を B'000 にしてください。 000： 高速モード 001： 中速クロックはφ/2（初期値） 010： 中速クロックはφ/4 011： 中速クロックはφ/8 100： 中速クロックはφ/16 101： 中速クロックはφ/32 11∗： 設定禁止
1	SCK1	0	R/W	
0	SCK0	1	R/W	

【記号説明】∗：Don't care

表 27.1　動作周波数と待機時間

STS2	STS1	STS0	待機時間	24MHz	20MHz	10MHz	8MHz	6MHz	単位
0	0	0	8192 ステート	0.3	0.4	0.8	1.0	1.3	ms
0	0	1	16384 ステート	0.7	0.8	1.6	2.0	2.7	
0	1	0	32768 ステート	1.3	2.0	3.3	4.1	5.5	
0	1	1	65536 ステート	2.7	4.1	6.6	8.2	10.9	
1	0	0	131072 ステート	5.5	8.2	13.1	16.4	21.8	
1	0	1	262144 ステート	10.9	16.4	26.2	32.8	43.6	
1	1	0	リザーブ	−	−	−	−	−	−
1	1	1	16 ステート∗	0.7	0.8	1.6	2.0	2.7	μs

：推奨設定時間

【注】∗ フラッシュメモリ内蔵版では本設定は使用しないでください。

27.1.2 ローパワーコントロールレジスタ（LPWRCR）

LPWRCR は低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説　明
7	DTON	0	R/W	ダイレクトトランスファオンフラグ SLEEP 命令実行後の遷移先を指定します。 高速モードまたは中速モードで SLEEP 命令を実行したとき 0：スリープモード、ソフトウェアスタンバイモードまたはウォッチモードに遷移 1：サブアクティブモードに直接遷移、またはスリープモード、ソフトウェアスタンバイモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき 0：サブスリープモードまたはウォッチモードに遷移 1：高速モードに直接遷移、またはサブスリープモードに遷移
6	LSON	0	R/W	ロースピードオンフラグ SLEEP 命令実行後の遷移先を指定します。また、ウォッチモードを解除時に、高速モードに遷移するかサブアクティブモードに遷移するかを制御します。 高速モードまたは中速モードで SLEEP 命令を実行したとき 0：スリープモード、ソフトウェアスタンバイモード、またはウォッチモードに遷移 1：ウォッチモード、またはサブアクティブモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき 0：ウォッチモードまたは高速モードに直接遷移 1：サブスリープモードまたはウォッチモードに遷移 ウォッチモードを解除したとき 0：高速モードに遷移 1：サブアクティブモードに遷移
5	NESEL	0	R/W	ノイズ除去サンプリング周波数選択 EXCL 端子から入力されたサブクロック（φSUB）を、システムクロック発振器で生成されたクロック（φ）により、サンプリングする周波数を選択します。本 LSI では 0 をセットしてください。 0：φの 32 分周クロックでサンプリング 1：φの 4 分周クロックでサンプリング
4	EXCLE	0	R/W	サブクロック入力イネーブル EXCL 端子からのサブクロック入力を制御します。 0：EXCL 端子からのサブクロック入力禁止 1：EXCL 端子からのサブクロック入力許可
3〜0	—	すべて 0	R/(W)	リザーブビット 初期値を変更しないでください。

27.1.3 システムコントロールレジスタ 2（SYSCR2）

SYSCR2 は、システムクロックソースの切り替えを制御します。システムクロックは、EXTAL、XTAL 端子から入力されたクロック（φ）、EXCL 端子から入力されたサブクロック（φSUB）、および PLL 回路で生成された 24MHz 逓倍クロック（φ24）から選択が可能です。本機能は、φとφ24 の切り替えを行います。本機能を使用する場合は、あらかじめ PLL 回路を起動して、安定した 24MHz 逓倍クロックを準備してください。

ビット	ビット名	初期値	R/W	説　明
7	KWUL1	0	R/W	ビット 7～5 の詳細は「9.6.4　システムコントロールレジスタ 2（SYSCR2）」を参照してください。
6	KWUL0	0	R/W	
5	P6PUE	0	R/W	
4	—	0	R/(W)	リザーブビット 初期値を変更しないでください。
3	—	0	R/(W)	
2	CKCHGE	0	R/W	クロックチェンジイネーブル 高速モードあるいは中速モードにおいて、SSBY ビットを 1 にセットした状態で SLEEP 命令を実行したときの動作モードの遷移先、およびシステムクロックソース（φまたはφ24）の遷移先を指定します。SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、システムクロックソースは切り替わらずにスリープモードに遷移します。 0：ソフトウェアスタンバイモード、またはウォッチモードに遷移。 システムクロックソースは PLCKS ビットで指定したシステムクロックソースに切り替え。 1：PLCKS ビットで指定したシステムクロックソースに直接遷移
1	—	0	R/(W)	リザーブビット 初期値を変更しないでください。
0	PLCKS	0	R/W	PLL クロックセレクト 高速モードあるいは中速モードにおいて、システムクロックソースをφおよびφ24 から指定します。LPWCR の LSON ビットを 1 にセットするのと同時に、このビットを 1 にセットしたときの動作は、LSON ビットによるサブクロック動作への遷移が優先します。 0：φを選択 PLCKS＝0、SSBY＝1 の状態で SLEEP 命令を実行することにより、クロックソースをφに切り替えることが可能です。 LSON＝1、SSBY＝1 の状態で SLEEP 命令を実行することにより、クロックソースを 32kHz のφSUB に切り替えることが可能です。 1：φ24 を選択 PLCKS＝1、SSBY＝1 の状態で SLEEP 命令を実行することにより、クロックソースをφ24 に切り替えることが可能です。

27.1.4 モジュールストップコントロールレジスタ H、L（MSTPCRH、MSTPCRL）
サブチップモジュールストップコントロールレジスタ BH、BL（SUBMSTPBH、SUBMSTPBL）

MSTPCR、SUBMSTPB は内蔵周辺モジュールをモジュール単位でモジュールストップモードにします。各モジュールに対応したビットを 1 にセットするとそのモジュールはモジュールストップモードになります。

- MSTPCRH

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTP15	0*	R/W	
6	MSTP14	0	R/W	データトランスファコントローラ（DTC）
5	MSTP13	1	R/W	16 ビットフリーランニングタイマ（FRT）
4	MSTP12	1	R/W	8 ビットタイマ（TMR_0、TMR_1）
3	MSTP11	1	R/W	8 ビット PWM タイマ（PWM）、14 ビット PWM タイマ（PWMX）
2	MSTP10	1	R/W	D/A 変換器
1	MSTP9	1	R/W	A/D 変換器
0	MSTP8	1	R/W	8 ビットタイマ（TMR_X、TMR_Y）、タイマコネクション

【注】* 1 にセットしないでください。

- MSTPCRL

ビット	ビット名	初期値	R/W	対象モジュール
7	MSTP7	1	R/W	シリアルコミュニケーションインタフェース 0（SCI_0）
6	MSTP6	1	R/W	シリアルコミュニケーションインタフェース 1（SCI_1）
5	MSTP5	1	R/W	シリアルコミュニケーションインタフェース 2（SCI_2）
4	MSTP4	1	R/W	I^2C バスインタフェース チャネル 0（IIC_0）
3	MSTP3	1	R/W	I^2C バスインタフェース チャネル 1（IIC_1）
2	MSTP2	1*	R/W	
1	MSTP1	1	R/W	CRC 演算器
0	MSTP0	1*	R/W	

【注】* 0 にクリアしないでください。

• SUBMSTPBH

ビット	ビット名	初期値	R/W	対象モジュール
7	SMSTPB15	1*	R/W	
6	SMSTPB14	1*	R/W	
5	SMSTPB13	1*	R/W	
4	SMSTPB12	1*	R/W	
3	SMSTPB11	1*	R/W	
2	SMSTPB10	1*	R/W	
1	SMSTPB9	1	R/W	暗号演算器（GF）
0	SMSTPB8	1	R/W	暗号演算器（DES）

【注】* 0 にクリアしないでください。

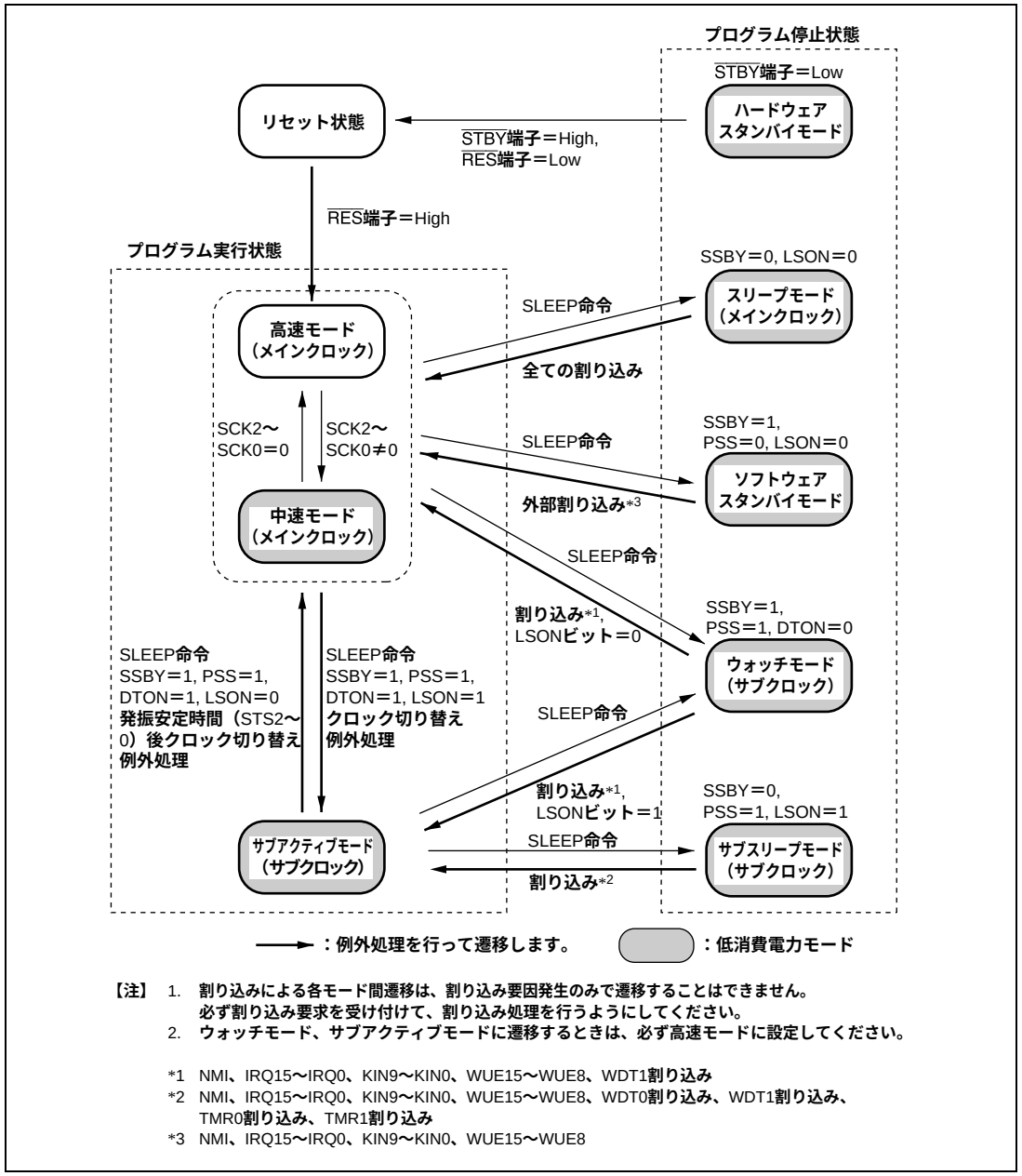
• SUBMSTPBL

ビット	ビット名	初期値	R/W	対象モジュール
7	SMSTPB7	1*	R/W	
6	SMSTPB6	1	R/W	マルチメディアカードインタフェース（MCIF）
5	SMSTPB5	1*	R/W	
4	SMSTPB4	1*	R/W	
3	SMSTPB3	1*	R/W	
2	SMSTPB2	1*	R/W	
1	SMSTPB1	1	R/W	ユニバーサルシリアルバスインタフェース（USB）
0	SMSTPB0	1*	R/W	

【注】* 0 にクリアしないでください。

27.2 モード間遷移と LSI の状態

図 27.1 に可能なモード間遷移を示します。プログラム実行状態からプログラム停止状態へは SLEEP 命令の実行によって遷移します。プログラム停止状態からプログラム実行状態へは割り込みによって復帰します。$\overline{\text{STBY}}$ 入力によりすべてのモードからハードウェアスタンバイモードに遷移します。また、$\overline{\text{RES}}$ 入力によりハードウェアスタンバイモードを除くすべてのモードからリセット状態に遷移します。**表** 27.2 に各動作モードでの LSI の内部状態を示します。



【注】 1. 割り込みによる各モード間遷移は、割り込み要因発生のみで遷移することはできません。
必ず割り込み要求を受け付けて、割り込み処理を行うようにしてください。
2. ウォッチモード、サブアクティブモードに遷移するときは、必ず高速モードに設定してください。

*1 NMI、IRQ15～IRQ0、KIN9～KIN0、WUE15～WUE8、WDT1割り込み
*2 NMI、IRQ15～IRQ0、KIN9～KIN0、WUE15～WUE8、WDT0割り込み、WDT1割り込み、
TMR0割り込み、TMR1割り込み
*3 NMI、IRQ15～IRQ0、KIN9～KIN0、WUE15～WUE8

図 27.1 モード遷移図

表 27.2 各動作モードでの LSI の内部状態

機能		高速	中速	スリープ	モジュールストップ	ウォッチ	サブアクティブ	サブスリープ	ソフトウェアスタンバイ	ハードウェアスタンバイ
システムクロック発振器		動作	動作	動作	動作	停止	停止	停止	停止	停止
サブクロック入力		動作	動作	動作	動作	動作	動作	動作	停止	停止
CPU 動作	命令実行	動作	中速動作	停止	動作	停止	サブクロック動作	停止	停止	停止
	レジスタ			保持		保持		保持	保持	不定
外部割り込み	NMI	動作	動作	動作	動作	動作	動作	動作	動作	停止
	IRQ15～0									
	KIN9～0									
	WUE 15～8									
周辺モジュール	RFU	動作	動作	動作	動作	停止（保持）	停止（保持）	停止（保持）	停止（保持）	停止（リセット）
	DTC		中速動作／動作		動作／停止（保持）					
	WDT_1	動作	動作	動作	動作	サブクロック動作	サブクロック動作	サブクロック動作	停止（保持）	停止（リセット）
	WDT_0					停止（保持）				
	TMR_0、1				動作／停止（保持）					
	FRT						停止（保持）	停止（保持）		
	TMR_X、Y									
	タイマコネクション									
	IIC_0									
	IIC_1									
	CRC									
	USB									
	DES、GF									
	MCIF				動作／停止（リセット）					
	SCI_0					停止（リセット）	停止（リセット）	停止（リセット）	停止（リセット）	
	SCI_1									
	SCI_2									
	PWM									
	PWMX									
	D/A 変換器									

機能		高速	中速	スリープ	モジュールストップ	ウォッチ	サブアクティブ	サブスリープ	ソフトウェアスタンバイ	ハードウェアスタンバイ
周辺モジュール	A/D 変換器	動作	動作	動作	動作／停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)	停止 (リセット)
	RAM	動作	動作	動作 (DTC)	動作	保持	動作	保持	保持	保持
	I/O	動作	動作	動作	動作	保持	動作	動作	保持	ハイインピーダンス

【注】 停止（保持）は、内部レジスタ値保持、内部状態は動作停止。
停止（リセット）は、内部レジスタおよび内部状態を初期化。
モジュールストップモードは、対象モジュールのみ停止（リセットまたは保持）。

27.3 中速モード

SBYCR の SCK2～SCK0 ビットの設定により、そのバスサイクルの終了時点で中速モードになります。動作クロックはφ／2、φ／4、φ／8、φ／16、φ／32 から選択できます。SBYCR の DTSPEED ビットが 0 にクリアされている場合、CPU 以外のバスマスタ（DTC/RFU）も中速モードで動作します。ただし、RFU 使用時はこのビットを必ず 1 に設定してください。バスマスタ以外の内蔵周辺機能はシステムクロック（φ）で動作します。

SBYCR の DTSPEED ビットや BCSR2 の EXCKS ビットが 1 にセットされている場合は、DTC/RFU の動作クロックや外部拡張エリアのバスサイクルにかぎってφで動作させることが可能です。

中速モードではバスマスタの動作クロックに対して、指定されたステート数でバスアクセスを行います。例えば、動作クロックとしてφ／4 を選択した場合、内蔵メモリは 4 ステートアクセス、内部 I/O レジスタは 8 ステートアクセスになります。

中速モードは、SCK2～SCK0 ビットをいずれも 0 にクリアすると、そのバスサイクルの終了時点で高速モードに遷移します。

SBYCR の SSBY ビットが 0、LPWRCR の LSON ビットが 0 のとき SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードが割り込みによって解除されると中速モードに復帰します。SSBY ビットが 1、LPWRCR の LSON ビットが 0、TCSR（WDT_1）の PSS ビットが 0 のとき SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードが外部割り込みによって解除されると、中速モードに復帰します。

$\overline{\text{RES}}$ 端子を Low レベルにすると中速モードは解除されリセット状態に遷移します。ウォッチドッグタイマのオーバフローによるリセットによっても同様です。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

図 27.2 に中速モードのタイミングを示します。

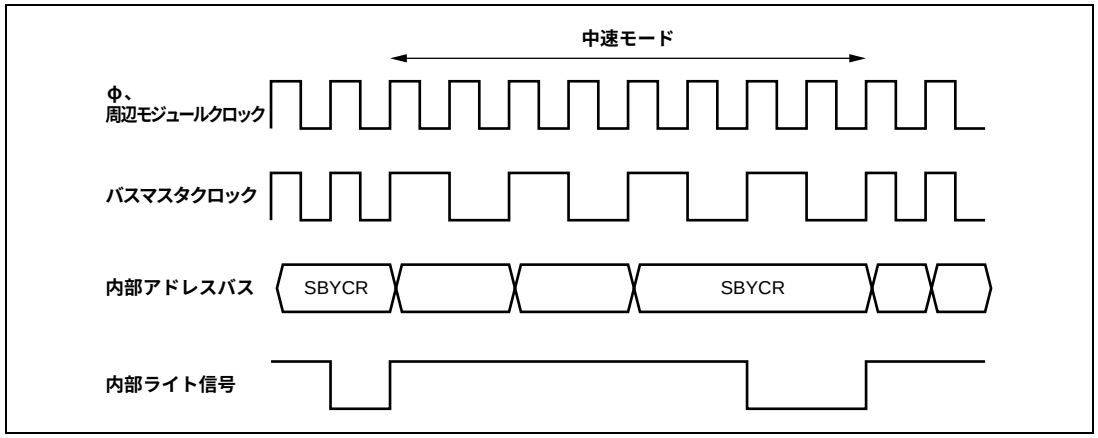


図 27.2 中速モードのタイミング

27.4 スリープモード

SBYCR の SSBY ビットが 0、LPWRCR の LSON ビットが 0 の状態で SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードでは CPU の動作は停止しますが、内蔵周辺モジュールは動作します。CPU の内部レジスタの内容は保持されます。

スリープモードは、割り込み、$\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって解除されます。

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されているとき、または NMI 以外の割り込みが CPU でマスクされているとスリープモードは解除できません。

$\overline{\text{RES}}$ 端子を Low レベルにすると、スリープモードは解除されリセット状態になります。発振安定時間経過後、$\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

27.5 ソフトウェアスタンバイモード

SBYCR の SSBY ビットが 1、LPWRCR の LSON ビットが 0、TCSR（WDT_1）の PSS が 0 のとき SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、クロック発振器が停止し、CPU および内蔵周辺機能が停止します。ただし、規定の電圧が与えられているかぎり、CPU のレジスタと内蔵 RAM のデータおよび SCI、PWM、PWMX を除く内蔵周辺機能と I/O ポートの状態は保持されます。

ソフトウェアスタンバイモードは、外部割り込み（NMI、IRQ15～IRQ0、KIN9～KIN0、WUE15～WUE8）、$\overline{\text{RES}}$ 入力、または $\overline{\text{STBY}}$ 入力によって解除されます。

外部割り込み要求信号が入力されると、システムクロック発振器が発振を開始します。SBYCR の STS2～STS0 ビットによって設定された時間が経過するとソフトウェアスタンバイモードが解除され、割り込み例外処理を開始します。IRQ15～IRQ0 割り込みでソフトウェアスタンバイモードを解除するときには対応するイネーブルビットを 1 にセットし、KIN9～KIN0、WUE15～WUE8 割り込みでソフトウェアスタンバイモードを解除するときには入力を許可し、かつ IRQ15～IRQ0 割り込みより高い優先順位の割り込みが発生しないようにしてください。なお、IRQ15～IRQ0 割り込みについては対応するイネーブルビットが 0 にクリアされている場合、KIN0～KIN9、

WUE15～WUE8 割り込みについては入力が許可されていない場合、または割り込みが CPU でマスクされている場合には、ソフトウェアスタンバイモードは解除されません。

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。$\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ソフトウェアスタンバイモードは解除されハードウェアスタンバイモードに遷移します。

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を示します。

この例では、SYSCR の NMIEG ビットが 0 にクリアされている（立ち下がりエッジ指定）状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット（立ち上がりエッジ指定）、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

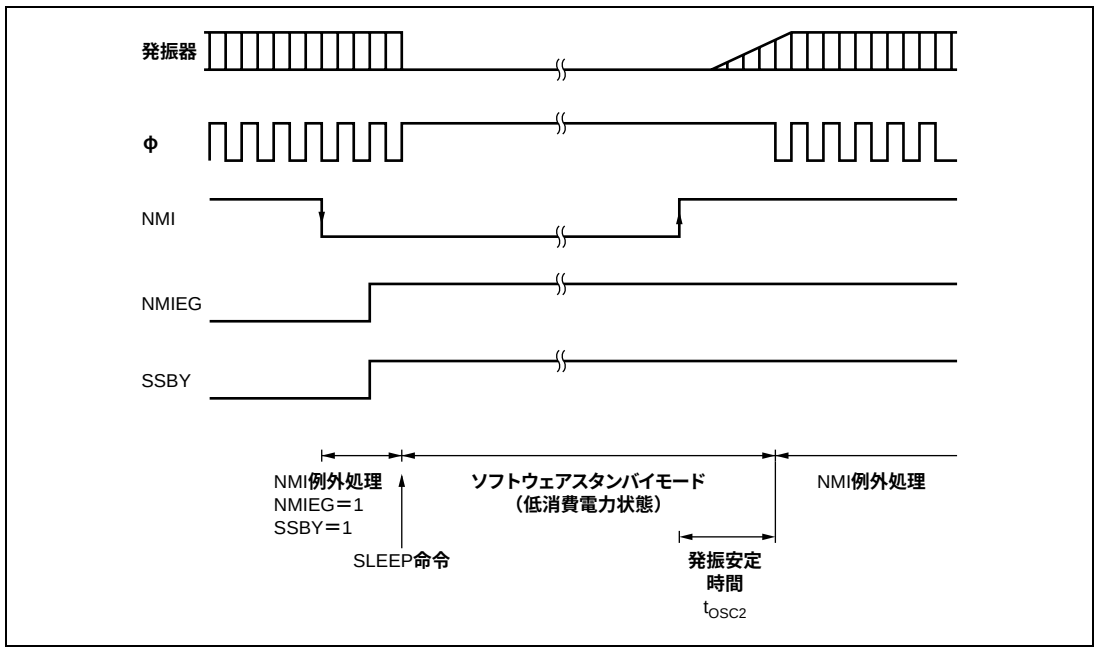


図 27.3 ソフトウェアスタンバイモードの応用例

27.6 ハードウェアスタンバイモード

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どのモードからでもハードウェアスタンバイモードに遷移します。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になります。規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、$\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0

にクリアしてください。また、ハードウェアスタンバイモード中に、モード端子（$\overline{\text{MD2}}$、MD1、MD0）の状態を変化させないでください。

ハードウェアスタンバイモードは、$\overline{\text{RES}}$ 入力と $\overline{\text{STBY}}$ 入力によって解除されます。

$\overline{\text{RES}}$ 端子を Low レベルの状態で、$\overline{\text{STBY}}$ 端子を High レベルにするとクロック発振器が発振を開始します。$\overline{\text{RES}}$ 端子は必ずシステムクロックの発振が安定するまで Low レベルを保持してください。発振安定時間経過後、$\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理を開始します。

図 27.4 にハードウェアスタンバイモードのタイミング例を示します。

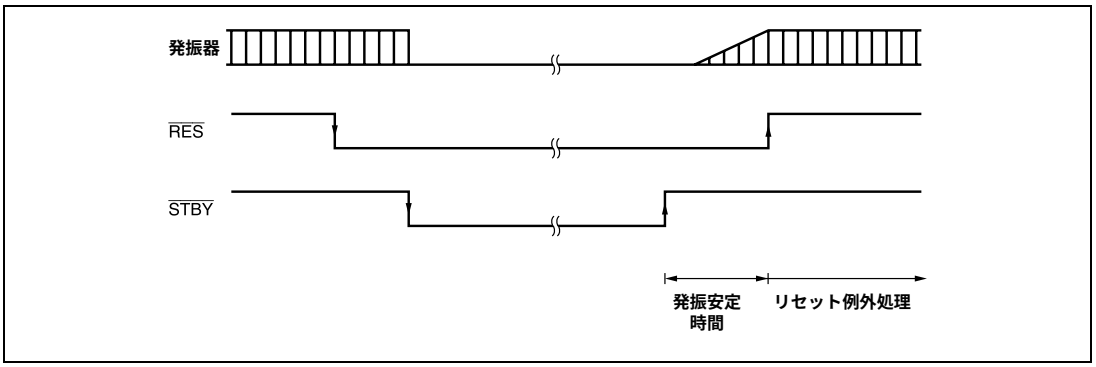


図 27.4　**ハードウェアスタンバイモードのタイミング**

27.7　ウォッチモード

高速モードあるいはサブアクティブモードにおいて、SBYCR の SSBY ビットが 1、LPWRCR の DTON ビットが 0、TCSR（WDT_1）の PSS ビットが 1 のとき SLEEP 命令を実行すると、CPU はウォッチモードに遷移します。

ウォッチモードでは、CPU および WDT_1 以外の周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

ウォッチモードは、割り込み（WOVI1、NMI、IRQ15～IRQ0、KIN9～KIN0、WUE15～WUE8）、$\overline{\text{RES}}$ 入力、または $\overline{\text{STBY}}$ 入力によって解除されます。

割り込みが発生するとウォッチモードは解除され、 LPWRCR の LSON ビットが 0 のときは高速モードあるいは中速モードに、LSON ビットが 1 のときはサブアクティブモードに遷移します。高速モードに遷移するときは、SBYCR の STS2～STS0 により設定された時間が経過した後、安定したクロックが LSI 全体に供給され、割り込み例外処理を開始します。なお、IRQ15～IRQ0 割り込みについては対応するイネーブルビットが 0 にクリアされている場合、KIN9～KIN0、WUE15～WUE8 割り込みについては入力が許可されていない場合、内蔵周辺機能による割り込みについては割り込み許可レジスタにより当該割り込みの受付が禁止されている場合、または CPU でマスクされている場合には、ウォッチモードは解除されません。

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。$\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

27.8 サブスリープモード

サブアクティブモードにおいて、SBYCR の SSBY ビットが 0、LPWRCR の LSON ビットが 1、TCSR（WDT_1）の PSS ビットが 1 の状態で SLEEP 命令を実行すると、CPU はサブスリープモードに遷移します。

サブスリープモード時、CPU は動作を停止します。また、TMR_0、TMR_1、WDT_0、WDT_1 以外の周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

サブスリープモードは、割り込み（内蔵周辺機能からの割り込み、NMI、IRQ15～IRQ0、KIN9～KIN0、WUE15～WUE8）、$\overline{\text{RES}}$ 入力、または $\overline{\text{STBY}}$ 入力によって解除されます。

割り込みが発生すると、サブスリープモードは解除され、割り込み例外処理を開始します。

なお、IRQ15～IRQ0 割り込みについては対応するイネーブルビットが 0 にクリアされている場合、KIN9～KIN0、WUE15～WUE8 割り込みについては入力が許可されていない場合、内蔵周辺機能からの割り込みについては割り込み許可レジスタにより当該割り込みの受付が禁止されている場合、または CPU でマスクされている場合には、サブスリープモードは解除されません。

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。$\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

27.9 サブアクティブモード

高速モードにおいて、SBYCR の SSBY ビットが 1、LPWRCR の DTON ビットが 1、LSON ビットが 1、TCSR（WDT_1）の PSS ビットが 1 の状態で SLEEP 命令を実行すると、CPU はサブアクティブモードに遷移します。また、ウォッチモードで割り込みが発生したとき、LPWRCR の LSON ビットが 1 の状態であれば、サブアクティブモードに直接遷移します。また、サブスリープモードで割り込みが発生したとき、サブアクティブモードに遷移します。

サブアクティブモード時、CPU はサブクロックにより、低速動作で順次プログラムを実行します。サブアクティブモードでは、TMR_0、1、WDT_0、1 以外の周辺機能は動作を停止します。

なお、サブアクティブモードで動作させる場合は、SBYCR の SCK2～SCK0 の各ビットを必ず 0 としてください。

サブアクティブモードは、SLEEP 命令、$\overline{\text{RES}}$ 入力、または $\overline{\text{STBY}}$ 入力によって解除されます。

SBYCR の SSBY ビットが 1、LPWRCR の DTON ビットが 0、TCSR（WDT_1）の PSS ビット 1 のとき SLEEP 命令を実行するとサブアクティブモードは解除され、ウォッチモードに遷移します。また、SBYCR の SSBY ビットが 0、LPWRCR の LSON ビットが 1、TCSR（WDT_1）の PSS ビットが 1 のとき SLEEP 命令を実行すると、サブスリープモードに遷移します。また、SBYCR の SSBY ビットが 1、LPWRCR の DTON ビットが 1、LSON ビットが 0、TCSR（WDT_1）の PSS ビットが 1 のとき SLEEP 命令を実行すると、高速モードに直接遷移します。

直接遷移の詳細は**「27.11 直接遷移」**を参照してください。

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロック発振器が発振を開始します。システムクロックの発振開始と同時に、本 LSI 全体にシステムクロックが供給されます。$\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

27.10 モジュールストップモード

モジュールストップモードはすべての内蔵周辺モジュールに対して設定できます。

MSTPCR、SUBMSTPA、SUBMSTPB の各モジュールに対応した MSTP ビットを 1 にセットすると、そのモジュールはバスサイクルの終了時点でモジュールストップモードへ遷移します。0 にクリアするとモジュールストップモードは解除され、バスサイクルの終了時点で動作を再開します。モジュールストップモードでは、MCIF、SCI、D/A 変換器、A/D 変換器、PWM、PWMX を除く周辺モジュールの内部状態は保持されています。

リセット解除後は、DTC を除くすべてのモジュールがモジュールストップモードになっています。

モジュールストップモードに設定されたモジュールのレジスタは、リード／ライトできません。

27.11 直接遷移

CPU がプログラムを実行している動作モードには高速モード、中速モード、サブアクティブモードの 3 つのモードがあります。高速モードとサブアクティブモードの間で、プログラムを停止することなく遷移することを直接遷移と呼びます。直接遷移は LPWRCR の DTON を 1 にセットし、SLEEP 命令を実行することにより可能です。遷移後は直接遷移例外処理を開始します。

高速モードで SBYCR の SSBY ビットが 1、LPWRCR の LSON ビットが 1、DTON ビットが 1、TSCR（WDT_1）の PSS ビットが 1 にセットした状態で SLEEP 命令を実行すると、サブアクティブモードに遷移します。

サブアクティブモードで SBYCR の SSBY ビットが 1、LPWRCR の LSON ビットが 0、DTON ビットが 1、TSCR（WDT_1）の PSS ビットが 1 のとき SLEEP 命令を実行すると、SBYCR の STS2～STS0 により設定された時間を経過した後、直接高速モードに遷移します。

高速モードおよび中速モード内で、システムクロックソース（φまたはφ24）を切り替える操作は、SYSCR2 の CKCHGE ビットの設定により、2 通りの方法が選択できます。CKCHGE が 0 にクリアされている場合、一旦ソフトウェアスタンバイモードまたはウォッチモードに移行した後、割り込みでウェイクアップするとシステムクロックソースが切り換わります。CKCHGE ビットが 1 にセットされている場合、アクティブ⇔サブアクティブの直接遷移に類似した動作が可能です。直接遷移後は直接遷移例外処理を実行します。

高速モードおよび中速モードでサブアクティブモードに直接遷移する設定と、システムクロックソースを直接遷移で切り替える設定を行った状態で、SLEEP 命令を実行しないでください。また、システムクロックソースを直接遷移で切り替える際は、SLEEP 命令の実行とほかの割り込み要因を競合させないでください。

27.12 使用上の注意事項

27.12.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

27.12.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

27.12.3 DTC のモジュールストップモードの設定

DTC のモジュールストップモードの設定と、DTC のバス権要求が競合すると、バス権要求が優先され、MSTP ビットは 1 にセットされません。

DTC のバスサイクル終了後に再び MSTP ビットに 1 をライトしてください。

28. レジスター一覧

レジスター一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記の通りです。

1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- アドレスは、16ビットの場合、MSB側のアドレスを記載しています。
- モジュール名称による分類をしています。
- アクセスサイズを表示しています。

2. ビット構成一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「−」で表記しています。
- ビット番号が表示されているものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットのレジスタの場合、MSB側のビットから記載しています。

3. 各動作モード別レジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

28.1 レジスタアドレス一覧（アドレス順）

アクセスサイズは、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

【注】 未定義・リザーブアドレスのアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
コマンドレジスタ 0	CMDR0	8	H'FBC0	MCIF	8	3
コマンドレジスタ 1	CMDR1	8	H'FBC1	MCIF	8	3
コマンドレジスタ 2	CMDR2	8	H'FBC2	MCIF	8	3
コマンドレジスタ 3	CMDR3	8	H'FBC3	MCIF	8	3
コマンドレジスタ 4	CMDR4	8	H'FBC4	MCIF	8	3
コマンドレジスタ 5	CMDR5	8	H'FBC5	MCIF	8	3
コマンドスタートレジスタ	CMDSTRT	8	H'FBC6	MCIF	8	3
オペレーションコントロールレジスタ	OPCR	8	H'FBCA	MCIF	8	3
カードステータスレジスタ	CSTR	8	H'FBCB	MCIF	8	3
割り込みコントロールレジスタ 0	INTCR0	8	H'FBCC	MCIF	8	3
割り込みコントロールレジスタ 1	INTCR1	8	H'FBCD	MCIF	8	3
割り込みステータスレジスタ 0	INTSTR0	8	H'FBCE	MCIF	8	3
割り込みステータスレジスタ 1	INTSTR1	8	H'FBCF	MCIF	8	3
転送クロックコントロールレジスタ	CLKON	8	H'FBD0	MCIF	8	3
コマンドタイムアウトコントロールレジスタ	CTOCR	8	H'FBD1	MCIF	8	3
端子モードコントロールレジスタ	IOMCR	8	H'FBD3	MCIF	8	3
転送バイト数カウントレジスタ	TBCR	8	H'FBD4	MCIF	8	3
モードレジスタ	MODER	8	H'FBD6	MCIF	8	3
コマンドタイプレジスタ	CMDTYR	8	H'FBD8	MCIF	8	3
レスポンスタイプレジスタ	RSPTYR	8	H'FBD9	MCIF	8	3
転送ブロック数カウンタ H	TBNCRH	8	H'FBDA	MCIF	8	3
転送ブロック数カウンタ L	TBNCRL	8	H'FBDB	MCIF	8	3
レスポンスレジスタ 0	RSPR0	8	H'FBE0	MCIF	8	3
レスポンスレジスタ 1	RSPR1	8	H'FBE1	MCIF	8	3
レスポンスレジスタ 2	RSPR2	8	H'FBE2	MCIF	8	3
レスポンスレジスタ 3	RSPR3	8	H'FBE3	MCIF	8	3
レスポンスレジスタ 4	RSPR4	8	H'FBE4	MCIF	8	3
レスポンスレジスタ 5	RSPR5	8	H'FBE5	MCIF	8	3
レスポンスレジスタ 6	RSPR6	8	H'FBE6	MCIF	8	3
レスポンスレジスタ 7	RSPR7	8	H'FBE7	MCIF	8	3

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセス
レスポンスレジスタ 8	RSPR8	8	H'FBE8	MCIF	8	3
レスポンスレジスタ 9	RSPR9	8	H'FBE9	MCIF	8	3
レスポンスレジスタ 10	RSPR10	8	H'FBEA	MCIF	8	3
レスポンスレジスタ 11	RSPR11	8	H'FBEB	MCIF	8	3
レスポンスレジスタ 12	RSPR12	8	H'FBEC	MCIF	8	3
レスポンスレジスタ 13	RSPR13	8	H'FBED	MCIF	8	3
レスポンスレジスタ 14	RSPR14	8	H'FBEE	MCIF	8	3
レスポンスレジスタ 15	RSPR15	8	H'FBEF	MCIF	8	3
レスポンスレジスタ 16	RSPR16	8	H'FBF0	MCIF	8	3
レスポンスレジスタ D	RSPRD	8	H'FBF1	MCIF	8	3
データタイムアウトレジスタ H	DTOUTRH	8	H'FBF2	MCIF	8	3
データタイムアウトレジスタ L	DTOUTRL	8	H'FBF3	MCIF	8	3
エンドポイント 4 パケットサイズレジスタ	EP4PKTSZR	8	H'FD81	USB	8	3
エンドポイントデータレジスタ 0S	EPDR0S	8	H'FDAD	USB	8	3
FIFO 有効サイズレジスタ 0SH	FVSR0SH	8	H'FDAE	USB	8	3
FIFO 有効サイズレジスタ 0SL	FVSR0SL	8	H'FDAF	USB	8	3
USB 割り込みイネーブルレジスタ 1	USBIER1	8	H'FDB1	USB	8	3
USB 割り込みフラグレジスタ 1	USBIFR1	8	H'FDB2	USB	8	3
USB モードコントロールレジスタ	USBMDCR	8	H'FDBC	USB	8	3
USB コントロールレジスタ 1	USBCR1	8	H'FDBD	USB	8	3
コンフィギュレーションバリューレジスタ	CONFV	8	H'FDBE	USB	8	3
RFU/FIFO 読み出し要求フラグレジスタ	UDTRFR	8	H'FDBF	USB	8	3
USB ポートコントロールレジスタ	UPRTCR	8	H'FDC0	USB	8	3
USB テストレジスタ 0	UTESTR0	8	H'FDC1	USB	8	3
USB テストレジスタ 1	UTESTR1	8	H'FDC2	USB	8	3
エンドポイントデータレジスタ 3	EPDR3	8	H'FDDD	USB	8	3
FIFO 有効サイズレジスタ 3H	FVSR3H	8	H'FDDE	USB	8	3
FIFO 有効サイズレジスタ 3L	FVSR3L	8	H'FDDF	USB	8	3
エンドポイントデータレジスタ 2	EPDR2	8	H'FDE1	USB	8	3
FIFO 有効サイズレジスタ 2H	FVSR2H	8	H'FDE2	USB	8	3
FIFO 有効サイズレジスタ 2L	FVSR2L	8	H'FDE3	USB	8	3
エンドポイントサイズレジスタ 1	EPSZR1	8	H'FDE4	USB	8	3
エンドポイントデータレジスタ 1	EPDR1	8	H'FDE5	USB	8	3
FIFO 有効サイズレジスタ 1H	FVSR1H	8	H'FDE6	USB	8	3
FIFO 有効サイズレジスタ 1L	FVSR1L	8	H'FDE7	USB	8	3
エンドポイントデータレジスタ 0O	EPDR0O	8	H'FDE9	USB	8	3
FIFO 有効サイズレジスタ 0OH	FVSR0OH	8	H'FDEA	USB	8	3
FIFO 有効サイズレジスタ 0OL	FVSR0OL	8	H'FDEB	USB	8	3

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
エンドポイントデータレジスタ 0I	EPDR0I	8	H'FDED	USB	8	3
FIFO 有効サイズレジスタ 0IH	FVSR0IH	8	H'FDEE	USB	8	3
FIFO 有効サイズレジスタ 0IL	FVSR0IL	8	H'FDEF	USB	8	3
パケット送信イネーブルレジスタ 0	PTTER0	8	H'FDF0	USB	8	3
USB 割り込みイネーブルレジスタ 0	USBIER0	8	H'FDF1	USB	8	3
USB 割り込みフラグレジスタ 0	USBIFR0	8	H'FDF2	USB	8	3
転送正常終了割り込みフラグレジスタ 0	TSFR0	8	H'FDF3	USB	8	3
転送異常終了割り込みフラグレジスタ 0	TFFR0	8	H'FDF4	USB	8	3
USB コントロール／ステータスレジスタ 0	USBCSR0	8	H'FDF5	USB	8	3
エンドポイントストールレジスタ 0	EPSTLR0	8	H'FDF6	USB	8	3
エンドポイントディレクションレジスタ 0	EPDIR0	8	H'FDF7	USB	8	3
エンドポイントリセットレジスタ 0	EPRSTR0	8	H'FDF8	USB	8	3
デバイスレジュームレジスタ	DEVRSMR	8	H'FDF9	USB	8	3
割り込み要因セレクトレジスタ 0	INTSELR0	8	H'FDFA	USB	8	3
USB コントロールレジスタ 0	USBCR0	8	H'FDFD	USB	8	3
USB PLL コントロールレジスタ	UPLLCR	8	H'FDFE	USB	8	3
サブチップモジュールストップコントロールレジスタ BH	SUBMSTPBH	8	H'FE3E	SYSTEM	8	3
サブチップモジュールストップコントロールレジスタ BL	SUBMSTPBL	8	H'FE3F	SYSTEM	8	3
FIFO ステータス／レジスタ／ポインタ 0	FSTR0	8	H'FEA0	RFU	8	3
FIFO ステータス／レジスタ／ポインタ 1	FSTR1	8	H'FEA1	RFU	8	3
FIFO ステータス／レジスタ／ポインタ 2	FSTR2	8	H'FEA2	RFU	8	3
FIFO ステータス／レジスタ／ポインタ 3	FSTR3	8	H'FEA3	RFU	8	3
データ転送コントロールレジスタ A	DTCRA	8	H'FEA4	RFU	8	3
データ転送コントロールレジスタ B	DTCRB	8	H'FEA5	RFU	8	3
データ転送 ID レジスタ	DTIDR	8	H'FEA6	RFU	8	3
データ転送ステータスレジスタ C	DTSTRC	8	H'FEA7	RFU	8	3
データ転送 ID リード/ライト選択レジスタ A	DTIDSRA	8	H'FEA8	RFU	8	3
データ転送 ID リード/ライト選択レジスタ B	DTIDSRB	8	H'FEA9	RFU	8	3
データ転送ステータスレジスタ A	DTSTRA	8	H'FEAA	RFU	8	3
データ転送ステータスレジスタ B	DTSTRB	8	H'FEAB	RFU	8	3
データ転送コントロールレジスタ D	DTCRD	8	H'FEAC	RFU	8	3
データ転送割り込みイネーブルレジスタ	DTIER	8	H'FEAD	RFU	8	3
データ転送レジスタ選択レジスタ	DTRSR	8	H'FEAE	RFU	8	3
IIC 動作予約アダプタコントロールレジスタ_0	ICCRX_0	8	H'FEB0	IIC_0	16	2
IIC 動作予約アダプタステータスレジスタ A_0	ICSRA_0	8	H'FEB1	IIC_0	16	2
IIC 動作予約アダプタステータスレジスタ B_0	ICSRB_0	8	H'FEB2	IIC_0	16	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセス
IIC 動作予約アダプタステータスレジスタ C_0	ICSRC_0	8	H'FEB3	IIC_0	16	2
IIC 動作予約アダプタデータレジスタ_0	ICDRX_0	8	H'FEB4	IIC_0	16	2
IIC 動作予約アダプタコマンドレジスタ_0	ICCMD_0	8	H'FEB5	IIC_0	16	2
I^2C データシフトレジスタ_0	ICDRS_0	8	H'FEB6	IIC_0	16	2
IIC 動作予約アダプタカウントレジスタ_0	ICCNT_0	8	H'FEB7	IIC_0	16	2
IIC 動作予約アダプタコントロールレジスタ_1	ICCRX_1	8	H'FEB8	IIC_1	16	2
IIC 動作予約アダプタステータスレジスタ A_1	ICSRA_1	8	H'FEB9	IIC_1	16	2
IIC 動作予約アダプタステータスレジスタ B_1	ICSRB_1	8	H'FEBA	IIC_1	16	2
IIC 動作予約アダプタステータスレジスタ C_1	ICSRC_1	8	H'FEBB	IIC_1	16	2
IIC 動作予約アダプタデータレジスタ_1	ICDRX_1	8	H'FEBC	IIC_1	16	2
IIC 動作予約アダプタコマンドレジスタ_1	ICCMD_1	8	H'FEBD	IIC_1	16	2
I^2C データシフトレジスタ_1	ICDRS_1	8	H'FEBE	IIC_1	16	2
IIC 動作予約アダプタカウントレジスタ_1	ICCNT_1	8	H'FEBF	IIC_1	16	2
シリアル拡張モードレジスタ_0	SEMR_0	8	H'FED0	SCI_0	8	2
シリアル RFU イネーブルレジスタ 0	SCIDTER_0	8	H'FED1	SCI_0	8	2
シリアル拡張モードレジスタ_2	SEMR_2	8	H'FED2	SCI_2	8	2
シリアル RFU イネーブルレジスタ 2	SCIDTER_2	8	H'FED3	SCI_2	8	2
CRC コントロールレジスタ	CRCCR	8	H'FED4	CRC	8	2
CRC データ入力レジスタ	CRCDIR	8	H'FED5	CRC	8	2
CRC データ出力レジスタ H	CRCDORH	8	H'FED6	CRC	8	2
CRC データ出力レジスタ L	CRCDORL	8	H'FED7	CRC	8	2
キーボードコンパレータコントロールレジスタ	KBCOMP	8	H'FEE4	A/D 変換器	8	2
シリアルインタフェースコントロールレジスタ	SCICR	8	H'FEE5	SCI_1	8	2
インタラプトコントロールレジスタ D	ICRD	8	H'FEE7	INT	8	2
インタラプトコントロールレジスタ A	ICRA	8	H'FEE8	INT	8	2
インタラプトコントロールレジスタ B	ICRB	8	H'FEE9	INT	8	2
インタラプトコントロールレジスタ C	ICRC	8	H'FEEA	INT	8	2
IRQ ステータスレジスタ	ISR	8	H'FEEB	INT	8	2
IRQ センスコントロールレジスタ H	ISCRH	8	H'FEEC	INT	8	2
IRQ センスコントロールレジスタ L	ISCRL	8	H'FEED	INT	8	2
DTC イネーブルレジスタ A	DTCERA	8	H'FEEE	DTC	8	2
DTC イネーブルレジスタ B	DTCERB	8	H'FEEF	DTC	8	2
DTC イネーブルレジスタ C	DTCERC	8	H'FEF0	DTC	8	2
DTC イネーブルレジスタ D	DTCERD	8	H'FEF1	DTC	8	2
DTC イネーブルレジスタ E	DTCERE	8	H'FEF2	DTC	8	2
DTC ベクタレジスタ	DTVECR	8	H'FEF3	DTC	8	2
アドレスブレークコントロールレジスタ	ABRKCR	8	H'FEF4	INT	8	2
ブレークアドレスレジスタ A	BARA	8	H'FEF5	INT	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
ブレークアドレスレジスタ B	BARB	8	H'FEF6	INT	8	2
ブレークアドレスレジスタ C	BARC	8	H'FEF7	INT	8	2
IRQ イネーブルレジスタ 16	IER16	8	H'FEF8	INT	8	2
IRQ ステータスレジスタ 16	ISR16	8	H'FEF9	INT	8	2
IRQ センスコントロールレジスタ 16H	ISCR16H	8	H'FEFA	INT	8	2
IRQ センスコントロールレジスタ 16L	ISCR16L	8	H'FEFB	INT	8	2
IRQ センスポートセレクトレジスタ 16	ISSR16	8	H'FEFC	INT	8	2
IRQ センスポートセレクトレジスタ	ISSR	8	H'FEFD	INT	8	2
ポートコントロールレジスタ 0	PTCNT0	8	H'FEFE	PORT	8	2
バスコントロールレジスタ 2	BCR2	8	H'FF80	BSC	8	2
ウェイトステートコントロールレジスタ 2	WSCR2	8	H'FF81	BSC	8	2
周辺クロックセレクトレジスタ	PCSR	8	H'FF82	PWM	8	2
システムコントロールレジスタ 2	SYSCR2	8	H'FF83	SYSTEM	8	2
スタンバイコントロールレジスタ	SBYCR	8	H'FF84	SYSTEM	8	2
ローパワーコントロールレジスタ	LPWRCR	8	H'FF85	SYSTEM	8	2
モジュールストップコントロールレジスタ H	MSTPCRH	8	H'FF86	SYSTEM	8	2
モジュールストップコントロールレジスタ L	MSTPCRL	8	H'FF87	SYSTEM	8	2
フラッシュメモリコントロールレジスタ 1	FLMCR1	8	H'FF80	FLASH	8	2
フラッシュメモリコントロールレジスタ 2	FLMCR2	8	H'FF81	FLASH	8	2
消去ブロック指定レジスタ 1	EBR1	8	H'FF82	FLASH	8	2
消去ブロック指定レジスタ 2	EBR2	8	H'FF83	FLASH	8	2
シリアルモードレジスタ_1	SMR_1	8	H'FF88	SCI_1	8	2
I^2C バスコントロールレジスタ_1	ICCR_1	8	H'FF88	IIC_1	8	2
ビットレートレジスタ_1	BRR_1	8	H'FF89	SCI_1	8	2
I^2C バスステータスレジスタ_1	ICSR_1	8	H'FF89	IIC_1	8	2
シリアルコントロールレジスタ_1	SCR_1	8	H'FF8A	SCI_1	8	2
トランスミットデータレジスタ_1	TDR_1	8	H'FF8B	SCI_1	8	2
シリアルステータスレジスタ_1	SSR_1	8	H'FF8C	SCI_1	8	2
レシーブデータレジスタ_1	RDR_1	8	H'FF8D	SCI_1	8	2
スマートカードモードレジスタ_1	SCMR_1	8	H'FF8E	SCI_1	8	2
I^2C バスデータレジスタ_1	ICDR_1	8	H'FF8E	IIC_1	8	2
第 2 スレーブアドレスレジスタ_1	SARX_1	8	H'FF8E	IIC_1	8	2
I^2C バスモードレジスタ_1	ICMR_1	8	H'FF8F	IIC_1	8	2
スレーブアドレスレジスタ_1	SAR_1	8	H'FF8F	IIC_1	8	2
タイマインタラプトイネーブルレジスタ	TIER	8	H'FF90	FRT	8	2
タイマコントロール/ステータスレジスタ	TCSR	8	H'FF91	FRT	8	2
フリーランニングカウンタ H	FRCH	8	H'FF92	FRT	8	2
フリーランニングカウンタ L	FRCL	8	H'FF93	FRT	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
アウトプットコントロールレジスタ AH	OCRAH	8	H'FF94	FRT	8	2
アウトプットコントロールレジスタ BH	OCRBH	8	H'FF94	FRT	8	2
アウトプットコントロールレジスタ AL	OCRAL	8	H'FF95	FRT	8	2
アウトプットコントロールレジスタ BL	OCRBL	8	H'FF95	FRT	8	2
タイマコントロールレジスタ	TCR	8	H'FF96	FRT	8	2
タイマアウトプットコンペアコントロールレジスタ	TOCR	8	H'FF97	FRT	8	2
インプットキャプチャレジスタ AH	ICRAH	8	H'FF98	FRT	8	2
アウトプットコントロールレジスタ ARH	OCRARH	8	H'FF98	FRT	8	2
インプットキャプチャレジスタ AL	ICRAL	8	H'FF99	FRT	8	2
アウトプットコントロールレジスタ ARL	OCRARL	8	H'FF99	FRT	8	2
インプットキャプチャレジスタ BH	ICRBH	8	H'FF9A	FRT	8	2
アウトプットコントロールレジスタ AFH	OCRAFH	8	H'FF9A	FRT	8	2
インプットキャプチャレジスタ BL	ICRBL	8	H'FF9B	FRT	8	2
アウトプットコントロールレジスタ AFL	OCRAFL	8	H'FF9B	FRT	8	2
インプットキャプチャレジスタ CH	ICRCH	8	H'FF9C	FRT	8	2
アウトプットコンペアレジスタ DMH	OCRDMH	8	H'FF9C	FRT	8	2
インプットキャプチャレジスタ CL	ICRCL	8	H'FF9D	FRT	8	2
アウトプットコンペアレジスタ DML	OCRDML	8	H'FF9D	FRT	8	2
インプットキャプチャレジスタ DH	ICRDH	8	H'FF9E	FRT	8	2
インプットキャプチャレジスタ DL	ICRDL	8	H'FF9F	FRT	8	2
シリアルモードレジスタ_2	SMR_2	8	H'FFA0	SCI_2	8	2
PWMX（D/A）コントロールレジスタ	DACR	8	H'FFA0	PWMX	8	2
PWMX（D/A）データレジスタ AH	DADRAH	8	H'FFA0	PWMX	8	2
PWMX（D/A）データレジスタ AL	DADRAL	8	H'FFA1	PWMX	8	2
ビットレートレジスタ_2	BRR_2	8	H'FFA1	SCI_2	8	2
シリアルコントロールレジスタ_2	SCR_2	8	H'FFA2	SCI_2	8	2
トランスミットデータレジスタ_2	TDR_2	8	H'FFA3	SCI_2	8	2
シリアルステータスレジスタ_2	SSR_2	8	H'FFA4	SCI_2	8	2
レシーブデータレジスタ_2	RDR_2	8	H'FFA5	SCI_2	8	2
スマートカードモードレジスタ_2	SCMR_2	8	H'FFA6	SCI_2	8	2
PWM X（D/A）データレジスタ BH	DADRBH	8	H'FFA6	PWMX	8	2
PWM X（D/A）カウンタ H	DACNTH	8	H'FFA6	PWMX	8	2
PWM X（D/A）データレジスタ BL	DADRBL	8	H'FFA7	PWMX	8	2
PWM X（D/A）カウンタ L	DACNTL	8	H'FFA7	PWMX	8	2
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FFA8	WDT_0	8	2
タイマカウンタ_0	TCNT_0	8	H'FFA8 (ライト時)	WDT_0	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
タイマカウンタ_0	TCNT_0	8	H'FFA9 (リード時)	WDT_0	8	2
ポート A 出力データレジスタ	PAODR	8	H'FFAA	PORT	8	2
ポート A 入力データレジスタ	PAPIN	8	H'FFAB	PORT	8	2
ポート A データディレクションレジスタ	PADDR	8	H'FFAB	PORT	8	2
ポート 1 プルアップ MOS コントロールレジスタ	P1PCR	8	H'FFAC	PORT	8	2
ポート 2 プルアップ MOS コントロールレジスタ	P2PCR	8	H'FFAD	PORT	8	2
ポート 3 プルアップ MOS コントロールレジスタ	P3PCR	8	H'FFAE	PORT	8	2
ポート 1 データディレクションレジスタ	P1DDR	8	H'FFB0	PORT	8	2
ポート 2 データディレクションレジスタ	P2DDR	8	H'FFB1	PORT	8	2
ポート 1 データレジスタ	P1DR	8	H'FFB2	PORT	8	2
ポート 2 データレジスタ	P2DR	8	H'FFB3	PORT	8	2
ポート 3 データディレクションレジスタ	P3DDR	8	H'FFB4	PORT	8	2
ポート 4 データディレクションレジスタ	P4DDR	8	H'FFB5	PORT	8	2
ポート 3 データレジスタ	P3DR	8	H'FFB6	PORT	8	2
ポート 4 データレジスタ	P4DR	8	H'FFB7	PORT	8	2
ポート 5 データディレクションレジスタ	P5DDR	8	H'FFB8	PORT	8	2
ポート 6 データディレクションレジスタ	P6DDR	8	H'FFB9	PORT	8	2
ポート 5 データレジスタ	P5DR	8	H'FFBA	PORT	8	2
ポート 6 データレジスタ	P6DR	8	H'FFBB	PORT	8	2
ポート 8 データディレクションレジスタ	P8DDR	8	H'FFBD	PORT	8	2
ポート 7 入力データレジスタ	P7PIN	8	H'FFBE	PORT	8	2
ポート 8 データレジスタ	P8DR	8	H'FFBF	PORT	8	2
ポート 9 データディレクションレジスタ	P9DDR	8	H'FFC0	PORT	8	2
ポート 9 データレジスタ	P9DR	8	H'FFC1	PORT	8	2
IRQ イネーブルレジスタ	IER	8	H'FFC2	INT	8	2
シリアルタイマコントロールレジスタ	STCR	8	H'FFC3	SYSTEM	8	2
システムコントロールレジスタ	SYSCR	8	H'FFC4	SYSTEM	8	2
モードコントロールレジスタ	MDCR	8	H'FFC5	SYSTEM	8	2
バスコントロールレジスタ	BCR	8	H'FFC6	BSC	8	2
ウェイトステートコントロールレジスタ	WSCR	8	H'FFC7	BSC	8	2
タイマコントロールレジスタ_0	TCR_0	8	H'FFC8	TMR_0	16	2
タイマコントロールレジスタ_1	TCR_1	8	H'FFC9	TMR_1	16	2
タイマコントロール／ステータスレジスタ_0	TCSR_0	8	H'FFCA	TMR_0	16	2
タイマコントロール／ステータスレジスタ_1	TCSR_1	8	H'FFCB	TMR_1	16	2
タイムコンスタントレジスタ A_0	TCORA_0	8	H'FFCC	TMR_0	16	2
タイムコンスタントレジスタ A_1	TCORA_1	8	H'FFCD	TMR_1	16	2
タイムコンスタントレジスタ B_0	TCORB_0	8	H'FFCE	TMR_0	16	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
タイムコンスタントレジスタ B_1	TCORB_1	8	H'FFCF	TMR_1	16	2
タイマカウンタ_0	TCNT_0	8	H'FFD0	TMR_0	16	2
タイマカウンタ_1	TCNT_1	8	H'FFD1	TMR_1	16	2
PWM アウトプットイネーブルレジスタ B	PWOERB	8	H'FFD2	PWM	8	2
PWM アウトプットイネーブルレジスタ A	PWOERA	8	H'FFD3	PWM	8	2
PWM データポラリティレジスタ B	PWDPRB	8	H'FFD4	PWM	8	2
PWM データポラリティレジスタ A	PWDPRA	8	H'FFD5	PWM	8	2
PWM レジスタセレクト	PWSL	8	H'FFD6	PWM	8	2
PWM データレジスタ 0～15	PWDR 0～15	8	H'FFD7	PWM	8	2
シリアルモードレジスタ_0	SMR_0	8	H'FFD8	SCI_0	8	2
I^2C バスコントロールレジスタ_0	ICCR_0	8	H'FFD8	IIC_0	8	2
ビットレートレジスタ_0	BRR_0	8	H'FFD9	SCI_0	8	2
I^2C バスステータスレジスタ_0	ICSR_0	8	H'FFD9	IIC_0	8	2
シリアルコントロールレジスタ_0	SCR_0	8	H'FFDA	SCI_0	8	2
トランスミットデータレジスタ_0	TDR_0	8	H'FFDB	SCI_0	8	2
シリアルステータスレジスタ_0	SSR_0	8	H'FFDC	SCI_0	8	2
レシーブデータレジスタ_0	RDR_0	8	H'FFDD	SCI_0	8	2
スマートカードモードレジスタ_0	SCMR_0	8	H'FFDE	SCI_0	8	2
I^2C バスデータレジスタ_0	ICDR_0	8	H'FFDE	IIC_0	8	2
第 2 スレーブアドレスレジスタ_0	SARX_0	8	H'FFDE	IIC_0	8	2
I^2C バスモードレジスタ_0	ICMR_0	8	H'FFDF	IIC_0	8	2
スレーブアドレスレジスタ_0	SAR_0	8	H'FFDF	IIC_0	8	2
A/D データレジスタ AH	ADDRAH	8	H'FFE0	A/D 変換器	8	2
A/D データレジスタ AL	ADDRAL	8	H'FFE1	A/D 変換器	8	2
A/D データレジスタ BH	ADDRBH	8	H'FFE2	A/D 変換器	8	2
A/D データレジスタ BL	ADDRBL	8	H'FFE3	A/D 変換器	8	2
A/D データレジスタ CH	ADDRCH	8	H'FFE4	A/D 変換器	8	2
A/D データレジスタ CL	ADDRCL	8	H'FFE5	A/D 変換器	8	2
A/D データレジスタ DH	ADDRDH	8	H'FFE6	A/D 変換器	8	2
A/D データレジスタ DL	ADDRDL	8	H'FFE7	A/D 変換器	8	2
A/D コントロール／ステータスレジスタ	ADCSR	8	H'FFE8	A/D 変換器	8	2
A/D コントロールレジスタ	ADCR	8	H'FFE9	A/D 変換器	8	2
タイマコントロール／ステータスレジスタ_1	TCSR_1	8	H'FFEA	WDT_1	8	2
タイマカウンタ_1	TCNT_1	8	H'FFEA (ライト時)	WDT_1	8	2
タイマカウンタ_1	TCNT_1	8	H'FFEB (リード時)	WDT_1	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
キーボードマトリクス割り込みマスクレジスタ 6	KMIMR6	8	H'FFF1	INT	8	2
ポート 6 プルアップ MOS コントロールレジスタ	KMPCR6	8	H'FFF2	PORT	8	2
キーボードマトリクス割り込みマスクレジスタ A	KMIMRA	8	H'FFF3	INT	8	2
ウェイクアップイベント割り込みマスクレジスタ 3	WUEMR3	8	H'FFF4	INT	8	2
タイマコントロールレジスタ_X	TCR_X	8	H'FFF0	TMR_X	16	2
タイマコントロールレジスタ_Y	TCR_Y	8	H'FFF0	TMR_Y	16	2
タイマコントロール/ステータスレジスタ_X	TCSR_X	8	H'FFF1	TMR_X	16	2
タイマコントロール/ステータスレジスタ_Y	TCSR_Y	8	H'FFF1	TMR_Y	16	2
インプットキャプチャレジスタ R	TICRR	8	H'FFF2	TMR_X	16	2
タイムコンスタントレジスタ A_Y	TCORA_Y	8	H'FFF2	TMR_Y	16	2
インプットキャプチャレジスタ F	TICRF	8	H'FFF3	TMR_X	16	2
タイムコンスタントレジスタ B_Y	TCORB_Y	8	H'FFF3	TMR_Y	16	2
タイマカウンタ_X	TCNT_X	8	H'FFF4	TMR_X	16	2
タイマカウンタ_Y	TCNT_Y	8	H'FFF4	TMR_Y	16	2
タイムコンスタントレジスタ	TCORC	8	H'FFF5	TMR_X	16	2
タイマインプットセレクトレジスタ	TISR	8	H'FFF5	TMR_Y	16	2
タイムコンスタントレジスタ A_X	TCORA_X	8	H'FFF6	TMR_X	16	2
タイムコンスタントレジスタ B_X	TCORB_X	8	H'FFF7	TMR_X	16	2
D/A データレジスタ 0	DADR0	8	H'FFF8	D/A 変換器	8	2
D/A データレジスタ 1	DADR1	8	H'FFF9	D/A 変換器	8	2
D/A コントロールレジスタ	DACR	8	H'FFFA	D/A 変換器	8	2
タイマコネクションレジスタ I	TCONRI	8	H'FFFC	タイマコネクション	8	2
タイマコネクションレジスタ O	TCONRO	8	H'FFFD	タイマコネクション	8	2
タイマコネクションレジスタ S	TCONRS	8	H'FFFE	タイマコネクション	8	2
エッジセンスレジスタ	SEDGR	8	H'FFFF	タイマコネクション	8	2

28.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。

64 ビットレジスタは 8 ビットずつ 8 段で、16 ビットレジスタは 8 ビットずつ 2 段で表しています。

レジスタ略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
CMDR0	Start	Host	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	MCIF
CMDR1	ビット 31	ビット 30	ビット 29	ビット 28	ビット 27	ビット 26	ビット 25	ビット 24	
CMDR2	ビット 23	ビット 22	ビット 21	ビット 20	ビット 19	ビット 18	ビット 17	ビット 16	
CMDR3	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	
CMDR4	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
CMDR5	CRC	CRC	CRC	CRC	CRC	CRC	CRC	End	
CMDSTART	−	−	−	−	−	−	−	START	
OPCR	CMDOFF	−	RD_CONTI	DATAEN	−	−	−	−	
CSTR	BUSY	FIFO_FULL	FIFO_EMPTY	CWRE	DTBUSY	DTBUSY_TU	−	REQ	
INTCR0	FEIE	FFIE	DRPIE	DTIE	CRPIE	CMDIE	DBSYIE	BTIE	
INTCR1	INTRQ2E	INTRQ1E	INTRQ0E	−	−	CRCERIE	DTERIE	CTERIE	
INTSTR0	FEI	FFI	DRPI	DTI	CRPI	CMDI	DBSYI	BTI	
INTSTR1	−	−	−	−	−	CRCERI	DTERI	CTERI	
CLKON	CLKON	−	−	−	−	CSEL2	CSEL1	CSEL0	
CTOCR	−	−	−	−	−	−	−	CTSEL0	
IOMCR	SPCNUM	CHIPSA	−	−	−	−	DIRME	MMCPE	
TBCR	−	−	−	−	C3	C2	C1	C0	
MODER	−	−	−	−	−	−	−	SPI	
CMDTYR	−	−	TY5	TY4	TY3	TY2	TY1	TY0	
RSPTYR	−	−	RTY5	RTY4	−	RTY2	RTY1	RTY0	
TBNCRH	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	
TBNCRL	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
RSPR0	ビット 135	ビット 134	ビット 133	ビット 132	ビット 131	ビット 130	ビット 129	ビット 128	
RSPR1	ビット 127	ビット 126	ビット 125	ビット 124	ビット 123	ビット 122	ビット 121	ビット 120	
RSPR2	ビット 119	ビット 118	ビット 117	ビット 116	ビット 115	ビット 114	ビット 113	ビット 112	
RSPR3	ビット 111	ビット 110	ビット 109	ビット 108	ビット 107	ビット 106	ビット 105	ビット 104	
RSPR4	ビット 103	ビット 102	ビット 101	ビット 100	ビット 99	ビット 98	ビット 97	ビット 96	
RSPR5	ビット 95	ビット 94	ビット 93	ビット 92	ビット 91	ビット 90	ビット 89	ビット 88	
RSPR6	ビット 87	ビット 86	ビット 85	ビット 84	ビット 83	ビット 82	ビット 81	ビット 80	
RSPR7	ビット 79	ビット 78	ビット 77	ビット 76	ビット 75	ビット 74	ビット 73	ビット 72	

レジスタ略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
RSPR8	ビット 71	ビット 70	ビット 69	ビット 68	ビット 67	ビット 66	ビット 65	ビット 64	MCIF
RSPR9	ビット 63	ビット 62	ビット 61	ビット 60	ビット 59	ビット 58	ビット 57	ビット 56	
RSPR10	ビット 55	ビット 54	ビット 53	ビット 52	ビット 51	ビット 50	ビット 49	ビット 48	
RSPR11	ビット 47	ビット 46	ビット 45	ビット 44	ビット 43	ビット 42	ビット 41	ビット 40	
RSPR12	ビット 39	ビット 38	ビット 37	ビット 36	ビット 35	ビット 34	ビット 33	ビット 32	
RSPR13	ビット 31	ビット 30	ビット 29	ビット 28	ビット 27	ビット 26	ビット 25	ビット 24	
RSPR14	ビット 23	ビット 22	ビット 21	ビット 20	ビット 19	ビット 18	ビット 17	ビット 16	
RSPR15	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	
RSPR16	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
PSPRD	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
DTOUTRH	DTOUT15	DTOUT14	DTOUT13	DTOUT12	DTOUT11	DTOUT10	DTOUT9	DTOUT8	
DTOUTRL	DTOUT7	DTOUT6	DTOUT5	DTOUT4	DTOUT3	DTOUT2	DTOUT1	DTOUT0	
EP4PKTSZR	PS7	PS6	PS5	PS4	PS3	PS2	PS1	PS0	USB
EPDR0S	D7	D6	D5	D4	D3	D2	D1	D0	
FVSR0SH	−	−	−	−	−	−	N9	N8	
FVSR0SL	N7	N6	N5	N4	N3	N2	N1	N0	
USBIER1	−	−	−	−	−	−	SETCE	SETIE	
USBIFR1	−	−	−	−	−	−	SETC	SETI	
USBMDCR	−	−	−	−	−	−	SCME	SETICNT	
USBCR1	−	−	−	−	−	−	VBUSS	CK48READY	
CONFV	−	−	CONFV0	INTV1	INTV0	ALTV2	ALTV1	ALTV0	
UDTRFR	−	−	−	−	−	−	−	EP5UDTR	
UPRTCR	−	−	−	−	−	PCNMD2	PCNMD1	PCNMD0	
UTESTR0	TEST15	TEST14	TEST13	TEST12	TEST11	TEST10	TEST9	TEST8	
UTESTR1	TEST7	TEST6	TEST5	TEST4	TEST3	TEST2	TEST1	TEST0	
EPDR3	D7	D6	D5	D4	D3	D2	D1	D0	
FVSR3H	−	−	−	−	−	−	N9	N8	
FVSR3L	N7	N6	N5	N4	N3	N2	N1	N0	
EPDR2	D7	D6	D5	D4	D3	D2	D1	D0	
FVSR2H	−	−	−	−	−	−	N9	N8	
FVSR2L	N7	N6	N5	N4	N3	N2	N1	N0	
EPSZR1	EP1SZ3	EP1SZ2	EP1SZ1	EP1SZ0	EP2SZ3	EP2SZ2	EP2SZ1	EP2SZ0	
EPDR1	D7	D6	D5	D4	D3	D2	D1	D0	
FVSR1H	−	−	−	−	−	−	N9	N8	
FVSR1L	N7	N6	N5	N4	N3	N2	N1	N0	

レジスタ略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
EPDR0O	D7	D6	D5	D4	D3	D2	D1	D0	USB
FVSR0OH	−	−	−	−	−	−	N9	N8	
FVSR0OL	N7	N6	N5	N4	N3	N2	N1	N0	
EPDR0I	D7	D6	D5	D4	D3	D2	D1	D0	
FVSR0IH	−	−	−	−	−	−	N9	N8	
FVSR0IL	N7	N6	N5	N4	N3	N2	N1	N0	
PTTER0	−	−	EP4TE	EP3TE	EP2TE	EP1TE	EP0ITE	−	
USBIER0	−	UDTRE	BRSTE	SOFE	SPNDE	TFE	TSE	SETUPE	
USBIFR0	TS	TF	UDTRF	BRSTF	SOFF	SPNDOF	SPNDIF	SETUPF	
TSFR0	−	EP5TS	EP4TS	EP3TS	EP2TS	EP1TS	EP0ITS	EP0OTS	
TFFR0	−	EP5TF	EP4TF	EP3TF	EP2TF	EP1TF	EP0ITF	EP0OTF	
USBCSR0	−	−	−	−	EP0STOP	EPIVLD	EP0OTC	−	
EPSTLR0	−	EP5STL	EP4STL	EP3STL	EP2STL	EP1STL	−	EP0STL	
EPDIR0	−	EP5DIR	EP4DIR	EP3DIR	EP2DIR	EP1DIR	−	−	
EPRSTR0	−	EP5RST	EP4RST	EP3RST	EP2RST	EP1RST	EP0IRST	EP0ORST	
DEVRSMR	−	−	−	−	−	−	RWUPS	DVR	
INTSELR0	TSELB	EPIBS2	EPIBS1	EPIBS0	TSELC	EPICS2	EPICS1	EPICS0	
USBCR0	FADSEL	−	−	UIFRST	−	−	FPLLRST	FSRST	
UPLLCR	−	−	PFSEL2	CKSEL2	CKSEL1	CKSEL0	PFSEL1	PFSEL0	
SUBMSTPBH	SMSTPB15	SMSTPB14	SMSTPB13	SMSTPB12	SMSTPB11	SMSTPB10	SMSTPB9	SMSTPB8	SYSTEM
SUBMSTPBL	SMSTPB7	SMSTPB6	SMSTPB5	SMSTPB4	SMSTPB3	SMSTPB2	SMSTPB1	SMSTPB0	
FSTR0	ビット 31	ビット 30	ビット 29	ビット 28	ビット 27	ビット 26	ビット 25	ビット 24	RFU
FSTR1	ビット 23	ビット 22	ビット 21	ビット 20	ビット 19	ビット 18	ビット 17	ビット 16	
FSTR2	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	
FSTR3	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
DTCRA	IDE-A	IDE-B	PMD1	PMD0	Sz	BUD2	BUD1	BUD0	
DTCRB	BOVF_RE	BOVF_WE	FULLE	EMPTYE	LOAD	MARK	REST	STCLR	
DTIDR	ID-A3	ID-A2	ID-A1	ID-A0	ID-B3	ID-B2	ID-B1	ID-B0	
DTSTRC	BOVF_R	BOVF_W	FULL	EMPTY	OVER_R	OVER_W	−	−	
DTIDSRA	IDRW15	IDRW14	IDRW13	IDRW12	IDRW11	IDRW10	IDRW9	IDRW8	
DTIDSRB	IDRW7	IDRW6	IDRW5	IDRW4	IDRW3	IDRW2	IDRW1	IDRW0	
DTSTRA	−	−	−	−	DTF3	DTF2	DTF1	DTF0	
DTSTRB	−	−	−	−	DTEF3	DTEF2	DTEF1	DTEIE	
DTCRD	−	−	−	−	DTE3	DTE2	DTE1	DTE0	
DTIER	−	−	−	−	DTIE3	DTIE2	DTIE1	DTIE0	

レジスタ略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
DTRSR	CHS2	CHS1	CHS0	RS	POS1	POS0	STS1	STS0	RFU
ICCRX_0	ICXE	CRIC	MRIC	SRIC	BBSYX/CLR3	−/CLR2	AASHIT/CLR1	ACKBX/CLR0	IIC_0
ICSRA_0	SDAO	SCLO	SDAI	SCLI	MSTX	TRSX	WAITX	ACKXE	
ICSRB_0	CREQ	CERR	STOP	ABRT	ALST	DERR	TOVR	NACK	
ICSRC_0	MTREQ	MRREQ	STREQ	SRREQ	MASX	TDRE	SDRF	RDRF	
ICDRX_0	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	
ICCMD_0	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
ICDRS_0	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	
ICCNT_0	CNTE	STOPIMX	CNTS1	CNTS0	BBC3	BBC2	BBC1	BBC0	
ICCRX_1	ICXE	CRIC	MRIC	SRIC	BBSYX/CLR3	−/CLR2	AASHIT/CLR1	ACKBX/CLR0	IIC_1
ICSRA_1	SDAO	SCLO	SDAI	SCLI	MSTX	TRSX	WAITX	ACKXE	
ICSRB_1	CREQ	CERR	STOP	ABRT	ALST	DERR	TOVR	NACK	
ICSRC_1	MTREQ	MRREQ	STREQ	SRREQ	MASX	TDRE	SDRF	RDRF	
ICDRX_1	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	
ICCMD_1	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
ICDRS_1	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	
ICCNT_1	CNTE	STOPIMX	CNTS1	CNTS0	BBC3	BBC2	BBC1	BBC0	
SEMR_0	SSE	−	−	ABCS	ACS4	ACS2	ACS1	ACS0	SCI_0
SCIDTER_0	TDRE_DTE	RDRF_DTE	−	−	−	−	−	−	
SEMR_2	SSE	−	−	ABCS	ACS4	ACS2	ACS1	ACS0	SCI_2
SCIDTER_2	TDRE_DTE	RDRF_DTE	−	−	−	−	−	−	
CRCCR	DORCLR	−	−	−	−	LMS	G1	G0	CRC
CRCDIR	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
CRCDORH	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	
CRCDORL	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
KBCOMP	−	−	−	SCANE	KBADE	KBCH2	KBCH1	KBCH0	A/D 変換器
SCICR	IrE	IrCKS2	IrCKS1	IrCKS0	−	−	−	−	SCI_1
ICRD	IRQ8-11	IRQ12-15	−	−	−	−	−	MCIF	INT
ICRA	IRQ0	IRQ1	IRQ2-3	IRQ4-5	IRQ6-7	DTC	WDT_0	WDT_1	
ICRB	A/D 変換器	FRT	−	TMR_X	TMR_0	TMR_1	TMR_Y	−	
ICRC	SCI_0	SCI_1	SCI_2	IIC_0	IIC_1	−	−	USB	
ISR	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
ISCRH	IRQ7SCB	IRQ7SCA	IRQ6SCB	IRQ6SCA	IRQ5SCB	IRQ5SCA	IRQ4SCB	IRQ4SCA	
ISCRL	IRQ3SCB	IRQ3SCA	IRQ2SCB	IRQ2SCA	IRQ1SCB	IRQ1SCA	IRQ0SCB	IRQ0SCA	

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
DTCERA	IRQ0	IRQ1	IRQ2	IRQ3	ADI	ICIA	ICIB	OCIA	DTC
DTCERB	OCIB	IICM0	IICR0	IICT0	−	CMIA0	CMIB0	CMIA1	
DTCERC	CMIB1	CMIAY	CMIBY	−	CMIAX	RXI0	TXI0	RXI1	
DTCERD	TXI1	RXI2	TXI2	IICM1	IICR1	IICT1	MMCIA	CMIBX	
DTCERE	USBI0	USBI1	USBI2	USBI3	−	−	−	−	
DTVECR	SWDTE	DTVEC6	DTVEC5	DTVEC4	DTVEC3	DTVEC2	DTVEC1	DTVEC0	
ABRKCR	CMF	−	−	−	−	−	−	BIE	INT
BARA	A23	A22	A21	A20	A19	A18	A17	A16	
BARB	A15	A14	A13	A12	A11	A10	A9	A8	
BARC	A7	A6	A5	A4	A3	A2	A1	−	
IER16	IRQ15E	IRQ14E	IRQ13E	IRQ12E	IRQ11E	IRQ10E	IRQ9E	IRQ8E	
ISR16	IRQ15F	IRQ14F	IRQ13F	IRQ12F	IRQ11F	IRQ10F	IRQ9F	IRQ8F	
ISCR16H	IRQ15SCB	IRQ15SCA	IRQ14SCB	IRQ14SCA	IRQ13SCB	IRQ13SCA	IRQ12SCB	IRQ12SCA	
ISCR16L	IRQ11SCB	IRQ11SCA	IRQ10SCB	IRQ10SCA	IRQ9SCB	IRQ9SCA	IRQ8SCB	IRQ8SCA	
ISSR16	ISS15	ISS14	ISS13	ISS12	ISS11	ISS10	ISS9	ISS8	
ISSR	ISS7	ISS6	ISS5	ISS4	ISS3	ISS2	ISSR1	ISS0	
PTCNT0	TMI0S	TMI1S	TMIXS	TMIYS	MMCS	−	−	−	PORT
BCR2	OWEAC	OWENC	ABWCP	ASTCP	ADFULLE	EXCKS	BUSDIVE	CPCSE	BSC
WSCR2	WMS10	WC11	WC10	WMS21	WMS20	WC22	WC21	WC20	
PCSR	−	−	PWCKXB	PWCKXA	−	PWCKB	PWCKA	−	PWM
SYSCR2	KWUL1	KWUL0	P6PUE	−	−	CKCHGE	−	PLCKS	SYSTEM
SBYCR	SSBY	STS2	STS1	STS0	DTSPEED	SCK2	SCK1	SCK0	
LPWRCR	DTON	LSON	NESEL	EXCLE	−	−	−	−	
MSTPCRH	MSTP15	MSTP14	MSTP13	MSTP12	MSTP11	MSTP10	MSTP9	MSTP8	
MSTPCRL	MSTP7	MSTP6	MSTP5	MSTP4	MSTP3	MSTP2	MSTP1	MSTP0	
FLMCR1	FWE	SWE	−	−	EV	PV	E	P	FLASH
FLMCR2	FLER	−	−	−	−	−	ESU	PSU	
EBR1	−	−	−	−	EB11	EB10	EB9	EB8	
EBR2	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	
SMR_1*	C/$\overline{A}$(GM)	CHR(BLK)	PE(PE)	O/$\overline{E}$(O/$\overline{E}$)	STOP(BCP1)	MP(BCP0)	CKS1(CKS1)	CKS0(CKS0)	SCI_1
ICCR_1	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC_1
BRR_1	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	SCI_1
ICSR_1	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	IIC_1
SCR_1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCI_1
TDR_1	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	

レジスタ略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
SSR_1*	TDRE(TDRE)	RDRF(RDRF)	ORER(ORER)	FER(ERS)	PER(PER)	TEND(TEND)	MPB(MPB)	MPBT(MPBT)	SCI_1
RDR_1	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
SCMR_1	−	−	−	−	SDIR	SINV	−	SMIF	
ICDR_1	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	IIC_1
SARX_1	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX	
ICMR_1	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0	
SAR_1	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
TIER	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	−	FRT
TCSR	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA	
FRCH	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	
FRCL	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
OCRAH	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	
OCRBH	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	
OCRAL	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
OCRBL	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
TCR	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0	
TOCR	ICRDMS	OCRAMS	ICRS	OCRS	OEA	OEB	OLVLA	OLVLB	
ICRAH	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	
OCRARH	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	
ICRAL	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
OCRARL	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
ICRBH	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	
OCRAFH	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	
ICRBL	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
OCRAFL	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
ICRCH	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	
OCRDMH	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	
ICRCL	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
OCRDML	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
ICRDH	ビット 15	ビット 14	ビット 13	ビット 12	ビット 11	ビット 10	ビット 9	ビット 8	
ICRDL	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
SMR_2*	C/$\overline{A}$(GM)	CHR(BLK)	PE(PE)	O/$\overline{E}$(O/$\overline{E}$)	STOP(BCP1)	MP(BCP0)	CKS1(CKS1)	CKS0(CKS0)	SCI_2
DACR	−	PWME	−	−	OEB	OEA	OS	CKS	PWMX
DADRAH	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	
DADRAL	DA5	DA4	DA3	DA2	DA1	DA0	CFS	−	

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
BRR_2	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	SCI_2
SCR_2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_2	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
SSR_2*	TDRE(TDRE)	RDRF(RDRF)	ORER(ORER)	FER(ERS)	PER(PER)	TEND(TEND)	MPB(MPB)	MPBT(MPBT)	
RDR_2	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
SCMR_2	−	−	−	−	SDIR	SINV	−	SMIF	
DADRBH	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	PWMX
DACNTH	UC7	UC6	UC5	UC4	UC3	UC2	UC1	UC0	
DADRBL	DA5	DA4	DA3	DA2	DA1	DA0	CFS	REGS	
DACNTL	UC8	UC9	UC10	UC11	UC12	UC13	−	REGS	
TCSR_0	OVF	WT/$\overline{IT}$	TME	−	RST/$\overline{NMI}$	CKS2	CKS1	CKS0	WDT_0
TCNT_0	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
PAODR	−	−	−	−	−	−	PA1ODR	PA0ODR	PORT
PAPIN	−	−	−	−	−	−	PA1PIN	PA0PIN	
PADDR	−	−	−	−	−	−	PA1DDR	PA0DDR	
P1PCR	P17PCR	P16PCR	P15PCR	P14PCR	P13PCR	P12PCR	P11PCR	P10PCR	
P2PCR	P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR	
P3PCR	P37PCR	P36PCR	P35PCR	P34PCR	P33PCR	P32PCR	P31PCR	P30PCR	
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	
P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR	
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	
P2DR	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR	
P3DDR	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	
P4DDR	P47DDR	P46DDR	P45DDR	P44DDR	P43DDR	P42DDR	P41DDR	P40DDR	
P3DR	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR	
P4DR	P47DR	P46DR	P45DR	P44DR	P43DR	P42DR	P41DR	P40DR	
P5DDR	P57DDR	P56DDR	P55DDR	P54DDR	P53DDR	P52DDR	P51DDR	P50DDR	
P6DDR	P67DDR	P66DDR	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR	
P5DR	P57DR	P56DR	P55DR	P54DR	P53DR	P52DR	P51DR	P50DR	
P6DR	P67DR	P66DR	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR	
P8DDR	P87DDR	P86DDR	P85DDR	P84DDR	P83DDR	P82DDR	P81DDR	P80DDR	
P7PIN	P77PIN	P76PIN	P75PIN	P74PIN	P73PIN	P72PIN	−	−	
P8DR	P87DR	P86DR	P85DR	P84DR	P83DR	P82DR	P81DR	P80DR	
P9DDR	P97DDR	P96DDR	P95DDR	P94DDR	P93DDR	P92DDR	P91DDR	P90DDR	
P9DR	P97DR	P96DR	P95DR	P94DR	P93DR	P92DR	P91DR	P90DR	

レジスタ略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	INT
STCR	−	IICX1	IICX0	IICE	FLSHE	−	ICKS1	ICKS0	SYSTEM
SYSCR	CS256E	IOSE	INTM1	INTM0	XRST	NMIEG	KINWUE	RAME	
MDCR	EXPE	−	−	−	−	MDS2	MDS1	MDS0	
BCR	−	ICIS	BRSTRM	BRSTS1	BRSTS0	CFE	IOS1	IOS0	BSC
WSCR	ABW256	AST256	ABW	AST	WMS1	WMS0	WC1	WC0	
TCR_0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_0、
TCR_1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_1
TCSR_0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	
TCSR_1	CMFB	CMFA	OVF	−	OS3	OS2	OS1	OS0	
TCORA_0	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
TCORA_1	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
TCORB_0	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
TCORB_1	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
TCNT_0	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
TCNT_1	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
PWOERB	OE15	OE14	OE13	OE12	OE11	OE10	OE9	OE8	PWM
PWOERA	OE7	OE6	OE5	OE4	OE3	OE2	OE1	OE0	
PWDPRB	OS15	OS14	OS13	OS12	OS11	OS10	OS9	OS8	
PWDPRA	OS7	OS6	OS5	OS4	OS3	OS2	OS1	OS0	
PWSL	PWCKE	PWCKS	−	−	RS3	RS2	RS1	RS0	
PWDR0～15	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
SMR_0*	C/$\overline{A}$(GM)	CHR(BLK)	PE(PE)	O/$\overline{E}$(O/$\overline{E}$)	STOP(BCP1)	MP(BCP0)	CKS1(CKS1)	CKS0(CKS0)	SCI_0
ICCR_0	ICE	IEIC	MST	TRS	ACKE	BBSY	IRIC	SCP	IIC_0
BRR_0	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	SCI_0
ICSR_0	ESTP	STOP	IRTR	AASX	AL	AAS	ADZ	ACKB	IIC_0
SCR_0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCI_0
TDR_0	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
SSR_0*	TDRE(TDRE)	RDRF(RDRF)	ORER(ORER)	FER(ERS)	PER(PER)	TEND(TEND)	MPB(MPB)	MPBT(MPBT)	
RDR_0	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
SCMR_0	−	−	−	−	SDIR	SINV	−	SMIF	
ICDR_0	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	IIC_0
SARX_0	SVAX6	SVAX5	SVAX4	SVAX3	SVAX2	SVAX1	SVAX0	FSX	
ICMR_0	MLS	WAIT	CKS2	CKS1	CKS0	BC2	BC1	BC0	
SAR_0	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	

レジスタ略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D 変換器
ADDRAL	AD1	AD0	—	—	—	—	—	—	
ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRBL	AD1	AD0	—	—	—	—	—	—	
ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRCL	AD1	AD0	—	—	—	—	—	—	
ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
ADDRDL	AD1	AD0	—	—	—	—	—	—	
ADCSR	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	
ADCR	TRGS1	TRGS0	—	—	—	—	—	—	
TCSR_1	OVF	WT/$\overline{IT}$	TME	PSS	RST/$\overline{NMI}$	CKS2	CKS1	CKS0	WDT_1
TCNT_1	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
KMIMR6	KMIM7	KMIM6	KMIM5	KMIM4	KMIM3	KMIM2	KMIM1	KMIM0	INT
KMPCR6	KM7PCR	KM6PCR	KM5PCR	KM4PCR	KM3PCR	KM2PCR	KM1PCR	KM0PCR	PORT
KMIMRA	—	—	—	—	—	—	KMIM9	KMIM8	INT
WUEMR3	WUEM15	WUEM14	WUEM13	WUEM12	WUEM11	WUEM10	WUEM9	WUEM8	
TCR_X	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_Y、
TCR_Y	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_X
TCSR_X	CMFB	CMFA	OVF	ICF	OS3	OS2	OS1	OS0	
TCSR_Y	CMFB	CMFA	OVF	ICIE	OS3	OS2	OS1	OS0	
TICRR	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
TCORA_Y	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
TICRF	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
TCORB_Y	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
TCNT_X	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
TCNT_Y	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
TCORC	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
TISR	—	—	—	—	—	—	—	IS	
TCORA_X	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
TCORB_X	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
DADR0	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	D/A 変換器
DADR1	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
DACR	DAOE1	DAOE0	DAE	—	—	—	—	—	

レジスタ略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	モジュール
TCONRI	SIMOD1	SIMOD0	SCONE	ICST	HFINV	VFINV	HIINV	VIINV	タイマコネクション
TCONRO	HOE	VOE	CLOE	CBOE	HOINV	VOINV	CLOINV	CBOINV	
TCONRS	TMRX/Y	ISGENE	HOMOD1	HOMOD0	VOMOD1	VOMOD0	CLMOD1	CLMOD0	
SEDGR	VEDG	HEDG	CEDG	HFEDG	VFEDG	PREDG	IHI	IVI	

【注】 * 通常モードとスマートカードインタフェースモードで一部ビット名が異なります。

( ) : スマートカードインタフェースモード時のビット名

28.3 各動作モードにおけるレジスタの状態

レジスタ略称	リセット	高速／中速	ウォッチ	スリープ	サブアクティブ	サブスリープ	モジュールストップ	ソフトウェアスタンバイ	ハードウェアスタンバイ	モジュール
CMDR0	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	MCIF
CMDR1	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
CMDR2	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
CMDR3	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
CMDR4	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
CMDR5	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
CMDSTRT	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
OPCR	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
CSTR	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
INTCR0	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
INTCR1	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
INTSTR0	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
INTSTR1	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
CLKON	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
CTOCR	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
IOMCR	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
TBCR	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
MODER	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
CMDTYR	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
RSPTYR	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
TBNCRH	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
TBNCRL	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
RSPR0	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
RSPR1	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
RSPR2	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
RSPR3	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
RSPR4	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
RSPR5	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
RSPR6	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
RSPR7	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
RSPR8	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
RSPR9	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	

レジスタ略称	リセット	高速／中速	ウォッチ	スリープ	サブアクティブ	サブスリープ	モジュールストップ	ソフトウェアスタンバイ	ハードウェアスタンバイ	モジュール
RSPR10	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	MCIF
RSPR11	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
RSPR12	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
RSPR13	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
RSPR14	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
RSPR15	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
RSPR16	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
PSPRD	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
DTOUTRH	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
DTOUTRL	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
EP4PKTSZR	初期化	—*1	—	—	—	—	—	—	初期化	USB
EPDR0S	初期化	—*1	—	—	—	—	—	—	初期化	
FVSR0SH	初期化	—*1	—	—	—	—	—	—	初期化	
FVSR0SL	初期化	—*1	—	—	—	—	—	—	初期化	
USBIER1	初期化	—*1	—	—	—	—	—	—	初期化	
USBIFR1	初期化	—*1	—	—	—	—	—	—	初期化	
USBMDCR	初期化	—*1	—	—	—	—	—	—	初期化	
USBCR1	初期化	—	—	—	—	—	—	—	初期化	
CONFV	初期化	—*1	—	—	—	—	—	—	初期化	
UDTRFR	初期化	—*1	—	—	—	—	—	—	初期化	
UPRTCR	初期化	—	—	—	—	—	—	—	初期化	
UTESTR0	初期化	—	—	—	—	—	—	—	初期化	
UTESTR1	初期化	—	—	—	—	—	—	—	初期化	
EPDR3	初期化	—*1	—	—	—	—	—	—	初期化	
FVSR3H	初期化	—*1	—	—	—	—	—	—	初期化	
FVSR3L	初期化	—*1	—	—	—	—	—	—	初期化	
EPDR2	初期化	—*1	—	—	—	—	—	—	初期化	
FVSR2H	初期化	—*1	—	—	—	—	—	—	初期化	
FVSR2L	初期化	—*1	—	—	—	—	—	—	初期化	
EPSZR1	初期化	—*1	—	—	—	—	—	—	初期化	
EPDR1	初期化	—*1	—	—	—	—	—	—	初期化	
FVSR1H	初期化	—*1	—	—	—	—	—	—	初期化	
FVSR1L	初期化	—*1	—	—	—	—	—	—	初期化	
EPDR0O	初期化	—*1	—	—	—	—	—	—	初期化	

レジスタ略称	リセット	高速／中速	ウォッチ	スリープ	サブアクティブ	サブスリープ	モジュールストップ	ソフトウェアスタンバイ	ハードウェアスタンバイ	モジュール
FVSR0OH	初期化	—*1	—	—	—	—	—	—	初期化	USB
FVSR0OL	初期化	—*1	—	—	—	—	—	—	初期化	
EPDR0I	初期化	—*1	—	—	—	—	—	—	初期化	
FVSR0IH	初期化	—*1	—	—	—	—	—	—	初期化	
FVSR0IL	初期化	—*1	—	—	—	—	—	—	初期化	
PTTER0	初期化	—	—	—	—	—	—	—	初期化	
USBIER0	初期化	—*1	—	—	—	—	—	—	初期化	
USBIFR0	初期化	—*1	—	—	—	—	—	—	初期化	
TSFR0	初期化	—*1	—	—	—	—	—	—	初期化	
TFFR0	初期化	—*1	—	—	—	—	—	—	初期化	
USBCSR0	初期化	—*1	—	—	—	—	—	—	初期化	
EPSTLR0	初期化	—*1	—	—	—	—	—	—	初期化	
EPDIR0	初期化	—*1	—	—	—	—	—	—	初期化	
EPRSTR0	初期化	—	—	—	—	—	—	—	初期化	
DEVRSMR	初期化	—*1	—	—	—	—	—	—	初期化	
INTSELR0	初期化	—*1	—	—	—	—	—	—	初期化	
USBCR0	初期化	—	—	—	—	—	—	—	初期化	
UPLLCR	初期化	—	—	—	—	—	—	—	初期化	
SUBMSTPBH	初期化	—	—	—	—	—	—	—	初期化	SYSTEM
SUBMSTPBL	初期化	—	—	—	—	—	—	—	初期化	
FSTR0	初期化	—	—	—	—	—	—	—	初期化	RFU
FSTR1	初期化	—	—	—	—	—	—	—	初期化	
FSTR2	初期化	—	—	—	—	—	—	—	初期化	
FSTR3	初期化	—	—	—	—	—	—	—	初期化	
DTCRA	初期化	—	—	—	—	—	—	—	初期化	
DTCRB	初期化	—	—	—	—	—	—	—	初期化	
DTIDR	初期化	—	—	—	—	—	—	—	初期化	
DTSTRC	初期化	—	—	—	—	—	—	—	初期化	
DTIDSRA	初期化	—	—	—	—	—	—	—	初期化	
DTIDSRB	初期化	—	—	—	—	—	—	—	初期化	
DTSTRA	初期化	—	—	—	—	—	—	—	初期化	
DTSTRB	初期化	—	—	—	—	—	—	—	初期化	
DTCRD	初期化	—	—	—	—	—	—	—	初期化	
DTIER	初期化	—	—	—	—	—	—	—	初期化	

レジスタ略称	リセット	高速／中速	ウォッチ	スリープ	サブアクティブ	サブスリープ	モジュールストップ	ソフトウェアスタンバイ	ハードウェアスタンバイ	モジュール
DTRSR	初期化	—	—	—	—	—	—	—	初期化	RFU
ICCRX_0	初期化	—	—	—	—	—	—	—	初期化	IIC_0
ICSRA_0	初期化	—	—	—	—	—	—	—	初期化	
ICSRB_0	初期化	—	—	—	—	—	—	—	初期化	
ICSRC_0	初期化	—	—	—	—	—	—	—	初期化	
ICDRX_0	初期化	—	—	—	—	—	—	—	初期化	
ICCMD_0	初期化	—	—	—	—	—	—	—	初期化	
ICDRS_0	初期化	—	—	—	—	—	—	—	初期化	
ICCNT_0	初期化	—	—	—	—	—	—	—	初期化	
ICCRX_1	初期化	—	—	—	—	—	—	—	初期化	IIC_1
ICSRA_1	初期化	—	—	—	—	—	—	—	初期化	
ICSRB_1	初期化	—	—	—	—	—	—	—	初期化	
ICSRC_1	初期化	—	—	—	—	—	—	—	初期化	
ICDRX_1	初期化	—	—	—	—	—	—	—	初期化	
ICCMD_1	初期化	—	—	—	—	—	—	—	初期化	
ICDRS_1	初期化	—	—	—	—	—	—	—	初期化	
ICCNT_1	初期化	—	—	—	—	—	—	—	初期化	
SEMR_0	初期化	—	—	—	—	—	—	—	初期化	SCI_0
SCIDTER_0	初期化	—	—	—	—	—	—	—	初期化	
SEMR_2	初期化	—	—	—	—	—	—	—	初期化	SCI_2
SCIDTER_2	初期化	—	—	—	—	—	—	—	初期化	
CRCCR	初期化	—	—	—	—	—	—	—	初期化	CRC
CRCDIR	初期化	—	—	—	—	—	—	—	初期化	
CRCDORH	初期化	—	—	—	—	—	—	—	初期化	
CRCDORL	初期化	—	—	—	—	—	—	—	初期化	
KBCOMP	初期化	—	—	—	—	—	—	—	初期化	A/D 変換器
SCICR	初期化	—	—	—	—	—	—	—	初期化	SCI_1
ICRD	初期化	—	—	—	—	—	—	—	初期化	INT
ICRA	初期化	—	—	—	—	—	—	—	初期化	
ICRB	初期化	—	—	—	—	—	—	—	初期化	
ICRC	初期化	—	—	—	—	—	—	—	初期化	
ISR	初期化	—	—	—	—	—	—	—	初期化	
ISCRH	初期化	—	—	—	—	—	—	—	初期化	
ISCRL	初期化	—	—	—	—	—	—	—	初期化	

レジスタ略称	リセット	高速／中速	ウォッチ	スリープ	サブアクティブ	サブスリープ	モジュールストップ	ソフトウェアスタンバイ	ハードウェアスタンバイ	モジュール
DTCERA	初期化	—	—	—	—	—	—	—	初期化	DTC
DTCERB	初期化	—	—	—	—	—	—	—	初期化	
DTCERC	初期化	—	—	—	—	—	—	—	初期化	
DTCERD	初期化	—	—	—	—	—	—	—	初期化	
DTCERE	初期化	—	—	—	—	—	—	—	初期化	
DTVECR	初期化	—	—	—	—	—	—	—	初期化	
ABRKCR	初期化	—	—	—	—	—	—	—	初期化	INT
BARA	初期化	—	—	—	—	—	—	—	初期化	
BARB	初期化	—	—	—	—	—	—	—	初期化	
BARC	初期化	—	—	—	—	—	—	—	初期化	
IER16	初期化	—	—	—	—	—	—	—	初期化	
ISR16	初期化	—	—	—	—	—	—	—	初期化	
ISCR16H	初期化	—	—	—	—	—	—	—	初期化	
ISCR16L	初期化	—	—	—	—	—	—	—	初期化	
ISSR16	初期化	—	—	—	—	—	—	—	初期化	
ISSR	初期化	—	—	—	—	—	—	—	初期化	
PTCNT0	初期化	—	—	—	—	—	—	—	初期化	PORT
BCR2	初期化	—	—	—	—	—	—	—	初期化	BSC
WSCR2	初期化	—	—	—	—	—	—	—	初期化	
PCSR	初期化	—	—	—	—	—	—	—	初期化	PWM
SYSCR2	初期化	—	—	—	—	—	—	—	初期化	SYSTEM
SBYCR	初期化	—	—	—	—	—	—	—	初期化	
LPWRCR	初期化	—	—	—	—	—	—	—	初期化	
MSTPCRH	初期化	—	—	—	—	—	—	—	初期化	
MSTPCRL	初期化	—	—	—	—	—	—	—	初期化	
FLMCR1	初期化	—※3	初期化	—	初期化	初期化	—	初期化	初期化	FLASH
FLMCR2	初期化	—※2※3	初期化※2	—	初期化※2	初期化※2	—	初期化※2	初期化	
EBR1	初期化	—※3	初期化	—	初期化	初期化	—	初期化	初期化	
EBR2	初期化	—※3	初期化	—	初期化	初期化	—	初期化	初期化	
SMR_1	初期化	—	—	—	—	—	—	—	初期化	SCI_1
ICCR_1	初期化	—	—	—	—	—	—	—	初期化	IIC_1
BRR_1	初期化	—	—	—	—	—	—	—	初期化	SCI_1
ICSR_1	初期化	—	—	—	—	—	—	—	初期化	IIC_1

レジスタ略称	リセット	高速／中速	ウォッチ	スリープ	サブアクティブ	サブスリープ	モジュールストップ	ソフトウェアスタンバイ	ハードウェアスタンバイ	モジュール
SCR_1	初期化	—	—	—	—	—	—	—	初期化	SCI_1
TDR_1	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
SSR_1	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
RDR_1	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
SCMR_1	初期化	—	—	—	—	—	—	—	初期化	
ICDR_1	初期化	—	—	—	—	—	—	—	初期化	IIC_1
SARX_1	初期化	—	—	—	—	—	—	—	初期化	
ICMR_1	初期化	—	—	—	—	—	—	—	初期化	
SAR_1	初期化	—	—	—	—	—	—	—	初期化	
TIER	初期化	—	—	—	—	—	—	—	初期化	FRT
TCSR	初期化	—	—	—	—	—	—	—	初期化	
FRCH	初期化	—	—	—	—	—	—	—	初期化	
FRCL	初期化	—	—	—	—	—	—	—	初期化	
OCRAH	初期化	—	—	—	—	—	—	—	初期化	
OCRBH	初期化	—	—	—	—	—	—	—	初期化	
OCRAL	初期化	—	—	—	—	—	—	—	初期化	
OCRBL	初期化	—	—	—	—	—	—	—	初期化	
TCR	初期化	—	—	—	—	—	—	—	初期化	
TOCR	初期化	—	—	—	—	—	—	—	初期化	
ICRAH	初期化	—	—	—	—	—	—	—	初期化	
OCRARH	初期化	—	—	—	—	—	—	—	初期化	
ICRAL	初期化	—	—	—	—	—	—	—	初期化	
OCRARL	初期化	—	—	—	—	—	—	—	初期化	
ICRBH	初期化	—	—	—	—	—	—	—	初期化	
OCRAFH	初期化	—	—	—	—	—	—	—	初期化	
ICRBL	初期化	—	—	—	—	—	—	—	初期化	
OCRAFL	初期化	—	—	—	—	—	—	—	初期化	
ICRCH	初期化	—	—	—	—	—	—	—	初期化	
OCRDMH	初期化	—	—	—	—	—	—	—	初期化	
ICRCL	初期化	—	—	—	—	—	—	—	初期化	
OCRDML	初期化	—	—	—	—	—	—	—	初期化	
ICRDH	初期化	—	—	—	—	—	—	—	初期化	
ICRDL	初期化	—	—	—	—	—	—	—	初期化	
SMR_2	初期化	—	—	—	—	—	—	—	初期化	SCI_2

レジスタ略称	リセット	高速／中速	ウォッチ	スリープ	サブアクティブ	サブスリープ	モジュールストップ	ソフトウェアスタンバイ	ハードウェアスタンバイ	モジュール
DACR	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	PWMX
DADRAH	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
DADRAL	初期化	—	初期化	—	初期化	—	初期化	初期化	初期化	
BRR_2	初期化	—	—	—	—	—	—	—	初期化	SCI_2
SCR_2	初期化	—	—	—	—	—	—	—	初期化	
TDR_2	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
SSR_2	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
RDR_2	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
SCMR_2	初期化	—	—	—	—	—	—	—	初期化	
DADRBH	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	PWMX
DACNTH	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
DADRBL	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
DACNTL	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
TCSR_0	初期化	—	—	—	—	—	—	—	初期化	WDT_0
TCNT_0	初期化	—	—	—	—	—	—	—	初期化	
PAODR	初期化	—	—	—	—	—	—	—	初期化	PORT
PAPIN	初期化	—	—	—	—	—	—	—	初期化	
PADDR	初期化	—	—	—	—	—	—	—	初期化	
P1PCR	初期化	—	—	—	—	—	—	—	初期化	
P2PCR	初期化	—	—	—	—	—	—	—	初期化	
P3PCR	初期化	—	—	—	—	—	—	—	初期化	
P1DDR	初期化	—	—	—	—	—	—	—	初期化	
P2DDR	初期化	—	—	—	—	—	—	—	初期化	
P1DR	初期化	—	—	—	—	—	—	—	初期化	
P2DR	初期化	—	—	—	—	—	—	—	初期化	
P3DDR	初期化	—	—	—	—	—	—	—	初期化	
P4DDR	初期化	—	—	—	—	—	—	—	初期化	
P3DR	初期化	—	—	—	—	—	—	—	初期化	
P4DR	初期化	—	—	—	—	—	—	—	初期化	
P5DDR	初期化	—	—	—	—	—	—	—	初期化	
P6DDR	初期化	—	—	—	—	—	—	—	初期化	
P5DR	初期化	—	—	—	—	—	—	—	初期化	
P6DR	初期化	—	—	—	—	—	—	—	初期化	
P8DDR	初期化	—	—	—	—	—	—	—	初期化	

レジスタ略称	リセット	高速／中速	ウォッチ	スリープ	サブアクティブ	サブスリープ	モジュールストップ	ソフトウェアスタンバイ	ハードウェアスタンバイ	モジュール
P7PIN	初期化	—	—	—	—	—	—	—	初期化	PORT
P8DR	初期化	—	—	—	—	—	—	—	初期化	
P9DDR	初期化	—	—	—	—	—	—	—	初期化	
P9DR	初期化	—	—	—	—	—	—	—	初期化	
IER	初期化	—	—	—	—	—	—	—	初期化	INT
STCR	初期化	—	—	—	—	—	—	—	初期化	SYSTEM
SYSCR	初期化	—	—	—	—	—	—	—	初期化	
MDCR	初期化	—	—	—	—	—	—	—	初期化	
BCR	初期化	—	—	—	—	—	—	—	初期化	BSC
WSCR	初期化	—	—	—	—	—	—	—	初期化	
TCR_0	初期化	—	—	—	—	—	—	—	初期化	TMR_0、
TCR_1	初期化	—	—	—	—	—	—	—	初期化	TMR_1
TCSR_0	初期化	—	—	—	—	—	—	—	初期化	
TCSR_1	初期化	—	—	—	—	—	—	—	初期化	
TCORA_0	初期化	—	—	—	—	—	—	—	初期化	
TCORA_1	初期化	—	—	—	—	—	—	—	初期化	
TCORB_0	初期化	—	—	—	—	—	—	—	初期化	
TCORB_1	初期化	—	—	—	—	—	—	—	初期化	
TCNT_0	初期化	—	—	—	—	—	—	—	初期化	
TCNT_1	初期化	—	—	—	—	—	—	—	初期化	
PWOERB	初期化	—	—	—	—	—	—	—	初期化	PWM
PWOERA	初期化	—	—	—	—	—	—	—	初期化	
PWDPRB	初期化	—	—	—	—	—	—	—	初期化	
PWDPRA	初期化	—	—	—	—	—	—	—	初期化	
PWSL	初期化	—	—	—	—	—	—	—	初期化	
PWDR 0〜15	初期化	—	—	—	—	—	—	—	初期化	
SMR_0	初期化	—	—	—	—	—	—	—	初期化	SCI_0
ICCR_0	初期化	—	—	—	—	—	—	—	初期化	IIC_0
BRR_0	初期化	—	—	—	—	—	—	—	初期化	SCI_0
ICSR_0	初期化	—	—	—	—	—	—	—	初期化	IIC_0
SCR_0	初期化	—	—	—	—	—	—	—	初期化	SCI_0
TDR_0	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
SSR_0	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
RDR_0	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
SCMR_0	初期化	—	—	—	—	—	—	—	初期化	

レジスタ略称	リセット	高速／中速	ウォッチ	スリープ	サブアクティブ	サブスリープ	モジュールストップ	ソフトウェアスタンバイ	ハードウェアスタンバイ	モジュール
ICDR_0	初期化	—	—	—	—	—	—	—	初期化	IIC_0
SARX_0	初期化	—	—	—	—	—	—	—	初期化	
ICMR_0	初期化	—	—	—	—	—	—	—	初期化	
SAR_0	初期化	—	—	—	—	—	—	—	初期化	
ADDRAH	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	A/D 変換器
ADDRAL	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADDRBH	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADDRBL	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADDRCH	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADDRCL	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADDRDH	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADDRDL	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADCSR	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
ADCR	初期化	—	初期化	—	初期化	初期化	初期化	初期化	初期化	
TCSR_1	初期化	—	—	—	—	—	—	—	初期化	WDT_1
TCNT_1	初期化	—	—	—	—	—	—	—	初期化	
KMIMR6	初期化	—	—	—	—	—	—	—	初期化	INT
KMPCR6	初期化	—	—	—	—	—	—	—	初期化	PORT
KMIMRA	初期化	—	—	—	—	—	—	—	初期化	INT
WUEMR3	初期化	—	—	—	—	—	—	—	初期化	
TCR_X	初期化	—	—	—	—	—	—	—	初期化	TMR_Y、
TCR_Y	初期化	—	—	—	—	—	—	—	初期化	TMR_X
TCSR_X	初期化	—	—	—	—	—	—	—	初期化	
TCSR_Y	初期化	—	—	—	—	—	—	—	初期化	
TICRR	初期化	—	—	—	—	—	—	—	初期化	
TCORA_Y	初期化	—	—	—	—	—	—	—	初期化	
TICRF	初期化	—	—	—	—	—	—	—	初期化	
TCORB_Y	初期化	—	—	—	—	—	—	—	初期化	
TCNT_X	初期化	—	—	—	—	—	—	—	初期化	
TCNT_Y	初期化	—	—	—	—	—	—	—	初期化	
TCORC	初期化	—	—	—	—	—	—	—	初期化	
TISR	初期化	—	—	—	—	—	—	—	初期化	
TCORA_X	初期化	—	—	—	—	—	—	—	初期化	
TCORB_X	初期化	—	—	—	—	—	—	—	初期化	

レジスタ略称	リセット	高速／中速	ウォッチ	スリープ	サブアクティブ	サブスリープ	モジュールストップ	ソフトウェアスタンバイ	ハードウェアスタンバイ	モジュール
DADR0	初期化	—	—	—	—	—	—	—	初期化	D/A 変換器
DADR1	初期化	—	—	—	—	—	—	—	初期化	
DACR	初期化	—	—	—	—	—	—	—	初期化	
TCONRI	初期化	—	—	—	—	—	—	—	初期化	タイマ
TCONRO	初期化	—	—	—	—	—	—	—	初期化	コネク
TCONRS	初期化	—	—	—	—	—	—	—	初期化	ション
SEDGR	初期化	—	—	—	—	—	—	—	初期化	

【注】 *1 ファンクションソフトリセットにより初期化されます。

*2 FLER ビットは初期化されません。

*3 FLMCR1 の SWE ビットが 0 のとき初期化されます。

29. 電気的特性

29.1 絶対最大定格

絶対最大定格を表 29.1 に示します。

表 29.1 絶対最大定格

項　目	記号	定格値	単位
電源電圧*	V_{CC}	- 0.3～+4.3	V
電源電圧（VCL 端子）	V_{CL}	- 0.3～+4.3	
入力電圧（ポート 6、7 以外）	V_{in}	- 0.3～V_{CC} + 0.3	
入力電圧（ポート 6 で CIN 入力非選択時）	V_{in}	- 0.3～V_{CC} + 0.3	
入力電圧（ポート 6 で CIN 入力選択時）	V_{in}	- 0.3～V_{CC} + 0.3 と -0.3～AV_{CC} + 0.3 のいずれか低い電圧	
入力電圧（ポート 7）	V_{in}	- 0.3～AV_{CC} + 0.3	
リファレンス電源電圧	AV_{ref}	- 0.3～AV_{CC} + 0.3	
アナログ電源電圧／バスドライバ電源電圧	AV_{CC}/DrV_{CC}	- 0.3～+4.3	
アナログ入力電圧	V_{AN}	- 0.3～AV_{CC} + 0.3	
動作温度	T_{opr}	- 20～+75	℃
動作温度（FLASH メモリ書き込み／消去時）	T_{opr}	- 20～+75	
保存温度	T_{stg}	- 55～+125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

印加電圧が 4.3V を超えないように注意してください。

【注】 * VCC 端子への印加電圧です。

VCC 端子と VCL 端子は、ともに V_{CC} 電源に接続して使用してください。

29.2 DC 特性

DC 特性を**表** 29.2 に示します。また、出力許容電流値、I²C バス駆動特性、USB 端子特性、マルチメディアカードインタフェース端子特性を**表** 29.3、**表** 29.4、**表** 29.5、**表** 29.6 に示します。

表 29.2 DC **特性（1）**

条件：V_{CC}＝2.7V～3.6V*1、AV_{CC}*2＝2.7V～3.6V、AV_{ref}*2＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}*2＝0V

項 目			記号	min	typ	max	単位	測定条件
シュミット	P67～P60 (KWUL＝00)*3*4、	(1)	V_T^-	V_{CC}×0.2	—	—	V	
トリガ入力電圧	$\overline{IRQ7}$～$\overline{IRQ0}$*3、$\overline{IRQ15}$～$\overline{IRQ8}$		V_T^+	—	—	V_{CC}×0.7		
	$\overline{KIN9}$、$\overline{KIN8}$、$\overline{WUE15}$～$\overline{WUE8}$		$V_T^+ - V_T^-$	V_{CC}×0.05	—	—		
シュミット	P67～P60 (KWUL＝01)		V_T^-	V_{CC}×0.3	—	—		
トリガ入力電圧			V_T^+	—	—	V_{CC}×0.7		
(レベル切換時) *4			$V_T^+ - V_T^-$	V_{CC}×0.05	—	—		
	P67～P60 (KWUL＝10)		V_T^-	V_{CC}×0.4	—	—		
			V_T^+	—	—	V_{CC}×0.8		
			$V_T^+ - V_T^-$	V_{CC}×0.03	—	—		
	P67～P60 (KWUL＝11)		V_T^-	V_{CC}×0.45	—	—		
			V_T^+	—	—	V_{CC}×0.9		
			$V_T^+ - V_T^-$	0.05	—	—		
入力 High	$\overline{RES}$、$\overline{STBY}$、NMI、	(2)	V_{IH}	V_{CC}×0.9	—	V_{CC} + 0.3		
レベル電圧	$\overline{MD2}$、MD1、MD0、FWE							
	EXTAL			V_{CC}×0.7	—	V_{CC} + 0.3		
	ポート 7			V_{CC}×0.7	—	AV_{CC} + 0.3		
	上記(1)(2)以外、および IIC、USB、MCIF 使用時の対象以外の入力端子			V_{CC}×0.7	—	V_{CC} + 0.3		
入力 Low	$\overline{RES}$、$\overline{STBY}$、$\overline{MD2}$、MD1、MD0、FWE	(3)	V_{IL}	- 0.3	—	V_{CC}×0.1		
レベル電圧	NMI、EXTAL ほか、上記(1)(3)以外、および IIC、USB、MCIF 使用時の対象以外の入力端子			- 0.3	—	V_{CC}×0.2		

項 目		記号	min	typ	max	単位	測定条件
出力 High レベル電圧	全出力端子 (ポート 8、および USB、MCIF 使用時の対象出力端子を除く *5)*6	V_{OH}	V_{CC} - 0.5	—	—	V	I_{OH} = - 200 µA
			V_{CC} - 1.0	—	—		I_{OH} = - 1mA
	ポート 8*5		0.5	—	—		I_{OH} = - 200 µA
出力 Low レベル電圧	全出力端子(RESO、および IIC、USB、MCIF 使用時の対象出力端子を除く)*6	V_{OL}	—	—	0.4		I_{OL}=1.6mA
	ポート 1、2、3		—	—	1.0		I_{OL}=5mA
	RESO		—	—	0.4		I_{OL}=1.6mA

表 29.2 DC 特性 (2)

条件：V_{CC}=2.7V～3.6V*1、AV_{CC}*2=2.7V～3.6V、AV_{ref}*2=2.7V～AV_{CC}、V_{SS}=AV_{SS}*2=0V

項 目			記号	min	typ	max	単位	測定条件
入力リーク電流	RES		| I_{in} |	—	—	10.0	µA	V_{in}=0.5～V_{CC} - 0.5V
	STBY、NMI、MD2、MD1、MD0、FWE			—	—	1.0		
	ポート 7			—	—	1.0		V_{in}=0.5～AV_{CC} - 0.5V
スリーステートリーク電流（オフ状態）	ポート 1～6 ポート 8、9、A		| I_{TSI} |	—	—	1.0		V_{in}=0.5～V_{CC} - 0.5V
入力プルアップ MOS 電流	ポート 1～3		- I_p	5	—	150		V_{in}=0V
	ポート 6（P6PUE=0）、A			30	—	300		
	ポート 6（P6PUE=1）			3	—	100		
入力容量	RES	(4)	C_{in}	—	—	80	pF	V_{in}=0V f=1MHz T_a=25℃
	NMI			—	—	50		
	P80～P83			—	—	20		
	上記(4)以外の入力端子			—	—	15		

項　目		記号	min	typ	max	単位	測定条件
消費電流*7	通常動作時	I_{CC}	—	105	135	mA	V_{CC}=3.0V～3.6V
			—	80	115		V_{CC}=2.7V～3.6V f=20MHz、全モジュール動作時、高速モード
			—	50	75		V_{CC}=2.7V～3.6V f=12MHz、全モジュール動作時、高速モード
	スリープ時		—	75	100		V_{CC}=3.0V～3.6V f=25MHz
			—	60	85		V_{CC}=2.7V～3.6V f=20MHz
			—	35	60		V_{CC}=2.7V～3.6V f=12MHz
	スタンバイ時*8		—	0.1	5.0	μA	T_a≦50℃
			—	—	20.0		50℃<T_a
アナログ電源電流	A/D、D/A 変換中	AI_{CC}	—	1.2	2.0	mA	
	A/D、D/A 変換待機時		—	0.01	5.0	μA	AV_{CC}=2.0V～3.6V*2
リファレンス電源電流	A/D 変換中	AI_{ref}	—	0.5	1.0	mA	
	A/D、D/A 変換中		—	2.0	5.0		
	A/D、D/A 変換待機時		—	0.01	5.0	μA	AV_{ref}=2.0V～AV_{CC}*2

表 29.2　DC 特性（3）

条件：V_{CC}=2.7V～3.6V*1、AV_{CC}*2=2.7V～3.6V、AV_{ref}*2=2.7V～AV_{CC}、V_{SS}=AV_{SS}*2=0V

項　目	記号	min	typ	max	単位	測定条件
アナログ電源電圧*1	AV_{CC}	2.7	—	3.6	V	動作時
		2.0	—	3.6		待機時、非使用時
RAM スタンバイ電圧	V_{RAM}	2.0	—	—		

【注】　*1　フラッシュメモリへの書き込み／消去動作は、V_{CC}=3.0V～3.6V の範囲としてください。

*2　A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref、AVSS 端子は開放しないでください。
A/D 変換器、D/A 変換器を使用しない場合でも、AVCC、AVref 端子は電源（V_{CC}）に接続し、2.0V～3.6V の範囲の電圧を印加してください。このとき、AV_{ref}≦AV_{CC}としてください。

*3　兼用の周辺機能入力端子を含みます。

*4　ポート 6 の印加電圧の上限は、CIN 入力非選択時は V_{CC}+0.3V、CIN 入力選択時は V_{CC}+0.3V と AV_{CC}+0.3V のいずれか低い電圧です。該当端子が出力モードの場合、出力電圧が印加電圧に相当します。

*5　P80/$\overline{\text{ExIRQ8}}$/SCL0、P81/$\overline{\text{ExIRQ9}}$/SDA0、P82/$\overline{\text{ExIRQ10}}$/SCL1、P83/$\overline{\text{ExIRQ11}}$/SDA1 は、NMOS プッシュプル出力です。
SCL0、SCL1、SDA0、SDA1(ICCR の ICE=1) から High レベルを出力するためには、プルアップ抵抗を外付けする必要があります。

P80～P83、P87、および P84/SCK0、P85/SCK1、P86/SCK2（ICCR の ICE=0）の High レベルは、NMOS で駆動されます。出力として使用する場合は、High レベルを出力するためプルアップ抵抗を外付けする必要があります。

*6 ICCR の ICE=0 の場合です。バス駆動機能を選択した場合の Low レベル出力は別に定めます。

*7 消費電流値は V_{IH} min＝V_{CC} - 0.2V、V_{IL} max＝0.2V の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*8 $V_{RAM} \leqq V_{CC} < 2.7V$ のとき、V_{IH} min＝V_{CC} - 0.2V、V_{IL} max＝0.2V とした場合です。

表 29.3 出力許容電流値

条件：V_{CC}＝2.7V～3.6V、V_{SS}＝ 0V

項 目		記号	min	typ	max	単位
出力 Low レベル許容電流（1 端子あたり）	SCL1、SCL0、SDA1、SDA0	I_{OL}	—	—	10	mA
	ポート 1、2、3		—	—	2	
	$\overline{RESO}$		—	—	1	
	上記以外の出力端子		—	—	1	
出力 Low レベル許容電流（総和）	ポート 1、2、3 の総和	ΣI_{OL}	—	—	40	
	上記を含む、全出力端子の総和		—	—	60	
出力 High レベル許容電流（1 端子あたり）	全出力端子	$-I_{OH}$	—	—	2	
出力 High レベル許容電流（総和）	全出力端子の総和	$\Sigma -I_{OH}$	—	—	30	

【注】 1. LSI の信頼性を確保するため、出力電流値は表 29.3 の値を超えないようにしてください。

2. ダーリントントランジスタや、LED を直接駆動する場合には、図 29.1、図 29.2 に示すように出力に必ず電流制限抵抗を挿入してください。

表 29.4 I^2C バス駆動特性

条件：V_{CC}＝2.7V～3.6V、V_{SS}＝0V

対象端子：SCL1、SCL0、SDA1、SDA0（バス駆動機能選択）

項 目	記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	V_T^-	V_{CC}×0.3	—	—	V	
	V_T^+	—	—	V_{CC}×0.7		
	$V_T^+ - V_T^-$	V_{CC}×0.05	—	—		
入力 High レベル電圧	V_{IH}	V_{CC}×0.7	—	V_{CC} + 0.5		
入力 Low レベル電圧	V_{IL}	- 0.5	—	V_{CC}×0.3		
出力 Low レベル電圧	V_{OL}	—	—	0.5		I_{OL}＝8mA
		—	—	0.4		I_{OL}＝3mA
入力容量	C_{in}	—	—	20	pF	V_{in}＝0V、f＝1MHz、T_a＝25℃
スリーステートリーク電流（オフ状態）	$\lvert I_{TSI} \rvert$	—	—	1.0	μA	V_{in}＝0.5～V_{CC} - 0.5V

表 29.5 USB 端子特性

条件：V_{CC}＝3.3V±0.3V、DrV_{CC}＝3.3V±0.3V、DrV_{SS}＝V_{SS}＝0V

対象端子：ドライバ／レシーバ入出力（USDP、USDM）、USEXCL

項　目		記号	min	typ	max	単位	測定条件
差動入力感度		V_{DI}	0.2	—	—	V	|(D+)−(D-)|
差動コモンモードレンジ		V_{CM}	0.8	—	2.5		V_{DI} 含む
入力 High	USEXCL	V_{IH}	V_{CC}×0.7	—	—		
レベル電圧	ドライバ／レシーバ		2.0	—	DrV_{CC} + 0.3		
入力 Low	USEXCL	V_{IL}	- 0.3	—	V_{CC}×0.2		
レベル電圧	ドライバ／レシーバ		- 0.3	—	0.8		
出力 High レベル電圧	ドライバ／レシーバ	V_{OH}	2.8	—	3.6		端子—GND 間に RL＝15kΩ接続
出力 Low レベル電圧	ドライバ／レシーバ	V_{OL}	0.0	—	0.3		端子—電源間に RL＝1.5kΩ接続
出力抵抗		Z_{DRV}	28	—	44	Ω	
入出力端子容量		C_{IN}	—	—	15	pF	端子—GND 間
スリーステートリーク電流		I_{LO}	—	—	1.0	μA	0.5V＜V_{in}＜DrV_{CC} -0.5V
DrV_{CC}	通常動作時	DI_{CC}	—	5	10	mA	
消費電流	スタンバイ時		—	0.2	5.0	μA	

表 29.6 マルチメディアカードインタフェース端子特性

条件：V_{CC}＝2.7V～3.6V、V_{SS}＝0V、φ＝5MHz～20MHz

対象端子：MCCLK、MCCSA、MCCSB、MCCMD、MCDAT、MCTxD、MCRxD、MCCMDDIR、MCDATDIR、ExMCCLK、ExMCCSA、ExMCCSB、ExMCCMD、ExMCDAT、ExMCTxD、ExMCRxD、ExMCCMDDIR、ExMCDATDIR

項目	記号	min	typ	max	単位
入力 High レベル電圧	V_{IH}	V_{CC}×0.625	−	−	V
入力 Low レベル電圧	V_{IL}	−	−	V_{CC}×0.25	
出力 High レベル電圧	V_{OH}	V_{CC}×0.75	−	−	
出力 Low レベル電圧	V_{OL}	−	−	V_{CC}×0.125	

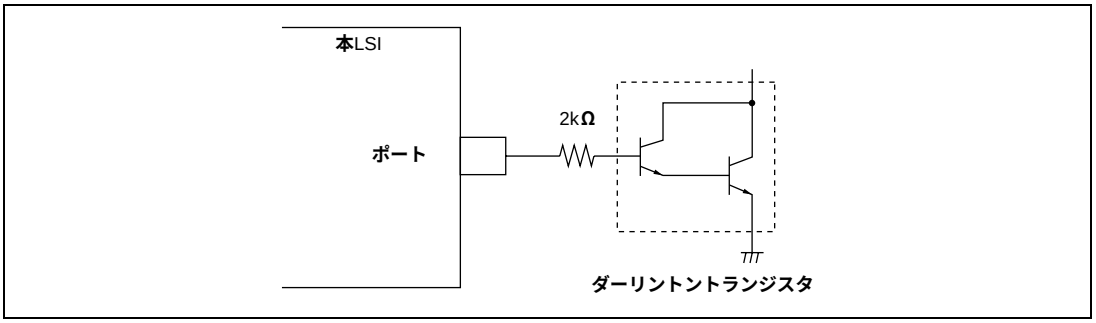


図 29.1 ダーリントントランジスタ駆動回路例

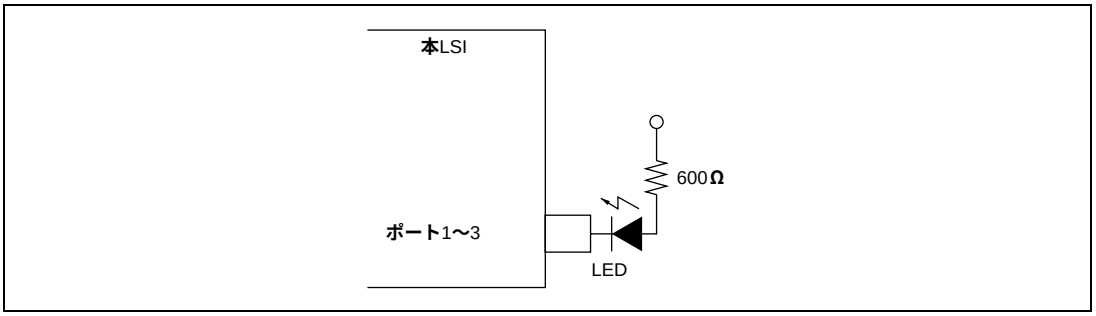


図 29.2 LED 駆動回路例

29.3 AC 特性

図 29.3 に AC 特性測定条件を示します。

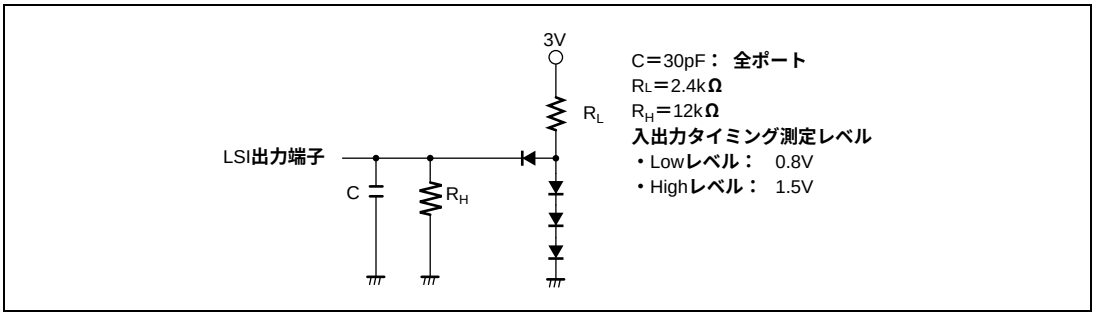


図 29.3 出力負荷回路

29.3.1 クロックタイミング

表 29.7 にクロックタイミングを示します。ここで規定するクロックタイミングは、クロック出力（φ）と、クロック発振器（水晶）と外部クロック入力（EXTAL 端子）の発振安定時間です。外部クロック入力（EXTAL 端子および EXCL 端子）タイミングの詳細については、**「第 26 章 クロック発振器」**を参照してください。

表 29.7 クロックタイミング

条件 A：V_{CC}＝3.0V～3.6V、V_{SS}＝0V、φ＝5MHz～25MHz

条件 B：V_{CC}＝2.7V～3.6V、V_{SS}＝0V、φ＝5MHz～20MHz

項 目	記号	条件 A		条件 B		単位	参照図
		min	max	min	max		
クロックサイクル時間	t_{cyc}	40	200	50	200	ns	図 29.4
クロック High レベルパルス幅	t_{CH}	15	—	20	—		
クロック Low レベルパルス幅	t_{CL}	15	—	20	—		
クロック立ち上がり時間	t_{Cr}	—	5	—	5		
クロック立ち下がり時間	t_{Cf}	—	5	—	5		
リセット発振安定時間（水晶）	t_{OSC1}	10	—	10	—	ms	図 29.5
ソフトウェアスタンバイ発振安定時間（水晶）	t_{OSC2}	8	—	8	—		図 29.6
外部クロック出力安定遅延時間	t_{DEXT}	500	—	500	—	μs	図 26.5

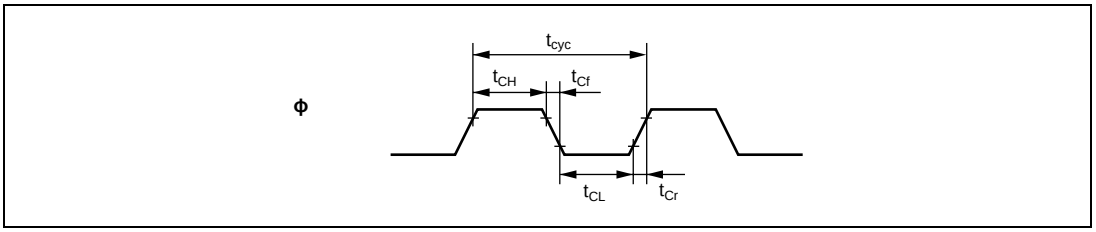


図 29.4　システムクロックタイミング

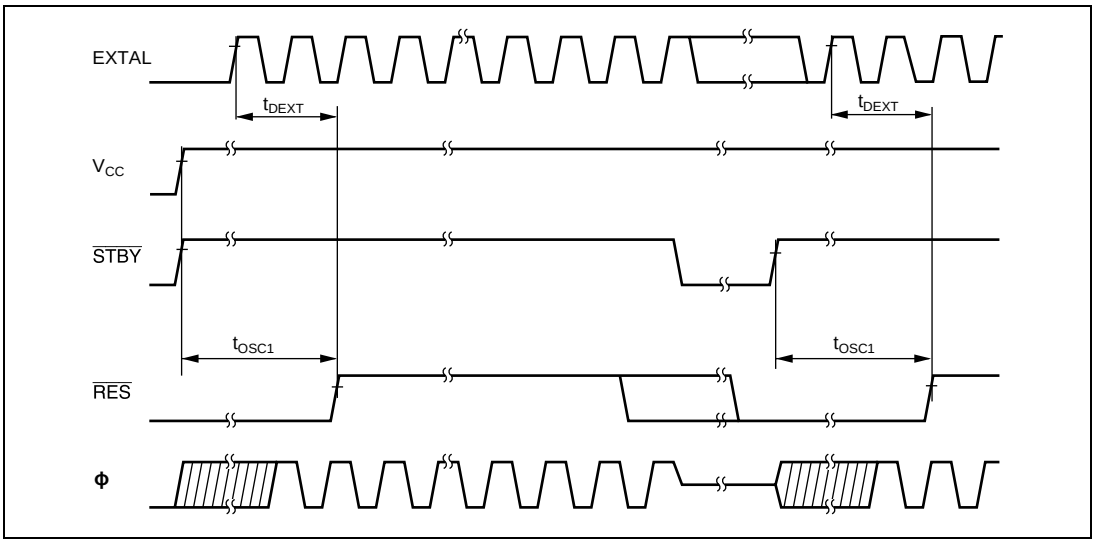


図 29.5　発振安定時間タイミング

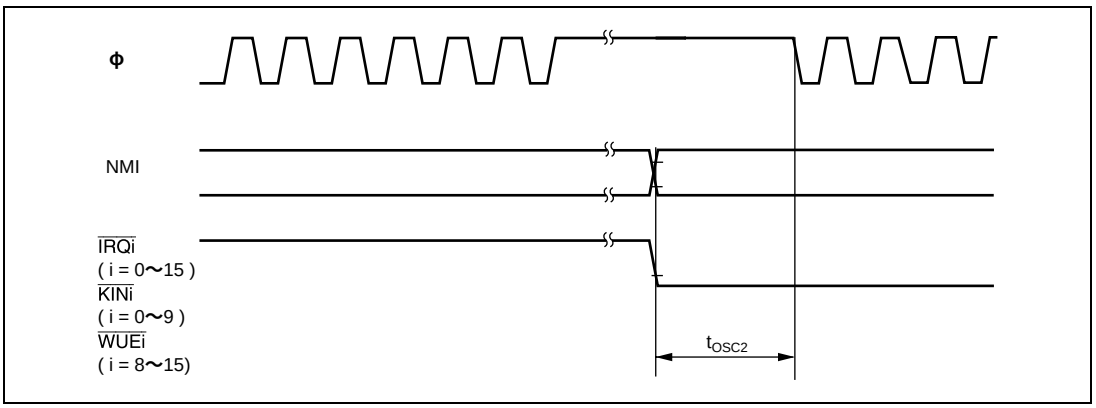


図 29.6　発振安定時間タイミング（ソフトウェアスタンバイからの復帰）

29.3.2 制御信号タイミング

表 29.8 に制御信号タイミングを示します。サブクロック（φ＝32.768kHz）で動作可能な外部割り込みは、NMI、IRQ0～IRQ15、KIN0～KIN9、WUE8～WUE15 のみです。

表 29.8 制御信号タイミング

条件 A：V_{CC}＝3.0V～3.6V、V_{SS}＝0V、**φ**＝5MHz～25MHz

条件 B：V_{CC}＝2.7V～3.6V、V_{SS}＝0V、**φ**＝5MHz～20MHz

項 目	記号	条件 A		条件 B		単位	測定条件
		min	max	min	max		
$\overline{\text{RES}}$ セットアップ時間	t_{RESS}	200	—	200	—	ns	図 29.7
$\overline{\text{RES}}$ パルス幅	t_{RESW}	20	—	20	—	t_{cyc}	
NMI セットアップ時間	t_{NMIS}	150	—	150	—	ns	図 29.8
NMI ホールド時間	t_{NMIH}	10	—	10	—		
NMI パルス幅 （ソフトウェアスタンバイモードからの復帰時）	t_{NMIW}	200	—	200	—		
IRQ セットアップ時間 （$\overline{\text{IRQ15}}$～$\overline{\text{IRQ0}}$、$\overline{\text{KIN9}}$～$\overline{\text{KIN0}}$、$\overline{\text{WUE15}}$～$\overline{\text{WUE8}}$）	t_{IRQS}	150	—	150	—		
IRQ ホールド時間 （$\overline{\text{IRQ15}}$～$\overline{\text{IRQ0}}$、$\overline{\text{KIN9}}$～$\overline{\text{KIN0}}$、$\overline{\text{WUE15}}$～$\overline{\text{WUE8}}$）	t_{IRQH}	10	—	10	—		
IRQ パルス幅 （$\overline{\text{IRQ15}}$～$\overline{\text{IRQ0}}$、$\overline{\text{KIN9}}$～$\overline{\text{KIN0}}$、$\overline{\text{WUE15}}$～$\overline{\text{WUE8}}$） （ソフトウェアスタンバイモードからの復帰時）	t_{IRQW}	200	—	200	—		

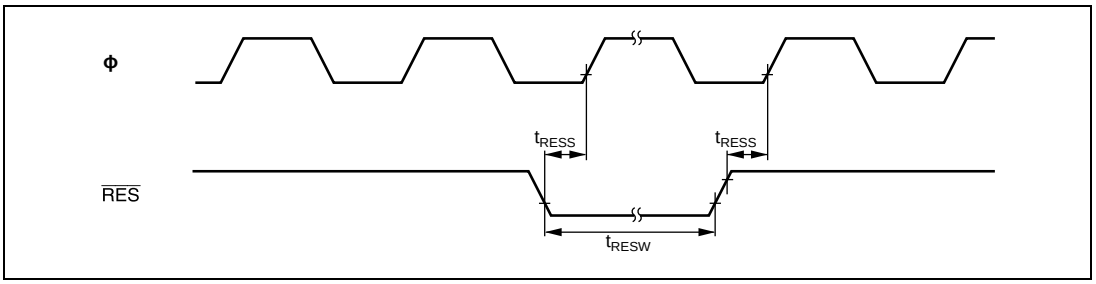


図 29.7 **リセット入力タイミング**

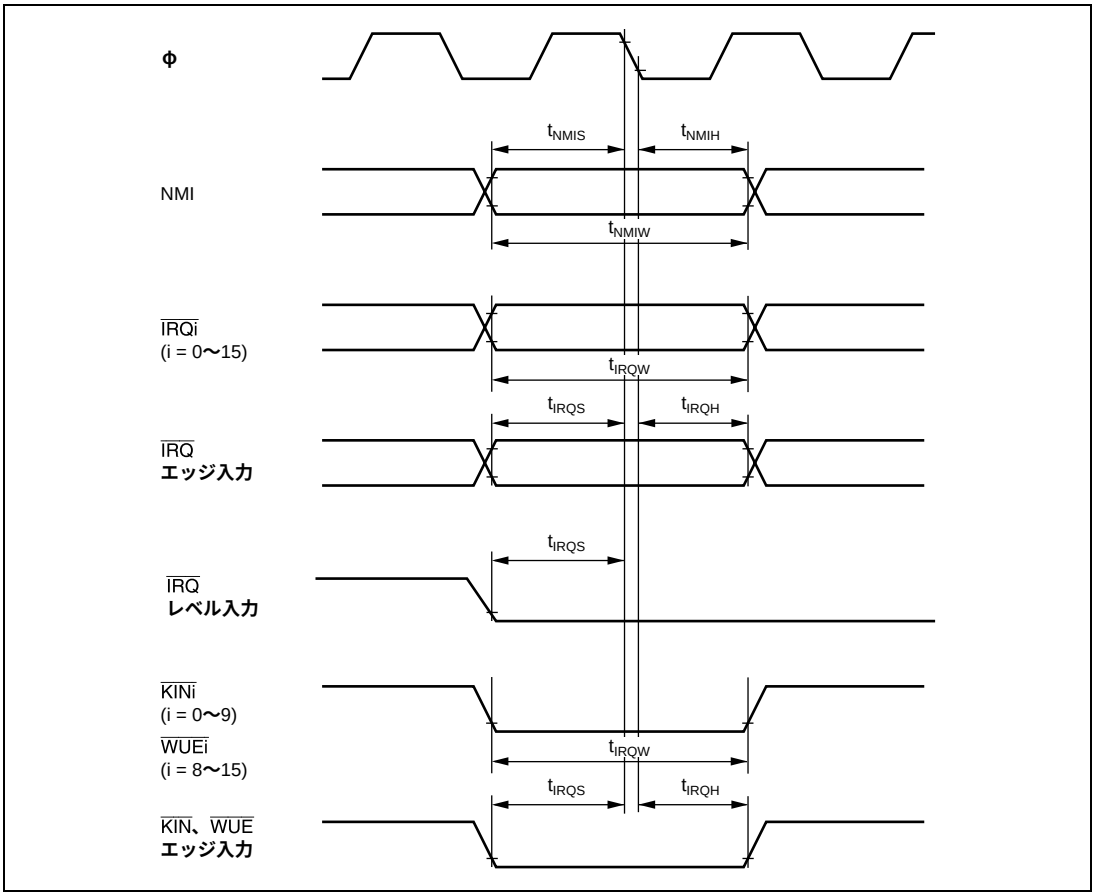


図 29.8　割り込み入力タイミング

29.3.3 バスタイミング

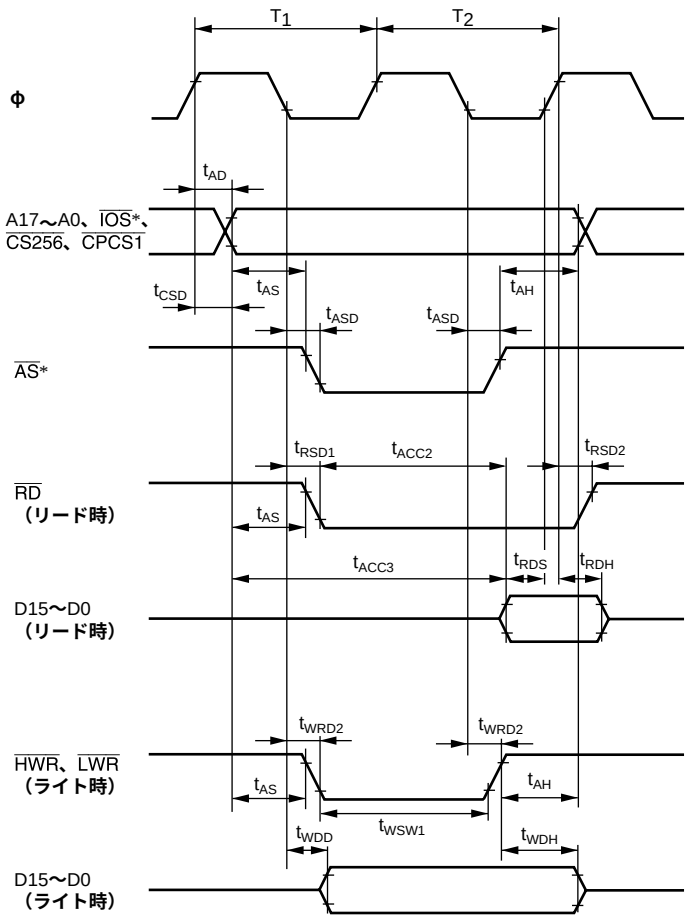
表 29.9 にバスタイミングを示します。サブクロック（φ＝32.768kHz）動作では、外部拡張モードの動作は保証されません。

表 29.9 **バスタイミング（ノーマルモード、アドバンストモード時）**

条件 A：V_{CC}＝3.0V～3.6V、V_{SS}＝0V、**φ**＝5MHz～25MHz

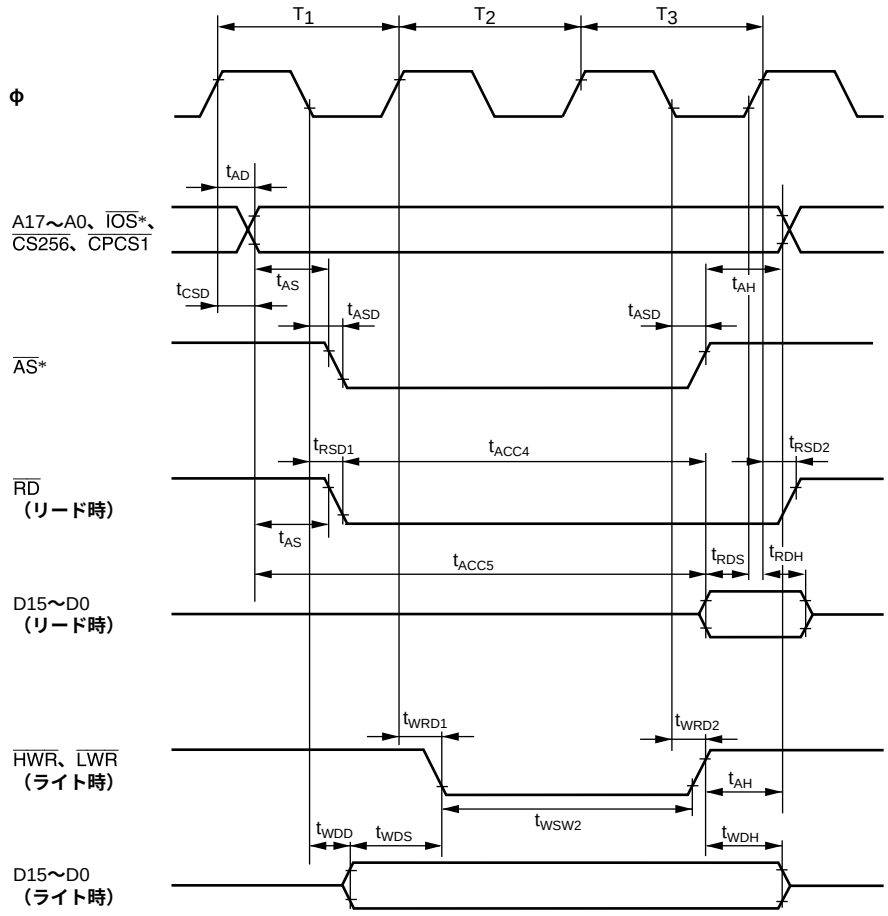
条件 B：V_{CC}＝2.7V～3.6V、V_{SS}＝0V、**φ**＝5MHz～20MHz

項　目	記号	条件 A		条件 B		単位	測定条件
		min	max	min	max		
アドレス遅延時間	t_{AD}	—	20	—	25	ns	図 29.9
アドレスセットアップ時間	t_{AS}	0.5×t_{cyc} - 15	—	0.5×t_{cyc} - 15	—		～
アドレスホールド時間	t_{AH}	0.5×t_{cyc} - 10	—	0.5×t_{cyc} - 10	—		図 29.14
$\overline{CS}$ 遅延時間 ($\overline{IOS}$、CS256、CPCS1、CPCS2)	t_{CSD}	—	15	—	15		
$\overline{AS}$ 遅延時間	t_{ASD}	—	15	—	15		
$\overline{RD}$ 遅延時間 1	t_{RSD1}	—	15	—	15		
$\overline{RD}$ 遅延時間 2	t_{RSD2}	—	15	—	15		
リードデータセットアップ時間	t_{RDS}	15	—	15	—		
リードデータホールド時間	t_{RDH}	0	—	0	—		
リードデータアクセス時間 1	t_{ACC1}	—	1.0×t_{cyc} - 30	—	1.0×t_{cyc} - 35		
リードデータアクセス時間 2	t_{ACC2}	—	1.5×t_{cyc} - 25	—	1.5×t_{cyc} - 30		
リードデータアクセス時間 3	t_{ACC3}	—	2.0×t_{cyc} - 30	—	2.0×t_{cyc} - 35		
リードデータアクセス時間 4	t_{ACC4}	—	2.5×t_{cyc} - 25	—	2.5×t_{cyc} - 30		
リードデータアクセス時間 5	t_{ACC5}	—	3.0×t_{cyc} - 30	—	3.0×t_{cyc} - 35		
$\overline{WR}$ 遅延時間 1	t_{WRD1}	—	15	—	15		図 29.9
$\overline{WR}$ 遅延時間 2	t_{WRD2}	—	15	—	15		～
$\overline{WR}$ パルス幅 1	t_{WSW1}	1.0×t_{cyc} - 20	—	1.0×t_{cyc} - 20	—		図 29.14
$\overline{WR}$ パルス幅 2	t_{WSW2}	1.5×t_{cyc} - 20	—	1.5×t_{cyc} - 20	—		
ライトデータ遅延時間	t_{WDD}	—	30	—	35		
ライトデータセットアップ時間	t_{WDS}	0	—	0	—		
ライトデータホールド時間	t_{WDH}	10	—	10	—		
$\overline{WAIT}$ セットアップ時間	t_{WTS}	25	—	25	—		
$\overline{WAIT}$ ホールド時間	t_{WTH}	5	—	5	—		



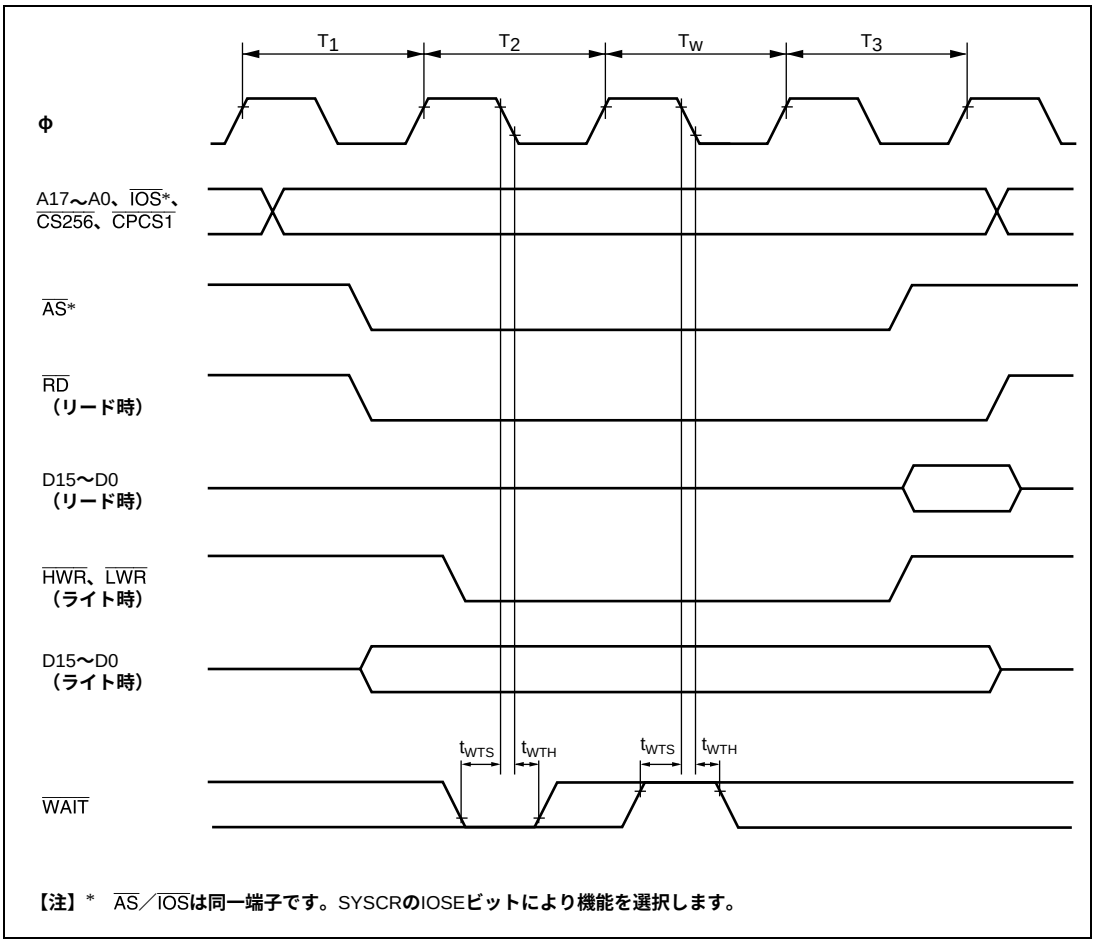
【注】* AS／IOSは同一端子です。SYSCRのIOSEビットにより機能を選択します。

図 29.9 基本バスタイミング／2 ステートアクセス



【注】* AS／IOSは同一端子です。SYSCRのIOSEビットにより機能を選択します。

図 29.10 基本バスタイミング／3 ステートアクセス



【注】* AS／IOSは同一端子です。SYSCRのIOSEビットにより機能を選択します。

図 29.11 基本バスタイミング／3 ステートアクセス 1 ウェイト

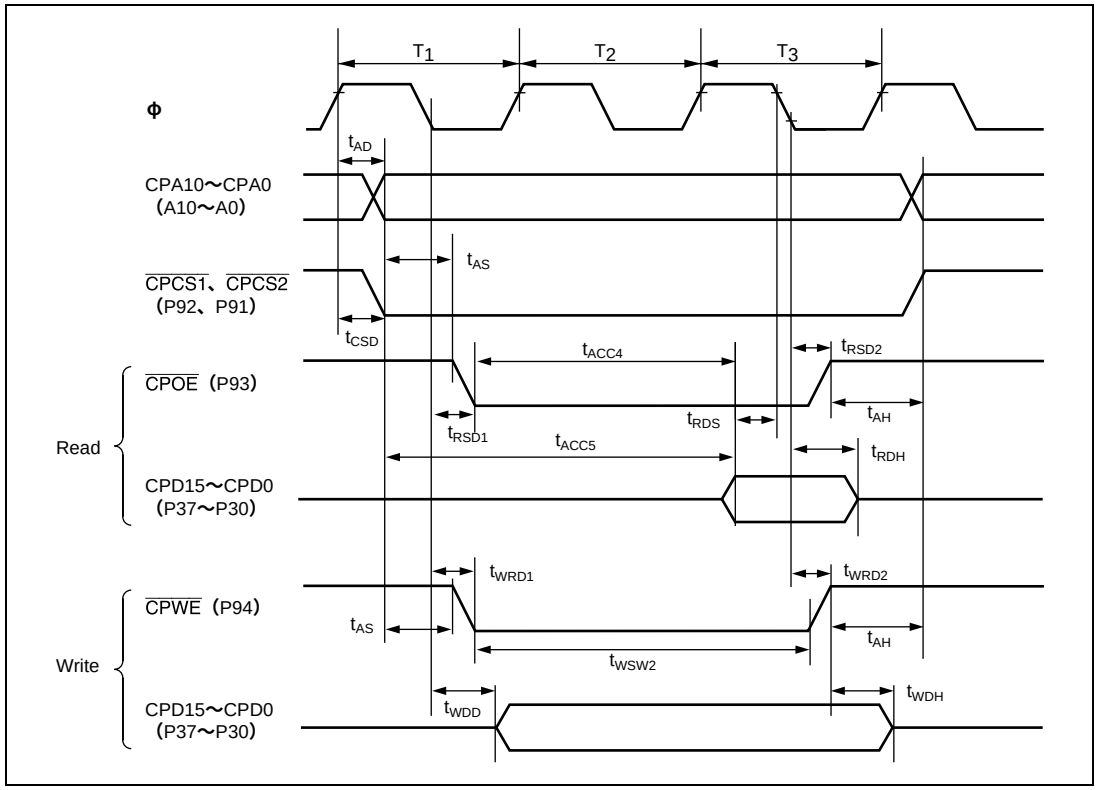
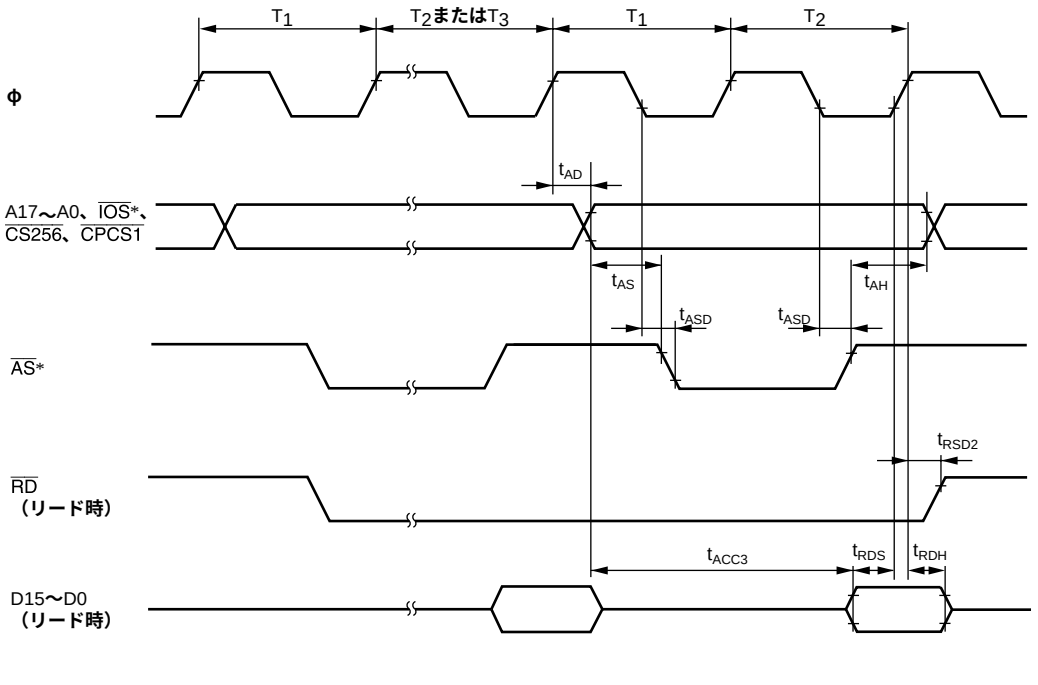
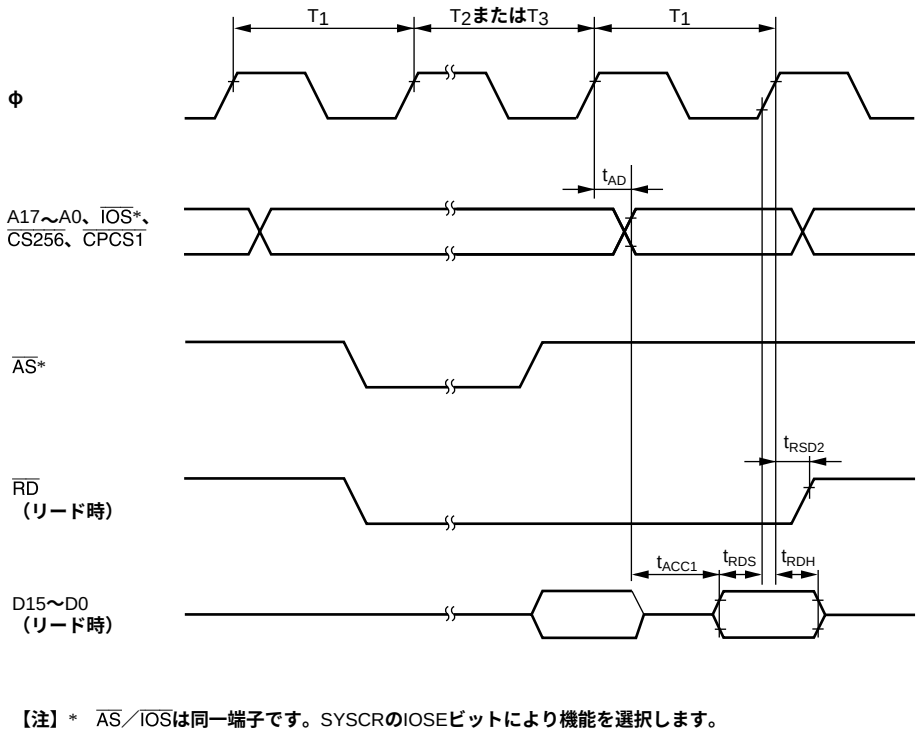


図 29.12　CF **インタフェース基本タイミング／3 ステートアクセス**



【注】* AS／IOSは同一端子です。SYSCRのIOSEビットにより機能を選択します。

図 29.13 **バースト** ROM **アクセスタイミング／**2 **ステートアクセス**



【注】* AS／IOSは同一端子です。SYSCRのIOSEビットにより機能を選択します。

図 29.14 バースト ROM アクセスタイミング／1 ステートアクセス

29.3.4 内蔵周辺モジュールタイミング

表 29.10**〜表** 29.14 に内蔵周辺モジュールタイミングを示します。サブクロック動作時（φ＝32.768kHz）に動作可能な内蔵周辺モジュールは、I/O ポート、外部割り込み（NMI、IRQ15〜IRQ0、KIN9〜KIN0、WUE15〜WUE8）、ウォッチドッグタイマ、8 ビットタイマ（チャネル 0、1）のみです。

表 29.10 **内蔵周辺モジュールタイミング**

条件 A：V_{CC}＝3.0V〜3.6V、V_{SS}＝0V、**φ**＝32.768kHz*、**φ**＝5MHz〜25MHz
条件 B：V_{CC}＝2.7V〜3.6V、V_{SS}＝0V、**φ**＝32.768kHz*、**φ**＝5MHz〜20MHz

項目		記号	条件 A		条件 B		単位	測定条件
			min	max	min	max		
I/O ポート	出力データ遅延時間	t_{PWD}	—	40	—	50	ns	図 29.15
	入力データセットアップ時間	t_{PRS}	30	—	40	—		
	入力データデータホールド時間	t_{PRH}	30	—	40	—		
FRT	タイマ出力遅延時間	t_{FTOD}	—	40	—	50		図 29.16
	タイマ入力セットアップ時間	t_{FTIS}	30	—	40	—		
	タイマクロック入力セットアップ時間	t_{FTCS}	30	—	40	—		図 29.17
	タイマクロックパルス幅 単エッジ指定	t_{FTCWH}	1.5	—	1.5	—	t_{cyc}	
	タイマクロックパルス幅 両エッジ指定	t_{FTCWL}	2.5	—	2.5	—		
TMR	タイマ出力遅延時間	t_{TMOD}	—	40	—	50	ns	図 29.18
	タイマリセット入力セットアップ時間	t_{TMRS}	30	—	40	—		図 29.20
	タイマクロック入力セットアップ時間	t_{TMCS}	30	—	40	—		図 29.19
	タイマクロックパルス幅 単エッジ指定	t_{TMCWH}	1.5	—	1.5	—	t_{cyc}	
	タイマクロックパルス幅 両エッジ指定	t_{TMCWL}	2.5	—	2.5	—		
PWM、PWMX	パルス出力遅延時間	t_{PWOD}	—	40	—	50	ns	図 29.21
SCI	入力クロックサイクル 調歩同期	t_{Scyc}	4	—	4	—	t_{cyc}	図 29.22
	入力クロックサイクル クロック同期		6	—	6	—		
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間	t_{SCKr}	—	1.5	—	1.5	t_{cyc}	
	入力クロック立ち下がり時間	t_{SCKf}	—	1.5	—	1.5		
	送信データ遅延時間（クロック同期）	t_{TXD}	—	40	—	50	ns	図 29.23
	受信データセットアップ時間（クロック同期）	t_{RXS}	30	—	40	—		
	受信データホールド時間（クロック同期）	t_{RXH}	30	—	40	—		

項　目		記号	条件 A		条件 B		単位	測定条件
			min	max	min	max		
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	30	—	40	—	ns	図 29.24
WDT	$\overline{RESO}$ 出力遅延時間	t_{RESD}	—	200	—	200		図 29.25
	$\overline{RESO}$ 出力パルス幅	t_{RESOW}	132	—	132	—	t_{cyc}	

【注】 * サブクロック動作時に使用可能な内蔵周辺モジュールのみ

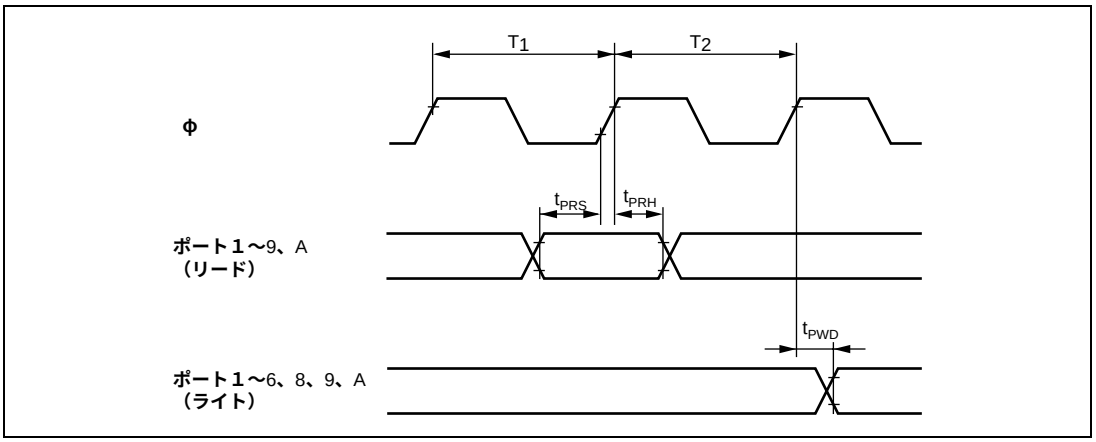


図 29.15　I/O ポート入出力タイミング

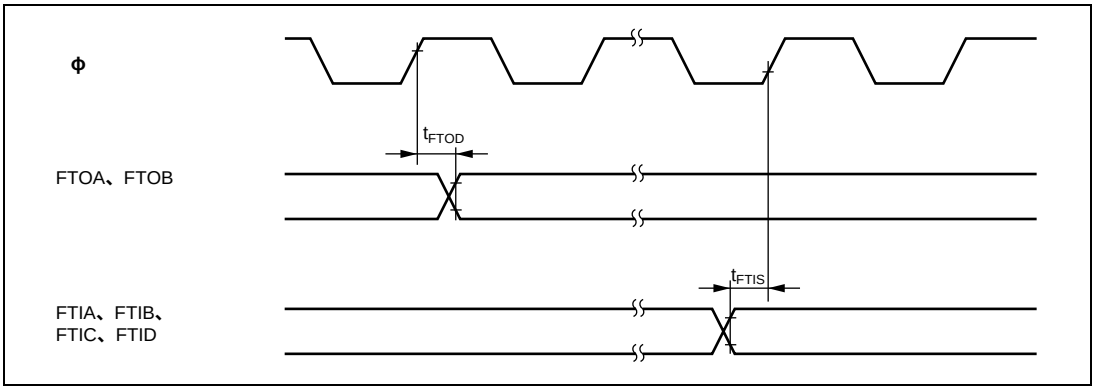


図 29.16　FRT 入出力タイミング

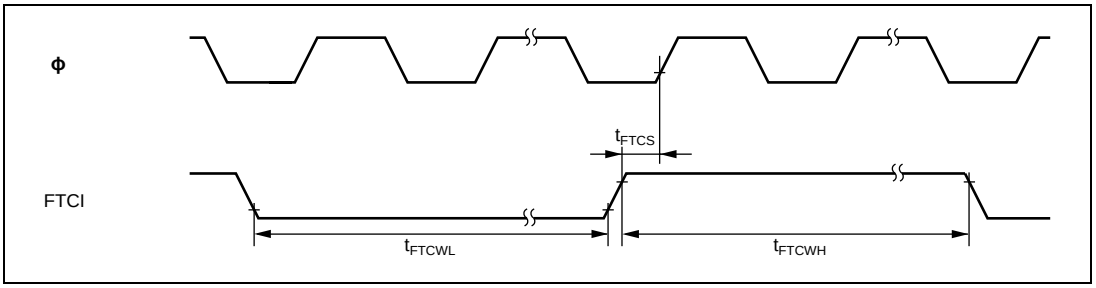


図 29.17　FRT **クロック入力タイミング**

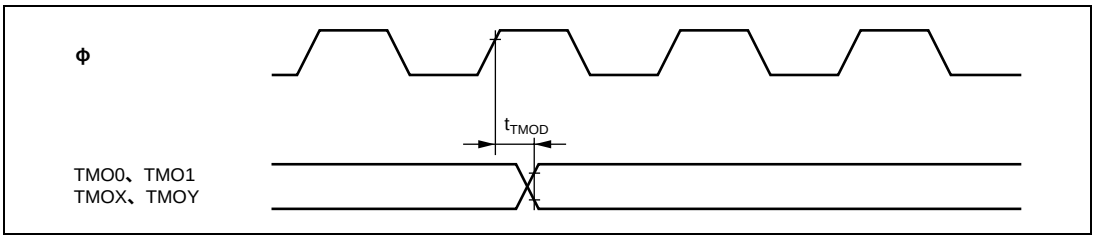


図 29.18　8 **ビットタイマ出力タイミング**

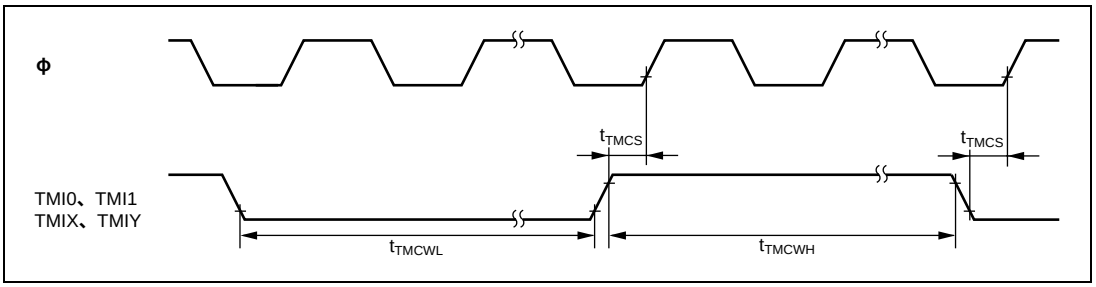


図 29.19　8 **ビットタイマクロック入力タイミング**

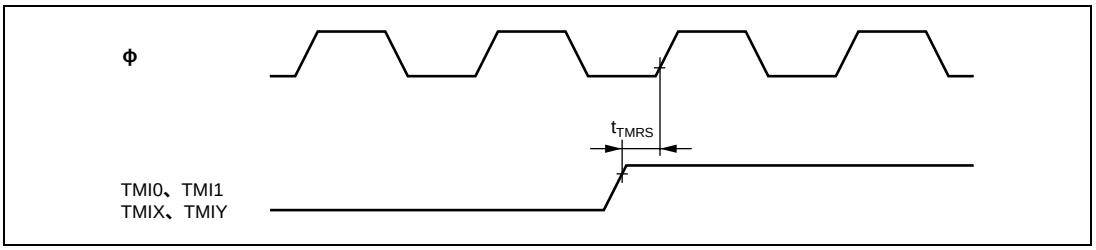


図 29.20　8 **ビットタイマリセット入力タイミング**

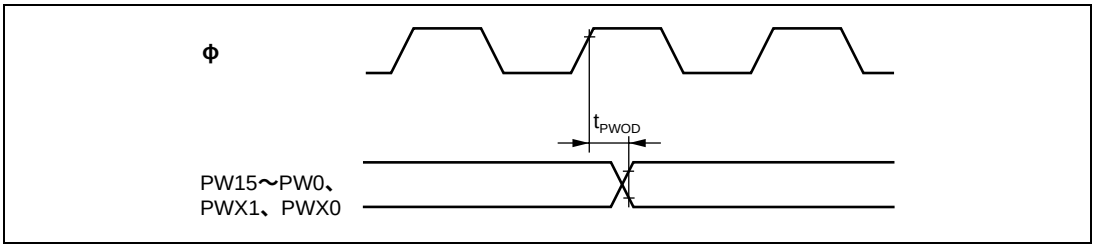


図 29.21　PWM、PWMX **出力タイミング**

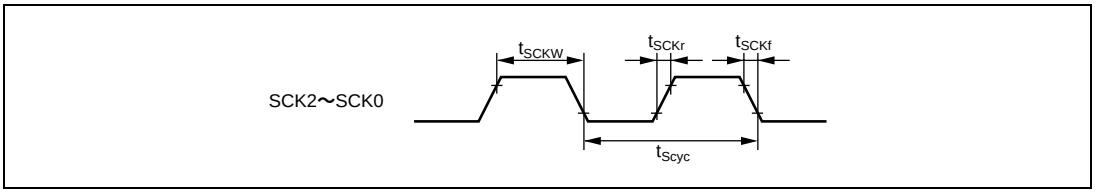


図 29.22　SCK **クロック入力タイミング**

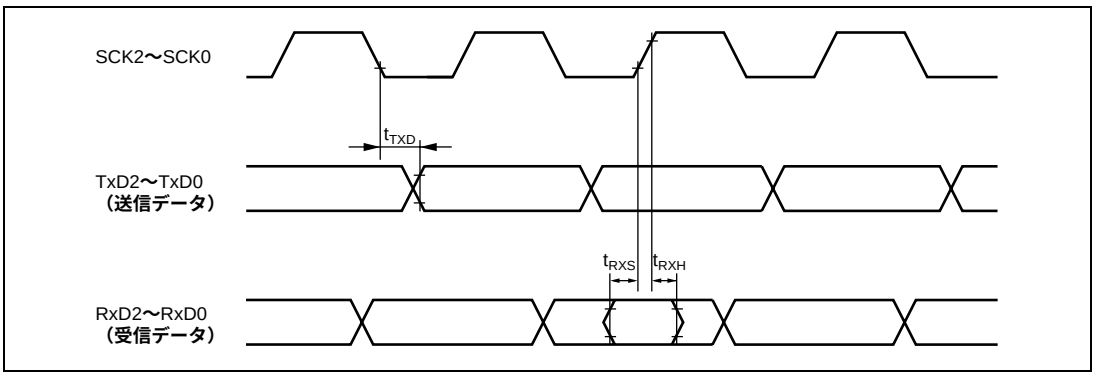


図 29.23　SCI **入出力タイミング／クロック同期式モード**

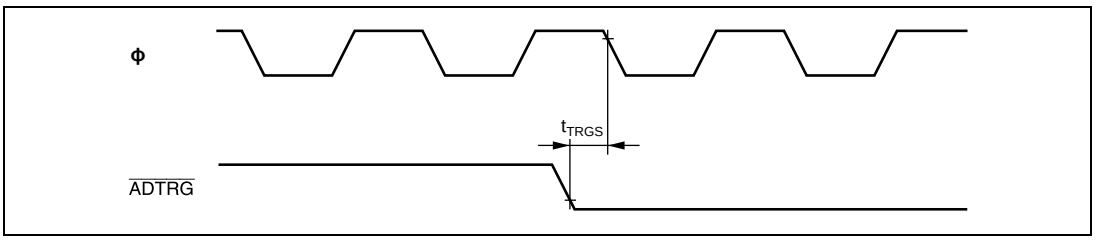


図 29.24　A/D **変換器外部トリガ入力タイミング**

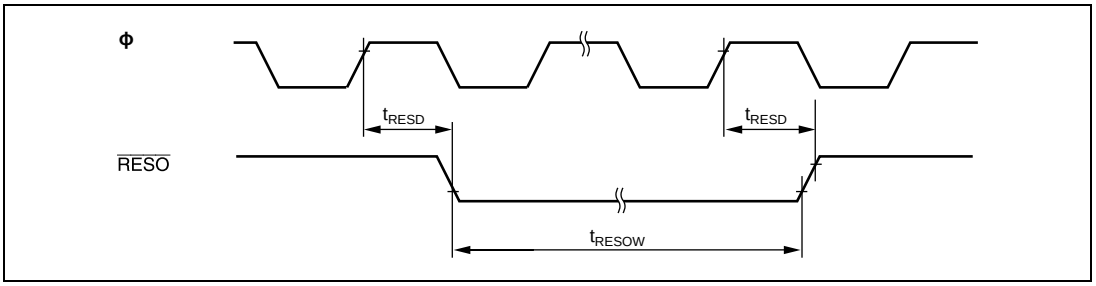


図 29.25　WDT 出力タイミング（RESO）

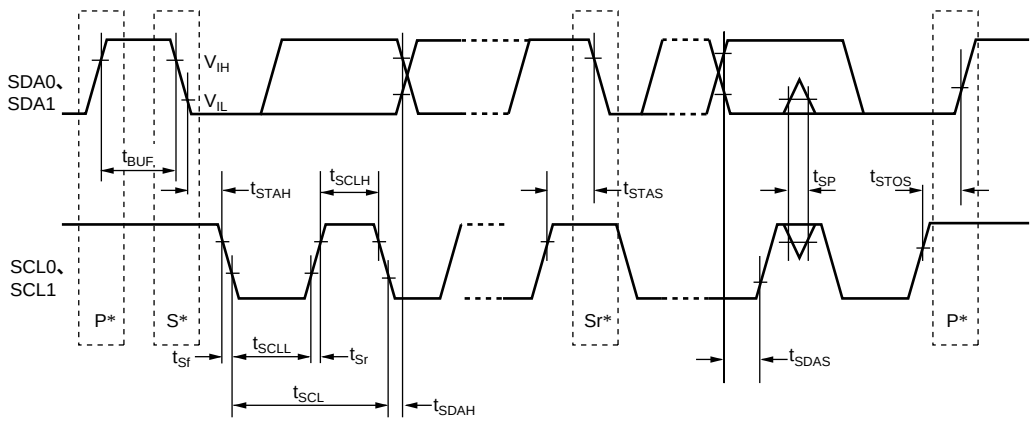
表 29.11　I²C バスタイミング

条件 A：V_{CC}＝3.0V～3.6V、V_{SS}＝0V、Φ＝5MHz～25MHz

条件 B：V_{CC}＝2.7V～3.6V、V_{SS}＝0V、Φ＝5MHz～20MHz

項　目	記号	min	typ	max	単位	測定条件
SCL 入力サイクル時間	t_{SCL}	12	—	—	t_{cyc}	図 29.26
SCL 入力 High パルス幅	t_{SCLH}	3	—	—		
SCL 入力 Low パルス幅	t_{SCLL}	5	—	—		
SCL、SDA 入力立ち上がり時間	t_{Sr}	—	—	7.5*		
SCL、SDA 入力立ち下がり時間	t_{Sf}	—	—	300	ns	
SCL、SDA 出力立ち下がり時間	t_{Of}	20 ＋ 0.1Cb	—	250		
SCL、SDA 入力スパイクパルス除去時間	t_{SP}	—	—	1		
SDA 入力バスフリー時間	t_{BUF}	5	—	—	t_{cyc}	
開始条件入力ホールド時間	t_{STAH}	3	—	—		
再送開始条件入力セットアップ時間	t_{STAS}	3	—	—		
停止条件入力セットアップ時間	t_{STOS}	3	—	—		
データ入力セットアップ時間	t_{SDAS}	0.5	—	—		
データ入力ホールド時間	t_{SDAH}	0	—	—	ns	
SCL、SDA の容量性負荷	C_b	—	—	400	pF	

【注】　＊ IIC モジュールで使用するクロックの選択により、17.5t_{cyc} とすることが可能です。



【注】 * S、P、Srはそれぞれ以下の条件を示します。
S ：開始条件
P ：停止条件
Sr：再送「開始」条件

図 29.26 I^2C バスインタフェース入出力タイミング

表 29.12 USB タイミング

条件：V_{CC}=3.3V ±0.3V 、DrV_{CC} =3.3V ±0.3V 、DrV_{SS} =V_{SS} =0V

端子機能：ドライバ／レシーバ入出力（USDP、USDM）、USEXCL

項 目		記号	min	max	単位	測定条件	備考
ドライバ／レシーバ フルスピード	立ち上がり時間	t_r	4	20	ns	図 29.27	Low レベル：0.1×DrV_{CC}
	立ち下がり時間	t_f	4	20			High レベル：0.9×DrV_{CC}
	差動信号時間差	t_{RFM}	90.0	111.11	%		t_r / t_f
ドライバ／レシーバ出力信号交差電圧		V_{CRS}	1.3	2.0	V		
USB クロック発振安定時間（水晶）		t_{OSCU}	10	—	ms		

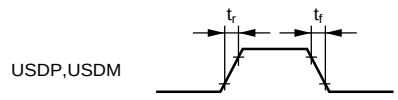


図 29.27 USB ドライバ／レシーバ出力タイミング

表 29.13 マルチメディアカードインタフェース

条件： V_{CC}＝2.7V～3.6V、V_{SS}＝0V、φ＝5MHz～20MHz

- MCIF ExMCCLK/MCCLK タイミング

項 目	記号	CL≦100pF*		CL≦250pF*		単位	測定条件
		min	max	min	max		
MCCLK サイクル時間	t_{PP}	0	20	0	5	MHz	図 29.28
MCCLK High レベルパルス幅	t_{WH}	10	—	50	—	ns	
MCCLK Low レベルパルス幅	t_{WL}	10	—	50	—		
MCCLK 立ち上がり時間	t_{TLH}	—	10	—	50		
MCCLK 立ち下がり時間	t_{THL}	—	10	—	50		

【注】 * ExMCCLK/MCCLK 端子に接続する外部信号線の総負荷容量

- MCIF カードバスタイミング

項 目	記号	min	max	単位	測定条件
出力データ遅延時間（MCCLK 立ち上がりエッジ基準）	t_{HOD}	5	15	ns	図 29.28
出力データ遅延時間（MCCLK 立ち下がりエッジ基準）	t_{LOD}	—	10		
入力データホールド時間	t_{LIH}	10	—		
入力データセットアップ時間	t_{LIS}	5	—		

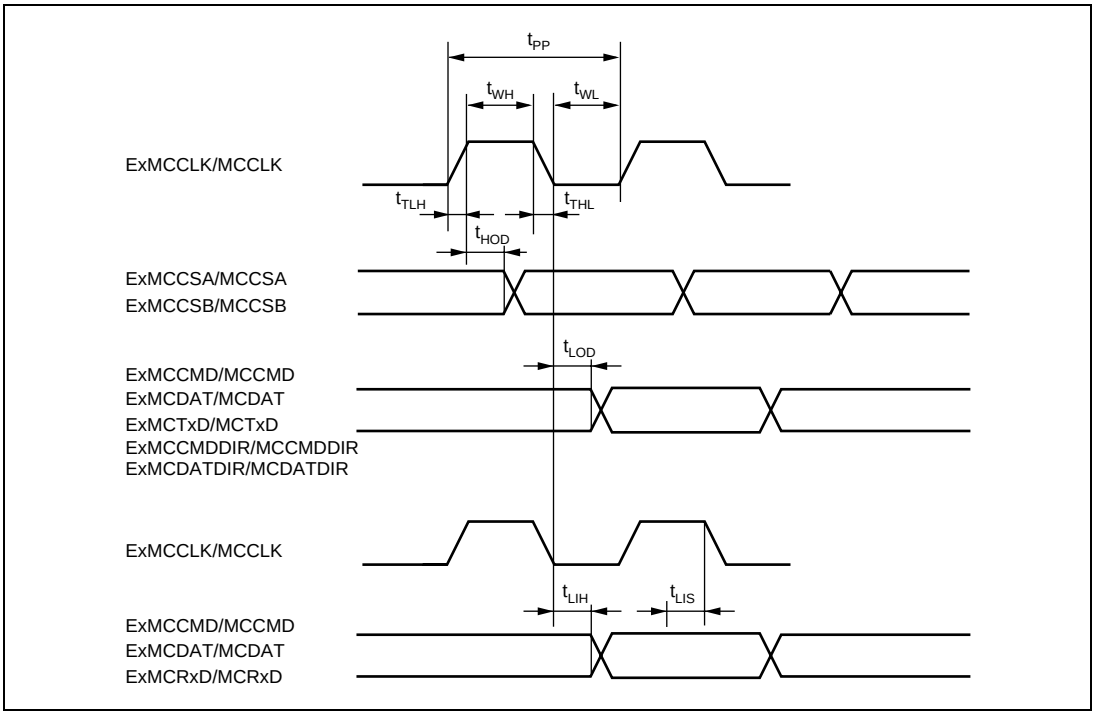


図 29.28　**マルチメディアカードインタフェースタイミング**

表 29.14　H-UDI **タイミング**

条件 A：V_{CC}＝3.0V～3.6V、V_{SS}＝0V、**φ**＝5MHz～25MHz

条件 B：V_{CC}＝2.7V～3.6V、V_{SS}＝0V、**φ**＝5MHz～20MHz

項　目	記号	min	max	単位	測定条件
ETCK **クロックサイクル時間**	t_{TCKcyc}	40*	500*	ns	**図** 29.29
ETCK **クロック** High **レベルパルス幅**	t_{TCKH}	15	—		
ETCK **クロック** Low **レベルパルス幅**	t_{TCKL}	15	—		
ETCK **クロック立ち上がり時間**	t_{TCKr}	—	5		
ETCK **クロック立ち下がり時間**	t_{TCKf}	—	5		
$\overline{\text{ETRST}}$ **パルス幅**	t_{TRSTW}	20	—	tcyc	**図** 29.30
リセットホールド遷移パルス幅	t_{RSTHW}	10	—		
ETMS **セットアップ時間**	t_{TMSS}	20	—	ns	**図** 29.31
ETMS **ホールド時間**	t_{TMSH}	20	—		
ETDI **セットアップ時間**	t_{TDIS}	20	—		
ETDI **ホールド時間**	t_{TDIH}	20	—		
ETDO **データ遅延時間**	t_{TDOD}	—	20		

【注】　*ただし、$t_{cyc} \geqq t_{TCKcyc}$

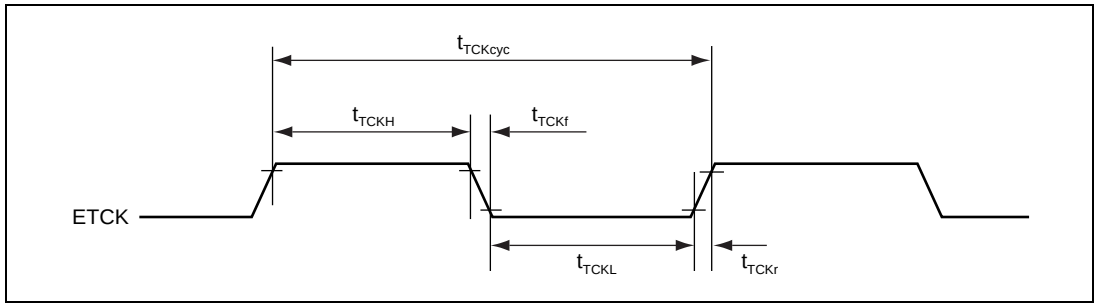


図 29.29　H-UDI ETCK **タイミング**

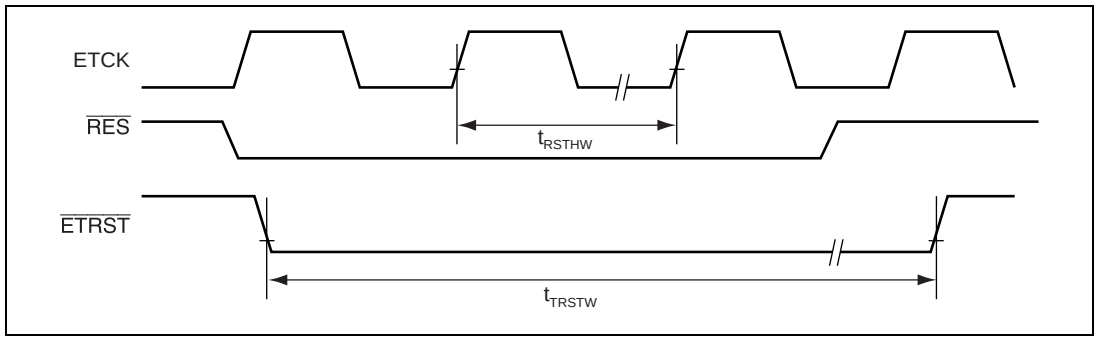


図 29.30　**リセットホールドタイミング**

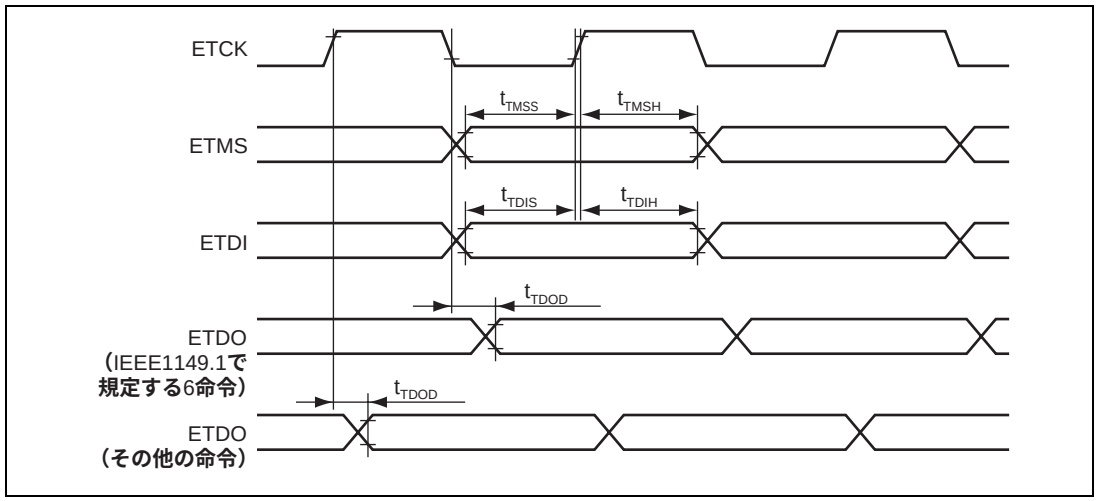


図 29.31　H-UDI **入出力タイミング**

29.4 A/D 変換特性

A/D 変換特性を**表** 29.15、**表** 29.16 に示します。

表 29.15 A/D **変換特性（**AN7～AN2 **入力：**134／266 **ステート変換）**

条件 A：V_{CC}＝3.0V～3.6V、AV_{CC}＝3.0V～3.6V、AV_{ref}＝3.0V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、**φ**＝5MHz～25MHz

条件 B：V_{CC}＝2.7V～3.6V、AV_{CC}＝2.7V～3.6V、AV_{ref}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、**φ**＝5MHz～20MHz

項　目	条件 A			条件 B			単　位
	min	typ	max	min	typ	max	
分解能		10			10		ビット
変換時間*	—	—	5.36	—	—	6.7	μs
アナログ入力容量	—	—	20	—	—	20	pF
許容信号源インピーダンス	—	—	5	—	—	5	kΩ
非直線性誤差	—	—	±7.0	—	—	±7.0	LSB
オフセット誤差	—	—	±7.5	—	—	±7.5	
フルスケール誤差	—	—	±7.5	—	—	±7.5	
量子化誤差	—	—	±0.5	—	—	±0.5	
絶対精度	—	—	±8.0	—	—	±8.0	

【注】 * **シングルモード、**134 **ステートで最大動作周波数のとき**

表 29.16 A/D **変換特性（**CIN7～CIN0 **入力：**134／266 **ステート変換）**

条件 A：V_{CC}＝3.0V～3.6V、AV_{CC}＝3.0V～3.6V、AV_{ref}＝3.0V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、**φ**＝5MHz～25MHz

条件 B：V_{CC}＝2.7V～3.6V、AV_{CC}＝2.7V～3.6V、AV_{ref}＝2.7V～AV_{CC}、V_{SS}＝AV_{SS}＝0V、**φ**＝5MHz～20MHz

項　目	条件 A			条件 B			単　位
	min	typ	max	min	typ	max	
分解能		10			10		ビット
変換時間*	—	—	5.36	—	—	6.7	μs
アナログ入力容量	—	—	20	—	—	20	pF
許容信号源インピーダンス	—	—	5	—	—	5	kΩ
非直線性誤差	—	—	±11.0	—	—	±11.0	LSB
オフセット誤差	—	—	±11.5	—	—	±11.5	
フルスケール誤差	—	—	±11.5	—	—	±11.5	
量子化誤差	—	—	±0.5	—	—	±0.5	
絶対精度	—	—	±12.0	—	—	±12.0	

【注】 * **シングルモード、**134 **ステートで最大動作周波数のとき**

29.5 D/A 変換特性

D/A 変換特性を**表** 29.17 に示します。

表 29.17 D/A **変換特性**

条件 A：V_{CC}=3.0V～3.6V、AV_{CC}=3.0V～3.6V、AV_{ref}=3.0V～AV_{CC}、V_{SS}=AV_{SS}=0V、**φ**=5MHz～25MHz

条件 B：V_{CC}=2.7V～3.6V、AV_{CC}=2.7V～3.6V、AV_{ref}=2.7V～AV_{CC}、V_{SS}=AV_{SS}=0V、**φ**=5MHz～20MHz

項 目		min	typ	max	**単 位**
分解能			8		**ビット**
変換時間	**負荷容量** 20pF	—	—	10	**μ**s
絶対精度	**負荷抵抗** 2M**Ω**	—	±2.0	±3.0	LSB
	負荷抵抗 4M**Ω**	—	—	±2.0	

29.6 フラッシュメモリ特性

表 29.18 にフラッシュメモリ特性を示します。

表 29.18 **フラッシュメモリ特性**

条件： V_{CC}＝3.0V～3.6V、V_{SS}＝0V

項目		記号	min	typ	max	単位	測定条件
書き込み時間[*1][*2][*4]		tP	—	10	200	ms/128 **バイト**	
消去時間[*1][*3][*6]		tE	—	10	1200	ms/**ブロック**	
書き替え回数		N_{WEC}	—	—	100	**回**	
書き込み時	SWE **ビットセット後のウェイト時間**[*1]	x	1	—	—	**μs**	
	PSU **ビットセット後のウェイト時間**[*1]	y	50	—	—	**μs**	
	P **ビットセット後のウェイト時間**[*1][*4]	z1	28	30	32	**μs**	1≦n≦6
		z2	198	200	202	**μs**	7≦n≦1000
		z3	8	10	12	**μs**	**追加書き込み**
	P **ビットクリア後のウェイト時間**[*1]	**α**	5	—	—	**μs**	
	PSU **ビットクリア後のウェイト時間**[*1]	**β**	5	—	—	**μs**	
	PV **ビットセット後のウェイト時間**[*1]	**γ**	4	—	—	**μs**	
	ダミーライト後のウェイト時間[*1]	**ε**	2	—	—	**μs**	
	PV **ビットクリア後のウェイト時間**[*1]	**η**	2	—	—	**μs**	
	SWE **ビットクリア後のウェイト時間**[*1]	**θ**	100	—	—	**μs**	
	最大書き込み回数[*1][*4][*5]	N	—	—	1000	**回**	
消去時	SWE **ビットセット後のウェイト時間**[*1]	x	1	—	—	**μs**	
	ESU **ビットセット後のウェイト時間**[*1]	y	100	—	—	**μs**	
	E **ビットセット後のウェイト時間**[*1][*6]	z	10	—	100	ms	
	E **ビットクリア後のウェイト時間**[*1]	**α**	10	—	—	**μs**	
	ESU **ビットクリア後のウェイト時間**[*1]	**β**	10	—	—	**μs**	
	EV **ビットセット後のウェイト時間**[*1]	**γ**	20	—	—	**μs**	
	ダミーライト後のウェイト時間[*1]	**ε**	2	—	—	**μs**	
	EV **ビットクリア後のウェイト時間**[*1]	**η**	4	—	—	**μs**	
	SWE **ビットクリア後のウェイト時間**[*1]	**θ**	100	—	—	**μs**	
	最大消去回数[*1][*6][*7]	N	—	—	120	**回**	

【注】 *1 **各時間の設定は、書き込み／消去のアルゴリズムに従い行ってください。**

*2 128 **バイト単位の書き込み時間**（FLMCR1 **の** P **ビットをセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。）**

*3 1 **ブロックを消去する時間**（FLMCR1 **の** E **ビットをセットしているトータル期間を示します。イレースベリファイ時間は含まれません。）**

*4 **書き込み時間の最大値**（tP max）

tP max＝（P **ビットセット後のウェイト時間**(z1)+(z3)）×6

+ P **ビットセット後のウェイト時間**(z2)×（(N)- 6）

*5 最大書き込み回数（N）は、実際の（z1、z2、z3）の設定値に合わせ、書き込み時間の最大値（tP max）以下となるよう設定してください。また、P ビットセット後のウェイト時間（z1、z2、z3）は、下記のように書き込み回数（n）の値によって切り替えてください。

書き込み回数 n

1≦n≦6　z1＝30 µs、z3＝10 µs

7≦n≦1000　z2＝200 µs

*6 消去時間の最大値（tE max）

tE max＝E ビットセット後のウェイト時間（z）×最大消去回数（N）

*7 最大消去回数（N）は、実際の（z）の設定値に合わせ、消去時間の最大値（tE max）以下となるよう設定してください。

付録

A. 各処理状態における I/O ポートの状態

表 A.1 各処理状態における I/O ポートの状態

ポート名 端子名	MCU 動作モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	ウォッチモード	スリープモード	サブスリープモード	サブアクティブモード	プログラム実行状態
ポート 1 A7～A0、 CPA7～ CPA0	2、3(EXPE=1)	T	T	keep*	keep*	keep*	keep*	アドレス出力／ コンパクトフラッシュアドレス出力／ 入力ポート	アドレス出力／ コンパクトフラッシュアドレス出力／ 入力ポート
	2、3(EXPE=0)							入出力ポート	入出力ポート
ポート 27～24 A15～A12	2、3(EXPE=1)	T	T	keep*	keep*	keep*	keep*	アドレス出力／ 入出力ポート	アドレス出力／ 入出力ポート
	2、3(EXPE=0)							入出力ポート	入出力ポート
ポート 23 A11、 $\overline{\text{CPREG}}$	2、3(EXPE=1)	T	T	keep*	keep*	keep*	keep*	アドレス出力／ $\overline{\text{CPREG}}$／ 入出力ポート	アドレス出力／ $\overline{\text{CPREG}}$／ 入出力ポート
	2、3(EXPE=0)							入出力ポート	入出力ポート
ポート 22～20 A10～A8、 CPA10～ CPA8	2、3(EXPE=1)	T	T	keep*	keep*	keep*	keep*	アドレス出力／ コンパクトフラッシュアドレス出力／ 入出力ポート	アドレス出力／ コンパクトフラッシュアドレス出力／ 入出力ポート
	2、3(EXPE=0)							入出力ポート	入出力ポート
ポート 3 D15～D8、	2、3(EXPE=1)	T	T	T	T	T	T	D15～D8/ CPD15～CPD8	D15～D8/ CPD15～CPD8
CPD15～ CPD8	2、3(EXPE=0)			keep	keep	keep	keep	入出力ポート	入出力ポート
ポート 4	2、3(EXPE=1)	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート
	2、3(EXPE=0)								
ポート 5	2、3(EXPE=1)	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート
	2、3(EXPE=0)								

ポート名 端子名	MCU 動作モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	ウォッチモード	スリープモード	サブスリープモード	サブアクティブモード	プログラム実行状態
ポート 6 D7～D0、 CPD7～	2、3(EXPE=1)	T	T	keep	keep	keep	keep	D7～D0/ CPD7～CPD0 入出力ポート	D7～D0/ CPD7～CPD0 入出力ポート
CPD0	2、3(EXPE=0)							入出力ポート	入出力ポート
ポート 7	2、3(EXPE=1)	T	T	T	T	T	T	入力ポート	入力ポート
	2、3(EXPE=0)								
ポート 8	2、3(EXPE=1)	T	T	keep	keep	keep	keep	入出力ポート	入出力ポート
	2、3(EXPE=0)								
ポート 97 $\overline{\text{WAIT}}$、 $\overline{\text{CPWAIT}}$、	2、3(EXPE=1)	T	T	T/keep	T/keep	T/keep	T/keep	$\overline{\text{WAIT}}$/$\overline{\text{CPWAIT}}$/ $\overline{\text{CS256}}$/ 入出力ポート	$\overline{\text{WAIT}}$/$\overline{\text{CPWAIT}}$/ $\overline{\text{CS256}}$/ 入出力ポート
$\overline{\text{CS256}}$	2、3(EXPE=0)			keep	keep	keep	keep	入出力ポート	入出力ポート
ポート 96 φ、 EXCL	2、3(EXPE=1)	T	T	[DDR=1]H [DDR=0]T	EXCL 入力	[DDR=1] クロック出力 [DDR=0]T	EXCL 入力	EXCL 入力	クロック出力/ EXCL 入力/ 入力ポート
	2、3(EXPE=0)								
ポート 95～93 $\overline{\text{AS}}$、$\overline{\text{IOS}}$、 $\overline{\text{HWR}}$、$\overline{\text{CPWE}}$、	2、3(EXPE=1)	T	T	H	H	H	H	$\overline{\text{AS}}$/$\overline{\text{IOS}}$、 $\overline{\text{HWR}}$/$\overline{\text{CPWE}}$、 $\overline{\text{RD}}$/$\overline{\text{CPOE}}$	$\overline{\text{AS}}$/$\overline{\text{IOS}}$、 $\overline{\text{HWR}}$/$\overline{\text{CPWE}}$、 $\overline{\text{RD}}$/$\overline{\text{CPOE}}$
$\overline{\text{RD}}$、$\overline{\text{CPOE}}$	2、3(EXPE=0)			keep	keep	keep	keep	入出力ポート	入出力ポート
ポート 92、91 $\overline{\text{CPCS1}}$、	2、3(EXPE=1)	T	T	keep	keep	keep	keep	$\overline{\text{CPCS1}}$、$\overline{\text{CPCS2}}$/ 入出力ポート	$\overline{\text{CPCS1}}$、$\overline{\text{CPCS2}}$/ 入出力ポート
$\overline{\text{CPCS2}}$	2、3(EXPE=0)							入出力ポート	入出力ポート
ポート 90 $\overline{\text{LWR}}$	2、3(EXPE=1)	T	T	H/keep	H/keep	H/keep	H/keep	$\overline{\text{LWR}}$/ 入出力ポート	$\overline{\text{LWR}}$/ 入出力ポート
	2、3(EXPE=0)			keep	keep	keep	keep	入出力ポート	入出力ポート
ポート A A17、A16	2、3(EXPE=1)	T	T	keep*	keep*	keep*	keep*	A17、A16/ 入出力ポート	A17、A16/ 入出力ポート
	2、3(EXPE=0)							入出力ポート	入出力ポート

【記号説明】

H　：High レベル

L　：Low レベル

T　：ハイインピーダンス

keep　：入力ポートはハイインピーダンス（DDR=0、PCR=1 の場合、入力プルアップ MOS は ON 状態を保持）
出力ポートは保持
なお、端子により内蔵周辺モジュールが初期化され、DDR、DR で決まる入出力ポートとなる場合があります。

DDR　：データディレクションレジスタ

【注】　＊　アドレス出力の場合、最後にアクセスしたアドレスを保持

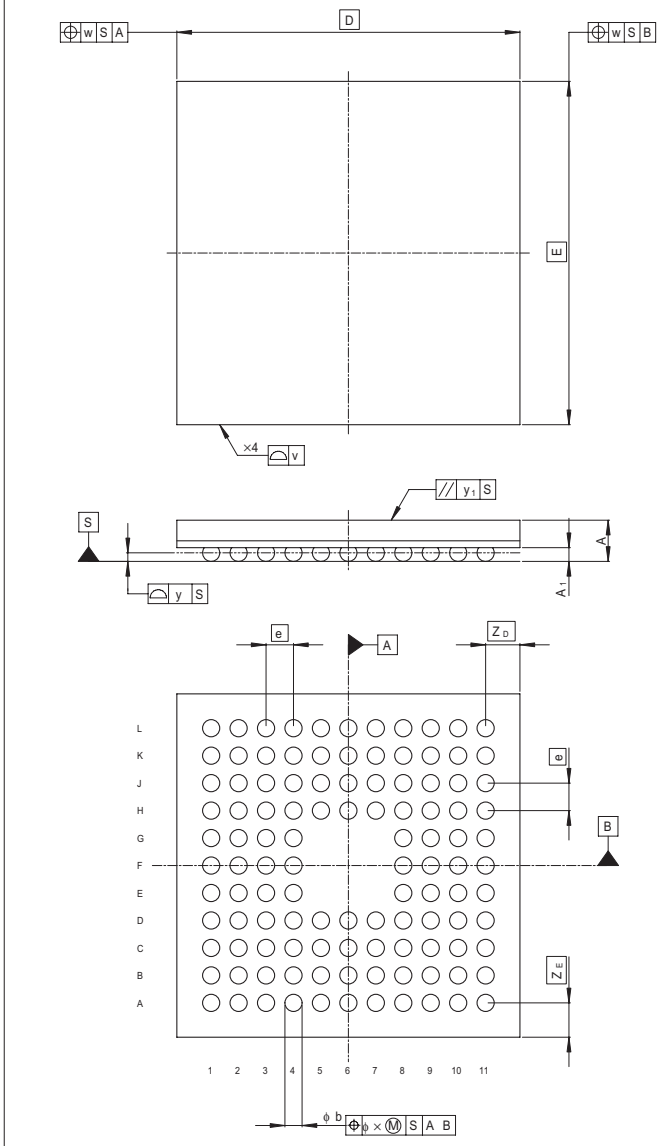
B. 型名一覧

製品分類		製品型名	マーク型名	パッケージ（コード）
H8S/2158	F-ZTAT 版	HD64F2158	F2158VBQ25	112 ピン TFBGA（TBP-112A）

C. 外形寸法図

外形寸法図については、**「ルネサス半導体パッケージデータブック」**に掲載されている外形寸法図を優先します。

JEITA Package Code	RENESAS Code	Previous Code	MASS[Typ.]
T-TFBGA112-10x10-0.80	TTBG0112GA-A	TBP-112A/TBP-112AV	0.2g



Reference Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	—	10.00	—
E	—	10.00	—
v	—	—	0.20
w	—	—	0.30
A	—	—	1.20
A_1	0.35	0.40	0.45
e	—	0.80	—
b	0.45	0.50	0.55
x	—	—	0.08
y	—	—	0.10
y_1	—	—	0.2
S_D	—	—	—
S_E	—	—	—
Z_D	—	1.00	—
Z_E	—	1.00	—

図 C.1　TBP-112A **外形寸法図**

索引

14 ビット PWM タイマ（PWMX） 11-1
16 ビット 2 ステートアクセス空間 6-20
16 ビット 3 ステートアクセス空間 6-23
16 ビットアクセス空間 6-17
16 ビットカウントモード 13-18
16 ビットフリーランニングタイマ（FRT） 12-1
256kB 拡張エリア 6-12
8 ビット 2 ステートアクセス空間 6-19
8 ビット 3 ステートアクセス空間 6-20
8 ビット PWM タイマ（PWM） 10-1
8 ビットアクセス空間 6-16
8 ビットタイマ（TMR） 13-1
A/D 変換器 22-1
A/D 変換時間 22-9
CBLANK 出力 14-22
CF 拡張エリア（メモリカードモード） 6-14
CPU 2-1
CPU 動作モード 2-4
CP 拡張エリア（基本モード） 6-13
CRC 演算器 16-74
D/A 変換器 21-1
DTC コンパレータスキャン機能 22-8
DTC ベクタテーブル 7-8
DTC 実行ステート数 7-17
EA 拡張部 2-27
FIFO エンプティ 8-30
FIFO オーバライト 8-30
FIFO オーバリード 8-30
FIFO バイト数 8-8
FIFO フル 8-30
HSYNCO 出力 14-20
I/O セレクト信号 6-15
I/O ポート 9-1
I^2C バスインタフェース（IIC） 17-1
I^2C バスフォーマット 17-32
ID コード 24-15
ID 番号 8-14
IIC 動作予約アダプタ 17-28
IN トークン 18-48
IrDA 16-63
MCIF の RFU 操作 8-27
MMC モード 19-25
OUT トークン 18-44
PLL 回路 26-7
PWM デコード 14-11
PWM 変換周期 10-4
RAM 23-1
RAM-FIFO ユニット（RFU） 8-1
RFU バスサイクル 8-15, 8-17
RFU レスポンス時間 8-18
SCI の RFU 操作 8-25
SETUP トークン 18-38
SPI モード 19-43
TAP コントローラ 25-10
TRAPA 命令 2-30, 4-5
USB データ FIFO 18-5
USB の RFU 操作 8-21
USB ファンクションコア 18-36
VSYNCO 出力 14-21
アイドルサイクル 6-35
アウトプットコンペア 12-13
アクノリッジ 17-33
アドバンストモード 2-6, 6-15
アドレスマップ 3-8
アドレス空間 2-8
アドレス範囲と外部アドレス空間 6-10
アドレッシングモード 2-28
イミディエイト 2-30
イレース／イレースベリファイ 24-19
インターバルタイマモード 15-8
インタラプト転送 18-36
インプットキャプチャ 12-14
インプットキャプチャ動作 13-19
ウェイト制御 6-27, 6-30, 6-34

ウォッチドッグタイマ（WDT） 15-1
ウォッチドッグタイマモード 15-7
ウォッチモード 27-13
エクステンドレジスタ 2-11
エラープロテクト 24-21
エンドポイント 18-5
エンドポイント構成 18-55
オーバフロー 15-7
オーバランエラー 16-36
オペレーションフィールド 2-27
オンボードプログラミング 24-11
カスケード接続 13-18
キャリア周波数 10-4
クランプ波形 14-12
クロック同期式モード 16-44
クロック発振器 26-1
コマンド 19-7
コマンドレスポンスを要さないコマンド 19-26
コンディションコードレジスタ（CCR） 2-11
コンディションフィールド 2-27
コントロール転送 18-36
コンペアマッチカウントモード 13-18
サスペンド／レジューム 18-52
サブアクティブモード 27-14
サブスリープモード 27-14
システム制御命令 2-26
シフト命令 2-22
シリアルコミュニケーションインタフェース（SCI） .16-1
シリアルデータ受信 16-36, 16-48, 16-60
シリアルデータ送信 16-34, 16-46, 16-57
シリアルフォーマット 17-32
シングルモード 22-9
スキャンモード 22-9
スタックの状態 4-5
スタックポインタ 2-10
スマートカードインタフェース 16-52
スリープモード 27-11
スレーブアドレス 17-33
スレーブ受信動作 17-38
スレーブ送信動作 17-40
ソフトウェアスタンバイモード 27-11
ソフトウェアによる起動 7-18
ソフトウェアプロテクト 24-21
ソフトウェア起動割り込み用ベクタ番号 7-6
タイマコネクション 14-1
チェイン転送 7-15
ディスプレースメント付きレジスタ間接 2-28
データサイズとデータアライメント 6-16, 6-31
データディレクションレジスタ 9-1
データトランスファコントローラ（DTC） 7-1
データレジスタ 9-1
データ転送を伴わないコマンド 19-27, 19-43
データ転送命令 2-19
トラップ命令例外処理 4-5
ノーマルモード 2-4, 6-15, 7-12
バースト ROM インタフェース 6-29
ハードウェアスタンバイモード 27-12
ハードウェアプロテクト 24-21
バウンダリオーバフロー 8-30
バウンダリスキャン 25-11
バスアービトレーション 6-36
バスコントローラ（BSC） 6-1
バスマスタ 6-36
バス制御 6-9
パリティエラー 16-36
バルク転送 18-37
ビットレート 16-16
ビット操作命令 2-23
ピン配置図 1-4
ブートモード 24-12
フラッシュメモリ 24-1
ブランキング波形 14-22
プリデクリメントレジスタ間接 2-29
フレーミングエラー 16-36
ブロードキャスト型コマンド 19-25
プログラム／プログラムベリファイ 24-17
プログラムカウンタ 2-11
プログラムカウンタ相対 2-30
ブロック転送モード 7-14
ブロック転送命令 2-26
ポインタセット 8-1
ポストインクリメントレジスタ間接 2-29
マスタ受信動作 17-35
マスタ送信動作 17-33

マルチプロセッサ通信機能 16-39
マルチメディアカードインタフェース（MCIF） 19-1
メモリカードインタフェース 6-31
メモリ間接 2-30
モード遷移図 24-3, 27-8
モジュールストップモード 27-15
ユーザプログラムモード 24-16
ユニバーサルシリアルバスインタフェース（USB） ... 18-1
ライタモード 24-22
ライトデータを伴うコマンド 19-37, 19-51
リードデータを伴うコマンド 19-31, 19-47
リセット 4-3
リセット例外処理 4-3
リピートモード 7-13
レジスタ
ABRKCR 5-5, 28-5, 28-15, 28-25
ADCR 22-6, 28-9, 28-19, 28-29
ADCSR 22-5, 28-9, 28-19, 28-29
ADDR 22-4, 28-9, 28-19, 28-29
BAR 8-4
BARA 5-5, 28-5, 28-15, 28-25
BARB 5-5, 28-6, 28-15, 28-25
BARC 5-5, 28-6, 28-15, 28-25
BCR 6-4, 28-8, 28-18, 28-28
BCR2 ..... 6-5, 28-6, 28-15, 28-25
BRR 16-16, 28-9, 28-18, 28-28
CLKON 19-23, 28-2, 28-11, 28-21
CMDR0 ..... 19-10, 28-2, 28-11, 28-21
CMDR1 ..... 19-10, 28-2, 28-11, 28-21
CMDR2 ..... 19-10, 28-2, 28-11, 28-21
CMDR3 ..... 19-10, 28-2, 28-11, 28-21
CMDR4 ..... 19-10, 28-2, 28-11, 28-21
CMDR5 ..... 19-10, 28-2, 28-11, 28-21
CMDSTRT 19-12
CMDTYR 19-5, 28-2, 28-11, 28-21
CONFV 18-33, 28-3, 28-12, 28-22
CRA 7-4
CRB 7-5
CRCCR 16-75, 28-5, 28-14, 28-24
CRCDIR 16-75, 28-5, 28-14, 28-24
CRCDOR 16-75, 28-5, 28-14, 28-24
CSTR 19-16, 28-2, 28-11, 28-21
CTOCR 19-15, 28-2, 28-11, 28-21
DACNTH 11-3, 28-7, 28-17, 28-27
DACNTL 11-4, 28-7, 28-17, 28-27
DACR ..... 11-6, 21-2, 28-7, 28-10, ... 28-16, 28-19, 28-27, 28-30
DADR 21-2, 28-10, 28-19, 28-30
DADRA 11-4, 28-7, 28-16, 28-27
DADRB 11-5, 28-7, 28-17, 28-27
DAR 7-4
DATAN 8-6
DEVRSMR 18-28, 28-4, 28-13, 28-23
DTCERA 7-5, 28-5, 28-15, 28-25
DTCERB 7-5, 28-5, 28-15, 28-25
DTCERC 7-5, 28-5, 28-15, 28-25
DTCERD 7-5, 28-5, 28-15, 28-25
DTCERE 7-5, 28-5, 28-15, 28-25
DTCRA 8-7, 28-4, 28-13, 28-23
DTCRB 8-8, 28-4, 28-13, 28-23
DTCRC 8-12
DTCRD 8-12, 28-4, 28-13, 28-23
DTIDR 8-10, 28-4, 28-13, 28-23
DTIDSRA 8-11, 28-4, 28-13, 28-23
DTIDSRB 8-11, 28-4, 28-13, 28-23
DTIER 8-13, 28-4, 28-13, 28-23
DTOUTR 19-15, 28-3, 28-12, 28-22
DTRSR 8-13, 28-4, 28-14, 28-24
DTSTRA 8-11, 28-4, 28-13, 28-23
DTSTRB 8-12, 28-4, 28-13, 28-23
DTSTRC 8-9, 28-4, 28-13, 28-23
DTVECR 7-6, 28-5, 28-15, 28-25
EBR1 ..... 24-10, 28-6, 28-15, 28-25
EBR2 ..... 24-10, 28-6, 28-15, 28-25
EP4PKTSZR 18-33, 28-3, 28-12, 28-22
EPDIR0 ..... 18-10, 28-4, 28-13, 28-23
EPDR0I 18-7, 28-4, 28-13, 28-23
EPDR0O 18-7, 28-3, 28-13, 28-22
EPDR0S 18-7, 28-3, 28-12, 28-22
EPDR1 ..... 18-8, 28-3, 28-12, 28-22
EPDR2 ..... 18-8, 28-3, 28-12, 28-22
EPDR3 ..... 18-8, 28-3, 28-12, 28-22
EPRSTR0 ..... 18-27, 28-4, 28-13, 28-23
EPSTLR0 ..... 18-25, 28-4, 28-13, 28-23

EPSZR1 ..... 18-6, 28-3, 28-12, 28-22
FLMCR1 ..... 24-8, 28-6, 28-15, 28-25
FLMCR2 ..... 24-9, 28-6, 28-15, 28-25
FRC 12-4, 28-6, 28-16, 28-26
FREEN 8-6
FSTR 8-3, 28-4, 28-13, 28-23
FVSR0IH 18-9, 28-4, 28-13, 28-23
FVSR0IL 18-9, 28-4, 28-13, 28-23
FVSR0OH 18-9, 28-3, 28-13, 28-23
FVSR0OL 18-9, 28-3, 28-13, 28-23
FVSR0SH 18-9, 28-3, 28-12, 28-22
FVSR0SL 18-9, 28-3, 28-12, 28-22
FVSR1H 18-9, 28-3, 28-12, 28-22
FVSR1L 18-9, 28-3, 28-12, 28-22
FVSR2H 18-9, 28-3, 28-12, 28-22
FVSR2L 18-9, 28-3, 28-12, 28-22
FVSR3H 18-9, 28-3, 28-12, 28-22
FVSR3L 18-9, 28-3, 28-12, 28-22
ICCMD 17-28, 28-5, 28-14, 28-24
ICCNT 17-27, 28-5, 28-14, 28-24
ICCR 17-9, 28-9, 28-18, 28-28
ICCRX 17-18, 28-4, 28-14, 28-24
ICDR 17-4, 28-9, 28-18, 28-29
ICDRS 17-26, 28-5, 28-14, 28-24
ICDRX 17-26, 28-5, 28-14, 28-24
ICMR 17-7, 28-9, 28-18, 28-29
ICR 12-4, 28-7, 28-16, 28-26
ICRA 5-4, 28-5, 28-14, 28-24
ICRB 5-4, 28-5, 28-14, 28-24
ICRC 5-4, 28-5, 28-14, 28-24
ICRD 5-4, 28-5, 28-14, 28-24
ICSR 17-15, 28-9, 28-18, 28-28
ICSRA 17-19, 28-4, 28-14, 28-24
ICSRB 17-20, 28-4, 28-14, 28-24
ICSRC 17-23, 28-5, 28-14, 28-24
IER 5-7, 28-8, 28-18, 28-28
IER16 ..... 5-7, 28-6, 28-15, 28-25
INTCR0 ..... 19-17, 28-2, 28-11, 28-21
INTCR1 ..... 19-18, 28-2, 28-11, 28-21
INTSELR0 ..... 18-28, 28-4, 28-13, 28-23
INTSTR0 ..... 19-19, 28-2, 28-11, 28-21
INTSTR1 ..... 19-21, 28-2, 28-11, 28-21
IOMCR 19-22, 28-2, 28-11, 28-21
ISCR16H 5-6, 28-6, 28-15, 28-25
ISCR16L 5-6, 28-6, 28-15, 28-25
ISCRH 5-6, 28-5, 28-14, 28-24
ISCRL 5-7, 28-5, 28-14, 28-24
ISR 5-8, 28-5, 28-14, 28-24
ISR16 ..... 5-8, 28-6, 28-15, 28-25
ISSR 9-47, 28-6, 28-15, 28-25
ISSR16 ..... 9-46, 28-6, 28-15, 28-25
KBCOMP 22-6, 28-5, 28-14, 28-24
KMIMR6 ..... 5-9, 28-10, 28-19, 28-29
KMIMRA 5-9, 28-10, 28-19, 28-29
KMPCR6 ..... 9-25, 28-10, 28-19, 28-29
LPWRCR 27-4, 28-6, 28-15, 28-25
MDCR 3-2, 28-8, 28-18, 28-28
MODER 19-4, 28-2, 28-11, 28-21
MRA 7-3
MRB 7-4
MSTPCRH 27-6, 28-6, 28-15, 28-25
MSTPCRL 27-6, 28-6, 28-15, 28-25
NRA 8-6
NWA 8-6
OCRA 12-4, 28-7, 28-16, 28-26
OCRAF 12-5, 28-7, 28-16, 28-26
OCRAR 12-5, 28-7, 28-16, 28-26
OCRB 12-4, 28-7, 28-16, 28-26
OCRDM 12-5, 28-7, 28-16, 28-26
OPCR 19-13, 28-2, 28-11, 28-21
P1DDR 9-5, 28-8, 28-17, 28-27
P1DR 9-5, 28-8, 28-17, 28-27
P1PCR 9-6, 28-8, 28-17, 28-27
P2DDR 9-7, 28-8, 28-17, 28-27
P2DR 9-7, 28-8, 28-17, 28-27
P2PCR 9-8, 28-8, 28-17, 28-27
P3DDR 9-10, 28-8, 28-17, 28-27
P3DR 9-10, 28-8, 28-17, 28-27
P3PCR 9-11, 28-8, 28-17, 28-27
P4DDR 9-15, 28-8, 28-17, 28-27
P4DR 9-15, 28-8, 28-17, 28-27
P5DDR 9-20, 28-8, 28-17, 28-27
P5DR 9-20, 28-8, 28-17, 28-27
P6DDR 9-24, 28-8, 28-17, 28-27

P6DR 9-24, 28-8, 28-17, 28-27
P7PIN 9-33, 28-8, 28-17, 28-28
P8DDR 9-34, 28-8, 28-17, 28-27
P8DR 9-34, 28-8, 28-17, 28-28
P9DDR 9-38, 28-8, 28-17, 28-28
P9DR 9-39, 28-8, 28-17, 28-28
PADDR 9-41, 28-8, 28-17, 28-27
PAODR 9-42, 28-8, 28-17, 28-27
PAPIN 9-42, 28-8, 28-17, 28-27
PCSR 10-8, 11-7, 28-6, 28-15, 28-25
PTCNT0 ..... 9-48, 28-6, 28-15, 28-25
PTTER0 ..... 18-11, 28-4, 28-13, 28-23
PWDPRA 10-6, 28-9, 28-18, 28-28
PWDPRB 10-6, 28-9, 28-18, 28-28
PWDR0～15 ..... 10-5, 28-9, 28-18, 28-28
PWOERA 10-7, 28-9, 28-18, 28-28
PWOERB 10-7, 28-9, 28-18, 28-28
PWSL 10-4, 28-9, 28-18, 28-28
RAR 8-4
RDR 16-6, 28-9, 28-18, 28-28
RSPR 19-11, 28-2, 28-11, 28-21
RSPRD 19-11
RSPTYR 19-6, 28-2, 28-11, 28-21
RSR 16-6
SAR 7-4, 17-6, 28-9, 28-18, 28-29
SARX 17-6, 28-9, 28-18, 28-29
SBYCR 27-2, 28-6, 28-15, 28-25
SCICR 16-23, 28-5, 28-14, 28-24
SCIDTER 16-26, 28-5, 28-14, 28-24
SCMR 16-15, 28-9, 28-18, 28-28
SCR 16-9, 28-9, 28-18, 28-28
SDBPR 25-5
SDBSR 25-6
SDIDR 25-9
SDIR 25-4
SEDGR 14-9, 28-10, 28-20, 28-30
SEMR 16-24, 28-5, 28-14, 28-24
SMR 16-7, 28-9, 28-18, 28-28
SSR 16-11, 28-9, 28-18, 28-28
STCR 3-5, 28-8, 28-18, 28-28
SUBMSTPBH 27-7, 28-4, 28-13, 28-23
SUBMSTPBL 27-7, 28-4, 28-13, 28-23
SYSCR 3-3, 28-8, 28-18, 28-28
SYSCR2 ..... 9-25, 27-5, 28-6, 28-15, 28-25
TBCR 19-9, 28-2, 28-11, 28-21
TBNCR 19-10, 28-2, 28-11, 28-21
TCNT 13-5, 15-3, 28-7, 28-9, 28-17, 28-18, 28-27, 28-28
TCONRI 14-4, 28-10, 28-20, 28-30
TCONRO 14-6, 28-10, 28-20, 28-30
TCONRS 14-7, 28-10, 28-20, 28-30
TCORA 13-5, 28-8, 28-18, 28-28
TCORB 13-6, 28-8, 28-18, 28-28
TCORC 13-12, 28-10, 28-19, 28-29
TCR 12-9, 13-6, 28-7, 28-8, 28-16, 28-18, 28-26, 28-28
TCSR 12-7, 28-6, 28-16, 28-26
TCSR_0 ..... 13-8, 15-4, 28-7, 28-8, 28-17, 28-18, 28-27, 28-28
TCSR_1 ..... 13-9, 15-5, 28-8, 28-9, 28-18, 28-19, 28-28, 28-29
TCSR_X 13-11, 28-10, 28-19, 28-29
TCSR_Y 13-10, 28-10, 28-19, 28-29
TDR 16-6, 28-9, 28-18, 28-28
TFFR0 ..... 18-20, 28-4, 28-13, 28-23
TICR 13-12
TICRF 13-12, 28-10, 28-19, 28-29
TICRR 13-12, 28-10, 28-19, 28-29
TIER 12-5, 28-6, 28-16, 28-26
TISR 13-12, 28-10, 28-19, 28-29
TMP 8-5
TOCR 12-10, 28-7, 28-16, 28-26
TSFR0 ..... 18-16, 28-4, 28-13, 28-23
TSR 16-6
UDTRFR 18-34, 28-3, 28-12, 28-22
UPLLCR 18-32, 28-4, 28-13, 28-23
UPRTCR 18-35, 28-3, 28-12, 28-22
USBCR0 ..... 18-30, 28-4, 28-13, 28-23
USBCR1 ..... 18-31, 28-3, 28-12, 28-22
USBCSR0 ..... 18-23, 28-4, 28-13, 28-23
USBIER0 ..... 18-12, 28-4, 28-13, 28-23
USBIER1 ..... 18-13, 28-3, 28-12, 28-22
USBIFR0 ..... 18-13, 28-4, 28-13, 28-23
USBIFR1 ..... 18-16, 28-3, 28-12, 28-22
USBMDCR 18-34, 28-3, 28-12, 28-22

UTESTR0 ..... 18-35, 28-3, 28-12, 28-22
UTESTR1 ..... 18-35, 28-3, 28-12, 28-22
WAR 8-5
WSCR 6-6, 28-8, 28-18, 28-28
WSCR2 ..... 6-8, 28-6, 28-15, 28-25
WUEMR3 ..... 5-9, 28-10, 28-19, 28-29
レジスタの構成 2-8
レジスタフィールド 2-27
レジスタ間接 2-28
レジスタ直接 2-28
暗号演算器（DES、GF） 20-1
開始条件 17-33
外部クロック 26-3
外部トリガ 22-11
各動作モードでの LSI の内部状態 27-9
割り込み
ADI **割り込み** 22-11
CMIA 13-21
CMIB 13-21
ERI 16-66, 16-67
FOVI 12-20
ICI 13-21
ICIA 12-20
ICIB 12-20
ICIC 12-20
ICID 12-20
IICC 17-55
IICM 17-55
IICR 17-55
IICT 17-55
IRQ15〜IRQ0 **割り込み** 5-10
KIN9〜KIN0 **割り込み** 5-11
MMCIA 19-55
MMCIB 19-55
MMCIC 19-55
NMI **割り込み** 5-10
OCIA 12-20
OCIB 12-20
OVI 13-21
RXI 16-66, 16-67
SWDTEND 7-16
TEI 16-66
TXI 16-66, 16-67
USBI0 18-58
USBI1 18-58
USBI2 18-58
USBI3 18-58
WOVI 15-9
WUE15〜WUE8 **割り込み** 5-11
割り込みコントローラ 5-1
割り込みによる起動 7-18
割り込みマスクビット 2-12
割り込み制御モード 5-15
割り込み例外処理 4-4
割り込み例外処理シーケンス 5-21
割り込み例外処理ベクタテーブル 5-12
基本バスインタフェース 6-16
基本バスインタフェースのバス仕様 6-11
基本パルス 10-9
基本拡張エリア 6-12
基本周期 11-9
基本動作タイミング 6-19, 6-29, 6-32
算術演算命令 2-20
実効アドレス 2-31
処理状態 2-33
書き込み／消去プロテクト 24-21
書き込みの単位 24-6
消去ブロック 24-6
水晶発振子 26-2
絶対アドレス 2-29
相対アドレス型コマンド 19-25
単一データブロック 8-20
端子機能 1-9
中速モード 27-10
調歩同期式モード 16-27
直接遷移 27-15
低消費電力状態 27-1
停止条件 17-33
転送レート 17-8
動作モード 3-1
動作モード別ピン配置一覧 1-5
動作予約コマンド 17-30
内部ブロック図 1-3
内部同期信号 14-18

日立ユーザデバッグインタフェース（H-UDI） 25-1
入力プルアップ MOS コントロールレジスタ 9-1
汎用レジスタ 2-9
付加パルス 10-10
分解能 10-4, 11-9
分岐命令 2-25
分周波形周期測定 14-13
変換周期 11-9
命令セット 2-17
有効ストローブ 6-18, 6-32
例外処理 4-1
例外処理ベクタテーブル 4-1
連続データブロック 8-20
論理演算命令 2-22

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8S/2158

発行年月日　2001 年 9 月　第 1 版
2005 年 9 月 14 日　Rev.3.00
発　　行　株式会社ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町 2-6-2
編　　集　株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

© 2005. Renesas Technology Corp., All rights reserved. Printed in Japan.

株式会社ルネサス テクノロジ　営業企画統括部　〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

http://www.renesas.com

本社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京浜支社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西東京支社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東北支社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
いわき支店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨城支店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新潟支店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松本支社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中部支社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関西支社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北陸支社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広島支店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥取支店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九州支社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンタ　E-Mail: csc@renesas.com

H8S/2158
ハードウェアマニュアル

ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0293-0300