

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

H8/3977R

ハードウェアマニュアル

はじめに

H8/300L シリーズは、高速 H8/300L CPU を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。

H8/300L CPU は、H8/300CPU と互換性のある命令体系を備え、リアルタイム制御などへの応用に最適です。

H8/3977R シリーズは、システム構成に必要な周辺機能として、5 種類のタイマ、3 種類の PWM、2 チャネルのシリアルコミュニケーションインタフェース、A/D 変換器を内蔵しています。さらに、ビデオテープレコーダ (VTR) 用として、同期信号検出回路、サーボ回路、OSD (On Screen Display)、分周回路を内蔵しています。

このマニュアルは、H8/3977R シリーズのハードウェアについて記載しています。命令の詳細については、「H8/300L シリーズ プログラミングマニュアル」をあわせてご覧ください。

目次

第1章 概要

1.1	概要	3	
1.2	内部ブロック図	7	
1.3	端子説明	8	
	1.3.1	ピン配置	8
	1.3.2	端子機能	10

第2章 CPU

2.1	概要	19	
	2.1.1	特長	19
	2.1.2	アドレス空間	20
	2.1.3	レジスタ構成	22
2.2	各レジスタの説明	23	
	2.2.1	汎用レジスタ	23
	2.2.2	コントロールレジスタ	23
	2.2.3	CPU 内部レジスタの初期値	25
2.3	データ構成	26	
	2.3.1	汎用レジスタのデータ構成	26
	2.3.2	メモリ上でのデータ構成	27
2.4	アドレッシングモード	28	
	2.4.1	アドレッシングモード	28
	2.4.2	実効アドレスの計算方法	30
2.5	命令セット	33	
	2.5.1	データ転送命令	35
	2.5.2	算術演算命令	37
	2.5.3	論理演算命令	38
	2.5.4	シフト命令	38

2.5.5	ビット操作命令	40
2.5.6	分岐命令	44
2.5.7	システム制御命令	46
2.5.8	ブロック転送命令	47
2.6	CPUの状態	49
2.6.1	概要	49
2.6.2	プログラム実行状態	50
2.6.3	プログラム停止状態	50
2.6.4	例外処理状態	50
2.7	基本動作タイミング	51
2.7.1	内蔵メモリ (RAM、ROM)	51
2.7.2	内蔵周辺モジュール	52
2.8	使用上の注意事項	53
2.8.1	データアクセスに関する注意事項	53
2.8.2	ワードアクセスとバイトアクセス	56
2.8.3	ビット操作命令使用上の注意事項	64
2.8.4	割り込み要求フラグのクリアについての注意事項	68

第3章 システムコントロール

3.1	概要	71
3.2	例外処理	71
3.2.1	リセット	72
3.2.2	割り込み	74
3.2.3	割り込み制御レジスタ	76
3.2.4	外部割り込み	95
3.2.5	内部割り込み	96
3.2.6	割り込み動作	96
3.2.7	割り込み復帰動作	101
3.2.8	割り込み応答時間	101
3.2.9	各モードにおける有効な割り込み要因	102
3.2.10	スタック領域に関する使用上の注意	103
3.3	システムのモード	104
3.3.1	アクティブモード	105
3.3.2	低消費電力モード	105
3.3.3	使用上の注意事項	112
3.4	システムコントロールレジスタ	113
3.4.1	システムコントロールレジスタ1 (SYSCR1)	113

3.4.2	システムコントロールレジスタ 2 (SYSCR2)	115
-------	---------------------------------	-----

第 4 章 ROM

4.1	概要.....	119
4.1.1	ブロック図.....	119
4.2	PROM モード	120
4.2.1	PROM モードの設定	120
4.2.2	ソケットアダプタの端子対応とメモリマップ.....	120
4.3	H8/3977R ZTAT®のプログラミング.....	123
4.3.1	書込み / ベリファイ	124
4.3.2	書込み時の注意	127
4.4	書込み後の信頼性.....	128

第 5 章 RAM

5.1	概要.....	131
5.1.1	ブロック図.....	131

第 6 章 クロック発振器

6.1	概要.....	135
6.1.1	ブロック図.....	135
6.2	システムクロック発振器.....	136
6.3	サブクロック発振器	139
6.4	発振子に関する注意事項.....	140

第 7 章 I/O ポート

7.1	概要.....	143
7.1.1	ポートの機能	143
7.1.2	ポートの入力	144
7.1.3	NMOS オープンドレイン中耐圧端子.....	145
7.1.4	プルアップ MOS.....	146
7.2	ポート 0.....	147
7.2.1	概要.....	147
7.2.2	レジスタの構成	147
7.2.3	端子機能	149

	7.2.4	端子状態.....	149
7.3	ポート 1.....		150
	7.3.1	概要.....	150
	7.3.2	レジスタの構成.....	150
	7.3.3	端子機能.....	154
	7.3.4	端子状態.....	156
7.4	ポート 2.....		157
	7.4.1	概要.....	157
	7.4.2	レジスタの構成.....	157
	7.4.3	端子機能.....	159
	7.4.4	端子状態.....	159
7.5	ポート 3.....		160
	7.5.1	概要.....	160
	7.5.2	レジスタの構成.....	160
	7.5.3	ノイズキャンセル回路.....	163
	7.5.4	端子機能.....	165
	7.5.5	端子状態.....	167
7.6	ポート 4.....		168
	7.6.1	概要.....	168
	7.6.2	レジスタの構成.....	168
	7.6.3	端子機能.....	170
	7.6.4	端子状態.....	170
7.7	ポート 5.....		171
	7.7.1	概要.....	171
	7.7.2	レジスタの構成.....	171
	7.7.3	端子機能.....	177
	7.7.4	端子状態.....	178
7.8	ポート 6.....		179
	7.8.1	概要.....	179
	7.8.2	レジスタの構成.....	179
	7.8.3	端子機能.....	182
	7.8.4	端子状態.....	183
7.9	ポート 7.....		184
	7.9.1	概要.....	184
	7.9.2	レジスタの構成.....	184
	7.9.3	端子機能.....	187
	7.9.4	端子状態.....	187

第8章 タイマ

8.1	概要.....	191
	8.1.1	プリスケーラの動作..... 193
8.2	時計用タイマ.....	194
	8.2.1	概要..... 194
	8.2.2	各レジスタの説明..... 195
	8.2.3	動作説明..... 198
8.3	8/16ビットリロードタイマ.....	199
	8.3.1	概要..... 199
	8.3.2	各レジスタの説明..... 206
8.4	リロードタイマユニット.....	213
	8.4.1	概要..... 213
	8.4.2	各レジスタの説明..... 220
	8.4.3	割り込み要因..... 228
	8.4.4	各動作の設定例..... 228
8.5	フリーランニングカウンタ.....	232
	8.5.1	概要..... 232
	8.5.2	8ビットインプットキャプチャ..... 234
	8.5.3	18ビットインプットキャプチャ..... 235
8.6	リニアタイムカウンタ.....	236
	8.6.1	概要..... 236
	8.6.2	各レジスタの説明..... 238
	8.6.3	動作説明..... 241
	8.6.4	リニアタイムカウンタの動作モード..... 244
8.7	リロードタイマの割り込み要求信号.....	245

第9章 PWM

9.1	概要.....	249
9.2	14ビットPWM.....	250
	9.2.1	特長..... 250
	9.2.2	ブロック図..... 250
	9.2.3	端子構成..... 251
	9.2.4	レジスタ構成..... 251
	9.2.5	各レジスタの説明..... 252
	9.2.6	動作説明..... 255
9.3	8ビットPWM.....	256
	9.3.1	特長..... 256

9.3.2	ブロック図.....	256
9.3.3	端子構成.....	257
9.3.4	レジスタ構成.....	257
9.3.5	各レジスタの説明.....	257
9.3.6	動作説明.....	260
9.4	12ビットPWM.....	261
9.4.1	特長.....	261
9.4.2	ブロック図.....	261
9.4.3	出力波形.....	262
9.4.4	端子構成.....	262
9.4.5	レジスタ構成.....	262
9.4.6	各レジスタの説明.....	264
9.4.7	CAPPWM、DRMPWM 端子.....	266

第 10 章 SCI

10.1	概要.....	269
10.1.1	特長.....	269
10.1.2	ブロック図.....	269
10.1.3	端子構成.....	270
10.1.4	レジスタ構成.....	270
10.2	各レジスタの説明.....	271
10.2.1	シリアルモードレジスタ 1 (SMR1).....	271
10.2.2	シリアルモードレジスタ 2 (SMR2).....	273
10.2.3	シリアルデータレジスタ 1 (SDR1).....	275
10.2.4	シリアルデータレジスタ 2 (SDR2).....	275
10.2.5	ポートモードレジスタ 1 (PMR1).....	276
10.2.6	シリアルポートレジスタ (SPR).....	279
10.3	動作説明.....	281
10.3.1	SCI1、SCI2 の動作状態.....	281
10.3.2	オーバランエラー検出例と CPU 動作.....	283
10.3.3	SCI の注意事項.....	284

第 11 章 A/D 変換器

11.1	概要.....	287
11.1.1	特長.....	287
11.1.2	ブロック図.....	288

11.1.3	端子構成	289
11.1.4	レジスタ構成	289
11.2	各レジスタの説明	290
11.2.1	ソフトトリガ A/D リザルトレジスタ (ADR)	290
11.2.2	ハードトリガ A/D リザルトレジスタ (AHR)	290
11.2.3	A/D モードレジスタ (AMR)	291
11.2.4	A/D ステータスレジスタ (ASR)	294
11.2.5	ポートモードレジスタ 0 (PMR0)	297
11.3	動作説明	298
11.4	割り込み要因	300

第 12 章 同期信号検出回路

12.1	概要	303
12.1.1	特長	303
12.1.2	ブロック図	304
12.1.3	端子構成	305
12.1.4	レジスタ構成	305
12.2	各レジスタの説明	306
12.2.1	しきい値レジスタ (VTHR)	306
12.2.2	補完パルスレジスタ (CMPR)	308
12.2.3	ノイズ検出レジスタ (NDR)	309
12.2.4	TV 方式選択レジスタ (TVSR)	313
12.3	動作説明	317

第 13 章 サーボ回路

13.1	概要	323
13.1.1	機能	323
13.1.2	ブロック図	324
13.2	入力アンプ	325
13.2.1	ブロック図	325
13.2.2	端子構成	326
13.2.3	レジスタ構成	326
13.2.4	DPG バイアスレジスタ (DPB)	327
13.2.5	内部信号の位相	329
13.3	基準信号生成回路	330
13.3.1	概要	330

	13.3.2	REF30 生成回路	330
	13.3.3	CREF 生成回路	334
13.4		HSW (ヘッドスイッチ) タイミング生成回路	337
	13.4.1	概要	337
	13.4.2	ブロック図	337
	13.4.3	レジスタ構成	340
	13.4.4	レジスタの説明	340
	13.4.5	動作説明	345
	13.4.6	HSW タイミング生成回路の注意事項	346
	13.4.7	割り込み	349
	13.4.8	DPG と DFG の入力タイミング	350
13.5		4 ヘッド特殊再生用高速切り替え回路	351
	13.5.1	概要	351
	13.5.2	ブロック図	351
	13.5.3	制御方法	352
	13.5.4	端子構成	352
	13.5.5	レジスタ構成	352
	13.5.6	特再制御レジスタ (CHCR)	353
13.6		ドラム速度誤差検出回路	354
	13.6.1	概要	354
	13.6.2	ドラム速度誤差検出回路	354
	13.6.3	トリックプレイモード時の fH 補正の方法	356
	13.6.4	レジスタ構成	356
	13.6.5	レジスタの説明	357
13.7		ドラム位相誤差検出回路	359
	13.7.1	概要	359
	13.7.2	ドラム位相誤差検出回路	359
	13.7.3	位相比較	361
	13.7.4	レジスタ構成	362
	13.7.5	レジスタの説明	362
13.8		キャプスタン速度誤差検出回路	365
	13.8.1	概要	365
	13.8.2	キャプスタン速度誤差検出回路	365
	13.8.3	レジスタ構成	367
	13.8.4	レジスタの説明	367
13.9		キャプスタン位相誤差検出回路	369
	13.9.1	概要	369
	13.9.2	レジスタ構成	371

	13.9.3	レジスタの説明.....	372
13.10		X 値補正、トラッキング補正回路.....	374
	13.10.1	概要.....	374
	13.10.2	ブロック図.....	374
	13.10.3	レジスタ構成.....	375
	13.10.4	レジスタの説明.....	375
	13.10.5	X 値書き換え時の注意事項.....	375
13.11		デジタルフィルタ演算回路.....	377
	13.11.1	概要.....	377
	13.11.2	デジタルフィルタ回路.....	378
	13.11.3	演算バッファ.....	382
	13.11.4	レジスタ構成.....	383
	13.11.5	レジスタの説明.....	384
	13.11.6	過渡応答時の操作.....	389
13.12		学習サーボ回路.....	390
	13.12.1	概要.....	390
	13.12.2	ドラム速度系学習サーボ.....	391
	13.12.3	キャプスタン位相制御系学習サーボ (AD フィルタ).....	395
	13.12.4	学習サーボの定数の設定方法.....	398
13.13		付加 V 信号.....	400
	13.13.1	概要.....	400
	13.13.2	付加 V パルスの信号.....	401
	13.13.3	端子構成.....	402
	13.13.4	レジスタ構成.....	402
	13.13.5	付加 V レジスタ (ADVR).....	403
13.14		CTL 回路.....	406
	13.14.1	概要.....	406
	13.14.2	ブロック図.....	407
	13.14.3	端子構成.....	407
	13.14.4	レジスタ構成.....	408
	13.14.5	レジスタの説明.....	408
	13.14.6	動作説明.....	417
	13.14.7	CTL 入力部.....	420
	13.14.8	デューティ判別回路.....	424
	13.14.9	CTL 出力部.....	428
	13.14.10	VISS コントロール回路.....	431
	13.14.11	台形波回路.....	432
	13.14.12	CTL 割り込みに関する注意事項.....	432

13.15	H8/3977R シリーズの検波感度.....	433
-------	-------------------------	-----

第 14 章 分周回路

14.1	概要.....	441
14.2	CTL 分周回路.....	442
	14.2.1 ブロック図.....	442
	14.2.2 動作説明.....	443
	14.2.3 レジスタの説明.....	444
14.3	CFG 分周回路.....	445
	14.3.1 ブロック図.....	445
	14.3.2 動作説明.....	446
	14.3.3 各レジスタの説明.....	450

第 15 章 OSD

15.1	概要.....	457
	15.1.1 特長.....	457
	15.1.2 ブロック図.....	458
	15.1.3 端子構成.....	459
	15.1.4 データ構成.....	459
	15.1.5 TV 方式との対応.....	460
15.2	文字データ ROM (CGROM).....	461
15.3	表示データ RAM.....	464
15.4	レジスタの説明.....	466
	15.4.1 レジスタ構成.....	466
	15.4.2 OSD レジスタ 1 (OSDR1).....	466
	15.4.3 OSD レジスタ 2 (OSDR2).....	470
	15.4.4 OSD レジスタ 3 (OSDR3).....	472
	15.4.5 OSD レジスタ 4 (OSDR4).....	474
	15.4.6 OSD レジスタ 5 (OSDR5).....	478
	15.4.7 OSD レジスタ 6 (OSDR6).....	480
15.5	動作の説明.....	482
	15.5.1 YCO、YEO 出力.....	482
	15.5.2 出力信号.....	482
	15.5.3 ブルーバック時の輝度レベル.....	482
	15.5.4 1 ドットの大きさ.....	484
	15.5.5 4/2fsc の発振を使用しない場合の OSD.....	484

15.5.6	OSD フォントについて	484
15.5.7	割り込み	485
15.5.8	縁取りに関する注意事項	487
15.5.9	OSD 用発振器	490
15.5.10	AFC (Automatic Frequency Control)	493
15.5.11	CPU 動作モードにおける OSD 動作状態	496
15.5.12	OSD の注意事項	497

第 16 章 電気的特性

16.1	絶対最大定格	501
16.2	電気的特性	502
16.2.1	DC 特性	502
16.2.2	出力許容電流	509
16.2.3	AC 特性	510
16.2.4	シリアルインタフェースタイミング	512
16.2.5	A/D 変換器特性	515
16.2.6	サーボ部電気的特性	516
16.2.7	OSD 部電気的特性	519

付録

A.	命令	523
A.1	命令一覧	523
A.2	オペレーションコードマップ	524
A.3	命令実行ステート数	525
B.	内部 I/O レジスタ一覧	534
B.1	アドレス一覧	534
B.2	機能一覧	538
C.	各端子の回路構成	596
D.	各処理状態におけるポートの状態	607
E.	使用上の注意	608
E.1	電源の立ち上げおよび立ち下げの順序	608
E.2	OSD 未使用時の電源端子	609
E.3	4 ヘッド特殊再生用高速切り替え回路未使用時の端子処理	611
E.4	外付回路例	611
E.5	ROM リリース時の注意事項	614
F.	型名一覧	616

G.	外形寸法図.....	617
----	------------	-----

1. 概要

第1章 目次

1.1	概要	3
1.2	内部ブロック図.....	7
1.3	端子説明.....	8
	1.3.1 ピン配置.....	8
	1.3.2 端子機能.....	10

1.1 概要

H8/300L シリーズは、高速 H8/300L CPU を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。

H8/3977R シリーズは H8/300L シリーズのシングルチップマイクロコンピュータで、周辺機能として、OSD (On Screen Display)、デジタルサーボ回路、5 種類のタイマ、14 ビット PWM、8 ビット PWM、2 チャネルのシリアルコミュニケーションインタフェース、A/D 変換器などを内蔵しています。H8/3977R シリーズには、32k バイトの ROM、768 バイトの RAM を内蔵した H8/3974R、40k バイトの ROM、1k バイトの RAM を内蔵した H8/3975R、48k バイトの ROM、1k バイトの RAM を内蔵した H8/3976R、60k バイトの ROM、1k バイトの RAM を内蔵した H8/3977R があります。

H8/3977R には、ユーザサイドで自由にプログラムの書き込みができる PROM を内蔵した ZTAT* 版もあります。

本 LSI の特長を表 1.1 に示します。

【注】 * ZTAT (Zero Turn Around Time) は (株) 日立製作所の登録商標です。

表 1.1 特長 (1)

項 目	仕 様
CPU	高速 H8/300L CPU (1) 汎用レジスタマシン ・汎用レジスタ : 8 ビット × 16 本 (16 ビット × 8 本としても使用可能) (2) 動作速度 : ・最高動作周波数 : 5MHz ・加減算 : 0.4 μ s (= 5MHz 動作時) ・乗除算 : 2.8 μ s (= 5MHz 動作時) ・32kHz サブクロックによる動作可能 (3) H8/300CPU と互換性のある命令体系 ・2 バイトまたは 4 バイト長の命令 ・レジスタ - レジスタ間の基本演算 ・MOV 命令によるメモリ - レジスタ間データ転送 (4) 特長ある命令 ・乗算命令 (8 ビット × 8 ビット) ・除算命令 (16 ビット ÷ 8 ビット) ・ビットアキュムレータ命令 ・レジスタ間接指定によりビット位置の指定が可能

表 1.1 特長 (2)

項 目	仕 様
割り込み	24 種類の割り込み要因 ・外部割り込み端子 8 本： $\overline{IRQ}_5 \sim \overline{IRQ}_0$ 、 \overline{NMI} 、 \overline{IC} ・内部割り込み要因 16 要因
低消費電力モード	4 種類の低消費電力モード ・スリープモード ・スタンバイモード ・ウォッチモード ・サブアクティブモード
メモリ	大容量メモリ内蔵 ROM 32k バイト、RAM 768 バイト版 (H8/3974R) ROM 40k バイト、RAM 1k バイト版 (H8/3975R) ROM 48k バイト、RAM 1k バイト版 (H8/3976R) ROM 60k バイト、RAM 1k バイト版 (H8/3977R)
クロック発振器	2 種類のクロック発振器内蔵 ・システムクロック発振器：8 ~ 10MHz ・サブクロック発振器：32.768kHz
I/O ポート	I/O ポート 100 本 ・入出力端子 46 本 ・入力端子 12 本 ・OSD 制御 13 本 ・サーボ制御 19 本 ・システム端子 10 本

表 1.1 特長 (3)

項 目	仕 様
タイマ	<p>6 種類のタイマ内蔵</p> <p>(1) 時計用タイマ : 8 ビットインターバルタイマ</p> <ul style="list-style-type: none"> ・システムクロック () *1 を分周した 8 種類の内部クロックまたはサブクロック (SUB) を分周した 4 種類のクロックによりカウントアップ可能 ・サブクロック動作とすることで時計用タイムベースとして使用可能 <p>(2) 8 / 16 ビットリロードタイマ</p> <ul style="list-style-type: none"> ・5 種類の動作モード ・8 または 16 ビット動作可能 ・2 本の 8 ビットダウンカウンタまたは 1 本の 16 ビットダウンカウンタ (リロードタイマ / イベントカウンタ / タイマ出力) ・リモコン送信機能 <p>(3) リロードタイマユニット</p> <ul style="list-style-type: none"> ・3 本のリロードタイマ ・モード判別可能 ・キャプスタンモータ加減速検出機能付き ・スロートラッキングモノマルチ <p>(4) リニアタイムカウンタ : 8 ビットアップ / ダウンカウンタ</p> <ul style="list-style-type: none"> ・2 種類の内部クロック、CFG 分周信号、再生コントロールパルスから選択可能 <p>(5) フリーランニングカウンタ</p> <ul style="list-style-type: none"> ・f_{OSC} をクロックソースとした 19 ビットのカウンタ
PWM	<p>3 種類の PWM 内蔵</p> <p>(1) 14 ビット PWM : パルス分割方式</p> <p>(2) 8 ビット PWM : デューティ制御方式</p> <p>(3) 12 ビット PWM : パルスピッチ制御方式</p>
シリアル コミュニケーション インタフェース (SCI)	<p>2 チャンネルのシリアルコミュニケーションインタフェース内蔵</p> <ul style="list-style-type: none"> ・8 ビットのクロック同期式 ・8 ビットの転送データを送受信可能

【注】 *1 は原発振を 1 / 2 分周したクロックを示します。

表 1.1 特長 (4)

項目	仕様																										
A/D 変換器	抵抗ラダー方式による逐次比較方式の 8 ビット A/D 変換器 <ul style="list-style-type: none"> ・ 12 チャンネルのアナログ入力端子 ・ 変換時間：1 チャンネル当たり 124 / または 62 / ・ サンプルホールド回路付き 																										
同期信号検出回路	積分方式による検出回路内蔵 <ul style="list-style-type: none"> ・ 水平同期信号と垂直同期信号の検出可能 ・ ノイズ検出機能 																										
サーボ回路	デジタルサーボ回路内蔵 <ul style="list-style-type: none"> ・ 入力、出力回路 ・ 誤差検出回路 ・ 位相補償、ゲイン補正 																										
OSD (On Screen Display)	OSD 回路内蔵 <ul style="list-style-type: none"> ・ 24 列 × 10 行の画面構成 ・ 128 種類のキャラクタ ・ ブルーバック表示とスーパーインポーズ表示の指定可能 ・ 文字構成：12 × 18 ドット 文字の大きさ：1 × 1、2 × 2、4 × 4 ・ ブリンキング (0.5、1 秒周期)、文字反転 																										
分周回路	再生コントロールパルス信号および CFG 信号の分周																										
製品ラインアップ	<table border="1"> <thead> <tr> <th colspan="2">製品型名</th> <th colspan="2">メモリサイズ</th> <th rowspan="2">パッケージ</th> </tr> <tr> <th>マスクROM版</th> <th>ZTAT[®]版</th> <th>ROM</th> <th>RAM</th> </tr> </thead> <tbody> <tr> <td>HD6433974RF</td> <td>————</td> <td>32kバイト</td> <td>768バイト</td> <td rowspan="4">100ピンQFP FP-100A, 14mm × 20mm, 0.65mmピッチ</td> </tr> <tr> <td>HD6433975RF</td> <td>————</td> <td>40kバイト</td> <td>1kバイト</td> </tr> <tr> <td>HD6433976RF</td> <td>————</td> <td>48kバイト</td> <td>1kバイト</td> </tr> <tr> <td>HD6433977RF</td> <td>HD6473977RF</td> <td>60kバイト</td> <td>1kバイト</td> </tr> </tbody> </table>	製品型名		メモリサイズ		パッケージ	マスクROM版	ZTAT [®] 版	ROM	RAM	HD6433974RF	————	32kバイト	768バイト	100ピンQFP FP-100A, 14mm × 20mm, 0.65mmピッチ	HD6433975RF	————	40kバイト	1kバイト	HD6433976RF	————	48kバイト	1kバイト	HD6433977RF	HD6473977RF	60kバイト	1kバイト
製品型名		メモリサイズ		パッケージ																							
マスクROM版	ZTAT [®] 版	ROM	RAM																								
HD6433974RF	————	32kバイト	768バイト	100ピンQFP FP-100A, 14mm × 20mm, 0.65mmピッチ																							
HD6433975RF	————	40kバイト	1kバイト																								
HD6433976RF	————	48kバイト	1kバイト																								
HD6433977RF	HD6473977RF	60kバイト	1kバイト																								

1.2 内部ブロック図

H8/3977R シリーズの内部ブロック図を図 1.1 に示します。

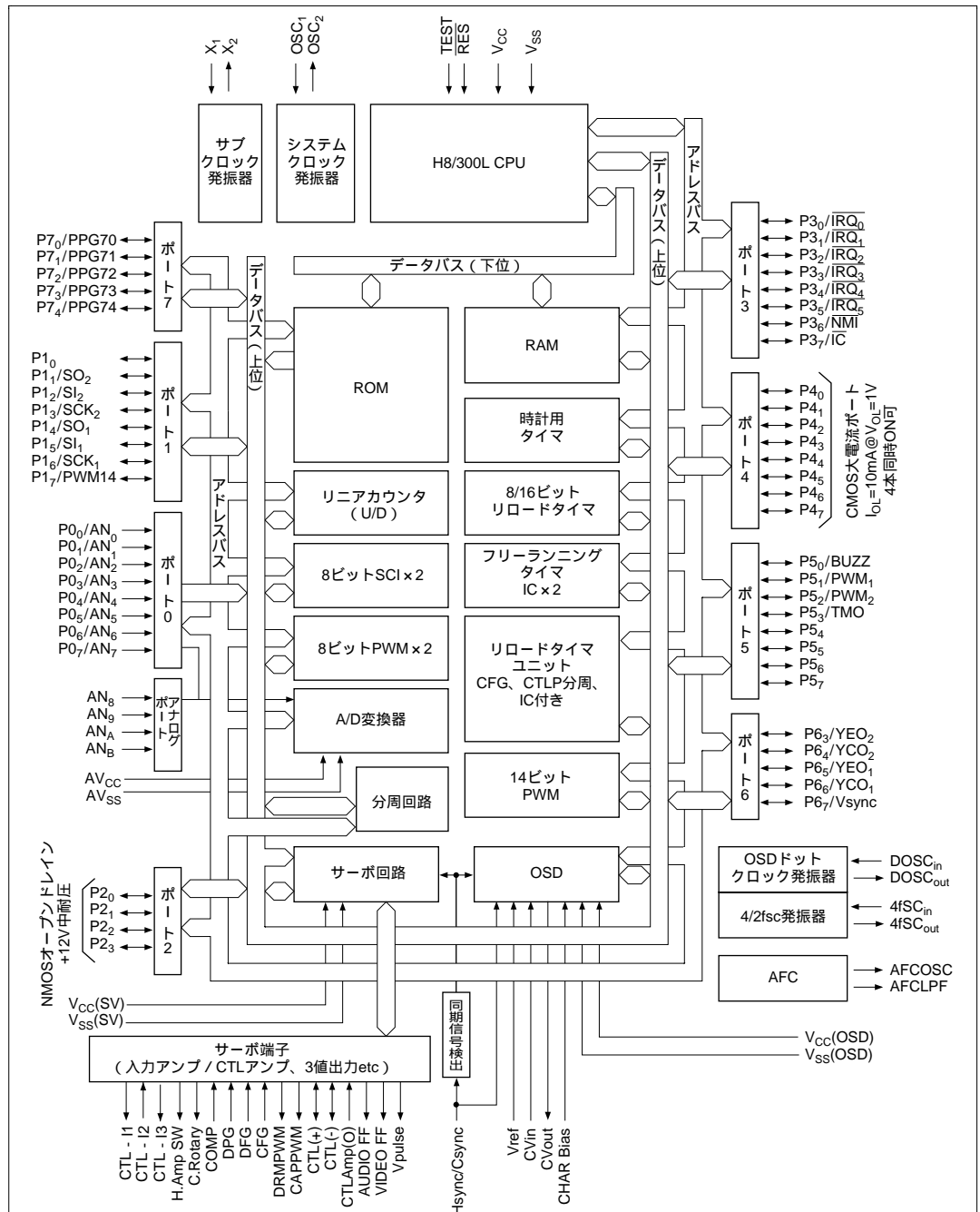


図 1.1 内部ブロック図

1.3 端子説明

1.3.1 ピン配置

H8/3977R シリーズのピン配置図を図 1.2 に示します。

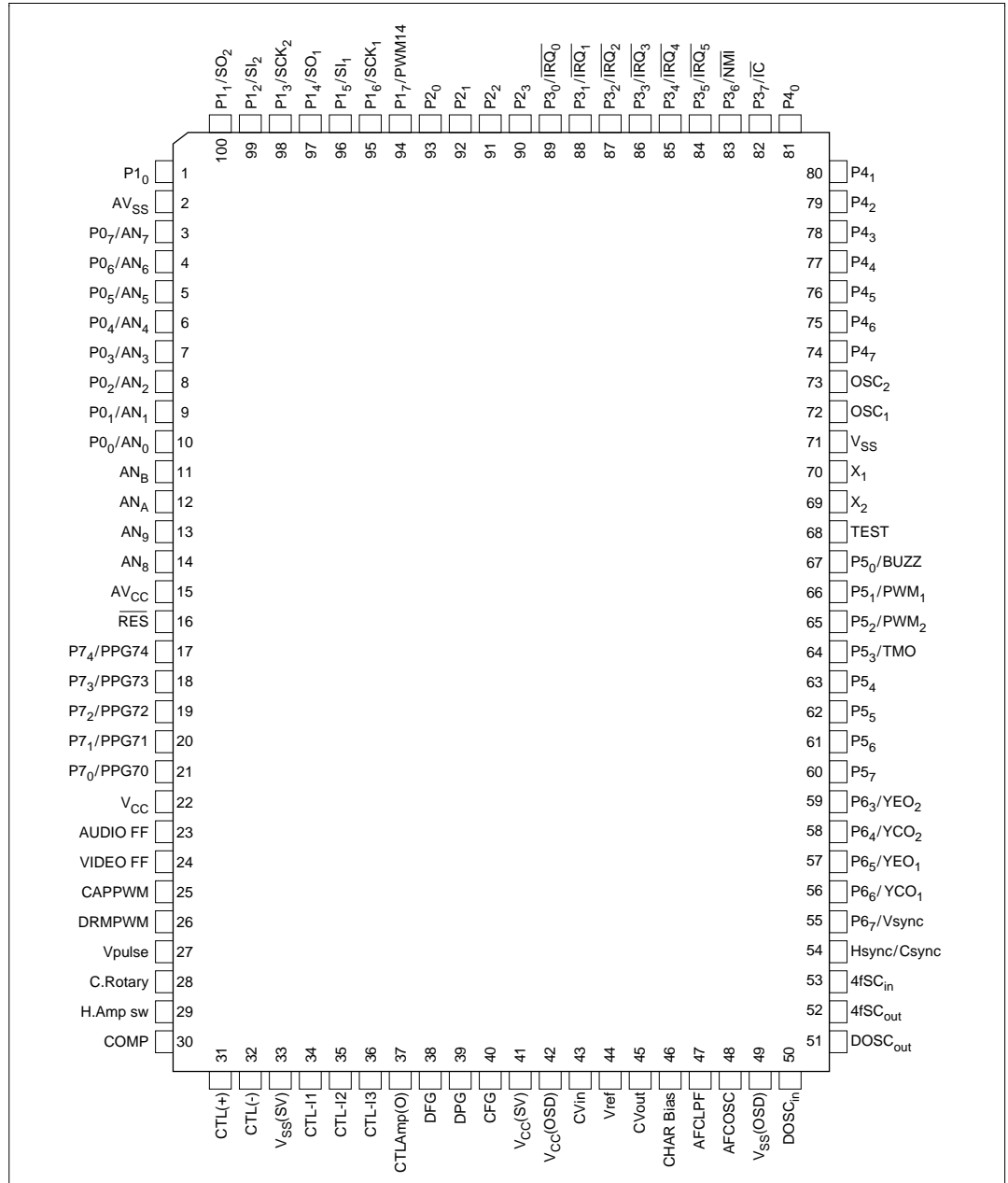


図 1.2 ピン配置図 (FP-100A : 上面図)

サーボ制御端子の接続関係を図 1.3 に示します。

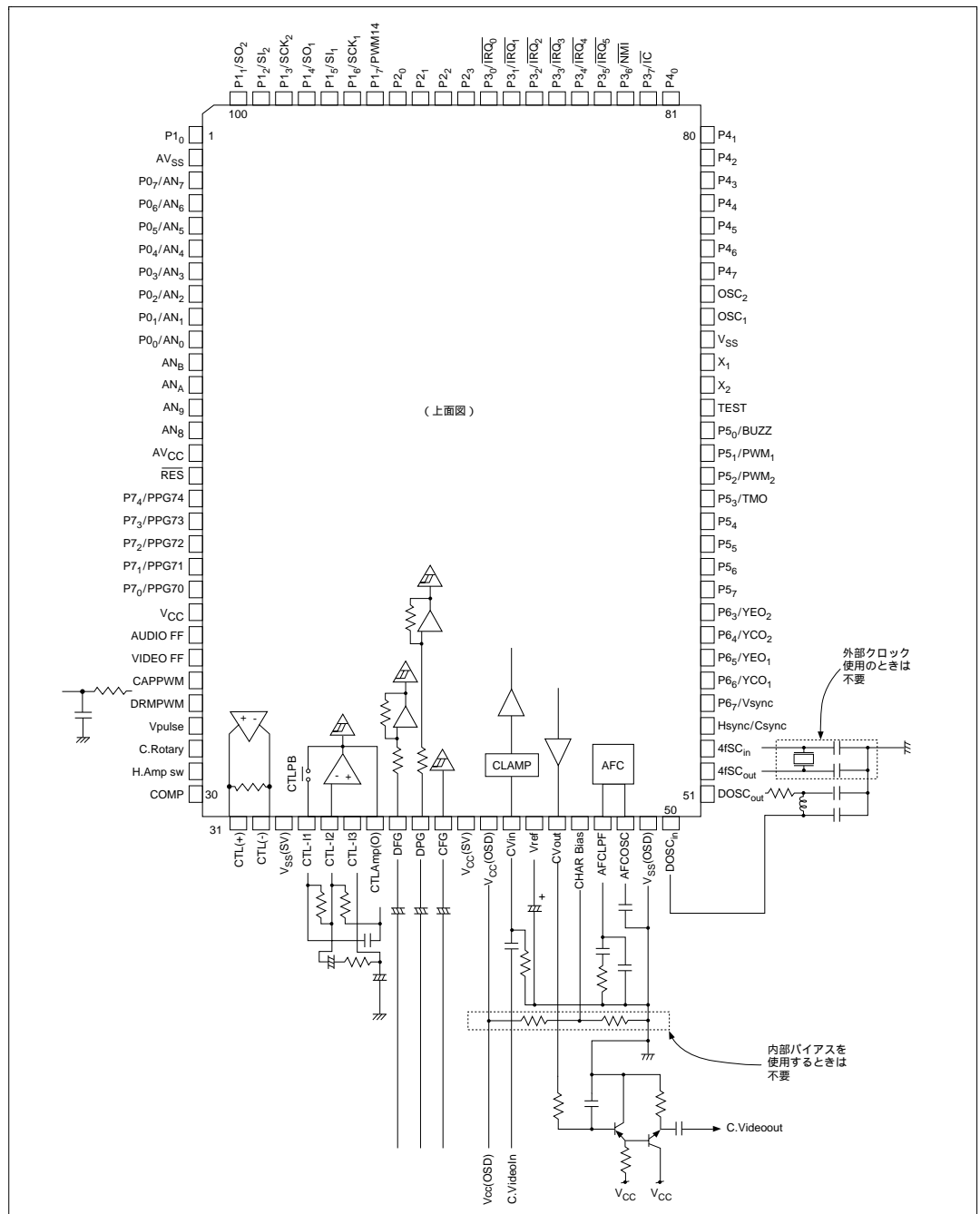


図 1.3 サーボ制御端子の接続例

1.3.2 端子機能

各端子の機能について表 1.2 に示します。

表 1.2 端子機能 (1)

分類	記号	ピン番号	入出力	機 能
電源	V_{CC}	22	入力	<u>電源</u> V_{CC} 端子は、システムの電源 (+5V) に接続してください。
	V_{SS}	71	入力	<u>グランド</u> V_{SS} 端子は、システムの電源 (0V) に接続してください。
	$V_{CC} (SV)$	41	入力	<u>サーボ電源</u> $V_{CC} (SV)$ 端子は、サーボ用アナログ電源 (+5V) に接続してください。
	$V_{SS} (SV)$	33	入力	<u>サーボグランド</u> $V_{SS} (SV)$ 端子は、サーボ用アナログ電源 (0V) に接続してください。
	$V_{CC} (OSD)$	42	入力	<u>OSD 用アナログ電源</u> $V_{CC} (OSD)$ 端子は、OSD 用アナログ電源 (+5V) に接続してください。
	$V_{SS} (OSD)$	49	入力	<u>OSD 用アナロググランド</u> $V_{SS} (OSD)$ 端子は、OSD 用アナログ電源 (0V) に接続してください。
	AV_{CC}	15	入力	<u>アナログ電源</u> A/D 変換器用電源端子です。A/D 変換器を使用しない場合、システムの電源 (+5V) に接続してください。
	AV_{SS}	2	入力	<u>アナロググランド</u> A/D 変換器のグランド端子です。システムの電源 (0V) に接続してください。
クロック	OSC_1	72	入力	水晶発振子またはセラミック発振子を接続します。また、外部クロックを入力することもできます。接続例については「第 6 章 クロック発振器」を参照してください。
	OSC_2	73	出力	水晶発振子またはセラミック発振子を接続します。
	X_1	70	入力	32.768kHz の水晶発振子を接続します。接続例については「第 6 章 クロック発振器」を参照してください。
	X_2	69	出力	32.768kHz の水晶発振子を接続します。

表 1.2 端子機能 (2)

分類	記号	ピン番号	入出力	機能
システム コントロ ール	$\overline{\text{RES}}$	16	入力	<u>リセット</u> この端子が Low レベルになると、リセット状態になります。
	TEST	68	入力	<u>テスト端子</u> ユーザは使用できません。V _{SS} 電位に接地してください。
割り込み	$\overline{\text{IRQ}}_0$	89	入力	<u>外部割り込み要求 0</u> 立ち上がりエッジセンス、立ち下がりエッジセンス、または両エッジセンスを選択可能な外部割り込み入力端子です。
	$\overline{\text{IRQ}}_1$	88	入力	<u>外部割り込み要求 1、2、3</u> 立ち上がりエッジセンス、または立ち下がりエッジセンスを選択可能な外部割り込み入力端子です。
	$\overline{\text{IRQ}}_2$ $\overline{\text{IRQ}}_3$	87		
		86		
	$\overline{\text{IRQ}}_4$ $\overline{\text{IRQ}}_5$	85	入力	<u>外部割り込み要求 4、5</u> 立ち下がりエッジセンスの外部割り込み入力端子です。
	84			
	$\overline{\text{NMI}}$	83	入力	<u>ノンマスクابل割り込み</u> 立ち上がりエッジセンス、立ち下がりエッジセンス、または両エッジセンスを選択可能なノンマスクابل割り込み入力端子です。
	$\overline{\text{IC}}$	82	入力	<u>インプットキャプチャ</u> インプットキャプチャ 1 (IC1) のキャプチャ信号入力端子です。
タイマ	$\overline{\text{IRQ}}_1$	88	入力	<u>RDT1 イベント入力</u> リロードタイマ 1 のカウンタに入力するイベント入力端子です。
	$\overline{\text{IRQ}}_2$	87	入力	<u>RDT2 イベント入力</u> リロードタイマ 2 のカウンタに入力するイベント入力端子です。
	$\overline{\text{IRQ}}_3$	86	入力	<u>インプットキャプチャ</u> インプットキャプチャ 2 (IC2) のキャプチャ信号入力端子です。
	TMO	64	出力	<u>タイマ出力</u> リロードタイマ 1 のアンダフローのトグル出力端子です。

表 1.2 端子機能 (3)

分類	記号	ピン番号	入出力	機能
PWM	PWM ₁	66	出力	8ビット PWM 方形波出力
	PWM ₂	65		8ビット PWM1、2 により生成された波形の出力端子です。
	PWM14	94	出力	14ビット PWM 方形波出力
				14ビット PWM により生成された波形の出力端子です。
	BUZZ	67	出力	ブザー出力 固定周波数出力、サブクロック (32kHz) から分周された 1Hz (デューティ 50%)、分周 CTL 信号のトグル出力が選択できます。
シリアル コミュニ	SO ₁	97	出力	シリアル送信データ出力
	SO ₂	100		SCI のデータ出力端子です。
ケーショ ンインタ	SI ₁	96	入力	シリアル受信データ入力
	SI ₂	99		SCI のデータ入力端子です。
フェース	SCK ₁	95	入出力	シリアルクロック入出力
	SCK ₂	98		SCI のクロック入出力端子です。
A/D 変換器	AN ₇ ~ AN ₀	3 ~ 10	入力	アナログ入力チャンネル 9 ~ 0、A、B
	AN ₉	13		A/D 変換器へのアナログデータ入力端子です。
	AN ₈	14		
	AN _A	12		
	AN _B	11		
サーボ 回路	DPG	39	入力	ドラム PG シュミットアンプ入力 DPG 信号のシュミットアンプ入力端子です。
	DFG	38	入力	ドラム FG シュミットアンプ入力 DFG 信号のシュミットアンプ入力端子です。
	DRMPWM	26	出力	ドラムミックス ドラムの速度誤差、位相誤差をフィルタ演算した結果の 12 ビット PWM 出力端子です。
	CFG	40	入力	キャプスタン FG シュミット入力 CFG 信号のシュミット入力端子です。

表 1.2 端子機能 (4)

分類	記号	ピン番号	入出力	機 能
サーボ 回路	CAPPWM	25	出力	<u>キャプスタンミックス</u> キャプスタンの速度誤差、位相誤差をフィルタ演算した結果の12ビットPWM出力端子です。
	CTL(+)	31	入出力	CTL ヘッド(+)端子、CTL ヘッド(-)端子
	CTL(-)	32		CTL 信号の入出力端子です。
	CTL-I1	34	出力	<u>CTL アンプ制御</u>
	CTL-I2	35	入力	CTL アンプの制御用端子です。
	CTL-I3	36	出力	
	CTLAmp(O)	37	出力	<u>CTL アンプ出力</u> CTL アンプの出力端子です。
	AUDIO FF	23	出力	<u>オーディオFF</u> オーディオヘッドの切り替え信号出力端子です。
	VIDEO FF	24	出力	<u>ビデオFF</u> ビデオヘッドの切り替え信号出力端子です。
	Vpulse	27	出力	<u>付加Vパルス</u> VIDEOFF 信号に同期した、付加V信号を出力する端子です。 3値出力端子です。
H.AmpSW	29	出力	<u>ヘッドアンプスイッチ</u> 4ヘッド特殊再生時のプリアンプ出力選択信号出力端子です。	
C.Rotary	28	出力	<u>カラーロータリー信号</u> 4ヘッド特殊再生時の色信号処理制御信号出力端子です。	
COMP	30	入力	<u>コンペア入力</u> 4ヘッド特殊再生時の、プリアンプ出力比較結果信号入力端子です。	
OSD	DOSC _{in}	50	入力	<u>OSD ドットクロック発振器</u> ドットクロック発振器の入力端子です。
	DOSC _{out}	51	出力	<u>OSD ドットクロック発振器</u> ドットクロック発振器の出力端子です。

表 1.2 端子機能 (5)

分類	記号	ピン番号	入出力	機能
OSD	4fsc _{in}	53	入力	<u>4/2fsc 発振器</u> fsc*用発振器の入力端子です。4fsc または 2fsc が選択できます。 【注】*fsc : サブキャリア周波数
	4fsc _{out}	52	出力	<u>4/2fsc 発振器</u> fsc 用発振器の出力端子です。4fsc または 2fsc が選択できます。
	CVin	43	入力	<u>複合ビデオ信号入力</u> シンクチップクランプ回路付きの C.Video 信号入力端子です。2V _{pp} です。
	CVout	45	出力	<u>複合ビデオ信号出力</u> シンクチップレベルが 1.4V typ. の C.Video 信号出力端子です。2V _{pp} です。
	Vref	44	出力	<u>基準バイアス、クランプバイアス電源端子</u> 基準バイアス、クランプバイアス電圧のアンブ出力端子です。内部で生成、使用されます。ノイズ除去のためにコンデンサを接続します。
	YCO ₁ YCO ₂	56 58	出力	<u>キャラクタデータ出力</u> 文字データのビットストリーム出力端子です。 カウンタ加算、日付加算などに使用します。
	YEO ₁ YEO ₂	57 59	出力	<u>キャラクタ縁取りデータ出力</u> 文字フチドリデータの出力端子です。 YCO1、2 とあわせて使用します。
	Hsync /Csync	54	入力	<u>同期信号入力</u> 水平同期信号または複合同期信号の入力端子です。
	Vsync	55	入力	<u>同期信号入力</u> 垂直同期信号の入力端子です。
	CHAR Bias	46	入力	<u>文字外部輝度レベル</u> 文字出力レベルの入力端子です。文字色は白です。
	AFCLPF	47	出力	<u>AFC 用 LPF 端子</u> AFC (Automatic Frequency Control) の LPF (Low Pass Filter) 接続端子です。
	AFCOSC	48	出力	<u>AFC 用発振端子</u> AFC の発振周波数を定める端子です。

表 1.2 端子機能 (6)

分類	記号	ピン番号	入出力	機能
I/O ポート	P0 ₇ ~ P0 ₀	3 ~ 10	入力	<u>ポート 0</u> 8 ビットの入力専用端子です。
	P1 ₇ ~ P1 ₀	94 ~ 100 1	入出力	<u>ポート 1</u> 8 ビットの入出力端子です。
	P2 ₃ ~ P2 ₀	90 ~ 93	入出力	<u>ポート 2</u> 4 ビットの入出力端子です。
	P3 ₇ ~ P3 ₀	82 ~ 89	入出力	<u>ポート 3</u> 8 ビットの入出力端子です。
	P4 ₇ ~ P4 ₀	74 ~ 81	入出力	<u>ポート 4</u> 8 ビットの入出力端子です。
	P5 ₇ ~ P5 ₀	60 ~ 67	入出力	<u>ポート 5</u> 8 ビットの入出力端子です。
	P6 ₇ ~ P6 ₃	55 ~ 59	入出力	<u>ポート 6</u> 5 ビットの入出力端子です。
	P7 ₄ ~ P7 ₀	17 ~ 21	入出力	<u>ポート 7</u> 5 ビットの入出力端子です。
	PPG74 ~ PPG70	17 ~ 21	出力	<u>PPG</u> HSW タイミング生成回路の出力端子です。AUDIO FF、 VIDEO FF の他に、ヘッド切り換えが必要な場合に使用し ます。

2. CPU

第2章 目次

2.1	概要	19
	2.1.1 特長	19
	2.1.2 アドレス空間	20
	2.1.3 レジスタ構成	22
2.2	各レジスタの説明	23
	2.2.1 汎用レジスタ	23
	2.2.2 コントロールレジスタ	23
	2.2.3 CPU 内部レジスタの初期値	25
2.3	データ構成	26
	2.3.1 汎用レジスタのデータ構成	26
	2.3.2 メモリ上でのデータ構成	27
2.4	アドレッシングモード	28
	2.4.1 アドレッシングモード	28
	2.4.2 実効アドレスの計算方法	30
2.5	命令セット	33
	2.5.1 データ転送命令	35
	2.5.2 算術演算命令	37
	2.5.3 論理演算命令	38
	2.5.4 シフト命令	38
	2.5.5 ビット操作命令	40
	2.5.6 分岐命令	44
	2.5.7 システム制御命令	46
	2.5.8 ブロック転送命令	47
2.6	CPU の状態	49
	2.6.1 概要	49
	2.6.2 プログラム実行状態	50
	2.6.3 プログラム停止状態	50

2.6.4	例外処理状態	50
2.7	基本動作タイミング	51
2.7.1	内蔵メモリ (RAM、ROM)	51
2.7.2	内蔵周辺モジュール	52
2.8	使用上の注意事項	53
2.8.1	データアクセスに関する注意事項	53
2.8.2	ワードアクセスとバイトアクセス	56
2.8.3	ビット操作命令使用上の注意事項	64
2.8.4	割り込み要求フラグのクリアについての注意事項	68

2.1 概要

H8/300L CPU は、8 ビット×16 本（または 16 ビット×8 本）の汎用レジスタ、ならびに高速動作に適した簡潔な命令セットを備えた CPU です。

2.1.1 特長

H8/300L CPU には、次の特長があります。

汎用レジスタ方式

8 ビット×16 本（16 ビット×8 本としても使用可能）

55 種類の基本命令

- ・乗除算命令
- ・強力なビット操作命令

8 種類のアドレッシングモード

- ・レジスタ直接 (Rn)
- ・レジスタ間接 (@Rn)
- ・ディスプレイメント付レジスタ間接 (@(d:16, Rn))
- ・ポストインクリメント/プリデクリメントレジスタ間接 (@Rn+ / @-Rn)
- ・絶対アドレス (@aa:8 / @aa:16)
- ・イミディエイト (#xx:8 / #xx:16)
- ・プログラムカウンタ相対 (@(d:8, PC))
- ・メモリ間接 (@@aa:8)

64k バイトのアドレス空間

高速動作

- ・頻出命令をすべて 2~4 ステートで実行
- ・高速演算

8 または 16 ビットレジスタ間加減算 0.4 μ s*

8×8 ビット乗算 2.8 μ s*

16÷8 ビット除算 3.5 μ s*

【注】 * 数値は、 = 5MHz 時のもの

低消費電力動作

SLEEP 命令により低消費電力動作可能

2.1.2 アドレス空間

H8/300L CPUがサポートするアドレス空間は、プログラムコードとデータ領域合計で最大64k バイトです。

メモリマップは ROM 容量と RAM 容量により異なります。H8/3974R、H8/3975R、H8/3976R、H8/3977R のメモリマップを、図 2.1 に示します。

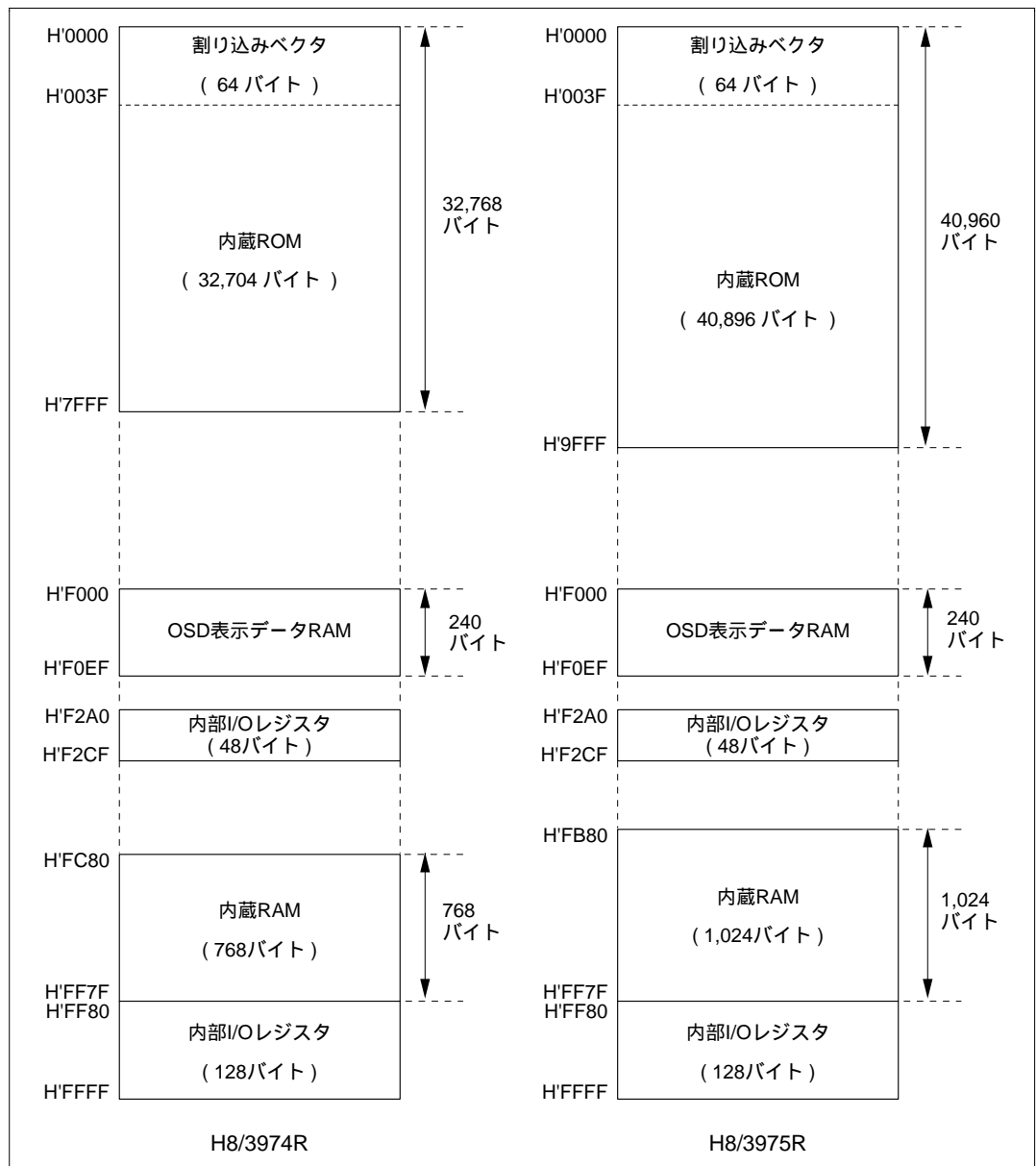


図 2.1 (1) メモリマップ

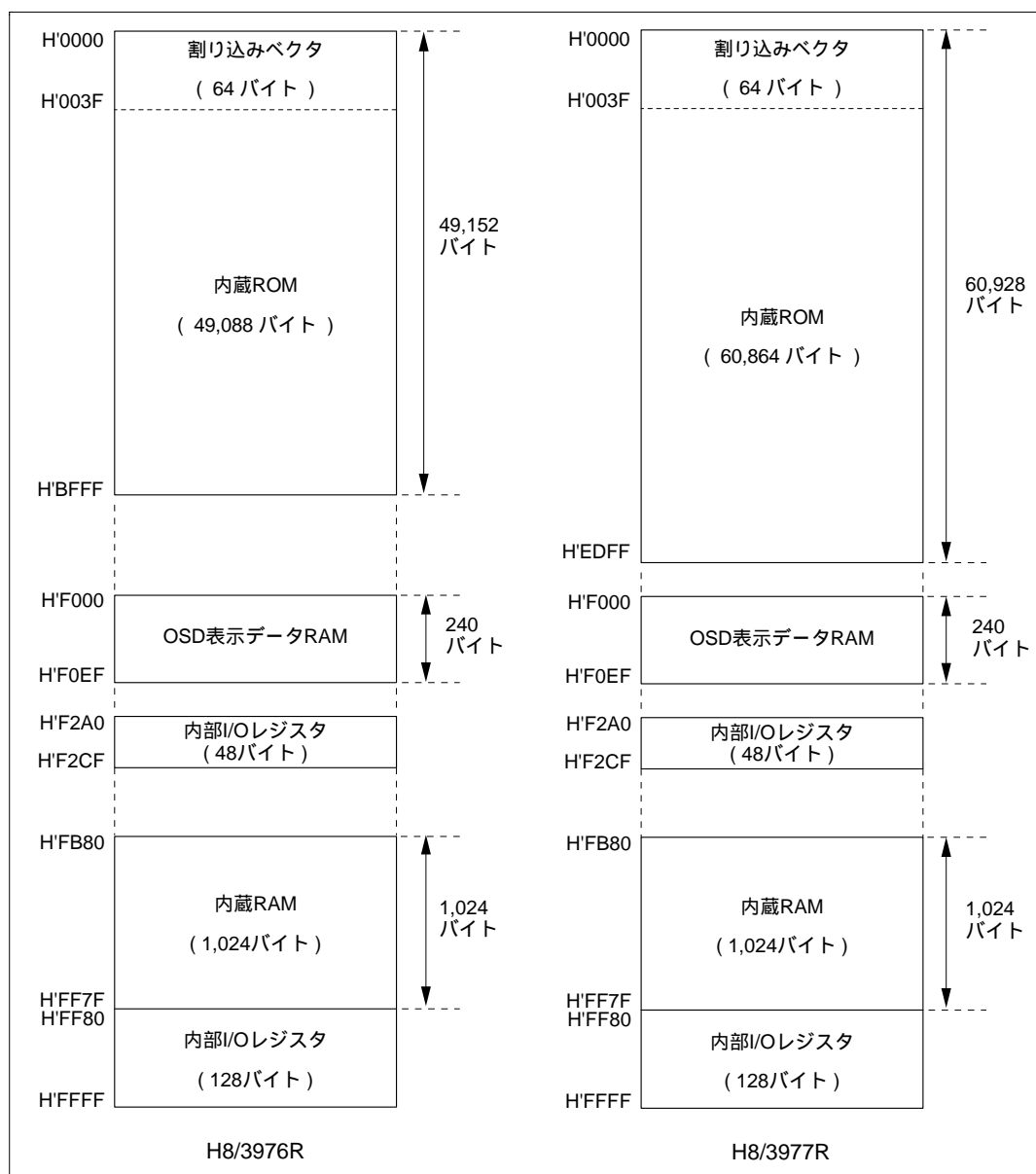


図 2.1 (2) メモリマップ

2.1.3 レジスタ構成

H8/300L CPUの内部レジスタ構成を図2.2に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの2つに分類することができます。



図2.2 CPU内部レジスタ構成

2.2 各レジスタの説明

2.2.1 汎用レジスタ

汎用レジスタは、すべて同じ機能をもっており、データレジスタ、アドレスレジスタの区別なく使用できます。

データレジスタとして使用する場合は、8ビットレジスタとして上位 (R0H~R7H) と下位 (R0L~R7L) を別々に使用することも、また 16ビットレジスタ (R0~R7) として使用することもできます。

アドレスレジスタとして使用する場合は、16ビットレジスタ (R0~R7) として使用します。レジスタ R7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチンコールなどで暗黙的に使用されます。このとき、SP は常にスタック領域の先頭を指しています。スタックの状態を図 2.3 に示します。

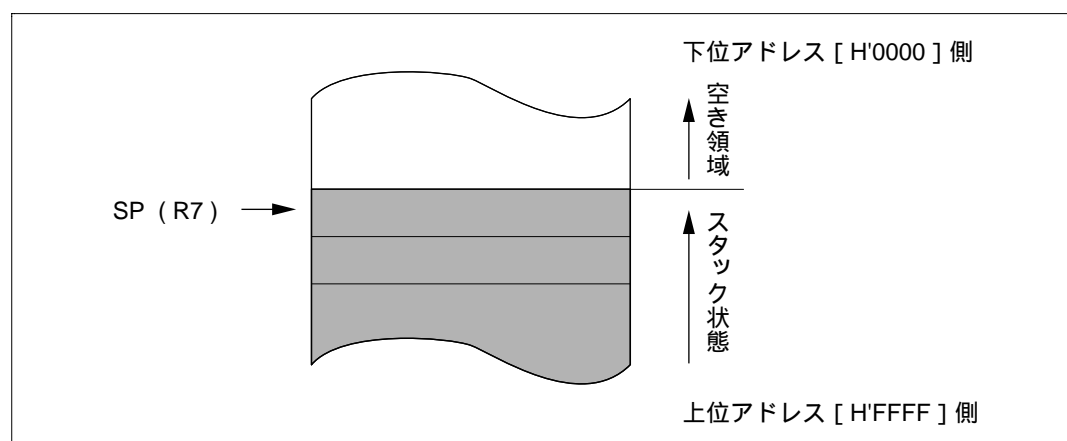


図 2.3 スタックの状態

2.2.2 コントロールレジスタ

コントロールレジスタには、16ビットのプログラムカウンタ (PC) と 8ビットのコンディションコードレジスタ (CCR) があります。

(1) プログラムカウンタ (PC)

16ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 16ビット (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは 0 とみなされます)。

(2) コンディションコードレジスタ (CCR)

8ビットのレジスタで、CPUの内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む8ビットで構成されています。

ビット7：割り込みマスクビット (I)

本ビットが1にセットされると、割り込みがマスクされます。

例外処理の実行が開始されたときに1にセットされます。本ビットはソフトウェアによりリード/ライトできます。割り込みマスクビットの詳細については「3.2.2 割り込み」を参照してください。

ビット6：ユーザビット (U)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。

ビット5：ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット3にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。

DAA および DAS 命令実行時に、暗黙的に使用されます。

ADD.W、SUB.W、CMP.W 命令ではビット11にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。

ビット4：ユーザビット (U)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。

ビット3：ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット2：ゼロフラグ (Z)

データがゼロのとき1にセットされ、ゼロ以外のとき0にクリアされます。

ビット1：オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき1にセットされます。それ以外
のとき0にクリアされます。

ビット0：キャリフラグ (C)

演算の実行により、キャリが生じたとき1にセットされ、生じなかったとき0にクリアされます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のボロー
- (c) シフト/ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

各命令ごとのフラグの変化については、「H8/300L シリーズ プログラミングマニュアル」を参照してください。

2.2.3 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタアドレス (H'0000) のロードにより初期化され、CCR の I ビットは1にセットされますが、汎用レジスタおよび CCR の他のビットは初期化されません。レジスタ R7 (SP) の初期値も不定です。したがって、リセット直後に、R7 の初期化を行ってください。

2.3 データ構成

H8/300L CPU は、1ビット、4ビットBCD、8ビット（バイト）、16ビット（ワード）のデータを扱うことができます。1ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第nビット（ $n=0, 1, 2, \dots, 7$ ）という形式でアクセスされます。

バイトデータは、ADDS、SUBS 以外の演算命令で扱われます。また、ワードデータは、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU（8ビット×8ビット）、DIVXU（16ビット÷8ビット）命令で扱われます。

なお、DAA および DAS の10進補正命令では、バイトデータは2桁の4ビットBCDデータとなります。

2.3.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図 2.4 に示します。

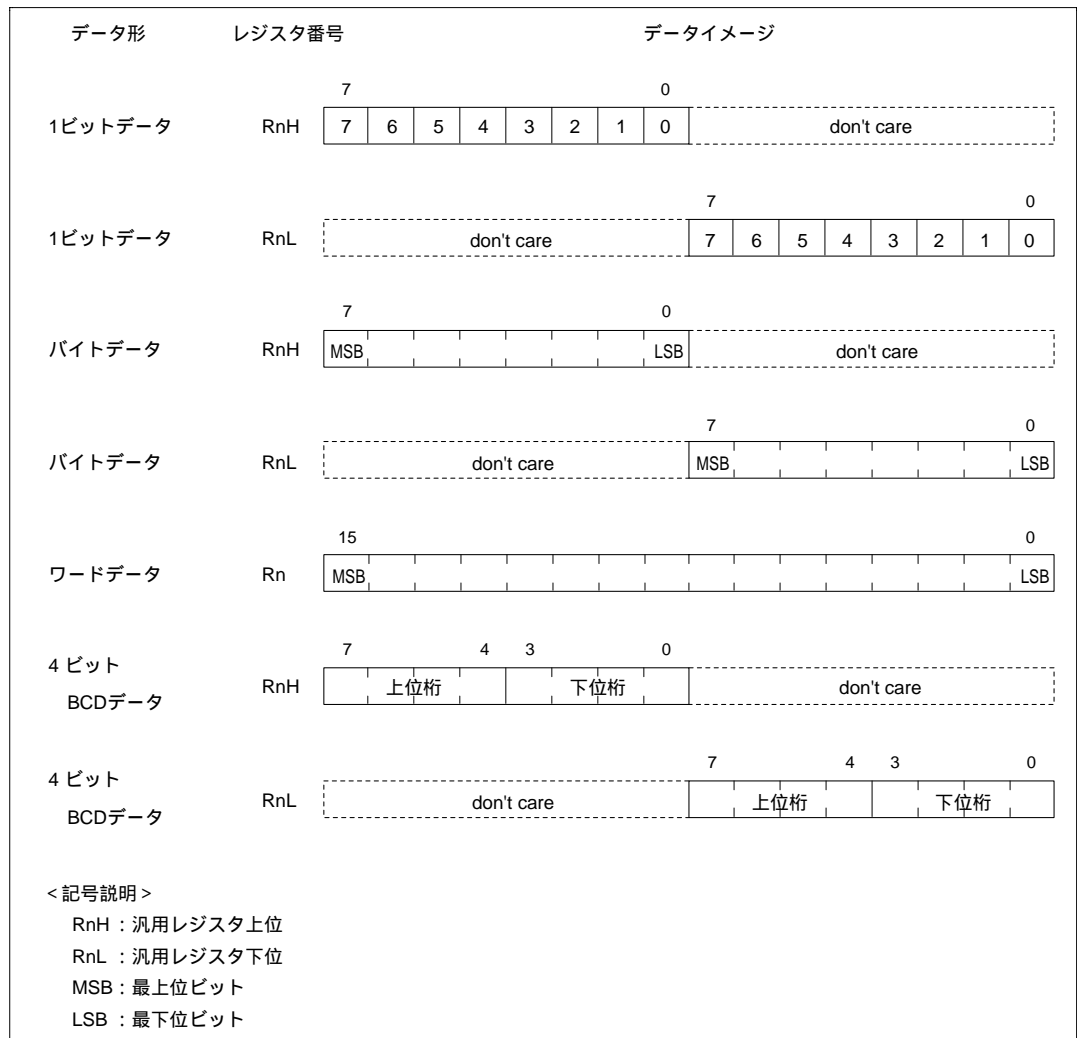


図 2.4 汎用レジスタのデータ構成

2.3.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図2.5に示します。H8/300L CPUは、メモリ上のワードデータをアクセスする（MOV.W命令）ことができますが、偶数番地から始まるワードデータに限定されます。奇数番地から始まるワードデータをアクセスした場合、アドレスの最下位ビットは0とみなされ、1番地前から始まるワードデータをアクセスします。命令コードについても同様です。

ROMおよびRAMの領域のみワードアクセスが可能です。詳細については、「2.8.1 データアクセスに関する注意事項」を参照してください。

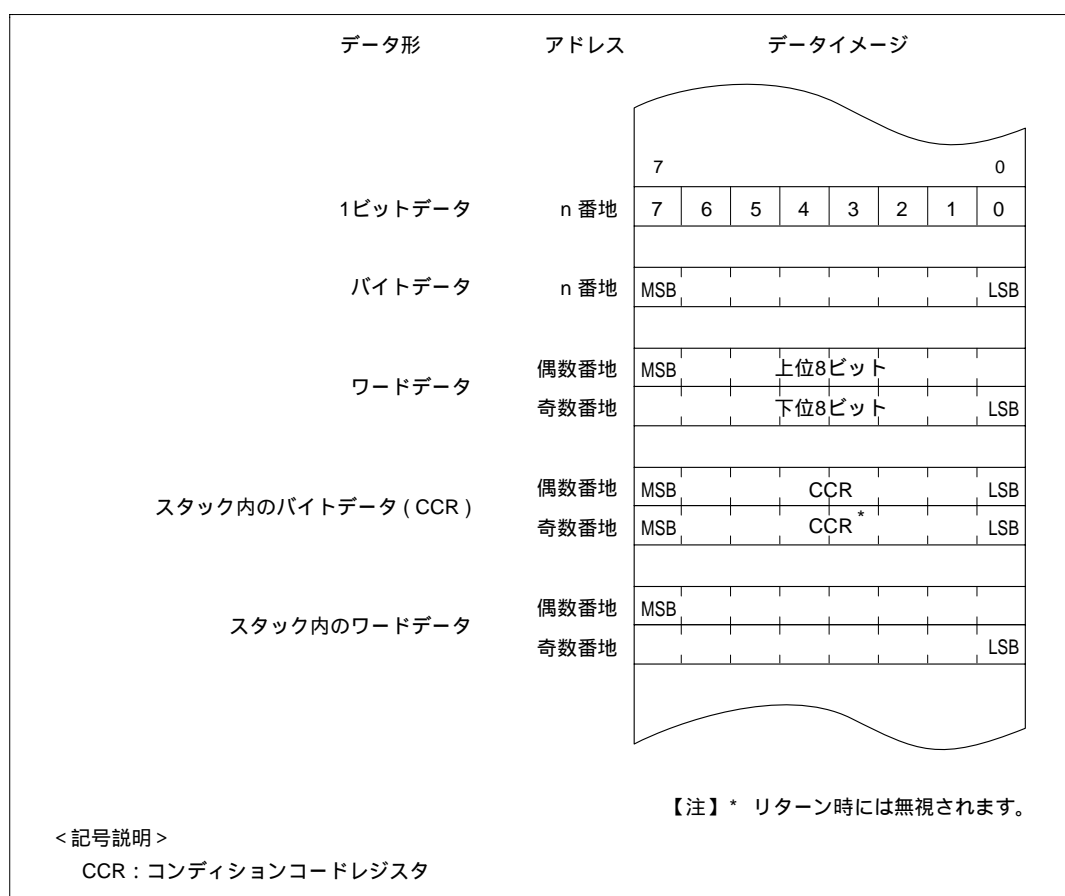


図2.5 メモリ上でのデータ構成

なお、R7をアドレスレジスタとして使用し、スタックをアクセスするときは、必ずワードサイズでアクセスしてください。詳細については、「3.2.10 スタック領域に関する使用上の注意」を参照してください。また、CCRはワードデータとして上位8ビット、下位8ビットに同じ値が格納され、リターン時には下位8ビットは無視されます。

2.4 アドレッシングモード

2.4.1 アドレッシングモード

H8/300L CPU は、表 2.1 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

表 2.1 アドレッシングモード一覧表

No.	アドレッシングモード	記号
[1]	レジスタ直接	Rn
[2]	レジスタ間接	@Rn
[3]	ディスプレースメント付レジスタ間接	@(d:16, Rn)
[4]	ポストインクリメントレジスタ間接	@Rn +
	プリデクリメントレジスタ間接	@ - Rn
[5]	絶対アドレス	@aa:8 / @aa:16
[6]	イミディエイト	#xx:8 / #xx:16
[7]	プログラムカウンタ相対	@(d:8, PC)
[8]	メモリ間接	@@aa:8

[1] レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビットまたは 16 ビット) がオペランドとなります。

16 ビットレジスタを使用する命令は、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU (8 ビット×8 ビット)、DIVXU (16 ビット÷8 ビット) の各命令です。

[2] レジスタ間接 @Rn

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容をアドレスとしてメモリ上のオペランドを指定します。

[3] ディスプレースメント付レジスタ間接 @(d:16, Rn)

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容に、命令コードの第 2 ワード (第 3, 第 4 バイト) の 16 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。

本アドレッシングモードは、MOV 命令のみで使用されます。特に、MOV.W 命令では、加算結果のアドレスが偶数となるようにしてください。

[4] ポストインクリメントレジスタ間接 @Rn+ / プリデクリメントレジスタ間接@ - Rn

- ・ポストインクリメントレジスタ間接 @Rn+

MOV (Load from) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容をアドレスとして、メモリ上のオペランドを指定します。その後、レジスタの内容に 1 または 2 が加算され、加算結果がレジスタに格納されます。MOV.B 命令では 1、MOV.W 命令では 2 がそれぞれ加算されます。MOV.W 命令では、レジスタの内容が偶数になるようにしてください。

- ・プリデクリメントレジスタ間接 @ - Rn

MOV (Store to) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容から 1 または 2 を減算した内容をアドレスとして、メモリ上のオペランドを指定します。その後、減算結果がレジスタに格納されます。MOV.B 命令では 1、MOV.W 命令では 2 がそれぞれ減算されます。MOV.W 命令では、レジスタの内容が偶数となるようにしてください。

[5] 絶対アドレス @aa:8 / @aa:16

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

このとき、絶対アドレスは 8 ビット (@aa:8) または 16 ビット (@aa:16) で、8 ビット絶対アドレスは MOV.B、ビット操作命令で使用され、16 ビット絶対アドレスは MOV.B、MOV.W、JMP、JSR の各命令で使用されます。

8 ビット絶対アドレスの場合、上位 8 ビットはすべて 1 (H'FF) となります。したがって、アクセス範囲は 65280 ~ 65535 (H'FF00 ~ H'FFFF) 番地です。

[6] イミディエイト #xx:8 / #xx:16

命令コードの第 2 バイト (#xx:8) または第 3、第 4 バイト (#xx:16) を直接オペランドとして使用します。#xx:16 は、MOV.W 命令でのみ使用されます。

なお、ADDS および SUBS 命令では、イミディエイトデータ (1 または 2) が命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コードの第 2 または第 4 バイトに含まれる場合があります。

[7] プログラムカウンタ相対 @(d:8, PC)

Bcc、BSR の各命令で使用されます。PC の内容に、命令コードの第 2 バイトの 8 ビットディスプレイメントを加算して、分岐アドレスを生成します。加算に際して、ディスプレイメントは 16 ビットに符号拡張され、また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して - 126 ~ + 128 バイト (- 63 ~ + 64 ワード) です。このとき、加算結果が偶数となるようにしてください。

[8] メモリ間接 @@aa:8

JMP および JSR 命令で使用されます。

命令コードの第 2 バイトに含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。この場合、8 ビット絶対アドレスの上位 8 ビットはすべて 0 (H'00) とされますので、分岐アドレスを格納できるのは 0 ~ 255 (H'0000 ~ H'00FF) 番地です。ただし、H8/3976 シリーズでは、0 ~ 63 (H'0000 ~ H'003F) 番地はベクタ領域と共通になっていますので注意してください。

分岐アドレスまたは MOV.W 命令のオペランドアドレスとして奇数アドレスを指定した場合、最下位ビットは 0 とみなされ、1 番地前から始まるワードデータをアクセスします (「2.3.2 メモリ上でのデータ構成」を参照してください)。

2.4.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス (EA:Effective Address) の計算法を表 2.2 に示します。

演算命令では、[1] レジスタ直接、および [6] イミディエイト (ADD.B、ADDX、SUBX、CMP.B、AND、OR、XOR の各命令) が使用されます。

転送命令では、[7] プログラムカウンタ相対と [8] メモリ間接を除くすべてのアドレッシングモードが使用可能です。

また、ビット操作命令では、オペランドの指定に [1] レジスタ直接、[2] レジスタ間接および [5] 絶対アドレス (8 ビット) が使用可能です。さらに、オペランド中のビット番号を指定するために [1] レジスタ直接 (BSET、BCLR、BNOT、BTST の各命令) および [6] イミディエイト (3 ビット) が独立して使用可能です。

表 2.2 実効アドレスの計算方法 (1)

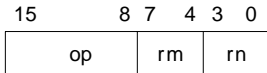
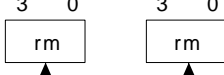
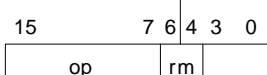
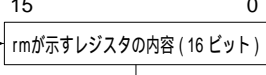

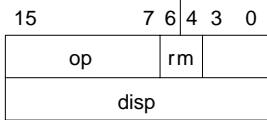
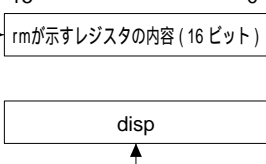
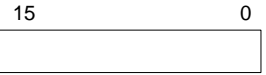
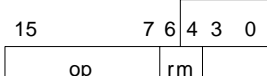
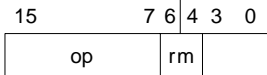
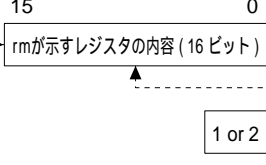
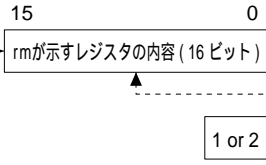

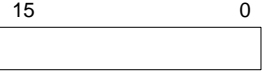
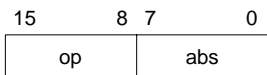
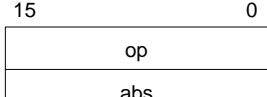
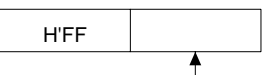

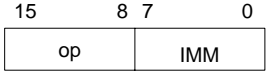
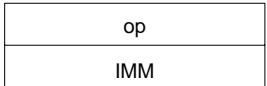
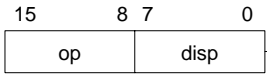
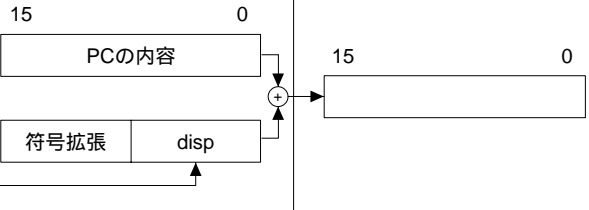
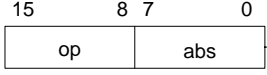
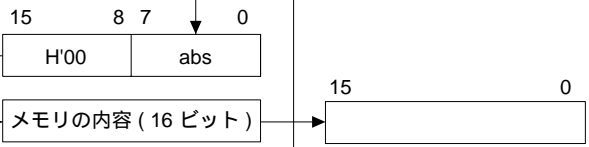
No.	アドレッシングモード・命令フォーマット	実効アドレスの計算方法	実効アドレス (EA)
1	レジスタ直接 Rn 		 オペランドは rm / rn が示すレジスタの内容です。
2	レジスタ間接 @Rn 		
3	ディスペースメント付レジスタ間接 @(d:16,Rn) 		
4	ポストインクリメント間接 / プリデクリメント間接 ・ポストインクリメント間接 @Rn+  ・プリデクリメント間接 @- Rn 	 	 
5	絶対アドレス @aa:8  @aa:16 		 

表 2.2 実効アドレスの計算方法 (2)

No.	アドレッシングモード・命令フォーマット	実効アドレスの計算方法	実効アドレス (EA)
6	イミディエイト #xx:8  #xx:16 		オペランドはイミディエイトデータの1または2バイトデータです。
7	プログラムカウンタ相対 @(d:8, PC) 		
8	メモリ間接 @@aa:8 		

< 記号説明 >

rm, rn : レジスタフィールド

op : オペレーションフィールド

disp : ディスプレースメント

IMM : イミディエイトデータ

abs : 絶対アドレス

2.5 命令セット

H8/300L CPUの命令は合計55種類あり、各命令のもつ機能によって、表2.3に示すように分類されます。

表2.3 命令の分類

機 能	命 令	種 類
データ転送命令	MOV, POP* ¹ , PUSH* ¹	1
算術演算命令	ADD, SUB, ADDX, SUBX, INC, DEC, ADDS, SUBS, DAA, DAS, MULXU, DIVXU, CMP, NEG	14
論理演算命令	AND, OR, XOR, NOT	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BAND, BIAN, BOR, BIOR, BXOR, BIXOR, BLD, BILD, BST, BIST	14
分岐命令	Bcc* ² , JMP, BSR, JSR, RTS	5
システム制御命令	RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	8
ブロック転送命令	EEPMOV	1

合計55種

【注】 *1 POP Rn、PUSH Rnは、それぞれMOV.W @SP+, Rn、MOV.W Rn, @-SPと同一です。機械語についても同一です。

*2 Bccは条件分岐命令の総称です。

各命令の機能について表 2.4 から表 2.11 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側)
Rs	汎用レジスタ (ソース側)
Rn	汎用レジスタ
(EAd)、<EAd>	デスティネーションオペランド
(EAs)、<EAs>	ソースオペランド
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理 (論理的補数)
: 3	3 ビット長
: 8	8 ビット長
: 16	16 ビット長
()、< >	オペランドの実効アドレスの内容

2.5.1 データ転送命令

データ転送命令の機能を表 2.4 に示します。

表 2.4 データ転送命令

命 令	サイズ*	機 能
MOV	B / W	(EAs) Rd, Rs (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。 ワードデータは Rn、@Rn、@(d:16, Rn)、@aa:16、#xx:16、@ - Rn、@Rn+ の各アドレッシングモードで扱います。 @aa:8 はバイトデータのみです。 ただし、@ - R7、@R7+ を使用する場合は必ずワードサイズを指定してください。
POP	W	@SP+ Rn スタックから汎用レジスタへデータを復帰します。 本命令は MOV.W @SP+, Rn と同一です。
PUSH	W	Rn @ - SP 汎用レジスタの内容をスタックに退避します。 本命令は MOV.W Rn, @ - SP と同一です。

【注】 * サイズはオペランドサイズを示します。

B: バイト

W: ワード

データアクセスに関して使用上の注意事項があります。詳細は「2.8.1 データアクセスに関する注意事項」を参照してください。

データ転送命令の命令フォーマットを図 2.6 に示します。

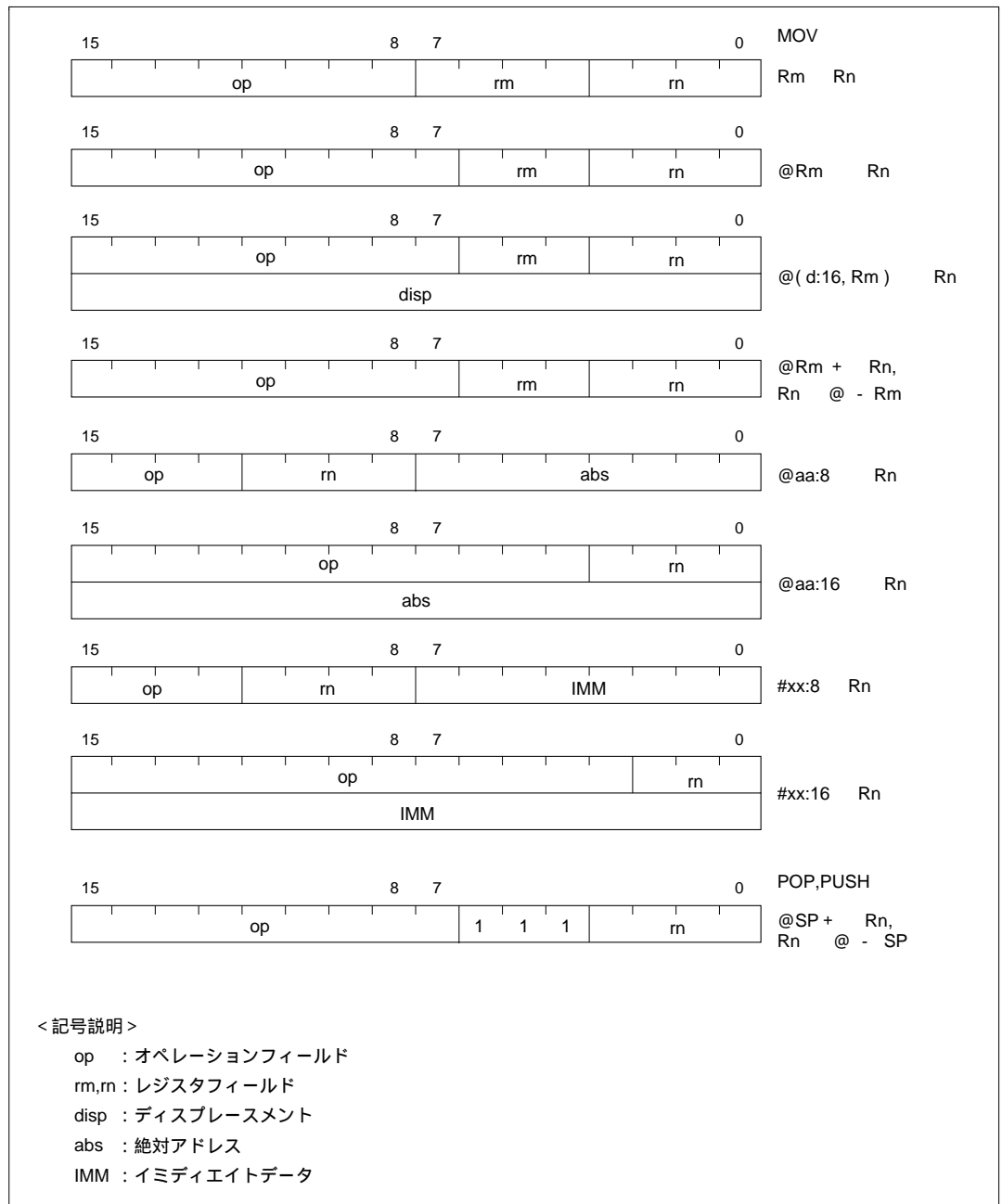


図 2.6 データ転送命令の命令フォーマット

2.5.2 算術演算命令

算術演算命令の機能を表 2.5 に示します。

表 2.5 算術演算命令

命 令	サイズ*	機 能
ADD SUB	B / W	$Rd \pm Rs$ $Rd, Rd + \#IMM$ Rd 汎用レジスタ間の加減算、または汎用レジスタとイミディエイトデータの加算を行います。汎用レジスタとイミディエイトデータの減算はできません。 ワードデータは、汎用レジスタ間の加減算のみで扱います。
ADDX SUBX	B	$Rd \pm Rs \pm C$ $Rd, Rd \pm \#IMM \pm C$ Rd 汎用レジスタ間のキャリ付の加減算、または汎用レジスタとイミディエイトデータのキャリ付の加減算を行います。
INC DEC	B	$Rd \pm 1$ Rd 汎用レジスタに 1 を加減算します。
ADDS SUBS	W	$Rd \pm 1$ $Rd, Rd \pm 2$ Rd 汎用レジスタに 1 または 2 を加減算します。
DAA DAS	B	Rd (10 進補正) Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B	$Rd \times Rs$ Rd 汎用レジスタ間の符号なし乗算を行います。8 ビット \times 8 ビット 16 ビットの演算が可能です。
DIVXU	B	$Rd \div Rs$ Rd 汎用レジスタ間の符号なし除算を行います。16 ビット \div 8 ビット 商 8 ビット 余り 8 ビットの演算が可能です。
CMP	B / W	$Rd - Rs, Rd - \#IMM$ 汎用レジスタ間の比較、または汎用レジスタとイミディエイトデータの比較を行い、その結果を CCR に反映します。 ワードデータは、汎用レジスタ間の比較でのみ扱います。
NEG	B	$0 - Rd$ Rd 汎用レジスタの内容の 2 の補数 (算術的補数) をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

2.5.3 論理演算命令

論理演算命令の機能を表 2.6 に示します。

表 2.6 論理演算命令

命 令	サイズ*	機 能
AND	B	Rd Rs Rd, Rd #IMM Rd 汎用レジスタ間の論理積、または汎用レジスタとイミディエイトデータの論理積をとります。
OR	B	Rd Rs Rd, Rd #IMM Rd 汎用レジスタ間の論理和、または汎用レジスタとイミディエイトデータの論理和をとります。
XOR	B	Rd⊕Rs Rd, Rd⊕#IMM Rd 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B	~Rd Rd 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B：バイト

2.5.4 シフト命令

シフト命令の機能を表 2.7 に示します。

表 2.7 シフト命令

命 令	サイズ*	機 能
SHAL SHAR	B	Rd (シフト処理) Rd 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B	Rd (シフト処理) Rd 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B	Rd (ローテート処理) Rd 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B	Rd (ローテート処理) Rd 汎用レジスタの内容を、キャリフラグを含めてローテートします。

【注】 * サイズはオペランドサイズを示します。

B：バイト

算術演算命令、論理演算命令およびシフト命令の命令フォーマットを図 2.7 に示します。

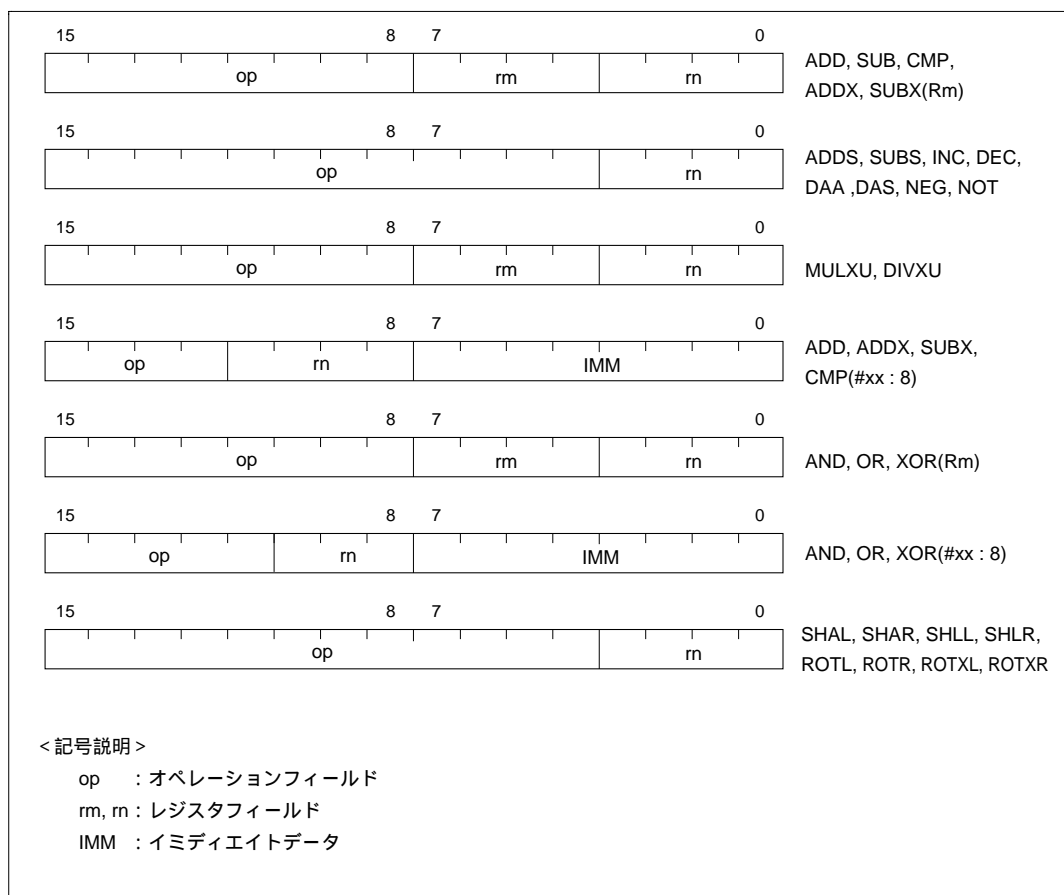


図 2.7 算術演算命令・論理演算命令・シフト命令の命令フォーマット

2.5.5 ビット操作命令

ビット操作命令の機能を表 2.8 に示します。

表 2.8 ビット操作命令 (1)

命 令	サイズ*	機 能
BSET	B	1 (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BCLR	B	0 (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BNOT	B	~ (<ビット番号> of <EAd>) (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~ (<ビット番号> of <EAd>) Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	C [~ (<ビット番号> of <EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

表 2.8 ビット操作命令 (2)

命 令	サイズ*	機 能
BOR	B	C (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
BIOR	B	C [~ (<ビット番号> of <EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BXOR	B	C ⊕ (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
BIXOR	B	C ⊕ [~ (<ビット番号> of <EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BLD	B	(<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	~ (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BST	B	C (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグの内容を転送します。
BIST	B	~C (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B: バイト

ビット操作命令には、いくつかの使用上の注意事項があります。詳細は「2.8.3 ビット操作命令使用上の注意事項」を参照してください。

ビット操作命令の命令フォーマットを図 2.8 に示します。

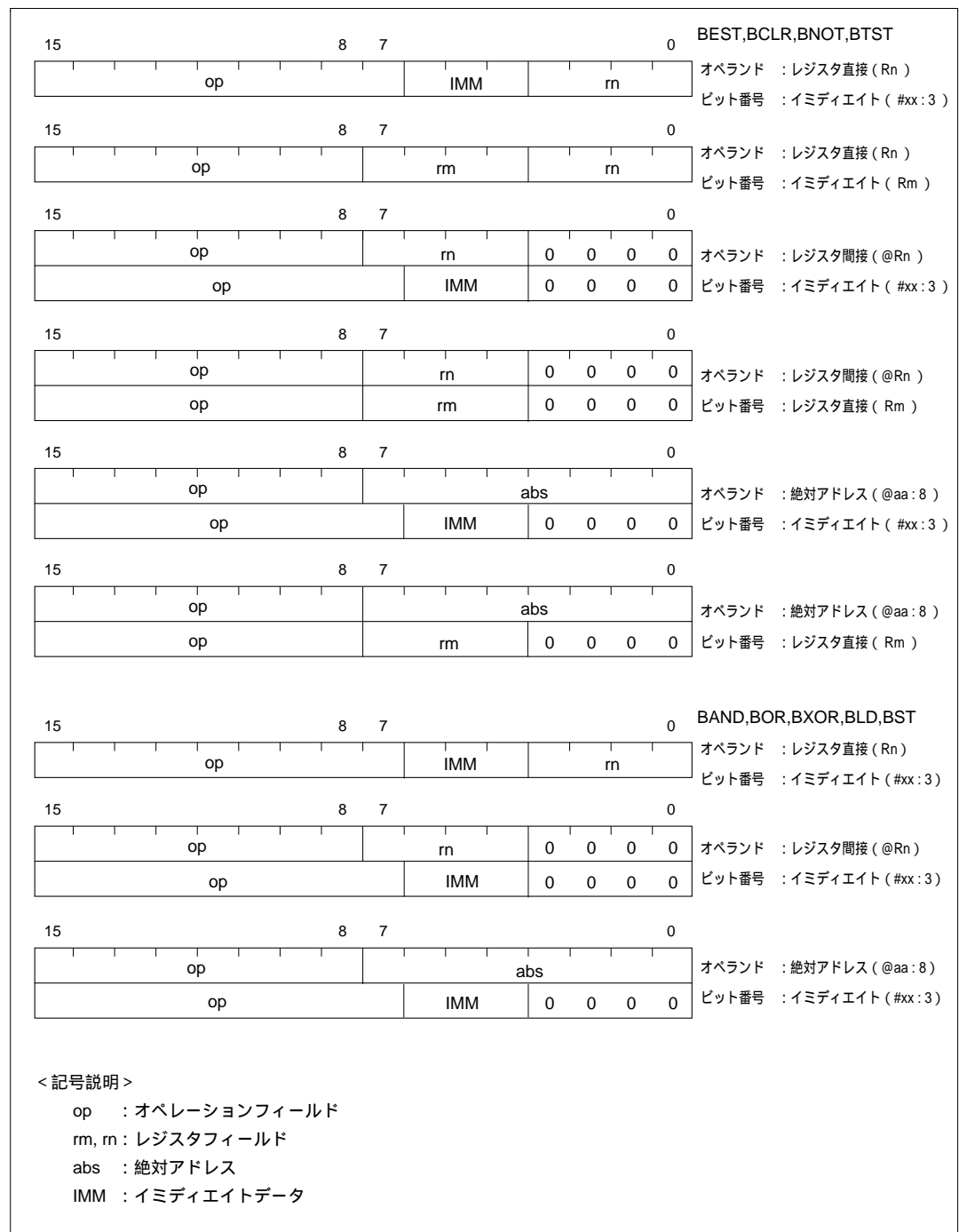


図 2.8 ビット操作命令の命令フォーマット (1)

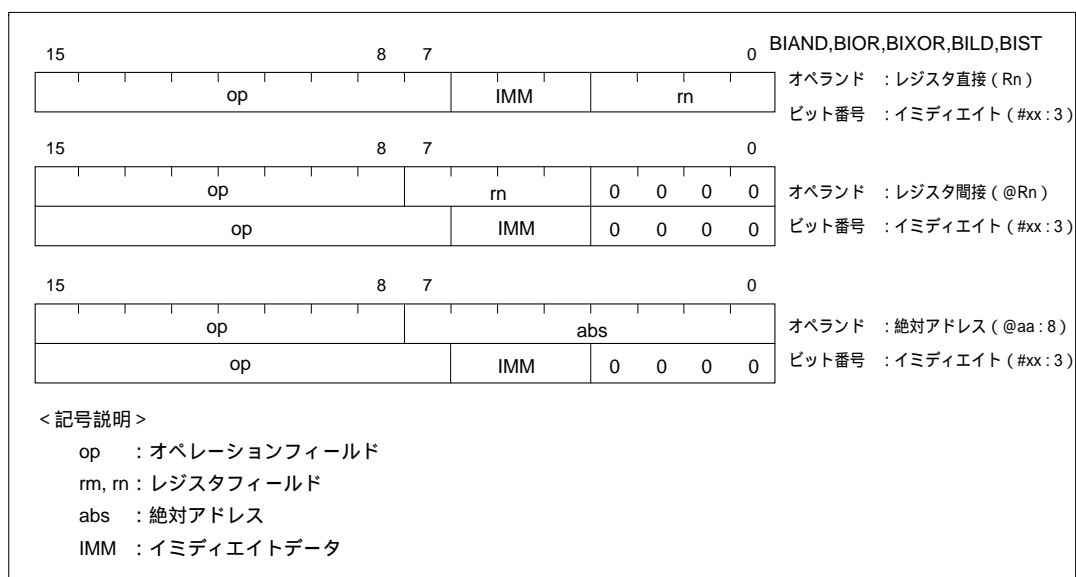


図 2.8 ビット操作命令の命令フォーマット (2)

2.5.6 分岐命令

分岐命令の機能を表 2.9 に、分岐命令の命令フォーマットを図 2.9 に示します。

表 2.9 分岐命令

命 令	サイズ	機 能		
Bcc		指定した条件が成立しているとき、指定されたアドレスへ分岐します。 分岐条件を下表に示します。		
		ニーモニック	説 明	分 岐 条 件
		BRA (BT)	Always (True)	Always
		BRN (BF)	Never (False)	Never
		BHI	High	C Z = 0
		BLS	Low or Same	C Z = 1
		BCC (BHS)	Carry Clear (High or Same)	C = 0
		BCS (BLO)	Carry Set (LOw)	C = 1
		BNE	Not Equal	Z = 0
		BEQ	Equal	Z = 1
		BVC	oVerflow Clear	V = 0
		BVS	oVerflow Set	V = 1
		BPL	PLus	N = 0
		BMI	MInus	N = 1
		BGE	Greater or Equal	$N \oplus V = 0$
		BLT	Less Than	$N \vee V = 1$
		BGT	Greater Than	$Z (N \oplus V) = 0$
		BLE	Less or Equal	$Z (N \oplus V) = 1$
JMP		指定されたアドレスへ無条件に分岐します。		
BSR		指定されたアドレスへサブルーチン分岐します。		
JSR		指定されたアドレスへサブルーチン分岐します。		
RTS		サブルーチンから復帰します。		

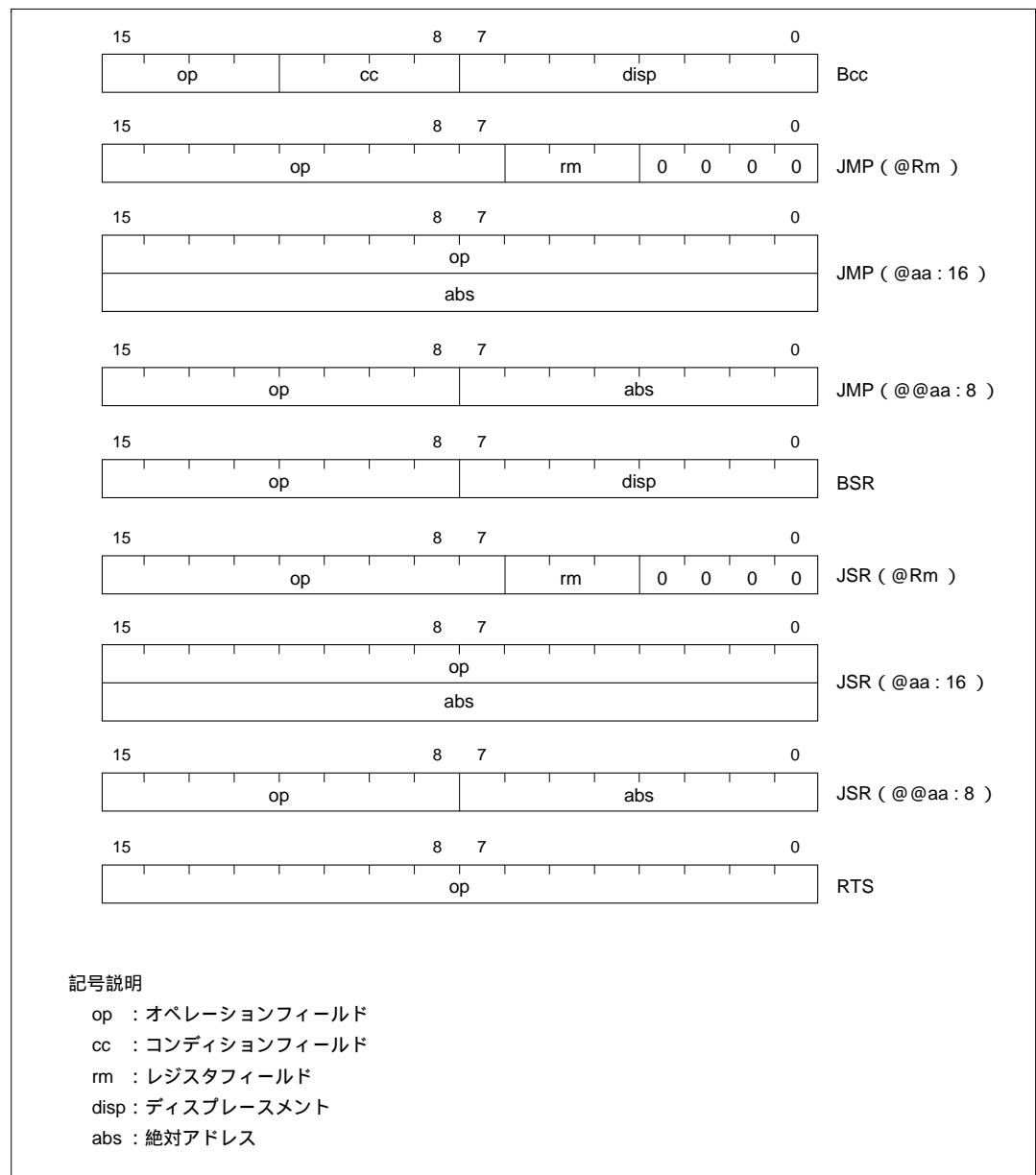


図 2.9 分岐命令の命令フォーマット

2.5.7 システム制御命令

システム制御命令の機能を表 2.10 に示します。

表 2.10 システム制御命令

命 令	サイズ*	機 能
RTE	-	割込み処理ルーチンから復帰します。
SLEEP	-	アクティブモードで本命令を実行すると、低消費電力モード（スリープモード、スタンバイモード、ウォッチモード）に遷移します。また、サブアクティブモードで本命令を実行すると、ウォッチモードを経由してアクティブモードへの復帰を行います。 詳細は「3.3 システムのモード」を参照してください。
LDC	B	R _s CCR, #IMM CCR 汎用レジスタの内容、またはイミディエイトデータを CCR に転送します。
STC	B	CCR R _d CCR の内容を汎用レジスタに転送します。
ANDC	B	CCR #IMM CCR CCR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR CCR とイミディエイトデータの論理和をとります。
XORC	B	CCR ⊕ #IMM CCR CCR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC + 2 PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

システム制御命令の命令フォーマットを図 2.10 に示します。

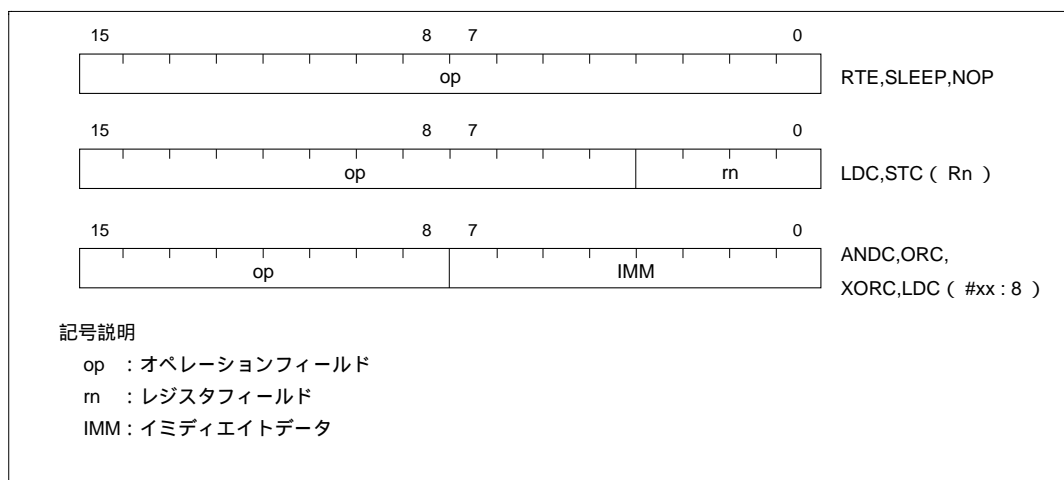


図 2.10 システム制御命令の命令フォーマット

2.5.8 ブロック転送命令

ブロック転送命令の機能を表 2.11 に示します。

表 2.11 ブロック転送命令

命 令	サイズ	機 能
EPEMOV		if R4L = 0 then Repeat @R5 + @R6 + , R4L - 1 R4L Until R4L = 0 else next ; ブロック転送命令です。R5 で示されるアドレスから始まり、R4L で指定されるバイト数のデータを R6 で示されるアドレスから始まるロケーションへ転送します。転送終了後、次の命令を実行します。

ブロック転送命令の命令フォーマットを図 2.11 に示します。

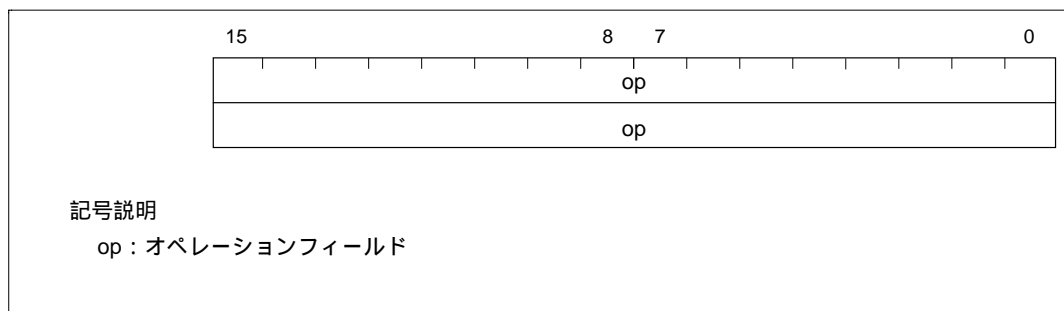


図 2.11 ブロック転送命令の命令フォーマット

【EEPMOV 命令使用上の注意】

- (1) EEPMOV 命令はブロック転送命令で、R5 で示されるアドレスから始まる、R4L で示されるバイト数のデータを、R6 で示されるアドレスへ転送します。

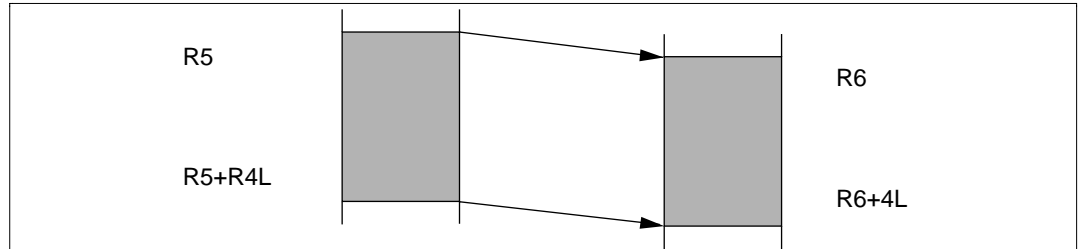


図 2.12 EEPMOV 命令上の注意 (1)

- (2) 転送先の最終アドレス (R6+R4 の値) が H'FFFF を越えないように (実行途中で R6 の値が H'FFFF H'0000 とならないように)、R4L、R6 を設定してください。

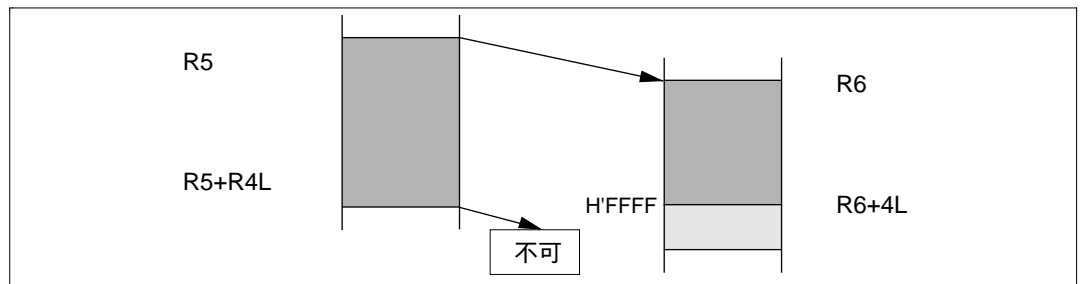


図 2.13 EEPMOV 命令上の注意 (2)

2.6 CPU の状態

2.6.1 概要

CPUの状態には、プログラム実行状態、プログラム停止状態、例外処理状態の3種類があります。プログラム実行状態には、アクティブモード、サブアクティブモードがあり、プログラム停止状態には、スリープモード、スタンバイモード、ウォッチモードがあります。各状態の分類を図2.14に、各状態間の遷移を図2.15に示します。

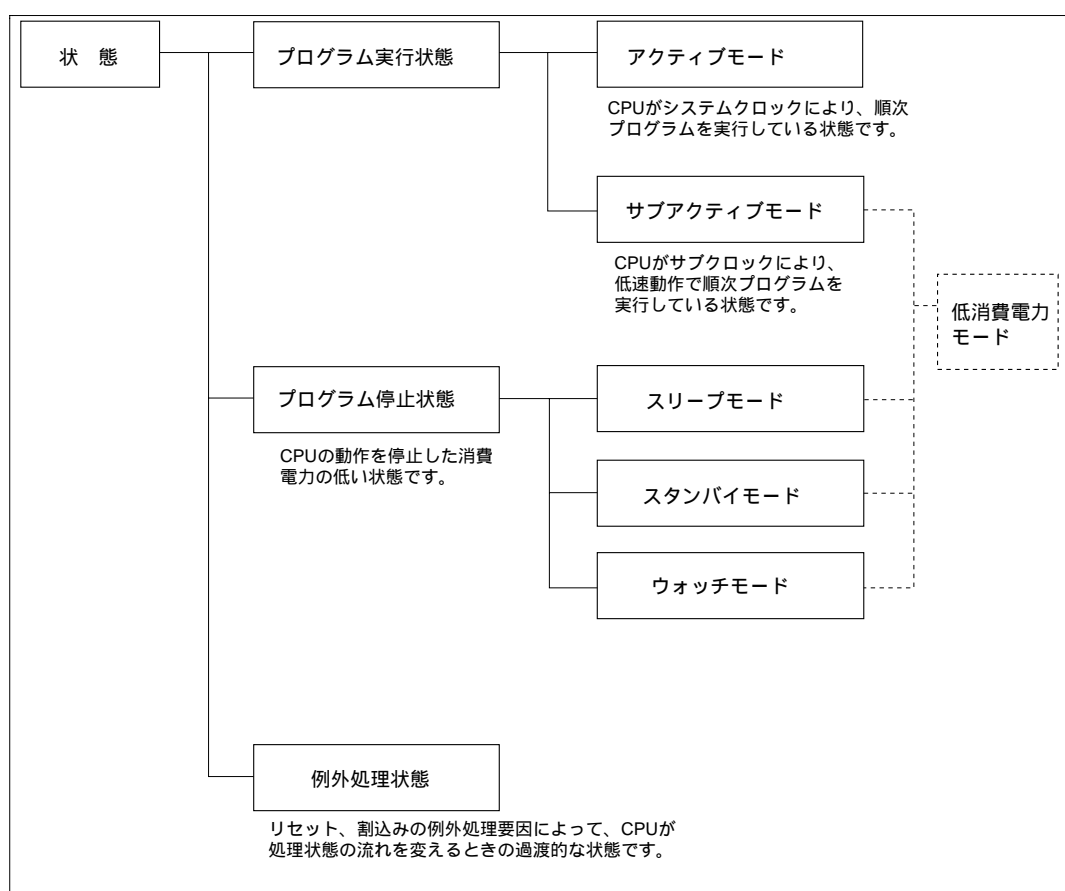


図 2.14 CPU の状態

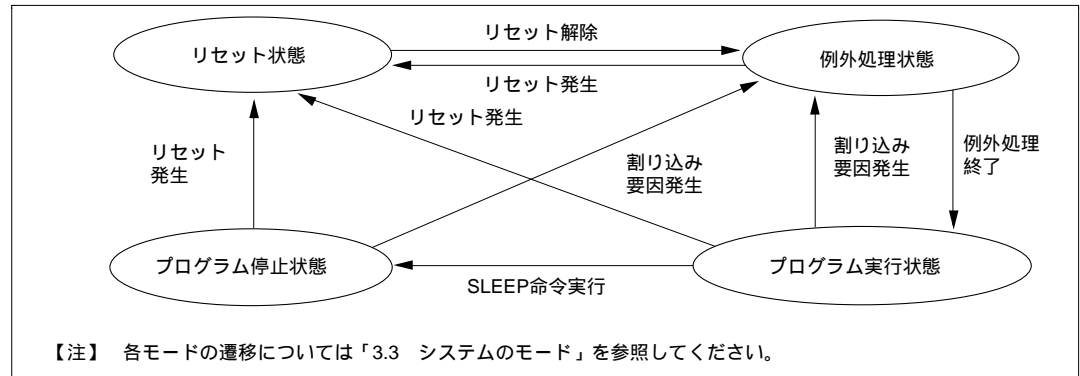


図 2.15 状態遷移図

2.6.2 プログラム実行状態

CPUがプログラムを順次実行している状態です。

プログラム実行状態には、アクティブモードとサブアクティブモードの2つのモードがあります。アクティブモードはシステムクロックで、サブアクティブモードはサブクロックで動作します。これらのモードについての詳細は「3.3 システムのモード」を参照してください。

2.6.3 プログラム停止状態

プログラム停止状態には、スリープモード、スタンバイモード、ウォッチモードの3つのモードがあります。

各モードについての詳細は、「3.3 システムのモード」を参照してください。

2.6.4 例外処理状態

リセット、割り込みの例外処理要因によって、CPUが通常の処理状態の流れを変えるときは過渡的な状態です。割り込み要因による例外処理では、SP (R7) を参照して、PCおよびCCRの退避を行います。

割り込み処理についての詳細は、「3.2.2 割り込み」を参照してください。

2.7 基本動作タイミング

CPU は、クロック（または SUB ）を基準に動作しています。アクティブモードでは SUB を意味し、サブアクティブモードでは SUB を意味します。詳しくは「第6章 クロック発振器」を参照してください。クロックの立ち上がりから次の立ち上がりまでの1単位をステートと呼びます。メモリサイクルまたはバスサイクルは、2ステートで構成され、内蔵メモリ、内蔵周辺モジュールのアクセスはすべて2ステートで行われます。

2.7.1 内蔵メモリ（RAM、ROM）

内蔵メモリのアクセスは、2ステートで行われます。このとき、データバス幅は16ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアクセスサイクルを図2.16に示します。

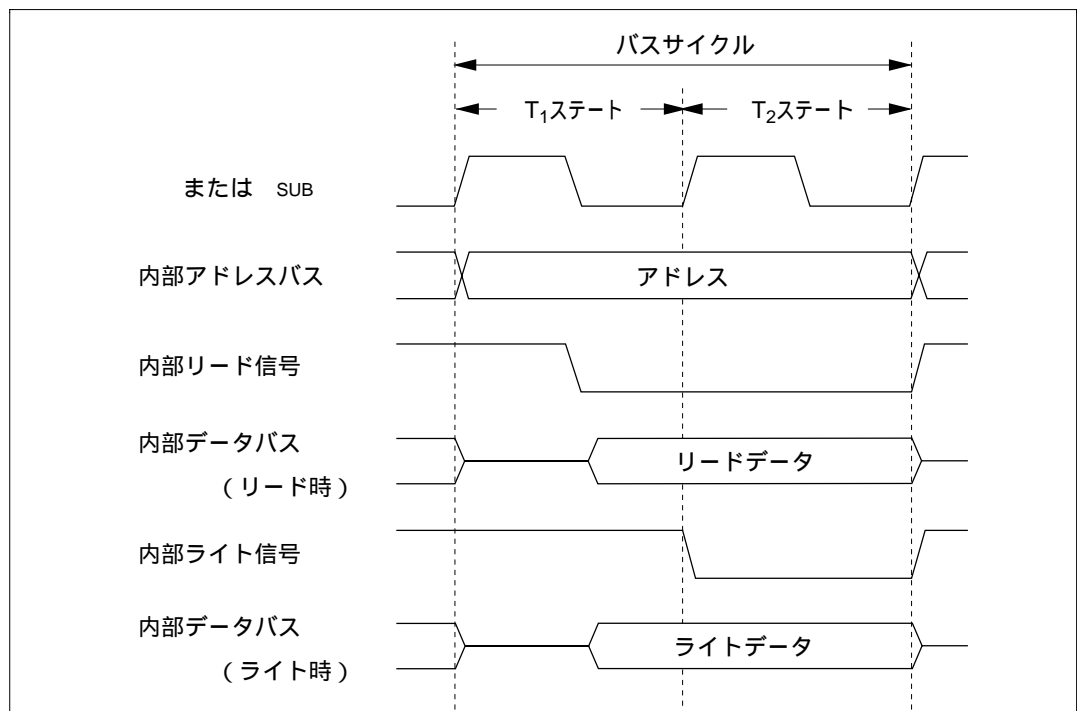


図 2.16 内蔵メモリアクセスサイクル

2.7.2 内蔵周辺モジュール

内蔵周辺モジュールのアクセスは、2ステートで行われます。このとき、データバス幅は8ビットで、バイトサイズアクセスのみ可能です。したがって、ワードデータは、2命令に分けてアクセスしてください。内蔵周辺モジュールアクセスサイクルを図 2.17 に示します。

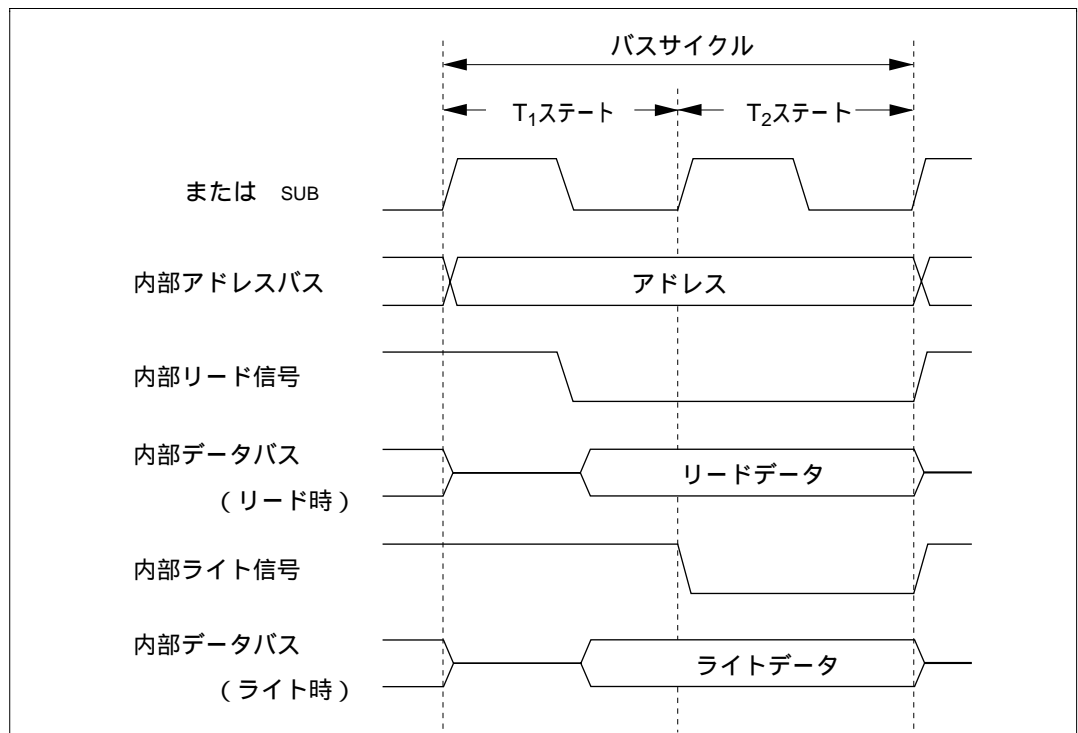


図 2.17 内蔵周辺モジュールアクセスサイクル

2.8 使用上の注意事項

2.8.1 データアクセスに関する注意事項

以下に H8/300L CPU の使用上の注意事項を示します。

- (1) H8/300L CPU のアドレス空間には、ユーザに開放された ROM、RAM、レジスタ以外の空きエリアがあります。プログラムで誤まってこの空きエリアにアクセスを行うと、以下のように動作します。

CPU	空きエリアへの転送 転送データは失われます。また、CPU 誤動作の原因となる可能性があります。
空きエリア	CPU への転送 転送データは保証されません。

- (2) 内蔵 ROM、RAM 領域以外の内蔵周辺モジュールの I/O レジスタは、内部のデータ転送を 8 ビット (バイトアクセス) で行うか、16 ビット (ワードアクセス) で行うか、それぞれ指定されています。内部のデータ転送が 8 ビットで行われることを指定されたレジスタにワードアクセスした場合は、以下のように動作します。

CPU	I/O レジスタ領域へのワードアクセス 上位バイト：I/O レジスタに書き込まれます。 下位バイト：転送データは失われます。
I/O レジスタ	CPU へのワードアドレス 上位バイト：CPU 内部レジスタ上位に書き込まれます。 下位バイト：CPU 内部レジスタ下位に書き込まれたデータは保証されません。

したがって、内蔵 ROM、RAM 領域以外の 8 ビットアクセスを指定された I/O レジスタ領域とのデータ転送は、バイトサイズの命令を使用してください。

(3) 内部のデータ転送が 16 ビット (ワードアクセス) で行われることを指定されたレジスタにバイトアクセスをしないでください。もし、誤ってバイトアクセスをした場合は、次のように動作します。

CPU	I/O レジスタへの転送 転送データは失われます。また、CPU 誤動作の原因となる可能性があります。
I/O レジスタ	CPU への転送 転送データは保証されません。

図 2.18 にアクセスできるデータサイズとアドレス空間の対応を示します。

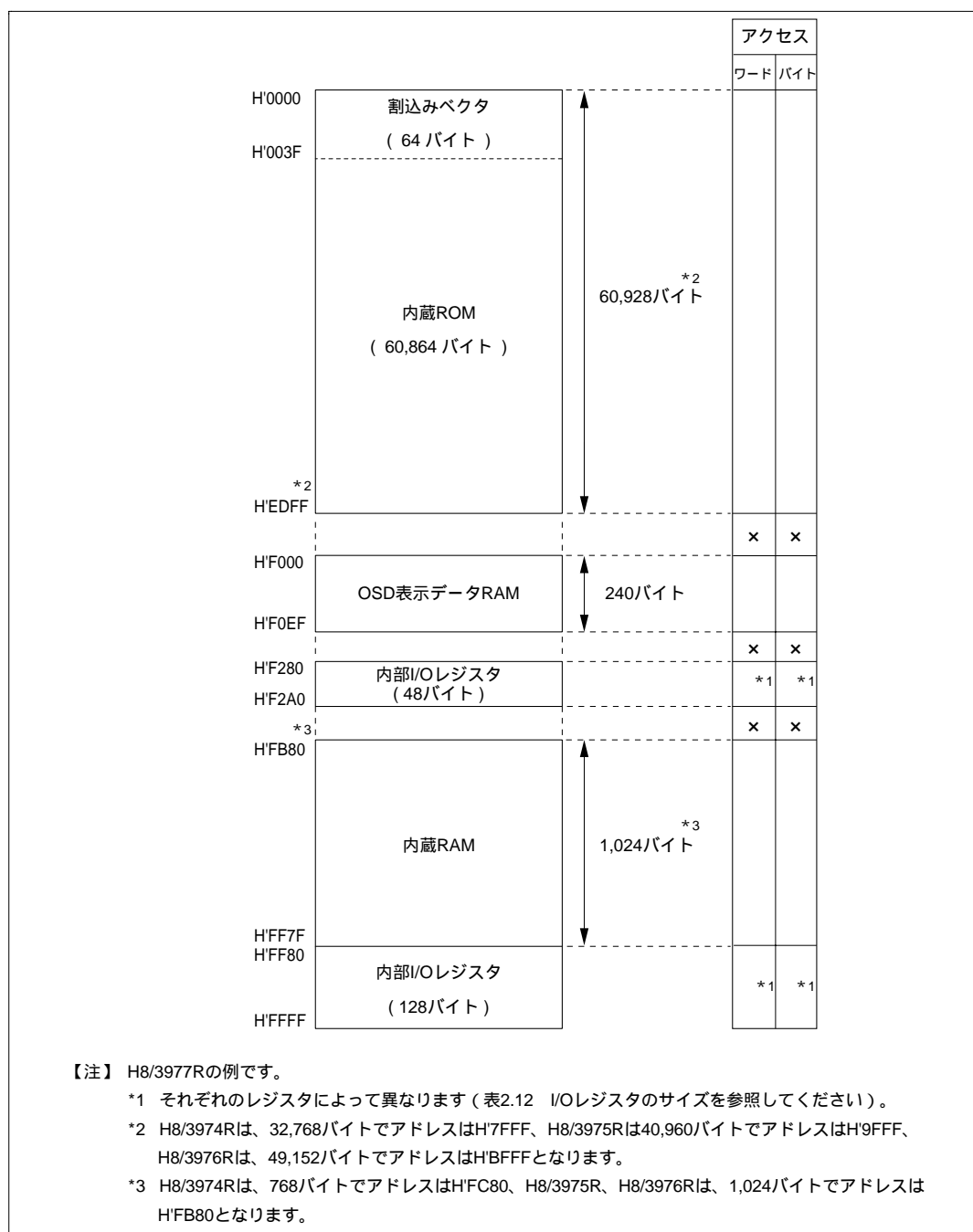


図 2.18 アクセスできるデータサイズと周辺モジュールの対応

2.8.2 ワードアクセスとバイトアクセス

H8/3977R シリーズは、16 ビットの内部バスを持った CPU を内蔵しています。ROM / RAM は、ワードアクセス / バイトアクセスが可能です。また、レジスタの一部にはワードアクセス専用のもので、バイトアクセス専用のものであります。ワードアクセス専用のレジスタにバイトアクセスをすると、動作が保証されません。ビット操作命令はバイトアクセスなので、ワードアクセス専用のレジスタには使用できません。同様にバイトアクセス専用のレジスタにワードアクセスをすると、動作が保証されません。

表 2.12 に I/O レジスタのサイズを示します。

表 2.12 I/Oレジスタのサイズ (1)

アド レス	レジスタ 略称	R/W	サイズ	初期値	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	内蔵回路
F2A0	CGKp	W	ワード	-																	キャプスタン デジタル フィルタ
F2A1	CGKs	W	ワード	-																	
F2A2	CAp	W	ワード	-																	
F2A3	CBp	W	ワード	-																	
F2A4	CAs	W	ワード	-																	
F2A5	CBs	W	ワード	-																	
F2A6	COfp	W	ワード	-																	
F2A7	COfs	W	ワード	-																	
F2A8	DGKp	W	ワード	-																	ドラム デジタル フィルタ
F2A9	DGKs	W	ワード	-																	
F2AA	DAp	W	ワード	-																	
F2AB	DBp	W	ワード	-																	
F2AC	DAs	W	ワード	-																	
F2AD	DBs	W	ワード	-																	
F2AE	DOfp	W	ワード	-																	
F2AF	DOfs	W	ワード	-																	
F2B0	K	W	ワード	-																	学習サーボ
F2B1	L	W	ワード	-																	
F2B2	K1	W	バイト	-																	
F2B3	K2	W	バイト	-																	
F2B4	K3	W	バイト	-																	
F2B5	K4	W	バイト	-																	
F2B6	LSR	W	バイト	H'F0																	

- : 不定


 : 使用できません

表 2.12 I/Oレジスタのサイズ (2)

アド レス	レジスタ 略称	R/W	サイズ	初期値	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	内蔵回路
F2B7	HSM1	R/W	バイト	H'40																	HSW タイミ ング生成
F2B8	HSM2	R/W	バイト	H'F0																	
F2B9	FPDR1	W	ワード	H'FF--*1																	
F2BA	FPDR2	W	ワード	H'--FF*1																	
F2BB	FTPR	W	ワード	-																	基準信号生成
F2BC	RFD	W	ワード	H'FFFF																	
F2BD	CRF	W	ワード	H'FFFF																	HSW タイミ ング生成
F2BE																					
F2BF																					
F2C0	DFCR	W	バイト	H'--*1																	
F2C1	RCDR1	W	ワード	H'FC00																	CTL 回路
F2C2	RCDR2	W	ワード	H'FC00																	
F2C3	RCDR3	W	ワード	H'FC00																	
F2C4																					
F2C5																					X 値補正
F2C6																					
F2C7																					付加 V
F2C8	XDR	W	バイト	H'00																	
F2C9																					入力アンプ
F2CA	ADVR	R/W	バイト	H'E0																	
F2CB	DPB	R/W	バイト	H'FC																	同期信号検出 回路
F2CC	VTHR	W	ワード	H'C0F0																	
F2CD	CMPR	W	ワード	H'00F0																	
F2CE	NDR	W	ワード	H'C000																	
F2CF	TVSR	R/W	バイト	H'00																	

- : 不定

■ : 使用できません

表 2.12 I/Oレジスタのサイズ (3)

アド レス	レジスタ 略称	R/W	サイズ	初期値	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	内蔵回路	
FF80																						
FF81	OSDR1	R/W	バイト	H'00																	OSD	
FF82	OSDR2	R/W	バイト	H'C0																		
FF83	OSDR3	R/W	バイト	H'00																		
FF84	OSDR4	R/W	バイト	H'00																		
FF85	OSDR5	R/W	バイト	H'00																		
FF86	OSDR6	R/W	バイト	H'C0																		
FF87																						
FF88	CDIVR2	W	バイト	H'C0																	CFG分周回路	
FF89																						
FF8A																						
FF8B																						
FF8C	CTLR	W	バイト	-																		CTL分周回路
FF8D	CDIVR	W	バイト	H'C0																	CFG 分周回路	
FF8E	CTMR	W	バイト	H'FF																		
FF8F	CDVC	R/W	バイト	H'78																		
FF90	AMR	R/W	バイト	H'40																	A/D変換器	
FF91	ADR	R	バイト	-																		
FF92	ASR	R/W	バイト	H'31																		
		*2																				
FF93	AHR	R	バイト	-																		
FF94	ICR1	R	バイト	H'00																	フリーランニ ングカウンタ	
FF95	ICR2	R	バイト	H'FC																		
FF96	ICR3	R	ワード	H'0000																		
FF97	PWCR	R/W	バイト	H'00																	PWM	
FF98	PWR1	W	バイト	H'00																	8ビット	
FF99	PWR2	W	バイト	H'00																	PWM	
FF9A	PWDRL	W	バイト	H'00																	14ビット	
FF9B	PWDRU	W	バイト	H'C0																	PWM	

- : 不定

■ : 使用できません

表 2.12 I/Oレジスタのサイズ (4)

アド レス	レジスタ 略称	R/W	サイズ	初期値	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	内蔵回路
FF9C	SMR1	W	バイト	H'F0																	SCI1, SCI2
FF9D	SDR1	R/W	バイト	-																	
FF9E	SMR2	W	バイト	H'F0																	
FF9F	SDR2	R/W	バイト	-																	
FFA0																					
FFA1																					
FFA2																					
FFA3																					
FFA4	CHCR	W	バイト	H'F0																	4ヘッド特殊 再生
FFA5	SHMR	W	バイト	H'FC																	CTL 回路
FFA6	CTLM	R/W	バイト	H'00																	
FFA7	DI/O	R/W	バイト	H'F																	
FFA8																					
FFA9																					
FFAA																					
FFAB																					
FFAC	DPWCR	R/W	バイト	H'40																	12ビット
FFAD	DPWDR	W	ワード	H'F000																	PWM
FFAE	CPWCR	R/W	バイト	H'40																	
FFAF	CPWDR	W	ワード	H'F000																	
FFB0	DFPR	W	ワード	H'0000																	デジタル フィルタ
FFB1	DFER	R	ワード	H'0000																	
FFB2	CFPR	W	ワード	H'0000																	
FFB3	CFER	R	ワード	H'0000																	
FFB4	DPPR1	W	バイト	H'F0																	
FFB5	DPER1	R	バイト	H'F0																	
FFB6	CPPR1	W	バイト	H'F0																	
FFB7	CPER1	R	バイト	H'F0																	

- : 不定

■ : 使用できません

表 2.12 I/O レジスタのサイズ (5)

アド レス	レジスタ 略称	R/W	サイズ	初期値	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	内蔵回路
FFB8	DPPR2	W	ワード	H'0000																	デジタル フィルタ
FFB9	DPER2	R	ワード	H'0000																	
FFBA	CPPR2	W	ワード	H'0000																	
FFBB	CPER2	R	ワード	H'0000																	
FFBC	DFIC	R/W	バイト	H'0C																	時計用タイム、 ウォッチドッ グタイム
FFBD	CFIC	R/W	バイト	H'20																	
FFBE																					
FFBF																					
FFC0	TMA	R/W	バイト	H'00																8 / 16 ビット リロードタイ マ	
FFC1	TCA	R	バイト	H'00																	
FFC2	TLC/TCC	R/W*3	バイト	H'FF																	
FFC3	TLB/TCB	R/W*3	バイト	H'FF																	
FFC4	TMB	R/W	バイト	H'00																リニアタイム カウンタ	
FFC5	LMR	R/W	バイト	H'F0																	
FFC6	LTC/RCR	R/W*3	バイト	H'00																リロードタイ マユニット	
FFC7																					
FFC8	RTUM1	R/W	バイト	H'00																	
FFC9	RTUM2	R/W	バイト	H'60																	
FFCA	RTCP1	R	バイト	H'FF																	
FFCB	RTCP2	R	バイト	H'FF																	
FFCC	RTUL1	W	バイト	H'FF																	
FFCD	RTUL2	W	バイト	H'FF																	
FFCE	RTUL3	W	バイト	H'FF																	
FFCF																					

- : 不定

■ : 使用できません

表 2.12 I/Oレジスタのサイズ (6)

アド レス	レジスタ 略称	R/W	サイズ	初期値	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	内蔵回路
FFD0	PDR0	R	バイト																		ポートデータ レジスタ
FFD1	PDR1	R/W	バイト	H'00																	
FFD2	PDR2	R/W	バイト	H'F0																	
FFD3	PDR3	R/W	バイト	H'00																	
FFD4	PDR4	R/W	バイト	H'00																	
FFD5	PDR5	R/W	バイト	H'00																	
FFD6	PDR6	R/W	バイト	H'07																	
FFD7	PDR7	R/W	バイト	H'E0																	
FFD8																					
FFD9																					
FFDA																					
FFDB																					
FFDC	PPR7	W	バイト	H'E0																	PPG
FFDD																					
FFDE																					
FFDF	SPR	R/W	バイト	H'FX*4																	SCI
FFE0																					
FFE1	PCR1	W	バイト	H'00																	ポートコン トロールレ ジスタ
FFE2	PCR2	W	バイト	H'F0																	
FFE3	PCR3	W	バイト	H'00																	
FFE4	PCR4	W	バイト	H'00																	
FFE5	PCR5	W	バイト	H'00																	
FFE6	PCR6	W	バイト	H'07																	
FFE7	PCR7	W	バイト	H'E0																	
FFE8																					
FFE9																					
FFEA	PUR5	R/W	バイト	H'00																	プルアップ° MOS/ホ° -ト5

- : 不定



 : 使用できません

表 2.12 I/O レジスタのサイズ (7)

アド レス	レジスタ 略称	R/W	サイズ	初期値	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	内蔵回路
FFEB	PMR0	W	バイト	H'00																	ポートモード レジスタ
FFEC	PMR1	R/W	バイト	H'01																	
FFED	PMR3	R/W	バイト	H'00																	
FFEE	PMR5	R/W	バイト	H'F0																	
FFEF	PMR6	R/W	バイト	H'07																	
FFF0	SYSCR1	R/W	バイト	H'04																	システムコン トロール
FFF1	SYSCR2	R/W	バイト	H'B4																	
FFF2																					
FFF3	IEGR	R/W	バイト	H'00																	
FFF4	IENR1	R/W	バイト	H'00																	割り込み許可 レジスタ
FFF5	IENR2	R/W	バイト	H'00																	
FFF6	IENR3	R/W	バイト	H'00																	
FFF7	IENR4	R/W	バイト	H'F0																	
FFF8	IRQR1	R/W	バイト	H'00																	割り込み要求 レジスタ
FFF9	IRQR2	R/W	バイト	H'00																	
FFFA	IRQR3	R/W	バイト	H'00																	
FFFB	IRQR4	R/W	バイト	H'F0																	
FFFC																					リザーブ
FFFD																					
FFFE																					
FFFF																					

- : 不定

 : 使用できません

- 【注】 *1 リザーブビット以外のビットの初期値は不定です。
 *2 一部のビットはリード専用です。
 *3 リードとライトでそれぞれ異なるレジスタがアクセスされます。
 *4 一部のビットの初期値は不定です。

2.8.3 ビット操作命令使用上の注意事項

H8/300L CPUは、ビット操作命令をリード モディファイ ライトの順に、8ビット単位で実行します。以下のようなレジスタはビット操作命令を使用するとき、該当ビット以外の内容が書き換わることがありますので、原則としてビット操作命令を使用しないでください。

(1) 同一アドレスに2つのレジスタが割り付けられている場合 (ソースとデスティネーションが異なる場合)

(例1) タイムロードレジスタ/タイムカウンタ

8/16ビットリロードタイマのタイムロードレジスタ/タイムカウンタをビット操作する場合を以下に述べます。

タイムロードレジスタとタイムカウンタはアドレスを共有しているので、

[1] タイムカウンタのその時点の値をリードします。

[2] CPU は該当ビットをセットまたはリセットします (該当しないビットはそのままの値)。(モディファイ)

[3] モディファイしたデータをタイムロードレジスタにライトします。

タイムカウンタは、システムクロックによりカウントを続けているので、リードした値がタイムロードレジスタとは必ずしも等しくありません。その結果、該当ビット以外は異なった値がライトされることがあります。

図 2.19 にリロードタイマの構成を示します。

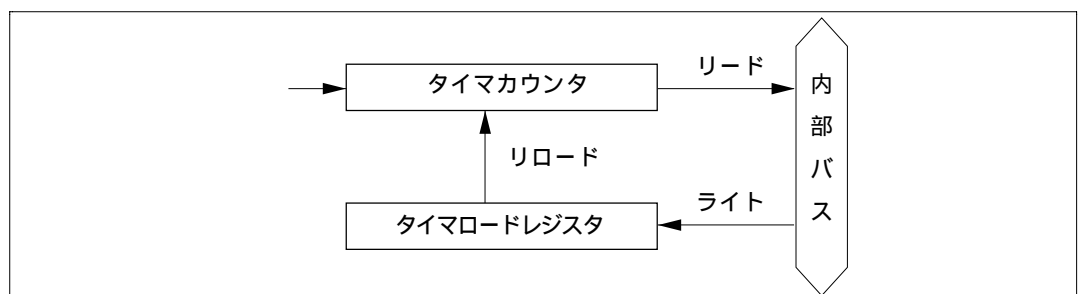


図 2.19 リロードタイマの構成

(例2) ポートデータレジスタ (端子入力とデータレジスタ)

ポートデータレジスタに対してビット操作命令を実行する場合、ビット操作命令を行うポートの該当ビット以外の端子の入出力の状態、またはデータレジスタの内容が、変化する可能性がありますので注意が必要です。

H8/300L CPUは、リード モディファイ ライトの順に8ビット単位でビット操作命令を実行します。I/Oポートのデータレジスタと端子入力のリード部が同一アドレスになっているため、ポートに対するビット操作命令は次の動作をします。

(2) 標準端子で該当ビット以外の端子

- ・入力端子に設定されているとき
端子の入力レベルを読み込み、その値をデータレジスタに書き込みます。(データレジスタの内容が変化することがあります。)
- ・出力端子に設定されているとき
データレジスタを読み込むので、変化は起こりません。

(3) ライト専用レジスタの場合

- (例) PWMデータレジスタなど
(ビットごとにリード/ライトが異なるものがあるので注意してください。)
この場合リードすべきレジスタ(ソース側)が存在しないので、該当ビット以外は1となります。

表 2.13 に同一アドレスを兼用しているレジスタ一覧を、表 2.14、表 2.15 にライト専用レジスタ一覧を示します。

(4) ワードアクセス専用のレジスタ

ワードアクセス専用のレジスタには、ビット操作命令を使わないでください。

表 2.13 同一アドレスを兼用しているレジスタ一覧

レジスタ名称	略 称	アドレス
8 / 16 ビットリロードタイマ RDT-2	TLC/TCC	H'FFC2
8 / 16 ビットリロードタイマ RDT-1	TLB/TCB	H'FFC3
リニアタイムカウンタ / リロード / コンペアマッチレジスタ	LTC/RCR	H'FFC6
ポートデータレジスタ 1*	PDR1	H'FFD1
ポートデータレジスタ 2*	PDR2	H'FFD2
ポートデータレジスタ 3*	PDR3	H'FFD3
ポートデータレジスタ 4*	PDR4	H'FFD4
ポートデータレジスタ 5*	PDR5	H'FFD5
ポートデータレジスタ 6*	PDR6	H'FFD6
ポートデータレジスタ 7*	PDR7	H'FFD7

【注】 * ポートレジスタと端子入力が兼用になっています。

表 2.14 ライト専用レジスタ一覧（一般周辺モジュール）

レジスタ名称	略 称	アドレス
シリアルモードレジスタ 1	SMR1	H'FF9C
シリアルモードレジスタ 2	SMR2	H'FF9E
PWM データレジスタ U	PWDRU	H'FF9B
PWM データレジスタ L	PWDRL	H'FF9A
8 ビット PWM データレジスタ 1	PWR1	H'FF98
8 ビット PWM データレジスタ 2	PWR2	H'FF99
12 ビット PWM データレジスタ D	DPWDR	H'FFAD
12 ビット PWM データレジスタ C	CPWDR	H'FFAF
RTU ロードレジスタ 1	RTUL1	H'FFCC
RTU ロードレジスタ 2	RTUL2	H'FFCD
RTU ロードレジスタ 3	RTUL3	H'FFCE
PPG セレクトレジスタ 7	PPR7	H'FFDC
ポートコントロールレジスタ 1	PCR1	H'FFE1
ポートコントロールレジスタ 2	PCR2	H'FFE2
ポートコントロールレジスタ 3	PCR3	H'FFE3
ポートコントロールレジスタ 4	PCR4	H'FFE4
ポートコントロールレジスタ 5	PCR5	H'FFE5
ポートコントロールレジスタ 6	PCR6	H'FFE6
ポートコントロールレジスタ 7	PCR7	H'FFE7
ポートモードレジスタ 0	PMR0	H'FFEB
システムコントロールレジスタ 2*	SYSCR2	H'FFF1

【注】 * DTONビット（ビット3）は、サブアクティブモード時のみライト専用です。
アクティブモード時はリード/ライトはできません。

表 2.15 (1) ライト専用レジスタ一覧 (サーボ、OSD 関係)

レジスタ名称	略 称	アドレス	機能
ゲイン定数	CGKp	H'F2A0	キャプスタン デジタル フィルタ
ゲイン定数	CGKs	H'F2A1	
係数	CAp	H'F2A2	
係数	CBp	H'F2A3	
係数	CAs	H'F2A4	
係数	CBs	H'F2A5	
オフセット	COfp	H'F2A6	
オフセット	COfs	H'F2A7	
ゲイン定数	DGKp	H'F2A8	ドラム デジタル フィルタ
ゲイン定数	DGKs	H'F2A9	
係数	DAp	H'F2AA	
係数	DBp	H'F2AB	
係数	DAs	H'F2AC	
係数	DBs	H'F2AD	
オフセット	DOfp	H'F2AE	
オフセット	DOfs	H'F2AF	
ドラム系速度サーボ係数	K	H'F2B0	学習サーボ
ドラム系速度サーボ係数	L	H'F2B1	
係数	K1	H'F2B2	
係数	K2	H'F2B3	
係数	K3	H'F2B4	
係数	K4	H'F2B5	
ドラム速度系学習サーボ段数設定レジスタ	LSR	H'F2B6	
FIFO 出力パターンデータレジスタ 1	FPDR1	H'F2B9	HSW タイミング 生成
FIFO 出力パターンデータレジスタ 2	FPDR2	H'F2BA	
FIFO タイミングパターンレジスタ	FTPR	H'F2BB	
基準周期レジスタ 1	RFD	H'F2BC	基準信号生成
基準周期レジスタ 2	CRF	H'F2BD	
DFG 基準レジスタ	DFCR	H'F2C0	HSW タイミング生成
REC-CTL デューティデータレジスタ 1	RCDR1	H'F2C1	CTL 回路
REC-CTL デューティデータレジスタ 2	RCDR2	H'F2C2	
REC-CTL デューティデータレジスタ 3	RCDR3	H'F2C3	
X 値データレジスタ	XDR	H'F2C8	X 値補正

表 2.15 (2) ライト専用レジスタ一覧 (サーボ、OSD 関係)

レジスタ名称	略 称	アドレス	機能
しきい値レジスタ	VTHR	H'F2CC	同期信号検出
補完パルスレジスタ	CMPR	H'F2CD	
ノイズ検出レジスタ	NDR	H'F2CE	
CFG 分周データレジスタ 2	CDIVR2	H'FF88	分周回路
CTL 分周データレジスタ	CTRL	H'FF8C	
CFG 分周データレジスタ	CDIVR	H'FF8D	
DVCFG マスク期間データレジスタ	CTMR	H'FF8E	
特再制御レジスタ	CHCR	H'FFA4	4 ヘッド特殊再生
シュミットモードレジスタ	SHMR	H'FFA5	CTL 回路
DFG 規定速度プリセットデータレジスタ	DFPR	H'FFB0	デジタルフィルタ
CFG 規定速度プリセットデータレジスタ	CFPR	H'FFB2	
ドラム規定位相プリセットデータレジスタ 1	DPPR1	H'FFB4	
キャプスタン規定位相プリセットデータレジスタ 1	CPPR1	H'FFB6	
ドラム規定位相プリセットデータレジスタ 2	DPPR2	H'FFB8	
キャプスタン規定位相プリセットデータレジスタ 2	CPPR2	H'FFBA	

2.8.4 割り込み要求フラグのクリアについての注意事項

割り込み要求フラグは、競合時に割り込み要求が消滅しないように、セット優先のフラグとなっています。割り込み要求フラグのクリアを実行しているときに発生した割り込み要求はクリアされないため、ソフトウェアによる処理は注意が必要です。

割り込み要求のクリアとは、MOV 命令、ビット操作命令などによる 0 ライトのことであり、フラグのリセットを行うことです。割り込み要求とは、各割り込み要求元が、割り込み要求フラグに 1 をセットすることです。両方が同時に起こるとセット優先になっているため、割り込み要求は保存されます。

3. システムコントロール

第3章 目次

3.1	概要.....	71
3.2	例外処理.....	71
	3.2.1	リセット.....72
	3.2.2	割り込み.....74
	3.2.3	割り込み制御レジスタ.....76
	3.2.4	外部割り込み.....95
	3.2.5	内部割り込み.....96
	3.2.6	割り込み動作.....96
	3.2.7	割り込み復帰動作.....101
	3.2.8	割り込み応答時間.....101
	3.2.9	各モードにおける有効な割り込み要因.....102
	3.2.10	スタック領域に関する使用上の注意.....103
3.3	システムのモード.....	104
	3.3.1	アクティブモード.....105
	3.3.2	低消費電力モード.....105
	3.3.3	使用上の注意事項.....112
3.4	システムコントロールレジスタ.....	113
	3.4.1	システムコントロールレジスタ1 (SYSCR1).....113
	3.4.2	システムコントロールレジスタ2 (SYSCR2).....115

3.1 概要

本章では、リセット状態、例外処理、システムの動作モードについて説明します。

3.2 例外処理

例外処理には、リセット例外処理と割り込み例外処理があります。表 3.1 に、各例外処理の要因と優先度を示します。リセット例外処理は最も優先度の高い例外処理です。

表 3.1 例外処理の種類と優先度

優先度	例外処理要因	例外処理開始タイミング
高 ↑ 低	リセット	$\overline{\text{RES}}$ 端子が Low レベルから High レベルに変化すると、ただちにリセット例外処理を開始します。
	割り込み	割り込み要求が発生すると、現在の命令の実行終了時に割り込み例外処理を開始します。

3.2.1 リセット

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、リセット状態になります。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。また、コンディションコードレジスタ (CCR) の I ビットがセットされ、すべての割り込みはマスクされます。

$\overline{\text{RES}}$ 端子が Low レベルから、High レベルになると、リセット例外処理が開始されます。リセット例外処理では、リセット例外処理ベクタアドレス (H'0000 ~ H'0001) の示す内容をリードして、プログラムカウンタ (PC) に転送します。その後、PC で示されるアドレスからプログラムの実行を開始します。リセットシーケンスを図 3.1 に示します。

- 【注】
1. リセットを確実にするために、電源投入時には、電源立ち上がり後、システムクロック発振器の発振安定待ち時間の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。
 2. 動作中にリセットする場合は、最低 10 システムクロックの間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。
 3. リセット後、スタックポインタ (SP : R7) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走の原因となります。

これを防ぐため、リセット例外処理が実行された直後はすべての割り込み要求が禁止されています。したがって、プログラム作成に際しては SP を初期化した後、割り込み要求禁止を解除するようにしてください。なお、SP には必ず偶数番地をセットしてください。プログラムの先頭命令は、SP を初期化する命令とすることを推奨します。

(例 : MOV. W #xx : 16, SP)。

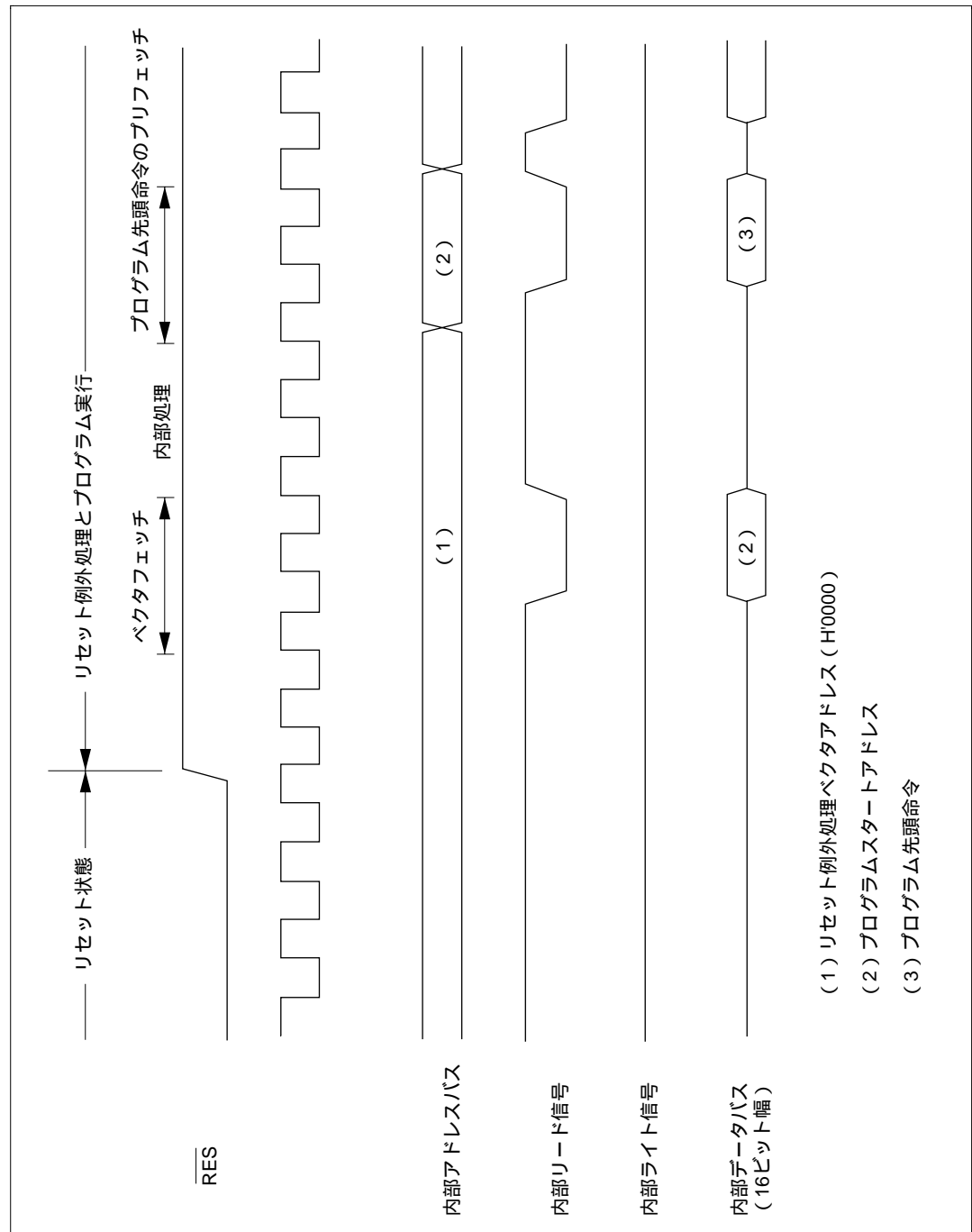


図 3.1 リセットシーケンス

3.2.2 割り込み

割り込み例外処理を開始する要因には、外部割り込み（NMI、IC、 $\overline{IRQ}_0 \sim \overline{IRQ}_5$ ）による外部要因と内蔵周辺モジュールからの要求による内部要因があります。割り込み要因と優先度ならびにベクタアドレスの一覧を表3.3に示します。複数の割り込み要求が発生したときは、優先度の高い方から処理されます。

これらの割り込みには次のような特長があります。

- (1) NMI 外部割り込みは、CCR の I ビットによりマスク（保留）されません。すなわち CCR の I ビットが 1 にセットされていても、割り込みは受け付けられます。
- (2) 内部割り込みおよび外部割り込み（IC、 $\overline{IRQ}_5 \sim \overline{IRQ}_0$ ）は、CCR の I ビットによりマスク（保留）されます。すなわち CCR の I ビットが 1 にセットされていると、割り込み要求フラグはセットされますが、割り込みは受け付けられません。
- (3) 外部割り込み端子のうち \overline{NMI} 、 \overline{IRQ}_0 は、立ち上がりエッジセンス、立ち下がりエッジセンス、両エッジセンスのいずれかに、各々独立に設定することができます。 \overline{IC} 、 \overline{IRQ}_1 、 \overline{IRQ}_2 、 \overline{IRQ}_3 は、立ち上がりエッジセンスまたは立ち下がりエッジセンスのいずれかに、各々独立に設定することができます。それ以外の外部割り込み端子 \overline{IRQ}_4 、 \overline{IRQ}_5 は、立ち下がりエッジセンス固定となっています。外部割り込み端子の機能を表 3.2 に示します。

表 3.2 外部割り込み端子の機能

端子名	検出エッジ	割り込み	イベント	状態遷移
\overline{NMI}	、	ノンマスクブル割り込み		モード遷移
\overline{IRQ}_0	、	外部割り込み端子		モード遷移
\overline{IRQ}_1	、	外部割り込み端子	RDT-1 イベント入力	モード遷移
\overline{IRQ}_2	、	外部割り込み端子	RDT-2 イベント入力	
\overline{IRQ}_3	、	外部割り込み端子	RTU キャプチャ信号、 ICR2,3 キャプチャ信号	
\overline{IRQ}_4		外部割り込み端子		
\overline{IRQ}_5		外部割り込み端子		
\overline{IC}	、	インプットキャプチャ	ICR1 キャプチャ信号	モード遷移

< 記号説明 >

立ち下がりエッジセンス

立ち上がりエッジセンス

両エッジセンス（立ち上がりエッジセンスと立ち下がりエッジセンス）

3.2.3 割り込み制御レジスタ

割り込みを制御するレジスタの一覧を表 3.4 に示します。

表 3.4 割り込み制御レジスタ

名 称	略 称	R/W	サイズ	初期値	アドレス
ポートモードレジスタ 3	PMR3	R/W	バイト	H'00	H'FFED
エッジ切り替えレジスタ	IEGR	R/W	バイト	H'00	H'FFF3
割り込み許可レジスタ 1	IENR1	R/W	バイト	H'00	H'FFF4
割り込み許可レジスタ 2	IENR2	R/W	バイト	H'00	H'FFF5
割り込み許可レジスタ 3	IENR3	R/W	バイト	H'00	H'FFF6
割り込み許可レジスタ 4	IENR4	R/W	バイト	H'F0	H'FFF7
割り込み要求レジスタ 1	IRQR1	R/(W)*	バイト	H'00	H'FFF8
割り込み要求レジスタ 2	IRQR2	R/(W)*	バイト	H'00	H'FFF9
割り込み要求レジスタ 3	IRQR3	R/(W)*	バイト	H'00	H'FFFA
割り込み要求レジスタ 4	IRQR4	R/(W)*	バイト	H'F0	H'FFFB

【注】 * フラグクリアのための 0 ライトのみ可能です。

(1) ポートモードレジスタ 3 (PMR3)

ビット	7	6	5	4	3	2	1	0
	IC	NMI	IRQ5	IRQ4	IRQ3	IRQ2	IRQ1	IRQ0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR3 は、8 ビットのリードとライトが可能なレジスタで、ポート 3 の各端子を入出力ポート機能として使用するか、外部割り込み用入力端子として使用する 6 かを選択します。リセット時、H'00 に初期化されます。

PMR3 により端子機能を切り替える場合には、次の注意事項を守ってください。

[注意事項]

- PMR3 によりポート 3 を $\overline{IRQ}_0 \sim \overline{IRQ}_5$ 入力端子、 \overline{NMI} 入力端子、 \overline{IC} 入力端子に設定した場合、アクティブモード、低消費電力モードにかかわらず、端子レベルは、High レベルまたは Low レベルとしてください。端子のレベルを中間レベルにしないでください。
- PMR3 により、ポート 3₆ (P3₆) と \overline{NMI} 入力端子とを切り替えると、端子の信号の状態によってはエッジ検出と誤認し、検出信号が発生することがあります。NMI はマスクできない割り込みであるため、切り替え時の割り込み処理ルーチンでは、 \overline{NMI} 割り込みの判定に注意が必要です。

3. PMR3により端子機能（ポートまたは \overline{IC} 、 $\overline{IRQ_0} \sim \overline{IRQ_5}$ の外部割り込み端子）を切り替えると、端子の信号の状態によってはエッジ検出と誤認し、検出信号が発生することがあります。これを防止するために、次の手順で操作を行ってください。

(a) 端子機能を切り替える前に、割り込み許可フラグを割り込み禁止にしてください。

(b) 端子機能を切り替えた後、一命令おいて当該割り込み要求フラグを0にクリアしてください。

（プログラム例）

```

:
:
MOV. B R0L, @IENR1      割り込み禁止
MOV. B R0L, @PMR1      端子機能変更
NOP                      任意の一命令
MOV. B R0L, @IRR1      当該割り込みクリア
MOV. B R1L, @IENR1     割り込み許可
:

```

ビット7：P3₇/ \overline{IC} 端子切り替え（IC）

P3₇/ \overline{IC} 端子をP3₇入出力端子として使用するか、フリーランニングタイマのインプットキャプチャ機能の \overline{IC} 入力端子として使用するかを設定します。 \overline{IC} 端子には、ノイズキャンセル回路が内蔵されています。

ビット7	説明
IC	
0	P3 ₇ / \overline{IC} 端子は、P3 ₇ 入出力端子として機能 (初期値)
1	P3 ₇ / \overline{IC} 端子は、 \overline{IC} 入力端子として機能

ビット6 : $P3_6/\overline{NMI}$ 端子切り替え (NMI)

$P3_6/\overline{NMI}$ 端子を $P3_6$ 入出力端子として使用するか、 \overline{NMI} 入力端子として使用するかを設定します。

ビット6	説明
NMI	
0	$P3_6/\overline{NMI}$ 端子は、 $P3_6$ 入出力端子として機能 (初期値)
1	$P3_6/\overline{NMI}$ 端子は、 \overline{NMI} 入力端子として機能

ビット5~0 : $P3_n/\overline{IRQ_n}$ 端子切り替え ($IRQ_5 \sim IRQ_0$)

$P3_n/\overline{IRQ_n}$ 端子を $P3_n$ 入出力端子として使用するか、 $\overline{IRQ_n}$ 入力端子として使用するかを設定します。

ビットn	説明
IRQ_n	
0	$P3_n$ 入出力端子として機能 (初期値)
1	$\overline{IRQ_n}$ 入力端子として機能

(n=5~0)

(2) エッジ切り替えレジスタ (IEGR)

ビット	7	6	5	4	3	2	1	0
	ICEG	I3EG	I2EG	I1EG	I0EG1	I0EG0	NMEG1	NMEG0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エッジ切り替えレジスタ (IEGR) は、割り込み端子 (\overline{NMI} 端子、 $\overline{IRQ_0} \sim \overline{IRQ_3}$ 端子)、および \overline{IC} 端子の検出エッジを切り替えます。立ち上がりエッジセンスまたは立ち下がりエッジセンスを指定します。IEGR は、8 ビットのリードとライトが可能なレジスタです。リセット時、H'00 に初期化されます。

ビット7 : \overline{IC} 端子エッジ切り替えビット (ICEG)

ビット7	説明
ICEG	
0	\overline{IC} 端子入力の立ち下がりエッジを検出 (初期値)
1	\overline{IC} 端子入力の立ち上がりエッジを検出

ビット6 : $\overline{\text{IRQ}}_3$ 端子エッジ切り替えビット (I3EG)

ビット6	説明	
I3EG		
0	$\overline{\text{IRQ}}_3$ 端子入力の立ち下がりエッジを検出	(初期値)
1	$\overline{\text{IRQ}}_3$ 端子入力の立ち上がりエッジを検出	

ビット5 : $\overline{\text{IRQ}}_2$ 端子エッジ切り替えビット (I2EG)

ビット5	説明	
I2EG		
0	$\overline{\text{IRQ}}_2$ 端子入力の立ち下がりエッジを検出	(初期値)
1	$\overline{\text{IRQ}}_2$ 端子入力の立ち上がりエッジを検出	

ビット4 : $\overline{\text{IRQ}}_1$ 端子エッジ切り替えビット (I1EG)

ビット4	説明	
I1EG		
0	$\overline{\text{IRQ}}_1$ 端子入力の立ち下がりエッジを検出	(初期値)
1	$\overline{\text{IRQ}}_1$ 端子入力の立ち上がりエッジを検出	

ビット3、2 : $\overline{\text{IRQ}}_0$ 端子エッジ切り替えビット (I0EG1、I0EG0)

ビット3	ビット2	説明	
I0EG1	I0EG0		
0	0	$\overline{\text{IRQ}}_0$ 端子入力の立ち下がりエッジを検出	(初期値)
	1	$\overline{\text{IRQ}}_0$ 端子入力の立ち上がりエッジを検出	
1	X	$\overline{\text{IRQ}}_0$ 端子入力の両エッジを検出	

【注】 X : 0または1、Don't care を表します。

ビット1、0 : $\overline{\text{NMI}}$ 端子エッジ切り替えビット (NMEG1、NMEG0)

ビット1	ビット0	説明
NMEG1	NMEG0	
0	0	$\overline{\text{NMI}}$ 端子入力の立ち下がリエッジを検出 (初期値)
	1	$\overline{\text{NMI}}$ 端子入力の立ち上がりエッジを検出
1	X	$\overline{\text{NMI}}$ 端子入力の両エッジを検出

【注】 X : 0または1、Don't care を表します。

(3) 割り込み許可レジスタ 1 (IENR1)

ビット	7	6	5	4	3	2	1	0
	-	-	IEN2	IEN1	IEN0	IEPPG	-	IEIC
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

割り込み許可レジスタ 1 (IENR1) は、外部割り込み要求を禁止するか許可するかを制御するレジスタです。IENR1 は、8 ビットのリードとライトが可能なレジスタです。リセット時、H'00 に初期化されます。

ビット7、6 : リザーブビット

リザーブビットです。リザーブビットはリードもライトも可能ですが、動作は保証されません。ライトするときは、0としてください。

ビット5~3 : $\text{IRQ}_2 \sim \text{IRQ}_0$ 割り込み許可ビット (IEN2~IEN0)

ビット5~3	説明
IENn	
0	IRRn による割り込み (IRQ_n 割り込み) 要求を禁止 (初期値)
1	IRRn による割り込み要求を許可

(n = 2 ~ 0)

ビット2：HSW タイミング発生回路割り込み許可ビット（IEPPG）

ビット2	説明
IEPPG	
0	IRRPGによる割り込み（HSW タイミング発生回路）要求を禁止（初期値）
1	IRRPGによる割り込み要求を許可

ビット1：リザーブビット

リザーブビットです。リザーブビットはリードもライトも可能ですが、動作は保証されません。ライトするときは、0としてください。

ビット0：インプットキャプチャ割り込み許可ビット（IEIC）

ビット0	説明
IEIC	
0	IRRICによる割り込み（インプットキャプチャ割り込み）要求を禁止（初期値）
1	IRRICによる割り込み要求を許可

(4) 割り込み許可レジスタ2（IENR2）

ビット	7	6	5	4	3	2	1	0
	IERT2	IERT1	IEDT	IETM	IEN5	IEN4	IEN3	-
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

割り込み許可レジスタ2（IENR2）は、割り込みの許可または禁止を制御します。IENR2は、8ビットのリードとライトが可能なレジスタです。リセット時、H'00に初期化されます。

ビット7：RDT-2割り込み許可ビット（IERT2）

ビット7	説明
IERT2	
0	IRRT2による割り込み（リロードタイマ2割り込み）要求を禁止（初期値）
1	IRRT2による割り込み要求を許可

ビット6：RDT-1割り込み許可ビット（IERT1）

ビット6	説明
IERT1	
0	IRRRT1による割り込み（リロードタイマ1割り込み）要求を禁止（初期値）
1	IRRRT1による割り込み要求を許可

ビット5：ダイレクト遷移割り込み許可ビット（IEDT）

ビット5	説明
IEDT	
0	IRRDTによる割り込み（ダイレクト遷移割り込み）要求を禁止（初期値）
1	IRRDTによる割り込み要求を許可

ビット4：時計用タイマ割り込み許可ビット（IETM）

ビット4	説明
IETM	
0	IRRTMによる割り込み（時計用割り込み）要求を禁止（初期値）
1	IRRTMによる割り込み要求を許可

ビット3～1：IRQ₅～IRQ₃割り込み許可ビット（IEN₅～IEN₃）

ビット3～1	説明
IEN _n	
0	IRR _n による割り込み（IRQ _n 割り込み）要求を禁止（初期値）
1	IRR _n による割り込み要求を許可

(n=5～3)

ビット0：リザーブビット

リザーブビットです。リードもライトも可能ですが、動作は保証されません。ライトするときは、0としてください。

(5) 割り込み許可レジスタ 3 (IENR3)

ビット	7	6	5	4	3	2	1	0
	-	IESC1	IECTL	IEVD	IELTC	IERU3	IERU2	IERU1
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

割り込み許可レジスタ 3 (IENR3) は、割り込みの許可または禁止を制御します。IENR3 は、8 ビットのリードとライトが可能なレジスタです。リセット時、H'00 に初期化されます。

ビット 7 : リザーブビット

リザーブビットです。リードもライトも可能ですが、動作は保証されません。ライトするときは、0 としてください。

ビット 6 : SCI1、SCI2 割り込み許可ビット (IESC1)

ビット 6	説明
IESC1	
0	IRRSC1 による割り込み (SCI1、SCI2 割り込み) 要求を禁止 (初期値)
1	IRRSC1 による割り込み要求を許可

ビット 5 : CTL 割り込み許可ビット (IECTL)

ビット 5	説明
IECTL	
0	IRRCTL による割り込み要求を禁止 (初期値)
1	IRRSC1 による割り込み要求を許可

ビット 4 : 垂直同期信号割り込み許可ビット (IEVD)

ビット 4	説明
IEVD	
0	IRRVD による割り込み (垂直同期信号割り込み) 要求を禁止 (初期値)
1	IRRVD による割り込み要求を許可

垂直同期信号割り込みは、OSD がブルーバックモードのときは、OSD が自走している VD で割り込み要求を発生します。スーパーインポーズモードでは、同期信号検出回路に入力された信号から検出した VD により割り込み要求を発生します。

「第 12 章 同期信号検出回路」、「第 15 章 OSD」を参照してください。

ビット 3 : リニアタイムカウンタ割り込み許可ビット (IELTC)

ビット 3	説明
IELTC	
0	IRRLTC による割り込み (リニアタイムカウンタ割り込み) 要求を禁止 (初期値)
1	IRRLTC による割り込み要求を許可

ビット 2 ~ 0 : RTU-3 ~ RTU-1 割り込み許可ビット (IERU3 ~ IERU1)

ビット 2 ~ 0	説明
IERUn	
0	IRRU _n による割り込み (リロードタイムユニット n 割り込み) 要求を禁止 (初期値)
1	IRRU _n による割り込み要求を許可

(n = 3 ~ 1)

(6) 割り込み許可レジスタ 4 (IENR4)

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	IECPS	IEDRM	IEOSD	IEAD
初期値	1	1	1	1	0	0	0	0
R/W	-	-	-	-	R/W	R/W	R/W	R/W

割り込み許可レジスタ 4 (IENR4) は、割り込みの許可または禁止を制御します。IENR4 は、8 ビットのリードとライトが可能なレジスタです。ビット 7~4 は、リードもライトも無効です。リセット時、HF0 に初期化されます。

ビット 7~4 : リザーブビット

リザーブビットです。リードもライトも無効です。リードすると 1 が読み出されます。

ビット 3 : キャプスタン速度誤差検出割り込み許可ビット (IECPS)

ビット 3	説明
IECPS	
0	キャプスタン速度誤差検出回路からの割り込み要求を禁止 (初期値)
1	キャプスタン速度誤差検出回路からの割り込み要求を許可

ビット 2 : ドラム速度誤差検出割り込み許可ビット (IEDRM)

ビット 2	説明
IEDRM	
0	ドラム速度誤差検出回路からの割り込み要求を禁止 (初期値)
1	ドラム速度誤差検出回路からの割り込み要求を許可

ビット 1 : OSD 割り込み許可ビット (IEOSD)

ビット 1	説明
IEOSD	
0	OSD アクセス衝突または同期信号検出回路ノイズ検出による割り込み要求を禁止 (初期値)
1	OSD アクセス衝突または同期信号検出回路ノイズ検出による割り込み要求を許可

ビット0 : A/D 変換割り込み許可ビット (IEAD)

ビット0	説明
IEAD	
0	IRRAD による割り込み (A/D 変換割り込み) 要求を禁止 (初期値)
1	IRRAD による割り込み要求を許可

(7) 割り込み要求レジスタ 1 (IRQR1)

ビット	:	7	6	5	4	3	2	1	0
		-	-	IRR2	IRR1	IRR0	IRRPG	-	IRRIC
初期値	:	0	0	0	0	0	0	0	0
R/W	:	-	-	R/(W)*	R/(W)*	R/(W)*	R/(W)*	-	R/(W)*

【注】* フラグクリアのための0ライトのみ可能です。

割り込み要求レジスタ 1 (IRQR1) は、外部割り込み要求の発生を表示するレジスタです。外部割り込み要求が発生すると対応するビットが 1 にセットされます。IRQR1 は、8 ビットのリードとライトが可能なレジスタです。リセット時、H'00 に初期化されます。

ビット7、6 : リザーブビット

リザーブビットです。リードもライトも可能ですが、動作は保証されません。ライトするときは、0としてください。

ビット5 : IRQ₂ 割り込み要求ビット (IRR2)

ビット5	説明
IRR2	
0	$\overline{\text{IRQ}}_2$ 端子による割り込み要求なし (初期値)
1	$\overline{\text{IRQ}}_2$ 端子の当該エッジによる割り込み要求あり 〔セット条件〕 PMR3 により $\overline{\text{IRQ}}_2$ 端子が割り込み入力に設定されており、かつ端子に指定されたエッジが入力されたとき 〔クリア方法〕 このフラグにソフトウェアで 0 をライトしてクリア (割り込みが受け付けられてもオートクリアされません。)

ビット4 : IRQ₁ 割り込み要求ビット (IRR1)

ビット4	説明
IRR1	
0	$\overline{\text{IRQ}}_1$ 端子による割り込み要求なし (初期値)
1	$\overline{\text{IRQ}}_1$ 端子の当該エッジによる割り込み要求あり 〔クリア方法〕 このフラグにソフトウェアで0をライトしてクリア (割り込みが受け付けられてもオートクリアされません。)

ビット3 : IRQ₀ 割り込み要求ビット (IRR0)

ビット3	説明
IRR0	
0	$\overline{\text{IRQ}}_0$ 端子による割り込み要求なし (初期値)
1	$\overline{\text{IRQ}}_0$ 端子の当該エッジによる割り込み要求あり 〔クリア方法〕 このフラグにソフトウェアで0をライトしてクリア (割り込みが受け付けられてもオートクリアされません。)

ビット2 : HSW タイミング生成回路割り込み要求ビット (IRRPG)

ビット2	説明
IRRPG	
0	HSW 回路 (PPG) による割り込み要求なし (初期値)
1	OVW、一致、STRIG による割り込み要求あり 〔クリア方法〕 このフラグにソフトウェアで0をライトしてクリア (割り込みが受け付けられてもオートクリアされません。)

ビット1 : リザーブビット

リザーブビットです。リードもライトも可能ですが、動作は保証されません。ライトするときは、0としてください。

ビット0：インプットキャプチャ割り込み要求ビット（IRRIC）

ビット0	説明
IRRIC	
0	\overline{IC} 端子による割り込み要求なし (初期値)
1	\overline{IC} 端子の当該エッジ（キャプチャ信号）による割り込み要求あり 〔クリア方法〕 このフラグにソフトウェアで0をライトしてクリア (割り込みが受け付けられてもオートクリアされません。)

(8) 割り込み要求レジスタ 2 (IRQR2)

ビット	7	6	5	4	3	2	1	0
	IRRRT2	IRRRT1	IRRDT	IRRTM	IRR5	IRR4	IRR3	-
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	-

【注】* フラグクリアのための0ライトのみ可能です。

割り込み要求レジスタ 2 (IRQR2) は、割り込み要求の発生を表示するレジスタです。割り込み要求が発生すると対応するビットが1にセットされます。IRQR2は、8ビットのリードとライトが可能なレジスタです。リセット時、H'00に初期化されます。

ビット7：RDT-2割り込み要求ビット（IRRRT2）

ビット7	説明
IRRRT2	
0	RDT-2による割り込み要求なし (初期値)
1	RDT-2アンダフローによる割り込み要求あり 〔クリア方法〕 このフラグにソフトウェアで0をライトしてクリア (割り込みが受け付けられてもオートクリアされません。)

ビット6：RDT-1割り込み要求ビット（IRRRT1）

ビット6	説明
IRRRT1	
0	RDT-1による割り込み要求なし (初期値)
1	RDT-1アンダフローによる割り込み要求あり 〔クリア方法〕 このフラグにソフトウェアで0をライトしてクリア (割り込みが受け付けられてもオートクリアされません。)

ビット5：ダイレクト遷移割り込み要求ビット（IRRDT）

ビット5	説明
IRRDT	
0	ダイレクト遷移による割り込み要求なし (初期値)
1	ダイレクト遷移を実行したことによる割り込み要求あり 〔クリア方法〕 このフラグにソフトウェアで0をライトしてクリア (割り込みが受け付けられてもオートクリアされません。)

ビット4：時計用タイマ割り込み要求ビット（IRRMTM）

ビット4	説明
IRRMTM	
0	時計用タイマによる割り込み要求なし (初期値)
1	時計用タイマのオーバフローによる割り込み要求あり 〔クリア方法〕 このフラグにソフトウェアで0をライトしてクリア (割り込みが受け付けられてもオートクリアされません。)

ビット3～1：IRQ₅～IRQ₃割り込み要求ビット（IRR₅～IRR₃）

ビット3～1	説明
IRR _n	
0	$\overline{\text{IRQ}}_n$ 端子による割り込み要求なし (初期値)
1	$\overline{\text{IRQ}}_n$ 端子の立ち上がりエッジ検出による割り込み要求あり 〔クリア方法〕 このフラグにソフトウェアで0をライトしてクリア (割り込みが受け付けられてもオートクリアされません。)

(n = 5 ~ 3)

ビット0：リザーブビット

リザーブビットです。リードもライトも可能ですが、動作は保証されません。ライトするときは、0としてください。

(9) 割り込み要求レジスタ3 (IRQR3)

ビット	7	6	5	4	3	2	1	0
	-	IRRSC1	IRRCTL	IRRVD	IRRLTC	IRRU3	IRRU2	IRRU1
初期値	0	0	0	0	0	0	0	0
R/W	-	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグクリアのための0ライトのみ可能です。

割り込み要求レジスタ3 (IRQR3) は、割り込み要求の発生を表示するレジスタです。割り込み要求が発生すると対応するビットが1にセットされます。IRQR3は、8ビットのリードとライトが可能なレジスタです。リセット時、H'00に初期化されます。

ビット7：リザーブビット

リザーブビットです。リードもライトも可能ですが、動作は保証されません。ライトするときは、0としてください。

ビット6 : SCI1、SCI2 割り込み要求ビット (IRRSC1)

ビット6	説明
IRRSC1	
0	SCI ₁ またはSCI ₂ による割り込み要求なし (初期値)
1	転送完了、転送エラーによる割り込み要求あり 〔クリア方法〕 このフラグにソフトウェアで0をライトしてクリア (割り込みが受け付けられてもオートクリアされません。)

ビット5 : CTL 割り込み要求ビット (IRRCTL)

ビット5	説明
IRRCTL	
0	CTLによる割り込み要求なし (初期値)
1	CTLによる割り込み要求あり 〔クリア方法〕 このフラグにソフトウェアで0をライトしてクリア (割り込みが受け付けられてもオートクリアされません。)

ビット4 : 垂直同期信号割り込み要求ビット (IRRVD)

ビット4	説明
IRRVD	
0	垂直同期信号VDによる割り込み要求なし (初期値)
1	垂直同期信号VDによる割り込み要求あり 〔クリア方法〕 このフラグにソフトウェアで0をライトしてクリア (割り込みが受け付けられてもオートクリアされません。)

VD割り込みは、OSDがブルーバックモードのときは、OSDが自走しているVDで割り込み要求を発生します。スーパーインポーズモードでは、同期信号検出回路に入力された信号から検出したVDにより割り込み要求を発生します。

「第12章 同期信号検出回路」、「第15章 OSD」を参照してください。

ビット3：リニアタイムカウンタ割り込み要求ビット（IRRLTC）

ビット3	説明
IRRLTC	
0	リニアタイムカウンタによる割り込み要求なし (初期値)
1	リニアタイムカウンタによる割り込み要求あり 〔クリア方法〕 このフラグにソフトウェアで0をライトしてクリア (割り込みが受け付けられてもオートクリアされません。)

ビット2：RTU-3割り込み要求ビット（IRRU3）

ビット2	説明
IRRU3	
0	RTU-3による割り込み要求なし (初期値)
1	RTU-2キャプチャ信号、スロートトラックングMMによる割り込み要求あり 〔クリア方法〕 このフラグにソフトウェアで0をライトしてクリア (割り込みが受け付けられてもオートクリアされません。)

ビット1：RTU-2割り込み要求ビット（IRRU2）

ビット1	説明
IRRU2	
0	RTU-2による割り込み要求なし (初期値)
1	アンダーフロー、加減速検出による割り込み要求あり 〔クリア方法〕 このフラグにソフトウェアで0をライトしてクリア (割り込みが受け付けられてもオートクリアされません。)

ビット0：RTU-1割り込み要求ビット（IRRU1）

ビット0	説明
IRRU1	
0	RTU-1による割り込み要求なし (初期値)
1	RTU-1アンダーフローによる割り込み要求あり 〔クリア方法〕 このフラグにソフトウェアで0をライトしてクリア (割り込みが受け付けられてもオートクリアされません。)

(10) 割り込み要求レジスタ4（IRQR4）

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	IRRCPS	IRRDRM	IRROSD	IRRAD
初期値	1	1	1	1	0	0	0	0
R/W	-	-	-	-	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】* フラグクリアのための0ライトのみ可能です。

割り込み要求レジスタ4（IRQR4）は、割り込み要求の発生を表示するレジスタです。割り込み要求が発生すると対応するビットが1にセットされます。IRQR4は、8ビットのリードとライトが可能なレジスタです。リセット時、H'F0に初期化されます。

ビット7～4：リザーブビット

リザーブビットです。リードもライトも無効です。リードすると1が読み出されます。

ビット3：キャプスタン速度誤差検出回路割り込み要求ビット（IRRCPS）

ビット3	説明
IRRCPS	
0	キャプスタン速度誤差検出回路からの割り込み要求なし (初期値)
1	キャプスタン速度誤差検出回路から割り込み要求あり 〔クリア方法〕 このフラグにソフトウェアで0をライトしてクリア (割り込みが受け付けられてもオートクリアされません。)

ビット2：ドラム速度誤差検出回路割り込み要求ビット（IRRDRM）

ビット2	説明
IRRDRM	
0	ドラム速度誤差検出回路からの割り込み要求なし (初期値)
1	ドラム速度誤差検出回路から割り込み要求あり 〔クリア方法〕 このフラグにソフトウェアで0をライトしてクリア (割り込みが受け付けられてもオートクリアされません。)

ビット1：OSD 割り込み要求ビット（IRROSD）

ビット1	説明
IRROSD	
0	OSD アクセス衝突または同期信号検出回路からの割り込み要求なし (初期値)
1	OSD アクセス衝突または同期信号検出回路から割り込み要求あり 〔クリア方法〕 このフラグにソフトウェアで0をライトしてクリア (割り込みが受け付けられてもオートクリアされません。)

ビット0：A/D 割り込み要求ビット（IRRAD）

ビット0	説明
IRRAD	
0	A/D 変換による割り込み要求なし (初期値)
1	A/D 変換終了による割り込み要求あり 〔クリア方法〕 このフラグにソフトウェアで0をライトしてクリア (割り込みが受け付けられてもオートクリアされません。)

3.2.4 外部割り込み

外部割り込みには、NMI、IC、IRQ₀ ~ IRQ₅ 割り込みの 8 要因があります。

NMI、IC、IRQ₀ ~ IRQ₅ 割り込みは、それぞれ、 $\overline{\text{NMI}}$ 、 $\overline{\text{IC}}$ 、 $\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_5$ 端子の入力信号により要求されます。

NMI、IRQ₀ 割り込みは、立ち上がりエッジセンス、立ち下がりエッジセンス、両エッジセンスのいずれかに指定することができ、IC、IRQ₁、IRQ₂、IRQ₃ 割り込みは、立ち上がりエッジセンスまたは立ち下がりエッジセンスのいずれかに指定することができます。エッジ切り替えレジスタ (IEGR) の対応するビットで指定することができます。これ以外の外部割り込み IRQ₄、IRQ₅ は、立ち下がりエッジセンス固定となっています。なお、外部割り込み入力を有効とするためには、ポートモードレジスタ 3 (PMR3) の対応するビットをあらかじめ 1 にセットしておく必要があります。

$\overline{\text{IC}}$ 、 $\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_5$ 端子に所定のエッジが入力されると、割り込み要求レジスタ 1、2 (IRQR1、IRQR2) の対応するビットが 1 にセットされます。割り込み受け付け後も、一度セットされたフラグはオートクリアされませんので、割り込み処理ルーチン中で 0 にクリアしてください。

対応する割り込み許可フラグを 0 にクリアすることにより当該割り込み要求の受け付けはマスク (保留) されます。IC、IRQ₀ ~ IRQ₅ 割り込みは、割り込み許可レジスタ 1、2 (IENR1、IENR2) の対応するビットを 1 にセットすることにより、割り込み要求を許可します。また、CCR の I ビットを 1 にセットすることにより、すべての割り込みをマスク (保留) できます。

IC、IRQ₀ ~ IRQ₅ 割り込みの割り込み要求が受け付けられると、I ビットは 1 にセットされます。優先順位は、IC (高)、IRQ₀ ~ IRQ₅ (低) の順に低くなります。詳細は表 3.2 を参照してください。

IC 割り込みは、ノイズキャンセル回路により 256 ステートの間隔で二度サンプリングし、入力値が異なる場合にノイズとみなして受け付けないようにすることができます。ノイズキャンセル回路は、PWM コントロールレジスタ (PWCR) のノイズキャンセル ON/OFF ビット (NC on/off) で有効にします。

3.2.5 内部割り込み

内蔵周辺モジュールからの割り込みによる内部割り込み要因は 16 要因あります。いずれの割り込みも CCR の I ビットを 1 にセットすることによりマスク（保留）されます。これらの割り込み要求が受け付けられ割り込み例外処理が実行されると、I ビットは 1 にセットされます。内蔵周辺モジュールからの割り込みの優先順位については、表 3.2 を参照してください。

また、内蔵周辺モジュールのレジスタの内容を変更する際は次の手順で行うことを推奨いたします。

- (1) 当該割り込み許可ビットをクリア
- (2) レジスタの内容を変更
- (3) 当該割り込み要求フラグをクリア
- (4) 当該割り込み許可ビットをセット

3.2.6 割り込み動作

割り込みは、割り込みコントローラによって制御されます。

割り込みコントローラのブロック図を図 3.2 に、割り込み受け付けまでのフローを図 3.3 に示します。

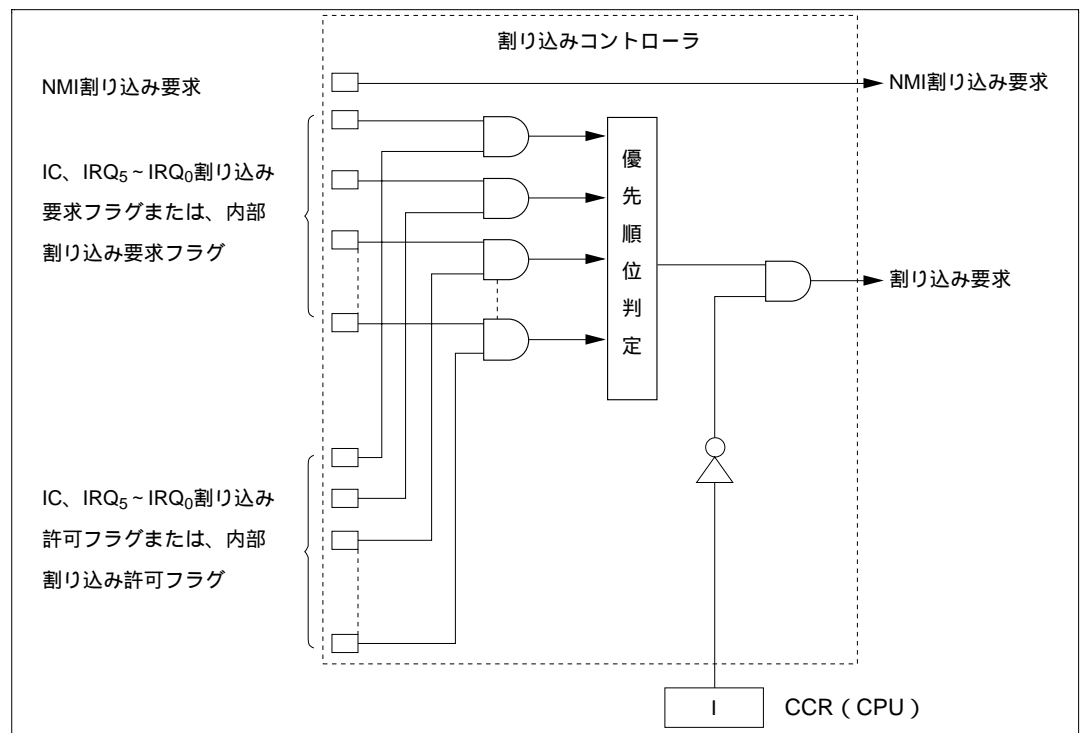


図 3.2 割り込みコントローラのブロック図

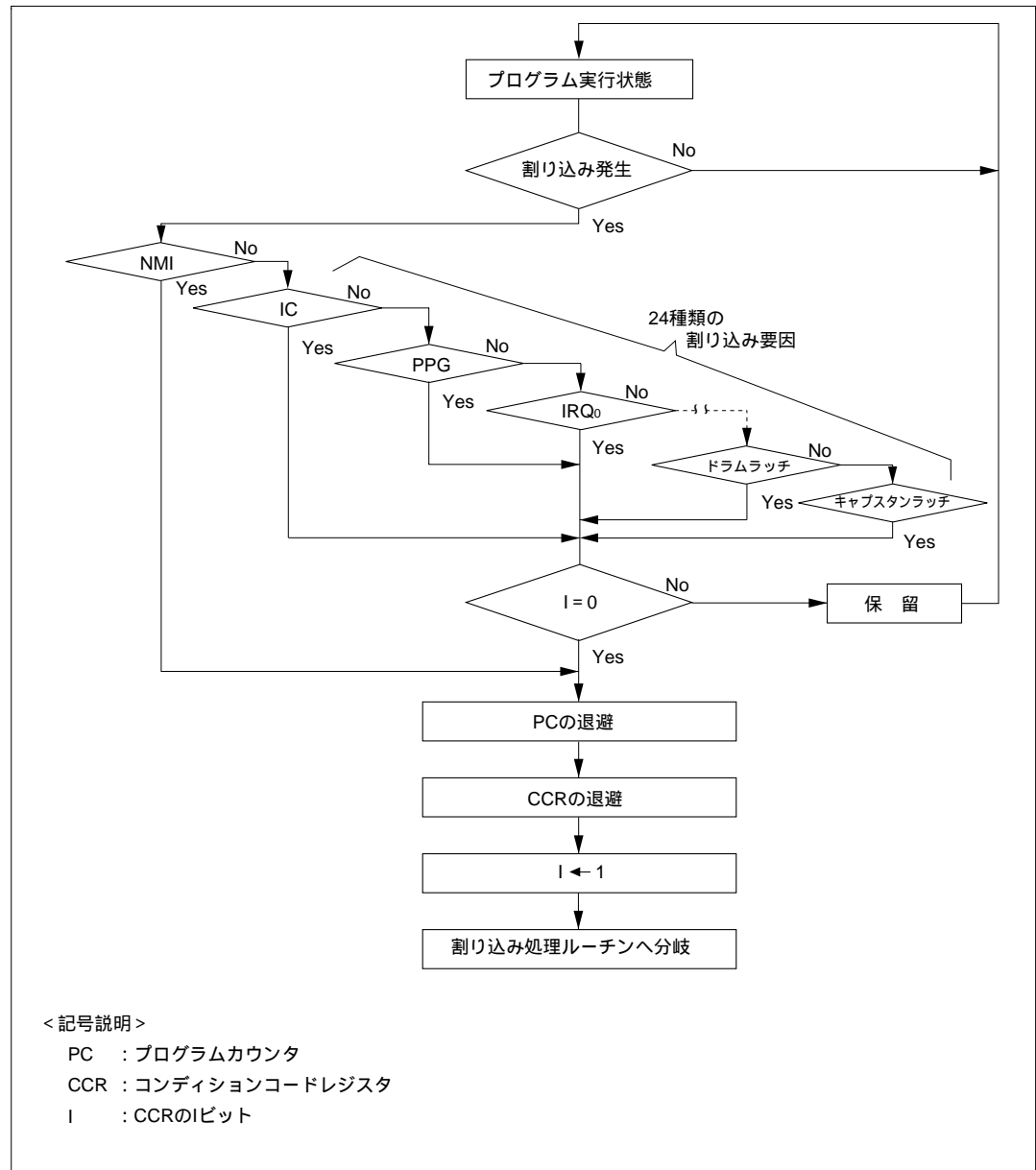


図 3.3 割り込み受け付けまでのフロー

割り込み動作を以下に示します。

- (1) 外部割り込み端子入力、および周辺モジュールにより割り込み要因が発生すると、割り込みコントローラに対して割り込み要求信号が送られます。
- (2) 割り込みコントローラは、割り込み要求信号が送られてくると NMI を除いて割り込み要求フラグをセットします。

- (3) 対応する割り込み許可フラグが1にセットされている割り込みの中で、最も優先順位の高い割り込み要求が選択され、その他は保留となります（表 3.2 を参照してください）。
- (4) CCR の I ビットを参照し、I ビットが0にクリアされているときは、最も優先順位の高い割り込み要求が受け付けられます。I ビットが1にセットされている場合は、NMI を除いて割り込み要求は保留となります。
- (5) 割り込み要求が受け付けられると、実行中の命令が終了した後、PC と CCR がスタック領域に退避されます。このときのスタックの状態を図 3.4 に示します。スタックされる PC は、リターン後に実行する最初の命令のアドレスを示しています。
- (6) CCR の I ビットが1にセットされます。これにより NMI を除くすべての割り込みは禁止されます。
- (7) 受け付けた割り込みに対応するベクタアドレスを生成し、そのアドレスが示す内容をリードし、PC に転送します。その後 PC で示されるアドレスからプログラムの実行を開始します。

【注】 ORC、ANDC、XORC、LDC 命令終了時には割り込み要因の検出を行いません。

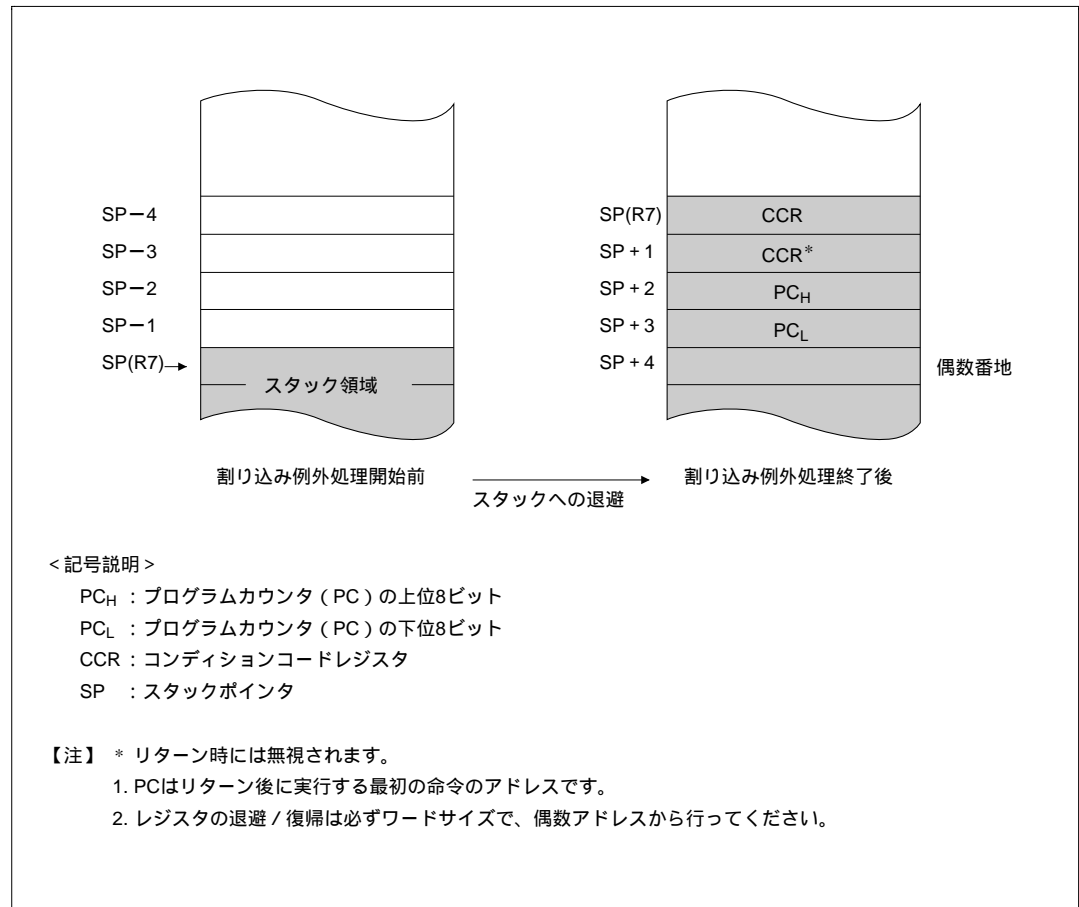


図 3.4 割り込み例外処理終了後のスタック状態

割り込みシーケンスを図 3.5 に示します。

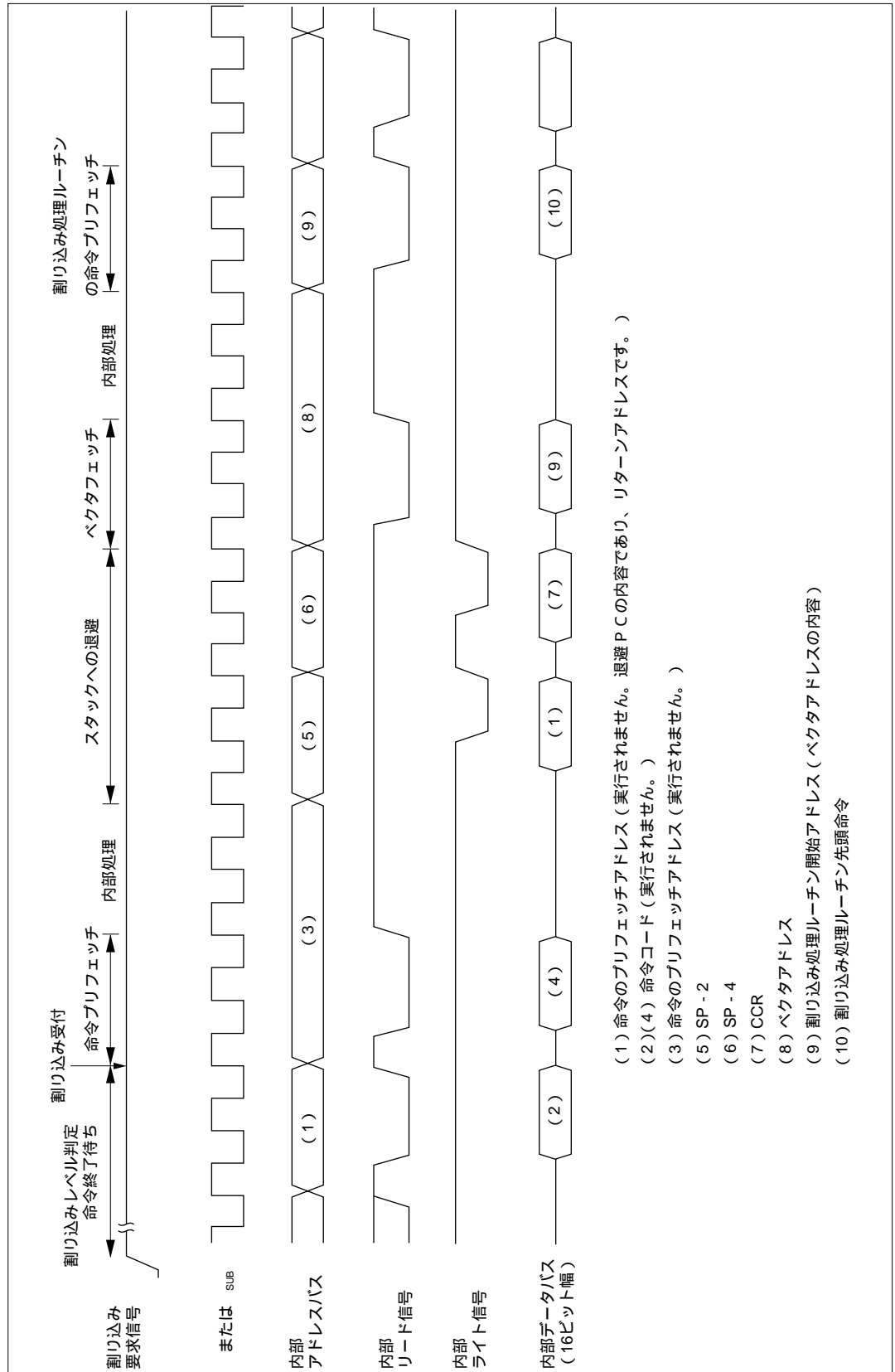


図 3.5 割り込みシーケンス

3.2.7 割り込み復帰動作

割り込み処理終了後、割り込み処理ルーチンの最後で RTE 命令を実行して、割り込み前のルーチンに復帰します。RTE 命令を実行すると図 3.6 に示すように、スタック領域に退避されていた内容が CCR および PC に戻されます。戻された PC の示すアドレスから命令の実行が再開されます。

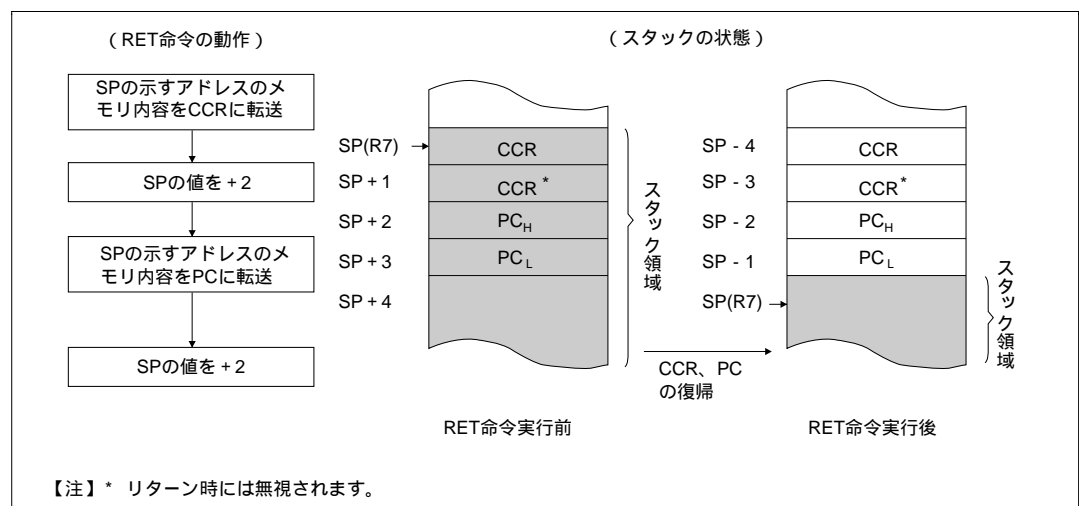


図 3.6 RTE 命令実行のスタック状態

3.2.8 割り込み応答時間

割り込み要求フラグセット後、割り込み処理ルーチンの先頭命令を実行するまでの、待ち状態数を表 3.5 に示します。

表 3.5 割り込み待ち状態数

No.	項目	状態数
1	実行中の命令終了時の待ち時間*	1 ~ 13
2	PC、CCRのスタック	4
3	ベクタフェッチ	2
4	命令フェッチ	4
5	内部処理	4
	合計	15 ~ 27

【注】 * EEPMOV 命令は除きます。

3.2.9 各モードにおける有効な割り込み要因

各モードにおける有効な割り込み要因を表 3.6 に示します。各モードの詳細は、「3.3 システムのモード」を参照してください。

表 3.6 各モードにおける有効な割り込み要因

要 因	モード				
	アクティブ	スリープ	スタンバイ	ウォッチ	サブ アクティブ
NMI					
IC			×	×	×
PPG		×	×	×	×
IRQ ₀					
IRQ ₁				×	×
IRQ ₂		×	×	×	×
IRQ ₃		×	×	×	×
IRQ ₄		×	×	×	×
IRQ ₅		×	×	×	×
時計用タイマ			×		
ダイレクト遷移	×	×	×	×	
8 / 16 ビットリロードタイマ 1		×	×	×	×
8 / 16 ビットリロードタイマ 2		×	×	×	×
リロードタイマユニット 1		×	×	×	×
リロードタイマユニット 2		×	×	×	×
リロードタイマユニット 3		×	×	×	×
リニアタイムカウンタ		×	×	×	×
VD (同期信号検出回路)		×	×	×	×
CTL 回路		×	×	×	×
SCI1、SCI2 転送完了、エラー		×	×	×	×
A/D 変換終了		×	×	×	×
OSD 書き込みエラー / ノイズ検出		×	×	×	×
ドラムラッチ		×	×	×	×
キャプスタンラッチ		×	×	×	×

【注】 本表はモード遷移途中に発生した割り込みは含みません。

記号説明

: 割り込み要求フラグをセットし、CCR の I ビット = 0 かつ当該割り込み許可ビット = 1 のとき、割り込み例外処理を開始します。ただし、スリープモード、スタンバイモード、ウォッチモード時は、モード遷移後割り込み例外処理を開始します。

: DTON ビット = 1 かつ LSON ビット = 0 の状態で、SLEEP 命令を実行すると、ウォッチモードへ遷移し、サブクロックに同期して割り込み要求フラグがセットされます。割り込み要求フラグがセットされると、当該割り込み許可ビット = 1 かつ CCR の I ビット = 0 のとき、アクティブモードへ遷移し、割り込み例外処理を開始します。

× : 割り込み要求フラグはセットされず、モード遷移も行われません。

3.2.10 スタック領域に関する使用上の注意

H8/300L シリーズでは、ワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズで行い、スタックポインタ (SP: R7) の内容は奇数にしないでください。すなわち、レジスタの退避や復帰は、「PUSH Rn (MOV.W Rn, @-SP)」または「POP Rn (MOV.W @SP+, Rn)」を使用してください。

SP に奇数を設定すると、誤動作の原因となります。SP に奇数を設定した場合の動作例を図 3.7 に示します。

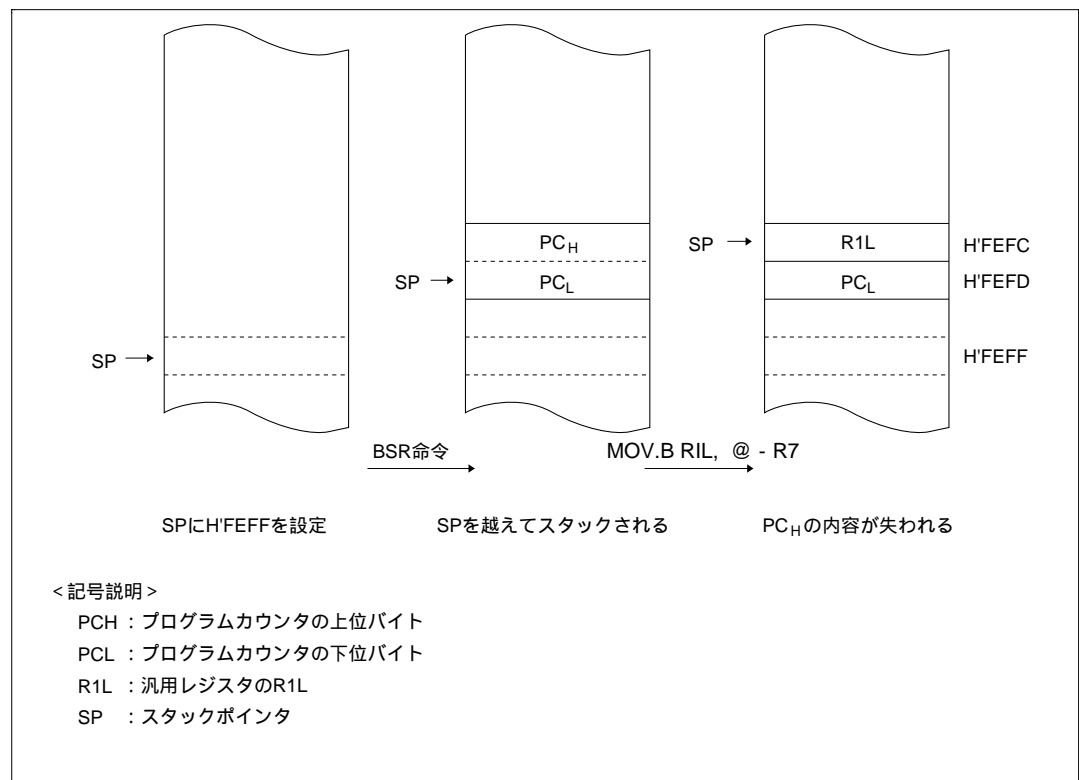


図 3.7 SP に奇数を設定したときの動作

また、割り込み例外処理および RTE 命令実行時の CCR の退避時および復帰時は、ワードサイズで扱われます。退避時には、ワードサイズデータの上位バイトおよび下位バイトともに CCR の値が退避されます。復帰時には、偶数アドレスの値が CCR に格納され、奇数アドレスの値は無視されます。

3.3 システムのモード

本 LSI には、次の 5 種類のモードがあり、消費電力を低下させる低消費電力モードを備えています。

- ・ アクティブモード
- ・ スリープモード
- ・ スタンバイモード 低消費電力モード
- ・ ウォッチモード
- ・ サブアクティブモード

図 3.8 にモード遷移図を示します。

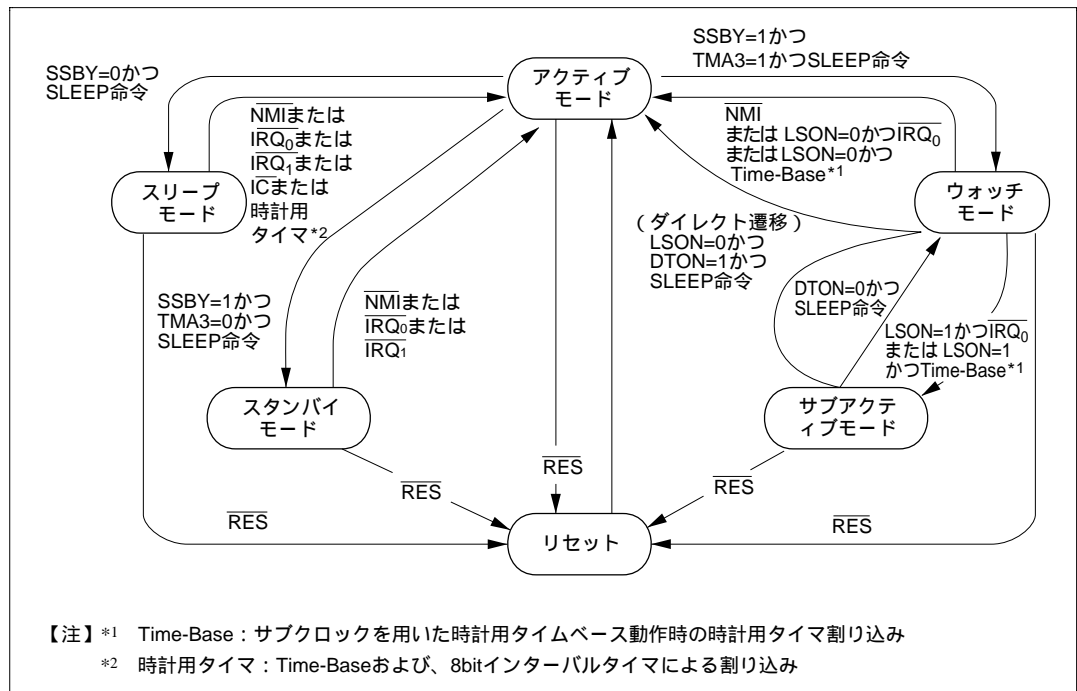


図 3.8 モード遷移図

[注意事項]

1. 低消費電力モード時、サーボ回路、OSD 回路の動作は停止します。しかし、内部のアナログ回路は OFF しません。バッテリーバックアップ時など、消費電流を低減するためには、各回路の電源、VCC (SV)、VCC (OSD) を外部で切断してください。
2. サブアクティブモード時、周辺機能のレジスタはリードもライトもできません。ただし、CPU の汎用レジスタ、時計用タイマ、割り込み、システムコントロール、I/O ポートの各レジスタ、および ROM、RAM はアクセス可能です。
3. 低消費電力モードへの遷移と同時に発生した割り込みは、割り込み要求フラグを 1 にセットするので、アクティブモードに復帰後、マスクを解除すると割り込みが発生します。
低消費電力モードに遷移する前に不要な割り込みはマスクしてください。また、不要な割り込み要求フラグは、0 クリアしてからマスク解除を行ってください。
4. 周辺機能によっては、レジスタの値や動作が不定または初期化されているものがあります。各機能の説明を参照してください。

3.3.1 アクティブモード

CPU がシステムクロックにより、プログラムを順次実行するモードです。

3.3.2 低消費電力モード

低消費電力モードには、スリープモード、スタンバイモード、ウォッチモード、サブアクティブモードの 4 つのモードがあります。

・スリープモード

スリープモードは、システムコントロールレジスタ 1 (SYSCR1) の SSBY ビット = 0 の状態で SLEEP 命令を実行することによって遷移するモードです。CPU および内蔵周辺モジュール (時計用タイマを除く) は、SLEEP 命令実行直後で動作を停止します。CPU と内蔵周辺モジュールの内部レジスタ、および内蔵 RAM の内容は保持されます。

・スタンバイモード

スタンバイモードは、システムコントロールレジスタ1 (SYSCR1) のSSBYビット=1かつタイマモードレジスタA (TMA) のTMA3ビット=0の状態、SLEEP命令を実行することによって遷移するモードです。

CPU およびシステムクロックをはじめ、内蔵周辺モジュールのすべての動作が停止します。内蔵周辺モジュールによる出力はリセット状態になりますが、規定の電圧が与えられている限りCPUと内蔵周辺モジュールの内部レジスタ、および内蔵RAMの内容は保持されます。また、I/Oポートの標準ポートはハイインピーダンス、中耐圧ポートはNMOSバッファオフの状態になります。

・ウォッチモード

ウォッチモードは、システムコントロールレジスタ1 (SYSCR1) のSSBYビット=1かつタイマモードレジスタA (TMA) のTMA3ビット=1の状態、SLEEP命令を実行することによって遷移するモードです。

CPU およびシステムクロックをはじめ、内蔵周辺モジュール(時計用タイマを除く)は動作を停止します。内蔵周辺モジュールによる出力はリセット状態になりますが、規定の電圧が与えられている限りCPUと内蔵周辺モジュールの内部レジスタ、および内蔵RAMの内容は保持されます。また、I/Oポートの標準ポートはハイインピーダンス、中耐圧ポートはNMOSバッファオフの状態になります。

・サブアクティブモード

サブアクティブモードは、ウォッチモードから、システムコントロールレジスタ1 (SYSCR1) のLSONビット=1の状態、Time-BaseまたはIRQ₀を受け付けることによって遷移するモードです。

CPUは、サブクロックで動作します。時計用タイマ以外の内蔵周辺モジュール(時計用タイマの時計機能を除く)は動作を停止します。内蔵周辺モジュールによる出力はリセット状態になりますが、規定の電圧が与えられている限り内蔵周辺モジュールの内部レジスタの内容は保持されます。また、I/Oポートの標準ポートはハイインピーダンス、中耐圧ポートはNMOSバッファオフの状態になります。

各モードの内部状態について表 3.7 に示します。

表 3.7 各モード時の内部状態

機能		アクティブ	スリープ	スタンバイ	ウォッチ	サブアクティブ
CPU		動作	停止	停止	停止	動作
INT	NMI, IRQ ₀	動作	動作	動作	動作	動作
	IRQ ₁	動作	動作	動作	停止	停止
	IRQ ₂ ~ IRQ ₅	動作	停止	停止	停止	停止
	IC	動作	動作	停止	停止	停止
CPG	f _{osc}	動作	動作	停止	停止	停止
	サブクロック	動作	動作		動作	動作
ROM		動作	停止	停止	停止	動作
RAM		動作	保持	保持	保持	動作
FRC	プリスケアラ	動作	動作	発振安定待ち	発振安定待ち	発振安定待ち
	IC (8/18bit)	動作	動作	停止	停止	停止
	8 ビット PWM	動作	停止	停止	停止	停止
時計用		動作	動作	停止	停止	停止
タイマ	SUB	動作	動作		動作	動作
LTC		動作	停止	停止	停止	停止
8 / 16RLD		動作	停止	停止	停止	停止
RTU		動作	停止	停止	停止	停止
14 ビット PWM		動作	停止	停止	停止	停止
SCI1、SCI2		動作	停止	停止	停止	停止
A/D		動作	停止	停止	停止	停止
分周回路		動作	停止	停止	停止	停止
ポート		動作	保持	Hi-Z	Hi-Z	Hi-Z
OSD		動作	停止	停止	停止	停止
Servo		動作	停止	停止	停止	停止

- 【注】
1. 低消費電力モードでは、RAM およびレジスタの内容は保持されます。ただし、各機能モジュールの動作 / 停止を制御するビットは初期化されます。また、電源電圧が動作範囲内から、一瞬でも外れた場合は、RAM およびレジスタの内容は保証されません。
 2. 低消費電力モード時、OSD、サーボの各回路のアナログ部は OFF しないため、V_{CC} (OSD)、V_{CC} (Servo) の電流は減少しません。低電力化が必要な場合は、外部でアナログ系電源を切断してください。
 3. サブクロック発振器は、スタンバイ時も停止しません。X1 端子を High レベルに固定してください。

(1) スリープモード

スリープモードの動作を以下に示します。

(a) スリープモードへの遷移

システムコントロールレジスタ 1 (SYSCR1) の SSBY ビットが 0 のときに、SLEEP 命令を実行すると、アクティブモード状態からスリープモードに遷移します。スリープモードでは、CPU の動作は停止しますが、レジスタ、RAM、ポートの内容は保持されます。発振器は動作し、外部割り込み (NMI、IC、IRQ₁、IRQ₀)、時計用タイマも動作します。

(b) スリープモードの解除

スリープモードの解除は、割り込み (NMI、IC、IRQ₁、IRQ₀、時計用タイマ)、または $\overline{\text{RES}}$ 端子入力によって行われます。

・割り込み (NMI、IC、IRQ₁、IRQ₀、時計用タイマ) による解除

NMI、IC、IRQ₁、IRQ₀、または時計用タイマ割り込み要求が発生すると、スリープモードは解除され、割り込み例外処理を開始します。なお、NMI を除いてコンディションコードレジスタ (CCR) の I ビットが 1 の場合と、割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、スリープ状態は解除されません。

また、スリープモードに遷移する前に、他の割り込みは禁止してください。

・ $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、リセット状態に遷移し、スリープモードは解除されます。

(2) スタンバイモード

スタンバイモードの動作を以下に示します。

(a) スタンバイモードへの遷移

システムコントロールレジスタ 1 (SYSCR1) の SSBY ビット=1 かつタイマモードレジスタ A (TMA) の TMA3 ビット=0 のときに、SLEEP 命令を実行すると、アクティブモードからスタンバイモードに遷移します。スタンバイモードでは、発振器が停止するため、CPU および内蔵周辺モジュールの機能が停止します。規定の電圧が与えられている限り、CPU のレジスタと内蔵 RAM のデータは保持されています。また、I/O ポートの標準ポートはハイインピーダンス、中耐圧ポートは NMOS バッファオフの状態になります。

(b) スタンバイモードの解除

スタンバイモードの解除は、外部割り込み (NMI、IRQ₁、IRQ₀)、または $\overline{\text{RES}}$ 端子入力により行われます。

- ・割り込み (IRQ₁、IRQ₀) による解除

NMI、IRQ₁、IRQ₀ 割り込み要求信号が入力されるとクロックの発振が開始され、SYSCR1 の STS2~STS0 ビットにより設定された時間が経過した後、安定したクロックが LSI 全体に供給されて、スタンバイモードは解除され、割り込み例外処理を開始します。この場合、スタンバイモードに遷移する前に他の割り込みは禁止してください。なお、NMI を除いて、CCR の I ビットが 1 の場合と、割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、スタンバイモードは解除されません。

- ・ $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロックの発振を開始し、スタンバイモードは解除されます。

発振安定時間経過後、 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU は例外処理を開始します。

なお、クロックの発振開始と同時に、LSI 全体にクロックが供給されるため、クロックの発振が安定するまで $\overline{\text{RES}}$ 端子は Low レベルに保持してください。

(3) ウォッチモード

ウォッチモードの動作を以下に示します。

(a) ウォッチモードへの遷移

アクティブモードの状態、システムコントロールレジスタ 1 (SYSCR1) の SSBY ビット = 1 かつタイマモードレジスタ A (TMA) の TMA3 ビット = 1 のときに SLEEP 命令を実行すると、ウォッチモードに遷移します。また、サブアクティブモードの状態、システムコントロールレジスタ 2 (SYSCR2) の DTON ビット = 0 のとき SLEEP 命令を実行した場合にもウォッチモードに遷移します。ウォッチモードでは、システムクロック発振器をはじめ内蔵周辺モジュール (時計用タイマの時計機能を除く) は動作を停止します。内蔵周辺モジュールによる出力はリセット状態になりますが、規定の電圧が与えられている限り、CPU と内蔵周辺モジュールの内部レジスタ、および内蔵 RAM の内容は保持されます。

(b) ウォッチモードの解除

ウォッチモードの解除は、時計用タイマの時計機能割り込み (Time-Base)、NMI 割り込み、IRQ₀ 割り込み、または $\overline{\text{RES}}$ 端子入力により行われます。

- ・時計用タイマの時計機能割り込み (Time-Base)、NMI 割り込み、IRQ₀ 割り込みによる解除

時計機能動作中の時計用タイマがオーバフローするか、NMI、IRQ₀ 割り込み要求信号が入力されると、システムコントロールレジスタ 1 (SYSCR1) の LSON ビットが 0 のときはクロック発振が開始され、SYSCR1 の STS2 ~ STS0 ビットにより設定された時間が経過した後、安定したクロックが LSI 全体に供給されて、ウォッチモードは解除され、割り込み例外処理を開始します。LSON ビットが 1 のときにはサブアクティブモードに遷移します。

ウォッチモードでは、サブクロック (f_{SUB}) を分周したクロックが時計用タイマに供給されます。このとき、時計用タイマは時計機能動作 (Time-Base) となります。

ウォッチモードに遷移する前に他の外部割り込みは禁止してください。なお、NMI 割り込みを除いて、CCR の I ビットが 1 の場合と、割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、ウォッチモードから他のモードには遷移しません。

- ・ $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロックの発振を開始し、ウォッチモードが解除されます。

発振安定時間経過後、 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU は例外処理を開始します。

なお、クロックの発振開始と同時に、LSI 全体にクロックが供給されるため、クロックの発振が安定するまで $\overline{\text{RES}}$ 端子は Low レベルに保持してください。

(4) サブアクティブモード

サブアクティブモードの動作を以下に示します。

(a) サブアクティブモードへの遷移

ウォッチモードの状態、時計用タイマの時計機能割り込み、または IRQ_0 割り込み要求が発生したときにシステムコントロールレジスタ 1 (SYSCR1) の LSON ビットが 1 ならば、サブアクティブモードに遷移します。

サブアクティブモードでは、CPU はサブクロック (SUB) で動作します。内蔵周辺モジュール (時計用タイマの時計機能は除く) は動作を停止します。内蔵周辺モジュールによる出力はリセット状態になりますが、規定の電圧が与えられている限り、内蔵周辺モジュールの内部レジスタの内容は保持されます。また、I/O ポートの標準ポートはハイインピーダンス、中耐圧ポートは NMOS バッファオフの状態になります。

(b) サブアクティブモードの解除

サブアクティブモードの解除は、SLEEP 命令、または $\overline{\text{RES}}$ 端子入力により行われます。

・ SLEEP 命令による解除

サブアクティブモードの状態、SLEEP 命令を実行するとサブアクティブモードは解除されます。SLEEP 命令実行時、システムコントロールレジスタ 2 (SYSCR2) の DTON ビットが 0 のときは、ウォッチモードに遷移します。また DTON = 1 かつ LSON = 0 のときは、ダイレクト遷移割り込み要求が発生し、クロックの発振が開始されます。SYSCR1 の STS2 ~ STS0 ビットにより設定された時間が経過した後、安定したクロックが LSI 全体に供給されて、アクティブモードへ遷移します。

この場合、アクティブモードに遷移する前に他の割り込みは禁止してください。

なお、CCR の I ビットが 1 の場合と割り込み許可レジスタによりダイレクト遷移割り込みの受け付けが禁止されている場合は、サブアクティブモードからアクティブモードへのダイレクト遷移は行われません。

・ $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロックの発振を開始し、サブアクティブモードは解除されます。発振安定時間経過後、 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU は例外処理を開始します。

なお、クロックの発振開始と同時に、LSI 全体にクロックが供給されるため、クロックの発振が安定するまで $\overline{\text{RES}}$ 端子は Low レベルに保持してください。

3.3.3 使用上の注意事項

(1) スタンバイモード、ウォッチモードの解除、およびサブアクティブモードからのアクティブモードへのダイレクト遷移では、発振安定時間を確保するためにシステムコントロールレジスタ 1 (SYSCR1) の STS2 ~ STS0 ビットの設定を以下のようにしてください。

- ・水晶またはセラミック発振の場合

待機時間が 10ms 以上となるように STS2 ~ STS0 ビットを設定してください(図 3.9 参照)。

詳細は「3.4.1 システムコントロールレジスタ 1 (SYSCR1)」を参照してください。

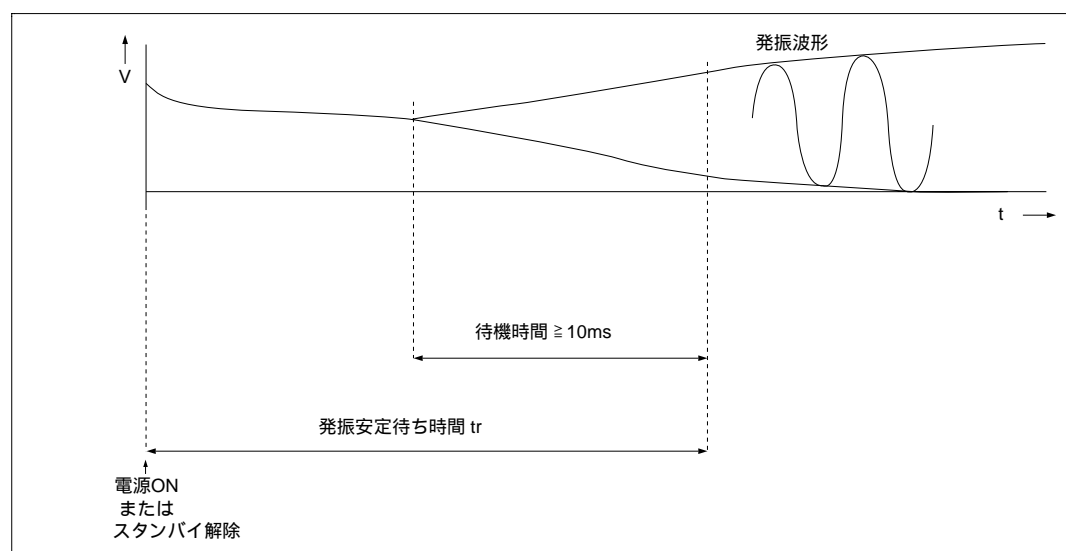


図 3.9 待機時間

- ・外部クロックの場合

任意の値を選択可能です。通常の場合は、最小時間 (STS2 = STS1 = STS0 = 0) の使用を推奨します。

(2) サブアクティブモードからアクティブモードへの遷移は、SYSCR1 の LSON ビット = 0 かつシステムコントロールレジスタ 2 (SYSCR2) の DTON = 1 の状態で行ってください。LSON ビット = 1 でダイレクト遷移はできません。

3.4 システムコントロールレジスタ

システムコントロールレジスタ (SYSCR1、SYSCR2) の構成を表 3.8 に示します。この 2 本のレジスタは低消費電力モードの制御を行います。

表 3.8 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
システムコントロールレジスタ 1	SYSCR1	R/W	バイト	H'04	H'FFF0
システムコントロールレジスタ 2	SYSCR2	R/W	バイト	H'B4	H'FFF1

3.4.1 システムコントロールレジスタ 1 (SYSCR1)

ビット	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	LSON	-	-	-
初期値	0	0	0	0	0	1	0	0
R/W	R/W*	R/W	R/W	R/W	R/W	-	-	-

【注】 * アクティブモード時のみライト可能です。

システムコントロールレジスタ 1 (SYSCR1) は、低消費電力モードの制御を行います。SYSCR1 は、8 ビットのリードとライトが可能なレジスタです。リセット時、H'04 に初期化されます。

ビット 7: スタンバイ (SSBY)

スタンバイモードの遷移を指定します。

なお、外部割込みによりスタンバイモードが解除され、アクティブモードに遷移したとき、このビットは 1 にセットされたままです。クリアする場合は 0 をライトしてください。ライトは、アクティブモード時のみ可能です。

ビット 7	説 明
SSBY	
0	SLEEP 命令実行後、スリープモードに遷移 (初期値)
1	SLEEP 命令実行後、スタンバイモードまたはウォッチモードに遷移

ビット6～4：スタンバイタイムセレクト2～0 (STS2～STS0)

システムクロックが停止するスタンバイモード、ウォッチモード、サブアクティブモードを解除する場合に、クロックが安定するまで CPU と内蔵周辺モジュールが待機する時間を指定します。動作周波数に応じて待機時間が 10ms 以上となるように指定してください。

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート (初期値)
		1	待機時間 = 16384 ステート
	1	0	待機時間 = 32768 ステート
		1	待機時間 = 65536 ステート
1	X	X	待機時間 = 131072 ステート

【注】 X : 0 または 1、Don't care を表します。

ビット3：ロースピードオンフラグ (LSON)

ウォッチモード解除時に CPU の動作クロックをシステムクロック () にするか、サブクロック (_{SUB}) するかを選択します。動作モード間の遷移に関係するため、他の制御ビット、割り込み入力との組み合わせで機能します。

ビット3	説明
LSON	
0	CPU はシステムクロック () で動作 (初期値)
1	CPU はサブクロック (_{SUB}) で動作

ビット2：リザーブビット

リザーブビットです。ライトは無効です。リードすると 1 が読み出されます。

ビット1、0：リザーブビット

リザーブビットです。ライトは無効です。リードすると 0 が読み出されます。

3.4.2 システムコントロールレジスタ 2 (SYSCR2)

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	DTON	-	-	-
初期値	1	0	1	1	0	1	0	0
R/W	-	-	-	-	W*	-	-	-

【注】 * サブアクティブモードのみライト可能です。

システムコントロールレジスタ 2 (SYSCR2) は、サブアクティブモードからアクティブモードへのダイレクト遷移を指定します。SYSCR2 は、8 ビットのリードとライトが可能なレジスタです。リセット時、H'B4 に初期化されます。

ビット 7 : リザーブビット

リザーブビットです。ライトは無効です。リードすると常に 1 が読み出されます。

ビット 6 : リザーブビット

リザーブビットです。ライトは無効です。リードすると常に 0 が読み出されます。

ビット 5、4 : リザーブビット

リザーブビットです。ライトは無効です。リードすると常に 1 が読み出されます。

ビット 3 : ダイレクトトランスファオンフラグ (DTON)

サブアクティブモード時に SLEEP 命令を実行したとき、アクティブモードに遷移するか、ウォッチモードに遷移するかを選択します。アクティブモード遷移を選択した場合、発振安定時間を確保してください。

ビット 3	説明
DTON	
0	サブアクティブモード時、SLEEP 命令を実行するとウォッチモードに遷移 (初期値)
1	サブアクティブモード時、システムコントロールレジスタ 1 (SYSCR1) の LSON ビット = 0 の状態で SLEEP 命令を実行すると、ダイレクト遷移割り込み要求を発生し、ウォッチモードを経由してアクティブモードに遷移

ビット2：リザーブビット

リザーブビットです。ライトは無効です。リードすると常に1が読み出されます。

ビット1、0：リザーブビット

リザーブビットです。ライトは無効です。リードすると常に0が読み出されます。

4. ROM

第4章 目次

4.1	概要	119	
	4.1.1	ブロック図	119
4.2	PROMモード	120	
	4.2.1	PROMモードの設定	120
	4.2.2	ソケットアダプタの端子対応とメモリマップ	120
4.3	H8/3977R ZTAT [®] のプログラミング	123	
	4.3.1	書込み / ベリファイ	124
	4.3.2	書込み時の注意	127
4.4	書込み後の信頼性	128	

4.1 概要

H8/3974R は 32k バイト、H8/3975R は 40k バイト、H8/3976R は 48k バイト、H8/3977R は 60k バイトの ROM (マスク ROM) を内蔵しています。ROM は、16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータにかかわらず 2 ステートの高速アクセスが可能です。H8/3977R ZTAT[®]版は 60k バイトの PROM を備えています。

4.1.1 ブロック図

ROM のブロック図を図 4.1 に示します。

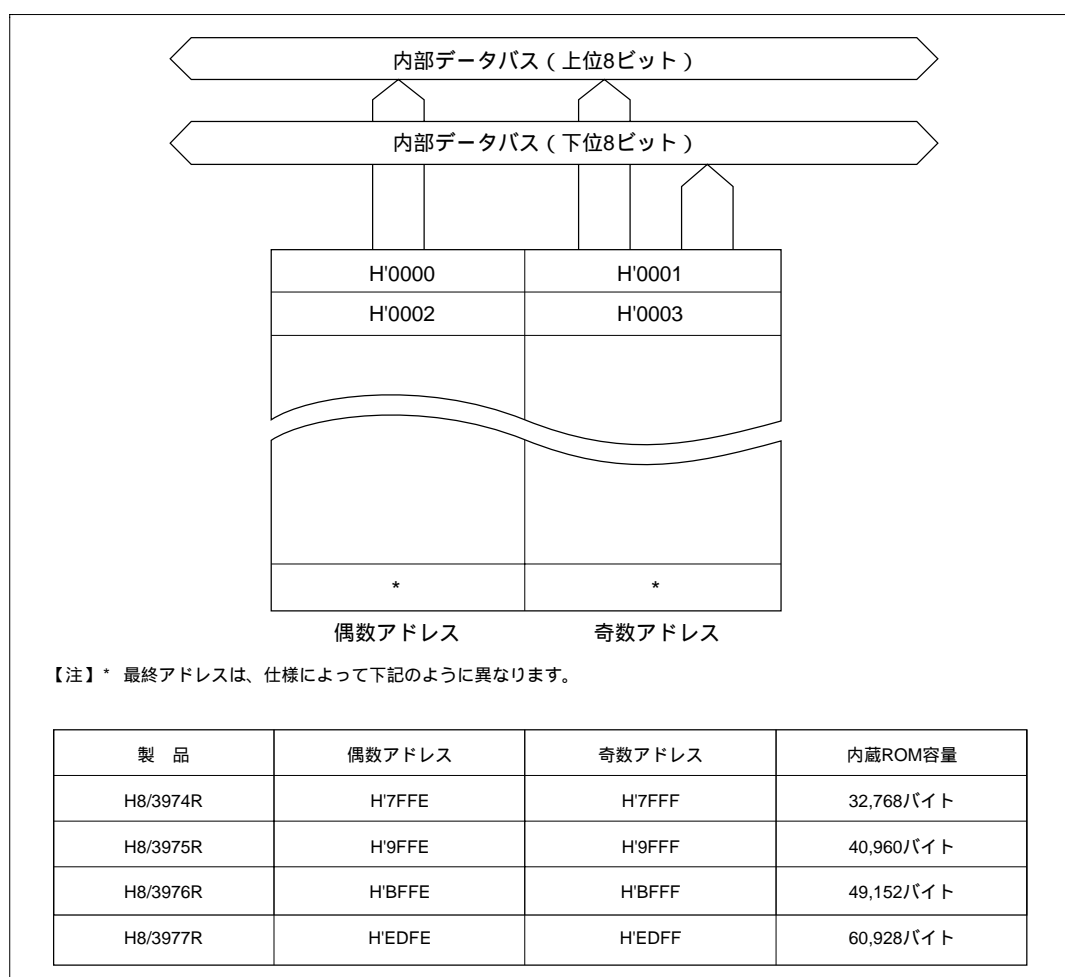


図 4.1 ROM のブロック図

4.2 PROM モード

4.2.1 PROM モードの設定

内蔵 ROM が PROM の場合、PROM モードに設定すると、マイクロコンピュータとしての機能が停止して、通常の EPROM と同一の方法で内蔵 PROM のプログラムを行うことができます。

H8/3977R ZTAT[®]は HN27C101 と同一のプログラム方法です。

PROM モードの設定方法を、表 4.1 に示します。

表 4.1 PROM モードの設定

端 子 名	設 定
テスト端子 TEST	High レベル
モード端子 MD ₀ (P ₂₁)	Low レベル
モード端子 MD ₁ (P ₂₂)	
モード端子 MD ₂ (P ₅₀)	High レベル

4.2.2 ソケットアダプタの端子対応とメモリマップ

PROM のプログラムは、表 4.2 に示すようにパッケージに対応したソケットアダプタを付けて、28 ピンに変換し、汎用 PROM ライタでプログラムを行います。

ソケットアダプタの端子対応図を図 4.2 に示します。また、メモリマップを図 4.3 に示します。

表 4.2 ソケットアダプタ

製 品 名	パッケージ名	ソケットアダプタの名称
H8/3977RZTAT [®]	100 ピン (FP-100A)	HS3977ESF01H

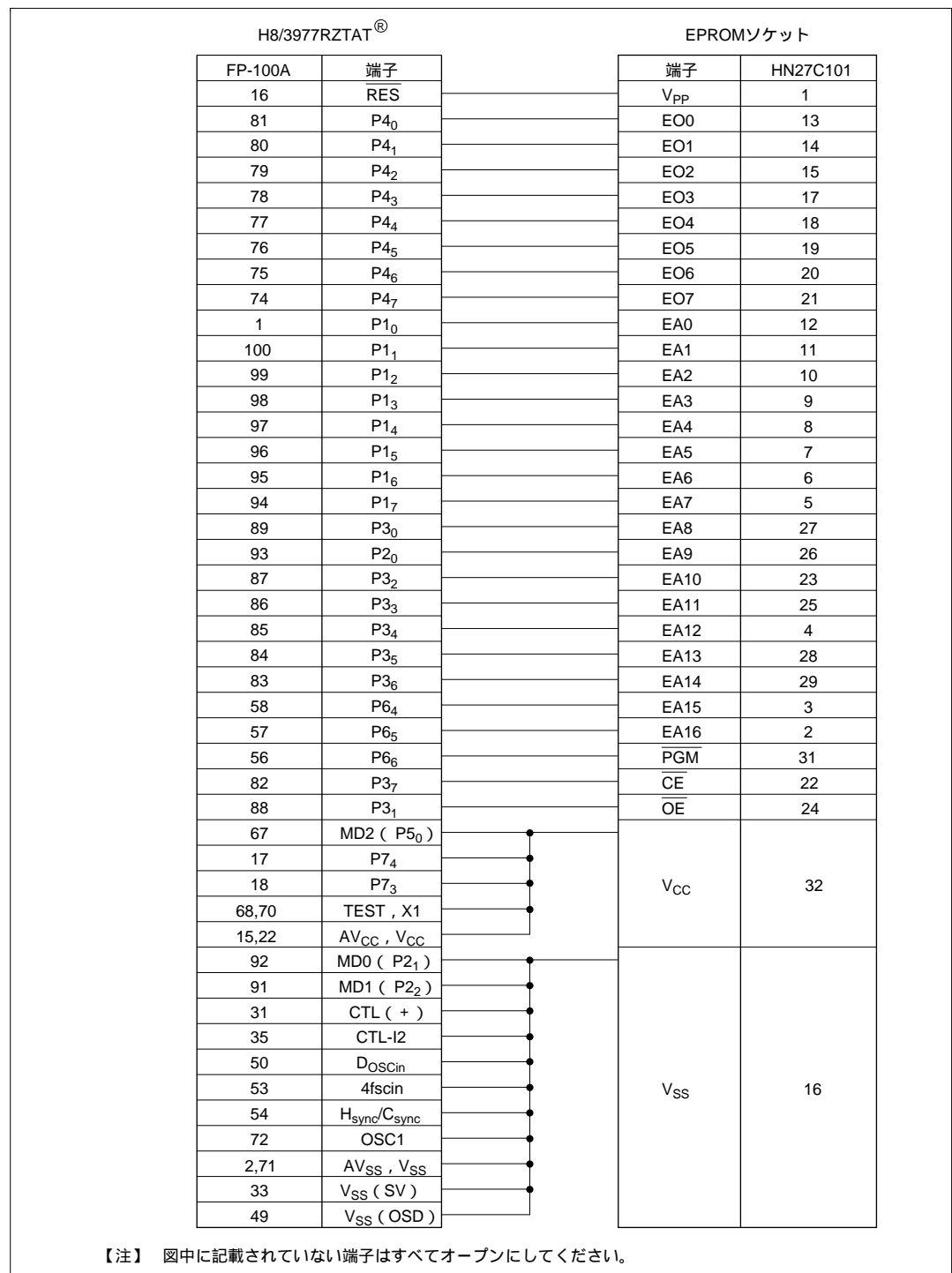


図 4.2 ソケットアダプタの端子対応図

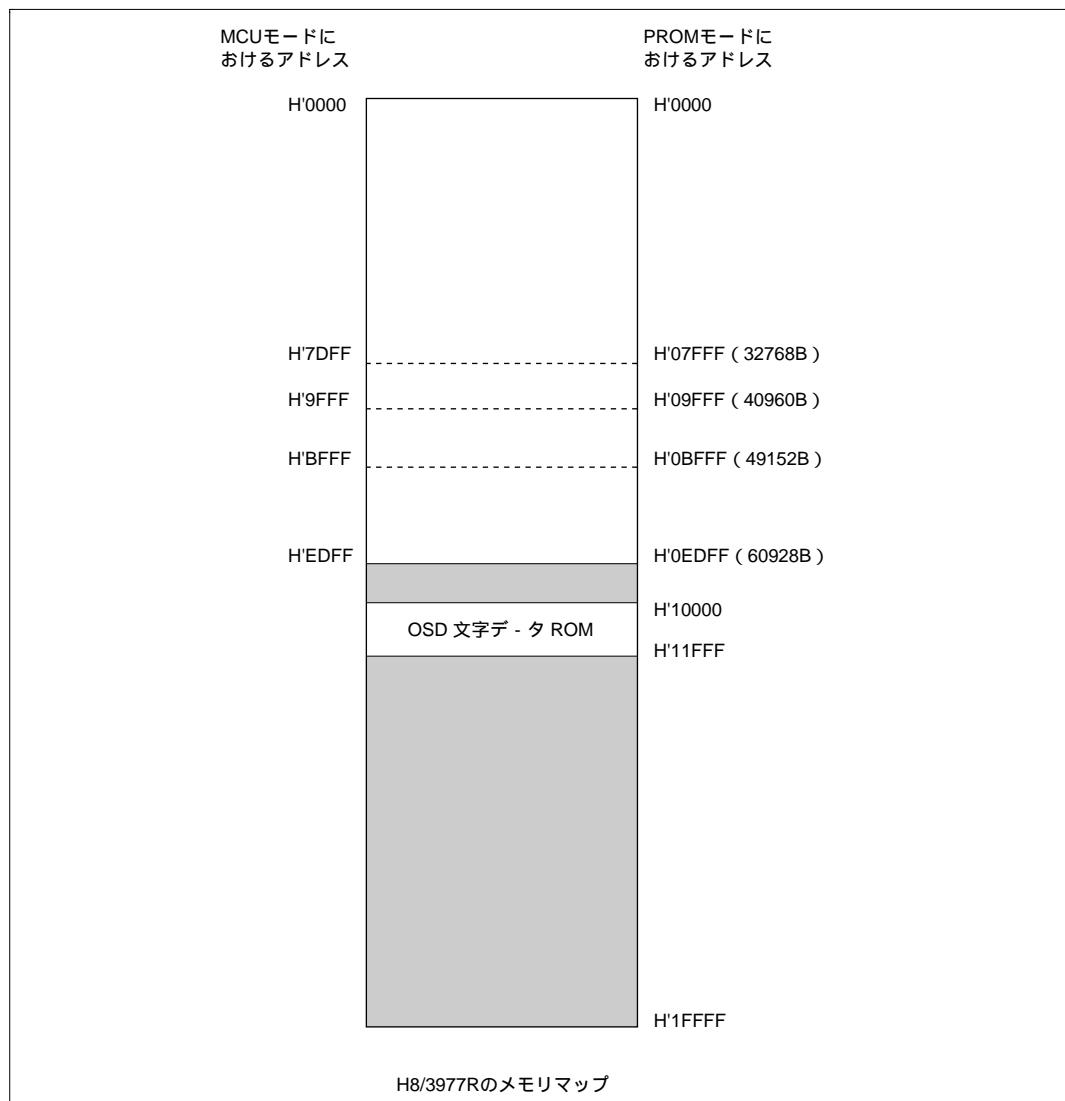


図 4.3 PROM モード時のメモリマップ

4.3 H8/3977R ZTAT[®]のプログラミング

H8/3977R の PROM モード時の書込み、ベリファイなどのモード選択は、表 4.3 に示すような設定により行います。

表 4.3 PROM モード時の書込みモード選択 (H8/3977R)

モード	ピ ン						
	\overline{CE}	\overline{OE}	\overline{PGM}	V_{PP}	V_{CC}	$O_7 \sim O_0$	$EA_{16} \sim EA_0$
書 込 み	L	H	L	V_{PP}	V_{CC}	データ入力	アドレス入力
ベリファイ	L	L	H	V_{PP}	V_{CC}	データ出力	アドレス入力
プログラミング禁止	L	L	L	V_{PP}	V_{CC}	ハイインピーダンス	アドレス入力
	L	H	H				
	H	L	L				
	H	H	H				

< 記号説明 >

L : Low レベル

H : High レベル

V_{PP} : V_{PP} レベル

V_{CC} : V_{CC} レベル

なお、書込み、読出しは、標準 EPROM HN27C101 と同じ仕様になっています。ただし、ページプログラミング方式をサポートしていませんので、ページプログラミングモードに設定しないでください。

4.3.1 書込み / ベリファイ

書込み / ベリファイは効率のよい高速プログラミング方式で行うことができます。この方式は、デバイスへの電圧ストレス、あるいは書込みデータの信頼性を損うことなく高速な書込みを行うことができます。未使用のアドレス領域のデータは、HFFです。

高速プログラミングの基本的なフローを図 4.4 に示します。

また、プログラミング時の電気的特性を表 4.4、表 4.5 に、タイミングを図 4.5 に示します。

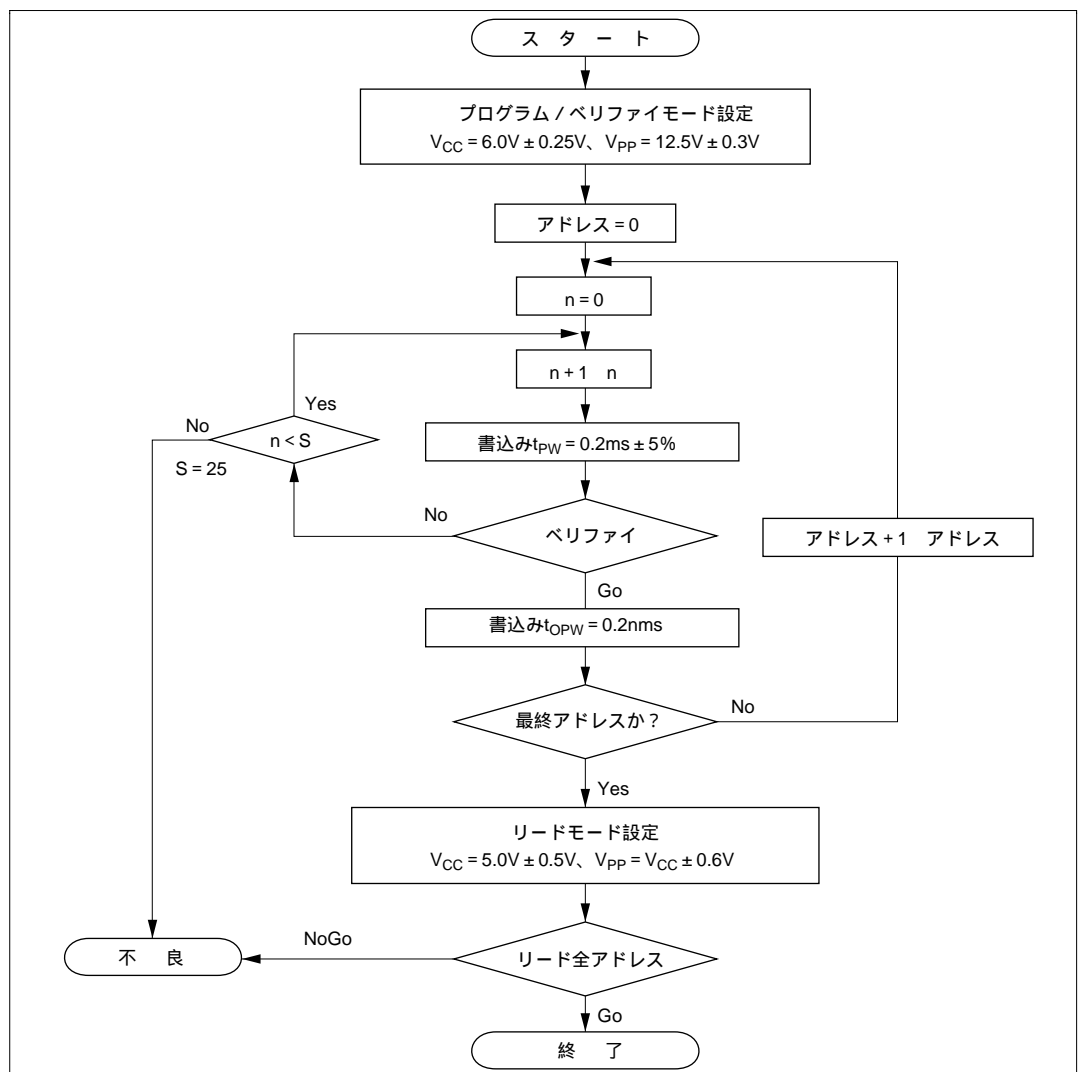


図 4.4 高速プログラミングフローチャート (H8/3977R)

表 4.4 DC 特性 (H8/3977R)

(条件 : $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項 目	記号	min	typ	max	単位	測定条件	
入力 High レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ \overline{OE} 、 \overline{CE}	V_{IH}	2.4	-	$V_{CC} + 0.3$	V	
入力 Low レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ \overline{OE} 、 \overline{CE}	V_{IL}	- 0.3	-	0.8	V	
出力 High レベル電圧	$EO_7 \sim EO_0$	V_{OH}	2.4	-	-	V	$I_{OH} = - 200 \mu A$
出力 Low レベル電圧	$EO_7 \sim EO_0$	V_{OL}	-	-	0.45	V	$I_{OL} = 1.6mA$
入力 リーク電流	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ \overline{OE} 、 \overline{CE} 、 \overline{PGM}	I_{LI}	-	-	2	μA	$V_{in} = 5.25V/0.5V$
V_{CC} 電流		I_{CC}	-	-	40	mA	
V_{PP} 電流		I_{PP}	-	-	40	mA	

表 4.5 AC 特性 (H8/3977R)

(条件: $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $T_a = 25 \pm 5$)

項目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間	t_{AS}	2	-	-	μs	図 4.7*
\overline{OE} セットアップ時間	t_{OES}	2	-	-	μs	
データセットアップ時間	t_{DS}	2	-	-	μs	
アドレスホールド時間	t_{AH}	0	-	-	μs	
データホールド時間	t_{DH}	2	-	-	μs	
データ出力ディスエーブル時間	t_{DF}	0	-	130	ns	
V_{PP} セットアップ時間	t_{VPS}	2	-	-	μs	
プログラムパルス幅	t_{PW}	0.19	0.20	0.21	ms	
オーバプログラム時の \overline{OE} パルス幅	t_{OPW}	0.19	-	5.25	ms	
V_{CC} セットアップ時間	t_{VCS}	2	-	-	μs	
\overline{CE} セットアップ時間	t_{CES}	2	-	-	μs	
データ出力遅延時間	t_{OE}	0	-	150	ns	

【注】 * 入力パルスレベル: 0.8 ~ 2.2V

入力立ち上がり / 立ち下がり時間 20ns

タイミング参照レベル	{	入力: 1.0V、2.0V
		出力: 0.8V、2.0V

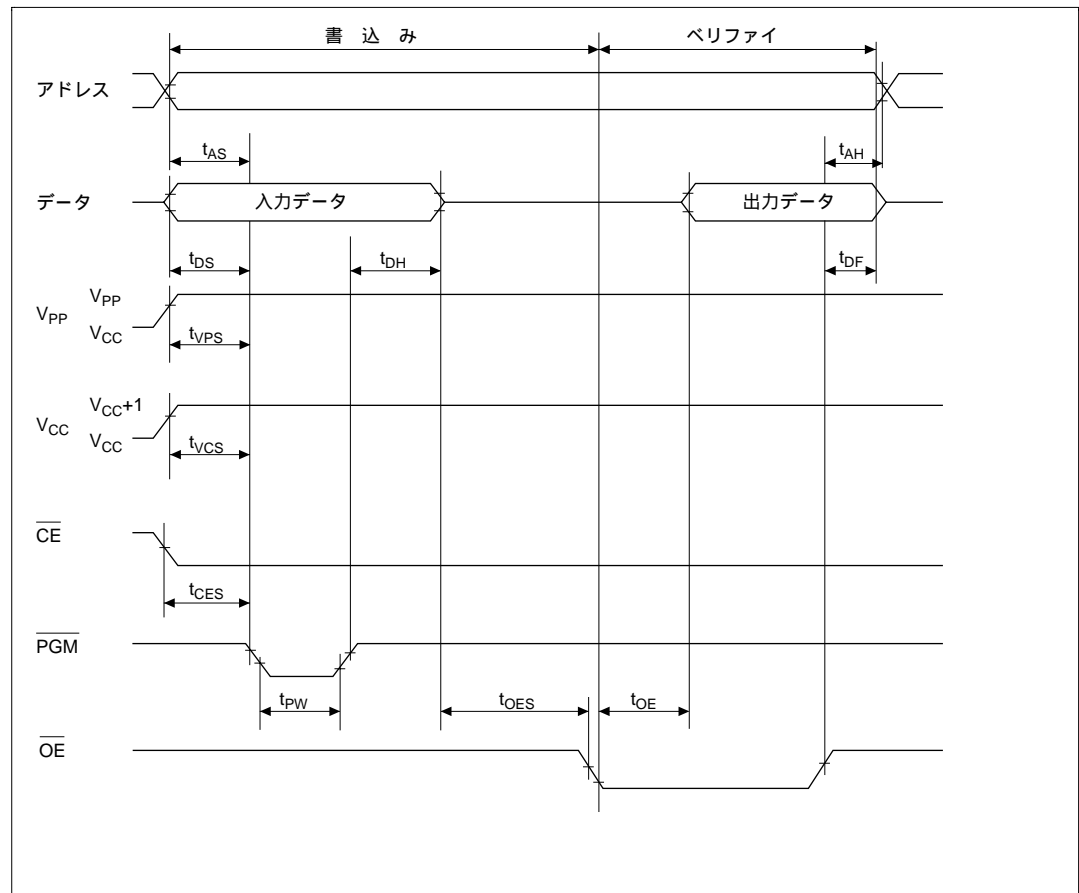


図 4.5 PROM 書込み / ベリファイタイミング (H8/3977R)

4.3.2 書込み時の注意

- (1) 書込みは規定された電圧、タイミングで行ってください。
 PROM モード時のプログラム電圧 (V_{PP}) は 12.5V です。
 定格以上の電圧を加えると、製品の永久破壊に至りますので、注意してください。特に PROM ライタのオーバシュートなどには十分注意してください。
 PROM ライタの HN27C101 の日立仕様にセットすると、 V_{PP} は 12.5V になります。
- (2) PROM ライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していないと、過剰電流によって製品が破壊することがあります。書込み前に正しく PROM ライタに装着されていることを必ず確認してください。
- (3) 書込み中はソケットアダプタおよび製品には触れないようにしてください。接触不良により書込み不良となる場合があります。
- (4) プログラミングモードは、ページプログラミング方式をサポートしていませんので、プログラミングモードはバイトプログラミングモードに設定してください。
- (5) H8/3977R の PROM の容量は 60k バイトです。プログラムする際には、図 2.1 (1)、(2) に示す割り込みベクタと内蔵 ROM を除くエリア、およびアドレス H'12000 ~ H'1FFFF データは、H'FF としてください。

4.4 書込み後の信頼性

データ書込み後、データ保持特性を向上させるために、150 の高温放置を行うと大変有効です。高温放置は、スクリーニングの一つであり、PROMメモリセルの初期のデータ保持不良を短時間で除くことができます。

図 4.6 に推奨するスクリーニングフローを示します。

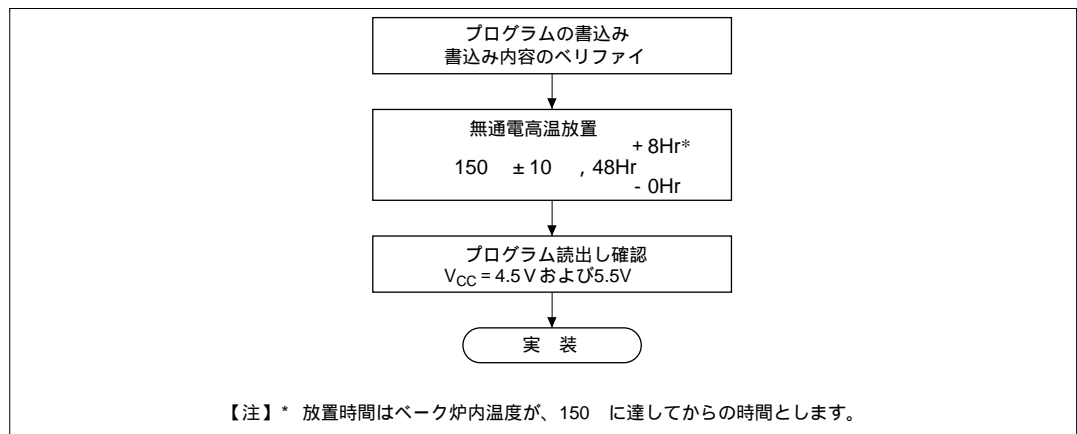


図 4.6 推奨スクリーニングフロー

同じ PROM ライタでプログラミング中、書込み不良が連続して発生した場合には書込みを中止し、PROM ライタ、ソケットアダプタなどに異常がないか確認してください。

なお、書込みあるいは高温放置後のプログラム確認において異常がありましたら、当社技術担当にご連絡ください。

5. RAM

第5章 目次

5.1	概要	131
5.1.1	ブロック図	131

5.1 概要

H8/3974R は 768 バイト、H8/3975R は 1k バイト、H8/3976R は 1k バイト、H8/3977R は 1k バイトの高速スタティック RAM を内蔵しています。RAM は 16 ビット幅のデータバスで CPU と接続されており、バイトデータ、ワードデータにかかわらず 2 ステートの高速アクセスが可能です。

5.1.1 ブロック図

RAM のブロック図を図 5.1 に示します。

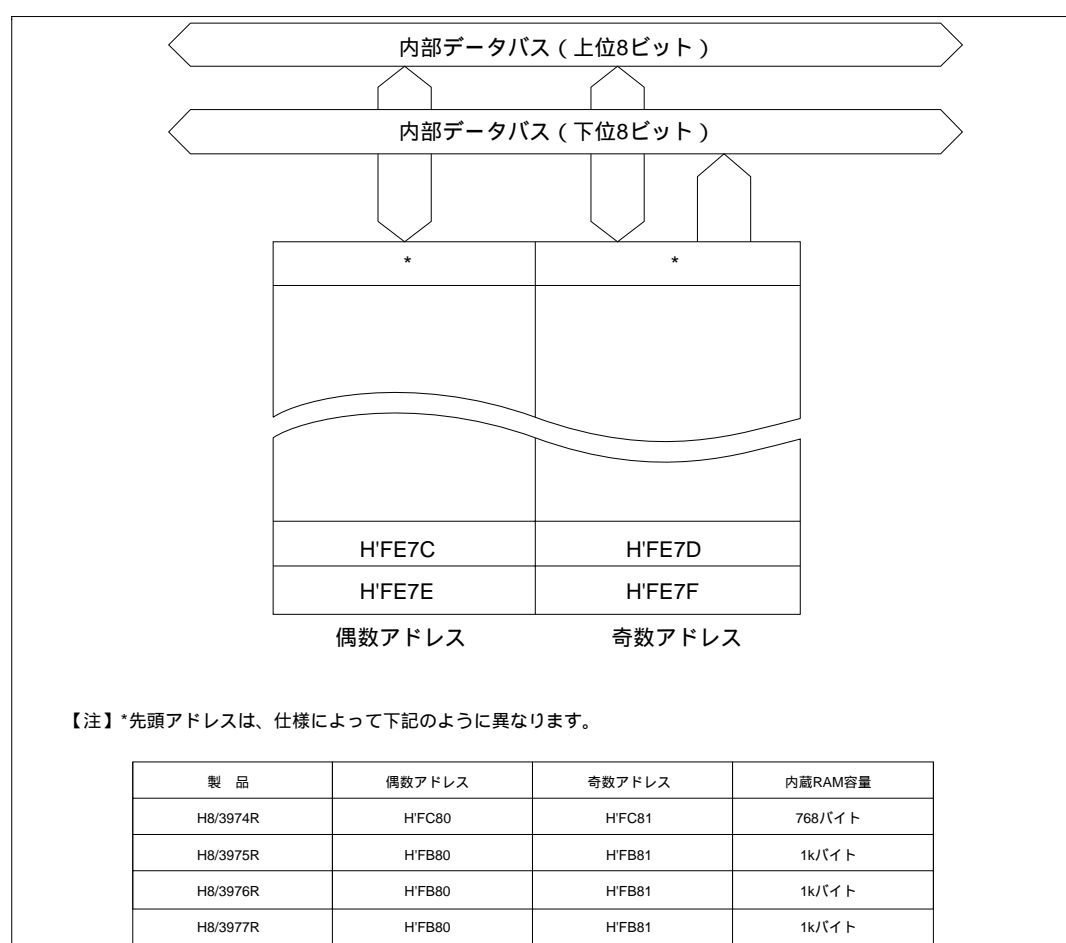


図 5.1 RAM のブロック図

6. クロック発振器

第6章 目次

6.1	概要	135
	6.1.1 ブロック図	135
6.2	システムクロック発振器	136
6.3	サブクロック発振器	139
6.4	発振子に関する注意事項	140

6.1 概要

このLSIはクロック発生回路（CPG：Clock Pulse Generator）を内蔵しています。クロック発生回路は、システムクロック発生回路およびサブクロック発生回路から構成されます。システムクロック発生回路は、システムクロック発振器、システムクロック分周器、内蔵周辺モジュール用クロック分周器（プリスケアラS）から構成されます。

サブクロック発振器は、サブクロック発振器、サブクロック分周器、タイムベース用サブクロック分周器（プリスケアラW）から構成されます。

6.1.1 ブロック図

図6.1にクロック発生回路のブロック図を示します。

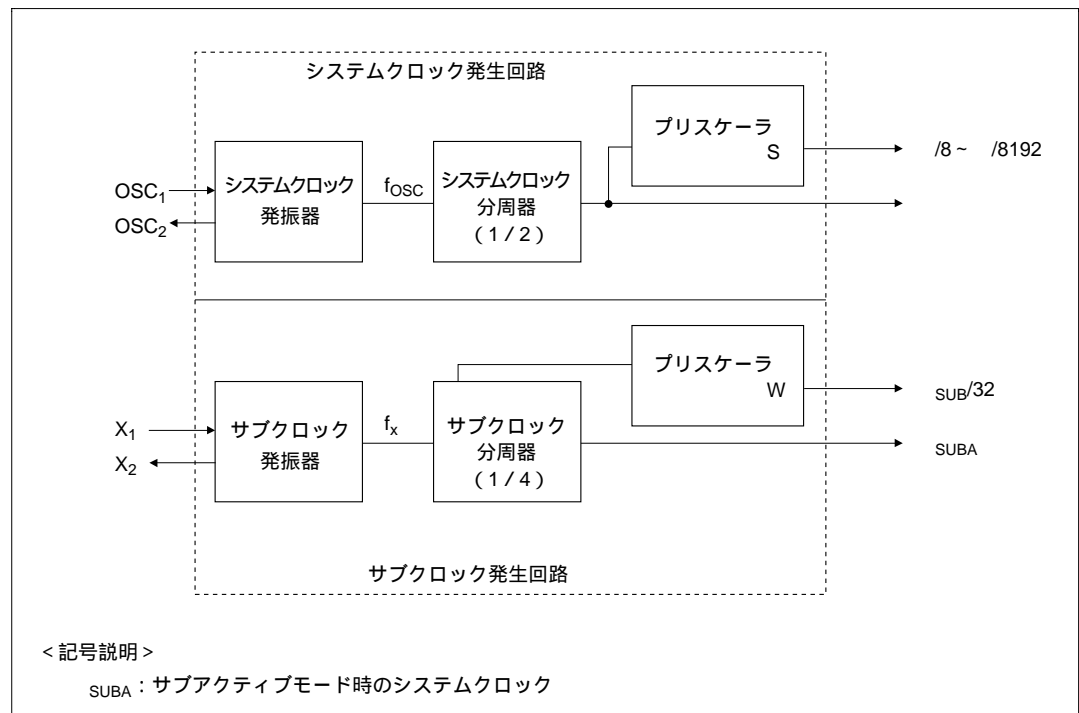


図 6.1 クロック発生回路のブロック図

6.2 システムクロック発振器

システムクロック分周器へクロックを供給する方法には、水晶発振子またはセラミック発振子を接続する方法と外部クロックを入力する方法の2つがあります。

(1) 水晶発振子を接続する方法

(a) 回路構成

水晶発振子の接続例を図 6.2 に示します。

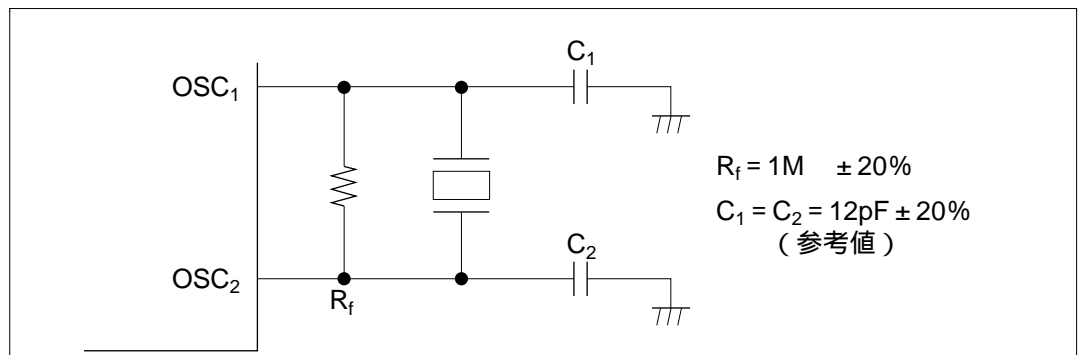


図 6.2 水晶発振子の接続例

(b) 水晶発振子

図 6.3 に水晶発振子の等価回路を示します。発振子は表 6.1 に示す特性のものを使用してください。

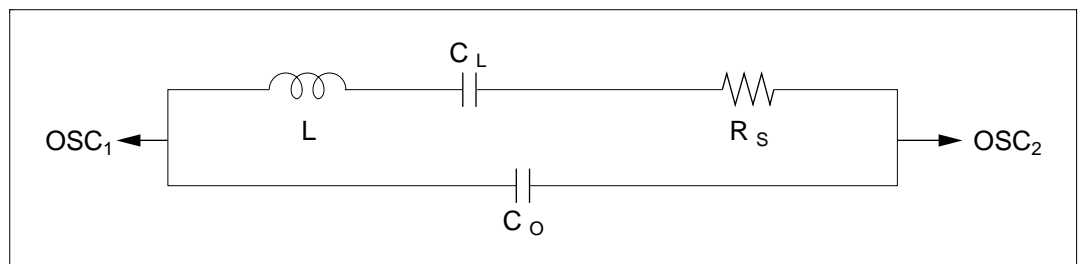


図 6.3 水晶発振子の等価回路

表 6.1 水晶発振子のパラメータ

周波数 (MHz)	8	10
等価直列抵抗RS ()	50	30
並列容量CO (pF)	7pF max	

$V_{CC}=4.0 \sim 5.5V$

(2) セラミック発振子を接続する方法

(a) 回路構成

セラミック発振子の接続例を図 6.4 に示します。

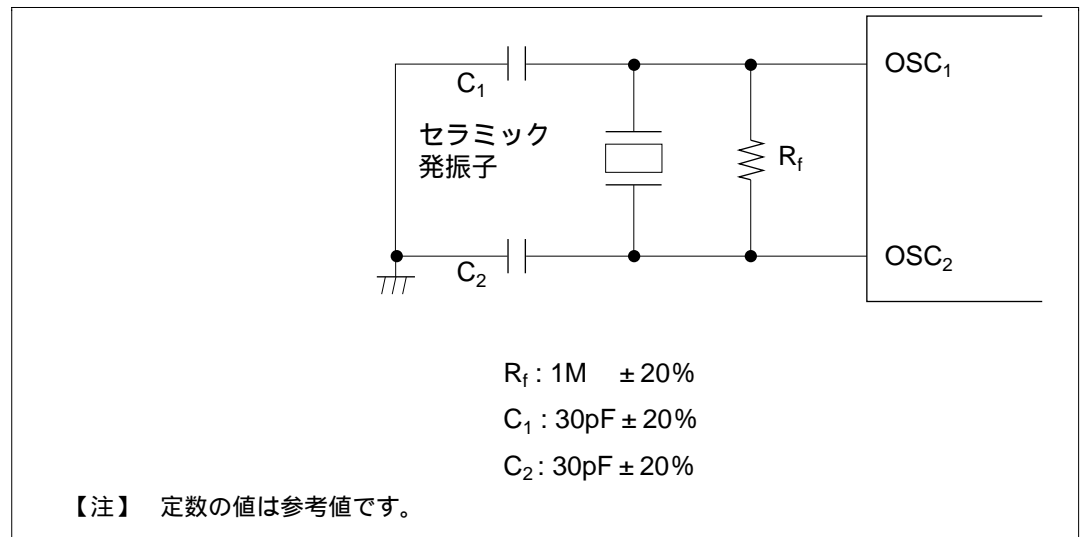


図 6.4 セラミック発振子の接続例

(3) ボード設計上の注意

水晶発振子（セラミック発振子）を接続して発振させる場合、次の点に注意してください。

発振回路部の近くで信号線を通過させないでください。誘導により正しい発振ができなくなる場合があります（図 6.5 参照）。

また、ボード設計に際しては、発振子および負荷容量はできるだけ OSC₁、OSC₂ 端子の近くに配置してください。

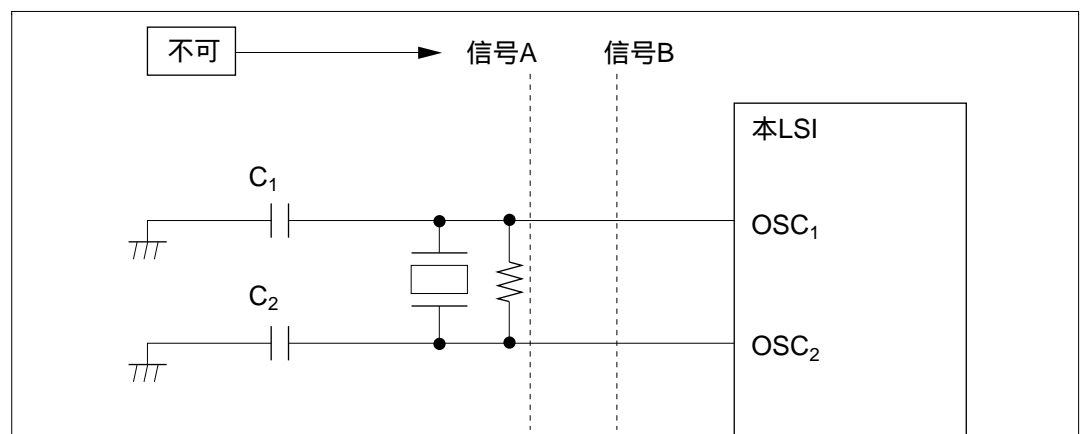


図 6.5 発振回路部のボード設計に関する注意事項

(4) 外部クロックを入力する方法

(a) 回路構成

外部クロック入力の場合は、OSC₁端子に入力します。OSC₂端子はオープンとしてください。

この場合の接続例を図6.6に示します。

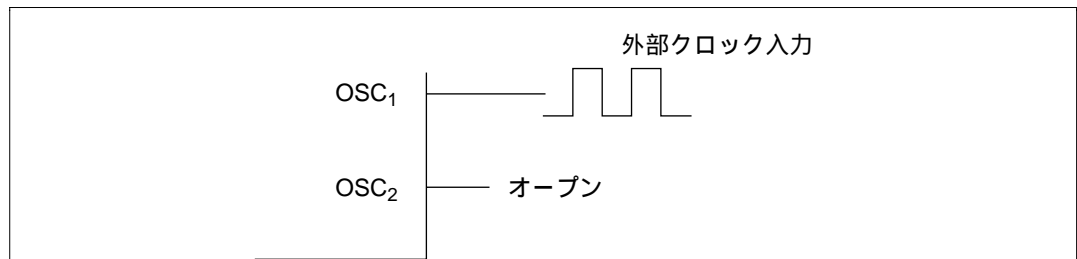


図6.6 外部クロックを入力する場合の接続例

(b) 外部クロック

OSC₁端子に入力するクロックのデューティは50% ± 10%としてください。

周波数	クロック () の2倍
duty	45% ~ 55%

6.3 サブクロック発振器

(1) 32.768kHz 水晶発振子を接続する方法

サブクロック分周器へクロックを供給するには、図 6.7 に示すように 32.768kHz の水晶発振子を接続します。接続にする場合の注意については、前項と同様です。

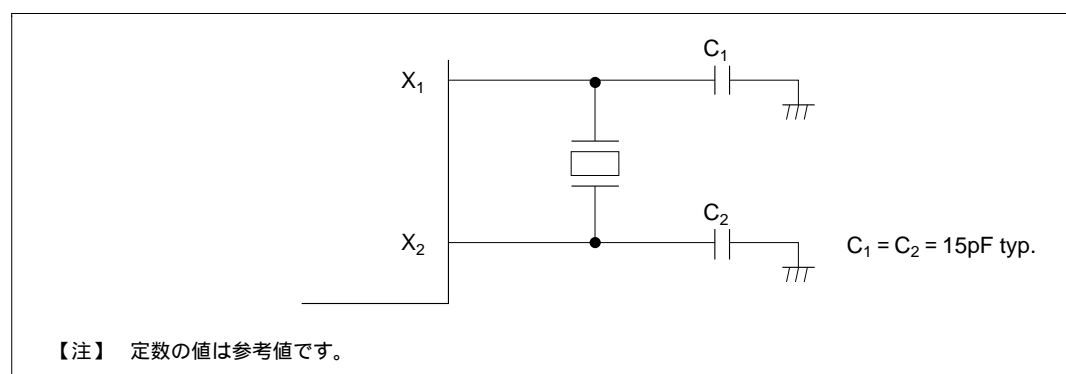


図 6.7 水晶発振子の接続例 (サブクロック)

図 6.8 に水晶発振子の等価回路を示します。

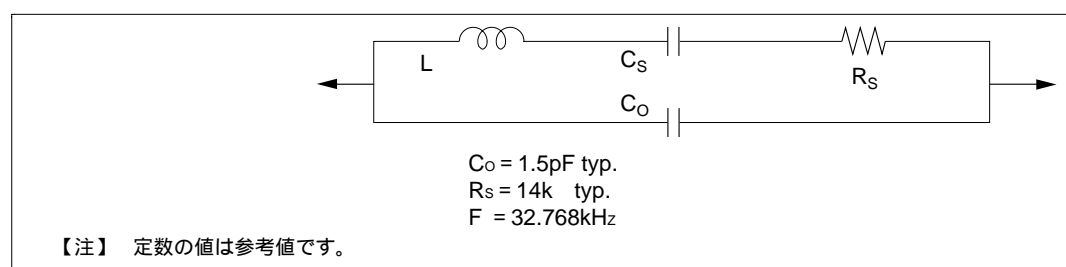


図 6.8 水晶発振子の等価回路

(2) サブクロックを使用しない場合の端子処理

サブクロックを使用しない場合には、図 6.9 に示すように X_1 端子を V_{CC} に接続し、 X_2 端子をオープンとしてください。

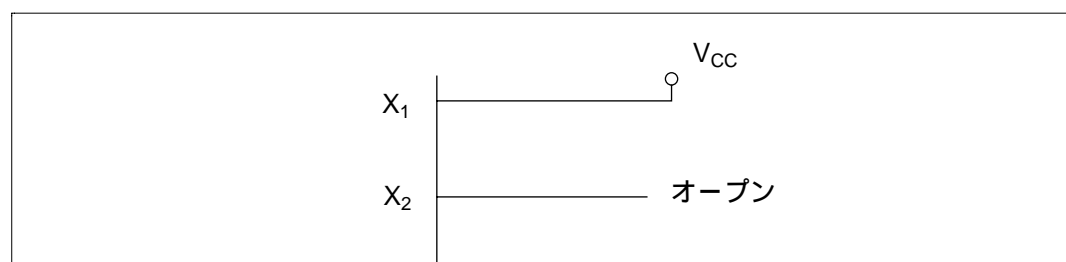


図 6.9 サブクロックを使用しない場合の端子処理

6.4 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考に、マスク版、ZTAT[®]版共にユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実施回路の浮遊容量などにより異なるため、発振子メーカーと充分ご相談の上決定してください。発振端子に印加される電圧が最大定格を越えないような設計を行ってください。

7. I/O ポート

第7章 目次

7.1	概要	143	
	7.1.1	ポートの機能	143
	7.1.2	ポートの入力	144
	7.1.3	NMOS オープンドレイン中耐圧端子	145
	7.1.4	プルアップ MOS	146
7.2	ポート 0	147	
	7.2.1	概要	147
	7.2.2	レジスタの構成	147
	7.2.3	端子機能	149
	7.2.4	端子状態	149
7.3	ポート 1	150	
	7.3.1	概要	150
	7.3.2	レジスタの構成	150
	7.3.3	端子機能	154
	7.3.4	端子状態	156
7.4	ポート 2	157	
	7.4.1	概要	157
	7.4.2	レジスタの構成	157
	7.4.3	端子機能	159
	7.4.4	端子状態	159
7.5	ポート 3	160	
	7.5.1	概要	160
	7.5.2	レジスタの構成	160
	7.5.3	ノイズキャンセル回路	163
	7.5.4	端子機能	165
	7.5.5	端子状態	167
7.6	ポート 4	168	

	7.6.1	概要	168
	7.6.2	レジスタの構成.....	168
	7.6.3	端子機能.....	170
	7.6.4	端子状態.....	170
7.7	ポート5.....		171
	7.7.1	概要	171
	7.7.2	レジスタの構成.....	171
	7.7.3	端子機能.....	177
	7.7.4	端子状態.....	178
7.8	ポート6.....		179
	7.8.1	概要	179
	7.8.2	レジスタの構成.....	179
	7.8.3	端子機能.....	182
	7.8.4	端子状態.....	183
7.9	ポート7.....		184
	7.9.1	概要	184
	7.9.2	レジスタの構成.....	184
	7.9.3	端子機能.....	187
	7.9.4	端子状態.....	187

7.1 概要

7.1.1 ポートの機能

このLSIは、8ビット入出力ポート4本（内1本はNMOS大電流ポート）、4ビット入出力ポート1本（NMOSオープンドレイン12V中耐圧ポート）、5ビット入出力ポート2本、8ビット入力ポートを1本備えています。各ポートの機能一覧を表7.1に示します。

入出力ポートは、入出力を制御するポートコントロールレジスタ（PCR）と出力データを格納するポートデータレジスタ（PDR）とで構成され、ビット単位に入出力を制御できます。

表7.1 ポートの機能一覧（1）

ポート	概要	端子	兼用機能	機能切り替えレジスタ
ポート0	8ビット入力専用ポート	P0 ₇ /AN ₇ ~ P0 ₀ /AN ₀	アナログデータ 入力チャンネル7~0	PMR0
ポート1	P1 ₇ ~P1 ₀ 入出力ポート	P1 ₇ /PWM1 ₄	14ビットPWMの波形出力	PMR1
		P1 ₆ /SCK ₁	SCI1のクロック入出力	
		P1 ₅ /SI ₁	SCI1のデータ入力	
		P1 ₄ /SO ₁	SCI1のデータ出力	
		P1 ₃ /SCK ₂	SCI2のクロック入出力	
		P1 ₂ /SI ₂	SCI2のデータ入力	
		P1 ₁ /SO ₂	SCI2のデータ出力	
		P1 ₀	なし	
ポート2	P2 ₃ ~P2 ₀ 入出力ポート	P2 ₀ ~P2 ₃	なし	
ポート3	P3 ₇ ~P3 ₀ 入出力ポート	P3 ₇ /IC	IC	PMR3
		P3 ₆ /NMI	NMI	
		P3 ₅ /IRQ ₅ ~ P3 ₀ /IRQ ₀	外部割り込み0~5	
ポート4	P4 ₇ ~P4 ₀ 入出力ポート	P4 ₇ ~P4 ₀	なし	
ポート5	P5 ₇ ~P5 ₀ 入出力ポート	P5 ₇ ~P5 ₄	なし	PUR5
		P5 ₃ /TMO	タイマ出力	PMR5
		P5 ₂ /PWM ₂	8ビットPWM出力	PUR5
		P5 ₁ /PWM ₁	8ビットPWM出力	
		P5 ₀ /BUZZ	ブザー出力	

表 7.1 ポートの機能一覧(2)

ポート	概要	端子	兼用機能	機能切り替えレジスタ
ポート 6	P6 ₃ ~ P6 ₇ 入出力ポート	P6 ₇ /Vsync	垂直同期信号入力	PMR6
		P6 ₆ /YCO1	OSD 文字データ出力(カウンタ加算)	
		P6 ₅ /YEO1	OSD エッジデータ出力(カウンタ加算)	
		P6 ₄ /YCO2	OSD 文字データ出力(日付加算)	
		P6 ₃ /YEO2	OSD エッジデータ出力(日付加算)	
ポート 7	P7 ₄ ~ P7 ₀ 入出力ポート	P7 ₄ /PPG74	PPG	PPR7
		~		
		P7 ₀ /PPG70		

7.1.2 ポートの入力

ポートのリード動作：

- (1) PCR = 0 の汎用ポートをリードすると、端子のレベルを読み込みます。
- (2) PCR = 1 の汎用ポートをリードすると、PDR の当該ビットの値を読み出します。
- (3) 内蔵周辺機能用端子 (AN 端子を除く) に設定された端子をリードすると、端子のレベルを読み出します。

入力端子の処理：

汎用入力ポートまたは汎用入出力ポートは、リード信号によりゲートされています。未使用端子は、リードしなければ開放 (オープン) のままでかまいません。しかし、開放の端子をリードすると、中間レベルにより、リードの期間に貫通電流が流れることがあります。リードの期間は約 1.5 μs です。

該当ポート：P0、P1、P2、P3、P4、P5、P6、P7

兼用端子がポートモードレジスタ (PMR) により、入出力ポート以外の兼用入力機能に設定されている場合、端子レベルは必ず High または Low に固定してください。開放のままにすると、中間レベルにより貫通電流が流れ、信頼性に悪影響を与え、誤動作の原因になり、または最悪の場合、破壊に至ることがあるので注意が必要です。

PMR は低消費電力モード時にリセットされないため、低消費電力モードに遷移した後も端子の入力レベルに注意が必要です。

該当端子：SI₁、SCK₁、SI₂、SCK₂、 $\overline{IRQ_0} \sim \overline{IRQ_5}$ 、 \overline{NMI} 、 \overline{IC} 、Vsync

7.1.3 NMOS オープンドレイン中耐圧端子

ポート2は、+12Vを印加することができるNMOS オープンドレインの中耐圧端子です。
図7.1にNMOS オープンドレイン中耐圧端子の回路構成を示します。

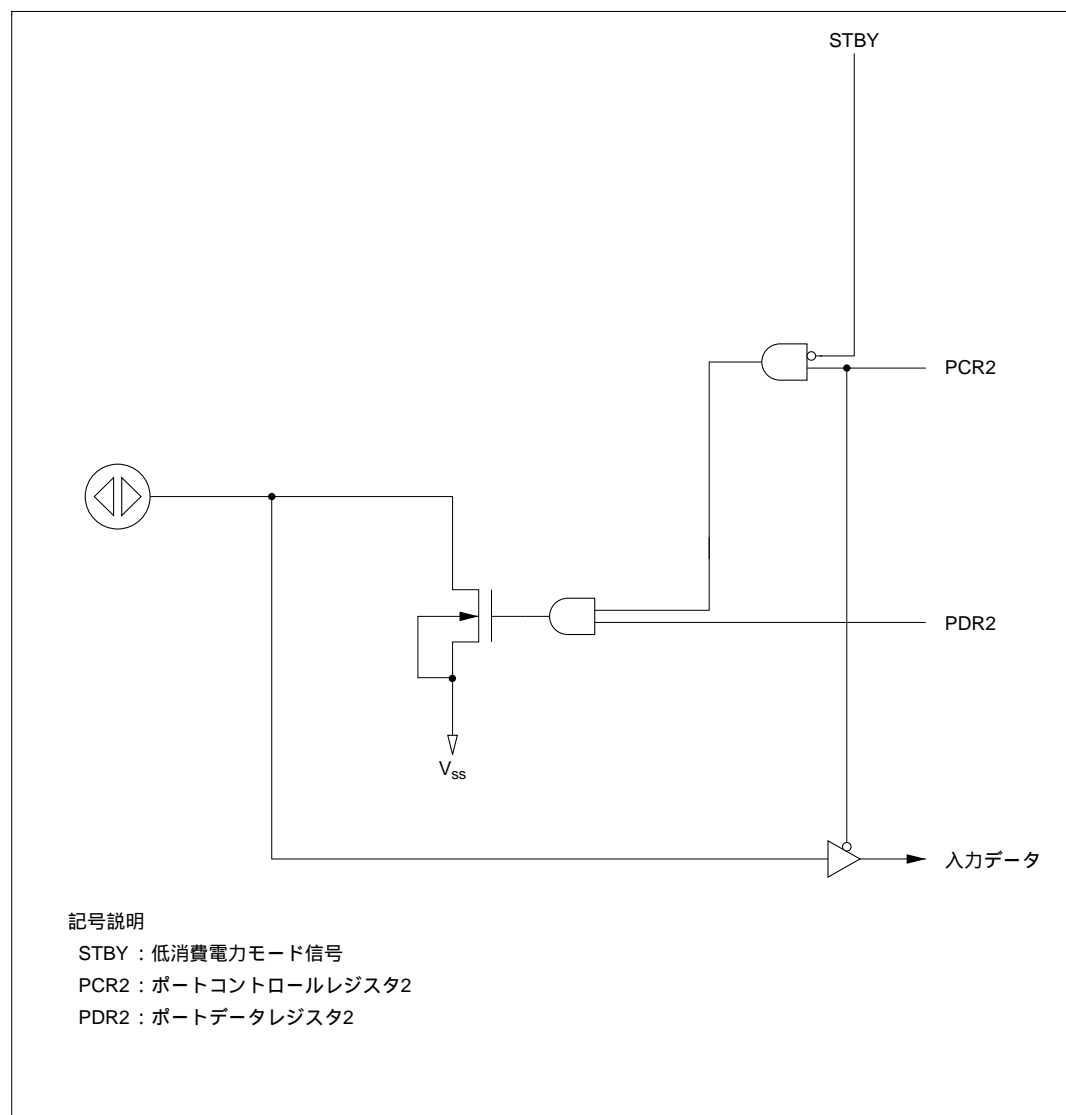


図 7.1 NMOS オープンドレイン中耐圧端子の回路構成

7.1.4 プルアップMOS

ポート5は、プルアップMOS切り替えレジスタ(PUR5)により、ビットごとにON/OFFを設定できます。PUR5の設定は、PCR5により端子状態が入力に選択されているときに有効になります。出力を選択している場合、プルアップMOSはOFFになります。図7.2にプルアップMOS付き端子の回路構成を示します。

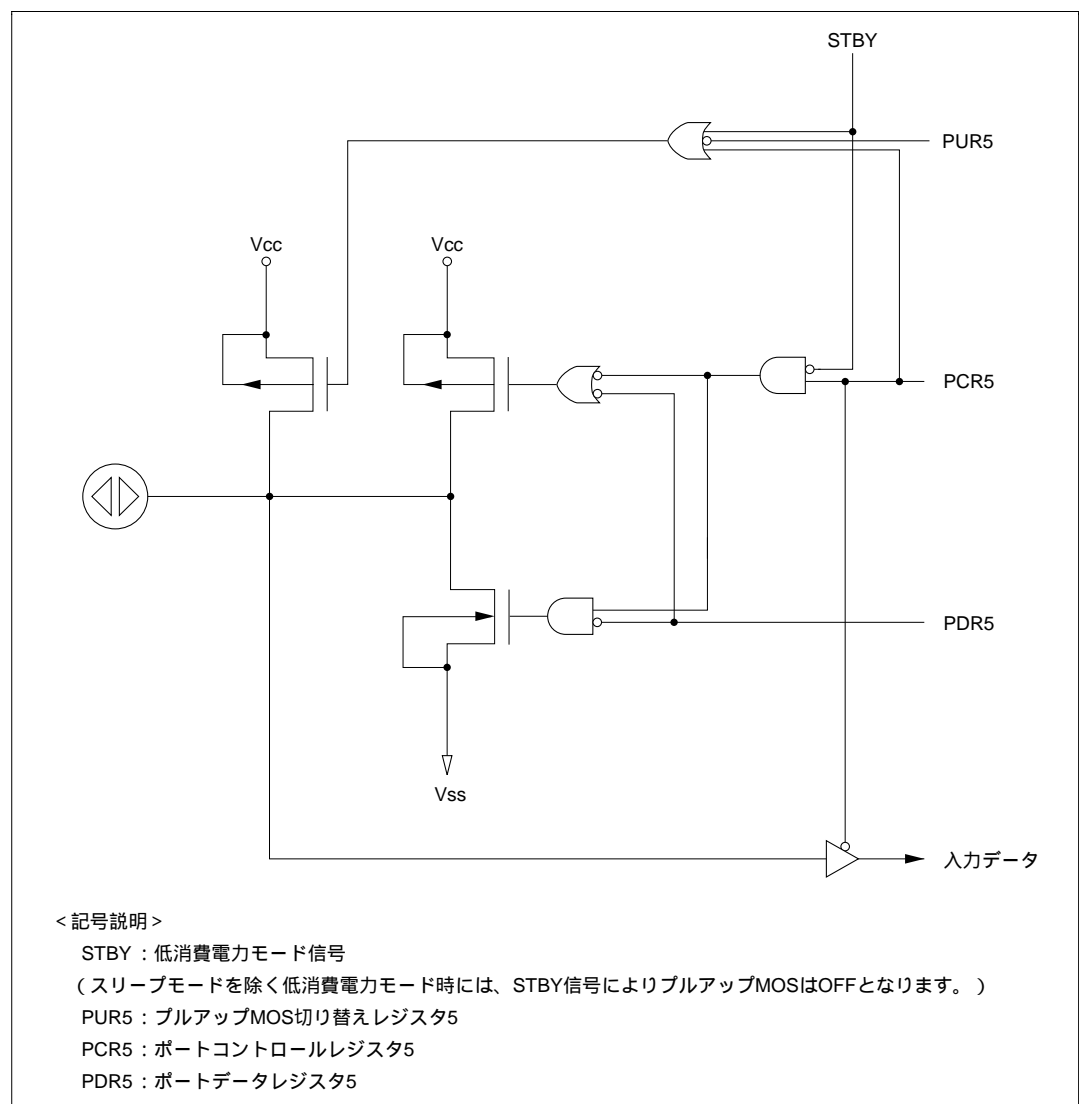


図7.2 プルアップMOS付き端子の回路構成

7.2 ポート0

7.2.1 概要

ポート0は8ビットの入力専用ポートです。ポート0の構成を表7.2に示します。

ポート0は、標準入力ポート(P0₇~P0₀)とアナログ入力チャンネル(AN₇~AN₀)の兼用端子になっていて、ポートモードレジスタ0(PMR0)で切り替えます。

表7.2 ポート0の構成

ポート	機能	兼用機能
ポート0	P0 ₇ (標準入力ポート)	AN ₇ (アナログ入力チャンネル)
	P0 ₆ (標準入力ポート)	AN ₆ (アナログ入力チャンネル)
	P0 ₅ (標準入力ポート)	AN ₅ (アナログ入力チャンネル)
	P0 ₄ (標準入力ポート)	AN ₄ (アナログ入力チャンネル)
	P0 ₃ (標準入力ポート)	AN ₃ (アナログ入力チャンネル)
	P0 ₂ (標準入力ポート)	AN ₂ (アナログ入力チャンネル)
	P0 ₁ (標準入力ポート)	AN ₁ (アナログ入力チャンネル)
	P0 ₀ (標準入力ポート)	AN ₀ (アナログ入力チャンネル)

7.2.2 レジスタの構成

表7.3にポート0のレジスタ構成を示します。

表7.3 ポート0レジスタの構成

名称	略称	R/W	サイズ	初期値	アドレス
ポートモードレジスタ0	PMR0	W	バイト	H'00	H'FFEB
ポートデータレジスタ0	PDR0	R	バイト		H'FFD0

(1) ポートモードレジスタ 0 (PMR0)

ビット	7	6	5	4	3	2	1	0
	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0
初期値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

ポートモードレジスタ 0 (PMR0) は、ポート 0 の各端子を汎用入力ポートとして使用するか、A/D 変換器へのアナログ入力チャンネルとして使用するかを、ビット単位で指定します。

PMR0 は、8 ビットのライト専用レジスタです。リードすると 1 が読み出されます。リセット時、PMR0 は H'00 に初期化されます。

ビット n	説明
ANn	
0	PO _n /AN _n 端子は、汎用入力ポート (初期値)
1	PO _n /AN _n 端子は、アナログ入力チャンネル

(n = 7 ~ 0)

(2) ポートデータレジスタ 0 (PDR0)

ビット	7	6	5	4	3	2	1	0
	PDR07	PDR06	PDR05	PDR04	PDR03	PDR02	PDR01	PDR00
初期値								
R/W	R	R	R	R	R	R	R	R

ポートデータレジスタ 0 (PDR0) は、ポートの状態を読み出すレジスタです。PMR0 の対応するビットが 0 (汎用入力ポート) のとき、PDR0 をリードすると端子の状態が読み出されます。PMR0 の対応するビットが 1 (アナログ入力チャンネル) の時、PDR0 をリードすると 1 が読み出されます。

PDR0 は、8 ビットのリード専用レジスタです。リセット時、値は不定になります。

7.2.3 端子機能

ポート0の端子機能とその選択方法を示します。

$P0_7/AN_7 \sim P0_0/AN_0$

PMR0のAN7～AN0ビットにより次のように切り替わります。

ANn	端子機能
0	$P0_n$ 入力端子
1	AN_n 入力端子

($n=7 \sim 0$)

7.2.4 端子状態

ポート0の各動作モードにおける端子状態を表7.4に示します。

表7.4 ポート0の端子状態

端子名	リセット	アクティブ	スリープ	スタンバイ	ウォッチ	サブ アクティブ
$P0_7/AN_7$ }	ハイインピーダンス	動作	保持	ハイ	ハイ	ハイ
$P0_0/AN_0$				インピー ダンス	インピー ダンス	インピー ダンス

7.3 ポート 1

7.3.1 概要

ポート 1 は 8 ビットの入出力ポートです。ポート 1 の構成を表 7.5 に示します。

ポート 1 は、標準入出力ポート (P1₇~P1₀) と PWM 出力、SCI クロック入出力、データ入力、データ出力との兼用端子になってます。切り替えはポートモードレジスタ 1 (PMR1) とポートコントロールレジスタ 1 (PCR1) で行います。

表 7.5 ポート 1 の構成

ポート	機 能	兼用機能
ポート 1	P1 ₇ (標準入出力ポート)	PWM14 (PWM 出力)
	P1 ₆ (標準入出力ポート)	SCK ₁ (クロック入出力)
	P1 ₅ (標準入出力ポート)	SI ₁ (データ入力)
	P1 ₄ (標準入出力ポート)	SO ₁ (データ出力)
	P1 ₃ (標準入出力ポート)	SCK ₂ (クロック入出力)
	P1 ₂ (標準入出力ポート)	SI ₂ (データ入力)
	P1 ₁ (標準入出力ポート)	SO ₂ (データ出力)
	P1 ₀ (標準入出力ポート)	

7.3.2 レジスタの構成

ポート 1 のレジスタ構成を表 7.6 に示します。

表 7.6 ポート 1 レジスタの構成

名 称	略 称	R/W	サイズ	初期値	アドレス
ポートモードレジスタ 1	PMR1	R/W	バイト	H'01	H'FFEC
ポートコントロールレジスタ 1	PCR1	W	バイト	H'00	H'FFE1
ポートデータレジスタ 1	PDR1	R/W	バイト	H'00	H'FFD1

(1) ポートモードレジスタ 1 (PMR1)

ビット	7	6	5	4	3	2	1	0
	PWM14	SCK1	SI1	SO1	SCK2	SI2	SO2	
初期値	0	0	0	0	0	0	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ポートモードレジスタ 1 (PMR1) は、ポート 1 の各端子機能の切り替えを制御します。切り替えはビット単位で指定します。

PMR1 は、7 ビットのリードとライトが可能なレジスタです。リセット時、PMR1 は H'01 に初期化されます。

SCK₁ 入力端子、SI₁ 入力端子、SCK₂ 入力端子、または SI₂ 入力端子に設定した場合は、アクティブモード、低消費電力モードにかかわらず、端子レベルは High または Low レベルが入力されている必要があります。端子レベルは、中間レベルにならないようにしてください。

ビット 7 : P1₇/PWM14 端子切り替え (PWM14)

P1₇/PWM14 端子を P1₇ 入出力端子として使用するか、14 ビット PWM 出力端子として使用するかを設定します。

ビット 7	説明
PWM14	
0	P1 ₇ /PWM14 端子は、P1 ₇ 入出力端子として機能 (初期値)
1	P1 ₇ /PWM14 端子は、14 ビット PWM 出力端子として機能

ビット 6 : P1₆/SCK₁ 端子切り替え (SCK1)

P1₆/SCK₁ 端子を P1₆ 入出力端子として使用するか、SCK₁ 入出力端子として使用するかを設定します。

ビット 6	説明
SCK1	
0	P1 ₆ /SCK ₁ 端子は、P1 ₆ 入出力端子として機能 (初期値)
1	P1 ₆ /SCK ₁ 端子は、SCK ₁ 入出力端子として機能

ビット5：P1₅/SI₁端子切り替え（SI1）

P1₅/SI₁端子をP1₅入出力端子として使用するか、SI₁入力端子として使用するかを設定します。

ビット5	説明
SI1	
0	P1 ₅ /SI ₁ 端子は、P1 ₅ 入出力端子として機能（初期値）
1	P1 ₅ /SI ₁ 端子は、SI ₁ 入力端子として機能

ビット4：P1₄/SO₁端子切り替え（SO1）

P1₄/SO₁端子をP1₄入出力端子として使用するか、SO₁出力端子として使用するかを設定します。

ビット4	説明
SO1	
0	P1 ₄ /SO ₁ 端子は、P1 ₄ 入出力端子として機能（初期値）
1	P1 ₄ /SO ₁ 端子は、SO ₁ 出力端子として機能

ビット3：P1₃/SCK₂端子切り替え（SCK2）

P1₃/SCK₂端子をP1₃入出力端子として使用するか、SCK₂入出力端子として使用するかを設定します。

ビット3	説明
SCK2	
0	P1 ₃ /SCK ₂ 端子は、P1 ₃ 入出力端子として機能（初期値）
1	P1 ₃ /SCK ₂ 端子は、SCK ₂ 入出力端子として機能

ビット2：P1₂/SI₂端子切り替え（SI2）

P1₂/SI₂端子をP1₂入出力端子として使用するか、SI₂入力端子として使用するかを設定します。

ビット2	説明
SI2	
0	P1 ₂ /SI ₂ 端子は、P1 ₂ 入出力端子として機能（初期値）
1	P1 ₂ /SI ₂ 端子は、SI ₂ 入力端子として機能

ビット1：P1₇/SO₂端子切り替え（SO₂）

P1₇/SO₂端子をP1₇入出力端子として使用するか、SO₂出力端子として使用するかを設定します。

ビット1	説明
SO2	
0	P1 ₇ /SO ₂ 端子は、P1 ₇ 入出力端子として機能 (初期値)
1	P1 ₇ /SO ₂ 端子は、SO ₂ 出力端子として機能

ビット0：リザーブビット

リザーブビットです。リードすると1が読み出されます。ライトは無効です。

(2) ポートコントロールレジスタ1（PCR1）

ビット	7	6	5	4	3	2	1	0
	PCR17	PCR16	PCR15	PCR14	PCR13	PCR12	PCR11	PCR10
初期値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

ポートコントロールレジスタ1（PCR1）は、ポート1の各端子P1₇～P1₀の入出力をビットごとに制御します。PCR1に1をセットすると対応するP1₇～P1₀端子は出力端子となり、0にクリアすると入力端子になります。PMR1により当該端子が汎用入出力に設定されている場合に、PCR1およびPDR1の設定が有効となります。

PCR1は8ビットのライト専用レジスタです。PCR1をリードすると1が読み出されます。リセット時、PCR1はH'00に初期化されます。

ビットn	説明
PCR1n	
0	P1 _n 端子は、入力端子として機能 (初期値)
1	P1 _n 端子は、出力端子として機能

(n=7～0)

(3) ポートデータレジスタ1 (PDR1)

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>PDR17</td> <td>PDR16</td> <td>PDR15</td> <td>PDR14</td> <td>PDR13</td> <td>PDR12</td> <td>PDR11</td> <td>PDR10</td> </tr> </table>								PDR17	PDR16	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10
PDR17	PDR16	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10										
初期値	:	0	0	0	0	0	0	0	0								
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								

ポートデータレジスタ1 (PDR1) は、ポート1の各端子P1₇~P1₀のデータを格納するレジスタです。PCR1が1(出力)のとき、ポート1のリードを行うとPDR1の値を直接リードします。そのため、端子の状態の影響を受けません。PCR1が0(入力)のときポート1のリードを行うと、端子の状態が読み出されます。

PDR1は、8ビットのレジスタです。リセット時、PDR1はH'00に初期化されます。

7.3.3 端子機能

ポート1の端子機能とその選択方法を示します。

(1) P1₇/PWM14

PMR1のPWM14ビットおよびPCR1のPCR17により、次のように切り替わります。

PWM14	PCR17	端子機能
0	0	P1 ₇ 入力端子
	1	P1 ₇ 出力端子
1		PWM14出力端子

(2) P1₆/SCK1

PMR1のSCK1ビット、シリアルモードレジスタ1 (SMR1)のPS11、PS10ビット、およびPCR1のPCR16により、次のように切り替わります。

SCK1	SMR1 (PS11,10)	PCR16	端子機能
0		0	P1 ₆ 入力端子
		1	P1 ₆ 出力端子
1	(00)、(01)、(10)		SCK ₁ 出力端子
	(11)		SCK ₁ 入力端子

(3) P1₅/SI₁

PMR1のSI1ビットおよびPCR1のPCR15により、次のように切り替わります。

SI1	PCR15	端子機能
0	0	P1 ₅ 入力端子
	1	P1 ₅ 出力端子
1		SI ₁ 入力端子

(4) P1₄/SO₁

PMR1のSO1ビットおよびPCR1のPCR14により、次のように切り替わります。

SO1	PCR14	端子機能
0	0	P1 ₄ 入力端子
	1	P1 ₄ 出力端子
1		SO ₁ 出力端子

(5) P1₃/SCK2

PMR1のSCK2ビット、シリアルモードレジスタ2(SMR2)のPS21、PS20ビット、およびPCR1のPCR13により次のように切り替わります。

SCK2	SMR2 (PS21,20)	PCR13	端子機能
0		0	P1 ₃ 入力端子
		1	P1 ₃ 出力端子
1	(00)、(01)、(10)		SCK ₂ 出力端子
	(11)		SCK ₂ 入力端子

(6) P1₂/SI₂

PMR1のSI2ビットおよびPCR1のPCR12により次のように切り替わります。

SI2	PCR12	端子機能
0	0	P1 ₂ 入力端子
	1	P1 ₂ 出力端子
1		SI ₂ 入力端子

(7) P1₁/SO₂

PMR1のSO2ビットおよびPCR1のPCR11により次のように切り替わります。

SO2	PCR11	端子機能
0	0	P1 ₁ 入力端子
	1	P1 ₁ 出力端子
1		SO ₂ 出力端子

(8) P1₀

PCR1のPCR10により次のように切り替わります。

PCR10	端子機能
0	P1 ₀ 入力端子
1	P1 ₀ 出力端子

7.3.4 端子状態

ポート1の各動作モードにおける端子状態を表7.7に示します。

表7.7 ポート1の端子状態

端子名	リセット	アクティブ	スリープ	スタンバイ	ウォッチ	サブアクティブ
P1 ₇ /PWM14	ハイインピーダンス	動作	保持	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス
P1 ₆ /SCK ₁						
P1 ₅ /SI ₁						
P1 ₄ /SO ₁						
P1 ₃ /SCK ₂						
P1 ₂ /SI ₂						
P1 ₁ /SO ₂						
P1 ₀						

7.4 ポート 2

7.4.1 概要

ポート 2 は 4 ビットの入出力ポートです。ポート 2 の構成を表 7.8 に示します。

ポート 2 は、NMOS オープンドレインの+12V 中耐圧端子となっています。入力と出力とをポートコントロールレジスタ 2 (PCR2) で切り替えます。

表 7.8 ポート 2 の構成

ポート	機能
ポート 2	P2 ₃ (中耐圧入出力ポート)
	P2 ₂ (中耐圧入出力ポート)
	P2 ₁ (中耐圧入出力ポート)
	P2 ₀ (中耐圧入出力ポート)

7.4.2 レジスタの構成

ポート 2 のレジスタ構成を表 7.9 に示します。

表 7.9 ポート 2 レジスタの構成

名称	略称	R/W	サイズ	初期値	アドレス
ポートコントロールレジスタ 2	PCR2	W	バイト	H'F0	H'FFE2
ポートデータレジスタ 2	PDR2	R/W	バイト	H'F0	H'FFD2

(1) ポートコントロールレジスタ2 (PCR2)

ビット	:	7	6	5	4	3	2	1	0
						PCR23	PCR22	PCR21	PCR20
初期値	:	1	1	1	1	0	0	0	0
R/W	:					W	W	W	W

ポートコントロールレジスタ2 (PCR2) は、ポート2の各端子 P2₃ ~ P2₀の入出力をビットごとに制御します。PCR2は、4ビットのライト専用のレジスタです。PCR2をリードすると1が読み出されます。リセット時、PCR2はH'F0に初期化されます。

ビット n	説明
PCR2n	
0	P2 _n 端子は、入力端子として機能 (初期値)
1	P2 _n 端子は、出力端子として機能

(n = 3 ~ 0)

(2) ポートデータレジスタ2 (PDR2)

ビット	:	7	6	5	4	3	2	1	0
						PDR23	PDR22	PDR21	PDR20
初期値	:	1	1	1	1	0	0	0	0
R/W	:					R/W	R/W	R/W	R/W

ポートデータレジスタ2 (PDR2) は、ポート2の各端子 P2₃ ~ P2₀のデータを格納します。PDR2は4ビットのレジスタです。リセット時、PDR2はH'F0に初期化されます。

7.4.3 端子機能

ポート2の端子機能とその選択方法を示します。

P2₃ ~ P2₀

4ビットの入出力端子です。ポート2は、NMOS オープンドレインの+12V 中耐圧端子となっています。PCR2の当該ビットが0のとき入力端子、PCR2の当該ビットが1のとき出力端子となります。出力のレベルは、PDR2により次のようになります。PDR2の対応するビットが0のとき、端子はLowレベルを出力します。PDR2の対応するビットが1のとき、端子はハイインピーダンスとなります。

PCR2n	PDR2n	端子機能
0		P2 _n 入力端子
1	0	P2 _n 出力端子 (Low レベル)
	1	P2 _n 出力端子 (ハイインピーダンス)

(n = 3 ~ 0)

7.4.4 端子状態

ポート2の各動作モードにおける端子状態を表7.10に示します。

表 7.10 ポート2の端子状態

端子名	リセット	アクティブ	スリープ	スタンバイ	ウォッチ	サブアクティブ
P2 ₃ }	ハイインピーダンス	動作	保持	ハイインピー	ハイインピーダ	ンス
P2 ₀				ダンス		

7.5 ポート3

7.5.1 概要

ポート3は8ビットの入出力ポートです。ポート3の構成を表7.11に示します。

ポート3は、標準入出力ポート(P3₇~P3₀)と外部インプットキャプチャ入力、外部割り込み入力との兼用端子になってます。切り替えはポートモードレジスタ3(PMR3)とポートコントロールレジスタ3(PCR3)で行います。

表7.11 ポート3の構成

ポート	機能	兼用機能
ポート3	P3 ₇ (標準入出力ポート)	IC (外部インプットキャプチャ入力)
	P3 ₆ (標準入出力ポート)	NMI (外部割り込み入力)
	P3 ₅ (標準入出力ポート)	IRQ ₅ (外部割り込み入力)
	P3 ₄ (標準入出力ポート)	IRQ ₄ (外部割り込み入力)
	P3 ₃ (標準入出力ポート)	IRQ ₃ (外部割り込み入力)
	P3 ₂ (標準入出力ポート)	IRQ ₂ (外部割り込み入力)
	P3 ₁ (標準入出力ポート)	IRQ ₁ (外部割り込み入力)
	P3 ₀ (標準入出力ポート)	IRQ ₀ (外部割り込み入力)

7.5.2 レジスタの構成

ポート3のレジスタ構成を表7.12に示します。PWMコントロールレジスタ(PWCR)は、8ビットPWMのレジスタです。IC端子のノイズキャンセル回路を制御します。

表7.12 ポート3レジスタの構成

名称	略称	R/W	サイズ	初期値	アドレス
ポートモードレジスタ3	PMR3	R/W	バイト	H'00	H'FFED
ポートコントロールレジスタ3	PCR3	W	バイト	H'00	H'FFE3
ポートデータレジスタ3	PDR3	R/W	バイト	H'00	H'FFD3
PWMコントロールレジスタ	PWCR	R/W	バイト	H'00	H'FF97

(1) ポートモードレジスタ 3 (PMR3)

ビット	7	6	5	4	3	2	1	0
	IC	NMI	IRQ5	IRQ4	IRQ3	IRQ2	IRQ1	IRQ0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートモードレジスタ 3 (PMR3) は、ポート 3 の各端子を入出力ポート機能として使用するか、外部割り込み用入力端子として使用するかを選択します。PMR3 は、8 ビットのリードとライトが可能なレジスタです。リセット時、PMR3 は H'00 に初期化されます。PMR3 により端子機能を切り替える場合には、次の注意事項を守ってください。

【注意事項】

1. PMR3 により、ポート 3 を $\overline{IRQ}_0 \sim \overline{IRQ}_5$ 入力端子、 \overline{NMI} 入力端子、 \overline{IC} 入力端子に設定した場合は、アクティブモード、低消費電力モードにかかわらず、端子レベルは、High レベルまたは Low レベルを入力してください。端子のレベルを、中間レベルにしないでください。
2. PMR3 により、ポート 3₆ (P36) と \overline{NMI} 入力端子とを切り替えると、端子の信号の状態によってはエッジ検出と誤認し、検出信号が発生することがあります。NMI はマスクできない割り込みであるため、切り替え時の割り込み処理ルーチンでは NMI 割り込みの判定に注意が必要です。
3. PMR3 により端子機能 (ポートまたは \overline{IC} 、 $\overline{IRQ}_0 \sim \overline{IRQ}_5$ の外部割り込み端子) を切り替えると、端子の信号の状態によってはエッジ検出と誤認し、検出信号が発生することがあります。これを防止するために、次の手順で操作を行ってください。

(a) 端子機能を切り替える前に、割り込み許可フラグを割り込み禁止にしてください。

(b) 端子機能を切り替えた後、一命令において当該割り込み要求フラグを 0 にクリアしてください。

(プログラム例)

```

:
:
MOV.B R0L, @IENR1.....割り込み禁止
MOV.B R0L, @PMR1.....端子機能変更
NOP.....任意の一命令
MOV.B R0L, @IRR1.....当該割り込みクリア
MOV.B R1L, @IENR1.....割り込み許可
:

```

ビット7 : P3₇/ \overline{IC} 端子切り替え (IC)

P3₇/ \overline{IC} 端子を P3₇ 入出力端子として使用するか、フリーランニングタイマのインプットキャプチャ機能の \overline{IC} 入力端子として使用するかを設定します。 \overline{IC} 端子には、ノイズキャンセル回路が内蔵されています。

ビット7	説明
IC	
0	P3 ₇ / \overline{IC} 端子は、P3 ₇ 入出力端子として機能 (初期値)
1	P3 ₇ / \overline{IC} 端子は、 \overline{IC} 入力端子として機能

ビット6 : P3₆/ \overline{NMI} 端子切り替え (NMI)

P3₆/ \overline{NMI} 端子を P3₆ 入出力端子として使用するか、 \overline{NMI} 入力端子として使用するかを設定します。

ビット6	説明
NMI	
0	P3 ₆ / \overline{NMI} 端子は、P3 ₆ 入出力端子として機能 (初期値)
1	P3 ₆ / \overline{NMI} 端子は、 \overline{NMI} 入力端子として機能

ビット5~0 : P3_n/ \overline{IRQ}_n ~ P3₀/ \overline{IRQ}_0 端子切り替え (IRQ5~IRQ0)

P3_n/ \overline{IRQ}_n 端子を P3_n 入出力端子として使用するか、 \overline{IRQ}_n 入力端子として使用するかを設定します。

ビット n	説明
\overline{IRQ}_n	
0	P3 _n / \overline{IRQ}_n 端子は、P3 _n 入出力端子として機能 (初期値)
1	P3 _n / \overline{IRQ}_n 端子は、 \overline{IRQ}_n 入力端子として機能

(n = 5 ~ 0)

(2) ポートコントロールレジスタ 3 (PCR3)

ビット	7	6	5	4	3	2	1	0
	PCR37	PCR36	PCR35	PCR34	PCR33	PCR32	PCR31	PCR30
初期値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

ポートコントロールレジスタ 3 (PCR3) は、ポート 3 の各端子 P3₇ ~ P3₀ の入出力をビットごとに制御します。PCR3 に 1 をセットすると対応する P3₇ ~ P3₀ 端子は出力端子となり、0 にクリアすると入力端子になります。PMR3 により当該端子が汎用入出力に設定されている場合に、PCR3 および PDR3 の設定が有効となります。

PCR3 は 8 ビットのライト専用レジスタです。PCR3 をリードすると 1 が読み出されます。リセット時、PCR3 は H'00 に初期化されます。

ビット n	説明
PCR3n	
0	P3 _n 端子は、入力端子として機能 (初期値)
1	P3 _n 端子は、出力端子として機能

(n = 7 ~ 0)

(3) ポートデータレジスタ 3 (PDR3)

ビット	7	6	5	4	3	2	1	0
	PDR37	PDR36	PDR35	PDR34	PDR33	PDR32	PDR31	PDR30
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートデータレジスタ 3 (PDR3) は、ポート 3 の各端子 P3₇ ~ P3₀ のデータを格納するレジスタです。PCR3 が 1 (出力) のとき、ポート 3 のリードを行うと PDR3 の値を直接リードします。そのため端子の状態の影響を受けません。PCR3 が 0 (入力) のときポート 3 のリードを行うと端子の状態が読み出されます。

PDR3 は、8 ビットのレジスタです。リセット時、PDR3 は H'00 に初期化されます。

7.5.3 ノイズキャンセル回路

\overline{IC} 端子には、ノイズキャンセル回路が内蔵されています。リモコン受信などのノイズのプロテクトに使用できます。ノイズキャンセル回路は、 \overline{IC} 端子の入力値を 256 ステートの間隔で二度サンプリングし、入力値が異なっていればノイズとみなします。

ノイズキャンセル回路は、PWM コントロールレジスタ (PWCR) のビット 3 (NC on/off ビット) により、ノイズキャンセル機能の動作または無効を指定することができます。

(1) PWM コントロールレジスタ (PWCR)

ビット	7	6	5	4	3	2	1	0
	BUZZ1	BUZZ0	MON1	MON0	NCon/off	PWC2	PWC1	PWCR0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWM コントロールレジスタ (PWCR) は、ブザー出力周波数の選択や PWM の制御を行うレジスタです。PWCR は、8 ビットのリードとライトが可能なレジスタです。リセット時、PWCR は H'00 に初期化されます。

ビット 2、1 については「9.3 8 ビット PWM」、ビット 0 については「9.2 14 ビット PWM」を参照してください。

ビット 7、6：ブザー出力選択ビット (BUZZ1、BUZZ0)

ブザー出力の周波数、および CTL、時計用発振のモニタ信号を選択します。

ビット 7	ビット 6	出力信号	fosc = 10MHz のとき (kHz)
BUZZ1	BUZZ0		
0	0	/2048 (初期値)	2.44
	1	/4096	1.22
1	0	MON0、MON1 による出力	
	1	8 / 16 ビットリロードタイマの BUZZ 出力	

ビット 5、4：モニタ出力選択ビット (MON1、MON0)

モニタ出力を選択します。

PB-CTL または REC-CTL は、信号のデューティがそのまま出力されます。

DVCTL 信号は、CTL 分周回路からの信号をトグルして出力します。CTL 分周回路により n 分周した信号をさらに 2 分周した波形になります (2n 分周、50% デューティの波形)。

TCA6 は、時計用タイマカウンタのビット 6 を出力します (50% デューティ)。

ビット 5	ビット 4	説明
MON1	MON0	
0	0	PB または REC-CTL (初期値)
	1	DVCTL
1	X	TCA6 の出力 (PSW 使用時は 1Hz)

【注】 X : 0 または 1、Don't care を表します。

ビット3：ノイズキャンセルON/OFFビット（NC on/off）

ビット3	説明
NC on/off	
0	\overline{IC} 端子のノイズキャンセル機能を無効にします。（初期値）
1	\overline{IC} 端子のノイズキャンセル機能を有効にします。 256 ステート間隔で二度サンプリングし、ノイズ判定します。

7.5.4 端子機能

ポート3の端子機能とその選択方法を示します。

(1) $P3_7/\overline{IC}$

PMR3のICビット、PWCRのNC on/offビット、およびPCR3のPCR37により次のように切り替わります。

IC	PCR37	NC on/off	端子機能	
0	0		P3 ₇ 入力端子	
	1		P3 ₇ 出力端子	
1		0	\overline{IC} 入力端子	ノイズキャンセル無効
		1		ノイズキャンセル有効

(2) $P3_6/\overline{NMI}$

PMR3のNMIビットおよびPCR3のPCR36により次のように切り替わります。

NMI	PCR36	端子機能
0	0	P3 ₆ 入力端子
	1	P3 ₆ 出力端子
1		\overline{NMI} 入力端子

(3) $P3_n/\overline{IRQ}_n$

PMR3 の IRQ_n ビットおよび PCR3 の PCR3n により次のように切り替わります。

IRQ_n	PCR3n	端子機能
0	0	P3n 入力端子
	1	P3n 出力端子
1		\overline{IRQ}_n 入力端子

(n = 1 ~ 5)

- 【注】
1. PMR3 の $IRQ_5 \sim IRQ_0$ ビットにより、端子機能を切り替える場合は、割り込み許可フラグを割り込み禁止とした状態で行ってください。また、端子機能を切り替えた後、1 命令において当該割り込み要求フラグを 0 にクリアしてください。
 2. 低消費電力モードに入る前に PMR3 の $IRQ_5 \sim IRQ_0$ ビットにより、外部割り込み入力に設定されている端子は、外部でフローティングにならないようにするか、または、遷移前に PMR1 により汎用入力ポートの設定にしてください。
 3. $\overline{IRQ}_5 \sim \overline{IRQ}_0$ 入力端子は、立ち上がりエッジ、立ち下がりエッジ、または両エッジが IEGR により選択できます。詳細は、「2.2 エッジ切り替え」を参照してください。
 4. \overline{IRQ}_1 、 \overline{IRQ}_2 は、8 / 16 ビットリロードタイムのイベント入力、 \overline{IRQ}_3 はリロードタイムユニットのイベント入力として使用できます。詳細は「8.4 8 / 16 ビットリロードタイム」および「8.5 リロードタイムユニット」を参照してください。

7.5.5 端子状態

ポート3の各動作モードにおける端子状態を表7.13に示します。

表 7.13 ポート3の端子状態

端子名	リセット	アクティブ	スリープ	スタンバイ	ウォッチ	サブ アクティブ
P3 ₇ / \overline{IC}	ハイインピーダンス	動作	保持	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス
P3 ₆ / \overline{NMI}						
P3 ₅ / $\overline{IRQ_5}$						
P3 ₄ / $\overline{IRQ_4}$						
P3 ₃ / $\overline{IRQ_3}$						
P3 ₂ / $\overline{IRQ_2}$						
P3 ₁ / $\overline{IRQ_1}$						
P3 ₀ / $\overline{IRQ_0}$						

【注】 PMRにより、 $\overline{IRQ_5}$ ~ $\overline{IRQ_0}$ 入力端子、 \overline{NMI} 入力端子、 \overline{IC} 入力端子に設定した場合は、アクティブモード、低消費電力モードにかかわらず端子レベルは、HighレベルまたはLowレベルが入力されている必要があります。端子レベルは、中間レベルにならないようにしてください。

7.6 ポート4

7.6.1 概要

ポート4は8ビットの大電流入出力ポートです。シンク電流は10mA max. ($V_{OL} = 1.5V$)となっており、同時ONは4本まで可能です。ポート4の構成を表7.14に示します。

入力と出力とをポートコントロールレジスタ4 (PCR4) で切り替えます。

表 7.14 ポート4の構成

ポート	機能
ポート4	P4 ₇ (大電流入出力ポート)
	P4 ₆ (大電流入出力ポート)
	P4 ₅ (大電流入出力ポート)
	P4 ₄ (大電流入出力ポート)
	P4 ₃ (大電流入出力ポート)
	P4 ₂ (大電流入出力ポート)
	P4 ₁ (大電流入出力ポート)
	P4 ₀ (大電流入出力ポート)

7.6.2 レジスタの構成

ポート4のレジスタ構成を表7.15に示します。

表 7.15 ポート4レジスタの構成

名称	略称	R/W	サイズ	初期値	アドレス
ポートコントロールレジスタ4	PCR4	W	バイト	H'00	H'FFE4
ポートデータレジスタ4	PDR4	R/W	バイト	H'00	H'FFD4

(1) ポートコントロールレジスタ4 (PCR4)

ビット	7	6	5	4	3	2	1	0
	PCR47	PCR46	PCR45	PCR44	PCR43	PCR42	PCR41	PCR40
初期値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

ポートコントロールレジスタ4 (PCR4) は、ポート4の各端子 P4₇ ~ P4₀の入出力をビットごとに制御します。PCR4に1をセットすると対応する P4₇ ~ P4₀端子は出力端子となり、0にクリアすると入力端子になります。

PCR4は8ビットのライト専用のレジスタです。PCR4をリードすると1が読み出されません。リセット時、PCR4はH'00に初期化されます。

ビット n	説明
PCR4n	
0	P4 _n 端子は、入力端子として機能 (初期値)
1	P4 _n 端子は、出力端子として機能

(n = 7 ~ 0)

(2) ポートデータレジスタ4 (PDR4)

ビット	7	6	5	4	3	2	1	0
	PDR47	PDR46	PDR45	PDR44	PDR43	PDR42	PDR41	PDR40
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートデータレジスタ4 (PDR4) は、ポート4の各端子 P4₇ ~ P4₀のデータを格納します。PCR4が1(出力)のとき、ポート4のリードを行うとPDR4の値を直接リードします。そのため端子の状態の影響を受けません。PCR4が0(入力)のときポート4のリードを行うと端子の状態が読み出されます。

PDR4は8ビットのレジスタです。リセット時、PDR4はH'00に初期化されます。

7.6.3 端子機能

ポート 4 は、大電流の CMOS 入出力ポートです。 $I_{OL} = 10\text{mA max.}$ で $V_{OL} = 1.5\text{V}$ となりますが、同時に ON することができる端子は最大 4 本です。

7.6.4 端子状態

ポート 4 の各動作モードにおける端子状態を表 7.16 に示します。

表 7.16 ポート 4 の端子状態

端子名	リセット	アクティブ	スリープ	スタンバイ	ウォッチ	サブアクティブ
P4 ₇ } P4 ₀	ハイインピーダンス	動作	保持	ハイ インピ ーダンス	ハイインピー ダンス	ハイインピー ダンス

7.7 ポート5

7.7.1 概要

ポート5は8ビットの入出力ポートです。ポート5の構成を表7.17に示します。

ポート5は、標準入出力ポート(P5₇~P5₀)とタイマ出力、PWM出力、ブザー出力との兼用端子になってます。切り替えはポートモードレジスタ5(PMR5)とポートコントロールレジスタ5(PCR5)で行います。

表7.17 ポート5の構成

ポート	機能	兼用機能
ポート5	P5 ₇ (標準入出力ポート)	(なし)
	P5 ₆ (標準入出力ポート)	(なし)
	P5 ₅ (標準入出力ポート)	(なし)
	P5 ₄ (標準入出力ポート)	(なし)
	P5 ₃ (標準入出力ポート)	TMO (タイマ出力)
	P5 ₂ (標準入出力ポート)	PWM ₂ (PWM出力)
	P5 ₁ (標準入出力ポート)	PWM ₁ (PWM出力)
	P5 ₀ (標準入出力ポート)	BUZZ (ブザー出力)

7.7.2 レジスタの構成

ポート5のレジスタ構成を表7.18に示します。PWMコントロールレジスタ(PWCR)は、8ビットPWMのレジスタです。TMO端子のブザー出力を制御します。

表7.18 ポート5レジスタの構成

名称	略称	R/W	サイズ	初期値	アドレス
ポートモードレジスタ5	PMR5	R/W	バイト	H'F0	H'FFEE
ポートコントロールレジスタ5	PCR5	W	バイト	H'00	H'FFE5
ポートデータレジスタ5	PDR5	R/W	バイト	H'00	H'FFD5
プルアップMOSセレクトレジスタ	PUR5	R/W	バイト	H'00	H'FFEA
PWMコントロールレジスタ	PWCR	R/W	バイト	H'00	H'FF97

(1) ポートモードレジスタ5 (PMR5)

ビット	7	6	5	4	3	2	1	0
					TMO	PWM2	PWM1	BUZZ
初期値	1	1	1	1	0	0	0	0
R/W					R/W	R/W	R/W	R/W

ポートモードレジスタ5 (PMR5) は、ポート5の各端子機能の切り替えを制御します。切り替えは、ビット単位で指定します。

PMR5は4ビットのリードとライトが可能なレジスタです。リセット時、PMR5はH'F0に初期化されます。

ビット7~4: リザーブビット

リザーブビットです。ライトもリードも無効です。

ビット3: P5₃/TMO 端子切り替え (TMO)

P5₃/TMO 端子を P5₃ 入出力端子として使用するか、TMO 出力端子として使用するかを設定します。

ビット3	説明
TMO	
0	P5 ₃ /TMO 端子は、P5 ₃ 入出力端子として機能 (初期値)
1	P5 ₃ /TMO 端子は、TMO 出力端子として機能

【注】 TMO 端子をリモコン送信に使用する場合、TMO 出力に切り替えた後に、リモコンモードに設定するとタイマ出力の不用意なパルスが出力されることがあります。切り替え、設定は次の順序で行ってください。

- [1] リモコンモード設定
- [2] 8 / 16 ビットカウンタデータ設定
- [3] P5₃ / TMO ビットを TMO 出力端子に切り替え
- [4] ST ビットを 1 にセット

ビット2：P5₂/PWM₂端子切り替え（PWM2）

P5₂/PWM2 端子を P5₂入出力端子として使用するか、PWM₂出力端子として使用するかを設定します。

ビット2	説明
PWM2	
0	P5 ₂ /PWM ₂ 端子は、P5 ₂ 入出力端子として機能（初期値）
1	P5 ₂ /PWM ₂ 端子は、PWM ₂ 出力端子として機能

ビット1：P5₁/PWM₁端子切り替え（PWM1）

P5₁/PWM₁ 端子を P5₁入出力端子として使用するか、PWM₁出力端子として使用するかを設定します。

ビット1	説明
PWM1	
0	P5 ₁ /PWM ₁ 端子は、P5 ₁ 入出力端子として機能（初期値）
1	P5 ₁ /PWM ₁ 端子は、PWM ₁ 出力端子として機能

ビット0：P5₀/BUZZ 端子切り替え（BUZZ）

P5₀/BUZZ 端子を P5₀入出力端子として使用するか、BUZZ 出力端子として使用するかを設定します。BUZZ 出力の選択は「7.7.2（5） PWMコントロールレジスタ（PWCR）」を参照してください。

ビット0	説明
BUZZ	
0	P5 ₀ /BUZZ 端子は、P5 ₀ 入出力端子として機能（初期値）
1	P5 ₀ /BUZZ 端子は、BUZZ 出力端子として機能

(2) ポートコントロールレジスタ5 (PCR5)

ビット	:	7	6	5	4	3	2	1	0
		PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50
初期値	:	0	0	0	0	0	0	0	0
R/W	:	W	W	W	W	W	W	W	W

ポートコントロールレジスタ5 (PCR5) は、ポート5の各端子 P5₇ ~ P5₀の入出力をビットごとに制御します。PCR5に1をセットすると対応する P5₇ ~ P5₀端子は出力端子となり、0にクリアすると入力端子になります。PMR5により当該端子が汎用入出力に設定されている場合に、PCR5およびPDR5の設定が有効となります。

PCR5は8ビットのライト専用レジスタです。リードすると1が読み出されます。リセット時、PCR5はH'00に初期化されます。

ビット n	説明
PCR5n	
0	P5 _n 端子は、入力端子として機能 (初期値)
1	P5 _n 端子は、出力端子として機能

(n = 7 ~ 0)

(3) ポートデータレジスタ5 (PDR5)

ビット	:	7	6	5	4	3	2	1	0
		PDR57	PDR56	PDR55	PDR54	PDR53	PDR52	PDR51	PDR50
初期値	:	0	0	0	0	0	0	0	0
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートデータレジスタ5 (PDR5) は、ポート5の各端子 P5₇ ~ P5₀のデータを格納するレジスタです。PCR5が1(出力)のとき、ポート5のリードを行うとPDR5の値を直接リードします。そのため端子の状態の影響を受けません。PCR5が0(入力)のときポート5のリードを行うと端子の状態が読み出されます。

PDR5は、8ビットのレジスタです。リセット時、PDR5はH'00に初期化されます。

(4) プルアップ MOS セレクトレジスタ (PUR5)

ビット	:	7	6	5	4	3	2	1	0
		PUR7	PUR6	PUR5	PUR4	PUR3	PUR2	PUR1	PUR0
初期値	:	0	0	0	0	0	0	0	0
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

プルアップ MOS セレクトレジスタ (PUR5) は、ポート 5 のプルアップ MOS の ON / OFF を制御します。PCR5 の当該ビットにより入力 (0) に設定された端子にのみ有効になります。端子が出力 (1) になっているとき、PUR5 の当該ビットは無効となり、プルアップ MOS は OFF になります。

PUR5 は 8 ビットのリードとライトが可能なレジスタです。リセット時、PUR5 は H'00 に初期化されます。

ビット n	説明
PURn	
0	P5 _n 端子は、プルアップ MOS なしとなります。(初期値)
1	P5 _n 端子は、プルアップ MOS 付き端子となります。

(n = 7 ~ 0)

(5) PWM コントロールレジスタ (PWCR)

ビット	:	7	6	5	4	3	2	1	0
		BUZZ1	BUZZ0	MON1	MON0	NCon/off	PWC2	PWC1	PWCR0
初期値	:	0	0	0	0	0	0	0	0
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWM コントロールレジスタ (PWCR) は、ブザー出力周波数の選択や PWM の制御を行うレジスタです。PWCR は、8 ビットのリードとライトが可能なレジスタです。リセット時、PWCR は H'00 に初期化されます。

ここでは、ビット 7~4 のブザー出力、モニタ出力の選択についてのみ示します。ビット 3 については、「7.5.3 ノイズキャンセル回路」、ビット 2、1 については「9.3 8 ビット PWM」の項を参照してください。

ビット7、6：ブザー出力選択ビット（BUZZ1、BUZZ0）

ブザー出力の周波数、およびCTL、時計用発振のモニタ信号を選択します。

ビット7	ビット6	出力信号	$f_{osc} = 10\text{MHz}$ のとき (kHz)
BUZZ1	BUZZ0		
0	0	/2048 (初期値)	2.44
	1	/4096	1.22
1	0	MON0、MON1 による出力	
	1	8 / 16 ビットリロードタイマの BUZZ 出力	

ビット5、4：モニタ出力選択ビット（MON1、MON0）

モニタ出力を選択します。

PB-CTLまたはREC-CTLは、信号のデューティがそのまま出力されます。

DVCTL信号は、CTL分周回路からの信号をトグルして出力します。CTL分周回路によりn分周した信号をさらに2分周した波形になります（2n分周、50%デューティの波形）。

TCA6は、時計用タイマカウンタのビット6を出力します（50%デューティ）。

ビット5	ビット4	説明
MON1	MON0	
0	0	PBまたはREC-CTL (初期値)
	1	DVCTL
1	X	TCA6の出力（PSW使用時は1Hz）

【注】 X：0または1、Don't careを表します。

7.7.3 端子機能

ポート5の端子機能とその選択方法を示します。

(1) P5₃/TMO

PMR5のTMOビットとPCR5のPCR53ビットにより次のように切り替わります。

TMO	PCR53	端子機能
0	0	P5 ₃ 入力端子
	1	P5 ₃ 出力端子
1		TMO出力端子

(2) P5₂/PWM2

PMR5のPWM2ビットとPCR5のPCR52ビットにより次のように切り替わります。

PWM2	PCR52	端子機能
0	0	P5 ₂ 入力端子
	1	P5 ₂ 出力端子
1		PWM2出力端子

(3) P5₁/PWM1

PMR5のPWM1ビットとPCR5のPCR51ビットにより次のように切り替わります。

PWM1	PCR51	端子機能
0	0	P5 ₁ 入力端子
	1	P5 ₁ 出力端子
1		PWM1出力端子

(4) P5₀/BUZZ

PMR5のBUZZビットとPCR5のPCR50ビットにより次のように切り替わります。

BUZZ	PCR50	端子機能
0	0	P5 ₀ 入力端子
	1	P5 ₀ 出力端子
1		BUZZ出力端子

7.7.4 端子状態

ポート5の各動作モードにおける端子状態を表7.19に示します。

表 7.19 ポート5の端子状態

端子名	リセット	アクティブ	スリープ	スタンバイ	ウォッチ	サブアクティブ
P5 ₇	ハイインピーダンス	動作	保持	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス
P5 ₆						
P5 ₅						
P5 ₄						
P5 ₃ /TMO						
P5 ₂ /PWM2						
P5 ₁ /PWM1						
P5 ₀ /BUZZ						

7.8 ポート6

7.8.1 概要

ポート6は5ビットの入出力ポートです。ポート6の構成を表7.20に示します。

ポート6は、標準入出力ポート（P6₇~P6₃）と垂直同期信号入力、キャラクタデータ出力、キャラクタ縁取りデータ出力との兼用端子になってます。切り替えはポートモードレジスタ6（PMR6）とポートコントロールレジスタ6（PCR6）で行います。

表 7.20 ポート6の構成

ポート	機能	兼用機能
ポート6	P6 ₇ （標準入出力ポート）	V _{sync} （垂直同期信号入力）
	P6 ₆ （標準入出力ポート）	YCO1（キャラクタデータ出力）
	P6 ₅ （標準入出力ポート）	YEO1（キャラクタ縁取りデータ出力）
	P6 ₄ （標準入出力ポート）	YCO2（キャラクタデータ出力）
	P6 ₃ （標準入出力ポート）	YEO2（キャラクタ縁取りデータ出力）

7.8.2 レジスタの構成

ポート6のレジスタ構成を表7.21に示します。

表 7.21 ポート6レジスタの構成

名称	略称	R/W	サイズ	初期値	アドレス
ポートモードレジスタ6	PMR6	R/W	バイト	H'07	H'FFEF
ポートコントロールレジスタ6	PCR6	W	バイト	H'07	H'FFE6
ポートデータレジスタ6	PDR6	R/W	バイト	H'07	H'FFD6

(1) ポートモードレジスタ6（PMR6）

ビット	:	7	6	5	4	3	2	1	0
		Vsync	YCO1	YEO1	YCO2	YEO2			
初期値	:	0	0	0	0	0	1	1	1
R/W	:	R/W	R/W	R/W	R/W	R/W			

ポートモードレジスタ6（PMR6）は、ポート6の各端子機能の切り替えを制御します。ビット単位で指定します。

PMR6は5ビットのリードとライトが可能なレジスタです。リセット時、PMR6はH'07に初期化されます。

ビット7：P6₇/Vsync 端子切り替え（Vsync）

P6₇/Vsync 端子を P6₇ 入出力端子として使用するか、Vsync 入力端子として使用するかを設定します。

ビット7	説明
Vsync	
0	P6 ₇ /Vsync 端子は、P6 ₇ 入出力端子として機能 (初期値)
1	P6 ₇ /Vsync 端子は、Vsync 入力端子として機能

ビット6：P6₆/YCO₁ 端子切り替え（YCO1）

P6₆/YCO₁ 端子を P6₆ 入出力端子として使用するか、YCO₁ 出力端子として使用するかを設定します。

ビット6	説明
YCO1	
0	P6 ₆ /YCO ₁ 端子は、P6 ₆ 入出力端子として機能 (初期値)
1	P6 ₆ /YCO ₁ 端子は、YCO ₁ 出力端子として機能

ビット5：P6₅/YEO₁ 端子切り替え（YEO1）

P6₅/YEO₁ 端子を P6₅ 入出力端子として使用するか、YEO₁ 出力端子として使用するかを設定します。

ビット5	説明
YEO1	
0	P6 ₅ /YEO ₁ 端子は、P6 ₅ 入出力端子として機能 (初期値)
1	P6 ₅ /YEO ₁ 端子は、YEO ₁ 出力端子として機能

ビット4：P6₄/YCO₂ 端子切り替え（YCO2）

P6₄/YCO₂ 端子を P6₄ 入出力端子として使用するか、YCO₂ 出力端子として使用するかを設定します。

ビット4	説明
YCO2	
0	P6 ₄ /YCO ₂ 端子は、P6 ₄ 入出力端子として機能 (初期値)
1	P6 ₄ /YCO ₂ 端子は、YCO ₂ 出力端子として機能

ビット3：P6₃/YEO₂端子切り替え（YEO2）

P6₃/YEO₂端子をP6₃入出力端子として使用するか、YEO₂出力端子として使用するかを設定します。

ビット3	説明
YEO2	
0	P6 ₃ /YEO ₂ 端子は、P6 ₃ 入出力端子として機能 (初期値)
1	P6 ₃ /YEO ₂ 端子は、YEO ₂ 出力端子として機能

ビット2～0：リザーブビット

リザーブビットです。リードもライトも無効です。

(2) ポートコントロールレジスタ6（PCR6）

ビット	7	6	5	4	3	2	1	0
	PCR67	PCR66	PCR65	PCR64	PCR63			
初期値	0	0	0	0	0	1	1	1
R/W	W	W	W	W	W			

ポートコントロールレジスタ6（PCR6）は、ポート6の各端子P6₇～P6₃の入出力をビットごとに制御します。PCR6に1をセットすると対応するP6₇～P6₃端子は出力端子となり、0にクリアすると入力端子になります。PMR6により当該端子が汎用入出力に設定されている場合に、PCR6およびPDR6の設定が有効となります。

PCR6は5ビットのライト専用レジスタです。リードすると1が読み出されます。リセット時、PCR6はH'07に初期化されます。

ビットn	説明
PCR6n	
0	P6n端子は、入力端子として機能 (初期値)
1	P6n端子は、出力端子として機能

(n=7～3)

(3) ポートデータレジスタ 6 (PDR6)

ビット	:	7	6	5	4	3	2	1	0
		PDR67	PDR66	PDR65	PDR64	PDR63			
初期値	:	0	0	0	0	0	1	1	1
R/W	:	R/W	R/W	R/W	R/W	R/W			

ポートデータレジスタ 6 (PDR6) は、ポート 6 の各端子 P6₇ ~ P6₃ のデータを格納するレジスタです。PCR6 が 1 (出力) のとき、ポート 6 のリードを行うと PDR6 の値を直接リードします。そのため端子の状態の影響を受けません。PCR6 が 0 (入力) のときポート 6 のリードを行うと端子の状態が読み出されます。

PDR6 は、5 ビットのレジスタです。リセット時、PDR6 は H'07 に初期化されます。

7.8.3 端子機能

ポート 6 の端子機能とその選択方法を示します。

(1) P6₇/Vsync

PMR6 の Vsync ビットと PCR6 の PCR67 ビットにより次のように切り替わります。

Vsync	PCR67	端子機能
0	0	P6 ₇ 入力端子
	1	P6 ₇ 出力端子
1		Vsync 入力端子

(2) P6₆/YCO1

PMR6 の YCO1 ビットと PCR6 の PCR66 ビットにより次のように切り替わります。

YCO1	PCR66	端子機能
0	0	P6 ₆ 入力端子
	1	P6 ₆ 出力端子
1		YCO ₁ 出力端子

(3) P6₅/YEO1

PMR6のYEO1ビットとPCR6のPCR65ビットにより次のように切り替わります。

YEO1	PCR65	端子機能
0	0	P6 ₅ 入力端子
	1	P6 ₅ 出力端子
1		YEO ₁ 出力端子

(4) P6₄/YCO2

PMR6のYCO2ビットとPCR6のPCR64ビットにより次のように切り替わります。

YCO2	PCR64	端子機能
0	0	P6 ₄ 入力端子
	1	P6 ₄ 出力端子
1		YCO ₂ 出力端子

(5) P6₃/YEO2

PMR6のYEO2ビットとPCR6のPCR63ビットにより次のように切り替わります。

YEO2	PCR63	端子機能
0	0	P6 ₃ 入力端子
	1	P6 ₃ 出力端子
1		YEO ₂ 出力端子

7.8.4 端子状態

ポート6の各動作モードにおける端子状態を表7.22に示します。

表7.22 ポート6の端子状態

端子名	リセット	アクティブ	スリープ	スタンバイ	ウォッチ	サブアクティブ
P6 ₇ /Vsync	ハイ	動作	保持	ハイ	ハイ	ハイ
P6 ₆ /YCO ₁	インピー ダンス			インピーダンス	インピーダンス	インピーダンス
P6 ₅ /YEO ₁						
P6 ₄ /YCO ₂						
P6 ₃ /YEO ₂						

7.9 ポート7

7.9.1 概要

ポート7は5ビットの入出力ポートです。ポート7の構成を表7.23に示します。

ポート7は、標準入出力ポート（P7₄~P7₀）とHSW タイミング生成回路の出力端子との兼用端子になってます。切り替えはPPG セレクトレジスタ7（PPR7）とポートコントロールレジスタ7（PCR7）で行います。

表 7.23 ポート7の構成

ポート	機 能	兼用機能
ポート7	P7 ₄ （標準入出力ポート）	PPG74（HSW タイミング出力）
	P7 ₃ （標準入出力ポート）	PPG73（HSW タイミング出力）
	P7 ₂ （標準入出力ポート）	PPG72（HSW タイミング出力）
	P7 ₁ （標準入出力ポート）	PPG71（HSW タイミング出力）
	P7 ₀ （標準入出力ポート）	PPG70（HSW タイミング出力）

7.9.2 レジスタの構成

ポート7のレジスタ構成を表7.24に示します。

表 7.24 ポート7レジスタの構成

名 称	略 称	R/W	サイズ	初期値	アドレス
PPG セレクトレジスタ7	PPR7	W	バイト	H'E0	H'FFDC
ポートコントロールレジスタ7	PCR7	W	バイト	H'E0	H'FFE7
ポートデータレジスタ7	PDR7	R/W	バイト	H'E0	H'FFD7

(1) PPG セレクトレジスタ 7 (PPR7)

ビット	:	7	6	5	4	3	2	1	0
					PPR74	PPR73	PPR72	PPR71	PPR70
初期値	:	1	1	1	0	0	0	0	0
R/W	:				W	W	W	W	W

PPG セレクトレジスタ 7 (PPR7) は、ポート 7 を、汎用入出力端子とするか、HSW タイミング生成回路 (= プログラマブルパターンジェネレータ : PPG) の出力端子とするかをビットごとに制御します。PPR7 に 1 をセットすると対応する P7₄ ~ P7₀ 端子は PPG 出力端子となり、0 にクリアすると汎用入出力端子になります。PPR7 により当該端子が汎用入出力に設定されている場合に、PCR7 および PDR7 の設定が有効となります。

PPR7 は 5 ビットのライト専用レジスタです。リードすると 1 が読み出されます。リセット時、PPR7 は H'E0 に初期化されます。

プログラマブルパターンジェネレータ (PPG) については、「13.4 HSW タイミング生成回路」を参照してください。

ビット 4 ~ 0 : P7_n/PPG7_n 端子切り替え (PPR7_n)

P7_n/PPG7_n 端子を P7_n 入出力端子として使用するか、PPG7_n 出力端子として使用するかを設定します。

ビット n	説明
PPR7 _n	
0	P7 _n /PPG7 _n 端子は、P7 _n 入出力端子として機能 (初期値)
1	P7 _n /PPG7 _n 端子は、PPG7 _n 出力端子として機能

(n = 4 ~ 0)

(2) ポートコントロールレジスタ 7 (PCR7)

ビット	:	7	6	5	4	3	2	1	0
					PCR74	PCR73	PCR72	PCR71	PCR70
初期値	:	1	1	1	0	0	0	0	0
R/W	:				W	W	W	W	W

ポートコントロールレジスタ 7 (PCR7) は、ポート 7 の各端子 P7₄ ~ P7₀ の入出力をビットごとに制御します。PCR7 に 1 をセットすると対応する P7₄ ~ P7₀ 端子は出力端子となり、0 にクリアすると入力端子になります。PPR7 により当該端子が汎用入出力に設定されている場合に、PCR7 および PDR7 の設定が有効となります。

PCR7 は 5 ビットのライト専用レジスタです。リードすると 1 が読み出されます。リセット時、PCR7 は H'E0 に初期化されます。

ビット n	説明
PCR7n	
0	P7 _n 端子は、入力端子として機能 (初期値)
1	P7 _n 端子は、出力端子として機能

(n = 4 ~ 0)

(3) ポートデータレジスタ 7 (PDR7)

ビット	:	7	6	5	4	3	2	1	0
					PDR74	PDR73	PDR72	PDR71	PDR70
初期値	:	1	1	1	0	0	0	0	0
R/W	:				R/W	R/W	R/W	R/W	R/W

ポートデータレジスタ 7 (PDR7) は、ポート 7 の各端子 P7₄ ~ P7₀ のデータを格納するレジスタです。PCR7 が 1 (出力) のとき、ポート 1 のリードを行うと PDR7 の値を直接リードします。そのため端子の状態の影響を受けません。PCR7 が 0 (入力) のときポート 7 のリードを行うと端子の状態が読み出されます。

PDR7 は、5 ビットのレジスタです。リセット時、PDR7 は H'E0 に初期化されます。

7.9.3 端子機能

ポート7の端子機能とその選択方法を示します。

$P7_n$ / $PPG7_n$

$PPR7_n$ および $PCR7_n$ の各ビットにより次のように切り替わります。

PPR7n	PCR7n	端子機能
0	0	$P7_n$ 入力端子
	1	$P7_n$ 出力端子
1		$PPG7_n$ 出力端子

($n = 4 \sim 0$)

7.9.4 端子状態

ポート7の各動作モードにおける端子状態を表7.25に示します。

表7.25 ポート7の端子状態

端子名	リセット	アクティブ	スリープ	スタンバイ	ウォッチ	サブアクティブ
$P7_4$ / $PPG7_4$ }	ハイインピーダンス	動作	保持	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス
$P7_0$ / $PPG7_0$						

8. タイマ

第8章 目次

8.1	概要	191
	8.1.1 プリスケーラの動作	193
8.2	時計用タイマ	194
	8.2.1 概要	194
	8.2.2 各レジスタの説明	195
	8.2.3 動作説明	198
8.3	8 / 16 ビットリロードタイマ	199
	8.3.1 概要	199
	8.3.2 各レジスタの説明	206
8.4	リロードタイマユニット	213
	8.4.1 概要	213
	8.4.2 各レジスタの説明	220
	8.4.3 割り込み要因	228
	8.4.4 各動作の設定例	228
8.5	フリーランニングカウンタ	232
	8.5.1 概要	232
	8.5.2 8 ビットインプットキャプチャ	234
	8.5.3 18 ビットインプットキャプチャ	235
8.6	リニアタイムカウンタ	236
	8.6.1 概要	236
	8.6.2 各レジスタの説明	238
	8.6.3 動作説明	241
	8.6.4 リニアタイムカウンタの動作モード	244
8.7	リロードタイマの割り込み要求信号	245

8.1 概要

このLSIは、時計用タイマ、リニアタイムカウンタ、3種のタイマユニット、およびプリスケアラWを内蔵しています。

タイマユニットは次の3種類です。

- (1) 8ビットのリロードタイマ/カウンタを2本組み合わせた8/16ビットリロードタイマ
- (2) 8ビットのリロードタイマ/カウンタを3本組み合わせ、VTR用の機能を持ったリロードタイマユニット
- (3) プリスケアラ機能を持った19ビットのフリーランニングカウンタ

フリーランニングカウンタ(FRC)はプリスケアラ(PSS)としても機能します。このプリスケアラ機能はシステムクロック($f_{OSC}/2$)を入力クロックとする13ビットのカウンタで、周辺機能を動作させるための分周クロックを発生します。

プリスケアラWはサブクロック($f_{SUB} = f_X/8$)を入力クロックとする5ビットのカウンタで、分周した出力を時計用タイムベース動作に使用します。

各タイマの機能概要を表8.1に示します。

表 8.1 タイマ機能概要

タイマ名称	機能	クロックソース (動作クロック)	入 力	出力 (信号、 割り込み)
時計用タイマ	8ビットインターバルタイマ ----- 時計用タイムベース	PSS、PSW (/8 ~ /8192、 SUB/32)		
8/16ビットリロードタイマ (タイマユニット)	8ビットリロードタイマ×2ch ----- 16ビットリロードタイマ ----- 8ビットリロードタイマ +8ビットイベントカウンタ ----- 16ビットイベントカウンタ ----- リモコン送信 ----- イベントカウント可能	PSS、 $\overline{\text{IRQ}}_1$ 、 $\overline{\text{IRQ}}_2$		BUZZ、 TMO、 IRRRT1、 IRRRT2
リロードタイマ ユニット (タイマ マユニット)	8ビットリロードタイマ×3ch ----- カウントアップ/ダウン ----- 8ビットリロード ×2ch +インプットキャプチャ ----- モード判別 ----- キャプスタンモータ加減速処理 ----- スロートラッキング MM	PSS、CFG、PB および REC-CTL		IRRU1、 IRRU2、 IRRU3
フリーランニング カウンタ (タイマ ユニット)	8ビット PWM ----- 8ビットインプットキャプチャ ----- 18ビットインプットキャプチャ	f_{osc}	$\overline{\text{IC}}$ 、 $\overline{\text{IRQ}}_3$	PWM1、 PWM2、 (/2 ~ /8192)
リニアタイム カウンタ	テープカウント用アップ/ダウンカ ウンタ	PSS、PBまたは REC-CTL、CFG 分周		IRRLTC

8.1.1 プリスケーラの動作

(1) プリスケーラ S (PSS)

PSS はシステムクロック ($f_{osc}/2$) を入力クロックとする 13 ビットのカウンタです。19 ビットのフリーランニングカウンタ (FRC) の下位 13 ビットが PSS となります。カウンタは 1 サイクルごとにカウントアップします。PSS の出力は、タイマ、シリアルコミュニケーションインタフェースなどの周辺機能で共用しており、分周比は各内蔵周辺機能で独立に設定できます。

リセット時、カウンタは H'0000 に初期化され、リセット解除後、カウントアップを開始します。スタンバイモード、ウォッチモード、およびサブアクティブモードでは、システムクロック () 発振器が停止するため、PSS の動作も停止します。このとき、その値は H'0000 にリセットされます。

CPU から FRC のリードまたはライトはできません。

(2) プリスケーラ W (PSW)

PSW はサブクロック ($f_{sub} = f_x/8$) を入力クロックとする 5 ビットのカウンタです。

PSW の出力は、時計用タイマの動作クロックとして使用できます。このとき、時計用タイマは時計用タイムベースとして機能します。

リセット時、PSW は H'00 に初期化され、リセット解除後、カウントアップを開始します。スタンバイモード、ウォッチモード、およびサブアクティブモードに移行しても、 X_1 、 X_2 端子によりクロックが供給されているかぎり、PSW は動作を継続します。

PSW は、タイマモードレジスタ A (TMA) の TMA3、TMA2 ビットをそれぞれ 1 に設定することでリセットできます。

PSS、PSW による周辺機能へのクロックの供給を、図 8.1 に示します。

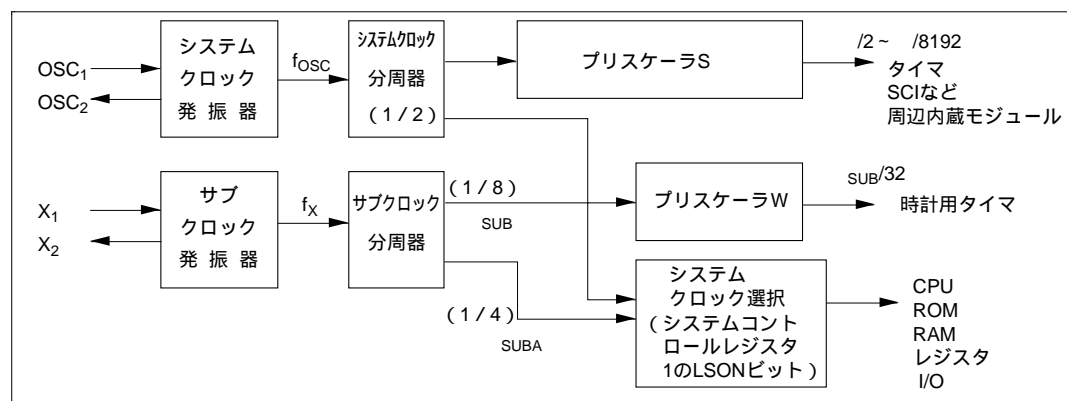


図 8.1 クロック供給

8.2 時計用タイマ

8.2.1 概要

時計用タイマは 8 ビットのインターバルタイマです。32.768kHz の水晶発振子を接続すると時計用タイマとして使用できます。

(1) 特長

時計用タイマの特長を以下に示します。

8 種類の内部クロック (/8192、 /4096、 /2048、 /512、 /256、 /128、 /32、 /8) が選択可能です。

時計用タイマとして 4 種類のオーバーフロー周期 (2s、 1s、 0.5s、 125ms) が選択可能です。(32.768kHz 水晶発振子を使用)

カウンタのオーバーフローで割り込み要求を発生します。

(2) ブロック図

時計用タイマのブロック図を図 8.2 に示します。

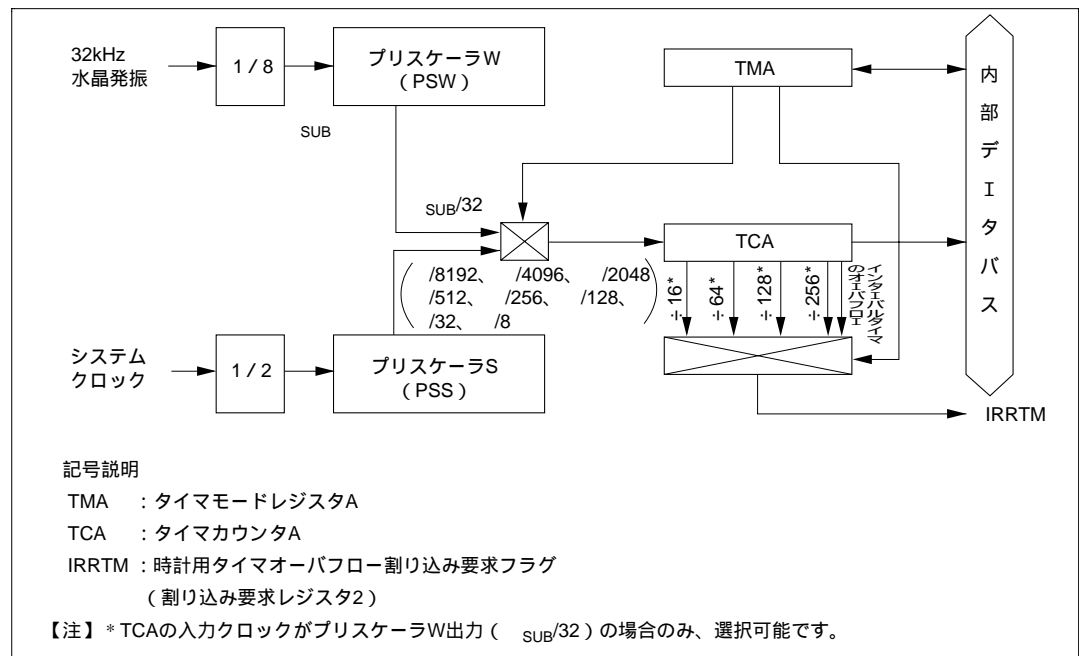


図 8.2 時計用タイマブロック図

(3) レジスタ構成

時計用タイマのレジスタ構成を表 8.2 に示します。

表 8.2 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
タイマモードレジスタ A	TMA	R/W	バイト	H'00	H'FFC0
タイマカウンタ A	TCA	R	バイト	H'00	H'FFC1

8.2.2 各レジスタの説明

(1) タイマモードレジスタ A (TMA)

ビット	:	7	6	5	4	3	2	1	0
						TMA3	TMA2	TMA1	TMA0
初期値	:	0	0	0	0	0	0	0	0
R/W	:	R/W*	R/W*	R/W*	R/(W)*	R/W	R/W	R/W	R/W

【注】 * TMA7～4 は常に 0 ライトしてください。

タイマモードレジスタ A (TMA) は、8 ビットのリードとライトが可能なレジスタで、時計用タイマの PSS、PSW、および入力クロックの選択を行います。

TMA は、リセット時 H'00 に初期化されます。

ビット 7～4 : リザーブビット

リザーブビットです。ライトする場合は必ず 0 をライトしてください。

ビット 3 : クロックソース、プリスケアラ選択 (TMA3)

時計用タイマのクロックソースを PSS とするか PSW とするかを選択します。

ビット 3	説 明
TMA3	
0	時計用タイマのクロックソースは PSS (初期値)
1	時計用タイマのクロックソースは PSW

ビット2~0：クロックセレクト (TMA2 ~ TMA0)

TCAに入力するクロックを選択します。TMA3ビットとの組み合わせで以下のようになります。

ビット3	ビット2	ビット1	ビット0	プリスケ - ラ分周比 (インタ - パルタイマ)、またはオ - パフ ロ - 周期 (タイムベ - ス)	動作モード
TMA3	TMA2	TMA1	TMA0		
0	0	0	0	PSS、 /8192 (初期値)	インターバル タイマモード
			1	PSS、 /4096	
		1	0	PSS、 /2048	
			1	PSS、 /512	
	1	0	0	PSS、 /256	
			1	PSS、 /128	
		1	0	PSS、 /32	
			1	PSS、 /8	
1	0	0	0	2s	時計用タイム ベースモード
			1	1s	
		1	0	0.5s	
			1	125ms	
	1	0	0	PSW および TCA リセット	
			1		
		1	0		
			1		

【注】 $= f_{osc}/2$

(2) タイマカウンタ A (TCA)

ビット	:	7	6	5	4	3	2	1	0
		TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
初期値	:	0	0	0	0	0	0	0	0
R/W	:	R	R	R	R	R	R	R	R

TCA は、8 ビットのリード可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックは、TMA の TMA3 ~ TMA0 ビットにより選択します。TCA の値は、インターバルタイマ動作時は CPU からリードできますが、時計用タイマ動作時には TCA をリードすることはできません。

TCA は、TMA の TMA3、TMA2 ビットをそれぞれ 1 にセットすることでクリアできます。

TCA がオーバーフローすると、割り込み要求レジスタ 2 (IRQR2) の IRRTM ビットが 1 にセットされます。

TCA は、リセット時 H'00 に初期化されます。

8.2.3 動作説明

時計用タイマは 8 ビットのタイマで、インターバルタイマとして、また、32.768kHz の水晶発振子を接続すると、タイマベースとして使用できます。

(1) インターバルタイマの動作

TMA の TMA3 ビットを 0 にクリアすると、時計用タイマは 8 ビットインターバルタイマとして動作します。

リセットで、TCA は H'00 に、また、TMA3 ビットは 0 にクリアされるため、リセット直後は、インターバルカウンタとして停止することなくカウントアップを続けます。時計用タイマの動作クロックは、TMA の TMA2 ~ TMA0 ビットにより、PSS の出力する 8 種類の内部クロックを選択できます。

TCA のカウント値が H'FF になった後、クロックが入力されると、時計用タイマはオーバフローし、割り込み要求レジスタ 2 (IRQR2) の IRRTM ビットが 1 にセットされます。このとき、割り込み許可レジスタ 2 (IENR2) の IENTM ビットが 1 ならば CPU に割り込みを要求します。*

オーバフロー時には、TCA のカウント値は H'00 に戻り、再びカウントアップを開始します。したがって、256 の入力クロックごとに、周期的にオーバフロー出力を発生するインターバルタイマとして動作します。

【注】 * 割り込みについての詳細は、「第 3 章 システムコントロール」を参照してください。

(2) 時計用タイマの動作

TMA の TMA3 ビットを 1 にセットすると、時計用タイマはタイムベースとして動作します。

時計用タイマのオーバフロー周期は、TMA の TMA1、TMA0 ビットにより、PSW の出力するクロックをカウントして 4 種類を選択できます。

(3) カウントの初期化

TMA3、TMA2 ビットをそれぞれ 1 にセットすると、PSW と TCA はリセット状態 (0 で停止) になります。この状態から TMA3 ビットに 1、TMA2 ビットに 0 を書き込むことにより、時計用タイマはタイムベースモードで 0 からカウントを開始します。

リセット状態から TMA3 ビットに 0、TMA2 ビットに 0 または 1 を書き込むと、インターバルタイマモードで 0 からカウントを開始しますが、PSS は初期化されていないので、TMA3 に 0、TMA2 に 0 または 1 を書き込んでから最初のカウントまでの期間は一定ではありません。

8.3 8 / 16 ビットリロードタイマ

8.3.1 概要

8 / 16 ビットリロードタイマは 2 本の 8 ビットダウンカウンタで構成されています。リロード、イベントカウンタなど 5 種類の動作モードがあります。

(1) 特長

8 / 16 ビットリロードタイマは、8 ビットのリロードタイマ 2 本から構成されており、次の各種の機能を切り換えて使用できます。

- (a) 2 本の 8 ビットリロードタイマ (内 1 本はタイマ出力可)
- (b) 8 ビットイベントカウンタ (リロード可) + 8 ビットリロードタイマ
- (c) 16 ビットイベントカウンタ (16 ビットリロード可)
- (d) 16 ビットリロードタイマ (16 ビットリロード可)
- (e) リモコン送信

(2) ブロック図

8 / 16 ビットリロードタイマのブロック図を図 8.3 に示します。RDT-1 と RDT-2 の 2 本のリロードタイマにより構成されています。

(3) 8 ビットリロードタイマ (RDT-1)

RDT-1 は 8 ビットリロードタイマです。クロックソースは、分周クロックと \overline{IRQ}_1 端子のエッジ信号となっています。 \overline{IRQ}_1 端子のエッジ信号を選択することにより、イベントカウンタとしても使用可能です。イベントカウンタ動作時でもリロード機能が同時に動作可能です。

カウンタのアンダフローによりリロードレジスタのデータがカウンタにリロードされます。リロードレジスタにデータを書き込むと、カウンタにも同時に書き込まれます。

カウンタのアンダフローにより割り込み要求が発生します。

アンダフローはトグルされ、分周クロックを適切に選ぶことにより、ブザー出力またはリモコン送信時のキャリア周波数となります。

RDT-1 は、RDT-2 と組み合わせて、16 ビットのリロードタイマとして動作可能です。16 ビットモード時は、RDT-2 のリロードレジスタにデータを書き込むことにより、RDT-1 のリロードレジスタの値がカウンタに書き込まれます。この時、RDT-1 の割り込み要求 (IRRRT1) および BUZZ 出力は有効です。不要の場合は、プログラムで無効にしてください。16 ビットモード時は、ワード命令のみ有効で、TLC が上位 8 ビット、TLB が下位 8 ビットの、計 16 ビットのリロードレジスタとして動作します。

RDT-1 は、RDT-2 と組み合わせて、リモコン送信動作が可能です。リモコン送信動作については、「8.3.1 (5) リモコン送信動作」を参照してください。

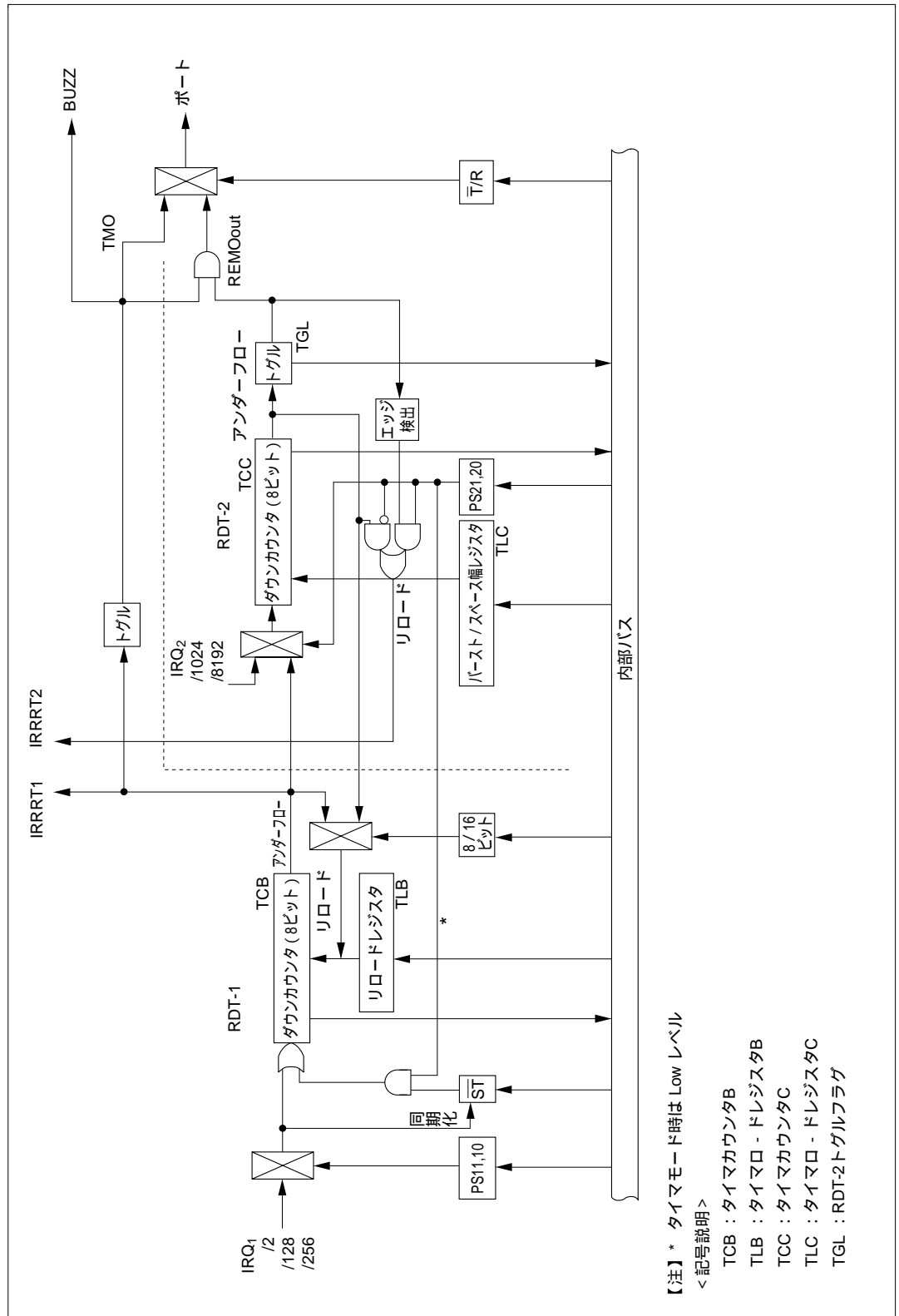


図 8.3 8 / 16 ビットリロードタイマのブロック図

(4) 8 ビットリロードタイマ (RDT-2)

RDT-2はダウンカウント動作の8ビットリロードタイマです。クロックソースは、分周クロック、 $\overline{\text{IRQ}}_2$ 端子のエッジ信号、およびRDT-1のアンダフロー信号となっています。 $\overline{\text{IRQ}}_2$ 端子のエッジ信号を選択することにより、イベントカウンタとしても使用可能です。

カウンタのアンダフローによりリロードレジスタのデータがカウンタにリロードされます。リロードレジスタにデータを書き込むと、カウンタにも同時に書き込まれます。

カウンタのアンダフローにより割り込み要求が発生します。

RDT-1は、RDT-2と組み合わせて、16ビットのリロードタイマとして動作可能です。16ビットリロードタイマについては、(3)8ビットリロードタイマ(RDT-1)の項を参照してください。

RDT-1は、RDT-2と組み合わせて、リモコン送信動作が可能です。リモコン送信動作については、(5)リモコン送信動作の項を参照してください。

(5) リモコン送信動作

8/16ビットリロードタイマでリモコン送信動作が可能です。RDT-1でリモコン信号のキャリア周波数を作成し、RDT-2でバースト幅、スペース幅の期間を作成します。

RDT-1のリロードレジスタ、RDT-2のバースト/スペース幅レジスタに書き込んだ値は、リモコンスタート(リモコン動作スタートビット(ST) 1)と同時に、カウンタにロードされます。送信中はバースト/スペース幅レジスタの内容は、アンダフロー信号によるリロード時のみカウンタにロードされます。送信中に書き込みを行っても、アンダフロー信号が発生するまで、リロード動作を行いません。RDT-2はリロード信号により割り込み要求が発生します。RDT-1は通常のリロード動作(割り込み要求も含む)を行います。

リモコン送信機能の出力波形を図 8.4 (a)、(b) に示します。

リモコン動作中に低消費電力モードに遷移すると、ST ビットがクリアされます。アクティブモードへ復帰後は、ST ビットに 1 ライトをして再スタートしてください。

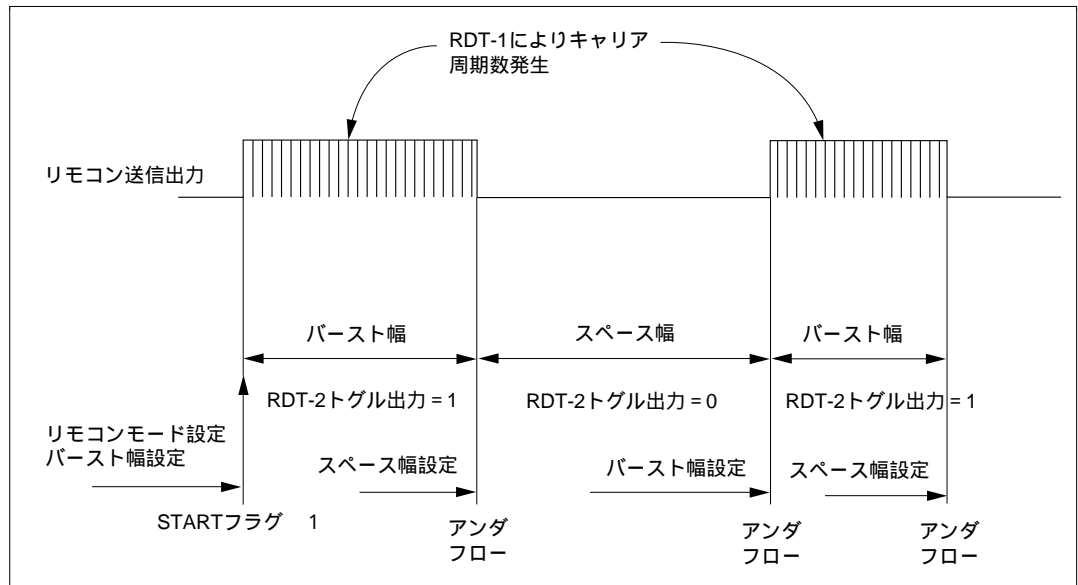


図 8.4 (a) リモコン送信出力波形

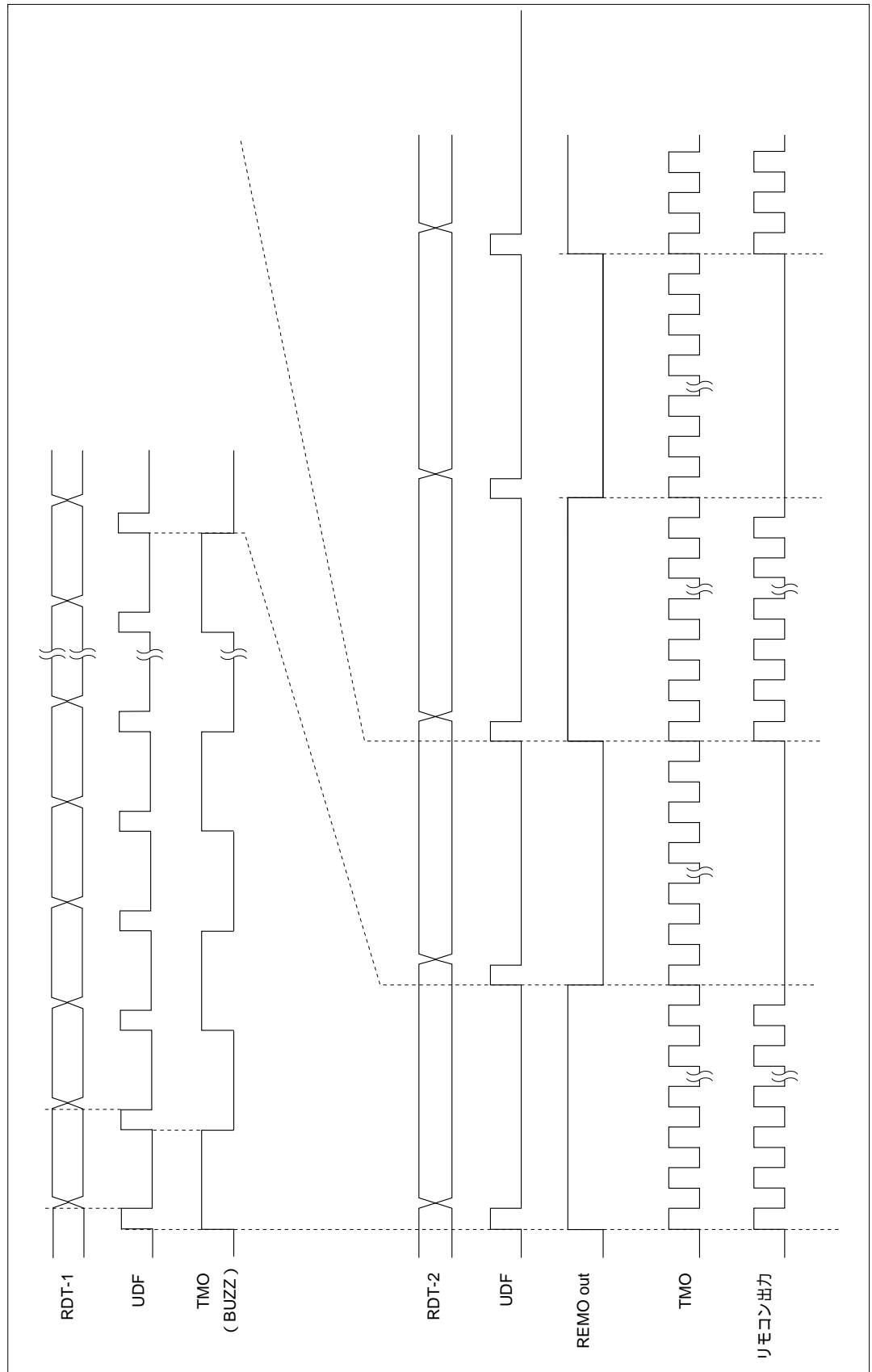


図 8.4 (b) タイマ出力のタイミング

8/16ビットリロードタイマをリモコンモードにすると、スタートビット（ST）はRDT-2のクロックソースに同期してセット/リセットされるため、STビットに1をセットしてからリモコン送信動作に入るまで、最大でクロックソースの周期分だけ遅延が生じます。そのため、STビットに1をセットしてからソースクロックの次の周期が来るまでの間にTLCを書き換えると、最初のバースト幅が図8.5に示すように変わってしまいます。

リモコン送信を行う場合は、必ず1回目のバースト幅制御の方法のみTGLビットの1/0を判定してください。（または、クロックソースの1周期分待ってからTLCにスペース幅を設定してください。）

それ以降は割り込みによる方法で操作できます。

同様にリモコン送信を終了するときの制御にも注意してください。

例) 1. TLCにバースト幅設定。

2. STビット 1。

3. TGLフラグ=1だったら4を実行。

4. TGLフラグ=1の状態ではTLCにスペース幅設定。

5. RDT-2割り込み。

6. TLCにバースト幅設定。

・
・
・

n. RDT-2割り込み後、TGLフラグ=0の状態ではST 0。

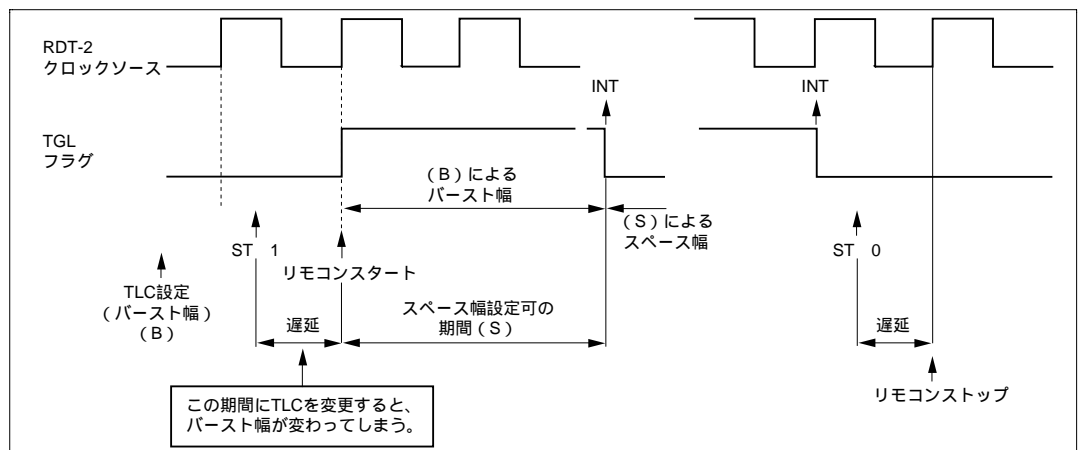


図 8.5 リモコン送信の制御

(6) 動作モードの選択

8/16リロードタイマの動作モードは、ビット4(8/16)とビット0(T/R)により決まります。

16ビットタイマ動作のときにも IRRRT1 割り込み要求は有効です。

TMB		説 明
ビット4 8/16	ビット0 T/R	
0	0	8ビットタイマ×2 (初期値)
	1	リモコンモード
1	X	16ビットタイマ

【注】 X: 0または1、Don't care を表します。

(7) 端子構成

8/16ビットリロードタイマの端子構成を表8.3に示します。

表8.3 端子構成

名 称	略 称	入出力	機 能
イベント入力端子	P3 ₁ /IRQ ₁	入力	RDT-1 イベント入力
イベント入力端子	P3 ₂ /IRQ ₂	入力	RDT-2 イベント入力

(8) レジスタの構成

8/16ビットリロードタイマのレジスタ構成を表8.4に示します。

タイマカウンタB(TCB)とタイマロードレジスタB(TLB)、タイマカウンタC(TCC)とタイマロードレジスタC(TLC)は、それぞれ同じアドレスに配置されています。リードまたはライトによって選ばれます。

表8.4 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
タイマモードレジスタB	TMB	R/W	バイト	H'00	H'FFC4
タイマカウンタB	TCB	R	バイト	H'FF	H'FFC3
タイマカウンタC	TCC	R	バイト	H'FF	H'FFC2
タイマロードレジスタB	TLB	W	バイト	H'FF	H'FFC3
タイマロードレジスタC	TLC	W	バイト	H'FF	H'FFC2

8.3.2 各レジスタの説明

(1) タイマモードレジスタ B (TMB)

ビット	7	6	5	4	3	2	1	0
	PS11	PS10	ST	8/16	PS21	PS20	TGL	T/R
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

タイマモードレジスタ B (TMB) は 8 ビットのレジスタで、RDT-1 と RDT-2 の入力クロックの選択や、動作モードの設定を行います。ビット 1 (TGL ビット) はリード専用、他のビットはリードとライトが可能です。

TMB は、リセット時 H'00 に初期化されます。

リモコンモード以外のモードでは、TMB をライトするとカウンタ (TCB、TCC) が H'FF に初期化されます。

ビット 7、6 : RDT-1 の入力クロックの選択 (PS11、PS10)

RDT-1 に入力するクロックを選択します。外部クロックによるカウントは立ち上がりエッジまたは立ち下がりエッジの選択が可能です。

ビット 7	ビット 6	説明
PS11	PS10	
0	0	PSS、 /256 でカウント (初期値)
	1	PSS、 /128 でカウント
1	0	PSS、 /2 でカウント
	1	外部クロック (P3 _i /IRQ ₁)、立ち上がりエッジまたは立ち下がりエッジでカウント*

【注】 * 外部クロックのエッジ選択は、エッジ切り替えレジスタ (IEGR) により設定します。詳細は「3.2.3 割り込み制御レジスタ」を参照してください。

リモコンモードで外部クロックを使用するときは、IRQ₁、IRQ₂ のエッジをそれぞれ逆のエッジにしてください。(IRQ₁ のときは IRQ₂、IRQ₁ のときは IRQ₂ としてください。)

ビット5：リモコン動作スタートビット（ST）

リモコン送信動作時のスタートビットです。1をセットするとRDT-1にクロックが供給され、送信動作を開始します。0をクリアするとクロックの供給が止り、動作が中断します。STビットは、リモコン送信モードのとき、すなわちビット0（T/Rビット）が1、ビット4（8/16ビット）が0のとき、有効になります。リモコン送信モード以外のモードでは、0に固定されます。

STビットは低消費電力モード遷移時には0クリアされます。再スタート時には、1をライトしてください。

ビット5	説 明
ST	
0	リモコン送信モードのとき、RDT-1のクロック供給を止めます。（初期値）
1	リモコン送信モードのとき、RDT-1にクロックを供給します。

ビット4：8ビット/16ビット動作切り替え（8/16）

8/16ビットリロードタイマを2本の8ビットタイマ/カウンタとして使用するか、16ビットのタイマ/カウンタとして使用するかを設定します。16ビット動作のときにも、RDT-1からのIRRRT1割り込み要求は有効です。

ビット4	説 明
8/16	
0	RDT-1、RDT-2は、別々に動作します。（初期値）
1	RDT-1とRDT-2は、16ビットとして動作します。

ビット3、2：RDT-2の入力クロックの選択（PS21、PS20）

RDT-2に入力するクロックを選択します。外部クロックによるカウントは立ち上がりエッジまたは立ち下がりエッジの選択が可能です。

ビット3	ビット2	説 明
PS21	PS20	
0	0	PSS、 /8192 でカウント (初期値)
	1	PSS、 /1024 でカウント
1	0	RDT-1のアンダフロ - でカウント
	1	外部クロック ($P3_2/\overline{IRQ}_2$)、立ち上がりエッジまたは立ち下がりエッジでカウント*

【注】 * 外部クロックのエッジ選択は、エッジ切り替えレジスタ (IEGR) により設定します。詳細は「3.2.3 割り込み制御レジスタ」を参照してください。

ビット1：RDT-2トグルフラグ（TGL）

RDT-2のアンダフローをトグルした結果の状態を示すフラグです。リードのみ可能です。低消費電力モード時には、0クリアされます。

ビット1	説 明
TGL	
0	RDT-2のトグル出力は0 (初期値)
1	RDT-2のトグル出力は1

ビット0：タイマ出力/リモコン出力切り替えビット（T/R）

$P5_3/TMO$ 端子への出力信号を選択します。T/R ビットにより、RDT-1によるタイマ出力と、RDT-2トグル出力からのリモコン出力とを選択します。

ビット0	説 明
T/R	
0	RDT-1のタイマ出力 (初期値)
1	RDT-2のトグル出力 (リモコン送信データ)

8 / 16 リロードタイマの動作モード

8 / 16 リロードタイマの動作モードは、ビット4 (8 / 16) とビット0 (T/R) により決まります。

TMB		説 明
ビット4 8 / 16	ビット0 T/R	
0	0	8 ビットタイマ×2 (初期値)
	1	リモコンモード
1	X	16 ビットタイマ

【注】 X : 0 または 1、Don't care を表します。

タイマモードで TMB にライトすると、TCB、TCC (16 ビットタイマ) は、初期化 (H'FF) されます。リロードレジスタ (TLB、TLC) へのライトは、TMB を設定した後に行ってください。

リモコンモードでは、TMB ライトによる TLB、TLC の初期化は行われませんが、リモコン動作の開始は次の順序で行ってください。

- [1] TMB でリモコンモードに設定
- [2] TLB、TLC にデータをライト
- [3] TMB でリモコンスタート (ST ビット 1)

16 ビット動作のときにも、RDT-1 からの IRRRT1 割り込み要求は有効です。

(2) タイマカウンタ B (TCB)

ビット	:	7	6	5	4	3	2	1	0
		TDR17	TDR16	TDR15	TDR14	TDR13	TDR12	TDR11	TDR10
初期値	:	1	1	1	1	1	1	1	1
R/W	:	R	R	R	R	R	R	R	R

タイマカウンタ B (TCB) は、8 ビットのリード可能なダウンカウンタで、入力する内部クロックまたは外部クロックによりカウントダウンされます。入力するクロックは、タイマモードレジスタ B (TMB) の PS21、PS20 ビットにより選択します。TCB の値は CPU から常にリードできます。ただし、TMB の 8 / 16 ビットが 1 に設定されているとき (16 ビット動作に設定されているとき) は、ワードでのリードのみとなります。このとき、上位 8 ビットに RDT-2 の TCC、下位 8 ビットの TCB がリードされます。

TCB がアンダフローすると (H'00 からリロード値)、8 / 16 ビットの動作モードにかかわらず、割り込み要求レジスタ 2 (IRQR2) の IRRRT1 ビットが 1 にセットされます。

TCB は、タイマロードレジスタ B (TLB) と同一のアドレスに割り付けられています。TCB は、リセット時 H'FF に初期化されます。

(3) タイマカウンタ C (TCC)

ビット	:	7	6	5	4	3	2	1	0
		TDR27	TDR26	TDR25	TDR24	TDR23	TDR22	TDR21	TDR20
初期値	:	1	1	1	1	1	1	1	1
R/W	:	R	R	R	R	R	R	R	R

タイマカウンタ C (TCC) は、8 ビットのリード可能なダウンカウンタで、入力する内部クロックまたは外部クロックによりカウントダウンされます。入力するクロックは、タイマモードレジスタ B (TMB) の PS11、PS10 ビットにより選択します。TCC の値は CPU から常にリードできます。ただし、TMB の 8 / 16 ビットが 1 に設定されているとき (16 ビット動作に設定されているとき) は、ワードでのリードのみとなります。このとき、上位 8 ビットに TCC、下位 8 ビットに RDT-1 の TCB がリードされます。

TCC がアンダフローすると (H'00 からリロード値)、割り込み要求レジスタ 2 (IRQR2) の IRRRT2 ビットが 1 にセットされます。

TCC は、タイマロードレジスタ C (TLC) と同一のアドレスに割り付けられています。TCC は、リセット時 H'FF に初期化されます。

(4) タイマロードレジスタ B (TLB)

ビット	7	6	5	4	3	2	1	0
	TLR17	TLR16	TLR15	TLR14	TLR13	TLR12	TLR11	TLR10
初期値	1	1	1	1	1	1	1	1
R/W	W	W	W	W	W	W	W	W

タイマロードレジスタ B (TLB) は、8 ビットのライト専用のレジスタで、TCB のリロード値を設定します。

TLB にリロード値を設定すると、同時にその値は TCB にもロードされ、TCB はその値からカウントダウンを開始します。また、オートリロードモード時、TCB がアンダフローすると、TCB に TLB の値がロードされます。したがって、アンダフロー周期を 1~256 入力クロックの範囲で設定することができます。ただし、TMB の 8/16 ビットが 1 に設定されているとき (16 ビット動作に設定されているとき) は、ワードでのライトのみとなります。このとき、上位 8 ビットに RDT-2 の TLC、下位 8 ビットに TLB がライトされます。

TLB は、TCB と同一のアドレスに割り付けられています。

TLB は、リセット時 HFF に初期化されます。

(5) タイマロードレジスタ C (TLC)

ビット	7	6	5	4	3	2	1	0
	TLR27	TLR26	TLR25	TLR24	TLR23	TLR22	TLR21	TLR20
初期値	1	1	1	1	1	1	1	1
R/W	W	W	W	W	W	W	W	W

タイマロードレジスタ C (TLC) は、8 ビットのライト専用のレジスタで、TCC のリロード値を設定します。

TLC にリロード値を設定すると、同時にその値は TCC にもロードされ、TCC はその値からカウントダウンを開始します。また、オートリロードモード時、TCC がアンダフローすると、TCC に TLC の値がロードされます。したがって、アンダフロー周期を 1~256 入力クロックの範囲で設定することができます。ただし、TMB の 8/16 ビットが 1 に設定されているとき (16 ビット動作に設定されているとき) は、ワードでのライトのみとなります。このとき、上位 8 ビットに TLC、下位 8 ビットに RDT-1 の TLB がライトされます。

TLC は、TCC と同一のアドレスに割り付けられています。

TLC は、リセット時 HFF に初期化されます。

(6) PWM コントロールレジスタ (PWCR)

ビット	7	6	5	4	3	2	1	0
	BUZZ1	BUZZ0	MON1	MON0	NCon/off	PWC2	PWC1	PWCR0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWM コントロールレジスタ (PWCR) は、ブザー出力周波数の選択や PWM の制御を行うレジスタです。PWCR は、8 ビットのリードとライトが可能なレジスタです。リセット時には、H'00 に初期化されます。

ここでは、ビット 7~4 のブザー出力、モニタ出力の選択についてのみ示します。他のビットについては、「9.3 8 ビット PWM」を参照してください。

ビット 7、6：ブザー出力選択ビット (BUZZ1、BUZZ0)

ブザー出力の周波数、および CTL、時計用発振のモニタ信号を選択します。

ビット 7	ビット 6	出力信号	fosc = 10MH のとき (kHz)
BUZZ1	BUZZ0		
0	0	/2048 (初期値)	2.44
	1	/4096	1.22
1	0	MON0、MON1 による出力	
	1	8 / 16 ビットリロードタイマの BUZZ 出力	

ビット 5、4：モニタ出力選択ビット (MON1、MON0)

モニタ出力を選択します。

PB-CTL または REC-CTL は、信号のデューティがそのまま出力されます。

DVCTL 信号は、CTL 分周回路からの信号をトグルして出力します。CTL 分周回路により n 分周した信号をさらに 2 分周した波形になります (2n 分周、50% デューティの波形)。

TCA6 は、時計用タイマカウンタのビット 6 を出力します (50% デューティ)。

ビット 5	ビット 4	説明
MON1	MON0	
0	0	PB または REC-CTL (初期値)
	1	DVCTL
1	X	TCA6 の出力 (PSW 使用時は 1Hz)

【注】 X : 0 または 1、Don't care を表します。

8.4 リロードタイマユニット

8.4.1 概要

リロードタイマユニットは3本の8ビットダウンカウンタで構成されています。リロード、イベントカウントの他に、VTRのモード判別やスロー処理の機能を持っています。

(1) 特長

リロードタイマユニットは3本のリロードタイマで構成されています。3本のリロードタイマ/カウンタとしての機能と、3本のタイマを組み合わせて用いることにより、次の処理が行えます。

- (a) 3本のリロードタイマ
- (b) VTRのモード判別
- (c) 間欠動作時のキャプスタンモータの加減速処理
- (d) スロートラッキングモノマルチ

(2) ブロック図

リロードタイマユニットは、2本のキャプチャ付きリロードタイマカウンタ(RTU-1、RTU-2)と、1本のリロードタイマカウンタ(RTU-3)との、3本のリロードタイマカウンタで構成されています。リロードタイマユニットのブロック図を図8.6に示します。

(3) キャプチャ付きリロードタイマカウンタ RTU-1

リロードタイマカウンタ RTU-1 は、8ビットのダウンカウンタ、リロードレジスタおよびキャプチャレジスタから成っています。クロックソースは CFG 信号の立ち上がりエッジです。リロードカウンタとして動作するか、キャプチャカウンタとして動作するかは、RLD/CAPビットにより選択できます。

リロード動作のときは、ダウンカウンタのアンダフロー信号(H'00 H'FFで発生)によりリロードレジスタの値がダウンカウンタにリロードされます。リロードレジスタに値を書き込むと、同時にカウンタにもその値が書き込まれます。アンダフロー信号は RTU-2 のクロックソースとして利用できます。

RTU-1 は、CFG の分周回路です。RTU-2、RTU-3 と組み合わせて使い、モード判別を行うことができます。

キャプチャ動作は、RTU-2 とあわせて 16 ビットで行われます。キャプチャ動作のときは、キャプチャ信号によりカウンタをクリアすることができます。キャプチャ信号は、IRQ3 のエッジです。

RTU-1 は、RTU-2 のキャプチャ機能と接続し、16 ビットの CFG カウンタとして用いることができます。キャプチャ信号に IRQ3 を選択し、P3₇/IRQ₃ 端子に入力されるリールパルス期間中の CFG をカウントすることができます。

カウンタ、リロードレジスタおよびキャプチャレジスタの初期値は H'FF です。

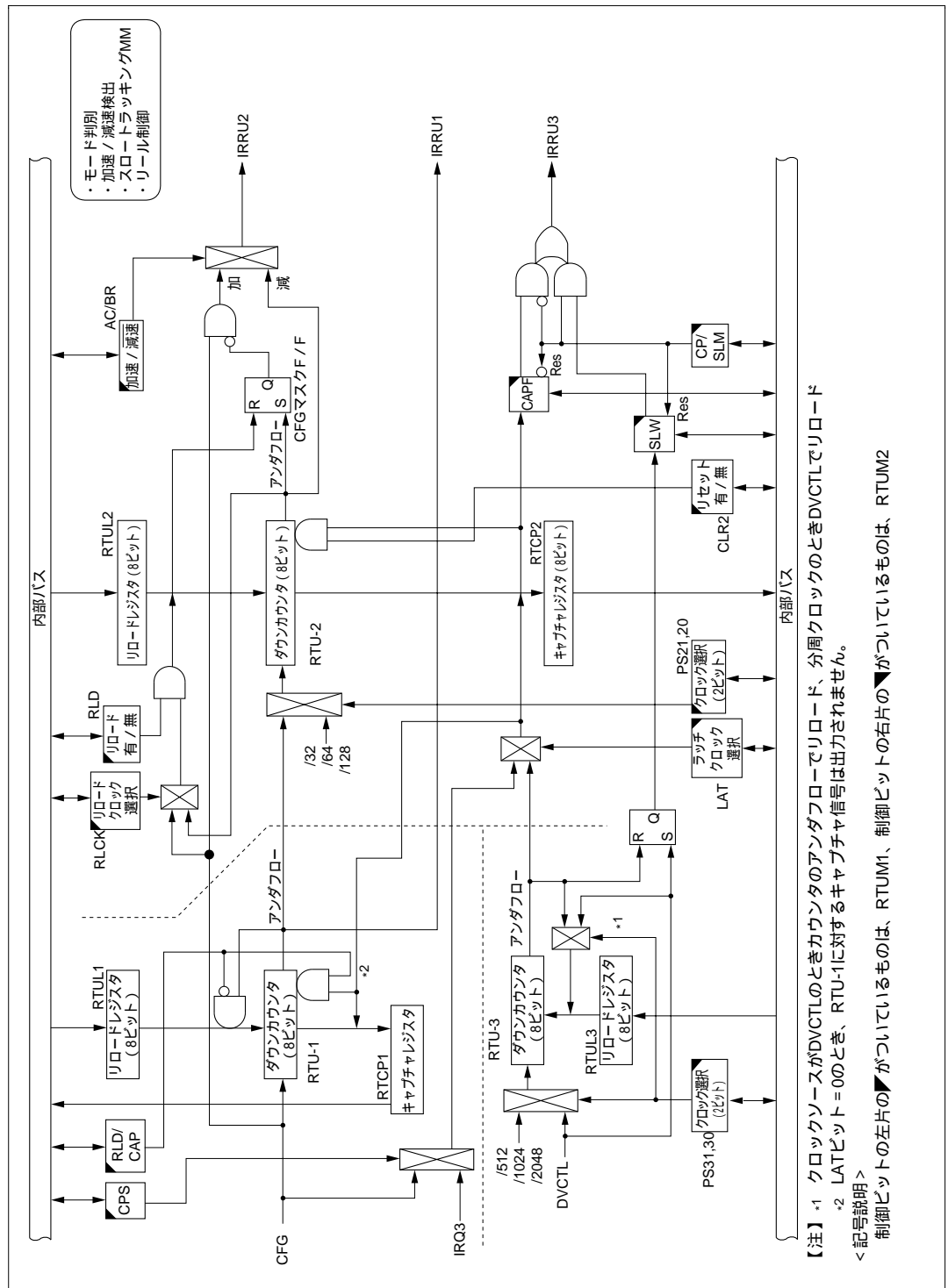


図 8.6 リロードタイマーユニットのブロック図

(4) キャプチャ付きリロードタイマカウンタ RTU-2

キャプチャ付きリロードタイマカウンタ RTU-2 は、8 ビットのダウンカウンタ、リロードレジスタ、キャプチャレジスタから成っています。クロックソースは RTU-1 のアンダフロー信号と 3 つの分周クロックから選択できます。

- ・リロードタイマ動作

ダウンカウンタのアンダフロー信号 (H'00 H'FF で発生) によりリロードレジスタの値がダウンカウンタにリロードされます。リロードレジスタに値を書き込むと、同時にカウンタにもその値が書き込まれます。リロード機能の有無は選択することができます。リロード機能無しを選択しても、リロードレジスタに値を書き込むことによりカウンタ値を設定することができます。RTU-2 は、リロードタイマ動作を使用することによりキャプスタンモータの加減速処理が可能です。

- ・キャプチャ動作

キャプチャ信号により、カウンタの値をキャプチャレジスタにラッチします。キャプチャ信号は、CFG のエッジ、IRQ3 のエッジまたは RTU-3 のアンダフロー信号から選択できます。キャプチャのタイミングでは割り込み要求を発生します。キャプチャ動作中もリロード機能は動作可能ですが、リロード機能の有無は選択することができます。

RTU-2 のキャプチャ動作 (リロード機能停止) と RTU-1、RTU-3 を組み合わせて使用することにより、モード判別が可能です。

カウンタ、リロードレジスタおよびキャプチャレジスタの初期値は H'FF です。クロックソースの初期値は、RTU-1 のアンダフロー信号になっています。また、RTU-2 はリロード無しのキャプチャ機能になります。

(5) リロードタイマカウンタ RTU-3

リロードタイマカウンタ RTU-3 は、8 ビットのダウンカウンタとリロードレジスタから成っています。クロックソースは DVCTL 信号のエッジと 3 つの分周クロックから選択できます。

リロード信号は、ダウンカウンタのアンダフロー信号 (H'00 H'FF で発生) または CTL 分周信号 (DVCTL 信号) が選択できます (クロック選択により DVCTL 信号を選択した場合はアンダフロー信号でリロード、分周クロックを選択した場合は、DVCTL 信号でリロードです)。リロード信号によりリロードレジスタの値がダウンカウンタにリロードされます。リロードレジスタに値を書き込むと、同時にカウンタにもその値が書き込まれます。

カウンタおよびリロードレジスタの初期値は H'FF です。クロックソースの初期値は、

CTL 分周信号 (DVCTL 信号) になっています。

アンダフロー信号は RTU-2 のキャプチャ信号として利用できます。

RTU-3 は、DVCTL の分周回路として使用できます。RTU-1、RTU-2 (キャプチャ機能) と組み合わせて使い、モード判別を行うことができます。クロックソースは、DVCTL の分周信号となっており、サーチ時には倍速に対応した CTL 信号 (DVCTL) を入力できます。この DVCTL 信号は、キャプスタンモータの位相制御にも用います。

また、クロックソースに分周クロックを選択することにより、DVCTL のエッジを遅らせることができ、スロートラッキングモノマルチ機能が実現できます。

(6) モード判別

再生テープの SP/LP/EP モードを判別するためには (2/4/6 判別)、リロードタイマユニットの RTU-1 (CFG 分周回路)、RTU-2 (キャプチャ機能/リロード無し)、RTU-3 (DVCTL 分周回路) を用います。リロードタイマユニットはリセット後、この状態になります。

RTU-1 のリロードレジスタには CFG の分周値、RTU-3 のリロードレジスタには DVCTL の分周値を書き込みます。RTU-3 のアンダフローにより RTU-2 のカウンタ値をキャプチャします。このキャプチャレジスタの値が DVCTL 周期内の CFG の数になります。

このように、リロードタイマユニットにより、DVCTL の n 発分の CFG 数をカウントしたい場合やサーチ中のモード判別が可能です。

レジスタの設定例は、「8.4.4 (1) モード判別」を参照してください。

(7) リール制御

RTU-1 と RTU-2 とを併せてキャプチャ動作させることにより、IRQ3 のエッジ信号で、CFG のカウンタ値をキャプチャすることができます。キャプチャ信号に IRQ3 を選択し、IRQ3 に入力されるリールパルス間の CFG をカウントすることにより、巻取り制御等に利用できます。

「8.4.1 (3) キャプチャ付きリロードタイマカウンタ RTU-1」および「8.4.1 (4) キャプチャ付きリロードタイマカウンタ RTU-2」の項を参照してください。

レジスタの設定例は、「8.4.4 (2) リール制御」を参照してください。

(8) キャプスタンモータの加減速処理

スロー再生やスチル再生などの間欠動作では、キャプスタンモータの急加速、急停止を行う必要があります。加減速処理は、キャプスタンモータの回転速度が、加速または減速時に、規定速度に達したことを確認するための機能です。この処理は、RTU-2(リロード機能)を用います。

加速時：

- [1] RTUM1のAC/BRビットを加速に(1にセット)します。CFGの立ち上がりエッジをリロード信号として用います。
- [2] リロードレジスタにCFG周波数の加速完了とする規定時間を設定します。
- [3] RTU-2はリロードデータをダウンカウントします。
- [4] 加速が完了していないとき(規定時間になってもCFG信号が入力されない=ダウンカウンタのアンダフローが発生)は、アンダフローによりCFGがマスクF/Fによりセットされ(マスク動作)、リロードタイマはCFG信号が入力されるまでカウント動作を続行します(...H'01 H'00 H'FF H'FE...)。このマスクF/Fは、遅れて入ったCFGによりクリアされます。
- [5] 加速が完了したとき(規定時間より前にCFG信号が入力=ダウンカウンタのアンダフローが発生する前にリロード動作)は、CFGにより割り込み要求が発生します。

減速時：

- [1] RTUM1のAC/BRビットを減速に(0にクリア)します。CFGの立ち上がりエッジをリロード信号として用います。
- [2] リロードレジスタにCFG周波数の減速完了とする規定時間を設定します。
- [3] RTU-2はリロードデータをダウンカウントします。
- [4] 減速が完了していないとき(規定時間より前にCFG信号が入力=ダウンカウンタのアンダフローが発生する前にリロード動作)は、リロードタイマ動作を続行します。
- [5] 減速が完了したとき(規定時間になってもCFG信号が入力されない=ダウンカウンタのアンダフローが発生)は、アンダフロー信号により割り込み要求が発生します。

加減速処理は、次のスロートラッキングモノマルチと組み合わせて特殊再生時に用います。

レジスタの設定例は、「8.4.4(4) キャプスタンモータの加減速処理」を参照してください。

(9) スロートラッキングモノマルチ

スロー再生やスチル再生などでは、DVCTLのエッジからキャプスタンモータのブレーキをかけるタイミングを決めます。スロートラッキングモノマルチはDVCTLの立ち上がりエッジから、任意の時点までの時間を計測し、割り込みを発生します。プログラムでは、この割り込みによりキャプスタンモータのブレーキをかけます。スロートラッキングモノマルチの時間計測には、RTU-3 を用います。また、減速処理は RTU-2 を用いて行うことができます。図 8.7 にスロー再生時の時系列動作例を示します。

レジスタの設定例は、「8.4.4 (3) スロートラッキングモノマルチ」を参照してください。

(10) レジスタ構成

リロードタイムユニットのレジスタ構成を表 8.5 に示します。

表 8.5 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
RTU モードレジスタ 1	RTUM1	R/W	バイト	H'00	H'FFC8
RTU モードレジスタ 2	RTUM2	R/W	バイト	H'60	H'FFC9
RTU キャプチャレジスタ 1	RTCP1	R	バイト	H'FF	H'FFCA
RTU キャプチャレジスタ 2	RTCP2	R	バイト	H'FF	H'FFCB
RTU ロードレジスタ 1	RTUL1	W	バイト	H'FF	H'FFCC
RTU ロードレジスタ 2	RTUL2	W	バイト	H'FF	H'FFCD
RTU ロードレジスタ 3	RTUL3	W	バイト	H'FF	H'FFCE

【注】 低消費電力モード時、各レジスタの内容は保持されます。ただし、RTUM2 の CAPF フラグおよび SLW フラグは、0 にクリアされます。

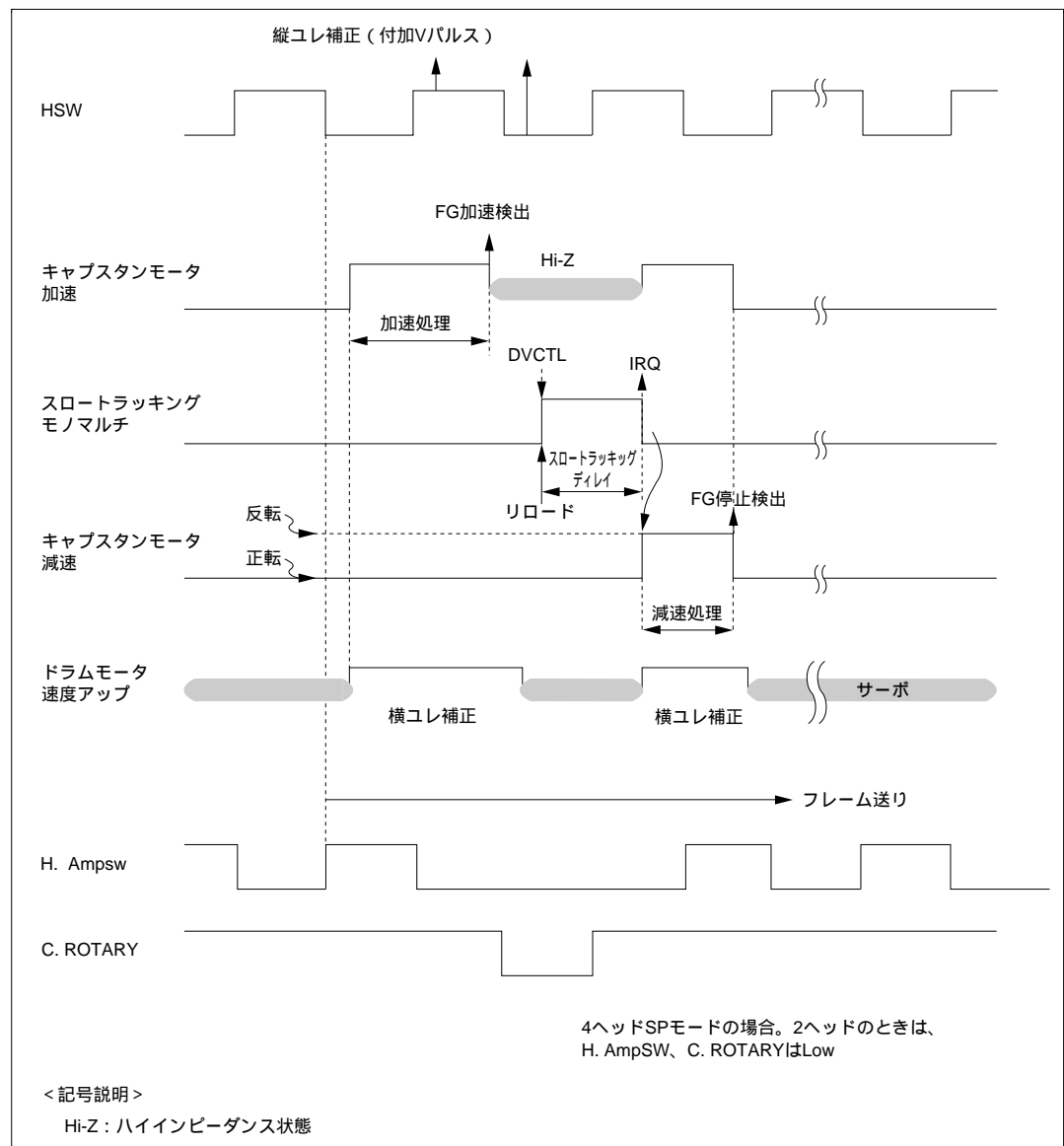


図 8.7 スロー再生時の時系列動作例

8.4.2 各レジスタの説明

(1) RTU モードレジスタ 1 (RTUM1)

ビット	7	6	5	4	3	2	1	0
	CLR2	AC/BR	RLD	RLCK	PS21	PS20	RLD/CAP	CPS
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RTU モードレジスタ 1 (RTUM1) は、加減速処理の制御や RTU-1、RTU-2 のクロックソースの選択を行います。8 ビットのリードとライトが可能なレジスタです。

RTUM1 は、リセット時 H'00 に初期化されます。

ビット 7 : RTU-2 クリア有無選択 (CLR2)

RTU-2 のカウンタをキャプチャと同時にクリアするか、しないかの選択を行います。

ビット 7	説明
CLR2	
0	RTU-2 はキャプチャと同時にクリアされない。 (初期値)
1	RTU-2 をキャプチャと同時にクリアする。

ビット 6 : 加速 / 減速処理の選択 (AC/BR)

キャプスタンモータの間欠処理時に、加速または減速が完了したことを検知するため割り込み発生を制御します。詳細は「8.4.1 (8) キャプスタンモータの加減速処理」を参照してください。

ビット 6	説明
AC/BR	
0	減速処理 (初期値)
1	加速処理

ビット5：RTU-2リロードの有無（RLD）

RTU-2のリロード機能の有無を選択します。

ビット5	説明
BLD	
0	RTU-2をリロードタイマとして使用しない。（初期値）
1	RTU-2をリロードタイマとして使用する。

ビット4：RTU-2リロードタイミングの選択（RLCK）

RTU-2リロード機能でCFGでリロードするか、RTU-2カウンタのアンダフローでリロードするかを選択します。ビット5のRLDビットが1のときのみ有効です。

ビット4	説明
RLCK	
0	CFGの立ち上がりエッジでRTUL2をリロード（初期値）
1	RTU-2アンダフローでRTUL2をリロード

ビット3、2：RTU-2クロックソースの選択（PS21、PS20）

RTU-2のクロックソースを選択します。

ビット3	ビット2	説明
PS21	PS20	
0	0	RTU-1のアンダフローでカウント（初期値）
	1	PSS、/128でカウント
1	0	PSS、/64でカウント
	1	PSS、/32でカウント

ビット1：RTU-1動作モードの選択（RLD/CAP）

RTU-1動作が、リロードタイマモードか、キャプチャタイマモードかを選択します。

キャプチャタイマモードのときは、リロード動作は行いません。また、キャプチャと同時にカウンタがクリアされます。

ビット1	説 明
RLD/CAP	
0	RTU-1はリロードタイマとして動作 (初期値)
1	RTU-1はキャプチャタイマとして動作

ビット0：RTU-1キャプチャ信号の選択（CPS）

RTUM2のLATビット（ビット7）とともに、RTU-1のキャプチャ信号を選択します。

LATビットが1の場合は、このビットが有効になります。また、ビット1のRLD/CAPビットが0のときには無効になります。

ビット0	説 明
CPS	
0	CFGの立ち上がりエッジによるキャプチャ信号 (初期値)
1	IRQ3のエッジによるキャプチャ信号

(2) RTU モードレジスタ 2 (RTUM2)

ビット	7	6	5	4	3	2	1	0
	LAT			PS31	PS30	CP/SLM	CAPF	SLW
初期値	0	1	1	0	0	0	0	0
R/W	R/W			R/W	R/W	R/W	R/W*	R/W*

【注】 * 0 ライトのみ有効です。

RTUM2 は、8 ビットのリードとライトが可能なレジスタで、モード判別やスロートラッキングの制御を行います。

RTUM2 は、リセット時 H'60 に初期化されます。

【注】 * CAPF、SLW の各ビットは、割り込み要因をラッチするビットとなっており、0 ライトのみ有効となっています。各割り込み要因が発生したとき、当該ビットが1であると、割り込み要求が発生しません。割り込み処理ルーチンの中で当該ビットをチェックして、クリアする必要があります。

また、ビットをクリアする命令 (BCLR、MOV など) を実行中に割り込み要因が発生すると、CAPF、SLW 各ビットの要因がクリアされてしまうため、クリアのタイミングに注意する必要があります。

ビット 7 : RTU-2 キャプチャ信号の選択 (LAT)

RTUM1 のビット 0 (CPS ビット) と組み合わせて、RTU-2 のキャプチャの信号を選択します。

RTUM2	RTUM1	説明
ビット 7	ビット	
LAT	CPS	
0	X	RTU-3 のアングフローでキャプチャ (初期値)
1	0	CFG の立ち上がりエッジでキャプチャ
	1	IRQ3 のエッジでキャプチャ

【注】 X : 0 または 1、Don't care を表します。

ビット 6、5 : リザーブビット

リザーブビットです。リードすると常に 1 がリードされます。ライトは無効となります。

ビット4、3：RTU-3クロックソース選択（PS31、PS30）

RTU-3のクロックソースを選択します。

ビット4	ビット3	説明
PS31	PS30	
0	0	分周回路からのDVCTLの立ち上がりエッジでカウント（初期値）
	1	PSS、/2048でカウント
1	0	PSS、/1024でカウント
	1	PSS、/512でカウント

ビット2：割り込み選択ビット（CP/SLM）

IRRU3の割り込み要因を選択します。

ビット2	説明
CP/SLM	
0	キャプチャ信号による割り込みを有効とします。（初期値）
1	スロートラッキングMM信号による割り込みを有効とします。

ビット1：キャプチャ信号要求フラグ（CAPF）

キャプチャ信号によりセットされるフラグです。リードもライトも可能ですが、ライトは0ライトのみ有効です。セット優先となっており、キャプチャ信号と0ライトが同時に起きた場合は、フラグは1のままとなり、割り込み要求が発生しないので注意が必要です。

ビット2のCP/SLビットが、1のとき、CAPFビットは、常に0となります。

CAPFフラグは、低消費電力モード時に0クリアされます。

0をライトするときは、1をリードした後に、0ライトしてください（ビット操作命令はリードを伴うので注意してください）。

ビット1	説明
CAPF	
0	キャプチャ信号が来ていません。（初期値）
1	キャプチャ信号によりフラグがセットされたことを示します。

ビット0：スロートラッキングMMフラグ（SLW）

スロートラッキングMMの終了時にセットされます。リードもライトも可能ですが、ライトは0ライトのみ有効です。セット優先となっており、キャプチャ信号と0ライトが同時に起きた場合は、フラグは1のままとなり、割り込み要求が発生しないので注意が必要です。

ビット2のCP/SLMビットが、0のとき、SLWビットは、常に0となります。

SLWフラグは、低消費電力モード時に0クリアされます。

0をライトするときは、1をリードした後に、0ライトしてください（ビット操作命令はリードを伴うので注意してください）。

ビット0	説明
SLW	
0	スロートラッキングMM期間が終了していません。（初期値）
1	スロートラッキングMM終了信号によりフラグがセットされたことを示します。

(3) RTU キャプチャレジスタ1（RTCP1）

ビット	:	7	6	5	4	3	2	1	0
		RTC17	RTC16	RTC15	RTC14	RTC13	RTC12	RTC11	RTC10
初期値	:	1	1	1	1	1	1	1	1
R/W	:	R	R	R	R	R	R	R	R

RTU キャプチャレジスタ1(RTCP1)は、RTU-1のキャプチャデータを格納します。RTCP1は、8ビットのリード専用レジスタです。リセット後は、H'FFに初期化されます。

- 【注】
1. キャプチャ信号と同時に RTCP1 をリードすると、リードデータが不定になります。リードタイミングに注意してください。
 2. キャプチャモードで低消費電力モードに遷移した場合、カウンタの値は不定になります。アクティブモードに復帰した後は、RTU ロードレジスタ1（RTUL1）に、H'FFをライトしカウンタを初期化してください。

(4) RTU キャプチャレジスタ 2 (RTCP2)

ビット	:	7	6	5	4	3	2	1	0
		RTC27	RTC26	RTC25	RTC24	RTC23	RTC22	RTC21	RTC20
初期値	:	1	1	1	1	1	1	1	1
R/W	:	R	R	R	R	R	R	R	R

RTU キャプチャレジスタ 2 (RTCP2) は、RTU-2 のキャプチャデータを格納します。RTCP2 は、8 ビットのリード専用レジスタです。リセット後は、H'FF に初期化されます。

【注】 1. キャプチャ信号と同時に RTCP2 をリードすると、リードデータが不定になります。

リードタイミングに注意してください。

2. キャプチャモードで低消費電力モードに遷移した場合、カウンタの値は不定になります。

アクティブモードに復帰した後は、RTU ロードレジスタ 2 (RTUL2) に H'FF をライトし、カウンタを初期化してください。

(5) RTU ロードレジスタ 1 (RTUL1)

ビット	:	7	6	5	4	3	2	1	0
		RTU17	RTU16	RTU15	RTU14	RTU13	RTU12	RTU11	RTU10
初期値	:	1	1	1	1	1	1	1	1
R/W	:	W	W	W	W	W	W	W	W

RTU ロードレジスタ 1 (RTUL1) は、8 ビットのライト専用のレジスタで、RTU-1 のリロード値を設定します。

RTUL1 にリロード値を設定すると、同時にその値は RTU-1 カウンタにも設定され、カウンタはその値からカウントダウンを開始します。また、オートリロードモード時、カウンタがアンダフローすると、カウンタに RTUL1 の値が設定されます。したがって、アンダフロー周期を 1 ~ 256 入力クロックの範囲で設定することができます。

RTUL1 は、リセット時、H'FF に初期化されます。

(6) RTU ロードレジスタ 2 (RTUL2)

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>RTU27</td> <td>RTU26</td> <td>RTU25</td> <td>RTU24</td> <td>RTU23</td> <td>RTU22</td> <td>RTU21</td> <td>RTU20</td> </tr> </table>								RTU27	RTU26	RTU25	RTU24	RTU23	RTU22	RTU21	RTU20
RTU27	RTU26	RTU25	RTU24	RTU23	RTU22	RTU21	RTU20										
初期値	:	1	1	1	1	1	1	1	1								
R/W	:	W	W	W	W	W	W	W	W								

RTU ロードレジスタ 2 (RTUL2) は、8 ビットのライト専用のレジスタで、RTU-2 のリロード値を設定します。

RTUL2 にリロード値を設定すると、同時にその値は RTU-2 カウンタにも設定され、カウンタはその値からカウントダウンを開始します。また、オートリロードモード時、カウンタがアンダフローすると、カウンタに RTUL2 の値が設定されます。したがって、アンダフロー周期を 1~256 入力クロックの範囲で設定することができます。

RTUL2 は、リセット時、H'FF に初期化されます。

(7) RTU ロードレジスタ 3 (RTUL3)

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>RTU37</td> <td>RTU36</td> <td>RTU35</td> <td>RTU34</td> <td>RTU33</td> <td>RTU32</td> <td>RTU31</td> <td>RTU30</td> </tr> </table>								RTU37	RTU36	RTU35	RTU34	RTU33	RTU32	RTU31	RTU30
RTU37	RTU36	RTU35	RTU34	RTU33	RTU32	RTU31	RTU30										
初期値	:	1	1	1	1	1	1	1	1								
R/W	:	W	W	W	W	W	W	W	W								

RTU ロードレジスタ 3 (RTUL3) は、8 ビットのライト専用のレジスタで、RTU-3 のリロード値を設定します。

RTUL3 にリロード値を設定すると、同時にその値は RTU-3 カウンタにも設定され、カウンタはその値からカウントダウンを開始します。また、オートリロードモード時、カウンタがアンダフローすると、カウンタに RTUL3 の値が設定されます。したがって、アンダフロー周期を 1~256 入力クロックの範囲で設定することができます。

RTUL3 は、リセット時、H'FF に初期化されます。

8.4.3 割り込み要因

リロードタイマユニットの割り込み要因は、割り込み要求レジスタ3 (IRQR3)の IRRU3 ビット~IRRU1 ビットの3要因があります。

(1) RTU-1のアンダフローによる割り込み (IRRU1)

この割り込みはRTU-1のリロードのタイミングとなります。

(2) RTU-2のアンダフローまたは加減速処理による割り込み (IRRU2)

RTU-2のリロードのタイミングで割り込みを発生する場合は、RTUモードレジスタ1 (RTUM1)のAC/BR (加減速) ビットを0にクリアしてください。

(3) RTU-2のキャプチャ信号およびスロートラッキングMMによる割り込み (IRRU3)

この2つの割り込み要因は論理和となっているため、ソフトウェアにより、どちらの割り込みかを判断する必要があります。RTUモードレジスタ2 (RTUM2)のCAPFフラグ、SLWフラグに各割り込み要因がセットされるので、ソフトウェアにより判定してください。

CAPFフラグ、SLWフラグは自動的にクリアされないため、ソフトウェアによりクリアしてください (このフラグは、0ライトのみ有効)。これらのフラグがクリアされていないと、次の要因が検出されません。また、これらのフラグをクリアしないままCP/SLMビットを切り替えると、フラグはクリアされます。

8.4.4 各動作の設定例

(1) モード判別

再生テープのSP/LP/EPモードを判別 (2/4/6判別) するために、リロードタイマユニットのRTU-1 (CFG分周回路)、RTU-2 (キャプチャ機能/リロード無し)、RTU-3 (DVCTL分周回路) を用います。リロードタイマユニットはリセット後、この状態になります。

RTU-1のリロードレジスタにはCFGの分周値、RTU-3のリロードレジスタにはDVCTLの分周値を書き込みます。RTU-3のアンダフローによりRTU-2のカウンタ値をキャプチャします。このキャプチャレジスタの値がDVCTL周期内のCFGの数になります。

このように、リロードタイマユニットにより、DVCTLのn発分のCFG数をカウントしたい場合やサーチ中のモード判別が可能です。

< 設定例 >

[1] RTU モードレジスタ 1 (RTUM1) を設定

CLR2 ビット (ビット 7) = 1 : RTU-2 をキャプチャ後、クリア。

RLD ビット (ビット 5) = 0 : RTU-2 のリロード機能無し。

PS21、PS20 (ビット 3、2) = (0、0)

: RTU-2 のクロックソースは、RTU-1 のアンダフロー信号。

RLD/CAP ビット (ビット 1) = 0 : RTU-1 は、CFG のエッジによりリロードする。

[2] RTU モードレジスタ 2 (RTUM2) を設定

LAT ビット (ビット 7) = 0

: RTU キャプチャレジスタ 2 (RTCP2) のキャプチャ信号は、RTU-3 のアンダフロー信号。

PS31、PS30 (ビット 4、3) = (0、0)

: RTU-3 のクロックソースは、DVCTL 信号の立ち上がりエッジ。

CP/SLM ビット (ビット 2) = 0 : IRRU3 の割り込み要求は、キャプチャ信号。

[3] RTU ロードレジスタ 1 (RTUL1) を設定

CFG の分周値を設定。n 分周のとき、設定値は (n - 1)。

[4] RTU ロードレジスタ 3 (RTUL3) を設定

DVCTL の分周値を設定。n 分周のとき、設定値は (n - 1)。

(2) リール制御

RTU-1 と RTU-2 とを併せて 16 ビットでキャプチャ動作をさせることにより、CFG のカウント値をキャプチャすることができます。キャプチャ信号に IRQ_3 のエッジ信号を選択して、 $P3_7/\overline{IRQ}_3$ 端子に入力されるリールパルス期間中の CFG をカウントすることにより、巻取り制御等に利用できます。

< 設定例 >

[1] $P3_7/\overline{IRQ}_3$ 端子を \overline{IRQ}_3 端子に設定

ポートモードレジスタ 3 (PMR3) の $IRQ3$ ビット (ビット 3) に 1 を設定する。

「7.5.2 (1) ポートモードレジスタ 3 (PMR3)」を参照してください。

[2] RTU モードレジスタ 1 (RTUM1) を設定

CLR2 ビット (ビット 7) = 1 : RTU-2 をキャプチャ後、クリア。

PS21、PS20 (ビット 3、2) = (0, 0)

: RTU-2 のクロックソースは、RTU-1 のアンダフロー信号。

RLD/CAP ビット (ビット 1) = 1 : RTU-1 は、キャプチャ動作。

CPS ビット (ビット 0) = 1 : RTU-1、RTU-2 のキャプチャ信号は、IRQ3 のエッジ信号。

[3] RTU モードレジスタ 2 (RTUM2) を設定

LAT ビット (ビット 7) = 1 : RTU-1、RTU-2 のキャプチャ信号は、IRQ3 のエッジ信号。

CP/SLM ビット (ビット 2) = 0 : IRRU3 の割り込み要求は、キャプチャ信号による。

(3) スロートラッキングモノマルチ

スロー再生やスチル再生などでは、DVCTL のエッジからキャプスタンモータのブレーキをかけるタイミングを決定します。スロートラッキングモノマルチは、DVCTL の立ち上がりエッジから、任意の時点までの時間を計測し、割り込みを発生します。プログラムでは、この割り込みによりキャプスタンモータのブレーキをかけます。スロートラッキングモノマルチの時間計測には、RTU-3 を用います。また、減速処理は RTU-2 を用いて行うことができます。

< 設定例 >

[1] RTU モードレジスタ 2 (RTUM2) を設定

PS31、PS30 (ビット 4、3) = (0, 0) 以外 : RTU-3 のクロックソースは、システムクロックの分周信号。

CP/SLM ビット (ビット 2) = 1 : IRRU3 の割り込み要求は、スロートラッキングディレイ信号による。

[2] RTU ロードレジスタ 3 (RTUL3) を設定

スロートラッキングディレイ値を設定。ディレイカウントを n とすると、設定値は $(n - 1)$ 。

ディレイ期間については、図 8.7 スロー再生時の時系列動作例を参考にしてください。

(4) キャプスタンモータの加減速処理

スロー再生やスチル再生などの間欠動作では、キャプスタンモータの急加速、急停止を行う必要があります。加減速処理は、キャプスタンモータの回転速度が、加速または減速時に、規定速度に達したことを確認するための機能です。

加減速処理は、次のスロートラッキングモノマルチと組み合わせて特殊再生時に用います。

< 加速処理の設定例 >

[1] RTU モードレジスタ1 (RTUM1) を設定

AC/BR ビット (ビット6) = 1 : 加速処理。

RLD ビット (ビット5) = 1 : RTU-2 はリロードタイマ動作。

RLCK ビット (ビット4) = 0 : RTU-2 は、CFG の立ち上がりエッジでリロード。

PS21、PS20 (ビット3、2) = (0、0) 以外

: RTU-2 のクロックソースは、システムクロックの分周信号。

[2] RTU ロードレジスタ2 (RTUL2) を設定

加速完了期間のカウント値を設定。カウントを n とすると、設定値は $(n - 1)$ 。

加速完了期間については、図 8.7 スロー再生時の時系列動作例を参考にしてください。

< 減速処理の設定例 >

[1] RTU モードレジスタ1 (RTUM1) を設定

AC/BR ビット (ビット6) = 0 : 減速処理。

RLD ビット (ビット5) = 1 : RTU-2 はリロードタイマ動作。

RLCK ビット (ビット4) = 0 : RTU-2 は、CFG の立ち上がりエッジでリロード。

PS21、PS20 (ビット3、2) = (0、0) 以外

: RTU-2 のクロックソースは、システムクロックの分周信号。

[2] RTU ロードレジスタ2 (RTUL2) を設定

減速完了期間のカウント値を設定。カウントを n とすると、設定値は $(n - 1)$ 。

減速完了期間については、図 8.7 スロー再生時の時系列動作例を参考にしてください。

8.5 フリーランニングカウンタ

8.5.1 概要

フリーランニングカウンタ (FRC) は、 f_{OSC} をクロックソースとした 19 ビットのカウンタです。

FRC は、次の機能を兼ねています。

- ・ プリスケーラ :

下位 13 ビット ($2^0 \sim 2^{12}$) で周辺機能の分周クロックを生成します。また、スリープモードを除く低消費電力モードからの復帰時、発振安定待ち時間をカウントします。

- ・ 8 ビット PWM :

下位 8 ビット ($2^0 \sim 2^7$) が、8 ビット PWM の周期およびデューティ期間生成用カウンタとして用います。

(変換周期: $1/256$)

- ・ \overline{IC} 端子による 8 ビットインプットキャプチャ :

リモコン受信用に IC 端子のエッジにより $2^8 \sim 2^{15}$ の 8 ビットをキャプチャします。

- ・ \overline{IRQ}_3 端子による 18 ビットインプットキャプチャ :

\overline{IRQ}_3 端子のエッジにより $2^1 \sim 2^{18}$ の 18 ビットをキャプチャします。リールパルスの周期測定などに使用できます。

FRC のブロック図を図 8.8 に示します。

FRC は、ソフトウェアによるリードとライトはできません。

FRC は、リセット時、H'00000 にクリアされます。

(1) プリスケーラ

下位 13 ビット分のカウンタで、 $1/2 \sim 1/8192$ の分周クロックを生成します。スリープモードを除く低消費電力モードからの復帰時の発振安定待ち期間については、「3.4 システムコントロールレジスタ」を参照してください。

(2) 8 ビット PWM

変換周期が、 $1/256$ のデューティ制御 PWM 信号を発生します。FRC の $2^0 \sim 2^7$ が、周期とデューティを制御します。キャプスタンモータのアクセル/ブレーキの制御などに利用できます。詳細は「9.3 8 ビット PWM」を参照してください。

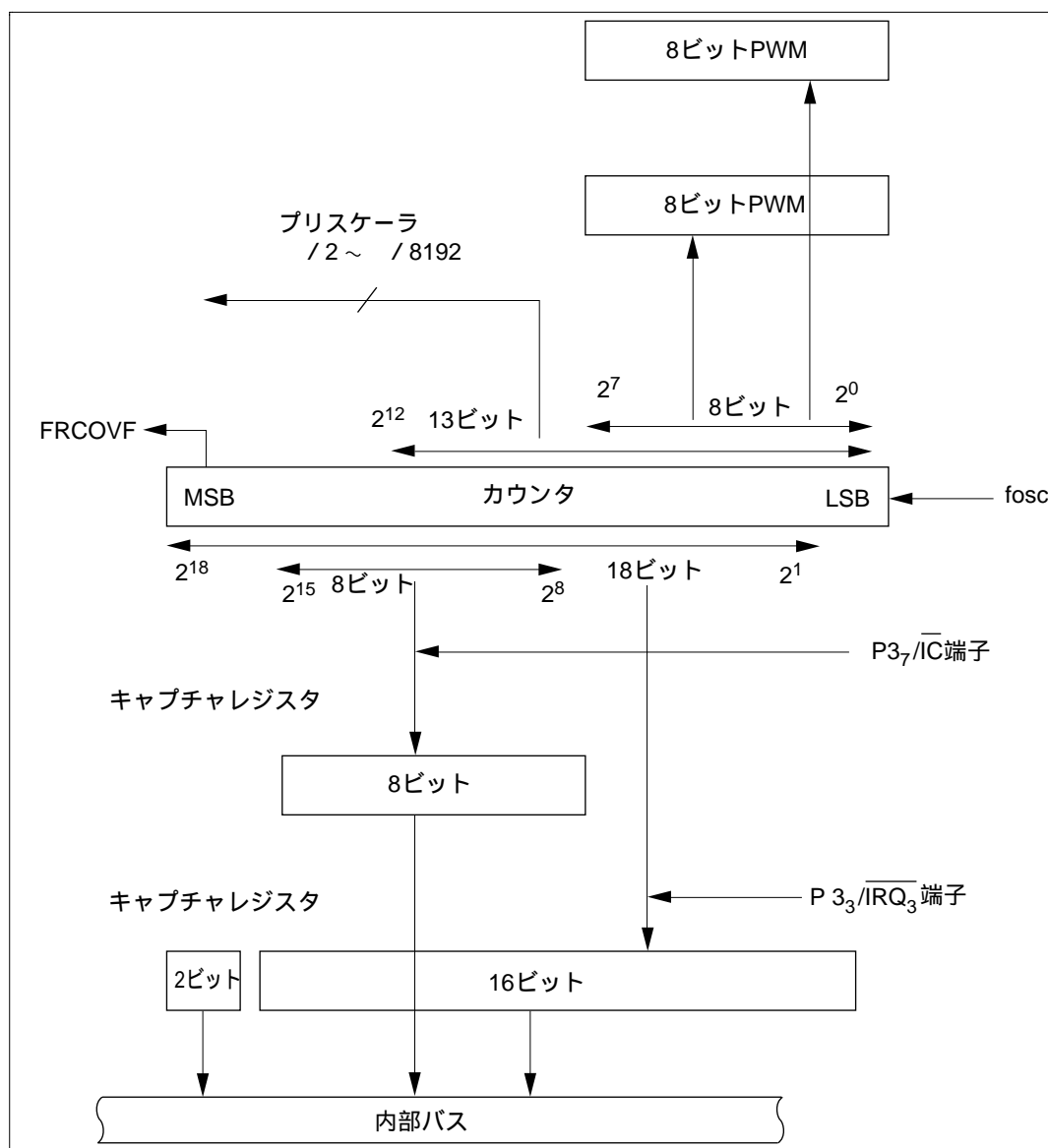


図 8.8 FRC のブロック図

(3) レジスタ構成

フリーランニングカウンタのレジスタ構成を表 8.6 に示します。8 ビット入力キャプチャは、入力キャプチャレジスタ 1 (ICR1) を使います。18 ビット入力キャプチャは、入力キャプチャレジスタ 2 (ICR2) の下位 2 ビットと入力キャプチャレジスタ 3 (ICR3) の 16 ビットとを使います。

表 8.6 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
入力キャプチャレジスタ 1	ICR1	R	バイト	H'00	H'FF94
入力キャプチャレジスタ 2	ICR2	R	バイト	H'FC	H'FF95
入力キャプチャレジスタ 3	ICR3	R	ワード	H'0000	H'FF96

8.5.2 8ビットインプットキャプチャ

FRCの $2^{15} \sim 2^8$ の8ビットを、P3₇ \overline{IC} 端子のエッジでキャプチャできます。リモコン受信などに利用できます。

(1) インプットキャプチャレジスタ1 (ICR1)

ビット	:	7	6	5	4	3	2	1	0
		ICR17	ICR16	ICR15	ICR14	ICR13	ICR12	ICR11	ICR10
初期値	:	0	0	0	0	0	0	0	0
R/W	:	R	R	R	R	R	R	R	R

ICR1は8ビットのリード専用レジスタです。 \overline{IC} 端子のエッジで、FRCの8ビットのデータがキャプチャされます。ライトは無効となります。

低消費電力モード後は、最初のキャプチャが発生するまで、ICR1の値は不定です。

リセット時、H'00に初期化されます。

8.5.3 18 ビットインプットキャプチャ

FRC の $2^1 \sim 2^{18}$ の 18 ビットを、 $P3_3/\overline{IRQ}_3$ 端子のエッジでキャプチャできます。リールパルスの周期測定などに利用できます。

(1) インプットキャプチャレジスタ 2 (ICR2)

ビット	:	7	6	5	4	3	2	1	0
								ICR21	ICR20
初期値	:	1	1	1	1	1	1	0	0
R/W	:							R	R

ICR2 は 2 ビットのリード専用レジスタです。 \overline{IRQ}_3 端子のエッジで、FRC の 18 ビットのキャプチャデータの上位 2 ビットがキャプチャされます。ライトは無効となります。

低消費電力モード後は、最初のキャプチャが発生するまで、ICR2、ICR3 の値は不定です。

リセット時、HFC に初期化されます。

(2) インプットキャプチャレジスタ 3 (ICR3)

ビット	:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		ICR3F	ICR3E	ICR3D	ICR3C	ICR3B	ICR3A	ICR39	ICR38	ICR37	ICR36	ICR35	ICR34	ICR33	ICR32	ICR31	ICR30
初期値	:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ICR3 は 16 ビットのリード専用レジスタです。ワードアクセスのみ有効で、バイトアクセス時のデータは保証されません。 \overline{IRQ}_3 端子のエッジで、FRC の 18 ビットのキャプチャデータの下位 16 ビットがキャプチャされます。ライトは無効となります。

低消費電力モード後は、最初のキャプチャが発生するまで、ICR2、ICR3 の値は不定です。

リセット時、H'0000 に初期化されます。

8.6 リニアタイムカウンタ

8.6.1 概要

リニアタイムカウンタは、コントロールパルスまたは、CFGの分周信号をクロックソースとする8ビットのアップ/ダウンカウンタです。

(1) 特長

リニアタイムカウンタの特長を以下に示します。

2種類の内部クロック(/64、 /32)、DVCFG2(CFG分周信号2)、PBおよびREC-CTL(コントロールパルス)のうちから選択が可能です。無記録のテープの再生時など、PB-CTLがないときは、DVCFG2により、テープカウントが行えます。

DVCFG2、CTLパルスによるカウントは立ち上がりエッジ/立ち下がりエッジの選択が可能です。

カウンタのオーバーフロー、アンダフロー、またはコンペアマッチクリアで割り込みを発生します。

カウンタのアップカウント/ダウンカウントの切り替えが可能です。

(2) ブロック図

リニアタイムカウンタのブロック図を図 8.9 に示します。

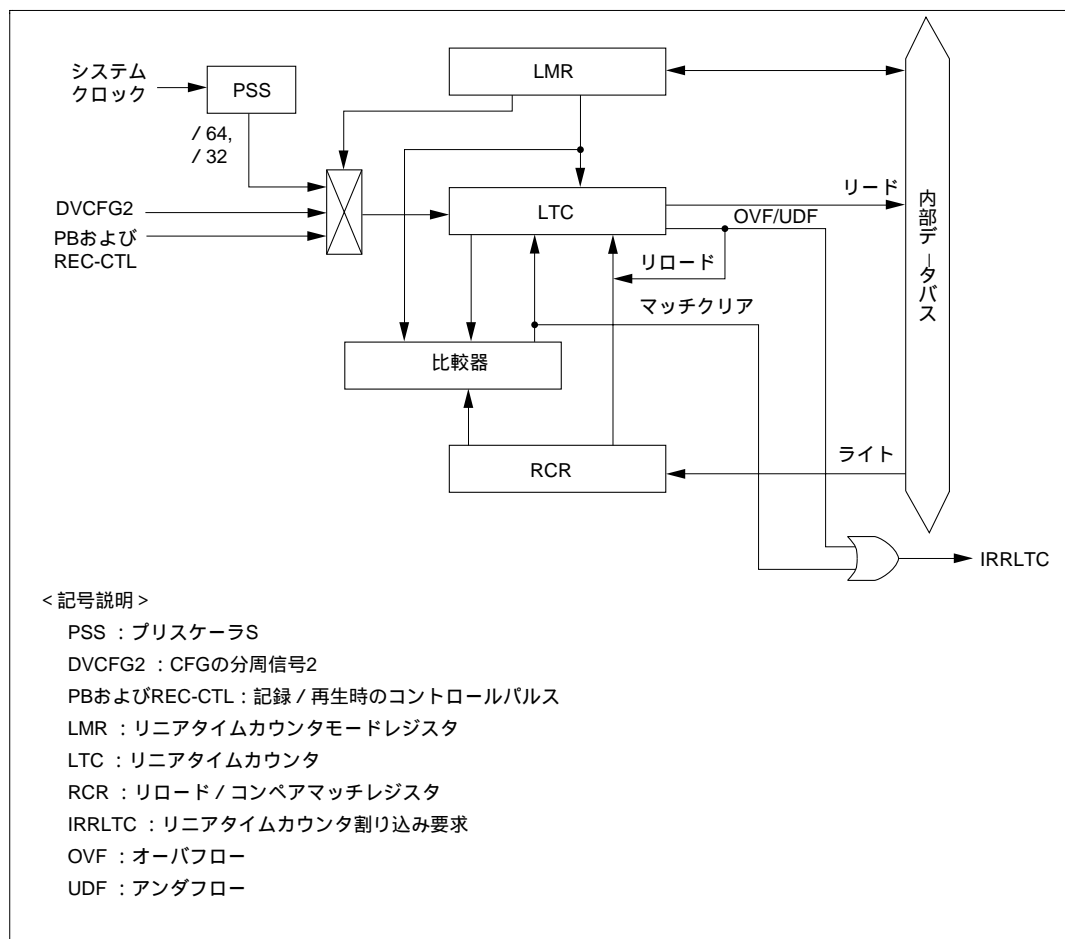


図 8.9 リニアタイムカウンタブロック図

(3) レジスタ構成

リニアタイムカウンタのレジスタ構成を表 8.7 に示します。リニアタイムカウンタ (LTC) とリロードコンペアマッチレジスタ (RCR) は、同じアドレスに割り当てられています。リードとライトによりそれぞれのレジスタがアクセスされます。

表 8.7 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
リニアタイムカウンタレジスタ	LMR	R/W	バイト	H'F0	H'FFC5
リニアタイムカウンタ	LTC	R	バイト	H'00	H'FFC6
リロード/コンペアマッチレジスタ	RCR	W	バイト	H'00	H'FFC6

8.6.2 各レジスタの説明

(1) リニアタイムカウンタモードレジスタ (LMR)

ビット	:	7	6	5	4	3	2	1	0
						LMR3	LMR2	LMR1	LMR0
初期値	:	1	1	1	1	0	0	0	0
R/W	:					R/W	R/W	R/W	R/W

ビット3：カウンタアップ/ダウン制御 (LMR3)

リニアタイムカウンタ (LTC) をアップカウント制御にするか、ダウンカウント制御にするかを選択するビットです。

アップカウント制御時

- ・ リロード/コンペアマッチレジスタ (RCR) に H'00 以外の値を設定すると、LTC は H'00 にクリアされてからカウントアップを行います。LTC と RCR 値との一致で、LTC は H'00 にクリアされます。また、一致信号により割り込み要求を発生します (コンペアマッチクリア機能)。
- ・ RCR に H'00 を設定すると、カウンタは 8 ビットのインターバルタイマ動作を行い、オーバフローでのみ割り込み要求が発生します (インターバルタイマ機能)。RCR の初期値は、H'00 です。

ダウンカウント制御時

- ・ LTC のアンダフローで、リロード/コンペアマッチレジスタ (RCR) の値を LTC へリロードします。RCR に値を設定すると、RCR の設定値を LTC へロードします。また、LTC のアンダフローにより割り込み要求を発生します (オートリロードタイマ機能)。

ビット3	説明
LMR3	
0	アップカウント制御 (初期値) コンペアマッチで LTC をクリア、割り込み要求発生 RCR が H'00 のときは、LTC のオーバフローで割り込み要求発生
1	ダウンカウント制御 LTC のアンダフローでリロード、割り込み要求発生

ビット2～0：クロック選択 (LMR2～LMR0)

LMR2～LMR0は、LTCに入力するクロックを選択します。PBおよびREC-CTLによるカウントは立ち上がりエッジまたは立ち下がりエッジのいずれかを選択できます。

ビット2	ビット1	ビット0	説明
LMR2	LMR1	LMR0	
0	0	0	PBおよびREC-CTLの立ち上がりエッジでカウント (初期値)
		1	PBおよびREC-CTLの立ち下がりエッジでカウント
	1	X	DVCFG2でカウント
1	0	X	内部クロック /64 でカウント
	1	X	内部クロック /32 でカウント

【注】 X：0または1、Don't careを表します。

(2) リニアタイムカウンタ (LTC)

ビット	7	6	5	4	3	2	1	0
	LTC7	LTC6	LTC5	LTC4	LTC3	LTC2	LTC1	LTC0
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

リニアタイムカウンタ (LTC) は、8ビットのリード可能なアップ/ダウンカウンタです。入力クロックは、リニアタイムカウンタモードレジスタ (LMR) の LMR2～LMR0 ビットにより選択します。

LTCは、リロード/コンペアマッチレジスタ (RCR) と同一のアドレスに割り付けられています。

LTCは、リセット時、H'00に初期化されます。

(3) リロード / コンペアマッチレジスタ (RCR)

ビット	:	7	6	5	4	3	2	1	0
		RCR7	RCR6	RCR5	RCR4	RCR3	RCR2	RCR1	RCR0
初期値	:	0	0	0	0	0	0	0	0
R / W	:	W	W	W	W	W	W	W	W

リロード / コンペアマッチレジスタ (RCR) は、8ビットのライト専用のレジスタです。LTC が、アップカウント制御時、RCR にコンペアマッチの値を設定すると、同時に LTC はクリアされ、LTC は初期値 (H'00) からカウントアップを開始します。

LTC が、ダウンカウント制御時、RCR にリロード値を設定すると、同時にその値は LTC にもリロードされ、LTC はその値からカウントダウンを開始します。また、LTC がアンダフローすると LTC に RCR の値がリロードされます。

RCR は、LTC と同一のアドレスに割り付けられています。

RCR は、リセット時、H'00 に初期化されます。

8.6.3 動作説明

リニアタイムカウンタ (LTC) は、入力クロックが入るたびにカウントアップまたはカウントダウンする 8 ビットのアップ / ダウンカウンタです。LTC には、アップカウント制御でコンペアマッチクリア、ダウンカウント制御でオートリロード、インターバルタイマ動作の 3 種類の動作モードがあります。それぞれの動作モード、およびリニアカウンタとしての使用方法について以下に説明します。

(1) コンペアマッチクリアの動作

リニアタイムカウンタモードレジスタ (LMR) の LMR3 ビットを 0 にクリアすると、LTC はアップカウント制御になります。

リロード / コンペアマッチレジスタ (RCR) に H'00 以外の値を書き込むと、LTC は同時に H'00 からカウントアップを開始します。RCR へのライト、および LTC クリアタイミングを図 8.10 に示します。

LTC と RCR の値が一致 (コンペアマッチ) すると、LTC のカウント値はクリアされ、H'00 からカウントアップを開始します。コンペアマッチクリアタイミングを図 8.11 に示します。

リニアタイムカウンタの動作クロックは、LMR の LMR2 ~ LMR0 ビットにより、PB-CTL、DVCFG、およびプリスケータ S の分周クロック (/64、 /32) が選択できます。

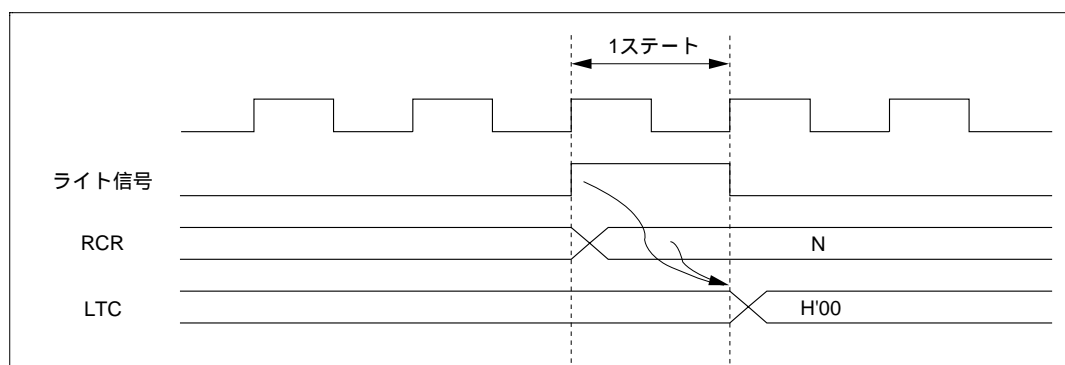


図 8.10 RCR ライト、LTC クリアタイミング

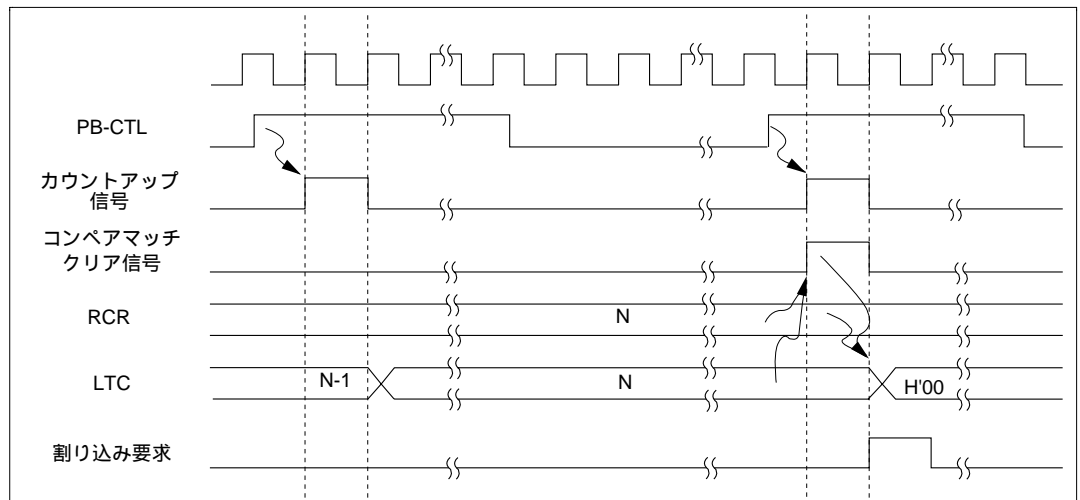


図 8.11 コンペアマッチクリアタイミング (PB-CTL の立ち上がりエッジ選択時)

(2) オートリロードの動作

LMR の LMR3 ビットを 1 にセットすると、LTC はダウンカウント制御になります。

RCR にリロード値を書き込むと、同時にその値が LTC にリロードされ、LTC はその値からカウントダウンを開始します。RCR へのライト、およびリロードタイミングを図 8.12 に示します。

LTC のアンダフローで RCR の値を LTC へリロードします。

リロードタイミングを、図 8.13 に示します。

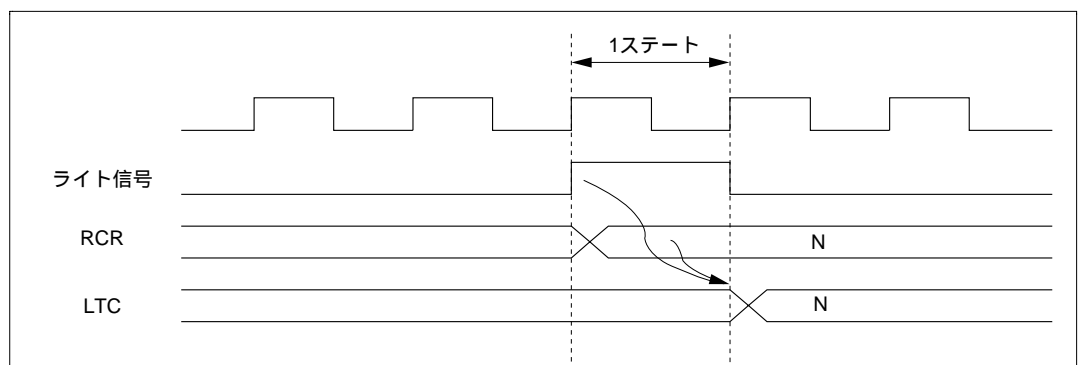


図 8.12 RCR ライト、リロードタイミング

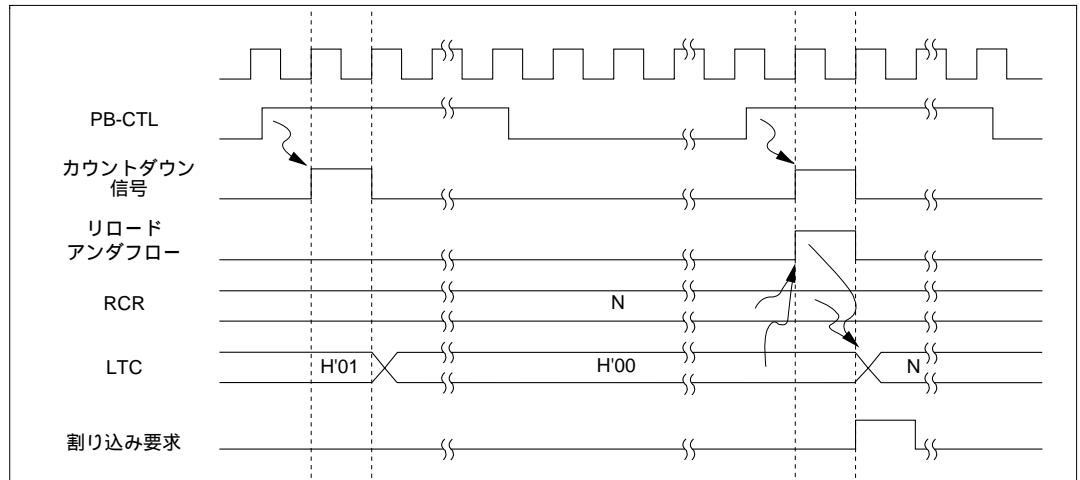


図 8.13 リロードタイミング (PB-CTL の立ち上がりエッジ選択時)

(3) インターバルタイマの動作

LMR の LMR3 ビットを 0 にクリアすると、リニアタイムカウンタはアップカウント制御になります。

RCR に H'00 を設定すると、コンペアマッチは行われずインターバルのアップカウンタとして動作します。

(4) 割り込み要求

リニアタイムカウンタは、次の条件で割り込み要求を発生します。

- ・ アップカウント制御時のコンペアマッチクリア
- ・ ダウンカウント制御時のアンダフロー
- ・ リロード / コンペアマッチレジスタ (RCR) が H'00 のときのオーバフローまたはアンダフロー

(5) 使用例

リニアタイムカウンタの使用例を図 8.14 に示します。

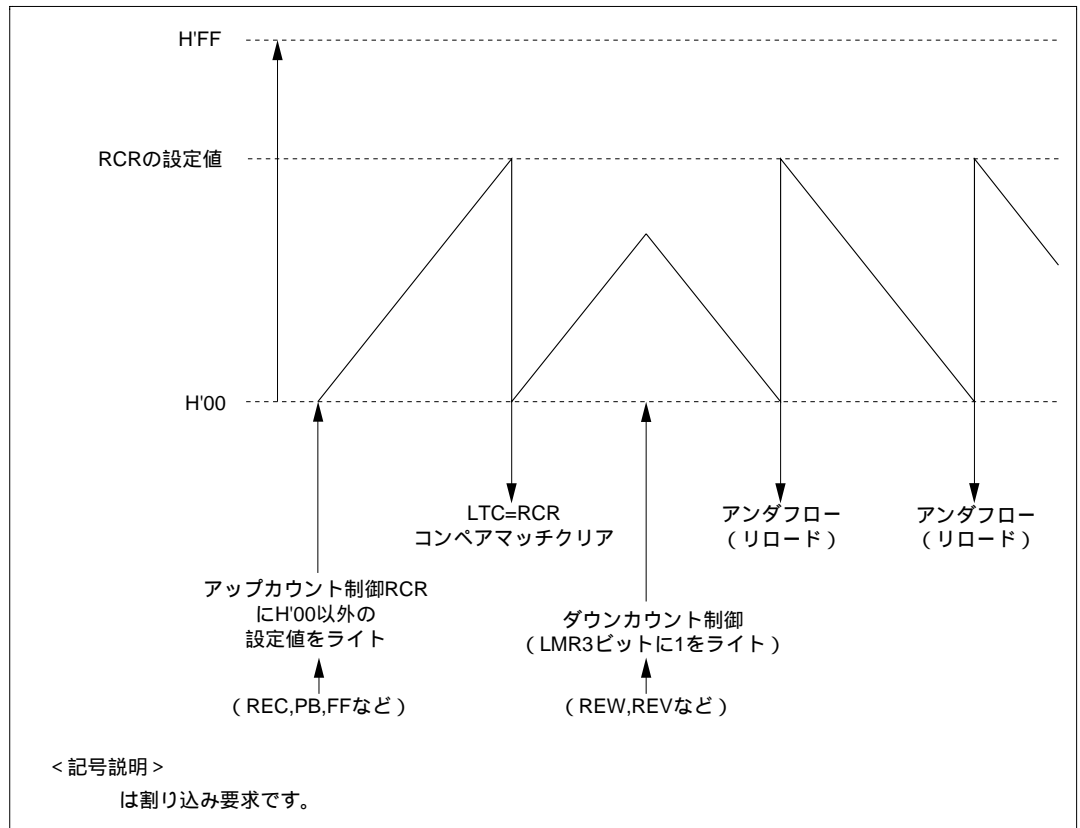


図 8.14 リニアタイムカウンタの使用例

8.6.4 リニアタイムカウンタの動作モード

リニアタイムカウンタは、アクティブモードのみ動作可能です。低消費電力モードのとき、レジスタの内容は保持されます。

モード	リセット	アクティブ	スリープ	スタンバイ	ウォッチ	サブアクティブ
状態	リセット	動作	停止	停止	停止	停止

8.7 リロードタイマの割り込み要求信号

リロード付きタイマカウンタは、カウントダウン（またはカウントアップ）の直前のサイクルで、アンダフロー（またはオーバフロー）が発生します。そして、このアンダフロー（またはオーバフロー）により、リロード信号と割り込み要求信号が発生します。

そのため、アンダフロー（またはオーバフロー）と同時タイミング（リロードのタイミング）でリロードレジスタを書き換えると、カウンタのリロードと同時に割り込み要求が発生します。リロード値の書き換えにより割り込みを回避する場合には、余裕を持ったタイミングでリロードレジスタの書き換えを行ってください。

アンダフローとリロードレジスタ書き換えのタイミングが競合した場合の例を図8.15に示します。

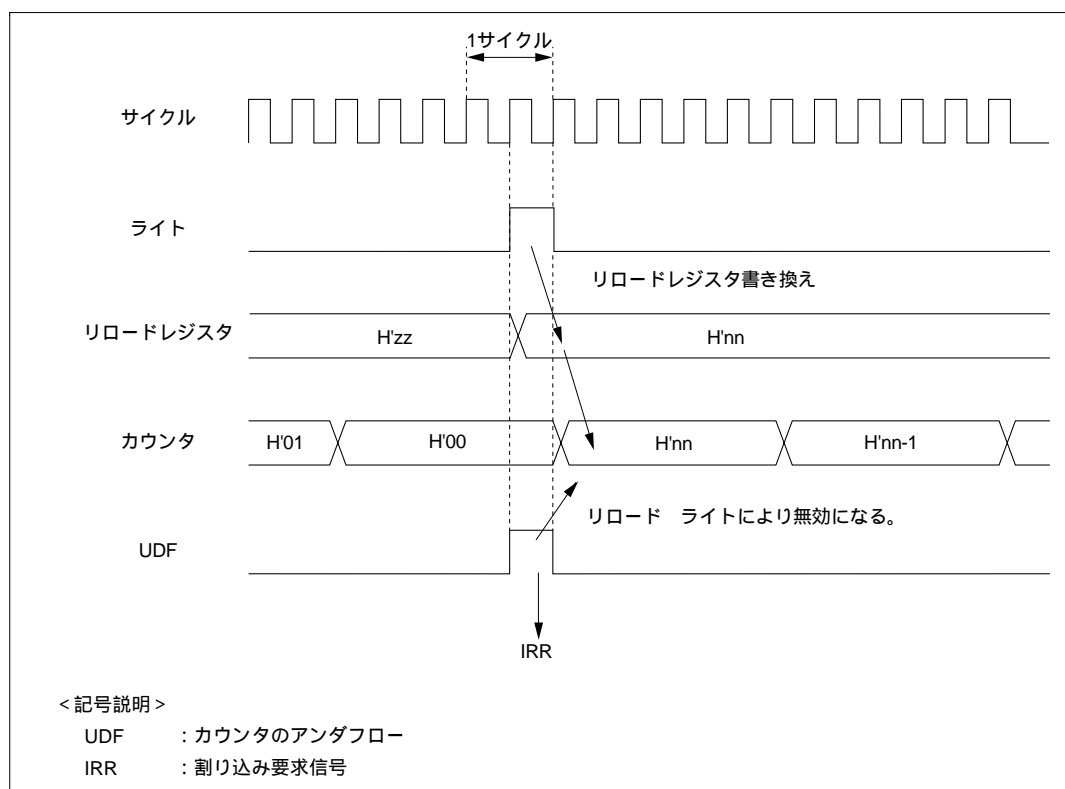


図 8.15 リロードタイマのアンダフローとリロードレジスタ書き換えの競合

9. PWM

第9章 目次

9.1	概要.....	249
9.2	14ビットPWM.....	250
	9.2.1 特長.....	250
	9.2.2 ブロック図.....	250
	9.2.3 端子構成.....	251
	9.2.4 レジスタ構成.....	251
	9.2.5 各レジスタの説明.....	252
	9.2.6 動作説明.....	255
9.3	8ビットPWM.....	256
	9.3.1 特長.....	256
	9.3.2 ブロック図.....	256
	9.3.3 端子構成.....	257
	9.3.4 レジスタ構成.....	257
	9.3.5 各レジスタの説明.....	257
	9.3.6 動作説明.....	260
9.4	12ビットPWM.....	261
	9.4.1 特長.....	261
	9.4.2 ブロック図.....	261
	9.4.3 出力波形.....	262
	9.4.4 端子構成.....	262
	9.4.5 レジスタ構成.....	262
	9.4.6 各レジスタの説明.....	264
	9.4.7 CAPPWM、DRMPWM 端子.....	266

9.1 概要

このLSIには、3種のPWM (Pulse Width Modulation) が内蔵されています。PWM出力端子にローパスフィルタを接続することでD/A変換器として使用できます。

(1) 14ビットPWM

パルス分割方式のPWMです。Vシンセなどに使用できます。

(2) 8ビットPWM

デューティ制御方式のPWMです。リールモータ、ローディングモータなどの制御に使用できます。

(3) 12ビットPWM

パルスピッチ制御方式のPWMを、2チャンネル内蔵しています。ドラムモータ、キャプスタンモータのサーボ制御用のPWMです。

9.2 14ビットPWM

9.2.1 特長

14ビットPWMの特長を以下に示します。

2種類の変換周期を選択可能

1変換周期 $32768/f$ 、最小変化幅 $2/f$ (PWCR0=1)、

または、1変換周期 $16384/f$ 、最小変化幅 $1/f$ (PWCR0=0)の選択が可能です。

リップル低減を図ったパルス分割方式

9.2.2 ブロック図

14ビットPWMのブロック図を図9.1に示します。

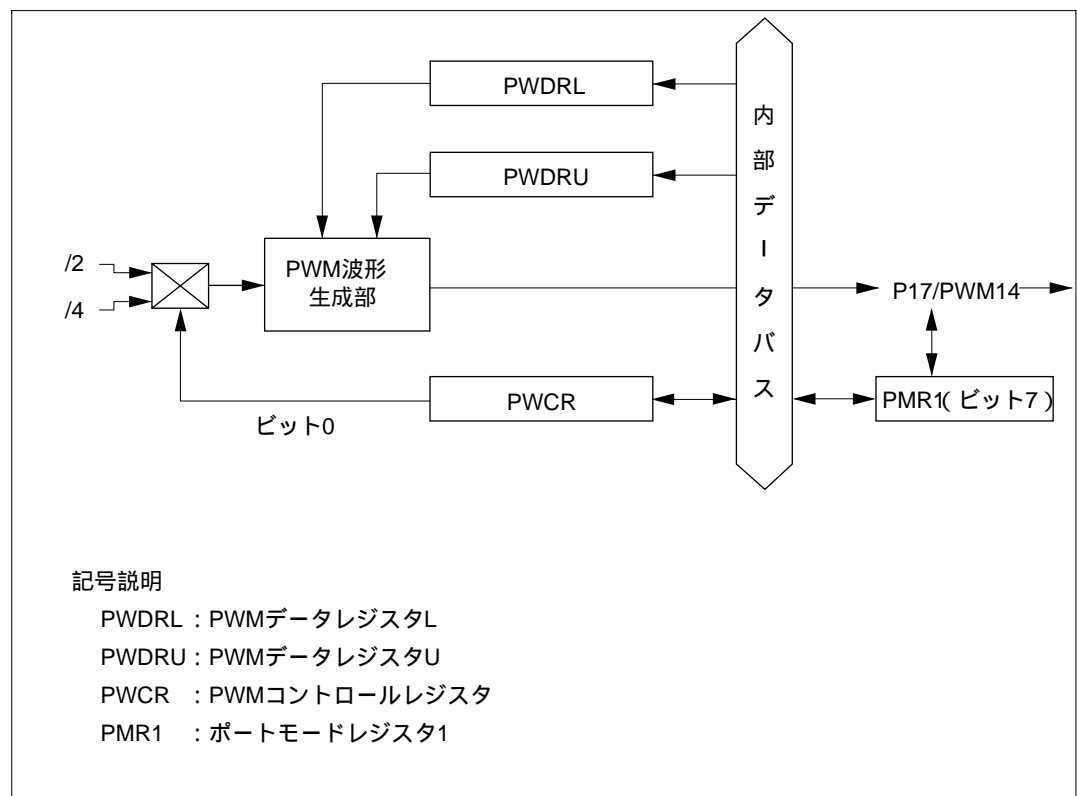


図 9.1 14ビットPWMのブロック図

9.2.3 端子構成

14ビットPWMの端子構成を表9.1に示します。

表9.1 端子構成

名 称	略 称	入出力	機 能
PWM14 方形波出力端子	PWM14	出力	PWM 方形波出力

9.2.4 レジスタ構成

14ビットPWMのレジスタ構成を表9.2に示します。

表9.2 レジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス
PWM データレジスタU	PWDRU	W	バイト	H'00	H'FF9B
PWM データレジスタL	PWDRL	W	バイト	H'00	H'FF9A
PWM コントロールレジスタ	PWCR	R/W	バイト	H'00	H'FF97

9.2.5 各レジスタの説明

(1) PWM コントロールレジスタ (PWCR)

ビット	7	6	5	4	3	2	1	0
	BUZZ1	BUZZ0	MON1	MON0	NCon/off	PWC2	PWC1	PWCR0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWM コントロールレジスタ (PWCR) はブザー出力周波数の選択や PWM の制御を行うレジスタです。

8ビットのリードとライトが可能です。リセット時には、H'00 に初期化されます。

ビット7、6：ブザー出力選択ビット (BUZZ1、BUZZ0)

P5₀/BUZZ 端子の、ブザー出力の周波数、および CTL、時計用発振のモニタ信号を選択します。

ビット7	ビット6	出力信号	f _{osc} = 10MHz のとき (kHz)
BUZZ1	BUZZ0		
0	0	/2048 (初期値)	2.44
	1	/4096	1.22
1	0	MON0、MON1 による出力	
	1	8 / 16 ビットリロードタイマの BUZZ 出力	

ビット5、4：モニタ出力選択ビット (MON1、MON0)

モニタ出力を選択します。

PB-CTL または REC-CTL は、信号のデューティがそのまま出力されます。

DVCTL 信号は、CTL 分周回路からの信号をトグルして出力します。CTL 分周回路により n 分周した信号をさらに 2 分周した波形になります (2n 分周、50% デューティの波形)。

TCA6 は、時計用タイマカウンタのビット 6 を出力します (50% デューティ)。

ビット5	ビット4	説明
MON1	MON0	
0	0	PB または REC-CTL (初期値)
	1	DVCTL
1	X	TCA6 の出力 (PSW 使用時は 1Hz)

【注】 X : 0 または 1、Don't care を表します。

ビット3：ノイズキャンセル・オン/オフ（NC on/off）

\bar{IC} 端子のノイズキャンセル回路を、無効にするか、有効にするかを切り替えます。「7.5 ポート3」を参照してください。

ビット2、1：出力極正指定ビット（PWC2、PWC1）

8ビットPWM1、PWM2の出力極性を、正極性にするか、負極性（反転極性）にするかを指定します。各極性の波形を図9.4に示します。「9.3 8ビットPWM」を参照してください。

ビット n	説 明
PWCn	
0	PWMn の出力は正極性 (初期値)
1	PWMn の出力は反転極性

(n = 2 または 1)

ビット0：クロックセレクト（PWCR0）

14ビットPWMに供給されるクロックを選択します。

ビット 0	説 明
PWCR0	
0	入力クロックは $1/2 (t = 2/)$ 1変換周期 $16384/$ 、最小変化幅 $1/$ の PWM 波形を生成します。 (初期値)
1	入力クロックは $1/4 (t = 4/)$ 1変換周期 $32768/$ 、最小変化幅 $2/$ の PWM 波形を生成します。

【注】 t : PWM 入力クロックの周期

(2) PWM データレジスタ U、L (PWDRU、PWDRL)

PWDRU

ビット	:	7	6	5	4	3	2	1	0
		-		PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0
初期値	:	1	1	0	0	0	0	0	0
R/W	:	-	-	W	W	W	W	W	W

PWDRL

ビット	:	7	6	5	4	3	2	1	0
		PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0
初期値	:	0	0	0	0	0	0	0	0
R/W	:	W	W	W	W	W	W	W	W

PWM データレジスタ U、L (PWDRU、PWDRL) は、PWM 波形 1 周期の High レベル幅を表します。ライト専用の 14 ビットのレジスタで、PWDRU が上位 6 ビット、PWDRL が下位 8 ビットの構成になっています。PWDRU、PWDRL ともバイトアクセス専用のレジスタです。ワードアクセスをすると動作が保証されません。PWDRU、PWDRL に書き込まれた内容は PWM 波形 1 周期の High レベル幅の合計に対応します。

PWDRU、PWDRL に計 14 ビットのデータをライトすると、PWDRU、PWDRL の内容が PWM 波形生成部に取り込まれ、PWM 波形生成のデータの更新が行われます。14 ビットデータの設定は次のように行ってください。

- [1] PWDRL へ下位 8 ビットのデータをライトする。
- [2] PWDRU へ上位 6 ビットのデータをライトする。

上記のように、データの設定は、必ず PWDRL PWDRU の順序で行ってください。

PWDRU、PWDRL は、ライト専用レジスタですが、リードした場合には、常に 1 が読み出されます。

PWDRU、PWDRL は、リセット時、HC000 に初期化されます。

9.2.6 動作説明

14ビットPWMを使用する場合、以下の順序でレジスタ設定を行ってください。

- (1)ポートモードレジスタ1(PMR1)のPWM14ビット=1としてP1₇/PWM14端子をPWM出力端子に設定します。
- (2)PWMコントロールレジスタ(PWCR)のPWCR0ビットにより、1変換周期を32768/(PWCR0ビット=1)、16384/(PWCR0ビット=0)から選択します。
- (3)PWMデータレジスタU、L(PWDRU、PWDRL)に出力波形データを設定します。
このとき、必ずPWDRL PWDRUの順序でバイト単位で書き込んでください。
PWDRUへのライトと同時にPWM波形生成部にデータが取り込まれ、内部信号と同期をとってPWM波形生成の更新が行われます。

1変換周期は図9.2に示すように64個のパルスで構成され、この1変換周期中のHighレベル幅合計(TH)が、PWDRU、PWDRLのデータに対応しています。この関係は次式で示されます。

$$TH = (\text{PWDRU、PWDRLのデータ値} + 64) \times t / 2$$

ここで t は、PWM入力クロックの周期で2/(PWCR0ビット=0)または4/(PWCR0ビット=1)となります。

PWDRU、PWDRLのデータ値がH'3FC0~H'3FFFではPWM出力はHighレベルとなります。

H'0000では、 $TH = 64 \times t / 2 = 32 \cdot t$ となります。

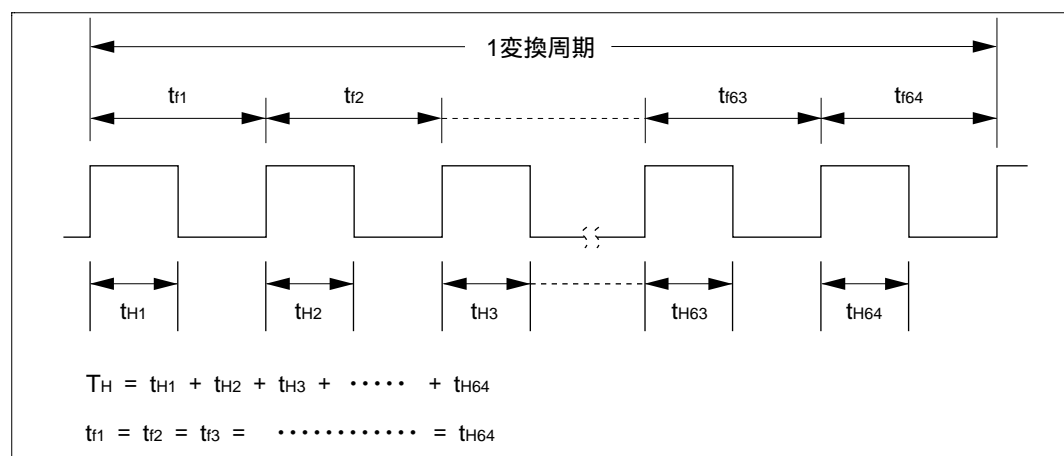


図9.2 14ビットPWM出力波形

9.3 8ビットPWM

9.3.1 特長

デューティ制御方式のPWMです。リールモータ、ローディングモータなどの制御に使用できます。

8ビットPWMの特長を以下に示します。

変換周期：1変換周期 256/

デューティ制御方式

9.3.2 ブロック図

8ビットPWMのブロック図を図9.3に示します。

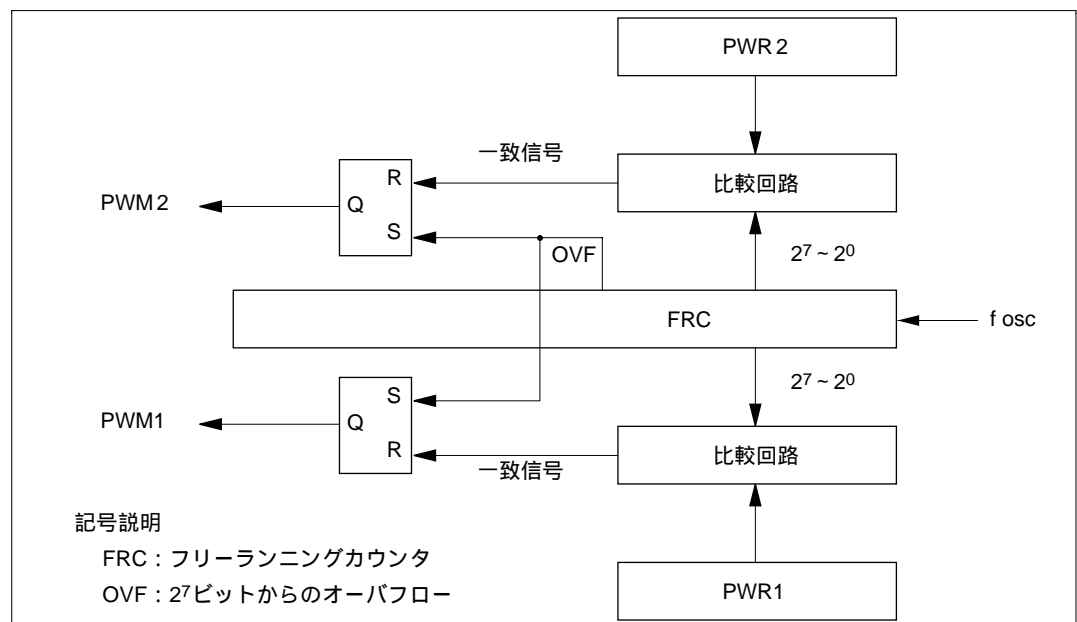


図 9.3 8ビットPWMのブロック図

9.3.3 端子構成

8ビットPWMの端子構成を表9.3に示します。

表9.3 端子構成

名 称	略 称	入出力	機 能
PWM1 方形波出力端子	PWM1	出力	8ビットPWM方形波出力
PWM2 方形波出力端子	PWM2		

9.3.4 レジスタ構成

8ビットPWMのレジスタ構成を表9.4に示します。

表9.4 レジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス
8ビットPWMデータレジスタ1	PWR1	W	バイト	H'00	H'FF98
8ビットPWMデータレジスタ2	PWR2	W	バイト	H'00	H'FF99
PWMコントロールレジスタ	PWCR	R/W	バイト	H'00	H'FF97

9.3.5 各レジスタの説明

(1) 8ビットPWMデータレジスタ1、2 (PWR1、PWR2)

PWR1

ビット : 7 6 5 4 3 2 1 0

PW17	PW16	PW15	PW14	PW13	PW12	PW11	PW10
------	------	------	------	------	------	------	------

初期値 : 0 0 0 0 0 0 0 0

R / W : W W W W W W W W

PWR2

ビット : 7 6 5 4 3 2 1 0

PW27	PW26	PW25	PW24	PW23	PW22	PW21	PW20
------	------	------	------	------	------	------	------

初期値 : 0 0 0 0 0 0 0 0

R / W : W W W W W W W W

8ビットPWMデータレジスタ1、2(PWR1、PWR2)は、デューティ設定レジスタです。PWR1がPWM1、PWR2がPWM2のデューティ設定レジスタになっています。PWR1、PWR2はライト専用の8ビットのレジスタです。PWR1、PWR2に書き込まれた内容は各PWM波形1周期のHighレベル幅に対応します。

PWR1、PWR2にデータをライトすると、PWR1、PWR2の内容が各PWM波形生成部に取り込まれ、PWM波形生成のデータの更新が行われます。

PWR1、PWR2は、ライト専用レジスタですが、リードした場合には、常に1が読み出されます。

PWR1、PWR2は、リセット時、H'00に初期化されます。

(2) PWMコントロールレジスタ(PWCR)

ビット	7	6	5	4	3	2	1	0
	BUZZ1	BUZZ0	MON1	MON0	NCon/off	PWC2	PWC1	PWCR0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWMコントロールレジスタ(PWCR)はブザー出力周波数の選択やPWMの制御を行うレジスタです。

PWCRは8ビットのリードとライトが可能なレジスタです。リセット時には、H'00に初期化されます。

ビット7、6：ブザー出力選択ビット(BUZZ1、BUZZ0)

P5₀/BUZZ端子の、ブザー出力の周波数、およびCTL、時計用発振のモニタ信号を選択します。

ビット7	ビット6	出力信号	f _{osc} = 10MHz のとき (kHz)
BUZZ1	BUZZ0		
0	0	/2048 (初期値)	2.44
	1	/4096	1.22
1	0	MON0、MON1による出力	
	1	8/16ビットリロードタイマのBUZZ出力	

ビット5、4：モニタ出力選択ビット（MON1、MON0）

モニタ出力を選択します。

PB-CTLまたはREC-CTLは、信号のデューティがそのまま出力されます。

DVCTL信号は、CTL分周回路からの信号をトグルして出力します。CTL分周回路によりn分周した信号をさらに2分周した波形になります（2n分周、50%デューティの波形）。

TCA6は、時計用タイマカウンタのビット6を出力します（50%デューティ）。

ビット5	ビット4	説明
MON1	MON0	
0	0	PBまたはREC-CTL（初期値）
	1	DVCTL
1	X	TCA6の出力（PSW使用時は1Hz）

【注】 X：0または1、Don't careを表します。

ビット3：ノイズキャンセル・オン/オフ（NC on/off）

\overline{IC} 端子のノイズキャンセル回路を、無効にするか、有効にするかを切り替えます。「7.5ポート3」を参照してください。

ビット2、1：出力極性指定ビット（PWC2、PWC1）

PWM1、PWM2の出力極性を、正極性にするか、負極性（反転極性）にするかを指定します。図9.4に各極性の波形を示します。

ビットn	説明
PWCn	
0	PWMnの出力は正極性（初期値）
1	PWMnの出力は反転極性

（n=2または1）

ビット0：クロックセレクト（PWCR0）

14ビットPWMに供給されるクロックを選択します。「9.2 14ビットPWM」を参照してください。

ビット0	説明
PWCR0	
0	入力クロックは $f_{osc}/2$ ($t_{clk} = 2/f_{osc}$)、1変換周期 $16384/f_{osc}$ 、最小変化幅 $1/f_{osc}$ のPWM波形を生成します。 (初期値)
1	入力クロックは $f_{osc}/4$ ($t_{clk} = 4/f_{osc}$)、1変換周期 $32768/f_{osc}$ 、最小変化幅 $2/f_{osc}$ のPWM波形を生成します。

【注】 t_{clk} : PWM入力クロックの周期

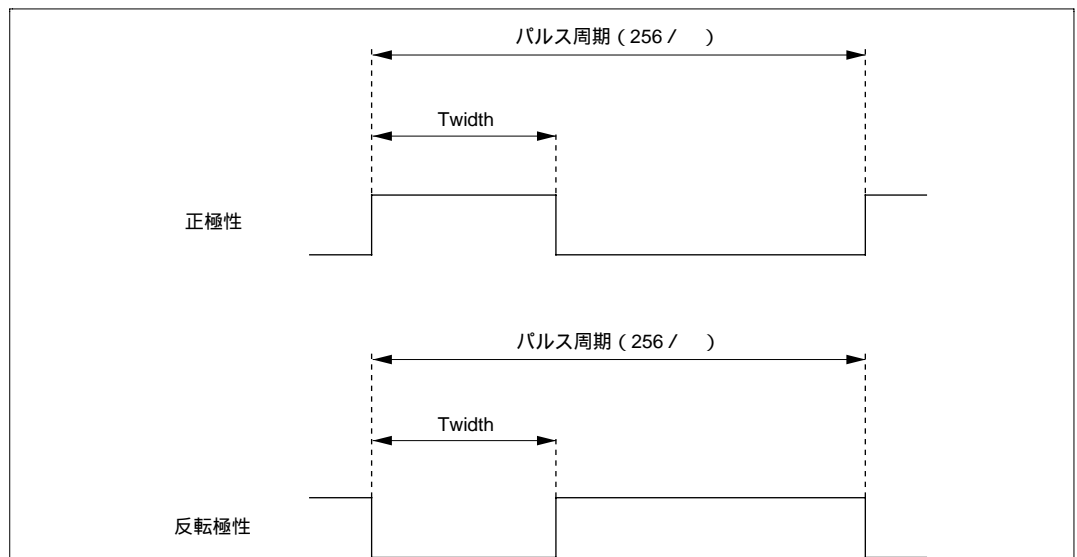


図 9.4 8ビットPWMの波出力形

9.3.6 動作説明

8ビットPWMは、 $256/f_{osc}$ のパルス周期と、PWMデータレジスタで決まるパルス幅を持つPWMパルスを出力します。

このPWM出力パルスは、ローパスフィルタで積分することにより、DC電圧に変換することができます。パルス幅 (Twidth) は、次の式で求められます。

$$Twidth = (PWR / 256) \times (256 / f_{osc})$$

ただし、 $f_{osc} = 10\text{MHz}$ のとき、 $f_{osc}/2 = 5\text{MHz}$ です。

9.4 12ビット PWM

9.4.1 特長

12ビットのPWM信号発生器がモータ制御用に2チャンネル内蔵されています。出力パルスのピッチを変化させる方式（出力の一部を周期的に欠落させる）であり、出力パルスの低域周波数成分を減少させ、クロック周波数を高くすることなく高速応答を可能にしています。誤差データ（規定の速度/位相との進みまたは遅れ）に応じてPWM信号のピッチを補正します。

9.4.2 ブロック図

PWM信号発生器の構造を図9.5に示します。12ビットのパルスジェネレータと誤差データレジスタの内容とを合成し、PWM信号を発生します。量子パルスの発生頻度の異なるものを合成して出力しているために、低域周波数成分が減少します。誤差データは、12ビットの符号なしの2進数で表されます。

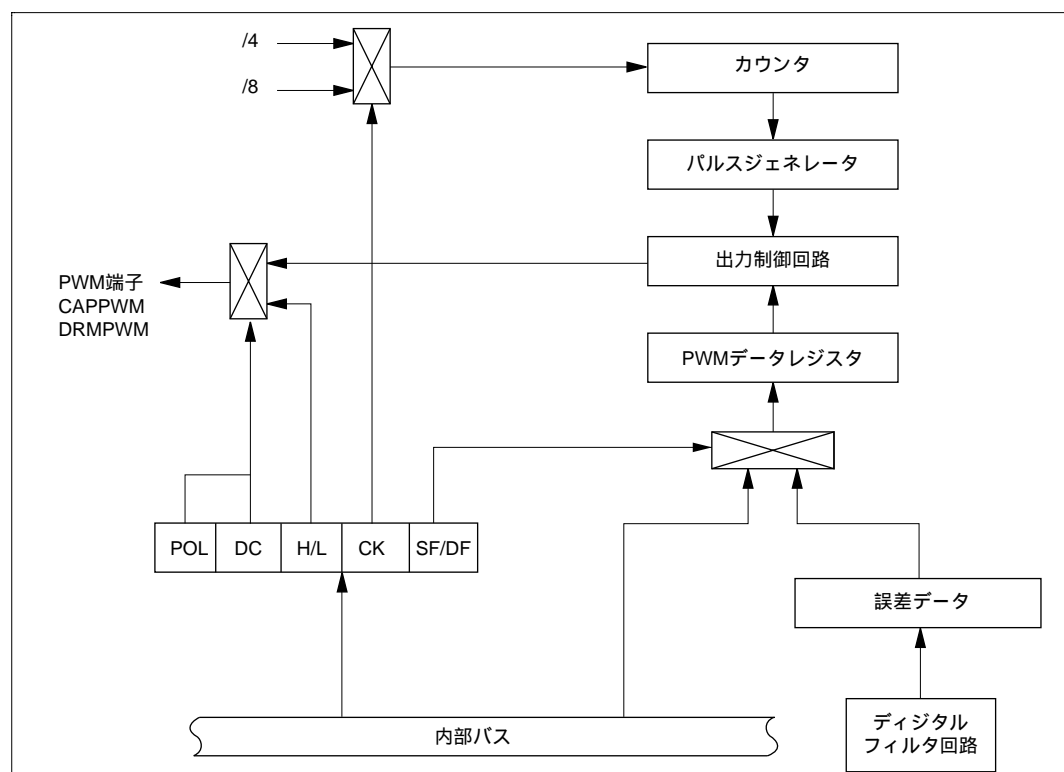


図9.5 12ビットPWMのブロック図

9.4.3 出力波形

PWM 信号発生器は、誤差データと発生器内パルスジェネレータ出力とを合成し、PWM 信号に変調します。基準を $V_{CC}/2$ とした場合モータが、

- ・ 規定の速度 / 位相で回転している時は、50%デューティの PWM 信号を出力します。
- ・ 規定の速度 / 位相より速い時は、PWM 信号の一部を誤差に応じて周期的に Low に落として速度を補正します。
- ・ 規定の速度 / 位相より遅い時は、PWM 信号の一部を誤差に応じて周期的に High に上げて速度を補正します。

モータが定速度および定位相で回転している時、誤差データは、12 ビットで表される値の $1/2$ となり (1000 0000 0000) ます。この時、PWM 出力は選択した分周クロックの周波数と同じになります。

PWM 信号に変換された誤差データは、外部のローパスフィルタ (LPF) により DC 電圧に平滑します。平滑された誤差データにより、モータの制御が可能です。

出力波形の例を図 9.6 に示します。

12 ビット PWM の端子はリセット時 Low 出力となります。また、低消費電力モード時は遷移直前の状態を保持します。モータの暴走を防ぐために、端子のレベルを固定してください。

9.4.4 端子構成

12 ビット PWM の端子構成を表 9.5 に示します。

表 9.5 端子構成

名 称	略 称	入出力	機 能
キャプスタンミックス	CAPPWM	出力	12 ビット PWM 方形波出力
ドラムミックス	DRMPWM		

9.4.5 レジスタ構成

12 ビット PWM のレジスタ構成を表 9.6 に示します。

表 9.6 レジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス
12 ビット PWM コントロールレジスタ	CPWCR	R/W	バイト	H'40	H'FFAE
	DPWCR	R/W	バイト	H'40	H'FFAC
12 ビット PWM データレジスタ	CPWDR	W	ワード	H'F000	H'FFAF
	DPWDR	W	ワード	H'F000	H'FFAD

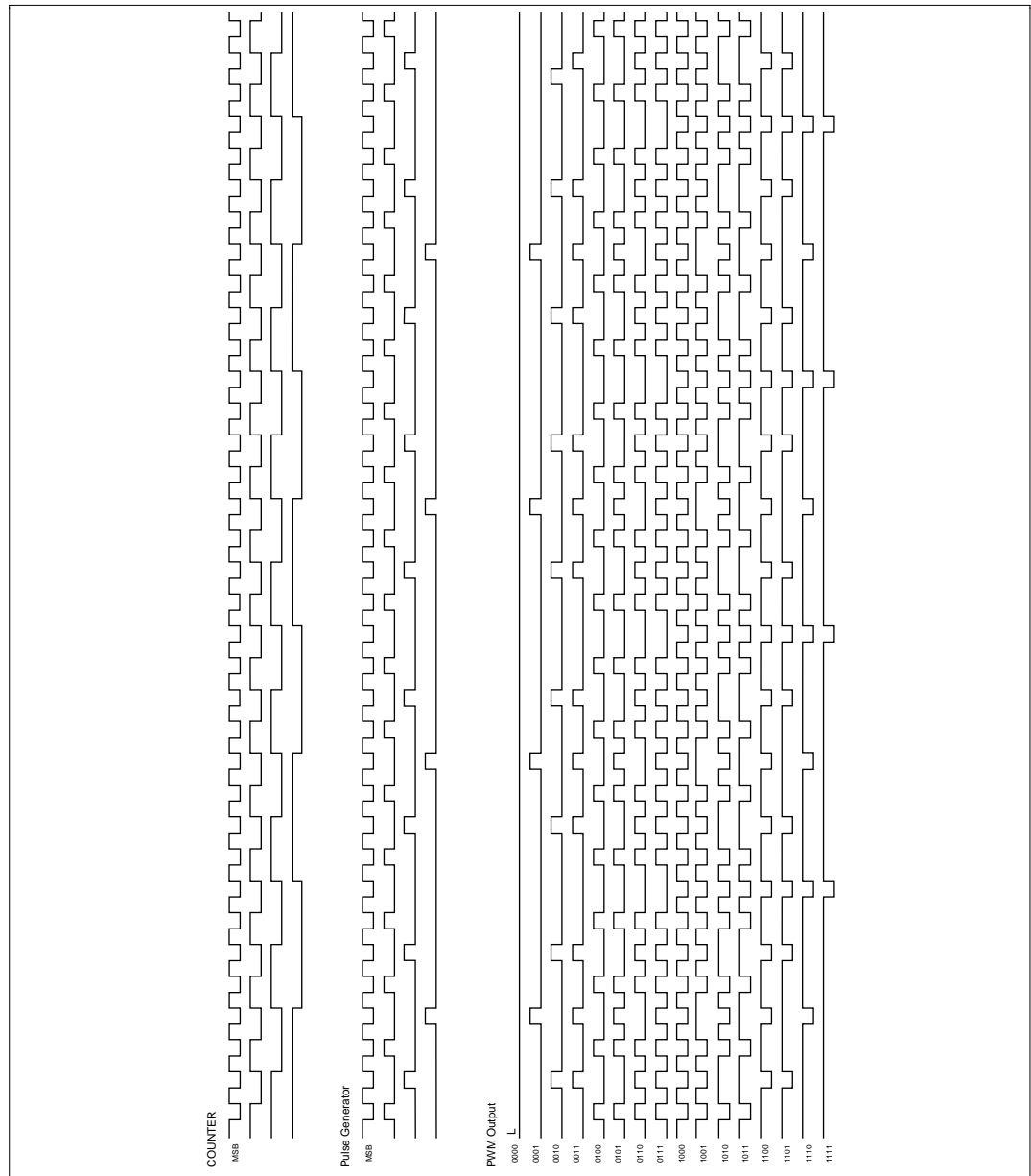


図 9.6 12 ビット PWM の出力波形例 (4 ビットの例)

9.4.6 各レジスタの説明

(1) 12ビットPWMコントロールレジスタ (CPWCR、DPWCR)

CPWCR

ビット	7	6	5	4	3	2	1	0
			POL	DC	HiZ	H/L	SF/DF	CK
初期値	1	1	0	0	0	0	0	0
R/W			R/W	R/W	R/W	R/W	R/W	R/W

DPWCR

ビット	7	6	5	4	3	2	1	0
			POL	DC	HiZ	H/L	SF/DF	CK
初期値	1	1	0	0	0	0	0	0
R/W			R/W	R/W	R/W	R/W	R/W	R/W

CPWCR は、キャプスタンモータ用 PWM 出力のコントロールレジスタです。DPWCR は、ドラムモータ用 PWM 出力のコントロールレジスタです。いずれも 7 ビットのリードとライトが可能なレジスタです。

CPWCR と DPWCR はリセット時、H'40 に初期化されます。

ビット 7：リザーブビット

リザーブビットです。ライトは無効です。リードすると 1 が読み出されます。

ビット 6：リザーブビット

リザーブビットです。ライトは無効です。リードすると 1 が読み出されます。

ビット 5：極性反転ビット (POL)

ノイズ防止などの目的から、PWM 変調した信号の極性を、反転することができます。固定出力が選択 (DC ビットが 1) されているとき、本ビットは無効です。

ビット 5	説明
POL	
0	正極性で出力 (初期値)
1	極性を反転して出力

ビット4：固定出力ビット（DC）

PWM 変調出力か、出力ビットによる端子制御かを切り替えることができます。

ビット4	説明
DC	
0	PWM 変調信号を出力 (初期値)
1	HiZ、H/L ビットによる信号を出力

ビット3、2：PWM端子出力ビット（HiZ、H/L）

DC ビットが1のとき、12ビット PWM 出力端子は HiZ または H/L ビットによる値を出力します。POL ビットには影響されません。

ビット3	ビット2	説明
HiZ	H/L	
0	0	PWM 出力端子に Low レベルを出力 (初期値)
	1	PWM 出力端子に High レベルを出力
1	X	PWM 出力端子はハイインピーダンス

【注】 X：0または1、Don't care を表します。

ビット1：出力データ選択ビット（SF/DF）

PWM 変調するデータを、データレジスタから受け取るか、デジタルフィルタ回路からのデータを受け取るかを切り替えます。

ビット1	説明
SF/DF	
0	デジタルフィルタ回路からの誤差データを変調 (初期値)
1	データレジスタに書き込まれた誤差データを変調

ビット0：キャリア周波数選択ビット（CK）

PWM 変調信号の搬送波周波数を選択します。

ビット0	説明
CK	
0	搬送波周波数は /4 (初期値)
1	搬送波周波数は /8

(2) 12ビットPWMデータレジスタ(DPWDR、CPWDR)

CPWDR

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					CWR11	CWR10	CWR9	CWR8	CWR7	CWR6	CWR5	CWR4	CWR3	CWR2	CWR1	CWR0
初期値:	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:					W	W	W	W	W	W	W	W	W	W	W	W

DPWDR

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					DWR11	DWR10	DWR9	DWR8	DWR7	DWR6	DWR5	DWR4	DWR3	DWR2	DWR1	DWR0
初期値:	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W:					W	W	W	W	W	W	W	W	W	W	W	W

12ビットPWMデータレジスタ(DPWDR、CPWDR)は、PWM変調するデータを書き込むレジスタです。12ビットのライト専用レジスタです。レジスタのデータは、各コントロールレジスタのSF/DFビットが1のときにのみ、PWM変調されます。ワードアクセス専用となっており、バイトアクセスはできません。バイトアクセスを実行したときの動作は保証されません。

リセット時に、HF000に初期化されます。

9.4.7 CAPPWM、DRMPWM端子

CAPPWM、DRMPWMの各端子は出力専用端子です。リセット時はLow出力になります。

低消費電力モード時、12ビットPWMの回路および端子状態は保持されます。低消費電力モードに遷移するときは、12ビットPWMコントロールレジスタのビット4(DC)、ビット3(HiZ)、ビット2(H/L)により、出力レベルを固定してから行ってください。CPWCR、DPWCRによる端子状態を示します。

ビット4	ビット3	ビット2	端子状態
DC	HiZ	H/L	
1	0	0	Low出力
		1	High出力
	1	X	ハイインピーダンス

【注】 X: 0または1、Don't careを表します。

10. SCI

第 10 章 目次

10.1	概要.....	269
	10.1.1	特長..... 269
	10.1.2	ブロック図..... 269
	10.1.3	端子構成..... 270
	10.1.4	レジスタ構成..... 270
10.2	各レジスタの説明.....	271
	10.2.1	シリアルモードレジスタ 1 (SMR1)..... 271
	10.2.2	シリアルモードレジスタ 2 (SMR2)..... 273
	10.2.3	シリアルデータレジスタ 1 (SDR1)..... 275
	10.2.4	シリアルデータレジスタ 2 (SDR2)..... 275
	10.2.5	ポートモードレジスタ 1 (PMR1)..... 276
	10.2.6	シリアルポートレジスタ (SPR)..... 279
10.3	動作説明.....	281
	10.3.1	SCI1、SCI2 の動作状態..... 281
	10.3.2	オーバランエラー検出例と CPU 動作..... 283
	10.3.3	SCI の注意事項..... 284

10.1 概要

この LSI は、8 ビットのクロック同期式シリアルコミュニケーションインタフェース (SCI) を 2 チャンネル内蔵しています。シリアルコミュニケーションインタフェース 1、2 (SCI1、SCI2) は、8 ビットのクロック同期式シリアル転送を行います。

10.1.1 特長

SCI1、SCI2 の特長を以下に示します。

8 ビットの転送データを送受信可能

クロックソースとして 3 種類の内部クロック ($/64$ 、 $/16$ 、 $/8$) と、外部クロックが選択可能

転送の完了、またはエラーで割り込み要求を発生

10.1.2 ブロック図

SCI1 のブロック図を図 10.1 に示します。SCI2 の構成も同様です。

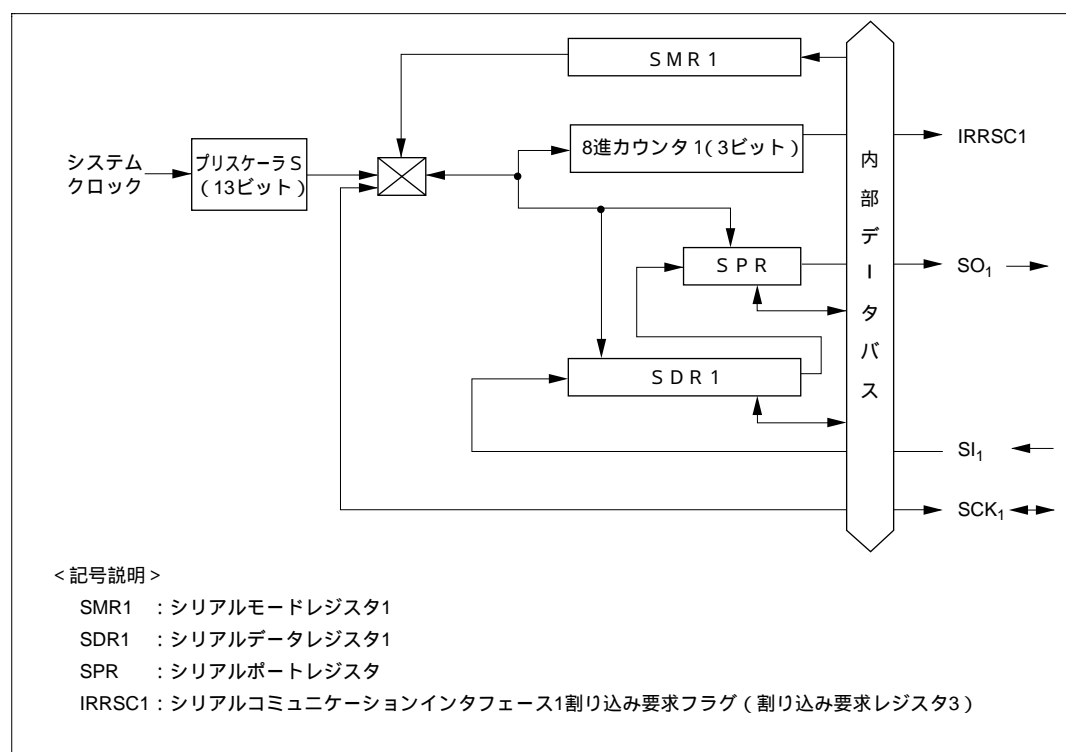


図 10.1 SCI1 のブロック図

10.1.3 端子構成

SCI1、SCI2 の端子構成を表 10.1 に示します。

表 10.1 端子構成

チャンネル	名 称	略 称	入出力	機 能
1	SCI1 クロック端子	SCK ₁	入出力	SCI1 のクロック入出力端子
	SCI1 データ入力端子	SI ₁	入力	SCI1 の受信データ入力端子
	SCI1 データ出力端子	SO ₁	出力	SCI1 の送信データ出力端子
2	SCI2 クロック端子	SCK ₂	入出力	SCI2 のクロック入出力端子
	SCI2 データ入力端子	SI ₂	入力	SCI2 の受信データ入力端子
	SCI2 データ出力端子	SO ₂	出力	SCI2 の送信データ出力端子

10.1.4 レジスタ構成

SCI1、SCI2 のレジスタ構成を表 10.2 に示します。

表 10.2 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
シリアルモードレジスタ 1	SMR1	W	バイト	H'F0	H'FF9C
シリアルデータレジスタ 1	SDR1	R/W	バイト	不定	H'FF9D
ポートモードレジスタ 1	PMR1	R/W	バイト	H'01	H'FFEC
シリアルモードレジスタ 2	SMR2	W	バイト	H'F0	H'FF9E
シリアルデータレジスタ 2	SDR2	R/W	バイト	不定	H'FF9F
シリアルポートレジスタ	SPR	R/W	バイト	H'FX*	H'FFDF

【注】* SPR のビット 3、2 の初期値は不定、ビット 1、0 の初期値は 0 です。

10.2 各レジスタの説明

10.2.1 シリアルモードレジスタ 1 (SMR1)

ビット	7	6	5	4	3	2	1	0
					PMOS1	BST1	PS11	PS10
初期値	1	1	1	1	0	0	0	0
R/W					W	W	W	W

SMR1 は、動作モードとプリスケアラ分周比の選択を行います。また、SMR1 への書き込みには、シリアルインタフェースの内部状態を初期化する機能があります。SMR1 はライト専用の 4 ビットレジスタです。

SMR1 への書き込みによって、シリアルデータレジスタ 1 (SDR1) および 8 進カウンタへの転送クロックの供給が止められ、8 進カウンタが H'00 にリセットされます。したがって、SCI の動作中に SMR への書き込みを行うと、データの送信 / 受信が途中で打ち切られて、シリアルポートレジスタ (SPR) のビット 0 の SCI1 割り込み要求フラグ (ISC1) がセットされます。

SCI1、SCI2 の割り込みは、論理和された割り込み要求となっています。割り込み要求元を判定するためには、SPR のビット 0、1 で判定してください。論理和された割り込み要求は、割り込み要求レジスタ IRQR3 の IRRSC1 ビット (ビット 6) を 1 にセットします。

SCI1 は、SMR1 をダミーリードすることにより、動作を開始します。

SMR1 は、リセット時 H'F0 に初期化されます。

ビット 7~4 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 3 : SO₁ 端子 PMOS オン / オフ (PMOS1)

PI₄/SO₁ 端子の PMOS のオン / オフを制御します。

ビット 3	説明
PMOS1	
0	SO ₁ 端子の PMOS バッファは ON (CMOS 出力) (初期値)
1	SO ₁ 端子の PMOS バッファは OFF (NMOS オープンドレイン出力)

ビット2：動作モード選択 (BST1)

SCI1 の動作モードを指定します。クロック連続出力モードでは、SCK₁ 端子から PS1、PS0 ビット (ビット1、0) で指定したクロックが連続出力されるのみで、シリアルデータの転送は行われません。

ビット2	説明
BST1	
0	SCI1 は、転送モード (初期値)
1	SCI1 は、クロック連続出力モード

ビット1、0：クロックセレクト (PS11、PS10)

SCI1 に供給するクロックを設定します。

ビット1	ビット0	SCK 端子	プリスケアラ分周比	転送クロック周期 μs (=5MHz)
PS11	PS10			
0	0	SCK 出力	/64	12.8 (初期値)
	1	SCK 出力	/16	3.2
1	0	SCK 出力	/8	1.6
	1	外部クロック入力	-	-

10.2.2 シリアルモードレジスタ 2 (SMR2)

ビット	:	7	6	5	4	3	2	1	0
						PMOS2	BST2	PS21	PS20
初期値	:	1	1	1	1	0	0	0	0
R/W	:					W	W	W	W

SMR2は、動作モードとプリスケアラ分周比の選択を行います。また、SMR2への書き込みには、シリアルインタフェースの内部状態を初期化する機能があります。SMR2はライト専用の4ビットレジスタです。

SMR2への書き込みによって、シリアルデータレジスタ2 (SDR2) および8進カウンタへの転送クロックの供給が止められ、8進カウンタがH'00にリセットされます。したがって、SCIの動作中にSMRへの書き込みを行うと、データの送信/受信が途中で打ち切られて、シリアルポートレジスタ (SPR) のビット1にSCI2割り込み要求フラグ (ISC2) がセットされます。

SCI1、SCI2の割り込みは、論理和された割り込み要求となっています。割り込み要求元を判定するためには、SPRのビット1、0で判定してください。論理和された割り込み要求は、割り込み要求レジスタIRQR3のIRRSC1ビット (ビット6) を1にセットします。

SCI2は、SMR2をダミーリードすることにより、動作を開始します。

SMR2は、リセット時H'F0に初期化されます。

ビット7~4: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット3: SO₂端子 PMOS オン/オフ (PMOS2)

PI₄/SO₂端子のPMOSのオン/オフを制御します。

ビット3	説明
PMOS2	
0	SO ₂ 端子のPMOSバッファはON (CMOS出力) (初期値)
1	SO ₂ 端子のPMOSバッファはOFF (NMOSオープンドレイン出力)

ビット2：動作モード選択（BST2）

SCI2の動作モードを指定します。クロック連続出力モードでは、SCK₂端子からPS21、PS20ビット（ビット1、0）で指定したクロックが連続出力されるのみで、シリアルデータの転送は行われません。

ビット2	説明
BST2	
0	SCI2は、転送モード（初期値）
1	SCI2は、クロック連続出力モード

ビット1、0：クロックセレクト（PS21、PS20）

SCI2に供給するクロックを設定します。

ビット1	ビット0	SCK端子	プリスケアラ分周比	転送クロック周期 μs（=5MHz）
PS21	PS20			
0	0	SCK出力	/64	12.8（初期値）
	1	SCK出力	/16	3.2
1	0	SCK出力	/8	1.6
	1	外部クロック入力	-	-

10.2.3 シリアルデータレジスタ 1 (SDR1)

ビット	:	7	6	5	4	3	2	1	0
		SDR17	SDR16	SDR15	SDR14	SDR13	SDR12	SDR11	SDR10
初期値	:	*	*	*	*	*	*	*	*
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

* : 不定

10.2.4 シリアルデータレジスタ 2 (SDR2)

ビット	:	7	6	5	4	3	2	1	0
		SDR27	SDR26	SDR25	SDR24	SDR23	SDR22	SDR21	SDR20
初期値	:	*	*	*	*	*	*	*	*
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

* : 不定

SDR1、SDR2 は、SCI 転送時のデータレジスタとして使用します。SDR1、SDR2 は、8 ビットのリードとライトが可能なレジスタです。

SDR1、SDR2 に書き込まれたデータは、転送クロックの立ち下がりに同期して SO₁、SO₂ 端子に LSB ファーストで出力されます。また、入れ代わりに転送クロックの立ち上がりに同期して SI₁、SI₂ 端子より LSB ファーストでデータが入力されて、MSB LSB 方向にデータがシフトします。

SDR1、SDR2 のリードまたはライトは、データの送信または受信が完了してから行う必要があります。データの送信中または受信中にリードかライトを行うとデータの内容は保証されません。

SDR1、SDR2 のリセット時の値は不定です。

10.2.5 ポートモードレジスタ 1 (PMR1)

ビット	7	6	5	4	3	2	1	0
	PWM14	SCK1	SI1	SO1	SCK2	SI2	SO2	
初期値	0	0	0	0	0	0	0	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

PMR1 は、ポート 1 の各端子機能の切り替えを制御します。また、ビット 6~1 は、SMR1、SMR2 との組み合わせにより、SCI1、SCI2 の動作モードの設定を制御します。PMR1 は、7 ビットのリードとライトが可能なレジスタです。リセット時、PMR1 は、H'01 に初期化されます。

ここでは、ビット 6~1 について説明します。ビット 7 については「7.3.2(1) ポートモードレジスタ 1 (PMR1)」を参照してください。

ビット 6 : P1₆/SCK₁ 端子切り替え (SCK1)

P1₆/SCK₁ 端子を P1₆ 入出力端子として使用するか、SCK₁ 入出力端子として使用するかを設定します。

ビット 6	説明
SCK1	
0	P1 ₆ /SCK ₁ 端子は、P1 ₆ 入出力端子として機能 (初期値)
1	P1 ₆ /SCK ₁ 端子は、SCK ₁ 入出力端子として機能 (クロック入出力の方向、プリスケール分周比はシリアルモードレジスタ 1 (SMR1) の選定によります。)

ビット 5 : P1₅/SI₁ 端子切り替え (SI1)

P1₅/SI₁ 端子を P1₅ 入出力端子として使用するか、SI₁ 入力端子として使用するかを設定します。

ビット 5	説明
SI1	
0	P1 ₅ /SI ₁ 端子は、P1 ₅ 入出力端子として機能 (初期値)
1	P1 ₅ /SI ₁ 端子は、SI ₁ 入力端子として機能 (SCK1 ビット = 1、SO1 ビット = 0 の設定で SCI1 は受信モードとなります。)

ビット4 : P1₄/SO₁端子切り替え (SO1)

P1₄/SO₁端子をP1₄入出力端子として使用するか、SO₁出力端子として使用するかを設定します。

ビット4	説明
SO1	
0	P1 ₄ /SO ₁ 端子は、P1 ₄ 入出力端子として機能 (初期値)
1	P1 ₄ /SO ₁ 端子は、SO ₁ 出力端子として機能 (SCK1 ビット = 1、SI1 ビット = 0 の設定で SCI1 は送信モードとなります。)

ビット3 : P1₃/SCK₂端子切り替え (SCK2)

P1₃/SCK₂端子をP1₃入出力端子として使用するか、SCK₂入出力端子として使用するかを設定します。

ビット3	説明
SCK2	
0	P1 ₃ /SCK ₂ 端子は、P1 ₃ 入出力端子として機能 (初期値)
1	P1 ₃ /SCK ₂ 端子は、SCK ₂ 入出力端子として機能 (クロック入出力の方向、プリスケアラ分周比はシリアルモードレジスタ2 (SMR2) の選定によります。)

ビット2 : P1₂/SI₂端子切り替え (SI2)

P1₂/SI₂端子をP1₂入出力端子として使用するか、SI₂入力端子として使用するかを設定します。

ビット2	説明
SI2	
0	P1 ₂ /SI ₂ 端子は、P1 ₂ 入出力端子として機能 (初期値)
1	P1 ₂ /SI ₂ 端子は、SI ₂ 入力端子として機能 (SCK2 ビット = 1、SO2 ビット = 0 の設定で SCI2 は受信モードとなります。)

ビット1：P1₁/SO₂端子切り替え（SO2）

P1₁/SO₂端子をP1₁入出力端子として使用するか、SO₂出力端子として使用するかを設定します。

ビット1	説明
SO2	
0	P1 ₁ /SO ₂ 端子は、P1 ₁ 入出力端子として機能（初期値）
1	P1 ₁ /SO ₂ 端子は、SO ₂ 出力端子として機能（SCK2 ビット = 1、SI2 ビット = 0 の設定で SCI2 は送信モードとなります。）

ビット0：リザーブビット

リザーブビットです。リードすると1が読み出されます。ライトは無効です。

10.2.6 シリアルポートレジスタ (SPR)

ビット	:	7	6	5	4	3	2	1	0
						SOL2	SOL1	ISC2	ISC1
初期値	:	1	1	1	1	*	*	0	0
R/W	:					R/W	R/W	R/(W)*	R/(W)*

【注】 * 0ライトのみ有効

SPR は、SCI1、SCI2 の制御を行います。SPR は、4 ビットのリードとライトが可能なレジスタです。

ビット7~4：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット3：拡張データビット (SOL2)

本ビットは、送信終了後、送信データの最終ビットの値を保持します。

送信前または送信後に本ビットを操作して、SO₂端子の出力をソフトウェアで変更することができます。

データ送信中、本ビットにライトするとデータの内容は保証されません。初期値は不定です。

ビット3	説明
SOL2	
0	SO ₂ 端子出力は、Low レベル
1	SO ₂ 端子出力は、High レベル

ビット2：拡張データビット (SOL1)

本ビットは、送信終了後、送信データの最終ビットの値を保持します。

送信前または送信後に本ビットを操作して、SO₁端子の出力をソフトウェアで変更することができます。

データ送信中、本ビットにライトするとデータの内容は保証されません。初期値は不定です。

ビット2	説明
SOL1	
0	SO ₁ 端子出力は、Low レベル
1	SO ₁ 端子出力は、High レベル

ビット1：SCI2 割り込み要求フラグ (ISC2)

SCI2 からの割り込み要求フラグです。クリアは、ソフトウェアにより 0 ライトをして行ってください。ISC2 フラグへのライト操作は 0 ライトのみ有効です。

ビット1	説明
ISC2	
0	SCI2 の割り込み要求はありません。 (初期値)
1	SCI2 の割り込み要求が発生したことを示します。

ビット0：SCI1 割り込み要求フラグ (ISC1)

SCI1 からの割り込み要求フラグです。クリアは、ソフトウェアにより 0 ライトをして行ってください。ISC1 フラグへのライト操作は 0 ライトのみ有効です。

ビット0	説明
ISC1	
0	SCI1 の割り込み要求はありません。 (初期値)
1	SCI1 の割り込み要求が発生したことを示します。

10.3 動作説明

10.3.1 SCI1、SCI2 の動作状態

SCI1、SCI2 の動作状態の移行を図 10.2 に示します。

シリアルモードレジスタ (SMR) に必要な値を設定し (書き込み)、SCI を初期化してから動作させてください。

(1) 内部クロックによる転送

SCI1、SCI2 は、SMR (書き込み専用レジスタ) をダミーリードすることにより、実行を開始します [1]。この時、内部ロジックは転送クロック待ち状態を経由して転送状態に移行しますが、ソフトウェアとしては認識不要です (認識不可能)。転送中 (転送状態) に SMR を書き込むと、転送打ち切りとなり割り込みを発生します [2]。また、8 ビットの転送を終了すると、割り込みを発生し動作を終了します [3]。再度転送する時は、プログラムは SCI の初期化から始めてください。

(2) 外部クロックによる転送

SCI1、SCI2 は、SMR (書き込み専用レジスタ) をダミーリードすることにより、転送クロック待ち状態になります [4]。この状態で、転送クロック (SCK) が 1 発も来ないうちに SMR を書き込むと、SCI1、SCI2 の内部動作は終了します [5]。転送クロック待ち状態で、SCK が供給されると転送状態になりデータの送信 / 受信を行います [6]。

転送状態で SMR をダミーリードすると転送クロック待ち状態に移行します (割り込みを発生) [7]。

8 ビットの転送を終了すると、割り込みを発生し、転送クロック待ち状態に移行します [8]。再び SCK を供給すると転送動作を行います (転送状態に移行) [6]。ここで、供給された SCK が余分なクロックを持っていた場合 (オーバランエラー)、SMR に書き込みを行い転送を打ち切ってください [9]。(8 ビットの転送終了後の余分な SCK により、転送クロック待ち状態 転送状態と移行します。オーバランエラーは、誤って入った転送状態を打ち切るにより検出します。)

【注】本文中の [1] ~ [9] は、図 10.2 の [1] ~ [9] に対応しています。

10.3.2 オーバランエラー検出例と CPU 動作

オーバランエラーを検出するプログラム例を図 10.3 に示します。この例は、8 ビットの転送終了による割り込みルーチン内でオーバランを検出する方法です。割り込み例外処理により、CCR の I ビットが割り込み禁止となっています。この時、余分な SCK は SMR 書き込み命令* 実行前に存在する必要があります。

【注】 * 図 10.3 の例では、MOV.B Rs,@SMR1

図 10.3 のプログラム例を実行したときの内部動作を、図 10.4 に示します。オーバランエラーは SMR 書き込み命令の次の命令で検出が可能です。



図 10.3 オーバランエラー検出のプログラム例

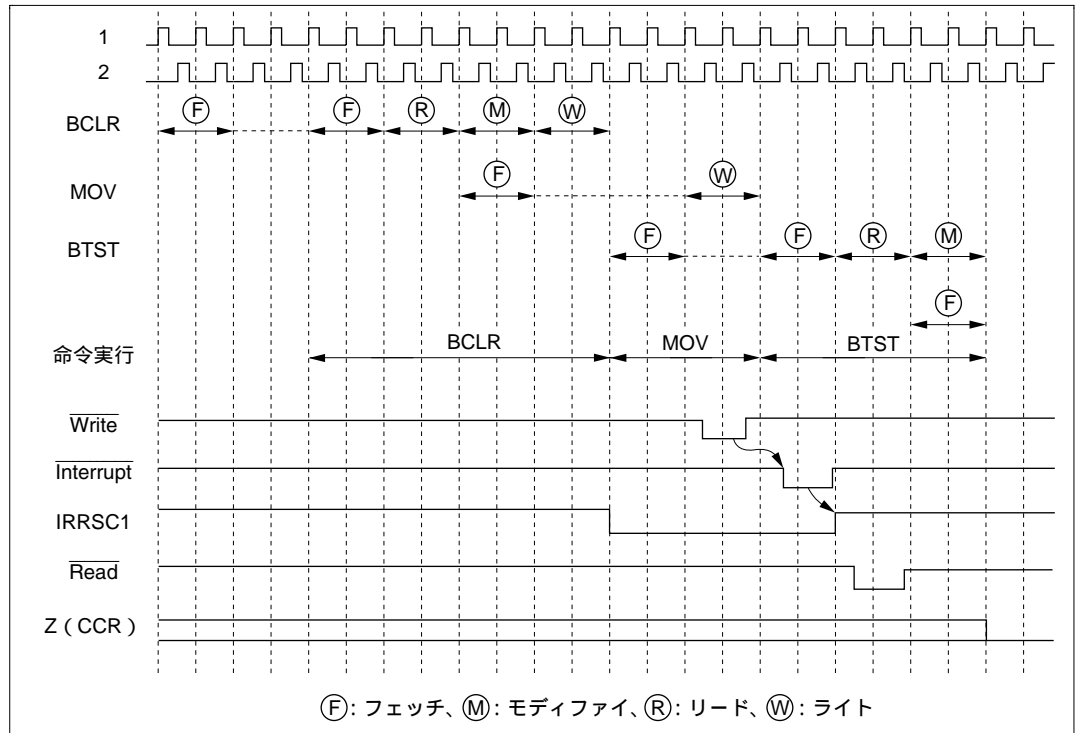


図 10.4 CPU 内部動作

10.3.3 SCI の注意事項

SCI ch1 割り込みおよび ch2 割り込みの要求は同一のフラグを使用しています。

このため、ch1 割り込みと ch2 割り込みが同時に発生した場合、割り込み処理中でフラグをクリアすると片方の割り込み要求もクリアしてしまう可能性があります。

従って、ch1 と ch2 の送 / 受信動作を時分割し、割り込み要求フラグの排他制御を行ってください。

図 10.5 に排他制御を行った場合の SCI 動作を示します。

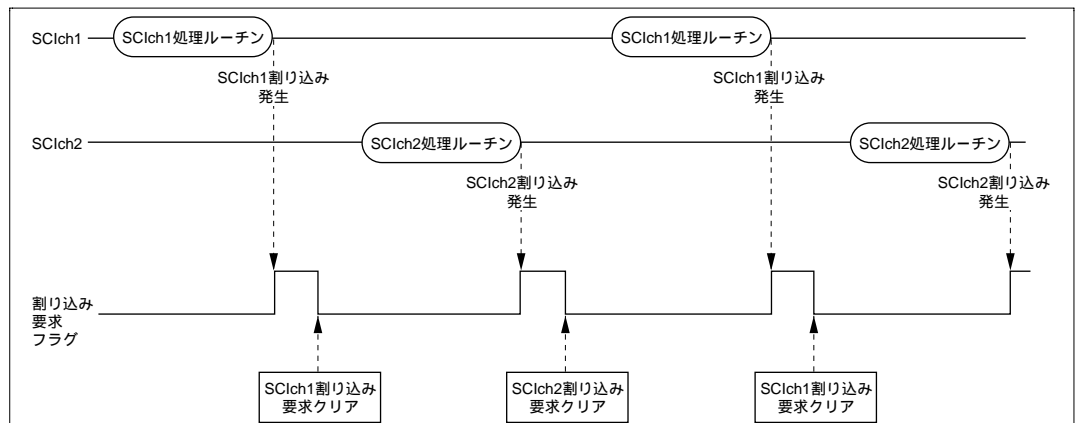


図 10.5 排他制御した場合の ch1、ch2 割り込み要求

11. A/D 変換器

第 11 章 目次

11.1	概要.....	287
	11.1.1 特長.....	287
	11.1.2 ブロック図.....	288
	11.1.3 端子構成.....	289
	11.1.4 レジスタ構成.....	289
11.2	各レジスタの説明.....	290
	11.2.1 ソフトトリガ A/D リザルトレジスタ (ADR).....	290
	11.2.2 ハードトリガ A/D リザルトレジスタ (AHR).....	290
	11.2.3 A/D モードレジスタ (AMR).....	291
	11.2.4 A/D ステータスレジスタ (ASR).....	294
	11.2.5 ポートモードレジスタ 0 (PMR0).....	297
11.3	動作説明.....	298
11.4	割り込み要因.....	300

11.1 概要

この LSI は、抵抗ラダー方式による逐次比較方式の A/D 変換器を内蔵しています。入力専用ポートと兼用のアナログ入力端子が 8 本、アナログ入力専用端子が 4 本の、計 12 本を持っています。アナログ入力端子 $AN_0 \sim AN_B$ を用いて、最大 12 チャンネルのアナログ入力の測定ができます。

変換開始は、ソフトウェアによる変換開始と、ハードウェアによる変換開始が可能です。同時に変換操作を行った場合は、ハードウェアによる変換開始が優先します。

11.1.1 特長

A/D 変換器の特長を以下に示します。

8 ビットの分解能

入力チャンネル：12 チャンネル

ソフトウェア、ハードウェアによる変換開始

変換時間：1 チャンネル当たり最小 12.4 μ s ($f_{OSC} = 10\text{MHz}$ 時)

サンプル & ホールド機能を内蔵

A/D 変換終了割り込み要求を発生

11.1.2 ブロック図

A/D変換器のブロック図を図11.1に示します。

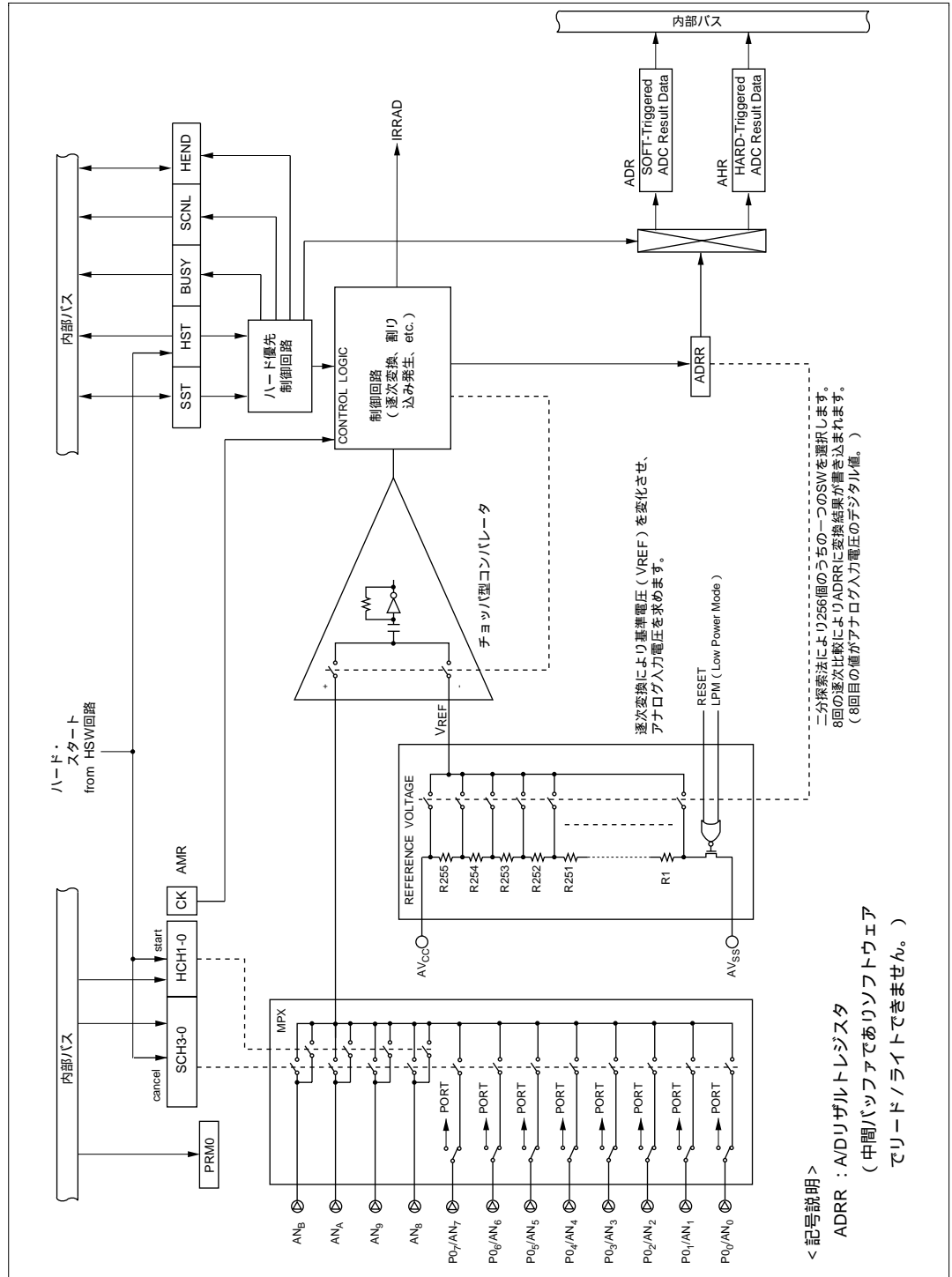


図 11.1 A/D変換器のブロック図

11.1.3 端子構成

A/D変換器の端子構成を表11.1に示します。

表 11.1 端子構成

名 称	略 称	入出力	機 能
アナログ電源端子	AV _{CC}	入力	アナログ部の電源および基準電圧
アナロググランド端子	AV _{SS}	入力	アナログ部のグランドおよび基準電圧
アナログ入力端子0	AN ₀	入力	アナログ入力チャネル0
アナログ入力端子1	AN ₁	入力	アナログ入力チャネル1
アナログ入力端子2	AN ₂	入力	アナログ入力チャネル2
アナログ入力端子3	AN ₃	入力	アナログ入力チャネル3
アナログ入力端子4	AN ₄	入力	アナログ入力チャネル4
アナログ入力端子5	AN ₅	入力	アナログ入力チャネル5
アナログ入力端子6	AN ₆	入力	アナログ入力チャネル6
アナログ入力端子7	AN ₇	入力	アナログ入力チャネル7
アナログ入力端子8	AN ₈	入力	アナログ入力チャネル8
アナログ入力端子9	AN ₉	入力	アナログ入力チャネル9
アナログ入力端子A	AN _A	入力	アナログ入力チャネルA
アナログ入力端子B	AN _B	入力	アナログ入力チャネルB

11.1.4 レジスタ構成

A/D変換器のレジスタ構成を表11.2に示します。

表 11.2 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
ソフトトリガA/Dリザルトレジスタ	ADR	R	バイト	不定	H'FF91
ハードトリガA/Dリザルトレジスタ	AHR	R	バイト	不定	H'FF93
A/Dモードレジスタ	AMR	R/W	バイト	H'40	H'FF90
A/Dステータスレジスタ	ASR	R*	バイト	H'31	H'FF92
ポートモードレジスタ0	PMR0	W	バイト	H'00	H'FFEB

【注】 * ASRのビット7(SST)はR/W、ビット6(HEND)は0ライトのみ有効

11.2 各レジスタの説明

11.2.1 ソフトトリガ A/D リザルトレジスタ (ADR)

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>ADR7</td> <td>ADR6</td> <td>ADR5</td> <td>ADR4</td> <td>ADR3</td> <td>ADR2</td> <td>ADR1</td> <td>ADR0</td> </tr> </table>								ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0										
初期値	:	*	*	*	*	*	*	*	*								
R/W	:	R	R	R	R	R	R	R	R								

*:不定

ソフトトリガ A/D リザルトレジスタ (ADR) は、ソフトウェアにより変換開始された、A/D 変換結果を格納する 8 ビットのリード専用レジスタです。

ADR は、常に CPU からリード可能ですが、A/D 変換中は ADR の値は不確定です。

A/D 変換終了時に変換結果の 8 ビットデータが ADR へ転送され、次のソフトウェアによる A/D 変換終了までこのデータが保持されます。

ADR は、リセットで初期化されません。

11.2.2 ハードトリガ A/D リザルトレジスタ (AHR)

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>AHR7</td> <td>AHR6</td> <td>AHR5</td> <td>AHR4</td> <td>AHR3</td> <td>AHR2</td> <td>AHR1</td> <td>AHR0</td> </tr> </table>								AHR7	AHR6	AHR5	AHR4	AHR3	AHR2	AHR1	AHR0
AHR7	AHR6	AHR5	AHR4	AHR3	AHR2	AHR1	AHR0										
初期値	:	*	*	*	*	*	*	*	*								
R/W	:	R	R	R	R	R	R	R	R								

*:不定

ハードトリガ A/D リザルトレジスタ (AHR) は、ハードウェアにより変換開始された、A/D 変換結果を格納します。AHR は 8 ビットのリード専用レジスタです。

AHR は、常に CPU からリード可能ですが、A/D 変換中は AHR の値は不確定です。

A/D 変換終了時に変換結果の 8 ビットデータが AHR へ転送され、次のハードウェアによる A/D 変換終了までこのデータが保持されます。

AHR は、リセットで初期化されません。

11.2.3 A/Dモードレジスタ (AMR)

ビット	7	6	5	4	3	2	1	0
	CK		HCH1	HCH0	SCH3	SCH2	SCH1	SCH0
初期値	0	1	0	0	0	0	0	0
R/W	R/W		R/W	R/W	R/W	R/W	R/W	R/W

A/Dモードレジスタ (AMR) は、A/D変換スピードの設定、ハードウェア変換用およびソフトウェア変換用のアナログ入力端子の指定を行います。AMRは、8ビットのリード/ライト可能なレジスタです。AMRの書き込みはA/DステータスレジスタのA/Dソフトスタートフラグ (SST) およびA/Dハードスタートフラグ (HST) が0の状態で行ってください。

AMRは、リセット時、H'40に初期化されます。

ビット7: クロックセレクト (CK)

A/D変換スピードの設定を行います。

ビット7	変換周期	= 5MHz
CK		
0	124/ (初期値)	24.8 μs
1	62/	12.4 μs

【注】 SSTに1をライトしてから、またはHSTが1にセットされてから、A/D変換がスタートします。変換周期はスタートフラグがセットされてから、変換終了によりリセットされるまでの時間を変換周期としています。実際にサンプル&ホールドを繰り返す期間は、図11.2に示す変換期間で実行されます。

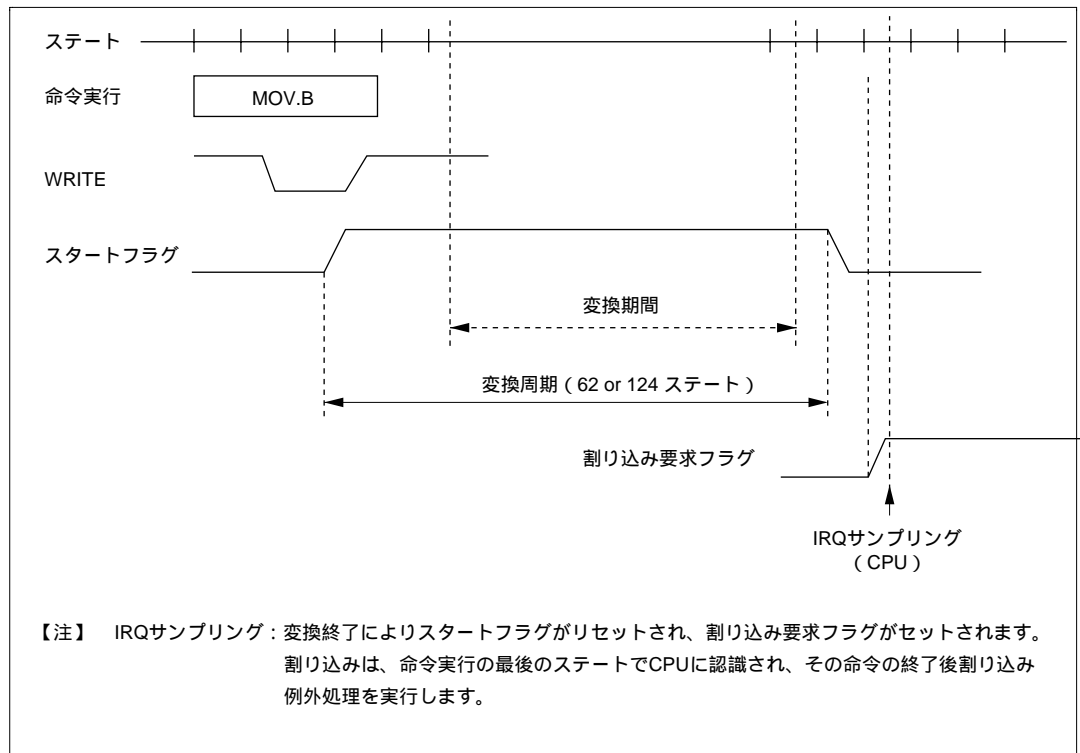


図 11.2 A/D 変換器の内部動作

ビット6：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット5、4：ハードウェアチャンネルセレクト（HCH1、HCH0）

ハードウェアによる変換を行うための、アナログ入力チャンネルの選択を行います。

ハードウェアによる変換は、AN₈～AN_Bのみ、使用可能です。

ビット5	ビット4	アナログ入力チャンネル
HCH1	HCH0	
0	0	AN ₈ (初期値)
	1	AN ₉
1	0	AN _A
	1	AN _B

ビット3～0：ソフトウェアチャンネルセレクト (SCH3～SCH0)

ソフトウェアによる変換を行うための、アナログ入力チャンネルの選択を行います。

AN0～AN7 を使用する場合は、ポートモードレジスタ 0 (PMR0) により該当チャンネルの設定を行ってください。チャンネルの設定に関しては、「11.2.5 ポートモードレジスタ 0 (PMR0)」を参照してください。

ビット3	ビット2	ビット1	ビット0	アナログ入力チャンネル	
SCH3	SCH2	SCH1	SCH0		
0	0	0	0	AN ₀ (初期値)	
			1	AN ₁	
		1	0	AN ₂	
			1	AN ₃	
	1	0	0	AN ₄	
			1	AN ₅	
		1	0	AN ₆	
			1	AN ₇	
1	0	0	0	AN ₈	
			1	AN ₉	
		1	0	AN _A	
			1	AN _B	
	1	X	X	X	ソフトウェアによる変換チャンネルは選択されません。

- 【注】
- SCH3～SCH0 が (11XX) でソフトウェアによる変換を行うと、変換結果は不定になります。ただし、ハードウェアによる変換は、ビット 5、4 のハードウェアチャンネルセレクト (HCH1、HCH0) により選択されたチャンネルで行います。
 - X : 0 または 1、Don't care を表します。

11.2.4 A/Dステータスレジスタ (ASR)

ビット	7	6	5	4	3	2	1	0
	SST	HEND			HST	BUSY	SCNL	
初期値	0	0	1	1	0	0	0	1
R/W	R/W	R/(W)*			R	R	R	

【注】 * 0ライトのみ有効

A/Dステータスレジスタ (ASR) は、A/D変換の開始または停止の指定、A/D変換器の状態を確認できます。ASRは、8ビットのレジスタです。

ソフトウェアA/Dスタートフラグ (ビット7: SSTビット) に1をライトすることによりA/D変換が開始します (ソフトウェアによる変換開始)。ハードウェアによる変換開始は「13.4 HSWタイミング発生回路」を参照してください。

変換が終了すると変換データは、ソフトトリガA/Dリザルトレジスタ (ADR) またはハードトリガA/Dリザルトレジスタ (AHR) に格納され、同時にSSTビットまたはHSTビットは0になります。ソフトウェアによる開始とハードウェアによる開始が競合した場合は、ハードウェアによる変換が優先されます。

リセット時、H31に初期化されます。

ビット7: ソフトウェアA/Dスタートフラグ (SST)

A/D変換の開始および、終了の確認/制御を行います。0をライトすると、ソフトウェア、ハードウェアの変換にかかわらず、変換動作を強制的に終了させます。

ビット7	説明
SST	
0	[リード時] A/D変換の停止・終了を示します。 [ライト時] A/D変換を強制終了します。
1	[リード時] ソフトウェアによるA/D変換実行中を示します。 [ライト時] ソフトウェアによるA/D変換を開始します。

ビット6：ハードウェア A/D 終了フラグ (HEND)

ハードウェアによる A/D 変換が終了したことを示します。フラグのクリアは、0 をライトしてください。1 ライトは無効です。

ビット6	説明
HEND	
0	ハードウェアによる A/D 変換が終了していないことを示します。(初期値)
1	ハードウェアによる A/D 変換が終了したことを示します。

ビット5～4：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット3：ハードウェア A/D ステータスフラグ (HST)

ハードウェアによる A/D 変換の状態を示します。リード専用であり、ライトは無効です。

ビット3	説明
HST	
0	ハードウェアによる A/D 変換中でないことを示します。(初期値)
1	ハードウェアによる A/D 変換実行中であることを示します。

ビット2：ビジーフラグ (BUSY)

ハードウェアによる A/D 変換中にソフトウェアによる A/D 変換を開始しようとする、SST ビットに対するライトは無効となり、ビジーフラグが1にセットされます。(ハードウェアスタート優先) AHR をリードするとクリアされます。リード専用のフラグです。ライトは無効となります。

ビット2	説明
BUSY	
0	A/D 変換の競合はありません。(初期値)
1	ハードウェアによる A/D 変換実行中に、ソフトウェアによる変換開始を実行したことを示します。

ビット1：ソフト変換キャンセルフラグ（SCNL）

ソフトウェアによる A/D 変換中に、ハードウェアによる A/D 変換が開始されたため、ソフトウェアによる A/D 変換がキャンセルされたことを示すフラグです。次のソフトウェアによる A/D 変換を開始するときにクリアされます。リード専用のフラグです。ライトは無効となります。

ビット1	説明
SCNL	
0	A/D 変換の競合はありません。 (初期値)
1	ソフトウェアによる A/D 変換が、ハードウェアによる変換開始により、キャンセルされたことを示します。

ビット0：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

11.2.5 ポートモードレジスタ0 (PMR0)

ビット	7	6	5	4	3	2	1	0
	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0
初期値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

ポートモードレジスタ0 (PMR0) は、ポート0の各端子を汎用入力ポートとして使用するか、A/D変換器へのアナログ入力チャンネルとして使用するかをビット単位に指定します。PMR0は、8ビットのライト専用のレジスタです。

PMR0は、リセット時、H'00に初期化されます。

ビット n	説明
ANn	
0	PO _n /AN _n 端子は、汎用入力ポート (初期値)
1	PO _n /AN _n 端子は、アナログ入力チャンネル

(n = 7 ~ 0)

11.3 動作説明

A/D変換器は逐次比較方式で動作し、8ビットの変換結果が得られます。

(1) ソフトウェアによる A/D 変換

ソフトウェアにより A/D スタートフラグ (SST ビット) を 1 にセットすると、A/D 変換を開始します。SST ビットは、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

ソフトウェアにより変換可能なアナログ入力端子は、 $AN_0 \sim AN_B$ の 12 チャンネルです。ソフトウェアによる A/D 変換用のアナログ入力端子は、A/D モードレジスタ (AMR) の SCH3 ~ SCH0 ビットにより設定します。 $AN_8 \sim AN_B$ 端子はハードウェアによる変換にも使用できます。

また、変換が終了すると、割り込み要求レジスタ 4 (IRQR4) の IRRAD ビットが 1 にセットされます。このとき、割り込み許可レジスタ 4 (IENR4) の IENAD ビットが 1 にセットされていると、A/D 変換終了割り込みが発生します。

A/D 変換中に、AMR により変換時間や入力チャンネルの切り替えを行う場合は、誤動作を避けるために SST ビットを 0 にクリアして、A/D 変換を強制終了させて行ってください。

ハードウェアによる変換中は、ソフトウェアによる変換開始 (SST ビットに 1 をライト) を行うと、ハードウェアによる変換が優先され、ソフトウェアによる変換は実行されません。このとき、A/D ステータスレジスタ (ASR) の BUSY フラグに 1 がセットされます。BUSY フラグはハードトリガ A/D リザルトレジスタ (AHR) をリードするとクリアされます。

また、ソフトウェアによる変換中に、ハードウェアによる変換が開始されると、ソフトウェアによる変換はただちにキャンセルされます。このとき、ASR の SCNL フラグに 1 がセットされます。SCNL フラグはハードウェアによる変換終了後、ソフトウェアによる変換開始 (SST ビットに 1 をライト) を行うとクリアされます。

(2) ハードウェアによる A/D 変換

この LSI は、ハードウェアにより決まったタイミングで A/D 変換を開始できる、ハードウェアトリガ機能を内蔵しています。この機能を用いて、外部信号に同期して変化するアナログ信号を一定のタイミングで測定できます。

ハードウェアにより変換可能なアナログ入力端子は、 $AN_8 \sim AN_B$ の 4 チャンネルです。ハードウェアによる A/D 変換用のアナログ入力端子は、AMR の HCH1 ~ HCH0 ビットにより設定します。 $AN_8 \sim AN_B$ 端子はソフトウェアによる変換にも使用できます。

また、変換が終了すると、IRQR4 の IRRAD ビットが 1 にセットされます。このとき、IENR4 の IENAD ビットが 1 にセットされていると、A/D 変換終了割り込みが発生します。

A/D 変換中に、AMR により変換時間や入力チャンネルの切り替えを行う場合は、誤動作を避けるために SST ビットを 0 にクリアして、A/D 変換を強制終了させて行ってください。

ハードウェアによる A/D 変換の開始は、HSW タイミング生成回路からの出力信号の 1 本である ADTRIG 信号により行います。ADTRIG 信号を発生させるためには、HSW タイミング生成回路のタイミング一致 FIFO にタイミングデータとパターン出力データ FIFO の ADTRIG ビットに 1 をライトします。

詳細は「13.4 HSW タイミング生成回路」を参照してください。

ADTRIG 信号により、ASR の HST フラグが 1 にセットされ、A/D 変換が自動的に開始されます。ソフトウェアによる変換を実行中の場合は、ソフトウェアによる変換動作はキャンセルされ、SST フラグが 0 にリセットされます。また、同時にソフトウェア変換キャンセルフラグ SCNL フラグが 1 にセットされます。アナログ入力端子のチャンネルは、ソフトウェアによる変換中のチャンネル (AMR の SCH3 ~ SCH0 ビットによる選択) から、ハードウェアによる変換チャンネル (AMR の HCH1 ~ HCH0 ビットによる選択) に自動的に切り替わります。ハードウェアによる変換終了後は、元のチャンネルに戻ります (AMR のソフト変換チャンネルビットの設定チャンネルに戻ります)。

ハードウェアによる変換動作中にソフトウェアによる変換を開始しようとした場合は、変換開始操作は無効となり、BUSY フラグが 1 にセットされます。

ハードウェアによる変換は、ソフトウェアによる変換より優先されるため、A/D 割り込み処理ルーチンでは、SCNL フラグと BUSY フラグを確認しながら、データ処理を行ってください。

11.4 割り込み要因

A/D変換終了時、割り込み要求レジスタ4 (IRQR4) のIRRADビットが1にセットされます。A/D変換終了割り込みは、割り込み許可レジスタ4 (IENR4) のIENADビットにより、許可または禁止を指定できます。

詳細は、「第3章 システムコントロール」を参照してください。

12. 同期信号検出回路

第12章 目次

12.1	概要.....	303
	12.1.1	特長.....303
	12.1.2	ブロック図.....304
	12.1.3	端子構成.....305
	12.1.4	レジスタ構成.....305
12.2	各レジスタの説明.....	306
	12.2.1	しきい値レジスタ (VTHR).....306
	12.2.2	補完パルスレジスタ (CMPR).....308
	12.2.3	ノイズ検出レジスタ (NDR).....309
	12.2.4	TV方式選択レジスタ (TVSR).....313
12.3	動作説明.....	317

12.1 概要

本ブロックは、同期信号からの水平同期信号と垂直同期信号の検出、ノイズカウント、およびフィールド検出を行います。信号検出の入力信号は複合同期信号（Csync）入力と外部分離入力（Hsync/Vsync）が選択できます。

外部分離入力であっても、合成された信号が本ブロックを経由するため、各レジスタの設定は必要となります。

- 【注】 1 本回路はしきい値レジスタにより設定された、ある幅のパルスを検出するものであり、同期信号を正規のものに分離または復元する動作は行いません。
- 2 OSD はブルーバックモードになると、OSD の同期信号発生回路で生成された VD で動作します。同期信号検出回路は検出動作を続けていますが、垂直同期信号による割り込み（VD 割り込み）は、OSD の同期信号発生回路で生成された VD により割り込み要求が発生します。

12.1.1 特長

ノイズカウント：Csync の 1 フレーム期間のノイズ量をカウント

一定値以上の場合、ノイズ検出割り込みを発生

フィールド判別：Csync の偶数 / 奇数フィールドを判別

水平同期信号の補完

水平同期信号検出時のノイズマスク

水平、垂直同期信号検出のしきい値設定： f_{OSC} により適性値を設定可能

H、V 分離入力可能

12.1.2 ブロック図

同期信号検出回路のブロック図を図 12.1 に示します。

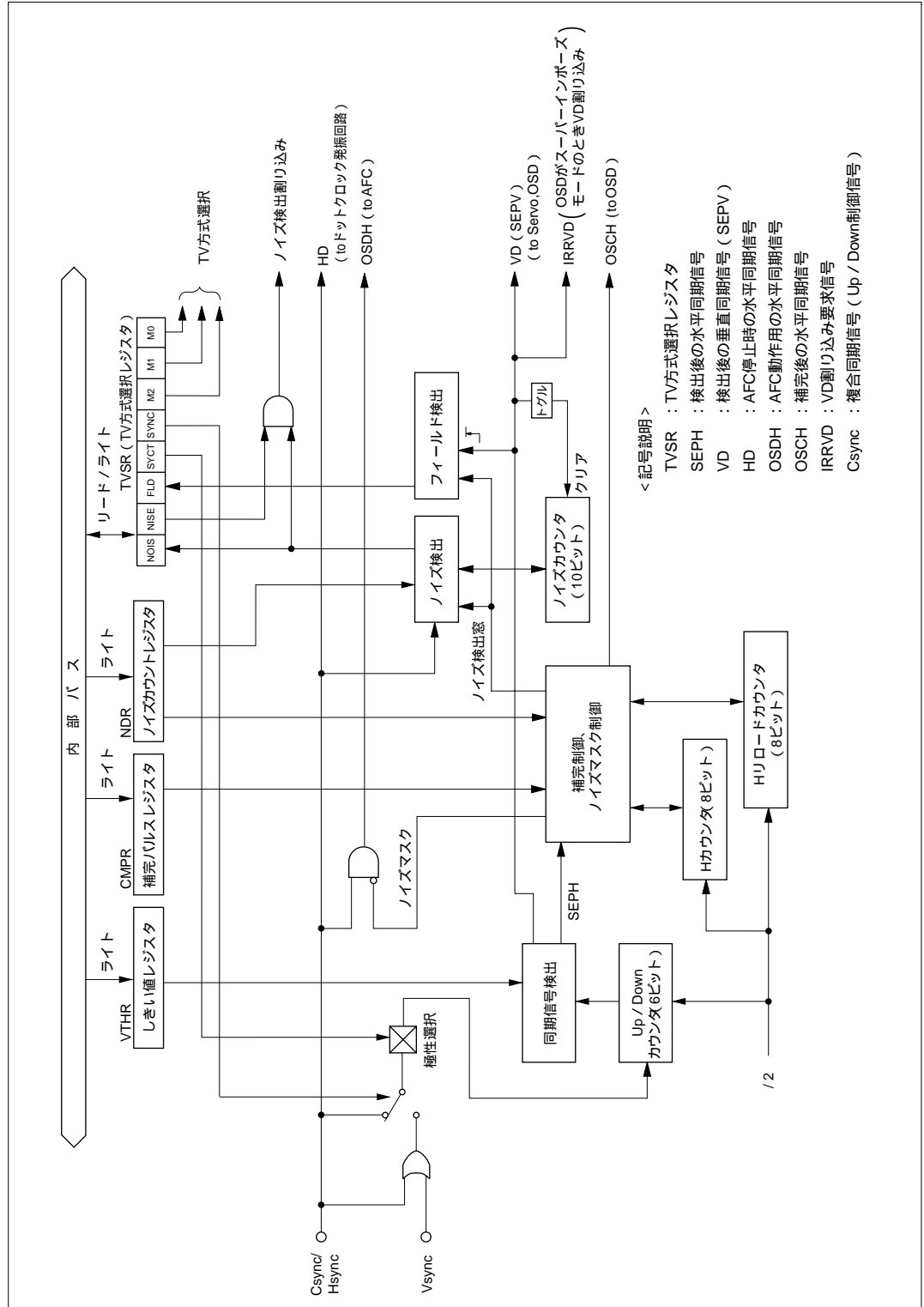


図 12.1 同期信号検出回路ブロック図

12.1.3 端子構成

同期信号検出回路の端子構成を表 12.1 に示します。

表 12.1 端子構成

名 称	略 称	入出力	機 能
水平 / 複合同期信号入力端子	Hsync/Csync	入力	水平 / 複合同期信号入力
垂直同期信号入力端子	Vsync	入力	垂直同期信号入力、ポートと兼用

12.1.4 レジスタ構成

同期信号検出回路のレジスタ構成を表 12.2 に示します。

表 12.2 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
しきい値レジスタ	VTHR	W	ワード	H'C0F0	H'F2CC
補完パルスレジスタ	CMPR	W	ワード	H'00F0	H'F2CD
ノイズ検出レジスタ	NDR	W	ワード	H'C000	H'F2CE
TV 方式選択レジスタ	TVSR	R/W	バイト	H'00	H'F2CF

12.2 各レジスタの説明

12.2.1 しきい値レジスタ (VTHR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			VT5	VT4	VT3	VT2	VT1	VT0					HT3	HT2	HT1	HT0
初期値:			0	0	0	0	0	0					0	0	0	0
R/W:			W	W	W	W	W	W					W	W	W	W

複合同期信号より検出を行う時の、垂直同期信号のしきい値、水平同期信号のしきい値を設定する 16 ビットのライト専用レジスタです。垂直同期信号のしきい値の設定は、ビット 13~8 (VT5~VT0) で、水平同期信号のしきい値の設定は、ビット 3~0 (HT3~HT0) で行います。しきい値と検出された同期信号を、図 12.2 に示します。

検出された水平同期信号 (SEPH) は、補完制御回路に送られ、欠落した水平同期信号は補完されます。補完制御回路の出力は OSCH となり、各制御に用いられます。外部分離入力 (Hsync/Csync 端子、Vsync 端子による入力) であっても設定が必要です。

Csync の入力極性は選択できます。「12.2.4 TV 方式選択レジスタ」を参照してください。

VTHR レジスタは、ワードライトのみ有効です。バイトライトは、動作が保証されません。

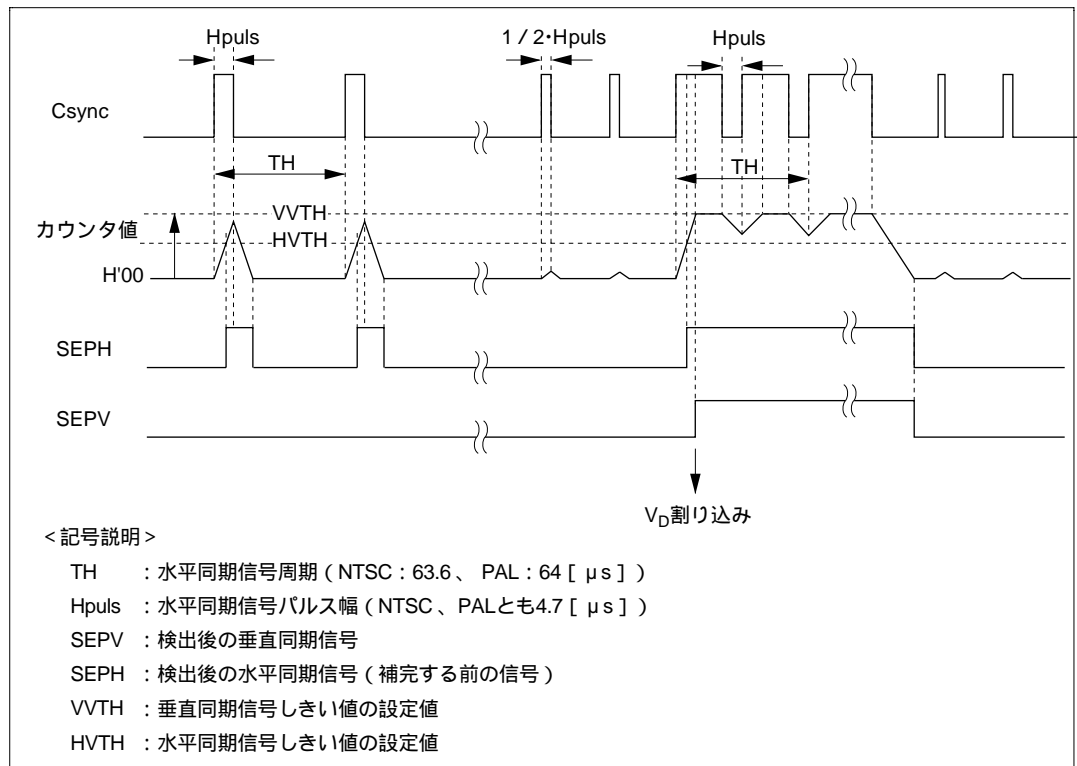


図 12.2 しきい値と分離された同期信号

例

Csync から垂直同期信号 (SEPV)、水平同期信号 (SEPH) を検出するための設定値は、次の条件を満たす必要があります。VTHR レジスタの設定値を VVTH、HVTH とすると、

$$(VVTH - 1) \times 2/ > Hpuls、$$

$$(HVTH - 2) \times 2/ Hpuls/2 < (HVTH - 1) \times 2/$$

ただし、Hpuls : 水平同期信号パルス幅 (μs)

したがって、 = 5MHz , NTSC 方式の場合、

$$(VVTH - 1) \times 0.4 \mu s > 4.7 \mu s \quad VVTH = H'D、$$

$$(HVTH - 2) \times 0.4 \mu s \geq 2.35 \mu s < (HVTH - 1) \times 0.4$$

$$HVTH = H'7$$

となります。

【注】 本回路は VTHR レジスタで設定した幅のパルスを検出するものです。ノイズ等で設定値以上のパルスが入力された場合でも、同期信号を検出したと認識します。OSD がスーパーインポーズモード時、VVTH の設定幅以上のパルスは垂直同期信号を検出したと認識し、VD 割り込み要求 (IRRVD) を発生します。VVTH は上記計算値より充分大きな設定値としてください。

12.2.2 補完パルスレジスタ (CMPR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	HR7	HR6	HR5	HR4	HR3	HR2	HR1	HR0					HP3	HP2	HP1	HP0
初期値:	0	0	0	0	0	0	0	0					0	0	0	0
R/W:	W	W	W	W	W	W	W	W					W	W	W	W

CMPR は、水平同期信号のパルス抜けが生じた場合の、補完パルスを発生するタイミングと、検出後の水平同期信号 (SEPH) のパルス幅の設定を行うための、16 ビットのライト専用レジスタです。

CMPR は、ワードライトのみ有効です。バイトライトは、動作が保証されません。

CMPR のビット 15 ~ 8 (HR7 ~ HR0) は、水平同期信号の補完パルスを発生すべき時間を設定します。

ビット 3 ~ 0 (HP3 ~ HP0) は、検出後の水平同期信号または補完する水平同期信号のパルス幅を設定します。

$$((HR7 \sim HR0 \text{ の値}) + 1) \times 2 / f_{osc} = TH,$$

$$((HP3 \sim HP0 \text{ の値}) + 1) \times 2 / f_{osc} = Hpuls$$

ただし、TH : 水平同期信号周期 (μs)、Hpuls : 水平同期信号パルス幅 (μs)

: システムクロック (= $f_{osc}/2$) (Hz)

水平同期信号の有無の判定を補完パルス発生前の1クロック前に行いますのでHR7 ~ HR0 は上記計算式で求めた値に 1 を加えた値を設定してください。

また、HR7 ~ HR0 により、ノイズマスク期間を設定します。水平同期信号が正規のパルスのときはマスク期間でマスクがかかります。

マスク期間の開始は、SEPH の立ち上がり、マスク期間の終了は SEPH の立ち上がりから計算される時点です。

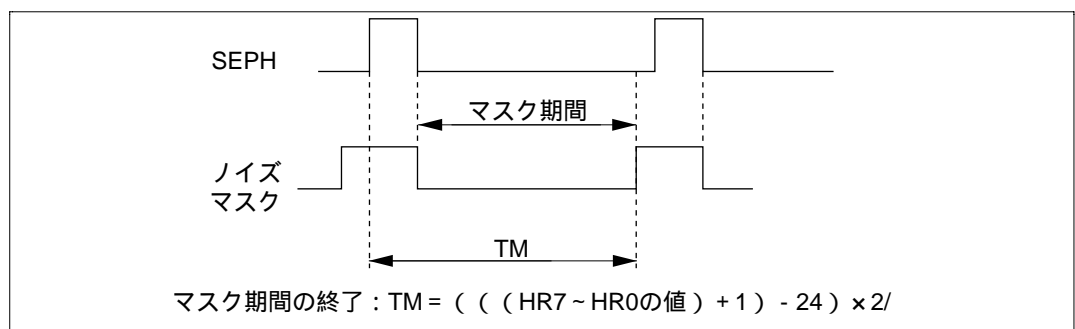


図 12.3 マスク期間の開始

設定期間についての詳細は、図 12.4 を参照してください。

外部分離入力 (Hsync/Csync 端子、Vsync 端子による入力) であっても設定が必要です。

12.2.3 ノイズ検出レジスタ (NDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			NW5	NW4	NW3	NW2	NW1	NW0	ND7	ND6	ND5	ND4	ND3	ND2	ND1	ND0
初期値:			0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:			W	W	W	W	W	W	W	W	W	W	W	W	W	W

NDR はノイズ検出窓のタイミングと、ノイズ検出レベルを設定する 14 ビットのライト専用レジスタです。NDR レジスタのビット 13~8 (NW5~NW0) にはノイズ検出窓のタイミングを設定し、ビット 7~0 (ND7~ND0) にはノイズ検出レベルを設定します。

NDR は、ワードライトのみ有効です。バイトライトは、動作が保証されません。

同期信号検出回路は、水平同期信号のパルス抜けとパルス中のノイズをカウントします。カウント値が、NDR の ND7~ND0 に設定された値の 4 倍を越えると、TV 方式選択レジスタ (TVSR) のノイズ検出フラグ (NOIS) が 1 にセットされます。ノイズ検出レベルの設定値は、1 フレーム中のノイズの数の 1/4 に設定してください。

ノイズカウンタは、垂直同期信号を 2 回検出するごとにクリアされます。*

ノイズ検出窓タイミング (NW5~NW0) の設定値は、次式となります。

$$((\text{NW5} \sim \text{NW0 の値}) + 1) \times 2 / \quad = 1 / 4 \times \text{TH}$$

ただし、TH: 水平同期信号周期 (μs)

ノイズ検出窓のタイミングの設定値は、水平同期信号周期の 1/4 程度にすることを推奨します。

ノイズ検出窓、およびノイズ検出レベルの詳細を、図 12.4、図 12.5 に示します。

外部分離入力 (Hsync/Csync 端子、Vsync 端子による入力) であっても設定が必要です。

【注】* ノイズカウンタのクリアには 4/2fsc 発振が必要です。

(1) 動作説明

水平同期信号のパルス抜けが生じる場合、CMPR に設定したタイミングに、設定パルス幅の補完パルスを生成します。

ノイズ検出窓は、水平同期信号周期の 1/4 程度に設定すると、High 期間と Low 期間が等しいパルスになります。

(2) 例

= 5MHz , NTSC : TH = 63.6 [μ s]、Hpuls = 4.7 [μ s] に合わせて補完パルスを設定する場合、補完パルスタイミング (HR7 ~ HR0)、補完パルス幅 (HP3 ~ HP0)、ノイズ検出窓タイミング (NW5 ~ NW0) の設定値は、以下の式で表わされます。

$$(\text{HR7} \sim \text{HR0 の値}) \times 2 / f_{\text{osc}} = \text{TH}、$$

$$((\text{HP3} \sim \text{HP0 の値}) + 1) \times 2 / f_{\text{osc}} = \text{Hpuls}、$$

$$((\text{NW5} \sim \text{NW0 の値}) + 1) \times 2 / f_{\text{osc}} = 1/4 \times \text{TH}$$

ただし、TH : 水平同期信号周期 (μ s)、Hpuls : 水平同期信号パルス幅 (μ s)

: システムクロック (Hz) (= $f_{\text{osc}}/2$)

したがって、 $f_{\text{osc}} = 10\text{MHz}$ のとき、

$$(\text{HR7} \sim \text{HR0 の値}) \times 0.4 [\mu \text{s}] = 63.6 [\mu \text{s}]$$

$$\text{HR7} \sim \text{HR0} = \text{H'9F}$$

$$((\text{HP3} \sim \text{HP0 の値}) + 1) \times 0.4 [\mu \text{s}] = 4.7 [\mu \text{s}]$$

$$\text{HP3} \sim \text{HP0} = \text{H'B}$$

$$((\text{NW5} \sim \text{NW0 の値}) + 1) \times 0.4 [\mu \text{s}] = 16 [\mu \text{s}]$$

$$\text{NW5} \sim \text{NW0} = \text{H'27}$$

となります。

また、ノイズマスク期間は、

$$(((\text{HR7} \sim \text{HR0 の値}) + 1) - 24) \times 2 / f_{\text{osc}} = 54 [\mu \text{s}]$$

となります。マスク期間の式で、24 は構造上必要な定数です。

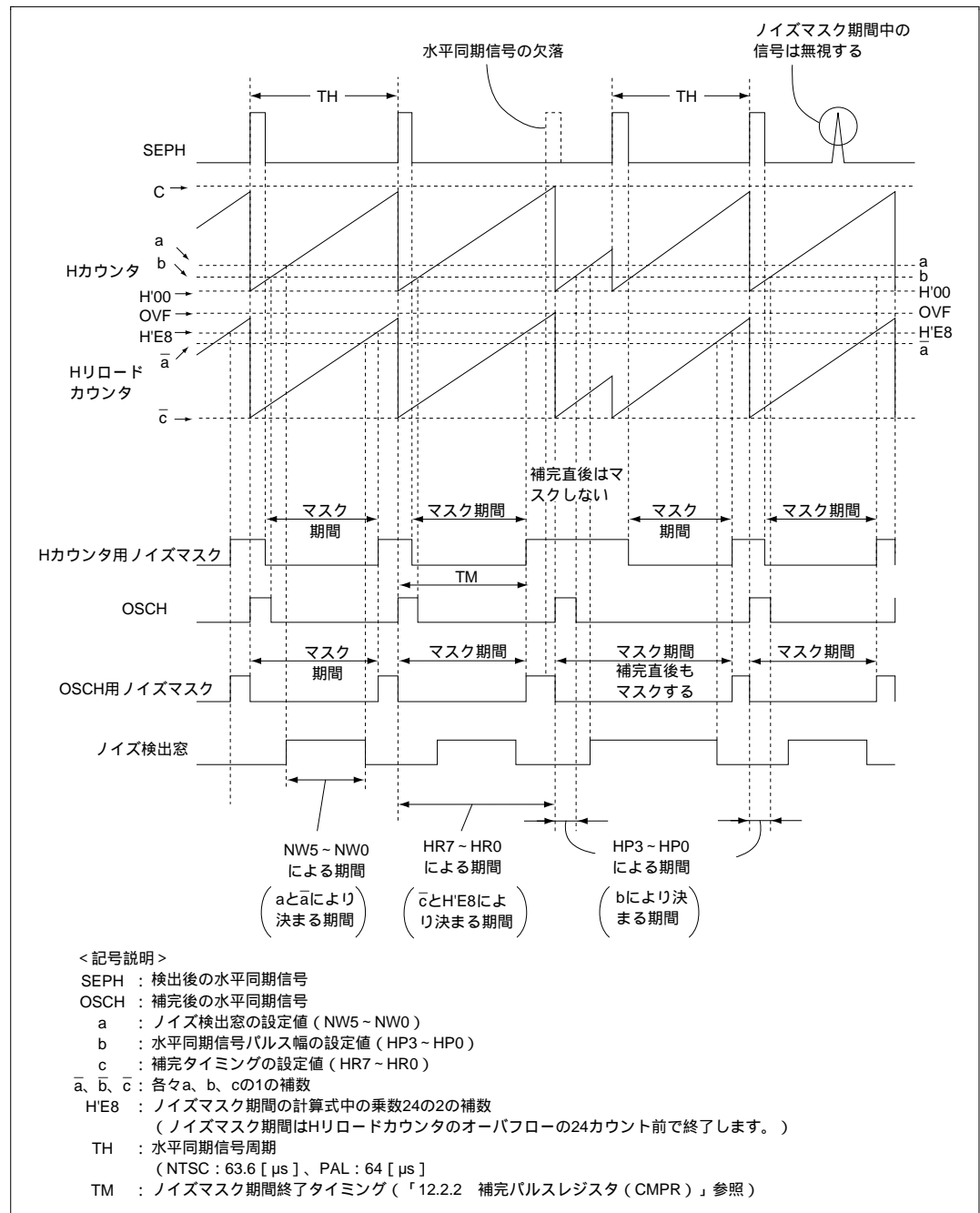


図 12.4 CMPR、NDR の設定期間

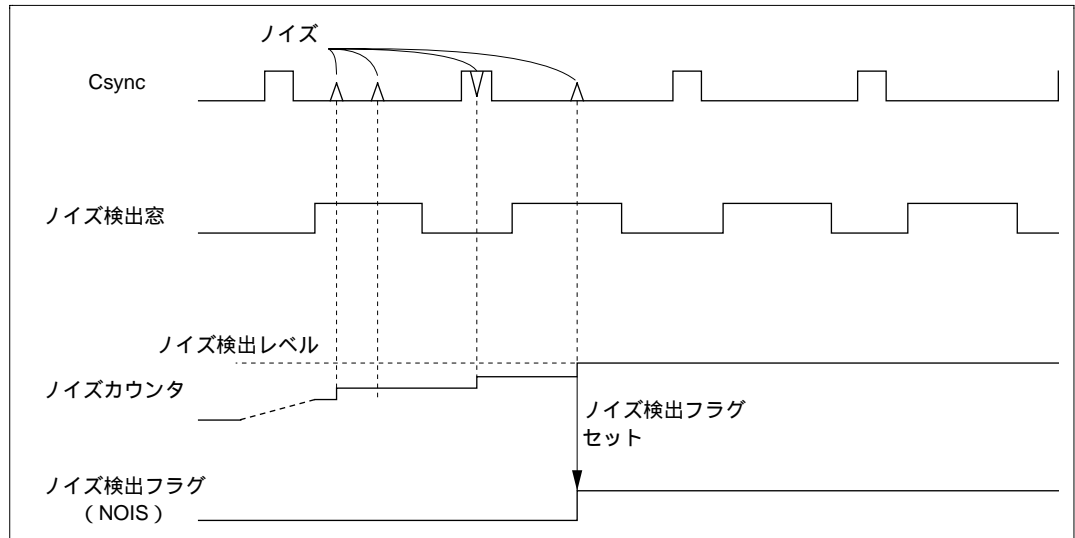


図 12.5 ノイズ検出

(3) 動作説明

ノイズ検出回路では、1 フレーム中の複合同期信号 (Csync) 中の不正規パルス、および水平同期信号のパルス欠けをノイズと見なします。ノイズカウンタは、ノイズ検出窓の High 期間は不正規パルスを、Low 期間は水平同期信号のパルス抜けやパルス欠けをカウントします。また、ノイズカウンタは不正規パルス数が1つ以上存在しても1カウントとなります。ノイズカウンタは、垂直同期信号を2回検出するごとにクリアされます。*

垂直同期信号の9Hに含まれる等価パルスも不正規パルスとしてカウントします。

1 フレーム中の、不正規パルス数 + 水平同期信号のパルス抜けやパルス欠け $> 4 \times (ND7 \sim ND0 \text{ の値})$ の時、TV 方式選択レジスタ (TVSR) のノイズ検出フラグ (NOIS) に1をセットします。

NOIS ビットについては、「12.2.4 TV 方式選択レジスタ (TVSR)」を参照してください。

【注】* ノイズカウンタのクリアには $4/2fsc$ 発振が必要です。

12.2.4 TV 方式選択レジスタ (TVSR)

ビット	7	6	5	4	3	2	1	0
	NOIS	NISE	FLD	SYCT	SYNC	M2	M1	M0
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/W	R	R/W	R/W	R/W	R/W	R/W

【注】 * 0 ライトのみ有効

TVSR はノイズ検出、フィールド検出、同期信号入力の極性、TV 方式の選択などを行う 8 ビットのレジスタです。リセット時、H'00 に初期化されます。

ビット 7 : ノイズ検出フラグ (NOIS)

ノイズの数が、NDR の ND7 ~ ND0 (ビット 13 ~ 8) に設定した値の 4 倍以上になったことを示すステータスフラグです。0 ライトでのみ、フラグがクリアされます。

ビット 7	説明
NOIS	
0	ノイズカウントが ND7 ~ ND0 の設定値の 4 倍未満 (初期値)
1	ノイズカウントが ND7 ~ ND0 の設定値の 4 倍以上

ビット 6 : ノイズレベル割り込み許可ビット (NISE)

ノイズ検出割り込み要求の禁止または許可を選択します。

ビット 6	説明
NISE	
0	ノイズ検出割り込み禁止 (初期値)
1	ノイズ検出割り込み許可

ビット 5 : フィールド検出フラグ (FLD)

走査中のフィールドが偶数が奇数がを示すフラグです。図 12.6 を参照してください。

ビット 5	説明
FLD	
0	奇数フィールド (初期値)
1	偶数フィールド

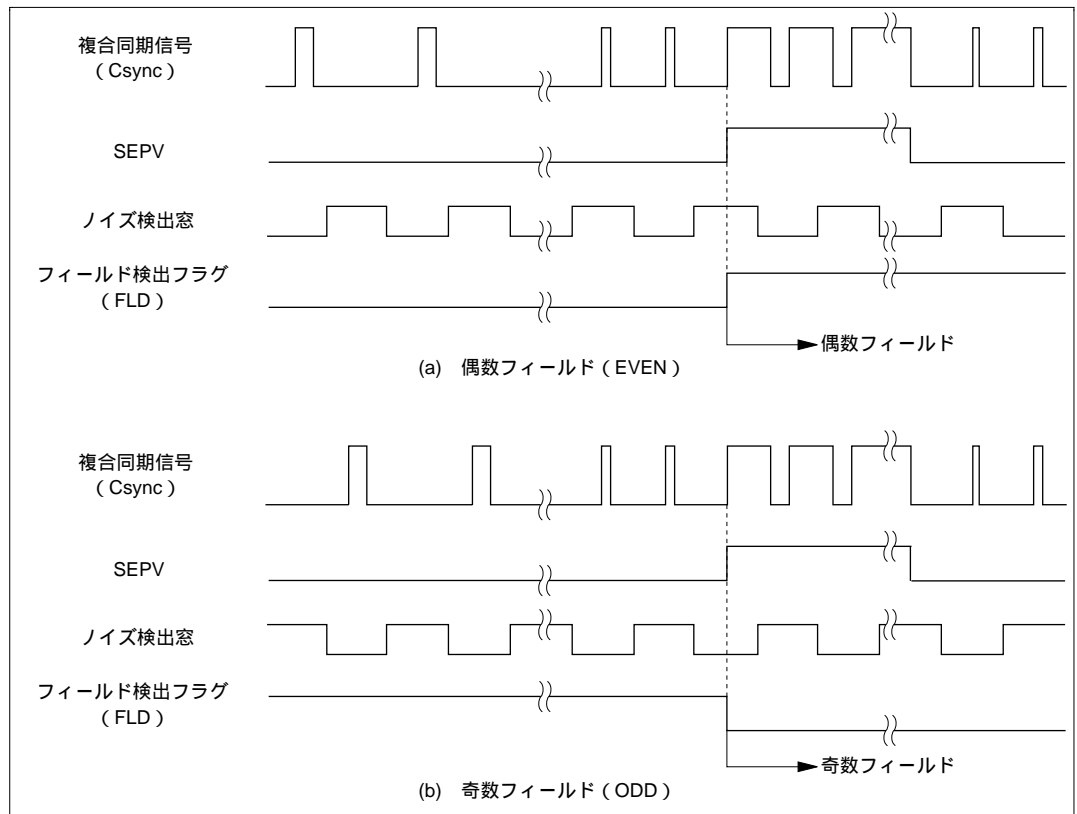
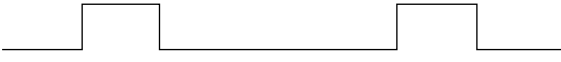
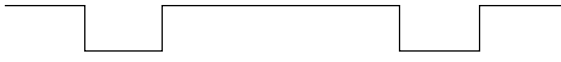


図 12.6 フィールド検出

ビット4：同期信号極性選択ビット（SYCT）

入力する同期信号（Hsync/CsyncまたはVsync）の極性を選択できます。

SYCTビットはHsync/Csync端子の V_{IH}/V_{IL} 保証値範囲を満足するために、“0”を選択するように推奨いたします。Hsync/Csync端子の外部回路の例を「E.使用上の注意、図E.5」に示します。

ビット4	同期信号の極性	極性記号
SYCT		
0	(初期値) 	凸
1		凹

ビット3：同期信号選択（SYNC）

複合同期信号入力とするか、または分離した垂直同期信号と水平同期信号を入力するかを選択します。

複合同期信号入力時は、Hsync/Csync端子にのみ入力してください。また、分離した垂直同期信号と水平同期信号を入力する場合、垂直同期信号をP6₇/Vsync端子、水平同期信号をHsync/Csync端子にそれぞれ入力してください。

ただし、P6₇/Vsync端子の垂直同期信号入力の設定については、「7.8 ポート6」を参照してください。Hsync/Csync端子の外部回路の例を「E.使用上の注意、図E.5」に示します。

ビット3	説明
SYNC	
0	水平（Hsync） / 垂直同期（Vsync）信号は分離入力 (初期値)
1	複合同期信号（Csync）入力

ビット2～0：TV方式選択（M2～M0）

TV方式を指定します。各種TV方式を表12.3に示します。

M2ビットは、PALのカラーバースト信号が交番であることを示します。

M1ビットは、背景の輝度レベルを、15IREにする（背景色が黒）ことを示します。

M0ビットは、水平走査線の本数が525本か625本かを示します。

表12.3 各種TV方式

ビット2	ビット1	ビット0	TV方式	入力クロック周波数 (MHz)		ブルーバック 時の背景色	スーパー インポーズ
				4fsc 入力	2fsc 入力		
M2	M1	M0					
0	0	0	M/NTSC	14.31818	7.15909	青	対応
1	0	1	B.G.H/PAL	17.73447		青	対応
1	1	1	I/PAL D.K/PAL		8.867235	黒	
0	1	1	N/PAL	17.73447	8.867235	黒	対応
1	0	0	M/PAL	14.30244		青	対応
1	1	0		14.31818	7.15909	黒	
0	1	0	4.43MHz- NTSC	14.31818	7.15909	黒	対応
0	1	1	B.G.H/SECAM L/SECAM D.K.K1/SECAM	17.73447	8.867235	黒	不可

【注】 1. N/PAL、M/PAL、4.43MHz-NTSC、SECAMの場合、ブルーバックモードの背景色は黒です。

M/PALの場合、4fscの周波数としてTV方式の規格の14.30244MHzを用い、TV方式選択の各ビットをM2=1、M1=0、M0=0と設定した場合、背景色は青になりますが、水平/垂直同期信号の周期が

水平同期信号周期：15.717KHz

垂直同期信号周期：59.988Hz

となります。

2. SECAMの場合、ブルーバックモード（背景色は黒）のみのサポートとなります。

3. 4/2fscの周波数は各TV方式の規格と必ずしも一致していません。表12.3に示す周波数を入力クロックとしてください。

12.3 動作説明

(1) 同期信号検出回路の検出動作

同期信号検出回路はリセット解除後、および低消費電力モードからアクティブモードへの遷移後、検出動作を開始します。

検出信号は TV 方式選択レジスタ (TVSR) の SYCT ビットで指定される極性のパルスです。*1

検出可能な最小パルス幅は入力回路の内部動作との関係により、一定ではないため、意識的に検出を行う場合は $4/$ ($= f_{OSC}/2$ [Hz]) 以上の幅のパルスを入力してください。

【注】 *1 Hsync/Csync 端子の V_{IH}/V_{IL} 保証値範囲を満足するために SYCT ビットは '0' を選択するように推奨いたします。

(2) スーパーインポーズモードで同期信号入力固定された場合

同期信号検出回路の入力はレベルをセンスしているため同期信号検出回路が動作を開始した後に、入力信号がDCレベルに固定された場合は垂直同期信号による割り込み(VD 割り込み) は以下ようになります。

ブルーバックモードでは、OSD が自走の同期信号で動作するため、OSD 側の VD により割り込みが発生します。

OSDE ビット* ¹	SYCT ビット	極性	入力	VD 割り込み
1	0	凸	Low 固定	VD 割り込み要求は発生しない。
			High 固定	
	1	凹	Low 固定	
			High 固定	
	*	凸 / 凹	Csync または Vsync	Csync または Vsync 端子に入力された 信号により VD 割り込みが発生。
0	-	-	Low 固定	VD 割り込み要求は発生しない。
			High 固定	
			Csync または Vsync	

【注】 *1 OSDE ビットは、OSD レジスタ 4 (OSDR4) のビット 7 です。

OSDE ビットを操作する場合は 4/2 fsc 発振が必要です。

13. サーボ回路

第13章 目次

13.1	概要.....	323
	13.1.1 機能.....	323
	13.1.2 ブロック図.....	324
13.2	入力アンプ.....	325
	13.2.1 ブロック図.....	325
	13.2.2 端子構成.....	326
	13.2.3 レジスタ構成.....	326
	13.2.4 DPG バイアスレジスタ (DPB).....	327
	13.2.5 内部信号の位相.....	329
13.3	基準信号生成回路.....	330
	13.3.1 概要.....	330
	13.3.2 REF30 生成回路.....	330
	13.3.3 CREF 生成回路.....	334
13.4	HSW (ヘッドスイッチ) タイミング生成回路.....	337
	13.4.1 概要.....	337
	13.4.2 ブロック図.....	337
	13.4.3 レジスタ構成.....	340
	13.4.4 レジスタの説明.....	340
	13.4.5 動作説明.....	345
	13.4.6 HSW タイミング生成回路の注意事項.....	346
	13.4.7 割り込み.....	349
	13.4.8 DPG と DFG の入力タイミング.....	350
13.5	4ヘッド特殊再生用高速切り替え回路.....	351
	13.5.1 概要.....	351
	13.5.2 ブロック図.....	351
	13.5.3 制御方法.....	352
	13.5.4 端子構成.....	352

	13.5.5	レジスタ構成	352
	13.5.6	特再制御レジスタ (CHCR)	353
13.6		ドラム速度誤差検出回路.....	354
	13.6.1	概要.....	354
	13.6.2	ドラム速度誤差検出回路.....	354
	13.6.3	トリックプレイモード時の fH 補正の方法.....	356
	13.6.4	レジスタ構成	356
	13.6.5	レジスタの説明.....	357
13.7		ドラム位相誤差検出回路.....	359
	13.7.1	概要.....	359
	13.7.2	ドラム位相誤差検出回路.....	359
	13.7.3	位相比較.....	361
	13.7.4	レジスタ構成	362
	13.7.5	レジスタの説明.....	362
13.8		キャプスタン速度誤差検出回路.....	365
	13.8.1	概要.....	365
	13.8.2	キャプスタン速度誤差検出回路.....	365
	13.8.3	レジスタ構成	367
	13.8.4	レジスタの説明.....	367
13.9		キャプスタン位相誤差検出回路.....	369
	13.9.1	概要.....	369
	13.9.2	レジスタ構成	371
	13.9.3	レジスタの説明.....	372
13.10		X 値補正、トラッキング補正回路.....	374
	13.10.1	概要.....	374
	13.10.2	ブロック図.....	374
	13.10.3	レジスタ構成	375
	13.10.4	レジスタの説明.....	375
	13.10.5	X 値書き換え時の注意事項	375
13.11		デジタルフィルタ演算回路.....	377
	13.11.1	概要.....	377
	13.11.2	デジタルフィルタ回路.....	378
	13.11.3	演算バッファ	382
	13.11.4	レジスタ構成	383
	13.11.5	レジスタの説明.....	384
	13.11.6	過渡応答時の操作.....	389
13.12		学習サーボ回路.....	390
	13.12.1	概要.....	390

13.12.2	ドラム速度系学習サーボ.....	391
13.12.3	キャプスタン位相制御系学習サーボ（ADフィルタ）.....	395
13.12.4	学習サーボの定数の設定方法.....	398
13.13	付加V信号.....	400
13.13.1	概要.....	400
13.13.2	付加Vパルスの信号.....	401
13.13.3	端子構成.....	402
13.13.4	レジスタ構成.....	402
13.13.5	付加Vレジスタ（ADVR）.....	403
13.14	CTL回路.....	406
13.14.1	概要.....	406
13.14.2	ブロック図.....	407
13.14.3	端子構成.....	407
13.14.4	レジスタ構成.....	408
13.14.5	レジスタの説明.....	408
13.14.6	動作説明.....	417
13.14.7	CTL入力部.....	420
13.14.8	デューティ判別回路.....	424
13.14.9	CTL出力部.....	428
13.14.10	VISSコントロール回路.....	431
13.14.11	台形波回路.....	432
13.14.12	CTL割り込みに関する注意事項.....	432
13.15	H8/3977R シリーズの検波感度.....	433

13.1 概要

13.1.1 機能

このLSIはVTRサーボ回路を内蔵しています。サーボ回路の機能を表13.1に示します。下記のとおり4つに分けることができます。

表 13.1 サーボ回路の機能

区分	機能	説明
(1) 入力、出力回路	入力アンプ	
	基準信号生成回路	
	HSW タイミング生成回路	ヘッドスイッチ切り替え信号
	4ヘッド特殊再生用 高速切り替え回路	クロマロータリー/ヘッドアンプ 切り替え出力
	12ビットPWM	
(2) 誤差検出回路	ドラム速度誤差検出回路	
	ドラム位相誤差検出回路	
	キャプスタン速度誤差検出回路	
	キャプスタン位相誤差検出回路	
	X値補正/トラッキング補正回路	
	A/D変換器	ハードウェアトリガ
(3) 位相補償、ゲイン補正	デジタルフィルタ演算回路	ハードウェアにより自動演算を行う
(4) その他	学習サーボ回路	ドラムモータのFGムラキャンセル
	付加V信号	特殊再生時
	CTL回路	デューティ判別回路など CTLヘッドリード/ライト回路

13.1.2 ブロック図

サーボブロック図を図 13.1 に示します。

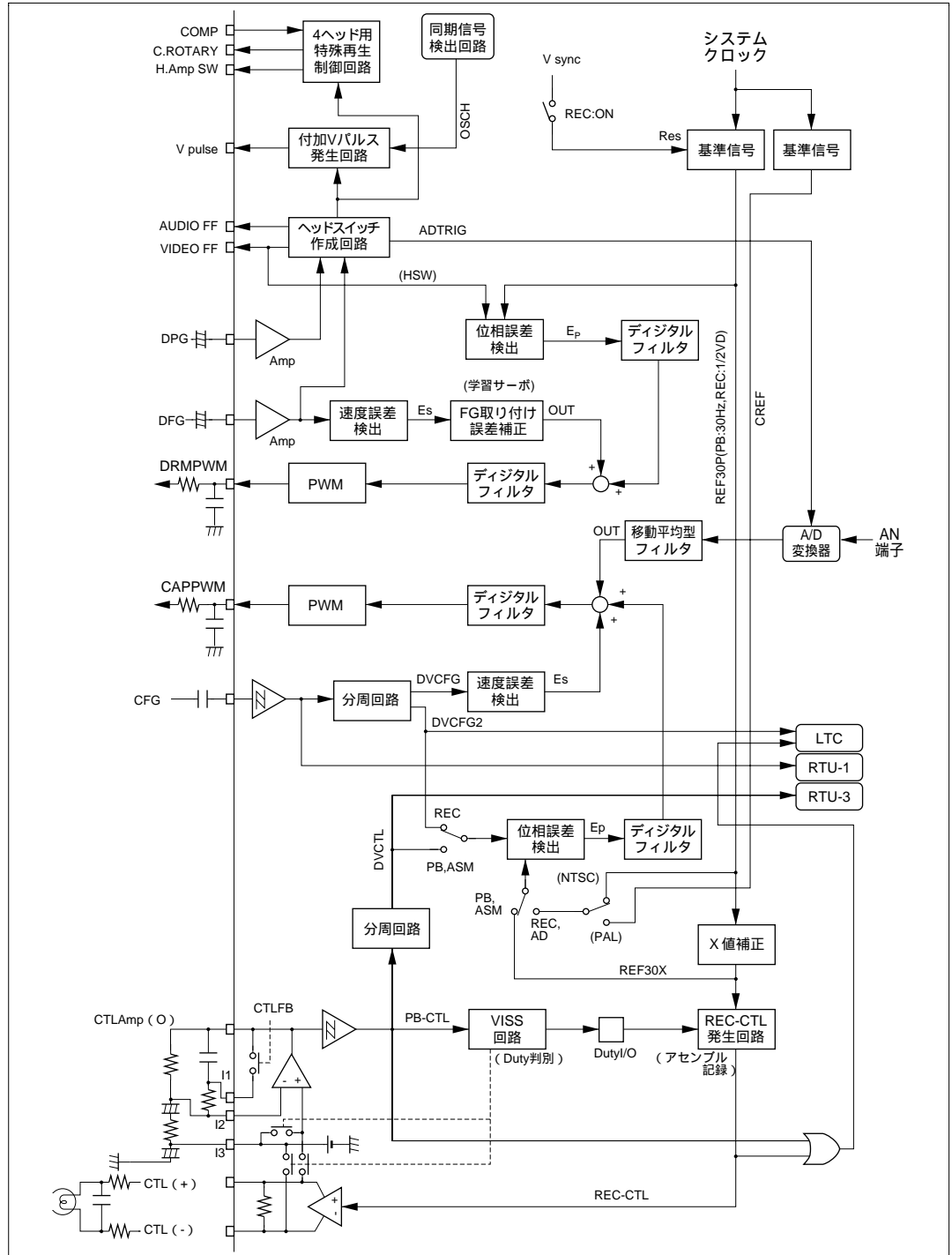


図 13.1 サーボブロック図

13.2 入力アンプ

13.2.1 ブロック図

ドラム PG、ドラム FG の入力端子はアンプを内蔵しています。端子の構造を図 13.2、図 13.3、図 13.4 に示します。

キャプスタン FG にはシュミットアンプを内蔵しています。

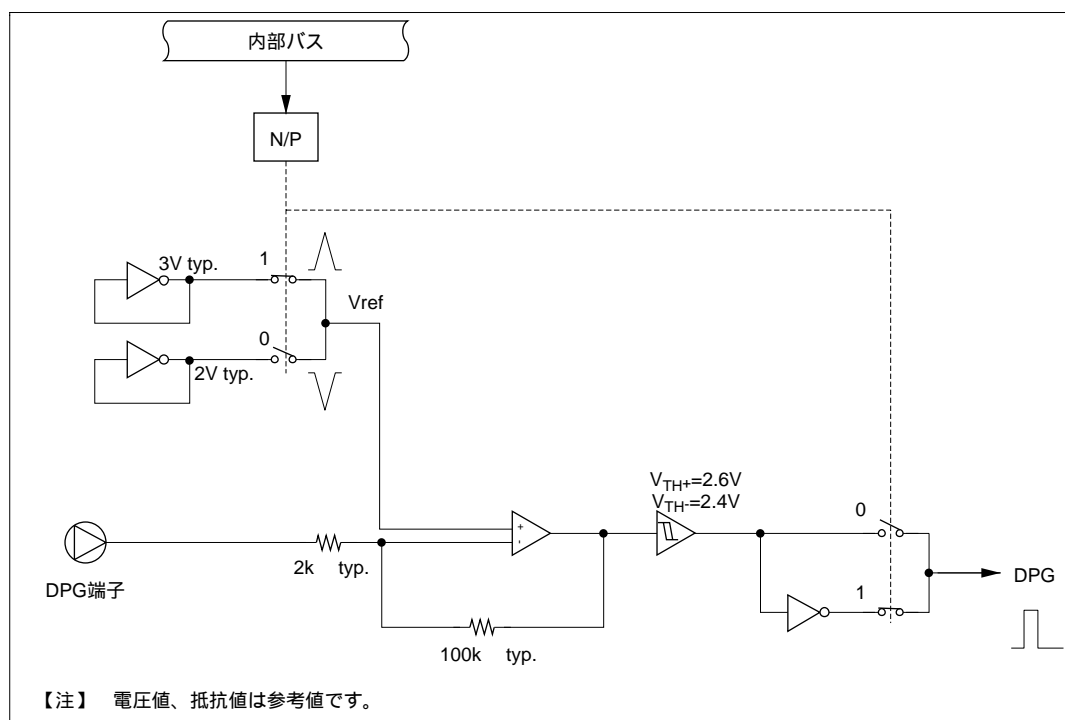


図 13.2 ドラム PG (DPG) 入力アンプ

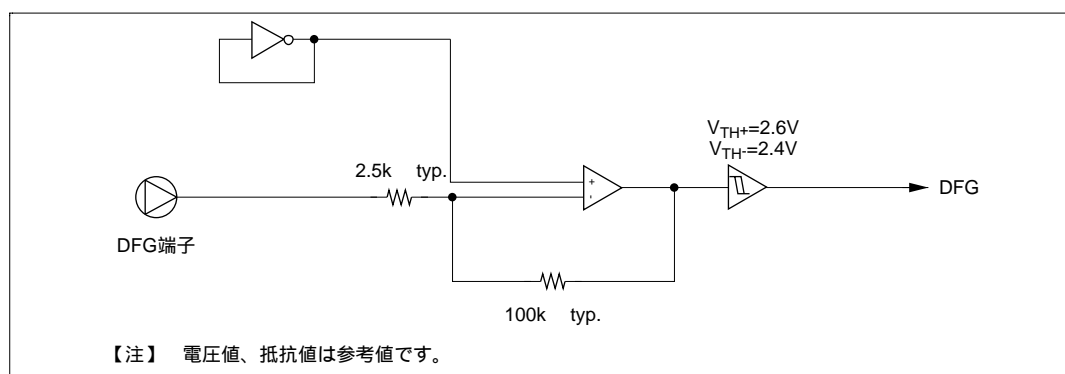


図 13.3 ドラム FG (DFG) 入力アンプ

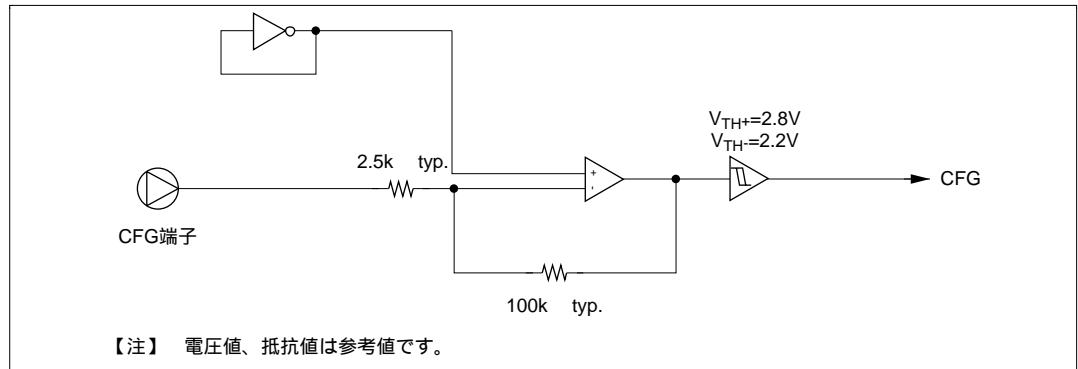


図 13.4 キャプスタン FG (CFG) 入力アンプ

13.2.2 端子構成

入力アンプの端子構成を表 13.2 に示します。

表 13.2 端子構成

名 称	略 称	入出力	機 能
ドラム PG アンプ入力端子	DPG	入力	DPG 信号アンプ入力
ドラム FG アンプ入力端子	DFG	入力	DFG 信号アンプ入力
キャプスタン FG アンプ入力端子	CFG	入力	CFG 信号アンプ入力

13.2.3 レジスタ構成

入力アンプのレジスタ構成を表 13.3 に示します。

表 13.3 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
DPG バイアスレジスタ	DPB	R/W	バイト	H'FC	H'F2CB

13.2.4 DPG バイアスレジスタ (DPB)

ビット	:	7	6	5	4	3	2	1	0
								CTLFB	N/P
初期値	:	1	1	1	1	1	1	0	0
R/W	:							R/W	R/W

DPG バイアスレジスタ (DPB) は、CTL アンプの CTLAmp (O) 端子と CTL-I1 端子との間のスイッチを ON/OFF するビットと、DPG アンプのバイアスレベルを設定するビットを持つレジスタです。

DPB は 2 ビットのリードとライトが可能なレジスタです。リセット時、HFC に初期化されます。

ビット 7~2 : リザーブビット

リザーブビットです。リードもライトも無効です。

ビット 1 : CTL 入力アンプのフィードバック部 SW ビット (CTLFB)

フィードバック部の SW を ON/OFF することで、ゲインの調整ができます。

ビット 1	説 明	
CTLFB		
0	SW を OFF	(初期値)
1	SW を ON	

CTL 入力アンプのブロック図を図 13.5 に示します。

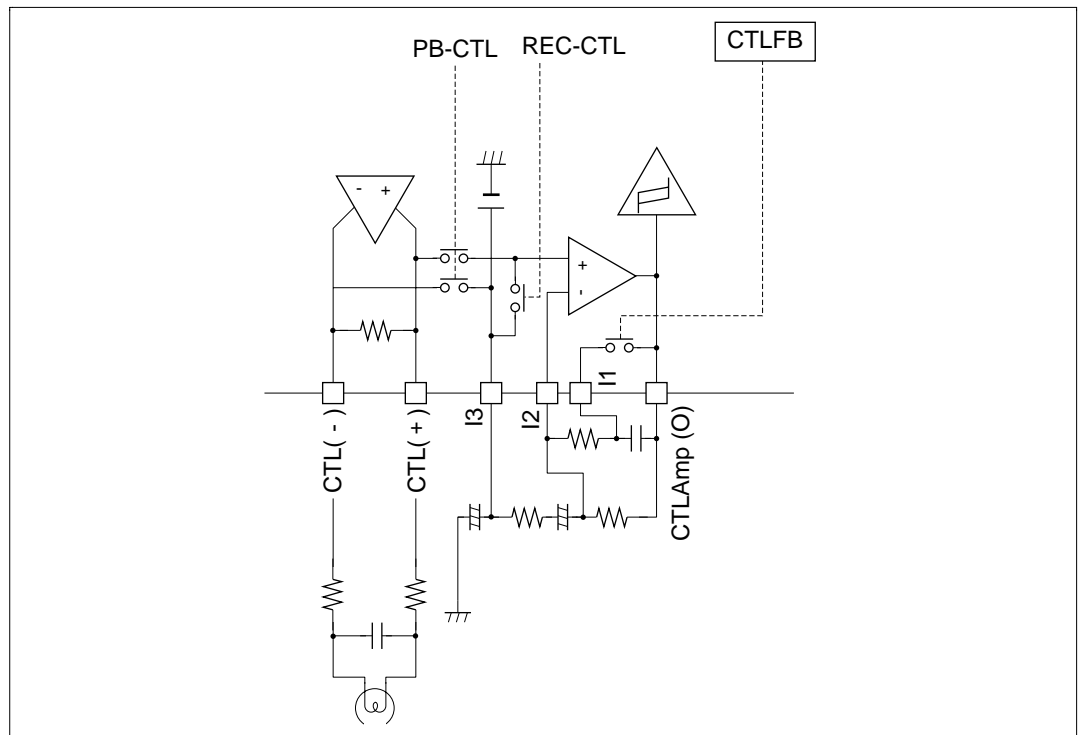


図 13.5 CTL 入力アンプ

ビット 0 : バイアス選択ビット (N/P)

DPG 端子の入力波形により、DPG が立ち下がり基準か、立ち上がり基準かを選択します。

「13.2.5 内部信号の位相」を参照してください。

ビット 0	説明
N/P	
0	入力信号の立ち下がり を DPG 信号として動作します。 バイアスレベルは 2V typ.* に設定します。 (初期値)
1	入力信号の立ち上がり を DPG 信号として動作します。 バイアスレベルを 3V typ.* に設定します。

【注】 * 参考値です。

13.2.5 内部信号の位相

(1) DPG

DPG 端子は、バイアス選択ビット (N/P) により、入力信号として立ち下がり基準と立ち上がり基準とを選択できます。どちらの入力信号であっても、内部では図 13.6 (c) の信号として動作します。

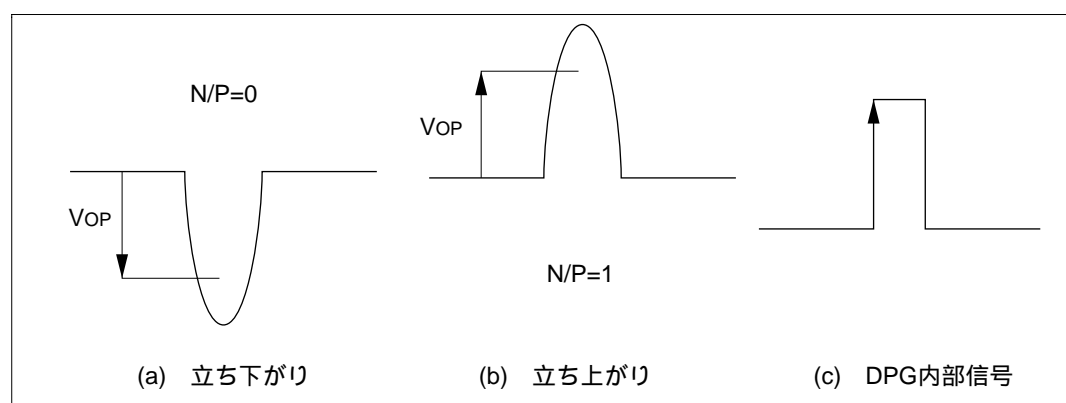


図 13.6 DPG 内部信号

(2) DFG、CFG

DFG、CFG の内部信号は、入力信号と同じ位相を持っています。内部 FG 信号を図 13.7 に示します。

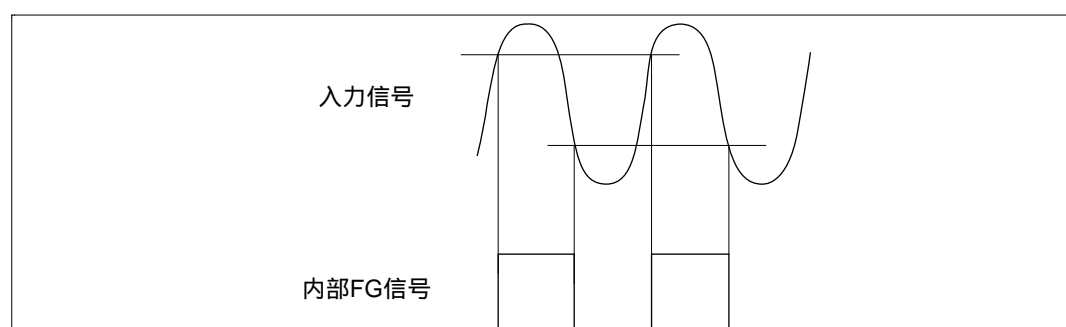


図 13.7 内部 FG 信号

13.3 基準信号生成回路

13.3.1 概要

基準信号生成回路は、位相比較などに用いる基準のタイミングを生成します。システムクロック $/2$ をクロックソースとする 16 ビットのカウンタ、基準周期レジスタ、比較器により構成されています。基準周期レジスタには、基準周期の $1/2$ の値を設定してください。基準信号生成回路は、FG の周波数に対応するため、REF30 信号発生用と、キャプスタンの位相制御系の CREF 信号の発生用との 2 つの回路を内蔵しています。

キャプスタン位相制御での REF30 と CREF との切り替えは、キャプスタン系デジタルフィルタコントロールレジスタ (CFIC) のビット 3、CR/RF ビットにより行ってください。

13.3.2 REF30 生成回路

REF30 生成回路は、ドラム、キャプスタンの位相制御に必要な REF30 信号を生成します。

基準周期レジスタ 1 には、再生時のキャプスタン位相制御系の基準信号とするためにデューティ 50% の値を設定します。記録時およびアセンブルモード時の基準信号は、同期信号検出回路で生成される VD から生成されます。VD は、弱電界時などで欠落しても、補完されます。

(1) ブロック図

REF30 生成回路のブロック図を図 13.8 に示します。

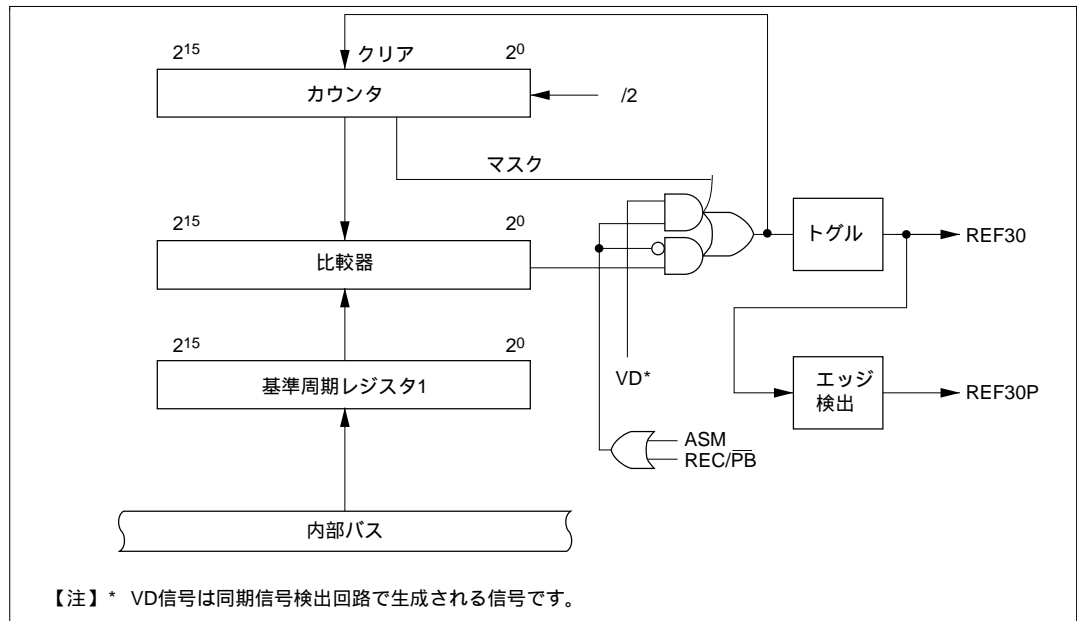


図 13.8 REF30 生成回路のブロック図

(2) レジスタ構成

REF30 生成回路のレジスタ構成を表 13.4 に示します。

表 13.4 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
基準周期レジスタ 1	RFD	W	ワード	H'FFFF	H'F2BC

(3) 基準周期レジスタ 1 (RFD)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	REF15	REF14	REF13	REF12	REF11	REF10	REF9	REF8	REF7	REF6	REF5	REF4	REF3	REF2	REF1	REF0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

基準周期レジスタ 1 (RFD) は、再生時の基準信号 (REF30) を生成します。RFD は、ライト専用の 16 ビットのレジスタです。RFD はワードアクセスのみとなっています。

RFD の値は、再生時には基準信号周期の 1/2 を設定します。記録時にも基準信号周期の 1/2 を設定します。ただし、弱電界時等、VD が不安定な場合には注意が必要です。(記録時に 1/2 未満の値を設定すると同期がかりません)。RFD にデータをライトすると、RFD の内容が比較回路部に取り込まれ、基準信号生成のデータの更新が行われます。

RFD は、ライト専用レジスタですが、リードした場合には、常に 1 が読み出されます。また、RFD にバイトライトすると、動作が保証されません。リセット時、RFD は、H'FFFF に初期化されます。

記録 / 再生モードの切り替えは、CTL 回路の CTL モードレジスタ (CTLM) のビット 7 (ASM) およびビット 6 (REC/PB) により行ってください。また、キャプスタン位相制御での、REF30 と CREF との切り替えは、デジタルフィルタ演算回路のキャプスタン系デジタルフィルタコントロールレジスタ (CFIC) のビット 3 (CR/RF ビット) により行ってください。

(4) 基準信号

基準信号 REF30、REF30P 信号を図 13.9、図 13.10 に示します。

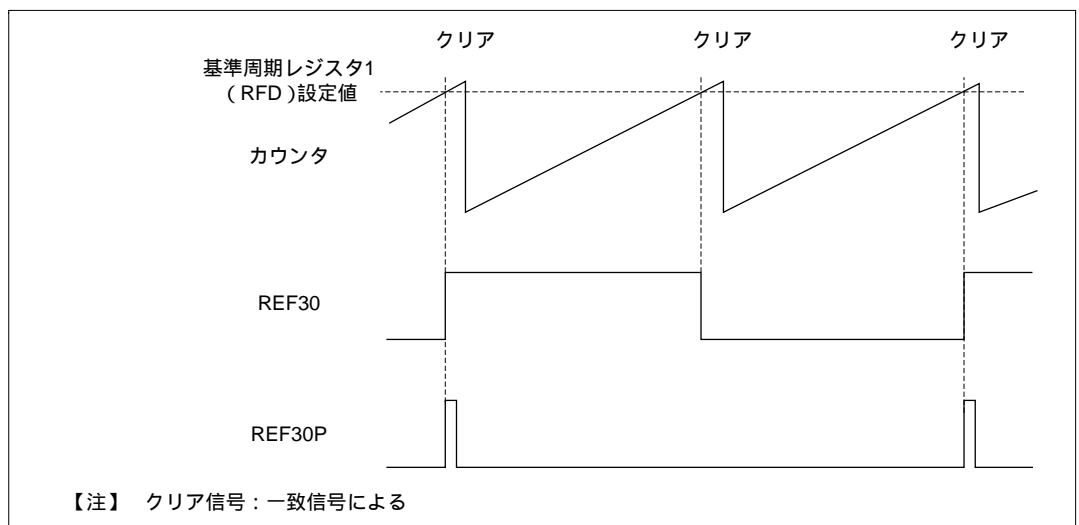


図 13.9 再生時の基準信号の生成

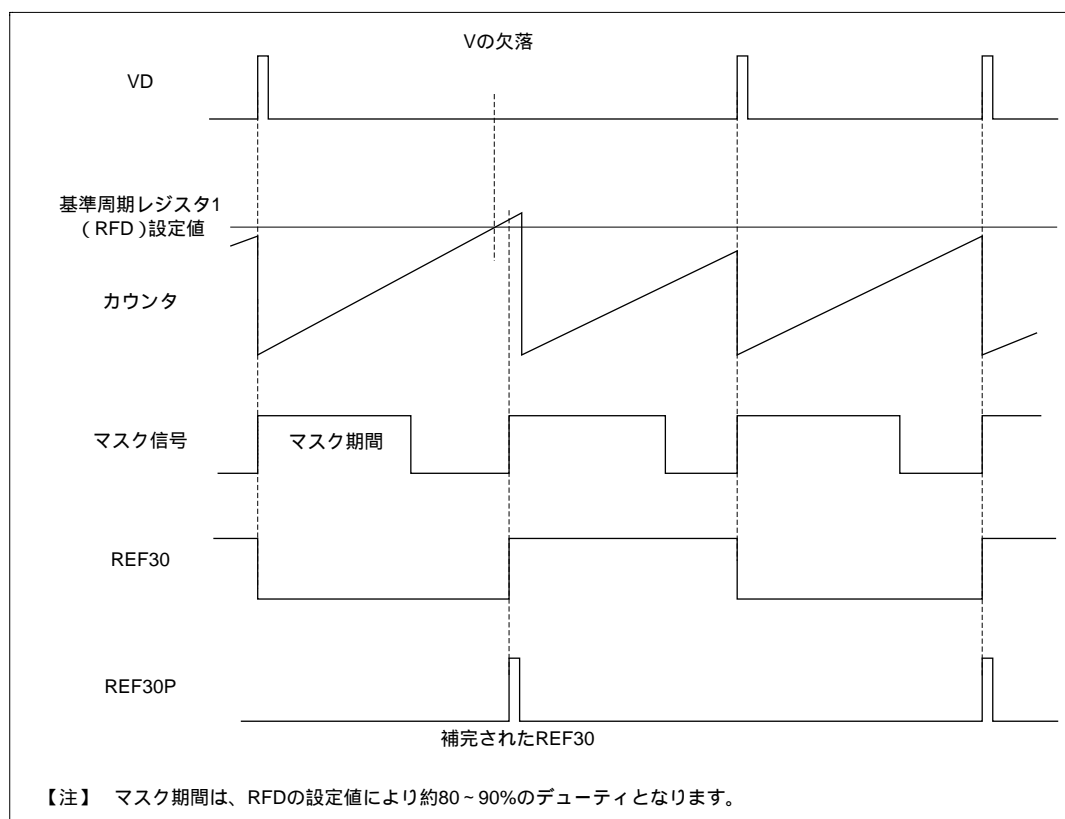


図 13.10 記録時の基準信号の生成

13.3.3 CREF 生成回路

CREF 生成回路は、キャプスタンの位相制御に必要な CREF 信号を生成します。キャプスタン位相誤差検出回路では、REF30 信号を用いるか、CREF 信号を用いるかを選択できます。CFG の分周信号が 25 または 30Hz と異なる場合に使用してください。キャプスタン位相制御での、REF30 と CREF との切り替えはキャプスタン系デジタルフィルタコントロールレジスタ (CFIC) のビット 3、CR/RF ビットにより行ってください。

基準周期レジスタ 2 には、キャプスタン位相制御系の基準信号とするためにデューティ 50% の値を設定します。

CREF 生成回路のカウンタは、PB(ASM) から REC に切り替えた時に H'0000 に初期化されます。また、PB(ASM) から REC に切り替えた時、トグルの位相は L レベルにクリアされます*。PB、REC の切り替えは「13.14.5 (2) CTL モードレジスタ (CTLM)」を参照してください。

(1) ブロック図

基準信号生成回路のブロック図を図 13.11 に示します。

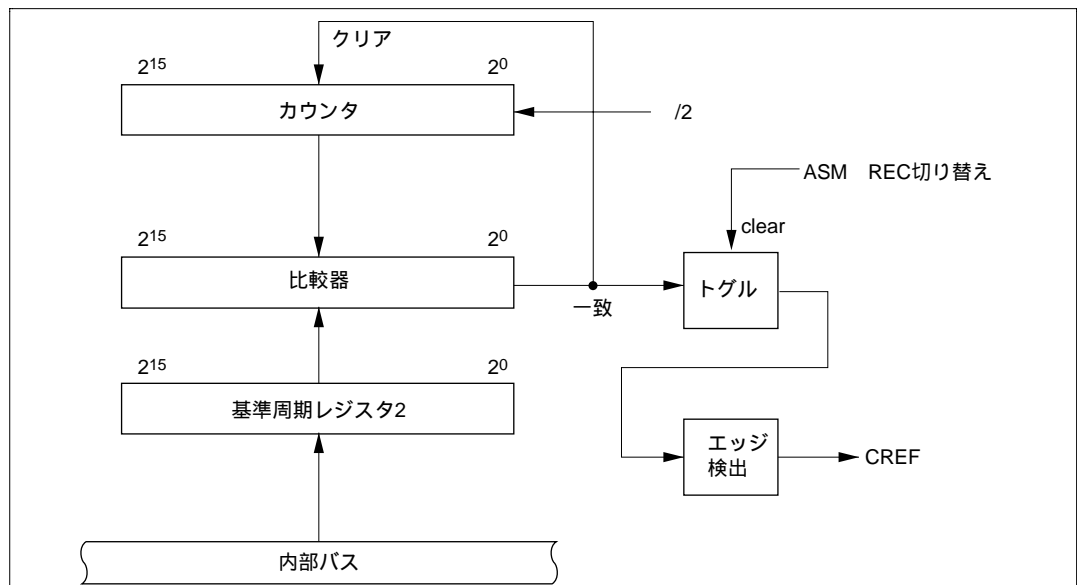


図 13.11 CREF 信号生成回路

(2) レジスタ構成

CREF 生成回路のレジスタ構成を表 13.5 に示します。

表 13.5 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
基準周期レジスタ 2	CRF	W	ワード	H'FFFF	H'F2BD

(3) 基準周期レジスタ 2 (CRF)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRF15	CRF14	CRF13	CRF12	CRF11	CRF10	CRF9	CRF8	CRF7	CRF6	CRF5	CRF4	CRF3	CRF2	CRF1	CRF0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

CRF は、16 ビットのライト専用のレジスタで、基準信号 (CREF) を生成します。CRF はワードアクセスのみとなっています。CRF の値は、基準信号周期の 1/2 を設定します。

CRF にデータをライトすると、CRF の内容が比較回路部に取り込まれ、基準信号生成のデータの更新が行われます。

CRF はライト専用レジスタですが、リードした場合には、常に 1 が読み出されます。また、CRF にバイトライトすると、動作が保証されません。

リセット時、CRF は H'FFFF に初期化されます。

キャプスタン位相制御での、REF30 と CREF との切り替えは、キャプスタン系デジタルフィルタコントロールレジスタ (CFIC) のビット 3、CR/RF ビットにより行ってください。

(4) 基準信号

基準信号 CREF 信号を図 13.12 に示します。

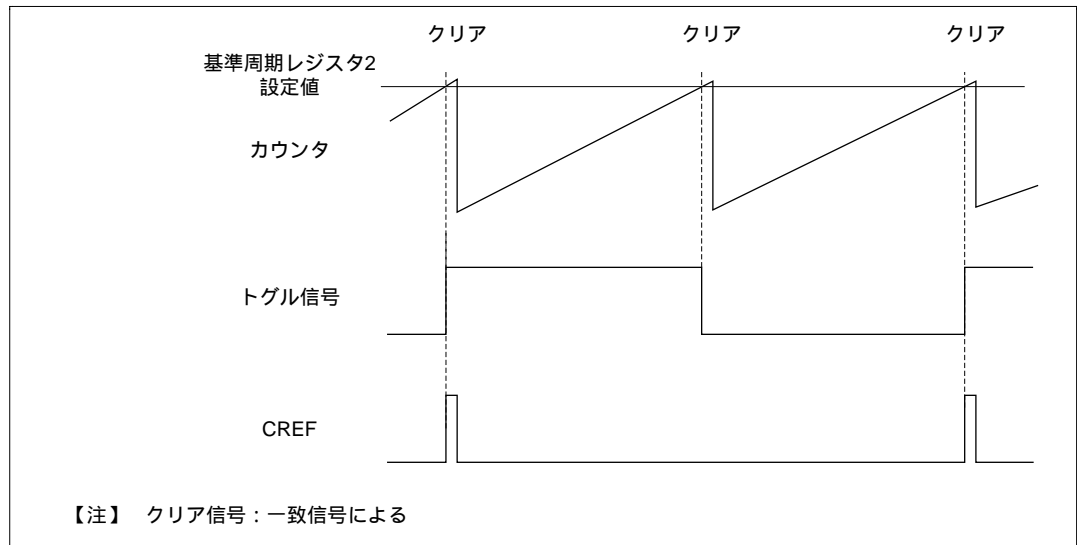


図 13.12 CREF 信号の生成

13.4 HSW (ヘッドスイッチ) タイミング生成回路

13.4.1 概要

HSW タイミング生成回路は、DPG を基準に DFG パルス数を計数する 5 ビットカウンタと時間計測を行う 16 ビットのタイマの計 21 ビットのカウンタ、時間を検出する一致回路、16 ビット時間データと出力パターンビットとの 26 ビット×10 段の FIFO により構成されています。

16 ビットのカウンタは、 $1/4$ をクロックソースとしてカウントするフリーランニングカウンタとしても動作可能であり、PPG (Programable Pattern Generator) としても使用できます。このとき、19 ビット FRC のオーバフローでカウンタがクリアされるため、2 つの FRC は同期して動作します。

13.4.2 ブロック図

HSW タイミング生成回路のブロック図を図 13.13 に示します。

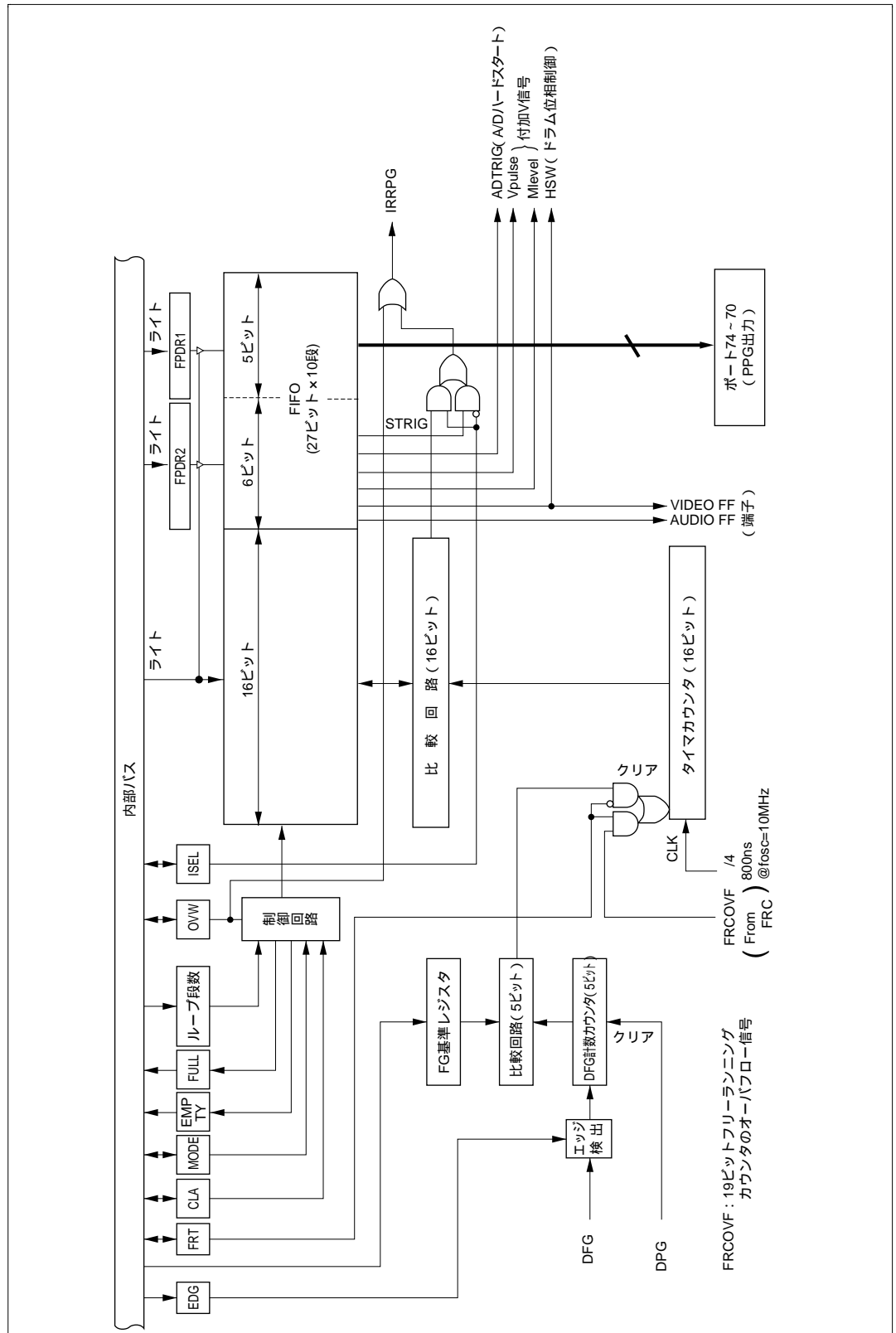


図 13.13 HSW タイミング生成回路

HSW タイミング生成回路は次の要素で構成されています。

要素	機能
HSW モードレジスタ 1 (MSM1)	本回路の動作状態の確認 / 決定
HSW モードレジスタ 2 (MSM2)	ループモードのときのループ段数の設定
FIFO 出力パターンデータレジスタ 1 (FPDR1)	P7 出力データの間中バッファレジスタ
FIFO 出力パターンデータレジスタ 2 (FPDR2)	AFF、VFF、内蔵機能への出力データの間中バッファレジスタ
FIFO タイミングパターンレジスタ (FTPR)	出力タイミングのパターンデータレジスタ
DFG 基準レジスタ(DFCR)	基準となる DFG エッジの設定
FIFO 制御回路	FIFO の状態を制御
DFG カウント比較回路	DFCR と DFG カウンタの一致検出
16 ビットタイマカウンタ	16 ビットのフリーランタイマカウンタ
27 ビット × 10 段の FIFO	First In First Out のデータバッファ
16 ビット比較回路	16 ビットタイマカウンタと初段の FTPR との一致検出

FPDR1 (5 ビット) と FPDR2 (6 ビット) は中間バッファであり FTPR (16 ビット) のライトにより 27 ビット同時に FIFO にライトされます。FIFO は 27 ビット × 10 段のデータバッファで、HSM1、HSM2 により動作状態を制御します。初段 (出力段) の FTPR と 16 ビットタイマカウンタの値を比較し、一致すると 11 ビットのパターンデータは各機能に出力されます。Audio FF、Video FF、PPG (P7₀ ~ P7₄) は端子出力、ADTRIG は A/D 変換器のハードスタート信号、 V_{pulse} 、 M_{level} 信号は付加 V パルスの生成用信号、HSW 信号は Video FF と同一の信号であり、ドラムの位相制御に用います。16 ビットタイマカウンタはフリーランモード時 (HSM1 の FRT ビット = 1)、FRC (19 ビットのフリーランタイマ) のオーバフローにより初期化されます。DFG 基準モードのときは、DFCR と DFG カウンタとの一致信号により初期化されます。

13.4.3 レジスタ構成

HSW タイミング生成回路のレジスタ構成を表 13.6 に示します。

表 13.6 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
HSW モードレジスタ 1	HSM1	R/W	バイト	H'40	H'F2B7
HSW モードレジスタ 2	HSM2	R/W	バイト	H'F0	H'F2B8
FIFO 出力パターンデータレジスタ 1	FPDR1	W	ワード	不定	H'F2B9
FIFO 出力パターンデータレジスタ 2	FPDR2	W	ワード	不定	H'F2BA
FIFO タイミングパターンレジスタ	FTPR	W	ワード	不定	H'F2BB
DFG 基準レジスタ	DFCR	W	バイト	不定	H'F2C0

13.4.4 レジスタの説明

(1) HSW モードレジスタ 1 (HSM1)

ビット	7	6	5	4	3	2	1	0
	FL	EMP	FRT	LOP	CLR	EDG	OVW	ISEL
初期値	0	1	0	0	0	0	0	0
R / W	R	R	R/W	R/W	R/W	R/W	R/W	R/W

HSM1 は、HSW タイミング生成回路の動作状態の確認または決定をする、8 ビットのレジスタです。

リセット時、H'40 に初期化されます。

ビット 7 : FIFO フルフラグ (FL)

FL ビットが 1 のとき、FIFO のタイミングパターンデータ、出力パターンデータが、満杯であることを示します。

この状態でさらにライトをすると、ライト操作は無効になり、割り込みを発生するとともに、OVW フラグ (ビット 1) を 1 にします。このとき、ライトデータは消滅します。FIFO に空きができてから、再度ライトしてください。

ビット 7	説 明
FL	
0	FIFO に空きがあり、データ入力ができます。 (初期値)
1	FIFO が、いっぱいの状態です。

ビット6：FIFO エンプティフラグ（EMP）

FIFO にデータがない、またはシングルモードで全データの出力が終了した状態を示します。

ビット6	説 明
EMP	
0	FIFO にデータが残っています。
1	FIFO にデータが1つも無い状態です。 (初期値)

ビット5：フリーランビット（FRT）

一致タイミングを DPG 基準のカウンタとタイマで行うか、FRC で行うかを指定します。

ビット5	説 明
FRT	
0	5 ビット DFG カウンタ + 16 ビットタイマ (初期値)
1	16 ビット FRC

ビット4：モード指定ビット（LOP）

FIFO の出力モードを指定します。ループモードにすると LO3~LO0 ビットが有効になります。LOP ビットを書き換えると、FIFO のライト位置をカウントするポインタがクリアされます。このとき、最終出力データは保持されます。

ビット4	説 明
LOP	
0	シングルモード (初期値)
1	ループモード

ビット3：FIFO ポインタクリアビット（CLR）

FIFO のライト位置をカウントするポインタをクリアします。0 をライトしても動作には影響しません。1 ライトしても、直後にこのビットは0に戻ります。

ビット3	説 明
CLR	
0	通常動作 (初期値)
1	FIFO のポインタをクリアします。

ビット2：DFG エッジ選択ビット（EDG）

DFG の計数をするエッジを選択します。

ビット2	説 明
EDG	
0	DFG の立ち上がりエッジで計数します。 (初期値)
1	DFG の立ち下がりエッジで計数します。

ビット1：オーバーライトフラグ（OVW）

FIFO のタイミングパターンデータおよび出力パターンデータが満杯（FL ビットが 1）のとき、さらにライトを行うと、ライトは無効になり割り込みが発生するとともに、OVW フラグが 1 になります。このとき、ライトデータは消滅します。FIFO に空きができてから、再度ライトしてください。また、OVW フラグは、自動的にクリアされないので、0 をライトしてクリアください。

ビット1	説 明
OVW	
0	正常動作 (初期値)
1	FIFO が満杯の状態、FIFO へのライトを行ったことを示します。 本フラグは、0 ライトによりクリアしてください。

ビット0：割り込み選択ビット（ISEL）

割り込みの発生要因を選択します。

ビット0	説 明
ISEL	
0	STRIG 信号による割り込みを発生します。 (初期値)
1	一致信号による割り込みを発生します。

(2) HSW モードレジスタ 2 (HSM2)

ビット	7	6	5	4	3	2	1	0
					LO3	LO2	LO1	LO0
初期値	1	1	1	1	0	0	0	0
R/W					R/W	R/W	R/W	R/W

HSM2 は、HSW タイミング生成回路がループモードのときのループ段数を設定する、4 ビットのレジスタです。HSM1 のビット 4 (LOP) が 1 のとき有効になります。リセット時、HF0 に初期化されます。

ビット 7~4 : リザーブビット

リザーブビットです。リードもライトも無効です。

ビット 3~0 : FIFO 段数設定ビット (LO3~LO0)

ループモードの段数を設定します。ループモードに設定されているとき (HSM1 の LOP ビットが 1 のとき) のみ、有効となります。

HSM1	HSM2				説明	
ビット 4	ビット 3	ビット 2	ビット 1	ビット 0		
LOP	LO3	LO2	LO1	LO0		
0	X	X	X	X	シングルモード (初期値)	
1	0	0	0	0	FIFO の 0 段目のみ出力	
				1	FIFO の 0、1 段目を出力	
			1	0	FIFO の 0~2 段目を出力	
				1	FIFO の 0~3 段目を出力	
		1	0	0	FIFO の 0~4 段目を出力	
				1	FIFO の 0~5 段目を出力	
			1	0	FIFO の 0~6 段目を出力	
				1	FIFO の 0~7 段目を出力	
	1	0	0	0	FIFO の 0~8 段目を出力	
				1	FIFO の 0~9 段目を出力	
		1	0	1	0	設定禁止
					1	
				1	0	
					1	

【注】 X : 0 または 1、Don't care を表します。

(3) FIFO 出力パターンデータレジスタ 1 (FPDR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												PG74	PG73	PG72	PG71	PG70
初期値:	1	1	1	1	1	1	1	1	1	1	1	*	*	*	*	*
R/W:												W	W	W	W	W

FIFO の出力パターンデータのバッファレジスタです。

FPDR1 は、ライト専用のレジスタで、リードは無効です。FPDR1 はワードアクセス専用のレジスタです。バイトアクセスの動作は保証されません。

リセットでは初期化されないので、使用前に必ずデータをライトしてください。

FPDR1 にライトされた出力パターンデータは、FTPR ライト時に、FIFO のバッファポインタの示す位置に同時にライトされます。

よって、FTPR にライトする前に必ず出力パターンデータを FPDR1 へライトしてください。

(4) FIFO 出力パターンデータレジスタ 2 (FPDR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			STRIG	ADTRG	AFF	VFF	Vpulse	Mlevel								
初期値:	1	1	*	*	*	*	*	*	1	1	1	1	1	1	1	1
R/W:			W	W	W	W	W	W								

FIFO の出力パターンデータのバッファレジスタです。AFF および VFF は端子より出力され、それ以外の信号については、決められたその他の内蔵機能に対して出力されます。

FPDR2 は、ライト専用のレジスタで、リードは無効です。FPDR2 はワードアクセス専用のレジスタです。バイトアクセスの動作は保証されません。

リセットでは初期化されないので、使用前に必ずデータをライトしてください。

FPDR2 にライトされた出力パターンデータは、FTPR ライト時に FIFO のバッファポインタの示す位置に同時にライトされます。

よって、FTPR にライトする前に必ず出力パターンデータを FPDR2 へライトしてください。

(5) FIFO タイミングパターンレジスタ (FTPR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	T15	T14	T13	T12	T11	T10	T9	T8	T7	T6	T5	T4	T3	T2	T1	T0
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

FIFO のタイミングパターンデータの書き込みレジスタです。FTPR をライトすると、FPDR1、FPDR2 のバッファのデータと共に、FIFO のポインタの指し示す位置にライトされます。

FTPR は、16 ビットのライト専用のレジスタで、リードは無効です。FTPR はワードアクセス専用のレジスタです。バイトアクセスの動作は保証されません。

リセットでは初期化されないので、使用前に必ずデータをライトしてください。

(6) DFG 基準レジスタ (DFCR)

ビット :	7	6	5	4	3	2	1	0
				DFC4	DFC3	DCF2	DCF1	DFC0
初期値 :	1	1	1	*	*	*	*	*
R/W :				W	W	W	W	W

DFCR は HSW タイミングの始点を決めるレジスタです。5 ビットのライト専用のレジスタで、基準の DFG エッジを設定します。初期値は不定なので、リセット後は必ず値を設定してください。

HSM1 のビット 5 (FRT ビット) が 0 のときにのみ、有効となります。

13.4.5 動作説明

5 ビットの DFG 計数カウンタは、DFG のエッジによりアップカウントを行います。16 ビットのタイマは、 $T/4$ ($= 800\text{ns}$ 、 $f_{\text{osc}} = 10\text{MHz}$ のとき) をクロックソースとして動作します。DFG 計数カウンタは、DFG の立ち上がりでクリアされます。HSM1 の FRT ビットが 1 のときは、DFG 計数カウンタによる 16 ビットタイマのクリアは無効となります。

一致回路は、FIFO の値とカウンタ値を比較し、一致すると出力信号を発生します。このとき、出力パターンの情報が、VIDEO FF、AUDIO FF、ポート、A/D 変換器に送られます。FIFO のポートデータは Audio Head、Video Head、Flying Erase Head などのヘッドの切り替え信号に用いることができます。

ADTRIG 信号は A/D 変換器のハードウェア・トリガ信号です。詳細は、「第 11 章 A/D 変換器」を参照してください。

V_{pulse} 、 M_{level} 信号は、付加 V 信号用です。詳細は、「13.13 付加 V 信号」を参照してください。

STRIG 信号は、パターンデータにより割り込みを発生するための信号です。ISEL ビットにより STRIG が選択されていると、パターンデータの 1 により割り込みを発生します。

10 段の FIFO は、シングルモードとループモードの 2 つのモードを持っています。

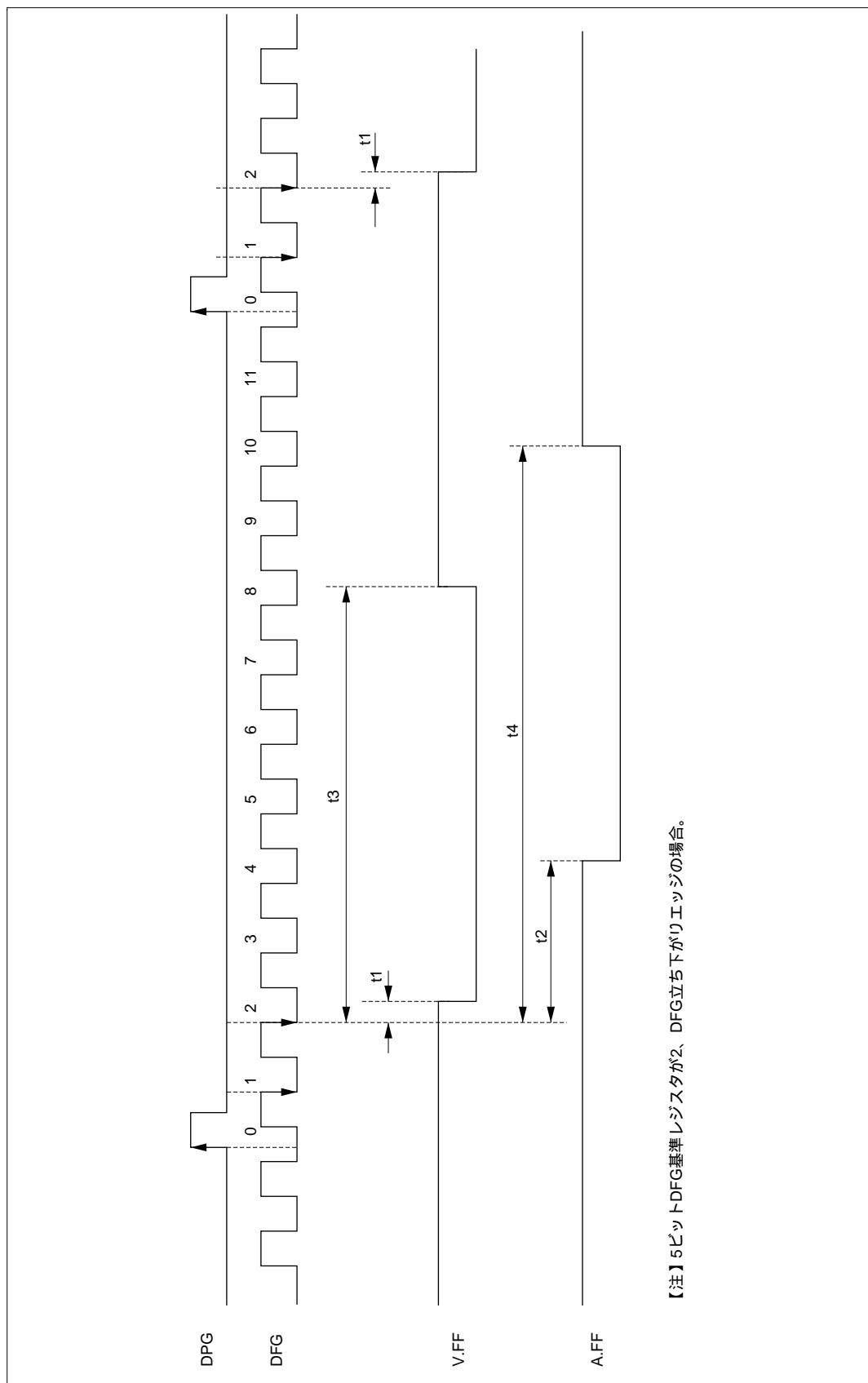
シングルモードでは、時間データが一致するごとに出力パターンデータが出力されていきます。出力したデータは消滅し、内部ポインタが - 1 されます。最後のデータが出力されると (エンプティ)、再度データが書き込まれるまで動作を停止します。

ループモードでは、HSW モードレジスタに出力段数を設定することにより、0 段目から設定段までを繰り返し出力します。時間データが一致するごとに出力パターンデータが出力されるのはシングルモードと同じです。ループモード中は、FIFO のデータは保存されますが、ライトのポインタはループ段数の外にあるため、ループ内を書き換えることはできません。FIFO をクリアした後、全データをライトしてください。

HSW タイミング生成回路の出力信号の例を、図 13.14、図 13.15 に示します。

13.4.6 HSW タイミング生成回路の注意事項

- (1) DFG カウンタと 16 ビットタイマカウンタにより動作しているときに DPG、DFG 信号が入力されなくなった場合は、16 ビットタイマカウンタはクリアされません。そのため、16 ビットタイマカウンタがフリーラン状態になり、16 ビットのタイマのみによる周期的な一致検出が行われます。この状態では、HSW タイミング生成回路による信号の出力の周期は DPG または DFG とは無関係の周期となりますので注意が必要です。
- (2) HSW モードレジスタ 1 (HSM1) のモード設定ビット (LOP) は FIFO データをライトする直前に設定してください。



【注】5ビットDFG基準レジスタが2、DFG立ち下がりエッジの場合。

図 13.14 HSW タイミング波形例 (DFG が 12 発の場合)

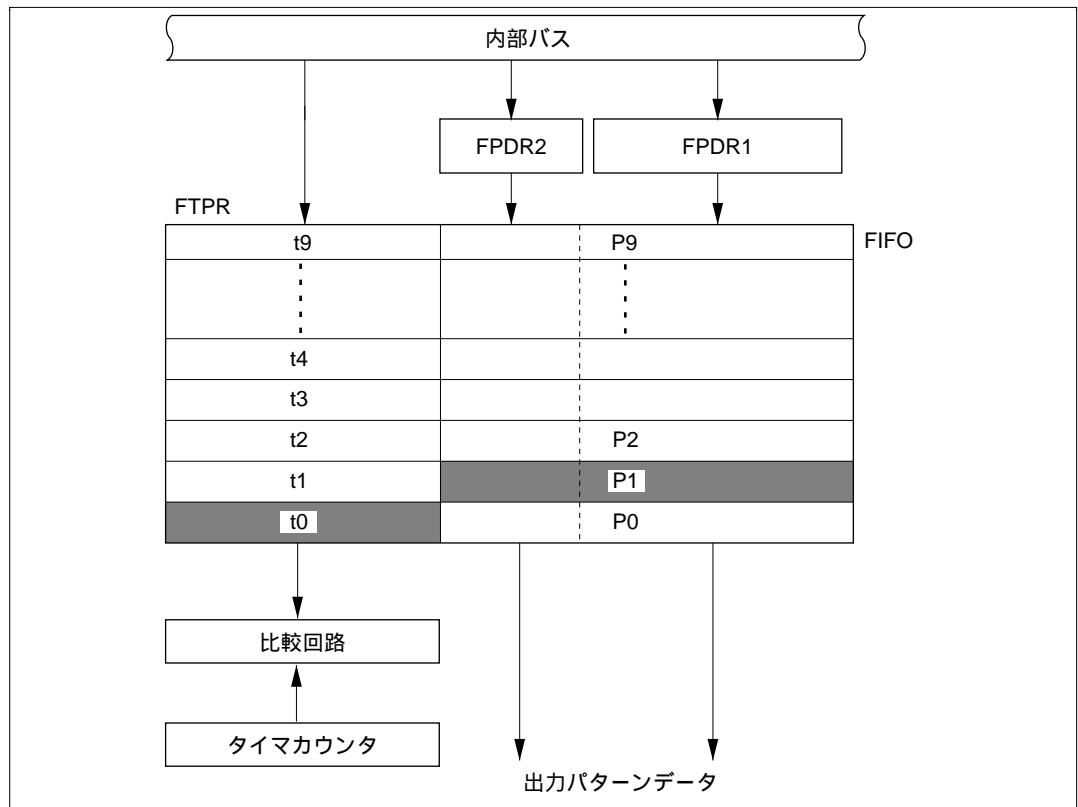


図 13.15 HSW タイミング生成回路動作例

必要な初期設定は済んでいるものとします。

・シングルモードの例

- [1] FPDR1、FPDR2 に出力パターンデータ (P0) をライト。
- [2] FTPR に出力タイミング (t0) をライト。t0 が P0 (FPDR1、FPDR2) とともに FIFO に書き込まれます。これにより出力パターンデータが P0 に初期化されます。
- [3] FPDR1、FPDR2 に P1 をライト。
- [4] FTPR に t1 をライト。

t0 と 16 ビットのタイマカウンタが一致すると、P1 のパターンデータが出力されます。
 t1 と 16 ビットのタイマカウンタが一致すると、P2 のパターンデータが出力されます。

このシーケンスを繰り返します。一致検出によりパターンデータが出力されると、ポインタが - 1 されますが、t9 は FIFO に再度データが書き込まれるまで、一致検出を行わないので注意が必要です。

・ループモードの例

[1] HSM2 レジスタにループ段数を設定。(例 = 4)

[2] FPDR1、FPDR2 に P0 をライト。

[3] FTPR に t0 をライトする。t0 が P0 (FPDR1、FPDR2) とともに FIFO に書き込まれます。これにより出力パターンデータが P0 に初期化されます。

[4] FPDR1、FPDR2 に P1 をライト。

[5] FTPR に t1 をライト。

:

[6] FPDR1、FPDR2 に P4 をライト。

[7] FTPR に t4 をライト。

:

t0 と 16 ビットのタイマカウンタが一致すると、P1 のパターンデータが出力されます。

t1 と 16 ビットのタイマカウンタが一致すると、P2 のパターンデータが出力されます。

.

.

t4 と 16 ビットのタイマカウンタが一致すると、P0 のパターンデータが出力されます。

t0 と 16 ビットのタイマカウンタが一致すると、P1 のパターンデータが出力されます。

.

.

13.4.7 割り込み

HSW タイミング生成回路が割り込みを発生する条件は、以下の 3 つです。

(1) FIFO が満杯の状態 (FULL) でパターンデータをライトしたとき (オーバーライト OVW = 1)

(2) FIFO の STRIG ビットが 1 で一致検出が発生したとき

(3) 16 ビットタイマカウンタと 16 ビット比較回路の値が一致検出時

この中で (2) と (3) は ISEL ビットにより切り替えとなっています。

STRIG および一致検出の割り込みは、OVW の割り込みとの OR で出力されます。使用時には注意してください。

13.4.8 DPG と DFG の入力タイミング

DPGの立ち上がりエッジとDFG計数エッジは、同タイミングとならないように入力してください。

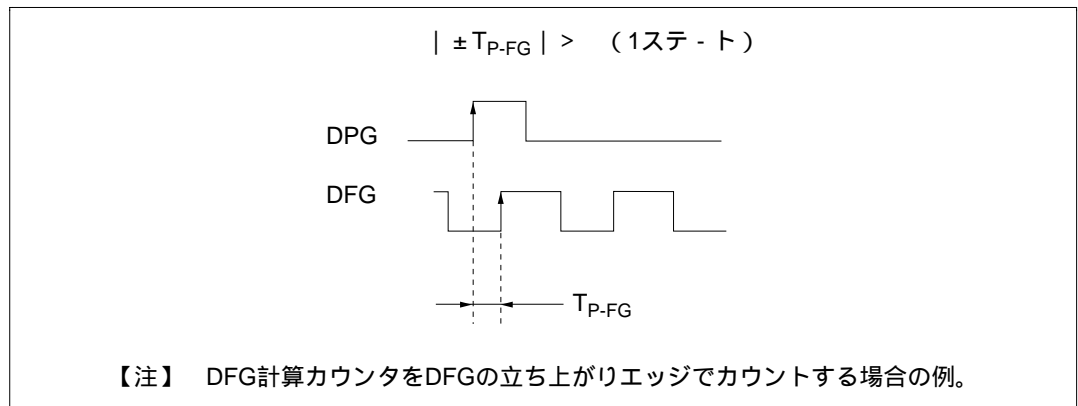


図 13.16 DPG と DFG の入力タイミング

同じタイミングで入力された場合、DFGの計数カウントアップと、DFG計数カウンタのクリアが同時に発生し、カウンタのクリアが優先されます。

よって、カウントアップの値がずれてしまいますので同じタイミングでは入力しないでください。

13.5 4ヘッド特殊再生用高速切り替え回路

13.5.1 概要

4ヘッド特殊再生用高速切り替え回路は、カラーロータリー信号 (C.Rotary) とヘッドアンプ切り替え信号 (H.Amp SW) を生成する回路です。

COMP 入力端子からプリアンプ出力比較結果の信号を入力し、C.Rotary 端子から色信号処理制御信号、H.Amp SW 端子からプリアンプ出力選択信号を出力します。ノイズバーをより細くするため、C.Rotary、H.Amp SW の各信号は複合同期信号 (Csync) に同期しています。

13.5.2 ブロック図

ブロック図を図 13.17 に示します。

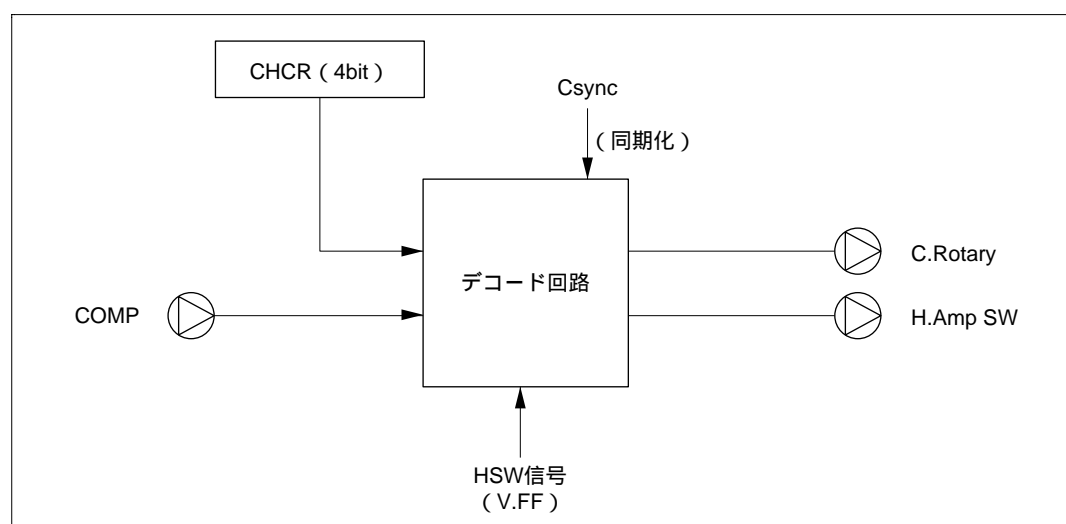


図 13.17 4ヘッド特殊再生用高速切り替え回路ブロック図

13.5.3 制御方法

C.Rotary、H.Amp SW の各信号の制御は、COMP 入力端子と特再制御レジスタ（CHCR）の 4 ビットで行います。入出力対応表を、表 13.7 に示します。

表 13.7 入出力対応表

特再制御レジスタ				COMP	出力端子	
ビット 3	ビット 2	ビット 1	ビット 0	入力端子	C.Rotary	H.Amp SW
0	X	X	X	X	L	L
1	0	0	0	X	HSW	L
			1	X	$\overline{\text{HSW}}$	H
		1	0	X	L	HSW
			1	X	H	$\overline{\text{HSW}}$
	1	X	X	0	HSW	L
				1	$\overline{\text{HSW}}$	H

【注】 X : 0 または 1、Don't care を表します。

13.5.4 端子構成

4 ヘッド特殊再生用高速切り替え回路の端子構成を表 13.8 に示します。

表 13.8 端子構成

名 称	略称	入出力	機 能
コンペア入力	COMP	入力	プリアンプ出力結果信号入力
カラーロータリー信号	C.Rotary	出力	色信号処理制御信号出力
ヘッドアンプスイッチ	H.Amp SW	出力	プリアンプ出力選択信号出力

13.5.5 レジスタ構成

4 ヘッド特殊再生用高速切り替え回路のレジスタ構成を表 13.9 に示します。

表 13.9 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
特再制御レジスタ	CHCR	W	バイト	H'F0	H'FFA4

13.5.6 特再制御レジスタ (CHCR)

ビット	:	7	6	5	4	3	2	1	0
						SIG3	SIG2	SIG1	SIG0
初期値	:	1	1	1	1	0	0	0	0
R/W	:					W	W	W	W

特再制御レジスタ (CHCR) は、4 ビットのライト専用レジスタです。リードは無効です。

リセット時、HF0 に初期化されます。

ビット7~4: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット3~0: 信号制御ビット (SIG3~SIG0)

COMP 入力端子の状態と組み合わせて C.Rotary 端子、H.Amp SW 端子の出力を決定します。

ビット3	ビット2	ビット1	ビット0	COMP	出力端子			
SIG3	SIG2	SIG1	SIG0	入力端子	C.Rotary	H.Amp SW		
0	X	X	X	X	L	L	(初期値)	
1	0	0	0	X	HSW	L		
			1	X	$\overline{\text{HSW}}$	H		
		1	0	X	L	HSW		
			1	X	H	$\overline{\text{HSW}}$		
	1	X	X	0	X	HSW	L	
				1	X	$\overline{\text{HSW}}$	H	

【注】 X: 0 または 1、Don't care を表します。

13.6 ドラム速度誤差検出回路

13.6.1 概要

ドラム速度制御は、DFG 信号の周期を測定することにより、ドラムの回転数を一定に保つ働きをします。規定回転数との誤差はデジタルカウンタで検出されます。この速度誤差データと位相誤差データとをデジタルフィルタ回路で加算して、PWM 出力を制御します。ドラムの回転速度および位相は PWM 出力で制御されます。

DFG 入力信号は、入力アンプで増幅された後、波形整形回路で矩形波に波形整形され、DFG 信号として速度誤差検出回路に送られます。

速度誤差検出回路は、システムクロックで DFG 信号の周期を計測し、あらかじめ設定されたプリセットデータとの誤差を検出します。プリセットデータとは、ドラムモータが規定回転数で回転しているときの DFG 信号の周期をクロック信号で計測した値です。

誤差検出カウンタは DFG 信号のエッジを中心にデータラッチ動作を行います。このデータを 16 ビットの速度誤差データとして、デジタルフィルタ回路が演算を行います。デジタルフィルタ回路は、速度誤差データとドラム位相制御系からの位相誤差データとを加算した後、ドラム系の誤差データとして PWM 変調回路に送ります。

13.6.2 ドラム速度誤差検出回路

ドラム速度制御回路は、DFG プリセットデータレジスタに設定された基準値をもとに、速度誤差を検出します。誤差データ検出用の、 をクロックソースとする 16 ビットカウンタ、および DFG プリセットデータレジスタから構成されています。誤差データのラッチタイミングは DFG 信号の立ち上がりエッジまたは立ち下がりエッジを選択できます。図 13.18、図 13.19 にドラム速度制御回路と検出動作例を示します。

誤差データは符号付き 2 進数であり、速度誤差 0 (規定速度で回転) を中心に、速度が規定速度より遅いときは正 (+) の数、速度が規定速度より速いときは負 (-) の数となります。

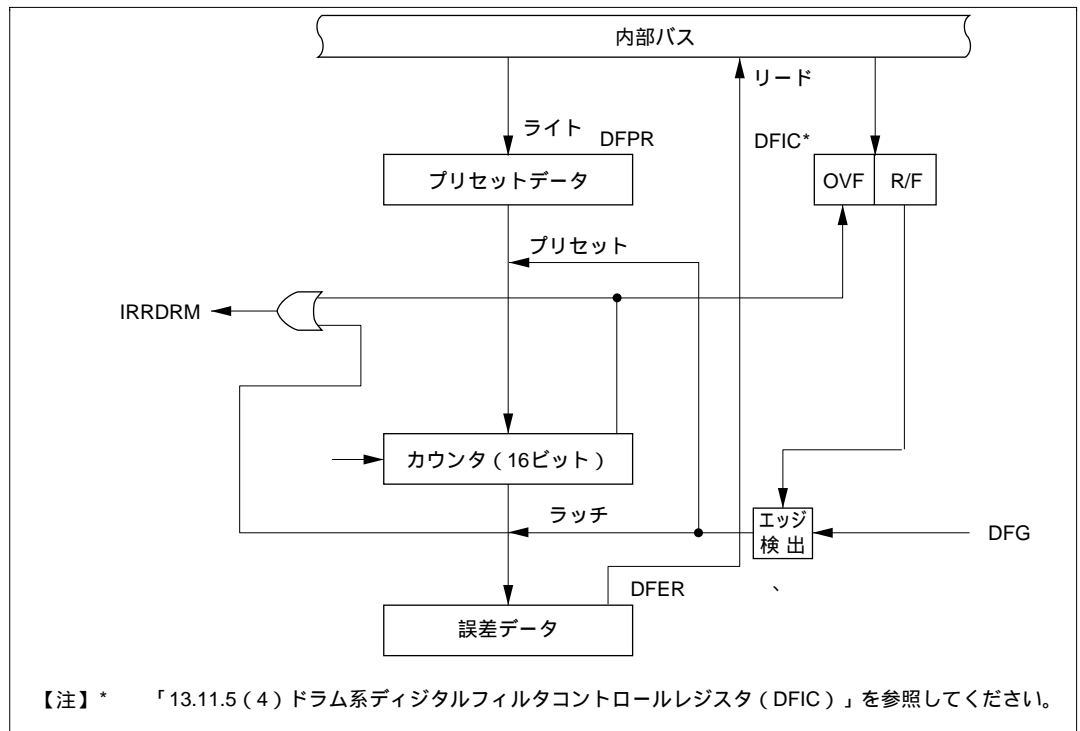


図 13.18 ドラム速度誤差検出回路

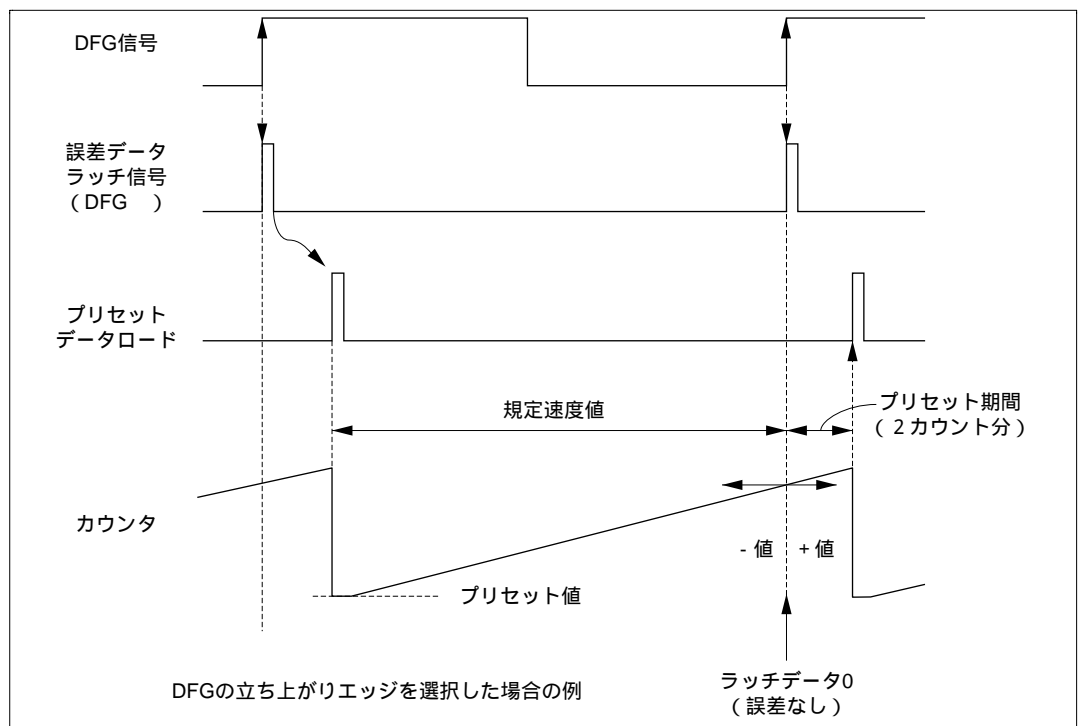


図 13.19 ドラム速度誤差検出の動作

13.6.3 トリックプレイモード時の fH 補正の方法

トリックプレイモードでは、テープとビデオヘッドとの間の相対速度が変化します。この相対速度の変化は、水平同期信号 (fH) を変化させ、スキューの原因となります。これを補正するため、ドラムモータの回転速度を、各トリックプレイモードで正規の水平同期周波数が得られる速度に、シフトする必要があります。ドラムモータの回転速度のシフトは、速度誤差検出回路の DFG プリセットデータレジスタを、ソフトウェアにより書き換えることにより行ってください。

fH 補正時のドラム基準周波数 fF は、次の式で表されます。

$$fF = \frac{N0}{N0 + H(1 - n)} \times fF0$$

記号説明

n : 倍速数 (FWD = 正数、REV = 負数)

H : H 並び (VHS または の場合、標準モードで 1.5H、2 倍モードで 0.75H、3 倍モードで 0.5H、8mmVTR の場合は 1H です。)

N0 : フィールド内基準 H 数

fF0 : フィールド周波数

NTSC の場合 : N0 = 262.5、fF0 = 59.94

PAL の場合 : N0 = 312.5、fF0 = 50.00

13.6.4 レジスタ構成

ドラム速度誤差検出回路のレジスタ構成を表 13.10 に示します。

表 13.10 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
DFG 規定速度 プリセットデータレジスタ	DFPR	W	ワード	H'0000	H'FFB0
DFG 速度誤差データレジスタ	DFER	R	ワード	H'0000	H'FFB1

13.6.5 レジスタの説明

(1) DFG 規定速度プリセットデータレジスタ (DFPR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DS15	DS14	DS13	DS12	DS11	DS10	DS9	DS8	DS7	DS6	DS5	DS4	DS3	DS2	DS1	DS0
初期値:	0	0	0	0	0	0	*0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

DFPR には、16 ビットで DFG 規定速度プリセットデータを設定します。プリセットデータは次の計算式により求めます。プリセットデータは H'8000 を基準*として計算します。

$$\text{DFG 規定速度プリセットデータ} = \text{H}'8000 - \left(\frac{\text{システムクロック (fosc/2) (Hz)}}{\text{DFG の周波数}} - 2 \right)$$

: システムクロック (fosc/2) (Hz)

DFG の周波数 : 単位は Hz

定数 2 はプリセット期間 (図 13.19 参照)

DFPR は 16 ビットのライト専用レジスタです。DFPR はワードアクセスのみ有効であり、バイトアクセスをすると動作が保証されません。

DFPR をライトすると、16 ビットのプリセットデータが、カウンタに取り込まれます。

リセット時、H'0000 にイニシャライズされます。

【注】* プリセットデータは H'8000 基準です。カウンタは、誤差 = 0 のとき H'8000 となりますが、誤差データとしてカウンタ値を DFG 速度誤差データレジスタ (DFER) にラッチするときに、H'0000 基準の値に変換しています。

(2) DFG 速度誤差データレジスタ (DFER)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DER15	DER14	DER13	DER12	DER11	DER10	DER9	DER8	DER7	DER6	DER5	DER4	DER3	DER2	DER1	DER0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

DFER は、16 ビットの DFG 速度誤差データレジスタです。規定速度で回転している場合は、H'0000 がラッチされます。また、規定速度より速い場合は負の数、規定速度より遅い場合は正の数がラッチされます。DFER の値は、デジタルフィルタ回路に送られます。

DFER は 16 ビットのリード専用レジスタです。次の DFG エッジが来るまで保持されません。DFER はワードアクセスのみ有効であり、バイトアクセスをすると動作が保証されません。

リセット時、H'0000 にイニシャライズされます。

「13.6.5 (1) DFG 規定速度プリセットデータレジスタ (DFPR)」の【注】を参照してください。

13.7 ドラム位相誤差検出回路

13.7.1 概要

ドラム位相制御系は、ドラムモータが速度制御系によって規定の回転数に達した後で動作を開始する必要があります。ドラム位相制御は、記録/再生時に次の働きをします。

記録時：記録するビデオ信号中の垂直ブランキング期間がテープの下端に揃うように制御。

再生時：記録されたトラックを正確にトレースするように制御。

基準位相との誤差はデジタルカウンタで検出されます。この位相誤差データと速度誤差データとをデジタルフィルタ回路で加算して、PWM 出力を制御します。ドラムの位相および回転速度は PWM 出力で制御されます。

DPG 信号は、入力アンプで増幅された後、波形整形回路で矩形波に波形整形され、位相誤差検出回路に送られます。

位相誤差検出回路は、ビデオヘッドの位置情報である DPG パルス（タックパルスとも呼ぶ）の位相を基準信号と比較することにより行います。実際の回路では、DPG でリセットされるカウンタにより、一定時間遅延した HSW（ヘッドスイッチ）信号を、基準信号と比較します。基準信号は REF30 信号であり、記録/再生時には次のような信号となります。

記録時：記録するビデオ信号から抽出した Vsync 信号（フレーム単位の $1/2V_{sync}$ ）。

再生時：システムクロックから分周した 30Hz または 25Hz 信号。

13.7.2 ドラム位相誤差検出回路

ドラム位相誤差検出回路は、20 ビットカウンタ、DPG プリセットデータレジスタ、ヘッドスイッチ信号によるラッチ信号回路、DPG 誤差データレジスタから構成されています。図 13.20 にドラム位相誤差検出回路を、図 13.21、図 13.22 に検出タイミングを示します。

DPG プリセットデータレジスタの値をカウンタに設定するためのプリセット信号は、基準信号発生回路により生成された REF30P 信号です。REF30P 信号は、記録時は $1/2V_{sync}$ 、再生時はシステムクロックから分周して得られた 30Hz の信号になります。

位相誤差データのラッチ信号は、HSW（ヘッドスイッチ）信号の立ち上がりエッジです。HSW 信号は、HSW タイミング生成回路で発生します。

誤差データは符号付き 2 進数であり、位相誤差 0（定位相で回転）を中心に、規定位相より遅れたときは正（+）の数、規定位相より進んでいるときは負（-）の数となります。

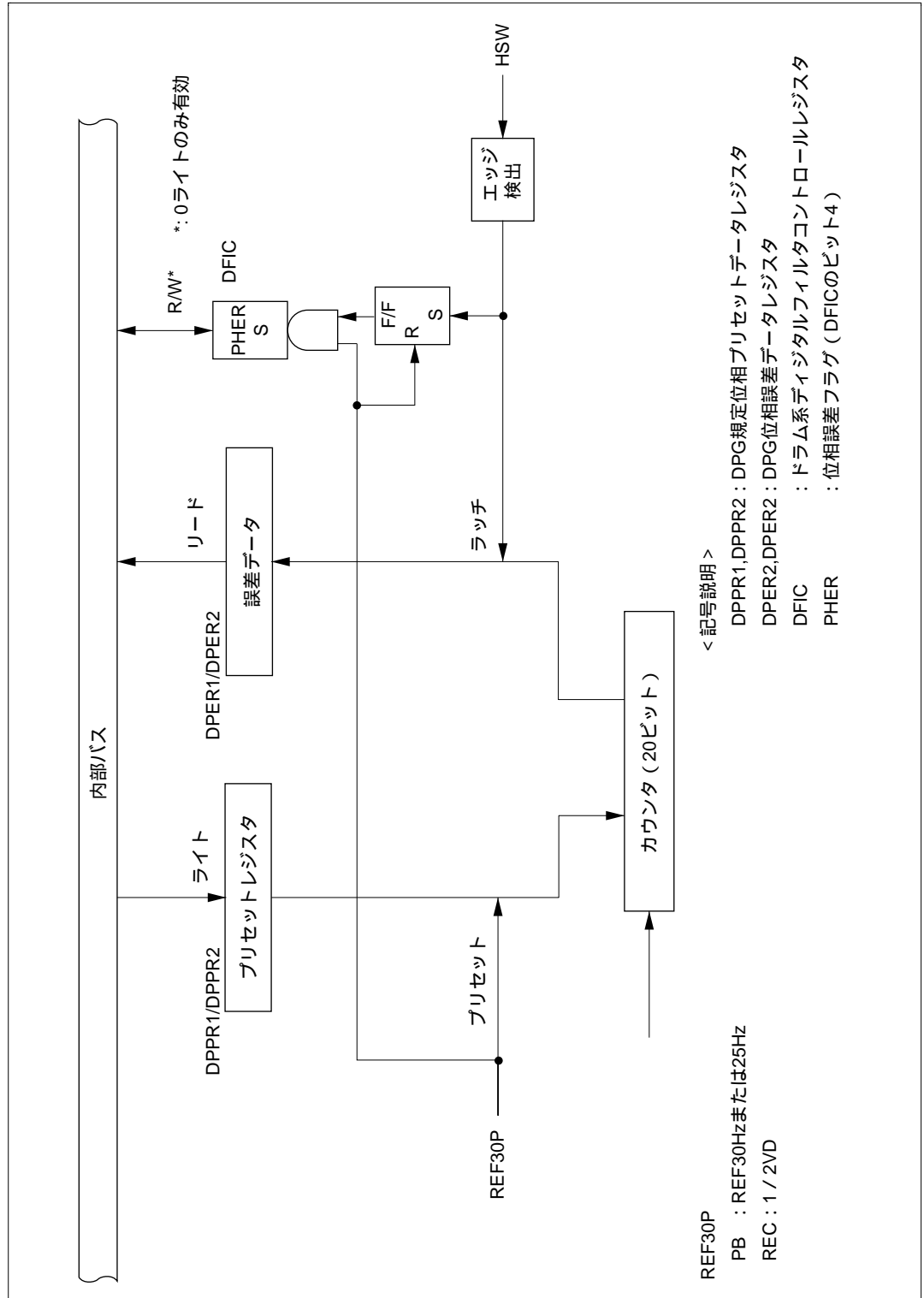


図 13.20 ドラム位相誤差検出回路

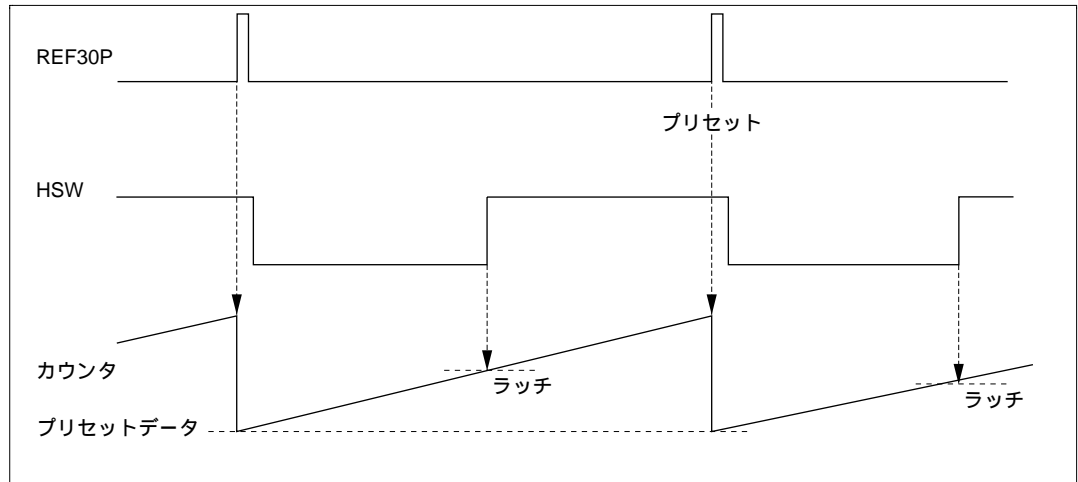


図 13.21 再生時のドラム位相制御

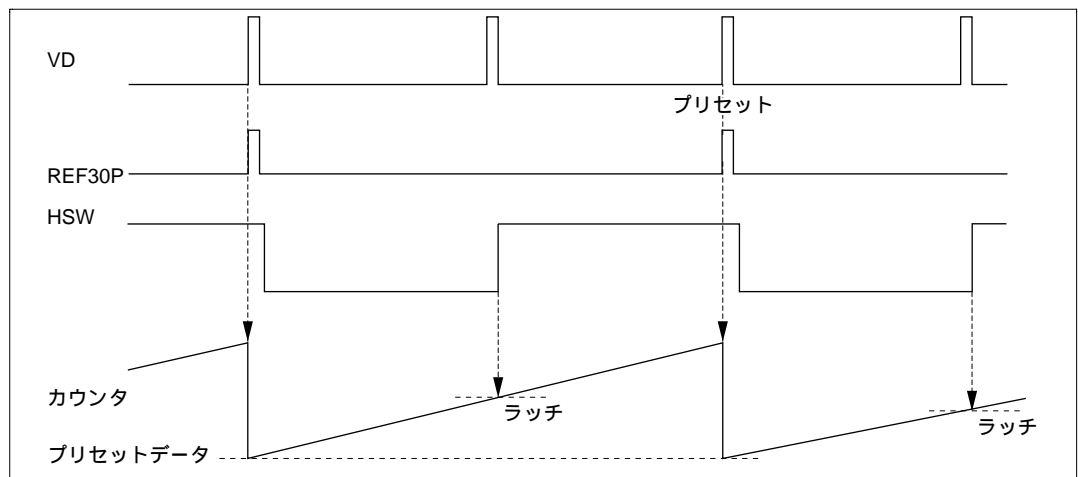


図 13.22 記録時のドラム位相制御

13.7.3 位相比較

位相誤差比較回路は、基準信号と比較信号との間の時間差をデジタルカウンタで計測します。基準信号はREF30信号、比較信号はHSWタイミング生成回路からのHSW信号(VIDEO FF)を用います。ただし、記録時においては、基準信号生成回路(REF30発生回路)がビデオ信号中の垂直同期信号(Vsync)でリセットされるため、REF30P信号の位相は垂直同期信号(Vsync)の位相と同じになります。

誤差検出カウンタはHSW信号の立ち上がりエッジを中心にデータラッチ動作を行います。このデータを20ビットの位相誤差データとして、デジタルフィルタ回路が演算を行います。デジタルフィルタ回路は、位相誤差データとドラム速度制御系からの速度誤差データとを加算した後、ドラム系の誤差データとしてPWM変調回路に送ります。

13.7.4 レジスタ構成

ドラム位相誤差検出回路のレジスタ構成を表 13.11 に示します。

表 13.11 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
ドラム規定位相 プリセットデータレジスタ	DPPR1	W	バイト	H'F0	H'FFB4
	DPPR2	W	ワード	H'0000	H'FFB8
DPG 位相誤差データレジスタ	DPER1	R	バイト	H'F0	H'FFB5
	DPER2	R	ワード	H'0000	H'FFB9

13.7.5 レジスタの説明

(1) ドラム規定位相プリセットデータレジスタ (DPPR1、DPPR2)

DPPR1

ビット	:	7	6	5	4	3	2	1	0
						DPH19	DPH18	DPH17	DPH16
初期値	:	1	1	1	1	0	0	0	0
R / W	:					W	W	W	W

DPPR2

ビット	:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		DPH15	DPH14	DPH13	DPH12	DPH11	DPH10	DPH9	DPH8	DPH7	DPH6	DPH5	DPH4	DPH3	DPH2	DPH1	DPH0
初期値	:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R / W	:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

DPPR1 と DPPR2 の 20 ビットで DPG 規定位相プリセットデータを設定します。プリセットデータ値は次の計算式で求めます。プリセットデータは H'80000 を基準として計算します*。

$$\text{DPG 規定位相プリセットデータ} = \text{H}'80000 - \frac{\text{DPG の周波数}}{\text{システムクロック (fosc/2) (Hz)}}$$

: システムクロック (fosc/2) (Hz)

DPG の周波数 : 単位は Hz

20 ビットの重みは、DPPR1 のビット 3 (DPPR19 ビット) が MSB (2^{19}) であり、DPPR2 のビット 0 (DPPR0 ビット) が LSB (2^0) です。

DPPR1 は 4 ビットのライト専用バッファレジスタ、DPPR2 は 16 ビットのライト専用レジスタです。DPPR2 はワードアクセスのみ有効であり、バイトアクセスをすると動作が保証されません。

DPPR2 をライトすると、DPPR1 と合わせて 20 ビットのプリセットデータが、プリセット回路に取り込まれます。最初に DPPR1、次に DPPR2 の順にライトしてください。

リセット時、それぞれ H'F0、H'0000 に初期化されます。

【注】* プリセットデータは H'80000 基準 : カウンタは、誤差 = 0 のとき H'80000 となりますが、誤差データとしてカウンタ値を DPG 位相誤差データレジスタ (DPER1、DPER2) にラッチするときに、H'00000 基準の値に変換していません。

(2) DPG 位相誤差データレジスタ (DPER1、DPER2)

DPER1

ビット	:	7	6	5	4	3	2	1	0
						DPER19	DPER18	DPER17	DPER16
初期値	:	1	1	1	1	0	0	0	0
R/W	:					R	R	R	R

DPER2

ビット	:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		DPER15	DPER14	DPER13	DPER12	DPER11	DPER10	DPER9	DPER8	DPER7	DPER6	DPER5	DPER4	DPER3	DPER2	DPER1	DPER0
初期値	:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

DPG 位相誤差データレジスタは DPER1 と DPER2 の 20 ビットで構成されています。規定位相で回転している場合は H'00000 がラッチされます。規定位相より速い場合は負の数、規定位相より遅い場合は正の数がラッチされます。

20 ビットの重みは、DPER1 のビット 3 (DPER19 ビット) が MSB (2^{19}) であり、DPER2 のビット 0 (DPER0 ビット) が LSB (2^0) です。

DPER1 は 4 ビットのリード専用レジスタ、DPER2 は 16 ビットのリード専用レジスタです。次の HSW のエッジが来るまで保持されます。DPER2 はワードアクセスのみ有効であり、バイトアクセスをすると動作が保証されません。

リセット時、それぞれのレジスタは、HF0、H'0000 に初期化されます。

「13.7.5 (1) ドラム規定位相プリセットデータレジスタ」の【注】を参照してください。

13.8 キャプスタン速度誤差検出回路

13.8.1 概要

キャプスタン速度制御は、CFG 信号の周期を測定することにより、キャプスタンの回転数を一定に保つ働きをします。規定回転数との誤差はデジタルカウンタで検出されます。この速度誤差データと位相誤差データとをデジタルフィルタ回路で加算して、PWM 出力を制御します。キャプスタンの回転速度および位相は PWM 出力で制御されます。

CFG 入力信号は、入力シュミットアンプで増幅された後、波形整形回路で矩形波に波形整形され、CFG 信号として速度誤差検出回路に送られます。

速度誤差検出回路は、システムクロックで CFG 信号の周期を計測し、あらかじめ設定されたプリセットデータとの誤差を検出します。プリセットデータとは、キャプスタンモータが規定回転数で回転しているときの CFG 信号の周期をクロック信号で計測した値です。

誤差検出カウンタは CFG 信号のエッジを中心にデータラッチ動作を行います。このデータを 16 ビットの速度誤差データとして、デジタルフィルタ回路が演算を行います。デジタルフィルタ回路は、速度誤差データとキャプスタン位相制御系からの位相誤差データとを加算した後、キャプスタン系の誤差データとして PWM 変調回路に送ります。

13.8.2 キャプスタン速度誤差検出回路

キャプスタン速度制御回路は、CFG プリセットデータレジスタに設定された基準値をもとに、速度誤差を検出します。誤差データ検出用の、 をクロックソースとする 16 ビットカウンタ、および CFG プリセットデータレジスタから構成されています。誤差データのラッチタイミングは CFG 信号の立ち上がり、立ち下がり、両エッジから選択できます。図 13.23、図 13.24 にキャプスタン速度制御回路と検出動作例を示します。

誤差データは符号付き 2 進数であり、速度誤差 0 (規定速度で回転) を中心に、速度が規定速度より遅いときは正 (+) の数、速度が規定速度より速いときは負 (-) の数となります。

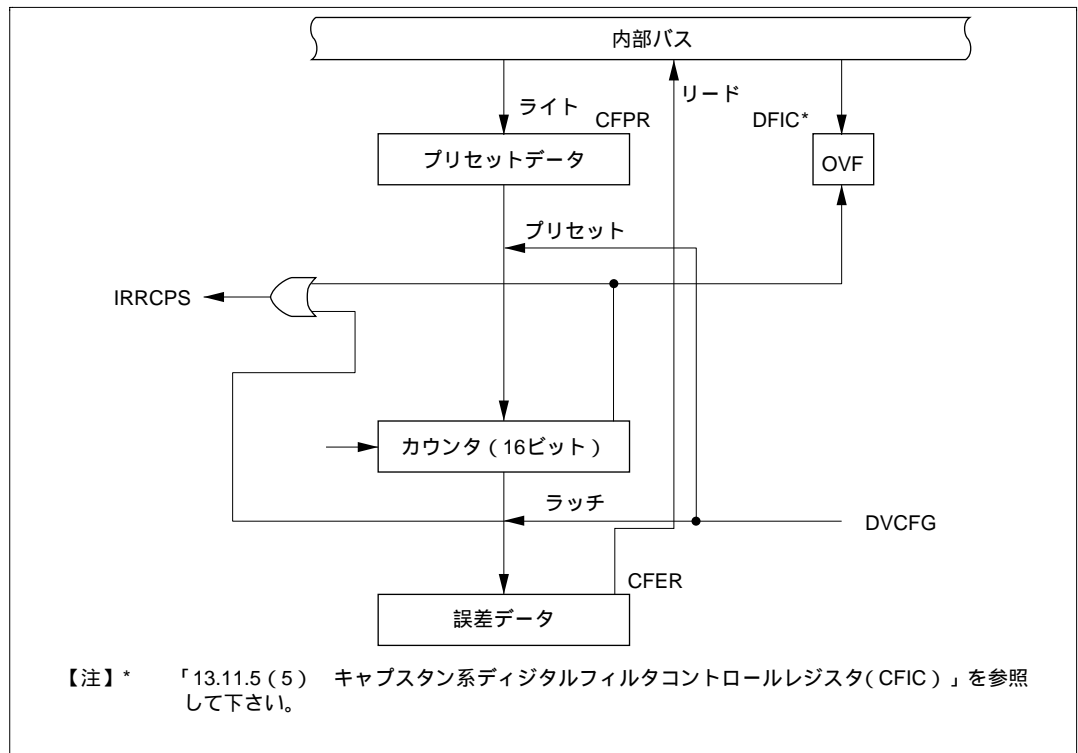


図 13.23 キャプスタン速度誤差検出回路

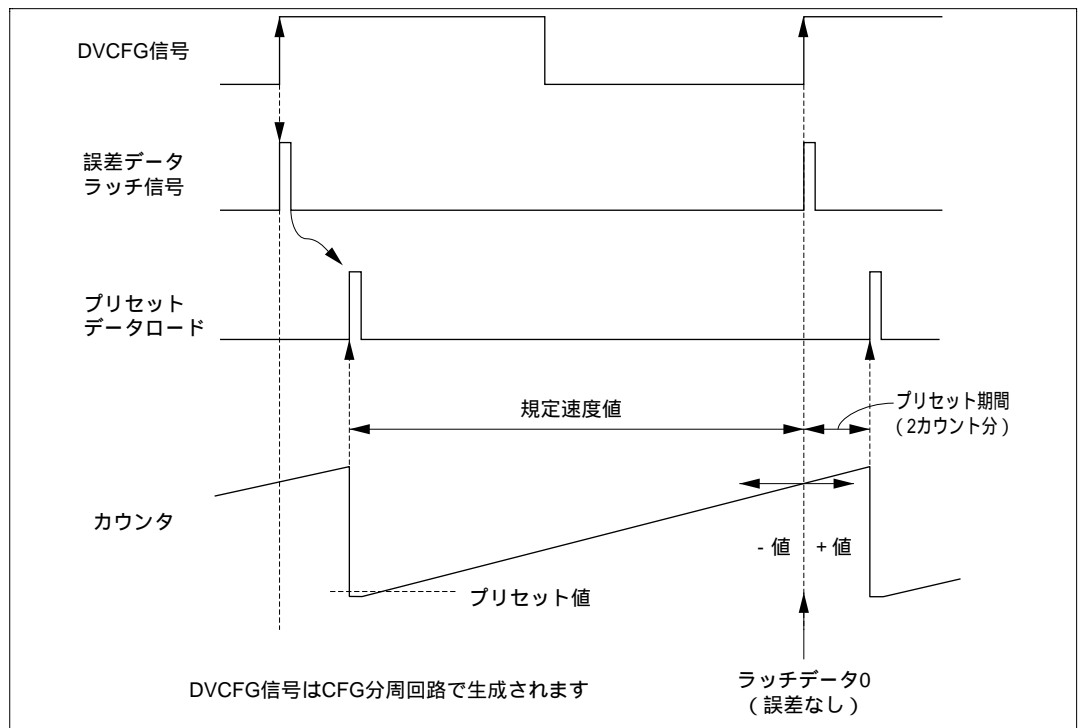


図 13.24 キャプスタン速度誤差検出の動作

13.8.3 レジスタ構成

キャプスタン速度誤差検出回路のレジスタ構成を表 13.12 に示します。

表 13.12 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
CFG 規定速度 プリセットデータレジスタ	CFPR	W	ワード	H'0000	H'FFB2
CFG 速度誤差データレジスタ	CFER	R	ワード	H'0000	H'FFB3

13.8.4 レジスタの説明

(1) CFG 規定速度プリセットデータレジスタ (CFPR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CS15	CS14	CS13	CS12	CS11	CS10	CS9	CS8	CS7	CS6	CS5	CS4	CS3	CS2	CS1	CS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

CFPR は、16 ビットで CFG 規定速度プリセットデータを設定します。プリセットデータは次の計算式により求めます。プリセットデータは H'8000 を基準として計算します*。

$$\text{CFG 規定速度プリセットデータ} = \text{H}'8000 - \left(\frac{\text{システムクロック}}{\text{DVCFG の周波数}} - 2 \right)$$

: システムクロック ($f_{osc}/2$) (Hz)

DVCFG の周波数: 単位は Hz

定数 2 はプリセット期間 (図 13.24 参照)

CFPR は 16 ビットのライト専用レジスタです。CFPR をライトすると、16 ビットのプリセットデータが、比較回路に取り込まれます。ワードアクセス専用のレジスタです。バイトアクセスの動作は保証されません。

リセット時、H'0000 に初期化されます。

【注】* プリセットデータは H'8000 基準: カウンタは、誤差 = 0 のとき H'8000 となりますが、誤差データとしてカウンタ値を CFG 速度誤差データレジスタ (CFER) にラッチするときに、H'0000 基準の値に変換しています。

(2) CFG 速度誤差データレジスタ (CFER)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CER15	CER14	CER13	CER12	CER11	CER10	CER9	CER8	CER7	CER6	CER5	CER4	CER3	CER2	CER1	CER0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

CFER は、16 ビットのデータレジスタです。規定速度で回転している場合は、H'0000 がラッチされます。また、規定速度より速い場合は負の数、規定速度より遅い場合は正の数がラッチされます。CFER の値は、デジタルフィルタ回路に送られます。

CFER は 16 ビットのリード専用レジスタです。次の CFG エッジが来るまで保持されません。ワードアクセス専用のレジスタです。バイトアクセスの動作は保証されません。

リセット時、H'0000 に初期化されます。

「13.8.4 (1) CFG 規定速度プリセットデータレジスタ (CFPR)」の【注】を参照してください。

13.9 キャプスタン位相誤差検出回路

13.9.1 概要

キャプスタン位相誤差検出回路は、20ビットカウンタ、キャプスタン規定位相プリセットデータレジスタ、帰還信号によるラッチ信号回路、キャプスタン位相誤差データレジスタから構成されています。

図 13.25 にキャプスタン位相誤差検出回路を、図 13.26、図 13.27 に検出タイミングを示します。

キャプスタン規定位相プリセットデータレジスタの値をカウンタに設定するためのプリセット信号は、基準信号発生回路により生成された REF30 信号または CREF 信号です。キャプスタン記録位相制御での、REF30 信号と CREF 信号との切り替えは、キャプスタン系デジタルフィルタコントロールレジスタ (CFIC) の、CR / RF ビットで行ってください。

記録時の基準信号は、 $1 / 2V_{sync}$ に同期した REF30P 信号、または CREF 信号です。

再生時の基準信号は、システムクロックから分周して得られた 30 または 25Hz の信号になります。再生時の REF30 信号は X 値補正回路により、X 値補正およびトラッキング補正を施した REF30X 信号です。

位相誤差データのラッチ信号は、記録時は CFG 信号を CFG 分周回路により 30 または 25Hz に分周した DVCFG2 信号です。DVCFG2 信号がこれらの周波数にならない場合は、CREF 信号を用いて位相制御を行ってください。再生時は PB-CTL 信号 (再生コントロールパルス信号) の立ち上がりエッジです。

誤差データは符号付き 2 進数であり、位相誤差 0 (定位相で回転) を中心に、規定位相より遅れたときは正 (+) の数、規定位相より進んでいるときは負 (-) の数となります。

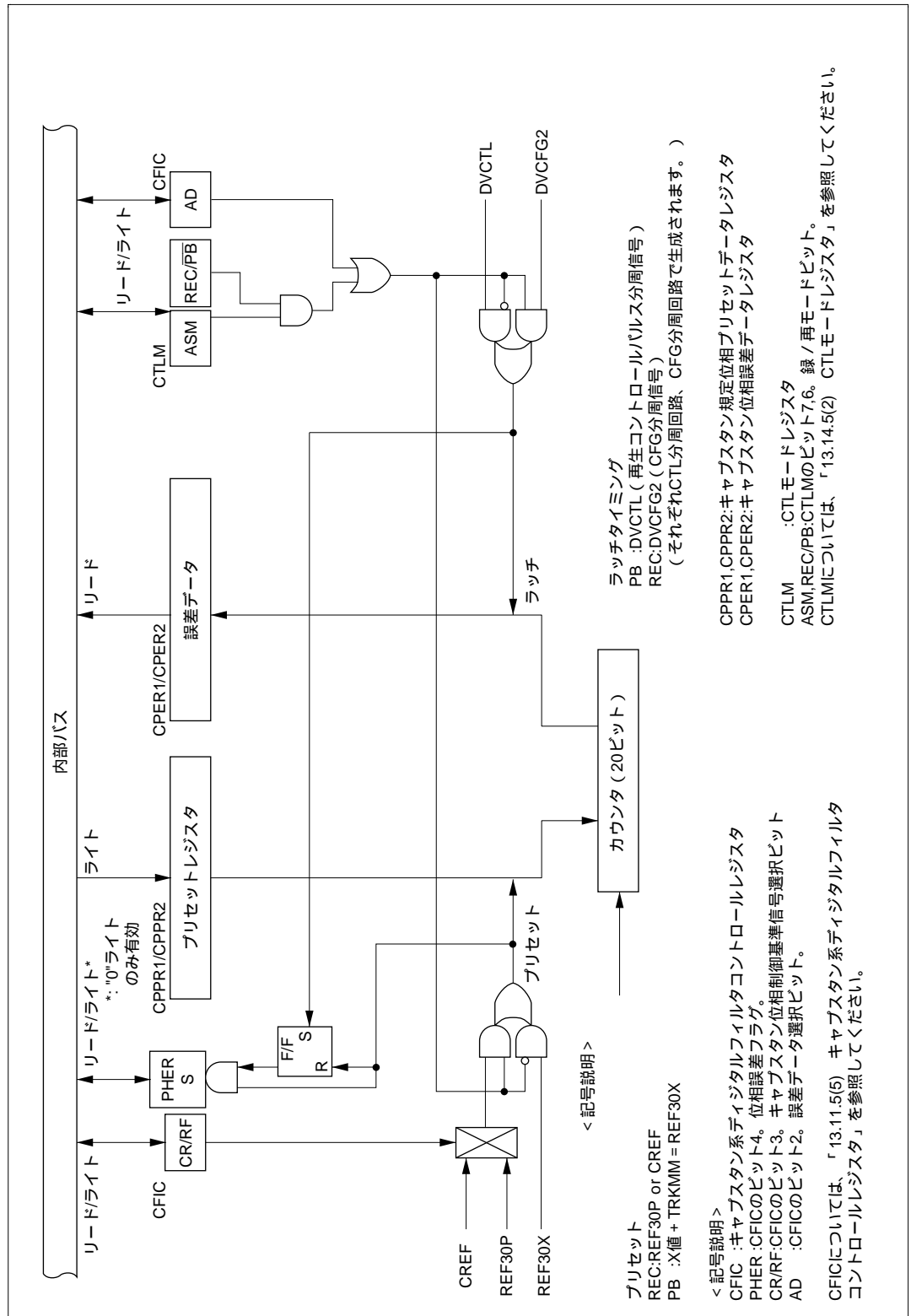


図 13.25 キャプスタン位相誤差検出回路

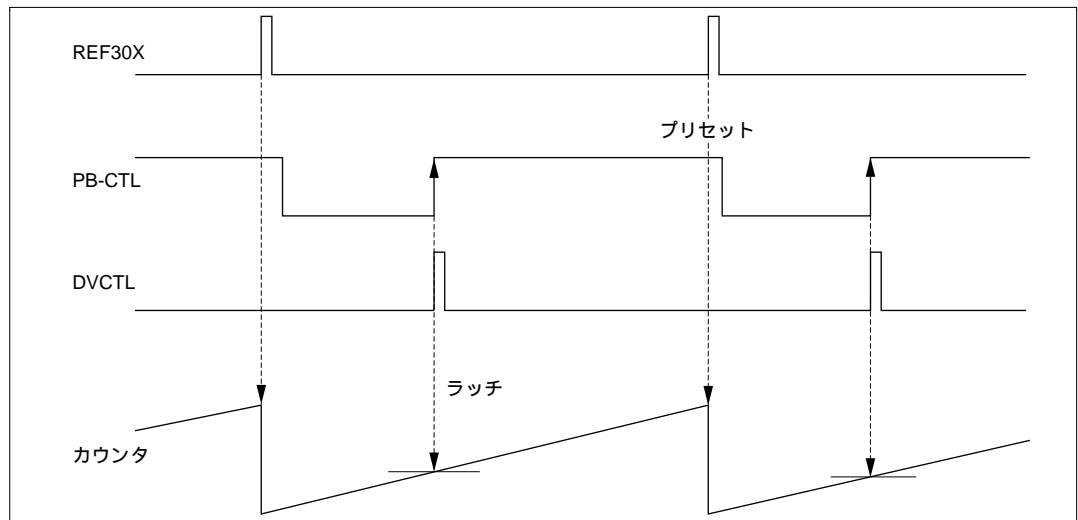


図 13.26 再生時のキャプスタン位相制御（分周値0の例）

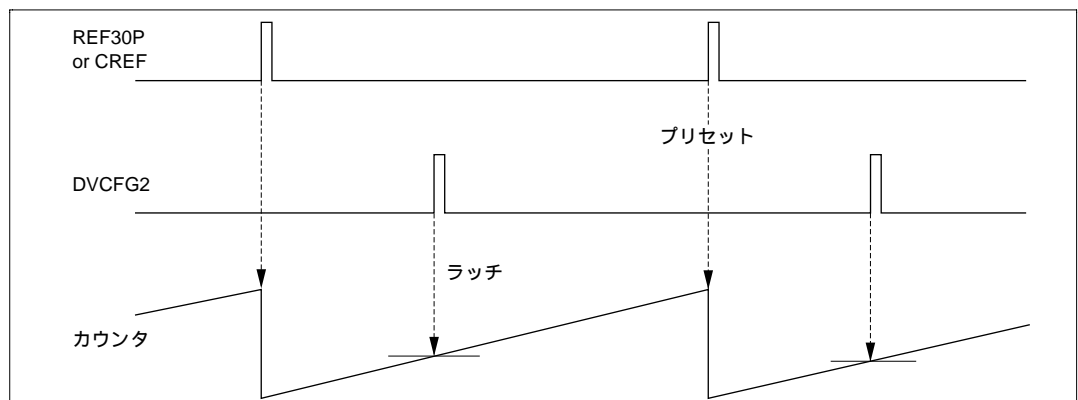


図 13.27 記録時のキャプスタン位相制御

13.9.2 レジスタ構成

キャプスタン位相誤差検出回路のレジスタ構成を表 13.13 に示します。

表 13.13 レジスタ構成

名称	略称	R/W	サイズ	初期値	アドレス
キャプスタン規定位相	CPPR1	W	バイト	H'F0	H'FFB6
プリセットデータレジスタ	CPPR2	W	ワード	H'0000	H'FFBA
キャプスタン	CPER1	R	バイト	H'F0	H'FFB7
位相誤差データレジスタ	CPER2	R	ワード	H'0000	H'FFBB

13.9.3 レジスタの説明

(1) キャプスタン規定位相プリセットデータレジスタ (CPPR1、CPPR2)

CPPR1

ビット	7	6	5	4	3	2	1	0
					CPH19	CPH18	CPH17	CPH16
初期値	1	1	1	1	0	0	0	0
R/W					W	W	W	W

CPPR2

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CPH15	CPH14	CPH13	CPH12	CPH11	CPH10	CPH9	CPH8	CPH7	CPH6	CPH5	CPH4	CPH3	CPH2	CPH1	CPH0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

CPPR1 と CPPR2 の 20 ビットでキャプスタン規定位相プリセットデータを設定します。プリセットデータ値は次の計算式で求めます。プリセットデータは H'80000 を基準として計算します*。

$$\text{キャプスタン規定速度プリセットデータ} = \text{H}'80000 - \frac{\text{比較信号の周波数}}{\text{システムクロック (fosc/2) (Hz)}}$$

：システムクロック (fosc/2) (Hz)

比較信号の周波数：単位は Hz。再生時は DVCTL、記録時は DVCFG2

20 ビットの重みは、CPPR1 のビット 3 (CPPR19 ビット) が MSB (2^{19}) であり、CPPR2 のビット 0 (CPPR0 ビット) が LSB (2^0) です。

CPPR1 は 4 ビットのライト専用バッファレジスタ、CPPR2 は 16 ビットのライト専用レジスタです。CPPR2 はワードアクセスのみ有効であり、バイトアクセスをすると動作が保証されません。

CPPR2 をライトすると、CPPR1 と合わせて 20 ビットのプリセットデータが、プリセット回路に取り込まれます。最初に CPPR1、次に CPPR2 の順にライトしてください。

リセット時、それぞれ H'F0、H'0000 に初期化されます。

【注】* プリセットデータは H'80000 基準：カウンタは、誤差 = 0 のとき H'80000 となりますが、誤差データとしてカウンタ値をキャプスタン位相誤差データレジスタ (CPR1、CPR2) にラッチするとき、H'00000 基準の値に変換しています。

(2) キャプスタン位相誤差データレジスタ (CPER1、CPER2)

CPER1

ビット	:	7	6	5	4	3	2	1	0
						CPER19	CPER18	CPER17	CPER16
初期値	:	1	1	1	1	0	0	0	0
R/W	:					R	R	R	R

CPER2

ビット	:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		CPER15	CPER14	CPER13	CPER12	CPER11	CPER10	CPER9	CPER8	CPER7	CPER6	CPER5	CPER4	CPER3	CPER2	CPER1	CPER0
初期値	:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

CPER1 と CPER2 の 20 ビットでキャプスタン位相誤差データレジスタです。規定位相で回転している場合は H'00000 がラッチされます。規定位相より速い場合は負 (-) の数、規定位相より遅い場合は正 (+) の数がラッチされます。

プリセットのタイミングまでラッチ信号が来ない場合は、キャプスタン系デジタルフィルタコントロールレジスタ (CFIC) のビット 4 (PHER : 位相エラーフラグ) は 0 になります。

20 ビットの重みは、CPER1 のビット 3 (CPER19 ビット) が MSB (2^{19}) であり、CPER2 のビット 0 (CPER0 ビット) が LSB (2^0) です。

CPER1 は 4 ビットのリード専用レジスタ、CPER2 は 16 ビットのリード専用レジスタです。次の DVCTL 信号または DVCFG 信号が来るまで保持されます。CPER2 はワードアクセスのみ有効であり、バイトアクセスすると動作が保証されません。

リセット時、それぞれのレジスタは、HF0、H'0000 に初期化されます。

「13.9.3 (1) キャプスタン規定位相プリセットデータレジスタ」の【注】を参照してください。

13.10 X 値補正、トラッキング補正回路

13.10.1 概要

他の VTR との互換性を保つため、再生時の REF30 信号の位相を調整する補正回路を内蔵しています。取付け精度により、ビデオヘッドとコントロール・ヘッドの物理的な距離 (X 値 : 79.244mm) が、異なる VTR で記録されたテープを再生する場合、レジスタに補正値を設定することにより、REF30 信号の位相を調整することができます。また、EP ヘッドで記録されたトラックを幅広のヘッドでトレースする場合やオートトラッキングなども、エンベロープ信号を取り込むことにより、キャプスタンモータの回転位相を調整し、ビデオヘッドと記録済みトラックとの位置関係 (トラッキング) を一致させることができます。

13.10.2 ブロック図

補正回路は、システムクロック をクロックソースとする 10 ビットのカウンタと、8 ビットのロードレジスタ付きダウンカウンタで構成されています。10 ビットのカウンタは基準信号 (REF30P 信号) によりクリアされます。ダウンカウンタは、基準信号によりロードレジスタの値が設定されます。補正された信号を発生すると、クロックの供給を止め、次に REF30P 信号が来るまで停止します。

ブロック図を図 13.28 に示します。

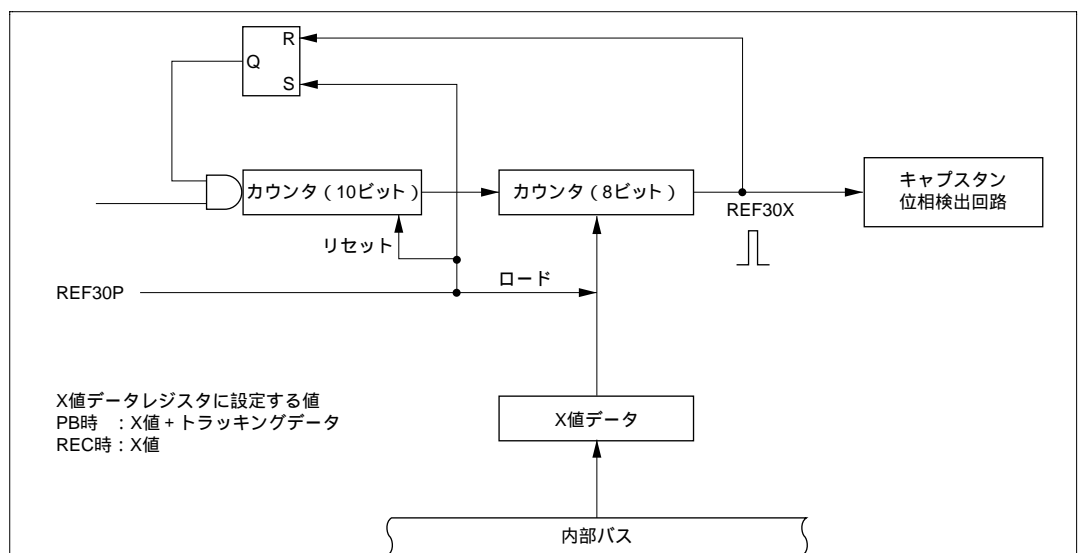


図 13.28 X 値補正回路

13.10.3 レジスタ構成

X値補正、トラッキング補正回路のレジスタ構成を表 13.14 に示します。

表 13.14 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
X値データレジスタ	XDR	W	バイト	H'00	H'F2C8

13.10.4 レジスタの説明

この調整は、X値データレジスタに値を設定することにより行われます。

X値データレジスタ (XDR)

ビット	7	6	5	4	3	2	1	0
	XDR7	XDR6	XDR5	XDR4	XDR3	XDR2	XDR1	XDR0
初期値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

XDR は、8 ビットのライト専用レジスタです。X値補正データ、トラッキングデータを設定してください。XDR には、CTL パルスの周期を越える値は設定しないでください。

リセット時、H'00 に初期化されます。

13.10.5 X値書き換え時の注意事項

XDR の設定値は基準信号生成回路で生成される REF30P 信号で有効になります。XDR の値を変更する場合 DVCTL 信号によるラッチタイミングとの関係に注意が必要です。

(1) XDR をラッチタイミングを越えて設定し直した場合 (図 13.29)

プリセットが行われずラッチを 2 度行います。2 度目のラッチデータは不正なデータであり、キャプタン位相制御を誤動作させます。この不正な誤差データを無効とするためには次の操作を行います。

[1] 2 度目の不正ラッチの前に位相系をクリアする (キャプスタンデジタルフィルタ回路の Ap、Bp、GKp を 0 とする)。

[2] 不正ラッチの次のラッチタイミングから位相系フィルタを有効にする。

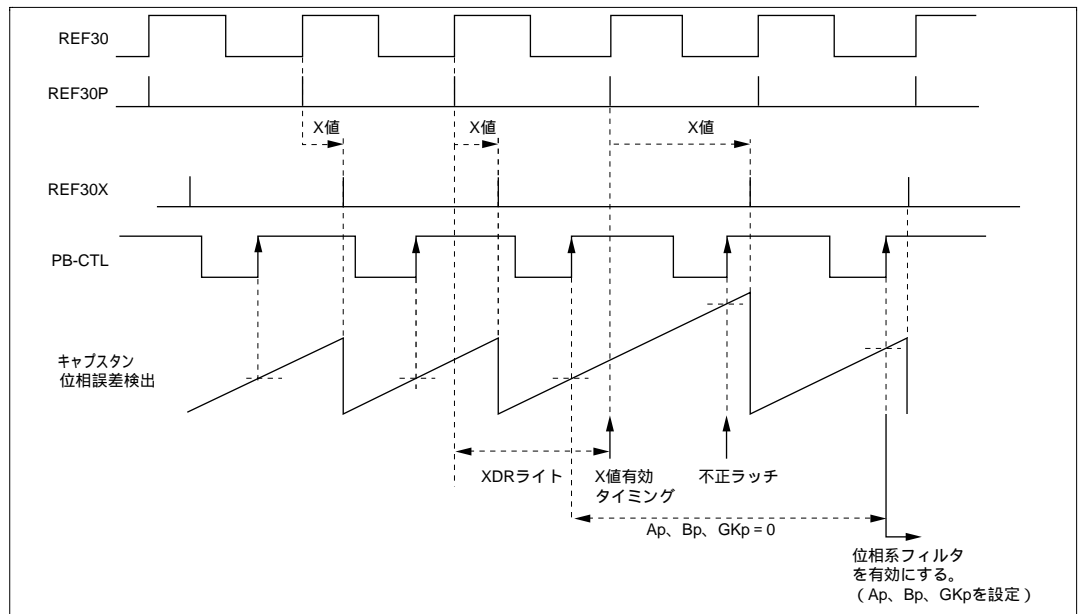


図 13.29 XDR をラッチタイミングを越えて設定し直した場合の例

(2) XDR をラッチタイミングを越えた値から越えない値に設定し直した場合 (図 13.30)
不正なラッチは行われませんが、プリセットが2度発生します。

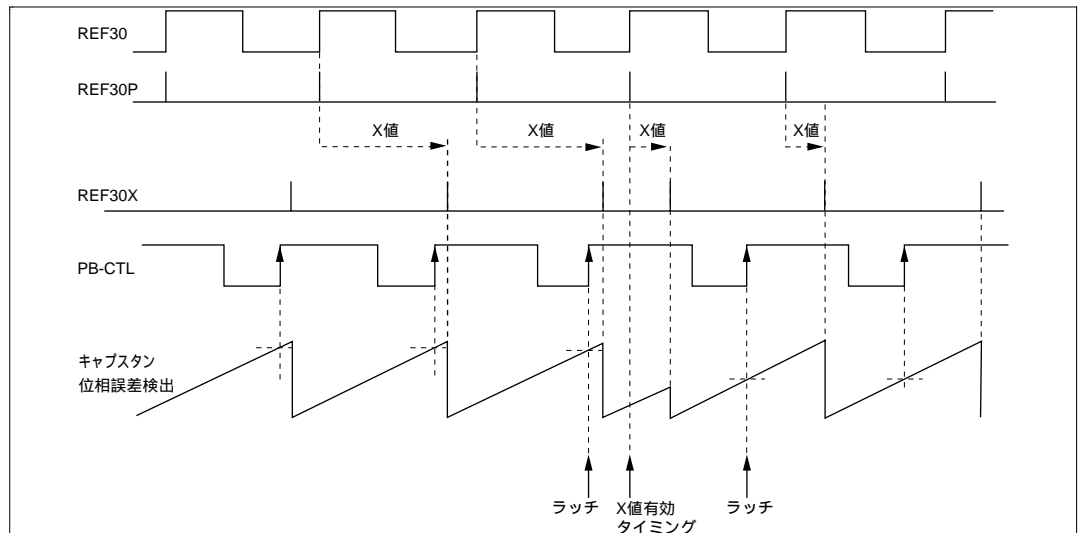


図 13.30 ラッチタイミングを越えた値から越えない値に変更した場合

【注】 いずれの場合も大きな位相誤差が取り込まれる場合は、位相系フィルタを一旦クリアすると、引き込みが早くなることがあります。

13.11 デジタルフィルタ演算回路

13.11.1 概要

サーボ制御のために必要なデジタルフィルタでは、符号付きの整数（誤差データ）と係数との積和演算が多用されます。ソフトウェアの負担を軽減する、あるいは処理効率を上げる目的から、ハードウェアによるフィルタ演算回路が内蔵されています。フィルタ演算回路の構成を図 13.31 に示します。

フィルタ演算回路は、24 ビット×16 ビットの高速積和演算回路、演算バッファ回路、入出力処理回路により構成されています。高速積和演算回路は、デジタルフィルタの演算処理を行います。演算バッファ回路は、フィルタ演算に必要な係数やゲイン定数を格納するバッファであり、高速積和演算回路により参照されます。入出力処理回路は、FG または PG 信号により起動し、フィルタ演算動作を決定します。起動がかかると、速度誤差、位相誤差を各検出回路から読み出し、高速積和演算回路に送ります。フィルタ演算が終了すると、高速積和演算回路から演算結果を読み出し、12 ビット PWM に送ります。

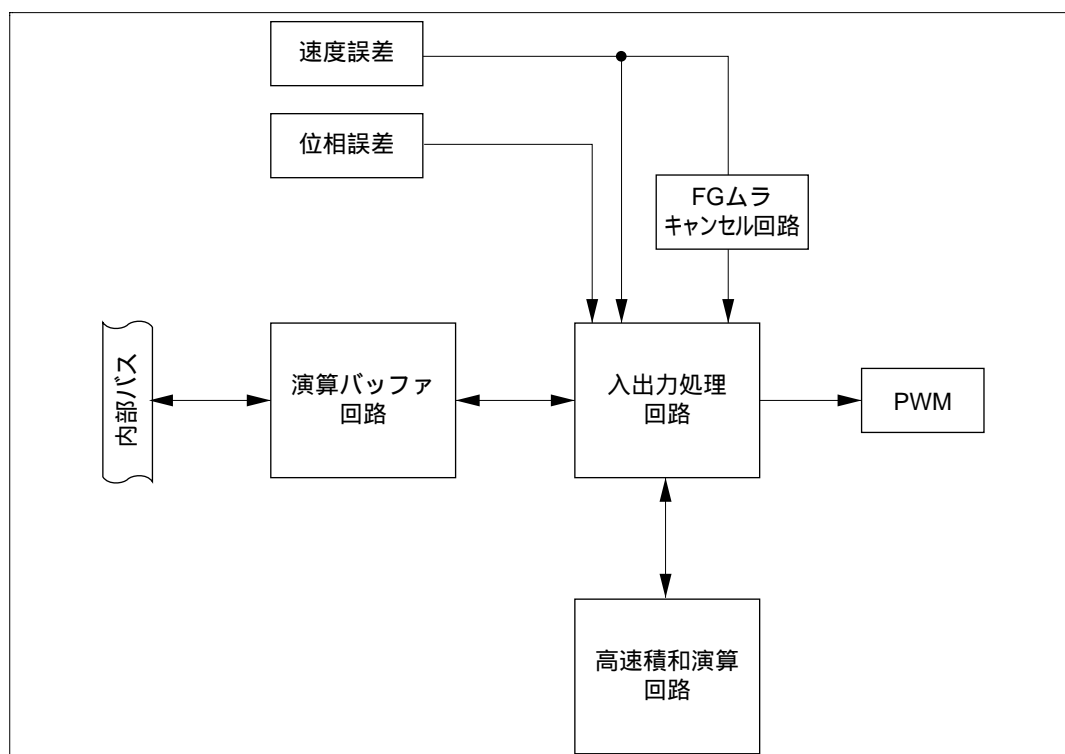


図 13.31 デジタルフィルタ回路の構成

13.11.2 デジタルフィルタ回路

(1) ラグリード・フィルタ

サーボループに必要なフィルタがハードウェアで内蔵されています。デジタルフィルタには、非巡回型 (FIR : Finite Impulse Responce) と巡回型 (IIR : Infinite Impulse Responce) がありますが、ここではIIRを用いています。デジタルフィルタ回路は、ラグリードフィルタを実現しています。ラグリードフィルタを図 13.32 に示します。

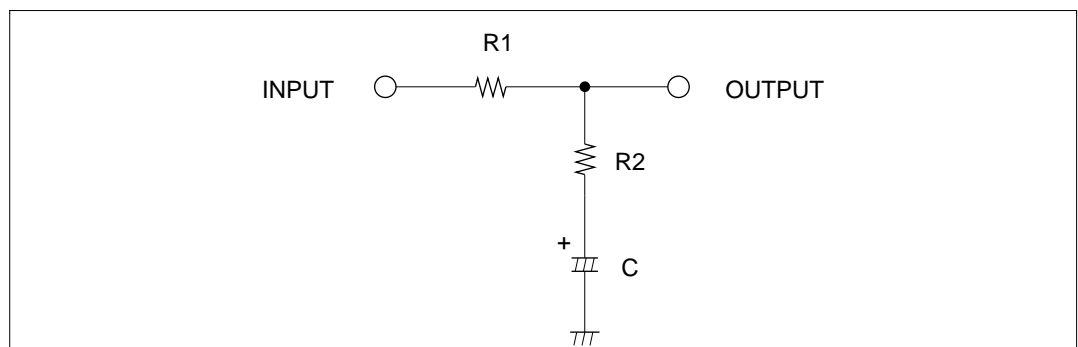


図 13.32 ラグリードフィルタ

伝達関数 $G(S)$ は、次の式で表されます。

$$\text{伝達関数 } G(S) = \frac{1 + \frac{S}{2f_2}}{1 + \frac{S}{2f_1}}$$

$$f_1 = 1/2 \quad C(R1 + R2)$$

$$f_2 = 1/2 \quad CR2$$

(2) 周波数特性

演算回路は、s 平面での伝達関数を、双一次近似により s-z 変換を行った関数の、繰り返し演算を行います。ラグリードフィルタの周波数特性を図 13.33 に示します。

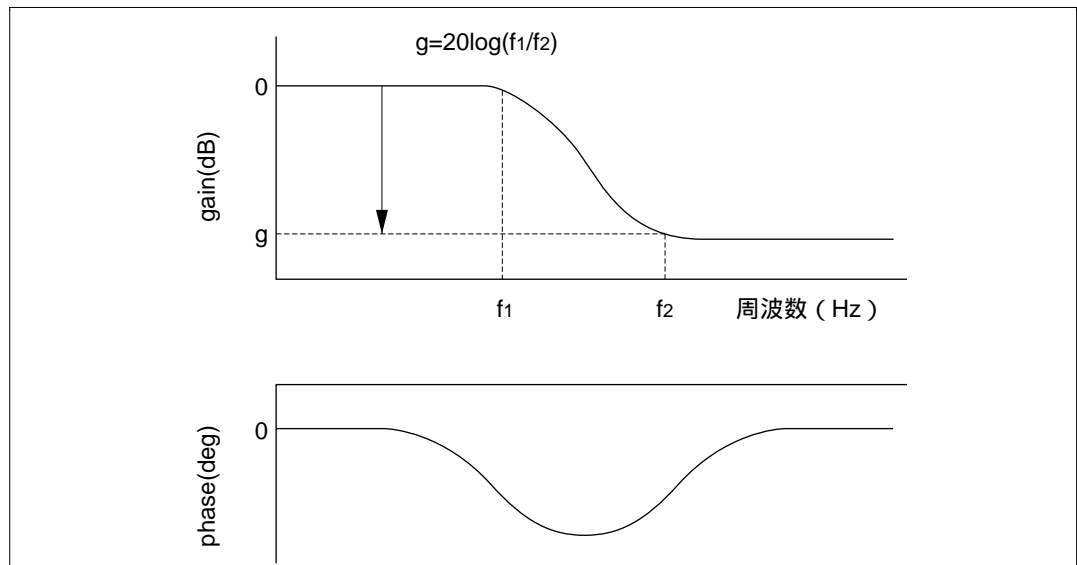


図 13.33 周波数特性

伝達関数 $G(s)$ を双一次近似法によりパルス伝達関数 $G(z)$ を求めます。

伝達関数 $G(s)$ において、

$$S = \frac{2}{T_s} \cdot \frac{1 - Z^{-1}}{1 + Z^{-1}}$$

ここで $Z^{-1} = e^{-j\omega T_s}$ とすると、

$$G(z) = G \cdot \frac{2}{T_s} \cdot \frac{1 + AZ^{-1}}{1 + BZ^{-1}}$$

$$G = \frac{T_s + \frac{1}{f_2}}{T_s + \frac{1}{f_1}} \quad A = \frac{T_s - \frac{1}{f_2}}{T_s + \frac{1}{f_2}} \quad B = \frac{T_s - \frac{1}{f_1}}{T_s + \frac{1}{f_1}}$$

T_s : サンプルング周期 (sec)

(3) フィルタの表現図

フィルタの表現図を図 13.34、図 13.35 に示します。ソフトウェアにより設定可能な係数やゲイン定数は、図中に の枠を付けて示します。また、各変数のビット長も示します。

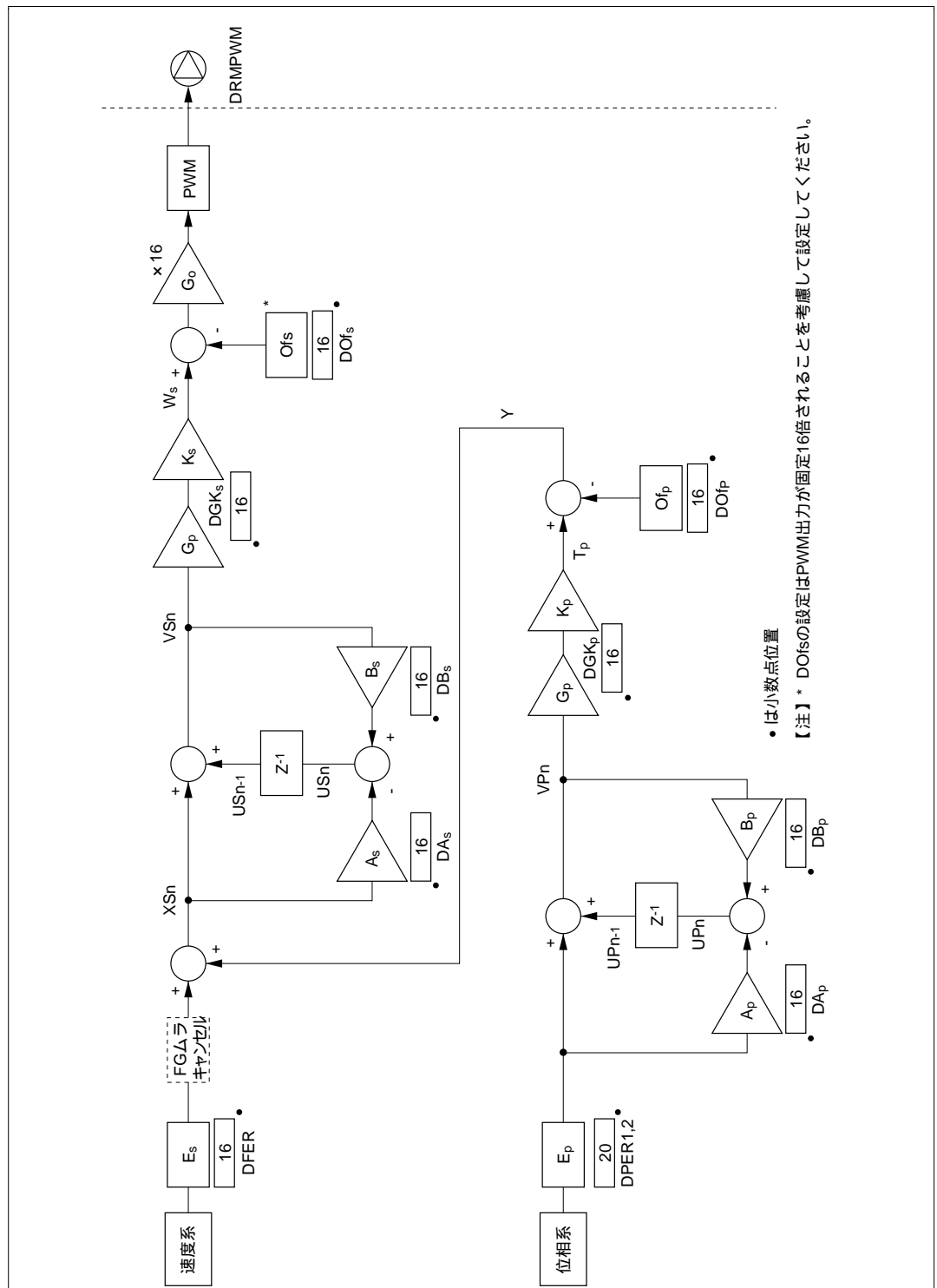


図 13.34 デジタルフィルタの表現図 (ドラム系)

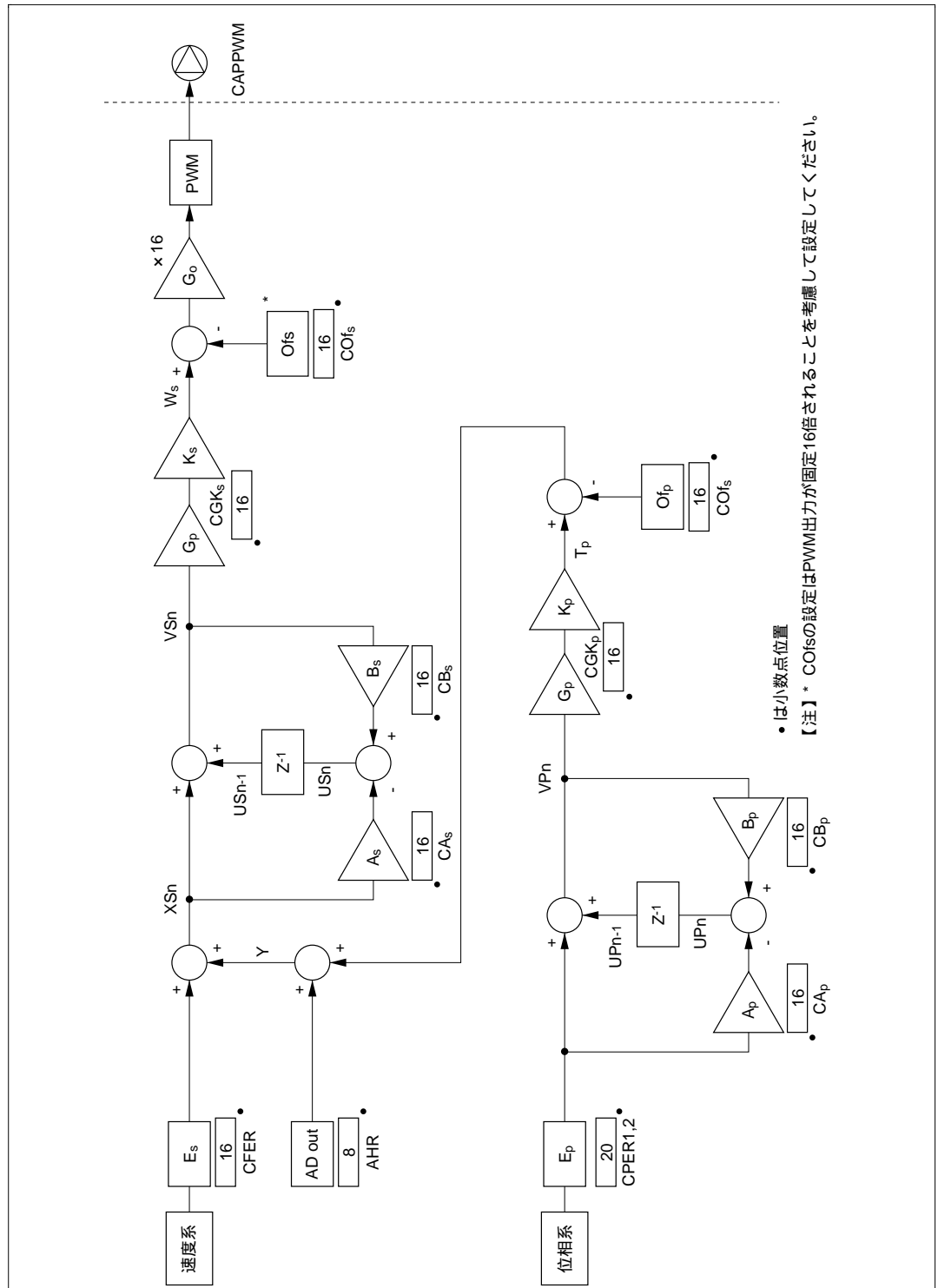


図 13.35 デジタルフィルタの表現図 (キャプスタン系)

13.11.3 演算バッファ

デジタルフィルタ回路で使用する、演算データを格納するバッファです。演算バッファを表 13.15 に示します。この中でライト可能なものは、ゲイン、係数のみであり、他はハードウェアで使われます。どのデータもリードできません。

表 13.15 演算バッファ

	演算データ	ゲイン、係数	処理データ	バッファのデータ長		
				16 ビット	16 ビット	16 ビット
位相系	E_p			■		■
	U_{pn}			■		
	U_{pn-1}			■		■
	V_{pn}			■		■
	T_p			■		
	Y			■	■	
		A_p		■	■	
		B_p		■	■	
		GK_p		■	■	
		Of_p		■		■
			$B_p \times V_{pn}$			
			$A_p \times E_{pn}$			
速度系	E_s			■		■
	X_{sn}			■		■
	U_{sn}			■		
	U_{sn-1}			■		■
	V_{sn}			■		■
	W_s			■	■	
		A_s		■	■	
		B_s		■	■	■
		GK_s		■	■	
		Of_s		■		■
			$A_s \times X_{sn}$			
			$B_s \times V_{sn}$			
誤差出力	PWM			■		■

記号説明

□ : 有効ビット

■ : 存在しないビット

↑
小数点位置

13.11.4 レジスタ構成

デジタルフィルタ演算回路のレジスタ構成を表 13.16 に示します。

表 13.16 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
ゲイン定数 (キャプスタン系)	CGKp	W	ワード	不定	H'F2A0
	CGKs	W	ワード	不定	H'F2A1
ゲイン定数 (ドラム系)	DGKp	W	ワード	不定	H'F2A8
	DGKs	W	ワード	不定	H'F2A9
係数 (キャプスタン系)	CAp	W	ワード	不定	H'F2A2
	CBp	W	ワード	不定	H'F2A3
	CAs	W	ワード	不定	H'F2A4
	CBs	W	ワード	不定	H'F2A5
係数 (ドラム系)	DAp	W	ワード	不定	H'F2AA
	DBp	W	ワード	不定	H'F2AB
	DAs	W	ワード	不定	H'F2AC
	DBs	W	ワード	不定	H'F2AD
オフセット (キャプスタン系)	COfp	W	ワード	不定	H'F2A6
	COfs	W	ワード	不定	H'F2A7
オフセット (ドラム系)	DOfp	W	ワード	不定	H'F2AE
	DOfs	W	ワード	不定	H'F2AF
ドラム系デジタルフィルタ コントロールレジスタ	DFIC	R/W	バイト	H'0C	H'FFBC
キャプスタン系デジタル フィルタコントロールレジスタ	CFIC	R/W	バイト	H'20	H'FFBD

13.11.5 レジスタの説明

(1) ゲイン定数 (DGKp、DGKs*¹、CGKp、CGKs*¹)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

16ビットのライト専用バッファです。リードはできません。ワードアクセス専用のレジスタです。バイトアクセスの動作は保証されません。

リセットにより、初期化されません。必ず、データをライトしてから処理を行ってください。

【注】 *1 本デジタルフィルタの速度系には 16 倍の固定ゲインが付加されています。速度系ゲインを 1 倍にする場合は、H'0FFF を設定してください。

(2) 係数 (DAp、DBp、DAs、DBs、CAp、CBp、CAs、CBs)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

16ビットのライト専用バッファです。リードはできません。ワードアクセス専用のレジスタです。バイトアクセスの動作は保証されません。

リセットにより、初期化されません。必ず、データをライトしてから処理を行ってください。

(3) オフセット (DOfp、DOfs*²、COfp、COfs*²)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

16ビットのライト専用バッファです。リードはできません。ワードアクセス専用のレジスタです。バイトアクセスの動作は保証されません。

リセットにより、初期化されません。必ず、データをライトしてから処理を行ってください。

【注】 *2 DOfs、COfs の設定は PWM の出力が固定 16 倍されることを考慮して設定してください。

(4) ドラム系デジタルフィルタコントロールレジスタ (DFIC)

ビット	7	6	5	4	3	2	1	0
	OVF	ROV	R/F	PHER			LSV	DPHA
初期値	0	0	0	0	1	1	0	0
R/W	R/W	R/(W)*	R/W	R/W			R/W	R/W

【注】 * 0ライトのみ有効

DFIC は、6ビットのリードとライトが可能なレジスタです。ドラム系のデジタルフィルタの状態や動作モードを制御します。

DFIC はリセット時、H'0C に初期化されます。

ビット7：タイムオーバーフラグ (OVF)

DFGの速度誤差検出時、エッジが検出されないため、カウンタがオーバフローしたことを示すフラグです。詳細は「13.6 ドラム速度誤差検出回路」と、図 13.16、図 13.17 を参照してください。OVF フラグのクリアは、0ライトにより行ってください。

ビット7	説明
OVF	
0	DFGのエッジが、カウンタ値のH'FFFF以前に検出されたことを示します。 (初期値)
1	DFGのエッジが、カウンタ値のH'FFFFを越えても検出されなかったことを示します。割り込み要求が発生します。

ビット6：レンジオーバーフラグ (ROV)

フィルタ演算の結果が12ビット幅に入らなかった場合、ROV フラグに1がセットされます。本フラグは、0ライトしてクリアしてください。

ビット6	説明
ROV	
0	フィルタ演算結果が12ビット幅に入ったことを示します。 (初期値)
1	フィルタ演算結果が12ビット幅を越えたことを示します。

ビット5：DFG エッジ選択ビット（R/F）

ドラムの速度誤差検出を行う DFG のエッジを選択します。

ビット5	説 明
R/F	
0	速度誤差検出を DFG の立ち上がりエッジで行います。 (初期値)
1	速度誤差検出を DFG の立ち下がりエッジで行います。

ビット4：位相誤差フラグ（PHER）

ドラムの位相誤差検出に異常があったことを示します。1 になっても割り込み要求は発生しません。本フラグのクリアは、0 ライトにより行ってください。ただし、セットと 0 ライトとが同時に起きると、本フラグはクリアされます。DFIC レジスタに対する、ビット操作命令、MOV 命令を実行するときは注意が必要です。詳細は、「13.7 ドラム位相誤差検出回路」と図 13.18 と図 13.20 を参照してください。

ビット4	説 明
PHER	
0	HSW のエッジが、次の REF30P までに検出されなかったことを示します。 (初期値)
1	HSW のエッジが、次の REF30P 以前に検出されたことを示します。

ビット3～2：リザーブビット

リザーブビットです。リードもライトも無効です。

ビット1：学習サーボ ON/OFF ビット（LSV）

学習サーボ機能の有効または無効を制御します。

ビット1	説 明
LSV	
0	学習サーボを OFF にします。 (初期値)
1	学習サーボを ON にします。

ビット0：位相系フィルタ演算開始ビット（DPHA）

位相系のフィルタ演算処理の、開始または停止を制御します。

ビット0	説明
DPHA	
0	位相系のフィルタ演算を OFF にします。 位相系の演算の結果 Y は E_s に加算しません（図 13.30 参照）。（初期値）
1	位相系のフィルタ演算を ON にします。

（5）キャプスタン系デジタルフィルタコントロールレジスタ（CFIC）

ビット	7	6	5	4	3	2	1	0
	OVF	ROV		PHER	CR/RF	AD	LSV	CPHA
初期値	0	0	1	0	0	0	0	0
R/W	R/W	R/(W)*		R/W	R/W	R/W	R/W	R/W

【注】 * 0 ライトのみ有効

CFIC は、7 ビットのリードとライトが可能なレジスタです。

キャプスタン系のデジタルフィルタの状態や動作モードを制御します。

リセット時、H'20 に初期化されます。

ビット7：タイムオーバーフラグ（OVF）

CFG の速度誤差検出時、エッジが検出されないため、カウンタがオーバフローしたことを示すフラグです。詳細は、「13.8 キャプスタン速度誤差検出回路」と図 13.21、図 13.22 を参照してください。OVF フラグのクリアは、0 ライトにより行ってください。

ビット7	説明
OVF	
0	CFG のエッジが、カウンタ値の H'FFFF 以前に検出されたことを示します。 （初期値）
1	CFG のエッジが、カウンタ値の H'FFFF を越えても検出されなかったことを示します。割り込み要求が発生します。

ビット6：レンジオーバーフラグ（ROV）

フィルタ演算の結果が12ビット幅に入らなかった場合、ROVフラグに1がセットされます。本フラグのクリアは、0ライトにより行ってください。

ビット6	説明
ROV	
0	フィルタ演算結果が12ビット幅に入ったことを示します。（初期値）
1	フィルタ演算結果が12ビット幅を越えたことを示します。

ビット5：リザーブビット

リザーブビットです。リードもライトも無効です。

ビット4：位相誤差フラグ（PHER）

キャプスタンの位相誤差検出に異常があったことを示します。1になっても割り込み要求は発生しません。本フラグのクリアは、0ライトにより行ってください。ただし、セットと0ライトとが同時に起きると、本フラグはクリアされます。CFICレジスタに対する、ビット操作命令、MOV命令を実行するときは注意が必要です。詳細は、「13.9 キャプスタン位相誤差検出回路」と図13.25～図13.27を参照してください。

ビット4	説明
PHER	
0	誤差ラッチ信号が、次のREF30PまたはCREFまでに検出されなかったことを示します。（初期値）
1	誤差ラッチ信号が、次のREF30PまたはCREF以前に検出されたことを示します。

ビット3：キャプスタン位相制御基準信号選択ビット（CR/RF）

記録時のキャプスタン位相制御でDVCFG（CFG分周信号）がフレーム周波数にならない場合など、基準信号を選択できます。

ビット3	説明
CR/RF	
0	キャプスタン位相制御にREF30信号を用います。（初期値）
1	キャプスタン位相制御にCREF信号を用います。

ビット2、1：誤差データ選択ビット（AD、LSV）

8mmVTR の再生位相制御用の制御ビットです。AD ビットと LSV ビットにより、位相系フィルタ演算処理に、移動平均型のフィルタ（AD フィルタ）を挿入することができます。

ビット2	ビット1	説明
AD	LSV	
0	X	キャプスタン位相誤差検出回路による、誤差データでフィルタ演算を行います。（PB-CTL または DVCFG）（初期値）
1	0	A/D 変換器のハードウェアトリガによる変換結果（AHR）により、フィルタ演算を行います。AD フィルタは OFF です。
	1	A/D 変換器のハードウェアトリガによる変換結果（AHR）により、フィルタ演算を行います。AD フィルタは ON です。

【注】 X：0 または 1、Don't care を表します。

ビット0：位相系フィルタ演算開始ビット（CPHA）

位相系のフィルタ演算処理の、開始または停止を制御します。

ビット0	説明
CPHA	
0	位相系のフィルタ演算を OFF にします。（初期値） 位相系の演算結果の Y は E_s に加算しません。（図 13.31 参照）
1	位相系のフィルタ演算を ON にします。

13.11.6 過渡応答時の操作

デジタルフィルタ回路は、モータ起動時や過渡応答時には定数 A、B を 0 とし、大きな誤差による演算を防止する必要があります。繰り返し演算を行うフィルタ回路に大きな誤差が入力されると、演算の収束が遅くなり、サーボの引き込みが悪くなることを防ぐためです。ある範囲の誤差まで速度、位相を引き込んでからフィルタを動作させる（定数 A、B を設定する）ことが応答をよくする方法です。

13.12 学習サーボ回路

13.12.1 概要

学習サーボ回路には、学習サーボ機能が内蔵されています。ドラム速度系にはクシ型フィルタ、キャプスタン位相制御系には移動平均型フィルタを内蔵しています。それぞれ必要に応じて、ON/OFFが可能です。

ドラム速度系は、帰還型クシ型フィルタによるFGムラキャンセル回路です。FG数分の16ビットデータバッファに、1回転中のFGごとのムラを学習させ、学習したFGムラデータを減算して、誤差データに含まれるFGムラを補正します。

キャプスタン位相制御系には、8mmVTR用に移動平均型フィルタも内蔵しています。

【注】クシ型フィルタは、FGムラを除去する効果がありますが、欠点として次の特性があります。

(1) DCゲインが0になる。(係数Lにより補正できます。)

(2) 過渡応答が遅くなる。

使用時には、注意が必要です。

13.12.2 ドラム速度系学習サーボ

(1) ブロック図

ドラム速度系学習サーボ部のブロック図を図 13.36 に示します。
段数設定レジスタにより、FG 数を可変にできます。

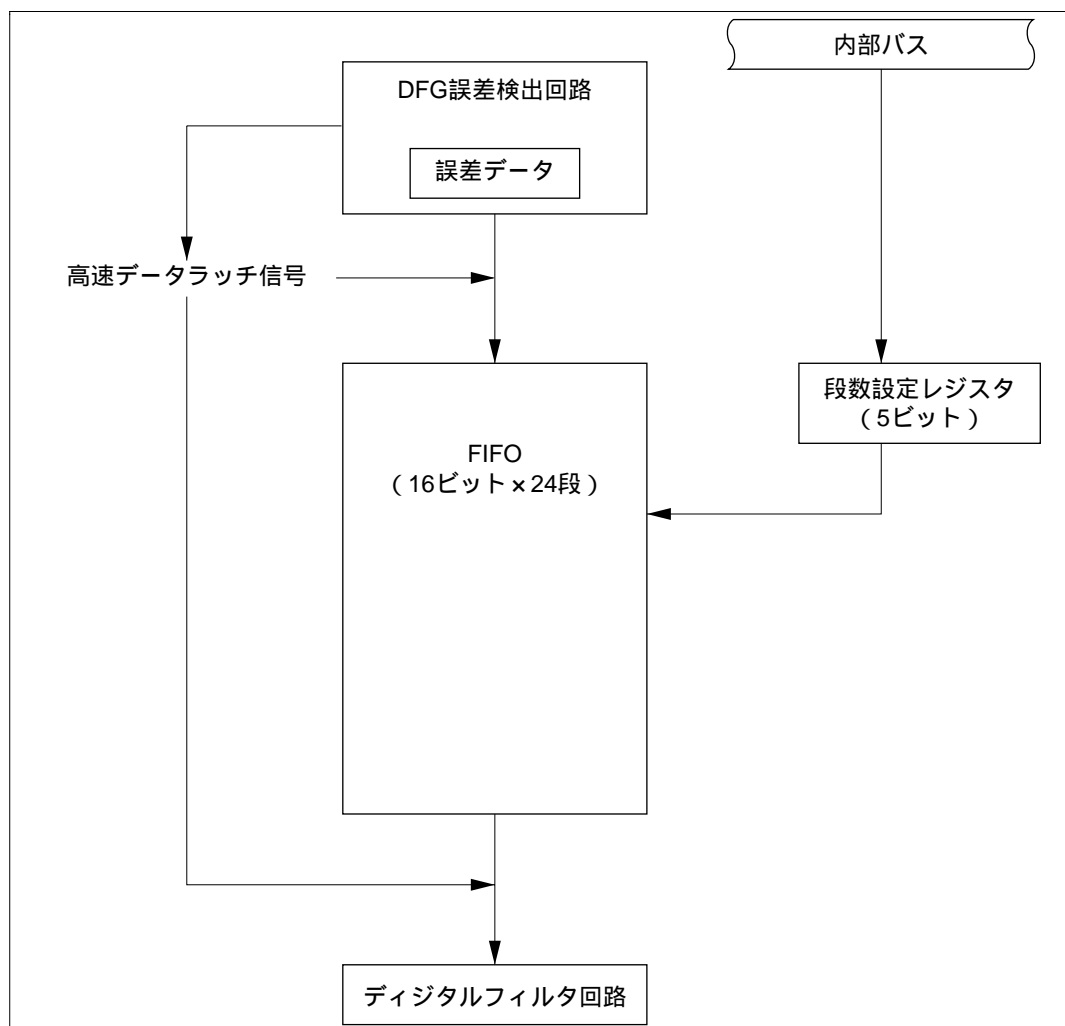


図 13.36 ドラム速度系学習サーボ部のブロック図

(2) 内部動作

ドラム速度系学習サーボ部の表現図を図 13.37 に示します。リセット、低消費電力モード時以外は、動作は停止しません。

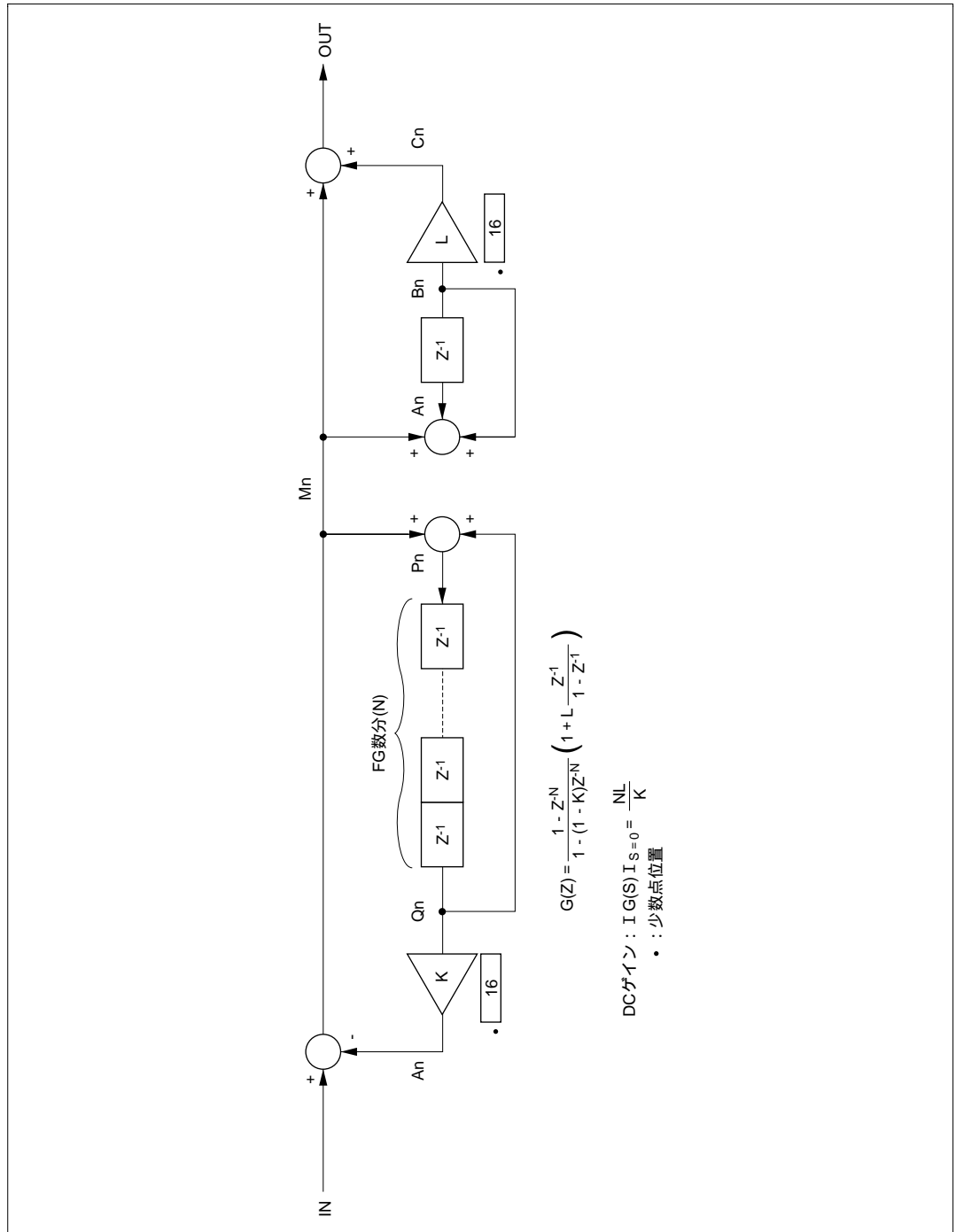


図 13.37 ドラム速度系学習サーボ (FG ムラキャンセル) の表現図

(3) レジスタ構成

ドラム速度系学習サーボのレジスタ構成を表 13.17 に示します。

表 13.17 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
ドラム速度系学習サーボ 段数設定レジスタ	LSR	W	バイト	H'F0	H'F2B6
ドラム系速度サーボ係数	K	W	ワード	不定	H'F2B0
	L	W	ワード	不定	H'F2B1

(4) ドラム速度系学習サーボ段数設定レジスタ (LSR)

ビット	7	6	5	4	3	2	1	0
					LS3	LS2	LS1	LS0
初期値	1	1	1	1	0	0	0	0
R/W					W	W	W	W

LSRは4ビットのライト専用のレジスタです。ドラムモータのFG数を設定してください。

リセット時、HF0に初期化されます。

ビット7~4：リザーブビット

リザーブビットです。ライトは無効になります。

ビット3～0：FG ムラデータ段数設定ビット（LS3～LS0）

FG ムラキャンセル回路のFIFOの段数を設定します。

ビット3	ビット2	ビット1	ビット0	説明	
LS3	LS2	LS1	LS0		
0	0	0	X	FG6 発 (初期値)	
		1	0		
	1	0	0	0	FG10 発
			1	1	FG12 発
		1	0	0	FG14 発
			1	1	FG16 発
1	0	0	0	FG18 発	
			1	1	FG20 発
	1	0	0	FG22 発	
		1	1	FG24 発	
	1	X	X	FG24 発	

【注】 X：0または1、Don't care を表します。

(5) ドラム系速度サーボ係数 (K、L)

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

KD15	KD14	KD13	KD12	KD11	KD10	KD9	KD8	KD7	KD6	KD5	KD4	KD3	KD2	KD1	KD0
*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

*：不定

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

L15	L14	L13	L12	L11	L10	L9	L8	L7	L6	L5	L4	L3	L2	L1	L0
*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

*：不定

クシ型フィルタの係数を 16 ビットで設定します。ライト専用、ワードアクセス専用のレジスタです。バイトアクセスの動作は保証されません。

初期値は不定なので、リセット後は、必ず係数を設定してください。

13.12.3 キャプスタン位相制御系学習サーボ (AD フィルタ)

(1) 構成

8mmVTR の対応として A/D 変換器による誤差の取り込みが可能です。

HSW タイミング生成回路により生成した ADTRIG 信号により、ハードウェアからの変換スタートをかけると、変換終了信号によりデジタルフィルタ回路が変換結果 (AHR) を取り込みます。以後、フィルタ演算がハードウェアにより実行され、12 ビット PWM に誤差が出力されます。

このとき、演算処理の前に、AHR のデータに対して、移動平均型のフィルタを挿入することができます。この回路は、4 フィールド周期のノイズを除去することができます。図 13.38 に、移動平均型フィルタの表現図を示します。

AHR の値は H'00 ~ H'FF (中心が H'80) となりますが、IN の値は H'80 ~ H'7F (中心が H'00) に変換された値になります。移動平均型フィルタ OFF の場合は、IN の値がそのまま ADout に出力されます。

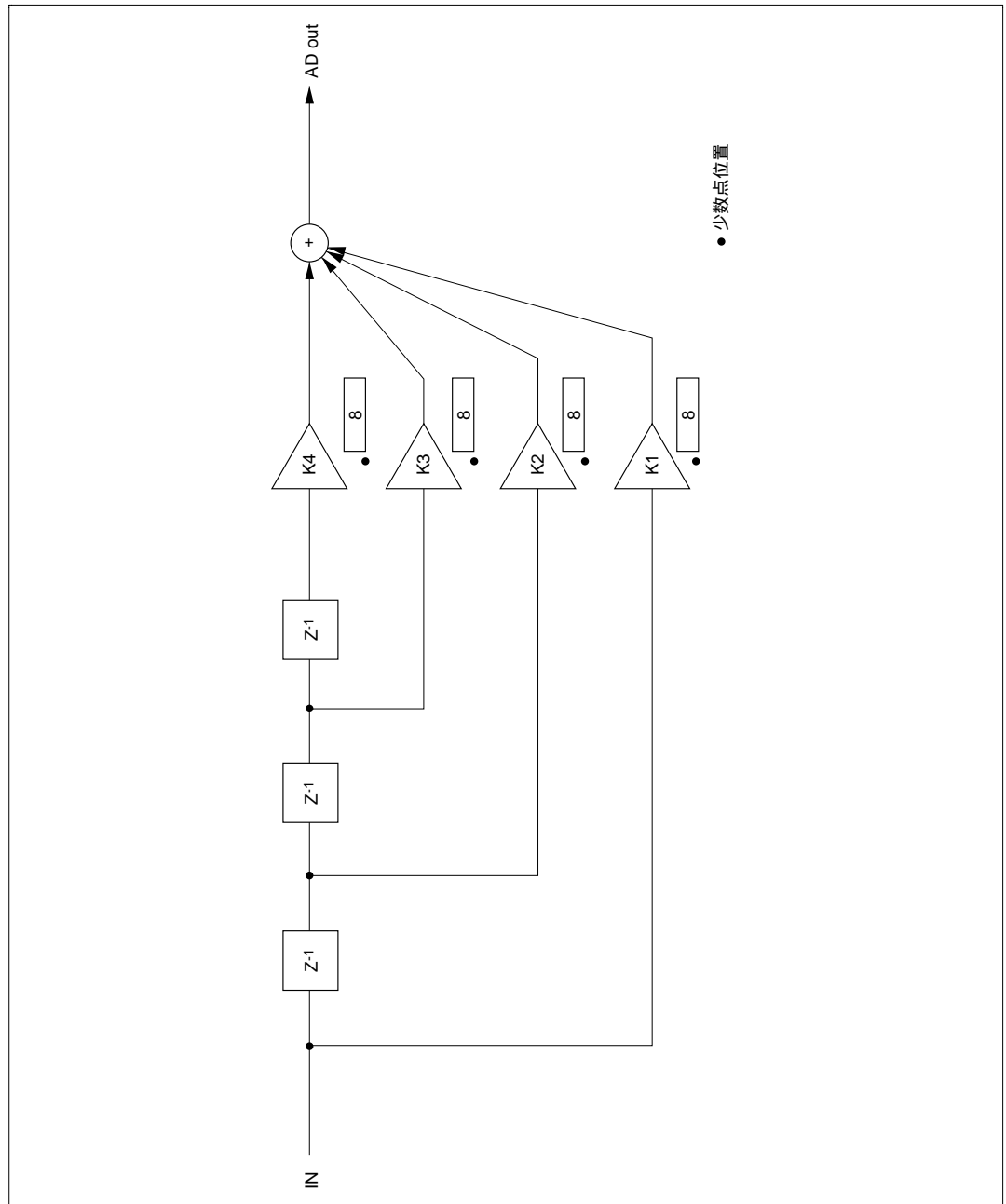


図 13.38 キャプスタン位相系移動平均型フィルタ

(2) レジスタ構成

キャプスタン位相制御系学習サーボのレジスタ構成を表 13.18 に示します。

表 13.18 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
キャプスタン位相制御系 学習サーボ 係数	K1	W	バイト	不定	H'F2B2
	K2	W	バイト	不定	H'F2B3
	K3	W	バイト	不定	H'F2B4
	K4	W	バイト	不定	H'F2B5

(3) 係数 (K1、K2、K3、K4)

ビット	:	7	6	5	4	3	2	1	0
		K17	K16	K15	K14	K13	K12	K11	K10
初期値	:	*	*	*	*	*	*	*	*
R / W	:	W	W	W	W	W	W	W	W

* : 不定

ビット	:	7	6	5	4	3	2	1	0
		K27	K26	K25	K24	K23	K22	K21	K20
初期値	:	*	*	*	*	*	*	*	*
R / W	:	W	W	W	W	W	W	W	W

* : 不定

ビット	:	7	6	5	4	3	2	1	0
		K37	K36	K35	K34	K33	K32	K31	K30
初期値	:	*	*	*	*	*	*	*	*
R / W	:	W	W	W	W	W	W	W	W

* : 不定

ビット	:	7	6	5	4	3	2	1	0
		K47	K46	K45	K44	K43	K42	K41	K40
初期値	:	*	*	*	*	*	*	*	*
R / W	:	W	W	W	W	W	W	W	W

* : 不定

移動平均型フィルタの係数を 8 ビットで設定します。ライト専用のレジスタです。初期値は不定なので、リセット後は、必ず係数を設定してください。

13.12.4 学習サーボの定数の設定方法

(1) FG ムラキャンセル回路

デジタルフィルタ回路のドラム速度制御に挿入されている FG ムラキャンセル回路は、帰還型ノッチフィルタと積算回路とで構成されています。

(a) 帰還型ノッチフィルタ

ノッチフィルタ特性により特定周波数スペクトルを制御信号から除去し、特定周波数成分をフィードバックしません。その結果、偏心などによる一回転に一回のムラを除去します。ノッチ特性の中心周波数はモータの回転に同期 (DFG 数に依存) しています。オペアンプ、コンデンサ、抵抗等で構成されるアナログノッチフィルタに比べて、Q が高く、部品の個体差による中心周波数のばらつきがありません。Q は定数 K により調整できます。また、アナログノッチフィルタは 1 周波数のみの除去となりますが、本回路は中心周波数の整数倍の周波数成分を除去します。そのため、楕円特性を持ち、FG ムラとモータマグネットからの飛び込みとの両方の除去ができる可能性があります。

しかし、帰還型ノッチフィルタのみでは低域でのゲイン低下があり、DC ゲインが 0 となります。そのため、積算回路と組み合わせることにより DC ゲインを補正する必要があります。

(b) 積算回路

積算回路は、DC ゲインが計算上は無限大となります。DC ゲインが 0 となる帰還型ノッチフィルタの DC ゲインを補正します。L=0 とすると積算回路は無効となります。FG ムラキャンセル回路の DC ゲインが 1 になるよう定数 L を調整してください。

帰還型ノッチフィルタと積算回路とを組み合わせた FG ムラキャンセル回路の伝達関数は、

$$G(Z) = \frac{1 - Z^{-N}}{1 - (1 - K)Z^{-N}} \left(1 + L \frac{Z^{-1}}{1 - Z^{-1}} \right)$$

ここで、N は DFG 数、 $Z^{-1} = e^{-j\omega T}$ 、 $Z^{-N} = e^{-jN\omega T}$

T は DFG 周期 (s) となります。

帰還型ノッチフィルタの DC ゲインが 0、積分回路の DC ゲインが となるため、極限操作を行い FG ムラキャンセル回路としての DC ゲインを求めると、

$$[G(S)]_{s=0} = \frac{NL}{K}$$

となります。この式が 1 となるように定数 L、K を決めると、DC ゲインが 1 の帰還型ノッチフィルタが実現できます。K=1/N、L=K/N が目安となります。たとえば、N=12 の場合、K=1/12、L=1/144 となります。定数は実装上で調整をしてください。

(2) 移動平均型フィルタ

移動平均型フィルタは移動型ノッチフィルタとも呼ばれ、現在のサンプリングから過去 4 回のサンプリングデータの重み付け、平均化を行います。楕円特性を持ちますが低域ゲインの低下はありません。しかし、Q が低く位相遅れが大きい特性を持ちます。回路中の定数（重み付け値）K1～K4 を調整することにより位相遅れ、Q 値を変更できます。たとえば、K1 : K2 : K3 : K4 = 4 : 3 : 2 : 1 が目安となりますが、実装上での調整が必要です。

13.13 付加V信号

13.13.1 概要

特殊再生時に Vsync に代わる信号を出力します。HSW タイミング回路から出力される、HSW 信号の両エッジで起動します。HSW タイミング回路では、付加VパルスのVD信号と、等価パルスを含む垂直同期信号の幅 (Mlevel 信号) を出力します。

Vpulse 端子は3値レベル出力の端子です。

付加Vパルスの制御回路を図 13.39 に示します。

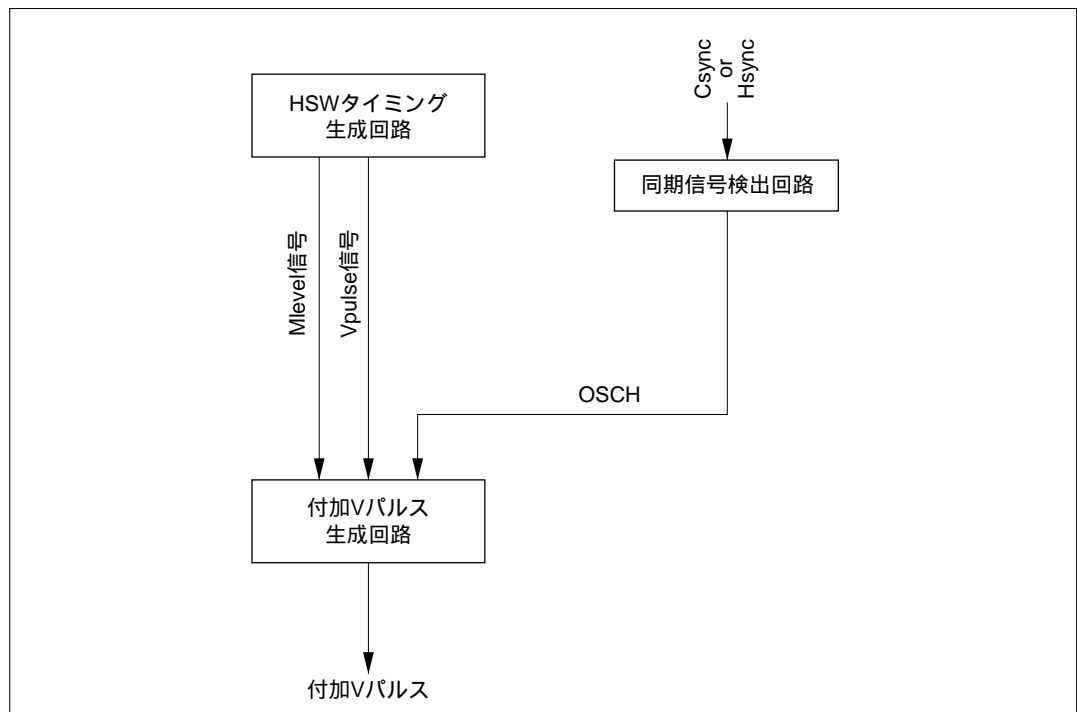


図 13.39 付加Vパルス制御回路

・ HSW タイミング発生回路

HSW に同期した信号を生成します。HSW 信号 (VIDEO FF) のエッジのタイミングで Mlevel 信号、Vpulse 信号を生成してください。詳細は、「13.4 HSW タイミング生成回路」を参照してください。

・ 同期信号検出回路

Hsync 端子からの入力信号、または、Csync 端子からの入力信号から VTHR で指定した幅のパルスを検出し、内部の水平同期信号 (OSCH) を生成します。同期信号検出回路は、補完機能を持っており、Hsync 信号が欠落しても、周期的な同期信号 (OSCH) を生成します。詳細は、「第 12 章 同期信号検出回路」を参照してください。

13.13.2 付加Vパルスの信号

付加Vパルス端子 (Vpulse 端子) を図 13.40 に示します。また、付加Vパルスの信号を図 13.41 に示します。Mlevel 信号と Vpulse 信号は、HSW タイミング生成回路で発生させます。等価パルスは、OSCH 信号をそのまま重ねます。

付加Vパルスは付加Vレジスタ (ADVR) の POL ビットにより、極性を選択できます。詳細はレジスタの項を参照してください。

Vpulse 端子はスリープモード時、Low レベル出力となります。また、スタンバイ、サブアクティブ、ウォッチの各モード時は、ハイインピーダンス状態となります。

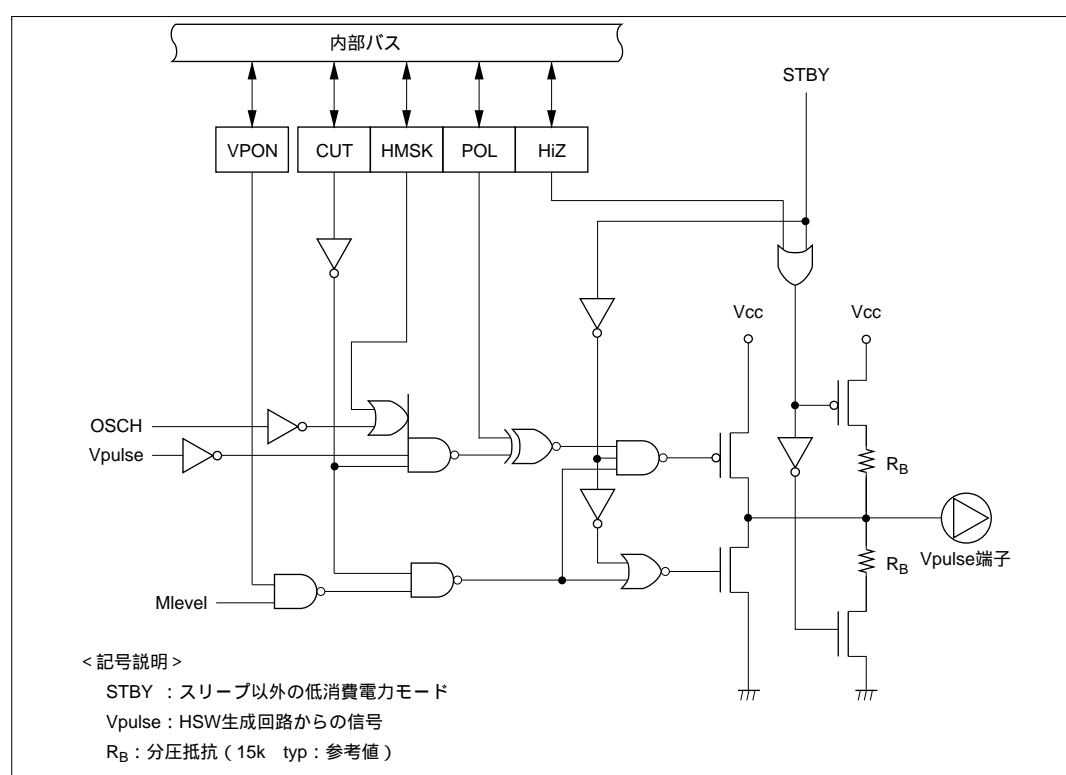


図 13.40 付加V端子

・同期信号が検出されないときの付加Vパルス

付加Vパルスは、HSW タイミング生成回路により生成した信号 (Vpulse、Mlevel 信号) に、同期信号検出回路で検出されたパルス (OSCH) を重畳します。入力された同期信号 (Csync または Hsync/Vsync の外部分離信号) にノイズが多かったり、パルス抜けがあったりする場合、OSCH は補完パルスとなるため CMPR (補完パルスレジスタ) の周期の H パルスが重畳されます。このとき、CMPR の設定によっては通常の同期信号とタイミングが少しずつ、不連続となることがあります。

また、同期信号が入力されない場合、付加Vパルスは補完パルスで生成します。同期信号検出回路の各レジスタの設定を行い、TVSR (TV方式選択レジスタ)のSYCTビットの操作により同期信号検出回路の起動を行ってください。「12.3(1) 同期信号検出回路の起動」を参照してください。

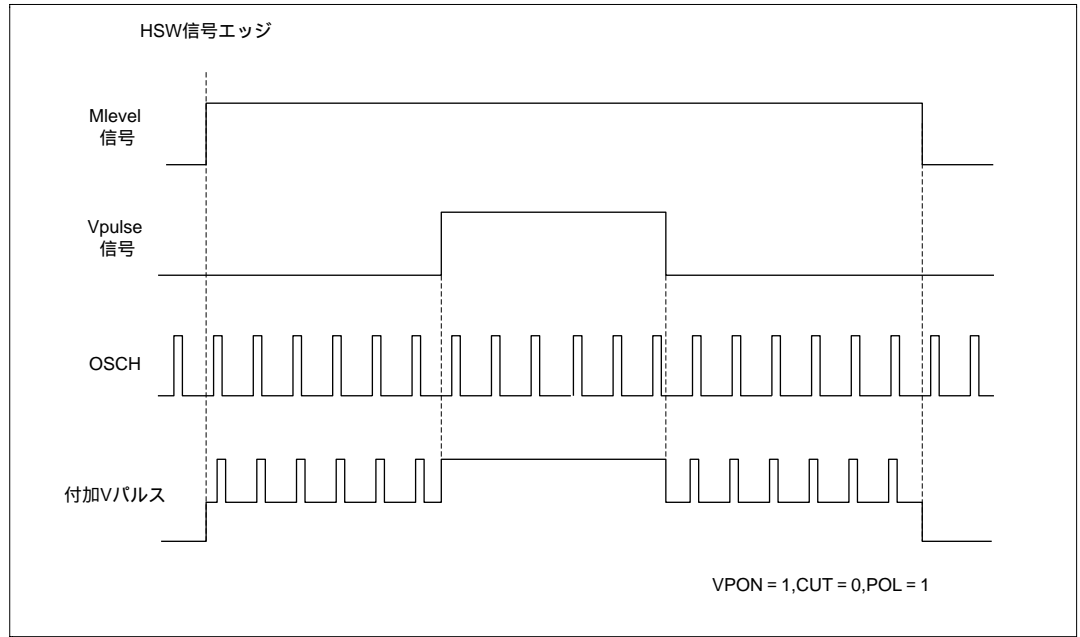


図 13.41 付加Vパルス

13.13.3 端子構成

付加V信号の端子構成を表 13.19 に示します。

表 13.19 端子構成

名 称	略 称	入出力	機 能
付加Vパルス端子	Vpulse	出力	VideoFFに同期した付加V信号出力

13.13.4 レジスタ構成

付加V信号のレジスタ構成を表 13.20 に示します。

表 13.20 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
付加Vレジスタ	ADVR	R/W	バイト	H'E0	H'F2CA

13.13.5 付加 V レジスタ (ADVR)

ビット	:	7	6	5	4	3	2	1	0
					HMSK	HiZ	CUT	VPON	POL
初期値	:	1	1	1	0	0	0	0	0
R/W	:				R/W	R/W	R/W	R/W	R/W

ADVR は、リードとライトが可能な 5 ビットのレジスタです。

リセット時、HE0 に初期化されます。

ビット 7~5 : リザーブビット

リザーブビットです。リードもライトも無効です。

ビット 4 : OSCH マスクビット (HMSK)

付加 V パルス中の OSCH 信号をマスクするビットです。

ビット 4	説明
HMSK	
0	OSCH を付加する。 (初期値)
1	OSCH を付加しない。

ビット 3 : ハイインピーダンスビット (HiZ)

中間レベルの生成を外部回路で行う場合、1 にセットします。

ビット 3	説明
HiZ	
0	Vpulse 端子は、3 値出力端子とする。 (初期値)
1	Vpulse 端子は、H/L/Hi-Z の 3 状態端子とする。

ビット2～0：付加V出力制御ビット
 付加V端子の出力を制御します。

ビット2	ビット1	ビット0	説明
CUT	VPON	POL	(Vpulse 端子の出力状態)
0	0	X	Low レベル (初期値)
		0	負極性 (図 13.42 参照)
	1	正極性 (図 13.43 参照)	
1	X	0	中間レベル (HiZ ビット = 1 のときはハイインピーダンス)
		1	High レベル

【注】 X : 0 または 1、Don't care を表します。

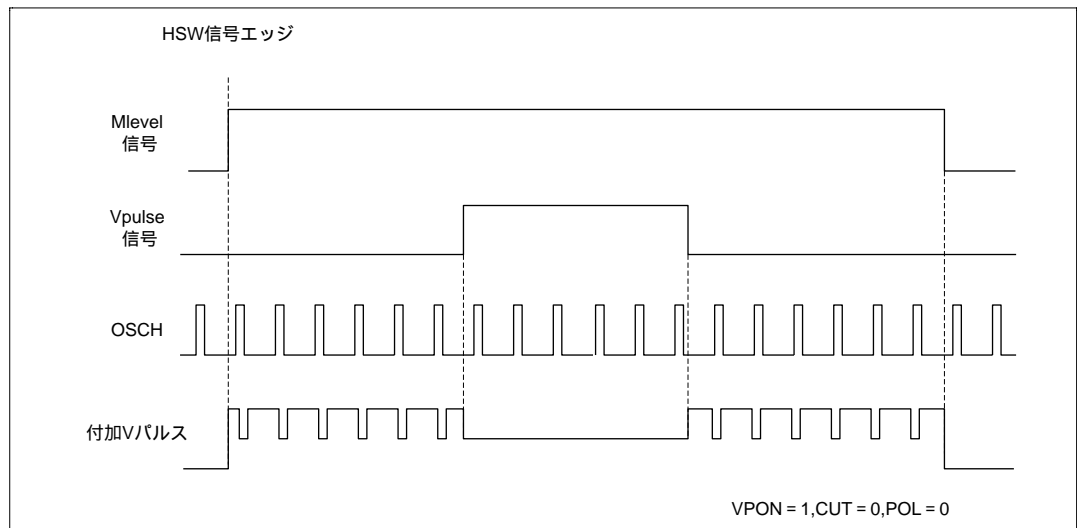


図 13.42 負極性を指定したときの付加V出力

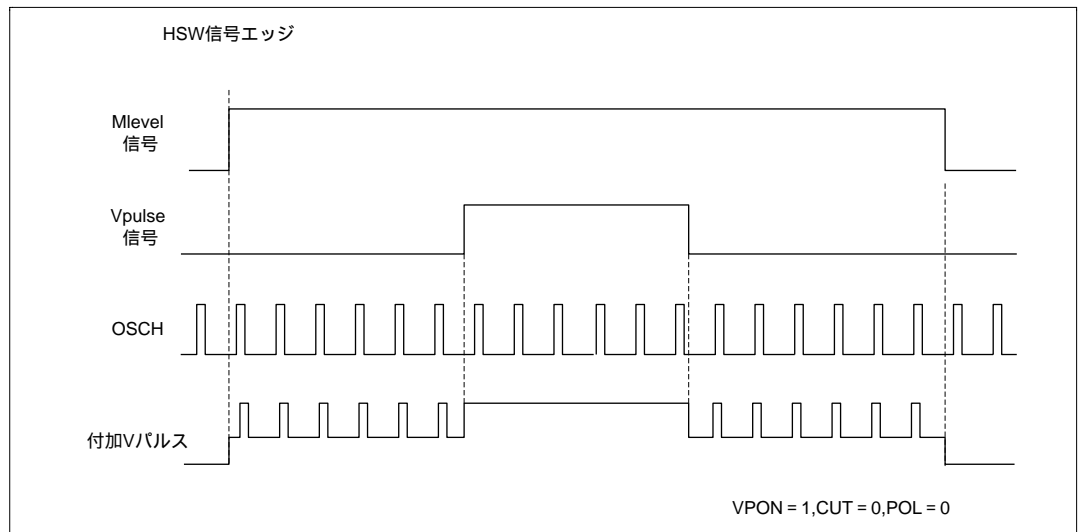


図 13.43 正極性を指定したときの付加V出力

13.14 CTL 回路

13.14.1 概要

CTL 回路には、CTL 入力にシュミットアンプが内蔵されており、増幅、波形整形を行った後、PB-CTL 信号として、サーボ部、リニアタイムカウンタなどに送ります。PB-CTL 信号はデューティ判別回路にも送られ、VISS、ASM、および VASS の検出が可能です。

また、記録回路には REC-CTL アンプを内蔵しています。VISS 回路により、コントロール信号のデューティを変調して頭出し情報を記録できます。

CTL モードレジスタの設定により、以下の動作が可能です。

- ・デューティ判別
VISS 検出、ASM 検出、VASS 検出
- ・CTL 記録
VISS 記録、ASM 記録、VASS 記録
- ・再書き込み
台形波回路内蔵

13.14.2 ブロック図

CTL 回路のブロック図を、図 13.44 に示します。

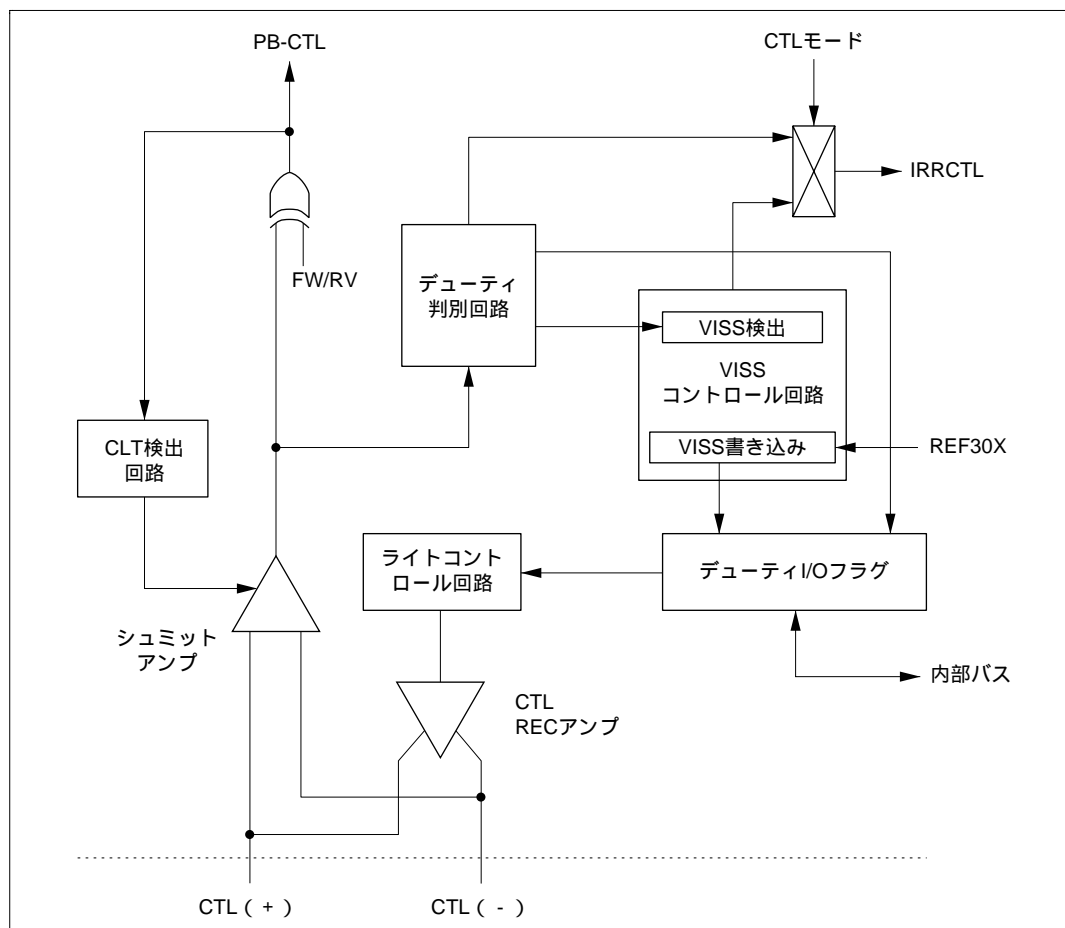


図 13.44 CTL 回路のブロック図

13.14.3 端子構成

CTL 回路の端子構成を表 13.21 に示します。

表 13.21 端子構成

名称	略称	入出力	機能
CTL (+) 入出力端子	CTL (+)	入出力	CTL 信号入出力
CTL (-) 入出力端子	CTL (-)	入出力	CTL 信号入出力

13.14.4 レジスタ構成

CTL 回路のレジスタ構成を表 13.22 に示します。

表 13.22 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
シュミットモードレジスタ	SHMR	W	バイト	H'3C	H'FFA5
CTL モードレジスタ	CTLM	R/W	バイト	H'00	H'FFA6
REC-CTL デューティデータレジスタ 1	RCDR1	W	ワード	H'FC00	H'F2C1
REC-CTL デューティデータレジスタ 2	RCDR2	W	ワード	H'FC00	H'F2C2
REC-CTL デューティデータレジスタ 3	RCDR3	W	ワード	H'FC00	H'F2C3
デューティ I/O レジスタ	DI/O	R/W	バイト	不定	H'FFA7

13.14.5 レジスタの説明

(1) シュミットモードレジスタ (SHMR)

ビット	7	6	5	4	3	2	1	0
	NT/PL	FSLC	FSLB	FSLA			SEL1	SEL0
初期値	0	0	1	1	1	1	0	0
R / W	W	W	W	W			W	W

シュミットモードレジスタ (SHMR) は、PB-CTL の再書き込み動作の制御および入力レベルの設定をします。PB-CTL 回路の CTL 検出回路は、SHMR により設定されたモードの標準レベルを基準に動作します。

SHMR は、6 ビットのライト専用のレジスタです。

リセット時、H'3C に初期化されます。

ビット 7 : NTSC/PAL 選択ビット (NT/PL)

再書き込み回路の一周期を決定するビットです。

ビット 7	説 明
NT/PL	
0	NTSC モード (1 フレーム 30Hz) (初期値)
1	PAL モード (1 フレーム 25Hz)

ビット6～4：動作周波数指定ビット（FSLA、FSLB、FSLC）

CTL書き込み回路の動作周波数を指定します。 f_{osc} の周波数により設定してください。

ビット6	ビット5	ビット4	説明
FSLC	FSLB	FSLA	
0	0	0	リザーブ
		1	リザーブ
	1	0	$f_{osc} = 8\text{MHz}$ 、8.38MHz
		1	$f_{osc} = 10\text{MHz}$ (初期値)
1	X	X	リザーブ

【注】 X：0または1、Don't careを表します。

ビット3、2：リザーブビット

リザーブビットです。リードもライトも無効です。

ビット1、0：モード選択ビット（SEL1、SEL0）

ビット1	ビット0	説明		
SEL1	SEL0	モード	標準レベル	
0	0	モード1	130	(初期値)
	1	モード2	260	
1	0	モード3	500	
	1	無効（設定しないでください。）		

(2) CTLモードレジスタ（CTLM）

ビット	7	6	5	4	3	2	1	0
	ASM	REC/ $\overline{\text{PB}}$	FW/RV	MD4	MD3	MD2	MD1	MD0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CTLモードレジスタ（CTLM）は、CTL回路の動作状態を決定する8ビットのリードとライトが可能なレジスタです。MD3、MD2の2ビットは、1をライトすると、1サイクル（ ）後に0にクリアされます。

リセット時、H'00に初期化されます。

ビット7、6：録／再モードビット（ASM、REC/ \overline{PB} ）

記録／再生を切り替えます。ビット4～0（MD4～MD0）と組み合わせて、VISS / VASS / ASM マークの各機能に対応します。

ビット7	ビット6	説明
ASM	REC/ \overline{PB}	
0	0	再生モード（PLAYBACK）（初期値）
	1	記録モード（RECORD）
1	0	アセンブルモード
	1	無効（設定しないでください。）

ビット5：方向ビット（FW/RV）

再生時の方向を指定します。記録時は0を指定してください。PB-CTL 信号を図 13.45 に示します。

ビット5	説明
FW/RV	
0	FORWARD（初期値）
1	REVERSE

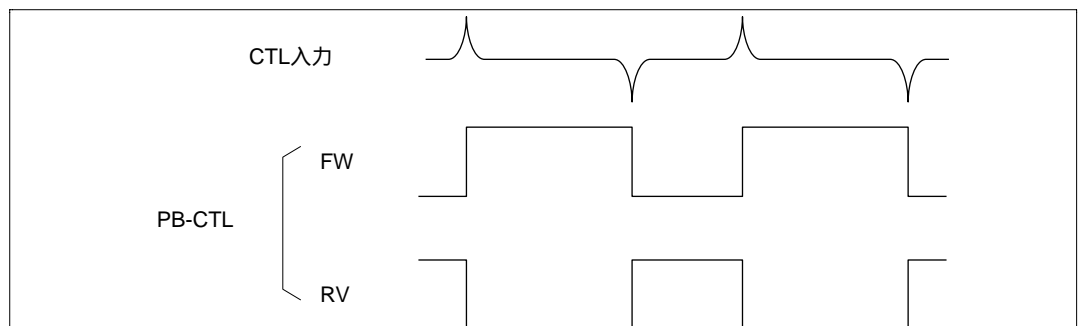


図 13.45 FWD/REV のときの内部 PB-CTL 信号

ビット4～0：CTL モードセレクトビット（MD4～MD0）

VISS / VASS / ASM マークの、検出、記録、再書き込みの各モードを指定します。MD3、MD2 の2ビットは1をライトすると、1サイクル（ ）後に0にクリアされます。

MD4～MD0 の5ビットは、ビット7、6（ASM、REC/ \overline{PB} ）のビットと組み合わせて使用します。

表 13.23 に各モードの説明を示します。

表 13.23 CTL モードの機能 (1)

ビット								モード	動作
7	6	5	4	3	2	1	0		
ASM	R/P	F/R	MD4	MD3	MD2	MD1	MD0		
0	0	0/1	0	0	0	0	0	VASS 検出 (デューティ検出)	PB-CTLのデューティ判別 (初期値) ・デューティ 40%を検出すると、デューティ I/O フラグが1になります。 ・デューティ < 40%を検出すると、デューティ I/O フラグが0になります。 ・1CTL 検出終了時、割り込み要求を発生します。
0	1	0	0	0	0	0	0	VASS 記録	・デューティ I/O フラグに0をライトすると、RCDR2 レジスタで決定されるデューティで REC-CTL を発生し、記録します。 ・デューティ I/O フラグに1をライトすると、RCDR3 レジスタで決定されるデューティで REC-CTL を発生し、記録します。
0	0	0	1	0	0	1	0	VASS 再書き込み	同上 (VASS 記録と同じ。ただし、*台形波回路動作)
0	0	0/1	0	1	0	0	1	VISS 検出 (INDEX 検出)	・CTLM レジスタをライトした時点でデューティ I/O フラグが1になります。 ・デューティ判別回路により判別した1データを、VISS コントロール回路でカウントします。 連続した32発を検出すると、VISS 検出と判定し、デューティ I/O フラグを0にします。 ・VISS 検出時点で、割り込み要求を発生します。
0	1	0	0	0	1	0	1	VISS 記録 (INDEX 記録)	・0パルス1発+1パルス64発+0パルス1発のビット列 (INDEX) を書き込みます。 ビット列 (INDEX) はデューティ I/O フラグを経由して書き込まれます。 ・VISS 記録が終了すると、割り込み要求を発生します。
0	0	0	0	0	1	0	1	VISS 再書き込み	同上 (VISS 記録と同じ。ただし、*台形波回路動作)

【注】 * 台形波回路動作については「13.14.11 台形波回路」を参照してください。

表 13.23 CTL モードの機能 (2)

ビット								モード	動作
7	6	5	4	3	2	1	0		
ASM	R/P	F/R	MD4	MD3	MD2	MD1	MD0		
1	0	0/1	0	0	0	0	0	ASM マーク検出	ASM マークを検出します。 ・PB-CTL のデューティ 66%を検出すると、デューティ I/O フラグが 0 になります。 ・ASM マークを検出すると、割り込み要求を発生します。
0	1	0	1	0	0	0	0	ASM マーク記録	・デューティ I/O フラグに 0 をライトすることにより、ASM マークを記録します。 ・ASM マーク記録が終了すると、割り込み要求を発生します。 RCDR2 レジスタで決定されるデューティで REC-CTL を発生し、記録します。

(3) REC-CTL デューティデータレジスタ 1 (RCDR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							CMT19	CMT18	CMT17	CMT16	CMT15	CMT14	CMT13	CMT12	CMT11	CMT10
初期値:	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0
R/W:							W	W	W	W	W	W	W	W	W	W

REC-CTL の立ち上がり、立ち下がりのタイミングを設定するレジスタです。記録および再書き込みのときのみ有効であり、検出のときには使用しません。

RCDR1 は、10 ビットのライト専用レジスタで、ワードアクセス専用となっています。バイトアクセスをすると動作が保証されません。ビット 15 ~ 10 はリザーブビットであり、ライトは無効になります。

リセット時、HFC00 に初期化されます。

RCDR1 は、REC-CTL の立ち上がり点を決定するレジスタです。設定時間 T1 から、 $(f_{osc}/2)$ の周波数に応じて次の計算式で求まる値を設定します。図 13.57 REC-CTL と RCDR1 ~ 3 の関係を参照してください。設定時間は任意ですが、再生時のトラッキング補正量や位相制御時のラッチタイミングなどを考慮して決定します。

$$RCDR1 = T1 \times f_{osc} / 256$$

はシステムクロック (Hz)、T1 は設定時間 (s)

(4) REC-CTL デューティデータレジスタ 2 (RCDR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							CMT29	CMT28	CMT27	CMT26	CMT25	CMT24	CMT23	CMT22	CMT21	CMT20
初期値:	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0
R/W:							W	W	W	W	W	W	W	W	W	W

REC-CTL の立ち上がり、立ち下りのタイミングを設定するレジスタです。記録および書き込みのときのみ有効であり、検出のときには使用しません。

RCDR2 は、10 ビットのライト専用レジスタで、ワードアクセス専用となっています。バイトアクセスをすると動作が保証されません。ビット 15～10 はリザーブビットであり、ライトは無効になります。

リセット時、HFC00 に初期化されます。

RCDR2 は、REC-CTL の 1 パルスの立ち下り点およびアセンブルマークの立ち下り点を決定するレジスタです。設定時間 T2 から、 $(f_{osc}/2)$ の周波数に応じて次の計算式で求まる値を設定します。REC-CTL の 1 パルスに使用する場合はデューティ 27.5%、アセンブルマークに使用する場合は 67～70% の値を設定します。設定値は REF30X の周期を越えて設定しないでください。図 13.57 REC-CTL と RCDR1～3 の関係を参照してください。

$$RCDR2 = T2 \times /256$$

はシステムクロック (Hz)、T2 は設定時間 (s)

(5) REC-CTL デューティデータレジスタ 3 (RCDR3)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							CMT39	CMT38	CMT37	CMT36	CMT35	CMT34	CMT33	CMT32	CMT31	CMT30
初期値:	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0
R/W:							W	W	W	W	W	W	W	W	W	W

REC-CTL の立ち上がり、立ち下りのタイミングを設定するレジスタです。記録および書き込みのときのみ有効であり、検出のときには使用しません。

RCDR3 は、10 ビットのライト専用レジスタで、ワードアクセス専用となっています。バイトアクセスをすると動作が保証されません。ビット 15～10 はリザーブビットであり、ライトは無効になります。

リセット時、HFC00 に初期化されます。

RCDR3 は、REC-CTL の 0 パルスの立ち下り点を決定するレジスタです。設定時間 T3 から、 $(f_{osc}/2)$ の周波数に応じて次の計算式で求まる、デューティ 60% の値を設定してください。図 13.57 REC-CTL と RCDR1～3 の関係を参照してください。

$$RCDR3 = T3 \times /256$$

はシステムクロック (Hz)、T3 は設定時間 (s)

(6) デューティ I/O レジスタ (DI/O)

ビット	:	7	6	5	4	3	2	1	0
			CFG	HSW	CTL				DI/O
初期値	:	1	*	*	*	1	1	1	1
R/W	:		R	R	R				R/W

CFG、HSW、CTL のレベルを示すフラグと、デューティ I/O フラグにより成るレジスタです。

CFG、HSW、CTL のフラグの初期値は不定です。

ビット7：リザーブビット

リザーブビットです。リードもライトも無効です。

ビット6：CFG フラグ (CFG)

CFG のレベルを示します。

ビット6	説明
CFG	
0	CFG は Low レベルです。
1	CFG は High レベルです。

ビット5：HSW フラグ (HSW)

HSW のレベルを示します。

ビット5	説明
HSW	
0	HSW は Low レベルです。
1	HSW は High レベルです。

ビット4：CTL フラグ (CTL)

REC または PB-CTL のレベルを示します。

ビット4	説明
CTL	
0	REC または PB-CTL は Low レベルです。
1	REC または PB-CTL は High レベルです。

ビット3～1：リザーブビット

リザーブビットです。リードもライトも無効です。

ビット0：デューティ I/O フラグ (DI/O)

検出時と記録時で機能が異なります。

VISS 検出、VASS 検出、ASM マークの検出モード時は、検出結果を示すフラグとなります。

VISS 記録時は、VISS コントロール回路からの制御信号により動作し、INDEX コードを書き込むために、ライトコントロール回路を制御します。

VASS 記録、再書き込みおよび ASM 記録モード時は、1CTL パルスごとの書き込み制御となります。

ライトはいつでも可能ですが、VASS 記録、再書き込みおよび ASM 記録モード時以外は、ライトコントロール回路には反映されません。

VISS 検出、VASS 検出の各モード時：

デューティ判別による検出結果を示すフラグとなります。

PB-CTL 信号のデューティが40%以上 (CTL が0 パルス) のとき、デューティ I/O フラグは1になります。

PB-CTL 信号のデューティが40%以下 (CTL が1 パルス) のとき、デューティ I/O フラグは0になります。

ASM マーク検出モード時：

デューティ判別による検出結果を示すフラグとなります。

PB-CTL 信号のデューティが66%以上のとき (ASM マークを検出時)、デューティ I/O フラグは0になります。

VISS 記録、VISS 再書き込みの各モード時：

VISS コントロール回路からの制御信号により動作し、INDEX コードを書き込むために、ライトコントロール回路を制御します。書き込みのタイミングは REC-CTL デューティデータレジスタ (RCDR1 ~ RCDR3) により設定します。VISS 記録の場合は、REF30X を基準に RCDR1 ~ RCDR3 により設定します。VISS 再書き込みの場合は、既に記録されている CTL の立ち上がりを基準に RCDR2、RCDR3 により設定され、台形波回路を通して書き込みます。RCDR2 には1パルスのデューティ、RCDR3 には0パルスのデューティの時間値を設定してください。

INDEX コード書き込み中にデューティ I/O フラグをリードすると、書き込み中のビットを読み出すことができます。

書き込み中の CTL が 0 パルスのとき、デューティ I/O フラグからは 1 が読み出されます。
書き込み中の CTL が 1 パルスのとき、デューティ I/O フラグからは 0 が読み出されます。

VASS 記録、VASS 再書き込みの各モード時：

1CTL パルスごとの書き込み制御となります。書き込みのタイミングは REC-CTL デューティデータレジスタ (RCDR1 ~ RCDR3) により設定します。VASS 記録の場合は、REF30X を基準に RCDR1 ~ RCDR3 により設定します。VASS 再書き込みの場合は、既に記録されている CTL の立ち上がりを基準に RCDR2、RCDR3 により設定され、台形波回路を通して書き込みます。RCDR2 には 1 パルスのデューティ、RCDR3 には 0 パルスのデューティの時間値を設定してください。

デューティ I/O フラグに 0 をライトすると、直後の REF30X を基準に RCDR2 に設定した $27.5 \pm 2.5\%$ のデューティで CTL パルスを書き込みます。

デューティ I/O フラグに 1 をライトすると、直後の REF30X を基準に RCDR3 に設定した $60 \pm 5\%$ のデューティで CTL パルスを書き込みます。

ASM 記録モード時：

1CTL パルスごとの書き込み制御となります。書き込みのタイミングは REC-CTL デューティデータレジスタ (RCDR1、RCDR2) により設定します。

デューティ I/O フラグに 0 をライトすると、直後の REF30X を基準に RCDR2 に設定した 67 ~ 70% のデューティで CTL パルスを書き込みます。

13.14.6 動作説明

・ CTL 回路の動作

CTL 判別 / 記録回路は、図 13.46 に示すように 6 ビットのカウンタと 10 ビットのアップ / ダウンカウンタ、3 つの 10 ビットレジスタと一致検出部、CTL 入出力部から構成されています。

6 ビットのカウンタは、再生 (PB) 時、PB-CTL パルスが High レベルのとき $1/4$ のクロックでカウント、Low レベルのとき $1/6$ でカウントします。

記録 (REC) 時、 $1/4$ のクロックでカウントします。

10 ビットのアップ / ダウンカウンタは、6 ビットカウンタのオーバーフローでカウントし、再生 (PB) 時、PB-CTL パルスが High レベルのとき $1/256$ のクロックでアップカウント、Low レベルのとき $1/768$ でダウンカウントします。PB-CTL の立ち上がりでクリアされます。記録 (REC) 時、 $1/256$ のクロックでアップカウントします。REF30X の立ち上がりでクリアされます。

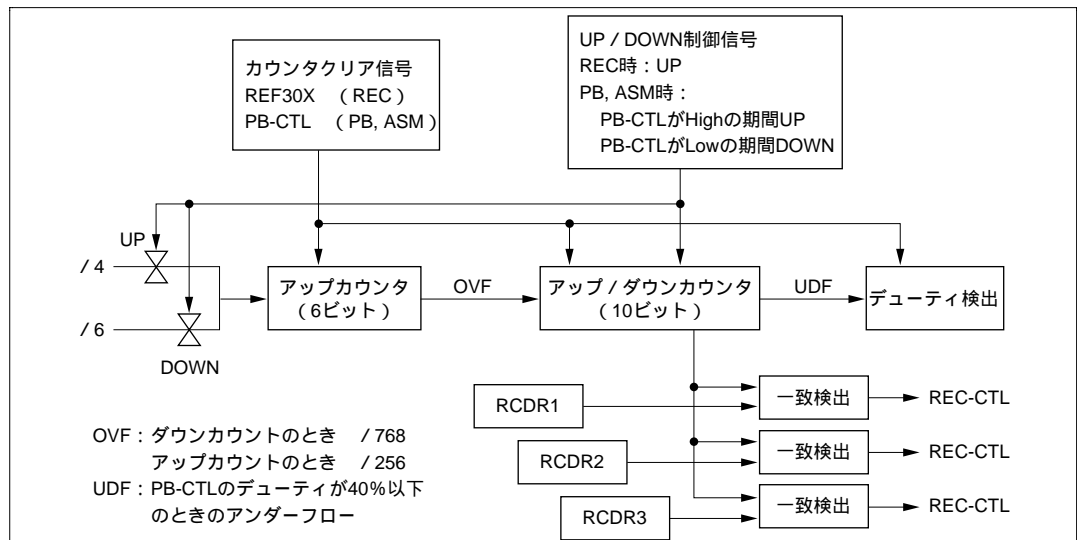


図 13.46 CTL 回路

・CTLモードレジスタ (CTLM) の切り替わりタイミング

CTLMは、レジスタにデータを書き込んだ直後から有効になります。動作状態の変更には注意が必要です。

キャプスタン位相制御は、ASMモード時はV同期のREF30X (X値+トラッキング値) とPB-CTL、RECモード時はV同期のREF30X (X値) またはCREFとCFG分周信号 (DVCFG2) との位相制御になります。図13.47にREF30XとDVCFG2によるASMモードからRECモードへの切り替えの例を示します。

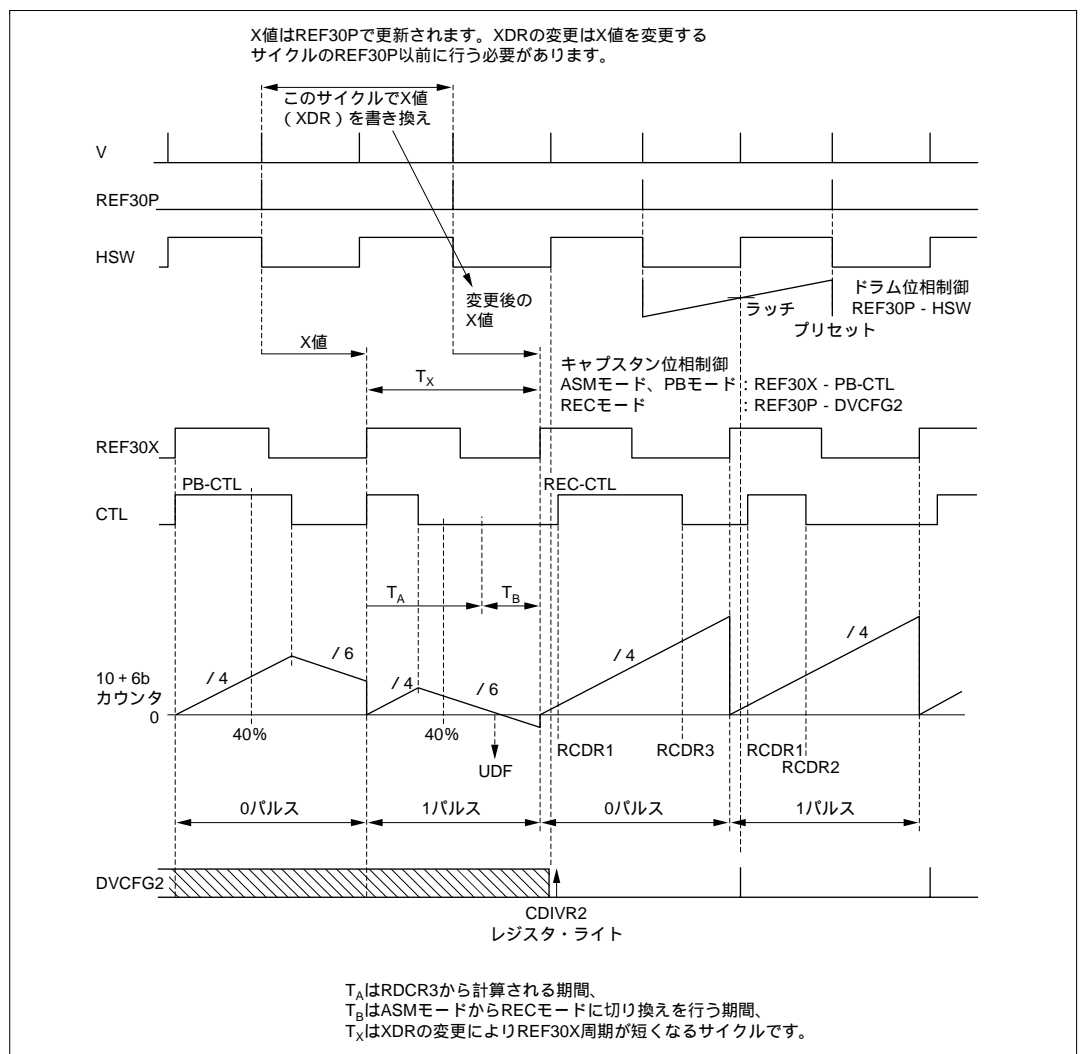


図 13.47 CTLM切り替えタイミング例
(REC時、REF30PとDVCFG2とで位相制御をする場合)

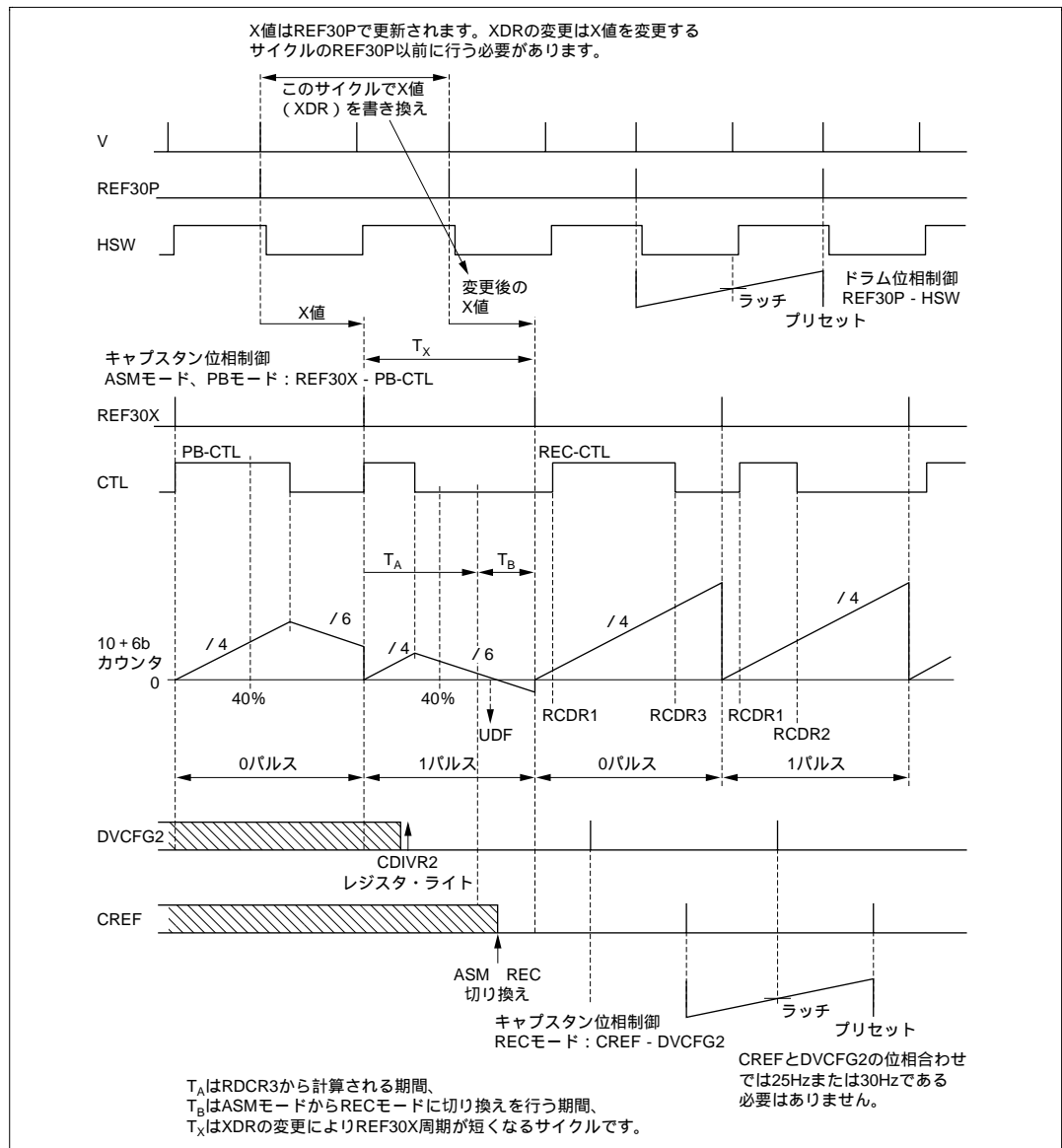


図 13.48 CTLM 切り替えタイミング例
(REC時、CREFとDVCFG2とで位相制御をする場合)

13.14.7 CTL入力部

CTL入力部には、シュミットアンプ、CTL検出回路および再検出回路により構成されています。CTL入力部のブロック図を図13.49に示します。図13.49は、図13.50の点線で囲った部分の拡大図です。

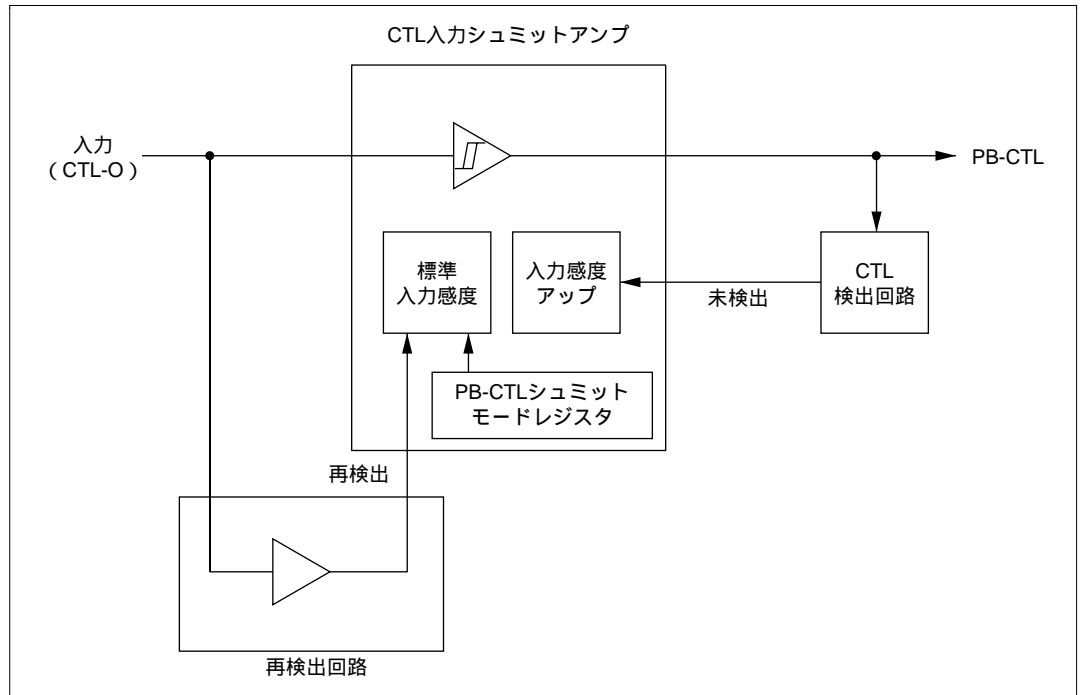


図13.49 CTLアンプのブロック図

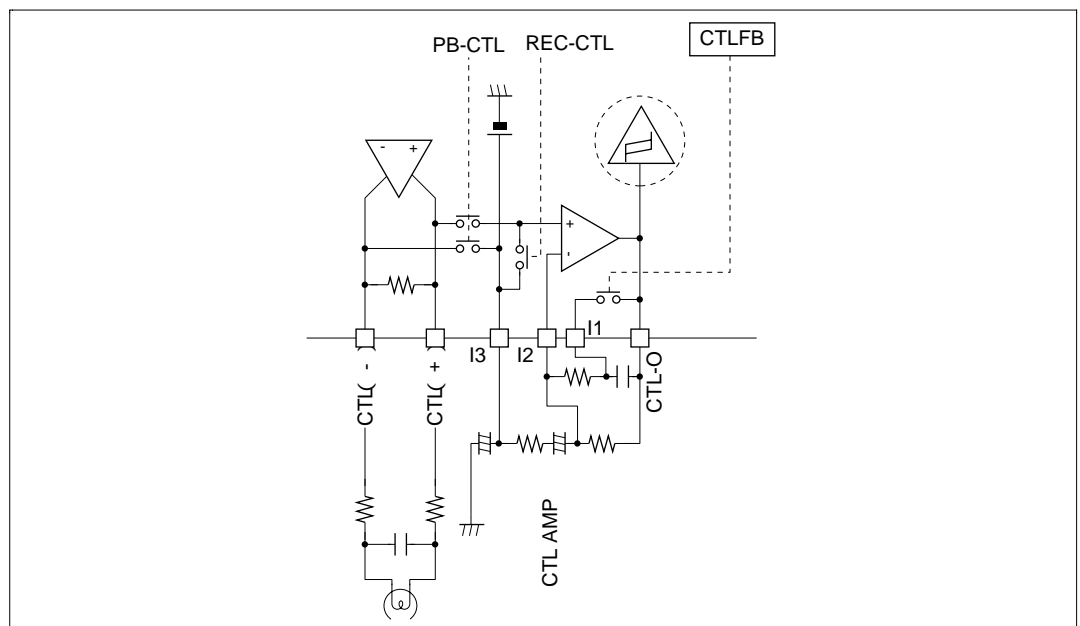


図13.50 CTL入力アンプ

(1) CTL 検出回路

CTL 検出回路は、一定期間に CTL パルスを検出できなかった場合、CTL 未検出として、シュミットレベルを標準レベルより、1 ランク感度の高いレベルに切り換えます。検出の判定期間は、最後に検出されたパルスの基準位相 (REF30 の位相) からのズレ (REF30 と CTL 信号との位相差) により異なり、基準信号の 3~4 周期の期間で、検出 / 未検出を判定します。

CTL 検出回路は、標準レベルを基準にして、PB-CTL 信号の、検出 / 未検出を行います。標準シュミットレベルは、シュミットモードレジスタ (SHMR) により、入力レベル (V_{TH}) を設定することができます。 V_{TH} は、モード 1 からモード 3 までの 3 種類あり、CTL 入力レベルの変化に対応できます。

V_{TH} の定義を図 13.51 に示します。

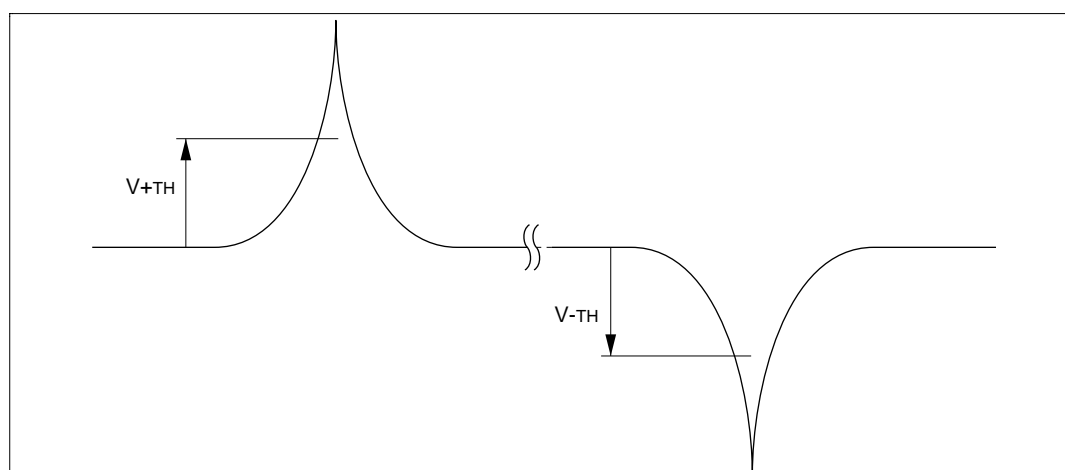


図 13.51 CTL 入力パルスの V_{TH}

(2) 再検出回路

再検出回路は、CTL 未検出となった後、再検出レベルの CTL 入力を検出すると、入力レベル (V_{TH}) を標準レベルに戻します。

(3) 動作

CTL 検出回路は、シュミットモードレジスタにより設定された V_{TH} により、CTL 入力が増幅を行います。入力レベルが、標準の V_{TH} レベルに満たない場合は、CTL 未検出として、 V_{TH} を感度の高いレベルに自動的に切り換えます。CTL 未検出後、再検出レベルの CTL 入力が増幅されると、 V_{TH} は標準レベルに戻ります。

PB-CTL の入力レベルは、シュミットモードレジスタで設定します。各モードの、再検出レベル、標準レベル、未検出レベルを、表 13.24 に示します。また、各レベルの精度を表 13.25 に示します。

表 13.24 各モードの V_{TH} レベル

MODE	$ V_{TH} $ (mV) (参考値)			備考
	未検出後	標準	再検出	
1	130	130		固定
2	130	260	500	
3	260	500	1000	
動作	入力レベル		検出のみ	
	標準レベルで PB-CTL が未検出となったときこの感度に移行		未検出となった後、再検出レベルが入力されると標準レベルに戻る	

表 13.25 各 V_{TH} の精度 (mV)

精度 (参考値)	130 ± 30
	260 ± 60
	500 ± 80
	1000 ± 100

【注】 V_{TH} の値は、参考値です。

(4) 間欠動作時の PB-CTL 波形整形回路

間欠動作時の PB-CTL は、SHMR のモード選択ビットをモード 1 に設定すると、立ち上がりエッジを検出してから一定時間後に立ち下がります。

立ち下がるまでの時間 T_{FS} (s) は内部 CTL 信号の立ち上がりエッジを検出してから、

$$\text{FWD} : T_{FS} = 32768 \times 4 / \quad (= f_{\text{OSC}} / 2)$$

$$\text{REV} : T_{FS} = 24576 \times 6 /$$

の期間となります。

$f_{\text{OSC}}=10\text{MHz}$ の場合、FWD で T_{FS} 26.2ms、REV で T_{FS} 29.5ms となります

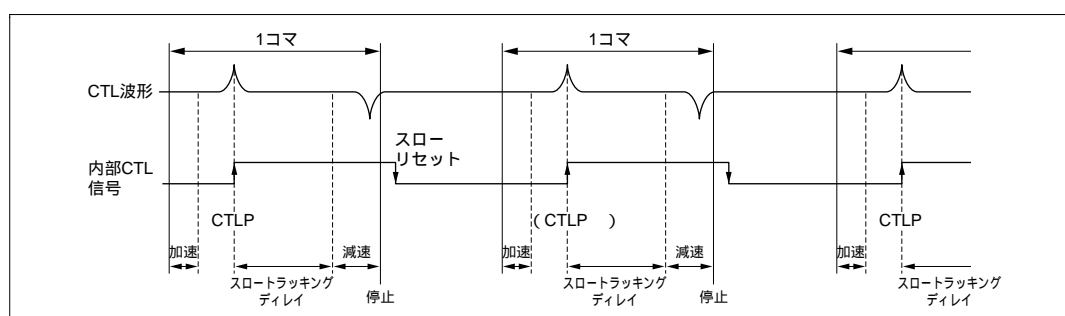


図 13.52 間欠動作時の PB-CTL 波形

13.14.8 デューティ判別回路

デューティ判別回路は、テープに記録されたコントロール信号（PB-CTL 信号）の周期を測定し、デューティを判別します。VISS/VASS 検出時のデューティ判別結果により、デューティ I/O フラグがセットまたはリセットされます。デューティ I/O フラグは、PB-CTL 信号のデューティが 40% 以上のとき 1 に、40% 以下のとき 0 になります。

ASM 検出時は、66% 以上のとき ASM マーク検出（デューティ I/O フラグが 0 になる）、66% 以下を未検出（デューティ I/O フラグが 1 になる）として判定します。

PB-CTL 信号のデューティを図 13.53 に示します。

検出方向は、CTL モードレジスタのビット 5（FW/RV ビット）により、正転 / 逆転を切り替えることができます

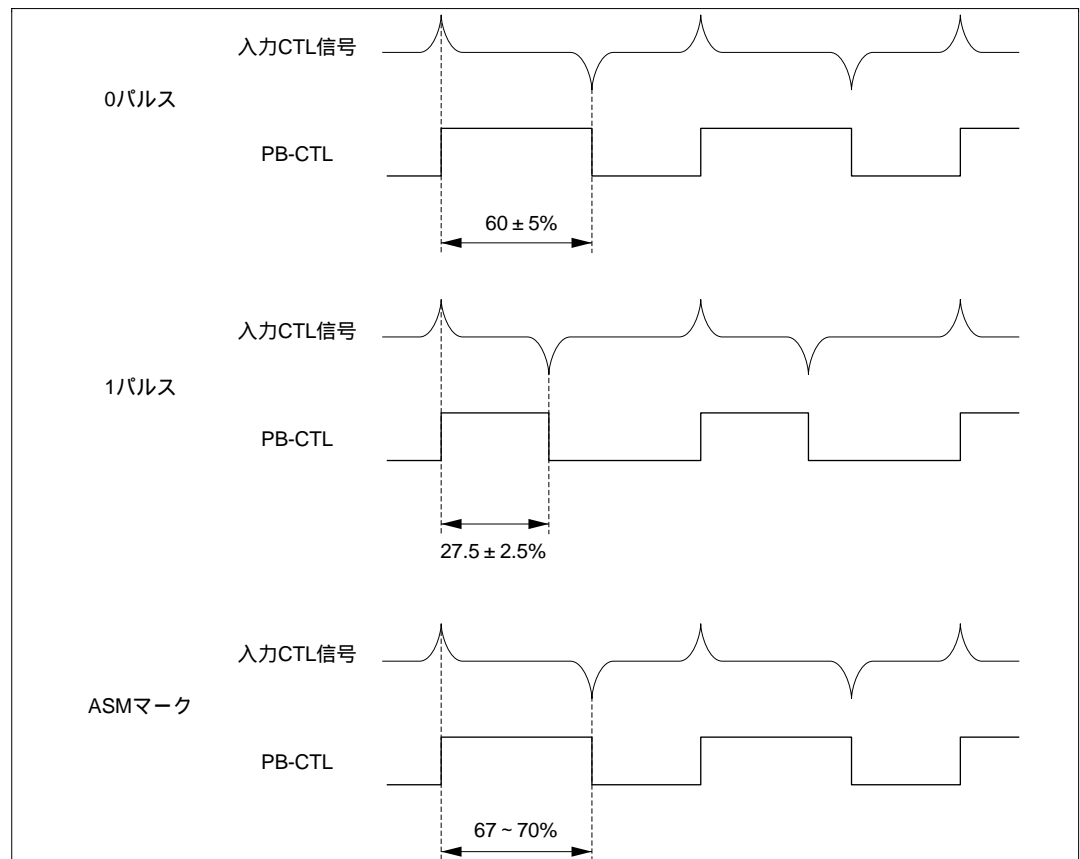


図 13.53 PB-CTL 信号のデューティ

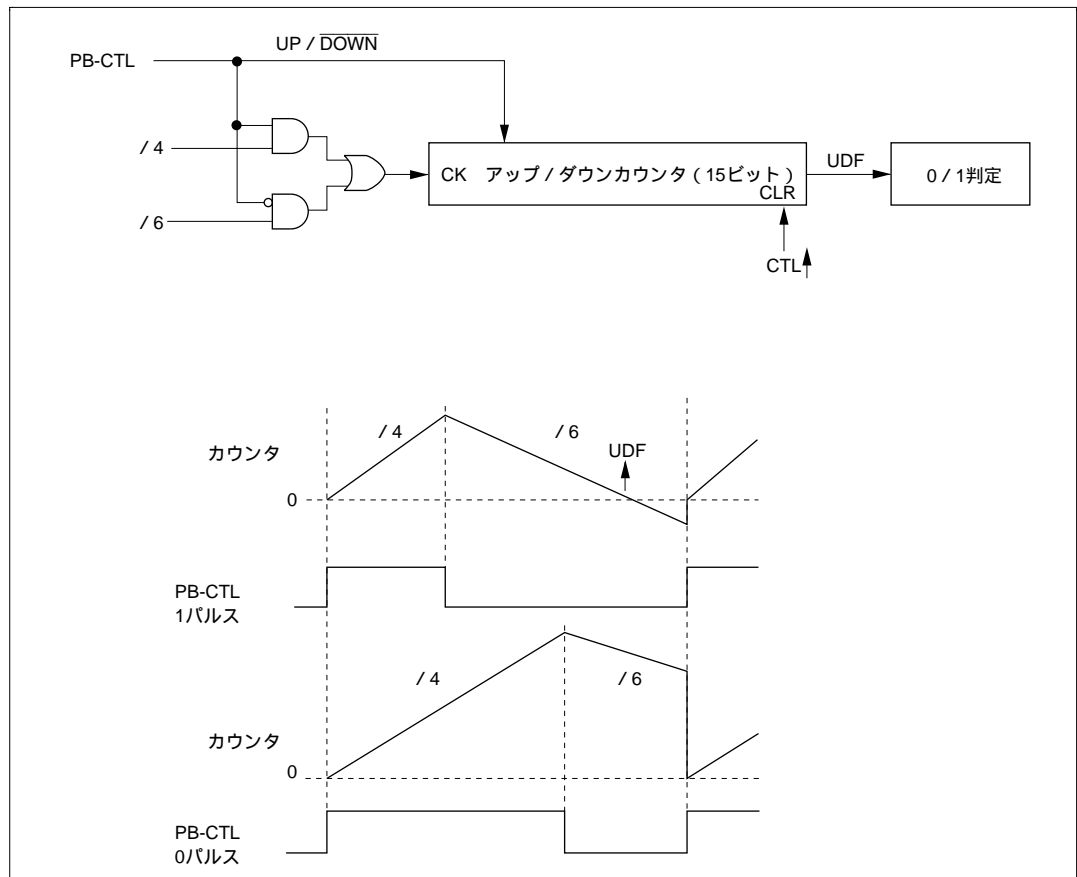


図 13.54 デューティ判別回路

図 13.54 にデューティ判別回路を示します。15 ビットのアップ/ダウンカウンタをアップカウント時 /4、ダウンカウント時 /6 でカウントすることにより 40% のデューティを判別します。PB-CTL 信号が High レベルのときアップカウント、Low レベルのときダウンカウントを行います。

(1) VISS (INDEX) 検出モード

VISS 検出は、VISS コントロール回路により行います。VISS コントロール回路は、PB-CTL 信号の 1 パルスをカウントします。パルスカウントが 32 カウントを越えると、VISS の INDEX を検出したとみなし、割り込み要求を発生すると同時に、デューティ I/O フラグに 0 を送ります。VISS 検出を図 13.55 に示します。

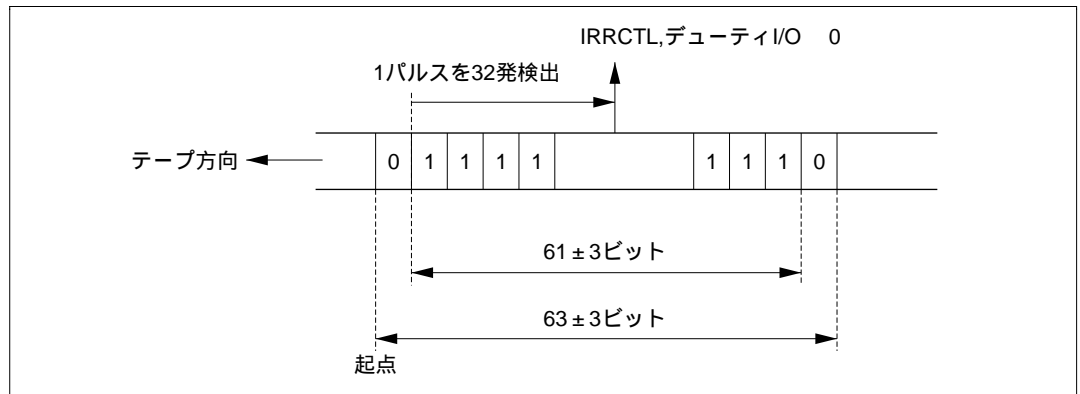


図 13.55 VISS (INDEX) 検出

(2) デューティ検出モード (VASS)

VASS 検出は、デューティ判別回路により行います。1CTL パルスごとに、ソフトウェアでデューティ I/O フラグをリードすることにより、INDEX の検出が可能です。

デューティ判別回路は、1CTL パルスごとに、デューティ判別結果をデューティ I/O フラグに送ると同時に、割り込み要求を発生します。CTL パルスが 1 (デューティ 40%以下) のとき、デューティ I/O フラグは 0 に、CTL パルスが 0 (デューティ 40%以上) のとき、デューティ I/O フラグは 1 になります。

デューティ I/O フラグは、1CTL パルスごとに変化します。割り込み処理により、PB-CTL 信号の周期内にリードしてください。VASS 検出を図 13.56 に示します。

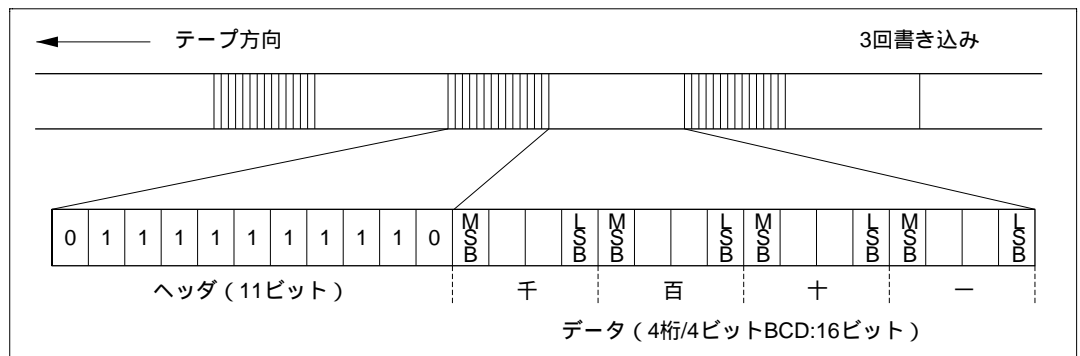


図 13.56 VASS (INDEX) のフォーマット

(3) アセンブル (ASM) マーク検出モード

ASM マーク検出は、デューティ判別回路により行います。PB-CTL 信号のデューティが 67%以上であることを検出すると、割り込み要求を発生すると同時に、デューティ I/O フラグが 0 になります。

デューティ I/O フラグは、1CTL パルスごとに変化します。割り込み処理により、PB-CTL 信号の周期内にリードしてください。

13.14.9 CTL 出力部

ライトコントロール回路で生成された REC-CTL 信号をテープに書き込むための、CTL ヘッドアンプが内蔵されています。

ライトコントロール回路は、VISS、VASS、ASM マークの書き込みおよび VISS、VASS の再書き込み時に、REC-CTL 信号のデューティを制御します。REC-CTL 信号のデューティは REC-CTL データレジスタ 1~3 (RCDR1~RCDR3) により設定します。 ($= f_{osc} / 2$) から時間を決め、換算値を RCDR に設定してください。VISS、VASS モードのときは、RCDR2 に $27.5 \pm 2.5\%$ 、RCDR3 に $60 \pm 5\%$ のデューティを設定してください。デューティ I/O フラグに 1 がライトされていると、 $60 \pm 5\%$ のデューティ、0 がライトされていると、 $27.5 \pm 2.5\%$ のデューティで、REC-CTL 信号をテープに書き込みます。

ASM マーク書き込みモードのときは、RCDR2 に 67~70% のデューティを設定してください。デューティ I/O フラグに 0 をライトすると、ASM マークを書き込みます。

1CTL 書き込み後の基準信号の立ち上がりで、割り込み要求が発生します。書き込みに用いる基準信号は、X 値補正回路の出力信号 (REF30X) による、1 フレーム周期の信号です。

REC-CTL 信号の生成タイミングを図 13.57 に示します。

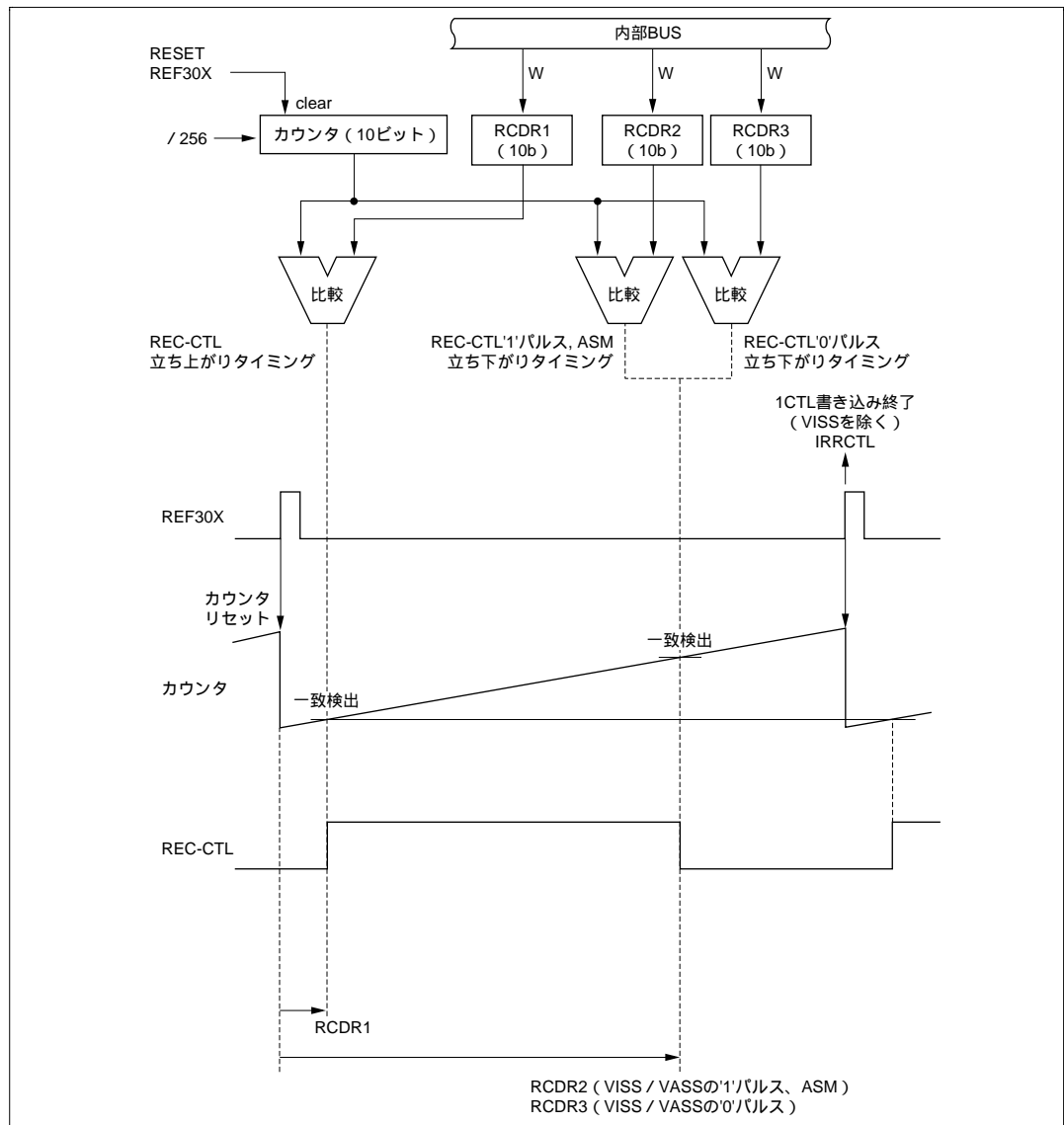


図 13.57 REC-CTL と RCDR1 ~ 3 の関係

REC-CTL 回路の 10 ビットのカウンタは、システムクロック ($= f_{osc} / 2$) の 256 分周のクロックでカウントを続けます。カウンタのクリアは、記録時は REF30X の立ち上がり、再書き込み時は PB-CTL の立ち上がりで行われます。REC-CTL の一致検出は、カウンタの値と各 RCDR の値とを比較することにより行います。

RCDR1~3 は、ソフトウェアから常に書き込み可能です。各一致検出が行われる以前に RCDR を変更すると、変更後の値で一致検出を行います。一致検出後に変更された値は、変更直後の REF30X の立ち上がりタイミングから有効になります。

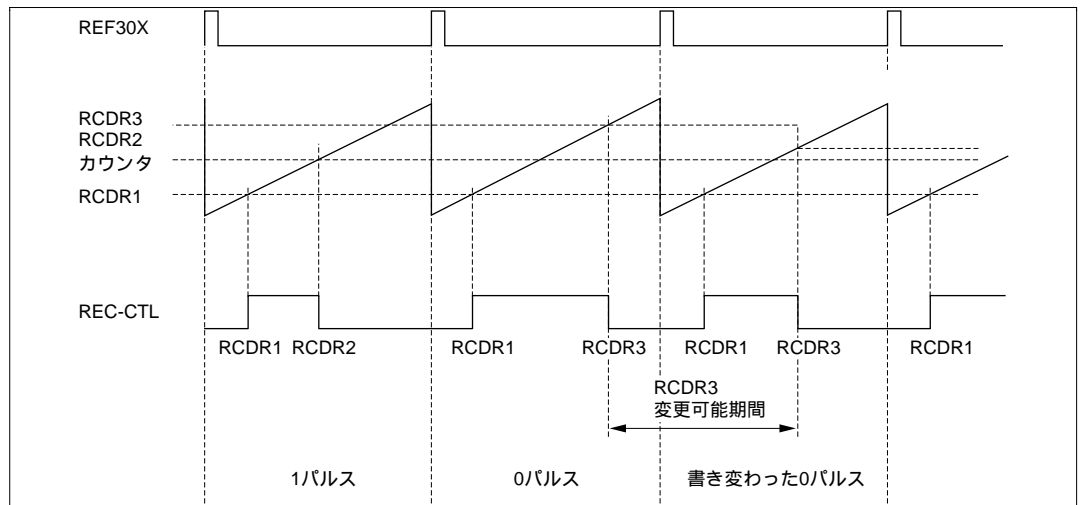


図 13.58 RCDR の変更例 (RCDR3 の例)

13.14.10 VISS コントロール回路

VISS コントロール回路は、VISS 検出、VISS 記録、VISS 再書き込み時に、CTL 回路を制御します。

VISS 検出は、デューティ判別回路でPB-CTL 信号の 1 パルスをカウントします。32 発の 1 パルスが検出されると VISS 検出と判断し、デューティ I/O フラグを 0 にすると同時に、割り込み要求を発生します。「13.14.8 (1) VISS (INDEX) 検出モード」を参照してください。

VISS 記録および VISS 再書き込み時は、INDEX コードを自動的に書き込みます。INDEX コードは、0 パルスを両端とする 62 ビットの 1 データ、計 64 ビットのデータです。

VISS ビット列とデューティ I/O フラグを図 13.59 に示します。

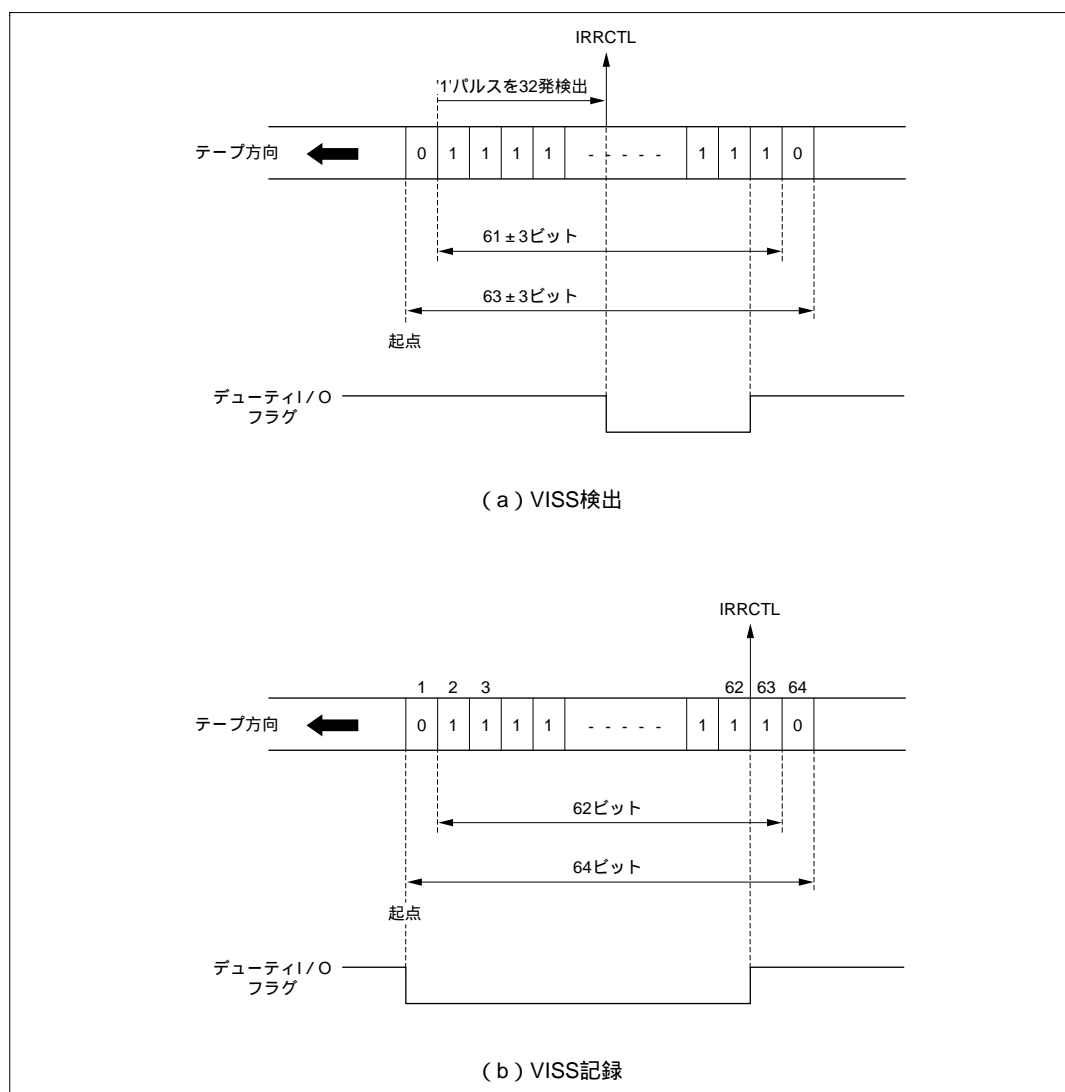


図 13.59 ビット例とデューティ I/O フラグ

13.14.11 台形波回路

台形波回路は、再書き込み時に、既に記録されている PB-CTL の立ち上がりエッジを残したまま、デューティのみを書き換える回路です。

再書き込み時は、PB-CTL の立ち上がりを基準に CTL パルスを書き込みます。再書き込みの CTL のデューティは、REC-CTL デューティデータレジスタ (RCDR2、RCDR3) により設定できます。このときの時間値 T2、T3 は、PB-CTL の立ち上がりからの値です。

再書き込みの波形を図 13.60 に示します。

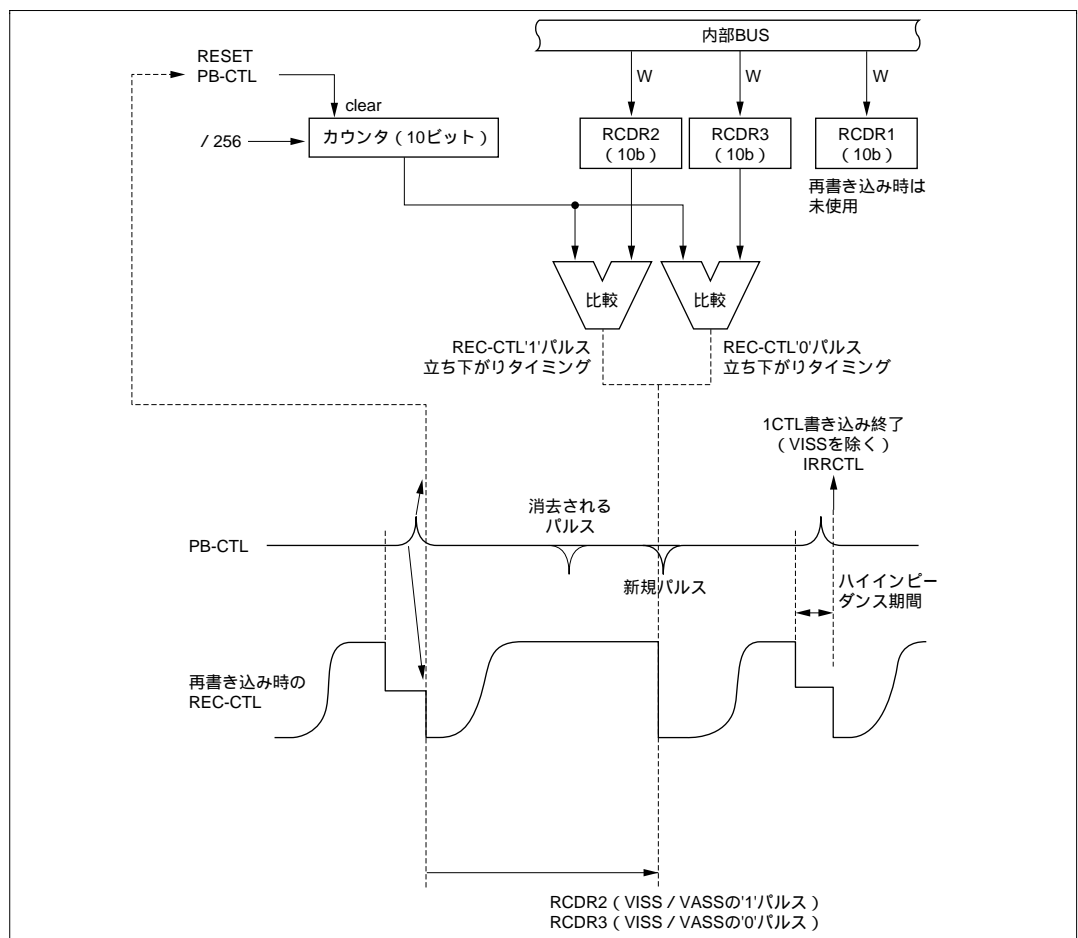


図 13.60 再書き込み時の REC-CTL と RCDR2、3 の関係

13.14.12 CTL 割り込みに関する注意事項

CTL 回路はリセット解除後 VASS 検出 (デューティ検出) 入力モードになっています。

CTL の端子状態によっては PB-CTL の入力パルスと誤認し、割り込み要求が発生することがあります。割り込み要求を許可する場合は、CTL 割り込み要求フラグをクリアしてから行ってください。

13.15 H8/3977R シリーズの検波感度

一般的な検波感度は、

$$\text{検波感度 } K = \frac{V}{T}$$

で表されます。

H8/3977R シリーズの検波感度は、

$$V = V_{CC}$$

$$T = \frac{4096}{GK} \times \frac{1}{f_{FG}}$$

から求めます。(図 13.61)

ただし、

$$= f_{osc}/2 \text{ (Hz)}$$

GK : デジタルフィルタのゲイン定数

($0 < GK < 1$)

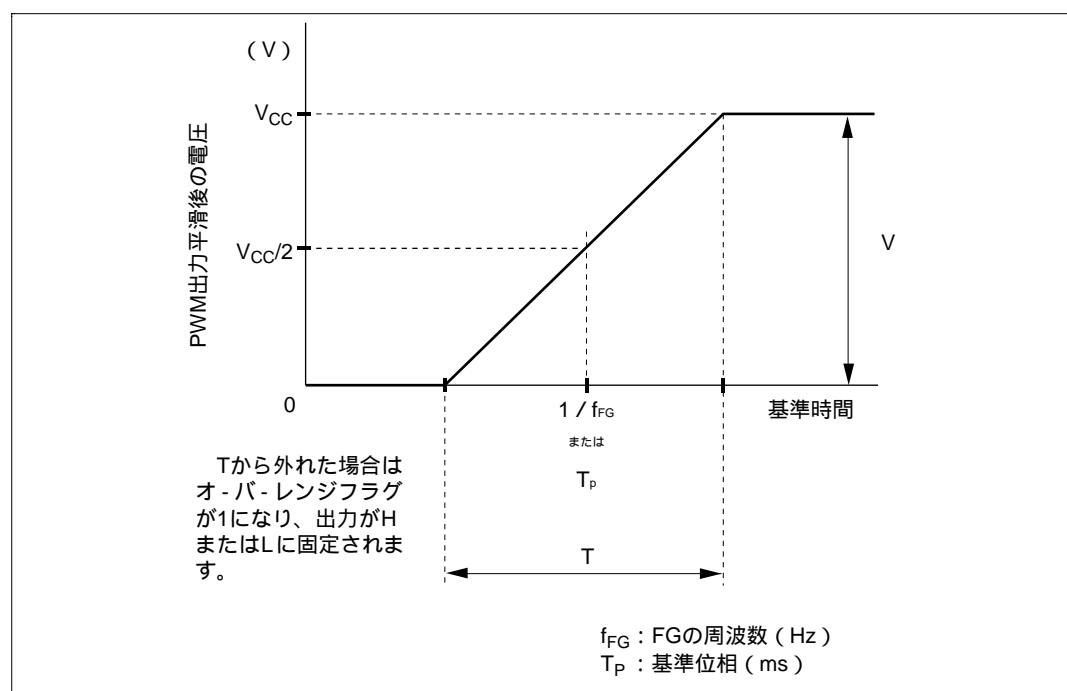


図 13.61 H8/3977R シリーズの検波感度

- ・速度系検波感度 K_s (mV/%)

FG の周波数が 1% の誤差を生じたときの、12bPWM の変化量を電圧で示します。

$$K_s = \frac{1}{f_{FG}} \times \left(1 - \frac{1}{1.01}\right) \times \frac{V_{CC}}{4096} \times (GK_s \times G_o)$$

f_{FG} : FG の周波数 (Hz)

: $f_{osc}/2$ (Hz)

V_{CC} : 電源電圧 (V) ($V_{CC(sv)}$ ではありません。)

($GK_s \times G_o$) : デジタルフィルタのゲイン定数 ($0 < GK_s < 1$)

G_o : 固定ゲイン 16 倍

- ・位相系検波感度 K_p (V/ms)

PG の位相が 1ms の誤差を生じたときの、12bPWM の変化量を電圧で示します。

$$K_p = \frac{V_{CC}}{4096} \times \frac{1}{1000} \times GK_p$$

: $f_{osc}/2$ (Hz)

V_{CC} : 電源電圧 (V) ($V_{CC(sv)}$ ではありません。)

GK_p : デジタルフィルタのゲイン定数 ($0 < GK_p < 1$)

H8/3977R シリーズのそれぞれの検波感度を、表 13.26 ~ 表 13.29 に示します。

表 13.26 ドラム速度系検波感度

f_{osc} (MHz)	DFG 周波数 (Hz)	検波ゲイン (mV/%)	V_{cc} (V)	定数
8	300	161.15	5	GKs=0FFF A=B=0 GKp=0000
	360	134.29		
	600	80.57		
	720	67.15		
10	300	201.44		
	360	167.86		
	600	100.72		
	720	83.93		

表 13.27 ドラム位相系検波感度

f_{osc} (MHz)	DFG 周波数 (Hz)	検波ゲイン (V/ms)	V_{cc} (V)	定数
8	DFG 周波数に 依存しない。	4.883	5	GKp=FFFF GKs=0FFF A=B=0
10		6.104		

表 13.28 キャプスタン速度系検波感度

f_{osc} (MHz)	DFG 周波数 (Hz)	検波ゲイン (mV/%)	V_{cc} (V)	定数
8	2160	22.38	5	GKs=0FFF A=B=0 GKp=0000
	1080	44.76		
	720	67.15		
	1513	31.95		
	757	63.86		
10	2160	27.98		
	1080	55.95		
	720	83.93		
	1513	39.94		
	757	79.83		

表 13.29 キャプスタン位相系検波感度

f_{osc} (MHz)	CFG 周波数 (Hz)	検波ゲイン (V/ms)	V_{cc} (V)	定数
8	CFG 周波数に 依存しない。	4.883	5	GKp=FFFF GKs=0FFF A=B=0
10		6.104		

・速度系と位相系の加算比

デジタルフィルタ部の速度誤差と位相誤差の加算比は図 13.62 に示す S、P から求めることができます。

S は、速度誤差検出回路が 0.5% の誤差を検出したときの速度検波感度です。

たとえば、 $f_{OSC} = 10\text{MHz}$ 、 $DFG = 720\text{Hz}$ のときのドラム系速度検波ゲインは $83.93\text{mV}/\%$ となっています(表 13.26 参照)。この値は速度誤差が 1% のときの検波感度なので、0.5% の誤差のときの検波感度 $E(0.5\%)$ は、

$$E(0.5\%) = 83.93 \times \frac{1}{2} = 41.965$$

よって、 $S = 41.965\text{mV} / 0.5\%$ となります。

P は、位相誤差検出回路が 0.5H の誤差を検出したときの位相系フィルタ通過後の位相検波感度です。

たとえば、 $f_{OSC} = 10\text{MHz}$ のときのドラム系位相検波ゲインは 6.104V/ms となっています(表 13.27 参照)。

はじめに、0.5H の 1 周期の時間を求めます。

NTSC 方式では、

H の周波数は $525 \times 30 = 15.75\text{kHz}$ から、1 周期は $63.492 \mu\text{s}$ 。

$$0.5H = 63.492 \times \frac{1}{2} = 31.746 \mu\text{s}$$

PAL および SECAM 方式では、

H の周波数は $625 \times 25 = 15.625\text{kHz}$ から、1 周期は $64.0 \mu\text{s}$ 。

$$0.5H = 64.0 \times \frac{1}{2} = 32.0 \mu\text{s}$$

位相誤差が 1ms のときの検波感度なので、0.5H (NTSC で約 31.746 μ s) の誤差のときの検波感度 $E(0.5H)$ は、

$$E(0.5H) = 6104 \times \frac{31.746}{1000} = 193.778$$

よって、 $E(0.5H) = 193.778\text{mV} / 0.5H$ となります。

$E(0.5H)$ は、フィルタを通過すると、 $(\frac{f_2}{f_1} \times K_p)$ 倍され、 P となります。

$$P = E(0.5H) \times \frac{f_2}{f_1} \times K_p$$

ここで、 f_1 、 f_2 は位相系フィルタの周波数、 $K_p < 1$ 。

デジタルフィルタ部の速度誤差と位相誤差の加算比の目安は、

$$S = P$$

とすることで求めることができます。

定数 GK_p は、 G_p と加算比として求めた K_p を設定します。

【注】 ここで求めた加算比は目安であり、実装上では合わせ込みが必要です。

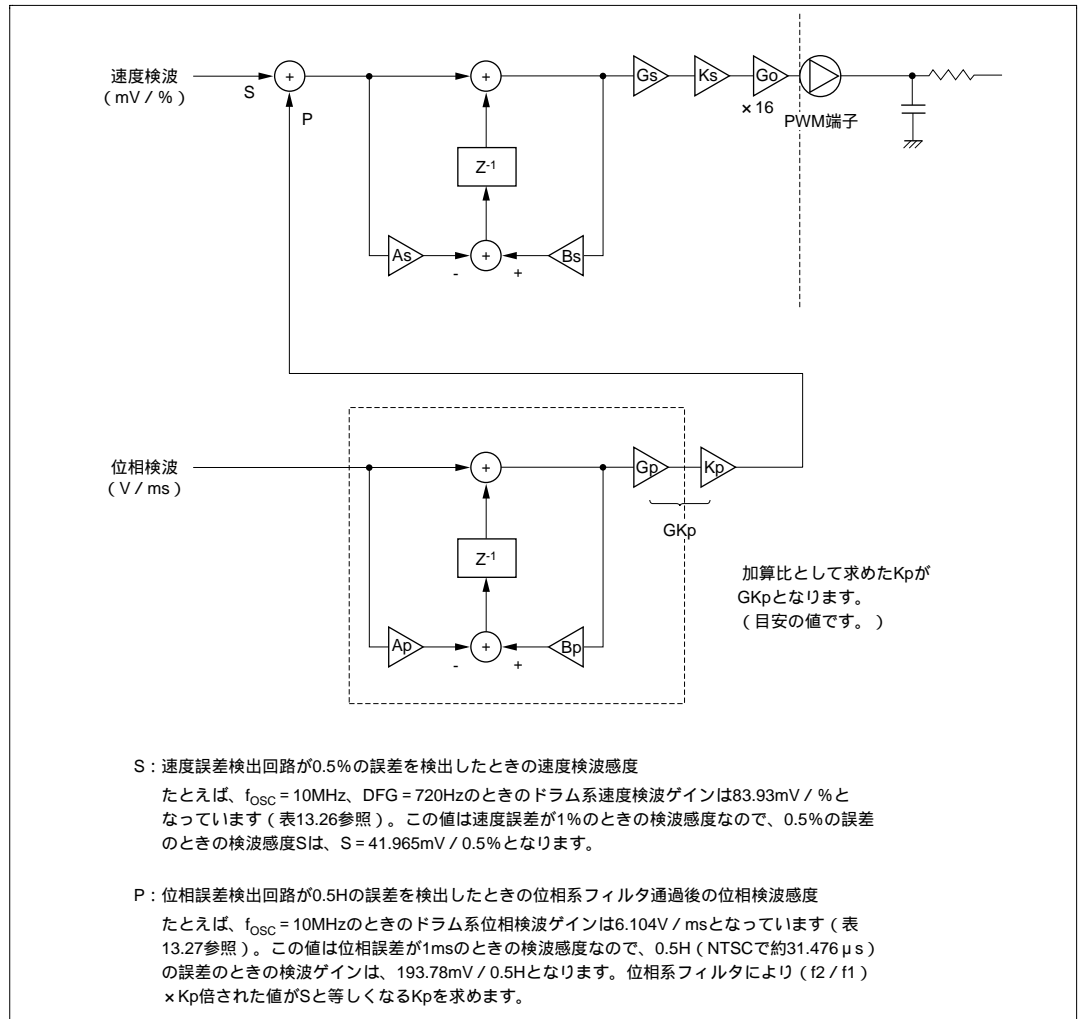


図 13.62 デジタルフィルタ加算比の目安値の求め方

14. 分周回路

第 14 章 目次

14.1	概要.....	441
14.2	CTL 分周回路.....	442
	14.2.1	ブロック図..... 442
	14.2.2	動作説明..... 443
	14.2.3	レジスタの説明..... 444
14.3	CFG 分周回路.....	445
	14.3.1	ブロック図..... 445
	14.3.2	動作説明..... 446
	14.3.3	各レジスタの説明..... 450

14.1 概要

このLSIにはPB-CTL信号（再生時のコントロールパルス信号）の分周回路と、CFG信号（キャプスタンモータのパルス）の分周回路とが内蔵されています。CTL分周回路は、倍速サーチ時のキャプスタン位相制御などに用いるため、PB-CTL信号からCTL分周信号（DVCTL）を生成します。CFG分周回路は2つの分周回路で構成され、キャプスタンの制御に用いるための分周信号を生成します。速度制御用のDVCFG信号、位相制御用のDVCFG2信号が生成されます。

14.2 CTL 分周回路

14.2.1 ブロック図

CTL 分周回路のブロック図を図 14.1 に示します。

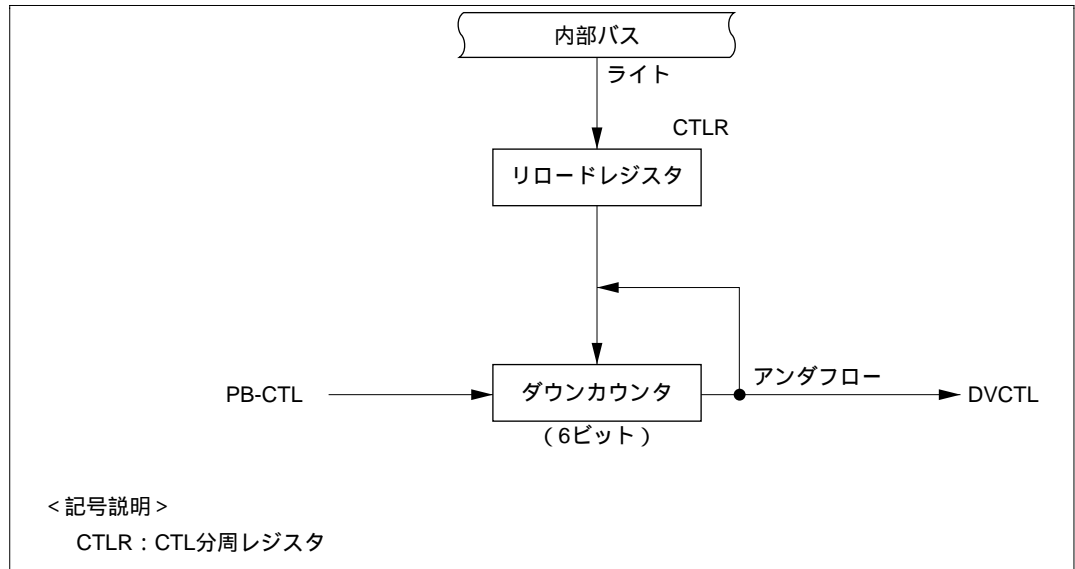


図 14.1 CTL 分周回路

14.2.2 動作説明

再生時に、テープ上に記録されたコントロールパルス信号は、コントロールヘッドにより再生され、CTL 端子に入力されます。コントロールパルス信号は、シュミットアンプで増幅、波形整形された後、PB-CTL 信号として、CTL 分周回路に入力されます。

この回路は、コントロールパルス (PB-CTL 信号) により、キャプスタンモータの位相制御をする場合に用います。分周された信号は、DVCTL 信号としてサーボ回路のキャプスタン位相制御系および、リロードタイマユニットに送られます。

CTL 分周回路は、6 ビットリロードタイマとなっており、リロードレジスタとダウンカウンタで構成されています。分周動作は、6 ビットの CTL 分周レジスタ (CTLR) に分周値を設定することにより行います。分周値は、リロードレジスタへの書き込みと同時に、ダウンカウンタにも書き込まれます。ダウンカウンタは PB-CTL 信号の立ち上がりで分周します。

PB-CTL 信号と分周波形 (DVCTL) を図 14.2 に示します。

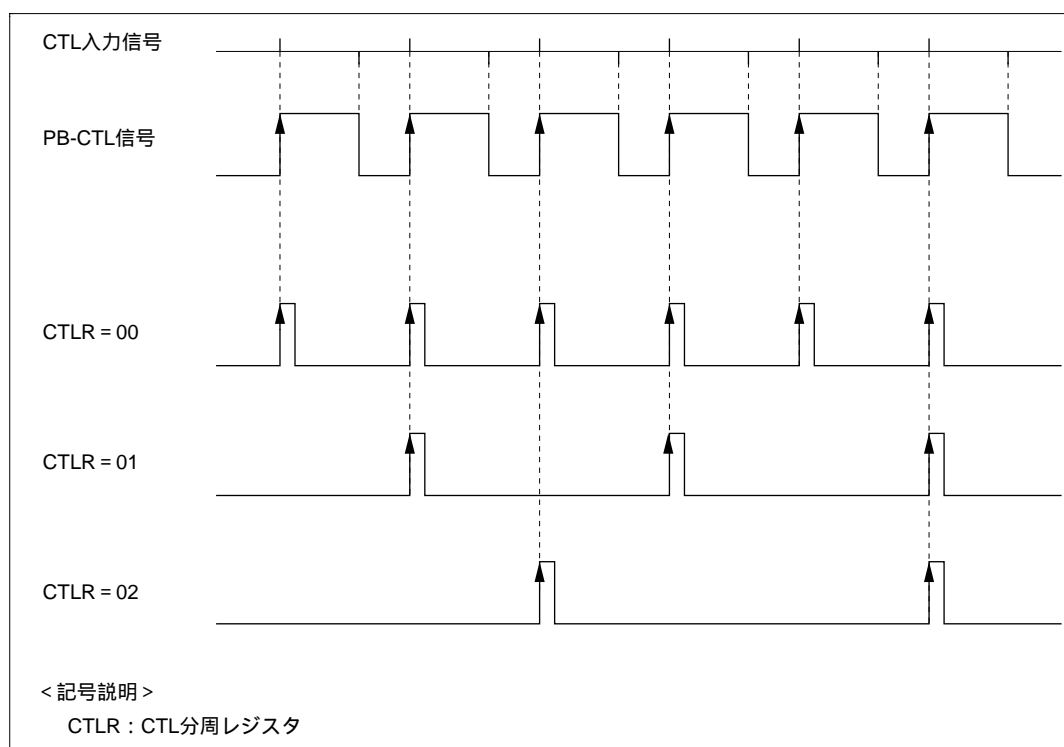


図 14.2 CTL 分周波形

14.2.3 レジスタの説明

(1) レジスタの構成

CTL 分周回路のレジスタ構成を表 14.1 に示します。

表 14.1 レジスタ構成

名 称	略 称	R/W	サイズ	初期値	アドレス
CTL 分周レジスタ	CTLR	W	バイト	H'00	H'FF8C

(2) CTL 分周レジスタ (CTLR)

ビット	:	7	6	5	4	3	2	1	0
				CTL5	CTL4	CTL3	CTL2	CTL1	CTL0
初期値	:	1	1	0	0	0	0	0	0
R/W	:	-	-	W	W	W	W	W	W

CTL 分周レジスタ (CTLR) は、PB-CTL の分周値 (N 分周のとき N-1) を設定するための、6 ビットのライト専用レジスタです。リードすると H'FF が読み出されます。

PB-CTL は、立ち上がりエッジで、N 分周されます。レジスタが 0 のときは分周動作は行われず、PB-CTL と同じ周期の DVCTL 信号が出力されます。

CTLR は、リセット時 H'00 に初期化されます。

14.3 CFG 分周回路

14.3.1 ブロック図

マスクタイマ付きの6ビットCFG分周回路のブロック図を図14.3に示します。

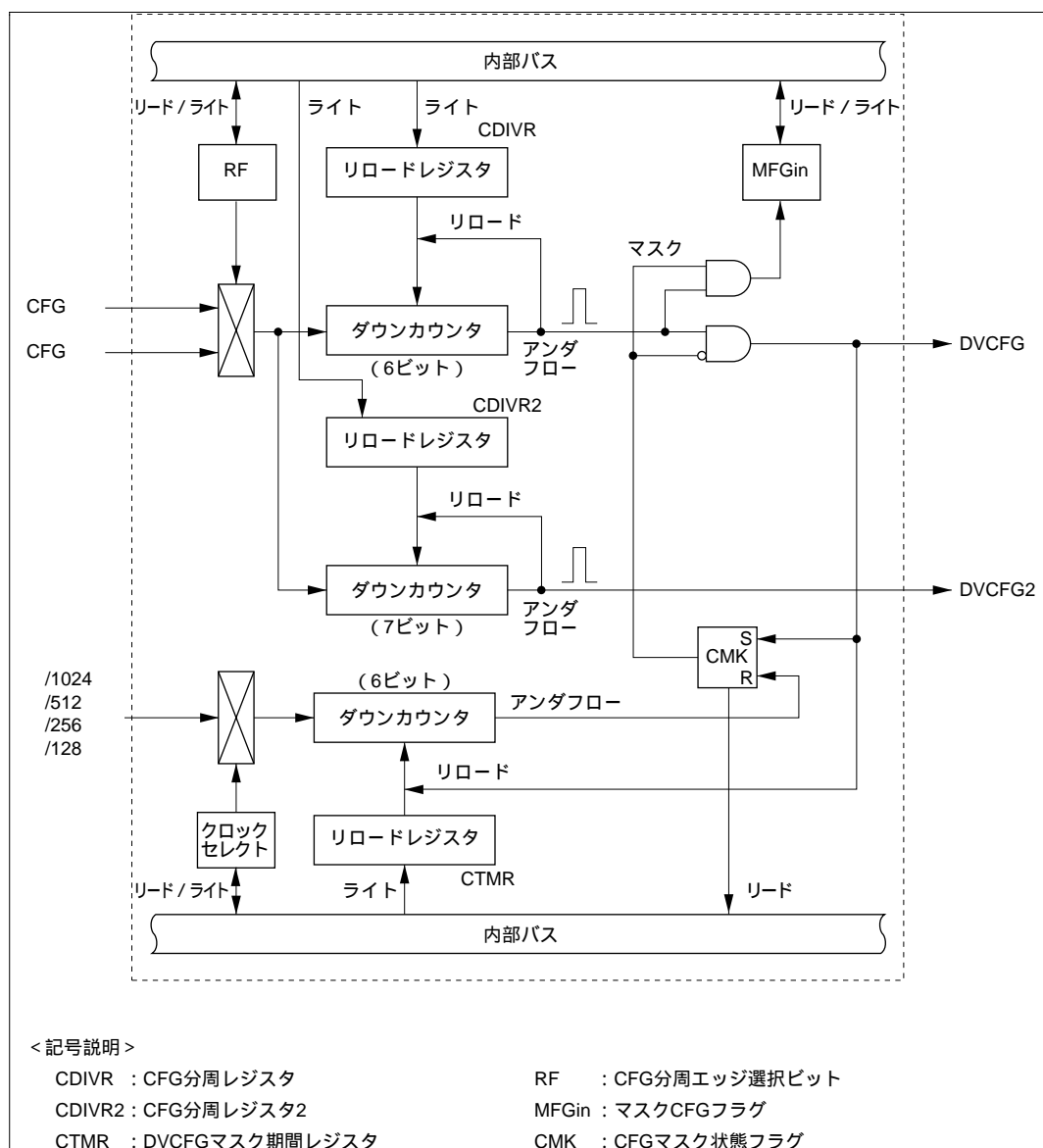


図 14.3 CFG 分周回路 (マスクタイマ付)

14.3.2 動作説明

(1) 分周回路

キャプスタンモータからの CFG パルスは、シュミットアンプにより増幅、波形整形されて CFG 信号として内部に送られます。波形整形回路により矩形波に整形された CFG 信号は、CFG 分周回路で分周されサーボの制御に使用されます。分周回路では、CFG 信号の立ち上がりエッジまたは両エッジを選択できます。

CFG 分周回路は、キャプスタン速度制御用のマスクタイマ付き 6 ビット分周回路と、キャプスタン位相制御用の 7 ビット分周回路から構成されています。

6 ビット分周回路は 6 ビットのリロードレジスタ (CFG 分周レジスタ : CDIVR)、6 ビットのダウンカウンタ、6 ビットのマスクタイマ (マスク期間設定可) で構成されています。分周動作は 6 ビットの CDIVR に分周値を設定することにより行います。分周値は CDIVR へのライトと同時にダウンカウンタにも書き込まれます。エッジを選択された CFG 信号は分周された後、マスクタイマを経て、DVCFG 信号としてキャプスタン速度誤差検出回路に送られます。

7 ビット分周回路は 7 ビットのリロードレジスタ (CFG 分周レジスタ 2 : CDIVR2) と 7 ビットのダウンカウンタで構成されています。7 ビット分周回路にはマスクタイマは付属していません。分周動作は 7 ビットの CDIVR2 に分周値を設定することにより行います。分周値は CDIVR2 へのライトと同時にダウンカウンタにも書き込まれます。エッジを選択された CFG 信号は分周された後、DVCFG2 信号としてキャプスタン位相誤差検出回路とリニアタイムカウンタ (LTC) に送られます。分周動作は分周値をライトした時点から開始します。位相制御のために同期化が必要な場合は、CDIVR2 に分周値をライトすることにより可能です (ASM モードから REC モードへの切り換え時の位相制御の同期化は、CDIVR2 に分周値をライトすることにより行います)。

ダウンカウンタは、DVCFG コントロールレジスタ (CDVC) の RF ビットが 0 のとき CFG の立ち上がりエッジで、RF ビットが 1 のとき、両エッジで分周します。

分周波形例を図 14.4 に示します。

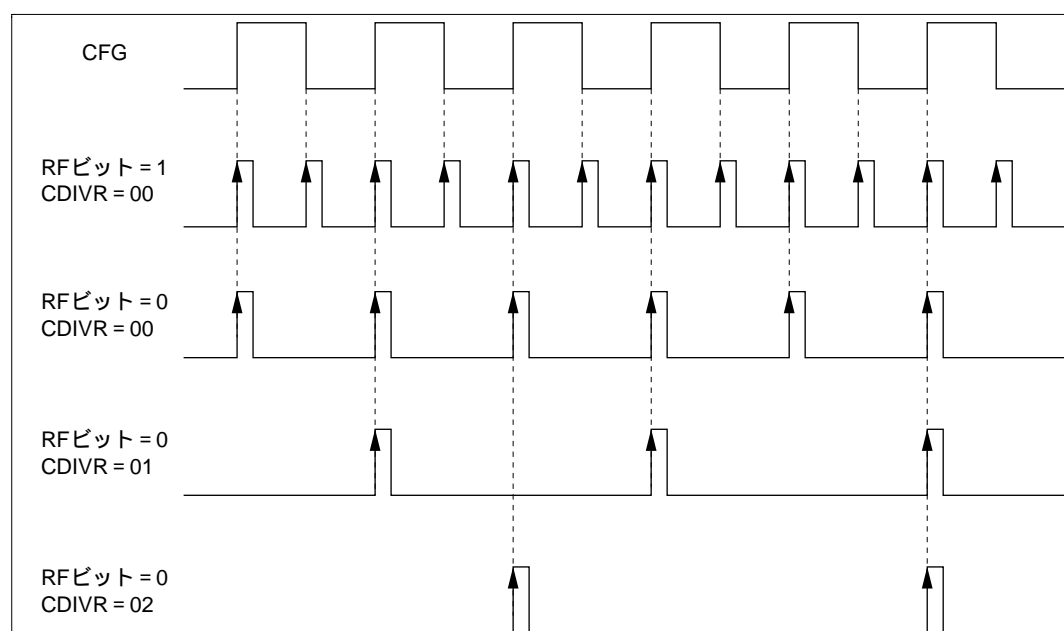


図 14.4 分周波形例

(2) マスクタイマ

キャプスタンマスクタイマは、分周クロックをクロックソースとする6ビットのリロードタイマです。

マスクタイマはキャプスタン速度制御用のDVCFG信号をマスクします。

キャプスタンマスクタイマは、キャプスタンモータがスロー/スチルから高速サーチまで、回転速度の変化する範囲が広いために起こるモータの異常回転(暴走)により、エッジ検出が必要以上に行われなないように一定時間エッジ検出をマスクするためのタイマです。

キャプスタンマスクタイマは、CFGの分周後のエッジ検出によりタイマがスタートし、タイマ動作中はエッジ検出信号をマスクします。マスク信号を図14.5に示します。

マスクタイマの状態は、DVCFGコントロールレジスタ(CDVC)のCMKフラグをリロードすることにより判別できます。

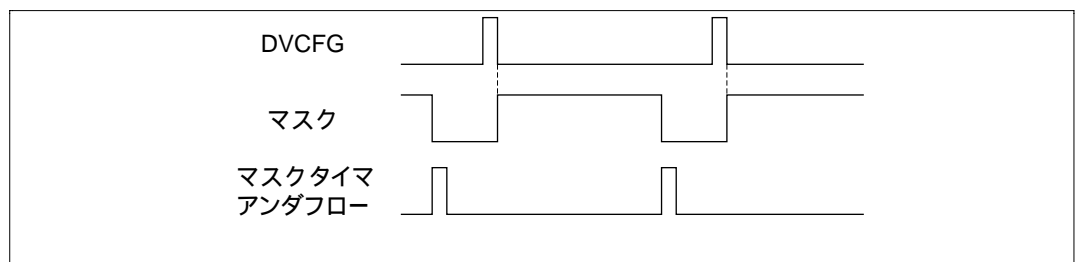


図 14.5 マスク信号

CFG マスクタイマの動作例を図 14.6 および図 14.7 に示します。

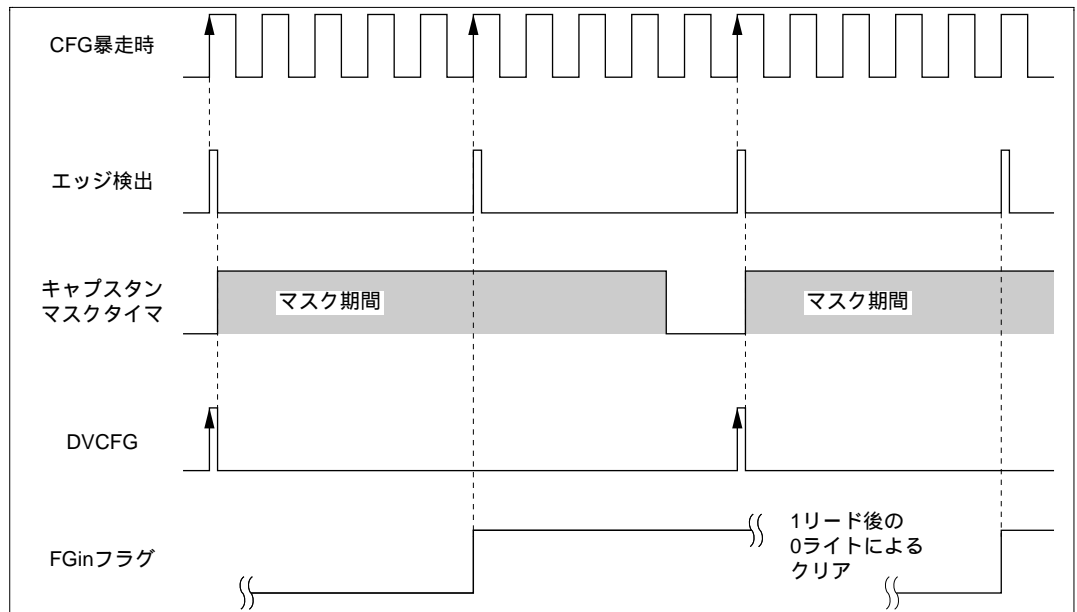


図 14.6 CFG マスクタイマ動作例 (キャプスタンモータ暴走時)

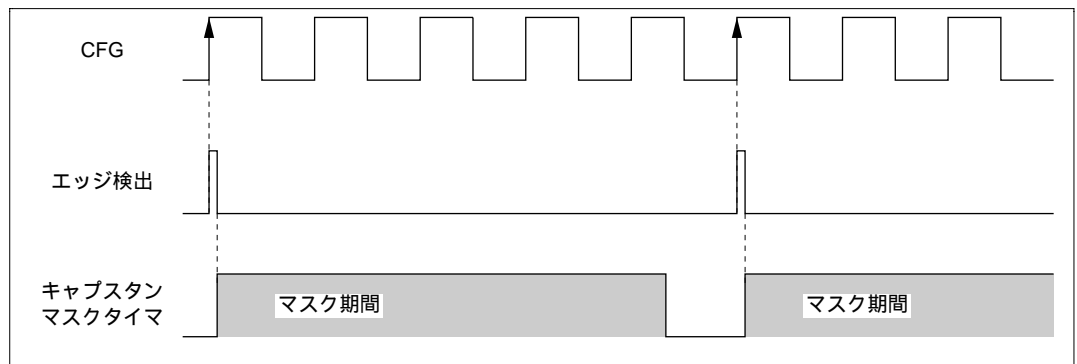


図 14.7 CFG マスクタイマの動作例 (キャプスタンモータ正常動作時)

14.3.3 各レジスタの説明

(1) レジスタの構成

CFG分周回路のレジスタ構成を表14.2に示します。

表 14.2 レジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス
DVCFG コントロールレジスタ	CDVC	R/W	バイト	H'78	H'FF8F
CFG 分周レジスタ	CDIVR	W	バイト	H'C0	H'FF8D
CFG 分周レジスタ 2	CDIVR2	W	バイト	H'80	H'FF88
DVCFG マスク期間レジスタ	CTMR	W	バイト	H'FF	H'FF8E

(2) DVCFG コントロールレジスタ (CDVC)

ビット	7	6	5	4	3	2	1	0
	MFGin		CMK			RF	PS1	PS0
初期値	0	1	1	1	1	0	0	0
R/W	R/W*		R			R/W	R/W	R/W

【注】 * 0 ライトのみ有効です。

キャプスタン分周回路を制御する5ビットのレジスタです。
リセット時、H'78に初期化されます。

ビット7：マスクCFGフラグ (MFGin)

マスクタイマがマスク期間中に分周信号が発生したことを示すフラグです。クリアは0ライトにより行います。ソフトウェアでは1リードを行った後(MOV命令、ビット操作命令などによる)、0ライトの操作を行ってください。また、セット優先のフラグとなっており、MFGinフラグのセット条件と0ライトが同時に起きた場合、0ライトは無効になります。

低消費電力モード時、MFGinフラグは0クリアされます。

ビット7	説 明
MFGin	
0	CFG 正常動作 (初期値)
1	マスク中に DVCFG が検出されたことを示します (暴走検出)

ビット6：リザーブビット

リザーブビットです。ライトは無効です。リードすると1が読み出されます。

ビット5：CFG マスク状態フラグ (CMK)

マスクの状態を示すフラグです。低消費電力モードからの復帰時には初期化され、1になります。

ビット5	説明
CMK	
0	キャプスタンマスクタイマがマスクを解除していることを示します。
1	キャプスタンマスクタイマがマスク中であることを示します。 (初期値)

ビット4、3：リザーブビット

リザーブビットです。ライトは無効です。リードすると1が読み出されます。

ビット2：CFG 分周エッジ選択ビット (RF)

分周するCFG信号のエッジを選択するビットです。

ビット2	説明
RF	
0	CFGの立ち上がりエッジによる分周動作を行います。 (初期値)
1	CFGの両エッジによる分周動作を行います。

ビット1、0：CFG マスクタイマクロック選択ビット (PS1、PS0)

分周CFGマスクタイマのクロックソースを選択するビットです。

ビット1	ビット0	説明
PS1	PS0	
0	0	/1024 (初期値)
	1	/512
1	0	/256
	1	/128

(3) CFG 分周レジスタ (CDIVR)

ビット	:	7	6	5	4	3	2	1	0
				CDV5	CDV4	CDV3	CDV2	CDV1	CDV0
初期値	:	1	1	0	0	0	0	0	0
R/W	:			W	W	W	W	W	W

CFG 分周レジスタ (CDIVR) は、CFG の分周値 (N 分周のとき N-1) を設定するための、6 ビットのライト専用レジスタです。リードすると H'FF が読み出されます。

分周値は、リロードレジスタへの書き込みと同時に、ダウンカウンタにも書き込まれます。

CFG は、立ち上がりまたは両エッジにより、N 分周されます。レジスタの値が 0 のときは分周動作は行わず、DVCFG 信号は CFG の入力周期と同じ信号を出力します。DVCFG 信号は、キャプスタン速度誤差検出回路に送られます。

リセット時は、キャプスタン分周レジスタ、ダウンカウンタとも、H'C0 に初期化されます。

(4) CFG 分周レジスタ 2 (CDIVR2)

ビット	:	7	6	5	4	3	2	1	0
			CDV6	CDV5	CDV4	CDV3	CDV2	CDV1	CDV0
初期値	:	1	0	0	0	0	0	0	0
R/W	:		W	W	W	W	W	W	W

CFG 分周レジスタ 2 (CDIVR2) は、CFG の分周値 (N 分周のとき N-1) を設定するための、7 ビットのライト専用レジスタです。リードすると H'FF が読み出されます。

分周値は、リロードレジスタへの書き込みと同時に、ダウンカウンタにも書き込まれます。

CFG は、立ち上がりまたは両エッジにより、N 分周されます。レジスタの値が 0 のときは分周動作は行わず、DVCFG2 信号は CFG の入力周期と同じ信号を出力します。DVCFG2 信号は、キャプスタン位相誤差検出回路、リニアタイムカウンタ (LTC) に送られます。DVCFG2 回路には、マスクタイマ機能はありません。

DVCFG2 信号用分周カウンタは CDIVR2 にデータをライトした時点から分周動作を開始します。位相あわせなど同期化が必要な場合は、CDIVR2 へのライトにより行ってください。

リセット時は、キャプスタン分周レジスタ、ダウンカウンタとも、H'80 に初期化されます。

(5) DVCFG マスク期間レジスタ (CTMR)

ビット	:	7	6	5	4	3	2	1	0
				CPM5	CPM4	CPM3	CPM2	CPM1	CPM0
初期値	:	1	1	1	1	1	1	1	1
R/W	:			W	W	W	W	W	W

DVCFG マスク期間レジスタ (CTMR) は、6 ビットのライト専用レジスタです。マスクタイマ (ダウンカウンタ) のリロードレジスタとなっており、CFG のマスク期間を設定してください。マスク期間は CDVC のビット 1,0 で指定されたクロックと設定値 (N - 1) により決まります。

マスク期間 = N × クロック周期 CTMR をライトするとマスクタイマにも同時に書き込まれます。

リセット時、HFF に初期化されます。

15. OSD

第 15 章 目次

15.1	概要.....	457
15.1.1	特長.....	457
15.1.2	ブロック図.....	458
15.1.3	端子構成.....	459
15.1.4	データ構成.....	459
15.1.5	TV 方式との対応.....	460
15.2	文字データ ROM (CGROM)	461
15.3	表示データ RAM	464
15.4	レジスタの説明.....	466
15.4.1	レジスタ構成	466
15.4.2	OSD レジスタ 1 (OSDR1)	466
15.4.3	OSD レジスタ 2 (OSDR2)	470
15.4.4	OSD レジスタ 3 (OSDR3)	472
15.4.5	OSD レジスタ 4 (OSDR4)	474
15.4.6	OSD レジスタ 5 (OSDR5)	478
15.4.7	OSD レジスタ 6 (OSDR6)	480
15.5	動作の説明.....	482
15.5.1	YCO、YEO 出力.....	482
15.5.2	出力信号.....	482
15.5.3	ブルーバック時の輝度レベル.....	482
15.5.4	1 ドットの大きさ.....	484
15.5.5	4/2fsc の発振を使用しない場合の OSD.....	484
15.5.6	OSD フォントについて	484
15.5.7	割り込み.....	485
15.5.8	縁取りに関する注意事項.....	487
15.5.9	OSD 用発振器.....	490
15.5.10	AFC (Automatic Frequency Control)	493

15.5.11	CPU 動作モードにおける OSD 動作状態.....	496
15.5.12	OSD の注意事項	497

15.1 概要

本 LSI は、OSD (On Screen Display) 機能を内蔵しています。TV 用映像信号に任意の文字または表示パターンを重畳することができます。

15.1.1 特長

画面構成：24 文字 × 10 行

文字サイズ：12 ドット × 18 ドット

文字の種類：128 文字種^{*1}

ブルーバック表示およびスーパーインポーズ表示に対応（文字色は白）

背景色^{*2}：青（ブルーバック表示時）

表示の先頭位置：

- ・ 水平方向に 4 ドット単位で 64 通り（最大 256 ドット）
- ・ 垂直方向に 4 ライン単位で 64 通り（最大 256 ライン）

デジタル出力：

YCO（文字データビット列）と YEO（エッジデータビット列）の出力（各 2 系統）

プリンキング：1 文字単位で設定可能。

プリンキング周期は、約 0.5s または 1s のいずれかに設定可。

カーソル表示^{*3}：1 文字単位で当該文字の背景を黒で塗りつぶすことが可能。

ただし、プリンキングとの混在はできません。（プリンキングまたはカーソル表示の切り替えはレジスタにより行います。）

縁取り

表示の拡大：縦 × 横で 1 × 1 倍、2 × 2 倍、4 × 4 倍

NTSC / PAL / SECAM に対応

レジスタによる輝度レベルの設定（文字、背景、縁取り）

簡易 AFC 内蔵

VD 割り込み、ノイズ検出割り込み（同期信号検出回路参照）

【注】 *1 文字コード H'7F のスルー表示を含みます。

*2 ブルーバックモードでの背景色は、PAL 方式の一部と SECAM 方式では、黒のみの対応となっています。「15.1.5TV 方式との対応」を参照してください。

*3 12 × 18 ドットの 1 文字の背景部分を黒（縁取りの輝度レベル）とします。スーパーインポーズ時、ブルーバック時とも使用可能です。文字色は白（文字の輝度レベル）です。カーソル表示例を図 15.1 に示します。

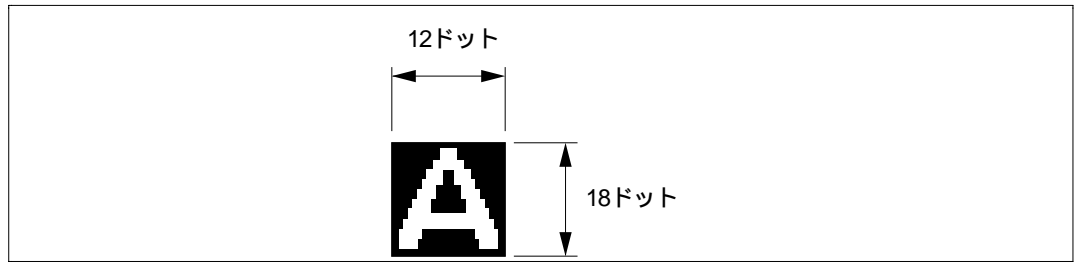


図 15.1 カーソル表示例

15.1.2 ブロック図

OSDのブロック図を図 15.2 に示します。

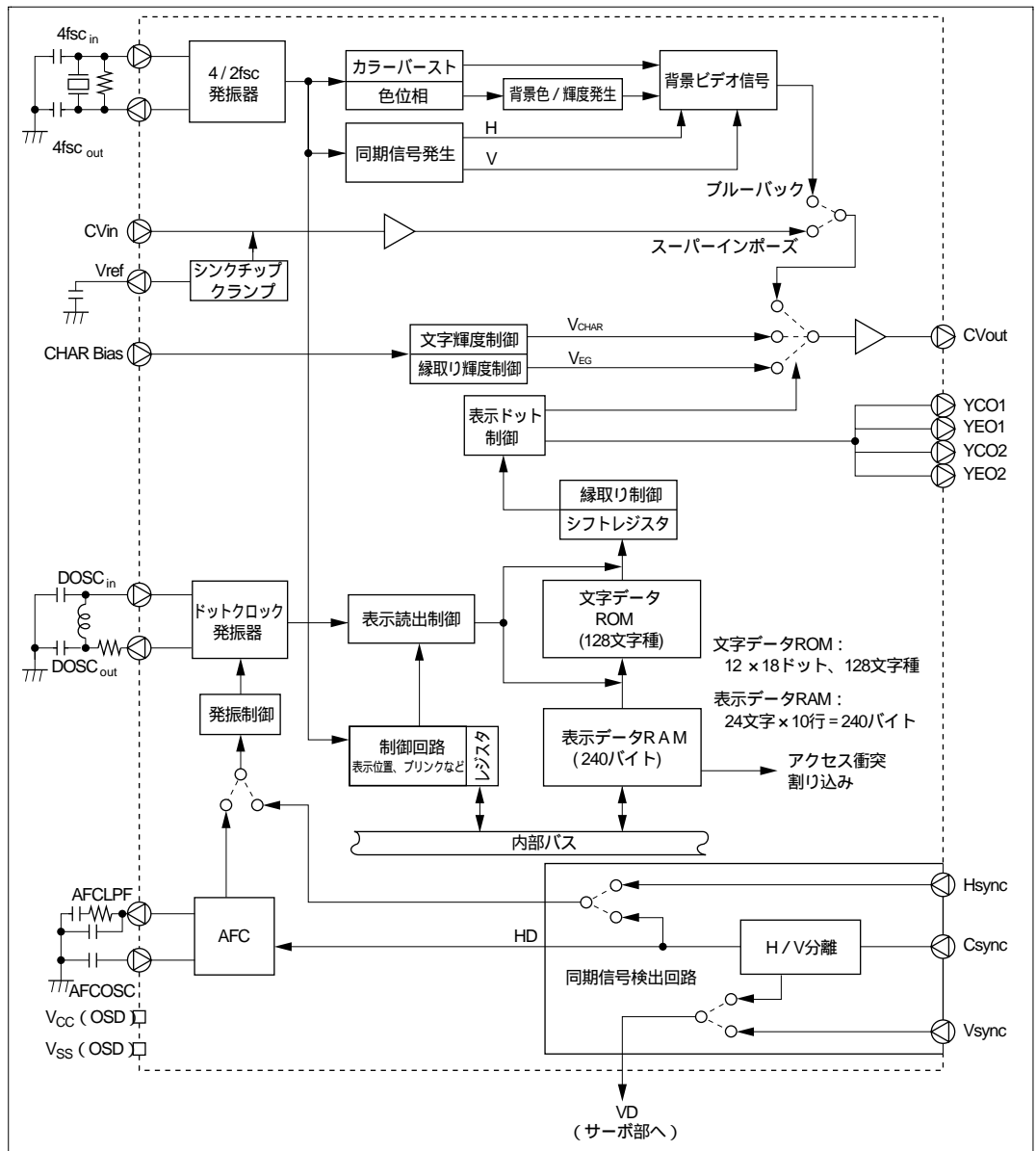


図 15.2 OSD ブロック図

15.1.3 端子構成

OSDの端子構成を表15.1に示します。

表 15.1 端子構成

名 称	略 称	入出力	機 能
OSD用アナログ電源	V _{CC} (OSD)	入力	OSD用アナログ電源
OSD用アナログGND	V _{SS} (OSD)	入力	OSD用アナログGND
OSDドットクロック発振器	DOSC _{in}	入力	ドットクロック発生用LCまたはRC発振器
OSDドットクロック発振器	DOSC _{out}	出力	ドットクロック発生用LCまたはRC発振器
4/2fsc発振器	4fsc _{in}	入力	4fscまたは2fsc発振器(水晶発振子または外部クロック)
4/2fsc発振器	4fsc _{out}	出力	4fscまたは2fsc発振器
複合ビデオ信号入力	CVin	入力	複合ビデオ信号入力(2V _{pp} 、シンクチップクランプ回路付)
複合ビデオ信号出力	CVout	出力	複合ビデオ信号出力(2V _{pp})
基準バイアス、 クランプバイアス電源端子	Vref	出力	基準バイアス、クランプバイアスモニタ端子
キャラクタデータ出力	YCO1	出力	キャラクタデータ出力(デジタル出力)、 ポートと兼用
	YCO2		
キャラクタ縁取りデータ出力	YEO1	出力	キャラクタの縁取りデータ出力 (デジタル出力)、ポートと兼用
	YEO2		
同期信号入力	Hsync/Csync	入力	水平/複合同期信号入力
同期信号入力	Vsync	入力	垂直同期信号入力、ポートと兼用
文字外部輝度レベル	CHARBias	入力	文字輝度レベル外部調整端子
AFC用LPF端子	AFCLPF	入力	AFCのLPF外付け端子
AFC用発振端子	AFCOSC	入力	AFC用発振端子

15.1.4 データ構成

OSDのデータ構成を表15.2に示します。

表 15.2 データ構成

データ	略称	R/W	サイズ	アドレス
文字データROM	CGROM		8192バイト	H'10000~H'11FFF
表示データRAM		R/W	240バイト	H'F000~H'F0EF
OSDレジスタ1~6	OSDR1~OSDR6	R/W	6バイト	H'FF81~H'FF86

15.1.5 TV方式との対応

TV方式と表示の対応を表15.3に示します。4/2fsc発振器の入力クロックは、各TV規格の周波数と必ずしも一致していません。表15.3に示す周波数を入力してください。

表15.3 TV方式との対応

TV方式	入力クロック周波数 (MHz)		バック時の 背景色	スーパーインポーズ
	4fsc 入力	2fsc 入力		
M/NTSC	14.31818		青	対応
		7.15909		
B.G.H/PAL I/PAL D.K/PAL	17.73447		青	対応
		8.867235		
N/PAL	17.73447		黒	対応
		8.867235		
M/PAL	14.30244		青	対応
	14.31818			
		7.15909		
4.43MHz- NTSC	14.31818		黒	対応
		7.15909		
B.G.H/SECAM L/SECAM D.K.K1/SECAM	17.73447		黒	不可
		8.867235		

【注】 ブルーバック時の背景色が黒の場合は、TV方式選択レジスタ (TVSR) のM1ビットにより背景色を黒に設定してください。「12.2.4 TV方式選択レジスタ (TVSR)」を参照してください。

M/PALの場合、4fscの入力クロックとしてTV規格の周波数の14.30244MHzを用いた場合、背景色は青になりますが、水平/垂直同期信号の周期が

水平同期信号周期：15.717KHz

垂直同期信号周期：59.988Hz

となります。

15.2 文字データ ROM (CGROM)

文字データ ROM (CGROM) は、1文字あたり 12 ドット×18 ドットで、128 文字種を内蔵しています。文字データは、ユーザプログラムと同時に、マスク ROM として個別のものが書き込めます。ただし、文字コード H'7F はスルー表示に固定されているため、ユーザの文字は設定できません。

CGROM は、表示データ RAM の文字コードにより参照され、走査線ごとに表示文字データのドットが読み出されます。

ZTAT[®]版の EPROM のメモリマップを図 15.3 に示します。また、1文字の構成の例を図 15.4 に示します。

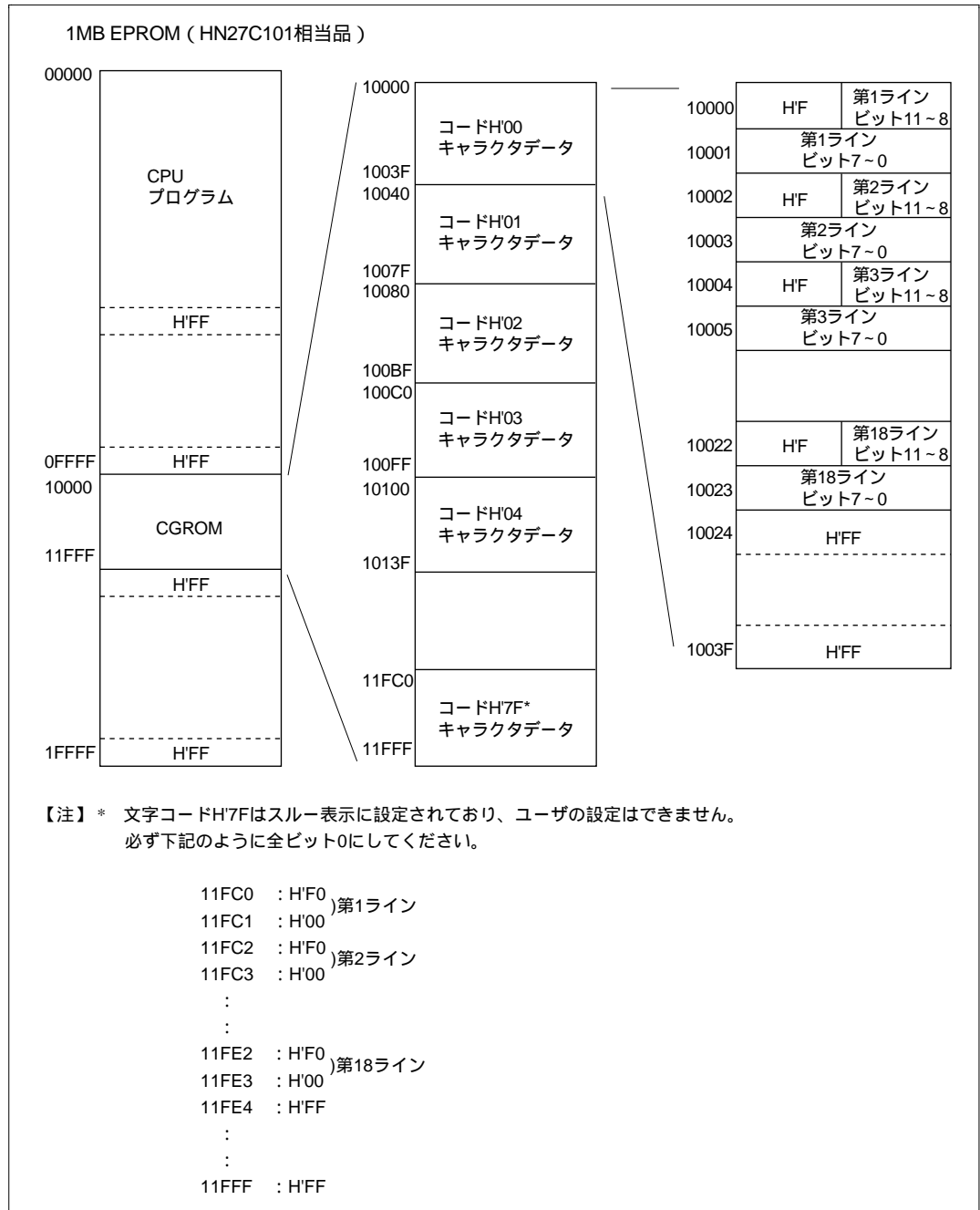


図 15.3 EPROM メモリマップ (ZTAT®版)

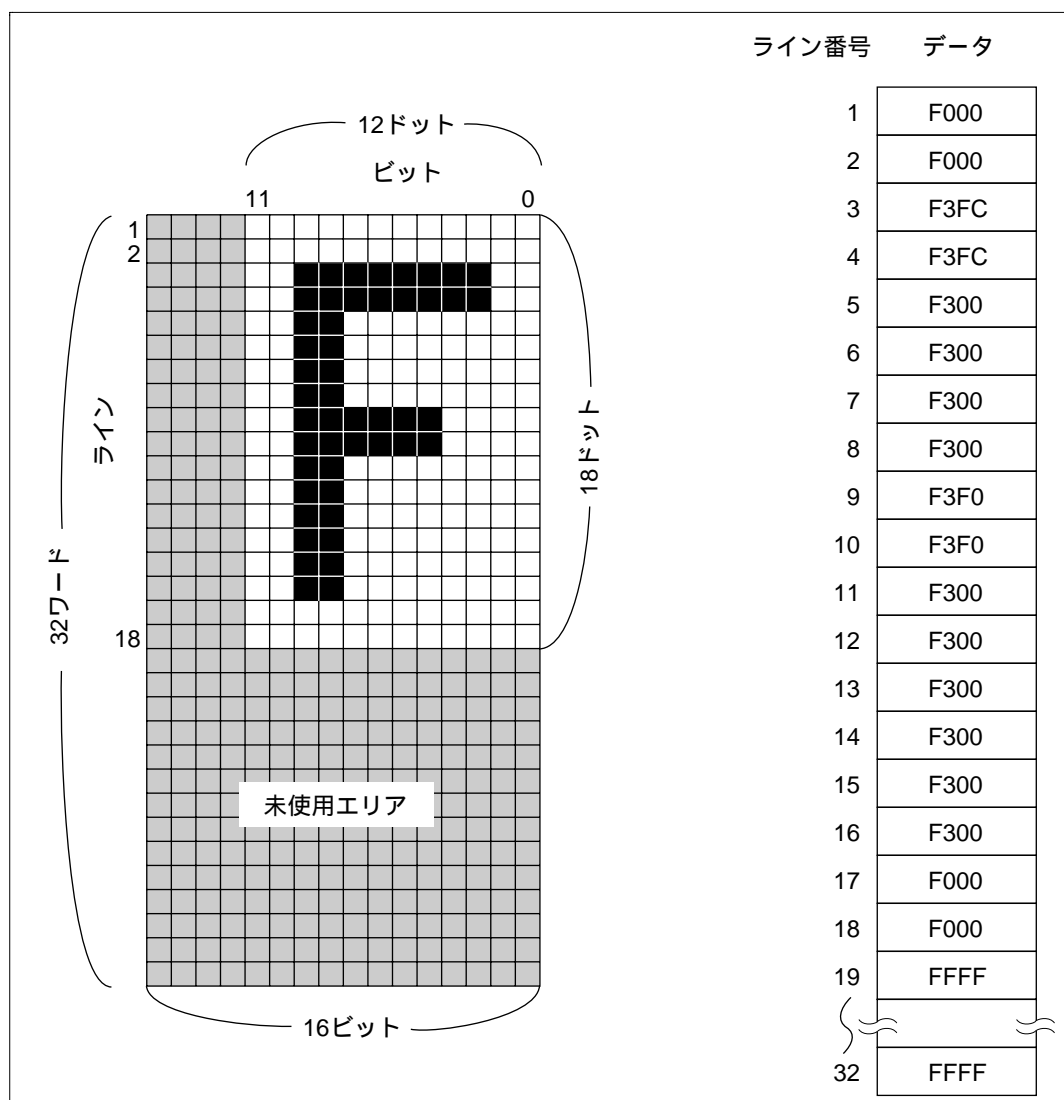


図 15.4 CGROMの構成（'F'の例）

CGROMは、1文字12ドット×18ドットで構成されています。EPROMに文字データを書き込む場合のアドレスの対応は、図15.4に示したように16ビット×32ワードのエリアに書きます。未使用エリアのデータは、1としてください。

また、スルー表示用の文字データはすべて0としてください。

15.3 表示データ RAM

OSDの表示データRAMは、横24文字×縦10行の240文字（240バイト）です。

(1) 表示データRAMと画面表示との対応

表示データRAMは、1文字が1バイトで構成されています。表示データRAMと画面表示との対応を図15.5に示します。

表示開始位置は、1行目と、2行目から10行目までの9行が、個々に設定可能です。水平方向の表示開始位置はOSDレジスタ1（OSDR1）、OSDレジスタ5（OSDR5）により行います。表示が画面横方向にはみ出る場合は、はみ出す領域の文字はスルー表示文字（文字コード：7F）としてください。垂直方向の表示開始位置はOSDレジスタ2（OSDR2）、OSDレジスタ6（OSDR6）により行います。垂直方向の表示開始位置は、10×24文字の表示領域が画面からはみ出さないように、OSDR2、OSDR6と文字サイズを設定してください。画面の上または下にはみ出た場合、表示データRAMが書き替わってしまうことがあります。

また、表示中は定期的に表示データのリフレッシュを行ってください。各レジスタの説明は「15.4 レジスタの説明」を参照してください。

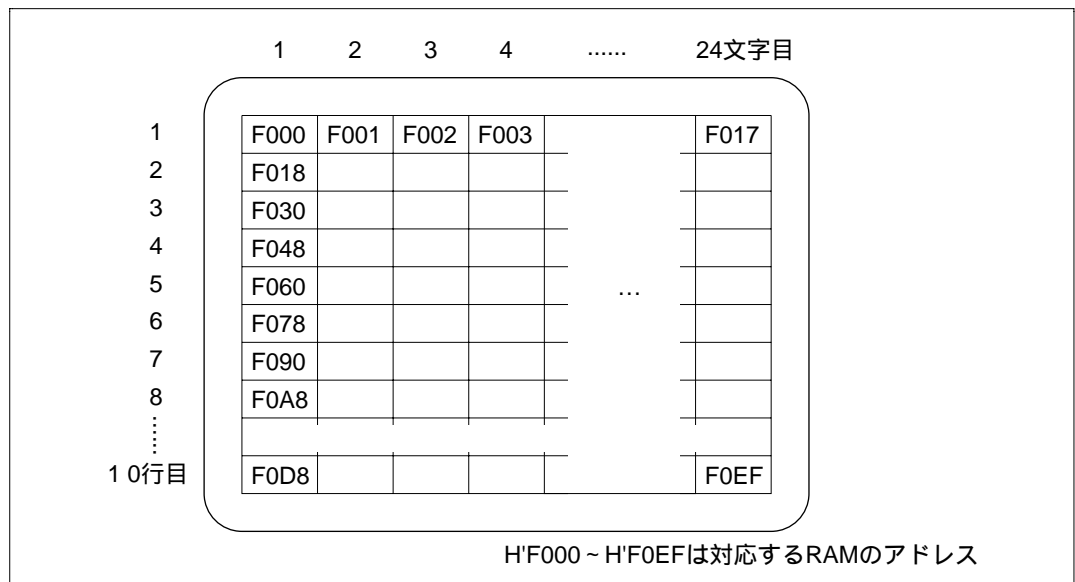


図 15.5 表示データRAMと画面表示との対応

(2) 表示データ RAM のビット構成

1 文字のデータは、プリンキングまたはカーソル表示を指定する 1 ビットと、CGROM の文字を引用する文字コードの 7 ビットとの 1 バイトで構成されています。表示データ RAM の初期値は不定です。

表示データ RAM のビット構成を以下に示します。

ビット	7	6	5	4	3	2	1	0
	BL/CR	C6	C5	C4	C3	C2	C1	C0
初期値	*	*	*	*	*	*	*	*
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

* : 不定

表示データ RAM のリード/ライトは、VD 割り込み後の約 15H (水平同期信号 15 個) の期間に行ってください。それ以外の期間に、表示データ RAM へのリードまたはライトを行うと、アクセス衝突割り込みが発生します。ライトは無効となり、リードデータは不定となります。

ビット 7 : プリンキング / カーソル表示指定ビット (BL/CR)

BL/CR ビットは、OSD レジスタ 4 (OSDR4) のビット 1 (DSPM1) により、プリンキングまたはカーソル表示の ON / OFF を指定します。カーソル表示の表示例は、図 15.1 のカーソル表示例を参照してください。

OSDR4	OSD-RAM	説明
ビット 1	ビット 7	
DSPM1	BL/CR	
0	0	プリンキング OFF (通常表示) (初期値)
	1	プリンキング ON
1	0	カーソル表示 OFF (通常表示)
	1	カーソル表示 ON

ビット 6 ~ 0 : 文字コード (C6 ~ C0)

表示する文字コード (H'00 ~ H'7F) を設定します。

【注】 文字コード H'7F は、スルー表示として定義されています。

15.4 レジスタの説明

15.4.1 レジスタ構成

OSDのレジスタ構成を表 15.4 に示します。

表 15.4 レジスタ構成

名 称	略称	R/W	サイズ	初期値	アドレス
OSD レジスタ 1	OSDR1	R/W	バイト	H'00	H'FF81
OSD レジスタ 2	OSDR2	R/W	バイト	H'C0	H'FF82
OSD レジスタ 3	OSDR3	R/W	バイト	H'00	H'FF83
OSD レジスタ 4	OSDR4	R/W	バイト	H'00	H'FF84
OSD レジスタ 5	OSDR5	R/W	バイト	H'00	H'FF85
OSD レジスタ 6	OSDR6	R/W	バイト	H'C0	H'FF86

15.4.2 OSD レジスタ 1 (OSDR1)

ビット	:	7	6	5	4	3	2	1	0
		SZ11	SZ10	HP15	HP14	HP13	HP12	HP11	HP10
初期値	:	0	0	0	0	0	0	0	0
R / W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

OSDR1 は 1 行目の表示の大きさと文字の水平方向表示開始位置とを設定する、8 ビットのリード / ライト可能なレジスタです。

リセット時、H'00 に初期化されます。

OSDR1 へのライトは、VD 割り込み後の約 15H (水平同期信号 15 個) の期間に行ってください。それ以外の期間に、OSDR1 へのライトを行うと、アクセス衝突割り込みが発生します。ライトは無効となります。

OSD の表示の大きさと文字の水平方向表示開始位置は、1 行目と、2 行目から 10 行目までの 9 行とを、各々独立に設定することができます。OSDR1 は 1 行目の表示の大きさと水平方向開始位置を指定します。

文字が TV 画面横方向にはみ出すような場合は、はみ出す領域の文字はスルー表示文字 (文字コード : 7F) としてください。

2 行目から 10 行目までの 9 行の文字の大きさと水平方向開始位置の設定は「15.4.6 OSD レジスタ 5 (OSDR5)」を参照してください。

ビット7、6：1行目の表示サイズ設定ビット（SZ11、SZ10）

1行目に表示される文字の大きさ（サイズ）を設定します。表示領域が画面からはみ出る時は注意が必要です。

拡大文字（2×2倍、4×4倍）を使用し、表示領域が画面外に出て、元に戻す場合は、一旦表示をOFFし、表示データをリフレッシュしてください。リフレッシュ後、VD割り込み後の約15H（水平同期信号15個）の期間に表示をONしてください。また、1×1倍文字でも、表示領域が画面外に出た場合には、同様の手順で表示データをリフレッシュしてください。

ビット7	ビット6	説明
SZ11	SZ10	
0	0	1行目の文字は1×1倍（初期値）
	1	1行目の文字は2×2倍
1	0	1行目の文字は4×4倍
	1	

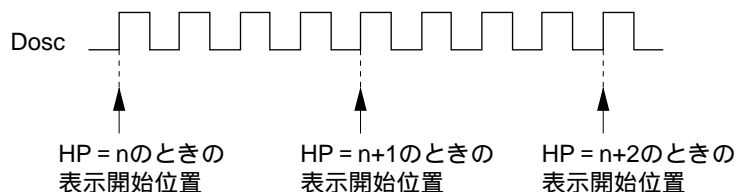
【注】 縦×横の倍数

ビット5～0：水平方向表示開始位置設定ビット（HP15～HP10）

HP15～HP10の値で、水平方向の表示開始位置を設定します。

表示が画面横にはみ出るときは、はみ出た領域の文字はブランク文字（文字コード：7F）としてください。

表示開始位置は、1行目と、2行目から10行目の9行が、個々に設定可能です。表示開始位置の起点は、図15.6に示すように、表示モードにより異なります。カラーバーストに表示が重ならないようにHP15～HP10の値を設定してください。横方向の表示開始位置は、ドットクロック周期の4倍が1単位です。



水平方向の表示開始位置を H_s (μs) とすると、

$$H_s = 4 \times t_c \times (\text{HP15} \sim \text{HP10の値})$$

で表わされます。

t_c ：ドットクロック発振器（DOSCin/out）の発振周期（ns）

$$(\text{f}_{\text{DCLK}} = 7\text{MHzのとき約}140\text{ns})$$

【注】 NTSC方式の場合、映像信号は水平同期信号より $9.6 \mu\text{s}$ 後からとなっているため、ブルーバックモード時の例では、HP15 ~ HP10 の値を N とすると、起点からの水平方向の表示開始位置 H_s (μs) は、

$$H_s = 4 \times 0.14 \times N$$

基準点からの表示開始位置 H_p (μs) は、

$$H_p = T + H_s > 9.6 \mu\text{s}$$

となります。

T : 基準点から表示起点までの時間

ブルーバックモード時 : 約 $8 \mu\text{s}$

AFC 動作時 : Hsync の幅の約 $1/2$ + 約 $5 \mu\text{s}$

AFC 停止時 : Hsync の幅 = 約 $4.7 \mu\text{s}$

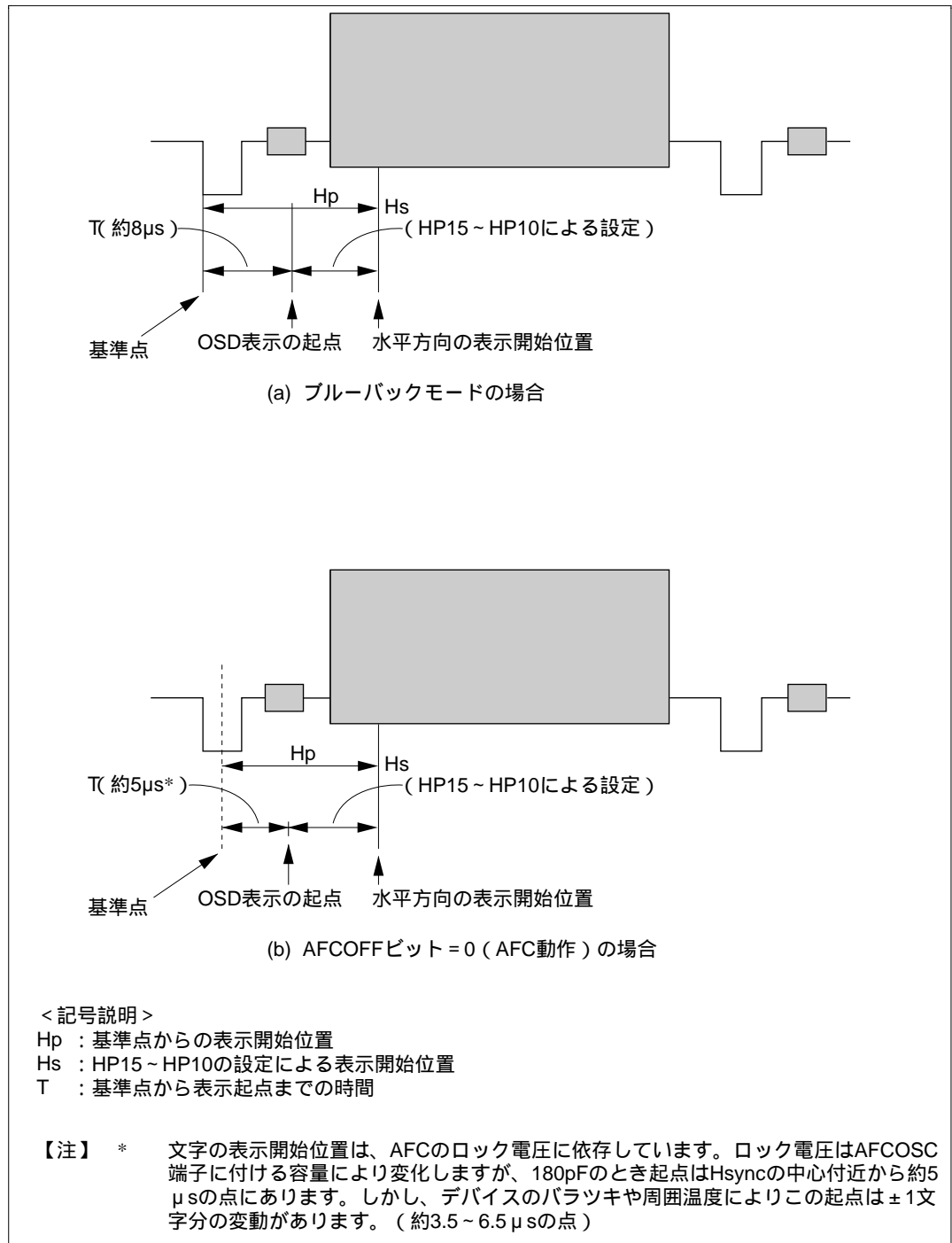


図 15.6 (1) OSD 表示の起点と水平方向表示開始位置

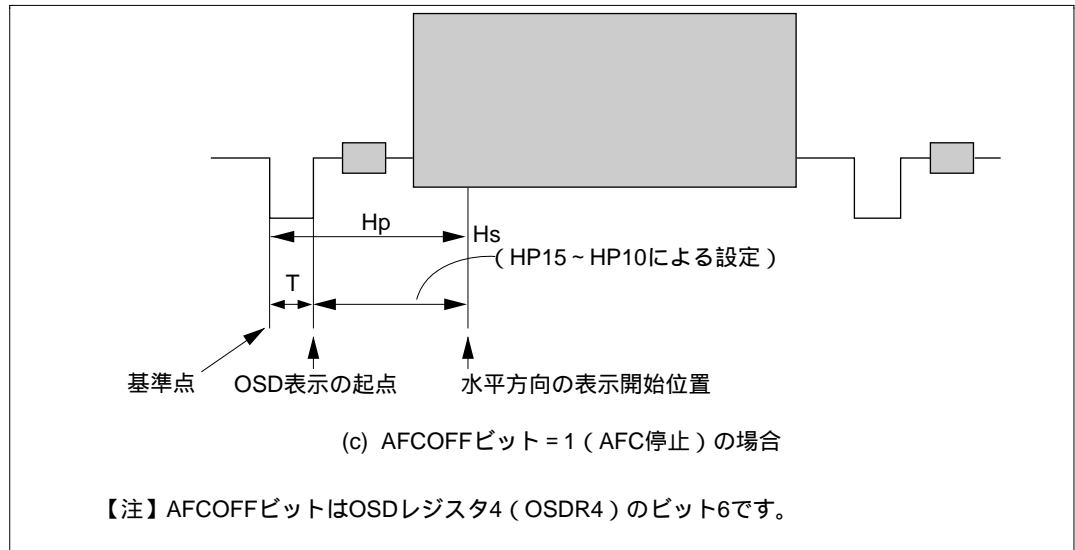


図 15.6 (2) OSD 表示の起点と水平方向表示開始位置

15.4.3 OSD レジスタ 2 (OSDR2)

ビット	7	6	5	4	3	2	1	0
			VP15	VP14	VP13	VP12	VP11	VP10
初期値	1	1	0	0	0	0	0	0
R/W			R/W	R/W	R/W	R/W	R/W	R/W

OSDR2 は 1 行目の文字の垂直方向開始位置を指定する、6 ビットのリードとライトが可能なレジスタです。リセット時、H'CO に初期化されます。

OSDR2 へのライトは、VD 割り込み後の約 15H (水平同期信号 15 個) の期間に行ってください。それ以外の期間に、OSDR2 へのライトを行うと、アクセス衝突割り込みが発生します。ライトは無効となります。

OSD の文字の垂直方向の表示開始位置は、1 行目と、2 行目から 10 行目までの 9 行とを、各々独立に設定することができます。OSDR2 は 1 行目の文字の垂直方向開始位置を指定します。

画面上、下に表示領域が非表示領域も含めてはみ出さないように設定してください。文字サイズにも注意してください。

2 行目から 10 行目までの 9 行の文字の垂直方向開始位置の設定は「15.4.7 OSD レジスタ 6 (OSDR6)」を参照してください。

ビット 7、6 : リザーブビット

リザーブビットです。ライトは無効です。リードすると 1 が読み出されます。

ビット5～0：垂直方向表示開始位置設定ビット（VP15～VP10）

VP15～VP10の値で、1行目の垂直方向の表示開始位置を設定します。

垂直方向の表示開始位置は、1行目がOSDレジスタ2（OSDR2）、2～10行目がOSDレジスタ6（OSDR6）で行います。このとき、 $VP1 > VP2$ （ $VP2 \neq 0$ ）と設定すると2行目以後の表示動作を行いません。

ただし、2行目以降の先頭位置を指定するVP25～VP20の値を0にすると、1行目に続けて、2行目以降を表示します。

表示開始位置の起点は、垂直同期信号です。垂直方向の表示開始位置を図15.7に示します。縦方向の大きさは、走査線4本分が1単位です。垂直方向の表示開始位置を V_s （ μs ）とすると、

$$V_s = 4 \times t_H \times (\text{VP15} \sim \text{VP10の値})$$

で表わされます。

t_H ：水平同期信号周期（ μs ）。水平走査線1本分に相当。

【注】 NTSC方式の場合、映像信号は垂直同期信号から水平走査線18本後からとなっているため、VP15～VP10の値は、H'05以上の値として垂直方向の表示開始位置を設定してください。

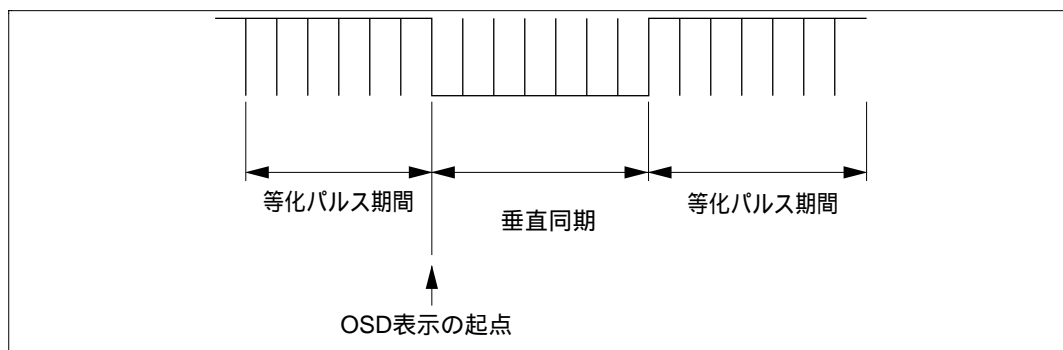


図15.7 垂直方向の表示開始位置の起点

15.4.4 OSD レジスタ 3 (OSDR3)

ビット	7	6	5	4	3	2	1	0
	IRACS	IEACS	OSDON	EGYO	RSY1	RSY0	CHY1	CHY0
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * : 0 ライトのみ有効

OSD の動作を制御する、リードとライトが可能な 8 ビットのレジスタです。随時リード / ライト可能です。

リセット時、H'00 に初期化されます。

ビット 7 : アクセス衝突割り込み要求フラグ (IRACS)

OSD の表示期間中にアクセス衝突が起こったことを示すフラグです。IRACS ビットは、自動的にクリアされないの、0 ライトによってクリアしてください。

ビット 7	説明
IRACS	
0	アクセス衝突は起きていません。 (初期値)
1	アクセス衝突によりフラグがセットされたことを示します。

ビット 6 : アクセス衝突割り込み許可ビット (IEACS)

アクセス衝突による割り込みを制御します。IEACS ビットが 0 の時には、アクセス衝突による割り込み要求フラグ (IRACS フラグ) がセットされても割り込みを禁止します。

OSD 割り込みに関しては、「15.5.7 割り込み」を参照してください。

ビット 6	説明
IEACS	
0	アクセス衝突による割り込みを禁止します。 (初期値)
1	アクセス衝突による割り込みを有効とします。

ビット5：表示許可ビット (OSDON)

OSDの表示のON/OFFを制御します。低消費電力モードでは、クリアされます。

ビット5	説明
OSDON	
0	OSD 表示 OFF (初期値)
1	OSD 表示 ON

なお、OSDONビットは、VD割り込み後約15H(水平同期信号15個)の期間に行ってください。

ビット4：縁取り輝度レベル選択ビット (EGY0)

縁取り部の輝度レベルをペDESTALレベルを基準に選択します。ペDESTALレベルは5IREです。輝度レベルは参考値です。

ビット4	説明
EGY0	
0	縁取り輝度レベル 0 IRE (初期値)
1	縁取り輝度レベル 15 IRE

【注】 EGY0ビットにより選択された輝度レベルはペDESTALレベルからの値です。

ビット3～2：背景色の内部バイアス選択 (RSY1～RSY0)

ブルーバック時の背景色の輝度レベルをペDESTALレベルを基準に選択します。ペDESTALレベルは5IREです。輝度レベルは参考値です。

背景色の振幅は、"40IRE"です。

ビット3	ビット2	説明
RSY1	RSY0	
0	0	背景色輝度レベル 25 IRE (初期値)
	1	背景色輝度レベル 45 IRE
1	0	背景色輝度レベル 65 IRE
	1	リザーブ

【注】 ブルーバック時の背景色を黒に設定した場合の輝度レベルは、"20IRE"です。「12.2.4 TV方式選択レジスタ」を参照してください。

ビット1～0：文字の内部バイアス選択（CHY1～CHY0）

文字部の輝度レベルをペDESTALレベルを基準に選択します。ペDESTALレベルは5IREです。輝度レベルは参考値です。外部設定とした場合、CHARBias端子に入力した電圧レベルが文字部の輝度レベルとなります。

ビット1	ビット0	説明
CHY1	CHY0	
0	0	文字輝度レベル 85 IRE (初期値)
	1	文字輝度レベル 75 IRE
1	0	文字輝度レベル 65 IRE
	1	CHARBias端子により設定

15.4.5 OSDレジスタ4 (OSDR4)

ビット	7	6	5	4	3	2	1	0
	OSDE	AFCOFF	FSCSL	AUTOBB	BLUE	BLKS	DSPM1	DSPM0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

OSDの動作を制御する、リードとライトが可能な8ビットのレジスタです。

OSDR4へのライトは、VD割り込み後の約15H（水平同期信号15個）の期間に行ってください。それ以外の期間に、OSDR4へのライトを行うと、アクセス衝突割り込みが発生します。ライトは無効となります。

リセット時、H'00に初期化されます。

ビット7：OSDイネーブルビット（OSDE）

OSDの停止、動作を制御するビットです。低消費電力モードでは、クリアされます。

ビット7	説明
OSDE	
0	OSD 停止 (初期値)
1	OSD 動作

OSDEビットを0にするとOSDの回路の動作が停止するため、文字表示、ブルーバック表示等は機能しません。スーパーインポーズモードではクロマスルーとなります（「15.5.11 CPU動作モードにおけるOSD動作状態」を参照してください）。

なお、OSDEビットが0の状態でも4fsc発振回路は発振し続けます。

また、OSDE ビットが 0 の状態では AFC の発振が止っています。AFC を用いて文字を表示する場合 (AFCOFF ビット = 0) はあらかじめ OSDE を 1 にセットし、発振安定を充分待ってから (約 100ms 以上) 文字表示 (OSDON ビットのセット) をしてください。

ビット 6 : AFC 停止ビット (AFCOFF)

AFC 動作の停止、動作を制御するビットです。

外部で同期分離を行い、分離された水平、垂直同期信号を入力する場合は AFCOFF ビットを 1 にして AFC を停止してください。

AFC を停止した場合、文字の水平表示開始位置は、水平同期信号の後エッジになります。図 15.6 OSD 表示の起点と水平方向表示開始位置を参照してください。

ビット 6	説明
AFCOFF	
0	AFC 停止 (初期値)
1	AFC 動作

ビット 5 : 4 / 2fsc の選択ビット (FSCSL)

入力クロックの周波数として、2fsc または 4fsc を選択するビットです。

2fsc を入力クロックとすると、ブルーバック時の背景色が黒のみの対応となる TV 方式があるので注意してください。この場合は、TV 方式選択レジスタ (TVSR) の M1 ビット (ビット 1) を 1 に設定して、背景色を黒にしてください。「12.2.4 TV 方式選択レジスタ (TVSR)」または、表 15.3 TV 方式との対応を参照してください。

ビット 5	説明
FSCSL	
0	4fsc 入力 (初期値)
1	2fsc 入力

ビット 4 : 自動ブルーバック選択ビット (AUTOBB)

ビデオ信号のノイズを検出した時に、自動的にブルーバックモードに切り替える指定をするビットです。自動切り替えを指定 (AUTOBB ビット = 1) すると、ソフトウェアによるブルーバックモードへの切り替えは行えません (BLUE ビット (ビット 3) = 1 にしてもブルーバックモードに切り替わりません)。

ただし、ブルーバックモードからスーパーインポーズモードへの切り替えは可能です。このとき、TV 方式選択レジスタ (TVSR) のノイズ検出フラグ (ビット 7 : NOIS) をクリアしてから切り替えてください。ノイズ検出については、「12.2.3 ノイズ検出レジスタ」、「12.2.4 TV 方式選択レジスタ」を参照してください。

- 【注】 フィールドの区別のない同期信号の場合、ノイズカウンタがクリアされないため必ずセットされます。
ソフトウェアによりブルーバックモードに切り替えてください。

ビット4	説明
AUTOBB	
0	ブルーバックモードソフトウェア切り替え (初期値)
1	ブルーバックモード自動切り替え

ビット3：ブルーバック/スーパーインポーズ選択ビット (BLUE)

ブルーバックモード/スーパーインポーズモードの選択をします。

AUTOBB ビット (ビット4) = 1 のとき、ビデオ信号のノイズを検出すると、自動的にブルーバックモードに切り替えます。

自動切り替えを指定 (AUTOBB ビット = 1) すると、ソフトウェアによるブルーバックモードへの切り替えは行えません (BLUE ビット = 1 にしてもブルーバックモードに切り替わりません)。

ただし、ブルーバックモードからスーパーインポーズモードへの切り替えは可能です。ブルーバックモードへソフトウェアにより移行する場合は、AUTOBB = 0 にしてから、BLUE ビット = 1 としてください。

なお、ブルーバックモード時はノンインタレース、スーパーインポーズモード時はインタレース表示となります。

ビット3	説明
BLUE	
0	スーパーインポーズモード (初期値)
1	ブルーバックモード

- 【注】 ブルーバックモードの時には、OSD レジスタ 3 (OSDR3) の OSDON ビット (ビット5) により以下の表示状態となります。
OSDON = 0 (OSD 表示 OFF) : ブルーバック、文字なし。
OSDON = 1 (OSD 表示 ON) : ブルーバック、文字表示。

ビット2：プリンキング周期選択ビット (BLKS)

プリンキング表示モード時のプリンキング周期を設定します。duty は50%です。

ビット2	説明
BLKS	
0	プリンキング周期 0.5 秒 (初期値)
1	プリンキング周期 1 秒

ビット1：キャラクタ表示選択1 (DSPM1)

表示データRAMのBL/CRビットをプリンキング指定とするか、カーソル表示とするかを選択します。

「15.3(2) 表示データRAMのビット構成」を参照してください。

ビット1	説明
DSPM1	
0	BL/CR ビットをプリンキング指定として使用します (初期値)
1	BL/CR ビットをカーソル表示指定として使用します

ビット0：キャラクタ表示選択0 (DSPM0)

表示の縁取りの有無を選択します。画面単位での指定となります。

ビット0	説明
DSPM0	
0	縁取りなし (初期値)
1	縁取りあり

15.4.6 OSD レジスタ 5 (OSDR5)

ビット	:	7	6	5	4	3	2	1	0
		SZ21	SZ20	HP25	HP24	HP23	HP22	HP21	HP20
初期値	:	0	0	0	0	0	0	0	0
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

OSDR5 は 2 行目から 10 行目の表示の大きさと文字の水平方向表示開始位置とを設定するレジスタです。8 ビットのリードとライトが可能です。

リセット時、H'00 に初期化されます。

OSDR5 へのライトは、VD 割り込み後の約 15H (水平同期信号 15 個) の期間に行ってください。それ以外の期間に、OSDR5 へのライトを行うと、アクセス衝突割り込みが発生し、ライトは無効となります。

OSD の表示の大きさと文字の水平方向表示開始位置は、1 行目と、2 行目から 10 行目までの 9 行とを、各々独立に設定することができます。OSDR5 は 2 行目から 10 行目の文字の大きさと、水平方向開始位置とを指定します。

画面横方向に表示がはみ出る場合は、はみ出る領域の文字はスルー表示文字 (文字コード: 7F) としてください。

1 行目の文字の大きさと水平方向開始位置の設定は「15.4.2 OSD レジスタ 1 (OSDR1)」を参照してください。

ビット7、6：2行目から10行目の表示サイズ設定ビット（SZ21、SZ20）

2行目から10行目に表示される文字の大きさ（サイズ）を設定します。

拡大文字（2×2倍、4×4倍）を使用し、表示領域が画面外に出て、元に戻す場合は、一旦表示をOFFし、表示データをリフレッシュしてください。リフレッシュ後、VD割り込み後の約15H（水平同期信号15個）の期間に表示をONしてください。また、1×1倍文字でも、表示領域が画面外に出た場合には、同様の手順で表示データをリフレッシュしてください。

ビット7	ビット6	説明
SZ21	SZ20	
0	0	2行目から10行目の文字は1×1倍（初期値）
	1	2行目から10行目の文字は2×2倍
1	0	2行目から10行目の文字は4×4倍
	1	

【注】 縦×横の倍数

ビット5～0：水平方向表示開始位置設定ビット（HP25～HP20）

HP25～HP20の値で、水平方向の表示開始位置を設定します。

表示開始位置の起点は、図15.6に示すように、表示モードによって異なります。カラーバーストに表示が重ならないようにHP25～HP20の値を設定してください。横方向の表示開始位置は、ドットクロック周期の4倍が1単位です。

水平方向の表示開始位置を H_s （ μs ）とすると、

$$H_s = 4 \times t_c \times (\text{HP25} \sim \text{HP20の値})$$

で表わされます。

t_c ：ドットクロック発振器（DOSCin/out）の発振周期（ns）

（ $f_{DCLK} = 7\text{MHz}$ のとき約140ns）

【注】 HP25～HP20の設定例は、HP15～HP10と同じです。「15.4.2 OSDレジスタ1（OSDR1）」のビット7、6の【注】を参照してください。

15.4.7 OSD レジスタ 6 (OSDR6)

ビット	:	7	6	5	4	3	2	1	0
				VP25	VP24	VP23	VP22	VP21	VP20
初期値	:	1	1	0	0	0	0	0	0
R/W	:			R/W	R/W	R/W	R/W	R/W	R/W

OSDR6 は 2 行目から 10 行目の文字の垂直方向開始位置を指定するレジスタです。6 ビットのリードとライトが可能です。

リセット時、H'CO に初期化されます。

OSDR6 へのライトは、VD 割り込み後の約 15H (水平同期信号 15 個) の期間に行ってください。それ以外の期間に、OSDR6 へのライトを行うと、アクセス衝突割り込みが発生します。ライトは無効となります。

OSD の文字の垂直方向の表示開始位置は、1 行目と、2 行目から 10 行目までの 9 行とを、各々独立に設定することができます。OSDR6 は 2 行目から 10 行目の文字の垂直方向開始位置を指定します。

表示領域が非表示領域も含めて画面の上下にはみ出さないように設定してください。

OSDR2 は 1 行目の文字の垂直方向開始位置を指定します。「15.4.3 OSD レジスタ 2 (OSDR2)」を参照してください。

ビット 7、6 : リザーブビット

リザーブビットです。ライトは無効です。リードすると 1 が読み出されます。

ビット5～0：垂直方向表示開始位置設定ビット（VP25～VP20）

VP25～VP20の値で、垂直方向の表示開始位置を設定します。垂直方向の表示開始位置の起点は垂直同期信号です。図 15.7 垂直方向の表示開始位置の起点を参照してください。

垂直方向の表示開始位置は、1行目がOSDレジスタ2（OSDR2）、2～10行目がOSDレジスタ6（OSDR6）で行います。このとき、 $VP1 > VP2$ （ $VP2 \neq 0$ ）と設定すると2行目以後の表示動作を行いません。

ただし、2行目以降の先頭位置を指定するVP25～VP20の値を0にすると、1行目に続けて、2行目以降を表示します。

表示開始位置の起点は、垂直同期信号です。縦方向の表示開始位置は、走査線4本分が1単位です。

垂直方向の表示開始位置を V_s （ μs ）とすると、

$$V_s = 4 \times t_H \times (\text{VP25} \sim \text{VP20の値})$$

で表わされます。

t_H ：水平同期信号周期（ μs ）。水平走査線1本分に相当。

- 【注】 1. NTSC方式の場合、映像信号は垂直同期信号から水平走査線18本後からとなっているため、VP25～VP20の値は、H'05以上の値として垂直方向の表示開始位置を設定してください。
2. VP25～VP20の値は1行目の表示に重ならないように設定する必要があります。例えば、1行目を2倍文字に設定した場合は、1行目は走査線36本（ $= 18 \times 2$ ）を必要とします。

1行目の表示開始位置VP15～VP10の値を5（走査線の本数では20本（ $= 4 \times 5$ ））に設定していたとすると、VP25～VP20の値は14以上にする必要があります。

$$20 + 36 \quad 4 \times (\text{VP25} \sim \text{VP20の値})$$

15.5 動作の説明

15.5.1 YCO、YEO 出力

YCO1、YCO2 出力は、文字データのドット単位での出力端子です。CGROM から読み出された文字データを図 15.6、図 15.7 に示した表示開始位置からシリアルデータとして出力します。日付け加算、カウンタ加算に利用できます。

YEO1、YEO2 出力は、エッジデータ+文字データのドット単位での出力端子です。CGROM から読み出された文字データにエッジデータを付加し、シリアルデータとして出力します。日付け加算、カウンタ加算に利用できます。

15.5.2 出力信号

OSD には、CVout 出力、YCO1/YEO1 出力、YCO2/YEO2 出力、の 3 系統の出力があります。

OSD レジスタ 4 (OSDR4) の DSPM1、DSPM0 ビット (ビット 1、0) で画面全体の表示モード*を制御し、表示データ RAM の BL/CR ビットで文字単位の表示モードを制御します。BL/CR ビットは、CVout 出力の文字のプリンキングまたはカーソル表示を制御します。YCO1/YEO1 出力、YCO2/YEO2 出力はプリンキングしないので注意してください。

各表示モードでの出力信号を表 15.5 に示します。

【注】 * 画面全体の表示モードの制御とは、プリンキング/カーソル表示の選択、縁取りの有/無の選択を示します。

15.5.3 ブルーバック時の輝度レベル

ブルーバック時の輝度レベルを図 15.8 に示します。

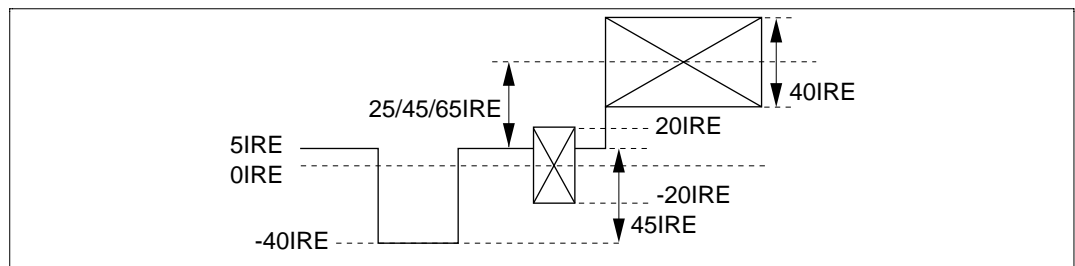
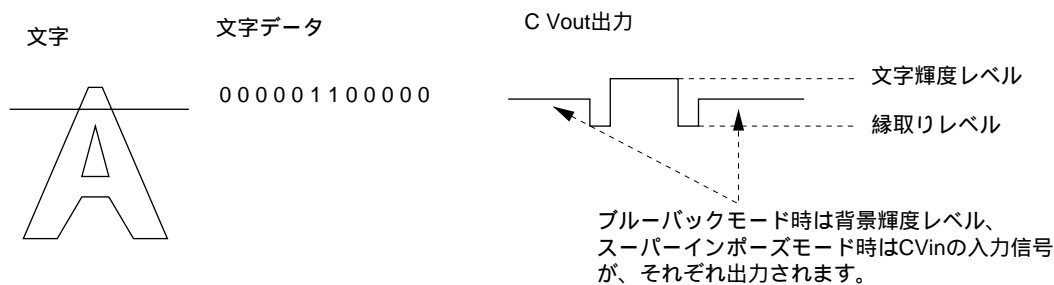


図 15.8 ブルーバック時の輝度レベル

表 15.5 各表示モードでの出力信号

OSDR4		表示RAM	CVout	デジタル出力			
DSPM1	DSPM0	BL/CR		YCO1	YEO1	YCO2	YEO2
0	0	0					
		1					
	1	0					
		1					
1	0	0					
		1					
	1	0					
		1					

【注】 CVoutの出力レベルは次のようになります。



15.5.4 1ドットの大きさ

1×1倍の表示について記述します。2×2倍、4×4倍のときは、それぞれ2倍、4倍となります。YCO、YEOについても同様です。

画面に表示される1ドットの大きさは、水平方向がドットクロック(DOSC)の周波数の1周期です。DOSC 7MHzのとき、約142.9nsです。垂直方向の1ドットの大きさは、インターレース時(スーパーインポーズ時)水平走査線2本分です。ノンインターレース時(ブルーバック時)は、水平走査線1本分です。

インターレース、ノンインターレースにかかわらず、表示の大きさは同じになります。

15.5.5 4/2fscの発振を使用しない場合のOSD

4/2fscの発振子を接続しないときのように4/2fscが入力されない場合は、OSDの動作は保証されません。OSDの各レジスタへのアクセスは行わないように注意してください。

例外として、OSDEビットを0にリセットすることでビデオ信号のスルー表示は可能です。しかし、OSD表示およびブルーバックモードの動作は不定となります。この場合もOSDR4の他のビットおよびOSDR1~OSDR3、OSDR5、OSDR6レジスタへのアクセスを行わないよう注意してください。

4/2fscの発振を使用しない場合は、内蔵OSDを使用しないことを推奨します。

15.5.6 OSDフォントについて

OSD表示は、フォント中の1ドットの縦線およびナナメ線がH並び(0.5Hのズレ)の関係から細く見えることがあります。表示フォントは大きめのドットで作成することを推奨します。

15.5.7 割り込み

(1) アクセス衝突割り込みとノイズ検出割り込み

OSDレジスタ1、2、4~6(OSDR1、OSDR2、OSDR4~OSDR6)や表示データRAMを禁止期間にリードまたはライトすると、アクセス衝突割り込み要求が発生します。アクセス衝突割り込み要求は、ノイズ検出割り込み要求と論理和になっています。図15.9にOSDの割り込み要求の構成を示します。

OSDR3のIRACSビットは、アクセス衝突割り込み要求ビット、またIEACSビットは、アクセス衝突割り込み許可ビットです。

アクセス衝突が発生するとIRACSビットがセットされます。このときIEACSビット=1であれば割り込み要求レジスタ4(IRQR4)のIRROSDビットがセットされます。このとき、割り込み許可レジスタ4(IENR4)のIEOSDビット=1であれば、割り込み制御回路より割り込みが発生します。

割り込み要求をクリアする場合、IRACSとIRROSDの両ビットをクリアする必要があります。

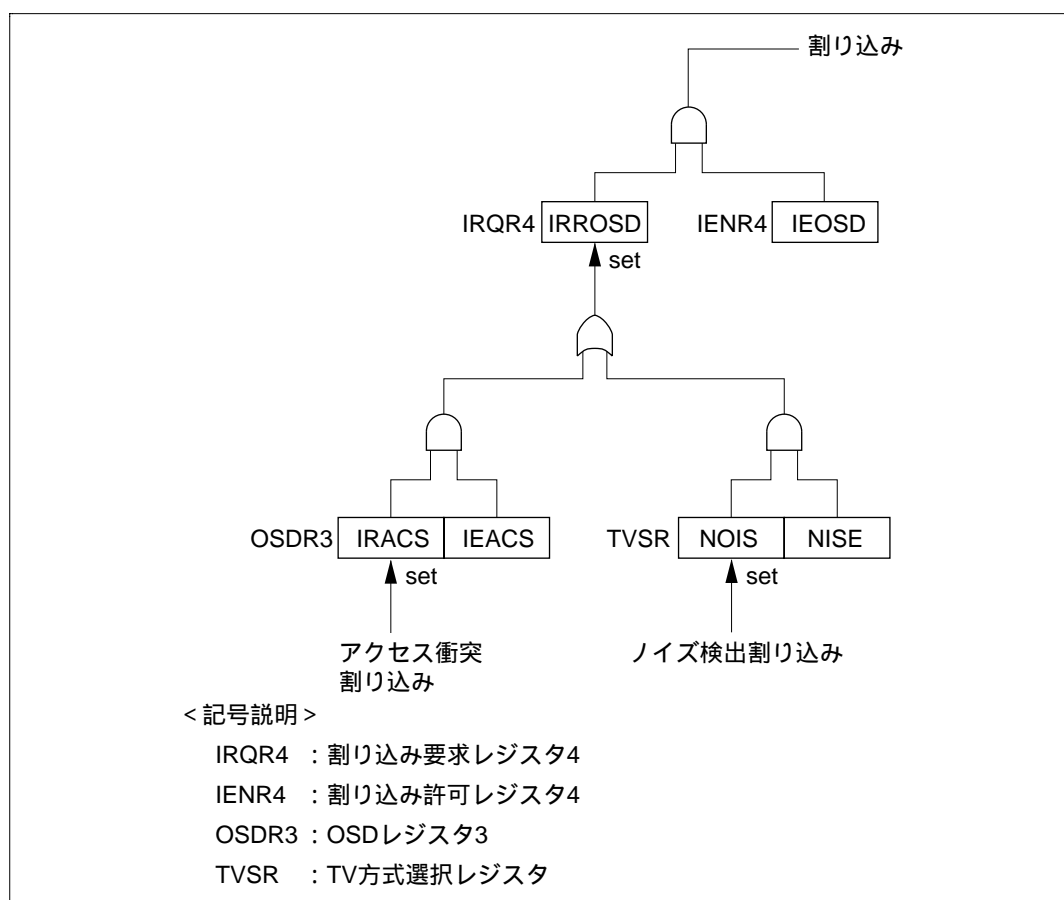


図15.9 OSDの割り込み要求の構成

(2) ブルーバックモード時の VD 割り込み

ブルーバックモードでは、OSD の同期信号発生回路で生成された VD により割り込みが発生します。

15.5.8 縁取りに関する注意事項

(1) 表示枠を越えた縁取り

X方向には表示枠を越えて縁取りを行いますが、Y方向には表示枠を越えて縁取りを行わないので、注意が必要です。

表示枠を越えた縁取りの例を図 15.10 に示します。

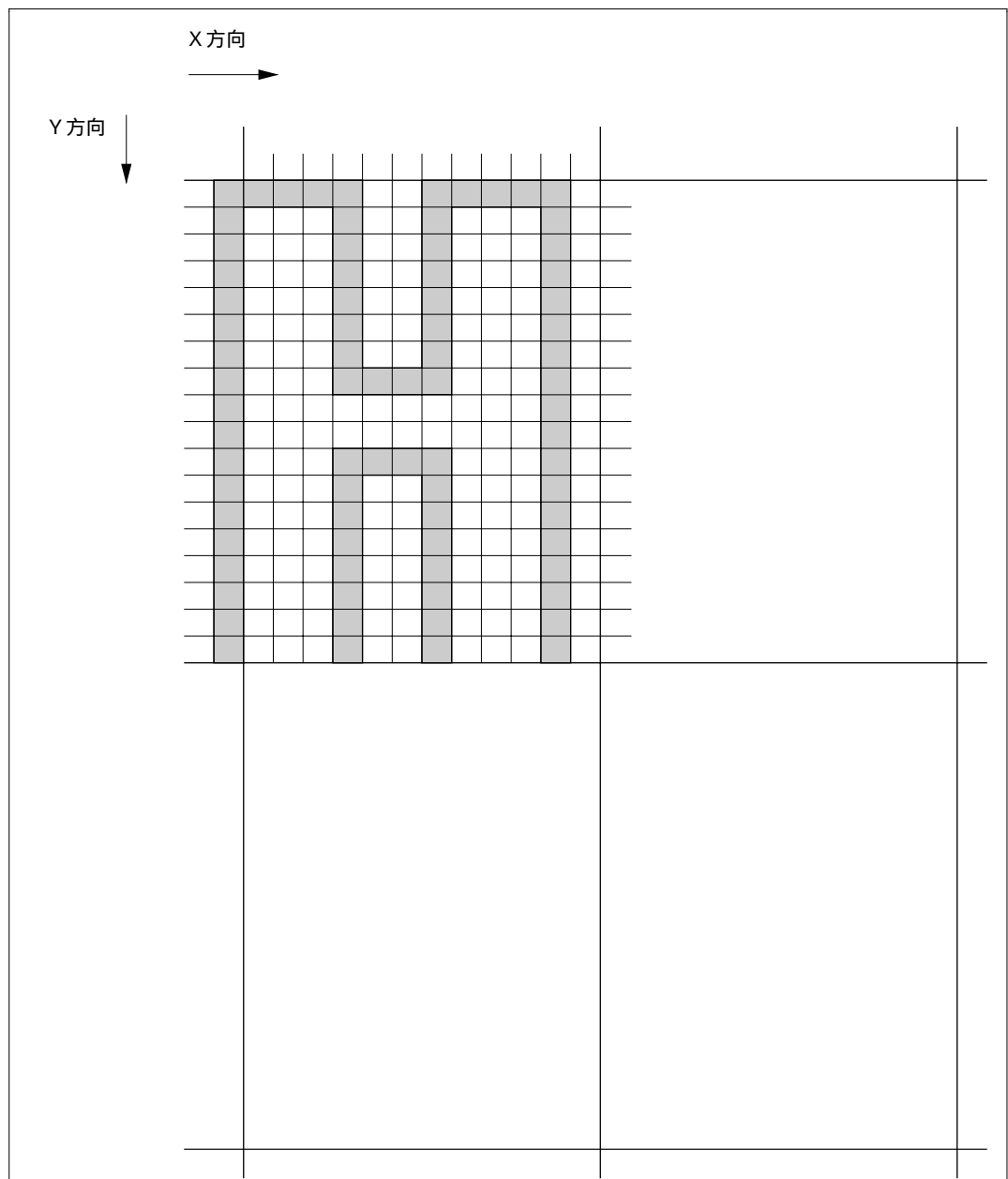


図 15.10 表示枠を越えた縁取り (例)

(2) ブリンク

ブリンクは、指定された表示枠内のみ間欠表示を行います。ブリンクを必要とする場合は、X方向の1ドット目と12ドット目にはフォントを設定することは避けてください。

表示枠を越えた縁取り文字のブリンクの例を図 15.11 に示します。

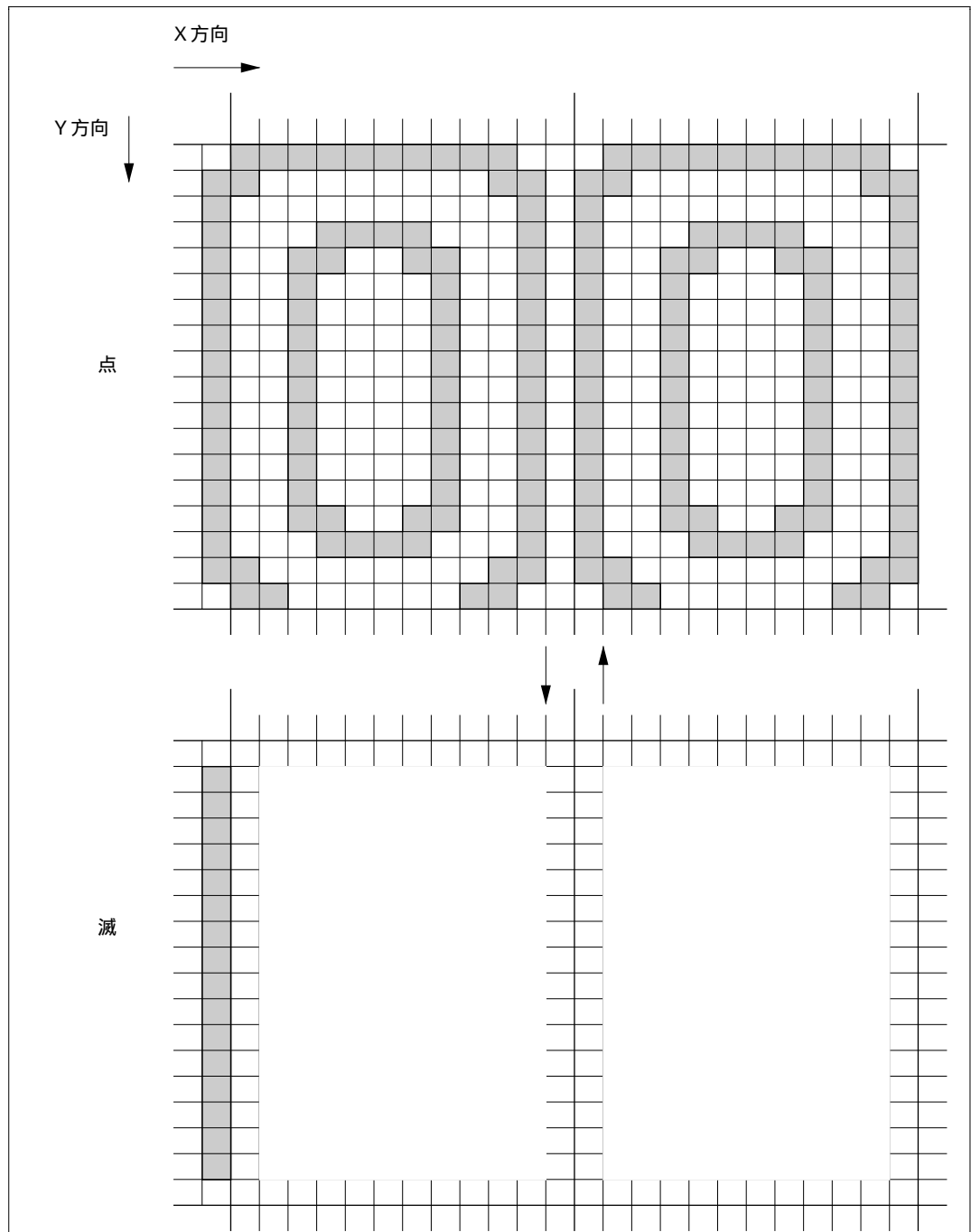


図 15.11 表示枠を越えた縁取り文字のブリンク (例)

(3) 縁取りが表示されない場合

表示行の開始や最終の番地（H'00 番地や H'17 番地など）の文字、または左右にスルー表示（H'7F）が隣接する場合、表示枠外の縁取りは表示されないので注意が必要です。

スルー表示と隣接する縁取り文字の例を図 15.12、行の表示開始および最終番地の文字の例を図 15.13 に示します。

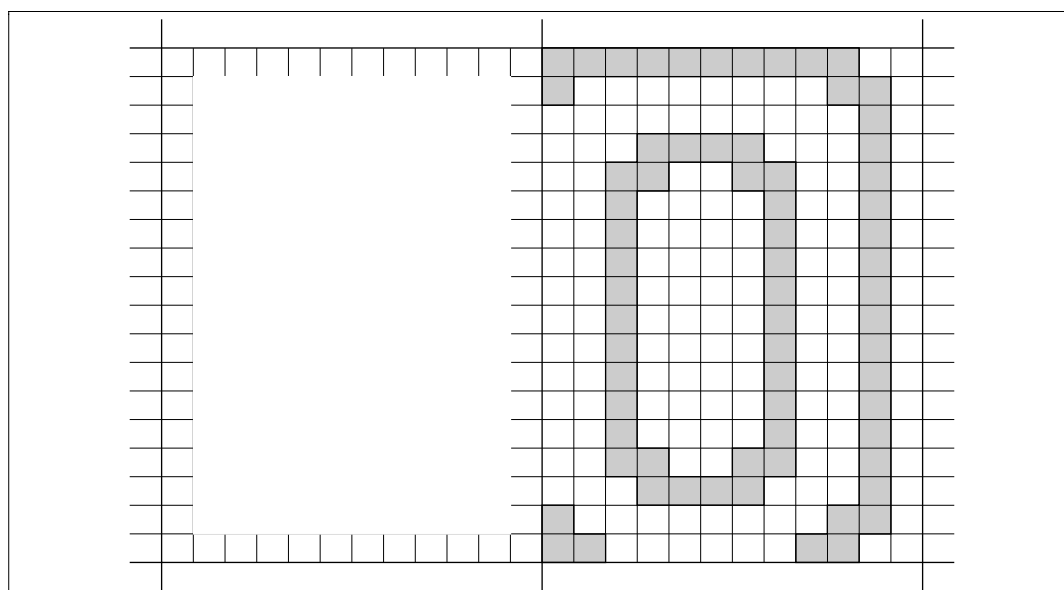


図 15.12 スルー表示と隣接する縁取り文字の例

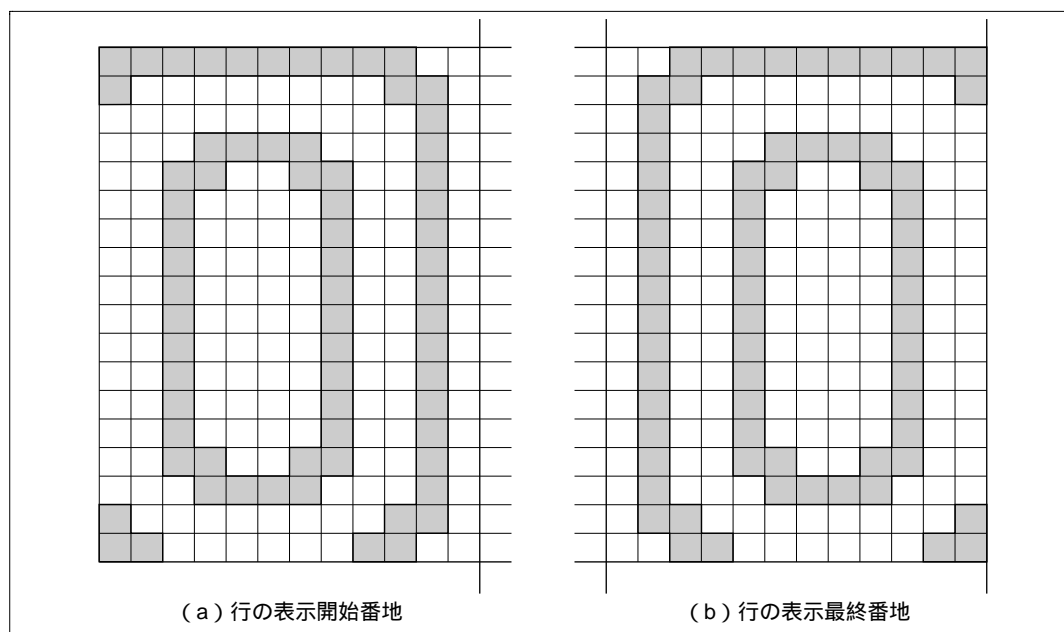


図 15.13 行の表示開始および最終番地の文字の例

15.5.9 OSD 用発振器

OSD を使用するためには、基準信号制御用と横方向ドットサイズの制御用との 2 種類の発振が必要です。

(1) 4 / 2fsc 発振器

CVideo 信号の水平および垂直同期信号から表示の位置やプリンクの点滅間隔などを制御します。また、ブルーバックモード時は、水平および垂直同期信号の生成、背景色(青)の生成なども制御します。水晶発振子の接続と、外部クロックの入力が可能です。周波数は 4 倍の fsc または 2 倍の fsc が選択できます。「12.2.4 TV 方式選択レジスタ (TVSR)」を参照して、周波数を決定してください。

周波数の偏差は温度特性も含めて $\pm 30\text{ppm}$ 以下になるように定数を決めてください。

水晶発振子の接続例を図 15.14 に、外部クロックの入力方法を図 15.15 に示します。

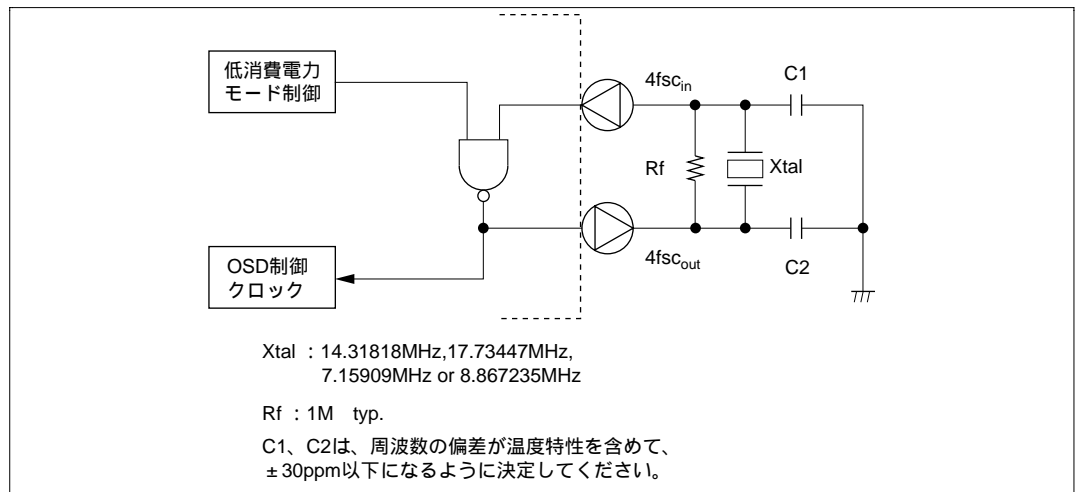


図 15.14 4 / 2fsc 水晶発振子の接続例

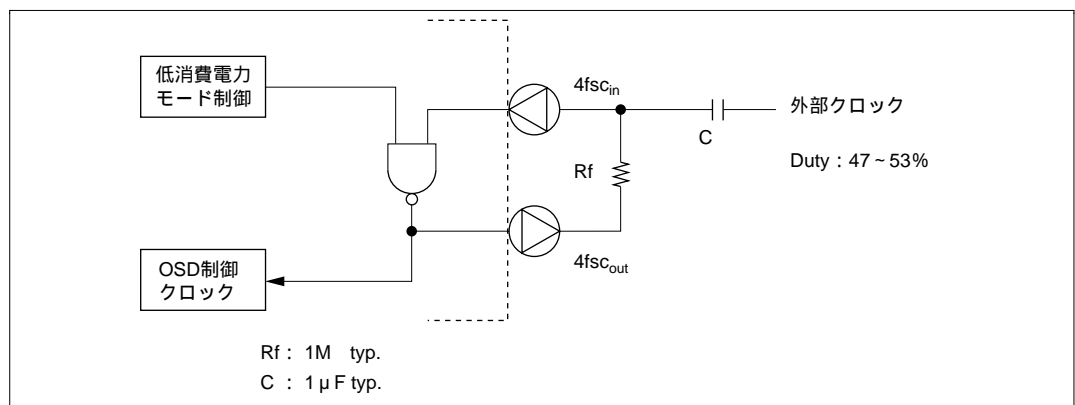


図 15.15 外部クロックの入力例

(2) ドットクロック発振器

ドットクロックは、OSD の水平方向のドットサイズを決定します。ドットクロック発振回路としてRCまたはLC発振器を内蔵しています。

ドットクロックは表示位置や文字サイズより、発振周波数 f_{DCLK} は、約 7MHz にすることを推奨します。発振周波数範囲は、6MHz f_{DCLK} 8MHz で使用してください。

RC発振の接続例を図 15.16 に、LC発振の接続例を図 15.17 に示します。RC発振は周囲温度により発振周波数が変動します。周囲の温度変化が大きい場合は、温度による周波数変動が少ないLC発振を使用してください。

また、LC発振回路ではオーバーシュートが発生することがありノイズ等に影響を与えることがあります。このような場合はダンピング抵抗を挿入することにより抑えられることがあります。図 15.18 にダンピング抵抗を挿入したLC発振器の構成例を示します。ただし、ダンピング抵抗を使用しない場合より f_{DCLK} の温度依存性が大きくなります。また、ノイズ対策は充分に行ってください。

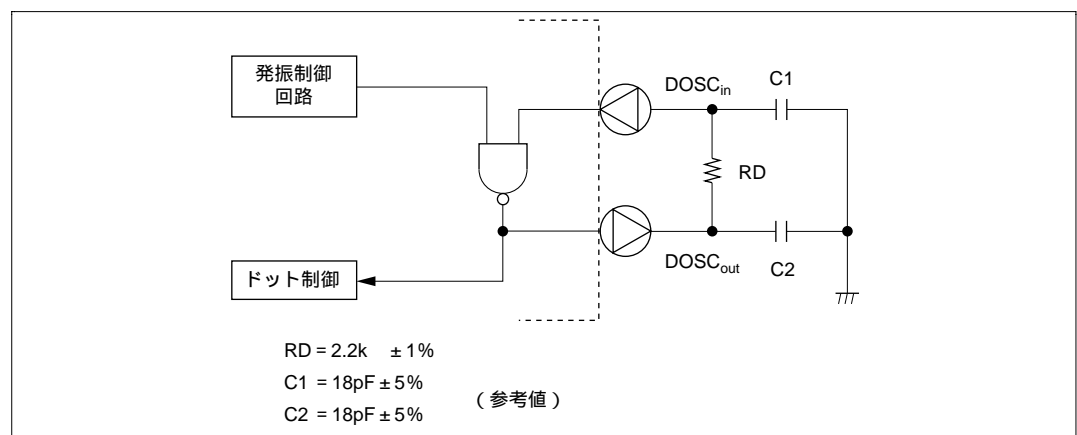


図 15.16 RC 発振の接続例

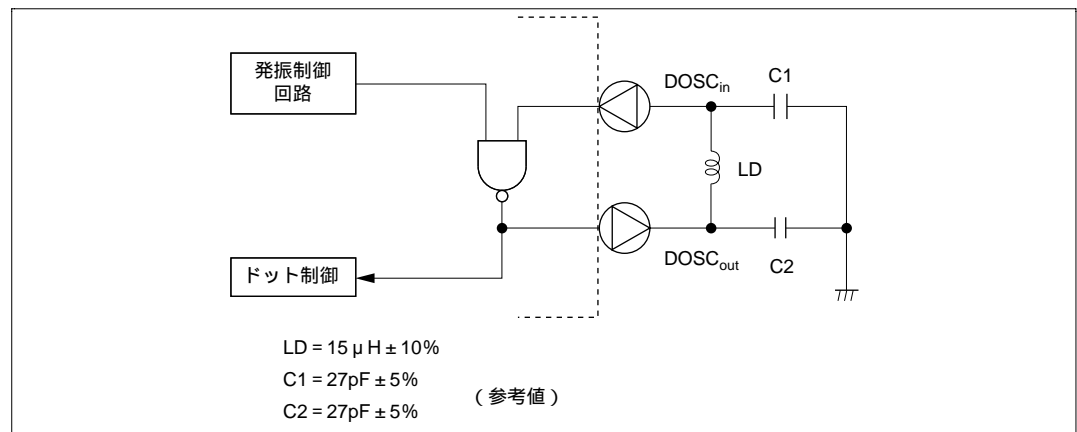


図 15.17 LC 発振の接続例

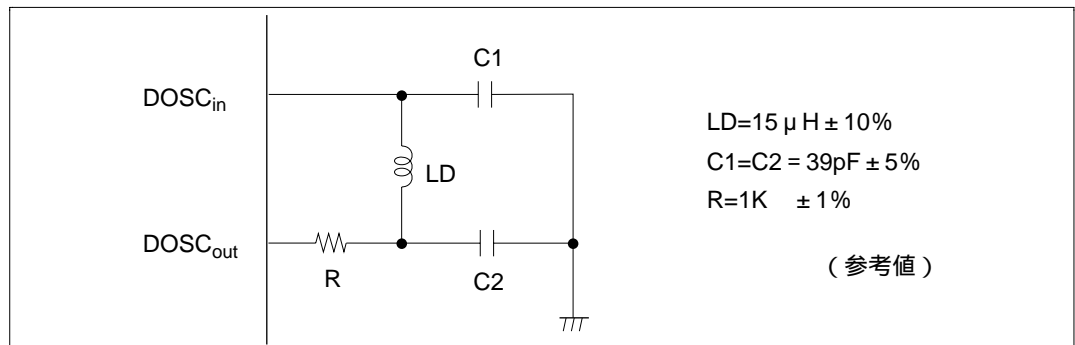


図 15.18 ダンピング抵抗を挿入した場合の LC 発振器の構成例

図 15.19 に各ドットクロック発振器の温度依存性の参考データを示します。

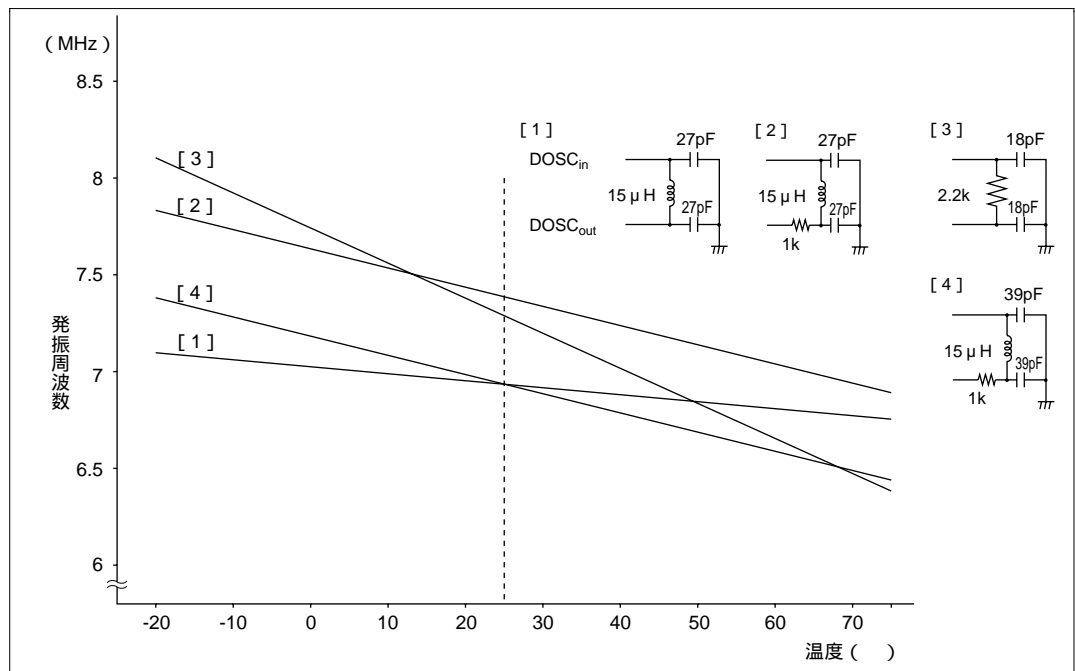


図 15.19 ドットクロック温度依存性 (参考データ)

15.5.10 AFC (Automatic Frequency Control)

AFC は、VTR 通常再生時の水平同期信号 (Hsync) の「ゆれ」を平均化します。AFC を ON にすることにより、OSD 表示のジッタを低減します。AFC の OSD ブロックにおける位置関係を図 15.20 に、AFC のブロック図を図 15.21 に示します。

また、OSD 部の外部回路例を図 E.4 に示します。

【注】 特殊再生時などのように、同期信号に大きな乱れが存在する場合は、AFC が誤動作することがあります。

(1) AFC 発振器

VCO (Voltage Controlled Oscillator) の発振端子である AFCOSC 端子は、Csync が一定位相で入力されているとき、32 倍の水平同期信号周波数 (32fH = 500kHz) で発振します。Csync が 32fH からの位相誤差を生じると、位相比較回路により位相誤差が電圧に変換され、VCO を制御します。

VCO の制御電圧 (= AFCLPF 端子の電圧) は約 2 ~ 4V に設定されており、中心電圧で AFCOSC 端子の発振周波数が 32fH = 500kHz となるように、発振容量 (C) を設定することを推奨します。このとき、C = 100pF typ. となります。

(2) AFCLPF

位相比較回路は Csync と 32fH の位相誤差を検出し、誤差に応じたパルスが発生します。AFCLPF 端子には、このパルスを平均化するための LPF (Low Pass Filter) を接続します。カットオフ周波数が低すぎると、大きな誤差が入力されたときや電源立ち上げ時に、表示が定常になるまでの時間 (引き込み時間) が長くなります。カットオフ周波数が高いと、ジッタや表示の不安定さの原因になることがあります。

「E. 使用上の注意」図 E.4 の外部回路例を参考に適切な LPF を接続してください。

また、特殊再生時などのように、同期信号に大きな乱れが存在する場合は、AFC が誤動作することがあります。

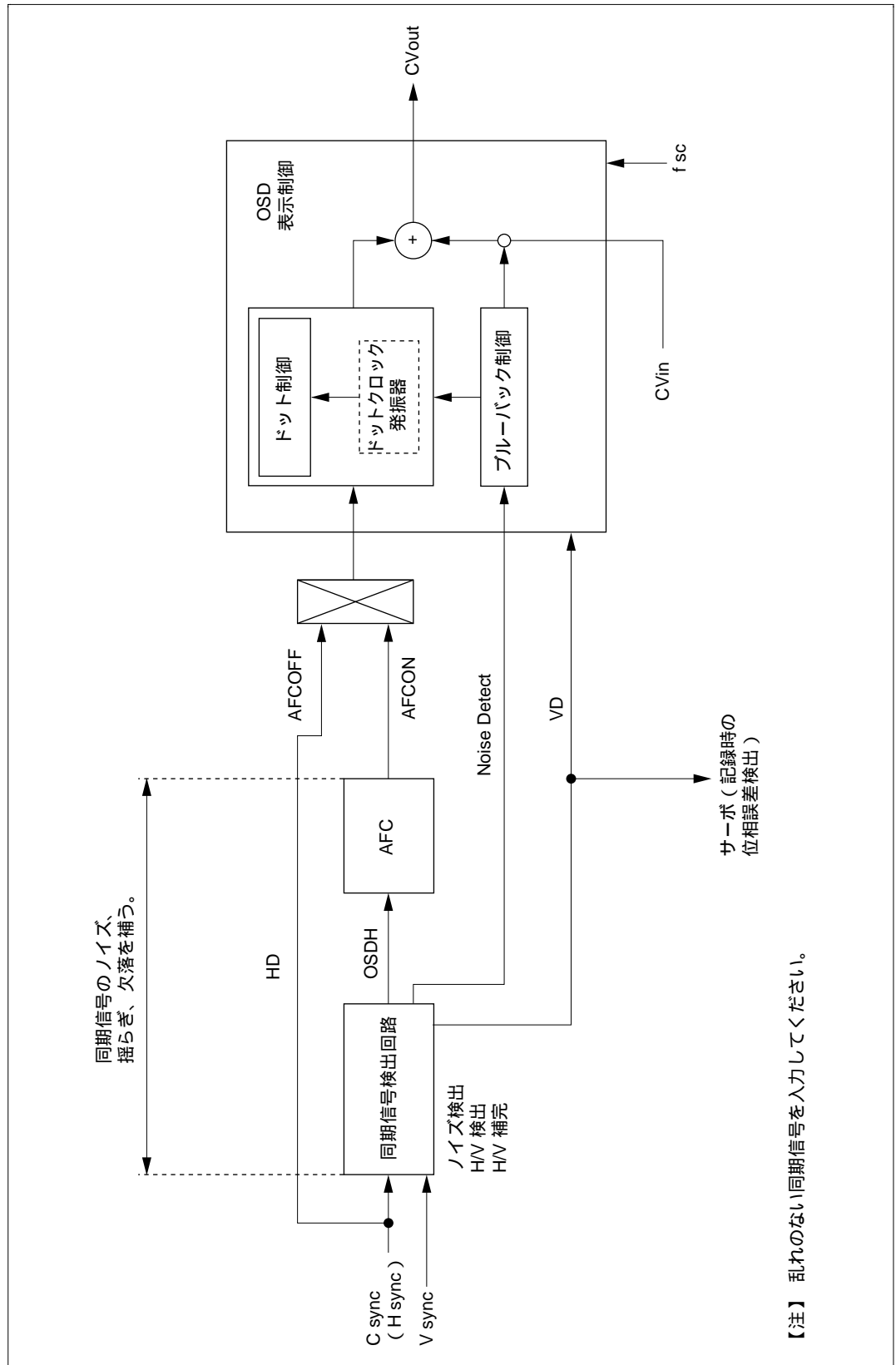


図 15.20 AFC の OSD ブロックにおける位置関係

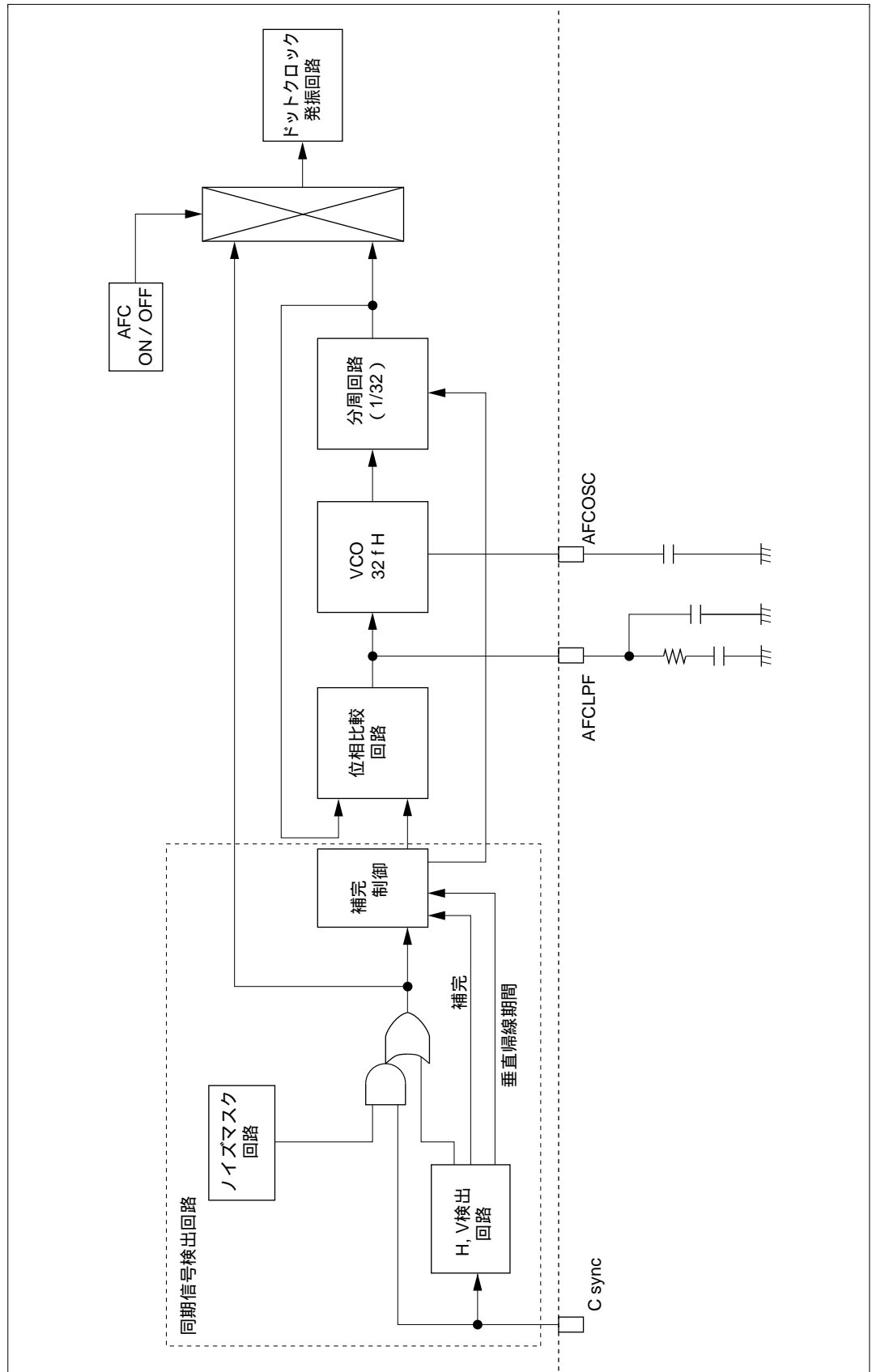


図 15.21 AFCのブロック図

15.5.11 CPU 動作モードにおける OSD 動作状態

OSD の各動作モードにおける CVout 端子の状態と VD 割り込みの発生元を示します。

OSDR4 の OSDE ビットと BLUE ビットにより、CVout 端子の出力状態が変わるので注意が必要です。特に、低消費電力モードの No.4 からアクティブモードの No.6 に遷移する場合は、クロマスルー状態からシンクチップレベル固定出力に変化するため、ブルーバック状態で低消費電力モードに遷移するときは注意してください。

No.	モード	OSDE ビット	BLUE ビット	CVout 端子	VD 割り込み発生元
1	アクティブ	0	0	クロマスルー	同期信号検出回路
2			1	シンクチップレベル	要求発生しない。
3	低消費電力モード	0	0 (保持)	クロマスルー	要求発生しない。
4			1 (保持)		
5	低消費電力モード	0	0	クロマスルー	同期信号検出回路
6	アクティブ復帰		1	シンクチップレベル	要求発生しない。
7	アクティブ	1	0	クロマスルー + OSD 表示	同期信号検出回路
8			1	ブルーバック	OSD

【注】 クロマスルー：CVin 端子に入力された信号がそのまま CVout 端子に出力される状態です。

OSDE ビットはリセットおよび低消費電力モードでクリアされます。

BLUE ビットはリセットでクリア、低消費電力モードでは保持されます。また、1 ライト以外にオートブルーバックでもセットされます。

15.5.12 OSDの注意事項

OSD文字表示中に表示データRAMが書き変わり、表示文字が変わってしまうことがあるため、以下の点に注意し御使用ください。

(1) リフレッシュ

OSD表示中に水平同期信号に乗ったノイズ等により、文字表示動作が中断された場合、表示RAM書き変わってしまうことがあります。表示データRAMは、スルー表示文字(文字コードH'7F)を使って文字表示していない領域も含め、定期的に表示データのリフレッシュを行ってください。ブルーバックモードで表示を行っているときも、定期的に表示データのリフレッシュを行ってください。

(リフレッシュの間隔は、1垂直同期期間に1行(10垂直同期期間に1画面)の書き換えを目安としてください。)

(2) 表示領域が画面から垂直方向にはみ出す場合

表示領域が画面から垂直方向にはみ出さないようにVP1(VP15~VP10)、VP2(VP25~VP20)を設定してください。チャンネルの表示などで、拡大文字(2×2倍文字、4×4倍文字)を表示する場合は、 $VP1 > VP2$ ($VP2 \neq 0$)とし、1行目だけを表示するようにしてください。

(3) 表示領域が場面から水平方向にはみ出す場合

表示領域が画面から水平方向にはみ出さないようにHP1(HP15~HP10)、HP2(HP25~HP20)を設定してください。拡大文字(2×2倍文字、4×4倍文字)を表示する場合等で、表示領域が画面から水平方向にはみ出す場合は、はみ出した文字が書き変わっている場合があります。文字の大きさ(SZ1、SZ2)を変える、あるいは、水平方向の表示開始位置(HP1、HP2)を変えることにより、はみ出していた文字表示領域を画面内に表示させるときは、一旦表示をOFFし、表示データRAMをリフレッシュした後、表示をONしてください。

なお、はみ出す領域の文字はスルー表示文字(文字コードH'7F)にしてください。

(4) OSDONビット

OSDONビット(OSDレジスタ3-ビット5)の書き換えは、VD割り込み後の約15H(水平同期信号15個)の期間に行ってください。

16. 電気的特性

第 16 章 目次

16.1	絶対最大定格	501
16.2	電気的特性	502
16.2.1	DC 特性	502
16.2.2	出力許容電流	509
16.2.3	AC 特性	510
16.2.4	シリアルインタフェースタイミング	512
16.2.5	A/D 変換器特性	515
16.2.6	サーボ部電気的特性	516
16.2.7	OSD 部電気的特性	519

16.1 絶対最大定格

絶対最大定格を表 16.1 に示します。

表 16.1 絶対最大定格

項 目	記 号	定 格 値	単 位
電源電圧	V_{CC}	- 0.3 ~ + 7.0	V
プログラム電圧	V_{PP}	- 0.3 ~ + 13.0	V
入力電圧 (ポート 0、2 を除く)	V_{in}	- 0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 0)	V_{in}	- 0.3 ~ $AV_{CC} + 0.3$	V
入力電圧 (ポート 2)	V_{in}	- 0.3 ~ + 15.0	V
A/D 変換器電源電圧	AV_{CC}	- 0.3 ~ + 7.0	V
A/D 変換器入力電圧	AV_{in}	- 0.3 ~ $AV_{CC} + 0.3$	V
サーボ電源電圧	$V_{CC}(SV)$	- 0.3 ~ + 7.0	V
サーボアンプ入力電圧	$V_{in}(SV)$	- 0.3 ~ $V_{CC}(SV) + 0.3$	V
OSD 電源電圧	$V_{CC}(OSD)$	- 0.3 ~ + 7.0	V
OSD アナログ入力電圧	$V_{in}(OSD)$	- 0.3 ~ $V_{CC}(OSD) + 0.3$	V
動作温度	T_{opr}	- 20 ~ + 75	
保存温度	T_{str}	- 55 ~ + 125	

- 【注】
- 絶対最大定格をこえて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では「電気的特性」の条件で使用することが望ましく、この条件をこえると LSI の誤動作の原因になるとともに、LSI の信頼性に悪影響をおよぼすことがあります。
 - 全ての電圧は、 $V_{SS} = V_{SS}(SV) = V_{SS}(OSD) = AV_{SS} = 0.0V$ を基準にした値です。
 - V_{PP} は、ZTAT 版に適用します。

16.2 電気的特性

16.2.1 DC 特性

表 16.2 (1) DC 特性

〔条件：特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 〕

項目	記号	適用端子	測定条件	規格値			単位	注記
				min.	typ.	max.		
入力 High レベル	V_{IH}	\overline{RES} 、 \overline{NMI} 、 $\overline{IRQ}_0 \sim \overline{IRQ}_5$ 、 \overline{IC}		$0.8V_{CC}$	-	$V_{CC} + 0.3$	V	
			サブアクティブ時 $V_{CC} = 2.7 \sim 5.5$	$0.9V_{CC}$	-	$V_{CC} + 0.3$		
		SCK_1 、 SCK_2 、 SI_1 、 SI_2		$0.8V_{CC}$	-	$V_{CC} + 0.3$	V	
		OSC_1 、X1		$V_{CC} - 0.5$	-	$V_{CC} + 0.3$	V	
		X1	サブアクティブ時 $V_{CC} = 2.7 \sim 5.5$	$0.9V_{CC}$	-	$V_{CC} + 0.3$	V	
		$P0_0 \sim P0_7$ 、 $P1_0 \sim P1_7$ 、 $P3_0 \sim P3_7$ 、 $P4_0 \sim P4_7$ 、 $P5_0 \sim P5_7$ 、 $P6_3 \sim P6_7$ 、 $P7_0 \sim P7_4$		$0.7V_{CC}$	-	$V_{CC} + 0.3$	V	
		$P2_0 \sim P2_3$		$0.7V_{CC}$	-	12.0	V	
		Vsync		$0.8V_{CC}$	-	$V_{CC} + 0.3$	V	
		Hsync/Csync		$0.7V_{CC}$	-	$V_{CC} + 0.3$	V	

【注】 TEST 端子は、 V_{SS} に接続してください。

表 16.2 (2) DC 特性

〔条件：特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 〕

項目	記号	適用端子	測定条件	規格値			単位	注記
				min.	typ.	max.		
入力 Low レベル	V_{IL}	\overline{RES} 、 \overline{NMI} 、 $\overline{IRQ_0} \sim \overline{IRQ_5}$ 、 \overline{IC}		- 0.3	-	$0.2V_{CC}$	V	
			サブアクティブ時 $V_{CC} = 2.7 \sim 5.5$	- 0.3	-	$0.1V_{CC}$		
	SCK_1 、 SCK_2 、 SI_1 、 SI_2		- 0.3	-	$0.2V_{CC}$	V		
	OSC_1 、X1		- 0.3	-	0.5	V		
	X1	サブアクティブ時 $V_{CC} = 2.7 \sim 5.5$	- 0.3	-	$0.1V_{CC}$	V		
	$P0_0 \sim P0_7$ 、 $P1_0 \sim P1_7$ 、 $P2_0 \sim P2_3$ 、 $P3_0 \sim P3_7$ 、 $P4_0 \sim P4_7$ 、 $P5_0 \sim P5_7$ 、 $P6_3 \sim P6_7$ 、 $P7_0 \sim P7_4$		- 0.3	-	$0.3V_{CC}$	V		
	Vsync		- 0.3	-	$0.2V_{CC}$	V		
	Hsync/Csync		- 0.3	-	$0.15V_{CC}$	V		

【注】 TEST 端子は、 V_{SS} に接続してください。

表 16.2 (3) DC 特性

[条件 : 特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$]

項目	記号	適用端子	測定条件	規格値			単位	注記
				min.	typ.	max.		
出力 High レベル	V_{OH}	SO ₁ 、SO ₂ 、 SCK ₁ 、SCK ₂ 、 PWM1、 PWM2、 PWM14、 BUZZ、TMO、	- I _{OH} = 1.0mA	$V_{CC} - 1.0$	-	-	V	
		YCO ₁ 、YEO ₁ 、 YCO ₂ 、YEO ₂ 、 PPG70 ~ 74、 P1 ₀ ~ P1 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₇ 、 P5 ₀ ~ P5 ₇ 、 P6 ₃ ~ P6 ₇ 、 P7 ₀ ~ P7 ₄	- I _{OH} = 0.5mA	-	$V_{CC} - 0.5$	-	V	参考値

【注】 TEST 端子は、 V_{SS} に接続してください。

表 16.2 (4) DC 特性

〔条件：特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 〕

項目	記号	適用端子	測定条件	規格値			単位	注記
				min.	typ.	max.		
出力 Low レベル	V_{OL}	SO ₁ 、SO ₂ 、 SCK ₁ 、SCK ₂ 、 PWM1、 PWM2、 PWM14、 BUZZ、TMO、 YCO ₁ 、YEO ₁ 、 YCO ₂ 、YEO ₂ 、 PPG70 ~ 74、 P1 ₀ ~ P1 ₇ 、 P3 ₀ ~ P3 ₇ 、 P5 ₀ ~ P5 ₇ 、 P6 ₃ ~ P6 ₇ 、 P7 ₀ ~ P7 ₄	$I_{OL} = 1.6mA$	-	-	0.6	V	
			$I_{OL} = 1mA$	-	-	0.4	V	
			$I_{OL} = 10mA$	-	-	1.5	V	
			$I_{OL} = 1mA$	-	0.4	-	V	参考値

【注】 TEST 端子は、 V_{SS} に接続してください。

表 16.2 (5) DC 特性

[条件 : 特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$]

項目	記号	適用端子	測定条件	規格値			単位	注記
				min.	typ.	max.		
入力リーク 電流 (絶対値)	I _{IL}	\overline{RES}	$V_{IN} = 0.0 \sim V_{CC}$	-	-	20.0	μ A	注 1
				-	-	1.0	μ A	注 2
	TEST、 \overline{NMI} 、 $\overline{IRQ_0} \sim \overline{IRQ_5}$ 、 \overline{IC} 、SCK ₁ 、 SCK ₂ 、SI ₁ 、 SI ₂ 、OSC ₁ 、 4fsc _{in} 、Vsync、 Hsync/ Csync、 P0 ₀ ~ P0 ₇ 、 P1 ₀ ~ P1 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₇ 、 P5 ₀ ~ P5 ₇ 、 P6 ₃ ~ P6 ₇ 、 P7 ₀ ~ P7 ₄	$V_{IN} = 0.0 \sim V_{CC}$	-	-	1.0	μ A		
	P2 ₀ ~ P2 ₃	$V_{IN} = 0.0 \sim +12.0V$	-	-	20	μ A		
	AN ₈ ~ AN _B 、 AUDIO FF、 VIDEO FF、 Vpulse、 H. AmpSW、 C. Rotary、 DRMPWM、 CAPPWM、 CHARBias	$V_{IN} = 0.0 \sim V_{CC}$	-	-	1.0	μ A		

- 【注】 1. ZTAT[®]版に適用します。
2. MASK 版に適用します。

表 16.2 (6) DC 特性

〔条件：特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 〕

項目	記号	適用端子	測定条件	規格値			単位	注記	
				min.	typ.	max.			
プルアップ MOS 電流	$-I_p$	P5 ₀ ~ P5 ₇	$V_{CC} = 5.0V$ 、 $V_{IN} = 0V$	50	-	300	μA	注 3	
入力容量	C _{IN}	電源端子およびアナログ系端子を除く	f _{IN} = 1MHz、 $V_{IN} = 0V$ 、 T _a = 25	-	-	15	pF		
				RES	-	-	60	pF	注 1
				P2 ₀	-	-	30		

【注】 1. ZTAT[®]版に適用します。

3. プルアップ MOS セレクトレジスタ (PUR5) の当該ビットを 1 に設定した場合の電流値です。

表 16.2 (7) DC 特性

〔条件：特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 〕

項目	記号	適用端子	測定条件	規格値			単位	注記
				min.	typ.	max.		
アクティブ モード CPU動作時 消費電流	I_{OPE}	V_{CC}	$V_{CC} = 5V$ 、 $f_{OSC} = 10MHz$	-	20	30	mA	注4
			$V_{CC} = 5V$ 、 $f_{OSC} = 8MHz$	-	16	-		
アクティブ モード リセット時 消費電流	I_{RES}	V_{CC}	$V_{CC} = 5V$ 、 $f_{OSC} = 10MHz$	-	16	-	mA	注4 参考値
			$V_{CC} = 5V$ 、 $f_{OSC} = 8MHz$	-	14	-		
スリープモード 消費電流	I_{SLEEP}	V_{CC}	$V_{CC} = 5V$ 、 $f_{OSC} = 10MHz$	-	5.0	10	mA	注4
			$V_{CC} = 5V$ 、 $f_{OSC} = 8MHz$	-	4.0	-		
サブアクティブ モード消費電流	I_{SUB}	V_{CC}	$V_{CC} = 2.7V$ 、 32kHz 水晶発振子 使用時	-	20	70	μA	参考値
			$V_{CC} = 5.0V$ 、 32kHz 水晶発振子 使用時	-	50	-		
ウォッチモード 消費電流	I_{WATCH}	V_{CC}	$V_{CC} = 2.7V$ 、 32kHz 水晶発振子 使用時	-	3.0	6.0	μA	参考値
			$V_{CC} = 5.0V$ 、 32kHz 水晶発振子 使用時	-	5.5	-		
スタンバイモード 消費電流	I_{STBY}	V_{CC}	$X1 = V_{CC}$ 、 32kHz 発振未使用	-	-	5.0	μA	
スタンバイ時 RAMデータ 保持電圧	V_{STBY}	V_{CC}	$X1 = V_{CC}$ 、 32kHz 発振未使用	2	-	-	V	

【注】 4. プルアップ MOS や出力バッファに流れる電流は除きます。

16.2.2 出力許容電流

デジタル系の端子について規定します。

表 16.3 出力許容電流

[条件: $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$]

項 目	記 号	規 格 値	単 位	注 記
許容入力電流 (LSI への流入)	I_o	2	mA	1
許容入力電力 (LSI への流入)	I_o	12	mA	2
許容出力電流 (LSI からの流出)	$-I_o$	2	mA	3
許容総入力電流 (LSI への流入)	I_o	80	mA	4
許容総出力電流 (LSI からの流出)	$-I_o$	50	mA	5

- 【注】
1. 許容入力電流とは、各入出力端子から V_{SS} へ流し込める電流の最大値です。ポート 4 を除く。
 2. 許容入力電力とは、各入出力端子から V_{SS} へ流し込める電流の最大値です。ポート 4 に適用します。
 3. 許容出力電流とは、 V_{CC} から各入出力端子へ流し出せる電流の最大値です。
 4. 許容総入力電流とは、同時に全入出力端子から V_{SS} へ流し込める電流の総和です。
 5. 許容総出力電流とは、 V_{CC} から全入出力端子へ流し出せる電流の総和です。

16.2.3 AC 特性

表 16.4 AC 特性

〔条件：特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 〕

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
クロック発振 周波数	f_{OSC}	OSC ₁ 、OSC ₂		8	-	10	MHz	
クロック サイクル時間	t_{cyc}	OSC ₁ 、OSC ₂		100	-	125	ns	図 16.1
インストラクシ ョンサイクル	t			200	-	250	ns	図 16.1
サブクロック 発振周波数	f_x	X ₁ 、X ₂	$V_{CC} = 2.7 \sim 5.5$	-	32.768	-	kHz	
サブクロック サイクル時間	t_{subcyc}	X ₁ 、X ₂	$V_{CC} = 2.7 \sim 5.5$	-	30.518	-	μs	
サブアクティブ インストラクシ ョンサイクル	t_{sub}		$V_{CC} = 2.7 \sim 5.5$	-	122.07	-	μs	
発振安定時間	t_{rc}	OSC ₁ 、OSC ₂	水晶発振子	-	-	40	ms	
		OSC ₁ 、OSC ₂	セラミック発振子	-	-	20	ms	
		X ₁ 、X ₂	32kHz 水晶発振子	-	-	2	s	
外部クロック High レベル幅	t_{CPH}	OSC ₁		40	-	-	ns	図 16.1
外部クロック Low レベル幅	t_{CPL}	OSC ₁		40	-	-	ns	
外部クロック 立ち上がり時間	t_{CPr}	OSC ₁		-	-	20	ns	
外部クロック 立ち下がり時間	t_{CPf}	OSC ₁		-	-	20	ns	
RES 端子 Low レベル幅	t_{REL}	\overline{RES}		10	-	-	t	図 16.2
割り込み端子 High レベル幅	t_{IH}	$\overline{IRQ_0} \sim \overline{IRQ_5}$ 、 \overline{NMI} 、 \overline{IC}		2	-	-	t	図 16.3
割り込み端子 Low レベル幅	t_{IL}	$\overline{IRQ_0} \sim \overline{IRQ_5}$ 、 \overline{NMI} 、 \overline{IC}		2	-	-	t	

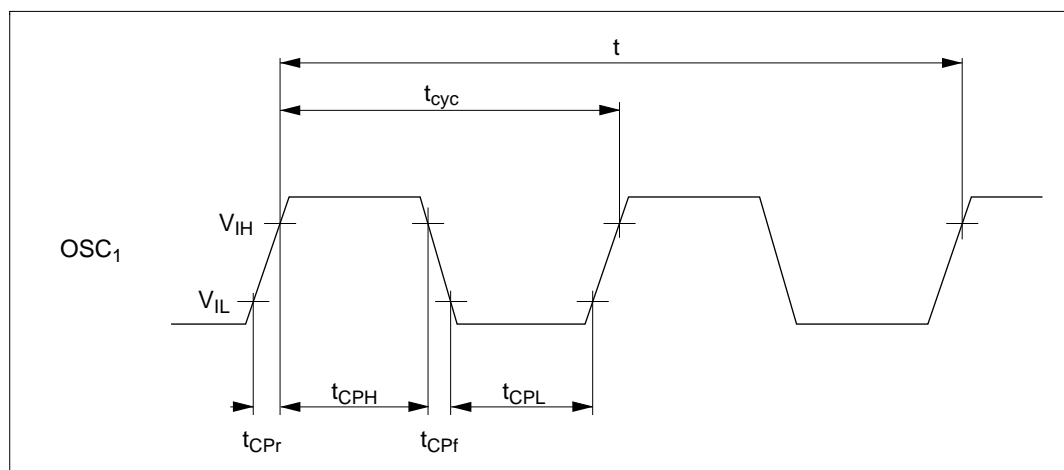


図 16.1 システムクロック入力タイミング

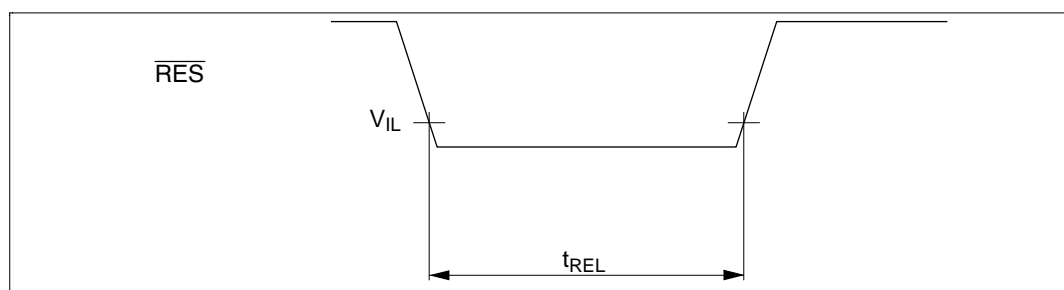


図 16.2 RES 端子 LOW レベル幅

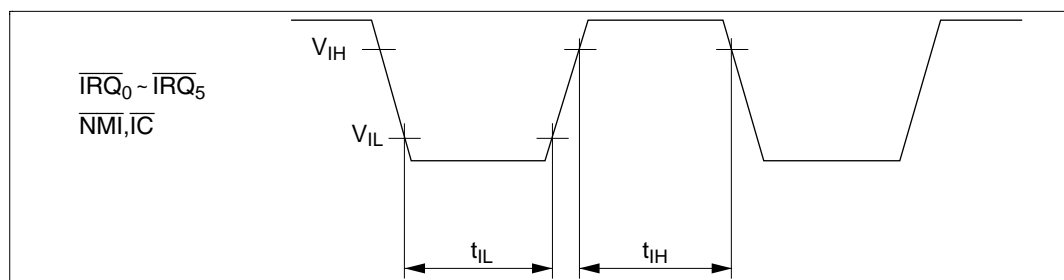


図 16.3 外部割り込み端子入力タイミング

16.2.4 シリアルインタフェースタイミング

表 16.5 シリアルインタフェースタイミング

〔条件：特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 〕

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
出力転送クロック サイクルタイミング	t_{scyc}	SCK ₁ SCK ₂		8	-	-	t	図 16.4
出力転送クロック High レベル幅	t_{SCKH}			0.4	-	-	t_{scyc}	
出力転送クロック Low レベル幅	t_{SCKL}			0.4	-	-	t_{scyc}	
出力転送クロック 立ち上がり時間	t_{SCKr}			-	-	60	ns	
出力転送クロック 立ち下がり時間	t_{SCKf}			-	-	60	ns	
入力転送クロック サイクルタイミング	t_{scyc}			1	-	-	t	
入力転送クロック High レベル幅	t_{SCKH}			0.4	-	-	t_{scyc}	
入力転送クロック Low レベル幅	t_{SCKL}			0.4	-	-	t_{scyc}	
入力転送クロック 立ち上がり時間	t_{SCKr}			-	-	60	ns	
入力転送クロック 立ち下がり時間	t_{SCKf}			-	-	60	ns	
シリアル出力データ 遅延時間	t_{dso}	SO ₁ 、SO ₂		-	-	200	ns	
シリアル入力データ セットアップ時間	t_{ssi}	SI ₁ 、SI ₂		230	-	-	ns	
シリアル入力データ ホールド時間	t_{hsi}			230	-	-	ns	

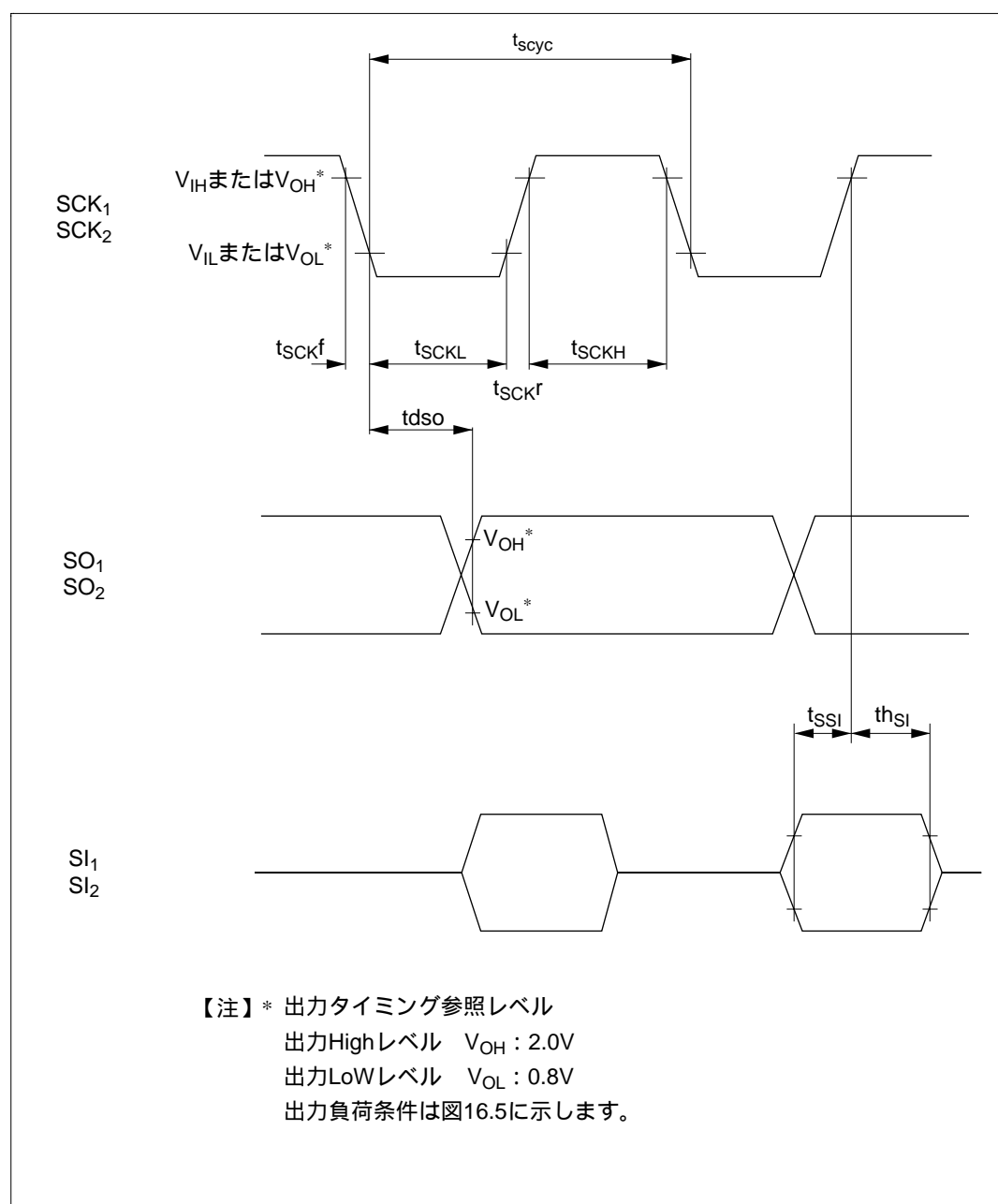


図 16.4 SCI 入出力タイミング

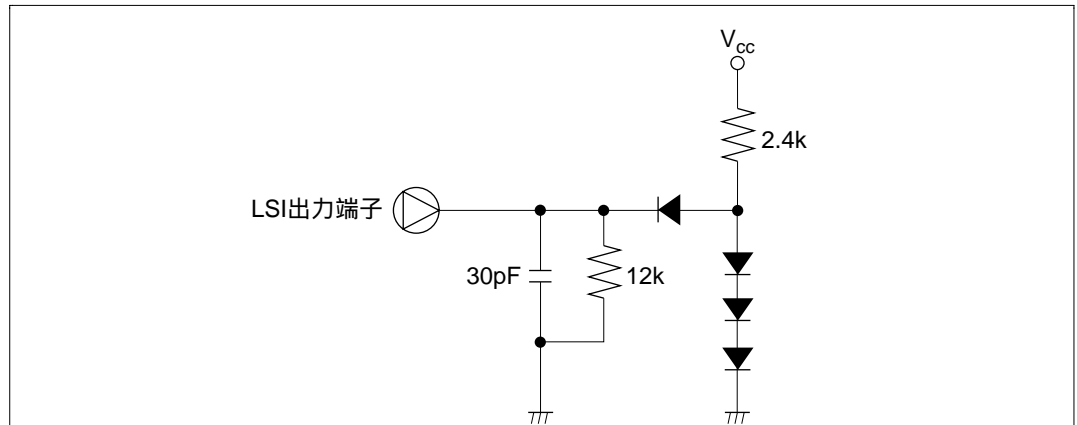


図 16.5 出力負荷条件

16.2.5 A/D 変換器特性

表 16.6 A/D 変換器特性

〔条件:特記なき場合は、 $V_{CC} = AV_{CC} = 4.0 \sim 5.5V$ 、 $AV_{SS} = V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 〕

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
アナログ 電源電圧	AV_{CC}	AV_{CC}		$V_{CC} - 0.3$	V_{CC}	$V_{CC} + 0.3$	V	
アナログ 入力電圧	AV_{IN}	$AN_0 \sim AN_7$ $AN_8 \sim AN_B$		AV_{SS}	-	AV_{CC}	V	
アナログ 電源電流	AI_{CC}	AV_{CC}	$AV_{CC} = 5V$	-	-	1.5	mA	
	AI_{STOP}		リセット、及び 低消費電力 モード時	-	-	10	μA	
アナログ 入力容量	C_{AIN}	$AN_0 \sim AN_7$ $AN_8 \sim AN_B$		-	-	30	pF	
許容信号源 インピー ダンス	R_{AIN}	$AN_0 \sim AN_7$ $AN_8 \sim AN_B$		-	-	10	k	
分解能				-	-	8	ビット	
絶対精度			$V_{CC} = AV_{CC} = 5V$	-	-	± 2.5	LSB	
			$V_{CC} = AV_{CC} = 4.0 \sim 5.5V$	-	± 2.5	-	LSB	参考値
変換時間			$V_{CC} = AV_{CC} = 5V$	31	-	12.4	μs	

16.2.6 サーボ部電気的特性

参考値

表 16.7 (1) サーボ部電気的特性

〔条件：特記なき場合は、 $V_{CC} = V_{CC}(SV) = 5.0V$ 、 $V_{SS} = 0.0V$ 、 $T_a = 25$ 〕

項目	記号	適用端子	測定条件	参考値			単位	注記
				min.	typ.	max.		
PB-CTL シュミット 入力	V+TH1	CTL (+)		100	130	160	mVp	
	V-TH1			- 160	- 130	- 100		
	V+TH2			200	260	320		
	V-TH2			- 320	- 260	- 200		
	V+TH3			420	500	580		
	V-TH3			- 580	- 500	- 420		
	V+TH4			900	1000	1100		
	V-TH4			- 1100	- 1000	- 400		
PB-CTL 入力 アンプ電圧 利得		CTL (+)	f = 10kHz	-	60	-	dB	
			オープン ループ	-	80	-		
アナログ スイッチ ON 抵抗	RFB	CTL-I1 ~ CTL-O		-	150	-		
REC-CTL 出力電流	I_{CTL}	CTL (+)	直列抵抗 = 0	-	12	-	mA	
		CTL (-)		-	12	-		
REC-CTL 端子間抵抗	RCTL			-	10	-	k	
CFG 端子 バイアス電圧		CFG		-	2.5	-	V	
CFG 入力 アンプ入力 感度			AC 結合、 C = 1 μ Ftyp.	300	-	$V_{CC}(SV)$	mV _{pp}	
CFG アンプ 電圧利得			f = 1kHz	-	32	-	dB	
CFG アンプ 入力インピー ダンス	RCFG			-	2.5	-	k	

参考値

表 16.7 (2) サーボ部電気的特性

〔条件：特記なき場合は、 $V_{CC} = V_{CC}(SV) = 5.0V$ 、 $V_{SS} = 0.0V$ 、 $T_a = 25$ 〕

項目	記号	適用端子	測定条件	参考値			単位	注記
				min.	typ.	max.		
CFG シュミット アンプ デューティ			f = 1kHz、 $V_{in} = 1V_{PP}$ 、 AC 結合、 1 μ F typ.	45	-	55	%	
DFG 端子 バイアス電圧		DFG		-	2.5	-	V	
DFG 入力 アンプ入力感度			AC 結合、 C = 1 μ F typ.	300	-	$V_{CC}(SV)$	mV _{PP}	
DFG アンプ 電圧利得			f = 1kHz	-	32	-	dB	
DFG アンプ 入力インピー ダンス	RDFG			-	2.5	-	k	
DPG 端子 バイアス電圧		DPG	N/P = 0	-	2	-	V	注 1
			N/P = 1	-	3	-		
DPG 入力 アンプ入力感度			AC 結合、 C = 1 μ F typ.	0.15	-	2	V_{OP}	
DPG アンプ 電圧利得			f = 1kHz	-	34	-	dB	
DPG アンプ 入力インピー ダンス	RDPG			-	2	-	k	

【注】 1. N/P ビットは、DPB レジスタのビット 0

表 16.7 (3) サーボ部電気的特性

〔条件：特記なき場合は、 $V_{CC} = V_{CC}(SV) = 5.0V$ 、 $V_{SS} = 0.0V$ 、 $T_a = 25$ 〕

項目	記号	適用端子	測定条件	規格値			単位	注記
				min.	typ.	max.		
COMP 入力 High レベル	V_{IH}	COMP		$0.8V_{CC}$	-	$V_{CC} + 0.3$	V	
COMP 入力 Low レベル	V_{IL}			- 0.3	-	$0.2V_{CC}$	V	
デジタル 出力 High レベル	V_{OH}	H.AmpSW、 C. Rotary、 VIDEOFF、 AUDIOFF、 DRMPWM、 CAPPWM	$- I_{OH} = 1mA$	$V_{CC} - 1.0$	-	-	V	
デジタル 出力 Low レベル	V_{OL}	H.AmpSW、 C. Rotary、 VIDEOFF、 AUDIOFF、 DRMPWM、 CAPPWM	$I_{OL} = 1.6mA$	-	-	0.6	V	
3 値出力 レベル	V_{OH}	Vpulse	$- I_{OH} = 2mA$	4.0	-	-	V	注 2 参考値
	V_{OM}		無負荷、HiZ = 1	-	2.5	-		
	V_{OL}		$I_{OL} = 2mA$	-	-	1.0		
3 値出力端子 分圧抵抗				-	15	-	k	参考値
消費電流	I_{CCSV}	$V_{CC}(SV)$	無負荷時	-	5	10	mA	

【注】 2. HiZ ビットは付加 V レジスタ (ADVR) のビット 3

16.2.7 OSD 部電気的特性

参考値

表 16.8 (1) OSD 部電気的特性

〔条件：特記なき場合は、 $V_{CC} = V_{CC}(OSD) = 5.0V$ 、 $V_{SS} = 0.0V$ 、 $T_a = 25$ 〕

項目	記号	適用端子	測定条件	参考値			単位	注記
				min.	typ.	max.		
クランプ電圧	V_{CL}	CV_{in}	$I_{out} = 100 \mu A$	1.2	1.4	1.6	V	
基準電圧	V_{ref}	V_{ref}	無負荷時	1.2	1.4	1.6	V	
C. Video 利得	G_{CVC}	$CV_{in} \sim$ CV_{out}	クロマスルー時、 $f = 3.58MHz$ 、 $V_{in} = 500mV_{pp}$	- 2	- 1	0	dB	
ペDESTAL バイアス	V_{PED}	CV_{out}		-	45	-	IRE	注 1
背景バイアス	VRS1			-	25	-	IRE	注 2
	VRS2			-	45	-		
	VRS3			-	65	-		
縁取り バイアス	VEG1			-	0	-	IRE	注 2
	VEG2			-	15	-		
キャラクタ バイアス	VCH1			-	65	-	IRE	注 2
	VCH2			-	75	-		
	VCH3			-	85	-		

【注】 1. シンクチップクランプ電位から測定 (- 6dB 後の参考値)

2. ペDESTAL電位から測定 (- 6dB 後の参考値)

【記号説明】 IRE : 規定映像レベル (= 0.714V) を 100 とするレベル単位

表 16.8 (2) OSD 部電気的特性

〔条件：特記なき場合は、 $V_{CC} = V_{CC}(\text{OSD}) = 5.0\text{V}$ 、 $V_{SS} = 0.0\text{V}$ 、 $T_a = 25$ 〕

項 目	記号	適用端子	測定条件	規 格 値			単位	注記
				min.	typ.	max.		
発振安定時間	t_{rc}	4fsc	水晶発振子	-	-	40	ms	
クロック 発振周波数	4fsc	4fsc	NTSC	-	14.31818	-	MHz	注 1
			PAL、SECAM	-	17.73447	-		
	2fsc	4fsc	NTSC	-	7.15909	-		
			PAL、SECAM	-	8.867235	-		
外部クロック 入力レベル	-	4fsc _{in} 4fsc _{out}	AC 結合、 C = 1 μ Ftyp.	2	-	$V_{CC} + 0.3$	V_{pp}	参考値
	V_{IH}	4fsc _{in}		$0.7V_{CC}$	-	$V_{CC} + 0.3$	V	
	V_{IL}			- 0.3	-	$0.3V_{CC}$		
外部クロック デューティ	-	4fsc _{in}		47	50	53	%	
ドット クロック発振 周波数範囲	DOSC	DOSC _{in} DOSC _{out}	RC 発振または LC 発振	6	7	8	MHz	
消費電流	$I_{CC_{OS}}$	$V_{CC}(\text{OSD})$	無信号時	-	6	10	mA	

【注】 1. 4fsc、2fsc の周波数は、温度依存性も含め $\pm 30\text{ppm}$ 以内に合わせてください。

付録

付録 目次

A.	命令.....	523
	A.1 命令一覧.....	523
	A.2 オペレーションコードマップ.....	524
	A.3 命令実行ステート数.....	525
B.	内部 I/O レジスタ一覧.....	534
	B.1 アドレス一覧.....	534
	B.2 機能一覧.....	538
C.	各端子の回路構成.....	596
D.	各処理状態におけるポートの状態.....	607
E.	使用上の注意.....	608
	E.1 電源の立ち上げおよび立ち下げの順序.....	608
	E.2 OSD 未使用時の電源端子.....	609
	E.3 4ヘッド特殊再生用高速切り替え回路未使用時の端子処理.....	611
	E.4 外付回路例.....	611
	E.5 ROM リリース時の注意事項.....	614
F.	型名一覧.....	616
G.	外形寸法図.....	617

A. 命令

A.1 命令一覧

《オペレーションの記号》

Rd8/16	汎用レジスタ (デスティネーション側) 8 ビット / 16 ビット
Rs8/16	汎用レジスタ (ソース側) 8 ビット / 16 ビット
Rn8/16	汎用レジスタ 8 ビット / 16 ビット
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#xx: 3/8/16	イミディエイトデータ 3 ビット / 8 ビット / 16 ビット
d: 8/16	ディスプレイメント 8 ビット / 16 ビット
@aa: 8/16	絶対アドレス 8 ビット / 16 ビット
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
-	論理的補数

《コンディションコードの記号》

記号	
↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します (値を保証しません)。
0	常に 0 にクリアされることを表します。
-	実行結果に影響を受けないことを表します。

A.2 オペレーションコードマップ

表A.1にオペレーションコードマップを示します。表A.1では、命令コードの第1バイト(第1ワードのビット15~8)についてのみ示しています。

表A.1 オペレーションコードマップ

LO HI	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F		
0	NOP	SLEEP	STC	LDC	ORC	XORC	ANDC	LDC	ADD		INC	ADDS	MOV		ADDX	DAA		
1	SHLL SHAL	SHLR SHAR	ROTXL ROTL	ROTXR ROTR	OR	XOR	AND	NOT NEG	SUB		DEC	SUBS	CMP		SUBX	DAS		
2	MOV																	
3																		
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE		
5	MULXU	DIVXU			RTS	BSR	RTE			JMP				JSR				
6	BSET		BNOT		BCLR		BTST				BST		BIST		MOV*			
7					BOR		BXOR		BAND		BLD				MOV		EEPMOV	ビット操作命令
					BIOR		BIXOR		BIAND		BILD							
8	ADD																	
9	ADDX																	
A	CMP																	
B	SUBX																	
C	OR																	
D	XOR																	
E	AND																	
F	MOV																	

【注】* PUSH, POP命令の機械語はMOV命令と同一です。

A.3 命令実行ステート数

表 A.2 命令セット一覧 (1)

ニーモニック	オペレーション	アドレッシングモード/ 命令長 (バイト)								コンディションコード						実行 ステ ート 数			
		サイズ	#xx:8/16	Rn	@Rn	@ (d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@ (d:8, PC)	@@aa		I	H	N	Z		V	C	
MOV	MOV.B #xx:8, Rd	B	2											↓	↓	0	-	2	
	MOV.B Rs, Rd	B		2										↓	↓	0	-	2	
	MOV.B @Rs, Rd	B			2									↓	↓	0	-	4	
	MOV.B @(d:16, Rs), Rd	B				4								↓	↓	0	-	6	
	MOV.B @Rs+, Rd	B					2							↓	↓	0	-	6	
	MOV.B @aa:8, Rd	B					2							↓	↓	0	-	4	
	MOV.B @aa:16, Rd	B						4						↓	↓	0	-	6	
	MOV.B Rs, @Rd	B			2									↓	↓	0	-	4	
	MOV.B Rs, @(d:16, Rd)	B				4								↓	↓	0	-	6	
	MOV.B Rs, @-Rd	B					2							↓	↓	0	-	6	
	MOV.B Rs, @aa:8	B					2							↓	↓	0	-	4	
	MOV.B Rs, @aa:16	B						4						↓	↓	0	-	6	
	MOV.W #xx:16, Rd	W	4											↓	↓	0	-	4	
	MOV.W Rs, Rd	W		2										↓	↓	0	-	2	
	MOV.W @Rs, Rd	W			2									↓	↓	0	-	4	
	MOV.W @(d:16, Rs), Rd	W				4								↓	↓	0	-	6	
MOV.W @Rs+, Rd	W					2							↓	↓	0	-	6		
MOV.W @aa:16, Rd	W						4						↓	↓	0	-	6		
MOV.W Rs, @Rd	W			2									↓	↓	0	-	4		
MOV.W Rs, @(d:16, Rd)	W				4								↓	↓	0	-	6		

表 A.2 命令セット一覧 (2)

ニーモニック		アドレッシングモード/ 命令長 (バイト)								オペレーション	コンディションコード						実行 ステ ート 数		
		サイズ	#xx:8/16	Rn	@Rn	@ (d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@ (d:8, PC)		@@aa	I	H	N	Z	V		C	
MOV	MOV.W Rs, @ - Rd	W					2			Rd16 - 2 Rd16 Rs16 @Rd16	-	-	↑	↓	0	-	6		
	MOV.W Rs, @aa:16	W					4			Rs16 @aa:16	-	-	↑	↓	0	-	6		
POP	POP Rd	W					2			@SP Rd16 SP + 2 SP	-	-	↑	↓	0	-	6		
PUSH	PUSH Rs	W					2			SP - 2 SP Rs16 @SP	-	-	↑	↓	0	-	6		
ADD	ADD.B #xx:8, Rd	B	2							Rd8 + #xx:8 Rd8	-	↑	↓	↑	↓	↑	↓	2	
	ADD.B Rs, Rd	B	2							Rd8 + Rs8 Rd8	-	↑	↓	↑	↓	↑	↓	2	
	ADD.W Rs, Rd	W	2							Rd16 + Rs16 Rd16	-	[1]	↑	↓	↑	↓	↑	↓	2
ADDX	ADDX.B #xx:8, Rd	B	2							Rd8 + #xx:8 + C Rd8	-	↑	↓	[2]	↑	↓	↑	↓	2
	ADDX.B Rs, Rd	B	2							Rd8 + Rs8 + C Rd8	-	↑	↓	[2]	↑	↓	↑	↓	2
ADDS	ADDS.W #1, Rd	W	2							Rd16 + 1 Rd16	-	-	-	-	-	-	-	2	
	ADDS.W #2, Rd	W	2							Rd16 + 2 Rd16	-	-	-	-	-	-	-	2	
INC	INC.B Rd	B	2							Rd8 + 1 Rd8	-	-	↑	↓	↑	↓	-	2	
DAA	DAA.B Rd	B	2							Rd8 10進補正 Rd8	-	*	↑	↓	*	[3]	↑	↓	2
SUB	SUB.B Rs, Rd	B	2							Rd8 - Rs8 Rd8	-	↑	↓	↑	↓	↑	↓	2	
	SUB.W Rs, Rd	W	2							Rd16 - Rs16 Rd16	-	[1]	↑	↓	↑	↓	↑	↓	2
SUBX	SUBX.B #xx:8, Rd	B	2							Rd8 - #xx:8 - C Rd8	-	↑	↓	[2]	↑	↓	↑	↓	2
	SUBX.B Rs, Rd	B	2							Rd8 - Rs8 - C Rd8	-	↑	↓	[2]	↑	↓	↑	↓	2

表 A.2 命令セット一覧 (3)

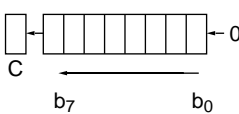
ニーモニック		アドレッシングモード/ 命令長 (バイト)								オペレーション	コンディションコード						実行 ステ ート 数		
		サイズ	#xx:8/16	Rn	@Rn	@{d:16, Rn}	@-Rn/@Rn+	@aa:8/16	@{d:8, PC}		@@aa		I	H	N	Z		V	C
SUBS	SUBS.W #1, Rd	W	2								Rd16 - 1	Rd16	-	-	-	-	-	-	2
	SUBS.W #2, Rd	W	2								Rd16-2	Rd16	-	-	-	-	-	-	2
DEC	DEC.B Rd	B	2								Rd8 - 1	Rd8	-	-	↑	↑	↑	-	2
DAS	DAS.B Rd	B	2								Rd8 10進補正	Rd8	-	*	↑	↑	*	-	2
NEG	NEG.B Rd	B	2								0 - Rd	Rd	-	↑	↑	↑	↑	↑	2
CMP	CMP.B #xx:8, Rd	B	2								Rd8 - #xx:8		-	↑	↑	↑	↑	↑	2
	CMP.B Rs, Rd	B	2								Rd8 - Rs8		-	↑	↑	↑	↑	↑	2
	CMP.W Rs, Rd	W	2								Rd16 - Rs16		-	[1]	↑	↑	↑	↑	2
MULXU	MULXU.B Rs, Rd	B	2								Rd8 x Rs8	Rd16	-	-	-	-	-	-	14
DIVXU	DIVXU.B Rs, Rd	B	2								Rd16 ÷ Rs8	Rd16	-	-	[5]	[6]	-	-	14
											(RdH : 余り, RdL : 商)								
AND	AND.B #xx:8, Rd	B	2								Rd8 #xx:8	Rd8	-	-	↑	↑	0	-	2
	AND.B Rs, Rd	B	2								Rd8 Rs8	Rd8	-	-	↑	↑	0	-	2
OR	OR.B #xx:8, Rd	B	2								Rd8 #xx:8	Rd8	-	-	↑	↑	0	-	2
	OR.B Rs, Rd	B	2								Rd8 Rs8	Rd8	-	-	↑	↑	0	-	2
XOR	XOR.B #xx:8, Rd	B	2								Rd8⊕#xx:8	Rd8	-	-	↑	↑	0	-	2
	XOR.B Rs, Rd	B	2								Rd8⊕Rs8	Rd8	-	-	↑	↑	0	-	2
NOT	NOT.B Rd	B	2								\overline{Rd}	Rd	-	-	↑	↑	0	-	2
SHAL	SHAL.B Rd	B	2										-	-	↑	↑	↑	↑	2

表 A.2 命令セット一覧 (5)

ニーモニック	オペレーション	アドレッシングモード / 命令長 (バイト)								コンディションコード						実行ステート数						
		サイズ	アドレス							I	H	N	Z	V	C							
			#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)								@@aa					
BSET	BSET #xx:3, @aa:8	B						4													8	
	BSET Rn, Rd	B	2																			2
	BSET Rn, @Rd	B		4																		8
	BSET Rn, @aa:8	B					4															8
BCLR	BCLR #xx:3, Rd	B	2																			2
	BCLR #xx:3, @Rd	B		4																		8
	BCLR #xx:3, @aa:8	B					4															8
	BCLR Rn, Rd	B	2																			2
	BCLR Rn, @Rd	B		4																		8
	BCLR Rn, @aa:8	B					4															8
BNOT	BNOT #xx:3, Rd	B	2																			2
	BNOT #xx:3, @Rd	B		4																		8
	BNOT #xx:3, @aa:8	B					4															8
	BNOT Rn, Rd	B	2																			2
	BNOT Rn, @Rd	B		4																		8
	BNOT Rn, @aa:8	B					4															8
	BTST	BTST #xx:3, Rd	B	2																		
BTST #xx:3, @Rd	B		4																			6
BTST #xx:3, @aa:8	B					4																6
BTST Rn, Rd	B	2																				2

表 A.2 命令セット一覧 (6)

ニーモニック		アドレッシングモード / 命令長 (バイト)								オペレーション	コンディションコード						実行ステート数		
		サイズ	#xx:8/16	Rn	@Rn	@{d:16, Rn}	@-Rn/@Rn+	@aa:8/16	@{d:8, PC}		@@aa		I	H	N	Z		V	C
BTST	BTST Rn, @Rd	B		4							(Rn8 of @Rd16) Z	-	-	-	↑	-	-	6	
	BTST Rn, @aa:8	B					4				(Rn8 of @aa:8) Z	-	-	-	↑	-	-	6	
BLD	BLD #xx:3, Rd	B	2								(#xx:3 of Rd8) C	-	-	-	-	-	-	2	
	BLD #xx:3, @Rd	B		4							(#xx:3 of @Rd16) C	-	-	-	-	-	-	6	
	BLD #xx:3, @aa:8	B					4				(#xx:3 of @aa:8) C	-	-	-	-	-	-	6	
BILD	BILD #xx:3, Rd	B	2								(#xx:3 of Rd8) C	-	-	-	-	-	-	2	
	BILD #xx:3, @Rd	B		4							(#xx:3 of @Rd16) C	-	-	-	-	-	-	6	
	BILD #xx:3, @aa:8	B					4				(#xx:3 of @aa:8) C	-	-	-	-	-	-	6	
BST	BST #xx:3, Rd	B	2								C (#xx:3 of Rd8)	-	-	-	-	-	-	2	
	BST #xx:3, @Rd	B		4							C (#xx:3 of @Rd16)	-	-	-	-	-	-	8	
	BST #xx:3, @aa:8	B					4				C (#xx:3 of @aa:8)	-	-	-	-	-	-	8	
BIST	BIST #xx:3, Rd	B	2								\bar{C} (#xx:3 of Rd8)	-	-	-	-	-	-	2	
	BIST #xx:3, @Rd	B		4							\bar{C} (#xx:3 of @Rd16)	-	-	-	-	-	-	8	
	BIST #xx:3, @aa:8	B					4				\bar{C} (#xx:3 of @aa:8)	-	-	-	-	-	-	8	
BAND	BAND #xx:3, Rd	B	2								C (#xx:3 of Rd8) C	-	-	-	-	-	↑	2	
	BAND #xx:3, @Rd	B		4							C (#xx:3 of @Rd16) C	-	-	-	-	-	↑	6	
	BAND #xx:3, @aa:8	B					4				C (#xx:3 of @aa:8) C	-	-	-	-	-	↑	6	
BIAND	BIAND #xx:3, Rd	B	2								C (#xx:3 of Rd8) C	-	-	-	-	-	↑	2	
	BIAND #xx:3, @Rd	B		4							C (#xx:3 of @Rd16) C	-	-	-	-	-	↑	6	
	BIAND #xx:3, @aa:8	B					4				C (#xx:3 of @aa:8) C	-	-	-	-	-	↑	6	
BOR	BOR #xx:3, Rd	B	2								C (#xx:3 of Rd8) C	-	-	-	-	-	↑	2	
	BOR #xx:3, @Rd	B		4							C (#xx:3 of @Rd16) C	-	-	-	-	-	↑	6	
	BOR #xx:3 @aa:8	B					4				C (#xx:3 of @aa:8) C	-	-	-	-	-	↑	6	

表 A.2 命令セット一覧 (7)

ニーモニック		アドレッシングモード / 命令長 (バイト)									オペレーション		コンディションコード						実行ステート数		
		サイズ	#xx:8/16	Rn	@Rn	@{d:16, Rn}	@-Rn/@Rn+	@aa:8/16	@{d:8, PC}	@@aa				分岐条件	I	H	N	Z		V	C
BIOR	BIOR #xx:3,Rd	B	2									C (#xx:3 of Rd8)	C	-	-	-	-	-	↓	2	
	BIOR #xx:3,@Rd	B		4								C (#xx:3 of @Rd16)	C	-	-	-	-	-	↓	6	
	BIOR #xx:3,@aa:8	B					4					C (#xx:3 of @aa:8)	C	-	-	-	-	-	↓	6	
BXOR	BXOR #xx:3,Rd	B	2									C⊕(#xx:3 of Rd8)	C	-	-	-	-	-	↓	2	
	BXOR #xx:3,@Rd	B		4								C⊕(#xx:3 of @Rd16)	C	-	-	-	-	-	↓	6	
	BXOR #xx:3,@aa:8	B					4					C⊕(#xx:3 of @aa:8)	C	-	-	-	-	-	↓	6	
BIXOR	BIXOR #xx:3,Rd	B	2									C⊕(#xx:3 of Rd8)	C	-	-	-	-	-	↓	2	
	BIXOR #xx:3,@Rd	B		4								C⊕(#xx:3 of @Rd16)	C	-	-	-	-	-	↓	6	
	BIXOR #xx:3,@aa:8	B					4					C⊕(#xx:3 of @aa:8)	C	-	-	-	-	-	↓	6	
Bcc	BRA d:8(BT d:8)	-						2				PC PC + d:8		-	-	-	-	-	-	4	
	BRN d:8(BF d:8)	-						2				PC PC + 2		-	-	-	-	-	-	4	
	BHI d:8	-						2			if condition is true then PC PC+d:8 else next;	C Z=0		-	-	-	-	-	-	4	
	BLS d:8	-						2				C Z=1		-	-	-	-	-	-	-	4
	BCC d:8(BHS d:8)	-						2				C=0		-	-	-	-	-	-	-	4
	BCS d:8(BLO d:8)	-						2				C=1		-	-	-	-	-	-	-	4
	BNE d:8	-						2				Z=0		-	-	-	-	-	-	-	4
	BEQ d:8	-						2				Z=1		-	-	-	-	-	-	-	4
	BVC d:8	-						2				V=0		-	-	-	-	-	-	-	4
	BVS d:8	-						2				V=1		-	-	-	-	-	-	-	4
	BPL d:8	-						2				N=0		-	-	-	-	-	-	-	4
	BMI d:8	-						2				N=1		-	-	-	-	-	-	-	4
	BGE d:8	-						2				N⊕V=0		-	-	-	-	-	-	-	4
	BLT d:8	-						2				N⊕V=1		-	-	-	-	-	-	-	4
	BGT d:8	-						2				Z (N⊕V)=0		-	-	-	-	-	-	-	4
BLE d:8	-						2			Z (N⊕V)=1			-	-	-	-	-	-	-	4	

表 A.2 命令セット一覧 (8)

ニーモニック	オペレーション	アドレッシングモード / 命令長 (バイト)								コンディションコード						実行ステート数		
		サイズ	#xx:8/16	Rn	@Rn	@ (d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@ (d:8, PC)	@@aa		I	H	N	Z		V	C
JMP	JMP @Rn	-			2													4
	JMP @aa:16	-					4											6
	JMP @@aa:8	-							2									8
BSR	BSR d:8	-							2									6
JSR	JSR @Rn	-			2													6
	JSR @aa:16	-					4											8
	JSR @@aa:8	-							2									8
RTS	RTS	-							2									8
RTE	RTE	-							2									10

表 A.2 命令セット一覧 (9)

ニーモニック	アドレッシングモード/ 命令長 (バイト)	サイズ	アドレッシングモード/ 命令長 (バイト)							オペレーション	コンディションコード						実行 ステ ート 数	
			#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)		@@aa	I	H	N	Z	V		C
SLEEP	SLEEP	-								2	低消費電力状態に遷移	-	-	-	-	-	-	2
LDC	LDC #xx:8, CCR	B	2								#xx:8 CCR	↓	↓	↓	↓	↓	↓	2
	LDC Rs, CCR	B	2								Rs8 CCR	↓	↓	↓	↓	↓	↓	2
STC	STC CCR, Rd	B	2								CCR Rd8	-	-	-	-	-	-	2
ANDC	ANDC #xx:8, CCR	B	2								CCR #xx:8 CCR	↓	↓	↓	↓	↓	↓	2
ORC	ORC #xx:8, CCR	B	2								CCR #xx:8 CCR	↓	↓	↓	↓	↓	↓	2
XORC	XORC #xx:8, CCR	B	2								CCR⊕#xx:8 CCR	↓	↓	↓	↓	↓	↓	2
NOP	NOP	-								2	PC PC + 2	-	-	-	-	-	-	2
EENOV	EEMOV	-								4	if R4L 0 Repeat @R5 @R6 R5 + 1 R5 R6 + 1 R6 R4L - 1 R4L Until R4L=0 else next;	-	-	-	-	-	-	[4]

【注】 [1] : ビット 11 から桁上がりまたはビット 11 へ桁下がりが発生したとき 1 にセットされ、それ以外のとき 0 にクリアされます。

[2] : 演算結果がゼロのとき、演算前の値を保持し、それ以外のとき 0 にクリアされます。

[3] : 補正結果に桁上がりが発生したとき 1 にセットされ、それ以外のとき演算前の値を保持します。

[4] : 実行ステート数は、R4L の設定値が n のとき $4n + 9$ となります。

[5] : 除数が負のとき 1 にセットされ、それ以外のとき 0 にクリアされます。

[6] : 除数がゼロのとき 1 にセットされ、それ以外のとき 0 にクリアされます。

B. 内部 I/O レジスタ一覧

B.1 アドレス一覧

アドレス	レジスタ 略称	ビット名																内蔵回路
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
HF2A0	CGKp	CGKp15	CGKp14	CGKp13	CGKp12	CGKp11	CGKp10	CGKp9	CGKp8	CGKp7	CGKp6	CGKp5	CGKp4	CGKp3	CGKp2	CGKp1	CGKp0	キャプスタン
HF2A1	CGKs	CGKs15	CGKs14	CGKs13	CGKs12	CGKs11	CGKs10	CGKs9	CGKs8	CGKs7	CGKs6	CGKs5	CGKs4	CGKs3	CGKs2	CGKs1	CGKs0	デジタル
HF2A2	CAp	CAp15	CAp14	CAp13	CAp12	CAp11	CAp10	CAp9	CAp8	CAp7	CAp6	CAp5	CAp4	CAp3	CAp2	CAp1	CAp0	フィルタ
HF2A3	CBp	CBp15	CBp14	CBp13	CBp12	CBp11	CBp10	CBp9	CBp8	CBp7	CBp6	CBp5	CBp4	CBp3	CBp2	CBp1	CBp0	
HF2A4	CAs	CAs15	CAs14	CAs13	CAs12	CAs11	CAs10	CAs9	CAs8	CAs7	CAs6	CAs5	CAs4	CAs3	CAs2	CAs1	CAs0	
HF2A5	CBs	CBs15	CBs14	CBs13	CBs12	CBs11	CBs10	CBs9	CBs8	CBs7	CBs6	CBs5	CBs4	CBs3	CBs2	CBs1	CBs0	
HF2A6	COfp	COfp15	COfp14	COfp13	COfp12	COfp11	COfp10	COfp9	COfp8	COfp7	COfp6	COfp5	COfp4	COfp3	COfp2	COfp1	COfp0	
HF2A7	COfs	COfs15	COfs14	COfs13	COfs12	COfs11	COfs10	COfs9	COfs8	COfs7	COfs6	COfs5	COfs4	COfs3	COfs2	COfs1	COfs0	
HF2A8	DGKp	DGKp15	DGKp14	DGKp13	DGKp12	DGKp11	DGKp10	DGKp9	DGKp8	DGKp7	DGKp6	DGKp5	DGKp4	DGKp3	DGKp2	DGKp1	DGKp0	ドラム
HF2A9	DGKs	DGKs15	DGKs14	DGKs13	DGKs12	DGKs11	DGKs10	DGKs9	DGKs8	DGKs7	DGKs6	DGKs5	DGKs4	DGKs3	DGKs2	DGKs1	DGKs0	デジタル
HF2AA	DAp	DAp15	DAp14	DAp13	DAp12	DAp11	DAp10	DAp9	DAp8	DAp7	DAp6	DAp5	DAp4	DAp3	DAp2	DAp1	DAp0	フィルタ
HF2AB	DBp	DBp15	DBp14	DBp13	DBp12	DBp11	DBp10	DBp9	DBp8	DBp7	DBp6	DBp5	DBp4	DBp3	DBp2	DBp1	DBp0	
HF2AC	DAs	DAs15	DAs14	DAs13	DAs12	DAs11	DAs10	DAs9	DAs8	DAs7	DAs6	DAs5	DAs4	DAs3	DAs2	DAs1	DAs0	
HF2AD	DBs	DBs15	DBs14	DBs13	DBs12	DBs11	DBs10	DBs9	DBs8	DBs7	DBs6	DBs5	DBs4	DBs3	DBs2	DBs1	DBs0	
HF2AE	DOfp	DOfp15	DOfp14	DOfp13	DOfp12	DOfp11	DOfp10	DOfp9	DOfp8	DOfp7	DOfp6	DOfp5	DOfp4	DOfp3	DOfp2	DOfp1	DOfp0	
HF2AF	DOfs	DOfs15	DOfs14	DOfs13	DOfs12	DOfs11	DOfs10	DOfs9	DOfs8	DOfs7	DOfs6	DOfs5	DOfs4	DOfs3	DOfs2	DOfs1	DOfs0	
HF2B0	K	KD15	KD14	KD13	KD12	KD11	KD10	KD9	KD8	KD7	KD6	KD5	KD4	KD3	KD2	KD1	KD0	学習サーボ
HF2B1	L	L15	L14	L13	L12	L11	L10	L9	L8	L7	L6	L5	L4	L3	L2	L1	L0	
HF2B2	K1									K17	K16	K15	K14	K13	K12	K11	K10	
HF2B3	K2									K27	K26	K25	K24	K23	K22	K21	K20	
HF2B4	K3									K37	K36	K35	K34	K33	K32	K31	K30	
HF2B5	K4									K47	K46	K45	K44	K43	K42	K41	K40	
HF2B6	LSR									-	-	-	-	LS3	LS2	LS1	LS0	
HF2B7	HSM1									FL	EMP	FRT	LOP	CLR	EDG	OVW	ISEL	HSW
HF2B8	HSM2									-	-	-	-	LO3	LO2	LO1	LO0	タイミング生成
HF2B9	FPDR1	-	-	-	-	-	-	-	-	-	-	-	PG74	PG73	PG72	PG71	PG70	
HF2BA	FPDR2	-	-	STRIG	ADTRG	AFF	VFF	Vpulse	Mlevel	-	-	-	-	-	-	-	-	
HF2BB	FTPR	T15	T14	T13	T12	T11	T10	T9	T8	T7	T6	T5	T4	T3	T2	T1	T0	
HF2BC	RFD	RFD15	RFD14	RFD13	RFD12	RFD11	RFD10	RFD9	RFD8	RFD7	RFD6	RFD5	RFD4	RFD3	RFD2	RFD1	RFD0	基準信号生成
HF2BD	CRF	CRF15	CRF14	CRF13	CRF12	CRF11	CRF10	CRF9	CRF8	CRF7	CRF6	CRF5	CRF4	CRF3	CRF2	CRF1	CRF0	
HF2BE																		
HF2BF																		
HF2C0	DFCR									-	-	-	DFC4	DFC3	DFC2	DFC1	DFC0	HSW タイミング生成
HF2C1	RCDR1	-	-	-	-	-	-	CMT19	CMT18	CMT17	CMT16	CMT15	CMT14	CMT13	CMT12	CMT11	CMT10	CTL回路
HF2C2	RCDR2	-	-	-	-	-	-	CMT29	CMT28	CMT27	CMT26	CMT25	CMT24	CMT23	CMT22	CMT21	CMT20	
HF2C3	RCDR3	-	-	-	-	-	-	CMT39	CMT38	CMT37	CMT36	CMT35	CMT34	CMT33	CMT32	CMT31	CMT30	
HF2C4																		
HF2C5																		
HF2C6																		
HF2C7																		
HF2C8	XDR									XDR7	XDR6	XDR5	XDR4	XDR3	XDR2	XDR1	XDR0	X値補正
HF2C9																		
HF2CA	ADVR									-	-	-	HMSK	HIZ	CUT	VPON	POL	付加V
HF2CB	DPB									-	-	-	-	-	-	CTLFB	N/P	入力アンプ
HF2CC	VTHR	-	-	VT5	VT4	VT3	VT2	VT1	VT0	-	-	-	-	HT3	HT2	HT1	HT0	同期信号
HF2CD	CMPR	HR7	HR6	HR5	HR4	HR3	HR2	HR1	HR0	-	-	-	-	HP3	HP2	HP1	HP0	検出回路
HF2CE	NDR	-	-	NW5	NW4	NW3	NW2	NW1	NW0	ND7	ND6	ND5	ND4	ND3	ND2	ND1	ND0	
HF2CF	TVSR									NOIS	NISE	FLD	SYCT	SYNC	M2	M1	M0	

アドレス	レジスタ 略称	ビット名																内蔵回路
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
HFF80																		
HFF81	OSDR1									SZ11	SZ10	HP15	HP14	HP13	HP12	HP11	HP10	OSD
HFF82	OSDR2									-	-	VP15	VP14	VP13	VP12	VP11	VP10	
HFF83	OSDR3									IRACS	IEACS	OSDON	EGYO	RSY1	RSY0	CHY1	CHY0	
HFF84	OSDR4									OSDE	AFCOFF	FSCSL	AUTOBB	BLUE	BLKS	DSPM1	DSPM0	
HFF85	OSDR5									SZ21	SZ20	HP25	HP24	HP23	HP22	HP21	HP20	
HFF86	OSDR6									-	-	VP25	VP24	VP23	VP22	VP21	VP20	
HFF87																		
HFF88	CDIVR2									-	CDV6	CDV5	CDV4	CDV3	CDV2	CDV1	CDV0	CFG 分周回路
HFF89																		
HFF8A																		
HFF8B																		
HFF8C	CTLR									-	-	CTL5	CTL4	CTL3	CTL2	CTL1	CTL0	CTL 分周回路
HFF8D	CDIVR									-	-	CDV5	CDV4	CDV3	CDV2	CDV1	CDV0	
HFF8E	CTMR									-	-	CPM5	CPM4	CPM3	CPM2	CPM1	CPM0	CFG 分周回路
HFF8F	CDVC									MFGin	-	CMK	-	-	RF	PS1	PS0	
HFF90	AMR									CK	-	HCH1	HCH0	SCH3	SCH2	SCH1	SCH0	A/D 変換器
HFF91	ADR									ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0	
HFF92	ASR									SST	HEND	-	-	HST	BUSY	SCNL	-	
HFF93	AHR									AHR7	AHR6	AHR5	AHR4	AHR3	AHR2	AHR1	AHR0	
HFF94	ICR1									ICR17	ICR16	ICR15	ICR14	ICR13	ICR12	ICR11	ICR10	フリーランニング カウンタ
HFF95	ICR2									-	-	-	-	-	-	ICR21	ICR20	
HFF96	ICR3	ICR3F	ICR3E	ICR3D	ICR3C	ICR3B	ICR3A	ICR39	ICR38	ICR37	ICR36	ICR35	ICR34	ICR33	ICR32	ICR31	ICR30	
HFF97	PWCR									BUZZ1	BUZZ0	MON1	MON0	NCon/off	PWC2	PWC1	PWCR0	PWM
HFF98	PWR1									PW17	PW16	PW15	PW14	PW13	PW12	PW11	PW10	8ビットPWM
HFF99	PWR2									PW27	PW26	PW25	PW24	PW23	PW22	PW21	PW20	
HFF9A	PWDRL									PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0	14ビットPWM
HFF9B	PWDRU									-	-	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0	
HFF9C	SMR1									-	-	-	-	PMOS1	BST1	PS11	PS10	SCI1, SCI2
HFF9D	SDR1									SDR17	SDR16	SDR15	SDR14	SDR13	SDR12	SDR11	SDR10	
HFF9E	SMR2									-	-	-	-	PMOS2	BST2	PS21	PS20	
HFF9F	SDR2									SDR27	SDR26	SDR25	SDR24	SDR23	SDR22	SDR21	SDR20	
HFFA0																		
HFFA1																		
HFFA2																		
HFFA3																		
HFFA4	CHCR									-	-	-	-	SIG3	SIG2	SIG1	SIG0	4ヘッド特殊再生
HFFA5	SHMR									NT/PL	FSLC	FSLB	FSLA	-	-	SEL1	SEL0	
HFFA6	CTLM									ASM	REC/PB	FW/RV	MD4	MD3	MD2	MD1	MD0	CTL回路
HFFA7	DI/O									-	CFG	HSW	CTL	-	-	-	DI/O	
HFFA8																		
HFFA9																		
HFFAA																		
HFFAB																		
HFFAC	DPWCR									-	-	POL	DC	HIZ	H/L	SF/DF	CK	12ビットPWM
HFFAD	DPWDR	-	-	-	-	CWR11	CWR10	CWR9	CWR8	CWR7	CWR6	CWR5	CWR4	CWR3	CWR2	CWR1	CWR0	
HFFAE	CPWCR									-	-	POL	DC	HIZ	H/L	SF/DF	CK	
HFFAF	CPWDR	-	-	-	-	DWR11	DWR10	DWR9	DWR8	DWR7	DWR6	DWR5	DWR4	DWR3	DWR2	DWR1	DWR0	

付 録

アドレス	レジスタ 略称	ビット名																内蔵回路
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
HFFB0	DFPR	DS15	DS14	DS13	DS12	DS11	DS10	DS9	DS8	DS7	DS6	DS5	DS4	DS3	DS2	DS1	DS0	デジタル
HFFB1	DFER	DER15	DER14	DER13	DER12	DER11	DER10	DER9	DER8	DER7	DER6	DER5	DER4	DER3	DER2	DER1	DER0	フィルタ
HFFB2	CFPR	CS15	CS14	CS13	CS12	CS11	CS10	CS9	CS8	CS7	CS6	CS5	CS4	CS3	CS2	CS1	CS0	
HFFB3	CFER	CER15	CER14	CER13	CER12	CER11	CER10	CER9	CER8	CER7	CER6	CER5	CER4	CER3	CER2	CER1	CER0	
HFFB4	DPPR1													DPH19	DPH18	DPH17	DPH16	
HFFB5	DPER1													DPER19	DPER18	DPER17	DPER16	
HFFB6	CPPR1													CPH19	CPH18	CPH17	CPH16	
HFFB7	CPER1													CPER19	CPER18	CPER17	CPER16	
HFFB8	DPPR2	DPH15	DPH14	DPH13	DPH12	DPH11	DPH10	DPH9	DPH8	DPH7	DPH6	DPH5	DPH4	DPH3	DPH2	DPH1	DPH0	
HFFB9	DPER2	DPER15	DPER14	DPER13	DPER12	DPER11	DPER10	DPER9	DPER8	DPER7	DPER6	DPER5	DPER4	DPER3	DPER2	DPER1	DPER0	
HFFBA	CPPR2	CPH15	CPH14	CPH13	CPH12	CPH11	CPH10	DPH9	DPH8	DPH7	CPH6	CPH5	CPH4	CPH3	CPH2	CPH1	CPH0	
HFFBB	CPER2	CPER15	CPER14	CPER13	CPER12	CPER11	CPER10	CPER9	CPER8	CPER7	CPER6	CPER5	CPER4	CPER3	CPER2	CPER1	CPER0	
HFFBC	DFIC									OVF	ROV	R/F	PHER	-	-	LSV	DPHA	
HFFBD	CFIC									OVF	ROV	-	PHER	CR/RF	A/D	LSV	DPHA	
HFFBE																		
HFFBF																		
HFFC0	TMA									WDST	WCKS	WRNS	WOVF	TMA3	TMA2	TMA1	TMA0	時計用タイム
HFFC1	TCA									TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0	ウォッチドッグ タイム
HFFC2	TLC									TLR27	TLR26	TLR25	TLR24	TLR23	TLR22	TLR21	TLR20	8 / 16 ビット リロードタイム
	TCC									TDR27	TDR26	TDR25	TDR24	TDR23	TDR22	TDR21	TDR20	
HFFC3	TLB									TLR17	TLR16	TLR15	TLR14	TLR13	TLR12	TLR11	TLR10	
	TCB									TDR17	TDR16	TDR15	TDR14	TDR13	TDR12	TDR11	TDR10	
HFFC4	TMB									PS11	PS10	ST	8/16	PS21	PS20	TGL	T/R	
HFFC5	LMR									-	-	-	-	LMR3	LMR2	LMR1	LMR0	リニアタイム
HFFC6	LTC									LTC7	LTC6	LTC5	LTC4	LTC3	LTC2	LTC1	LTC0	カウンタ
HFFC7	RCR									RCR7	RCR6	RCR5	RCR4	RCR3	RCR2	RCR1	RCR0	
HFFC8	RTUM1									CLR2	AC/BR	RLD	RLCK	PS21	PS20	RLD/CAP	CPS	リロードタイム
HFFC9	RTUM2									LAT	-	-	PS31	PS30	CP/SLM	CAPF	SLW	ユニット
HFFCA	RTC1									RTC17	RTC16	RTC15	RTC14	RTC13	RTC12	RTC11	RTC10	
HFFCB	RTC2									RTC27	RTC26	RTC25	RTC24	RTC23	RTC22	RTC21	RTC20	
HFFCC	RTU1									RTU17	RTU16	RTU15	RTU14	RTU13	RTU12	RTU11	RTU10	
HFFCD	RTU2									RTU27	RTU26	RTU25	RTU24	RTU23	RTU22	RTU21	RTU20	
HFFCE	RTU3									RTU37	RTU36	RTU35	RTU34	RTU33	RTU32	RTU31	RTU30	
HFFCF																		
HFFD0	PDR0									PDR07	PDR06	PDR05	PDR04	PDR03	PDR02	PDR01	PDR00	I/O ポート
HFFD1	PDR1									PDR17	PDR16	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10	
HFFD2	PDR2									-	-	-	-	PDR23	PDR22	PDR21	PDR20	
HFFD3	PDR3									PDR37	PDR36	PDR35	PDR34	PDR33	PDR32	PDR31	PDR30	
HFFD4	PDR4									PDR47	PDR46	PDR45	PDR44	PDR43	PDR42	PDR41	PDR40	
HFFD5	PDR5									PDR57	PDR56	PDR55	PDR54	PDR53	PDR52	PDR51	PDR50	
HFFD6	PDR6									PDR67	PDR66	PDR65	PDR64	PDR63	-	-	-	
HFFD7	PDR7									-	-	-	PDR74	PDR73	PDR72	PDR71	PDR70	
HFFD8																		
HFFD9																		
HFFDA																		
HFFDB																		
HFFDC	PPR7									-	-	-	PPR74	PPR73	PPR72	PPR71	PPR70	I/O ポート
HFFDD																		
HFFDE																		
HFFDF	SPR									-	-	-	-	SOL2	SOL1	ISC2	ISC1	SCI

アドレス	レジスタ 略称	ビット名																内蔵回路
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
HFFE0																		
HFFE1	PCR1									PCR17	PCR16	PCR15	PCR14	PCR13	PCR12	PCR11	PCR10	I/Oポート
HFFE2	PCR2									-	-	-	-	PCR23	PCR22	PCR21	PCR20	
HFFE3	PCR3									PCR37	PCR36	PCR35	PCR34	PCR33	PCR32	PCR31	PCR30	
HFFE4	PCR4									PCR47	PCR46	PCR45	PCR44	PCR43	PCR42	PCR41	PCR40	
HFFE5	PCR5									PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50	
HFFE6	PCR6									PCR67	PCR66	PCR65	PCR64		-	-	-	
HFFE7	PCR7									-	-	-	PCR74	PCR73	PCR72	PCR71	PCR70	
HFFE8																		
HFFE9																		
HFFEA	PUR5									PUR7	PUR6	PUR5	PUR4	PUR3	PUR2	PUR1	PUR0	I/Oポート
HFFEB	PMR0									AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0	
HFFEC	PMR1									PWM14	SCK1	SI1	SO1	SCK2	SI2	SO2	-	
HFFED	PMR3									IC	NMI	IRQ5	IRQ4	IRQ3	IRQ2	IRQ1	IRQ0	
HFFEE	PMR5									-	-	-	-	TMO	PWM2	PWM1	BUZZ	
HFFEF	PMR6									Vsync	YCO1	YEO1	YCO2	YEO2	-	-	-	
HFFF0	SYSCR1									SSBY	STS2	STS1	STS0	LSON	-	-	-	
HFFF1	SYSCR2									-	-	-	-	DTON	-	-	-	
HFFF2																		
HFFF3	IEGR									ICEG	I3EG	I2EG	I1EG	I0EG1	I0EG0	NMEG1	NMEG0	
HFFF4	IENR1									-	-	IEN2	IEN1	IEN0	IEPPG	-	IEIC	割り込み許可 レジスタ
HFFF5	IENR2									IERT2	IERT1	IEDT	IETM	IEN5	IEN4	IEN3	-	
HFFF6	IENR3									-	IESC1	IECTL	IEVD	IELTC	IERU3	IERU2	IERU1	
HFFF7	IENR4									-	-	-	-	IECPS	IEDRM	IEOSD	IEAD	
HFFF8	IRQR1									-	-	IRR2	IRR1	IRR0	IRRPG	-	IRRIC	割り込み要求 レジスタ
HFFF9	IRQR2									IRRR22	IRRR11	IRRRDT	IRRRTM	IRR5	IRR4	IRR3	-	
HFFFA	IRQR3									-	IRRS11	IRRRCTL	IRRV11	IRRLTC	IRRU3	IRRU2	IRRU1	
HFFFB	IRQR4									-	-	-	-	IRRCPS	IRRRDM	IRROSD	IRRAD	
HFFFC																		リザーブ
HFFFD																		
HFFFE																		
HFFFF																		

B.2 機能一覧

このレジスタがマッピングされているアドレスを示します。

レジスタ名です。

レジスタの名称です。

内蔵周辺モジュール名です。

レジスタ名: HF2B6 : ドラム速度系学習サーボ段数設定レジスタ LSR : 学習サーボ

ビット番号です。

初期値を示します。
(*は不定値を表します。)

可能なアクセスを示します。

ビットの正式名称です。

設定値と動作を示します。

R	リードのみ可能
W	ライトのみ可能
R/W	リード/ライト可能

ビット : 7 6 5 4 3 2 1 0

初期値 : 1 1 1 1 LS3 LS2 LS1 LS0

R/W : W W W W

FGMラダーデータ段数設定ビット

LS3	LS2	LS1	LS0	FGMラキャンセル回路のFIFO
0	0	0	X	FG6発
		1	0	FG8発
	1	0	0	FG10発
		1	0	FG12発
1	0	0	0	FG14発
		1	0	FG16発
	1	0	0	FG18発
		1	0	FG20発
1	X	0	X	FG22発
		1	X	FG24発

X : Don't care

H'F2A0 : ゲイン定数 (キャプスタン系) CGKp : キャプスタンディジタルフィルタ

H'F2A1 : CGKs

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

H'F2A2 : 係数 (キャプスタン系) CAp : キャプスタンディジタルフィルタ

H'F2A3 : CBp

H'F2A4 : CAs

H'F2A5 : CBs

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

H'F2A6 : オフセット (キャプスタン系) COfp : キャプスタンディジタルフィルタ

H'F2A7 : COfs

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

H'F2A8 : ゲイン定数 (ドラム系) DGKp : ドラムディジタルフィルタ

H'F2A9 : DGKs

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R/W:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

H'F2AA : 係数 (ドラム系) DAp : ドラムデジタルフィルタ
 H'F2AB : DBp
 H'F2AC : DAs
 H'F2AD : DBs

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : * * * * * * * * * * * * * * *
 R / W : W W W W W W W W W W W W W W W W

H'F2AE : オフセット (ドラム系) DOfp : ドラムデジタルフィルタ
 H'F2AF : DOfs

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : * * * * * * * * * * * * * * *
 R / W : W W W W W W W W W W W W W W W W

H'F2B0 : ドラム系速度サーボ係数 K : 学習サーボ
 H'F2B1 : ドラム系速度サーボ係数 L

K

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

KD15	KD14	KD13	KD12	KD11	KD10	KD9	KD8	KD7	KD6	KD5	KD4	KD3	KD2	KD1	KD0
------	------	------	------	------	------	-----	-----	-----	-----	-----	-----	-----	-----	-----	-----

初期値 : * * * * * * * * * * * * * * *
 R / W : W W W W W W W W W W W W W W W W

L

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

L15	L14	L13	L12	L11	L10	L9	L8	L7	L6	L5	L4	L3	L2	L1	L0
-----	-----	-----	-----	-----	-----	----	----	----	----	----	----	----	----	----	----

初期値 : * * * * * * * * * * * * * * *
 R / W : W W W W W W W W W W W W W W W W

H'F2B2 : キャプスタン位相制御系学習サーボ係数 K1 : 学習サーボ

H'F2B3 : キャプスタン位相制御系学習サーボ係数 K2

H'F2B4 : キャプスタン位相制御系学習サーボ係数 K3

H'F2B5 : キャプスタン位相制御系学習サーボ係数 K4

K1

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>K17</td> <td>K16</td> <td>K15</td> <td>K14</td> <td>K13</td> <td>K12</td> <td>K11</td> <td>K10</td> </tr> </table>								K17	K16	K15	K14	K13	K12	K11	K10
K17	K16	K15	K14	K13	K12	K11	K10										
初期値	:	*	*	*	*	*	*	*	*								
R/W	:	W	W	W	W	W	W	W	W								

K2

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>K27</td> <td>K26</td> <td>K25</td> <td>K24</td> <td>K23</td> <td>K22</td> <td>K21</td> <td>K20</td> </tr> </table>								K27	K26	K25	K24	K23	K22	K21	K20
K27	K26	K25	K24	K23	K22	K21	K20										
初期値	:	*	*	*	*	*	*	*	*								
R/W	:	W	W	W	W	W	W	W	W								

K3

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>K37</td> <td>K36</td> <td>K35</td> <td>K34</td> <td>K33</td> <td>K32</td> <td>K31</td> <td>K30</td> </tr> </table>								K37	K36	K35	K34	K33	K32	K31	K30
K37	K36	K35	K34	K33	K32	K31	K30										
初期値	:	*	*	*	*	*	*	*	*								
R/W	:	W	W	W	W	W	W	W	W								

K4

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>K47</td> <td>K46</td> <td>K45</td> <td>K44</td> <td>K43</td> <td>K42</td> <td>K41</td> <td>K40</td> </tr> </table>								K47	K46	K45	K44	K43	K42	K41	K40
K47	K46	K45	K44	K43	K42	K41	K40										
初期値	:	*	*	*	*	*	*	*	*								
R/W	:	W	W	W	W	W	W	W	W								

H'F2B6 : ドラム速度系学習サーボ段数設定レジスタ LSR : 学習サーボ

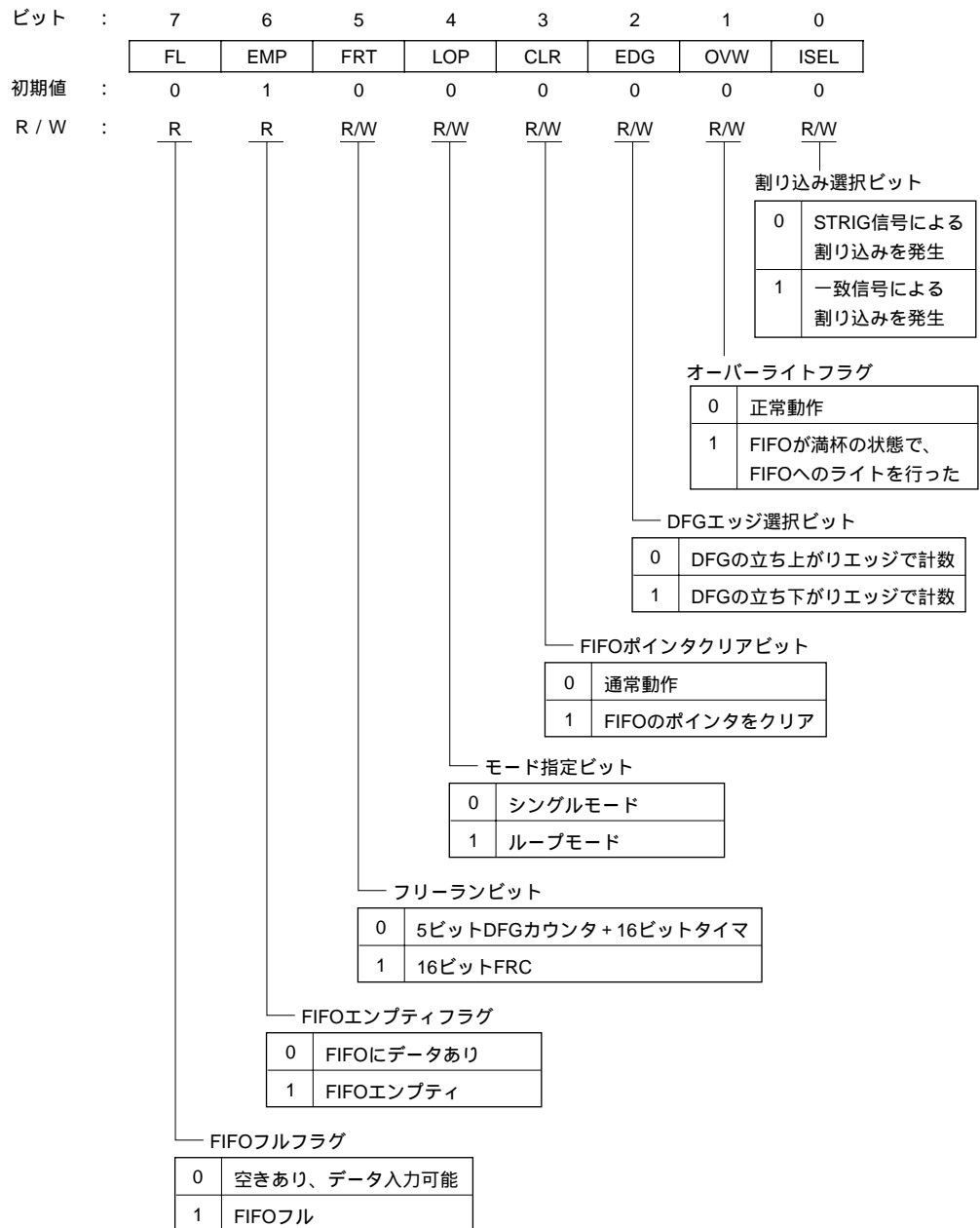
ビット	:	7	6	5	4	3	2	1	0
						LS3	LS2	LS1	LS0
初期値	:	1	1	1	1	0	0	0	0
R/W	:					W	W	W	W

FGムラデータ段数設定ビット

LS3	LS2	LS1	LS0	FGムラキャンセル回路のFIFO	
0	0	0	X	FG6発	
		1	0		
			1	FG8発	
	1	0	0	0	FG10発
				1	FG12発
		1	0	0	FG14発
				1	FG16発
	1	0	0	0	FG18発
1				FG20発	
1		0	0	FG22発	
				1	FG24発
		1	X	X	FG24発

X : Don't care

H'F2B7 : HSW モードレジスタ 1 HSM1 : HSW タイミング生成



H'F2B8 : HSW モードレジスタ 2 HSM2 : HSW タイミング生成

ビット	7	6	5	4	3	2	1	0
					LO3	LO2	LO1	LO0
初期値	1	1	1	1	0	0	0	0
R / W					R/W	R/W	R/W	R/W

FIFO段数設定

HSM1	HSM2				ループモードの段数	
	LOP	LO3	LO2	LO1		LO0
0	X	X	X	X	シングルモード	
1	0	0	0	0	0	FIFOの0段目のみ出力
				1	0	FIFOの0、1段目を出力
				1	0	FIFOの0~2段目を出力
				1	0	FIFOの0~3段目を出力
				1	0	FIFOの0~4段目を出力
				1	0	FIFOの0~5段目を出力
	1	0	0	0	0	FIFOの0~6段目を出力
				1	0	FIFOの0~7段目を出力
				1	0	FIFOの0~8段目を出力
				1	0	FIFOの0~9段目を出力
				1	X	設定禁止
				1	X	設定禁止

X : Don't care

H'F2B9 : FIFO 出力パターンデータレジスタ 1 FPDR1 : HSW タイミング生成

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												PG74	PG73	PG72	PG71	PG70
初期値 :	1	1	1	1	1	1	1	1	1	1	1	*	*	*	*	*
R / W :												W	W	W	W	W

H'F2BA : FIFO 出力パターンデータレジスタ 2 FPDR2 : HSW タイミング生成

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			STRIG	ADTRG	AFF	VFF	Vpulse	Mlevel								
初期値 :	1	1	*	*	*	*	*	*	1	1	1	1	1	1	1	1
R / W :			W	W	W	W	W	W								

H'F2BB : FIFO タイミングパターンレジスタ FTPR : HSW タイミング生成

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	T15	T14	T13	T12	T11	T10	T9	T8	T7	T6	T5	T4	T3	T2	T1	T0
初期値 :	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*
R / W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

H'F2BC : 基準周期レジスタ 1 RFD : 基準信号生成

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	REF15	REF14	REF13	REF12	REF11	REF10	REF9	REF8	REF7	REF6	REF5	REF4	REF3	REF2	REF1	REF0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R / W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

H'F2BD : 基準周期レジスタ 2 CRF : 基準信号生成

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CRF15	CRF14	CRF13	CRF12	CRF11	CRF10	CRF9	CRF8	CRF7	CRF6	CRF5	CRF4	CRF3	CRF2	CRF1	CRF0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R / W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

H'F2C0 : DFG 基準レジスタ DFRCR : HSW タイミング生成

ビット :	7	6	5	4	3	2	1	0
				DFC4	DFC3	DCF2	DCF1	DFC0
初期値 :	1	1	1	*	*	*	*	*
R / W :				W	W	W	W	W

H'F2C1 : REC-CTL デューティデータレジスタ 1 RCDR1 : CTL 回路

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							CMT19	CMT18	CMT17	CMT16	CMT15	CMT14	CMT13	CMT12	CMT11	CMT10
初期値 :	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0
R / W :							W	W	W	W	W	W	W	W	W	W

H'F2C2 : REC-CTL デューティデータレジスタ 2 RCDR2 : CTL 回路

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							CMT29	CMT28	CMT27	CMT26	CMT25	CMT24	CMT23	CMT22	CMT21	CMT20
初期値 :	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0
R / W :							W	W	W	W	W	W	W	W	W	W

H'F2C3 : REC-CTL デューティデータレジスタ 3 RCDR3 : CTL 回路

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
							CMT39	CMT38	CMT37	CMT36	CMT35	CMT34	CMT33	CMT32	CMT31	CMT30
初期値 :	1	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0
R / W :							W	W	W	W	W	W	W	W	W	W

H'F2C8 : X 値データレジスタ XDR : X 値補正

ビット :	7	6	5	4	3	2	1	0
	XDR7	XDR6	XDR5	XDR4	XDR3	XDR2	XDR1	XDR0
初期値 :	0	0	0	0	0	0	0	0
R / W :	W	W	W	W	W	W	W	W

H'F2CA : 付加 V レジスタ ADVR : 付加 V

ビット	7	6	5	4	3	2	1	0
				HMSK	HiZ	CUT	VPON	POL
初期値	1	1	1	0	0	0	0	0
R / W				R/W	R/W	R/W	R/W	R/W

付加V出力制御ビット

CUT	VPON	POL	付加V端子の出力
0	0	X	Lowレベル
		0	負極性
	1	正極性	
1	X	0	中間レベル (HiZビット=1のときは ハイインピーダンス)
		1	Highレベル

X : Don't care

ハイインピーダンスビット

0	Vpulse 端子は、3値出力端子
1	Vpulse 端子は、H / L / Hi-Zの3状態端子

OSCHマスクビット

0	OSCHを付加する
1	OSCHを付加しない

H'F2CB : DPG バイアスレジスタ DPB : 入力アンプ

ビット :	7	6	5	4	3	2	1	0
							CTLFB	N/P
初期値 :	1	1	1	1	1	1	0	0
R/W :							R/W	R/W

バイアス選択ビット	
0	入力信号の立ち下がり をDPG信号 バイアスレベルは2V typ. に設定
1	入力信号の立ち上がり をDPG信号 バイアスレベルを3V typ. に設定

CTL入力アンプのフィードバック 部SWビット	
0	SWをOFF
1	SWをON

H'F2CC : しきい値レジスタ VTNR : 同期信号検出回路

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			VT5	VT4	VT3	VT2	VT1	VT0					HT3	HT2	HT1	HT0
初期値 :			0	0	0	0	0	0					0	0	0	0
R/W :			W	W	W	W	W	W					W	W	W	W

垂直同期信号のしきい値設定								水平同期信号のしきい値設定							
---------------	--	--	--	--	--	--	--	---------------	--	--	--	--	--	--	--

H'F2CD : 補完パルスレジスタ CMPR : 同期信号検出回路

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
			HR7	HR6	HR5	HR4	HR3	HR2	HR1	HR0				HP3	HP2	HP1	HP0
初期値 :			0	0	0	0	0	0	0	0				0	0	0	0
R/W :			W	W	W	W	W	W	W	W				W	W	W	W

補完パルスの発生時間を設定										水平同期信号の パルス幅を設定						
---------------	--	--	--	--	--	--	--	--	--	--------------------	--	--	--	--	--	--

H'F2CE : ノイズ検出レジスタ NDR : 同期信号検出回路

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
			NW5	NW4	NW3	NW2	NW1	NW0	ND7	ND6	ND5	ND4	ND3	ND2	ND1	ND0
初期値 :			0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :			W	W	W	W	W	W	W	W	W	W	W	W	W	W

ノイズ検出窓のタイミングを設定									ノイズ検出レベルを設定							
-----------------	--	--	--	--	--	--	--	--	-------------	--	--	--	--	--	--	--

H'F2CF : TV 方式選択レジスタ TVSR : 同期信号検出回路

ビット	7	6	5	4	3	2	1	0
	NOIS	NISE	FLD	SYCT	SYNC	M2	M1	M0
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/W	R	R/W	R/W	R/W	R/W	R/W



TV方式選択

M2	M1	M0	TV方式	4 / 2fsc (MHz)		ブルーバック 時の背景色	スーパー インポーズ
				4fsc	2fsc		
0	0	0	M/NTSC	14.31818	7.15909	青	対応
1	0	1	B.G.H/PAL	17.73447		青	対応
1	1	1	I/PAL D.K/PAL		8.867235	黒	
0	1	1	N/PAL	17.73447	8.867235	黒	対応
1	0	0	M/PAL	14.30244	7.15909	青	対応
1	1	0		14.31818		黒	
0	1	0	4.43MHz- NTSC	14.31818	7.15909	黒	対応
0	1	1	B.G.H/SECAM L/SECAM D.K.K1/SECAM	17.73447	8.867235	黒	不可

同期信号選択

0	水平 (Hsync) / 垂直同期 (Vsync) 信号は分離入力
1	複合同期信号 (Csync) 入力

同期信号極性選択ビット

0	
1	

フィールド検出フラグ

0	奇数フィールド
1	偶数フィールド

ノイズレベル割り込み許可ビット

0	ノイズ検出割り込み禁止
1	ノイズ検出割り込み許可

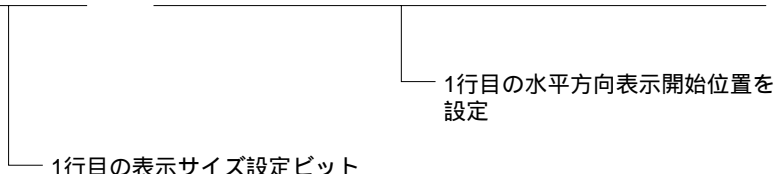
ノイズ検出フラグ

0	ノイズカウントがND7 ~ ND0の設定値の4倍未満
1	ノイズカウントがND7 ~ ND0の設定値の4倍以上

【注】* 0ライトのみ有効

H'FF81 : OSD レジスタ 1 OS DR1 : OSD

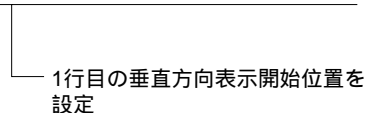
ビット	7	6	5	4	3	2	1	0
	SZ11	SZ10	HP15	HP14	HP13	HP12	HP11	HP10
初期値	0	0	0	0	0	0	0	0
R / W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W



SZ11	SZ10	1行目の文字
0	0	1×1倍
	1	2×2倍
1	0	4×4倍
	1	

H'FF82 : OSD レジスタ 2 OS DR2 : OSD

ビット	7	6	5	4	3	2	1	0
			VP15	VP14	VP13	VP12	VP11	VP10
初期値	1	1	0	0	0	0	0	0
R / W			R/W	R/W	R/W	R/W	R/W	R/W



H'FF83 : OSD レジスタ 3 OSDR3 : OSD

ビット	7	6	5	4	3	2	1	0
	IRACS	IEACS	OSDON	EGYO	RSY1	RSY0	CHY1	CHY0
初期値	0	0	0	0	0	0	0	0
R / W	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CHY1	CHY0	文字輝度レベル
0	0	85 IRE
	1	75 IRE
1	0	65 IRE
	1	CHARBias端子により設定

RSY1	RSY0	背景色の輝度レベル
0	0	25 IRE
	1	45 IRE
1	0	65 IRE
	1	リザーブ

	縁取り輝度レベル	IRE
0	縁取り輝度レベル	0 IRE
1	縁取り輝度レベル	15 IRE

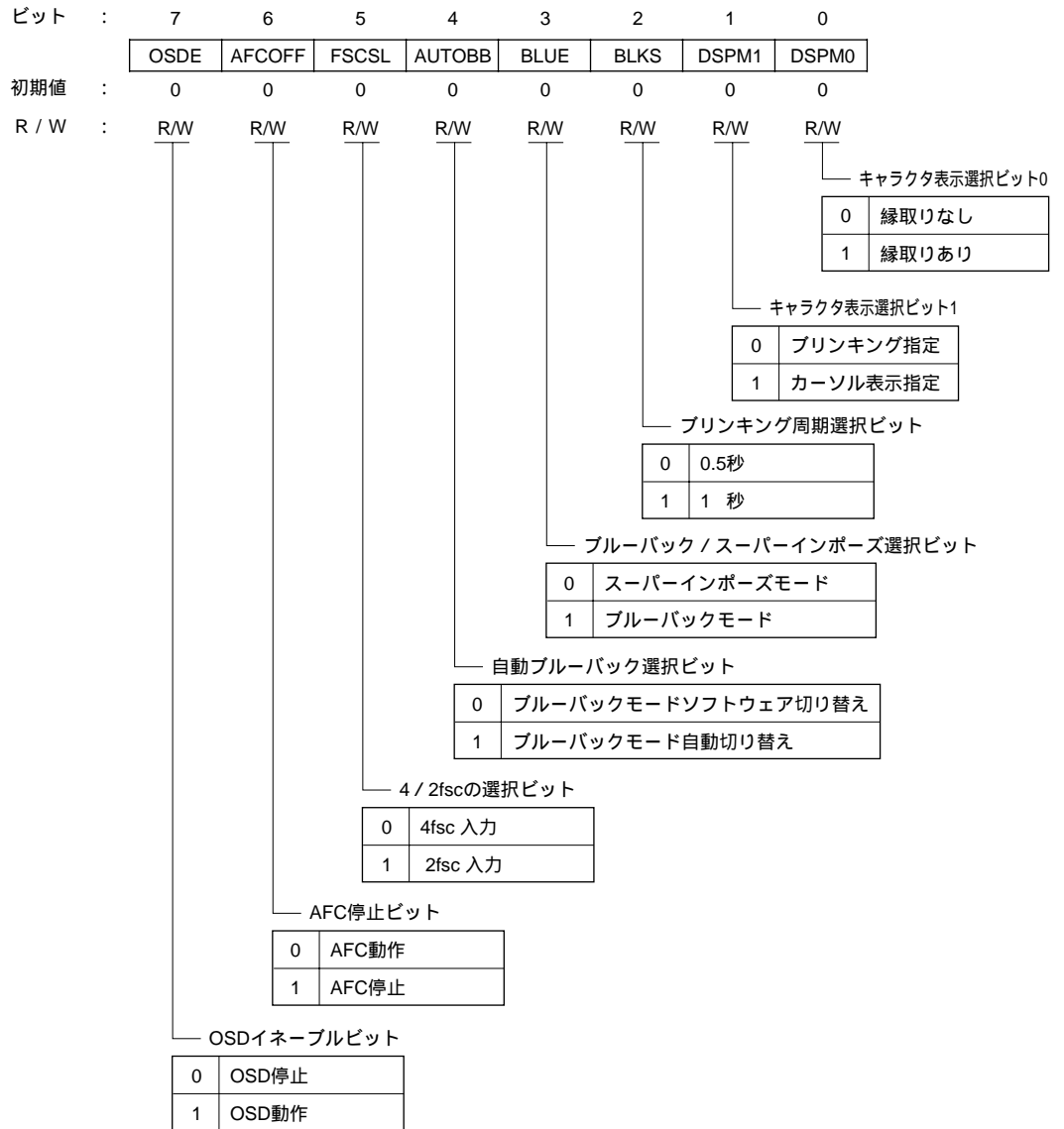
	OSD表示
0	OSD表示OFF
1	OSD表示ON

	アクセス衝突による割り込みを
0	禁止
1	有効

	アクセス衝突
0	衝突なし
1	衝突によりフラグがセット

【注】* 0ライトのみ有効

H'FF84 : OSD レジスタ 4 OSDR4 : OSD



H'FF85 : OSD レジスタ 5 OS DR5 : OSD

ビット	7	6	5	4	3	2	1	0
	SZ21	SZ20	HP25	HP24	HP23	HP22	HP21	HP20
初期値	0	0	0	0	0	0	0	0
R / W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

2~10行目の表示サイズ設定ビット
 水平方向表示開始位置設定ビット (2~10行目)

SZ21	SZ20	2~10行目の文字
0	0	1×1倍
	1	2×2倍
1	X	4×4倍

X : Don't care

H'FF86 : OSD レジスタ 6 OS DR6 : OSD

ビット	7	6	5	4	3	2	1	0
			VP25	VP24	VP23	VP22	VP21	VP20
初期値	1	1	0	0	0	0	0	0
R / W			R/W	R/W	R/W	R/W	R/W	R/W

垂直方向表示開始位置設定ビット (2~10行目)

H'FF88 : CFG 分周データレジスタ 2 CDIVR2 : CFG 分周回路

ビット	7	6	5	4	3	2	1	0
		CDV6	CDV5	CDV4	CDV3	CDV2	CDV1	CDV0
初期値	1	0	0	0	0	0	0	0
R / W		W	W	W	W	W	W	W

H'FF8C : CTL 分周データレジスタ CTLR : CTL 分周回路

ビット	7	6	5	4	3	2	1	0
			CTL5	CTL4	CTL3	CTL2	CTL1	CTL0
初期値	0	0	0	0	0	0	0	0
R / W	W	W	W	W	W	W	W	W

H'FF8D : CFG 分周データレジスタ CDIVR : CFG 分周回路

ビット	7	6	5	4	3	2	1	0
			CDV5	CDV4	CDV3	CDV2	CDV1	CDV0
初期値	1	1	0	0	0	0	0	0
R/W			W	W	W	W	W	W

H'FF8E : DVCFG マスク期間データレジスタ CTMR : CFG 分周回路

ビット	7	6	5	4	3	2	1	0
			CPM5	CPM4	CPM3	CPM2	CPM1	CPM0
初期値	1	1	1	1	1	1	1	1
R/W			W	W	W	W	W	W

H'FF8F : DVCFG コントロールレジスタ CDVC : CFG 分周回路

ビット	7	6	5	4	3	2	1	0
	MFGin		CMK			RF	PS1	PS0
初期値	0	1	1	1	1	0	0	0
R/W	R/W*		R			R/W	R/W	R/W

CFGマスクタイムクロック選択ビット		
PS1	PS0	クロックソース
0	0	/1024
	1	/512
1	1	/256
	0	/128

CFG分周エッジ選択ビット	
0	CFGの立ち上がりエッジによる分周動作
1	CFGの両エッジによる分周動作

CFGマスク状態フラグ	
0	キャプスタンマスクタイムがマスクを解除
1	キャプスタンマスクタイムがマスク中

マスクCFGフラグ	
0	CFG正常動作
1	マスク中にDVCFGが検出された(暴走検出)

【注】 * 0ライトのみ有効です。

H'FF90 : A/D モードレジスタ AMR : A/D 変換器

ビット	7	6	5	4	3	2	1	0
	CK		HCH1	HCH0	SCH3	SCH2	SCH1	SCH0
初期値	0	1	0	0	0	0	0	0
R / W	R/W		R/W	R/W	R/W	R/W	R/W	R/W

ソフトウェアチャンネルセレクト

SCH3	SCH2	SCH1	SCH0	アナログ入力チャンネル
0	0	0	0	AN ₀
			1	AN ₁
		1	0	AN ₂
			1	AN ₃
	1	0	0	AN ₄
			1	AN ₅
		1	0	AN ₆
			1	AN ₇
1	0	0	AN ₈	
		1	AN ₉	
	1	0	AN _A	
		1	AN _B	
1	1	X	X	ソフトウェアによる変換チャンネルは選択されません。

X : Don't care

ハードウェアチャンネルセレクト

HCH1	HCH0	アナログ入力チャンネル
0	0	AN ₈
	1	AN ₉
1	0	AN _A
	1	AN _B

クロックセレクト

CK	変換周期	= 5MHz
0	/124	24.8 μs
1	/62	12.4 μs

H'FF91 : ソフトトリガ A/D リザルトレジスタ ADR : A/D 変換器

ビット	7	6	5	4	3	2	1	0
	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
初期値	*	*	*	*	*	*	*	*
R / W	R	R	R	R	R	R	R	R

* : 不定

H'FF92 : A/D ステータスレジスタ ASR : A/D 変換器

ビット	7	6	5	4	3	2	1	0
	SST	HEND			HST	BUSY	SCNL	
初期値	0	0	1	1	0	0	0	1
R / W	R/W	R/(W)*			R	R	R	

ソフト変換キャンセルフラグ	
0	A/D変換の競合はなし
1	ソフトウェアによるA/D変換が、ハードウェアによる変換開始により、キャンセルされた

ビジーフラグ	
0	A/D変換の競合なし
1	ハードウェアによるA/D変換実行中に、ソフトウェアによる変換開始を実行した

ハードウェアA/Dステータスフラグ	
0	ハードウェアによるA/D変換中でない
1	ハードウェアによるA/D変換実行中

ハードウェアA/D終了フラグ	
0	ハードウェアによるA/D変換が終了していない
1	ハードウェアによるA/D変換が終了した

ソフトウェアA/Dスタートフラグ	
0	[リード時] A/D変換の停止・終了 [ライト時] A/D変換を強制終了
1	[リード時] ソフトウェアによるA/D変換実行中 [ライト時] ソフトウェアによるA/D変換開始

【注】 * フラグクリアのための0ライトのみ有効

H'FF93 : ハードトリガ A/D リザルトレジスタ AHR : A/D 変換器

ビット	:	7	6	5	4	3	2	1	0
		AHR7	AHR6	AHR5	AHR4	AHR3	AHR2	AHR1	AHR0
初期値	:	*	*	*	*	*	*	*	*
R/W	:	R	R	R	R	R	R	R	R

H'FF94 : インプットキャプチャレジスタ 1 ICR1 : フリーランニングカウンタ

ビット	:	7	6	5	4	3	2	1	0
		ICR17	ICR16	ICR15	ICR14	ICR13	ICR12	ICR11	ICR10
初期値	:	0	0	0	0	0	0	0	0
R/W	:	R	R	R	R	R	R	R	R

H'FF95 : インプットキャプチャレジスタ 2 ICR2 : フリーランニングカウンタ

ビット	:	7	6	5	4	3	2	1	0
								ICR21	ICR20
初期値	:	1	1	1	1	1	1	0	0
R/W	:							R	R

H'FF96 : インプットキャプチャレジスタ 3 ICR3 : フリーランニングカウンタ

ビット	:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		ICR3F	ICR3E	ICR3D	ICR3C	ICR3B	ICR3A	ICR39	ICR38	ICR37	ICR36	ICR35	ICR34	ICR33	ICR32	ICR31	ICR30
初期値	:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

H'FF97 : PWM コントロールレジスタ PWCR : PWM

ビット	7	6	5	4	3	2	1	0
	BUZZ1	BUZZ0	MON1	MON0	NCon/off	PWC2	PWC1	PWCR0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	W

クロックセレクト	
0	入力クロックは $/2$ ($t = 2/$) 1変換周期16384/、最小変化幅1/ のPWM波形を生成します。
1	入力クロックは $/4$ ($t = 4/$) 1変換周期32768/、最小変化幅2/ のPWM波形を生成します。

出力極正指定ビット	
0	PWMnの出力は正極性
1	PWMnの出力は反転極性

n = 2, 1

ノイズキャンセルのON/OFF	
0	IC端子のノイズキャンセル機能無効
1	256ステート間隔で2度サンプリングし、ノイズ判定

モニタ出力選択		
MON1	MON0	モニタ出力
0	0	PBまたはREC-CTL
	1	DVCTL
1	X	TCA6の出力 (PSW出力時は1Hz)

ブザー出力選択			
STS2	STS1	出力信号	$f_{osc} = 10\text{MHz}$ のとき (kHz)
0	0	/2048	2.44
	1	/4096	1.22
1	0	MON0、MON1による出力	
	1	8/16ビットリロードタイムのBUZZ出力	

H'FF98 : 8 ビット PWM データレジスタ 1 PWR1 : 8 ビット PWM

ビット	7	6	5	4	3	2	1	0
	PW17	PW16	PW15	PW14	PW13	PW12	PW11	PW10
初期値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

H'FF99 : 8 ビット PWM データレジスタ 2 PWR2 : 8 ビット PWM

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>PW27</td> <td>PW26</td> <td>PW25</td> <td>PW24</td> <td>PW23</td> <td>PW22</td> <td>PW21</td> <td>PW20</td> </tr> </table>								PW27	PW26	PW25	PW24	PW23	PW22	PW21	PW20
PW27	PW26	PW25	PW24	PW23	PW22	PW21	PW20										
初期値	:	0	0	0	0	0	0	0	0								
R / W	:	W	W	W	W	W	W	W	W								

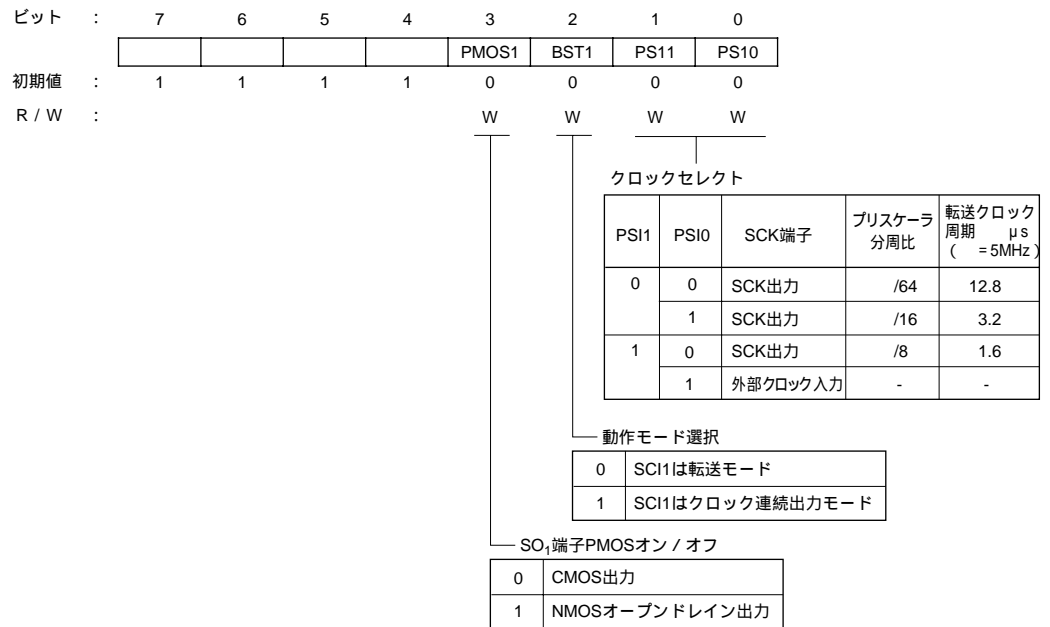
H'FF9A : PWM データレジスタ L PWDRL : 14 ビット PWM

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>PWDRL7</td> <td>PWDRL6</td> <td>PWDRL5</td> <td>PWDRL4</td> <td>PWDRL3</td> <td>PWDRL2</td> <td>PWDRL1</td> <td>PWDRL0</td> </tr> </table>								PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0
PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0										
初期値	:	0	0	0	0	0	0	0	0								
R / W	:	W	W	W	W	W	W	W	W								

H'FF9B : PWM データレジスタ U PWDRU : 14 ビット PWM

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td></td> <td></td> <td>PWDRU5</td> <td>PWDRU4</td> <td>PWDRU3</td> <td>PWDRU2</td> <td>PWDRU1</td> <td>PWDRU0</td> </tr> </table>										PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0
		PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0										
初期値	:	1	1	0	0	0	0	0	0								
R / W	:			W	W	W	W	W	W								

H'FF9C : シリアルモードレジスタ 1 SMR1 : SCI1、SCI2



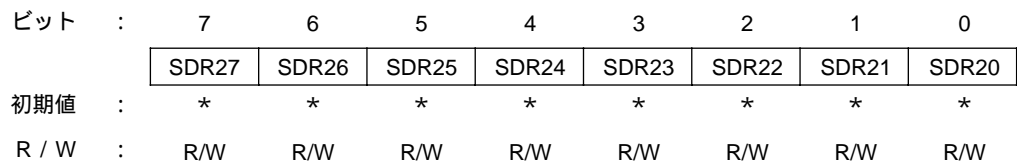
H'FF9D : シリアルデータレジスタ 1 SDR1 : SCI1、SCI2

ビット	7	6	5	4	3	2	1	0
	SDR17	SDR16	SDR15	SDR14	SDR13	SDR12	SDR11	SDR10
初期値	*	*	*	*	*	*	*	*
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'FF9E : シリアルモードレジスタ 2 SMR2 : SCI1、SCI2



H'FF9F : シリアルデータレジスタ 2 SDR2 : SCI1、SCI2



H'FFA4 : 特再制御レジスタ CHCR : 4 ヘッド特殊再生

ビット	7	6	5	4	3	2	1	0
					SIG3	SIG2	SIG1	SIG0
初期値	1	1	1	1	0	0	0	0
R / W					W	W	W	W

信号制御ビット

SIG3	SIG2	SIG1	SIG0	COMP入力端子	C.Rotary	H.Amp SW
0	X	X	X	X	L	L
1	0	0	0	X	HSW	L
			1	X	$\overline{\text{HSW}}$	H
		1	0	X	L	HSW
			1	X	H	$\overline{\text{HSW}}$
1	X	X	0	HSW	L	
			1	$\overline{\text{HSW}}$	H	

X : Don't care

H'FFA5 : シュミットモードレジスタ SHMR : CTL 回路

ビット	7	6	5	4	3	2	1	0
	NT/PL	FSLC	FSLB	FSLA			SEL1	SEL0
初期値	0	0	1	1	1	1	0	0
R / W	W	W	W	W			W	W

モード選択ビット

FSLB	FSLA	モード	標準レベル
0	0	モード1	130
	1	モード2	260
1	0	モード3	500
	1	無効 (設定しないでください)	

動作周波数指定ビット

FSLC	FSLB	FSLA	動作周波数
0	0	0	リザーブ
		1	リザーブ
	1	1	$f_{\text{osc}} = 8\text{MHz}, 8.38\text{MHz}$
		0	$f_{\text{osc}} = 10\text{MHz}$
1	X	X	リザーブ

X : Don't care

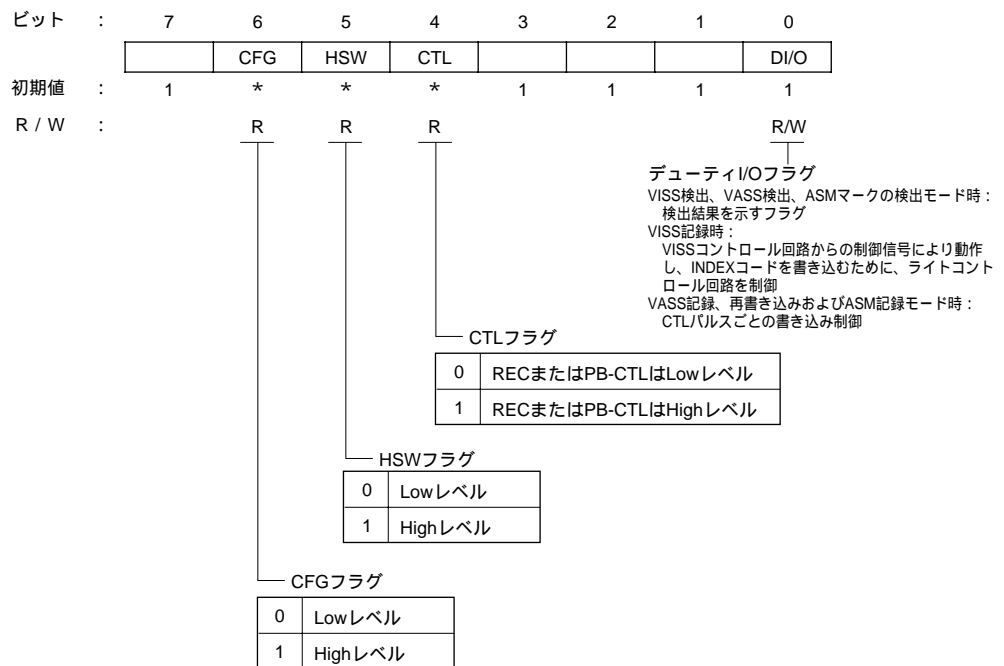
NTSC/PAL選択ビット

0	NTSCモード (1フレーム 30Hz)
1	PALモード (1フレーム 25Hz)

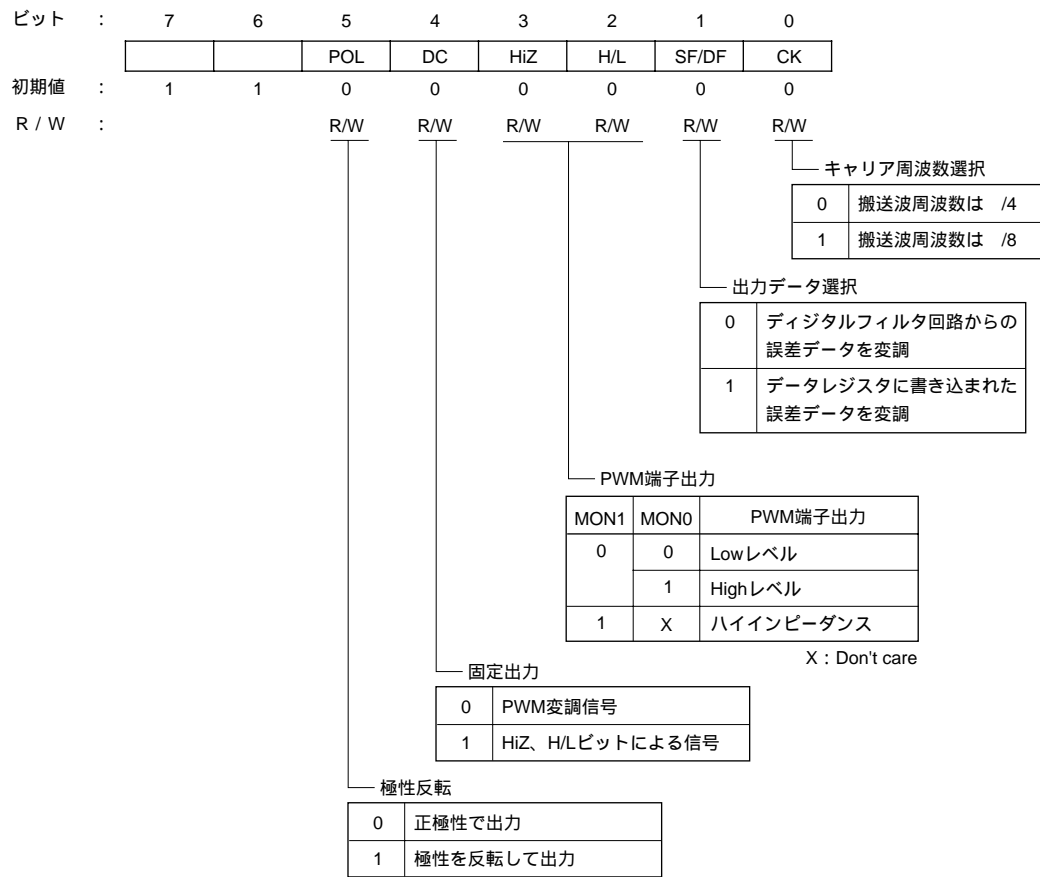
H'FFA6 : CTL モードレジスタ CTLM : CTL 回路



H'FFA7 : デューティ I/O レジスタ DI/O : Duty I/O



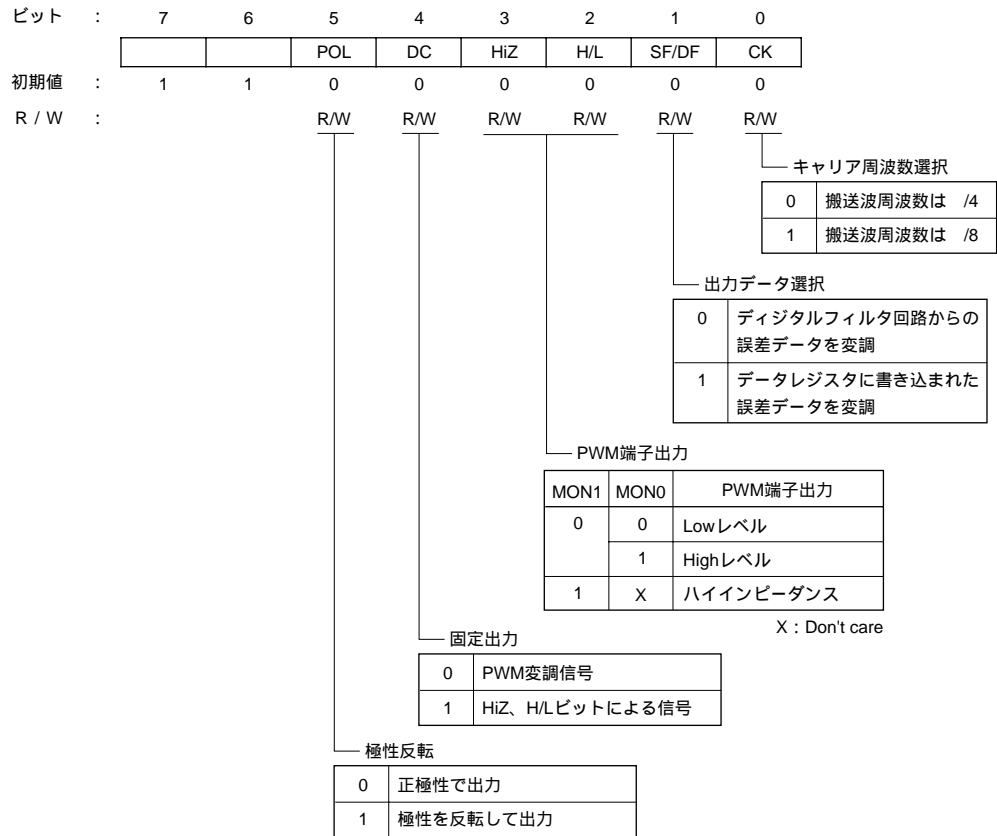
H'FFAC : 12 ビット PWM コントロールレジスタ DPWCR : 12 ビット PWM



H'FFAD : 12 ビット PWM データレジスタ DPWDR : 12 ビット PWM0

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					DWR11	DWR10	DWR9	DWR8	DWR7	DWR6	DWR5	DWR4	DWR3	DWR2	DWR1	DWR0
初期値	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W					W	W	W	W	W	W	W	W	W	W	W	W

H'FFAE : 12 ビット PWM コントロールレジスタ CPWCR : 12 ビット PWM



H'FFAF : 12 ビット PWM データレジスタ CPWDR : 12 ビット PWM

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
					CWR11	CWR10	CWR9	CWR8	CWR7	CWR6	CWR5	CWR4	CWR3	CWR2	CWR1	CWR0
初期値	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W					W	W	W	W	W	W	W	W	W	W	W	W

H'FFB0 : DFG 規定速度プリセットデータレジスタ DFPR : ドラム速度誤差検出回路

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DS15	DS14	DS13	DS12	DS11	DS10	DS9	DS8	DS7	DS6	DS5	DS4	DS3	DS2	DS1	DS0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	*0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

H'FFB1 : DFG 速度誤差データレジスタ DFER : ドラム速度誤差検出回路

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	DER15	DER14	DER13	DER12	DER11	DER10	DER9	DER8	DER7	DER6	DER5	DER4	DER3	DER2	DER1	DER0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

H'FFB2 : CFG 規定速度プリセットデータレジスタ CFPR :

キャプスタン速度誤差検出回路

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CS15	CS14	CS13	CS12	CS11	CS10	CS9	CS8	CS7	CS6	CS5	CS4	CS3	CS2	CS1	CS0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

H'FFB3 : CFG 速度誤差データレジスタ CFER : キャプスタン速度誤差検出回路

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CER15	CER14	CER13	CER12	CER11	CER10	CER9	CER8	CER7	CER6	CER5	CER4	CER3	CER2	CER1	CER0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

H'FFB4 : ドラム規定位相プリセットデータレジスタ DPPR1 : ドラム位相誤差検出回路

ビット :	7	6	5	4	3	2	1	0
					DPH19	DPH18	DPH17	DPH16
初期値 :	1	1	1	1	0	0	0	0
R/W :					W	W	W	W

H'FFB5 : DPG 位相誤差データレジスタ DPER1 : ドラム位相誤差検出回路

ビット	:	7	6	5	4	3	2	1	0
						DPER19	DPER18	DPER17	DPER16
初期値	:	1	1	1	1	0	0	0	0
R/W	:					R	R	R	R

H'FFB6 : キャプスタン規定位相プリセットデータレジスタ CPPR1 : キャプスタン位相誤差検出回路

ビット	:	7	6	5	4	3	2	1	0
						CPH19	CPH18	CPH17	CPH16
初期値	:	1	1	1	1	0	0	0	0
R/W	:					W	W	W	W

H'FFB7 : キャプスタン位相誤差データレジスタ CPER1 :
キャプスタン位相誤差検出回路

ビット	:	7	6	5	4	3	2	1	0
						CPER19	CPER18	CPER17	CPER16
初期値	:	1	1	1	1	0	0	0	0
R/W	:					R	R	R	R

H'FFB8 : ドラム規定位相プリセットデータレジスタ DPPR2 : ドラム位相誤差検出回路

ビット	:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		DPH15	DPH14	DPH13	DPH12	DPH11	DPH10	DPH9	DPH8	DPH7	DPH6	DPH5	DPH4	DPH3	DPH2	DPH1	DPH0
初期値	:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	:	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

H'FFB9 : DPG 位相誤差データレジスタ DPER2 : ドラム位相誤差検出回路

ビット	:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		DPER15	DPER14	DPER13	DPER12	DPER11	DPER10	DPER9	DPER8	DPER7	DPER6	DPER5	DPER4	DPER3	DPER2	DPER1	DPER0
初期値	:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

H'FFBA : キャプスタン規定位相プリセットデータレジスタ CPPR2 : キャプスタン位相誤差検出回路

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CPH15	CPH14	CPH13	CPH12	CPH11	CPH10	CPH9	CPH8	CPH7	CPH6	CPH5	CPH4	CPH3	CPH2	CPH1	CPH0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

H'FFBB : キャプスタン位相誤差データレジスタ CPER2 :
キャプスタン位相誤差検出回路

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CPER15	CPER14	CPER13	CPER12	CPER11	CPER10	CPER9	CPER8	CPER7	CPER6	CPER5	CPER4	CPER3	CPER2	CPER1	CPER0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

H'FFBC : ドラム系デジタルフィルタコントロールレジスタ DFIC : デジタルフィルタ

ビット :	7	6	5	4	3	2	1	0
	OVF	ROV	R/F	PHER			LSV	DPHA
初期値 :	0	0	0	0	1	1	0	0
R/W :	R/W	R/(W)*	R/W	R/W			R/W	R/W

位相系フィルタ演算開始ビット	
0	位相系のフィルタ演算OFF 位相系の演算の結果YはE _S に加算しない
1	位相系のフィルタ演算ON

学習サーボON/OFFビット	
0	学習サーボOFF
1	学習サーボをONにします

位相誤差フラグ	
0	HSWのエッジが、次のREF30P以前に検出されなかった
1	HSWのエッジが、次のREF30Pまでに検出された

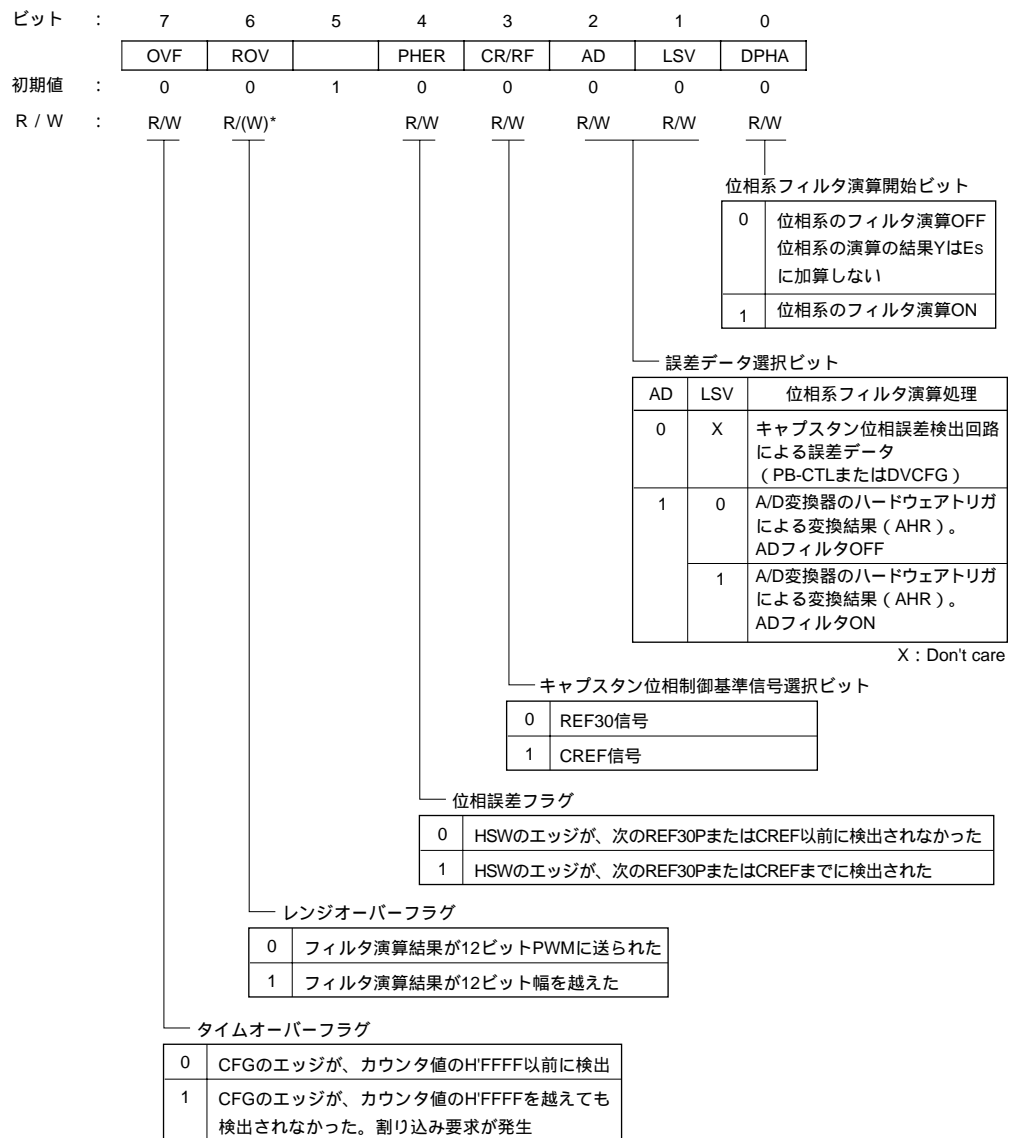
DFGエッジ選択ビット	
0	DFGの立ち上がりエッジ
1	DFGの立ち下がりエッジ

レンジオーバーフラグ	
0	フィルタ演算結果が12ビットPWMに送られた
1	フィルタ演算結果が12ビット幅を越えた

タイムオーバーフラグ	
0	DFGのエッジが、カウンタ値のH'FFFF以前に検出
1	DFGのエッジが、カウンタ値のH'FFFFを越えても 検出されなかった。割り込み要求が発生

【注】 * 0ライトのみ有効

H'FFBD : キャプスタン系デジタル CFIC : デジタルフィルタ フィルタコントロールレジスタ



【注】 * 0ライトのみ有効

H'FFC0 : タイマモードレジスタ A TMA : TimeBase

ビット	7	6	5	4	3	2	1	0
					TMA3	TMA2	TMA1	TMA0
初期値	0	0	0	0	0	0	0	0
R/W	R/W*	R/W*	R/W*	R/(W)*	R/W	R/W	R/W	R/W

クロックセレクト

TMA3	TMA2	TMA1	TMA0	プリスケラ	入力クロック周期	モード
0	0	0	0	PSS	/8192	インターバルタイマモード
			1	PSS	/4096	
		1	0	PSS	/2048	
			1	PSS	/512	
	1	0	0	PSS	/256	
			1	PSS	/128	
		1	0	PSS	/32	
			1	PSS	/8	
1	0	0	0	PSW	2s	時計用タイマ ベースモード
			1	PSW	1s	
		1	0	PSW	0.5s	
			1	PSW	125ms	
	1	X	X	PSW	PSW、TCAリセット	

【注】 $= f_{osc} / 2$

X : Don't care

クロックソース、プリスケラ選択

0	クロックソースはPSS
1	クロックソースはPSW

【注】 * ライトする場合は必ず0をライトしてください。

H'FFFC1 : タイマカウンタ A TCA : WDT

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>TCA7</td> <td>TCA6</td> <td>TCA5</td> <td>TCA4</td> <td>TCA3</td> <td>TCA2</td> <td>TCA1</td> <td>TCA0</td> </tr> </table>								TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0										
初期値	:	0	0	0	0	0	0	0	0								
R/W	:	R	R	R	R	R	R	R	R								

H'FFFC2 : タイマロードレジスタ C TLC : WDT

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>TLR27</td> <td>TLR26</td> <td>TLR25</td> <td>TLR24</td> <td>TLR23</td> <td>TLR22</td> <td>TLR21</td> <td>TLR20</td> </tr> </table>								TLR27	TLR26	TLR25	TLR24	TLR23	TLR22	TLR21	TLR20
TLR27	TLR26	TLR25	TLR24	TLR23	TLR22	TLR21	TLR20										
初期値	:	1	1	1	1	1	1	1	1								
R/W	:	W	W	W	W	W	W	W	W								

H'FFFC2 : タイマカウンタ C TCC : 8 / 16 ビットリロードタイマ

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>TDR27</td> <td>TDR26</td> <td>TDR25</td> <td>TDR24</td> <td>TDR23</td> <td>TDR22</td> <td>TDR21</td> <td>TDR20</td> </tr> </table>								TDR27	TDR26	TDR25	TDR24	TDR23	TDR22	TDR21	TDR20
TDR27	TDR26	TDR25	TDR24	TDR23	TDR22	TDR21	TDR20										
初期値	:	1	1	1	1	1	1	1	1								
R/W	:	R	R	R	R	R	R	R	R								

H'FFFC3 : タイマロードレジスタ B TLB : 8 / 16 ビットリロードタイマ

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>TLR17</td> <td>TLR16</td> <td>TLR15</td> <td>TLR14</td> <td>TLR13</td> <td>TLR12</td> <td>TLR11</td> <td>TLR10</td> </tr> </table>								TLR17	TLR16	TLR15	TLR14	TLR13	TLR12	TLR11	TLR10
TLR17	TLR16	TLR15	TLR14	TLR13	TLR12	TLR11	TLR10										
初期値	:	1	1	1	1	1	1	1	1								
R/W	:	W	W	W	W	W	W	W	W								

H'FFFC3 : タイマカウンタ B TCB : 8 / 16 ビットリロードタイマ

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>TDR17</td> <td>TDR16</td> <td>TDR15</td> <td>TDR14</td> <td>TDR13</td> <td>TDR12</td> <td>TDR11</td> <td>TDR10</td> </tr> </table>								TDR17	TDR16	TDR15	TDR14	TDR13	TDR12	TDR11	TDR10
TDR17	TDR16	TDR15	TDR14	TDR13	TDR12	TDR11	TDR10										
初期値	:	1	1	1	1	1	1	1	1								
R/W	:	R	R	R	R	R	R	R	R								

H'FFC4 : タイマモードレジスタ B TMB : 8 / 16 ビットリロードタイマ

ビット	7	6	5	4	3	2	1	0
	PS11	PS10	ST	8/16	PS21	PS20	TGL	T/R
初期値	0	0	0	0	0	0	0	0
R / W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

タイマ出力 / リモコン出力の切り替え

0	RDT-1のタイマ出力
1	RDT-2のトグル出力

RDT-2トグルフラグ

0	RDT-2のトグル出力は0
1	RDT-2のトグル出力は1

RDT-2の入カクロック選択

PS11	PS10	入カクロック
0	0	PSS、 /8192でカウント
	1	PSS、 /1024でカウント
1	0	RDT-1のアンダーフローでカウント
	1	外部クロック (P3 ₂ /IRQ ₂)、立ち上がりまたは立ち下がりエッジでカウント

8ビット / 16ビット動作切り替え

0	RDT-1、RDT-2は別々に動作
1	RDT-1、RDT-2は16ビットとして動作

リモコン動作スタート

0	リモコン送信モード時、RDT-1のクロック供給を停止
1	リモコン送信モード時、RDT-1のクロックを供給

RDT-1の入カクロック選択

PS11	PS10	入カクロック
0	0	PSS、 /256でカウント
	1	PSS、 /128でカウント
1	0	PSS、 /2でカウント
	1	外部クロック (P3 ₁ /IRQ ₁)、立ち上がりまたは立ち下がりエッジでカウント

H'FFC5 : リニアタイムカウントレジスタ LMR : リニアタイムカウンタ

ビット	7	6	5	4	3	2	1	0
					LMR3	LMR2	LMR1	LMR0
初期値	1	1	1	1	0	0	0	0
R/W					R/W	R/W	R	R/W

クロック選択

LMR2	LMR1	LMR0	クロック
0	0	0	PBおよびREC-CTLの立ち上がりエッジでカウント
		1	PBおよびREC-CTLの立ち下がりエッジでカウント
	1	X	DVCFG2でカウント
1	0	X	内部クロック /64でカウント
	1	X	内部クロック /32でカウント

X : Don't care

カウンタアップ/ダウン制御

0	アップカウント制御
1	ダウンカウント制御

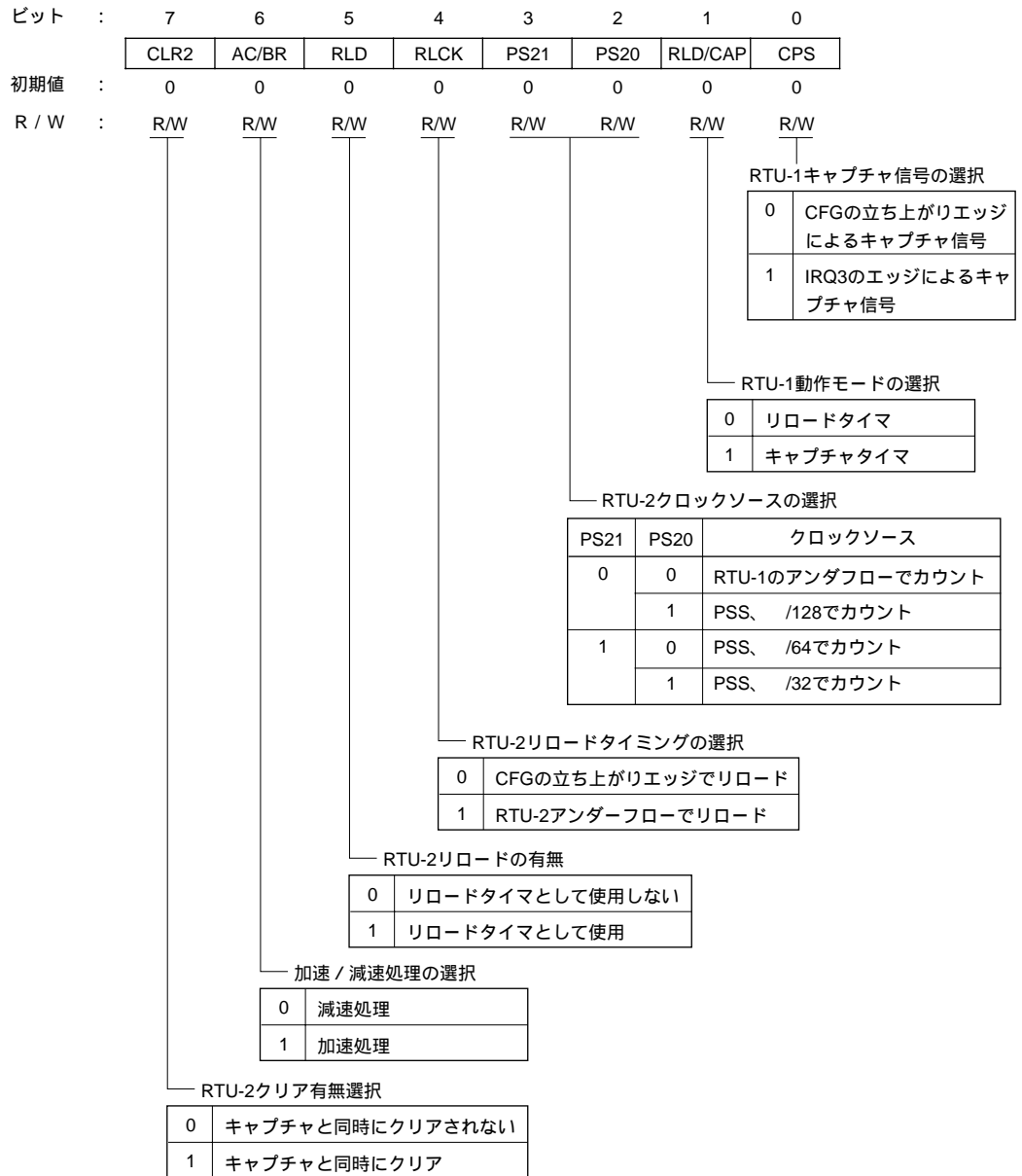
H'FFC6 : リニアタイムカウンタ LTC : リニアタイムカウンタ

ビット	7	6	5	4	3	2	1	0
	LTC7	LTC6	LTC5	LTC4	LTC3	LTC2	LTC1	LTC0
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R

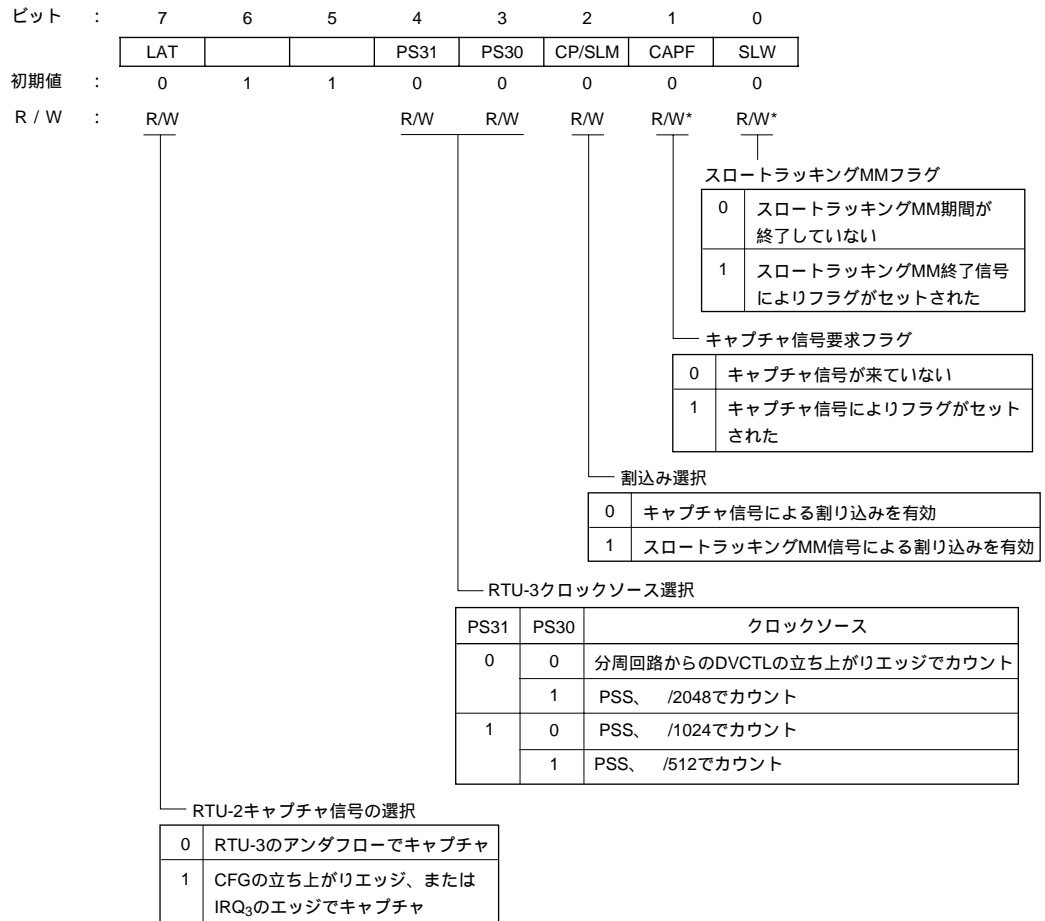
H'FFC7 : リロードコンペアマッチレジスタ RCR : リニアタイムカウンタ

ビット	7	6	5	4	3	2	1	0
	RCR7	RCR6	RCR5	RCR4	RCR3	RCR2	RCR1	RCR0
初期値	0	0	0	0	0	0	0	0
R/W	W	W	W	W	W	W	W	W

H'FFC8 : RTU モードレジスタ 1 RTUM1 : リロードタイマユニット



H'FFC9 : RTU モードレジスタ 2 RTUM2 : リロードタイマユニット



【注】 * 0ライトのみ有効

H'FFCA : RTU キャプチャレジスタ 1 RTCP1 : リロードタイマユニット

ビット	7	6	5	4	3	2	1	0
	RTC17	RTC16	RTC15	RTC14	RTC13	RTC12	RTC11	RTC10
初期値	1	1	1	1	1	1	1	1
R/W	R	R	R	R	R	R	R	R

H'FFCB : RTU キャプチャレジスタ 2 RTCP2 : リロードタイマユニット

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>RTC27</td> <td>RTC26</td> <td>RTC25</td> <td>RTC24</td> <td>RTC23</td> <td>RTC22</td> <td>RTC21</td> <td>RTC20</td> </tr> </table>								RTC27	RTC26	RTC25	RTC24	RTC23	RTC22	RTC21	RTC20
RTC27	RTC26	RTC25	RTC24	RTC23	RTC22	RTC21	RTC20										
初期値	:	1	1	1	1	1	1	1	1								
R / W	:	R	R	R	R	R	R	R	R								

H'FFCC : RTU ロードレジスタ 1 RTUL1 : リロードタイマユニット

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>RTU17</td> <td>RTU16</td> <td>RTU15</td> <td>RTU14</td> <td>RTU13</td> <td>RTU12</td> <td>RTU11</td> <td>RTU10</td> </tr> </table>								RTU17	RTU16	RTU15	RTU14	RTU13	RTU12	RTU11	RTU10
RTU17	RTU16	RTU15	RTU14	RTU13	RTU12	RTU11	RTU10										
初期値	:	1	1	1	1	1	1	1	1								
R / W	:	W	W	W	W	W	W	W	W								

H'FFCD : RTU ロードレジスタ 2 RTUL2 : リロードタイマユニット

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>RTU27</td> <td>RTU26</td> <td>RTU25</td> <td>RTU24</td> <td>RTU23</td> <td>RTU22</td> <td>RTU21</td> <td>RTU20</td> </tr> </table>								RTU27	RTU26	RTU25	RTU24	RTU23	RTU22	RTU21	RTU20
RTU27	RTU26	RTU25	RTU24	RTU23	RTU22	RTU21	RTU20										
初期値	:	1	1	1	1	1	1	1	1								
R / W	:	W	W	W	W	W	W	W	W								

H'FFCE : RTU ロードレジスタ 3 RTUL3 : リロードタイマユニット

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>RTU37</td> <td>RTU36</td> <td>RTU35</td> <td>RTU34</td> <td>RTU33</td> <td>RTU32</td> <td>RTU31</td> <td>RTU30</td> </tr> </table>								RTU37	RTU36	RTU35	RTU34	RTU33	RTU32	RTU31	RTU30
RTU37	RTU36	RTU35	RTU34	RTU33	RTU32	RTU31	RTU30										
初期値	:	1	1	1	1	1	1	1	1								
R / W	:	W	W	W	W	W	W	W	W								

H'FFD0 : ポートデータレジスタ 0 PDR0 : I/O ポート

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>PDR07</td> <td>PDR06</td> <td>PDR05</td> <td>PDR04</td> <td>PDR03</td> <td>PDR02</td> <td>PDR01</td> <td>PDR00</td> </tr> </table>								PDR07	PDR06	PDR05	PDR04	PDR03	PDR02	PDR01	PDR00
PDR07	PDR06	PDR05	PDR04	PDR03	PDR02	PDR01	PDR00										
初期値	:																
R / W	:	R	R	R	R	R	R	R	R								

H'FFD1 : ポートデータレジスタ 1 PDR1 : I/O ポート

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>PDR17</td> <td>PDR16</td> <td>PDR15</td> <td>PDR14</td> <td>PDR13</td> <td>PDR12</td> <td>PDR11</td> <td>PDR10</td> </tr> </table>							PDR17	PDR16	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10	
PDR17	PDR16	PDR15	PDR14	PDR13	PDR12	PDR11	PDR10										
初期値	:	0	0	0	0	0	0	0	0								
R / W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								

H'FFD2 : ポートデータレジスタ 2 PDR2 : I/O ポート

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td></td> <td></td> <td></td> <td></td> </tr> </table>								<table border="1"> <tr> <td>PDR23</td> <td>PDR22</td> <td>PDR21</td> <td>PDR20</td> </tr> </table>				PDR23	PDR22	PDR21	PDR20
PDR23	PDR22	PDR21	PDR20														
初期値	:	1	1	1	1	0	0	0	0								
R / W	:					R/W	R/W	R/W	R/W								

H'FFD3 : ポートデータレジスタ 3 PDR3 : I/O ポート

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>PDR37</td> <td>PDR36</td> <td>PDR35</td> <td>PDR34</td> <td>PDR33</td> <td>PDR32</td> <td>PDR31</td> <td>PDR30</td> </tr> </table>							PDR37	PDR36	PDR35	PDR34	PDR33	PDR32	PDR31	PDR30	
PDR37	PDR36	PDR35	PDR34	PDR33	PDR32	PDR31	PDR30										
初期値	:	0	0	0	0	0	0	0	0								
R / W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								

H'FFD4 : ポートデータレジスタ 4 PDR4 : I/O ポート

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>PDR47</td> <td>PDR46</td> <td>PDR45</td> <td>PDR44</td> <td>PDR43</td> <td>PDR42</td> <td>PDR41</td> <td>PDR40</td> </tr> </table>							PDR47	PDR46	PDR45	PDR44	PDR43	PDR42	PDR41	PDR40	
PDR47	PDR46	PDR45	PDR44	PDR43	PDR42	PDR41	PDR40										
初期値	:	0	0	0	0	0	0	0	0								
R / W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								

H'FFD5 : ポートデータレジスタ 5 PDR5 : I/O ポート

ビット	:	7	6	5	4	3	2	1	0								
		<table border="1"> <tr> <td>PDR57</td> <td>PDR56</td> <td>PDR55</td> <td>PDR54</td> <td>PDR53</td> <td>PDR52</td> <td>PDR51</td> <td>PDR50</td> </tr> </table>							PDR57	PDR56	PDR55	PDR54	PDR53	PDR52	PDR51	PDR50	
PDR57	PDR56	PDR55	PDR54	PDR53	PDR52	PDR51	PDR50										
初期値	:	0	0	0	0	0	0	0	0								
R / W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W								

H'FFD6 : ポートデータレジスタ 6 PDR6 : I/O ポート

ビット	7	6	5	4	3	2	1	0
	PDR67	PDR66	PDR65	PDR64	PDR63			
初期値	0	0	0	0	0	1	1	1
R / W	R/W	R/W	R/W	R/W	R/W			

H'FFD7 : ポートデータレジスタ 7 PDR7 : I/O ポート

ビット	7	6	5	4	3	2	1	0
				PDR74	PDR73	PDR72	PDR71	PDR70
初期値	1	1	1	0	0	0	0	0
R / W				R/W	R/W	R/W	R/W	R/W

H'FFDC : PPG セレクトレジスタ 7 PPR7 : I/O ポート

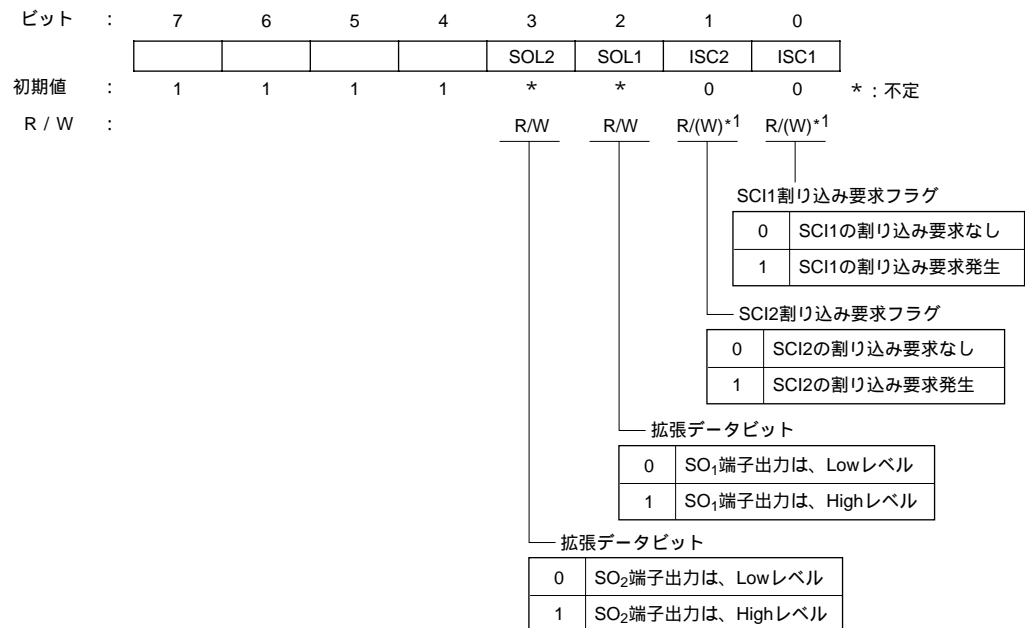
ビット	7	6	5	4	3	2	1	0
				PPR74	PPR73	PPR72	PPR71	PPR70
初期値	1	1	1	0	0	0	0	0
R / W				W	W	W	W	W

P7_n/PPG7_n端子切り替え

0	P7 _n 入出力端子
1	PPG7 _n 出力端子

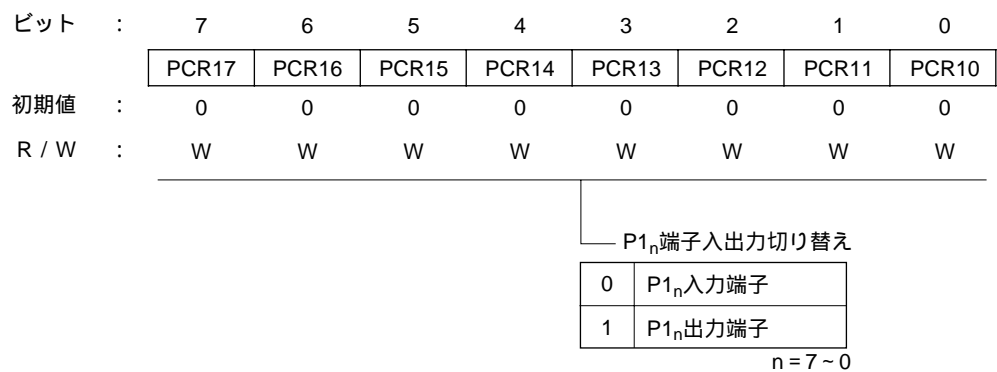
 n = 4 ~ 0

H'FFDF : シリアルポートモードレジスタ SPR : SCI



【注】*1 フラグクリアのための0ライトのみ可能

H'FFE1 : ポートコントロールレジスタ 1 PCR1 : I/O ポート



H'FFE2 : ポートコントロールレジスタ 2 PCR2 : I/O ポート

ビット	:	7	6	5	4	3	2	1	0
						PCR23	PCR22	PCR21	PCR20
初期値	:	1	1	1	1	0	0	0	0
R / W	:					W	W	W	W

— P2_n端子入出力切り替え

0	P2 _n 入力端子
1	P2 _n 出力端子

n = 3 ~ 0

H'FFE3 : ポートコントロールレジスタ 3 PCR3 : I/O ポート

ビット	:	7	6	5	4	3	2	1	0
		PCR37	PCR36	PCR35	PCR34	PCR33	PCR32	PCR31	PCR30
初期値	:	0	0	0	0	0	0	0	0
R / W	:	W	W	W	W	W	W	W	W

— P3_n端子入出力切り替え

0	P3 _n 入力端子
1	P3 _n 出力端子

n = 7 ~ 0

H'FFE4 : ポートコントロールレジスタ 4 PCR4 : I/O ポート

ビット	:	7	6	5	4	3	2	1	0
		PCR47	PCR46	PCR45	PCR44	PCR43	PCR42	PCR41	PCR40
初期値	:	0	0	0	0	0	0	0	0
R / W	:	W	W	W	W	W	W	W	W

— P4_n端子入出力切り替え

0	P4 _n 入力端子
1	P4 _n 出力端子

n = 7 ~ 0

H'FFE5 : ポートコントロールレジスタ 5 PCR5 : I/O ポート

ビット	7	6	5	4	3	2	1	0
	PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50
初期値	0	0	0	0	0	0	0	0
R / W	W	W	W	W	W	W	W	W

P5_n端子入出力切り替え

0	P5 _n 入力端子
1	P5 _n 出力端子

n = 7 ~ 0

H'FFE6 : ポートコントロールレジスタ 6 PCR6 : I/O ポート

ビット	7	6	5	4	3	2	1	0
	PCR67	PCR66	PCR65	PCR64	PCR63			
初期値	0	0	0	0	0	1	1	1
R / W	W	W	W	W	W			

P6_n端子入出力切り替え

0	P6 _n 入力端子
1	P6 _n 出力端子

n = 7 ~ 3

H'FFE7 : ポートコントロールレジスタ 7 PCR7 : I/O ポート

ビット	7	6	5	4	3	2	1	0
				PCR74	PCR73	PCR72	PCR71	PCR70
初期値	1	1	1	0	0	0	0	0
R / W				W	W	W	W	W

P7_n端子入出力切り替え

0	P7 _n 入力端子
1	P7 _n 出力端子

n = 4 ~ 0

H'FFEA : プルアップ MOS セレクトレジスタ PUR5 : I/O ポート

ビット	7	6	5	4	3	2	1	0
	PUR7	PUR6	PUR5	PUR4	PUR3	PUR2	PUR1	PUR0
初期値	0	0	0	0	0	0	0	0
R / W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

プルアップMOS ON/OFF制御	
0	プルアップMOSなし
1	プルアップMOS付き端子

n = 7 ~ 0

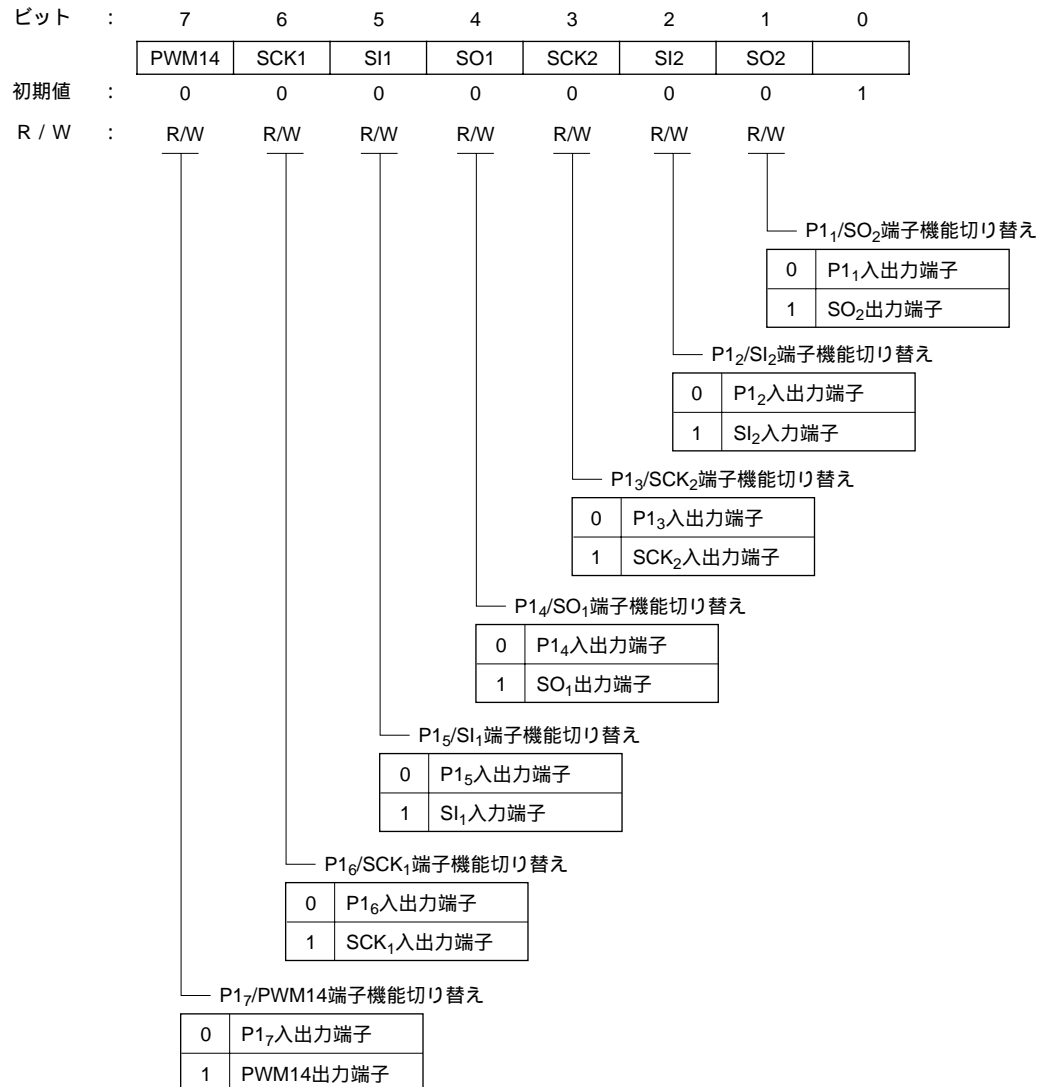
H'FFEB : ポートモードレジスタ 0 PMR0 : I/O ポート

ビット	7	6	5	4	3	2	1	0
	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0
初期値	0	0	0	0	0	0	0	0
R / W	W	W	W	W	W	W	W	W

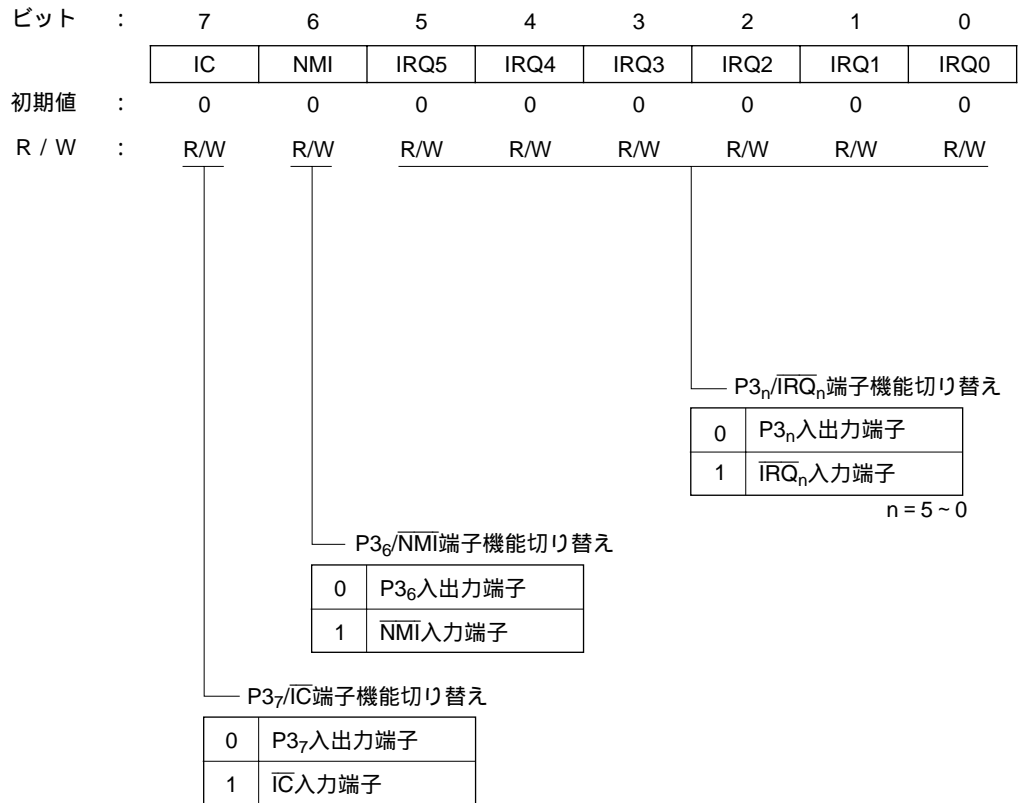
アナログ入力選択	
0	汎用入力ポート
1	アナログ入力チャネル

n = 7 ~ 0

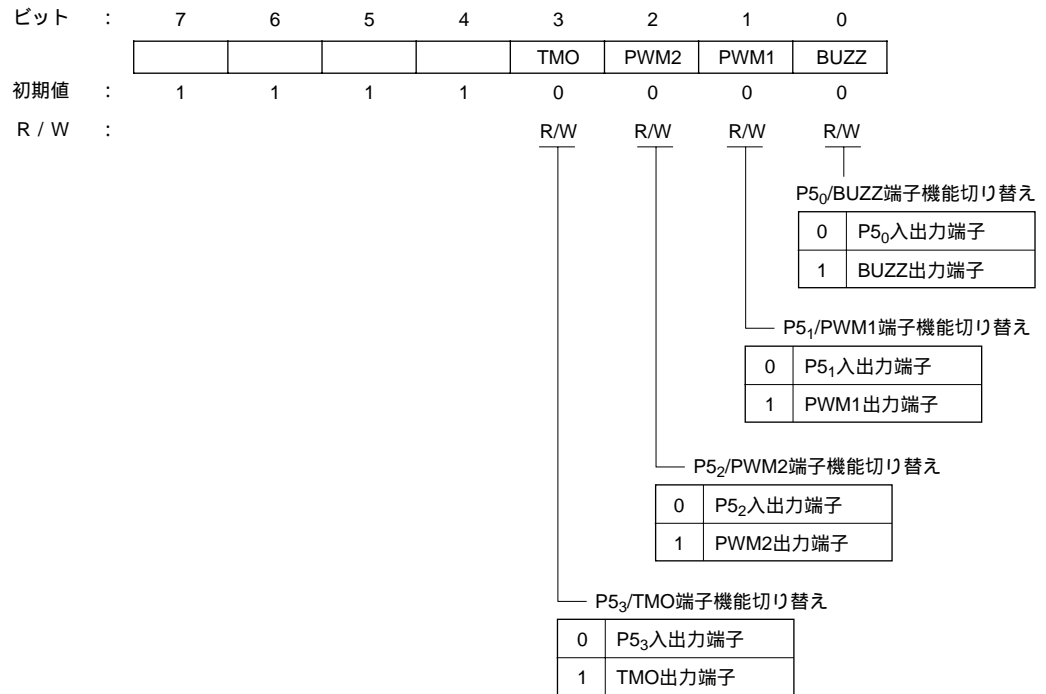
H'FFEC : ポートモードレジスタ 1 PMR1 : I/O ポート



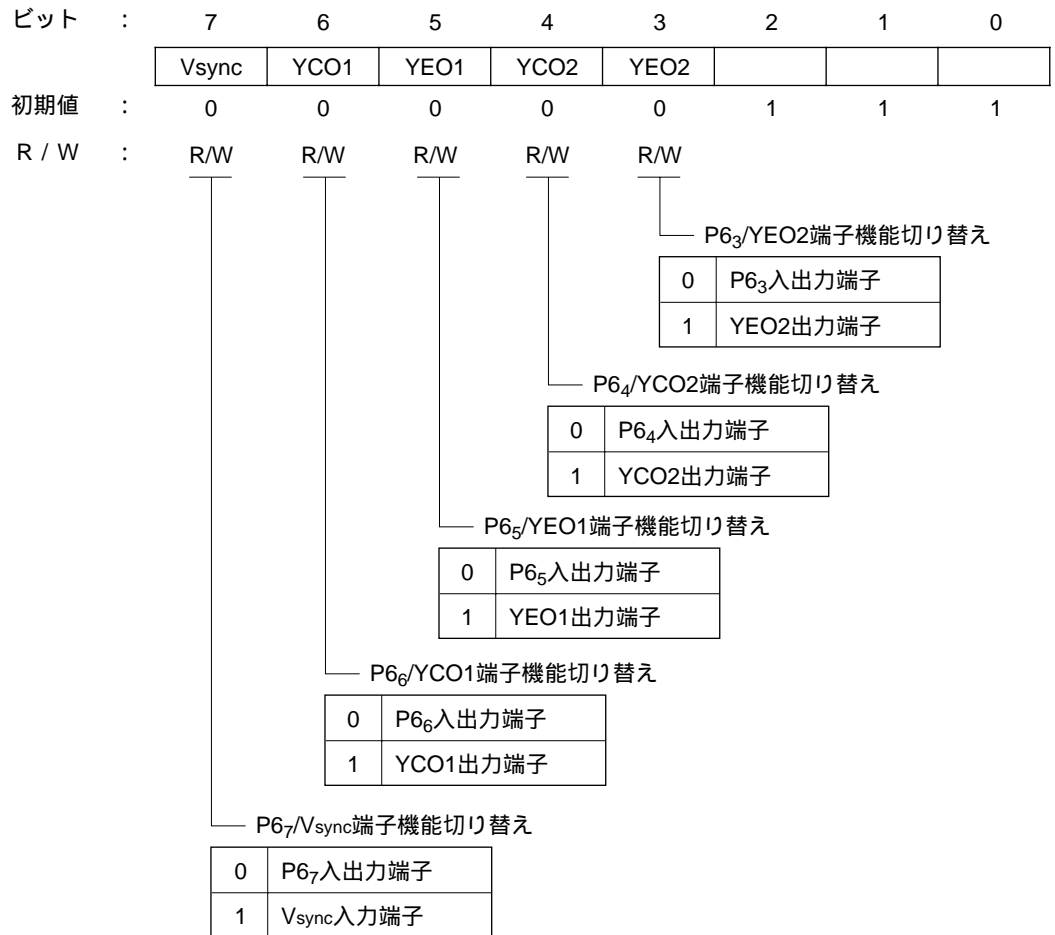
H'FFED : ポートモードレジスタ 3 PMR3 : I/O ポート



H'FFEE : ポートモードレジスタ 5 PMR5 : I/O ポート



H'FFEF : ポートモードレジスタ 6 PMR6 : I/O ポート



H'FFF0 : システムコントロールレジスタ 1 SYSCR1 : システムコントロール

ビット	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	LSON	-	-	-
初期値	0	0	0	0	0	1	0	0
R/W	R/W*	R/W	R/W	R/W	R/W	-	-	-

0	CPUはシステムクロック () で動作
1	CPUはサブクロック (SUB) で動作

STS2	STS1	STS0	待機時間
0	0	0	8192 ステート
		1	16384 ステート
	1	0	32768 ステート
		1	65536 ステート
1	X	X	131072 ステート

X : Don't care

0	SLEEP命令実行後、スリープモードに遷移
1	SLEEP命令実行後、スタンバイモードまたはウォッチモードに遷移

【注】 * アクティブモード時のみライト可能

H'FFF1 : システムコントロールレジスタ 2 SYSCR2 : システムコントロール

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	DTON	-	-	-
初期値	1	0	1	1	0	1	0	0
R/W	-	-	-	-	W*	-	-	-

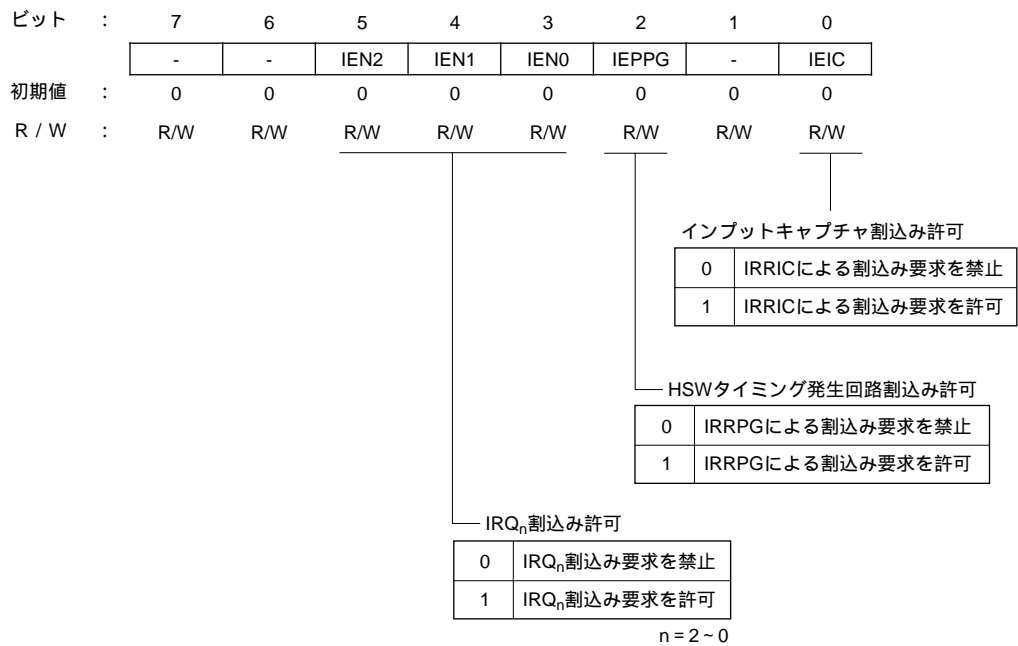
0	サブアクティブモード時、SLEEP命令を実行するとウォッチモードに遷移
1	サブアクティブモード時、SYSCR1のLSONビット=0の状態でのSLEEP命令を実行すると、ダイレクト遷移割込み要求を発生し、ウォッチモードを経由してアクティブモードに遷移

【注】 * サブアクティブモード時のみライト可能

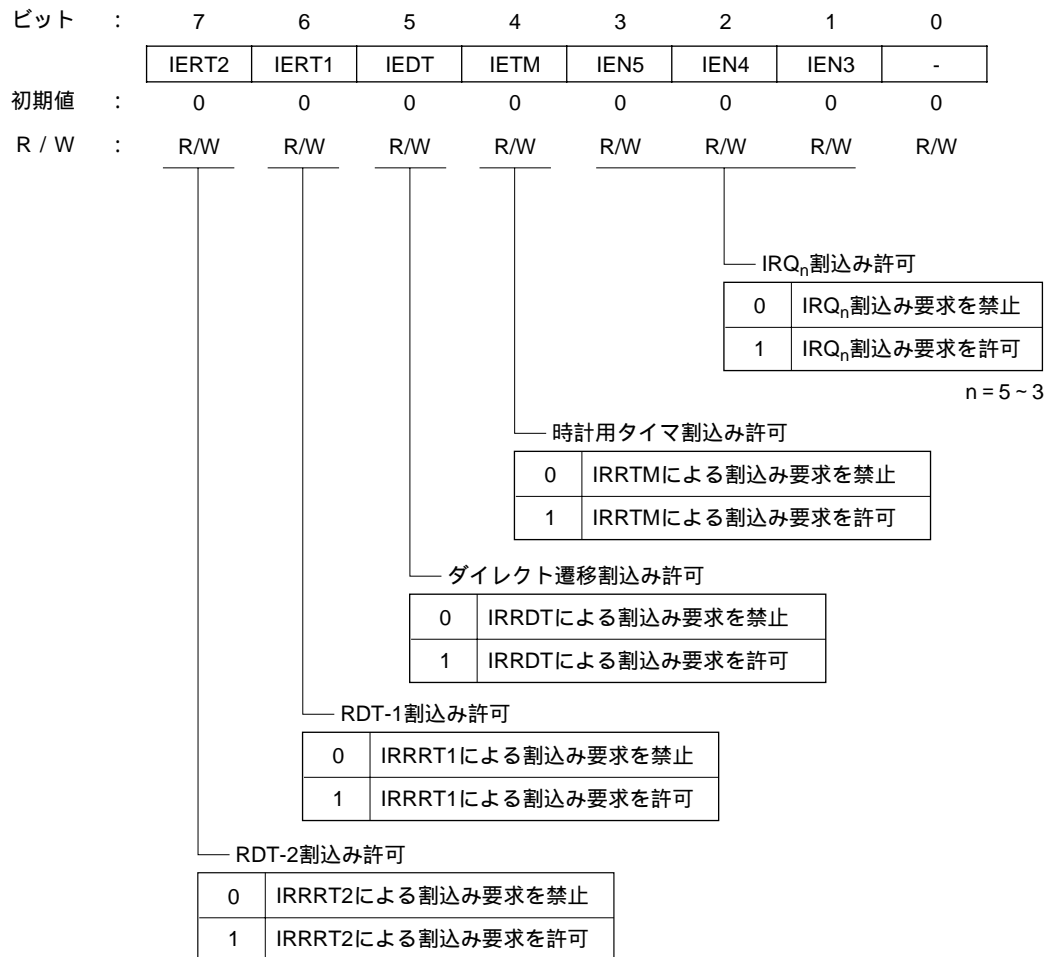
H'FFF3 : エッジ切り替えレジスタ IEGR : システムコントロール



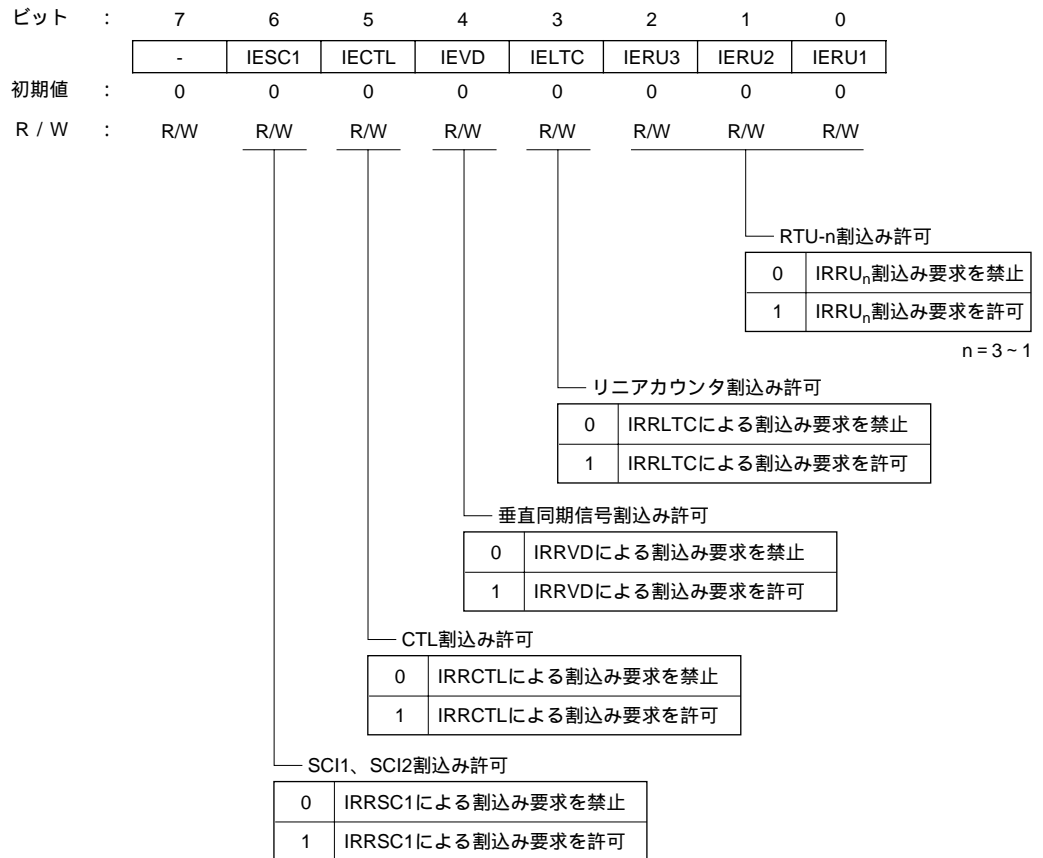
H'FFF4 : 割込み許可レジスタ 1 IENR1 : 割込み許可



H'FFF5 : 割り込み許可レジスタ 2 IENR2 : 割り込み許可



H'FFF6 : 割り込み許可レジスタ 3 IENR3 : 割り込み許可



H'FFF7 : 割込み許可レジスタ 4 IENR4 : 割込み許可

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	IECPS	IEDRM	IEOSD	IEAD
初期値	1	1	1	1	0	0	0	0
R / W	-	-	-	-	R/W	R/W	R/W	R/W

A/D変換割込み許可

0	IRRADによる割込み要求を禁止
1	IRRADによる割込み要求を許可

OSD割込み許可

0	OSDアクセス衝突または同期信号検出回路ノイズ検出による割込み要求を禁止
1	OSDアクセス衝突または同期信号検出回路ノイズ検出による割込み要求を許可

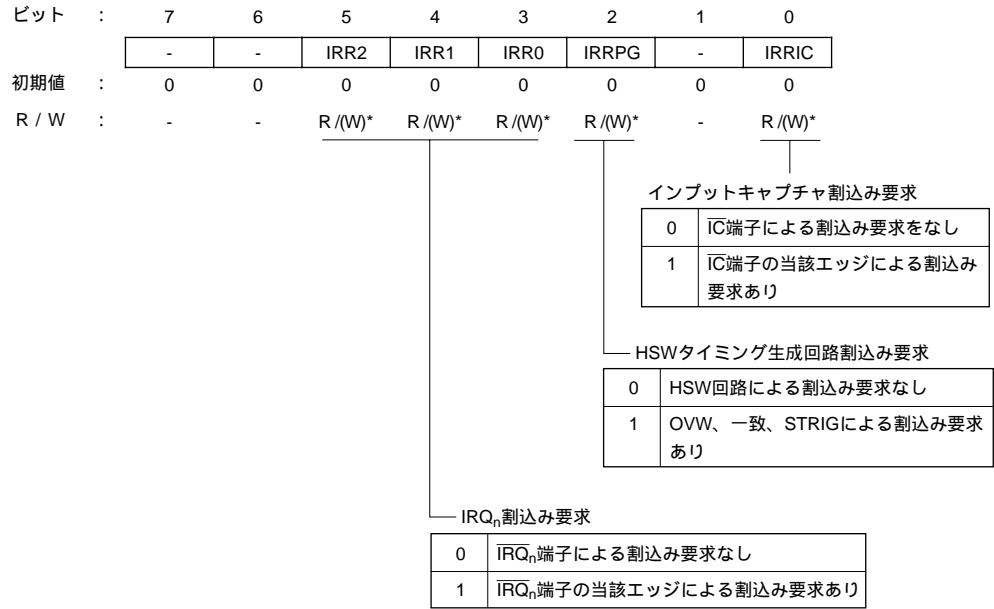
ドラム速度誤差検出割込み許可

0	ドラム速度誤差検出回路からの割込み要求を禁止
1	ドラム速度誤差検出回路からの割込み要求を許可

キャプスタン速度誤差検出割込み許可

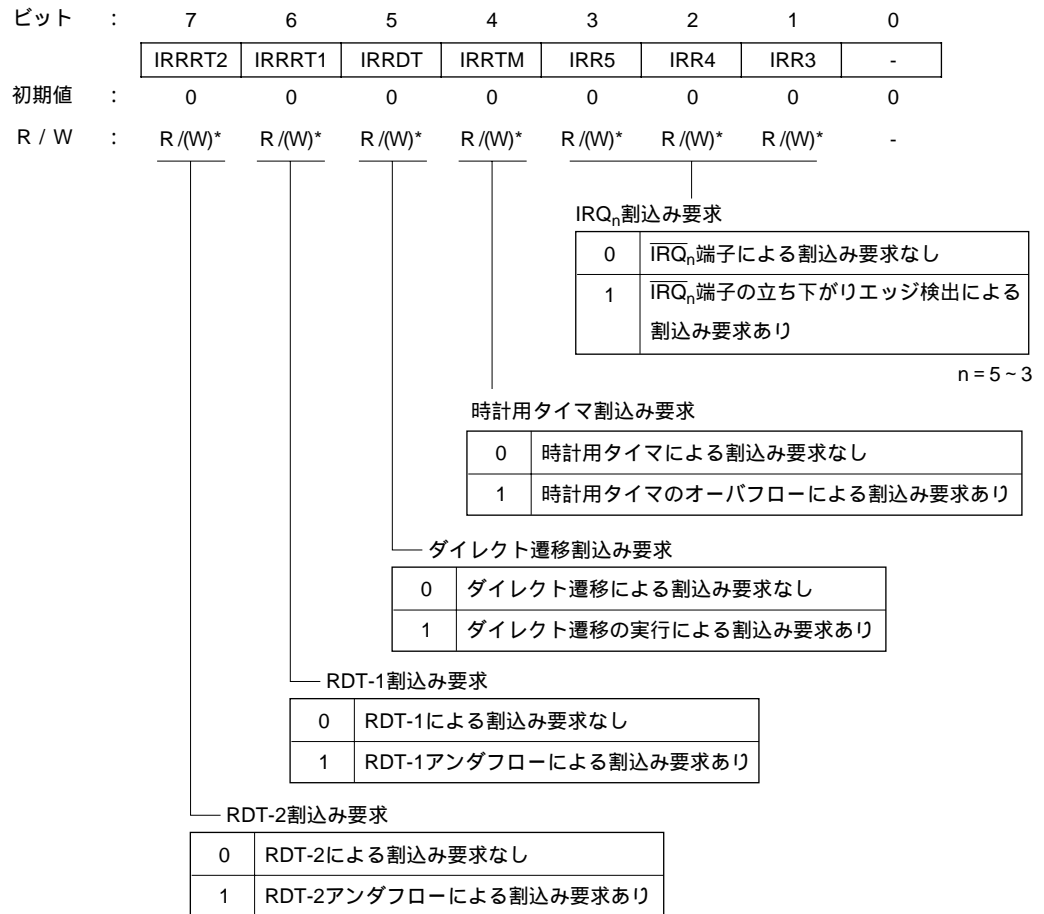
0	キャプスタン速度誤差検出回路からの割込み要求を禁止
1	キャプスタン速度誤差検出回路からの割込み要求を許可

H'FFF8 : 割り込み要求レジスタ 1 IRQR1 : 割り込み要求



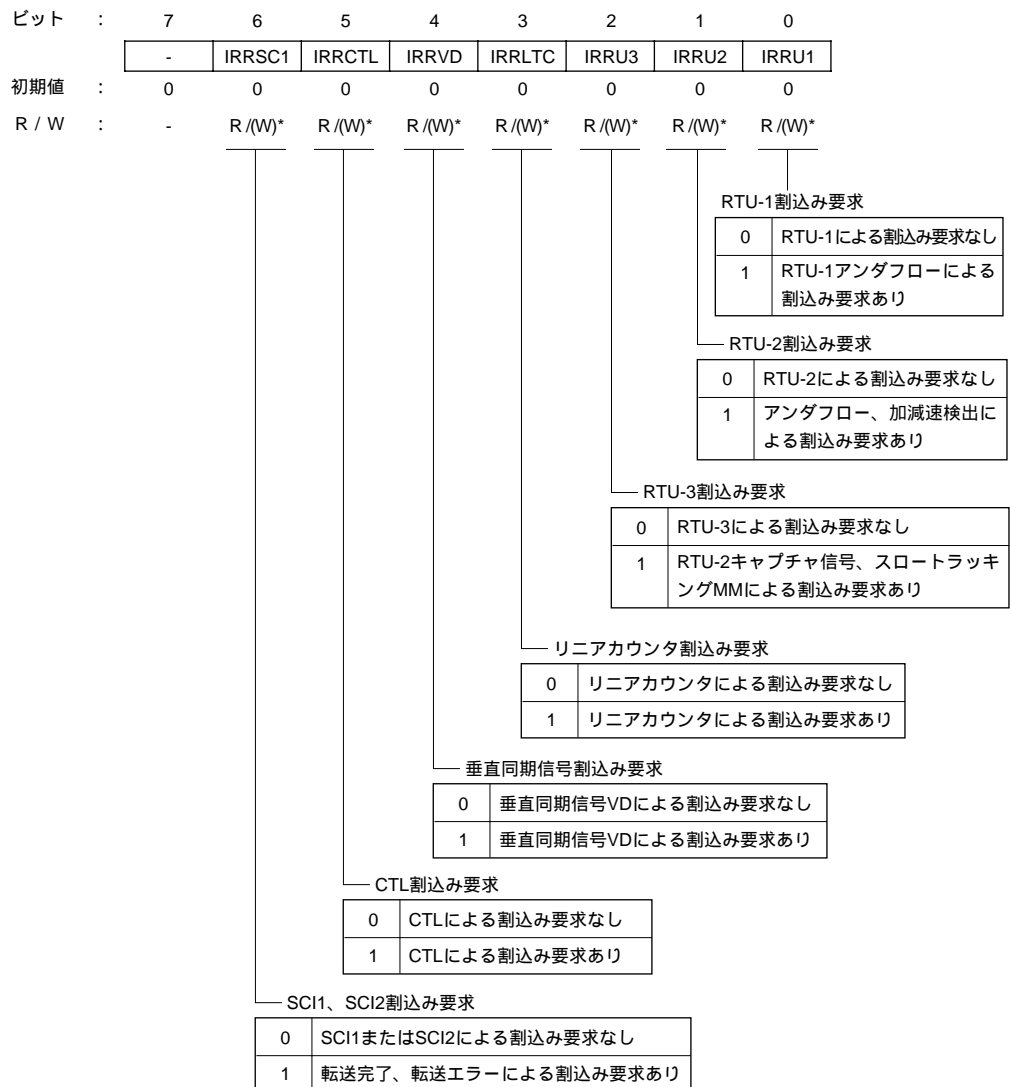
【注】 * フラグクリアのための0ライトのみ可能

H'FFF9 : 割り込み要求レジスタ 2 IRQR2 : 割り込み要求



【注】 * フラグクリアのための0ライトのみ可能

H'FFFA : 割り込み要求レジスタ 3 IRQR3 : 割り込み要求



【注】 * フラグクリアのための0ライトのみ可能

H'FFFB : 割り込み要求レジスタ 4 IRQR4 : 割り込み要求

ビット	7	6	5	4	3	2	1	0
	-	-	-	-	IRRCPS	IRRDRM	IRROSD	IRRAD
初期値	1	1	1	1	0	0	0	0
R/W	-	-	-	-	R/(W)*	R/(W)*	R/(W)*	R/(W)*

A/D変換割り込み要求	
0	A/D変換による割り込み要求なし
1	A/D変換による割り込み要求あり

OSD割り込み要求	
0	OSDアクセス衝突または同期信号検出回路ノイズ検出による割り込み要求なし
1	OSDアクセス衝突または同期信号検出回路ノイズ検出による割り込み要求あり

ドラム速度誤差検出割り込み要求	
0	ドラム速度誤差検出回路からの割り込み要求なし
1	ドラム速度誤差検出回路からの割り込み要求あり

キャプスタン速度誤差検出回路割り込み要求	
0	キャプスタン速度誤差検出回路からの割り込み要求なし
1	キャプスタン速度誤差検出回路からの割り込み要求あり

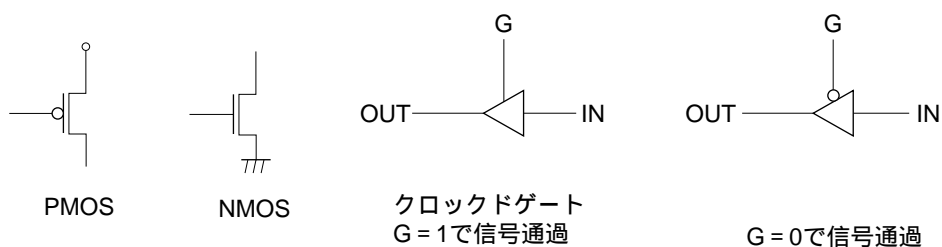
【注】 * フラグクリアのための0ライトのみ可能

C. 各端子の回路構成

各端子の回路構成

電源端子以外の端子の回路構成を表 C.1 に示します。

凡例



<記号説明>

RD : リード信号

RST : リセット信号

LPM : 低消費電力モード信号(スタンバイ、ウォッチ、サブアクティブの各モードで1)

Hi-Z : ハイインピーダンス

SLEEP : スリープモード信号

【注】 抵抗値などの数値は参考値です。

表 C.1 各端子の回路構成 (1)

端子名	回路構成	端子状態		
		リセット	スリープ	スリープ以外の 低消費電力モード
$P0_0/AN_0$ } $P0_7/AN_7$		Hi-Z	保持	Hi-Z
AN_8 ~ AN_B		Hi-Z	保持	Hi-Z
$P1_0$		Hi-Z	保持	サブアクティブ時 : リード可 その他のモード : Hi-Z

表 C.1 各端子の回路構成 (3)

端子名	回 路 構 成	端子状態		
		リセット	スリープ	スリープ以外の 低消費電力モード
P2 ₀ ~ P2 ₃	<p style="text-align: center;">$RD \cdot \overline{PCR2}_n$ $n=0 \sim 3$</p>	Hi-Z	保持	サブアクティブ時 : リード可 その他のモード : Hi-Z
P3 ₀ / \overline{IRQ}_0 } P3 ₅ / \overline{IRQ}_5 P3 ₆ / \overline{NMI} P3 ₇ / \overline{IC}	<p style="text-align: center;">$RD \cdot \overline{PCR3}_n$ $INT = \overline{IRQ}_0 \sim \overline{IRQ}_5, \overline{NMI}, \overline{IC}$</p>	Hi-Z	保持	サブアクティブ時 : リード可 その他のモード : Hi-Z
				$\overline{IRQ}_0 \sim \overline{IRQ}_5$ 、 \overline{NMI} 、 \overline{IC} が選 択されているときは、端子 を High または Low に固定 してください。
P4 ₀ ~ P4 ₇	<p style="text-align: center;">$RD \cdot \overline{PCR0}_n$</p>	Hi-Z	保持	サブアクティブ時 : リード可 その他のモード : Hi-Z

表 C.1 各端子の回路構成 (4)

端子名	回 路 構 成	端子状態		
		リセット	スリープ	スリープ以外の 低消費電力モード
P5 ₀ /BUZZ P5 ₁ /PWM ₁ P5 ₂ /PWM ₂ P5 ₃ /TMO	<p>OUT :</p> <p>P5₀/BUZZ : PWCR のビット 4~7 で決まる出力</p> <p>P5₁/PWM1 : 8 ビット PWM1 の出力</p> <p>P5₂/PWM2 : 8 ビット PWM2 の出力</p> <p>P5₃/TMO : 8/16 リロードタイマのトグル RDT-1 に よる出力</p>	Hi-Z	保持	ブルアップ MOS : OFF サブアクティブ時 : リード可 その他のモード : Hi-Z
P5 ₄ ~ P5 ₇		Hi-Z	保持	ブルアップ MOS : OFF サブアクティブ時 : リード可 その他のモード : Hi-Z

表 C.1 各端子の回路構成 (5)

端子名	回路構成	端子状態		
		リセット	スリープ	スリープ以外の 低消費電力モード
P6 ₇ /Vsync		Hi-Z	保持	サブアクティブ時 : リード可 その他のモード : Hi-Z
Vsyncが選択されているときは、端子の入力を High または Low に固定してください。				
P6 ₆ /YCO ₁ P6 ₅ /YEO ₁ P6 ₄ /YCO ₂ P6 ₃ /YEO ₂	<p>OUT :</p> <p>P6₃/YEO₂ : 縁どりデータ出力 P6₄/YCO₂ : キャラクタデータ出力 P6₅/YEO₁ : 縁どりデータ出力 P6₆/YCO₁ : キャラクタデータ出力</p>	Hi-Z	保持	サブアクティブ時 : リード可 その他のモード : Hi-Z

表 C.1 各端子の回路構成 (6)

端子名	回路構成	端子状態		
		リセット	スリープ	スリープ以外の 低消費電力モード
P7 ₄ /PPG74 } P7 ₀ /PPG70		Hi-Z	保持	サブアクティブ時 : リード可 その他のモード : Hi-Z
Hsync/ Csync		端子の入力は、High または Low に固定してください。		
COMP		固定	固定	固定
C.Rotary H.AmpSW AUDIOFF VIDEOFF		Low 出力	保持	Hi-Z

表 C.1 各端子の回路構成 (7)

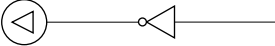
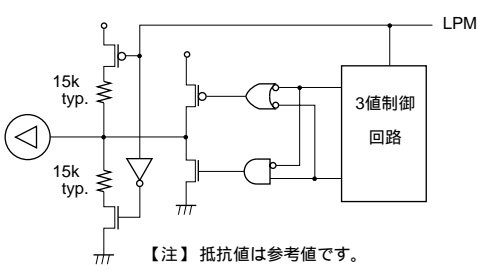
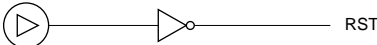
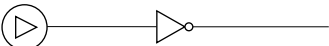
端子名	回路構成	端子状態		
		リセット	スリープ	スリープ以外の 低消費電力モード
CAPPWM DRMPWM		Low 出力	保持	保持
Vpulse		Low 出力	Low 出力	Hi-Z
RES		Low 入力	(High)	(High)
TEST		TEST 端子はGND に固定してください。		

表 C.1 各端子の回路構成 (8)

端子名	回 路 構 成	端子状態		
		リセット	スリープ	スリープ以外の 低消費電力モード
DFG	<p>$V_{TH+}=2.6V$ typ. $V_{TH-}=2.4V$ typ.</p> <p>【注】 抵抗値は参考値です。</p>	-	-	-
DPG	<p>$V_{TH+}=2.6V$ typ. $V_{TH-}=2.4V$ typ.</p> <p>【注】 抵抗値は参考値です。</p>	-	-	-
CFG	<p>$V_{TH+}=2.8V$ typ. $V_{TH-}=2.2V$ typ.</p> <p>【注】 抵抗値は参考値です。</p>	-	-	-
CTL (+) CTL (-) CTL-I1 CTL-I2 CTL-I3 CTLAmp (O)		-	-	-

表 C.1 各端子の回路構成 (9)

端子名	回路構成	端子状態		
		リセット	スリープ	スリープ以外の 低消費電力モード
CVin		-	-	-
Vref	<p>【注】 抵抗値、電圧値は参考値です。</p>	-	-	-
CVout		-	-	-
DOSC _{out}	<p>【注】 抵抗値は参考値です。 *低消費電力モード（スリープ含）時、SWがOFFします。</p>	Low 出力	Low 出力 (発振 停止)	Low 出力
DOSC _{in}		Low 出力	Low 出力 (発振 停止)	Low 出力

表 C.1 各端子の回路構成 (10)

端子名	回 路 構 成	端子状態		
		リセット	スリープ	スリープ以外の 低消費電力モード
4fsc _{out}		発振	発振	High 出力
4fsc _{in}				-
X ₂	<p>【注】抵抗値は参考値です。</p>	発振	発振	発振
X ₁				
OSC ₂		発振	発振	High 出力
OSC ₁				-

D. 各処理状態におけるポートの状態

表 D.1 各ポートの状態一覧

端子名	リセット	アクティブ	スリープ	スタンバイ	ウォッチ	サブアクティブ
P0 ₇ ~ P0 ₀	ハイインピーダンス	動作	保持	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス
P1 ₇ ~ P1 ₀	ハイインピーダンス	動作	保持	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス
P2 ₃ ~ P2 ₀	ハイインピーダンス	動作	保持	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス
P3 ₇ ~ P3 ₀	ハイインピーダンス	動作	保持	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス
P4 ₇ ~ P4 ₀	ハイインピーダンス	動作	保持	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス
P5 ₇ ~ P5 ₀	ハイインピーダンス	動作	保持	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス
P6 ₇ ~ P6 ₃	ハイインピーダンス	動作	保持	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス
P7 ₄ ~ P7 ₀	ハイインピーダンス	動作	保持	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス

E. 使用上の注意

E.1 電源の立ち上げおよび立ち下げの順序

電源投入時の各電源端子の立ち上げ順序と、電源切断時の各電源端子の立ち下げ順序を図 E.1 に示します。各電源電圧が同時に上げ/下げできない場合は、この順序で電源操作を行ってください。

電源立ち上げ時は、マイコン部の電源 (V_{CC}) を規定の電圧まで上げた後、他のアナログ系電源を立ち上げてください。

また、電源立ち下げ時は、アナログ系電源を立ち下げてから、マイコン部の電源 (V_{CC}) を立ち下げてください。

立ち上げ、立ち下げのときには、端子の印加電圧が各電源電圧を超えないようにしてください。

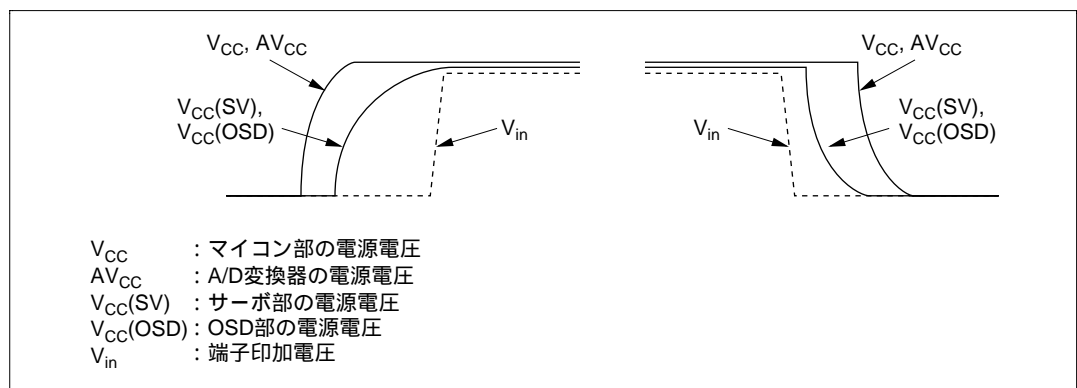


図 E.1 電源の立ち上げ・立ち下げの順序

低消費電力モード時のアナログ電源は、消費電流低減のために切断が可能です(スリープモードを除く)。低消費電力モードで、マイコン部の電源 (V_{CC}) をバックアップ電圧まで下げる場合は、図 E.2 に示す順序で行ってください。このときも、端子の印加電圧が各電源電圧を超えないように注意してください。

A/D 変換器用の電源 (AV_{CC}) は、マイコン部の電源 (V_{CC}) と同電位としてください。 AV_{CC} は、スリープモードを除く低消費電力モード時には、デバイス内部で OFF します。このときの AV_{CC} の消費電流は AI_{STOP} として定義されています。

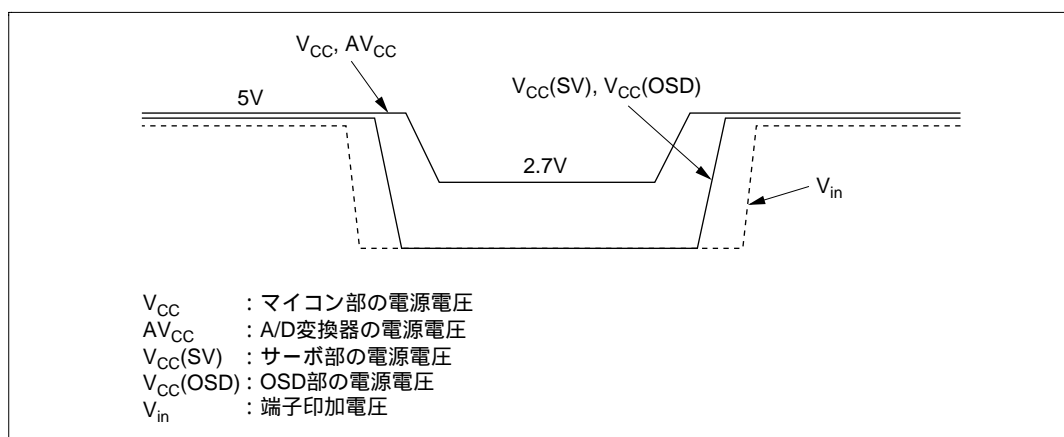


図 E.2 低消費電力モード時の電源の制御

E.2 OSD 未使用時の電源端子

表 E.1 に OSD 電源端子 ($V_{CC} (OSD)$) に電源を接続しない時の条件と、電源を接続したままの時の条件を示します。

ただし、 $V_{CC} (OSD)$ を V_{SS} 固定にした場合は、OSD の各レジスタ (OSDR1 ~ OSDR6) はアクセスしないでください。アクセスした場合は、他の機能が誤動作することがあります。

表 E.1 OSD 未使用時の OSD 関連端子の処理方法

端子番号	端子名	処理方法	
		V _{CC} (OSD)に電源を接続しないときの条件	電源を接続したままのときの条件
42	Vcc(OSD)	V _{SS}	V _{CC}
43	CVin	V _{SS}	10k to V _{SS}
44	Vref	V _{SS}	OPEN
45	CVout	V _{SS}	OPEN
46	CHAR Bias	V _{SS}	10k to V _{SS}
47	AFCLPF	V _{SS}	10k to V _{CC}
48	AFCOSC	V _{SS}	10k to V _{SS}
49	Vss(OSD)	V _{SS}	V _{SS}
50	DOSCin	V _{SS}	V _{SS}
51	DOSCOut	V _{SS}	OPEN
52	4fsc out	4fsc out or OPEN*	4fsc out or OPEN*
53	4fsc in	4fsc in or V _{SS} *	4fsc in or V _{SS} *
54	Hsync/Csync	Csync or V _{SS} *	Csync or V _{SS} *
55	P6 ₇ /Vsync	P6 ₇ or V _{SS} *	P6 ₇ or V _{SS} *
	備 考	OSDR1 ~ OSDR6 はアクセスしないでください。	V _{CC} (OSD)には無信号時の消費電流が流れます。

【注】 * サーボ部で記録を行う場合は垂直同期信号が必要となります。CsyncまたはVsyncを入力してください。また、ノイズ検出を行う場合はCsyncおよび4/2fsc発振を入力する必要があります。

E.3 4ヘッド特殊再生用高速切り替え回路未使用時の端子処理

4ヘッド特殊再生用高速切り替え回路を使用しない場合の、C.Rotary、H.AmpSW、COMPの各端子の処理を表E.2に示します。COMP端子は入力端子、他の2本は出力端子です。

4ヘッド特再高速切り替え端子を使用しない場合、関連端子は以下のように処理してください。

表E.2 4ヘッド特再端子未使用時の処理

端子番号	端子名	処理方法
28	C.Rotary	OPEN (出力端子)*
29	H.AMP SW	OPEN (出力端子)*
30	COMP	V _{SS}

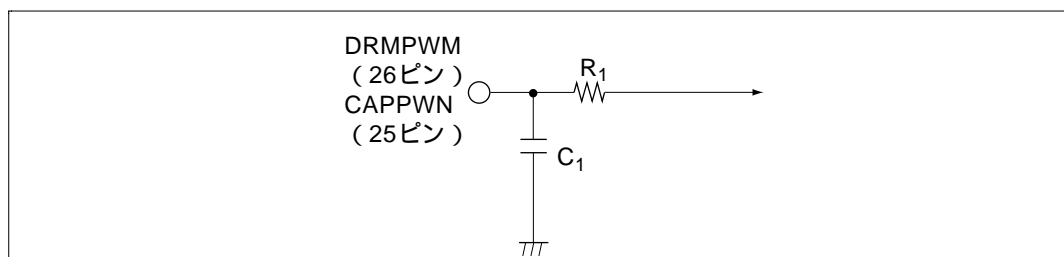
【注】 * 特再制御レジスタの値により出力が異なります。初期値のまま使用する場合は、Low出力となります。

E.4 外付回路例

サーボ部、OSD部、同期信号検出回路の外付回路例を図E.3、図E.4、図E.5に示します。

E.4.1 サーボ部

DRMPWM出力とCAPPWM出力端子の外付回路例を示します。



図E.3 サーボ部の外付回路例

E.4.2 OSD 部

OSD 部の外部回路の例を図 E.4 に示します。

フィルタ部の回路構成および定数は、配線の容量やインピーダンスなどにより異なります。

基板設計時は、配線負荷を考慮し、適正なフィルタを構成してください。またノイズ対策等も十分に考慮して基板設計を行ってください。

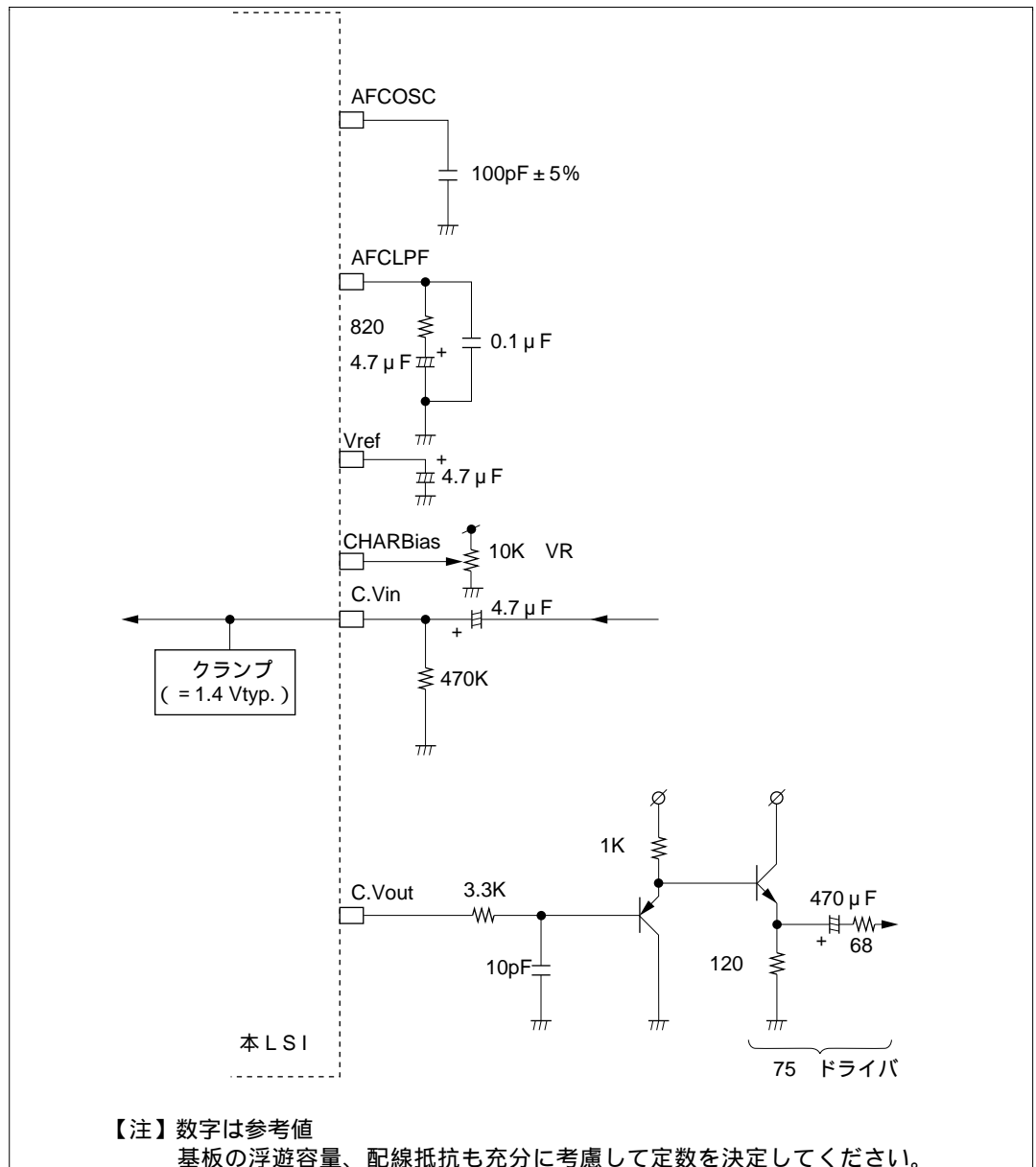


図 E.4 OSD 部の外部回路例

E.4.3 同期信号検出回路部

同期信号検出回路部の外部回路例を図 E.5 に示します。

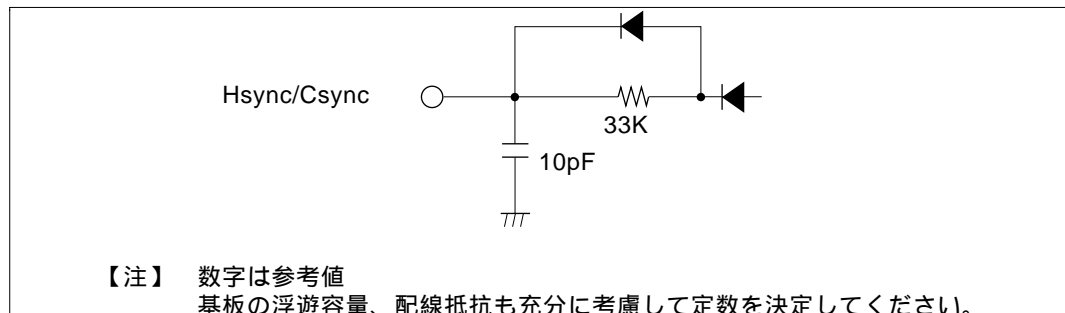


図 E.5 同期信号検出回路部の外部回路例

E.5 ROM リリース時の注意事項

ROMのリザーブエリアのバイトには、H'FFを書き込んでください。各製品ごとにリザーブエリアのアドレス空間が異なるので注意してください。EPROMによるオーダーの場合はHN27C101または同等品にプログラムしてください。ZTAT®による場合は未使用ROM空間にH'FFをプログラムしてください。

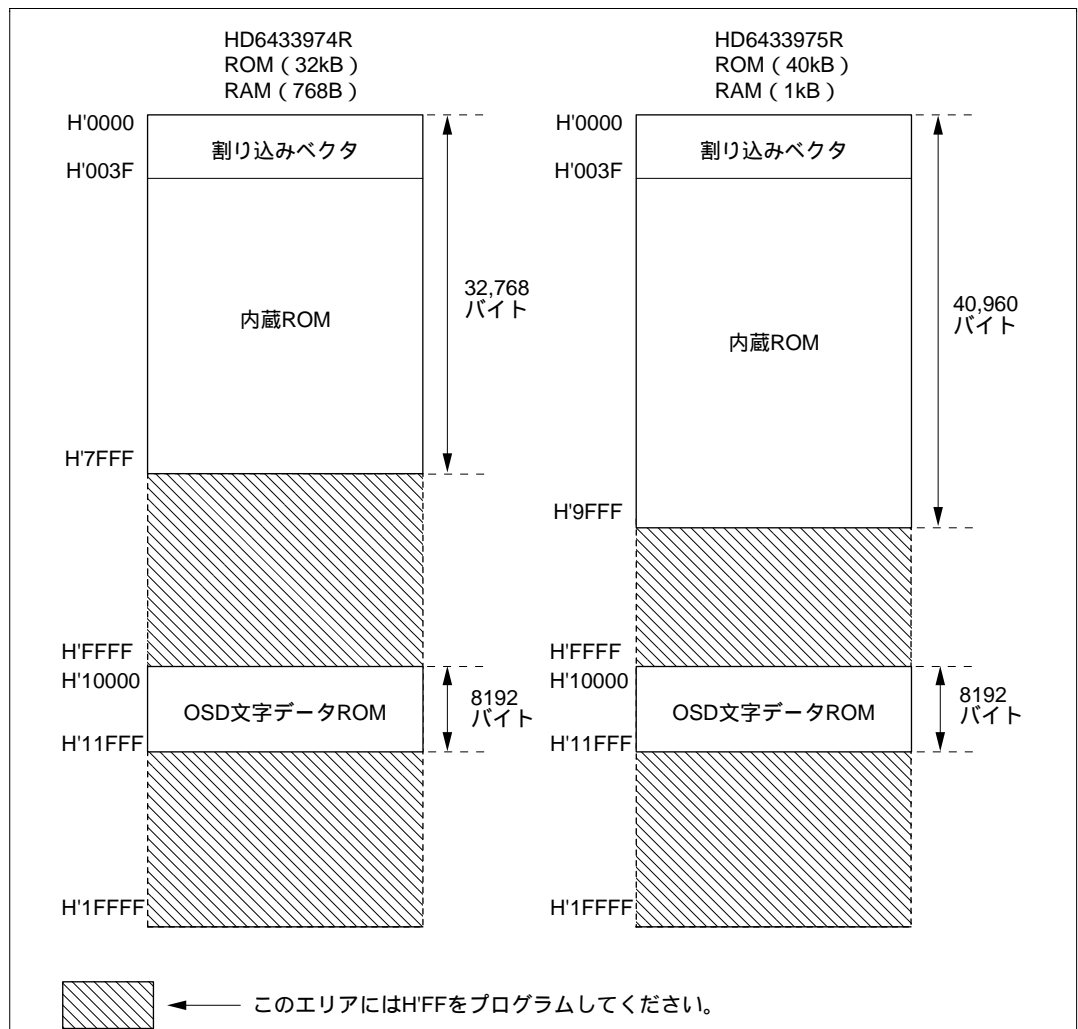


図 E.6 EPROM アドレス空間 (1)

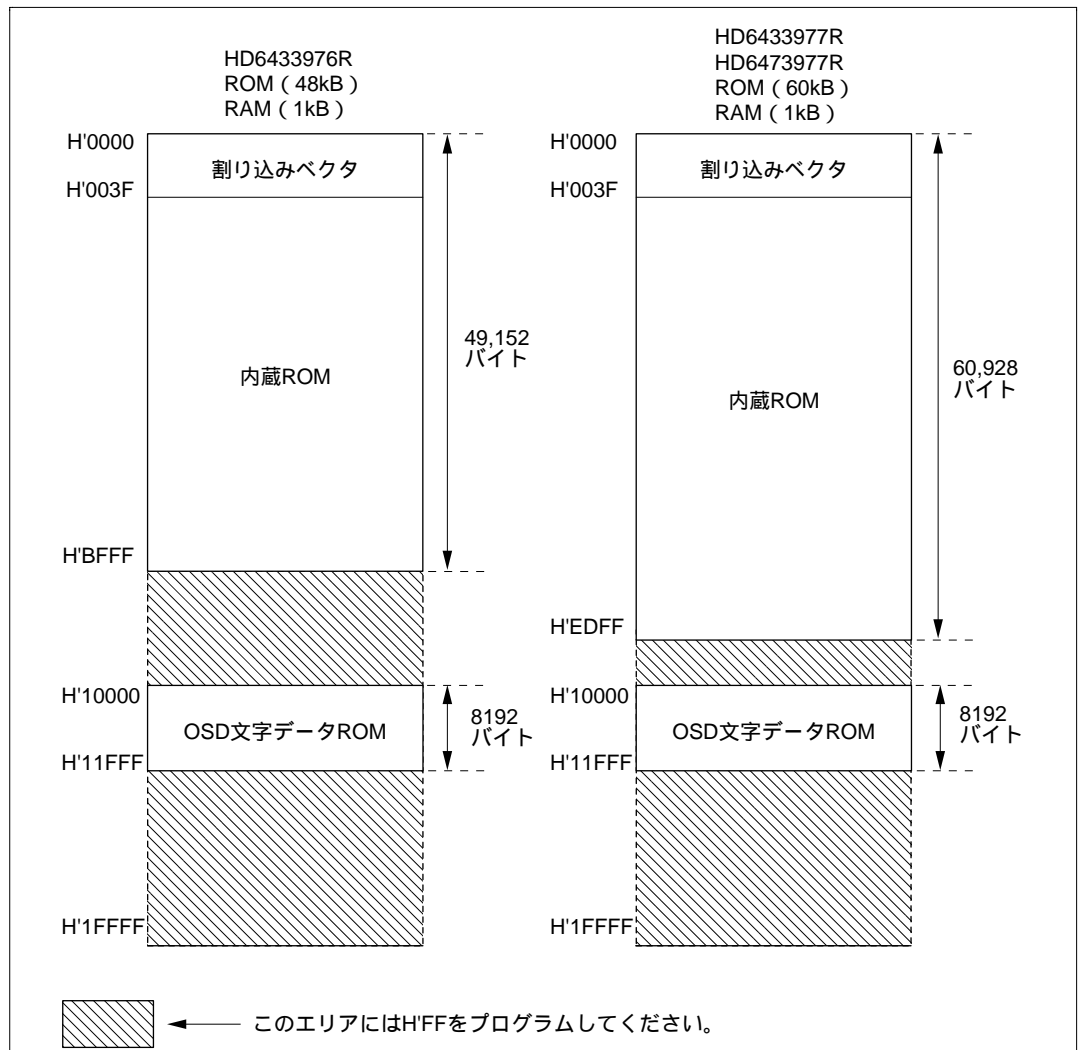


図 E.7 EPROM アドレス空間 (2)

F. 型名一覧

製品分類		製品型名	マーク型名	発注型名	パッケージ (日立パッケージコード)
H8/3974R	マスク	HD6433974RF	HD6433974R (***) F	HD6433974R (***) F	100 ピン QFP (FP-100A)
H8/3975R	ROM 版	HD6433975RF	HD6433975R (***) F	HD6433975R (***) F	
H8/3976R		HD6433976RF	HD6433976R (***) F	HD6433976R (***) F	
H8/3977R		HD6433977RF	HD6433977R (***) F	HD6433977R (***) F	
	ZTAT 版	HD6473977RF	HD6473977RF	HD6473977RF	

【注】 マスク ROM 版の (***) は ROM コードです。

G. 外形寸法図

H8/3977R シリーズの外形寸法図を図 G.1 に示します。

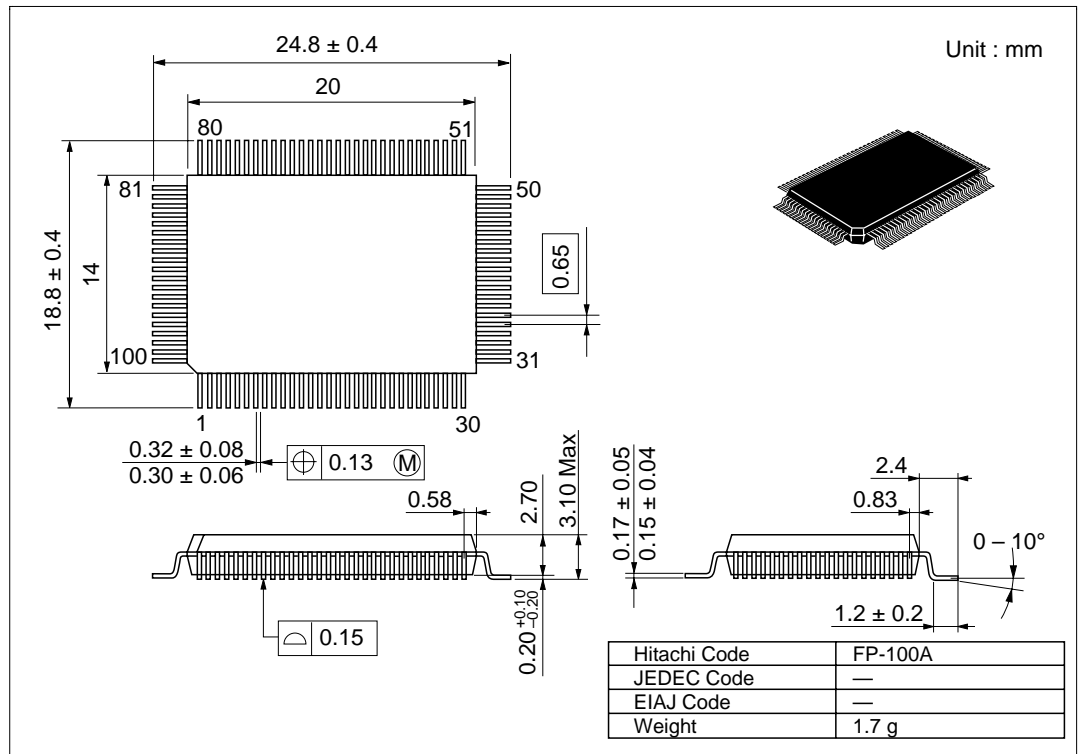


図 G.1 外形寸法図 (FP-100A) 単位 : mm

【注】 外形寸法図については、「日立半導体パッケージデータブック (ADJ-410-002)」に掲載されている寸法図を優先します。

H8/3977R
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668