

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

H8/38704 グループ、 H8/38702S グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ

H8 ファミリ / H8/300H Super Low Power シリーズ

H8/38704グループ	H8/38704
	H8/38703
	H8/38702
H8/38702Sグループ	H8/38702S
	H8/38701S
	H8/38700S

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサスエレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事情報の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したものです。万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違うと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

H8/38704 グループ、H8/38702S グループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス テクノロジーのホームページに掲載されています。

ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	—	—
ハードウェアマニュアル	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	H8/38704 グループ、 H8/38702S グループハードウェアマニュアル	本ハードウェアマニュアル
ソフトウェアマニュアル	CPU・命令セットの説明	H8/300H シリーズ プログラミングマニュアル	RJJ09B0141
アプリケーションノート	応用例参考プログラムなど	ルネサス テクノロジーのホームページに掲載されています。	
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報		

2. 数や記号の表記

このマニュアルで使用するレジスタ名やビット名、数字や記号の表記の凡例を以下に説明します。

(1) 全体的な表記

本文中ではビットの説明をする場合、モジュールやレジスタとの関連を明確にするため、ビット名を「モジュール名、レジスタ名、ビット名」または「レジスタ名、ビット名」と表記している場合があります。

(2) レジスタの表記

同一または類似した機能が複数チャンネルに存在する場合に「レジスタ名_チャンネル番号」の表記を使用します。

(例) CMCSR_0 : コンペアマッチタイマのチャンネル0 (_0) のCMCSRレジスタを示します。

(3) 数字の表記

2進数はB'nnnn (明らかに2進数と判断できる場合はB'を省略)、16進数はH'nnnnまたは0xnnnn、

10進数はnnnnで表します。

(例) 2進数 : B'11または11

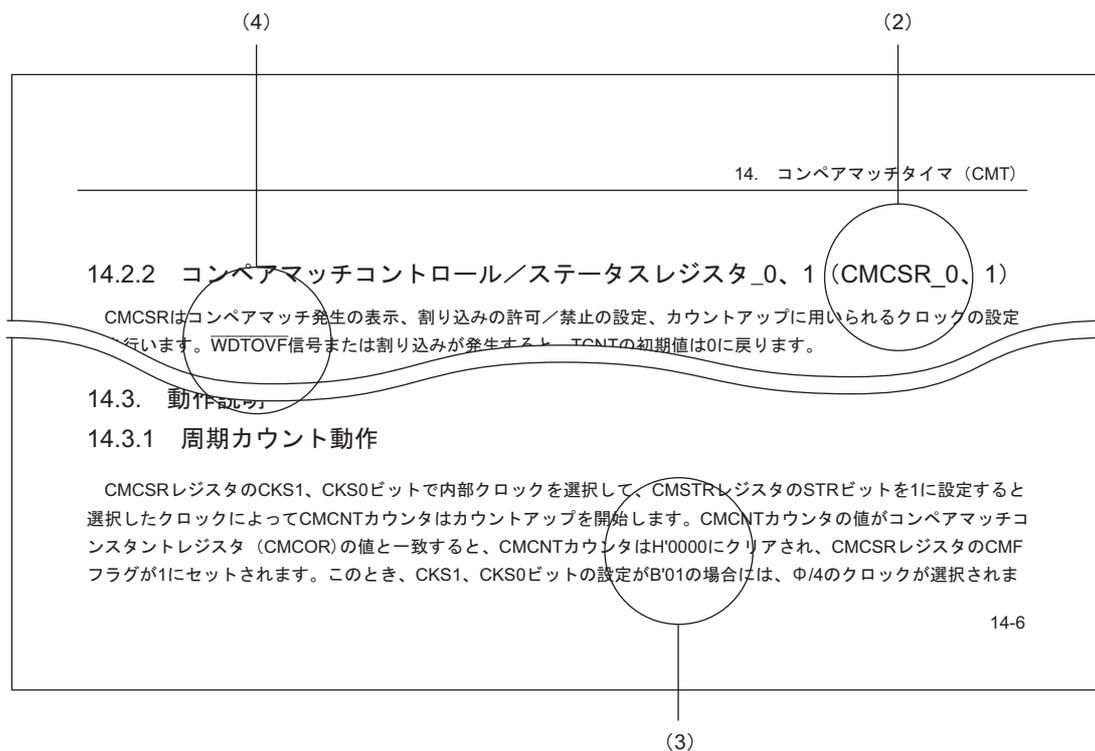
16進数 : H'EFA0または0xEFA0

10進数 : 1234

(4) ローアクティブの表記

ローアクティブの信号および端子には上線を付けて表記しています。

(例) WDTOVF



【注】 上記した図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

3. レジスタの表記

各レジスタの説明には、ビットの並びを示すビット図とビットに設定する内容を説明するビット表があります。

使用する記号、用語を以下に説明します。

(1) ビット	(2) ビット名	(3) 初期値	(4) R/W	(5) 説明
15 14	—	0 0	R R	リザーブビット 読み出すと常に0が読み出されます。
13~11	ASID2~0	すべて0	R/W	アドレス識別子 端子機能の有効/無効を設定できます。
10	—	0	R	リザーブビット 読み出すと常に0が読み出されます。
9	—	1	R	リザーブビット 読み出すと常に1が読み出されます。
	—	0		

【注】 上記した図中のビット名や文章は例であり、マニュアルの内容とは関係がありません。

(1) ビット

ビット番号を示します。

32ビットレジスタの場合は31から0の順に、16ビットレジスタの場合は15から0の順に示します。

(2) ビット名

ビット名またはフィールド名を示します。

フィールドでビット桁数を明示する必要があるときは、ASID[3:0]というように桁数の表記を追加します。

また、リザーブビットの場合は「—」と表記します。

ただし、タイムカウンタなどをはじめとして、ビット名の記載をせずに空白のままとしているものもあります。

(3) 初期値

各ビットのパワーオンリセット後の値を初期値として示します。

0 : 初期値は0であることを示します。

1 : 初期値は1であることを示します。

— : 初期値は不定であることを示します。

(4) R/W

各ビットが読み出し可能か、書き込み可能か、または書き込みも読み出しも不可であることを示します。

使用する表記を以下に説明します。

R/W : 読み出しおよび書き込みが可能なビットまたはフィールドです。

R/(W) : 読み出しおよび書き込みが可能なビットまたはフィールドです。
ただし書き込みは、フラグをクリアするための書き込みのみ可能です。

R : 読み出しが可能なビットまたはフィールドです。
リザーブビットはすべて「R」と表記します。書き込み必要がある場合は、
ビット表で指定された値を書き込んでください。

W : 書き込みが可能なビットまたはフィールドです。

(5) 説明

ビットの機能について説明しています。

4. 略語および略称の説明

以下に本書内で使用されている略語または略称を示します。

- 略語または略称

略語／略称	英語名	日本語名
ACIA	Asynchronous Communication Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位
CRC	Cyclic Redundancy Check	周期的冗長検査
DMA	Direct Memory Access	ダイレクトメモリアクセス
DMAC	Direct Memory Access Controller	ダイレクトメモリアクセスコントローラ
GSM	Global System for Mobile Communications	ジーエスエム
Hi-Z	High Impedance	ハイインピーダンス
IEBus	Inter Equipment bus	NEC エレクトロニクス社提唱の通信方式
I/O	Input/Output	入出力
IrDA	Infrared Data Association	赤外線データアソシエーション
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connection	未接続端子
PLL	Phase Locked Loop	位相ロックループ
PWM	Pulse Width Modulation	パルス幅変調
SFR	Special Function Registers	周辺回路制御用レジスタ群
SIM	Subscriber Identity Module	ISO-7816 規定の通信方式
UART	Universal Asynchronous Receiver/Transmitter	非同期シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

5. 製品仕様一覧

以下にグループごとの製品仕様の一覧を示します。

		H8/38704 グループ		H8/38702S グループ
		フラッシュメモリ	マスク ROM	マスク ROM
メモリ	ROM	16K、32K	16K、24K、32K	8K、12K、16K
	RAM	1K	1K	512
動作電圧と 動作周波数	4.5~5.5V	—	—	—
	2.7~5.5V	—	—	—
	1.8~5.5V	—	—	—
	2.7~3.6V	10MHz	10MHz	10MHz
	1.8~3.6V	4MHz (2.2V~)	4MHz	4MHz
I/O ポート	入力	9	9	9
	出力	6	6	6
	入出力	39	39	39
タイマ	時計用 (タイマ A)	1	1	1
	コンペア (タイマ F)	1	1	1
	AEC	1	1	1
	WDT	1	1	1
	WDT (独立型)			
SCI	UART/クロック同期	1ch	1ch	1ch
A-D (分解能×入力 ch)		10bit×4ch	10bit×4ch	10bit×4ch
外部割り込み (内ウエイクアップ)		11 (8)	11 (8)	11 (8)
パッケージ		FP-64A	FP-64A	FP-64A
		FP-64E	FP-64E	FP-64K
		TNP-64B	TNP-64B	
動作温度		通常仕様 : -20~75°C WTR : -40~85°C		

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

1. 概要	1-1
1.1 特長	1-1
1.1.1 用途	1-1
1.1.2 仕様概要	1-1
1.2 製品一覧	1-4
1.3 ブロック図	1-5
1.4 ピン配置図	1-6
1.5 端子機能	1-7
2. CPU	2-1
2.1 アドレス空間とメモリマップ	2-2
2.2 レジスタ構成	2-8
2.2.1 汎用レジスタ	2-9
2.2.2 プログラムカウンタ (PC)	2-10
2.2.3 コンディションコードレジスタ (CCR)	2-11
2.3 データ形式	2-12
2.3.1 汎用レジスタのデータ形式	2-12
2.3.2 メモリ上のデータ形式	2-14
2.4 命令セット	2-15
2.4.1 命令の機能別一覧	2-15
2.4.2 命令の基本フォーマット	2-23
2.5 アドレッシングモードと実効アドレス	2-24
2.5.1 アドレッシングモード	2-24
2.5.2 実効アドレスの計算方法	2-27
2.6 基本バスサイクル	2-29
2.6.1 内蔵メモリ (RAM、ROM)	2-29
2.6.2 内蔵周辺モジュール	2-30
2.7 CPUの状態	2-31
2.8 使用上の注意事項	2-32
2.8.1 空きエリアへのデータアクセス	2-32
2.8.2 EEPMOV 命令	2-32
2.8.3 ビット操作命令	2-33
3. 例外処理	3-1
3.1 例外処理要因とベクタアドレス	3-3
3.2 レジスタの説明	3-4
3.2.1 割り込みエッジセレクトレジスタ (IEGR)	3-4
3.2.2 割り込み許可レジスタ 1 (IENR1)	3-5
3.2.3 割り込み許可レジスタ 2 (IENR2)	3-6

3.2.4	割り込み要求レジスタ 1 (IRR1)	3-7
3.2.5	割り込み要求レジスタ 2 (IRR2)	3-8
3.2.6	ウェイクアップ割り込み要求レジスタ (IWPR)	3-9
3.2.7	ウェイクアップエッジセレクトレジスタ (WEGR)	3-9
3.3	リセット例外処理	3-10
3.4	割り込み例外処理	3-10
3.4.1	外部割り込み要求	3-10
3.4.2	内部割り込み要求	3-12
3.4.3	割り込み処理シーケンス	3-12
3.4.4	割り込み応答時間	3-13
3.5	使用上の注意事項	3-15
3.5.1	リセット直後の割り込み要求	3-15
3.5.2	スタック領域のアクセス	3-15
3.5.3	割り込みフラグをクリアする方法	3-15
3.5.4	ポートモードレジスタを書き換える際の注意事項	3-16
4.	クロック発振器	4-1
4.1	特長	4-1
4.2	システムクロック発振器	4-2
4.2.1	水晶発振子を接続する方法	4-2
4.2.2	セラミック発振子を接続する方法	4-3
4.2.3	外部クロックを入力する方法	4-3
4.3	サブクロック発振器	4-4
4.3.1	32.768kHz/38.4kHz 水晶発振子を接続する方法	4-4
4.3.2	サブクロックを使用しない場合の端子処理	4-5
4.3.3	外部クロックを入力する方法	4-6
4.4	プリスケーラ	4-7
4.4.1	プリスケーラ S	4-7
4.4.2	プリスケーラ W	4-7
4.5	使用上の注意事項	4-8
4.5.1	発振子に関する注意事項	4-8
4.5.2	ボード設計上の注意事項	4-10
4.5.3	発振安定待機時間の定義	4-10
4.5.4	発振子を使用する場合の注意事項	4-11
5.	低消費電力モード	5-1
5.1	レジスタの説明	5-2
5.1.1	システムコントロールレジスタ 1 (SYSCR1)	5-2
5.1.2	システムコントロールレジスタ 2 (SYSCR2)	5-4
5.1.3	クロック停止レジスタ 1、2 (CKSTPR1、CKSTPR2)	5-5
5.2	モード間遷移とLSIの状態	5-6
5.2.1	スリープモード	5-10
5.2.2	スタンバイモード	5-10
5.2.3	ウォッチモード	5-11
5.2.4	サブスリープモード	5-11
5.2.5	サブアクティブモード	5-12

5.2.6	アクティブ（中速）モード	5-12
5.3	直接遷移	5-13
5.3.1	アクティブ（高速）モードからアクティブ（中速）モードへの 直接遷移時の時間について	5-14
5.3.2	アクティブ（中速）モードからアクティブ（高速）モードへの 直接遷移時の時間について	5-14
5.3.3	サブアクティブモードからアクティブ（高速）モードへの直接遷移時の時間について	5-14
5.3.4	サブアクティブモードからアクティブ（中速）モードへの直接遷移時の時間について	5-15
5.3.5	直接遷移前後で外部入力信号が変化する場合の注意事項	5-15
5.4	モジュールスタンバイ機能	5-16
5.5	使用上の注意事項	5-16
5.5.1	スタンバイモードへの遷移と端子状態	5-16
5.5.2	スタンバイモード前後で外部入力信号が変化する場合の注意事項	5-16
6.	ROM	6-1
6.1	ブロック図	6-1
6.2	フラッシュメモリの概要	6-2
6.2.1	特長	6-2
6.2.2	ブロック図	6-3
6.2.3	ブロック構成	6-4
6.3	レジスタの説明	6-6
6.3.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	6-6
6.3.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	6-7
6.3.3	ブロック指定レジスタ (EBR)	6-7
6.3.4	フラッシュメモリパワーコントロールレジスタ (FLPWCR)	6-8
6.3.5	フラッシュメモリーネーブルレジスタ (FENR)	6-8
6.4	オンボードプログラミング	6-9
6.4.1	ブートモード	6-10
6.4.2	ユーザモードでの書き込み/消去	6-12
6.5	書き込み/消去プログラム	6-13
6.5.1	プログラム/プログラムベリファイ	6-13
6.5.2	イレース/イレースベリファイ	6-16
6.5.3	フラッシュメモリの書き込み/消去時の割り込み	6-16
6.6	書き込み/消去プロテクト	6-18
6.6.1	ハードウェアプロテクト	6-18
6.6.2	ソフトウェアプロテクト	6-18
6.6.3	エラープロテクト	6-18
6.7	ライターモード	6-19
6.7.1	ソケットアダプタ	6-19
6.7.2	ライターモードのコマンド	6-19
6.7.3	メモリ読み出し	6-21
6.7.4	自動書き込み	6-24
6.7.5	自動消去	6-26
6.7.6	ステータス読み出し	6-27
6.7.7	ステータスポーリング	6-28
6.7.8	ライターモードへの遷移時間	6-29

6.7.9	ライターモード使用時の注意事項	6-29
6.8	フラッシュメモリの低消費電力動作.....	6-30
7.	RAM.....	7-1
7.1	ブロック図	7-1
8.	I/Oポート	8-1
8.1	ポート3	8-3
8.1.1	ポートデータレジスタ 3 (PDR3)	8-4
8.1.2	ポートコントロールレジスタ 3 (PCR3)	8-4
8.1.3	ポートプルアップコントロールレジスタ 3 (PUCR3)	8-5
8.1.4	ポートモードレジスタ 3 (PMR3)	8-5
8.1.5	ポートモードレジスタ 2 (PMR2)	8-6
8.1.6	端子機能	8-7
8.1.7	入力プルアップ MOS.....	8-8
8.2	ポート4	8-8
8.2.1	ポートデータレジスタ 4 (PDR4)	8-9
8.2.2	ポートコントロールレジスタ 4 (PCR4)	8-9
8.2.3	シリアルポートコントロールレジスタ (SPCR)	8-10
8.2.4	端子機能	8-11
8.3	ポート5	8-12
8.3.1	ポートデータレジスタ 5 (PDR5)	8-12
8.3.2	ポートコントロールレジスタ 5 (PCR5)	8-13
8.3.3	ポートプルアップコントロールレジスタ 5 (PUCR5)	8-13
8.3.4	ポートモードレジスタ 5 (PMR5)	8-13
8.3.5	端子機能	8-14
8.3.6	入力プルアップ MOS.....	8-14
8.4	ポート6	8-15
8.4.1	ポートデータレジスタ 6 (PDR6)	8-15
8.4.2	ポートコントロールレジスタ 6 (PCR6)	8-16
8.4.3	ポートプルアップコントロールレジスタ 6 (PUCR6)	8-16
8.4.4	端子機能	8-17
8.4.5	入力プルアップ MOS.....	8-17
8.5	ポート7	8-18
8.5.1	ポートデータレジスタ 7 (PDR7)	8-18
8.5.2	ポートコントロールレジスタ 7 (PCR7)	8-19
8.5.3	端子機能	8-19
8.6	ポート8	8-20
8.6.1	ポートデータレジスタ 8 (PDR8)	8-20
8.6.2	ポートコントロールレジスタ 8 (PCR8)	8-20
8.6.3	端子機能	8-21
8.7	ポート9	8-22
8.7.1	ポートデータレジスタ 9 (PDR9)	8-22
8.7.2	ポートモードレジスタ 9 (PMR9)	8-23
8.7.3	端子機能	8-23
8.8	ポートA	8-24

8.8.1	ポートデータレジスタ A (PDRA)	8-24
8.8.2	ポートコントロールレジスタ A (PCRA)	8-25
8.8.3	端子機能	8-25
8.9	ポートB	8-26
8.9.1	ポートデータレジスタ B (PDRB)	8-26
8.9.2	ポートモードレジスタ B (PMRB)	8-27
8.9.3	端子機能	8-27
8.10	使用上の注意事項	8-28
8.10.1	未使用端子の処理	8-28
9.	タイマ	9-1
9.1	概要	9-1
9.2	タイマA	9-2
9.2.1	特長	9-2
9.2.2	レジスタの説明	9-3
9.2.3	動作説明	9-4
9.2.4	タイマ A の動作モード	9-4
9.3	タイマF	9-5
9.3.1	特長	9-5
9.3.2	入出力端子	9-7
9.3.3	レジスタの説明	9-7
9.3.4	CPU とのインタフェース	9-11
9.3.5	動作説明	9-14
9.3.6	タイマ F の動作モード	9-16
9.3.7	使用上の注意事項	9-16
9.4	非同期イベントカウンタ (AEC)	9-20
9.4.1	特長	9-20
9.4.2	入出力端子	9-22
9.4.3	レジスタの説明	9-22
9.4.4	動作説明	9-28
9.4.5	非同期イベントカウンタの動作モード	9-31
9.4.6	使用上の注意事項	9-32
9.5	ウォッチドッグタイマ	9-33
9.5.1	特長	9-33
9.5.2	レジスタの説明	9-33
9.5.3	動作説明	9-35
9.5.4	ウォッチドッグタイマの動作モード	9-36
10.	シリアルコミュニケーションインタフェース 3 (SCI3)	10-1
10.1	特長	10-1
10.2	入出力端子	10-2
10.3	レジスタの説明	10-3
10.3.1	レシーブシフトレジスタ (RSR)	10-3
10.3.2	レシーブデータレジスタ (RDR)	10-3
10.3.3	トランスミットシフトレジスタ (TSR)	10-3
10.3.4	トランスミットデータレジスタ (TDR)	10-3

10.3.5	シリアルモードレジスタ (SMR)	10-4
10.3.6	シリアルコントロールレジスタ 3 (SCR3)	10-6
10.3.7	シリアルステータスレジスタ (SSR)	10-8
10.3.8	ビットレートレジスタ (BRR)	10-10
10.3.9	シリアルポートコントロールレジスタ (SPCR)	10-15
10.4	調歩同期式モードの動作説明	10-16
10.4.1	クロック	10-16
10.4.2	SCI3 の初期化	10-19
10.4.3	データ送信	10-20
10.4.4	データ受信	10-22
10.5	クロック同期式モードの動作説明	10-25
10.5.1	クロック	10-25
10.5.2	SCI3 の初期化	10-25
10.5.3	データ送信	10-26
10.5.4	データ受信	10-28
10.5.5	データ送受信同時動作	10-30
10.6	割り込み要求	10-31
10.7	使用上の注意事項	10-34
10.7.1	ブレークの検出と処理について	10-34
10.7.2	マーク状態とブレークの送出	10-34
10.7.3	受信エラーフラグと送信動作について (クロック同期式モードのみ)	10-34
10.7.4	調歩同期式モードの受信データサンプリングタイミングと受信マージン	10-34
10.7.5	SCK32 端子機能切り替えに伴う注意事項	10-35
10.7.6	TDR へのライトと TDRE の関係について	10-36
10.7.7	RDR のリードと RDRF の関係について	10-36
10.7.8	状態遷移時における送信および受信動作について	10-37
10.7.9	サブアクティブモード、サブスリープモード時の設定について	10-37
11.	10 ビット PWM	11-1
11.1	特長	11-1
11.2	入出力端子	11-2
11.3	レジスタの説明	11-2
11.3.1	PWM コントロールレジスタ (PWCR)	11-2
11.3.2	PWM データレジスタ U、L (PWDRU、PWDRL)	11-3
11.4	動作説明	11-3
11.4.1	動作説明	11-3
11.4.2	PWM の動作モード	11-4
12.	A/D 変換器	12-1
12.1	特長	12-1
12.2	入出力端子	12-2
12.3	レジスタの説明	12-3
12.3.1	A/D リザルトレジスタ H、L (ADRRH、ADRRL)	12-3
12.3.2	A/D モードレジスタ (AMR)	12-3
12.3.3	A/D スタートレジスタ (ADSR)	12-4
12.4	動作説明	12-4

12.4.1	A/D 変換動作	12-4
12.4.2	A/D 変換器の動作モード	12-4
12.5	使用例	12-5
12.6	A/D変換精度の定義	12-8
12.7	使用上の注意事項	12-11
12.7.1	許容信号源インピーダンスについて	12-11
12.7.2	絶対精度への影響について	12-11
12.7.3	その他の注意事項	12-12
13.	レジスタ一覧	13-1
13.1	レジスタアドレス一覧 (アドレス順)	13-2
13.2	レジスタビット一覧	13-5
13.3	各動作モードにおけるレジスタの状態	13-8
14.	電気的特性	14-1
14.1	H8/38704グループ (F-ZTAT版、マスクROM版)、H8/38702Sグループ (マスクROM版) の絶対最大定格	14-1
14.2	H8/38704グループ (F-ZTAT版、マスクROM版)、H8/38702Sグループ (マスクROM版) の電気的特性	14-2
14.2.1	電源電圧と動作範囲	14-2
14.2.2	DC 特性	14-7
14.2.3	AC 特性	14-13
14.2.4	A/D 変換器特性	14-16
14.2.5	フラッシュメモリ特性	14-17
14.3	動作タイミング	14-19
14.4	出力負荷回路	14-20
14.5	発振子の等価回路	14-21
14.6	使用上の注意事項	14-22
付録	付録-1
A.	命令	付録-1
A.1	命令一覧	付録-1
A.2	オペレーションコードマップ	付録-16
A.3	命令実行ステート数	付録-19
A.4	命令とアドレッシングモードの組み合わせ	付録-28
B.	I/Oポートブロック図	付録-29
B.1	ポート3 ブロック図	付録-29
B.2	ポート4 ブロック図	付録-33
B.3	ポート5 ブロック図	付録-37
B.4	ポート6 ブロック図	付録-38
B.5	ポート7 ブロック図	付録-39
B.6	ポート8 ブロック図	付録-40
B.7	ポート9 ブロック図	付録-41
B.8	ポートA ブロック図	付録-42
B.9	ポートB ブロック図	付録-43
C.	各処理状態におけるポートの状態	付録-44

D.	製品型名一覧	付録-45
E.	外形寸法図	付録-47
索引	索引-1

1. 概要

1.1 特長

H8/38704 グループ、H8/38702S グループは、ルネサスオリジナルマイコン H8/300 CPU に対し上位互換アーキテクチャを持ち、内部 32 ビット構成の H8/300H CPU をコアとする CISC (Complex Instruction Set Computer) マイコンです。

周辺機能は豊富なタイマを内蔵しており、低コストでのシステム構築を可能にします。これらは、低消費電力モードにより、ダイナミックな消費電力制御が可能です。

1.1.1 用途

応用分野例：モータ制御、電力メータ、健康機器など

1.1.2 仕様概要

表 1.1 に、本マイコンの仕様概要を示します。

表 1.1 仕様概要

分類	モジュール/機能	説明
メモリ	ROM	• ROM 展開：フラッシュメモリ版、マスク ROM 版 ROM 容量：8K、12K、16K、24K、32K バイト
	RAM	• RAM 容量：512、1024 バイト
CPU	CPU	• H8/300H CPU (CISC タイプ) H8/300 CPU に対してオブジェクトレベルで上位互換 • 汎用レジスタ方式 (汎用レジスタ：16 ビット×16 本) • アドレッシングモード：8 種類 • アドレス空間：64K バイト (プログラム：64K バイト、データ：64K バイト) • 基本命令数 62 種類 (ビット演算、乗除算、ビット操作など) • 最小命令実行時間 (ns) 400ns @システムクロック ϕ =5MHz、Vcc=2.7~3.6V (ADD 命令) 動作時 • 乗算器を内蔵 (16×16→32 ビット)
	動作モード	• ノーマルモード
	MCU 動作モード	モード：シングルチップモード • 低消費電力状態 (SLEEP 命令により低消費電力状態に遷移)

1. 概要

分類	モジュール/機能	説明
割り込み (要因)	割り込み コントローラ (INTC)	<ul style="list-style-type: none"> 外部割り込み端子: 11 本 (IRQAEC、$\overline{IRQ1}$、$\overline{IRQ0}$、$\overline{WKP7}$~$\overline{WKP0}$) 内部割り込み要因数: 7 本 独立したベクタアドレス
クロック	クロック発振器 (CPG)	<ul style="list-style-type: none"> クロック発生回路: 2 回路 機能モジュールごとにクロックがあり、独立に設定可能 周波数分周回路で構成され、動作周波数を選択可能 低消費電力モード: 7 種類 アクティブ (中速) モード、スリープ (高速/中速) モード、サブアクティブ モード、サブスリープモード、スタンバイモード、ウォッチモード
A/D コンバータ	A/D 変換器 (ADC)	<ul style="list-style-type: none"> 分解能 (10 ビット) × 入力チャンネル数 (4 チャンネル) サンプル&ホールド機能付き 変換時間: 1 チャンネル当たり 12.4μs ($\phi=5$MHz 動作時) ソフトウェアによる A/D 変換開始が可能
タイマ	10 ビット PWM	<ul style="list-style-type: none"> 10 ビット × 2 チャンネル 4 種類の変換周期選択が可能 リップル低減を図ったパルス分割方式
	タイマ A	<ul style="list-style-type: none"> 8 ビットタイマ インターバルタイマ機能: 8 種類の内部クロックを選択可能 時計用タイムベース機能: 4 種類のオーバーフロー周期を選択可能 オーバーフローで割り込みを発生
	タイマ F	<ul style="list-style-type: none"> 16 ビットタイマ (独立した 2 本の 8 ビットタイマとしても使用可能) カウンタ入力クロック: 4 種類 アウトプットコンペア機能をサポート トグル出力機能をサポート 割り込み要因: 2 種類 コンペアマッチ、オーバーフロー
	非同期イベント カウンタ (AEC)	<ul style="list-style-type: none"> 16 ビットタイマ (8 ビット × 2 チャンネルとしても使用可能) 非同期の外部イベントのカウンタが可能
ウォッチドッグ タイマ	ウォッチドッグタイマ (WDT)	<ul style="list-style-type: none"> 8 ビット × 1 チャンネル (2 種類のカウンタ入力クロックを選択可能)
シリアル インタフェース	シリアルコミュニケー ションインタフェース 3 (SCI3)	<ul style="list-style-type: none"> 非同期式/クロック同期式兼用 全二重通信が可能 任意のビットレートを選択可能 割り込み要因: 6 種類

分類	モジュール/機能	説明
I/Oポート		<ul style="list-style-type: none"> • CMOS 入力専用 : 5 本 • CMOS 入出力 : 39 本 • 大電流駆動ポート : 6 本 (ポート 9) • プルアップ抵抗 : 23 本 • オープンドレイン : 6 本
パッケージ		<ul style="list-style-type: none"> • QFP-64 : FP-64A (ボディサイズ : 14×14mm、ピンピッチ : 0.8mm) • LQFP-64 : FP-64E (ボディサイズ : 10×10mm、ピンピッチ : 0.5mm) • LQFP-64 : FP-64K (ボディサイズ : 10×10mm、ピンピッチ : 0.5mm) • P-VQFN-64 : TNP-64B (ボディサイズ : 8×8mm、ピンピッチ : 0.4mm) <p>【注】FP-64E と FP-64K は外形寸法が異なります。「付録 E. 外形寸法図」を参照してください。</p>
動作周波数/電源電圧		<ul style="list-style-type: none"> • 動作周波数 2MHz~10MHz • 電源電圧 Vcc=2.2~3.6V、AVcc=2.2~3.6V (F-ZTAT 版) Vcc=1.8~3.6V、AVcc=1.8~3.6V (マスク ROM 版) • 消費電流 3.6mA typ (Vcc=3.0V、AVcc=3.0V、ϕ =10MHz) (F-ZTAT 版) 3.1mA typ (Vcc=3.0V、AVcc=3.0V、ϕ =10MHz) (マスク ROM 版)
動作周囲温度 (°C)		<ul style="list-style-type: none"> • -20~+75°C (通常仕様品) • -40~+85°C (広温度範囲仕様品)

1. 概要

1.2 製品一覧

表 1.2 に製品一覧表、図 1.1 に製品型名の読み方を示します。

表 1.2 製品一覧表

グループ	製品型名	ROM 容量	RAM 容量	パッケージ	備考
H8/38704 グループ	HD64F38704	32K バイト	1K バイト	FP-64A、FP-64E ^{*1} 、	フラッシュメモリ版
	HD64338704	32K バイト	1K バイト	TNP-64B	マスク ROM 版
	HD64338703	24K バイト	1K バイト		マスク ROM 版
	HD64F38702	16K バイト	1K バイト		フラッシュメモリ版
	HD64338702	16K バイト	1K バイト		マスク ROM 版
H8/38702S グループ	HD64338702S	16K バイト	512 バイト	FP-64A、FP-64K ^{*2} 、	マスク ROM 版
	HD64338701S	12K バイト	512 バイト	TNP-64B	マスク ROM 版
	HD64338700S	8K バイト	512 バイト		マスク ROM 版

【注】 *1 FP-64E パッケージは H8/38704 グループのみ対応

*2 FP-64K パッケージは H8/38702S グループのみ対応

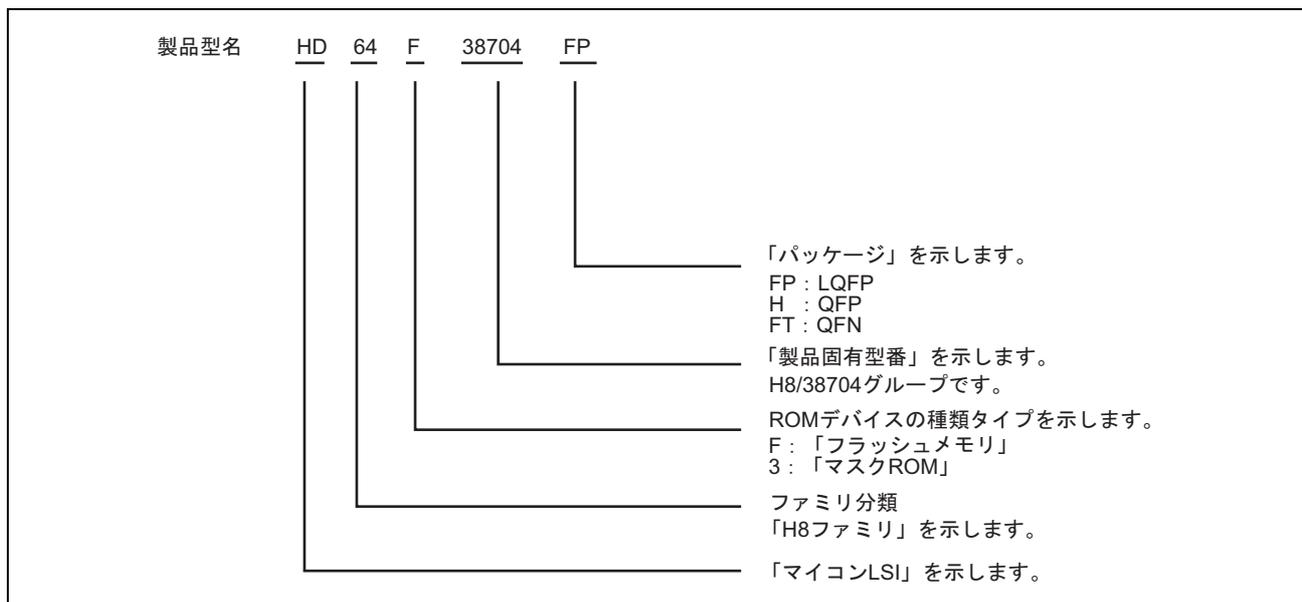


図 1.1 製品型名の読み方

1.3 ブロック図

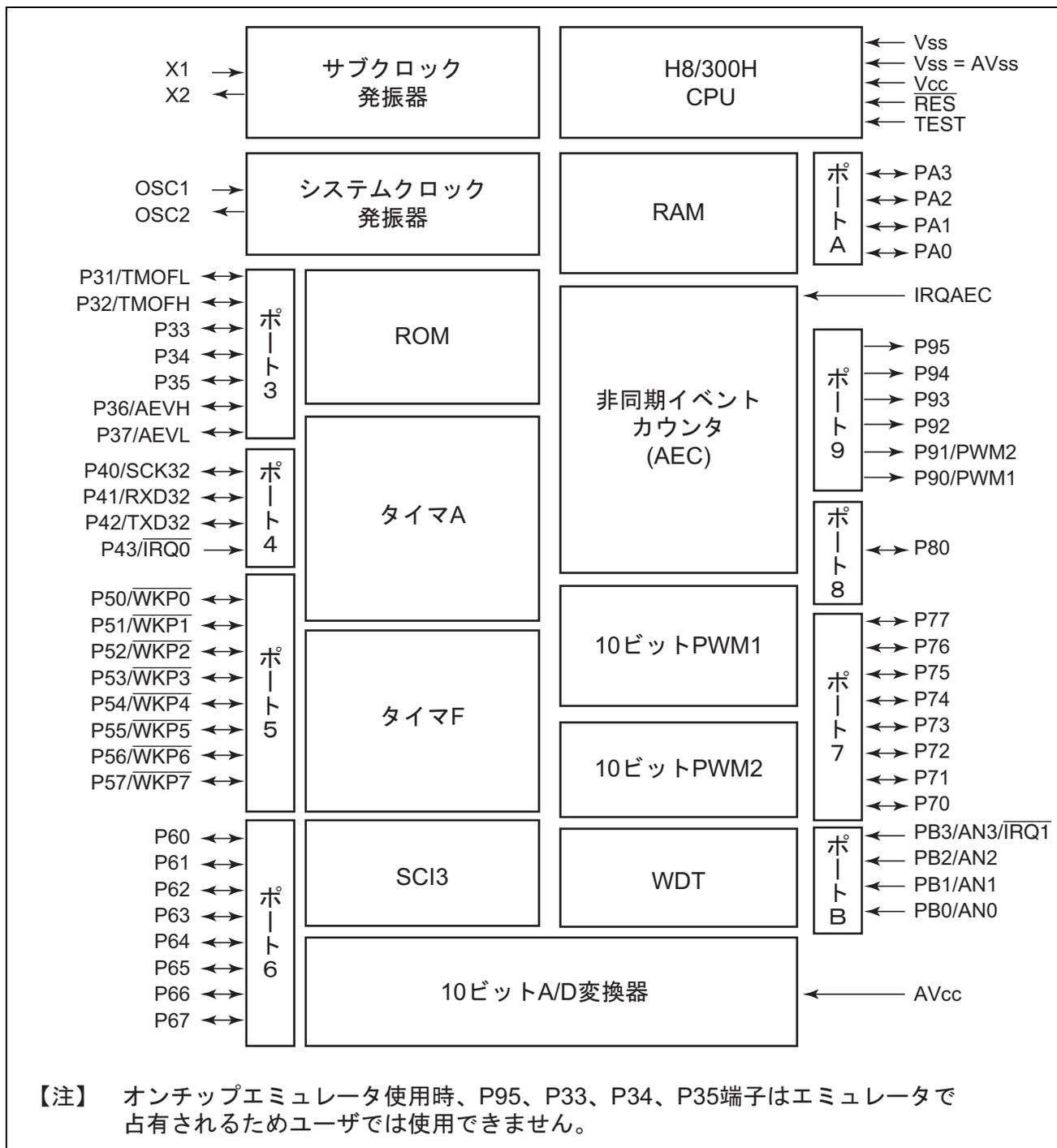


図 1.2 ブロック図

1. 概要

1.4 ピン配置図

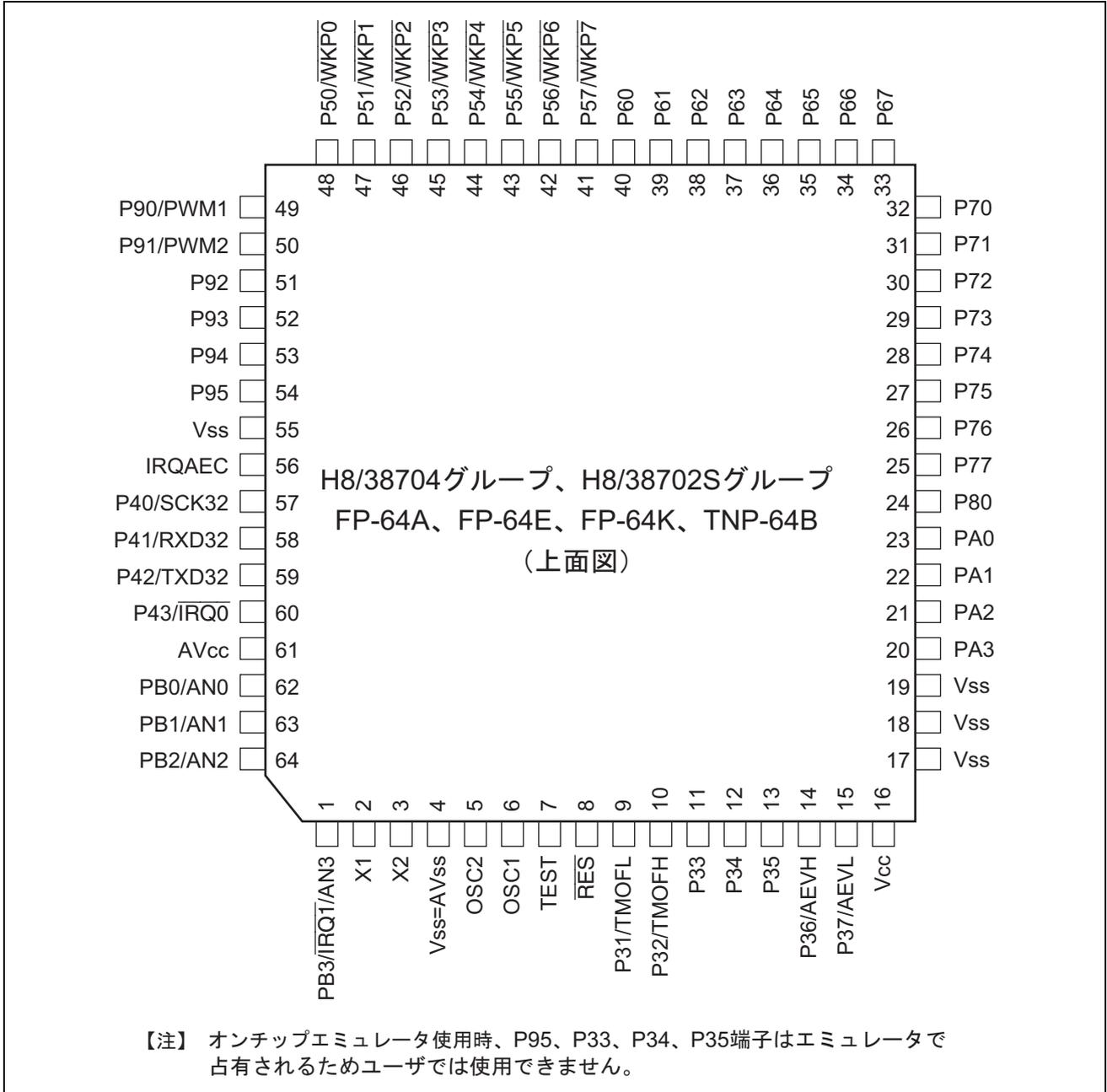


図 1.3 ピン配置図 (FP-64A、FP-64E、FP-64K、TNP-64B)

1.5 端子機能

表 1.3 端子機能の説明

分類	端子名	ピン番号	入出力	機能
		FP-64A、FP-64E* ¹ FP-64K* ² 、TNP-64B		
電源	V _{CC}	16	入力	電源端子です。システムの電源に接続してください。
	V _{SS}	4 (=AV _{SS})、 17、18、19、55	入力	グランド端子です。システムの電源 (0V) に接続してください。
	AV _{CC}	61	入力	A/D 変換器用アナログ電源端子です。A/D 変換器を使用しない場合、システムの電源に接続してください。
	AV _{SS}	4 (=V _{SS})	入力	アナロググランド A/D 変換器用グランド端子です。システムの電源 (0V) に接続してください。
クロック	OSC1	6	入力	システムクロック用水晶発振子またはセラミック発振子接続端子です。
	OSC2	5	出力	外部クロックを入力することもできます。接続例については「第 4 章 クロック発振器」を参照してください。
	X1	2	入力	サブクロック用 32.768kHz または 38.4kHz の水晶発振子接続端子です。
	X2	3	出力	接続例については「第 4 章 クロック発振器」を参照してください。
システム制御	RES	8	入力	リセット端子です。 この端子を Low レベルにすると、リセット状態になります。
	TEST	7	入力	テスト端子です。V _{SS} 電位に接地してください。 ユーザは、使用できません。
割り込み	IRQ0	60	入力	外部割り込み要求入力端子です。
	IRQ1	1	入力	立ち上がりエッジセンス／立ち下がりエッジセンスを選択できます。
	IRQAEC	56	入力	非同期イベントカウンタ割り込み入力端子です。 非同期イベント入力を有効にします。
	WKP7~ WKP0	41~48	入力	ウェイクアップ割り込み要求入力端子です。 立ち上がりエッジセンス／立ち下がりエッジセンスを選択できます。
タイマ	AEVL	15	入力	非同期イベントカウンタに入力するイベント入力端子です。
	AEVH	14	出力	タイマ FL アウトプットコンペア機能により生成された波形の出力端子です。
	TMOFL	9	出力	タイマ FL アウトプットコンペア機能により生成された波形の出力端子です。
	TMOFH	10	出力	タイマ FH アウトプットコンペア機能により生成された波形の出力端子です。

1. 概要

分類	端子名	ピン番号	入出力	機能
		FP-64A、FP-64E* ¹ FP-64K* ² 、TNP-64B		
10 ビット PWM	PWM1	49	出力	チャネル 1、2 の 10 ビット PWM により生成された波形の出力端子です。
	PWM2	50	出力	
I/O ポート	P37~P31	15~9	入出力	7 ビットの入出力端子です。ポートコントロールレジスタ 3 (PCR3) によって、1 ビットごとに入出力を指定できます。オンチップエミュレータ使用時、P33、P34、P35 端子はエミュレータで占有されるためユーザは使用できません。
	P43	60	入力	1 ビットの入力端子です。
	P42~P40	59~57	入出力	3 ビットの入出力端子です。ポートコントロールレジスタ 4 (PCR4) によって、1 ビットごとに入出力を指定できます。
	P57~P50	41~48	入出力	8 ビットの入出力端子です。ポートコントロールレジスタ 5 (PCR5) によって、1 ビットごとに入出力を指定できます。
	P67~P60	33~40	入出力	8 ビットの入出力端子です。ポートコントロールレジスタ 6 (PCR6) によって、1 ビットごとに入出力を指定できます。
	P77~P70	25~32	入出力	8 ビットの入出力端子です。ポートコントロールレジスタ 7 (PCR7) によって、1 ビットごとに入出力を指定できます。
	P80	24	入出力	1 ビットの入出力端子です。ポートコントロールレジスタ 8 (PCR8) によって、入出力を指定できます。
	P95~P90	54~49	出力	6 ビットの出力端子です。オンチップエミュレータ使用時、P95 端子はエミュレータで占有されるためユーザは使用できません。F-ZTAT 版ではユーザモードでは P95 端子をオープンにせず、High レベルにプルアップしてください。
	PA3~PA0	20~23	入出力	4 ビットの入出力端子です。ポートコントロールレジスタ A (PCRA) によって、入出力を指定できます。
	PB3~PB0	1、64~62	入力	4 ビットの入力端子です。
シリアルコ ミュニケー ションイン タフェース (SCI)	RXD32	58	入力	受信データ入力端子です。
	TXD32	59	出力	送信データ出力端子です。
	SCK32	57	入出力	クロック入出力端子です。
A/D 変換器	AN3~ AN0	1、64~62	入力	アナログデータ入力端子です。

【注】 *1 FP-64E パッケージは H8/38704 グループのみ対応

*2 FP-64K パッケージは H8/38702S グループのみ対応

2. CPU

H8/38704 グループ、H8/38702S グループの CPU は H8/300 CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の H8/300H CPU で、64K バイトのアドレス空間を持つノーマルモードのみをサポートします。

- H8/300 CPU 上位互換
H8/300 シリーズのオブジェクトプログラムを実行可能
16 ビット×8 本の拡張レジスタを追加
32 ビット転送、演算命令を追加
符号付き乗除算命令などを追加
- 汎用レジスタ：16 ビット×16 本
8 ビット×16 本+16 ビット×8 本、32 ビット×8 本としても使用可能
- 基本命令：62 種類
8/16/32 ビット転送、演算命令
乗除算命令
強力なビット操作命令
- アドレッシングモード：8 種類
レジスタ直接 (Rn)
レジスタ間接 (@Ern)
ディスプレイメント付きレジスタ間接 (@ (d:16, Ern) 、 @ (d:24, Ern))
ポストインクリメント/プリデクリメントレジスタ間接 (@Ern+ / @-Ern)
絶対アドレス (@aa:8, @aa:16, @aa:24)
イミディエイト (#xx:8, #xx:16, #xx:32)
プログラムカウンタ相対 (@ (d:8, PC) 、 @ (d:16, PC))
メモリ間接 (@@aa:8)
- アドレス空間：64K バイト
- 高速動作
頻出命令をすべて 2~4 ステートで実行
8/16/32 ビットレジスタ間加減算：2 ステート
8×8 ビットレジスタ間乗算：14 ステート
16÷8 ビットレジスタ間除算：14 ステート
16×16 ビットレジスタ間乗算：22 ステート
32÷16 ビットレジスタ間除算：22 ステート
- 低消費電力動作
SLEEP 命令により低消費電力状態に遷移

2. CPU

2.1 アドレス空間とメモリマップ

H8/38704 グループ、H8/38702S グループのアドレス空間はプログラム領域とデータ領域合わせて 64K バイトです。メモリマップを図 2.1 に示します。

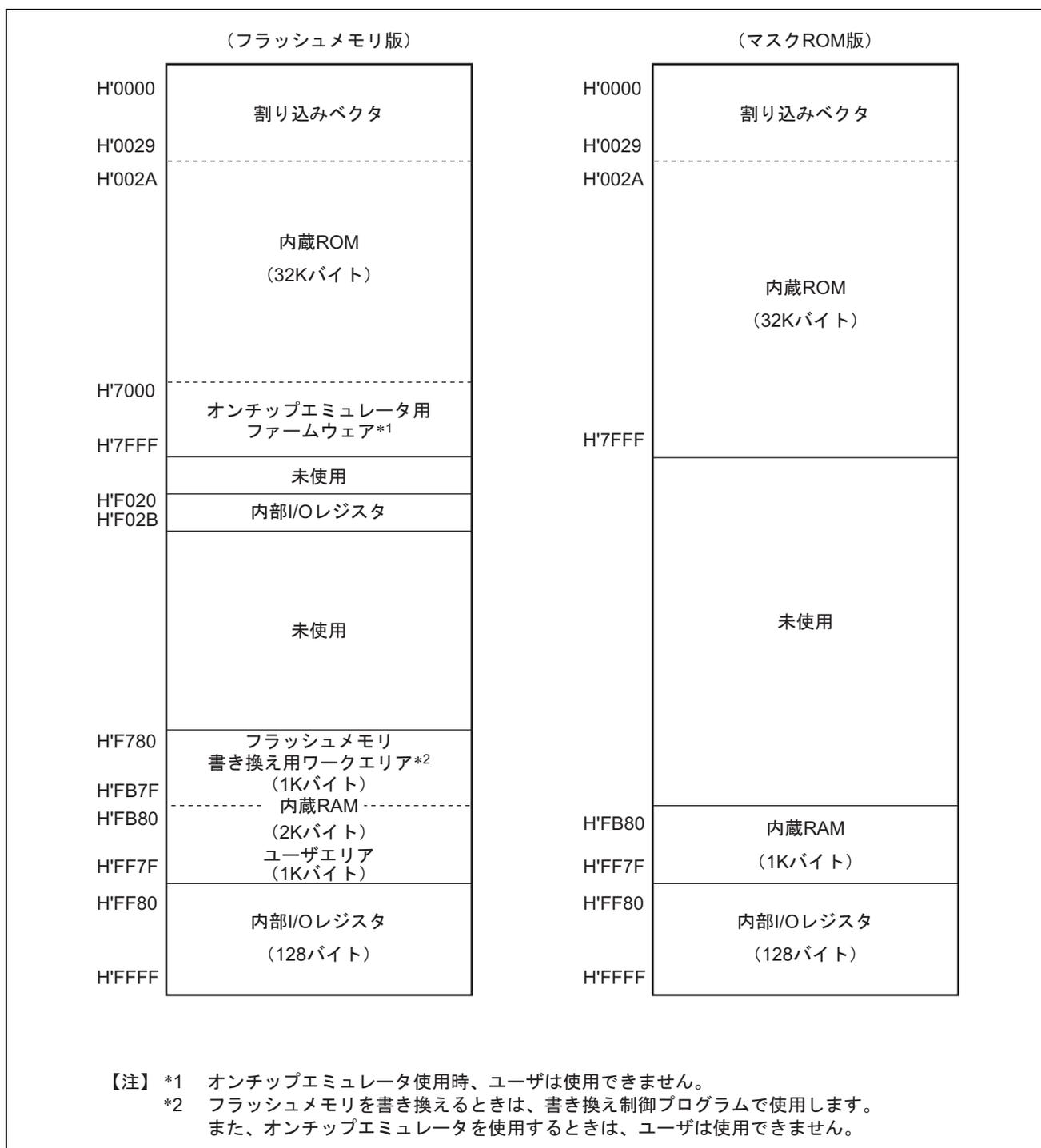


図 2.1 (1) H8/38704 のメモリマップ

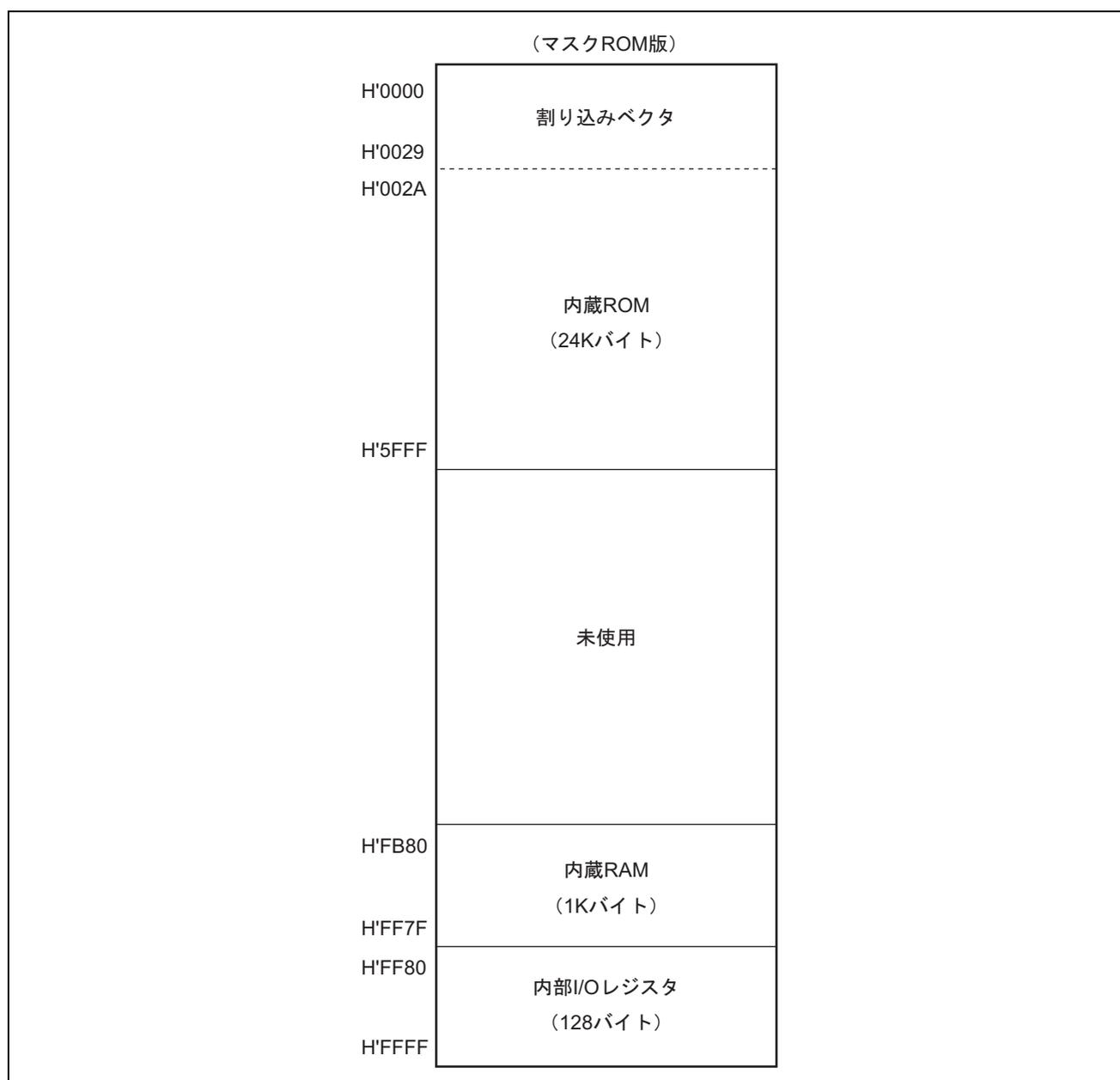


図 2.1 (2) H8/38703 のメモリマップ

2. CPU

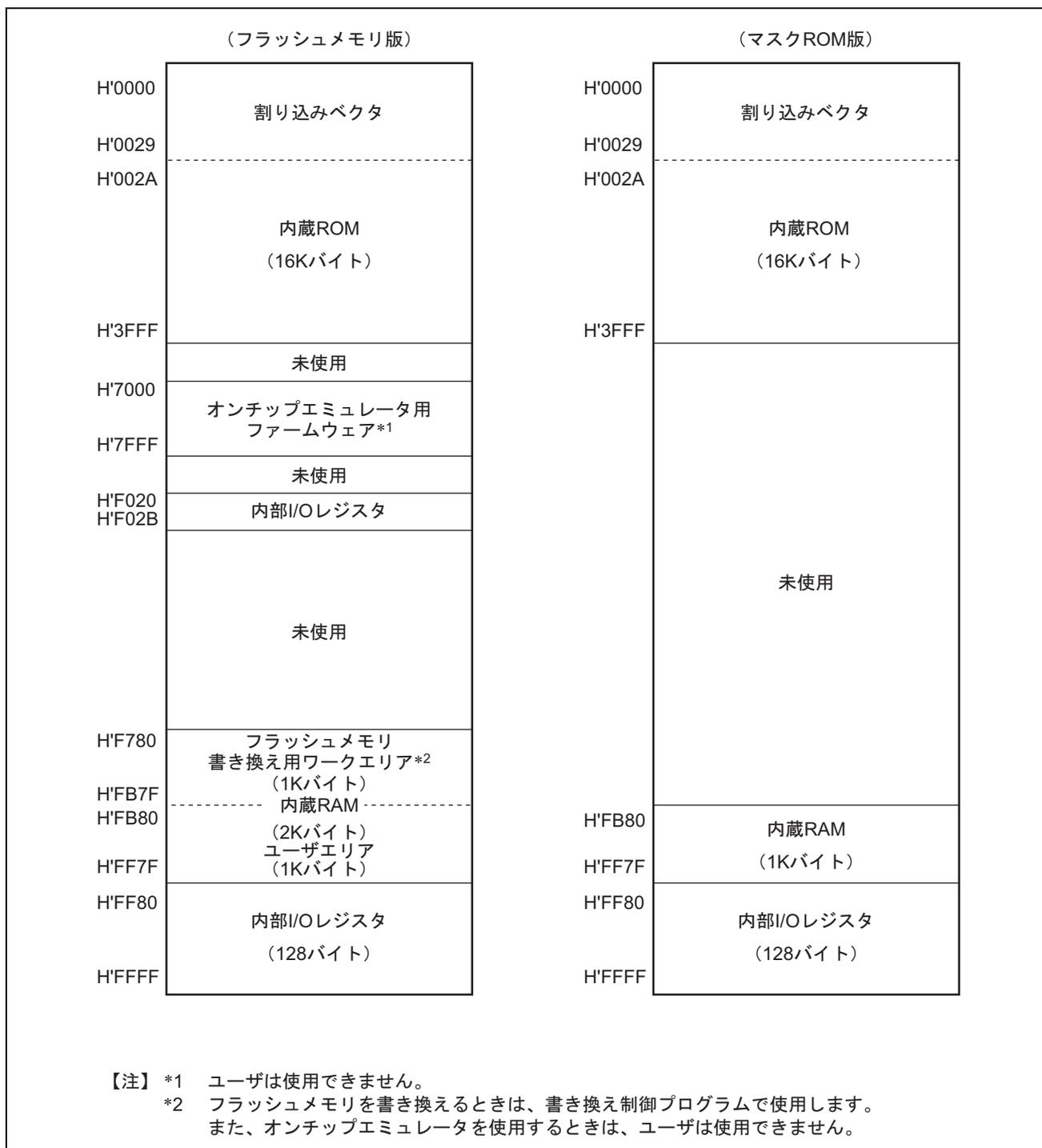


図 2.1 (3) H8/38702 のメモリマップ

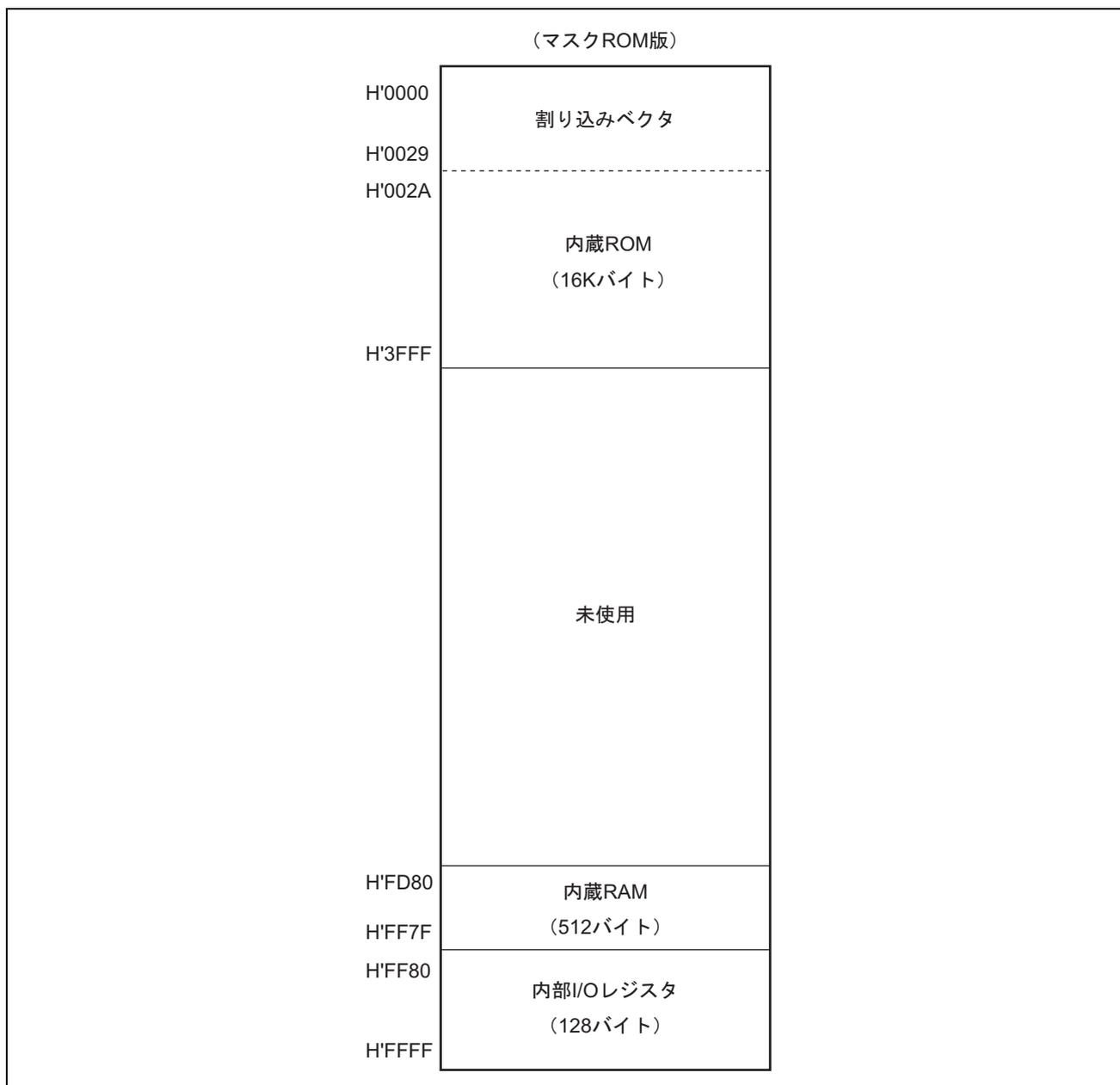


図 2.1 (4) H8/38702S のメモリマップ

2. CPU

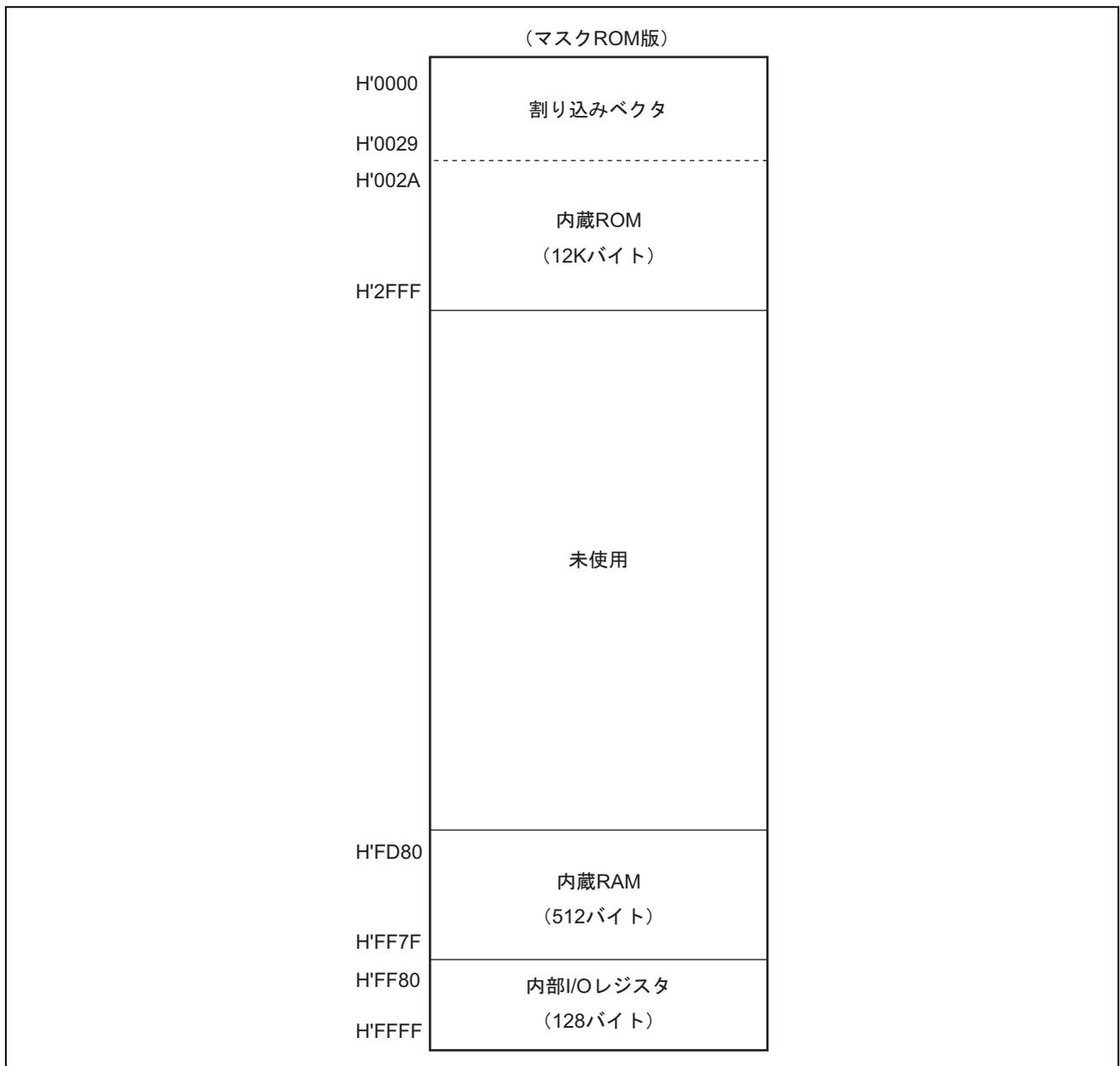


図 2.1 (5) H8/38701S のメモリマップ

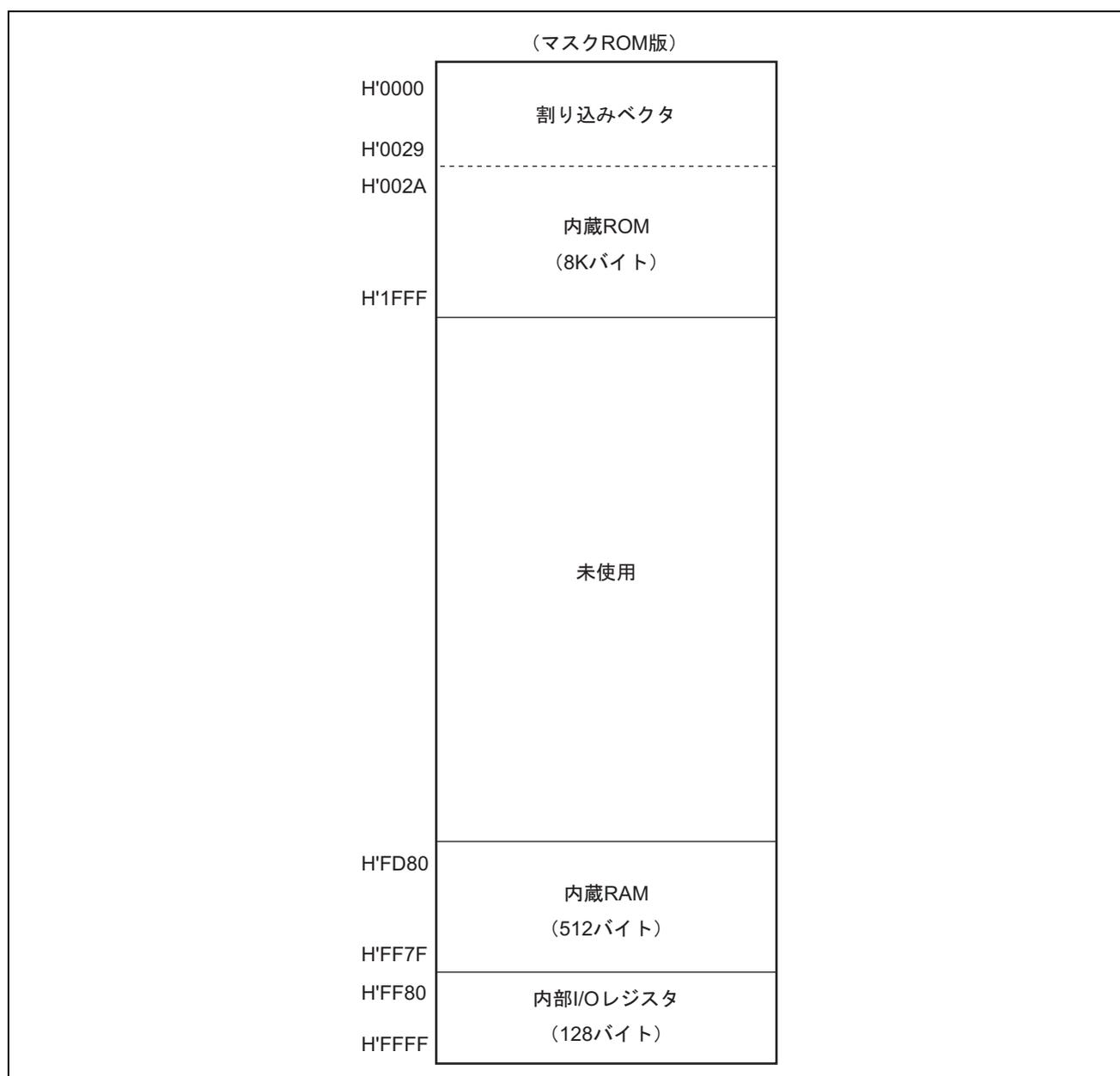


図 2.1 (6) H8/38700Sのメモリマップ

2.2 レジスタ構成

H8/300H CPU の内部レジスタ構成を図 2.2 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類されます。コントロールレジスタには 24 ビットのプログラムカウンタ (PC) と 8 ビットのコンディションコードレジスタ (CCR) があります。

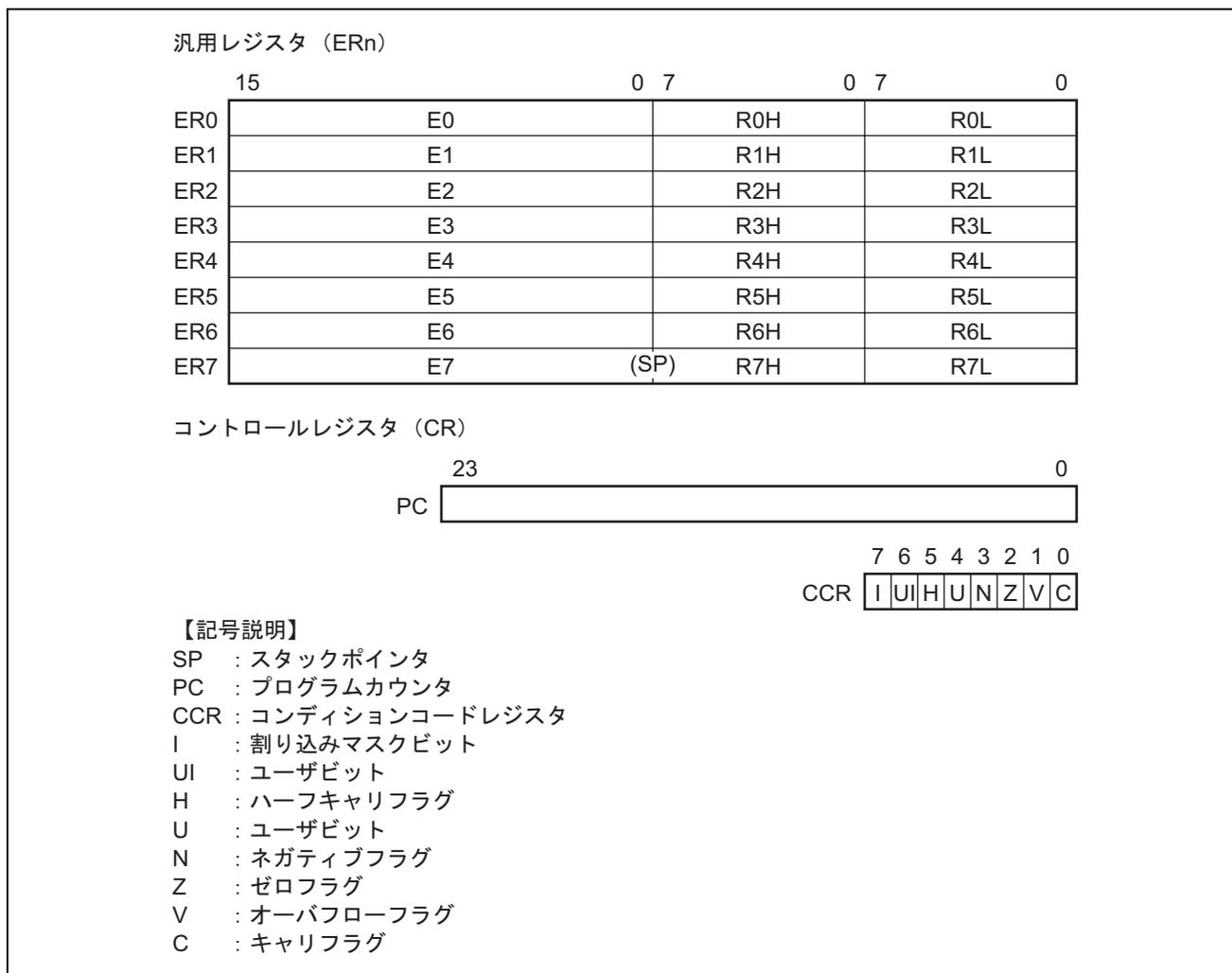


図 2.2 CPU 内部レジスタ構成

2.2.1 汎用レジスタ

H8/300H CPU は 32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタはすべて同じ機能を持っており、アドレスレジスタとしてもデータレジスタとしても使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.3 に示します。

アドレスレジスタおよび 32 ビットデータレジスタとして使用する場合は、一括して汎用レジスタ ER (ER0～ER7) として指定します。

16 ビットデータレジスタとして使用する場合は、汎用レジスタ ER を分割して汎用レジスタ E (E0～E7)、汎用レジスタ R (R0～R7) として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本使用することができます。なお、汎用レジスタ E (E0～E7) を特に拡張レジスタと呼ぶ場合があります。

8 ビットデータレジスタとして使用する場合は、汎用レジスタ R を分割して汎用レジスタ RH (R0H～R7H)、汎用レジスタ RL (R0L～R7L) として指定します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本使用することができます。各レジスタは使用方法を独立に指定することができます。

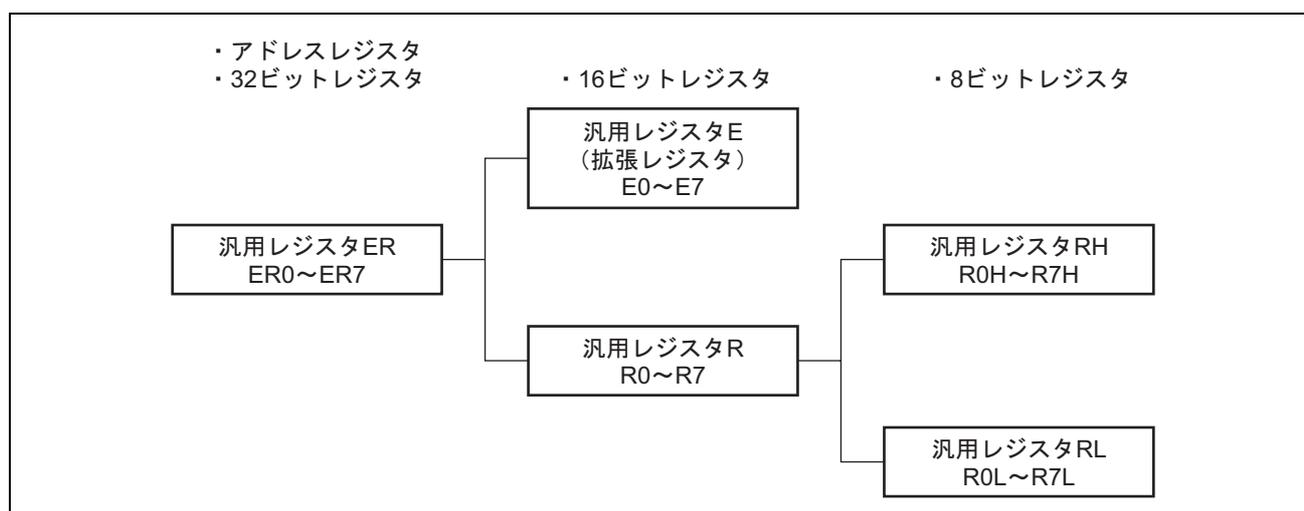


図 2.3 汎用レジスタの使用方法

2. CPU

汎用レジスタ ER7 には、汎用レジスタの機能に加えてスタックポインタ（SP）としての機能が割り当てられており、例外処理やサブルーチンコールなどで暗黙的に使用されます。スタックポインタとスタック領域の関係を図 2.4 に示します。

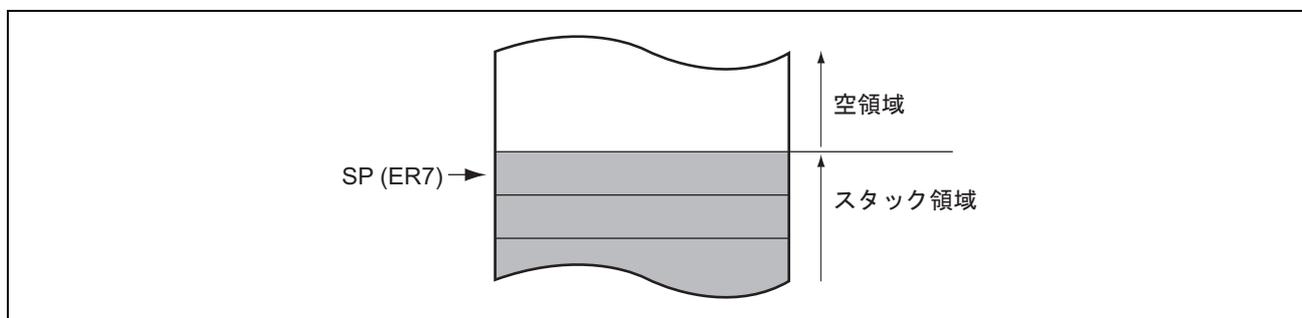


図 2.4 スタックポインタとスタック領域の関係

2.2.2 プログラムカウンタ（PC）

PC は 24 ビットのカウンタで、CPU が次に実行する命令のアドレスを指します。CPU の命令はすべて偶数番地から始まる 2 バイト（ワード）を単位としているため、PC の最下位ビットは命令コードを読み出すときは 0 とみなされます。PC はリセット例外処理の過程で生成されるベクタアドレスによってスタートアドレスをロードすることにより初期化されます。

2.2.3 コンディションコードレジスタ (CCR)

CCR は CPU の内部状態を示します。割り込みマスクビット (I)、ハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。I ビットはリセット例外処理によって 1 に初期化されますが、他のビットは初期化されません。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット このビットが 1 にセットされると、割り込み要求がマスクされます。ただし、NMI は I ビットに関係なく受け付けられます。I ビットは例外処理の実行が開始されたときに 1 にセットされます。
6	UI	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはポローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。ADD.W、SUB.W、CMP.W、NEG.W 命令の実行によりビット 11 にキャリまたはポローが生じたとき、または ADD.L、SUB.L、CMP.L、NEG.L 命令の実行によりビット 27 にキャリまたはポローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバフローフラグ 算術演算命令の実行によりオーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 加算結果のキャリ 減算結果のポロー シフト/ローテートのキャリ また、キャリフラグにはビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。CCR は LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。各命令ごとのフラグの変化については、「付録 A.1 命令一覧」を参照してください。

2.3 データ形式

H8/300H CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0, 1, 2, \dots, 7$) という形式でアクセスされます。10 進補正命令 DAA、DAS ではバイトデータは 2 桁の 4 ビット BCD データとなります。

2.3.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.5 に示します。

データ形	汎用レジスタ	データイメージ
1ビットデータ	RnH	<pre> 7 0 ┌───┬───┬───┬───┬───┬───┬───┬───┐ │ 7 │ 6 │ 5 │ 4 │ 3 │ 2 │ 1 │ 0 │ Don't care └───┴───┴───┴───┴───┴───┴───┴───┘ </pre>
1ビットデータ	RnL	<pre> 7 0 ┌───┬───┬───┬───┬───┬───┬───┬───┐ │ │ │ │ │ │ │ │ 7 │ Don't care └───┴───┴───┴───┴───┴───┴───┴───┘ </pre>
4ビットBCDデータ	RnH	<pre> 7 4 3 0 ┌───┬───┬───┬───┬───┬───┬───┬───┐ │ 上位桁 │ 下位桁 │ │ │ │ │ │ │ Don't care └───┴───┴───┴───┴───┴───┴───┴───┘ </pre>
4ビットBCDデータ	RnL	<pre> 7 4 3 0 ┌───┬───┬───┬───┬───┬───┬───┬───┐ │ │ │ │ │ │ │ │ │ Don't care └───┴───┴───┴───┴───┴───┴───┴───┘ 上位桁 下位桁 </pre>
バイトデータ	RnH	<pre> 7 0 ┌───┬───┬───┬───┬───┬───┬───┬───┐ │ │ │ │ │ │ │ │ │ Don't care └───┴───┴───┴───┴───┴───┴───┴───┘ MSB LSB </pre>
バイトデータ	RnL	<pre> 7 0 ┌───┬───┬───┬───┬───┬───┬───┬───┐ │ │ │ │ │ │ │ │ │ Don't care └───┴───┴───┴───┴───┴───┴───┴───┘ MSB LSB </pre>

図 2.5 汎用レジスタのデータ形式 (1)

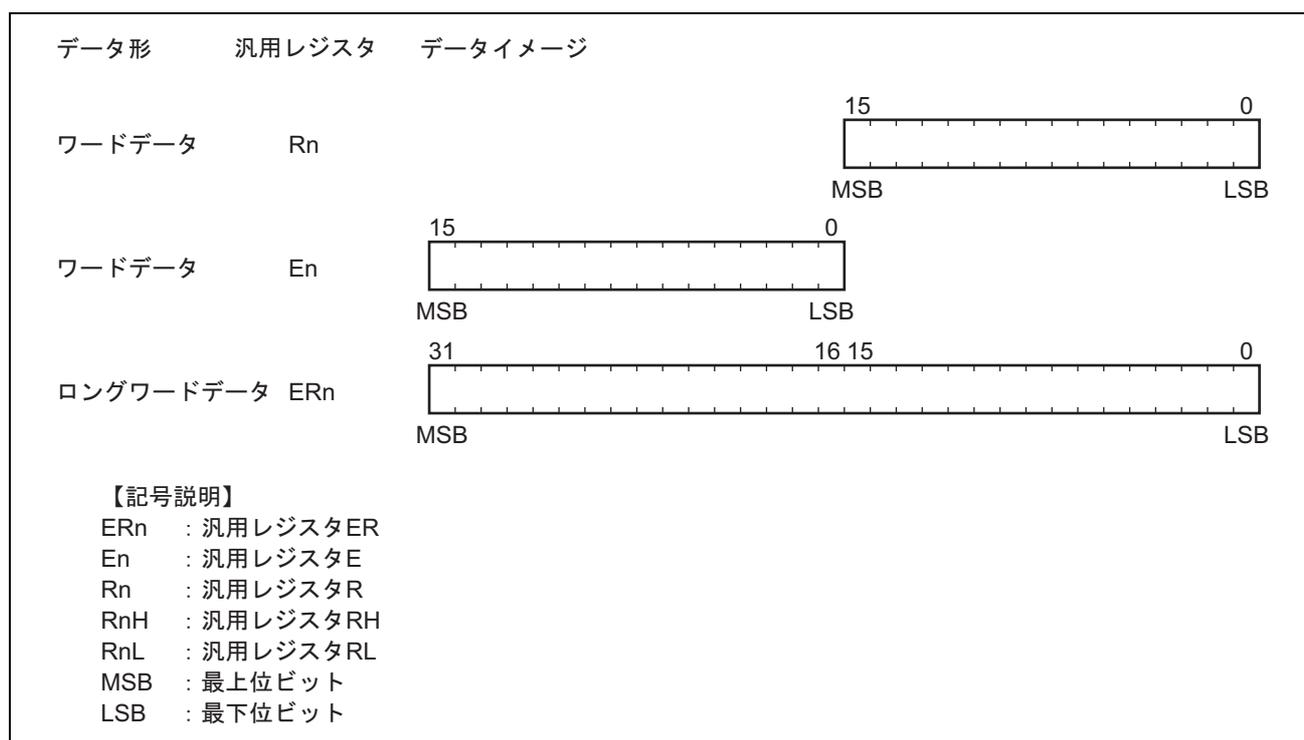


図 2.5 汎用レジスタのデータ形式 (2)

2.3.2 メモリ上のデータ形式

メモリ上のデータ形式を図 2.6 に示します。

H8/300H CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

ER7 (SP) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

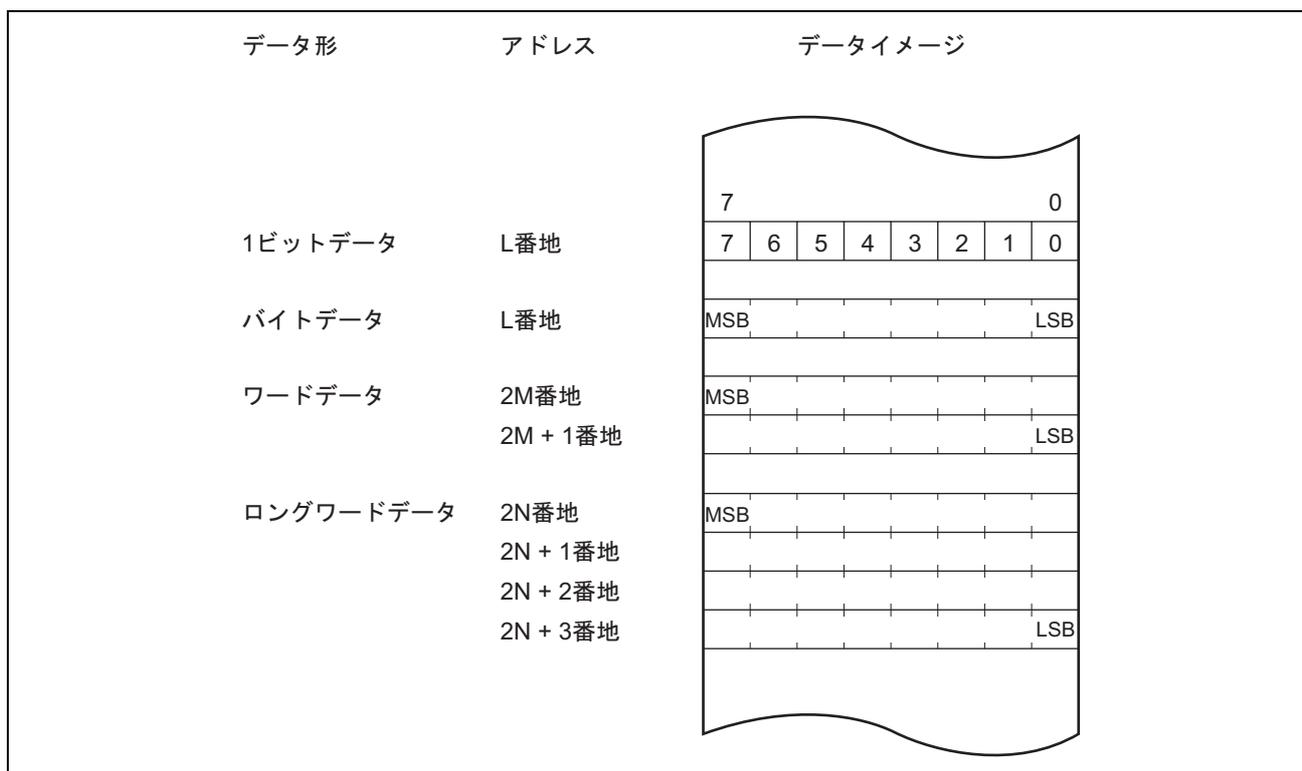


図 2.6 メモリ上でのデータ形式

2.4 命令セット

2.4.1 命令の機能別一覧

H8/300H CPU の命令は合計 62 種類あります。各命令の機能別一覧を表 2.2～表 2.9 に示します。各表で使用するオペレーションの記号の意味は表 2.1 のとおりです。

表 2.1 オペレーションの記号

Rd	汎用レジスタ（デスティネーション側）*
Rs	汎用レジスタ（ソース側）*
Rn	汎用レジスタ*
ERn	汎用レジスタ（32 ビットレジスタ／アドレスレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
CCR	コンディションコードレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバーフロー）フラグ
C	CCR の C（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイースメント
+	加算
-	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
: 3 / : 8 / : 16 / : 24	3 / 8 / 16 / 24 ビット長

【注】 * 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）、16 ビット（R0～R7、E0～E7）、または 32 ビットレジスタ／アドレスレジスタ（ER0～ER7）です。

2. CPU

表 2.2 データ転送命令

命 令	サイズ*	機 能
MOV	B/W/L	(EAs) →Rd、Rs→ (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFP	B	(EAs) →Rd 本 LSI では使用できません。
MOVTP	B	Rs→ (EAs) 本 LSI では使用できません。
POP	W/L	@SP+→Rn スタックから汎用レジスタへデータを復帰します。POP.W RnはMOV.W @SP+, Rnと、また POP.L ErnはMOV.L @SP+, Ernと同一です。
PUSH	W/L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。PUSH.W RnはMOV.W Rn, @-SPと、また PUSH.L ErnはMOV.L Ern, @-SPと同一です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.3 算術演算命令

命 令	サイズ*	機 能
ADD SUB	B/W/L	Rd±Rs→Rd、Rd±#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	Rd±Rs±C→Rd、Rd±#IMM±C→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付き加減算を行います。
INC DEC	B/W/L	Rd±1→Rd、Rd±2→Rd 汎用レジスタに 1 または 2 を加減算します (バイトサイズの演算では 1 の加減算のみ可能です)。
ADDS SUBS	L	Rd±1→Rd、Rd±2→Rd、Rd±4→Rd 32 ビットレジスタに 1、2 または 4 を加減算します。
DAA DAS	B	Rd (10 進補正) →Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。

命 令	サイズ*	機 能
MULXS	B/W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。8ビット×8ビット→16ビット、16ビット×16ビット→32ビットの乗算が可能です。
DIVXU	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。16ビット÷8ビット→商8ビット 余り8ビット、32ビット÷16ビット→商16ビット 余り16ビットの除算が可能です。
DIVXS	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き除算を行います。16ビット÷8ビット→商8ビット 余り8ビット、32ビット÷16ビット→商16ビット 余り16ビットの除算が可能です。
CMP	B/W/L	$Rd - Rs$ 、 $Rd - \#IMM$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果をCCRに反映します。
NEG	B/W/L	$0 - Rd \rightarrow Rd$ 汎用レジスタの内容の2の補数（算術的補数）をとります。
EXTU	W/L	Rd （ゼロ拡張） $\rightarrow Rd$ 16ビットレジスタの下位8ビットをワードサイズにゼロ拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	Rd （符号拡張） $\rightarrow Rd$ 16ビットレジスタの下位8ビットをワードサイズに符号拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズに符号拡張します。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

2. CPU

表 2.4 論理演算命令

命 令	サイズ*	機 能
AND	B/W/L	Rd∧Rs→Rd、Rd∧#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd∨Rs→Rd、Rd∨#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs→Rd、Rd⊕#IMM→Rd 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B/W/L	~Rd→Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.5 シフト命令

命 令	サイズ*	機 能
SHAL SHAR	B/W/L	Rd（シフト処理）→Rd 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B/W/L	Rd（シフト処理）→Rd 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B/W/L	Rd（ローテート処理）→Rd 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B/W/L	Rd（ローテート処理）→Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.6 ビット操作命令

命 令	サイズ*	機 能
BSET	B	1→ (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを1にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR	B	0→ (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを0にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BNOT	B	~ (<ビット番号> of <EAd>) → (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BTST	B	~ (<ビット番号> of <EAd>) → Z 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BAND	B	C∧ (<ビット番号> of <EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	C∧ [~ (<ビット番号> of <EAd>)] → C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BOR	B	C∨ (<ビット番号> of <EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
BIOR	B	C∨ [~ (<ビット番号> of <EAd>)] → C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。

2. CPU

命 令	サイズ*	機 能
BXOR	B	$C \oplus (\langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
BIXOR	B	$C \oplus [\sim (\langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle)] \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BLD	B	$(\langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	$\sim (\langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BST	B	$C \rightarrow (\langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle)$ 汎用レジスタまたはメモリのオペランドの指定された1ビットにキャリフラグの内容を転送します。
BIST	B	$C \rightarrow \sim (\langle \text{ビット番号} \rangle \text{ of } \langle \text{EAd} \rangle)$ 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

表 2.7 分岐命令

命 令	サイズ	機 能																																																			
Bcc*	—	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説 明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>$C \vee Z = 0$</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>$C \vee Z = 1$</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>$C = 0$</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (Low)</td> <td>$C = 1$</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>$Z = 0$</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>$Z = 1$</td> </tr> <tr> <td>BVC</td> <td>overflow Clear</td> <td>$V = 0$</td> </tr> <tr> <td>BVS</td> <td>overflow Set</td> <td>$V = 1$</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>$N = 0$</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>$N = 1$</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V = 0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V = 1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>$Z \vee (N \oplus V) = 0$</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>$Z \vee (N \oplus V) = 1$</td> </tr> </tbody> </table>	ニーモニック	説 明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	$C \vee Z = 0$	BLS	Low or Same	$C \vee Z = 1$	BCC (BHS)	Carry Clear (High or Same)	$C = 0$	BCS (BLO)	Carry Set (Low)	$C = 1$	BNE	Not Equal	$Z = 0$	BEQ	Equal	$Z = 1$	BVC	overflow Clear	$V = 0$	BVS	overflow Set	$V = 1$	BPL	PLus	$N = 0$	BMI	MInus	$N = 1$	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z \vee (N \oplus V) = 0$	BLE	Less or Equal	$Z \vee (N \oplus V) = 1$
ニーモニック	説 明	分岐条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	$C \vee Z = 0$																																																			
BLS	Low or Same	$C \vee Z = 1$																																																			
BCC (BHS)	Carry Clear (High or Same)	$C = 0$																																																			
BCS (BLO)	Carry Set (Low)	$C = 1$																																																			
BNE	Not Equal	$Z = 0$																																																			
BEQ	Equal	$Z = 1$																																																			
BVC	overflow Clear	$V = 0$																																																			
BVS	overflow Set	$V = 1$																																																			
BPL	PLus	$N = 0$																																																			
BMI	MInus	$N = 1$																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$Z \vee (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V) = 1$																																																			
JMP	—	指定されたアドレスへ無条件に分岐します。																																																			
BSR	—	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	—	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	—	サブルーチンから復帰します。																																																			

【注】 * Bcc 命令は条件分岐命令の総称です。

2. CPU

表 2.8 システム制御命令

命 令	サイズ*	機 能
RTE	—	例外処理ルーチンから復帰します。
SLEEP	—	低消費電力状態に遷移します。
LDC	B/W	(EAs) →CCR ソースオペランドを CCR に転送します。CCR はバイトサイズですが、メモリからの転送のときデータのリードはワードサイズで行われます。
STC	B/W	CCR → (EAd) CCR の内容をデスティネーションのロケーションに転送します。CCR はバイトサイズですが、メモリへの転送のときデータのライトはワードサイズで行われます。
ANDC	B	CCR ∧ #IMM → CCR CCR とイミディエイトデータの論理積をとります。
ORC	B	CCR ∨ #IMM → CCR CCR とイミディエイトデータの論理和をとります。
XORC	B	CCR ⊕ #IMM → CCR CCR とイミディエイトデータの排他的論理和をとります。
NOP	—	PC+2 → PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.9 ブロック転送命令

命 令	サイズ	機 能
EEPMOV.B	—	if R4L ≠ 0 then Repeat @ER5+ → @ER6+, R4L-1 → R4L Until R4L=0 else next;
EEPMOV.W	—	if R4 ≠ 0 then Repeat @ER5+ → @ER6+, R4-1 → R4 Until R4=0 else next; ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2.4.2 命令の基本フォーマット

H8/300H CPU の命令は 2 バイト (ワード) を単位としています。各命令はオペレーションフィールド (OP)、レジスタフィールド (r)、EA 拡張部 (EA) およびコンディションフィールド (cc) から構成されています。

図 2.7 に命令フォーマットの例を示します。

(1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭 4 ビットを必ず含みます。2 つのオペレーションフィールドを持つ場合もあります。

(2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき 3 ビット、データレジスタのとき 3 ビットまたは 4 ビットです。2 つのレジスタフィールドを持つ場合やレジスタフィールドを持たない場合もあります。

(3) EA 拡張部

イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8 ビット、16 ビット、32 ビットです。24 ビットアドレスおよびディスプレースメントは上位 8 ビットをすべて 0 (H'00) とした 32 ビットデータとして扱われます。

(4) コンディションフィールド

条件分岐命令の分岐条件を指定します。

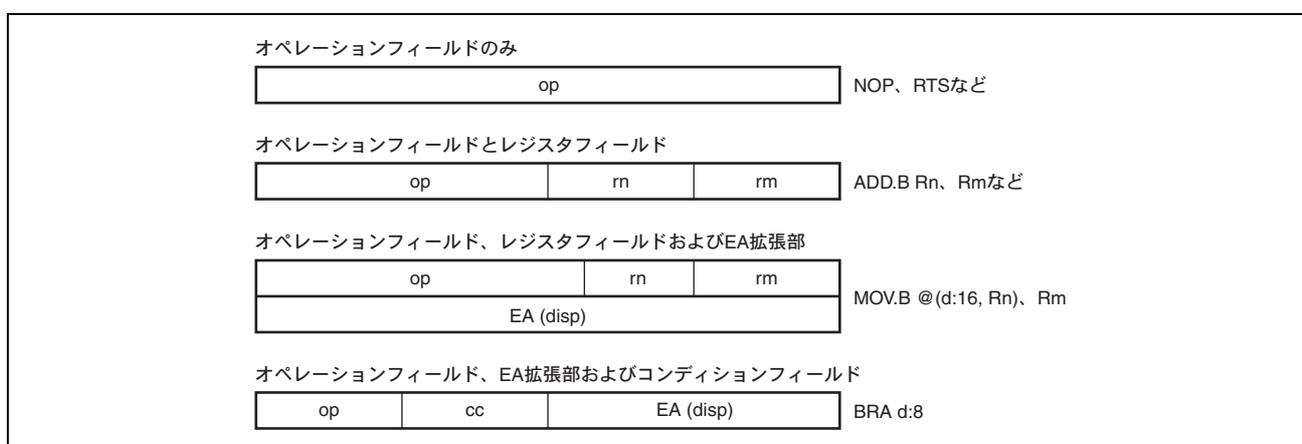


図 2.7 命令フォーマット

2.5 アドレッシングモードと実効アドレス

以下の説明は H8/300H CPU に関するものです。H8/38704 グループ、H8/38702S グループでは生成される 24 ビットのアドレスのうちの上位 8 ビットは無視され、実効アドレスは 16 ビットとなります。

2.5.1 アドレッシングモード

H8/300H CPU は、表 2.10 の 8 種類のアドレッシングモードをサポートしています。命令ごとに使用できるアドレッシングモードが異なります。詳細は「付録 A.4 命令とアドレッシングモードの組み合わせ」を参照してください。

演算命令ではレジスタ直接、およびイミディエイトを使用できます。転送命令ではプログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードを使用できます。ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレス (@aa:8) を使用できます。さらに、オペランド中のビット番号の指定にレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) を使用できます。

表 2.10 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレイメント付きレジスタ間接	@ (d:16, ERn) / @ (d:24, ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8 / @aa:16 / @aa:24
6	イミディエイト	#xx:8 / #xx:16 / #xx:32
7	プログラムカウンタ相対	@ (d:8, PC) / @ (d:16, PC)
8	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。

8 ビットレジスタとしては R0H~R7H、R0L~R7L を指定可能です。

16 ビットレジスタとしては R0~R7、E0~E7 を指定可能です。

32 ビットレジスタとしては ER0~ER7 を指定可能です。

(2) レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の下位 24 ビットをアドレスとしてメモリ上のオペランドを指定します。

(3) ディスプレースメント付きレジスタ間接 @ (d:16, ERn) / @ (d:24, ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメントまたは 24 ビットディスプレースメントを加算した内容の下位 24 ビットをアドレスとしてメモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

(4) ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @-ERn

- **ポストインクリメントレジスタ間接 @ERn+**

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容の下位 24 ビットをアドレスとしてメモリ上のオペランドを指定します。

その後、アドレスレジスタの内容 (32 ビット) に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズ、ロングワードサイズのときはレジスタの内容が偶数となるようにしてください。

- **プリデクリメントレジスタ間接 @-ERn**

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から 1、2 または 4 を減算した内容の下位 24 ビットをアドレスとして、メモリ上のオペランドを指定します。

その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズ、ロングワードサイズのときはアドレスレジスタの内容が偶数となるようにしてください。

(5) 絶対アドレス @aa:8 / @aa:16 / @aa:24

命令コード中に含まれる絶対アドレスでメモリ上のオペランドを指定します。

絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、または 24 ビット (@aa:24) です。

8 ビット絶対アドレスの場合、上位 16 ビットはすべて 1 (H'FFFF) となります。

16 ビット絶対アドレスの場合、上位 8 ビットは符号拡張されます。

24 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

H8/38704 グループ、H8/38702S グループの場合、上位 8 ビットは無視されるため、絶対アドレスのアクセス範囲は表 2.11 のようになります。

表 2.11 絶対アドレスのアクセス範囲

絶対アドレス	アクセス範囲
8 ビット (@aa:8)	H'FF00~H'FFFF
16 ビット (@aa:16)	H'0000~H'FFFF
24 ビット (@aa:24)	H'0000~H'FFFF

(6) イミディエイト #xx:8/#xx:16/#xx:32

命令コードの中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令ではイミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが命令コード中に含まれる場合があります。

(7) プログラムカウンタ相対 @(d:8, PC) / @(d:16, PC)

条件分岐命令、BSR 命令で使用されます。

PC の内容で指定される 24 ビットのアドレスに命令コード中に含まれる 8 ビット、または 16 ビットディスプレイメントを加算して、24 ビットの分岐アドレスを生成します。加算に際して、ディスプレイメントは 24 ビットに符号拡張されます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126 ~ +128 バイト (-63 ~ +64 ワード) または -32766 ~ +32768 バイト (-16383 ~ +16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コードの中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。メモリ上のオペランドはワードサイズで指定し、16 ビット長の分岐アドレスを生成します。図 2.8 にメモリ間接による分岐アドレスの指定方法を示します。

絶対アドレスの上位ビットはすべて 0 となります。このため分岐アドレスを格納できるのは 0 ~ 255 (H'0000 ~ H'00FF) 番地です。ただし、このうちの先頭領域は例外処理ベクタ領域と共通になっているので注意してください。

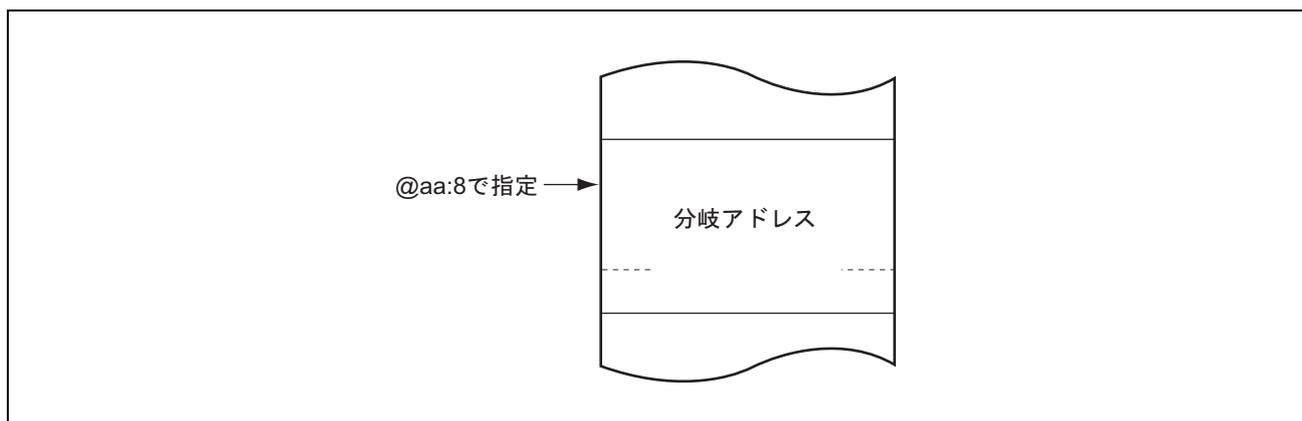


図 2.8 メモリ間接による分岐アドレスの指定

2.5.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス (EA : Effective Address) の計算方法を表 2.12 に示します。H8/38704 グループ、H8/38702S グループでは計算結果の上位 8 ビットは無視され、16 ビットの実効アドレスを生成します。

表 2.12 実効アドレスの計算方法 (1)

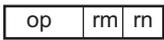
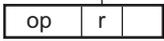
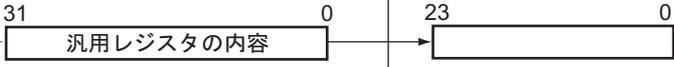
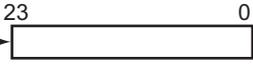
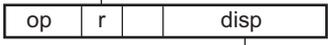
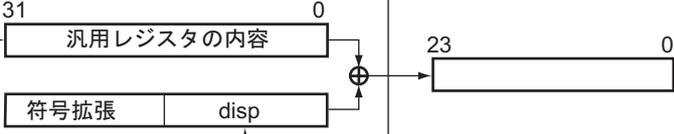
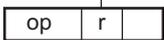
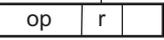
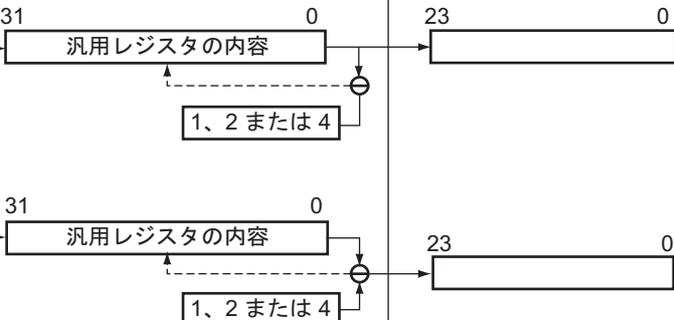
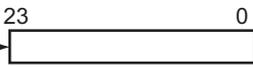
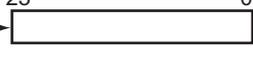
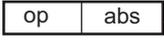
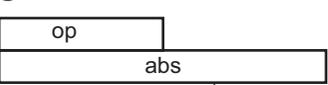
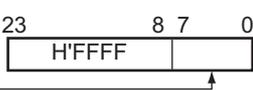
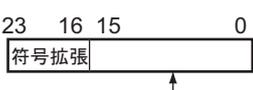
NO.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(1)	レジスタ直接 (Rn) 		オペランドは、 汎用レジスタの内容です。
(2)	レジスタ間接 (@ERn) 		
(3)	ディスプレイメント付きレジスタ間接 @ (d : 16, ERn) / @ (d : 24, ERn) 		
(4)	ポストインクリメントレジスタ間接/ プリデクリメントレジスタ間接 ・ポストインクリメント レジスタ間接 @ERn+  ・プリデクリメント レジスタ間接 @-ERn 	 <p>オペランドサイズがバイトのとき1、ワードのとき2、ロングワードのとき4が加減算されます。</p>	 
(5)	絶対アドレス @ aa : 8  @ aa : 16  @ aa : 24 		  

表 2.12 実効アドレスの計算方法 (2)

NO.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(6)	イミディエイト #xx : 8/#xx : 16/#xx : 32 <div style="border: 1px solid black; padding: 2px; display: inline-block; margin-bottom: 5px;">op</div> <div style="border: 1px solid black; padding: 2px; display: inline-block; margin-left: 10px;">IMM</div>		オペランドは、 イミディエイトデータです。
(7)	プログラムカウンタ相対 @(d : 8, PC)/@(d : 16, PC) <div style="border: 1px solid black; padding: 2px; display: inline-block; margin-bottom: 5px;">op</div> <div style="border: 1px solid black; padding: 2px; display: inline-block; margin-left: 10px;">disp</div>		
(8)	メモリ間接 @@ aa : 8 <div style="border: 1px solid black; padding: 2px; display: inline-block; margin-bottom: 5px;">op</div> <div style="border: 1px solid black; padding: 2px; display: inline-block; margin-left: 10px;">abs</div>		

【記号説明】

r、rm、rn : レジスタフィールド
 op : オペレーションフィールド
 disp : ディスプレースメント
 IMM : イミディエイトデータ
 abs : 絶対アドレス

2.6 基本バスサイクル

CPU は、システムクロック (ϕ) またはサブクロック (ϕ_{SUB}) を基準に動作します。 ϕ または ϕ_{SUB} の立ち上がりから次の立ち上がりまでを 1 ステートと呼びます。バスサイクルは 2 ステートまたは 3 ステートで構成され、内蔵メモリ、内蔵周辺モジュールによって異なるアクセスを行います。

2.6.1 内蔵メモリ (RAM、ROM)

内蔵メモリのアクセスは 2 ステートで行われます。データバス幅は 16 ビットで、バイトおよびワードアクセスが可能です。内蔵メモリアクセスサイクルを図 2.9 に示します。

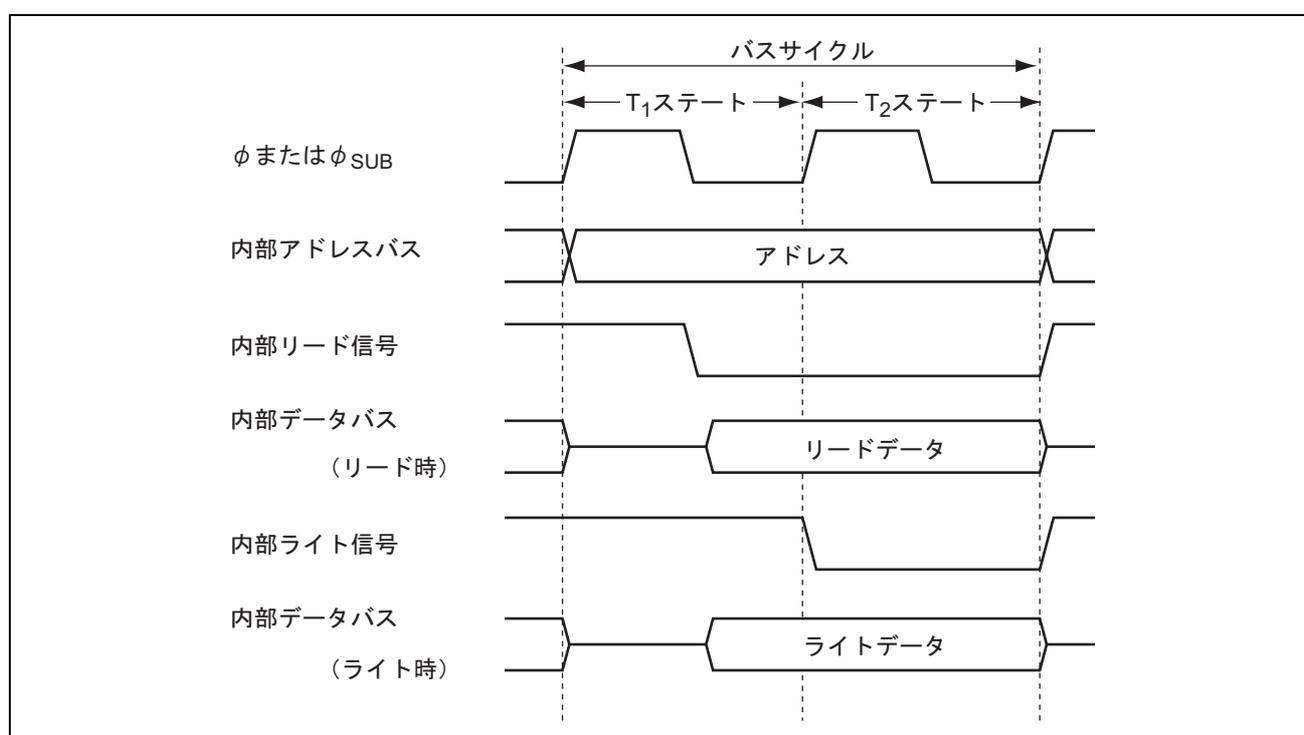


図 2.9 内蔵メモリアクセスサイクル

2.6.2 内蔵周辺モジュール

内蔵周辺モジュールのアクセスは、2 ステートまたは3 ステートで行われます。データバス幅は8 ビットまたは16 ビットで、レジスタにより異なります。各レジスタのデータバス幅とアクセスステート数は「13.1 レジスタアドレス一覧（アドレス順）」を参照してください。データバス幅が16 ビットのレジスタはワードアクセスのみ可能です。データバス幅が8 ビットのレジスタはバイトおよびワードアクセスが可能です。データバス幅が8 ビットのレジスタをワードアクセスするとバスサイクルが2回発生します。2 ステートアクセスの場合の動作タイミングは内蔵メモリと同一です。3 ステートアクセスの場合の動作タイミングを図2.10 に示します。

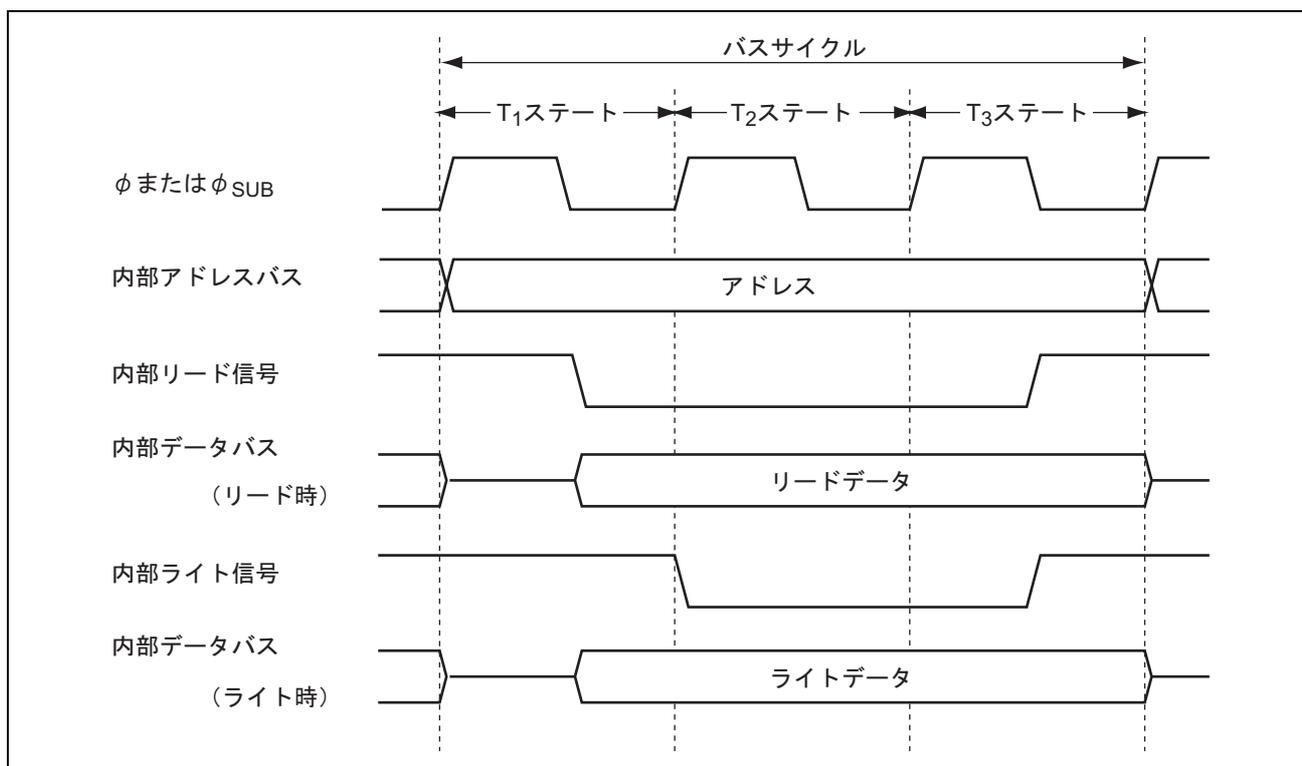


図 2.10 内蔵周辺モジュールアクセスサイクル（3 ステートアクセスの場合）

2.7 CPUの状態

CPUの状態は、リセット状態、プログラム実行状態、プログラム停止状態、例外処理状態の4種類あります。プログラム実行状態には、アクティブ（高速、中速）モード、サブアクティブモードがあり、プログラム停止状態には、スリープ（高速、中速）モード、スタンバイモード、ウォッチモード、サブスリープモードがあります。各状態の分類を図 2.11 に、各状態間の遷移条件を図 2.12 に示します。プログラム実行状態およびプログラム停止状態の詳細は「第5章 低消費電力モード」を参照してください。例外処理の詳細は「第3章 例外処理」を参照してください。

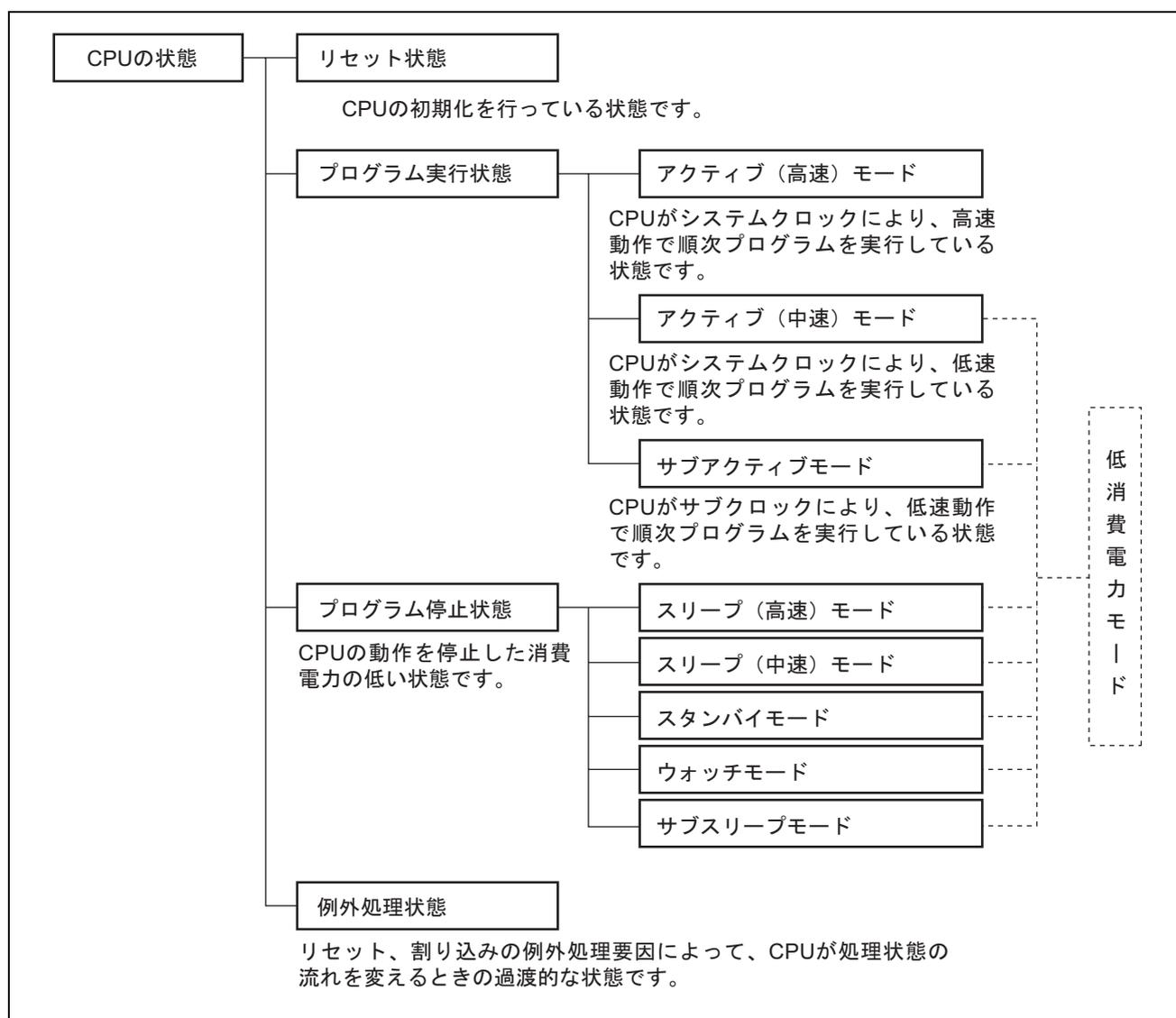


図 2.11 CPUの状態の分類

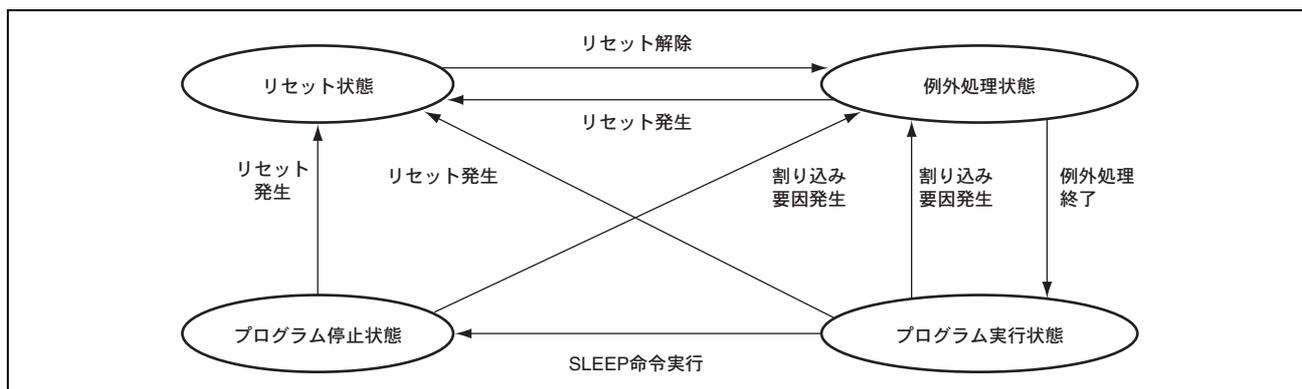


図 2.12 状態遷移図

2.8 使用上の注意事項

2.8.1 空きエリアへのデータアクセス

本 LSI のアドレス空間にはユーザに開放された ROM、RAM、内蔵 I/O レジスタの領域以外に空きエリアがあります。CPU から空きエリアへデータを転送すると転送データは失われます。また、CPU の誤動作の原因となる可能性があります。空きエリアから CPU への転送データの内容は保証されません。

2.8.2 EEPMOV 命令

EEPMOV 命令はブロック転送命令で、R5 で示されるアドレスから始まる R4L で示されるバイト数のデータを、R6 で示されるアドレスへ転送します。転送先の最終アドレス (R6+R4L の値) が H'FFFF を超えないように (実行途中で R6 の値が H'FFFF→H'0000 とならないように)、R4L、R6 を設定してください。

2.8.3 ビット操作命令

BSET、BCLR、BNOT、BST、BIST 命令は、指定されたアドレスのデータをバイト単位でリードし、対象となる1ビットを操作した後、同一アドレスにバイト単位でライトします。したがって、同一アドレスに2つのレジスタが割り付けられている場合や、ライト専用ビットを含むレジスタ、またはポートに対して直接ビット操作命令を使用すると、ビット操作対象以外のビットのデータが書き換わる可能性がありますので注意してください。

(1) 同一アドレスに割り付けられた2つのレジスタのビット操作

例1：タイマロードレジスタとタイマカウンタへのビット操作

図 2.13 に同一アドレスに割り付けられた2つのレジスタを持つタイマの構成例を示します。リロードタイマのタイマロードレジスタとタイマカウンタにビット操作命令を実行すると、タイマロードレジスタとタイマカウンタはアドレスを共有しているため次のように動作します。

1. タイマカウンタのデータをバイト単位でリードします。
2. CPUはビット操作命令で対象となる1ビットをセットまたはリセットします。
3. ライトしたデータをバイト単位でタイマロードレジスタにライトします。

タイマカウンタはカウントを続けているので、リードしたデータがタイマロードレジスタのデータとは必ずしも等しくありません。そのためタイマカウンタの操作の対象となったビット以外のデータが書き換わって、タイマロードレジスタへライトされます。

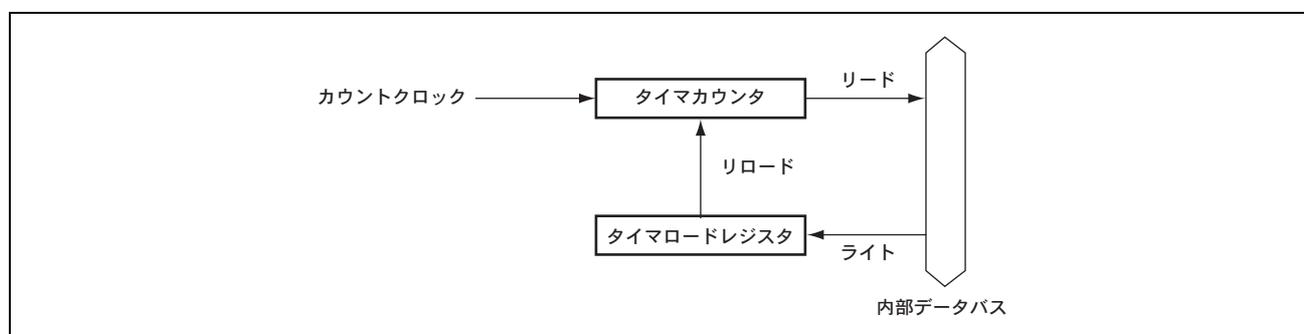


図 2.13 同一アドレスに割り付けられた2つのレジスタを持つタイマの構成例

2. CPU

例2：ポート5にBSET命令を実行した場合

P57、P56 は入力端子でそれぞれ Low レベル、High レベル入力状態とし、P55～P50 は出力端子でそれぞれ Low レベル出力状態とします。以下に、BSET 命令で P50 に High レベル出力を行う例を示します。

【BSET命令実行前】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

【BSET命令実行】

BSET #0, @PDR5 ポート 5 に対して BSET 命令を実行します。

【BSET命令実行後】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	0	1	0	0	0	0	0	1

【動作説明】

1. BSET命令を実行すると、CPUはポート5をリードします。P57、P56は入力端子で、CPUは端子の状態（Low レベル、Highレベル入力）をリードします。P55～P50は出力端子で、CPUはPDR5の値をリードします。したがって、例ではPDR5はH'80ですが、CPUがリードしたデータはH'40となります。
2. CPUはリードしたデータのビット0を1にセットして、データをH'41に変更します。
3. H'41をPDR5に書き込んで、BSET命令を終了します。

その結果、PDR5 のビット 0 が 1 になり、P50 は High レベル出力になります。しかし、PDR5 のビット 7、6 が変化してしまいます。そのため、PDR5 と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータを PDR5 にライトしてください。

【BSET命令実行前】

MOV.B	#H'80,R0L
MOV.B	R0L, @RAM0
MOV.B	R0L, @PDR5

PDR5 に書き込む値 (H'80) をあらかじめメモリ上のワークエリア (RAM0) と PDR5 にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

RAM0	1	0	0	0	0	0	0	0
------	---	---	---	---	---	---	---	---

【BSET命令実行】

BSET	#0, @RAM0
------	-----------

PDR5 のワークエリア (RAM0) に対して BSET 命令を実行します。

【BSET命令実行後】

MOV.B	@RAM0, R0L
MOV.B	R0L, @PDR5

ワークエリア (RAM0) の値を PDR5 にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	1

RAM0	1	0	0	0	0	0	0	1
------	---	---	---	---	---	---	---	---

2. CPU

(2) ライト専用ビットを含むレジスタのビット操作

例3：ポート5のPCR5にBCLR命令を実行した場合

P57、P56 は入力端子でそれぞれ Low レベル、High レベル入力状態とし、P55～P50 は出力端子でそれぞれ Low レベル出力状態とします。以下に、BCLR 命令で P50 を入力端子に設定する例を示します。入力端子に設定された P50 は High レベル入力状態とします。

【BCLR命令実行前】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

【BCLR命令実行】

BCLR #0 , @PCR5 PCR5 に対して BCLR 命令を実行します。

【BCLR命令実行後】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	出力	出力	出力	出力	出力	出力	出力	入力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	1	1	1	1	1	1	1	0
PDR5	1	0	0	0	0	0	0	0

【動作説明】

1. BCLR命令を実行すると、CPUはPCR5をリードします。PCR5はライト専用レジスタで、CPUはH'FFをリードします。したがって、例ではPCR5はH'3Fですが、CPUがリードしたデータはH'FFとなります。
2. CPUはリードしたデータのビット0を0にクリアして、データをH'FEに変更します。
3. H'FEをPCR5に書き込んで、BCLR命令を終了します。

その結果、PCR5 のビット 0 が 0 になり、P50 は入力端子になります。しかし、PCR5 のビット 7、6 が 1 になり、P57、P56 は出力端子に変化してしまいます。そのため、PCR5 と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータを PCR5 にライトしてください。

【BCLR命令実行前】

MOV.B	#H'3F,R0L
MOV.B	R0L, @RAM0
MOV.B	R0L, @PCR5

PCR5 に書き込む値 (H'3F) をあらかじめメモリ上のワークエリア (RAM0) と PCR5 にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	1
------	---	---	---	---	---	---	---	---

【BCLR命令実行】

BCLR	#0, @RAM0
------	-----------

PCR5 のワークエリア (RAM0) に対して BCLR 命令を実行します。

【BCLR命令実行後】

MOV.B	@RAM0,R0L
MOV.B	R0L, @PCR5

ワークエリア (RAM0) の値を PCR5 にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	0	0	1	1	1	1	1	0
PDR5	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	0
------	---	---	---	---	---	---	---	---

2. CPU

3. 例外処理

例外処理にはリセットによるものと割り込みによるものがあります。

- リセット

リセットは最も優先度の高い例外処理です。 $\overline{\text{RES}}$ 端子によってリセットが解除されると例外処理を開始します。ウォッチドッグタイマのオーバーフローによってもリセットされ、例外処理を開始します。例外処理は $\overline{\text{RES}}$ 端子による例外処理と同一です。

- 割り込み例外処理

外部割り込み要求と内部割り込み要求はCCRのIビットによりマスクされ、Iビットが1の間保留されます。割り込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。

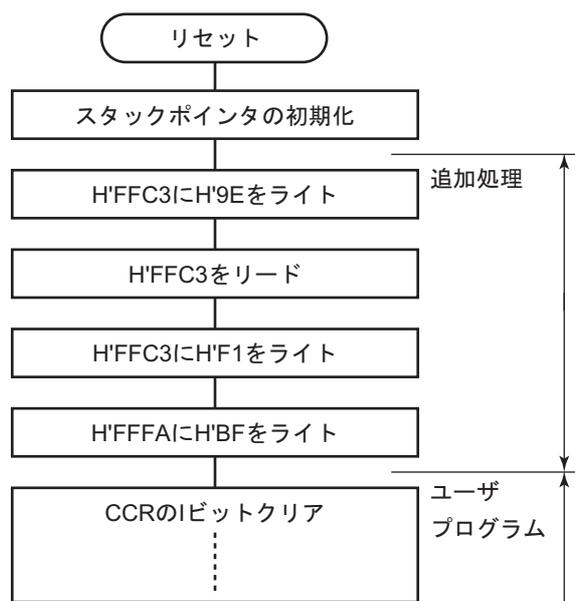
HD64F38704、HD64F38702 には下記の注意事項があります。

- 発生現象

電源投入時の回路状態により、ベクタNo.17 (システム予約) の割り込み要求が発生する場合があります。CCRのIビットを0クリアすると、他の内部割り込みと同様に上記の割り込みを受け付けます。これにより例外処理を開始しますが、当該割り込み要求フラグをクリアする手段がないためにプログラムの進行が停止します。

- 本現象の対策方法

本現象の対策として、次の処理をプログラムに追加してください。



3. 例外処理

アセンブラでの例を次に示します。

```
.ORG    H'0000
.DATA.  W                INIT
.ORG    H'0100
INIT:
MOV.W   #H'FF80:16, SP

MOV.B   #H'9E:8, R0L
MOV.B   R0L, @H'FFC3:8
MOV.B   @H'FFC3:8, R0L
MOV.B   #H'F1:8, R0L
MOV.B   R0L, @H'FFC3:8
MOV.B   #H'BF:8, R0L
MOV.B   R0L, @H'FFFA:8

ANDC.B  #H'7F:8, CCR                ;user program
```

C言語での例を次に示します。

```
void PowerON_Reset (void)
{
//-----
    unsigned char  dummy;
    *((volatile unsigned char *) 0xffc3) = 0x9e;
    dummy = * ((volatile unsigned char *) 0xffc3) ;
    *((volatile unsigned char *) 0xffc3) = 0xf1;
    *((volatile unsigned char *) 0xffffa) = 0xbf;
//-----
    set_imask_ccr (0) ;    // clear I bit
                          // user program
}
```

なお、本処理を追加したプログラムはマスクROM版で変更なし、または本処理分を削除して使用できません。

3.1 例外処理要因とベクタアドレス

各例外処理要因のベクタアドレスと優先度は表 3.1 のとおりです。複数の割り込み要求が発生したときは優先度の高い方から処理されます。

表 3.1 例外処理要因とベクタアドレス

発生元	例外処理要因	ベクタ番号	ベクタアドレス	優先順位
RES ウォッチドッグタイマ	リセット	0	H'0000~H'0001	高   低
—	システム予約	1~3	H'0002~H'0007	
外部割り込み端子	IRQ0	4	H'0008~H'0009	
	IRQ1	5	H'000A~H'000B	
	IRQAEC	6	H'000C~H'000D	
—	システム予約	7、8	H'000E~H'0011	
外部割り込み端子	WKP0	9	H'0012~H'0013	
	WKP1			
	WKP2			
	WKP3			
	WKP4			
	WKP5			
	WKP6			
	WKP7			
—	システム予約	10	H'0014~H'0015	
タイマ A	タイマ A オーバフロー	11	H'0016~H'0017	
非同期イベントカウンタ	非同期イベントカウンタオーバフロー	12	H'0018~H'0019	
—	システム予約	13	H'001A~H'001B	
タイマ F	タイマ FL コンペアマッチ	14	H'001C~H'001D	
	タイマ FL オーバフロー			
	タイマ FH コンペアマッチ	15	H'001E~H'001F	
	タイマ FH オーバフロー			
—	システム予約	16、17	H'0020~H'0023	
SCI3	送信終了	18	H'0024~H'0025	
	送信データエンプティ			
	送信データフル			
	受信エラー			
A/D 変換器	A/D 変換終了	19	H'0026~H'0027	
CPU	SLEEP 命令の実行による直接遷移	20	H'0028~H'0029	

3. 例外処理

3.2 レジスタの説明

割り込みを制御するには以下のレジスタがあります。

- 割り込みエッジセレクトレジスタ (IEGR)
- 割り込み許可レジスタ1 (IENR1)
- 割り込み許可レジスタ2 (IENR2)
- 割り込み要求レジスタ1 (IRR1)
- 割り込み要求レジスタ2 (IRR2)
- ウェイクアップ割り込み要求レジスタ (IWPR)
- ウェイクアップエッジセレクトレジスタ (WEGR)

3.2.1 割り込みエッジセレクトレジスタ (IEGR)

IEGR は $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$ 端子の割り込み要求を発生させるエッジの方向を選択します。

ビット	ビット名	初期値	R/W	説明
7~5	—	1	—	リザーブビット リードすると常に 1 が読み出されます。
4~2	—	—	W	リザーブビット 0 ライトのみ可能です。
1 0	IEG1 IEG0	0 0	R/W R/W	IRQ1、IRQ0 エッジセレクト 0 : $\overline{\text{IRQn}}$ 端子入力の立ち下がりエッジを検出 1 : $\overline{\text{IRQn}}$ 端子入力の立ち上がりエッジを検出 (n=1、0)

3.2.2 割り込み許可レジスタ 1 (IENR1)

IENR1 は、タイマおよび外部割り込み端子割り込みをイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	IENTA	0	R/W	タイマ A 割り込みイネーブル タイマ A オーバフロー割り込み要求の許可/禁止を制御します。 0: タイマ A の割り込み要求を禁止 1: タイマ A の割り込み要求を許可
6	—	—	W	リザーブビット 0 ライトのみ可能です。
5	IENWP	0	R/W	ウェイクアップ割り込みイネーブル WKP7~WKP0 割り込み要求の許可/禁止を制御します。 0: $\overline{WKP7} \sim \overline{WKP0}$ 端子の割り込み要求を禁止 1: $\overline{WKP7} \sim \overline{WKP0}$ 端子の割り込み要求を許可
4、3	—	—	W	リザーブビット 0 ライトのみ可能です。
2	IENEC2	0	R/W	IRQAEC 割り込みイネーブル IRQAEC 割り込み要求の許可/禁止を制御します。 0: IRQAEC 端子の割り込み要求を禁止 1: IRQAEC 端子の割り込み要求を許可
1	IEN1	0	R/W	IRQ1、IRQ0 割り込みイネーブル IRQ1、IRQ0 割り込み要求の許可/禁止を制御します。 0: \overline{IRQn} 端子の割り込み要求を禁止 1: \overline{IRQn} 端子の割り込み要求を許可 (n=1、0)
0	IEN0	0	R/W	

3. 例外処理

3.2.3 割り込み許可レジスタ 2 (IENR2)

IENR2 は、直接遷移割り込み、A/D 変換器、およびタイマの割り込みをイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	IENDT	0	R/W	直接遷移割り込みイネーブル 直接遷移割り込み要求の許可/禁止を制御します。 0: 直接遷移による割り込み要求を禁止 1: 直接遷移による割り込み要求を許可
6	IENAD	0	R/W	A/D 変換器割り込みイネーブル A/D 変換終了割り込み要求の許可/禁止を制御します。 0: A/D 変換器の割り込み要求を禁止 1: A/D 変換器の割り込み要求を許可
5, 4	—	—	W	リザーブビット 0 ライトのみ可能です。
3	IENTFH	0	R/W	タイマ FH 割り込みイネーブル タイマ FH コンペアマッチまたはオーバフロー割り込み要求の許可/禁止を制御します。 0: タイマ FH の割り込み要求を禁止 1: タイマ FH の割り込み要求を許可
2	IENFL	0	R/W	タイマ FL 割り込みイネーブル タイマ FL コンペアマッチまたはオーバフロー割り込み要求の許可/禁止を制御します。 0: タイマ FL の割り込み要求を禁止 1: タイマ FL の割り込み要求を許可
1	—	—	W	リザーブビット 0 ライトのみ可能です。
0	IENEC	0	R/W	非同期イベントカウンタ割り込みイネーブル 非同期イベントカウンタの許可/禁止を制御します。 0: 非同期イベントカウンタの割り込み要求を禁止 1: 非同期イベントカウンタの割り込み要求を許可

なお、SCI3 の割り込みの制御については「10.3.6 シリアルコントロールレジスタ 3 (SCR3)」を参照してください。

3.2.4 割り込み要求レジスタ 1 (IRR1)

IRR1 は、タイマ A、IRQAEC、IRQ1、IRQ0 割り込み要求ステータスフラグレジスタです。これらの割り込み要求が発生すると対応するフラグが 1 にセットされます。各フラグは割り込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は 0 をライトしてクリアしてください。

ビット	ビット名	初期値	R/W	説明
7	IRRTA	0	R/W*	タイマ A 割り込み要求フラグ [セット条件] • タイマ A のカウンタ値がオーバーフローしたとき [クリア条件] • 1 の状態で 0 をライトしたとき
6、4、3	—	—	W	リザーブビット 0 ライトのみ可能です。
5	—	1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
2	IRREC2	0	R/W*	IRQAEC 割り込み要求フラグ [セット条件] • IRQAEC 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] • 1 の状態で 0 をライトしたとき
1 0	IRRI1 IRRI0	0 0	R/W* R/W*	IRQ1、IRQ0 割り込み要求フラグ [セット条件] • $\overline{\text{IRQn}}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき (n=1、0) [クリア条件] • 1 の状態で 0 をライトしたとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

3. 例外処理

3.2.5 割り込み要求レジスタ 2 (IRR2)

IRR2 は、直接遷移、A/D 変換器、タイマ FH、タイマ FL、非同期イベントカウンタ割り込み要求が発生すると、対応するフラグが 1 にセットされます。各フラグは割り込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は 0 をライトしてクリアしてください。

ビット	ビット名	初期値	R/W	説明
7	IRRDT	0	R/W*	直接遷移割り込み要求フラグ [セット条件] • DTONに1をセットした状態でスリープ命令を実行し直接遷移したとき [クリア条件] • 1の状態でも0をライトしたとき
6	IRRAD	0	R/W*	A/D 変換器割り込み要求フラグ [セット条件] • A/D 変換器が変換終了し、ADSF がリセットされたとき [クリア条件] • 1の状態でも0をライトしたとき
5、4	—	—	W	リザーブビット 0 ライトのみ可能です。
3	IRRTFH	0	R/W*	タイマ FH 割り込み要求フラグ [セット条件] • 8 ビットタイマモードで TCFH と OCRFH が一致したとき、また、16 ビットタイマモードで TCF (TCFL、TCFH) と OCRF (OCRFL、OCRFH) が一致したとき [クリア条件] • 1の状態でも0をライトしたとき
2	IRRTFL	0	R/W*	タイマ FL 割り込み要求フラグ [セット条件] • 8 ビットタイマモードで TCFL と OCRFL が一致したとき [クリア条件] • 1の状態でも0をライトしたとき
1	—	—	W	リザーブビット 0 ライトのみ可能です。
0	IRREC	0	R/W*	非同期イベントカウンタ割り込み要求フラグ [セット条件] • 16 ビットカウンタモードで ECH がオーバフローしたとき、または 8 ビットカウンタモードで ECH または ECL がオーバフローしたとき [クリア条件] • 1の状態でも0をライトしたとき

【注】 * フラグをクリアするための 0 ライトのみ可能です。

3.2.6 ウェイクアップ割り込み要求レジスタ (IWPR)

IWPR は、 $\overline{WKP7} \sim \overline{WKP0}$ 端子の割り込み要求ステータスフラグレジスタです。各フラグは割り込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は 0 をライトしてクリアしてください。

ビット	ビット名	初期値	R/W	説明
7	IWPF7	0	R/W*	ウェイクアップ割り込み要求フラグ 7~0 [セット条件] • \overline{WKPn} 端子がウェイクアップ入力に設定され、指定されたエッジを検出したとき (n=7~0) [クリア条件] • 1 の状態で 0 をライトしたとき
6	IWPF6	0	R/W*	
5	IWPF5	0	R/W*	
4	IWPF4	0	R/W*	
3	IWPF3	0	R/W*	
2	IWPF2	0	R/W*	
1	IWPF1	0	R/W*	
0	IWPF0	0	R/W*	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

3.2.7 ウェイクアップエッジセレクトレジスタ (WEGR)

WEGR は、 \overline{WKPn} 端子の立ち上がり/立ち下がりエッジセンスを指定します。

ビット	ビット名	初期値	R/W	説明
7	WKEGS7	0	R/W	WKPn エッジセレクト 7~0 \overline{WKPn} 端子の入力センスを選択します。 0 : \overline{WKPn} 端子の立ち下がりエッジを検出 1 : \overline{WKPn} 端子の立ち上がりエッジを検出 (n=7~0)
6	WKEGS6	0	R/W	
5	WKEGS5	0	R/W	
4	WKEGS4	0	R/W	
3	WKEGS3	0	R/W	
2	WKEGS2	0	R/W	
1	WKEGS1	0	R/W	
0	WKEGS0	0	R/W	

3.3 リセット例外処理

$\overline{\text{RES}}$ 端子が Low レベルになると実行中の処理はすべて打ち切れ、LSI はリセット状態になります。リセットによって CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。電源投入時は本 LSI を確実にリセットするため、クロック発振器の発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持してください。動作中にリセットする場合は最低 10 システムクロックの間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。 $\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになるとリセット例外処理を開始します。リセット例外処理シーケンスを図 3.1 に示します。リセット例外処理のシーケンスは以下のとおりです。

1. コンディションコードレジスタ (CCR) の I ビットをセットします。
2. CPU はリセット例外処理ベクタアドレス (H'0000~H'0001) を生成し、そのアドレスのデータをスタートアドレスとしてプログラムカウンタ (PC) に転送してプログラムの実行を開始します。

3.4 割り込み例外処理

3.4.1 外部割り込み要求

外部割り込み要求には、WKP7~WKP0、IRQ1、IRQ0、IRQAEC 割り込み要求があります。

(1) WKP7~WKP0 割り込み要求

WKP7~WKP0 割り込み要求は $\overline{\text{WKP7}}$ ~ $\overline{\text{WKP0}}$ 端子の入力エッジにより発生します。これらの割り込み要求のベクタアドレスは同一です。検出するエッジの方向は WEGR の WKEGS7~WKEGS0 によって各端子独立に選択できます。 $\overline{\text{WKP7}}$ ~ $\overline{\text{WKP0}}$ 端子が PMR5 によって割り込み要求入力に設定された状態で指定されたエッジを検出すると IWPR の対応するビットが 1 にセットされ CPU に対して割り込みを要求します。これらの割り込み要求は IENR1 の IENWP により禁止できます。

(2) IRQ1、IRQ0 割り込み要求

IRQ1、IRQ0 割り込み要求は $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$ 端子の入力エッジにより発生します。これらの割り込み要求には異なる割り込みベクタが割り当てられています。検出するエッジの方向は IEGR の IEG1、IEG0 によって各端子独立に選択できます。 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$ 端子が PMRB、PMR2 によって割り込み要求入力に設定された状態で指定されたエッジを検出すると、IRR1 の対応するビットが 1 にセットされ CPU に対して割り込みを要求します。これらの割り込み要求は IENR1 の IEN1、IEN0 により禁止できます。

(3) IRAEC 割り込み要求

IRQAEC 割り込みは、IRQAEC 端子の入力エッジにより発生します。検出するエッジの方向は AEGSR の AIEGS1、AIEGS0 によって選択できます。IENR1 の IENEC2 によって割り込み要求入力に設定された状態で指定されたエッジを検出すると、IRR1 の対応するビットが 1 にセットされ CPU に対して割り込みを要求します。

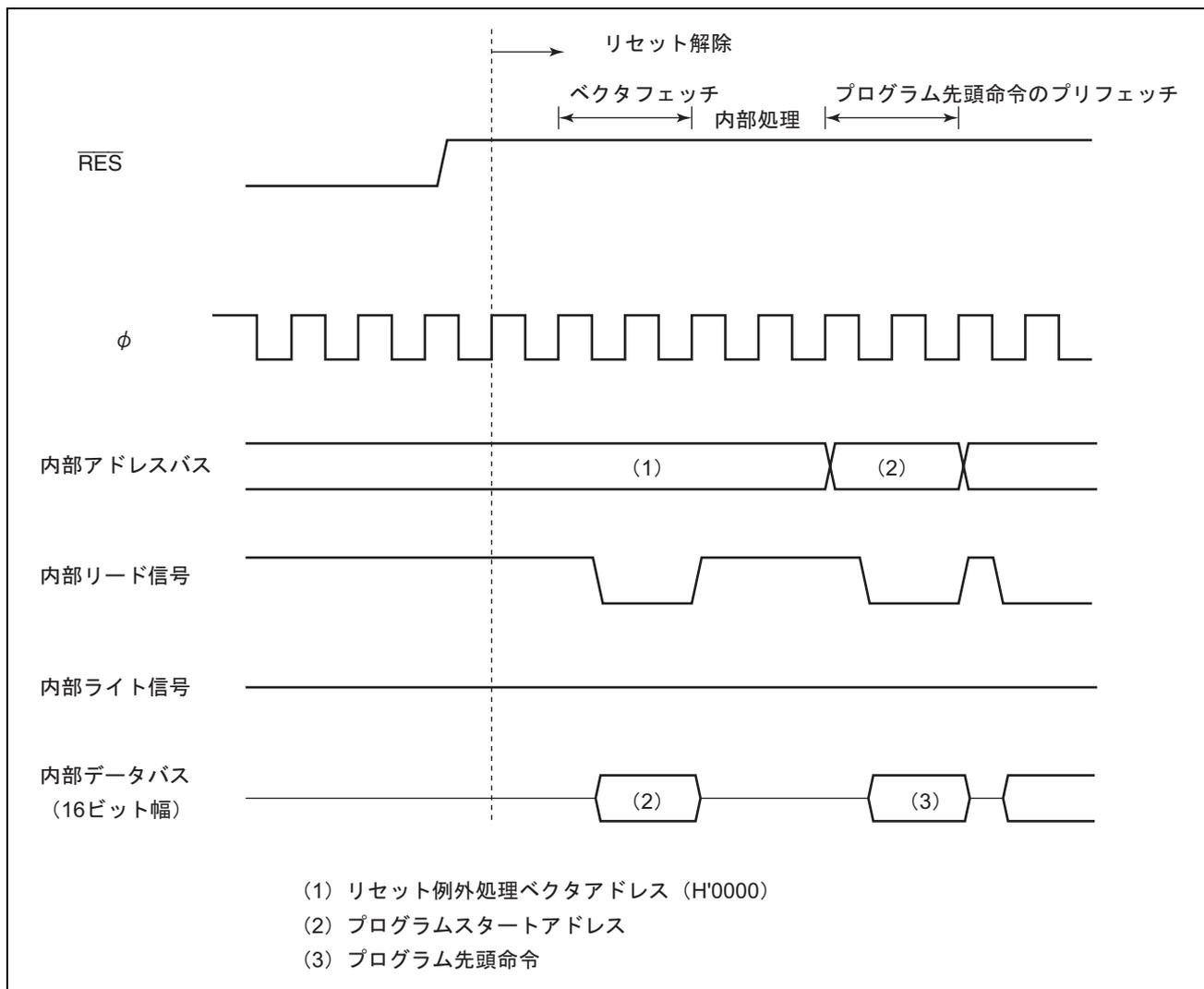


図 3.1 リセット例外処理シーケンス

3. 例外処理

3.4.2 内部割り込み要求

各内蔵周辺モジュールには割り込み要求ステータスフラグとこれらの割り込みイネーブルビットがあります。SLEEP 命令実行によって発生する直接遷移割り込みについてはこの機能は IRR1、IRR2 に含まれていません。内蔵周辺モジュールからの割り込み要求が発生すると対応する割り込み要求ステータスフラグが 1 にセットされ CPU に対して割り込みを要求します。これらの割り込み要求は対応するイネーブルビットを 0 にクリアすることにより禁止できます。

3.4.3 割り込み処理シーケンス

割り込み要求は割り込みコントローラによって制御されます。割り込み動作は以下のとおりです。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込みコントローラに対して割り込み要求信号が送られます。
2. 複数の割り込み要求が発生している場合、割り込みコントローラはCPUに対して表3.1に従ってその時点で最も優先度の高い割り込み処理を要求します。その他は保留となります。
3. 割り込み要求はCCRのIビットがクリアされていれば受け付けますが、Iビットがセットされている間は保留します。
4. CPUが割り込み要求を受け付けると、実行中の命令を実行したあと、割り込み例外処理を開始します。まず、PCとCCRの値をスタック領域にスタックします。このときのスタックの状態を図3.2に示します。スタックされるPCの値はリターン後に実行する最初の命令のアドレスです。
5. 次にCCRのIビットを1にセットします。これにより、割り込み要求がマスクされます。なお、Iビットの値はリターン時のアンスタックによりCCRの他のビットとともに例外処理開始前の値に戻ります。
6. この後CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、そのアドレスのデータを割り込み処理ルーチンのスタートアドレスとしてPCに転送して割り込み処理を開始します。

プログラム領域を内蔵 ROM に、スタック領域を内蔵 RAM にとった場合の割り込み要求シーケンスを図 3.3 に示します。

- 【注】
1. 本 LSI では、割り込み許可レジスタをクリアすることにより割り込みをディスエーブルにする場合、または割り込み要求レジスタをクリアする場合は、必ず割り込みをマスクした状態 (I=1) で行ってください。
 2. I=0 の状態で上記の操作を行うと、当該操作命令の実行と当該割り込みの発生が競合した場合には、当該操作命令の実行終了時に発生した割り込みに対応する例外処理を実行します。

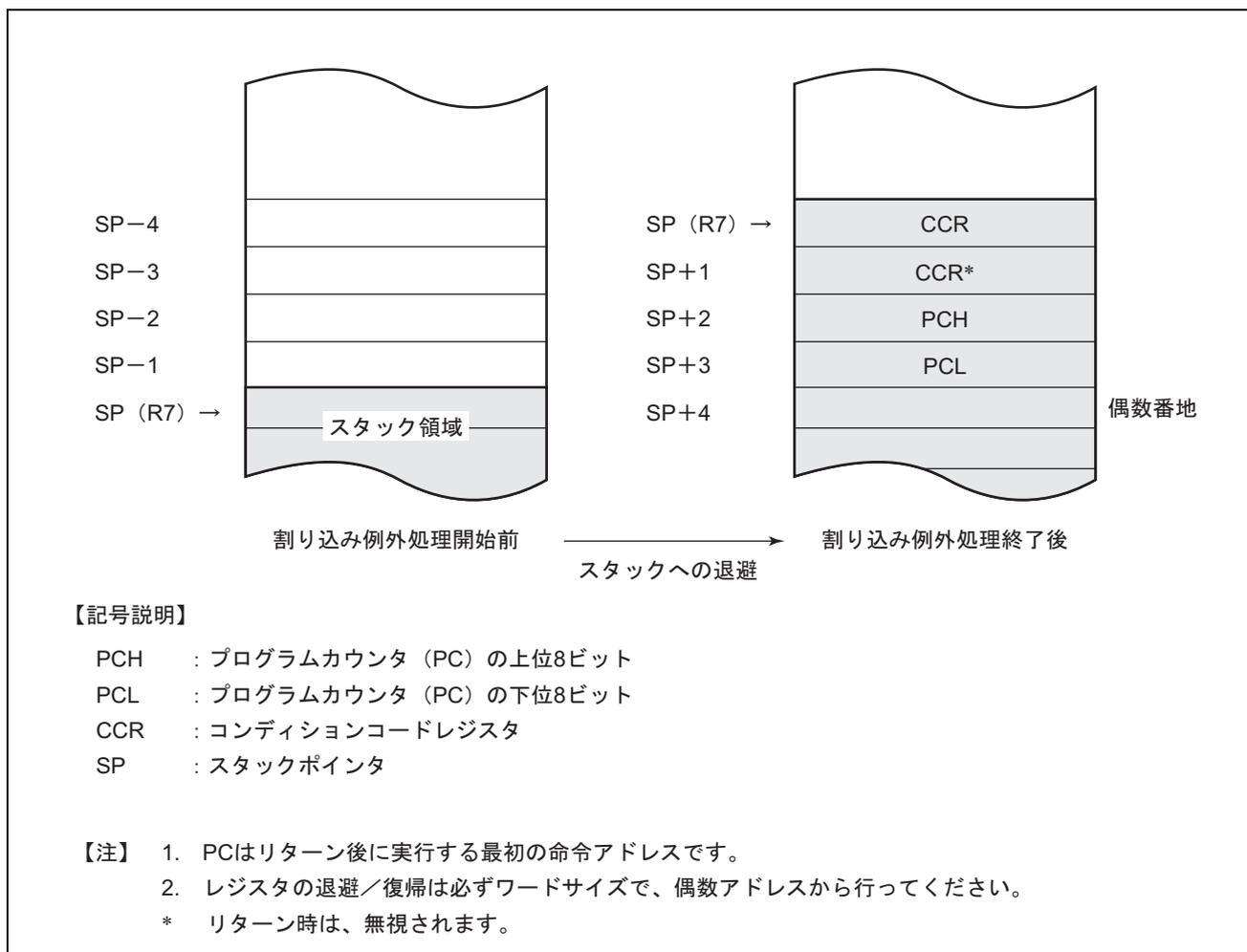


図 3.2 割り込み例外処理終了後のスタック状態

3.4.4 割り込み応答時間

割り込み要求フラグがセットされたあと、割り込み要求処理ルーチンの先頭命令を実行するまでの待ちステート数を表 3.2 に示します。

表 3.2 割り込み要求待ちステート数

項 目	ステート数	合計
実行中の命令終了時の待ち時間*	1~13	15~27
PC、CCR のスタック	4	
ベクタフェッチ	2	
命令フェッチ	4	
内部処理	4	

【注】 * EEPMOV 命令は除きます。

3. 例外処理

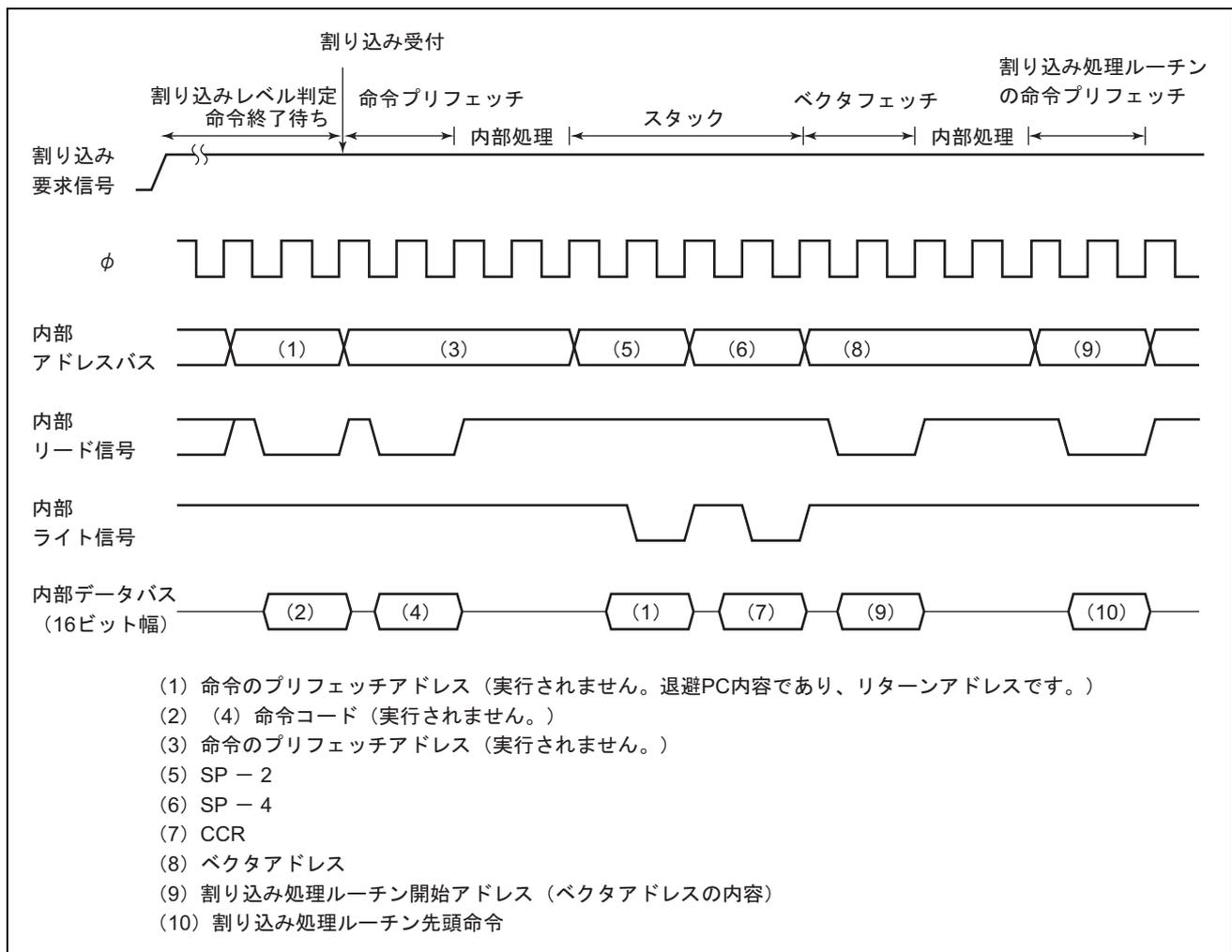


図 3.3 割り込み要求シーケンス

3.5 使用上の注意事項

3.5.1 リセット直後の割り込み要求

リセット直後、スタックポインタ (SP) を初期化する前に CPU が割り込み要求を受け付けると、PC と CCR の退避が正常に行われずプログラムの暴走の原因となります。これを防ぐため、リセット例外処理直後はすべての割り込み要求が禁止されプログラムの先頭 1 命令を必ず実行するようになっていますので、プログラムの先頭で SP を初期化してください (例: MOV.W #xx:16, SP)。

3.5.2 スタック領域のアクセス

ワードデータをアクセスする場合はアドレスの最下位ビットは 0 とみなされます。スタック領域のアクセスは、スタックポインタ (SP: R7) が奇数にならないよう常にワードサイズで行ってください (例: 「PUSH Rn (MOV.W Rn, @-SP)」または「POP Rn (MOV.W @SP+, Rn)」)。

3.5.3 割り込みフラグをクリアする方法

割り込み要求レジスタ (IRR1、IRR2、IWPR) のフラグクリアは下記の「(1) 推奨方法」で行ってください。

(1) 推奨方法

フラグクリアの処理を 1 命令で実施します。この命令には、ビット操作命令とバイトサイズのデータ転送命令が使用できます。下記に「IRRI1 (IRR1 のビット 1) をクリアする場合」のプログラム例を 2 つ示します。

```
BCR #1,@IRR1:8
```

```
MOV.B R1L,@IRR1:8 (R1L の値を B'11111101 に設定しておく)
```

(2) 誤動作する例

フラグクリアの処理を複数命令で実施する場合には、命令の実行中に他のフラグがセットされたにもかかわらずこれをクリアしてしまう場合があります、誤動作の原因となります。

次に「IRRI1 (IRR1 のビット 1) をクリアする場合」に IRRIO もクリアにして無効にしてしまう例を示します。

```
MOV.B @IRR1:8,R1L . . . . . この時点では IRRIO=0
```

```
AND.B #B'11111101,R1L . . . . . ここで IRRIO=1
```

```
MOV.B R1L,@IRR1:8 . . . . . IRRIO=0 にクリアされる。
```

上記の例では AND.B 命令実行中に IRQ0 割り込みが発生する場合を想定しています。

本来の目的である IRRI1 に加えて IRRIO もクリアしてしまうため、IRQ0 割り込みが無効になってしまいます。

3. 例外処理

3.5.4 ポートモードレジスタを書き換える際の注意事項

ポートモードレジスタを書き換えて外部割り込み要求端子 $\overline{\text{IRQAEC}}$ 、 $\overline{\text{IRQ1}}$ 、 $\overline{\text{IRQ0}}$ 、 $\overline{\text{WKP7}}$ ～ $\overline{\text{WKP0}}$ の機能を変更するとき割り込み要求フラグが1にセットされることがあります。端子機能を切り替える場合は、割り込み要求を禁止した状態でポートモードレジスタを書き換え、少なくとも1命令（NOP命令で可）実行してから、割り込み要求フラグをクリアしてください。1にセットされる割り込み要求フラグとその条件を表3.3に示します。

表 3.3 割り込み要求フラグが1にセットされる条件

1にセットされる 割り込み要求フラグ		条 件
IRR1	IRREC2	<ul style="list-style-type: none"> • IENR1 の IENEC2 が 1 のとき AEGSR の AIEGS1、0 によって指定したエッジセンスが入力されたとき
	IRRI1	<ul style="list-style-type: none"> • $\overline{\text{IRQ1}}$ 端子が Low レベルで IEGR の IEG1 が 0 の状態で、PMRB の IRQ1 を 0 から 1 に書き換えたとき • $\overline{\text{IRQ1}}$ 端子が Low レベルで IEGR の IEG1 が 1 の状態で、PMRB の IRQ1 を 1 から 0 に書き換えたとき
	IRRI0	<ul style="list-style-type: none"> • $\overline{\text{IRQ0}}$ 端子が Low レベルで IEGR の IEG0 が 0 の状態で、PMR2 の IRQ0 を 0 から 1 に書き換えたとき • $\overline{\text{IRQ0}}$ 端子が Low レベルで IEGR の IEG0 が 1 の状態で、PMR2 の IRQ0 を 1 から 0 に書き換えたとき
IWPR	IWPF7	<ul style="list-style-type: none"> • $\overline{\text{WKP7}}$ 端子が Low レベルで WEGR の WKEGS7 が 0 の状態で、PMR5 の WKP7 を 0 から 1 に書き換えたとき • $\overline{\text{WKP7}}$ 端子が Low レベルで WEGR の WKEGS7 が 1 の状態で、PMR5 の WKP7 を 1 から 0 に書き換えたとき
	IWPF6	<ul style="list-style-type: none"> • $\overline{\text{WKP6}}$ 端子が Low レベルで WEGR の WKEGS6 が 0 の状態で、PMR5 の WKP6 を 0 から 1 に書き換えたとき • $\overline{\text{WKP6}}$ 端子が Low レベルで WEGR の WKEGS6 が 1 の状態で、PMR5 の WKP6 を 1 から 0 に書き換えたとき
	IWPF5	<ul style="list-style-type: none"> • $\overline{\text{WKP5}}$ 端子が Low レベルで WEGR の WKEGS5 が 0 の状態で、PMR5 の WKP5 を 0 から 1 に書き換えたとき • $\overline{\text{WKP5}}$ 端子が Low レベルで WEGR の WKEGS5 が 1 の状態で、PMR5 の WKP5 を 1 から 0 に書き換えたとき
	IWPF4	<ul style="list-style-type: none"> • $\overline{\text{WKP4}}$ 端子が Low レベルで WEGR の WKEGS4 が 0 の状態で、PMR5 の WKP4 を 0 から 1 に書き換えたとき • $\overline{\text{WKP4}}$ 端子が Low レベルで WEGR の WKEGS4 が 1 の状態で、PMR5 の WKP4 を 1 から 0 に書き換えたとき
	IWPF3	<ul style="list-style-type: none"> • $\overline{\text{WKP3}}$ 端子が Low レベルで WEGR の WKEGS3 が 0 の状態で、PMR5 の WKP3 を 0 から 1 に書き換えたとき • $\overline{\text{WKP3}}$ 端子が Low レベルで WEGR の WKEGS3 が 1 の状態で、PMR5 の WKP3 を 1 から 0 に書き換えたとき

1にセットされる 割り込み要求フラグ		条 件
IWPR	IWPF2	<ul style="list-style-type: none"> • $\overline{WKP2}$ 端子が Low レベルで WEGR の WKEGS2 が 0 の状態で、PMR5 の WKP2 を 0 から 1 に書き換えたとき • $\overline{WKP2}$ 端子が Low レベルで WEGR の WKEGS2 が 1 の状態で、PMR5 の WKP2 を 1 から 0 に書き換えたとき
	IWPF1	<ul style="list-style-type: none"> • $\overline{WKP1}$ 端子が Low レベルで WEGR の WKEGS1 が 0 の状態で、PMR5 の WKP1 を 0 から 1 に書き換えたとき • $\overline{WKP1}$ 端子が Low レベルで WEGR の WKEGS1 が 1 の状態で、PMR5 の WKP1 を 1 から 0 に書き換えたとき
	IWPF0	<ul style="list-style-type: none"> • $\overline{WKP0}$ 端子が Low レベルで WEGR の WKEGS0 が 0 の状態で、PMR5 の WKP0 を 0 から 1 に書き換えたとき • $\overline{WKP0}$ 端子が Low レベルで WEGR の WKEGS0 が 1 の状態で、PMR5 の WKP0 を 1 から 0 に書き換えたとき

ポートモードレジスタの操作と割り込み要求フラグのクリアの手順を図 3.4 に示します。

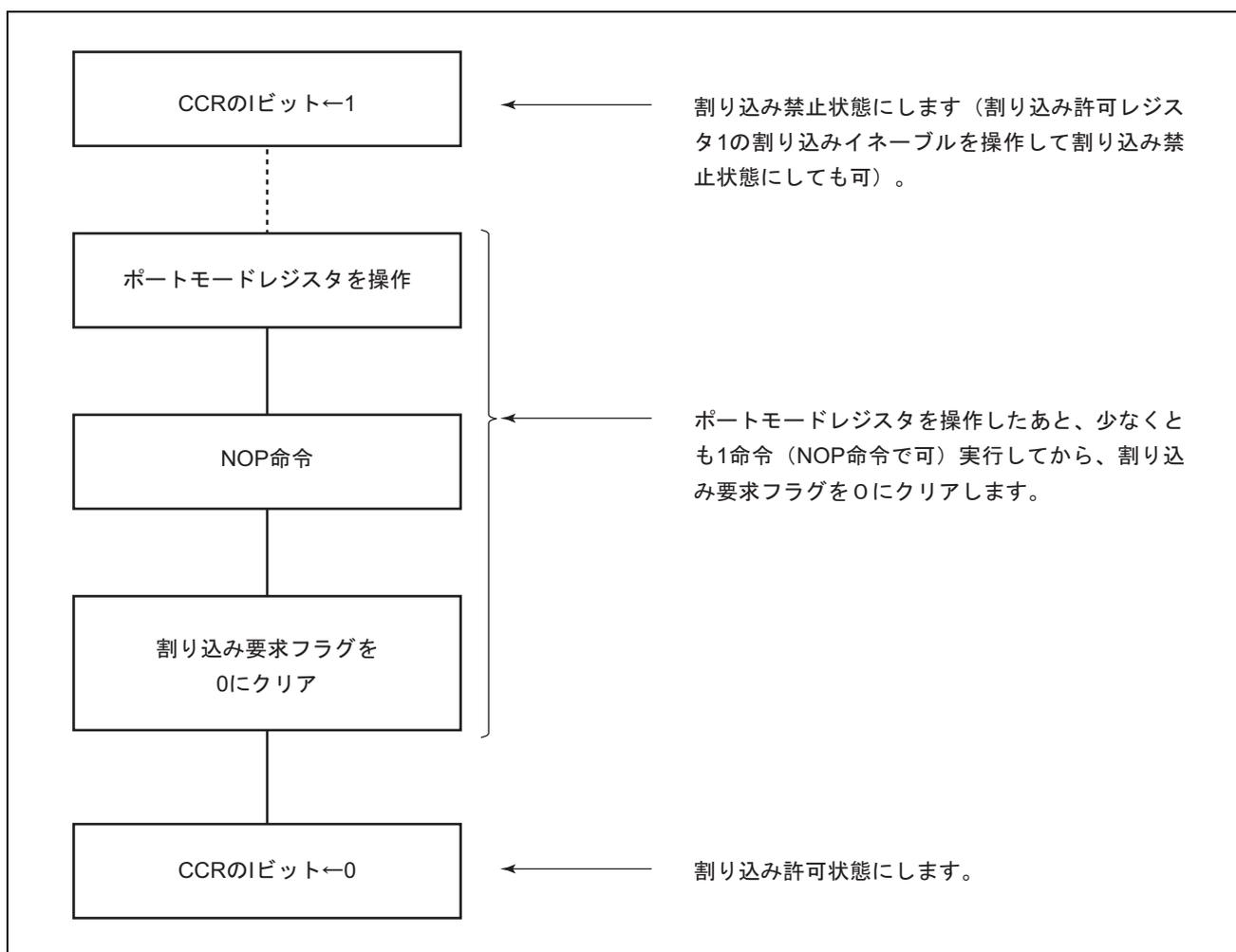


図 3.4 ポートモードレジスタ操作と割り込み要求フラグのクリア手順

3. 例外处理

4. クロック発振器

4.1 特長

クロック発生回路は、システムクロック発振器、システムクロック分周器からなるシステムクロック発生回路と、サブクロック発振器、サブクロック分周器からなるサブクロック発生回路で構成されています。図4.1にクロック発生回路のブロック図を示します。

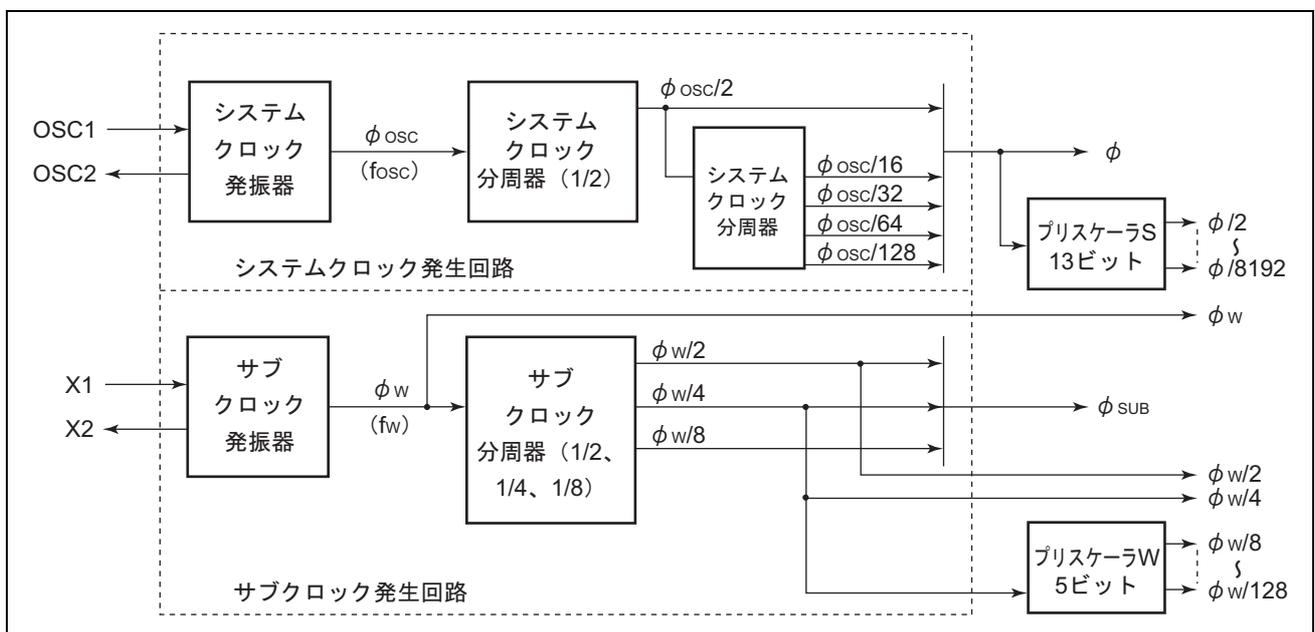


図 4.1 クロック発生回路のブロック図

4. クロック発振器

4.2 システムクロック発振器

システムクロックを供給する方法には水晶発振子またはセラミック発振子を接続する方法と、外部クロックを入力する方法があります。システムクロック発振器のブロック図を図 4.2 に示します。

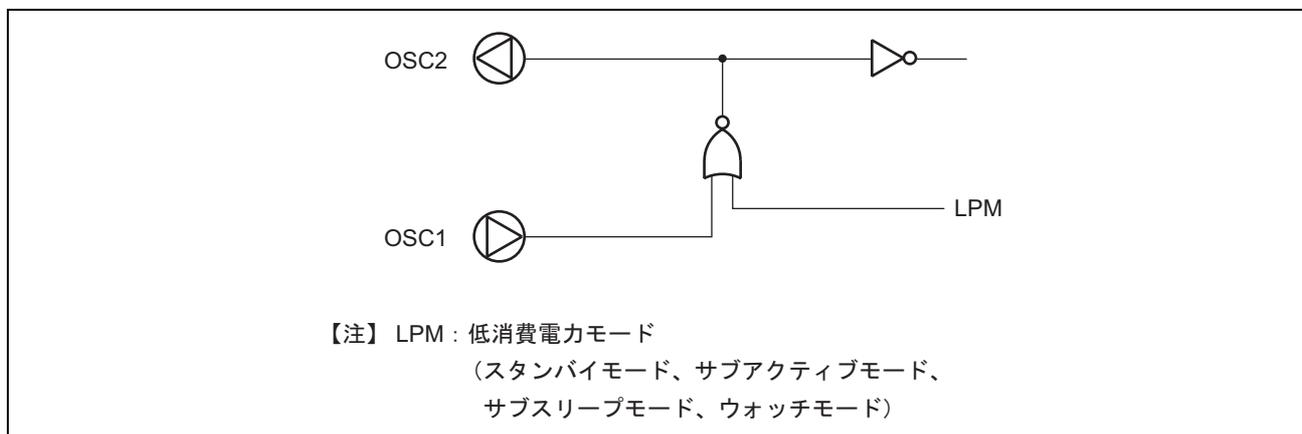


図 4.2 システムクロック発振器のブロック図

4.2.1 水晶発振子を接続する方法

水晶発振子の接続例を図 4.3 に示します。図 4.4 に水晶発振子の等価回路を示します。発振子は表 4.1 に示す特性のものを使用してください。

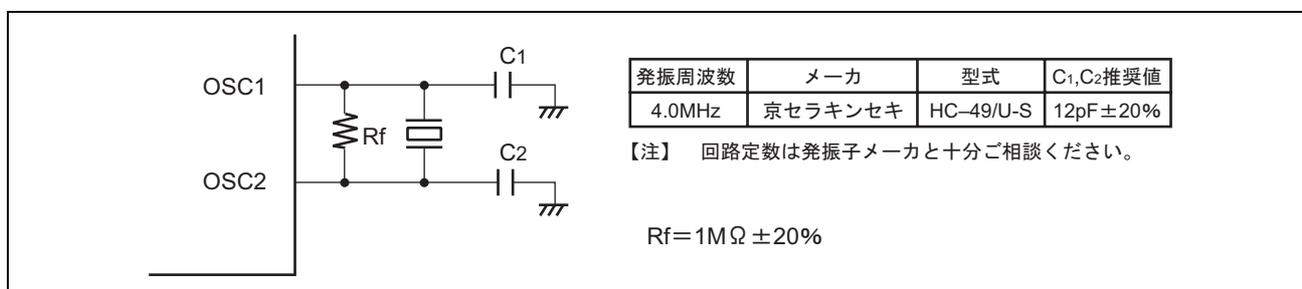


図 4.3 水晶発振子の接続例

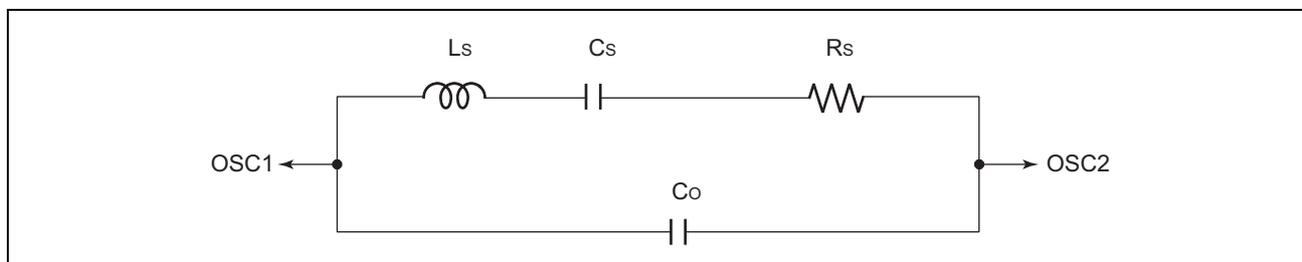


図 4.4 水晶発振子の等価回路

表 4.1 水晶発振子のパラメータ

周波数 (MHz)	4.0	4.193
Rs (max)	150Ω	
Co (max)	1.4pF	

4.2.2 セラミック発振子を接続する方法

セラミック発振子の接続例を図 4.5 に示します。

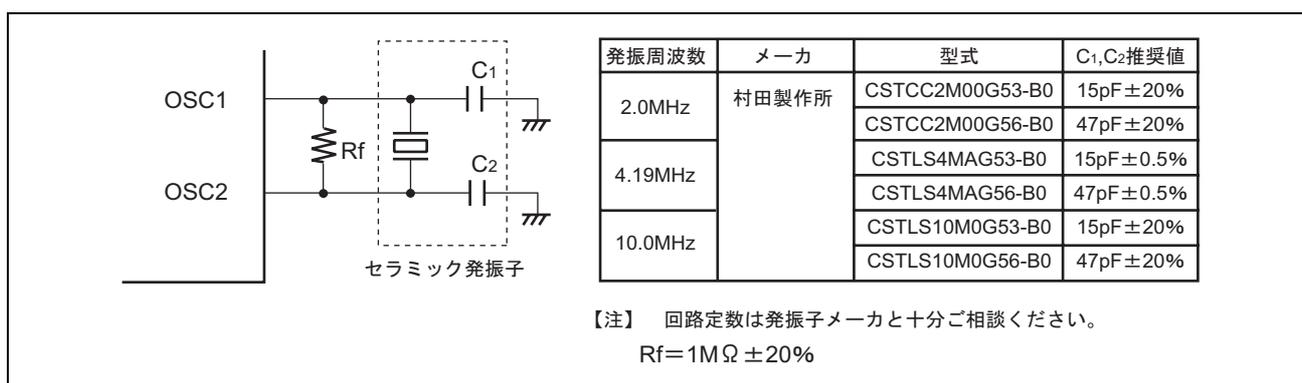


図 4.5 セラミック発振子の接続例

4.2.3 外部クロックを入力する方法

外部クロックを OSC1 端子に入力し、OSC2 端子をオープン状態にします。接続例を図 4.6 に示します。外部クロックのデューティは 45%~55%としてください。

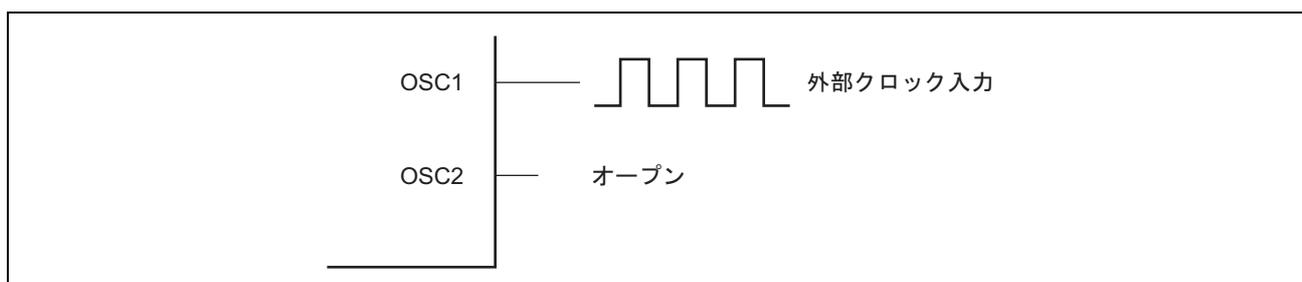


図 4.6 外部クロックを入力する場合の接続例

4. クロック発振器

4.3 サブクロック発振器

サブクロック発振器のブロック図を図 4.7 に示します。

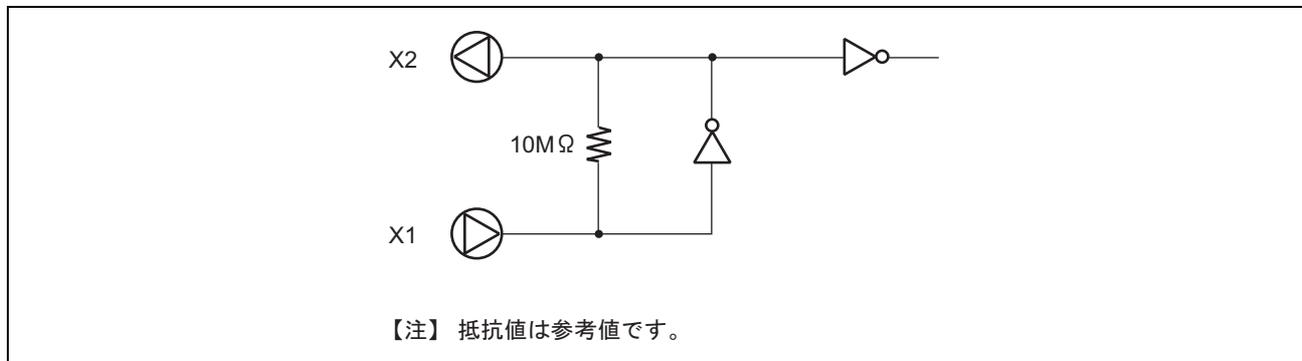


図 4.7 サブクロック発振器ブロック図

4.3.1 32.768kHz/38.4kHz 水晶発振子を接続する方法

サブクロック分周器へクロックを供給するには、図 4.8 に示すように 32.768kHz または 38.4kHz の水晶発振子を接続します。図 4.9 に 32.768kHz または 38.4kHz 水晶発振子の等価回路を示します。

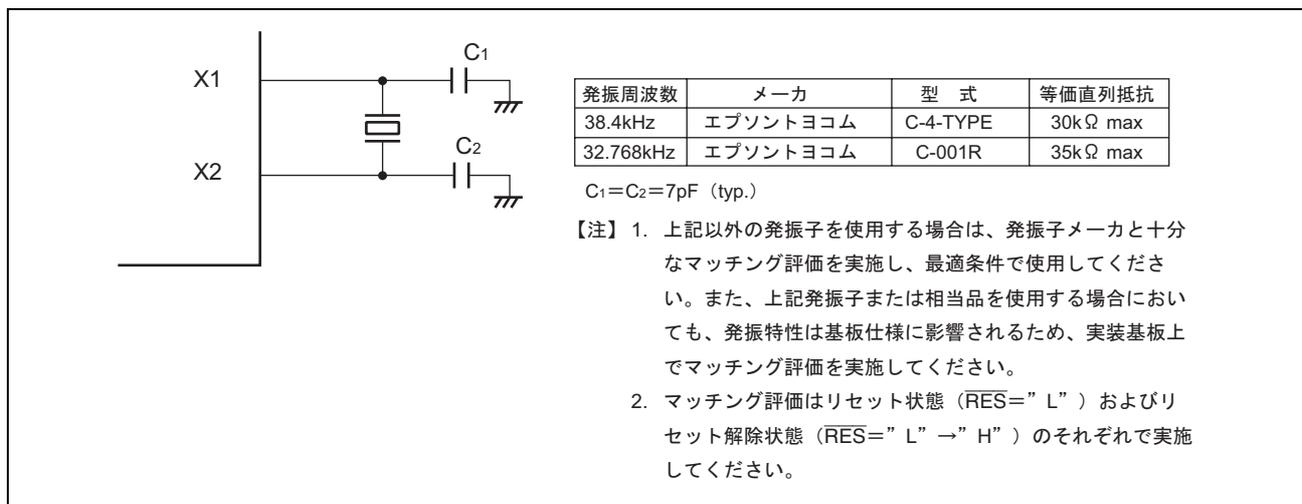


図 4.8 32.768kHz/38.4kHz 水晶発振子の接続例

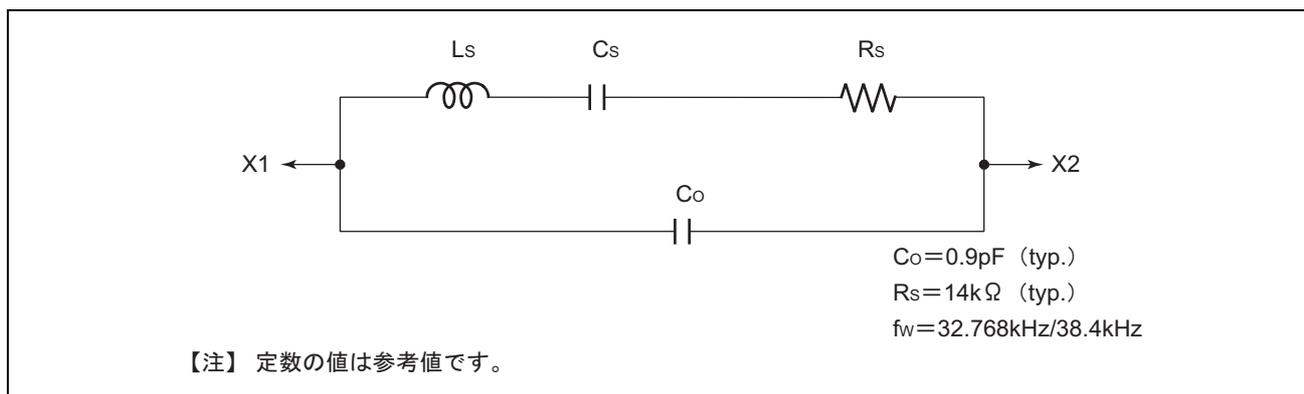


図 4.9 32.768kHz/38.4kHz 水晶発振子の等価回路

4.3.2 サブクロックを使用しない場合の端子処理

サブクロックを必要としない場合には、図 4.10 に示すように X1 端子を GND に接続し、X2 端子をオープンとしてください。

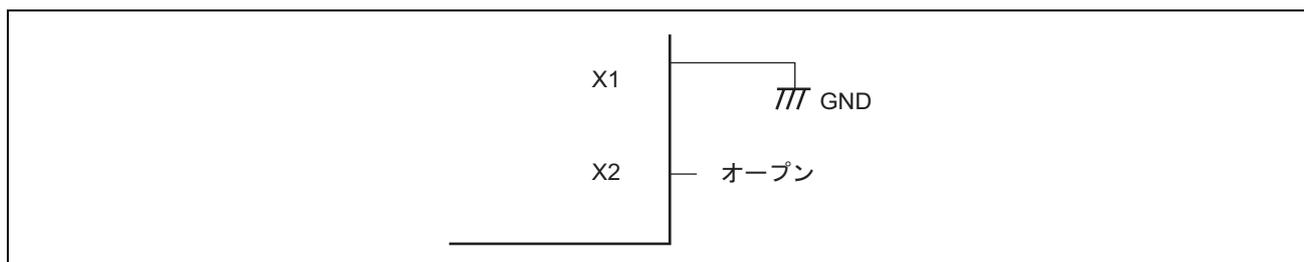


図 4.10 サブクロックを必要としない場合の端子処理

4. クロック発振器

4.3.3 外部クロックを入力する方法

外部クロックを X1 端子に接続し、X2 端子をオープン状態にします。
この場合の接続例を図 4.11 に示します。

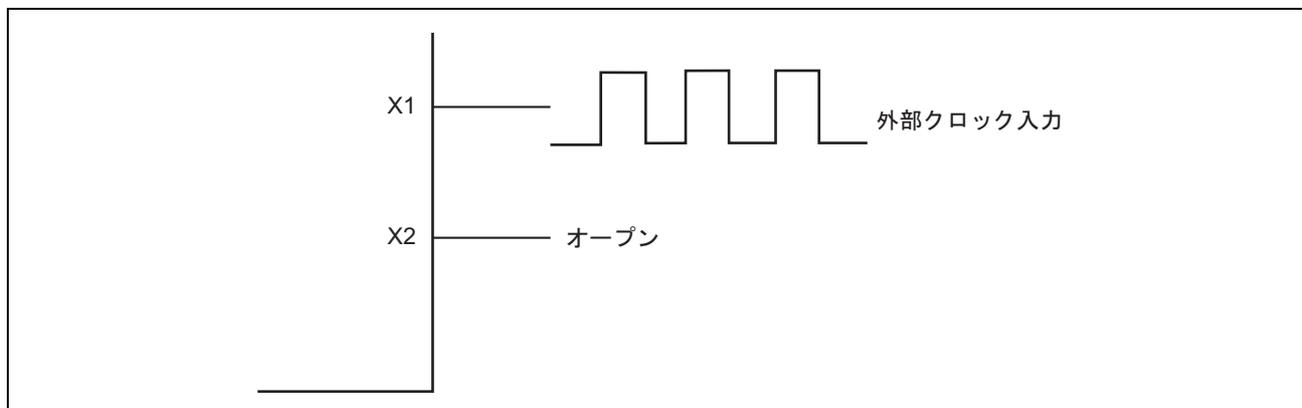


図 4.11 外部クロックを入力する場合の接続例

周波数	サブクロック (ϕw)
duty	45%~55%

4.4 プリスケーラ

4.4.1 プリスケーラ S

プリスケーラ S は、システムクロック (ϕ) を入力クロックとする 13 ビットのカウンタで、分周した出力を内蔵周辺モジュールの内部クロックとして使用します。リセット時、プリスケーラ S は H'0000 に初期化され、リセット解除後、カウントアップを開始します。スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでは、システムクロック発振器が停止するためプリスケーラ S の動作も停止します。このとき、プリスケーラ S は H'0000 に初期化されます。CPU からはアクセスできません。

プリスケーラ S の出力は、各種内蔵周辺機能で共用しており、分周比は各内蔵周辺機能で独立に設定できます。なお、アクティブ (中速) モードおよびスリープモードではプリスケーラ S のクロック入力 は SYSCR2 の MA1、MA0 で設定した分周比のシステムクロックとなります。

4.4.2 プリスケーラ W

プリスケーラ W は 32.768kHz または 38.4kHz を 4 分周したクロックを入力とする 5 ビットのカウンタで、分周した出力はタイマ A の時計用タイムベース動作に使用します。リセット時、プリスケーラ W は H'00 に初期化され、リセット解除後カウントアップを開始し、スタンバイモード、ウォッチモード、サブアクティブモード、サブスリープモードでも動作を継続します。プリスケーラ W は、TMA の TMA3、TMA2 をおののおの 1、1 に設定することでリセットできます。

4. クロック発振器

4.5 使用上の注意事項

4.5.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施し、使用してください。発振回路の回路定数は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないような設計を行ってください。

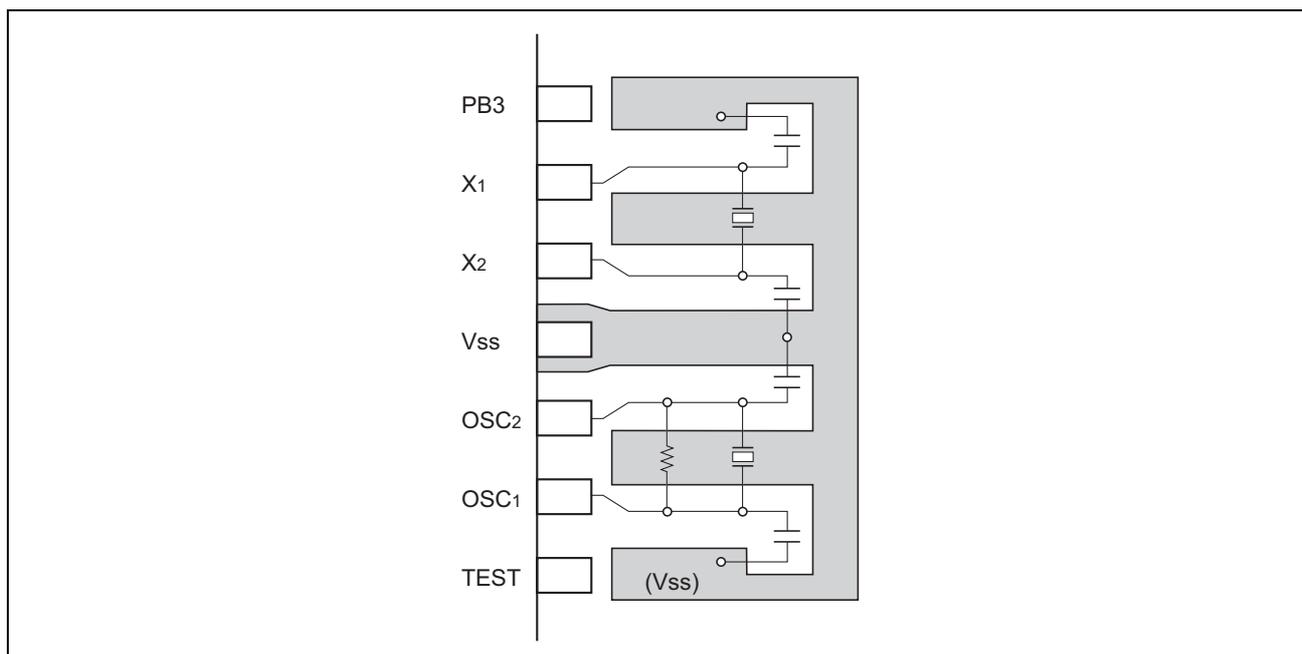


図 4.12 水晶、セラミック発振子の配置例

図 4.13 (1) は発振子メーカーが推奨している負性抵抗の測定回路例です。本回路による負性抵抗が発振子メーカーの推奨するレベルに達していないと、メイン発振器が発振開始しにくい場合がありますので、ご注意ください。

発振子メーカーの推奨する負性抵抗値以下で、発振しない現象が確認された場合には、図 4.13 (2) ~ 図 4.13 (4) に示す変更を行ってください。なお、採用する変更案、コンデンサ容量値は負性抵抗および周波数偏差等の評価結果により決定してください。

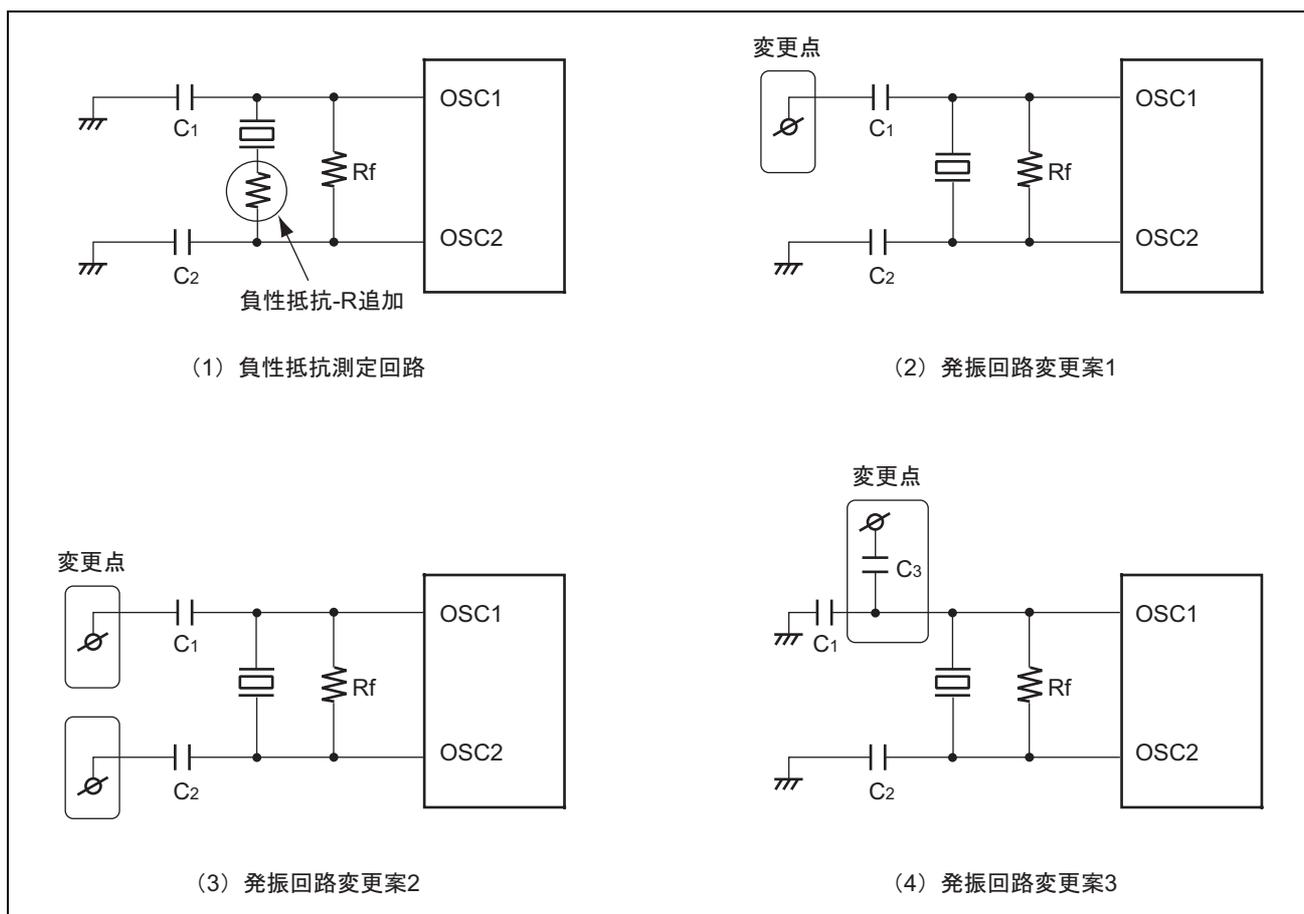


図 4.13 負性抵抗測定と回路変更案

4. クロック発振器

4.5.2 ボード設計上の注意事項

水晶発振器（セラミック発振器）を使用する場合は、発振器および負荷容量をできるだけ OSC1、OSC2 端子の近くに配置してください。また、発振回路の近くには他の信号線を通過させないでください（図 4.14）。誘導により正しい発振ができなくなる場合があります。

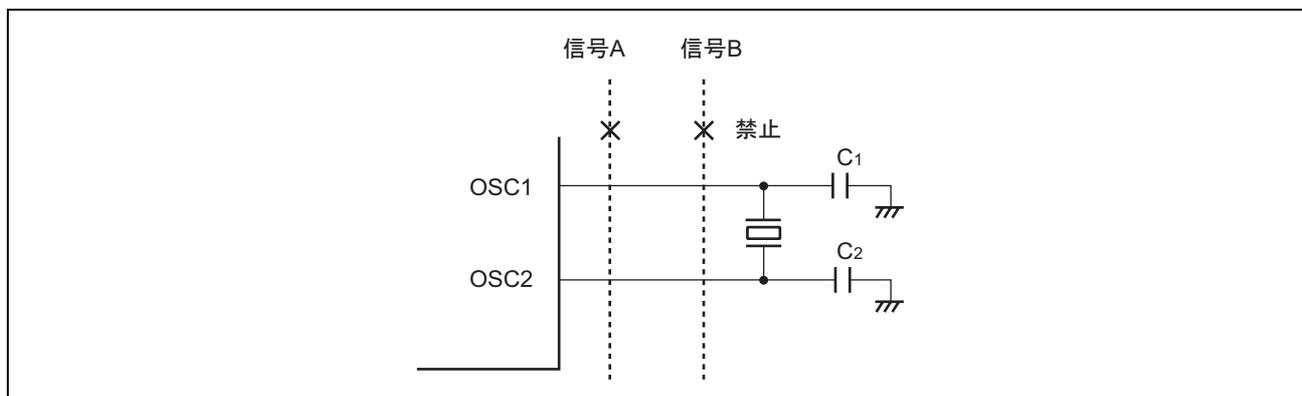


図 4.14 発振回路のボード設計に関する注意事項

4.5.3 発振安定待機時間の定義

図 4.15 にシステムクロック発振器に発振器を接続しているときに、スタンバイモード、ウォッチモード、サブアクティブモードからアクティブ（高速、中速）モードに遷移する場合の発振波形（OSC2）、システムクロック（ ϕ ）および、マイクロコンピュータの動作モードを示します。

図 4.15 に示すように、システムクロック発振器が停止しているため、アクティブ（高速、中速）モードに遷移する場合、下記 2 項目（発振開始時間、待機時間）の合計時間が必要となります。

(1) 発振開始時間

割り込みが発生し、システムクロック発振器の発振波形が変化を開始した時点から、システムクロックが発生し始めるまでの時間。

(2) 待機時間

発振波形の周波数およびシステムクロックが発生してから、CPU および周辺機能が動作し始めるまでに必要とする時間。

待機時間の設定は、スタンバイタイマセレクト 2~0 (STS2~0)（システムコントロールレジスタ 1 (SYSCR1) のビット 6~4) の設定値により選択できます。

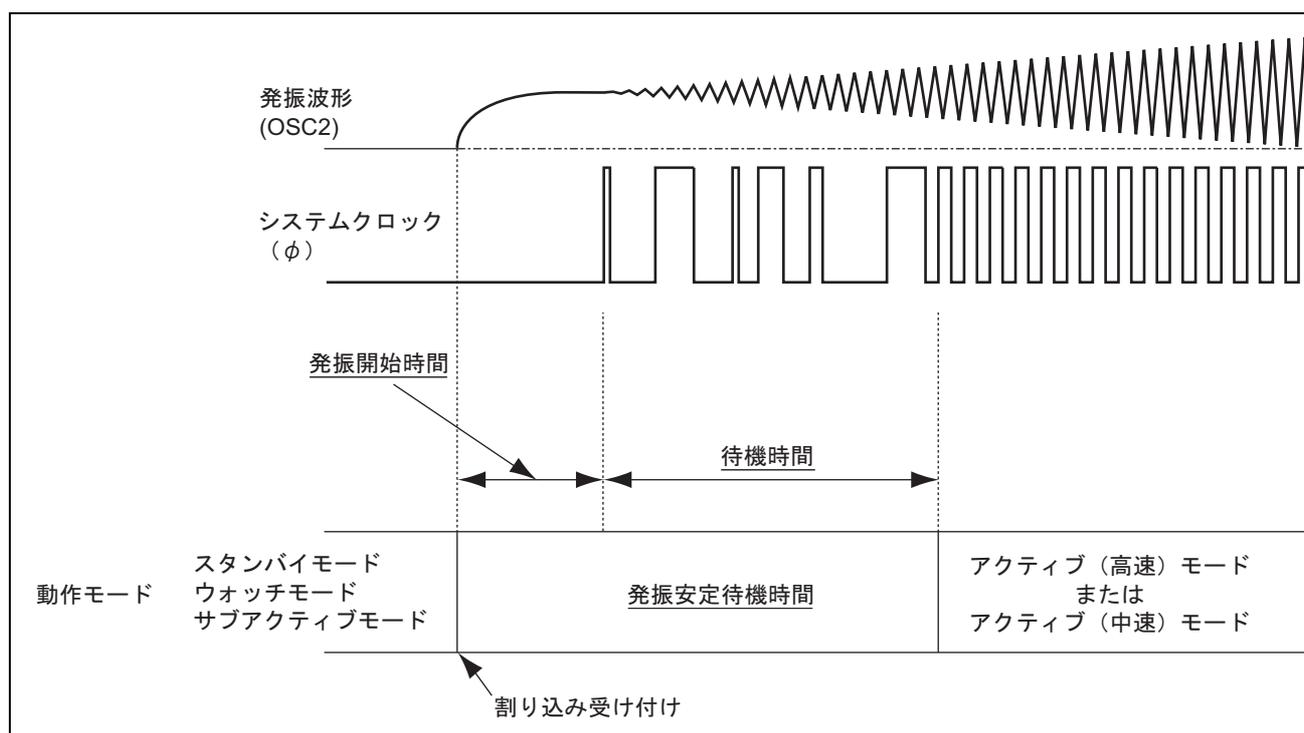


図 4.15 発振安定待機時間

必要とされる発振安定待機時間は、AC 特性で定めるパワーON 時の「発振安定時間 t_{rc} 」と同一であり、SYSCR1 の STS2~0 が t_{rc} 以上となるよう設定してください。

したがって、システムクロック発振器に発振子を接続しているときに、スタンバイモード、ウォッチモード、サブアクティブモードからアクティブ（高速、中速）モードに遷移する場合には、実装回路において十分な評価を行ってください。待機時間は OSC1 および OSC2 の振幅が十分に成長できる時間を確保してください。また、発振開始時間は実装回路の定数、浮遊容量等により異なるため、発振子メーカーとご相談の上、発振安定待機時間を決定してください。

4.5.4 発振子を使用する場合の注意事項

マイクロコンピュータが動作すると、システムクロックに同期して内部の電源電位が多少変動します。また、発振子個別の特性によっては、発振安定待機時間直後に発振波形の振幅が十分に成長していない場合があります。この状態では発振波形が乱れる場合があります。システムクロックが不安定になってマイクロコンピュータの誤作動につながります。

誤作動を起こす場合には、スタンバイタイムセレクト 2~0 (STS2~0)（システムコントロールレジスタ 1 (SYSCR1) のビット 6~4) の設定を変更して、待機時間をさらに長い時間に設定し、使用してください。

たとえば、待機時間=1024 ステートの設定で誤作動する場合、待機時間=2,048 ステート以上の設定で動作をご確認ください。

また、リセット時に状態遷移時と同様の誤作動が起こる場合、 $\overline{\text{RES}}$ 端子を Low レベルに保持する時間を長くしてください。

4. クロック発振器

5. 低消費電力モード

リセット解除後の動作モードには、通常のアクティブ（高速）モードのほかに消費電力を著しく低下させる7種類の低消費電力モードがあります。このほか、内蔵モジュールの機能を選択的に停止させて消費電力を低減させるモジュールスタンバイ機能があります。

- アクティブ（中速）モード
CPUおよび内蔵周辺モジュールがシステムクロックで動作します。システムクロックの周波数は $\phi_{osc}/16$ 、 $\phi_{osc}/32$ 、 $\phi_{osc}/64$ 、 $\phi_{osc}/128$ の中から選択できます。
- サブアクティブモード
CPUおよび内蔵周辺モジュールがサブクロックで動作します。サブクロックの周波数は $\phi_w/2$ 、 $\phi_w/4$ 、 $\phi_w/8$ の中から選択できます。
- スリープ（高速）モード
CPUが動作を停止し、内蔵周辺モジュールがシステムクロックで動作します。
- スリープ（中速）モード
CPUが動作を停止し、内蔵周辺モジュールがシステムクロックで動作します。システムクロックの周波数は $\phi_{osc}/16$ 、 $\phi_{osc}/32$ 、 $\phi_{osc}/64$ 、 $\phi_{osc}/128$ の中から選択できます。
- サブスリープモード
CPUが動作を停止し、タイマA、タイマF、SCI3、AECがサブクロックで動作します。サブクロックの周波数は $\phi_w/2$ 、 $\phi_w/4$ 、 $\phi_w/8$ の中から選択できます。
- ウォッチモード
CPUが動作を停止し、タイマAの時計機能、タイマF、AECがサブクロックで動作します。
- スタンバイモード
CPUおよびすべての内蔵周辺モジュールが動作を停止します。
- モジュールスタンバイ機能
上記動作モードとは独立に、使用しない内蔵周辺モジュールの動作をモジュール単位で停止させることにより消費電力を低減させることができます。

【注】 本章ではアクティブ（高速）モードとアクティブ（中速）モードを総称してアクティブモードと記載していません。

5. 低消費電力モード

5.1 レジスタの説明

低消費電力モードに関連するレジスタには以下のレジスタがあります。

- システムコントロールレジスタ1 (SYSCR1)
- システムコントロールレジスタ2 (SYSCR2)
- クロック停止レジスタ1、2 (CKSTPR1、CKSTPR2)

5.1.1 システムコントロールレジスタ 1 (SYSCR1)

SYSCR1 は SYSCR2 とともに低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を選択します。 0 : スリープモードあるいはサブスリープモードに遷移 1 : スタンバイモードあるいはウォッチモードに遷移 詳細は表 5.2 を参照してください。
6	STS2	0	R/W	スタンバイタイムセレクト 2~0 スタンバイモード、サブアクティブモード、サブスリープモードおよびウォッチモードからアクティブモード、スリープモードに遷移する際、システムクロック発振器が発振を開始してからクロックを供給するまでの待機ステート数を設定します。動作周波数に応じて待機時間が発振安定時間以上となるように設定してください。設定値と待機ステート数の関係は表 5.1 のとおりです。 外部クロックを使用する場合は最小値 (STS2=1、STS1=0、STS0=1) を推奨します。推奨値以外の設定では待機時間終了前に動作を開始することがあります。
5	STS1	0	R/W	
4	STS0	0	R/W	
3	LSON	0	R/W	ウォッチモードを解除したときに CPU の動作クロックをシステムクロック (ϕ) にするか、サブクロック (ϕ_{SUB}) にするか選択します。 0 : CPU の動作クロックはシステムクロック (ϕ) 1 : CPU の動作クロックはサブクロック (ϕ_{SUB})
2	—	1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

ビット	ビット名	初期値	R/W	説明
1	MA1	1	R/W	アクティブモードクロックセレクト 1、0
0	MA0	1	R/W	アクティブ（中速）モードおよびスリープ（中速）モードの動作クロック周波数を選択します。MA1、MA0 ビットの書き込みはアクティブ（高速）モードまたはサブアクティブモードで行ってください。 00 : $\phi_{osc}/16$ 01 : $\phi_{osc}/32$ 10 : $\phi_{osc}/64$ 11 : $\phi_{osc}/128$

表 5.1 動作周波数と待機時間

ビット			待機ステート数	動作周波数	
STS2	STS1	STS0		5MHz	2MHz
0	0	0	8,192 ステート	1.638	4.1
0	0	1	16,384 ステート	3.277	8.2
0	1	0	1,024 ステート	0.205	0.512
0	1	1	2,048 ステート	0.410	1.024
1	0	0	4,096 ステート	0.819	2.048
1	0	1	2 ステート (外部クロック入力)	0.0004	0.001
1	1	0	8 ステート	0.002	0.004
1	1	1	16 ステート	0.003	0.008

【注】 時間の単位は ms です。

外部クロックを入力する場合、STS2～STS0 はモード遷移を実行する前に、外部クロック入力モードに設定してください。また、外部クロックを使用しない場合、外部クロック入力モードに設定しないでください。

5. 低消費電力モード

5.1.2 システムコントロールレジスタ 2 (SYSCR2)

SYSCR2 は SYSCR1 とともに低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7~5	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
4	NESEL	1	R/W	ノイズ除去サンプリング周波数選択 サブクロック発振器はウォッチクロック ϕ_w を生成し、システムクロック発振器は OSC クロック ϕ_{osc} を生成しています。本ビットは、ウォッチクロック ϕ_w をサンプリングするときの OSC クロックのサンプリング周波数を選択します。 $\phi_{osc}=2\sim 10\text{MHz}$ のときは、0 を設定してください。 0 : ϕ_{osc} の 16 分周クロックでサンプリング 1 : ϕ_{osc} の 4 分周クロックでサンプリング
3	DTON	0	R/W	ダイレクトトランスファオンフラグ このビットは SYSCR1 の SSBY、LSON、SYSCR2 の MSON、TMA の TMA3 とともに SLEEP 命令実行後の遷移先を選択します。詳細は表 5.2 を参照してください。
2	MSON	0	R/W	ミドルスピードオンフラグ スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ（高速）モードで動作させるか、アクティブ（中速）モードで動作させるか選択します。 0 : アクティブ（高速）モード 1 : アクティブ（中速）モード
1	SA1	0	R/W	サブアクティブモードクロックセレクト 1、0
0	SA0	0	R/W	サブアクティブモードおよびサブスリープモードの動作クロック周波数を選択します。クロックは SLEEP 命令実行後、設定した周波数に切り替わります。 00 : $\phi_w/8$ 01 : $\phi_w/4$ 1x : $\phi_w/2$

【記号説明】 x : Don't care

5.1.3 クロック停止レジスタ 1、2 (CKSTPR1、CKSTPR2)

CKSTPR1、CKSTPR2 は内蔵周辺モジュールをモジュール単位でスタンバイ状態にします。

• CKSTPR1

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブビット
6	—	1	—	
5	S32CKSTP	1	R/W	SCI モジュールスタンバイ このビットが0のとき SCI3 はスタンバイ状態になります。 ^{*1}
4	ADCKSTP	1	R/W	A/D 変換器モジュールスタンバイ このビットが0のとき A/D 変換器はスタンバイ状態になります。
3	—	1	—	リザーブビット
2	TFCKSTP	1	R/W	タイマFモジュールスタンバイ このビットが0のときタイマFはスタンバイ状態になります。
1	—	1	—	リザーブビット
0	TACKSTP	1	R/W	タイマAモジュールスタンバイ ^{*2} このビットが0のときタイマAはスタンバイ状態になります。

• CKSTPR2

ビット	ビット名	初期値	R/W	説明
7	—	1	R/W	リザーブビット
6、5	—	すべて1	—	リザーブビット
4	PW2CKSTP	1	R/W	PWM2 モジュールスタンバイ このビットが0のとき PWM2 はスタンバイ状態になります。
3	AECKSTP	1	R/W	非同期イベントカウンタモジュールスタンバイ このビットが0のとき非同期イベントカウンタはスタンバイ状態になります。
2	WDCKSTP	1	R/W	ウォッチドッグタイマモジュールスタンバイ このビットが0のときウォッチドッグタイマはスタンバイ状態になります。
1	PW1CKSTP	1	R/W	PWM1 モジュールスタンバイ このビットが0のとき PWM1 はスタンバイ状態になります。
0	—	1	—	リザーブビット

【注】 *1 SCI モジュールスタンバイに設定した場合、SCI3 の全レジスタはリセット状態となります。

*2 タイマAモジュールスタンバイに設定した状態では、TMAのTMA3ビットを書き換えることができません。TMA3を書き換える際は、CKSTPR1のTACKSTPビットに1をセットしてから行ってください。

5.2 モード間遷移と LSI の状態

図 5.1 に可能なモード間遷移を示します。プログラム実行状態からプログラム停止状態へは SLEEP 命令の実行によって遷移します。プログラム停止状態からプログラム実行状態へは割り込みによって復帰します。プログラム実行状態であるアクティブモードとサブアクティブモードの間ではプログラムの実行を停止することなく直接遷移することもできます。また、アクティブモードからアクティブモード、サブアクティブモードからサブアクティブモードへ直接遷移することにより、同一モードで動作周波数を変更することができます。 $\overline{\text{RES}}$ 入力によりすべてのモードからリセット状態に遷移します。表 5.2 に SLEEP 命令実行時の各モードへの遷移条件と割り込みによる復帰先を、表 5.3 に各動作モードでの LSI の内部状態を示します。

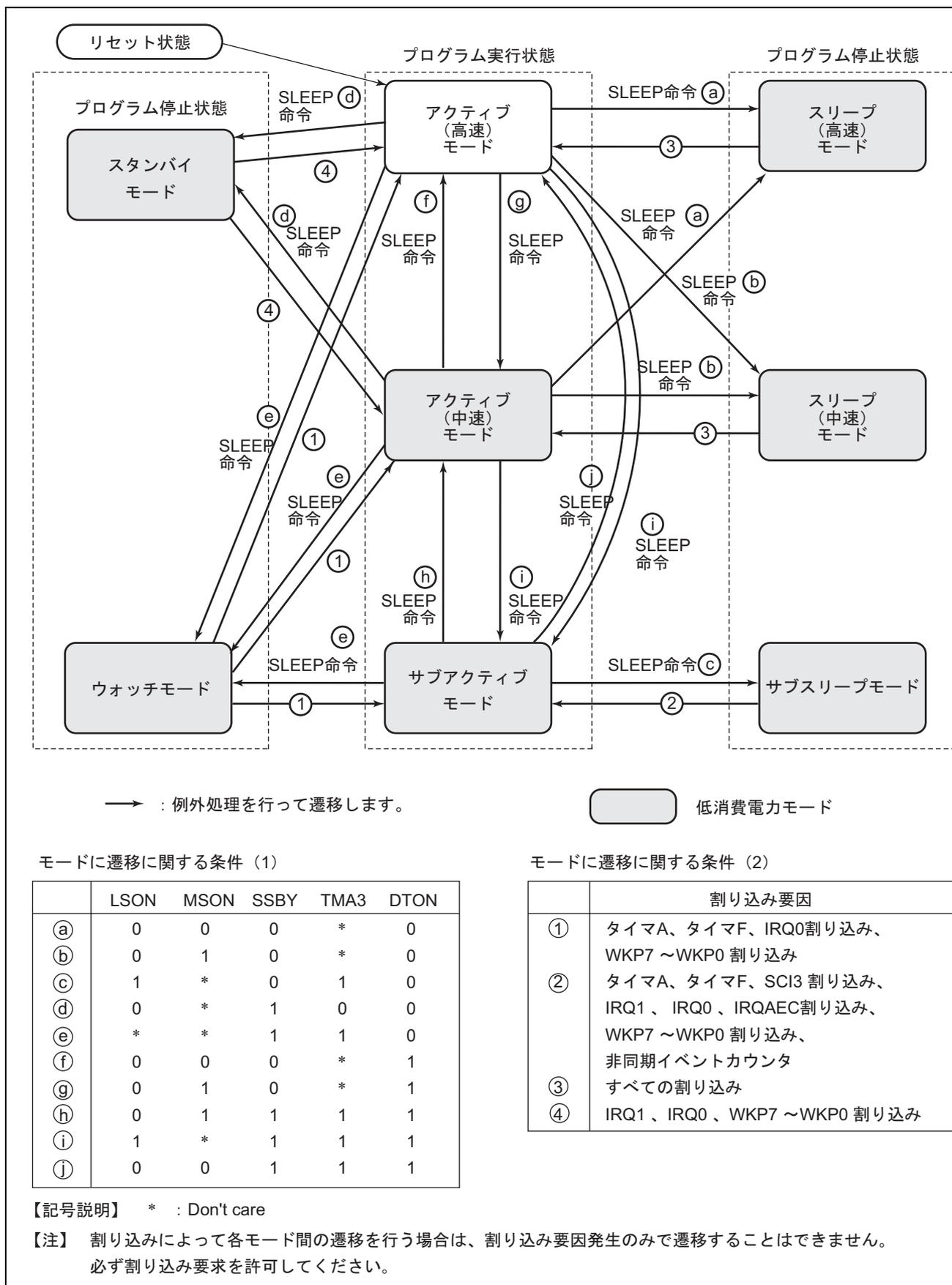


図 5.1 モード遷移図

5. 低消費電力モード

表 5.2 SLEEP 命令実行後の状態と割り込みによる復帰先

遷移前の状態	LSON	MSON	SSBY	TMA3	DTON	SLEEP 命令実行後の状態	割り込みによる復帰先	記号
アクティブ (高速) モード	0	0	0	X	0	スリープ (高速) モード	アクティブ (高速) モード	a
	0	1	0	X	0	スリープ (中速) モード	アクティブ (中速) モード	b
	0	0	1	0	0	スタンバイモード	アクティブ (高速) モード	d
	0	1	1	0	0	スタンバイモード	アクティブ (中速) モード	d
	0	0	1	1	0	ウォッチモード	アクティブ (高速) モード	e
	0	1	1	1	0	ウォッチモード	アクティブ (中速) モード	e
	1	X	1	1	0	ウォッチモード	サブアクティブモード	e
	0	0	0	X	1	アクティブ (高速) モード (直接遷移)	—	—
	0	1	0	X	1	アクティブ (中速) モード (直接遷移)	—	g
	1	X	1	1	1	サブアクティブモード (直接遷移)	—	i
アクティブ (中速) モード	0	0	0	X	0	スリープ (高速) モード	アクティブ (高速) モード	a
	0	1	0	X	0	スリープ (中速) モード	アクティブ (中速) モード	b
	0	0	1	0	0	スタンバイモード	アクティブ (高速) モード	d
	0	1	1	0	0	スタンバイモード	アクティブ (中速) モード	d
	0	0	1	1	0	ウォッチモード	アクティブ (高速) モード	e
	0	1	1	1	0	ウォッチモード	アクティブ (中速) モード	e
	1	1	1	1	0	ウォッチモード	サブアクティブモード	e
	0	0	0	X	1	アクティブ (高速) モード (直接遷移)	—	f
	0	1	0	X	1	アクティブ (中速) モード (直接遷移)	—	—
	1	X	1	1	1	サブアクティブモード (直接遷移)	—	i
サブアクティブ モード	1	X	0	1	0	サブスリープモード	サブアクティブモード	c
	0	0	1	1	0	ウォッチモード	アクティブ (高速) モード	e
	0	1	1	1	0	ウォッチモード	アクティブ (中速) モード	e
	1	X	1	1	0	ウォッチモード	サブアクティブモード	e
	0	0	1	1	1	アクティブ (高速) モード (直接遷移)	—	j
	0	1	1	1	1	アクティブ (中速) モード (直接遷移)	—	h
	1	X	1	1	1	サブアクティブモード (直接遷移)	—	—

【記号説明】 X : Don't care

表 5.3 各動作モードでの LSI の状態

機能		アクティブ		スリープ		ウォッチ	サブアクティブ	サブスリープ	スタンバイ
		高速	中速	高速	中速				
システムクロック発振器		動作	動作	動作	動作	停止	停止	停止	停止
サブクロック発振器		動作	動作	動作	動作	動作	動作	動作	動作
CPU	命令	動作	動作	停止	停止	停止	動作	停止	停止
	RAM	動作	動作	保持	保持	保持	動作	保持	保持
	レジスタ	動作	動作	保持	保持	保持	動作	保持	保持
	I/O	動作	動作	保持	保持	保持	動作	保持	保持 ^{*1}
外部 割り込み	IRQ0	動作	動作	動作	動作	動作	動作	動作	動作
	IRQ1	動作	動作	動作	動作	保持 ^{*4}	動作	動作	動作
	IRQAEC	動作	動作	動作	動作	保持 ^{*4}	動作	動作	保持 ^{*4}
	WKP0~WKP7	動作	動作	動作	動作	動作	動作	動作	動作
周辺 モジュール	タイマ A	動作	動作	動作	動作	動作 ^{*3}	動作 ^{*3}	動作 ^{*3}	保持
	非同期カウンタ	動作	動作	動作	動作	動作 ^{*5}	動作	動作	動作 ^{*5}
	タイマ F	動作	動作	動作	動作	動作/保持 ^{*6}	動作/保持 ^{*6}	動作/保持 ^{*6}	保持
	WDT	動作	動作	動作	動作	動作/保持 ^{*8}	動作/保持 ^{*7}	動作/保持 ^{*8}	動作/保持 ^{*8}
	SCI3	動作	動作	動作	動作	リセット	動作/保持 ^{*2}	動作/保持 ^{*2}	リセット
	PWM	動作	動作	動作	動作	保持	保持	保持	保持
	A/D 変換器	動作	動作	動作	動作	保持	保持	保持	保持

【注】 *1 レジスタは保持、出力はハイインピーダンス。

*2 内部クロックとして $\phi_w/2$ を選択した場合に動作、その他は停止して保持。

*3 時計用タイムベース機能を選択時に動作。

*4 外部割り込み要求は無視されます。割り込み要求レジスタの内容は影響を受けません。

*5 カウントアップ可、割り込み発生不可。

*6 内部クロックとして $\phi_w/4$ を選択した場合に動作、その他は停止して保持。

*7 内部クロックとして $\phi_w/32$ を選択した場合に動作、その他は停止して保持。

*8 停止して保持。

5. 低消費電力モード

5.2.1 スリープモード

スリープモードでは CPU の動作は停止しますが、システムクロック発振器およびサブクロック発振器と内蔵周辺モジュールは動作します。スリープ（中速）モードでは内蔵周辺モジュールは SYSCR1 の MA1、MA0 で設定した周波数のクロックで動作します。CPU のレジスタの内容は保持されます。

スリープモードは割り込みによって解除されます。割り込み要求が発生するとスリープモードは解除され、割り込み例外処理を開始します。CCR の I ビットが 1 のとき、または割り込みイネーブルビットにより割り込みがマスクされているとスリープモードは解除できません。解除後のモードはスリープ（高速）モードからはアクティブ（高速）モードに、スリープ（中速）モードからはアクティブ（中速）モードへ遷移します。スリープモード中 $\overline{\text{RES}}$ 端子を Low レベルにするとスリープモードは解除されリセット状態に遷移します。なお、割り込み要求信号とシステムクロックの同期をとるため、割り込み要求信号発生から割り込み例外処理開始までに最大 $2/\phi$ (S) の遅れが生じることがあります。

スリープ（中速）モードへの遷移時に 1/2 ステート早いタイミングで動作することがあります。

5.2.2 スタンバイモード

スタンバイモードではシステムクロック発振器が停止し、CPU および内蔵周辺モジュールが停止します。規定の電圧が与えられている限り、CPU のレジスタと一部の内蔵周辺モジュールの内部レジスタ、内蔵 RAM のデータは保持されます。また、RAM データ保持電圧で規定された電圧が供給されているかぎり、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態となります。

スタンバイモードは割り込みによって解除されます。割り込み要求が発生するとシステムクロック発振器が発振を開始します。SYSCR1 の STS2～STS0 で設定された時間が経過するとスタンバイモードが解除されて割り込み例外処理を開始します。解除後のモードは SYSCR2 の MSON によって決まり、アクティブ（高速）モードまたはアクティブ（中速）モードへ遷移します。CCR の I ビットが 1 の場合、または割り込みイネーブルビットにより割り込みがマスクされているとスタンバイモードは解除できません。

スタンバイモードで $\overline{\text{RES}}$ 端子を Low レベルにするとシステムクロック発振器が発振を開始します。システムクロックの発振開始と同時に LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は必ずシステムクロックの発振が安定するまで Low レベルを保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

5.2.3 ウォッチモード

ウォッチモードではシステムクロック発振器およびCPUの動作は停止し、タイマA、タイマF、非同期イベントカウンタ以外の内蔵周辺機能は動作を停止します。規定の電圧が与えられている限り、CPUと一部の内蔵周辺モジュールの内部レジスタ、内蔵RAMの内容は保持され、I/Oポートは遷移前の状態を保持します。

ウォッチモードは割り込みによって解除されます。割り込み要求が発生するとウォッチモードは解除され、割り込み例外処理を開始します。解除後のモードは、SYSCR1のLSONとSYSCR2のMSONの組み合わせでアクティブ（高速）モードやアクティブ（中速）モード、またはサブアクティブモードに遷移します。アクティブモードに遷移するときは、SYSCR1のSTS2～STS0で設定された時間が経過すると割り込み例外処理を開始します。なお、CCRのIビットが1の場合、あるいは割り込み許可レジスタにより当該割り込み受け付けが禁止されている場合は、ウォッチモードは解除できません。

ウォッチモードで $\overline{\text{RES}}$ 端子をLowレベルにすると、システムクロック発振器が発振を開始します。システムクロックの発振開始同時にLSI全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は必ずシステムクロックの発振が安定するまでLowレベルを保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

5.2.4 サブスリープモード

サブスリープモードではCPUは停止し、A/D変換器、PWM以外の内蔵周辺モジュールは動作します。規定の電圧が与えられている限り、CPUと一部の内蔵周辺モジュールの内部レジスタ、内蔵RAMの内容は保持され、I/Oポートは遷移前の状態を保持します。

サブスリープモードは割り込みによって解除されます。割り込み要求が発生するとサブスリープモードは解除され、割り込み例外処理を開始します。解除後のモードはサブアクティブモードへ遷移します。なお、CCRのIビットが1の場合、あるいは割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、サブスリープモードは解除されません。

サブスリープモードで $\overline{\text{RES}}$ 端子をLowレベルにすると、システムクロック発振器が発振を開始します。システムクロックの発振開始と同時にLSI全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は必ずシステムクロックの発振が安定するまでLowレベルを保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

5.2.5 サブアクティブモード

サブアクティブモードではシステムクロック発振器が停止し、A/D 変換器、PWM 以外の内蔵周辺モジュールは動作します。規定の電圧が与えられている限り、一部の内蔵周辺モジュールの内部レジスタの内容を保持します。

サブアクティブモードは、SLEEP 命令を実行すると解除されます。解除後のモードは、SYSCR1 の SSBY と LSON、SYSCR2 の MSON と DTON および TMA の TMA3 の組み合わせによりサブスリープモード、アクティブモード、ウォッチモードへ遷移します。なお、CCR の I ビットが 1 の場合、あるいは割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、サブアクティブモードは解除されません、

サブアクティブモードで $\overline{\text{RES}}$ 端子を Low レベルにすると、システムクロック発振器が発振を開始します。システムクロックの発振開始と同時に LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は必ずシステムクロックの発振が安定するまで Low レベルを保持してください。発振安定時間経過後 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。

サブアクティブモードの動作周波数は、SYSCR2 の SA1、SA0 により、ウォッチクロック (ϕ_w) の 2 分周、4 分周、8 分周から選択できます。動作周波数は SLEEP 命令実行後、SLEEP 命令実行前に設定した周波数に切り替わります。

5.2.6 アクティブ（中速）モード

アクティブ（中速）モードでは、システムクロック発振器およびサブクロック発振器と CPU と内蔵周辺モジュールが動作します。

アクティブ（中速）モードは、SLEEP 命令を実行すると解除されます。解除後のモードは SYSCR1 の SSBY と LSON、TMA の TMA3 の組み合わせによりスタンバイモードに遷移し、SYSCR1 の SSBY、TMA の TMA3 の組み合わせによりウォッチモードに遷移し、SYSCR1 の SSBY と LSON の組み合わせにより、スリープモードに遷移します。さらに直接遷移によってアクティブ（高速）モード、またはサブアクティブモードへ遷移します。なお、CCR の I ビットが 1 の場合、または割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、アクティブ（中速）モードに遷移しません。アクティブ（中速）モード中 $\overline{\text{RES}}$ 端子を Low レベルにするとアクティブ（中速）モードは解除されリセット状態に遷移します。

アクティブ（中速）モードへの遷移時に 1/2 ステート早いタイミングで動作することがあります。アクティブ（中速）モードでは内蔵周辺モジュールは SYSCR1 の MA1、MA0 で設定した周波数のクロックで動作します。

5.3 直接遷移

CPU がプログラムを実行している動作モードにはアクティブモードとサブアクティブモードがあります。直接遷移はこの2つの動作モード間でプログラムの実行を停止することなく遷移します。SYSCR2 の DTON を 1 にセットして SLEEP 命令を実行すると直接遷移します。アクティブモード、サブアクティブモードで動作周波数を変更する場合にも有効です。遷移後は直接遷移割り込み例外処理を開始します。割り込み許可レジスタ 2 により直接遷移割り込みが禁止されている場合は直接遷移せず、スリープモードまたはウォッチモードへ遷移します。CCR の I ビットを 1 の状態で直接遷移を行うとスリープモードまたはウォッチモードに遷移した後、割り込みによる解除ができませんので注意してください。

(1) アクティブ（高速）モードからアクティブ（中速）モードへの直接遷移

アクティブ（高速）モードで SYSCR1 の SSBY を 0、LSON を 0、SYSCR2 の MSON を 1、DTON を 1 にセットした状態で SLEEP 命令を実行すると、スリープモードを経由してアクティブ（中速）モードに遷移します。

(2) アクティブ（中速）モードからアクティブ（高速）モードへの直接遷移

アクティブ（中速）モードで SYSCR1 の SSBY を 0、LSON を 0、SYSCR2 の MSON を 0、DTON を 1 にセットした状態で SLEEP 命令を実行すると、スリープモードを経由してアクティブ（高速）モードに遷移します。

(3) アクティブ（高速）モードからサブアクティブモードへの直接遷移

アクティブ（高速）モードで SYSCR1 の SSBY を 1、LSON を 1、SYSCR2 の DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

(4) サブアクティブモードからアクティブ（高速）モードへの直接遷移

サブアクティブモードで SYSCR1 の SSBY を 1、LSON を 0、SYSCR2 の MSON を 0、DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由し、SYSCR1 の STS2～STS0 により設定された時間を経過した後、直接、アクティブ（高速）モードに遷移します。

(5) アクティブ（中速）モードからサブアクティブモードへの直接遷移

アクティブ（中速）モードで SYSCR1 の SSBY を 1、LSON を 1、SYSCR2 の DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

(6) サブアクティブモードからアクティブ（中速）モードへの直接遷移

サブアクティブモードで SYSCR1 の SSBY を 1、LSON を 0、SYSCR2 の MSON を 1、DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由し、SYSCR1 の STS2～STS0 により設定された時間を経過した後、直接、アクティブ（中速）モードに遷移します。

5.3.1 アクティブ（高速）モードからアクティブ（中速）モードへの直接遷移時の時間について

SLEEP 命令実行から割り込み例外処理が終わるまでの時間（直接遷移時間）は(1)の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の } t_{\text{cyc}}) + (\text{割り込み例外処理実行ステート数}) \\ & \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (1) \end{aligned}$$

〔例〕 直接遷移時間 = (2+1) × 2tosc + 14 × 16tosc = 230tosc

(CPU 動作クロック : φ/8 を選択した場合)

【記号説明】

tosc : OSC クロックサイクル時間
tcyc : システムクロック (φ) サイクル時間

5.3.2 アクティブ（中速）モードからアクティブ（高速）モードへの直接遷移時の時間について

SLEEP 命令実行から割り込み例外処理が終わるまでの時間（直接遷移時間）は(2)の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の } t_{\text{cyc}}) + (\text{割り込み例外処理実行ステート数}) \\ & \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (2) \end{aligned}$$

〔例〕 直接遷移時間 = (2+1) × 16tosc + 14 × 2tosc = 76tosc

(CPU 動作クロック : φ/8 を選択した場合)

【記号説明】

tosc : OSC クロックサイクル時間
tcyc : システムクロック (φ) サイクル時間

5.3.3 サブアクティブモードからアクティブ（高速）モードへの直接遷移時の時間について

SLEEP 命令実行から割り込み例外処理が終わるまでの時間（直接遷移時間）は(3)の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の } t_{\text{subcyc}}) + \{ (\text{STS2} \sim \text{STS0} \text{ で設定した待機時間}) \\ & + (\text{割り込み例外処理実行ステート数}) \} \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (3) \end{aligned}$$

〔例〕 直接遷移時間 = (2+1) × 8tw + (8192+14) × 2tosc
= 24tw + 16412tosc

(CPU 動作クロック : φw/8、待機時間 : 8192 ステートを選択した場合)

【記号説明】

tosc : OSC クロックサイクル時間
tw : ウォッチクロックサイクル時間
tcyc : システムクロック (φ) サイクル時間
tsubcyc : サブクロック (φ_{SUB}) サイクル時間

5.3.4 サブアクティブモードからアクティブ（中速）モードへの直接遷移時の時間について

SLEEP 命令実行から割り込み例外処理が終わるまでの時間（直接遷移時間）は (4) の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の } t_{\text{subcyc}}) + \{ (\text{STS2} \sim \text{STS0} \text{ で設定した待機時間}) \\ & + (\text{割り込み例外処理実行ステート数}) \} \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (4) \end{aligned}$$

$$\begin{aligned} \text{〔例〕 直接遷移時間} = & (2+1) \times 8t_w + (8192+14) \times 16t_{\text{osc}} \\ = & 24t_w + 131296t_{\text{osc}} \end{aligned}$$

(CPU 動作クロック： $\phi_w/8$ 、 $\phi/8$ 、待機時間：8192 ステートを選択した場合)

【記号説明】

- t_{osc} : OSC クロックサイクル時間
- t_w : ウォッチクロックサイクル時間
- t_{cyc} : システムクロック (ϕ) サイクル時間
- t_{subcyc} : サブクロック (ϕ_{SUB}) サイクル時間

5.3.5 直接遷移前後で外部入力信号が変化する場合の注意事項

(1) アクティブ（高速）モードからサブアクティブモードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「5.5.2 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

(2) アクティブ（中速）モードからサブアクティブモードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「5.5.2 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

(3) サブアクティブモードからアクティブ（高速）モードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「5.5.2 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

(4) サブアクティブモードからアクティブ（中速）モードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「5.5.2 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

5. 低消費電力モード

5.4 モジュールスタンバイ機能

モジュールスタンバイ機能はすべての周辺モジュールに対して設定可能です。モジュールスタンバイ状態に設定されたモジュールはクロックの供給が停止して低消費電力状態となります。CKSTPR1、CKSTPR2の各モジュールに対応したビットを0にするとそのモジュールはモジュールスタンバイ状態となり、1にすると解除されます（「5.1.3 クロック停止レジスタ 1、2（CKSTPR1、CKSTPR2）」を参照）。

5.5 使用上の注意事項

5.5.1 スタンバイモードへの遷移と端子状態

アクティブ（高速）モードまたはアクティブ（中速）モードで SYSCR1 の SSBY を 1、LSON を 0、TMA の TMA3 を 0 にセットした状態で SLEEP 命令を実行するとスタンバイモードに遷移します。同時に端子はハイインピーダンス状態（プルアップ MOS オン設定端子は除く）になります。このときのタイミングを図 5.2 に示します。

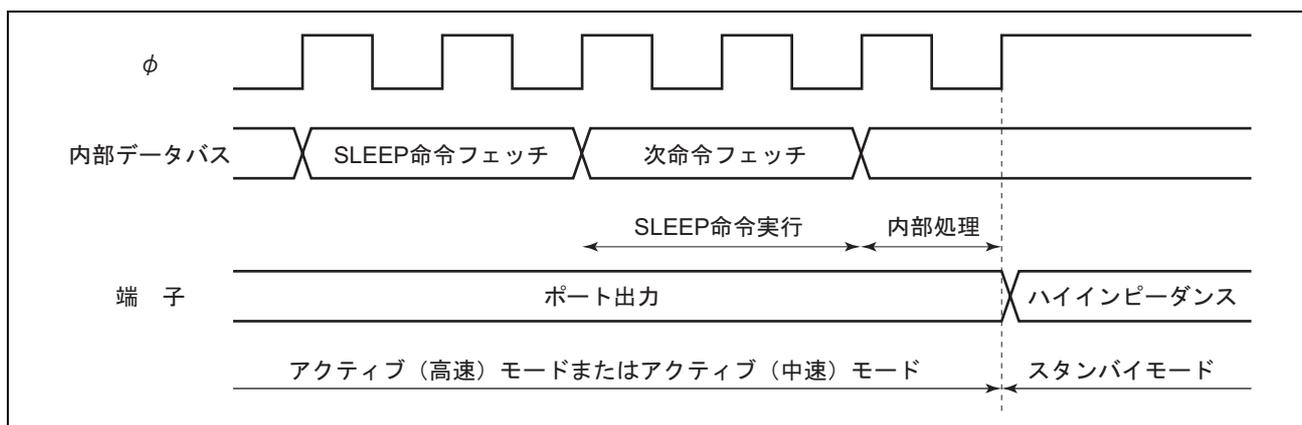


図 5.2 スタンバイモードへの遷移と端子状態

5.5.2 スタンバイモード前後で外部入力信号が変化する場合の注意事項

(1) スタンバイモード、ウォッチモード前後で外部入力信号が変化する場合

$\overline{\text{IRQ}}$ 、 $\overline{\text{WKP}}$ 、 $\overline{\text{IRQAEC}}$ 等の外部入力信号を入力する場合、信号の High、Low レベル幅はどちらもシステムクロック ϕ またはサブクロック ϕ_{SUB} （以下、本項では合わせて内部クロックと呼びます。）の 2 サイクル以上の幅が必要です。スタンバイモード、ウォッチモードでは内部クロックが停止するため、これらの動作モードを経由する場合、外部入力信号は、以下の「(3) 推奨する外部入力信号のタイミング」に合わせてください。

(2) 内部クロック停止により外部入力信号が取り込めない場合

立ち下がりエッジを取り込む場合を図 5.3 に示します。

「取り込めない場合」に示すように該当信号以外の割り込みにより発振を開始し、アクティブ（高速、中速）モードまたはサブアクティブモードに遷移した直後に外部入力信号が立ち下がった場合、この時点での High レベル幅が 2t_{cyc} 、 $2\text{t}_{\text{subcyc}}$ 未満の場合、この外部入力信号は取り込めません。

(3) 推奨する外部入力信号のタイミング

確実に外部入力信号を取り込むためには「取り込める場合1」に示すようにスタンバイモード、ウォッチモードに遷移する前に入力信号の High、Low レベル幅を $2tcyc$ 、 $2tsubcyc$ 以上確保してください。

また「取り込める場合2」「取り込める場合3」のタイミングでも $2tcyc$ 、 $2tsubcyc$ のレベル幅を確保できるので外部入力信号の取り込みが可能です。

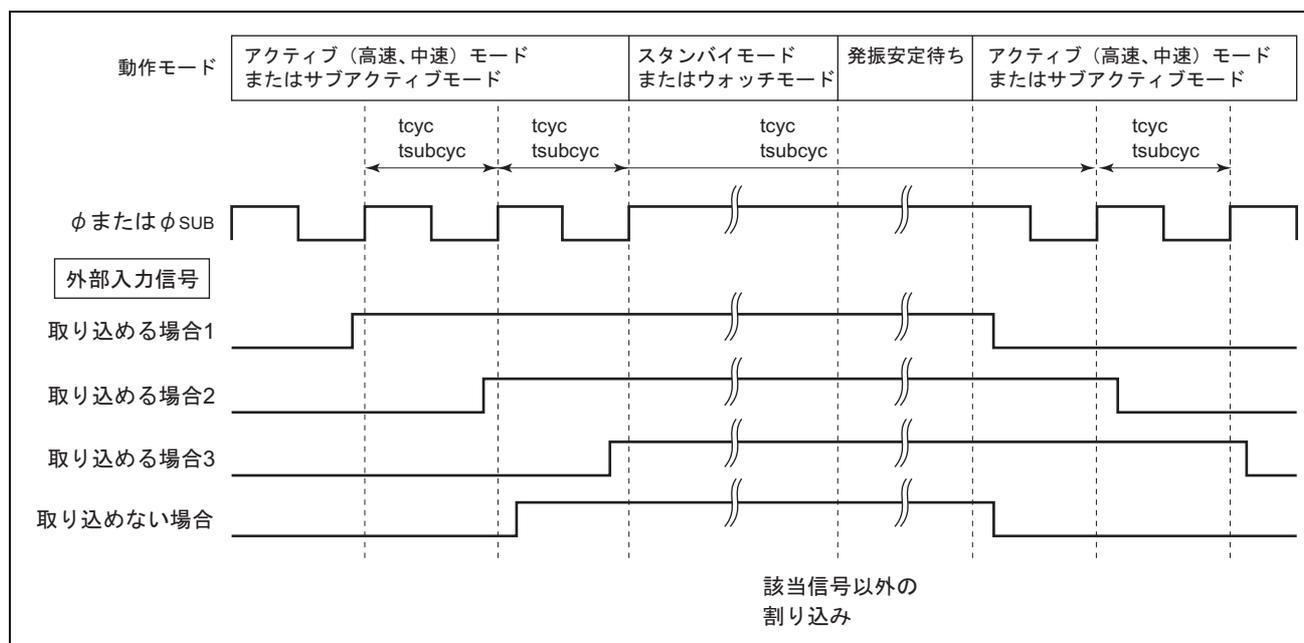


図 5.3 スタンバイモード、ウォッチモード前後で外部入力信号が変化する場合の注意事項

(4) 本注意事項が適用される入力端子

$\overline{IRQ1}$ 、 $\overline{IRQ0}$ 、 $\overline{WKP7} \sim \overline{WKP0}$ 、 \overline{IRQAEC}

5. 低消費電力モード

6. ROM

H8/38704 は 32K バイト、H8/38703 は 24K バイト、H8/38702、H8/38702S は 16K バイト、H8/38701S は 12K バイト、H8/38700S は 8K バイトのマスキング ROM を内蔵しています。ROM は 16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータにかかわらず 2 ステートの高速アクセスが可能です。H8/38704、H8/38702 にはフラッシュメモリ版があり、それぞれ 32K バイト、16K バイトのフラッシュメモリを備えています。

6.1 ブロック図

ROM のブロック図を図 6.1 に示します。

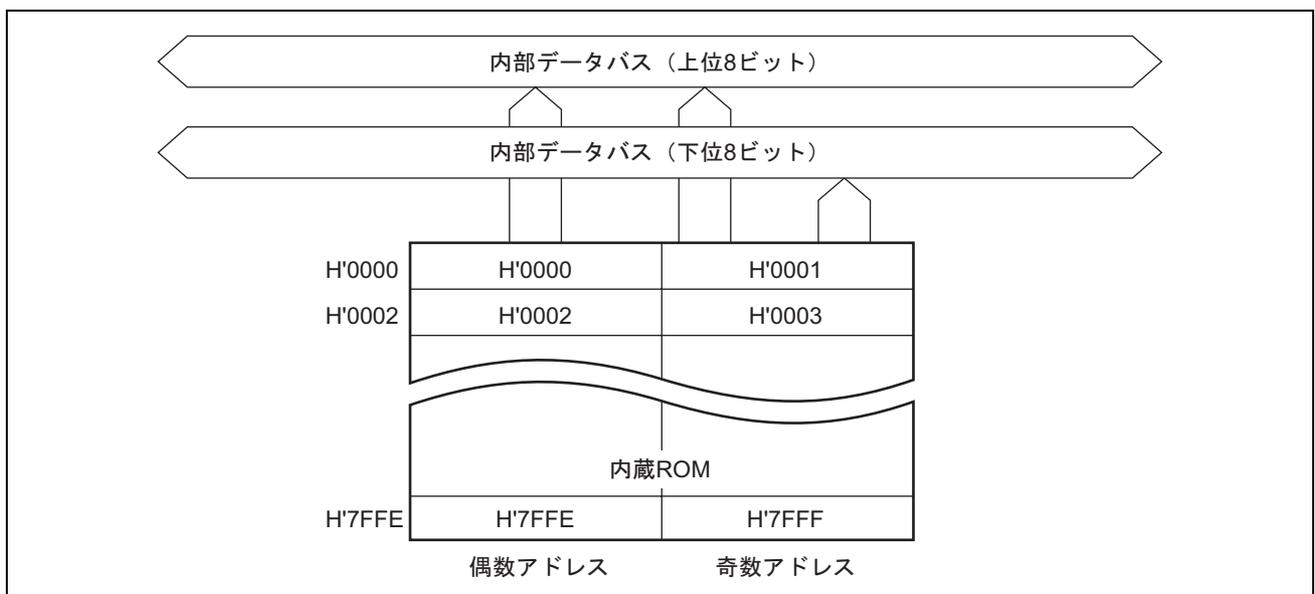


図 6.1 ROM のブロック図

6.2 フラッシュメモリの概要

6.2.1 特長

フラッシュメモリ版に内蔵されている32Kバイトまたは16Kバイトのフラッシュメモリの特長は以下のとおりです。

- 書き込み/消去方式
書き込みは128バイト単位の同時書き込み方式です。消去はブロック単位で行います。32Kバイトのフラッシュメモリは1Kバイト×4ブロックと28Kバイト×1ブロックに分割されています。また16Kバイトでは1Kバイト×4ブロックと12Kバイト×1ブロックに分割されています。全面消去を行う場合も1ブロックずつ消去してください。
- オンボードプログラミング
内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み/消去ができます。このほか、通常のユーザモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。
- ライタモード
オンボードプログラミングのほかにPROMライタを用いて書き込み/消去を行うライタモードがあります。
- ビットレート自動合わせ込み
ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動的に合わせ込みます。
- 書き込み/消去プロテクト
ソフトウェアによりフラッシュメモリの書き込み/消去に対するプロテクトを設定できます。
- 低消費電力モード
サブアクティブモードでは電源回路の一部の動作を停止させることができます。これによりフラッシュメモリを低消費電力で読み出すことができます。

6.2.2 ブロック図

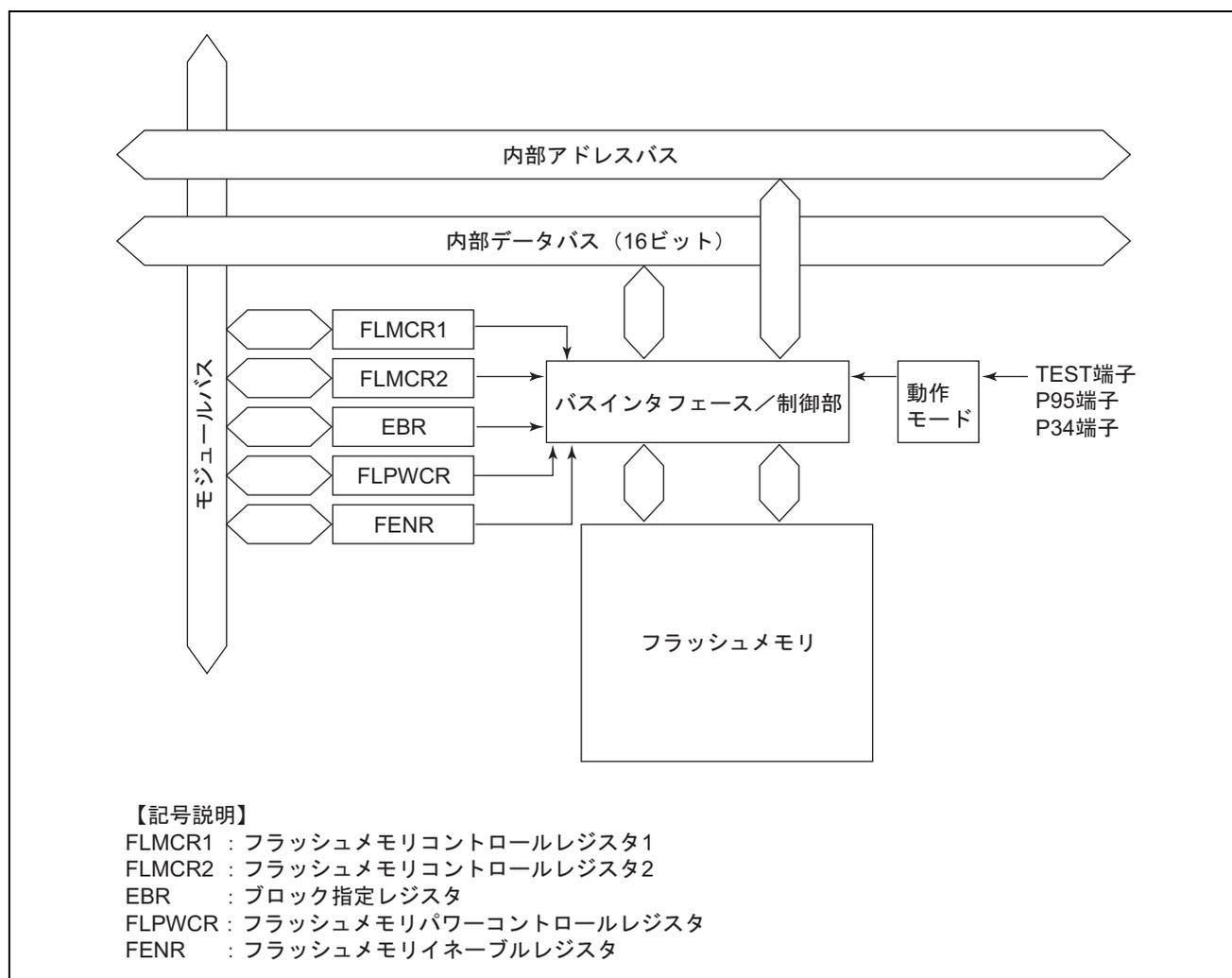


図 6.2 フラッシュメモリのブロック図

6.2.3 ブロック構成

図 6.3 にフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。32K バイトのフラッシュメモリは 1K バイト×4 ブロック、28K バイト×1 ブロックに分割されていて、消去はこの単位で行います。16K バイトのフラッシュメモリは 1K バイト×4 ブロック、12K バイト×1 ブロックに分割されています。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

消去単位	H'0000	H'0001	H'0002	←書き込み単位128バイト→	H'007F
	H'0080	H'0081	H'0082		H'00FF
1Kバイト					
消去単位	H'0380	H'0381	H'0382		H'03FF
	H'0400	H'0401	H'0402	←書き込み単位128バイト→	H'047F
1Kバイト					
消去単位	H'0480	H'0481	H'0482		H'04FF
消去単位	H'0780	H'0781	H'0782		H'07FF
	H'0800	H'0801	H'0802	←書き込み単位128バイト→	H'087F
1Kバイト					
消去単位	H'0880	H'0881	H'0882		H'08FF
消去単位	H'0B80	H'0B81	H'0B82		H'0BFF
	H'0C00	H'0C01	H'0C02	←書き込み単位128バイト→	H'0C7F
1Kバイト					
消去単位	H'0C80	H'0C81	H'0C82		H'0CFF
消去単位	H'0F80	H'0F81	H'0F82		H'0FFF
	H'1000	H'1001	H'1002	←書き込み単位128バイト→	H'107F
28Kバイト					
消去単位	H'1080	H'1081	H'1082		H'10FF
	H'7F80	H'7F81	H'7F82		H'7FFF

図 6.3 (1) 32K バイトフラッシュメモリのブロック構成

消去単位	H'0000	H'0001	H'0002	←書き込み単位128バイト→	H'007F
	H'0080	H'0081	H'0082		H'00FF
1Kバイト					
消去単位	H'0380	H'0381	H'0382		H'03FF
	H'0400	H'0401	H'0402	←書き込み単位128バイト→	H'047F
1Kバイト					
消去単位	H'0480	H'0481	H'0482		H'04FF
消去単位	H'0780	H'0781	H'0782		H'07FF
	H'0800	H'0801	H'0802	←書き込み単位128バイト→	H'087F
1Kバイト					
消去単位	H'0880	H'0881	H'0882		H'08FF
消去単位	H'0B80	H'0B81	H'0B82		H'0BFF
	H'0C00	H'0C01	H'0C02	←書き込み単位128バイト→	H'0C7F
1Kバイト					
消去単位	H'0C80	H'0C81	H'0C82		H'0CFF
消去単位	H'0F80	H'0F81	H'0F82		H'0FFF
	H'1000	H'1001	H'1002	←書き込み単位128バイト→	H'107F
12Kバイト					
消去単位	H'1080	H'1081	H'1082		H'10FF
	H'3F80	H'3F81	H'3F82		H'3FFF

図 6.3 (2) 16K バイトフラッシュメモリのブロック構成

6.3 レジスタの説明

フラッシュメモリには以下のレジスタがあります。

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリコントロールレジスタ2 (FLMCR2)
- ブロック指定レジスタ (EBR)
- フラッシュメモリパワーコントロールレジスタ (FLPWCR)
- フラッシュメモリイネーブルレジスタ (FENR)

6.3.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 はフラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については「6.5 書き込み/消去プログラム」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット 読み出すと常に0が読み出されます。
6	SWE	0	R/W	ソフトウェアライトイネーブル このビットが1のときフラッシュメモリの書き込み/消去が可能となります。0のとき書き込み/消去無効。FLMCR1 レジスタの他のビットと EBR の各ビットはセットできません。
5	ESU	0	R/W	イレースセットアップ 1にセットするとイレースセットアップ状態となり、クリアするとセットアップ状態を解除します。FLMCR1 の E ビットを 1 にセットする前にセットしてください。
4	PSU	0	R/W	プログラムセットアップ 1にセットするとプログラムセットアップ状態となり、クリアするとセットアップ状態を解除します。FLMCR1 の P ビットを 1 にセットする前にセットしてください。
3	EV	0	R/W	イレースベリファイ 1にセットするとイレースベリファイモードへ遷移し、クリアするとイレースベリファイモードを解除します。
2	PV	0	R/W	プログラムベリファイ 1にセットするとプログラムベリファイモードへ遷移し、クリアするとプログラムベリファイモードを解除します。
1	E	0	R/W	イレース SWE=1、ESU=1の状態でのこのビットを1にセットするとイレースモードへ遷移し、クリアするとイレースモードを解除します。

ビット	ビット名	初期値	R/W	説明
0	P	0	R/W	プログラム SWE=1、PSU=1の状態でのこのビットを1にセットするとプログラムモードへ遷移し、クリアするとプログラムモードを解除します。

【注】 SWE、PSU、EV、PV、E、Pビットを同時に設定しないでください。

6.3.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2はフラッシュメモリの書き込み/消去の状態を表示します。FLMCR2は読み出し専用レジスタです。書き込みはしないでください。

ビット	ビット名	初期値	R/W	説明
7	FLER	0	R	このビットはフラッシュメモリへの書き込み/消去中にエラーを検出し、エラープロテクト状態となったときにセットされます。 詳細は「6.6.3 エラープロテクト」を参照してください。
6~0	—	すべて0	—	リザーブビット 読み出すと常に0が読み出されます。

6.3.3 ブロック指定レジスタ (EBR)

EBRはフラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1のSWEビットが0のときはEBRはH'00に初期化されます。このレジスタは2ビット以上同時に1に設定しないでください。設定するとEBRは0にオートクリアされます。

ビット	ビット名	初期値	R/W	説明
7~5	—	すべて0	—	リザーブビット 読み出すと常に0が読み出されます。
4	EB4	0	R/W	このビットが1のとき H8/38704F では H'1000~H'7FFF の 28K バイトが消去対象となります。 このビットが1のとき H8/38702F では H'1000~H'3FFF の 12K バイトが消去対象となります。
3	EB3	0	R/W	このビットが1のとき H'0C00~H'0FFF の 1K バイトが消去対象となります。
2	EB2	0	R/W	このビットが1のとき H'0800~H'0BFF の 1K バイトが消去対象となります。
1	EB1	0	R/W	このビットが1のとき H'0400~H'07FF の 1K バイトが消去対象となります。
0	EB0	0	R/W	このビットが1のとき H'0000~H'03FF の 1K バイトが消去対象となります。

6. ROM

6.3.4 フラッシュメモリパワーコントロールレジスタ (FLPWCR)

FLPWCR は LSI がサブアクティブモードに遷移するときフラッシュメモリを低消費電力モードにするかどうかを選択します。低消費電力モードでフラッシュメモリの電源回路の一部の動作を停止し、フラッシュメモリの読み出しができるモードと、サブアクティブモード動作に移行しても、フラッシュメモリの電源回路の動作は保持しフラッシュメモリの読み出しを可能にするモードがあります。

ビット	ビット名	初期値	R/W	説明
7	PDWND	0	R/W	パワーダウンディスエーブル このビットが0のときサブアクティブモードに遷移するとフラッシュメモリは低消費電力モードとなります。 このビットが1のときはサブアクティブモードに遷移してもフラッシュメモリは通常モードで動作します。
6~0	—	すべて0	—	リザーブビット 読み出すと常に0が読み出されます。

6.3.5 フラッシュメモリイネーブルレジスタ (FENR)

FENR のビット7 (FLSHE) は、CPU からフラッシュメモリの制御レジスタ FLMCR1、FLMCR2、EBR、FLPWCR をアクセスする場合のアクセス許可/禁止を設定します。

ビット	ビット名	初期値	R/W	説明
7	FLSHE	0	R/W	フラッシュメモリコントロールレジスタイネーブル このビットを1にセットすると、フラッシュメモリ制御レジスタがアクセス可能となります。0のときは制御レジスタはアクセスできません。
6~0	—	すべて0	—	リザーブビット 読み出すと常に0が読み出されます。

6.4 オンボードプログラミング

フラッシュメモリの書き込み/消去を行うためのモードとしてオンボードで書き込み/消去ができるブートモードと PROM ライタで書き込み/消去を行うライターモードが用意されています。このほかユーザモードでもオンボードで書き込み/消去を行うことが可能です。リセット状態からリセットスタートすると本 LSI は TEST 端子、P95 端子およびポートの入力レベルによって表 6.1 のように異なるモードへ遷移します。各端子の入力レベルは少なくともリセット解除の 4 ステート前に確定させる必要があります。

ブートモードに遷移すると、LSI 内部に組み込まれているブートプログラムが起動します。ブートプログラムは SCI3 を経由して外部に接続されたホストから書き込み制御プログラムを内蔵 RAM に転送し、フラッシュメモリを全面消去した上で書き込み制御プログラムを実行します。オンボード状態での初期書き込みや、ユーザモードで書き込み/消去ができなくなった場合の強制復帰などに使用できます。ユーザモードではユーザが用意した書き込み/消去プログラムに分岐することで任意のブロックを消去し書き換えることができます。

表 6.1 プログラミングモード選択方法

TEST	P95	P34	PB0	PB1	PB2	リセット解除後の LSI の状態
0	1	X	X	X	X	ユーザモード
0	0	1	X	X	X	ブートモード
1	X	X	0	0	0	ライターモード

【注】 X : Don't care

6.4.1 ブートモード

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表 6.2 に示します。

1. ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは「6.5 書き込み/消去プログラム」に沿ったものを用意してください。
2. SCI3は調歩同期式モードに設定され、送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。SPCRによるTXD端子、RXD端子の反転機能は「反転しない」に設定してあるのでホストと本LSI間に反転回路を入れないでください。
3. ブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データH'00のLow期間を測定してビットレートを計算し、SCI3のビットレートをホストのビットレートに合わせ込みます。リセット解除はRXD端子がHighの状態で行ってください。必要に応じてRXD端子およびTXD端子は、ボード上でプルアップしてください。リセット解除からLow期間を測定できるまで約100ステートかかります。
4. ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を表6.3の範囲としてください。
5. ブートモードでは内蔵RAMの一部をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアはH'F780~H'FEFF番地です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。
6. 書き込み制御プログラムに分岐するときSCI3は送受信動作を終了（SCR3のRE=0、TE=0）しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやベリファイデータの送受信に使用できます。TXD端子はHighレベル出力状態（PCR42=1、P42=1）となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。
7. ブートモードはリセットにより解除されます。リセット端子をLowレベルにして最低20ステート経過後、TEST端子とP95端子を設定してリセットを解除してください。WDTのオーバフローリセットが発生した場合もブートモードは解除されます。
8. ブートモードの途中でTEST端子、P95端子の入力レベルを変化させないでください。

表 6.2 ブートモードの動作

項目	ホストの動作	通信内容	本LSIの動作
	処理内容		処理内容
ブートモード起動			リセットスタート後 ブートプログラムへ分岐
ビットレートの合わせ込み	<p>所定のビットレートでH'00を連続送信</p> <p>↓</p> <p>H'00を正常に受信したらH'55送信</p>	<p>H'00, H'00・・・H'00</p> <p>H'00 ←</p> <p>H'55 →</p>	<ul style="list-style-type: none"> 受信データH'00のLow期間を測定 ビットレートを計算し、SCI3のBRRを設定 ビットレート合わせ込み終了後、ホストへH'00を送信
フラッシュメモリ消去	<p>ブートプログラム消去エラー ←</p> <p>H'AA受信 ←</p>	<p>H'FF ←</p> <p>H'AA ←</p>	<p>フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへH'AAを送信（消去できなかった場合はH'FFを送信して、動作を停止）</p>
書き込み制御プログラムの転送	<p>転送する書き込み制御プログラムのバイト数（N）を上位バイト、下位バイトの順に2バイト送信</p> <p>↓</p> <p>書き込み制御プログラムを1バイトごとに送信（N回繰り返し）</p> <p>↓</p> <p>H'AA受信 ←</p>	<p>上位バイト、下位バイト →</p> <p>エコーバック ←</p> <p>H'XX →</p> <p>エコーバック ←</p> <p>H'AA ←</p>	<p>受信した2バイトデータをホストへエコーバック</p> <p>↓</p> <p>受信したデータをホストへエコーバックするとともにRAMへ転送（N回繰り返し）</p> <p>↓</p> <p>ホストへH'AAを送信</p>
			内蔵RAMに転送された書き込み制御プログラムへ分岐し実行を開始

表 6.3 ビットレート自動合わせ込みが可能な発振周波数（fosc）

ホストのビットレート	LSIの発振周波数範囲（fosc）
4800bps	8～10MHz
2400bps	4～10MHz
1200bps	2～10MHz

6.4.2 ユーザモードでの書き込み/消去

ユーザモードとはユーザプログラムの実行状態です。ユーザモードでもユーザが用意した書き込み/消去プログラムに分岐することで任意のブロックをオンボードで消去し書き換えることができます。分岐のための条件設定やオンボードでの書き換えデータ供給手段をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み/消去プログラムを書き込んでおくか、書き込み/消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み/消去中はフラッシュメモリを読み出せないため、ブートモードと同様書き込み/消去プログラムは内蔵 RAM に転送して実行してください。図 6.4 にユーザモードでの書き込み/消去手順の例を示します。書き込み/消去プログラムは「6.5 書き込み/消去プログラム」に沿ったものを用意してください。

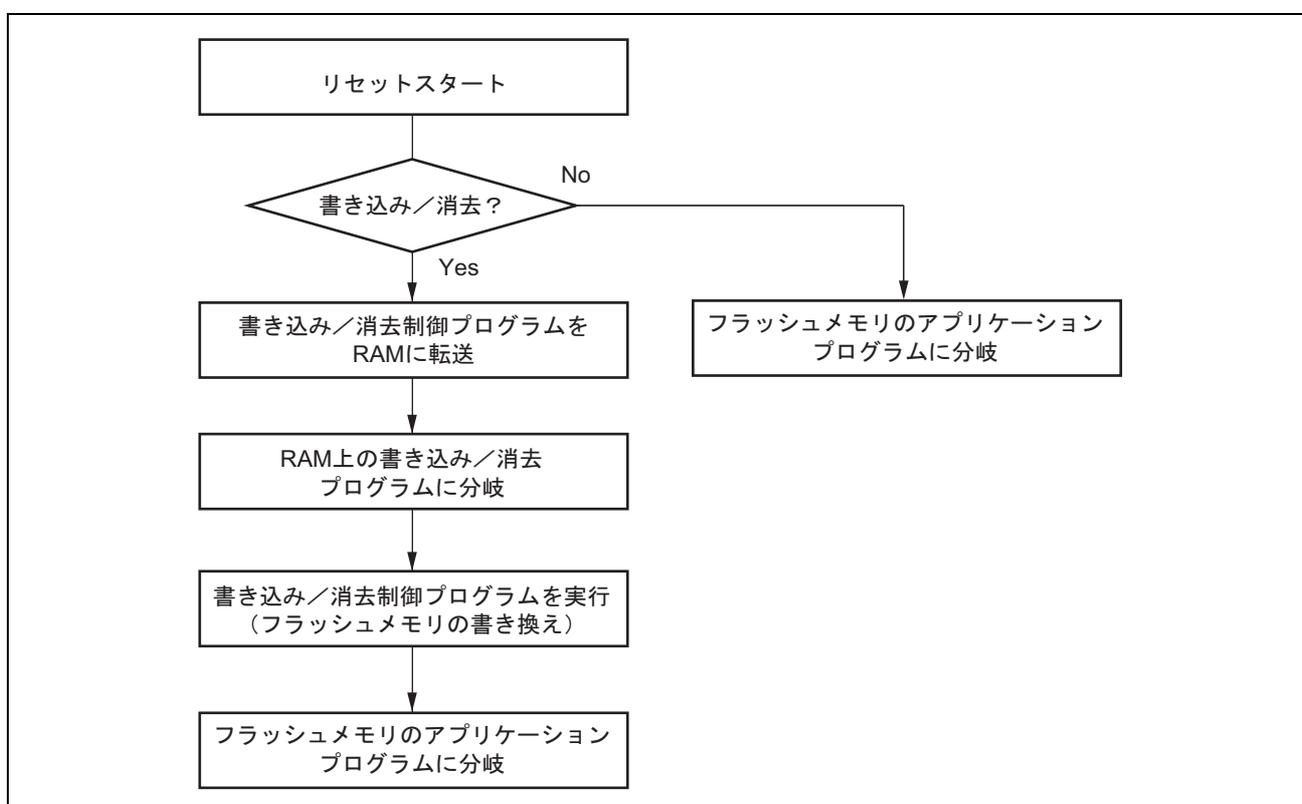


図 6.4 ユーザモードにおける書き込み/消去例

6.5 書き込み／消去プログラム

オンボードでのフラッシュメモリの書き込み／消去はCPUを用いてソフトウェアで行う方式を採用しています。フラッシュメモリはFLMCR1の設定によってプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザモードでの書き込み／消去プログラムではこれらのモードを組み合わせで書き込み／消去を行います。フラッシュメモリへの書き込みは「6.5.1 プログラム／プログラムベリファイ」に沿って、また、フラッシュメモリの消去は「6.5.2 イレース／イレースベリファイ」に沿って行ってください。

6.5.1 プログラム／プログラムベリファイ

フラッシュメモリへの書き込みは、**図 6.5** に示すプログラム／プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損なうことなく書き込みを行うことができます。

1. 書き込みは消去状態で行い、すでに書き込まれたアドレスへの再書き込みは行わないでください。
2. 1回の書き込みは128バイト単位です。128バイトに満たないデータを書き込む場合もフラッシュメモリに128バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んでください。
3. RAM上に書き込みデータエリア128バイト、再書き込みデータエリア128バイト、追加書き込みデータエリア128バイトの領域を確保してください。再書き込みデータの演算は**表6.4**に、追加書き込みデータの演算は**表6.5**に従ってください。
4. 再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへはバイト単位で128バイト連続転送してください。プログラムアドレスと128バイトのデータがフラッシュメモリ内にラッチされます。転送先のフラッシュメモリの先頭アドレスは下位8ビットをH'00またはH'80としてください。
5. Pビットがセットされている時間が書き込み時間となります。書き込み時間は**表6.6**に従ってください。
6. ウォッチドッグタイマの設定はプログラムの暴走などによる過剰書き込みを避けるためのものです。オーバーフロー周期は6.6ms程度としてください。
7. ベリファイアドレスへのダミーライトは、下位1ビットがB'0のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードサイズもしくはロングワードサイズで読み出せます。
8. 同一ビットに対するプログラム／プログラムベリファイシーケンスの繰り返しは、1,000回を超えないようにしてください。

6. ROM

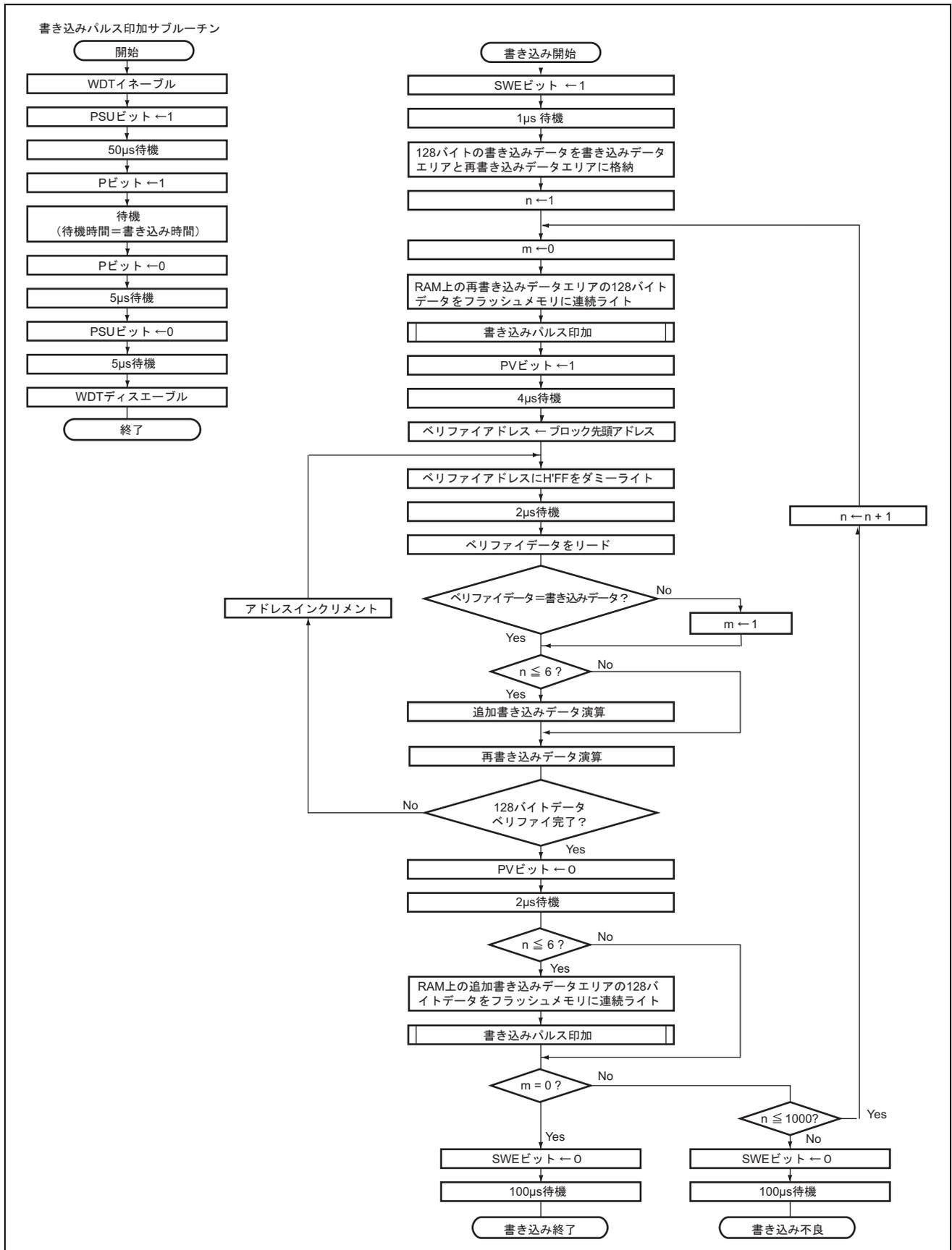


図 6.5 プログラム/プログラムベリファイフロー

表 6.4 再書き込みデータ演算表

書き込みデータ	ベリファイデータ	再書き込みデータ	備考
0	0	1	書き込み完了ビット
0	1	0	再書き込みビット
1	0	1	
1	1	1	消去状態のまま

表 6.5 追加書き込みデータ演算表

再書き込みデータ	ベリファイデータ	追加書き込みデータ	備考
0	0	0	追加書き込みビット
0	1	1	追加書き込みは実施しない
1	0	1	追加書き込みは実施しない
1	1	1	追加書き込みは実施しない

表 6.6 書き込み時間

n (書き込み回数)	書き込み時	追加書き込み時	備考
1~6	30	10	
7~1,000	200	—	

【注】 時間の単位は μs です。

6.5.2 イレース/イレースベリファイ

消去は図 6.6 のイレース/イレースベリファイフローチャートに従って行ってください。

1. 消去の前にプレライト（消去するメモリの全データをすべて0にする）を行う必要はありません。
2. 消去はブロック単位で行います。ブロック指定レジスタ（EBR）により消去するブロックを1ブロックだけ選択してください。複数のブロックを消去する場合も1ブロックずつ順次消去してください。
3. Eビットが設定されている時間が消去時間となります。
4. ウォッチドッグタイマの設定はプログラムの暴走などによる過剰書き込みを避けるためのものです。オーバフロー周期は19.8ms程度としてください。
5. ベリファイアドレスへのダミーライトは、下位1ビットがB'0のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードサイズもしくはロングワードサイズで読み出せます。
6. 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が100回を超えないようにしてください。

6.5.3 フラッシュメモリの書き込み/消去時の割り込み

フラッシュメモリへの書き込み/消去中またはブートプログラム実行中は以下の理由からすべての割り込み要求を禁止してください。

1. 書き込み/消去中に割り込みが発生すると、正常な書き込み/消去アルゴリズムに沿った動作が保証できなくなる。
2. ベクタアドレスが書き込まれる前、または書き込み/消去中に割り込み例外処理を開始すると、正常なベクタフェッチができずCPUが暴走する。
3. ブートプログラム実行中に割り込みが発生すると、正常なブートモードのシーケンスを実行できなくなる。

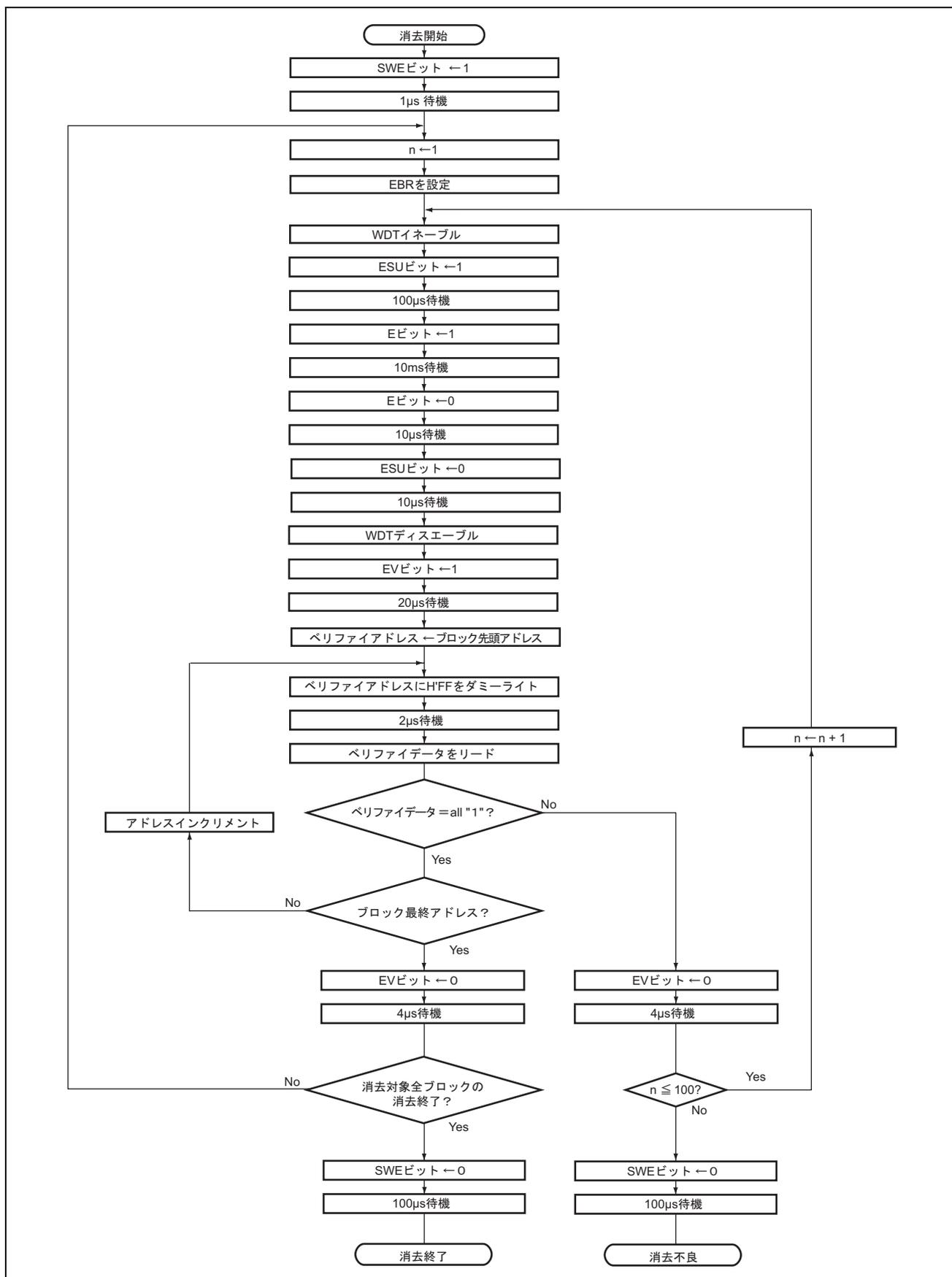


図 6.6 イレース/イレースペリファイフロー

6.6 書き込み／消去プロテクト

フラッシュメモリに対する書き込み／消去プロテクト状態にはハードウェアプロテクトによるもの、ソフトウェアプロテクトによるものとエラープロテクトによるものの3種類あります。

6.6.1 ハードウェアプロテクト

ハードウェアプロテクトは、リセットまたはサブアクティブモード、サブスリープモード、ウォッチモードおよびスタンバイモードへの状態遷移によりフラッシュメモリに対する書き込み／消去が強制的に禁止、中断された状態をいいます。フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、ブロック指定レジスタ (EBR) が初期化されます。 $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。

6.6.2 ソフトウェアプロテクト

ソフトウェアで FLMCR1 の SWE ビットをクリアすることで全ブロック書き込み／消去プロテクト状態になります。この状態で FLMCR1 の P ビットまたは E ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。また、ブロック指定レジスタ (EBR) の設定により、ブロックごとに消去プロテクトが可能です。EBR を H'00 に設定すると全ブロックが消去プロテクト状態になります。

6.6.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み／消去中に CPU の暴走や書き込み／消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み／消去動作を中断した状態です。書き込み／消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み／消去中に以下のエラーを検出すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態となります。

- 書き込み／消去中のフラッシュメモリ読み出し (ベクタリードおよび命令フェッチを含む)
- 書き込み／消去中のリセットを除く例外処理開始
- 書き込み／消去中の SLEEP 命令実行

このとき、FLMCR1、FLMCR2、EBR の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PV ビット、EV ビットは保持され、ベリファイモードへの遷移は可能です。エラープロテクト状態は、リセットによってのみ解除できます。

6.7 ライタモード

ライタモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み／消去を行うことができます。PROM ライタはルネサス（旧日立）64K バイトフラッシュメモリ内蔵マイクロンデバイスタイプ（FZTAT64V3）をサポートしているライタを使用してください。10MHz の入力クロックが必要です。ライタモードへの遷移条件は表 6.1 を参照してください。

6.7.1 ソケットアダプタ

ソケットアダプタは HD64F38704、HD64F38702 を単体のフラッシュメモリ HN28F101 のピン配置に変換します。このとき内蔵フラッシュメモリのアドレスは H'0000～H'7FFF となります。ソケットアダプタの端子対応図を図 6.7 に示します。

6.7.2 ライタモードのコマンド

ライタモードでサポートしているコマンドは以下のとおりです。

- メモリ読み出し
- 自動書き込み
- 自動消去
- ステータス読み出し

自動書き込み／自動消去／ステータス読み出しではステータスポーリング方式を採用しています。また、ステータス読み出しは自動書き込み／自動消去を実行した後の詳細な内部情報を出力します。表 6.7 に各コマンドのシーケンスを示します。自動書き込みは 128 バイト同時書き込みのため、コマンド書き込みが 129 サイクルとなります。メモリ読み出しはアドレス書き込みサイクル数によってサイクル数が増減します。

表 6.7 ライタモードのコマンドシーケンス

コマンド名	サイクル数	第 1 サイクル			第 2 サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出し	1+n	write	X	H'00	read	RA	Dout
自動書き込み	129	write	X	H'40	write	WA	Din
自動消去	2	write	X	H'20	write	X	H'20
ステータス読み出し	2	write	X	H'71	write	X	H'71

【注】 n: アドレス書き込みサイクル数

6. ROM

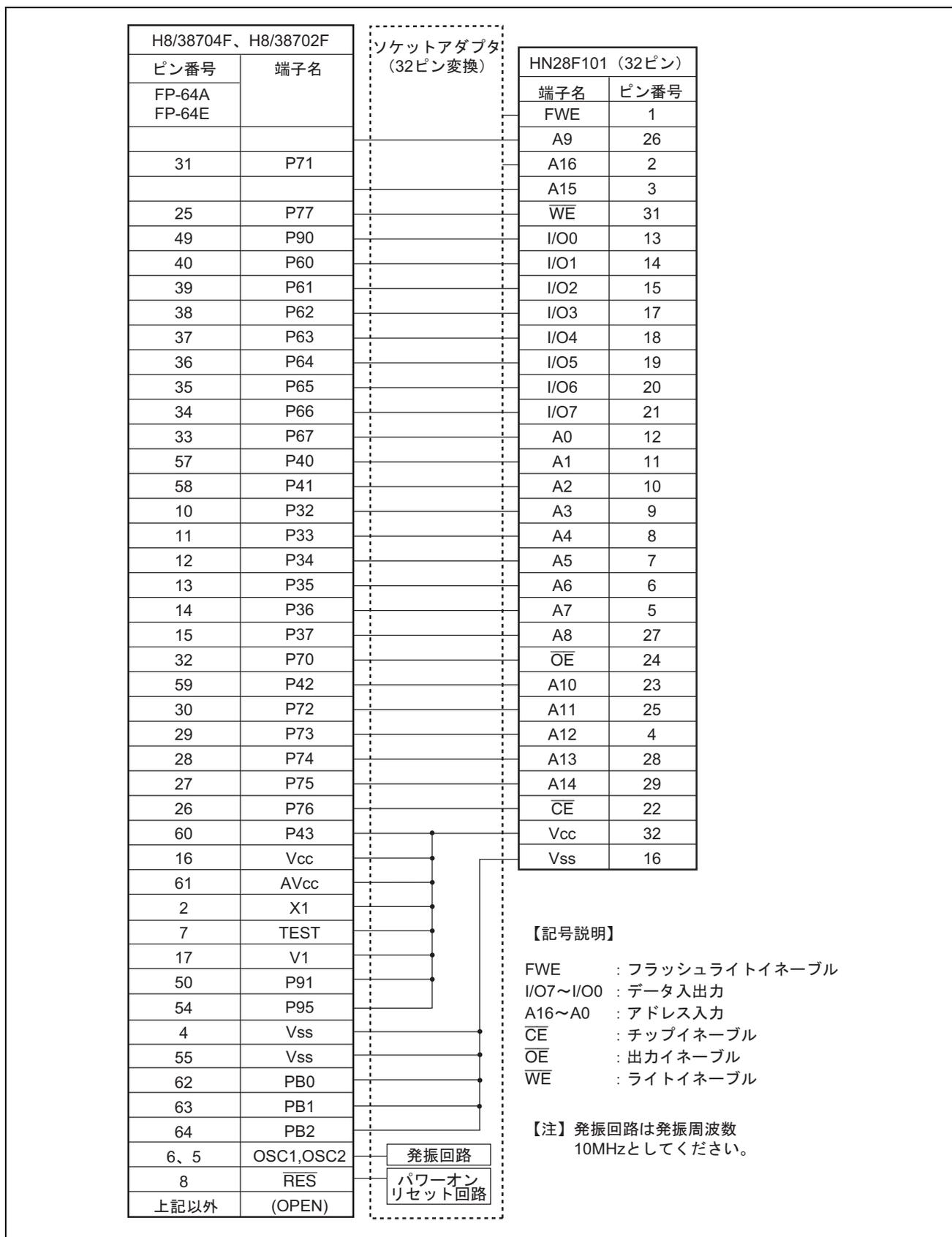


図 6.7 ソケットアダプタの端子対応図 (H8/38704F、H8/38702F)

6.7.3 メモリ読み出し

自動書き込み／自動消去／ステータス読み出し終了後はコマンド待ち状態に遷移します。メモリの内容を読み出す場合はコマンド書き込みでメモリ読み出しモードに遷移させる必要があります。一度メモリ読み出しモードに遷移させた後は、連続読み出しが可能です。

1. メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みにより他のモードに遷移させることができます。
2. 電源投入後はメモリ読み出しモードに遷移します。
3. AC特性を表6.8～表6.10に示します。

表 6.8 メモリ読み出し第 1 サイクルの AC 特性

条件 : $V_{CC}=3.3V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^{\circ}C\pm 5^{\circ}C$

項目	記号	MIN	MAX	単位	参照図
コマンド書き込みサイクル	t_{nxtc}	20	—	μs	図 6.8
\overline{CE} ホールド時間	t_{ceh}	0	—	ns	
\overline{CE} セットアップ時間	t_{ces}	0	—	ns	
データホールド時間	t_{dh}	50	—	ns	
データセットアップ時間	t_{ds}	50	—	ns	
書き込みパルス幅	t_{wep}	70	—	ns	
WE 立ち上がり時間	t_r	—	30	ns	
WE 立ち下がり時間	t_f	—	30	ns	

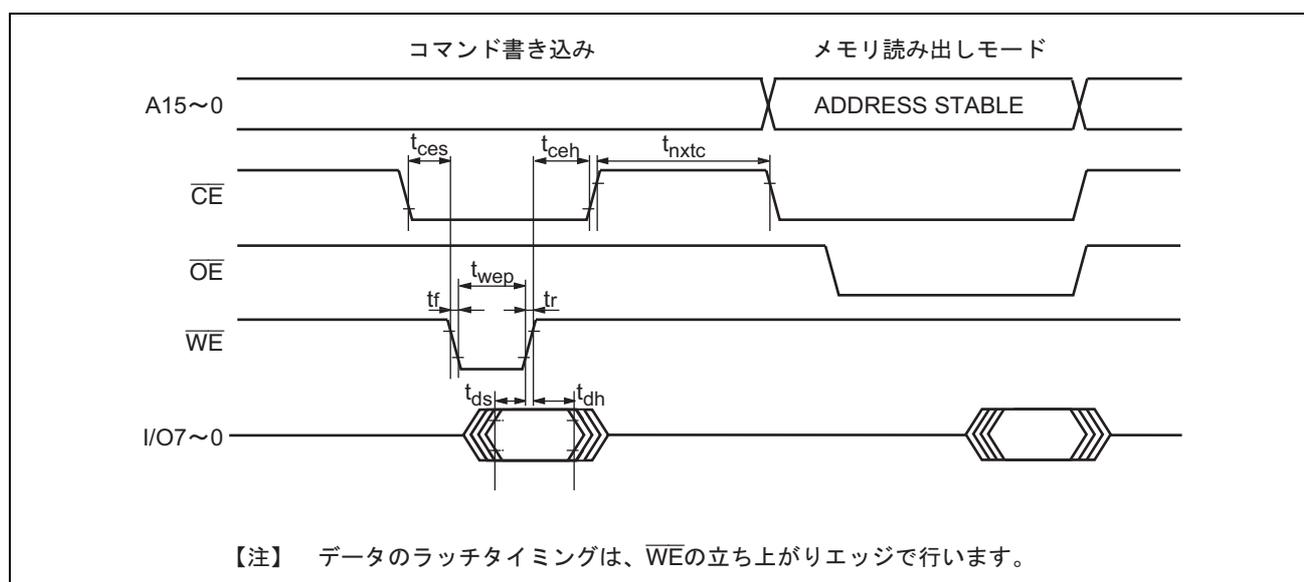


図 6.8 コマンド書き込み後メモリ読み出しタイミング波形

6. ROM

表 6.9 メモリ読み出しから他のコマンドへ遷移時の AC 特性

条件 : $V_{cc}=3.3V\pm 0.3V$ 、 $V_{ss}=0V$ 、 $T_a=25^{\circ}C\pm 5^{\circ}C$

項目	記号	MIN	MAX	単位	参照図
コマンド書き込みサイクル	t_{nxtc}	20	—	μs	図 6.9
\overline{CE} ホールド時間	t_{ceh}	0	—	ns	
\overline{CE} セットアップ時間	t_{ces}	0	—	ns	
データホールド時間	t_{dh}	50	—	ns	
データセットアップ時間	t_{ds}	50	—	ns	
書き込みパルス幅	t_{wep}	70	—	ns	
\overline{WE} 立ち上がり時間	t_r	—	30	ns	
\overline{WE} 立ち下がり時間	t_f	—	30	ns	

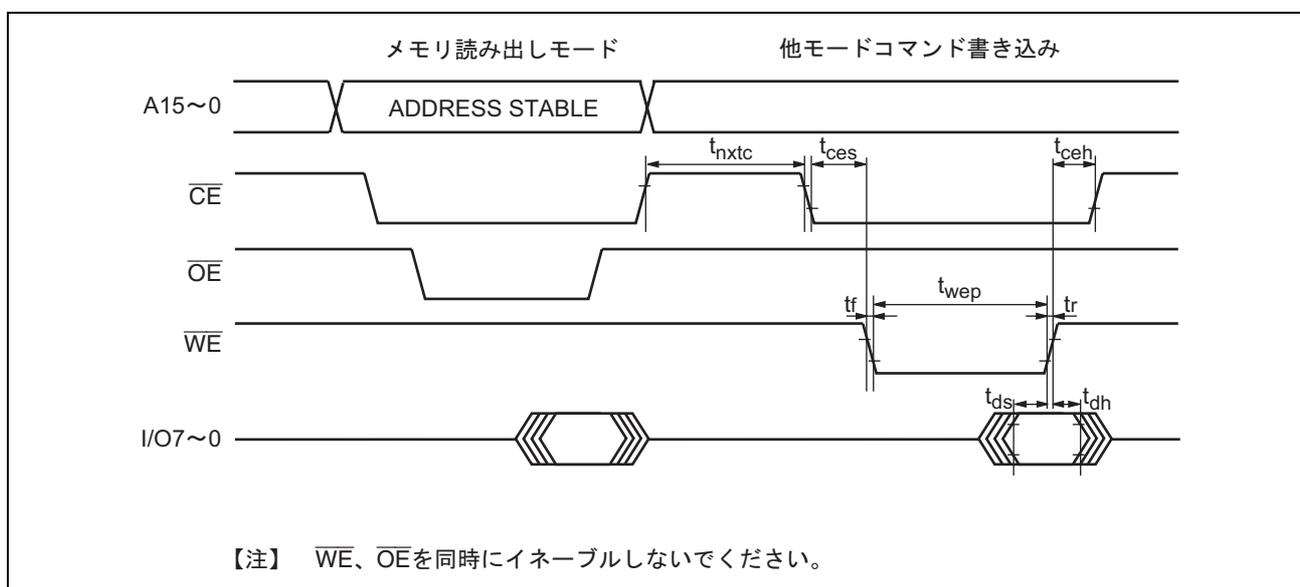
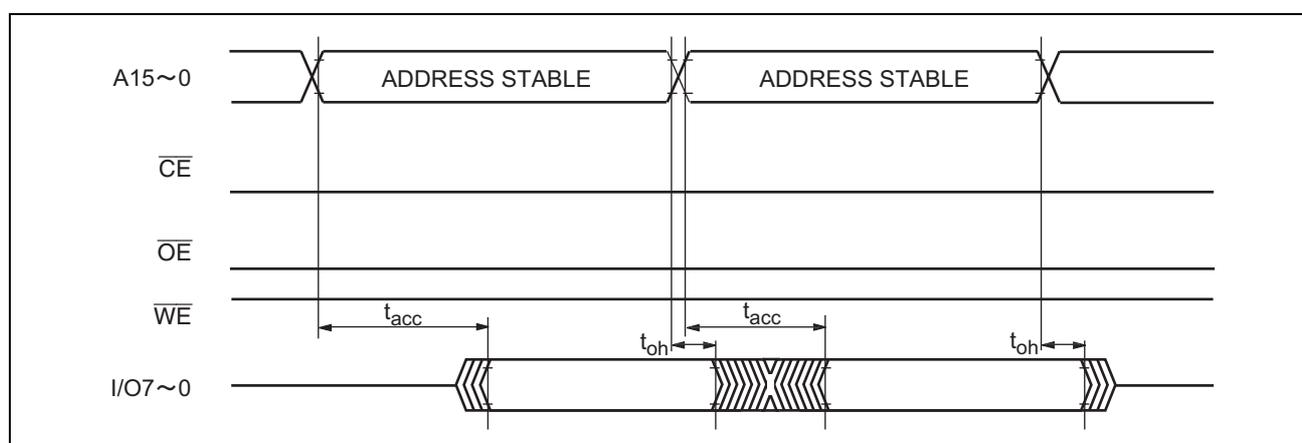
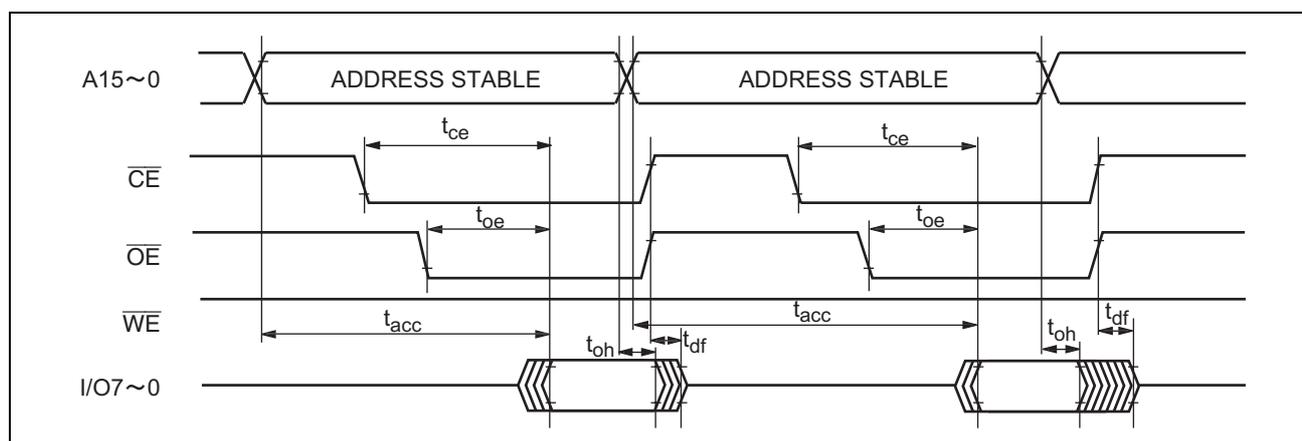


図 6.9 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 6.10 メモリ読み出し時の AC 特性

条件 : $V_{CC}=3.3V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^{\circ}C\pm 5^{\circ}C$

項目	記号	MIN	MAX	単位	参照図
アクセス時間	t_{acc}	—	20	μs	図 6.10、図 6.11
\overline{CE} 出力遅延時間	t_{ce}	—	150	ns	
\overline{OE} 出力遅延時間	t_{oe}	—	150	ns	
出力ディスエーブル遅延時間	t_{df}	—	100	ns	
データ出力ホールド時間	t_{oh}	5	—	ns	

図 6.10 \overline{CE} 、 \overline{OE} イネーブル状態リード時のタイミング波形図 6.11 \overline{CE} 、 \overline{OE} クロック方式リード時のタイミング波形

6.7.4 自動書き込み

1. すでに書き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
2. 同一アドレスブロックへの自動書き込みは1回のみとしてください。すでに書き込まれたアドレスブロックへの追加書き込みは行えません。
3. 自動書き込みは、128バイト同時書き込みを行います。バイトデータを128回連続転送してください。128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。書き込む必要のないアドレスへは、データH'FFを転送して書き込んでください。
4. 転送するアドレスの下位7ビットは、Low状態にしてください。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
5. メモリアドレスの転送は第2サイクルで行います (図6.12)。第3サイクル以降は転送しないでください。
6. 書き込み動作中はコマンド書き込みを行わないでください。
7. 自動書き込みは128バイト単位のブロックに対して1回だけ行ってください。すでに書き込まれたアドレスブロックへの追加書き込みはできません。
8. 自動書き込み正常終了の確認は、I/O6を調べることにより行います。ステータス読み出しで確認することもできます (I/O7番のステータスポーリングは、自動書き込み動作終了判定用端子です)。
9. ステータスポーリングのI/O6、I/O7端子情報は次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われていなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能です。
10. AC特性を表6.11に示します。

表 6.11 自動書き込み時の AC 特性

条件 : $V_{CC}=3.3V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^{\circ}C\pm 5^{\circ}C$

項目	記号	MIN	MAX	単位	参照図
コマンド書き込みサイクル	tnxtc	20	—	μs	図 6.12
\overline{CE} ホールド時間	tceh	0	—	ns	
\overline{CE} セットアップ時間	tces	0	—	ns	
データホールド時間	tdh	50	—	ns	
データセットアップ時間	tds	50	—	ns	
書き込みパルス幅	twep	70	—	ns	
ステータスポーリング開始時間	twsts	1	—	ms	
ステータスポーリングアクセス時間	tspa	—	150	ns	
アドレスセットアップ時間	tas	0	—	ns	
アドレスホールド時間	tah	60	—	ns	
メモリ書き込み時間	twrite	1	3000	ms	
\overline{WE} 立ち上がり時間	tr	—	30	ns	
\overline{WE} 立ち下がり時間	tf	—	30	ns	

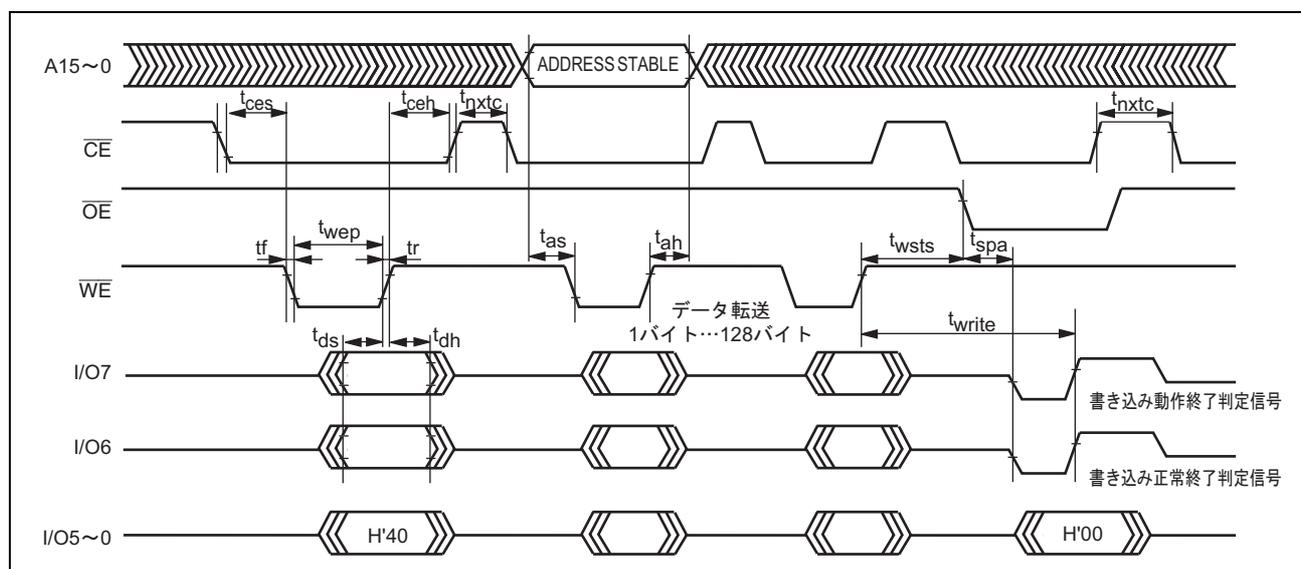


図 6.12 自動書き込みのタイミング波形

6. ROM

6.7.5 自動消去

1. 自動消去はメモリを全面消去します。
2. 自動消去中はコマンド書き込みを行わないでください。
3. 自動消去正常終了の確認はI/O6を調べることにより行います。ステータス読み出しでも確認することができます（I/O7番のステータスポーリングは、自動消去動作終了判定用端子です）。
4. ステータスポーリングのI/O6、I/O7端子情報は次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われていなければ、 $\overline{\text{CE}}$ 、 $\overline{\text{OE}}$ をイネーブルにすることにより読み出し可能となります。
5. AC特性を表6.12に示します。

表 6.12 自動消去時の AC 特性

条件 : $V_{cc}=3.3V\pm 0.3V$ 、 $V_{ss}=0V$ 、 $T_a=25^{\circ}\text{C}\pm 5^{\circ}\text{C}$

項目	記号	MIN	MAX	単位	参照図
コマンド書き込みサイクル	tnxtc	20	—	μs	図 6.13
$\overline{\text{CE}}$ ホールド時間	tceh	0	—	ns	
$\overline{\text{CE}}$ セットアップ時間	tces	0	—	ns	
データホールド時間	tdh	50	—	ns	
データセットアップ時間	tds	50	—	ns	
書き込みパルス幅	twep	70	—	ns	
ステータスポーリング開始時間	tests	1	—	ms	
ステータスポーリングアクセス時間	tspa	—	150	ns	
メモリ消去時間	terase	100	40000	ms	
$\overline{\text{WE}}$ 立ち上がり時間	tr	—	30	ns	
$\overline{\text{WE}}$ 立ち下がり時間	tf	—	30	ns	

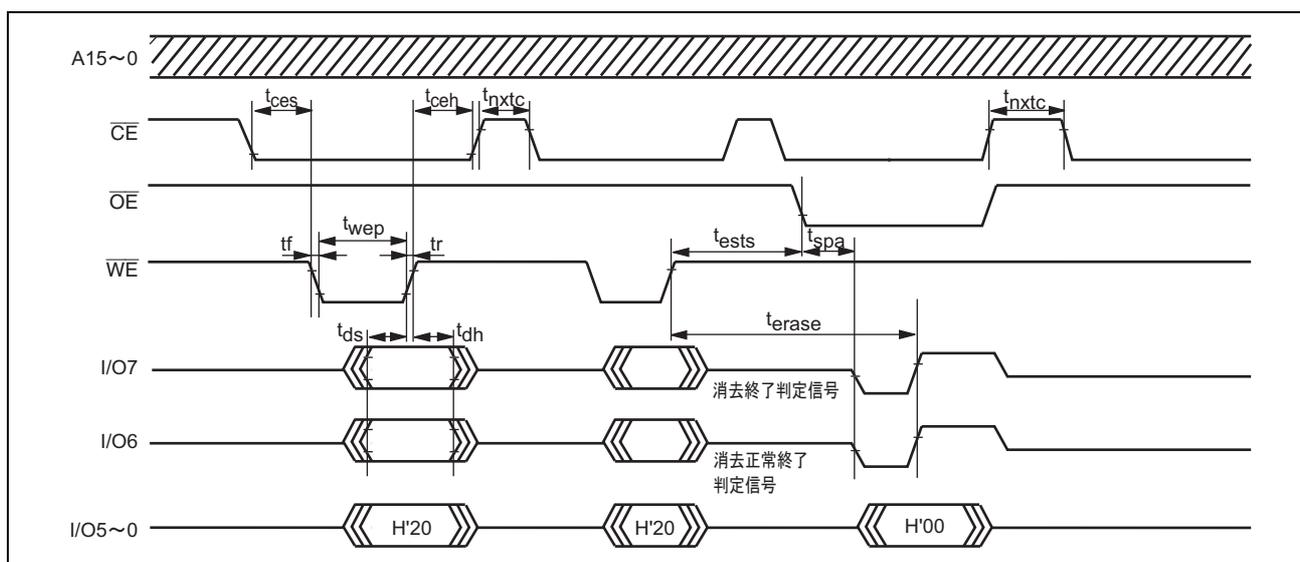


図 6.13 自動消去のタイミング波形

6. ROM

表 6.14 ステータス読み出しのリターンコード

ピン名	初期値	内 容
I/O7	0	1: 異常終了 0: 正常終了
I/O6	0	1: コマンドエラー 0: その他
I/O5	0	1: 書き込みエラー 0: その他
I/O4	0	1: 消去エラー 0: その他
I/O3	0	未定義
I/O2	0	未定義
I/O1	0	1: 書き込み回数または消去回数オーバ 0: その他
I/O0	0	1: 有効アドレスエラー 0: その他

6.7.7 ステータスポーリング

1. I/O7のステータスポーリングは、自動書き込み/自動消去時の動作状態を示すフラグです。
2. I/O6のステータスポーリングは、自動書き込み/自動消去時の正常/異常終了を示すフラグです。

表 6.15 ステータスポーリング出力

I/O7	I/O6	I/O0~5	ステータス
0	0	0	内部動作中
1	0	0	異常終了
1	1	0	正常終了
0	1	0	—

6.7.8 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しに遷移します。

表 6.16 コマンド待ち状態までの遷移時間規定

項目	記号	MIN	MAX	単位	参照図
発振安定時間（水晶発振子）	tosc1	10	—	ms	図 6.15
発振安定時間（セラミック発振子）		5	—	ms	
ライタモードセットアップ時間	t_bmv	10	—	ms	
Vcc ホールド時間	t_dwn	0	—	ms	

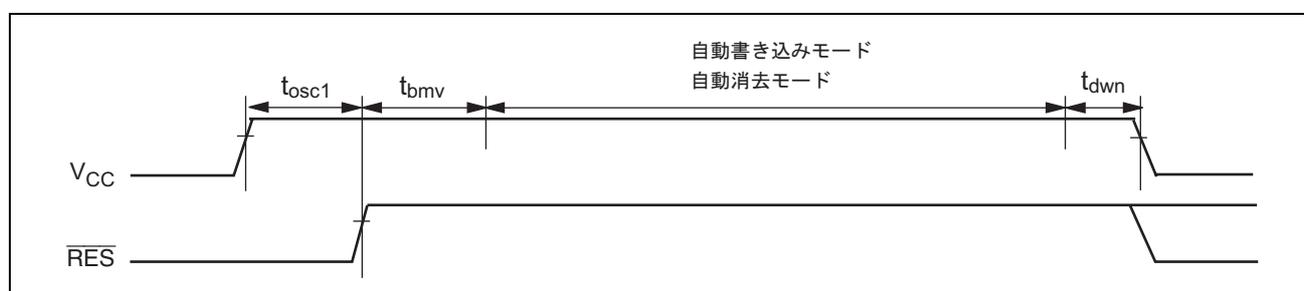


図 6.15 発振安定時間、ブートプログラム転送時間、電源立ち下げシーケンス

6.7.9 ライタモード使用時の注意事項

- オンボードプログラムモードにて書き込み／消去を行ったチップに対して、ライタモードを用いて書き換えを行う場合は、自動消去を行った後に自動書き込みを行うことを推奨します。
- ルネサス テクノロジ出荷品の初期状態は消去状態です。これ以外の消去来歴不明チップに対して、初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。

6.8 フラッシュメモリの低消費電力動作

ユーザモードではフラッシュメモリは次のいずれかの状態になります。

- 通常動作状態
高速でフラッシュメモリの読み出しが可能です。
- 低消費電力動作状態
フラッシュメモリの電源回路の一部を停止させることができます。これにより、フラッシュメモリを低消費電力で読み出すことができます。
- スタンバイ状態
フラッシュメモリのすべての回路が停止します。

表 6.17 に LSI の動作モードとフラッシュメモリの状態の関係を示します。サブアクティブモードでは FLPWCR の PDWND ビットによりフラッシュメモリを低消費電力動作に設定することができます。フラッシュメモリが低消費電力動作状態またはスタンバイ状態から通常動作状態へ復帰するときは、停止した電源回路の動作安定化時間が必要となります。外部クロックを使用する場合も含めて、通常動作モードへ復帰するときの待機時間が 20 μ s 以上になるよう SYSCR1 の STS2~STS0 を設定してください。

表 6.17 フラッシュメモリの動作状態

LSI の動作モード	フラッシュメモリの状態	
	PDWND=0 のとき (初期値)	PDWND=1 のとき
アクティブモード	通常動作状態	通常動作状態
サブアクティブモード	低消費電力動作状態	通常動作状態
スリープモード	通常動作状態	通常動作状態
サブスリープモード	スタンバイ状態	スタンバイ状態
スタンバイモード	スタンバイ状態	スタンバイ状態
ウォッチモード	スタンバイ状態	スタンバイ状態

7. RAM

本グループは、高速スタティック RAM を内蔵しています。RAM は 16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータとも 2 ステートでアクセスします。

製品分類		RAM 容量	RAM アドレス
フラッシュメモリ版	H8/38704F	1K バイト	H'FB80~H'FF7F
	H8/38702F	1K バイト	H'FB80~H'FF7F
マスク ROM 版	H8/38704	1K バイト	H'FB80~H'FF7F
	H8/38703	1K バイト	H'FB80~H'FF7F
	H8/38702	1K バイト	H'FB80~H'FF7F
	H8/38702S	512 バイト	H'FD80~H'FF7F
	H8/38701S	512 バイト	H'FD80~H'FF7F
	H8/38700S	512 バイト	H'FD80~H'FF7F

7.1 ブロック図

RAM のブロック図を図 7.1 に示します。

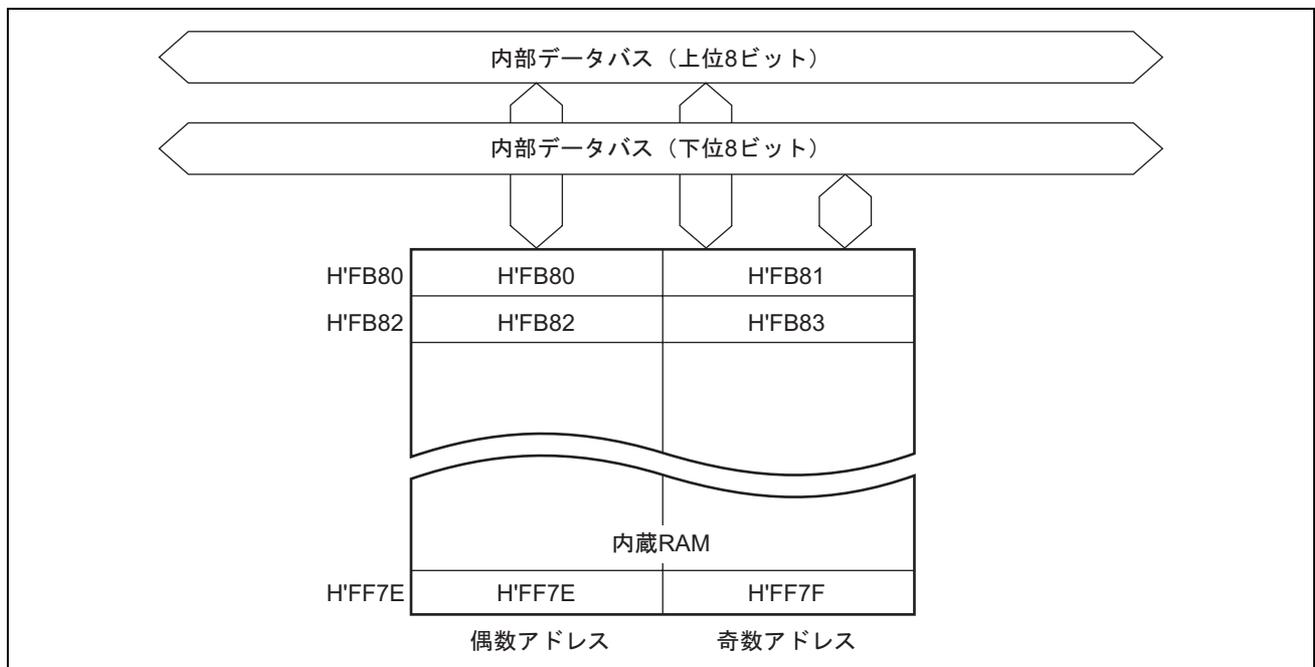


図 7.1 RAM のブロック図

7. RAM

8. I/O ポート

本 LSI は、8 ビット入出力ポートを 3 本、7 ビット入出力ポートを 1 本、4 ビット入出力ポートを 1 本、3 ビット入出力ポートを 1 本、1 ビット入出力ポートを 1 本、4 ビット入力専用ポートを 1 本、および 1 ビット入力専用ポートを 1 本、6 ビット出力専用ポートを 1 本備えています。

各ポートは、入出力を制御するポートコントロールレジスタ (PCR) と、出力データを格納するポートデータレジスタ (PDR) から構成され、ビット単位に入出力を制御できます。

PCR、PDR に対してのビット操作命令の実行については、「**2.8.3 ビット操作命令**」を参照してください。各ポートのブロック図は「**付録 B. I/O ポートブロック図**」を参照してください。各ポートの機能一覧を表 8.1 に示します。

8. I/O ポート

表 8.1 ポートの機能

ポート	概要	端子	兼用機能	機能切り替え 制御レジスタ
ポート 3	<ul style="list-style-type: none"> 7 ビット入出力ポート 入力プルアップ MOS 選択可 	P37/AEVL P36/AEVH P35 P34 P33	非同期イベントカウンタのイベント入力 端子 AEVL、AEVH	PMR3
		P32/TMOFH P31/TMOFL	タイマ F アウトプットコンペア出力	PMR3
ポート 4	<ul style="list-style-type: none"> 1 ビット入力専用ポート 3 ビット入出力ポート 	P43/IRQ0	外部割り込み 0	PMR2
		P42/TXD32 P41/RXD32 P40/SCK32	SCI3 のデータ出力 (TXD32) 、 データ入力 (RXD32) 、 クロック入出力 (SCK32)	SCR3 SMR
ポート 5	<ul style="list-style-type: none"> 8 ビット入出力ポート 入力プルアップ MOS 選択可 	P57~P50/ WKP7~WKP0	ウェイクアップ入力 (WKP7~WKP0)	PMR5
ポート 6	<ul style="list-style-type: none"> 8 ビット入出力ポート 入力プルアップ MOS 選択可 	P67~P60	なし	—
ポート 7	<ul style="list-style-type: none"> 8 ビット入出力ポート 	P77~P70	なし	—
ポート 8	<ul style="list-style-type: none"> 1 ビット入出力ポート 	P80	なし	—
ポート 9	<ul style="list-style-type: none"> 6 ビット出力専用ポート 	P95~P92	なし	—
		P91、P90/ PWM2、PWM1	10 ビット PWM 出力	PMR9
ポート A	<ul style="list-style-type: none"> 4 ビット入出力ポート 	PA3~PA0	なし	—
ポート B	<ul style="list-style-type: none"> 4 ビット入力専用ポート 	PB3/AN3/IRQ1	A/D 変換器のアナログ入力 外部割り込み 1	AMR PMRB
		PB2/AN2	A/D 変換器のアナログ入力	AMR
		PB1/AN1	A/D 変換器のアナログ入力	AMR
		PB0/AN0		

8.1 ポート 3

ポート 3 は、非同期イベントカウンタ入力端子、タイマ F 出力端子と兼用の入出力ポートです。ポート 3 の各端子は、図 8.1 に示す構成になっています。

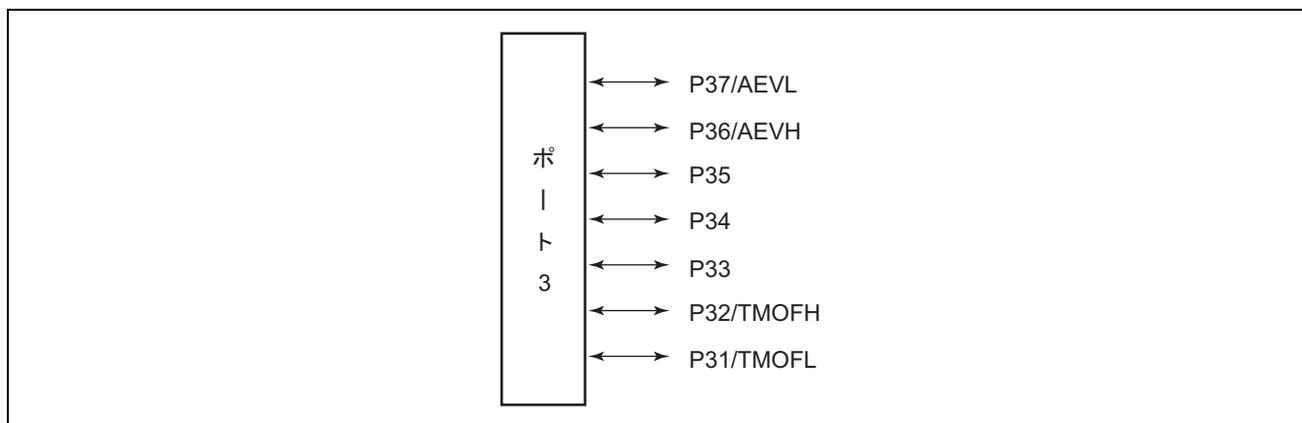


図 8.1 ポート 3 の端子構成

ポート 3 には以下のレジスタがあります。

- ポートデータレジスタ3 (PDR3)
- ポートコントロールレジスタ3 (PCR3)
- ポートプルアップコントロールレジスタ3 (PUCR3)
- ポートモードレジスタ3 (PMR3)
- ポートモードレジスタ2 (PMR2)

8. I/O ポート

8.1.1 ポートデータレジスタ 3 (PDR3)

PDR3 は、ポート 3 のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	P37	0	R/W	PCR3 が 1 のとき、ポート 3 のリードを行うと、PDR3 の値を直接リードします。そのため端子状態の影響を受けません。PCR3 が 0 のとき、ポート 3 のリードを行うと、端子状態が読み出されます。
6	P36	0	R/W	
5	P35	0	R/W	
4	P34	0	R/W	
3	P33	0	R/W	
2	P32	0	R/W	
1	P31	0	R/W	
0	—	—	—	リザーブビット

8.1.2 ポートコントロールレジスタ 3 (PCR3)

PCR3 は、ポート 3 の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PCR37	0	W	PCR3 に 1 をセットすると対応する端子は出力端子となり、0 にクリアすると入力端子となります。PCR3 により当該端子が汎用入出力に設定されている場合には、PCR3 および PDR3 の設定が有効となります。 本レジスタはライト専用です。リードした場合ビット 7~1 は常に 1 が読み出されます。
6	PCR36	0	W	
5	PCR35	0	W	
4	PCR34	0	W	
3	PCR33	0	W	
2	PCR32	0	W	
1	PCR31	0	W	
0	—	—	W	リザーブビット ライトする場合は 0 ライトのみ可能です。

8.1.3 ポートプルアップコントロールレジスタ 3 (PUCR3)

PUCR3 は、ポート 3 のプルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PUCR37	0	R/W	PCR3 が 0 の状態で PUCR3 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。
6	PUCR36	0	R/W	
5	PUCR35	0	R/W	
4	PUCR34	0	R/W	
3	PUCR33	0	R/W	
2	PUCR32	0	R/W	
1	PUCR31	0	R/W	
0	—	—	W	リザーブビット ライトする場合は 0 ライトのみ可能です。

8.1.4 ポートモードレジスタ 3 (PMR3)

PMR3 は、ポート 3 の各端子機能の切り替えを制御します。

ビット	ビット名	初期値	R/W	説明
7	AEVL	0	R/W	P37/AEVL 端子機能切り替え P37/AEVL 端子を P37 端子として使用するか、AEVL 端子として使用するかを設定します。 0 : P37 入出力端子として機能 1 : AEVL 入力端子として機能
6	AEVH	0	R/W	P36/AEVH 端子機能切り替え P36/AEVH 端子を P36 端子として使用するか、AEVH 端子として使用するかを設定します。 0 : P36 入出力端子として機能 1 : AEVH 入力端子として機能
5~3	—	—	W	リザーブビット ライトする場合は 0 ライトのみ可能です。
2	TMOFH	0	R/W	P32/TMOFH 端子機能切り替え P32/TMOFH 端子を P32 端子として使用するか、TMOFH 端子として使用するかを設定します。 0 : P32 入出力端子として機能 1 : TMOFH 出力端子として機能

8. I/O ポート

ビット	ビット名	初期値	R/W	説明
1	TMOFL	0	R/W	P31/TMOFL 端子機能切り替え P31/TMOFL 端子を P31 端子として使用するか、TMOFL 端子として使用するかを設定します。 0 : P31 入出力端子として機能 1 : TMOFL 出力端子として機能
0	—	—	W	リザーブビット ライトする場合は 0 ライトのみ可能です。

8.1.5 ポートモードレジスタ 2 (PMR2)

PMR2 は、P35 端子の PMOS の ON/OFF 制御、P43/ $\overline{\text{IRQ0}}$ 端子機能切り替え、ウォッチドッグタイマのクロック選択をします。

ビット	ビット名	初期値	R/W	説明
7、6	—	1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
5	POF1	0	R/W	P35 端子 PMOS コントロール P35 端子出力バッファの PMOS の ON/OFF を制御します。 0 : CMOS 出力 1 : NMOS オープンドレイン出力
4、3	—	1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
2	WDCKS	0	R/W	ウォッチドッグタイマソースクロック選択 ウォッチドッグタイマの入カクロックを選択します。 0 : $\phi/8192$ を選択 1 : $\phi w/32$ を選択
1	—	—	W	リザーブビット ライトする場合は、0 ライトのみ可能です。
0	IRQ0	0	R/W	P43/ $\overline{\text{IRQ0}}$ 端子機能切り替え P43/ $\overline{\text{IRQ0}}$ 端子を P43 端子として使用するか $\overline{\text{IRQ0}}$ 端子として使用するかを設定します。 0 : P43 入力端子として機能 1 : $\overline{\text{IRQ0}}$ 入力端子として機能

8.1.6 端子機能

ポート 3 の端子機能を示します。

- P37/AEVL

PMR3 の AEVL と PCR3 の PCR37 の組み合わせで、次のように切り替わります。

AEVL	0		1
PCR37	0	1	*
端子機能	P37 入力端子	P37 出力端子	AEVL 入力端子

【記号説明】 * : Don't care

- P36/AEVH

PMR3 の AEVH と PCR3 の PCR36 の組み合わせで、次のように切り替わります。

AEVH	0		1
PCR36	0	1	*
端子機能	P36 入力端子	P36 出力端子	AEVH 入力端子

【記号説明】 * : Don't care

- P35~P33

PCR3 の各ビットにより、次のように切り替わります。

(n=5~3)

PCR3n	0	1
端子機能	P3n 入力端子	P3n 出力端子

- P32/TMOFH

PMR3 の TMOFH と PCR3 の PCR32 の組み合わせで、次のように切り替わります。

TMOFH	0		1
PCR32	0	1	*
端子機能	P32 入力端子	P32 出力端子	TMOFH 出力端子

【記号説明】 * : Don't care

- P31/TMOFL

PMR3 の TMOFL と PCR3 の PCR31 の組み合わせで、次のように切り替わります。

TMOFL	0		1
PCR31	0	1	*
端子機能	P31 入力端子	P31 出力端子	TMOFL 出力端子

【記号説明】 * : Don't care

8. I/O ポート

8.1.7 入力プルアップ MOS

ポート 3 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR3 が 0 にクリアされている状態で PUCR3 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

(n=7~1)

PCR3n	0		1
PUCR3n	0	1	*
入力プルアップ MOS	OFF	ON	OFF

【記号説明】 * : Don't care

8.2 ポート 4

ポート 4 は、割り込み入力端子、SCI 入出力端子と兼用の入出力ポートです。ポート 4 の各端子は、[図 8.2](#) に示す構成になっています。

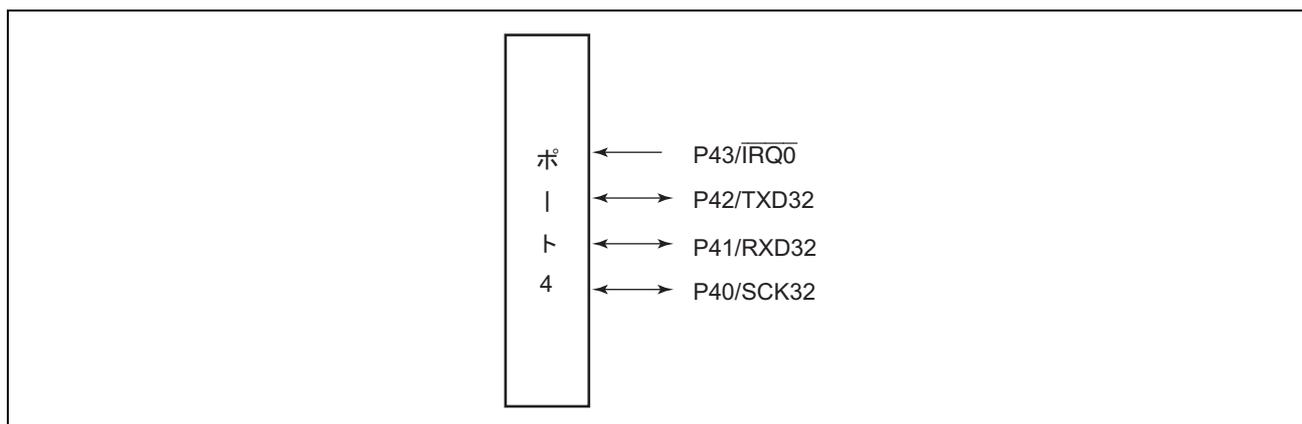


図 8.2 ポート 4 の端子構成

ポート 4 には以下のレジスタがあります。

- ポートデータレジスタ4 (PDR4)
- ポートコントロールレジスタ4 (PCR4)
- シリアルポートコントロールレジスタ (SPCR)

8.2.1 ポートデータレジスタ 4 (PDR4)

PDR4 は、ポート 4 のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7~4	—	1	—	リザーブビット リードすると常に 1 が読み出されます。
3	P43	1	R	PCR4 が 1 のとき、ポート 4 のリードを行うと、PDR4 の値を直接リードします。そのため端子状態の影響を受けません。PCR4 が 0 のとき、ポート 4 のリードを行うと、端子状態が読み出されます。
2	P42	0	R/W	
1	P41	0	R/W	
0	P40	0	R/W	

8.2.2 ポートコントロールレジスタ 4 (PCR4)

PCR4 は、ポート 4 の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7~3	—	1	—	リザーブビット リードすると常に 1 が読み出されます。
2	PCR42	0	W	PCR4 に 1 をセットすると対応する P42~P40 端子は出力端子となり、0 にクリアすると入力端子となります。SCR3 により当該端子が汎用入出力に設定されている場合には、PCR4 および PDR4 の設定が有効となります。本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。
1	PCR41	0	W	
0	PCR40	0	W	

8. I/O ポート

8.2.3 シリアルポートコントロールレジスタ (SPCR)

SPCR は、RXD32、TXD32 端子の入出力データ反転切り替えを行います。図 8.3 に示す構成になっています。

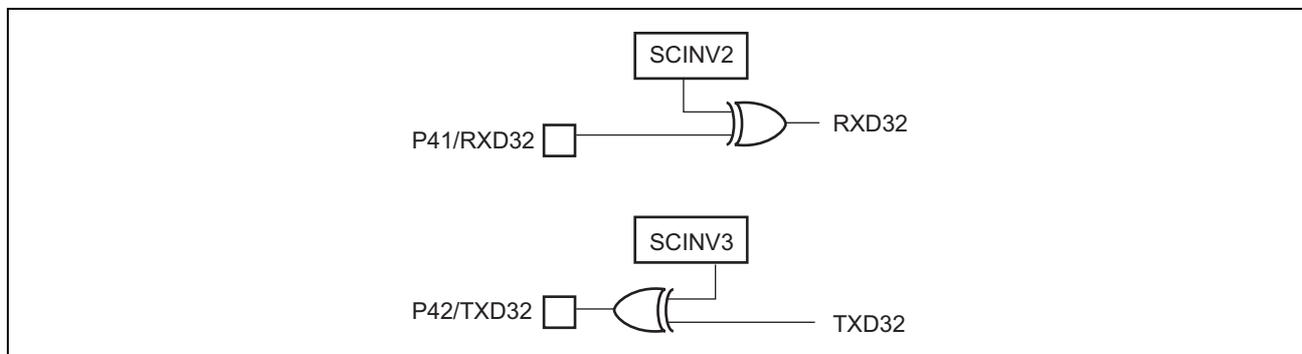


図 8.3 入出力データ反転機能

ビット	ビット名	初期値	R/W	説明
7、6	—	1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
5	SPC32	0	R/W	P42/TXD32 端子機能切り替え P42/TXD32 端子を P42 端子として使用するか TXD32 端子として使用するかを設定します。 0 : P42 入出力端子として機能 1 : TXD32 出力端子として機能* 【注】 * 本ビットを 1 に設定した後に SCR3 の TE ビットを設定してください。
4	—	—	W	リザーブビット ライトする場合は 0 ライトのみ可能です。
3	SCINV3	0	R/W	TXD32 端子出力データ反転切り替え TXD32 端子の出力データのロジックレベルを反転するか、しないか、の切り替えを設定します。 0 : TXD32 の出力データを反転しない 1 : TXD32 の出力データを反転する
2	SCINV2	0	R/W	RXD32 端子入力データ反転切り替え RXD32 端子の入力データのロジックレベルを反転するか、しないか、の切り替えを設定します。 0 : RXD32 の入力データを反転しない 1 : RXD32 の入力データを反転する
1、0	—	—	W	リザーブビット ライトする場合は 0 ライトのみ可能です。

【注】 シリアルポートコントロールレジスタを書き換えると、それまで入力または出力されていたデータが書き換えた直後に反転され、有効ではないデータの変化が入出力されます。シリアルポートコントロールレジスタを書き換える際には、データ変化を無効にする状態で、書き換えてください。

8.2.4 端子機能

ポート 4 の端子機能を示します。

• P43/ $\overline{\text{IRQ0}}$

PMR2 の IRQ0 により、次のように切り替わります。

IRQ0	0		1
端子機能	P43 入力端子		$\overline{\text{IRQ0}}$ 入力端子

• P42/TXD32

SCR3 の TE、SPCR の SPC32、PCR4 の PCR42 の組み合わせで、次のように切り替わります。

SPC32	0		1
TE	0		*
PCR42	0	1	*
端子機能	P42 入力端子	P42 出力端子	TXD32 出力端子

【記号説明】 * : Don't care

• P41/RXD32

SCR3 の RE と PCR4 の PCR41 の組み合わせで、次のように切り替わります。

RE	0		1
PCR41	0	1	*
端子機能	P41 入力端子	P41 出力端子	RXD32 入力端子

【記号説明】 * : Don't care

• P40/SCK32

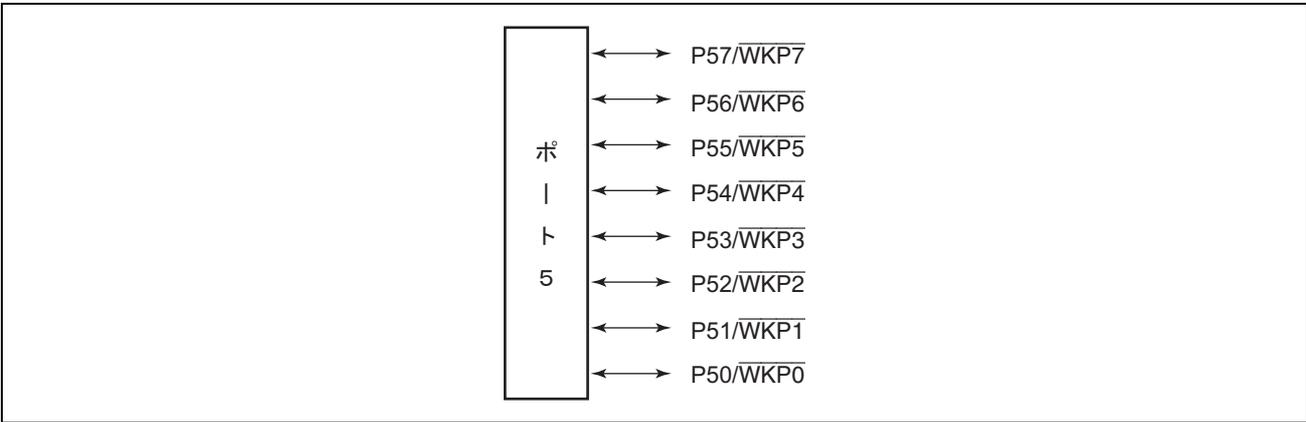
SCR3 の CKE1、CKE0、SMR の COM、および PCR4 の PCR40 の組み合わせで、次のように切り替わります。

CKE1	0		1
CKE0	0		1
COM	0	1	*
PCR40	0	1	*
端子機能	P40 入力端子	P40 出力端子	SCK32 出力端子

【記号説明】 * : Don't care

8. I/O ポート

8.3 ポート 5

ポート 5 は、ウェイクアップ割り込み要求入力端子と兼用の入出力ポートです。ポート 5 の各端子は、 8.4 に示す構成になっています。

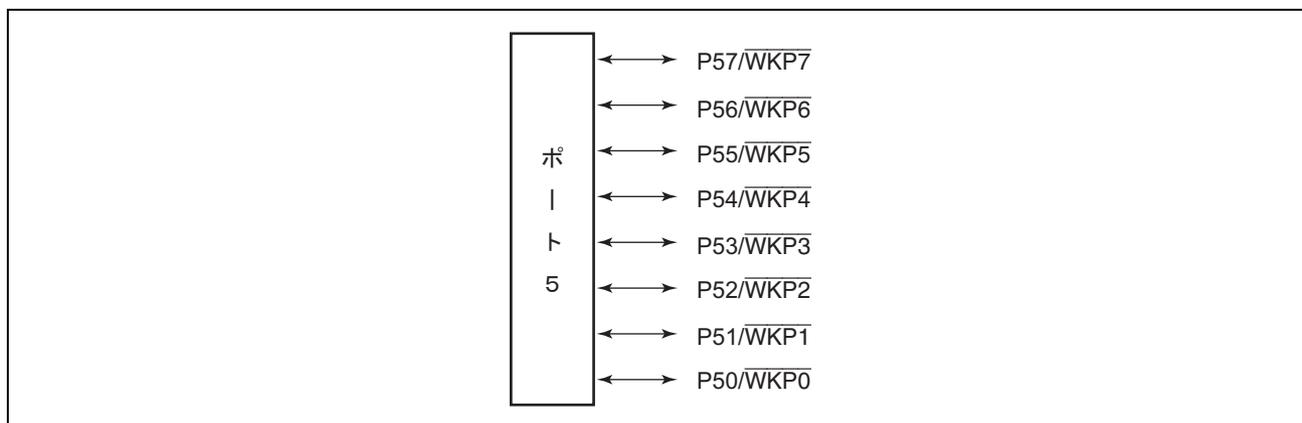


図 8.4 ポート 5 の端子構成

ポート 5 には以下のレジスタがあります。

- ポートデータレジスタ 5 (PDR5)
- ポートコントロールレジスタ 5 (PCR5)
- ポートプルアップコントロールレジスタ 5 (PUCR5)
- ポートモードレジスタ 5 (PMR5)

8.3.1 ポートデータレジスタ 5 (PDR5)

PDR5 は、データを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	P57	0	R/W	PCR5 が 1 のとき、ポート 5 のリードを行うと、PDR5 の値を直接リードします。そのため端子状態の影響を受けません。PCR5 が 0 のとき、ポート 5 のリードを行うと、端子状態が読み出されます。
6	P56	0	R/W	
5	P55	0	R/W	
4	P54	0	R/W	
3	P53	0	R/W	
2	P52	0	R/W	
1	P51	0	R/W	
0	P50	0	R/W	

8.3.2 ポートコントロールレジスタ 5 (PCR5)

PCR5 は、ポート 5 の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PCR57	0	W	PCR5 に 1 をセットすると対応する P57~P50 端子は出力端子となり、0 にクリアすると入力端子となります。PMR5 により当該端子が汎用入出力に設定されている場合には、PCR5 および PDR5 の設定が有効となります。本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。
6	PCR56	0	W	
5	PCR55	0	W	
4	PCR54	0	W	
3	PCR53	0	W	
2	PCR52	0	W	
1	PCR51	0	W	
0	PCR50	0	W	

8.3.3 ポートプルアップコントロールレジスタ 5 (PUCR5)

PUCR5 は、ポート 5 のプルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PUCR57	0	R/W	PCR5 が 0 の状態で PUCR5 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。
6	PUCR56	0	R/W	
5	PUCR55	0	R/W	
4	PUCR54	0	R/W	
3	PUCR53	0	R/W	
2	PUCR52	0	R/W	
1	PUCR51	0	R/W	
0	PUCR50	0	R/W	

8.3.4 ポートモードレジスタ 5 (PMR5)

PMR5 は、ポート 5 の各端子機能の切り替えを制御します。

ビット	ビット名	初期値	R/W	説明
7	WKP7	0	R/W	P5n/WKPN 端子機能切り替え P5n/WKPN 端子を P5n 端子として使用するか、WKPN 端子として使用するかを設定します。 0 : P5n 入出力端子として機能 1 : WKPN 入力端子として機能 (n=7~0)
6	WKP6	0	R/W	
5	WKP5	0	R/W	
4	WKP4	0	R/W	
3	WKP3	0	R/W	
2	WKP2	0	R/W	
1	WKP1	0	R/W	
0	WKP0	0	R/W	

8. I/O ポート

8.3.5 端子機能

ポート 5 の端子機能を示します。

- P57/ $\overline{\text{WKP7}}$ ~P54/ $\overline{\text{WKP4}}$

PMR5 の WKPn、PCR5 の PCR5n の組み合わせで、次のように切り替わります。

(n=7~4)

WKPn	0	0	1
PCR5n	0	1	*
端子機能	P5n 入力端子	P5n 出力端子	$\overline{\text{WKPn}}$ 入力端子

【記号説明】 * : Don't care

- P53/ $\overline{\text{WKP3}}$ ~P50/ $\overline{\text{WKP0}}$

PMR5 の WKPm、PCR5 の PCR5m の組み合わせで、次のように切り替わります。

(m=3~0)

WKPm	0	0	1
PCR5m	0	1	*
端子機能	P5m 入力端子	P5m 出力端子	$\overline{\text{WKPm}}$ 入力端子

【記号説明】 * : Don't care

8.3.6 入力プルアップ MOS

ポート 5 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR5 が 0 にクリアされている状態で PUCR5 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

(n=7~0)

PCR5n	0		1
PUCR5n	0	1	*
入力プルアップ MOS	OFF	ON	OFF

【記号説明】 * : Don't care

8.4 ポート 6

ポート 6 は、入出力ポートです。ポート 6 の各端子は、図 8.5 に示す構成になっています。

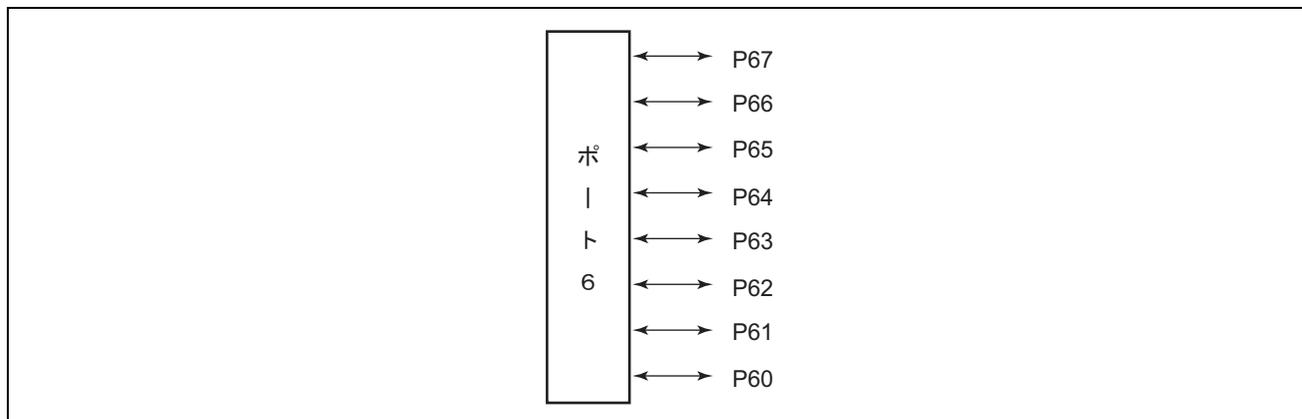


図 8.5 ポート 6 の端子構成

ポート 6 には以下のレジスタがあります。

- ポートデータレジスタ6 (PDR6)
- ポートコントロールレジスタ6 (PCR6)
- ポートプルアップコントロールレジスタ6 (PUCR6)

8.4.1 ポートデータレジスタ 6 (PDR6)

PDR6 は、ポート 6 のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	P67	0	R/W	PCR6 が 1 のとき、ポート 6 のリードを行うと、PDR6 の値を直接リードします。そのため端子状態の影響を受けません。PCR6 が 0 のとき、ポート 6 のリードを行うと、端子状態が読み出されます。
6	P66	0	R/W	
5	P65	0	R/W	
4	P64	0	R/W	
3	P63	0	R/W	
2	P62	0	R/W	
1	P61	0	R/W	
0	P60	0	R/W	

8. I/O ポート

8.4.2 ポートコントロールレジスタ 6 (PCR6)

PCR6 は、ポート 6 の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PCR67	0	W	PCR6 に 1 をセットすると対応する P67~P60 端子は出力端子となり、0 にクリアすると入力端子となります。本レジスタはライト専用です。リードした場合、各ビットは常に 1 が読み出されます。
6	PCR66	0	W	
5	PCR65	0	W	
4	PCR64	0	W	
3	PCR63	0	W	
2	PCR62	0	W	
1	PCR61	0	W	
0	PCR60	0	W	

8.4.3 ポートプルアップコントロールレジスタ 6 (PUCR6)

PUCR6 は、ポート 6 のプルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PUCR67	0	R/W	PCR6 が 0 の状態で PUCR6 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。
6	PUCR66	0	R/W	
5	PUCR65	0	R/W	
4	PUCR64	0	R/W	
3	PUCR63	0	R/W	
2	PUCR62	0	R/W	
1	PUCR61	0	R/W	
0	PUCR60	0	R/W	

8.4.4 端子機能

ポート 6 の端子機能を示します。

- P67~P64

PCR6 の PCR6n で、次のように切り替わります。

(n=7~4)

PCR6n	0	1
端子機能	P6n 入力端子	P6n 出力端子

- P63~P60

PCR6 の PCR6m で、次のように切り替わります。

(m=3~0)

PCR6m	0	1
端子機能	P6m 入力端子	P6m 出力端子

8.4.5 入力プルアップ MOS

ポート 6 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR6 が 0 にクリアされている状態で PUCR6 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

(n=7~0)

PCR6n	0		1
PUCR6n	0	1	*
入力プルアップ MOS	OFF	ON	OFF

【記号説明】 * : Don't care

8. I/O ポート

8.5 ポート 7

ポート 7 は、入出力ポートです。ポート 7 の各端子は、図 8.6 に示す構成になっています。

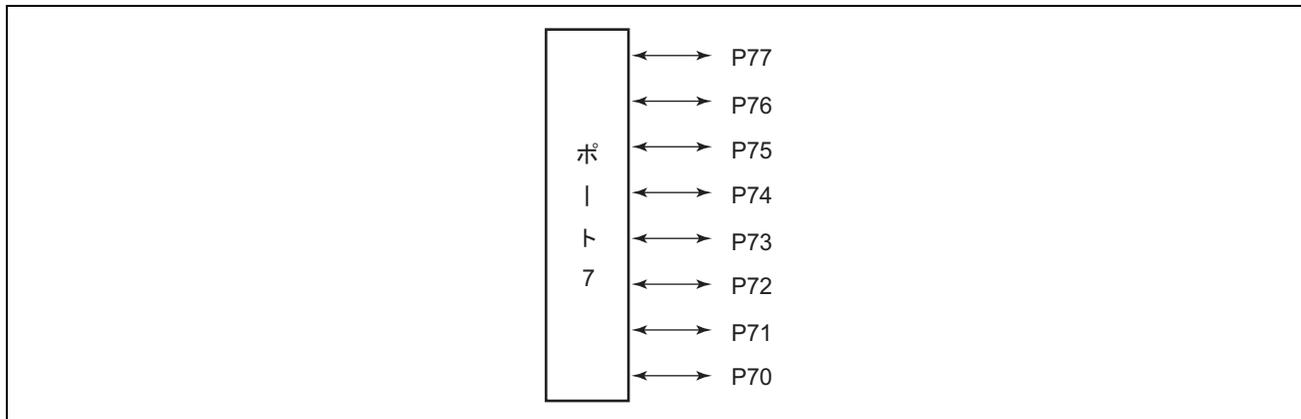


図 8.6 ポート 7 の端子構成

ポート 7 には以下のレジスタがあります。

- ポートデータレジスタ 7 (PDR7)
- ポートコントロールレジスタ 7 (PCR7)

8.5.1 ポートデータレジスタ 7 (PDR7)

PDR7 は、ポート 7 のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7	P77	0	R/W	PCR7 が 1 のとき、ポート 7 のリードを行うと、PDR7 の値を直接リードします。そのため端子状態の影響を受けません。PCR7 が 0 のとき、ポート 7 のリードを行うと、端子状態が読み出されます。
6	P76	0	R/W	
5	P75	0	R/W	
4	P74	0	R/W	
3	P73	0	R/W	
2	P72	0	R/W	
1	P71	0	R/W	
0	P70	0	R/W	

8.5.2 ポートコントロールレジスタ 7 (PCR7)

PCR7 は、ポート 7 の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PCR77	0	W	PCR7 に 1 をセットすると対応する P77~P70 端子は出力端子となり、0 にクリアすると入力端子となります。本レジスタはライト専用です。リードした場合、各ビットは常に 1 が読み出されます。
6	PCR76	0	W	
5	PCR75	0	W	
4	PCR74	0	W	
3	PCR73	0	W	
2	PCR72	0	W	
1	PCR71	0	W	
0	PCR70	0	W	

8.5.3 端子機能

ポート 7 の端子機能を示します。

- P77~P74

PCR7 の PCR7n で、次のように切り替わります。

(n=7~4)

PCR7n	0	1
端子機能	P7n 入力端子	P7n 出力端子

- P73~P70

PCR7 の PCR7m で、次のように切り替わります。

(m=3~0)

PCR7m	0	1
端子機能	P7m 入力端子	P7m 出力端子

8. I/O ポート

8.6 ポート 8

ポート 8 は、入出力ポートです。ポート 8 の端子は、**図 8.7** に示す構成になっています。

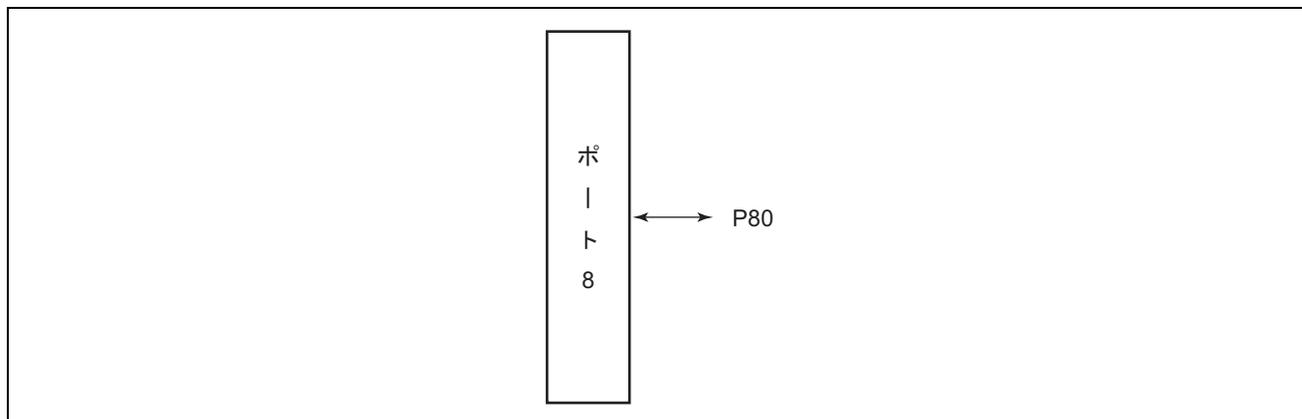


図 8.7 ポート 8 の端子構成

ポート 8 には以下のレジスタがあります。

- ポートデータレジスタ 8 (PDR8)
- ポートコントロールレジスタ 8 (PCR8)

8.6.1 ポートデータレジスタ 8 (PDR8)

PDR8 は、ポート 8 の端子を格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7~1	—	—	—	リザーブビット
0	P80	0	R/W	PCR8 が 1 のとき、ポート 8 のリードを行うと、PDR8 の値を直接リードします。そのため端子状態の影響を受けません。PCR8 が 0 のとき、ポート 8 のリードを行うと、端子状態が読み出されます。

8.6.2 ポートコントロールレジスタ 8 (PCR8)

PCR8 は、ポート 8 の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7~1	—	—	W	リザーブビット ライトする場合は 0 ライトのみ可能です。
0	PCR80	0	W	PCR8 に 1 をセットすると対応する P80 端子は出力端子となり、0 にクリアすると入力端子となります。 本レジスタはライト専用です。

8.6.3 端子機能

ポート 8 の端子機能を示します。

- P80

PCR8 の PCR80 で、次のように切り替わります。

PCR80	0	1
端子機能	P80 入力端子	P80 出力端子

8. I/O ポート

8.7 ポート 9

ポート 9 は、PWM 出力端子と兼用の NMOS 出力専用の大電流ポートです。ポート 9 の各端子は、図 8.8 に示す構成になっています。

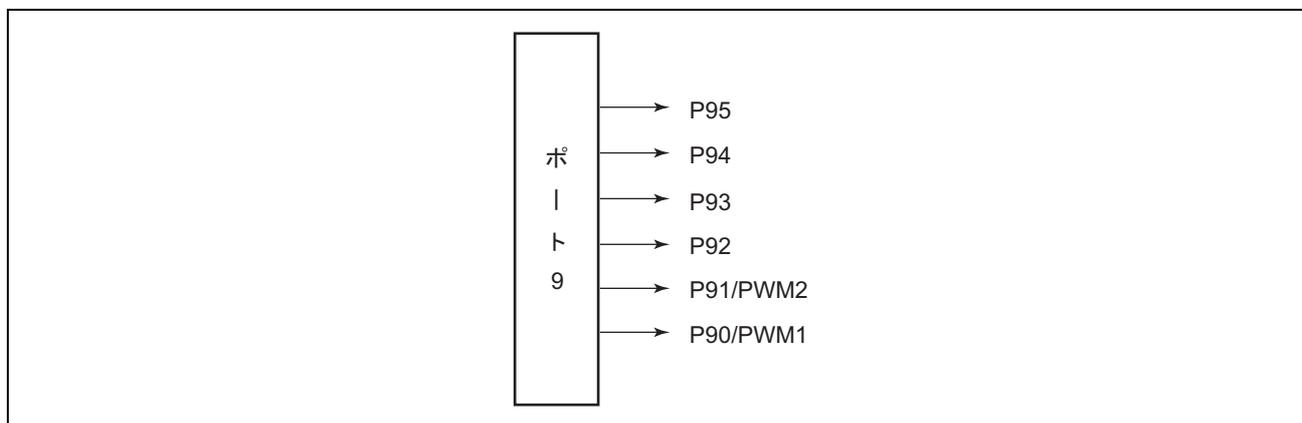


図 8.8 ポート 9 の端子構成

ポート 9 には以下のレジスタがあります。

- ポートデータレジスタ 9 (PDR9)
- ポートモードレジスタ 9 (PMR9)

8.7.1 ポートデータレジスタ 9 (PDR9)

PDR9 は、ポート 9 のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7、6	—	1	—	リザーブビット 初期値を変更しないでください。
5	P95	1	R/W	このレジスタをリードすると、常に PDR9 の値を直接リードします。
4	P94	1	R/W	
3	P93	1	R/W	
2	P92	1	R/W	
1	P91	1	R/W	
0	P90	1	R/W	

8.7.2 ポートモードレジスタ 9 (PMR9)

PMR9 は、P90～P91 端子機能の切り替えを制御します。

ビット	ビット名	初期値	R/W	説明
7～4	—	1	—	リザーブビット 初期値を変更しないでください。
3	—	0	R/W	リザーブビット リード/ライト可能なリザーブビットです。
2	—	—	W	リザーブビット ライトする場合は 0 ライトのみ可能です。
1 0	PWM2 PWM1	0 0	R/W R/W	P9n/PWM 端子機能切り替え P9n/PWMn+1 端子を P9n 端子として使用するか、PWMn+1 として使用するか設定します (n=1、0)。 0 : P9n 出力端子として機能 1 : PWMn+1 出力端子として機能

8.7.3 端子機能

ポート 9 の端子機能を示します。

- P91/PWMn+1～P90/PWMn+1

(n=1、0)

PMR9n	0	1
端子機能	P9n 出力端子	PWMn+1 出力端子

8. I/O ポート

8.8 ポート A

ポート A は、入出力ポートです。ポート A の各端子は、図 8.9 に示す構成になっています。

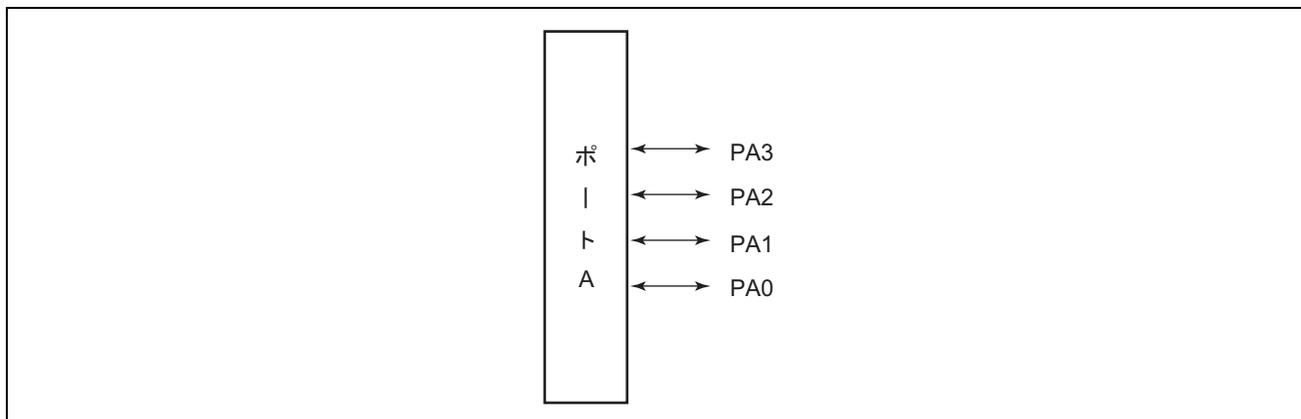


図 8.9 ポート A の端子構成

ポート A には以下のレジスタがあります。

- ポートデータレジスタ A (PDRA)
- ポートコントロールレジスタ A (PCRA)

8.8.1 ポートデータレジスタ A (PDRA)

PDRA は、ポート A のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7~4	—	1	—	リザーブビット 初期値を変更しないでください。
3	PA3	0	R/W	PCRA が 1 のとき、ポート A のリードを行うと、PDRA の値を直接リードします。そのため端子状態の影響を受けません。PCRA が 0 のとき、ポート A のリードを行うと、端子状態が読み出されます。
2	PA2	0	R/W	
1	PA1	0	R/W	
0	PA0	0	R/W	

8.8.2 ポートコントロールレジスタ A (PCRA)

PCRA は、ポート A の入出力をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7~4	—	1	—	リザーブビット 初期値を変更しないでください。
3	PCRA3	0	W	PCRA に 1 をセットすると対応する PA3~PA0 端子は出力端子となり、0 にクリアすると入力端子となります。 本レジスタはライト専用です。リードした場合、各ビットは常に 1 が読み出されます。
2	PCRA2	0	W	
1	PCRA1	0	W	
0	PCRA0	0	W	

8.8.3 端子機能

ポート A の端子機能を示します。

- PA3

PCRA の PCRA3 で、次のように切り替わります。

PCRA3	0	1
端子機能	PA3 入力端子	PA3 出力端子

- PA2

PCRA の PCRA2 で、次のように切り替わります。

PCRA2	0	1
端子機能	PA2 入力端子	PA2 出力端子

- PA1

PCRA の PCRA1 で、次のように切り替わります。

PCRA1	0	1
端子機能	PA1 入力端子	PA1 出力端子

- PA0

PCRA の PCRA0 で、次のように切り替わります。

PCRA0	0	1
端子機能	PA0 入力端子	PA0 出力端子

8. I/O ポート

8.9 ポート B

ポート B は、割り込み入力端子、アナログ入力端子と兼用の入力専用ポートです。ポート B の各端子は、**図 8.10** に示す構成になっています。

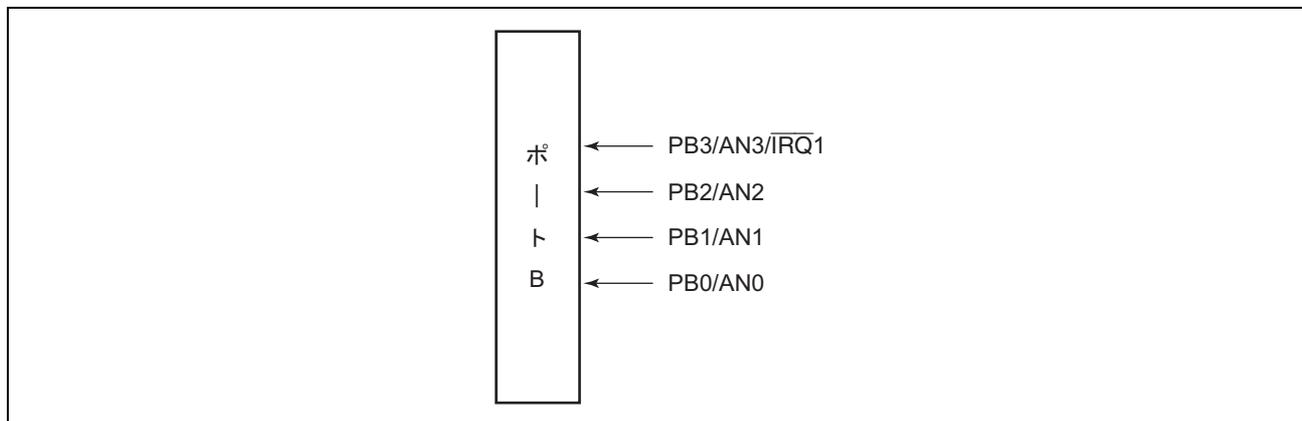


図 8.10 ポート B の端子構成

ポート B には以下のレジスタがあります。

- ポートデータレジスタ B (PDRB)
- ポートモードレジスタ B (PMRB)

8.9.1 ポートデータレジスタ B (PDRB)

PDRB は、ポート B のデータを格納するレジスタです。

ビット	ビット名	初期値	R/W	説明
7~4	—	不定	—	リザーブビット
3	PB3	不定	R	PDRB をリードすると常に各端子の状態が読み出されます。ただし、A/D 変換器の AMR の CH3~CH0 によりアナログ入力チャネルが選択されている端子をリードすると入力電圧に関係なく 0 が読み出されます。
2	PB2		R	
1	PB1		R	
0	PB0		R	

8.9.2 ポートモードレジスタ B (PMRB)

PMRB は、PB3 端子機能の切り替えを制御します。

ビット	ビット名	初期値	R/W	説明
7~4	—	1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	IRQ1	0	R/W	PB3/AN3/ $\overline{\text{IRQ1}}$ 端子機能切り替え PB3/AN3/ $\overline{\text{IRQ1}}$ 端子を PB3/AN3 端子として使用するか、 $\overline{\text{IRQ1}}$ 端子として使用するかを設定します。 0 : PB3/AN3 入力端子として機能 1 : $\overline{\text{IRQ1}}$ 入力端子として機能
2~0	—	1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

8.9.3 端子機能

ポート B の端子機能を示します。

- PB3/AN3/ $\overline{\text{IRQ1}}$

AMR の CH3~CH0、PMRB の IRQ1 の組み合わせで、次のように切り替わります。

IRQ1	0		1
CH3~CH0	B'0111 以外	B'0111	*
端子機能	PB3 入力端子	AN3 入力端子	$\overline{\text{IRQ1}}$ 入力端子

【記号説明】 * : Don't care

- PB2/AN2

AMR の CH3~CH0 により次のように切り替わります。

CH3~CH0	B'0110 以外	B'0110
端子機能	PB2 入力端子	AN2 入力端子

- PB1/AN1

AMR の CH3~CH0 で、次のように切り替わります。

CH3~CH0	B'0101 以外	B'0101
端子機能	PB1 入力端子	AN1 入力端子

- PB0/AN0

AMR の CH3~CH0 で、次のように切り替わります。

CH3~CH0	B'0100 以外	B'0100
端子機能	PB0 入力端子	AN0 入力端子

8.10 使用上の注意事項

8.10.1 未使用端子の処理

ユーザシステムで使用していない入出力端子がフローティングの場合、フローティング端子はプルアップまたはプルダウンしてください。

- 未使用端子が入力設定の場合は下記のいずれかの設定にしてください。

1. 内蔵プルアップMOSでVccにプルアップ
2. 外部に100k Ω 程度の抵抗をつけてVccにプルアップ
3. 外部に100k Ω 程度の抵抗をつけてVssにプルダウン
4. A/D変換器の端子と兼用している端子はAVccにプルアップ

- 未使用端子が出力設定の場合は下記のいずれかの設定にしてください。

1. 未使用端子をHighレベル出力にし、外部に100k Ω 程度の抵抗をつけてVccにプルアップ
2. 未使用端子をLowレベル出力にし、外部に100k Ω 程度の抵抗をつけてGNDにプルダウン

9. タイマ

9.1 概要

4本のタイマ（タイマA、F、非同期イベントカウンタ、ウォッチドッグタイマ）を内蔵しています。各タイマの機能概要を表9.1に示します。

表 9.1 タイマの機能概要

タイマ名称	機能	内部クロック	イベント 入力端子	波形 出力端子	備考
タイマA	<ul style="list-style-type: none"> 8ビットのタイマ 	$\phi/8 \sim \phi/8192$	-	-	
	<ul style="list-style-type: none"> インターバル機能 時計用タイムベース機能 	$\phi_w/128$ (オーバフロー周期は4種類選択可)			
タイマF	<ul style="list-style-type: none"> 16ビットのタイマ 独立した2本の8ビットタイマとして使用可能 アウトプットコンペア出力機能 	$\phi/4 \sim \phi/32$ 、 $\phi_w/4$ (4種類)	-	TMOFL TMOFH	
非同期イベント カウンタ (AEC)	<ul style="list-style-type: none"> 16ビットのカウンタ 独立した2本の8ビットカウンタとして使用可能 ϕ、ϕ_wと非同期のイベント機能 マイコンの内部クロックとは無関係に非同期イベント（立ち上がり／立ち下がり／両エッジ）をカウント可能 	$\phi/2 \sim \phi/8$ (3種類)	AEVL AEVH IRQAEC	-	
ウォッチドッグ タイマ	<ul style="list-style-type: none"> 8ビットカウンタのオーバフローでリセット信号を発生 	$\phi/8192$ $\phi_w/32$	-	-	

9. タイマ

9.2 タイマ A

タイマ A はインターバルタイマ/時計用タイムベース機能を内蔵した 8 ビットのタイマです。32.768kHz の水晶発振器を接続すると時計用タイムベースとして使用できます。ブロック図を図 9.1 に示します。

9.2.1 特長

- タイマ A はインターバルタイマまたは時計用タイムベースとして設定可能
- カウンタのオーバーフローで割り込みを発生
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能
(詳細は、「5.4 モジュールスタンバイ機能」を参照してください。)

インターバルタイマ

- 8種類の内部クロック ($\phi/8192$ 、 $\phi/4096$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/128$ 、 $\phi/32$ 、 $\phi/8$) を選択可能

時計用タイムベース

- 4種類のオーバーフロー周期 (1s、0.5s、0.25s、31.25ms) を選択可能 (32.768kHz水晶発振器使用時)

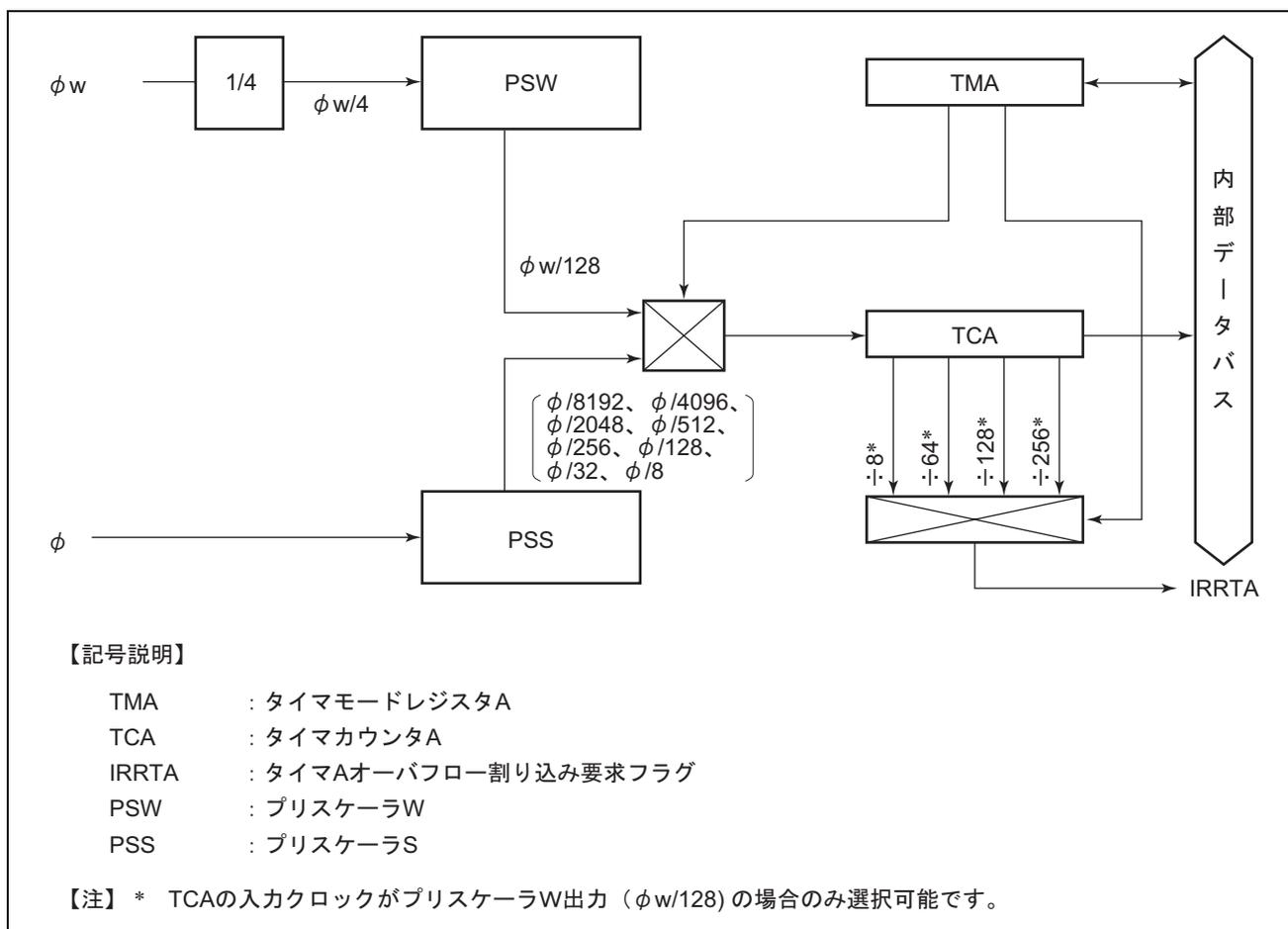


図 9.1 タイマ A ブロック図

9.2.2 レジスタの説明

タイマ A には以下のレジスタがあります。

- タイマモードレジスタ A (TMA)
- タイマカウンタ A (TCA)

(1) タイマモードレジスタ A (TMA)

TMA は動作モードの選択、および分周クロック出力、入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	—	—	W	リザーブビット
6	—	—	W	0 ライトのみ可能です。
5	—	—	W	
4	—	1	—	リザーブビット リードすると常に 1 が読み出されます。
3	TMA3	0	R/W	インターナルクロックセレクト 3 タイマ A の動作モードを選択します。 0 : プリスケラ S の出力をカウントするインターバルタイマとして動作します。 1 : プリスケラ W の出力をカウントする時計用タイムベースとして動作します。
2	TMA2	0	R/W	インターナルクロックセレクト 2~0 TMA3=0 のとき、TCA に入力するクロックを選択します。 000 : $\phi/8192$ 001 : $\phi/4096$ 010 : $\phi/2048$ 011 : $\phi/512$ 100 : $\phi/256$ 101 : $\phi/128$ 110 : $\phi/32$ 111 : $\phi/8$ TMA3=1 のとき、オーバフロー周期を選択します。 (ϕW として 32.768kHz の水晶発振器を使用した場合) 000 : 1s 001 : 0.5s 010 : 0.25s 011 : 0.03125s 1XX : PSW と TCA はともにリセット状態になります。
1	TMA1	0	R/W	
0	TMA0	0	R/W	

【記号説明】 X : Don't care

9. タイマ

(2) タイマカウンタ A (TCA)

TCA は 8 ビットのリード可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックは TMA の TMA3~TMA0 により選択します。TCA の値は、アクティブモード時は CPU からリードできますが、サブアクティブモード時ではリードできません。TCA がオーバフローすると、割り込み要求レジスタ 1 (IRR1) の IRRTA が 1 にセットされます。TCA は TMA の TMA3、TMA2 を B'11 にセットすることでクリアできます。TCA の初期値は H'00 です。

9.2.3 動作説明

(1) インターバル動作

TMA の TMA3 を 0 にセットすると、タイマ A は 8 ビットインターバルタイマとして動作します。

リセット時、TCA は H'00、TMA3 は 0 にクリアされるため、リセット直後はインターバルタイマとして停止することなくカウントアップを続けます。タイマ A の動作クロックは、TMA の TMA2~TMA0 により、プリスケアラ S の出力する 8 種類の内部クロックを選択できます。

TCA のカウンタ値が H'FF になった後、クロックが入力されると、タイマ A はオーバフローし、IRR1 の IRRTA が 1 にセットされます。このとき、割り込み許可レジスタ 1 (IENR1) の IENTA が 1 ならば CPU に割り込み要求を発生します。オーバフローすると TCA のカウント値は H'00 に戻り、再びカウントアップを開始します。したがって、256 回の入力クロックごとに、オーバフロー出力を発生するインターバルタイマとして動作します。

(2) 時計用タイムベース動作

TMA の TMA3 を 1 にセットすると、タイマ A はプリスケアラ W の出力するクロックをカウントして、時計用タイムベースとして動作します。タイマ A のオーバフロー周期は、TMA の TMA1、TMA0 により 4 種類選択できます。時計用タイムベース動作時 (TMA3=1) に TMA2 を 1 にすると、TCA およびプリスケアラ W はともに H'00 にクリアされます。

9.2.4 タイマ A の動作モード

タイマ A の動作モードを表 9.2 に示します。

表 9.2 タイマ A の動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
TCA	インターバル	リセット	動作	動作	停止	停止	停止	停止	停止
	時計用 タイムベース	リセット	動作*	動作*	動作	動作	動作	停止	停止
TMA		リセット	動作	保持	保持	動作	保持	保持	保持

【注】 * アクティブモード、スリープモード時に、TCA の内部クロックとして時計用タイムベース機能を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/\phi$ (s) の誤差が生じます。

9.3 タイマF

タイマFは、アウトプットコンペア機能を内蔵した16ビットのタイマです。コンペアマッチ信号によるカウンタのリセット、割り込み要求、トグル出力など、多機能タイマとして種々の応用が可能です。また、2本の独立した8ビットタイマ（タイマFH、タイマFL）としても使用可能です。タイマFのブロック図を図9.2に示します。

9.3.1 特長

- カウンタ入力クロック：4種類
内部クロック（ $\phi/32$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi w/4$ ）の選択が可能
- トグル出力機能
1本のコンペアマッチ信号により、TMOFH端子（TMOFL端子）にトグル出力します。
トグル出力の初期値を設定可能
- コンペアマッチ信号によるカウンタリセット
- 割り込み要因
コンペアマッチ×1要因、オーバフロー×1要因
- TCRFのCKSH2～CKSH0ビットにより、16ビットモードと8ビットモードの選択が可能
- ウォッチモード、サブアクティブモード、サブスリープモードで動作可能
内部クロックとして $\phi w/4$ を選択すると、ウォッチモード、サブアクティブモード、サブスリープモードで動作できます。
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能
（詳細は、「5.4 モジュールスタンバイ機能」を参照してください。）

9. タイマ

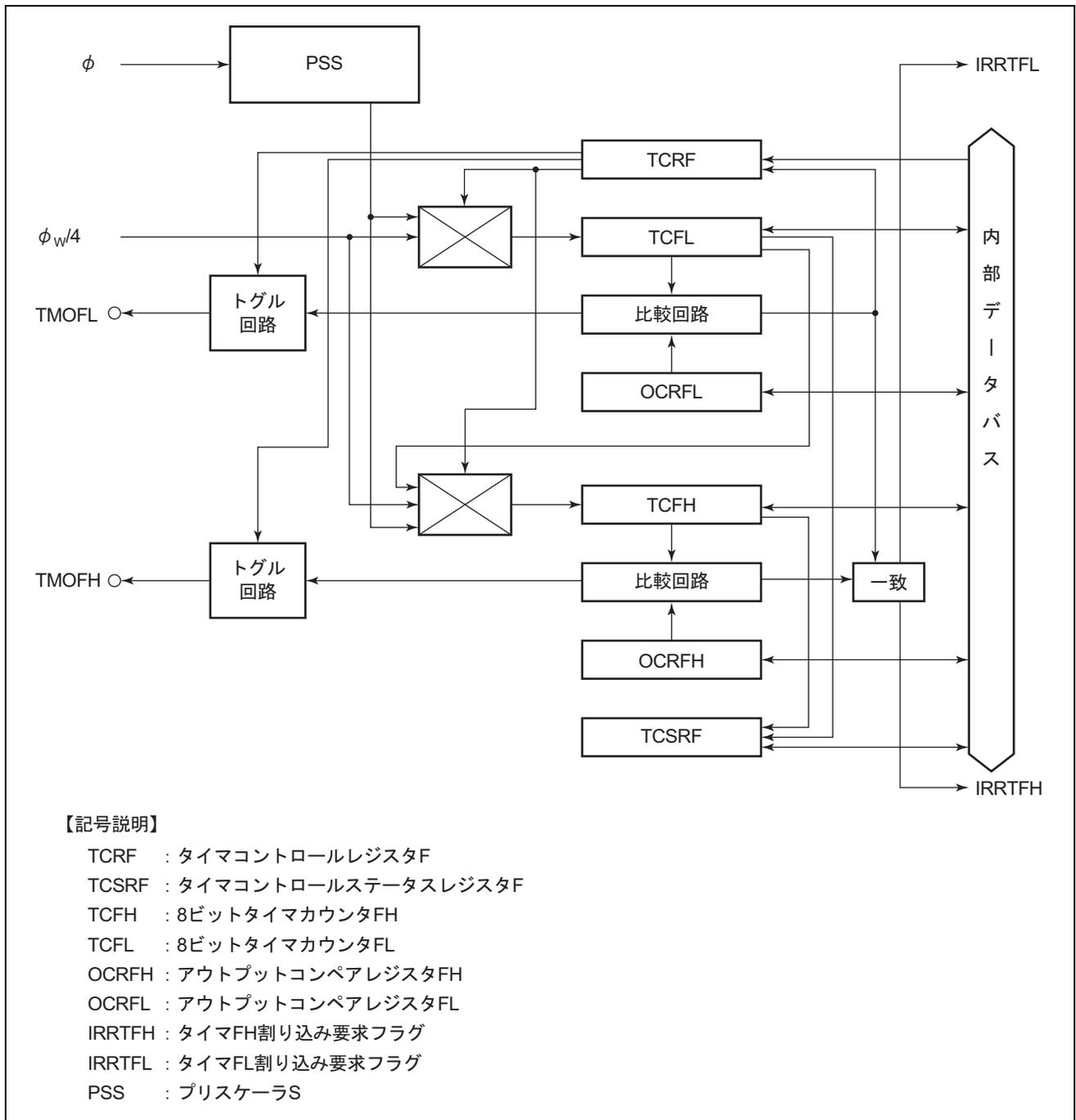


図 9.2 タイマFのブロック図

9.3.2 入出力端子

タイマ F の端子構成を表 9.3 に示します。

表 9.3 端子構成

名称	略称	入出力	機能
タイマ FH 出力	TMOFH	出力	タイマ FH トグル出力端子
タイマ FL 出力	TMOFL	出力	タイマ FL トグル出力端子

9.3.3 レジスタの説明

タイマ F には以下のレジスタがあります。

- タイマカウンタ FH、FL (TCFH、TCFL)
- アウトプットコンペアレジスタ FH、FL (OCR FH、OCR FL)
- タイマコントロールレジスタ F (TCRF)
- タイマコントロールステータスレジスタ F (TCSR F)

(1) タイマカウンタ FH、FL (TCFH、TCFL)

TCF は 16 ビットのリード/ライト可能なアップカウンタで、8 ビットのタイマカウンタ (TCFH、TCFL) のカスケード接続により構成されています。上位 8 ビットを TCFH、下位 8 ビットを TCFL とする 16 ビットカウンタとして使用できるほか、TCFH、TCFL を独立した 8 ビットカウンタとして使用することもできます。

TCFH、TCFL は、CPU からリード/ライト可能ですが、16 ビットモードで使用する場合、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行われます。TEMP の詳細は「9.3.4 CPU とのインタフェース」を参照してください。リセット時、TCFH、TCFL は H'00 に初期化されます。

• 16ビットモード (TCF)

TCRFのCKSH2を0に設定すると、TCFは16ビットカウンタとして動作します。TCFの入力クロックは、TCRFのCKSL2～CKSL0により選択します。

TCSR FのCCLR Hにより、コンペアマッチ時にTCFをクリアすることができます。

TCFがオーバーフロー (H'FFFF→H'0000) すると、TCSR FのOVFHが1にセットされます。このときTCSR FのOVIEHが1の場合、IRR2のIRRTFHが1にセットされ、さらにIENR2のIENTFHが1ならばCPUに割り込みを要求します。

• 8ビットモード (TCFL/TCFH)

TCRFのCKSH2を1に設定すると、TCFH、TCFLは2本の独立した8ビットカウンタとして動作します。

TCFH (TCFL) の入力クロックは、TCRFのCKSH2～CKSH0 (CKSL2～CKSL0) により選択します。

TCSR FのCCLR H (CCLR L) により、コンペアマッチ時にTCFH (TCFL) をクリアすることができます。

TCFH (TCFL) がオーバーフロー (H'FF→H'00) すると、TCSR FのOVFH (OVFL) が1にセットされます。

このときTCSR FのOVIEH (OVIEL) が1の場合、IRR2のIRRTFH (IRRTFL) が1にセットされ、さらにIENR2のIENTFH (IENTFL) が1ならばCPUに割り込みを要求します。

(2) アウトプットコンペアレジスタ FH、FL (OCRFH、OCRFL)

OCRFは16ビットのリード/ライト可能な2本のレジスタ(OCRFH、OCRFL)により構成されています。上位8ビットをOCRFH、下位8ビットをOCRFLとする16ビットレジスタとして使用できるほか、OCRFH、OCRFLを独立した8ビットレジスタとして使用することもできます。

OCRFH、OCRFLは、CPUからリード/ライト可能ですが、16ビットモードで使用する場合、CPUとのデータ転送はテンポラリレジスタ(TEMP)を介して行われます。TEMPの詳細は「9.3.4 CPUとのインタフェース」を参照してください。リセット時、OCRFH、OCRFLはH'FFに初期化されます。

• 16ビットモード (OCRF)

TCRFのCKSH2を0に設定すると、OCRFは16ビットレジスタとして動作します。OCRFの内容は、TCFと常に比較されており、両者の値が一致すると、TCSRのCMFHが1にセットされます。また、同時にIRR2のIRRTFHも1にセットされます。このときIENR2のIENTFHが1ならばCPUに割り込みを要求します。

コンペアマッチによるトグル出力をTMOFH端子より出力することができます。また、TCRFのTOLHにより、出力レベル(High/Low)の設定が可能です。

• 8ビットモード (OCRFH/OCRFL)

TCRFのCKSH2を1に設定すると、OCRFは2本の8ビットレジスタとして動作します。OCRFHの内容はTCFHと、またOCRFLの内容はTCFLとそれぞれ個別に比較されます。OCRFH (OCRFL)とTCFH (TCFL)の値が一致すると、TCSRのCMFH (CMFL)が1にセットされます。また、同時にIRR2のIRRTFH (IRRTFL)も1にセットされます。このとき、IENR2のIENTFH (IENTFL)が1ならばCPUに割り込みを要求します。コンペアマッチによるトグル出力をTMOFH端子 (TMOFL端子)より出力することができます。また、TCRFのTOLH (TOLL)により、出力レベル(High/Low)の設定が可能です。

(3) タイマコントロールレジスタ F (TCRF)

TCRF は 16 ビットモード/8 ビットモードの切り替え、内部クロックの選択、TMOFH 端子および TMOFL 端子の出力レベルの選択を設定します。

ビット	ビット名	初期値	R/W	説明
7	TOLH	0	W	トグルアウトプットレベル H TMOFH 端子の出力レベルを設定します。 0 : Low レベル 1 : High レベル
6	CKSH2	0	W	クロックセレクト H TCFH に入力するクロックを内部クロックまたは TCFL のオーバフローから選択します。 000 : 16 ビットモードとなり、TCFL のオーバフロー信号でカウント 001 : 16 ビットモードとなり、TCFL のオーバフロー信号でカウント 010 : 16 ビットモードとなり、TCFL のオーバフロー信号でカウント 011 : 使用禁止 100 : 内部クロック $\phi/32$ でカウント 101 : 内部クロック $\phi/16$ でカウント 110 : 内部クロック $\phi/4$ でカウント 111 : 内部クロック $\phi w/4$ でカウント
5	CKSH1	0	W	
4	CKSH0	0	W	
3	TOLL	0	W	トグルアウトプットレベル L TMOFL 端子の出力レベルを設定します。 0 : Low レベル 1 : High レベル
2	CKSL2	0	W	クロックセレクト L TCFL に入力するクロックを内部クロックまたは外部イベントから選択します。 000 : 動作しません 001 : 使用禁止 010 : 使用禁止 011 : 使用禁止 100 : 内部クロック $\phi/32$ でカウント 101 : 内部クロック $\phi/16$ でカウント 110 : 内部クロック $\phi/4$ でカウント 111 : 内部クロック $\phi w/4$ でカウント
1	CKSL1	0	W	
0	CKSL0	0	W	

9. タイマ

(4) タイマコントロールステータスレジスタ F (TCSR F)

TCSR F はカウンタクリアの選択、オーバフローフラグやコンペアマッチフラグのセット、オーバフローによる割り込み要求許可の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	OVFH	0	R/W*	タイマオーバフローフラグ H [セット条件] • TCFH の値が H'FF から H'00 にオーバフローしたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
6	CMFH	0	R/W*	コンペアマッチフラグ H TCFH と OCRFH がコンペアマッチしたことを示すステータスフラグです。 [セット条件] • TCFH の値と OCRFH の値がコンペアマッチしたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
5	OVIEH	0	R/W	タイマオーバフローインタラプトイネーブル H TCFH のオーバフローが発生したとき、割り込みの許可または禁止を選択します。 0 : TCFH のオーバフローによる割り込み要求を禁止 1 : TCFH のオーバフローによる割り込み要求を許可
4	CCLR H	0	R/W	カウンタクリア H 16 ビットモード時、TCF と OCRF がコンペアマッチしたとき TCF をクリアするかどうか選択します。8 ビットモード時は、TCFH と OCRFH がコンペアマッチしたとき TCFH をクリアするかどうか選択します。 16 ビットモード時 0 : コンペアマッチによる TCF のクリアを禁止 1 : コンペアマッチによる TCF のクリアを許可 8 ビットモード時 0 : コンペアマッチによる TCFH のクリアを禁止 1 : コンペアマッチによる TCFH のクリアを許可
3	OVFL	0	R/W*	タイマオーバフローフラグ L TCFL がオーバフローしたことを示すステータスフラグです。 [セット条件] • TCFL の値が H'FF から H'00 になったとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき

ビット	ビット名	初期値	R/W	説明
2	CMFL	0	R/W*	コンペアマッチフラグ L TCFL と OCRFL がコンペアマッチしたことを示すステータスフラグです。 [セット条件] • TCFL の値と OCRFL の値がコンペアマッチしたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき
1	OVIEL	0	R/W	タイマオーバーフローインタラプトイネーブル L TCFL のオーバーフローが発生したとき、割り込みの禁止または許可を選択します。 0 : TCFL のオーバーフローによる割り込み要求を禁止 1 : TCFL のオーバーフローによる割り込み要求を許可
0	CCLRL	0	R/W	カウンタクリア L TCFL と OCRFL がコンペアマッチしたとき、TCFL をクリアするかどうかを選択します。 0 : コンペアマッチによる TCFL のクリアを禁止 1 : コンペアマッチによる TCFL のクリアを許可

【注】 * フラグクリアのための 0 ライトのみ可能です。

9.3.4 CPU とのインタフェース

TCF、OCRF は 16 ビットのリード/ライト可能なレジスタで構成されています。一方、CPU と内蔵周辺モジュール間のデータバスは、8 ビット幅となっています。したがって CPU が TCF、OCRF をアクセスする場合、8 ビットのテンポラリレジスタ (TEMP) を介して行います。

16 ビットモードで TCF のリード/ライト、OCRF のライトを行うときは、上位バイトのみや下位バイトのみのアクセスでは、データは正しく転送されません。必ず 16 ビットレジスタ全体に対して行い (バイトサイズの MOV 命令を 2 回連続して行う)、かつ上位バイト、下位バイトの順序で行います。

なお、8 ビットモードでは特にアクセスの順序に制限はありません。

(1) ライト時の動作

上位バイトのライトにより、上位バイトのデータが TEMP に転送されます。

次に下位バイトのライトで、TEMP にあるデータが上位バイトのレジスタへ、下位バイトのデータは直接下位バイトのレジスタへライトされます。

TCF に H'AA55 をライトするときの TCF のライト動作を図 9.3 に示します。

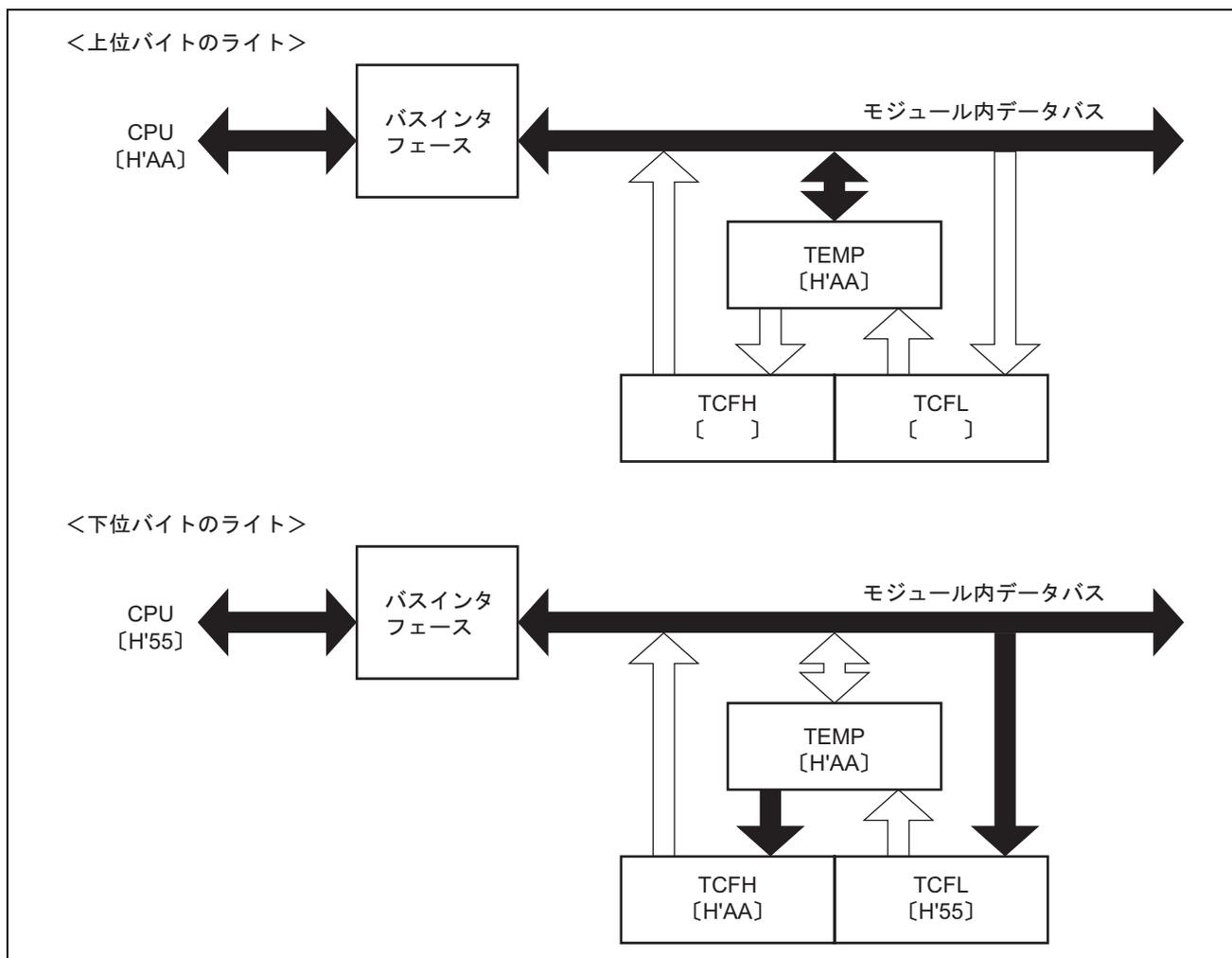


図 9.3 TCF のライト動作 (CPU→TCF)

(2) リード時の動作

TCF の場合、上位バイトのリードで、上位バイトのデータは直接 CPU に転送され、下位バイトのデータは TEMP に転送されます。

次に下位バイトのリードで、TEMP にある下位バイトのデータが CPU に転送されます。OCRF の場合、上位バイトのリードで、上位バイトのデータは直接 CPU に転送されます。下位バイトのリードで、下位バイトのデータは直接 CPU に転送されます。

H'AAFF である TCF をリードしたときの TCF のリード動作を図 9.4 に示します。

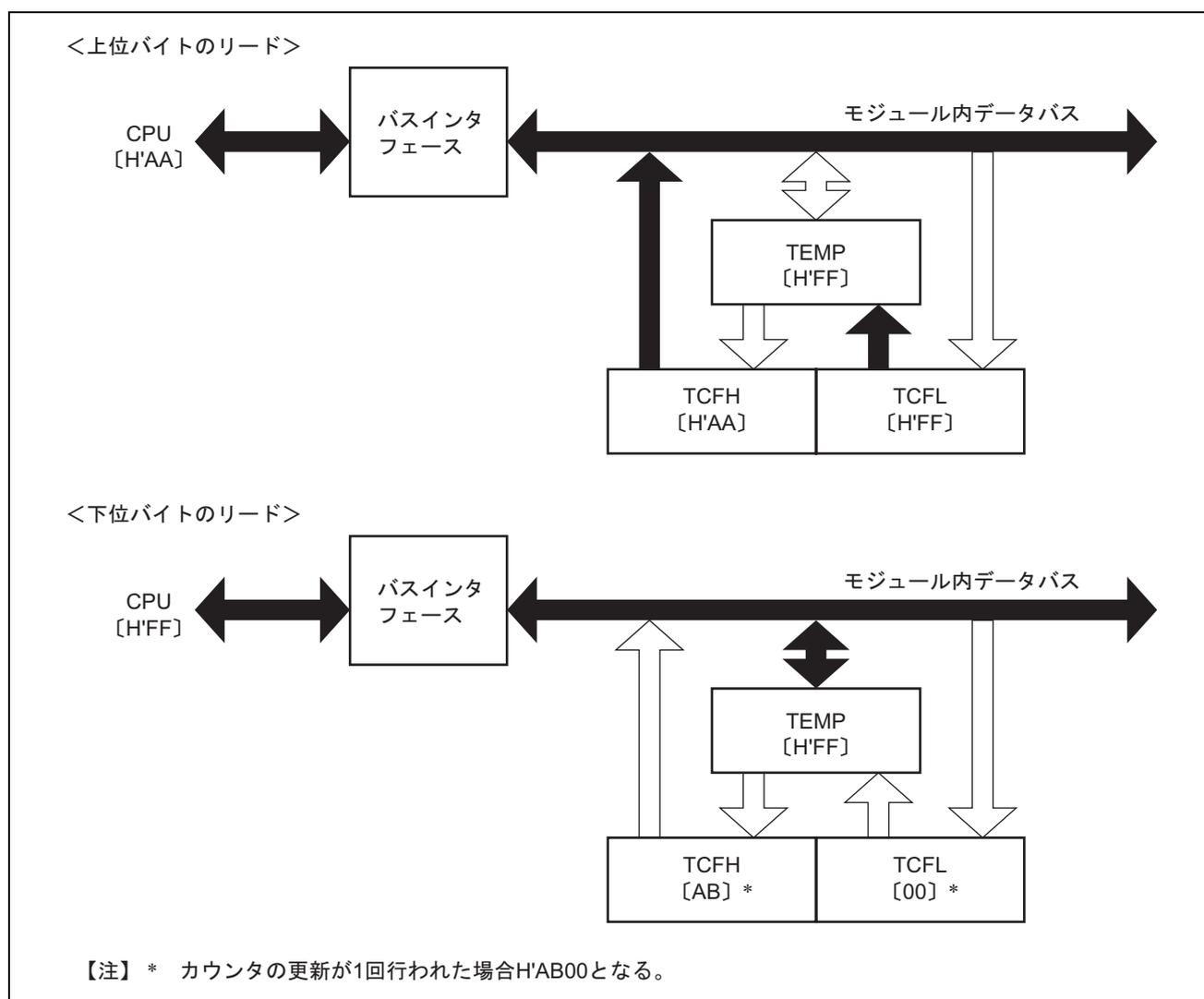


図 9.4 TCF のリード動作 (TCF→CPU)

9.3.5 動作説明

タイマFは、入力クロックが入るたびにカウントアップする16ビットのカウンタで、アウトプットコンペアレジスタFに設定した値とタイマカウンタFの値を常に比較しており、一致したタイミングでカウンタのクリア、割り込み要求、およびポートのトグル出力が可能です。また、2本の独立した8ビットタイマとしても機能できます。

(a) タイマFの動作

タイマFには、16ビットタイマモードと8ビットタイマモードの2種類の動作モードがあります。それぞれのモードの動作について以下に説明します。

• 16ビットタイマモードの動作

タイマコントロールレジスタF (TCRF) のCKSH2ビットを0に設定すると、タイマFは16ビットのタイマとして動作します。

タイマFの動作クロックは、TCRFのCKSL2～CKSL0ビットによりプリスケアラSの出力する3種類の内部クロックを選択できます。

TCFとOCRFの内容は常に比較されており、両者が一致するとTCSRFBのCMFHが1にセットされます。このときIENR2のIENTFHが1ならばCPUに割り込みを要求し、同時にTMOFH端子の出力をトグルします。また、TCSRFBのCCLRHCが1ならばTCFをクリアします。なお、TMOFH端子の出力はTCRFのTOLHにより設定できます。

TCFがオーバフロー (H'FFFF→H'0000) すると、TCSRFBのOVFHがセットされます。このとき、TCSRFBのOVIEHとIENR2のIENTFHがともに1ならばCPUに割り込みを要求します。

• 8ビットタイマモードの動作

TCRFのCKSH2を1に設定すると、TCFはTCFH、TCFLの2本の独立した8ビットタイマとして動作します。TCFH/TCFLの入力クロックは、TCRFのCKSH2～CKSH0/CKSL2～CKSL0により選定します。

OCRFH/OCRFLとTCFH/TCFLの値が一致すると、TCSRFBのCMFH/CMFLが1にセットされます。また、IENR2のIENTFH/IENTFLが1ならばCPUに割り込みを要求し、同時にTMOFH端子/TMOFL端子の出力をトグルします。また、TCSRFBのCCLRHC/CCLRHLが1ならば、TCFH/TCFLをクリアします。なお、TMOFH端子/TMOFL端子の出力は、TCRFのTOLH/TOLLにより設定できます。

TCFH/TCFLがオーバフロー (H'FF→H'00) すると、TCSRFBのOVFH/OVFLが1にセットされます。このとき、TCSRFBのOVIEH/OVIELとIENR2のIENTFH/IENTFLがともに1ならば、CPUに割り込みを要求します。

(b) TCFのカウントタイミング

TCFは、入力されたクロック（内部クロック）によりカウントアップされます。TCRFのCKSH2～CKSH0またはCKSL2～CKSL0の設定により、システムクロック（ ϕ または ϕ_w ）を分周して作られる4種類の内部クロック（ $\phi/32$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi_w/4$ ）が選択されます。

(c) TMOFH、TMOFL出力タイミング

TMOFH、TMOFLの出力は、TCRFのTOLH、TOLLで設定した値が出力されていますが、コンペアマッチが発生したとき出力が反転します。

図9.5に出力タイミングを示します。

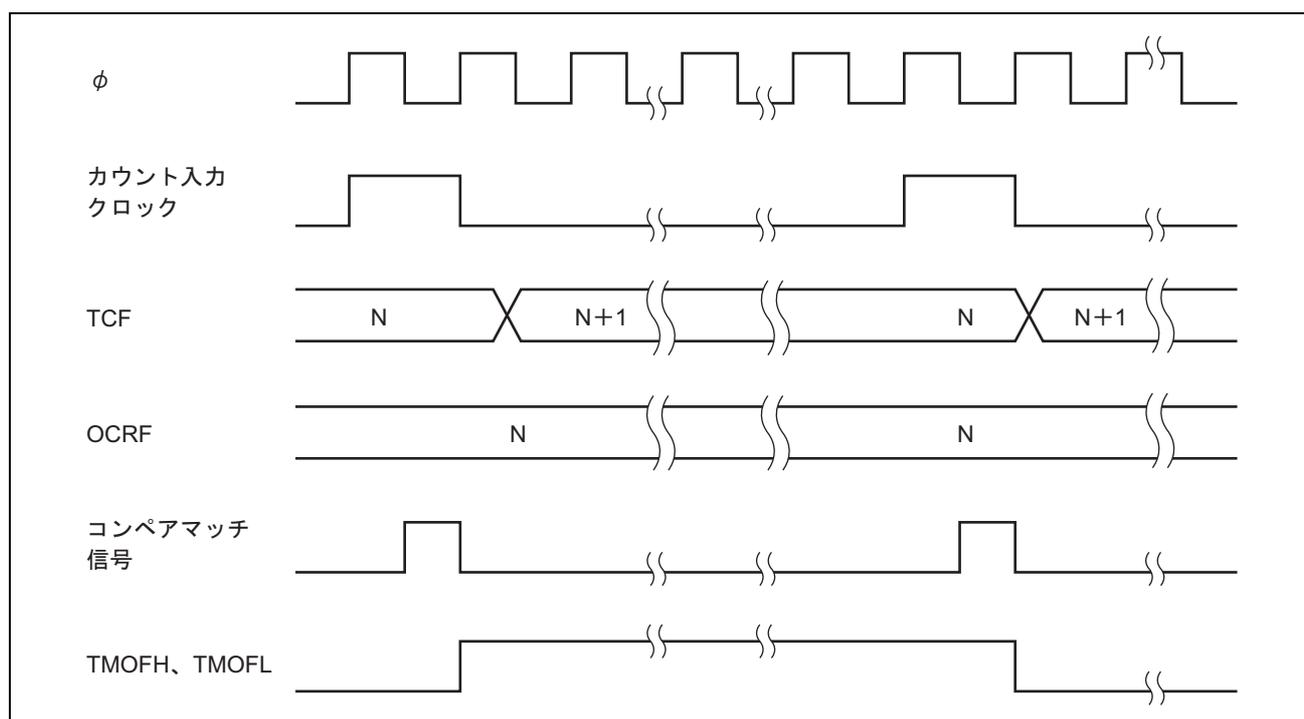


図 9.5 TMOFH、TMOFL 出力タイミング

(d) TCF のクリアタイミング

TCF は、OCRF とのコンペアマッチ時にクリアすることができます。

(e) タイマオーバフローフラグ (OVF) のセットタイミング

OVF は、TCF がオーバフロー (H'FFFF→H'0000) したとき 1 にセットされます。

(f) コンペアマッチフラグのセットタイミング

コンペアマッチフラグ (CMFH または CMFL) は、TCF と OCRF のコンペアマッチ時に 1 にセットされます。コンペアマッチ信号は、値が一致した最後のステート (TCF が一致したカウント値を更新するタイミング) で発生します。TCF と OCRF が一致した後、カウントアップクロックが発生するまで、コンペアマッチ信号は発生しません。

9.3.6 タイマ F の動作モード

タイマ F の動作モードを表 9.4 に示します。

表 9.4 タイマ F の動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
TCF	リセット	動作*	動作*	動作/停止*	動作/停止*	動作/停止*	停止	停止
OCRF	リセット	動作	保持	保持	動作	保持	保持	保持
TCRF	リセット	動作	保持	保持	動作	保持	保持	保持
TCSRFB	リセット	動作	保持	保持	動作	保持	保持	保持

【注】 * アクティブモード、スリープモード時に TCF の内部クロックとして $\phi_w/4$ を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/\phi$ (s) の誤差が生じます。

サブアクティブモード、ウォッチモード、サブスリープモード時にカウンタを動作させる場合には、必ず内部クロックとして $\phi_w/4$ を選択してください。その他の内部クロックを選択した場合、カウンタは動作しません。

9.3.7 使用上の注意事項

タイマ F の動作中、次のような競合や動作が起こりますので注意してください。

(a) 16 ビットタイマモード

トグル出力は 16 ビットすべてが一致し、コンペアマッチ信号が発生したとき TMOFH 端子から出力されます。MOV 命令による TCRF のライトと、コンペアマッチ信号が同時に起こった場合、TCRF のライトによる TOLH のデータが TMOFH 端子に出力されます。TMOFL 端子は 16 ビットモード時には出力は不定となりますので使用しないでください。ポートとして使用してください。

OCRFL のライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、コンペアマッチ信号が発生する場合としない場合があります。コンペアマッチ信号は、TCFL のクロックに同期して出力されるので、クロックが停止している場合、コンペアマッチしていてもコンペアマッチ信号は発生しません。

コンペアマッチフラグは、16 ビットすべてが一致し、コンペアマッチ信号が発生したとき CMFH にセットされますが、CMFL についても下位 8 ビットについてのセット条件が満たされていればセットされます。

TCF がオーバフローすると OVFH がセットされますが、OVFL についても下位 8 ビットがオーバフローした時点で、セット条件が満たされていればセットされます。TCFL のライトと、オーバフロー信号の出力が同時に起こった場合、オーバフロー信号は出力されません。

(b) 8ビットタイマモード

• TCFH、OCR FH

トグル出力は、コンペアマッチ時にTMOFH端子から出力されます。MOV命令によるTCRFのライトと、コンペアマッチ信号の発生が同時に起こった場合、TCRFのライトによるTOLHのデータがTMOFH端子に出力されます。

OCR FHのライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、コンペアマッチ信号が発生する場合としない場合があります。コンペアマッチ信号は、TCFHのクロックに同期して出力されます。

TCFHのライトと、オーバフロー信号の出力が同時に起こった場合、オーバフロー信号は出力されません。

• TCFL、OCR FL

トグル出力は、コンペアマッチ時にTMOFL端子から出力されます。MOV命令によるTCRFのライトと、コンペアマッチ信号の発生が同時に起こった場合、TCRFのライトによるTOLLのデータがTMOFL端子に出力されます。

OCR FLのライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、コンペアマッチ信号が発生する場合としない場合があります。コンペアマッチ信号は、TCFLのクロックに同期して出力されるので、クロックが停止している場合、コンペアマッチしていてもコンペアマッチ信号は発生しません。

TCFLのライトと、オーバフロー信号の出力が同時に起こった場合、オーバフロー信号は出力されません。

(c) タイマ FH、タイマ FL 割り込み要求フラグ (IRRTFH、IRRTFL)、タイマオーバフローフラグ H、L (OVFH、OVFL) およびコンペアマッチフラグ H、L (CMFH、CMFL) のクリア

内部クロックとして $\phi_w/4$ を選択した場合、「割り込み要因の発生を示す信号」の制御は ϕ_w で行われるため、この信号は ϕ_w の幅出力されます。また、「オーバフローしたことを示す信号」および「コンペアマッチしたことを示す信号」の制御は、 ϕ_w の2周期分の信号で行われるため、これらの信号は ϕ_w の2周期の幅出力されます (図 9.6)。

アクティブ (高速、中速) モードにおいて、「割り込み要因の発生を示す信号」が有効な間は、割り込み要求フラグをクリアしても、すぐにまた割り込み要求フラグがセットされます (図 9.6—①)。

また、「オーバフローしたことを示す信号」および「コンペアマッチしたことを示す信号」が有効な間は、タイマオーバフローフラグ、コンペアマッチフラグをクリアできません。

割り込み要求フラグをクリアしても、すぐにまた割り込み要求フラグがセットされるため、1回のタイマ FH、タイマ FL 割り込みに対し割り込み処理が複数回行われることがあります (図 9.6—②)。

そのため、アクティブ (高速、中速) モードにおいて、割り込み要求フラグを確実にクリアするためには、以下の (1) の計算式で計算される時間の後で、クリアを行う必要があります。また、タイマオーバフローフラグ、コンペアマッチフラグを確実にクリアするためには、以下の (1) の計算式で計算される時間の後で、タイマコントロールレジスタ F (TCSR F) をリードした後、クリアを行う必要があります。

(1) の計算式の ST には使用されている命令の中で最も実行ステート数が長い命令の実行ステート数を代入してください (MULXU、DIVXU 命令を使用しない場合は RTE 命令の 10 ステート、MULXU、DIVXU 命令を使用する場合は 14 ステート)。

9. タイマ

サブアクティブモードでは、割り込み要求フラグ、タイマオーバフローフラグ、コンペアマッチフラグのクリアに対する制限はありません。

「割り込み要因の発生を示す信号」が有効な時間
 $= \phi_w$ の 1 周期 + 実行中の命令の実行完了待ち時間 + (割り込みを ϕ で同期化する時間)
 $= 1/\phi_w + ST \times (1/\phi) + (2/\phi)$ (秒) …………… (1)

ST : 実行中の命令の実行ステート数

具体的には下記の方法がありますが、時間の有効活用の面から (方法 1) を推奨します。

- (方法1)

割り込み処理ルーチン内で割り込みを禁止 (IENFH、IENFLを0に設定) し、通常処理に復帰した後で (1) の計算式の時間以上を待って、割り込み要求フラグ (IRRTFH、IRRTFL) をクリアし、タイマコントロールステータスレジスタF (TCSRFF) をリードした後、タイマオーバフローフラグ (OVFH、OVFL) およびコンペアマッチフラグ (CMFH、CMFL) をクリアし、割り込みの許可 (IENFH、IENFLを1に設定) を行います。

- (方法2)

割り込み処理ルーチンの処理時間を (1) の計算式の時間以上にし、割り込み処理ルーチンの最後で割り込み要求フラグ (IRRTFH、IRRTFL) をクリアし、タイマコントロールステータスレジスタF (TCSRFF) をリードした後、タイマオーバフローフラグ (OVFH、OVFL) およびコンペアマッチフラグ (CMFH、CMFL) のクリアを行います。

以上の注意事項は、16ビットモード、8ビットモードとも同じです。

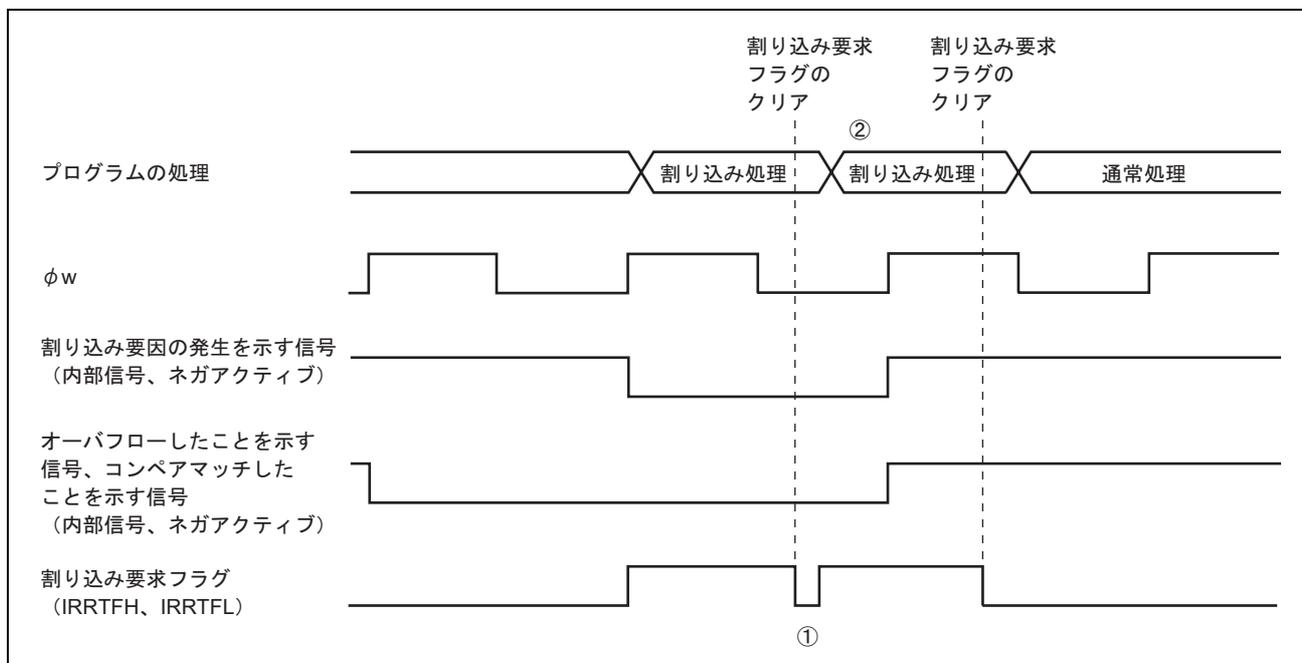


図 9.6 割り込み要因の発生を示す信号が有効なときに割り込み要求フラグのクリアを行った場合

(d) タイマカウンタ (TCF) のリード/ライト

アクティブ（高速、中速）モードにおいて、内部クロックとして $\phi_w/4$ を選択した場合 TCF に対するライトはできません。また、リードする場合、システムクロックと内部クロックが非同期であるため、同期回路で同期をとっています。これにより、TCF のリード値は最大 ± 1 の誤差が生じます。

アクティブ（高速、中速）モードで TCF をリード/ライトする必要がある場合は、内部クロックとして $\phi_w/4$ 以外を選択してからリード/ライトを行ってください。

サブアクティブモードでは、内部クロックとして $\phi_w/4$ を選択した場合でも TCF は正常にリード/ライトできます。

9.4 非同期イベントカウンタ (AEC)

非同期イベントカウンタ (Asynchronous Event Counter) は、外部イベントクロックまたは内部クロックが入るたびにカウントアップするイベントカウンタです。非同期イベントカウンタのブロック図を図 9.7 に示します。

9.4.1 特長

- 非同期イベントをカウント可能
システムクロック ϕ 、 ϕ_{SUB} の動作とは無関係に入力される外部イベントのカウントが可能です
- 2チャンネルの独立した8ビットイベントカウンタまたは、1チャンネルの独立した16ビットイベントカウンタとして使用可能
- IRQAECがHighレベルまたはイベントカウンタPWM出力 (IECPWM) がHighレベルのときだけ、イベント/クロック入力有効
- IRQAECまたはイベントカウンタPWM出力 (IECPWM) 割り込みは両エッジで検出可能。非同期カウンタを用いない場合は、独立した割り込みとして使用可能
- イベントカウンタPWMを用い、イベントクロック入力の禁止/許可が一定の周期で自動的に制御可能
- ECHとECLのクロックソースは、外部イベント入力とプリスケアラの出力クロックの選択がソフトウェアで可能。プリスケアラの出力クロックは $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ のいずれかを選択可能
- AEVL、AEVHは両エッジでカウント可能
- ソフトウェアによってカウンタのリセット、カウントアップ機能の停止が制御可能
- イベントカウンタのオーバフローを検出し、自動的に割り込みを発生
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能
(詳細は、「5.4 モジュールスタンバイ機能」を参照してください。)

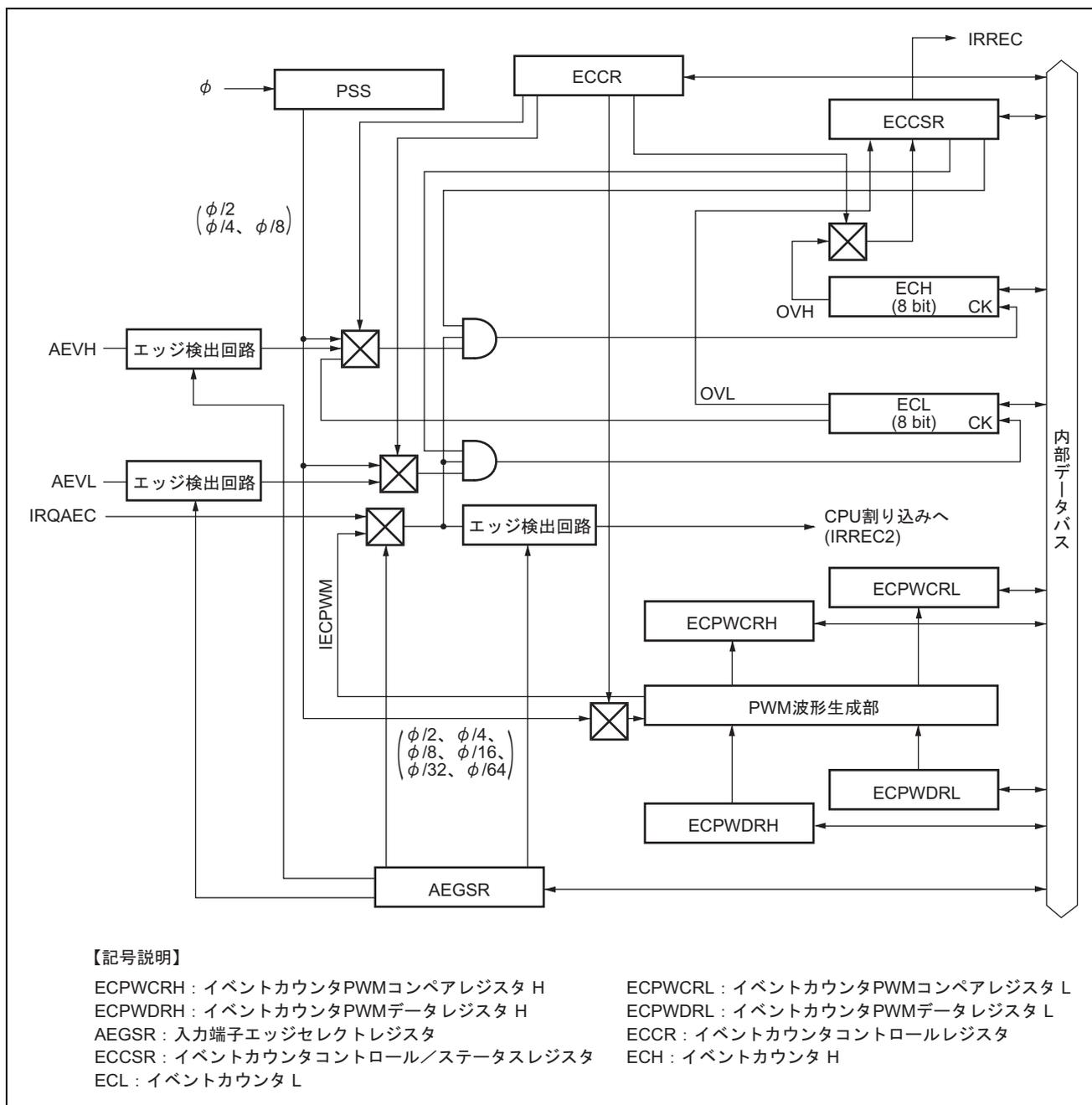


図 9.7 非同期イベントカウンタブロック図

9. タイマ

9.4.2 入出力端子

非同期イベントカウンタの端子構成を表 9.5 に示します。

表 9.5 端子構成

名称	略称	入出力	機能
非同期イベント入力H	AEVH	入力	イベントカウンタ H に入力するイベント入力端子
非同期イベント入力L	AEVL	入力	イベントカウンタ L に入力するイベント入力端子
イベント入力イネーブル 割り込み入力	IRQAEC	入力	イベント入力を有効にする割り込み入力端子

9.4.3 レジスタの説明

非同期イベントカウンタには以下のレジスタがあります。

- イベントカウンタPWMコンペアレジスタH (ECPWCRH)
- イベントカウンタPWMコンペアレジスタL (ECPWCRL)
- イベントカウンタPWMデータレジスタH (ECPWDRH)
- イベントカウンタPWMデータレジスタL (ECPWDRL)
- 入力端子エッジセレクトレジスタ (AEGSR)
- イベントカウンタコントロールレジスタ (ECCR)
- イベントカウンタコントロール/ステータスレジスタ (ECCSR)
- イベントカウンタH (ECH)
- イベントカウンタL (ECL)

(1) イベントカウンタ PWM コンペアレジスタ H (ECPWCRH)

ECPWCRH はイベントカウンタ PWM 波形の 1 変換周期を設定します。

ビット	ビット名	初期値	R/W	説明
7	ECPWCRH7	1	R/W	イベントカウンタ PWM 波形 1 変換周期
6	ECPWCRH6	1	R/W	
5	ECPWCRH5	1	R/W	
4	ECPWCRH4	1	R/W	
3	ECPWCRH3	1	R/W	
2	ECPWCRH2	1	R/W	
1	ECPWCRH1	1	R/W	
0	ECPWCRH0	1	R/W	

【注】 AEGSR の ECPWME が 1 のとき、イベントカウンタ PWM は動作中ですので ECPWCRH を書き換えしないでください。

変換周期を変更する際は必ず AEGSR の ECPWME を 0 にしてイベントカウンタ PWM を停止させて書き換えてください。

(2) イベントカウンタ PWM コンペアレジスタ L (ECPWCRL)

ECPWCRL はイベントカウンタ PWM 波形の 1 変換周期を設定します。

ビット	ビット名	初期値	R/W	説 明
7	ECPWCRL7	1	R/W	イベントカウンタ PWM 波形 1 変換周期
6	ECPWCRL6	1	R/W	
5	ECPWCRL5	1	R/W	
4	ECPWCRL4	1	R/W	
3	ECPWCRL3	1	R/W	
2	ECPWCRL2	1	R/W	
1	ECPWCRL1	1	R/W	
0	ECPWCRL0	1	R/W	

【注】 AEGSR の ECPWME が 1 のとき、イベントカウンタ PWM は動作中ですので ECPWCRL を書き換えしないでください。

変換周期を変更する際は必ず AEGSR の ECPWME を 0 にしてイベントカウンタ PWM を停止させて書き換えてください。

(3) イベントカウンタ PWM データレジスタ H (ECPWDRH)

ECPWDRH はイベントカウンタ PWM 波形生成部のデータを制御します。

ビット	ビット名	初期値	R/W	説 明
7	ECPWDRH7	0	W	イベントカウンタ PWM 波形生成データ制御
6	ECPWDRH6	0	W	
5	ECPWDRH5	0	W	
4	ECPWDRH4	0	W	
3	ECPWDRH3	0	W	
2	ECPWDRH2	0	W	
1	ECPWDRH1	0	W	
0	ECPWDRH0	0	W	

【注】 AEGSR の ECPWME が 1 のとき、イベントカウンタ PWM は動作中ですので ECPWDRH を書き換えしないでください。

データを変更する際は必ず AEGSR の ECPWME を 0 にしてイベントカウンタ PWM を停止させて書き換えてください。

9. タイマ

(4) イベントカウンタ PWM データレジスタ L (ECPWDRL)

ECPWDRL はイベントカウンタ PWM 波形生成部のデータを制御します。

ビット	ビット名	初期値	R/W	説明
7	ECPWDRL7	0	W	イベントカウンタ PWM 波形生成データ制御
6	ECPWDRL6	0	W	
5	ECPWDRL5	0	W	
4	ECPWDRL4	0	W	
3	ECPWDRL3	0	W	
2	ECPWDRL2	0	W	
1	ECPWDRL1	0	W	
0	ECPWDRL0	0	W	

【注】 AEGSR の ECPWME が 1 のとき、イベントカウンタ PWM は動作中ですので ECPWDRL を書き換えしないでください。

データを変更する際は必ず AEGSR の ECPWME を 0 にしてイベントカウンタ PWM を停止させて書き換えてください。

(5) 入力端子エッジセレクトレジスタ (AEGSR)

AEGSR は AEVH 端子、AEVL 端子、IRQAEC 端子の立ち上がり、立ち下がり、両エッジセンスの検出の選択を設定します。

ビット	ビット名	初期値	R/W	説明
7	AHEGS1	0	R/W	AEC エッジ選択 H AEVH 端子の検出を選択します。 00 : AEVH 端子の立ち下がりエッジを検出 01 : AEVH 端子の立ち上がりエッジを検出 10 : AEVH 端子の両エッジを検出 11 : 設定禁止
6	AHEGS0	0	R/W	
5	ALEGS1	0	R/W	AEC エッジ選択 L AEVL 端子の検出を選択します。 00 : AEVL 端子の立ち下がりエッジを検出 01 : AEVL 端子の立ち上がりエッジを検出 10 : AEVL 端子の両エッジを検出 11 : 設定禁止
4	ALEGS0	0	R/W	
3	AIEGS1	0	R/W	IRQAEC エッジ選択 IRQAEC 端子の検出を選択します。 00 : IRQAEC 端子の立ち下がりエッジを検出 01 : IRQAEC 端子の立ち上がりエッジを検出 10 : IRQAEC 端子の両エッジを検出 11 : 設定禁止
2	AIEGS0	0	R/W	

ビット	ビット名	初期値	R/W	説明
1	ECPWME	0	R/W	イベントカウンタ PWM イネーブル イベントカウンタ PWM の動作および、IRQAEC 選択の制御をします。 0 : AEC 用 PWM 動作の停止および IRQAEC を選択する 1 : AEC 用 PWM 動作の許可および IRQAEC を選択しない
0	—	0	R/W	リザーブビット リード/ライト可能ですが、1 にセットしないでください。

(6) イベントカウンタコントロールレジスタ (ECCR)

ECCR はカウンタの入力クロック、IRQAEC/IECPWM の制御をします。

ビット	ビット名	初期値	R/W	説明
7	ACKH1	0	R/W	AEC クロック選択 H
6	ACKH0	0	R/W	ECH 側で使用するクロックの選択をします。 00 : AEVH 端子入力 01 : $\phi/2$ 10 : $\phi/4$ 11 : $\phi/8$
5	ACKL1	0	R/W	AEC クロック選択 L
4	ACKL0	0	R/W	ECL 側で使用するクロックの選択をします。 00 : AEVL 端子入力 01 : $\phi/2$ 10 : $\phi/4$ 11 : $\phi/8$
3	PWCK2	0	R/W	イベントカウンタ用 PWM のクロック選択
2	PWCK1	0	R/W	イベントカウンタ用 PWM のクロックの選択をします。
1	PWCK0	0	R/W	000 : $\phi/2$ 001 : $\phi/4$ 010 : $\phi/8$ 011 : $\phi/16$ 1x0 : $\phi/32$ 1x1 : $\phi/64$
0	—	0	R/W	リザーブビット リード/ライト可能ですが、1 にセットしないでください。

【記号説明】 x : Don't care

9. タイマ

(7) イベントカウンタコントロール/ステータスレジスタ (ECCSR)

ECCSR はカウンタのオーバフローの検出、カウンタクリアのリセット、カウントアップ機能の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	OVH	0	R/W*	カウンタオーバフローH ECH がオーバフローしたことを示すステータスフラグです。 [セット条件] • ECH の値が H'FF→H'00 になったとき [クリア条件] • 1 をリードした後、0 をライトしたとき
6	OVL	0	R/W*	カウンタオーバフローL ECL がオーバフローしたことを示すステータスフラグです。 [セット条件] • ECL の値が H'FF→H'00 になったとき [クリア条件] • 1 をリードした後、0 をライトしたとき
5	—	0	R/W	リザーブビット リード/ライト可能ですが、初期値を変更しないでください。
4	CH2	0	R/W	チャンネル選択 ECH、ECL イベントカウンタの使用方法を選択します。 0 : ECH、ECL を 1 チャンネルの 16 ビットイベントカウンタとして使用 1 : ECH、ECL を 2 チャンネルの 8 ビットイベントカウンタとして使用
3	CUEH	0	R/W	カウントアップイネーブルH ECH に入力されるイベントクロックの入力を禁止/許可します。 0 : ECH のイベントクロック入力を禁止 (ECH の値保持) 1 : ECH のイベントクロック入力を許可
2	CUEL	0	R/W	カウントアップイネーブルL ECL に入力されるイベントクロックの入力を禁止/許可します。 0 : ECL のイベントクロック入力を禁止 (ECL の値保持) 1 : ECL のイベントクロック入力を許可
1	CRCH	0	R/W	カウンタリセット制御H ECH のリセットを制御します。 0 : ECH をリセット 1 : ECH のリセットを解除しカウントアップ機能を許可
0	CRCL	0	R/W	カウンタリセット制御L ECL のリセットを制御します。 0 : ECL をリセット 1 : ECL のリセットを解除しカウントアップ機能を許可

【注】 * フラグクリアのため 0 ライトのみ可能です。

(8) イベントカウンタ H (ECH)

ECH は 8 ビットのリード可能なアップカウンタで、独立した 8 ビットのイベントカウンタとして動作します。また、ECL と組み合わせることで 16 ビットのイベントカウンタ上位 8 ビットのアップカウンタとして動作します。

ビット	ビット名	初期値	R/W	説明
7	ECH7	0	R	入力クロックは外部非同期イベント AEVH 端子、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ または下位 8 ビットカウンタ ECL からのオーバーフロー信号のいずれかを選択可能です。ECH は ECCSR の CRCH を 0 にすることにより H'00 にクリア可能です。
6	ECH6	0	R	
5	ECH5	0	R	
4	ECH4	0	R	
3	ECH3	0	R	
2	ECH2	0	R	
1	ECH1	0	R	
0	ECH0	0	R	

(9) イベントカウンタ L (ECL)

ECL は 8 ビットのリード可能なアップカウンタで、独立した 8 ビットのイベントカウンタとして動作します。また、ECH と組み合わせることで 16 ビットのイベントカウンタ下位 8 ビットのアップカウンタとして動作します。

ビット	ビット名	初期値	R/W	説明
7	ECL7	0	R	入力クロックは外部非同期イベント AEVL 端子、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ を使用します。ECL は ECCSR の CRCL を 0 にすることにより H'00 にクリア可能です。
6	ECL6	0	R	
5	ECL5	0	R	
4	ECL4	0	R	
3	ECL3	0	R	
2	ECL2	0	R	
1	ECL1	0	R	
0	ECL0	0	R	

9.4.4 動作説明

(1) 16ビットカウンタの動作

ECCSR の CH2 を 0 にクリアすると、ECH、ECL は 16 ビットのカウンタとして動作します。

このときの入力クロックソースは ECCR の ACKL1~0 によって $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、AEVL 端子入力の 4 種類から選択できます。

AEVL 端子入力を選択した場合、ALEGS1~0 によって入力センスを選択します。

入力クロックが有効になるのは IRQAEC が High レベルまたは IECPWM が High レベルのときだけです。IRQAEC が Low レベルまたは IECPWM が Low レベルのときは、入力クロックはカウンタに入力されないため、カウンタは動作しません。16 ビットカウンタとして使用する場合のソフトウェアの例を図 9.8 に示します。

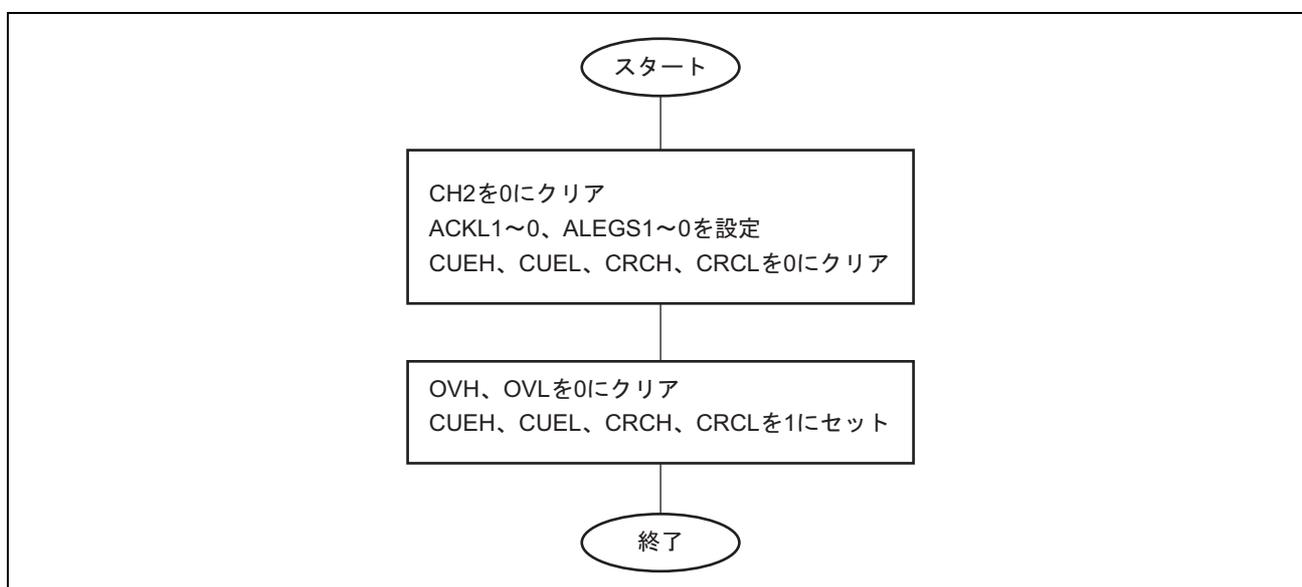


図 9.8 16 ビットカウンタとして使用する場合のソフトウェアの例

リセット時、CH2 は 0 にクリアされるため、リセット後は ECH、ECL は 16 ビットカウンタとして動作し、ACKL1~0 は B'00 にクリアされるため、動作クロックは AEVL 端子からの非同期イベント入力になります。また、AEVL 端子の入力は立ち下がりエッジ検出になります。

ECH、ECL のカウント値がともに H'FF になった後に、クロックが入力されると ECH、ECL はオーバーフロー (H'FFFF~H'0000) し、ECCSR の OVH フラグが 1 にセットされ、ECH、ECL のカウント値はおのおの H'00 に戻り、再びカウントアップを再開します。オーバーフロー発生時には、IRR2 の IRREC が 1 にセットされます。このとき IENR2 の IENEC が 1 ならば CPU に割り込みを要求します。

(2) 8ビットカウンタの動作

ECCSR の CH2 を 1 にセットすると、ECH、ECL は独立した 8 ビットのカウンタとして動作します。

このときの入力クロックソースは、ECH は ECCR の ACKH1~0 によって $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、AEVH 端子入力の 4 種類から選択でき、ECL は ECCR の ACKL1~0 によって $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、AEVL 端子入力の 4 種類から選択できます。

AEVH 端子入力を選択した場合、AHEGS1~0 によって入力センスを選択し、AEVL 端子入力を選択した場合、ALEGS1~0 によって入力センスを選択します。

入力クロックが有効になるのは IRQAEC が High レベルまたは IECPWM が High レベルのときだけです。IRQAEC が Low レベルまたは IECPWM が Low レベルのときは、入力クロックはカウンタに入力されないため、カウンタは動作しません。8 ビットカウンタとして使用する場合のソフトウェアの例を図 9.9 に示します。

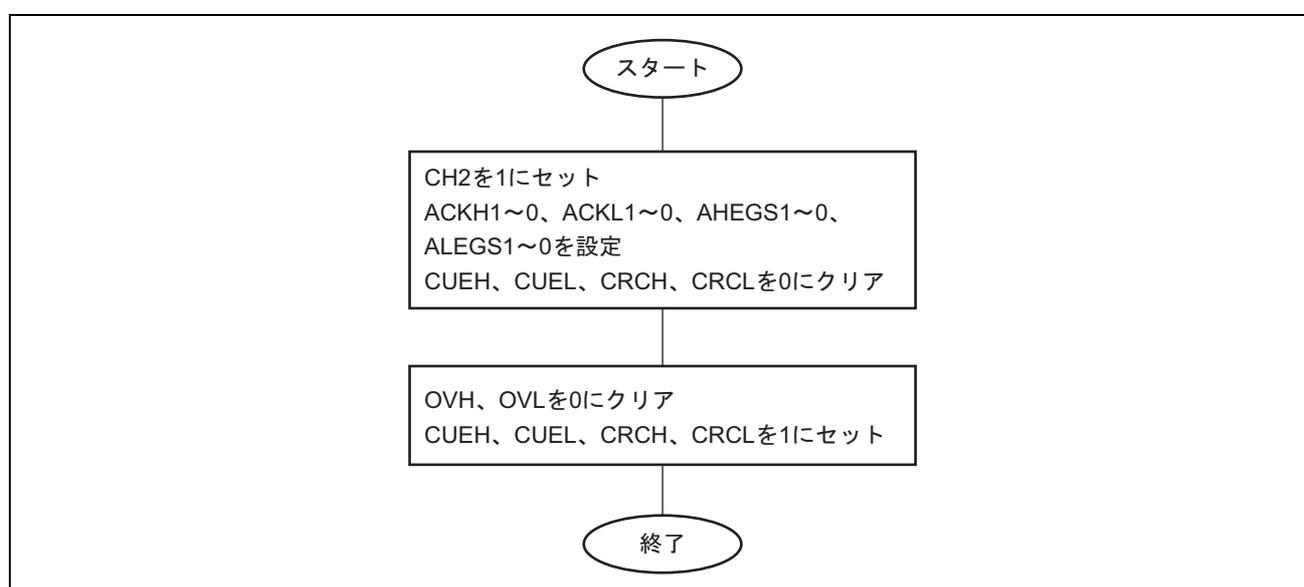


図 9.9 8 ビットカウンタとして使用する場合のソフトウェアの例

図 9.9 に示すソフトウェアの例で使用すると独立した 8 ビットのカウンタとして使用できます。ECH のカウント値が H'FF になった後にクロックが入力されると、ECH はオーバフローし ECCSR の OVH フラグが 1 にセットされ、ECH のカウント値は H'00 に戻り、再びカウントアップを再開します。また、ECL のカウント値が H'FF になった後にクロックが入力されると、ECL はオーバフローし ECCSR の OVL フラグが 1 にセットされ、ECL のカウント値は H'00 に戻り、再びカウントアップを再開します。オーバフロー発生時には、IRR2 の IRREC が 1 にセットされます。このとき IENR2 の IENEC が 1 ならば CPU に割り込みを要求します。

(3) IRQAEC の動作

AEGSR の ECPWME が 0 のとき、ECH、ECL の入力クロックが有効になるのは IRQAEC が High レベルのときだけです。IRQAEC が Low レベルのときは、入力クロックはカウンタに入力されないため、ECH、ECL はカウントしません。したがって、IRQAEC を制御することにより ECH、ECL のカウント動作を外部から制御することが可能です。このとき、ECH、ECL を個々に制御することはできません。

IRQAEC は割り込み要因としても動作可能です。このときのベクタ No. は 6 で、ベクタアドレスは H'000C ~ H'000D です。

割り込み許可は IENR1 の IENEC2 によって制御します。IRQAEC の割り込みが発生すると IRR1 の割り込み要求フラグ IRREC2 が 1 にセットされます。このとき IENR1 の IENEC2 が 1 ならば CPU に割り込みを要求します。

IRQAEC 入力端子の入力センスは AEGSR の AIAGS1~0 によって立ち上がり、立ち下がり、両エッジ検出を選択できます。

(4) イベントカウンタ PWM の動作

AEGSR の ECPWME が 1 のとき、ECH、ECL の入力クロックが有効になるのはイベントカウンタ PWM の出力 (IECPWM) が High レベルのときだけです。IECPWM が Low レベルのときは、入力クロックはカウンタに入力されないため、ECH、ECL はカウントしません。したがって、イベントカウンタ PWM を制御することにより ECH、ECL のカウント動作を周期的に制御することが可能です。このとき、ECH、ECL を個々に制御することはできません。

IECPWM は割り込み要因としても動作可能です。このときのベクタ No. は 6 で、ベクタアドレスは H'000C ~ H'000D です。

割り込み許可は IENR1 の IENEC2 によって制御します。IECPWM の割り込みが発生すると IRR1 の割り込み要求フラグ IRREC2 が 1 にセットされます。このとき IENR1 の IENEC2 が 1 ならば CPU に割り込みを要求します。

IECPWM 割り込みセンスは AEGSR の AIAGS1~0 によって立ち上がり、立ち下がり、両エッジ検出を選択できます。

図 9.10、表 9.6 にイベントカウンタ PWM の動作例を示します。

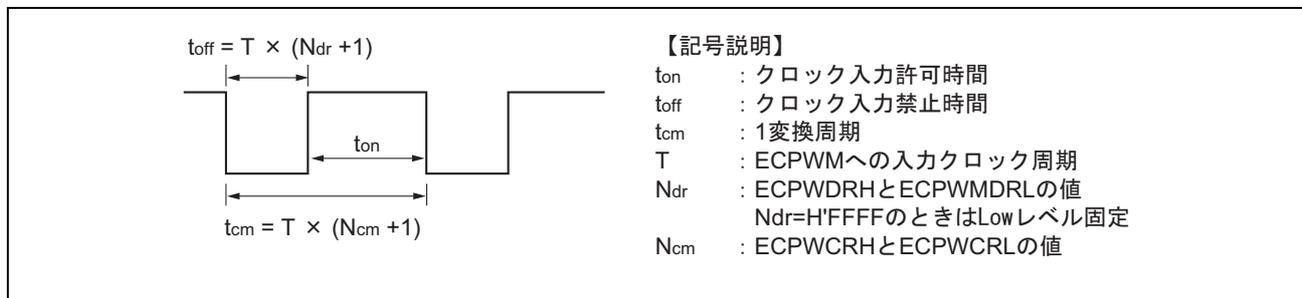


図 9.10 イベントカウンタ動作波形

【注】 上記 Ndr と Ncm は必ず $Ndr < Ncm$ の関係で設定してください。

それ以外の設定のときに AEGSR の ECPWME を 1 にセットしないでください。

表 9.6 イベントカウンタ PWM 動作例

例) fosc 4MHz、f ϕ 2MHz、高速アクティブモード、ECPWCR の値 (Ncm) = H'7A11、ECPWDR の値 (Ndr) = H'16E3 の例

クロック ソース選択	クロック ソース周期 (T) *	ECPWMCR の値 (Ncm)	ECPWMDR の値 (Ndr)	toff=T × (Ndr+1)	tcm=T × (Ncm+1)	ton=tcm-toff
$\phi/2$	1 μ s	H'7A11	H'16E3	5.86ms	31.25ms	25.39ms
$\phi/4$	2 μ s	D'31249	D'5859	11.72ms	62.5ms	50.78ms
$\phi/8$	4 μ s			23.44ms	125.0ms	101.56ms
$\phi/16$	8 μ s			46.88ms	250.0ms	203.12ms
$\phi/32$	16 μ s			93.76ms	500.0ms	406.24ms
$\phi/64$	32 μ s			187.52ms	1000.0ms	812.48ms

【注】 * toff の最小幅

(5) クロック入力許可/禁止機能の動作

イベントカウンタへ入力されるクロックは AEGSR の ECPWME が 0 のときは、IRQAEC 端子、AEGSR の ECPWME が 1 のときは、イベントカウンタ PWM の出力 IECPWM によって制御できます。この機能は各信号によって入力されるクロックを強制的に停止させるため、IRQAEC のタイミングまたは IECPWM のタイミングによって最大 1 カウント分の誤差が生じます。

図 9.11 にその動作例を示します。

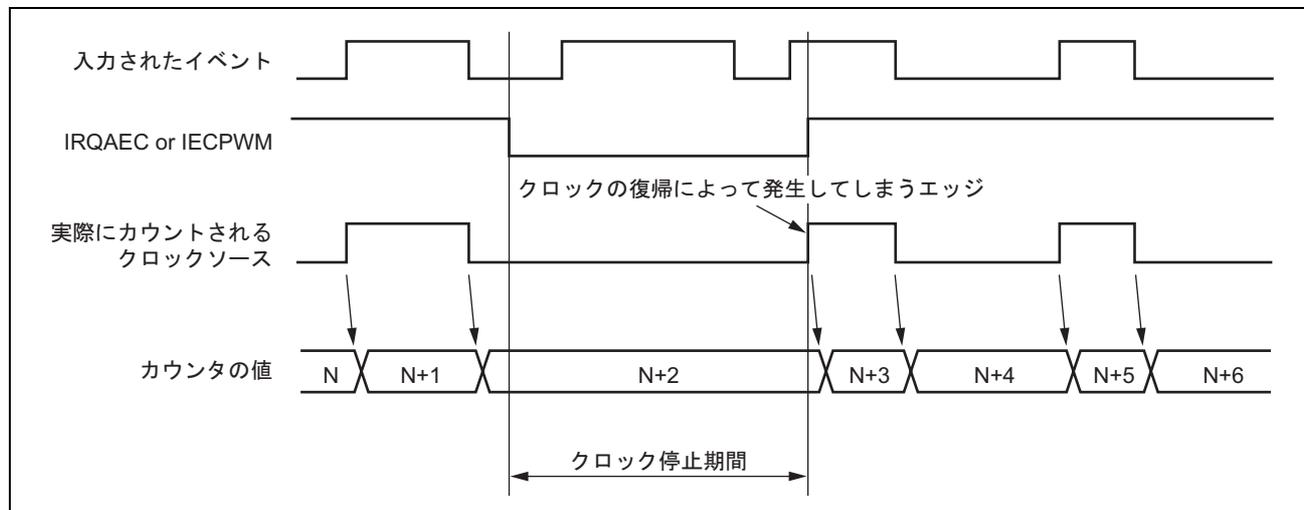


図 9.11 クロック制御動作例

9.4.5 非同期イベントカウンタの動作モード

非同期イベントカウンタの動作モードを表 9.7 に示します。

表 9.7 非同期イベントカウンタの動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
AEGSR	リセット	動作	動作	保持*1	動作	動作	保持*1	保持
ECCR	リセット	動作	動作	保持*1	動作	動作	保持*1	保持
ECCSR	リセット	動作	動作	保持*1	動作	動作	保持*1	保持
ECH	リセット	動作	動作	動作*1*2	動作*2	動作*2	動作*1*2	停止
ECL	リセット	動作	動作	動作*1*2	動作*2	動作*2	動作*1*2	停止
IRQAEC	リセット	動作	動作	保持*3	動作	動作	保持*3	保持*4
イベント カウンタ PWM	リセット	動作	動作	保持	保持	保持	保持	保持

【注】 *1 非同期外部イベントが入力されるとカウンタはカウントアップしますが、カウンタオーバフローH/L フラグは影響を受けません。

*2 非同期外部イベントを選択した場合に動作、その他は停止して保持。

*3 IRQAEC によるクロック制御は動作しますが、割り込みは動作しません。

*4 モジュールスタンバイモードではクロックを停止しているため IRQAEC の影響は受けません。

9.4.6 使用上の注意事項

1. ECH、ECLの値をリードする場合には、リードする前に8ビットモードではECCSRのCUEH、CUELを0に、16ビットモードではCUELを0にクリアして非同期イベント入力をカウンタに入力しないようにしてください。リードしている際にイベントカウンタがカウントアップすると正しい値がリードできません。
2. AEVH、AEVL端子に入力するクロックの周波数は1.8V～3.6V範囲で最大4MHzまで、2.7V～3.6V範囲で最大10MHzとしてください。またクロックのHigh幅、Low幅は「第14章 電気的特性」を参照してください。High幅、Low幅の最小を満たせばデューティ比はいくつでもかまいません。

モード	AEVL、AEVH 端子に入力する 最大クロック周波数
アクティブ（高速）、スリープ（高速）	10MHz
アクティブ（中速）、スリープ（中速）	$(\phi/16)$ $2 \cdot f_{osc}$ $(\phi/32)$ f_{osc} $(\phi/64)$ $1/2 \cdot f_{osc}$ $(\phi/128)$ $1/4 \cdot f_{osc}$
fosc=1MHz～4MHz	
ウォッチ、サブアクティブ、サブスリープ、スタンバイ	$(\phi_w/2)$ 1000kHz $(\phi_w/4)$ 500kHz $(\phi_w/8)$ 250kHz
$\phi_w=32.768\text{kHz}$ または 38.4kHz	

3. 16ビットモードで使用する際、ECCSRの設定はCUEHを1にセットしてからCRCHを1にセットするか、CUEHとCRCHを同時にセットしてからクロックを入力してください。その後16ビットモードで使用中はCUEHの値を変更しないでください。16ビットモード設定中にCUEHを変化させると、ECHが誤ってカウントアップすることがあります。
4. AEGSRのECPWMEが1のとき、イベントカウンタPWMは動作中ですのでECPWCRH、ECPWCRL、ECPWDRH、ECPWDRLを書き換えないでください。
データを変更する際は必ずAEGSRのECPWMEを0にしてイベントカウンタPWMを停止させて書き換えてください。
5. イベントカウンタPWMデータレジスタとイベントカウンタPWMコンペアレジスタは必ずイベントカウンタPWMデータレジスタ < イベントカウンタPWMコンペアレジスタの関係で設定してください。それ以外の設定のときにAEGSRのECPWMEを1にセットしないでください。
6. IRQAECは内部で同期をとって割り込みを発生しているためクロックの停止と割り込み受け付けまでは最大1tcycの誤差が生じます。

9.5 ウォッチドッグタイマ

ウォッチドッグタイマは8ビットのタイマで、システムの暴走などによりカウンタの値が書き換えられずオーバーフローするとLSI内部をリセットします。ウォッチドッグタイマのブロック図を図9.12に示します。

9.5.1 特長

- 2種類の内部クロックを選択可能
タイマのカウントクロックとして2種類の内部クロック（ $\phi/8192$ または $\phi w/32$ ）を選択可能です。
- カウンタのオーバーフローでリセット信号を発生
オーバーフロー周期は、選択したクロックの1倍から256倍まで設定可能です。
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能
(詳細は、「5.4 モジュールスタンバイ機能」を参照してください。)

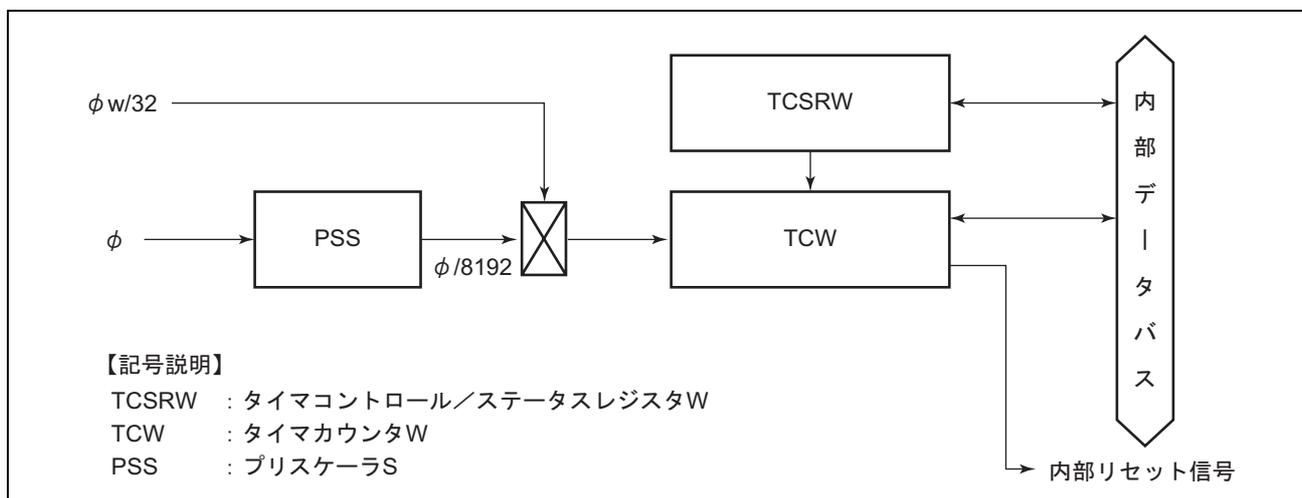


図 9.12 ウォッチドッグタイマのブロック図

9.5.2 レジスタの説明

ウォッチドッグタイマには以下のレジスタがあります。

- タイマコントロール/ステータスレジスタW (TCSRW)
- タイマカウンタW (TCW)

(1) タイマコントロール/ステータスレジスタ W (TCSRW)

TCSRW は TCSRW 自身と TCW の書き込み制御を行うレジスタです。また、ウォッチドッグタイマの動作制御と動作状態を示す機能も持っています。本レジスタの書き換えは MOV 命令で行ってください。ビット操作命令では設定値の変更ができません。

ビット	ビット名	初期値	R/W	説明
7	B6WI	1	R	ビット 6 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 6 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
6	TCWE	0	R/(W)*	タイマカウンタ W 書き込み許可 このビットが 1 のとき TCW がライトイネーブルとなります。このビットにデータを書き込むときはビット 7 の書き込み値は 0 にしてください。
5	B4WI	1	R	ビット 4 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 4 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
4	TCSRWE	0	R/(W)*	タイマコントロール/ステータスレジスタ W 書き込み許可 このビットが 1 のときこのレジスタのビット 2 およびビット 0 がライトイネーブルとなります。このビットにデータを書き込むときはビット 5 の書き込み値は 0 にしてください。
3	B2WI	1	R	ビット 2 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 2 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
2	WDON	0	R/(W)*	ウォッチドッグタイマオン このビットを 1 にセットすると、TCW がカウントアップを開始します。0 にクリアすると TCW はカウントアップを停止します。 [クリア条件] • リセット • TCSRWE=1 の状態で B2WI に 0、WDON に 0 をライトしたとき [セット条件] • TCSRWE=1 の状態で B2WI に 0、WDON に 1 をライトしたとき
1	B0WI	1	R	ビット 0 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 0 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
0	WRST	0	R/(W)*	ウォッチドッグタイマリセット [クリア条件] • $\overline{\text{RES}}$ 端子によるリセット • TCSRWE=1 の状態で、B0WI に 0、WRST に 0 をライトしたとき [セット条件] • TCW がオーバフローし、内部リセット信号が発生したとき

【注】 * 書き込みの条件が成立している場合にのみ、ライト可能となります。

9. タイマ

(2) タイマカウンタ W (TCW)

TCW は 8 ビットのリード/ライト可能なアップカウンタです。TCW が H'FF から H'00 にオーバーフローすると内部リセット信号が発生し、TCSRW の WRST が 1 にセットされます。TCW の初期値は H'00 です。

9.5.3 動作説明

ウォッチドッグタイマは、8 ビットのアップカウンタを備えています。入力クロックの選択は、ポートモードレジスタ 2 (PMR2) *の WDCKS で行います。WDCKS が 0 のとき $\phi/8192$ が選択され、1 のとき $\phi w/32$ が選択されます。TCSRW の TCSRWE=1 の状態で B2WI に 0、WDON に 1 を同時にライトすると、TCW はカウントアップを開始します (ウォッチドッグタイマを動作させるためには、TCSRW へ 2 回ライトアクセスが必要となります)。TCW のカウント値が H'FF からオーバーフローすると内部リセット信号が発生します。内部リセット信号は ϕ_{osc} クロックで 512 クロック分の時間出力されます。TCW はライト可能なカウンタですので、TCW に値を設定すると、その値からカウントアップを行います。したがって、TCW の設定値により、オーバーフロー周期を 1~256 入力クロックの範囲で設定できます。ウォッチドッグタイマ動作例を図 9.13 に示します。

【注】 * 詳細は、「8.1.5 ポートモードレジスタ 2 (PMR2)」を参照してください。

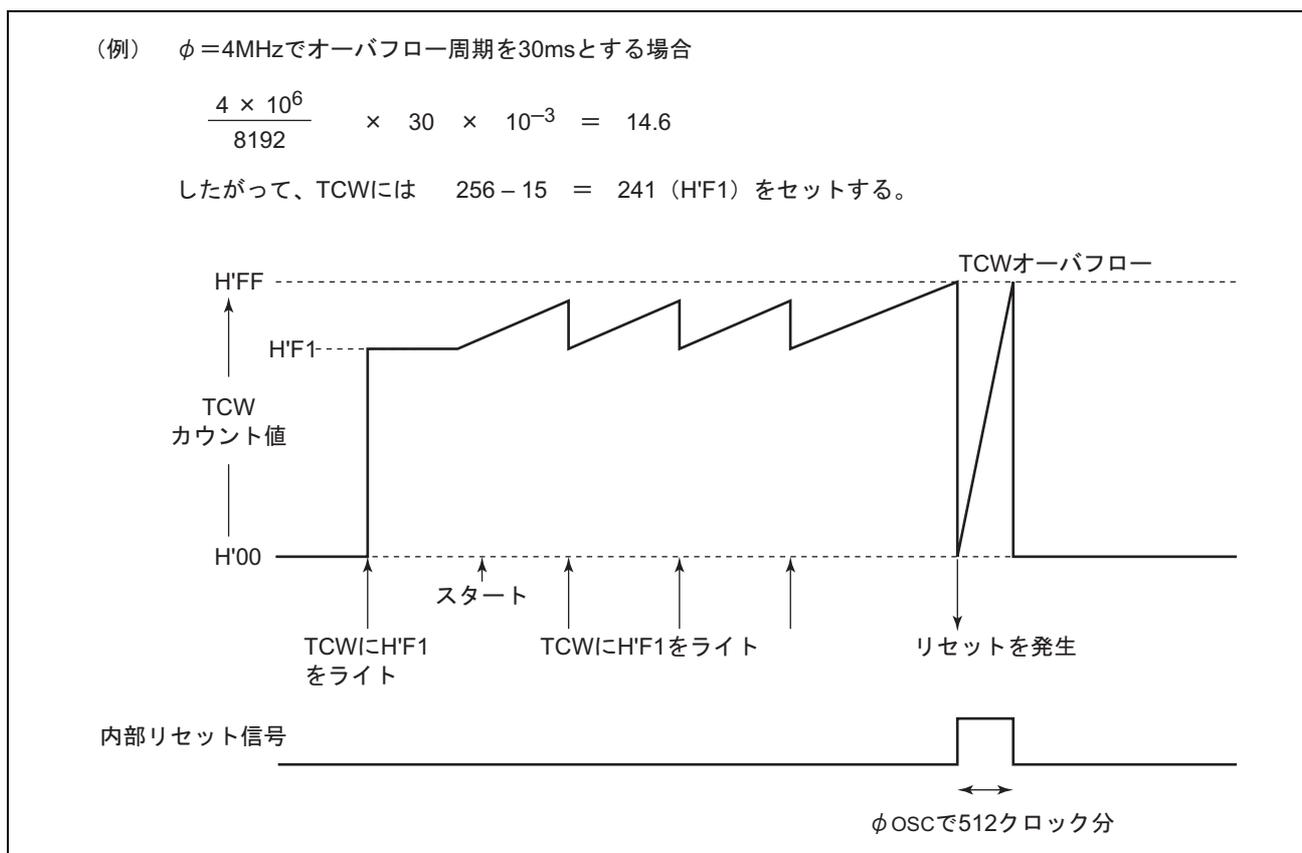


図 9.13 ウォッチドッグタイマの動作例

9.5.4 ウォッチドッグタイマの動作モード

ウォッチドッグタイマの動作モードを表 9.8 に示します。

表 9.8 ウォッチドッグタイマモードの動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
TCW	リセット	動作	動作	停止	動作/停止*	停止	停止	停止
TCSRW	リセット	動作	動作	保持	動作/停止*	保持	保持	保持

【注】 * 入カロックに ϕ w/32 を選択した場合に動作します。

10. シリアルコミュニケーションインタフェース 3 (SCI3)

SCI3 (シリアルコミュニケーションインタフェース 3) は、調歩同期式とクロック同期式の 2 方式のシリアルデータ通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。SCI3 のブロック図を図 10.1 に示します。

10.1 特長

- シリアルデータ通信フォーマットを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能
独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともにダブルバッファ構造になっていますので、連続送受信が可能です。
- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
- 送受信クロックソースとして内蔵ボーレートジェネレータ、内部クロックまたは外部クロックを選択可能
- 6種類の割り込み要因
送信終了、送信データエンプティ、受信データフル、オーバランエラー、フレーミングエラー、パリティエラーの割り込み要因があります。
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能になります (詳細は「5.4 モジュールスタンバイ機能」を参照してください)。

調歩同期式モード

- データ長 : 7ビット / 8ビット / 5ビット 選択可能
- ストップビット長 : 1ビット / 2ビット 選択可能
- パリティ : 偶数パリティ / 奇数パリティ / パリティなしから選択可能
- 受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出 : フレーミングエラー発生時に RXD32 端子のレベルを直接読み出すことでブレークを検出可能

クロック同期式モード

- データ長 : 8ビット
- 受信エラーの検出 : オーバランエラー

10. シリアルコミュニケーションインタフェース 3 (SCI3)

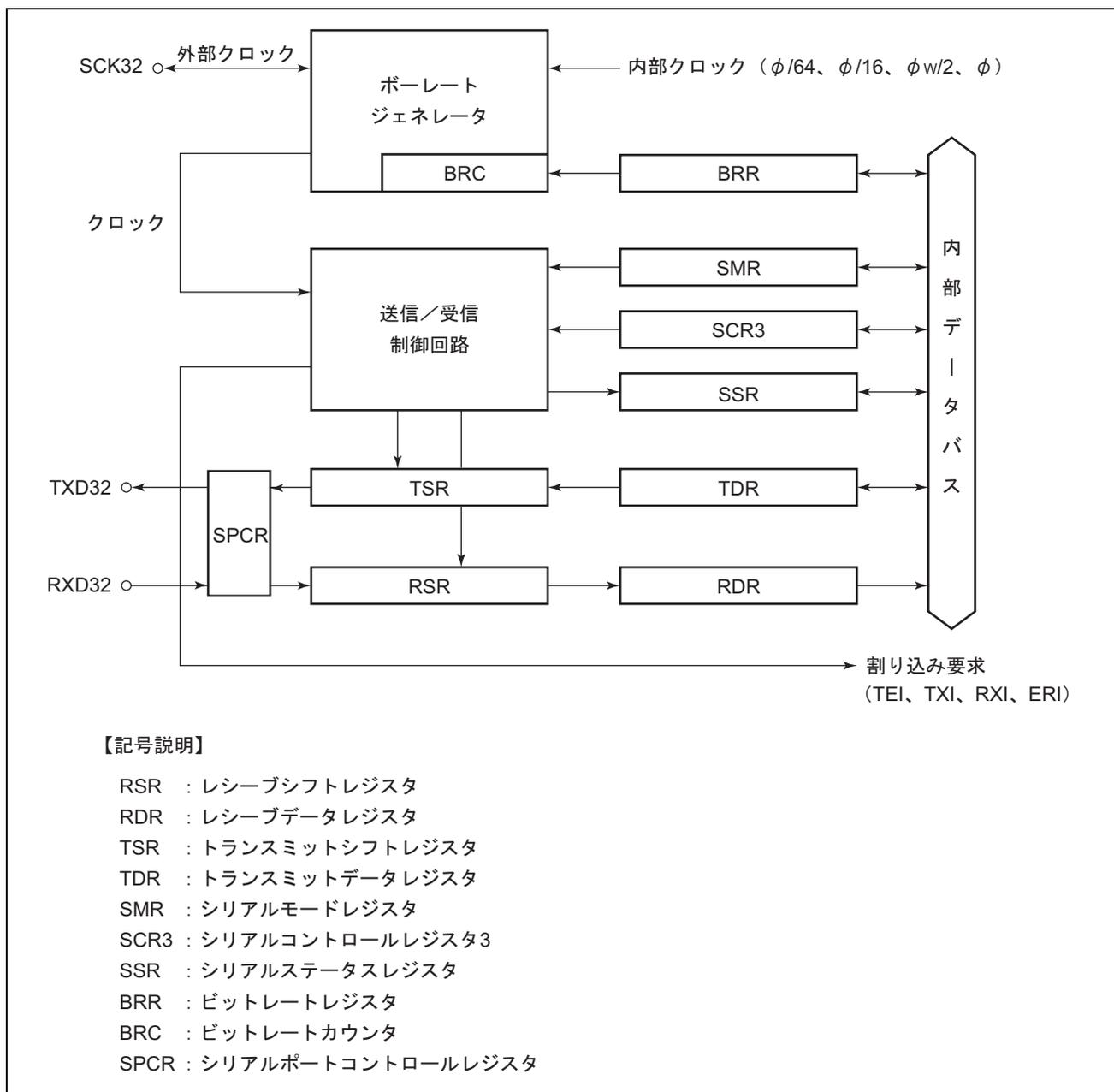


図 10.1 SCI3 のブロック図

10.2 入出力端子

SCI3 の端子構成を表 10.1 に示します。

表 10.1 端子構成

名称	略称	入出力	機能
SCI3 クロック	SCK32	入出力	SCI3 のクロック入出力端子
SCI3 レシーブデータ入力	RXD32	入力	SCI3 の受信データ入力端子
SCI3 トランスミットデータ出力	TXD32	出力	SCI3 の送信データ出力端子

10.3 レジスタの説明

SCI3には以下のレジスタがあります。

- レシーブシフトレジスタ (RSR)
- レシーブデータレジスタ (RDR)
- トランスミットシフトレジスタ (TSR)
- トランスミットデータレジスタ (TDR)
- シリアルモードレジスタ (SMR)
- シリアルコントロールレジスタ3 (SCR3)
- シリアルステータスレジスタ (SSR)
- ビットレートレジスタ (BRR)
- シリアルポートコントロールレジスタ (SPCR)

10.3.1 レシーブシフトレジスタ (RSR)

RSRはRXD32端子から入力されたシリアルデータをパラレル変換するための受信シフトレジスタです。1フレーム分のデータを受信すると、データは自動的にRDRへ転送されます。CPUからは直接アクセスすることはできません。

10.3.2 レシーブデータレジスタ (RDR)

RDRは受信データを格納するための8ビットのレジスタです。1フレーム分のデータを受信するとRSRから受信データがこのレジスタへ転送され、RSRは次のデータを受信可能となります。RSRとRDRはダブルバッファ構造になっているため連続受信動作が可能です。RDRのリードはSSRのRDRFが1にセットされていることを確認して1回だけ行ってください。RDRはCPUからライトできません。RDRの初期値はH'00です。RDRは、リセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時にH'00に初期化されます。

10.3.3 トランスミットシフトレジスタ (TSR)

TSRはシリアルデータを送信するためのシフトレジスタです。TDRに書き込まれた送信データは自動的にTSRに転送され、LSBから順にTXD32端子に送出することでシリアルデータ送信を行います。ただし、TDRにデータが書き込まれていない(TDREに1がセットされている)場合にはTDRからTSRへのデータ転送は行いません。CPUからは直接アクセスすることはできません。

10.3.4 トランスミットデータレジスタ (TDR)

TDRは送信データを格納するための8ビットのレジスタです。TSRに空を検出するとTDRに書き込まれた送信データはTSRに転送されて送信を開始します。TDRとTSRはダブルバッファ構造になっているため連続送信動作が可能です。1フレーム分のデータを送信したときTDRにつきの送信データが書き込まれていればTSRへ転送して送信を続けます。シリアル送信を確実にを行うため、TDRへの送信データのライトは必ずSSRのTDREが1にセットされていることを確認して1回だけ行うようにしてください。TDRの初期値はH'FFです。TDRは、リセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時にH'FFに初期化されます。

10.3.5 シリアルモードレジスタ (SMR)

SMR はシリアルデータ通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。SMR は、リセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'00 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7	COM	0	R/W	コミュニケーションモード 0 : 調歩同期式モードで動作します。 1 : クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0 : データ長 8 ビット/5 ビットのフォーマットで送受信します。 1 : データ長 7 ビット/5 ビットのフォーマットで送受信します。 7 ビットデータを選択した場合、TDR の MSB (ビット 7) は送信されません。 5 ビットデータを選択する場合は PE=1、MP=1 に設定してください。 また、TDR の MSB (ビット 7、ビット 6、ビット 5) は送信されません。なお、クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットに固定となります。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。 なお、クロック同期式モードでは PE の設定にかかわらずパリティビットの付加およびチェックは行いません。
4	PM	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0 : 偶数パリティで送受信します。 1 : 奇数パリティで送受信します。 偶数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の 1 の数の合計が偶数になるかどうかをチェックします。 奇数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の 1 の数の合計が奇数になるかどうかをチェックします。なお、クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合には PM は無効です。

10. シリアルコミュニケーションインタフェース 3 (SCI3)

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>ストップビットレングス (調歩同期式モードのみ有効)</p> <p>送信時のストップビットの長さを選択します。</p> <p>0 : 1ストップビット 1 : 2ストップビット</p> <p>受信時はこのビットの設定値にかかわらずストップビットの1ビット目のみチェックし、2ビット目が0の場合は次の送信キャラクタのスタートビットとみなします。</p>
2	MP	0	R/W	<p>5ビット通信</p> <p>このビットが1のとき5ビット通信のフォーマットが可能となります。</p> <p>1をライトする場合は必ず同時にビット5 (PEビット) に1をライトしてください。</p>
1 0	CKS1 CKS0	0 0	R/W R/W	<p>クロックセレクト 1~0</p> <p>内蔵ポーレートジェネレータのクロックソースを選択します。</p> <p>00 : ϕクロック (n=0) 01 : $\phi w/2$クロック/ϕwクロック (n=1) 10 : $\phi/16$クロック (n=2) 11 : $\phi/64$クロック (n=3)</p> <p>設定値 01 ではアクティブモード、スリープモード時では$\phi w/2$クロックになります。サブアクティブモード、サブスリープモード時ではϕwクロックになりCPU動作クロックが$\phi w/2$のときのみSCI3が使用可能になります。</p> <p>このビットの設定値とポーレートの関係については、「10.3.8 ビットレートレジスタ (BRR)」を参照してください。nは設定値の10進表示で、「10.3.8 ビットレートレジスタ (BRR)」中のnの値を表します。</p>

10. シリアルコミュニケーションインタフェース 3 (SCI3)

10.3.6 シリアルコントロールレジスタ 3 (SCR3)

SCR3 は以下の送受信動作と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。SCR3 は、リセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'00 に初期化されま
す。各割り込み要求については「10.6 割り込み要求」を参照してください。

ビット	ビット名	初期値	R/W	説 明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 セットすると、TXI 割り込み要求がイネーブルになります。 TXI は、TDRE を 0 にクリアするか、または TIE を 0 にクリアすることで解除 できます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 セットすると、RXI および ERI 割り込み要求がイネーブルにな ります。 RXI および ERI は、RDRF または、FER、PER、OER のエラーフラグを 0 に クリアするか、RIE を 0 にクリアすることで解除できます。
5	TE	0	R/W	トランスミットイネーブル このビットが 1 のとき送信動作が可能になります。 TE が 0 の状態では、SSR の TDRE は 1 に固定されます。TE が 1 の状態で、 TDR に送信データをライトすると SSR の TDRE が 0 にクリアされシリアルデ ータ送信を開始します。なお、TE を 1 にセットする前に必ず SMR の設定と SPCR の SPC32 の設定を行い、送信フォーマットを決定してください。
4	RE	0	R/W	レシーブイネーブル このビットが 1 のとき受信動作が可能になります。 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モー ドの場合は同期クロック入力、それぞれ検出するとシリアルデータ受信を開 始します。なお、RE を 1 にセットする前に必ず SMR の設定を行い、受信フォ ーマットを決定してください。RE を 0 にクリアしても SSR の RDRF、FER、 PER、OER の各フラグは影響を受けず、状態を保持しますので注意してくだ さい。
3	—	0	R/W	リザーブビット ライトする場合は必ず 0 をライトしてください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを 1 にセットすると TEI 割り込み要求がイネーブルになります。 TEI は、SSR の TDRE を 0 にクリアして TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。

10. シリアルコミュニケーションインタフェース 3 (SCI3)

ビット	ビット名	初期値	R/W	説明
1	CKE1	0	R/W	クロックイネーブル 1~0
0	CKE0	0	R/W	<p>クロックソースを選択します。</p> <p>調歩同期式の場合</p> <p>00 : 内部ポーレートジェネレータ</p> <p>01 : 内部ポーレートジェネレータ (SCK32 端子からビットレートと同じ周波数のクロックを出力します。)</p> <p>10 : 外部クロック (SCK32 端子からビットレートの 16 倍の周波数のクロックを入力してください。)</p> <p>11 : リザーブ</p> <p>クロック同期式の場合</p> <p>00 : 内部クロック (SCK32 端子機能はクロック出力端子となります。)</p> <p>01 : リザーブ</p> <p>10 : 外部クロック (SCK32 端子機能はクロック入力端子となります。)</p> <p>11 : リザーブ</p>

10.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI3 のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、OER、PER、FER はクリアのみ可能です。SSR は、リセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'84 に初期化されます。

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/(W)*	<p>トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCR3 の TE が 0 のとき TDR から TSR にデータが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき TDR へ送信データをライトしたとき
6	RDRF	0	R/(W)*	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信が正常終了し、RSR から RDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき RDR のデータをリードしたとき <p>受信時にエラーを検出したとき、および SCR3 の RE を 0 にクリアしたときには、RDR および RDRF は影響を受けず以前の状態を保持します。RDRF が 1 にセットされたままデータの受信を完了するとオーバランエラー (OER) を発生し、受信データが失われますので注意してください。</p>
5	OER	0	R/(W)*	<p>オーバランエラー</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にオーバランエラーが発生したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき <p>SCR3 の RE を 0 にクリアしたときには、OER は影響を受けず以前の状態を保持します。オーバランエラーが発生すると RDR では、オーバランエラーが発生する前の受信データが保持され、後から受信したデータが失われます。なお、OER が 1 にセットされた状態で、以降の受信を続けることはできません。クロック同期モードでは送信も続けることができません。</p>

10. シリアルコミュニケーションインタフェース 3 (SCI3)

ビット	ビット名	初期値	R/W	説明
4	FER	0	R/(W)*	<p>フレーミングエラー</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にフレーミングエラーが発生したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき <p>SCR3のREを0にクリアしたときには、FERは影響を受けず以前の状態を保持します。2ストップビットモード時は、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックをしませんので注意してください。なお、フレーミングエラーが発生したときの受信データはRDRに転送されませんが、RDRFはセットされません。さらに、FERが1にセットされた状態においては、以降の受信を続けることはできません。また、クロック同期モードでは、FERが1にセットされていると送信および受信はできません。</p>
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーが発生したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき <p>SCR3のREを0にクリアしたときには、PERは影響を受けず以前の状態を保持します。パリティエラーが発生したときの受信データはRDRに転送されませんが、RDRFはセットされません。なお、PERが1にセットされた状態では、以降の受信を続けることはできません。また、クロック同期モードでは、PERが1にセットされていると送信および受信はできません。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>[セット条件]</p> <ul style="list-style-type: none"> SCR3のTEが0のとき 送信キャラクタの最後尾ビットの送信時、TDREが1のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> TDRE=1の状態をリードした後、TDREに0をライトしたとき TDRへ送信データをライトしたとき
1	—	0	R	<p>リザーブビット</p> <p>リード専用のリザーブビットです。ライトは無効です。</p>
0	—	0	R/W	<p>リザーブビット</p> <p>ライトする場合は必ず0をライトしてください。</p>

【注】 * フラグをクリアするための0ライトのみ可能です。

10.3.8 ビットレートレジスタ (BRR)

BRR はビットレートを設定するリード/ライト可能な 8 ビットのレジスタです。BRR の初期値は H'FF です。BRR は、リセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'FF に初期化されます。調歩同期式モードにおける SMR の CKS1、CKS0 の値 n と BRR の値 N の設定例を表 10.2 に、調歩同期式モードの最大ビットレートを表 10.4 に示します。いずれもアクティブ (高速) モードでの値を示しています。クロック同期式モードにおける SMR の CKS1、CKS0 の値 n と BRR の値 N の設定例を表 10.5 に示します。その他の動作周波数とビットレートの組み合わせに対する BRR の設定値 N と誤差は以下の計算式で求められます。

[調歩同期式モード]

$$N = \frac{\phi}{32 \times 2^{2n} \times B} - 1$$

$$\text{誤差 (\%)} = \frac{B (n, N, \phi \text{ から求めたビットレート}) - R (\text{表 10.2 左欄のビットレート})}{R (\text{表 10.2 の左欄のビットレート})} \times 100$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

ϕ : 動作周波数 (Hz)

n : ボーレートジェネレータの入カクロックの No. ($n=0,2,3$)

(n とクロックの関係は表 10.3 を参照)

表 10.2 ビットレートに対する BRR の設定例 [調歩同期式モード] (1)

ビット レート (bit/s)	$\phi = 16.4\text{kHz}$			$\phi = 19.2\text{kHz}$			$\phi = 1\text{MHz}$			$\phi = 1.2288\text{MHz}$		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	—	—	—	—	—	—	2	17	-1.36	2	21	-0.83
150	—	—	—	0	3	0	2	12	0.16	3	3	0
200	—	—	—	0	2	0	2	9	-2.34	3	2	0
250	0	1	2.5	—	—	—	3	1	-2.34	0	153	-0.26
300	—	—	—	0	1	0	0	103	0.16	3	1	0
600	—	—	—	0	0	0	0	51	0.16	3	0	0
1200				—	—	—	0	25	0.16	2	1	0
2400							0	12	0.16	2	0	0
4800							—	—	—	0	7	0
9600							—	—	—	0	3	0
19200							—	—	—	0	1	0
31250							0	0	0	—	—	—
38400							—	—	—	0	0	0

表 10.2 ビットレートに対する BRR の設定例 [調歩同期式モード] (2)

ビット レート (bit/s)	$\phi = 2\text{MHz}$			$\phi = 5\text{MHz}$			$\phi = 8\text{MHz}$			$\phi = 10\text{MHz}$		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	8	-1.36	3	21	0.88	3	35	-1.36	3	43	0.88
150	2	25	0.16	3	15	1.73	3	25	0.16	3	32	-1.36
200	3	4	-2.34	3	11	1.73	3	19	-2.34	3	23	1.73
250	2	15	-2.34	3	9	-2.34	3	15	-2.34	3	19	-2.34
300	2	12	0.16	3	7	1.73	3	12	0.16	3	15	1.73
600	0	103	0.16	3	3	1.73	2	25	0.16	3	7	1.73
1200	0	51	0.16	3	1	1.73	2	12	0.16	3	3	1.73
2400	0	25	0.16	3	0	1.73	0	103	0.16	3	1	1.73
4800	0	12	0.16	2	1	1.73	0	51	0.16	3	0	1.73
9600	—	—	—	2	0	1.73	0	25	0.16	2	1	1.73
19200	—	—	—	0	7	1.73	0	12	0.16	2	0	1.73
31250	0	1	0	0	4	0	0	7	0	0	9	0
38400	—	—	—	0	3	1.73	—	—	—	0	7	1.73

【記号説明】

空欄 : 設定不可能です。

— : 設定可能ですが誤差が出ます。

10. シリアルコミュニケーションインタフェース 3 (SCI3)

表 10.3 n とクロックの関係

n	クロック	SMR の設定値	
		CKS1	CKS0
0	ϕ	0	0
0	$\phi w/2^{*1}/\phi w^{*2}$	0	1
2	$\phi/16$	1	0
3	$\phi/64$	1	1

【注】 *1 アクティブ（中速／高速）、スリープ（中速／高速）時では $\phi w/2$ クロックとなります。

*2 サブアクティブ、サブスリープ時では ϕw クロックとなります。また、サブアクティブモード、サブスリープモード時は、CPU 動作クロックが $\phi w/2$ のときのみ SCI3 が使用可能となります。

表 10.4 各周波数における最大ビットレート [調歩同期式モード]

OSC (MHz)	ϕ (MHz)	最大ビットレート (bit/s)	設定値	
			n	N
0.0384*	0.0192	600	0	0
2	1	31250	0	0
2.4576	1.2288	38400	0	0
4	2	62500	0	0
10	5	156250	0	0
16	8	250000	0	0
20	10	312500	0	0

【注】 * SMR を CKS1=0、CKS0=1 に設定したとき

表 10.5 ビットレートに対する BRR の設定例 [クロック同期式モード] (1)

φ	19.2kHz			1MHz			2MHz			
	ビットレート (bit/s)	n	N	誤差率	n	N	誤差率	n	N	誤差率
200	0	23	0	—	—	—	—	—	—	—
250	—	—	—	—	—	—	2	124	0	—
300	2	0	0	—	—	—	—	—	—	—
500	—	—	—	—	—	—	—	—	—	—
1K	—	—	—	0	249	0	—	—	—	—
2.5K	—	—	—	0	99	0	0	199	0	—
5K	—	—	—	0	49	0	0	99	0	—
10K	—	—	—	0	24	0	0	49	0	—
25K	—	—	—	0	9	0	0	19	0	—
50K	—	—	—	0	4	0	0	9	0	—
100K	—	—	—	—	—	—	0	4	0	—
250K	—	—	—	0	0	0	0	1	0	—
500K	—	—	—	—	—	—	0	0	0	—
1M	—	—	—	—	—	—	—	—	—	—

表 10.5 ビットレートに対する BRR の設定例 [クロック同期式モード] (2)

φ	5kHz			8MHz			10MHz			
	ビットレート (bit/s)	n	N	誤差率	n	N	誤差率	n	N	誤差率
200	—	—	—	—	—	—	0	12499	0	—
250	—	—	—	3	124	0	2	624	0	—
300	—	—	—	—	—	—	0	8332	0	—
500	—	—	—	2	249	0	0	4999	0	—
1K	—	—	—	2	124	0	0	2499	0	—
2.5K	—	—	—	2	49	0	0	999	0	—
5K	0	249	0	2	24	0	0	499	0	—
10K	0	124	0	0	199	0	0	249	0	—
25K	0	49	0	0	79	0	0	99	0	—
50K	0	24	0	0	39	0	0	49	0	—
100K	—	—	—	0	19	0	0	24	0	—
250K	0	4	0	0	7	0	0	9	0	—
500K	—	—	—	0	3	0	0	4	0	—
1M	—	—	—	0	1	0	—	—	—	—

【記号説明】

空欄 : 設定不可能です。

— : 設定可能ですが誤差が出ます。

10. シリアルコミュニケーションインタフェース 3 (SCI3)

【注】 BRR の設定値は以下の計算式で求められます。

$$N = \frac{\phi}{8 \times 2^{2n} \times B} - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

ϕ : 動作周波数 (Hz)

n : ボーレートジェネレータの入カクロックの No. ($n=0, 2, 3$) (n とクロックの関係は表 10.6 を参照)

表 10.6 n とクロックの関係

n	クロック	SMR の設定値	
		CKS1	CKS0
0	ϕ	0	0
0	$\phi w/2^{*1}/\phi w^{*2}$	0	1
2	$\phi/16$	1	0
3	$\phi/64$	1	1

【注】 *1 アクティブ (中速/高速)、スリープ (中速/高速) 時では $\phi w/2$ クロックとなります。

*2 サブアクティブ、サブスリープ時では ϕw クロックとなります。また、サブアクティブモード、サブスリープモード時は、CPU 動作クロックが $\phi w/2$ のときのみ SCI3 が使用可能となります。

10.3.9 シリアルポートコントロールレジスタ (SPCR)

SPCR は RXD32 端子、TXD32 端子の入出力データ反転切り替えを行います。

ビット	ビット名	初期値	R/W	説明
7、6	—	1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
5	SPC32	0	R/W	P42/TXD32 端子機能切り替え P42/TXD32 端子を P42 端子として使用するか TXD32 端子として使用するかを設定します。 0 : P42 入出力端子として機能 1 : TXD32 出力端子として機能* 【注】 * 本ビットを 1 に設定した後に SCR3 の TE ビットを設定してください。
4	—	—	W	リザーブビット ライトする場合は 0 ライトのみ可能です。
3	SCINV3	0	R/W	TXD32 端子出力データ反転切り替え TXD32 端子の出力データのロジックレベルを反転するか、しないか、の切り替えを設定します。 0 : TXD32 の出力データを反転しない 1 : TXD32 の出力データを反転する
2	SCINV2	0	R/W	RXD32 端子入力データ反転切り替え RXD32 端子の入力データのロジックレベルを反転するか、しないか、の切り替えを設定します。 0 : RXD32 の入力データを反転しない 1 : RXD32 の入力データを反転する
1、0	—	—	W	リザーブビット ライトする場合は 0 ライトのみ可能です。

【注】 シリアルポートコントロールレジスタを書き換えると、それまで入力または出力されていたデータが書き換えた直後に反転され、有効ではないデータの変化が入出力されます。シリアルポートコントロールレジスタを書き換える際には、データ変化を無効にする状態で、書き換えてください。

10.4 調歩同期式モードの動作説明

調歩同期式通信の通信データの一般的なフォーマットを図 10.2 に示します。通信データの 1 キャラクタは、スタートビット (Low レベル) から始まり、送信/受信データ (LSB ファースト)、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式モードでは、受信時にスタートビットの立ち下がりエッジで同期化を行います。また、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データを取り込みます。SCI3 内部は送信部と受信部が独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。調歩同期式モードで設定できる送信/受信フォーマットを表 10.7 に示します。送信/受信フォーマットは 16 種類あり、SMR の設定により選択できます。これを表 10.8 に示します。

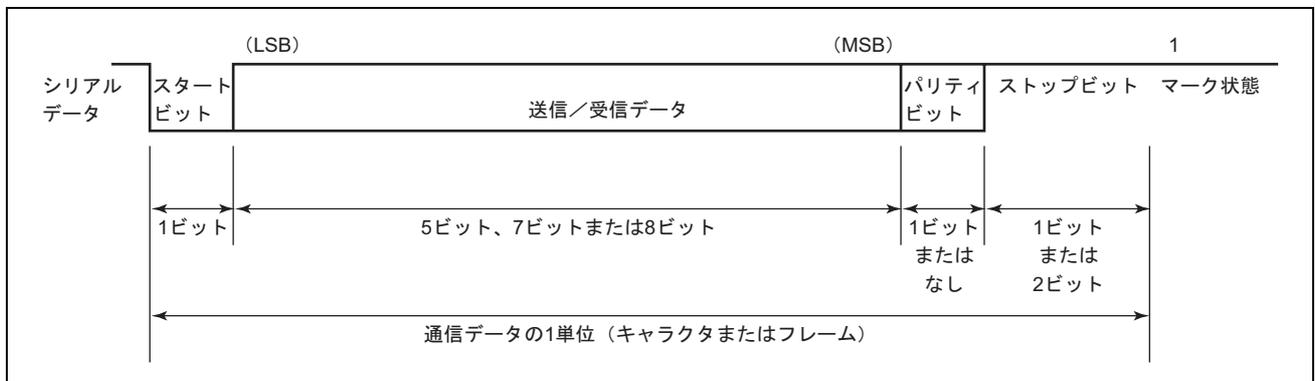


図 10.2 調歩同期式通信のデータフォーマット

10.4.1 クロック

SMR の COM と SCR3 の CKE1、CKE0 の設定により、SCI3 の送受信クロックソースとして内蔵ポーレートジェネレータが生成する内部クロックまたは SCK32 端子から入力される外部クロックを選択できます。外部クロックを使用する場合は SCK32 端子にビットレートの 16 倍の周波数のクロックを入力してください。クロックソースの選択については表 10.9 を参照してください。内部クロックを使用する場合は SCK32 端子からビットレートと同じ周波数のクロックを出力することができます。出力されるクロックの位相は図 10.3 のように送受信データの各ビットの中央でクロックが立ち上がります。

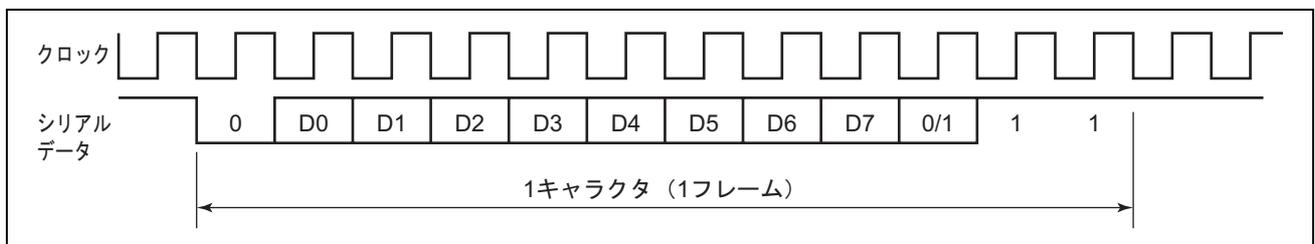


図 10.3 出力クロックと通信データの位相関係 (調歩同期式モード)
(8 ビットデータ/パリティあり/2 ストップビットの例)

表 10.7 通信フォーマット (調歩同期式モード)

SMR				シリアル通信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	START	8ビットデータ								STOP				
0	0	0	1	START	8ビットデータ								STOP	STOP			
0	0	1	0	設定禁止													
0	0	1	1	設定禁止													
0	1	0	0	START	8ビットデータ								P	STOP			
0	1	0	1	START	8ビットデータ								P	STOP	STOP		
0	1	1	0	START	5ビットデータ					STOP							
0	1	1	1	START	5ビットデータ					STOP	STOP						
1	0	0	0	START	7ビットデータ							STOP					
1	0	0	1	START	7ビットデータ							STOP	STOP				
1	0	1	0	設定禁止													
1	0	1	1	設定禁止													
1	1	0	0	START	7ビットデータ							P	STOP				
1	1	0	1	START	7ビットデータ							P	STOP	STOP			
1	1	1	0	START	5ビットデータ					P	STOP						
1	1	1	1	START	5ビットデータ					P	STOP	STOP					

【記号説明】

- START : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

10. シリアルコミュニケーションインタフェース 3 (SCI3)

表 10.8 SMR の設定値と送信／受信フォーマット

SMR					モード	送信／受信フォーマット				
ビット7	ビット6	ビット2	ビット5	ビット3		データ長	マルチ プロセッサ ビット	パリティ ビット	ストップ ビット長	
COM	CHR	MP	PE	STOP						
0	0	0	0	0	調歩同期式 モード	8ビット データ	なし	なし	1	
				1					2	
			1	0					あり	1
				1						2
			1	0					なし	1
				1						2
	1	0	あり	1						
		1		2						
	0	1	0	0	0	設定禁止				
					1	設定禁止				
				1	0	調歩同期式 モード	5ビット データ	なし	なし	1
					1	設定禁止				
1				0	調歩同期式 モード	5ビット データ	なし	あり	1	
				1					2	
1	*	0	*	*	クロック同期式 モード	8ビット データ	なし	なし	なし	

【記号説明】 * : Don't care

表 10.9 SMR、SCR3 の設定とクロックソースの選択

SMR		SCR3		モード	送信／受信クロック	
ビット7	ビット6	ビット1	ビット0		クロック ソース	SCK32 端子の機能
COM	CHR	CKE1	CKE0			
0	0	0	0	調歩同期式モード	内部	入出力ポート（SCK32 端子を使用しません）
			1			ビットレートと同じ周波数のクロックを出力
			0			外部
1	0	0	0	クロック同期式モード	内部	同期クロックを出力
			1			外部
0	1	1	1	リザーブ（この組み合わせは指定しないでください）		
1	0	1	1			
1	1	1	1			

10.4.2 SCI3の初期化

図 10.4 のフローチャートの例に従って初期化してください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、OER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。クロック同期式モードで外部クロックを使用する場合は、初期化の期間中にクロックを供給しないでください。

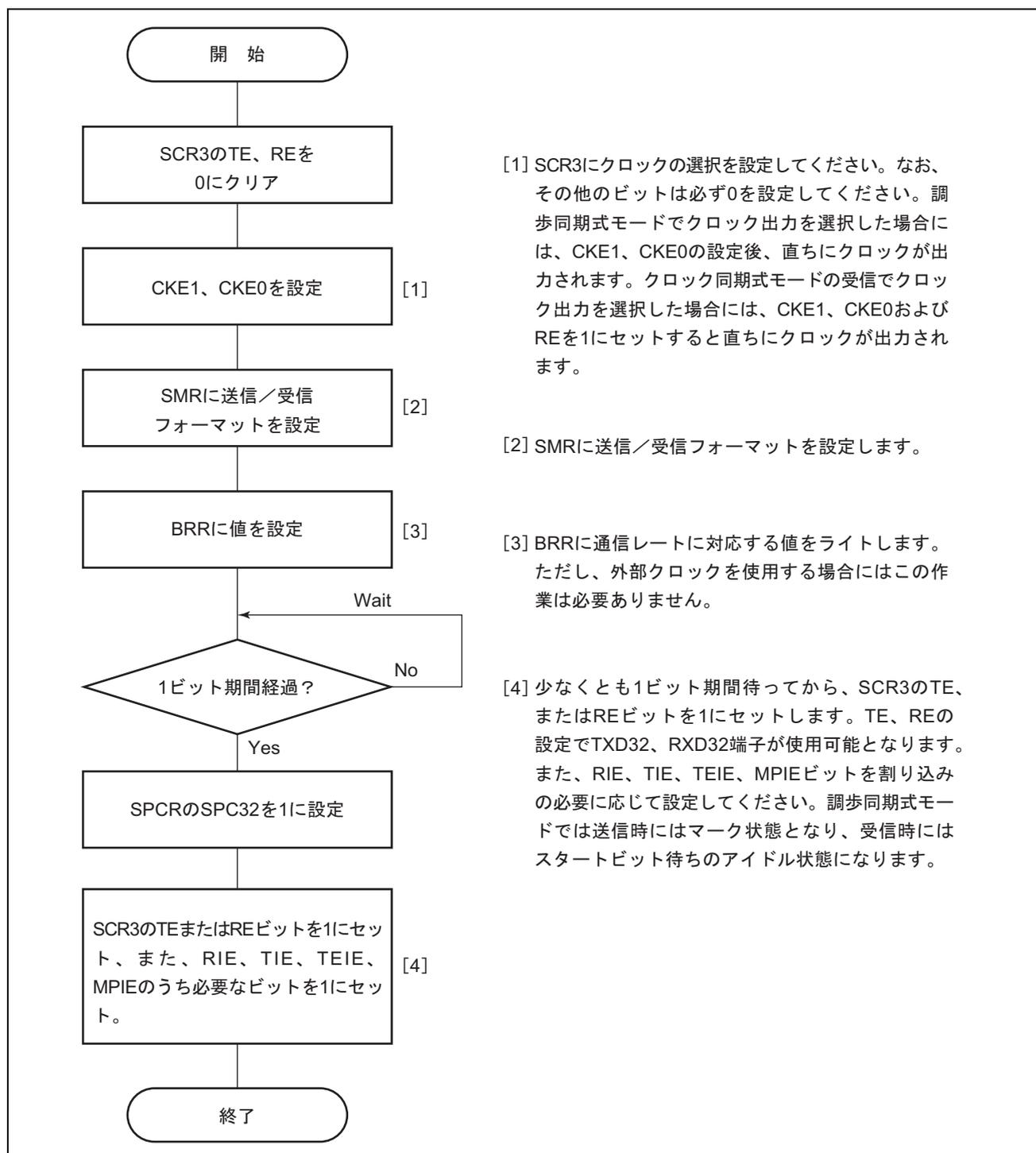


図 10.4 SCI3 を初期化するときのフローチャートの例

10.4.3 データ送信

図 10.5 に調歩同期式モードの送信時の動作例を示します。SCI3 はデータ送信時以下のように動作します。

1. SSRのTDREを監視し、0であるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDREを1にセットして送信を開始します。このとき、SCR3のTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込み処理ルーチンで、前に転送したデータが送信終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. ストップビットを送り出すタイミングでTDREをチェックします。
4. TDREが0であるとTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
5. TDREが1であるとSSRのTENDに1をセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCR3のTEIEが1にセットされているとTEIを発生します。
6. 図10.6にデータ送信を行うためのフローチャートの例を示します。

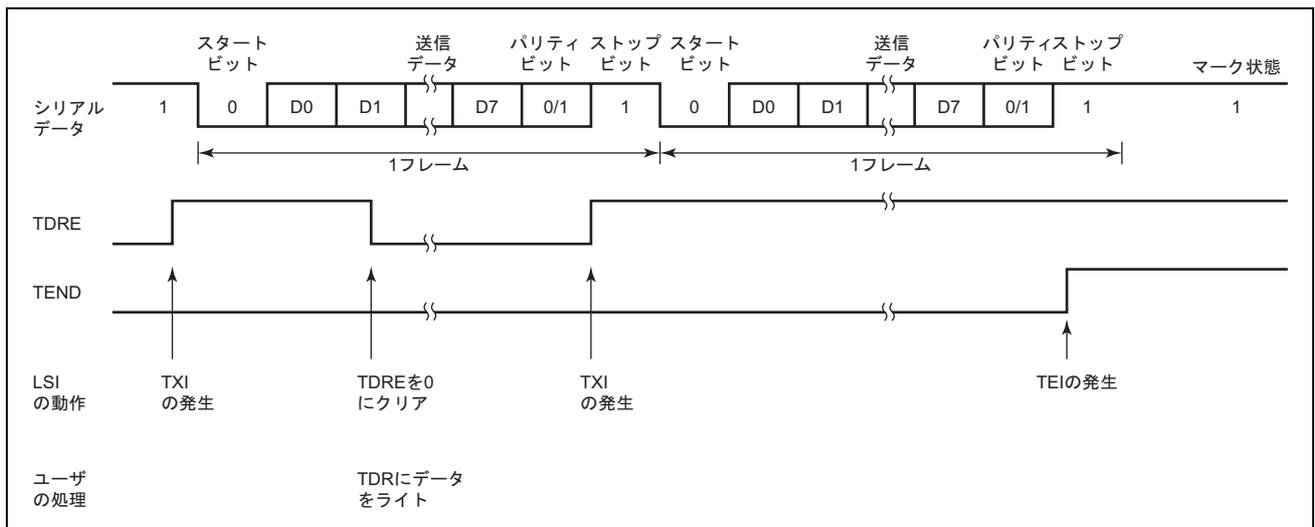


図 10.5 調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

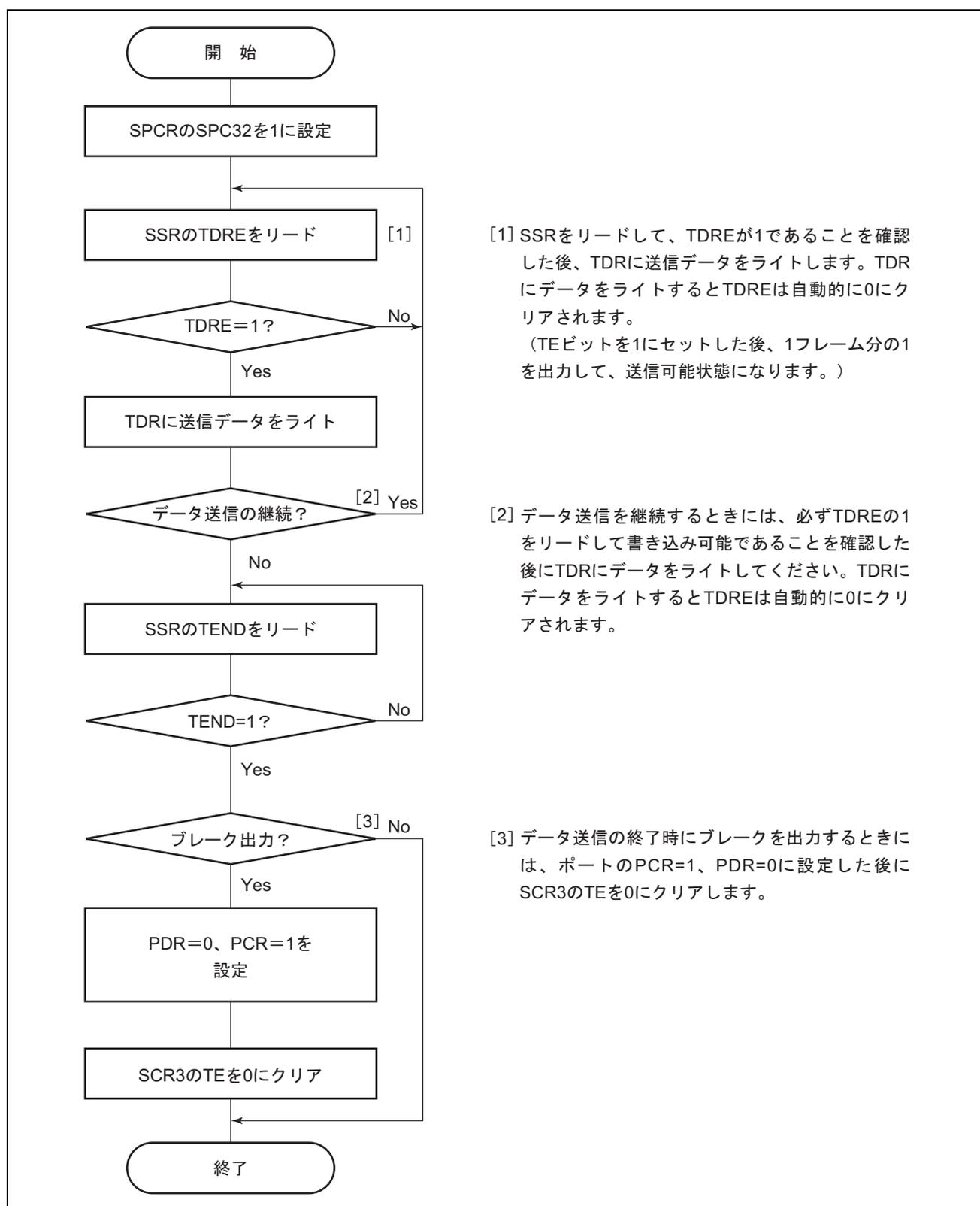


図 10.6 データ送信のフローチャートの例 (調歩同期式モード)

10.4.4 データ受信

調歩同期式モードの受信時の動作例を図 10.7 に示します。SCI3 は受信時に以下のように動作します。

- 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
 - パリティチェック：

受信データの1の数をチェックし、これがSMRのPMで設定した偶数/奇数パリティになっているかをチェックします。
 - ストップビットチェック：

ストップビットが1であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
 - ステータスチェック：

RDRFが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。
- オーバランエラーが発生したとき（SSRのRDRFが1にセットされたまま次のデータを受信完了したとき）はSSRのOERをセットします。このときSCR3のRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。
- パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCR3のRIEが1にセットされているとERI割り込み要求を発生します。
- フレーミングエラー（ストップビットが0のとき）を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCR3のRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

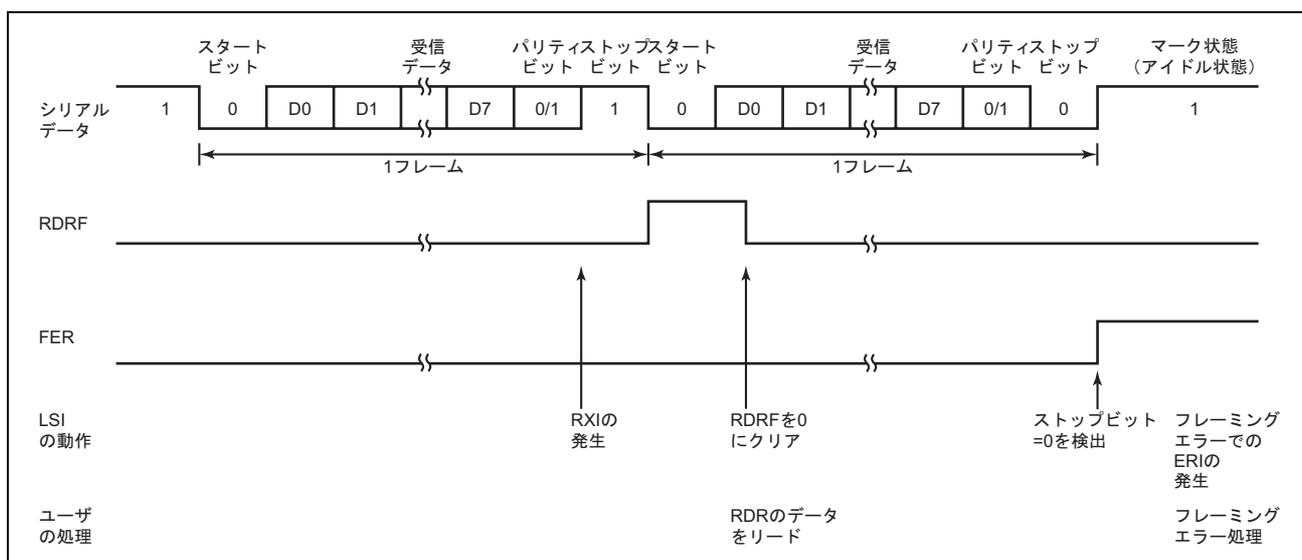


図 10.7 調歩同期式モードの受信時の動作例（8ビットデータ/パリティあり/1ストップビットの例）

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処置を表 10.10 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER、および RDRF を 0 にクリアしてください。図 10.8 にデータ受信のためのフローチャートの例を示します。

表 10.10 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	OER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー+フレーミングエラー
1	1	0	1	消失	オーバランエラー+パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー+パリティエラー
1	1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

【注】 * RDRF は、データ受信前の状態を保持します。ただし、前のフレームの受信データのリードが遅れた結果、次のフレームのオーバランエラーが発生した後に RDR をリードした場合は、RDRF は 0 にクリアされますので注意してください。

10. シリアルコミュニケーションインタフェース 3 (SCI3)

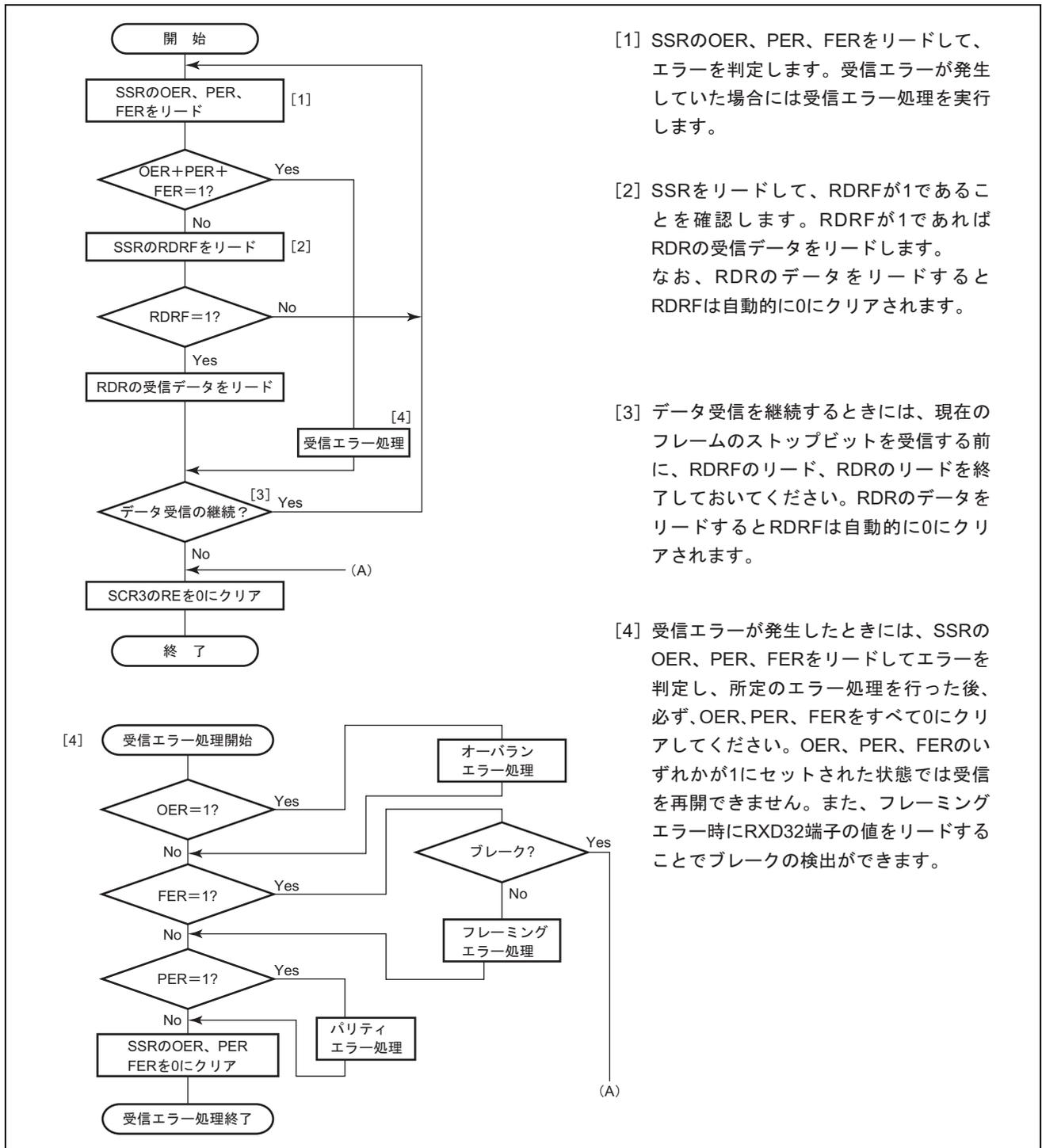


図 10.8 データ受信のフローチャートの例 (調歩同期式モード)

10.5 クロック同期式モードの動作説明

クロック同期式通信の通信データのフォーマットを図 10.9 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは、LSB から始まる 8 ビットデータで構成されます。SCI3 はデータ送信時は同期クロックの立ち下がりから次の立ち上がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。MSB 出力後の通信回線は MSB 出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI3 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部/受信部はともにダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

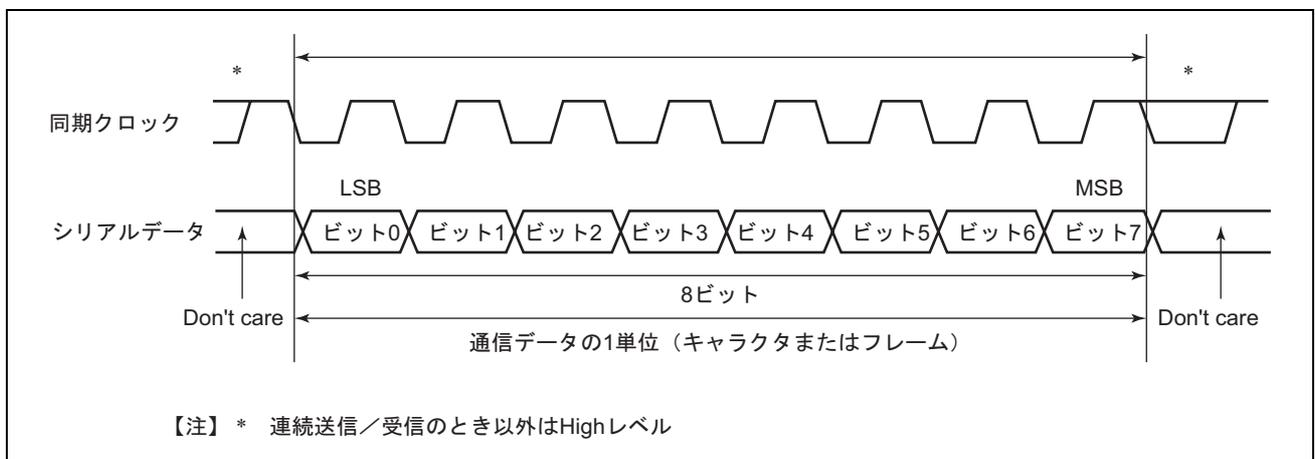


図 10.9 クロック同期式通信のデータフォーマット

10.5.1 クロック

SMR の COM と SCR3 の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータが生成する内部クロックまたは SCK32 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK32 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

10.5.2 SCI3 の初期化

データの送受信前に図 10.4 のフローチャートの例に従って SCI3 を初期化してください。

10.5.3 データ送信

図 10.10 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI3 は以下のように動作します。

1. SCI3は、SSRのTDREを監視し、0であるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDREを1にセットして送信を開始します。このとき、SCR3のTIEが1にセットされているとTXI割り込み要求を発生します。
3. クロック出力モードに設定したときには、SCI3は同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアルデータは、LSB（ビット0）から順にTXD端子から送信されます。
4. MSB（ビット7）を送り出すタイミングでTDREをチェックします。
5. TDREが0であるとTDRからTSRにデータを転送し次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、MSB出力状態を保持します。このときSCR3のTEIEが1にセットされているとTEIを発生します。
7. 送信終了後はSCK3端子はHighレベル固定になります。

図 10.11 にデータ送信のフローチャートの例を示します。データ受信のステータスを示すエラーフラグ（OER、FER、PER）が1にセットされた状態では送信は行えませんので、送信の前には、エラーフラグ（OER、FER、PER）が0にクリアされていることを確認してください。

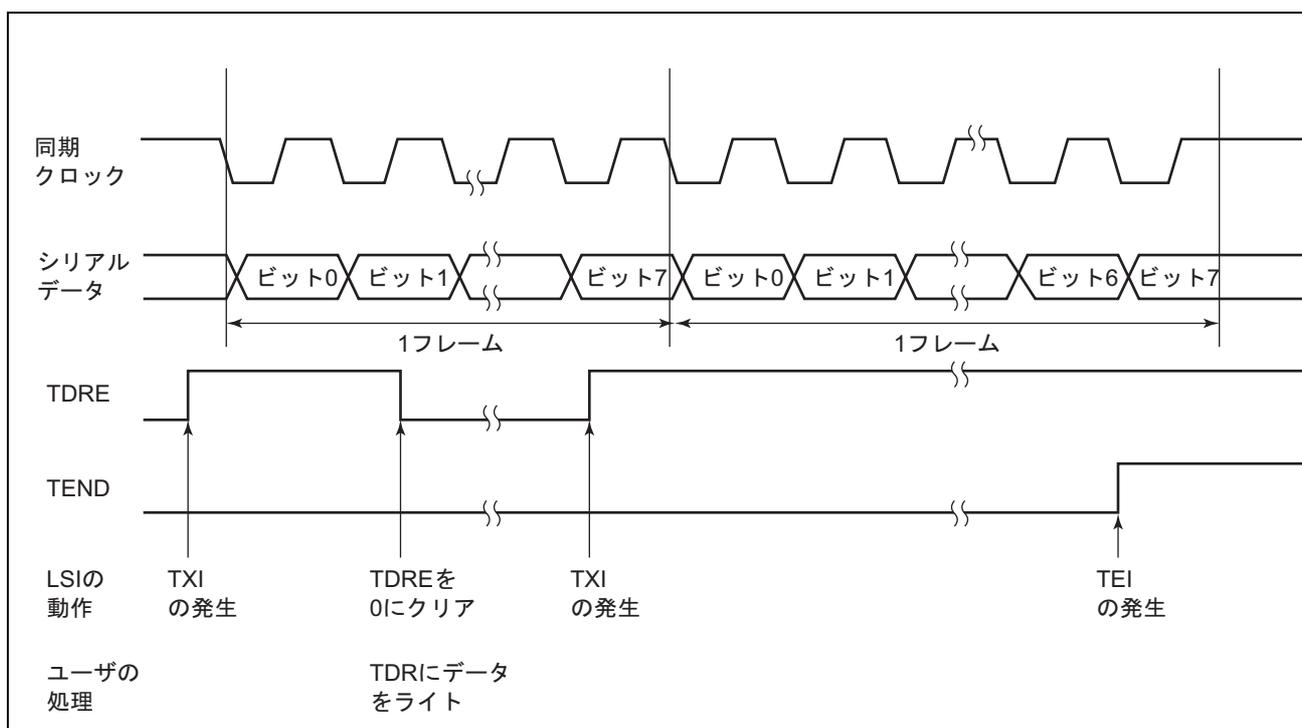


図 10.10 クロック同期式モードの送信時の動作例

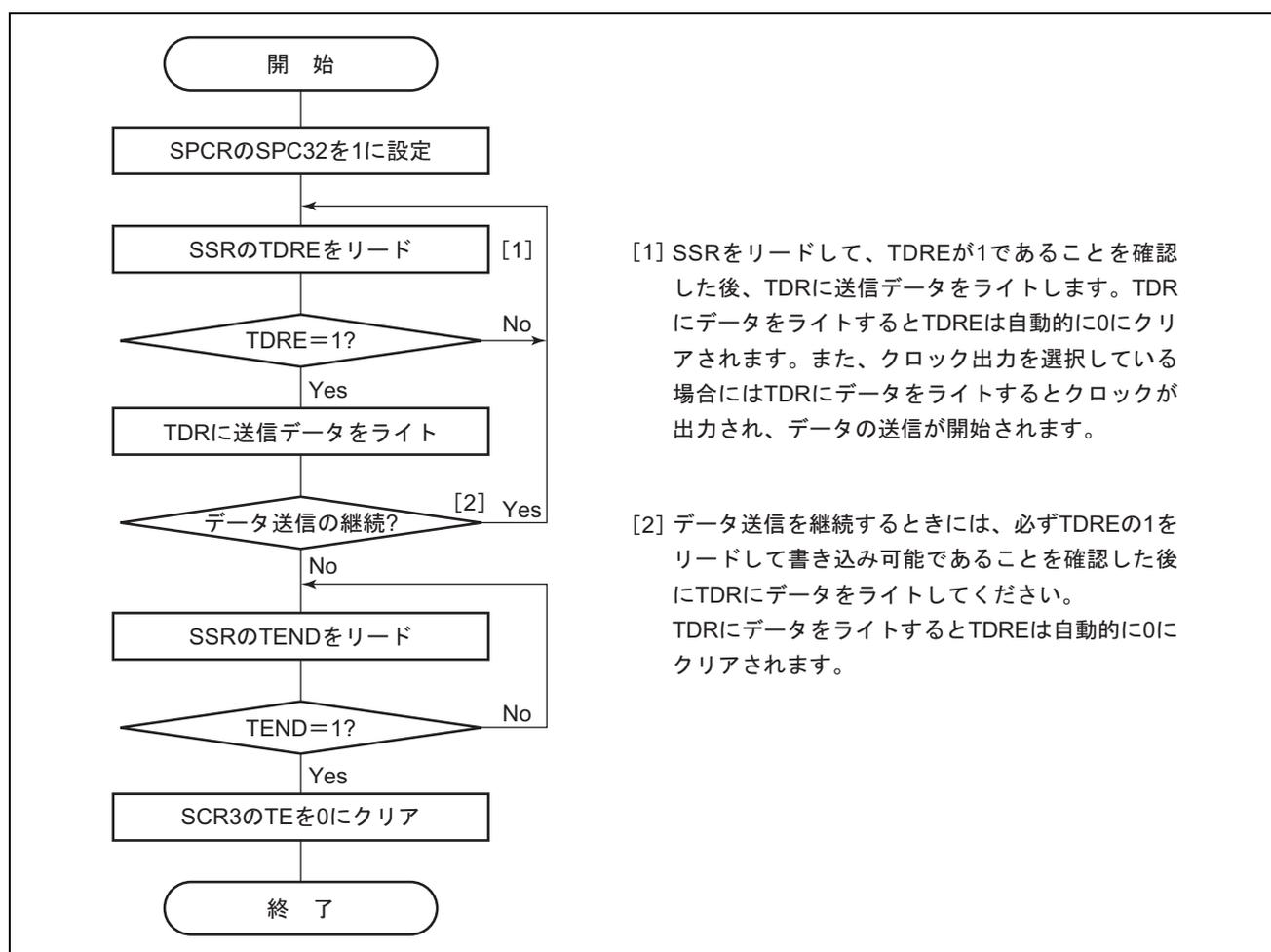


図 10.11 データ送信のフローチャートの例 (クロック同期式モード)

10.5.4 データ受信

図 10.12 にクロック同期式モードの受信時の動作例を示します。SCI3 は受信時に以下のように動作します。

1. SCI3は同期クロックの入力または、出力に同期して内部を初期化し、受信を開始します。
2. 受信したデータをRSRに取り込みます。
3. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのOERをセットします。このときSCR3のRIEが1にセットされているとERI割り込み要求が発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
4. 正常に受信したときはSSR のRDRFをセットし、受信データをRDRに転送します。このときSCR3のRIEが1にセットされているとRXI割り込み要求が発生します。

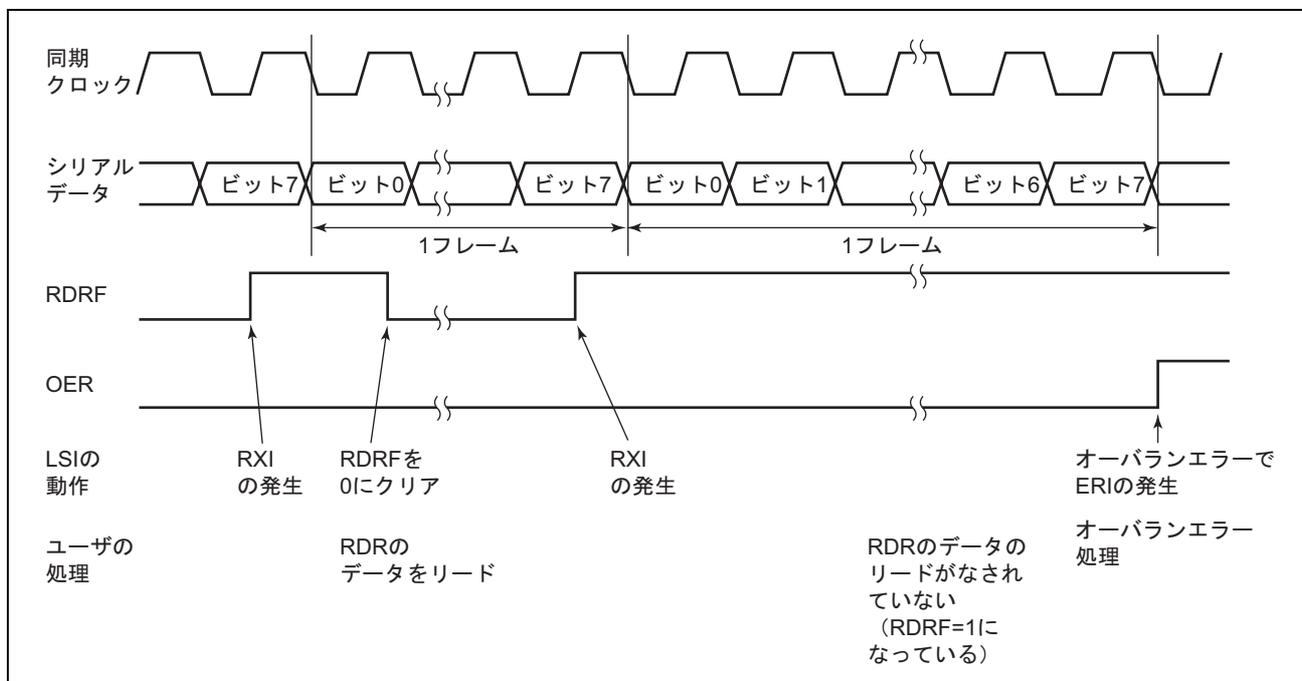


図 10.12 クロック同期式モードの受信時の動作例

受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER、および RDRF を 0 にクリアしてください。図 10.13 にデータ受信のフローチャートの例を示します。

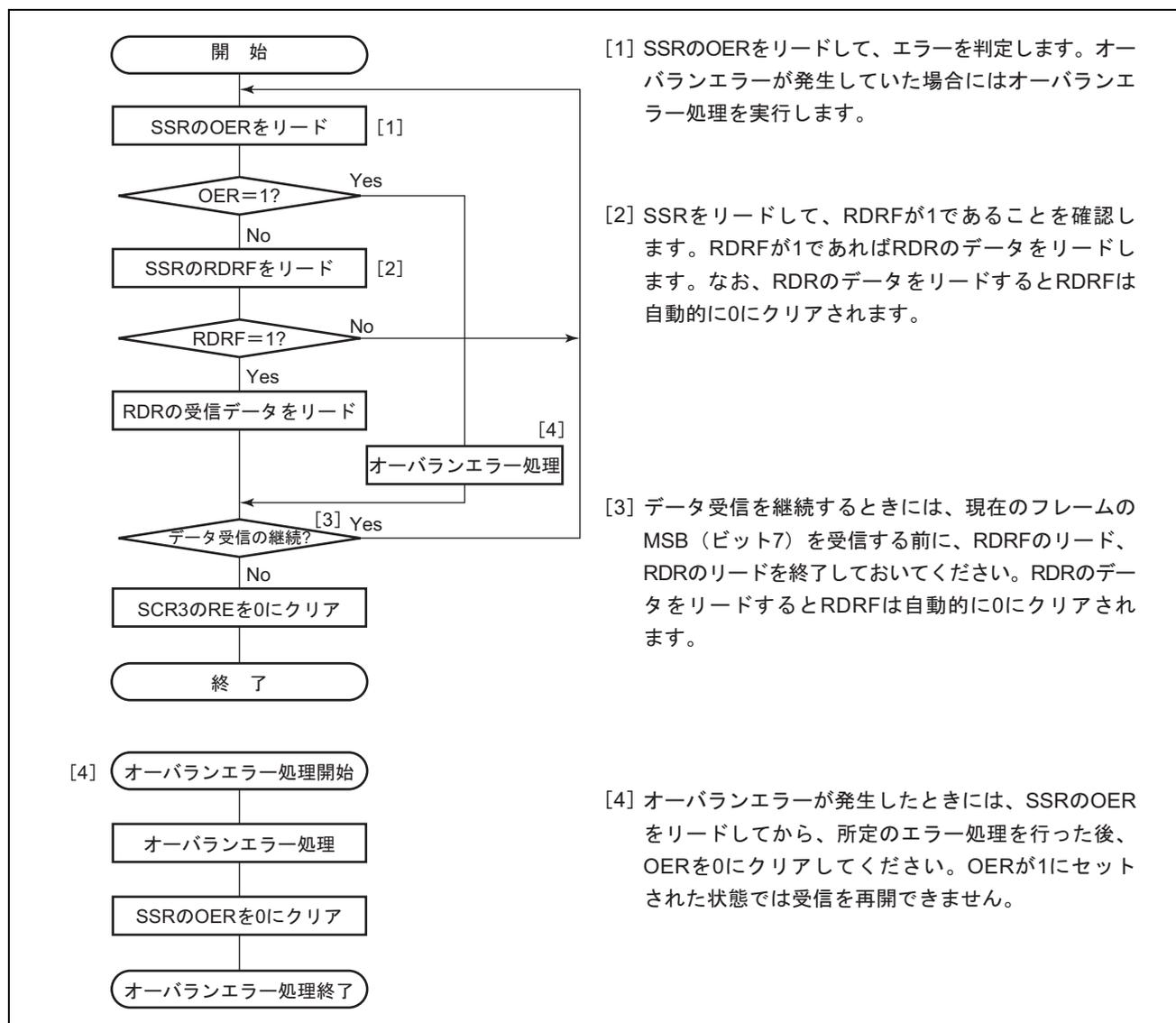


図 10.13 データ受信フローチャートの例（クロック同期式モード）

10.5.5 データ送受信同時動作

図 10.14 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI3 の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI3 が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI3 が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (OER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

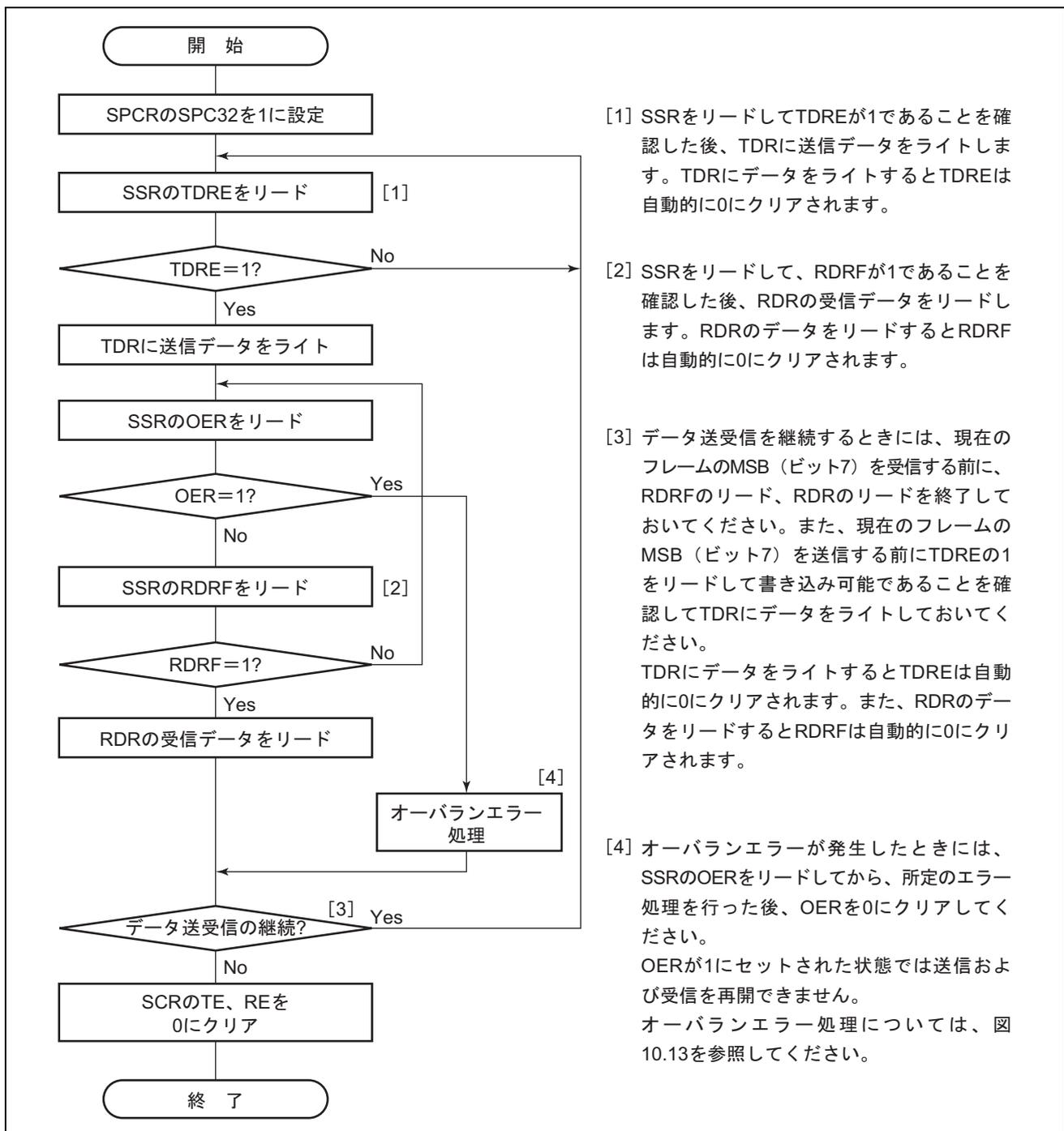


図 10.14 データ送受信同時動作のフローチャートの例 (クロック同期式モード)

10.6 割り込み要求

SCI3 が生成する割り込み要求には、送信終了、送信データエンプティ、受信データフルおよび受信エラー（オーバランエラー、フレーミングエラー、パリティエラー）の計 6 種類があります。表 10.11 に各割り込み要求の内容を示します。

表 10.11 SCI3 の割り込み要求

割り込み要求	略称	割り込み要因	許可ビット
受信データフル	RXI	SSR の RDRF のセット	RIE
送信データエンプティ	TXI	SSR の TDRE のセット	TIE
送信終了	TEI	SSR の TEND のセット	TEIE
受信エラー	ERI	SSR の OER、FER、PER いずれかのセット	RIE

各割り込み要求は、SCR3 の TIE、RIE、TEIE で許可/禁止できます。

SSR の TDRE が 1 にセットされると、TXI が発生します。SSR の TEND が 1 にセットされると、TEI が発生します。この 2 つの割り込みは送信時に発生します。

SSR の TDRE は初期値が 1 になっています。したがって送信データを TDR へ転送する前に SCR3 の TIE を 1 にセットすると、送信データが準備されていなくても TXI が発生します。また、SSR の TEND は初期値が 1 になっています。送信データを TDR へ転送する前に SCR3 の TEIE を 1 にセットすると、送信データが送信されていなくても TEI が発生します。送信データを TDR へ転送する処理を割り込み処理ルーチンの中で行うようにすることで、これらの割り込み要求を有効に利用することもできます。逆にこれらの割り込み要求（TXI、TEI）の発生を防ぐには、送信データを TDR へ転送した後にこれらの割り込み要求に対応するイネーブルビット（TIE、TEIE）を 1 にセットしてください。

SSR の RDRF が 1 にセットされると RXI が発生します。OER、PER、FER のいずれかが 1 にセットされると ERI が発生します。この 2 つの割り込み要求は受信時に発生します。

割り込みに関する詳細は、「第 3 章 例外処理」を参照してください。

10. シリアルコミュニケーションインタフェース 3 (SCI3)

SCI3 は、RXI を使用した連続受信、また TXI を使用した連続送信が可能です。

表 10.12 にこれらの割り込みについて示します。

表 10.12 送信／受信割り込み

割り込み	フラグと許可ビット	割り込み発生条件	備考
RXI	RDRF RIE	シリアル受信が正常に行われ、RSR から RDR に受信データが転送されると RDRF が 1 となり、このとき RIE が 1 ならば RXI が許可され割り込みが発生します (図 10.15 (a) 参照)。	RXI の割り込み処理ルーチンでは、RDR に転送された受信データを読み出し、RDRF を 0 にクリアします。上記の操作を次回の RSR の受信完了までに行うことで連続受信が可能です。
TXI	TDRE TIE	TSR の空 (前回の送信完了) を検出して、TDR にセットされた送信データが TSR に転送されると TDRE は 1 にセットされます。このとき TIE が 1 ならば TXI が許可され割り込みが発生します (図 10.15 (b) 参照)。	TXI の割り込み処理ルーチンでは、次回の送信データを TDR に書き込み、TDRE を 0 にクリアします。上記の操作を TSR に転送したデータが送信終了するまでに行うことで連続送信が可能です。
TEI	TEND TEIE	TSR の送信キャラクタの最後尾ビットを送信したとき、TDRE が 1 ならば TEND は 1 にセットされます。このとき TEIE が 1 ならば TEI が許可され割り込みが発生します (図 10.15 (c) 参照)。	TEI は、TSR の送信キャラクタの最後尾ビットを送信したとき、TDR に次回の送信データが書き込まれていないことを示します。

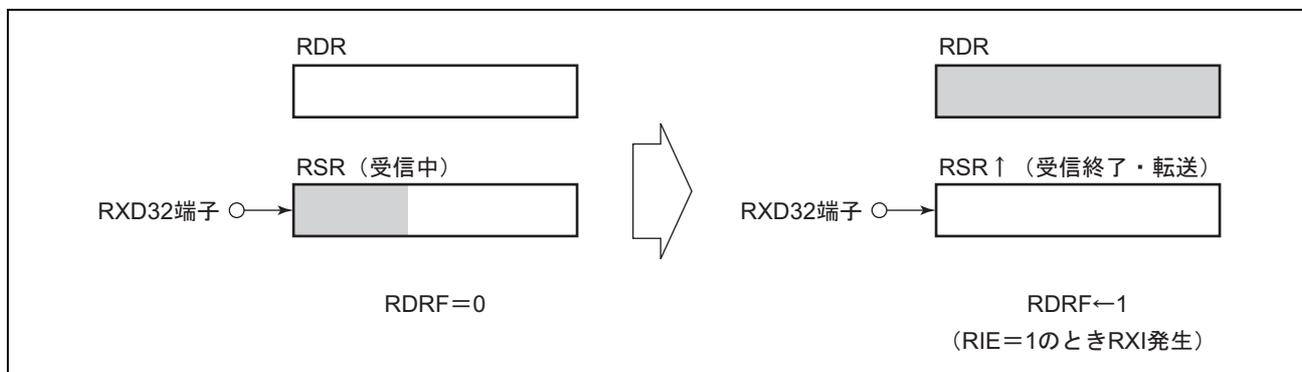


図 10.15 (a) RDRF のセットと RXI 割り込み

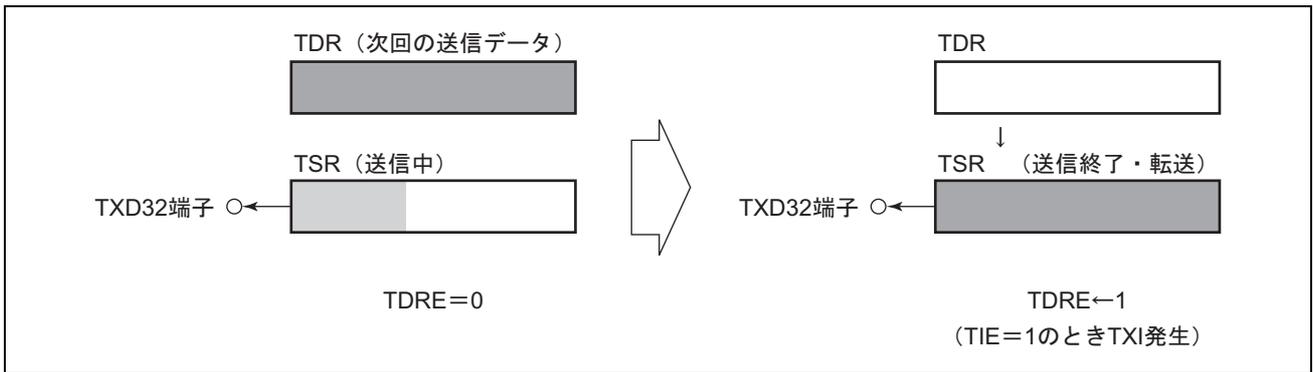


図 10.15 (b) TDRE のセットと TXI 割り込み

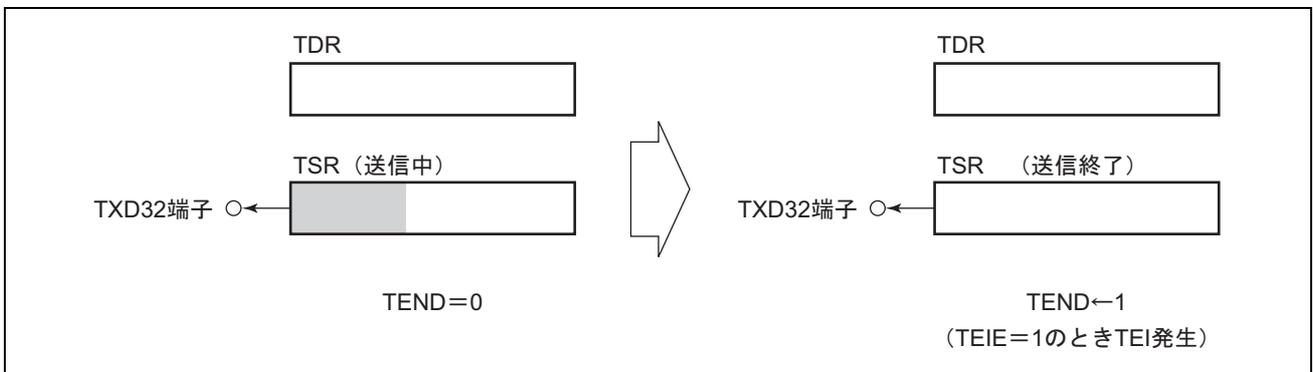


図 10.15 (c) TEND のセットと TEI 割り込み

10.7 使用上の注意事項

10.7.1 ブレークの検出と処理について

フレーミングエラー検出時に、RXD32 端子の値を直接リードすることでブレークを検出できます。ブレークでは RXD32 端子からの入力がすべて 0 になりますので、FER がセットされ、また PER もセットされる可能性があります。SCI3 は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしても再び FER が 1 にセットされますので注意してください。

10.7.2 マーク状態とブレークの送付

TE が 0 のとき、TXD32 端子は PDR と PCR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TXD32 端子をマーク状態にしたりデータ送信時にブレークの送付をすることができます。TE を 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、PCR=1、PDR=1 を設定します。このとき、TE が 0 にクリアされていますので、TXD32 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレークを送付したいときは、PCR=1、PDR=0 に設定した後 TE を 0 にクリアします。TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TXD32 端子は I/O ポートになり、TXD32 端子から 0 が出力されます。

10.7.3 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (OER、PER、FER) が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

10.7.4 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI3 は転送レートの 16 倍の周波数の基本クロックで動作しています。受信時には SCI3 は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、受信データを基本クロックの 8 番目の立ち上がりエッジで内部に取り込みます。これを図 10.16 に示します。

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D-0.5}{N} - (L-0.5) F \right\} \times 100 \quad [\%] \quad \dots \text{式 (1)}$$

N : クロックに対するビットレートの比 (N=16)

D : クロックのデューティ (D=0.5~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5 とすると、

$$M = \left\{ 0.5 - \frac{1}{(2 \times 16)} \right\} \times 100 \quad [\%] = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

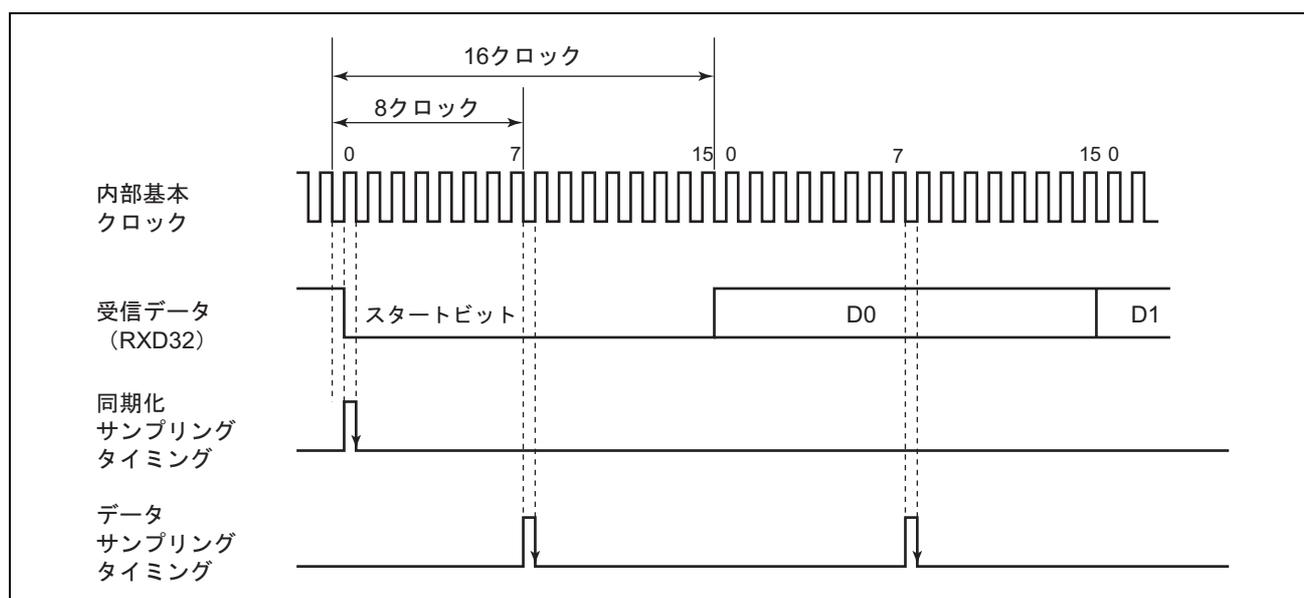


図 10.16 調歩同期式モードの受信データサンプリングタイミング

10.7.5 SCK32 端子機能切り替えに伴う注意事項

SCI3 をクロック同期式モードで使用した後、SCK32 端子をクロック出力から入出力ポートに端子機能を切り替えると SCK32 端子に端子機能切り替えのタイミングで瞬時（システムクロック ϕ の 1/2 の期間）Low レベルを出力しますので注意してください。

この瞬時の Low レベル出力を回避するには次の方法があります。

(a) SCK32 端子をクロック出力状態から非出力状態にする場合

送受信を停止する際、1 命令で SCR3 の TE ビット、RE ビットを 0 にクリアすると同時に CKE1 ビットを 1、CKE0 ビットを 0 に設定してください。

この場合は、SMR の COM ビットは 1 にセットされたままで使用してください。したがって、入出力ポートとしては使用できません。また、SCK32 端子に中間電位が印加しないように SCK32 端子に接続したラインは抵抗を介して V_{CC} 電位にプルアップするか、他のデバイスから出力を与えるかしてください。

(b) SCK32 端子をクロック出力状態から入出力ポートに端子機能を切り替える場合

送受信を停止する際、

1. まず 1 命令で SCR3 の TE ビット、RE ビットをともに 0 にクリアすると同時に CKE1 ビットを 1、CKE0 ビットを 0 に設定してください。
2. 次に SMR の COM ビットを 0 にクリアしてください。
3. 最後に SCR3 の CKE1、CKE0 ビットをともに 0 にクリアしてください。この場合も SCK32 端子に中間電位が印加しないように注意してください。

10.7.6 TDR へのライトと TDRE の関係について

SSR の TDRE はシリアル送信するデータが TDR に準備されていないことを示すステータスフラグです。TDR ヘデータを書き込むと TDRE は自動的に 0 にクリアされます。また SCI3 が TDR から TSR にデータを転送すると、TDRE が 1 にセットされます。

TDR へのデータのライトは、TDRE の状態にかかわらず行うことができますが、TDRE が 0 の状態で新しいデータを TDR に書き込むと、TDR に格納されていた前のデータは、まだ TSR に転送されていない場合失われてしまいます。したがって、シリアル送信を確実にを行うために TDR への送信データのライトは、必ず TDRE が 1 にセットされていることを確認してから 1 回だけ行う (2 回以上ライトしない) ようにしてください。

10.7.7 RDR のリードと RDRF の関係について

SCI3 は受信動作において、RDRF フラグをチェックしながら動作します。1 フレームの受信終了のタイミングで RDRF が 0 にクリアされていれば、通常データ受信を完了します。また RDRF が 1 にセットされていれば、オーバランエラーとなります。

RDR の内容をリードすると、RDRF は自動的に 0 にクリアされます。したがって、RDR のリードを 2 回以上行う場合、2 回目以降のリード操作は RDRF が 0 の状態で行われます。RDRF が 0 の状態で RDR のリードを行うと、リード操作が次のフレームの受信が完了するタイミングと重なった場合、次のフレームのデータが読み出されることがありますので注意してください。これを図 10.17 に示します。

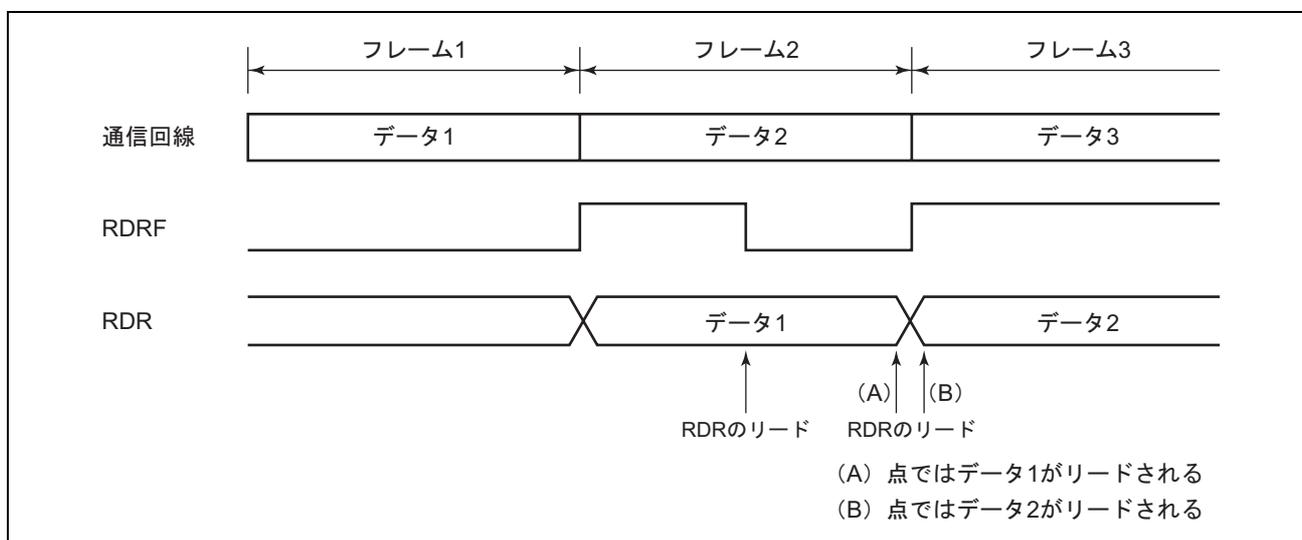


図 10.17 RDR のリードタイミングとデータの関係

この場合、RDR のリード操作は RDRF が 1 にセットされていることを確認してから、1 回のみ行う (2 回以上リードしない) ようにしてください。2 回以上リードする場合は、1 回リードしたデータを RAM などに転送し、その内容を使用するようにしてください。また、RDR のリード操作は、次のフレームの受信が完了するまでに余裕をもって行うようにしてください。具体的なタイミングとしては、クロック同期式モードではビット 7 の転送前まで、調歩同期式モードでは STOP ビットの転送前までに RDR のリードを完了してください。

10.7.8 状態遷移時における送信および受信動作について

状態遷移処理を行う場合は、送信および受信動作が完全に終了したのを確認した後に行ってください。

10.7.9 サブアクティブモード、サブスリープモード時の設定について

サブアクティブモード、サブスリープモード時は CPU 動作クロックが $\phi_w/2$ のときのみ SCI3 が使用可能となります。SYSCR2 の SA1 ビットを 1 にセットしてください。

11. 10ビットPWM

本LSIは2チャンネルの10ビットPWMを内蔵しています。PWMにローパスフィルタを接続することでD/A変換器としても使用できます。10ビットPWMのブロック図を図11.1に示します。

11.1 特長

- 4種類の変換周期を選択可能
1変換周期 $4096/\phi$ 、最小変化幅 $4/\phi$ 、または1変換周期 $2048/\phi$ 、最小変化幅 $2/\phi$ 、または1変換周期 $1024/\phi$ 、最小変化幅 $1/\phi$ 、または1変換周期 $512/\phi$ 、最小変化幅 $1/2\phi$ の選択が可能
- リップル低減を図ったパルス分割方式
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能（詳細は「5.4 モジュールスタンバイ機能」を参照）

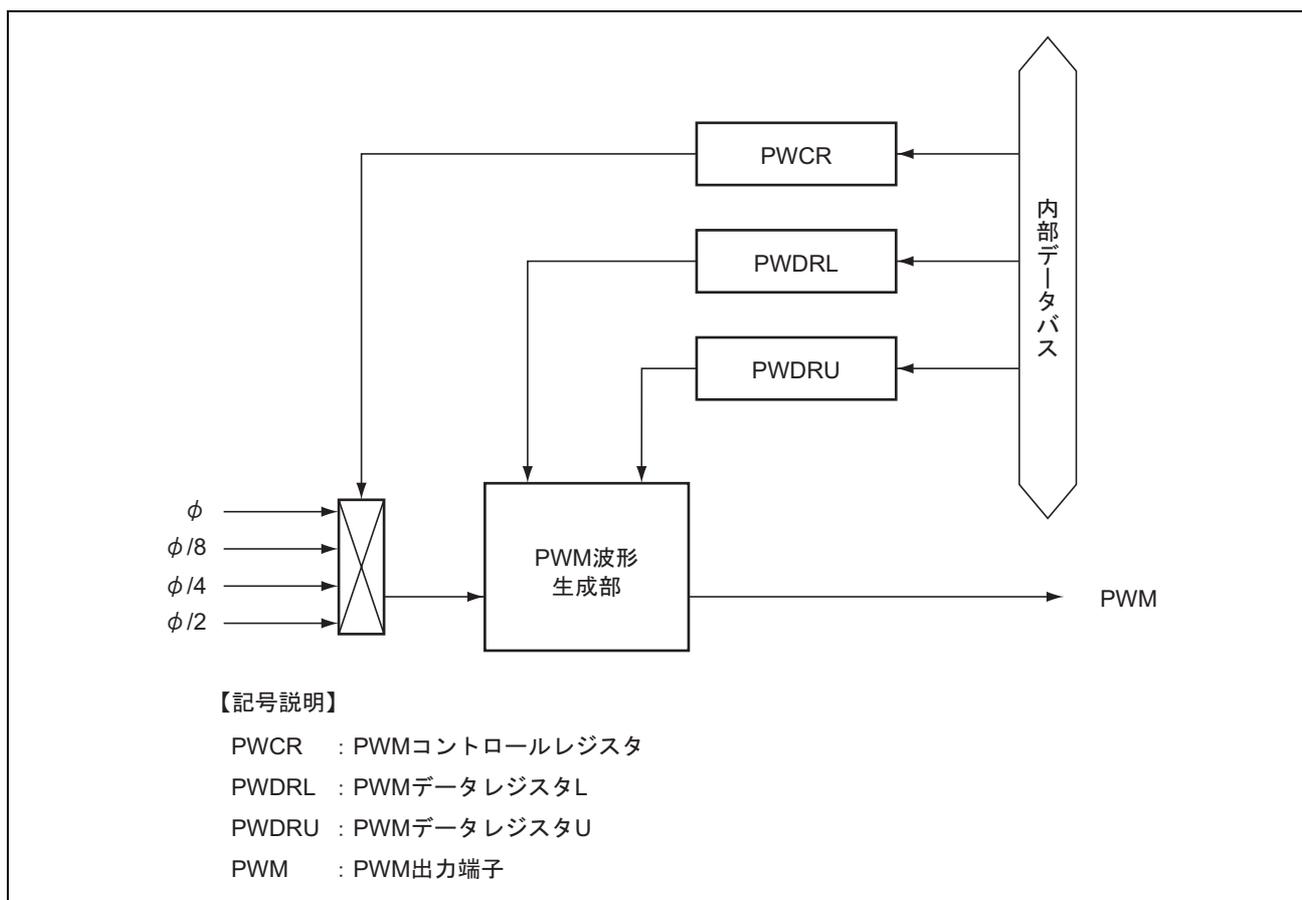


図 11.1 10ビットPWMのブロック図

11. 10ビット PWM

11.2 入出力端子

10ビット PWM の端子構成を表 11.1 に示します。

表 11.1 端子構成

名称	略称	入出力	機能
10ビット PWM 方形波出力 1	PWM1	出力	チャンネル 1: 10ビット PWM 方形波出力端子 / イベントカウンタ PWM 出力端子
10ビット PWM 方形波出力 2	PWM2	出力	チャンネル 2: 10ビット PWM 方形波出力端子 / イベントカウンタ PWM 出力端子

11.3 レジスタの説明

10ビット PWM には以下のレジスタがあります。

- PWMコントロールレジスタ (PWCR)
- PWMデータレジスタU (PWDRU)
- PWMデータレジスタL (PWDRL)

11.3.1 PWM コントロールレジスタ (PWCR)

PWCR は変換周期を選択します。

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブビット
6	—	1	—	リードすると常に 1 が読み出されます。ライトは無効です。
5	—	1	—	
4	—	1	—	
3	—	1	—	
2	—	1	—	
1	PWCR1	0	W	クロックセレクト 1、0
0	PWCR0	0	W	00 : 入力クロックは ϕ ($t\phi = 1/\phi$) 1 変換周期 $512/\phi$ 、最小変化幅 $1/2\phi$ の PWM 波形を生成 01 : 入力クロックは $\phi/2$ ($t\phi = 2/\phi$) 1 変換周期 $1024/\phi$ 、最小変化幅 $1/\phi$ の PWM 波形を生成 10 : 入力クロックは $\phi/4$ ($t\phi = 4/\phi$) 1 変換周期 $2048/\phi$ 、最小変化幅 $2/\phi$ の PWM 波形を生成 11 : 入力クロックは $\phi/8$ ($t\phi = 8/\phi$) 1 変換周期 $4096/\phi$ 、最小変化幅 $4/\phi$ の PWM 波形を生成

【記号説明】

$t\phi$: PWM 入力クロックの周期

11.3.2 PWM データレジスタ U、L (PWDRU、PWDRL)

PWDRU、PWDRL はライト専用の 10 ビットのレジスタで、PWM 波形 1 周期の High レベル幅を表します。PWDRU が上位 2 ビット、PWDRL が下位 8 ビットの構成で、リードすると常に 1 が読み出されます。

PWDRU、PWDRL ともバイトアクセス専用です。ワードアクセスをすると動作は保証できませんので注意してください。また PWDRU、PWDRL に合計 10 ビットのデータをライトすると、PWDRU、PWDRL の内容が PWM 波形生成部に取り込まれて PWM 波形生成のデータ更新が行われます。なお、ライトは必ず PWDRL →PWDRU の順序で行ってください。

PWDRU、PWDRL の初期値は H'FC00 です。

11.4 動作説明

11.4.1 動作説明

10 ビット PWM を使用する場合、以下の順序でレジスタの設定を行ってください。

1. ポートモードレジスタ9 (PMR9) のPWM1、PWM2を1にして、P91/PWM2端子とP90/PWM1端子のいずれかもしくは両方をPWM出力端子に設定します。
2. PWCRのPWCR1、PWCR0ビットにより、1変換周期を選択します。
3. PWDRU、PWDRLに出力波形データを設定します。このとき必ずPWDRL、PWDRUの順序でバイト単位で書き込んでください。PWDRUへのライトと同時にPWM波形生成部にデータが取り込まれ、内部信号と同期をとってPWM波形生成の更新が行われます。

1 変換周期は図 11.2 が示すように 4 個のパルスで構成されます。この 1 変換周期中の High レベル幅の合計 (T_H) が PWDRU、PWDRL のデータに対応しています。この関係は次式で示されます。

$$T_H = (\text{PWDRU, PWDRL のデータ値} + 4) \times t_{\phi} / 2$$

t_{ϕ} は PWM 入力クロックの周期で、 $1/\phi$ (PWCR1=0、PWCR0=0)、 $2/\phi$ (PWCR1=0、PWCR0=1)、 $4/\phi$ (PWCR1=1、PWCR0=0) または $8/\phi$ (PWCR1=1、PWCR0=1) となります。PWDRU、PWDRL のデータ値 H'FFFC~H'FFFF では PWM 出力は High レベルとなります。H'FC3C では、 $T_H = 64 \times t_{\phi} / 2 = 32 \times t_{\phi}$ となります。

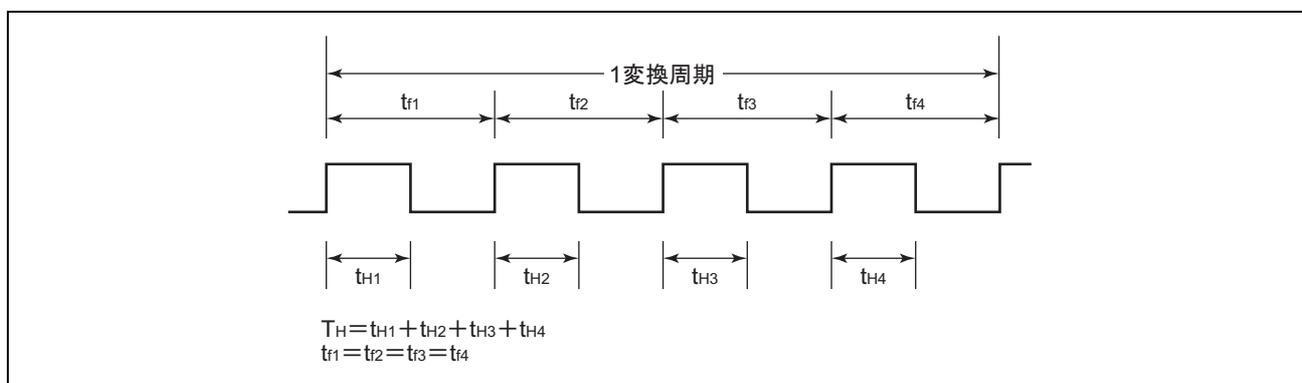


図 11.2 10ビットPWM出力波形

11.4.2 PWMの動作モード

PWMの動作モードを表11.2に表示します。

表 11.2 PWMの動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
PWCR	リセット	動作	動作	保持	保持	保持	保持	保持
PWDRU	リセット	動作	動作	保持	保持	保持	保持	保持
PWDRL	リセット	動作	動作	保持	保持	保持	保持	保持

12. A/D 変換器

逐次比較方式の 10 ビットの A/D 変換器で、最大 4 チャンネルのアナログ入力を変換することができます。A/D 変換器のブロック図を図 12.1 に示します。

12.1 特長

- 分解能：10ビット
- 入力チャンネル：4チャンネル
- 高速変換：1チャンネル当たり最小12.4 μ s ($\phi = 5\text{MHz}$ 時)
- サンプル&ホールド機能付き
- 変換開始方法
ソフトウェアによるA/D変換の開始が可能
- 割り込み要因
A/D変換終了割り込み (ADI) 要求を発生させることができます。
- モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能（詳細は「5.4 モジュールスタンバイ機能」を参照）

12. A/D 変換器

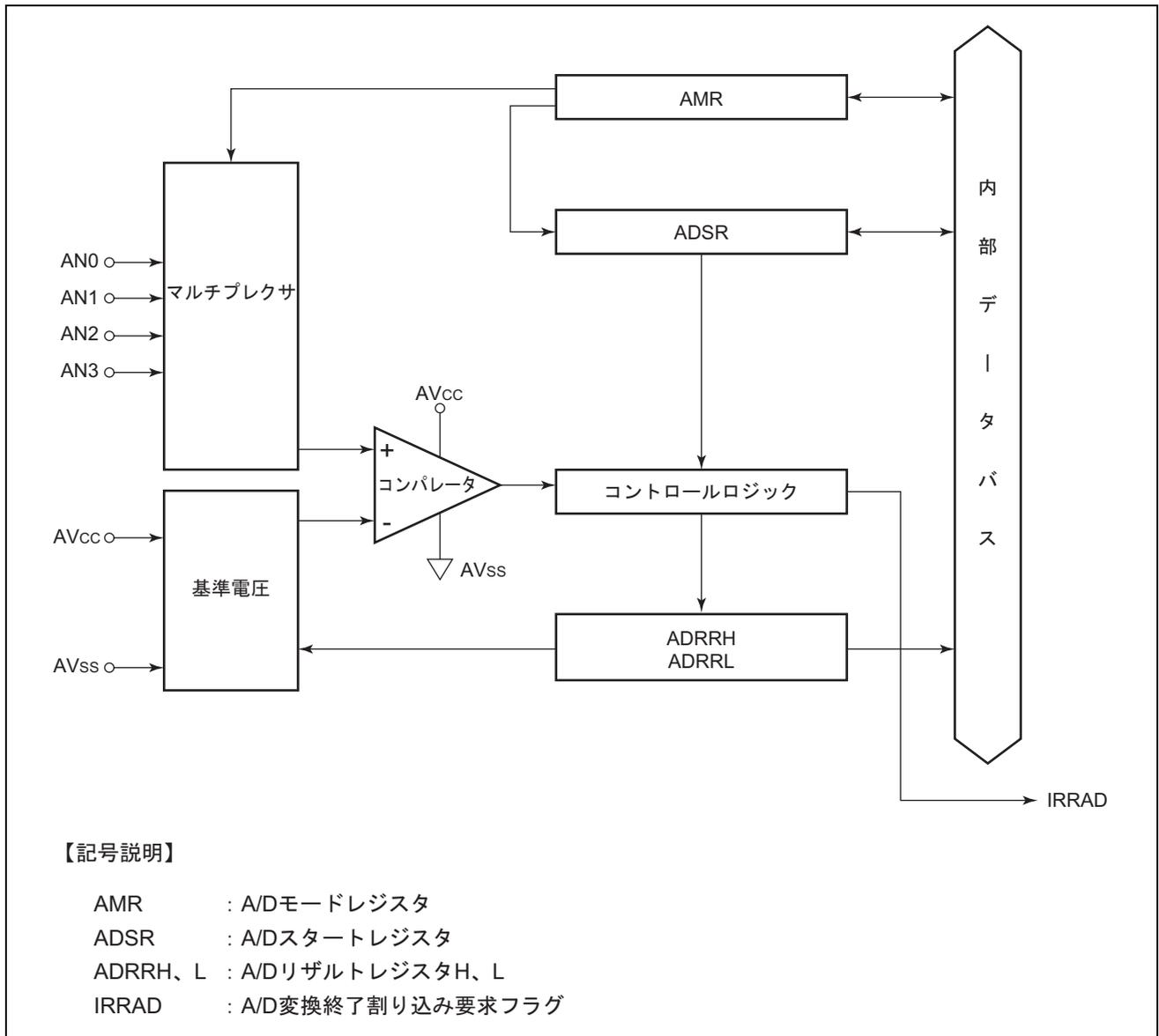


図 12.1 A/D 変換器のブロック図

12.2 入出力端子

A/D 変換器で使用する端子を表 12.1 に示します。

表 12.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源および基準電圧
アナログ部グランド端子	AVss	入力	アナログ部のグランドおよび基準電圧
アナログ入力端子 0	AN0	入力	アナログ入力端子
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	

12.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

- A/DリザルトレジスタH、L (ADRRH、ADRRL)
- A/Dモードレジスタ (AMR)
- A/Dスタートレジスタ (ADSR)

12.3.1 A/D リザルトレジスタ H、L (ADRRH、ADRRL)

A/D リザルトレジスタは A/D 変換結果を格納するための 16 ビットのリード専用レジスタで、ADRRH、ADRRL があります。

ADRRH に上位 8 ビット、ADRRL に下位 2 ビットが格納されます。ADRRH と ADRRL は常に CPU からリード可能です。A/D 変換中は ADRRH と ADRRL の値は不定で、A/D 変換終了時に変換結果の 10 ビットデータが格納され、次の変換開始までこのデータが保持されます。ADRRH と ADRRL の初期値は不定です。

12.3.2 A/D モードレジスタ (AMR)

AMR は A/D 変換器の変換時間の設定、アナログ入力端子の指定を行います。

ビット	ビット名	初期値	R/W	説明
7	CKS	0	R/W	クロックセレクト A/D 変換時間の設定を行います。 0 : 変換時間=62 ステート 1 : 変換時間=31 ステート
6	—	0	R/W	リザーブビット 0 ライトのみ可能です。
5	—	1	—	リザーブビット
4	—	1	—	リードすると常に 1 が読み出されます。ライトは無効です。
3 2 1 0	CH3 CH2 CH1 CH0	すべて 0	R/W	チャンネルセレクト 3~0 アナログ入力チャンネルの選択を行います。 00xx : 非選択 0100 : AN0 0101 : AN1 0110 : AN2 0111 : AN3 1xxx : 使用禁止 チャンネル選択の切り替えは、ADSF=0 の状態で行ってください。

【記号説明】 x : Don't care

12. A/D 変換器

12.3.3 A/D スタートレジスタ (ADSR)

ADSR は A/D 変換の開始または停止を設定します。

ビット	ビット名	初期値	R/W	説明
7	ADSF	0	R/W	このビットを 1 にセットすると A/D 変換を開始します。変換が終了すると変換データは ADDRHH、ADDRLL にセットされます。同時に 0 にクリアされ、A/D 変換を終了します。また、このビットに 0 をライトすることで A/D 変換を強制終了することができます。
6~0	—	1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

12.4 動作説明

A/D 変換器は逐次比較方式で分解機能は 10 ビットです。変換時間やアナログ入力チャネルの切り替えは、誤動作を避けるため ADSR の ADSF ビットが 0 の状態で行ってください。

12.4.1 A/D 変換動作

- ソフトウェアによって ADSR の ADSF ビットが 1 にセットされると、選択されたチャネルの A/D 変換を開始します。
- A/D 変換が終了すると A/D 変換結果が A/D リザルトレジスタに転送されます。
- A/D 変換終了時、IRR2 の IRRAD フラグが 1 にセットされます。このとき、IENR2 の IENAD ビットが 1 にセットされていると、A/D 変換終了割り込み要求が発生します。
- ADSF ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。

12.4.2 A/D 変換器の動作モード

A/D 変換器の動作モードを表 12.2 に示します。

表 12.2 A/D 変換器の動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
AMR	リセット	動作	動作	保持	保持	保持	保持	保持
ADSR	リセット	動作	動作	リセット	リセット	リセット	リセット	リセット
ADDRHH	保持	動作	動作	保持	保持	保持	保持	保持
ADDRLL	保持	動作	動作	保持	保持	保持	保持	保持

12.5 使用例

チャンネル1 (AN1) をアナログ入力チャンネルに選択した場合の動作例を示します。動作タイミングを図 12.2 に示します。

1. 入力チャンネルをAN1 (AMRのCH3~CH0を0101)、IENAD=1に設定して、A/D変換を開始 (ADSF=1) します。
2. A/D変換が終了すると、IRRADが1にセットされ、A/D変換結果がADRRHとADRRLに格納されます。同時にADSF=0となり、A/D変換器は変換待機となります。
3. IENAD=1となっているためA/D変換終了割り込み要求が発生します。
4. A/D割り込み処理ルーチンが開始されます。
5. A/D変換結果を読み出して、処理します。
6. A/D変換処理ルーチンの実行が終了します。

この後、ADSF=1にセットするとA/D変換が開始され2~6を行います。

A/D変換器の使用手順の概念フローを図 12.3、図 12.4 に示します。

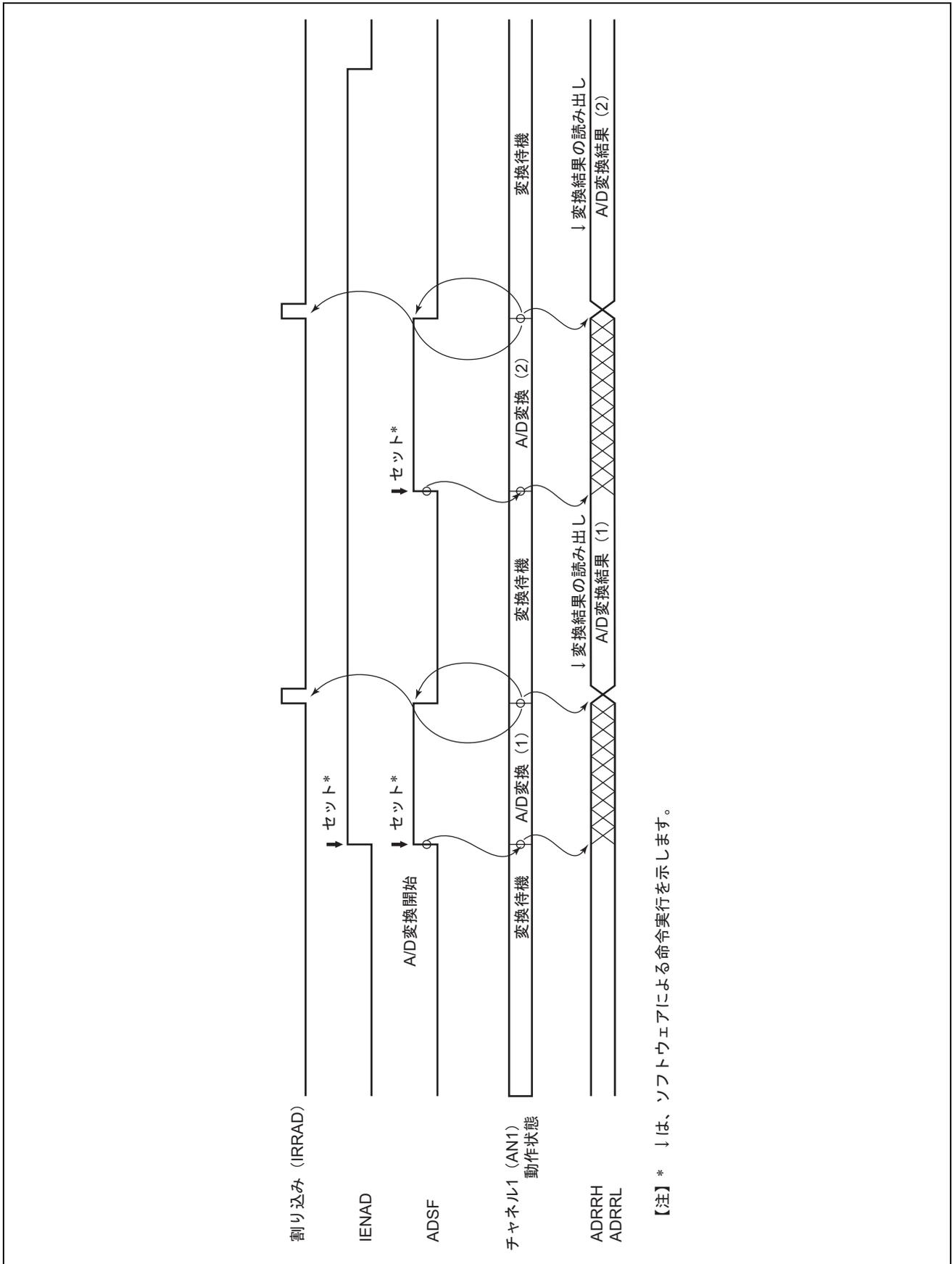


図 12.2 A/D 変換器の動作例

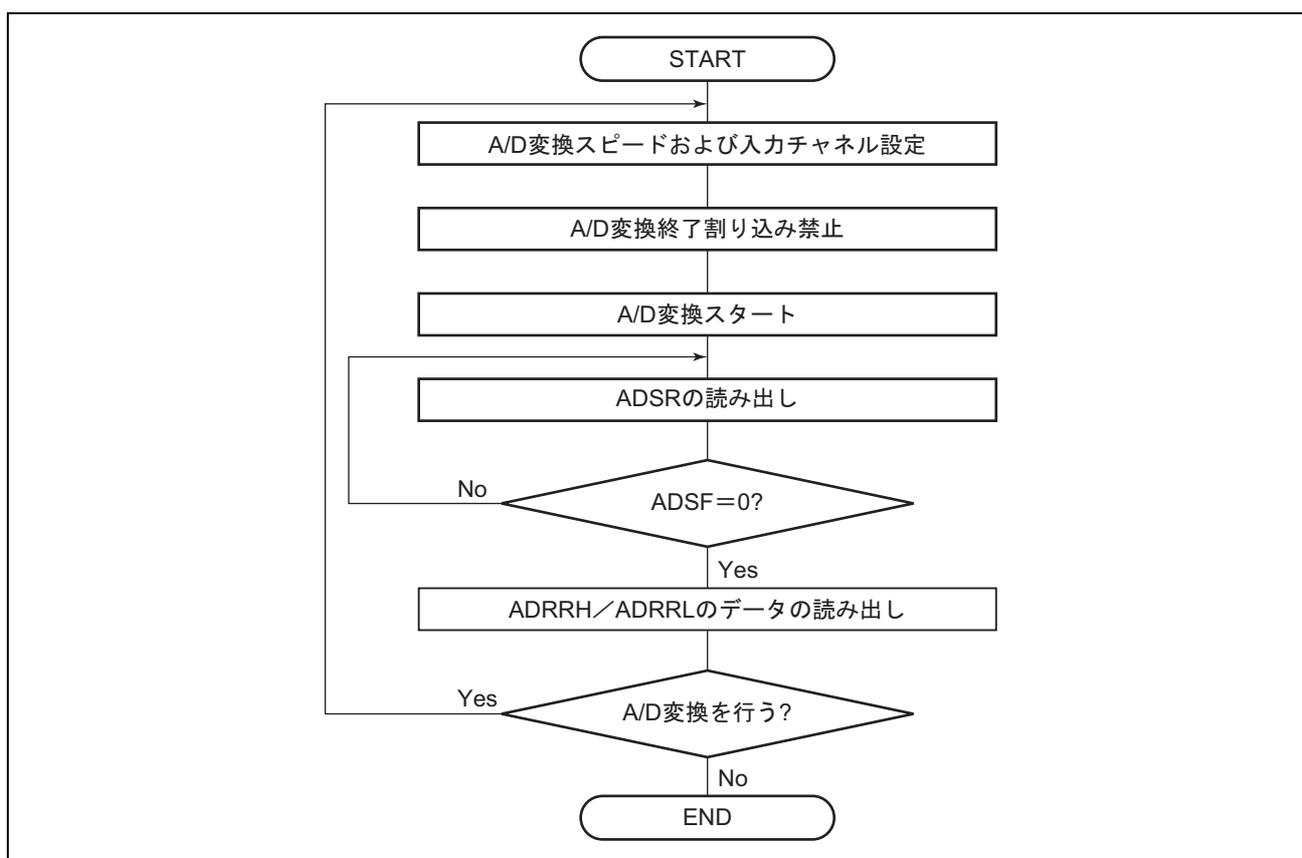


図 12.3 A/D 変換器の使用手順の概念フロー（ソフトウェアでポーリングする場合）

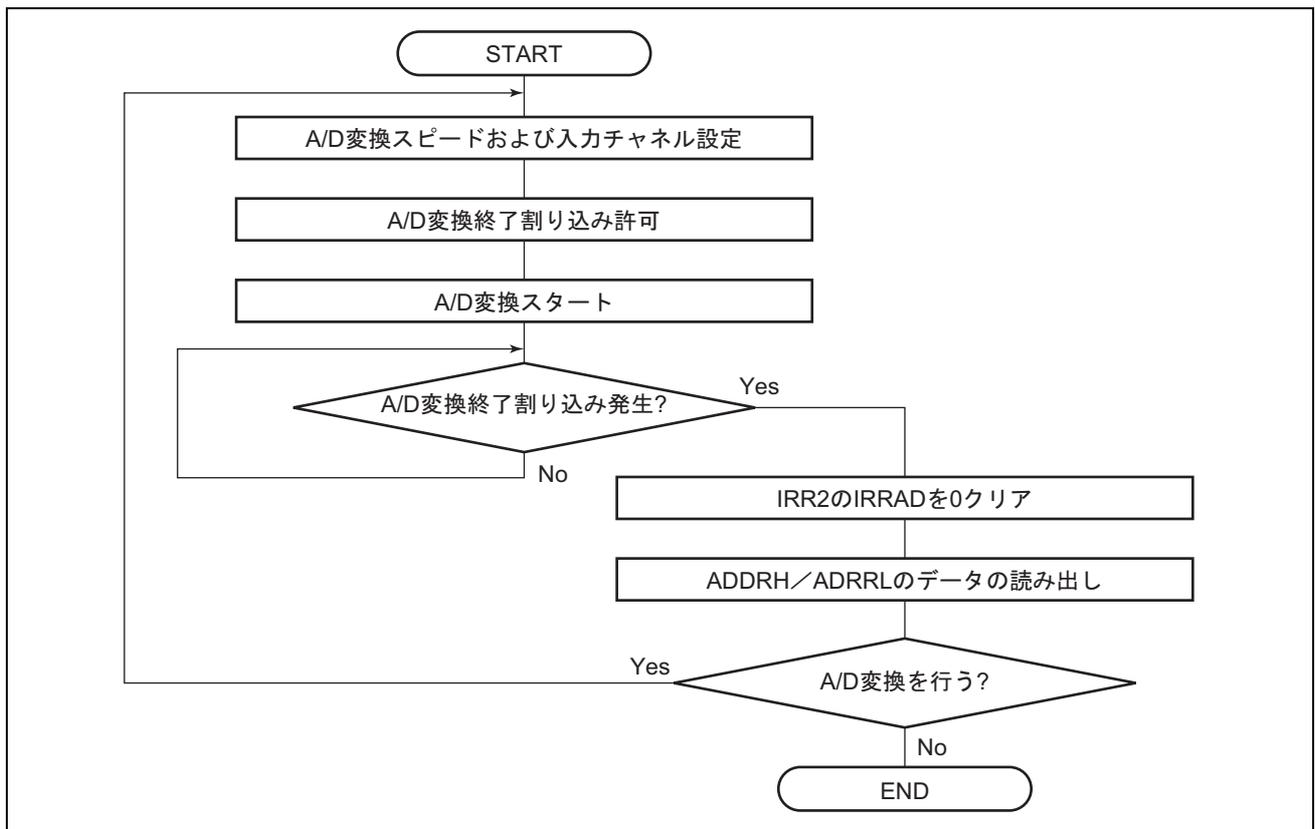


図 12.4 A/D 変換器の使用手順の概念フロー（割り込みを使用する場合）

12.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能
A/D変換器のデジタル出力コード数
- 量子化誤差
A/D変換器が本質的に有する偏差であり、1/2LSBで与えられる（図12.5）。
- オフセット誤差
デジタル出力が最小電圧値0000000000から0000000001に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差（図12.6）。
- フルスケール誤差
デジタル出力が1111111110から1111111111に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差（図12.6）。
- 非直線性誤差
ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

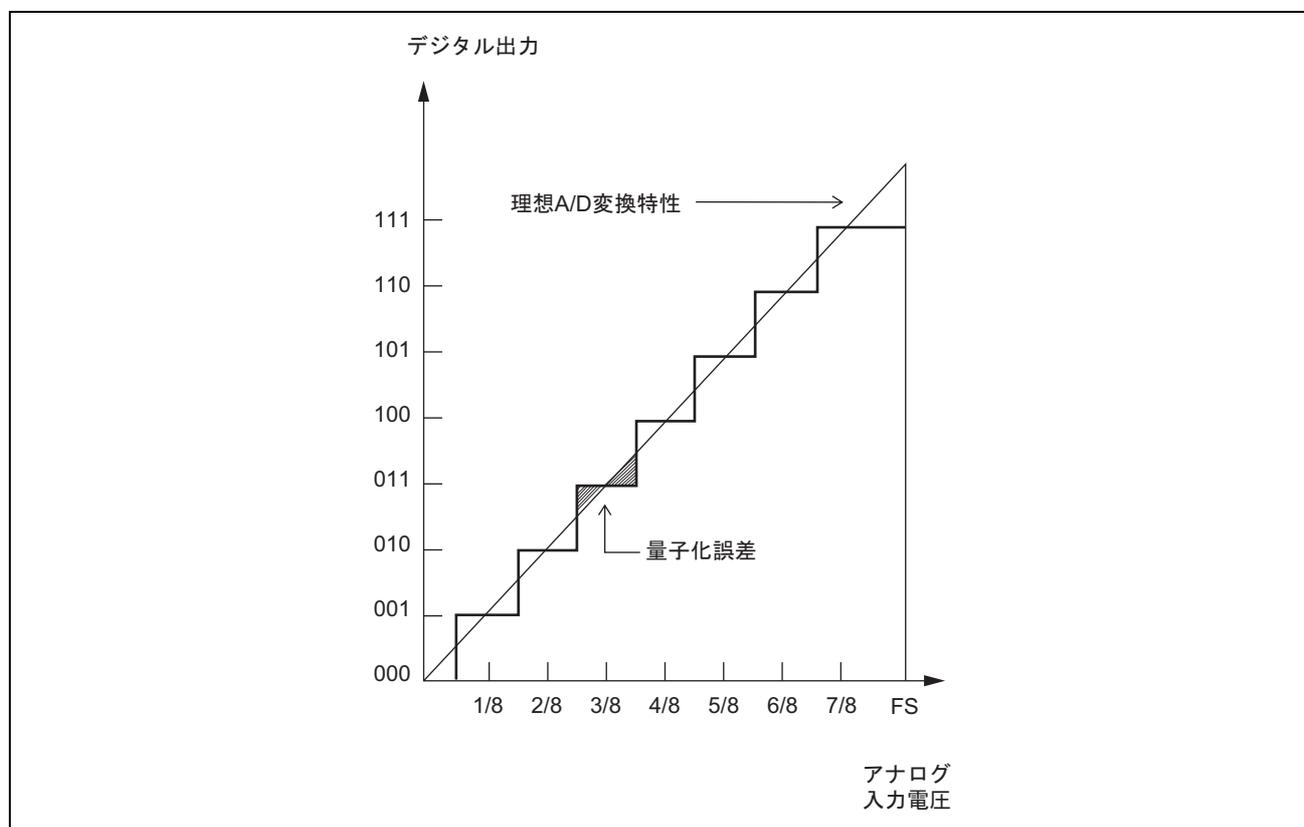


図 12.5 A/D 変換精度の定義 (1)

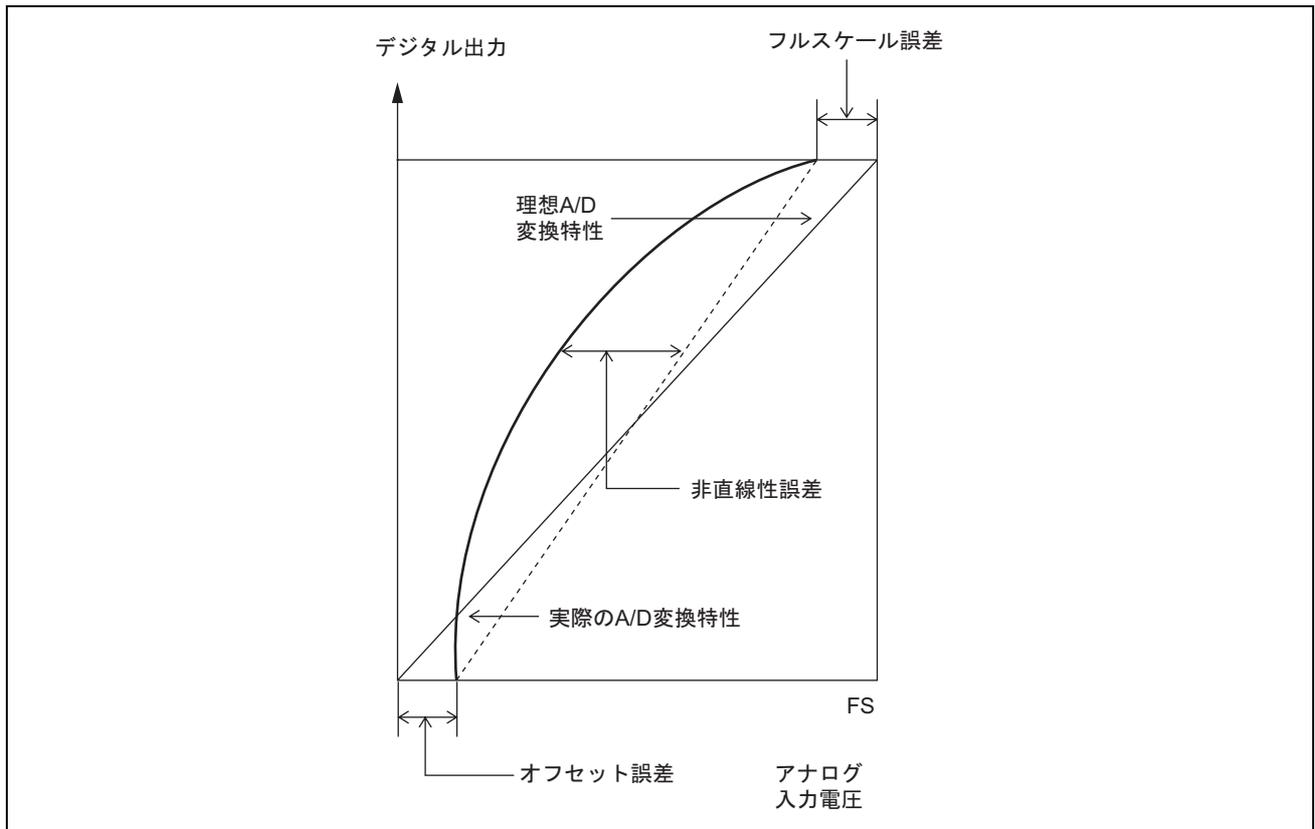


図 12.6 A/D 変換精度の定義 (2)

12.7 使用上の注意事項

12.7.1 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが $10\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するために設けている規格で、センサの出力インピーダンスが $10\text{k}\Omega$ を超える場合充電不足が生じ、A/D 変換精度が保証できなくなる場合があります。

対策として、アナログ入力端子の外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10\text{k}\Omega$ だけになりますので信号源インピーダンスは不問となります。本対策の欠点として、この場合、信号源インピーダンスと外部の容量によりローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば電圧の変動率が $5\text{mV}/\mu\text{s}$ 以上）には追従できない場合があります（図 12.7）。高速のアナログ信号を変換する場合には、低インピーダンスのバッファを入れてください。

12.7.2 絶対精度への影響について

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性があります。必ず電氣的に安定な GND に接続してください。またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意が必要です。

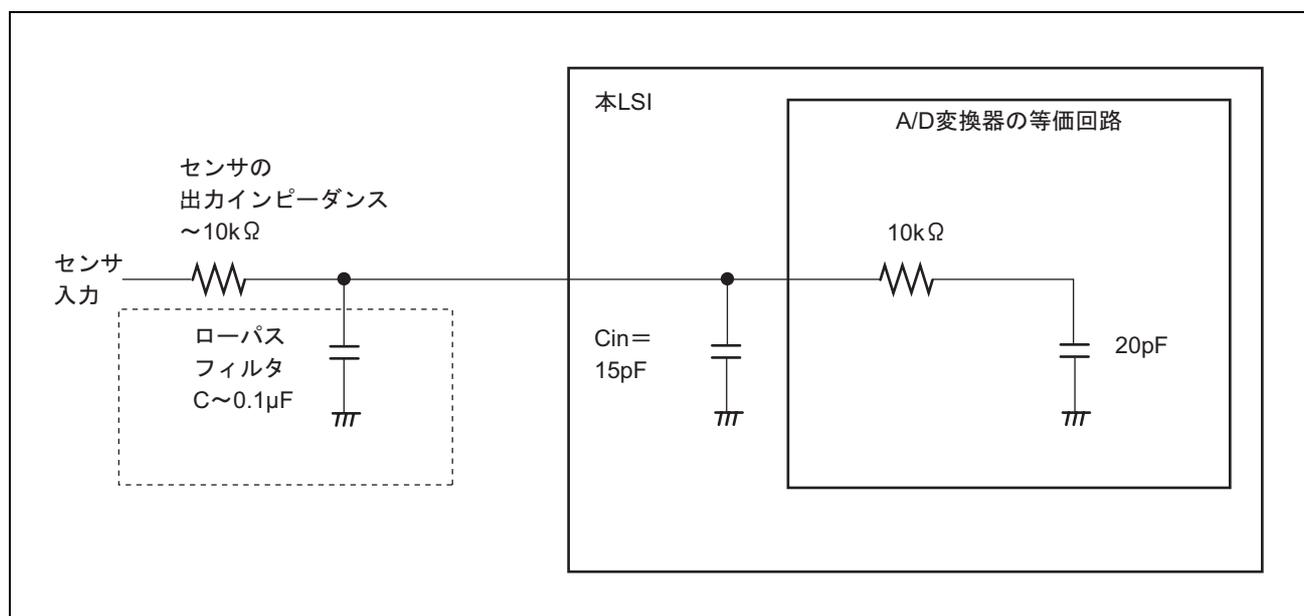


図 12.7 アナログ入力回路の例

12.7.3 その他の注意事項

1. ADDR_{RH}とADDR_{RL}のリードはADSRのADSFビットが0のときに行ってください。
2. A/D変換中に隣接した端子のデジタル入力信号を変化させると、変換精度が低下します。
3. モジュールスタンバイモードを解除後、A/D変換を開始する場合は、10φクロック待ってからA/D変換を開始してください。
4. アクティブモードおよびスリープモードでは、A/D変換器が待機中でもラダー抵抗にアナログ電源電流が流れます。したがって、A/D変換器を使用しない場合には、AV_{CC}をシステムの電源に接続し、CKSTP_{RI}のADCKSTPビットを0にしてください。

13. レジスタ一覧

レジスタ一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記のとおりです。

1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- モジュール名称による分類をしています。
- データバス幅を表示しています。
- アクセスステート数を表示しています。

2. レジスタビット一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「-」で表記しています。
- 16ビットのレジスタの場合、MSB側のビットから記載しています。

3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

13. レジスタ一覧

13.1 レジスタアドレス一覧（アドレス順）

データバス幅は、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセスステート数
フラッシュメモリコントロールレジスタ 1	FLMCR1	8	H'F020	ROM	8	2
フラッシュメモリコントロールレジスタ 2	FLMCR2	8	H'F021	ROM	8	2
フラッシュメモリパワーコントロールレジスタ	FLPWCR	8	H'F022	ROM	8	2
ブロック指定レジスタ	EBR	8	H'F023	ROM	8	2
フラッシュメモリーネーブルレジスタ	FENR	8	H'F02B	ROM	8	2
イベントカウンタ PWM コンペアレジスタ H	ECPWCRH	8	H'FF8C	AEC* ¹	8	2
イベントカウンタ PWM コンペアレジスタ L	ECPWCRL	8	H'FF8D	AEC* ¹	8	2
イベントカウンタ PWM データレジスタ H	ECPWDRH	8	H'FF8E	AEC* ¹	8	2
イベントカウンタ PWM データレジスタ L	ECPWDRL	8	H'FF8F	AEC* ¹	8	2
ウェイクアップエッジセレクトレジスタ	WEGR	8	H'FF90	割り込み	8	2
シリアルポートコントロールレジスタ	SPCR	8	H'FF91	SCI3	8	2
入力端子エッジセレクトレジスタ	AEGSR	8	H'FF92	AEC* ¹	8	2
イベントカウンタコントロールレジスタ	ECCR	8	H'FF94	AEC* ¹	8	2
イベントカウンタコントロール/ステータスレジスタ	ECCSR	8	H'FF95	AEC* ¹	8	2
イベントカウンタ H	ECH	8	H'FF96	AEC* ¹	8	2
イベントカウンタ L	ECL	8	H'FF97	AEC* ¹	8	2
シリアルモードレジスタ	SMR	8	H'FFA8	SCI3	8	3
ビットレートレジスタ	BRR	8	H'FFA9	SCI3	8	3
シリアルコントロールレジスタ 3	SCR3	8	H'FFAA	SCI3	8	3
トランスミットデータレジスタ	TDR	8	H'FFAB	SCI3	8	3
シリアルステータスレジスタ	SSR	8	H'FFAC	SCI3	8	3
レシーブデータレジスタ	RDR	8	H'FFAD	SCI3	8	3
タイマモードレジスタ A	TMA	8	H'FFB0	タイマ A	8	2
タイマカウンタ A	TCA	8	H'FFB1	タイマ A	8	2
タイマコントロール/ステータスレジスタ W	TCSRW	8	H'FFB2	WDT* ²	8	2
タイマカウンタ W	TCW	8	H'FFB3	WDT* ²	8	2
タイマコントロールレジスタ F	TCRF	8	H'FFB6	タイマ F	8	2
タイマコントロールステータスレジスタ F	TCSR F	8	H'FFB7	タイマ F	8	2
8ビットタイマカウンタ FH	TCFH	8	H'FFB8	タイマ F	8	2
8ビットタイマカウンタ FL	TCFL	8	H'FFB9	タイマ F	8	2

レジスタ名称	略称	ビット数	アドレス	モジュール	データバス幅	アクセス ステート数
アウトプットコンペアレジスタ FH	OCRFBH	8	H'FFBA	タイマ F	8	2
アウトプットコンペアレジスタ FL	OCRFL	8	H'FFBB	タイマ F	8	2
A/D リザルトレジスタ H	ADRRH	8	H'FFC4	A/D 変換器	8	2
A/D リザルトレジスタ L	ADRRL	8	H'FFC5	A/D 変換器	8	2
A/D モードレジスタ	AMR	8	H'FFC6	A/D 変換器	8	2
A/D スタートレジスタ	ADSR	8	H'FFC7	A/D 変換器	8	2
ポートモードレジスタ 2	PMR2	8	H'FFC9	I/O ポート	8	2
ポートモードレジスタ 3	PMR3	8	H'FFCA	I/O ポート	8	2
ポートモードレジスタ 5	PMR5	8	H'FFCC	I/O ポート	8	2
PWM2 コントロールレジスタ	PWCR2	8	H'FFCD	10 ビット PWM	8	2
PWM2 データレジスタ U	PWDRU2	8	H'FFCE	10 ビット PWM	8	2
PWM2 データレジスタ L	PWDRL2	8	H'FFCF	10 ビット PWM	8	2
PWM1 コントロールレジスタ	PWCR1	8	H'FFD0	10 ビット PWM	8	2
PWM1 データレジスタ U	PWDRU1	8	H'FFD1	10 ビット PWM	8	2
PWM1 データレジスタ L	PWDRL1	8	H'FFD2	10 ビット PWM	8	2
ポートデータレジスタ 3	PDR3	8	H'FFD6	I/O ポート	8	2
ポートデータレジスタ 4	PDR4	8	H'FFD7	I/O ポート	8	2
ポートデータレジスタ 5	PDR5	8	H'FFD8	I/O ポート	8	2
ポートデータレジスタ 6	PDR6	8	H'FFD9	I/O ポート	8	2
ポートデータレジスタ 7	PDR7	8	H'FFDA	I/O ポート	8	2
ポートデータレジスタ 8	PDR8	8	H'FFDB	I/O ポート	8	2
ポートデータレジスタ 9	PDR9	8	H'FFDC	I/O ポート	8	2
ポートデータレジスタ A	PDRA	8	H'FFDD	I/O ポート	8	2
ポートデータレジスタ B	PDRB	8	H'FFDE	I/O ポート	8	2
ポートプルアップコントロールレジスタ 3	PUCR3	8	H'FFE1	I/O ポート	8	2
ポートプルアップコントロールレジスタ 5	PUCR5	8	H'FFE2	I/O ポート	8	2
ポートプルアップコントロールレジスタ 6	PUCR6	8	H'FFE3	I/O ポート	8	2
ポートコントロールレジスタ 3	PCR3	8	H'FFE6	I/O ポート	8	2
ポートコントロールレジスタ 4	PCR4	8	H'FFE7	I/O ポート	8	2
ポートコントロールレジスタ 5	PCR5	8	H'FFE8	I/O ポート	8	2
ポートコントロールレジスタ 6	PCR6	8	H'FFE9	I/O ポート	8	2
ポートコントロールレジスタ 7	PCR7	8	H'FFEA	I/O ポート	8	2
ポートコントロールレジスタ 8	PCR8	8	H'FFEB	I/O ポート	8	2
ポートモードレジスタ 9	PMR9	8	H'FFEC	I/O ポート	8	2
ポートコントロールレジスタ A	PCRA	8	H'FFED	I/O ポート	8	2
ポートモードレジスタ B	PMRB	8	H'FFEE	I/O ポート	8	2

13. レジスタ一覧

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート数
システムコントロールレジスタ 1	SYSCR1	8	H'FFF0	SYSTEM	8	2
システムコントロールレジスタ 2	SYSCR2	8	H'FFF1	SYSTEM	8	2
IRQ エッジセレクトレジスタ	IEGR	8	H'FFF2	割り込み	8	2
割り込み許可レジスタ 1	IENR1	8	H'FFF3	割り込み	8	2
割り込み許可レジスタ 2	IENR2	8	H'FFF4	割り込み	8	2
割り込み要求レジスタ 1	IRR1	8	H'FFF6	割り込み	8	2
割り込み要求レジスタ 2	IRR2	8	H'FFF7	割り込み	8	2
ウェイクアップ割り込み要求レジスタ	IWPR	8	H'FFF9	割り込み	8	2
クロック停止レジスタ 1	CKSTPR1	8	H'FFFA	SYSTEM	8	2
クロック停止レジスタ 2	CKSTPR2	8	H'FFFB	SYSTEM	8	2

【注】 *1 AEC : 非同期イベントカウンタ

*2 WDT : ウォッチドッグタイマ

13.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのビット名を以下に示します。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
FLMCR1	—	SWE	ESU	PSU	EV	PV	E	P	ROM
FLMCR2	FLER	—	—	—	—	—	—	—	
FLPWCR	PDWND	—	—	—	—	—	—	—	
EBR	—	—	—	EB4	EB3	EB2	EB1	EB0	
FENR	FLSHE	—	—	—	—	—	—	—	
ECPWCRH	ECPWC RH7	ECPWC RH6	ECPWC RH5	ECPWC RH4	ECPWC RH3	ECPWC RH2	ECPWC RH1	ECPWC RH0	AEC* ¹
ECPWCRL	ECPWC RL7	ECPWC RL6	ECPWC RL5	ECPWC RL4	ECPWC RL3	ECPWC RL2	ECPWC RL1	ECPWC RL0	
ECPWDRH	ECPWD RH7	ECPWD RH6	ECPWD RH5	ECPWD RH4	ECPWD RH3	ECPWD RH2	ECPWD RH1	ECPWD RH0	
ECPWDRL	ECPWD RL7	ECPWD RL6	ECPWD RL5	ECPWD RL4	ECPWD RL3	ECPWD RL2	ECPWD RL1	ECPWD RL0	
WEGR	WKEGS7	WKEGS6	WKEGS5	WKEGS4	WKEGS3	WKEGS2	WKEGS1	WKEGS0	割り込み
SPCR	—	—	SPC32	—	SCINV3	SCINV2	—	—	SCI3
AEGSR	AHEGS1	AHEGS0	ALEGS1	ALEGS0	AIEGS1	AIEGS0	ECPWME	—	AEC* ¹
ECCR	ACKH1	ACKH0	ACKL1	ACKL0	PWCK2	PWCK1	PWCK0	—	
ECCSR	OVH	OVL	—	CH2	CUEH	CUEL	CRCH	CRCL	
ECH	ECH7	ECH6	ECH5	ECH4	ECH3	ECH2	ECH1	ECH0	
ECL	ECL7	ECL6	ECL5	ECL4	ECL3	ECL2	ECL1	ECL0	
SMR	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	SCI3
BRR	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	
SCR3	TIE	RIE	TE	RE	—	TEIE	CKE1	CKE0	
TDR	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	
SSR	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
RDR	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
TMA	—	—	—	—	TMA3	TMA2	TMA1	TMA0	タイマ A
TCA	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0	
TCSRW	B6WI	TCWE	B4WI	TCSRWE	B2WI	WDON	BOWI	WRST	WDT* ²
TCW	TCW7	TCW6	TCW5	TCW4	TCW3	TCW2	TCW1	TCW0	
TCRF	TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0	タイマ F
TCSRFB	OVFH	CMFH	OVIEH	CCLRHB	OVFL	CMFL	OVIEL	CCLRFL	
TCFH	TCFH7	TCFH6	TCFH5	TCFH4	TCFH3	TCFH2	TCFH1	TCFH0	

13. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
TCFL	TCFL7	TCFL6	TCFL5	TCFL4	TCFL3	TCFL2	TCFL1	TCFL0	タイマ F
OCRFH	OCRFH7	OCRFH6	OCRFH5	OCRFH4	OCRFH3	OCRFH2	OCRFH1	OCRFH0	
OCRFL	OCRFL7	OCRFL6	OCRFL5	OCRFL4	OCRFL3	OCRFL2	OCRFL1	OCRFL0	
ADRRH	ADR9	ADR8	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	A/D 変換器
ADRRL	ADR1	ADR0	—	—	—	—	—	—	
AMR	CKS	—	—	—	CH3	CH2	CH1	CH0	
ADSR	ADSF	—	—	—	—	—	—	—	
PMR2	—	—	POF1	—	—	WDCKS	—	IRQ0	I/O ポート
PMR3	AEVL	AEVH	—	—	—	TMOFH	TMOFL	—	
PMR5	WKP7	WKP6	WKP5	WKP4	WKP3	WKP2	WKP1	WKP0	
PWCR2	—	—	—	—	—	—	PWCR21	PWCR20	10 ビット PWM
PWDRU2	—	—	—	—	—	—	PWDRU21	PWDRU20	
PWDRL2	PWDRL27	PWDRL26	PWDRL25	PWDRL24	PWDRL23	PWDRL22	PWDRL21	PWDRL20	
PWCR1	—	—	—	—	—	—	PWCR11	PWCR10	
PWDRU1	—	—	—	—	—	—	PWDRU11	PWDRU10	
PWDRL1	PWDRL17	PWDRL16	PWDRL15	PWDRL14	PWDRL13	PWDRL12	PWDRL11	PWDRL10	I/O ポート
PDR3	P37	P36	P35	P34	P33	P32	P31	—	
PDR4	—	—	—	—	P43	P42	P41	P40	
PDR5	P57	P56	P55	P54	P53	P52	P51	P50	
PDR6	P67	P66	P65	P64	P63	P62	P61	P60	
PDR7	P77	P76	P75	P74	P73	P72	P71	P70	
PDR8	—	—	—	—	—	—	—	P80	
PDR9	—	—	P95	P94	P93	P92	P91	P90	
PDRA	—	—	—	—	PA3	PA2	PA1	PA0	
PDRB	—	—	—	—	PB3	PB2	PB1	PB0	
PUCR3	PUCR37	PUCR36	PUCR35	PUCR34	PUCR33	PUCR32	PUCR31	—	
PUCR5	PUCR57	PUCR56	PUCR55	PUCR54	PUCR53	PUCR52	PUCR51	PUCR50	
PUCR6	PUCR67	PUCR66	PUCR65	PUCR64	PUCR63	PUCR62	PUCR61	PUCR60	
PCR3	PCR37	PCR36	PCR35	PCR34	PCR33	PCR32	PCR31	—	
PCR4	—	—	—	—	—	PCR42	PCR41	PCR40	
PCR5	PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50	
PCR6	PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60	
PCR7	PCR77	PCR76	PCR75	PCR74	PCR73	PCR72	PCR71	PCR70	
PCR8	—	—	—	—	—	—	—	PCR80	
PMR9	—	—	—	—	PIOFF	—	PWM2	PWM1	
PCRA	—	—	—	—	PCRA3	PCRA2	PCRA1	PCRA0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PMRB	—	—	—	—	IRQ1	—	—	—	I/Oポート
SYSCR1	SSBY	STS2	STS1	STS0	LSON	—	MA1	MA0	SYSTEM
SYSCR2	—	—	—	NESEL	DTON	MSON	SA1	SA0	
IEGR	—	—	—	—	—	—	IEG1	IEG0	割り込み
IENR1	IENTA	—	IENWP	—	—	IENEC2	IEN1	IEN0	
IENR2	IENDT	IENAD	—	—	IENTFH	IENTFL	—	IENEC	
IRR1	IRRTA	—	—	—	—	IRREC2	IRRI1	IRRI0	
IRR2	IRRDT	IRRAD	—	—	IRRTFH	IRRTFL	—	IRREC	
IWPR	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0	
CKSTPR1	—	—	S32CKSTP	ADCKSTP	—	TFCKSTP	—	TACKSTP	
CKSTPR2	—	—	—	PW2CK STP	AECKSTP	WDCKSTP	PW1CK STP	—	

【注】 *1 AEC : 非同期イベントカウンタ

*2 WDT : ウォッチドッグタイマ

13. レジスタ一覧

13.3 各動作モードにおけるレジスタの状態

レジスタ 略称	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール
FLMCR1	初期化	—	—	初期化	初期化	初期化	初期化	ROM
FLMCR2	初期化	—	—	—	—	—	—	
FLPWCR	初期化	—	—	—	—	—	—	
EBR	初期化	—	—	初期化	初期化	初期化	初期化	
FENR	初期化	—	—	—	—	—	—	
ECPWCRH	初期化	—	—	—	—	—	—	AEC* ¹
ECPWCRL	初期化	—	—	—	—	—	—	
ECPWDRH	初期化	—	—	—	—	—	—	
ECPWDRL	初期化	—	—	—	—	—	—	
WEGR	初期化	—	—	—	—	—	—	割り込み
SPCR	初期化	—	—	—	—	—	—	SCI3
AEGSR	初期化	—	—	—	—	—	—	AEC* ¹
ECCR	初期化	—	—	—	—	—	—	
ECCSR	初期化	—	—	—	—	—	—	
ECH	初期化	—	—	—	—	—	—	
ECL	初期化	—	—	—	—	—	—	
SMR	初期化	—	—	初期化	—	—	初期化	SCI3
BRR	初期化	—	—	初期化	—	—	初期化	
SCR3	初期化	—	—	初期化	—	—	初期化	
TDR	初期化	—	—	初期化	—	—	初期化	
SSR	初期化	—	—	初期化	—	—	初期化	
RDR	初期化	—	—	初期化	—	—	初期化	
TMA	初期化	—	—	—	—	—	—	タイマ A
TCA	初期化	—	—	—	—	—	—	
TCSRW	初期化	—	—	—	—	—	—	WDT* ²
TCW	初期化	—	—	—	—	—	—	
TCRF	初期化	—	—	—	—	—	—	タイマ F
TCSRFB	初期化	—	—	—	—	—	—	
TCFBH	初期化	—	—	—	—	—	—	
TCFL	初期化	—	—	—	—	—	—	
OCRFBH	初期化	—	—	—	—	—	—	
OCRFL	初期化	—	—	—	—	—	—	

レジスタ 略称	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール
ADRRH	—	—	—	—	—	—	—	A/D 変換器
ADRRL	—	—	—	—	—	—	—	
AMR	初期化	—	—	—	—	—	—	
ADSR	初期化	—	—	初期化	初期化	初期化	初期化	
PMR2	初期化	—	—	—	—	—	—	I/O ポート
PMR3	初期化	—	—	—	—	—	—	
PMR5	初期化	—	—	—	—	—	—	
PWCR2	初期化	—	—	—	—	—	—	10 ビット PWM
PWDRU2	初期化	—	—	—	—	—	—	
PWDRL2	初期化	—	—	—	—	—	—	
PWCR1	初期化	—	—	—	—	—	—	
PWDRU1	初期化	—	—	—	—	—	—	
PWDRL1	初期化	—	—	—	—	—	—	
PDR3	初期化	—	—	—	—	—	—	I/O ポート
PDR4	初期化	—	—	—	—	—	—	
PDR5	初期化	—	—	—	—	—	—	
PDR6	初期化	—	—	—	—	—	—	
PDR7	初期化	—	—	—	—	—	—	
PDR8	初期化	—	—	—	—	—	—	
PDR9	初期化	—	—	—	—	—	—	
PDRA	初期化	—	—	—	—	—	—	
PDRB	初期化	—	—	—	—	—	—	
PUCR3	初期化	—	—	—	—	—	—	
PUCR5	初期化	—	—	—	—	—	—	
PUCR6	初期化	—	—	—	—	—	—	
PCR3	初期化	—	—	—	—	—	—	
PCR4	初期化	—	—	—	—	—	—	
PCR5	初期化	—	—	—	—	—	—	
PCR6	初期化	—	—	—	—	—	—	
PCR7	初期化	—	—	—	—	—	—	
PCR8	初期化	—	—	—	—	—	—	
PMR9	初期化	—	—	—	—	—	—	
PCRA	初期化	—	—	—	—	—	—	
PMRB	初期化	—	—	—	—	—	—	

13. レジスタ一覧

レジスタ 略称	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール
SYSCR1	初期化	—	—	—	—	—	—	SYSTEM
SYSCR2	初期化	—	—	—	—	—	—	
IEGR	初期化	—	—	—	—	—	—	割り込み
IENR1	初期化	—	—	—	—	—	—	
IENR2	初期化	—	—	—	—	—	—	
IRR1	初期化	—	—	—	—	—	—	
IRR2	初期化	—	—	—	—	—	—	
IWPR	初期化	—	—	—	—	—	—	
CKSTPR1	初期化	—	—	—	—	—	—	SYSTEM
CKSTPR2	初期化	—	—	—	—	—	—	

【注】 —は初期化されません。

*1 AEC : 非同期イベントカウンタ

*2 WDT : ウォッチドッグタイマ

14. 電気的特性

14.1 H8/38704 グループ (F-ZTAT 版、マスク ROM 版)、H8/38702S グループ (マスク ROM 版) の絶対最大定格

絶対最大定格を表 14.1 に示します。

表 14.1 絶対最大定格

項目	記号	規格値	単位	備考	
電源電圧	V_{CC}	$-0.3 \sim +4.3$	V	*1	
アナログ電源電圧	AV_{CC}	$-0.3 \sim +4.3$	V		
入力電圧	ポート B 以外	V_{in}	$-0.3 \sim V_{CC} + 0.3$		V
	ポート B	AV_{in}	$-0.3 \sim AV_{CC} + 0.3$		V
ポート 9 端子電圧	V_{Pg}	$-0.3 \sim V_{CC} + 0.3$	V		
動作温度	T_{opr}	通常仕様品： $-20 \sim +75$ *2	°C		
		広温度範囲仕様品： $-40 \sim +85$ *3			
保存温度	T_{stg}	$-55 \sim +125$	°C		

【注】 *1 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件を超えると LSI の誤動作の原因になるとともに、LSI の信頼性に悪影響を及ぼすことがあります。

*2 フラッシュメモリの読み出し時動作電圧が $V_{CC}=2.7 \sim 3.6V$ の場合、書き込み/消去時の動作温度範囲は $T_a=-20 \sim +75^\circ C$ です。フラッシュメモリの読み出し時動作電圧が $V_{CC}=2.2 \sim 3.6V$ の場合、書き込み/消去時の動作温度範囲は $T_a=-20 \sim +50^\circ C$ です。

*3 フラッシュメモリの書き込み/消去時の動作温度範囲は $T_a=-20 \sim +75^\circ C$ です。

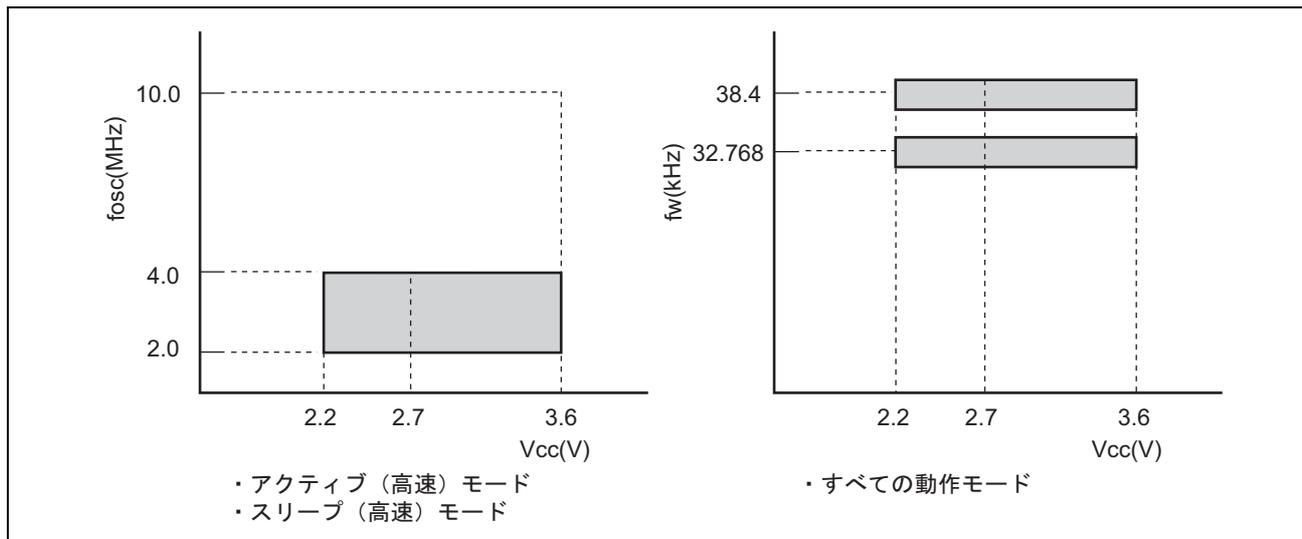
14. 電気的特性

14.2 H8/38704 グループ (F-ZTAT 版、マスク ROM 版)、H8/38702S グループ (マスク ROM 版) の電気的特性

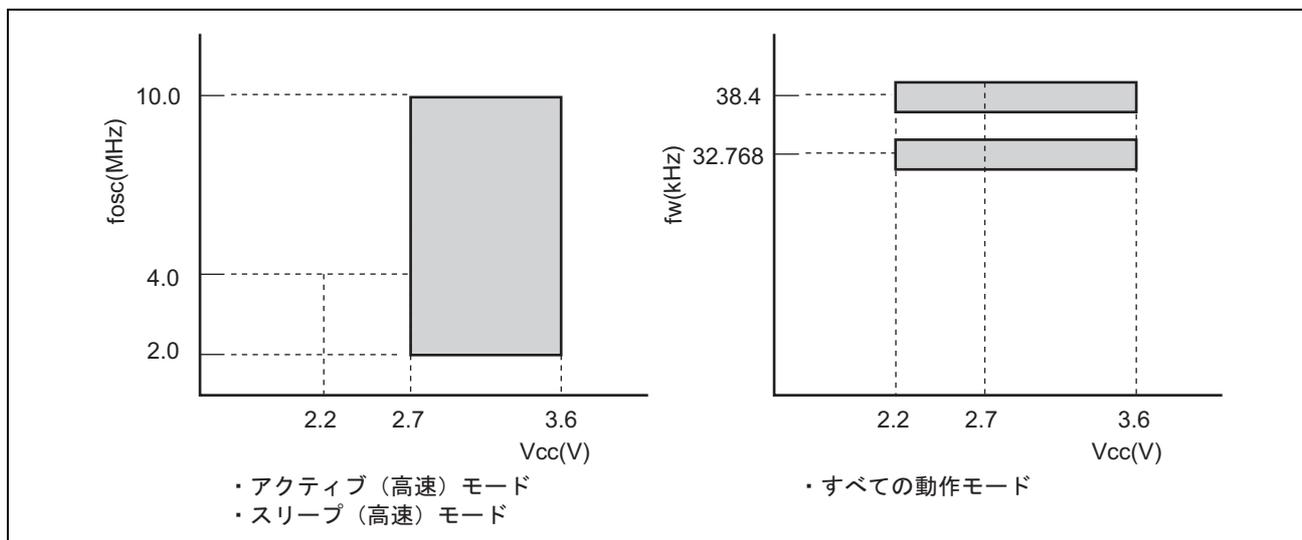
14.2.1 電源電圧と動作範囲

(1) 電源電圧と発振周波数の範囲 (F-ZTAT 版)

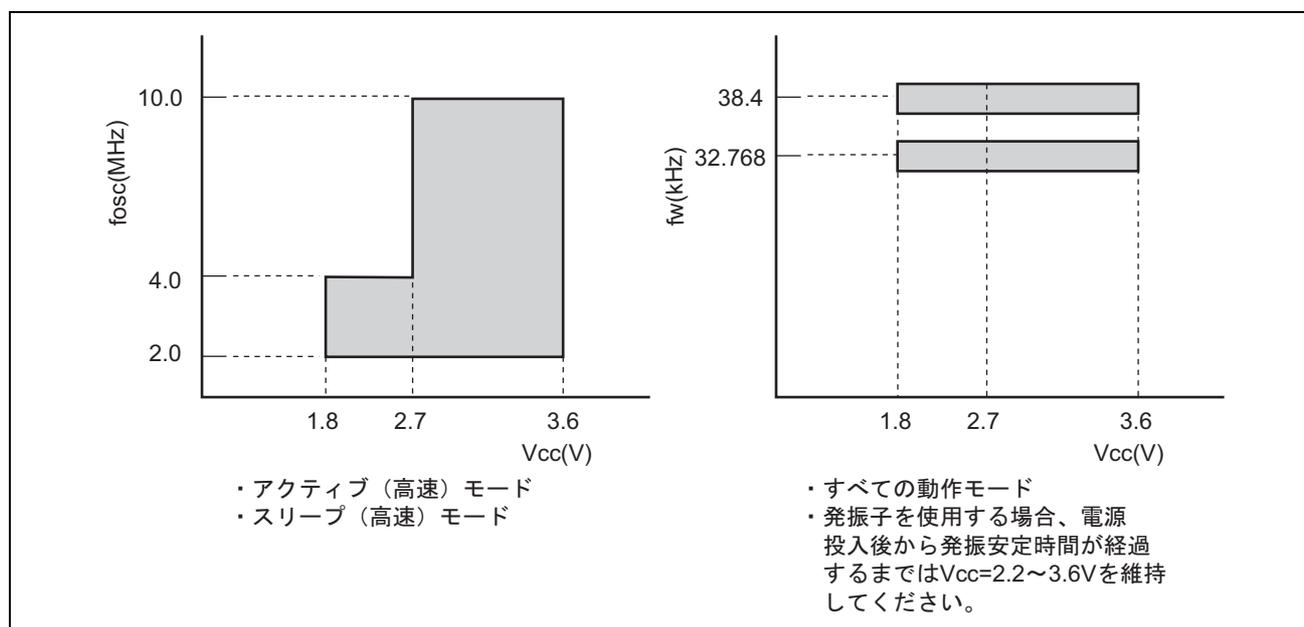
• 4MHz品



• 10MHz品

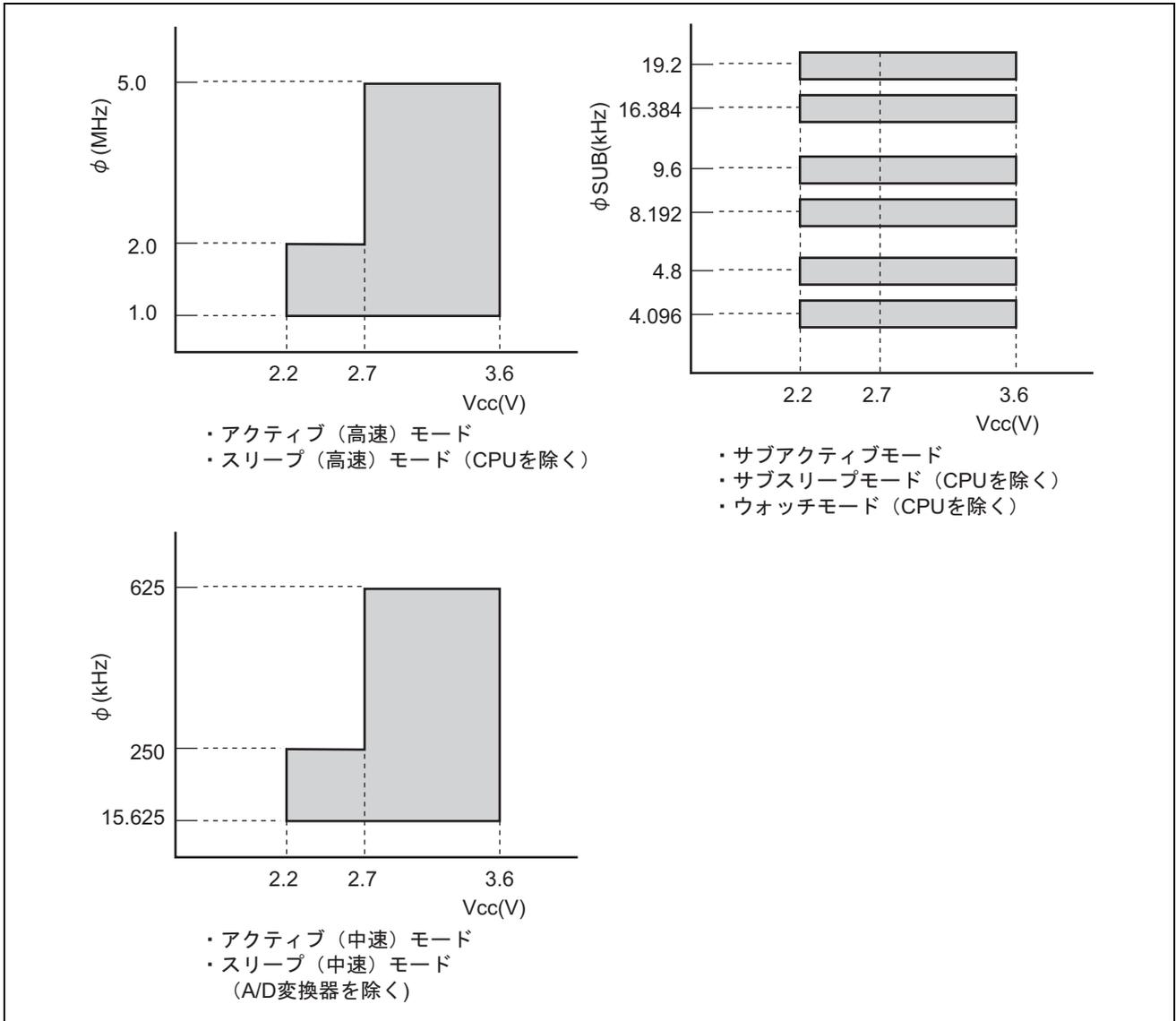


(2) 電源電圧と発振周波数の範囲 (マスク ROM 版)

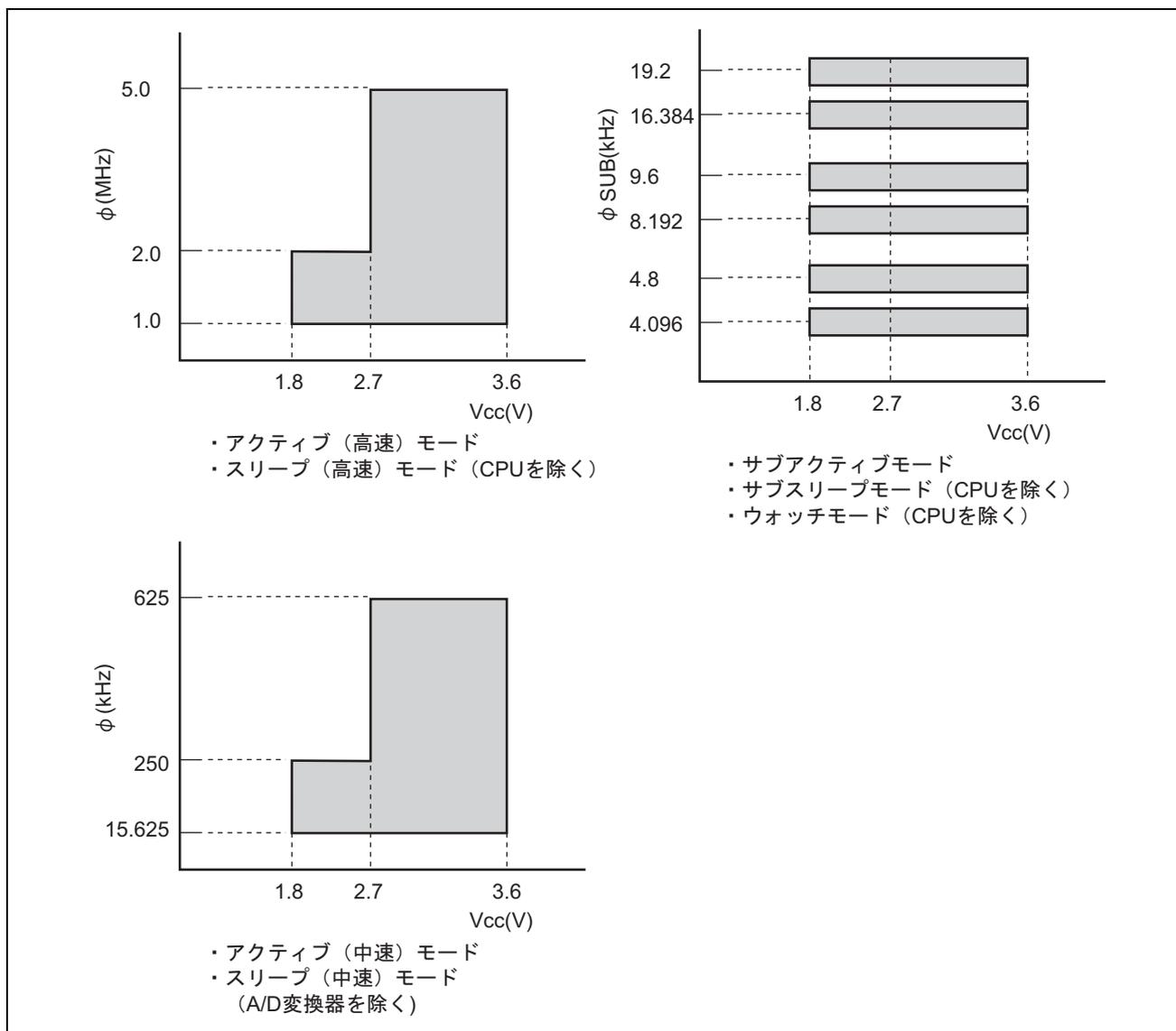


14. 電気的特性

(3) 電源電圧と動作周波数の範囲 (F-ZTAT 版)

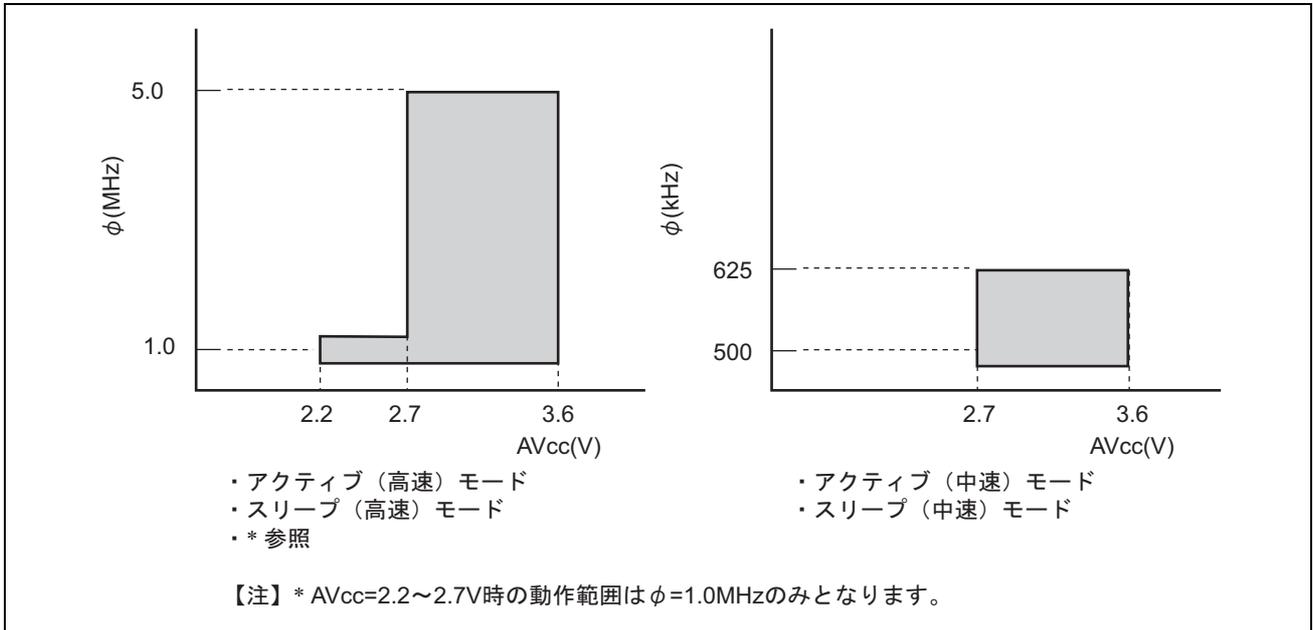


(4) 電源電圧と動作周波数の範囲 (マスク ROM 版)

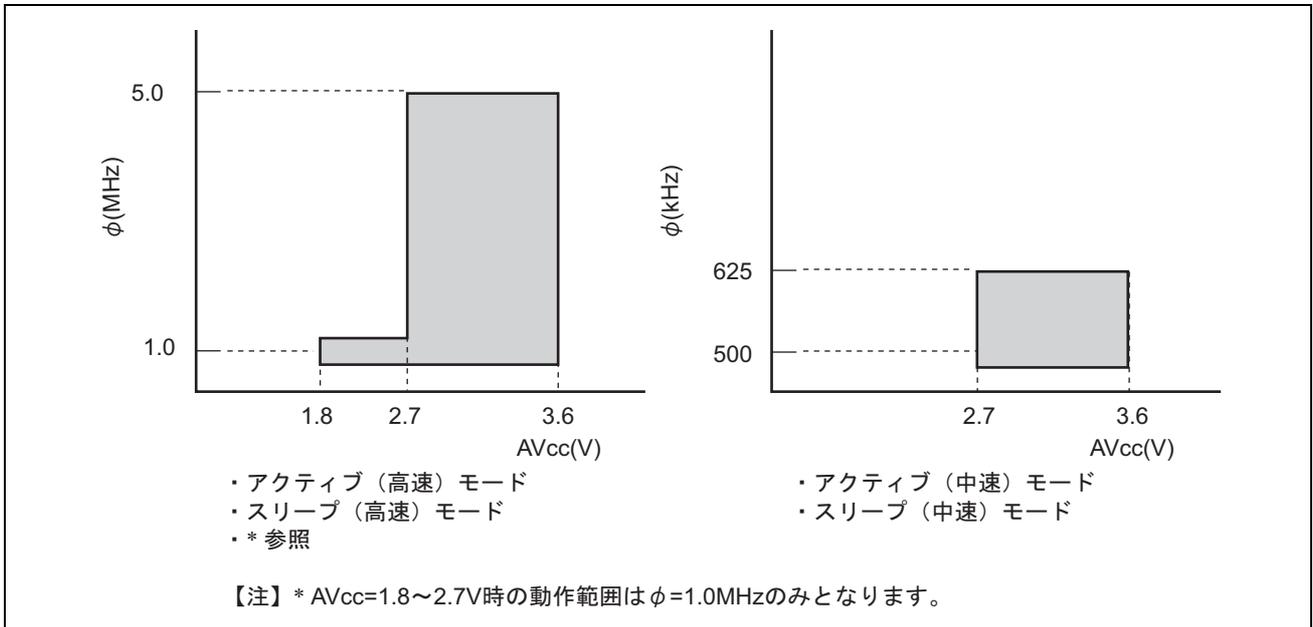


14. 電気的特性

(5) アナログ電源電圧と A/D 変換器の動作範囲 (F-ZTAT 版)



(6) アナログ電源電圧と A/D 変換器の動作範囲 (マスク ROM 版)



14.2.2 DC 特性

DC 特性を表 14.2 に示します。

表 14.2 DC 特性

特記なき場合は下記条件のいずれかになります。

条件 A (F-ZTAT 版) : $V_{CC}=2.7\sim 3.6V$ 、 $AV_{CC}=2.7\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

条件 B (F-ZTAT 版) : $V_{CC}=2.2\sim 3.6V$ 、 $AV_{CC}=2.2\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

条件 C (マスク ROM 版) : $V_{CC}=1.8\sim 3.6V$ 、 $AV_{CC}=1.8\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 High レベル電圧	V_{IH}	\overline{RES} 、 $\overline{WKP0}\sim\overline{WKP7}$ 、 $\overline{IRQ0}$ 、 AEVL、AEVH、 SCK32		$0.9V_{CC}$	—	$V_{CC}+0.3$	V	
		$\overline{IRQ1}$		$0.9V_{CC}$	—	$AV_{CC}+0.3$	V	
		RXD32		$0.8V_{CC}$	—	$V_{CC}+0.3$	V	
		OSC1		$0.9V_{CC}$	—	$V_{CC}+0.3$	V	
		X1	$V_{CC}=1.8\sim 3.6V$	$0.9V_{CC}$	—	$V_{CC}+0.3$	V	
		P31~P37、 P40~P43、 P50~P57、 P60~P67、 P70~P77、 P80、 PA0~PA3		$0.8V_{CC}$	—	$V_{CC}+0.3$	V	
		PB0~PB3		$0.8V_{CC}$	—	$AV_{CC}+0.3$	V	
		IRQAEC、P95* ⁵		$0.9V_{CC}$	—	$V_{CC}+0.3$	V	
		入力 Low レベル電圧	V_{IL}	\overline{RES} 、 $\overline{WKP0}\sim\overline{WKP7}$ 、 $\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 IRQAEC、P95* ⁵ 、 AEVL、AEVH、 SCK32		-0.3	—	$0.1V_{CC}$
RXD32				-0.3	—	$0.2V_{CC}$	V	
OSC1				-0.3	—	$0.1V_{CC}$	V	
X1				-0.3	—	$0.1V_{CC}$	V	

14. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考	
				min.	typ.	max.			
入力 Low レベル電圧	V_{IL}	P31~P37、 P40~P43、 P50~P57、 P60~P67、 P70~P77、 P80、 PA0~PA3、 PB0~PB3		-0.3	-	$0.2V_{CC}$	V		
出力 High レベル電圧	V_{OH}	P31~P37、 P40~P42、 P50~P57、 P60~P67、 P70~P77、 P80、 PA0~PA3	$V_{CC}=2.7\sim 3.6V$ $-I_{OH}=1.0mA$	$V_{CC}-1.0$	-	-	V		
			$-I_{OH}=0.1mA$	$V_{CC}-0.3$	-	-			
出力 Low レベル電圧	V_{OL}	P40~P42、 P50~P57、 P60~P67、 P70~P77、 P80、 PA0~PA3、 P31~P37	$I_{OL}=0.4mA$	-	-	0.5	V		
			P90~P95	$V_{CC}=2.2\sim 3.6V$ 、 $I_{OL}=10.0mA$	-	-			0.5
				$V_{CC}=1.8\sim 3.6V$ 、 $I_{OL}=8.0mA$	-	-			0.5
入出力 リーク電流	I_{IL}	RES、P43、 OSC1、X1、 P31~P37、 P40~P42、 P50~P57、 P60~P67、 P70~P77、 P80、IRQAEC、 PA0~PA3、 P90~P95	$V_{IN}=0.5V\sim V_{CC}-0.5V$	-	-	1.0	μA		
			PB0~PB3	$V_{IN}=0.5V\sim AV_{CC}-0.5V$	-	-			1.0

14. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
プルアップ MOS 電流	$-I_p$	P31~P37、 P50~P57、 P60~P67	$V_{CC}=3.0V$ 、 $V_{IN}=0V$	30	—	180	μA	
入力容量	C_{IN}	電源端子を除く 全入力端子	$f=1MHz$ 、 $V_{IN}=0V$ 、 $T_a=25^\circ C$	—	—	15.0	pF	
Vcc 開始電圧	$V_{CCSTART}$	Vcc		0	—	0.1	V	*2
Vcc 立ち上がり 勾配	SV_{CC}	Vcc		0.05	—	—	V/ms	*2
アクティブ モード消費電流	I_{OPE1}	Vcc	アクティブ (高速) モード $V_{CC}=1.8V$ 、 $f_{OSC}=2MHz$	—	0.4	—	mA	*1*3*4 max 目安=1.1 × typ
			アクティブ (高速) モード $V_{CC}=3V$ 、 $f_{OSC}=2MHz$	—	0.6	—		*1*3*4 max 目安=1.1 × typ
				—	1.0	—		*2*3*4 max 目安=1.1 × typ
			アクティブ (高速) モード $V_{CC}=3V$ 、 $f_{OSC}=4MHz$	—	1.2	—		*1*3*4 max 目安=1.1 × typ
				—	1.6	2.8		*2*3*4 条件 B
			アクティブ (高速) モード $V_{CC}=3V$ 、 $f_{OSC}=10MHz$	—	3.1	6.0		*1*3*4
		—	3.6	6.0	*2*3*4 条件 A			
	I_{OPE2}	Vcc	アクティブ (中速) モード $V_{CC}=1.8V$ 、 $f_{OSC}=2MHz$ $\phi_{osc}/128$ 時	—	0.06	—	mA	*1*3*4 max 目安=1.1 × typ
			アクティブ (中速) モード $V_{CC}=3V$ 、 $f_{OSC}=2MHz$ $\phi_{osc}/128$ 時	—	0.1	—		*1*3*4 max 目安=1.1 × typ
				—	0.5	—		*2*3*4 max 目安=1.1 × typ
			アクティブ (中速) モード $V_{CC}=3V$ 、 $f_{OSC}=4MHz$ $\phi_{osc}/128$ 時	—	0.2	—		*1*3*4 max 目安=1.1 × typ
				—	0.7	1.3		*2*3*4 条件 B
アクティブ (中速) モード $V_{CC}=3V$ 、 $f_{OSC}=10MHz$ $\phi_{osc}/128$ 時			—	0.6	1.8	*1*3*4		
	—	1.0	1.8	*2*3*4 条件 A				

14. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
スリープモード 消費電流	I _{SLEEP}	V _{CC}	V _{CC} =1.8V、f _{OSC} =2MHz	—	0.16	—	mA	*1*3*4 max 目安=1.1×typ
			V _{CC} =3V、f _{OSC} =2MHz	—	0.3	—		*1*3*4 max 目安=1.1×typ
				—	0.6	—		*2*3*4 max 目安=1.1×typ
			V _{CC} =3V、f _{OSC} =4MHz	—	0.5	—		*1*3*4 max 目安=1.1×typ
				—	0.9	2.2		*2*3*4 条件 B
			V _{CC} =3V、f _{OSC} =10MHz	—	1.3	4.8		*1*3*4
				—	1.7	4.8		*2*3*4 条件 A
サブアクティブ モード消費電流	I _{SUB}	V _{CC}	V _{CC} =1.8V、 32kHz 外部クロック入力時 ($\phi_{SUB} = \phi_{W/2}$)	—	6.2	—	μA	*1*3*4 参考値
			V _{CC} =1.8V、 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_{W/2}$)	—	5.4	—		
			V _{CC} =2.7V、 32kHz 外部クロック入力時 ($\phi_{SUB} = \phi_{W/2}$)	—	10	40		*1*3*4
			V _{CC} =2.7V、 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_{W/2}$)	—	11	40		
			V _{CC} =2.7V、 32kHz 外部クロック入力時 ($\phi_{SUB} = \phi_{W/2}$)	—	28	50		*2*3*4
			V _{CC} =2.7V、 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_{W/2}$)	—	25	50		
サブ スリープモード 消費電流	I _{SUBSP}	V _{CC}	V _{CC} =2.7V、 32kHz 外部クロック入力時 ($\phi_{SUB} = \phi_{W/2}$)	—	4.6	16	μA	*3*4
			V _{CC} =2.7V、 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_{W/2}$)	—	5.1	16		

14. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考	
				min.	typ.	max.			
ウォッチモード 消費電流	I _{WATCH}	V _{CC}	V _{CC} =1.8V、Ta=25°C 32kHz 外部クロック入力時	—	1.2	—	μA	*1*3*4 参考値	
			V _{CC} =1.8V、Ta=25°C 32kHz 水晶発振子使用時	—	0.6	—		*3*4 参考値	
			V _{CC} =2.7V、Ta=25°C 32kHz 外部クロック入力時	—	2.0	—			
			V _{CC} =2.7V、Ta=25°C 32kHz 水晶発振子使用時	—	2.9	—			
			V _{CC} =2.7V 32kHz 外部クロック入力時	—	2.0	6.0		*3*4	
			V _{CC} =2.7V 32kHz 水晶発振子使用時	—	2.9	6.0			
スタンバイ モード消費電流	I _{STBY}	V _{CC}	V _{CC} =1.8V、Ta=25°C 32kHz 水晶発振子未使用時	—	0.1	—	μA	*1*3*4 参考値	
			V _{CC} =3.0V、Ta=25°C 32kHz 水晶発振子未使用時	—	0.3	—		*3*4 参考値	
			32kHz 水晶発振子未使用時	—	1.0	5.0		*3*4	
RAM データ 保持電圧	V _{RAM}	V _{CC}		1.5	—	—	V		
出力 Low レベル許容電流 (1 端子当たり)	I _{OL}	ポート 9 以外の出力端子		—	—	0.5	mA		
			P90~P95	V _{CC} =2.2~3.6V	—	—			10.0
			上記以外		—	—			8.0
出力 Low レベル許容電流 (総和)	Σ I _{OL}	ポート 9 以外の出力端子		—	—	20.0	mA		
		ポート 9		—	—	60.0			
出力 High レベル許容電流 (1 端子当たり)	-I _{OH}	全出力端子	V _{CC} =2.7~3.6V	—	—	2.0	mA		
			上記以外		—	—			0.2
出力 High レベル許容電流 (総和)	Σ -I _{OH}	全出力端子		—	—	10.0	mA		

14. 電気的特性

【注】 TEST 端子は V_{SS} に接続してください。

- *1 マスク ROM 製品に適用します。
- *2 F-ZTAT 製品に適用します。
- *3 消費電流測定時の端子の状態

モード	RES 端子	内部状態	各端子	発振端子
アクティブ (高速) モード (I_{OPE1}) アクティブ (中速) モード (I_{OPE2})	V_{CC}	CPU のみ動作	V_{CC}	システムクロック発振器 : 水晶発振子 サブクロック発振器 : X1 端子=GND
スリープモード	V_{CC}	内蔵の全タイマのみ動作	V_{CC}	システムクロック発振器 : 水晶発振子 サブクロック発振器 : 水晶発振子
サブアクティブモード	V_{CC}	CPU のみ動作	V_{CC}	
サブスリープモード	V_{CC}	内蔵の全タイマのみ動作 CPU は停止	V_{CC}	
ウォッチモード	V_{CC}	時計用タイムベースのみ動作 CPU は停止	V_{CC}	
スタンバイモード	V_{CC}	CPU、タイマともに停止	V_{CC}	システムクロック発振器 : 水晶発振子 サブクロック発振器 : X1 端子=GND

- *4 プルアップ MOS や出力バッファに流れる電流は除きます。
- *5 F-ZTAT 版においてリセット解除時のユーザモード/ブートモード判定に使用します。

14.2.3 AC 特性

制御信号タイミングを表 14.3 に、シリアルインタフェースタイミングを表 14.4 に示します。

表 14.3 制御信号タイミング

特記なき場合は下記条件のいずれかになります。

条件 A (F-ZTAT 版) : $V_{CC}=2.7\sim 3.6V$ 、 $AV_{CC}=2.7\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

条件 B (F-ZTAT 版) : $V_{CC}=2.2\sim 3.6V$ 、 $AV_{CC}=2.2\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

条件 C (マスク ROM 版) : $V_{CC}=1.8\sim 3.6V$ 、 $AV_{CC}=1.8\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

項目	記号	適用端子	測定条件	規格値			単位	参照図	
				min.	typ.	max.			
システムクロック 発振器発振周波数	f_{OSC}	OSC1、OSC2	条件 C の $V_{CC}=2.7\sim 3.6V$ と条件 A	2.0	—	10.0	MHz		
			条件 C の上記以外と条件 B	2.0	—	4.0			
OSC クロック (ϕ_{OSC}) サイクル時間	t_{OSC}	OSC1、OSC2	条件 C の $V_{CC}=2.7\sim 3.6V$ と条件 A	100	—	500	ns	図 14.1	
			条件 C の上記以外と条件 B	250	—	500			
システムクロック (ϕ) サイクル時間	t_{CYC}			2	—	128	t_{OSC}		
				—	—	64	μs		
サブクロック発振器 発振周波数	f_W	X1、X2		—	32.768 または 38.4	—	kHz		
ウォッチクロック (ϕ_W) サイクル時間	t_W	X1、X2		—	30.5 または 26.0	—	μs	図 14.1	
サブクロック (ϕ_{SUB}) サイクル時間	t_{SUBCYC}			2	—	8	t_W	*	
インストラクション サイクル時間				2	—	—	t_{CYC} t_{SUBCYC}		
発振安定時間	t_{RC}	OSC1、OSC2	図 14.8 の水晶発振子、 $V_{CC}=2.7\sim 3.6V$	—	0.8	2.0	ms	図 14.8	
			図 14.8 の水晶発振子、 条件 BC、 $V_{CC}=2.2\sim 3.6V$	—	1.2	3.0			
			図 14.8 の水晶発振子、 条件 C の上記以外	—	4.0	—			
			図 14.8 のセラミック発 振子、条件 AC、 $V_{CC}=2.7\sim 3.6V$	—	20	45			μs
			図 14.8 のセラミック発 振子 (1)、条件 BC、 $V_{CC}=2.2\sim 3.6V$	—	20	45			

14. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
発振安定時間	t_{rc}	OSC1、OSC2	図 14.8 のセラミック発振子 (1)、条件 C の上記以外	—	80	—	μ s	図 14.8
			上記以外	—	—	50	ms	
	X1、X2	$V_{CC}=2.7\sim 3.6V$	—	—	2.0	s		
		$V_{CC}=2.2\sim 3.6V$ 、条件 BC	—	—	2.0			
条件 C の上記以外	—	4.0	—					
外部クロック High レベル幅	t_{CPH}	OSC1	条件 C の $V_{CC}=2.7\sim 3.6V$ と条件 A	40	—	—	ns	図 14.1
			条件 C の上記以外と条件 B	100	—	—		
		X1	—	15.26 または 13.02	—	μ s		
外部クロック Low レベル幅	t_{CPL}	OSC1	条件 C の $V_{CC}=2.7\sim 3.6V$ と条件 A	40	—	—	ns	図 14.1
			条件 C の上記以外と条件 B	100	—	—		
		X1	—	15.26 または 13.02	—	μ s		
外部クロック 立ち上がり時間	t_{CPr}	OSC1	条件 C の $V_{CC}=2.7\sim 3.6V$ と条件 A	—	—	10	ns	図 14.1
			条件 C の上記以外と条件 B	—	—	25		
		X1	—	—	55.0	ns		
外部クロック 立ち下がり時間	t_{CPf}	OSC1	条件 C の $V_{CC}=2.7\sim 3.6V$ と条件 A	—	—	10	ns	図 14.1
			条件 C の上記以外と条件 B	—	—	25		
		X1	—	—	55.0	ns		
RES 端子 Low レベル幅	t_{REL}	RES		10	—	—	t_{cyc}	図 14.2

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力端子 High レベル幅	t_{IH}	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 IRQAEC、 $\overline{WKP0} \sim \overline{WKP7}$		2	—	—	t_{cyc} t_{subcyc}	図 14.3
		AEVL、AEVH		0.5	—	—	t_{osc}	
入力端子 Low レベル幅	t_{IL}	$\overline{IRQ0}$ 、 $\overline{IRQ1}$ 、 IRQAEC、 $\overline{WKP0} \sim \overline{WKP7}$		2	—	—	t_{cyc} t_{subcyc}	図 14.3
		AEVL、AEVH		0.5	—	—	t_{osc}	

【注】 * システムコントロールレジスタ 2 (SYSCR2) の SA1、SA0 の設定により決定します。

表 14.4 シリアルインタフェース (SCI3) タイミング

特記なき場合は下記条件のいずれかになります。

条件 A (F-ZTAT 版) : $V_{CC}=2.7 \sim 3.6V$ 、 $AV_{CC}=2.7 \sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

条件 B (F-ZTAT 版) : $V_{CC}=2.2 \sim 3.6V$ 、 $AV_{CC}=2.2 \sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

条件 C (マスク ROM 版) : $V_{CC}=1.8 \sim 3.6V$ 、 $AV_{CC}=1.8 \sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

項目	記号	測定条件	規格値			単位	参照図	
			min.	typ.	max.			
入力 クロックサイクル	調歩同期	t_{scyc}		4	—	—	t_{cyc} または t_{subcyc}	図 14.4
	クロック同期			6	—	—		
入力クロックパルス幅	t_{SCKW}		0.4	—	0.6	t_{scyc}	図 14.4	
送信データ遅延時間 (クロック同期)	t_{TXD}		—	—	1	t_{cyc} または t_{subcyc}	図 14.5	
受信データセットアップ時間 (クロック同期)	t_{RXS}		400.0	—	—	ns	図 14.5	
受信データホールド時間 (クロック同期)	t_{RXH}		400.0	—	—	ns	図 14.5	

14. 電気的特性

14.2.4 A/D 変換器特性

A/D 変換器特性を表 14.5 に示します。

表 14.5 A/D 変換器特性

特記なき場合は下記条件のいずれかになります。

条件 A (F-ZTAT 版) : $V_{CC}=2.7\sim 3.6V$ 、 $AV_{CC}=2.7\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

条件 B (F-ZTAT 版) : $V_{CC}=2.2\sim 3.6V$ 、 $AV_{CC}=2.2\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

条件 C (マスク ROM 版) : $V_{CC}=1.8\sim 3.6V$ 、 $AV_{CC}=1.8\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
アナログ電源電圧	AV _{CC}	AV _{CC}	条件 A	2.7	—	3.6	V	*1
			条件 B	2.2	—	3.6		
			条件 C	1.8	—	3.6		
アナログ入力電圧	AV _{IN}	AN0~AN3		-0.3	—	AV _{CC} +0.3	V	
アナログ電源電流	AI _{LOPE}	AV _{CC}	AV _{CC} =3.0V	—	—	1.0	mA	
	AI _{STOP1}	AV _{CC}		—	600	—	μA	*2 参考値
	AI _{STOP2}	AV _{CC}		—	—	5	μA	*3
アナログ入力容量	C _{AIN}	AN0~AN3		—	—	15.0	pF	
許容信号源 インピーダンス	R _{AIN}			—	—	10.0	kΩ	
分解能 (データ長)				—	—	10	ビット	
非直線性誤差			AV _{CC} =2.7~3.6V	—	—	±3.5	LSB	
			条件 B の AV _{CC} =2.2~3.6V	—	—	±5.5		
			条件 C の AV _{CC} =2.0~3.6V	—	—	±7.5		
			条件 C の上記以外	—	—	±7.5		
量子化誤差				—	—	±0.5	LSB	
絶対精度			AV _{CC} =2.7~3.6V	—	±2.0	±4.0	LSB	
			条件 B の AV _{CC} =2.2~3.6V	—	±2.5	±6.0		
			条件 C の AV _{CC} =2.0~3.6V	—	±2.5	±8.0		
			条件 C の上記以外	—	±2.5	±8.0		
変換時間			AV _{CC} =2.7~3.6V	12.4	—	124	μs	
			上記以外	62	—	124		

【注】 *1 A/D 変換器を使用しない場合は AV_{CC}=V_{CC} としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

*3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

*4 変換時間 62μs

14.2.5 フラッシュメモリ特性

表 14.6 フラッシュメモリ特性

条件 A : $AV_{CC}=2.7\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、
 $V_{CC}=2.7\sim 3.6V$ (読み出し時の動作電圧範囲)、
 $V_{CC}=3.0\sim 3.6V$ (書き込み/消去時の動作電圧範囲)、
 $T_a=-20\sim +75^\circ C$ (書き込み/消去時の動作温度範囲: 通常仕様品、広温度範囲仕様品)

条件 B : $AV_{CC}=2.2\sim 3.6V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、
 $V_{CC}=2.2\sim 3.6V$ (読み出し時の動作電圧範囲)、
 $V_{CC}=3.0\sim 3.6V$ (書き込み/消去時の動作電圧範囲)、
 $T_a=-20\sim +50^\circ C$ (書き込み/消去時の動作温度範囲: 通常仕様品)

項目		記号	測定条件	規格値			単位	
				min.	typ.	max.		
書き込み時間 (128 バイト当たり) *1*2*4		t_P		—	7	200	ms	
消去時間 (1 ブロック当たり) *1*3*5		t_E		—	100	1200	ms	
書き換え回数		N_{WEC}		1000*8	10000*9	—	回	
データ保持時間		t_{DRP}		10*10	—	—	年	
書き込み時	SWE ビットセット後の待機時間*1	x		1	—	—	μs	
	PSU ビットセット後の待機時間*1	y		50	—	—	μs	
	P ビットセット後の待機時間*1*4	z1	$1 \leq n \leq 6$		28	30	32	μs
		z2	$7 \leq n \leq 1000$		198	200	202	μs
		z3	追加書き込み		8	10	12	μs
	P ビットクリア後の待機時間*1	α		5	—	—	μs	
	PSU ビットクリア後の待機時間*1	β		5	—	—	μs	
	PV ビットセット後の待機時間*1	γ		4	—	—	μs	
	ダミーライト後の待機時間*1	ε		2	—	—	μs	
	PV ビットクリア後の待機時間*1	η		2	—	—	μs	
	SWE ビットクリア後の待機時間*1	θ		100	—	—	μs	
最大書き込み回数*1*4*5		N		—	—	1000	回	
消去時	SWE ビットセット後の待機時間*1	x		1	—	—	μs	
	ESU ビットセット後の待機時間*1	y		100	—	—	μs	
	E ビットセット後の待機時間*1*6	z		10	—	100	ms	
	E ビットクリア後の待機時間*1	α		10	—	—	μs	
	ESU ビットクリア後の待機時間*1	β		10	—	—	μs	
	EV ビットセット後の待機時間*1	γ		20	—	—	μs	
	ダミーライト後の待機時間*1	ε		2	—	—	μs	
	EV ビットクリア後の待機時間*1	η		4	—	—	μs	
	SWE ビットクリア後の待機時間*1	θ		100	—	—	μs	
最大消去回数*1*6*7		N		—	—	120	回	

14. 電気的特性

- 【注】 *1 各時間の設定は、プログラム/イレースのアルゴリズムに従って行ってください。
- *2 128 バイト当たりの書き込み時間で、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P ビットをセットしているトータル期間を示します。プログラムベリファイ時間は含みません。
- *3 1 ブロックを消去する時間で、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の E ビットをセットしているトータル期間を示します。イレースベリファイ時間は含まれません。
- *4 書き込み時間の最大値 (t_P (MAX)) = P ビットセット後の待機時間 (z) × 最大書き込み回数 (N)
- *5 最大書き込み回数 (N) は、実際の z1、z2、z3 の設定値に合わせ、書き込み時間の最大値 t_P (MAX) 以下となるように設定してください。また、P ビットセット後の待機時間 (z1、z2) は、下記のように書き込み回数 (n) の値によって切り替えてください。

書き込み回数 n

$$1 \leq n \leq 6z1 = 30\mu s$$

$$7 \leq n \leq 1000z2 = 200\mu s$$

- *6 消去時間の最大値 (t_E (MAX)) = E ビットセット後の待機時間 (z) × 最大消去回数 (N)
- *7 最大消去回数 (N) は、実際の (z) の設定値にあわせ、消去時間の最大値 (t_E (MAX)) 以下となるように設定してください。
- *8 書き換え後のすべての特性を保証する min 回数です (保証は 1~min 値の範囲です)。
- *9 25°C のときの参考値です (通常この値まで書き換えは機能するという目安です)。
- *10 書き換えが min 値を含む仕様範囲内で行われたときのデータ保持特性です。

14.3 動作タイミング

動作タイミングを図 14.1～図 14.5 に示します。

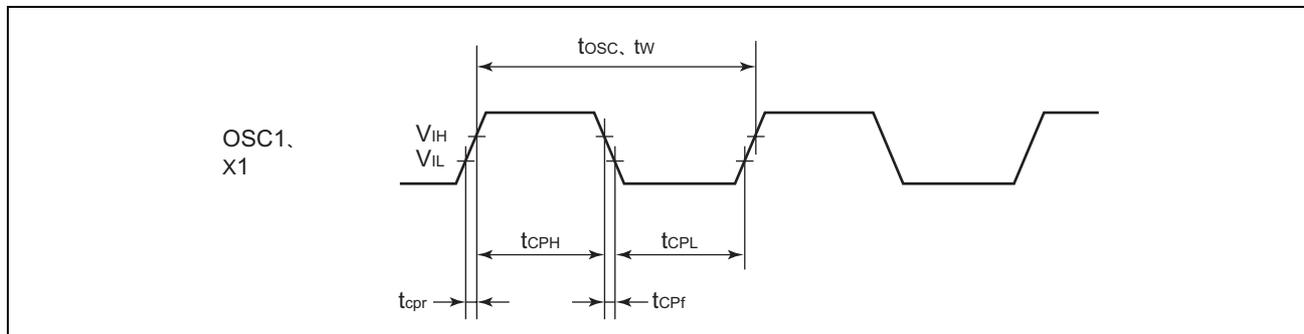


図 14.1 クロック入力タイミング

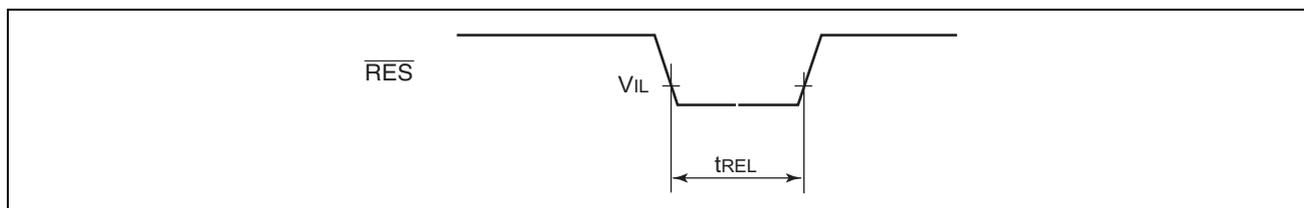


図 14.2 $\overline{\text{RES}}$ 端子 Low レベル幅タイミング

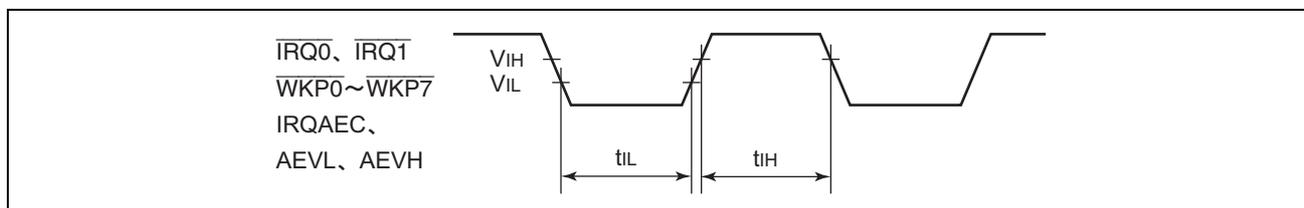


図 14.3 入力タイミング

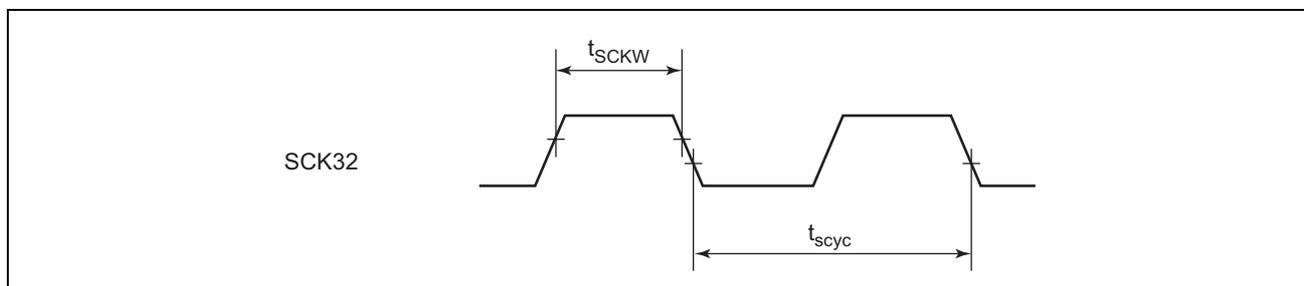


図 14.4 SCK3 入力クロックタイミング

14. 電気的特性

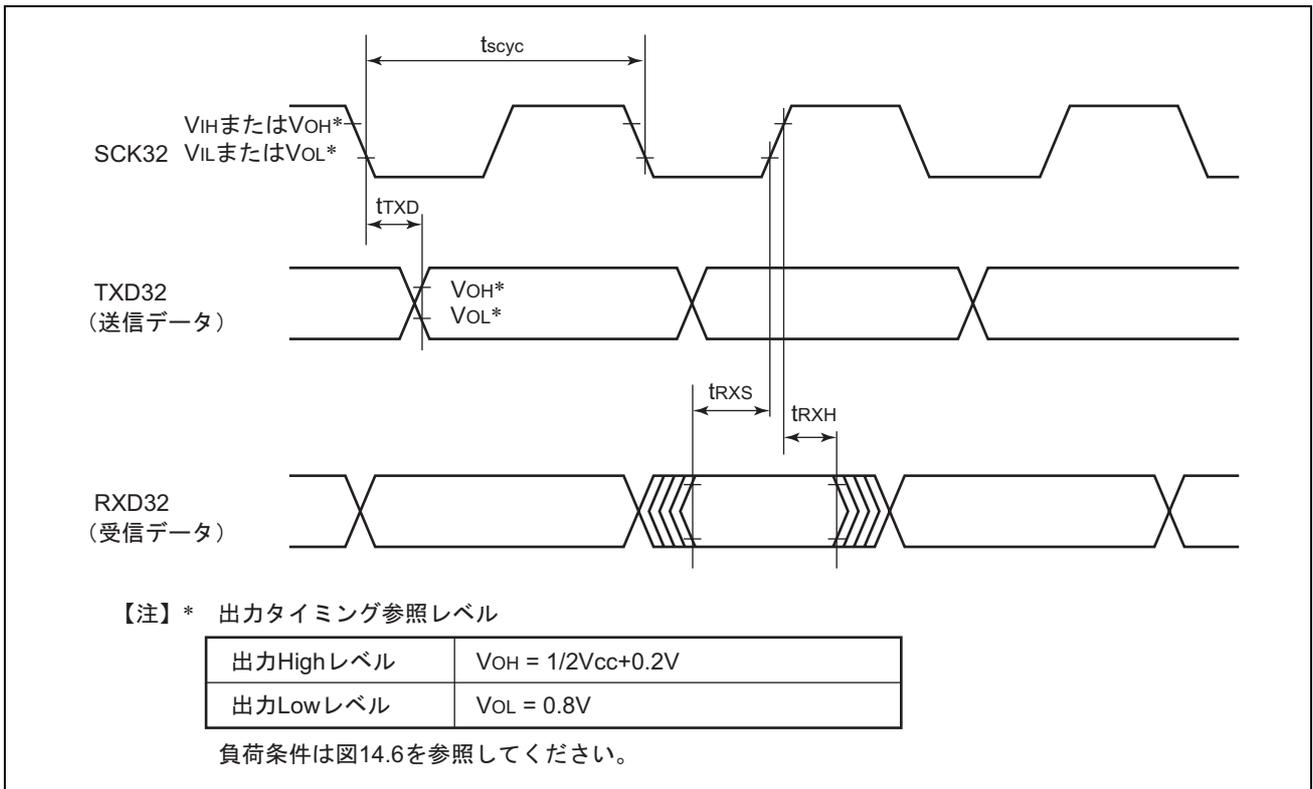


図 14.5 SCI3 クロック同期式モード入出力タイミング

14.4 出力負荷回路

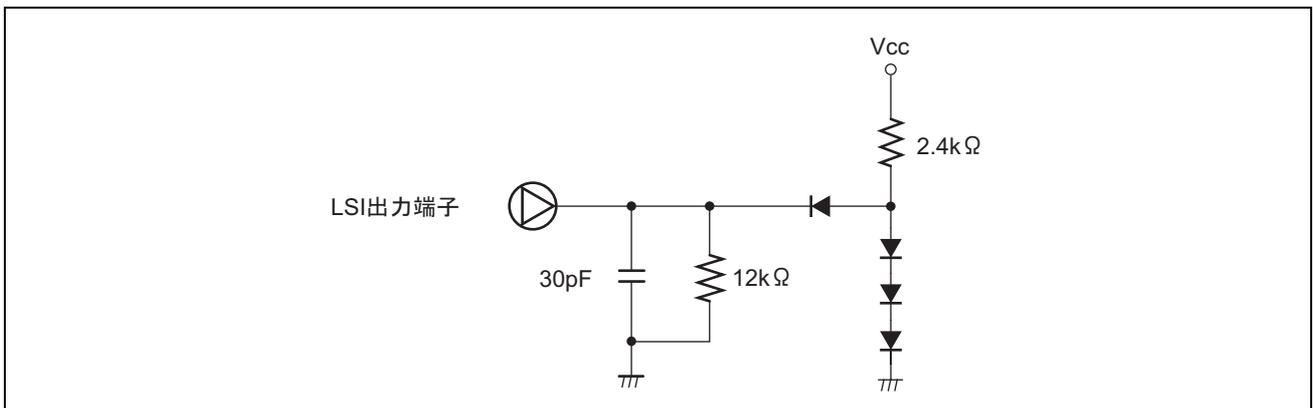


図 14.6 出力負荷条件

14.5 発振子の等価回路

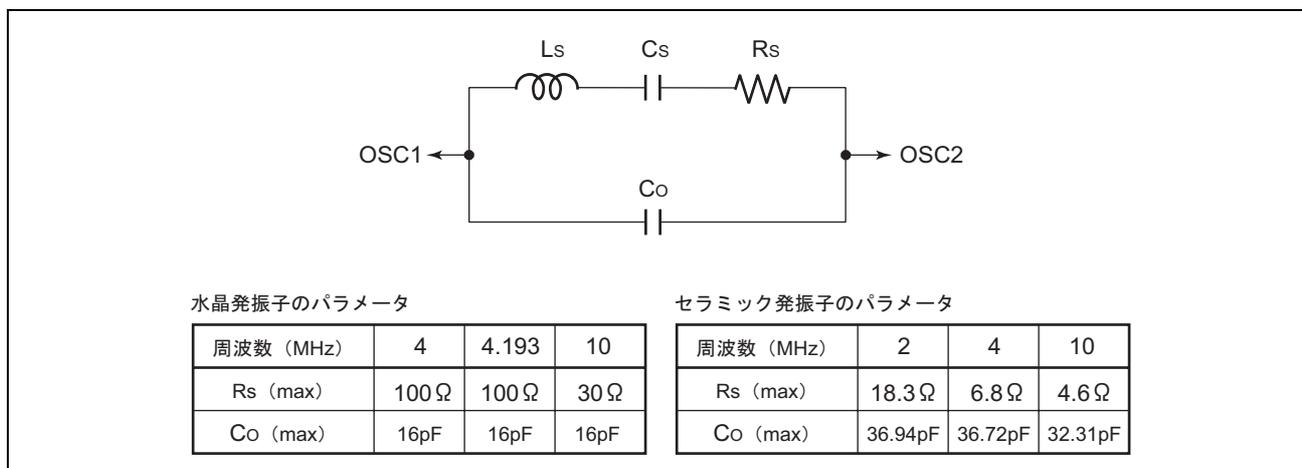


図 14.7 発振子の等価回路

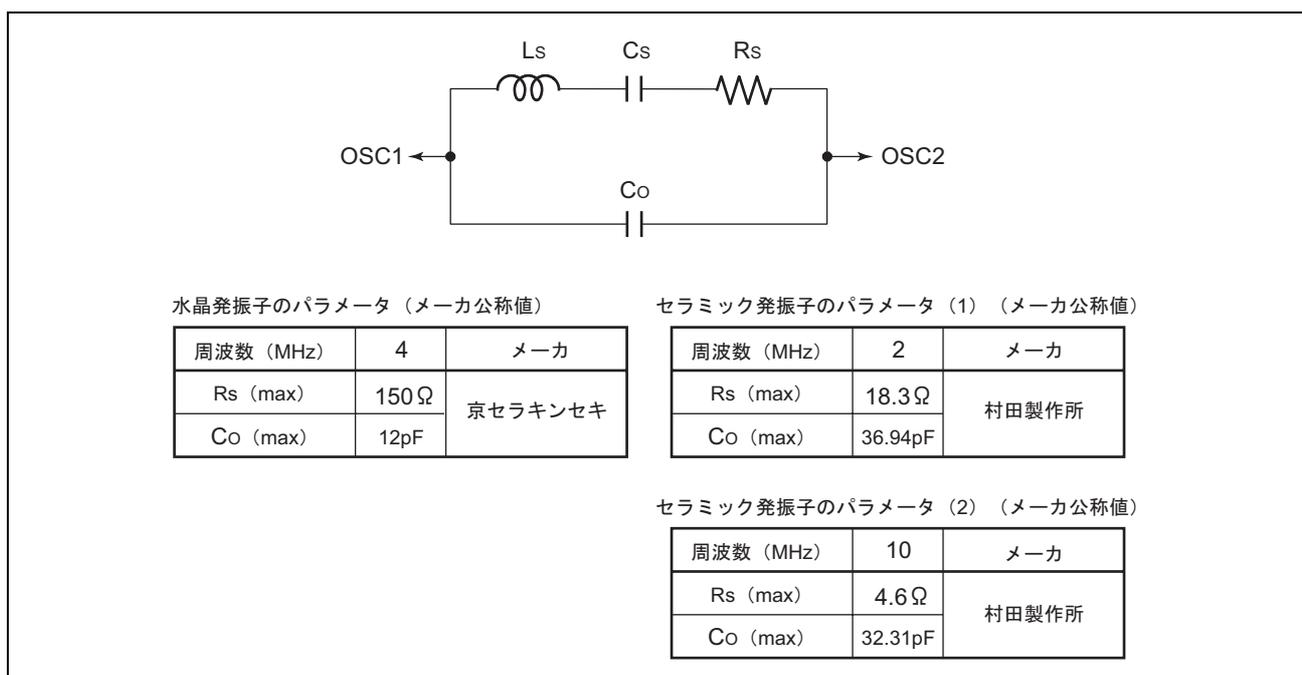


図 14.8 発振子の等価回路

14.6 使用上の注意事項

F-ZTAT 版およびマスク ROM 版は本マニュアルに記載の電気的特性を満足していますが、製造プロセスの相違、内蔵 ROM の相違、レイアウトパターン相違などにより電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。F-ZTAT 版を使用するシステムの評価試験を行う場合には、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

付録

A. 命令

A.1 命令一覧

《オペレーションの記号》

記号	内 容
Rd	デスティネーション側の汎用レジスタ
Rs	ソース側の汎用レジスタ
Rn	汎用レジスタ
ERd	デスティネーション側の汎用レジスタ（アドレスレジスタまたは 32 ビットレジスタ）
ERs	ソース側の汎用レジスタ（アドレスレジスタまたは 32 ビットレジスタ）
ERn	汎用レジスタ（32 ビットレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
PC	プログラムカウンタ
SP	スタックポインタ
CCR	コンディションコードレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
disp	ディスプレイメント
→	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
+	両辺のオペランドを加算
-	左辺のオペランドから右辺のオペランドを減算
×	両辺のオペランドを乗算
÷	左辺のオペランドを右辺のオペランドで除算
∧	両辺のオペランドの論理積
∨	両辺のオペランドの論理和

【注】 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）または 16 ビット（R0～R7、E0～E7）です。

《オペレーションの記号》

記号	内 容
⊕	両辺のオペランドの排他的論理和
~	反転論理（論理的補数）
() <>	オペランドの内容
↑ ↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に0にクリアされることを表します。
1	常に1にセットされることを表します。
—	実行結果に影響を受けないことを表します。
△	条件によって異なります。注意事項を参照してください。

表 A.1 命令セット一覧

(1) データ転送命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディションコード							実行回数 ^{*1}
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa		@(d, PC)	@aa	I	H	N	Z	V	
MOV	B	2							#xx:8→Rd8	—	↑	↑	0	—	2	
	B	2							Rs8→Rd8	—	↑	↑	0	—	2	
	B		2						@ERs→Rd8	—	↑	↑	0	—	4	
	B			4					@(d:16, ERs)→Rd8	—	↑	↑	0	—	6	
	B			8					@(d:24, ERs)→Rd8	—	↑	↑	0	—	10	
	B				2				@ERs→Rd8, ERs32+1→ERs32	—	↑	↑	0	—	6	
	B					2			@aa:8→Rd8	—	↑	↑	0	—	4	
	B					4			@aa:16→Rd8	—	↑	↑	0	—	6	
	B					6			@aa:24→Rd8	—	↑	↑	0	—	8	
	B		2						Rs8→@ERd	—	↑	↑	0	—	4	
	B			4					Rs8→@(d:16, ERd)	—	↑	↑	0	—	6	
	B			8					Rs8→@(d:24, ERd)	—	↑	↑	0	—	10	
	B				2				ERd32:1→ERd32, Rs8→@ERd	—	↑	↑	0	—	6	
	B					2			Rs8→@aa:8	—	↑	↑	0	—	4	
	B					4			Rs8→@aa:16	—	↑	↑	0	—	6	
	B					6			Rs8→@aa:24	—	↑	↑	0	—	8	
	W	4							#xx:16→Rd16	—	↑	↑	0	—	4	
	W		2						Rs16→Rd16	—	↑	↑	0	—	2	
	W			2					@ERs→Rd16	—	↑	↑	0	—	4	
	W				4				@(d:16, ERs)→Rd16	—	↑	↑	0	—	6	
	W				8				@(d:24, ERs)→Rd16	—	↑	↑	0	—	10	
	W					2			@ERs→Rd16, ERs32+2→@ERd32	—	↑	↑	0	—	6	
	W					4			@aa:16→Rd16	—	↑	↑	0	—	6	
	W					6			@aa:24→Rd16	—	↑	↑	0	—	8	

二一モニック	サイズ	アドレッシングモード/命令長 (バイト)					オペレーション	コンディションコード							実行スタート数*1			
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+		@aa	@(d, PC)	@aa	I	H	N	Z		V	C	
MOV	MOV.W Rs, @ERd			2														4
	MOV.W Rs, @(d:16, ERd)				4													6
	MOV.W Rs, @(d:24, ERd)				8													10
	MOV.W Rs, @-ERd					2												6
	MOV.W Rs, @aa:16						4											6
	MOV.W Rs, @aa:24							6										8
	MOV.L #xx:32, Rd	L	6															6
	MOV.L ERs, ERd	L	2															2
	MOV.L @ERs, ERd	L		4														8
	MOV.L @(d:16, ERs), ERd	L				6												10
	MOV.L @(d:24, ERs), ERd	L				10												14
	MOV.L @ERs+, ERd	L					4											10
	MOV.L @aa:16, ERd	L						6										10
	MOV.L @aa:24, ERd	L							8									12
	MOV.L ERs, @ERd	L			4													8
	POP	MOV.L ERs, @(d:16, ERd)				6												
MOV.L ERs, @(d:24, ERd)					10													14
MOV.L ERs, @-ERd						4												10
MOV.L ERs, @aa:16							6											10
MOV.L ERs, @aa:24								8										12
POP.W Rn		W									2							6
POP.L ERn		L									4							10
PUSH.W Rn		W																6
PUSH.L ERn		L																10
MOVFPPE @aa:16, Rd		B									4							
MOVTPPE @aa:16		B									4							

本LSIでは使用できません
本LSIでは使用できません

(2) 算術演算命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディションコード							実行回数*1			
		#xx	Rn	@ERn	@(d, ERn)	@-ERn@ERn+	@aa		@(d, PC)	@@aa	—	I	H	N	Z	V	C	ノーマル	7ドバイスト
ADD	ADD.B #xx:8, Rd	B	2														↑	↑	2
	ADD.B Rs, Rd	B	2														↑	↑	2
	ADD.W #xx:16, Rd	W	4														(1)	↑	4
	ADD.W Rs, Rd	W	2														(1)	↑	2
	ADD.L #xx:32, ERd	L	6														(2)	↑	6
	ADD.L ERs, ERd	L	2														(2)	↑	2
ADDX	ADDX.B #xx:8, Rd	B	2														↑	↑	2
	ADDX.B Rs, Rd	B	2														↑	↑	2
	ADDX.L #1, ERd	L	2														(3)	↑	2
	ADDX.L #2, ERd	L	2														(3)	↑	2
INC	ADDX.L #4, ERd	L	2														—	—	2
	INC.B Rd	B	2														↑	↑	2
	INC.W #1, Rd	W	2														↑	↑	2
	INC.W #2, Rd	W	2														↑	↑	2
	INC.L #1, ERd	L	2														↑	↑	2
	INC.L #2, ERd	L	2														↑	↑	2
DAA	DAA Rd	B	2														*	↑	2
	SUB.B Rs, Rd	B	2														↑	↑	2
SUB	SUB.W #xx:16, Rd	W	4														(1)	↑	4
	SUB.W Rs, Rd	W	2														(1)	↑	2
	SUB.L #xx:32, ERd	L	6														(2)	↑	6
	SUB.L ERs, ERd	L	2														(2)	↑	2
SUBX	SUBX.B #xx:8,Rd	B	2														↑	↑	2
	SUBX.B Rs, Rd	B	2														↑	↑	2

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)							オペレーション	コンディションコード							実行スタート数 #1	
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)		@@aa	I	H	N	Z	V	C		/-マシ
SUBS	SUBS.L #1, ERd	L	2															2
	SUBS.L #2, ERd	L	2															2
	SUBS.L #4, ERd	L	2															2
DEC	DEC.B Rd	B	2															2
	DEC.W #1, Rd	W	2															2
	DEC.W #2, Rd	W	2															2
	DEC.L #1, ERd	L	2															2
	DEC.L #2, ERd	L	2															2
DAS	DAS Rd	B	2												*			2
MULXU	MULXU.B Rs, Rd	B	2															14
	MULXU.W Rs, ERd	W	2															22
MULXS	MULXS.B Rs, Rd	B	4															16
	MULXS.W Rs, ERd	W	4															24
DIVXU	DIVXU.B Rs, Rd	B	2															14
	DIVXU.W Rs, ERd	W	2															22
DIVXS	DIVXS.B Rs, Rd	B	4															16
	DIVXS.W Rs, ERd	W	4															24
	CMP.B #xx:8, Rd	B	2															2
CMP	CMP.B Rs, Rd	B	2															2
	CMP.W #xx:16, Rd	W	4															4
	CMP.W Rs, Rd	W	2															2

(3) 論理演算命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディションコード							実行ストローク数 *s	
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa		@(d, PC)	@aa	I	H	N	Z	V		C
AND	AND.B #xx:8, Rd	B	2										↑	↑	0	—	2
	AND.B Rs, Rd	B	2										↑	↑	0	—	2
	AND.W #xx:16, Rd	W	4										↑	↑	0	—	4
	AND.W Rs, Rd	W	2										↑	↑	0	—	2
	AND.L #xx:32, ERd	L	6										↑	↑	0	—	6
	AND.L ERs, ERd	L	4										↑	↑	0	—	4
OR	OR.B #xx:8, Rd	B	2										↑	↑	0	—	2
	OR.B Rs, Rd	B	2										↑	↑	0	—	2
	OR.W #xx:16, Rd	W	4										↑	↑	0	—	4
	OR.W Rs, Rd	W	2										↑	↑	0	—	2
	OR.L #xx:32, ERd	L	6										↑	↑	0	—	6
	OR.L ERs, ERd	L	4										↑	↑	0	—	4
XOR	XOR.B #xx:8, Rd	B	2										↑	↑	0	—	2
	XOR.B Rs, Rd	B	2										↑	↑	0	—	2
	XOR.W #xx:16, Rd	W	4										↑	↑	0	—	4
	XOR.W Rs, Rd	W	2										↑	↑	0	—	2
	XOR.L #xx:32, ERd	L	6										↑	↑	0	—	6
	XOR.L ERs, ERd	L	4										↑	↑	0	—	4
NOT	NOT.B Rd	B	2										↑	↑	0	—	2
	NOT.W Rd	W	2										↑	↑	0	—	2
	NOT.L ERd	L	2										↑	↑	0	—	2

(4) シフト命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)					オペレーション	コンディションコード							実行スタート数 *1		
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+		@aa	@(d, PC)	@@aa	I	H	N	Z	V	C	ノール
SHAL	B	2													↑	↑	2
	W	2													↑	↑	2
	L	2													↑	↑	2
SHAR	B	2													0	↑	2
	W	2													0	↑	2
	L	2													0	↑	2
SHLL	B	2													0	↑	2
	W	2													0	↑	2
	L	2													0	↑	2
SHLR	B	2													0	↑	2
	W	2													0	↑	2
	L	2													0	↑	2
ROTXL	B	2													0	↑	2
	W	2													0	↑	2
	L	2													0	↑	2
ROTXR	B	2													0	↑	2
	W	2													0	↑	2
	L	2													0	↑	2
ROTL	B	2													0	↑	2
	W	2													0	↑	2
	L	2													0	↑	2
ROTR	B	2													0	↑	2
	W	2													0	↑	2
	L	2													0	↑	2

(5) ビット操作命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション	コンディションコード							実行スタート数 *1				
		#xx	Rn	@ERn	@(d, ERn)		@ERn@ERn+	@aa	@(d, PC)	@@aa	—	I	H	N	Z	V	C	ノール
BSET	BSET #xx:3, Rd	B	2														2	
	BSET #xx:3, @ERd	B		4													8	
	BSET #xx:3, @aa:8	B				4											8	
BCLR	BSET Rn, Rd	B	2														2	
	BSET Rn, @ERd	B		4													8	
	BSET Rn, @aa:8	B				4											8	
BNOT	BCLR #xx:3, Rd	B	2														2	
	BCLR #xx:3, @ERd	B		4													8	
	BCLR #xx:3, @aa:8	B				4											8	
BTST	BCLR Rn, Rd	B	2														2	
	BCLR Rn, @ERd	B		4													8	
	BCLR Rn, @aa:8	B				4											8	
BLD	BNOT #xx:3, Rd	B	2														2	
	BNOT #xx:3, @ERd	B		4													8	
	BNOT #xx:3, @aa:8	B				4											8	
BILD	BNOT Rn, Rd	B	2														2	
	BNOT Rn, @ERd	B		4													8	
	BNOT Rn, @aa:8	B				4											8	
BTST	~(#xx:3 of Rd8)←1																	
	~(#xx:3 of @ERd)←1																	
	~(#xx:3 of @aa:8)←1																	
BTST	~(Rn8 of Rd8)←1																	
	~(Rn8 of @ERd)←1																	
	~(Rn8 of @aa:8)←1																	
BTST	~(#xx:3 of Rd8)←0																	
	~(#xx:3 of @ERd)←0																	
	~(#xx:3 of @aa:8)←0																	
BTST	~(Rn8 of Rd8)←0																	
	~(Rn8 of @ERd)←0																	
	~(Rn8 of @aa:8)←0																	
BTST	~(#xx:3 of Rd8)←~(#xx:3 of Rd8)																	
	~(#xx:3 of @ERd)←~(#xx:3 of @ERd)																	
	~(#xx:3 of @aa:8)←~(#xx:3 of @aa:8)																	
BTST	~(Rn8 of Rd8)←~(Rn8 of Rd8)																	
	~(Rn8 of @ERd)←~(Rn8 of @ERd)																	
	~(Rn8 of @aa:8)←~(Rn8 of @aa:8)																	
BTST	~(#xx:3 of Rd8)→Z																	
	~(#xx:3 of @ERd)→Z																	
	~(#xx:3 of @aa:8)→Z																	
BTST	~(Rn8 of Rd8)→Z																	
	~(Rn8 of @ERd)→Z																	
	~(Rn8 of @aa:8)→Z																	
BTST	~(#xx:3 of Rd8)→C																	
	~(#xx:3 of @ERd)→C																	
	~(#xx:3 of @aa:8)→C																	
BTST	~(Rn8 of Rd8)→C																	
	~(Rn8 of @ERd)→C																	
	~(Rn8 of @aa:8)→C																	
BTST	~(#xx:3 of Rd8)→C																	
	~(#xx:3 of @ERd)→C																	
	~(#xx:3 of @aa:8)→C																	
BTST	~(Rn8 of Rd8)→C																	
	~(Rn8 of @ERd)→C																	
	~(Rn8 of @aa:8)→C																	

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディションコード						実行回数 *1	
		#xx	Rn	@ERn	@(d, ERn)	@_ERn/@ERn+	@aa @aa @d, PC) @aa		I	H	N	Z	V	C		
BST	BST #xx:3, Rd	B	2													2
	BST #xx:3, @ERd	B		4												8
	BST #xx:3, @aa:8	B					4									8
BIST	BIST #xx:3, Rd	B	2													2
	BIST #xx:3, @ERd	B		4												8
	BIST #xx:3, @aa:8	B					4									8
BAND	BAND #xx:3, Rd	B	2													2
	BAND #xx:3, @ERd	B		4												6
	BAND #xx:3, @aa:8	B					4									6
BIAND	BIAND #xx:3, Rd	B	2													2
	BIAND #xx:3, @ERd	B		4												6
	BIAND #xx:3, @aa:8	B					4									6
BOR	BOR #xx:3, Rd	B	2													2
	BOR #xx:3, @ERd	B		4												6
	BOR #xx:3, @aa:8	B					4									6
BIOR	BIOR #xx:3, Rd	B	2													2
	BIOR #xx:3, @ERd	B		4												6
	BIOR #xx:3, @aa:8	B					4									6
BXOR	BXOR #xx:3, Rd	B	2													2
	BXOR #xx:3, @ERd	B		4												6
	BXOR #xx:3, @aa:8	B					4									6
BIXOR	BIXOR #xx:3, Rd	B	2													2
	BIXOR #xx:3, @ERd	B		4												6
	BIXOR #xx:3, @aa:8	B					4									6

(6) 分岐命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	分岐条件	コンディションコード						実行ストローク数 *1													
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa			@(d, PC)	@@aa	I	H	N	Z	V	C	ノール	アドバンス										
Bcc	—																	Always	—	—	—	—	—	—	—	—	4	4	
BRA d:8(BT d:8)	—								2										Never	—	—	—	—	—	—	—	—	6	6
BRN d:8(BF d:8)	—								2										CVZ=0	—	—	—	—	—	—	—	—	4	4
BRN d:16(BF d:16)	—								4										CVZ=1	—	—	—	—	—	—	—	—	6	6
BHI d:8	—								2										C=0	—	—	—	—	—	—	—	—	4	4
BHI d:16	—								4										C=1	—	—	—	—	—	—	—	—	6	6
BLS d:8	—								2										C=0	—	—	—	—	—	—	—	—	4	4
BLS d:16	—								4										C=1	—	—	—	—	—	—	—	—	6	6
BCC d:8(BHS d:8)	—								2										Z=0	—	—	—	—	—	—	—	—	4	4
BCC d:16(BHS d:16)	—								4										Z=0	—	—	—	—	—	—	—	—	6	6
BCS d:8(BLO d:8)	—								2										Z=1	—	—	—	—	—	—	—	—	4	4
BCS d:16(BLO d:16)	—								4										Z=1	—	—	—	—	—	—	—	—	6	6
BNE d:8	—								2										V=0	—	—	—	—	—	—	—	—	4	4
BNE d:16	—								4										V=0	—	—	—	—	—	—	—	—	6	6
BEQ d:8	—								2										V=1	—	—	—	—	—	—	—	—	4	4
BEQ d:16	—								4										V=1	—	—	—	—	—	—	—	—	6	6
BVC d:8	—								2										N=0	—	—	—	—	—	—	—	—	4	4
BVC d:16	—								4										N=0	—	—	—	—	—	—	—	—	6	6
BVS d:8	—								2										N=1	—	—	—	—	—	—	—	—	4	4
BVS d:16	—								4										N=1	—	—	—	—	—	—	—	—	6	6
BPL d:8	—								2										N=0	—	—	—	—	—	—	—	—	4	4
BPL d:16	—								4										N=0	—	—	—	—	—	—	—	—	6	6
BMI d:8	—								2										N=1	—	—	—	—	—	—	—	—	4	4
BMI d:16	—								4										N=1	—	—	—	—	—	—	—	—	6	6

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	分岐条件	コンディションコード						実行回数 *1	
		#xx	Rn	@ERn	@(d, ERn)	@-ERn@ERn+	@aa			@(d, PC)	@aa	I	H	N	Z	V	C
Bcc	BGE d:8	—															4
	BGE d:16	—															6
	BLT d:8	—															4
	BLT d:16	—															6
	BGT d:8	—															4
	BGT d:16	—															6
JMP	BLE d:8	—															4
	BLE d:16	—															6
	JMP @ERn	—		2													4
	JMP @aa:24	—						4									6
	JMP @aa:8	—														2	8
	JMP @aa:8	—															10
BSR	BSR d:8	—															6
	BSR d:16	—															8
JSR	JSR @ERn	—															6
	JSR @aa:24	—															10
	JSR @aa:8	—							4								8
RTS	RTS	—															8
	RTS	—														2	8

(8) データ転送命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション	コンディションコード				実行サイクル数 *1							
		#xx	@ERn	@(d, ERn)	@-ERn/ERn+		@aa	@(d, PC)	@@aa	—	I	H	N	Z	V	C	実行サイクル数	*1
EEPMOV	EEPMOV.B	—								4	if R4L ≠ 0 Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4L-1→R4L Until R4L=0 else next;	—	—	—	—	—	8+4n *2	
	EEPMOV.W	—								4	if R4 ≠ 0 Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4-1→R4 Until R4=0 else next;	—	—	—	—	—	8+4n *2	

【注】 *1 実行ステータス数は、オペコードおよびオペランドが内蔵メモリに存在する場合があります。それ以外の場合は、「付録A.3 命令実行ステータス数」を参照してください。

*2 nはR4LまたはR4の設定値です。

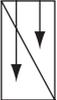
- (1) ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
- (2) ビット27から桁上がりまたはビット27へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
- (3) 演算結果がゼロのとき、演算前の値を保持し、それ以外のとき0にクリアされます。
- (4) 補正結果に桁上がりが発生したとき、1にセットされ、それ以外のとき演算前の値を保持します。
- (5) Eクロック同期転送命令の実行ステータス数は一定ではありません。
- (6) 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。
- (7) 除数がゼロのとき1にセットされ、それ以外のとき0にクリアされます。
- (8) 商が負のとき1にセットされ、それ以外のとき0にクリアされます。

A.2 オペレーションコードマップ

表 A.2 オペレーションコードマップ (1)

命令コード：

第1バイト	第2バイト
AH AL	BH BL



BHの最上位ビットが0の場合を示します。
 BHの最上位ビットが1の場合を示します。

AL	AH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	表A.2(2)	表A.2(2)	STC	LDC	ORC	XORC	ANDC	LDC	ADD	表A.2(2)	表A.2(2)	表A.2(2)	MOV	ADDD	表A.2(2)	
1	表A.2(2)	表A.2(2)	表A.2(2)	表A.2(2)	表A.2(2)	OR.B	XOR.B	AND.B	表A.2(2)	SUB	表A.2(2)	表A.2(2)	表A.2(2)	CMP	SUBX	表A.2(2)	
2		MOV. B															
3																	
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BMI	BPL	BGE	BLT	BGT	BLE	
5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	表A.2(2)	JMP	BSR	JSR						
6	BSET	BNOT	BCLR	BTST	OR	XOR	AND	BST	MOV								
7					BOR	BXOR	BAND	BLD	BIST	MOV	表A.2(2)	表A.2(2)	EEMOV	表A.2(3)			
8					BIOR	BIXOR	BIAND	BIOR	ADD								
9									ADDD								
A									CMP								
B									SUBX								
C									OR								
D									XOR								
E									AND								
F									MOV								

表 A.2 オペレーションコードマップ (2)

命令コード		第1バイト		第2バイト																		
		AH	AL	BH	BL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	
BH/AHAL	0																					
	01	MOV								LDC/STC				SLEEP				表A.2 (3)	表A.2 (3)			表A.2 (3)
	0A	INC																				
	0B	ADDS									INC		INC	ADDS					INC			INC
	0F	DAA																				
	10	SHLL					SHLL							SHAL								
	11	SHLR					SHLR							SHAR								
	12	ROTXL					ROTXL							ROTL								
	13	ROTXR					ROTXR							ROTR								
	17	NOT					NOT							NEG	EXTU							EXTS
	1A	DEC																				
	1B	SUBS												SUBS								DEC
	1F	DAS																				
	58	BRA	BRN				BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT				BLE
	79	MOV	ADD				SUB	OR	XOR	AND												
	7A	MOV	ADD				SUB	OR	XOR	AND												

表 A.2 オペレーションコードマップ (3)

命令コード	第1バイト		第2バイト		第3バイト		第4バイト		8	9	A	B	C	D	E	F
	AH	AL	BH	BL	CH	CL	DH	DL								
AHALBHBLCH	CL								LDC	STC		LDC	STC		LDC	STC
01406																
01C05	MULXS		MULXS													
01D05		DIVIXS		DIVIXS												
01F06					OR	XOR	AND									
7Cr06 *1							BTST									
7Cr07 *1					BOR	BXOR	BAND	BLD	BOR	BXOR	BAND	BLD	BOR	BXOR	BAND	BLD
7Dr06 *1	BSET		BNOT					BST	BSET				BST			
7Dr07 *1	BSET		BNOT					BIST	BSET				BIST			
7Eaa6 *2							BTST									
7Eaa7 *2					BOR	BXOR	BAND	BLD	BOR	BXOR	BAND	BLD	BOR	BXOR	BAND	BLD
7Faa6 *2	BSET		BNOT					BST	BSET				BST			
7Faa7 *2	BSET		BNOT					BIST	BSET				BIST			



【注】 *1 rはレジスタ指定部

*2 aaは絶対アドレス指定部

A.3 命令実行ステート数

H8/300H CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.4 に命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライトなどのサイクル数を示し、表 A.3 におおのこのサイクルに必要なステート数を示します。命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

実行ステート数計算例

(例) 内蔵 ROM より命令をフェッチし、内蔵 RAM をアクセスした場合

1. BSET #0, @FF00

表A.4より

$$I=L=2, J=K=M=N=0$$

表A.3より

$$S_I=2, S_L=2$$

$$\text{実行ステート数} = 2 \times 2 + 2 \times 2 = 8$$

内蔵ROMより命令をフェッチし、内蔵ROMより分岐アドレスをリード、スタック領域は内蔵RAMとした場合

2. JSR @@30

表A.4より

$$I=2, J=K=1, L=M=N=0$$

表A.3より

$$S_I=S_J=S_K=2$$

$$\text{実行ステート数} = 2 \times 2 + 1 \times 2 + 1 \times 2 = 8$$

表 A.3 実行状態 (サイクル) に要するステート数

実行状態 (サイクル)	アクセス対象	
	内蔵メモリ	内蔵周辺モジュール
命令フェッチ S_I	2	-
分岐アドレスリード S_J		
スタック操作 S_K		
バイトデータアクセス S_L		2 または 3*
ワードデータアクセス S_M		-
内部動作 S_N	1	

【注】 * 内蔵周辺モジュールによって異なります。詳細は、「13.1 レジスタアドレス一覧 (アドレス順)」を参照してください。

表 A.4 命令の実行状態 (サイクル数)

命 令	ニーモニック	命令 フェッチ	分岐アドレス リード	スタック 操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W #xx:16, Rd	2					
	ADD.W Rs, Rd	1					
	ADD.L #xx:32, ERd	3					
	ADD.L ERs, ERd	1					
ADDS	ADDS #1/2/4, ERd	1					
ADDX	ADDX #xx:8, Rd	1					
	ADDX Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
	AND.W #xx:16, Rd	2					
	AND.W Rs, Rd	1					
	AND.L #xx:32, ERd	3					
	AND.L ERs, ERd	2					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @ERd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					

命 令	ニーモニック	命令 フェッチ	分岐アドレス リード	スタック 操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
Bcc	BGT d:8	2					
	BLE d:8	2					
	BRA d:16(BT d:16)	2					2
	BRN d:16(BF d:16)	2					2
	BHI d:16	2					2
	BLS d:16	2					2
	BCC d:16(BHS d:16)	2					2
	BCS d:16(BLO d:16)	2					2
	BNE d:16	2					2
	BEQ d:16	2					2
	BVC d:16	2					2
	BVS d:16	2					2
	BPL d:16	2					2
	BMI d:16	2					2
	BGE d:16	2					2
	BLT d:16	2					2
	BGT d:16	2					2
BLE d:16	2					2	
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @ERd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @ERd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @ERd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @ERd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:3, Rd	1					
	BIOR #xx:3, @ERd	2			1		
	BIOR #xx:3, @aa:8	2			1		

付録

命 令	ニーモニック	命令 フェッチ	分岐アドレス リード	スタック 操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @ERd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @ERd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @ERd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @ERd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @ERd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @ERd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @ERd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @ERd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	2		1			
	BSR d:16	2		1			2
BST	BST #xx:3, Rd	1					
	BST #xx:3, @ERd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @ERd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @ERd	2			1		
	BTST Rn, @aa:8	2			1		

命 令	ニーモニック	命令 フェッチ	分岐アドレス リード	スタック 操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @ERd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W #xx:16, Rd	2					
	CMP.W Rs, Rd	1					
	CMP.L #xx:32, ERd	3					
	CMP.L ERs, ERd	1					
DAA	DAA Rd	1					
DAS	DAS Rd	1					
DEC	DEC.B Rd	1					
	DEC.W #1/2, Rd	1					
	DEC.L #1/2, ERd	1					
DIVXS	DIVXS.B Rs, Rd	2					12
	DIVXS.W Rs, ERd	2					20
DIVXU	DIVXU.B Rs, Rd	1					12
	DIVXU.W Rs, ERd	1					20
EEPMOV	EEPMOV.B	2			$2n+2^{*1}$		
	EEPMOV.W	2			$2n+2^{*1}$		
EXTS	EXTS.W Rd	1					
	EXTS.L ERd	1					
EXTU	EXTU.W Rd	1					
	EXTU.L ERd	1					
INC	INC.B Rd	1					
	INC.W #1/2, Rd	1					
	INC.L #1/2, ERd	1					
JMP	JMP @ERn	2					
	JMP @aa:24	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @ERn	2		1			
	JSR @aa:24	2		1			2
	JSR @@aa:8	2	1	1			

付録

命 令	ニーモニック	命令 フェッチ	分岐アドレス リード	スタック 操作	バイトデータ アクセス	ワードデータ アクセス	内部動作	
		I	J	K	L	M	N	
LDC	LDC #xx:8, CCR	1						
	LDC Rs, CCR	1						
	LDC@ERs, CCR	2				1		
	LDC@(d:16, ERs), CCR	3				1		
	LDC@(d:24,ERs), CCR	5				1		
	LDC@ERs+, CCR	2				1	2	
	LDC@aa:16, CCR	3				1		
	LDC@aa:24, CCR	4				1		
MOV	MOV.B #xx:8, Rd	1						
	MOV.B Rs, Rd	1						
	MOV.B @ERs, Rd	1			1			
	MOV.B @(d:16, ERs), Rd	2			1			
	MOV.B @(d:24, ERs), Rd	4			1			
	MOV.B @ERs+, Rd	1			1		2	
	MOV.B @aa:8, Rd	1			1			
	MOV.B @aa:16, Rd	2			1			
	MOV.B @aa:24, Rd	3			1			
	MOV.B Rs, @ERd	1			1			
	MOV.B Rs, @(d:16, ERd)	2			1			
	MOV.B Rs, @(d:24, ERd)	4			1			
	MOV.B Rs, @-ERd	1			1		2	
	MOV.B Rs, @aa:8	1			1			
	MOV.B Rs, @aa:16	2			1			
	MOV.B Rs, @aa:24	3			1			
	MOV.W #xx:16, Rd	2						
	MOV.W Rs, Rd	1						
	MOV.W @ERs, Rd	1					1	
	MOV.W @(d:16,ERs), Rd	2					1	
	MOV.W @(d:24,ERs), Rd	4					1	
	MOV.W @ERs+, Rd	1					1	2
	MOV.W @aa:16, Rd	2					1	
	MOV.W @aa:24, Rd	3					1	
	MOV.W Rs, @ERd	1					1	
	MOV.W Rs, @(d:16,ERd)	2					1	
	MOV.W Rs, @(d:24,ERd)	4					1	

命 令	ニーモニック	命令 フェッチ	分岐アドレス リード	スタック 操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
MOV	MOV.W Rs, @-ERd	1				1	2
	MOV.W Rs, @aa:16	2				1	
	MOV.W Rs, @aa:24	3				1	
	MOV.L #xx:32, ERd	3					
	MOV.L ERs, ERd	1					
	MOV.L @ERs, ERd	2				2	
	MOV.L @(d:16,ERs), ERd	3				2	
	MOV.L @(d:24,ERs), ERd	5				2	
	MOV.L @ERs+, ERd	2				2	2
	MOV.L @aa:16, ERd	3				2	
	MOV.L @aa:24, ERd	4				2	
	MOV.L ERs,@ERd	2				2	
	MOV.L ERs, @(d:16,ERd)	3				2	
	MOV.L ERs, @(d:24,ERd)	5				2	
	MOV.L ERs, @-ERd	2				2	2
	MOV.L ERs, @aa:16	3				2	
	MOV.L ERs, @aa:24	4				2	
MOVFPPE	MOVFPPE @aa:16, Rd* ²	2			1		
MOVTPE	MOVTPE Rs,@aa:16* ²	2			1		
MULXS	MULXS.B Rs, Rd	2					12
	MULXS.W Rs, ERd	2					20
MULXU	MULXU.B Rs, Rd	1					12
	MULXU.W Rs, ERd	1					20
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					
OR	OR.B #xx:8, Rd	1					
	OR.B Rs, Rd	1					
	OR.W #xx:16, Rd	2					
	OR.W Rs, Rd	1					
	OR.L #xx:32, ERd	3					
	OR.L ERs, ERd	2					

付録

命 令	ニーモニック	命令 フェッチ	分岐アドレス リード	スタック 操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
ORC	ORC #xx:8, CCR	1					
POP	POP.W Rn	1				1	2
	POP.L ERn	2				2	2
PUSH	PUSH.W Rn	1				1	2
	PUSH.L ERn	2				2	2
ROTL	ROTL.B Rd	1					
	ROTL.W Rd	1					
	ROTL.L ERd	1					
ROTR	ROTR.B Rd	1					
	ROTR.W Rd	1					
	ROTR.L ERd	1					
ROTXL	ROTXL.B Rd	1					
	ROTXL.W Rd	1					
	ROTXL.L ERd	1					
ROTXR	ROTXR.B Rd	1					
	ROTXR.W Rd	1					
	ROTXR.L ERd	1					
RTE	RTE	2		2		2	
RTS	RTS	2		1		2	
SHAL	SHAL.B Rd	1					
	SHAL.W Rd	1					
	SHAL.L ERd	1					
SHAR	SHAR.B Rd	1					
	SHAR.W Rd	1					
	SHAR.L ERd	1					
SHLL	SHLL.B Rd	1					
	SHLL.W Rd	1					
	SHLL.L ERd	1					
SHLR	SHLR.B Rd	1					
	SHLR.W Rd	1					
	SHLR.L ERd	1					
SLEEP	SLEEP	1					

命 令	ニーモニック	命令 フェッチ	分岐アドレス リード	スタック 操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
STC	STC CCR, Rd	1					
	STC CCR, @ERd	2				1	
	STC CCR, @(d:16,ERd)	3				1	
	STC CCR, @(d:24,ERd)	5				1	
	STC CCR, @-ERd	2				1	2
	STC CCR, @aa:16	3				1	
	STC CCR, @aa:24	4				1	
SUB	SUB.B Rs, Rd	1					
	SUB.W #xx:16, Rd	2					
	SUB.W Rs, Rd	1					
	SUB.L #xx:32, ERd	3					
	SUB.L ERs, ERd	1					
SUBS	SUBS #1/2/4, ERd	1					
SUBX	SUBX #xx:8, Rd	1					
	SUBX Rs, Rd	1					
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
	XOR.W #xx:16, Rd	2					
	XOR.W Rs, Rd	1					
	XOR.L #xx:32, ERd	3					
	XOR.L ERs, ERd	2					
XORC	XORC #xx:8, CCR	1					

【注】 *1 n は R4L、R4 の設定値です。ソース側、デスティネーション側のアクセスが、それぞれ (n+1) 回行われます。

*2 本 LSI では使用できません。

B. I/O ポートブロック図

B.1 ポート 3 ブロック図

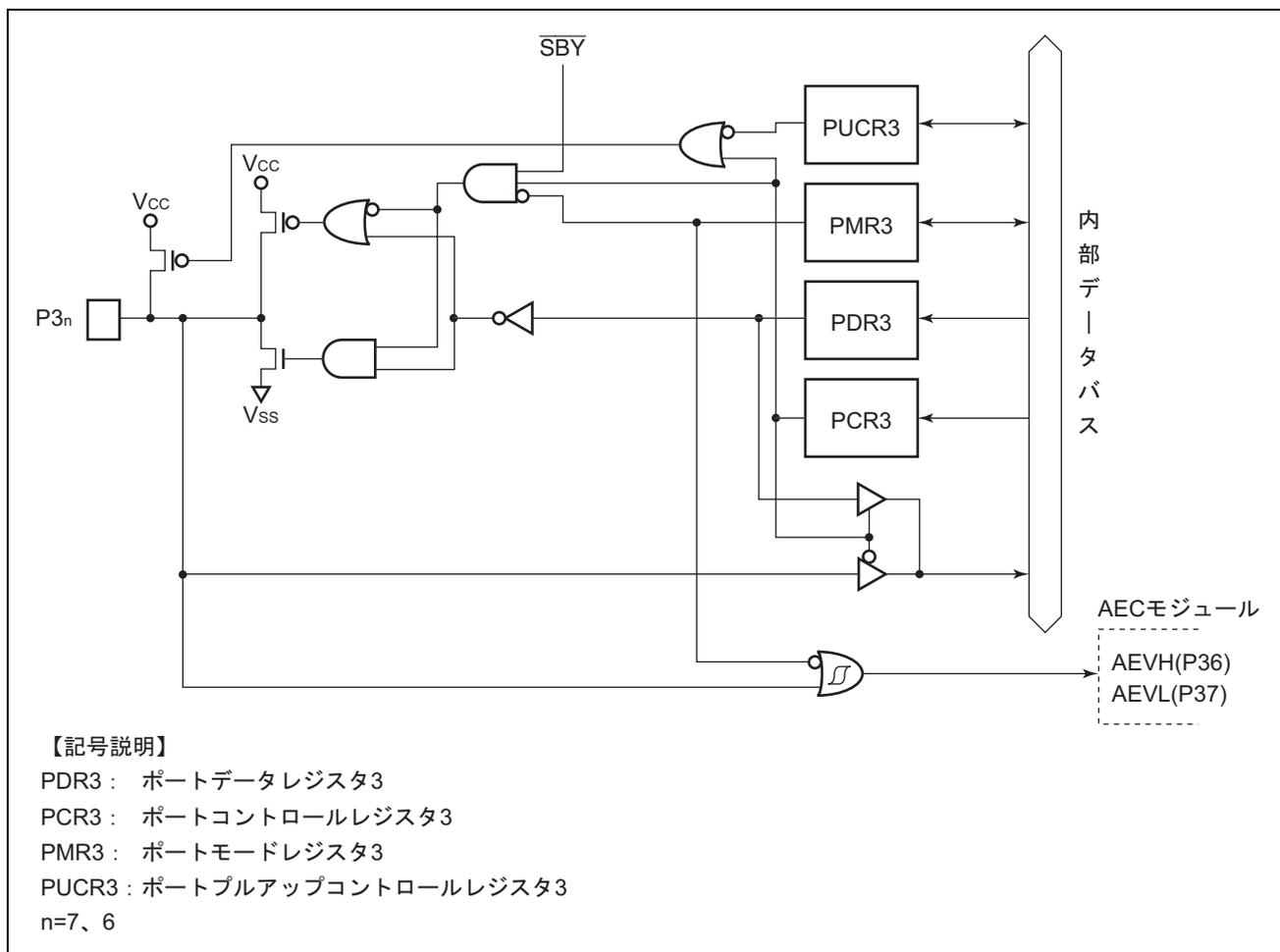


図 B.1 (a) ポート 3 ブロック図 (P37、P36 端子)

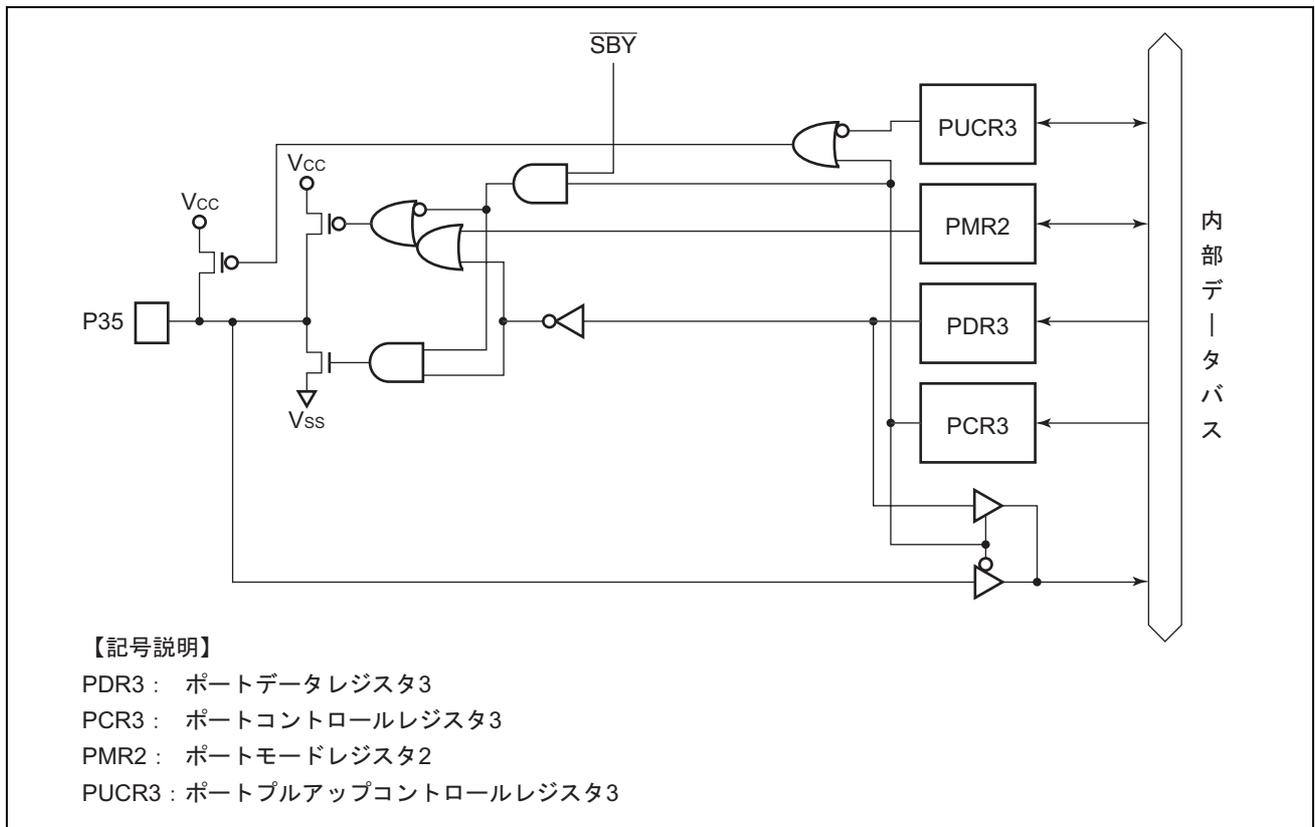


図 B.1 (b) ポート 3 ブロック図 (P35 端子)

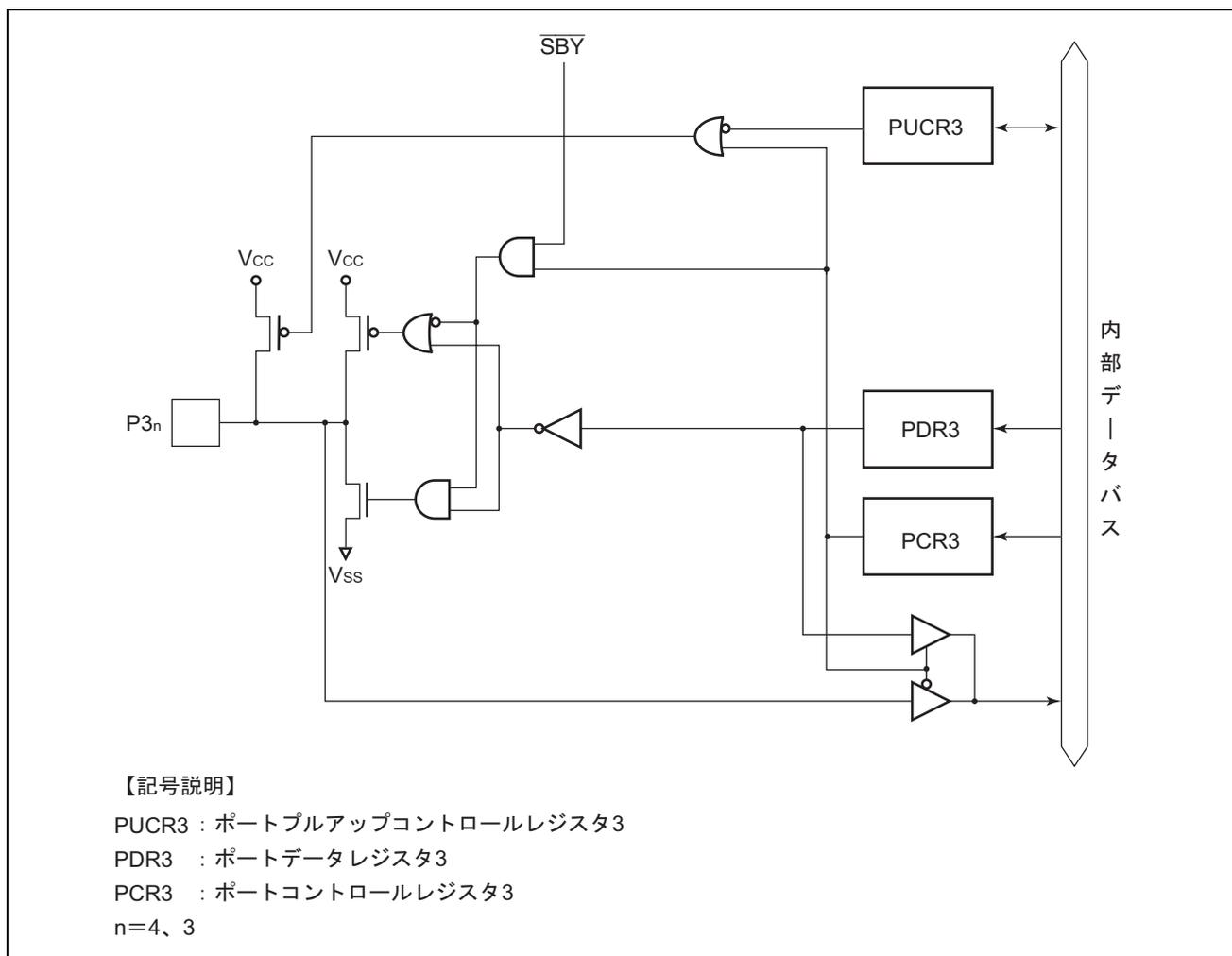


図 B.1 (c) ポート 3 ブロック図 (P34、P33 端子)

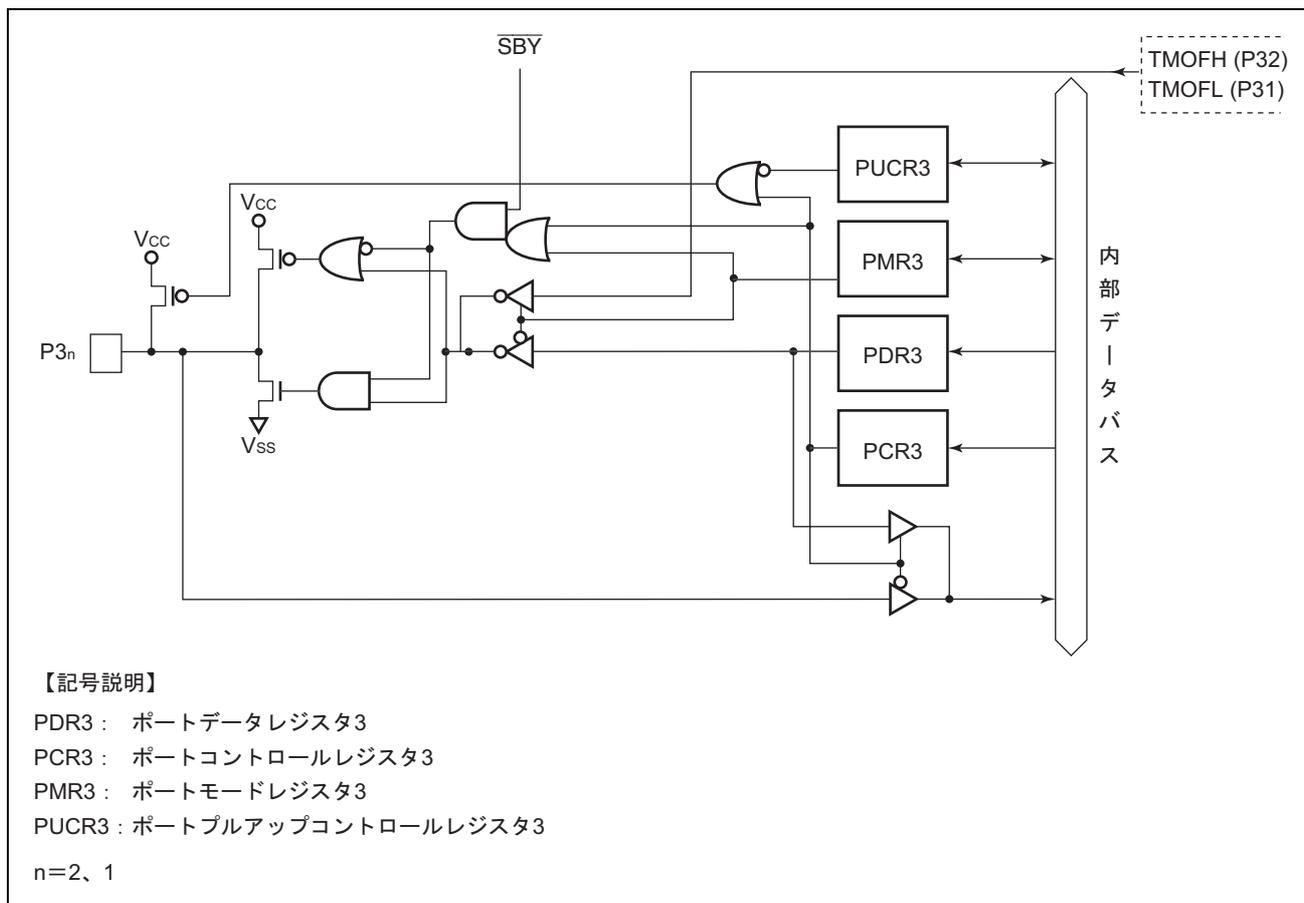


図 B.1 (d) ポート 3 ブロック図 (P32、P31 端子)

B.2 ポート4ブロック図

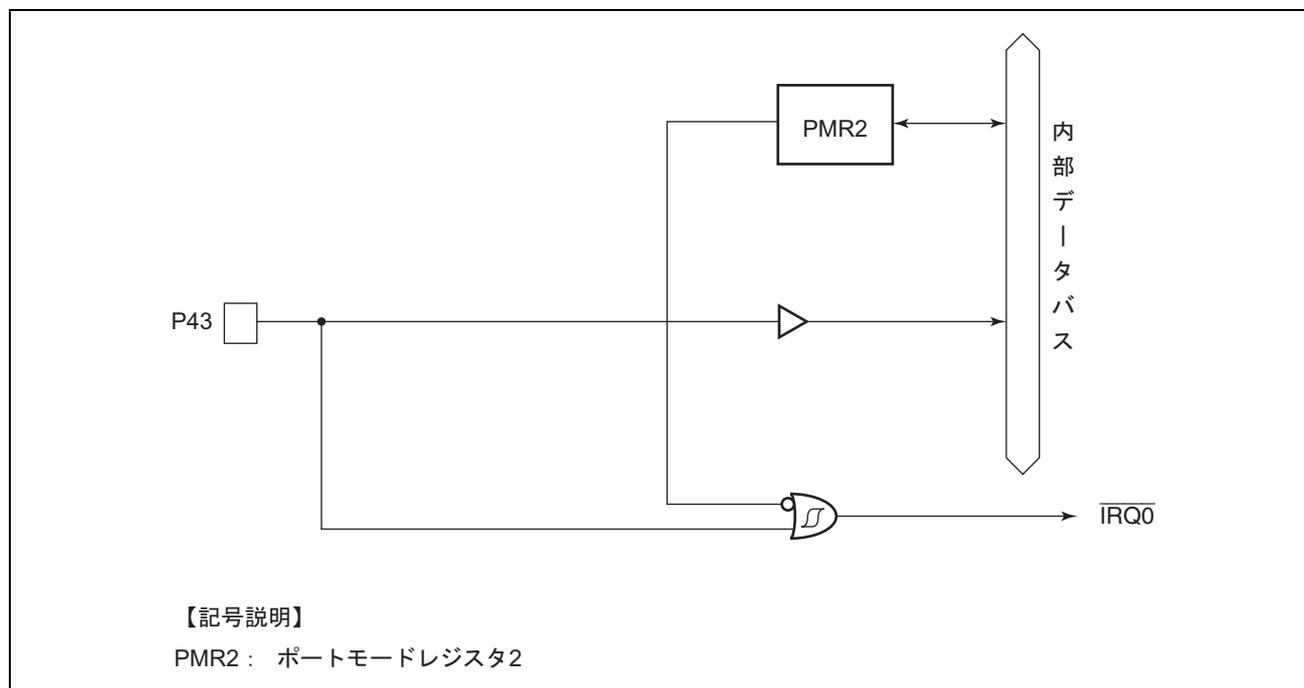


図 B.2 (a) ポート4ブロック図 (P43 端子)

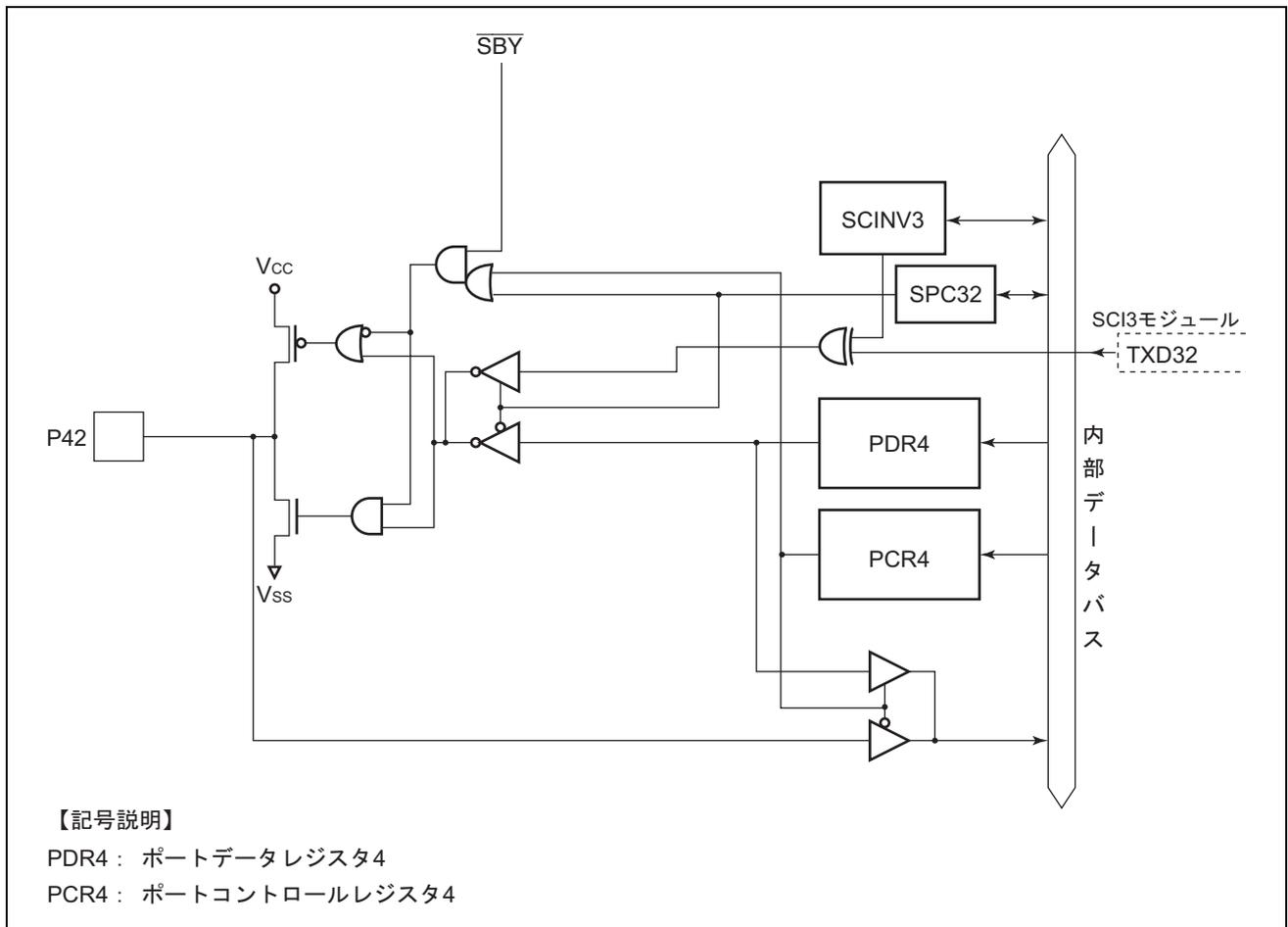


図 B.2 (b) ポート 4 ブロック図 (P42 端子)

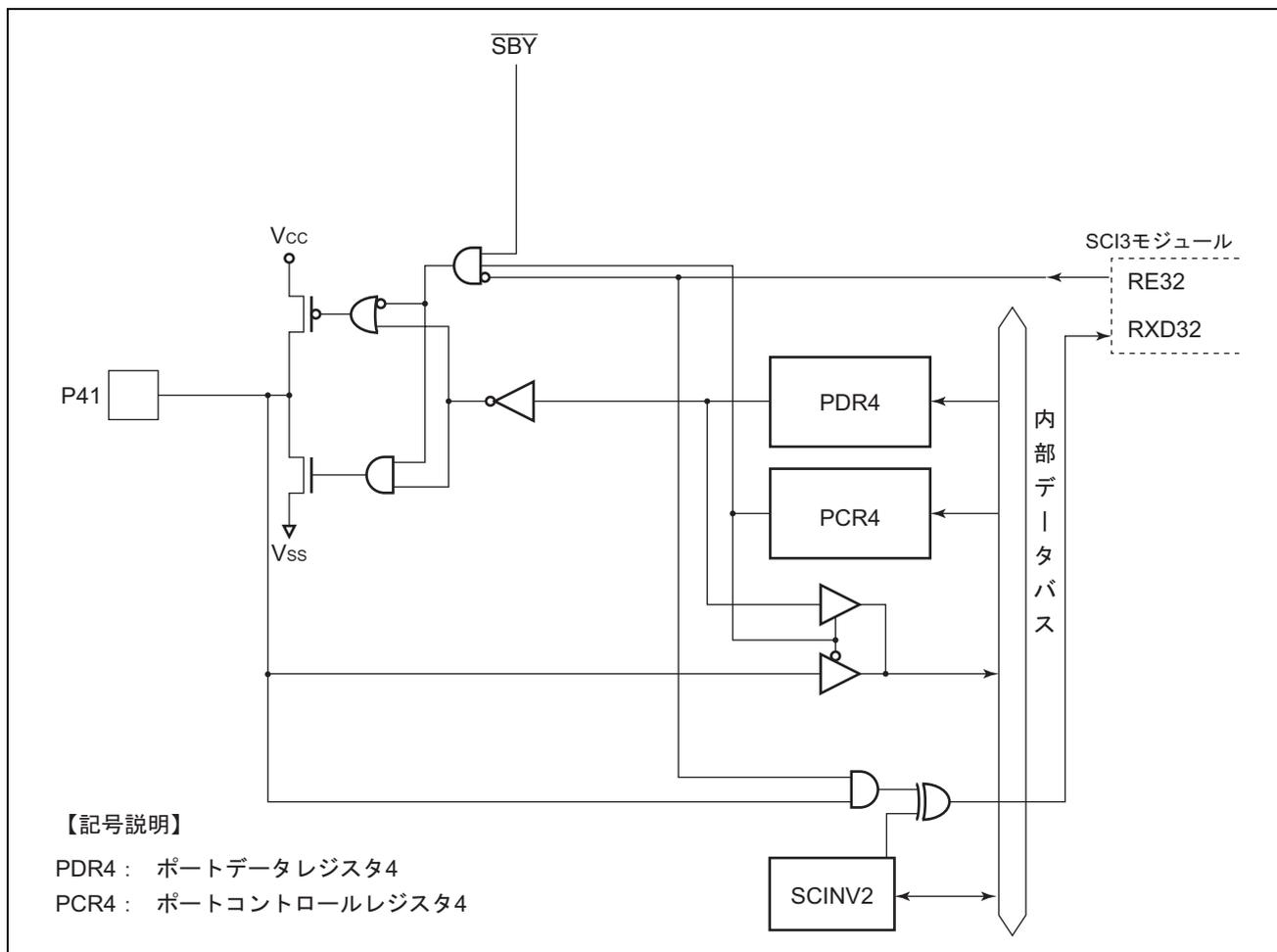


図 B.2 (c) ポート 4 ブロック図 (P41 端子)

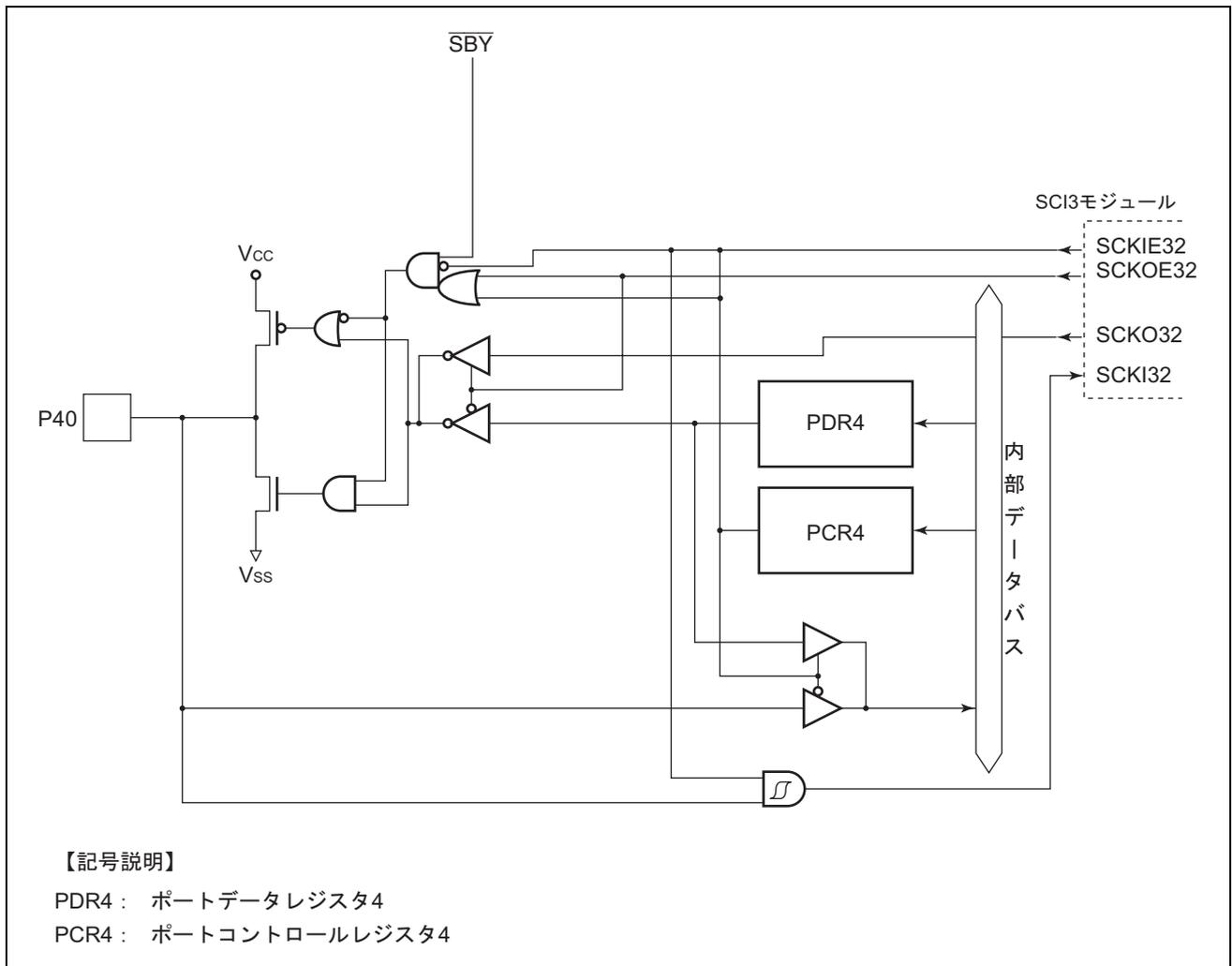


図 B.2 (d) ポート 4 ブロック図 (P40 端子)

B.3 ポート 5 ブロック図

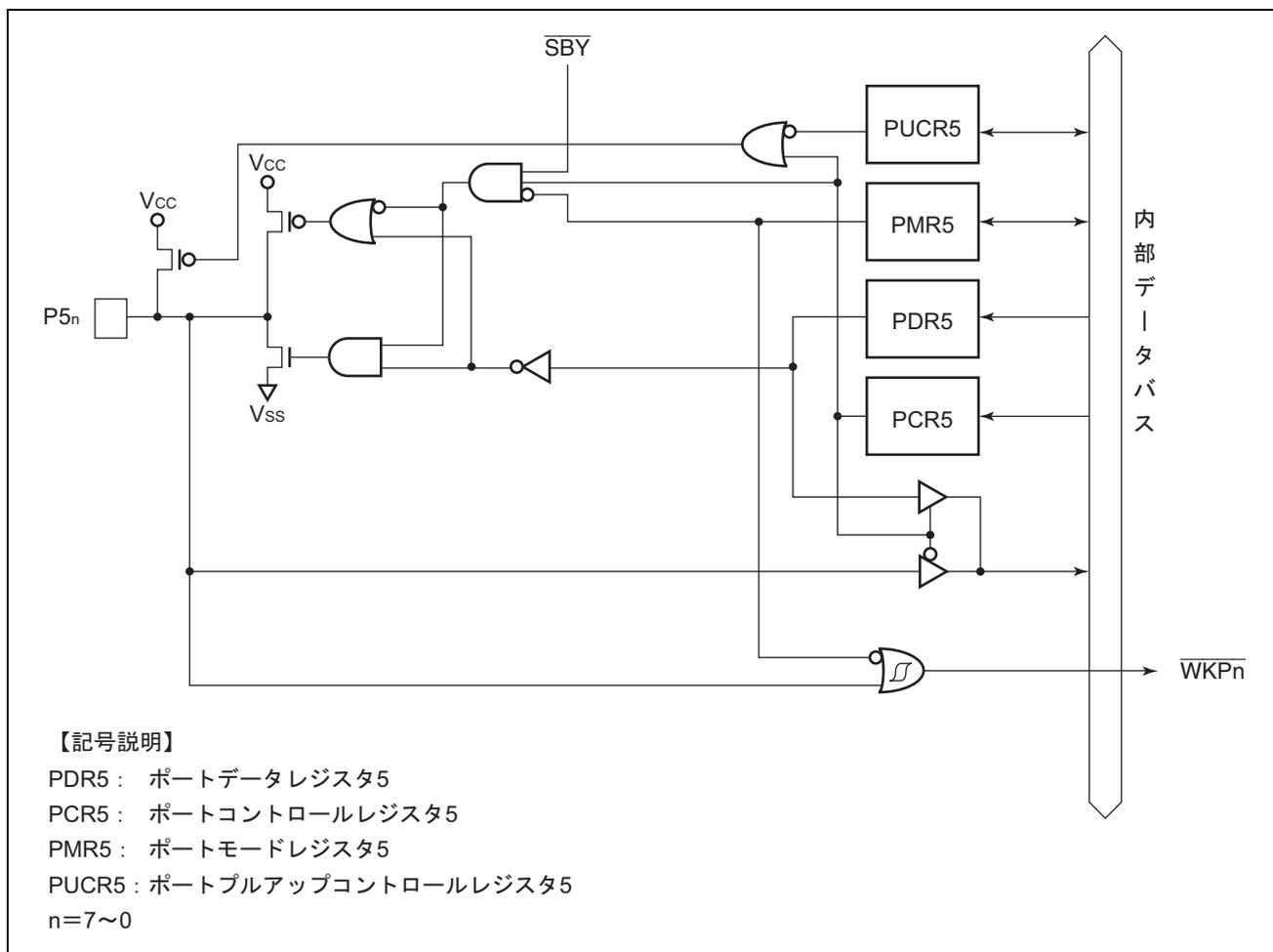


図 B.3 ポート 5 ブロック図

B.4 ポート 6 ブロック図

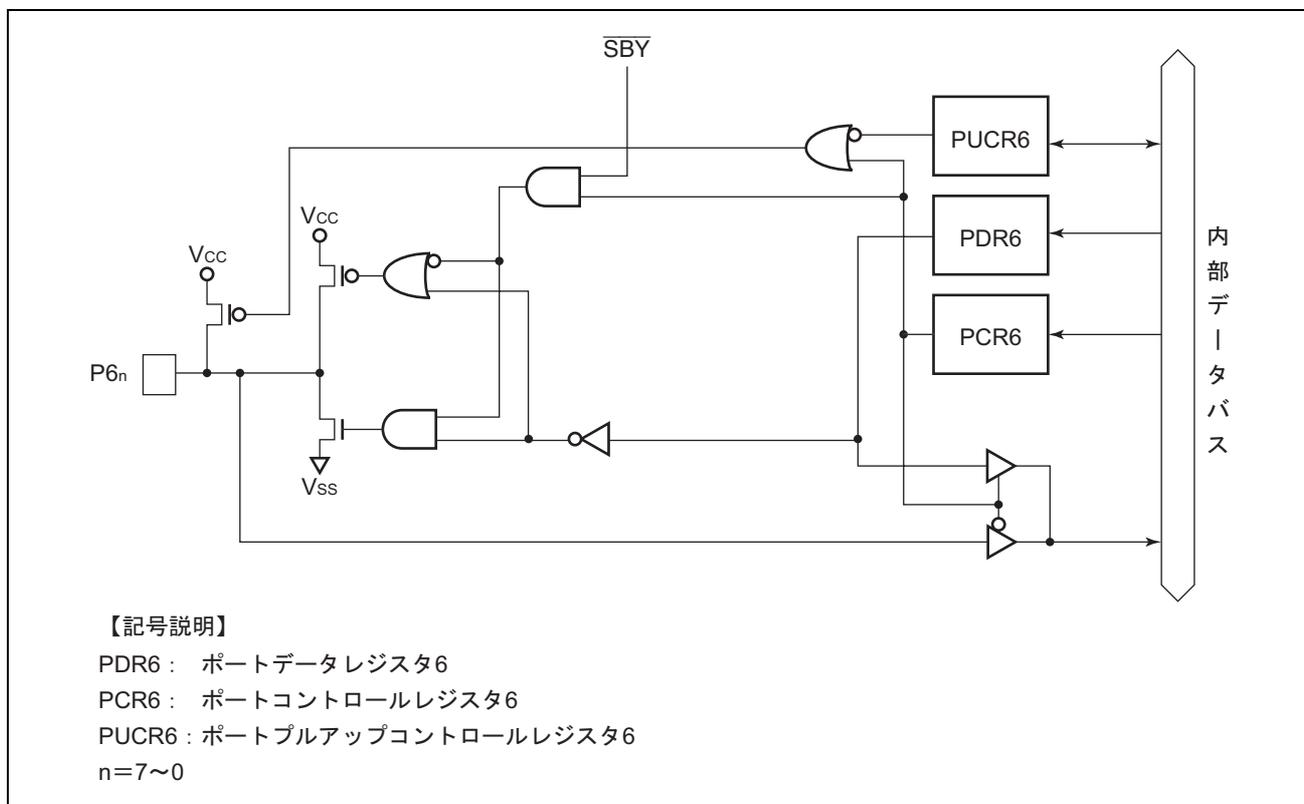


図 B.4 ポート 6 ブロック図

B.5 ポート7ブロック図

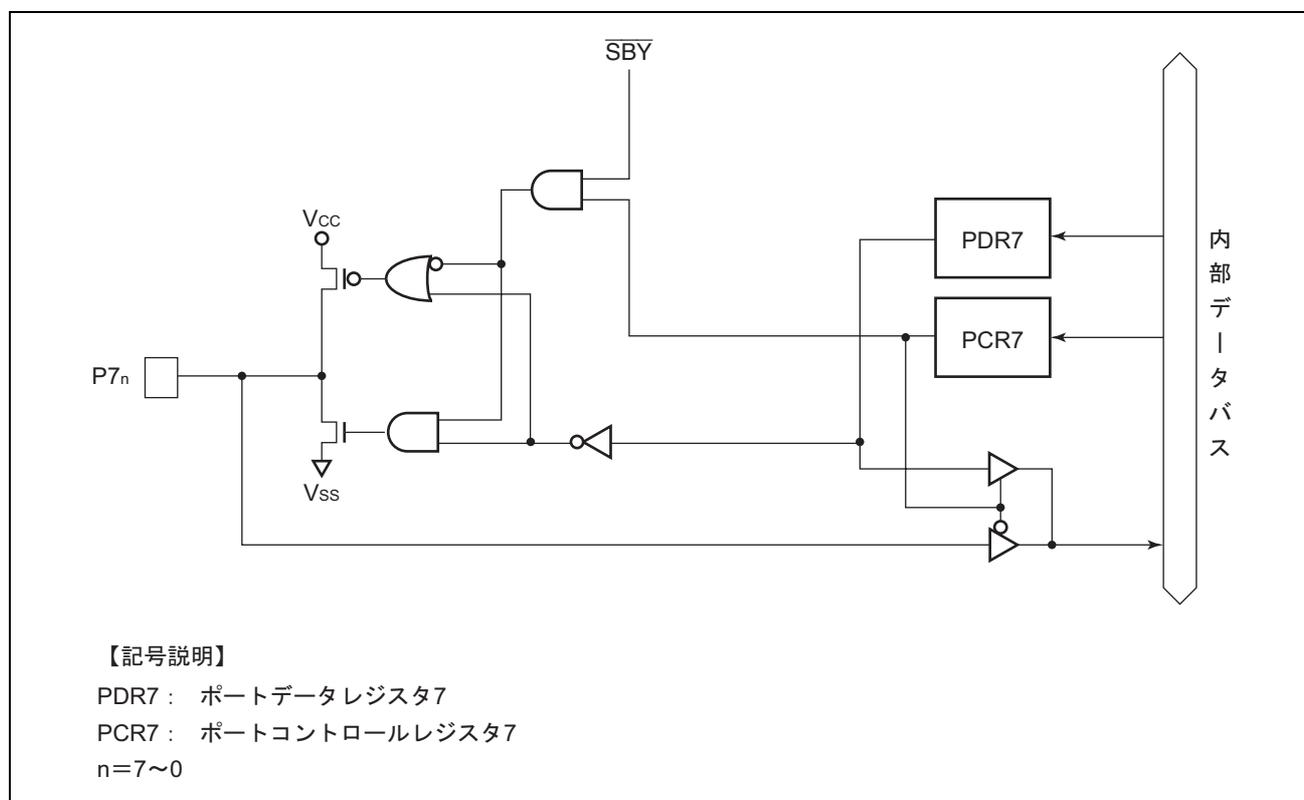


図 B.5 ポート7ブロック図

B.6 ポート 8 ブロック図

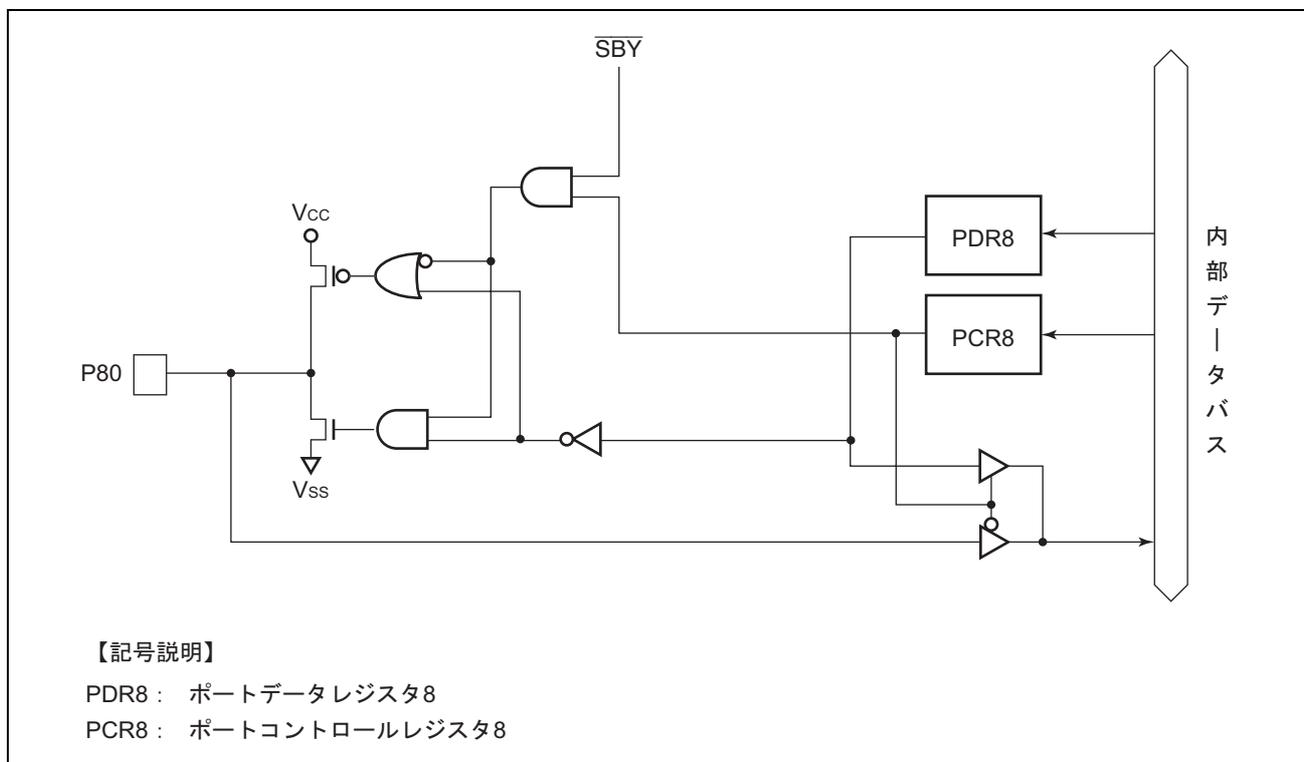


図 B.6 ポート 8 ブロック図 (P80 端子)

B.7 ポート 9 ブロック図

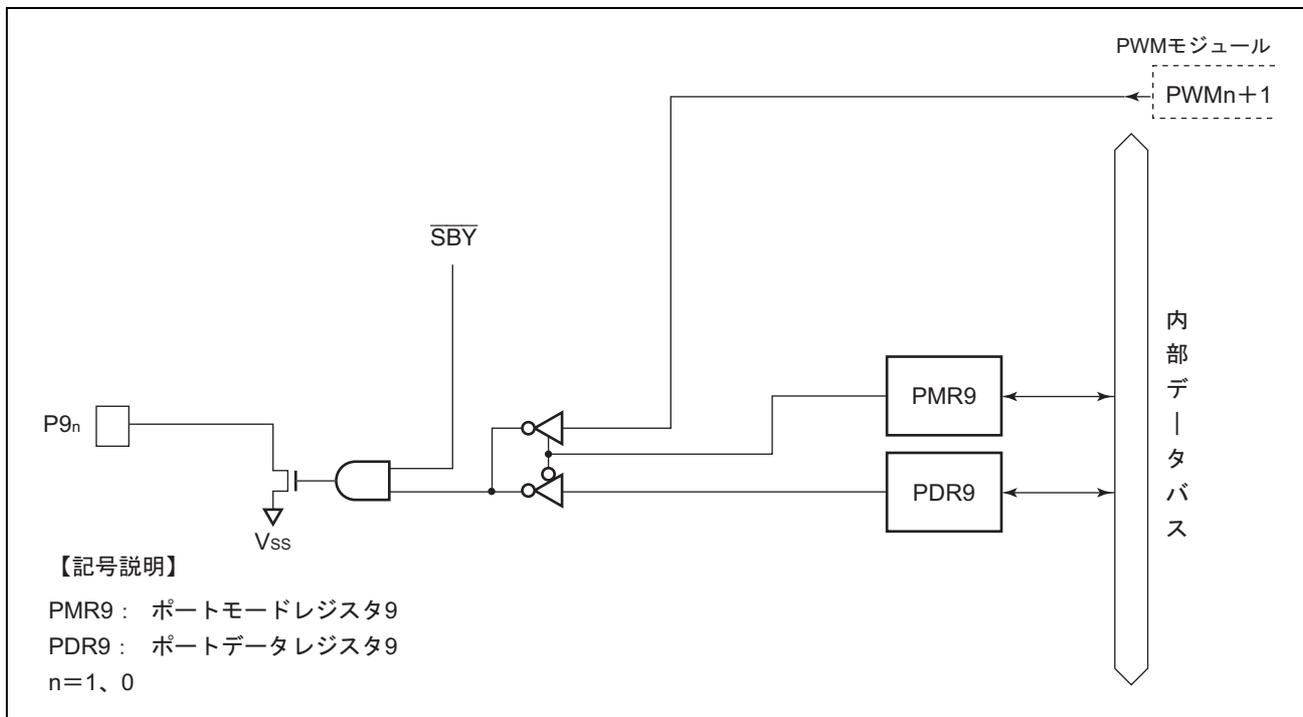


図 B.7 (a) ポート 9 ブロック図 (P91、P90 端子)

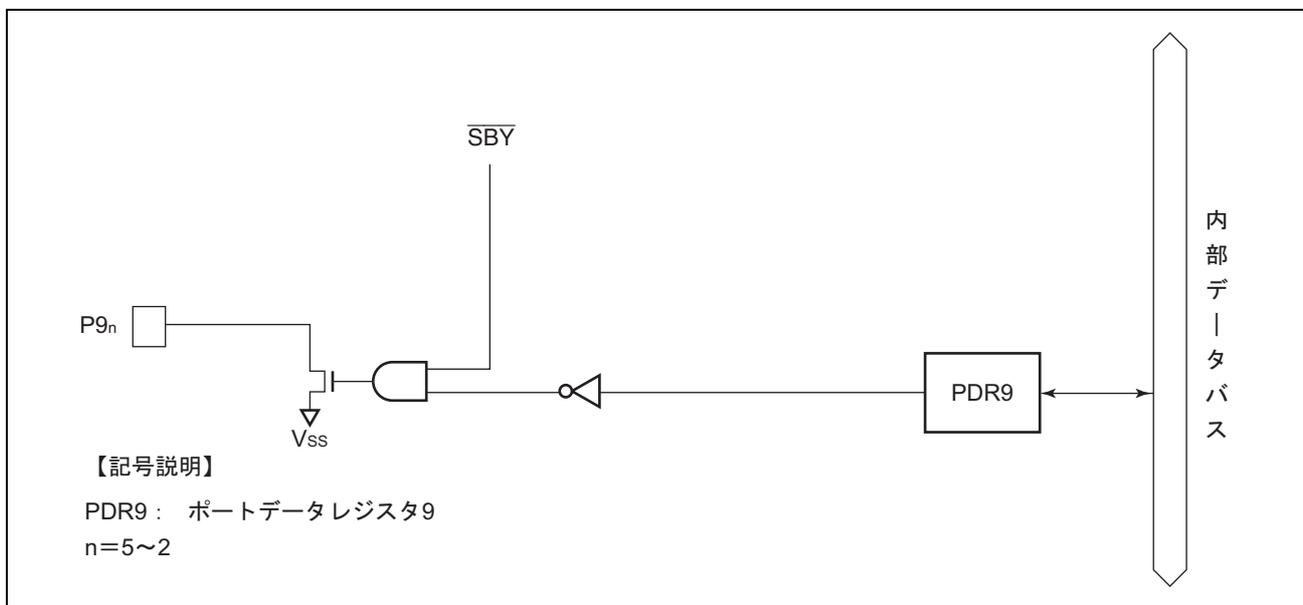


図 B.7 (b) ポート 9 ブロック図 (P95~P92 端子)

B.8 ポート A ブロック図

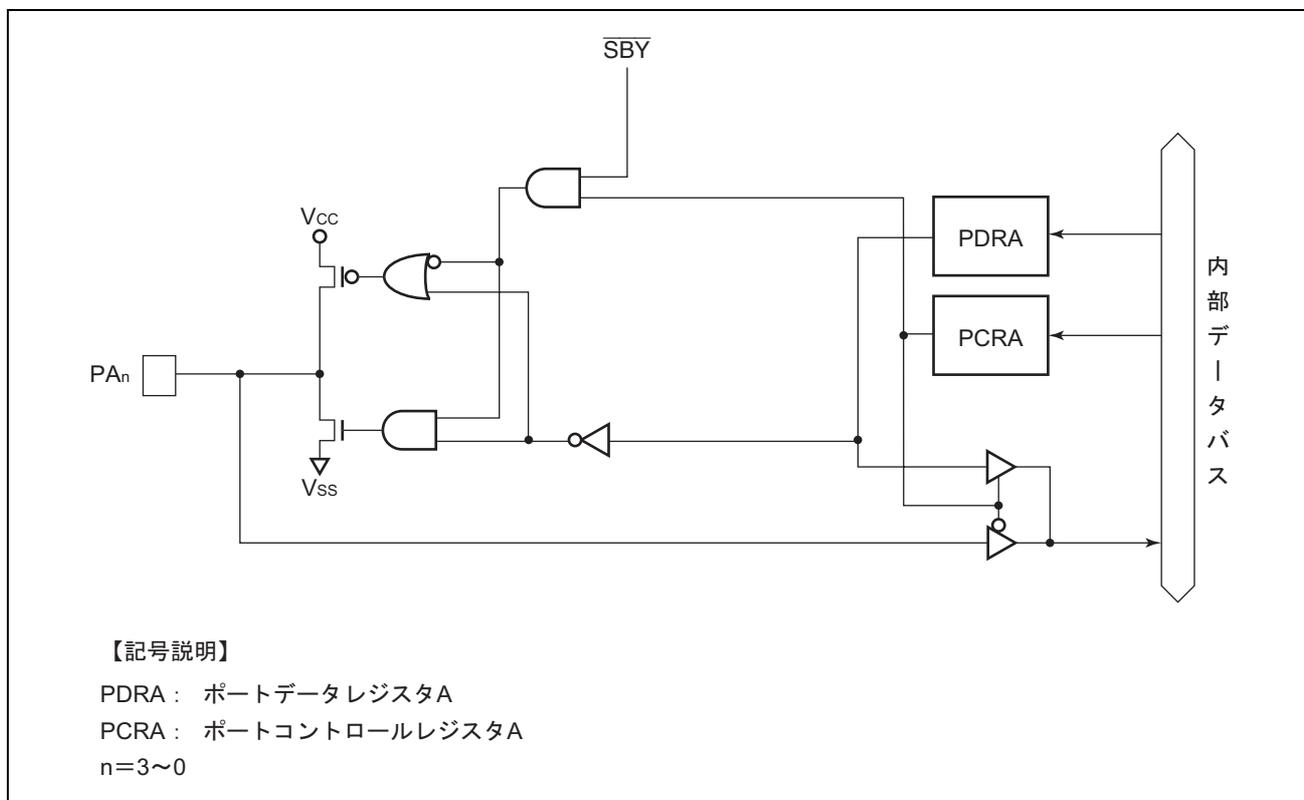


図 B.8 ポート A ブロック図

B.9 ポート B ブロック図

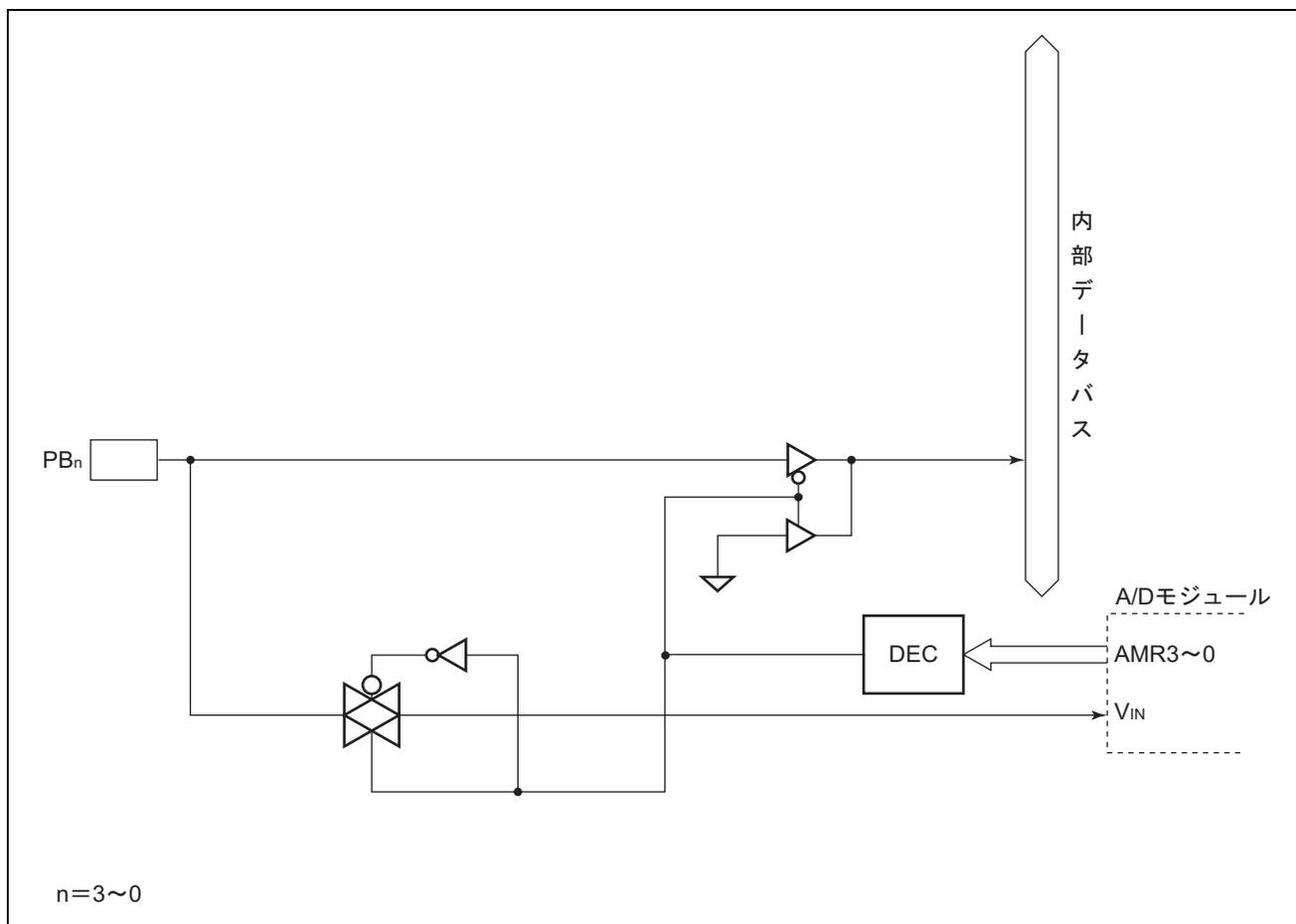


図 B.9 ポート B ブロック図

C. 各処理状態におけるポートの状態

表 C.1 各ポートの状態一覧

ポート名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P37~P31	ハイインピーダンス	保持	保持	ハイインピーダンス*	保持	動作	動作
P43~P40	ハイインピーダンス	保持	保持	ハイインピーダンス	保持	動作	動作
P57~P50	ハイインピーダンス	保持	保持	ハイインピーダンス*	保持	動作	動作
P67~P60	ハイインピーダンス	保持	保持	ハイインピーダンス*	保持	動作	動作
P77~P70	ハイインピーダンス	保持	保持	ハイインピーダンス	保持	動作	動作
P80	ハイインピーダンス	保持	保持	ハイインピーダンス	保持	動作	動作
P95~P90	ハイインピーダンス	保持	保持	ハイインピーダンス	保持	動作	動作
PA3~PA0	ハイインピーダンス	保持	保持	ハイインピーダンス	保持	動作	動作
PB3~PB0	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス

【注】 * プルアップ MOS が ON 状態では High レベル出力となります。

D. 製品型名一覧

表 D.1 H8/38704 グループ型名一覧

製品分類			製品型名	マーク型名	パッケージ (パッケージコード)
H8/38704	フラッシュメモリ版	通常仕様品 (2.7V)	HD64F38704H10	64F38704H10	64 ピン QFP (FP-64A)
			HD64F38704FP10	F38704FP10	64 ピン LQFP (FP-64E)
			HD64F38704FT10	F38704FT10	64 ピン QFN (TNP-64B)
		通常仕様品 (2.2V)	HD64F38704H4	64F38704H4	64 ピン QFP (FP-64A)
			HD64F38704FP4	F38704FP4	64 ピン LQFP (FP-64E)
			HD64F38704FT4	F38704FT4	64 ピン QFN (TNP-64B)
		広温度範囲 仕様品 (2.7V)	HD64F38704H10W	64F38704H10	64 ピン QFP (FP-64A)
			HD64F38704FP10W	F38704FP10	64 ピン LQFP (FP-64E)
			HD64F38704FT10W	F38704FT10	64 ピン QFN (TNP-64B)
	マスク ROM 版	通常仕様品	HD64338704H	HD64338704H	64 ピン QFP (FP-64A)
			HD64338704FP	38704 (***) FP	64 ピン LQFP (FP-64E)
			HD64338704FT	38704 (***) FT	64 ピン QFN (TNP-64B)
		広温度範囲 仕様品	HD64338704HW	HD64338704H	64 ピン QFP (FP-64A)
			HD64338704FPW	38704 (***) FP	64 ピン LQFP (FP-64E)
			HD64338704FTW	38704 (***) FT	64 ピン QFN (TNP-64B)
H8/38703	マスク ROM 版	通常仕様品	HD64338703H	HD64338703H	64 ピン QFP (FP-64A)
			HD64338703FP	38703 (***) FP	64 ピン LQFP (FP-64E)
			HD64338703FT	38703 (***) FT	64 ピン QFN (TNP-64B)
		広温度範囲 仕様品	HD64338703HW	HD64338703H	64 ピン QFP (FP-64A)
			HD64338703FPW	38703 (***) FP	64 ピン LQFP (FP-64E)
			HD64338703FTW	38703 (***) FT	64 ピン QFN (TNP-64B)
H8/38702	フラッシュメモリ版	通常仕様品 (2.7V)	HD64F38702H10	64F38702H10	64 ピン QFP (FP-64A)
			HD64F38702FP10	F38702FP10	64 ピン LQFP (FP-64E)
			HD64F38702FT10	F38702FT10	64 ピン QFN (TNP-64B)
		通常仕様品 (2.2V)	HD64F38702H4	64F38702H4	64 ピン QFP (FP-64A)
			HD64F38702FP4	F38702FP4	64 ピン LQFP (FP-64E)
			HD64F38702FT4	F38702FT4	64 ピン QFN (TNP-64B)
		広温度範囲 仕様品 (2.7V)	HD64F38702H10W	64F38702H10	64 ピン QFP (FP-64A)
			HD64F38702FP10W	F38702FP10	64 ピン LQFP (FP-64E)
			HD64F38702FT10W	F38702FT10	64 ピン QFN (TNP-64B)

製品分類			製品型名	マーク型名	パッケージ (パッケージコード)
H8/38702	マスク ROM 版	通常仕様品	HD64338702H	HD64338702H	64 ピン QFP (FP-64A)
			HD64338702FP	38702 (***) FP	64 ピン LQFP (FP-64E)
			HD64338702FT	38702 (***) FT	64 ピン QFN (TNP-64B)
		広温度範囲 仕様品	HD64338702HW	HD64338702H	64 ピン QFP (FP-64A)
			HD64338702FPW	38702 (***) FP	64 ピン LQFP (FP-64E)
			HD64338702FTW	38702 (***) FT	64 ピン QFN (TNP-64B)

【注】 マスク ROM 版の (***) は ROM コードです。

表 D.2 H8/38702S グループ型名一覧

製品分類			製品型名	マーク型名	パッケージ (パッケージコード)
H8/38702S	マスク ROM 版	通常仕様品	HD64338702SH	38702 (***) H	64 ピン QFP (FP-64A)
			HD64338702SFZ	38702 (***)	64 ピン LQFP (FP-64K)
			HD64338702SFT	38702S (***) FT	64 ピン QFN (TNP-64B)
		広温度範囲 仕様品	HD64338702SHW	38702 (***) H	64 ピン QFP (FP-64A)
			HD64338702SFZW	38702 (***)	64 ピン LQFP (FP-64K)
			HD64338702SFTW	38702S (***) FT	64 ピン QFN (TNP-64B)
H8/38701S	マスク ROM 版	通常仕様品	HD64338701SH	38701 (***) H	64 ピン QFP (FP-64A)
			HD64338701SFZ	38701 (***)	64 ピン LQFP (FP-64K)
			HD64338701SFT	38701S (***) FT	64 ピン QFN (TNP-64B)
		広温度範囲 仕様品	HD64338701SHW	38701 (***) H	64 ピン QFP (FP-64A)
			HD64338701SFZW	38701 (***)	64 ピン LQFP (FP-64K)
			HD64338701SFTW	38701S (***) FT	64 ピン QFN (TNP-64B)
H8/38700S	マスク ROM 版	通常仕様品	HD64338700SH	38700 (***) H	64 ピン QFP (FP-64A)
			HD64338700SFZ	38700 (***)	64 ピン LQFP (FP-64K)
			HD64338700SFT	38700S (***) FT	64 ピン QFN (TNP-64B)
		広温度範囲 仕様品	HD64338700SHW	38700 (***) H	64 ピン QFP (FP-64A)
			HD64338700SFZW	38700 (***)	64 ピン LQFP (FP-64K)
			HD64338700SFTW	38700S (***) FT	64 ピン QFN (TNP-64B)

E. 外形寸法図

外形寸法図 FP-64A を図 E.1、FP-64E を図 E.2、FP-64K を図 E.3、TNP-64B を図 E.4 に示します。

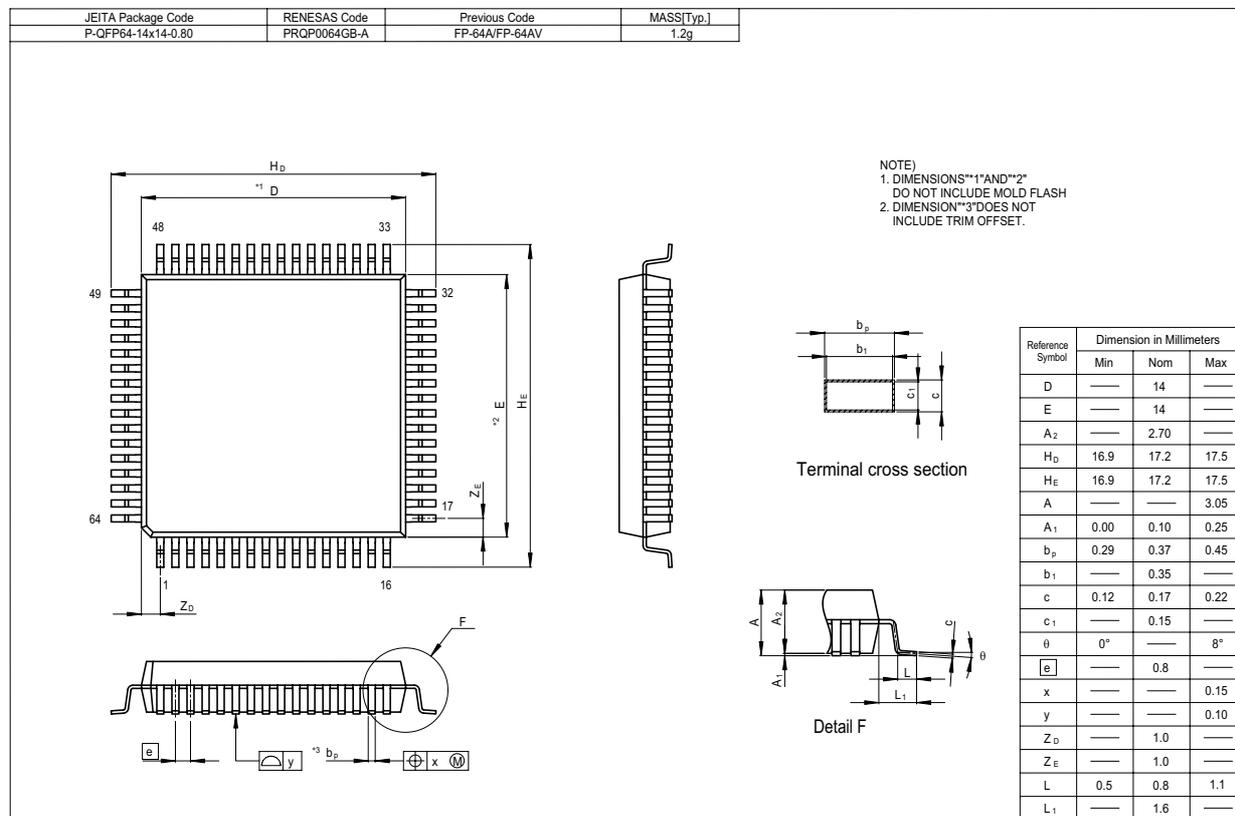


図 E.1 外形寸法図 (FP-64A)

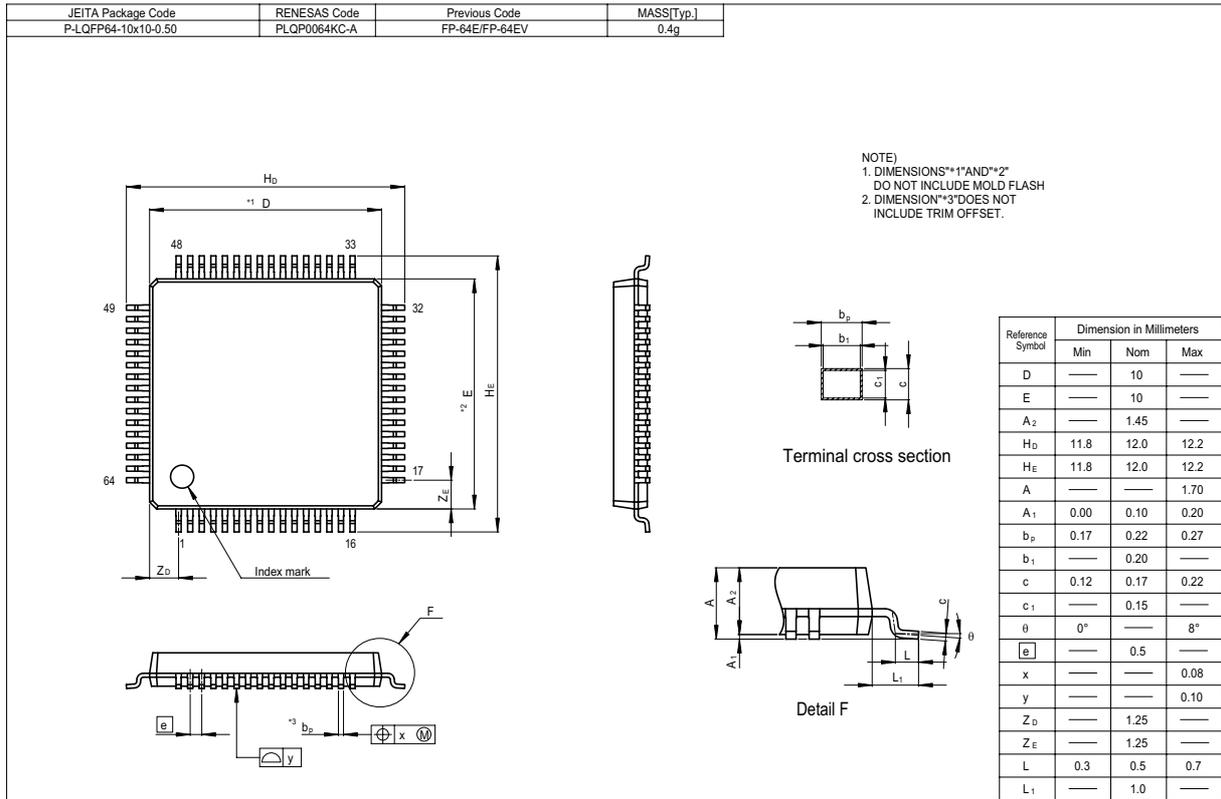


図 E.2 外形寸法図 (FP-64E)

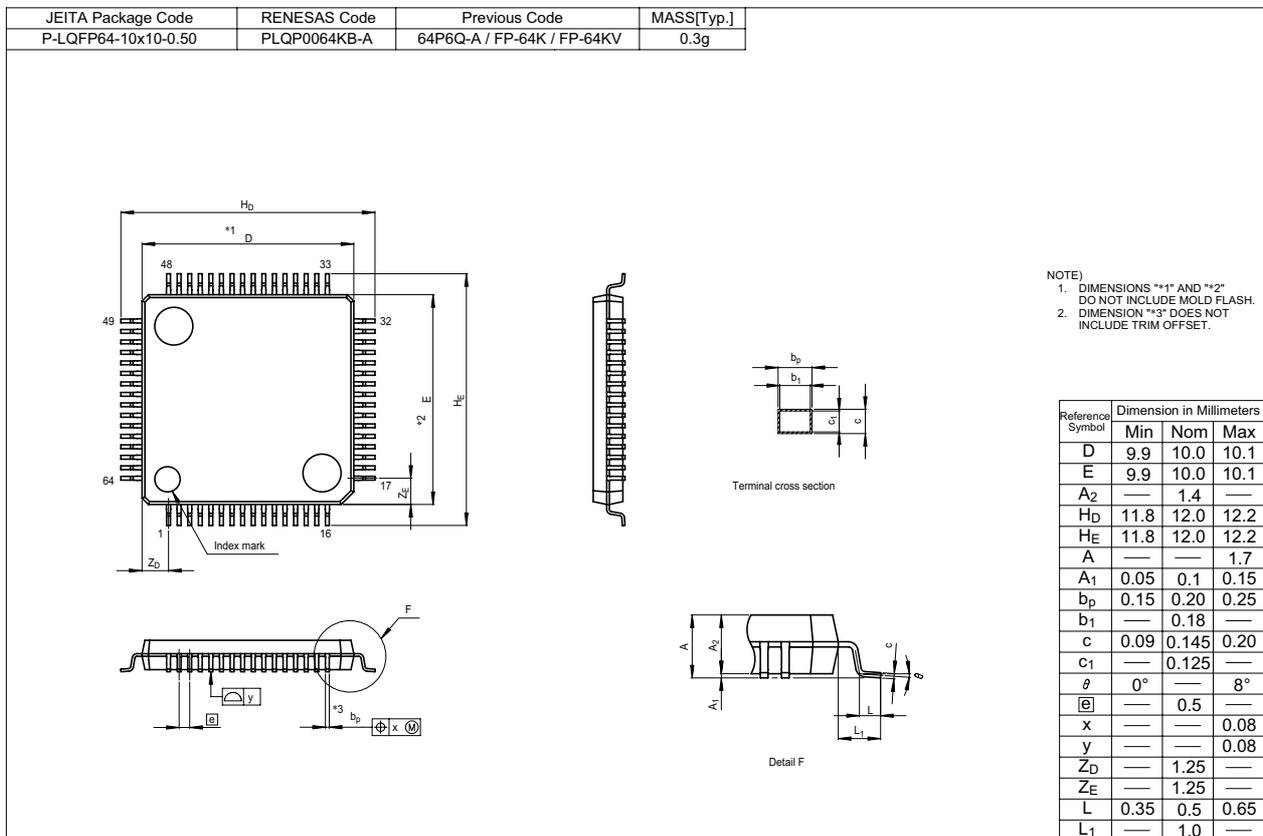


図 E.3 外形寸法図 (FP-64K)

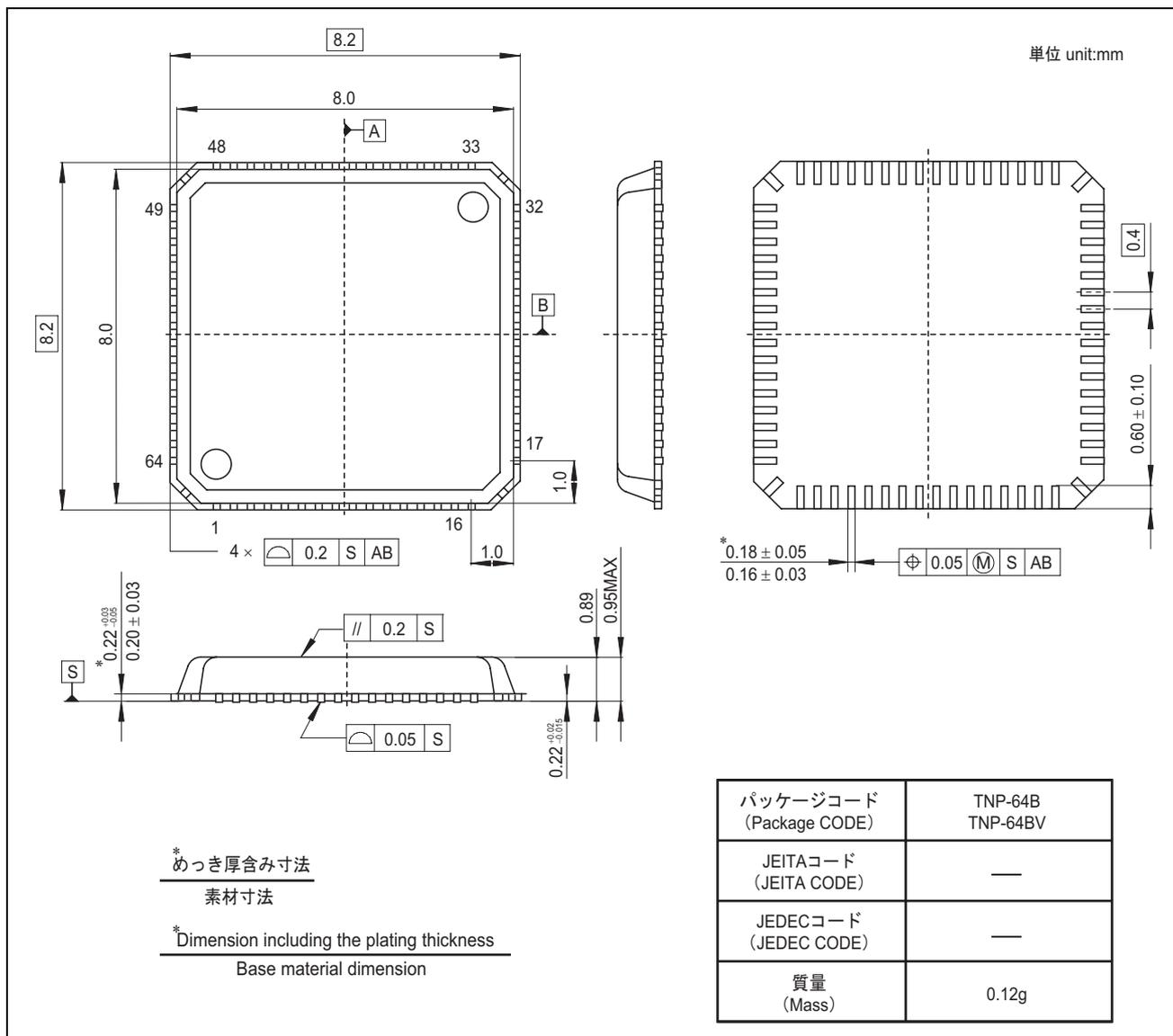


図 E.4 外形寸法図 (TNP-64B)

索引

【数字／記号】

10 ビット PWM	11-1
16 ビットタイマモード	9-14
8 ビットタイマモード	9-14

【A～Z】

A/D 変換器	12-1
CPU	2-1
EA 拡張部	2-23
IRQAEC 割り込み要求	3-10
IRQ 割り込み要求	3-10
WKP 割り込み要求	3-10

【あ】

アドレッシングモード	2-24
イミディエイト	2-26
イレース／イレースベリファイ	6-16
ウォッチドッグタイマ	9-34
エラープロテクト	6-18
オーバランエラー	10-22
オペレーションフィールド	2-23
オンボードプログラミング	6-9

【か】

書き込みの単位	6-4
クロック同期式モード	10-25
クロック発振器	4-1
コンディションコードレジスタ (CCR)	2-11
コンディションフィールド	2-23

【さ】

サブアクティブモード	5-12
サブクロック発振器	4-4
サブスリープモード	5-11
算術演算命令	2-16
システムクロック発振器	4-2
システム制御命令	2-22
実効アドレス	2-27
自動書き込み	6-24
自動消去	6-26
シフト命令	2-18
消去ブロック	6-4
シリアルコミュニケーションインタフェース 3 (SCI3)	10-1
スタックの状態	3-12

スタックポインタ (SP)	2-10
スタンバイモード	5-10
ステータスポーリング	6-28
ステータス読み出し	6-27
スリープモード	5-10
絶対アドレス	2-25
ソケットアダプタ	6-19
ソフトウェアプロテクト	6-18

【た】

タイマ A	9-2
端子機能	1-7
調歩同期式モード	10-16
低消費電力動作	6-30
低消費電力モード	5-1
ディスプレイメント付きレジスタ間接	2-25
データ転送命令	2-16

【な】

内部割り込み要求	3-12
----------	------

【は】

ハードウェアプロテクト	6-18
パリティエラー	10-22
汎用レジスタ	2-9
ビット操作命令	2-19
ビットレート	10-10
ブートプログラム	6-9
ブートモード	6-10
フラッシュメモリ	6-2
プリスケラ S	4-7
プリスケラ W	4-7
プリデクリメントレジスタ間接	2-25
ブレーク	10-34
フレーミングエラー	10-22
プログラム／プログラムベリファイ	6-13
プログラムカウンタ (PC)	2-10
プログラムカウンタ相対	2-26
ブロック図	1-5
ブロック転送命令	2-22
分岐命令	2-21
ベクタアドレス	3-3
ポストインクリメントレジスタ間接	2-25

【ま】	
マーク状態	10-34
命令セット	2-15
メモリ間接	2-26
メモリマップ	2-2
メモリ読み出し	6-21
モジュールスタンバイ機能	5-16

【ら】	
ライタモード	6-19
リセット例外処理	3-10
例外処理	3-1
レジスタ	

ADRR	12-3, 13-3, 13-6, 13-9
ADSR	12-4, 13-3, 13-6, 13-9
AECSR	9-24, 13-2, 13-5, 13-8
AMR	12-3, 13-3, 13-6, 13-9
BRR	10-10, 13-2, 13-5, 13-8
CKSTPR1	5-5, 13-4, 13-7, 13-10
CKSTPR2	5-5, 13-4, 13-7, 13-10
EBR	6-7, 13-2, 13-5, 13-8
ECCR	9-25, 13-2, 13-5, 13-8
ECCSR	9-26, 13-2, 13-5, 13-8
ECPWCR	9-22, 13-2, 13-5, 13-8
ECPWDR	9-23, 13-2, 13-5, 13-8
FENR	6-8, 13-2, 13-5, 13-8
FLMCR1	6-6, 13-2, 13-5, 13-8
FLMCR2	6-7, 13-2, 13-5, 13-8
FLPWCR	6-8, 13-2, 13-5, 13-8
IEGR	3-4, 13-4, 13-7, 13-10
IENR	3-5, 13-4, 13-7, 13-10
IRR	3-7, 13-4, 13-7, 13-10
IWPR	3-9, 13-4, 13-7, 13-10
OCR	9-8, 13-3, 13-6, 13-8
PCR3	8-4, 13-3, 13-6, 13-9
PCR4	8-9, 13-3, 13-6, 13-9
PCR5	8-13, 13-3, 13-6, 13-9
PCR6	8-16, 13-3, 13-7, 13-9
PCR7	8-19, 13-3, 13-7, 13-9
PCR8	8-20, 13-3, 13-7, 13-9
PCRA	8-25, 13-3, 13-7, 13-9
PDR3	8-4, 13-3, 13-6, 13-9

PDR4	8-9, 13-3, 13-6, 13-9
PDR5	8-12, 13-3, 13-6, 13-9
PDR6	8-15, 13-3, 13-6, 13-9
PDR7	8-18, 13-3, 13-6, 13-9
PDR8	8-20, 13-3, 13-6, 13-9
PDR9	8-22, 13-3, 13-6, 13-9
PDRA	8-24, 13-3, 13-6, 13-9
PDRB	8-26, 13-3, 13-6, 13-9
PMR2	8-6, 13-3, 13-6, 13-9
PMR3	8-5, 13-3, 13-6, 13-9
PMR5	8-13, 13-3, 13-6, 13-9
PMR9	8-23, 13-3, 13-7, 13-9
PMRB	8-27, 13-3, 13-7, 13-9
PUCR3	8-5, 13-3, 13-6, 13-9
PUCR5	8-13, 13-3, 13-6, 13-9
PUCR6	8-16, 13-3, 13-6, 13-9
PWCR	11-2, 13-3, 13-6, 13-9
PWDR	11-3, 13-3, 13-6, 13-9
RDR	10-3, 13-2, 13-5, 13-8
RSR	10-3
SCR3	10-6, 13-2, 13-5, 13-8
SMR	10-4, 13-2, 13-5, 13-8
SPCR	8-10, 13-2, 13-5, 13-8
SSR	10-8, 13-2, 13-5, 13-8
SYSCR1	5-2, 13-4, 13-7, 13-10
SYSCR2	5-4, 13-4, 13-7, 13-10
TCA	9-4, 13-2, 13-5, 13-8
TCR	9-9, 13-2, 13-6, 13-8
TCSR	9-10, 13-2, 13-6, 13-8
TCSRW	9-35, 13-2, 13-5, 13-8
TCW	9-36, 13-2, 13-5, 13-8
TDR	10-3, 13-2, 13-5, 13-8
TMA	9-3, 13-2, 13-5, 13-8
TSR	10-3
WEGR	3-9, 13-2, 13-5, 13-8
レジスタ間接	2-24
レジスタ直接	2-24
レジスタフィールド	2-23
論理演算命令	2-18

【わ】	
割り込み応答時間	3-13
割り込みマスクビット	2-11

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8/38704グループ、H8/38702Sグループ

発行年月日 2007年8月30日 Rev.1.00
発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

© 2007. Renesas Technology Corp., All rights reserved. Printed in Japan.

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本		支	社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	社	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンタ E-Mail: csc@renesas.com

H8/38704 グループ、H8/38702S グループ
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0434-0100