

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ（フラッシュメモリ・SRAM等）を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

H8/3834U シリーズ

ハードウェアマニュアル

ルネサスシングルチップマイクロコンピュータ

H8/3833U	HD6433833U
H8/3834U	HD6473834U
	HD6433834U
H8/3835U	HD6433835U
H8/3836U	HD6433836U
H8/3837U	HD6473837U
	HD6433837U

1. 本資料に記載された製品及び製品の仕様は、予告なく変更されることがあります。
2. 本資料に記載された内容は、正確かつ信頼し得るものであります。ただし、これら掲載された情報、製品または回路の使用に起因する損害または特許権その他権利の侵害に関しては、株式会社日立製作所は一切その責任を負いません。
3. 本資料によって第三者または株式会社日立製作所の特許権その他権利の実施権を許諾するものではありません。
4. 本資料の一部または全部を当社に無断で転載または複製することを堅くお断りいたします。
5. 日立半導体は、人命にかかわる装置用として特別に開発したものは用意しておりません。ライフサポート関連の医療機器用として日立半導体の採用をお考えのお客様は、当社営業窓口へお客様にてシステム設計上の対策をして頂けるかを是非ご連絡頂きますようお願い致します。

はじめに

H 8 / 3 0 0 L シリーズは、高速 H 8 / 3 0 0 L C P U を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。

H 8 / 3 0 0 L C P U は、H 8 / 3 0 0 C P U と互換性のある命令体系を備えています。

H 8 / 3 8 3 4 U シリーズは、システム構成に必要な周辺機能として、L C D コントローラ／ドライバ、5 種類のタイマ、14 ビット P W M、3 チャンネルのシリアルコミュニケーションインタフェース、A / D 変換器を内蔵しています。L C D 表示を必要とするシステムの組込み用マイコンとして活用できます。

本マニュアルは、H 8 / 3 8 3 4 U シリーズのハードウェアについて記載しています。命令の詳細については、「H 8 / 3 0 0 L シリーズ プログラミングマニュアル」をあわせてご覧ください。

目 次

第 1 章 概要

1. 1	概要	1 - 1
1. 2	内部ブロック図	1 - 4
1. 3	端子説明	1 - 5
1. 3. 1	ピン配置	1 - 5
1. 3. 2	端子機能	1 - 7

第 2 章 C P U

2. 1	概要	2 - 1
2. 1. 1	特長	2 - 1
2. 1. 2	アドレス空間	2 - 2
2. 1. 3	レジスタ構成	2 - 2
2. 2	各レジスタの説明	2 - 3
2. 2. 1	汎用レジスタ	2 - 3
2. 2. 2	コントロールレジスタ	2 - 3
2. 2. 3	C P U 内部レジスタの初期値	2 - 5
2. 3	データ構成	2 - 5
2. 3. 1	汎用レジスタのデータ構成	2 - 6
2. 3. 2	メモリ上でのデータ構成	2 - 7
2. 4	アドレッシングモード	2 - 8
2. 4. 1	アドレッシングモード	2 - 8
2. 4. 2	実効アドレスの計算方法	2 - 10
2. 5	命令セット	2 - 14
2. 5. 1	データ転送命令	2 - 16
2. 5. 2	算術演算命令	2 - 18
2. 5. 3	論理演算命令	2 - 19
2. 5. 4	シフト命令	2 - 19
2. 5. 5	ビット操作命令	2 - 21
2. 5. 6	分岐命令	2 - 26
2. 5. 7	システム制御命令	2 - 28
2. 5. 8	ブロック転送命令	2 - 29
2. 6	基本動作タイミング	2 - 30
2. 6. 1	内蔵メモリ (R A M、R O M)	2 - 30
2. 6. 2	内蔵周辺モジュール	2 - 30
2. 7	C P U の状態	2 - 32
2. 7. 1	概要	2 - 32

2.7.2	プログラム実行状態	2 - 33
2.7.3	プログラム停止状態	2 - 33
2.7.4	例外処理状態	2 - 33
2.8	メモリマップ	2 - 34
2.8.1	メモリマップ	2 - 34
2.8.2	LCD RAMのアドレスリロケーション	2 - 39
2.9	使用上の注意事項	2 - 40
2.9.1	データアクセスに関する注意事項	2 - 40
2.9.2	ビット操作命令使用上の注意事項	2 - 42
2.9.3	EEPMOV命令使用上の注意事項	2 - 48

第3章 例外処理

3.1	概要	3 - 1
3.2	リセット	3 - 1
3.2.1	概要	3 - 1
3.2.2	リセットシーケンス	3 - 1
3.2.3	リセット直後の割込み	3 - 4
3.3	割込み	3 - 4
3.3.1	概要	3 - 4
3.3.2	各レジスタの説明	3 - 6
3.3.3	外部割込み	3 - 16
3.3.4	内部割込み	3 - 16
3.3.5	割込み動作	3 - 17
3.3.6	割込み応答時間	3 - 22
3.4	使用上の注意事項	3 - 23
3.4.1	スタック領域に関する使用上の注意事項	3 - 23
3.4.2	ポートモードレジスタを書き換える際の注意事項	3 - 24

第4章 クロック発振器

4.1	概要	4 - 1
4.1.1	ブロック図	4 - 1
4.1.2	システムクロックとサブクロック	4 - 1
4.2	システムクロック発振器	4 - 2
4.3	サブクロック発振器	4 - 5
4.4	プリスケアラ	4 - 8
4.5	発振子に関する注意事項	4 - 8

第 5 章 低消費電力モード

5. 1	概要	5 - 1
5. 1. 1	システムコントロールレジスタ	5 - 4
5. 2	スリープモード	5 - 8
5. 2. 1	スリープモードへの遷移	5 - 8
5. 2. 2	スリープモードの解除	5 - 8
5. 3	スタンバイモード	5 - 9
5. 3. 1	スタンバイモードへの遷移	5 - 9
5. 3. 2	スタンバイモードの解除	5 - 9
5. 3. 3	スタンバイモード解除後の発振安定時間の設定	5 - 10
5. 3. 4	スタンバイモードへの遷移と端子状態	5 - 10
5. 4	ウォッチモード	5 - 11
5. 4. 1	ウォッチモードへの遷移	5 - 11
5. 4. 2	ウォッチモードの解除	5 - 11
5. 4. 3	ウォッチモード解除後の発振安定時間の設定	5 - 11
5. 5	サブスリープモード	5 - 12
5. 5. 1	サブスリープモードへの遷移	5 - 12
5. 5. 2	サブスリープモードの解除	5 - 12
5. 6	サブアクティブモード	5 - 13
5. 6. 1	サブアクティブモードへの遷移	5 - 13
5. 6. 2	サブアクティブモードの解除	5 - 13
5. 6. 3	サブアクティブモードの動作周波数について	5 - 13
5. 7	アクティブ（中速）モード	5 - 14
5. 7. 1	アクティブ（中速）モードへの遷移	5 - 14
5. 7. 2	アクティブ（中速）モードの解除	5 - 14
5. 7. 3	アクティブ（中速）モードの動作周波数について	5 - 14
5. 8	直接遷移	5 - 15
5. 8. 1	直接遷移の概要	5 - 15
5. 8. 2	直接遷移の時間	5 - 16

第 6 章 R O M

6. 1	概要	6 - 1
6. 1. 1	ブロック図	6 - 1
6. 2	H 8 / 3 8 3 4 U の P R O M モード	6 - 2
6. 2. 1	P R O M モードの設定	6 - 2
6. 2. 2	ソケットアダプタの端子対応とメモリマップ	6 - 2
6. 3	H 8 / 3 8 3 4 U のプログラミング	6 - 5
6. 3. 1	書込み／ベリファイ	6 - 6
6. 3. 2	書込み時の注意	6 - 8

6. 4	H 8 / 3 8 3 7 U の P R O M モード	6 - 9
6. 4. 1	P R O M モードの設定	6 - 9
6. 4. 2	ソケットアダプタの端子対応とメモリマップ	6 - 9
6. 5	H 8 / 3 8 3 7 U のプログラミング	6 - 12
6. 5. 1	書込み／ベリファイ	6 - 13
6. 5. 2	書込み時の注意	6 - 15
6. 6	書込み後の信頼性	6 - 16

第 7 章 R A M

7. 1	概要	7 - 1
7. 1. 1	ブロック図	7 - 1

第 8 章 I / O ポート

8. 1	概要	8 - 1
8. 2	ポート 1	8 - 3
8. 2. 1	概要	8 - 3
8. 2. 2	レジスタの構成と説明	8 - 3
8. 2. 3	端子機能	8 - 8
8. 2. 4	端子状態	8 - 10
8. 2. 5	入力プルアップ M O S	8 - 10
8. 3	ポート 2	8 - 11
8. 3. 1	概要	8 - 11
8. 3. 2	レジスタの構成と説明	8 - 11
8. 3. 3	端子機能	8 - 15
8. 3. 4	端子状態	8 - 15
8. 4	ポート 3	8 - 16
8. 4. 1	概要	8 - 16
8. 4. 2	レジスタの構成と説明	8 - 16
8. 4. 3	端子機能	8 - 20
8. 4. 4	端子状態	8 - 21
8. 4. 5	入力プルアップ M O S	8 - 22
8. 5	ポート 4	8 - 23
8. 5. 1	概要	8 - 23
8. 5. 2	レジスタの構成と説明	8 - 23
8. 5. 3	端子機能	8 - 25
8. 5. 4	端子状態	8 - 26
8. 6	ポート 5	8 - 27
8. 6. 1	概要	8 - 27
8. 6. 2	レジスタの構成と説明	8 - 27
8. 6. 3	端子機能	8 - 30

8. 6. 4	端子状態	8 - 31
8. 6. 5	入力プルアップMOS	8 - 31
8. 7	ポート 6	8 - 32
8. 7. 1	概要	8 - 32
8. 7. 2	レジスタの構成と説明	8 - 32
8. 7. 3	端子機能	8 - 34
8. 7. 4	端子状態	8 - 34
8. 7. 5	入力プルアップMOS	8 - 35
8. 8	ポート 7	8 - 36
8. 8. 1	概要	8 - 36
8. 8. 2	レジスタの構成と説明	8 - 36
8. 8. 3	端子機能	8 - 38
8. 8. 4	端子状態	8 - 38
8. 9	ポート 8	8 - 39
8. 9. 1	概要	8 - 39
8. 9. 2	レジスタの構成と説明	8 - 39
8. 9. 3	端子機能	8 - 41
8. 9. 4	端子状態	8 - 41
8. 10	ポート 9	8 - 42
8. 10. 1	概要	8 - 42
8. 10. 2	レジスタの構成と説明	8 - 42
8. 10. 3	端子機能	8 - 44
8. 10. 4	端子状態	8 - 45
8. 11	ポート A	8 - 46
8. 11. 1	概要	8 - 46
8. 11. 2	レジスタの構成と説明	8 - 46
8. 11. 3	端子機能	8 - 48
8. 11. 4	端子状態	8 - 49
8. 12	ポート B	8 - 50
8. 12. 1	概要	8 - 50
8. 12. 2	レジスタの構成と説明	8 - 50
8. 13	ポート C	8 - 51
8. 13. 1	概要	8 - 51
8. 13. 2	レジスタの構成と説明	8 - 51

第 9 章 タイマ

9. 1	概要	9 - 1
9. 2	タイマ A	9 - 2
9. 2. 1	概要	9 - 2
9. 2. 2	各レジスタの説明	9 - 4

9. 2. 3	動作説明	9 - 6
9. 2. 4	タイマ A の動作モード	9 - 7
9. 3	タイマ B	9 - 8
9. 3. 1	概要	9 - 8
9. 3. 2	各レジスタの説明	9 - 9
9. 3. 3	動作説明	9 - 12
9. 3. 4	タイマ B の動作モード	9 - 13
9. 4	タイマ C	9 - 14
9. 4. 1	概要	9 - 14
9. 4. 2	各レジスタの説明	9 - 17
9. 4. 3	動作説明	9 - 20
9. 4. 4	タイマ C の動作モード	9 - 21
9. 5	タイマ F	9 - 22
9. 5. 1	概要	9 - 22
9. 5. 2	各レジスタの説明	9 - 25
9. 5. 3	CPU とのインタフェース	9 - 32
9. 5. 4	動作説明	9 - 34
9. 5. 5	使用上の注意事項	9 - 37
9. 6	タイマ G	9 - 39
9. 6. 1	概要	9 - 39
9. 6. 2	各レジスタの説明	9 - 41
9. 6. 3	ノイズ除去回路	9 - 45
9. 6. 4	動作説明	9 - 46
9. 6. 5	使用上の注意事項	9 - 52
9. 6. 6	タイマ G の使用例	9 - 56

第10章 シリアルコミュニケーションインタフェース

10. 1	概要	10 - 1
10. 2	SC I 1	10 - 2
10. 2. 1	概要	10 - 2
10. 2. 2	各レジスタの説明	10 - 5
10. 2. 3	動作説明	10 - 9
10. 2. 4	割込み要因	10 - 11
10. 2. 5	使用上の注意事項	10 - 11
10. 3	SC I 2	10 - 12
10. 3. 1	概要	10 - 12
10. 3. 2	各レジスタの説明	10 - 15
10. 3. 3	動作説明	10 - 20
10. 3. 4	割込み要因	10 - 27
10. 3. 5	使用上の注意事項	10 - 27

10.4	S C I 3	10-28
10.4.1	概要	10-28
10.4.2	各レジスタの説明	10-31
10.4.3	動作概要	10-48
10.4.4	調歩同期式モード時の動作説明	10-52
10.4.5	クロック同期式モード時の動作説明	10-61
10.4.6	マルチプロセッサ通信機能	10-68
10.4.7	割込み要因	10-73
10.4.8	使用上の注意事項	10-74

第11章 14ビットPWM

11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	ブロック図	11-1
11.1.3	端子構成	11-2
11.1.4	レジスタ構成	11-2
11.2	各レジスタの説明	11-3
11.2.1	PWMコントロールレジスタ (PWCR)	11-3
11.2.2	PWMデータレジスタU、L (PWDRU、PWRDL)	11-4
11.3	動作説明	11-5

第12章 A/D変換器

12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-2
12.1.3	端子構成	12-3
12.1.4	レジスタ構成	12-3
12.2	各レジスタの説明	12-4
12.2.1	A/Dリザルトレジスタ (ADRR)	12-4
12.2.2	A/Dモードレジスタ (AMR)	12-4
12.2.3	A/Dスタートレジスタ (ADSR)	12-6
12.3	動作説明	12-7
12.3.1	A/D変換動作	12-7
12.3.2	外部トリガによるA/D変換器の起動	12-7
12.4	割込み要因	12-8
12.5	使用例	12-8
12.6	使用上の注意	12-12

第13章 LCDコントローラ／ドライバ

13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-2
13.1.3	端子構成	13-3
13.1.4	レジスタ構成	13-3
13.2	各レジスタの説明	13-4
13.2.1	LCDポートコントロールレジスタ (LPCR)	13-4
13.2.2	LCDコントロールレジスタ (LCR)	13-6
13.3	動作説明	13-8
13.3.1	LCD表示までのセッティング	13-8
13.3.2	LCD RAMと表示の関係	13-9
13.3.3	HD66100との接続	13-9
13.3.4	低消費電力モード時の動作	13-17
13.3.5	LCD駆動電源の強化	13-18

第14章 電気的特性

14.1	H8／3834Uシリーズ絶対最大定格	14-1
14.2	H8／3833U、H8／3834Uの電気的特性	14-2
14.2.1	電源電圧と動作範囲	14-2
14.2.2	DC特性	14-4
14.2.3	AC特性	14-9
14.2.4	A/D変換器特性	14-11
14.2.5	LCD特性	14-12
14.3	H8／3835U、H8／3836U、H8／3837Uの電気的特性	14-13
14.3.1	電源電圧と動作範囲	14-13
14.3.2	DC特性	14-15
14.3.3	AC特性	14-20
14.3.4	A/D変換器特性	14-22
14.3.5	LCD特性	14-23
14.4	動作タイミング	14-24
14.5	出力負荷回路	14-28

付録

A.	命令	A-1
A.1	命令一覧	A-1
A.2	オペレーションコードマップ	A-11
A.3	命令実行ステート数	A-12
B.	レジスタ一覧	B-1
B.1	I/Oレジスタ一覧(1)	B-1
B.2	I/Oレジスタ一覧(2)	B-4

C. I/Oポートブロック図	C - 1
C.1 ポート1ブロック図	C - 1
C.2 ポート2ブロック図	C - 6
C.3 ポート3ブロック図	C - 9
C.4 ポート4ブロック図	C - 15
C.5 ポート5ブロック図	C - 19
C.6 ポート6ブロック図	C - 20
C.7 ポート7ブロック図	C - 21
C.8 ポート8ブロック図	C - 22
C.9 ポート9ブロック図	C - 23
C.10 ポートAブロック図	C - 24
C.11 ポートBブロック図	C - 25
C.12 ポートCブロック図	C - 26
D. 各処理状態におけるポートの状態	D - 1
E. ROM発注手順	E - 1
E.1 ROM書き換え品開発の流れ（発注手順）	E - 1
E.2 ROM発注時の提出物と注意事項	E - 2
F. 型名一覧	F - 1
G. 外形寸法図	G - 1

1. 概要

第 1 章 目次

1. 1	概要	1 - 1
1. 2	内部ブロック図	1 - 4
1. 3	端子説明	1 - 5
1. 3. 1	ピン配置	1 - 5
1. 3. 2	端子機能	1 - 7

1. 1 概要

H 8 / 3 0 0 L シリーズは、高速 H 8 / 3 0 0 L C P U を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータ（M C U : Microcomputer Unit）です。

H 8 / 3 8 3 4 U シリーズは、L C D（Liquid Crystal Display）コントローラ／ドライバを内蔵した H 8 / 3 0 0 L シリーズのシングルチップマイクロコンピュータで、周辺機能として、L C D コントローラ／ドライバ、5 種類のタイマ、14 ビット P W M、3 チャネルのシリアルコミュニケーションインタフェース、A / D 変換器などを内蔵しており、L C D 表示を必要とするシステムの組み込みマイコンに最適な構成となっています。特に H 8 / 3 8 3 4 U シリーズは A / D 変換器の低電圧動作（ $V_{cc} = A V_{cc} = 2.7 \sim 5.5 V$ ）を実現しており、低電圧の単一電源システムへの応用が可能です。H 8 / 3 8 3 4 U シリーズには、24 k バイトの R O M、1 k バイトの R A M を内蔵した H 8 / 3 8 3 3 U、32 k バイトの R O M、1 k バイトの R A M を内蔵した H 8 / 3 8 3 4 U、40 k バイトの R O M、2 k バイトの R A M を内蔵した H 8 / 3 8 3 5 U、48 k バイトの R O M、2 k バイトの R A M を内蔵した H 8 / 3 8 3 6 U、および 60 k バイトの R O M、2 k バイトの R A M を内蔵した H 8 / 3 8 3 7 U があります。

H 8 / 3 8 3 4 U、H 8 / 3 8 3 7 U には、ユーザサイドで自由にプログラムの書込みができる P R O M を内蔵した Z T A T[®]* 版もあります。

H 8 / 3 8 3 4 U シリーズの特長を表 1. 1 に示します。

【注】* Z T A T（Zero Turn Around Time）は[®]日立製作所の登録商標です。

表 1. 1 特長(1)

項 目	仕 様
C P U	高速 H 8 / 3 0 0 L C P U (1) 汎用レジスタ方式 ・汎用レジスタ：8 ビット×16 本 (16 ビット×8 本としても使用可能) (2) 高速演算 ・最高動作周波数：5 M H z ・加減算：0. 4 μ s（ $\phi = 5$ M H z 動作時） ・乗除算：2. 8 μ s（ $\phi = 5$ M H z 動作時） ・32. 768 k H z サブクロックによる動作可能 (3) H 8 / 3 0 0 C P U と互換性のある命令体系 ・命令フォーマットは 2 バイトまたは 4 バイト長 ・基本演算はレジスターレジスタ間で実行 ・M O V 命令によるメモリーレジスタ間データ転送 (4) 特長ある命令 ・乗算命令（8 ビット×8 ビット） ・除算命令（16 ビット÷8 ビット） ・ビットアキュムレータ命令 ・レジスタ間接指定によりビット位置の指定が可能

表 1. 1 特長(2)

項 目	仕 様
割込み	33種類の割込み要因 ・外部割込み要因：13要因（IRQ₄～IRQ₆、WKP₇～WKP₉） ・内部割込み要因：20要因
クロック発振器	2種類のクロック発振器内蔵 ・システムクロック発振器：1～10MHz ・サブクロック発振器：32.768kHz
低消費電力モード	6種類の低消費電力モード ・スリープモード ・スタンバイモード ・ウォッチモード ・サブスリープモード ・サブアクティブモード ・アクティブ（中速）モード
メモリ	大容量メモリ内蔵 H8／3833U・ROM：24kバイト・RAM：1kバイト H8／3834U・ROM：32kバイト・RAM：1kバイト H8／3835U・ROM：40kバイト・RAM：2kバイト H8／3836U・ROM：48kバイト・RAM：2kバイト H8／3837U・ROM：60kバイト・RAM：2kバイト
I/Oポート	I/Oポート84本 ・入出力端子：71本 ・入力端子：13本
タイマ	5種類のタイマ内蔵 (1) タイマA：8ビットのタイマ ・システムクロック（ϕ）＊を分周した8種類の内部クロックまたは時計用クロック（ϕ_w）＊を分周した4種類のクロックによりカウントアップ可能 (2) タイマB：8ビットのタイマ ・7種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ可能 ・オートリロード機能可能 (3) タイマC：8ビットのタイマ ・7種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ／ダウン可能 ・オートリロード機能可能 (4) タイマF：16ビットのタイマ ・独立した2本の8ビットタイマとして使用可能 ・4種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ可能 ・コンペアマッチ機能によりトグル出力可能 (5) タイマG：8ビットのタイマ ・4種類の内部クロックによりカウントアップ可能 ・インプットキャプチャ機能内蔵（ノイズ除去回路内蔵） 【注】＊ϕ、ϕ_wの定義は「第4章 クロック発振器」を参照してください。

表 1. 1 特長(3)

項 目	仕 様																																																								
シリアルコミュニケーションインタフェース	3 チャンネルのシリアルコミュニケーションインタフェース内蔵 (1) S C I 1 : クロック同期式 ・ 8 ビット/16ビットの転送データを選択可能 (2) S C I 2 : 8 ビットクロック同期式 ・ 32バイトのデータを自動的に転送可能 (3) S C I 3 : 8 ビットクロック同期式/調歩同期式 ・ マルチプロセッサ通信機能内蔵																																																								
14ビット P W M	リップル低減を図ったパルス分割方式 P W M ・ 外部にローパスフィルタを接続することで14ビット D / A 変換器として使用可能																																																								
A / D 変換器	抵抗ラダー方式による逐次比較方式の 8 ビット A / D 変換器 ・ 12チャンネルのアナログ入力端子 ・ 変換時間 : 1 チャンネル当たり 31 / ϕ または 62 / ϕ																																																								
L C D コントローラ / ドライバ	最大40本のセグメント端子と 4 本のコモン端子を備えた L C D コントローラ / ドライバ ・ 4 種類のデューティ比 (スタティック、1/2、1/3、1/4 デューティ) を選択可能 ・ セグメント外部拡張可能 ・ セグメント端子は 4 本ごとに汎用ポートに切換え可能																																																								
製品ラインアップ	<table><tr><th colspan="2">製 品 型 名</th><th rowspan="2">パ ャ ケ ー ジ</th><th rowspan="2">R O M / R A M サイズ</th></tr><tr><th>マスクROM版</th><th>ZTAT®版</th></tr><tr><td>HD6433833UH</td><td>——</td><td>100E/QFP(FP-100B)</td><td rowspan="3">R O M 24 k バイト R A M 1 k バイト</td></tr><tr><td>HD6433833UF</td><td>——</td><td>100E/QFP(FP-100A)</td></tr><tr><td>HD6433833UX</td><td>——</td><td>100E/TQFP(TFP-100B)</td></tr><tr><td>HD6433834UH</td><td>HD6473834UH</td><td>100E/QFP(FP-100B)</td><td rowspan="3">R O M 32 k バイト R A M 1 k バイト</td></tr><tr><td>HD6433834UF</td><td>HD6473834UF</td><td>100E/QFP(FP-100A)</td></tr><tr><td>HD6433834UX</td><td>HD6473834UX</td><td>100E/TQFP(TFP-100B)</td></tr><tr><td>HD6433835UH</td><td>——</td><td>100E/QFP(FP-100B)</td><td rowspan="3">R O M 40 k バイト R A M 2 k バイト</td></tr><tr><td>HD6433835UF</td><td>——</td><td>100E/QFP(FP-100A)</td></tr><tr><td>HD6433835UX</td><td>——</td><td>100E/TQFP(TFP-100B)</td></tr><tr><td>HD6433836UH</td><td>——</td><td>100E/QFP(FP-100B)</td><td rowspan="3">R O M 48 k バイト R A M 2 k バイト</td></tr><tr><td>HD6433836UF</td><td>——</td><td>100E/QFP(FP-100A)</td></tr><tr><td>HD6433836UX</td><td>——</td><td>100E/TQFP(TFP-100B)</td></tr><tr><td>HD6433837UH</td><td>HD6473837UH</td><td>100E/QFP(FP-100B)</td><td rowspan="3">R O M 60 k バイト R A M 2 k バイト</td></tr><tr><td>HD6433837UF</td><td>HD6473837UF</td><td>100E/QFP(FP-100A)</td></tr><tr><td>HD6433837UX</td><td>HD6473837UX</td><td>100E/TQFP(TFP-100B)</td></tr></table>	製 品 型 名		パ ャ ケ ー ジ	R O M / R A M サイズ	マスクROM版	ZTAT®版	HD6433833UH	——	100E/QFP(FP-100B)	R O M 24 k バイト R A M 1 k バイト	HD6433833UF	——	100E/QFP(FP-100A)	HD6433833UX	——	100E/TQFP(TFP-100B)	HD6433834UH	HD6473834UH	100E/QFP(FP-100B)	R O M 32 k バイト R A M 1 k バイト	HD6433834UF	HD6473834UF	100E/QFP(FP-100A)	HD6433834UX	HD6473834UX	100E/TQFP(TFP-100B)	HD6433835UH	——	100E/QFP(FP-100B)	R O M 40 k バイト R A M 2 k バイト	HD6433835UF	——	100E/QFP(FP-100A)	HD6433835UX	——	100E/TQFP(TFP-100B)	HD6433836UH	——	100E/QFP(FP-100B)	R O M 48 k バイト R A M 2 k バイト	HD6433836UF	——	100E/QFP(FP-100A)	HD6433836UX	——	100E/TQFP(TFP-100B)	HD6433837UH	HD6473837UH	100E/QFP(FP-100B)	R O M 60 k バイト R A M 2 k バイト	HD6433837UF	HD6473837UF	100E/QFP(FP-100A)	HD6433837UX	HD6473837UX	100E/TQFP(TFP-100B)
製 品 型 名		パ ャ ケ ー ジ	R O M / R A M サイズ																																																						
マスクROM版	ZTAT®版																																																								
HD6433833UH	——	100E/QFP(FP-100B)	R O M 24 k バイト R A M 1 k バイト																																																						
HD6433833UF	——	100E/QFP(FP-100A)																																																							
HD6433833UX	——	100E/TQFP(TFP-100B)																																																							
HD6433834UH	HD6473834UH	100E/QFP(FP-100B)	R O M 32 k バイト R A M 1 k バイト																																																						
HD6433834UF	HD6473834UF	100E/QFP(FP-100A)																																																							
HD6433834UX	HD6473834UX	100E/TQFP(TFP-100B)																																																							
HD6433835UH	——	100E/QFP(FP-100B)	R O M 40 k バイト R A M 2 k バイト																																																						
HD6433835UF	——	100E/QFP(FP-100A)																																																							
HD6433835UX	——	100E/TQFP(TFP-100B)																																																							
HD6433836UH	——	100E/QFP(FP-100B)	R O M 48 k バイト R A M 2 k バイト																																																						
HD6433836UF	——	100E/QFP(FP-100A)																																																							
HD6433836UX	——	100E/TQFP(TFP-100B)																																																							
HD6433837UH	HD6473837UH	100E/QFP(FP-100B)	R O M 60 k バイト R A M 2 k バイト																																																						
HD6433837UF	HD6473837UF	100E/QFP(FP-100A)																																																							
HD6433837UX	HD6473837UX	100E/TQFP(TFP-100B)																																																							

1.2 内部ブロック図

H 8 / 3 8 3 4 Uシリーズの内部ブロック図を図 1.1 に示します。

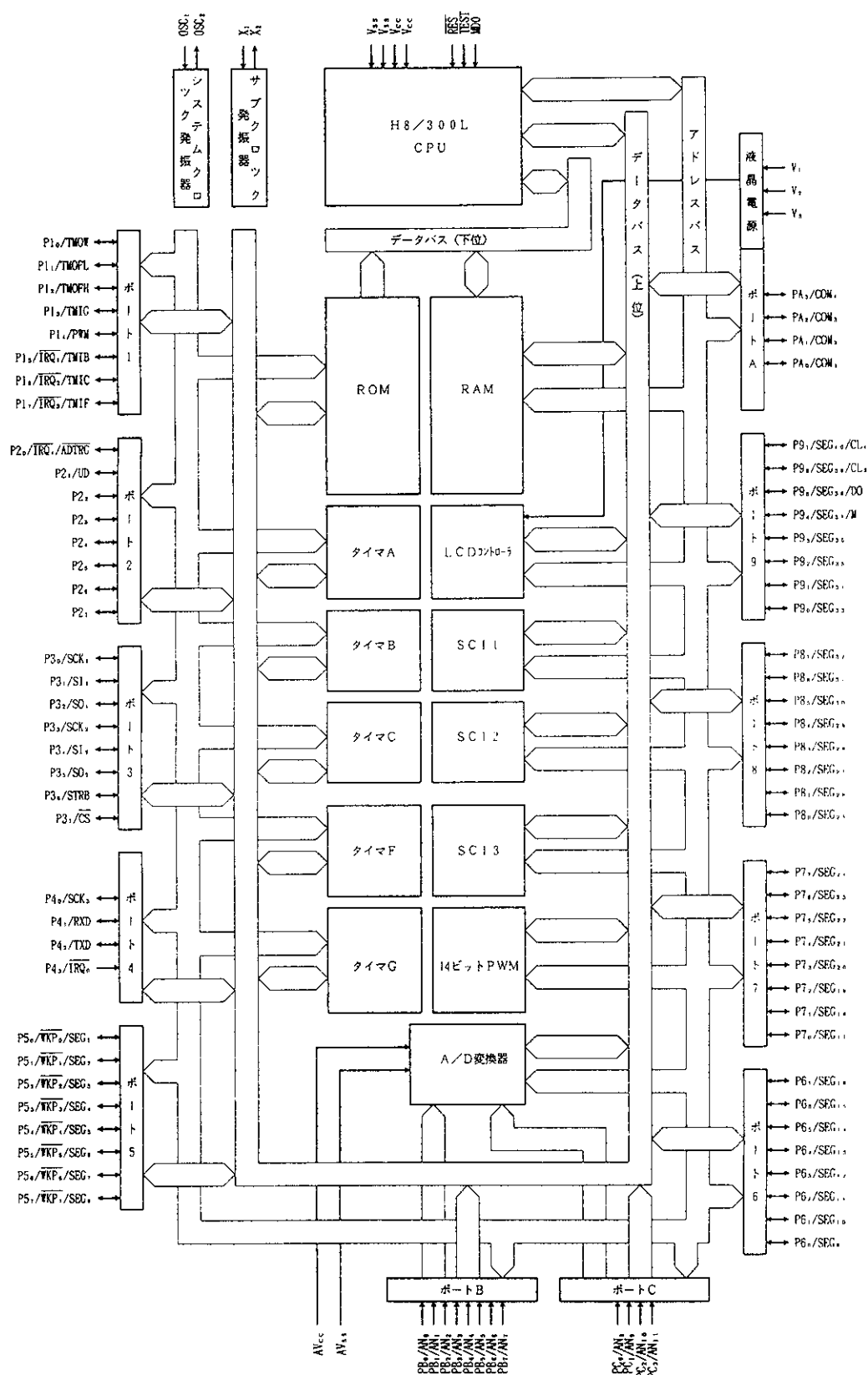


図 1.1 内部ブロック図

1. 3 端子説明

1. 3. 1 ピン配置

H 8 / 3 8 3 4 U シリーズのピン配置図を図 1. 2、図 1. 3 に示します。

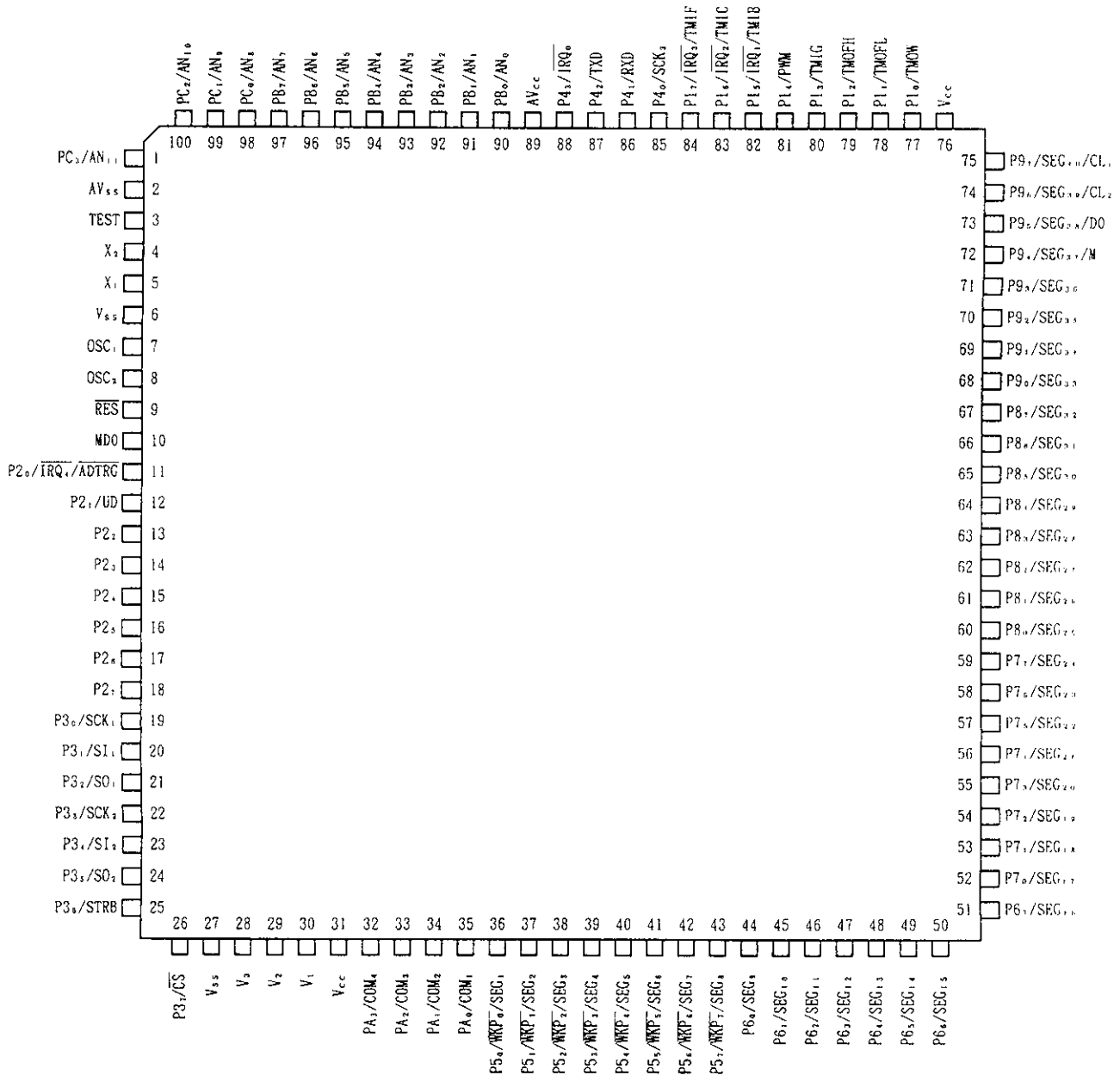


図 1. 2 ピン配置図 (FP-100B、TFP-100B : 上面図)

1.3.2 端子機能

(1) 端子機能

各端子の機能について表 1.2 に示します。

表 1.2 端子機能(1)

分 類	記 号	ピン番号		入出力	機 能
		FP-100B	FP-100A		
電源	V _{cc}	31	34	入力	<u>電源</u> V _{cc} 端子は、全端子、システムの電源（+5V）に接続してください。
		76	79		
	V _{ss}	6	9	入力	<u>グラウンド</u> V _{ss} 端子は、全端子、システムの電源（0V）に接続してください。
		27	30		
	AV _{cc}	89	92	入力	<u>アナログ電源</u> A/D変換器用電源端子です。A/D変換器を使用しない場合、システムの電源（+5V）に接続してください。
	AV _{ss}	2	5	入力	<u>アナロググラウンド</u> A/D変換器用グラウンド端子です。システムの電源（0V）に接続してください。
	V ₁	30	33	入力	<u>LCD電源</u> LCDコントローラ／ドライバ用の電源端子です。電源分割抵抗が内蔵されており、通常解放で用います。電源条件は、V _{cc} ≥ V ₁ ≥ V ₂ ≥ V ₃ ≥ V _{ss} です。
	V ₂	29	32		
	V ₃	28	31		
クロック	OSC ₁	7	10	入力	水晶発振子またはセラミック発振子を接続します。また、外部クロックを入力することもできます。接続例については「第4章 クロック発振器」を参照してください。
	OSC ₂	8	11	出力	
	X ₁	5	8	入力	32.768kHzの水晶発振子を接続します。接続例については「第4章 クロック発振器」を参照してください。
	X ₂	4	7	出力	
システム制御	RES	9	12	入力	<u>リセット</u> この端子を“Low”レベルにすると、リセット状態になります。
	MDO	10	13	入力	<u>モード</u> リセット状態におけるシステムクロックの発振を制御する端子です。

表 1.2 端子機能(2)

分 類	記 号	ピン番号		入出力	機 能
		FP-100B	FP-100A		
システム 制御	TEST	3	6	入力	<u>テスト端子</u> ユーザは、使用できません。 V_{ss} 電位に接地してください。
割込み	$\overline{IRQ_0}$	88	91	入力	<u>外部割込み要求 4 ~ 0</u> 立上がりエッジセンス／立下がりエッジ センスを選択可能な外部割込み入力端子 です。
	$\overline{IRQ_1}$	82	85		
	$\overline{IRQ_2}$	83	86		
	$\overline{IRQ_3}$	84	87		
	$\overline{IRQ_4}$	11	14		
	$\overline{WKP_7} \sim \overline{WKP_0}$	43 ~ 36	46 ~ 39	入力	<u>ウェイクアップ割込み要求 7 ~ 0</u> 立下がりエッジセンスの外部割込み入力 端子です。
タイマ	TMOW	77	80	出力	<u>クロック出力</u> タイマ A 出力回路により生成された波形 の出力端子です。
	TMIB	82	85	入力	<u>タイマ B イベント入力</u> タイマ B のカウンタに入力するイベント 入力端子です。
	TMIC	83	86	入力	<u>タイマ C イベント入力</u> タイマ C のカウンタに入力するイベント 入力端子です。
	UD	12	15	入力	<u>タイマ C アップ／ダウンセレクト</u> タイマ C のカウンタのアップ／ダウンカ ウントを選択します。“High”レベル印加 でアップカウンタ、“Low”レベル印加で ダウンカウンタとして動作します。
	TMIF	84	87	入力	<u>タイマ F イベント入力</u> タイマ F のカウンタに入力するイベント 入力端子です。
	TMOFL	78	81	出力	<u>タイマ F L 出力</u> タイマ F L アウトプットコンペア機能に より生成された波形の出力端子です。
	TMOFH	79	82	出力	<u>タイマ F H 出力</u> タイマ F H アウトプットコンペア機能に より生成された波形の出力端子です。

表 1. 2 端子機能(3)

分 類	記 号	ピン番号		入出力	機 能
		FP-100B	FP-100A		
タイマ	TMIC	80	83	入力	<u>タイマGキャプチャ入力</u> タイマGのインプットキャプチャの入力端子です。
14ビット PWM	PWM	81	84	出力	<u>14ビットPWM出力</u> 14ビットPWMにより生成された波形の出力端子です。
I / O ポート	PB ₇ ~ PB ₀	97~90	100~93	入力	<u>ポートB</u> 8ビットの入力端子です。
	PC ₃ ~ PC ₀	1,100 ~98	4~1	入力	<u>ポートC</u> 4ビットの入力端子です。
	P4 ₃	88	91	入力	<u>ポート4 (ビット3)</u> 1ビットの入力端子です。
	P4 ₂ ~ P4 ₀	87~85	90~88	入出力	<u>ポート4 (ビット2~ビット0)</u> 3ビットの入出力端子です。ポートコントロールレジスタ4 (PCR4) によって、1ビットごとに入出力を指定できます。
	PA ₃ ~ PA ₀	32~35	35~38	入出力	<u>ポートA</u> 4ビットの入出力端子です。ポートコントロールレジスタA (PCRA) によって、1ビットごとに入出力を指定できます。
	P1 ₇ ~ P1 ₀	84~77	87~80	入出力	<u>ポート1</u> 8ビットの入出力端子です。ポートコントロールレジスタ1 (PCR1) によって、1ビットごとに入出力を指定できます。
	P2 ₇ ~ P2 ₀	18~11	21~14	入出力	<u>ポート2</u> 8ビットの入出力端子です。ポートコントロールレジスタ2 (PCR2) によって、1ビットごとに入出力を指定できます。
	P3 ₇ ~ P3 ₀	26~19	29~22	入出力	<u>ポート3</u> 8ビットの入出力端子です。ポートコントロールレジスタ3 (PCR3) によって、1ビットごとに入出力を指定できます。

表 1. 2 端子機能(4)

分 類	記 号	ピン番号		入出力	機 能
		FP-100B	FP-100A		
I / O ポート	P5 ₇ ~ P5 ₀	43 ~ 36	46 ~ 39	入出力	<u>ポート 5</u> 8 ビットの入出力端子です。ポートコントロールレジスタ 5 (PCR 5) によって、1 ビットごとに入出力を指定できます。
	P6 ₇ ~ P6 ₀	51 ~ 44	54 ~ 47	入出力	<u>ポート 6</u> 8 ビットの入出力端子です。ポートコントロールレジスタ 6 (PCR 6) によって、1 ビットごとに入出力を指定できます。
	P7 ₇ ~ P7 ₀	59 ~ 52	62 ~ 55	入出力	<u>ポート 7</u> 8 ビットの入出力端子です。ポートコントロールレジスタ 7 (PCR 7) によって、1 ビットごとに入出力を指定できます。
	P8 ₇ ~ P8 ₀	67 ~ 60	70 ~ 63	入出力	<u>ポート 8</u> 8 ビットの入出力端子です。ポートコントロールレジスタ 8 (PCR 8) によって、1 ビットごとに入出力を指定できます。
	P9 ₇ ~ P9 ₀	75 ~ 68	78 ~ 71	入出力	<u>ポート 9</u> 8 ビットの入出力端子です。ポートコントロールレジスタ 9 (PCR 9) によって、1 ビットごとに入出力を指定できます。
シリアル コミュニ ケーショ ンインタ フェース (SCI)	SI ₁	20	23	入力	<u>SCI 1 受信データ入力</u> SCI 1 のデータ入力端子です。
	SO ₁	21	24	出力	<u>SCI 1 送信データ出力</u> SCI 1 のデータ出力端子です。
	SCK ₁	19	22	入出力	<u>SCI 1 クロック入出力</u> SCI 1 のクロック入出力端子です。
	SI ₂	23	26	入力	<u>SCI 2 受信データ入力</u> SCI 2 のデータ入力端子です。
	SO ₂	24	27	出力	<u>SCI 2 送信データ出力</u> SCI 2 のデータ出力端子です。

表 1. 2 端子機能(5)

分 類	記 号	ピン番号		入出力	機 能
		FP-100B	FP-100A		
シリアル コミュニ ケーショ ンインタ フェース (SCI)	SCK ₂	22	25	入出力	<u>SCI 2 クロック入出力</u> SCI 2 のクロック入出力端子です。
	CS	26	29	入力	<u>SCI 2 チップセレクト入力</u> SCI 2 の転送開始を制御する端子で す。
	STRB	25	28	出力	<u>SCI 2 ストローブ出力</u> 1 バイト転送ごとにストローブパルスを出 力する端子です。
	RXD	86	89	入力	<u>SCI 3 受信データ入力</u> SCI 3 のデータ入力端子です。
	TXD	87	90	出力	<u>SCI 3 送信データ出力</u> SCI 3 のデータ出力端子です。
	SCK ₃	85	88	入出力	<u>SCI 3 クロック入出力</u> SCI 3 のクロック入出力端子です。
A / D 変換器	AN ₁₁ ~ AN ₀	1、 100 ~ 90	4 ~ 1 100 ~ 93	入力	<u>アナログ入力 (チャンネル11 ~ チャンネル0)</u> A / D 変換器へのアナログデータ入力端 子です。
	ADTRG	11	14	入力	<u>A / D 変換器トリガ入力</u> A / D 変換器の外部トリガ入力端子です。
LCD コントロ ーラ / ド ライバ	COM ₄ ~ COM ₁	32 ~ 35	35 ~ 38	出力	<u>LCD コモン出力</u> LCD のコモン出力端子です。
	SEG ₄₀ ~ SEG ₁	75 ~ 36	78 ~ 39	出力	<u>LCD セグメント出力</u> LCD のセグメント出力端子です。
	CL ₁	75	78	出力	<u>LCD ラッチクロック</u> セグメント外部拡張用の表示データラッ チクロック出力端子です。
	CL ₂	74	77	出力	<u>LCD シフトクロック</u> セグメント外部拡張用の表示データシフ トクロック出力端子です。
	D0	73	76	出力	<u>LCD シリアルデータ出力</u> セグメント外部拡張用のシリアル表示デ ータ出力端子です。
	M	72	75	出力	<u>LCD 交流化信号</u> セグメント外部拡張用の LCD 交流化信 号出力端子です。

2. C P U

第 2 章 目次

2. 1	概要	2 - 1
2. 1. 1	特長	2 - 1
2. 1. 2	アドレス空間	2 - 2
2. 1. 3	レジスタ構成	2 - 2
2. 2	各レジスタの説明	2 - 3
2. 2. 1	汎用レジスタ	2 - 3
2. 2. 2	コントロールレジスタ	2 - 3
2. 2. 3	C P U 内部レジスタの初期値	2 - 5
2. 3	データ構成	2 - 5
2. 3. 1	汎用レジスタのデータ構成	2 - 6
2. 3. 2	メモリ上でのデータ構成	2 - 7
2. 4	アドレッシングモード	2 - 8
2. 4. 1	アドレッシングモード	2 - 8
2. 4. 2	実効アドレスの計算方法	2 - 10
2. 5	命令セット	2 - 14
2. 5. 1	データ転送命令	2 - 16
2. 5. 2	算術演算命令	2 - 18
2. 5. 3	論理演算命令	2 - 19
2. 5. 4	シフト命令	2 - 19
2. 5. 5	ビット操作命令	2 - 21
2. 5. 6	分岐命令	2 - 26
2. 5. 7	システム制御命令	2 - 28
2. 5. 8	ブロック転送命令	2 - 29

2.6	基本動作タイミング	2-30
2.6.1	内蔵メモリ（RAM、ROM）	2-30
2.6.2	内蔵周辺モジュール	2-30
2.7	CPUの状態	2-32
2.7.1	概要	2-32
2.7.2	プログラム実行状態	2-33
2.7.3	プログラム停止状態	2-33
2.7.4	例外処理状態	2-33
2.8	メモリマップ	2-34
2.8.1	メモリマップ	2-34
2.8.2	LCD RAMのアドレスリロケーション	2-39
2.9	使用上の注意事項	2-40
2.9.1	データアクセスに関する注意事項	2-40
2.9.2	ビット操作命令使用上の注意事項	2-42
2.9.3	EEPROM命令使用上の注意事項	2-48

2. 1 概要

H 8 / 3 0 0 L C P U は、8 ビット×16本（または16ビット×8本）の汎用レジスタ、ならびに高速動作に適した簡潔な命令セットを備えた高速C P Uです。

2. 1. 1 特長

H 8 / 3 0 0 L C P Uには、次の特長があります。

■汎用レジスタ方式

- ・ 8 ビット×16本（16ビット×8本としても使用可能）

■55種類の基本命令

- ・ 乗除算命令
- ・ 強力なビット操作命令

■8種類のアドレッシングモード

- ・ レジスタ直接
- ・ レジスタ間接
- ・ ディスプレースメント付レジスタ間接
- ・ ポストインクリメント／プリデクリメントレジスタ間接
- ・ 絶対アドレス
- ・ イミディエイト
- ・ プログラムカウンタ相対
- ・ メモリ間接

■64k バイトのアドレス空間

■高速動作

- ・ 頻出命令をすべて2～4ステートで実行
- ・ 高速演算

8 / 16ビットレジスタ間加減算 0.4 μ s *

8 × 8 ビット乗算 2.8 μ s *

16 ÷ 8 ビット除算 2.8 μ s *

【注】* 数値は、 $\phi = 5 \text{ MHz}$ 時のもの

■低消費電力動作

- ・ S L E E P 命令により低消費電力動作可能

2. 1. 2 アドレス空間

H 8 / 3 0 0 L C P Uがサポートするアドレス空間は、プログラムコードとデータ領域合計で最大64k バイトです。

メモリマップの詳細は「2. 8 メモリマップ」を参照してください。

2. 1. 3 レジスタ構成

H 8 / 3 0 0 L C P Uの内部レジスタ構成を図 2. 1 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの2つに分類することができます。

汎用レジスタ (R n)

7	0	7	0
R 0 H		R 0 L	
R 1 H		R 1 L	
R 2 H		R 2 L	
R 3 H		R 3 L	
R 4 H		R 4 L	
R 5 H		R 5 L	
R 6 H		R 6 L	
R 7 H	(S P)	R 7 L	

コントロールレジスタ (C R)

15	0
P C	

	7	6	5	4	3	2	1	0
C C R	I	U	H	U	N	Z	V	C

<記号説明>

- S P : スタックポインタ
- P C : プログラムカウンタ
- C C R : コンディションコードレジスタ
- I : 割込みマスクビット
- U : ユーザビット
- H : ハーフキャリフラグ
- N : ネガティブフラグ
- Z : ゼロフラグ
- V : オーバフローフラグ
- C : キャリフラグ

図 2. 1 C P U内部レジスタ構成

2.2 各レジスタの説明

2.2.1 汎用レジスタ

汎用レジスタは、すべて同じ機能をもっており、データレジスタ、アドレスレジスタの区別なく使用できます。

データレジスタとして使用する場合は、8ビットレジスタとして上位（R7H～R0H）と下位（R7L～R0L）を別々に使用することも、また16ビットレジスタ（R7～R0）として使用することもできます。

アドレスレジスタとして使用する場合は、16ビットレジスタ（R7～R0）として使用します。

レジスタR7には、汎用レジスタとしての機能に加えて、スタックポインタ（SP）としての機能が割り当てられており、例外処理やサブルーチンコールなどで暗黙的に使用されます。このとき、SPは常にスタック領域の先頭を指しています。スタックの状態を図2.2に示します。

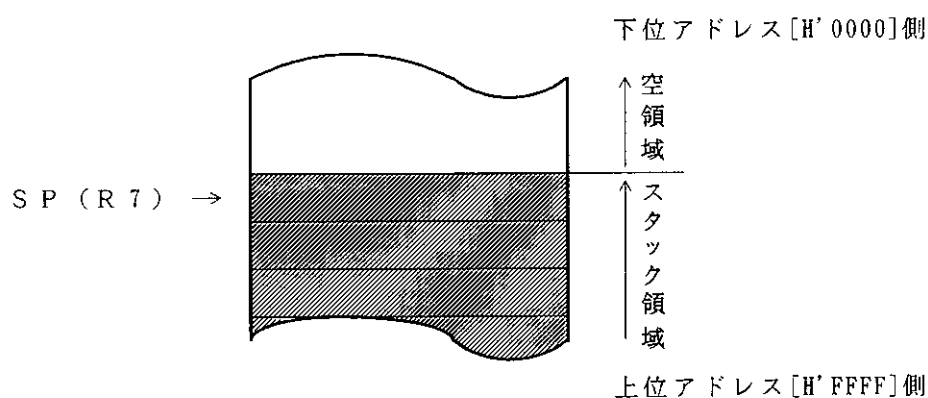


図 2.2 スタックの状態

2.2.2 コントロールレジスタ

コントロールレジスタには、16ビットのプログラムカウンタ（PC）と8ビットのコンディションコードレジスタ（CCR）があります。

(1) プログラムカウンタ（PC）

16ビットのカウンタで、CPUが次に実行する命令のアドレスを示しています。CPUの命令は、すべて16ビット（ワード）を単位としているため、最下位ビットは無効です（命令コードのリード時には最下位ビットは“0”とみなされます）。

(2) コンディションコードレジスタ (CCR)

8ビットのレジスタで、CPUの内部状態を示しています。割込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む8ビットで構成されています。これらのビットは、ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。N、Z、V、Cの各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット7：割込みマスクビット (I)

本ビットが“1”にセットされると、割込みがマスクされます。例外処理の実行が開始されたときに“1”にセットされます。本ビットはソフトウェアによりリード/ライトできます。割込みマスクビットの詳細については「3.3 割込み」を参照してください。

ビット6：ユーザビット (U)

ユーザが自由に使用できるビットです。

ビット5：ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット3にキャリまたはボローが生じたとき“1”にセットされ、生じなかったとき“0”にクリアされます。DAAおよびDAS 命令実行時に、暗黙的に使用されます。ADD.W、SUB.W、CMP.W 命令ではビット11にキャリまたはボローが生じたとき“1”にセットされ、生じなかったとき“0”にクリアされます。

ビット4：ユーザビット (U)

ユーザが自由に使用できるビットです。

ビット3：ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット2：ゼロフラグ (Z)

データがゼロのとき“1”にセットされ、ゼロ以外のとき“0”にクリアされます。

ビット1：オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき“1”にセットされます。それ以外のとき“0”にクリアされます。

ビット0：キャリフラグ (C)

演算の実行により、キャリが生じたとき“1”にセットされ、生じなかったとき“0”にクリアされます。キャリには次の種類があります。

- ・加算結果のキャリ
- ・減算結果のボロー
- ・シフト/ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。

各命令ごとのフラグの変化については、「H8/300L シリーズ プログラミングマニュアル」を参照してください。

2.2.3 CPU内部レジスタの初期値

リセット例外処理によって、CPU内部レジスタのうち、PCはベクタアドレス(H'0000)のロードにより初期化され、CCRのIビットは“1”にセットされますが、汎用レジスタおよびCCRの他のビットは初期化されません。レジスタR7 (SP)の初期値も不定です。したがって、リセット直後に、R7の初期化を行ってください。

2.3 データ構成

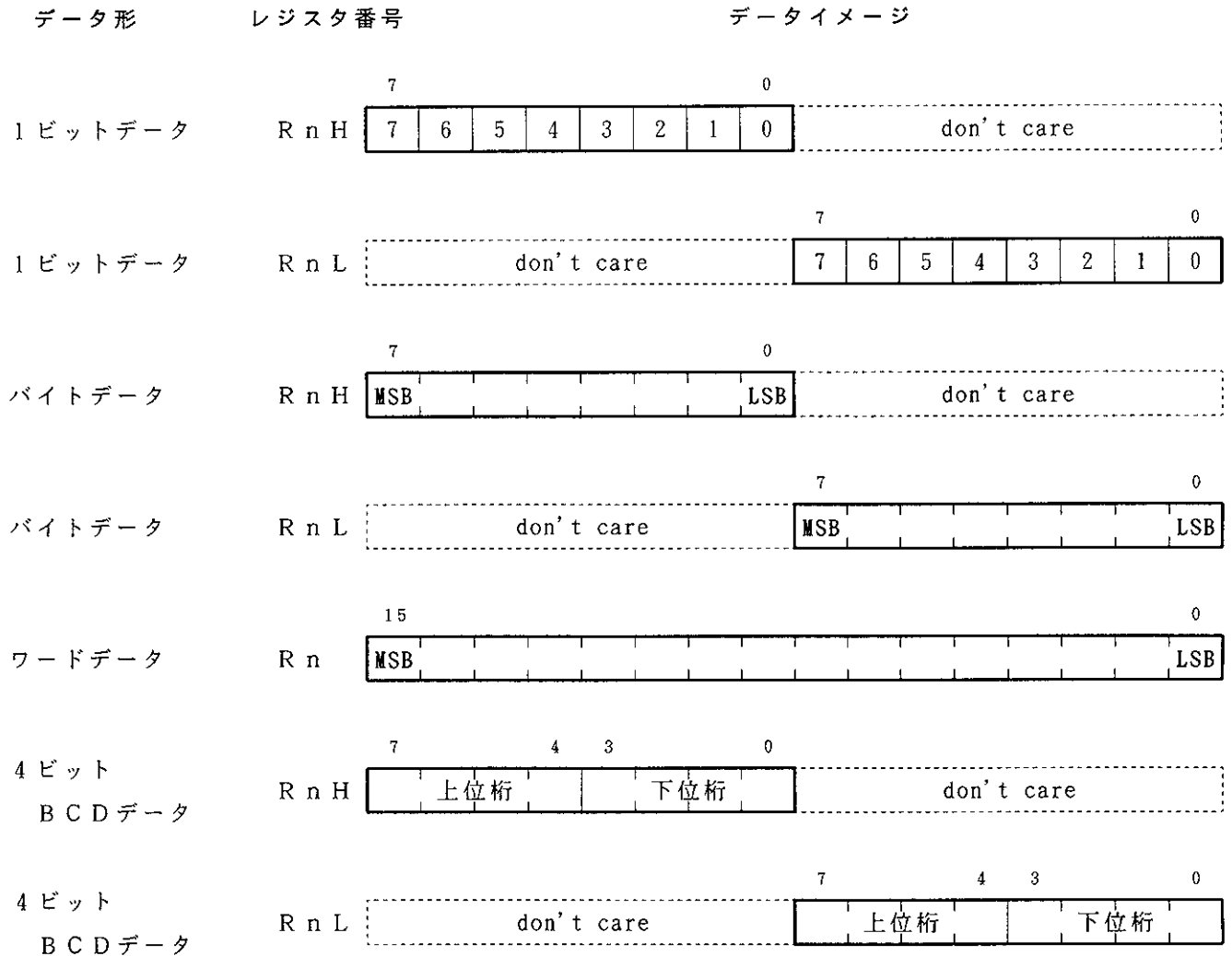
H8/300L CPUは、1ビット、4ビットBCD、8ビット（バイト）、16ビット（ワード）のデータを扱うことができます。1ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第nビット（n = 0、1、2、……7）という形式でアクセスされます。

バイトデータは、ADD S、SUB S以外の演算命令で扱われます。また、ワードデータは、MOV.W、ADD.W、SUB.W、CMP.W、ADD S、SUB S、MULXU（8ビット×8ビット）、DIVXU（16ビット÷8ビット）命令で扱われます。

なお、DAAおよびDASの10進補正命令では、バイトデータは2桁の4ビットBCDデータとなります。

2.3.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図2.3に示します。



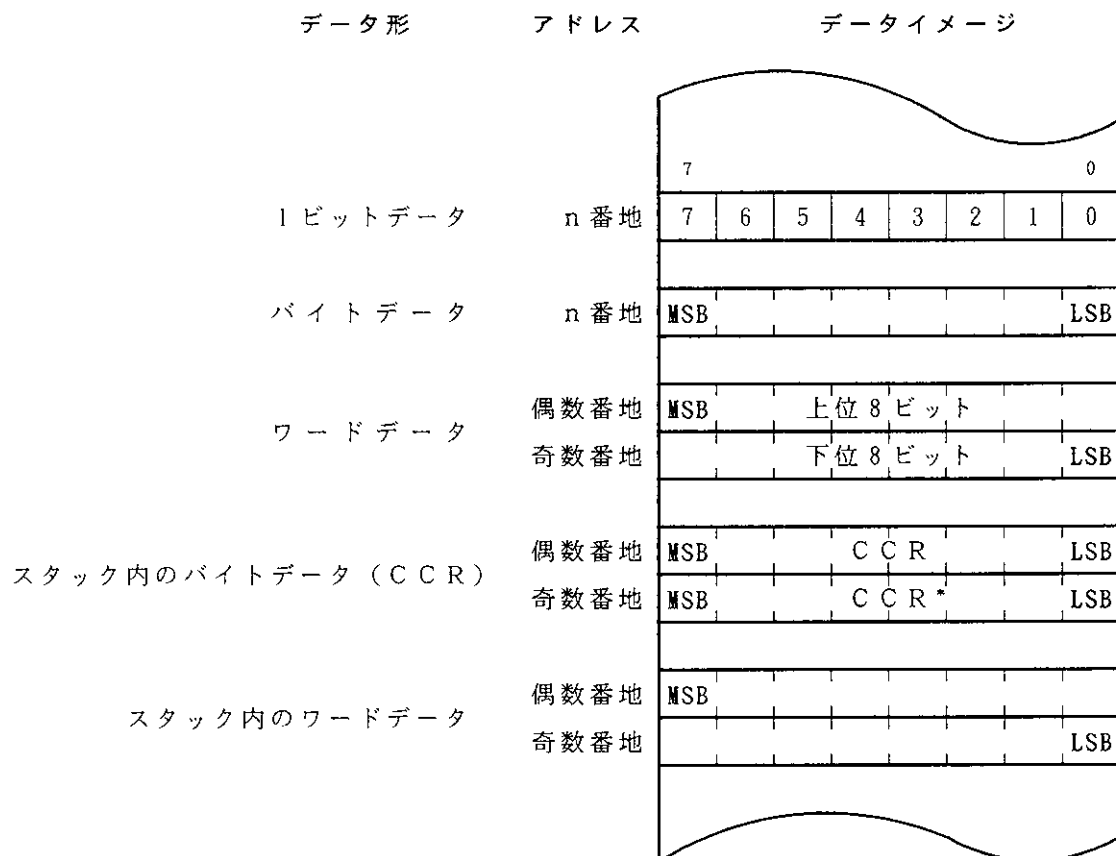
<記号説明>

- R n H : 汎用レジスタ上位
- R n L : 汎用レジスタ下位
- MSB : 最上位ビット
- LSB : 最下位ビット

図2.3 汎用レジスタのデータ構成

2.3.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図2.4に示します。H8/300L CPUは、メモリ上のワードデータをアクセスすることができます（MOV.W命令）が、偶数番地から始まるワードデータに限定されます。奇数番地から始まるワードデータをアクセスした場合、アドレスの最下位ビットは“0”とみなされ、1番地前から始まるワードデータをアクセスします。命令コードについても同様です。



【注】* リターン時には無視されます。

＜記号説明＞

CCR：コンディションコードレジスタ

図2.4 メモリ上でのデータ構成

なお、R7をアドレスレジスタとして使用し、スタックをアクセスするときは、必ずワードサイズでアクセスしてください。また、CCRは、ワードデータとして上位8ビット、下位8ビットに同じ値が格納され、リターン時には、下位8ビットは無視されます。

2.4 アドレッシングモード

2.4.1 アドレッシングモード

H8/300L CPUは、表2.1に示すように、8種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

表2.1 アドレッシングモード一覧表

No.	アドレッシングモード	記号
①	レジスタ直接	R n
②	レジスタ間接	@ R n
③	ディスプレースメント付レジスタ間接	@(d:16, Rn)
④	ポストインクリメントレジスタ間接	@ R n +
	プリデクリメントレジスタ間接	@ - R n
⑤	絶対アドレス	@aa:8 / @aa:16
⑥	イミディエイト	#xx:8 / #xx:16
⑦	プログラムカウンタ相対	@(d:8, PC)
⑧	メモリ間接	@ @aa:8

① レジスタ直接 R n

命令コードのレジスタフィールドで指定されるレジスタ（8ビットまたは16ビット）がオペランドとなります。

16ビットレジスタを使用する命令は、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU（8ビット×8ビット）、DIVXU（16ビット÷8ビット）の各命令です。

② レジスタ間接 @ R n

命令コードのレジスタフィールドで指定されるレジスタ（16ビット）の内容をアドレスとしてメモリ上のオペランドを指定します。

③ ディスプレースメント付レジスタ間接 @(d:16, Rn)

命令コードのレジスタフィールドで指定されるレジスタ（16ビット）の内容に、命令コードの第2ワード（第3、第4バイト）の16ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。

本アドレッシングモードは、MOV命令のみで使用されます。特に、MOV.W命令では、加算結果が偶数となるようにしてください。

④ ポストインクリメントレジスタ間接 @ R n + / プリデクリメントレジスタ間接 @ - R n

・ポストインクリメントレジスタ間接 @ R n +

MOV (Load from)命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ（16ビット）の内容をアドレスとし

て、メモリ上のオペランドを指定します。その後、レジスタの内容に1または2が加算され、加算結果がレジスタに格納されます。MOV.B命令では1、MOV.W命令では2がそれぞれ加算されます。MOV.W命令では、レジスタの内容が偶数になるようにしてください。

・プリデクリメントレジスタ間接 @-Rn

MOV (Store to) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ(16ビット)の内容から1または2を減算した内容をアドレスとして、メモリ上のオペランドを指定します。その後、減算結果がレジスタに格納されます。MOV.B命令では1、MOV.W命令では2がそれぞれ減算されます。MOV.W命令では、レジスタの内容が偶数となるようにしてください。

⑤ 絶対アドレス @aa:8 / @aa:16

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

このとき、絶対アドレスは8ビット(@aa:8)または16ビット(@aa:16)で、8ビット絶対アドレスはMOV.B、ビット操作命令で、16ビット絶対アドレスはMOV.B、MOV.W、JMP、JSRの各命令で使用されます。

8ビット絶対アドレスの場合、上位8ビットはすべて“1”(H'FF)となります。したがって、アクセス範囲は65280～65535(H'FF00～H'FFFF)番地です。

⑥ イミディエイト #xx:8 / #xx:16

命令コードの第2バイト(#xx:8)または第3、第4バイト(#xx:16)を直接オペランドとして使用します。#xx:16は、MOV.W命令のみで使用されます。

なお、ADD.SおよびSUB.S命令では、イミディエイトデータ(1または2)が命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが、命令コードの第2または第4バイトに含まれる場合があります。

⑦ プログラムカウンタ相対 @(d:8, PC)

Bcc、BSRの各命令で使用されます。

PCの内容に、命令コードの第2バイトの8ビットディスプレースメントを加算して、分岐アドレスを生成します。加算に際して、ディスプレースメントは16ビットに符号拡張され、また加算されるPCの内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して-126～+128バイト(-63～+64ワード)です。このとき、加算結果が偶数となるようにしてください。

⑧ メモリ間接 @@aa:8

JMPおよびJSR命令で使用されます。

命令コードの第2バイトに含まれる8ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。この場合、8ビット絶対アドレスの上位8ビットはすべて“0”(H'00)とされますので、分岐アドレスを格納できるのは0～255(H'0000～H'00FF)番地です。ただし、H8/300Lシリーズでは、アドレスの下位番地はベクタ領域と共通になっていますから注意してください。ベクタ領域の詳細は「3.3 割込み」を参照してください。

分岐アドレスまたはMOV.W命令のオペランドアドレスとして奇数アドレスを指定した場合、最下位ビットは“0”とみなされ、1番地前から始まるワードデータをアクセスします(「2.3.2 メモリ上でのデータ構成」を参照してください)。

2. 4. 2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス (E A : Effective Address) の計算法を表 2. 2 に示します。

演算命令では、①レジスタ直接、および⑥イミディエイト (A D D . B、A D D X、S U B X、C M P . B、A N D、O R、X O R の各命令) が使用されます。

転送命令では、⑦プログラムカウンタ相対と⑧メモリ間接を除くすべてのアドレッシングモードが使用可能です。

また、ビット操作命令では、オペランドの指定に①レジスタ直接、②レジスタ間接および⑤絶対アドレス (8 ビット) が使用可能です。さらに、オペランド中のビット番号を指定するために①レジスタ直接 (B S E T、B C L R、B N O T、B T S T の各命令) および⑥イミディエイト (3 ビット) が独立して使用可能です。

表 2.2 実効アドレスの計算方法(1)

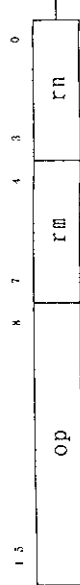
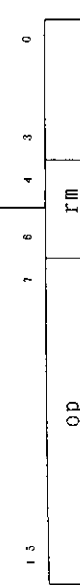
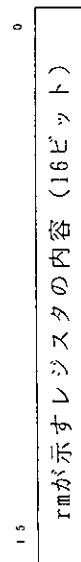
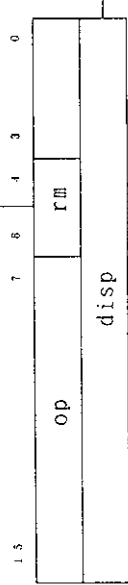
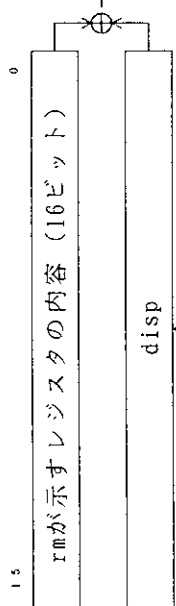
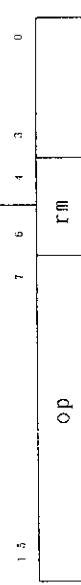
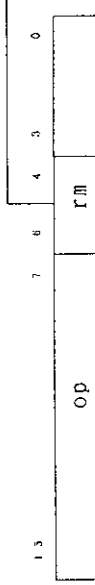
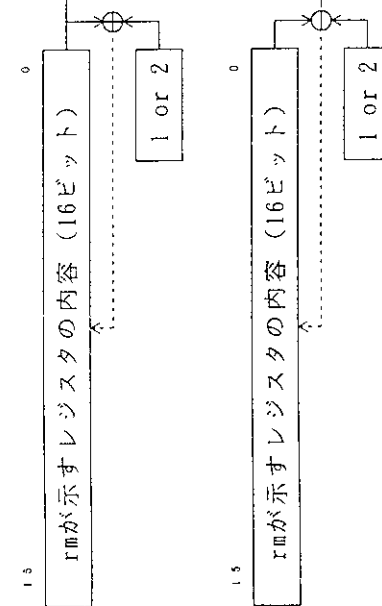
No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
①	レジスタ直接 Rn 		
②	レジスタ間接 @Rn 		
③	ディスプレースメント付レジスタ間接 @d:16, Rn 		
④	ホストインクリメントレジスタ間接／プリインクリメントレジスタ間接 ・ホストインクリメントレジスタ間接 @Rn +  ・プリインクリメントレジスタ間接 @-Rn 		 オペランドサイズがバイトのとき1、ワードのとき2が加減算されます。

表 2.2 実効アドレスの計算方法(2)

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
⑤	絶対アドレス @aa:8		
	@aa:16		
	イミディエイト #xx:8 #xx:16		オペランドはイミディエイトデータの1または2バイトデータです。
⑦	プログラムカウンタ相対 @ (d:8, PC)		

表 2. 2 実効アドレスの計算方法 (3)

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (E A)
⑧	メモリ間接@@aa:8 15870 opabs	15870 H'00abs メモリの内容 (16ビット)	150

<記号説明>

- rm、rn : レジスタフィールド
- op : オペレーションフィールド
- disp : ディスプレースメント
- imm : イミディエイトデータ
- abs : 絶対アドレス

2.5 命令セット

H8/300L CPUの命令は合計55種類あり、各命令のもつ機能によって、表2.3に示すように分類されます。

表 2.3 命令の分類

機 能	命 令	種 類
データ転送命令	MOV、POP ^{*1} 、PUSH ^{*1}	1
算術演算命令	ADD、SUB、ADDX、SUBX、INC、DEC、 ADDS、SUBS、DAA、DAS、MULXU、 DIVXU、CMP、NEG	14
論理演算命令	AND、OR、XOR、NOT	4
シフト命令	SHAL、SHAR、SHLL、SHLR、ROTL、 ROTR、ROTXL、ROTXR	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、 BIAND、BOR、BIOR、BXOR、BIXOR、 BLD、BILD、BST、BIST	14
分岐命令	Bcc ^{*2} 、JMP、BSR、JSR、RTS	5
システム制御命令	RTE、SLEEP、LDC、STC、ANDC、ORC、 XORC、NOP	8
ブロック転送命令	EEPMOV	1

合計55種

【注】^{*1} POP Rn、PUSH Rnは、それぞれMOV.W @SP+, Rn、MOV.W Rn, @-SPと同一です。機械語についても同一です。

^{*2} Bccは条件分岐命令の総称です。

各命令の機能について表 2. 4 から表 2. 11 に示します。各表で使用しているオペレーションの記号の意味は以下のとおりです。

《オペレーションの記号》

R d	汎用レジスタ（デスティネーション側）
R s	汎用レジスタ（ソース側）
R n	汎用レジスタ
(E A d)、< E A d >	デスティネーションオペランド
(E A s)、< E A s >	ソースオペランド
C C R	コンディションコードレジスタ
N	C C R の N（ネガティブ）フラグ
Z	C C R の Z（ゼロ）フラグ
V	C C R の V（オーバフロー）フラグ
C	C C R の C（キャリ）フラグ
P C	プログラムカウンタ
S P	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
—	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
: 3	3 ビット長
: 8	8 ビット長
: 16	16 ビット長
()、< >	オペランドの実効アドレスの内容

2.5.1 データ転送命令

データ転送命令の機能を表 2.4 に示します。

表 2.4 データ転送命令

命 令	サイズ*	機 能
MOV	B/W	(EAs) $\longrightarrow$ Rd、Rs $\longrightarrow$ (EAd) 汎用レジスタと汎用レジスタまたは汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。 ワードデータはRn、@Rn、@ (d:16, Rn)、@aa:16、#xx:16、@-Rn、@Rn+の各アドレッシングモードで扱います。@aa:8 はバイトデータのみです。 ただし、@-R7、@R7+を使用する場合は必ずワードサイズを指定してください。
POP	W	@SP+ $\longrightarrow$ Rn スタックから汎用レジスタへデータを復帰します。 本命令はMOV.W @SP+, Rnと同一です。
PUSH	W	Rn $\longrightarrow$ @-SP 汎用レジスタの内容をスタックに退避します。 本命令はMOV.W Rn, @-SPと同一です。

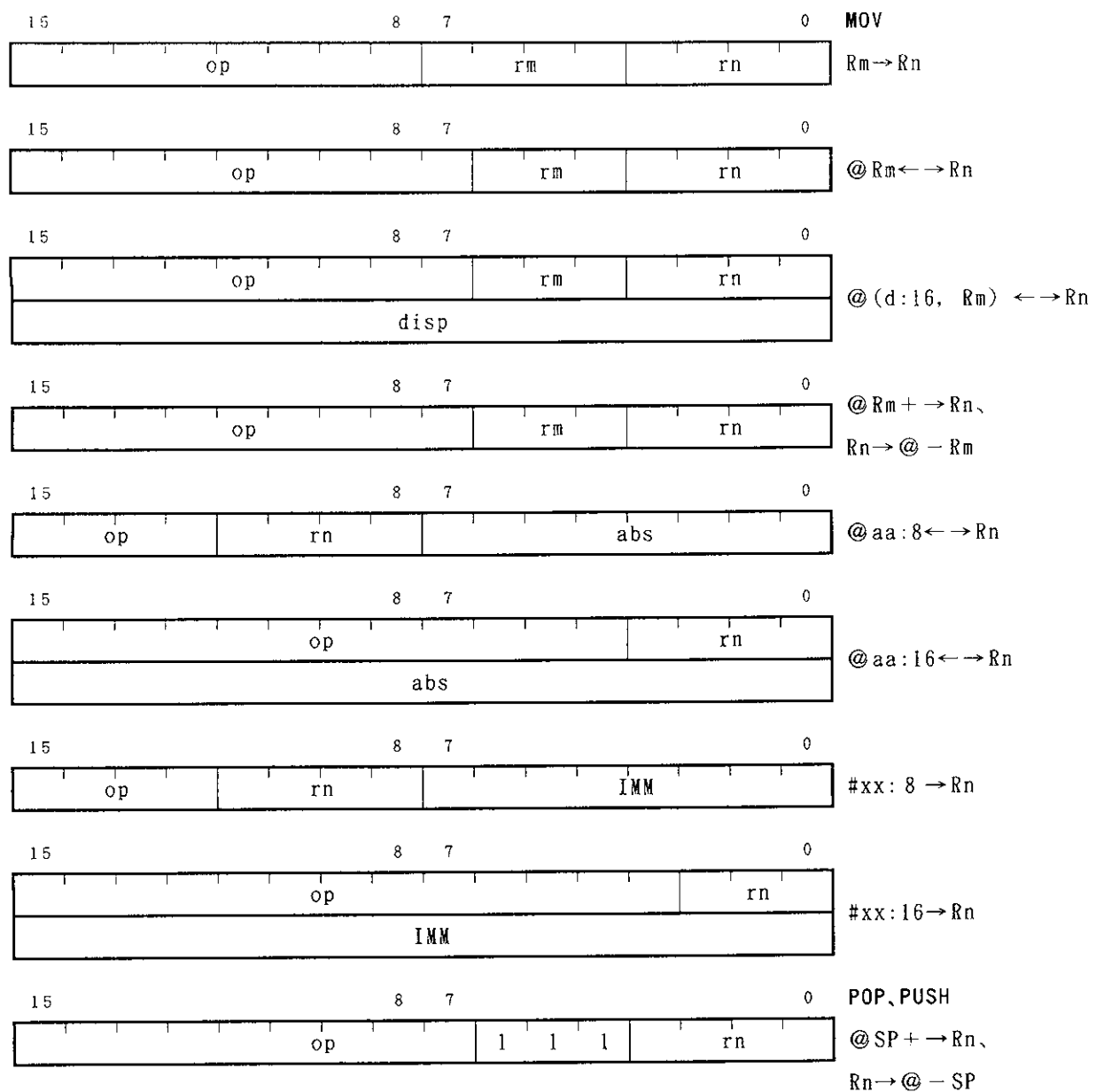
【注】* サイズはオペランドサイズを示します。

B : バイト

W : ワード

データアクセスに関して使用上の注意事項があります。詳細は「2.9.1 データアクセスに関する注意事項」を参照してください。

データ転送命令の命令フォーマットを図 2. 5 に示します。



<記号説明>

op : オペレーションフィールド
 rm、rn : レジスタフィールド
 disp : ディスプレースメント
 abs : 絶対アドレス
 IMM : イミディエイトデータ

図 2. 5 データ転送命令の命令フォーマット

2.5.2 算術演算命令

算術演算命令の機能を表 2.5 に示します。

表 2.5 算術演算命令

命 令	サイズ*	機 能
ADD SUB	B/W	$Rd \pm Rs \longrightarrow Rd$ 、 $Rd + \#IMM \longrightarrow Rd$ 汎用レジスタ間の加減算、または汎用レジスタとイミディエイトデータの加算を行います。汎用レジスタとイミディエイトデータの減算はできません。 ワードデータは、汎用レジスタ間の加減算のみで扱います。
ADDX SUBX	B	$Rd \pm Rs \pm C \longrightarrow Rd$ 、 $Rd \pm \#IMM \pm C \longrightarrow Rd$ 汎用レジスタ間のキャリ付の加減算、または汎用レジスタとイミディエイトデータのキャリ付の加減算を行います。
INC DEC	B	$Rd \pm 1 \longrightarrow Rd$ 汎用レジスタに 1 を加減算します。
ADDS SUBS	W	$Rd \pm 1 \longrightarrow Rd$ 、 $Rd \pm 2 \longrightarrow Rd$ 汎用レジスタに 1 または 2 を加減算します。
DAA DAS	B	$Rd (10進補正) \longrightarrow Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B	$Rd \times Rs \longrightarrow Rd$ 汎用レジスタ間の符号なし乗算を行います。8 ビット × 8 ビット → 16 ビットの演算が可能です。
DIVXU	B	$Rd \div Rs \longrightarrow Rd$ 汎用レジスタ間の符号なし除算を行います。16 ビット ÷ 8 ビット → 商 8 ビット 余り 8 ビットの演算が可能です。
CMP	B/W	$Rd - Rs$ 、 $Rd - \#IMM$ 汎用レジスタ間の比較、または汎用レジスタとイミディエイトデータの比較を行い、その結果を CCR に反映します。 ワードデータは、汎用レジスタ間の比較のみで扱います。
NEG	B	$0 - Rd \longrightarrow Rd$ 汎用レジスタの内容の 2 の補数（算術的補数）をとります。

【注】* サイズはオペランドサイズを示します。

B : バイト

W : ワード

2.5.3 論理演算命令

論理演算命令の機能を表 2.6 に示します。

表 2.6 論理演算命令

命 令	サイズ*	機 能
A N D	B	$Rd \wedge Rs \longrightarrow Rd$ 、 $Rd \wedge \#IMM \longrightarrow Rd$ 汎用レジスタ間の論理積、または汎用レジスタとイミディエイトデータの論理積をとります。
O R	B	$Rd \vee Rs \longrightarrow Rd$ 、 $Rd \vee \#IMM \longrightarrow Rd$ 汎用レジスタ間の論理和、または汎用レジスタとイミディエイトデータの論理和をとります。
X O R	B	$Rd \oplus Rs \longrightarrow Rd$ 、 $Rd \oplus \#IMM \longrightarrow Rd$ 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
N O T	B	$\sim Rd \longrightarrow Rd$ 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

【注】* サイズはオペランドサイズを示します。

B : バイト

2.5.4 シフト命令

シフト命令の機能を表 2.7 に示します。

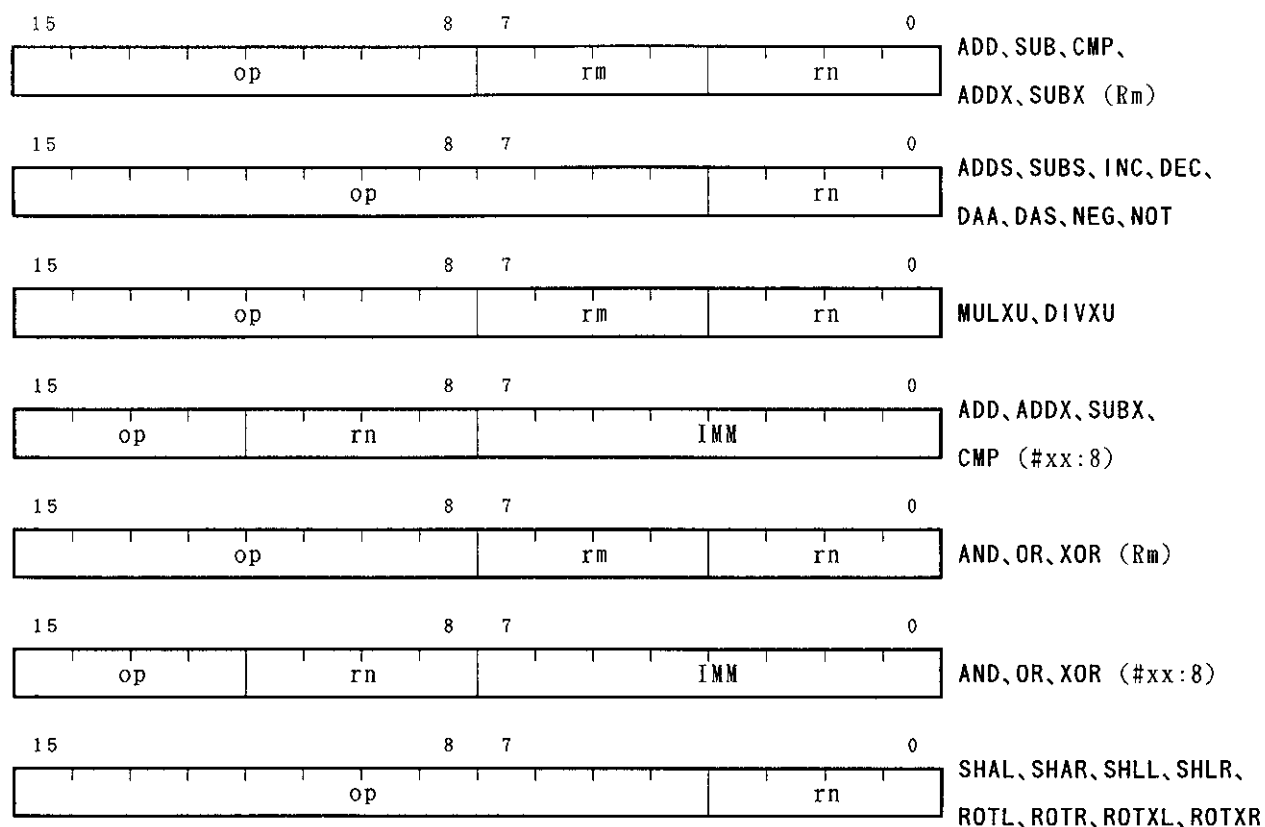
表 2.7 シフト命令

命 令	サイズ*	機 能
S H A L S H A R	B	Rd （シフト処理） $\longrightarrow Rd$ 汎用レジスタの内容を算術的にシフトします。
S H L L S H L R	B	Rd （シフト処理） $\longrightarrow Rd$ 汎用レジスタの内容を論理的にシフトします。
R O T L R O T R	B	Rd （ローテート処理） $\longrightarrow Rd$ 汎用レジスタの内容をローテートします。
R O T X L R O T X R	B	Rd （ローテート処理） $\longrightarrow Rd$ 汎用レジスタの内容を、キャリフラグを含めてローテートします。

【注】* サイズはオペランドサイズを示します。

B : バイト

算術演算命令、論理演算命令およびシフト命令の命令フォーマットを図 2. 6 に示します。



<記号説明>

op : オペレーションフィールド
 rm、rn : レジスタフィールド
 IMM : イミディエイトデータ

図 2. 6 算術演算命令・論理演算命令・シフト命令の命令フォーマット

2. 5. 5 ビット操作命令

ビット操作命令の機能を表 2. 8 に示します。

表 2. 8 ビット操作命令(1)

命 令	サイズ*	機 能
B S E T	B	$1 \longrightarrow (\text{<ビット番号> of <E A d>})$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを“1”にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
B C L R	B	$0 \longrightarrow (\text{<ビット番号> of <E A d>})$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを“0”にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
B N O T	B	$\sim (\text{<ビット番号> of <E A d>}) \longrightarrow (\text{<ビット番号> of <E A d>})$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
B T S T	B	$\sim (\text{<ビット番号> of <E A d>}) \longrightarrow Z$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
B A N D	B	$C \wedge (\text{<ビット番号> of <E A d>}) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
B I A N D	B	$C \wedge [\sim (\text{<ビット番号> of <E A d>})] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】* サイズはオペランドサイズを示します。

B : バイト

表 2. 8 ビット操作命令(2)

命 令	サイズ*	機 能
B O R	B	$C \vee (<\text{ビット番号}> \text{ of } <\text{E A d}>) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
B I O R	B	$C \vee [\sim (<\text{ビット番号}> \text{ of } <\text{E A d}>)] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
B X O R	B	$C \oplus (<\text{ビット番号}> \text{ of } <\text{E A d}>) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
B I X O R	B	$C \oplus [\sim (<\text{ビット番号}> \text{ of } <\text{E A d}>)] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
B L D	B	$(<\text{ビット番号}> \text{ of } <\text{E A d}>) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
B I L D	B	$\sim (<\text{ビット番号}> \text{ of } <\text{E A d}>) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】* サイズはオペランドサイズを示します。

B : バイト

表 2. 8 ビット操作命令(3)

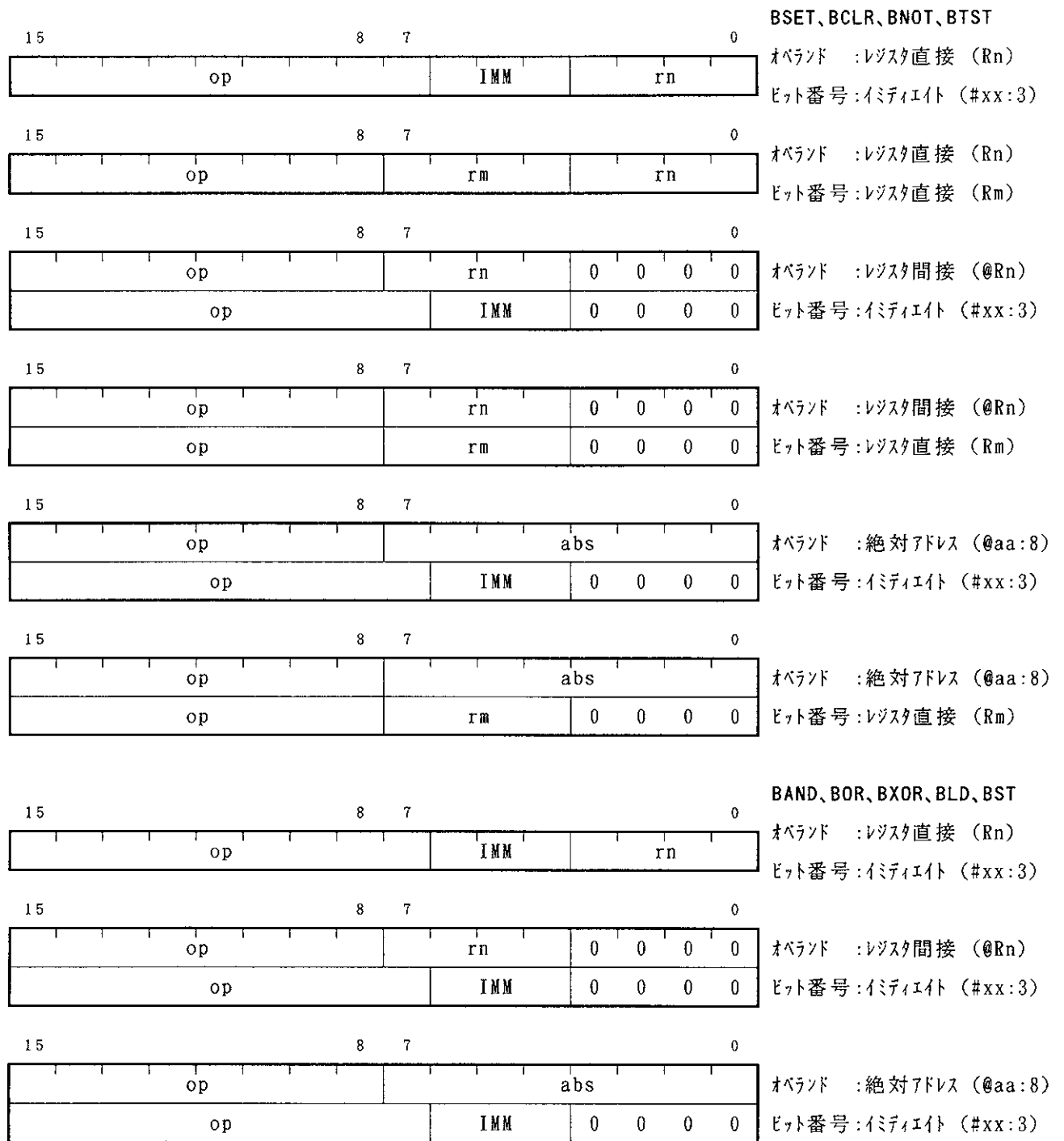
命 令	サイズ*	機 能
B S T	B	$C \longrightarrow (\text{<ビット番号> of <E A d>})$ 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグの内容を転送します。
B I S T	B	$\sim C \longrightarrow (\text{<ビット番号> of <E A d>})$ 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】* サイズはオペランドサイズを示します。

B : バイト

ビット操作命令には使用上の注意事項があります。詳細は「2. 9. 2 ビット操作命令使用上の注意事項」を参照してください。

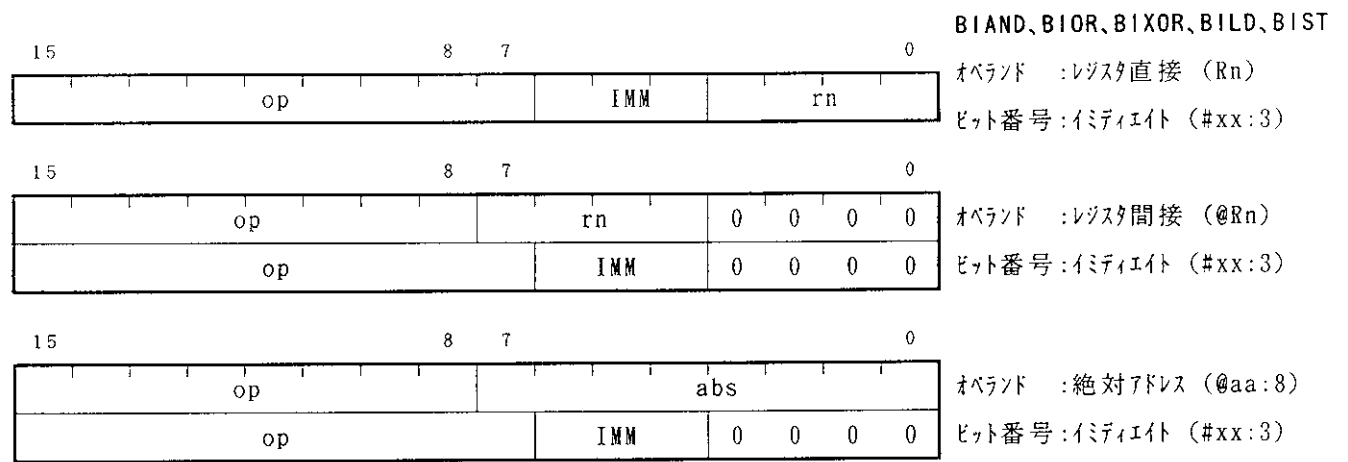
ビット操作命令の命令フォーマットを図 2.7 に示します。



<記号説明>

op : オペレーションフィールド
 rm、rn : レジスタフィールド
 abs : 絶対アドレス
 IMM : イミディエイトデータ

図 2.7 ビット操作命令の命令フォーマット(1)



＜記号説明＞

op : オペレーションフィールド

rm、rn : レジスタフィールド

abs : 絶対アドレス

IMM : イミディエイトデータ

図 2.7 ビット操作命令の命令フォーマット(2)

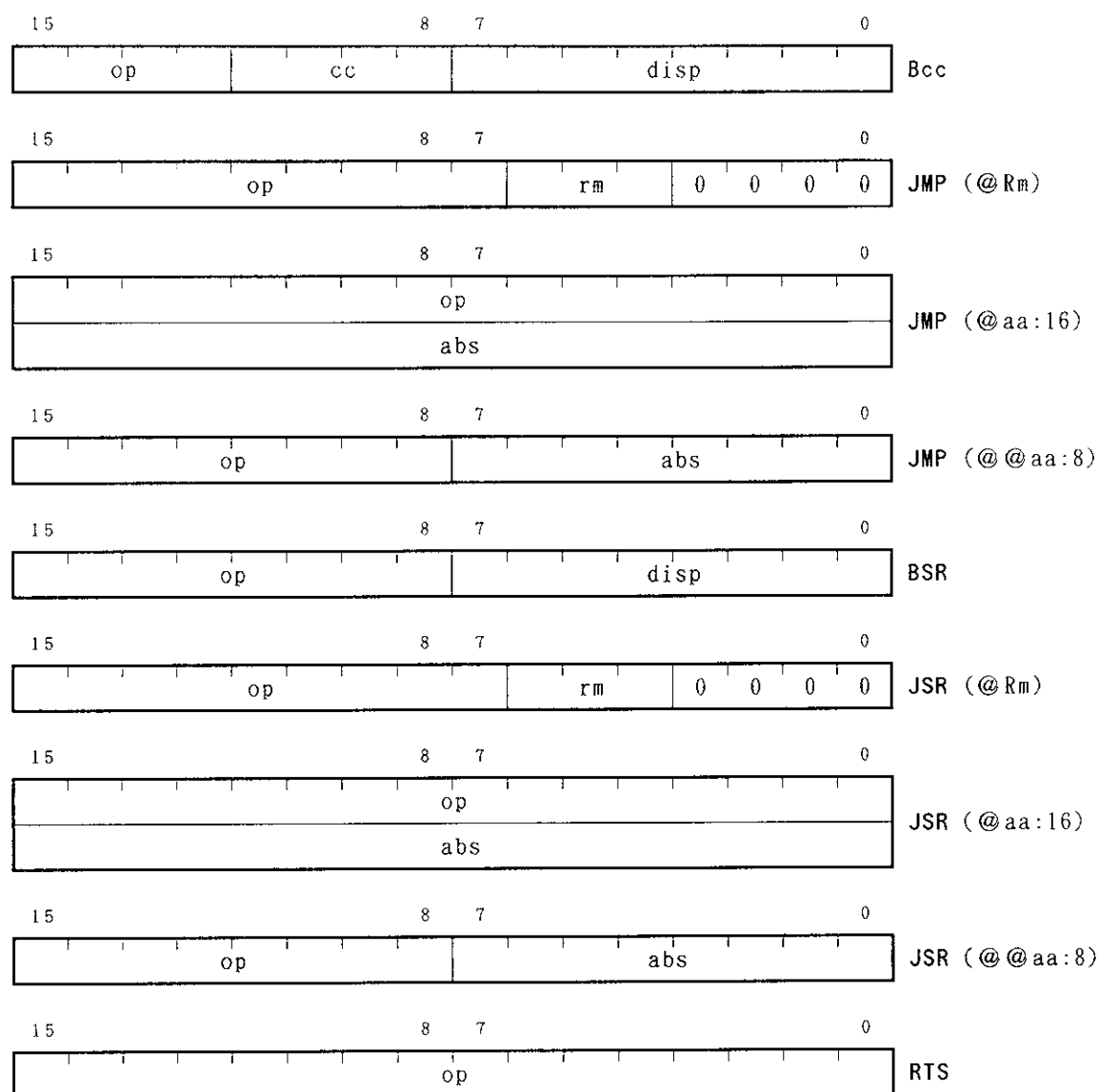
2.5.6 分岐命令

分岐命令の機能を表 2.9 に示します。

表 2.9 分岐命令

命 令	サイズ	機 能																																																			
B c c	—	指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。 <table> <tr> <th>ニ-モニツク</th><th>説 明</th><th>分 岐 条 件</th></tr> <tr> <td>BRA (BT)</td><td>Always (True)</td><td>Always</td></tr> <tr> <td>BRN (BF)</td><td>Never (False)</td><td>Never</td></tr> <tr> <td>BHI</td><td>High</td><td>$C \vee Z = 0$</td></tr> <tr> <td>BLS</td><td>Low or Same</td><td>$C \vee Z = 1$</td></tr> <tr> <td>BCC (BHS)</td><td>Carry Clear (High or Same)</td><td>$C = 0$</td></tr> <tr> <td>BCS (BLO)</td><td>Carry Set (Low)</td><td>$C = 1$</td></tr> <tr> <td>BNE</td><td>Not Equal</td><td>$Z = 0$</td></tr> <tr> <td>BEQ</td><td>Equal</td><td>$Z = 1$</td></tr> <tr> <td>BVC</td><td>overflow Clear</td><td>$V = 0$</td></tr> <tr> <td>BVS</td><td>overflow Set</td><td>$V = 1$</td></tr> <tr> <td>BPL</td><td>Plus</td><td>$N = 0$</td></tr> <tr> <td>BMI</td><td>Minus</td><td>$N = 1$</td></tr> <tr> <td>BGE</td><td>Greater or Equal</td><td>$N \oplus V = 0$</td></tr> <tr> <td>BLT</td><td>Less Than</td><td>$N \oplus V = 1$</td></tr> <tr> <td>BGT</td><td>Greater Than</td><td>$Z \vee (N \oplus V) = 0$</td></tr> <tr> <td>BLE</td><td>Less or Equal</td><td>$Z \vee (N \oplus V) = 1$</td></tr> </table>	ニ-モニツク	説 明	分 岐 条 件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	$C \vee Z = 0$	BLS	Low or Same	$C \vee Z = 1$	BCC (BHS)	Carry Clear (High or Same)	$C = 0$	BCS (BLO)	Carry Set (Low)	$C = 1$	BNE	Not Equal	$Z = 0$	BEQ	Equal	$Z = 1$	BVC	overflow Clear	$V = 0$	BVS	overflow Set	$V = 1$	BPL	Plus	$N = 0$	BMI	Minus	$N = 1$	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z \vee (N \oplus V) = 0$	BLE	Less or Equal	$Z \vee (N \oplus V) = 1$
ニ-モニツク	説 明	分 岐 条 件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	$C \vee Z = 0$																																																			
BLS	Low or Same	$C \vee Z = 1$																																																			
BCC (BHS)	Carry Clear (High or Same)	$C = 0$																																																			
BCS (BLO)	Carry Set (Low)	$C = 1$																																																			
BNE	Not Equal	$Z = 0$																																																			
BEQ	Equal	$Z = 1$																																																			
BVC	overflow Clear	$V = 0$																																																			
BVS	overflow Set	$V = 1$																																																			
BPL	Plus	$N = 0$																																																			
BMI	Minus	$N = 1$																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$Z \vee (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V) = 1$																																																			
J M P	—	指定されたアドレスへ無条件に分岐します。																																																			
B S R	—	指定されたアドレスへサブルーチン分岐します。																																																			
J S R	—	指定されたアドレスへサブルーチン分岐します。																																																			
R T S	—	サブルーチンから復帰します。																																																			

分岐命令の命令フォーマットを図 2. 8 に示します。



<記号説明>

- op : オペレーションフィールド
- cc : コンディションフィールド
- rm : レジスタフィールド
- disp: ディスプレースメント
- abs : 絶対アドレス

図 2. 8 分岐命令の命令フォーマット

2. 5. 7 システム制御命令

システム制御命令の機能を表 2.10 に示します。

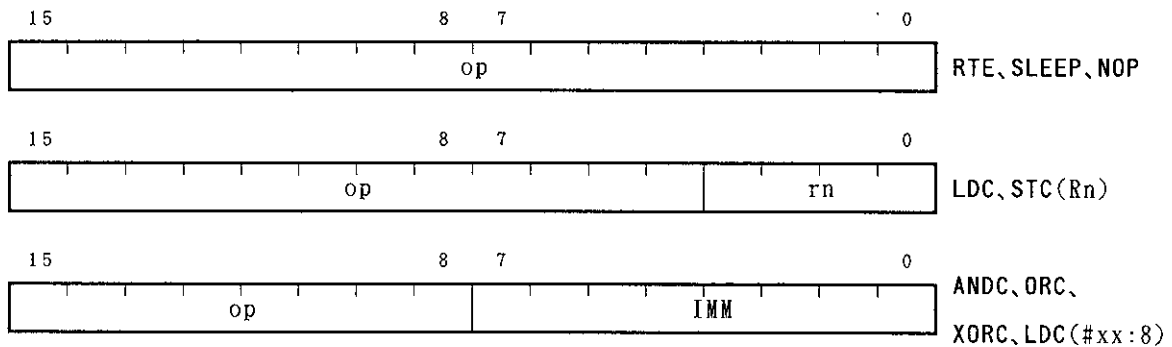
表 2.10 システム制御命令

命 令	サイズ*	機 能
R T E	—	割込み処理ルーチンから復帰します。
S L E E P	—	アクティブモードで本命令を実行すると、低消費電力モードに遷移します。 詳細は「第 5 章 低消費電力モード」を参照してください。
L D C	B	$R_s \longrightarrow CCR$ 、 $\#IMM \longrightarrow CCR$ 汎用レジスタの内容、またはイミディエイトデータを CCR に転送します。
S T C	B	$CCR \longrightarrow R_d$ CCR の内容を汎用レジスタに転送します。
A N D C	B	$CCR \wedge \#IMM \longrightarrow CCR$ CCR とイミディエイトデータの論理積をとります。
O R C	B	$CCR \vee \#IMM \longrightarrow CCR$ CCR とイミディエイトデータの論理和をとります。
X O R C	B	$CCR \oplus \#IMM \longrightarrow CCR$ CCR とイミディエイトデータの排他的論理和をとります。
N O P	—	$PC + 2 \longrightarrow PC$ PC のインクリメントだけを行います。

【注】* サイズはオペランドサイズを示します。

B : バイト

システム制御命令の命令フォーマットを図 2.9 に示します。



＜記号説明＞

op : オペレーションフィールド

rn : レジスタフィールド

IMM : イミディエイトデータ

図 2.9 システム制御命令の命令フォーマット

2.5.8 ブロック転送命令

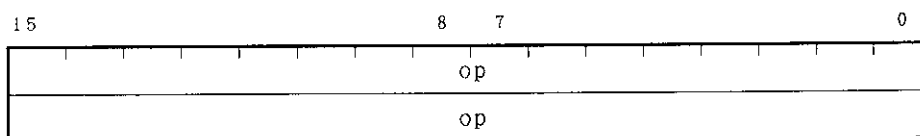
ブロック転送命令の機能を表 2.11 に示します。

表 2.11 ブロック転送命令

命 令	サイズ	機 能
EEPMOV	—	if R 4 L $\neq$ 0 then Repeat @R 5 + $\rightarrow$ @R 6 +、R 4 L - 1 $\rightarrow$ R 4 L Until R 4 L = 0 else next; ブロック転送命令です。R 5 で示されるアドレスから始まり、R 4 L で指定されるバイト数のデータを R 6 で示されるアドレスから始まるロケーションへ転送します。転送終了後、次の命令を実行します。

EEPMOV 命令には、使用上の注意事項があります。詳細は「2.9.3 EEP MOV 命令使用上の注意事項」を参照してください。

ブロック転送命令の命令フォーマットを図 2.10 に示します。



<記号説明>

op : オペレーションフィールド

図 2.10 ブロック転送命令の命令フォーマット

2. 6 基本動作タイミング

CPUは、システムクロック(ϕ)またはサブクロック(ϕ_{SUB})を基準に動作しています。システムクロック ϕ およびサブクロック ϕ_{SUB} の定義については「第4章 クロック発振器」を参照してください。 ϕ または ϕ_{SUB} の立上がりから次の立上がりまでの1単位をステートと呼びます。バスサイクルは、2ステートまたは3ステートで構成され、内蔵メモリ、内蔵周辺モジュールによって異なるアクセスを行います。

2. 6. 1 内蔵メモリ (RAM、ROM)

内蔵メモリのアクセスは、2ステートで行われます。このとき、データバス幅は16ビットで、バイトおよびワードサイズアクセスが可能です。

内蔵メモリアクセスサイクルを図2.11に示します。

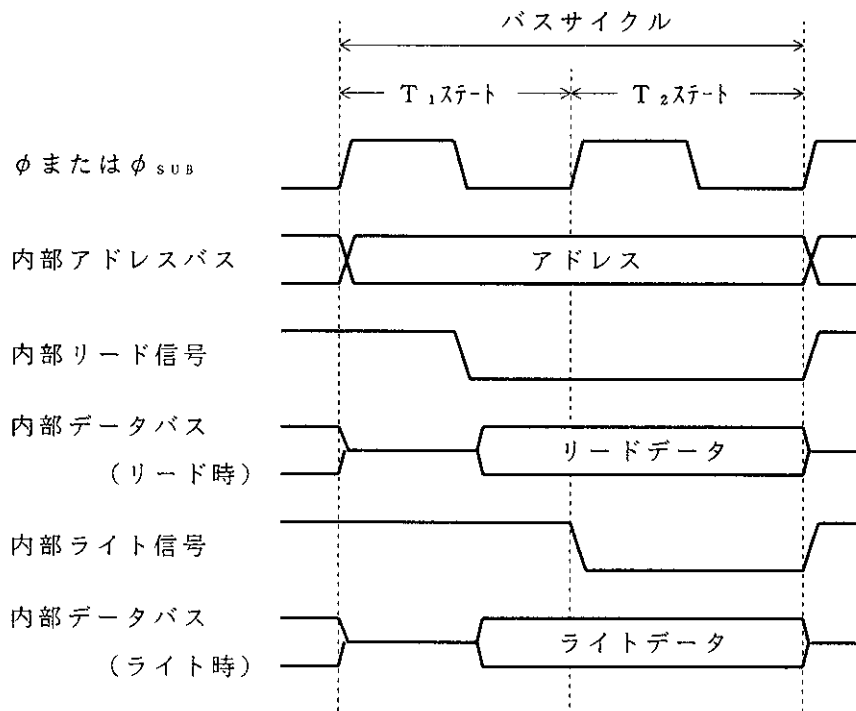


図 2.11 内蔵メモリアクセスサイクル

2. 6. 2 内蔵周辺モジュール

内蔵周辺モジュールのアクセスは、2ステートまたは3ステートで行われます。このとき、データバス幅は8ビットで、バイトサイズアクセスのみ可能です。したがって、ワードデータは、2命令に分けてアクセスしてください。

(1) 内蔵周辺モジュール 2 ステートアクセス

内蔵周辺モジュールを 2 ステートでアクセスした動作タイミングを図 2.12 に示します。

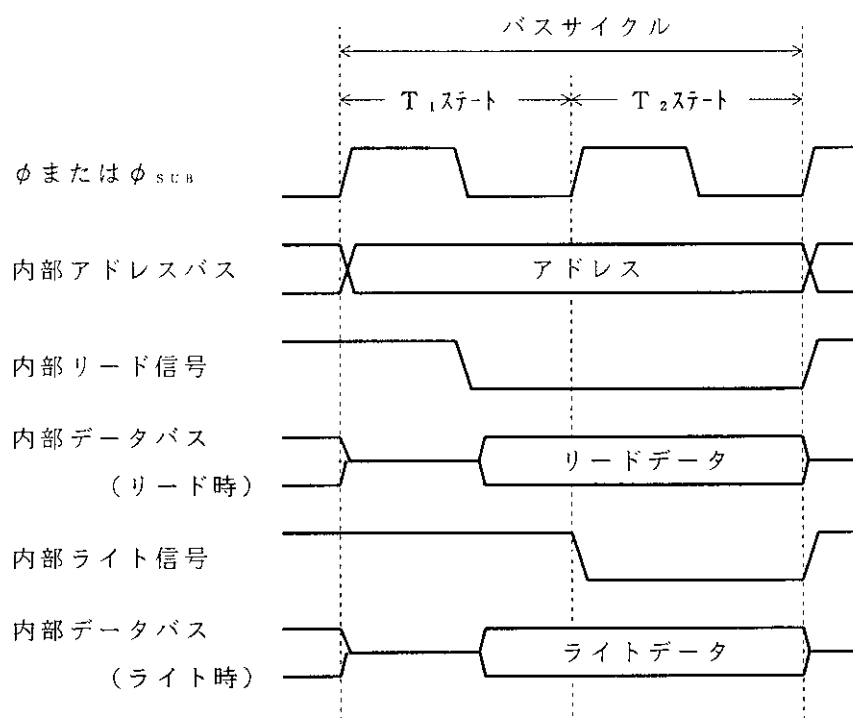
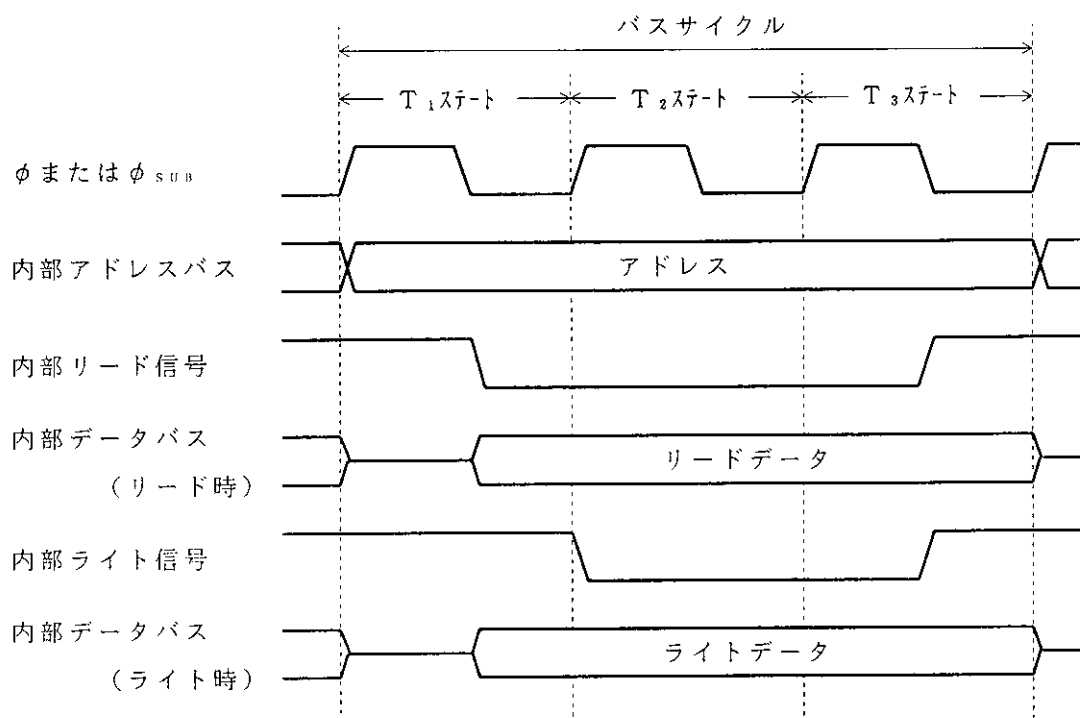


図 2.12 内蔵周辺モジュールアクセスサイクル (2 ステートアクセス)

(2) 内蔵周辺モジュール 3 ステートアクセス

内蔵周辺モジュールを 3 ステートでアクセスした動作タイミングを図 2.13 に示します。



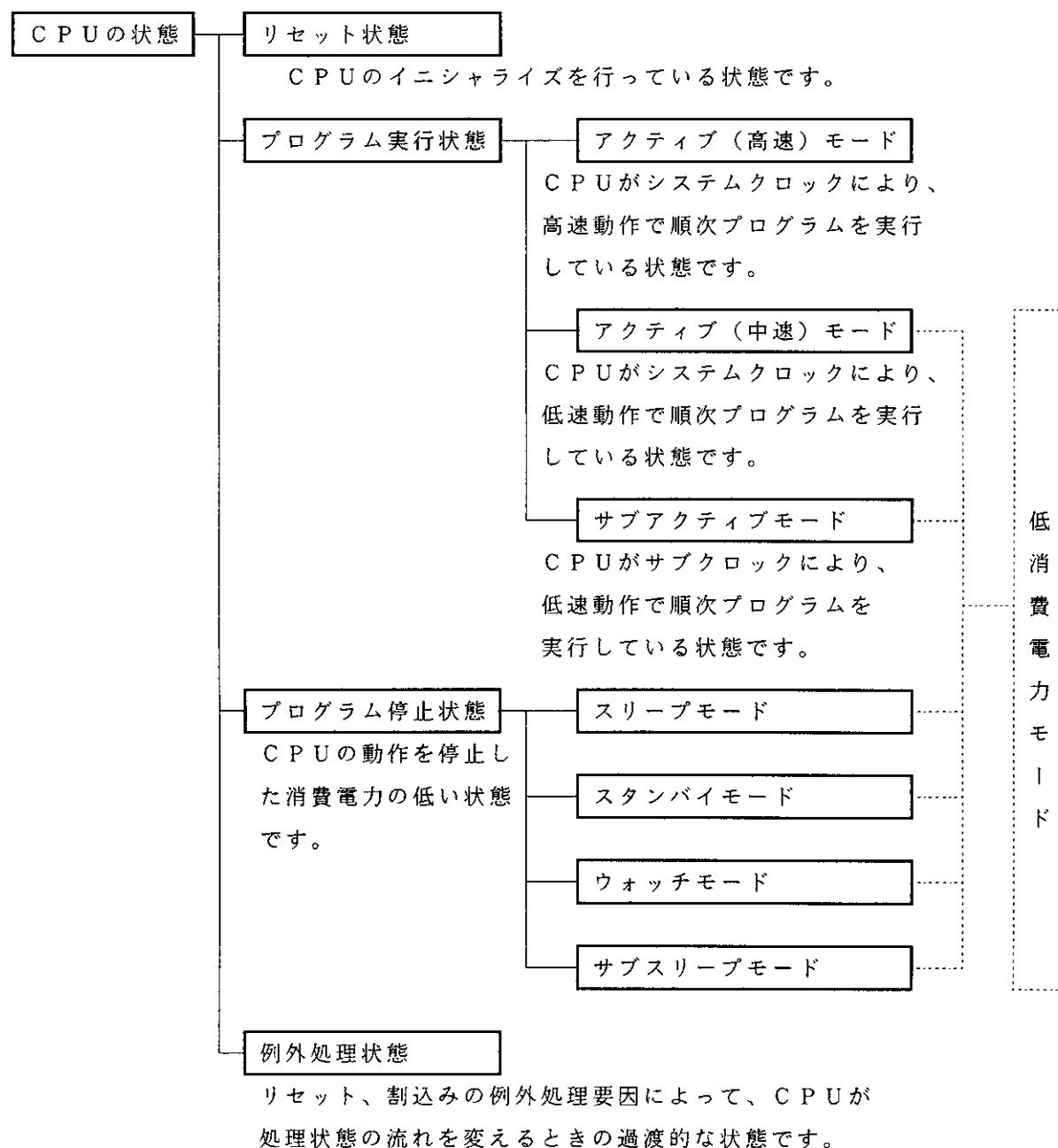
ジュールアクセスサイクル (3 ステートアクセス)

2.7 CPUの状態

2.7.1 概要

CPUの状態には、リセット状態、プログラム実行状態、プログラム停止状態、例外処理状態の4種類があります。プログラム実行状態には、アクティブ（高速、中速）モード、サブアクティブモードがあり、プログラム停止状態には、スリープモード、スタンバイモード、ウォッチモード、およびサブスリープモードがあります。

各状態の分類を図2.14に、各状態間の遷移を図2.15に示します。



【注】 各モードの遷移の詳細については「第5章 低消費電力モード」を参照してください。

図2.14 CPUの状態の分類

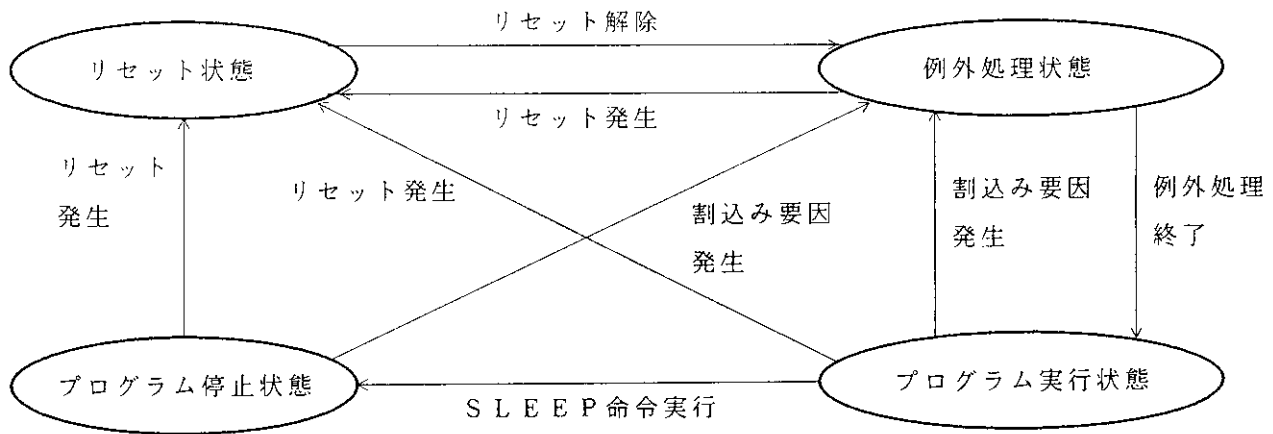


図 2.15 状態遷移図

2.7.2 プログラム実行状態

CPUがプログラムを順次実行している状態です。

CPUがプログラム実行状態には、アクティブ（高速、中速）モードとサブアクティブモードの3つのモードがあります。アクティブ（高速、中速）モードはシステムクロックで、サブアクティブモードはサブクロックで動作します。

これらのモードについての詳細は「第5章 低消費電力モード」を参照してください。

2.7.3 プログラム停止状態

プログラム停止状態には、スリープモード、スタンバイモード、ウォッチモード、およびサブスリープモードの4つのモードがあります。

これらのモードについての詳細は「第5章 低消費電力モード」を参照してください。

2.7.4 例外処理状態

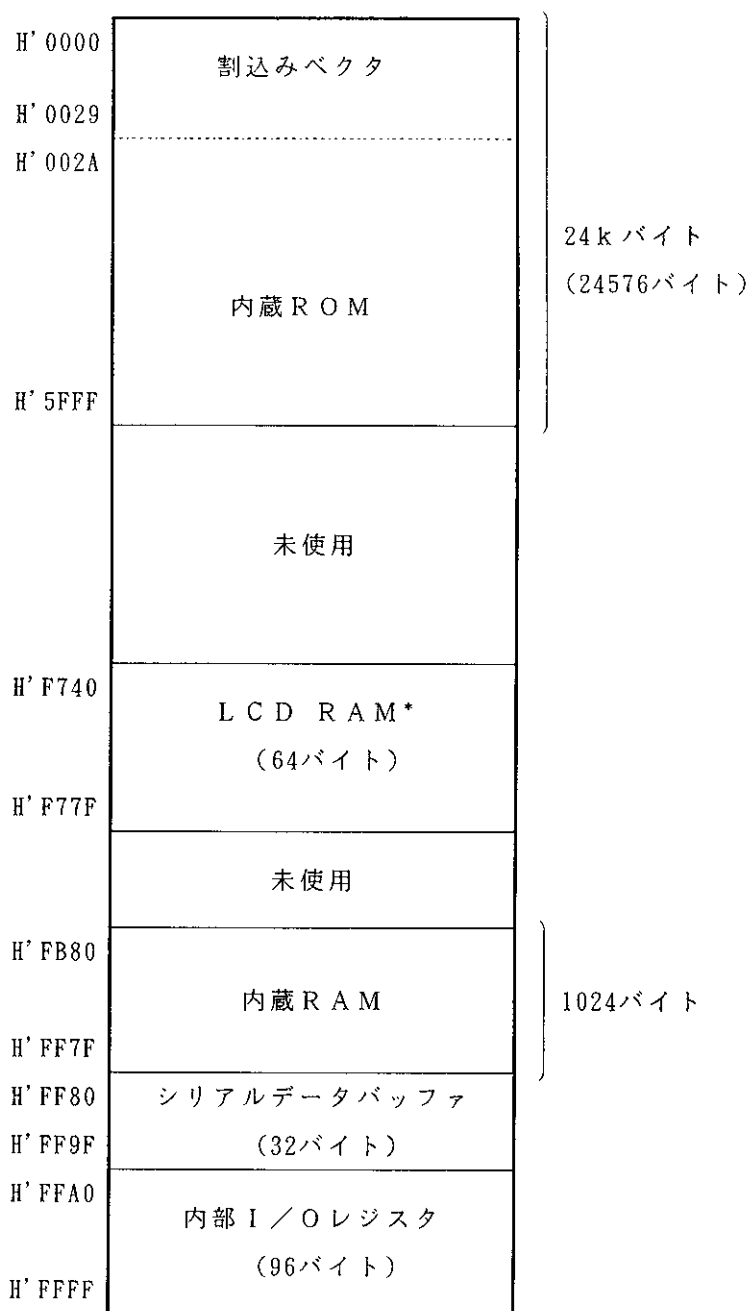
リセット、割り込みの例外処理要因によって、CPUが通常の処理状態の流れを変えるときは過渡的な状態です。割り込み要因による例外処理では、SP（R7）を参照して、PCおよびCCRの回避を行います。

割り込み処理についての詳細は、「3.3 割り込み」を参照してください。

2.8 メモリマップ

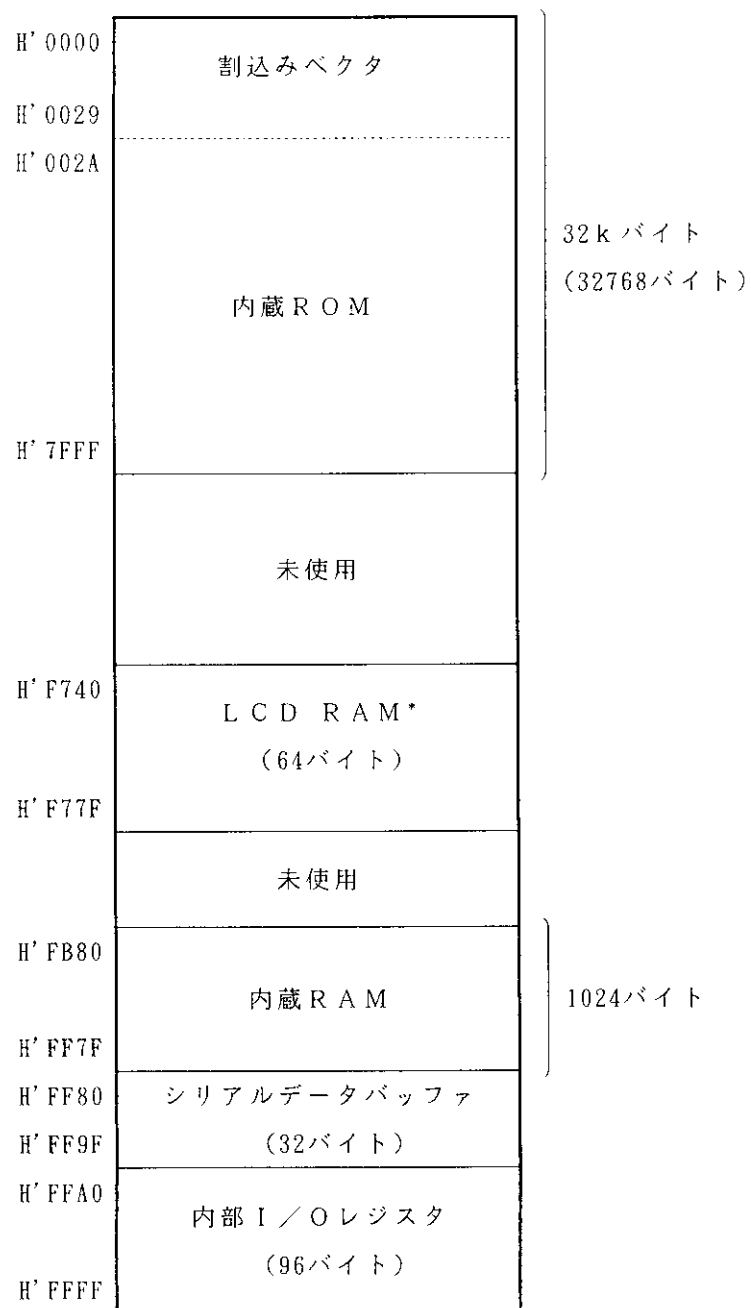
2.8.1 メモリマップ

H 8 / 3 8 3 3 U のメモリマップを図 2.16(1)に、H 8 / 3 8 3 4 U のメモリマップを図 2.16(2)に：
H 8 / 3 8 3 5 U のメモリマップを図 2.16(3)に、H 8 / 3 8 3 6 U のメモリマップを図 2.16(4)に、
H 8 / 3 8 3 7 U のメモリマップを図 2.16(5)に示します。



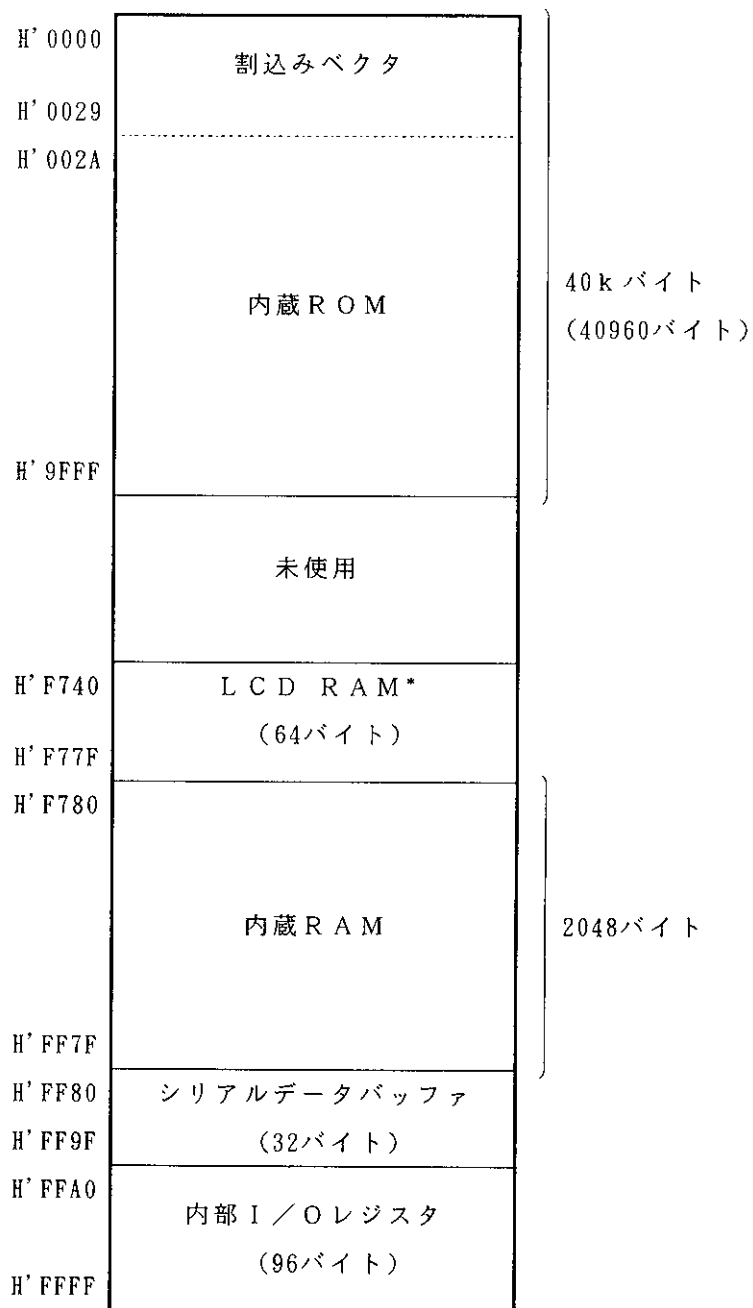
【注】* L C D R A M のアドレスはリセット後のアドレスです。

図 2.16(1) H 8 / 3 8 3 3 U のメモリマップ



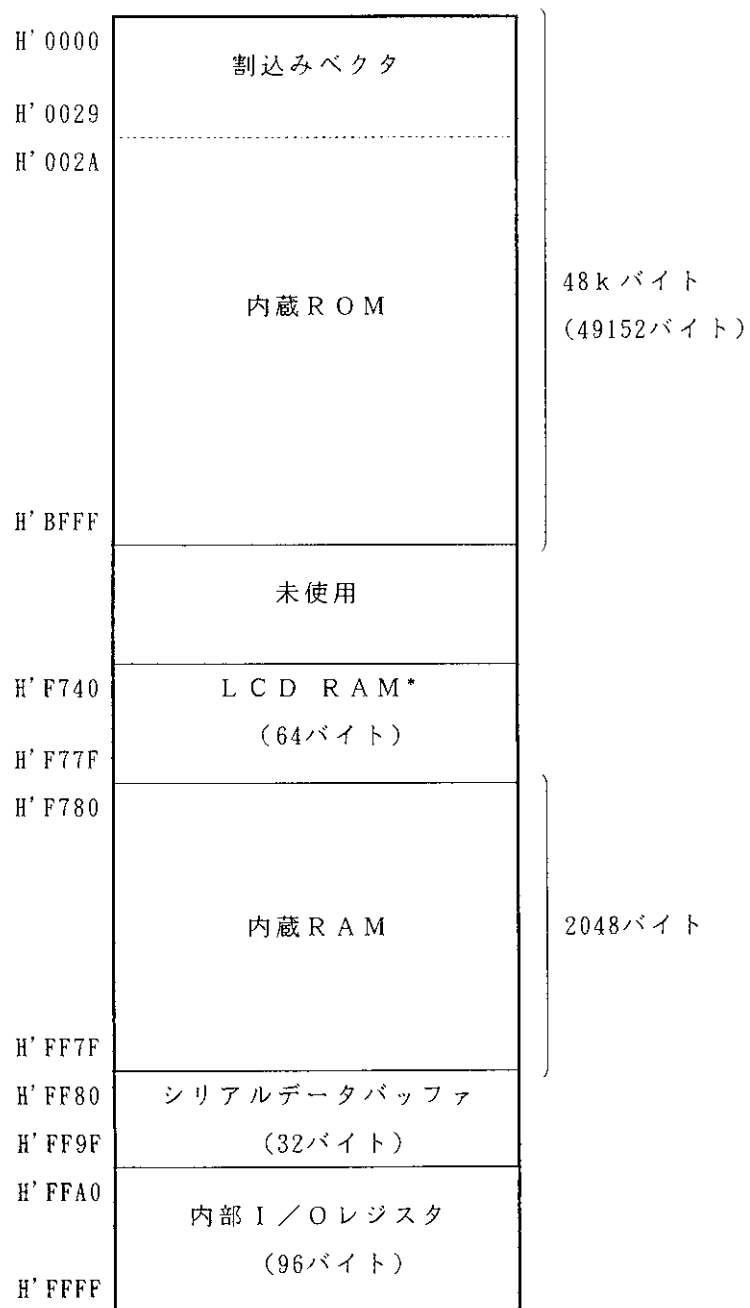
【注】* LCD RAM のアドレスはリセット後のアドレスです。

図 2.16(2) H8/3834U のメモリマップ



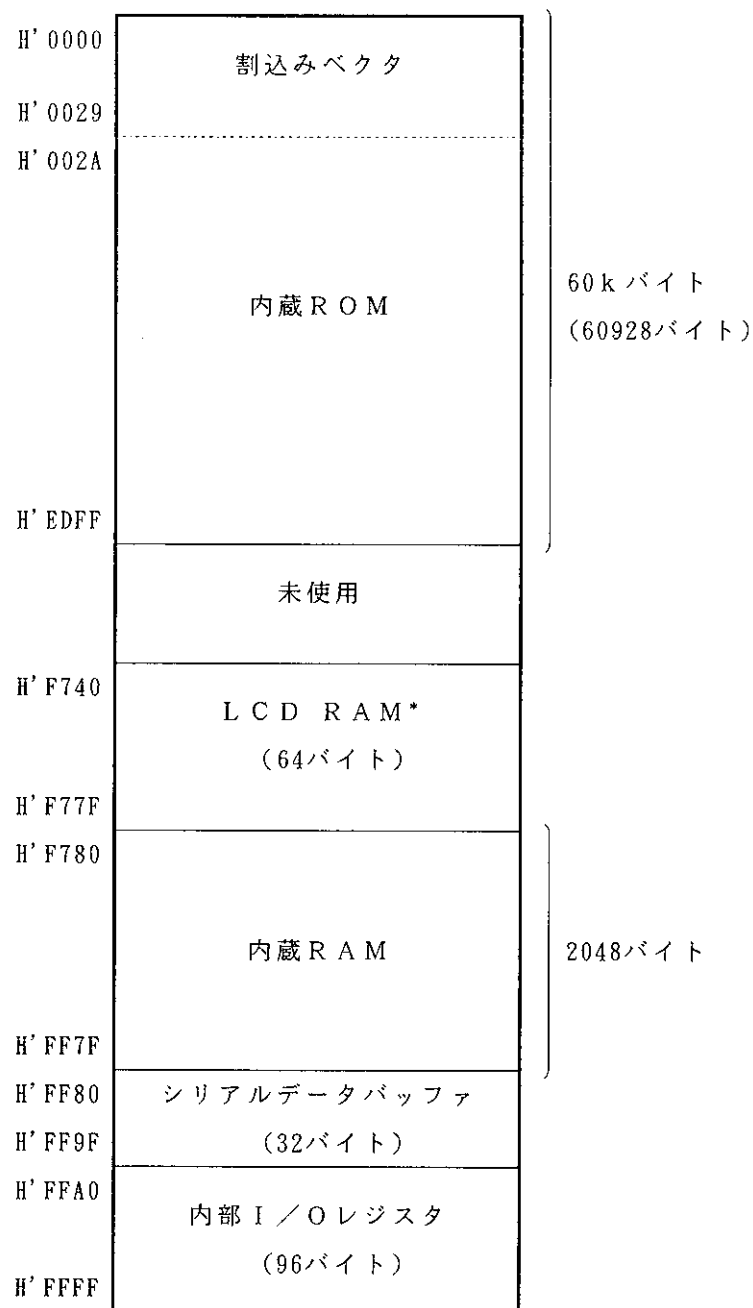
【注】* L C D R A M のアドレスはリセット後のアドレスです。

図 2.16(3) H 8 / 3 8 3 5 U のメモリマップ



【注】* L C D R A M のアドレスはリセット後のアドレスです。

図 2.16(4) H 8 / 3 8 3 6 U のメモリマップ



【注】* L C D R A M のアドレスはリセット後のアドレスです。

図 2.16(5) H 8 / 3 8 3 7 U のメモリマップ

2.8.2 LCD RAMのアドレスリロケーション

LCD RAMのアドレスは、リセット直後はH'F740～H'F77Fですが、LCD RAMリロケーションレジスタ(RLCTR)を設定することにより、LCD RAMのリロケーションが可能です。

以下にLCD RAMリロケーションレジスタの構成を示します。

LCD RAMリロケーションレジスタ (RLCTR : H'FFCF)

ビット :	7	6	5	4	3	2	1	0
RLCTR	—	—	—	—	—	—	RLCT1	RLCT0
初期値 :	1	1	1	1	1	1	0	0
R/W :	—	—	—	—	—	—	R/W	R/W

RLCTRは8ビットのリード／ライト可能なレジスタで、LCD RAMのアドレス空間の設定を行います。リセット時、RLCTRはH'FCにイニシャライズされます。

ビット7～2 : リザーブビット

リザーブビットです。各ビットはリードすると常に“1”が読み出されます。ライトは無効です。

ビット1、0 : LCD RAMリロケーションセレクト (RLCT1、RLCT0)

LCD RAMのアドレス空間の設定を行います。

ビット1	ビット0	説 明
RLCT1	RLCT0	
0	0	H'F740～H'F77F (初期値)
0	1	H'F940～H'F97F ^{*2}
1	0	H'FB40～H'FB7F ^{*2}
1	1	H'FD40～H'FD7F ^{*1, *2}

【注】^{*1} 内蔵RAMが1024バイトの製品では、RLCT1、RLCT0を“11”に設定すると、内部RAM空間H'FB80～H'FD7Fがアクセス不可能となります。

^{*2} 内蔵RAMが2048バイトの製品では、RLCT1、RLCT0を“00”以外に設定すると、当該番地の内蔵RAM空間がアクセス不可能となります。

2.9 使用上の注意事項

2.9.1 データアクセスに関する注意事項

(1) 空きエリアへのアクセス

H8/300L CPUのアドレス空間には、ユーザに開放されたROM、RAM、レジスタ以外の空きエリアがあります。プログラムで誤ってこの空きエリアにアクセスを行うと、以下のよう
に動作します。

<u>CPUから空きエリアへのデータの転送</u>
転送データは失われます。また、CPU誤動作の原因となる可能性 があります。
<u>空きエリアからCPUへのデータの転送</u>
転送データは保証されません。

(2) 内部I/Oレジスタへのアクセス

内蔵ROM、RAM領域以外の内蔵周辺モジュールは、内部のデータ転送が8ビットで行われま
す。この領域にワードアクセスを行うと、以下のよう
に動作します。

<u>CPUからI/Oレジスタ領域へのワードアクセス</u>
上位バイト : I/Oレジスタに書き込まれます。
下位バイト : 転送データは失われます。
<u>内部I/OレジスタからCPUへのワードアクセス</u>
上位バイト : CPU内部レジスタ上位に書き込まれます。
下位バイト : CPU内部レジスタ下位に書き込まれたデータは 保証されません。

したがって、内蔵ROM、RAM領域以外のI/Oレジスタ領域とのデータ転送は、バイトサイ
ズの命令を使用してください。

図 2.17にアクセスできるデータサイズおよびステート数と内蔵周辺モジュールの対応を示します。

			アクセス		ステート数
			ワード	バイト	
H' 0000	割込みベクタ (42バイト)	32k バイト*2	○	○	2
H' 0029					
H' 002A					
H' 7FFF*2	内蔵 R O M				
	未使用		—	—	—
H' F740	L C D R A M*1 (64バイト)		○	○	2
H' F77F					
	未使用		—	—	—
H' FB80*3	内蔵 R A M	1024バイト*3	○	○	2
H' FF7F					
H' FF80	シリアルデータバッファ (32バイト)		×	○	2
H' FF9F					
H' FFA0	内部 I / O レジスタ (96バイト)	H' FFA8 H' FFAD	×	○	2
H' FFFF					

【注】 H8/3834U の例です。

*¹ L C D R A M のアドレスはリセット後のアドレスです。

*² H8/3833U は 24 k バイトでアドレスは H' 5FFF、H8/3835U は 40 k バイトでアドレスは H' 9FFF、H8/3836U は 48 k バイトでアドレスは H' BFFF、H8/3837U は 60 k バイトでアドレスは H' EDFD となります。

*³ H8/3833U は 1024 バイトでアドレスは H8/3834U と同様、H8/3835U、H8/3836U、H8/3837U は 2048 バイトでアドレスは H' F780 となります。

図 2.17 アクセスできるデータサイズおよびステート数と内蔵周辺モジュールの対応

2.9.2 ビット操作命令使用上の注意事項

BSET、BCLR、BNOT、BST、BISTの各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。

したがって、同一アドレスに2つのレジスタが割り付けられている場合や、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

動作順序		動作内容
1	リード	指定したアドレスのデータ（バイト単位）をリードします。
2	ビット操作	リードしたデータの指定された1ビットを操作します。
3	ライト	指定したアドレスに操作したデータ（バイト単位）をライトします。

(1) 同一アドレスに割り付けられた2つのレジスタのビット操作

例1：タイマロードレジスタとタイマカウンタへのビット操作

図2.18に同一アドレスに割り付けられた2つのレジスタを持つタイマの構成例を示します。

リロードタイマのタイマロードレジスタとタイマカウンタにビット操作命令を実行した場合、タイマロードレジスタとタイマカウンタはアドレスを共有しているため、次のように動作します。

動作順序		動作内容
1	リード	タイマカウンタのデータ（バイト単位）をリードします。
2	ビット操作	CPUは命令で指定された1ビットを操作（セットまたはリセット）します。
3	ライト	操作したデータ（バイト単位）をタイマロードレジスタにライトします。

タイマカウンタは、カウントを続けているのでリードした値がタイマロードレジスタとは必ずしも等しくありません。その結果操作の対象となったビット以外は、タイマカウンタの値がタイマロードレジスタへライトされます。

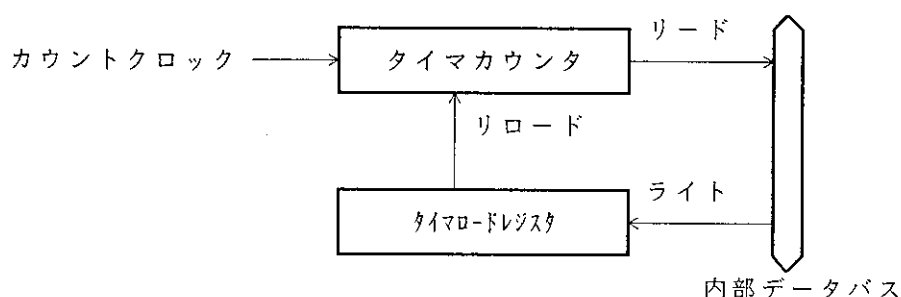


図2.18 タイマの構成例

例 2 : ポート 3 に B S E T 命令を実行した場合

P 3₇、P 3₆は入力端子に設定され、それぞれ“Low”レベル、“High”レベルが入力されているとし、P 3₅～P 3₀は出力端子に設定され、それぞれ“Low”レベル出力状態とします。

以下に、B S E T 命令で P 3₀に “High”レベル出力を行う例を示します。

【A ; B S E T 命令を実行前】

	P 3 ₇	P 3 ₆	P 3 ₅	P 3 ₄	P 3 ₃	P 3 ₂	P 3 ₁	P 3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
P C R 3	0	0	1	1	1	1	1	1
P D R 3	1	0	0	0	0	0	0	0

【B ; B S E T 命令を実行】

B S E T # 0 , @ P D R 3

ポート 3 に対して B S E T 命令を実行します。

【C ; B S E T 命令を実行後】

	P 3 ₇	P 3 ₆	P 3 ₅	P 3 ₄	P 3 ₃	P 3 ₂	P 3 ₁	P 3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
P C R 3	0	0	1	1	1	1	1	1
P D R 3	0	1	0	0	0	0	0	1

【D ; B S E T 命令の動作説明】

B S E T 命令を実行すると、C P U は、最初にポート 3 をリードします。

P 3₇、P 3₆は入力端子であるので、C P U は端子の状態 (“Low”レベル、“High”レベル入力) をリードします。P 3₅～P 3₀は出力端子であるので、C P U は P D R 3 の値をリードします。したがって、この例では、P D R 3 は H' 80 ですが、C P U がリードしたデータは H' 40 となります。

次に、C P U は、リードしたデータのビット 0 を “1” にセットして、データを H' 41 に変更します。

最後に、この値 (H' 41) を P D R 3 に書き込んで、B S E T 命令を終了します。

その結果、P D R 3 のビット 0 が “1” になり、P 3₀は “High”レベル出力になります。しかし、P D R 3 のビット 7、6 が変化してしまいます。

そのため、PDR3と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータをPDR3にライトしてください。

【A： BSET命令を実行前】

```
MOV. B    #80.    R0L
MOV. B    R0L.    @RAM0
MOV. B    R0L.    @PDR3
```

PDR3に書き込む値(H'80)をあらかじめメモリ上のワークエリア(RAM0)とPDR3にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

RAM0	1	0	0	0	0	0	0	0
------	---	---	---	---	---	---	---	---

【B： BSET命令を実行】

```
BSET      #0.    @RAM0
```

PDR3のワークエリア(RAM0)に対してBSET命令を実行します。

【C： BSET命令を実行後】

```
MOV. B    @RAM0.  R0L
MOV. B    R0L.    @PDR3
```

ワークエリア(RAM0)の値をPDR3にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	1

RAM0	1	0	0	0	0	0	0	1
------	---	---	---	---	---	---	---	---

(2) ライト専用ビットを含むレジスタのビット操作

例 3 : ポート 3 の P C R 3 に B C L R 命令を実行した場合

P 3₇、P 3₆は入力端子に設定され、それぞれ“Low”レベル、“High”レベルが入力されているとします。P 3₅～P 3₀は出力端子に設定され、それぞれ“Low”レベル出力状態とします。

ここで、B C L R 命令で、P 3₀を入力ポートにする例を示します。入力端子に設定された P 3₀は“High”レベルが入力されるものとします。

【A ; B C L R 命令を実行前】

	P 3 ₇	P 3 ₆	P 3 ₅	P 3 ₄	P 3 ₃	P 3 ₂	P 3 ₁	P 3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
P C R 3	0	0	1	1	1	1	1	1
P D R 3	1	0	0	0	0	0	0	0

【B ; B C L R 命令を実行】

```
B C L R    # 0    ,    @ P C R 3
```

P C R 3 に対して B C L R 命令を実行します。

【C ; B C L R 命令を実行後】

	P 3 ₇	P 3 ₆	P 3 ₅	P 3 ₄	P 3 ₃	P 3 ₂	P 3 ₁	P 3 ₀
入出力	出力	出力	出力	出力	出力	出力	出力	入力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
P C R 3	1	1	1	1	1	1	1	0
P D R 3	1	0	0	0	0	0	0	0

【D ; B C L R 命令の動作説明】

B C L R 命令を実行すると、C P U は、最初に P C R 3 をリードします。P C R 3 はライト専用レジスタですので、C P U は H'FF をリードします。したがって、この例では P C R 3 は H'3F ですが、C P U がリードしたデータは H'FF となります。

次に、C P U は、リードしたデータのビット 0 を “0” にクリアして、データを H'FE に変更します。

最後に、このデータ (H'FE) を P C R 3 に書き込んで、B C L R 命令を終了します。

その結果、P C R 3 のビット 0 が “0” になり、P 3₀は入力ポートになります。しかし、P C R 3 のビット 7、ビット 6 が 1 になって、入力ポートであった P 3₇、P 3₆は出力ポートに変化してしまいます。

そのため、PCR3と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータをPCR3にライトしてください。

【A ; BCLR命令を実行前】

```
MOV. B    #3F.  R0L
MOV. B    R0L.  @RAM0
MOV. B    R0L.  @PCR3
```

PCR3に書き込む値(H'3F)をあらかじめメモリ上のワークエリア(RAM0)とPCR3にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	1
------	---	---	---	---	---	---	---	---

【B ; BCLR命令を実行】

```
BCLR      #0.    @RAM0
```

PCR3のワークエリア(RAM0)に対してBCLR命令を実行します。

【C ; BCLR命令を実行後】

```
MOV. B    @RAM0, R0L
MOV. B    R0L.  @PCR3
```

ワークエリア(RAM0)の値をPCR3にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	0	0	1	1	1	1	1	0
PDR3	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	0
------	---	---	---	---	---	---	---	---

同一のアドレスに割り付けられた2つのレジスタの一覧を表2.12に、ライト専用ビットを含むレジスタの一覧を表2.13に示します。

表 2.12 同一のアドレスに割り付けられた2つのレジスタの一覧

レジスタ名	略 称	アドレス
タイマカウンタB／タイマロードレジスタB	T C B／T L B	H' FFB3
タイマカウンタC／タイマロードレジスタC	T C C／T L C	H' FFB5
ポートデータレジスタ1*	P D R 1	H' FFD4
ポートデータレジスタ2*	P D R 2	H' FFD5
ポートデータレジスタ3*	P D R 3	H' FFD6
ポートデータレジスタ4*	P D R 4	H' FFD7
ポートデータレジスタ5*	P D R 5	H' FFD8
ポートデータレジスタ6*	P D R 6	H' FFD9
ポートデータレジスタ7*	P D R 7	H' FFDA
ポートデータレジスタ8*	P D R 8	H' FFDB
ポートデータレジスタ9*	P D R 9	H' FFDC
ポートデータレジスタA*	P D R A	H' FFDD

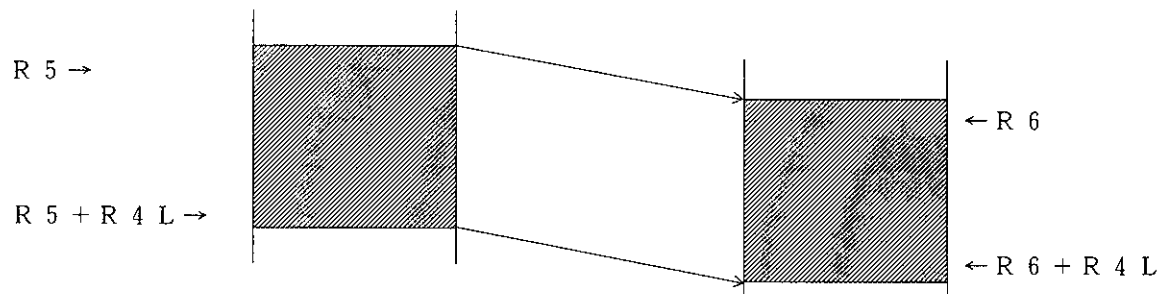
【注】* ポートデータレジスタと端子入力が兼用になっています。

表 2.13 ライト専用ビットを含むレジスタの一覧

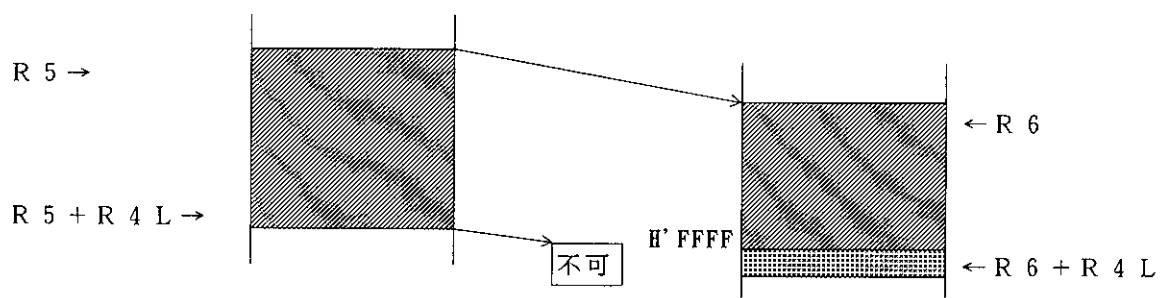
レジスタ名	略 称	アドレス
ポートコントロールレジスタ1	P C R 1	H' FFE4
ポートコントロールレジスタ2	P C R 2	H' FFE5
ポートコントロールレジスタ3	P C R 3	H' FFE6
ポートコントロールレジスタ4	P C R 4	H' FFE7
ポートコントロールレジスタ5	P C R 5	H' FFE8
ポートコントロールレジスタ6	P C R 6	H' FFE9
ポートコントロールレジスタ7	P C R 7	H' FFEA
ポートコントロールレジスタ8	P C R 8	H' FFEB
ポートコントロールレジスタ9	P C R 9	H' FFEC
ポートコントロールレジスタA	P C R A	H' FFED
タイマコントロールレジスタF	T C R F	H' FFB6
PWMコントロールレジスタ	P W C R	H' FFD0
PWMデータレジスタU	P W D R U	H' FFD1
PWMデータレジスタL	P W D R L	H' FFD2

2.9.3 EEPMOV命令使用上の注意事項

- (1) EEPMOV命令はブロック転送命令で、R5で示されるアドレスから始まるR4Lで示されるバイト数のデータを、R6で示されるアドレスへ転送します。



- (2) 転送先の最終アドレス (R6 + R4L の値) がH'FFFFを超えないように (実行途中でR6の値がH'FFFF→H'0000とならないように)、R4L、R6を設定してください。



3. 例外処理

第 3 章 目次

3. 1	概要	3 - 1
3. 2	リセット	3 - 1
3. 2. 1	概要	3 - 1
3. 2. 2	リセットシーケンス	3 - 1
3. 2. 3	リセット直後の割込み	3 - 4
3. 3	割込み	3 - 4
3. 3. 1	概要	3 - 4
3. 3. 2	各レジスタの説明	3 - 6
3. 3. 3	外部割込み	3 - 16
3. 3. 4	内部割込み	3 - 16
3. 3. 5	割込み動作	3 - 17
3. 3. 6	割込み応答時間	3 - 22
3. 4	使用上の注意事項	3 - 23
3. 4. 1	スタック領域に関する使用上の注意事項	3 - 23
3. 4. 2	ポートモードレジスタを書き換える際の注意事項	3 - 24

3. 1 概要

本 L S I の例外処理には、リセットと割込みがあります。表 3. 1 に、例外処理の種類と優先度を示します。

表 3. 1 例外処理の種類と優先度

優先度	例外処理要因	例外処理開始タイミング
高 ↑ 低	リセッ ト	リセットが解除されると例外処理を開始します。
	割込 み	割込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。

3. 2 リセット

3. 2. 1 概要

リセットは最も優先順位の高い例外処理です。

リセットによって、C P U の内部状態と、内蔵周辺モジュールの各レジスタがイニシャライズされます。

3. 2. 2 リセットシーケンス

RES端子が“Low”レベルになると、実行中の処理はすべて打ち切れ、本 L S I はリセット状態になります。

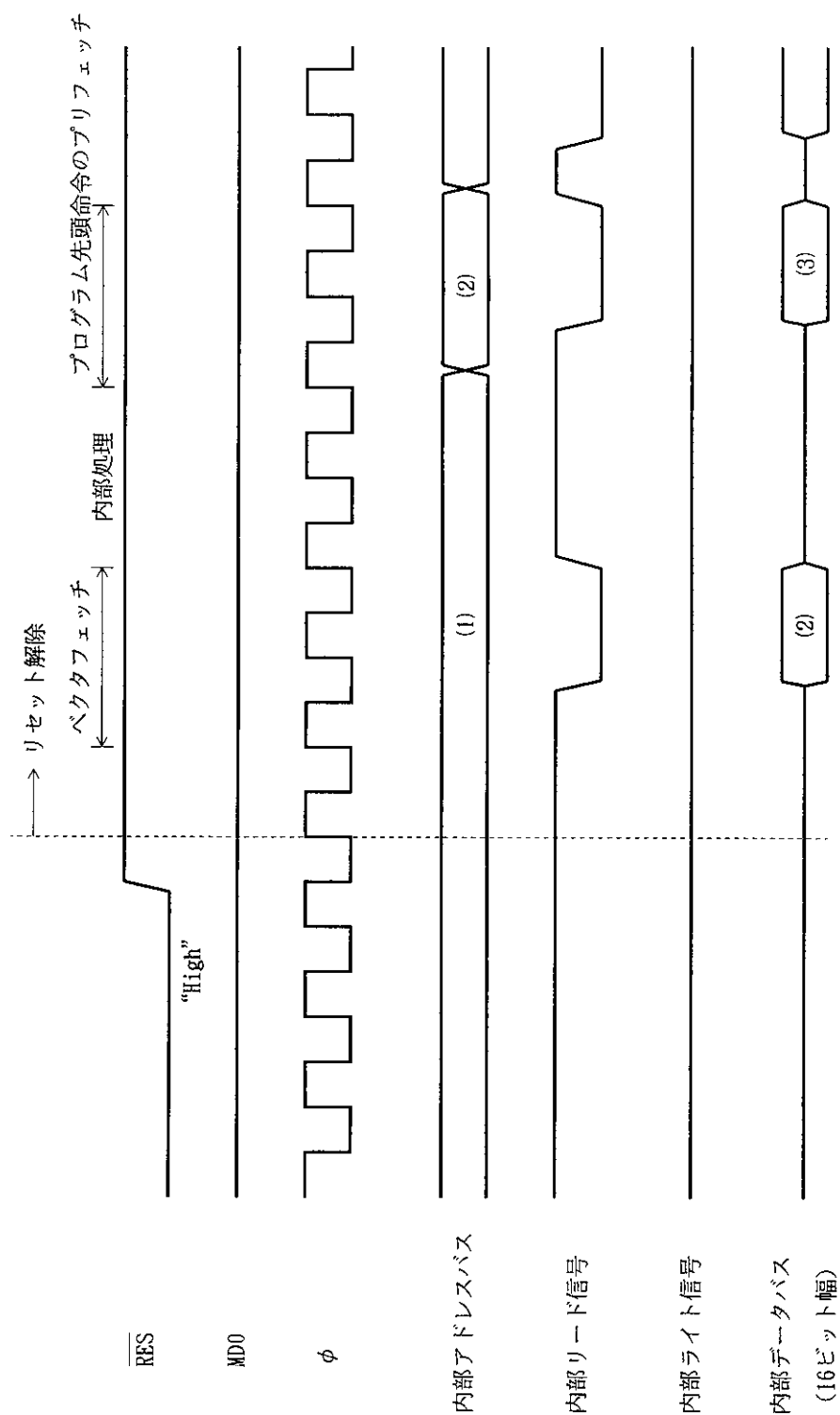
本 L S I を確実にリセットするために、電源投入時には、クロック発振器の発振安定時間の間RES端子を“Low”レベルに保持してください。また、動作中にリセットする場合は、最低10システムクロックの間、“Low”レベルに保持してください。

MD0 端子が“High”レベルの状態ではRES端子が一定期間“Low”レベルの後、“High”レベルになると、リセット例外処理が開始されます。また、MD0 端子が“Low”レベルの状態ではRES端子が一定期間“Low”レベルの後、“High”レベルになった場合は、すぐにはリセットは解除されません。この場合、MD0端子が“Low”レベルから“High”レベルになった時点から、8,192クロックをカウントした後リセットが解除され、リセット例外処理が開始されます。リセット例外処理の動作は以下のとおりです。

- ① C P U の内部状態と内蔵周辺モジュールの各レジスタのイニシャライズを行い、コンディショニングコードレジスタ（CCR）の I ビットをセットします。
- ② リセット例外処理ベクタアドレス（H'0000～H'0001）をリードして P C に転送した後、P C で示されるアドレスからプログラムの実行を開始します。

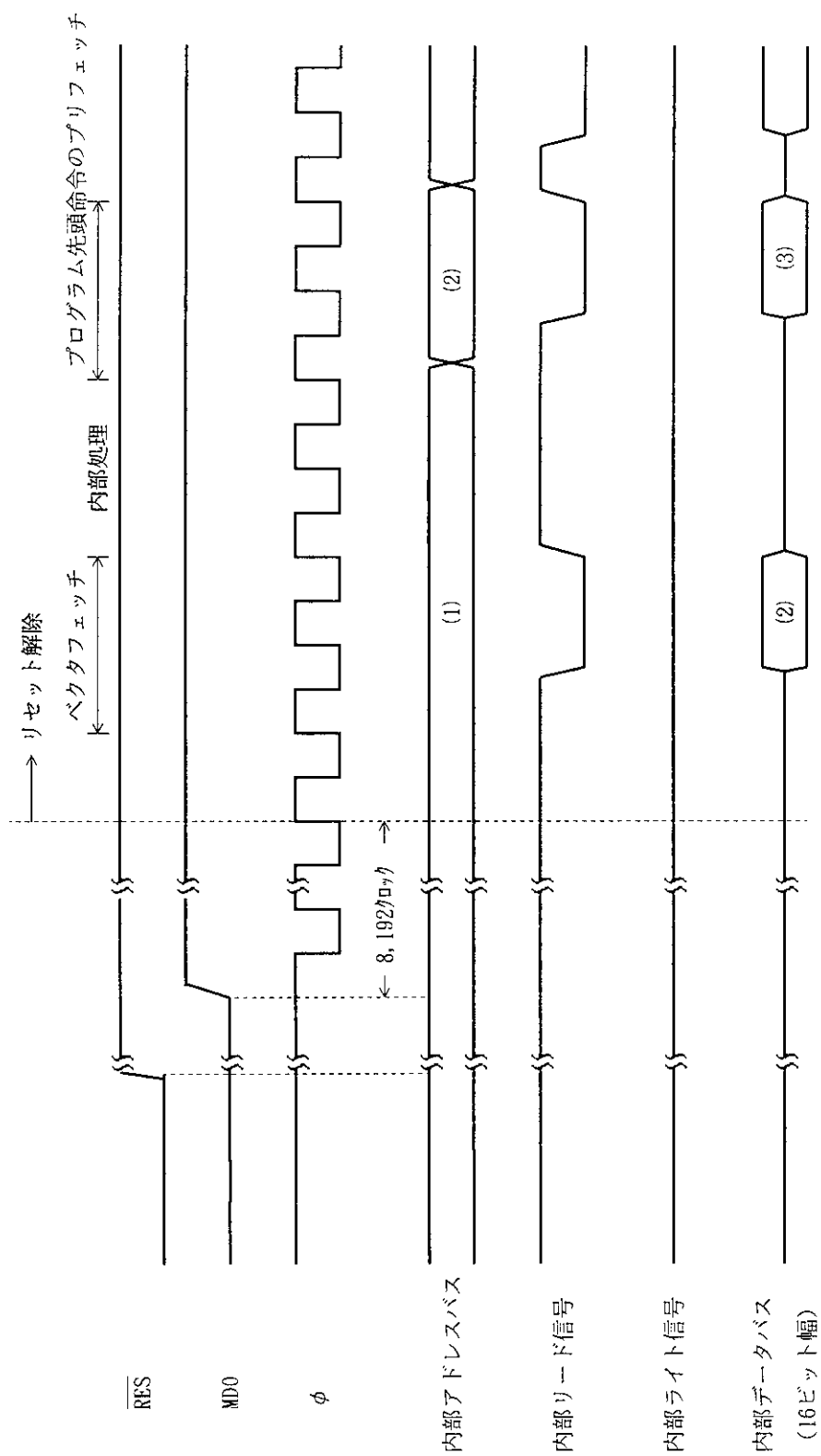
パワーオン／パワーオフ時には、RES端子を“Low”レベルにしてください。

リセットシーケンスを図 3. 1、図 3. 2 に示します。



- (1) リセット例外処理パケットアドレス (H' 0000)
- (2) プログラムスタートアドレス
- (3) プログラム先頭命令

図 3.1 リセットシーケンス (MD0端子が"High"の場合)



- (1) リセット例外処理ベクタアドレス (H' 0000)
- (2) プログラムスタートアドレス
- (3) プログラム先頭命令

図 3.2 リセットシーケンス (MD0端子が“Low”の場合)

3.2.3 リセット直後の割込み

リセット後、スタックポインタ（SP：R7）をイニシャライズする前に割込みを受け付けると、PCとCCRの退避が正常に行われなため、プログラムの暴走の原因となります。これを防ぐため、リセット例外処理が実行された直後はすべての割込み要求が禁止されています。すなわち、リセット直後はプログラムの先頭1命令が必ず実行されますので、プログラムの先頭命令は、SPをイニシャライズする命令としてください（例：MOV.W #xx：16，SP）。

3.3 割込み

3.3.1 概要

割込み例外処理を開始する要因には、13の外部割込み要因（WKPI～WKPO、IRQI～IRQO）と内蔵モジュールから20の内部割込み要因があります。割込み要因と優先度、ならびにベクタアドレスの一覧を表3.2に示します。複数の割込み要求が発生したときは、優先度の高い方から処理されます。

これらの割込みには次のような特長があります。

- (1) 内部割込みおよび外部割込みは、CCRのIビットによりマスクされます。CCRのIビットが“1”にセットされていると、割込み要求フラグはセットされますが、割込みは受け付けられません。
- (2) IRQI～IRQOは、立上がり／立下がりエッジセンスのいずれかに設定することができます。

表 3. 2 割込み優先順位

割込み要因発生元	割込み要因	ベクタNo.	ベクタアドレス	優先順位
RES	リセット	0	H' 0000 ～H' 0001	高 ↑ <

【注】 H' 0002~H' 0007は本 L S I ではリザーブされており、ユーザは使用できません。

3.3.2 各レジスタの説明

割込みを制御するレジスタの一覧を表 3.3 に示します。

表 3.3 割込み制御レジスタ

名 称	略 称	R / W	初期値	アドレス
I R Qエッジセレクトレジスタ	I E G R	R / W	H' E0	H' FFF2
割込み許可レジスタ 1	I E N R 1	R / W	H' 00	H' FFF3
割込み許可レジスタ 2	I E N R 2	R / W	H' 00	H' FFF4
割込み要求レジスタ 1	I R R 1	R / W*	H' 20	H' FFF6
割込み要求レジスタ 2	I R R 2	R / W*	H' 00	H' FFF7
ウェイクアップ割込み要求レジスタ	I W P R	R / W*	H' 00	H' FFF9

【注】* フラグクリアのための“0”ライトのみ可能です。

(1) I R Qエッジセレクトレジスタ (I E G R)

ビット:	7	6	5	4	3	2	1	0
	——	——	——	IEG4	IEG3	IEG2	IEG1	IEG0
初期値:	1	1	1	0	0	0	0	0
R / W:	——	——	——	R / W	R / W	R / W	R / W	R / W

I E G Rは、8ビットのリード／ライト可能なレジスタで、 $\overline{\text{IRQ}}_4 \sim \overline{\text{IRQ}}_0$ 端子の立上がり／立下がりエッジセンスを指定します。

ビット7～5：リザーブビット

リザーブビットです。各ビットはリードすると常に“1”が読み出されます。ライトは無効です。

ビット4：I R Q₄エッジセレクト (I E G 4)

$\overline{\text{IRQ}}_4$ 端子、ADTRG端子の入力センスを選択します。

ビット 4	説 明
I E G 4	
0	$\overline{\text{IRQ}}_4$ 端子、ADTRG端子入力の立下がりエッジを検出 (初期値)
1	$\overline{\text{IRQ}}_4$ 端子、ADTRG端子入力の立上がりエッジを検出

ビット 3 : $\overline{\text{IRQ}}_3$ エッジセレクト (IEG 3)

$\overline{\text{IRQ}}_3$ 端子、TMIF端子の入力センスを選択します。

ビット 3	説 明
IEG 3	
0	$\overline{\text{IRQ}}_3$ 端子、TMIF端子入力の立下がりエッジを検出 (初期値)
1	$\overline{\text{IRQ}}_3$ 端子、TMIF端子入力の立上がりエッジを検出

ビット 2 : $\overline{\text{IRQ}}_2$ エッジセレクト (IEG 2)

$\overline{\text{IRQ}}_2$ 端子、TMIC端子の入力センスを選択します。

ビット 2	説 明
IEG 2	
0	$\overline{\text{IRQ}}_2$ 端子、TMIC端子入力の立下がりエッジを検出 (初期値)
1	$\overline{\text{IRQ}}_2$ 端子、TMIC端子入力の立上がりエッジを検出

ビット 1 : $\overline{\text{IRQ}}_1$ エッジセレクト (IEG 1)

$\overline{\text{IRQ}}_1$ 端子、TMIB端子の入力センスを選択します。

ビット 1	説 明
IEG 1	
0	$\overline{\text{IRQ}}_1$ 端子、TMIB端子入力の立下がりエッジを検出 (初期値)
1	$\overline{\text{IRQ}}_1$ 端子、TMIB端子入力の立上がりエッジを検出

ビット 0 : $\overline{\text{IRQ}}_0$ エッジセレクト (IEG 0)

$\overline{\text{IRQ}}_0$ 端子の入力センスを選択します。

ビット 0	説 明
IEG 0	
0	$\overline{\text{IRQ}}_0$ 端子入力の立下がりエッジを検出 (初期値)
1	$\overline{\text{IRQ}}_0$ 端子入力の立上がりエッジを検出

(2) 割込み許可レジスタ 1 (I E N R 1)

ビット：	7	6	5	4	3	2	1	0
	I E N T A	I E N S 1	I E N W P	I E N 4	I E N 3	I E N 2	I E N 1	I E N 0
初期値：	0	0	0	0	0	0	0	0
R / W：	R / W	R / W	R / W	R / W	R / W	R / W	R / W	R / W

I E N R 1 は、8 ビットのリード／ライト可能なレジスタで、割込み要求の許可／禁止を制御します。

ビット 7：タイマ A 割込みイネーブル (I E N T A)

タイマ A オーバフロー割込み要求の許可／禁止を制御します。

ビット 7	説 明	
I E N T A		
0	タイマ A の割込み要求を禁止	(初期値)
1	タイマ A の割込み要求を許可	

ビット 6：S C I 1 割込みイネーブル (I E N S 1)

S C I 1 転送完了割込み要求の許可／禁止を制御します。

ビット 6	説 明	
I E N S 1		
0	S C I 1 の割込み要求を禁止	(初期値)
1	S C I 1 の割込み要求を許可	

ビット 5：ウェイクアップ割込みイネーブル (I E N W P)

W K P₇～W K P₀割込み要求の許可／禁止を制御します。

ビット 5	説 明	
I E N W P		
0	$\overline{\text{WKP}}_7 \sim \overline{\text{WKP}}_0$ 端子の割込み要求を禁止	(初期値)
1	$\overline{\text{WKP}}_7 \sim \overline{\text{WKP}}_0$ 端子の割込み要求を許可	

ビット 4～0：I R Q₄～I R Q₀割込みイネーブル (I E N 4～I E N 0)

I R Q₄～I R Q₀割込み要求の許可／禁止を制御します。

ビット n	説 明	
I E N n		
0	$\overline{\text{IRQ}}_n$ 端子の割込み要求を禁止	(初期値)
1	$\overline{\text{IRQ}}_n$ 端子の割込み要求を許可	

(n = 4 ～ 0)

(3) 割込み許可レジスタ 2 (IENR2)

ビット:	7	6	5	4	3	2	1	0
	IENDT	IENAD	IENS2	IENTG	IENTFH	IENTFL	IENTC	IENTB
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IENR2 は、8 ビットのリード/ライト可能なレジスタで、割込み要求の許可/禁止を制御します。

ビット 7 : 直接遷移割込みイネーブル (IENDT)

直接遷移割込み要求の許可/禁止を制御します。

ビット 7	説 明	
IENDT		
0	直接遷移による割込み要求を禁止	(初期値)
1	直接遷移による割込み要求を許可	

ビット 6 : A/D 変換器割込みイネーブル (IENAD)

A/D 変換終了割込み要求の許可/禁止を制御します。

ビット 6	説 明	
IENAD		
0	A/D 変換器の割込み要求を禁止	(初期値)
1	A/D 変換器の割込み要求を許可	

ビット 5 : SCI2 割込みイネーブル (IENS2)

SCI2 転送完了または転送中断割込み要求の許可/禁止を制御します。

ビット 5	説 明	
IENS2		
0	SCI2 の割込み要求を禁止	(初期値)
1	SCI2 の割込み要求を許可	

ビット 4 : タイマ G 割込みイネーブル (IENTG)

タイマ G インพุットキャプチャまたはオーバフロー割込み要求の許可/禁止を制御します。

ビット 4	説 明	
IENTG		
0	タイマ G の割込み要求を禁止	(初期値)
1	タイマ G の割込み要求を許可	

ビット3：タイマF H割込みイネーブル（I E N T F H）

タイマF Hコンペアマッチまたはオーバフロー割込み要求の許可／禁止を制御します。

ビット3 I E N T F H	説 明
0	タイマF Hの割込み要求を禁止（初期値）
1	タイマF Hの割込み要求を許可

ビット2：タイマF L割込みイネーブル（I E N T F L）

タイマF Lコンペアマッチまたはオーバフロー割込み要求の許可／禁止を制御します。

ビット2 I E N T F L	説 明
0	タイマF Lの割込み要求を禁止（初期値）
1	タイマF Lの割込み要求を許可

ビット1：タイマC割込みイネーブル（I E N T C）

タイマCオーバフローまたはアンダフロー割込み要求の許可／禁止を制御します。

ビット1 I E N T C	説 明
0	タイマCの割込み要求を禁止（初期値）
1	タイマCの割込み要求を許可

ビット0：タイマB割込みイネーブル（I E N T B）

タイマBオーバフローまたはアンダフロー割込み要求の許可／禁止を制御します。

ビット0 I E N T B	説 明
0	タイマBの割込み要求を禁止（初期値）
1	タイマBの割込み要求を許可

なお、S C I 3の割込みの制御については「10.4.2（6） シリアルコントロールレジスタ3（S C R 3）」を参照してください。

(4) 割り込み要求レジスタ 1 (IRR1)

ビット:	7	6	5	4	3	2	1	0
	IRRTA	IRRS1	——	IRRI4	IRRI3	IRRI2	IRRI1	IRRI0
初期値:	0	0	1	0	0	0	0	0
R/W:	R/W*	R/W*	——	R/W*	R/W*	R/W*	R/W*	R/W*

【注】* フラグクリアのための“0”ライトのみ可能です。

IRR1は、8ビットリード/ライト可能なレジスタで、タイマA、SCI1、IRQ1～IRQ4。割り込み要求が発生すると対応するフラグが“1”にセットされます。各フラグは割り込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は“0”をライトしてクリアしてください。

ビット7: タイマA割り込み要求フラグ (IRRTA)

ビット7	説明
IRRTA	
0	〔クリア条件〕 IRRTA = “1” の状態でIRRTAに“0”をライトしたとき (初期値)
1	〔セット条件〕 タイマAのカウント値がオーバフロー (H'FF→H'00) したとき

ビット6: SCI1割り込み要求フラグ (IRRS1)

ビット6	説明
IRRS1	
0	〔クリア条件〕 IRRS1 = “1” の状態でIRRS1に“0”をライトしたとき (初期値)
1	〔セット条件〕 SCI1が転送完了したとき

ビット5: リザーブビット

リザーブビットです。本ビットはリードすると常に“1”が読み出されます。ライトは無効です。

ビット4～0：IRQ₄～IRQ₀割込み要求フラグ（IRR₄～IRR₀）

ビットn	説 明
IRR _n	
0	〔クリア条件〕 IRR _n =“1”の状態ではIRR _n に“0”をライトしたとき (初期値)
1	〔セット条件〕 IRQ _n 端子が割込み入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき

(n = 4～0)

(5) 割込み要求レジスタ2（IRR2）

ビット：	7	6	5	4	3	2	1	0
	IRRDT	IRRAD	IRRS2	IRRTG	IRRTFH	IRRTFL	IRRTC	IRRTB
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】* フラグクリアのための“0”ライトのみ可能です。

IRR2は、8ビットリード／ライト可能なレジスタで、直接遷移、A/D変換器、SCI2、タイマG、タイマFH、タイマFL、タイマC、タイマB割込み要求が発生すると、対応するフラグが“1”にセットされます。各フラグは割込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は“0”をライトしてクリアしてください。

ビット7：直接遷移割込み要求フラグ（IRRDT）

ビット7	説 明
IRRDT	
0	〔クリア条件〕 IRRDT=“1”の状態ではIRRDTに“0”をライトしたとき (初期値)
1	〔セット条件〕 DTONに“1”をセットした状態でスリープ命令を実行し直接遷移したとき

ビット6：A/D変換器割込み要求フラグ（IRRAD）

ビット6	説 明
IRRAD	
0	〔クリア条件〕 IRRAD=“1”の状態ではIRRADに“0”をライトしたとき (初期値)
1	〔セット条件〕 A/D変換器が変換終了し、ADSFがリセットされたとき

ビット5：SCI2割込み要求フラグ（IRRS2）

ビット5	説 明
IRRS2	
0	〔クリア条件〕 IRRS2=“1”の状態ではIRRS2に“0”をライトしたとき (初期値)
1	〔セット条件〕 SCI2が転送完了または転送中断したとき

ビット4：タイマG割込み要求フラグ（IRRTG）

ビット4	説 明
IRRTG	
0	〔クリア条件〕 IRRTG=“1”の状態ではIRRTGに“0”をライトしたとき (初期値)
1	〔セット条件〕 TMIG端子がTMIG入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき

ビット3：タイマFH割込み要求フラグ（IRRTFH）

ビット3	説 明
IRRTFH	
0	〔クリア条件〕 IRRTFH=“1”の状態ではIRRTFHに“0”をライトしたとき (初期値)
1	〔セット条件〕 8ビットタイマモードでTCFHとOCRFHが一致したとき、また、16ビットタイマモードでTCF(TCFL, TCFH)とOCRF(OCRFL, OCRFH)が一致したとき

ビット2：タイマFL割込み要求フラグ（IRRTFL）

ビット2 IRRTFL	説 明
0	〔クリア条件〕 IRRTFL = “1” の状態でIRRTFLに “0” をライトしたとき (初期値)
1	〔セット条件〕 8ビットタイマモードでTCFLとOCRFLが一致したとき

ビット1：タイマC割込み要求フラグ（IRRTC）

ビット1 IRRTC	説 明
0	〔クリア条件〕 IRRTC = “1” の状態でIRRTCに “0” をライトしたとき (初期値)
1	〔セット条件〕 タイマCのカウント値がオーバーフロー（H'FF→H'00）、またはアンダフロー（H'00→H'FF）したとき

ビット0：タイマB割込み要求フラグ（IRRTB）

ビット0 IRRTB	説 明
0	〔クリア条件〕 IRRTB = “1” の状態でIRRTBに “0” をライトしたとき (初期値)
1	〔セット条件〕 タイマBのカウント値がオーバーフロー（H'FF→H'00）したとき

(6) ウェイクアップ割込み要求レジスタ (IWP R)

ビット:	7	6	5	4	3	2	1	0
	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】* フラグクリアのための“0”ライトのみ可能です。

IWP Rは、8ビットのリード／ライト可能なレジスタで、 $\overline{\text{WKP}}_7 \sim \overline{\text{WKP}}_0$ 端子がウェイクアップ入力に設定されており、当該端子に立下がりエッジが入力されたとき、対応するフラグが“1”にセットされます。各フラグは割込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は“0”をライトしてクリアしてください。

ビット7～0：ウェイクアップ割込み要求フラグ (IWPF 7～IWPF 0)

ビット n	説 明
IWPF n	
0	〔クリア条件〕 IWPFn = “1” の状態でIWPFnに “0”をライトしたとき (初期値)
1	〔セット条件〕 $\overline{\text{WKP}}_n$ 端子がウェイクアップ入力に設定されており、かつ当該端子に立下がりエッジが入力されたとき

(n = 7 ～ 0)

3.3.3 外部割込み

外部割込みには、 $WKP_7 \sim WKP_0$ 割込みと、 $IRQ_4 \sim IRQ_0$ 割込みの13要因があります。

(1) $WKP_7 \sim WKP_0$ 割込み

$WKP_7 \sim WKP_0$ 割込みは $WKP_7 \sim WKP_0$ 端子の立下がりエッジ入力により要求されます。

PMR5により端子機能が $WKP_7 \sim WKP_0$ 端子に選択された状態で立下がりエッジが入力されると、IWP Rの対応するビットが“1”にセットされ、割込み要求が発生します。

ウェイクアップ割込み要求の受け付けは、IEN R1のIEN WPを“0”にクリアすることにより禁止できます。また、CCRのIビットを“1”にすることによりすべての割込みをマスクできます。

$WKP_7 \sim WKP_0$ 割込みの割込み例外処理が受け付けられると、CCRのIビットが“1”にセットされます。 $WKP_7 \sim WKP_0$ 割込み例外処理のベクタ番号は9です。8つの割込み要因が1つのベクタ番号に割り付けられているため、例外処理ルーチンで要因を判別してください。

(2) $IRQ_4 \sim IRQ_0$ 割込み

$IRQ_4 \sim IRQ_0$ 割込みは、 $IRQ_4 \sim IRQ_0$ 端子の入力信号により要求されます。

$IRQ_4 \sim IRQ_0$ 割込みは、立上がり／立下がりエッジセンスをIEGRのIEG4～IEG0により指定できます。

PMR2、PMR1により端子機能が $IRQ_4 \sim IRQ_0$ 端子に選択された状態で指定されたエッジが入力されると、IRR1の対応するビットが“1”にセットされ、割込み要求が発生します。

割込み要求の受け付けは、IEN R1のIEN4～IEN0を“0”にクリアすることにより、禁止できます。また、CCRのIビットを“1”にセットすることによりすべての割込みをマスクできます。

$IRQ_4 \sim IRQ_0$ 割込みの割込み例外処理が受け付けられると、CCRのIビットが“1”にセットされます。

$IRQ_4 \sim IRQ_0$ 割込み例外処理のベクタ番号は8～4です。優先順位は IRQ_4 (低)→ IRQ_0 (高)の順に高くなります。詳細は表3.2を参照してください。

3.3.4 内部割込み

内蔵周辺モジュールからの割込みによる内部割込み要因は、20要因あります。

内蔵周辺モジュールからの割込み要求が発生すると、IRR2、IRR1の対応するビットが“1”にセットされます。IEN R2、IEN R1の各ビットを“0”にクリアすることにより、各割込み要求の受け付けは禁止できます。また、CCRのIビットを“1”にセットすることにより、すべての割込みをマスクできます。

これらの割込み例外処理が受け付けられると、CCRのIビットは“1”にセットされます。ベクタ番号は20～10です。内蔵周辺モジュールからの割込みの優先順位については表3.2を参照してください。

3.3.5 割込み動作

割込みは、割込みコントローラによって制御されます。割込みコントローラのブロック図を図 3.3 に、割込み受付までのフローを図 3.4 に示します。

割込み動作は以下のとおりです。

- ① 割込み許可レジスタの対応するビットが“1”にセットされている状態で、割込み要因が発生したとき、割込みコントローラに対して割込み要求信号が送られます。
- ② 割込みコントローラに割込み要求信号が送られると、割込み要求フラグがセットされます。
- ③ 割込み許可フラグが“1”にセットされている割込みの中で、優先順位にしたがって最高位の割込み要求が選択され、その他は保留となります（表 3.2 参照）。
- ④ CCR の I ビットを参照し、I ビットが“0”にクリアされている場合は、割込み要求は受け付けられますが、I ビットが“1”にセットされている場合は割込み要求は保留となります。
- ⑤ 割込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、PC と CCR がスタック領域に退避されます。このときのスタックの状態を図 3.5 に示します。スタックされる PC は、リターン後に実行する最初の命令のアドレスを示しています。
- ⑥ CCR の I ビットが“1”にセットされます。これにより、すべての割込みはマスクされます。
- ⑦ 受け付けた割込みに対応するベクタアドレスを生成し、そのアドレスの内容によって示されるアドレスから、割込み処理ルーチンの実行を開始します。

プログラム領域を内蔵 ROM に、スタック領域を内蔵 RAM にとった場合の割込みシーケンスを図 3.6 に示します。

- 【注】 1. 本 LSI では、割込み許可レジスタをクリアすることにより割込みをディスエーブルにする場合、または割込み要求レジスタをクリアする場合は、かならず割込みをマスクした状態（I = “1”）で行ってください。
2. I = “0” の状態で上記の操作を行うと、当該操作命令の実行と当該割込みの発生が競合した場合には、当該操作命令の実行終了時に発生した割込みに対応する例外処理を実行します。

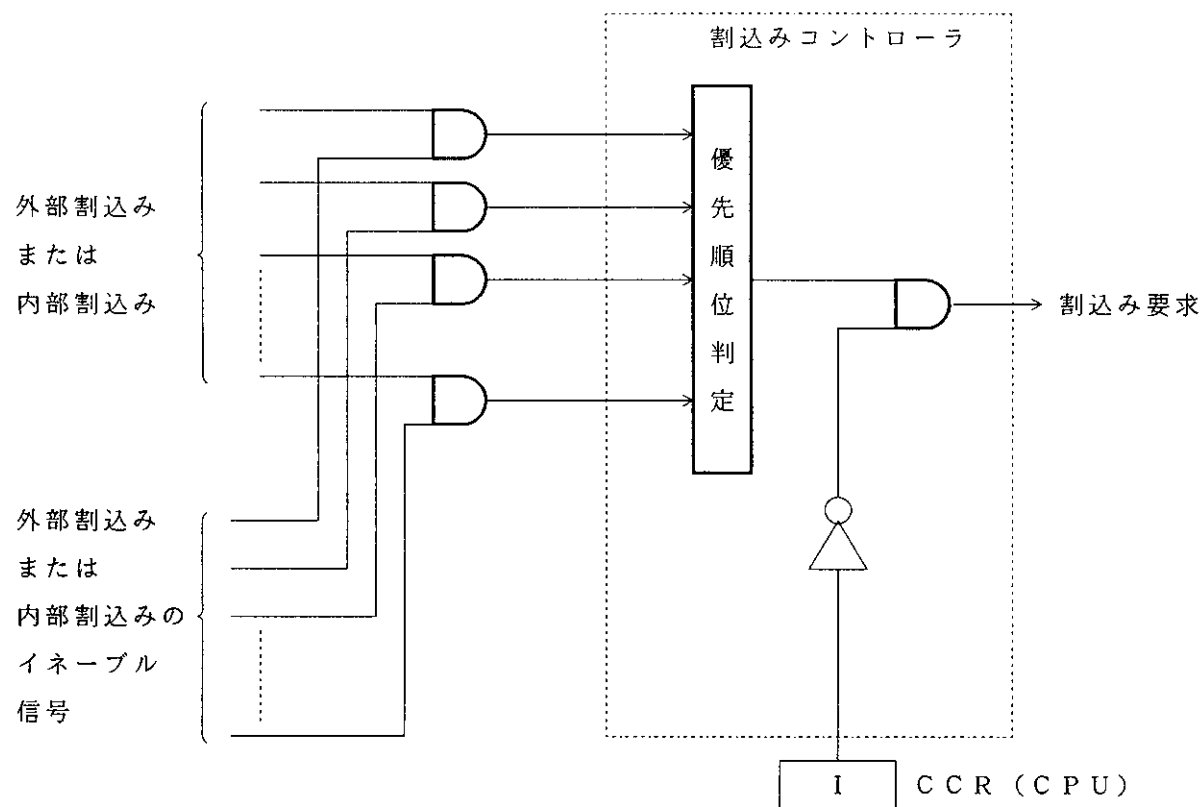
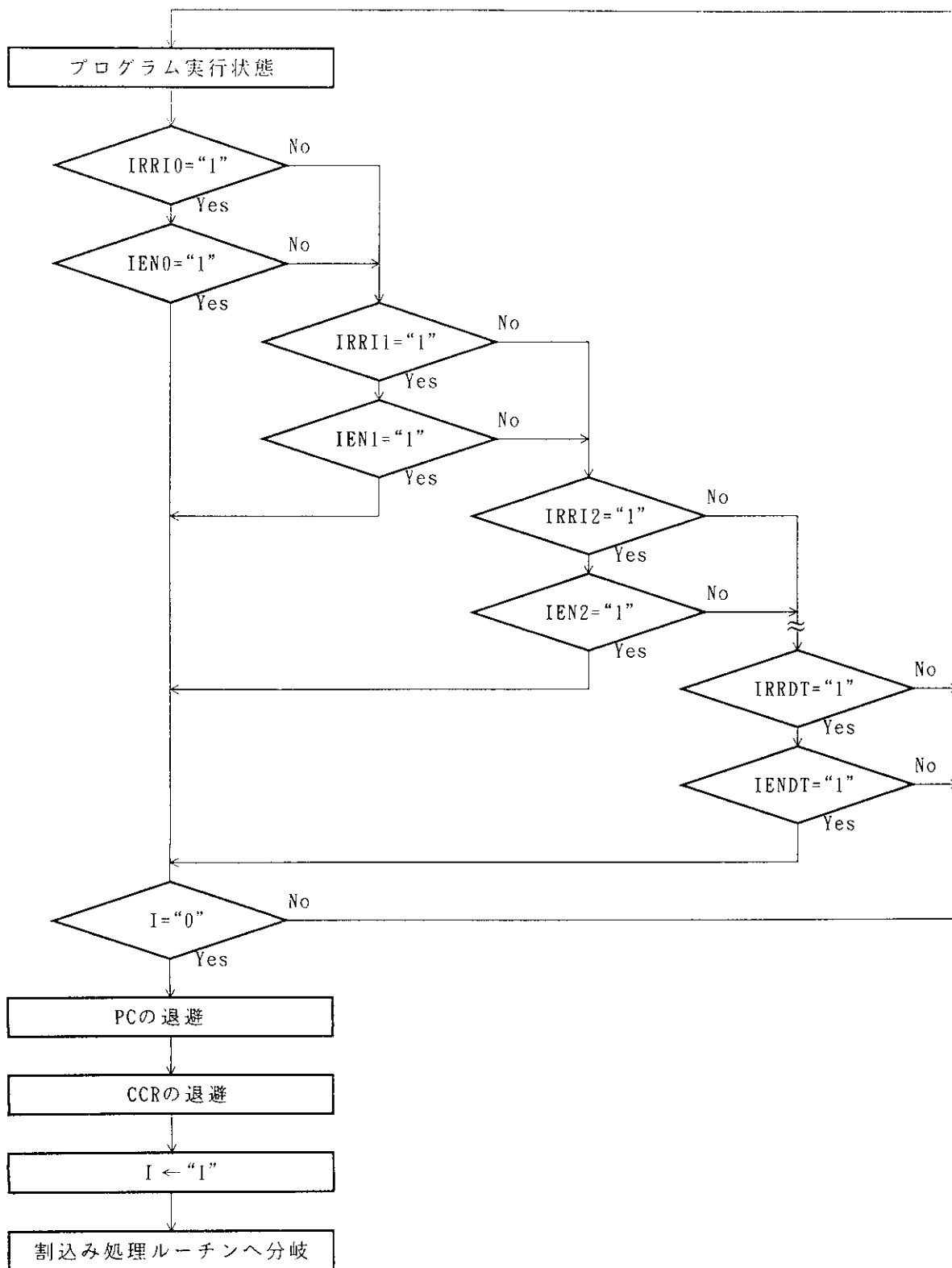


図 3. 3 割り込みコントローラのブロック図



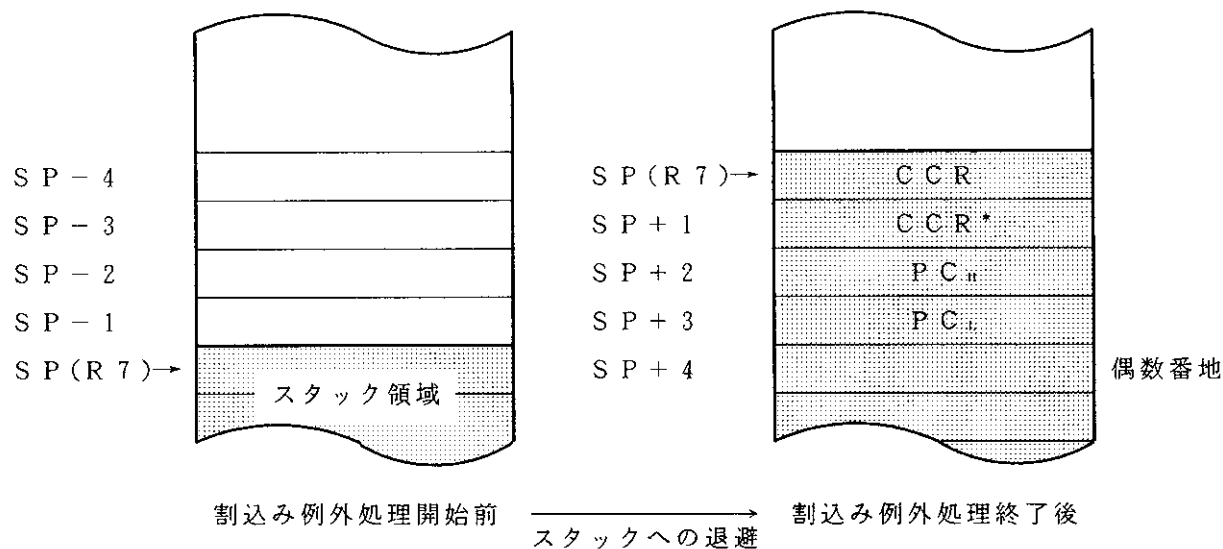
〈記号説明〉

PC : プログラムカウンタ

CCR : コンディションコードレジスタ

I : CCRのIビット

図 3. 4 割込み受けまでのフロー



＜記号説明＞

PC_H : プログラムカウンタ (PC) の上位 8 ビット

PC_L : プログラムカウンタ (PC) の下位 8 ビット

CCR : コンディションコードレジスタ

SP : スタックポインタ

- 【注】 1. PC はリターン後に実行する最初の命令のアドレスです。
2. レジスタの退避／復帰は必ずワードサイズで、偶数アドレスから行ってください。
- * リターン時には無視されます。

図 3. 5 割込み例外処理終了後のスタック状態

3. 3. 6 割込み応答時間

割込み要求フラグがセットされた後、割込み処理ルーチンの先頭命令を実行するまでの待ちステート数を表 3. 4 に示します。

表 3. 4 割込み待ちステート数

項 目	ステート数	合 計
実行中の命令終了時の待ち時間 *	1 ～ 13	15 ～ 27
P C、C C R のスタック	4	
ベクタフェッチ	2	
命令フェッチ	4	
内部処理	4	

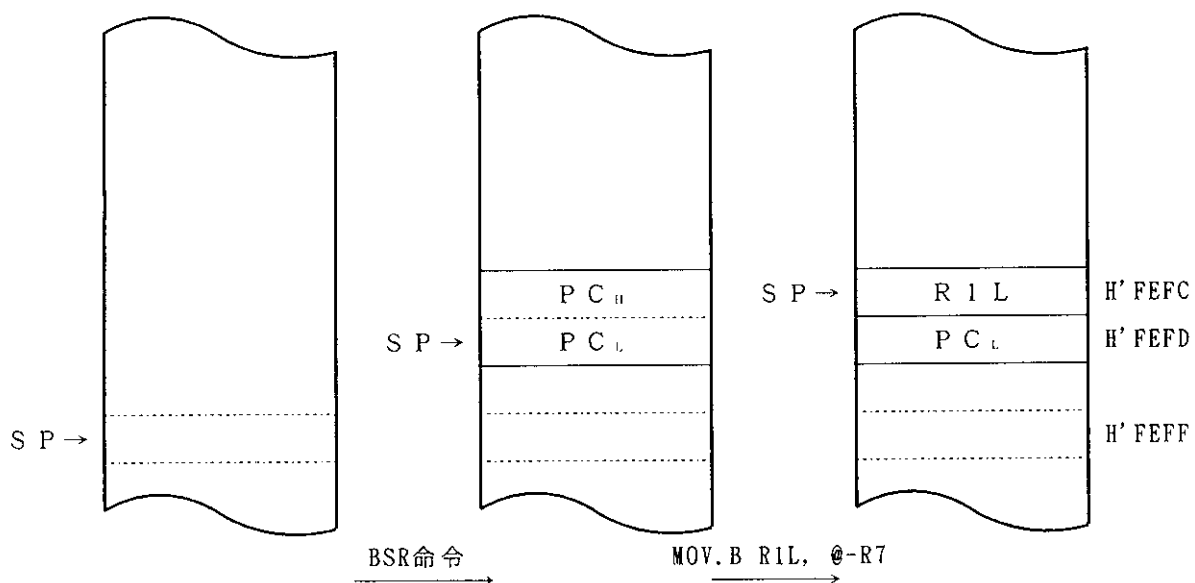
【注】* E E P M O V 命令は除きます。

3. 4 使用上の注意事項

3. 4. 1 スタック領域に関する使用上の注意事項

本 L S I では、ワードデータをアクセスする場合は、アドレスの最下位ビットは“0”とみなされます。スタック領域に対するアクセスは、常にワードサイズで行い、スタックポインタ (S P : R 7) の内容は奇数にしないでください。すなわち、レジスタの退避や復帰は、「 P U S H R n (M O V . W R n , @ - S P) 」または「 P O P R n (M O V . W @ S P + , R n) 」を使用してください。

S P に奇数を設定すると、誤動作の原因となります。S P に奇数を設定した場合の動作例を図 3. 7 に示します。



S P に H' F E F F を設定

S P を超えてスタックされる。 P C_H の内容が失われる。

<記号説明>

P C_H : プログラムカウンタの上位バイト

P C_L : プログラムカウンタの下位バイト

R 1 L : 汎用レジスタの R 1 L

S P : スタックポインタ

図 3. 7 S P に奇数を設定したときの動作

また、割込み例外処理および R T E 命令実行時の C C R の退避時および復帰時はワードサイズで扱われます。退避時には、ワードサイズデータの上位バイトおよび下位バイトともに C C R の値が退避されます。復帰時には、偶数アドレスの値が C C R に格納され、奇数アドレスの値は無視されます。

3. 4. 2 ポートモードレジスタを書き換える際の注意事項

外部割込み端子の機能切換えのためにポートモードレジスタを書き換える際には、以下の点に注意してください。

外部割込み端子（IRQ₄～IRQ₀、WKP₇～WKP₀）を制御しているポートモードレジスタを書き換えて端子機能を切り換えた場合、端子に有効な割込みが入力されていなくても、端子機能を切り換えた時点で割込み要求フラグが“1”にセットされますので、割込み要求フラグを“0”にクリアしてから使用してください。

“1”にセットされる割込み要求フラグとその条件を表 3. 5 に示します。

表 3.5 割込み要求フラグが“1”にセットされる条件

“1”にセットされる 割込み要求フラグ		条 件
I R R 1	I R R I 4	• $\overline{\text{IRQ}}_4$端子が“Low”レベルで I E G R の I E G 4 が“0”の状態、P M R 2 の I R Q 4 を“0”から“1”に書き換えたとき • $\overline{\text{IRQ}}_4$端子が“Low”レベルで I E G R の I E G 4 が“1”の状態、P M R 2 の I R Q 4 を“1”から“0”に書き換えたとき
	I R R I 3	• $\overline{\text{IRQ}}_3$端子が“Low”レベルで I E G R の I E G 3 が“0”の状態、P M R 1 の I R Q 3 を“0”から“1”に書き換えたとき • $\overline{\text{IRQ}}_3$端子が“Low”レベルで I E G R の I E G 3 が“1”の状態、P M R 1 の I R Q 3 を“1”から“0”に書き換えたとき
	I R R I 2	• $\overline{\text{IRQ}}_2$端子が“Low”レベルで I E G R の I E G 2 が“0”の状態、P M R 1 の I R Q 2 を“0”から“1”に書き換えたとき • $\overline{\text{IRQ}}_2$端子が“Low”レベルで I E G R の I E G 2 が“1”の状態、P M R 1 の I R Q 2 を“1”から“0”に書き換えたとき
	I R R I 1	• $\overline{\text{IRQ}}_1$端子が“Low”レベルで I E G R の I E G 1 が“0”の状態、P M R 1 の I R Q 1 を“0”から“1”に書き換えたとき • $\overline{\text{IRQ}}_1$端子が“Low”レベルで I E G R の I E G 1 が“1”の状態、P M R 1 の I R Q 1 を“1”から“0”に書き換えたとき
	I R R I 0	• $\overline{\text{IRQ}}_0$端子が“Low”レベルで I E G R の I E G 0 が“0”の状態、P M R 2 の I R Q 0 を“0”から“1”に書き換えたとき • $\overline{\text{IRQ}}_0$端子が“Low”レベルで I E G R の I E G 0 が“1”の状態、P M R 2 の I R Q 0 を“1”から“0”に書き換えたとき
	I R R I 0	• $\overline{\text{IRQ}}_0$端子が“Low”レベルで I E G R の I E G 0 が“0”の状態、P M R 2 の I R Q 0 を“0”から“1”に書き換えたとき • $\overline{\text{IRQ}}_0$端子が“Low”レベルで I E G R の I E G 0 が“1”の状態、P M R 2 の I R Q 0 を“1”から“0”に書き換えたとき
I W P R	I W P F 7	$\overline{\text{WKP}}_7$ 端子が“Low”レベルの状態、P M R 5 の W K P 7 を“0”から“1”に書き換えたとき
	I W P F 6	$\overline{\text{WKP}}_6$ 端子が“Low”レベルの状態、P M R 5 の W K P 6 を“0”から“1”に書き換えたとき
	I W P F 5	$\overline{\text{WKP}}_5$ 端子が“Low”レベルの状態、P M R 5 の W K P 5 を“0”から“1”に書き換えたとき
	I W P F 4	$\overline{\text{WKP}}_4$ 端子が“Low”レベルの状態、P M R 5 の W K P 4 を“0”から“1”に書き換えたとき
	I W P F 3	$\overline{\text{WKP}}_3$ 端子が“Low”レベルの状態、P M R 5 の W K P 3 を“0”から“1”に書き換えたとき
	I W P F 2	$\overline{\text{WKP}}_2$ 端子が“Low”レベルの状態、P M R 5 の W K P 2 を“0”から“1”に書き換えたとき
	I W P F 1	$\overline{\text{WKP}}_1$ 端子が“Low”レベルの状態、P M R 5 の W K P 1 を“0”から“1”に書き換えたとき
	I W P F 0	$\overline{\text{WKP}}_0$ 端子が“Low”レベルの状態、P M R 5 の W K P 0 を“0”から“1”に書き換えたとき

ポートモードレジスタの操作と割込み要求フラグのクリアの手順を図 3. 8 に示します。

端子機能を切り換える場合は、ポートモードレジスタの操作前に割込み禁止状態にして、ポートモードレジスタ操作後に、少なくとも 1 命令（NOP 命令で可）実行してから、“1” にセットされた割込み要求フラグを“0”にクリアしてください。ポートモードレジスタ操作後に 1 命令実行せず割込み要求フラグを“0”にクリアする命令を実行しても、割込み要求フラグはクリアされませんので注意してください。

なお、端子機能切換えに伴う割込み要求フラグのセットを回避する他の方法として、表 3. 5 の条件を満たさないように端子を“High”レベルに制御して行う方法もあります。

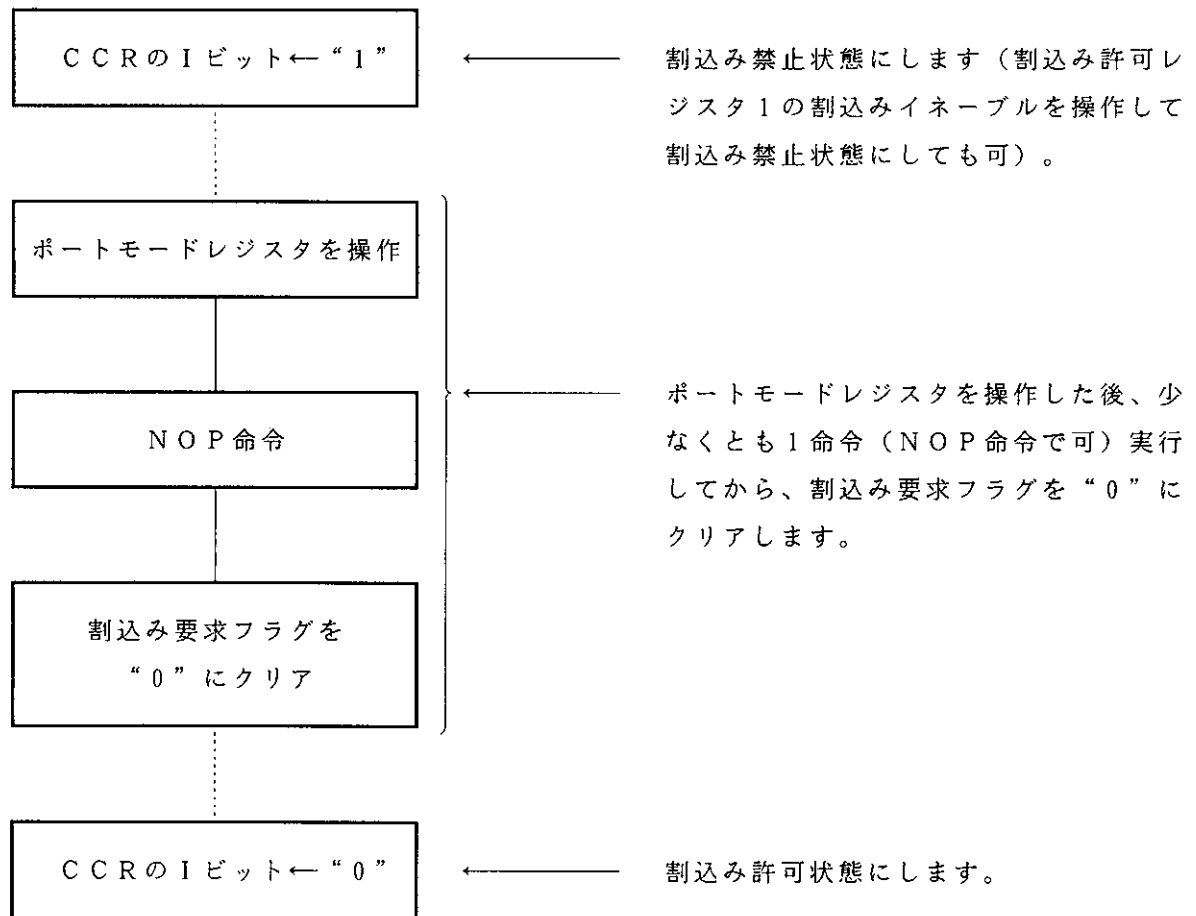


図 3. 8 ポートモードレジスタ操作と割込み要求フラグのクリア手順

4. クロック発振器

第 4 章 目次

4. 1	概要	4 - 1
4. 1. 1	ブロック図	4 - 1
4. 1. 2	システムクロックとサブクロック	4 - 1
4. 2	システムクロック発振器	4 - 2
4. 3	サブクロック発振器	4 - 5
4. 4	プリスケアラ	4 - 8
4. 5	発振子に関する注意事項	4 - 8

4. 1 概要

本LSIは、クロック発生回路（CPG：Clock Pulse Generator）を内蔵しています。

クロック発生回路は、システムクロック発振器、システムクロック分周器からなるシステムクロック発生回路と、サブクロック発振器、サブクロック分周器からなるサブクロック発生回路の2つの回路から構成されます。

4. 1. 1 ブロック図

図4.1にクロック発生回路のブロック図を示します。

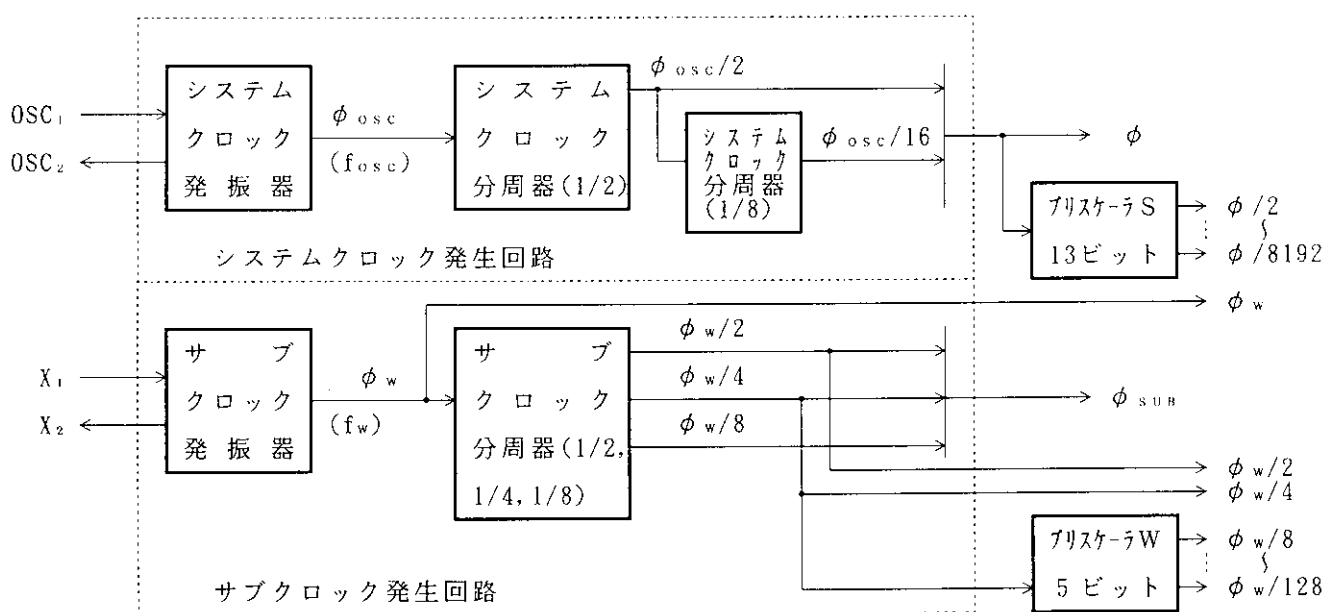


図4.1 クロック発生回路のブロック図

4. 1. 2 システムクロックとサブクロック

クロック（ ϕ および ϕ_{SUB} ）は、CPUおよび周辺機能を動作させるための基準クロックです。

ϕ をシステムクロック、 ϕ_{SUB} をサブクロックと呼びます。また、 ϕ_{osc} をOSCクロック、 ϕ_w をウォッチクロックと呼びます。

クロック $\phi/8192$ 、 $\phi/4096$ 、 $\phi/2048$ 、 $\phi/1024$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/128$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$ 、 $\phi/2$ 、 $\phi_w/128$ 、 $\phi_w/64$ 、 $\phi_w/32$ 、 $\phi_w/16$ 、 $\phi_w/8$ 、 $\phi_w/4$ 、 $\phi_w/2$ 、 ϕ_w は、周辺機能で必要とするクロックであり各周辺機能によって異なります。

4.2 システムクロック発振器

システムクロック分周器へクロックを供給する方法には、水晶発振子またはセラミック発振子を接続する方法と、外部クロックを入力する方法があります。

(1) 水晶発振子を接続する方法

水晶発振子の接続例を図4.2に示します。

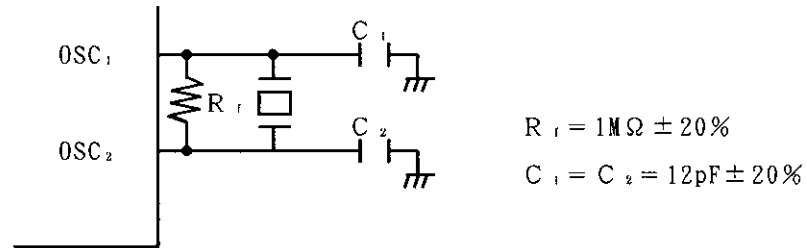


図4.2 水晶発振子の接続例

図4.3に水晶発振子の等価回路を示します。発振子は表4.1に示す特性のものを使用してください。

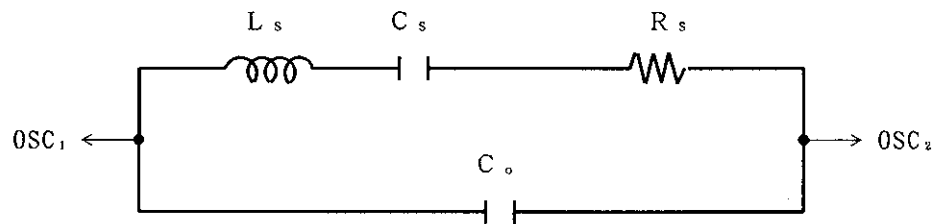


図4.3 水晶発振子の等価回路

表4.1 水晶発振子のパラメータ

周波数 (MHz)	2	4	8	10
R_s (max)	500 Ω	100 Ω	50 Ω	30 Ω
C_o (max)	7 pF			

(2) セラミック発振子を接続する方法

セラミック発振子の接続例を図 4. 4 に示します。

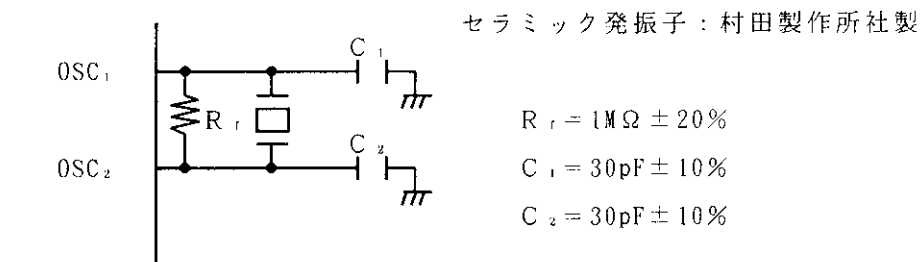


図 4. 4 セラミック発振子の接続例

(3) ボード設計上の注意

水晶発振子（セラミック発振子）を接続して発振させる場合、次の点に注意してください。

発振回路部の近くで信号線を通過させないでください。誘導により正しい発振ができなくなる場合があります（図 4. 5 参照）。

また、ボード設計に際しては、発振子および負荷容量はできるだけ OSC₁、OSC₂ 端子の近くに配置してください。

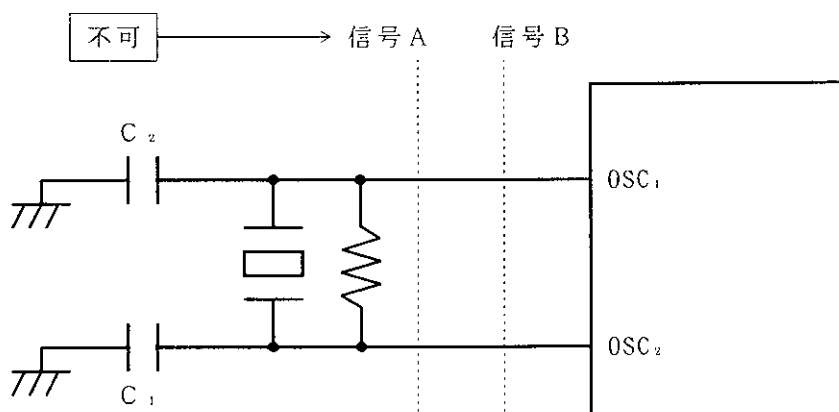


図 4. 5 発振回路部のボード設計に関する注意事項

(4) 外部クロックを入力する方法

外部クロックをOSC₁端子に接続し、OSC₂端子をオープン状態にします。

この場合の接続例を図4.6に示します。

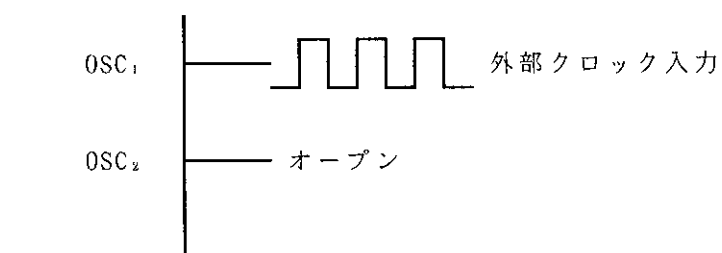


図4.6 外部クロックを入力する場合の接続例

周 波 数	O S C ク ロ ッ ク (ϕ_{osc})
duty	45% ~ 55%

4.3 サブクロック発振器

(1) 32.768 kHz水晶発振子を接続する方法

サブクロック分周器へクロックを供給するには、図 4.7 に示すように32.768 kHzの水晶発振子を接続します。接続する場合の注意については、「4.2 (3) ボード設計上の注意」と同様です。

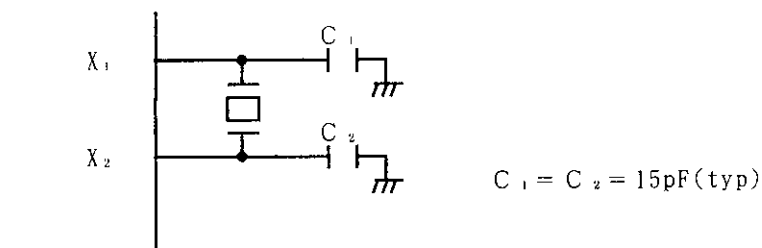


図 4.7 32.768 kHz水晶発振子の接続例

図 4.8 に32.768 kHz水晶発振子の等価回路を示します。

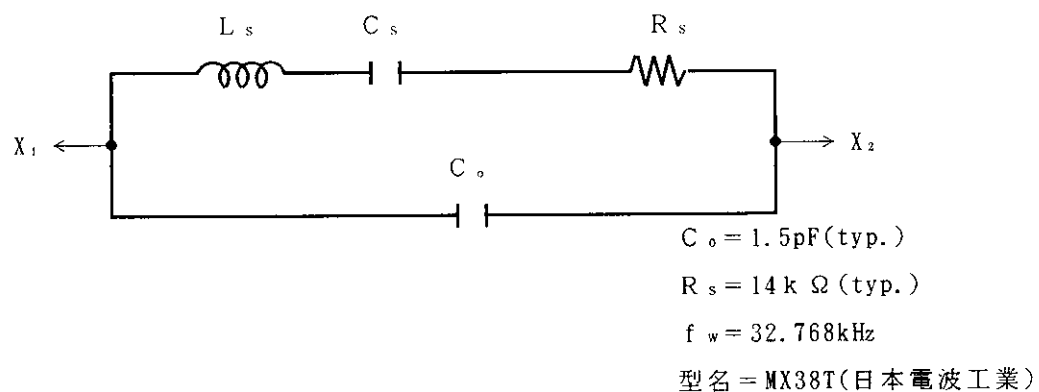


図 4.8 32.768 kHz水晶発振子の等価回路

(2) 外部クロックを入力する方法

① 回路構成

外部クロックはX₁端子に入力します。X₂端子はオープンとしてください。

この場合の接続例を図 4.9 に示します。

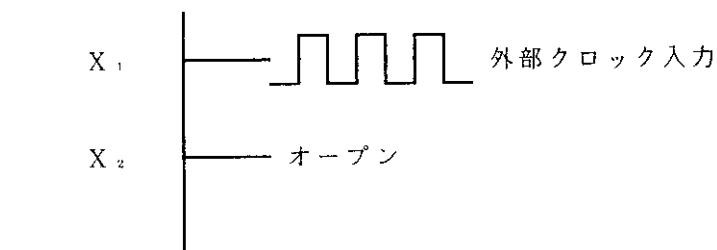


図 4.9 外部クロックを入力する場合の接続例

② 外部クロック

X₁ 端子には矩形波を入力してください。また、CPU、タイマA、タイマC、タイマG、LCDでサブクロック（φw）系のクロックを選択して使用する場合には、X₁端子へのクロックの供給を停止しないでください。

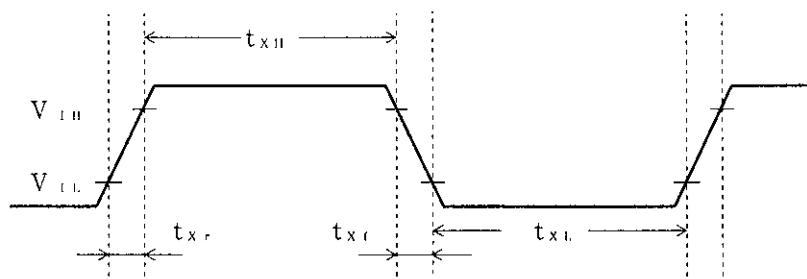


図 4.10 外部サブクロックのタイミング

X₁ 端子に入力する外部クロックのDC特性とタイミングを表 4.2 に示します。

表 4.2 DC特性とタイミング

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ 、サフティブモードを含む)

項 目	記 号	適 用 端 子	規 格 値			単 位	備 考
			min.	typ.	max.		
入力“High” レベル電圧	V_{IH}	X ₁	$V_{CC}-0.3$	—	$V_{CC}+0.3$	V	図 4.10
入力“Low” レベル電圧	V_{IL}		-0.3	—	0.3		
外部サブクロック 立上り時間	t_{xr}		—	—	100	ns	図 4.10
外部サブクロック 立下り時間	t_{xf}		—	—	100		
外部サブクロック 発振周波数	f_x		—	32.768	—	k Hz	
外部サブクロック “High”レベル幅	t_{xH}		12.0	—	—	μs	図 4.10
外部サブクロック “Low”レベル幅	t_{xL}		12.0	—	—	μs	

(3) サブクロックを必要としない場合の端子処理

サブクロックを必要としない場合には、図 4.11に示すように X_1 端子を V_{cc} に接続し、 X_2 端子をオープンとしてください。

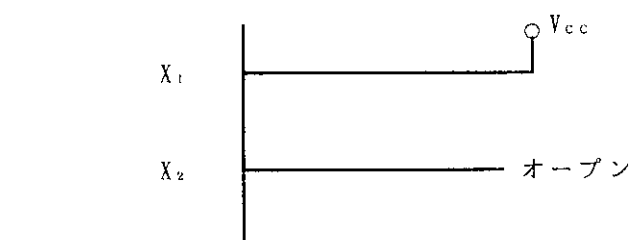


図 4.11 サブクロックを必要としない場合の端子処理

4.4 プリスケアラ

本 L S I は、入力クロックの異なる 2 本のプリスケアラ（プリスケアラ S、プリスケアラ W）を内蔵しています。

プリスケアラ S は、システムクロック（ ϕ ）を入力クロックとする 13 ビットのカウンタで、分周した出力を内蔵周辺モジュールの内部クロックとして使用します。プリスケアラ W は 32.768 k Hz を 4 分周したクロック（ $\phi_w/4$ ）を入力とする 5 ビットのカウンタで、分周した出力をタイマ A の時計用タイムベース動作に使用します。

(1) プリスケアラ S（PSS）

プリスケアラ S は、システムクロック（ ϕ ）を入力クロックとする 13 ビットのカウンタで、1 サイクルごとにカウントアップします。

リセット時、プリスケアラ S は H' 0000 にイニシャライズされ、リセット解除後、カウントアップを開始します。

スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでは、システムクロック発振器が停止するためプリスケアラ S の動作も停止します。このとき、プリスケアラ S は H' 0000 にイニシャライズされます。

CPU によるプリスケアラ S のデータリード／ライトはできません。

プリスケアラ S の出力は、タイマ A、タイマ B、タイマ C、タイマ F、タイマ G、SCI 1、SCI 2、SCI 3、A/D 変換器、LCD コントローラ、および 14 ビット PWM で共用しており、分周比は各内蔵周辺機能で独立に設定できます。

なお、アクティブ（中速）モードではプリスケアラ S のクロック入力が $\phi_{osc}/16$ となります。

(2) プリスケアラ W（PSW）

プリスケアラ W は、32.768 k Hz を 4 分周したクロック（ $\phi_w/4$ ）を入力クロックとする 5 ビットのカウンタです。

リセット時、プリスケアラ W は H' 00 にイニシャライズされ、リセット解除後、カウントアップを開始します。

スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードに移行しても、X₁、X₂ 端子にクロックが供給されているかぎり、プリスケアラ W は動作を継続します。

プリスケアラ W は、TMA の TMA 3、TMA 2 を各々 “1” に設定することでリセットできます。

また、プリスケアラ W の出力は、タイマ A のクロックとして使用できます。このとき、タイマ A は時計用タイムベースとして機能します。

4.5 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、マスク ROM 版、Z T A T ® 版共にユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと充分ご相談の上決定してください。発振端子に印加される電圧が最大定格を越えないような設計を行ってください。

5. 低消費電力モード

第5章 目次

5

5. 1	概要	5 - 1
5. 1. 1	システムコントロールレジスタ	5 - 4
5. 2	スリープモード	5 - 8
5. 2. 1	スリープモードへの遷移	5 - 8
5. 2. 2	スリープモードの解除	5 - 8
5. 3	スタンバイモード	5 - 9
5. 3. 1	スタンバイモードへの遷移	5 - 9
5. 3. 2	スタンバイモードの解除	5 - 9
5. 3. 3	スタンバイモード解除後の発振安定時間の設定	5 - 10
5. 3. 4	スタンバイモードへの遷移と端子状態	5 - 10
5. 4	ウォッチモード	5 - 11
5. 4. 1	ウォッチモードへの遷移	5 - 11
5. 4. 2	ウォッチモードの解除	5 - 11
5. 4. 3	ウォッチモード解除後の発振安定時間の設定	5 - 11
5. 5	サブスリープモード	5 - 12
5. 5. 1	サブスリープモードへの遷移	5 - 12
5. 5. 2	サブスリープモードの解除	5 - 12
5. 6	サブアクティブモード	5 - 13
5. 6. 1	サブアクティブモードへの遷移	5 - 13
5. 6. 2	サブアクティブモードの解除	5 - 13
5. 6. 3	サブアクティブモードの動作周波数について	5 - 13
5. 7	アクティブ（中速）モード	5 - 14
5. 7. 1	アクティブ（中速）モードへの遷移	5 - 14
5. 7. 2	アクティブ（中速）モードの解除	5 - 14
5. 7. 3	アクティブ（中速）モードの動作周波数について	5 - 14

5. 8	直接遷移	5 - 15
5. 8. 1	直接遷移の概要	5 - 15
5. 8. 2	直接遷移の時間	5 - 16

5. 1 概要

本 L S I には、リセット解除後に L S I が動作するモードとして、消費電力を著しく低下させる 6 種類の低消費電力モードを含む、7 種類の動作モードをもっています。

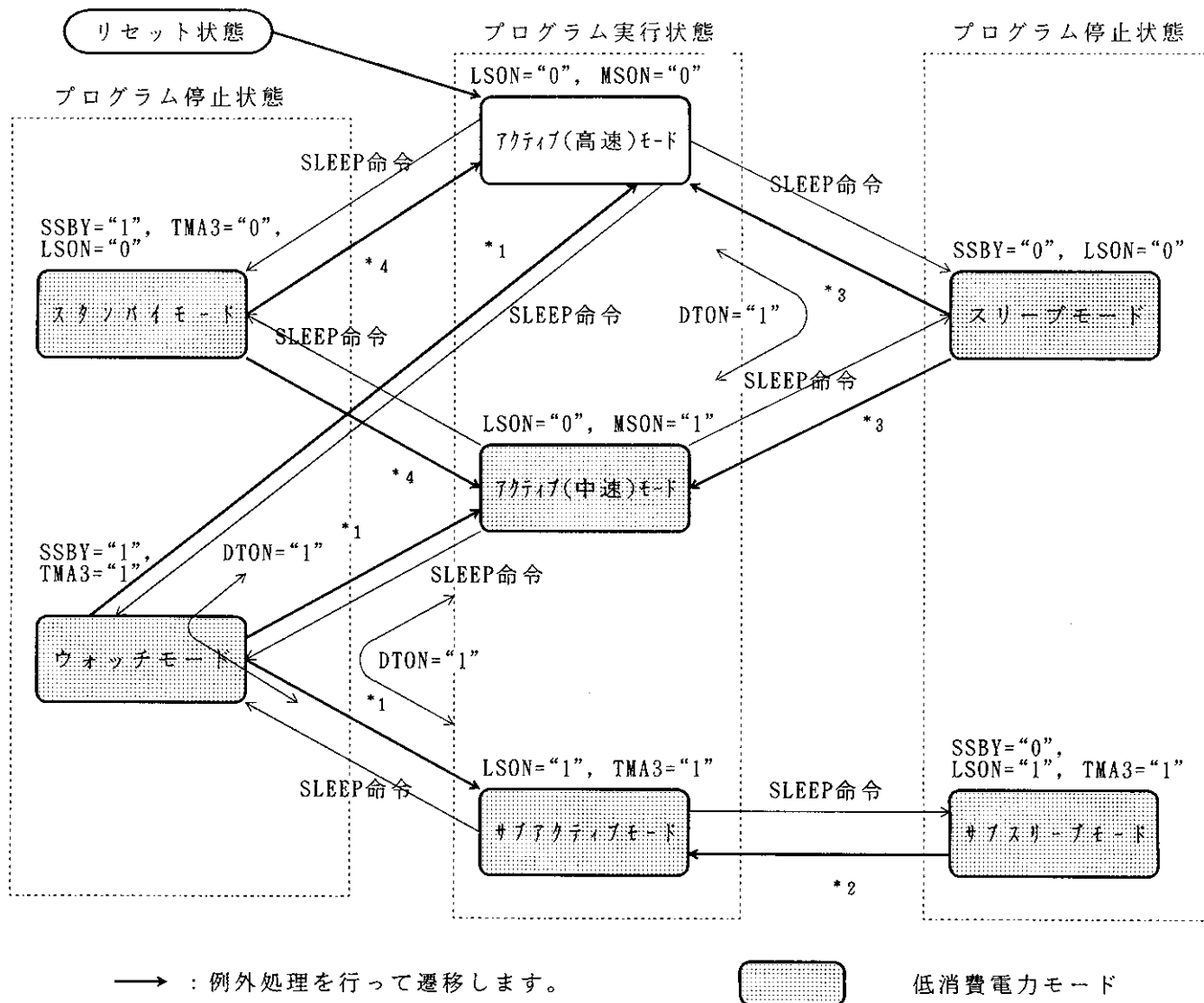
表 5. 1 に動作モードの概要を示します。

表 5. 1 動作モードの概要

動 作 モ ー ド	説 明
アクティブ（高速）モード	C P U がシステムクロックにより、高速動作でプログラムを実行しているモードです。
アクティブ（中速）モード	C P U がシステムクロックにより、低速動作でプログラムを実行しているモードです。
サブアクティブモード	C P U がサブクロックにより、低速動作でプログラムを実行しているモードです。
スリープモード	C P U が動作を停止し、内蔵周辺機能がシステムクロックで動作しているモードです。
サブスリープモード	C P U が動作を停止し、タイマ A、タイマ C、タイマ G、および L C D コントローラ／ドライバがサブクロックで動作しているモードです。
ウォッチモード	C P U が動作を停止し、タイマ A の時計機能および L C D コントローラ／ドライバがサブクロックで動作しているモードです。
スタンバイモード	C P U およびすべての内蔵の周辺機能が動作を停止しているモードです。

上記 7 種類の動作モードのうち、アクティブ（高速）モード以外の動作モードを低消費電力モードと呼びます。また、本章では、アクティブ（高速）モードとアクティブ（中速）モードを総称してアクティブモードと呼びます。

図 5. 1 にモード遷移図を示します。



- 【注】 1. 割込みによって各モード間の遷移を行う場合は、割込み要因発生のみで遷移することはできません。必ず割込み要求を受け付けてから、割込み処理を行うようにしてください。
2. 各モード間の遷移条件の詳細は、5.2～5.8節の各モードの説明を参照してください。
- *1 タイマA割込み、IRQ₀割込み、WKP₇～WKP₀割込み
- *2 タイマA割込み、タイマC割込み、タイマG割込み、IRQ₄～IRQ₀割込み、WKP₇～WKP₀割込み
- *3 すべての割込み
- *4 IRQ₁、IRQ₀割込み、WKP₇～WKP₀割込み

図 5.1 モード遷移図

表 5. 2 に各モードでの L S I の内部状態を示します。

表 5. 2 各動作モードでの L S I の状態

機 能		アクティブ		スリープ	ウェッチ	サブアクティブ	サブスリープ	スタンバイ	
		高速	中速						
システムクロック発振器		動作	動作	動作	停止	停止	停止	停止	
サブクロック発振器		動作	動作	動作	動作	動作	動作	動作	
CPU動作	命令	動作	動作	停止	停止	動作	停止	停止	
	RAM			保持	保持		動作	保持	保持
	レジスタ								
	I/O								
外部割込みの動作	IRQ ₀	動作	動作	動作	動作	動作	動作	動作	
	IRQ ₁				保持*6			動作	動作
	IRQ ₂								
	IRQ ₃								
	IRQ ₄								
	WKP ₀	動作	動作	動作	動作	動作	動作	動作	
	WKP ₁								
	WKP ₂								
	WKP ₃								
	WKP ₄								
	WKP ₅								
	WKP ₆								
	WKP ₇								
周辺機能の動作	タイマA	動作	動作	動作	動作*5	動作*5	動作*5	保持	
	タイマB				保持	保持	保持		
	タイマC					動作／保持*2	動作／保持*2		
	タイマF					保持	保持		
	タイマG					動作／保持*3	動作／保持*3		
	SCI1	動作	動作	動作	保持	保持	保持	保持	
	SCI2				リセット	リセット	リセット	リセット	
	SCI3					リセット	リセット	リセット	
	PWM	動作	動作	保持	保持	保持	保持	保持	
	A/D	動作	動作	動作	保持	保持	保持	保持	
LCD	動作	動作	動作	動作／保持*4	動作／保持*4	動作／保持*4	保持		

【注】 ^{*1} レジスタは保持、出力はハイインピーダンス

^{*2} 外部クロックまたは内部クロックとしてφ_w/4を選択した場合に動作、その他は停止して保持

^{*3} 内部クロックとしてφ_w/2を選択した場合に動作、その他は停止して保持

^{*4} 内部クロックとしてφ_w、φ_w/2を選択した場合に動作、その他は停止して保持

^{*5} 時計用タイムベース機能を選択時に動作

^{*6} 外部割込み要求は無視されます。割込み要求レジスタの内容は影響を受けません。

5. 1. 1 システムコントロールレジスタ

表 5. 3 に動作モードを設定するシステムコントロールレジスタを示します。

表 5. 3 レジスタ構成

名 称	略 称	R / W	初期値	アドレス
システムコントロールレジスタ 1	S Y S C R 1	R / W	H' 07	H' FFF0
システムコントロールレジスタ 2	S Y S C R 2	R / W	H' E0	H' FFF1

(1) システムコントロールレジスタ 1 (S Y S C R 1)

ビット：	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	LS0N	—	—	—
初期値：	0	0	0	0	0	1	1	1
R / W：	R / W	R / W	R / W	R / W	R / W	—	—	—

S Y S C R 1 は、8 ビットのリード／ライト可能なレジスタで、低消費電力モードの制御を行います。

ビット 7：ソフトウェアスタンバイ (S S B Y)

スタンバイモード、ウォッチモードへの遷移を指定します。

ビット 7	説 明
S S B Y	
0	アクティブモードで S L E E P 命令実行後、スリープモードに遷移 サブアクティブモードで S L E E P 命令実行後、サブスリープモードに遷移 (初期値)
1	アクティブモードで S L E E P 命令実行後、スタンバイモードあるいはウォッチモードに遷移 サブアクティブモードで S L E E P 命令実行後、ウォッチモードに遷移

ビット6～4：スタンバイタイムセレクト2～0（STS2～STS0）

特定の割込みにより、スタンバイモード、ウォッチモードを解除し、アクティブモードに遷移する場合に、クロックが安定するまでCPUと周辺機能が待機する時間を指定します。動作周波数に応じて待機時間が10ms以上となるように指定してください。

ビット6 STS2	ビット5 STS1	ビット4 STS0	説 明
0	0	0	待機時間 = 8,192 ステート (初期値)
0	0	1	待機時間 = 16,384 ステート
0	1	0	待機時間 = 32,768 ステート
0	1	1	待機時間 = 65,536 ステート
1	*	*	待機時間 = 131,072 ステート

* Don't care

ビット3：ロースピードオンフラグ（LSON）

ウォッチモードを解除時に、CPUの動作クロックをシステムクロック（ ϕ ）にするか、サブクロック（ ϕ_{SUB} ）にするかを選択します。他の制御ビット、割込み入力 of 組合せで動作モードを決定します。

ビット3 LSON	説 明
0	CPUの動作クロックはシステムクロック（ ϕ ） (初期値)
1	CPUの動作クロックはサブクロック（ ϕ_{SUB} ）

ビット2～0：リザーブビット

リザーブビットです。各ビットはリードすると常に“1”が読み出されます。ライトは無効です。

(2) システムコントロールレジスタ 2 (SYSCR2)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	NESEL	DTON	MSON	SA1	SA0
初期値:	1	1	1	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W

SYSCR2 は、8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

ビット 7～5：リザーブビット

リザーブビットです。各ビットはリードすると常に“1”が読み出されます。ライトは無効です。

ビット 4：ノイズ除去サンプリング周波数選択 (NESEL)

サブクロック発振器より生成されたウォッチクロック (ϕ_w) を、システムクロック発振器より生成された OSC クロック (ϕ_{osc}) により、サンプリングする周波数を選択します。 $\phi_{osc} = 2 \sim 10\text{MHz}$ のときは、“0” をセットしてください。

ビット 4	説 明
NESEL	
0	ϕ_{osc} の 16 分周クロックでサンプリング (初期値)
1	ϕ_{osc} の 4 分周クロックでサンプリング

ビット3：ダイレクトトランスファオンフラグ（DTON）

アクティブ（高速）モード、アクティブ（中速）モード、サブアクティブモードの各モード間を、SLEEP命令を実行することにより直接遷移するか否かを指定します。SLEEP命令実行後に遷移する動作モードは、本ビット以外の制御ビットの組合せで決定します。

ビット3	説 明
DTON	
0	・アクティブモードでSLEEP命令を実行したとき、スタンバイモード、ウォッチモード、またはスリープモードに遷移 ・サブアクティブモードでSLEEP命令を実行したとき、ウォッチモード、またはサブスリープモードに遷移（初期値）
1	・アクティブ（高速）モードでSLEEP命令を実行したとき、アクティブ（中速）モード（SSBY="0"、MSON="1"、LSON="0"のとき）、またはサブアクティブモード（SSBY="1"、TMA3="1"、LSON="1"のとき）に直接遷移 ・アクティブ（中速）モードでSLEEP命令を実行したとき、アクティブ（高速）モード（SSBY="0"、MSON="0"、LSON="0"のとき）、またはサブアクティブモード（SSBY="1"、TMA3="1"、LSON="1"のとき）に直接遷移 ・サブアクティブモードでSLEEP命令を実行したとき、アクティブ（高速）モード（SSBY="1"、TMA3="1"、LSON="0"、MSON="0"のとき）、またはアクティブ（中速）モード（SSBY="1"、TMA3="1"、LSON="0"、MSON="1"のとき）に直接遷移

ビット2：ミドルスピードオンフラグ（MSON）

スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ（高速）モードで動作させるか、アクティブ（中速）モードで動作させるかを選択します。

ビット2	説 明
MSON	
0	アクティブ（高速）モードで動作（初期値）
1	アクティブ（中速）モードで動作

ビット1、0：サブアクティブモードクロックセレクト（SA1、SA0）

サブアクティブモードのCPUの動作クロック（ $\phi_w/8$ 、 $\phi_w/4$ 、 $\phi_w/2$ ）を選択します。SA1、SA0はサブアクティブモードでライトしても値は更新されません。

ビット1	ビット0	説 明
SA1	SA0	
0	0	$\phi_w/8$ （初期値）
0	1	$\phi_w/4$
1	*	$\phi_w/2$

* Don't care

5. 2 スリープモード

5. 2. 1 スリープモードへの遷移

アクティブモードで、SYSCR1のSSBYが“0”、LSONが“0”のときSLEEP命令を実行すると、スリープモードに遷移します。スリープモードではCPUの動作は停止しますが、PWMを除く内蔵周辺モジュールは動作します。なお、CPUのレジスタの内容は保持されます。

5. 2. 2 スリープモードの解除

スリープモードの解除は、すべての割込み(タイマA、タイマB、タイマC、タイマF、タイマG、IRQ₄~IRQ₆、WKP₇~WKP₆、SCI₃、SCI₂、SCI₁、A/D変換器)、RES端子入力によって行われます。

(1) 割込みによる解除

割込み要求が発生すると、スリープモードは解除され、割込み例外処理を開始します。

SYSCR2のMSONが“0”のときアクティブ(高速)モードに、MSONが“1”のときアクティブ(中速)モードに遷移します。なお、CCRのIビットが“1”のとき、あるいは割込み許可レジスタにより当該割込みの受付けが禁止されている場合はスリープ状態は解除されません。

(2) RES端子による解除

RES端子を“Low”レベルにするとリセット状態に遷移し、スリープモードは解除されます。

5.3 スタンバイモード

5.3.1 スタンバイモードへの遷移

アクティブモードでSYSCR1のSSBYが“1”、LSONが“0”、およびTMAのTMA3が“0”のときSLEEP命令を実行すると、スタンバイモードに遷移します。スタンバイモードではクロック発生回路からのクロック供給を停止するため、CPUおよび内蔵周辺機能が停止します。規定の電圧が与えられている限り、CPUのレジスタと一部の内蔵周辺機能の内部レジスタ、および内蔵RAMのデータは保持されています。さらに、RAMデータ保持電圧で規定した電圧が与えられているかぎり、内蔵RAMのデータは保持されています。このとき、I/Oポートはハイインピーダンス状態となります。

5.3.2 スタンバイモードの解除

スタンバイモードの解除は、割込み（IRQ₁、IRQ₀、WKP₇～WKP₀）、RES端子入力によって行われます。

(1) 割込みによる解除

割込み要求が発生すると、システムクロックの発振が開始され、SYSCR1のSTS2～STS0により設定された時間が経過した後、安定したシステムクロックがLSI全体に供給されて、スタンバイモードは解除され、割込み例外処理を開始します。SYSCR2のMSONが“0”のときはアクティブ（高速）モードに、“1”のときはアクティブ（中速）モードに遷移します。なお、CCRのIビットが“1”のとき、あるいは、割込み許可レジスタにより当該割込みの受け付けが禁止されている場合は、スタンバイモードは解除されません。

(2) RES端子による解除

RES端子を“Low”レベルにすると、システムクロックの発振が開始されます。発振安定時間経過後、RES端子を“High”レベルにすると、CPUはリセット例外処理を開始します。なお、システムクロックの発振開始と同時にLSI全体にシステムクロックが供給されます。RES端子は、必ずシステムクロックの発振が安定するまで、“Low”レベルを保持してください。

5.3.3 スタンバイモード解除後の発振安定時間の設定

SYSCR1のSTS2～STS0の設定は、以下のようにしてください。

(1) 水晶発振の場合

表 5.4 に動作周波数とSTS2～STS0の設定値に対する待機時間を示します。待機時間が10 ms以上となるようにSTS2～STS0を設定してください。

表 5.4 動作周波数と発振安定時間

(単位：ms)

STS2	STS1	STS0	待機時間	5 MHz	4 MHz	2 MHz	1 MHz	0.5 MHz
0	0	0	8,192ステート	1.6	2.0	4.1	8.2	16.4
0	0	1	16,384ステート	3.2	4.1	8.2	16.4	32.8
0	1	0	32,768ステート	6.6	8.2	16.4	32.8	65.5
0	1	1	65,536ステート	13.1	16.4	32.8	65.5	131.1
1	*	*	131,072ステート	26.2	32.8	65.5	131.1	262.1

* Don't care

(2) 外部クロックの場合

任意の値を選択可能です。通常の場合は、最小時間 (STS2 = STS1 = STS0 = “0”) の使用を推奨します。

5.3.4 スタンバイモードへの遷移と端子状態

アクティブ（高速）モードまたはアクティブ（中速）モードでSYSCR1のSSBYを“1”、LSONを“0”、TMAのTMA3を“0”にセットした状態でSLEEP命令を実行するとスタンバイモードに遷移します。同時に端子はハイインピーダンス状態（プルアップMOSオン設定端子は除く）になります。この時のタイミングを図 5.2 に示します。

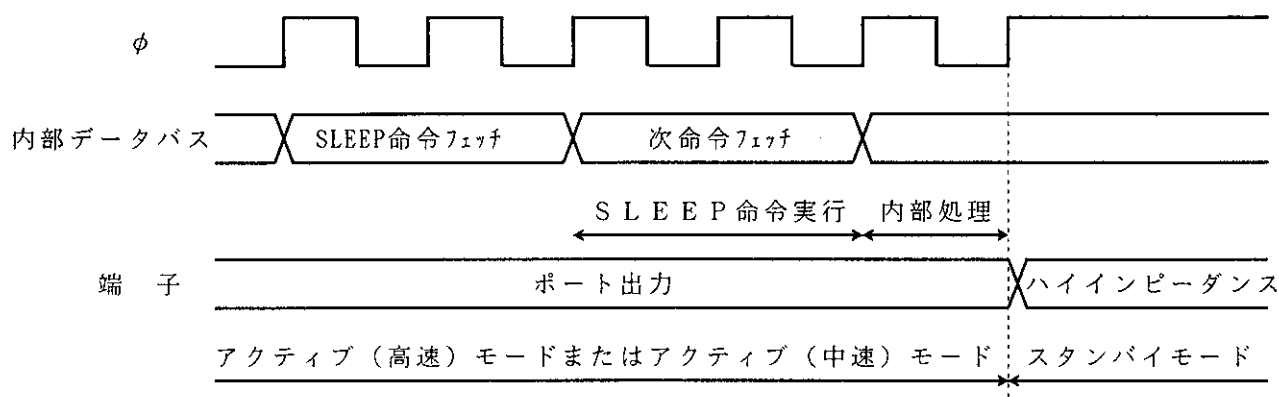


図 5.2 スタンバイモードへの遷移と端子状態

5. 4 ウォッチモード

5. 4. 1 ウォッチモードへの遷移

アクティブモード、サブアクティブモードでSYSCR1のSSBYが“1”、TMAのTMA3が“1”のときSLEEP命令を実行すると、ウォッチモードに遷移します。ウォッチモードではタイマA、LCD（動作／停止選択可）以外の内蔵周辺機能は動作を停止します。規定の電圧が与えられている限り、CPUと一部の内蔵周辺機能の内部レジスタ、および内蔵RAMの内容は保持され、I/Oポートは遷移前の状態を保持します。

5. 4. 2 ウォッチモードの解除

ウォッチモードの解除は、割込み（IRQ₀、WKP₇～WKP₀、タイマA）、RES端子入力によって行われます。

(1) 割込みによる解除

割込み要求が発生するとウォッチモードは解除され、SYSCR1のLSONとSYSCR2のMSONの組合せで、LSON＝“0”かつMSON＝“0”のときはアクティブ（高速）モードに、LSON＝“0”かつMSON＝“1”のときはアクティブ（中速）モードに、LSON＝“1”のときはサブアクティブモードに遷移します。アクティブモードに遷移するときは、SYSCR1のSTS2～STS0により設定された時間が経過した後、安定したクロックがLSI全体に供給され、割込み例外処理を開始します。なお、CCRのIビットが“1”の場合、あるいは割込み許可レジスタにより当該割込みの受付が禁止されている場合は、ウォッチモードは解除されません。

(2) RES端子による解除

RES端子による解除については、「5. 3. 2 スタンバイモードの解除 (2) RES端子による解除」を参照してください。

5. 4. 3 ウォッチモード解除後の発振安定時間の設定

ウォッチモード解除後の発振安定時間の設定については、「5. 3. 3 スタンバイモード解除後の発振安定時間の設定」を参照してください。

5.5 サブスリープモード

5.5.1 サブスリープモードへの遷移

サブアクティブモードでSYSCR1のSSBYが“0”、LSONが“1”、TMAのTMA3が“1”のときSLEEP命令を実行すると、サブスリープモードに遷移します。サブスリープモードでは、タイマA、タイマC、タイマG、LCD以外の内蔵周辺機能は動作を停止します。規定の電圧が与えられている限り、CPUと一部の内蔵周辺機能の内部レジスタ、内蔵RAMの内容は保持され、I/Oポートは遷移前の状態を保持します。

5.5.2 サブスリープモードの解除

サブスリープモードの解除は、割込み（タイマA、タイマC、タイマG、IRQ₄～IRQ₆、WKP₁～WKP₆）、RES端子入力によって行われます。

(1) 割込みによる解除

割込み要求が発生するとサブスリープモードは解除され、割込み例外処理を開始します。なお、CCRのIビットが“1”の場合、あるいは割込み許可レジスタにより当該割込みの受付けが禁止されている場合は、サブスリープモードは解除されません。

(2) RES端子による解除

RES端子による解除については、「5.3.2 スタンバイモードの解除 (2) RES端子による解除」を参照してください。

5. 6 サブアクティブモード

5. 6. 1 サブアクティブモードへの遷移

ウォッチモードで割込み(タイマA、IRQ₀、WKP₇~WKP₀)が発生したとき、SYSCR1のLSONが“1”ならば、サブアクティブモードに遷移します。また、サブスリープモードで割込み(タイマA、タイマC、タイマG、IRQ₄~IRQ₀、WKP₇~WKP₀)が発生したとき、サブアクティブモードに遷移します。なお、CCRのIビットが“1”の場合、または割込み許可レジスタにより当該割込みの受付けが禁止されている場合は、サブアクティブモードに遷移しません。

5. 6. 2 サブアクティブモードの解除

サブアクティブモードの解除は、SLEEP命令またはRES端子入力により行われます。

(1) SLEEP命令による解除

SYSCR1のSSBYが“1”、TMAのTMA3が“1”の状態ではSLEEP命令を実行すると、サブアクティブモードは解除され、ウォッチモードに遷移します。また、SYSCR1のSSBYが“0”、LSONが“1”、TMAのTMA3が“1”の状態ではSLEEP命令を実行すると、サブスリープモードに遷移します。また、直接遷移によってアクティブモードへ遷移します。直接遷移の詳細は「5. 8 直接遷移」を参照してください。

(2) RES端子による解除

RES端子による解除については、「5. 3. 2 スタンバイモードの解除 (2) RES端子による解除」を参照してください。

5. 6. 3 サブアクティブモードの動作周波数について

サブアクティブモードの動作周波数は、SYSCR2のSA1、SA0により、ウォッチクロック(ϕ_w)の2分周、4分周、8分周から選択できます。

5.7 アクティブ（中速）モード

5.7.1 アクティブ（中速）モードへの遷移

スタンバイモードで割込み（ IRQ_1 、 IRQ_0 、 $WKP_7 \sim WKP_0$ ）が発生したとき、ウォッチモードで割込み（タイマA、 IRQ_0 、 $WKP_7 \sim WKP_0$ ）が発生したとき、あるいはスリープモードですべての割込みが発生したとき、SYSCR1のLSONが“0”かつSYSCR2のMSONが“1”ならば、アクティブ（中速）モードに遷移します。なお、CCRのIビットが“1”の場合、または割込み許可レジスタにより当該割込みの受付が禁止されている場合は、アクティブ（中速）モードに遷移しません。

5.7.2 アクティブ（中速）モードの解除

アクティブ（中速）モードの解除は、SLEEP命令またはRES端子入力により行われます。

(1) SLEEP命令による解除

SYSCR1のSSBYが“1”、LSONが“0”、TMAのTMA3が“0”の状態でSLEEP命令を実行すると、スタンバイモードに遷移します。SYSCR1のSSBYが“1”、TMAのTMA3が“1”の状態でSLEEP命令を実行すると、ウォッチモードに遷移します。

SYSCR1のSSBYが“0”、LSONが“0”の状態でSLEEP命令を実行すると、スリープモードに遷移します。直接遷移によってアクティブ（高速）モード、またはサブアクティブモードへ遷移します。

直接遷移の詳細は「5.8 直接遷移」を参照してください。

(2) RES端子による解除

RES端子を“Low”レベルにすると、リセット状態に遷移し、アクティブ（中速）モードは解除されます。

5.7.3 アクティブ（中速）モードの動作周波数について

アクティブ（中速）モードは、アクティブ（高速）モードの $1/8$ の動作周波数のクロックによって動作します。

5. 8 直接遷移

5. 8. 1 直接遷移の概要

CPUがプログラムを実行している動作モードにはアクティブ（高速）モード、アクティブ（中速）モード、サブアクティブモードの3つのモードがあります。この3つの動作モードの間で、プログラムを停止する事なく遷移することを直接遷移と呼びます。直接遷移はSYSCR2のDTONを“1”にセットし、SLEEP命令を実行することにより可能です。遷移後は直接遷移割込み例外処理を開始します。なお、割込み許可レジスタ2（IENR2）により直接遷移割込みが禁止されている場合は、スリープモードまたはウォッチモードへ遷移します。また、CCRのIビットを“1”の状態で行うとスリープモードまたはウォッチモードに遷移し、遷移後のモードから割込みによる解除は不可能となりますので注意してください。

(1) アクティブ（高速）モードからアクティブ（中速）モードへの直接遷移

アクティブ（高速）モードでSYSCR1のSSBYを“0”、LSONを“0”、SYSCR2のMSONを“1”、DTONを“1”にセットした状態でSLEEP命令を実行すると、スリープモードを経由してアクティブ（中速）モードに遷移します。

(2) アクティブ（中速）モードからアクティブ（高速）モードへの直接遷移

アクティブ（中速）モードでSYSCR1のSSBYを“0”、LSONを“0”、SYSCR2のMSONを“0”、DTONを“1”にセットした状態でSLEEP命令を実行すると、スリープモードを経由してアクティブ（高速）モードに遷移します。

(3) アクティブ（高速）モードからサブアクティブモードへの直接遷移

アクティブ（高速）モードでSYSCR1のSSBYを“1”、LSONを“1”、SYSCR2のDTONを“1”、TMAのTMA3を“1”にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

(4) サブアクティブモードからアクティブ（高速）モードへの直接遷移

サブアクティブモードでSYSCR1のSSBYを“1”、LSONを“0”、SYSCR2のMSONを“0”、DTONを“1”、TMAのTMA3を“1”にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由し、SYSCR1のSTS2～STS0により設定された時間を経過した後、直接、アクティブ（高速）モードに遷移します。

(5) アクティブ（中速）モードからサブアクティブモードへの直接遷移

アクティブ（中速）モードでSYSCR1のSSBYを“1”、LSONを“1”、SYSCR2のDTONを“1”、TMAのTMA3を“1”にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

(6) サブアクティブモードからアクティブ（中速）モードへの直接遷移

サブアクティブモードでSYSCR1のSSBYを“1”、LSONを“0”、SYSCR2のMSONを“1”、DTONを“1”、TMAのTMA3を“1”にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由し、SYSCR1のSTS2～STS0により設定された時間を経過した後、直接、アクティブ（中速）モードに遷移します。

5.8.2 直接遷移の時間

(1) アクティブ（高速）モードからアクティブ（中速）モードへの直接遷移時の時間について

アクティブ（高速）モードからアクティブ（中速）モードへの直接遷移はアクティブ（高速）モードでSYSCR1のSSBYを“0”、LSONを“0”、SYSCR2のMSONを“1”、DTONを“1”にセットした状態でSLEEP命令を実行することによって行われます。この場合のSLEEP命令実行から割込み例外処理が終るまでの時間（直接遷移時間）は(1)の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前のtcyc}) + (\text{割込み例外処理実行ステート数}) \\ & \times (\text{遷移後のtcyc}) \dots\dots\dots (1) \end{aligned}$$

〔例〕H8／3834Uシリーズの直接遷移時間 = $(2 + 1) \times 2 \text{tosc} + 14 \times 16 \text{tosc} = 230 \text{tosc}$

<記号説明>

tosc: OSCクロックサイクル時間

tcyc: システムクロック (φ) サイクル時間

(2) アクティブ（中速）モードからアクティブ（高速）モードへの直接遷移時の時間について

アクティブ（中速）モードからアクティブ（高速）モードへの直接遷移はアクティブ（中速）モードでSYSCR1のSSBYを“0”、LSONを“0”、SYSCR2のMSONを“0”、DTONを“1”にセットした状態でSLEEP命令を実行することによって行われます。この場合のSLEEP命令実行から割込み例外処理が終るまでの時間（直接遷移時間）は(2)の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前のtcyc}) + (\text{割込み例外処理実行ステート数}) \\ & \times (\text{遷移後のtcyc}) \dots\dots\dots (2) \end{aligned}$$

〔例〕H8／3834Uシリーズの直接遷移時間 = $(2 + 1) \times 16 \text{tosc} + 14 \times 2 \text{tosc} = 76 \text{tosc}$

<記号説明>

tosc: OSCクロックサイクル時間

tcyc: システムクロック (φ) サイクル時間

(3) サブアクティブモードからアクティブ（高速）モードへの直接遷移時の時間について

サブアクティブモードからアクティブ（高速）モードへの直接遷移はサブアクティブモードでSYSCR1のSSBYを“1”、LSONを“0”、SYSCR2のMSONを“0”、DTONを“1”、TMAのTMA3を“1”にセットした状態でSLEEP命令を実行することによって行われます。この場合のSLEEP命令実行から割込み例外処理が終るまでの時間（直接遷移時間）は(3)の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前のtsubcyc}) + \{ (\text{STS2} \sim \text{STS0で設定した待機時間}) \\ & + (\text{割込み例外処理実行ステート数}) \} \times (\text{遷移後のtcyc}) \dots\dots\dots (3) \end{aligned}$$

$$\begin{aligned} \text{〔例〕 H8/3834Uシリーズの直接遷移時間} = & (2 + 1) \times 8 \text{ tw} + (8192 + 14) \times 2 \text{ tosc} \\ = & 24 \text{ tw} + 16412 \text{ tosc} \end{aligned}$$

（CPU動作クロック： $\phi_w/8$ 、待機時間：8192ステートを選択した場合）

<記号説明>

tosc : OSCクロックサイクル時間
tw : ウォッチクロックサイクル時間
tcyc : システムクロック（ ϕ ）サイクル時間
tsubcyc : サブクロック（ ϕ_{sub} ）サイクル時間

(4) サブアクティブモードからアクティブ（中速）モードへの直接遷移時の時間について

サブアクティブモードからアクティブ（中速）モードへの直接遷移はサブアクティブモードでSYSCR1のSSBYを“1”、LSONを“0”、SYSCR2のMSONを“1”、DTONを“1”、TMAのTMA3を“1”にセットした状態でSLEEP命令を実行することによって行われます。SLEEP命令実行から割込み例外処理が終るまでの時間（直接遷移時間）は(4)の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前のtsubcyc}) + \{ (\text{STS2} \sim \text{STS0で設定した待機時間}) \\ & + (\text{割込み例外処理実行ステート数}) \} \times (\text{遷移後のtcyc}) \dots\dots\dots (4) \end{aligned}$$

$$\begin{aligned} \text{〔例〕 H8/3834Uシリーズの直接遷移時間} = & (2 + 1) \times 8 \text{ tw} + (8192 + 14) \times 16 \text{ tosc} \\ = & 24 \text{ tw} + 131296 \text{ tosc} \end{aligned}$$

（CPU動作クロック： $\phi_w/8$ 、待機時間：8192ステートを選択した場合）

<記号説明>

tosc : OSCクロックサイクル時間
tw : ウォッチクロックサイクル時間
tcyc : システムクロック（ ϕ ）サイクル時間
tsubcyc : サブクロック（ ϕ_{sub} ）サイクル時間

6 . R O M

第 6 章 目次

6. 1	概要	6 - 1
6. 1. 1	ブロック図	6 - 1
6. 2	H 8 / 3 8 3 4 U の P R O M モード	6 - 2
6. 2. 1	P R O M モードの設定	6 - 2
6. 2. 2	ソケットアダプタの端子対応とメモリマップ	6 - 2
6. 3	H 8 / 3 8 3 4 U のプログラミング	6 - 5
6. 3. 1	書込み／ベリファイ	6 - 6
6. 3. 2	書込み時の注意	6 - 8
6. 4	H 8 / 3 8 3 7 U の P R O M モード	6 - 9
6. 4. 1	P R O M モードの設定	6 - 9
6. 4. 2	ソケットアダプタの端子対応とメモリマップ	6 - 9
6. 5	H 8 / 3 8 3 7 U のプログラミング	6 - 12
6. 5. 1	書込み／ベリファイ	6 - 13
6. 5. 2	書込み時の注意	6 - 15
6. 6	書込み後の信頼性	6 - 16

6. 1 概要

H 8 / 3 8 3 3 U は 2 4 k バイト、H 8 / 3 8 3 4 U は 32 k バイト、H 8 / 3 8 3 5 U は 4 0 k バイト、H 8 / 3 8 3 6 U は 48 k バイト、H 8 / 3 8 3 7 U は 60 k バイトのマスキング ROM を内蔵しています。ROM は 16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータにかかわらず 2 ステートの高速アクセスが可能です。H 8 / 3 8 3 4 U、H 8 / 3 8 3 7 U には Z T A T ® 版があり、それぞれ 32 k バイト、60 k バイトの PROM を備えています。

6. 1. 1 ブロック図

ROM のブロック図を図 6. 1 に示します。

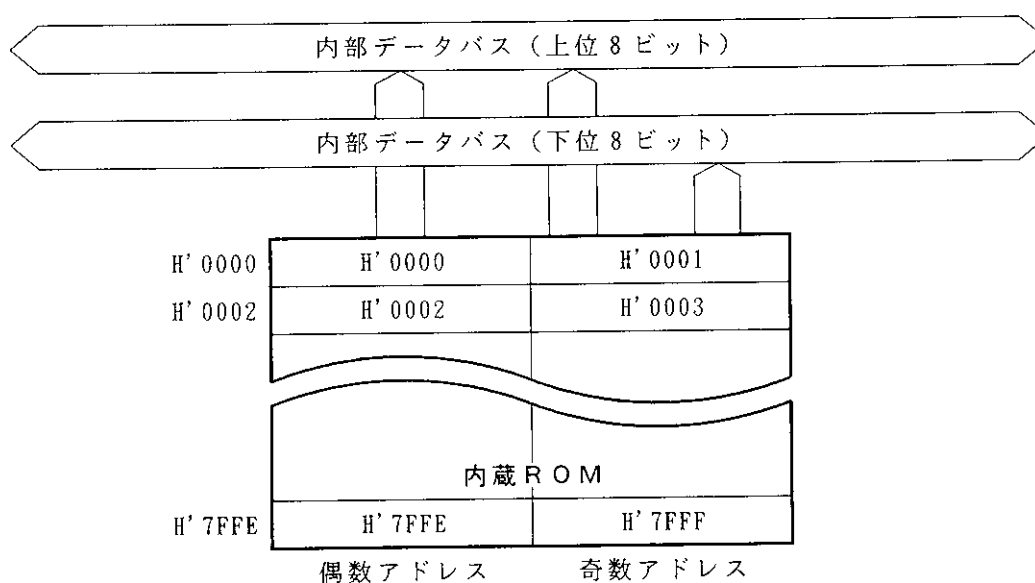


図 6. 1 ROM のブロック図（H 8 / 3 8 3 4 U の場合）

6.2 H8／3834UのPROMモード

6.2.1 PROMモードの設定

内蔵ROMがPROMの場合、PROMモードに設定すると、マイクロコンピュータとしての機能が停止して、HN27C256と同一の方法で内蔵PROMのプログラムを行うことができます。

PROMモードの設定方法を、表6.1に示します。

表 6.1 PROMモードの設定

端 子 名	設 定
TEST端子	“High”レベル
PB ₄ /AN ₄ 端子	“Low”レベル
PB ₅ /AN ₅ 端子	
PB ₆ /AN ₆ 端子	“High”レベル

6.2.2 ソケットアダプタの端子対応とメモリマップ

PROMのプログラムは、表6.2で示すようにパッケージに対応したソケットアダプタを付けて、28ピンに変換し、汎用PROMライターでプログラミングを行います。

ソケットアダプタの端子対応図を図6.2に示します。また、メモリマップを図6.3に示します。

表 6.2 ソケットアダプタ

パ ッ ケ ー ジ 名	ソケットアダプタの名称
100ピン (FP-100B)	HS3834ESH01H
100ピン (FP-100A)	HS3834ESF01H
100ピン (TFP-100B)	HS3834ESN01H

FP-100A	FP-100B	端 子	端 子	HN27C256
12	9	RES	V_{DD}	1
47	44	P6 ₀	EO ₀	11
48	45	P6 ₁	EO ₁	12
49	46	P6 ₂	EO ₂	13
50	47	P6 ₃	EO ₃	15
51	48	P6 ₄	EO ₄	16
52	49	P6 ₅	EO ₅	17
53	50	P6 ₆	EO ₆	18
54	51	P6 ₇	EO ₇	19
70	67	P8 ₇	EA ₀	10
69	66	P8 ₆	EA ₁	9
68	65	P8 ₅	EA ₂	8
67	64	P8 ₄	EA ₃	7
66	63	P8 ₃	EA ₄	6
65	62	P8 ₂	EA ₅	5
64	61	P8 ₁	EA ₆	4
63	60	P8 ₀	EA ₇	3
55	52	P7 ₀	EA ₈	25
91	88	P4 ₃	EA ₉	24
57	54	P7 ₂	EA ₁₀	21
58	55	P7 ₃	EA ₁₁	23
59	56	P7 ₄	EA ₁₂	2
60	57	P7 ₅	EA ₁₃	26
61	58	P7 ₆	EA ₁₄	27
62	59	P7 ₇	$\overline{CE}$	20
56	53	P7 ₁	$\overline{OE}$	22
34, 79	31, 76	V_{CC}	V_{CC}	28
92	89	AV_{CC}	V_{SS}	14
6	3	TEST		
8	5	λ_1		
99	96	PB ₆		
13	10	MD0		
81	78	P1 ₁		
82	79	P1 ₂		
83	80	P1 ₃		
9, 30	6, 27	V_{SS}		
5	2	AV_{SS}		
97	94	PB ₄		
98	95	PB ₅		
84	81	P1 ₄		
85	82	P1 ₅		
86	83	P1 ₆		

【注】 図中に記載されていない端子はすべてオープンにしてください。

図 6. 2 ソケットアダプタの端子対応図 (HN27C256)

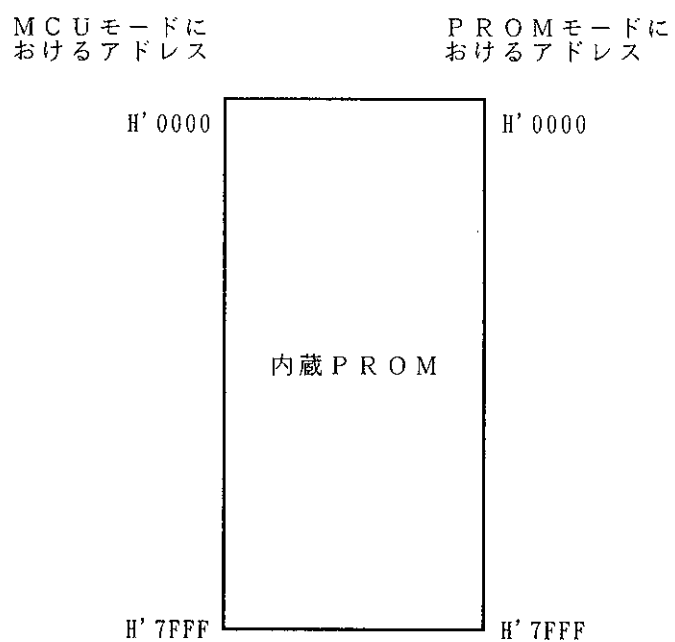


図 6. 3 H 8 / 3 8 3 4 U の P R O M モード時のメモリマップ

P R O M ライタでプログラムする際に、アドレスは必ずH' 0000～H' 7FFFに設定してください。

6.3 H 8 / 3 8 3 4 U の プ ロ グ ラ ミ ン グ

H 8 / 3 8 3 4 U の P R O M モード時の書込み、ペリファイなどのモード選択は、表 6. 3 に示すような設定により行います。

表 6. 3 P R O M モード時の書込みモードの選択 (H 8 / 3 8 3 4 U)

ピン モード	$\overline{\text{CE}}$	$\overline{\text{OE}}$	V_{pp}	V_{cc}	$\text{E}0_7 \sim \text{E}0_0$	$\text{E}A_{14} \sim \text{E}A_0$
書 込 み	L	H	V_{pp}	V_{cc}	データ入力	アドレス入力
ペ リ フ ァ イ	H	L	V_{pp}	V_{cc}	データ出力	アドレス入力
プ ロ グ ラ ミ ン グ 禁 止	H	H	V_{pp}	V_{cc}	ハイインピーダンス	アドレス入力

〈記号説明〉

L : “Low” レベル

H : “High” レベル

V_{pp} : “ V_{pp} ” レベル

V_{cc} : “ V_{cc} ” レベル

なお、書込み、読出しは、標準 E P R O M の H N 2 7 C 2 5 6 と同じ仕様になっています。

6.3.1 書込み／ベリファイ

書込み／ベリファイは効率のよい高性能プログラミング方式で行うことができます。この方式は、デバイスへの電圧ストレス、あるいは書込みデータの信頼性を損うことなく高速な書込みを行うことができます。未使用のアドレス領域のデータはH'FFです。

高性能プログラミングの基本的なフローを図 6.4 に示します。

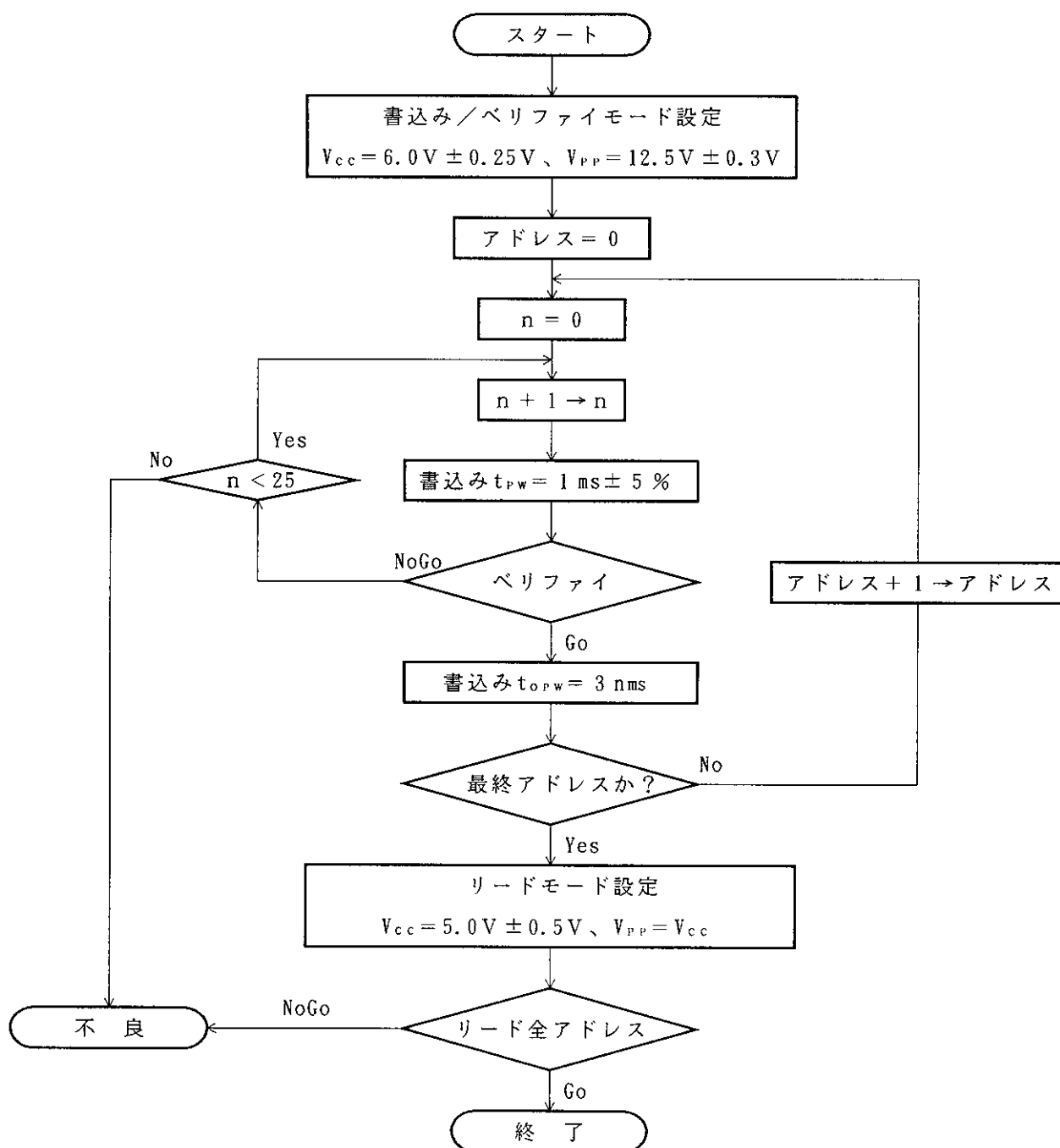


図 6.4 高性能プログラミングフローチャート

プログラミング時の電気的特性を表 6. 4、表 6. 5 に示します。

表 6. 4 D C 特性

(条件: $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25^\circ C \pm 5^\circ C$)

項	目	記号	min	typ	max	単位	測定条件
入力“High” レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{14} \sim EA_0$ $\overline{OE}$ 、 $\overline{CE}$	V_{IH}	2.4	—	$V_{CC} + 0.3$	V	
入力“Low” レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{14} \sim EA_0$ $\overline{OE}$ 、 $\overline{CE}$	V_{IL}	-0.3	—	0.8	V	
出力“High” レベル電圧	$EO_7 \sim EO_0$	V_{OH}	2.4	—	—	V	$I_{OH} = -200\mu A$
出力“Low” レベル電圧	$EO_7 \sim EO_0$	V_{OL}	—	—	0.45	V	$I_{OL} = 0.8mA$
入力 リーク電流	$EO_7 \sim EO_0$ 、 $EA_{14} \sim EA_0$ $\overline{OE}$ 、 $\overline{CE}$	$ I_{LH} $	—	—	2	μA	$V_{in} = 5.25V / 0.5V$
V_{CC} 電流		I_{CC}	—	—	40	mA	
V_{PP} 電流		I_{PP}	—	—	40	mA	

表 6. 5 A C 特性

(条件: $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $T_a = 25^\circ C \pm 5^\circ C$)

項	目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間		t_{AS}	2	—	—	μs	図 6. 5 * ¹
$\overline{OE}$ セットアップ時間		t_{OES}	2	—	—	μs	
データセットアップ時間		t_{DS}	2	—	—	μs	
アドレスホールド時間		t_{AH}	0	—	—	μs	
データホールド時間		t_{DH}	2	—	—	μs	
データ出力ディセーブル時間		t_{DF}^{*2}	0	—	130	ns	
V_{PP} セットアップ時間		t_{VPS}	2	—	—	μs	
プログラムパルス幅		t_{PW}	0.95	1.0	1.05	ms	
オーバプログラム時の $\overline{CE}$ パルス幅		t_{OPW}^{*3}	2.85	—	78.7	ms	
V_{CC} セットアップ時間		t_{VCS}	2	—	—	μs	
データ出力遅延時間		t_{OE}	0	—	500	ns	

【注】 *¹ 入力パルスレベル: 0.8~2.2V

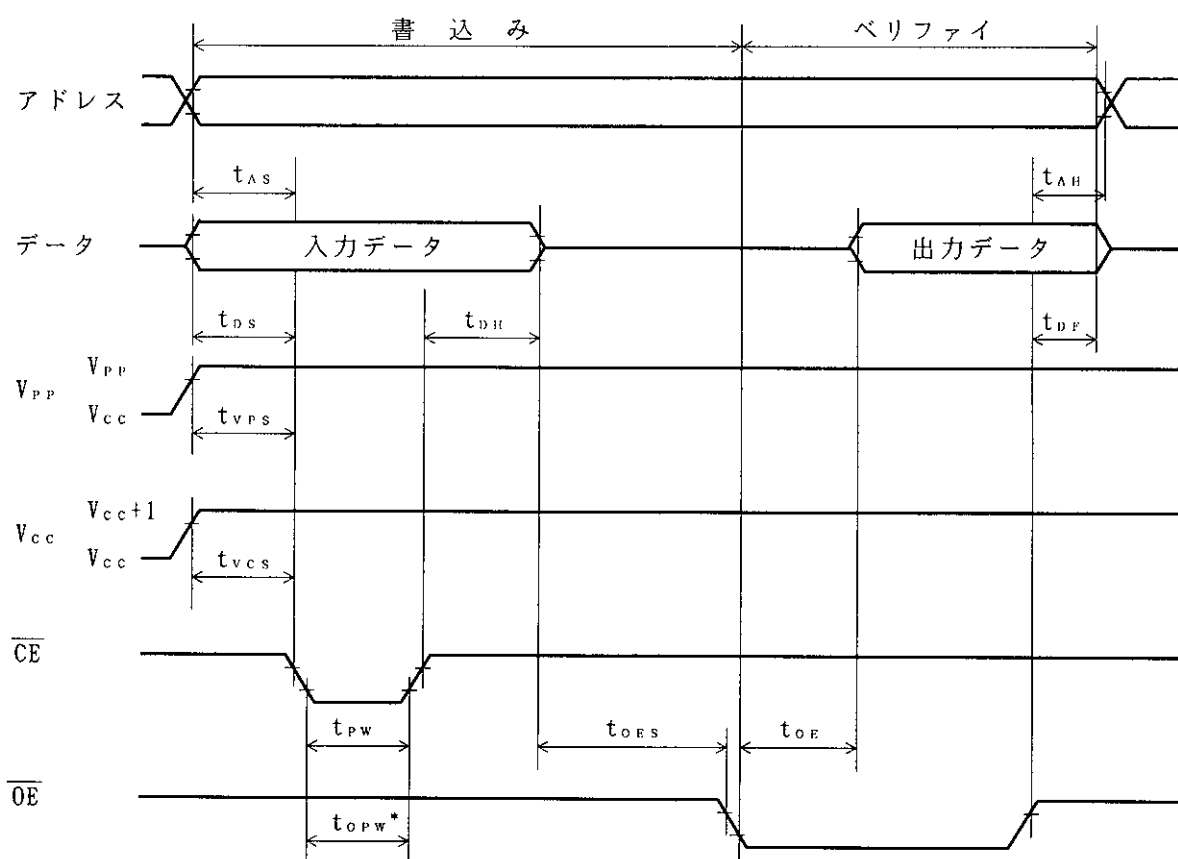
入力立上がり／立下がり時間 $\leq 20ns$

タイミング参照レベル $\begin{cases} \text{入力: } 1.0V、2.0V \\ \text{出力: } 0.8V、2.0V \end{cases}$

*² t_{DF} は出力が開放状態に達し、出力レベルを参照できなくなった場合で定義します。

*³ t_{OPW} は図 6. 4 高性能プログラミングフローチャートに記載した値で定義されます。

PROMの書込み／ベリファイタイミングを図6.5に示します。



【注】* t_{OPW} は図6.4高性能プログラミングフローチャートに記載した値で定義されます。

図6.5 PROM書込み／ベリファイタイミング

6.3.2 書込み時の注意

- (1) 書込みは規定された電圧、タイミングで行ってください。

PROMモード時のプログラム電圧 (V_{PP}) は12.5Vです。

定格以上の電圧を加えると、製品の永久破壊に至りますので、注意してください。特にPROMライタのオーバシュートなどには十分注意してください。

PROMライタのHN27C256の日立仕様にセットすると、 V_{PP} は12.5Vになります。

- (2) PROMライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していないと、過剰電流によって製品が破壊することがあります。書込み前に正しくPROMライタに装着されていることを必ず確認してください。

- (3) 書込み中はソケットアダプタおよび製品には触れないようにしてください。接触不良により書込み不良となる場合があります。

6. 4 H 8 / 3 8 3 7 U の P R O M モード

6. 4. 1 P R O M モードの設定

内蔵 R O M が P R O M の場合、P R O M モードに設定すると、マイクロコンピュータとしての機能が停止して、H N 2 7 C 1 0 1 と同一の方法で内蔵 P R O M のプログラムを行うことができます。ただし、ページプログラミング方式はサポートしていません。

P R O M モードの設定方法を、表 6. 6 に示します。

表 6. 6 P R O M モードの設定

端 子 名	設 定
TEST 端子	“High” レベル
PB ₄ /AN ₄ 端子	“Low” レベル
PB ₅ /AN ₅ 端子	
PB ₆ /AN ₆ 端子	“High” レベル

6. 4. 2 ソケットアダプタの端子対応とメモリマップ

P R O M のプログラムは、表 6. 7 で示すようにパッケージに対応したソケットアダプタを付けて、32ピンに変換し、汎用 P R O M ライタでプログラミングを行います。

ソケットアダプタの端子対応図を図 6. 6 に示します。また、メモリマップを図 6. 7 に示します。

表 6. 7 ソケットアダプタ

パ ッ ケ ー ジ 名	ソケットアダプタの名称
100ピン (F P - 100B)	HS3836ESH01H
100ピン (F P - 100A)	HS3836ESF01H
100ピン (T F P - 100B)	HS3836ESN01H

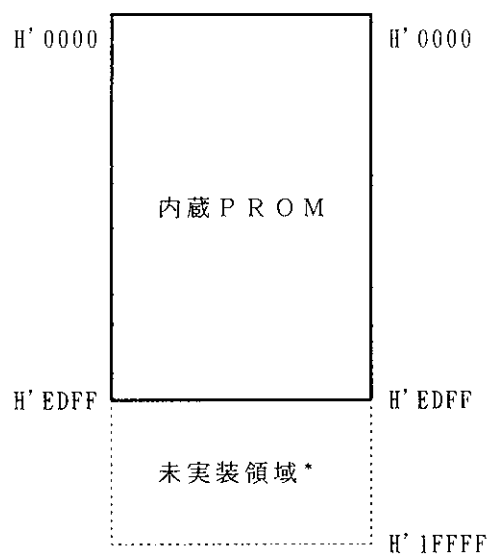
FP-100A	FP-100B	端 子	端 子	HN27C101(32ビット)
12	9	$\overline{\text{RES}}$	V_{PP}	1
47	44	P6 ₀	EO ₀	13
48	45	P6 ₁	EO ₁	14
49	46	P6 ₂	EO ₂	15
50	47	P6 ₃	EO ₃	17
51	48	P6 ₄	EO ₄	18
52	49	P6 ₅	EO ₅	19
53	50	P6 ₆	EO ₆	20
54	51	P6 ₇	EO ₇	21
70	67	P8 ₇	EA ₀	12
69	66	P8 ₆	EA ₁	11
68	65	P8 ₅	EA ₂	10
67	64	P8 ₄	EA ₃	9
66	63	P8 ₃	EA ₄	8
65	62	P8 ₂	EA ₅	7
64	61	P8 ₁	EA ₆	6
63	60	P8 ₀	EA ₇	5
55	52	P7 ₀	EA ₈	27
91	88	P4 ₃	EA ₉	26
57	54	P7 ₂	EA ₁₀	23
58	55	P7 ₃	EA ₁₁	25
59	56	P7 ₄	EA ₁₂	4
60	57	P7 ₅	EA ₁₃	28
61	58	P7 ₆	EA ₁₄	29
84	81	P1 ₄	EA ₁₅	3
85	82	P1 ₅	EA ₁₆	2
62	59	P7 ₇	$\overline{\text{CE}}$	22
56	53	P7 ₁	$\overline{\text{OE}}$	24
83	80	P1 ₃	PGM	31
34, 79	31, 76	V _{CC}	V _{CC}	32
92	89	AV _{CC}		
6	3	TEST		
8	5	X ₁		
99	96	PB ₆		
13	10	MD0		
81	78	P1 ₁		
82	79	P1 ₂		
86	83	P1 ₆		
9, 30	6, 27	V _{SS}	V _{SS}	16
5	2	AV _{SS}		
97	94	PB ₄		
98	95	PB ₅		

【注】 図中に記載されていない端子はすべてオープンにしてください。

図 6. 6 ソケットアダプタの端子対応図 (HN27C101)

MCUモードに
おけるアドレス

PROMモードに
おけるアドレス



【注】* PROMモードでこのアドレス領域をリードした場合、出力データは保証されません。

したがって、PROMライターでプログラムする際に、アドレスは必ずH'0000～H'EDFFに設定してください。誤ってH'EE00以降にプログラムするとPROMの書込みや確認ができなくなることがありますので注意してください。

また、プログラムする際にはこのアドレス領域(H'EE00～H'1FFFF)のデータは、H'FFとしてください。

図 6.7 H8/3837UのPROMモード時のメモリマップ

6.5 H8/3837Uのプログラミング

H8/3837UのPROMモード時の書込み、ベリファイなどのモード選択は、表6.8に示すような設定により行います。

表6.8 PROMモード時の書込みモードの選択 (H8/3837U)

ピン モード	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{PGM}}$	V_{pp}	V_{cc}	$\text{EO}_7 \sim \text{EO}_0$	$\text{EA}_{15} \sim \text{EA}_0$
書込み	L	H	L	V_{pp}	V_{cc}	データ入力	アドレス入力
ベリファイ	L	L	H	V_{pp}	V_{cc}	データ出力	アドレス入力
プログラミング禁止	L	L	L	V_{pp}	V_{cc}	ハイインピーダンス	アドレス入力
	L	H	H				
	H	L	L				
	H	H	H				

<記号説明>

L : “Low” レベル

H : “High” レベル

V_{pp} : “ V_{pp} ” レベル

V_{cc} : “ V_{cc} ” レベル

なお、書込み、読出しは、標準EPROM HN27C101と同じ仕様になっています。ただし、ページプログラミング方式はサポートしていませんので、ページプログラミングモードに設定しないでください。ページプログラミングモードのみをサポートしているPROMライタは使用できません。PROMライタを選択する場合には、1バイトごとの高速高信頼度プログラミング方式をサポートしていることを確認してください。また、アドレスは必ずH'0000～H'EDFFに設定してください。

6. 5. 1 書込み／ベリファイ

書込み／ベリファイは効率のよい高速高信頼度プログラミング方式で行うことができます。この方式は、デバイスへの電圧ストレス、あるいは書込みデータの信頼性を損うことなく高速な書込みを行うことができます。

高速高信頼度プログラミングの基本的なフローを図 6. 8 に示します。

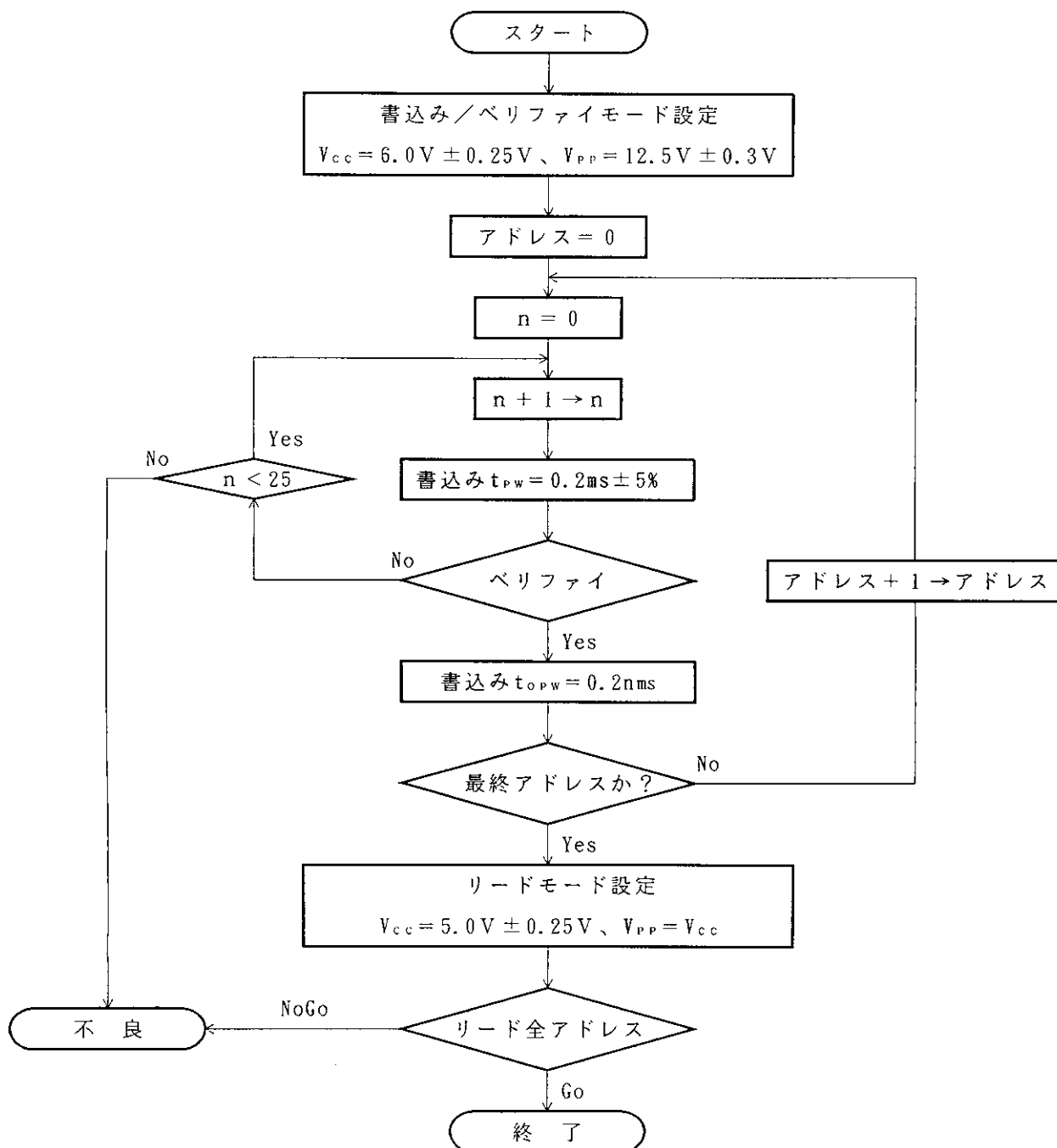


図 6. 8 高速高信頼度プログラミングフローチャート

プログラミング時の電気的特性を表 6. 9、表 6. 10に示します。

表 6. 9 D C 特性

〔暫定使用〕

(条件 : $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25^\circ C \pm 5^\circ C$)

項 目	記号	min	typ	max	単位	測定条件
入力“High” レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ $\overline{OE}$ 、 $\overline{CE}$ 、 $\overline{PGM}$	V_{IH}	2.4	—	$V_{CC} + 0.3$	V
入力“Low” レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ $\overline{OE}$ 、 $\overline{CE}$ 、 $\overline{PGM}$	V_{IL}	-0.3	—	0.8	V
出力“High” レベル電圧	$EO_7 \sim EO_0$	V_{OH}	2.4	—	—	V $I_{OH} = -200 \mu A$
出力“Low” レベル電圧	$EO_7 \sim EO_0$	V_{OL}	—	—	0.45	V $I_{OL} = 0.8mA$
入力 リーク電流	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ $\overline{OE}$ 、 $\overline{CE}$ 、 $\overline{PGM}$	$ I_{L1} $	—	—	2	μA $V_{in} = 5.25V / 0.5V$
V_{CC} 電流		I_{CC}	—	—	40	mA
V_{PP} 電流		I_{PP}	—	—	40	mA

表 6. 10 A C 特性

(条件 : $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $T_a = 25^\circ C \pm 5^\circ C$)

項 目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間	t_{AS}	2	—	—	μs	図 6. 9 *1
$\overline{OE}$ セットアップ時間	t_{OES}	2	—	—	μs	
データセットアップ時間	t_{DS}	2	—	—	μs	
アドレスホールド時間	t_{AH}	0	—	—	μs	
データホールド時間	t_{DH}	2	—	—	μs	
データ出力ディスエーブル時間	t_{DF}^{*2}	—	—	130	ns	
V_{PP} セットアップ時間	t_{VPS}	2	—	—	μs	
プログラムパルス幅	t_{PW}	0.19	0.20	0.21	ms	
オーバプログラム時の $\overline{PGM}$ パルス幅	t_{OPW}^{*3}	0.19	—	5.25	ms	
V_{CC} セットアップ時間	t_{VCS}	2	—	—	μs	
$\overline{CE}$ セットアップ時間	t_{CES}	2	—	—	μs	
データ出力遅延時間	t_{OE}	0	—	200	ns	

【注】 *1 入力パルスレベル : 0.45 ~ 2.4V

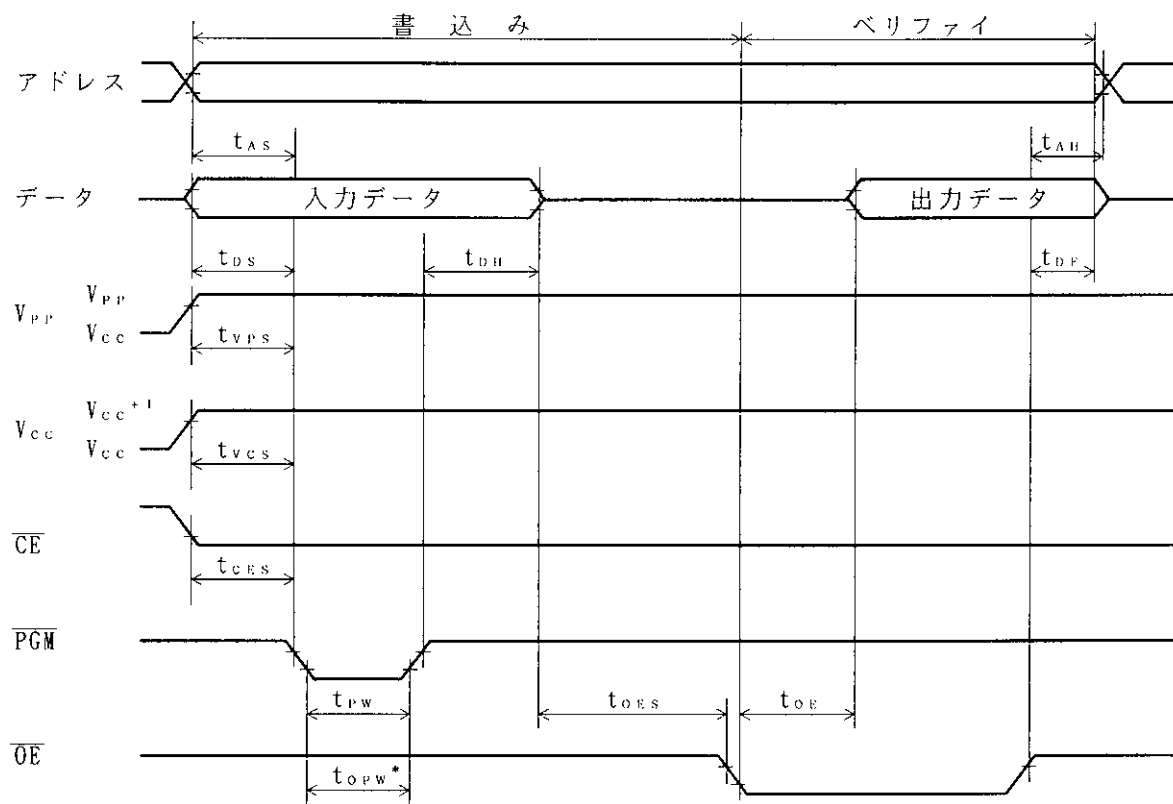
入力立上がり / 立下がり時間 $\leq 20ns$

タイミング参照レベル $\begin{cases} \text{入力 : } 0.8V、2.0V \\ \text{出力 : } 0.8V、2.0V \end{cases}$

*2 t_{DF} は出力が開放状態に達し、出力レベルを参照できなくなった場合で定義します。

*3 t_{OPW} は図 6. 8 高速高信頼度プログラミングフローチャートに記載した値で定義されます。

PROMの書込み／ベリファイタイミングを図6.9に示します。



【注】* t_{OPW} は図6.8高速高信頼度プログラミングフローチャートに記載した値で定義されます。

図6.9 PROM書込み／ベリファイタイミング

6.5.2 書込み時の注意

- (1) 書込みは規定された電圧、タイミングで行ってください。

PROMモード時のプログラム電圧 (V_{PP}) は12.5Vです。

定格以上の電圧を加えると、製品の永久破壊に至りますので、注意してください。特にPROMライタのオーバーシュートなどには十分注意してください。

PROMライタのHN27C101の日立仕様にセットすると、 V_{PP} は12.5Vになります。

- (2) PROMライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していないと、過剰電流によって製品が破壊することがあります。書込み前に正しくPROMライタに装着されていることを必ず確認してください。
- (3) 書込み中はソケットアダプタおよび製品には触れないようにしてください。接触不良により書込み不良となる場合があります。
- (4) プログラミングモードは、ページプログラミング方式をサポートしていませんので、プログラミングモードの設定には注意してください。
- (5) PROMライタでプログラムする際に、アドレスは必ずH'0000～H'EDFFに設定してください。誤ってH'EE00以降にプログラムすると、PROMの書込みや確認ができなくなることがありますので注意してください。またプログラムする際にはH'EE00～H'1FFFFのアドレス領域のデータはH'FFとしてください。

6. 6 書込み後の信頼性

データ書込み後、データ保持特性を向上させるために、150℃の高温放置をしてスクリーニングを行うと大変有効です。高温放置は、スクリーニングのひとつであり、PROMメモリセルの初期のデータ保持不良を短時間で除くことができます。

図 6.10 に推奨するスクリーニングフローを示します。

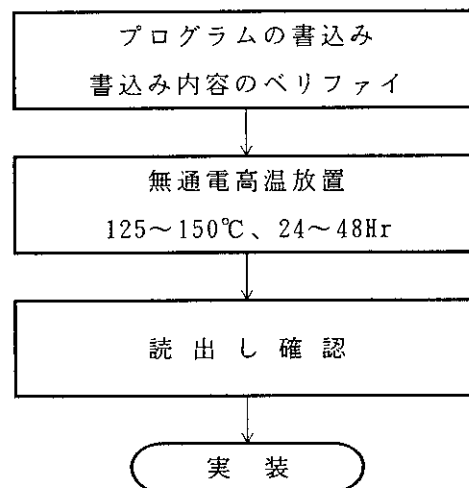


図 6.10 推奨スクリーニングフロー

同じPROMライターでプログラミング中、書込み不良が連続して発生した場合には書込みを中止し、PROMライター、ソケットアダプタなどに異常がないか確認してください。

なお、書込みあるいは高温放置後のプログラム確認において異常がありましたら、当社技術担当にご連絡ください。

7. R A M

第 7 章 目次

7. 1	概要	7 - 1
7. 1. 1	ブロック図	7 - 1

7. 1 概要

H 8 / 3 8 3 3 U、H 8 / 3 8 3 4 Uは1 k バイト、H 8 / 3 8 3 5 U、H 8 / 3 8 3 6 U、H 8 / 3 8 3 7 Uは2 k バイトの高速スタティックR A Mを内蔵しています。R A Mは16ビット幅のデータバスでC P Uと接続されており、バイトデータおよびワードデータにかかわらず2 ステートの高速アクセスが可能です。

7. 1. 1 ブロック図

R A Mのブロック図を図 7. 1 に示します。

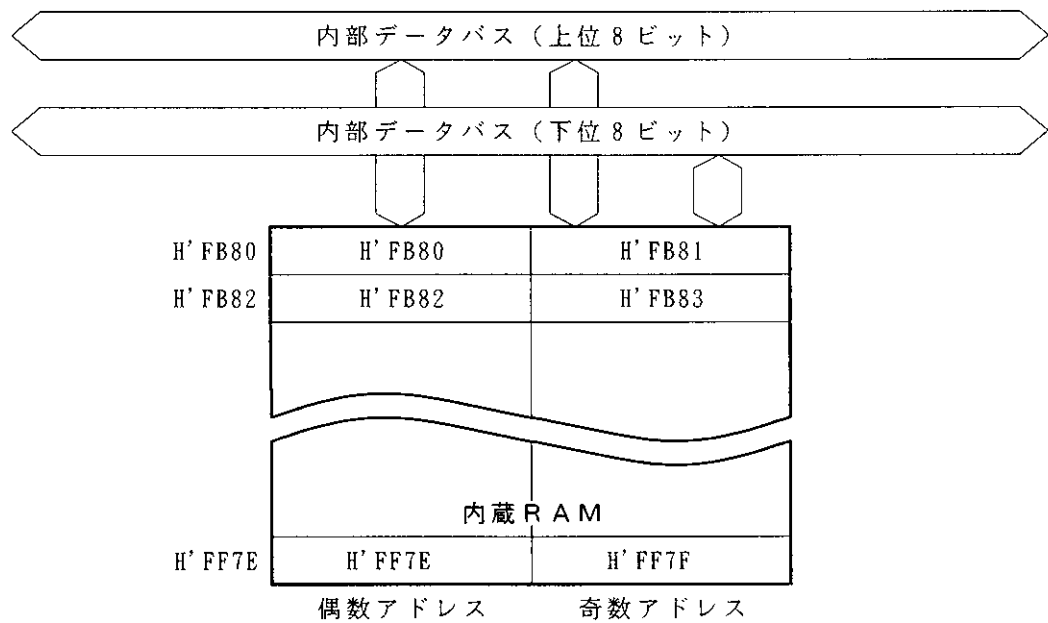


図 7. 1 R A Mのブロック図 (H 8 / 3 8 3 4 Uの場合)

8. I / O ポート

第 8 章 目次

8. 1	概要	8 - 1
8. 2	ポート 1	8 - 3
8. 2. 1	概要	8 - 3
8. 2. 2	レジスタの構成と説明	8 - 3
8. 2. 3	端子機能	8 - 8
8. 2. 4	端子状態	8 - 10
8. 2. 5	入力プルアップ MOS	8 - 10
8. 3	ポート 2	8 - 11
8. 3. 1	概要	8 - 11
8. 3. 2	レジスタの構成と説明	8 - 11
8. 3. 3	端子機能	8 - 15
8. 3. 4	端子状態	8 - 15
8. 4	ポート 3	8 - 16
8. 4. 1	概要	8 - 16
8. 4. 2	レジスタの構成と説明	8 - 16
8. 4. 3	端子機能	8 - 20
8. 4. 4	端子状態	8 - 21
8. 4. 5	入力プルアップ MOS	8 - 22
8. 5	ポート 4	8 - 23
8. 5. 1	概要	8 - 23
8. 5. 2	レジスタの構成と説明	8 - 23
8. 5. 3	端子機能	8 - 25
8. 5. 4	端子状態	8 - 26
8. 6	ポート 5	8 - 27
8. 6. 1	概要	8 - 27
8. 6. 2	レジスタの構成と説明	8 - 27
8. 6. 3	端子機能	8 - 30

8. 6. 4	端子状態	8 - 31
8. 6. 5	入力プルアップMOS	8 - 31
8. 7	ポート 6	8 - 32
8. 7. 1	概要	8 - 32
8. 7. 2	レジスタの構成と説明	8 - 32
8. 7. 3	端子機能	8 - 34
8. 7. 4	端子状態	8 - 34
8. 7. 5	入力プルアップMOS	8 - 35
8. 8	ポート 7	8 - 36
8. 8. 1	概要	8 - 36
8. 8. 2	レジスタの構成と説明	8 - 36
8. 8. 3	端子機能	8 - 38
8. 8. 4	端子状態	8 - 38
8. 9	ポート 8	8 - 39
8. 9. 1	概要	8 - 39
8. 9. 2	レジスタの構成と説明	8 - 39
8. 9. 3	端子機能	8 - 41
8. 9. 4	端子状態	8 - 41
8. 10	ポート 9	8 - 42
8. 10. 1	概要	8 - 42
8. 10. 2	レジスタの構成と説明	8 - 42
8. 10. 3	端子機能	8 - 44
8. 10. 4	端子状態	8 - 45
8. 11	ポート A	8 - 46
8. 11. 1	概要	8 - 46
8. 11. 2	レジスタの構成と説明	8 - 46
8. 11. 3	端子機能	8 - 48
8. 11. 4	端子状態	8 - 49
8. 12	ポート B	8 - 50
8. 12. 1	概要	8 - 50
8. 12. 2	レジスタの構成と説明	8 - 50
8. 13	ポート C	8 - 51
8. 13. 1	概要	8 - 51
8. 13. 2	レジスタの構成と説明	8 - 51

8. 1 概要

本 L S I は、8 ビット入出力ポートを 8 本、4 ビット入出力ポートを 1 本、3 ビット入出力ポートを 1 本、8 ビット入力専用ポートを 1 本、4 ビット入力専用ポートを 1 本、および 1 ビット入力専用ポートを 1 本備えています。

各ポートの機能一覧を表 8. 1 に示します。

各ポートは、入出力を制御するポートコントロールレジスタ（P C R）と、出力データを格納するポートデータレジスタ（P D R）から構成され、ビット単位に入出力を制御できます。P C R、P D R に対してのビット操作命令の実行については、「2. 9. 2 ビット操作命令使用上の注意事項」を参照してください。

ポート 5、6、7、8、9、A は液晶表示用セグメント端子、コモン端子と兼用されており、4 ビット単位で選択できます。

各ポートのブロック図は「付録 C. I / O ポートブロック図」を参照してください。

表 8.1 ポートの機能

ポート	概要	端子	兼用機能	機能切換え制御レジスタ
ポート 1	・ 8 ビット入出力ポート ・ 入力プルアップ MOS 選択可	P1 ₇ ~P1 ₀ /	外部割込み 3 ~ 1	PMR1
		$\overline{\text{IRQ}}_3 \sim \overline{\text{IRQ}}_1 /$	タイマイイベント入力端子 TMIF, TMIC, TMIB	TCRF, TMC, TMB
		TMIF, TMIC, TMIB		
		P1 ₇ /PWM	14ビット PWM 出力	PMR1
		P1 ₅ /TMIG	タイマ G インพุットキャプチャ入力	PMR1
		P1 ₂ , P1 ₁ /	タイマ F アウトพุットコンペア出力	PMR1
ポート 2	・ 8 ビット入出力ポート ・ オープンドレイン出力選択可 ・ 大電流ポート	P2 ₇ ~P2 ₂	なし	
		P2 ₁ /UD	タイマ C カウントアップ/ダウン選択入力	PMR2
		P2 ₀ /IRQ ₄ /	外部割込み 4 および A/D 変換器の外部トリガ	PMR2
		ADTRG		AMR
ポート 3	・ 8 ビット入出力ポート ・ 入力プルアップ MOS 選択可 ・ 大電流ポート	P3 ₇ /CS	SC I 2 のチップセレクト入力 (CS)、ストローブ出力 (STRB)、データ出力 (S0 ₂)、データ入力 (SI ₂)、クロック入出力 (SCK ₂)	PMR3
		P3 ₆ /STRB		
		P3 ₅ /S0 ₂		
		P3 ₄ /SI ₂		
		P3 ₃ /SCK ₂		
		P3 ₂ /S0 ₁	SC I 1 のデータ出力 (S0 ₁)、データ入力 (SI ₁)、クロック入出力 (SCK ₁)	PMR3
ポート 4	・ 1 ビット入力専用ポート ・ 3 ビット入出力ポート	P4 ₃ /IRQ ₀	外部割込み 0	PMR2
		P4 ₂ /TXD	SC I 3 のデータ出力 (TXD)、データ入力 (RXD)、クロック入出力 (SCK ₃)	SCR3
		P4 ₁ /RXD		SMR3
		P4 ₀ /SCK ₃		
ポート 5	・ 8 ビット入出力ポート ・ 入力プルアップ MOS 選択可	P5 ₇ ~P5 ₀ /	・ ウェイクアップ入力 ($\overline{\text{WKP}}_7 \sim \overline{\text{WKP}}_0$)	PMR5
		$\overline{\text{WKP}}_7 \sim \overline{\text{WKP}}_0 /$	・ セグメント出力 (SEG ₈ ~SEG ₁)	LPCR
		SEG ₈ ~SEG ₁		
ポート 6	・ 8 ビット入出力ポート ・ 入力プルアップ MOS 選択可	P6 ₇ ~P6 ₀ /	・ セグメント出力 (SEG ₁₀ ~SEG ₉)	LPCR
		SEG ₁₀ ~SEG ₉		
ポート 7	・ 8 ビット入出力ポート	P7 ₇ ~P7 ₀ /	・ セグメント出力 (SEG ₂₄ ~SEG ₁₇)	LPCR
		SEG ₂₄ ~SEG ₁₇		
ポート 8	・ 8 ビット入出力ポート	P8 ₇ ~P8 ₀ /	・ セグメント出力 (SEG ₃₂ ~SEG ₂₅)	LPCR
		SEG ₃₂ ~SEG ₂₅		
ポート 9	・ 8 ビット入出力ポート	P9 ₇ /SEG ₄₀ /CL ₁	・ セグメント出力 (SEG ₄₀ ~SEG ₃₇)	LPCR
		P9 ₆ /SEG ₃₉ /CL ₂	・ セグメント外部拡張用ラッチクロック (CL ₁)、シフトクロック (CL ₂)、表示データ (DO)、交流化信号 (M)	
		P9 ₅ /SEG ₃₈ /DO		
		P9 ₄ /SEG ₃₇ /M		
		P9 ₃ ~P9 ₀ /	・ セグメント出力 (SEG ₃₆ ~SEG ₃₃)	
		SEG ₃₆ ~SEG ₃₃		
ポート A	・ 4 ビット入出力ポート	PA ₃ ~PA ₀ /	コモン出力 (COM ₄ ~COM ₁)	LPCR
		COM ₄ ~COM ₁		
ポート B	・ 8 ビット入力ポート	PB ₇ ~PB ₀ /	A/D 変換器のアナログ入力	AMR
		AN ₇ ~AN ₀		
ポート C	・ 4 ビット入力ポート	PC ₃ ~PC ₀ /	A/D 変換器のアナログ入力	AMR
		AN ₁₁ ~AN ₈		

8. 2 ポート 1

8. 2. 1 概要

ポート 1 は、8 ビットの入出力ポートです。ポート 1 の各端子は、図 8. 1 に示す構成になっています。

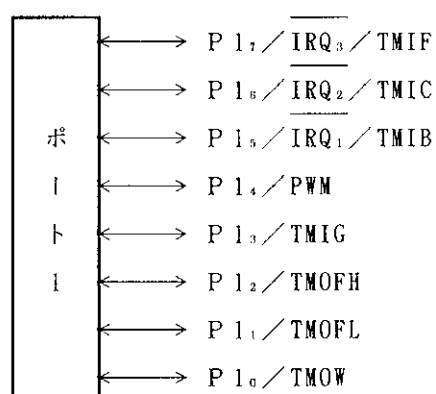


図 8. 1 ポート 1 の端子構成

8. 2. 2 レジスタの構成と説明

表 8. 2 にポート 1 のレジスタ構成を示します。

表 8. 2 レジスタ構成

名 称	略 称	R / W	初 期 値	アドレス
ポートデータレジスタ 1	P D R 1	R / W	H' 00	H' FFD4
ポートコントロールレジスタ 1	P C R 1	W	H' 00	H' FFE4
ポートプルアップコントロールレジスタ 1	P U C R 1	R / W	H' 00	H' FFE0
ポートモードレジスタ 1	P M R 1	R / W	H' 00	H' FFC8

(1) ポートデータレジスタ 1 (P D R 1)

ビット:	7	6	5	4	3	2	1	0
	P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P D R 1 は、ポート 1 の各端子 P1₇～P1₀ のデータを格納する 8 ビットのレジスタです。

P C R 1 が “1” のとき、ポート 1 のリードを行うと、P D R 1 の値を直接リードします。そのため端子状態の影響を受けません。P C R 1 が “0” のとき、ポート 1 のリードを行うと、端子状態が読み出されます。

リセット時、P D R 1 はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 1 (P C R 1)

ビット:	7	6	5	4	3	2	1	0
	PCR1 ₇	PCR1 ₆	PCR1 ₅	PCR1 ₄	PCR1 ₃	PCR1 ₂	PCR1 ₁	PCR1 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

P C R 1 は、ポート 1 の各端子 P1₇～P1₀ の入出力をビットごとに制御します。P C R 1 に “1” をセットすると対応する P1₇～P1₀ 端子は出力端子となり、“0” にクリアすると入力端子となります。P M R 1 により当該端子が汎用入出力に設定されている場合には、P C R 1 および P D R 1 の設定が有効となります。

リセット時、P C R 1 はH'00にイニシャライズされます。

本レジスタはライト専用ですが、リードした場合各ビットは常に “1” が読み出されます。

(3) ポートプルアップコントロールレジスタ 1 (P U C R 1)

ビット:	7	6	5	4	3	2	1	0
	PUCR1 ₇	PUCR1 ₆	PUCR1 ₅	PUCR1 ₄	PUCR1 ₃	PUCR1 ₂	PUCR1 ₁	PUCR1 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P U C R 1 は、ポート 1 の各端子 P1₇～P1₀ のプルアップ MOS をビットごとに制御します。

P C R 1 が “0” の状態で P U C R 1 に “1” をセットすると対応するプルアップ MOS は ON 状態となり、“0” にクリアすると OFF 状態となります。

リセット時、P U C R 1 はH'00にイニシャライズされます。

(4) ポートモードレジスタ 1 (PMR1)

ビット:	7	6	5	4	3	2	1	0
	IRQ3	IRQ2	IRQ1	PWM	TMIG	TMOFH	TMOFL	TMOW
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR1は、8ビットのリード/ライト可能なレジスタで、ポート1の各端子機能の切換えを制御します。

リセット時、PMR1はH'00にイニシャライズされます。

ビット7: $\overline{P1_7}$ /IRQ₃/TMIF端子機能切換え (IRQ3)

$\overline{P1_7}$ /IRQ₃/TMIF端子を $\overline{P1_7}$ 端子として使用するか、IRQ₃/TMIF端子として使用するかを設定します。

ビット7	説明
IRQ3	
0	$\overline{P1_7}$ 入出力端子として機能 (初期値)
1	IRQ ₃ /TMIF入力端子として機能

【注】 IRQ₃/TMIF端子は立上がり/立下がりエッジセンスを選択できます。

TMIF端子の設定については、「9.5.2 (3) タイマコントロールレジスタF (TCRF)」を参照してください。

ビット6: $\overline{P1_6}$ /IRQ₂/TMIC端子機能切換え (IRQ2)

$\overline{P1_6}$ /IRQ₂/TMIC端子を $\overline{P1_6}$ 端子として使用するか、IRQ₂/TMIC端子として使用するかを設定します。

ビット6	説明
IRQ2	
0	$\overline{P1_6}$ 入出力端子として機能 (初期値)
1	IRQ ₂ /TMIC入力端子として機能

【注】 IRQ₂/TMIC端子は立上がり/立下がりエッジセンスを選択できます。

TMIC端子の設定については、「9.4.2 (1) タイマモードレジスタC (TMC)」を参照してください。

ビット5：P1₅/IRQ₁/TMIB端子機能切換え（IRQ1）

P1₅/IRQ₁/TMIB端子をP1₅端子として使用するか、IRQ₁/TMIB端子として使用するかを設定します。

ビット5	説 明
IRQ1	
0	P1 ₅ 入出力端子として機能（初期値）
1	IRQ ₁ /TMIB入力端子として機能

【注】 IRQ₁/TMIB端子は立上がり／立下がりエッジセンスを選択できます。

TMIB端子の設定については、「9.3.2 (1) タイマモードレジスタB（TM B）」を参照してください。

ビット4：P1₄/PWM端子機能切換え（PWM）

P1₄/PWM端子をP1₄端子として使用するか、PWM端子として使用するかを設定します。

ビット4	説 明
PWM	
0	P1 ₄ 入出力端子として機能（初期値）
1	PWM出力端子として機能

ビット3：P1₃/TMIG端子機能切換え（TMIG）

P1₃/TMIG端子をP1₃端子として使用するか、TMIG端子として使用するかを設定します。

ビット3	説 明
TMIG	
0	P1 ₃ 入出力端子として機能（初期値）
1	TMIG入力端子として機能

ビット2：P1₂/TMOFH端子機能切換え（TMOFH）

P1₂/TMOFH端子をP1₂端子として使用するか、TMOFH端子として使用するかを設定します。

ビット2	説 明
TMOFH	
0	P1 ₂ 入出力端子として機能（初期値）
1	TMOFH出力端子として機能

ビット1：P1_i/TMOFL端子機能切換え（TMOFL）

P1_i/TMOFL端子をP1_i端子として使用するか、TMOFL端子として使用するかを設定します。

ビット1	説 明
TMOFL	
0	P1 _i 入出力端子として機能（初期値）
1	TMOFL出力端子として機能

ビット0：P1_o/TMOW端子機能切換え（TMOW）

P1_o/TMOW端子をP1_o端子として使用するか、TMOW端子として使用するかを設定します。

ビット0	説 明
TMOW	
0	P1 _o 入出力端子として機能（初期値）
1	TMOW出力端子として機能

8.2.3 端子機能

表 8.3 にポート 1 の端子機能を示します。

表 8.3 ポート 1 の端子機能(1)

端 子	選 択 方 法 と 端 子 機 能																							
P1 ₇ /IRQ ₃ /TMIF	PMR1のIRQ3、TCRFのCKSL2～CKSL0、PCR1のPCR1 ₇ の組合せで次のように切り換わります。																							
<table><tr><td>IRQ3</td><td colspan="2">0</td><td colspan="2">1</td></tr><tr><td>PCR1₇</td><td>0</td><td>1</td><td colspan="2">*</td></tr><tr><td>CKSL2～CKSL0</td><td colspan="2">*</td><td>0**以外</td><td>0**</td></tr><tr><td>端 子 機 能</td><td>P1₇入力端子</td><td>P1₇出力端子</td><td>IRQ₃入力端子</td><td>IRQ₃/TMIF 入力端子</td></tr></table>					IRQ3	0		1		PCR1 ₇	0	1	*		CKSL2～CKSL0	*		0**以外	0**	端 子 機 能	P1 ₇ 入力端子	P1 ₇ 出力端子	IRQ ₃ 入力端子	IRQ ₃ /TMIF 入力端子
IRQ3	0		1																					
PCR1 ₇	0	1	*																					
CKSL2～CKSL0	*		0**以外	0**																				
端 子 機 能	P1 ₇ 入力端子	P1 ₇ 出力端子	IRQ ₃ 入力端子	IRQ ₃ /TMIF 入力端子																				
【注】 TMIF入力端子として使用する場合には、IENR1のIEN3を“0”にクリアして、IRQ ₃ 割込みを禁止してください。																								
P1 ₆ /IRQ ₂ /TMIC	PMR1のIRQ2、TMCのTMC2～TMC0、PCR1のPCR1 ₆ の組合せで次のように切り換わります。																							
<table><tr><td>IRQ2</td><td colspan="2">0</td><td colspan="2">1</td></tr><tr><td>PCR1₆</td><td>0</td><td>1</td><td colspan="2">*</td></tr><tr><td>TMC2～TMC0</td><td colspan="2">*</td><td>111以外</td><td>111</td></tr><tr><td>端 子 機 能</td><td>P1₆入力端子</td><td>P1₆出力端子</td><td>IRQ₂入力端子</td><td>IRQ₂/TMIC 入力端子</td></tr></table>					IRQ2	0		1		PCR1 ₆	0	1	*		TMC2～TMC0	*		111以外	111	端 子 機 能	P1 ₆ 入力端子	P1 ₆ 出力端子	IRQ ₂ 入力端子	IRQ ₂ /TMIC 入力端子
IRQ2	0		1																					
PCR1 ₆	0	1	*																					
TMC2～TMC0	*		111以外	111																				
端 子 機 能	P1 ₆ 入力端子	P1 ₆ 出力端子	IRQ ₂ 入力端子	IRQ ₂ /TMIC 入力端子																				
【注】 TMIC入力端子として使用する場合には、IENR1のIEN2を“0”にクリアして、IRQ ₂ 割込みを禁止してください。																								
P1 ₅ /IRQ ₁ /TMIB	PMR1のIRQ1、TMBのTMB2～TMB0、PCR1のPCR1 ₅ の組合せで次のように切り換わります。																							
<table><tr><td>IRQ1</td><td colspan="2">0</td><td colspan="2">1</td></tr><tr><td>PCR1₅</td><td>0</td><td>1</td><td colspan="2">*</td></tr><tr><td>TMB2～TMB0</td><td colspan="2">*</td><td>111以外</td><td>111</td></tr><tr><td>端 子 機 能</td><td>P1₅入力端子</td><td>P1₅出力端子</td><td>IRQ₁入力端子</td><td>IRQ₁/TMIB 入力端子</td></tr></table>					IRQ1	0		1		PCR1 ₅	0	1	*		TMB2～TMB0	*		111以外	111	端 子 機 能	P1 ₅ 入力端子	P1 ₅ 出力端子	IRQ ₁ 入力端子	IRQ ₁ /TMIB 入力端子
IRQ1	0		1																					
PCR1 ₅	0	1	*																					
TMB2～TMB0	*		111以外	111																				
端 子 機 能	P1 ₅ 入力端子	P1 ₅ 出力端子	IRQ ₁ 入力端子	IRQ ₁ /TMIB 入力端子																				
【注】 TMIB入力端子として使用する場合には、IENR1のIEN1を“0”にクリアして、IRQ ₁ 割込みを禁止してください。																								

* Don't care

表 8.3 ポート 1 の端子機能(2)

端 子	選 択 方 法 と 端 子 機 能		
P1 ₄ /PWM	PMR1のPWMとPCR1のPCR1 ₄ の組合せで、次のように切り換わります。		
	PWM	0	1
	PCR1 ₄	0	1
端 子 機 能	P1 ₄ 入力端子	P1 ₄ 出力端子	PWM出力端子
P1 ₃ /TMIG	PMR1のTMIGとPCR1のPCR1 ₃ の組合せで、次のように切り換わります。		
	TMIG	0	1
	PCR1 ₃	0	1
端 子 機 能	P1 ₃ 入力端子	P1 ₃ 出力端子	TMIG入力端子
P1 ₂ /TMOFH	PMR1のTMOFHとPCR1のPCR1 ₂ の組合せで、次のように切り換わります。		
	TMOFH	0	1
	PCR1 ₂	0	1
端 子 機 能	P1 ₂ 入力端子	P1 ₂ 出力端子	TMOFH出力端子
P1 ₁ /TMOFL	PMR1のTMOFLとPCR1のPCR1 ₁ の組合せで、次のように切り換わります。		
	TMOFL	0	1
	PCR1 ₁	0	1
端 子 機 能	P1 ₁ 入力端子	P1 ₁ 出力端子	TMOFL出力端子
P1 ₀ /TMOW	PMR1のTMOWとPCR1のPCR1 ₀ の組合せで、次のように切り換わります。		
	TMOW	0	1
	PCR1 ₀	0	1
端 子 機 能	P1 ₀ 入力端子	P1 ₀ 出力端子	TMOW出力端子

* Don't care

8.2.4 端子状態

各動作モードにおけるポート1の端子状態を表8.4に示します。

表 8.4 ポート1の端子状態

端 子 名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P1 ₇ /IRQ ₃ /TMIF P1 ₆ /IRQ ₂ /TMIC P1 ₅ /IRQ ₁ /TMIB P1 ₄ /PWM P1 ₃ /TMIG P1 ₂ /TMOFH P1 ₁ /TMOFL P1 ₀ /TMOV	ハイ インビ-ダンス	保持	保持	ハイ インビ-ダンス*	保持	動作	動作

【注】* プルアップMOSがON状態では“High”レベル出力となります。

8.2.5 入力プルアップMOS

ポート1は、プログラムで制御可能な入力プルアップMOSを内蔵しています。PCR1が“0”にクリアされている状態でPUCR1に“1”をセットすると入力プルアップMOSはON状態となります。また、入力プルアップMOSはリセット時、OFF状態になります。

PCR1 _n	0		1
PUCR1 _n	0	1	*
入力プルアップMOS	OFF	ON	OFF

* Don't care (n = 7 ~ 0)

8.3 ポート 2

8.3.1 概要

ポート 2 は、8 ビットの入出力ポートです。ポート 2 の各端子は、図 8. 2 に示す構成になっています。

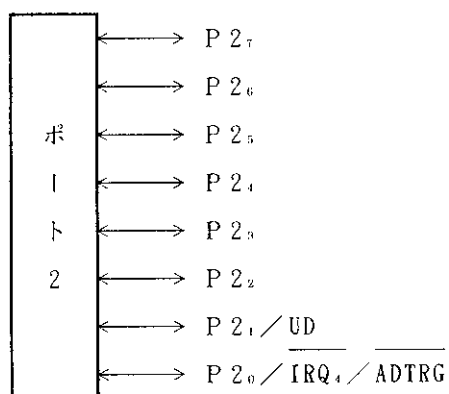


図 8. 2 ポート 2 の端子構成

8.3.2 レジスタの構成と説明

表 8. 5 にポート 2 のレジスタ構成を示します。

表 8. 5 レジスタ構成

名 称	略 称	R / W	初 期 値	アドレス
ポートデータレジスタ 2	P D R 2	R / W	H' 00	H' FFD5
ポートコントロールレジスタ 2	P C R 2	W	H' 00	H' FFE5
ポートモードレジスタ 2	P M R 2	R / W	H' C0	H' FFC9
ポートモードレジスタ 4	P M R 4	R / W	H' 00	H' FFCB

(1) ポートデータレジスタ 2 (PDR2)

ビット:	7	6	5	4	3	2	1	0
	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR2 は、ポート 2 の各端子 P2₇～P2₀のデータを格納する 8 ビットのレジスタです。

PCR2 が“1” のとき、ポート 2 のリードを行うと、PDR2 の値を直接リードします。そのため端子状態の影響を受けません。PCR2 が“0” のとき、ポート 2 のリードを行うと、端子状態が読み出されます。

リセット時、PDR2 はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 2 (PCR2)

ビット:	7	6	5	4	3	2	1	0
	PCR2 ₇	PCR2 ₆	PCR2 ₅	PCR2 ₄	PCR2 ₃	PCR2 ₂	PCR2 ₁	PCR2 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR2 は、ポート 2 の各端子 P2₇～P2₀の入出力をビットごとに制御します。PCR2 に“1” をセットすると対応する P2₇～P2₀端子は出力端子となり、“0” にクリアすると入力端子となります。PMR2 により当該端子が汎用入出力に設定されている場合には、PCR2 および PDR2 の設定が有効となります。

リセット時、PCR2 はH'00にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に“1” が読み出されます。

(3) ポートモードレジスタ 2 (PMR2)

ビット:	7	6	5	4	3	2	1	0
	——	——	POF2	NCS	IRQ0	POF1	UD	IRQ4
初期値:	1	1	0	0	0	0	0	0
R/W:	——	——	R/W	R/W	R/W	R/W	R/W	R/W

PMR2 は、8 ビットのリード/ライト可能なレジスタで、P2₀、P2₁、P4₃端子機能の切換え、P3₃/S0₂、P3₂/S0₁端子のPMOSのON/OFF制御、およびTMIG端子入力のノイズキャンセラを制御します。

リセット時、PMR2 はH'C0にイニシャライズされます。

ビット7、6：リザーブビット

リザーブビットです。各ビットはリードすると常に“1”が読み出されます。ライトは無効です。

ビット5：P3₅/S0₂端子PMOSコントロール（POF2）

P3₅/S0₂端子出力バッファのPMOSのON/OFFを制御します。

ビット5	説 明
POF2	
0	CMOS出力 (初期値)
1	NMOSオープンドレイン出力

ビット4：TMIGノイズキャンセラセレクト（NCS）

インプットキャプチャ入力信号（TMIG）のノイズ除去回路の制御を行います。

ビット4	説 明
NCS	
0	ノイズ除去機能なし (初期値)
1	ノイズ除去機能あり

ビット3：P4₃/IRQ₀端子機能切換え（IRQ0）

P4₃/IRQ₀端子をP4₃端子として使用するか、IRQ₀端子として使用するかを設定します。

ビット3	説 明
IRQ0	
0	P4 ₃ 入力端子として機能 (初期値)
1	IRQ ₀ 入力端子として機能

ビット2：P3₂/S0₁端子PMOSコントロール（POF1）

P3₂/S0₁端子出力バッファのPMOSのON/OFFを制御します。

ビット2	説 明
POF1	
0	CMOS出力 (初期値)
1	NMOSオープンドレイン出力

ビット 1 : P2₁/UD端子機能切換え (UD)

P2₁/UD端子をP2₁端子として使用するか、UD端子として使用するかを設定します。

ビット 1	説 明
UD	
0	P2 ₁ 入出力端子として機能 (初期値)
1	UD入力端子として機能

ビット 0 : P2₀/IRQ₄/ADTRG端子機能切換え (IRQ₄)

P2₀/IRQ₄/ADTRG端子をP2₀端子として使用するか、IRQ₄/ADTRG端子として使用するかを設定します。

ビット 0	説 明
IRQ ₄	
0	P2 ₀ 入出力端子として機能 (初期値)
1	IRQ ₄ /ADTRG入力端子として機能

【注】 ADTRG端子の設定については、「12.3.2 外部トリガによるA/D変換器の起動」を参照してください。

(4) ポートモードレジスタ 4 (PMR4)

ビット :	7	6	5	4	3	2	1	0
	NMOD7	NMOD6	NMOD5	NMOD4	NMOD3	NMOD2	NMOD1	NMOD0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR4は、8ビットのリード/ライト可能なレジスタで、ポート2の各端子をCMOS出力とするか、NMOSオープンドレイン出力とするかをビットごとに制御します。

リセット時、PMR4はH'00にイニシャライズされます。

ビット n : NMOSオープンドレイン出力セレクト (NMODn)

P2n端子を出力端子として使用する場合に、NMOSオープンドレイン出力とします。

ビット n	説 明
NMODn	
0	CMOS出力 (初期値)
1	NMOSオープンドレイン出力

(n = 7 ~ 0)

8. 3. 3 端子機能

表 8. 6 にポート 2 の端子機能を示します。

表 8. 6 ポート 2 の端子機能

端 子	選 択 方 法 と 端 子 機 能			
P2 ₇ ～P2 ₂	PCR2 の各ビットにより、次のように切り換わります。			
	(n=7～2)			
	PCR2 _n	0	1	
	端 子 機 能	P2 _n 入力端子	P2 _n 出力端子	
P2 ₁ /UD	PMR2 の UD と PCR2 の PCR2 ₁ の組合せで、次のように切り換わります。			
	UD	0	1	
	PCR2 ₁	0	1	*
	端 子 機 能	P2 ₁ 入力端子	P2 ₁ 出力端子	UD入力端子
P2 ₀ /IRQ ₄ /ADTRG	PMR2 の IRQ ₄ 、AMR の TRGE、PCR2 の PCR2 ₀ の組合せで、次のように切り換わります。			
	IRQ ₄	0	1	
	PCR2 ₀	0	1	*
	TRGE	*	0	1
	端 子 機 能	P2 ₀ 入力端子	P2 ₀ 出力端子	IRQ ₄ /ADTRG 入力端子
【注】 ADTRG入力端子として使用する場合には、IENR1 の IEN4 を “0” にクリアしてIRQ ₄ 割込みを禁止してください。				

* Don't care

8. 3. 4 端子状態

各モードにおけるポート 2 の端子状態を表 8. 7 に示します。

表 8. 7 ポート 2 の端子状態

端 子 名	リセット	スリープ	サプスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P2 ₇ ～P2 ₂							
P2 ₁ /UD	ハイ	保持	保持	ハイ	保持	動作	動作
P2 ₀ /IRQ ₄ /ADTRG	インビ-ダンス			インビ-ダンス			

8. 4 ポート 3

8. 4. 1 概要

ポート 3 は、8 ビットの入出力ポートです。ポート 3 の各端子は、図 8. 3 に示す構成になっています。

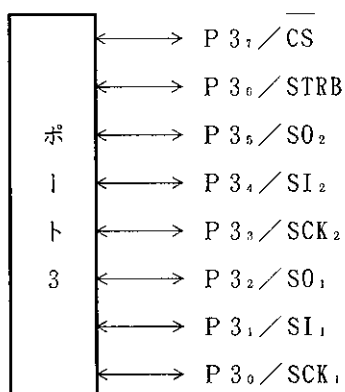


図 8. 3 ポート 3 の端子構成

8. 4. 2 レジスタの構成と説明

表 8. 8 にポート 3 のレジスタ構成を示します。

表 8. 8 レジスタ構成

名 称	略 称	R / W	初 期 値	アドレス
ポートデータレジスタ 3	PDR3	R / W	H'00	H'FFD6
ポートコントロールレジスタ 3	PCR3	W	H'00	H'FFE6
ポートプルアップコントロールレジスタ 3	PUCR3	R / W	H'00	H'FFE1
ポートモードレジスタ 3	PMR3	R / W	H'00	H'FFCA

(1) ポートデータレジスタ 3 (PDR3)

ビット:	7	6	5	4	3	2	1	0
	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR3 は、ポート 3 の各端子 P3₇～P3₀のデータを格納する 8 ビットのレジスタです。

PCR3 が “1” のとき、ポート 3 のリードを行うと、PDR3 の値を直接リードします。そのため端子状態の影響を受けません。PCR3 が “0” のとき、ポート 3 のリードを行うと、端子状態が読み出されます。

リセット時、PDR3 はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 3 (PCR3)

ビット:	7	6	5	4	3	2	1	0
	PCR3 ₇	PCR3 ₆	PCR3 ₅	PCR3 ₄	PCR3 ₃	PCR3 ₂	PCR3 ₁	PCR3 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR3 は、ポート 3 の各端子 P3₇～P3₀の入出力をビットごとに制御します。PCR3 に “1” をセットすると対応する P3₇～P3₀端子は出力端子となり、“0” にクリアすると入力端子となります。PMR3 により当該端子が汎用入出力に設定されている場合には、PCR3 および PDR3 の設定が有効となります。

リセット時、PCR3 はH'00にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に “1” が読み出されます。

(3) ポートプルアップコントロールレジスタ 3 (PUCR3)

ビット:	7	6	5	4	3	2	1	0
	PUCR3 ₇	PUCR3 ₆	PUCR3 ₅	PUCR3 ₄	PUCR3 ₃	PUCR3 ₂	PUCR3 ₁	PUCR3 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR3 は、ポート 3 の各端子 P3₇～P3₀のプルアップMOSをビットごとに制御します。

PCR3 が “0” の状態でPUCR3 に “1” をセットすると対応するプルアップMOSはON状態となり、“0” にクリアするとOFF状態となります。

リセット時、PUCR3 はH'00にイニシャライズされます。

(4) ポートモードレジスタ 3 (PMR3)

ビット:	7	6	5	4	3	2	1	0
	CS	STRB	S02	SI2	SCK2	S01	SI1	SCK1
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR3は、8ビットのリード/ライト可能なレジスタで、ポート3の各端子機能の切換えを制御します。

リセット時、PMR3はH'00にイニシャライズされます。

ビット7: P3₇/CS端子機能切換え (CS)

P3₇/CS端子をP3₇端子として使用するか、CS端子として使用するかを設定します。

ビット7	説 明
CS	
0	P3 ₇ 入出力端子として機能 (初期値)
1	CS入力端子として機能

ビット6: P3₆/STRB端子機能切換え (STRB)

P3₆/STRB端子をP3₆端子として使用するか、STRB端子として使用するかを設定します。

ビット6	説 明
STRB	
0	P3 ₆ 入出力端子として機能 (初期値)
1	STRB出力端子として機能

ビット5: P3₅/S0₂端子機能切換え (S02)

P3₅/S0₂端子をP3₅端子として使用するか、S0₂端子として使用するかを設定します。

ビット5	説 明
S02	
0	P3 ₅ 入出力端子として機能 (初期値)
1	S0 ₂ 出力端子として機能

ビット 4 : P3₄/SI₂端子機能切換え (S I 2)

P3₄/SI₂端子をP3₄端子として使用するか、SI₂端子として使用するかを設定します。

ビット 4	説 明
S I 2	
0	P3 ₄ 入出力端子として機能 (初期値)
1	SI ₂ 入力端子として機能

ビット 3 : P3₃/SCK₂端子機能切換え (S C K 2)

P3₃/SCK₂端子をP3₃端子として使用するか、SCK₂端子として使用するかを設定します。

ビット 3	説 明
S C K 2	
0	P3 ₃ 入出力端子として機能 (初期値)
1	SCK ₂ 入出力端子として機能

ビット 2 : P3₂/S0₁端子機能切換え (S O 1)

P3₂/S0₁端子をP3₂端子として使用するか、S0₁端子として使用するかを設定します。

ビット 2	説 明
S O 1	
0	P3 ₂ 入出力端子として機能 (初期値)
1	S0 ₁ 出力端子として機能

ビット 1 : P3₁/SI₁端子機能切換え (S I 1)

P3₁/SI₁端子をP3₁端子として使用するか、SI₁端子として使用するかを設定します。

ビット 1	説 明
S I 1	
0	P3 ₁ 入出力端子として機能 (初期値)
1	SI ₁ 入力端子として機能

ビット 0 : P3₀/SCK₁端子機能切換え (S C K 1)

P3₀/SCK₁端子をP3₀端子として使用するか、SCK₁端子として使用するかを設定します。

ビット 0	説 明
S C K 1	
0	P3 ₀ 入出力端子として機能 (初期値)
1	SCK ₁ 入出力端子として機能

8.4.3 端子機能

表 8.9 にポート 3 の端子機能を示します。

表 8.9 ポート 3 の端子機能(1)

端 子	選 択 方 法 と 端 子 機 能			
P3 ₇ /CS	PMR3のCSとPCR3のPCR3 ₇ の組合せで、次のように切り換わります。			
	CS	0		1
	PCR3 ₇	0	1	*
	端 子 機 能	P3 ₇ 入力端子	P3 ₇ 出力端子	CS入力端子
P3 ₆ /STRB	PMR3のSTRBとPCR3のPCR3 ₆ の組合せで、次のように切り換わります。			
	STRB	0		1
	PCR3 ₆	0	1	*
	端 子 機 能	P3 ₆ 入力端子	P3 ₆ 出力端子	STRB出力端子
P3 ₅ /SO ₂	PMR3のSO2とPCR3のPCR3 ₅ の組合せで、次のように切り換わります。			
	SO2	0		1
	PCR3 ₅	0	1	*
	端 子 機 能	P3 ₅ 入力端子	P3 ₅ 出力端子	SO ₂ 出力端子
P3 ₄ /SI ₂	PMR3のSI2とPCR3のPCR3 ₄ の組合せで、次のように切り換わります。			
	SI2	0		1
	PCR3 ₄	0	1	*
	端 子 機 能	P3 ₄ 入力端子	P3 ₄ 出力端子	SI ₂ 入力端子
P3 ₃ /SCK ₂	PMR3のSCK2、SCR2のCKS2～CKS0、およびPCR3のPCR3 ₃ の組合せで、次のように切り換わります。			
	SCK2	0		1
	CKS2～ CKS0	*		111 以外 111
	PCR3 ₃	0	1	*
	端 子 機 能	P3 ₃ 入力端子	P3 ₃ 出力端子	SCK ₂ 出力端子 SCK ₂ 入力端子

* Don't care

表 8.9 ポート 3 の端子機能(2)

端 子	選 択 方 法 と 端 子 機 能			
P3 ₂ /S0 ₁	PMR3のSO1とPCR3のPCR3 ₂ の組合せで、次のように切り換わります。			
	SO1	0		1
	PCR3 ₂	0	1	*
	端 子 機 能	P3 ₂ 入力端子	P3 ₂ 出力端子	S0 ₁ 出力端子
P3 ₁ /SI ₁	PMR3のSI1とPCR3のPCR3 ₁ の組合せで、次のように切り換わります。			
	SI1	0		1
	PCR3 ₁	0	1	*
	端 子 機 能	P3 ₁ 入力端子	P3 ₁ 出力端子	SI ₁ 入力端子
P3 ₀ /SCK ₁	PMR3のSCK1、SCR1のCKS3、およびPCR3のPCR3 ₀ の組合せで、次のように切り換わります。			
	SCK1	0		1
	CKS3	*		0
	PCR3 ₀	0	1	*
	端 子 機 能	P3 ₀ 入力端子	P3 ₀ 出力端子	SCK ₁ 出力端子

* Don't care

8.4.4 端子状態

各動作モードにおけるポート3の端子状態を表8.10に示します。

表 8.10 ポート 3 の端子状態

端 子 名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P3 ₇ /CS							
P3 ₆ /STRB							
P3 ₅ /S0 ₂	ハイ	保持	保持	ハイ	保持	動作	動作
P3 ₄ /SI ₂	インビ-ダンス			インビ-ダンス*			
P3 ₃ /SCK ₂							
P3 ₂ /S0 ₁							
P3 ₁ /SI ₁							
P3 ₀ /SCK ₁							

【注】* プルアップMOSがON状態では“High”レベル出力となります。

8.4.5 入力プルアップMOS

ポート3は、プログラムで制御可能な入力プルアップMOSを内蔵しています。PCR3が“0”にクリアされている状態でPUCR3に“1”をセットすると入力プルアップMOSはON状態となります。また、入力プルアップMOSはリセット時、OFF状態になります。

PCR3n	0		1
PUCR3n	0	1	*
入力プルアップMOS	OFF	ON	OFF

* Don't care (n = 7 ~ 0)

8. 5 ポート 4

8. 5. 1 概要

ポート 4 は、3 ビットの入出力ポートと 1 ビットの入力専用ポートです。ポート 4 の各端子は、図 8. 4 に示す構成になっています。

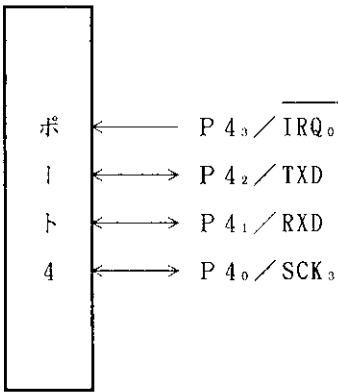


図 8. 4 ポート 4 の端子構成

8. 5. 2 レジスタの構成と説明

表 8. 11 にポート 4 のレジスタ構成を示します。

表 8. 11 レジスタ構成

名 称	略 称	R / W	初 期 値	ア ド レ ス
ポートデータレジスタ 4	P D R 4	R / W	H' F8	H' FFD7
ポートコントロールレジスタ 4	P C R 4	W	H' F8	H' FFE7

(1) ポートデータレジスタ 4 (PDR4)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	P4 ₃	P4 ₂	P4 ₁	P4 ₀
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	R	R/W	R/W	R/W

PDR4 は、ポート 4 の各端子 P4₂～P4₀のデータを格納する 8 ビットのレジスタです。PCR4 が “1” のとき、ポート 4 のリードを行うと、PDR4 の値を直接リードします。そのため端子状態の影響を受けません。PCR4 が “0” のとき、ポート 4 のリードを行うと、端子状態が読み出されます。

リセット時、PDR4 はH'F8にイニシャライズされます。

(2) ポートコントロールレジスタ 4 (PCR4)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	PCR4 ₂	PCR4 ₁	PCR4 ₀
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	W	W	W

PCR4 は、ポート 4 の各端子 P4₂～P4₀の入出力をビットごとに制御します。PCR4 に “1” をセットすると対応する P4₂～P4₀端子は出力端子となり、“0” にクリアすると入力端子となります。SCR3 により当該端子が汎用入出力に設定されている場合には、PCR4 および PDR4 の設定が有効となります。

リセット時、PCR4 はH'F8にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に “1” が読み出されます。

8. 5. 3 端子機能

表 8.12にポート 4 の端子機能を示します。

表 8.12 ポート 4 の端子機能

端 子	選 択 方 法 と 端 子 機 能			
P4 ₃ /IRQ ₀	P M R 2 の I R Q 0 により、次のように切り換わります。			
	I R Q 0	0		1
	端 子 機 能	P4 ₃ 入力端子		IRQ ₀ 入力端子
P4 ₂ /TXD	S C R 3 の T E と P C R 4 の P C R 4 ₂ の組合せで、次のように切り換わります。			
	T E	0		1
	P C R 4 ₂	0	1	*
	端 子 機 能	P4 ₂ 入力端子	P4 ₂ 出力端子	TXD出力端子
P4 ₁ /RXD	S C R 3 の R E と P C R 4 の P C R 4 ₁ の組合せで、次のように切り換わります。			
	R E	0		1
	P C R 4 ₁	0	1	*
	端 子 機 能	P4 ₁ 入力端子	P4 ₁ 出力端子	RXD入力端子
P4 ₀ /SCK ₃	S C R 3 の C K E 1、C K E 0、S M R の C O M、およびP C R 4 のP C R 4 ₀ の組合せで、次のように切り換わります。			
	C K E 1	0		1
	C K E 0	0		1
	C O M	0	1	*
	P C R 4 ₀	0	1	*
	端 子 機 能	P4 ₀ 入力端子	P4 ₀ 出力端子	SCK ₃ 出力端子

* Don't care

8. 5. 4 端子状態

各動作モードにおけるポート4の端子状態を表8.13に示します。

表 8.13 ポート4の端子状態

端 子 名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P4 ₃ /IRQ ₀							
P4 ₂ /TXD	ハイ	保持	保持	ハイ	保持	動作	動作
P4 ₁ /RXD	インビ-ダンス			インビ-ダンス			
P4 ₀ /SCK ₃							

8. 6 ポート 5

8. 6. 1 概要

ポート 5 は、8 ビットの入出力ポートです。ポート 5 の各端子は、図 8. 5 に示す構成になっています。

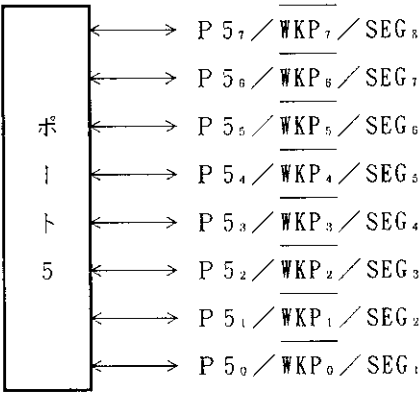


図 8. 5 ポート 5 の端子構成

8. 6. 2 レジスタの構成と説明

表 8. 14 にポート 5 のレジスタ構成を示します。

表 8. 14 レジスタ構成

名 称	略 称	R / W	初 期 値	アドレス
ポートデータレジスタ 5	P D R 5	R / W	H' 00	H' FFD8
ポートコントロールレジスタ 5	P C R 5	W	H' 00	H' FFE8
ポートプルアップコントロールレジスタ 5	P U C R 5	R / W	H' 00	H' FFE2
ポートモードレジスタ 5	P M R 5	R / W	H' 00	H' FFCC

(1) ポートデータレジスタ 5 (PDR5)

ビット:	7	6	5	4	3	2	1	0
	P5 ₇	P5 ₆	P5 ₅	P5 ₄	P5 ₃	P5 ₂	P5 ₁	P5 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR5 は、ポート 5 の各端子 P5₇～P5₀ のデータを格納する 8 ビットのレジスタです。

PCR5 が “1” のとき、ポート 5 のリードを行うと、PDR5 の値を直接リードします。そのため端子状態の影響を受けません。PCR5 が “0” のとき、ポート 5 のリードを行うと、端子状態が読み出されます。

リセット時、PDR5 は H'00 にイニシャライズされます。

(2) ポートコントロールレジスタ 5 (PCR5)

ビット:	7	6	5	4	3	2	1	0
	PCR5 ₇	PCR5 ₆	PCR5 ₅	PCR5 ₄	PCR5 ₃	PCR5 ₂	PCR5 ₁	PCR5 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR5 は、ポート 5 の各端子 P5₇～P5₀ の入出力をビットごとに制御します。PCR5 に “1” をセットすると対応する P5₇～P5₀ 端子は出力端子となり、“0” にクリアすると入力端子となります。PMR5、LPCR の SGS3～SGS0 により当該端子が汎用入出力に設定されている場合には、PCR5 および PDR5 の設定が有効となります。

リセット時、PCR5 は H'00 にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に “1” が読み出されます。

(3) ポートプルアップコントロールレジスタ 5 (PUCR5)

ビット:	7	6	5	4	3	2	1	0
	PUCR5 ₇	PUCR5 ₆	PUCR5 ₅	PUCR5 ₄	PUCR5 ₃	PUCR5 ₂	PUCR5 ₁	PUCR5 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR5 は、ポート 5 の各端子 P5₇～P5₀ のプルアップ MOS をビットごとに制御します。

PCR5 が “0” の状態で PUCR5 に “1” をセットすると対応するプルアップ MOS は ON 状態となり、“0” にクリアすると OFF 状態となります。

リセット時、PUCR5 は H'00 にイニシャライズされます。

(4) ポートモードレジスタ 5 (PMR5)

ビット:	7	6	5	4	3	2	1	0
	WKP ₇	WKP ₆	WKP ₅	WKP ₄	WKP ₃	WKP ₂	WKP ₁	WKP ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR5は、8ビットのリード/ライト可能なレジスタで、ポート5の各端子機能の切換えを制御します。

リセット時、PMR5はH'00にイニシャライズされます。

ビットn: $\overline{P5_n}/\overline{WKP_n}/\overline{SEG_{n+1}}$ 端子機能切換え (WKPn)

$\overline{P5_n}/\overline{WKP_n}/\overline{SEG_{n+1}}$ 端子をSEG_{n+1}端子として使用しない場合に、P5_n端子として使用するか、WKP_n端子として使用するかを設定します。

ビットn	説 明
WKPn	
0	P5 _n 入出力端子として機能 (初期値)
1	WKP _n 入力端子として機能

(n = 7 ~ 0)

【注】 SEG_{n+1}としての使用については、「13.2.1 LCDポートコントロールレジスタ (LPCR)」を参照してください。

8.6.3 端子機能

表 8.15 にポート 5 の端子機能を示します。

表 8.15 ポート 5 の端子機能

端 子	選 択 方 法 と 端 子 機 能																				
$P5_7 / \overline{WKP_7}$ $\sim$ $P5_4 / \overline{WKP_4}$ $\sim$ $P5_0 / \overline{WKP_0}$	PMR5のWKP_n、PCR5の$PCR5_n$、およびLPCRのSGS3～SGS0の組合せで、次のように切り換わります。 (n=7～4) <table> <tr> <td>SGS3～SGS0</td><td colspan="3">0 * * *</td><td>1 * * *</td></tr> <tr> <td>WKP_n</td><td colspan="2">0</td><td>1</td><td>*</td></tr> <tr> <td>$PCR5_n$</td><td>0</td><td>1</td><td>*</td><td>*</td></tr> <tr> <td>端子機能</td><td>$P5_n$入力端子</td><td>$P5_n$出力端子</td><td>$\overline{WKP_n}$入力端子</td><td>SEG_{n+1}出力端子</td></tr> </table>	SGS3～SGS0	0 * * *			1 * * *	WKP_n	0		1	*	$PCR5_n$	0	1	*	*	端子機能	$P5_n$ 入力端子	$P5_n$ 出力端子	$\overline{WKP_n}$ 入力端子	SEG_{n+1} 出力端子
SGS3～SGS0	0 * * *			1 * * *																	
WKP_n	0		1	*																	
$PCR5_n$	0	1	*	*																	
端子機能	$P5_n$ 入力端子	$P5_n$ 出力端子	$\overline{WKP_n}$ 入力端子	SEG_{n+1} 出力端子																	
$P5_3 / \overline{WKP_3}$ $\sim$ $P5_0 / \overline{WKP_0}$	PMR5のWKP_n、PCR5の$PCR5_n$、およびLPCRのSGS3～SGS0の組合せで、次のように切り換わります。 (n=3～0) <table> <tr> <td>SGS3～SGS0</td><td colspan="3">0 * * *, 1 * * 0</td><td>1 * * 1</td></tr> <tr> <td>WKP_n</td><td colspan="2">0</td><td>1</td><td>*</td></tr> <tr> <td>$PCR5_n$</td><td>0</td><td>1</td><td>*</td><td>*</td></tr> <tr> <td>端子機能</td><td>$P5_n$入力端子</td><td>$P5_n$出力端子</td><td>$\overline{WKP_n}$入力端子</td><td>SEG_{n+1}出力端子</td></tr> </table>	SGS3～SGS0	0 * * *, 1 * * 0			1 * * 1	WKP_n	0		1	*	$PCR5_n$	0	1	*	*	端子機能	$P5_n$ 入力端子	$P5_n$ 出力端子	$\overline{WKP_n}$ 入力端子	SEG_{n+1} 出力端子
SGS3～SGS0	0 * * *, 1 * * 0			1 * * 1																	
WKP_n	0		1	*																	
$PCR5_n$	0	1	*	*																	
端子機能	$P5_n$ 入力端子	$P5_n$ 出力端子	$\overline{WKP_n}$ 入力端子	SEG_{n+1} 出力端子																	

* Don't care

8. 6. 4 端子状態

各動作モードにおけるポート 5 の端子状態を表 8.16 に示します。

表 8.16 ポート 5 の端子状態

端 子 名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P5 ₇ / $\overline{\text{WKP}}_7$ /SEG ₈ ～ P5 ₀ / $\overline{\text{WKP}}_0$ /SEG ₁	ハイ インビダンス	保持	保持	ハイ インビダンス*	保持	動作	動作

【注】* プルアップ MOS が ON 状態では“High”レベル出力となります。

8. 6. 5 入力プルアップ MOS

ポート 5 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR5 が“0”にクリアされている状態で PUCR5 に“1”をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

PCR5 _n	0		1
PUCR5 _n	0	1	*
入力プルアップ MOS	OFF	ON	OFF

* Don't care (n = 7 ~ 0)

8. 7 ポート 6

8. 7. 1 概要

ポート 6 は、8 ビットの入出力ポートです。ポート 6 の各端子は、図 8. 6 に示す構成になっています。

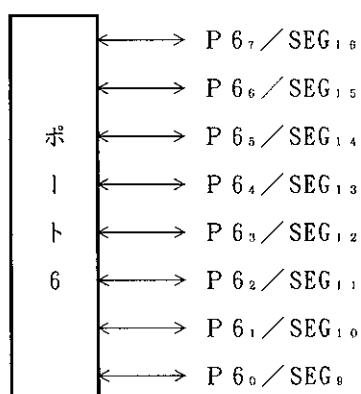


図 8. 6 ポート 6 の端子構成

8. 7. 2 レジスタの構成と説明

表 8. 17 にポート 6 のレジスタ構成を示します。

表 8. 17 レジスタ構成

名 称	略 称	R / W	初 期 値	アドレス
ポートデータレジスタ 6	P D R 6	R / W	H' 00	H' FFD9
ポートコントロールレジスタ 6	P C R 6	W	H' 00	H' FFE9
ポートプルアップコントロールレジスタ 6	P U C R 6	R / W	H' 00	H' FFE3

(1) ポートデータレジスタ 6 (PDR6)

ビット:	7	6	5	4	3	2	1	0
	P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR6は、ポート6の各端子P6₇～P6₀のデータを格納する8ビットのレジスタです。

PCR6が“1”のとき、ポート6のリードを行うと、PDR6の値を直接リードします。そのため端子状態の影響を受けません。PCR6が“0”のとき、ポート6のリードを行うと、端子状態が読み出されます。

リセット時、PDR6はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 6 (PCR6)

ビット:	7	6	5	4	3	2	1	0
	PCR6 ₇	PCR6 ₆	PCR6 ₅	PCR6 ₄	PCR6 ₃	PCR6 ₂	PCR6 ₁	PCR6 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR6は、ポート6の各端子P6₇～P6₀の入出力をビットごとに制御します。PCR6に“1”をセットすると対応するP6₇～P6₀端子は出力端子となり、“0”にクリアすると入力端子となります。LPCRのSGS3～SGS0により当該端子が汎用入出力に設定されている場合には、PCR6およびPDR6の設定が有効となります。

リセット時、PCR6はH'00にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に“1”が読み出されます。

(3) ポートブルアップコントロールレジスタ 6 (PUCR6)

ビット:	7	6	5	4	3	2	1	0
	PUCR6 ₇	PUCR6 ₆	PUCR6 ₅	PUCR6 ₄	PUCR6 ₃	PUCR6 ₂	PUCR6 ₁	PUCR6 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR6は、ポート6の各端子P6₇～P6₀のブルアップMOSをビットごとに制御します。

PCR6が“0”の状態PUCR6に“1”をセットすると対応するブルアップMOSはON状態となり、“0”にクリアするとOFF状態となります。

リセット時、PUCR6はH'00にイニシャライズされます。

8. 7. 3 端子機能

表 8.18 にポート 6 の端子機能を示します。

表 8.18 ポート 6 の端子機能

端 子	選 択 方 法 と 端 子 機 能			
P 6 ₇ /SEG ₁₆ ～ P 6 ₄ /SEG ₁₃	P C R 6 の P C R 6 _n と L P C R の S G S 3 ～ S G S 0 の組合せで、次のように切り換わります。 (n=7～4)			
	SGS3～SGS0	00** , 010*		011* , 1***
	P C R 6 _n	0	1	*
	端 子 機 能	P6 _n 入力端子	P6 _n 出力端子	SEG _{n+9} 出力端子
P 6 ₃ /SEG ₁₂ ～ P 6 ₀ /SEG ₉	P C R 6 の P C R 6 _n と L P C R の S G S 3 ～ S G S 0 の組合せで、次のように切り換わります。 (n=3～0)			
	SGS3～SGS0	00** , 010* , 0110		0111 , 1***
	P C R 6 _n	0	1	*
	端 子 機 能	P6 _n 入力端子	P6 _n 出力端子	SEG _{n+9} 出力端子

* Don't care

8. 7. 4 端子状態

各動作モードにおけるポート 6 の端子状態を表 8.19 に示します。

表 8.19 ポート 6 の端子状態

端 子 名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P 6 ₇ /SEG ₁₆ ～ P 6 ₀ /SEG ₉	ハイ インビ-ダンス	保持	保持	ハイ インビ-ダンス*	保持	動作	動作

【注】* プルアップ MOS が ON 状態では "High" レベル出力となります。

8.7.5 入力プルアップMOS

ポート6は、プログラムで制御可能な入力プルアップMOSを内蔵しています。PCR6が“0”にクリアされている状態でPUCR6に“1”をセットすると入力プルアップMOSはON状態となります。また、入力プルアップMOSはリセット時、OFF状態になります。

PCR6 _n	0		1
PUCR6 _n	0	1	*
入力プルアップMOS	OFF	ON	OFF

* Don't care (n = 7 ~ 0)

8. 8 ポート 7

8. 8. 1 概要

ポート 7 は、8 ビットの入出力ポートです。ポート 7 の各端子は、図 8. 7 に示す構成になっています。

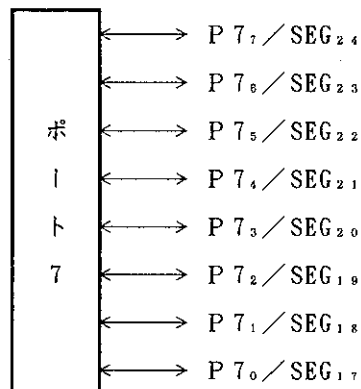


図 8. 7 ポート 7 の端子構成

8. 8. 2 レジスタの構成と説明

表 8. 20 にポート 7 のレジスタ構成を示します。

表 8. 20 レジスタ構成

名 称	略 称	R / W	初 期 値	ア ド レ ス
ポートデータレジスタ 7	P D R 7	R / W	H' 00	H' FFDA
ポートコントロールレジスタ 7	P C R 7	W	H' 00	H' FFEA

(1) ポートデータレジスタ 7 (PDR7)

ビット:	7	6	5	4	3	2	1	0
	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR7は、ポート7の各端子P7₇～P7₀のデータを格納する8ビットのレジスタです。

PCR7が“1”のとき、ポート7のリードを行うと、PDR7の値を直接リードします。そのため端子状態の影響を受けません。PCR7が“0”のとき、ポート7のリードを行うと、端子状態が読み出されます。

リセット時、PDR7はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 7 (PCR7)

ビット:	7	6	5	4	3	2	1	0
	PCR7 ₇	PCR7 ₆	PCR7 ₅	PCR7 ₄	PCR7 ₃	PCR7 ₂	PCR7 ₁	PCR7 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR7は、ポート7の各端子P7₇～P7₀の入出力をビットごとに制御します。PCR7に“1”をセットすると対応するP7₇～P7₀端子は出力端子となり、“0”にクリアすると入力端子となります。LPCRのSGS3～SGS0により当該端子が汎用入出力に設定されている場合には、PCR7およびPDR7の設定が有効となります。

リセット時、PCR7はH'00にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に“1”が読み出されます。

8. 8. 3 端子機能

表 8. 21 にポート 7 の端子機能を示します。

表 8. 21 ポート 7 の端子機能

端 子	選 択 方 法 と 端 子 機 能			
P 7 ₇ /SEG ₂₄ ～ P 7 ₄ /SEG ₂₁	P C R 7 の P C R 7 _n と L P C R の S G S 3 ～ S G S 0 の組合せで、次のように切り換わります。 (n=7～4)			
	SGS3～SGS0	00**		01**, 1***
	P C R 7 _n	0	1	*
	端 子 機 能	P7 _n 入力端子	P7 _n 出力端子	SEG _{n+17} 出力端子
P 7 ₃ /SEG ₂₀ ～ P 7 ₀ /SEG ₁₇	P C R 7 の P C R 7 _n と L P C R の S G S 3 ～ S G S 0 の組合せで、次のように切り換わります。 (n=3～0)			
	SGS3～SGS0	00**, 0100		0101, 011*, 1***
	P C R 7 _n	0	1	*
	端 子 機 能	P7 _n 入力端子	P7 _n 出力端子	SEG _{n+17} 出力端子

* Don't care

8. 8. 4 端子状態

各動作モードにおけるポート 7 の端子状態を表 8. 22 に示します。

表 8. 22 ポート 7 の端子状態

端 子 名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P7 ₇ /SEG ₂₄ ～ P7 ₀ /SEG ₁₇	ハイ インビ-ダンス	保持	保持	ハイ インビ-ダンス	保持	動作	動作

8. 9 ポート 8

8. 9. 1 概要

ポート 8 は、8 ビットの入出力ポートです。ポート 8 の各端子は、図 8. 9 に示す構成になっています。

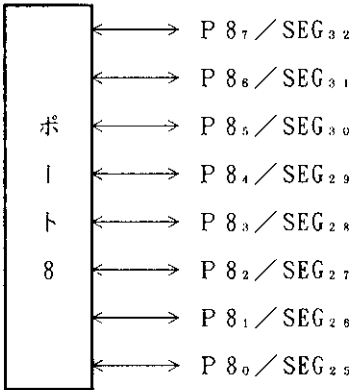


図 8. 9 ポート 8 の端子構成

8. 9. 2 レジスタの構成と説明

表 8. 23 にポート 8 のレジスタ構成を示します。

表 8. 23 レジスタ構成

名 称	略 称	R / W	初 期 値	ア ド レ ス
ポートデータレジスタ 8	P D R 8	R / W	H' 00	H' FFDB
ポートコントロールレジスタ 8	P C R 8	W	H' 00	H' FFEB

(1) ポートデータレジスタ 8 (P D R 8)

ビット:	7	6	5	4	3	2	1	0
	P8 ₇	P8 ₆	P8 ₅	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P D R 8 は、ポート 8 の各端子 P 8₇ ~ P 8₀ のデータを格納する 8 ビットのレジスタです。

P C R 8 が “1” のとき、ポート 8 のリードを行うと、P D R 8 の値を直接リードします。そのため端子状態の影響を受けません。P C R 8 が “0” のとき、ポート 8 のリードを行うと、端子状態が読み出されます。

リセット時、P D R 8 は H' 00 にイニシャライズされます。

(2) ポートコントロールレジスタ 8 (P C R 8)

ビット:	7	6	5	4	3	2	1	0
	PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

P C R 8 は、ポート 8 の各端子 P 8₇ ~ P 8₀ の入出力をビットごとに制御します。P C R 8 に “1” をセットすると対応する P 8₇ ~ P 8₀ 端子は出力端子となり、“0” にクリアすると入力端子となります。L P C R の S G S 3 ~ S G S 0 により当該端子が汎用入出力に設定されている場合には、P C R 8 および P D R 8 の設定が有効となります。

リセット時、P C R 8 は H' 00 にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に “1” が読み出されます。

8.9.3 端子機能

表 8.24 にポート 8 の端子機能を示します。

表 8.24 ポート 8 の端子機能

端 子	選 択 方 法 と 端 子 機 能			
P 8 ₇ /SEG ₃₂ ～ P 8 ₄ /SEG ₂₉	P C R 8 の P C R 8 _n と L P C R の S G S 3 ～ S G S 0 の組合せで、次のように切り換わります。 (n=7～4)			
	SGS3～SGS0	000*		001*, 01**, 1***
	P C R 8 _n	0	1	*
	端 子 機 能	P8 _n 入力端子	P8 _n 出力端子	SEG _{n+25} 出力端子
P 8 ₃ /SEG ₂₈ ～ P 8 ₀ /SEG ₂₅	P C R 8 の P C R 8 _n と L P C R の S G S 3 ～ S G S 0 の組合せで、次のように切り換わります。 (n=3～0)			
	SGS3～SGS0	000*, 0010		0011, 01**, 1***
	P C R 8 _n	0	1	*
	端 子 機 能	P8 _n 入力端子	P8 _n 出力端子	SEG _{n+25} 出力端子

* Don't care

8.9.4 端子状態

各動作モードにおけるポート 8 の端子状態を表 8.25 に示します。

表 8.25 ポート 8 の端子状態

端 子 名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P 8 ₇ /SEG ₃₂ ～ P 8 ₀ /SEG ₂₅	ハイ インビ-ダンス	保持	保持	ハイ インビ-ダンス	保持	動作	動作

8.10 ポート 9

8.10.1 概要

ポート 9 は、8 ビットの入出力ポートです。ポート 9 の各端子は、図 8.9 に示す構成になっています。

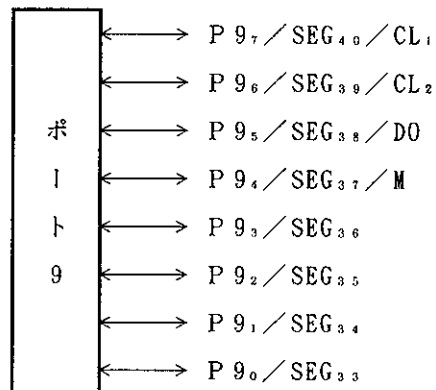


図 8.9 ポート 9 の端子構成

8.10.2 レジスタの構成と説明

表 8.26 にポート 9 のレジスタ構成を示します。

表 8.26 レジスタ構成

名 称	略 称	R / W	初 期 値	アドレス
ポートデータレジスタ 9	P D R 9	R / W	H' 00	H' FFDC
ポートコントロールレジスタ 9	P C R 9	W	H' 00	H' FFEC

(1) ポートデータレジスタ 9 (PDR9)

ビット:	7	6	5	4	3	2	1	0
	P9 ₇	P9 ₆	P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR9 は、ポート 9 の各端子 P9₇～P9₀のデータを格納する 8 ビットのレジスタです。

PCR9 が“1” のとき、ポート 9 のリードを行うと、PDR9 の値を直接リードします。そのため端子状態の影響を受けません。PCR9 が“0” のとき、ポート 9 のリードを行うと、端子状態が読み出されます。

リセット時、PDR9 はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 9 (PCR9)

ビット:	7	6	5	4	3	2	1	0
	PCR9 ₇	PCR9 ₆	PCR9 ₅	PCR9 ₄	PCR9 ₃	PCR9 ₂	PCR9 ₁	PCR9 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR9 は、ポート 9 の各端子 P9₇～P9₀の入出力をビットごとに制御します。PCR9 に“1” をセットすると対応する P9₇～P9₀端子は出力端子となり、“0” にクリアすると入力端子となります。LPCRのSGS3～SGS0により当該端子が汎用入出力に設定されている場合には、PCR9 およびPDR9 の設定が有効となります。

リセット時、PCR9 はH'00にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に“1”が読み出されます。

8.10.3 端子機能

表 8.27 にポート 9 の端子機能を示します。

表 8.27 ポート 9 の端子機能(1)

端 子	選 択 方 法 と 端 子 機 能			
P9 ₇ /SEG ₄₀ /CL ₁	P C R 9 の P C R 9 ₇ と L P C R の S G X、S G S 3 ～ S G S 0 の組合せで、次のように切り換わります。			
	SGS3～SGS0	0000		0000 以外
	S G X	0		0
	P C R 9 ₇	0	1	*
	端 子 機 能	P9 ₇ 入力端子	P9 ₇ 出力端子	SEG ₄₀ 出力端子
				CL ₁ 出力端子
P9 ₆ /SEG ₃₉ /CL ₂	P C R 9 の P C R 9 ₆ と L P C R の S G X、S G S 3 ～ S G S 0 の組合せで、次のように切り換わります。			
	SGS3～SGS0	0000		0000 以外
	S G X	0		0
	P C R 9 ₆	0	1	*
	端 子 機 能	P9 ₆ 入力端子	P9 ₆ 出力端子	SEG ₃₉ 出力端子
				CL ₂ 出力端子
P9 ₅ /SEG ₃₈ /D0	P C R 9 の P C R 9 ₅ と L P C R の S G X、S G S 3 ～ S G S 0 の組合せで、次のように切り換わります。			
	SGS3～SGS0	0000		0000 以外
	S G X	0		0
	P C R 9 ₅	0	1	*
	端 子 機 能	P9 ₅ 入力端子	P9 ₅ 出力端子	SEG ₃₈ 出力端子
				D0出力端子
P9 ₄ /SEG ₃₇ /M	P C R 9 の P C R 9 ₄ と L P C R の S G X、S G S 3 ～ S G S 0 の組合せで、次のように切り換わります。			
	SGS3～SGS0	0000		0000 以外
	S G X	0		0
	P C R 9 ₄	0	1	*
	端 子 機 能	P9 ₄ 入力端子	P9 ₄ 出力端子	SEG ₃₇ 出力端子
				M出力端子

* Don't care

表 8.27 ポート 9 の端子機能(2)

端 子	選 択 方 法 と 端 子 機 能		
P 9 ₃ /SEG ₃₆ ～ P 9 ₀ /SEG ₃₃	P C R 9 の P C R 9 _n と L P C R の S G S 3 ～ S G S 0 の組合せで、次のように切り換わります。 (n=3～0)		
	SGS3～SGS0	0000	0000 以外
	P C R 9 _n	0	1
	端 子 機 能	P9 _n 入力端子	P9 _n 出力端子
			SEG _{n+33} 出力端子

* Don't care

8.10.4 端子状態

各動作モードにおけるポート 9 の端子状態を表 8.28に示します。

表 8.28 ポート 9 の端子状態

端 子 名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P 9 ₇ /SEG ₄₀ /CL ₁ P 9 ₈ /SEG ₃₉ /CL ₂ P 9 ₅ /SEG ₃₈ /DO P 9 ₄ /SEG ₃₇ /M P 9 ₃ /SEG ₃₆ ～ P 9 ₀ /SEG ₃₃	ハイ インビ-ダンス	保持	保持	ハイ インビ-ダンス	保持	動作	動作

8.11 ポート A

8.11.1 概要

ポート A は、4 ビットの入出力ポートです。ポート A の各端子は、図 8.10 に示す構成になっています。

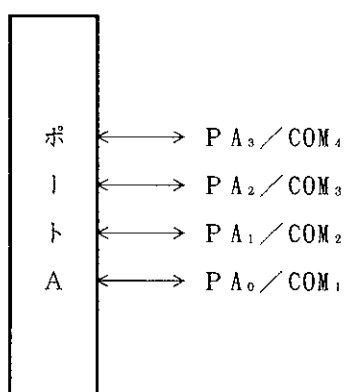


図 8.10 ポート A の端子構成

8.11.2 レジスタの構成と説明

表 8.29 にポート A のレジスタ構成を示します。

表 8.29 レジスタ構成

名 称	略 称	R/W	初 期 値	アドレス
ポートデータレジスタ A	P D R A	R/W	H' F0	H' FFDD
ポートコントロールレジスタ A	P C R A	W	H' F0	H' FFED

(1) ポートデータレジスタ A (P D R A)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PA ₃	PA ₂	PA ₁	PA ₀
初期値:	1	1	1	1	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W

P D R A は、ポート A の各端子 P A₃～P A₀ のデータを格納する 8 ビットのレジスタです。

P C R A が “1” のとき、ポート A のリードを行うと、P D R A の値を直接リードします。そのため端子状態の影響を受けません。P C R A が “0” のとき、ポート A のリードを行うと、端子状態が読み出されます。

リセット時、P D R A は H' F0 にイニシャライズされます。

(2) ポートコントロールレジスタ A (P C R A)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PCRA ₃	PCRA ₂	PCRA ₁	PCRA ₀
初期値:	1	1	1	1	0	0	0	0
R/W:	—	—	—	—	W	W	W	W

P C R A は、ポート A の各端子 P A₃～P A₀ の入出力をビットごとに制御します。P C R A に “1” をセットすると対応する P A₃～P A₀ 端子は出力端子となり、“0” にクリアすると入力端子となります。L P C R により当該端子が汎用入出力に設定されている場合には、P C R A および P D R A の設定が有効となります。

リセット時、P C R A は H' F0 にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に “1” が読み出されます。

8.11.3 端子機能

表 8.30 にポート A の端子機能を示します。

表 8.30 ポート A の端子機能

端 子	選 択 方 法 と 端 子 機 能																																																																											
PA ₃ /COM ₄	PCRAのPCRA ₃ とLPCRのDTS1、DTS0、CMX、SGX、SGS3～SGS0の組合せで、次のように切り換わります。																																																																											
<table><tr><td>CMX</td><td>*</td><td colspan="2">0</td><td>*</td><td colspan="2">0</td><td colspan="2">1</td><td colspan="2">*</td></tr><tr><td>DTS1, DTS0</td><td>**</td><td colspan="2">11以外</td><td>*</td><td colspan="2">11以外</td><td colspan="2">11以外</td><td colspan="2">11</td></tr><tr><td>SGX</td><td>0</td><td>1</td><td>*</td><td>0</td><td>1</td><td>*</td><td>1</td><td>*</td><td>1</td><td>*</td></tr><tr><td>SGS3～SGS0</td><td colspan="2">0000</td><td>0000 以外</td><td colspan="2">0000</td><td>0000 以外</td><td>0000</td><td>0000 以外</td><td>0000</td><td>0000 以外</td></tr><tr><td>PCRA₃</td><td colspan="3">0</td><td colspan="3">1</td><td colspan="4">*</td></tr><tr><td>端 子 機 能</td><td colspan="3">PA₃入力端子</td><td colspan="3">PA₃出力端子</td><td colspan="4">COM₄出力端子</td></tr></table>											CMX	*	0		*	0		1		*		DTS1, DTS0	**	11以外		*	11以外		11以外		11		SGX	0	1	*	0	1	*	1	*	1	*	SGS3～SGS0	0000		0000 以外	0000		0000 以外	0000	0000 以外	0000	0000 以外	PCRA ₃	0			1			*				端 子 機 能	PA ₃ 入力端子			PA ₃ 出力端子			COM ₄ 出力端子			
CMX	*	0		*	0		1		*																																																																			
DTS1, DTS0	**	11以外		*	11以外		11以外		11																																																																			
SGX	0	1	*	0	1	*	1	*	1	*																																																																		
SGS3～SGS0	0000		0000 以外	0000		0000 以外	0000	0000 以外	0000	0000 以外																																																																		
PCRA ₃	0			1			*																																																																					
端 子 機 能	PA ₃ 入力端子			PA ₃ 出力端子			COM ₄ 出力端子																																																																					
PA ₂ /COM ₃	PCRAのPCRA ₂ とLPCRのDTS1、DTS0、CMX、SGX、SGS3～SGS0の組合せで、次のように切り換わります。																																																																											
<table><tr><td>CMX</td><td>*</td><td colspan="2">0</td><td>*</td><td colspan="2">0</td><td colspan="2">1</td><td colspan="2">*</td></tr><tr><td>DTS1, DTS0</td><td>**</td><td colspan="2">00, 01</td><td>**</td><td colspan="2">00, 01</td><td colspan="2">00, 01</td><td colspan="2">00, 01 以外</td></tr><tr><td>SGX</td><td>0</td><td>1</td><td>*</td><td>0</td><td>1</td><td>*</td><td>1</td><td>*</td><td>1</td><td>*</td></tr><tr><td>SGS3～SGS0</td><td colspan="2">0000</td><td>0000 以外</td><td colspan="2">0000</td><td>0000 以外</td><td>0000</td><td>0000 以外</td><td>0000</td><td>0000 以外</td></tr><tr><td>PCRA₂</td><td colspan="3">0</td><td colspan="3">1</td><td colspan="4">*</td></tr><tr><td>端 子 機 能</td><td colspan="3">PA₂入力端子</td><td colspan="3">PA₂出力端子</td><td colspan="4">COM₃出力端子</td></tr></table>											CMX	*	0		*	0		1		*		DTS1, DTS0	**	00, 01		**	00, 01		00, 01		00, 01 以外		SGX	0	1	*	0	1	*	1	*	1	*	SGS3～SGS0	0000		0000 以外	0000		0000 以外	0000	0000 以外	0000	0000 以外	PCRA ₂	0			1			*				端 子 機 能	PA ₂ 入力端子			PA ₂ 出力端子			COM ₃ 出力端子			
CMX	*	0		*	0		1		*																																																																			
DTS1, DTS0	**	00, 01		**	00, 01		00, 01		00, 01 以外																																																																			
SGX	0	1	*	0	1	*	1	*	1	*																																																																		
SGS3～SGS0	0000		0000 以外	0000		0000 以外	0000	0000 以外	0000	0000 以外																																																																		
PCRA ₂	0			1			*																																																																					
端 子 機 能	PA ₂ 入力端子			PA ₂ 出力端子			COM ₃ 出力端子																																																																					
PA ₁ /COM ₂	PCRAのPCRA ₁ とLPCRのDTS1、DTS0、CMX、SGX、SGS3～SGS0の組合せで、次のように切り換わります。																																																																											
<table><tr><td>CMX</td><td>*</td><td colspan="2">0</td><td>*</td><td colspan="2">0</td><td colspan="2">1</td><td colspan="2">*</td></tr><tr><td>DTS1, DTS0</td><td>**</td><td colspan="2">00</td><td>**</td><td colspan="2">00</td><td colspan="2">00</td><td colspan="2">00 以外</td></tr><tr><td>SGX</td><td>0</td><td>1</td><td>*</td><td>0</td><td>1</td><td>*</td><td>1</td><td>*</td><td>1</td><td>*</td></tr><tr><td>SGS3～SGS0</td><td colspan="2">0000</td><td>0000 以外</td><td colspan="2">0000</td><td>0000 以外</td><td>0000</td><td>0000 以外</td><td>0000</td><td>0000 以外</td></tr><tr><td>PCRA₁</td><td colspan="3">0</td><td colspan="3">1</td><td colspan="4">*</td></tr><tr><td>端 子 機 能</td><td colspan="3">PA₁入力端子</td><td colspan="3">PA₁出力端子</td><td colspan="4">COM₂出力端子</td></tr></table>											CMX	*	0		*	0		1		*		DTS1, DTS0	**	00		**	00		00		00 以外		SGX	0	1	*	0	1	*	1	*	1	*	SGS3～SGS0	0000		0000 以外	0000		0000 以外	0000	0000 以外	0000	0000 以外	PCRA ₁	0			1			*				端 子 機 能	PA ₁ 入力端子			PA ₁ 出力端子			COM ₂ 出力端子			
CMX	*	0		*	0		1		*																																																																			
DTS1, DTS0	**	00		**	00		00		00 以外																																																																			
SGX	0	1	*	0	1	*	1	*	1	*																																																																		
SGS3～SGS0	0000		0000 以外	0000		0000 以外	0000	0000 以外	0000	0000 以外																																																																		
PCRA ₁	0			1			*																																																																					
端 子 機 能	PA ₁ 入力端子			PA ₁ 出力端子			COM ₂ 出力端子																																																																					
PA ₀ /COM ₁	PCRAのPCRA ₀ とLPCRのSGX、SGS3～SGS0の組合せで、次のように切り換わります。																																																																											
<table><tr><td>SGS3～SGS0</td><td colspan="6">0000</td><td>0000</td><td colspan="2">0000 以外</td></tr><tr><td>SGX</td><td colspan="6">0</td><td>1</td><td colspan="2">*</td></tr><tr><td>PCRA₀</td><td colspan="3">0</td><td colspan="3">1</td><td colspan="4">*</td></tr><tr><td>端 子 機 能</td><td colspan="3">PA₀入力端子</td><td colspan="3">PA₀出力端子</td><td colspan="4">COM₁出力端子</td></tr></table>											SGS3～SGS0	0000						0000	0000 以外		SGX	0						1	*		PCRA ₀	0			1			*				端 子 機 能	PA ₀ 入力端子			PA ₀ 出力端子			COM ₁ 出力端子																											
SGS3～SGS0	0000						0000	0000 以外																																																																				
SGX	0						1	*																																																																				
PCRA ₀	0			1			*																																																																					
端 子 機 能	PA ₀ 入力端子			PA ₀ 出力端子			COM ₁ 出力端子																																																																					

* Don't care

8.11.4 端子状態

各動作モードにおけるポートAの端子状態を表8.31に示します。

表 8.31 ポートAの端子状態

端 子 名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
PA ₃ /COM ₄ PA ₂ /COM ₃ PA ₁ /COM ₂ PA ₀ /COM ₁	ハイ インビ-ダンス	保持	保持	ハイ インビ-ダンス	保持	動作	動作

8.12 ポート B

8.12.1 概要

ポート B は、8 ビットの入力専用ポートです。ポート B の各端子は、図 8.11 に示す構成になっています。

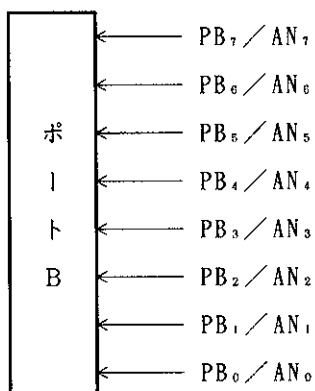


図 8.11 ポート B の端子構成

8.12.2 レジスタの構成と説明

表 8.32 にポート B のレジスタ構成を示します。

表 8.32 レジスタ構成

名 称	略 称	R / W	アドレス
ポートデータレジスタ B	P D R B	R	H' FFDE

(1) ポートデータレジスタ B (P D R B)

ビット :	7	6	5	4	3	2	1	0
	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀
R / W :	R	R	R	R	R	R	R	R

P D R B をリードすると常に各端子の状態が読み出されます。ただし、A / D 変換器の A M R の C H 3 ~ C H 0 によりアナログ入力チャネルが選択されている端子をリードすると入力電圧に関係なく“0”が読み出されます。

8.13 ポート C

8.13.1 概要

ポート C は、4 ビットの入力専用ポートです。ポート C の各端子は、図 8.12 に示す構成になっています。

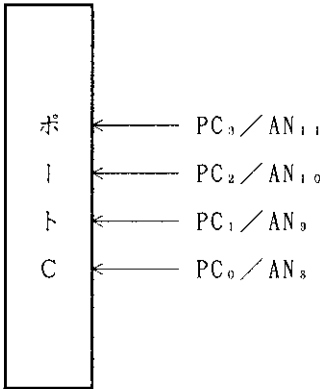


図 8.12 ポート C の端子構成

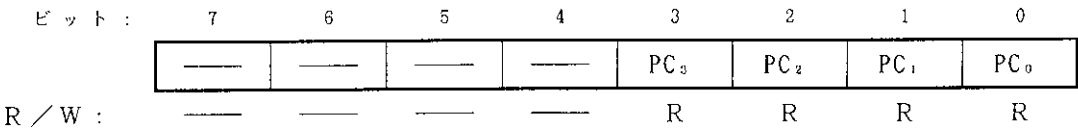
8.13.2 レジスタの構成と説明

表 8.33 にポート C のレジスタ構成を示します。

表 8.33 レジスタ構成

名 称	略 称	R / W	アドレス
ポートデータレジスタ C	P D R C	R	H' FFDF

(1) ポートデータレジスタ C (P D R C)



P D R C をリードすると常に各端子の状態が読み出されます。ただし、A / D 変換器の A M R の C H 3 ~ C H 0 によりアナログ入力チャネルが選択されている端子をリードすると入力電圧に関係なく “ 0 ” が読み出されます。

9. タイマ

第9章 目次

9. 1	概要	9 - 1
9. 2	タイマ A	9 - 2
9. 2. 1	概要	9 - 2
9. 2. 2	各レジスタの説明	9 - 4
9. 2. 3	動作説明	9 - 6
9. 2. 4	タイマ A の動作モード	9 - 7
9. 3	タイマ B	9 - 8
9. 3. 1	概要	9 - 8
9. 3. 2	各レジスタの説明	9 - 9
9. 3. 3	動作説明	9 - 12
9. 3. 4	タイマ B の動作モード	9 - 13
9. 4	タイマ C	9 - 14
9. 4. 1	概要	9 - 14
9. 4. 2	各レジスタの説明	9 - 17
9. 4. 3	動作説明	9 - 20
9. 4. 4	タイマ C の動作モード	9 - 21
9. 5	タイマ F	9 - 22
9. 5. 1	概要	9 - 22
9. 5. 2	各レジスタの説明	9 - 25
9. 5. 3	CPU とのインタフェース	9 - 32
9. 5. 4	動作説明	9 - 34
9. 5. 5	使用上の注意事項	9 - 37

9. 6	タイマ G	9 - 39
9. 6. 1	概要	9 - 39
9. 6. 2	各レジスタの説明	9 - 41
9. 6. 3	ノイズ除去回路	9 - 45
9. 6. 4	動作説明	9 - 46
9. 6. 5	使用上の注意事項	9 - 52
9. 6. 6	タイマ G の使用例	9 - 56

9. 1 概要

本 L S I は 5 本のタイマ（タイマ A、B、C、F、G）を内蔵しています。

タイマ A、B、C、F、G の機能概要を表 9. 1 に示します。

表 9. 1 タイマの機能概要

タイマ名称	機 能	内部クロック	イベント入力端子	波形出力端子	備 考
タイマ A	8ビットのタイマ - インターバル機能	$\phi/8 \sim \phi/8192$ (8種類)	—	—	
	時計用タイムベース機能	$\phi_w/128$ (オーバーフロー周期は 4種類選択可)			
	クロック出力機能	$\phi/4 \sim \phi/32$ $\phi_w/4 \sim \phi_w/32$ (8種類)	—	TMOW	
タイマ B	8ビットのタイマ - インターバル機能 - イベントカウント機能	$\phi/4 \sim \phi/8192$ (7種類)	TMIB	—	
タイマ C	8ビットのタイマ - インターバル機能 - イベントカウント機能 - カウントアップ/ ダウン選択可能	$\phi/4 \sim \phi/8192$ $\phi_w/4$ (7種類)	TMIC	—	カウンタアップ/ダウン制御可能 ソフトウェア制御可能 カウンタウェアにも対応可能
タイマ F	16ビットのタイマ - イベントカウント機能 - 独立した2本の8ビット タイマとして使用可能 - アウトプットコンパ 出力機能	$\phi/2 \sim \phi/32$ (4種類)	TMIF	TMOFL TMOFH	
タイマ G	8ビットのタイマ - インプットキャプチャ機能 - インターバル機能	$\phi/2 \sim \phi/64$ $\phi_w/2$ (4種類)	TMIG	—	- カウンタのクリア指定が可能 - キャプチャ入力信号のノイズ除去回路内蔵

9. 2 タイマ A

9. 2. 1 概要

タイマ A はインターバル／時計用タイムベース機能を内蔵した 8 ビットのタイマです。32.768kHz の水晶発振器を接続すると時計用タイムベースとして使用できます。また、TM0W 端子より、32.768 kHz を分周したクロック、およびシステムクロックを分周したクロックが出力可能です。

(1) 特 長

タイマ A の特長を以下に示します。

■ 8 種類の内部クロックを選択可能

8 種類の内部クロック ($\phi/8192$ 、 $\phi/4096$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/128$ 、 $\phi/32$ 、 $\phi/8$) からの選択が可能です。

■ 4 種類のオーバーフロー周期を選択可能

時計用タイムベースとして 4 種類のオーバーフロー周期 (1 s、0.5 s、0.25 s、31.25ms) の選択が可能です (32.768kHz 水晶発振器を使用)。

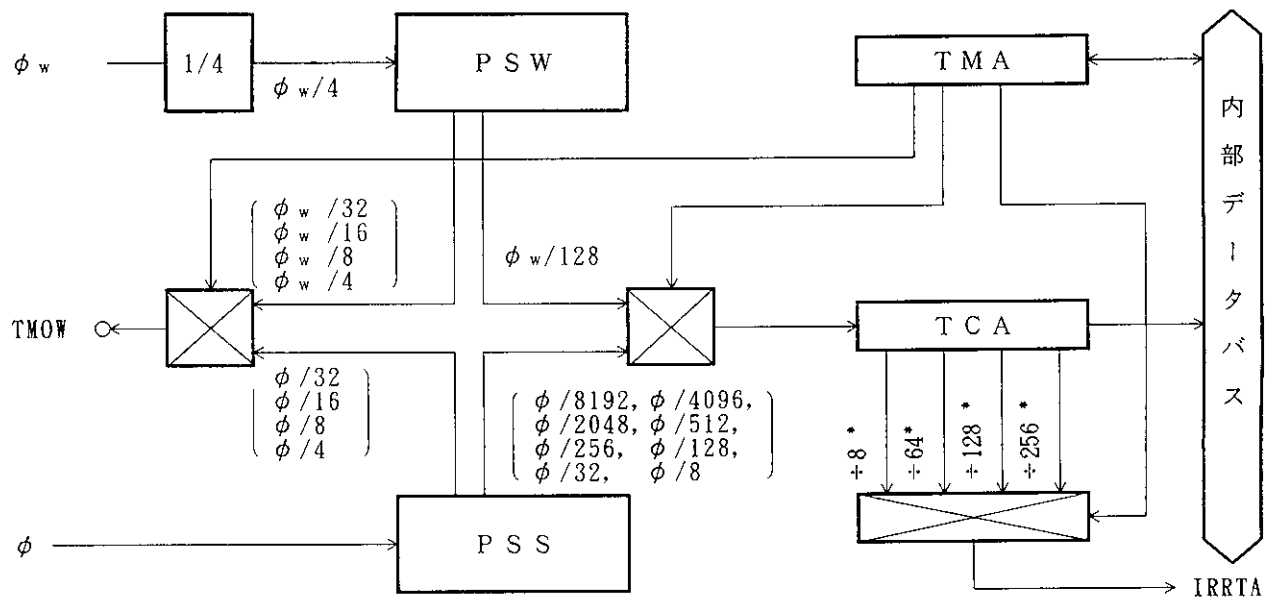
■ カウンタのオーバーフローで割込みを発生

■ タイマ出力クロックを選択可能

TM0W 端子から出力するクロックとして、32.768kHz の 32、16、8、4 分周したクロック (1 kHz、2 kHz、4 kHz、8 kHz)、およびシステムクロックを 32、16、8、4 分周したクロックの計 8 種類の選択が可能です。

(2) ブロック図

タイマAのブロック図を図9.2.1に示します。



〈記号説明〉

TMA : タイマモードレジスタ A

T C A : タイマカウンタ A

IRR TA : タイマ A オーバフロー割込み要求フラグ

P S W : プリスケーラ W

P S S : プリスケーラ S

【注】・ T C A の入力クロックがプリスケアラ W 出力 ($\phi_w/128$) の場合のみ選択可能です。

図 9.2.1 タイマAブロック図

(3) 端子構成

タイマ A の端子構成を表 9. 2. 1 に示します。

表 9.2.1 端子構成

名 称	略 称	入 出 力	機 能
ク ロ ッ ク 出 力	TMOW	出 力	タイマA出力回路により生成された波形の出力端子

(4) レジスタ構成

タイマAのレジスタ構成を表9.2.2に示します。

表9.2.2 レジスタ構成

名 称	略 称	R / W	初期値	アドレス
タイマモードレジスタA	TMA	R / W	H'10	H'FFB0
タイマカウンタA	TCA	R	H'00	H'FFB1

9.2.2 各レジスタの説明

(1) タイマモードレジスタA (TMA)

ビット:	7	6	5	4	3	2	1	0
	TMA7	TMA6	TMA5	——	TMA3	TMA2	TMA1	TMA0
初期値:	0	0	0	1	0	0	0	0
R / W:	R / W	R / W	R / W	——	R / W	R / W	R / W	R / W

TMAは、8ビットのリード／ライト可能なレジスタで、プリスケアラ、入力クロック、および出力クロックの選択を行います。

リセット時、TMAはH'10にイニシャライズされます。

ビット7～5：クロック出力セレクト (TMA7～TMA5)

TMOW端子から出力する8種類のクロックを選択します。システムクロックを32、16、8、4分周したクロックは、アクティブモード、スリープモードで出力されます。32.768kHzを32、16、8、4分周したクロックは、アクティブモード、スリープモード、およびサブアクティブモードで出力されます。

ビット7	ビット6	ビット5	説 明	
TMA7	TMA6	TMA5		
0	0	0	$\phi / 32$	(初期値)
		1	$\phi / 16$	
	1	0	$\phi / 8$	
		1	$\phi / 4$	
1	0	0	$\phi_w / 32$	
		1	$\phi_w / 16$	
	1	0	$\phi_w / 8$	
		1	$\phi_w / 4$	

ビット4：リザーブビット

リザーブビットです。本ビットはリードすると常に“1”が読み出されます。ライトは無効です。

ビット3～0：内部クロックセレクト（TMA3～TMA0）

TCAに入力するクロックを選択します。

ビット3	ビット2	ビット1	ビット0	説 明	
TMA 3	TMA 2	TMA 1	TMA 0	プリスケ-ラ分周比またはオーバーフロー周期	機 能
0	0	0	0	P S S、 $\phi / 8192$ （初期値）	インターバル
			1	P S S、 $\phi / 4096$	
		1	0	P S S、 $\phi / 2048$	
			1	P S S、 $\phi / 512$	
	1	0	0	P S S、 $\phi / 256$	
			1	P S S、 $\phi / 128$	
		1	0	P S S、 $\phi / 32$	
			1	P S S、 $\phi / 8$	
1	0	0	0	P S W、1 s	時計用 タイムベース
			1	P S W、0.5 s	
		1	0	P S W、0.25 s	
			1	P S W、0.03125 s	
	1	0	0	P S W、T C Aリセット	
			1		
		1	0		
			1		

(2) タイマカウンタA（TCA）

ビット：	7	6	5	4	3	2	1	0
	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

TCAは、8ビットのリード可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックはTMAのTMA3～TMA0により選択します。TCAの値は、アクティブモード時はCPUからリードできますが、サブアクティブモード時ではTCAをリードすることはできません。TCAがオーバーフローすると、IRR1のIRRTAが“1”にセットされます。

TCAはTMAのTMA3～TMA2を“11”にセットすることでクリアできます。

リセット時、TCAはH'00にイニシャライズされます。

9.2.3 動作説明

(1) インターバル動作

TMAのTMA3を“0”にセットすると、タイマAは8ビットインターバルタイマとして動作します。

リセット時、TCAはH'00、TMA3は“0”にクリアされるため、リセット直後はインターバルタイマとして停止することなくカウントアップを続けます。タイマAの動作クロックは、TMAのTMA2～TMA0により、プリスケアラSの出力する8種類の内部クロックを選択できます。

TCAのカウント値がH'FFになった後、クロックが入力されると、タイマAはオーバフローし、IRR1のIRRTAが“1”にセットされます。このとき、IENR1のIENTAが“1”ならばCPUに割込みを要求します。*

オーバフロー時には、TCAのカウント値はH'00に戻り、再びカウントアップを開始します。したがって、256回の入力クロックごとに、オーバフロー出力を発生するインターバルタイマとして動作します。

【注】* 割込みについての詳細は、「3.3 割込み」を参照してください。

(2) 時計用タイムベース動作

TMAのTMA3を“1”にセットすると、タイマAはプリスケアラWの出力するクロックをカウントして、時計用タイムベースとして動作します。タイマAのオーバフロー周期は、TMAのTMA1、TMA0により4種類選択できます。時計用タイムベース動作時(TMA3=“1”)にTMA2を“1”にすると、TCAおよびプリスケアラWは、ともにH'00にクリアされます。

(3) クロック出力の動作

PMR1のTMOWを“1”にセットすると、TM0W端子からクロックが出力されます。端子から出力されるクロックは、TMAのTMA7～TMA5により、8種類のクロックが選択できます。システムクロックを32、16、8、4分周したクロックは、アクティブモード、スリープモードで出力され、32.768kHzを32、16、8、4分周したクロックは、アクティブモード、スリープモード、およびサブアクティブモードで出力されます。

9. 2. 4 タイマ A の動作モード

タイマ A の動作モードを表 9. 2. 3 に示します。

表 9. 2. 3 タイマ A の動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
T C A	インターバル	リセット	動作	動作	停止	停止	停止	停止
	時計用タイムベース	リセット	動作	動作	動作	動作	動作	停止
T M A		リセット	動作	保持	保持	動作	保持	保持

【注】 アクティブモード、スリープモード時に、T C A の内部クロックとして時計用タイムベース機能を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/\phi$ (s) の誤差が生じます。

9. 3 タイマ B

9. 3. 1 概要

タイマ B は、入力クロックが入るたびにカウントアップする 8 ビットのタイマです。タイマ B には、インターバル機能、オートリロード機能の 2 種類の機能があります。

(1) 特 長

タイマ B の特長を以下に示します。

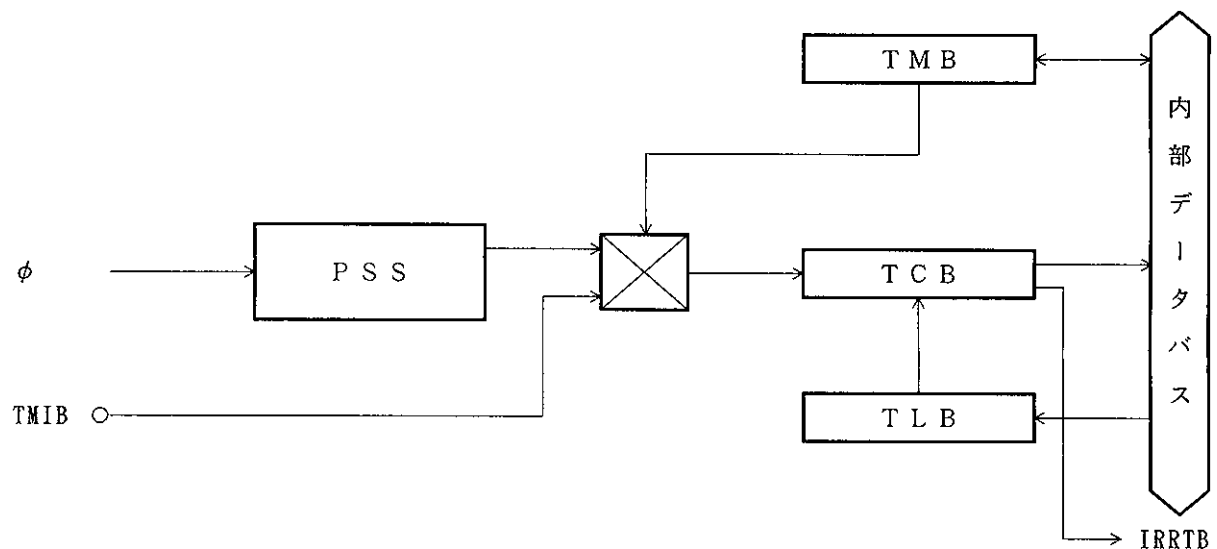
■ 8 種類のクロックを選択可能

7 種類の内部クロック ($\phi/8192$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/64$ 、 $\phi/16$ 、 $\phi/4$) と外部クロックからの選択が可能です (外部イベントのカウントが可能)。

■ カウンタのオーバーフローで割込みを発生

(2) ブロック図

タイマ B のブロック図を図 9. 3. 1 に示します。



<記号説明>

- TMB : タイマモードレジスタ B
TCB : タイマカウンタ B
TLB : タイマロードレジスタ B
IRRTB : タイマ B オーバフロー割込み要求フラグ
PSS : プリスケアラ S

図 9. 3. 1 タイマ B ブロック図

(3) 端子構成

タイマBの端子構成を表9.3.1に示します。

表 9. 3. 1 端子構成

名 称	略 称	入出力	機 能
タイマB イベント入力	TMIB	入 力	T C Bに inputsするイベント入力端子

(4) レジスタ構成

タイマBのレジスタ構成を表9.3.2に示します。

表 9. 3. 2 レジスタ構成

名 称	略 称	R / W	初期値	アドレス
タイマモードレジスタB	T M B	R / W	H' 78	H' FFB2
タイマカウンタB	T C B	R	H' 00	H' FFB3
タイマロードレジスタB	T L B	W	H' 00	H' FFB3

9. 3. 2 各レジスタの説明

(1) タイマモードレジスタB (T M B)

ビット:	7	6	5	4	3	2	1	0
	TMB7	—	—	—	—	TMB2	TMB1	TMB0
初期値:	0	1	1	1	1	0	0	0
R / W:	R / W	—	—	—	—	R / W	R / W	R / W

TMBは、8ビットのリード／ライト可能なレジスタで、オートリロード機能の選択および入力クロックの選択を行います。

リセット時、TMBはH'78にイニシャライズされます。

ビット7：オートリロード機能選択 (TMB7)

タイマBのオートリロード機能を選択します。

ビット7	説 明
TMB7	
0	インターバル機能を選択 (初期値)
1	オートリロード機能を選択

ビット6～3：リザーブビット

リザーブビットです。各ビットはリードすると常に“1”が読み出されます。ライトは無効です。

ビット2～0：クロックセレクト（TMB2～TMB0）

TCBに入力するクロックを選択します。外部からのイベント入力、立上がり／立下がりエッジの選択が可能です。

ビット2	ビット1	ビット0	説 明
TMB2	TMB1	TMB0	
0	0	0	内部クロックφ／8192でカウント（初期値）
0	0	1	内部クロックφ／2048でカウント
0	1	0	内部クロックφ／512でカウント
0	1	1	内部クロックφ／256でカウント
1	0	0	内部クロックφ／64でカウント
1	0	1	内部クロックφ／16でカウント
1	1	0	内部クロックφ／4でカウント
1	1	1	外部イベント（TMIB）の立上がり／立下がりエッジでカウント*

【注】* 外部イベントのエッジ選択は、IRQエッジセレクトレジスタ（IEGR）のIEG1により設定します。詳細は、「3.3.2(1) IRQエッジセレクトレジスタ（IEGR）」を参照してください。なお、TMB2～TMB0を“111”に設定する前に、必ずポートモードレジスタ1（PMR1）のIRQ1を“1”にセットしてください。

(2) タイマカウンタB（TCB）

ビット：	7	6	5	4	3	2	1	0
	TCB7	TCB6	TCB5	TCB4	TCB3	TCB2	TCB1	TCB0
初期値：	0	0	0	0	0	0	0	0
R／W：	R	R	R	R	R	R	R	R

TCBは、8ビットのリード可能なアップカウンタで、入力する内部クロック／外部イベントによりカウントアップされます。入力するクロックは、TMBのTMB2～TMB0により選択します。TCBの値は、CPUから常にリードできます。

TCBがオーバフロー（H'FF→H'00またはH'FF→TLBの設定値）すると、IRR2のIRRTBが“1”にセットされます。

TCBは、TLBと同一のアドレスに割り付けられています。

リセット時、TCBはH'00にイニシャライズされます。

(3) タイマロードレジスタ B (TLB)

ビット：	7	6	5	4	3	2	1	0
	TLB7	TLB6	TLB5	TLB4	TLB3	TLB2	TLB1	TLB0
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

TLBは、8ビットのライト専用のレジスタで、TCBのリロード値を設定します。

TLBにリロード値を設定すると、同時にその値はTCBにもロードされ、TCBはその値からカウントアップを開始します。また、オートリロード動作時、TCBがオーバフローするとTCBにTLBの値がロードされます。したがって、オーバフロー周期を1～256 入力クロックの範囲で設定することができます。

TLBは、TCBと同一のアドレスに割り付けられています。

リセット時、TLBはH'00にイニシャライズされます。

9.3.3 動作説明

(1) インターバルタイマの動作

TMBのTMB7を“0”にセットすると、タイマBは8ビットインターバルタイマとして動作します。

リセット時、TCBはH'00、TMB7は“0”にクリアされるため、リセット直後は、インターバルタイマとして停止することなくカウントアップを続けます。タイマBの動作クロックは、TMBのTMB2～TMB0により、プリスケアラSの出力する7種類の内部クロック、TMIB入力端子からの外部クロックを選択できます。

TCBのカウント値がH'FFになった後、クロックが入力されると、タイマBはオーバフローし、IRR2のIRRTBが“1”にセットされます。このとき、IENR2のIENTBが“1”ならばCPUに割込みを要求します。*

オーバフロー時には、TCBのカウント値はH'00に戻り、再びカウントアップを開始します。

インターバルタイマ動作時（TMB7＝“0”）にTLBを設定すると、同時にTCBにもTLBの値をロードします。

【注】* 割込みについての詳細は、「3.3 割込み」を参照してください。

(2) オートリロードタイマの動作

TMBのTMB7を“1”にセットすると、タイマBは8ビットオートリロードタイマとして動作します。TLBにリロード値を設定すると、同時にその値がTCBにロードされ、TCBはその値からカウントアップを開始します。

TCBのカウント値がH'FFになった後、クロックが入力されると、タイマBはオーバフローし、TLBの値がTCBにロードされ、その値からカウントアップを続けます。したがって、TLBの値により、オーバフロー周期を1～256 入力クロックの範囲で設定できます。

オートリロード動作時のクロックおよび割込みについてはインターバル動作時と同様です。

オートリロード動作時（TMB7＝“1”）にTLBの値を再設定すると、同時にTCBにもTLBの値をロードします。

(3) イベントカウンタ

タイマBは、TMIB端子をイベント入力端子とするイベントカウンタとして動作します。

TMBのTMB2～TMB0を“111”に設定すると、外部イベントが選択され、TCBは、TMIB端子入力の立上がり／立下がりエッジでカウントアップします。

外部イベント入力を使用する場合は、PMR1のIRQ1を“1”にセットし、かつIENR1のIEN1＝“0”としてIRQ1割込み要求を禁止してください。

9. 3. 4 タイマ B の動作モード

タイマ B の動作モードを表 9. 3. 3 に示します。

表 9. 3. 3 タイマ B の動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
T C B	インターバル	リセット	動作	動作	停止	停止	停止	停止
	オートリロード	リセット	動作	動作	停止	停止	停止	停止
T M B		リセット	動作	保持	保持	保持	保持	保持

9. 4 タイマ C

9. 4. 1 概要

タイマ C は、入力クロックが入るたびにカウントアップまたはカウントダウンする 8 ビットのタイマです。タイマ C には、インターバル機能、オートリロード機能の 2 種類の機能があります。

(1) 特 長

タイマ C の特長を以下に示します。

■ 8 種類のクロックを選択可能

7 種類の内部クロック ($\phi/8192$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/64$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi_w/4$) と外部クロックからの選択が可能です (外部イベントのカウントが可能)。

■ カウンタのオーバフローで割込みを発生

■ アップ / ダウンカウンタ切換え可能

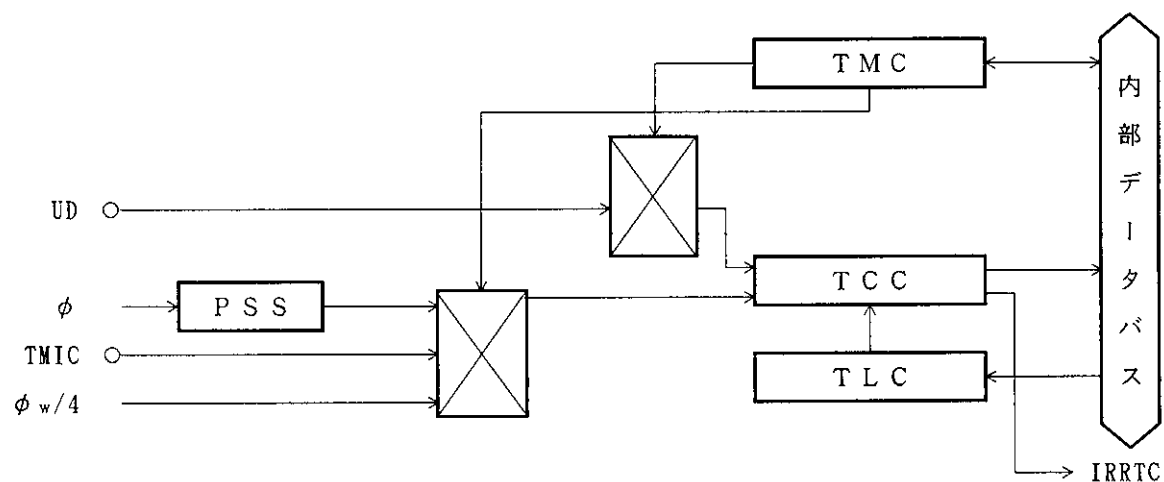
ハードウェアまたはソフトウェアにより、アップ / ダウンカウンタの切換えが可能です。

■ サブアクティブモード、サブスリープモードで動作

内部クロックとして $\phi_w/4$ を選択した場合、もしくは外部クロックを選択した場合、サブアクティブモード、サブスリープモードで動作可能です。

(2) ブロック図

タイマCのブロック図を図9.4.1に示します。



<記号説明>

- TMC : タイマモードレジスタC
- TCC : タイマカウンタC
- TLC : タイマロードレジスタC
- IRRTC : タイマCオーバフロー割込み要求フラグ
- PSS : プリスケーラS

図9.4.1 タイマCブロック図

(3) 端子構成

タイマCの端子構成を表 9. 4. 1 に示します。

表 9. 4. 1 端子構成

名 称	略 称	入出力	機 能
タイマCイベント入力	TMIC	入 力	TCCに入力するイベント入力端子
タイマCアップ/ダウン セレクト	UD	入 力	タイマCのアップ/ダウンカウントを 選択

(4) レジスタ構成

タイマCのレジスタ構成を表 9. 4. 2 に示します。

表 9. 4. 2 レジスタ構成

名 称	略 称	R / W	初期値	アドレス
タイマモードレジスタC	TMC	R / W	H' 18	H' FFB4
タイマカウンタC	TCC	R	H' 00	H' FFB5
タイマロードレジスタC	TLC	W	H' 00	H' FFB5

9. 4. 2 各レジスタの説明

(1) タイマモードレジスタ C (TMC)

ビット：	7	6	5	4	3	2	1	0
	TMC7	TMC6	TMC5	——	——	TMC2	TMC1	TMC0
初期値：	0	0	0	1	1	0	0	0
R/W：	R/W	R/W	R/W	——	——	R/W	R/W	R/W

TMCは、8ビットのリード/ライト可能なレジスタで、オートリロード機能の選択、カウンタのアップ/ダウン制御、および入力クロックの選択を行います。

リセット時、TMCはH'18にイニシャライズされます。

ビット7：オートリロード機能選択 (TMC7)

タイマCのオートリロード機能を選択します。

ビット7	説 明	
TMC7		
0	インターバル機能を選択	(初期値)
1	オートリロード機能を選択	

ビット6、5：カウンタアップ/ダウン制御 (TMC6、TMC5)

TCCのアップ/ダウン制御をUD端子入力によるハードウェア制御とするか、アップカウンタとするかダウンカウンタとするかを選択します。

ビット6	ビット5	説 明
TMC6	TMC5	
0	0	TCCはアップカウンタ (初期値)
0	1	TCCはダウンカウンタ
1	*	UD端子入力によるハードウェア制御 UD端子入力が“High”レベル：ダウンカウンタ UD端子入力が“Low”レベル：アップカウンタ

* Don't care

ビット4～3：リザーブビット

リザーブビットです。各ビットはリードすると常に“1”が読み出されます。ライトは無効です。

ビット2～0：クロックセレクト（TMC2～TMC0）

TMC2～TMC0は、TCCに入力するクロックを選択します。外部からのイベント入力、立上がり／立下がりエッジの選択が可能です。

ビット2	ビット1	ビット0	説 明
TMC2	TMC1	TMC0	
0	0	0	内部クロック ϕ ／8192でカウント（初期値）
0	0	1	内部クロック ϕ ／2048でカウント
0	1	0	内部クロック ϕ ／512でカウント
0	1	1	内部クロック ϕ ／64でカウント
1	0	0	内部クロック ϕ ／16でカウント
1	0	1	内部クロック ϕ ／4でカウント
1	1	0	内部クロック ϕ_w ／4でカウント
1	1	1	外部イベント（TMIC）を立上がり／立下がりエッジでカウント*

【注】* 外部イベントのエッジ選択は、IRQエッジセレクトレジスタ（IEGR）のIEG2により設定します。詳細は、「3.3.2(1) IRQエッジセレクトレジスタ（IEGR）」を参照してください。なお、TMC2～TMC0を“111”に設定する前に必ずポートモードレジスタ1（PMR1）のIRQ2を“1”にセットしてください。

(2) タイマカウンタC（TCC）

ビット：	7	6	5	4	3	2	1	0
	TCC7	TCC6	TCC5	TCC4	TCC3	TCC2	TCC1	TCC0
初期値：	0	0	0	0	0	0	0	0
R／W：	R	R	R	R	R	R	R	R

TCCは、8ビットのリード可能なアップ／ダウンカウンタで、入力する内部クロック／外部イベントによりカウントアップ／ダウンされます。入力するクロックは、TMCのTMC2～TMC0により選択します。TCCの値は、CPUから常にリードできます。

TCCがオーバフロー（H'FF→H'00またはH'FF→TLCの設定値）、またはアンダフロー（H'00→H'FFまたはH'00→TLCの設定値）すると、IRR2のIRRTCが“1”にセットされます。

TCCは、TLCと同一のアドレスに割り付けられています。

リセット時、TCCはH'00にイニシャライズされます。

(3) タイマロードレジスタ C (T L C)

ビット：	7	6	5	4	3	2	1	0
	TLC7	TLC6	TLC5	TLC4	TLC3	TLC2	TLC1	TLC0
初期値：	0	0	0	0	0	0	0	0
R／W：	W	W	W	W	W	W	W	W

T L C は、8 ビットのライト専用のレジスタで、T C C のリロード値を設定します。T L C にリロード値を設定すると、同時にその値は T C C にもロードされ、T C C はその値からカウントアップ／ダウンを開始します。また、オートリロード動作時、T C C がオーバフロー／アンダフローすると、T C C に T L C の値がロードされます。したがって、オーバフロー／アンダフロー周期を 1 ～256 入力クロックの範囲で設定することができます。

T L C は、T C C と同一のアドレスに割り付けられています。

リセット時、T L C はH'00にイニシャライズされます。

9.4.3 動作説明

(1) インターバルタイマの動作

TMCのTMC7を“0”にクリアすると、タイマCは8ビットインターバルタイマとして動作します。

リセット時、TCCはH'00、TMCはH'18に初期化されるため、リセット直後は、インターバルのアップカウンタとして停止することなくカウントアップを続けます。タイマCの動作クロックは、TMCのTMC2～TMC0により、プリスケアラS、Wの出力する7種類の内部クロック、TMIC入力端子からの外部クロックを選択できます。

また、TCCのカウントアップ／ダウン制御は、TMCのTMC6、TMC5により、ソフトウェア制御およびハードウェア制御のいずれかが選択可能です。

TCCのカウント値がH'FF(H'00)になった後、クロックが入力されると、タイマCはオーバフロー（アンダフロー）し、IRR2のIRRTCが“1”にセットされます。このとき、IENR2のIENTCが“1”ならばCPUに割込みを要求します。*

オーバフロー（アンダフロー）時には、TCCのカウント値はH'00(H'FF)に戻り、再びカウントアップ（ダウン）を開始します。

インターバル動作時（TMC7＝“0”）にTLCを設定すると、同時にTCCにもTLCの値をロードします。

【注】* 割込みについての詳細は、「3.3 割込み」を参照してください。

(2) オートリロードタイマの動作

TMCのTMC7＝“1”にセットすると、タイマCは8ビットオートリロードタイマとして動作します。

TLCにリロード値を設定すると、同時にその値がTCCにロードされ、TCCはその値からカウントアップ／ダウンを開始します。TCCのカウント値がH'FF(H'00)になった後、クロックが入力されると、タイマCはオーバフロー（アンダフロー）し、TLCの値がTCCにロードされ、その値からカウントアップ（ダウン）を続けます。したがって、TLCの値により、オーバフロー（アンダフロー）周期を1～256入力クロックの範囲で設定できます。

オートリロード動作時のクロック、アップ／ダウン制御、割込みについてはインターバル動作時と同様です。

オートリロード動作時（TMC7＝“1”）にTLCの値を再設定すると、同時にTCCにもTLCの値をロードします。

(3) イベントカウンタ

タイマCは、TMIC端子をイベント入力端子とするイベントカウンタとして動作します。TMCのTMC2～TMC0を“111”に設定すると、外部イベント動作が選択され、TCCは、TMIC端子入力の立上がり／立下がりエッジでカウントアップ／ダウンします。

外部イベント入力を使用する場合は、PMR1のIRQ2を“1”にセットし、かつIENR1のIEN2を“0”としてIRQ₂割込み要求を禁止してください。

(4) ハードウェアによるTCCアップ／ダウン制御

タイマCは、UD端子入力によるTCCのカウントアップ／ダウン制御ができます。TMCのTMC6を“1”とすると、UD端子入力が、“High”レベルならばダウンカウンタ、“Low”レベルならばアップカウンタとして動作します。

UD端子入力を使用する場合は、PMR2のUDを“1”にセットしてください。

9.4.4 タイマCの動作モード

タイマCの動作モードを表9.4.3に示します。

表9.4.3 タイマCの動作モード

動作モード		リセット	アクティブ	スリープ	ウェッチ	サブアクティブ	サブスリープ	スタンバイ
TCC	インターバル	リセット	動作	動作	停止	動作／停止*	動作／停止*	停止
	オートリロード	リセット	動作	動作	停止	動作／停止*	動作／停止*	停止
TMC		リセット	動作	保持	保持	動作	保持	保持

【注】* アクティブモード、スリープモード時に、TCCの内部クロックとして $\phi_w/4$ を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/\phi$ (s) の誤差が生じます。

サブアクティブモード、サブスリープモード時にカウンタを動作させる場合には、必ず内部クロックとして $\phi_w/4$ を選択するか、または外部クロックを選択してください。その他の内部クロックを選択した場合、カウンタは動作しません。また、サブクロック ϕ_{sub} として $\phi_w/8$ を選択時にカウンタの内部クロックとして $\phi_w/4$ を選択した場合、カウンタの下位2ビットは同じ周期で動作し、最下位ビットの動作はカウンタ動作とは無関係となります。

9. 5 タイマ F

9. 5. 1 概要

タイマ F は、アウトプットコンペア機能を内蔵した 16 ビットのタイマです。外部イベントのカウントが可能のほか、コンペアマッチ信号によりカウンタのリセット、割込み要求、トグル出力などが可能です。また、2 本の独立した 8 ビットタイマ（タイマ F H、タイマ F L）としても動作可能です。

(1) 特 長

タイマ F の特長を以下に示します。

■ 5 種類のクロックを選択可能

4 種類の内部クロック（ $\phi/32$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi/2$ ）と、外部クロックからの選択が可能です（外部イベントのカウントが可能）。

■ トグル出力機能

1 本のコンペアマッチ信号により、TMOFH 端子にトグル出力します（トグル出力の初期値を設定可能）。

■ コンペアマッチ信号によるカウンタリセット

■ 割込み要因：コンペアマッチ×1 要因、オーバフロー×1 要因

■ 2 本の独立した 8 ビットタイマとして動作可能

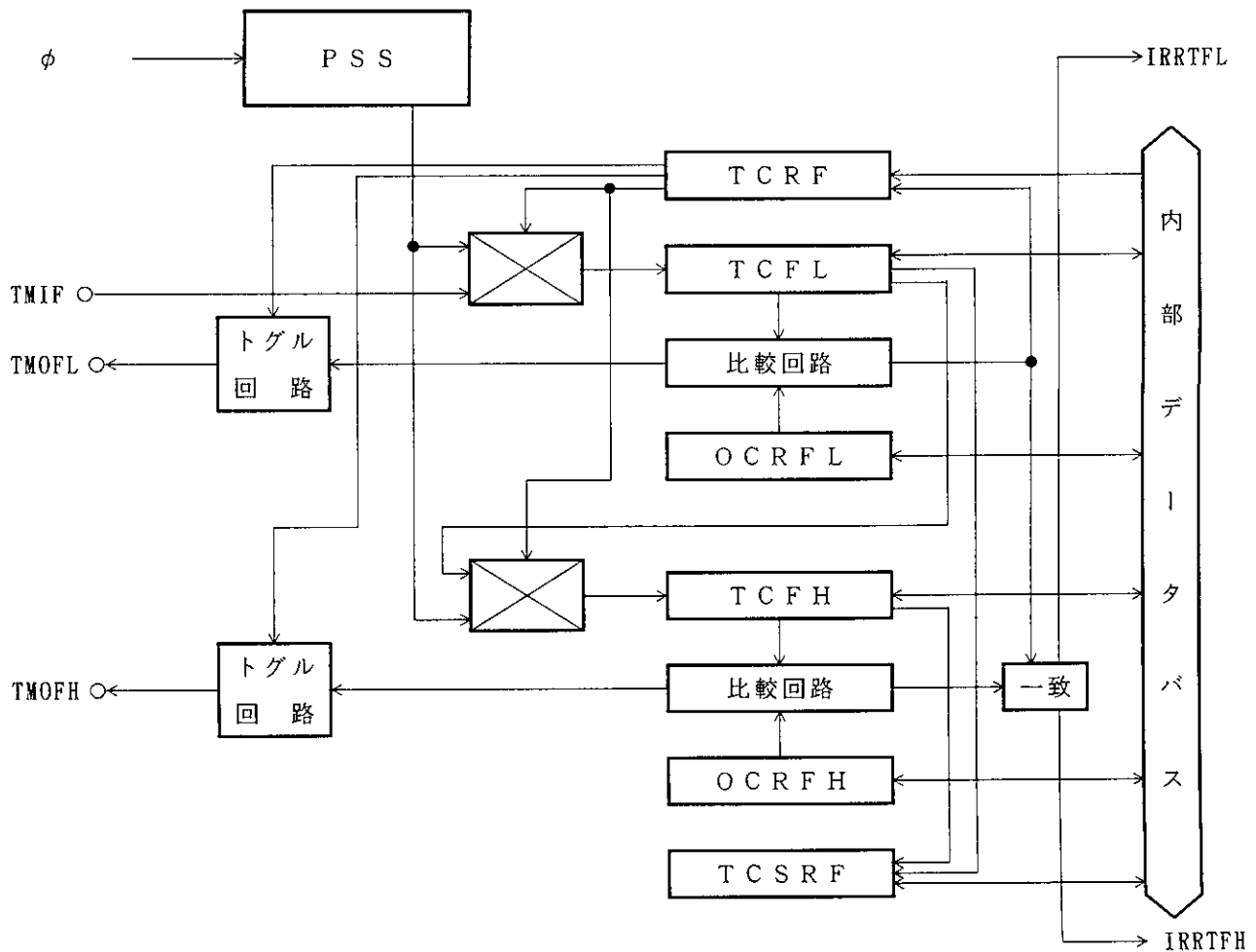
2 本の独立した 8 ビットタイマ（タイマ F H、タイマ F L）としても動作が可能です（8 ビットモード時）。

	タイマ F H 8 ビットタイマ*	タイマ F L 8 ビットタイマ／イベントカウンタ
内部クロック	4 種類（ $\phi/32$ 、 $\phi/16$ 、 $\phi/4$ 、 $\phi/2$ ）	
イベント入力	———	TMIF 端子
トグル出力	コンペアマッチ信号×1 本 TMOFH 端子に出力 （初期値を設定可能）	コンペアマッチ信号×1 本 TMOFL 端子に出力 （初期値を設定可能）
カウンタリセット	コンペアマッチ信号により、カウンタのリセットが可能	
割込み要因	コンペアマッチ×1 要因 オーバフロー ×1 要因	

【注】* 16 ビットタイマとして動作する場合はタイマ F L のオーバフロー信号により動作します。

(2) ブロック図

タイマFのブロック図を図9.5.1に示します。



<記号説明>

- TCRF : タイマコントロールレジスタF
- TCSRFB : タイマコントロールステータスレジスタF
- TCFH : 8ビットタイマカウンタFH
- TCFL : 8ビットタイマカウンタFL
- OCRFB : アウトプットコンペアレジスタFH
- OCRFL : アウトプットコンペアレジスタFL
- IRRTFH : タイマFH割込み要求フラグ
- IRRTFL : タイマFL割込み要求フラグ
- PSS : プリスケアラS

図9.5.1 タイマFのブロック図

(3) 端子構成

タイマFの端子構成を表 9. 5. 1 に示します。

表 9. 5. 1 端子構成

名 称	略 称	入出力	機 能
タイマF イベント入力	TMIF	入 力	T C F L に入力するイベント入力端子
タイマF H 出力	TMOFH	出 力	タイマF H トグル出力端子
タイマF L 出力	TMOFL	出 力	タイマF L トグル出力端子

(4) レジスタ構成

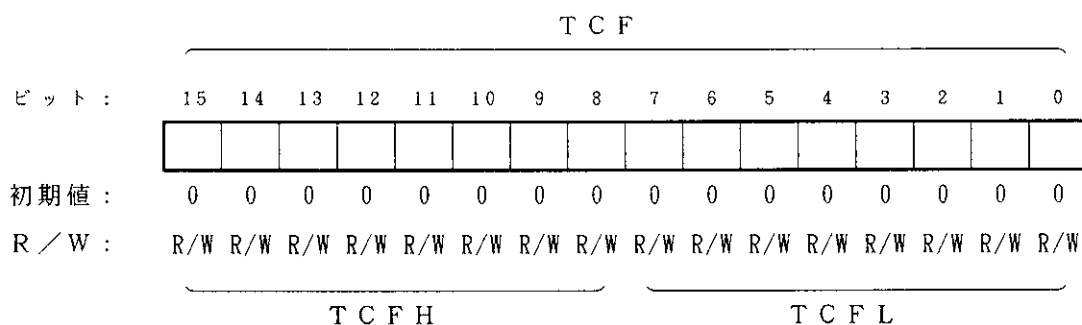
タイマFのレジスタ構成を表 9. 5. 2 に示します。

表 9. 5. 2 レジスタ構成

名 称	略 称	R / W	初期値	アドレス
タイマコントロールレジスタ F	T C R F	W	H' 00	H' FFB6
タイマコントロールステータスレジスタ F	T C S R F	R / W	H' 00	H' FFB7
8 ビットタイマカウンタ F H	T C F H	R / W	H' 00	H' FFB8
8 ビットタイマカウンタ F L	T C F L	R / W	H' 00	H' FFB9
アウトプットコンペアレジスタ F H	O C R F H	R / W	H' FF	H' FFBA
アウトプットコンペアレジスタ F L	O C R F L	R / W	H' FF	H' FFBB

9. 5. 2 各レジスタの説明

- (1) 16ビットタイマカウンタ (TCF)
 8ビットタイマカウンタ (TCFH)
 8ビットタイマカウンタ (TCFL)



TCFは16ビットのリード／ライト可能なアップカウンタで、8ビットのタイマカウンタ (TCFH、TCFL) のカスケード接続により構成されています。上位8ビットをTCFH、下位8ビットをTCFLとする16ビットカウンタとして使用できるほか、TCFH、TCFLを独立した8ビットカウンタとして使用することもできます。

TCFH、TCFLは、CPUからリード／ライト可能ですが、16ビットモードで使用する場合、CPUとのデータ転送はテンポラリレジスタ (TEMP) を介して行われます。TEMPの詳細は「9. 5. 3 CPUとのインタフェース」を参照してください。

リセット時、TCFH、TCFLは各々H'00にイニシャライズされます。

(a) 16ビットモード (TCF)

TCRFのCKSH2を“0”に設定すると、TCFは16ビットカウンタとして動作します。

TCFの入力クロックは、TCRFのCKSL2～CKSL0により選択します。

TCSRfのCCLRHにより、コンペアマッチ時にTCFをクリアすることができます。

TCFがオーバフロー (H'FFFF→H'0000) すると、TCSRfのOVFHが“1”にセットされます。このときTCSRfのOVIEHが“1”の場合、IRR2のIRRTFHが“1”にセットされ、さらにIENR2のIENTFHが“1”ならばCPUに割り込みを要求します。

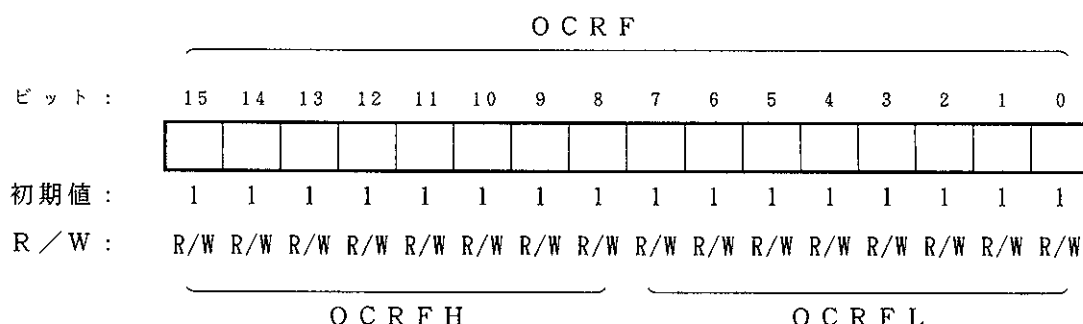
(b) 8ビットモード (TCFL／TCFH)

TCRFのCKSH2を“1”に設定すると、TCFH、TCFLは2本の独立した8ビットカウンタとして動作します。TCFH (TCFL) の入力クロックは、TCRFのCKSH2～CKSH0 (CKSL2～CKSL0) により選択します。

TCSRfのCCLRH (CCLRL) により、コンペアマッチ時にTCFH (TCFL) をクリアすることができます。

TCFH (TCFL) がオーバフロー (H'FF→H'00) すると、TCSRfのOVFH (OVFL) が“1”にセットされます。このときTCSRfのOVIEH (OVIEL) が“1”の場合、IRR2のIRRTFH (IRRTFL) が“1”にセットされ、さらにIENR2のIENTFH (IENTFL) が“1”ならばCPUに割り込みを要求します。

- (2) 16ビットアウトプットコンペアレジスタ (OCR F)
- 8ビットアウトプットコンペアレジスタ (OCR FH)
- 8ビットアウトプットコンペアレジスタ (OCR FL)



OCR Fは16ビットのリード／ライト可能な2本のレジスタ (OCR FH、OCR FL) により構成されています。上位8ビットをOCR FH、下位8ビットをOCR FLとする16ビットレジスタとして使用できるほか、OCR FH、OCR FLを独立した8ビットレジスタとして使用することもできます。

OCR FH、OCR FLは、CPUからリード／ライト可能ですが、16ビットモードで使用する場合、CPUとのデータ転送はテンポラリレジスタ (TEMP) を介して行われます。TEMPの詳細は「9.5.3 CPUとのインタフェース」を参照してください。

リセット時、OCR FH、OCR FLは各々H'FFにイニシャライズされます。

(a) 16ビットモード (OCR F)

TCRFのCKSH2を“0”に設定すると、OCR Fは16ビットレジスタとして動作します。OCR Fの内容は、TCFと常に比較されており、両者の値が一致すると、TCSR FのCMFHが“1”にセットされます。また、同時にIRR2のIRRTFHも“1”にセットされます。このときIENR2のIENTFHが“1”ならばCPUに割込みを要求します。

コンペアマッチによるトグル出力をTMOFH端子より出力することができます。また、TCRFのTOLHにより、出力レベル (“High”/“Low”) の設定が可能です。

(b) 8ビットモード (OCR FH / OCR FL)

TCRFのCKSH2を“1”に設定すると、OCR Fは2本の8ビットレジスタとして動作します。OCR FHの内容はTCFHと、またOCR FLの内容はTCFLとそれぞれ個別に比較されます。OCR FH (OCR FL) とTCFH (TCFL) の値が一致すると、TCSR FのCMFH (CMFL) が“1”にセットされます。また、同時にIRR2のIRRTFH (IRR TFL) も“1”にセットされます。このとき、IENR2のIENTFH (IENT FL) が“1”ならばCPUに割込みを要求します。

コンペアマッチによるトグル出力をTMOFH端子 (TMOFL端子) より出力することができます。また、TCRFのTOLH (TOLL) により、出力レベル (“High”/“Low”) の設定が可能です。

(3) タイマコントロールレジスタ F (TCRF)

ビット:	7	6	5	4	3	2	1	0
	TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

TCRFは、8ビットのライト専用のレジスタです。16ビットモード、8ビットモードの切換え、4種類の内部クロックおよび外部イベントの選択、TMOFH、TMOFL端子の出力レベルの設定を行います。

リセット時、TCRFはH'00にイニシャライズされます。

ビット7: トグルアウトプットレベルH (TOLH)

TMOFH端子の出力レベルを設定します。出力レベルは、ライトした直後反映されます。

ビット7	説明
TOLH	
0	“Low”レベル (初期値)
1	“High”レベル

ビット6～4: クロックセレクトH (CKSH2～CKSH0)

TCFHに入力するクロックを内部4種類、またはTCFLのオーバフローから選択します。

ビット6	ビット5	ビット4	説明
CKSH2	CKSH1	CKSH0	
0	*	*	16ビットモードとなり、TCFLのオーバフロー信号でカウント (初期値)
1	0	0	内部クロック: $\phi/32$ でカウント
1	0	1	内部クロック: $\phi/16$ でカウント
1	1	0	内部クロック: $\phi/4$ でカウント
1	1	1	内部クロック: $\phi/2$ でカウント

* Don't care

ビット3：トグルアウトプットレベルL（TOLL）

TMOFL端子の出力レベルを設定します。出力レベルは、ライトした直後反映されます。

ビット3 TOLL	説 明
0	“Low” レベル (初期値)
1	“High” レベル

ビット2～0：クロックセレクトL（CKSL2～CKSL0）

TCFLに入力するクロックを、内部4種類または外部イベントから選択します。

ビット2 CKSL2	ビット1 CKSL1	ビット0 CKSL0	説 明
0	*	*	外部イベント（TMIF）の立上がり／立下がりエッジでカウント* ¹ (初期値)
1	0	0	内部クロック： $\phi/32$ でカウント
1	0	1	内部クロック： $\phi/16$ でカウント
1	1	0	内部クロック： $\phi/4$ でカウント
1	1	1	内部クロック： $\phi/2$ でカウント

* Don't care

【注】*¹ 外部イベントのエッジ選択は、IRQエッジセレクトレジスタ（IEGR）のIEG3により設定します。詳細は、「3.3.2 (1) IRQエッジセレクトレジスタ（IEGR）」を参照してください。

なお、TMIF端子の機能切換えの為にTMIF端子が“Low”レベルの状態ポートモードレジスタ1（PMR1）のIRQ3を“0”から“1”または“1”から“0”に設定変更した場合に、タイマFのカウンタがカウントアップされることがありますので注意してください。

(4) タイマコントロールステータスレジスタ F (TCSR F)

ビット:	7	6	5	4	3	2	1	0
	OVFH	CMFH	OVIEH	CCLR H	OVFL	CMFL	OVIEL	CCLR L
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W	R/W	R/W*	R/W*	R/W	R/W

【注】* フラグクリアのための“0”ライトのみ可能です。

TCSR Fは、8ビットのリード/ライト可能なレジスタです。カウンタクリアの選択、オーバーフローフラグのセット、コンペアマッチフラグのセット、オーバーフローによる割込み要求の許可の制御を行います。

リセット時、TCSR FはH'00にイニシャライズされます。

ビット7: タイマオーバーフローフラグH (OVFH)

TCFHがオーバーフロー (H'FF→H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	説 明
OVFH	
0	〔クリア条件〕 (初期値) OVFH = “1” の状態で、OVFHをリードした後、OVFHに“0”をライトしたとき
1	〔セット条件〕 TCFHの値が、H'FF→H'00になったとき

ビット6: コンペアマッチフラグH (CMFH)

TCFHとOCR FHがコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット6	説 明
CMFH	
0	〔クリア条件〕 (初期値) CMFH = “1” の状態で、CMFHをリードした後、CMFHに“0”をライトしたとき
1	〔セット条件〕 TCFHの値とOCR FHの値が、コンペアマッチしたとき

ビット5：タイマオーバフローインタラプトイネーブルH（OVIEH）

TCFHのオーバフローが発生したとき、割込みの許可または禁止を選択します。

ビット5	説 明
OVIEH	
0	TCFHのオーバフローによる割込み要求を禁止（初期値）
1	TCFHのオーバフローによる割込み要求を許可

ビット4：カウンタクリアH（CCLRH）

16ビットモード時、TCFとOCRHFがコンペアマッチしたとき、TCFをクリアするかしないかを選択します。

8ビットモード時、TCFHとOCRFHがコンペアマッチしたとき、TCFHをクリアするかしないかを選択します。

ビット4	説 明
CCLRH	
0	16ビットモード：コンペアマッチによるTCFのクリアを禁止 8ビットモード：コンペアマッチによるTCFHのクリアを禁止（初期値）
1	16ビットモード：コンペアマッチによるTCFのクリアを許可 8ビットモード：コンペアマッチによるTCFHのクリアを許可

ビット3：タイマオーバフローフラグL（OVFL）

TCFLがオーバフロー（H'FF→H'00）したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット3	説 明
OVFL	
0	〔クリア条件〕 OVFL = “1” の状態で、OVFLをリードした後、OVFLに“0”をライトしたとき（初期値）
1	〔セット条件〕 TCFLの値が、H'FF→H'00になったとき

ビット2：コンペアマッチフラグL（CMFL）

TCFLとOCRFLがコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット2 CMFL	説 明
0	〔クリア条件〕 CMFL = “1” の状態で、CMFLをリードした後、CMFLに“0”を ライトしたとき (初期値)
1	〔セット条件〕 TCFLの値とOCRFLの値が、コンペアマッチしたとき

ビット1：タイマオーバフローインタラプトイネーブルL（OVIEL）

TCFLのオーバフローが発生したとき、割込みの許可または禁止を選択します。

ビット1 OVIEL	説 明
0	TCFLのオーバフローによる割込み要求を禁止 (初期値)
1	TCFLのオーバフローによる割込み要求を許可

ビット0：カウンタクリアL（CCLRL）

TCFLとOCRFLがコンペアマッチしたとき、TCFLをクリアするかどうかを選択します。

ビット0 CCLRL	説 明
0	コンペアマッチによるTCFLのクリアを禁止 (初期値)
1	コンペアマッチによるTCFLのクリアを許可

9.5.3 CPUとのインタフェース

TCF、OCRFは16ビットのリード／ライト可能なレジスタで構成されています。一方、CPUと内蔵周辺モジュール間のデータバスは、8ビット幅となっています。したがってCPUがTCF、OCRFをアクセスする場合、8ビットのテンポラリレジスタ（TEMP）を介して行います。

16ビットモードでTCFのリード／ライト、OCRFのライトを行うときは、必ず16ビット単位（バイトサイズのMOV命令を2回連続して行う）で行い、かつ上位バイト、下位バイトの順序で行います。上位バイトのみや下位バイトのみのアクセスでは、データは正しく転送されません。

なお、8ビットモードでは特にアクセスの順序に制限はありません。

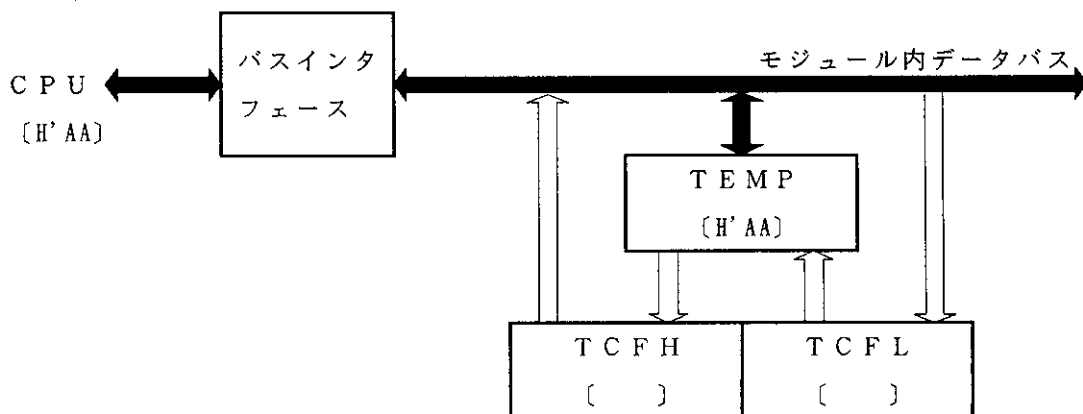
(1) ライト時の動作

上位バイトのライトにより、上位バイトのデータがTEMPに転送されます。

次に下位バイトのライトで、TEMPにあるデータが上位バイトのレジスタへ、下位バイトのデータは直接下位バイトのレジスタへライトされます。

TCFにH'AA55をライトするときのTCFのライト動作を図9.5.2に示します。

＜上位バイトのライト＞



＜下位バイトのライト＞

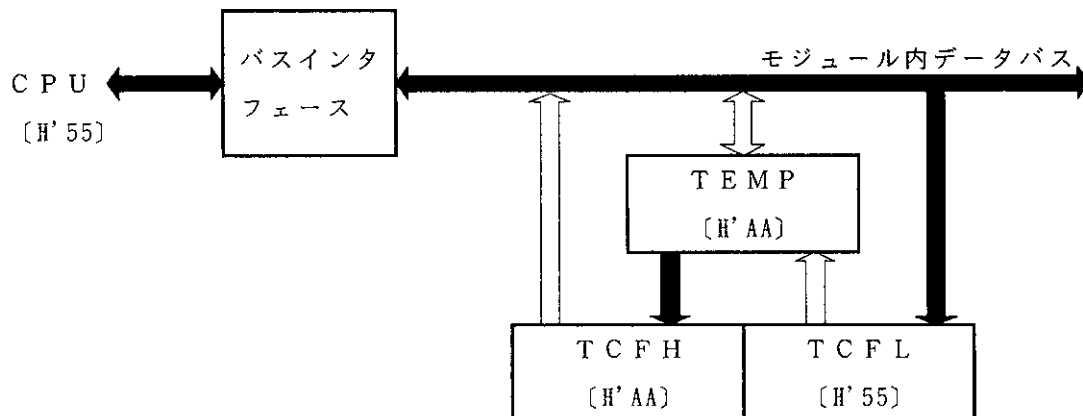


図 9.5.2 TCFのライト動作（CPU→TCF）

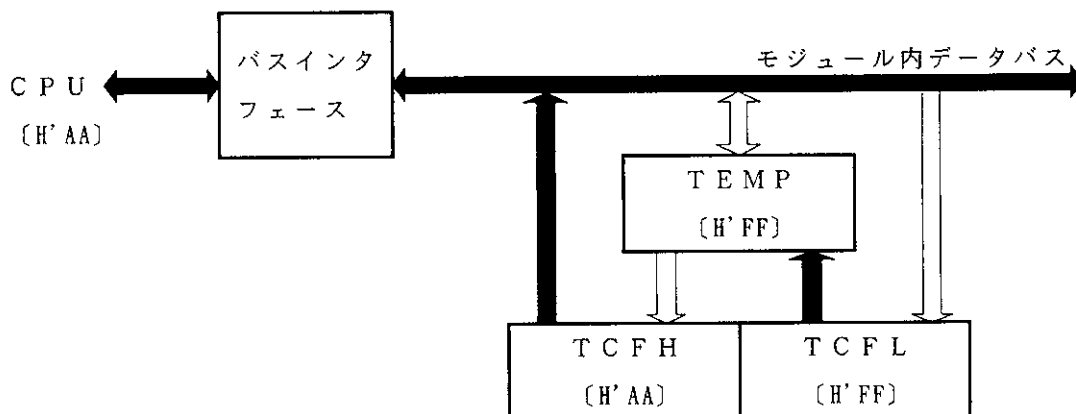
(2) リード時の動作

T C Fの場合、上位バイトのリードで、上位バイトのデータは直接C P Uに転送され、下位バイトのデータはT E M Pに転送されます。

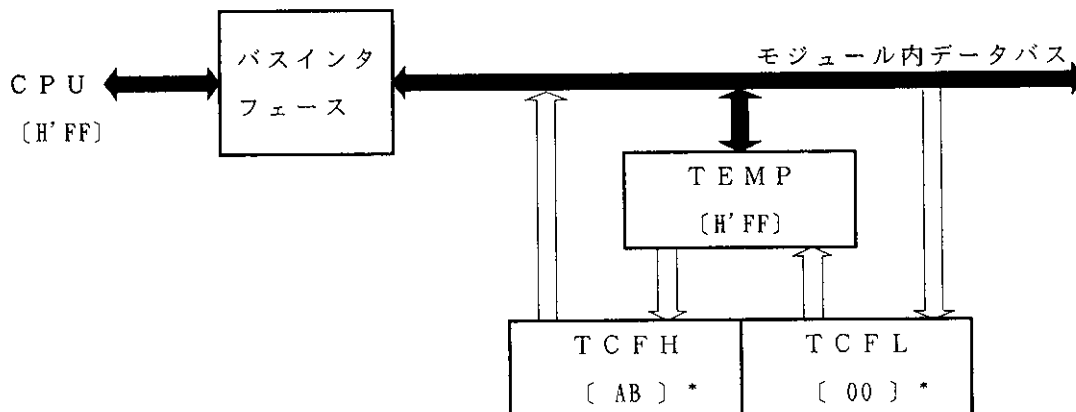
次に下位バイトのリードで、T E M Pにある下位バイトのデータがC P Uに転送されます。O C R Fの場合、上位バイトのリードで、上位バイトのデータは直接C P Uに転送されます。下位バイトのリードで、下位バイトのデータは直接C P Uに転送されます。

H'AAFFであるT C FをリードしたときのT C Fのリード動作を図9.5.3に示します。

＜上位バイトのリード＞



＜下位バイトのリード＞



【注】* カウンタの更新が1回行われた場合H'AB00となる。

図9.5.3 T C Fのリード動作 (T C F→C P U)

9.5.4 動作説明

タイマFは、入力クロックが入るたびにカウントアップする16ビットのカウンタで、アウトプットコンペアレジスタFに設定した値とタイマカウンタFの値を常に比較しており、一致したタイミングでカウンタのクリア、割込み要求、およびポートのトグル出力が可能です。また、2本の独立した8ビットタイマとしても機能できます。

(1) タイマFの動作

タイマFには、16ビットタイマモードと8ビットタイマモードの2種類の動作モードがあります。それぞれのモードの動作について以下に説明します。

(a) 16ビットタイマモードの動作

タイマコントロールレジスタF (TCRF) のCKSH2ビットを“0”に設定すると、タイマFは16ビットのタイマとして動作します。

リセット直後、タイマカウンタF (TCF) はH'0000に、アウトプットコンペアレジスタF (OCRF) はH'FFFFに、タイマコントロールレジスタF (TCRF)、タイマコントロールステータスレジスタF (TCSR F) はH'00に初期化されます。カウンタは、外部イベント (TMIF) からの入力によりカウントアップを開始します。外部イベントのエッジ選択は、IRQエッジセレクトレジスタ (IEGR) のIEG3により設定します。

タイマFの動作クロックは、TCRFのCKSL2～CKSL0ビットによりプリスケラSの出力する4種類の内部クロック、または外部クロックを選択できます。

TCFとOCRFの内容は常に比較されており、両者が一致するとTCSR FのCMFHが“1”にセットされます。このときIENR2のIENTFHが“1”ならばCPUに割込みを要求し、同時にTMOFH端子の出力をトグルします。また、TCSR FのCCLRHが“1”ならばTCFをクリアします。なお、TMOFH端子の出力はTCRFのTOLHにより設定できます。

TCFがオーバフロー (H'FFFF→H'0000) すると、TCSR FのOVFHがセットされます。このとき、TCSR FのOVIEHとIENR2のIENTFHが共に“1”ならばCPUに割込みを要求します。

(b) 8ビットタイマモードの動作

TCRFのCKSH2を“1”に設定すると、TCFはTCFH、TCFLの2本の独立した8ビットタイマとして動作します。TCFH/TCFLの入力クロックは、TCRFのCKSH2～CKSH0/CKSL2～CKSL0により選定します。

OCRFH/OCRFLとTCFH/TCFLの値が一致すると、TCSR FのCMFH/CMFLが“1”にセットされます。また、IENR2のIENTFH/IENTFLが“1”ならばCPUに割込みを要求し、同時にTMOFH端子/TMOFL端子の出力をトグルします。また、TCRFのCCLRH/CCLRLが“1”ならば、TCFH/TCFLをクリアします。なお、TMOFH端子/TMOFL端子の出力は、TCRFのTOLH/TOLLにより設定できます。

TCFH/TCFLがオーバフロー (H'FF→H'00) すると、TCSR FのOVFH/OVFLが“1”にセットされます。このとき、TCSR FのOVIEH/OVIELとIENR2の

I E N T F H / I E N T F L が共に “ 1 ” ならば、C P U に割込みを要求します。

(2) T C F のカウントタイミング

T C F は、入力されたクロック（内部クロックまたは外部イベント）によりカウントアップされます。

(a) 内部クロック動作の場合

T C R F の C K S H 2 ～ C K S H 0 または C K S L 2 ～ C K S L 0 の設定により、システムクロック（ ϕ ）を分周して作られる 4 種類の内部クロック（ $\phi / 32$ 、 $\phi / 16$ 、 $\phi / 4$ 、 $\phi / 2$ ）が選択されます。

(b) 外部イベント動作の場合

T C R F の C K S L 2 を “ 0 ” に設定することにより、外部イベント入力を選択されます。外部イベントは立上がり／立下がりエッジのどちらでもカウントアップが可能です。外部イベントのエッジ選択は、割込みコントローラの I E G R の I E G 3 で設定します。なお、外部イベントのパルス幅は 2 システムクロック（ ϕ ）以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

(3) T M O F H、T M O F L 出力タイミング

T M O F H、T M O F L の出力は、T C R F の T O L H、T O L L で設定した値が出力されていますが、コンペアマッチが発生したとき出力が反転します。

図 9. 5. 4 に出力タイミングを示します。

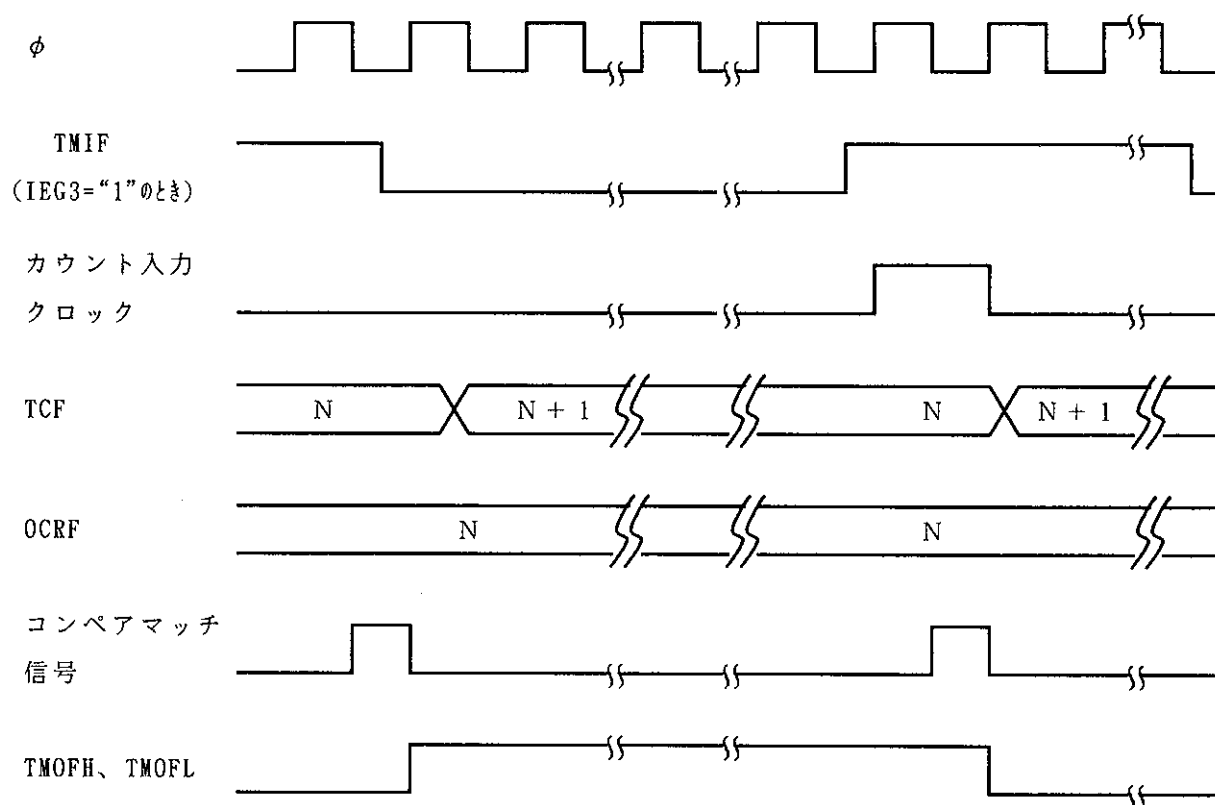


図 9.5.4 TMOFH、TMOFL 出力タイミング

(4) TCF のクリアタイミング

TCF は、OCRF とのコンペアマッチ時にクリアすることができます。

(5) タイマオーバフローフラグ (OVF) のセットタイミング

OVF は、TCF がオーバフロー (H'FFFF→H'0000) したとき "1" にセットされます。

(6) コンペアマッチフラグのセットタイミング

コンペアマッチフラグ (CMFH または CMFL) は、TCF と OCRF のコンペアマッチ時に "1" にセットされます。コンペアマッチ信号は、値が一致した最後のステート (TCF が一致したカウント値を更新するタイミング) で発生します。TCF と OCRF が一致した後、カウントアップクロックが発生するまで、コンペアマッチ信号は発生しません。

(7) タイマ F の動作モード

タイマ F の動作モードを表 9. 5. 3 に示します。

表 9. 5. 3 タイマ F の動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
T C F	リセット	動作	動作	停止	停止	停止	停止
O C R F	リセット	動作	保持	保持	保持	保持	保持
T C R F	リセット	動作	保持	保持	保持	保持	保持
T C S R F	リセット	動作	保持	保持	保持	保持	保持

9. 5. 5 使用上の注意事項

タイマ F の動作中、次のような競合や動作が起こりますので注意してください。

(1) 16ビットタイマモード

トグル出力は16ビットすべてが一致し、コンペアマッチ信号が発生したときTMOFH端子から出力されます。MOV命令によるT C R Fのライトと、コンペアマッチ信号が同時に起こった場合、T C R FのライトによるT O L HのデータがTMOFH端子に出力されます。TMOFL端子は16ビットモード時には出力は不定となりますので使用しないでください。ポートとしてご使用ください。

O C R F Lのライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、T C F Lのクロックに同期して出力されるので、クロックが停止している場合、コンペアマッチしていてもコンペアマッチ信号は発生しません。

コンペアマッチフラグは、16ビットすべてが一致し、コンペアマッチ信号が発生したときC M F Hにセットされますが、C M F Lについても下位8ビットについてのセット条件が満たされていればセットされます。

T C FがオーバーフローするとO V F Hがセットされますが、O V F Lについても下位8ビットがオーバーフローした時点で、セット条件が満たされていればセットされます。T C F Lのライトと、オーバーフロー信号の出力が同時に起こった場合、オーバーフロー信号は出力されません。

(2) 8ビットタイマモード

(a) T C F H、O C R F H

トグル出力は、コンペアマッチ時にTMOFH端子から出力されます。MOV命令によるT C R Fのライトと、コンペアマッチ信号の発生が同時に起こった場合、T C R FのライトによるT O L HのデータがTMOFH端子に出力されます。

O C R F Hのライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号

は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCFHのクロックに同期して出力されます。

TCFHのライトと、オーバフロー信号の出力が同時に起こった場合、オーバフロー信号は出力されません。

(b) TCF L、OCR F L

トグル出力は、コンペアマッチ時にTMOFL端子から出力されます。MOV命令によるTCRFのライトと、コンペアマッチ信号の発生が同時に起こった場合、TCRFのライトによるTOLLのデータがTMOFL端子に出力されます。

OCRFLのライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCFLのクロックに同期して出力されるので、クロックが停止している場合、コンペアマッチしていてもコンペアマッチ信号は発生しません。

TCFLのライトと、オーバフロー信号の出力が同時に起こった場合、オーバフロー信号は出力されません。

9. 6 タイマ G

9. 6. 1 概要

タイマ G は、インプットキャプチャ入力端子から入力したパルス（インプットキャプチャ入力信号）の立上がり／立下がりエッジのそれぞれ専用のインプットキャプチャ機能をもつ 8 ビットタイマです。ノイズ除去回路によりインプットキャプチャ入力信号の高域成分のノイズを除去することが可能です。したがって、インプットキャプチャ入力信号のデューティ比を正確に測定することができます。また、タイマ G はインプットキャプチャ入力を設定しない場合、8 ビットのインターバルタイマとして機能します。

(1) 特 長

タイマ G の特長を以下に示します。

■ 4 種類のカウンタ入力クロックを選択可能

4 種類の内部クロック（ $\phi/64$ 、 $\phi/32$ 、 $\phi/2$ 、 $\phi_w/2$ ）からの選択が可能です。

■ インプットキャプチャ機能

立上がり／立下がりエッジのそれぞれ専用のインプットキャプチャ機能があります。

■ カウンタのオーバフロー時のレベルが検出可能

インプットキャプチャ入力信号の“High”レベルでオーバフローが発生したか、“Low”レベルでオーバフローが発生したかを検出することができます。

■ カウンタのクリア指定が可能

インプットキャプチャ入力信号の立上がり／立下がり／両エッジでカウンタの値をクリアするか、しないかを選択できます。

■ 2 種類の割込み要求

インプットキャプチャ×1 要因、オーバフロー×1 要因があります。インプットキャプチャ入力信号による割込み要求はインプットキャプチャ入力信号の立上がり／立下がりエッジを選択することができます。

■ ノイズ除去回路内蔵

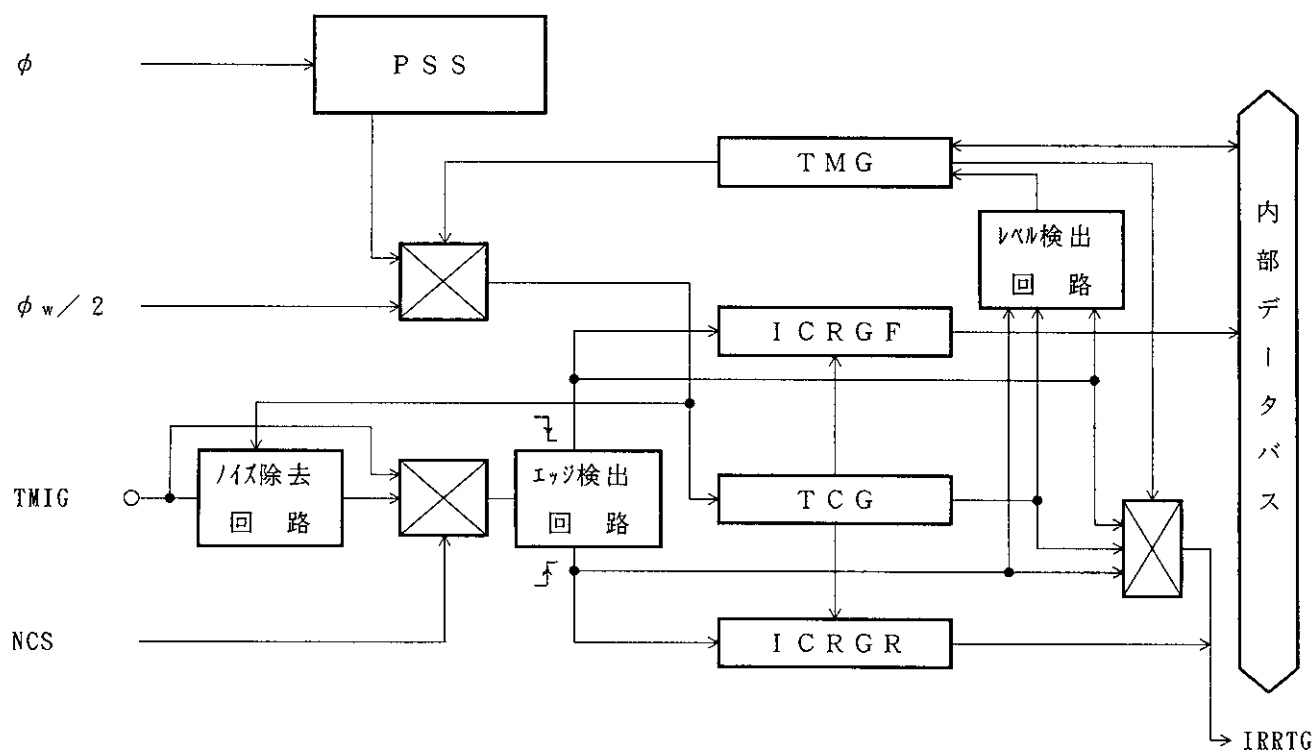
ノイズ除去回路によりインプットキャプチャ入力信号の高域成分のノイズを除去することが可能です。

■ サブアクティブモード、サブスリープモードで動作

内部クロックとして $\phi_w/2$ を選択した場合、サブアクティブモード、サブスリープモードで動作可能です。

(2) ブロック図

タイマGのブロック図を図9.6.1に示します。



<記号説明>

- TMG : タイマモードレジスタG
- TCG : タイマカウンタG
- ICRGF : インプットキャプチャレジスタGF
- ICRGR : インプットキャプチャレジスタGR
- IRR TG : タイマG 割込み要求フラグ
- NCS : ノイズキャンセラセレクト
- PSS : プリスケラS

図9.6.1 タイマGのブロック図

(3) 端子構成

タイマGの端子構成を表9.6.1に示します。

表 9. 6. 1 端子構成

名 称	略 称	入出力	機 能
インプットキャプチャ入力	TMIG	入 力	インプッチャプチャ入力端子

(4) レジスタ構成

タイマGのレジスタ構成を表9.6.2に示します。

表 9. 6. 2 レジスタ構成

名 称	略 称	R / W	初期値	アドレス
タイマモードレジスタG	TMG	R / W	H'00	H'FFBC
タイマカウンタG	TCG	—	H'00	—
インプットキャプチャレジスタGF	ICRGF	R	H'00	H'FFBD
インプットキャプチャレジスタGR	ICGR	R	H'00	H'FFBE

9. 6. 2 各レジスタの説明

(1) タイマカウンタG (TCG)

ビット：	7	6	5	4	3	2	1	0
	TCG7	TCG6	TCG5	TCG4	TCG3	TCG2	TCG1	TCG0
初期値：	0	0	0	0	0	0	0	0
R / W：	—	—	—	—	—	—	—	—

TCGは、8ビットのアップカウンタで、入力したクロックによりカウントアップされます。入力するクロックは、TMGのCKS1、CKS0で選択します。

TCGはインプットキャプチャタイマとして動作させる場合、PMR1のTMIGを“1”に設定し、インターバルタイマとして動作させる場合、TMIGを“0”に設定します。* インプットキャプチャタイマの動作時は、TMGの設定によりインプットキャプチャ入力信号の立上がり／立下がり／両エッジのいずれかでTCGの値をクリアすることができます。

TCGがオーバーフロー（H'FF→H'00）すると、TMGのOVIEが“1”の場合、IRR2のIRRTGが“1”にセットされ、さらにIENR2のIENTGが“1”の場合、CPUに対して割り込み要求信号が発生します。

なお、割り込みについての詳細は「3.3 割り込み」を参照してください。

TCGはCPUからリード／ライトすることはできません。

リセット時、TCGはH'00にイニシャライズされます。

【注】* TMIGの書き換えの際、インプットキャプチャ信号が発生する場合があります。

(2) インพุットキャプチャレジスタGF (ICRGF)

ビット:	7	6	5	4	3	2	1	0
	ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ICRGFは、8ビットのリード専用のレジスタです。インพุットキャプチャ入力信号の立下がりエッジが検出されると、そのときのTCGの値がICRGFに転送されます。このとき、TMGのIEGSが“1”の場合、IRR2のIRRTGが“1”にセットされ、さらにIENR2のIENTGが“1”の場合、CPUに対して割込み要求信号が発生します。

なお、割込みについての詳細は「3.3 割込み」を参照してください。

インพุットキャプチャ動作を確実にを行うために、インพุットキャプチャ入力信号のパルス幅は、少なくとも2φまたは2φ_{sub}（ノイズ除去回路を使用しない場合）以上にしてください。

リセット時、ICRGFはH'00にイニシャライズされます。

(3) インพุットキャプチャレジスタGR (ICRGR)

ビット:	7	6	5	4	3	2	1	0
	ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ICRGRは、8ビットのリード専用のレジスタです。インพุットキャプチャ入力信号の立上がりエッジが検出されると、そのときのTCGの値がICRGRに転送されます。このとき、TMGのIEGSが“0”の場合、IRR2のIRRTGが“1”にセットされ、さらにIENR2のIENTGが“1”の場合、CPUに対して割込み要求信号が発生します。

なお、割込みについての詳細は「3.3 割込み」を参照してください。

インพุットキャプチャ動作を確実にを行うために、インพุットキャプチャ入力信号のパルス幅は、少なくとも2φまたは2φ_{sub}（ノイズ除去回路を使用しない場合）以上にしてください。

リセット時、ICRGRはH'00にイニシャライズされます。

(4) タイマモードレジスタ G (TMG)

ビット:	7	6	5	4	3	2	1	0
	OVFH	OVFL	OVIE	IEGS	CCLR1	CCLR0	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグクリアのための“0”ライトのみ可能です。

TMGは、8ビットのリード／ライト可能なレジスタです。TCGの4種類の内部クロックの選択、カウンタクリアの選択、インプットキャプチャ入力信号による割込み要求のエッジ選択、オーバフローによる割込み要求の許可の制御、およびオーバフローフラグの表示を行います。

リセット時、TMGはH'00にイニシャライズされます。

ビット7: タイマオーバフローフラグH (OVFH)

インプットキャプチャ入力信号が“High”レベルのときに、TCGの値がオーバフロー (H'FF→H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	説明
OVFH	
0	〔クリア条件〕 OVFH = “1” の状態で、OVFHをリードした後、OVFHに“0”をライトしたとき (初期値)
1	〔セット条件〕 TCGの値が、H'FF→H'00になったとき

ビット6: タイマオーバフローフラグL (OVFL)

インプットキャプチャ信号が“Low”レベルのとき、またはインターバル動作時に、TCGの値がオーバフロー (H'FF→H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット6	説明
OVFL	
0	〔クリア条件〕 OVFL = “1” の状態で、OVFLをリードした後、OVFLに“0”をライトしたとき (初期値)
1	〔セット条件〕 TCGの値が、H'FF→H'00になったとき

ビット5：タイマオーバフローインタラプトイネーブル（OVIE）

TCGのオーバフローが発生したとき、割込みの許可または禁止を選択します。

ビット5	説 明
OVIE	
0	TCGのオーバフローによる割込み要求を禁止（初期値）
1	TCGのオーバフローによる割込み要求を許可

ビット4：インプットキャプチャインタラプトエッジセレクト（IIEGS）

インプットキャプチャ入力信号による割込み要求のエッジ選択を行います。

ビット4	説 明
IIEGS	
0	インプットキャプチャ入力信号の立上がりエッジで割込みを発生（初期値）
1	インプットキャプチャ入力信号の立下がりエッジで割込みを発生

ビット3、2：カウンタクリア1、0（CCLR1、CCLR0）

インプットキャプチャ入力信号の立上がり／立下がり／両エッジでTCGの値をクリアするか、しないかを選択します。

ビット3	ビット2	説 明
CCLR1	CCLR0	
0	0	TCGのクリアを禁止（初期値）
0	1	インプットキャプチャ入力信号の立下がりエッジによりTCGをクリア
1	0	インプットキャプチャ入力信号の立上がりエッジによりTCGをクリア
1	1	インプットキャプチャ入力信号の両エッジによりTCGをクリア

ビット1、0：クロックセレクト（CKS1、CKS0）

TCGに入力するクロックを、4種類の内部クロックから選択します。

ビット1	ビット0	説 明
CKS1	CKS0	
0	0	内部クロック： $\phi/64$ でカウント（初期値）
0	1	内部クロック： $\phi/32$ でカウント
1	0	内部クロック： $\phi/2$ でカウント
1	1	内部クロック： $\phi_w/2$ でカウント

9. 6. 3 ノイズ除去回路

ノイズ除去回路は、デジタルローパスフィルタとなっており、インプットキャプチャ入力端子から入力したパルスの高域成分のノイズを除去します。ノイズ除去回路は、PMR 2のNCS*により設定します。

図 9. 6. 2 にノイズ除去回路のブロック図を示します。

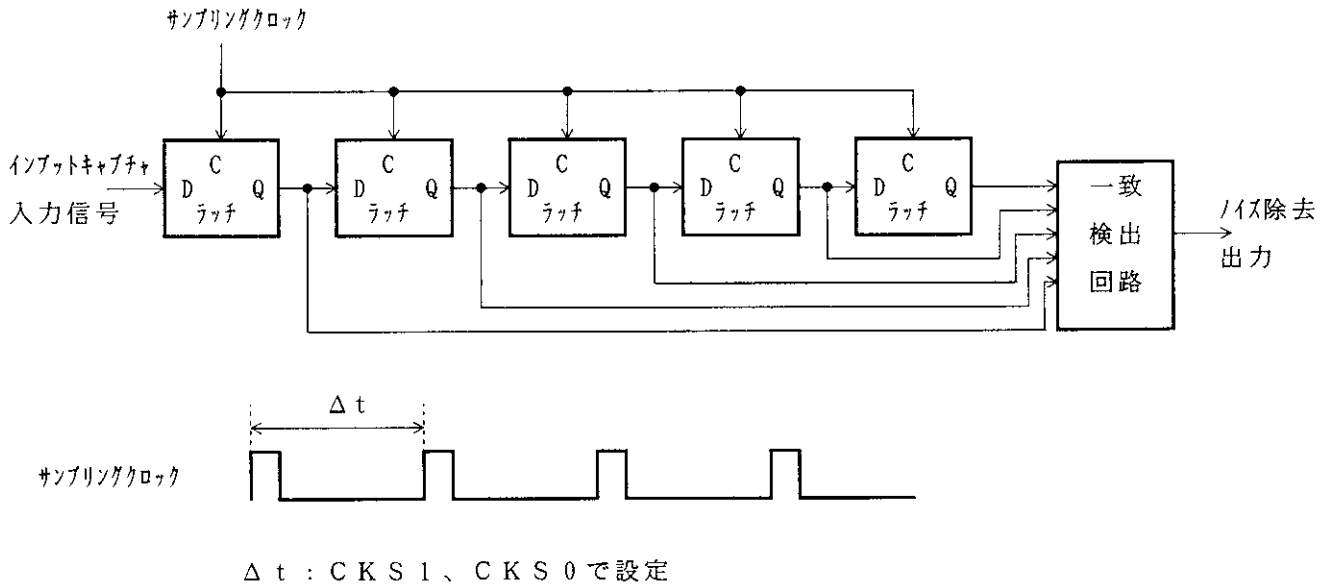


図 9. 6. 2 ノイズ除去回路のブロック図

ノイズ除去回路は5段直列に接続されたラッチ回路と一致検出回路で構成されています。ノイズ除去機能なし（NCS = “0”）の場合、サンプリングクロックはシステムクロックが選択されています。ノイズ除去機能あり（NCS = “1”）の場合、サンプリングクロックはTMGのCKS1、CKS0で選択された内部クロックが選択され、このクロックの立上がりエッジでインプットキャプチャ入力がサンプリングされ、すべてのラッチ出力が一致したとき正しいデータとみなします。一致しない場合は、前の値を保持します。リセット後は、ノイズ除去出力はインプットキャプチャ入力信号の立下がりエッジが5回サンプリングされた状態でイニシャライズされています。したがって、ノイズ除去機能ありを設定した後、サンプリングクロックの5倍より幅の広いパルスは確実にインプットキャプチャ信号になります。なお、ノイズ除去を行わない場合でも、インプットキャプチャ動作を確実にを行うために、インプットキャプチャ入力信号のパルス幅は少なくとも2φまたは2φ_{sub}以上が必要です。

【注】* NCSビットの書換えの際、インプットキャプチャ信号が発生する場合があります。

図 9. 6. 3 にノイズ除去回路のタイミング例を示します。

この例は、インプットキャプチャ入力端子にサンプリングクロックの 5 倍以下の“High”レベル入力がノイズとして除去された場合です。

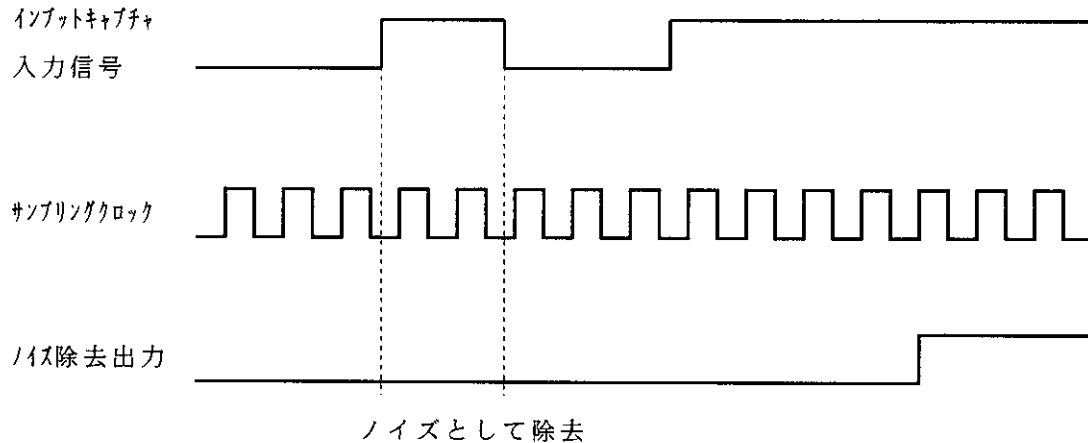


図 9. 6. 3 ノイズ除去回路タイミング（例）

9. 6. 4 動作説明

タイマGは、インプットキャプチャ／インターバル機能を内蔵した 8 ビットのタイマです。

(1) タイマGの機能

タイマGは 8 ビットのアップカウンタで、インプットキャプチャタイマとインターバルタイマの 2 種類の機能を持っています。

それぞれの動作について、以下に説明します。

(a) インプットキャプチャタイマの動作

ポートモードレジスタ 1 (PMR1) の TMIG ビットを“1”に設定すると、タイマGはインプットキャプチャタイマとして機能します。*

リセット時、タイマモードレジスタG (TMG)、タイマカウンタG (TCG)、インプットキャプチャレジスタGF (ICRGF)、インプットキャプチャレジスタGR (ICRGR) は、H'00に初期化されます。

リセット直後、TCGは内部クロック $\phi/64$ のクロックでカウントを開始します。

入力するクロックは、TMGのCKS1、CKS0ビットにより4種類の内部クロックソースから選択できます。

TMIG端子から入力されるインプットキャプチャ信号の立上がりエッジ／立下がりエッジにより、そのときのTCGの値がICRGR／ICRGFに転送されます。また、TMGのIIEGSビットで選択したエッジが入力されると、IRR2のIRR TGが“1”にセットされ、この時IENR2のIENTGビットが“1”ならばCPUに割込みを要求します。なお、割込みについての詳

細は、「3.3 割込み」を参照してください。

TCGはTMGのCCLR1、CCLR0ビットにより、インプットキャプチャ信号の立上がり／立下がり／両エッジのいずれかでTCGの値をクリアすることができます。また、インプットキャプチャ信号が“High”レベルのときにTCGがオーバーフローすると、TMGのOVFHビットをセットします。一方、インプットキャプチャ信号が“Low”レベルのときにTCGがオーバーフローすると、TMGのOVFLビットをセットします。これらがセットされた時、TMGのOVIEビットが“1”であればIRR2のIRRTGが“1”にセットされ、さらにIENR2のIENTGビットが“1”であれば、タイマGはCPUに割込みを要求します。なお、割込みについての詳細は「3.3 割込み」を参照してください。

タイマGにはノイズ除去回路が内蔵されており、TMIG端子から入力したパルスの高域成分のノイズを除去できます。詳細は「9.6.3 ノイズ除去回路」を参照してください。

【注】・TM1Gの書き換えの際、インプットキャプチャ信号が発生する場合があります。

(b) インターバルタイマの動作

PMR1のTMIGビットを“0”に設定すると、タイマGはインターバルタイマとして機能します。リセット直後、TCGは内部クロック $\phi/64$ のクロックでカウントを開始します。入力クロックはTMGのCKS1、CKS0ビットにより4種類の内部クロックソースから選択できます。TCGは選択されたクロックでカウントアップし、オーバーフロー（H'FF→H'00）するとTMGのOVFLビットが“1”にセットされます。この時、TMGのOVIEビットが“1”であればIRR2のIRRTGが“1”にセットされ、さらにIENR2のIENTGビットが“1”であれば、タイマGはCPUに割込みを要求します。なお、割込みについての詳細は「3.3 割込み」を参照してください。

(2) カウントタイミング

TCGは入力された内部クロックによりカウントアップされます。TMGのCKS1、CKS0の設定により、システムクロック（ ϕ ）とウォッチクロック（ ϕ_w ）を分周して作られる4種類の内部クロック（ $\phi/64$ 、 $\phi/32$ 、 $\phi/2$ 、 $\phi_w/2$ ）が選択されます。

(3) インプットキャプチャ入力のタイミング

(a) ノイズ除去機能なしの場合

インプットキャプチャ入力は、立上がり／立下がりエッジのそれぞれ専用のインプットキャプチャ機能をもっています。

立上がり／立下がりエッジのインプットキャプチャ入力のタイミングを図9.6.4に示します。

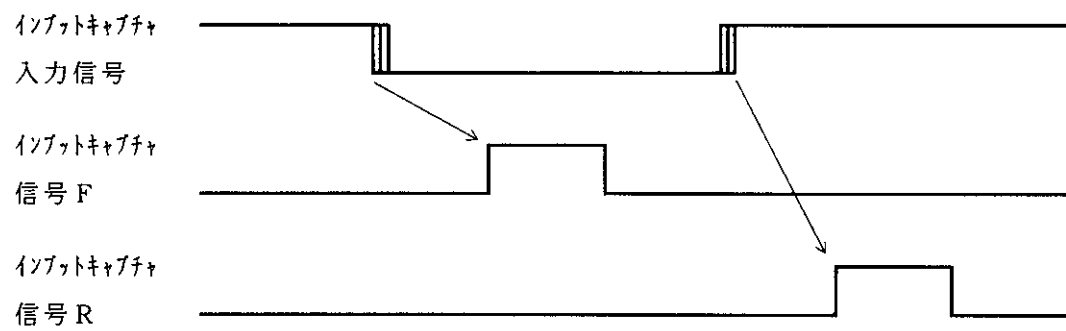


図 9. 6. 4 インプットキャプチャ入力のタイミング（ノイズ除去機能なし）

(b) ノイズ除去機能ありの場合

インプットキャプチャ入力でノイズ除去を行う場合、インプットキャプチャ信号はノイズ除去回路を経由するため、インプットキャプチャ入力信号エッジからサンプリングクロックの5周期分遅延します。

このときのタイミングを図 9. 6. 5 に示します。

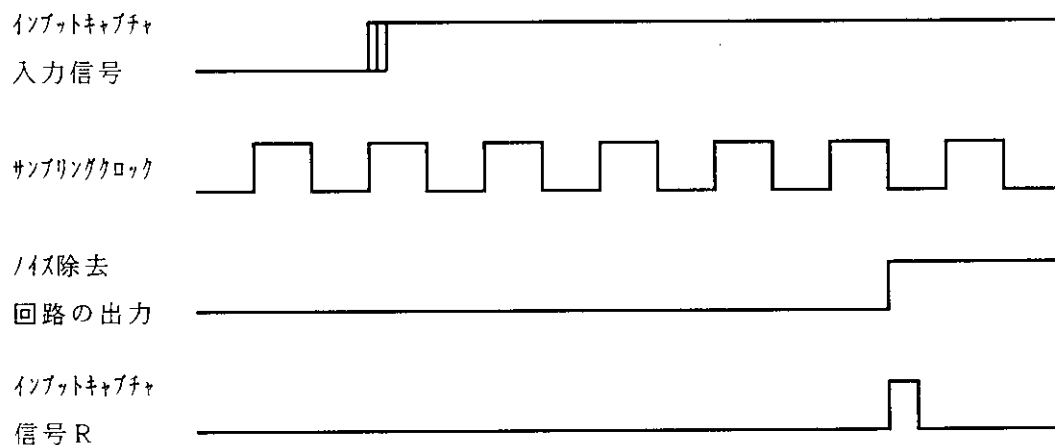


図 9. 6. 5 インプットキャプチャ入力のタイミング（ノイズ除去機能あり）

(4) インプットキャプチャ入力によるインプットキャプチャタイミング

インプットキャプチャ入力によるインプットキャプチャタイミングを図 9. 6. 6 に示します。

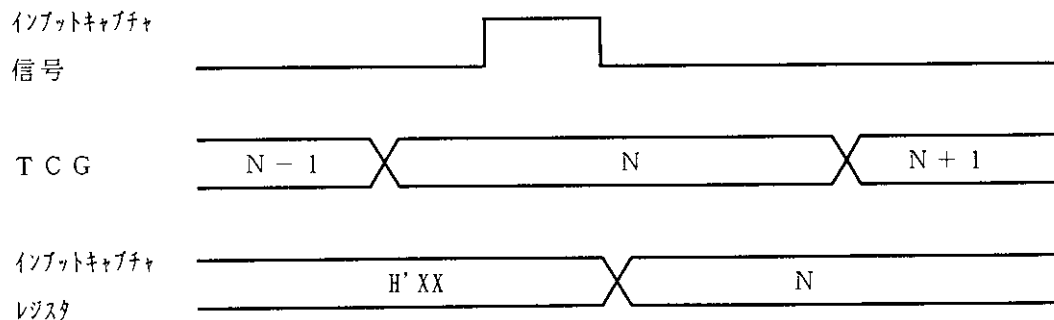


図 9. 6. 6 インプットキャプチャ入力によるインプットキャプチャタイミング

(5) TCGのクリアタイミング

TCGの値は、インプットキャプチャ入力信号の立上がりエッジ／立下がりエッジ／両エッジでクリアすることができます。

両エッジでクリアする場合のタイミングを図 9. 6. 7 に示します。

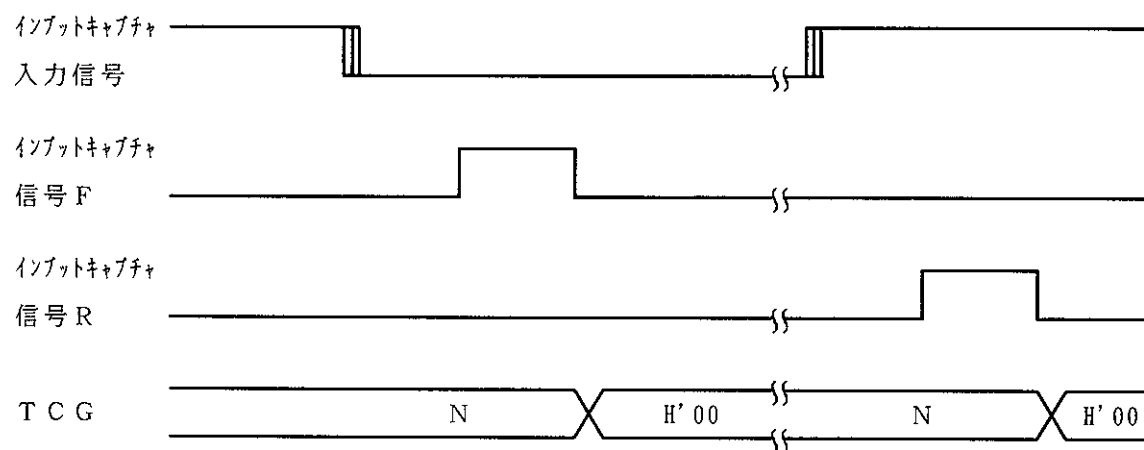


図 9. 6. 7 TCGのクリアタイミング

(6) タイマGの動作モード

タイマGの動作モードを表9.6.3に示します。

表9.6.3 タイマGの動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCG	インプットキャプチャ	リセット	動作*	動作*	停止	動作／停止*	動作／停止*	停止
	インターバル	リセット	動作*	動作*	保持	動作／停止*	動作／停止*	停止
ICRGF		リセット	動作*	動作*	保持	動作／停止*	動作／停止*	保持
ICRGR		リセット	動作*	動作*	保持	動作／停止*	動作／停止*	保持
TMG		リセット	動作	保持	保持	動作	保持	保持

【注】* アクティブモード、スリープモード時に、TCGの内部クロックとして $\phi_w/2$ を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/\phi$ (s) の誤差が生じます。また、サブアクティブモード、サブスリープモード時に、TCGの内部クロックとして $\phi_w/2$ を選択した場合、サブクロック ϕ_{sub} ($\phi_w/8$ 、 $\phi_w/4$ 、 $\phi_w/2$) に関係なくTCG、ノイズ除去回路は内部クロック $\phi_w/2$ で動作します。その他の内部クロックを選択した場合、TCG、ノイズ除去回路は動作せず、さらにインプットキャプチャ入力信号を入力してもインプットキャプチャされませんので注意してください。

9. 6. 5 使用上の注意事項

(1) 内部クロックの切換えとTCG動作

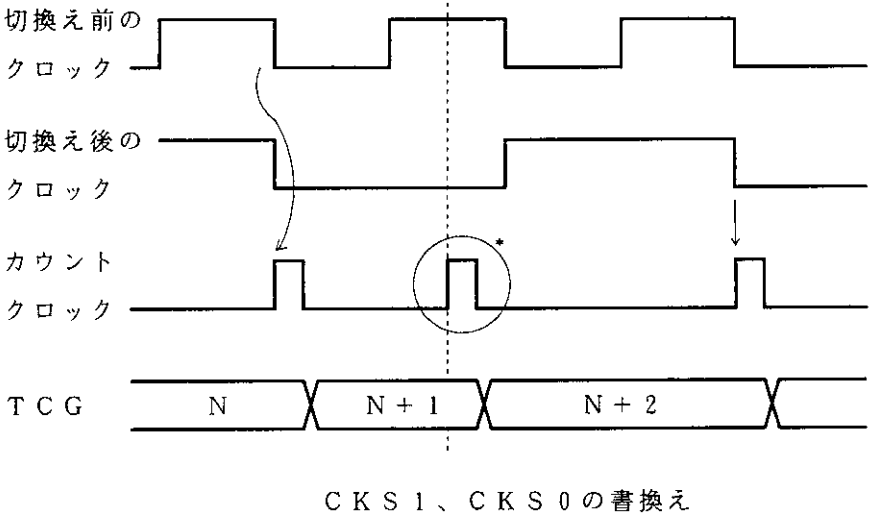
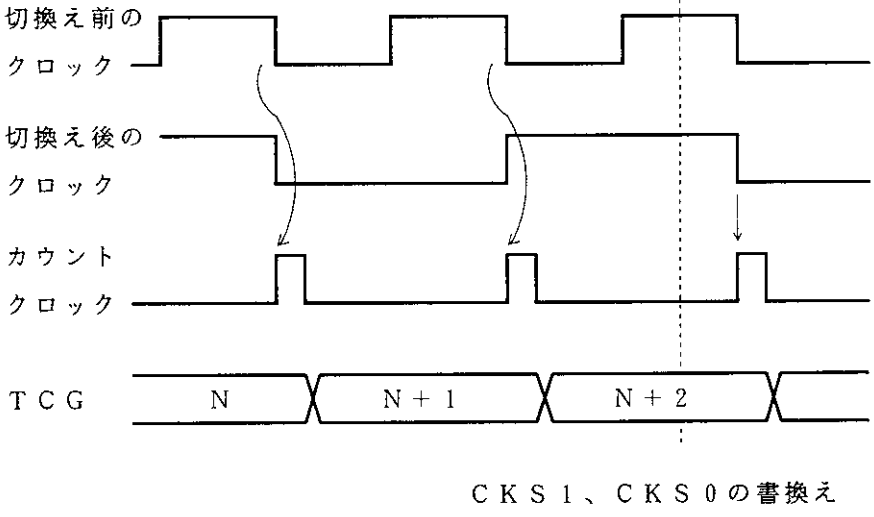
内部クロックを切り換えるタイミングによっては、TCGがカウントアップされてしまう場合があります。内部クロックの切換えタイミング（CKS1、CKS0の書換え）とTCG動作の関係を表9. 6. 4に示します。

内部クロックを使用する場合、システムクロック（ ϕ ）またはサブクロック（ ϕ_w ）を分周した内部クロックの立下がりエッジで検出してカウントクロックを発生しています。そのため表9. 6. 4のNo. 3のように切換え前のクロック“High”→切換え後のクロック“Low”レベルになるようなクロックの切換えを行うと、切換えタイミングを立下がりエッジとみなしてカウントクロックが発生し、TCGがカウントアップされてしまいます。

表 9. 6. 4 内部クロックの切換えとTCG動作(1)

No.	CKS1、CKS0 書換えタイミング	TCG動作
1	“Low” → “Low” レベルの 切換え	切換え前のクロック 切換え後のクロック カウントクロック TCG N N + 1 CKS1、CKS0の書換え
2	“Low” → “High”レベルの 切換え	切換え前のクロック 切換え後のクロック カウントクロック TCG N N + 1 N + 2 CKS1、CKS0の書換え

表 9. 6. 4 内部クロックの切換えとTCGの動作(2)

No.	CKS1、CKS0 書換えタイミング	T C G 動 作
3	“High”→ “Low”レベルの 切換え	 切換え前のクロック 切換え後のクロック カウントクロック TCG N N+1 N+2 CKS1、CKS0の書換え
4	“High”→ “High”レベルの 切換え	 切換え前のクロック 切換え後のクロック カウントクロック TCG N N+1 N+2 CKS1、CKS0の書換え

【注】＊ 切換えのタイミングを立下がりエッジとみなすために発生し、TCGはカウントアップされてしまいます。

(2) ポートモードレジスタ書き換えの注意事項

インプットキャプチャの機能切換えのために、ポートモードレジスタを書き換える際、またインプットキャプチャ入力のノイズ除去回路の機能切換えのために、ポートモードレジスタを書き換える際に以下の点に注意してください。

・インプットキャプチャ入力端子の機能切り換え

インプットキャプチャ入力端子を制御しているポートモードレジスタ1（PMR1）のTMIGを書き換えて端子機能を切り換えた場合、端子に有効なエッジが入力されていなくても、エッジが入力されたこととなりますので注意してください。インプットキャプチャ入力信号の入力エッジとその条件を表9.6.5に示します。

表 9. 6. 5 インプットキャプチャ入力端子の機能切り換えによるインプットキャプチャ入力信号の入力エッジとその条件

インプットキャプチャ入力信号の入力エッジ	条 件
立上がりエッジが発生する場合	TMIG端子が“High”レベルの状態、TMIGを“0”から“1”に書き換えたとき
	TMIG端子が“High”レベルの状態、NCSを“0”から“1”に書き換えた後、ノイズ除去回路で5回サンプリングされる前にTMIGを“0”から“1”に書き換えたとき
立下がりエッジが発生する場合	TMIG端子が“High”レベルの状態、TMIGを“1”から“0”に書き換えたとき
	TMIG端子が“Low”レベルの状態、NCSを“0”から“1”に書き換えた後、ノイズ除去回路で5回サンプリングされる前にTMIGを“0”から“1”に書き換えたとき
	TMIG端子が“High”レベルの状態、NCSを“0”から“1”に書き換えた後、ノイズ除去回路で5回サンプリングされた後にTMIGを“1”から“0”に書き換えたとき

【注】P1。端子がインプットキャプチャ入力端子に設定されていない場合、タイマGのインプットキャプチャ入力信号は“Low”レベルとなっています。

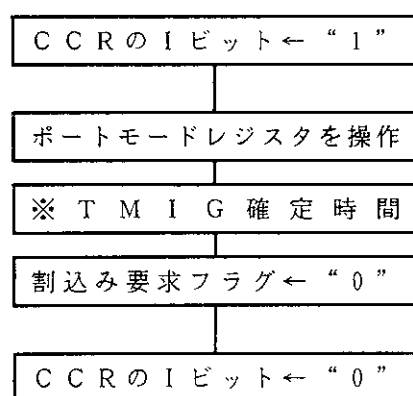
・インプットキャプチャ入力のノイズ除去回路の機能切り換え

インプットキャプチャ入力のノイズ除去回路を制御しているポートモードレジスタ2（PMR2）のNCSを書き換えて機能切り換えを行う場合、TMIGを“0”にして行ってください。それ以外で書き換えた場合、端子に有効なエッジが入力されていなくても、エッジが入力されたこととなりますので注意してください。インプットキャプチャ入力信号の入力エッジとその条件を表9.6.6に示します。

表 9. 6. 6 ノイズ除去回路の機能切り換えによるインプットキャプチャ入力信号の入力エッジとその条件

インプットキャプチャ入力信号の入力エッジ	条 件
立上がりエッジが発生する場合	T M I G が “ 1 ” の状態でTMIG端子を “Low” レベルから “High” レベルにした後、ノイズ除去回路で 5 回サンプリングする前に N C S を “ 0 ” から “ 1 ” に書き換えたとき
立下がりエッジが発生する場合	T M I G が “ 1 ” の状態でTMIG端子を “High” レベルから “Low” レベルにした後、ノイズ除去回路で 5 回サンプリングする前に N C S を “ 1 ” から “ 0 ” に書き換えたとき

端子機能を切り換え、インプットキャプチャ入力信号にエッジが発生した場合、このエッジとインプットキャプチャインタラプトエッジセレクト (I I E G S) ビットによるエッジ選択とが一致した時、割込み要求フラグが “ 1 ” にセットされますので、割込み要求フラグを “ 0 ” にクリアしてから使用してください。ポートモードレジスタの操作と割込み要求フラグのクリア手順を図 9. 6. 8 に示します。端子機能を切り換える場合、ポートモードレジスタの操作前に割込み禁止状態にしてポートモードレジスタを切換え、ポートモードレジスタ操作後、インプットキャプチャ入力信号がインプットキャプチャ信号として確定するための期間 (ノイズ除去回路を使用しない場合は 2 システムクロック以上、ノイズ除去回路を使用する場合はサンプリングクロックの 5 倍以上) 待ってから、 “ 1 ” にセットされた割込み要求フラグを “ 0 ” にクリアしてください。なお、端子機能切換えに伴う割込み要求フラグのセットを回避する方法として表 9. 6. 5、表 9. 6. 6 の条件を満たさないように端子のレベルを制御する方法、または発生するエッジと反対のエッジに T M I G の I I E G S ビットを設定して制御する方法もあります。



割込み禁止状態にする。(割込み許可レジスタ 2 の割込みイネーブルを操作して割込み禁止状態にしても良い。)

ポートモードレジスタを操作した後、※ T M I G の確定期間 (ノイズ除去回路を使用しない場合は 2 システムクロック以上、ノイズ除去回路を使用する場合はサンプリングクロックの 5 倍以上) 待ってから割込み要求フラグを “ 0 ” にクリアする。

割込み許可状態にする。

図 9. 6. 8 ポートモードレジスタの操作と割込み要求フラグのクリア手順

9. 6. 6 タイマ G の使用例

タイマ G を使用すると、インプットキャプチャ入力信号の“High”幅、“Low”幅を絶対値で測定することができます。設定は、TMG の CCLR1、CCLR0 をそれぞれ“1”にセットします。

このときの動作例を図 9. 6. 9 に示します。

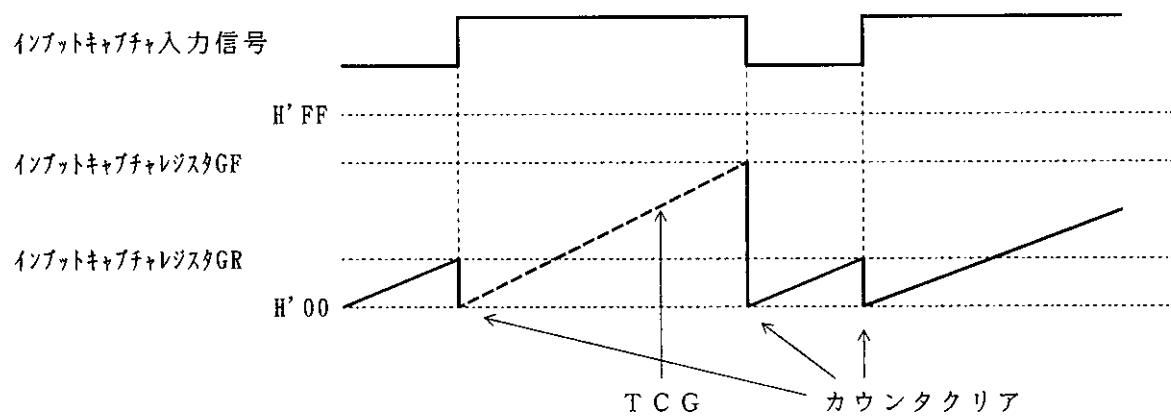


図 9. 6. 9 タイマ G の使用例

10. シリアルコミュニケーション インタフェース

第10章 目次

10.1	概要	10-1
10.2	SC11	10-2
10.2.1	概要	10-2
10.2.2	各レジスタの説明	10-5
10.2.3	動作説明	10-9
10.2.4	割込み要因	10-11
10.2.5	使用上の注意事項	10-11
10.3	SC12	10-12
10.3.1	概要	10-12
10.3.2	各レジスタの説明	10-15
10.3.3	動作説明	10-20
10.3.4	割込み要因	10-27
10.3.5	使用上の注意事項	10-27
10.4	SC13	10-28
10.4.1	概要	10-28
10.4.2	各レジスタの説明	10-31
10.4.3	動作概要	10-48
10.4.4	調歩同期式モード時の動作説明	10-52
10.4.5	クロック同期式モード時の動作説明	10-61
10.4.6	マルチプロセッサ通信機能	10-68
10.4.7	割込み要因	10-73
10.4.8	使用上の注意事項	10-74

10.1 概要

本 L S I は、3 チャンネルのシリアルコミュニケーションインタフェース（S C I : Serial Communication Interface）を備えています。

3 チャンネルの S C I の機能概要を表10.1.1に示します。

表10.1.1 S C I の機能概要

S C I の名称	機 能	特 長
S C I 1	<u>クロック同期式シリアル転送機能</u> ・転送データ長を選択可能（8ビット／16ビット） ・クロック連続出力機能	・8種類の内部クロック（ $\phi/1024 \sim \phi/2$ ）と外部クロックを選択可能 ・オープンドレイン出力可能 ・転送完了で割込み発生
S C I 2	<u>クロック同期式シリアル転送機能</u> ・32バイトデータの自動転送（送信／受信／同時送受信） ・チップセレクト入力機能 ・ストロブパルス出力機能	・7種類の内部クロック（ $\phi/256 \sim \phi/2$ ）と外部クロックを選択可能 ・オープンドレイン出力可能 ・転送完了またはエラーで割込み発生
S C I 3	<u>クロック同期式シリアル転送機能</u> ・転送データ長 8 ビット ・送信／受信／同時送受信 <u>調歩同期式シリアル転送機能</u> ・マルチプロセッサ通信機能 ・転送データ長を選択可能（7ビット／8ビット） ・ストップビット長を選択可能（1ビット／2ビット） ・パリティ付加機能	・ボーレートジェネレータ内蔵 ・受信エラーの検出 ・ブレークの検出 ・転送完了またはエラーで割込み発生

10.2 S C I 1

10.2.1 概要

S C I 1（シリアルコミュニケーションインタフェース1）は、8ビット／16ビットデータのクロック同期式シリアル転送を行います。

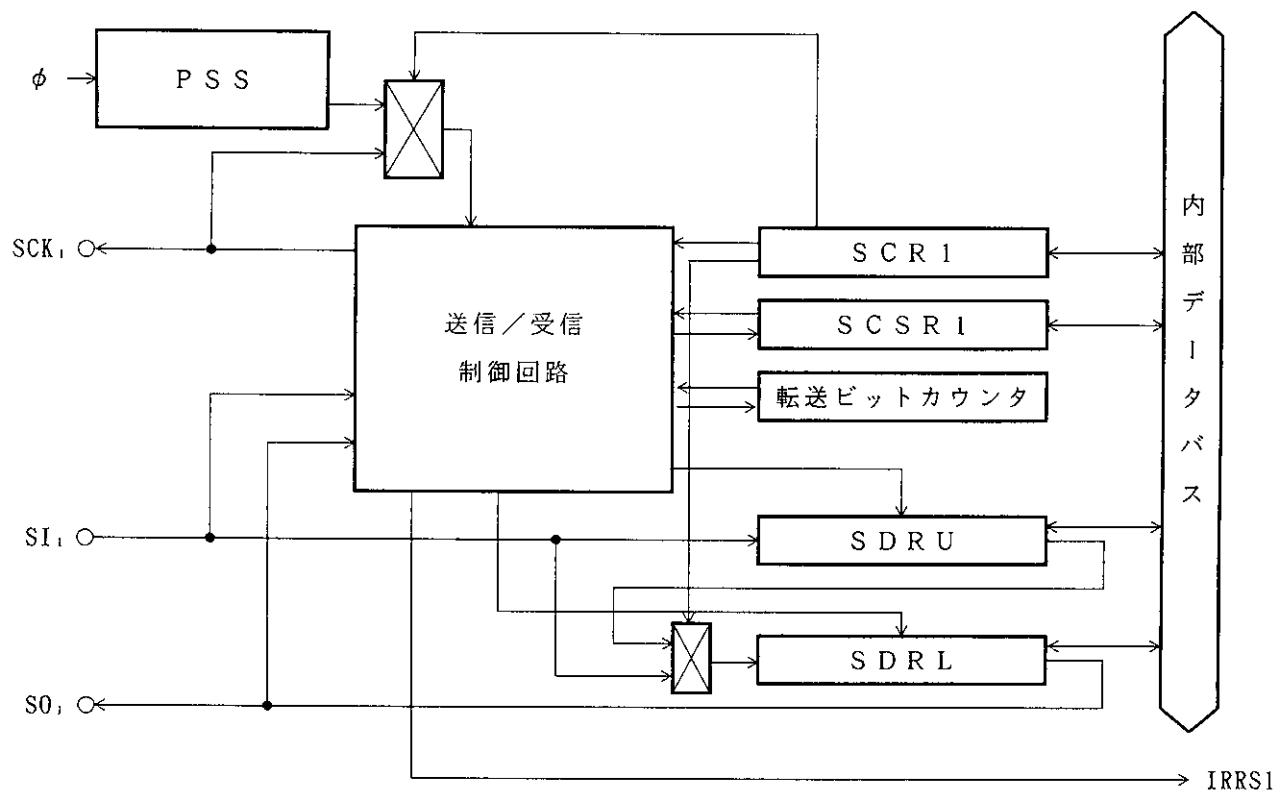
(1) 特 長

S C I 1の特長を以下に示します。

- 8ビットおよび16ビットの転送データ長を選択可能
- クロックソースとして8種類の内部クロック（ $\phi/1024$ 、 $\phi/256$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$ 、 $\phi/2$ ）と外部クロックが選択可能
- 転送の完了で割込み要求を発生

(2) ブロック図

SCI1のブロック図を図10.2.1に示します。



<記号説明>

- SCR1 : シリアルコントロールレジスタ1
- SCSR1 : シリアルコントロールステータスレジスタ1
- SDRU : シリアルデータレジスタU
- SDRL : シリアルデータレジスタL
- IRRS1 : シリアル1割込み要求フラグ
- PSS : プリスケアラS

図10.2.1 SCI1のブロック図

(3) 端子構成

S C I 1 の端子構成を表10.2.1に示します。

表10.2.1 端子構成

名 称	略 称	入出力	機 能
S C I 1 クロック	SCK ₁	入出力	S C I 1 のクロック入出力端子
S C I 1 データ入力	SI ₁	入 力	S C I 1 の受信データ入力端子
S C I 1 データ出力	SO ₁	出 力	S C I 1 の送信データ出力端子

(4) レジスタ構成

S C I 1 のレジスタ構成を表10.2.2に示します。

表10.2.2 レジスタ構成

名 称	略 称	R / W	初期値	アドレス
シリアルコントロールレジスタ 1	S C R 1	R / W	H' 00	H' FFA0
シリアルコントロールステータスレジスタ 1	S C S R 1	R / W	H' 80	H' FFA1
シリアルデータレジスタ U	S D R U	R / W	不定	H' FFA2
シリアルデータレジスタ L	S D R L	R / W	不定	H' FFA3

10.2.2 各レジスタの説明

(1) シリアルコントロールレジスタ 1 (S C R 1)

ビット：	7	6	5	4	3	2	1	0
	SNC1	SNC0	—	—	CKS3	CKS2	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

S C R 1 は、8 ビットのリード／ライト可能なレジスタで、動作モード、転送クロックソースとブリスケーラ分周比を制御します。

リセット時、S C R 1 はH'00にイニシャライズされます。転送中に本レジスタに書込みを行うと転送を中止します。

ビット 7、6：動作モード選択 1、0 (S N C 1、S N C 0)

動作モードを選択します。

ビット 7 S N C 1	ビット 6 S N C 0	説 明
0	0	8 ビットクロック同期モード (初期値)
0	1	16 ビットクロック同期モード
1	0	クロック連続出力モード* ¹
1	1	リザーブ* ²

【注】*¹ SI_i、SO_i端子はポートとして使用してください。

*² SNC1、SNC0に“11”を設定しないでください。

ビット 5、4：リザーブビット

リード／ライト可能なリザーブビットです。

ビット 3：クロックソース選択 3 (C K S 3)

供給するクロックソースの選択とSCK_i端子の入出力の設定を行います。

ビット 3 C K S 3	説 明
0	クロックソースはブリスケーラ S、SCK _i 端子は出力 (初期値)
1	クロックソースは外部クロック、SCK _i 端子は入力

ビット2～0：クロック選択2～0（CKS2～CKS0）

CKS3が“0”の場合、プリスケアラ分周比と転送クロック周期を選択します。

ビット2	ビット1	ビット0	プリスケアラ分周比	転送クロック周期	
CKS2	CKS1	CKS0		$\phi = 5\text{MHz}$	$\phi = 2.5\text{MHz}$
0	0	0	$\phi / 1024$ （初期値）	204.8 μs	409.6 μs
0	0	1	$\phi / 256$	51.2 μs	102.4 μs
0	1	0	$\phi / 64$	12.8 μs	25.6 μs
0	1	1	$\phi / 32$	6.4 μs	12.8 μs
1	0	0	$\phi / 16$	3.2 μs	6.4 μs
1	0	1	$\phi / 8$	1.6 μs	3.2 μs
1	1	0	$\phi / 4$	0.8 μs	1.6 μs
1	1	1	$\phi / 2$	—	0.8 μs

(2) シリアルコントロールステータスレジスタ1（SCSR1）

ビット：	7	6	5	4	3	2	1	0
	—	SOL	ORER	—	—	—	—	STF
初期値：	1	0	0	0	0	0	0	0
R/W：	—	R/W	R/(W)*	—	—	—	R/W	R/W

【注】* フラグをクリアするための“0”ライトのみ可能です。

SCSR1は、動作状態、エラー状態などを示す8ビットのレジスタです。

リセット時、SCSR1はH'80にイニシャライズされます。

ビット7：リザーブビット

リザーブビットです。本ビットはリードすると常に“1”が読み出されます。ライトは無効です。

ビット6：拡張データビット（SOL）

SOLはS0_i端子の出力レベルを変更します。また、リードするとS0_i端子の出力レベルが読み出されます。送信完了後のS0_i端子の出力は、送信データの最終ビットの値を保持しますが、送信前または送信後に本ビットを操作して、S0_i端子の出力レベルを変更することができます。ただし、次の送信が開始するとSOLビットの設定は無効となります。したがって送信完了後のS0_i端子の出力レベルを変更する場合には送信完了ごとにSOLビットに対するライト操作を行ってください。なお、データ転送中に本レジスタにライトすると誤動作の原因になりますので送信中は操作しないでください。

ビット 6	説 明	
S O L		
0	リード時	S0 _i 端子出力が“Low”レベル (初期値)
	ライト時	S0 _i 端子出力を“Low”レベルに変更
1	リード時	S0 _i 端子出力が“High”レベル
	ライト時	S0 _i 端子出力を“High”レベルに変更

ビット 5 : オーバランエラーフラグ (O R E R)

O R E R は外部クロック使用時、オーバランエラーが発生したことを示します。転送中に外来雑音などにより正規の転送クロックに余分なパルスが重ね合わされた場合、転送データは保証できません。転送完了後もクロックが入力された場合、オーバラン状態であるとして、本ビットが“1”にセットされます。

ビット 5	説 明	
O R E R		
0	〔クリア条件〕 (初期値) “1”をリード後、“0”をライトしたとき	
1	〔セット条件〕 外部クロック使用時、転送完了後もクロックが入力されたとき	

ビット 4 ～ 2 : リザーブビット

リザーブビットです。各ビットはリードすると“0”が読み出されます。ライトは無効です。

ビット 1 : リザーブビット

リザーブビットです。本ビットは“0”で使用してください。

ビット 0 : スタートフラグ (S T F)

S T F は、転送動作の開始を制御します。本ビットに“1”をセットすると S C I 1 の転送動作を開始します。

本ビットは、転送中とスタートビット待ち状態時は“1”を保持し、転送終了後に“0”にクリアされます。このため、ビジーフラグとして使用できます。

ビット 0	説 明	
S T F		
0	リード時	転送動作は停止 (初期値)
	ライト時	無効
1	リード時	転送動作中
	ライト時	転送動作を開始

(3) シリアルデータレジスタU (SDRU)

ビット:	7	6	5	4	3	2	1	0
	SDRU7	SDRU6	SDRU5	SDRU4	SDRU3	SDRU2	SDRU1	SDRU0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SDRUは、8ビットのリード/ライト可能なレジスタで、16ビット転送時に上位8ビットのデータレジスタとして使用します (SDRLが下位8ビット)。

SDRUに書き込まれたデータは、SDRLにLSBファーストで出力されます。入れ替わりにSI_i端子よりLSBファーストでデータが入力されて、MSB→LSB方向にデータがシフトします。

SDRUのリード/ライトは、データの送信/受信が完了してから行う必要があります。データの送信/受信中にリード/ライトを行うとデータの内容は保証されません。

SDRUのリセット時の値は不定です。

(4) シリアルデータレジスタL (SDRL)

ビット:	7	6	5	4	3	2	1	0
	SDRL7	SDRL6	SDRL5	SDRL4	SDRL3	SDRL2	SDRL1	SDRL0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SDRLは、8ビットのリード/ライト可能なレジスタで、8ビット転送時のデータレジスタ、および16ビット転送時の下位8ビットのデータレジスタとして使用します (SDRUが上位8ビット)。

8ビット転送時、SDRLに書き込まれたデータは、SO_i端子よりLSBファーストで出力されます。入れ替わりにSI_i端子よりLSBファーストで入力されて、MSB→LSB方向にデータがシフトします。

16ビット転送時には、入力データがSDRUより取り込まれることを除けば、8ビット転送時と同様の動作となります。

SDRLのリード/ライトは、データの送信/受信が完了してから行う必要があります。データの送信/受信中にリード/ライトを行うとデータの内容は保証されません。

SDRLのリセット時の値は不定です。

10.2.3 動作説明

送信／受信フォーマットは8ビットおよび16ビットの転送データを選択可能です。クロックソースは、内部クロックと外部クロックを選択できます。外部クロック使用時はオーバランエラーの検出ができます。

(1) クロック

転送クロックは、8種類の内部クロックと外部クロックから選択できます。内部クロックを選択した場合は、SCK₁端子はクロック出力端子となります。クロック連続出力モード（S C R 1のS N C 1、S N C 0を“10”）に設定するとC K S 2～C K S 0で選択したクロック（ $\phi/1024 \sim \phi/2$ ）をSCK₁端子から連続して出力します。外部クロックを選択した場合は、SCK₁端子はクロック入力端子となります。

(2) データ転送フォーマット

S C I 1の転送フォーマットを図10.2.2に示します。データの最下位ビットから送受信されるL S Bファースト方式による転送を行います。送信データは転送クロックの立下がりから次の立下がりまで出力されます。また、受信データは転送クロックの立上がりで取り込まれます。

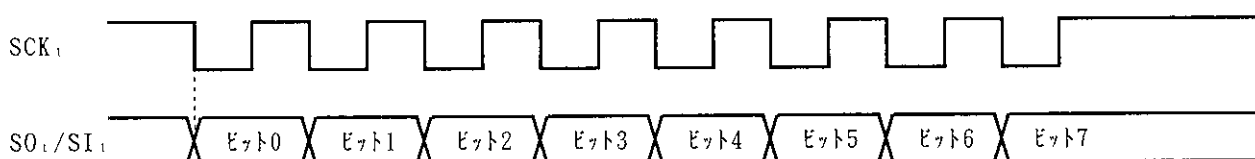


図10.2.2 転送フォーマット

(3) データの転送動作

(a) 送信動作

送信動作は次のように行われます。

- ① PMR 3 の S O 1 を “1”、S C K 1 を “1” としてそれぞれ S O_i 端子、S C K_i 端子に設定します。
また、必要に応じて、PMR 2 の P O F 1 により、S O_i 端子を N M O S オープンドレイン出力とします。
- ② S C R 1 の S N C 1 を “0” とし、S N C 0 を “0” または “1” として 8 ビットクロック同期方式か 16 ビットクロック同期方式に設定し、C K S 3 ～ C K S 0 で転送クロックを選択します。
S C R 1 へデータの書込みを行うと S C I 1 の内部状態はイニシャライズされます。
- ③ S D R L、S D R U に転送データを書き込みます。
8 ビット転送モード：S D R L
16 ビット転送モード：上位バイト S D R U、下位バイト S D R L
- ④ S C S R 1 の S T F を “1” にすると、S C I 1 は動作を開始し、S O_i 端子から送信データが出力されます。
- ⑤ 送信完了後、I R R 1 の I R R S 1 が “1” にセットされます。

内部クロックを使用する場合は、送信データの出力と同時に S C K_i 端子から同期クロックが出力されます。送信が終了すると、次にスタートフラグを “1” にセットするまで同期クロックは出力されません。この間、S O_i 端子は直前のデータの最終ビットの値を出力し続けます。

外部クロックを使用する場合には、S C K_i 端子から入力されるクロックに同期してデータを送信します。送信終了後、引き続き同期クロックが入力されると、送信動作は行われず、オーバラン状態であるとして、S C S R 1 の O R E R が “1” にセットされます。

送信停止中の S O_i 端子の出力値は、S C S R 1 の S O L により変更することができます。

(b) 受信動作

受信動作は次のように行われます。

- ① PMR 3 の S I 1 を “1”、S C K 1 を “1” としてそれぞれ S I_i 端子、S C K_i 端子に設定します。
- ② S C R 1 の S N C 1 を “0” とし、S N C 0 を “0” または “1” として 8 ビットクロック同期方式か 16 ビットクロック同期方式に設定し、C K S 3 ～ C K S 0 で転送クロックを選択します。
S C R 1 へのデータの書込みを行うと S C I 1 の内部状態はイニシャライズされます。
- ③ S C S R 1 の S T F を “1” にすると、S C I 1 は動作を開始し、S I_i 端子から受信データを取り込みます。
- ④ 受信完了後、I R R 1 の I R R S 1 が “1” にセットされます。
- ⑤ S D R L、S D R U から受信データを読み出します。
8 ビット転送モード：S D R L
16 ビット転送モード：上位バイト S D R U、下位バイト S D R L
- ⑥ 受信終了後、引き続き同期クロックが入力されると、受信動作は行われず、オーバラン状態であるとして、S C S R 1 の O R E R が “1” にセットされます。

(c) 同時送受信動作

同時送受信動作は次のように行われます。

- ① PMR 3 の S O 1 を “ 1 ” 、 S I 1 を “ 1 ” 、 S C K 1 を “ 1 ” としてそれぞれ S0_i 端子、SI_i 端子、SCK_i 端子に設定します。また、必要に応じて PMR 2 の P O F 1 により、S0_i 端子を N M O S オープンドレイン出力とします。
- ② S C R 1 の S N C 1 を “ 0 ” とし、S N C 0 を “ 0 ” または “ 1 ” として 8 ビットクロック同期方式か 16 ビットクロック同期方式に設定し、C K S 3 ～ C K S 0 で転送クロックを選択します。S C R 1 へのデータの書き込みを行うと S C I 1 の内部状態はイニシャライズされます。
- ③ S D R L 、 S D R U に転送データを書き込みます。
8 ビット転送モード：S D R L
16 ビット転送モード：上位バイト S D R U 、下位バイト S D R L
- ④ S C S R 1 の S T F を “ 1 ” にすると、S C I 1 は動作を開始し、S0_i 端子から送信データが出力され、また SI_i 端子から受信データが入力されます。
- ⑤ 送受信完了後、I R R 1 の I R R S 1 が “ 1 ” にセットされます。
- ⑥ S D R L 、 S D R U から受信データを読み出します。
8 ビット転送モード：S D R L
16 ビット転送モード：上位バイト S D R U 、下位バイト S D R L

内部クロックを使用する場合は、送信データの出力と同時に SCK_i 端子から同期クロックが出力されます。送信が終了すると、次にスタートフラグを “ 1 ” にセットするまで同期クロックは出力されません。この間、S0_i 端子は直前のデータの最終ビットの値を出力し続けます。

外部クロックを使用する場合には、SCK_i 端子から入力されるクロックに同期してデータを送受信します。送受信終了後、引き続き同期クロックが入力されると、送受信動作は行われず、オーバーラン状態であるとして、S C S R 1 の O R E R が “ 1 ” にセットされます。

送信停止中の S0_i 端子の出力値は、S C S R 1 の S O L により変更することができます。

10.2.4 割込み要因

S C I 1 の割込み要因には、転送完了があります。

S C I 1 が、転送完了すると、I R R 1 の I R R S 1 が “ 1 ” にセットされます。S C I 1 の割込み要求は、I E N R 1 の I E N S 1 により許可／禁止を選択できます。

詳細は、「3.3 割込み」を参照してください。

10.2.5 使用上の注意事項

SCK_i 端子を入力に設定し、クロックソースとして外部クロックを選択して使用する場合、S C S R 1 の S T F に “ 1 ” をライトして転送動作を開始する前に外部クロックを入力しないでください。

10.3 S C I 2

10.3.1 概要

S C I 2（シリアルコミュニケーションインタフェース 2）は、32バイトのデータバッファをもち、1回の操作で32バイト分のクロック同期式シリアル転送を行います。

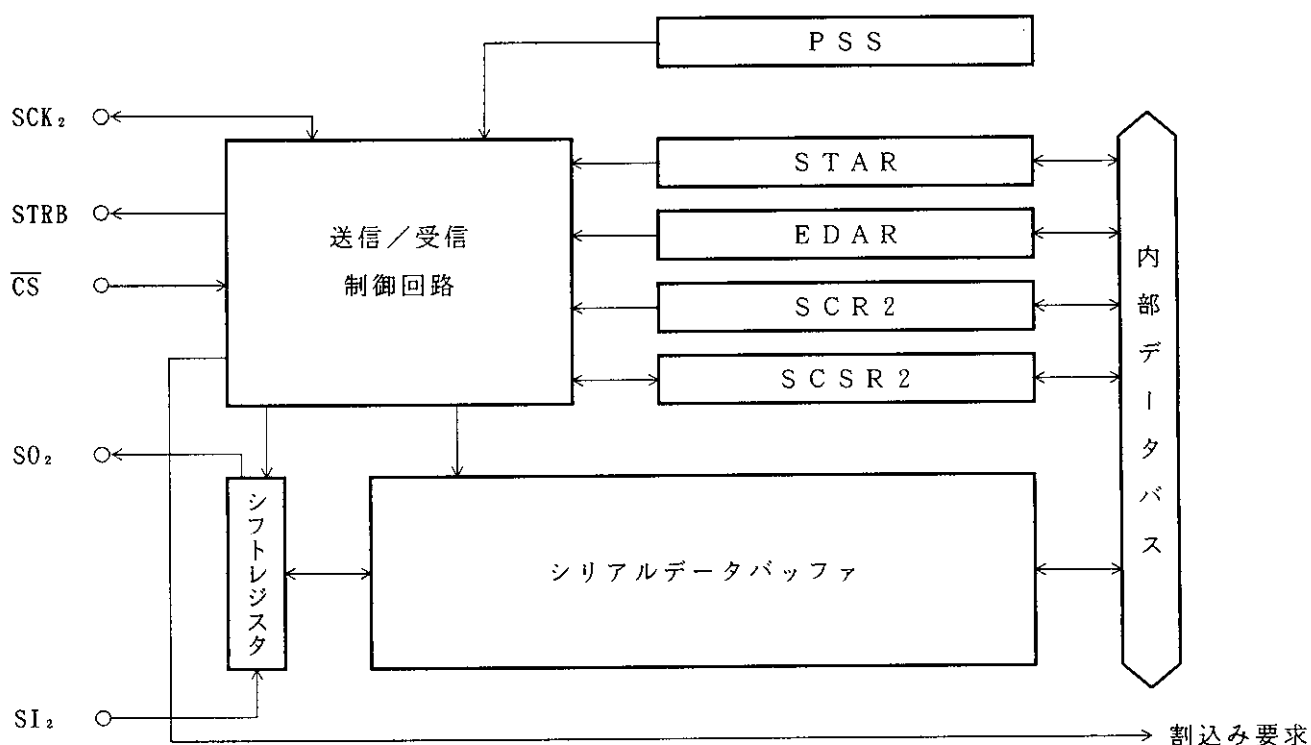
(1) 特 長

S C I 2の特長を以下に示します。

- 32バイトのデータを自動的に転送可能
- クロックソースとして7種類の内部クロック（ $\phi/256$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$ 、 $\phi/2$ ）と外部クロックが選択可能
- 転送の完了、またはエラーで割込みを発生
- 1バイトごとに転送データ間隔の設定が可能
 - 1バイトごとに転送データ間隔を空けることができます。間隔は内部クロック周期の56倍、24倍、8倍を選択可能です。
- チップセレクト入力で転送開始の制御が可能
- 1バイト転送ごとにストローブパルスを出力

(2) ブロック図

S C I 2 のブロック図を図10.3.1に示します。



<記号説明>

STAR : 先頭アドレスレジスタ

EDAR : 終了アドレスレジスタ

IRRS2 : シリアルコミュニケーションインタフェース2 割り込み要求フラグ
(割り込み要求レジスタ2)

PSS : プリスケアラS

図10.3.1 S C I 2 のブロック図

(3) 端子構成

S C I 2 の端子構成を表10.3.1に示します。

表10.3.1 端子構成

名 称	略 称	入出力	機 能
S C I 2 クロック	SCK ₂	入出力	S C I 2 のクロック入出力端子
S C I 2 データ入力	SI ₂	入 力	S C I 2 の受信データ入力端子
S C I 2 データ出力	SO ₂	出 力	S C I 2 の送信データ出力端子
S C I 2 ストローブ	STRB	出 力	S C I 2 のストローブ信号出力端子
S C I 2 チップセレクト	CS	入 力	S C I 2 のチップセレクト信号入力端子

(4) レジスタ構成

S C I 2 のレジスタ構成を表10.3.2に示します。

表10.3.2 レジスタ構成

名 称	略 称	R / W	初期値	アドレス
先頭アドレスレジスタ	S T A R	R / W	H' E0	H' FFA4
終了アドレスレジスタ	E D A R	R / W	H' E0	H' FFA5
シリアルコントロールレジスタ 2	S C R 2	R / W	H' E0	H' FFA6
シリアルコントロールステータスレジスタ 2	S C S R 2	R / W	H' E0	H' FFA7
シリアルデータバッファ (32バイト)	—	R / W	不定	H' FF80 ~ H' FF9F

10.3.2 各レジスタの説明

(1) 先頭アドレスレジスタ (S T A R)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	STA4	STA3	STA2	STA1	STA0
初期値:	1	1	1	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W

S T A Rは、8ビットのリード／ライト可能なレジスタで、32バイトデータバッファが割り付けられているアドレス空間 (H'FF80～H'FF9F) 中の転送開始アドレスを指定します。S T A Rの下位5ビットが、32バイトバッファのアドレスの下位5ビットに対応しています。S T A RとE D A Rで、データの連続転送を行う範囲を指定します。S T A RとE D A Rの値が等しいときは1バイトのみ転送を行います。

S T A Rのビット7～5はリザーブビットであり、ライトは無効です。各ビットはリードすると常に“1”が読み出されます。

リセット時、S T A RはH'E0にイニシャライズされます。

(2) 終了アドレスレジスタ (E D A R)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	EDA4	EDA3	EDA2	EDA1	EDA0
初期値:	1	1	1	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W

E D A Rは、8ビットのリード／ライト可能なレジスタで、32バイトデータバッファが割り付けられているアドレス空間 (H'FF80～H'FF9F) 中の転送終了アドレスを指定します。E D A Rの下位5ビットが、32バイトバッファのアドレスの下位5ビットに対応しています。E D A RとS T A Rで、データの連続転送を行う範囲を指定します。S T A RとE D A Rの値が等しいときは1バイトのみ転送を行います。

E D A Rのビット7～5はリザーブビットであり、ライトは無効です。各ビットはリードすると常に“1”が読み出されます。

リセット時、E D A RはH'E0にイニシャライズされます。

(3) シリアルコントロールレジスタ 2 (S C R 2)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	GAP1	GAP0	CKS2	CKS1	CKS0
初期値:	1	1	1	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W

S C R 2 は、8 ビットのリード/ライト可能なレジスタで、S C I 2 の内部クロック使用時の転送データ間隔と転送クロックを選択します。

リセット時、S C R 2 はH'E0にイニシャライズされます。

ビット 7 ~ 5 : リザーブビット

リザーブビットです。各ビットはリードすると常に“1”が読み出されます。ライトは無効です。

ビット 4、3 : 転送データ間隔選択 1、0 (G A P 1、G A P 0)

内部クロックを使用する場合、1 バイトごとにデータ間隔を空けることができます。そのとき、SCK₂端子は“High”レベルを保持します。転送データ間隔なしの場合は、STRB信号は“Low”レベルを保持します。

ビット 4	ビット 3	説 明
G A P 1	G A P 0	
0	0	転送データ間隔なし (初期値)
0	1	データ間隔 : 8 クロック分
1	0	データ間隔 : 24 クロック分
1	1	データ間隔 : 56 クロック分

ビット 2 ~ 0 : 転送クロック選択 2 ~ 0 (C K S 2 ~ C K S 0)

転送クロックを選択します。

ビット 2	ビット 1	ビット 0	SCK ₂ 端子	クロック ソース	プリスケ-ラ 分 周 比	転送クロック周期	
C K S 2	C K S 1	C K S 0				$\phi = 5\text{MHz}$	$\phi = 2.5\text{MHz}$
0	0	0	SCK ₂ 出力	プリスケ-ラ S	$\phi / 256$ (初期値)	51.2 μs	102.4 μs
0	0	1			$\phi / 64$	12.8 μs	25.6 μs
0	1	0			$\phi / 32$	6.4 μs	12.8 μs
0	1	1			$\phi / 16$	3.2 μs	6.4 μs
1	0	0			$\phi / 8$	1.6 μs	3.2 μs
1	0	1			$\phi / 4$	0.8 μs	1.6 μs
1	1	0			$\phi / 2$	—	0.8 μs
1	1	1	SCK ₂ 入力	外部クロック	—	—	—

(4) シリアルコントロールステータスレジスタ 2 (SCSR2)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	SOL	ORER	WT	ABT	STF
初期値:	1	1	1	0	0	0	0	0
R/W:	—	—	—	R/W	R/(W)*	R/(W)*	R/(W)*	R/W

【注】* フラグをクリアするための“0”ライトのみ可能です。

SCSR2は、SCI2の動作状態、エラー状態などを示す8ビットのレジスタです。

リセット時、SCSR2はH'E0にイニシャライズされます。

ビット7～5：リザーブビット

リザーブビットです。各ビットはリードすると常に“1”が読み出されます。ライトは無効です。

ビット4：拡張データビット (SOL)

SOLはS0₂端子の出力レベルを変更します。また、リードするとS0₂端子に出力している送信データが読み出されます。送信完了後のS0₂端子の出力は、送信データの最終ビットの値を保持しますが、送信前または送信後に本ビットを操作して、S0₂端子の出力レベルを変更することができます。ただし、次の送信が開始するとSOLビットの設定は無効となります。したがって送信完了後のS0₁端子の出力レベルを変更する場合には送信終了ごとにSOLビットに対するライト操作を行ってください。なお、データ転送中にSTFを“0”にクリアして強制終了した場合には、ライトしたタイミングで送信データが変更されますので注意してください。

ビット4	説 明	
SOL		
0	リード時	S0 ₂ 端子出力が“Low”レベル (初期値)
	ライト時	S0 ₂ 端子出力を“Low”レベルに変更
1	リード時	S0 ₂ 端子出力が“High”レベル
	ライト時	S0 ₂ 端子出力を“High”レベルに変更

ビット3：オーバランエラーフラグ (ORER)

ORERは外部クロック使用時、オーバランエラーが発生したことを示します。転送中に外来雑音などにより正規の転送クロックに余分なパルスが重ね合わされた場合、転送データは保証できません。転送完了後もクロックが☐入力された場合、オーバラン状態であるとして、本ビットが“1”にセットされます。ただし、CS端子が“High”レベルのときはオーバランの検出を行いません。

ビット 3	説 明
ORER	
0	〔クリア条件〕 “1”をリード後、“0”をライトしたとき (初期値)
1	〔セット条件〕 外部クロック使用時、転送完了後もクロックが入力されたとき

ビット 2 : ウェイトフラグ (WT)

WTは転送中とCS入力待機中に、シリアルデータバッファ（32バイト）へのリード／ライトが行われたことを示します。なお、そのときの命令は無視され、本ビットが“1”にセットされます。

ビット 2	説 明
WT	
0	〔クリア条件〕 “1”をリード後、“0”をライトしたとき (初期値)
1	〔セット条件〕 転送中とCS入力待機中にシリアルデータバッファ（32バイト）へのリード／ライトが行われたとき

ビット 1 : アボートフラグ (ABT)

ABTは転送中にCS端子が“High”レベルになったことを示します。CS入力に設定されている状態で、転送中にCS端子の“High”レベルを検出すると、転送は直ちに中止され、本ビットが“1”にセットされます。同時に、IRR2のIRRS2が“1”にセットされ、SCK₂端子とS0₂端子はハイインピーダンス状態になります。このとき、SCSR2以外の内部レジスタおよびシリアルデータバッファ（32バイト）の値は保持されます。

本ビットが“1”にセットされた状態では転送は行えません。“0”にクリアした後、転送を再開してください。

ビット 1	説 明
ABT	
0	〔クリア条件〕 “1”をリード後、“0”をライトしたとき (初期値)
1	〔セット条件〕 転送中にCS端子が“High”レベルになったとき

ビット0：スタートフラグ（S T F）

S T Fは、転送動作の開始を制御します。本ビットに“1”をセットすると、P M R 2のC Sが“0”の場合、S C I 2の転送動作を開始します。P M R 2のC Sが“1”の場合、CS端子の“Low”レベルを検出して転送を開始します。本ビットは、転送中とCS入力待機中は“1”を保持し、転送終了後およびCS端子による転送中止時に“0”にクリアされます。このため、ビジーフラグとして使用できます。転送中に本ビットを“0”にクリアすると、転送は途中で打ち切られます。このとき、S C S R 2以外の内部レジスタおよびシリアルデータバッファ（32バイト）の内容は保持されます。

ビット0	説 明	
S T F		
0	リード時	転送動作は停止（初期値）
	ライト時	転送動作を中止
1	リード時	転送動作中、またはCS入力待機中
	ライト時	転送動作を開始

10.3.3 動作説明

S C I 2 は、32バイトのシリアルデータバッファをもち、最大32バイトのデータを1回の操作でクロックパルスに同期させて連続転送することができます。レジスタの設定により送信／受信／同時送受信の選択が可能です。送信を設定した場合、転送終了後もシリアルデータバッファの値は保持されます。

転送クロックとして、内部クロックと外部クロックが選択できます。内部クロック選択時は、1バイトごとに転送データ間隔を空けることができます。また、STRB端子からストローブ信号を出力することができます。外部クロック選択時は、オーバランフラグによりクロックによる誤動作を検出することができます。

CS入力により、転送開始と強制停止の制御をすることができます。強制停止はアボートフラグにより検出します。

(1) クロック

転送クロックは、6種類の内部クロックと外部クロックから選択できます。内部クロックを選択した場合は、SCK₂端子はクロック出力端子となります。

(2) データ転送フォーマット

S C I 2 の転送フォーマットを図10.3.2、図10.3.3に示します。

データの最下位ビットから送受信されるLSBファースト方式による転送を行います。送信データは転送クロックの立下がりから次の立下がりまで出力されます。また、受信データは転送クロックの立上がりで取り込まれます。

転送クロックに内部クロックを選択した場合、図10.3.3に示すように、1バイトごとに転送データ間隔を空けることができます。転送データ間では、SCK₂出力は“High”レベルを保持します。また、STRB端子からストローブ信号を出力することができます。

転送データ間隔の選択はS C R 2 のG A P 1、G A P 0で設定します。

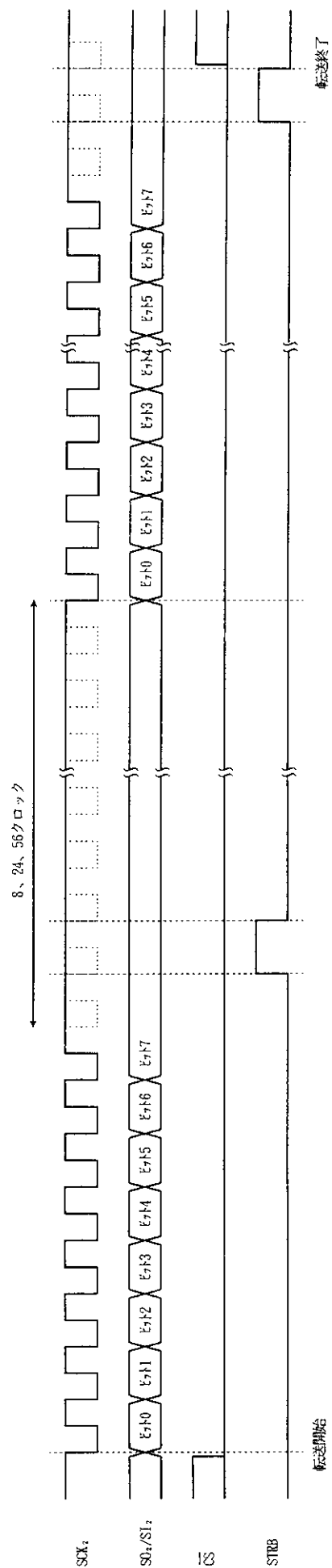


図10.3.3 転送フォーマット（転送データ間隔あり）

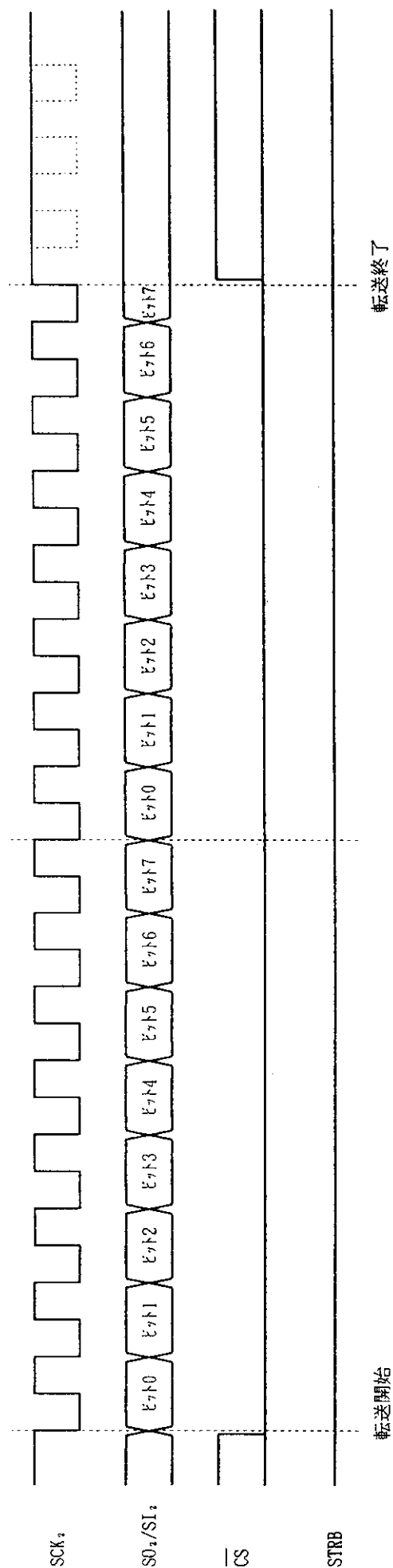


図10. 3. 2 転送フォーマット (転送データ間隔なし)

(3) データの転送動作

(a) S C I 2 のイニシャライズ

データの転送を行うには、まず S C I 2 をソフトウェアによってイニシャライズします。イニシャライズは次のように行われます。

- ① S C S R 2 の S T F が “ 0 ” の状態で、P M R 2、P M R 3、S T A R、E D A R、および S C R 2 により、端子、転送モードを設定します。
- ② S C I 2 の端子はポートと兼用しています。ポートとの切換えは P M R 3 で行います。S O₂ 端子は P M R 2 で C M O S 出力と N M O S オープンドレイン出力の選択ができます。転送クロックと転送データ間隔は S C R 2 で設定します。
- ③ 転送データ領域の先頭アドレスと終了アドレスは、S T A R と E D A R で設定します。終了アドレスが先頭アドレスより小さい値の場合、図10.3.4に示すように、H' FF9F番地のデータを転送後、H' FF80番地にもどり、終了アドレスまで転送を行います。先頭アドレスと終了アドレスが等しい場合は、1バイトの転送を行います。

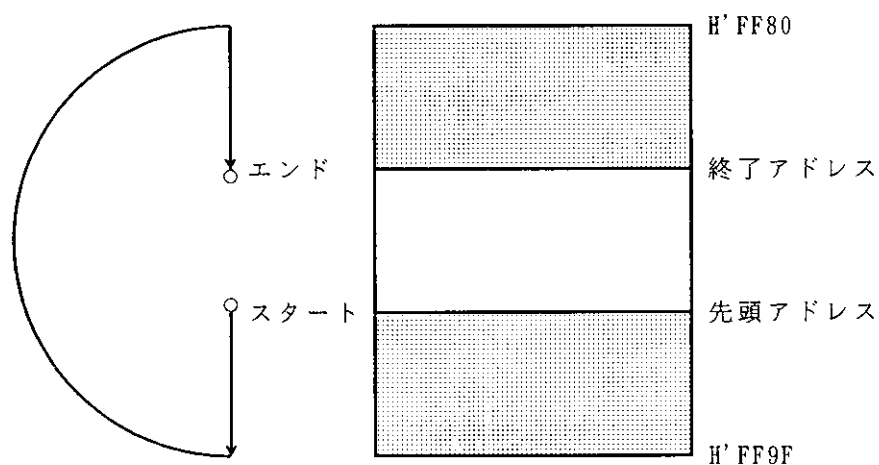


図10.3.4 終了アドレスが先頭アドレスより小さい値の場合

(b) 送信動作

送信動作は次のように行われます。

- ① PMR 3 の $\overline{S0_2}$ を “1”、 $\overline{SCK_2}$ を “1” として、それぞれ $\overline{S0_2}$ 端子、 $\overline{SCK_2}$ 端子に設定します。
また、必要に応じて、PMR 2 の $\overline{POF_2}$ により $\overline{S0_2}$ 端子のオープンドレイン出力を、PMR 3 の $\overline{CS}$ 、STRB によりそれぞれ $\overline{CS}$ 端子、STRB 端子に設定します。
- ② SCR 2 により転送クロックおよび転送データ間隔（内部クロック動作時のみ）を設定します。
- ③ シリアルデータバッファに送信するデータを書込みます。送信動作では送信後もデータバッファの内容は保持されています。同じデータを再送信する場合はデータを書き込む必要はありません。
- ④ STAR に送信開始アドレスの下位 5 ビット、EDAR に送信終了アドレスの下位 5 ビットを設定します。
- ⑤ STF を “1” にセットします。PMR 3 の $\overline{CS}$ が “0” の場合、STF のセットにより送信が開始されます。PMR 3 の $\overline{CS}$ が “1” の場合、 $\overline{CS}$ 端子の “Low” レベルを検出すると送信が開始されます。
- ⑥ 送信完了後、IRR 2 の IRRS 2 が “1” にセットされます。また、STF は “0” にクリアされます。

内部クロックを選択した場合は、送信を開始すると $\overline{SCK_2}$ 端子から同期クロックが出力されます。送信が終了すると、次の STF のセットまで同期クロックは出力されません。この間、 $\overline{S0_2}$ 端子は直前のデータの最終ビットの値を出力し続けます。

外部クロックを選択した場合には、 $\overline{SCK_2}$ 端子から入力されるクロックに同期してデータを送信します。送信終了後、引き続き同期クロックが入力されると、送信動作は行われず、オーバラン状態であるとして、SCSR 2 の ORER が “1” にセットされます。 $\overline{S0_2}$ 端子は直前のデータの最終ビットの値を保持し続けます。ただし、PMR 3 の $\overline{CS}$ が “1” の場合、 $\overline{CS}$ 端子が “High” レベルのときはオーバランの検出を行いません。

送信停止中の $\overline{S0_2}$ 端子の出力値は、SCSR 2 の SOL により変更することができます。

送信中と $\overline{CS}$ 入力待機中に、CPU からデータバッファをリード／ライトすることはできません。リード命令を実行すると H'FF が読み出されます。ライト命令を実行してもバッファは変化しません。送信中と $\overline{CS}$ 入力待機中にリード／ライト命令を実行すると SCSR 2 の WT がセットされます。

PMR 3 の $\overline{CS}$ が “1” の場合、転送中に $\overline{CS}$ 端子の “High” レベルを検出すると、転送はただちに中止され、ABT が “1” にセットされます。同時に IRR 2 の IRRS 2 が “1” にセットされ、STF は “0” にクリアされます。また、 $\overline{SCK_2}$ 端子と $\overline{S0_2}$ 端子はハイインピーダンス状態になります。したがって、ABT が “1” にセットされた状態では転送は行えませんので “0” にクリアした後、転送を再開してください。

(c) 受信動作

受信動作は次のように行われます。

- ① P M R 3 の S I 2 を “1”、S C K 2 を “1” として、それぞれ S I₂ 端子、S C K₂ 端子に設定します。
また、必要に応じて P M R 3 の C S により、C S 端子に設定します。
- ② S C R 2 により転送クロックおよび転送データ間隔（内部クロック動作時のみ）を設定します。
- ③ S T A R に受信開始アドレスの下位 5 ビット、E D A R に受信終了アドレスの下位 5 ビットを設定します。これにより、シリアルデータバッファ内に受信データを格納する領域が決定されます。
- ④ S T F を “1” にセットします。P M R 3 の C S が “0” の場合、S T F のセットにより受信が開始されます。P M R 3 の C S が “1” の場合、C S 端子の “Low” レベルを検出すると受信が開始されます。
- ⑤ 受信完了後、I R R 2 の I R R S 2 が “1” にセットされます。また、S T F は “0” にクリアされます。
- ⑥ シリアルデータバッファから格納された受信データを読み出します。

内部クロックソースを選択した場合は、受信を開始すると S C K₂ 端子から同期クロックが出力されます。受信が終了すると次回の S T F のセットまで同期クロックは出力されません。外部クロックソースを選択した場合には、S C K₂ 端子から入力されるクロックに同期してデータを受信します。受信終了後、引き続き同期クロックが入力されると、受信動作は行われず、オーバラン状態であるとして、S C S R 2 の O R E R が “1” にセットされます。ただし、P M R 3 の C S が “1” の場合、C S 端子が “High” レベルのときはオーバランの検出を行いません。

受信中和 C S 入力待機中に、C P U からデータバッファをリード／ライトすることはできません。リード命令を実行すると H' F F が読み出されます。ライト命令を実行してもバッファは変化しません。受信中和 C S 入力待機中にリード／ライト命令を実行すると S C S R 2 の W T がセットされます。

P M R 3 の C S が “1” の場合、転送中に C S 端子の “High” レベルを検出すると、転送は直ちに中止され、A B T が “1” にセットされます。同時に I R R 2 の I R R S 2 が “1” にセットされ、S T F は “0” にクリアされます。また、S C K₂ 端子と S O₂ 端子はハイインピーダンス状態になります。したがって、A B T が “1” にセットされた状態では転送は行えませんので “0” にクリアした後、転送を再開してください。

(d) 同時送受信動作

同時送受信動作は次のように行われます。

- ① P M R 3 の S I 2 を “1” S O 2 を “1”、S C K 2 を “1” として、それぞれ S I₂ 端子、S O₂ 端子、S C K₂ 端子に設定します。
また、必要に応じて、P M R 2 の P O F 2 により S O₂ 端子のオープンドレイン出力を、C S、S T R B によりそれぞれ C S 端子、S T R B 端子に設定します。
- ② S C R 2 により転送クロックおよび転送データ間隔（内部クロック動作時のみ）を設定します。
- ③ シリアルデータバッファに送信するデータを書き込みます。同時送受信動作では、受信データは送信データと入れ代わりと同じアドレスに格納されます。
- ④ S T A R に転送開始アドレスの下位 5 ビット、E D A R に転送終了アドレスの下位 5 ビットを設定します。
- ⑤ S T F を “1” にセットします。P M R 3 の C S が “0” の場合、S T F のセットにより転送が開始されます。P M R 3 の C S が “1” の場合は、C S 端子の “Low” レベルを検出すると転送が開始されます。
- ⑥ 転送完了後、I R R 2 の I R R S 2 が “1” にセットされます。また、S T F は “0” にクリアされます。
- ⑦ シリアルデータバッファから格納された受信データを読み出します。

内部クロックを選択した場合は、送信を開始すると S C K₂ 端子から同期クロックが出力されます。転送が終了すると次回の S T F のセットまで同期クロックは出力されません。この間、S O₂ 端子は直前のデータの最終ビットの値を出力し続けます。

外部クロックを選択した場合には、S C K₂ 端子から入力されるクロックに同期してデータを転送します。転送終了後、引き続き同期クロックが入力されると、転送動作は行われず、オーバラン状態であるとして、S C S R 2 の O R E R が “1” にセットされます。S O₂ 端子は直前のデータの最終ビットの値を保持し続けます。ただし P M R 3 の C S が “1” の場合、C S 端子が “High” レベルのときはオーバランの検出を行いません。

転送停止中の S O₂ 端子の出力値は、S C S R 2 の S O L により変更することができます。転送中と C S 入力待機中に、C P U からデータバッファをリード／ライトすることはできません。リード命令を実行すると H' F F が読み出されます。ライト命令を実行してもバッファは変化しません。転送中と C S 入力待機中にリード／ライト命令を実行すると S C S R 2 の W T がセットされます。

P M R 3 の C S が “1” の場合、転送中に C S 端子の “High” レベルを検出すると、転送はただちに中止され、A B T が “1” にセットされます。同時に I R R 2 の I R R S 2 が “1” にセットされ、S T F は “0” にクリアされます。また、S C K₂ 端子と S O₂ 端子はハイインピーダンス状態になります。したがって、A B T が “1” にセットされた状態では転送は行えませんので “0” にクリアした後、転送を再開してください。

10.3.4 割込み要因

SCI 2 の割込み要因は、転送完了とCS端子による転送中断であり、共通のベクタアドレスが割り付けられています。

SCI 2 に上記の条件が発生すると、IRR 2 の IRRS 2 が “1” にセットされます。SCI 2 の割込み要求は、IENR 2 の IENS 2 により許可／禁止を指定できます。

詳細は、「3.3 割込み」を参照してください。

また、CS端子による転送中断、オーバランエラー、転送中とCS入力待機中のシリアルデータバッファのリード／ライトではSCSR 2 のABT、OERR、WTが各々 “1” にセットされます。これらのビットによりエラー要因の判別ができます。

10.3.5 使用上の注意事項

SCK₂端子を入力に設定し、クロックソースとして外部クロックを選択して使用する場合、SCSR 2 のSTFに “1” をライトして転送動作を開始する前に外部クロックを入力しないでください。

10.4 S C I 3

10.4.1 概要

S C I 3（シリアルコミュニケーションインタフェース3）は、調歩同期式とクロック同期式の2方式のシリアルデータ通信を行います。また、複数のプロセッサ間のシリアルデータ通信機能（マルチプロセッサ通信機能）を備えています。

(1) 特 長

S C I 3の特長を以下に示します。

■シリアルデータ通信モードを調歩同期式モードまたはクロック同期式モードから選択可能

・調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータ通信を行います。

Universal Asynchronous Receiver/Transmitter(U A R T) や、Asynchronous Communication Interface Adapter(A C I A) などの標準の調歩同期式通信用 L S I とのシリアルデータ通信ができます。

また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

通信フォーマットを12種類のフォーマットから選択できます。

データ長	7ビット／8ビット
ストップビット長	1ビット／2ビット
パリティ	偶数パリティ／奇数パリティ／パリティなし
マルチプロセッサビット	“1”／“0”
受信エラーの検出	パリティエラー，オーバランエラー フレーミングエラー
ブレークの検出	フレーミングエラー発生時に RXD端子のレベルを 直接読み出すことでブレークを検出

・クロック同期式モード

クロックに同期してシリアルデータの通信を行います。クロック同期式通信機能をもつ他の L S I とのシリアルデータ通信が可能です。

データ長	8ビット
受信エラーの検出	オーバランエラー

■全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

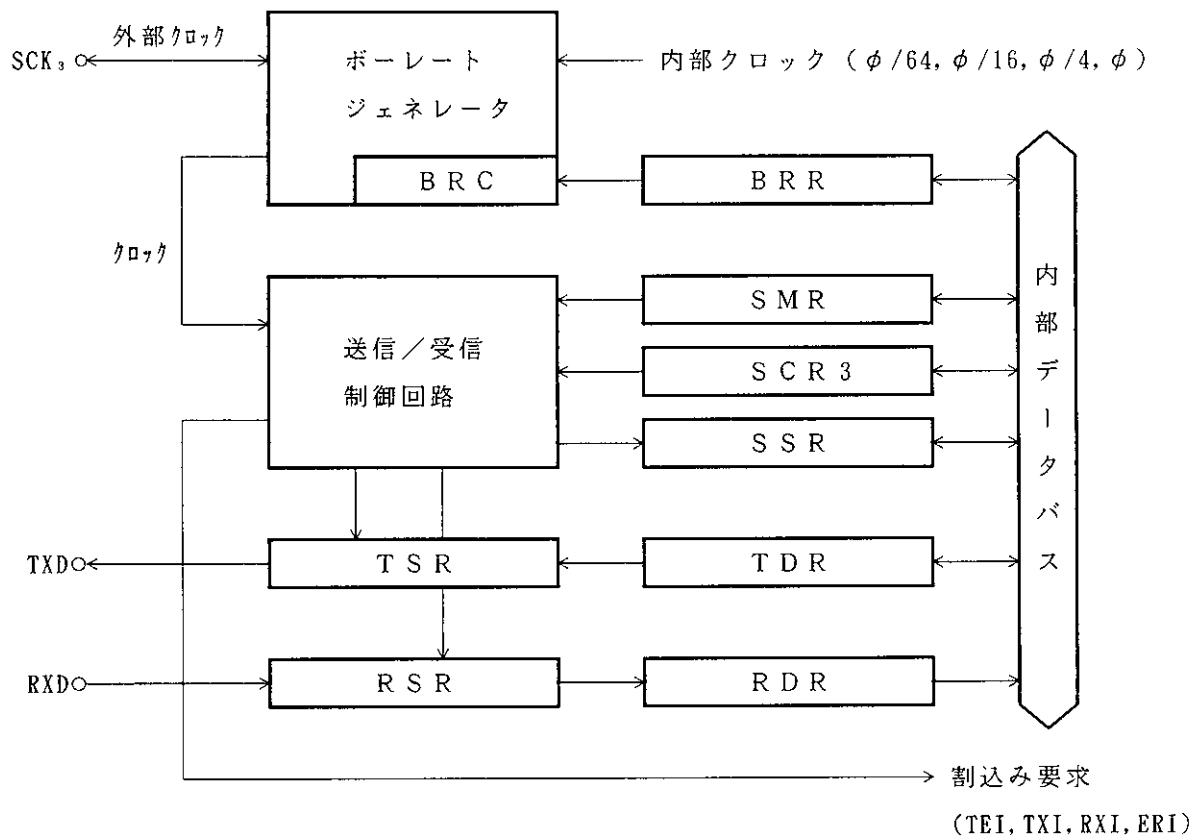
また、送信部および受信部ともにダブルバッファ構造になっていますので、連続送信・連続受信ができます。

- 内蔵のボーレートジェネレータで任意のビットレートを選択可能
- 送受信クロックソースを内部クロック、または外部クロックから選択可能
- 6種類の割込み要因

送信終了、送信データエンプティ、受信データフル、オーバランエラー、フレーミングエラー、パリティエラーの6種類の割込み要因があります。

(2) ブロック図

S C I 3 のブロック図を図10. 4. 1 に示します。



〈記号説明〉

- R S R : レシーブシフトレジスタ
- R D R : レシーブデータレジスタ
- T S R : トランスミットシフトレジスタ
- T D R : トランスミットデータレジスタ
- S M R : シリアルモードレジスタ
- S C R 3 : シリアルコントロールレジスタ3
- S S R : シリアルステータスレジスタ
- B R R : ビットレートレジスタ
- B R C : ビットレートカウンタ

図10. 4. 1 S C I 3 のブロック図

(3) 端子構成

S C I 3 の端子構成を表10.4.1に示します。

表10.4.1 端子構成

名 称	略 称	入出力	機 能
S C I 3 クロック	SCK ₃	入出力	S C I 3 のクロック入出力端子
S C I 3 レシーブデータ入力	RXD	入 力	S C I 3 の受信データ入力端子
S C I 3 トランスミットデータ出力	TXD	出 力	S C I 3 の送信データ出力端子

(4) レジスタ構成

S C I 3 のレジスタ構成を表10.4.2に示します。

表10.4.2 レジスタ構成

名 称	略 称	R / W	初期値	アドレス
シリアルモードレジスタ	S M R	R / W	H' 00	H' FFA8
ビットレートレジスタ	B R R	R / W	H' FF	H' FFA9
シリアルコントロールレジスタ 3	S C R 3	R / W	H' 00	H' FFAA
トランスミットデータレジスタ	T D R	R / W	H' FF	H' FFAB
シリアルステータスレジスタ	S S R	R / W	H' 84	H' FFAC
レシーブデータレジスタ	R D R	R	H' 00	H' FFAD
トランスミットシフトレジスタ	T S R	不 可	——	——
レシーブシフトレジスタ	R S R	不 可	——	——
ビットレートカウンタ	B R C	不 可	——	——

10.4.2 各レジスタの説明

(1) レシーブシフトレジスタ (R S R)



R S Rは、シリアルデータを受信するためのレジスタです。R S RにRXD 端子から入力されたシリアルデータを、L S B (ビット 0) から受信した順にセットしパラレルデータに変換します。1 バイトのデータを受信すると、データは自動的にR D Rへ転送されます。

C P UからR S Rを直接リード／ライトすることはできません。

(2) レシーブデータレジスタ (R D R)

ビット :	7	6	5	4	3	2	1	0
	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
初期値 :	0	0	0	0	0	0	0	0
R / W :	R	R	R	R	R	R	R	R

R D Rは、受信したシリアルデータを格納する 8 ビットのレジスタです。

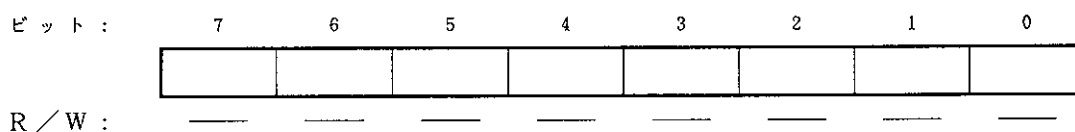
1 バイトのデータの受信が終了すると、受信したデータをR S RからR D Rへ転送し、受信動作を完了します。その後、R S Rは受信可能となります。

R S RとR D Rはダブルバッファになっているため連続した受信動作が可能です。

R D Rは、受信専用レジスタですのでC P Uからライトできません。

R D Rは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時にH' 00にイニシャライズされます。

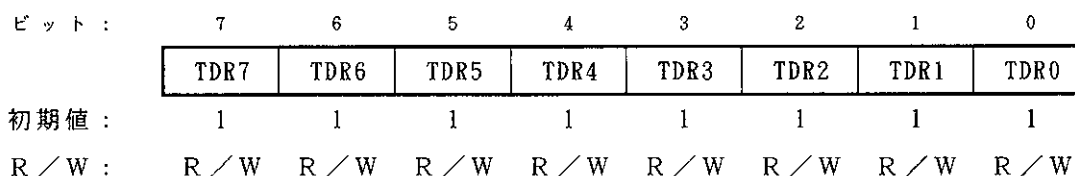
(3) トランスミットシフトレジスタ (TSR)



TSRは、シリアルデータを送信するためのレジスタです。TDRから送信データをいったんTSRに転送し、LSB（ビット0）から順にTXD端子に送出することでシリアルデータ送信を行います。1バイトのデータを送信すると、自動的にTDRからTSRへ次の送信データを転送し、送信を開始します。ただし、TDRにデータが書き込まれていない（TDREに“1”がセットされている）場合にはTDRからTSRへのデータ転送は行いません。

CPUからTSRを直接リード／ライトすることはできません。

(4) トランスミットデータレジスタ (TDR)



TDRは、送信データを格納する8ビットのレジスタです。TSRの“空”を検出すると、TDRに書き込まれた送信データをTSRに転送し、シリアルデータ送信を開始します。TSRのシリアルデータ送信中に、TDRに次の送信データをライトしておくこと、連続送信が可能です。

TDRは、常にCPUによるリード／ライトが可能です。

TDRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時にH'FFにイニシャライズされます。

(5) シリアルモードレジスタ (SMR)

ビット:	7	6	5	4	3	2	1	0
	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMRは、シリアルデータ通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための8ビットのレジスタです。

SMRは、常にCPUによるリード/ライトが可能です。

SMRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時にH'00にイニシャライズされます。

ビット7: コミュニケーションモード (COM)

COMは、SCI3を調歩同期式モードとクロック同期式モードのいずれで動作させるかを選択するビットです。

ビット7	説 明
COM	
0	調歩同期式モード (初期値)
1	クロック同期式モード

ビット6: キャラクタレングス (CHR)

CHRは、調歩同期式モード時におけるデータ長を選択するビットです。7ビットデータと8ビットデータのいずれかを選択できます。クロック同期式モードでは、CHRの設定にかかわらず、データ長は8ビットに固定となります。

ビット6	説 明
CHR	
0	8ビットデータ (初期値)
1	7ビットデータ*

【注】* 7ビットデータを選択した場合、TDRのMSB (ビット7) は送信されません。

ビット5：パリティイネーブル（P E）

P Eは、調歩同期式モードで、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択するビットです。クロック同期式モードではP Eの設定にかかわらずパリティビットの付加およびチェックは行いません。

ビット5	説 明
P E	
0	パリティビットの付加およびチェックを禁止 (初期値)
1	パリティビットの付加およびチェックを許可*

【注】* P Eに“1”をセットすると送信時には、P Mで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがP Mで指定したパリティになっているかどうかをチェックします。

ビット4：パリティモード（P M）

P Mは、パリティの付加やチェックを偶数パリティ、または奇数パリティのどちらかで行うかを選択するビットです。P Mの設定は、調歩同期式モードでP Eに“1”を設定し、パリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合にはP Mは無効です。

ビット4	説 明
P M	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】*¹ 偶数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の“1”の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の“1”の数の合計が偶数になるかどうかをチェックします。

*² 奇数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の“1”の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の“1”の数の合計が奇数になるかどうかをチェックします。

ビット3：ストップビットレングス（STOP）

STOPは、調歩同期式モードでのストップビットの長さを選択するビットです。1ビットまたは2ビットのいずれかを選択できます。STOPの設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合にはストップビットは付加されませんのでSTOPは無効です。

ビット3	説 明
STOP	
0	1 ストップビット * ¹ (初期値)
1	2 ストップビット * ²

【注】 *¹ 送信時には、送信キャラクタの最後尾に1ビットの“1”（ストップビット）を付加して送信します。

*² 送信時には、送信キャラクタの最後尾に2ビットの“1”（ストップビット）を付加して送信します。

なお、受信時にはSTOPの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が“1”の場合はストップビットとして扱いますが、“0”の場合は次の送信キャラクタのスタートビットとして扱います。

ビット2：マルチプロセッサモード（MP）

MPは、マルチプロセッサ通信機能を許可するビットです。マルチプロセッサ通信機能を許可した場合、PEおよびPMにおけるパリティの設定は無効になります。MPの設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合にはMPを“0”にしてください。

マルチプロセッサ通信機能については「10.4.6 マルチプロセッサ通信機能」を参照してください。

ビット2	説 明
MP	
0	マルチプロセッサ通信機能を禁止 (初期値)
1	マルチプロセッサ通信機能を許可

ビット1、0：クロックセレクト1、0（CKS1、CKS0）

CKS1、CKS0は、内蔵ボーレートジェネレータのクロックソースを選択するビットです。CKS1、CKS0の組合せによって、 $\phi/64$ 、 $\phi/16$ 、 $\phi/4$ 、 ϕ の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「(8) ビットレートレジスタ（BRR）」を参照してください。

ビット1	ビット0	説 明
CKS1	CKS0	
0	0	ϕ クロック (初期値)
0	1	$\phi/4$ クロック
1	0	$\phi/16$ クロック
1	1	$\phi/64$ クロック

(6) シリアルコントロールレジスタ3（SCR3）

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR3は、送信／受信動作、調歩同期式モードでのクロック出力、割込み要求の許可／禁止、および送信／受信クロックソースの選択を行う8ビットのレジスタです。

SCR3は、常にCPUによるリード／ライトが可能です。

SCR3は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時にH'00にイニシャライズされます。

ビット7：トランスミットインタラプトイネーブル（TIE）

TIEは、TDRからTSRへ送信データが転送され、SSRのTDREが“1”にセットされたとき、送信データエンプティ割込み要求（TXI）の許可／禁止を選択するビットです。

TXIは、TDREを“0”にクリアするか、またはTIEを“0”にクリアすることで解除できます。

ビット7	説 明
TIE	
0	送信データエンプティ割込み要求（TXI）の禁止 (初期値)
1	送信データエンプティ割込み要求（TXI）の許可

ビット6：レシーブインタラプトイネーブル（R I E）

R I E は、受信データが R S R から R D R へ転送され、S S R の R D R F が “1” にセットされたとき、受信データフル割込み要求（R X I）、および受信エラー割込み要求（E R I）の許可／禁止を選択するビットです。なお、受信エラーにはオーバランエラー、フレーミングエラー、パリティエラーの3種類があります。

R X I および E R I は、R D R F または、F E R、P E R、O E R のエラーフラグを “0” にクリアするか、R I E を “0” にクリアすることで解除できます。

ビット 6	説 明
R I E	
0	受信データフル割込み要求（R X I）、および受信エラー割込み要求（E R I）を禁止 (初期値)
1	受信データフル割込み要求（R X I）、および受信エラー割込み要求（E R I）を許可

ビット5：トランスミットイネーブル（T E）

T E は、送信動作の開始の許可／禁止を選択するビットです。

ビット 5	説 明
T E	
0	送信動作を禁止* ¹ （TXD 端子は入出力ポート） (初期値)
1	送信動作を許可* ² （TXD 端子はトランスミットデータ端子）

【注】*¹ S S R の T D R E は “1” に固定されます。

*² この状態で、T D R に送信データをライトすると S S R の T D R E が “0” にクリアされシリアルデータ送信を開始します。なお、T E を “1” にセットする前に必ず S M R の設定を行い、送信フォーマットを決定してください。

ビット4：レシーブイネーブル（R E）

R E は、受信動作の開始の許可／禁止を選択するビットです。

ビット 4	説 明
R E	
0	受信動作を禁止* ¹ （RXD 端子は入出力ポート） (初期値)
1	受信動作を許可* ² （RXD 端子はレシーブデータ端子）

【注】*¹ R E を “0” にクリアしても S S R の R D R F、F E R、P E R、O E R の各フラグは影響を受けず、状態を保持しますので注意してください。

*² この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を、それぞれ検出するとシリアルデータ受信を開始します。なお、R E を “1” にセットする前に必ず S M R の設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル（MP I E）

MP I Eは、マルチプロセッサ割込み要求の許可／禁止を選択するビットです。MP I Eの設定は、調歩同期式モードで、かつSMRのMPが“1”に設定されている受信時にのみ有効です。COMが“1”のときやMPが“0”のときにはMP I Eは無効です。

ビット3	説 明
MP I E	
0	マルチプロセッサ割込み要求を禁止（通常の受信動作）（初期値） 〔クリア条件〕 マルチプロセッサビットが“1”のデータを受信したとき
1	マルチプロセッサ割込み要求を許可*

【注】* R S RからR D Rへの受信データの転送、および受信エラーの検出とS S RのR D R F、F E R、O E Rの各ステータスフラグのセットは行いません。マルチプロセッサビットが“1”のデータを受け取るまで、R X I、E R I、および、S S RのR D R F、F E R、O E Rの各フラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、S S RのM P B Rを“1”にセットし、MP I Eを自動的に“0”にクリアし、R X I、E R Iの発生（S C RのT I E、R I Eが“1”にセットされている場合）とR D R F、F E R、O E Rのセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル（T E I E）

T E I Eは、MSBデータ送出時に有効な送信データがT D Rにないとき、送信終了割込み要求（T E I）の許可／禁止を選択するビットです。

ビット2	説 明
T E I E	
0	送信終了割込み要求（T E I）を禁止（初期値）
1	送信終了割込み要求（T E I）を許可*

【注】* T E Iは、S S RのT D R Eを“0”にクリアしてT E N Dを“0”にクリアするか、T E I Eを“0”にクリアすることで解除できます。

ビット1、0：クロックイネーブル1、0（C K E 1、C K E 0）

C K E 1、C K E 0は、クロックソースの選択、およびSCK₃端子からのクロックの出力の許可／禁止を選択するビットです。C K E 1とC K E 0の組合せによってSCK₃端子を入出力ポートにするか、クロック出力端子にするか、またはクロック入力端子にするかが決まります。

ただし、C K E 0の設定は調歩同期式モードで内部クロック動作時（C K E 1＝“0”）のみ有効です。クロック同期式モードのとき、および外部クロック動作（C K E 1＝“1”）の場合はC K E 0に“0”を設定してください。

また、CKE1、CKE0を設定した後にSMRで動作モードを決定してください。
 クロックソースの選択についての詳細は「10.4.3 動作概要」の表10.4.7を参照してください。

ビット1	ビット0	説明		
CKE1	CKE0	コミュニケーションモード	クロックソース	SCK ₃ 端子機能
0	0	調歩同期式	内部クロック	入出力ポート* ¹
		クロック同期式	内部クロック	同期クロック出力* ¹
0	1	調歩同期式	内部クロック	クロック出力* ²
		クロック同期式	リザーブ	
1	0	調歩同期式	外部クロック	クロック入力* ³
		クロック同期式	外部クロック	同期クロック入力
1	1	調歩同期式	リザーブ	
		クロック同期式	リザーブ	

【注】*¹ 初期値

*² ビットレートと同じ周波数のクロックを出力します。

*³ ビットレートの16倍の周波数のクロックを入力してください。

(7) シリアルステータスレジスタ (SSR)

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするための“0”ライトのみ可能です。

SSRは、SCI3の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。

SSRは常に、CPUからリード/ライトできます。ただし、TDRE、RDRF、OER、PER、FERへ“1”をライトすることはできません。また、これらに“0”をライトしてクリアするためには、あらかじめ“1”をリードしておく必要があります。

また、TENDおよびMPBRはリード専用であり、ライトすることはできません。

SSRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時にH'84にイニシャライズされます。

ビット7：トランスミットデータレジスタエンブティ（TDRE）

TDREは、TDRからTSRに送信データの転送が行われたことを示すビットです。

ビット7	説 明
TDRE	
0	TDRにライトされた送信データがTSRに転送されていない 〔クリア条件〕 (1) TDRE = “1”の状態をリードした後、“0”をライトしたとき (2) 命令でTDRへデータをライトしたとき
1	TDRに送信データがライトされていない、またはTDRにライトされた送信データがTSRに転送された 〔セット条件〕 (1) SCR3のTEが“0”のとき (2) TDRからTSRにデータ転送が行われたとき (初期値)

ビット6：レシーブデータレジスタフル（RDRF）

RDRFは、受信したデータがRDRに格納されていることを示すビットです。

ビット6	説 明
RDRF	
0	RDRに受信データが格納されていない (初期値) 〔クリア条件〕 (1) RDRF = “1”の状態をリードした後、“0”をライトしたとき (2) 命令でRDRのデータをリードしたとき
1	RDRに受信データが格納されている 〔セット条件〕 受信が正常終了し、RSRからRDRへ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、およびSCR3のREを“0”にクリアしたときには、RDRおよびRDRFは影響を受けず以前の状態を保持します。RDRFが“1”にセットされたままデータの受信を完了するとオーバーランエラー（OER）を発生し、受信データが失われますので注意してください。

ビット5：オーバランエラー（O E R）

O E R は、受信時にオーバランエラーが発生したことを示すビットです。

ビット5	説 明
O E R	
0	受信中、または受信を完了した* ¹ (初期値) [クリア条件] O E R = “1” の状態をリードした後、“0” をライトしたとき
1	受信時にオーバランエラーが発生した* ² [セット条件] R D R F が “1” の状態で受信を完了したとき

【注】*¹ S C R 3 の R E を “0” にクリアしたときには、O E R は影響を受けず以前の状態を保持します。

*² R D R では、オーバランエラーが発生する前の受信データが保持され、後から受信したデータが失われます。なお、O E R が “1” にセットされた状態で、以降の受信を続けることはできません。クロック同期式モードでは送信も続けることができません。

ビット4：フレーミングエラー（F E R）

F E R は、調歩同期式モードで受信時にフレーミングエラーが発生したことを示すビットです。

ビット4	説 明
F E R	
0	受信中、または受信を完了した* ¹ (初期値) [クリア条件] F E R = “1” の状態をリードした後、“0” をライトしたとき
1	受信時にフレーミングエラーが発生した [セット条件] 受信終了時に受信データの最後尾のストップビットが “1” であるかどうかをチェックし、ストップビットが “0” であったとき* ²

【注】*¹ S C R 3 の R E を “0” にクリアしたときには、F E R は影響を受けず以前の状態を保持します。

*² 2 ストップビットモード時は、1 ビット目のストップビットが “1” であるかどうかのみを判定し、2 ビット目のストップビットはチェックをしませんので注意してください。なお、フレーミングエラーが発生したときの受信データは R D R に転送されますが、R D R F はセットされません。さらに、F E R が “1” にセットされた状態においては、以降の受信を続けることはできません。また、クロック同期式モードでは、F E R が “1” にセットされていると送信および受信はできません。

ビット3：パリティエラー（P E R）

P E Rは、調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生したことを示すビットです。

ビット3 P E R	説 明
0	受信中、または受信を完了した* ¹ （初期値） 〔クリア条件〕 P E R = “1” の状態をリードした後、“0” をライトしたとき
1	受信時にパリティエラーが発生した* ² 〔セット条件〕 受信時に受信データとパリティビットをあわせた“1” の数がS M RのP Mで設定したパリティと一致しなかったとき

【注】*¹ S C R 3のR Eを“0”にクリアしたときには、P E Rは影響を受けず以前の状態を保持します。

*² パリティエラーが発生したときの受信データはR D Rに転送されますが、R D R Fはセットされません。なお、P E Rが“1”にセットされた状態では、以降の受信を続けることはできません。また、クロック同期式モードでは、P E Rが“1”にセットされていると送信および受信はできません。

ビット2：トランスミットエンド（T E N D）

T E N Dは、送信キャラクタの最後尾ビットを送信時に、T D R Eが“1”にセットされていたことを示すビットです。

T E N Dは、リード専用ですのでライトすることはできません。

ビット2 T E N D	説 明
0	送信中 〔クリア条件〕 (1) T D R E = “1” の状態をリードした後、T D R Eに“0” をライトしたとき (2) 命令でT D Rにデータをライトしたとき
1	送信を終了（初期値） 〔セット条件〕 (1) S C R 3のT Eが“0” のとき (2) 送信キャラクタの最後尾ビットの送信時に、T D R Eが“1”であったとき

ビット1：マルチプロセッサビットレシーブ（MPBR）

MPBRは、調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信キャラクター中のマルチプロセッサビットを格納するビットです。

リード専用ですのでライトすることはできません。

ビット1	説 明
MPBR	
0	マルチプロセッサビットが“0”のデータを受信した*（初期値）
1	マルチプロセッサビットが“1”のデータを受信した

【注】* マルチプロセッサフォーマットでSCR3のREを“0”にクリアしたときには、MPBRは影響を受けず、以前の状態を保持します。

ビット0：マルチプロセッサビットトランスファ（MPBT）

MPBTは、調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納するビットです。クロック同期式モードを選択しているときやマルチプロセッサ通信機能を禁止しているとき、あるいは送信でないときにはMPBTは無効です。

ビット0	説 明
MPBT	
0	マルチプロセッサビット“0”を送信（初期値）
1	マルチプロセッサビット“1”を送信

(8) ビットレートレジスタ（BRR）

ビット	7	6	5	4	3	2	1	0
	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
初期値	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRRは、SMRのCKS1、CKS0で選択されるボーレートジェネレータの動作クロックとあわせて、送信／受信のビットレートを設定する8ビットのレジスタです。

BRRは、常にCPUによるリード／ライトが可能です。

BRRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時にH'FFにイニシャライズされます。

調歩同期式モードのBRRの設定例を表10.4.3に示します。表10.4.3はアクティブ（高速）モードでの値を示しています。

表10.4.3 ビットレートに対するBRRの設定例〔調歩同期式モード〕(1)

OSC (MHz) R ビットレート (bit/s)	2			2.4576			4			4.194304		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	70	+0.03	1	86	+0.31	1	141	+0.03	1	148	-0.04
150	0	207	+0.16	0	255	0	1	103	+0.16	1	108	+0.21
300	0	103	+0.16	0	127	0	0	207	+0.16	0	217	+0.21
600	0	51	+0.16	0	63	0	0	103	+0.16	0	108	+0.21
1200	0	25	+0.16	0	31	0	0	51	+0.16	0	54	-0.70
2400	0	12	+0.16	0	15	0	0	25	+0.16	0	26	+1.14
4800	-	-	-	0	7	0	0	12	+0.16	0	13	-2.48
9600	-	-	-	0	3	0	-	-	-	0	6	-2.48
19200	-	-	-	0	1	0	-	-	-	-	-	-
31250	0	0	0	-	-	-	0	1	0	-	-	-
38400	-	-	-	0	0	0	-	-	-	-	-	-

表10.4.3 ビットレートに対するBRRの設定例〔調歩同期式モード〕(2)

OSC (MHz) R ビットレート (bit/s)	4.9152			6			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	174	-0.26	1	212	+0.03	2	64	+0.70	2	70	+0.03
150	1	127	0	1	155	+0.16	1	191	0	1	207	+0.16
300	0	255	0	1	77	+0.16	1	95	0	1	103	+0.16
600	0	127	0	0	155	+0.16	0	191	0	0	207	+0.16
1200	0	63	0	0	77	+0.16	0	95	0	0	103	+0.16
2400	0	31	0	0	38	+0.16	0	47	0	0	51	+0.16
4800	0	15	0	0	19	-2.34	0	23	0	0	25	+0.16
9600	0	7	0	0	9	-2.34	0	11	0	0	12	+0.16
19200	0	3	0	0	4	-2.34	0	5	0	-	-	-
31250	-	-	-	0	2	0	-	-	-	0	3	0
38400	0	1	0	-	-	-	0	2	0	-	-	-

表10.4.3 ビットレートに対するBRRの設定例〔調歩同期式モード〕(3)

OSC (MHz) R ビットレート (bit/s)	9.8304			10		
	n	N	誤差 (%)	n	N	誤差 (%)
110	2	86	+0.31	2	88	-0.25
150	1	255	0	2	64	+0.16
300	1	127	0	1	129	+0.16
600	0	255	0	1	64	+0.16
1200	0	127	0	0	129	+0.16
2400	0	63	0	0	64	+0.16
4800	0	31	0	0	32	-1.36
9600	0	15	0	0	15	+1.73
19200	0	7	0	0	7	+1.73
31250	0	4	-1.70	0	4	0
38400	0	3	0	0	3	+1.73

【注】1. 誤差は、1%以内となるように設定してください。

2. BRRの設定値は以下の計算式で求められます。

$$N = \frac{OSC}{64 \times 2^{2n} \times B} \times 10^6 - 1$$

B: ビットレート (bit/s)

N: ボーレートジェネレータのBRRの設定値 ($0 \leq N \leq 255$)

OSC: ϕ_{osc} の値 (MHz)

n: ボーレートジェネレータの入力クロックのNo. ($n=0, 1, 2, 3$)

(nとクロックの関係は表10.4.4を参照)

表10.4.4 nとクロックの関係

n	クロック	SMRの設定値	
		CKS1	CKS0
0	ϕ	0	0
1	$\phi/4$	0	1
2	$\phi/16$	1	0
3	$\phi/64$	1	1

3. 表10.4.3の誤差は以下の計算式で求めた値を小数点第3位を四捨五入して表示してあります。

$$\text{誤差(\%)} = \frac{B(n, N, OSC) - R(10.4.3 \text{ ビットレート})}{R(\text{表10.4.3の左欄のビットレート})} \times 100$$

調歩同期式モードの各周波数における最大ビットレートを表10.4.5に示します。
表10.4.5はアクティブ（高速）モードでの値を示しています。

表10.4.5 各周波数における最大ビットレート〔調歩同期式モード〕

OSC(MHz)	最大ビットレート (bit/s)	設定値	
		n	N
2	31250	0	0
2.4576	38400	0	0
4	62500	0	0
4.194304	65536	0	0
4.9152	76800	0	0
6	93750	0	0
7.3728	115200	0	0
8	125000	0	0
9.8304	153600	0	0
10	156250	0	0

クロック同期式モードのBRRの設定例を表10.4.6に示します。表10.4.6はアクティブ（高速）モードでの値を示しています。

表10.4.6 ビットレートに対するBRRの設定例〔クロック同期式モード〕

B ビットレート (bit/s) \ OSC (MHz)	2		4		8		10	
	n	N	n	N	n	N	n	N
110	—	—	—	—	—	—	—	—
250	1	249	2	124	2	249	—	—
500	1	124	1	249	2	124	—	—
1k	0	249	1	124	1	249	—	—
2.5k	0	99	0	199	1	99	1	124
5k	0	49	0	99	0	199	0	249
10k	0	24	0	49	0	99	0	124
25k	0	9	0	19	0	39	0	49
50k	0	4	0	9	0	19	0	24
100k	—	—	0	4	0	9	—	—
250k	0	0*	0	1	0	3	0	4
500k			0	0*	0	1	—	—
1M					0	0*	—	—
2.5M								

空欄：設定不可能です。

—：設定は可能ですが、誤差が出ます。

*：連続送信／受信はできません。

【注】 BRRの設定値は以下の計算式で求められます。

$$N = \frac{OSC}{8 \times 2^{2n} \times B} \times 10^6 - 1$$

B：ビットレート (bit/s)

N：ボーレートジェネレータのBRRの設定値（ $0 \leq N \leq 255$ ）

OSC： ϕ_{osc} の値 (MHz)

n：ボーレートジェネレータの入力クロックのNo.（ $n=0, 1, 2, 3$ ）

（nとクロックの関係は表10.4.7を参照）

表10.4.7 nとクロックの関係

n	クロック	SMRの設定値	
		CKS1	CKS0
0	ϕ	0	0
1	$\phi / 4$	0	1
2	$\phi / 16$	1	0
3	$\phi / 64$	1	1

10.4.3 動作概要

SCI 3は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式でシリアル通信ができます。

調歩同期式モードとクロック同期式モードの選択、および通信フォーマットの選択は、SMRで行います。これを表10.4.8に示します。

また、SCI 3のクロックソースは、SMRのCOM、およびSCR 3のCKE1、CKE0の組合せでできます。これを表10.4.9に示します。

(1) 調歩同期式モード

- ・データ長：7ビット／8ビットから選択可能
- ・パリティの付加、マルチプロセッサビットの付加、および1ビットまたは2ビットのストップビットの付加を選択可能（これらの組合せで送信／受信フォーマット、およびキャラクタ長を決定）
- ・受信時にフレーミングエラー（FER）、パリティエラー（PER）、オーバランエラー（OER）およびブレークの検出が可能
- ・クロックソース：内部クロック／外部クロックから選択可能
内部クロックを選択した場合：ボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力可能
外部クロックを選択した場合：ビットレートの16倍の周波数のクロック入力が必要
（内蔵ボーレートジェネレータを使用しない）

(2) クロック同期式モード

- ・送信／受信フォーマット：8ビットデータ固定
- ・受信時にオーバランエラー（OER）の検出が可能
- ・クロックソース：内部クロック／外部クロックから選択可能
内部クロックを選択した場合：ボーレートジェネレータのクロックで動作し、同期クロックを出力
外部クロックを選択した場合：内蔵ボーレートジェネレータを使用せず、入力された同期クロックで動作

表10.4.8 S M Rの設定値と送信／受信フォーマット

S M R					モ ー ド	送信／受信フォーマット					
ビット7	ビット6	ビット2	ビット5	ビット3		デ ー タ 長	マルチ プロセッサ ビット	パリティ ビット	ストップ ビット長		
COM	CHR	MP	PE	STOP							
0	0	0	0	0	調歩同期式 モード	8ビットデータ	なし	なし	1ビット		
				1					2ビット		
			1	0				あり	1ビット		
				1					2ビット		
	1	0	0	0		7ビットデータ		なし	1ビット		
				1					2ビット		
			1	0				あり	1ビット		
				1					2ビット		
	0	1	1	* 0	調歩同期式 モード (マルチプロセッサ フォーマット)	8ビットデータ	あり	なし	1ビット		
				* 1					2ビット		
				1		* 0			7ビットデータ	1ビット	
						* 1				2ビット	
1	*	0	*	*		クロック同 期式モード		8ビットデータ	なし	なし	なし

* Don't care

表10.4.9 S M R、S C R 3 の設定とクロックソースの選択

S M R	S C R 3		モード	送信／受信クロック	
ビット7	ビット1	ビット0		クロック ソース	SCK ₃ 端子の機能
COM	CKE1	CKE0			
0	0	0	調歩同期 式モード	内 部	入出力ポート（SCK ₃ 端子を使用しません）
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外 部	ビットレートの16倍の周波数のクロックを入力
1	0	0	クロック 同期式 モード	内 部	同期クロックを出力
	1	0		外 部	同期クロックを入力
0	1	1	リザーブ（この組合せは指定しないでください）		
1	0	1			
1	1	1			

(3) 割込みと連続送信／受信

SC I 3は、RX Iを使用した連続受信、またTX Iを使用した連続送信が可能です。

表10.4.10にこれらの割込みについて示します。

表10.4.10 送信／受信割込み

割込み	フラグ	割込み発生条件	備考
R X I	R D R F R I E	シリアル受信が正常に行われ、R S RからR D Rに受信データが転送されるとR D R Fが“1”となり、このときR I Eが“1”ならばR X Iが許可され割込みが発生します。 (図10.4.2(a)参照)	R X Iの割込み処理ルーチンでは、R D Rに転送された受信データを読み出し、R D R Fを“0”にクリアします。上記の操作を次のR S Rの受信完了までに行うことで連続受信が可能です。
T X I	T D R E T I E	T S Rの空(前回の送信完了)を検出して、T D Rにセットされた送信データがT S Rに転送されるとT D R Eは“1”にセットされます。このときT I Eが“1”ならばT X Iが許可され割込みが発生します。 (図10.4.2(b)参照)	T X Iの割込み処理ルーチンでは、次の送信データをT D Rに書き込み、T D R Eを“0”にクリアします。上記の操作をT S Rに転送したデータが送信終了するまでに行うことで連続送信が可能です。
T E I	T E N D T E I E	T S Rの送信キャラクタの最後尾ビットを送信したとき、T D R Eが“1”ならばT E N Dは“1”にセットされます。このときT E I Eが“1”ならばT E Iが許可され割込みが発生します。 (図10.4.2(c)参照)	T E Iは、T S Rの送信キャラクタの最後尾ビットを送信したとき、T D Rに次の送信データが書き込まれていないことを示します。

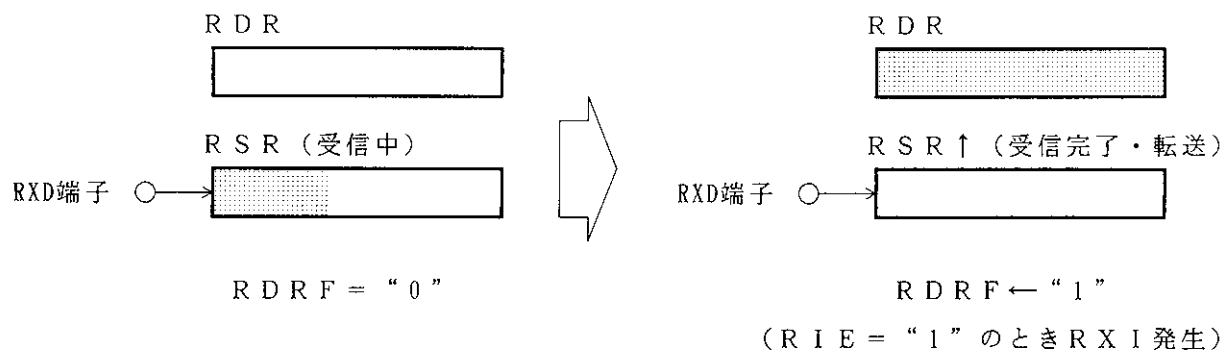


図10.4.2(a) RDRFのセットとRXI割込み

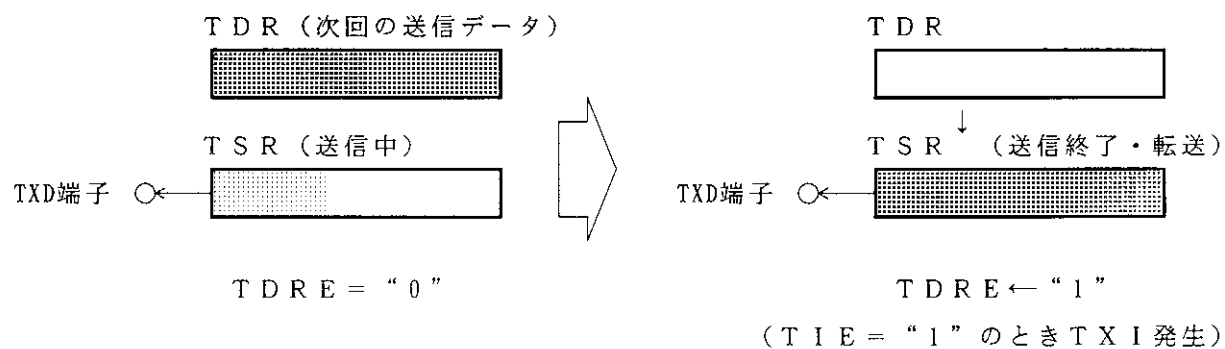


図10.4.2(b) TDREのセットとTXI割込み

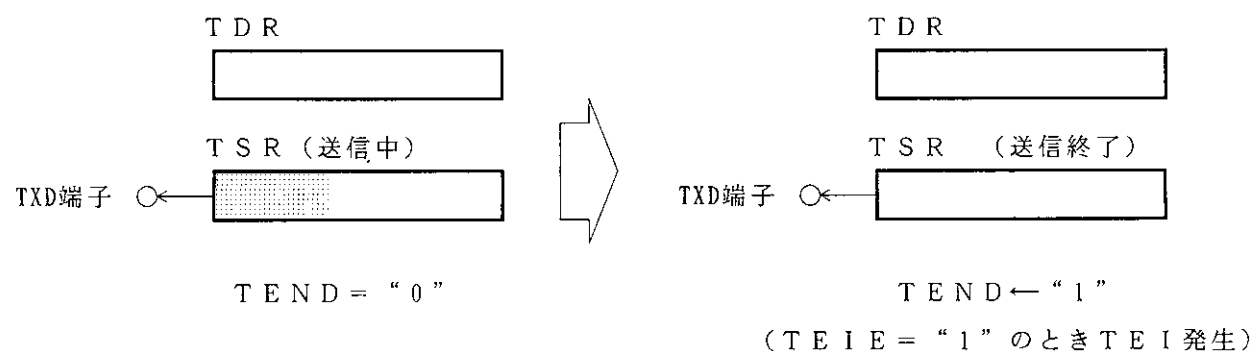


図10.4.2(c) TENDのセットとTEI割込み

10.4.4 調歩同期式モード時の動作説明

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信／受信し、1キャラクタ単位で同期を取りながらシリアル通信を行うモードです。

S C I 3 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信／受信中にデータのリード／ライトができ、連続送信／受信が可能です。

(1) 送信／受信フォーマット

調歩同期式通信の通信データの一般的なフォーマットを図10.4.3に示します。

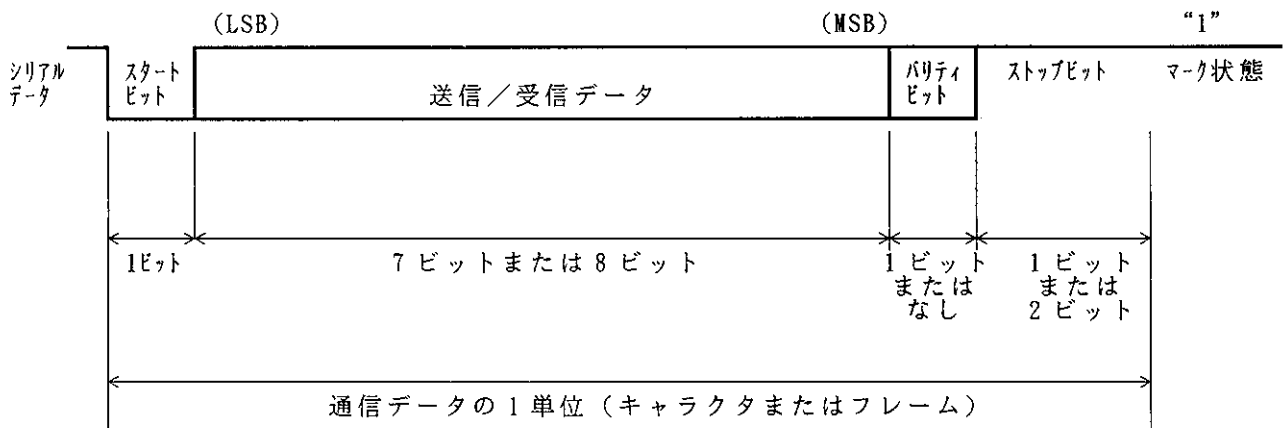


図10.4.3 調歩同期式通信のデータフォーマット

調歩同期式通信では、通信回線は通常マーク状態（“High”レベル）に保たれています。S C I 3 は通信回線を監視し、スペース（“Low”レベル）になったところをスタートビットとみなしてシリアルデータ通信を開始します。

通信データの1キャラクタは、スタートビット（“Low”レベル）から始まり、送信／受信データ（LSBファースト：最下位ビットから）、パリティビット（“High”または“Low”レベル）、最後にストップビット（“High”レベル）の順で構成されます。

調歩同期式モードでは、受信時にスタートビットの立下がりエッジで同期化を行います。また、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データを取り込みます。

調歩同期式モードで設定できる送信／受信フォーマットを、表10.4.11に示します。
送信／受信フォーマットは12種類あり、S M Rの設定により選択できます。

表10.4.11 通信フォーマット（調歩同期式モード）

S M R				シリアル通信フォーマットとフレーム長											
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	0	S	8ビットデータ								STOP		
0	0	0	1	S	8ビットデータ								STOP	STOP	
0	1	0	0	S	8ビットデータ								P	STOP	
0	1	0	1	S	8ビットデータ								P	STOP	STOP
1	0	0	0	S	7ビットデータ							STOP			
1	0	0	1	S	7ビットデータ							STOP	STOP		
1	1	0	0	S	7ビットデータ							P	STOP		
1	1	0	1	S	7ビットデータ							P	STOP	STOP	
0	*	1	0	S	8ビットデータ								MPB	STOP	
0	*	1	1	S	8ビットデータ								MPB	STOP	STOP
1	*	1	0	S	7ビットデータ							MPB	STOP		
1	*	1	1	S	7ビットデータ							MPB	STOP	STOP	

* Don't care

〈記号説明〉

S : スタートビット
S T O P : ストップビット
P : パリティビット
M P B : マルチプロセッサビット

(2) クロック

SCI 3 の送受信クロックは、SMR の COM と SCR 3 の CK E 1、CK E 0 の設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは、SCK₃端子から入力された外部クロックの 2 種類から設定できます。クロックソースの選択については表 10.4.9 を参照してください。

外部クロックを SCK₃端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK₃端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 10.4.4 に示すように送信／受信データの各ビットの中央でクロックが立上がります。

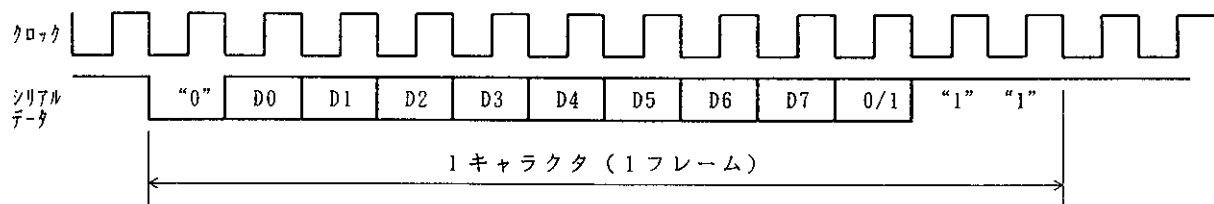


図 10.4.4 出力クロックと通信データの位相関係（調歩同期式モード）
（8 ビットデータ／パリティあり／2 ストップビットの例）

(3) データの送信／受信動作

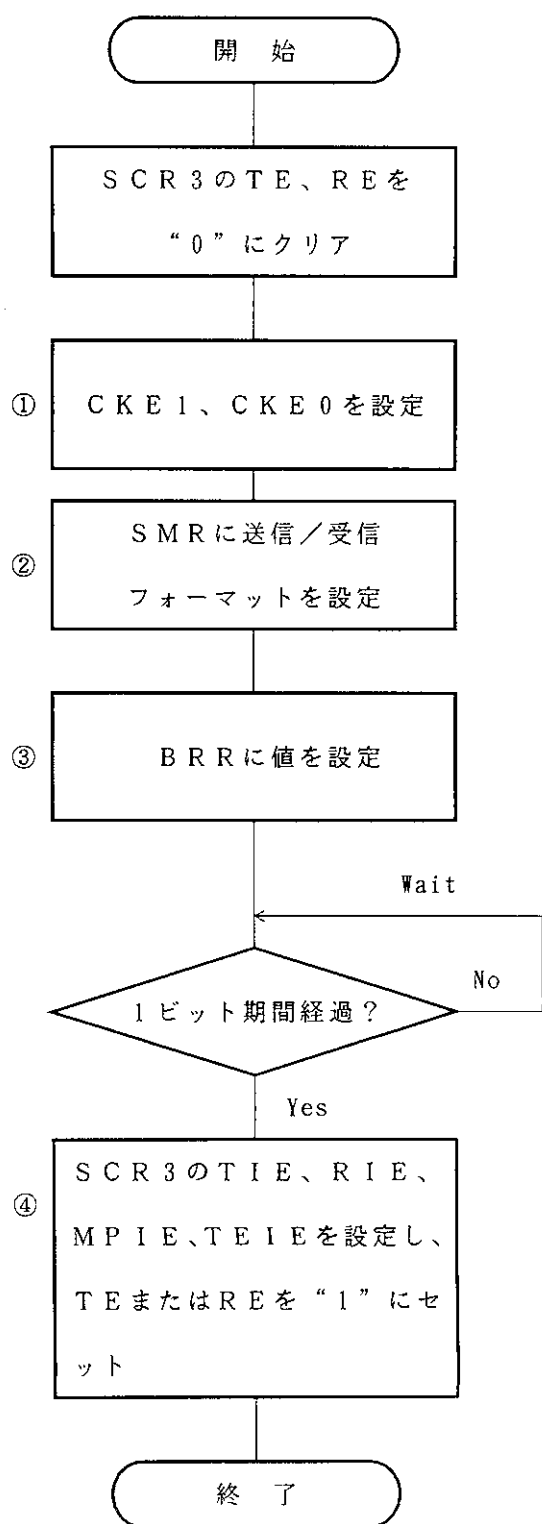
(a) SCI 3 のイニシャライズ

データの送信／受信前には、まず SCR 3 の TE および RE を “0” にクリアした後、以下の手順にしたがってイニシャライズしてください。

【注】 動作モードの変更、通信フォーマットの変更などの場合には、かならず TE および RE を “0” にクリアしてから変更してください。TE を “0” にクリアすると、TDRE は “1” にセットされます。RE を “0” にクリアしても、RDRE、PER、FER、OER の各フラグ、および RDR の内容は保持されますので注意してください。

調歩同期式モードで外部クロックを使用している場合には、イニシャライズを含めた動作中にクロックを止めないでください。クロック同期式モードで外部クロックを使用している場合には、イニシャライズ中にクロックを供給しないでください。

図10.4.5にS C I 3をイニシャライズするときのフローチャートの例を示します。



① S C R 3 にクロックの選択を設定してください。

なお、その他のビットは必ず“0”を設定してください。調歩同期式モードでクロック出力を選択した場合には、C K E 1、C K E 0 の設定後、ただちにクロックが出力されます。クロック同期式モードの受信でクロック出力を選択した場合には、C K E 1、C K E 0 を設定し R E を“1”にセットするとただちにクロックが出力されます。

② S M R に送信／受信フォーマットを設定します。

③ B R R に通信レートに対応する値をライトします。

ただし、外部クロックを使用する場合にはこの作業は必要ありません。

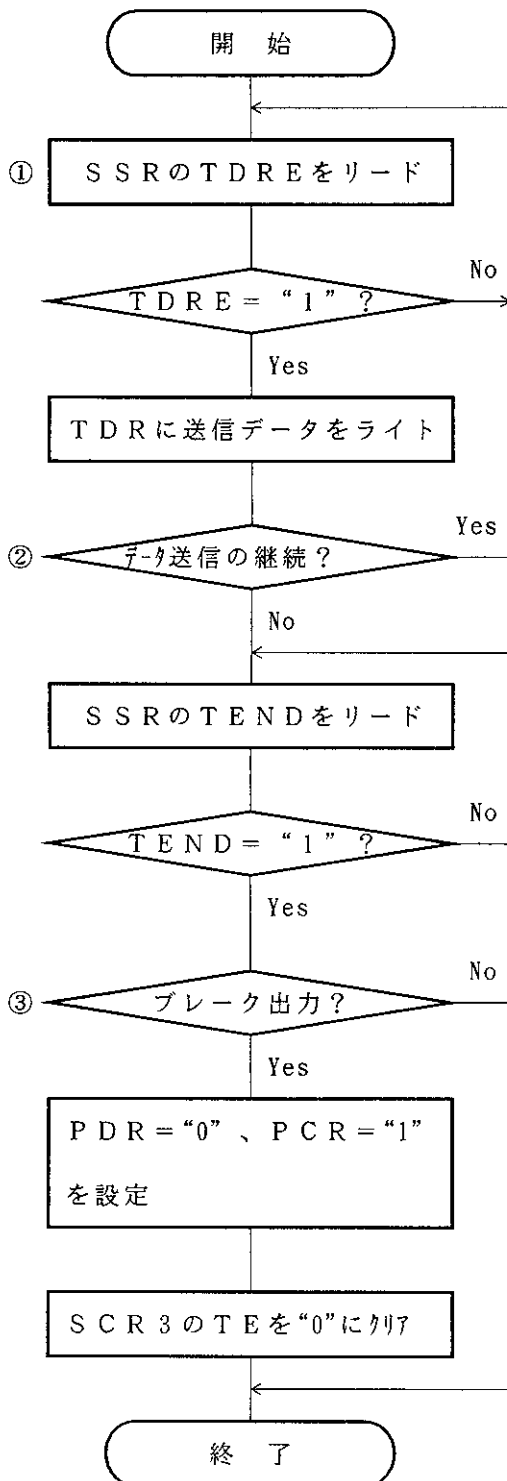
④ 少なくとも1ビット期間待ってから、S C R 3 の T I E、R I E、M P I E、T E I E を設定し、T E または R E を“1”にセットします。T E、R E の設定で T X D、R X D 端子が使用可能となります。調歩同期式モードでは送信時には“マーク状態”となり、受信時にはスタートビット待ちのアイドル状態になります。

図10.4.5 S C I 3 をイニシャライズするときのフローチャートの例

(b) データ送信

図10.4.6にデータ送信のフローチャートの例を示します。

データ送信はSCI3のイニシャライズ後、以下の手順にしたがって行ってください。



①SSRをリードして、TDREが“1”であることを確認した後、TDRに送信データをライトします。TDRにデータをライトするとTDREは自動的に“0”にクリアされます。

②データ送信を継続するときには、必ずTDREの“1”をリードして書込み可能であることを確認した後にTDRにデータをライトしてください。TDRにデータをライトするとTDREは自動的に“0”にクリアされます。

③データ送信の終了時にブレイクを出力するときには、ポートをPCR = “1”、PDR = “0”に設定した後にSCR3のTEを“0”にクリアします。

図10.4.6 データ送信のフローチャートの例（調歩同期式モード）

SCI 3はデータ送信時に以下のように動作します。

SCI 3は、SSRのTDREを監視し、“0”であるとTDRにデータが書き込まれたと認識し、TDRからTSRにデータを転送します。その後、TDREを“1”にセットして送信を開始します。このとき、SCR 3のTIEが“1”にセットされているとTXIを発生します。

シリアルデータは、表10.4.11に示す通信フォーマットに従いTXD端子から送信されます。

その後、ストップビットを送り出すタイミングでTDREをチェックします。

TDREが“0”であるとTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。TDREが“1”であるとSSRのTENDに“1”をセットし、ストップビット送出後、“1”を出力する“マーク状態”になります。このときSCR 3のTEIEが“1”にセットされているとTEIを発生します。

図10.4.7に調歩同期式モードの送信時の動作例を示します。

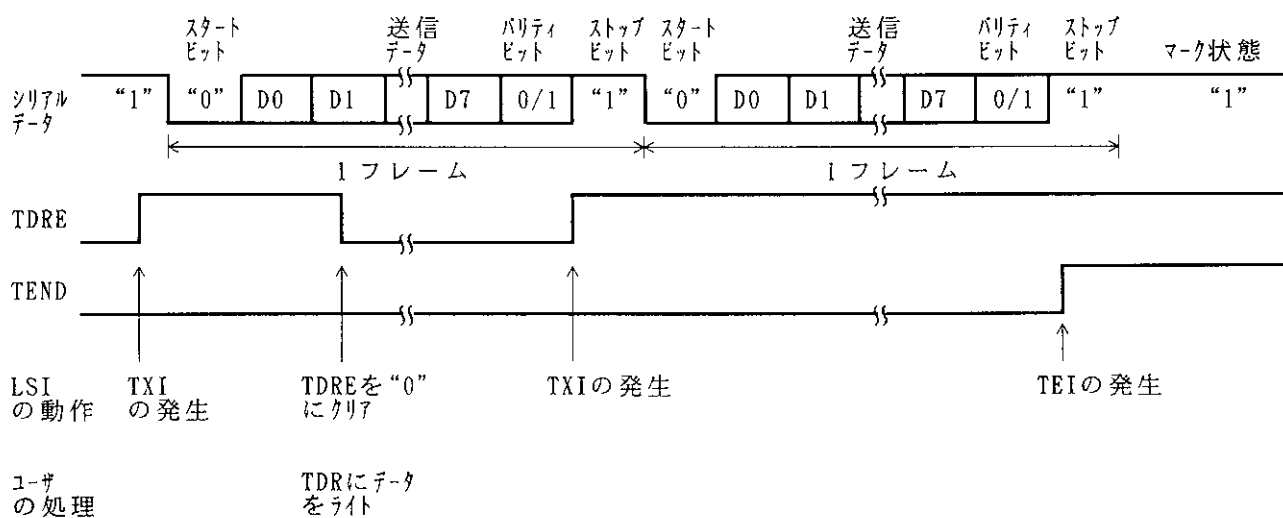
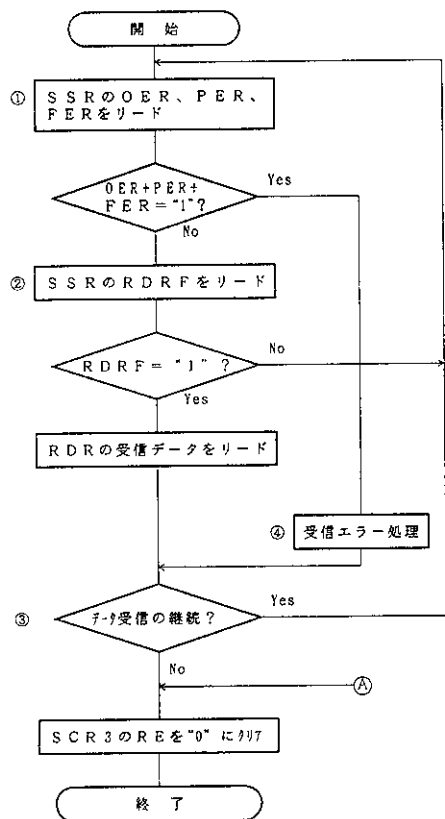


図10.4.7 調歩同期式モードの送信時の動作例
(8ビットデータ／パリティあり／1ストップビットの例)

(c) データ受信

図10.4.8にデータ受信のフローチャートの例を示します。

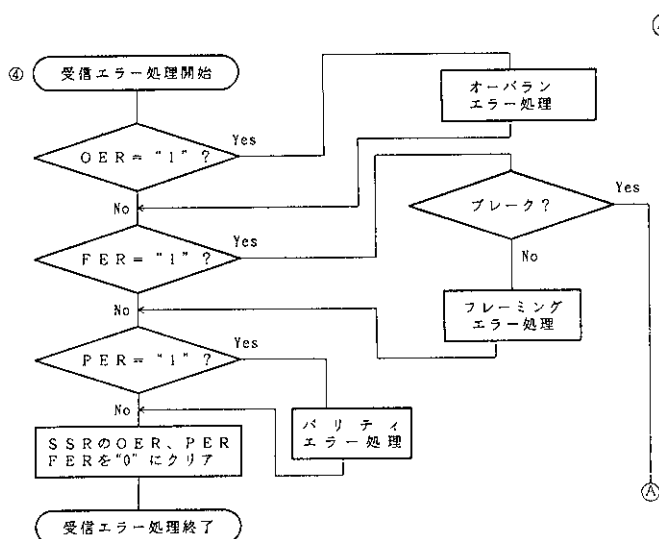
データ受信はSCI 3のイニシャライズ後、以下の手順にしたがって行ってください。



① SSRのOER、PER、FERをリードしてエラーを判定します。受信エラーが発生していた場合には、受信エラー処理を実行します。

② SSRをリードして、RDRFが“1”であることを確認します。RDRFが“1”であればRDRの受信データをリードします。
なお、RDRのデータをリードするとRDRFは自動的に“0”にクリアされます。

③ データ受信を継続するときには、現在のフレームのストップビットを受信する前に、RDRFのリード、RDRのリードを終了しておいてください。RDRのデータをリードするとRDRFは自動的に“0”にクリアされます。



④ 受信エラーが発生したときには、SSRのOER、PER、FERをリードしてエラーを判定し、所定のエラー処理を行った後、必ず、OER、PER、FERをすべて“0”にクリアしてください。OER、PER、FERのどれかが“1”にセットされた状態では受信を再開できません。また、フレーミングエラー時にRXD端子の値をリードすることでブレークの検出ができます。

図10.4.8 データ受信のフローチャートの例（調歩同期式モード）

SCI3は受信時に以下のように動作します。

SCI3は通信回線を監視し、スタートビットの“0”を検出すると内部を同期化し受信を開始します。受信は表10.4.11に示す通信フォーマットに従い、まず受信したデータをRSRのLSBからMSBの順にセットし、次に、パリティビットおよびストップビットを受信します。受信後、SCI3は以下のチェックを行います。

・パリティチェック：

受信データの“1”の数をチェックし、これがSMRのPMで設定した偶数／奇数パリティになっているかをチェックします。

・ストップビットチェック：

ストップビットが“1”であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。

・ステータスチェック：

RDRFが“0”であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

以上のチェックの結果受信エラーがなかったときRDRFが“1”にセットされ、RDRに受信データが格納されます。このときSCR3のRIEが“1”にセットされているとRXIを発生します。一方、エラーチェックで受信エラーを検出すると、各エラーに対応して、OER、FER、FERが“1”にセットされます。またRDRFはデータを受信する前の状態を保ちます。このとき、SCR3のRIEが“1”にセットされているとERIを発生します。

表10.4.12に受信エラーの検出条件と受信データの処理を示します。

【注】 受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ずOER、FER、FERおよびRDRFを“0”にクリアしてください。

表10.4.12 受信エラーの検出条件と受信データの処理

受信エラー	略 称	検 出 条 件	受信データの処理
オーバランエラー	O E R	SSRのRDRFが“1”にセットされたまま次のデータ受信を完了したとき	RSRからRDRに受信データは転送されません。
フレーミングエラー	F E R	ストップビットが“0”のとき	RSRからRDRに受信データが転送されます。
パリティエラー	P E R	SMRで設定した偶数／奇数パリティの設定と受信したデータが異なるとき	RSRからRDRに受信データが転送されます。

調歩同期式モードの受信時の動作例を図10.4.9に示します。

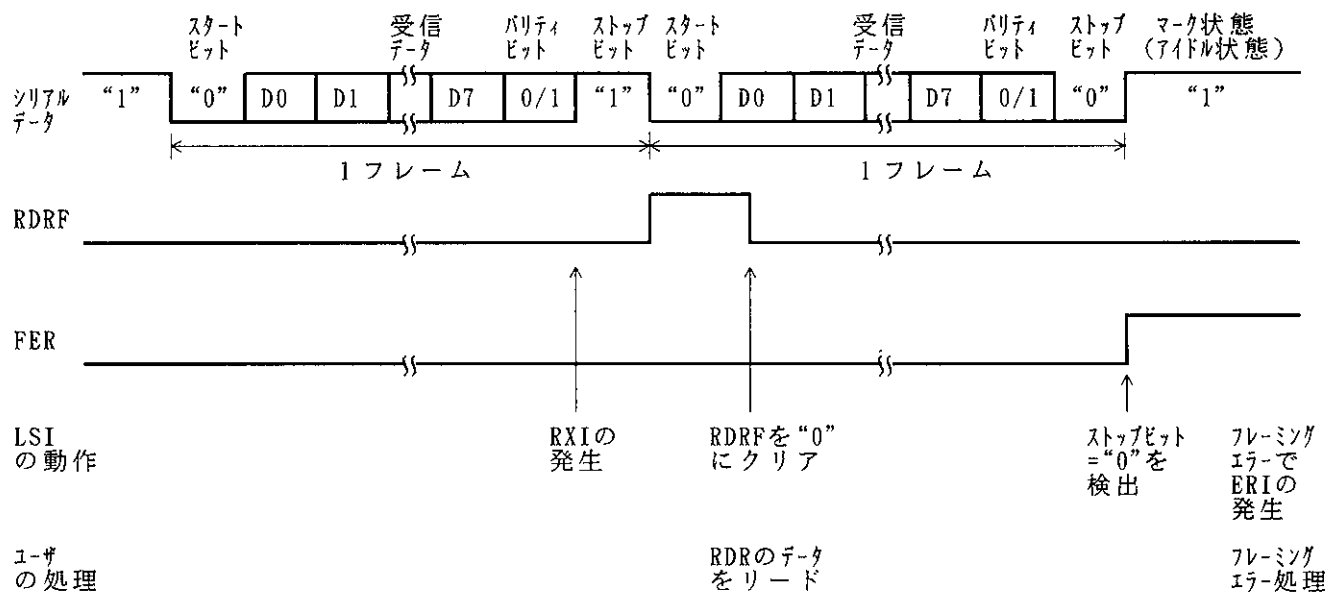


図10.4.9 調歩同期式モードの受信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

10.4.5 クロック同期式モード時の動作説明

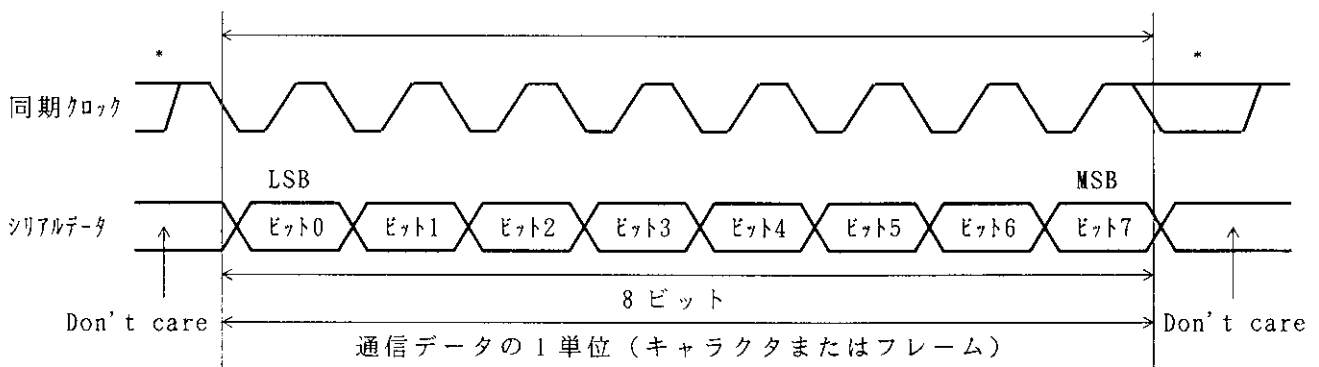
クロック同期式モードは、クロックパルスに同期してデータを送信、または受信するモードです。クロック同期式モードは、高速シリアル通信に適しています。

S C I 3 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信を行うことができます。

送信部／受信部は共にダブルバッファ構造になっていますので、送信中にデータのライトができ、連続送信が可能です。また、受信中にデータのリードができ連続受信が可能です。

(1) 送信／受信フォーマット

クロック同期式通信の通信データの一般的なフォーマットを図10.4.10に示します。



【注】＊ 連続送信／受信のとき以外は“High”レベル

図10.4.10 クロック同期式通信のデータフォーマット

クロック同期式通信では、通信回線のデータは同期クロックの立下がりから次の立下がりまで出力されます。また、同期クロックの立上がりエッジでデータの確定が保証されます。

通信データの1キャラクタは、LSBから始まり最後にMSBの順で構成されます。MSB出力後の通信回線はMSBの状態を保ちます。

クロック同期式モードでは、S C I 3 は、受信時に同期クロックの立上がりに同期してデータを取り込みます。

送信／受信フォーマットは8ビットデータ固定です。パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRのCOMとSCR3のCKE1、CKE0の設定により、内蔵ポーレートジェネレータの生成した内部クロック、またはSCK₃端子から入力された外部同期クロックの2種類から選択できます。クロックソースの選択については表10.4.9を参照してください。

内部クロックで動作させるとき、SCK₃端子からは同期クロックが出力されます。同期クロックは1キャラクタの送信／受信で8パルス出力され、送信および受信を行わないときには“High”レベルに固定されます。

(3) データの送信／受信動作

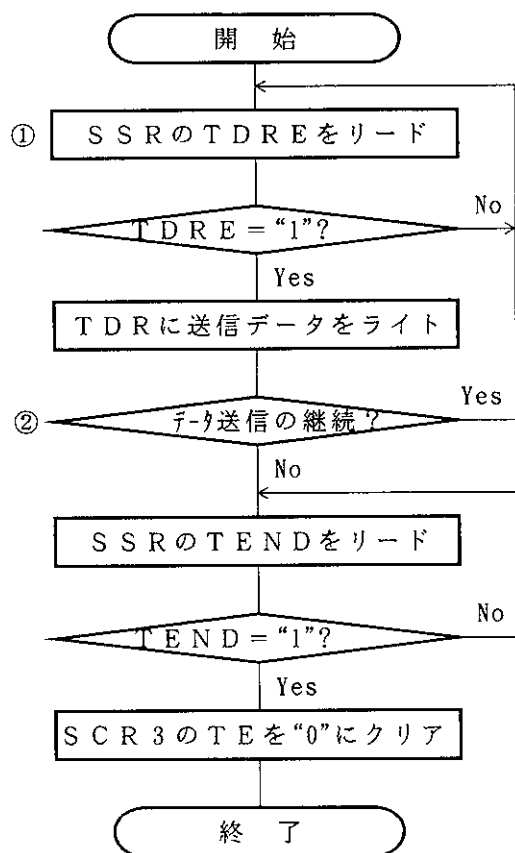
(a) SCI3のイニシャライズ

データの送信／受信前には、「10.4.4(3) (a)SCI3のイニシャライズ」の説明および図10.4.5の例にしたがってSCI3をイニシャライズしてください。

(b) データ送信

図10.4.11にデータ送信のフローチャートの例を示します。

データ送信はSCI3のイニシャライズ後、以下の手順にしたがって行ってください。



① SSRをリードして、TDREが“1”であることを確認した後、TDRに送信データをライトします。TDRにデータをライトするとTDREは自動的に“0”にクリアされ、データの送信が開始されます。また、クロック出力を選択している場合にはTDRにデータをライトするとクロックが出力され、データの送信が開始されます。

② データ送信を継続するときには、必ずTDREの“1”をリードして書込み可能であることを確認した後にTDRにデータをライトしてください。TDRにデータをライトするとTDREは自動的に“0”にクリアされます。

図10.4.11 データ送信のフローチャートの例（クロック同期式モード）

SCI 3はデータ送信時に以下のように動作します。

SCI 3は、SSRのTDREを監視し、“0”であるとTDRにデータが書き込まれたと認識し、TDRからTSRにデータを転送します。その後、TDREを“1”にセットして送信を開始します。このとき、SCR3のTIEが“1”にセットされているとTXIを発生します。

クロック出力モードに設定したときには、SCI 3は同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを送出します。

シリアルデータは、LSB（ビット0）からMSB（ビット7）の順にTXD端子から送信されます。

その後、MSB（ビット7）を送り出すタイミングでTDREをチェックします。

TDREが“0”であるとTDRからTSRにデータを転送し、次のフレームの送信を開始します。TDREが“1”であるとSSRのTENDに“1”をセットし、MSB（ビット7）送出後、状態を保持します。このときSCR3のTEIEが“1”にセットされているとTEIを発生します。

送信終了後は、SCK₃端子は“High”レベル固定になります。

【注】 データ受信のステータスを示すエラーフラグ（OER、FER、PER）が“1”にセットされた状態では送信は行えませんので、送信の前には、エラーフラグ（OER、FER、PER）が“0”にクリアされていることを確認してください。

図10.4.12にクロック同期式モードの送信時の動作例を示します。

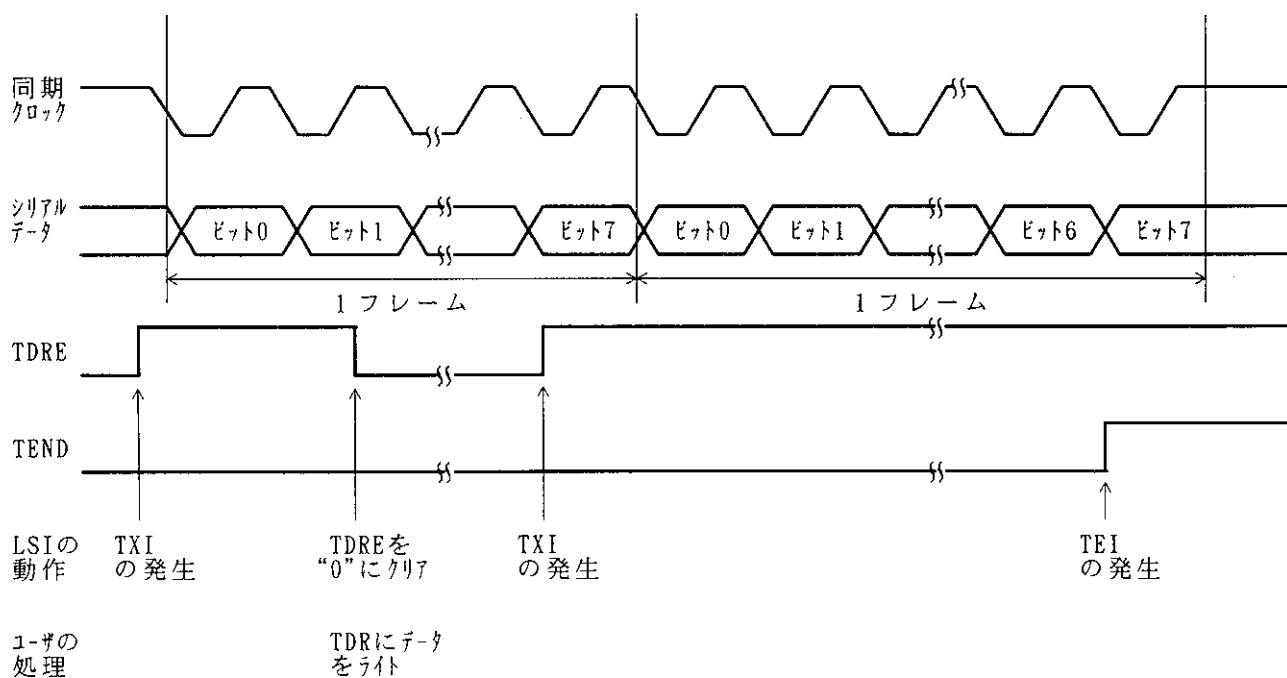
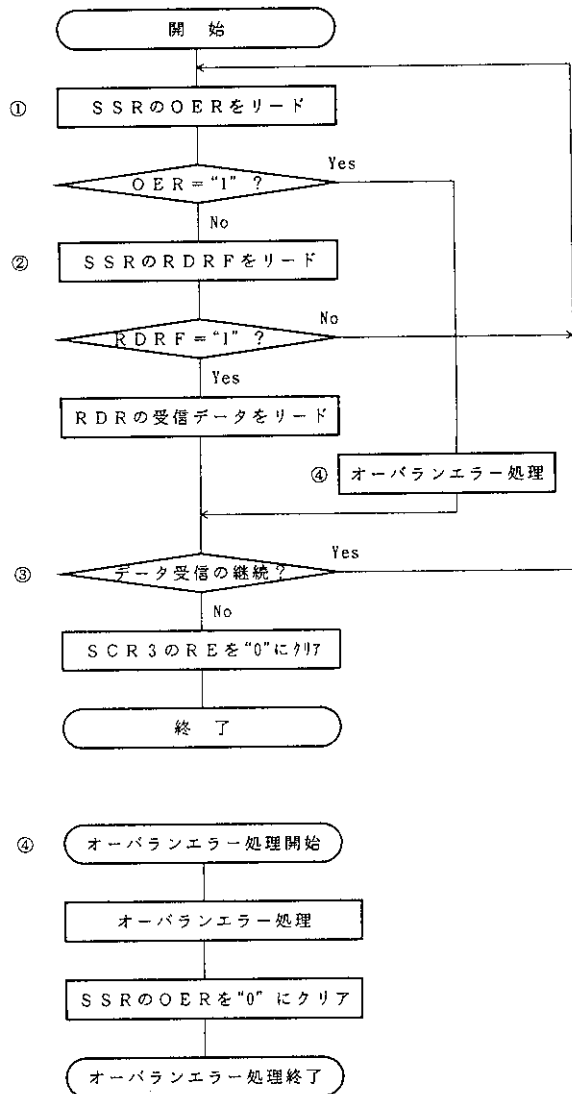


図10.4.12 クロック同期式モードの送信時の動作例

(c) データ受信

図10.4.13にデータ受信のフローチャートの例を示します。

データ受信はSCI3のイニシャライズ後、以下の手順にしたがって行ってください。



① SSRのOERをリードして、エラーを判定します。オーバーランエラーが発生していた場合には、オーバーランエラー処理を実行します。

② SSRをリードして、RDRFが“1”であることを確認します。RDRFが“1”であればRDRのデータをリードします。なお、RDRのデータをリードするとRDRFは自動的に“0”にクリアされます。

③ データ受信を継続するときには、現在のフレームのMSB（ビット7）を受信する前に、RDRFのリード、RDRのリードを終了しておいてください。

RDRのデータをリードするとRDRFは自動的に“0”にクリアされます。

④ オーバーランエラーが発生したときには、SSRのOERをリードしてから、所定のエラー処理を行った後、OERを“0”にクリアしてください。OERが“1”にセットされた状態では受信を再開できません。

図10.4.13 データ受信フローチャートの例（クロック同期式モード）

SCI 3は受信時に以下のように動作します。

SCI 3は同期クロックの入力または、出力に同期して内部を初期化し、受信を開始します。

受信したデータをRSRのLSBからMSBの順にセットします。

受信後、SCI 3は、RDRFが“0”であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

このチェックの結果オーバーランエラーがなかったときRDRFが“1”にセットされ、RDRに受信データが格納されます。

このとき、SCR 3のRIEが“1”にセットされているとRXIを発生します。一方、エラーチェックでオーバーランエラーを検出するとOERが“1”にセットされます。また、RDRFは“1”にセットされた状態を保ちます。このとき、SCR 3のRIEが“1”にセットされているとERIを発生します。

オーバーランエラーの検出条件と受信データの処理については、表10.4.12を参照してください。

【注】 受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ずOER、FER、PERおよびRDRFを“0”にクリアしてください。

図10.4.14にクロック同期モードの受信時の動作例を示します。

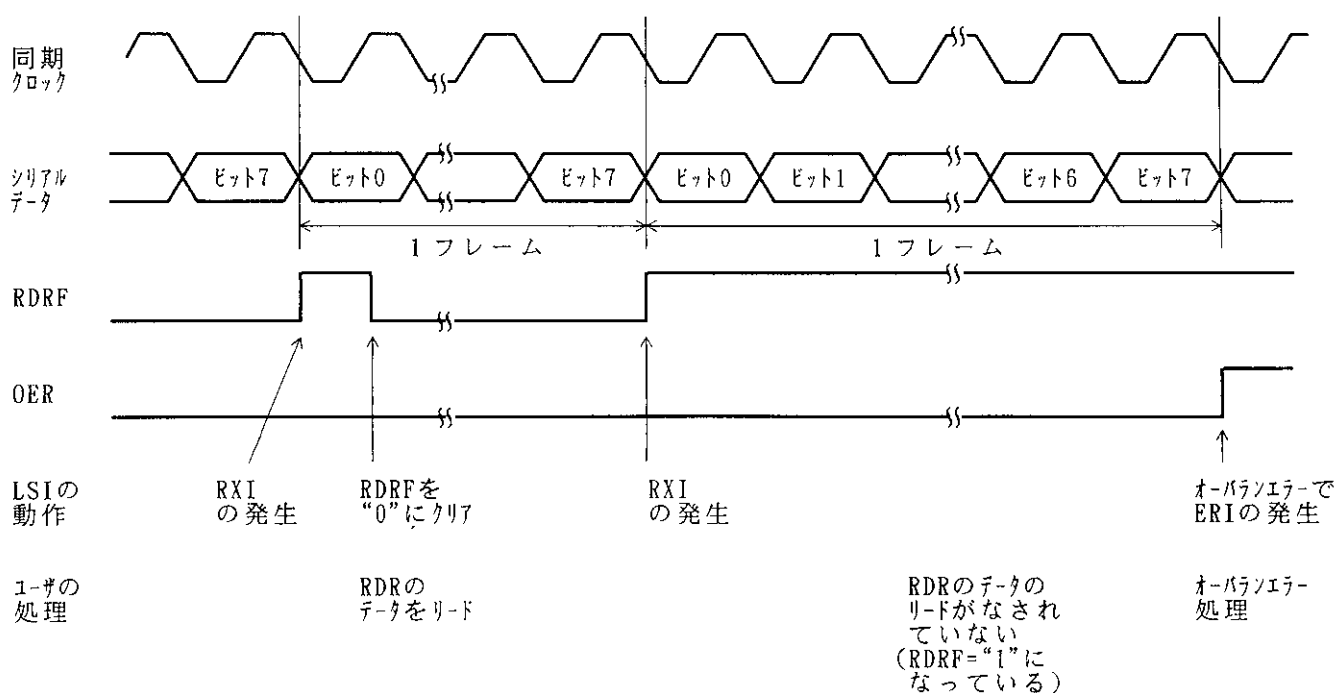
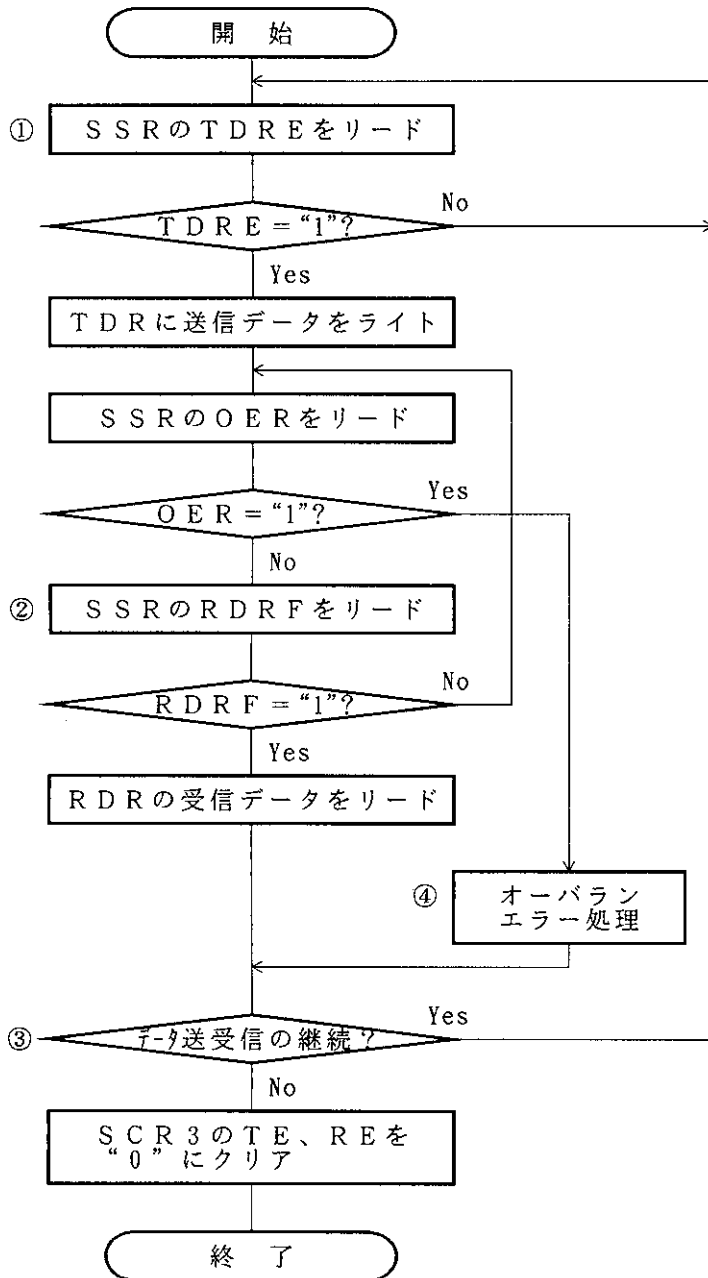


図10.4.14 クロック同期モードの受信時の動作例

(d) データ送受信同時動作

図10.4.15にデータ送受信同時動作のフローチャートの例を示します。

データ送受信同時動作はSCI3のイニシャライズ後、以下の手順にしたがって行ってください。



- ① SSRをリードしてTDREが“1”であることを確認した後、TDRに送信データをライトします。TDRにデータをライトするとTDREは自動的に“0”にクリアされます。
- ② SSRをリードして、RDRFが“1”であることを確認した後、RDRの受信データをリードします。RDRのデータをリードするとRDRFは自動的に“0”にクリアされます。
- ③ データ送受信を継続するときには、現在のフレームのMSB（ビット7）を受信する前に、RDRFのリード、RDRのリードを終了しておいてください。また、現在のフレームのMSB（ビット7）を送信する前にTDREの“1”をリードして書き込み可能であることを確認してTDRにデータをライトしておいてください。TDRにデータをライトするとTDREは自動的に“0”にクリアされます。また、RDRのデータをリードするとRDRFは自動的に“0”にクリアされます。
- ④ オーバーランエラーが発生したときには、SSRのOERをリードしてから、所定のエラー処理を行った後、OERを“0”にクリアしてください。OERが“1”にセットされた状態では送信および受信を再開できません。オーバーランエラー処理については、図10.4.13を参照してください。

図10.4.15 データ送受信同時動作のフローチャートの例（クロック同期式モード）

【注】 1. 送信から同時送受信へ切り換えるときには、次の方法で行ってください。

SCI3が送信終了状態であることを、TDREおよびTENDが“1”にセットされていることを確認した後、TEを“0”にクリアしてからTEおよびREを“1”にセットしてください。

2. 受信から同時送受信へ切り換えるときには、次の方法で行ってください。

SCI3が受信完了状態であることを確認し、REを“0”にクリアしてからRDRFおよびエラーフラグ（OER、FER、PER）が“0”にクリアされていることを確認した後、TEおよびREを“1”にセットしてください。

10.4.6 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット（マルチプロセッサフォーマット）でシリアルデータ通信を行うことにより、複数のプロセッサ間で通信回線を共有してデータの送受信を行う機能です。

マルチプロセッサ通信を行うとき、受信局は各々固有のIDコードが割り付けられています。シリアル通信サイクルは、受信局を指定するID送信サイクルと指定された受信局へ通信データを送信するデータ送信サイクルの2つから構成されます。このID送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。マルチプロセッサビットが“1”のときID送信サイクル、“0”のときデータ送信サイクルとなります。

送信局は、まずシリアルデータ通信を行いたい受信局のIDコードに、マルチプロセッサビット“1”を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット“0”を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”の通信データを受信すると、自局のIDと比較し一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが“1”の通信データが送信されるまで通信データを読みとばします。

このようにして複数のプロセッサ間のデータ送受信が行われます。

図10.4.16にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

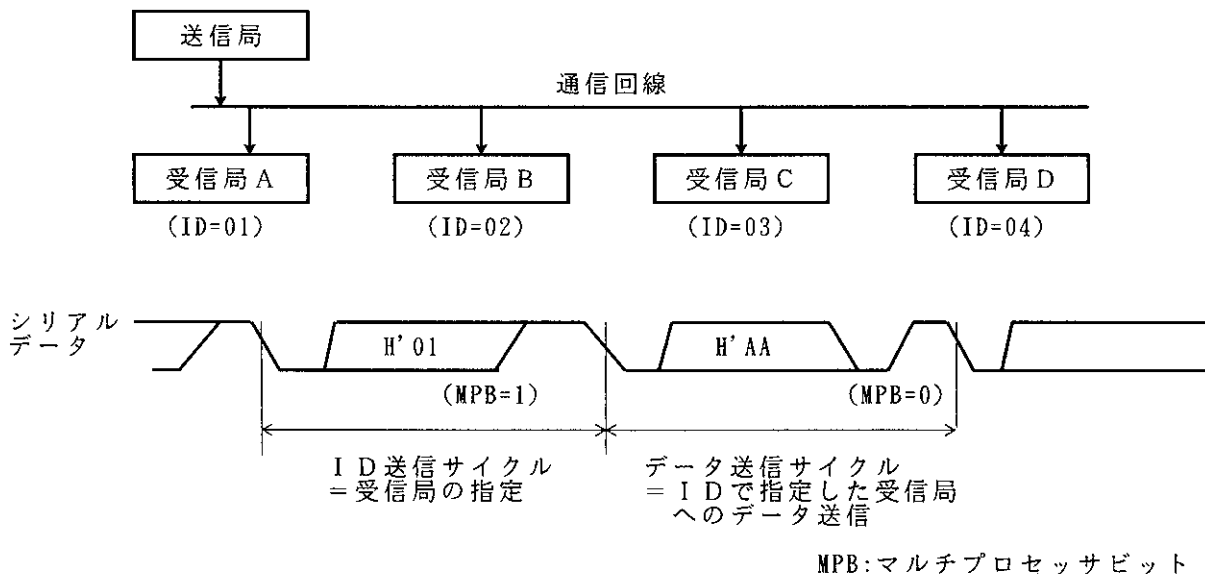


図10.4.16 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H' AA の送信の例)

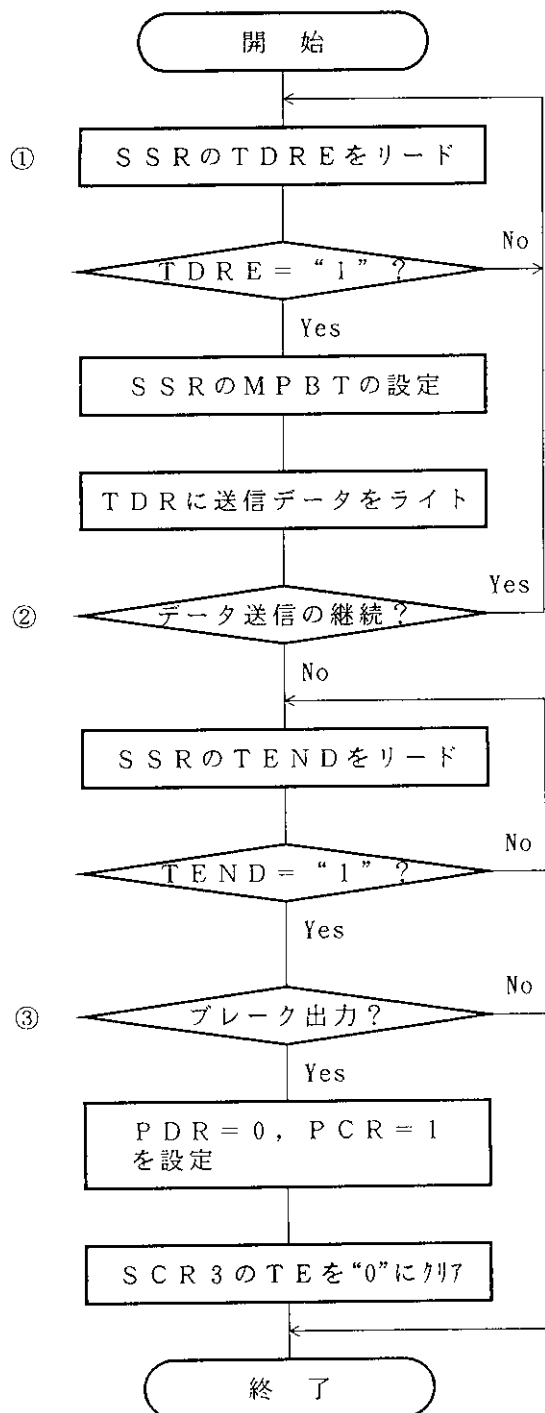
送信／受信フォーマットは4種類を選択できます。マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。詳細は表10.4.11を参照してください。

マルチプロセッサ通信を行うときのクロックについては、「10.4.4 調歩同期式モード時の動作説明」を参照してください。

(a) マルチプロセッサデータ送信

図10.14.17にマルチプロセッサデータ送信のフローチャートの例を示します。

マルチプロセッサデータ送信は S C I 3 をイニシャライズ後、以下の手順にしたがって行ってください。



① SSRをリードして、TDREが“1”であることを確認した後、SSRのMPBTを“0”または“1”に設定しTDRに送信データをライトします。TDRにデータをライトするとTDREは自動的に“0”にクリアされます。

② データ送信を継続するときには、必ずTDREの“1”をリードして書込み可能であることを確認した後にTDRにデータをライトしてください。TDRにデータをライトするとTDREは自動的に“0”にクリアされます。

③ データ送信の終了時にブレークを出力するときには、ポートをPCR = “1”、PDR = “0”に設定した後にSCR3のTEを“0”にクリアします。

図10.4.17 マルチプロセッサデータ送信のフローチャートの例

SCI 3 はデータ送信時に以下のように動作します。

SCI 3 は、SSR の TDRE を監視し、“0” であると TDR にデータが書き込まれたと認識し、TDR から TSR にデータを転送します。その後、TDRE を“1” にセットして、送信を開始します。このとき、SCR 3 の TIE が“1” にセットされていると TXI を発生します。

シリアルデータは、表 10.4.11 に示す通信フォーマットに従い、TXD 端子から送信されます。

その後、ストップビットを送り出すタイミングで TDRE をチェックします。

TDRE が“0” であると TDR から TSR にデータを転送し、ストップビット送出後、次のフレームの送信を開始します。TDRE が“1” であると SSR の TEND に“1” をセットし、ストップビット送出後、“1” を出力する“マーク状態”になります。このとき SCR 3 の TEIE が“1” にセットされていると TEI を発生します。

図 10.4.18 にマルチプロセッサフォーマットの送信時の動作例を示します。

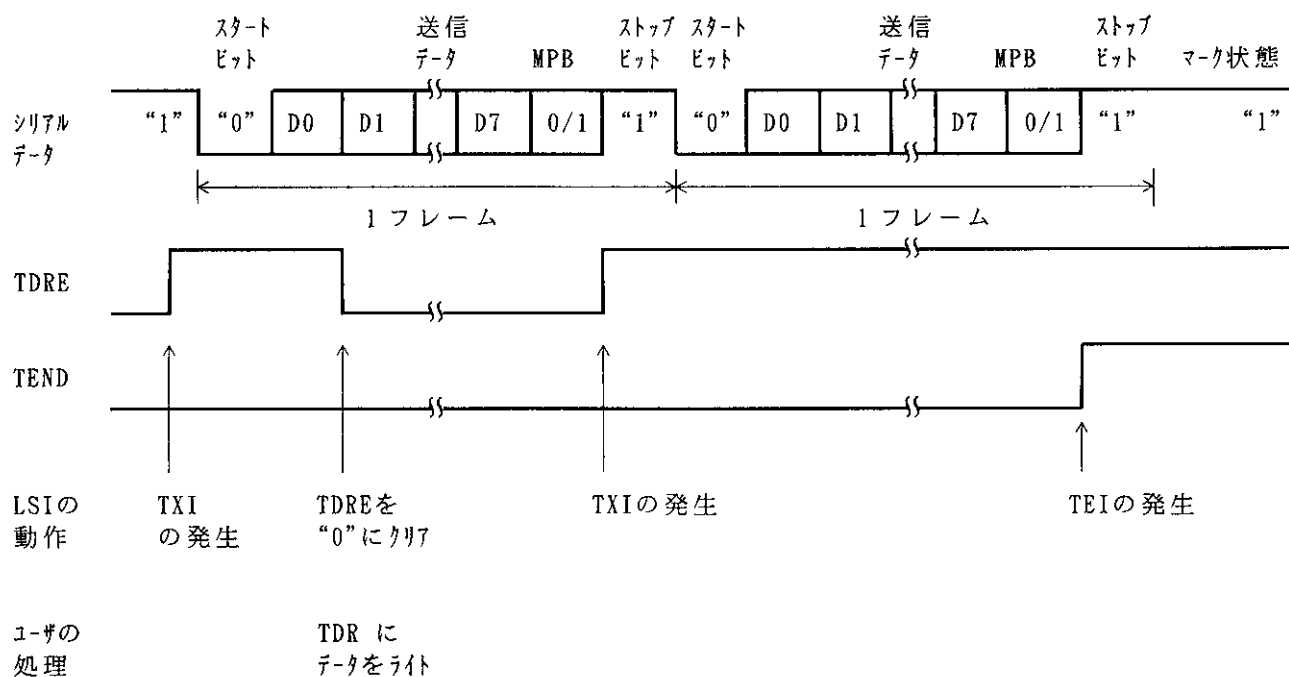


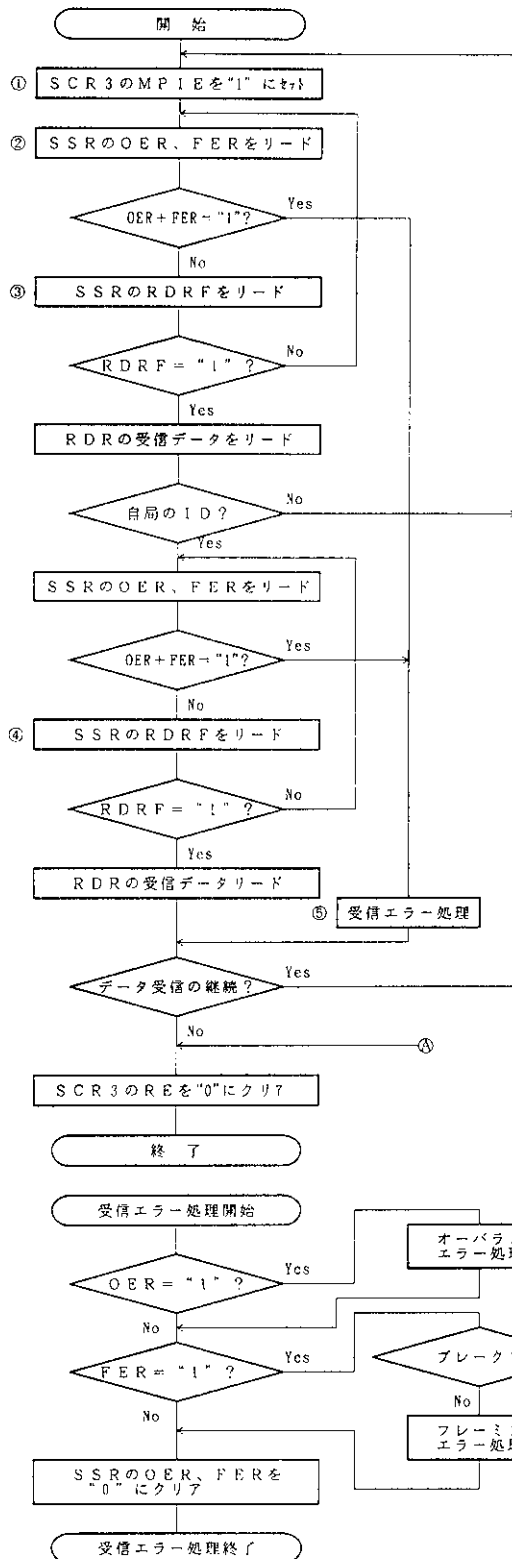
図 10.4.18 マルチプロセッサフォーマットの送信時の動作例

（8 ビットデータ／マルチプロセッサビットあり／1 ストップビットの例）

(b) マルチプロセッサデータ受信

図10.14.19にマルチプロセッサデータ受信のフローチャートの例を示します。

マルチプロセッサデータ受信はSCI3をイニシャライズ後、以下の手順にしたがって行ってください。



① SCR3のMPIEを“1”にセットします。

② SSRのOER、FERをリードしてエラーを判定します。受信エラーが発生していた場合には受信エラー処理を実行します。

③ SSRをリードして、RDRFが“1”であることを確認します。RDRFが“1”であればRDRのデータをリードし、自局のIDと比較します。自局のIDでないときには、再びMPIEを“1”にセットします。

なお、RDRのデータをリードするとRDRFは自動的に“0”にクリアされます。

④ SSRをリードして、RDRFが“1”であることを確認した後、RDRのデータをリードします。

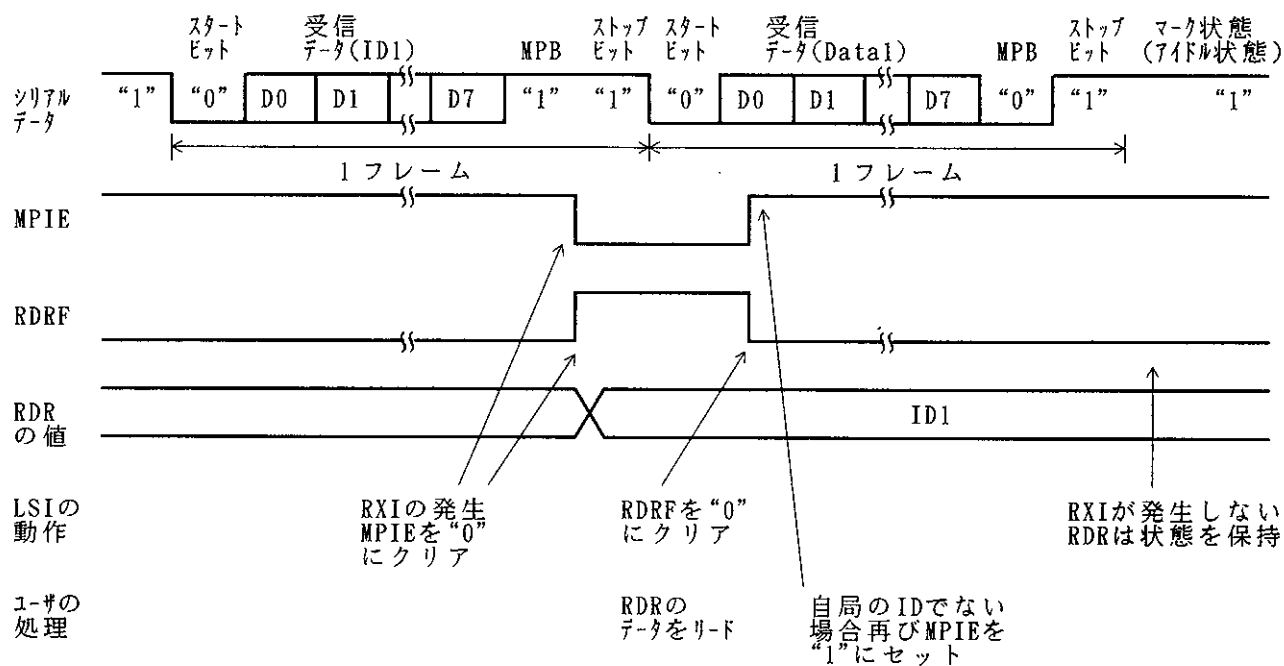
⑤ 受信エラーが発生したときには、SSRのOER、FERをリードしてエラーを判定し、所定のエラー処理を行った後、必ずOER、FERをすべて“0”にクリアしてください。

OER、FERのいずれかが“1”にセットされた状態では受信を再開できません。

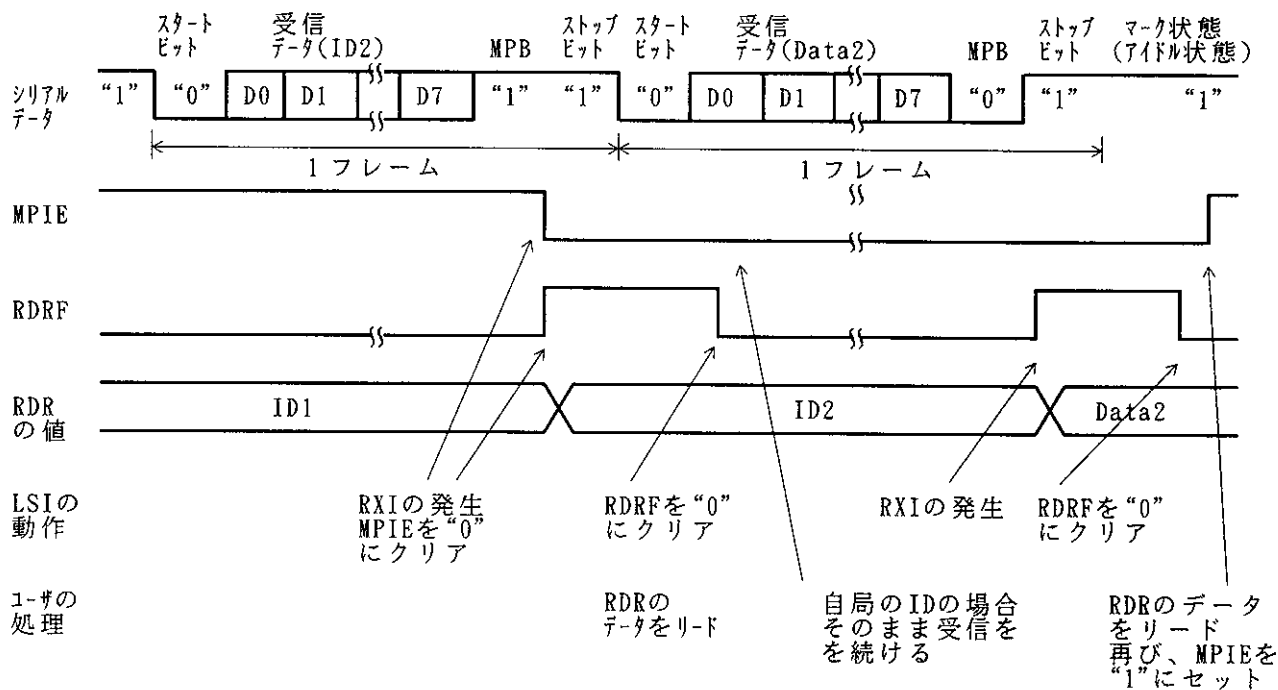
また、フレミングエラー時にRXD端子の値をリードすることでブレークの検出ができます。

図10.4.19 マルチプロセッサデータ受信のフローチャートの例

図10.4.20にマルチプロセッサフォーマットの受信時の動作例を示します。



(a) 自局のIDと一致しないとき



(b) 自局のIDと一致したとき

図10.4.20 マルチプロセッサフォーマットの受信時の動作例
(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

10.4.7 割込み要因

SCI3の割込み要因には、送信終了、送信データエンプティ、受信データフルおよび3種類の受信エラー（オーバランエラー、フレーミングエラー、パリティエラー）の計6種類があり、共通のベクタアドレスが割り付けられています。

表10.4.13に各割込み要求の内容を示します。

表10.4.13 SCI3 割込み要求の内容

割込みの略称	割込み要求の内容	ベクタアドレス
R X I	受信データフル (RDRF) による割込み要求	H'0024
T X I	送信データエンプティ (TDRE) による割込み要求	
T E I	送信終了 (TEND) による割込み要求	
E R I	受信エラー (OER、FER、PER)による割込み要求	

各割込み要求は、SCR3のTIE、RIEで許可／禁止できます。

SSRのTDREが“1”にセットされると、TXIが発生します。SSRのTENDが“1”にセットされると、TEIが発生します。この2つの割込みは送信時に発生します。

SSRのTDREは初期値が“1”になっています。したがって送信データをTDRへ転送する前にSCR3のTIEを“1”にセットして送信データエンプティ割込み要求 (TXI) を許可すると、送信データが準備されていなくてもTXIが発生します。

また、SSRのTENDは初期値が“1”になっています。したがって、送信データをTDRへ転送する前にSCR3のTEIEを“1”にセットして送信終了割込み要求 (TEI) を許可すると、送信データが送信されていなくてもTEIが発生します。

送信データをTDRへ転送する処理を割込み処理ルーチンの中で行うようにすることで、これらの割込み要求を有効に利用できます。

一方、これらの割込み要求 (TXI、TEI) の発生を防ぐためには、送信データをTDRへ転送した後に、これらの割込み要求に対応する許可ビット (TIE、TEIE) を“1”にセットしてください。

SSRのRDRFが“1”にセットされるとRXIが発生します。OER、PER、FERのいずれかが“1”にセットされるとERIが発生します。この2つの割込み要求は受信時に発生します。

割込みに関する詳細は「3.3 割込み」を参照してください。

10.4.8 使用上の注意事項

SCI 3を使用する際は、以下のことに注意してください。

(1) TDRへのライトとTDREの関係について

SSRのTDREはシリアル送信するデータがTDRに準備されていないことを示すステータスフラグです。TDRへデータを書き込むとTDREは自動的に“0”にクリアされます。またSCI 3がTDRからTSRにデータを転送すると、TDREが“1”にセットされます。

TDRへのデータのライトは、TDREの状態にかかわらず行うことができますが、TDREが“0”の状態では新しいデータをTDRに書き込むと、TDRに格納されていた前のデータは、まだTSRに転送されていない場合失われてしまいます。したがって、シリアル送信を確実にを行うためにTDRへの送信データのライトは、必ずTDREが“1”にセットされていることを確認してから1回だけ行う（2回以上ライトしない）ようにしてください。

(2) 複数の受信エラーを同時に検出した場合の動作について

複数の受信エラーを同時に検出した場合、SSRの各ステータスフラグの状態は、表10.4.14に示すようにセットされます。オーバランエラーを検出した場合にはRSRからRDRへのデータ転送は行われず、受信データは失われます。

表10.4.14 SSRのステータスフラグの状態と受信データの転送

SSRのステータスフラグ				受信データ転送 RSR→RDR	受信エラーの状態
RDRF*	OER	FER	PER		
1	1	0	0	×	オーバランエラー
0	0	1	0	○	フレーミングエラー
0	0	0	1	○	パリティエラー
1	1	1	0	×	オーバランエラー＋ フレーミングエラー
1	1	0	1	×	オーバランエラー＋ パリティエラー
0	0	1	1	○	フレーミングエラー＋ パリティエラー
1	1	1	1	×	オーバランエラー＋フレーミング エラー＋パリティエラー

○：RSR→RDRに受信データを転送します。

×：RSR→RDRに受信データを転送しません。

【注】* RDRFは、データ受信前の状態を保持します。ただし、前のフレームの受信データのリードが遅れた結果、次のフレームのオーバランエラーが発生した後にRDRをリードした場合は、RDRFは“0”にクリアされますので注意してください。

(3) ブレークの検出と処理について

フレーミングエラー検出時に、RXD端子の値を直接リードすることでブレークを検出できます。ブレークではRXD端子からの入力すべて“0”になりますので、FERがセットされ、またPERもセットされる可能性があります。

SCI3は、ブレークを受信した後も受信動作を続けます。したがってFERを“0”にクリアしてもふたたびFERが“1”にセットされますので注意してください。

(4) マーク状態とブレークの送出

TEが“0”のとき、TXD端子はPDRとPCRにより入出力方向とレベルが決まるI/Oポートになります。これを利用してTXD端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。

TEを“1”にセットするまで、通信回線をマーク状態(“1”の状態)にするためには、PCR = “1”、PDR = “1”を設定します。このとき、TEが“0”にクリアされていますので、TXD端子はI/Oポートとなっており“1”が出力されます。

一方、データ送信時にブレークを送出したいときは、PCR = “1”、PDR = “0”に設定した後TEを“0”にクリアします。

TEを“0”にクリアすると現在の送信状態とは無関係に送信部は初期化され、TXD端子はI/Oポートになり、TXD端子から“0”が出力されます。

(5) 受信エラーフラグと送信動作について（クロック同期式モードのみ）

受信エラーフラグ(OER、PER、FER)が“1”にセットされた状態では、TDREを“0”にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを“0”にクリアしておいてください。

また、REを“0”にクリアしても受信エラーフラグは“0”にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、S C I 3 は転送レート of 16 倍の周波数の基本クロックで動作しています。

受信時には S C I 3 は、スタートビットの立下がりを基本クロックでサンプリングして内部を同期化します。また、受信データを基本クロックの 8 ヶ目の立上がりエッジで内部に取り込みます。

これを図10.4.21に示します。

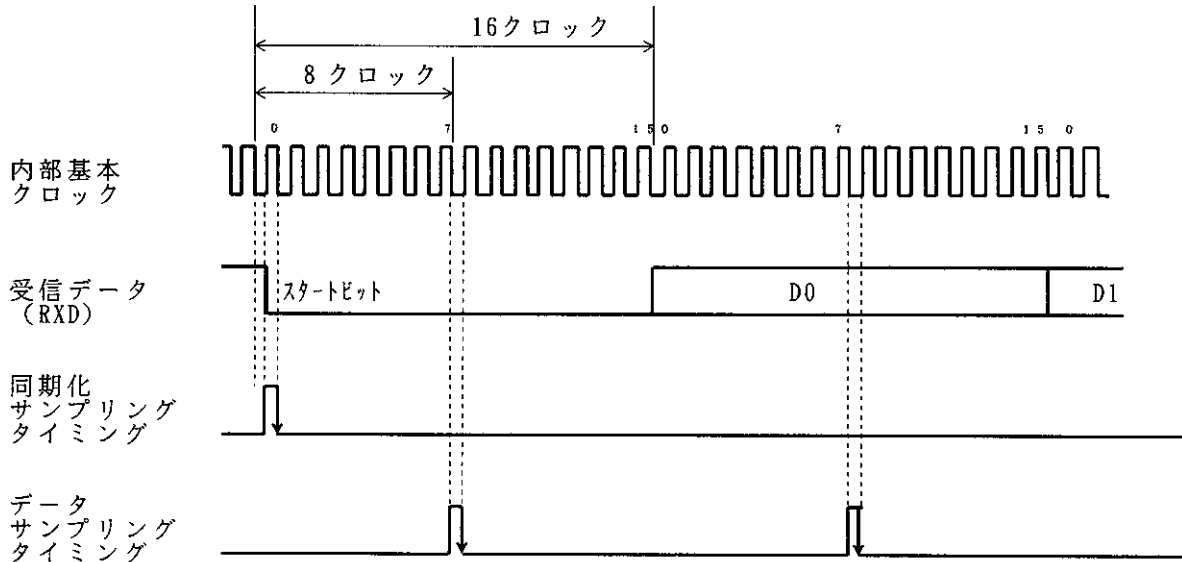


図10.4.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D - 0.5}{N} - (L - 0.5)F \right\} \times 100 [\%] \quad \text{-----式(1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 16)

D : クロックのデューティ (D = 0.5 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対値

式(1)で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5とすると、受信マージンは式(2)より 46.875% となります。

D = 0.5、F = 0 のとき、

$$\begin{aligned} M &= \left\{ 0.5 - 1 / (2 \times 16) \right\} \times 100 [\%] \\ &= 46.875\% \quad \text{-----式(2)} \end{aligned}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30 % の余裕を持たせてください。

(7) RDRのリードとRDRFの関係について

SCI 3は受信動作において、RDRFフラグをチェックしながら動作します。1フレームの受信終了のタイミングでRDRFが“0”にクリアされていれば、通常のデータ受信を完了します。またRDRFが“1”にセットされていれば、オーバランエラーとなります。

RDRの内容をリードすると、RDRFは自動的に“0”にクリアされます。したがって、RDRのリードを2回以上行う場合、2回目以降のリード操作はRDRFが“0”の状態で行われます。RDRFが“0”の状態でRDRのリードを行うと、リード操作が次のフレームの受信が完了するタイミングと重なった場合、次のフレームのデータが読み出されることがありますので注意してください。これを図10.4.22に示します。

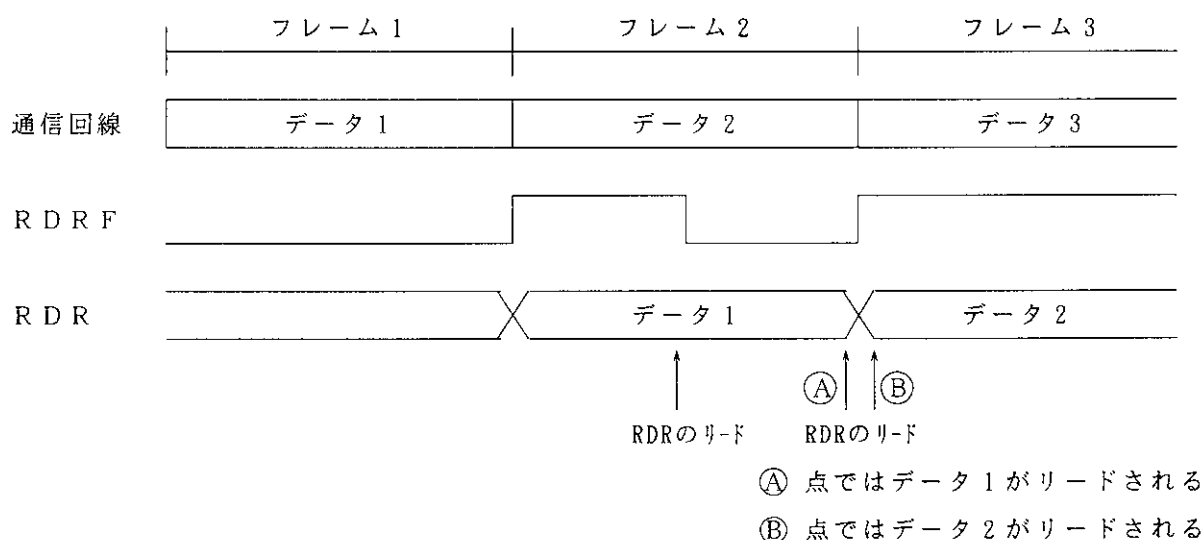


図10.4.22 RDRのリードタイミングとデータの関係

この場合、RDRのリード操作はRDRFが“1”にセットされていることを確認してから、1回のみ行う（2回以上リードしない）ようにしてください。2回以上リードする場合は、1回リードしたデータをRAM等に転送し、その内容を使用するようにしてください。また、RDRのリード操作は、次のフレームの受信が完了するまでに余裕をもって行うようにしてください。具体的なタイミングとしては、クロック同期式モードではビット7の転送前まで、調歩同期式モードではSTOPビットの転送前までにRDRのリードを完了してください。

(8) SCK₃の端子機能切換えに伴う注意事項

S C I 3 をクロック同期式モードで使用した後、SCK₃端子をクロック出力から入出力ポートに端子機能を切換えるとSCK₃端子に端子機能切換えのタイミングで瞬時（システムクロックφの1/2の期間）“Low”レベルを出力しますので注意してください。

この瞬時の“Low”レベル出力を回避するには次の方法があります。

(a) SCK₃端子をクロック出力状態から非出力状態にする場合

送受信を停止する際、1命令でS C R 3のT Eビット、R Eビットを“0”にクリアすると同時にC K E 1ビットを“1”、C K E 0ビットを“0”に設定してください。

この場合は、S M RのC O Mビット＝“1”の状態で使用してください。したがって、入出力ポートとしては使用できません。また、SCK₃端子に中間電位が印加しないようにSCK₃端子に接続したラインは抵抗を介してV_{cc}電位にプルアップするか、他のデバイスから出力を与えるかしてください。

(b) SCK₃端子をクロック出力から入出力ポートに端子機能を切換える場合

送受信を停止する際、まず1命令でS C R 3のT Eビット、R Eビットを共に“0”にクリアすると同時にC K E 1ビットを“1”、C K E 0ビットを“0”に設定してください。

次にS M RのC O Mビットを“0”にクリアしてください。

最後にS C R 3のC K E 1、C K E 0ビットを共に“0”にクリアしてください。

この場合もSCK₃端子に中間電位が印加しないように注意してください。

(9) TxD端子機能切換えに伴う注意事項

S C I 3 をクロック同期式モードで使用した後、TxD端子をデータ出力から入出力ポートに端子機能を切換えるとTxD端子に端子機能を切換えのタイミングで瞬時（システムクロックφの期間）“High”レベルを出力しますので注意してください。

11. 14ビットPWM

第11章 目次

11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	ブロック図	11-1
11.1.3	端子構成	11-2
11.1.4	レジスタ構成	11-2
11.2	各レジスタの説明	11-3
11.2.1	PWMコントロールレジスタ (PWCR)	11-3
11.2.2	PWMデータレジスタU、L (PWDRU、PWDRL)	11-4
11.3	動作説明	11-5

11.1 概要

本 L S I は、14ビット P W M (Pulse Width Modulator)を内蔵しています。ローパスフィルタを接続することで D / A 変換器として使用できます。

11.1.1 特長

14ビット P W M の特長を以下に示します。

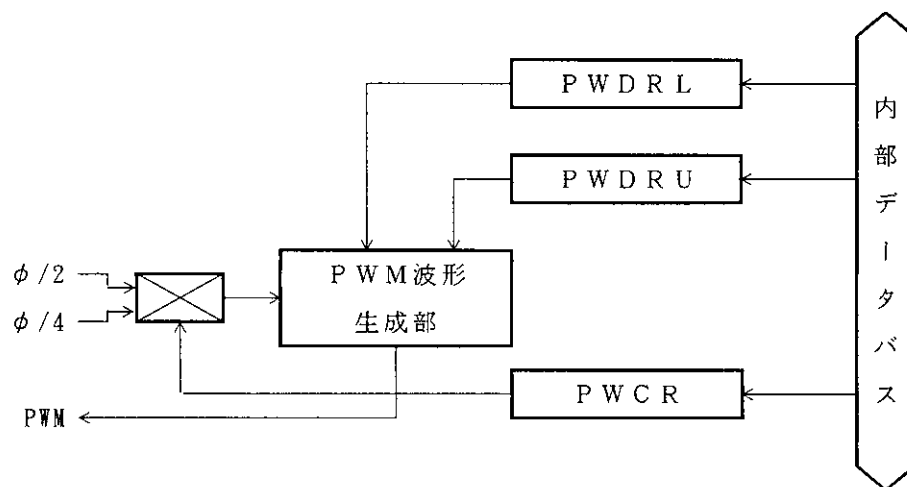
■ 2 種類の変換周期を選択可能

1 変換周期 $32,768 / \phi$ 、最小変化幅 $2 / \phi$ (P W C R 0 = “ 1 ”)、または 1 変換周期 $16,384 / \phi$ 、最小変化幅 $1 / \phi$ (P W C R 0 = “ 0 ”) の選択が可能です。

■ リップル低減を図ったパルス分割方式

11.1.2 ブロック図

14ビット P W M のブロック図を図 11.1 に示します。



<記号説明>

P W D R L : P W M データレジスタ L

P W D R U : P W M データレジスタ U

P W C R : P W M コントロールレジスタ

図 11.1 14ビット P W M のブロック図

11.1.3 端子構成

14ビットPWMの端子構成を表11.1に示します。

表11.1 端子構成

名 称	略 称	入出力	機 能
PWM出力端子	PWM	出 力	パルス分割方式PWM波形出力

11.1.4 レジスタ構成

14ビットPWMのレジスタ構成を表11.2に示します。

表11.2 レジスタ構成

名 称	略 称	R / W	初期値	アドレス
PWMコントロールレジスタ	PWCR	W	H'FE	H'FFD0
PWMデータレジスタU	PWDRU	W	H'C0	H'FFD1
PWMデータレジスタL	PWDR L	W	H'00	H'FFD2

11.2 各レジスタの説明

11.2.1 PWMコントロールレジスタ (PWCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PWCR0
初期値:	1	1	1	1	1	1	1	0
R/W:	—	—	—	—	—	—	—	W

PWCRは、8ビットのライト専用レジスタで、入力クロックの選択を行います。

リセット時、PWCRはH'FEにイニシャライズされます。

ビット7～1：リザーブビット

リザーブビットです。各ビットはリードすると常に“1”が読み出されます。ライトは無効です。

ビット0：クロックセレクト0 (PWCR0)

14ビットPWMに供給されるクロックを選択します。

本ビットはライト専用です。リードすると常に“1”が読み出されます。

ビット0	説 明
PWCR0	
0	入力クロック = $\phi / 2$ ($t_{\phi^*} = 2 / \phi$) (初期値) 1変換周期16,384/ ϕ 、最小変化幅1/ ϕ のPWM波形を生成
1	入力クロック = $\phi / 4$ ($t_{\phi^*} = 4 / \phi$) 1変換周期32,768/ ϕ 、最小変化幅2/ ϕ のPWM波形を生成

【注】* t_{ϕ} : PWM入力クロックの周期

11.2.2 PWMデータレジスタU、L (PWDRU、PWDR L)

ビット:	7	6	5	4	3	2	1	0
PWDRU	—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0
初期値:	1	1	0	0	0	0	0	0
R/W:	—	—	W	W	W	W	W	W

ビット:	7	6	5	4	3	2	1	0
PWDR L	PWDR L7	PWDR L6	PWDR L5	PWDR L4	PWDR L3	PWDR L2	PWDR L1	PWDR L0
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PWDRU、PWDR Lは、ライト専用の14ビットのレジスタで、PWDRUが上位6ビット、PWDR Lが下位8ビットの構成になっています。PWDRU、PWDR Lに書き込まれた内容はPWM波形1周期の“High”レベル幅の合計に対応します。

PWDRU、PWDR Lに14ビットのデータをライトすると、PWDRU、PWDR Lの内容がPWM波形生成部に取り込まれ、PWM波形生成のデータの更新が行われます。14ビットデータの設定は必ずPWDR L→PWDRUの順序で行ってください。

- ①PWDR Lへ下位8ビットのデータをライトする。
- ②PWDRUへ上位6ビットのデータをライトする。

PWDRU、PWDR Lは、ライト専用レジスタです。リードした場合各ビットは常に“1”が読み出されます。

リセット時、PWDRU、PWDR LはH' C000にイニシャライズされます。

11.3 動作説明

14ビットPWMを使用する場合、以下の順序でレジスタ設定を行ってください。

- ① PMR1のPWM = “1”としてP14/PWM端子をPWM出力端子に設定します。
- ② PWCRのPWCR0により、1変換周期を $32,768/\phi$ （PWCR0 = “1”）、 $16,384/\phi$ （PWCR0 = “0”）から選択します。
- ③ PWDRU、PWDR Lに出力波形データを設定します。このとき、必ずPWDR L → PWDR Uの順序で書き込んでください。PWDR Uへのライトと同時にPWM波形生成部にデータが取り込まれ、内部信号と同期をとってPWM波形生成の更新が行われます。

1変換周期は図11.2に示すように64個のパルスで構成され、この1変換周期中の“High”レベル幅合計（ T_H ）が、PWDR U、PWDR Lのデータに対応しています。

この関係は次式で示されます。

$$T_H = (\text{PWDR U、PWDR Lのデータ値} + 64) \times t_{\phi} / 2$$

ここで t_{ϕ} は、PWM入力クロックの周期で $2/\phi$ （PWCR0 = “0”）または $4/\phi$ （PWCR0 = “1”）となります。

例：変換周期を $8,192 \mu s$ とするためには、以下のように設定します。

PWCR0 = “0”に設定すると、1変換周期は $16,384/\phi$ なので、 $\phi = 2 \text{ MHz}$ となります。

このとき、 $t_{\text{on}} = 128 \mu s$ 、 $1/\phi$ （精度） $= 0.5 \mu s$ です。

PWCR0 = “1”に設定すると、1変換周期は $32,768/\phi$ なので、 $\phi = 4 \text{ MHz}$ となります。

このとき、 $t_{\text{on}} = 128 \mu s$ 、 $2/\phi$ （精度） $= 0.5 \mu s$ です。

したがって、1変換周期 $8,192 \mu s$ とするためには、システムクロック（ ϕ ）は 2 MHz または、 4 MHz で使用するようになります。

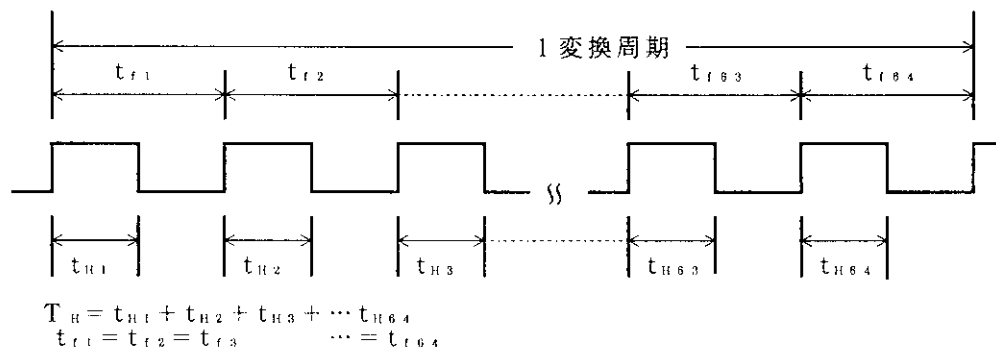


図11.2 PWM出力波形

12. A / D 変換器

第12章 目次

12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-2
12.1.3	端子構成	12-3
12.1.4	レジスタ構成	12-3
12.2	各レジスタの説明	12-4
12.2.1	A / D リザルトレジスタ (ADRR)	12-4
12.2.2	A / D モードレジスタ (AMR)	12-4
12.2.3	A / D スタートレジスタ (ADSR)	12-6
12.3	動作説明	12-7
12.3.1	A / D 変換動作	12-7
12.3.2	外部トリガによる A / D 変換器の起動	12-7
12.4	割込み要因	12-8
12.5	使用例	12-8
12.6	使用上の注意	12-12

12.1 概要

本 L S I は、抵抗ラダー方式による逐次比較型 A / D 変換器を内蔵しており、最大 12 チャンネルのアナログ入力の実定がでます。

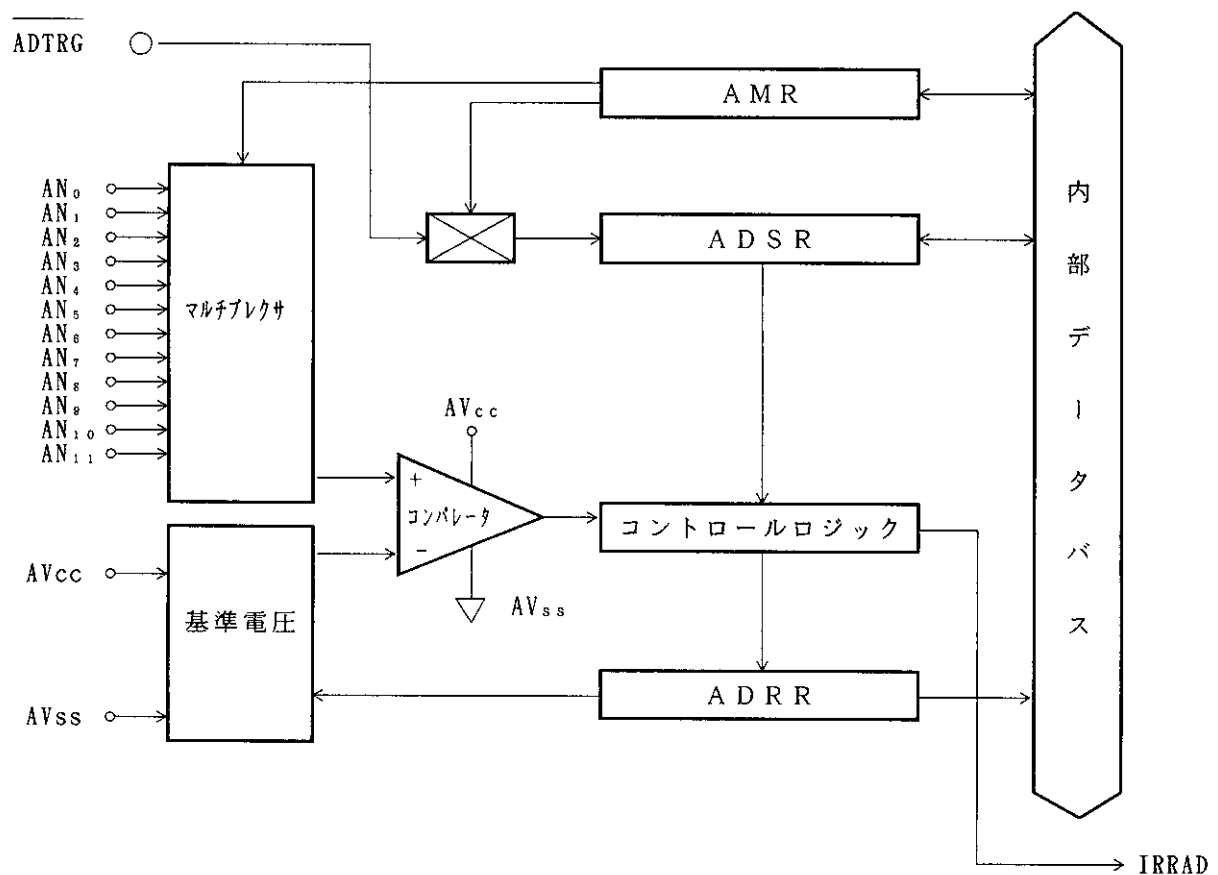
12.1.1 特長

A / D 変換器の特長を以下に示します。

- 8 ビットの分解能
- 入力チャンネル：12 チャンネル
- 変換時間：1 チャンネル当たり 12.4 μ s（5 MHz 動作時）
- サンプル & ホールド機能
- A / D 変換終了割込み要求を発生
- 外部トリガ入力により、A / D 変換開始を指定可能

12.1.2 ブロック図

A/D変換器のブロック図を図12.1に示します。



<記号説明>

AMR : A/Dモードレジスタ

ADSR : A/Dスタートレジスタ

ADDR : A/Dリザルトレジスタ

図12.1 A/D変換器ブロック図

12.1.3 端子構成

A/D変換器の端子構成を表12.1に示します。

表12.1 端子構成

端 子 名	略 称	入出力	機 能
アナログ電源端子	AV _{cc}	入力	アナログ部の電源および基準電圧
アナロググランド端子	AV _{ss}	入力	アナログ部のグランドおよび基準電圧
アナログ入力端子 0	AN ₀	入力	アナログ入力チャネル 0
アナログ入力端子 1	AN ₁	入力	アナログ入力チャネル 1
アナログ入力端子 2	AN ₂	入力	アナログ入力チャネル 2
アナログ入力端子 3	AN ₃	入力	アナログ入力チャネル 3
アナログ入力端子 4	AN ₄	入力	アナログ入力チャネル 4
アナログ入力端子 5	AN ₅	入力	アナログ入力チャネル 5
アナログ入力端子 6	AN ₆	入力	アナログ入力チャネル 6
アナログ入力端子 7	AN ₇	入力	アナログ入力チャネル 7
アナログ入力端子 8	AN ₈	入力	アナログ入力チャネル 8
アナログ入力端子 9	AN ₉	入力	アナログ入力チャネル 9
アナログ入力端子 10	AN ₁₀	入力	アナログ入力チャネル 10
アナログ入力端子 11	AN ₁₁	入力	アナログ入力チャネル 11
外部トリガ入力端子	ADTRG	入力	A/D変換の開始を制御する外部トリガ入力

12.1.4 レジスタ構成

A/D変換器のレジスタ構成を表12.2に示します。

表12.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
A/Dモードレジスタ	AMR	R/W	H'30	H'FFC4
A/Dスタートレジスタ	ADSR	R/W	H'7F	H'FFC6
A/Dリザルトレジスタ	ADRR	R	不 定	H'FFC5

12.2 各レジスタの説明

12.2.1 A/Dリザルトレジスタ (ADDR)

ビット	7	6	5	4	3	2	1	0
	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
初期値	不定	不定	不定	不定	不定	不定	不定	不定
R/W	R	R	R	R	R	R	R	R

ADDRは、A/D変換された結果を格納する8ビットのリード専用レジスタです。

ADDRは常にCPUからリード可能です。A/D変換中はADDRの値は不定で、A/D変換終了時に変換結果の8ビットデータが格納され、次の変換開始までこのデータが保持されます。

ADDRは、リセットでクリアされません。

12.2.2 A/Dモードレジスタ (AMR)

ビット	7	6	5	4	3	2	1	0
	CKS	TRGE	—	—	CH3	CH2	CH1	CH0
初期値	0	0	1	1	0	0	0	0
R/W	R/W	R/W	—	—	R/W	R/W	R/W	R/W

AMRは、8ビットのリード/ライト可能なレジスタで、A/D変換スピードの設定、外部トリガの選択、アナログ入力端子の指定を行います。

リセット時、AMRはH'30にイニシャライズされます。

ビット7：クロックセレクト (CKS)

A/D変換スピードの設定を行います。

ビット7 CKS	変換周期	変換時間	
		$\phi = 2\text{MHz}$	$\phi = 5\text{MHz}$
0	$62/\phi$ (初期値)	$31\ \mu\text{s}$	$12.4\ \mu\text{s}$
1	$31/\phi$	$15.5\ \mu\text{s}$	— *

【注】* $12.4\ \mu\text{s}$ 以下の変換時間では、動作が保証されません。 $12.4\ \mu\text{s}$ 以上になるように選択してください。

ビット 6 : 外部トリガセレクト (TRGE)

外部トリガ入力による A/D 変換の開始を許可または禁止します。

ビット 6 TRGE	説 明
0	外部トリガによる A/D 変換の開始を禁止 (初期値)
1	外部トリガ (ADTRG) 端子の立上がりエッジ、または立下がりエッジで A/D 変換を開始*

【注】* 外部トリガ (ADTRG) 端子のエッジ選択は IEGR の IEG4 により設定します。詳細は「3.3.2 (1) IRQ エッジセレクトレジスタ (IEGR)」を参照してください。

ビット 5 ~ 4 : リザーブビット

リザーブビットです。各ビットはリードすると常に“1”が読み出されます。ライトは無効です。

ビット 3 ~ 0 : チャネルセレクト 3 ~ 0 (CH3 ~ CH0)

アナログ入力チャネルの選択を行います。

チャネル選択の切換えは、ADSF = “0” の状態で行ってください。

ビット 3 CH3	ビット 2 CH2	ビット 1 CH1	ビット 0 CH0	アナログ入力チャネル
0	0	*	*	非選択 (初期値)
0	1	0	0	AN ₀
0	1	0	1	AN ₁
0	1	1	0	AN ₂
0	1	1	1	AN ₃
1	0	0	0	AN ₄
1	0	0	1	AN ₅
1	0	1	0	AN ₆
1	0	1	1	AN ₇
1	1	0	0	AN ₈
1	1	0	1	AN ₉
1	1	1	0	AN ₁₀
1	1	1	1	AN ₁₁

* Don't care

12.2.3 A/Dスタートレジスタ (ADSR)

ビット:	7	6	5	4	3	2	1	0
	ADSF	—	—	—	—	—	—	—
初期値:	0	1	1	1	1	1	1	1
R/W:	R/W	—	—	—	—	—	—	—

ADSRは、8ビットのリード/ライト可能なレジスタで、A/D変換の開始または停止を指定します。

ADSFに“1”をライトまたは外部トリガのエッジ入力により、ADSFが“1”にセットされA/D変換が開始します。変換が終了すると変換データはADDRにセットされ、同時にADSFは“0”にクリアされます。

ビット7: A/Dスタートフラグ (ADSF)

A/D変換の開始および終了の確認を行います。

ビット7 ADSF	説明	
0	リード時	A/D変換の終了 (初期値)
	ライト時	A/D変換を強制終了
1	リード時	A/D変換中
	ライト時	A/D変換を開始

ビット6～0: リザーブビット

リザーブビットです。各ビットはリードすると常に“1”が読み出されます。ライトは無効です。

12.3 動作説明

12.3.1 A/D変換動作

A/D変換器は逐次比較方式で動作し、8ビットの変換結果が得られます。

ソフトウェアによりADSFを“1”にセットすると、A/D変換を開始します。ADSFは、A/D変換中は“1”を保持しており、変換が終了すると自動的に“0”にクリアされます。

また、変換が終了すると、IRR2のIRRADが“1”にセットされます。このとき、IENR2のIENADが“1”にセットされていると、A/D変換終了割込みが発生します。

A/D変換中に、AMRにより変換時間や入力チャネルの切換えを行う場合は、誤動作を避けるためにADSFを“0”にクリアして、A/D変換を強制終了させて行ってください。

12.3.2 外部トリガによるA/D変換器の起動

A/D変換器は外部トリガ入力によってA/D変換を開始させることができます。

外部トリガはI/OポートのPMR2のIRQ4が“1”でかつAMRのTRGEが“1”のとき、ADTRG入力端子から入力されます。ADTRG入力端子からIEGRのIEG4で指定されたエッジが入力されると、ADSRのADSFが“1”にセットされ、A/D変換が開始されます。

このタイミングを図12.2に示します。

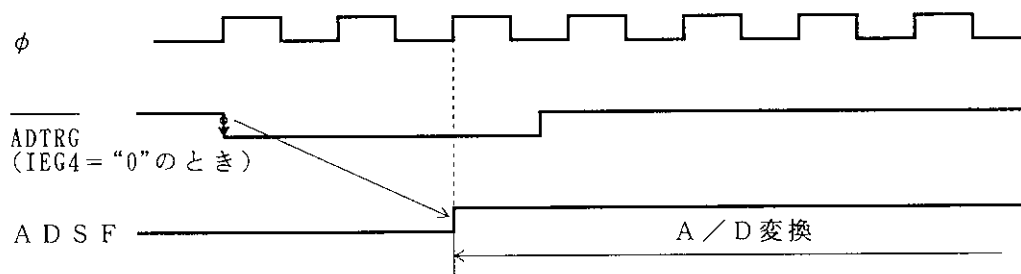


図12.2 外部トリガ入力タイミング

12.4 割込み要因

A/D変換終了時（ADSF = “1” → “0”）、IRR2のIRRADが“1”にセットされます。

A/D変換終了割込みは、IENR2のIENADにより、許可/禁止を指定できます。

詳細は「3.3 割込み」を参照してください。

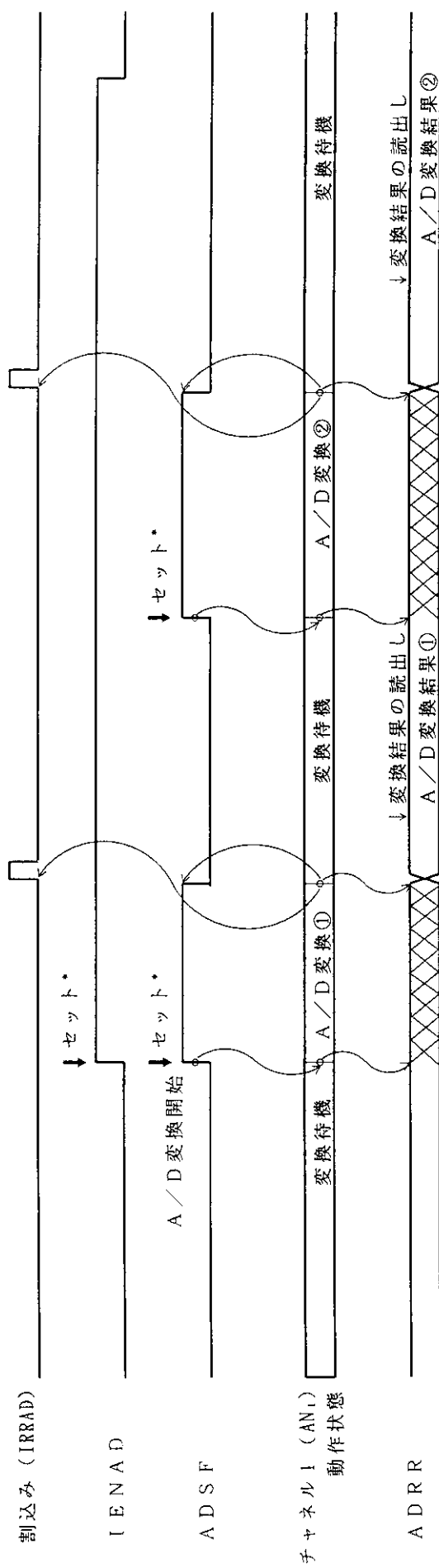
12.5 使用例

チャンネル1（AN₁）をアナログ入力チャンネルに選択した場合の動作例を示します。動作タイミングを図12.3に示します。

- ①入力チャンネルをAN₁（AMRのCH3～CH0を“0101”）、IENAD = “1”に設定して、A/D変換を開始（ADSF = “1”）します。
- ②A/D変換が終了すると、IRRADが“1”にセットされ、A/D変換結果がADDRに格納されます。同時にADSF = “0”となり、A/D変換器は変換待機となります。
- ③IENAD = “1”となっているためA/D変換終了割込み要求が発生します。
- ④A/D割込み処理ルーチンが開始されます。
- ⑤A/D変換結果を読み出して、処理します。
- ⑥A/D変換処理ルーチンの実行が終了します。

この後、ADSF = “1”にセットするとA/D変換が開始され②～⑥を行います。

A/D変換器の使用手順の概念フローを図12.4、図12.5に示します。



【注】 ・ ↓は、ソフトウェアによる命令実行を示します。

図12.3 A/D変換器の動作例

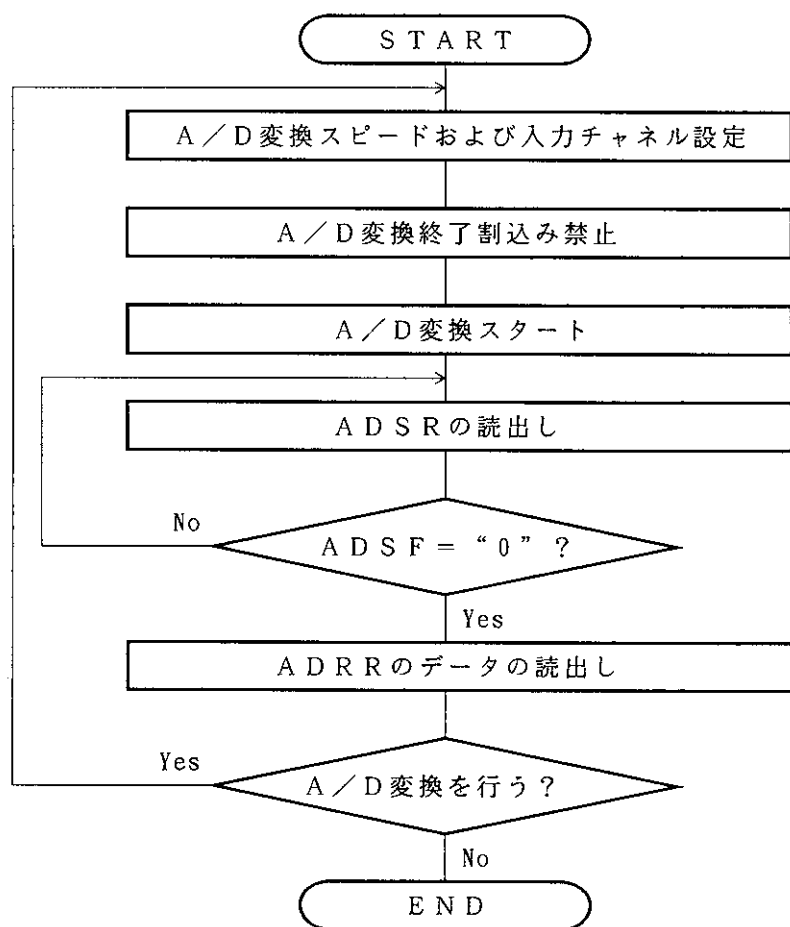


図12.4 A/D変換器の使用手順の概念フロー(1)
(ソフトウェアでポーリングする場合)

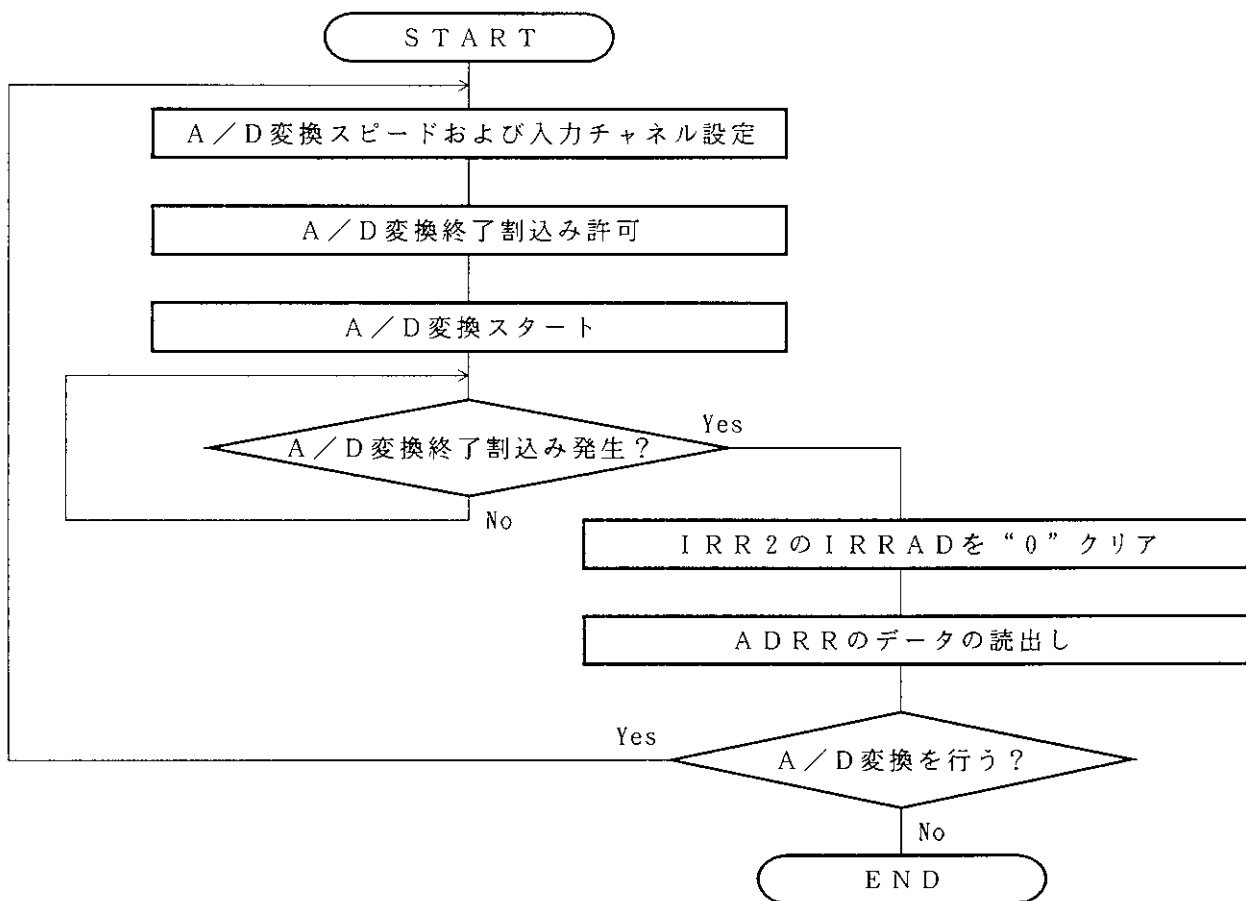


図12.5 A/D変換器の使用手順の概念フロー(2)
(割り込みを使用する場合)

12.6 使用上の注意

- (1) A D R Rの読出しは、A D S RのA D S Fが“0”のときに行ってください。
- (2) A / D変換中に隣接した端子のデジタル入力信号を変化させると変換精度に悪影響を及ぼします。

13. LCDコントローラ ／ドライバ

第13章 目次

13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-2
13.1.3	端子構成	13-3
13.1.4	レジスタ構成	13-3
13.2	各レジスタの説明	13-4
13.2.1	LCDポートコントロールレジスタ (LPCR)	13-4
13.2.2	LCDコントロールレジスタ (LCR)	13-6
13.3	動作説明	13-8
13.3.1	LCD表示までのセッティング	13-8
13.3.2	LCD RAMと表示の関係	13-9
13.3.3	HD 66100との接続	13-9
13.3.4	低消費電力モード時の動作	13-17
13.3.5	LCD駆動電源の強化	13-18

13.1 概要

本 L S I は、セグメントタイプの L C D コントロール回路と L C D ドライバと電源回路を内蔵しているので、L C D パネルを直接駆動することができます。

13.1.1 特長

L C D コントローラ／ドライバの特長を以下に示します。

■表示容量

	デューティ比	内部ドライバ	セグメント外部拡張ドライバ
内蔵ドライバのみ使用時	—	40SEG	0
セグメント外部拡張時	スタティック	36SEG	476SEG
	1 / 2	36SEG	220SEG
	1 / 3	36SEG	92SEG
	1 / 4	36SEG	92SEG

セグメント外部拡張では H D 6 6 1 0 0 を使用することができます。

■ L C D R A M 容量

8 ビット×64バイト(512ビット)

■ L C D R A M はワードアクセス可能

■セグメント出力端子を4端子ごとにポートとして使用可能

■デューティ比により使用しないコモン出力端子をコモンダブルバッファ用（並列接続用）とポートのどちらかを選択可能

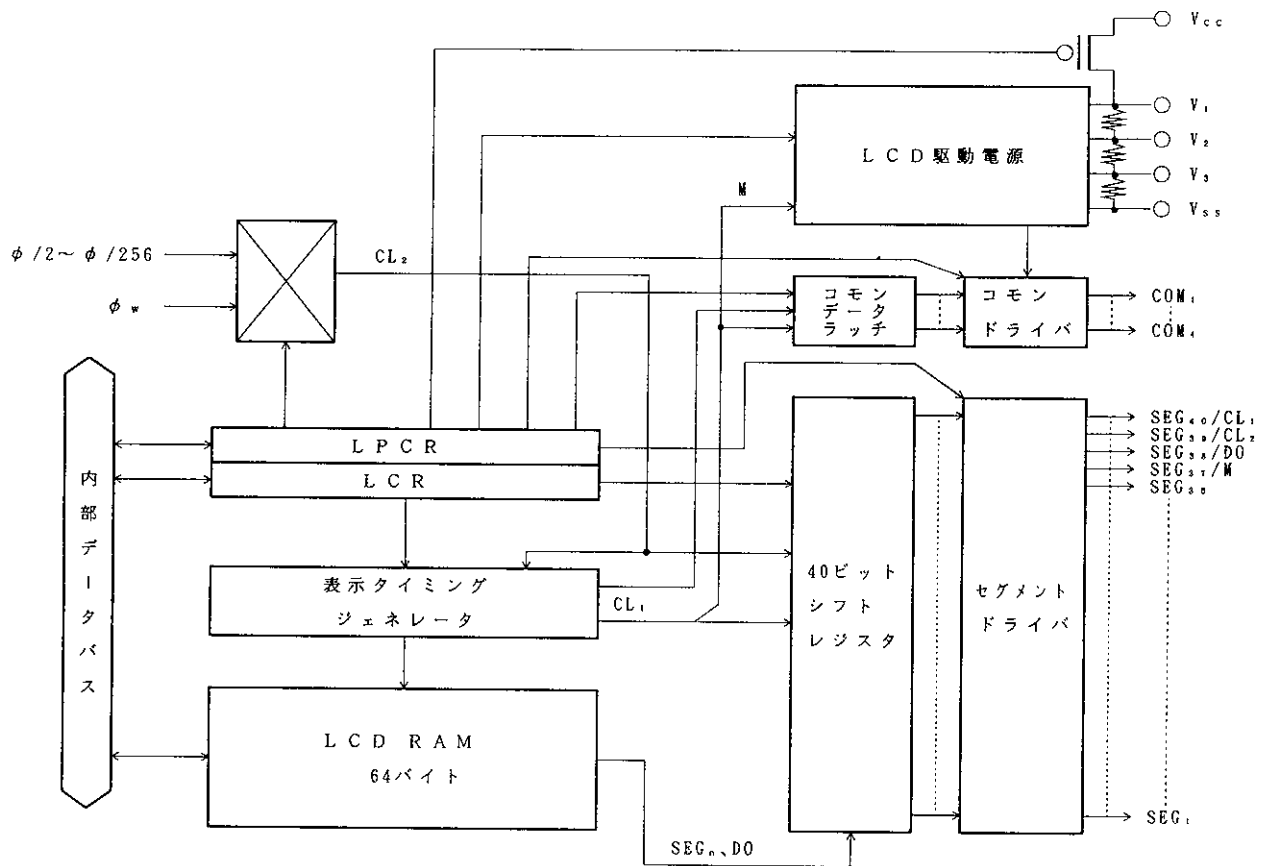
■スタンバイモード以外の動作モードで表示可能

■フレーム周波数を11種類より選択可能

■電源分割抵抗を内蔵し、L C D 駆動電源を供給

13.1.2 ブロック図

LCDコントローラ／ドライバのブロック図を図13.1に示します。



<記号説明>

LPCR : LCDポートコントロールレジスタ

LCR : LCDコントロールレジスタ

図13.1 LCDコントローラ／ドライバのブロック図

13.1.3 端子構成

LCDコントローラ／ドライバの端子構成を表13.1に示します。

表13.1 端子構成

端子名	略称	入出力	機能
セグメント出力端子	SEG ₄₀ ~SEG ₁	出力	液晶のセグメント駆動用端子 全端子、ポートと兼用でプログラマブルに設定可能
コモン出力端子	COM ₄ ~COM ₁	出力	液晶のコモン駆動端子 Static、1/2デューティ時には端子の並列化が可能
セグメント 外部拡張信号端子	CL ₁	出力	表示データラッチクロック、SEG ₄₀ と兼用
	CL ₂	出力	表示データシフトクロック、SEG ₃₉ と兼用
	M	出力	LCD交流化信号、SEG ₃₇ と兼用
	D0	出力	シリアル表示データ、SEG ₃₅ と兼用
LCD電源端子	V ₁ , V ₂ , V ₃	入力	外付けでバスコンを接続する場合、外部電源回路を使用する場合に使用

13.1.4 レジスタ構成

LCDコントローラ／ドライバのレジスタ構成を表13.2に示します。

表13.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
LCDポートコントロールレジスタ	LPCR	R/W	H'00	H'FFC0
LCDコントロールレジスタ	LCR	R/W	H'80	H'FFC1
LCD RAM	—	R/W	不定	H'F740* ~ H'F77F*

【注】* リセット解除後の値です。

13.2 各レジスタの説明

13.2.1 LCDポートコントロールレジスタ (LPCR)

ビット	7	6	5	4	3	2	1	0
	DTS1	DTS0	CMX	SGX	SGS3	SGS2	SGS1	SGS0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

LPCRは、8ビットのリード/ライト可能なレジスタで、デューティ比の選択、LCDドライバや端子機能の選択を行います。

リセット時、LPCRはH'00にイニシャライズされます。

ビット7～5：デューティ比選択1、0 (DTS1、DTS0)、コモン機能選択 (CMX)

DTS1、DTS0の組合せで、スタティック、1/2～1/4デューティのいずれかを選択します。CMXは、デューティによって使用しないコモン端子をポートとして使用するか、またはコモンドライブ能力を大きくするために複数の端子から同じ波形を出力するかを選択します。

ビット7 DTS1	ビット6 DTS0	ビット5 CMX	デューティ比	コモンドライバ*1	補 足 説 明
0	0	0	スタティック	COM ₁ (初期値)	COM ₄ 、COM ₃ 、COM ₂ はポートとして使用可能
		1		COM ₄ ～COM ₁	COM ₄ 、COM ₃ 、COM ₂ はCOM ₁ と同じ波形が出力
0	1	0	1/2デューティ	COM ₂ ～COM ₁	COM ₄ 、COM ₃ はポートとして使用可能
		1		COM ₄ ～COM ₁	COM ₄ はCOM ₃ 、COM ₂ はCOM ₁ と同じ波形が出力
1	0	0	1/3デューティ	COM ₃ ～COM ₁	COM ₄ はポートとして使用可能
		1		COM ₄ ～COM ₁	COM ₄ は非選択波形が出力*2
1	1	0	1/4デューティ	COM ₄ ～COM ₁	—
		1			

【注】*1 SGXが“0”かつSGS3～SGS0が“0000”のときはCOM₄～COM₁はポートとなります。それ以外のときはコモンドライバは上記表に従います。

*2 COM₄端子から常に非選択波形が出力されますので使用しないでください。

ビット4：拡張信号選択（SGX）

SGXはSEG₄₀/CL₁、SEG₃₉/CL₂、SEG₃₈/D0、SEG₃₇/M端子をセグメント端子（SEG₄₀～SEG₃₇）として使用するか、またはセグメント外部拡張信号端子（CL₁、CL₂、D0、M）として使用するかを選択します。

ビット4	説 明
SGX	
0	SEG ₄₀ ～SEG ₃₇ 端子*（初期値）
1	CL ₁ 、CL ₂ 、D0、M端子

【注】* S G S 2 ～ S G S 0 が “ 0 0 0 0 ” のときはポートとして機能します。

ビット3～0：セグメントドライバ選択3～0（SGS3～SGS0）

SGS3～SGS0は使用するセグメントドライバを選択します。

ビット4	ビット3	ビット2	ビット1	ビット0	SEG ₄₀ ～SEG ₃₇ 端子の機能										補足説明
SGX	SGS3	SGS2	SGS1	SGS0	SEG ₄₀ ～SEG ₃₇	SEG ₃₉ ～SEG ₃₈	SEG ₃₈ ～SEG ₃₇	SEG ₃₇ ～SEG ₃₆	SEG ₃₆ ～SEG ₃₅	SEG ₃₅ ～SEG ₃₄	SEG ₃₄ ～SEG ₃₃	SEG ₃₃ ～SEG ₃₂	SEG ₃₂ ～SEG ₃₁	SEG ₃₁ ～SEG ₃₀	
0	0	0	0	0	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	（初期値）
	0	0	0	1	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	0	1	0	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	0	1	1	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	
	0	1	0	0	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	
	0	1	0	1	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	
	0	1	1	0	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	
	0	1	1	1	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	
	1	*	*	0	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	
	1	*	*	1	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	
1	0	0	0	0	外部拡張	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	0	0	1	外部拡張	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	0	1	0	外部拡張	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	0	1	1	外部拡張	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	
	0	1	0	0	外部拡張	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	
	0	1	0	1	外部拡張	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	
	0	1	1	0	外部拡張	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	
	0	1	1	1	外部拡張	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	
	1	*	*	0	外部拡張	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	
	1	*	*	1	外部拡張	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	

* Don't care

13.2.2 L C Dコントロールレジスタ (L C R)

ビット	7	6	5	4	3	2	1	0
	—	PSW	ACT	DISP	CKS3	CKS2	CKS1	CKS0
初期値	1	0	0	0	0	0	0	0
R / W	—	R / W	R / W	R / W	R / W	R / W	R / W	R / W

L C R は、8 ビットのリード／ライト可能なレジスタで、L C D 駆動電源用ラダー抵抗 O N / O F F 制御、表示データの制御、フレーム周波数の選択を行います。

リセット時、L C R はH' 80にイニシャライズされます。

ビット 7 : リザーブビット

リザーブビットです。本ビットは、リードすると常に“1”が読み出されます。ライトは無効です。

ビット 6 : L C D 駆動電源用ラダー抵抗 O N / O F F 制御 (P S W)

低消費電力モードでL C D 表示を必要としない場合、また外部電源を使用する場合にL C D 駆動電源のラダー抵抗をカットすることができます。A C T を“0”とした場合、またスタンバイモード時には本ビットとは無関係にラダー抵抗がO F F 状態となります。

ビット 6	説 明
P S W	
0	L C D 駆動電源用ラダー抵抗 O F F (初期値)
1	L C D 駆動電源用ラダー抵抗 O N

ビット 5 : 表示機能開始 (A C T)

L C D コントローラ／ドライバを使用するかしないかを選択します。本ビットを“0”にクリアすることにより、L C D コントローラ／ドライバは動作を停止します。また、P S W の値と無関係にL C D 駆動電源用ラダー抵抗がO F F 状態になります。ただし、レジスタの内容は保持されます。

ビット 5	説 明
A C T	
0	L C D コントローラ／ドライバ動作停止 (初期値)
1	L C D コントローラ／ドライバ動作

ビット4：表示データ制御（DISP）

DISPはLCD RAMの内容を表示するかLCD RAMの内容に関係なくブランクデータを表示するかを選択します。セグメント外部拡張としてHD66100を使用している際も有効です。

ビット4	説明
DISP	
0	ブランクデータを表示 (初期値)
1	LCD RAMデータを表示

ビット3～0：フレーム周波数選択3～0（CKS3～CKS0）

使用クロックの選択とフレーム周波数の選択を行います。サブアクティブモード、ウォッチモード、サブスリープモードではシステムクロック（ ϕ ）が停止するので、 $\phi/2 \sim \phi/256$ を選択している場合は表示動作を行いません。これらのモードにおいてLCD表示を行う場合は、必ず使用クロックとして ϕ_w か $\phi_w/2$ を選択するようにしてください。

ビット3	ビット2	ビット1	ビット0	使用クロック	フレーム周波数 ^{*3}	
					$\phi = 5\text{MHz}$	$\phi = 625\text{kHz}^{*1}$
0	*	0	0	ϕ_w	128Hz ^{*2}	(初期値)
0	*	0	1	ϕ_w	64Hz	
0	*	1	*	$\phi_w/2$	32Hz	
1	0	0	0	$\phi/2$	———	610Hz
1	0	0	1	$\phi/4$	———	305Hz
1	0	1	0	$\phi/8$	———	153Hz
1	0	1	1	$\phi/16$	610Hz	76.3Hz
1	1	0	0	$\phi/32$	305Hz	38.1Hz
1	1	0	1	$\phi/64$	153Hz	———
1	1	1	0	$\phi/128$	76.3Hz	———
1	1	1	1	$\phi/256$	38.1Hz	———

* Don't care

【注】^{*1} $\phi = 5\text{MHz}$ 時のアクティブ（中速）モードのフレーム周波数です。

^{*2} LCD RAMは上位32バイトのみ使用します。

^{*3} 1/3デューティ選択時は、フレーム周波数が表で示した値の4/3倍となります。

13.3 動作説明

13.3.1 LCD表示までのセッティング

LCD表示を行うにはハードウェア、ソフトウェアのそれぞれについて以下のことを決定しておく必要があります。

(1) ハードウェアのセッティング

(a) 1 / 2 デューティ使用

1 / 2 デューティで使用する際は V_2 、 V_3 端子を接続してください（図13.2参照）。

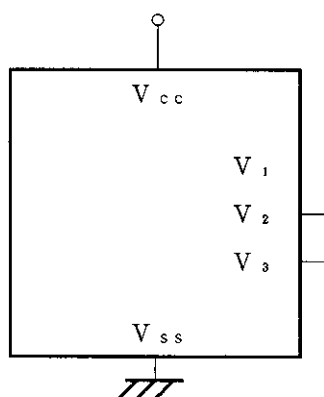


図13.2 1 / 2 デューティ時のLCD駆動電源の処理

(b) 大パネル表示

内蔵のラダー抵抗はインピーダンスが大きいので、大きなパネルの駆動には適さないことがあります。大きなパネルを使用し表示が不鮮明になるときは「13.3.5 LCD駆動電源の強化」を参照してください。また、スタティック、1 / 2 デューティを選択した場合、コモン出力の駆動能力を強化することができます。デューティ比の選択時にCMXを“1”にしてください。このモードではスタティック時にCOM₄～COM₇端子が同じ波形となり、1 / 2 デューティ時はCOM₂、COM₃端子からCOM₁波形が、COM₄、COM₅端子からはCOM₂波形が出力されます。

(c) セグメント外部拡張

外部にHD66100を接続してセグメント数を拡張することができます。

詳細は、「13.3.3 HD66100との接続」を参照してください。

(2) ソフトウェアのセッティング

(a) デューティの選択

デューティは、DTS1、DTS0によりスタティック、1/2デューティ、1/3デューティ、1/4デューティから選択できます。

(b) セグメントドライバの選択

SGS3～SGS0により、使用するセグメントドライバを選択できます。

(c) フレーム周波数の選択

CKS3～CKS0を設定することでフレーム周波数を選択することができます。フレーム周波数はLCDパネルの指定にしたがって選択してください。ウォッチモード、サブアクティブモード、サブスリープモード時のクロックの選択方法は「13.3.4 低消費電力モード時の動作」を参照してください。

13.3.2 LCD RAMと表示の関係

LCD RAMと表示セグメントの関係は、デューティ比によって異なります。セグメント外部拡張しない場合のそれぞれのデューティ比に対応したLCD RAMのマップを図13.3～図13.6に、セグメント外部拡張した場合のそれぞれのデューティ比に対応したLCD RAMのマップを図13.7～図13.10に示します。

また、本LSIのセグメント端子を使用せず全セグメントを外部に拡張することができます。このときのLCD RAMのマップを図13.11に示します。

表示に必要なレジスタ群を設定した後、デューティに対応する部分に通常のRAMと同様な命令によってデータを書込み、表示をONすれば自動的に表示を開始します。RAM設定にはワード/バイトアクセス命令が使用できます。

13.3.3 HD66100との接続

セグメントを外部に拡張したい場合はHD66100を接続します。HD66100を1個接続することで80セグメント拡張することができます。外部拡張を行う際はLPCRのSGXによりSEG₄₀～SEG₇₉端子の機能を拡張用信号とします。外部にはLCD RAMのSEG₃₉からのデータを出力します。LPCRのSGS3～SGS0に“0000”を設定しているときはLCD RAMのSEG₁からのデータを出力します。

図13.12にHD66100との接続例を示します。出力レベルはデータとM端子出力の組み合わせにより決定しますが、その組み合わせがHD66100と異なります。表13.3にLCD駆動電源の出力レベルを示します。また、デューティごとのコモン/セグメント波形を図13.13に示します。

ACT = “0” とするとCL₂ = “0”、CL₁ = “0”、M = “0”、D0はその瞬間に出力していたデータ (“1” か “0”) で停止します。また、スタンバイモード時には拡張端子はハイインピーダンス

ス状態（フローティング）となります。

外部拡張を行うとLCDパネルにおける負荷が増し、内蔵電源では電流容量が足りない場合があります。その場合は「13.3.5 LCD駆動電源の強化」を参照してください。

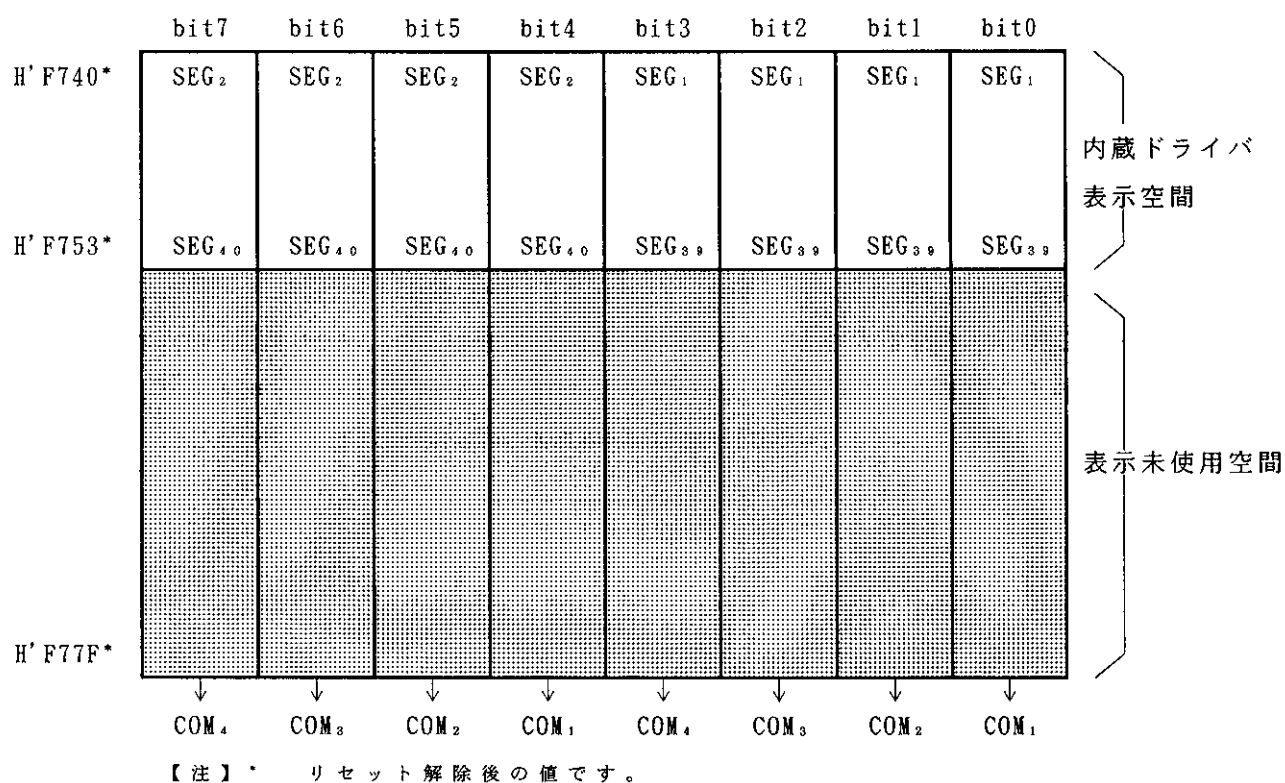


図13.3 セグメント外部拡張しない場合のLCD RAMマップ（1/4デューティ）

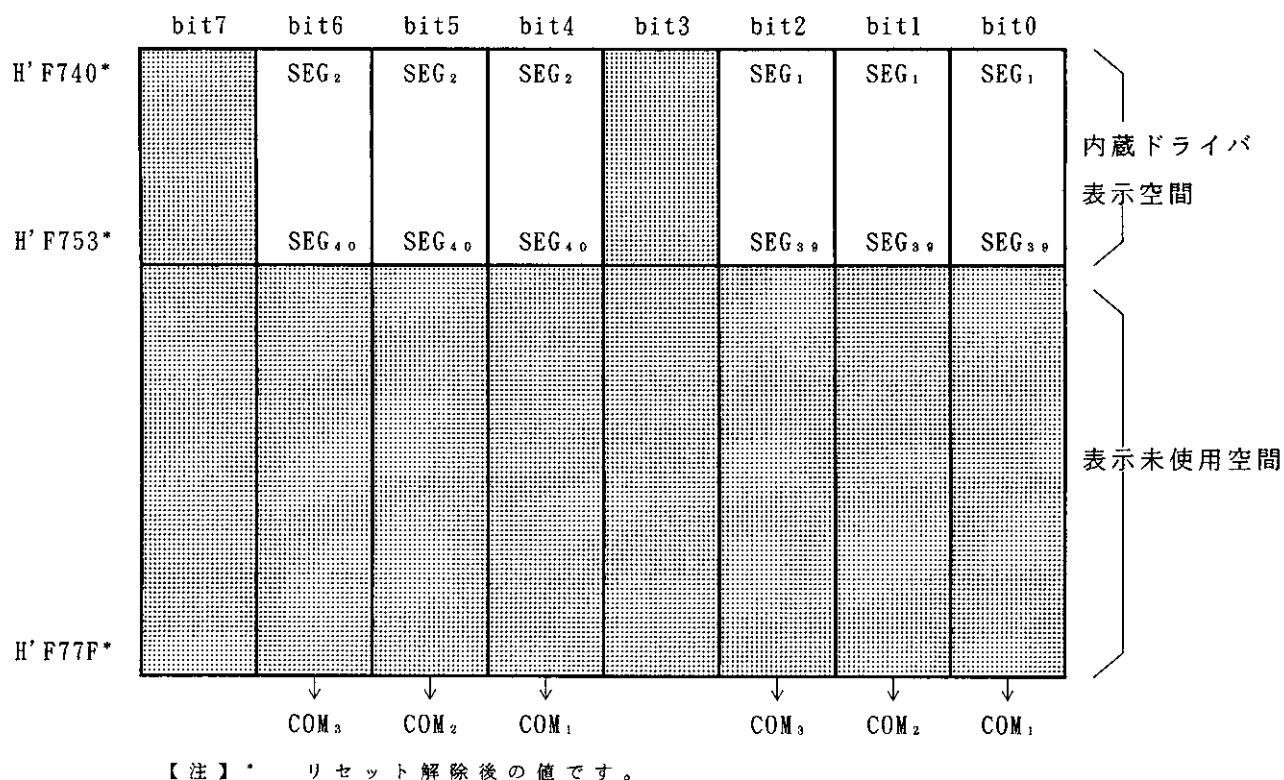


図13.4 セグメント外部拡張しない場合のLCD RAMマップ（1/3デューティ）

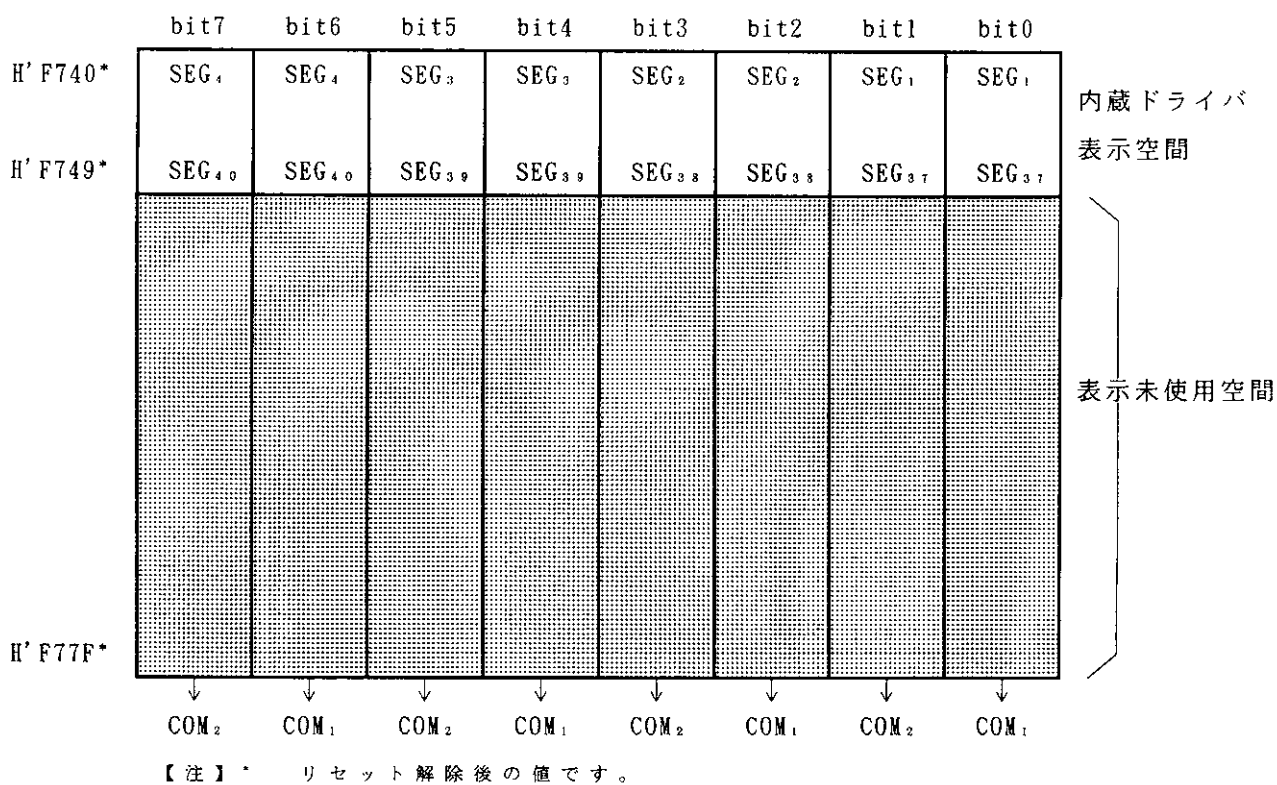


図13.5 セグメント外部拡張しない場合のLCD RAMマップ（1／2デューティ）

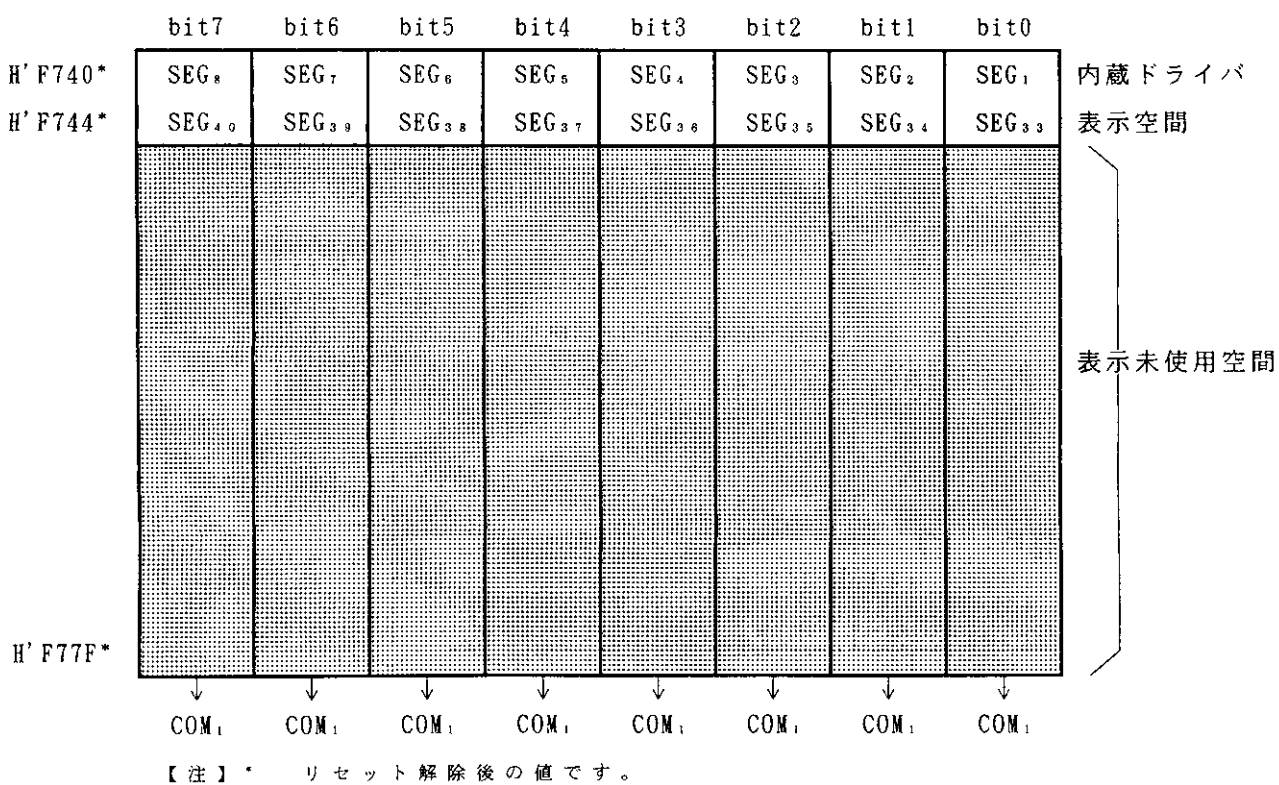


図13.6 セグメント外部拡張しない場合のLCD RAMマップ（スタティック）

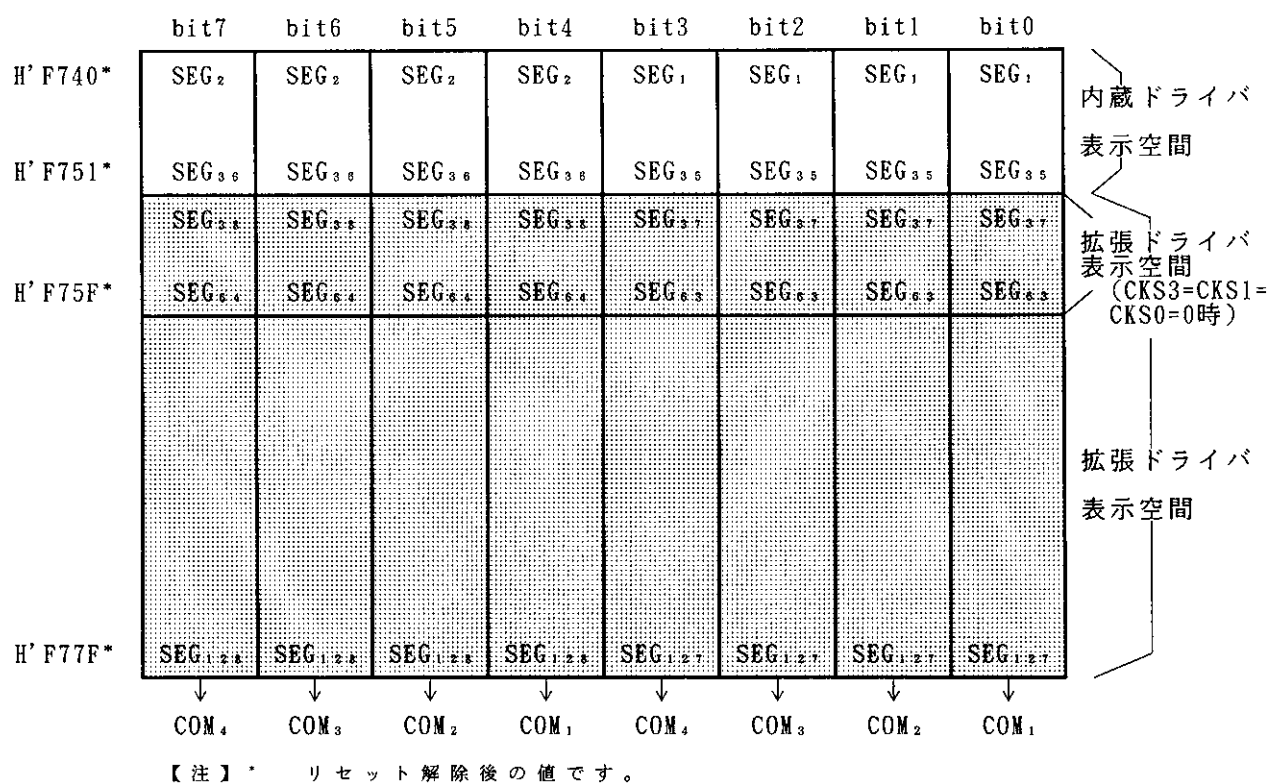


図13.7 セグメント外部拡張した場合のLCD RAMマップ (1/4デューティ)

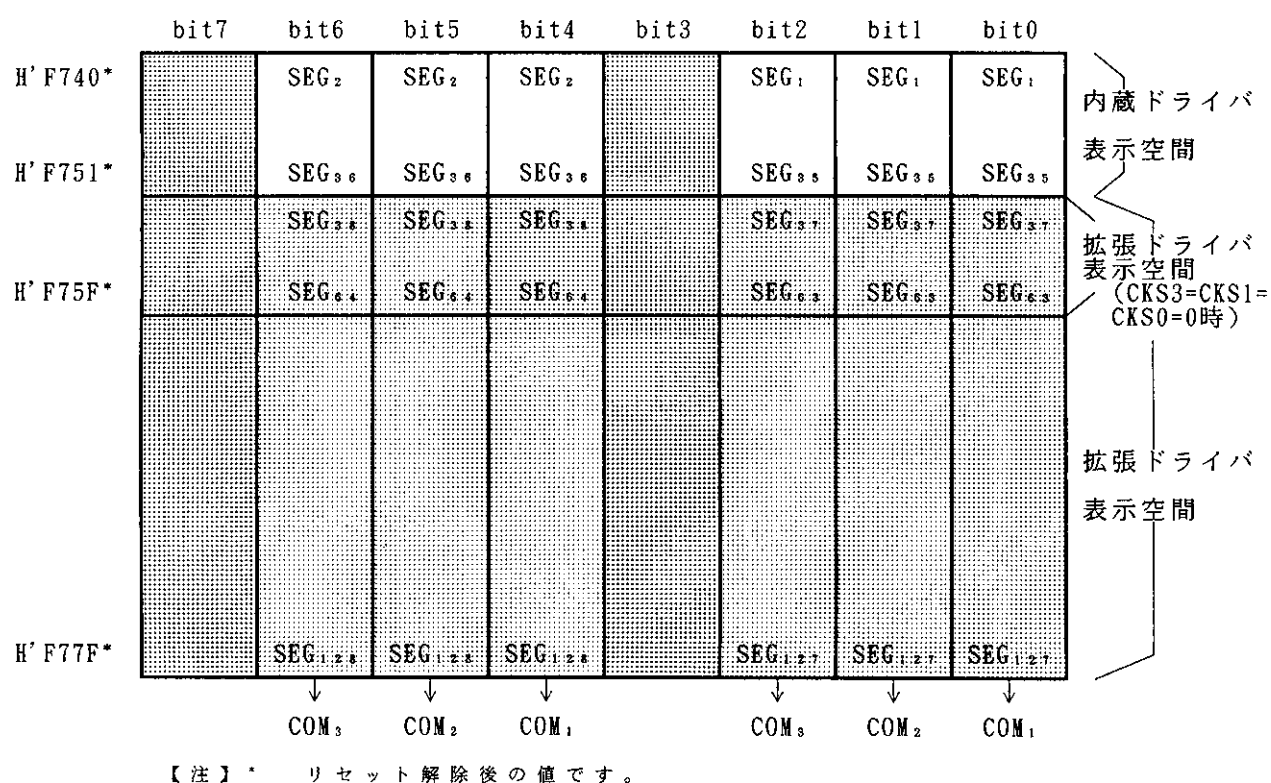


図13.8 セグメント外部拡張した場合のLCD RAMマップ (1/3デューティ)

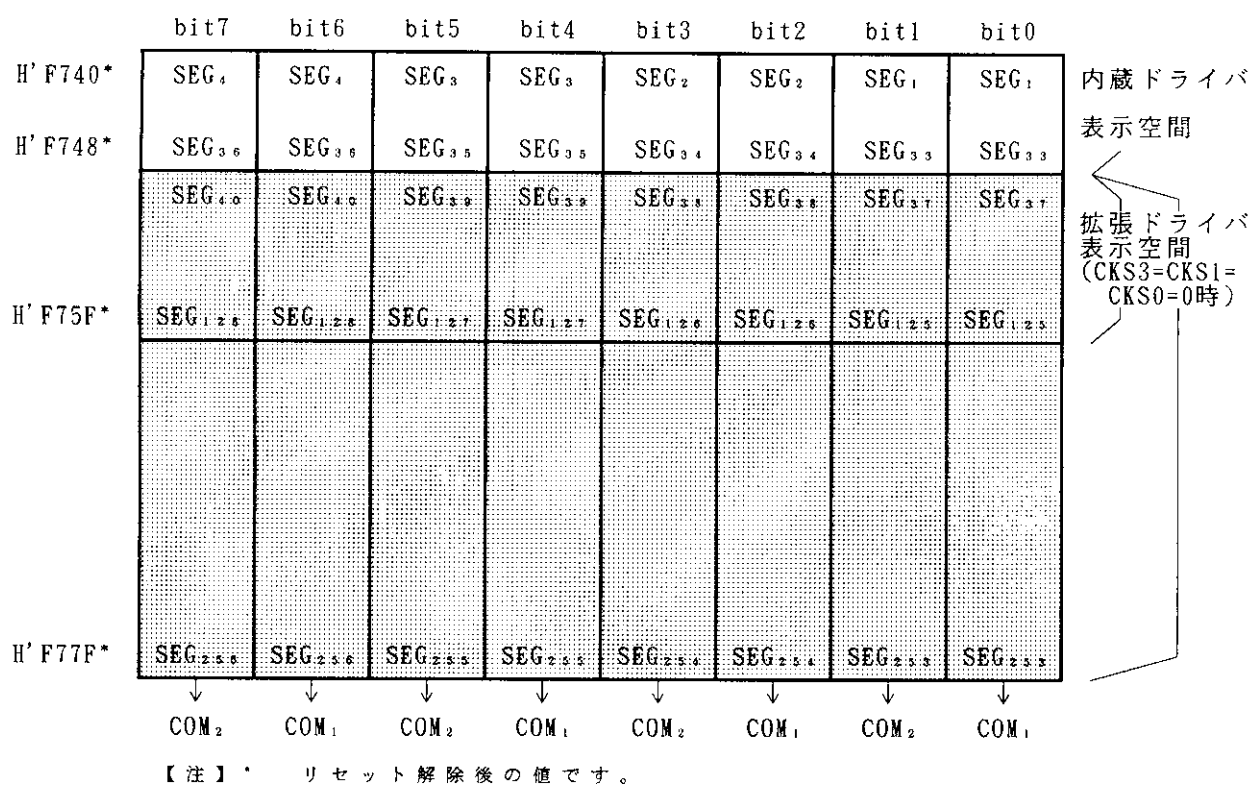


図13.9 セグメント外部拡張した場合のLCD RAMマップ（1／2デューティ）

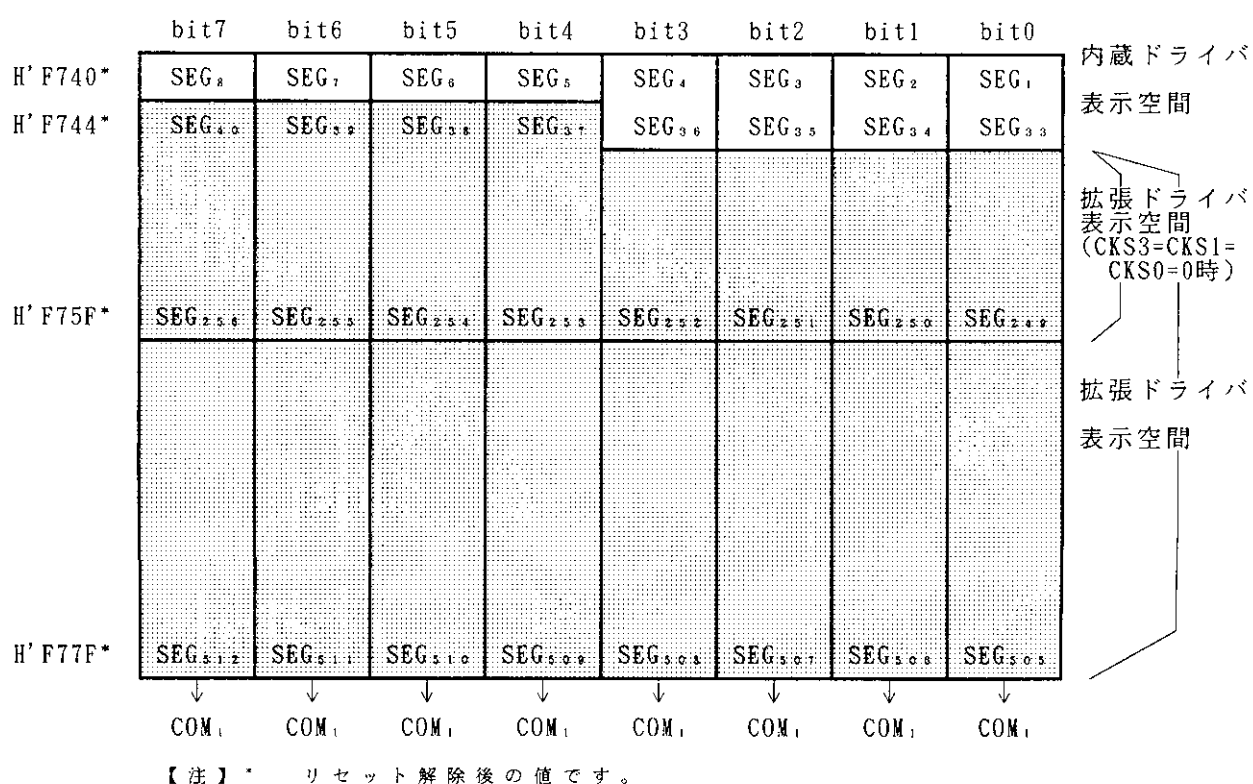


図13.10 セグメント外部拡張した場合のLCD RAMマップ（スタティック）

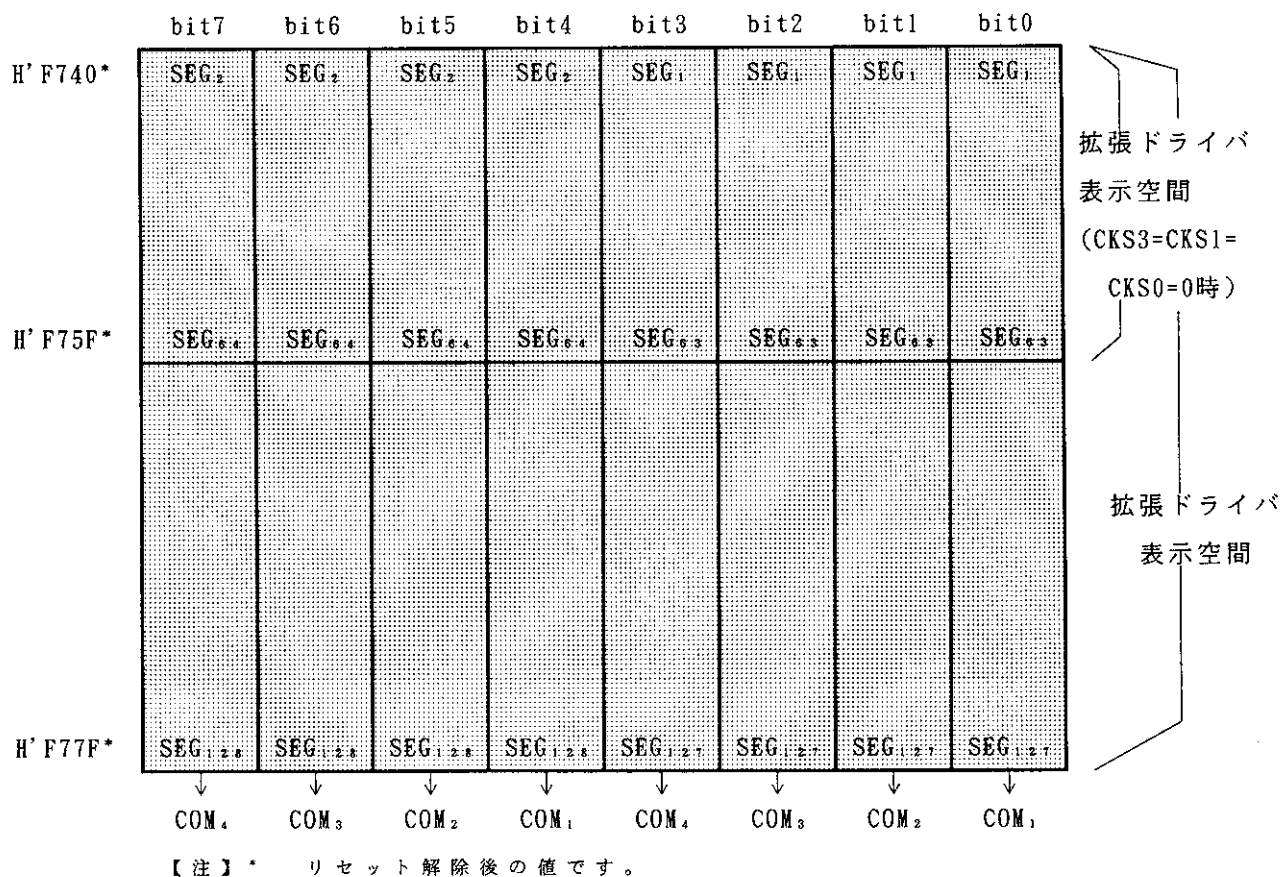
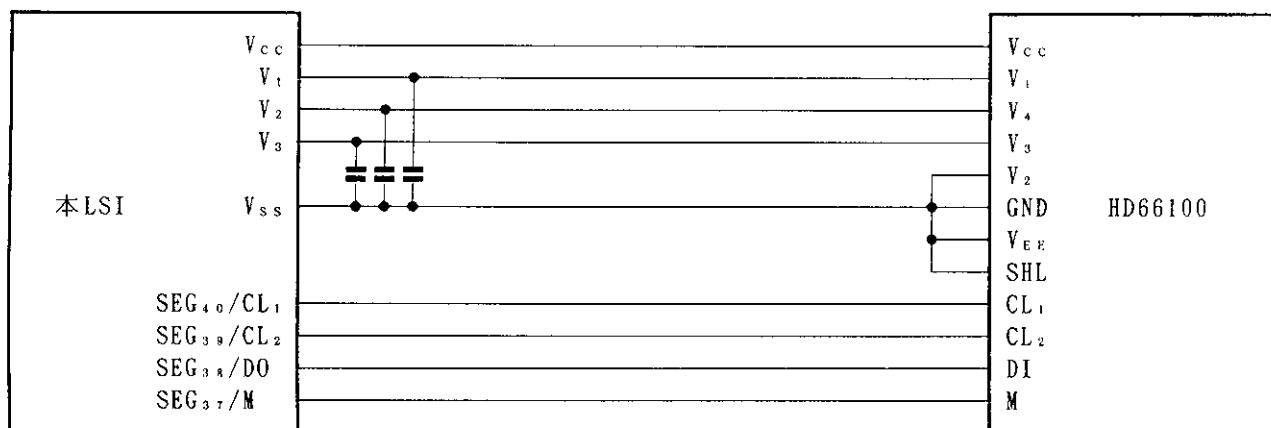
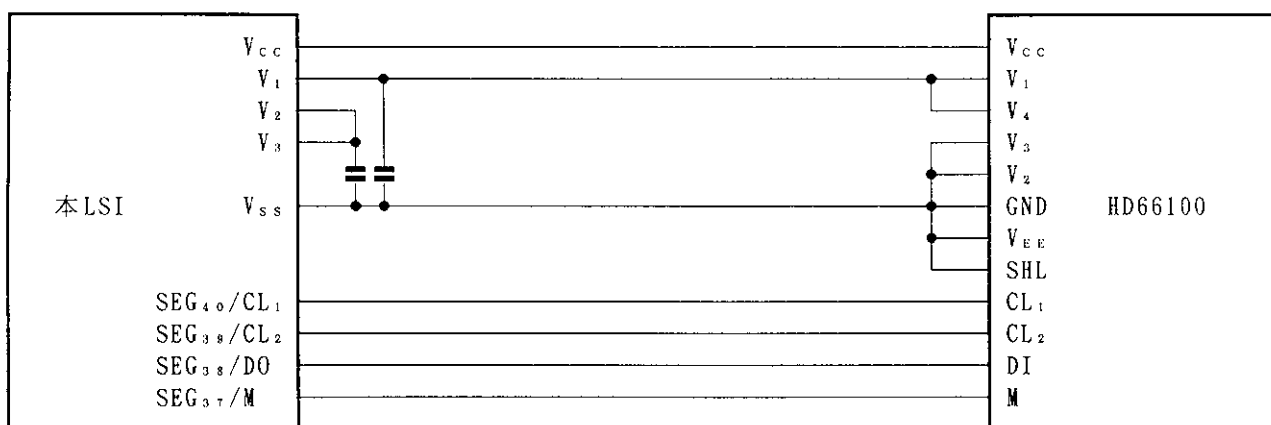


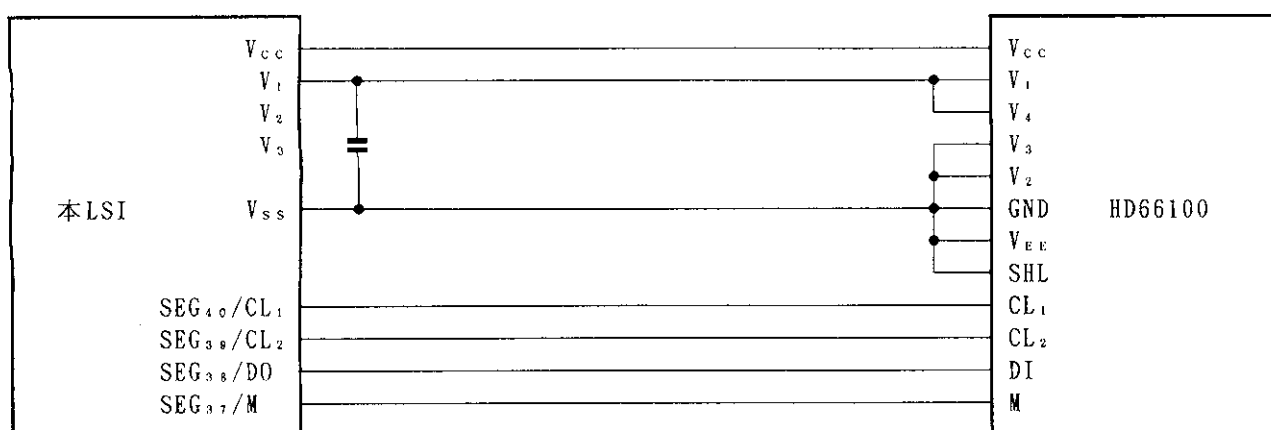
図13.11 全セグメント外部拡張時のLCD RAMマップ
(SGX = "1"、SGS3~SGS0 = "0000"、1/4デューティ時)



(a) 1 / 3 バイアス、1 / 4 デューティまたは 1 / 3 デューティ



(b) 1 / 2 デューティ



(c) スタティック

図13.12 HD66100との接続

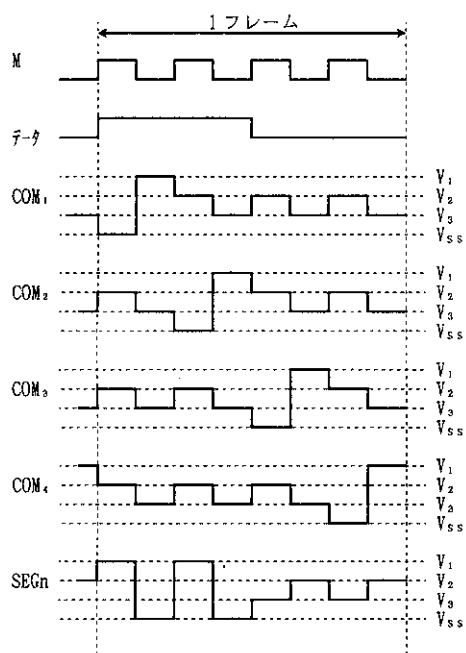


図13.13(a) 1/4 デューティ時の波形

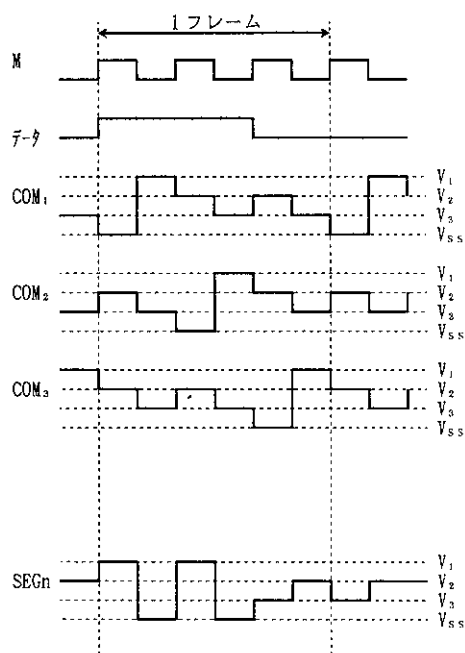


図13.13(b) 1/3 デューティ時の波形

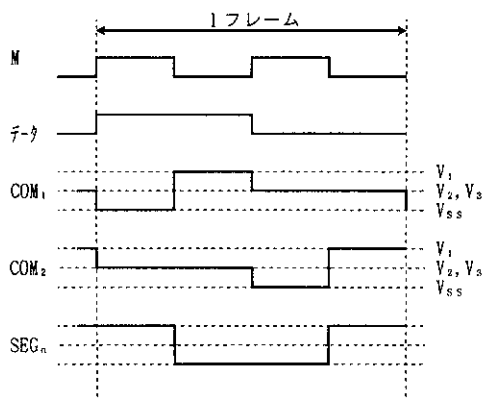


図13.13(c) 1/2 デューティ時の波形

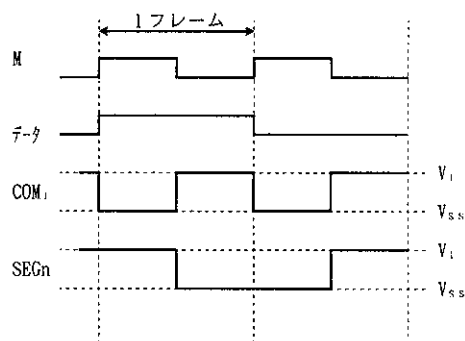


図13.13(d) スタティック時の波形

図13.13 各デューティでの出力波形

表13.3 出力レベルの関係

データ		0	0	1	1
M		0	1	0	1
スタティック	コモン出力	V_1	V_{SS}	V_1	V_{SS}
	セグメント出力	V_1	V_{SS}	V_{SS}	V_1
1/2デューティ	コモン出力	V_2, V_3	V_2, V_3	V_1	V_{SS}
	セグメント出力	V_1	V_{SS}	V_{SS}	V_1
1/3デューティ	コモン出力	V_3	V_2	V_1	V_{SS}
	セグメント出力	V_2	V_3	V_{SS}	V_1
1/4デューティ	コモン出力	V_3	V_2	V_1	V_{SS}
	セグメント出力	V_2	V_3	V_{SS}	V_1

13.3.4 低消費電力モード時の動作

本 L S I は低消費電力モード時でも、L C D コントローラ／ドライバを動作させることができます。低消費電力モード時の L C D コントローラ／ドライバの動作状態を表13.4に示します。

サブアクティブモード／ウォッチモード／サブスリープモードではシステムクロック発振器が停止するので、C K S 3 ～ C K S 0 で ϕ_w もしくは $\phi_w/2$ を選択していないとクロックが供給されず、表示が停止します。この場合 L C D パネルには直流電圧がかかる可能性がありますので必ず ϕ_w または $\phi_w/2$ を選択するようにしてください。また、アクティブ(中速)モードではシステムクロックが切り換わるので、フレーム周波数に変化しないように C K S 3 ～ C K S 0 を変更する必要があります。

表13.4 低消費電力モードと表示動作の関係

モード		リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ
クロック	ϕ	動作	動作	動作	停止	停止	停止	停止
	ϕ_w	動作	動作	動作	動作	動作	動作	停止 ^{*1}
表 示 動 作	ACT="0"	停止	停止	停止	停止	停止	停止	停止 ^{*2}
	ACT="1"	停止	表示	表示	表示 ^{*3}	表示 ^{*3}	表示 ^{*3}	停止 ^{*2}

【注】^{*1} サブクロック発振器は停止しませんがクロックの供給は停止します。

^{*2} P S W に関係なく L C D 駆動電源用ラダー抵抗を O F F します。

^{*3} 使用クロックに ϕ_w または $\phi_w/2$ を選択していないと表示動作を行いません。

13.3.5 LCD駆動電源の強化

大きなパネルを駆動する場合または、外部にセグメントを拡張した場合、内蔵の電源容量では足りないことがあります。このような場合は、電源のインピーダンスを下げる必要があります。この対策として、図13.12に示すように $V_1 \sim V_3$ 端子に $0.1 \sim 0.3 \mu\text{F}$ 程度のバイパスコンデンサを接続する方法や、図13.14に示すように新たに分割抵抗を外部に設ける方法があります。

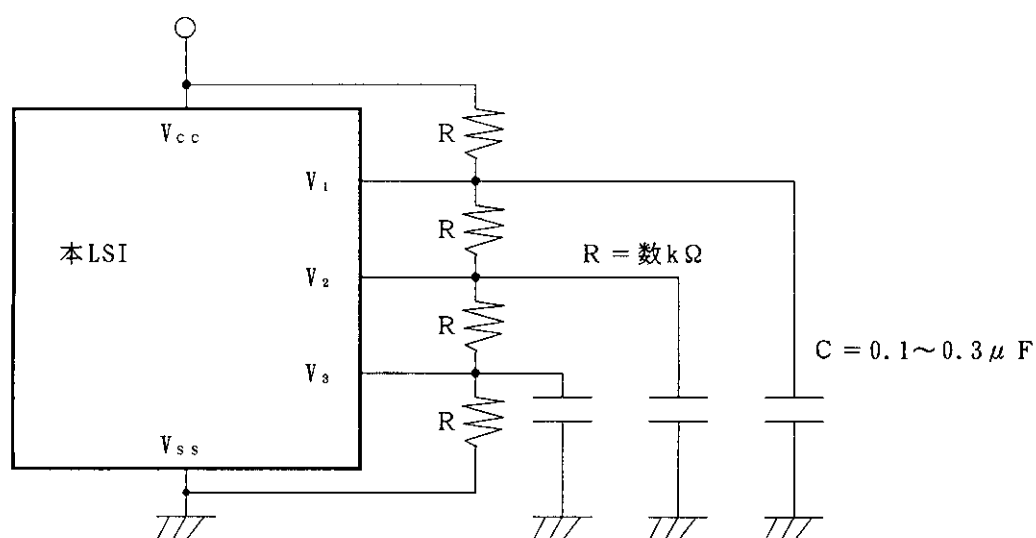


図13.14 外部分割抵抗の接続方法

14. 電 氣 的 特 性

第14章 目次

14.1	H 8 / 3 8 3 4 U シリーズ絶対最大定格	14-1
14.2	H 8 / 3 8 3 3 U、H 8 / 3 8 3 4 U の電 氣 的 特 性	14-2
14.2.1	電源電圧と動作範囲	14-2
14.2.2	D C 特 性	14-4
14.2.3	A C 特 性	14-9
14.2.4	A / D 変換器特性	14-11
14.2.5	L C D 特 性	14-12
14.3	H 8 / 3 8 3 5 U、H 8 / 3 8 3 6 U、H 8 / 3 8 3 7 U の電 氣 的 特 性	14-13
14.3.1	電源電圧と動作範囲	14-13
14.3.2	D C 特 性	14-15
14.3.3	A C 特 性	14-20
14.3.4	A / D 変換器特性	14-22
14.3.5	L C D 特 性	14-23
14.4	動作タイミング	14-24
14.5	出力負荷回路	14-28

14.1 H 8 / 3 8 3 4 U シリーズ絶対最大定格

絶対最大定格を表14.1に示します。

表14.1 絶対最大定格

項 目		記 号	規 格 値	単 位	備 考
電源電圧		V_{CC}	$-0.3 \sim +7.0$	V	注 1
アナログ電源電圧		AV_{CC}	$-0.3 \sim +7.0$	V	
プログラム電圧		V_{PP}	$-0.3 \sim +13.0$	V	
入力電圧	ポート B、C 以外	V_{in}	$-0.3 \sim V_{CC} + 0.3$	V	
	ポート B、C	AV_{in}	$-0.3 \sim AV_{CC} + 0.3$	V	
動作温度		T_{opr}	$-20 \sim +75$	°C	
保存温度		T_{stg}	$-55 \sim +125$	°C	

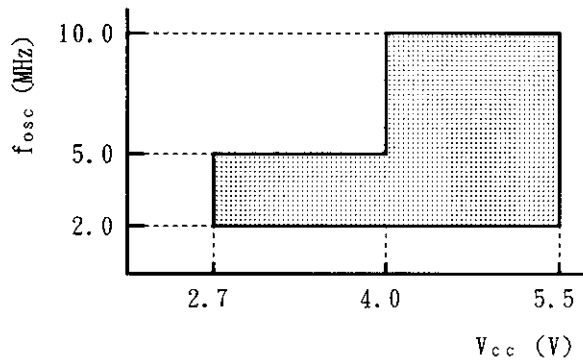
【注】¹⁾ 絶対最大定格をこえて L S I を使用した場合、L S I の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件をこえると L S I の誤動作の原因になるとともに、L S I の信頼性に悪影響をおよぼすことがあります。

14.2 H8 / 3833 U、H8 / 3834 Uの電気的特性

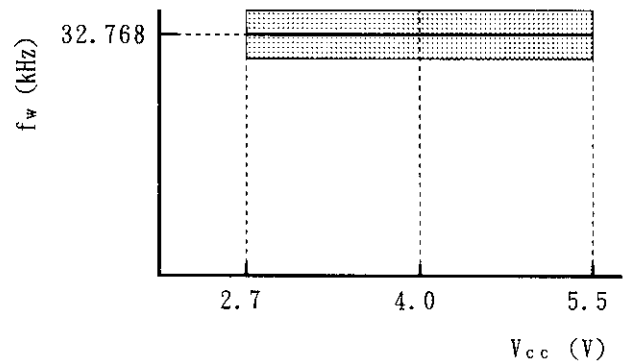
14.2.1 電源電圧と動作範囲

H8/3833U、H8/3834Uの電源電圧と動作範囲（網かけ部）を以下に示します。

(1) H8/3833U、H8/3834Uの電源電圧と発振周波数の範囲

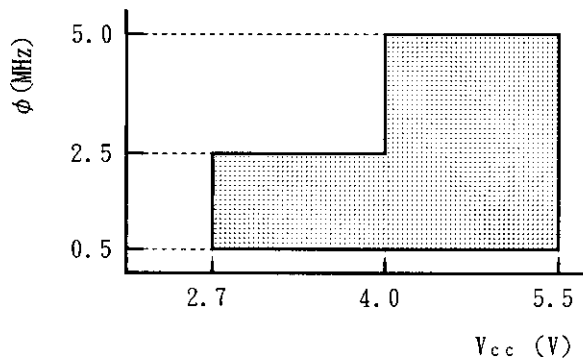


- ・アクティブ（高速）モード
- ・スリープモード

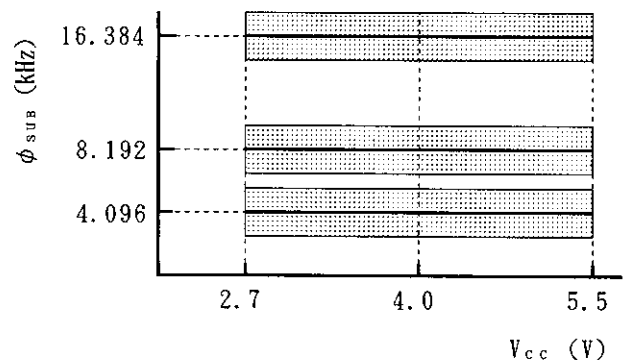


- ・すべての動作モード

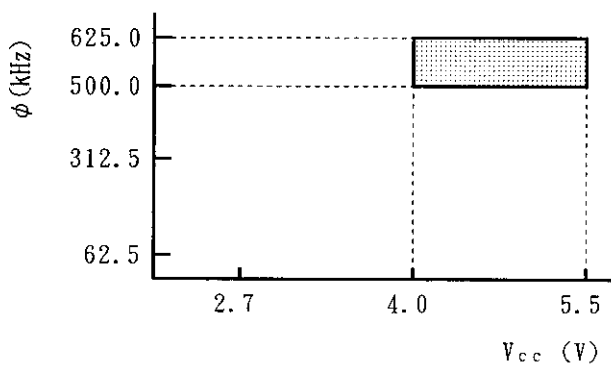
(2) H8/3833U、H8/3834Uの電源電圧と動作周波数の範囲



- ・アクティブ（高速）モード
- ・スリープモード（CPUを除く）

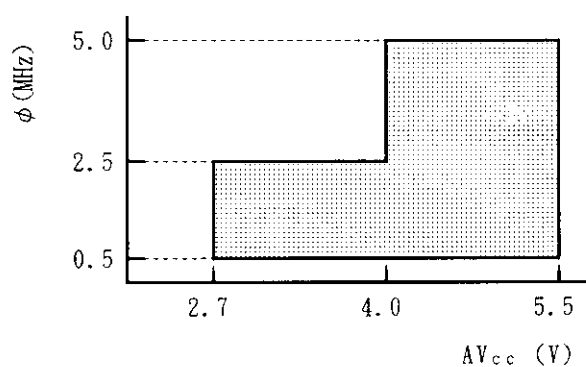


- ・サブアクティブモード
- ・サブスリープモード（CPUを除く）
- ・ウォッチモード（CPUを除く）

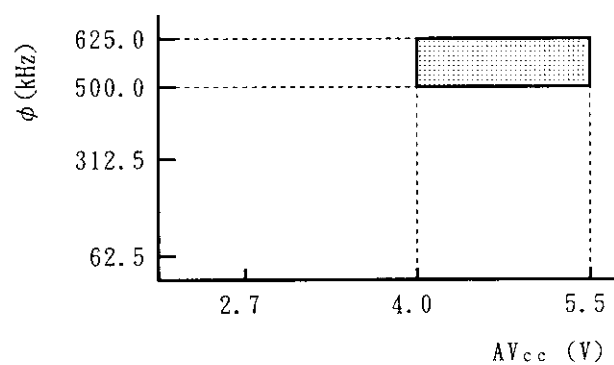


- ・アクティブ（中速）モード

(3) H8/3833U、H8/3834Uのアナログ電源電圧とA/D変換器の動作範囲



- ・アクティブ（高速）モード
- ・スリープモード



- ・アクティブ（中速）モード

14.2.2 D C 特性

H8/3833U、H8/3834Uの D C 特性を表14.2に示します。

表14.2 H8/3833U、H8/3834Uの D C 特性(1)

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ 、サファクティブモードを含む)

項 目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 "High" レベル電圧	V_{IH}	$\overline{RES}, \overline{WD0},$ $\overline{WKP_0} \sim \overline{WKP_7},$ $\overline{IRQ_0} \sim \overline{IRQ_4},$ $\overline{TM1B}, \overline{TM1C}, \overline{TM1F},$ $\overline{CS}, \overline{TM1G},$ $\overline{SCK_1}, \overline{SCK_2}, \overline{SCK_3},$ $\overline{ADTRG}$	$V_{CC}=4.0\sim 5.5V$	$0.8V_{CC}$	—	$V_{CC}+0.3$	V	
				$0.9V_{CC}$	—	$V_{CC}+0.3$		
		$\overline{UD}, \overline{SI_1}, \overline{SI_2}, \overline{RXD}$	$V_{CC}=4.0\sim 5.5V$	$0.7V_{CC}$	—	$V_{CC}+0.3$	V	
				$0.8V_{CC}$	—	$V_{CC}+0.3$		
		$\overline{OSC_1}$	$V_{CC}=4.0\sim 5.5V$	$V_{CC}-0.5$	—	$V_{CC}+0.3$	V	
				$V_{CC}-0.3$	—	$V_{CC}+0.3$		
		$P1_0 \sim P1_7,$ $P2_0 \sim P2_7,$ $P3_0 \sim P3_7,$ $P4_0 \sim P4_7,$ $P5_0 \sim P5_7,$ $P6_0 \sim P6_7,$ $P7_0 \sim P7_7,$ $P8_0 \sim P8_7,$ $P9_0 \sim P9_7,$ $PA_0 \sim PA_7$	$V_{CC}=4.0\sim 5.5V$	$0.7V_{CC}$	—	$V_{CC}+0.3$	V	
				$0.8V_{CC}$	—	$V_{CC}+0.3$		
		$PB_0 \sim PB_7,$ $PC_0 \sim PC_7$	$V_{CC}=4.0\sim 5.5V$	$0.7V_{CC}$	—	$AV_{CC}+0.3$		
				$0.8V_{CC}$	—	$AV_{CC}+0.3$		
入力 "Low" レベル電圧	V_{IL}	$\overline{RES}, \overline{WD0},$ $\overline{WKP_0} \sim \overline{WKP_7},$ $\overline{IRQ_0} \sim \overline{IRQ_4},$ $\overline{TM1B}, \overline{TM1C}, \overline{TM1F},$ $\overline{CS}, \overline{TM1G},$ $\overline{SCK_1}, \overline{SCK_2}, \overline{SCK_3},$ $\overline{ADTRG}$	$V_{CC}=4.0\sim 5.5V$	-0.3	—	$0.2V_{CC}$	V	
				-0.3	—	$0.1V_{CC}$		
		$\overline{UD}, \overline{SI_1}, \overline{SI_2}, \overline{RXD}$	$V_{CC}=4.0\sim 5.5V$	-0.3	—	$0.3V_{CC}$	V	
				-0.3	—	$0.2V_{CC}$		
		$\overline{OSC_1}$	$V_{CC}=4.0\sim 5.5V$	-0.3	—	0.5	V	
				-0.3	—	0.3		
		$P1_0 \sim P1_7,$ $P2_0 \sim P2_7,$ $P3_0 \sim P3_7,$ $P4_0 \sim P4_7,$ $P5_0 \sim P5_7,$ $P6_0 \sim P6_7,$ $P7_0 \sim P7_7,$ $P8_0 \sim P8_7,$ $P9_0 \sim P9_7,$ $PA_0 \sim PA_7$ $PB_0 \sim PB_7,$ $PC_0 \sim PC_7$	$V_{CC}=4.0\sim 5.5V$	-0.3	—	$0.3V_{CC}$	V	
				-0.3	—	$0.2V_{CC}$		
				-0.3	—	$0.2V_{CC}$		
				-0.3	—	$0.2V_{CC}$		

TEST端子は V_{SS} に接続してください。

表14.2 H8/3833U、H8/3834UのD C特性(2)

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ 、サブリネイブモードを含む)

項 目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力“High” レベル電圧	V_{OH}	$P1_o\sim P1_i$, $P2_o\sim P2_i$, $P3_o\sim P3_i$, $P4_o\sim P4_i$, $P5_o\sim P5_i$, $P6_o\sim P6_i$, $P7_o\sim P7_i$, $P8_o\sim P8_i$, $P9_o\sim P9_i$, $PA_o\sim PA_i$	$V_{CC}=4.0\sim 5.5V$ $-I_{OH}=1.0mA$	$V_{CC}-1.0$	—	—	V	
			$V_{CC}=4.0\sim 5.5V$ $-I_{OH}=0.5mA$	$V_{CC}-0.5$	—	—		
			$-I_{OH}=0.1mA$	$V_{CC}-0.5$	—	—		
出力“Low” レベル電圧	V_{OL}	$P1_o\sim P1_i$, $P4_o\sim P4_i$	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=1.6mA$	—	—	0.6	V	
			$I_{OL}=0.4mA$	—	—	0.5		
		$P5_o\sim P5_i$, $P6_o\sim P6_i$, $P7_o\sim P7_i$, $P8_o\sim P8_i$, $P9_o\sim P9_i$, $PA_o\sim PA_i$	$I_{OL}=0.4mA$	—	—	0.5		
		$P2_o\sim P2_i$, $P3_o\sim P3_i$	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=10mA$	—	—	1.5		
			$V_{CC}=4.0\sim 5.5V$ $I_{OL}=1.6mA$	—	—	0.6		
			$I_{OL}=0.4mA$	—	—	0.5		
				—	—	—		
入出力 リーク電流	I_{IL}	$RES, P4_s$	$V_{IN}=0.5V\sim V_{CC}-0.5V$	—	—	20.0	μA	注2
				—	—	1.0		注1
		$OSC_i, MD0$ $P1_o\sim P1_i$, $P2_o\sim P2_i$, $P3_o\sim P3_i$, $P4_o\sim P4_i$, $P5_o\sim P5_i$, $P6_o\sim P6_i$, $P7_o\sim P7_i$, $P8_o\sim P8_i$, $P9_o\sim P9_i$, $PA_o\sim PA_i$	$V_{IN}=0.5V\sim V_{CC}-0.5V$	—	—	1.0	μA	
		$PB_o\sim PB_i$, $PC_o\sim PC_i$	$V_{IN}=0.5V\sim AV_{CC}-0.5V$	—	—	1.0		
				—	—	—		

表 14.2 H8/3833U、H8/3834Uの D C 特性(3)

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ 、サブアクティブモードを含む)

項 目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
ブルアップ M O S 電流	$-I_P$	$P1_0\sim P1_7$, $P3_0\sim P3_7$, $P5_0\sim P5_7$, $P6_0\sim P6_7$	$V_{CC}=5V$, $V_{IN}=0V$	50.0	—	300.0	μA	
			$V_{CC}=2.7V$, $V_{IN}=0V$	—	35.0	—	μA	参考値
入力容量	C_{IN}	電源RES, $P4_0$ 端子 を除く全入力端子	$f=1MHz$, $V_{IN}=0V$, $T_a=25^{\circ}C$	—	—	15.0	p F	
		RES		—	—	60.0		注 2
				—	—	15.0		注 1
		$P4_8$		—	—	30.0		注 2
				—	—	15.0		注 1
アクティブ モード 消費電流	I_{OPE1}	V_{CC}	アクティブ(高速)モード $V_{CC}=5V$, $f_{osc}=10MHz$	—	12.0	24.0	m A	注 3 注 4
	I_{OPE2}	V_{CC}	アクティブ(中速)モード $V_{CC}=5V$, $f_{osc}=10MHz$	—	2.5	5.0	m A	注 3 注 4
スリープモード 消費電流	I_{SLEEP}	V_{CC}	$V_{CC}=5V$, $f_{osc}=10MHz$	—	5.0	10.0	m A	注 3 注 4
サブアクティブ モード 消費電流	I_{SUB}	V_{CC}	$V_{CC}=2.7V$, LCD点灯 32kHz水晶発振子 使用時 ($\phi_{SUB} = \phi_w/2$)	—	50.0	130.0	μA	注 3 注 4
			$V_{CC}=2.7V$, LCD点灯 32kHz水晶発振子 使用時 ($\phi_{SUB} = \phi_w/8$)	—	40.0	—	μA	注 3 注 4 参考値
サブスリープ モード 消費電流	I_{SUBSP}	V_{CC}	$V_{CC}=2.7V$, LCD点灯 32kHz水晶発振子 使用時 ($\phi_{SUB} = \phi_w/2$)	—	40.0	90.0	μA	注 3 注 4
ウォッチモード 消費電流	I_{WATCH}	V_{CC}	$V_{CC}=2.7V$, 32kHz 水晶発振子使用時 LCD未使用	—	—	6.0	μA	注 3 注 4
スタンバイ モード消費電流	I_{STBY}	V_{CC}	32kHz水晶発振子 未使用時	—	—	5.0	μA	注 3 注 4
R A M データ 保持電圧	V_{RAM}	V_{CC}		2.0	—	—	V	注 3
								注 4

【注】 *¹ H D 6 4 3 3 8 3 3 U、H D 6 4 3 3 8 3 4 U に適用します。

*² H D 6 4 7 3 8 3 4 U に適用します。

*³ 消費電流測定時の端子の状態

モード	$\overline{\text{RES}}$ 端子	内部状態	各端子	LCD電源	発振端子
アクティブ(高速)モード	V_{cc}	動作	V_{cc}	OPEN	システムクロック発振器 : 水晶発振子
アクティブ(中速)モード					
スリープモード	V_{cc}	タイマのみ動作	V_{cc}	OPEN	サブクロック発振器 : X_1 端子 = V_{cc}
サブアクティブモード	V_{cc}	動作	V_{cc}	OPEN	システムクロック発振器 : 水晶発振子
サブスリープモード	V_{cc}	タイマのみ動作 CPU は停止	V_{cc}	OPEN	サブクロック発振器 : 水晶発振子
ウォッチモード	V_{cc}	時計用タイム ベースのみ動作 CPU は停止	V_{cc}	OPEN	
スタンバイモード	V_{cc}	CPU、タイマ ともに停止	V_{cc}	OPEN	システムクロック発振器 : 水晶発振子 サブクロック発振器 : X_1 端子 = V_{cc}

*⁴ プルアップ MOS や出力バッファに流れる電流は除きます。

表14.2 H8/3833U、H8/3834UのD C特性(4)

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ 、サブアクティブモードを含む)

項 目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力“Low” レベル許容電流 (1端子あたり)	I_{OL}	ポート2、3 以外の出力端子	$V_{CC}=4.0\sim 5.5V$	—	—	2.0	mA	
		ポート2、3	$V_{CC}=4.0\sim 5.5V$	—	—	10.0		
		全出力端子		—	—	0.5		
出力“Low” レベル許容電流 (総 和)	ΣI_{OL}	ポート2、3 以外の出力端子	$V_{CC}=4.0\sim 5.5V$	—	—	40.0	mA	
		ポート2、3	$V_{CC}=4.0\sim 5.5V$	—	—	80.0		
		全出力端子		—	—	20.0		
出力“High” レベル許容電流 (1端子あたり)	$-I_{OH}$	全出力端子	$V_{CC}=4.0\sim 5.5V$	—	—	2.0	mA	
				—	—	0.2		
出力“High” レベル許容電流 (総 和)	$\Sigma -I_{OH}$	全出力端子	$V_{CC}=4.0\sim 5.5V$	—	—	15.0	mA	
				—	—	10.0		

14.2.3 AC特性

H8/3833U、H8/3834Uの制御信号タイミングを表14.3に、シリアルインタフェースタイミングを表14.4、表14.5に示します。

表14.3 H8/3833U、H8/3834Uの制御信号タイミング

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ 、サブティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
システムクロック発振器 発振周波数	f_{osc}	OSC ₁ , OSC ₂	$V_{CC}=4.0\sim 5.5V$	2.0	—	10.0	MHz	
				2.0	—	5.0		
OSCクロック (ϕ_{osc}) サイクル時間	t_{osc}	OSC ₁ , OSC ₂	$V_{CC}=4.0\sim 5.5V$	100.0	—	1000.0	ns	注1 図14.1
				200.0	—	1000.0		
システムクロック(ϕ) サイクル時間	t_{cyc}			2	—	16	t_{osc}	注1
				—	—	2000.0	ns	
サブクロック発振器 発振周波数	f_w	X ₁ , X ₂		—	32.768	—	kHz	
サブクロック(ϕ_w) サイクル時間	t_w	X ₁ , X ₂		—	30.5	—	μs	
サブクロック(ϕ_{sub}) サイクル時間	t_{subcyc}			2	—	8	t_w	注2
インストラクション サイクル時間				2	—	—	t_{cyc} t_{subcyc}	
発振安定時間 (水晶発振子)	t_{rc}	OSC ₁ , OSC ₂	$V_{CC}=4.0\sim 5.5V$	—	—	40.0	ms	
				—	—	60.0		
発振安定時間	t_{rc}	X ₁ , X ₂		—	—	2.0	s	
外部クロック "High"レベル幅	t_{cph}	OSC ₁	$V_{CC}=4.0\sim 5.5V$	40.0	—	—	ns	図14.1
				80.0	—	—		
外部クロック "Low"レベル幅	t_{cpl}	OSC ₁	$V_{CC}=4.0\sim 5.5V$	40.0	—	—	ns	図14.1
				80.0	—	—		
外部クロック 立ち上がり時間	t_{cpr}		$V_{CC}=4.0\sim 5.5V$	—	—	15.0	ns	図14.1
				—	—	20.0		
外部クロック 立下り時間	t_{cpr}		$V_{CC}=4.0\sim 5.5V$	—	—	15.0	ns	図14.1
				—	—	20.0		
RES端子 "Low"レベル幅	t_{REL}	RES		10	—	—	t_{cyc}	図14.2
入力端子 "High"レベル幅	t_{IH}	$\overline{IRQ_0}\sim\overline{IRQ_4}$, $\overline{WKP_0}\sim\overline{WKP_1}$, $\overline{ADTRG}$, $\overline{TMIB}$, $\overline{TMIC}$, $\overline{TMIF}$, $\overline{TMIG}$		2	—	—	t_{cyc} t_{subcyc}	図14.3
入力端子 "Low"レベル幅	t_{IL}	$\overline{IRQ_0}\sim\overline{IRQ_4}$, $\overline{WKP_0}\sim\overline{WKP_1}$, $\overline{ADTRG}$, $\overline{TMIB}$, $\overline{TMIC}$, $\overline{TMIF}$, $\overline{TMIG}$		2	—	—	t_{cyc} t_{subcyc}	図14.3
UD端子 最小変化幅	t_{UDH} t_{UDL}	UD		4	—	—	t_{cyc} t_{subcyc}	図14.4

【注】*1 外部クロックを入力する場合は1～10MHzとなります。

*2 システムコントロールレジスタ2 (SYSCR2)のSA1、SA0の設定により決定します。

表14.4 H8/3833U、H8/3834Uのシリアルインタフェース（SCI1、SCI2）タイミング

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

項 目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力転送クロック サイクル時間	t_{CYC}	SCK ₁ , SCK ₂		2	—	—	t_{CYC}	図14.5
入力転送クロック “High”レベル幅	t_{SCKH}	SCK ₁ , SCK ₂		0.4	—	—	t_{CYC}	図14.5
入力転送クロック “Low”レベル幅	t_{SCKL}	SCK ₁ , SCK ₂		0.4	—	—	t_{CYC}	図14.5
入力転送クロック 立上り時間	t_{SCKr}	SCK ₁ , SCK ₂	$V_{CC}=4.0\sim 5.5V$	—	—	60.0	n s	図14.5
				—	—	80.0		
入力転送クロック 立下り時間	t_{SCKf}	SCK ₁ , SCK ₂	$V_{CC}=4.0\sim 5.5V$	—	—	60.0	n s	図14.5
				—	—	80.0		
シリアル出力データ 遅延時間	t_{SOD}	SO ₁ , SO ₂	$V_{CC}=4.0\sim 5.5V$	—	—	200.0	n s	図14.5
				—	—	350.0		
シリアル入力データ セットアップ時間	t_{SIS}	SI ₁ , SI ₂	$V_{CC}=4.0\sim 5.5V$	200.0	—	—	n s	図14.5
				400.0	—	—		
シリアル入力データ ホールド時間	t_{SIH}	SI ₁ , SI ₂	$V_{CC}=4.0\sim 5.5V$	200.0	—	—	n s	図14.5
				400.0	—	—		
CSセットアップ時間	t_{CSS}	$\overline{CS}$		2	—	—	t_{CYC}	図14.6
CSホールド時間	t_{CSH}	$\overline{CS}$		2	—	—	t_{CYC}	図14.6

表14.5 H8/3833U、H8/3834Uのシリアルインタフェース（SCI3）タイミング

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

項 目		記号	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力 クロックサイクル	調歩同期	t_{CYC}		4	—	—	t_{CYC}	図14.7
	クロック同期			6	—	—		
入力クロックパルス幅		t_{SCKW}		0.4	—	0.6	t_{CYC}	図14.7
送信データ遅延時間 (クロック同期)		t_{TXD}	$V_{CC}=4.0\sim 5.5V$	—	—	1	t_{CYC}	図14.8
				—	—	1		
受信データセットアップ時間 (クロック同期)		t_{RXS}	$V_{CC}=4.0\sim 5.5V$	200.0	—	—	n s	図14.8
				400.0	—	—		
受信データホールド時間 (クロック同期)		t_{RXH}	$V_{CC}=4.0\sim 5.5V$	200.0	—	—	n s	図14.8
				400.0	—	—		

14.2.4 A/D変換器特性

H8/3833U、H8/3834UのA/D変換器特性を表14.6に示します。

表14.6 H8/3833U、H8/3834UのA/D変換器特性
(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

項 目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
アナログ電源電圧	AV_{CC}	AV_{CC}		2.7	—	5.5	V	注1
アナログ入力電圧	AV_{IN}	$AN_0\sim AN_{11}$		-0.3	—	$AV_{CC}+0.3$	V	
アナログ電源電流	AI_{OPB}	AV_{CC}	$AV_{CC}=5.0V$	—	—	1.5	mA	
	AI_{STOP1}	AV_{CC}		—	150.0	—	μA	注2 参考値
	AI_{STOP2}	AV_{CC}		—	—	5.0	μA	注3
アナログ入力容量	CA_{IN}	$AN_0\sim AN_{11}$		—	—	30.0	pF	
許容信号源 インピーダンス	RA_{IN}			—	—	10.0	k Ω	
分解能(ビット長)				—	—	8	ビット	
非直線性誤差				—	—	± 2.0	LSB	
量子化誤差				—	—	± 0.5	LSB	
絶対精度				—	—	± 2.5	LSB	
変換時間			$AV_{CC}=4.5\sim 5.5V$	12.4	—	124	μs	
				24.8	—	124		

【注】*1 A/D変換器を使用しない場合は $AV_{CC}=V_{CC}$ としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでのA/D変換待機時の電流値です。

*3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでのA/D変換待機時の電流値です。

14.2.5 LCD 特性

H8/3833U、H8/3834UのLCD特性を表14.7に、セグメント外部拡張AC特性を表14.8に示します。

表14.7 H8/3833U、H8/3834UのLCD特性

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ 、 μP アクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
セグメントドライバ 降下電圧	V_{DS}	$SEG_1\sim SEG_{10}$	$I_D=2\mu A$	—	—	0.6	V	注1
コモンドライバ 降下電圧	V_{DC}	$COM_1\sim COM_4$	$I_D=2\mu A$	—	—	0.3	V	注1
LCD電源 分割抵抗	R_{LCD}		$V_1\sim V_{SS}$ 間	50.0	300.0	900.0	k Ω	
液晶表示電圧	V_{LCD}	V_1		2.7	—	V_{CC}	V	注2

【注】*1 電源端子 V_1 、 V_2 、 V_3 、 V_{SS} から各セグメント端子またはコモン端子までの電圧降下です。

*2 液晶表示電圧を外部電源より供給する場合は、 $V_{CC}\geq V_1\geq V_2\geq V_3\geq V_{SS}$ の関係を維持してください。

表14.8 H8/3833U、H8/3834Uのセグメント外部拡張AC特性

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ 、 μP アクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
クロック “High”レベル幅	t_{cWH}	CL_1, CL_2	注1	800.0	—	—	n s	図14.9
クロック “Low”レベル幅	t_{cWL}	CL_2	注1	800.0	—	—	n s	図14.9
クロックセット アップ時間	t_{CSU}	CL_1, CL_2	注1	500.0	—	—	n s	図14.9
データセット アップ時間	t_{SU}	DO	注1	300.0	—	—	n s	図14.9
データ保持時間	t_{DH}	DO	注1	300.0	—	—	n s	図14.9
M遅延時間	t_{DM}	M		-1000	—	1000.0	n s	図14.9
クロック立上がり 立下がり時間	t_{CT}	CL_1, CL_2		—	—	100.0	n s	図14.9

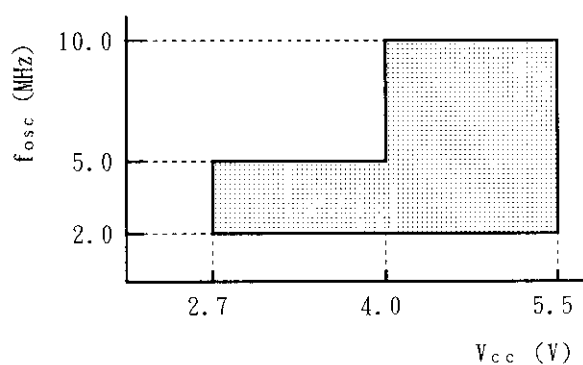
【注】*1 フレーム周波数を488Hz $\sim$ 30.5Hzに設定したときの値です。

14.3 H8 / 3835U、H8 / 3836U、H8 / 3837Uの電气的特性

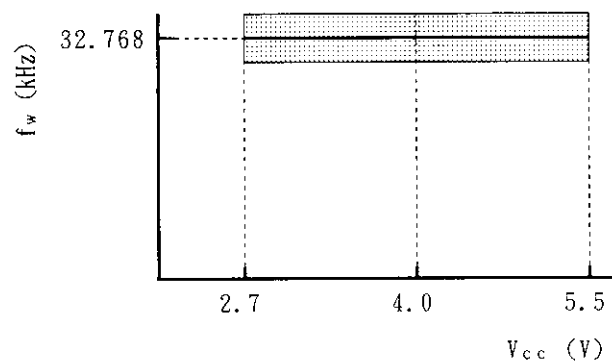
14.3.1 電源電圧と動作範囲

H8/3835U、H8/3836U、H8/3837Uの電源電圧と動作範囲（網かけ部）を以下に示します。

(1) H8/3835U、H8/3836U、H8/3837Uの電源電圧と発振周波数の範囲

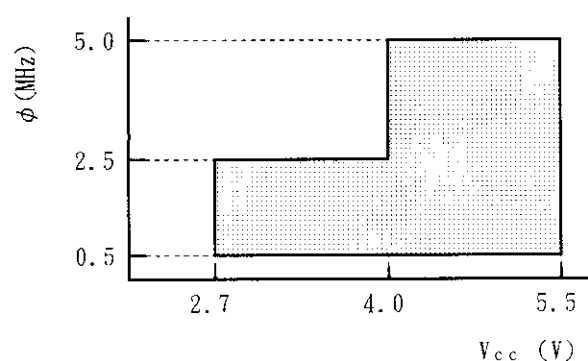


- ・アクティブ（高速）モード
- ・スリープモード

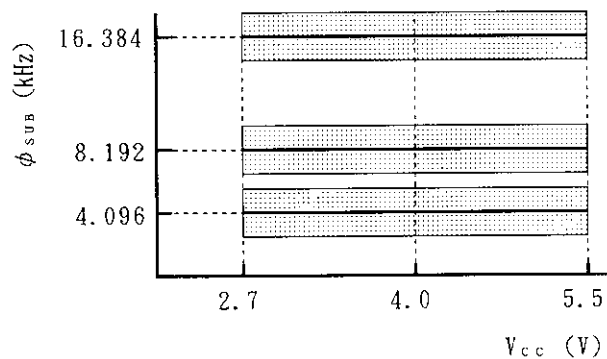


- ・すべての動作モード

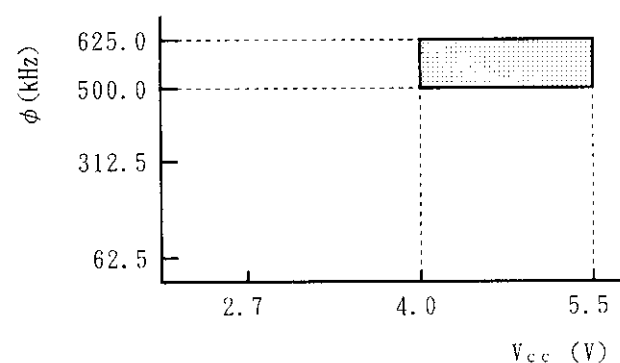
(2) H8/3835U、H8/3836U、H8/3837Uの電源電圧と動作周波数の範囲



- ・アクティブ（高速）モード
- ・スリープモード（CPUを除く）

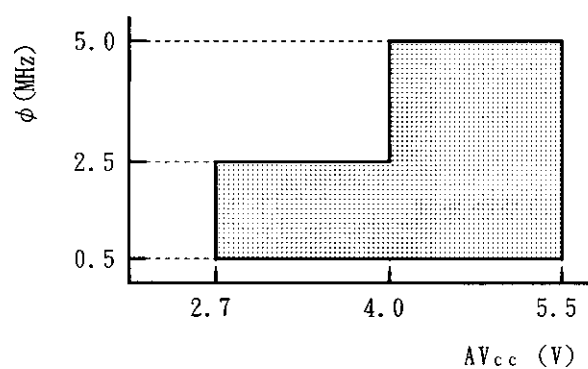


- ・サブアクティブモード
- ・サブスリープモード（CPUを除く）
- ・ウォッチモード（CPUを除く）

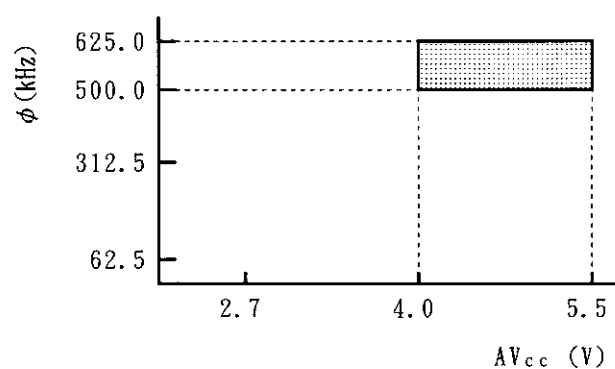


- ・アクティブ（中速）モード

(3) H8/3835U、H8/3836U、H8/3837Uのアナログ電源電圧とA/D変換器の動作範囲



- ・アクティブ（高速）モード
- ・スリープモード



- ・アクティブ（中速）モード

14.3.2 D C 特性

H8/3835U、H8/3836U、H8/3837UのD C 特性を表14.9に示します。

表14.9 H8/3835U、H8/3836U、H8/3837UのD C 特性(1)

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ 、サフティモードを含む)

項 目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 "High" レベル電圧	V_{IH}	$\overline{RES}, \overline{WD0},$ $\overline{WKPo} \sim \overline{WKPi},$ $\overline{IRQo} \sim \overline{IRQi},$ $\overline{TWIB}, \overline{TWIC}, \overline{TWIF},$ $\overline{CS}, \overline{TWIG},$ $\overline{SCKi}, \overline{SCKo}, \overline{SCKs},$ $\overline{ADTRG}$	$V_{CC}=4.0\sim 5.5V$	$0.8V_{CC}$	—	$V_{CC}+0.3$	V	
				$0.9V_{CC}$	—	$V_{CC}+0.3$		
		UD, SIi, SIo, RXD	$V_{CC}=4.0\sim 5.5V$	$0.7V_{CC}$	—	$V_{CC}+0.3$	V	
				$0.8V_{CC}$	—	$V_{CC}+0.3$		
		$OSCi$	$V_{CC}=4.0\sim 5.5V$	$V_{CC}-0.5$	—	$V_{CC}+0.3$	V	
				$V_{CC}-0.3$	—	$V_{CC}+0.3$		
		$P1o \sim P1i,$ $P2o \sim P2i,$ $P3o \sim P3i,$ $P4o \sim P4i,$ $P5o \sim P5i,$ $P6o \sim P6i,$ $P7o \sim P7i,$ $P8o \sim P8i,$ $P9o \sim P9i,$ $PAo \sim PAi$	$V_{CC}=4.0\sim 5.5V$	$0.7V_{CC}$	—	$V_{CC}+0.3$	V	
				$0.8V_{CC}$	—	$V_{CC}+0.3$		
		$PBo \sim PBi,$	$V_{CC}=4.0\sim 5.5V$	$0.7V_{CC}$	—	$AV_{CC}+0.3$		
		$PCo \sim PCi$		$0.8V_{CC}$	—	$AV_{CC}+0.3$		
入力 "Low" レベル電圧	V_{IL}	$\overline{RES}, \overline{WD0},$ $\overline{WKPo} \sim \overline{WKPi},$ $\overline{IRQo} \sim \overline{IRQi},$ $\overline{TWIB}, \overline{TWIC}, \overline{TWIF},$ $\overline{CS}, \overline{TWIG},$ $\overline{SCKi}, \overline{SCKo}, \overline{SCKs},$ $\overline{ADTRG}$	$V_{CC}=4.0\sim 5.5V$	-0.3	—	$0.2V_{CC}$	V	
				-0.3	—	$0.1V_{CC}$		
		UD, SIi, SIo, RXD	$V_{CC}=4.0\sim 5.5V$	-0.3	—	$0.3V_{CC}$	V	
				-0.3	—	$0.2V_{CC}$		
		$OSCi$	$V_{CC}=4.0\sim 5.5V$	-0.3	—	0.5	V	
				-0.3	—	0.3		
		$P1o \sim P1i,$ $P2o \sim P2i,$ $P3o \sim P3i,$ $P4o \sim P4i,$ $P5o \sim P5i,$ $P6o \sim P6i,$ $P7o \sim P7i,$ $P8o \sim P8i,$ $P9o \sim P9i,$ $PAo \sim PAi$ $PBo \sim PBi,$ $PCo \sim PCi$	$V_{CC}=4.0\sim 5.5V$	-0.3	—	$0.3V_{CC}$	V	
				-0.3	—	$0.2V_{CC}$		

TEST端子は V_{SS} に接続してください。

表14.9 H8/3835U、H8/3836U、H8/3837UのD C特性(2)

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ 、サアクティブモードを含む)

項 目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力“High” レベル電圧	V_{OH}	$P1_o\sim P1_i$, $P2_o\sim P2_i$, $P3_o\sim P3_i$, $P4_o\sim P4_i$, $P5_o\sim P5_i$, $P6_o\sim P6_i$, $P7_o\sim P7_i$, $P8_o\sim P8_i$, $P9_o\sim P9_i$, $PA_o\sim PA_i$	$V_{CC}=4.0\sim 5.5V$ $-I_{OH}=1.0mA$	$V_{CC}-1.0$	—	—	V	
			$V_{CC}=4.0\sim 5.5V$ $-I_{OH}=0.5mA$	$V_{CC}-0.5$	—	—		
			$-I_{OH}=0.1mA$	$V_{CC}-0.5$	—	—		
出力“Low” レベル電圧	V_{OL}	$P1_o\sim P1_i$, $P4_o\sim P4_i$	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=1.6mA$	—	—	0.6	V	
			$I_{OL}=0.4mA$	—	—	0.5		
		$P5_o\sim P5_i$, $P6_o\sim P6_i$, $P7_o\sim P7_i$, $P8_o\sim P8_i$, $P9_o\sim P9_i$, $PA_o\sim PA_i$	$I_{OL}=0.4mA$	—	—	0.5		
		$P2_o\sim P2_i$, $P3_o\sim P3_i$	$V_{CC}=4.0\sim 5.5V$ $I_{OL}=10mA$	—	—	1.5		
			$V_{CC}=4.0\sim 5.5V$ $I_{OL}=1.6mA$	—	—	0.6		
			$I_{OL}=0.4mA$	—	—	0.5		
				—	—	—		
入出力 リーク電流	$ I_{IL} $	RES, PA_o	$V_{IN}=0.5V\sim V_{CC}-0.5V$	—	—	20.0	μA	注2
				—	—	1.0		注1
		OSC _i , MD0 $P1_o\sim P1_i$, $P2_o\sim P2_i$, $P3_o\sim P3_i$, $P4_o\sim P4_i$, $P5_o\sim P5_i$, $P6_o\sim P6_i$, $P7_o\sim P7_i$, $P8_o\sim P8_i$, $P9_o\sim P9_i$, $PA_o\sim PA_i$	$V_{IN}=0.5V\sim V_{CC}-0.5V$	—	—	1.0	μA	
		$PB_o\sim PB_i$, $PC_o\sim PC_i$	$V_{IN}=0.5V\sim AV_{CC}-0.5V$	—	—	1.0		

表14.9 H8/3835U、H8/3836U、H8/3837UのDC特性(3)

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^\circ C$ 、*アキティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
ブルアップ MOS電流	$-I_P$	P1 ₀ ~P1 ₇ , P3 ₀ ~P3 ₇ , P5 ₀ ~P5 ₇ , P6 ₀ ~P6 ₇	$V_{CC}=5V$, $V_{IN}=0V$	50.0	—	300.0	μA	
			$V_{CC}=2.7V$, $V_{IN}=0V$	—	35.0	—	μA	参考値
入力容量	C_{IN}	電源RES、P4 ₃ 端子 を除く全入力端子	$f=1MHz$, $V_{IN}=0V$, $T_a=25^\circ C$	—	—	15.0	pF	
		RES		—	—	60.0		注2
				—	—	15.0		注1
		P4 ₃		—	—	30.0		注2
				—	—	15.0		注1
アクティブ モード 消費電流	I_{OPER1}	V_{CC}	*アクティブ(高速)モード $V_{CC}=5V$, $f_{osc}=10MHz$	—	12.0	24.0	mA	注3 注4
	I_{OPER2}	V_{CC}	*アクティブ(中速)モード $V_{CC}=5V$, $f_{osc}=10MHz$	—	2.5	5.0		注3 注4
スリープモード 消費電流	I_{SLEEP}	V_{CC}	$V_{CC}=5V$, $f_{osc}=10MHz$	—	5.0	10.0	mA	注3 注4
サブアクティブ モード 消費電流	I_{SUB}	V_{CC}	$V_{CC}=2.7V$, LCD点灯 32kHz水晶発振子 使用時 ($\phi_{SUB} = \phi_w/2$)	—	50.0	130.0	μA	注3 注4
			$V_{CC}=2.7V$, LCD点灯 32kHz水晶発振子 使用時 ($\phi_{SUB} = \phi_w/8$)	—	40.0	—	μA	注3 注4 参考値
サブスリープ モード 消費電流	I_{SUBSP}	V_{CC}	$V_{CC}=2.7V$, LCD点灯 32kHz水晶発振子 使用時 ($\phi_{SUB} = \phi_w/2$)	—	40.0	90.0	μA	注3 注4
ウォッチモード 消費電流	I_{WATCH}	V_{CC}	$V_{CC}=2.7V$, 32kHz 水晶発振子使用時 LCD未使用	—	—	6.0	μA	注3 注4
スタンバイ モード消費電流	I_{STBY}	V_{CC}	32kHz水晶発振子 未使用時	—	—	5.0	μA	注3 注4
RAMデータ 保持電圧	V_{RAM}	V_{CC}		2.0	—	—	V	注3 注4

- 【注】 *¹ H D 6 4 3 3 8 3 5 U、H D 6 4 3 3 8 3 6 U、H D 6 4 3 3 8 3 7 U に適用します。
- *² H D 6 4 7 3 8 3 7 U に適用します。
- *³ 消費電流測定時の端子の状態

モード	RES 端子	内部状態	各端子	LCD電源	発振端子
アクティブ(高速)モード アクティブ(中速)モード	V _{cc}	動作	V _{cc}	OPEN	システムクロック発振器： 水晶発振子
スリープモード	V _{cc}	タイマのみ動作	V _{cc}	OPEN	サブクロック発振器： X ₁ 端子 = V _{cc}
サブアクティブモード	V _{cc}	動作	V _{cc}	OPEN	システムクロック発振器： 水晶発振子
サブスリープモード	V _{cc}	タイマのみ動作 C P U は停止	V _{cc}	OPEN	サブクロック発振器： 水晶発振子
ウォッチモード	V _{cc}	時計用タイム ベースのみ動作 C P U は停止	V _{cc}	OPEN	水晶発振子
スタンバイモード	V _{cc}	C P U、タイマ ともに停止	V _{cc}	OPEN	システムクロック発振器： 水晶発振子 サブクロック発振器： X ₁ 端子 = V _{cc}

- *⁴ プルアップ M O S や出力バッファに流れる電流は除きます。

表 14.9 H8/3835U、H8/3836U、H8/3837Uの D C 特性(4)

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ 、 μ プアティブモードを含む)

項 目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力“Low” レベル許容電流 (1端子あたり)	I_{OL}	ポート 2、3 以外の出力端子	$V_{CC}=4.0\sim 5.5V$	—	—	2.0	mA	
		ポート 2、3	$V_{CC}=4.0\sim 5.5V$	—	—	10.0		
		全出力端子		—	—	0.5		
出力“Low” レベル許容電流 (総 和)	ΣI_{OL}	ポート 2、3 以外の出力端子	$V_{CC}=4.0\sim 5.5V$	—	—	40.0	mA	
		ポート 2、3	$V_{CC}=4.0\sim 5.5V$	—	—	80.0		
		全出力端子		—	—	20.0		
出力“High” レベル許容電流 (1端子あたり)	$-I_{OH}$	全出力端子	$V_{CC}=4.0\sim 5.5V$	—	—	2.0	mA	
				—	—	0.2		
出力“High” レベル許容電流 (総 和)	$\Sigma -I_{OH}$	全出力端子	$V_{CC}=4.0\sim 5.5V$	—	—	15.0	mA	
				—	—	10.0		

14.3.3 AC特性

H8/3835U、H8/3836U、H8/3837Uの制御信号タイミングを表14.10に、シリアルインタフェースタイミングを表14.11、表14.12に示します。

表14.10 H8/3835U、H8/3836U、H8/3837Uの制御信号タイミング

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ 、サリアティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
システムクロック発振器 発振周波数	f_{osc}	OSC ₁ , OSC ₂	$V_{CC}=4.0\sim 5.5V$	2.0	—	10.0	MHz	
				2.0	—	5.0		
OSCクロック (ϕ_{osc}) サイクル時間	t_{osc}	OSC ₁ , OSC ₂	$V_{CC}=4.0\sim 5.5V$	100.0	—	1000.0	ns	注1 図14.1
				200.0	—	1000.0		
システムクロック(ϕ) サイクル時間	t_{cyc}			2	—	16	t_{osc}	注1
				—	—	2000.0	ns	
ワットクロック発振器 発振周波数	f_w	X ₁ , X ₂		—	32.768	—	kHz	
ワットクロック(ϕ_w) サイクル時間	t_w	X ₁ , X ₂		—	30.5	—	μs	
ワットクロック(ϕ_{sub}) サイクル時間	t_{subcyc}			2	—	8	t_w	注2
インストラクション サイクル時間				2	—	—	t_{cyc} t_{subcyc}	
発振安定時間 (水晶発振子)	t_{rc}	OSC ₁ , OSC ₂	$V_{CC}=4.0\sim 5.5V$	—	—	40.0	ms	
				—	—	60.0		
発振安定時間	t_{rc}	X ₁ , X ₂		—	—	2.0	s	
外部クロック "High"レベル幅	t_{cph}	OSC ₁	$V_{CC}=4.0\sim 5.5V$	40.0	—	—	ns	図14.1
				80.0	—	—		
外部クロック "Low"レベル幅	t_{cpl}	OSC ₁	$V_{CC}=4.0\sim 5.5V$	40.0	—	—	ns	図14.1
				80.0	—	—		
外部クロック 立ち上がり時間	t_{cpr}		$V_{CC}=4.0\sim 5.5V$	—	—	15.0	ns	図14.1
				—	—	20.0		
外部クロック 立下り時間	t_{cpr}		$V_{CC}=4.0\sim 5.5V$	—	—	15.0	ns	図14.1
				—	—	20.0		
RES端子 "Low"レベル幅	t_{rel}	RES		10	—	—	t_{cyc}	図14.2
入力端子 "High"レベル幅	t_{ih}	$\overline{IRQ_0}\sim \overline{IRQ_4}$, $\overline{WKP_0}\sim \overline{WKP_1}$, $\overline{ADTRG}$, TNIB, TNIC, TMIF, TMIG		2	—	—	t_{cyc} t_{subcyc}	図14.3
入力端子 "Low"レベル幅	t_{il}	$\overline{IRQ_0}\sim \overline{IRQ_4}$, $\overline{WKP_0}\sim \overline{WKP_1}$, $\overline{ADTRG}$, TNIB, TNIC, TMIF, TMIG		2	—	—	t_{cyc} t_{subcyc}	図14.3
UD端子 最小変化幅	t_{udh} t_{udl}	UD		4	—	—	t_{cyc} t_{subcyc}	図14.4

【注】*1 外部クロックを入力する場合は1～10MHzとなります。

*2 システムコントロールレジスタ2 (SYSCR2)のSA1、SA0の設定により決定します。

表14.11 H8/3835U、H8/3836U、H8/3837Uのシリアルインタフェース（SCK1、SCK2）タイミング

（特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ ）

項 目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力転送クロック サイクル時間	t_{CYC}	SCK ₁ , SCK ₂		2	—	—	t_{CYC}	図14.5
入力転送クロック "High"レベル幅	t_{SCKH}	SCK ₁ , SCK ₂		0.4	—	—	t_{SCKH}	図14.5
入力転送クロック "Low"レベル幅	t_{SCKL}	SCK ₁ , SCK ₂		0.4	—	—	t_{SCKL}	図14.5
入力転送クロック 立上り時間	t_{SCKr}	SCK ₁ , SCK ₂	$V_{CC}=4.0\sim 5.5V$	—	—	60.0	n s	図14.5
				—	—	80.0		
入力転送クロック 立下り時間	t_{SCKf}	SCK ₁ , SCK ₂	$V_{CC}=4.0\sim 5.5V$	—	—	60.0	n s	図14.5
				—	—	80.0		
シリアル出力データ 遅延時間	t_{SOD}	SO ₁ , SO ₂	$V_{CC}=4.0\sim 5.5V$	—	—	200.0	n s	図14.5
				—	—	350.0		
シリアル入力データ セットアップ時間	$t_{SI:S}$	SI ₁ , SI ₂	$V_{CC}=4.0\sim 5.5V$	200.0	—	—	n s	図14.5
				400.0	—	—		
シリアル入力データ ホールド時間	$t_{SI:H}$	SI ₁ , SI ₂	$V_{CC}=4.0\sim 5.5V$	200.0	—	—	n s	図14.5
				400.0	—	—		
CSセットアップ時間	t_{CSS}	$\overline{CS}$		2	—	—	t_{CYC}	図14.6
CSホールド時間	t_{CSH}	$\overline{CS}$		2	—	—	t_{CYC}	図14.6

表14.12 H8/3835U、H8/3836U、H8/3837Uのシリアルインタフェース（SCK3）タイミング

（特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ ）

項 目		記号	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力 クロックサイクル	調歩同期	t_{CYC}		4	—	—	t_{CYC}	図14.7
	クロック同期			6	—	—		
入力クロックパルス幅		t_{SCKW}		0.4	—	0.6	t_{SCKH}	図14.7
送信データ遅延時間 （クロック同期）		t_{TXD}	$V_{CC}=4.0\sim 5.5V$	—	—	1	t_{CYC}	図14.8
				—	—	1		
受信データセットアップ時間 （クロック同期）		t_{RXS}	$V_{CC}=4.0\sim 5.5V$	200.0	—	—	n s	図14.8
				400.0	—	—		
受信データホールド時間 （クロック同期）		t_{RXH}	$V_{CC}=4.0\sim 5.5V$	200.0	—	—	n s	図14.8
				400.0	—	—		

14.3.4 A / D 変換器特性

H8/3835U、H8/3836U、H8/3837Uの A / D 変換器特性を表14.13に示します。

表14.13 H8/3835U、H8/3836U、H8/3837Uの A / D 変換器特性
(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$)

項 目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
アナログ電源電圧	AV_{CC}	AV_{CC}		2.7	—	5.5	V	注 1
アナログ入力電圧	AV_{IN}	$AN_0\sim AN_{11}$		$AV_{SS}-0.3$	—	$AV_{CC}+0.3$	V	
アナログ電源電流	AI_{OPE}	AV_{CC}	$AV_{CC}=5.0V$	—	—	1.5	mA	
	AI_{STOP1}	AV_{CC}		—	150.0	—	μA	注 2 参考値
	AI_{STOP2}	AV_{CC}		—	—	5.0	μA	注 3
アナログ入力容量	C_{AIN}	$AN_0\sim AN_{11}$		—	—	30.0	pF	
許容信号源 インピーダンス	R_{AIN}			—	—	10.0	k Ω	
分解能(データ長)				—	—	8	ビット	
非直線性誤差				—	—	± 2.0	LSB	
量子化誤差				—	—	± 0.5	LSB	
絶対精度				—	—	± 2.5	LSB	
変換時間			$AV_{CC}=4.5\sim 5.5V$	12.4	—	124	μs	
				24.8	—	124		

【注】*1 A / D 変換器を使用しない場合は $AV_{CC}=V_{CC}$ としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでの A / D 変換待機時の電流値です。

*3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A / D 変換待機時の電流値です。

14.3.5 LCD特性

H8/3835U、H8/3836U、H8/3837UのLCD特性を表14.14に、セグメント外部拡張AC特性を表14.15に示します。

表14.14 H8/3835U、H8/3836U、H8/3837UのLCD特性

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ 、サバティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
セグメントドライブ 降下電圧	V_{DS}	SEG ₁ ～SEG ₄₀	$I_D=2\mu A$	—	—	0.6	V	注1
コモンドライブ 降下電圧	V_{DC}	COM ₁ ～COM ₄	$I_D=2\mu A$	—	—	0.3	V	注1
LCD電源 分割抵抗	R_{LCD}		V_1-V_{SS} 間	50.0	300.0	900.0	k Ω	
液晶表示電圧	V_{LCD}	V_1		2.7	—	V_{CC}	V	注2

【注】*1 電源端子 V_1 、 V_2 、 V_3 、 V_{SS} から各セグメント端子またはコモン端子までの電圧降下です。

*2 液晶表示電圧を外部電源より供給する場合は、 $V_{CC}\geq V_1\geq V_2\geq V_3\geq V_{SS}$ の関係を維持してください。

表14.15 H8/3835U、H8/3836U、H8/3837Uのセグメント外部拡張AC特性

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75^{\circ}C$ 、サバティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
クロック "High"レベル幅	t_{cWH}	CL ₁ , CL ₂	注1	800.0	—	—	n s	図14.9
クロック "Low"レベル幅	t_{cWL}	CL ₂	注1	800.0	—	—	n s	図14.9
クロックセット アップ時間	t_{CSU}	CL ₁ , CL ₂	注1	500.0	—	—	n s	図14.9
データセット アップ時間	t_{SD}	DO	注1	300.0	—	—	n s	図14.9
データ保持時間	t_{DH}	DO	注1	300.0	—	—	n s	図14.9
M遅延時間	t_{DM}	M		-1000	—	1000.0	n s	図14.9
クロック立上がり 立下がり時間	t_{CT}	CL ₁ , CL ₂		—	—	100.0	n s	図14.9

【注】*1 フレーム周波数を488Hz～30.5Hzに設定したときの値です。

14.4 動作タイミング

動作タイミングを図14.1～図14.9に示します。

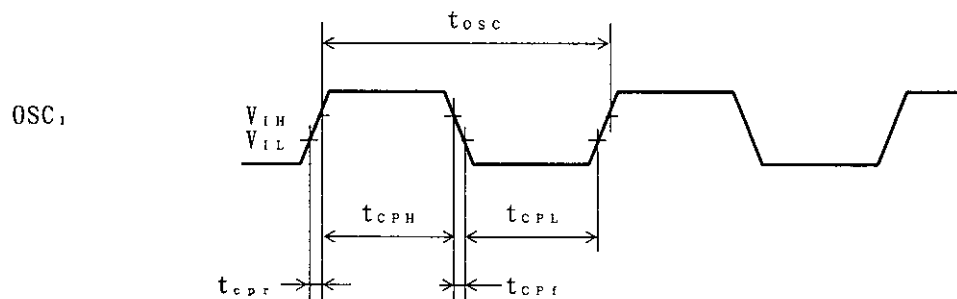


図14.1 システムクロック入力タイミング

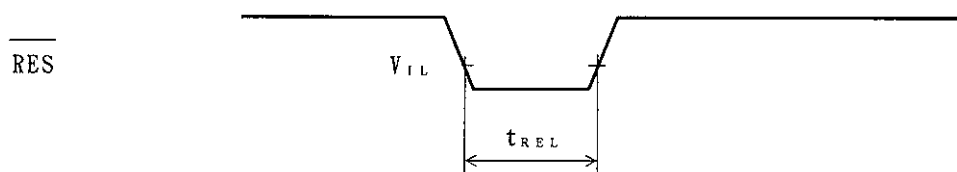


図14.2 RES端子 "Low"レベル幅タイミング

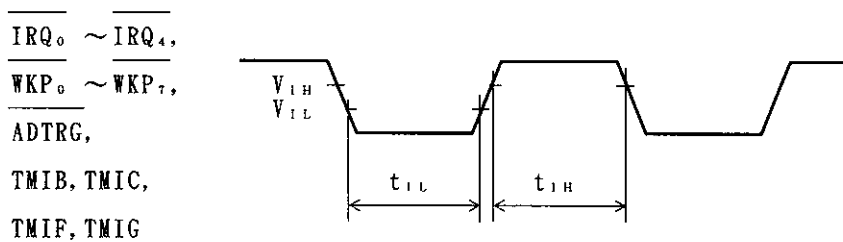


図14.3 入力タイミング

UD

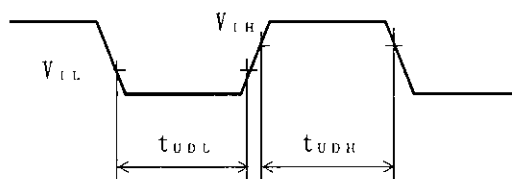
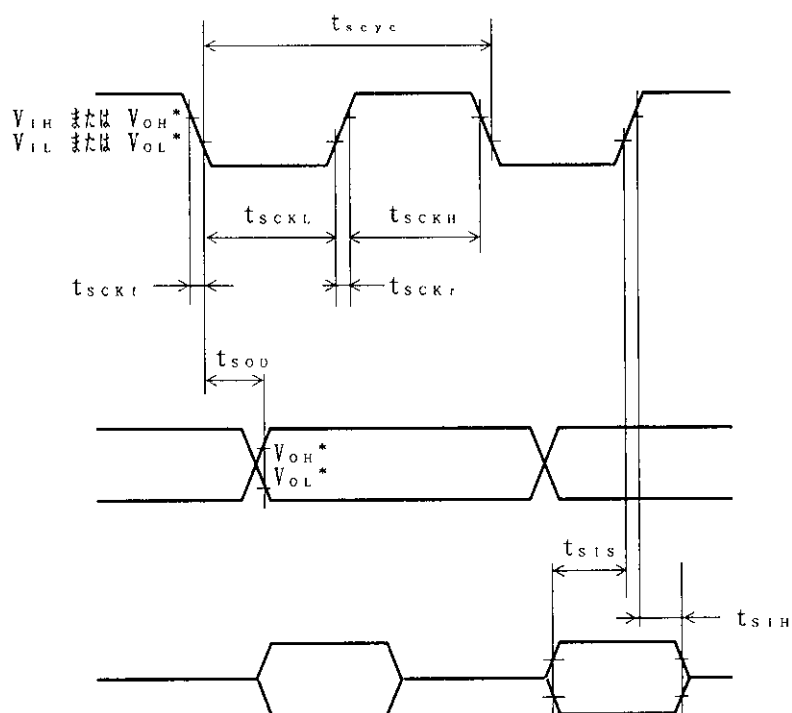


図14.4 UD端子最小変化幅タイミング

SCK₁,
SCK₂



【注】* 出力タイミング参照レベル

出力 "High" レベル	$V_{OH} = 2.0V$
出力 "Low" レベル	$V_{OL} = 0.8V$

負荷条件は図14.10を参照してください。

図14.5 SCI1、SCI2入出力タイミング

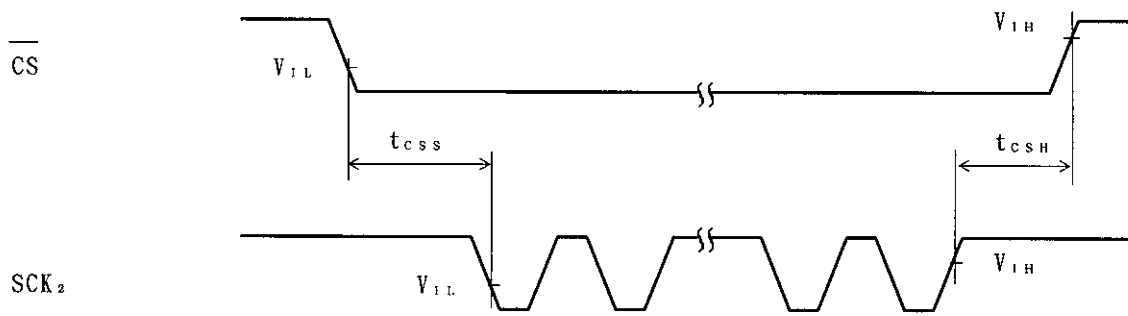


図14.6 SCK1チップセレクトタイミング

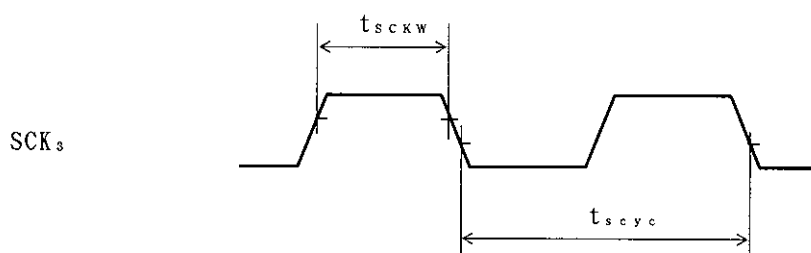
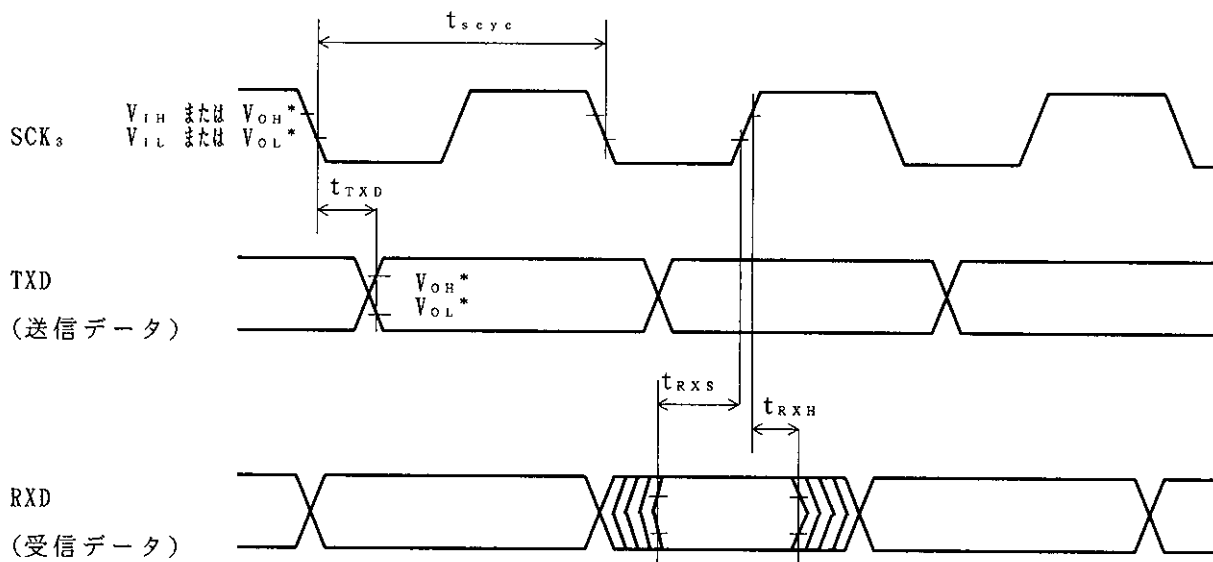


図14.7 SCK3入力クロックタイミング



【注】* 出力タイミング参照レベル

出力“High”レベル	$V_{OH} = 2.0V$
出力“Low”レベル	$V_{OL} = 0.8V$

負荷条件は図14.10を参照してください。

図14.8 SCK3クロック同期式モード入出力タイミング

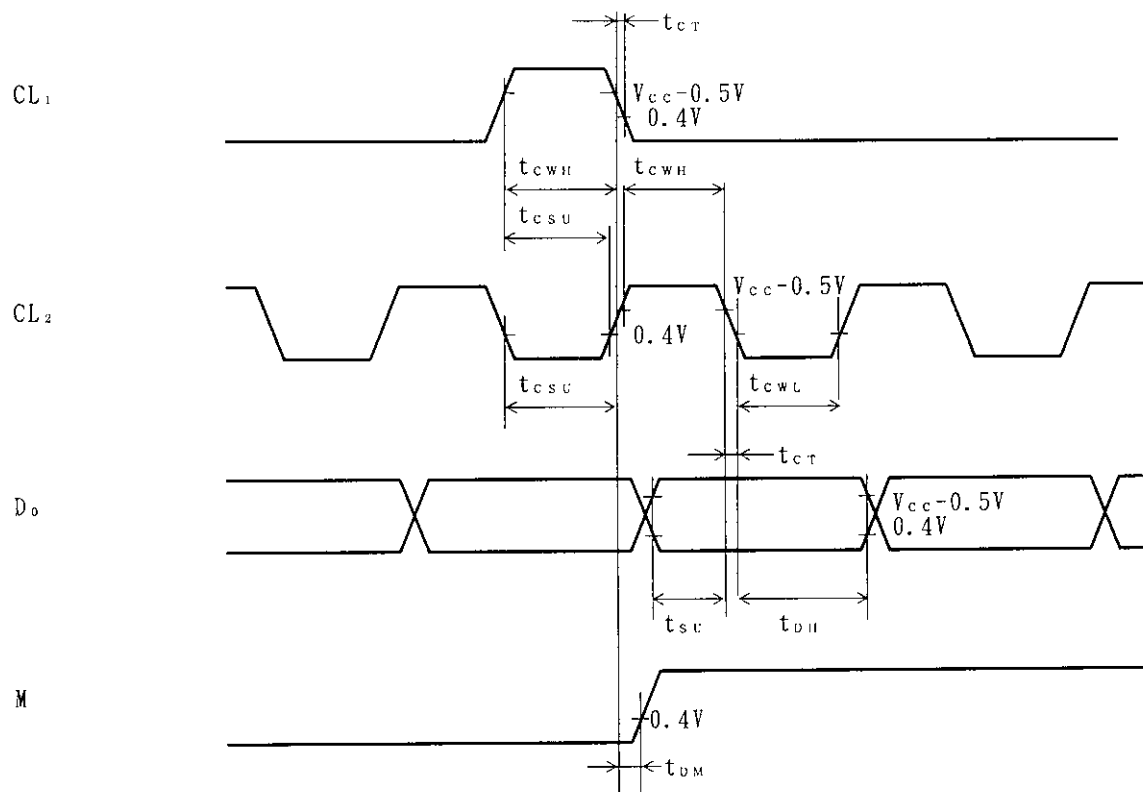


図14.9 セグメント拡張信号タイミング

14.5 出力負荷回路

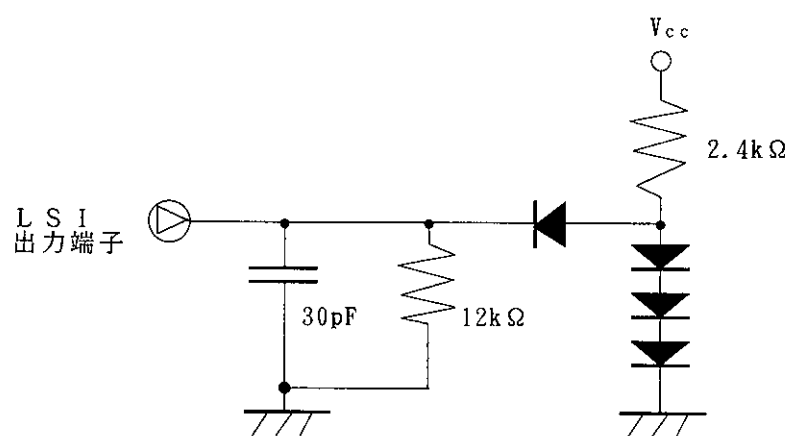


図 14.10 出力負荷条件

付録

付録 目次

A.	命令	A - 1
A.1	命令一覧	A - 1
A.2	オペレーションコードマップ	A - 11
A.3	命令実行ステート数	A - 12
B.	レジスター一覧	B - 1
B.1	I/Oレジスター一覧(1)	B - 1
B.2	I/Oレジスター一覧(2)	B - 4
C.	I/Oポートブロック図	C - 1
C.1	ポート1ブロック図	C - 1
C.2	ポート2ブロック図	C - 6
C.3	ポート3ブロック図	C - 9
C.4	ポート4ブロック図	C - 15
C.5	ポート5ブロック図	C - 19
C.6	ポート6ブロック図	C - 20
C.7	ポート7ブロック図	C - 21
C.8	ポート8ブロック図	C - 22
C.9	ポート9ブロック図	C - 23
C.10	ポートAブロック図	C - 24
C.11	ポートBブロック図	C - 25
C.12	ポートCブロック図	C - 26
D.	各処理状態におけるポートの状態	D - 1
E.	ROM発注手順	E - 1
E.1	ROM書き換え品開発の流れ(発注手順)	E - 1
E.2	ROM発注時の提出物と注意事項	E - 2
F.	型名一覧	F - 1
G.	外形寸法図	G - 1

A. 命令

A.1 命令一覧

《オペレーションの記号》

R d 8/16	汎用レジスタ（デスティネーション側） 8 ビット／16ビット
R s 8/16	汎用レジスタ（ソース側） 8 ビット／16ビット
R n 8/16	汎用レジスタ 8 ビット／16ビット
C C R	コンディションコードレジスタ
N	C C RのN（ネガティブ）フラグ
Z	C C RのZ（ゼロ）フラグ
V	C C RのV（オーバフロー）フラグ
C	C C RのC（キャリ）フラグ
P C	プログラムカウンタ
S P	スタックポインタ
#xx: 3/8/16	イミディエイトデータ 3 ビット／ 8 ビット／16ビット
d: 8/16	ディスプレイースメント 8 ビット／16ビット
@aa: 8/16	絶対アドレス 8 ビット／16ビット
+	加算
-	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
—	論理的補数

《コンディションコードの記号》

記 号	
↑	実行結果にしたがって変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に“0”にクリアされることを表します。
—	実行結果に影響を受けないことを表します。

表A.1 命令セット一覧(1)

ニーモニック	サイ ズ	アドレッシングモード/命令長 (バイト)										オペレーション	コンディショニングコード					実行 スト 数																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
		#xx:8/16	Rn	@Rn	@ (d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@ (d:8, PC)	@@aa	-	I		H	N	Z	V	C																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																
MOV	MOV.B #xx:8, Rd	B	2																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																														

表A.1 命令セット一覧(2)

ニーモニック		サイ ズ	アドレッシングモード/命令長 (バイト)							オペレーション		コンディショニングコード						実行 スタート 数																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																				
			#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)			@@aa	I	H	N	Z	V		C																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																			
MOV	MOV. W Rs, @-Rd	W					2																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															

表A.1 命令セット一覧(3)

ニーモニック		サイズ	アドレッシングモード/命令長 (バイト)							オペレーション	コンディションコード						実行 スラット 数
			#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)		@@aa	I	H	N	Z	V	
SUBS	SUBS.W #1, Rd	W		2								-	-	-	-	-	2
	SUBS.W #2, Rd	W		2								-	-	-	-	-	2
DEC	DEC.B Rd	B		2								-	-	↑	↑	↑	2
DAS	DAS.B Rd	B		2								-	*	↑	↑	*	2
NEG	NEG.B Rd	B		2								-	↑	↑	↑	↑	2
CMP	CMP.B #xx:8, Rd	B	2									-	↑	↑	↑	↑	2
	CMP.B Rs, Rd	B		2								-	↑	↑	↑	↑	2
	CMP.W Rs, Rd	W		2								-	①	↑	↑	↑	2
	MULXU	B		2								-	-	-	-	-	14
DIVXU	DIVXU.B Rs, Rd	B		2								-	-	-	-	-	14
												-	-	⑤	⑥	-	
AND	AND.B #xx:8, Rd	B	2									-	-	↑	↑	0	2
	AND.B Rs, Rd	B		2								-	-	↑	↑	0	2
OR	OR.B #xx:8, Rd	B	2									-	-	↑	↑	0	2
	OR.B Rs, Rd	B		2								-	-	↑	↑	0	2
XOR	XOR.B #xx:8, Rd	B	2									-	-	↑	↑	0	2
	XOR.B Rs, Rd	B		2								-	-	↑	↑	0	2
NOT	NOT.B Rd	B		2								-	-	↑	↑	0	2
	SHAL	B		2								-	-	↑	↑	↑	2

</



表A.1 命令セット一覧(4)

ニーモニック		サイズ	アドレッシングモード／命令長 (バイト)							オペレーション	コンディショニングコード						実行 スタート 数
			#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)		@@aa	I	H	N	Z	V	
SHAR	SHAR. B Rd	B		2									↑	↑	0	↑	2
SHLL	SHLL. B Rd	B		2									↑	↑	0	↑	2
SHLR	SHLR. B Rd	B		2									0	↑	0	↑	2
ROTXL	ROTXL. B Rd	B		2									↑	↑	0	↑	2
ROTXR	ROTXR. B Rd	B		2									↑	↑	0	↑	2
ROTL	ROTL. B Rd	B		2									↑	↑	0	↑	2
ROTR	ROTR. B Rd	B		2									↑	↑	0	↑	2
BSET	BSET #xx:3, Rd	B		2													2
	BSET #xx:3, @Rd	B			4												8

表A.1 命令セット一覧(5)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)							オペレーション	コンディショニングコード					実行 スタート 数	
		#xx:8/16	Rn	0Rn	0(d:16, Rn)	0-Rn/0Rn+	0aa:8/16	0(d:8, PC)		00aa	—	I	H	N		Z
BSET	BSET #xx:3, 0aa:8	B					4				(#xx:3 of 0aa:8)←1	—	—	—	—	8
	BSET Rn, Rd	B	2								(Rn8 of Rd8)←1	—	—	—	—	2
	BSET Rn, 0Rd	B		4							(Rn8 of 0Rd16)←1	—	—	—	—	8
	BSET Rn, 0aa:8	B					4				(Rn8 of 0aa:8)←1	—	—	—	—	8
BCLR	BCLR #xx:3, Rd	B	2								(#xx:3 of Rd8)←0	—	—	—	—	2
	BCLR #xx:3, 0Rd	B		4							(#xx:3 of 0Rd16)←0	—	—	—	—	8
	BCLR #xx:3, 0aa:8	B					4				(#xx:3 of 0aa:8)←0	—	—	—	—	8
	BCLR Rn, Rd	B	2								(Rn8 of Rd8)←0	—	—	—	—	2
	BCLR Rn, 0Rd	B		4							(Rn8 of 0Rd16)←0	—	—	—	—	8
	BCLR Rn, 0aa:8	B					4				(Rn8 of 0aa:8)←0	—	—	—	—	8
	BNOT #xx:3, Rd	B	2								(#xx:3 of Rd8)←(¬#xx:3 of Rd8)	—	—	—	—	2
	BNOT #xx:3, 0Rd	B		4							(#xx:3 of 0Rd16) ←(¬#xx:3 of 0Rd16)	—	—	—	—	8
	BNOT #xx:3, 0aa:8	B					4				(#xx:3 of 0aa:8) ←(¬#xx:3 of 0aa:8)	—	—	—	—	8
	BNOT Rn, Rd	B	2								(Rn8 of Rd8)←(Rn8 of Rd8)	—	—	—	—	2
	BNOT Rn, 0Rd	B		4							(Rn8 of 0Rd16)←(Rn8 of 0Rd16)	—	—	—	—	8
	BNOT Rn, 0aa:8	B					4				(Rn8 of 0aa:8)←(Rn8 of 0aa:8)	—	—	—	—	8
BTST	BTST #xx:3, Rd	B	2								(#xx:3 of Rd8)→Z	—	—	↑	—	2
	BTST #xx:3, 0Rd	B		4							(#xx:3 of 0Rd16)→Z	—	—	↑	—	6
	BTST #xx:3, 0aa:8	B					4				(#xx:3 of 0aa:8)→Z	—	—	↑	—	6
	BTST Rn, Rd	B	2								(Rn8 of Rd8)→Z	—	—	↑	—	2

表A.1 命令セット一覧(6)

ニーモニック		サイ ズ	アドレッシングモード／命令長 (バイト)							オペレーション	コンディショニングコード					実行 ステ ップ 数	
			#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)		@@aa	I	H	N	Z		V
BTST	BTST Rn, @Rd	B			4							-	-	↑	-	6	
	BTST Rn, @aa:8	B							4			-	-	↑	-	6	
BLD	BLD #xx:3, Rd	B		2								-	-	-	-	↑	2
	BLD #xx:3, @Rd	B			4							-	-	-	-	↑	6
	BLD #xx:3, @aa:8	B							4			-	-	-	-	↑	6
	BILD #xx:3, Rd	B		2								-	-	-	-	↑	2
BILD	BILD #xx:3, @Rd	B			4							-	-	-	-	↑	6
	BILD #xx:3, @aa:8	B							4			-	-	-	-	↑	6
	BST #xx:3, Rd	B		2								-	-	-	-	-	2
	BST #xx:3, @Rd	B			4							-	-	-	-	-	8
BIST	BST #xx:3, @aa:8	B							4			-	-	-	-	-	8
	BAND #xx:3, Rd	B		2								-	-	-	-	-	2
	BIST #xx:3, @Rd	B			4							-	-	-	-	-	8
	BIST #xx:3, @aa:8	B							4			-	-	-	-	-	8
BAND	BAND #xx:3, Rd	B		2								-	-	-	-	↑	2
	BAND #xx:3, @Rd	B			4							-	-	-	-	↑	6
	BAND #xx:3, @aa:8	B							4			-	-	-	-	↑	6
	BIAND #xx:3, Rd	B		2								-	-	-	-	↑	2
BIAND	BIAND #xx:3, @Rd	B			4							-	-	-	-	↑	6
	BIAND #xx:3, @aa:8	B							4			-	-	-	-	↑	6
	BOR #xx:3, Rd	B		2								-	-	-	-	↑	2
	BOR #xx:3, @Rd	B			4							-	-	-	-	↑	6
BOR	BOR #xx:3, @aa:8	B							4			-	-	-	-	↑	6
												-	-	-	-	↑	6

表A.1 命令セット一覧(7)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション		コンディショニングコード						実行 スタート 数
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)	@@aa							
BIOR	BIOR #xx:3, Rd		2													2
	BIOR #xx:3, @Rd			4												6
	BIOR #xx:3, @aa:8						4									6
BXOR	BXOR #xx:3, Rd		2													2
	BXOR #xx:3, @Rd			4												6
	BXOR #xx:3, @aa:8						4									6
BIXOR	BIXOR #xx:3, Rd		2													2
	BIXOR #xx:3, @Rd			4												6
	BIXOR #xx:3, @aa:8						4									6
Bcc	BRA d:8 (BT d:8)							2								4
	BRN d:8 (BF d:8)							2								4
	BHI d:8							2								4
	BLS d:8							2								4
	BCC d:8 (BHS d:8)							2								4
	BCS d:8 (BLO d:8)							2								4
	BNE d:8							2								4
	BEQ d:8							2								4
	BVC d:8							2								4
	BVS d:8							2								4
	BPL d:8							2								4
	BMI d:8							2								4
	BGE d:8							2								4
	BLT d:8							2								4
	BGT d:8							2								4
	BLE d:8							2								4

表 A.1 命令セット一覧(8)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)							オペレーション	コンディションコード					実行 ステップ 数			
		#xx:8/16	Rn	0Rn	0(d:16, Rn)	0-Rn/0Rn+	0aa:8/16	0(d:8, PC)		00aa	—	I	H	N		Z	V	C
JMP	JMP 0Rn	—		2							PC←Rn16	—	—	—	—	—	4	
	JMP 0aa:16	—						4			PC←aa:16	—	—	—	—	—	6	
	JMP 00aa:8	—								2		PC←0aa:8	—	—	—	—	—	8
BSR	BSR d:8	—								2	SP-2→SP PC→0SP PC←PC+d:8	—	—	—	—	—	—	6
	JSR 0Rn	—		2							SP-2→SP PC→0SP PC←Rn16	—	—	—	—	—	—	6
	JSR 0aa:16	—						4			SP-2→SP PC→0SP PC←aa:16	—	—	—	—	—	—	8
	JSR 00aa:8	—								2	SP-2→SP PC→0SP PC←0aa:8	—	—	—	—	—	—	8
	RTS	—									PC←0SP SP+2→SP	—	—	—	—	—	—	8
	RTE	—								2	CCR←0SP SP+2→SP PC←0SP SP+2→SP	↑	↑	↑	↑	↑	↑	10

表 A.1 命令セット一覧(9)

ニーモニック	サイズ	アドレッシングモード／命令長 (バイト)							オペレーション	コンディションコード					実行 ステップ 数			
		#xx:8/16	Rn	0Rn	0(d:16, Rn)	0-Rn/0Rn+	0aa:8/16	0(d:8, PC)		00aa	I	H	N	Z		V	C	
SLEEP	—								2	低消費電力状態に移移					—	—	—	2
LDC	B	2								#xx:8→CCR					↑	↑	↑	2
	B		2							Rs8→CCR					↑	↑	↑	2
STC	B		2							CCR→Rd8					—	—	—	2
ANDC	B	2								CCR∧#xx:8→CCR					↑	↑	↑	2
ORC	B	2								CCR∨#xx:8→CCR					↑	↑	↑	2
XORC	B	2								CCR⊕#xx:8→CCR					↑	↑	↑	2
NOP	—								2	PC←PC+2					—	—	—	2
EEPMOV	—								4	if R4L≠0 Repeat 0R5→0R6 R5+1→R5 R6+1→R6 R4L-1→R4L Until R4L=0 else next;					—	—	—	④

【注】①：ビット11から桁上りがまたはビット11へ桁下がりが発生したとき“1”にセットされ、それ以外のとき“0”にクリアされます。

②：演算結果がゼロのとき、演算前の値を保持し、それ以外のとき“1”にセットされ、それ以外のとき演算前の値を保持します。

③：補正結果に桁上りが発生したとき“1”にセットされ、それ以外のとき演算前の値を保持します。

④：実行ステート数は、R4Lの設定値がnのとき4n+9となります。

⑤：除数が負のとき“1”にセットされ、それ以外のとき“0”にクリアされます。

⑥：除数がゼロのとき“1”にセットされ、それ以外のとき“0”にクリアされます。

A.2 オペレーションコードマップ

表A.2にオペレーションコードマップを示します。表A.2では、命令コードの第1バイト（第1ワードのビット15～8）についてのみ示しています。



第2バイトの最上位ビット（命令コードの第1ワードのビット7）が0の場合を示します。

第2バイトの最上位ビット（命令コードの第1ワードのビット7）が1の場合を示します。

表A.2 オペレーションコードマップ

LO HI	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	SLEEP	STC	LDC	ORC	XORC	ANDC	LDC	ADD		INC	ADDS	MOV		ADDX	DAA
1	SHLL SHAL	SHLR SHAR	ROTL ROTR	ROTX ROTXR	OR	XOR	AND	NOT NEG	SUB		DEC	SUBS	CMP		SUBX	DAS
2	MOV															
3	MOV															
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU			RTS	BSR	RTE				JMP				JSR	
6	BSET	BNOT	BCLR	BTST				BST					MOV*			
7					BOR BITOR	BXOR BIXOR	BAND BIAND	BLD BLD	BIST BILD	MOV		EEPMOV		ビット操作命令		
8	ADD															
9	ADDX															
A	CMP															
B	SUBX															
C	OR															
D	XOR															
E	AND															
F	MOV															

【注】 * PUSH, POP命令の機械語はMOV命令と同…です。

A.3 命令実行ステート数

H8/300L CPUの各命令についての実行状態と実行ステート数の計算方法を示します。表A.4に命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライト等のサイクル数を示し、表A.3に各々のサイクルに必要なステート数を示します。命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

■ 実行ステート数計算例

(例) 内蔵ROMより命令をフェッチし、内蔵RAMをアクセスした場合

1. BSET #0, @FF00

表A.4より

$$I = L = 2, J = K = M = N = 0$$

表A.3より

$$S_I = 2, S_L = 2$$

$$\text{実行ステート数} = 2 \times 2 + 2 \times 2 = 8$$

内蔵ROMより命令をフェッチし、内蔵ROMより分岐アドレスをリード、スタック領域は内蔵RAMとした場合

2. JSR @@30

表A.4より

$$I = 2, J = K = 1, L = M = N = 0$$

表A.3より

$$S_I = S_J = S_K = 2$$

$$\text{実行ステート数} = 2 \times 2 + 1 \times 2 + 1 \times 2 = 8$$

表A.3 実行状態（サイクル）に要するステート数

実 行 状 態 (サイクル)	ア ク セ ス 対 象	
	内蔵メモリ	内蔵周辺モジュール
命令フェッチ S _I	2	
分岐アドレスリード S _J		
スタック操作 S _K		
バイトデータアクセス S _L		2 または 3 *
ワードデータアクセス S _M		
内部動作 S _N	1	

【注】* 内蔵周辺モジュールによって異なります。詳細は、「2.9.1 データアクセスに関する注意事項」を参照してください。

表A. 4 命令の実行状態（サイクル数）(1)

命 令	ニーモニック	命令フラグ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD. B #xx:8, Rd	1					
	ADD. B Rs, Rd	1					
	ADD. W Rs, Rd	1					
ADDS	ADDS. W #1, Rd	1					
	ADDS. W #2, Rd	1					
ADDX	ADDX. B #xx:8, Rd	1					
	ADDX. B Rs, Rd	1					
AND	AND. B #xx:8, Rd	1					
	AND. B Rs, Rd	1					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @Rd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					
	BLE d:8	2					
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @Rd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @Rd	2			2		
	BCLR Rn, @aa:8	2			2		

表 A. 4 命令の実行状態（サイクル数）(2)

命 令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @Rd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @Rd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:3, Rd	1					
	BIOR #xx:3, @Rd	2			1		
	BIOR #xx:3, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @Rd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @Rd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @Rd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @Rd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @Rd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @Rd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @Rd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @Rd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	2		1			

表A. 4 命令の実行状態（サイクル数）(3)

命 令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
BST	BST #xx:3, Rd	1					
	BST #xx:3, @Rd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @Rd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @Rd	2			1		
	BTST Rn, @aa:8	2			1		
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @Rd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W Rs, Rd	1					
DAA	DAA.B Rd	1					
DAS	DAS.B Rd	1					
DEC	DEC.B Rd	1					
DIVXU	DIVXU.B Rs, Rd	1					12
EEPMOV	EEPMOV	2			$2n + 2^{*1}$		1
INC	INC.B Rd	1					
JMP	JMP @Rn	2					
	JMP @aa:16	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @Rn	2		1			
	JSR @aa:16	2		1			2
	JSR @@aa:8	2	1	1			
LDC	LDC #xx:8, CCR	1					
	LDC Rs, CCR	1					
MOV	MOV.B #xx:8, Rd	1					
	MOV.B Rs, Rd	1					
	MOV.B @Rs, Rd	1			1		
	MOV.B @(d:16, Rs), Rd	2			1		
	MOV.B @Rs+, Rd	1			1		2
	MOV.B @aa:8, Rd	1			1		
	MOV.B @aa:16, Rd	2			1		

表A. 4 命令の実行状態（サイクル数）(4)

命 令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
MOV	MOV.B Rs, @Rd	1			1		2
	MOV.B Rs, @(d:16, Rd)	2			1		
	MOV.B Rs, @-Rd	1			1		
	MOV.B Rs, @aa:8	1			1		
	MOV.B Rs, @aa:16	2			1		
	MOV.W #xx:16, Rd	2					2
	MOV.W Rs, Rd	1					
	MOV.W @Rs, Rd	1				1	
	MOV.W @(d:16, Rs), Rd	2				1	
	MOV.W @Rs+, Rd	1				1	
	MOV.W @aa:16, Rd	2				1	2
	MOV.W Rs, @Rd	1				1	
	MOV.W Rs, @(d:16, Rd)	2				1	
	MOV.W Rs, @-Rd	1				1	
	MOV.W Rs, @aa:16	2				1	
MULXU	MULXU.B Rs, Rd	1					12
NEG	NEG.B Rd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
OR	OR.B #xx:8, Rd	1					
	OR.B Rs, Rd	1					
ORC	ORC #xx:8, CCR	1					
ROTL	ROTL.B Rd	1					
ROTR	ROTR.B Rd	1					
ROTXL	ROTXL.B Rd	1					
ROTXR	ROTXR.B Rd	1					
RTE	RTE	2		2			2
RTS	RTS	2		1			2
SHAL	SHAL.B Rd	1					
SHAR	SHAR.B Rd	1					
SHLL	SHLL.B Rd	1					
SHLR	SHLR.B Rd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
SUB	SUB.B Rs, Rd	1					
	SUB.W Rs, Rd	1					

表A. 4 命令の実行状態（サイクル数）(5)

命 令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
SUBS	SUBS.W #1, Rd	1					
	SUBS.W #2, Rd	1					
POP	POP Rd	1		1			2
PUSH	PUSH Rs	1		1			2
SUBX	SUBX.B #xx:8, Rd	1					
	SUBX.B Rs, Rd	1					
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
XORC	XORC #xx:8, CCR	1					

【注】*1 n は R 4 L の設定値です。ソース側、デスティネーション側のアクセスが、それぞれ (n + 1) 回行われます。

B. レジスタ一覧

B.1 I/Oレジスタ一覧(1)

下位7Fh	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' A0	SCR1	SNC1	SNC0	—	—	CKS3	CKS2	CKS1	CKS0	SCI1
H' A1	SCSR1	—	SOL	ORER	—	—	—	—	STF	
H' A2	SDRU	SDRU7	SDRU6	SDRU5	SDRU4	SDRU3	SDRU2	SDRU1	SDRU0	
H' A3	SDRL	SDRL7	SDRL6	SDRL5	SDRL4	SDRL3	SDRL2	SDRL1	SDRL0	
H' A4	STAR	—	—	—	STA4	STA3	STA2	STA1	STA0	SCI2
H' A5	EDAR	—	—	—	EDA4	EDA3	EDA2	EDA1	EDA0	
H' A6	SCR2	—	—	—	GAP1	GAP0	CKS2	CKS1	CKS0	
H' A7	SCSR2	—	—	—	SOL	ORER	WT	ABT	STF	
H' A8	SMR	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	SCI3
H' A9	BRR	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	
H' AA	SCR3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H' AB	TDR	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	
H' AC	SSR	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
H' AD	RDR	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
H' AE										
H' AF										
H' B0	TMA	TMA7	TMA6	TMA5	—	TMA3	TMA2	TMA1	TMA0	タイマA
H' B1	TCA	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0	
H' B2	TMB	TMB7	—	—	—	—	TMB2	TMB1	TMB0	タイマB
H' B3	TCB/ TLB	TCB7/ TLB7	TCB6/ TLB6	TCB5/ TLB5	TCB4/ TLB4	TCB3/ TLB3	TCB2/ TLB2	TCB1/ TLB1	TCB0/ TLB0	
H' B4	TMC	TMC7	TMC6	TMC5	—	—	TMC2	TMC1	TMC0	タイマC
H' B5	TCC/ TLC	TCC7/ TLC7	TCC6/ TLC6	TCC5/ TLC5	TCC4/ TLC4	TCC3/ TLC3	TCC2/ TLC2	TCC1/ TLC1	TCC0/ TLC0	
H' B6	TCRF	TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0	タイマF
H' B7	TCSR F	OVFH	CMFH	OVIEH	CCLRH	OVFL	CMFL	OVIEL	CCLRL	
H' B8	TCFH	TCFH7	TCFH6	TCFH5	TCFH4	TCFH3	TCFH2	TCFH1	TCFH0	
H' B9	TCFL	TCFL7	TCFL6	TCFL5	TCFL4	TCFL3	TCFL2	TCFL1	TCFL0	
H' BA	OCRFH	OCRFH7	OCRFH6	OCRFH5	OCRFH4	OCRFH3	OCRFH2	OCRFH1	OCRFH0	
H' BB	OCRFL	OCRFL7	OCRFL6	OCRFL5	OCRFL4	OCRFL3	OCRFL2	OCRFL1	OCRFL0	

〈記号説明〉

(次頁に続く)

SCI1 : シリアルコミュニケーションインタフェース1

SCI2 : シリアルコミュニケーションインタフェース2

SCI3 : シリアルコミュニケーションインタフェース3

(前頁より続く)

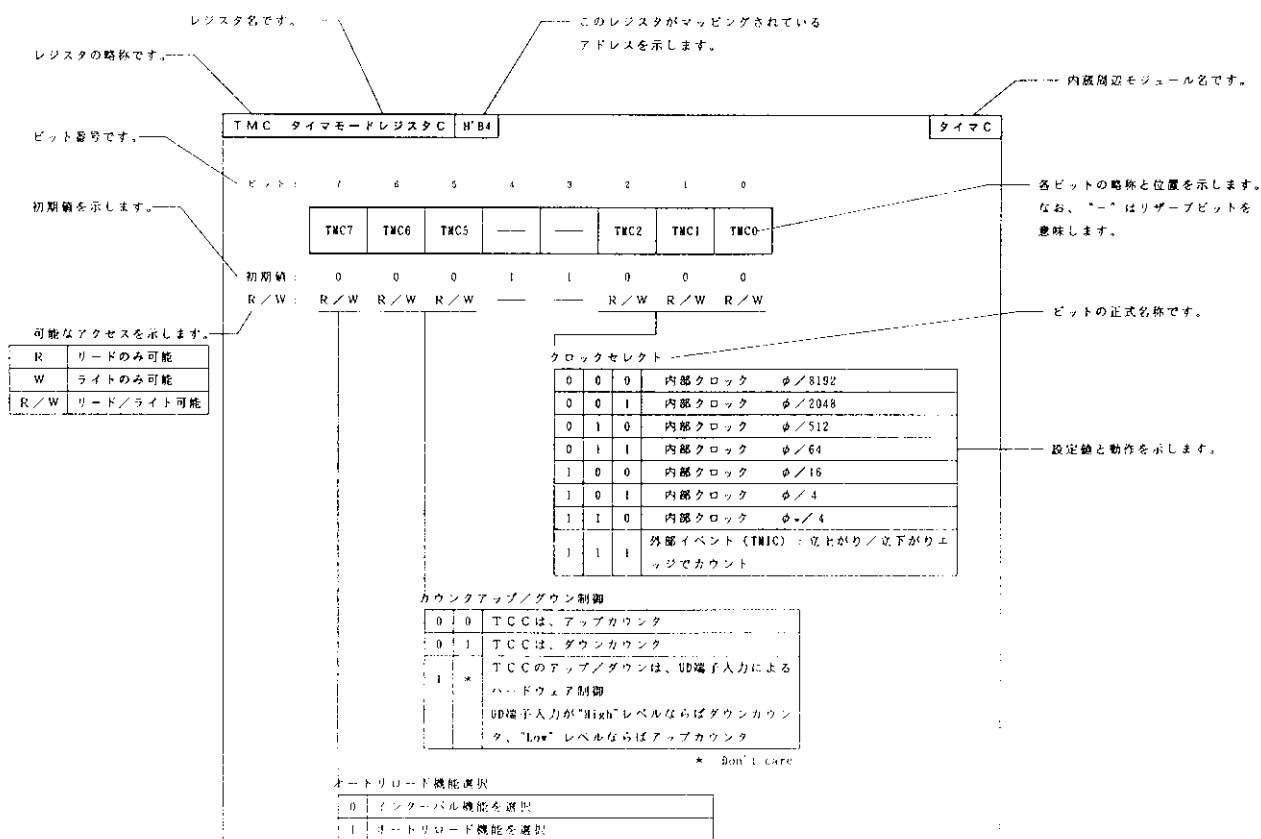
下位7ビット	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'BC	TMG	OVFH	OVFL	OVIE	IIEGS	CCLR1	CCLR0	CKS1	CKS0	タイマG
H'BD	ICRGF	ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0	
H'BE	ICRGR	ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0	
H'BF										
H'CO	LPCR	DTS1	DTS0	CMX	SGX	SGS3	SGS2	SGS1	SGS0	LCD
H'CI	LCR	—	PSW	ACT	DISP	CKS3	CKS2	CKS1	CKS0	コントローラ/ドライバ
H'C2										
H'C3										
H'C4	AMR	CKS	TRGE	—	—	CH3	CH2	CH1	CH0	A/D変換器
H'C5	ADDR	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0	
H'C6	ADSR	ADSF	—	—	—	—	—	—	—	
H'C7										
H'C8	PMR1	IRQ3	IRQ2	IRQ1	PWM	TMIG	TMOFH	TMOFL	TMOV	I/Oポート
H'C9	PMR2	—	—	POF2	NCS	IRQ0	POF1	UD	IRQ4	
H'CA	PMR3	CS	STRB	S02	SI2	SCK2	S01	SI1	SCK1	
H'CB	PMR4	NMOD7	NMOD6	NMOD5	NMOD4	NMOD3	NMOD2	NMOD1	NMOD0	
H'CC	PMR5	WKP ₇	WKP ₆	WKP ₅	WKP ₄	WKP ₃	WKP ₂	WKP ₁	WKP ₀	
H'CD										
H'CE										
H'CF	RLCTR	—	—	—	—	—	—	RLCT1	RLCT0	
H'D0	PWCR	—	—	—	—	—	—	—	PWCR0	14ビット PWM
H'D1	PWDRU	—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0	
H'D2	PWDRL	PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0	
H'D3										
H'D4	PDR1	P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀	I/Oポート
H'D5	PDR2	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀	
H'D6	PDR3	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀	
H'D7	PDR4	—	—	—	—	P4 ₃	P4 ₂	P4 ₁	P4 ₀	
H'D8	PDR5	P5 ₇	P5 ₆	P5 ₅	P5 ₄	P5 ₃	P5 ₂	P5 ₁	P5 ₀	
H'D9	PDR6	P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀	
H'DA	PDR7	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀	
H'DB	PDR8	P8 ₇	P8 ₆	P8 ₅	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀	
H'DC	PDR9	P9 ₇	P9 ₆	P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀	
H'DD	PDRA	—	—	—	—	PA ₃	PA ₂	PA ₁	PA ₀	
H'DE	PDRB	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀	
H'DF	PDRC	—	—	—	—	PC ₃	PC ₂	PC ₁	PC ₀	

(次頁に続く)

(前頁より続く)

下位アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'E0	PUCR1	PUCR1 ₇	PUCR1 ₆	PUCR1 ₅	PUCR1 ₄	PUCR1 ₃	PUCR1 ₂	PUCR1 ₁	PUCR1 ₀	I/Oポート
H'E1	PUCR3	PUCR3 ₇	PUCR3 ₆	PUCR3 ₅	PUCR3 ₄	PUCR3 ₃	PUCR3 ₂	PUCR3 ₁	PUCR3 ₀	
H'E2	PUCR5	PUCR5 ₇	PUCR5 ₆	PUCR5 ₅	PUCR5 ₄	PUCR5 ₃	PUCR5 ₂	PUCR5 ₁	PUCR5 ₀	
H'E3	PUCR6	PUCR6 ₇	PUCR6 ₆	PUCR6 ₅	PUCR6 ₄	PUCR6 ₃	PUCR6 ₂	PUCR6 ₁	PUCR6 ₀	
H'E4	PCR1	PCR1 ₇	PCR1 ₆	PCR1 ₅	PCR1 ₄	PCR1 ₃	PCR1 ₂	PCR1 ₁	PCR1 ₀	
H'E5	PCR2	PCR2 ₇	PCR2 ₆	PCR2 ₅	PCR2 ₄	PCR2 ₃	PCR2 ₂	PCR2 ₁	PCR2 ₀	
H'E6	PCR3	PCR3 ₇	PCR3 ₆	PCR3 ₅	PCR3 ₄	PCR3 ₃	PCR3 ₂	PCR3 ₁	PCR3 ₀	
H'E7	PCR4	—	—	—	—	—	PCR4 ₂	PCR4 ₁	PCR4 ₀	
H'E8	PCR5	PCR5 ₇	PCR5 ₆	PCR5 ₅	PCR5 ₄	PCR5 ₃	PCR5 ₂	PCR5 ₁	PCR5 ₀	
H'E9	PCR6	PCR6 ₇	PCR6 ₆	PCR6 ₅	PCR6 ₄	PCR6 ₃	PCR6 ₂	PCR6 ₁	PCR6 ₀	
H'EA	PCR7	PCR7 ₇	PCR7 ₆	PCR7 ₅	PCR7 ₄	PCR7 ₃	PCR7 ₂	PCR7 ₁	PCR7 ₀	
H'EB	PCR8	PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀	
H'EC	PCR9	PCR9 ₇	PCR9 ₆	PCR9 ₅	PCR9 ₄	PCR9 ₃	PCR9 ₂	PCR9 ₁	PCR9 ₀	
H'ED	PCRA	—	—	—	—	PCRA ₃	PCRA ₂	PCRA ₁	PCRA ₀	
H'EE										システム コントロール
H'EF										
H'F0	SYSCR1	SSBY	STS2	STS1	STS0	LS0N	—	—	—	
H'F1	SYSCR2	—	—	—	NESEL	DT0N	MS0N	SA1	SA0	
H'F2	IEGR	—	—	—	IEG4	IEG3	IEG2	IEG1	IEG0	
H'F3	IENR1	IENTA	IENS1	IENWP	IEN4	IEN3	IEN2	IEN1	IEN0	
H'F4	IENR2	IENDT	IENAD	IENS2	IENTG	IENTFH	IENTFL	IENTC	IENTB	システム コントロール
H'F5										
H'F6	IRRI1	IRRTA	IRRS1	—	IRRI4	IRRI3	IRRI2	IRRI1	IRRI0	
H'F7	IRRI2	IRRDIT	IRRAD	IRRS2	IRRTG	IRRTFH	IRRTFL	IRRTC	IRRTB	システム コントロール
H'F8										
H'F9	IWPR	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0	システムコントロール
H'FA										
H'FB										
H'FC										
H'FD										
H'FE										
H'FF										

B.2 I/Oレジスタ一覧(2)



ビット: 7 6 5 4 3 2 1 0

SNC1	SNC0	—	—	CKS3	CKS2	CKS1	CKS0
------	------	---	---	------	------	------	------

初期値: 0 0 0 0 0 0 0 0
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

クロック選択

ビット2	ビット1	ビット0	プリスケアラ 分周比	転送クロック周期	
				クロック同期	
				$\phi = 5 \text{ MHz}$	$\phi = 2.5 \text{ MHz}$
CKS2	CKS1	CKS0			
0	0	0	$\phi / 1024$	204.8 μs	409.6 μs
0	0	1	$\phi / 256$	51.2 μs	102.4 μs
0	1	0	$\phi / 64$	12.8 μs	25.6 μs
0	1	1	$\phi / 32$	6.4 μs	12.8 μs
1	0	0	$\phi / 16$	3.2 μs	6.4 μs
1	0	1	$\phi / 8$	1.6 μs	3.2 μs
1	1	0	$\phi / 4$	0.8 μs	1.6 μs
1	1	1	$\phi / 2$	—	0.8 μs

クロックソース選択

0	クロックソースは、プリスケアラ S、SCK ₁ 端子は出力
1	クロックソースは、外部クロック、SCK ₁ 端子は入力

動作モード

0	0	8ビットクロック同期モード
0	1	16ビットクロック同期モード
1	0	クロック連続出力モード
1	1	リザーブ

ビット: 7 6 5 4 3 2 1 0

—	SOL	ORER	—	—	—	—	STF
---	-----	------	---	---	---	---	-----

初期値: 1 0 0 0 0 0 0 0
R/W: — R/W R/(W)* — — — — R/W

スタートフラグ

0	リード時	転送動作は停止
	ライト時	無効
1	リード時	転送動作中
	ライト時	転送動作を開始

オーバランエラーフラグ

0	〔クリア条件〕 “1”をリード後、“0”をライトしたとき
1	〔セット条件〕 外部クロック使用時、転送完了後もクロックが入力されたとき

拡張データビット

0	リード時	S0端子の出力が“Low”レベル
	ライト時	S0端子の出力を“Low”レベルに変更
1	リード時	S0端子の出力が“High”レベル
	ライト時	S0端子の出力を“High”レベルに変更

【注】* フラグをクリアするための“0”ライトのみ可能

SDRU シリアルデータレジスタU H'A2	SC11
------------------------	------

ビット： 7 6 5 4 3 2 1 0

SDRU7	SDRU6	SDRU5	SDRU4	SDRU3	SDRU2	SDRU1	SDRU0
-------	-------	-------	-------	-------	-------	-------	-------

初期値：	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W

送信データの設定、受信データの格納に使用
 8ビット転送モード：未使用
 16ビット転送モード：データレジスタ上位8ビット

SDRL シリアルデータレジスタL H'A3	SC11
------------------------	------

ビット： 7 6 5 4 3 2 1 0

SDRL7	SDRL6	SDRL5	SDRL4	SDRL3	SDRL2	SDRL1	SDRL0
-------	-------	-------	-------	-------	-------	-------	-------

初期値：	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W

送信データの設定、受信データの格納に使用
 8ビット転送モード：データレジスタ
 16ビット転送モード：データレジスタ下位8ビット

STAR 先頭アドレスレジスタ H'A4	SC12
----------------------	------

ビット： 7 6 5 4 3 2 1 0

—	—	—	STA4	STA3	STA2	STA1	STA0
---	---	---	------	------	------	------	------

初期値：	1	1	1	0	0	0	0
R/W：	—	—	—	R/W	R/W	R/W	R/W

アドレス空間H' FF80~H' FF9F中の
 転送開始アドレスを指定

ビット: 7 6 5 4 3 2 1 0

—	—	—	EDA4	EDA3	EDA2	EDA1	EDA0
---	---	---	------	------	------	------	------

初期値: 1 1 1 0 0 0 0 0

R/W: — — — R/W R/W R/W R/W R/W

アドレス空間H' FF80~H' FF9F中の
転送終了アドレスを指定

ビット: 7 6 5 4 3 2 1 0

—	—	—	GAP1	GAP0	CKS2	CKS1	CKS0
---	---	---	------	------	------	------	------

初期値: 1 1 1 0 0 0 0 0

R/W: — — — R/W R/W R/W R/W R/W

転送クロック選択

ビット2	ビット1	ビット0	SCK ₂ 端子	クロック ソース	プリスケ-ラ 分周比	転送クロック周期	
CKS2	CKS1	CKS0				$\phi = 5\text{ MHz}$	$\phi = 2.5\text{ MHz}$
0	0	0	SCK ₂ 出力	プリスケ-ラS	$\phi/256$	51.2 μs	102.4 μs
0	0	1			$\phi/64$	12.8 μs	25.6 μs
0	1	0			$\phi/32$	6.4 μs	12.8 μs
0	1	1			$\phi/16$	3.2 μs	6.4 μs
1	0	0			$\phi/8$	1.6 μs	3.2 μs
1	0	1			$\phi/4$	0.8 μs	1.6 μs
1	1	0			$\phi/2$	—	0.8 μs
1	1	1	SCK ₂ 入力	外部クロック	—	—	—

転送データ間隔選択

0	0	転送データ間隔なし
0	1	8クロック分データ間隔を挿入
1	0	24クロック分データ間隔を挿入
1	1	56クロック分データ間隔を挿入

ビット: 7 6 5 4 3 2 1 0

—	—	—	SOL	ORER	WT	ABT	STF
---	---	---	-----	------	----	-----	-----

初期値: 1 1 1 0 0 0 0 0
 R/W: — — — R/W R/(W)* R/(W)* R/(W)* R/W

スタートフラグ

0	リード時	転送動作は停止
	ライト時	転送動作を中止
1	リード時	転送動作中、またはCS入力待機中
	ライト時	転送動作を開始

アボートフラグ

0	[クリア条件]	
		“1”をリード後、“0”をライトしたとき
1	[セット条件]	
		転送中にCS端子が“High”レベルになったとき

ウェイトフラグ

0	[クリア条件]	
		“1”をリード後、“0”をライトしたとき
1	[セット条件]	
		転送中とCS入力待機中にシリアルデータバッファ（32バイト）へのリード／ライト命令が行われたとき

オーバランエラーフラグ

0	[クリア条件]	
		“1”をリード後、“0”をライトしたとき
1	[セット条件]	
		外部クロック使用時、転送完了後もクロックが入力されたとき

拡張データビット

0	リード時	SO ₂ 端子の出力が“Low”レベル
	ライト時	SO ₂ 端子の出力を“Low”レベルに変更
1	リード時	SO ₂ 端子の出力が“High”レベル
	ライト時	SO ₂ 端子の出力を“High”レベルに変更

【注】* フラグをクリアするための“0”ライトのみ可能

ビット: 7 6 5 4 3 2 1 0

COM	CHR	PE	PM	STOP	MP	CKS1	CKS0
-----	-----	----	----	------	----	------	------

初期値: 0 0 0 0 0 0 0 0
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

クロックセレクト 1、0

0	0	φクロック
0	1	φ/4クロック
1	0	φ/16クロック
1	1	φ/64クロック

マルチプロセッサモード

0	マルチプロセッサ通信機能を禁止
1	マルチプロセッサ通信機能を許可

ストップビットレングス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ
1	奇数パリティ

パリティイネーブル

0	パリティビットの付加およびチェックを禁止
1	パリティビットの付加およびチェックを許可

キャラクタレングス

0	8ビットデータ
1	7ビットデータ

コミュニケーションモード

0	調歩同期式モード
1	クロック同期式モード

ビット: 7 6 5 4 3 2 1 0

BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
------	------	------	------	------	------	------	------

初期値: 1 1 1 1 1 1 1 1
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ビット: 7 6 5 4 3 2 1 0

TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
-----	-----	----	----	------	------	------	------

初期値: 0 0 0 0 0 0 0 0
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

クロックイネーブル

ビット1	ビット0	説明		
CKE1	CKE0	コミュニケーションモード	クロックソース	SCK ₃ 端子機能
0	0	調歩同期式	内部クロック	入出力ポート
		クロック同期式	内部クロック	同期クロック出力
0	1	調歩同期式	内部クロック	クロック出力
		クロック同期式	リザーブ	
1	0	調歩同期式	外部クロック	クロック入力
		クロック同期式	外部クロック	同期クロック入力
1	1	調歩同期式	リザーブ	
		クロック同期式	リザーブ	

トランスミットエンドインタラプトイネーブル

0	送信終了割込み要求 (TEI) を禁止
1	送信終了割込み要求 (TEI) を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割込み要求を禁止 (通常の受信動作) 〔クリア条件〕 マルチプロセッサビットが“1”のデータを受信したとき
1	マルチプロセッサ割込み要求を許可 マルチプロセッサビットが“1”のデータを受け取るまで受信割込み要求 (RXI)、受信エラー割込み要求 (ERI)、および、シリアルステータスレジスタ (SSR) のRDRF、FER、OERの各フラグのセットを禁止

レシーブイネーブル

0	受信動作を禁止 (RXD端子は入出力ポート)
1	受信動作を許可 (RXD端子はレシーブデータ端子)

トランスミットイネーブル

0	送信動作を禁止 (TXD端子は入出力ポート)
1	送信動作を許可 (TXD端子はトランスミットデータ端子)

レシーブインタラプトイネーブル

0	受信データフル割込み要求 (RXI)、および受信エラー割込み要求 (ERI) を禁止
1	受信データフル割込み要求 (RXI)、および受信エラー割込み要求 (ERI) を許可

トランスミットインタラプトイネーブル

0	送信データエンプティ割込み要求 (TXI) の禁止
1	送信データエンプティ割込み要求 (TXI) の許可

ビット: 7 6 5 4 3 2 1 0

TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
------	------	------	------	------	------	------	------

初期値: 1 1 1 1 1 1 1 1
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

——— T S R への転送用データ

ビット: 7 6 5 4 3 2 1 0

TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT
------	------	-----	-----	-----	------	------	------

初期値: 1 0 0 0 0 1 0 0
 R/W: R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R R R/W

マルチプロセッサビットトランスファ

0	マルチプロセッサビット“0”を送信
1	マルチプロセッサビット“1”を送信

マルチプロセッサビットレシーブ

0	マルチプロセッサビットが“0”のデータを受信
1	マルチプロセッサビットが“1”のデータを受信

トランスミットエンド

0	送信中 〔クリア条件〕 (1) TDRE = “1”の状態をリードした後、TDREに“0”をライトしたとき (2) 命令でTDRにデータをライトしたとき
1	送信終了 〔セット条件〕 (1) シリアルコントロールレジスタ3 (SCR3) のTEが“0”のとき (2) 送信キャラクタ最後尾のビットの送信時に、TDREが“1”であったとき

パリティエラー

0	受信中、または正常に受信完了 〔クリア条件〕 PER = “1”の状態をリードした後、“0”をライトしたとき
1	受信時にパリティエラー発生 〔セット条件〕 受信時に受信データとパリティビットをあわせた“1”の数がシリアルモードレジスタ (SMR) のパリティモード (PM) で設定したパリティと一致しなかったとき

フレーミングエラー

0	受信中、または正常に受信完了 〔クリア条件〕 FER = “1”の状態をリードした後、“0”をライトしたとき
1	受信時にフレーミングエラー発生 〔セット条件〕 受信終了時に受信データの最後尾のストップビットが“1”であるかどうかをチェックし、ストップビットが“0”であったとき

オーバランエラー

0	受信中、または受信完了 〔クリア条件〕 OER = “1”の状態をリードした後、“0”をライトしたとき
1	受信時にオーバランエラー発生 〔セット条件〕 RDRFが“1”の状態での次のシリアル受信を完了したとき

レシーブデータレジスタフル

0	RDRに受信データ未格納 〔クリア条件〕 (1) RDRF = “1”の状態をリードした後、“0”をライトしたとき (2) 命令でRDRのデータをリードしたとき
1	RDRに受信データ格納 〔セット条件〕 受信が正常終了し、RSRからRDRへ受信データが転送されたとき

トランスミットデータレジスタエンプティ

0	TDRにライトされた送信データがTSRに転送されていない 〔クリア条件〕 (1) TDRE = “1”の状態をリードした後、“0”をライトしたとき (2) 命令でTDRへデータをライトしたとき
1	TDRに送信データがライトされていない、またはTDRにライトされた送信データがTSRに転送された 〔セット条件〕 (1) シリアルコントロールレジスタ3 (SCR3) のTEが“0”のとき (2) TDRからTSRにデータ転送が行われたとき

【注】* フラグをクリアするための“0”ライトのみ可能

ビット: 7 6 5 4 3 2 1 0

RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
------	------	------	------	------	------	------	------

初期値: 0 0 0 0 0 0 0 0

R/W: R R R R R R R R

ビット: 7 6 5 4 3 2 1 0

TMA7	TMA6	TMA5	—	TMA3	TMA2	TMA1	TMA0
------	------	------	---	------	------	------	------

初期値: 0 0 0 1 0 0 0 0

R/W: R/W R/W R/W — R/W R/W R/W R/W

内部クロックセレクト

TMA3	TMA2	TMA1	TMA0	プリスケラ分周比またはオーバフロー周期	機	能
0	0	0	0	PSS $\phi/8192$	インターバル	
			1	PSS $\phi/4096$		
		1	0	PSS $\phi/2048$		
			1	PSS $\phi/512$		
	1	0	0	PSS $\phi/256$		
			1	PSS $\phi/128$		
		1	0	PSS $\phi/32$		
			1	PSS $\phi/8$		
1	0	0	0	PSW 1 s	時計用タイムベース	
			1	PSW 0.5 s		
		1	0	PSW 0.25 s		
			1	PSW 0.03125 s		
	1	0	0	PSW、TCAリセット		
			1			
		1	0			
			1			

クロック出力セレクト

0	0	0	$\phi/32$
		1	$\phi/16$
	1	0	$\phi/8$
		1	$\phi/4$
1	0	0	$\phi_w/32$
		1	$\phi_w/16$
	1	0	$\phi_w/8$
		1	$\phi_w/4$

TCA タイマカウンタ A H' B1

タイマ A

ビット: 7 6 5 4 3 2 1 0

TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
------	------	------	------	------	------	------	------

初期値: 0 0 0 0 0 0 0 0
 R/W: R R R R R R R R

↑
 カウント値

TMB タイマモードレジスタ B H' B2

タイマ B

ビット: 7 6 5 4 3 2 1 0

TMB7	—	—	—	—	TMB2	TMB1	TMB0
------	---	---	---	---	------	------	------

初期値: 0 1 1 1 1 0 0 0
 R/W: R/W — — — — R/W R/W R/W

クロックセレクト —

0	0	0	内部クロック	$\phi/8192$
0	0	1	内部クロック	$\phi/2048$
0	1	0	内部クロック	$\phi/512$
0	1	1	内部クロック	$\phi/256$
1	0	0	内部クロック	$\phi/64$
1	0	1	内部クロック	$\phi/16$
1	1	0	内部クロック	$\phi/4$
1	1	1	外部イベント (TMIB) : 立上がり/立下がりエッジでカウント	

オートリロード機能選択

0	インターバル機能を選択
1	オートリロード機能を選択

TCB タイマカウンタB

H' B3

タイマB

ビット：76543210

TCB7	TCB6	TCB5	TCB4	TCB3	TCB2	TCB1	TCB0
初期値：0	0	0	0	0	0	0	0
R/W：R	R	R	R	R	R	R	R

↑

カウント値

TLB タイマロードレジスタB

H' B3

タイマB

ビット：76543210

TLB7	TLB6	TLB5	TLB4	TLB3	TLB2	TLB1	TLB0
初期値：0	0	0	0	0	0	0	0
R/W：W	W	W	W	W	W	W	W

↑

リロード値設定

TMC タイマモードレジスタ C H' B4

タイマ C

ビット: 7 6 5 4 3 2 1 0

TMC7	TMC6	TMC5	—	—	TMC2	TMC1	TMC0
------	------	------	---	---	------	------	------

初期値: 0 0 0 1 1 0 0 0

R/W: R/W R/W R/W — — R/W R/W R/W

クロックセレクト

0	0	0	内部クロック	$\phi/8192$
0	0	1	内部クロック	$\phi/2048$
0	1	0	内部クロック	$\phi/512$
0	1	1	内部クロック	$\phi/64$
1	0	0	内部クロック	$\phi/16$
1	0	1	内部クロック	$\phi/4$
1	1	0	内部クロック	$\phi_w/4$
1	1	1	外部イベント (TMIC) : 立上がり/立下がりエッジでカウント	

カウンタアップ/ダウン制御

0	0	TCCは、アップカウンタ
0	1	TCCは、ダウンカウンタ
1	*	TCCのアップ/ダウンは、UD端子入力によるハードウェア制御 UD端子入力が“High”レベルならばダウンカウンタ、“Low”レベルならばアップカウンタ

* Don't care

オートリロード機能選択

0	インターバル機能を選択
1	オートリロード機能を選択

TCC タイマカウンタ C H' B5

タイマ C

ビット: 7 6 5 4 3 2 1 0

TCC7	TCC6	TCC5	TCC4	TCC3	TCC2	TCC1	TCC0
------	------	------	------	------	------	------	------

初期値: 0 0 0 0 0 0 0 0

R/W: R R R R R R R R

カウント値

ビット: 7 6 5 4 3 2 1 0

TLC7	TLC6	TLC5	TLC4	TLC3	TLC2	TLC1	TLC0
------	------	------	------	------	------	------	------

初期値: 0 0 0 0 0 0 0 0

R/W: W W W W W W W W

リロード値設定

ビット: 7 6 5 4 3 2 1 0

TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0
------	-------	-------	-------	------	-------	-------	-------

初期値: 0 0 0 0 0 0 0 0

R/W: W W W W W W W W

クロックセレクト L

0	*	*	外部イベント (TMIF) の立上がり／立下がりエッジでカウント
1	0	0	内部クロック $\phi/32$
1	0	1	内部クロック $\phi/16$
1	1	0	内部クロック $\phi/4$
1	1	1	内部クロック $\phi/2$

トグルアウトプットレベル L

0	"Low" レベルに設定
1	"High" レベルに設定

クロックセレクト H

0	*	*	16ビットモードとなり、TCFLのオーバーフロー信号でカウント
1	0	0	内部クロック $\phi/32$
1	0	1	内部クロック $\phi/16$
1	1	0	内部クロック $\phi/4$
1	1	1	内部クロック $\phi/2$

* Don't care

トグルアウトプットレベル H

0	"Low" レベルに設定
1	"High" レベルに設定

ビット: 7 6 5 4 3 2 1 0

OVFH	CMFH	OVIEH	CCLR H	OVFL	CMFL	OVIEL	CCLR L
------	------	-------	--------	------	------	-------	--------

初期値: 0 0 0 0 0 0 0 0

R/W: R/(W)* R/(W)* R/W R/W R/(W)* R/(W)* R/W R/W

カウンタクリア L

0	コンペアマッチによるTCFLのクリアを禁止
1	コンペアマッチによるTCFLのクリアを許可

タイマオーバーフローインタラプトイネーブル L

0	TCFLのオーバーフローによる割込み要求を禁止
1	TCFLのオーバーフローによる割込み要求を許可

コンペアマッチフラグ L

0	〔クリア条件〕 CMFL = “1” の状態で、CMFL をリードした後、CMFL に “0” をライトしたとき
1	〔セット条件〕 TCFL の値と OCRFL の値が、コンペアマッチしたとき

タイマオーバーフロー L

0	〔クリア条件〕 OVFL = “1” の状態で、OVFL をリードした後、OVFL に “0” をライトしたとき
1	〔セット条件〕 TCFL の値が、H' FF → H' 00 になったとき

カウンタクリア H

0	16ビットモード: コンペアマッチによるTCFのクリアを禁止 8ビットモード: コンペアマッチによるTCFHのクリアを禁止
1	16ビットモード: コンペアマッチによるTCFのクリアを許可 8ビットモード: コンペアマッチによるTCFHのクリアを許可

タイマオーバーフローインタラプトイネーブル H

0	TCFHのオーバーフローによる割込み要求を禁止
1	TCFHのオーバーフローによる割込み要求を許可

コンペアマッチフラグ H

0	〔クリア条件〕 CMFH = “1” の状態で、CMFH をリードした後、CMFH に “0” をライトしたとき
1	〔セット条件〕 TCFH の値と OCRFH の値が、コンペアマッチしたとき

タイマオーバーフローフラグ H

0	〔クリア条件〕 OVFH = “1” の状態で、OVFH をリードした後、OVFH に “0” をライトしたとき
1	〔セット条件〕 TCFH の値が、H' FF → H' 00 になったとき

【注】* フラグをクリアするための “0” ライトのみ可能

TCFH 8ビットタイマカウンタFH	H' B8	タイマF
--------------------	-------	------

ビット: 7 6 5 4 3 2 1 0

TCFH7	TCFH6	TCFH5	TCFH4	TCFH3	TCFH2	TCFH1	TCFH0
-------	-------	-------	-------	-------	-------	-------	-------

初期値: 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

カウント値

TCFL 8ビットタイマカウンタFL	H' B9	タイマF
--------------------	-------	------

ビット: 7 6 5 4 3 2 1 0

TCFL7	TCFL6	TCFL5	TCFL4	TCFL3	TCFL2	TCFL1	TCFL0
-------	-------	-------	-------	-------	-------	-------	-------

初期値: 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

カウント値

OCRFH アウトプットコンペアレジスタFH	H' BA	タイマF
------------------------	-------	------

ビット: 7 6 5 4 3 2 1 0

OCRFH7	OCRFH6	OCRFH5	OCRFH4	OCRFH3	OCRFH2	OCRFH1	OCRFH0
--------	--------	--------	--------	--------	--------	--------	--------

初期値: 1 1 1 1 1 1 1 1
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

OCRFL アウトプットコンペアレジスタFL	H' BB	タイマF
------------------------	-------	------

ビット: 7 6 5 4 3 2 1 0

OCRFL7	OCRFL6	OCRFL5	OCRFL4	OCRFL3	OCRFL2	OCRFL1	OCRFL0
--------	--------	--------	--------	--------	--------	--------	--------

初期値: 1 1 1 1 1 1 1 1
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

ビット: 7 6 5 4 3 2 1 0

OVFH	OVFL	OVIE	IEGS	CCLR1	CCLR0	CKS1	CKS0
------	------	------	------	-------	-------	------	------

初期値: 0 0 0 0 0 0 0 0

R/W: R/(W)* R/(W)* R/W R/W R/W R/W R/W R/W

クロックセレクト

0	0	内部クロック: $\phi/64$ でカウント
0	1	内部クロック: $\phi/32$ でカウント
1	0	内部クロック: $\phi/2$ でカウント
1	1	内部クロック: $\phi_w/2$ でカウント

カウンタクリア

0	0	TCGのクリアを禁止
0	1	インプットキャプチャ入力信号の立下がりエッジによりTCGをクリア
1	0	インプットキャプチャ入力信号の立上がりエッジによりTCGをクリア
1	1	インプットキャプチャ入力信号の両エッジによりTCGをクリア

インプットキャプチャインタラプトエッジセレクト

0	インプットキャプチャ入力信号の立上がりエッジで割込みを発生
1	インプットキャプチャ入力信号の立下がりエッジで割込みを発生

タイマオーバーフローインタラプトイネーブル

0	TCGのオーバーフローによる割込み要求を禁止
1	TCGのオーバーフローによる割込み要求を許可

タイマオーバーフローフラグL

0	〔クリア条件〕 OVFL = "1" の状態で、OVFLをリードした後、OVFLに"0"をライトしたとき
1	〔セット条件〕 TCGの値がH'FF→H'00になったとき

タイマオーバーフローフラグH

0	〔クリア条件〕 OVFH = "1" の状態で、OVFHをリードした後、OVFHに"0"をライトしたとき
1	〔セット条件〕 TCGの値がH'FF→H'00になったとき

【注】* フラグをクリアするための"0"ライトのみ可能

ICRGF インプットキャプチャレジスタGF H'BD	タイムG
-----------------------------------	------

ビット： 7 6 5 4 3 2 1 0

ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0
--------	--------	--------	--------	--------	--------	--------	--------

初期値： 0 0 0 0 0 0 0 0

R/W： R R R R R R R R

ICRGR インプットキャプチャレジスタGR H'BE	タイムG
-----------------------------------	------

ビット： 7 6 5 4 3 2 1 0

ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0
--------	--------	--------	--------	--------	--------	--------	--------

初期値： 0 0 0 0 0 0 0 0

R/W： R R R R R R R R

ビット: 7 6 5 4 3 2 1 0

DTS1	DTS0	CMX	SGX	SGS3	SGS2	SGS1	SGS0
------	------	-----	-----	------	------	------	------

初期値: 0 0 0 0 0 0 0 0
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

セグメントドライバ選択

ビット4	ビット3	ビット2	ビット1	ビット0	SEG ₄₀ ~SEG ₁ 端子の機能										説明の補足
SGX	SGS3	SGS2	SGS1	SGS0	SEG ₄₀ ~ SEG ₃₇	SEG ₃₆ ~ SEG ₃₃	SEG ₃₂ ~ SEG ₂₉	SEG ₂₈ ~ SEG ₂₅	SEG ₂₄ ~ SEG ₂₁	SEG ₂₀ ~ SEG ₁₇	SEG ₁₆ ~ SEG ₁₃	SEG ₁₂ ~ SEG ₉	SEG ₈ ~ SEG ₅	SEG ₄ ~ SEG ₁	
0	0	0	0	0	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	(初期値)
	0	0	0	1	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	0	1	0	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	0	1	1	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	
	0	1	0	0	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	
	0	1	0	1	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	
	0	1	1	0	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	
	0	1	1	1	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	
	1	*	*	0	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	
1	1	*	*	1	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	
	0	0	0	0	外部拡張	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	0	0	1	外部拡張	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	0	1	0	外部拡張	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	0	1	1	外部拡張	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	
	0	1	0	0	外部拡張	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	
	0	1	0	1	外部拡張	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	
	0	1	1	0	外部拡張	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	
	0	1	1	1	外部拡張	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	
	1	*	*	0	外部拡張	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	
	1	*	*	1	外部拡張	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	

拡張信号選択

0	SEG ₄₀ ~SEG ₃₇ 端子
1	CL ₁ 、CL ₂ 、DO、M端子

DUTY選択、コモン機能選択

ビット7 DTS1	ビット6 DTS0	ビット5 CMX	デューティ比	コモンドライバ	補 足 説 明
0	0	0	スタティック	COM ₁	COM ₃ ~COM ₁ はポートとして使用可能
		1		COM ₄ ~COM ₁	COM ₄ ~COM ₂ はCOM ₁ と同じ波形が出力
0	1	0	1/2デューティ	COM ₂ 、COM ₁	COM ₄ 、COM ₃ はポートとして使用可能
		1		COM ₄ ~COM ₁	COM ₄ はCOM ₃ 、COM ₂ はCOM ₁ と同じ波形が出力
1	0	0	1/3デューティ	COM ₃ ~COM ₁	COM ₄ はポートとして使用可能
		1		COM ₄ ~COM ₁	COM ₄ は非選択波形が出力
1	1	0	1/4デューティ	COM ₄ ~COM ₁	—————
		1			

ビット: 7 6 5 4 3 2 1 0

—	PSW	ACT	DISP	CKS3	CKS2	CKS1	CKS0
---	-----	-----	------	------	------	------	------

初期値: 1 0 0 0 0 0 0 0

R/W: — R/W R/W R/W R/W R/W R/W R/W

フレーム周波数選択

ビット3	ビット2	ビット1	ビット0	使用クロック	フレーム周波数	
CKS3	CKS2	CKS1	CKS0		$\phi = 5 \text{ MHz}$	$\phi = 625 \text{ Hz}$
0	*	0	0	ϕ_w	128Hz (初期値)	
0	*	0	1	ϕ_w	64Hz	
0	*	1	*	$\phi_w / 2$	32Hz	
1	0	0	0	$\phi / 2$	—	610Hz
1	0	0	1	$\phi / 4$	—	305Hz
1	0	1	0	$\phi / 8$	—	153Hz
1	0	1	1	$\phi / 16$	610Hz	76.3Hz
1	1	0	0	$\phi / 32$	305Hz	38.1Hz
1	1	0	1	$\phi / 64$	153Hz	—
1	1	1	0	$\phi / 128$	76.3Hz	—
1	1	1	1	$\phi / 256$	38.1Hz	—

* Don't care

表示データ制御

0	ブランクデータを表示
1	LCD RAMデータを表示

表示機能開始

0	LCDコントローラ/ドライバ動作停止
1	LCDコントローラ/ドライバ動作

LCD駆動電源用ラダー抵抗ON/OFF制御

0	LCD駆動電源用ラダー抵抗OFF
1	LCD駆動電源用ラダー抵抗ON

ビット: 7 6 5 4 3 2 1 0

CKS	TRGE	—	—	CH3	CH2	CH1	CH0
-----	------	---	---	-----	-----	-----	-----

初期値: 0 0 1 1 0 0 0 0
 R/W: R/W R/W — — R/W R/W R/W R/W

チャンネルセレクト —

ビット3	ビット2	ビット1	ビット0	アナログ入力チャンネル
CH3	CH2	CH1	CH0	
0	0	*	*	非選択
0	1	0	0	AN ₀
0	1	0	1	AN ₁
0	1	1	0	AN ₂
0	1	1	1	AN ₃
1	0	0	0	AN ₄
1	0	0	1	AN ₅
1	0	1	0	AN ₆
1	0	1	1	AN ₇
1	1	0	0	AN ₈
1	1	0	1	AN ₉
1	1	1	0	AN ₁₀
1	1	1	1	AN ₁₁

* Don't care

外部トリガセレクト

0	外部トリガによるA/D変換の開始を禁止
1	外部トリガ (ADTRG) 端子の立上がりエッジ、または立下がりエッジでA/D変換を開始

クロックセレクト

ビット7 CKS	変換周期	変換時間	
		$\phi = 2 \text{ MHz}$	$\phi = 5 \text{ MHz}$
0	$62/\phi$	$31 \mu\text{s}$	$12.4 \mu\text{s}$
1	$31/\phi$	$15.5 \mu\text{s}$	— *

【注】 * $12.4 \mu\text{s}$ 以下の変換時間では、動作が保証されません。 $12.4 \mu\text{s}$ 以上になるように選択してください。

ADRR A/Dリザルトレジスタ H' C5	A/D変換器
------------------------	--------

ビット: 7 6 5 4 3 2 1 0

ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
------	------	------	------	------	------	------	------

初期値: 不定 不定 不定 不定 不定 不定 不定 不定
R/W: R R R R R R R R

A/D変換結果

ADSR A/Dスタートレジスタ H' C6	A/D変換器
------------------------	--------

ビット: 7 6 5 4 3 2 1 0

ADSF	—	—	—	—	—	—	—
------	---	---	---	---	---	---	---

初期値: 0 1 1 1 1 1 1 1
R/W: R/W — — — — — — —

A/Dスタートフラグ

0	〔リード時〕 A/D変換の終了 〔ライト時〕 A/D変換を強制終了
1	〔リード時〕 A/D変換中 〔ライト時〕 A/D変換を開始

ビット: 7 6 5 4 3 2 1 0

IRQ3	IRQ2	IRQ1	PWM	TMIG	TMOFH	TMOFL	TMOW
------	------	------	-----	------	-------	-------	------

初期値: 0 0 0 0 0 0 0 0
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

P1₀/TMOW端子機能切換え

0	P1 ₀ 入出力端子として機能
1	TMOW出力端子として機能

P1₁/TMOFL端子機能切換え

0	P1 ₁ 入出力端子として機能
1	TMOFL出力端子として機能

P1₂/TMOFH端子機能切換え

0	P1 ₂ 入出力端子として機能
1	TMOFH出力端子として機能

P1₃/TMIG端子機能切換え

0	P1 ₃ 入出力端子として機能
1	TMIG入力端子として機能

P1₄/PWM端子機能切換え

0	P1 ₄ 入出力端子として機能
1	PWM出力端子として機能

P1₅/IRQ₁/TMIB端子機能切換え

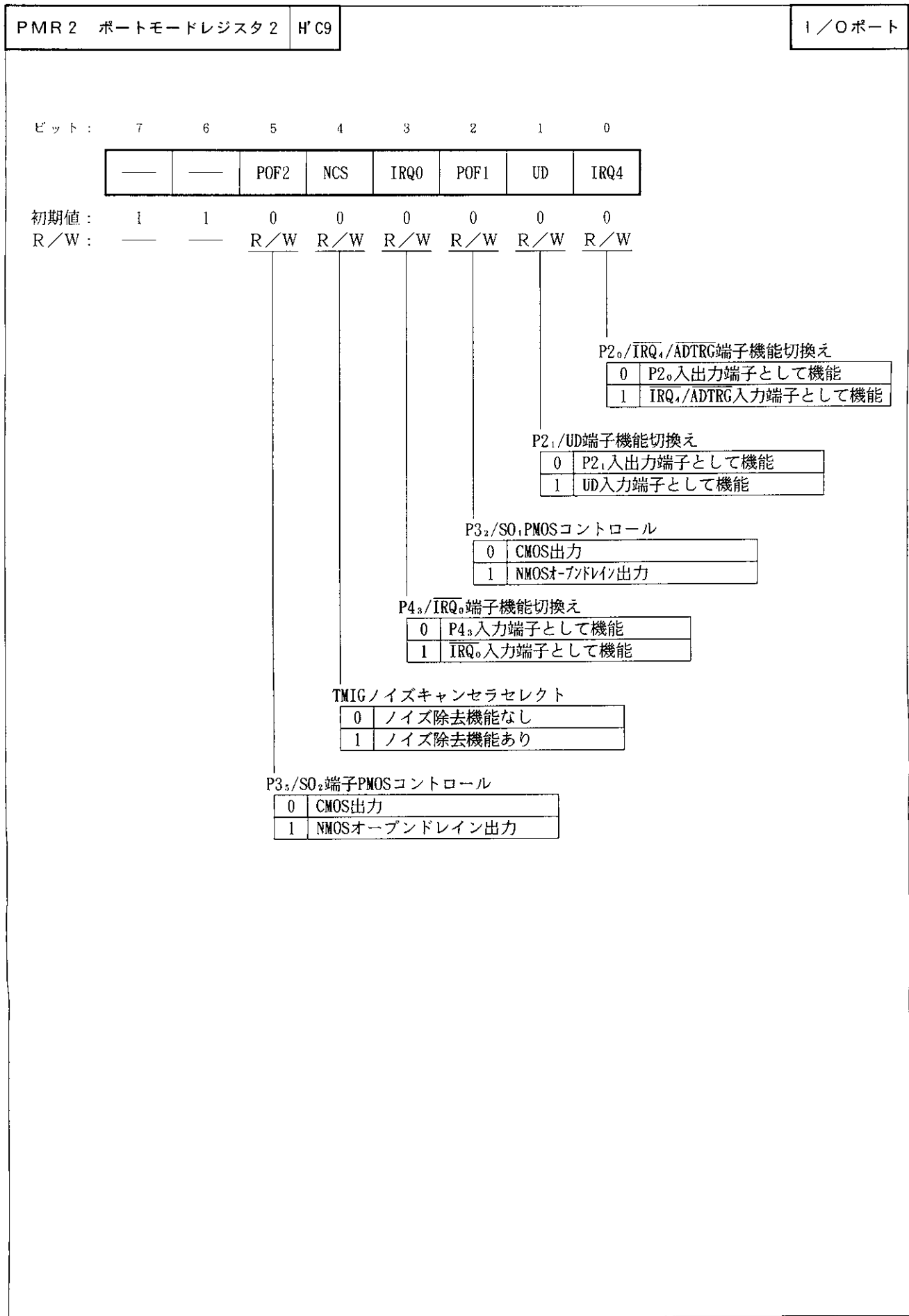
0	P1 ₅ 入出力端子として機能
1	IRQ ₁ /TMIB入力端子として機能

P1₆/IRQ₂/TMIC端子機能切換え

0	P1 ₆ 入出力端子として機能
1	IRQ ₂ /TMIC入力端子として機能

P1₇/IRQ₃/TMIF端子機能切換え

0	P1 ₇ 入出力端子として機能
1	IRQ ₃ /TMIF入力端子として機能



ビット: 7 6 5 4 3 2 1 0

CS	STRB	S02	SI2	SCK2	S01	SI1	SCK1
----	------	-----	-----	------	-----	-----	------

初期値: 0 0 0 0 0 0 0 0
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

P3₀/SCK₁端子機能切換え

0	P3 ₀ 入出力端子として機能
1	SCK ₁ 入出力端子として機能

P3₁/SI₁端子機能切換え

0	P3 ₁ 入出力端子として機能
1	SI ₁ 入力端子として機能

P3₂/S0₁端子機能切換え

0	P3 ₂ 入出力端子として機能
1	S0 ₁ 出力端子として機能

P3₃/SCK₂端子機能切換え

0	P3 ₃ 入出力端子として機能
1	SCK ₂ 入出力端子として機能

P3₄/SI₂端子機能切換え

0	P3 ₄ 入出力端子として機能
1	SI ₂ 入力端子として機能

P3₅/S0₂端子機能切換え

0	P3 ₅ 入出力端子として機能
1	S0 ₂ 出力端子として機能

P3₆/STRB端子機能切換え

0	P3 ₆ 入出力端子として機能
1	STRB出力端子として機能

P3₇/ $\overline{\text{CS}}$ 端子機能切換え

0	P3 ₇ 入出力端子として機能
1	$\overline{\text{CS}}$ 入力端子として機能

ビット: 7 6 5 4 3 2 1 0

NMOD7	NMOD6	NMOD5	NMOD4	NMOD3	NMOD2	NMOD1	NMOD0
-------	-------	-------	-------	-------	-------	-------	-------

初期値: 0 0 0 0 0 0 0 0
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

0	P2 _n はCMOS出力となる
1	P2 _n はNMOSオープンドレイン出力となる

ビット: 7 6 5 4 3 2 1 0

WKP ₇	WKP ₆	WKP ₅	WKP ₄	WKP ₃	WKP ₂	WKP ₁	WKP ₀
------------------	------------------	------------------	------------------	------------------	------------------	------------------	------------------

初期値: 0 0 0 0 0 0 0 0
 R/W: R/W R/W R/W R/W R/W R/W R/W R/W

P5_n/WKP_n/SEG_{n+1}端子機能切換え

0	P5 _n 入出力端子として機能
1	WKP _n 入力端子として機能

RLCTR LCDRAMリロケーションレジスタ H'CF

ビット: 7 6 5 4 3 2 1 0

—	—	—	—	—	—	RLCT1	RLCT0
---	---	---	---	---	---	-------	-------

初期値: 1 1 1 1 1 1 0 0
R/W: — — — — — — R/W R/W

PWCR PWMコントロールレジスタ H'D0

14ビットPWM

ビット: 7 6 5 4 3 2 1 0

—	—	—	—	—	—	—	PWCR0
---	---	---	---	---	---	---	-------

初期値: 1 1 1 1 1 1 1 0
R/W: — — — — — — — W

クロックセレクト

0	入力クロック $\phi/2$ ($t\phi^* = 2/\phi$)。1変換周期16384/ ϕ 、最小変化幅 $1/\phi$
1	入力クロック $\phi/4$ ($t\phi^* = 4/\phi$)。1変換周期32768/ ϕ 、最小変化幅 $1/\phi$

【注】 * $t\phi$: PWM入力クロックの周期

PWDRU PWMデータレジスタU H'D1

14ビットPWM

ビット: 7 6 5 4 3 2 1 0

—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0
---	---	--------	--------	--------	--------	--------	--------

初期値: 1 1 0 0 0 0 0 0
R/W: — — W W W W W W

PWM波形生成用データ上位6ビット

P W D R L PWMデータレジスタ L		H' D2		14ビットPWM					
ビット：		7	6	5	4	3	2	1	0
		P W D R L 7	P W D R L 6	P W D R L 5	P W D R L 4	P W D R L 3	P W D R L 2	P W D R L 1	P W D R L 0
初期値：		0	0	0	0	0	0	0	0
R／W：		W	W	W	W	W	W	W	W
		P W M波形生成用データ下位 8 ビット							

P D R 1 ポートデータレジスタ 1		H' D4		I／Oポート					
ビット：		7	6	5	4	3	2	1	0
		P 1 7	P 1 6	P 1 5	P 1 4	P 1 3	P 1 2	P 1 1	P 1 0
初期値：		0	0	0	0	0	0	0	0
R／W：		R／W	R／W	R／W	R／W	R／W	R／W	R／W	R／W

P D R 2 ポートデータレジスタ 2		H' D5		I／Oポート					
ビット：		7	6	5	4	3	2	1	0
		P 2 7	P 2 6	P 2 5	P 2 4	P 2 3	P 2 2	P 2 1	P 2 0
初期値：		0	0	0	0	0	0	0	0
R／W：		R／W	R／W	R／W	R／W	R／W	R／W	R／W	R／W

PDR3 ポートデータレジスタ 3	H'D6	I/Oポート
-------------------	------	--------

ビット: 7 6 5 4 3 2 1 0

P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値: 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

PDR4 ポートデータレジスタ 4	H'D7	I/Oポート
-------------------	------	--------

ビット: 7 6 5 4 3 2 1 0

—	—	—	—	P4 ₃	P4 ₂	P4 ₁	P4 ₀
---	---	---	---	-----------------	-----------------	-----------------	-----------------

初期値: 1 1 1 1 1 0 0 0
R/W: — — — — R R/W R/W R/W

PDR5 ポートデータレジスタ 5	H'D8	I/Oポート
-------------------	------	--------

ビット: 7 6 5 4 3 2 1 0

P5 ₇	P5 ₆	P5 ₅	P5 ₄	P5 ₃	P5 ₂	P5 ₁	P5 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値: 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

PDR6 ポートデータレジスタ 6	H'D9	I/Oポート
-------------------	------	--------

ビット: 7 6 5 4 3 2 1 0

P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値: 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

PDR7	ポートデータレジスタ 7	H'DA	I/Oポート
------	--------------	------	--------

ビット: 7 6 5 4 3 2 1 0

P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値: 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

PDR8	ポートデータレジスタ 8	H'DB	I/Oポート
------	--------------	------	--------

ビット: 7 6 5 4 3 2 1 0

P8 ₇	P8 ₆	P8 ₅	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値: 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

PDR9	ポートデータレジスタ 9	H'DC	I/Oポート
------	--------------	------	--------

ビット: 7 6 5 4 3 2 1 0

P9 ₇	P9 ₆	P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値: 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

PDRA	ポートデータレジスタ A	H'DD	I/Oポート
------	--------------	------	--------

ビット: 7 6 5 4 3 2 1 0

—	—	—	—	PA ₃	PA ₂	PA ₁	PA ₀
---	---	---	---	-----------------	-----------------	-----------------	-----------------

初期値: 1 1 1 1 0 0 0 0
R/W: — — — — R/W R/W R/W R/W

PDRB ポートデータレジスタ B	H'DE	I/Oポート
----------------------	------	--------

ビット： 7 6 5 4 3 2 1 0

PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

R/W: R R R R R R R R

PDRC ポートデータレジスタ C	H'DF	I/Oポート
----------------------	------	--------

ビット： 7 6 5 4 3 2 1 0

—	—	—	—	PC ₃	PC ₂	PC ₁	PC ₀
---	---	---	---	-----------------	-----------------	-----------------	-----------------

R/W: — — — — R R R R

PUCR1 ポートプルアップコントロールレジスタ 1	H'E0	I/Oポート
-------------------------------	------	--------

ビット： 7 6 5 4 3 2 1 0

PUCR1 ₇	PUCR1 ₆	PUCR1 ₅	PUCR1 ₄	PUCR1 ₃	PUCR1 ₂	PUCR1 ₁	PUCR1 ₀
--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------

初期値： 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

PUCR3 ポートプルアップコントロールレジスタ 3	H'E1	I/Oポート
-------------------------------	------	--------

ビット： 7 6 5 4 3 2 1 0

PUCR3 ₇	PUCR3 ₆	PUCR3 ₅	PUCR3 ₄	PUCR3 ₃	PUCR3 ₂	PUCR3 ₁	PUCR3 ₀
--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------

初期値： 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

PUCR5 ポートプルアップコントロールレジスタ 5	H'E2	I/Oポート
-------------------------------	------	--------

ビット： 7 6 5 4 3 2 1 0

PUCR5 ₇	PUCR5 ₆	PUCR5 ₅	PUCR5 ₄	PUCR5 ₃	PUCR5 ₂	PUCR5 ₁	PUCR5 ₀
--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------

初期値： 0 0 0 0 0 0 0 0
R/W： R/W R/W R/W R/W R/W R/W R/W R/W

PUCR6 ポートプルアップコントロールレジスタ 6	H'E3	I/Oポート
-------------------------------	------	--------

ビット： 7 6 5 4 3 2 1 0

PUCR6 ₇	PUCR6 ₆	PUCR6 ₅	PUCR6 ₄	PUCR6 ₃	PUCR6 ₂	PUCR6 ₁	PUCR6 ₀
--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------	--------------------

初期値： 0 0 0 0 0 0 0 0
R/W： R/W R/W R/W R/W R/W R/W R/W R/W

PCR1 ポートコントロールレジスタ 1	H'E4	I/Oポート
-------------------------	------	--------

ビット： 7 6 5 4 3 2 1 0

PCR1 ₇	PCR1 ₆	PCR1 ₅	PCR1 ₄	PCR1 ₃	PCR1 ₂	PCR1 ₁	PCR1 ₀
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値： 0 0 0 0 0 0 0 0
R/W： W W W W W W W

ポート1 入出力選択

0	入力ポート
1	出力ポート

PCR2 ポートコントロールレジスタ 2 H'E5

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PCR2 ₇	PCR2 ₆	PCR2 ₅	PCR2 ₄	PCR2 ₃	PCR2 ₂	PCR2 ₁	PCR2 ₀
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値:	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W

ポート 2 入出力選択

0	入力ポート
1	出力ポート

PCR3 ポートコントロールレジスタ 3 H'E6

I/Oポート

ビット: 7 6 5 4 3 2 1 0

PCR3 ₇	PCR3 ₆	PCR3 ₅	PCR3 ₄	PCR3 ₃	PCR3 ₂	PCR3 ₁	PCR3 ₀
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値:	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W

ポート 3 入出力選択

0	入力ポート
1	出力ポート

PCR4 ポートコントロールレジスタ 4 H'E7

I/Oポート

ビット: 7 6 5 4 3 2 1 0

—	—	—	—	—	PCR4 ₂	PCR4 ₁	PCR4 ₀
---	---	---	---	---	-------------------	-------------------	-------------------

初期値:	1	1	1	1	1	0	0
R/W:	—	—	—	—	—	W	W

ポート 4 入出力選択

0	入力ポート
1	出力ポート

PCR5	ポートコントロールレジスタ 5	H'E8	I/Oポート
------	-----------------	------	--------

ビット: 7 6 5 4 3 2 1 0

PCR5 ₇	PCR5 ₆	PCR5 ₅	PCR5 ₄	PCR5 ₃	PCR5 ₂	PCR5 ₁	PCR5 ₀
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値: 0 0 0 0 0 0 0 0
R/W: W W W W W W W W

ポート 5 入出力選択

0	入力ポート
1	出力ポート

PCR6	ポートコントロールレジスタ 6	H'E9	I/Oポート
------	-----------------	------	--------

ビット: 7 6 5 4 3 2 1 0

PCR6 ₇	PCR6 ₆	PCR6 ₅	PCR6 ₄	PCR6 ₃	PCR6 ₂	PCR6 ₁	PCR6 ₀
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値: 0 0 0 0 0 0 0 0
R/W: W W W W W W W W

ポート 6 入出力選択

0	入力ポート
1	出力ポート

PCR7	ポートコントロールレジスタ 7	H'EA	I/Oポート
------	-----------------	------	--------

ビット: 7 6 5 4 3 2 1 0

PCR7 ₇	PCR7 ₆	PCR7 ₅	PCR7 ₄	PCR7 ₃	PCR7 ₂	PCR7 ₁	PCR7 ₀
-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------	-------------------

初期値: 0 0 0 0 0 0 0 0
R/W: W W W W W W W W

ポート 7 入出力選択

0	入力ポート
1	出力ポート

PCR8 ポートコントロールレジスタ 8 H'EB

I/Oポート

ビット:	7	6	5	4	3	2	1	0
	PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ポート 8 入出力選択

0	入力ポート
1	出力ポート

PCR9 ポートコントロールレジスタ 9 H'EC

I/Oポート

ビット:	7	6	5	4	3	2	1	0
	PCR9 ₇	PCR9 ₆	PCR9 ₅	PCR9 ₄	PCR9 ₃	PCR9 ₂	PCR9 ₁	PCR9 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ポート 9 入出力選択

0	入力ポート
1	出力ポート

PCRA ポートコントロールレジスタ A H'ED

I/Oポート

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PCRA ₃	PCRA ₂	PCRA ₁	PCRA ₀
初期値:	1	1	1	1	0	0	0	0
R/W:	—	—	—	—	W	W	W	W

ポート A 入出力選択

0	入力ポート
1	出力ポート

ビット: 7 6 5 4 3 2 1 0

SSBY	STS2	STS1	STS0	LS0N	—	—	—
------	------	------	------	------	---	---	---

初期値: 0 0 0 0 0 1 1 1
 R/W: R/W R/W R/W R/W R/W — — —

ロースピードオンフラグ

0	CPUの動作クロックはシステムクロック (ϕ)
1	CPUの動作クロックはサブクロック (ϕ_{SUB})

スタンバイタイムセレクト2~0

0	0	0	待機時間 = 8192ステート
0	0	1	待機時間 = 16384ステート
0	1	0	待機時間 = 32768ステート
0	1	1	待機時間 = 65536ステート
1	*	*	待機時間 = 131072ステート

* Don't care

ソフトウェアスタンバイ

0	・アクティブモードでSLEEP命令実行後、スリープモードに遷移 ・サブアクティブモードでSLEEP命令実行後、サブスリープモードに遷移
1	・アクティブモードでSLEEP命令実行後、スタンバイモードあるいはウォッチモードに遷移 ・サブアクティブモードでSLEEP命令実行後、ウォッチモードに遷移

ビット: 7 6 5 4 3 2 1 0

—	—	—	NESEL	DTON	MSON	SA1	SA0
---	---	---	-------	------	------	-----	-----

初期値: 1 1 1 0 0 0 0 0
 R/W: — — — R/W R/W R/W R/W R/W

サブアクティブモードクロックセレクト

0	0	$\phi_w/8$
0	1	$\phi_w/4$
1	*	$\phi_w/2$

* Don't care

ミドルスピードオンフラグ

0	アクティブ（高速）モードで動作
1	アクティブ（中速）モードで動作

ダイレクトトランスファオンフラグ

0	・アクティブモードでSLEEP命令を実行したとき、スタンバイモード、ウォッチモード、またはスリープモードに遷移 ・サブアクティブモードでSLEEP命令を実行したとき、ウォッチモード、またはサブスリープモードに遷移
1	・アクティブ（高速）モードでSLEEP命令を実行したとき、アクティブ（中速）モード（SSBY=“0”，MSON=“1”，LSON=“0”のとき）、またはサブアクティブモード（SSBY=“1”，TMA3=“1”，LSON=“1”のとき）に直接遷移 ・アクティブ（中速）モードでSLEEP命令を実行したとき、アクティブ（高速）モード（SSBY=“0”，MSON=“0”，LSON=“0”のとき）、またはサブアクティブモード（SSBY=“1”，TMA3=“1”，LSON=“1”のとき）に直接遷移 ・サブアクティブモードでSLEEP命令を実行したとき、アクティブ（高速）モード（SSBY=“1”，TMA3=“1”，LSON=“0”，MSON=“0”のとき）またはアクティブ（中速）モード（SSBY=“1”，TMA3=“1”，LSON=“0”，MSON=“1”のとき）に直接遷移

ノイズ除去サンプリング周波数選択

0	ϕ_{osc} の16分周クロックでサンプリング
1	ϕ_{osc} の4分周クロックでサンプリング

ビット: 7 6 5 4 3 2 1 0

—	—	—	IEG4	IEG3	IEG2	IEG1	IEG0
---	---	---	------	------	------	------	------

初期値: 1 1 1 0 0 0 0 0
 R/W: — — — R/W R/W R/W R/W R/W

IRQ₀エッジセレクト

0	IRQ ₀ 端子入力の立下がりエッジを検出
1	IRQ ₀ 端子入力の立上がりエッジを検出

IRQ₁エッジセレクト

0	IRQ ₁ 端子、TMIB端子入力の立下がりエッジを検出
1	IRQ ₁ 端子、TMIB端子入力の立上がりエッジを検出

IRQ₂エッジセレクト

0	IRQ ₂ 端子、TMIC端子入力の立下がりエッジを検出
1	IRQ ₂ 端子、TMIC端子入力の立上がりエッジを検出

IRQ₃エッジセレクト

0	IRQ ₃ 端子、TMIF端子入力の立下がりエッジを検出
1	IRQ ₃ 端子、TMIF端子入力の立上がりエッジを検出

IRQ₄エッジセレクト

0	IRQ ₄ 端子、ADTRG端子入力の立下がりエッジを検出
1	IRQ ₄ 端子、ADTRG端子入力の立上がりエッジを検出

ビット: 7 6 5 4 3 2 1 0

IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
------	------	------	------	------	------	------	------

初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

IRQ₄ ~ IRQ₀ 割り込みイネーブル

0	IRQ ₄ ~ IRQ ₀ 端子の割り込み要求を禁止
1	IRQ ₄ ~ IRQ ₀ 端子の割り込み要求を許可

ウェイクアップ割り込みイネーブル

0	WKP ₇ ~ WKP ₀ 端子の割り込み要求を禁止
1	WKP ₇ ~ WKP ₀ 端子の割り込み要求を許可

SCI1 割り込みイネーブル

0	SCI1 の割り込み要求を禁止
1	SCI1 の割り込み要求を許可

タイマA 割り込みイネーブル

0	タイマA の割り込み要求を禁止
1	タイマA の割り込み要求を許可

ビット: 7 6 5 4 3 2 1 0

IENDT	IENAD	IENS2	IENTG	IENTFH	IENTFL	IENTC	IENB
-------	-------	-------	-------	--------	--------	-------	------

初期値:

R/W:

0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマB割り込みイネーブル

0	タイマBの割り込み要求を禁止
1	タイマBの割り込み要求を許可

タイマC割り込みイネーブル

0	タイマCの割り込み要求を禁止
1	タイマCの割り込み要求を許可

タイマFL割り込みイネーブル

0	タイマFLの割り込み要求を禁止
1	タイマFLの割り込み要求を許可

タイマFH割り込みイネーブル

0	タイマFHの割り込み要求を禁止
1	タイマFHの割り込み要求を許可

タイマG割り込みイネーブル

0	タイマGの割り込み要求を禁止
1	タイマGの割り込み要求を許可

SCI2割り込みイネーブル

0	SCI2の割り込み要求を禁止
1	SCI2の割り込み要求を許可

A/D変換器割り込みイネーブル

0	A/D変換器の割り込み要求を禁止
1	A/D変換器の割り込み要求を許可

直接遷移割り込みイネーブル

0	直接遷移による割り込み要求を禁止
1	直接遷移による割り込み要求を許可

ビット: 7 6 5 4 3 2 1 0

IRRTA	IRRS1	—	IRRI4	IRRI3	IRRI2	IRRI1	IRRI0
-------	-------	---	-------	-------	-------	-------	-------

初期値: 0 0 1 0 0 0 0 0
 R/W: R/W* R/W* — R/W* R/W* R/W* R/W* R/W*

IRQ₄～IRQ₀割込み要求フラグ

0	[クリア条件]
	IRRI4 = “1” の状態でIRRI4に “0” をライトしたとき IRRI3～IRRI0についても同様
1	[セット条件]
	IRQ ₄ 端子が割込み入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき IRRI3～IRRI0についても同様

SCI1割込み要求フラグ

0	[クリア条件]
	IRRS1 = “1” の状態でIRRS1に “0” をライトしたとき
1	[セット条件]
	SCI1が転送完了したとき

タイマA割込み要求フラグ

0	[クリア条件]
	IRRTA = “1” の状態でIRRTAに “0” をライトしたとき
1	[セット条件]
	タイマAのカウント値がオーバーフロー (H' FF～H' 00) したとき

【注】 * フラグクリアのための “0” ライトのみ可能

ビット: 7 6 5 4 3 2 1 0

IRRDT	IRRAD	IRRS2	IRRTG	IRRTFH	IRRTFL	IRRTC	IRRTB
-------	-------	-------	-------	--------	--------	-------	-------

初期値: 0 0 0 0 0 0 0 0
 R/W: R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W*

タイマB割込み要求フラグ

0	[クリア条件] IRRTB = "1" の状態でIRRTBに "0" をライトしたとき
1	[セット条件] タイマBのカウント値がオーバーフロー (H'FF~H'00) したとき

タイマC割込み要求フラグ

0	[クリア条件] IRRTC = "1" の状態でIRRTCに "0" をライトしたとき
1	[セット条件] タイマCのカウント値がオーバーフロー (H'FF→H'00) またはアンダフロー (H'00→H'FF) したとき

タイマFL割込み要求フラグ

0	[クリア条件] IRRTFL = "1" の状態でIRRTFLに "0" をライトしたとき
1	[セット条件] 8ビットタイマモードでカウンタFLとアウトプットコンペアレジスタFLが一致したとき

タイマFH割込み要求フラグ

0	[クリア条件] IRRTFH = "1" の状態でIRRTFHに "0" をライトしたとき
1	[セット条件] 8ビットタイマモードでカウンタFHとアウトプットコンペアレジスタFHが一致したとき、また16ビットタイマモードで16ビットカウンタFL、FHとアウトプットコンペアレジスタFL、FHが一致したとき

タイマG割込み要求フラグ

0	[クリア条件] IRRTG = "1" の状態でIRRTGに "0" をライトしたとき
1	[セット条件] TMIG端子がTMIG入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき

SCI2割込み要求フラグ

0	[クリア条件] IRRS2 = "1" の状態でIRRS2に "0" をライトしたとき
1	[セット条件] SCI2が転送完了または転送中断したとき

A/D変換器割込み要求フラグ

0	[クリア条件] IRRAD = "1" の状態でIRRADに "0" をライトしたとき
1	[セット条件] A/D変換器が変換終了し、ADSFがリセットされたとき

直接遷移割込み要求フラグ

0	[クリア条件] IRRDT = "1" の状態でIRRDTに "0" をライトしたとき
1	[セット条件] DTONに "1" をセットした状態でスリープ命令を実行し直接遷移したとき

【注】* フラグクリアのための
 "0" ライトのみ可能

ビット: 7 6 5 4 3 2 1 0

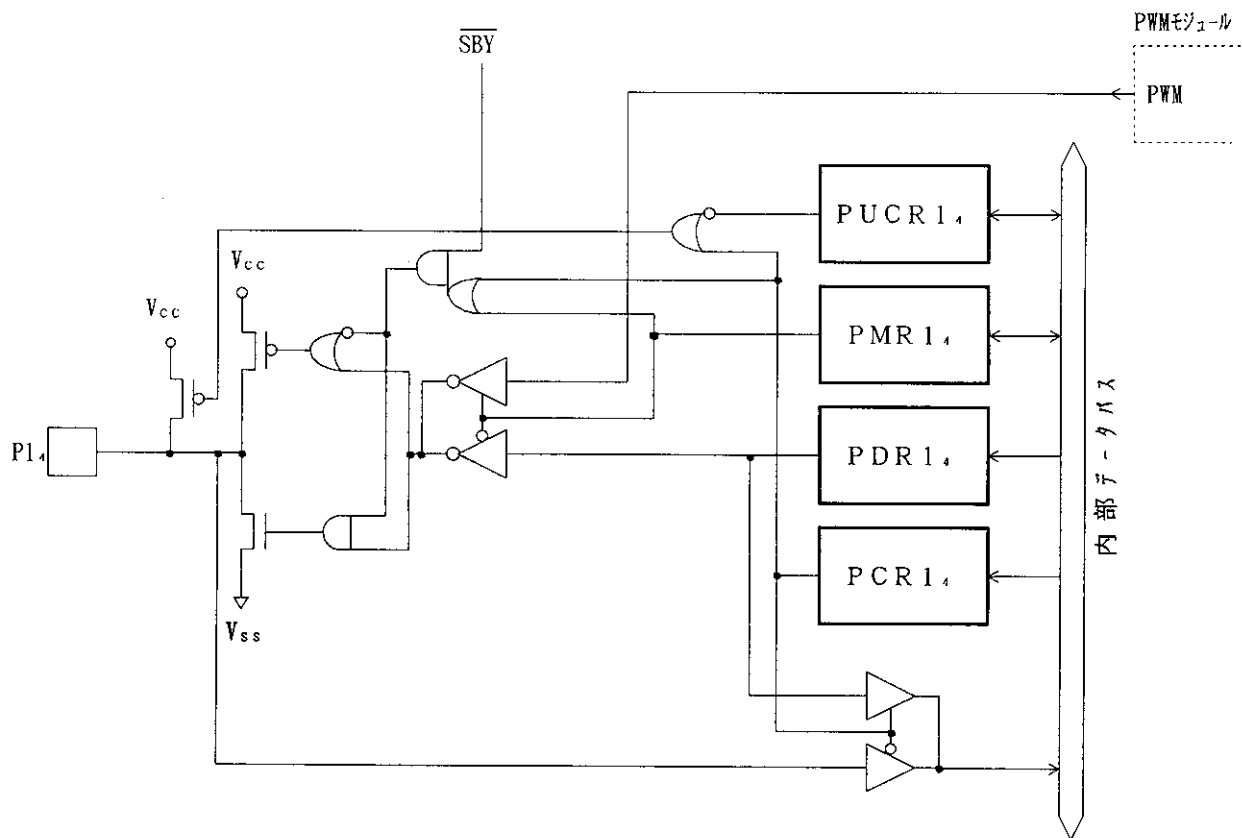
IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0
-------	-------	-------	-------	-------	-------	-------	-------

初期値: 0 0 0 0 0 0 0 0
R/W: R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W*

ウェイクアップ割込み要求フラグ

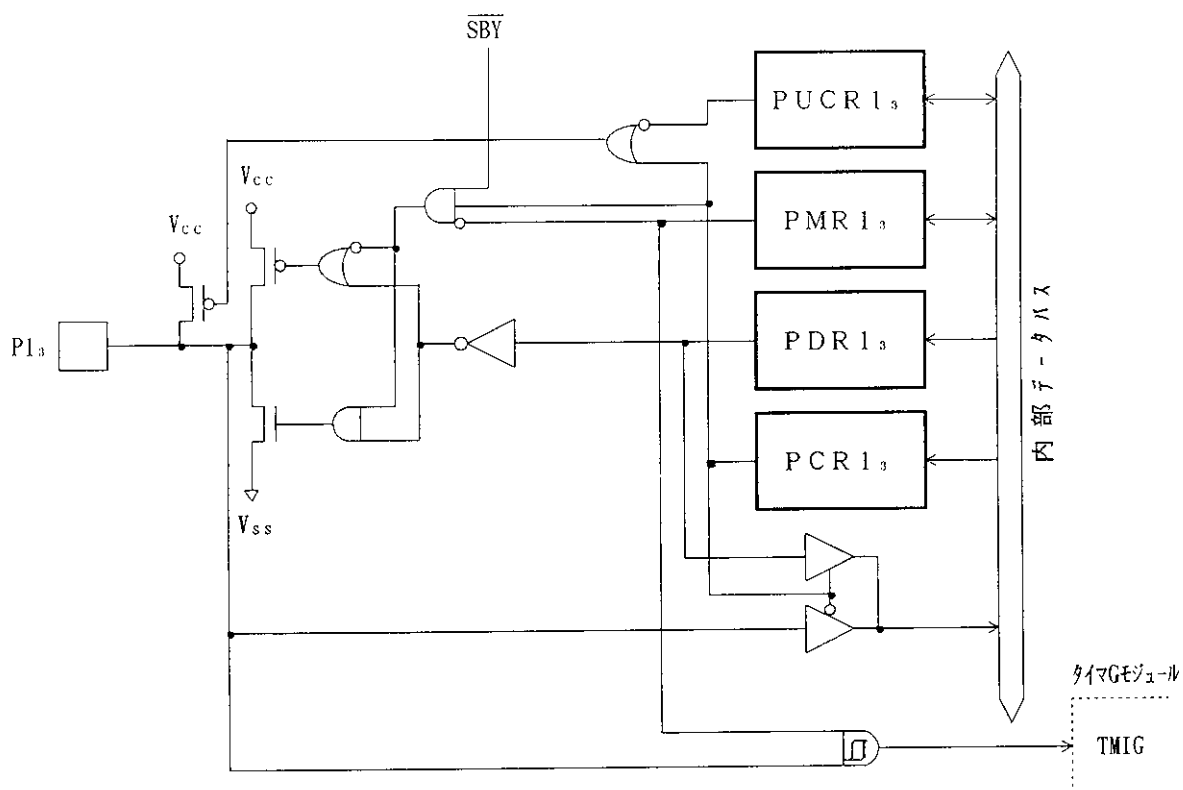
0	〔クリア条件〕
	IWPF7 = “1” の状態でIWPF7に “0” をライトしたとき IWPF6～IWPF0についても同様
1	〔セット条件〕
	WKP _i 端子がウェイクアップ入力に設定されており、かつ当該端子に立下がりエッジが入力されたとき IWPF6～IWPF0についても同様

【注】* フラグクリアのための “0” ライトのみ可能



- $PDR1$: ポートデータレジスタ 1
 $PCR1$: ポートコントロールレジスタ 1
 $PMR1$: ポートモードレジスタ 1
 $PUCR1$: ポートプルアップコントロールレジスタ 1

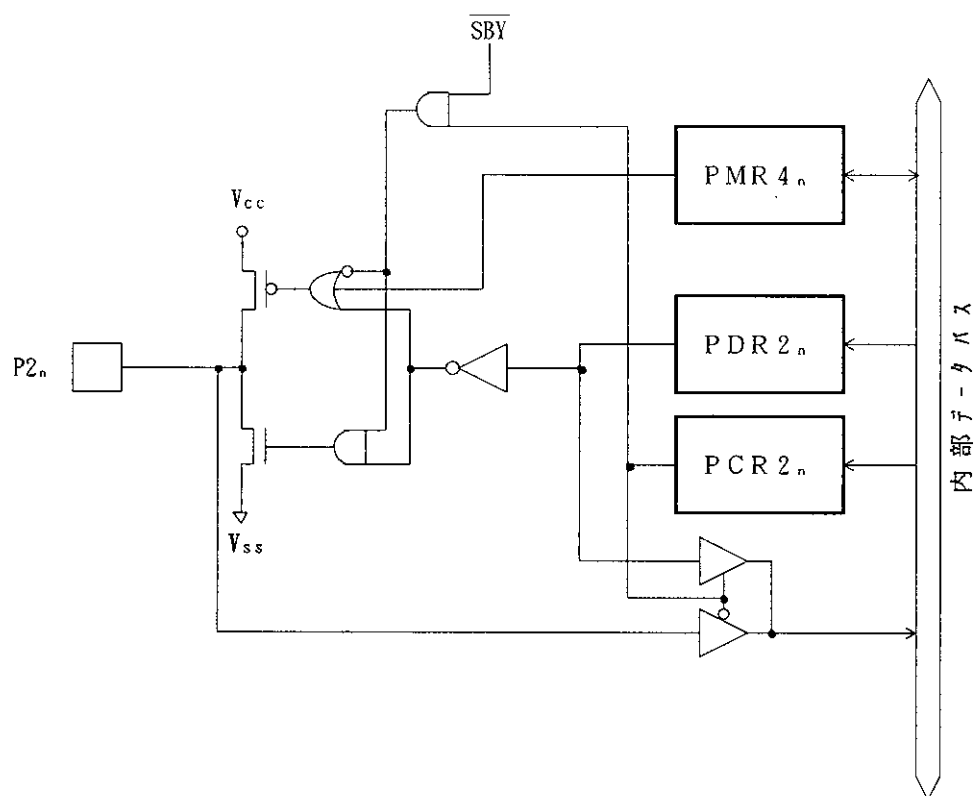
図 C.1(b) ポート 1 ブロック図 ($P1_4$ 端子)



- $PDR1$: ポートデータレジスタ 1
 $PCR1$: ポートコントロールレジスタ 1
 $PMR1$: ポートモードレジスタ 1
 $PUCR1$: ポートプルアップコントロールレジスタ 1

図 C.1(c) ポート 1 ブロック図 ($P1a$ 端子)

C. 2 ポート2ブロック図



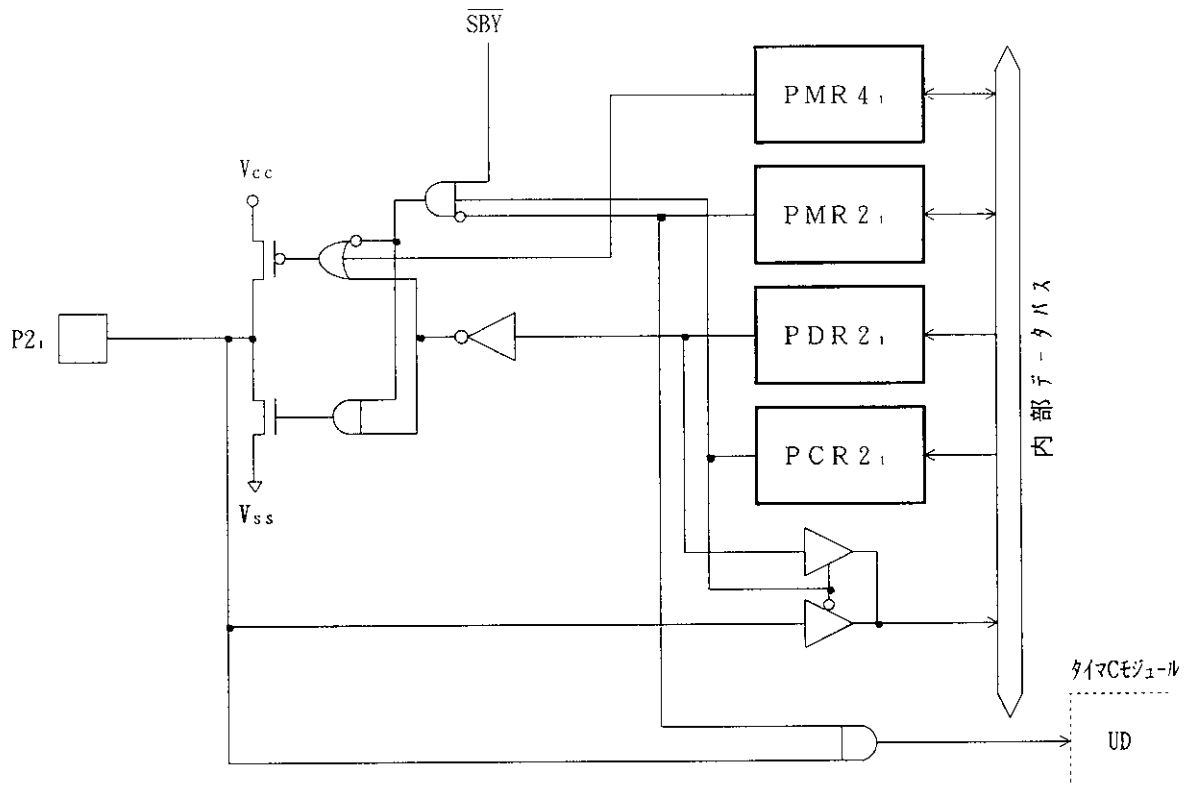
PDR 2 : ポートデータレジスタ 2

PCR2:ポートコントロールレジスタ2

PMR 4 : ポートモードレジスタ 4

$$n = 7 \sim 2$$

図 C.2(a) ポート 2 ブロック図 (P2₇ ~ P2₂ 端子)



PDR 2 : ポートデータレジスタ 2
PCR 2 : ポートコントロールレジスタ 2
PMR 2 : ポートモードレジスタ 2
PMR 4 : ポートモードレジスタ 4

図 C. 2(b) ポート 2 ブロック図 (P2: 端子)

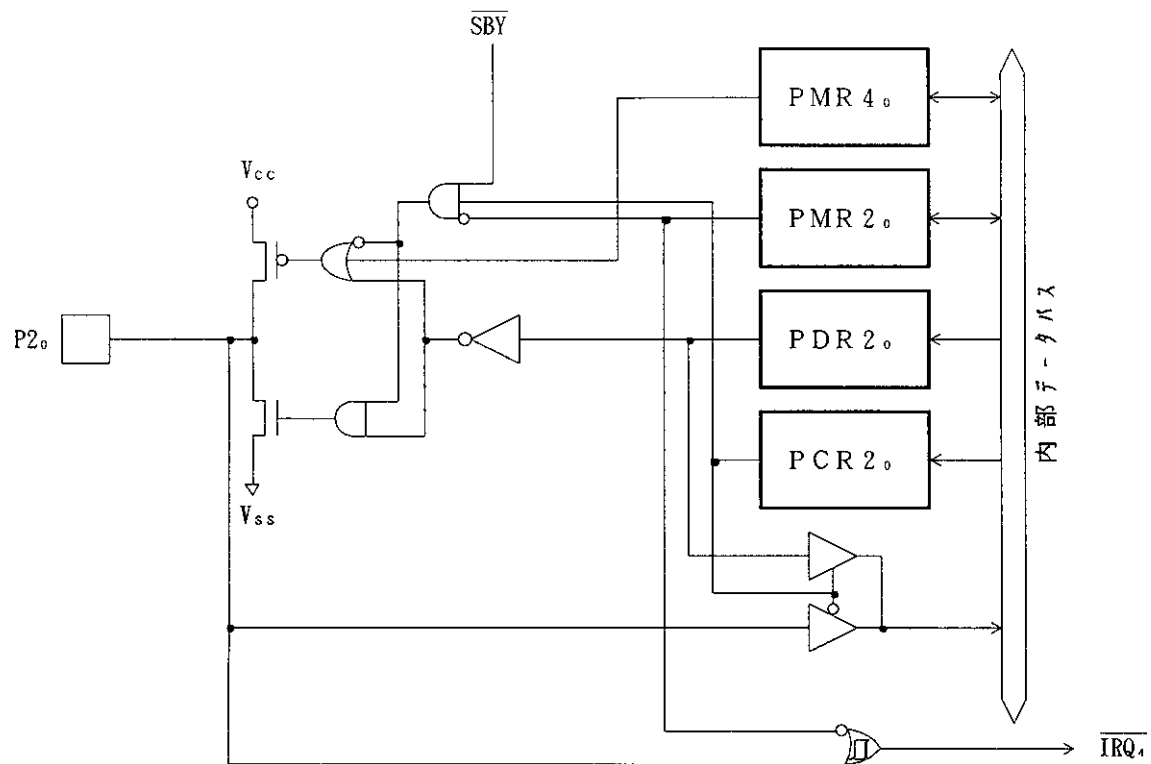
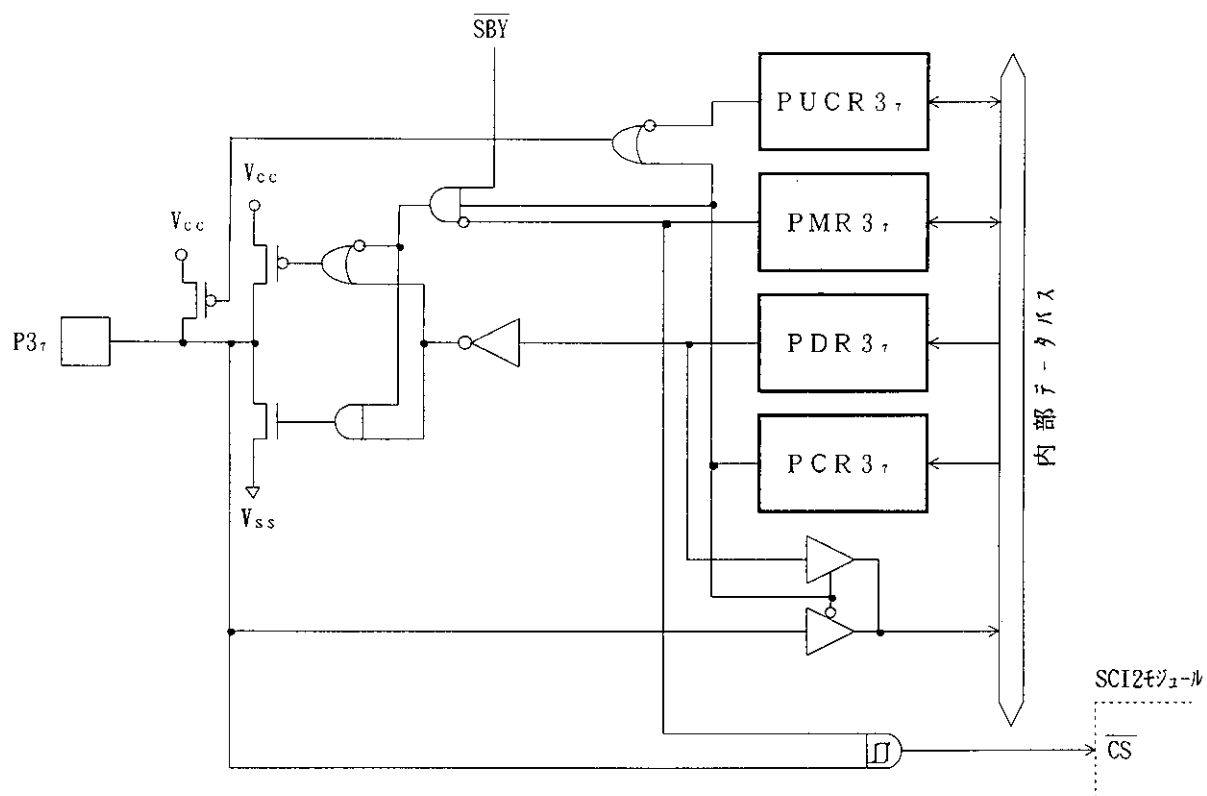


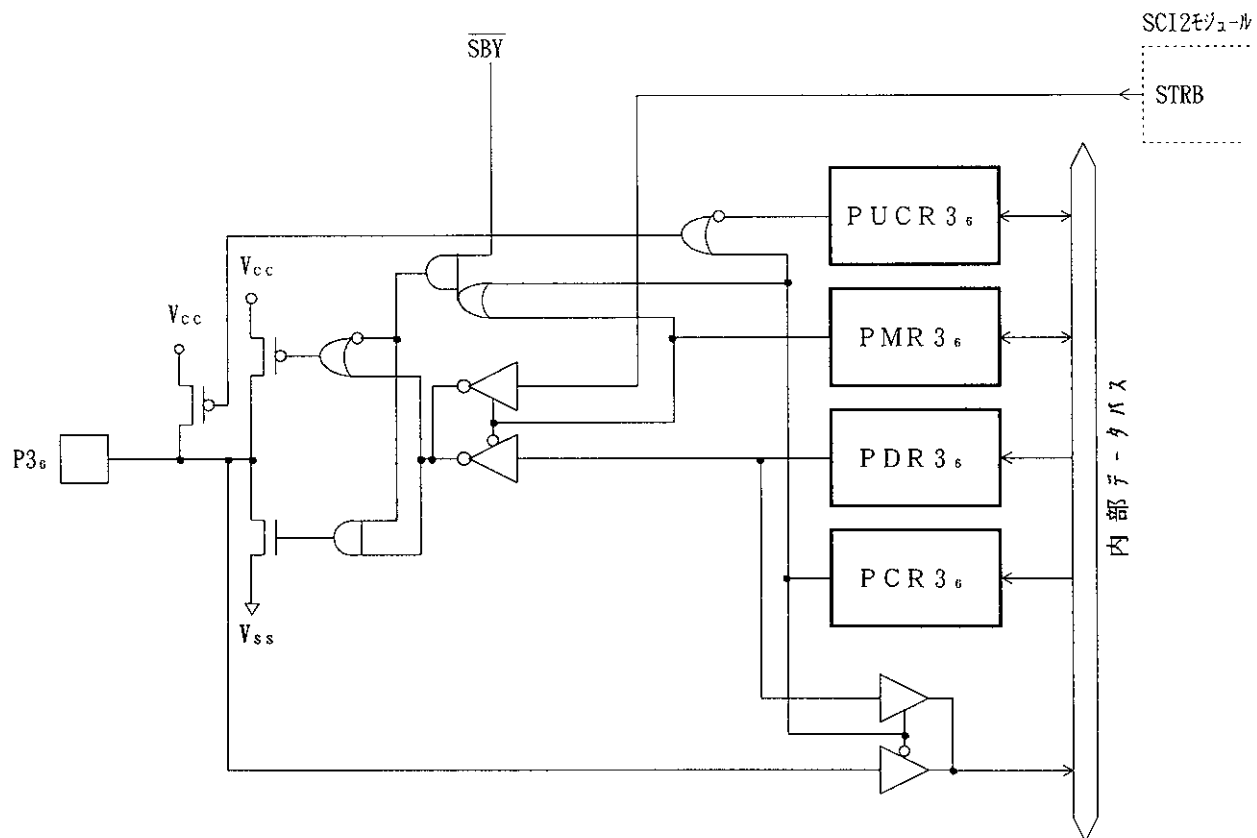
図 C. 2(c) ポート 2 ブロック図 (P2。端子)

C. 3 ポート 3 ブロック図



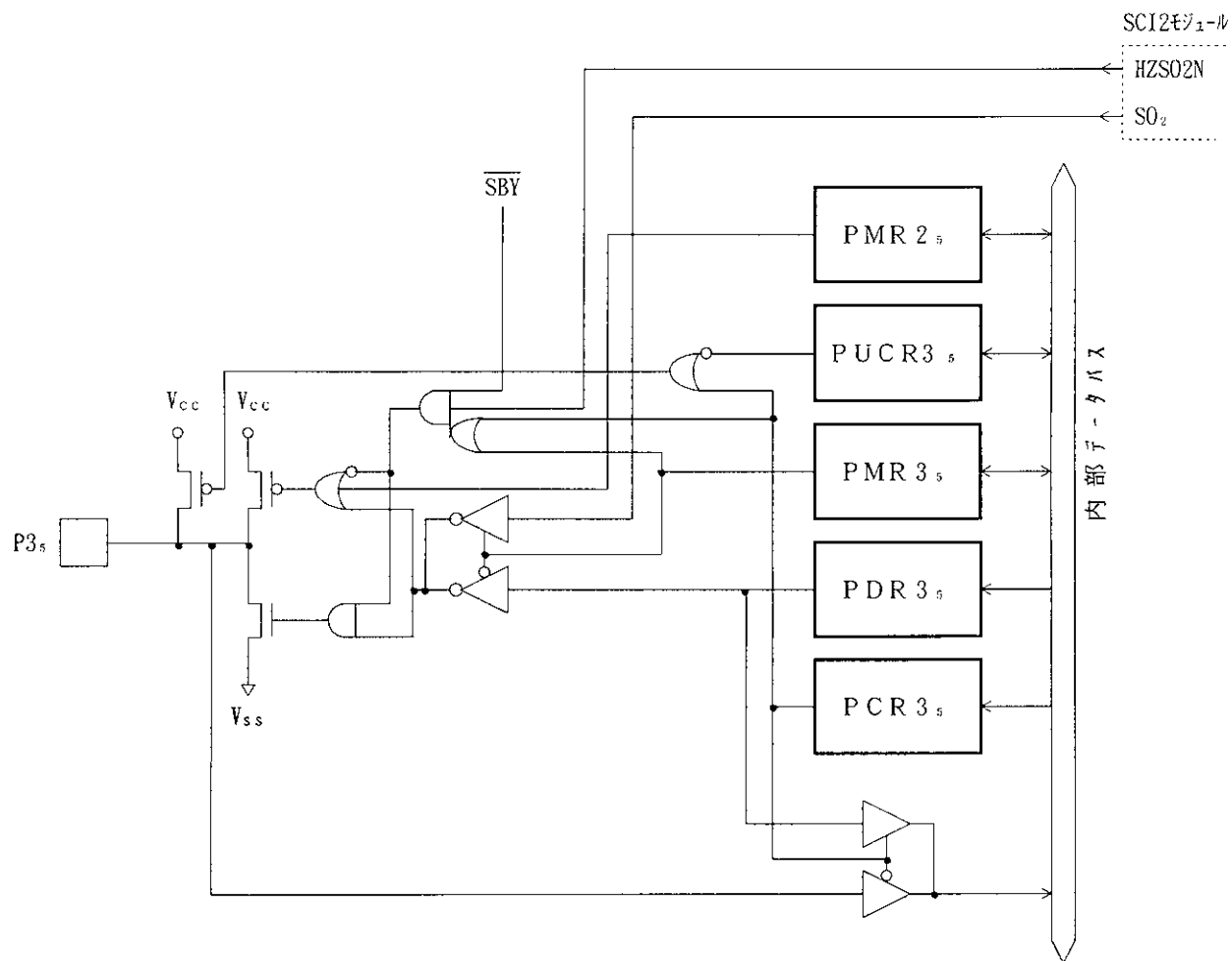
- PDR3 : ポートデータレジスタ 3
- PCR3 : ポートコントロールレジスタ 3
- PMR3 : ポートモードレジスタ 3
- PUCR3 : ポートプルアップコントロールレジスタ 3

図 C.3(a) ポート 3 ブロック図 (P3, 端子)



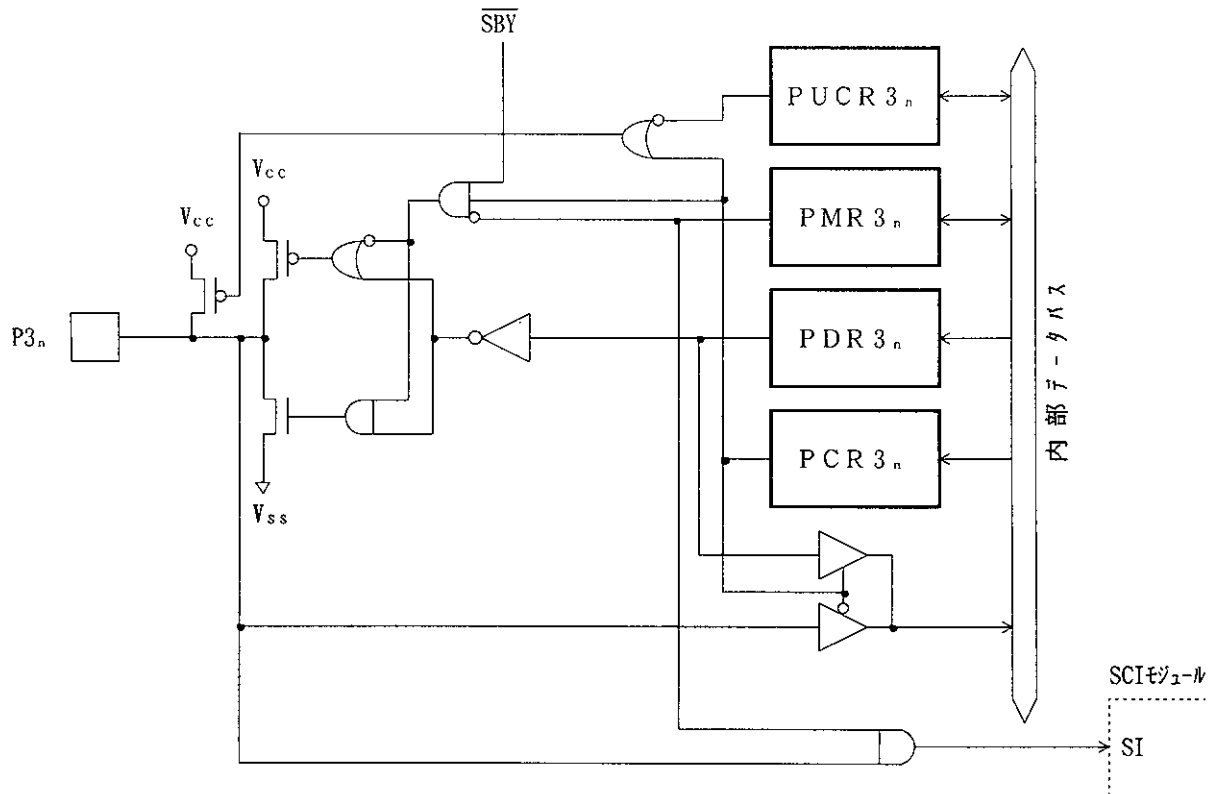
PDR3 : ポートデータレジスタ 3
 PCR3 : ポートコントロールレジスタ 3
 PMR3 : ポートモードレジスタ 3
 PUCR3 : ポートプルアップコントロールレジスタ 3

図 C. 3(b) ポート 3 ブロック図 (P3₀ 端子)



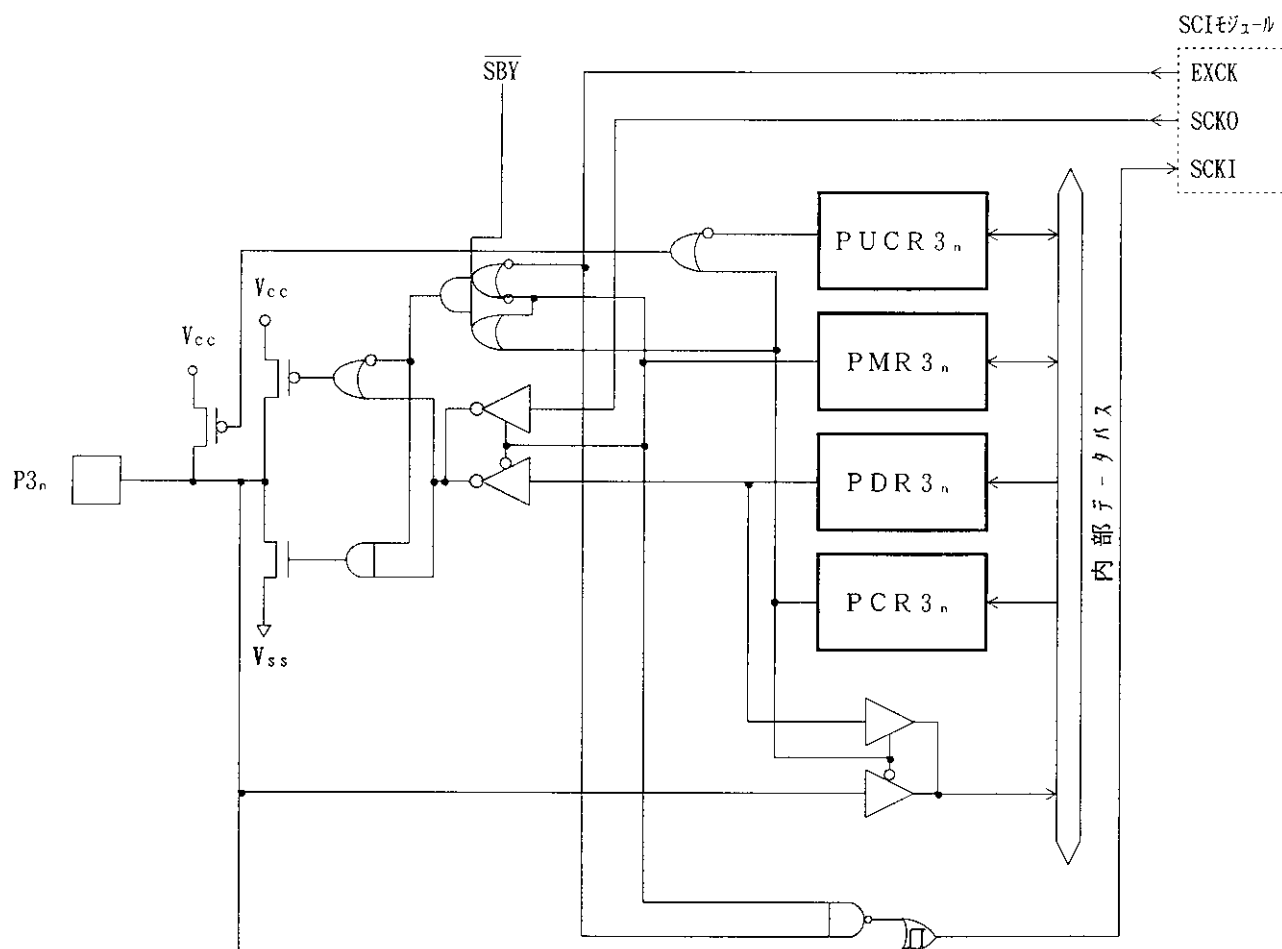
- $PDR3$: ポートデータレジスタ3
 $PCR3$: ポートコントロールレジスタ3
 $PMR3$: ポートモードレジスタ3
 $PMR2$: ポートモードレジスタ2
 $PUCR3$: ポートプルアップコントロールレジスタ3

図 C.3(c) ポート3ブロック図 (P3, 端子)



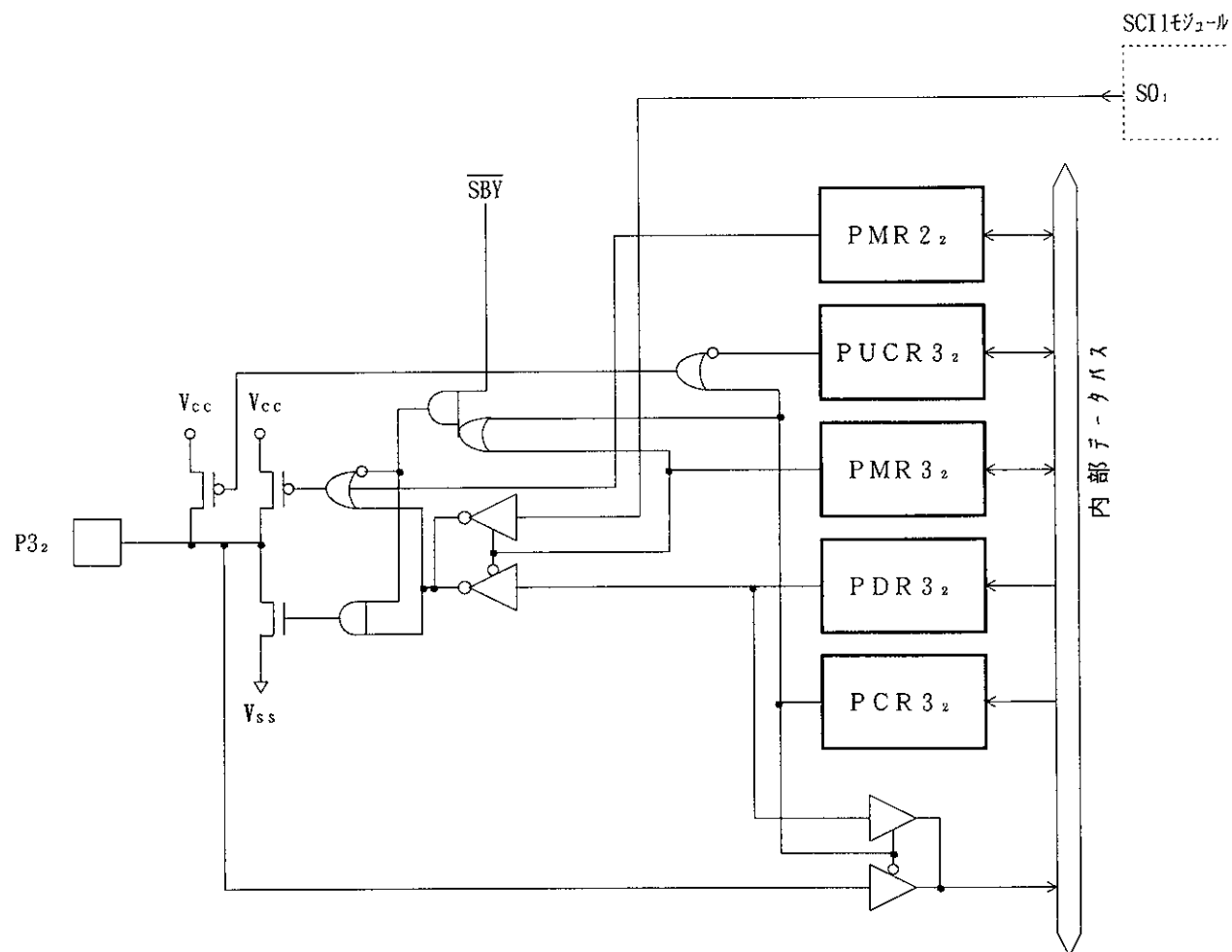
PDR3 : ポートデータレジスタ 3
PCR3 : ポートコントロールレジスタ 3
PMR3 : ポートモードレジスタ 3
PUCR3 : ポートプルアップコントロールレジスタ 3
n = 4、1

図 C. 3(d) ポート 3 ブロック図 (P3₄、P3₁ 端子)



PDR3 : ポートデータレジスタ 3
PCR3 : ポートコントロールレジスタ 3
PMR3 : ポートモードレジスタ 3
PUCR3 : ポートプルアップコントロールレジスタ 3
n = 3、0

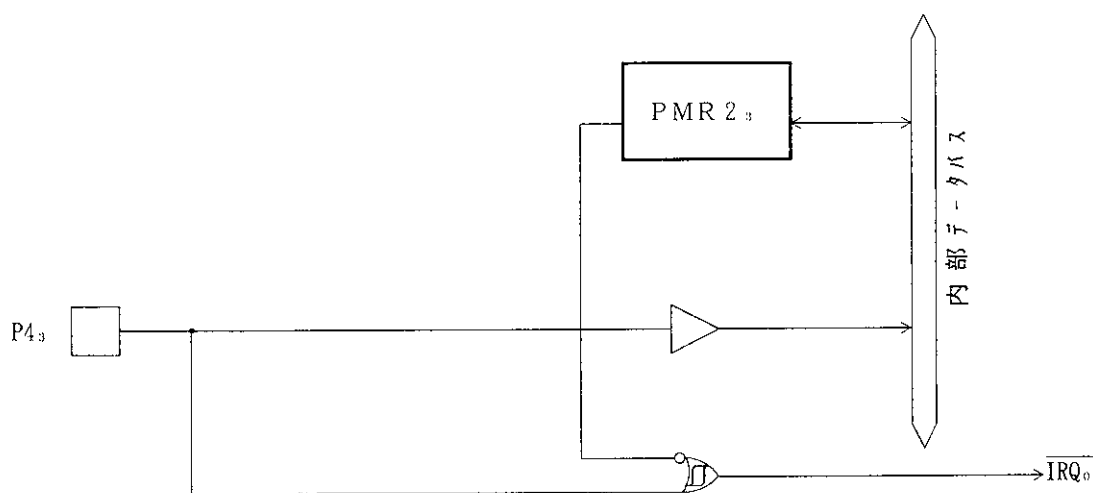
図 C.3(e) ポート 3 ブロック図 (P3_s、P3_o 端子)



- PDR 3 : ポートデータレジスタ 3
 PCR 3 : ポートコントロールレジスタ 3
 PMR 3 : ポートモードレジスタ 3
 PMR 2 : ポートモードレジスタ 2
 PUCR 3 : ポートプルアップコントロールレジスタ 3

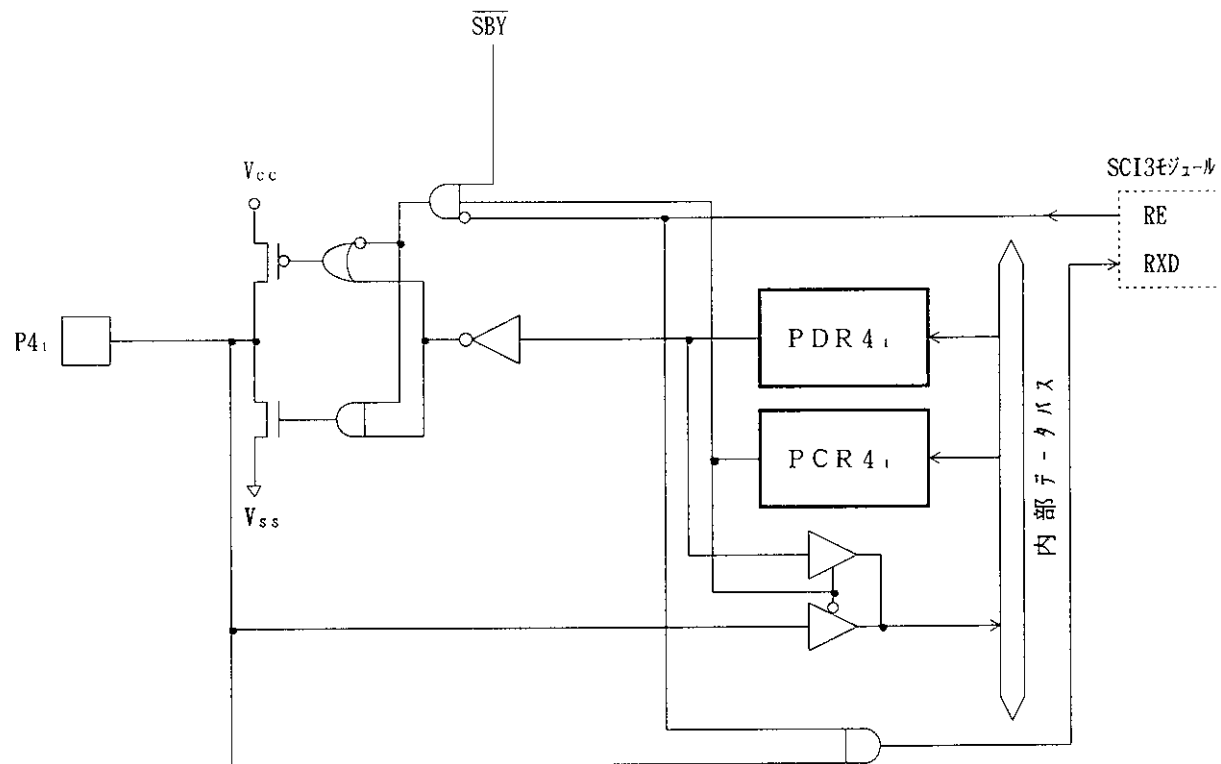
図 C. 3(f) ポート 3 ブロック図 (P3₂ 端子)

C. 4 ポート4ブロック図



PMR 2 : ポートモードレジスタ 2

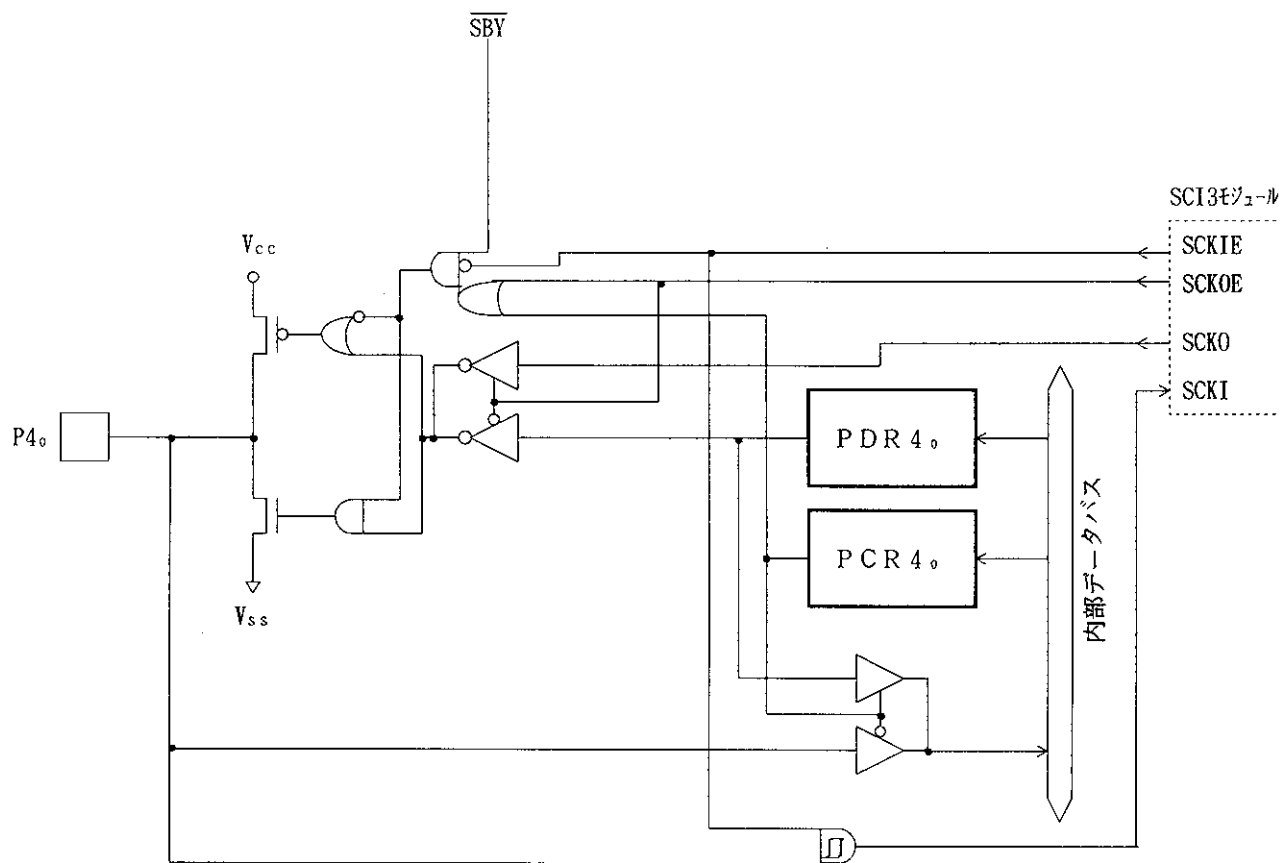
図 C. 4(a) ポート 4 ブロック図 ($P4_3$ 端子)



PDR4 : ポートデータレジスタ 4

PCR4 : ポートコントロールレジスタ 4

図 C. 4(c) ポート 4 ブロック図 (P4i 端子)

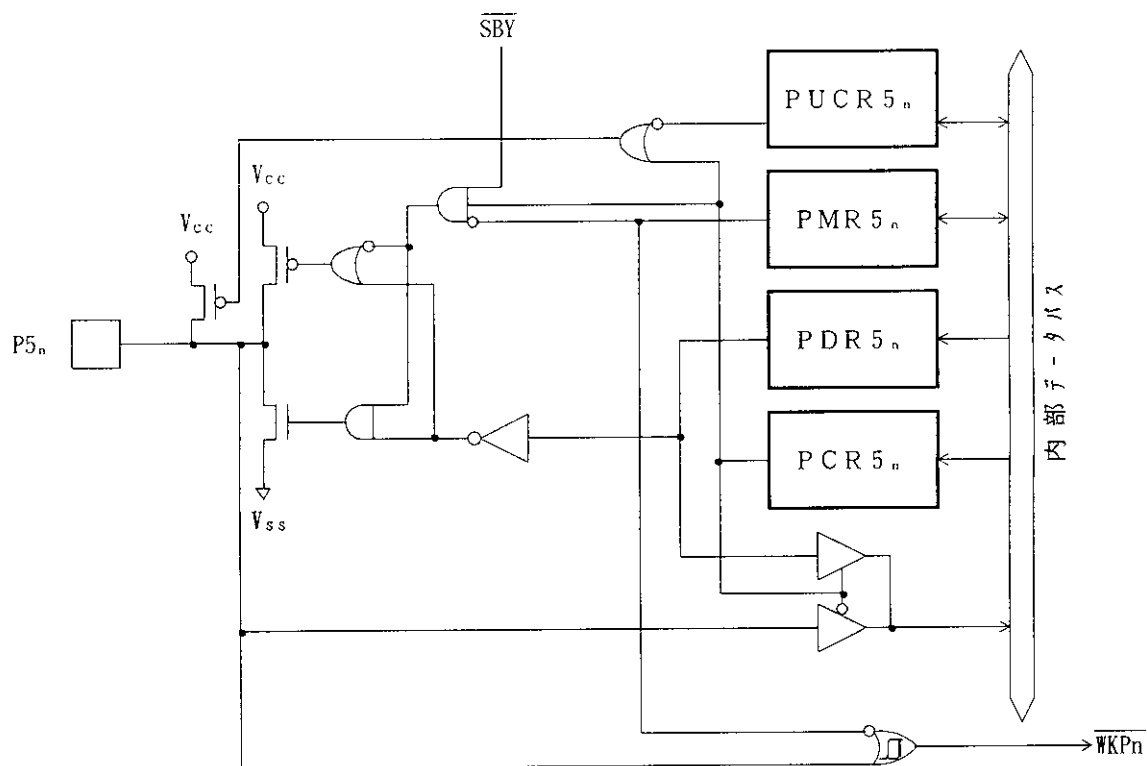


PDR 4 : ポートデータレジスタ 4

PCR 4 : ポートコントロールレジスタ 4

図 C. 4(d) ポート 4 ブロック図 (P4₀端子)

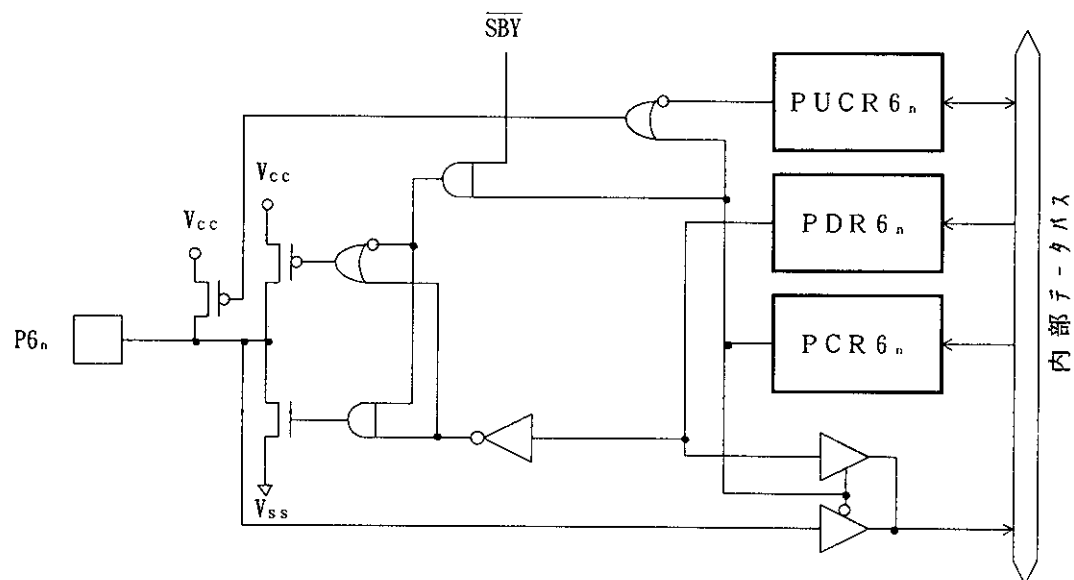
C. 5 ポート5ブロック図



$PDR5$: ポートデータレジスタ5
 $PCR5$: ポートコントロールレジスタ5
 $PMR5$: ポートモードレジスタ5
 $PUCR5$: ポートプルアップコントロールレジスタ5
 $n = 7 \sim 0$

図C.5 ポート5ブロック図

C. 6 ポート6ブロック図



$PDR6$: ポートデータレジスタ 6

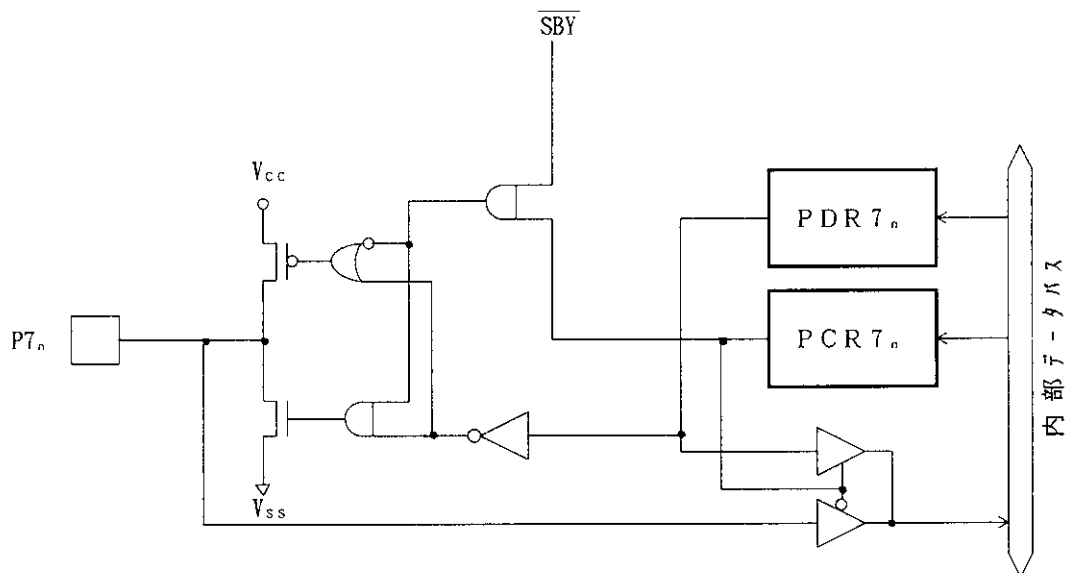
$PCR6$: ポートコントロールレジスタ 6

$PUCR6$: ポートプルアップコントロールレジスタ 6

$n = 7 \sim 0$

図 C.6 ポート 6 ブロック図

C. 7 ポート7ブロック図



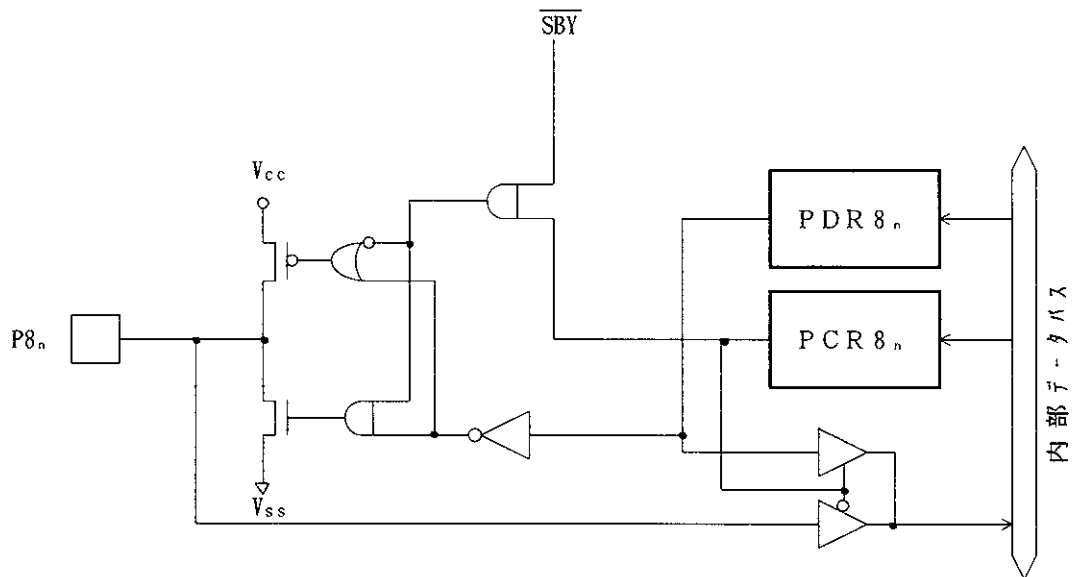
$PDR7$: ポートデータレジスタ7

$PCR7$: ポートコントロールレジスタ7

$n = 7 \sim 0$

図C.7 ポート7ブロック図

C. 8 ポート 8 ブロック図



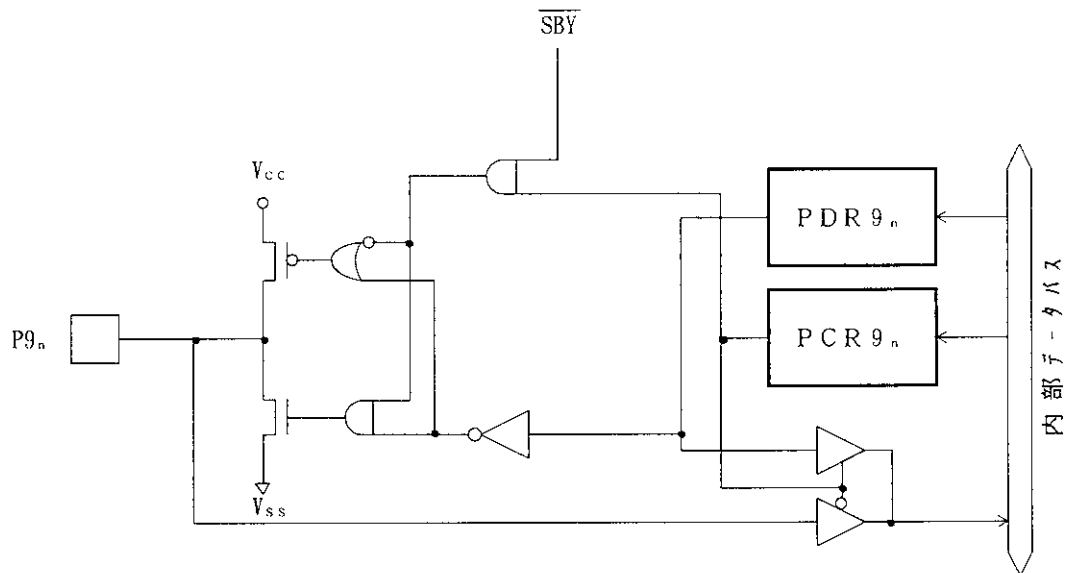
$PDR8$: ポートデータレジスタ 8

$PCR8$: ポートコントロールレジスタ 8

$n = 7 \sim 0$

図 C.8 ポート 8 ブロック図

C. 9 ポート 9 ブロック図



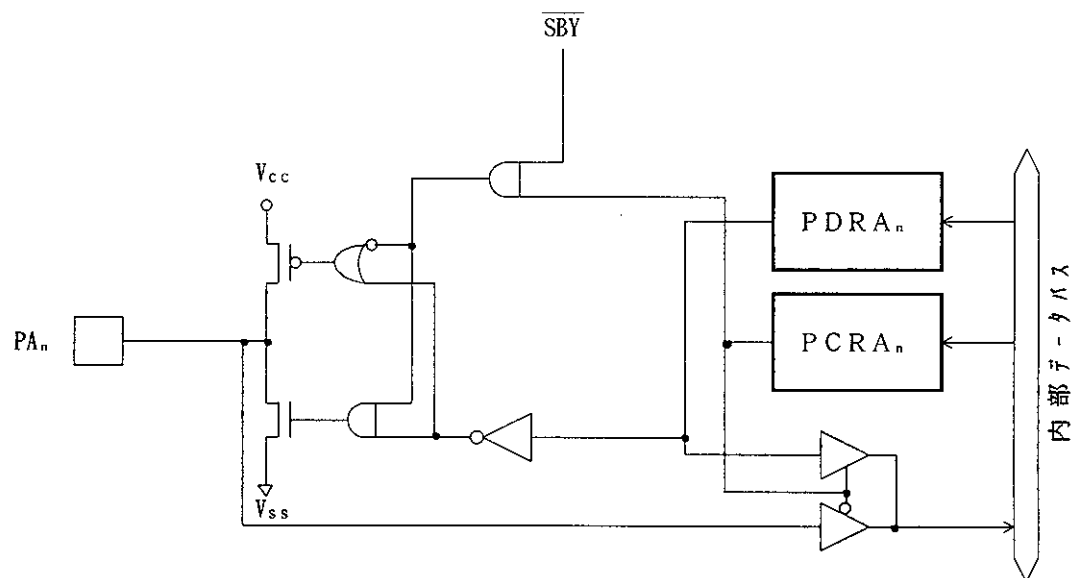
PDR 9 : ポートデータレジスタ 9

PCR 9 : ポートコントロールレジスタ 9

$n = 7 \sim 0$

図 C.9 ポート 9 ブロック図

C. 10 ポートAブロック図



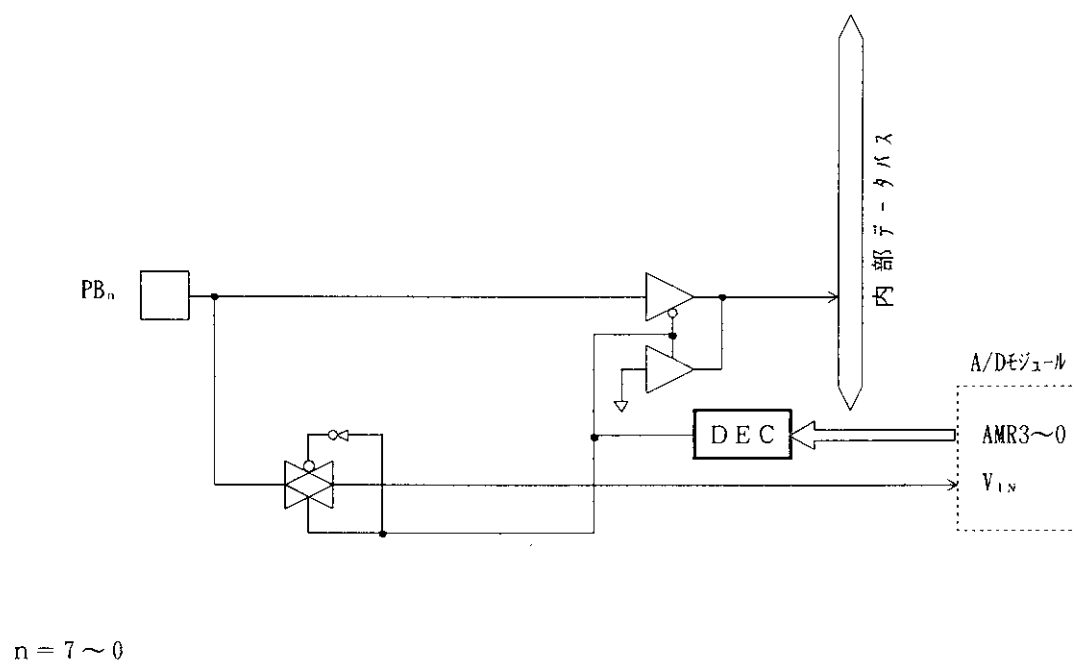
$PDRA$: ポートデータレジスタA

$PCRA$: ポートコントロールレジスタA

$n = 3 \sim 0$

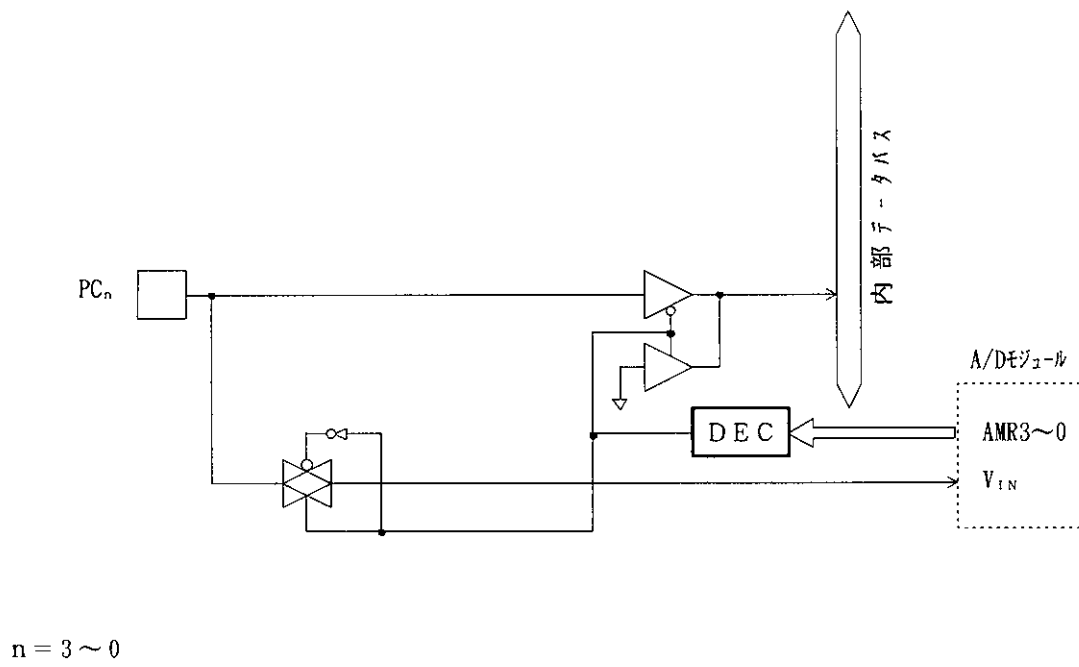
図C.10 ポートAブロック図

C. 11 ポートB ブロック図



図C.11 ポートBブロック図

C. 12 ポートCブロック図



図C.12 ポートCブロック図

D. 各処理状態におけるポートの状態

表 D.1 各ポートの状態一覧

ポート名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P1 ₇ ～P1 ₀	ハ イ インビ-ダンス	保持	保持	ハ イ インビ-ダンス*	保持	動作	動作
P2 ₇ ～P2 ₀	ハ イ インビ-ダンス	保持	保持	ハ イ インビ-ダンス	保持	動作	動作
P3 ₇ ～P3 ₀	ハ イ インビ-ダンス	保持	保持	ハ イ インビ-ダンス*	保持	動作	動作
P4 ₃ ～P4 ₀	ハ イ インビ-ダンス	保持	保持	ハ イ インビ-ダンス	保持	動作	動作
P5 ₇ ～P5 ₀	ハ イ インビ-ダンス	保持	保持	ハ イ インビ-ダンス*	保持	動作	動作
P6 ₇ ～P6 ₀	ハ イ インビ-ダンス	保持	保持	ハ イ インビ-ダンス*	保持	動作	動作
P7 ₇ ～P7 ₀	ハ イ インビ-ダンス	保持	保持	ハ イ インビ-ダンス	保持	動作	動作
P8 ₇ ～P8 ₀	ハ イ インビ-ダンス	保持	保持	ハ イ インビ-ダンス	保持	動作	動作
P9 ₇ ～P9 ₀	ハ イ インビ-ダンス	保持	保持	ハ イ インビ-ダンス	保持	動作	動作
PA ₃ ～PA ₀	ハ イ インビ-ダンス	保持	保持	ハ イ インビ-ダンス	保持	動作	動作
PB ₇ ～PB ₀	ハ イ インビ-ダンス	ハ イ インビ-ダンス	ハ イ インビ-ダンス	ハ イ インビ-ダンス	ハ イ インビ-ダンス	ハ イ インビ-ダンス	ハ イ インビ-ダンス
PC ₃ ～PC ₀	ハ イ インビ-ダンス	ハ イ インビ-ダンス	ハ イ インビ-ダンス	ハ イ インビ-ダンス	ハ イ インビ-ダンス	ハ イ インビ-ダンス	ハ イ インビ-ダンス

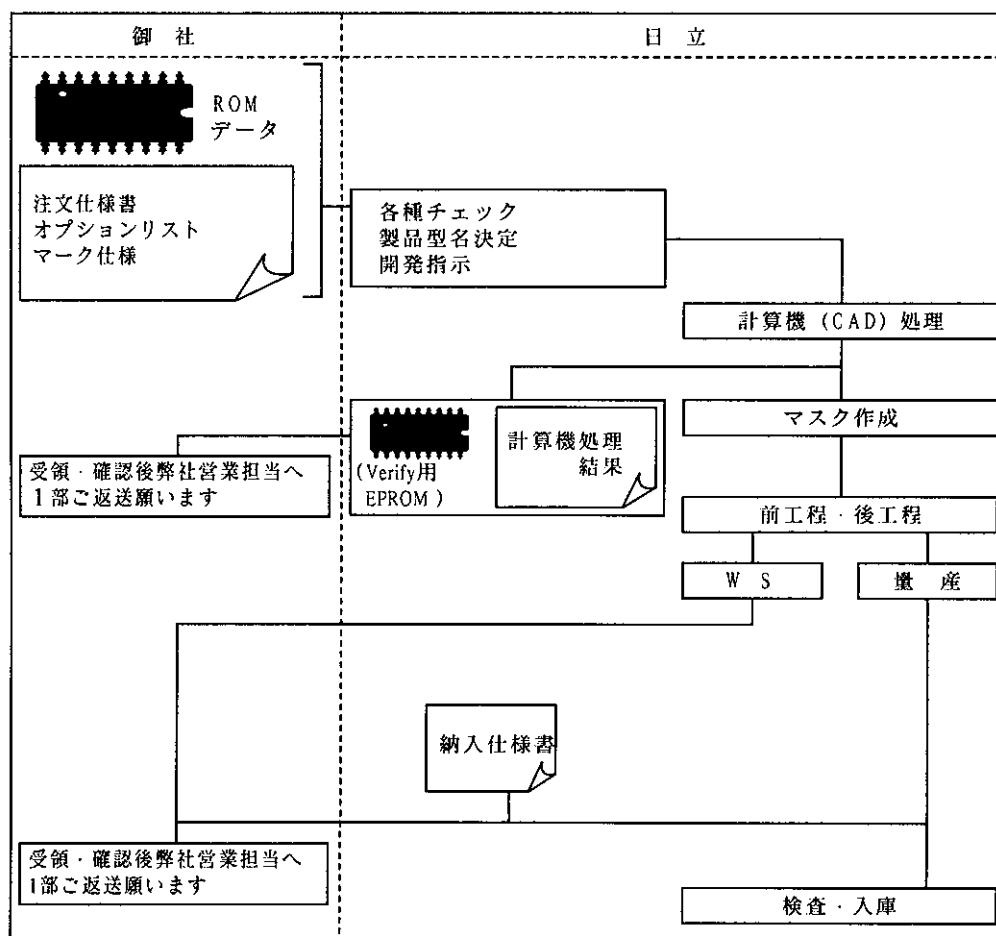
【注】* プルアップMOSがON状態では“High”レベル出力となります。

E. ROM発注手順

E.1 ROM書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、日立では図E.1の流れ図に沿ってROM書き換え品の開発を行います。

図E.1 ROM書き換え品開発の流れ



E.2 ROM発注時の提出物と注意事項

E.2.1 概要

ROM発注時に必要な提出物を表E.1に示します。

発注媒体は、EPROM（またはZTAT®マイコン）としてください。

表E.1 ROM発注時に必要な提出物

発注媒体	EPROMまたはZTAT®マイコン
提出物	ROMデータ
	注文仕様書
	オプションリスト*1
	マーク仕様例*2

【注】*1 製品シリーズにより必要ないものがあります。また、内容も異なります。

*2 特別仕様の場合には、提出してください。

E.2.2 ROMデータ

提出していただくROMデータは、次の注意事項にしたがって、EPROMまたはZTAT®マイコンで提出してください。なお、EPROMまたはZTAT®マイコン以外の媒体（フロッピーディスク等）では対応できませんのでご注意ください。

- (1) EPROMにROMデータを書き込む際は、事前にデータを充分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用EPROMにおいて、ROMデータの未使用（NOT USED）領域またはリザーブ領域には、必ず'FF'を書き込んでください。
- (3) 4ビットマイコンでは、実際に使用するROMデータと、マスクに描画するデータの領域が異なる製品があります。その場合、未使用（NOT USED）領域またはリザーブ領域には必ず'FF'を書き込んでください。
- (4) 4ビットマイコンを発注される場合は、EPROMに書き込まれるデータの上位3ビットはすべて“1”としてください。他のデータが書き込まれていると、日立より提出する確認用EPROMとのペリファイチェックで、エラーとなることがあります。
- (5) 提出していただくEPROMには遮光ラベルを貼り、御社の品番等を記入してください。また、上位ビット、下位ビットを別々に分けるなど、内容の異なったEPROMが複数個ある場合には、その内容が識別できるように表示してください。
- (6) EPROMに書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導伝性のシートに梱包するなど取り扱いに充分注意してください（アルミ箔、発泡スチロール等は不可）。なお、これらによるデータの読み取りエラーに備え、同一内容のEPROMを2組以上提出してください。

E.2.3 シングルチップマイコン注文仕様書（記入要領）

「シングルチップマイコン注文仕様書」は、マイコンを正しく開発するための重要な資料となります。以下の要領にしたがって、漏れなく正確に記入されますようお願いいたします。

なお、注文仕様書は「ROM発注手順マニュアル（ADJ-602-096A）」の巻末にあります。詳しくは弊社担当営業へお問い合わせください。

(1) 基本項目

(a) シリーズ名を記入してください。

S H、H 8 シリーズマイコン（H 8 / 3 0 0 L シリーズを除く）の場合、「動作周波数」欄には、製品の動作周波数バージョンを記入してください。その他の製品の場合は、記入不要です。

【例】

マイクロコンピュータファミリ	HD6435328	動作周波数／電圧	10MHZ・5V
----------------	-----------	----------	----------

(b) マイコンを搭載する機器名、制御する機能を一般的な名称で具体的に記入してください。

（特に民生用、業務用などの種類が識別できるようにお願いします）。

【例】

用 途	☒ 民生用	家庭用エアコン	用 途	温度調節制御
	☐ 業務用 （産業・工業用等）			

(c) ROMコード名（御社の品番等）を記入し、プログラムデータを書き込んだ媒体（EPROMまたはZ T A T®マイコン）の種別をチェックし、その型名を記入してください。

【例】

ROMコード名	P-123A
ROMコード・メディア	☐ Z T A T ☒ EPROM (型名: 27C101)

(d) 外形（パッケージ）を選択し、ピン数を指定してください。

【例】

外 形	☐ DP-() ☐ FP () ☐ TFP-()
	☒ CP-(84) ☐ その他() (例) : DP-(64S)、FP-(80B)

(e) L S I の動作温度範囲を選択してください。

【例】

動作温度	☐ 標準仕様	☐ 広域温度仕様 (I仕様: Ta = -40℃ ~ +85℃)
	☒ 高信頼度仕様 (J仕様: Ta = -40℃ ~ +85℃)	☐ その他特別仕様 ()

(f) その他標準仕様以外の要求について詳しく記入してください。なお、L S I の機能に関する要求については、弊社担当営業までお問い合わせください。

【例】

特別仕様 (製品特仕・マーク特仕等)	日立標準マーク + 顧客指定品番を捺印のこと
-----------------------	------------------------

(2) 使用環境チェックリスト

この項目は御社での L S I 使用状況を調査し、信頼性設計の参考資料とするものであり、マイコンの開発にあたって特性保証値を決定するものではありません。したがって、実際の製品の保証については(1)の基本項目に記載された内容で決定いたします。

○ マイクロコンピュータ L S I 周囲温度

マイコンを搭載し実際に動作させる際の周囲温度を記入する。

○ マイクロコンピュータ L S I 周囲湿度

マイコンを搭載し実際に動作させる際の周囲湿度を記入する。

○ マイクロコンピュータ L S I への通電時間

一日あたりの平均通電時間を記入する。

○ 信頼性目標値

○ A Q L

○ 面付けパッケージの実装方法および条件

○ その他特記事項

プログラム内容を確認する方法として、CAD処理結果とチェックサム*値を使用して照合しています。必ず提出していただくE P R O Mの全アドレス（先頭アドレス～最終アドレス）の値を記入してください。

なお、上位ビット下位ビット別々に分けるなど内容の異なったE P R O Mが複数個ある場合は、チェックサム値の欄を分割するなど各々のE P R O Mとチェックサム値が識別できるようにしてください。

EPROM 内容(ビット)	アドレス	チェックサム値
☐ 128 k	0~3 F F F	
☐ 256 k	0~7 F F F	
☐ 512 k	0~F F F F	
☒ 1 M	0~1 F F F F	3 A 2 0
☐ その他 (k)	0~最終アドレス	

EPROM 内容(ビット)	アドレス	チェックサム値	
☐ 128k	0~3FFF		
☐ 256k	0~7FFF		
☐ 512k	0~FFFF		
☐ 1M	0~1FFFF		
☒ その他 (64k) × 2	0~最終アドレス	3FA2	2E1B

↑ ↓
上位ビット 下位ビット
(ラベル = P 1 2 3 A H) (ラベル = P 1 2 3 A L)

E-5

E.2.4 オプションリスト

オプションの選択できる L S I ファミリについては必ず提出してください。

E.2.5 シングルチップマイコンマーク仕様

日立標準マークまたは表 E.2 の中から選択するようお願いします。なお、S O P についてはパッケージ面積の都合上日立標準マークとさせていただきますので、ご了承願います。

(1) 日立標準マークの場合

この場合の日立標準マークとは、日立マーク、日立製品型名、生産ロットコード、生産国名 (JAPAN) 等を捺印いたしますが、文字の寸法、配置などについては添付の標準フォーマットと異なる場合があります。

(2) 日立で開発実績があるマークの場合 (日立標準マーク以外)

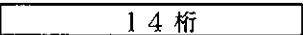
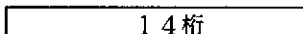
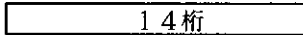
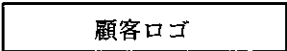
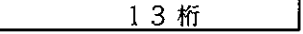
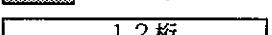
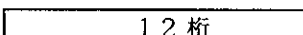
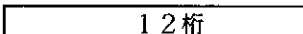
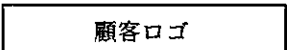
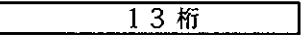
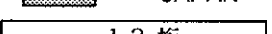
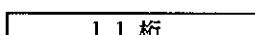
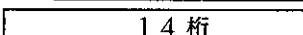
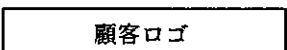
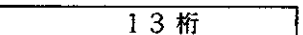
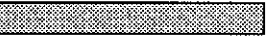
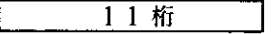
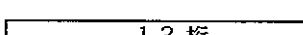
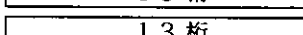
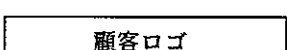
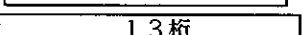
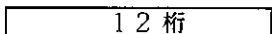
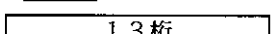
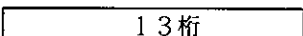
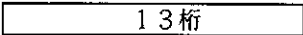
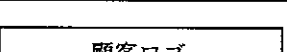
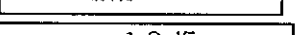
実績がある製品の納入仕様書をコピーし、変更する部分を修正 (見せ消しでも可) して添付願います。ただし、製品の種類およびパッケージが異なると適用できない場合がありますのでご注意ください。

(3) 日立で開発実績がないマークの場合

表 E.2 のパッケージ別マーキング捺印例を参考とし、「シングルチップマイコンマーク仕様書」を作成してください*。また、顧客ロゴが必要な場合は、できるだけ鮮明で大きなロゴのサンプルを添付願います。数日後、確認書を提出しますので、2～3 日中にご確認の上、返却してください。なお、確認が遅れますと E S 以降 (リスク含む) の日程が守れなくなることもありますのでご注意ください。

【注】* マーク仕様書は「ROM発注手順マニュアル (ADJ-602-096A)」の巻末にあります。詳しくは弊社担当営業までお問い合わせください。

表 E.2 パッケージ別マーキング捺印例

パッケージ	NO.2 日立標準+顧客指定品番	NO.3 顧客名+顧客指定品番	NO.4 顧客ロゴ+顧客指定品番
DP-42(S) DP-42(S)	     JAPAN  14桁	 14桁  14桁    JAPAN	 顧客ロゴ  13桁    JAPAN
DP-28S	     JAPAN  12桁	 12桁  12桁   JAPAN	 顧客ロゴ  13桁    JAPAN
FP-54 FP-64 FP-64B FP-80 FP-80B FP-100 FP-100A	     JAPAN  13桁	 11桁  14桁    JAPAN	 顧客ロゴ  13桁    JAPAN
FP-44A FP-64A FP-80A FP-100B FP-112 TFP-80 TFP-80C TFP-80F TFP-100B	      JAPAN  11桁	 13桁  13桁    JAPAN	 顧客ロゴ  13桁    JAPAN
EP-28DA	     JAPAN  12桁	選択不可	選択不可
CP-44 CP-52 CP-68 CP-84	     JAPAN  13桁	 13桁  13桁    JAPAN	 顧客ロゴ  13桁    JAPAN

[注] 1.  について指定してください。

2.  の位置は日立製品型名、ROMコードなどが捺印されます。

なお、文字の配置および寸法は製品の種類により異なりますので、事前に弊社担当営業へご相談ください。

3. NO.4 の顧客ロゴの位置・寸法については、事前に弊社担当営業へご相談ください。

F. 型名一覧

表F. 1 H 8 / 3 8 3 4 U シリーズ型名一覧

製品分類			製品型名	マーク型名	発注用型名	パッケージ (日立パッケージコード)
H8/3837U	Z T A T 版	標	HD6473837UH	HD6473837UH	HD6473837UH	100ピンQ F P (FP-100B)
		準	HD6473837UF	HD6473837UF	HD6473837UF	100ピンQ F P (FP-100A)
		品	HD6473837UX	HD6473837UX	HD6473837UX	100ピンT Q F P (TFP-100B)
	マスクROM版	標	HD6433837UH	HD6433837U(**)H	HD6433837U(**)H	100ピンQ F P (FP-100B)
		準	HD6433837UF	HD6433837U(**)F	HD6433837U(**)F	100ピンQ F P (FP-100A)
		品	HD6433837UX	HD6433837U(**)X	HD6433837U(**)X	100ピンT Q F P (TFP-100B)
H8/3836U	マスクROM版	標	HD6433836UH	HD6433836U(**)H	HD6433836U(**)H	100ピンQ F P (FP-100B)
		準	HD6433836UF	HD6433836U(**)F	HD6433836U(**)F	100ピンQ F P (FP-100A)
		品	HD6433836UX	HD6433836U(**)X	HD6433836U(**)X	100ピンT Q F P (TFP-100B)
H8/3835U	マスクROM版	標	HD6433835UH	HD6433835U(**)H	HD6433835U(**)H	100ピンQ F P (FP-100B)
		準	HD6433835UF	HD6433835U(**)F	HD6433835U(**)F	100ピンQ F P (FP-100A)
		品	HD6433835UX	HD6433835U(**)X	HD6433835U(**)X	100ピンT Q F P (TFP-100B)
H8/3834U	Z T A T 版	標	HD6473834UH	HD6473834UH	HD6473834UH	100ピンQ F P (FP-100B)
		準	HD6473834UF	HD6473834UF	HD6473834UF	100ピンQ F P (FP-100A)
		品	HD6473834UX	HD6473834UX	HD6473834UX	100ピンT Q F P (TFP-100B)
	マスクROM版	標	HD6433834UH	HD6433834U(**)H	HD6433834U(**)H	100ピンQ F P (FP-100B)
		準	HD6433834UF	HD6433834U(**)F	HD6433834U(**)F	100ピンQ F P (FP-100A)
		品	HD6433834UX	HD6433834U(**)X	HD6433834U(**)X	100ピンT Q F P (TFP-100B)
H8/3833U	マスクROM版	標	HD6433833UH	HD6433833U(**)H	HD6433833U(**)H	100ピンQ F P (FP-100B)
		準	HD6433833UF	HD6433833U(**)F	HD6433833U(**)F	100ピンQ F P (FP-100A)
		品	HD6433833UX	HD6433833U(**)X	HD6433833U(**)X	100ピンT Q F P (TFP-100B)

【注】 L. マスクROM版の(**)はROMコードです。

G. 外形寸法図

H 8 / 3 8 3 4 U シリーズの外形寸法図 F P - 1 0 0 B を図 G.1、F P - 1 0 0 A を図 G.2、T F P - 1 0 0 B を図 G.3 に示します。

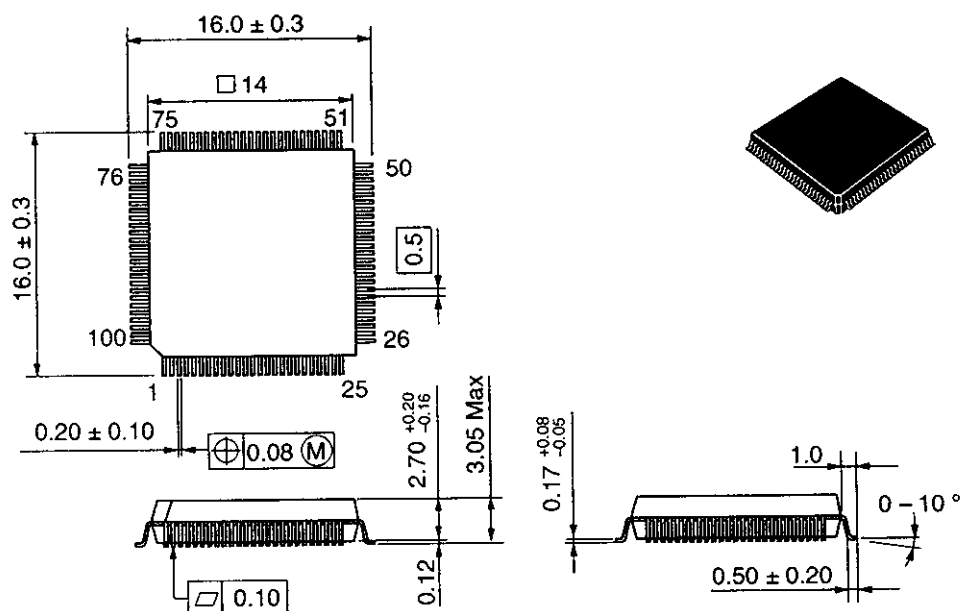


図 G.1 外形寸法図〔F P - 1 0 0 B〕単位：mm

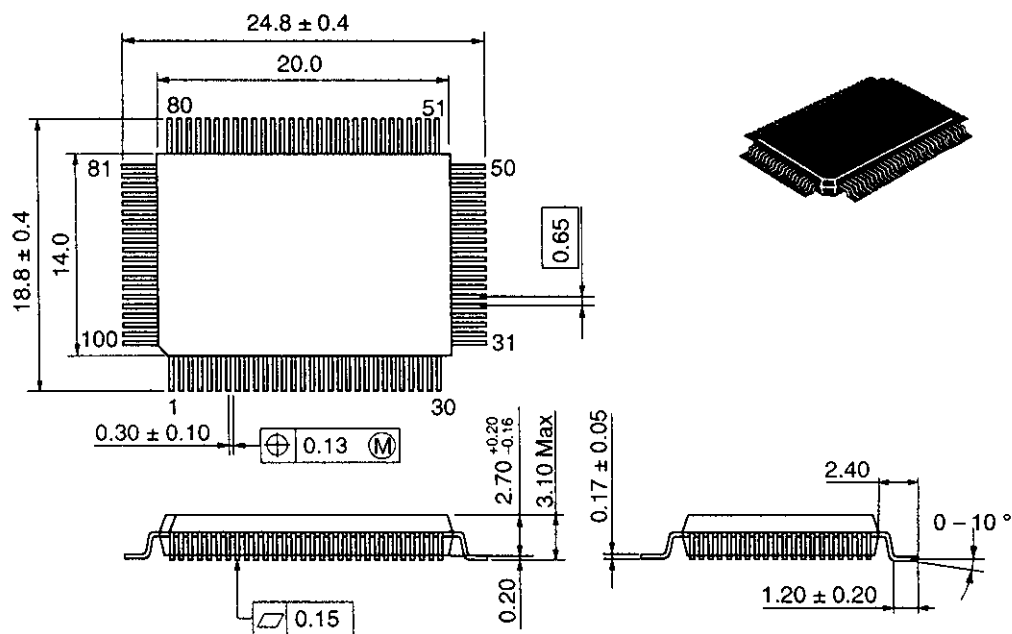


図 G.2 外形寸法図〔F P - 1 0 0 A〕単位：mm

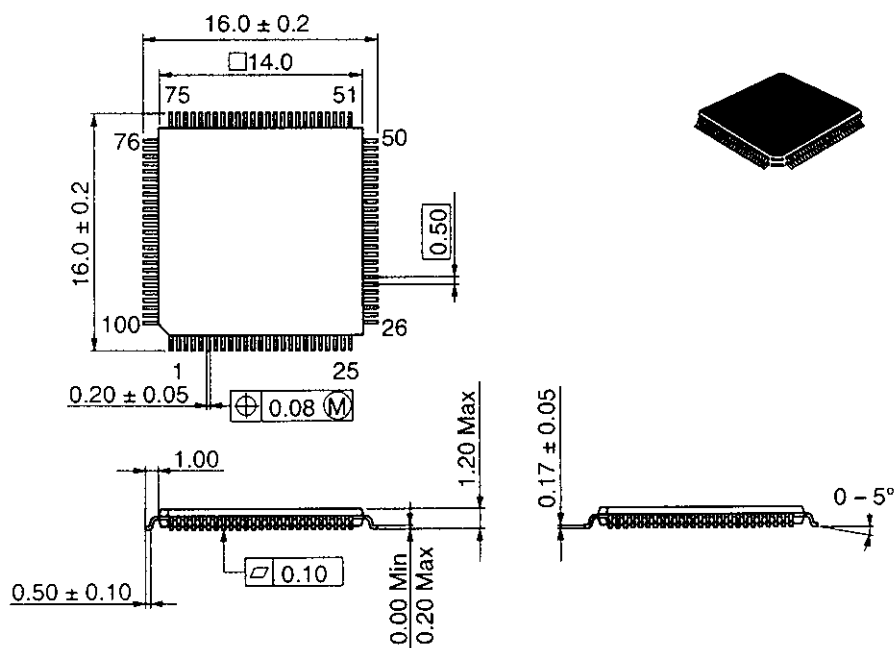


図 G.3 外形寸法図〔TFP-100B〕単位：mm

【注】 外形寸法図については、「日立半導体パッケージ」に掲載されている寸法図を優先します。

H8/3834Uシリーズ ハードウェアマニュアル

発行年月 平成7年9月 第1版

発 行 株式会社 日立製作所
半導体事業部

編 集 株式会社 日立マイコンシステム
技術ドキュメントセンタ

©株式会社 日立製作所 1995

H8/3834U シリーズ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668