

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

H8/3834 シリーズ

ハードウェアマニュアル

はじめに

H8/300L シリーズは、高速 H8/300L CPU を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。

H8/300L CPU は、H8/300CPU と互換性のある命令体系を備えています。

H8/3834 シリーズは、システム構成に必要な周辺機能として、LCD コントローラ/ドライバ、5 種類のタイマ、14 ビット PWM、3 チャンネルのシリアルコミュニケーションインタフェース、A/D 変換器を内蔵しています。LCD 表示を必要とするシステムの組込み用マイコンとして活用できます。

本マニュアルは、H8/3834 シリーズのハードウェアについて記載しています。命令の詳細については、「H8/300L シリーズ プログラミングマニュアル」をあわせてご覧ください。

本文中で使用している H8/3834、H8/3834S、H8/3834 シリーズの各用語は、次の製品を指します。

1. H8/3834 : HD6433837、HD6433836、HD6433835、HD6433834、HD6433833、HD6473837、HD6473834 を指します。
2. H8/3834S : HD6433837S、HD6433836S、HD6433835S、HD6433834S、HD6433833S、HD6433832S を指します。
3. H8/3834 シリーズ : H8/3834 と H8/3834S を合わせた全製品を指します。

目次

第1章 概要

1.1	概要	3	
1.2	内部ブロック図	7	
1.3	端子説明	8	
	1.3.1	ピン配置	8
	1.3.2	端子機能	10

第2章 CPU

2.1	概要	17	
	2.1.1	特長	17
	2.1.2	アドレス空間	18
	2.1.3	レジスタ構成	18
2.2	各レジスタの説明	19	
	2.2.1	汎用レジスタ	19
	2.2.2	コントロールレジスタ	19
	2.2.3	CPU内部レジスタの初期値	21
2.3	データ構成	22	
	2.3.1	汎用レジスタのデータ構成	23
	2.3.2	メモリ上でのデータ構成	24
2.4	アドレッシングモード	25	
	2.4.1	アドレッシングモード	25
	2.4.2	実効アドレスの計算方法	27
2.5	命令セット	31	
	2.5.1	データ転送命令	33
	2.5.2	算術演算命令	35
	2.5.3	論理演算命令	36
	2.5.4	シフト命令	36

2.5.5	ビット操作命令.....	38
2.5.6	分岐命令.....	41
2.5.7	システム制御命令.....	43
2.5.8	ブロック転送命令.....	45
2.6	基本動作タイミング.....	46
2.6.1	内蔵メモリ (RAM、ROM).....	46
2.6.2	内蔵周辺モジュール.....	47
2.7	CPU の状態.....	49
2.7.1	概要.....	49
2.7.2	プログラム実行状態.....	50
2.7.3	プログラム停止状態.....	50
2.7.4	例外処理状態.....	50
2.8	メモリマップ.....	51
2.8.1	メモリマップ.....	51
2.8.2	LCD RAM のアドレスリロケーション.....	58
2.9	使用上の注意事項.....	59
2.9.1	データアクセスに関する注意事項.....	59
2.9.2	ビット操作命令使用上の注意事項.....	61
2.9.3	EEPMOV 命令使用上の注意事項.....	67

第3章 例外処理

3.1	概要.....	71
3.2	リセット.....	72
3.2.1	概要.....	72
3.2.2	リセットシーケンス.....	72
3.2.3	リセット直後の割込み.....	75
3.3	割込み.....	76
3.3.1	概要.....	76
3.3.2	各レジスタの説明.....	78
3.3.3	外部割込み.....	88
3.3.4	内部割込み.....	89
3.3.5	割込み動作.....	89
3.3.6	割込み応答時間.....	94
3.4	使用上の注意事項.....	95
3.4.1	スタック領域に関する使用上の注意事項.....	95
3.4.2	ポートモードレジスタを書き換える際の注意事項.....	96

第4章 クロック発振器

4.1	概要	101
4.1.1	ブロック図	101
4.1.2	システムクロックとサブクロック	101
4.2	システムクロック発振器	102
4.3	サブクロック発振器	105
4.4	プリスケーラ	107
4.5	発振子に関する注意事項	108

第5章 低消費電力モード

5.1	概要	111
5.1.1	システムコントロールレジスタ	114
5.2	スリープモード	118
5.2.1	スリープモードへの遷移	118
5.2.2	スリープモードの解除	118
5.3	スタンバイモード	119
5.3.1	スタンバイモードへの遷移	119
5.3.2	スタンバイモードの解除	119
5.3.3	スタンバイモード解除後の発振安定時間の設定	120
5.3.4	スタンバイモードへの遷移と端子状態	120
5.4	ウォッチモード	121
5.4.1	ウォッチモードへの遷移	121
5.4.2	ウォッチモードの解除	121
5.4.3	ウォッチモード解除後の発振安定時間の設定	121
5.5	サブスリープモード	122
5.5.1	サブスリープモードへの遷移	122
5.5.2	サブスリープモードの解除	122
5.6	サブアクティブモード	123
5.6.1	サブアクティブモードへの遷移	123
5.6.2	サブアクティブモードの解除	123
5.6.3	サブアクティブモードの動作周波数について	123
5.7	アクティブ(中速)モード	124
5.7.1	アクティブ(中速)モードへの遷移	124
5.7.2	アクティブ(中速)モードの解除	124
5.7.3	アクティブ(中速)モードの動作周波数について	124
5.8	直接遷移	125
5.8.1	直接遷移の概要	125

5.8.2	直接遷移の時間.....	126
-------	--------------	-----

第6章 ROM

6.1	概要	131
6.1.1	ブロック図	131
6.2	H8/3834 の PROM モード.....	132
6.2.1	PROM モードの設定	132
6.2.2	ソケットアダプタの端子対応とメモリマップ	132
6.3	H8/3834 のプログラミング	135
6.3.1	書込み / ベリファイ	136
6.3.2	書込み時の注意.....	138
6.4	H8/3837 の PROM モード.....	139
6.4.1	PROM モードの設定	139
6.4.2	ソケットアダプタの端子対応とメモリマップ	139
6.5	H8/3837 のプログラミング	142
6.5.1	書込み / ベリファイ	143
6.5.2	書込み時の注意.....	145
6.6	書込み後の信頼性	147

第7章 RAM

7.1	概要	151
7.1.1	ブロック図	151

第8章 I/O ポート

8.1	概要	155
8.2	ポート 1.....	158
8.2.1	概要	158
8.2.2	レジスタの構成と説明.....	158
8.2.3	端子機能.....	163
8.2.4	端子状態.....	165
8.2.5	入力プルアップ MOS.....	165
8.3	ポート 2.....	166
8.3.1	概要	166
8.3.2	レジスタの構成と説明.....	166
8.3.3	端子機能.....	170

	8.3.4	端子状態.....	170
8.4	ポート 3.....		171
	8.4.1	概要.....	171
	8.4.2	レジスタの構成と説明.....	171
	8.4.3	端子機能.....	175
	8.4.4	端子状態.....	176
	8.4.5	入力プルアップ MOS.....	177
8.5	ポート 4.....		178
	8.5.1	概要.....	178
	8.5.2	レジスタの構成と説明.....	178
	8.5.3	端子機能.....	180
	8.5.4	端子状態.....	181
8.6	ポート 5.....		182
	8.6.1	概要.....	182
	8.6.2	レジスタの構成と説明.....	182
	8.6.3	端子機能.....	185
	8.6.4	端子状態.....	186
	8.6.5	入力プルアップ MOS.....	186
8.7	ポート 6.....		187
	8.7.1	概要.....	187
	8.7.2	レジスタの構成と説明.....	187
	8.7.3	端子機能.....	189
	8.7.4	端子状態.....	189
	8.7.5	入力プルアップ MOS.....	189
8.8	ポート 7.....		190
	8.8.1	概要.....	190
	8.8.2	レジスタの構成と説明.....	190
	8.8.3	端子機能.....	192
	8.8.4	端子状態.....	192
8.9	ポート 8.....		193
	8.9.1	概要.....	193
	8.9.2	レジスタの構成と説明.....	193
	8.9.3	端子機能.....	195
	8.9.4	端子状態.....	195
8.10	ポート 9.....		196
	8.10.1	概要.....	196
	8.10.2	レジスタの構成と説明.....	196
	8.10.3	端子機能.....	198

	8.10.4	端子状態.....	199
8.11	ポート A.....		200
	8.11.1	概要.....	200
	8.11.2	レジスタの構成と説明.....	200
	8.11.3	端子機能.....	202
	8.11.4	端子状態.....	203
8.12	ポート B.....		204
	8.12.1	概要.....	204
	8.12.2	レジスタの構成と説明.....	204
8.13	ポート C.....		205
	8.13.1	概要.....	205
	8.13.2	レジスタの構成と説明.....	205

第9章 タイマ

9.1	概要.....		209
9.2	タイマ A.....		210
	9.2.1	概要.....	210
	9.2.2	各レジスタの説明.....	212
	9.2.3	動作説明.....	214
	9.2.4	タイマ A の動作モード.....	215
9.3	タイマ B.....		216
	9.3.1	概要.....	216
	9.3.2	各レジスタの説明.....	217
	9.3.3	動作説明.....	220
	9.3.4	タイマ B の動作モード.....	221
9.4	タイマ C.....		222
	9.4.1	概要.....	222
	9.4.2	各レジスタの説明.....	224
	9.4.3	動作説明.....	227
	9.4.4	タイマ C の動作モード.....	228
9.5	タイマ F.....		229
	9.5.1	概要.....	229
	9.5.2	各レジスタの説明.....	232
	9.5.3	CPU とのインタフェース.....	239
	9.5.4	動作説明.....	241
	9.5.5	使用上の注意事項.....	244

9.6	タイマ G	246
9.6.1	概要	246
9.6.2	各レジスタの説明	248
9.6.3	ノイズ除去回路	252
9.6.4	動作説明	253
9.6.5	使用上の注意事項	258
9.6.6	タイマ G の使用例	262

第 10 章 シリアルコミュニケーションインタフェース

10.1	概要	265
10.2	SCI1	266
10.2.1	概要	266
10.2.2	各レジスタの説明	268
10.2.3	動作説明	272
10.2.4	割込み要因	274
10.2.5	使用上の注意事項	274
10.3	SCI2	275
10.3.1	概要	275
10.3.2	各レジスタの説明	278
10.3.3	動作説明	283
10.3.4	割込み要因	290
10.3.5	使用上の注意事項	290
10.4	SCI3	291
10.4.1	概要	291
10.4.2	各レジスタの説明	294
10.4.3	動作概要	311
10.4.4	調歩同期式モード時の動作説明	315
10.4.5	クロック同期式モード時の動作説明	324
10.4.6	マルチプロセッサ通信機能	331
10.4.7	割込み要因	336
10.4.8	使用上の注意事項	337

第 11 章 14 ビット PWM

11.1	概要	345
11.1.1	特長	345
11.1.2	ブロック図	345

11.1.3	端子構成.....	346
11.1.4	レジスタ構成.....	346
11.2	各レジスタの説明.....	347
11.2.1	PWM コントロールレジスタ (PWCR)	347
11.2.2	PWM データレジスタ U、L (PWDRU、PWDRL)	348
11.3	動作説明.....	349

第 12 章 A/D 変換器

12.1	概要.....	353
12.1.1	特長.....	353
12.1.2	ブロック図.....	354
12.1.3	端子構成.....	355
12.1.4	レジスタ構成.....	355
12.2	各レジスタの説明.....	356
12.2.1	A/D リザルトレジスタ (ADRR)	356
12.2.2	A/D モードレジスタ (AMR)	356
12.2.3	A/D スタートレジスタ (ADSR)	358
12.3	動作説明.....	359
12.3.1	A/D 変換動作.....	359
12.3.2	外部トリガによる A/D 変換器の起動.....	359
12.4	割込み要因.....	360
12.5	使用例.....	361
12.6	使用上の注意.....	365

第 13 章 LCD コントローラ / ドライバ

13.1	概要.....	369
13.1.1	特長.....	369
13.1.2	ブロック図.....	370
13.1.3	端子構成.....	371
13.1.4	レジスタ構成.....	371
13.2	各レジスタの説明.....	372
13.2.1	LCD ポートコントロールレジスタ (LPCR)	372
13.2.2	LCD コントロールレジスタ (LCR)	374
13.3	動作説明.....	376
13.3.1	LCD 表示までのセッティング.....	376
13.3.2	LCD RAM と表示の関係.....	377

13.3.3	HD66100 との接続.....	377
13.3.4	低消費電力モード時の動作.....	385
13.3.5	LCD 駆動電源の強化.....	386

第 14 章 電気的特性

14.1	H8/3832S、H8/3833S、H8/3834S、H8/3835S、H8/3836S、H8/3837S (標準仕様) 絶対最大定格 ...	389
14.2	H8/3832S、H8/3833S、H8/3834S (標準仕様) の電気的特性.....	390
	14.2.1 電源電圧と動作範囲.....	390
	14.2.2 DC 特性.....	392
	14.2.3 AC 特性.....	398
	14.2.4 A/D 変換器特性.....	400
	14.2.5 LCD 特性.....	401
14.3	H8/3835S、H8/3836S、H8/3837S (標準仕様) の電気的特性.....	402
	14.3.1 電源電圧と動作範囲.....	402
	14.3.2 DC 特性.....	404
	14.3.3 AC 特性.....	410
	14.3.4 A/D 変換器特性.....	412
	14.3.5 LCD 特性.....	413
14.4	H8/3832S、H8/3833S、H8/3834S、H8/3835S、H8/3836S、H8/3837S 広温度範囲用品 (I仕様) 絶対最大定格.....	414
14.5	H8/3832S、H8/3833S、H8/3834S 広温度範囲用品 (I仕様) の電気的特性.....	415
	14.5.1 電源電圧と動作範囲.....	415
	14.5.2 DC 特性.....	417
	14.5.3 AC 特性.....	423
	14.5.4 A/D 変換器特性.....	425
	14.5.5 LCD 特性.....	426
14.6	H8/3835S、H8/3836S、H8/3837S 広温度範囲用品 (I仕様) の電気的特性.....	427
	14.6.1 電源電圧と動作範囲.....	427
	14.6.2 DC 特性.....	429
	14.6.3 AC 特性.....	435
	14.6.4 A/D 変換器特性.....	437
	14.6.5 LCD 特性.....	438

14.7	H8/3833、H8/3834、H8/3835、H8/3836、H8/3837 (標準仕様) 絶対最大定格	439
14.8	H8/3833、H8/3834 (標準仕様) の電気的特性	440
	14.8.1 電源電圧と動作範囲	440
	14.8.2 DC 特性	442
	14.8.3 AC 特性	448
	14.8.4 A/D 変換器特性	450
	14.8.5 LCD 特性	451
14.9	H8/3835、H8/3836、H8/3837 (標準仕様) の電気的特性	452
	14.9.1 電源電圧と動作範囲	452
	14.9.2 DC 特性	454
	14.9.3 AC 特性	460
	14.9.4 A/D 変換器特性	462
	14.9.5 LCD 特性	463
14.10	H8/3833、H8/3834、H8/3835、H8/3836、H8/3837 広温度範囲品 (I仕様) 絶対最大定格	464
14.11	H8/3833、H8/3834 広温度範囲品 (I仕様) の電気的特性	465
	14.11.1 電源電圧と動作範囲	465
	14.11.2 DC 特性	467
	14.11.3 AC 特性	473
	14.11.4 A/D 変換器特性	475
	14.11.5 LCD 特性	476
14.12	H8/3835、H8/3836、H8/3837 広温度範囲品 (I仕様) の電気的特性	477
	14.12.1 電源電圧と動作範囲	477
	14.12.2 DC 特性	479
	14.12.3 AC 特性	485
	14.12.4 A/D 変換器特性	487
	14.12.5 LCD 特性	488
14.13	動作タイミング	489
14.14	出力負荷回路	493

付録

A.	命令	497
	A.1 命令一覧.....	497
	A.2 オペレーションコードマップ.....	507
	A.3 命令実行ステート数.....	509
B.	内部 I/O レジスタ一覧.....	515
	B.1 アドレス一覧.....	515
	B.2 機能一覧.....	518
C.	I/O ポートブロック図.....	562
	C.1 ポート 1 ブロック図.....	562
	C.2 ポート 2 ブロック図.....	567
	C.3 ポート 3 ブロック図.....	570
	C.4 ポート 4 ブロック図.....	576
	C.5 ポート 5 ブロック図.....	580
	C.6 ポート 6 ブロック図.....	581
	C.7 ポート 7 ブロック図.....	582
	C.8 ポート 8 ブロック図.....	583
	C.9 ポート 9 ブロック図.....	584
	C.10 ポート A ブロック図.....	585
	C.11 ポート B ブロック図.....	586
	C.12 ポート C ブロック図.....	587
D.	各処理状態におけるポートの状態.....	588
E.	ROM 発注手順.....	589
	E.1 ROM 書き換え品開発の流れ（発注手順）.....	589
	E.2 ROM 発注時の注意事項.....	590
F.	製品型名一覧.....	591
G.	外形寸法図.....	595

1. 概要

第1章 目次

1.1	概要.....	3
1.2	内部ブロック図.....	7
1.3	端子説明.....	8
	1.3.1 ピン配置.....	8
	1.3.2 端子機能.....	10

1.1 概要

H8/300L シリーズは、高速 H8/300L CPU を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータ（MCU：Microcomputer Unit）です。

H8/3834 シリーズは、LCD（Liquid Crystal Display）コントローラ/ドライバを内蔵した H8/300L シリーズのシングルチップマイクロコンピュータで、周辺機能として、LCD コントローラ/ドライバ、5 種類のタイマ、14 ビット PWM、3 チャネルのシリアルコミュニケーションインタフェース、A/D 変換器などを内蔵しており、LCD 表示を必要とするシステムの組み込み用マイコンに最適な構成となっています。H8/3834 シリーズには、16k バイトの ROM、1k バイトの RAM を内蔵した H8/3832S、24k バイトの ROM、1k バイトの RAM を内蔵した H8/3833(S)、32k バイトの ROM、1k バイトの RAM を内蔵した H8/3834(S)、40k バイトの ROM、2k バイトの RAM を内蔵した H8/3835(S)、48k バイトの ROM、2k バイトの RAM を内蔵した H8/3836(S)、および 60k バイトの ROM、2k バイトの RAM を内蔵した H8/3837(S)があります。

H8/3834、H8/3837 には、ユーザサイドで自由にプログラムの書込みができる PROM を内蔵した ZTAT[®]*版もあります。

H8/3834 シリーズの特長を表 1.1 に示します。

【注】 * ZTAT（Zero Turn Around Time）は（株）日立製作所の登録商標です。

表 1.1 特長

項目	仕様
CPU	高速 H8/300L CPU (1) 汎用レジスタ方式 ・ 汎用レジスタ：8 ビット×16 本 (16 ビット×8 本としても使用可能) (2) 高速演算 ・ 最高動作周波数：5MHz ・ 加減算：0.4 μ s (= 5MHz 動作時) ・ 乗除算：2.8 μ s (= 5MHz 動作時) ・ 32.768kHz サブクロックによる動作可能 (3) H8/300CPU と互換性のある命令体系 ・ 命令フォーマットは 2 バイトまたは 4 バイト長 ・ 基本演算はレジスタ-レジスタ間で実行 ・ MOV 命令によるメモリ-レジスタ間データ転送 (4) 特長ある命令 ・ 乗算命令 (8 ビット×8 ビット) ・ 除算命令 (16 ビット÷8 ビット) ・ ビットアキュムレータ命令 ・ レジスタ間接指定によりビット位置の指定が可能

1. 概要

項目	仕様
割込み	33 種類の割込み要因 <ul style="list-style-type: none"> ・外部割込み要因：13 要因 (IRQ₄ ~ IRQ₀、WKP₇ ~ WKP₀) ・内部割込み要因：20 要因
クロック発振器	2 種類のクロック発振器内蔵 <ul style="list-style-type: none"> ・システムクロック発振器：1 ~ 10MHz ・サブクロック発振器：32.768kHz
低消費電力モード	6 種類の低消費電力モード <ul style="list-style-type: none"> ・スリープモード ・スタンバイモード ・ウォッチモード ・サブスリープモード ・サブアクティブモード ・アクティブ (中速) モード
メモリ	大容量メモリ内蔵 H8/3832S ・ROM：16k バイト・RAM：1k バイト H8/3833(S) ・ROM：24k バイト・RAM：1k バイト H8/3834(S) ・ROM：32k バイト・RAM：1k バイト H8/3835(S) ・ROM：40k バイト・RAM：2k バイト H8/3836(S) ・ROM：48k バイト・RAM：2k バイト H8/3837(S) ・ROM：60k バイト・RAM：2k バイト
I/O ポート	I/O ポート 84 本 <ul style="list-style-type: none"> ・入出力端子：71 本 ・入力端子：13 本
タイマ	5 種類のタイマ内蔵 (1) タイマ A：8 ビットのタイマ <ul style="list-style-type: none"> ・システムクロック () * を分周した 8 種類の内部クロックまたは時計用クロック (_w) * を分周した 4 種類のクロックによりカウントアップ可能 (2) タイマ B：8 ビットのタイマ <ul style="list-style-type: none"> ・7 種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ可能 ・オートリロード機能可能 (3) タイマ C：8 ビットのタイマ <ul style="list-style-type: none"> ・7 種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ / ダウン可能 ・オートリロード機能可能

【注】 * 、 _w の定義は「第 4 章 クロック発振器」を参照してください。

項目	仕様
タイマ	(4) タイマ F : 16 ビットのタイマ <ul style="list-style-type: none"> ・独立した 2 本の 8 ビットタイマとして使用可能 ・4 種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ可能 ・コンペアマッチ機能によりトグル出力可能 (5) タイマ G : 8 ビットのタイマ <ul style="list-style-type: none"> ・4 種類の内部クロックによりカウントアップ可能 ・インプットキャプチャ機能内蔵 (ノイズ除去回路内蔵)
シリアル コミュニケーション インタフェース	3 チャンネルのシリアルコミュニケーションインタフェース内蔵 <ul style="list-style-type: none"> (1) SCI1 : クロック同期式 <ul style="list-style-type: none"> ・8 ビット / 16 ビットの転送データを選択可能 (2) SCI2 : 8 ビットクロック同期式 <ul style="list-style-type: none"> ・32 バイトのデータを自動的に転送可能 (3) SCI3 : 8 ビットクロック同期式 / 調歩同期式 <ul style="list-style-type: none"> ・マルチプロセッサ通信機能内蔵
14 ビット PWM	リップル低減をはかったパルス分割方式 PWM <ul style="list-style-type: none"> ・外部にローパスフィルタを接続することで 14 ビット D/A 変換器として使用可能
A/D 変換器	抵抗ラダー方式による逐次比較方式の 8 ビット A/D 変換器 <ul style="list-style-type: none"> ・12 チャンネルのアナログ入力端子 ・変換時間 : 1 チャンネル当たり 31/ または 62/
LCD コントローラ / ドライバ	最大 40 本のセグメント端子と 4 本のコモン端子を備えた LCD コントローラ / ドライバ <ul style="list-style-type: none"> ・4 種類のデューティ比 (スタティック、1/2、1/3、1/4 デューティ) を選択可能 ・セグメント外部拡張可能 ・セグメント端子は 4 本ごとに汎用ポートに切換え可能

1. 概要

項目	仕様				
製品ラインアップ	仕様	製品型名		パッケージ	ROM/RAMサイズ
		マスクROM版	ZTAT [®] 版		
		HD6433832SH		100ピンQFP (FP-100B)	ROM16kバイト
		HD6433832SF		100ピンQFP (FP-100A)	RAM1kバイト
		HD6433832SX		100ピンTQFP (TFP-100B)	
		HD6433833H		100ピンQFP (FP-100B)	ROM24kバイト
		HD6433833SH			RAM1kバイト
		HD6433833F		100ピンQFP (FP-100A)	
		HD6433833SF			
		HD6433833X		100ピンTQFP (TFP-100B)	
		HD6433833SX			
		HD6433834H	HD6473834H	100ピンQFP (FP-100B)	ROM32kバイト
		HD6433834SH			RAM1kバイト
		HD6433834F	HD6473834F	100ピンQFP (FP-100A)	
		HD6433834SF			
		HD6433834X	HD6473834X	100ピンTQFP (TFP-100B)	
		HD6433834SX			
		HD6433835H		100ピンQFP (FP-100B)	ROM40kバイト
		HD6433835SH			RAM2kバイト
		HD6433835F		100ピンQFP (FP-100A)	
		HD6433835SF			
		HD6433835X		100ピンTQFP (TFP-100B)	
		HD6433835SX			
		HD6433836H		100ピンQFP (FP-100B)	ROM48kバイト
		HD6433836SH			RAM2kバイト
		HD6433836F		100ピンQFP (FP-100A)	
		HD6433836SF			
		HD6433836X		100ピンTQFP (TFP-100B)	
		HD6433836SX			
		HD6433837H	HD6473837H	100ピンQFP (FP-100B)	ROM60kバイト
		HD6433837SH			RAM2kバイト
		HD6433837F	HD6473837F	100ピンQFP (FP-100A)	
		HD6433837SF			
		HD6433837X	HD6473837X	100ピンTQFP (TFP-100B)	
		HD6433837SX			
		HD6433832SD		100ピンQFP (FP-100B)	ROM16kバイト
		HD6433832SE		100ピンQFP (FP-100A)	RAM1kバイト
		HD6433832SL		100ピンTQFP (TFP-100B)	WTR (I仕様)
		HD6433833D		100ピンQFP (FP-100B)	ROM24kバイト
		HD6433833SD			RAM1kバイト
		HD6433833E		100ピンQFP (FP-100A)	WTR (I仕様)
		HD6433833SE			
		HD6433833L		100ピンTQFP (TFP-100B)	
		HD6433833SL			
		HD6433834D	HD6473834D	100ピンQFP (FP-100B)	ROM32kバイト
		HD6433834SD			RAM1kバイト
		HD6433834E	HD6473834E	100ピンQFP (FP-100A)	WTR (I仕様)
		HD6433834SE			
		HD6433834L		100ピンTQFP (TFP-100B)	
		HD6433834SL			
	HD6433835D		100ピンQFP (FP-100B)	ROM40kバイト	
	HD6433835SD			RAM2kバイト	
	HD6433835E		100ピンQFP (FP-100A)	WTR (I仕様)	
	HD6433835SE				
	HD6433835L		100ピンTQFP (TFP-100B)		
	HD6433835SL				
	HD6433836D		100ピンQFP (FP-100B)	ROM48kバイト	
	HD6433836SD			RAM2kバイト	
	HD6433836E		100ピンQFP (FP-100A)	WTR (I仕様)	
	HD6433836SE				
	HD6433836L		100ピンTQFP (TFP-100B)		
	HD6433836SL				
	HD6433837D	HD6473837D	100ピンQFP (FP-100B)	ROM60kバイト	
	HD6433837SD			RAM2kバイト	
	HD6433837E	HD6473837E	100ピンQFP (FP-100A)	WTR (I仕様)	
	HD6433837SE				
	HD6433837L	HD6473837L	100ピンTQFP (TFP-100B)		
	HD6433837SL				

1.2 内部ブロック図

H8/3834 シリーズの内部ブロック図を図 1.1 に示します。

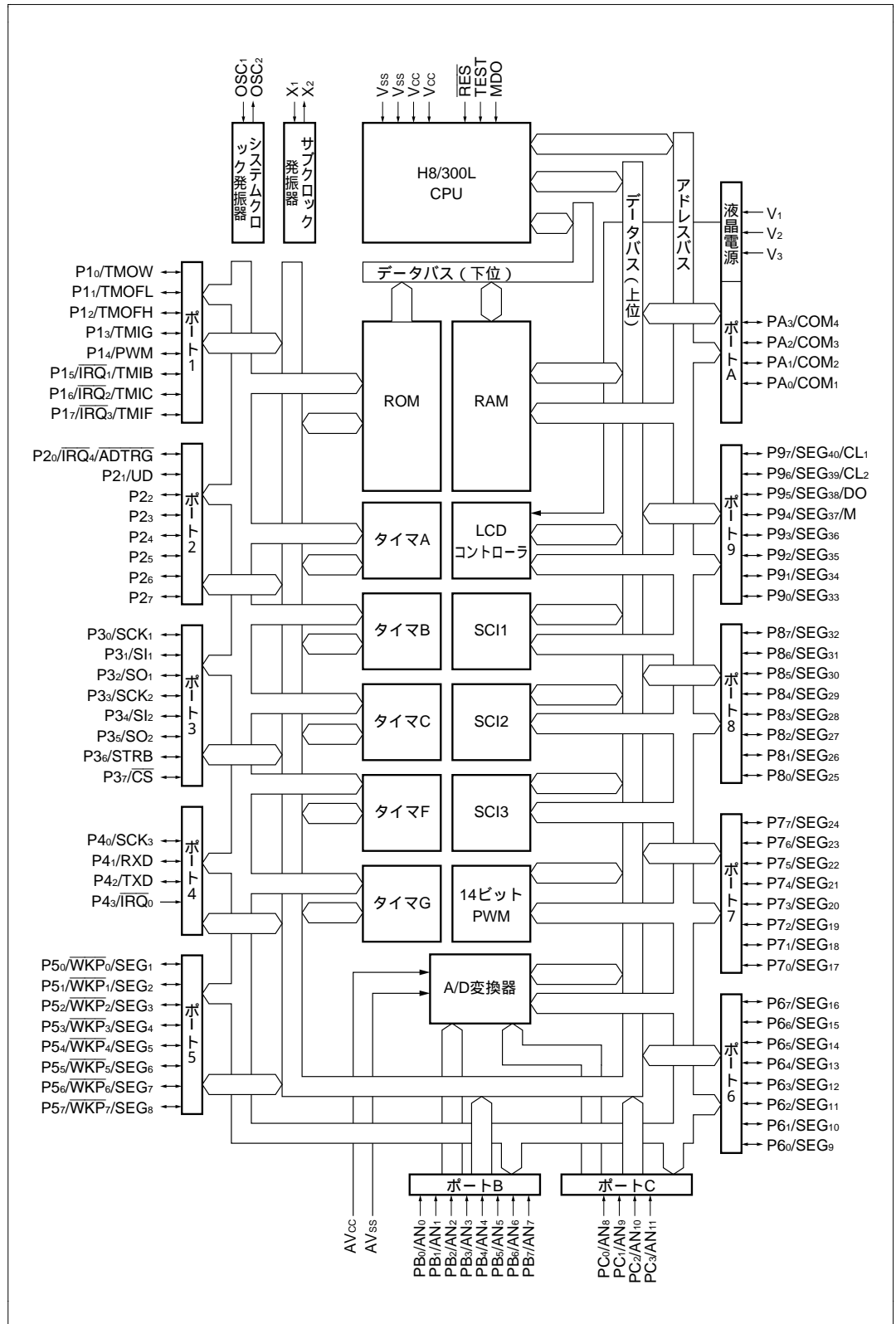


図 1.1 内部ブロック図

1.3 端子説明

1.3.1 ピン配置

H8/3834 シリーズのピン配置図を図 1.2、図 1.3 に示します。

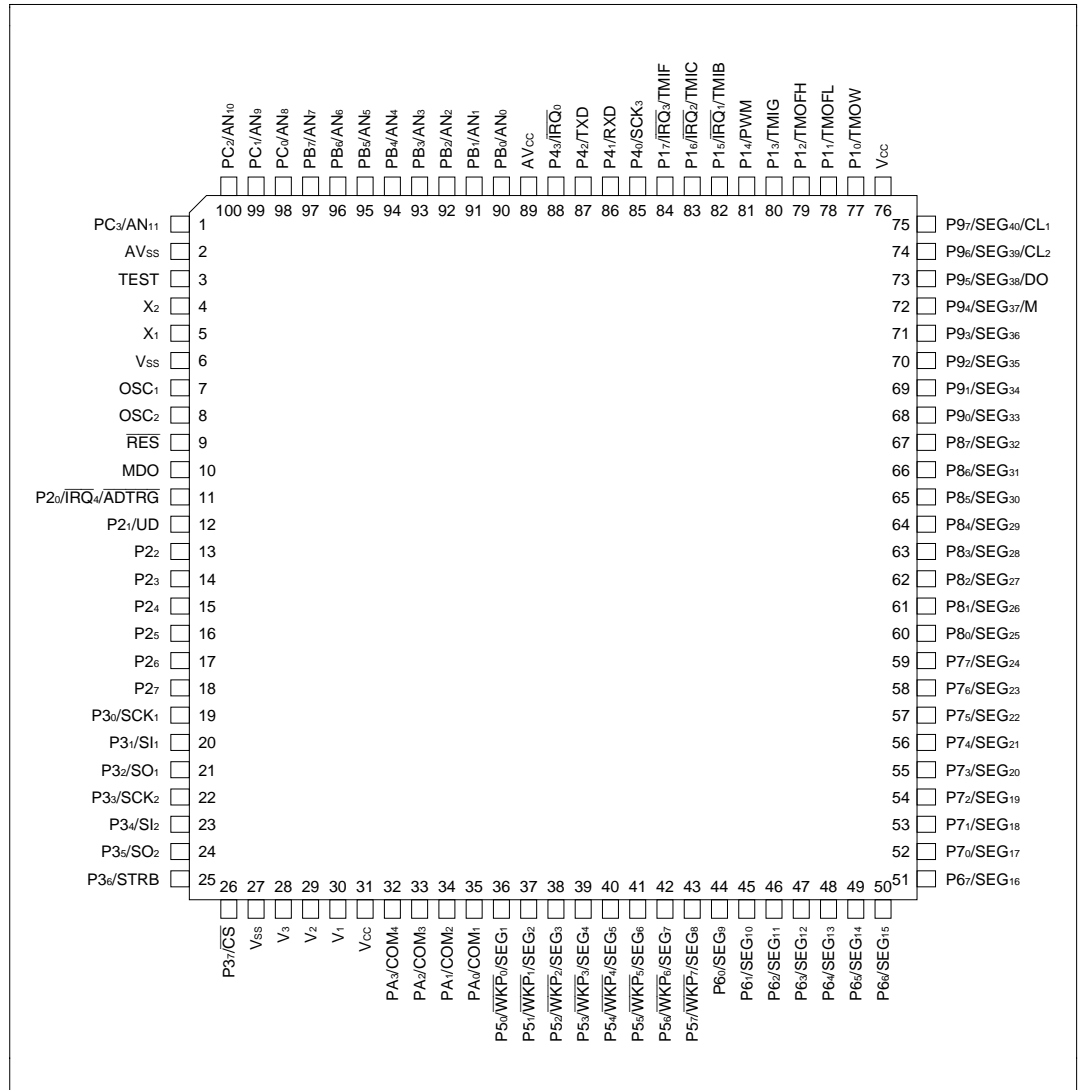


図 1.2 ピン配置図 (FP-100B、TFP-100B : 上面図)

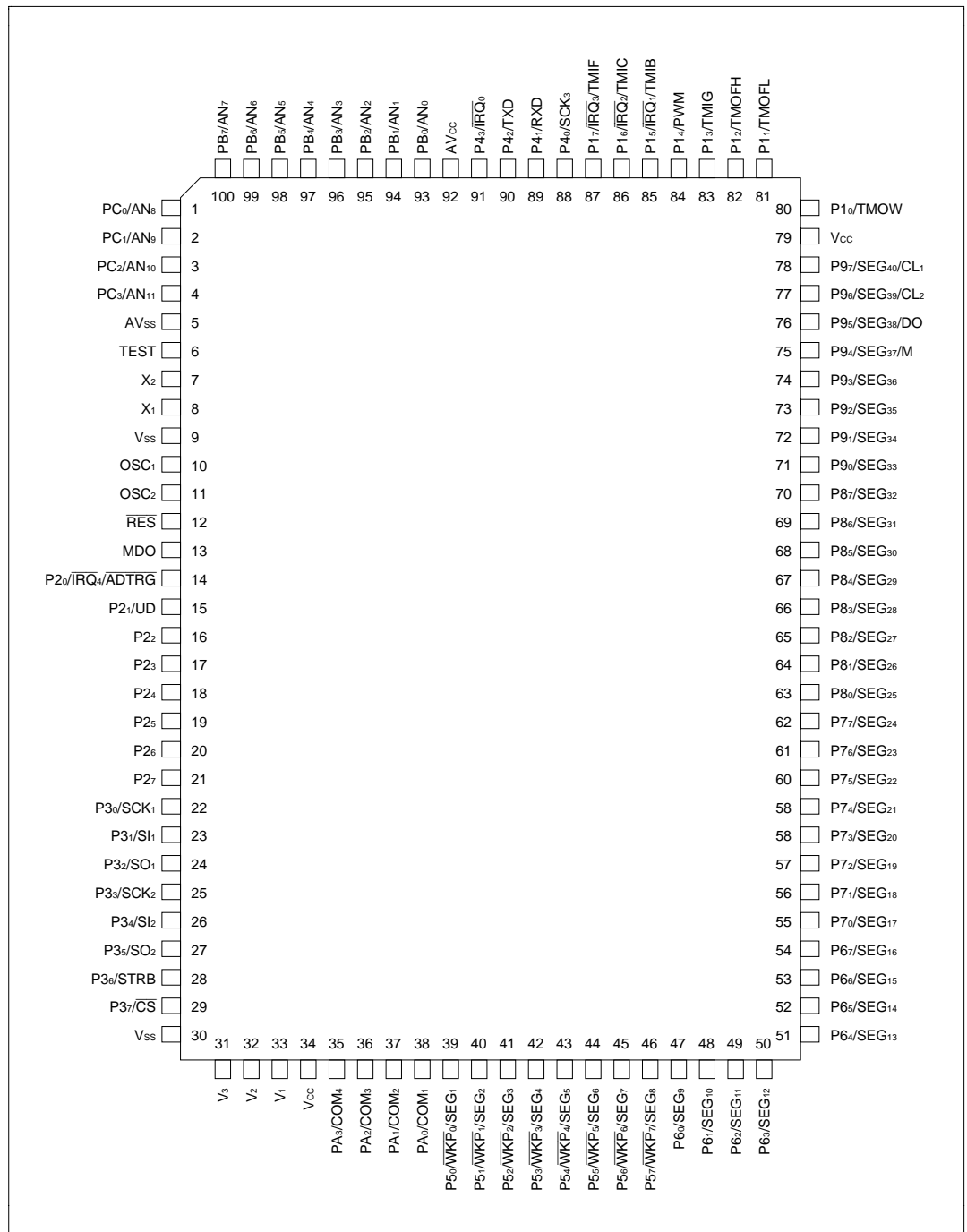


図 1.3 ピン配置図 (FP-100A : 上面図)

1.3.2 端子機能

(1) 端子機能

各端子の機能について表 1.2 に示します。

表 1.2 端子機能

分類	記号	ピン番号		入出力	機能
		FP-100B TFP-100B	FP-100A		
電源	V _{CC}	31 76	34 79	入力	電源 V _{CC} 端子は、全端子、システムの電源 (+5V) に接続してください。
	V _{SS}	6 27	9 30	入力	グラウンド V _{SS} 端子は、全端子、システムの電源 (0V) に接続してください。
	AV _{CC}	89	92	入力	アナログ電源 A/D 変換器用電源端子です。A/D 変換器を使用しない場合、システムの電源 (+5V) に接続してください。
	AV _{SS}	2	5	入力	アナロググラウンド A/D 変換器用グラウンド端子です。システムの電源 (0V) に接続してください。
	V ₁ V ₂ V ₃	30 29 28	33 32 31	入力	LCD 電源 LCD コントローラ/ドライバ用の電源端子です。電源分割抵抗が内蔵されており、通常解放で用います。電源条件は、V _{CC} V ₁ V ₂ V ₃ V _{SS} です。
クロック	OSC ₁	7	10	入力	水晶発振子またはセラミック発振子を接続します。また、外部クロックを入力することもできます。接続例については「第 4 章 クロック発振器」を参照してください。
	OSC ₂	8	11	出力	
	X ₁	5	8	入力	32.768kHz の水晶発振子を接続します。接続例については「第 4 章 クロック発振器」を参照してください。
	X ₂	4	7	出力	

分類	記号	ピン番号		入出力	機能
		FP-100B TFP-100B	FP-100A		
システム 制御	$\overline{\text{RES}}$	9	12	入力	<u>リセット</u> この端子を"Low"レベルにすると、リセット状態になります。
システム 制御	MDO	10	13	入力	<u>モード</u> リセット状態におけるシステムクロックの発振を制御する端子です。
	TEST	3	6	入力	<u>テスト端子</u> ユーザは、使用できません。 V_{SS} 電位に接地してください。
割込み	$\overline{\text{IRQ}}_0$	88	91	入力	<u>外部割込み要求 4~0</u> 立上がりエッジセンス / 立下がりエッジセンスを選択可能な外部割込み入力端子です。
	$\overline{\text{IRQ}}_1$	82	85		
	$\overline{\text{IRQ}}_2$	83	86		
	$\overline{\text{IRQ}}_3$	84	87		
	$\overline{\text{IRQ}}_4$	11	14		
	$\overline{\text{WKP}}_7 \sim$ $\overline{\text{WKP}}_0$	43~36	46~39	入力	<u>ウェイクアップ割込み要求 7~0</u> 立下がりエッジセンスの外部割込み入力端子です。
タイマ	TMOW	77	80	出力	<u>クロック出力</u> タイマ A 出力回路により生成された波形の出力端子です。
	TMIB	82	85	入力	<u>タイマ B イベント入力</u> タイマ B のカウンタに入力するイベント入力端子です。
	TMIC	83	86	入力	<u>タイマ C イベント入力</u> タイマ C のカウンタに入力するイベント入力端子です。
	UD	12	15	入力	<u>タイマ C アップ / ダウンセレクト</u> タイマ C のカウンタのアップ / ダウンカウントを選択します。"High"レベル印加でアップカウンタ、"Low"レベル印加でダウンカウンタとして動作します。
	TMIF	84	87	入力	<u>タイマ F イベント入力</u> タイマ F のカウンタに入力するイベント入力端子です。

1. 概要

分類	記号	ピン番号		入出力	機能
		FP-100B TFP-100B	FP-100A		
タイマ	TMOFL	78	81	出力	<u>タイマ FL 出力</u> タイマ FL アウトプットコンペア機能により生成された波形の出力端子です。
	TMOFH	79	82	出力	<u>タイマ FH 出力</u> タイマ FH アウトプットコンペア機能により生成された波形の出力端子です。
	TMIG	80	83	入力	<u>タイマ G キャプチャ入力</u> タイマ G のインプットキャプチャの入力端子です。
14 ビット PWM	PWM	81	84	出力	<u>14 ビット PWM 出力</u> 14 ビット PWM により生成された波形の出力端子です。
I/O ポート	PB ₇ ~ PB ₀	97 ~ 90	100 ~ 93	入力	<u>ポート B</u> 8 ビットの入力端子です。
	PC ₃ ~ PC ₀	1,100 ~ 98	4 ~ 1	入力	<u>ポート C</u> 4 ビットの入力端子です。
	P4 ₃	88	91	入力	<u>ポート 4 (ビット 3)</u> 1 ビットの入力端子です。
	P4 ₂ ~ P4 ₀	87 ~ 85	90 ~ 88	入出力	<u>ポート 4 (ビット 2 ~ ビット 0)</u> 3 ビットの入出力端子です。ポートコントロールレジスタ 4 (PCR4) によって、1 ビットごとに入出力を指定できます。
	PA ₃ ~ PA ₀	32 ~ 35	35 ~ 38	入出力	<u>ポート A</u> 4 ビットの入出力端子です。ポートコントロールレジスタ A (PCRA) によって、1 ビットごとに入出力を指定できます。
	P1 ₇ ~ P1 ₀	84 ~ 77	87 ~ 80	入出力	<u>ポート 1</u> 8 ビットの入出力端子です。ポートコントロールレジスタ 1 (PCR1) によって、1 ビットごとに入出力を指定できます。
	P2 ₇ ~ P2 ₀	18 ~ 11	21 ~ 14	入出力	<u>ポート 2</u> 8 ビットの入出力端子です。ポートコントロールレジスタ 2 (PCR2) によって、1 ビットごとに入出力を指定できます。

分類	記号	ピン番号		入出力	機能
		FP-100B TFP-100B	FP-100A		
I/O ポート	P3 ₇ ~ P3 ₀	26 ~ 19	29 ~ 22	入出力	<u>ポート 3</u> 8 ビットの入出力端子です。ポートコントロールレジスタ 3 (PCR3) によって、1 ビットごとに入出力を指定できます。
I/O ポート	P5 ₇ ~ P5 ₀	43 ~ 36	46 ~ 39	入出力	<u>ポート 5</u> 8 ビットの入出力端子です。ポートコントロールレジスタ 5 (PCR5) によって、1 ビットごとに入出力を指定できます。
	P6 ₇ ~ P6 ₀	51 ~ 44	54 ~ 47	入出力	<u>ポート 6</u> 8 ビットの入出力端子です。ポートコントロールレジスタ 6 (PCR6) によって、1 ビットごとに入出力を指定できます。
	P7 ₇ ~ P7 ₀	59 ~ 52	62 ~ 55	入出力	<u>ポート 7</u> 8 ビットの入出力端子です。ポートコントロールレジスタ 7 (PCR7) によって、1 ビットごとに入出力を指定できます。
	P8 ₇ ~ P8 ₀	67 ~ 60	70 ~ 63	入出力	<u>ポート 8</u> 8 ビットの入出力端子です。ポートコントロールレジスタ 8 (PCR8) によって、1 ビットごとに入出力を指定できます。
	P9 ₇ ~ P9 ₀	75 ~ 68	78 ~ 71	入出力	<u>ポート 9</u> 8 ビットの入出力端子です。ポートコントロールレジスタ 9 (PCR9) によって、1 ビットごとに入出力を指定できます。
シリアル コミュニ ケーショ ンインタ フェース (SCI)	SI ₁	20	23	入力	<u>SCI1 受信データ入力</u> SCI1 のデータ入力端子です。
	SO ₁	21	24	出力	<u>SCI1 送信データ出力</u> SCI1 のデータ出力端子です。
	SCK ₁	19	22	入出力	<u>SCI1 クロック入出力</u> SCI1 のクロック入出力端子です。
	SI ₂	23	26	入力	<u>SCI2 受信データ入力</u> SCI2 のデータ入力端子です。
	SO ₂	24	27	出力	<u>SCI2 送信データ出力</u> SCI2 のデータ出力端子です。

1. 概要

分類	記号	ピン番号		入出力	機能
		FP-100B TFP-100B	FP-100A		
シリアル コミュニ ケーショ ンインタ フェース (SCI)	SCK ₂	22	25	入出力	SCI2 クロック入出力 SCI2 のクロック入出力端子です。
	\overline{CS}	26	29	入力	SCI2 チップセレクト入力 SCI2 の転送開始を制御する端子です。
	STRB	25	28	出力	SCI2 ストローブ出力 1 バイト転送ごとにストローブパルスを出カ する端子です。
	RXD	86	89	入力	SCI3 受信データ入力 SCI3 のデータ入力端子です。
	TXD	87	90	出力	SCI3 送信データ出力 SCI3 のデータ出力端子です。
	SCK ₃	85	88	入出力	SCI3 クロック入出力 SCI3 のクロック入出力端子です。
A/D 変換器	AN ₁₁ ~ AN ₀	1、 100 ~ 90	4 ~ 1 100 ~ 93	入力	アナログ入力 (チャンネル 11 ~ チャンネル 0) A/D 変換器へのアナログデータ入力端子で す。
	\overline{ADTRG}	11	14	入力	A/D 変換器トリガ入力 A/D 変換器の外部トリガ入力端子です。
LCD コントロ ーラ/ド ライバ	COM ₄ ~ COM ₁	32 ~ 35	35 ~ 38	出力	LCD コモン出力 LCD のコモン出力端子です。
	SEG ₄₀ ~ SEG ₁	75 ~ 36	78 ~ 39	出力	LCD セグメント出力 LCD のセグメント出力端子です。
	CL ₁	75	78	出力	LCD ラッチクロック セグメント外部拡張用の表示データラッチク ロック出力端子です。
	CL ₂	74	77	出力	LCD シフトクロック セグメント外部拡張用の表示データシフトク ロック出力端子です。
	DO	73	76	出力	LCD シリアルデータ出力 セグメント外部拡張用のシリアル表示データ 出力端子です。
	M	72	75	出力	LCD 交流化信号 セグメント外部拡張用の LCD 交流化信号出力 端子です。

2. CPU

第2章 目次

2.1	概要.....	17
	2.1.1 特長.....	17
	2.1.2 アドレス空間.....	18
	2.1.3 レジスタ構成.....	18
2.2	各レジスタの説明.....	19
	2.2.1 汎用レジスタ.....	19
	2.2.2 コントロールレジスタ.....	19
	2.2.3 CPU 内部レジスタの初期値.....	21
2.3	データ構成.....	22
	2.3.1 汎用レジスタのデータ構成.....	23
	2.3.2 メモリ上でのデータ構成.....	24
2.4	アドレッシングモード.....	25
	2.4.1 アドレッシングモード.....	25
	2.4.2 実効アドレスの計算方法.....	27
2.5	命令セット.....	31
	2.5.1 データ転送命令.....	33
	2.5.2 算術演算命令.....	35
	2.5.3 論理演算命令.....	36
	2.5.4 シフト命令.....	36
	2.5.5 ビット操作命令.....	38
	2.5.6 分岐命令.....	41
	2.5.7 システム制御命令.....	43
	2.5.8 ブロック転送命令.....	45
2.6	基本動作タイミング.....	46
	2.6.1 内蔵メモリ (RAM、ROM).....	46
	2.6.2 内蔵周辺モジュール.....	47

2.7	CPUの状態	49
	2.7.1 概要.....	49
	2.7.2 プログラム実行状態	50
	2.7.3 プログラム停止状態	50
	2.7.4 例外処理状態	50
2.8	メモリマップ	51
	2.8.1 メモリマップ	51
	2.8.2 LCD RAM のアドレスリロケーション.....	58
2.9	使用上の注意事項.....	59
	2.9.1 データアクセスに関する注意事項	59
	2.9.2 ビット操作命令使用上の注意事項	61
	2.9.3 EEP MOV 命令使用上の注意事項.....	67

2.1 概要

H8/300L CPU は、8 ビット×16 本（または 16 ビット×8 本）の汎用レジスタ、ならびに高速動作に適した簡潔な命令セットを備えた高速 CPU です。

2.1.1 特長

H8/300L CPU には、次の特長があります。

汎用レジスタ方式

- ・ 8 ビット×16 本（16 ビット×8 本としても使用可能）

55 種類の基本命令

- ・ 乗除算命令
- ・ 強力なビット操作命令

8 種類のアドレッシングモード

- ・ レジスタ直接
- ・ レジスタ間接
- ・ ディスプレースメント付レジスタ間接
- ・ ポストインクリメント / プリデクリメントレジスタ間接
- ・ 絶対アドレス
- ・ イミディエイト
- ・ プログラムカウンタ相対
- ・ メモリ間接

64k バイトのアドレス空間

高速動作

- ・ 頻出命令をすべて 2~4 ステートで実行
- ・ 高速演算

8/16 ビットレジスタ間加減算	0.4 μ s*
8×8 ビット乗算	2.8 μ s*
16÷8 ビット除算	2.8 μ s*

【注】 * 数値は、 = 5MHz 時のもの

低消費電力動作

- ・ SLEEP 命令により低消費電力動作可能

2.1.2 アドレス空間

H8/300L CPUがサポートするアドレス空間は、プログラムコードとデータ領域合計で最大64kバイトです。

メモリマップの詳細は「2.8 メモリマップ」を参照してください。

2.1.3 レジスタ構成

H8/300L CPUの内部レジスタ構成を図2.1に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの2つに分類することができます。

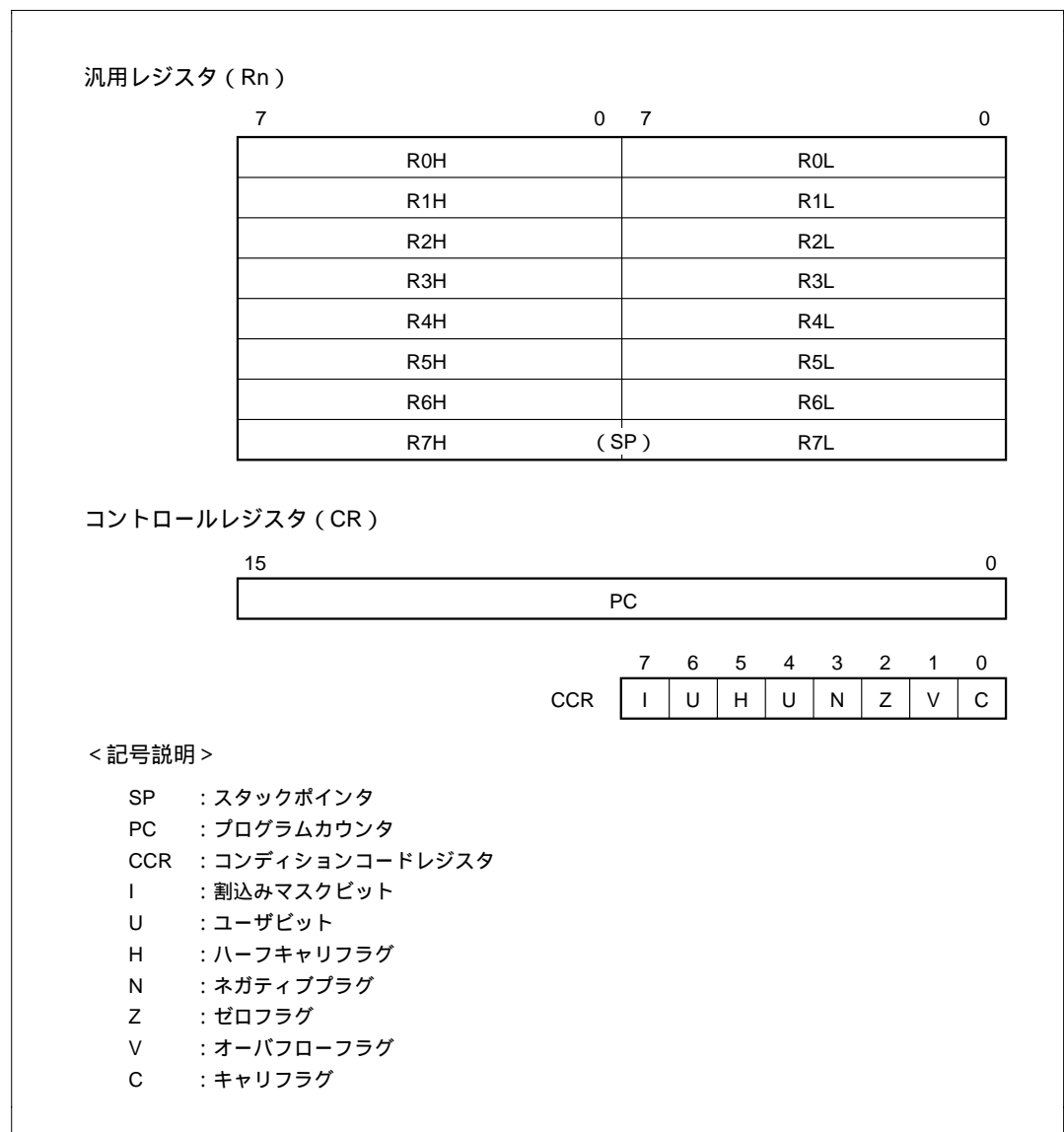


図 2.1 CPU 内部レジスタ構成

2.2 各レジスタの説明

2.2.1 汎用レジスタ

汎用レジスタは、すべて同じ機能をもっており、データレジスタ、アドレスレジスタの区別なく使用できます。

データレジスタとして使用する場合は、8ビットレジスタとして上位 (R7H~R0H) と下位 (R7L~R0L) を別々に使用することも、また 16ビットレジスタ (R7~R0) として使用することもできます。

アドレスレジスタとして使用する場合は、16ビットレジスタ (R7~R0) として使用します。

レジスタ R7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチンコールなどで暗黙的に使用されます。このとき、SP は常にスタック領域の先頭を指しています。スタックの状態を図 2.2 に示します。

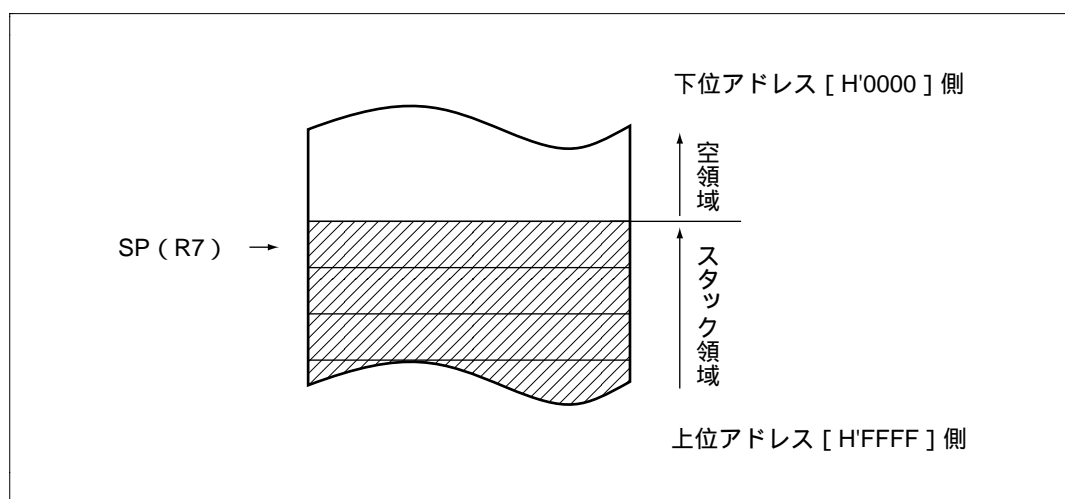


図 2.2 スタックの状態

2.2.2 コントロールレジスタ

コントロールレジスタには、16ビットのプログラムカウンタ (PC) と 8ビットのコンディションコードレジスタ (CCR) があります。

(1) プログラムカウンタ (PC)

16ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 16ビット (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは "0" とみなされます)。

(2) コンディションコードレジスタ (CCR)

8ビットのレジスタで、CPUの内部状態を示しています。割込みマスクビット(I)とハーフキャリ(H)、ネガティブ(N)、ゼロ(Z)、オーバフロー(V)、キャリ(C)の各フラグを含む8ビットで構成されています。これらのビットは、ソフトウェア(LDC、STC、ANDC、ORC、XORC命令)でリード/ライトできます。N、Z、V、Cの各フラグは、条件分岐命令(Bcc)で使用されます。

ビット7：割込みマスクビット(I)

本ビットが"1"にセットされると、割込みがマスクされます。例外処理の実行が開始されたときに"1"にセットされます。本ビットはソフトウェアによりリード/ライトできます。割込みマスクビットの詳細については「3.3 割込み」を参照してください。

ビット6：ユーザビット(U)

ユーザが自由に使用できるビットです。

ビット5：ハーフキャリフラグ(H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B命令の実行により、ビット3にキャリまたはボローが生じたとき"1"にセットされ、生じなかったとき"0"にクリアされます。DAAおよびDAS命令実行時に、暗黙的に使用されます。ADD.W、SUB.W、CMP.W命令ではビット11にキャリまたはボローが生じたとき"1"にセットされ、生じなかったとき"0"にクリアされます。

ビット4：ユーザビット(U)

ユーザが自由に使用できるビットです。

ビット3：ネガティブフラグ(N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット2：ゼロフラグ(Z)

データがゼロのとき"1"にセットされ、ゼロ以外のとき"0"にクリアされます。

ビット1：オーバフローフラグ(V)

算術演算命令の実行により、オーバフローが生じたとき"1"にセットされます。それ以外のとき"0"にクリアされます。

ビット0：キャリフラグ (C)

演算の実行により、キャリが生じたとき"1"にセットされ、生じなかったとき"0"にクリアされます。キャリには次の種類があります。

- ・加算結果のキャリ
- ・減算結果のボロー
- ・シフト/ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。

各命令ごとのフラグの変化については、「H8/300L シリーズ プログラミングマニュアル」を参照してください。

2.2.3 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタアドレス (H'0000) のロードにより初期化され、CCR の I ビットは"1"にセットされますが、汎用レジスタおよび CCR の他のビットは初期化されません。レジスタ R7 (SP) の初期値も不定です。したがって、リセット直後に、R7 の初期化を行ってください。

2.3 データ構成

H8/300L CPU は、1ビット、4ビットBCD、8ビット(バイト)、16ビット(ワード)のデータを扱うことができます。1ビットデータはビット操作命令で扱われ、オペランドデータ(バイト)の第nビット(n=0、1、2、.....7)という形式でアクセスされます。

バイトデータは、ADDS、SUBS以外の演算命令で扱われます。また、ワードデータは、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU(8ビット×8ビット)、DIVXU(16ビット÷8ビット)命令で扱われます。

なお、DAA および DAS の10進補正命令では、バイトデータは2桁の4ビットBCDデータとなります。

2.3.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図 2.3 に示します。

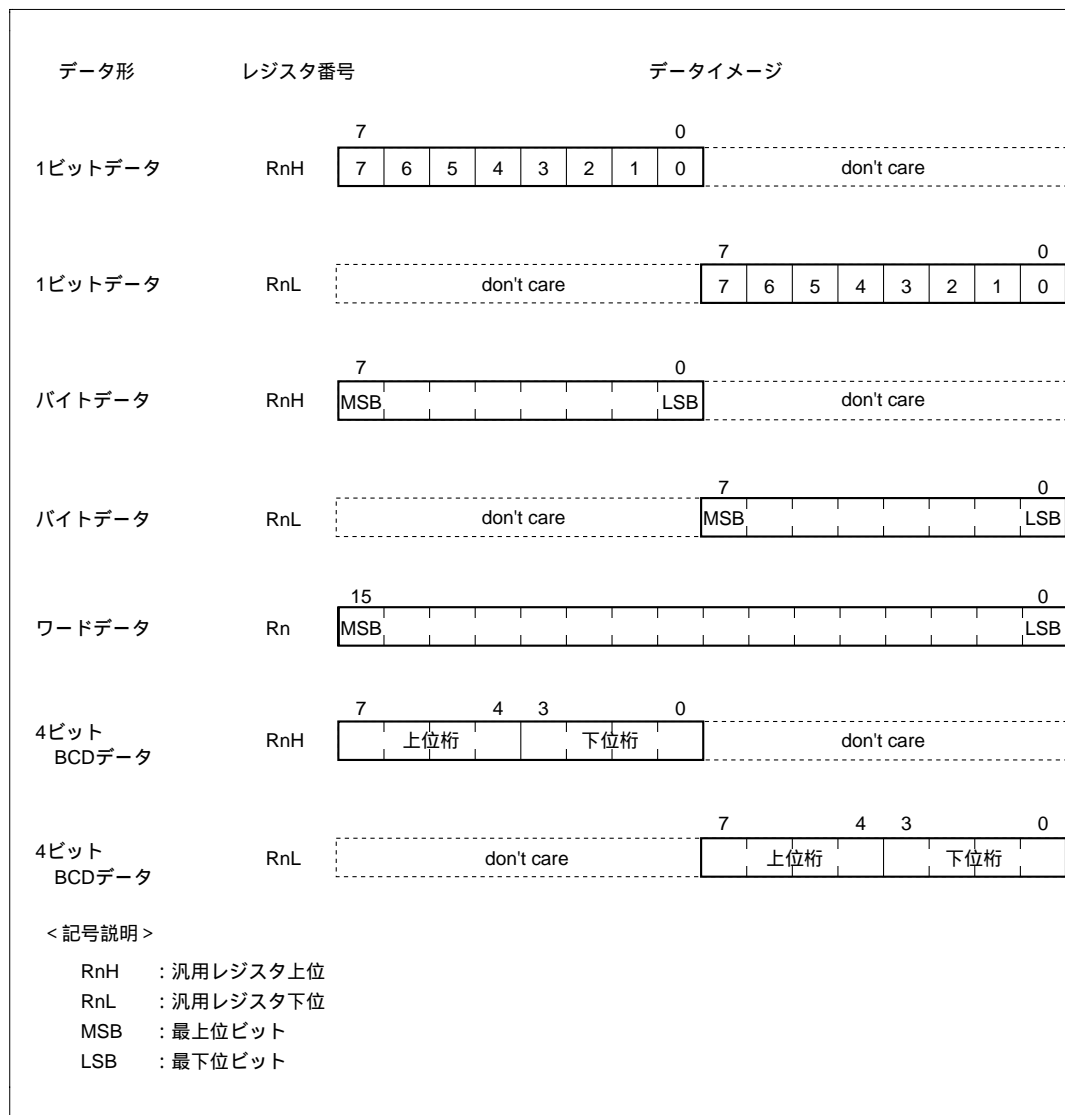


図 2.3 汎用レジスタのデータ構成

2.3.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図2.4に示します。H8/300L CPUは、メモリ上のワードデータをアクセスすることができます（MOV.W命令）が、偶数番地から始まるワードデータに限定されます。奇数番地から始まるワードデータをアクセスした場合、アドレスの最下位ビットは"0"とみなされ、1番地前から始まるワードデータをアクセスします。命令コードについても同様です。



図2.4 メモリ上でのデータ構成

なお、R7 をアドレスレジスタとして使用し、スタックをアクセスするときは、必ずワードサイズでアクセスしてください。また、CCR は、ワードデータとして上位8ビット、下位8ビットに同じ値が格納され、リターン時には、下位8ビットは無視されます。

2.4 アドレッシングモード

2.4.1 アドレッシングモード

H8/300L CPU は、表 2.1 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

表 2.1 アドレッシングモード一覧表

No.	アドレッシングモード	記号
(1)	レジスタ直接	Rn
(2)	レジスタ間接	@Rn
(3)	ディスプレースメント付レジスタ間接	@(d:16, Rn)
(4)	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@Rn+ @-Rn
(5)	絶対アドレス	@aa:8/@aa:16
(6)	イミディエイト	#xx:8/#xx:16
(7)	プログラムカウンタ相対	@(d:8, PC)
(8)	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビットまたは 16 ビット) がオペランドとなります。

16 ビットレジスタを使用する命令は、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU (8 ビット×8 ビット)、DIVXU (16 ビット÷8 ビット) の各命令です。

(2) レジスタ間接 @Rn

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容をアドレスとしてメモリ上のオペランドを指定します。

(3) ディスプレースメント付レジスタ間接 @(d:16, Rn)

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容に、命令コードの第 2 ワード (第 3、第 4 バイト) の 16 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。

本アドレッシングモードは、MOV 命令のみで使用されます。特に、MOV.W 命令では、加算結果が偶数となるようにしてください。

(4) ポストインクリメントレジスタ間接 @Rn+ / プリデクリメントレジスタ間接 @-Rn

- ・ポストインクリメントレジスタ間接 @Rn+

MOV (Load from) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容をアドレスとして、メモリ上のオペランドを指定します。その後、レジスタの内容に 1 または 2 が加算され、加算結果がレジスタに格納されます。MOV.B 命令では 1、MOV.W 命令では 2 がそれぞれ加算されます。MOV.W 命令では、レジスタの内容が偶数になるようにしてください。

- ・プリデクリメントレジスタ間接 @-Rn

MOV (Store to) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容から 1 または 2 を減算した内容をアドレスとして、メモリ上のオペランドを指定します。その後、減算結果がレジスタに格納されます。MOV.B 命令では 1、MOV.W 命令では 2 がそれぞれ減算されます。MOV.W 命令では、レジスタの内容が偶数となるようにしてください。

(5) 絶対アドレス @aa:8/@aa:16

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

このとき、絶対アドレスは 8 ビット (@aa:8) または 16 ビット (@aa:16) で、8 ビット絶対アドレスは MOV.B、ビット操作命令で、16 ビット絶対アドレスは MOV.B、MOV.W、JMP、JSR の各命令で使用されます。

8 ビット絶対アドレスの場合、上位 8 ビットはすべて "1" (H'FF) となります。したがって、アクセス範囲は 65280 ~ 65535 (H'FF00 ~ H'FFFF) 番地です。

(6) イミディエイト #xx:8/#xx:16

命令コードの第 2 バイト (#xx:8) または第 3、第 4 バイト (#xx:16) を直接オペランドとして使用します。#xx:16 は、MOV.W 命令のみで使用されます。

なお、ADDS および SUBS 命令では、イミディエイトデータ (1 または 2) が命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コードの第 2 または第 4 バイトに含まれる場合があります。

(7) プログラムカウンタ相対 @ (d:8, PC)

Bcc、BSR の各命令で使用されます。

PC の内容に、命令コードの第 2 バイトの 8 ビットディスプレースメントを加算して、分岐アドレスを生成します。加算に際して、ディスプレースメントは 16 ビットに符号拡張され、また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126 ~ +128 バイト (-63 ~ +64 ワード) です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @@aa:8

JMP および JSR 命令で使用されます。

命令コードの第 2 バイトに含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。この場合、8 ビット絶対アドレスの上位 8 ビットはすべて "0" (H'00) とされますので、分岐アドレスを格納できるのは 0 ~ 255 (H'0000 ~ H'00FF) 番地です。ただし、H8/300L シリーズでは、アドレスの下位番地はベクタ領域と共通になっていますから注意してください。ベクタ領域の詳細は「3.3 割込み」を参照してください。

分岐アドレスまたは MOV.W 命令のオペランドアドレスとして奇数アドレスを指定した場合、最下位ビットは "0" とみなされ、1 番地前から始まるワードデータをアクセスします (「2.3.2 メモリ上でのデータ構成」を参照してください)。

2.4.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス (EA: Effective Address) の計算法を表 2.2 に示します。

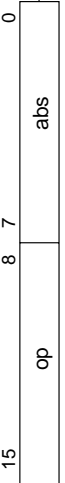
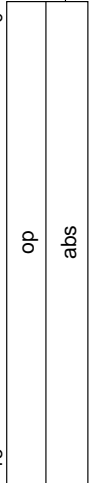
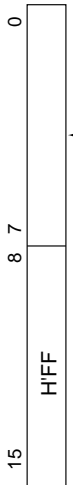
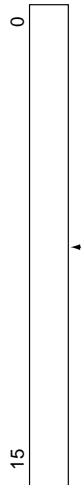
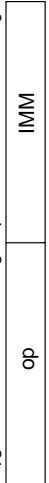
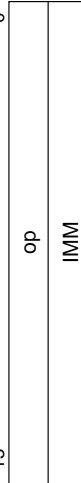
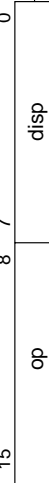


演算命令では、(1) レジスタ直接、および (6) イミディエイト (ADD.B、ADDX、SUBX、CMP.B、AND、OR、XOR の各命令) が使用されます。




転送命令では、(7) プログラムカウンタ相対と (8) メモリ間接を除くすべてのアドレッシングモードが使用可能です。

また、ビット操作命令では、オペランドの指定に (1) レジスタ直接、(2) レジスタ間接および (5) 絶対アドレス (8 ビット) が使用可能です。さらに、オペランド中のビット番号を指定するために (1) レジスタ直接 (BSET、BCLR、BNOT、BTST の各命令) および (6) イミディエイト (3 ビット) が独立して使用可能です。

表 2.2 実効アドレスの計算方法

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(1)	レジスタ間接 Rn 		<p>オペランドはrm/rmが示すレジスタの内容です。</p>
(2)	レジスタ間接 @Rn 		
(3)	ディスペンスメント付レジスタ間接 @(d:16, Rn) 		
(4)	ポストインクリメントレジスタ間接 / プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @Rn+ ・プリデクリメントレジスタ間接 @-Rn 		<p>オペランドサイズがバイトのとき1、ワードのとき2が加減算されます。</p>

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(5)	絶対アドレス @aa:8  @aa:16 		 
(6)	イミディエイト #xx:8  #xx:16 		オペランドはイミディエイトデータの1または2バイトデータです。
(7)	プログラムカウンタ相対 @ (d:8, PC) 		

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(8)	メモリ間接@aa:8 		

< 記号説明 >

- rm, m : レジスタフィールド
- op : オペレーションフィールド
- disp : ディスプレースメント
- IMM : イミディエイトデータ
- abs : 絶対アドレス

2.5 命令セット

H8/300L CPUの命令は合計 55 種類あり、各命令のもつ機能によって、表 2.3 に示すように分類されます。

表 2.3 命令の分類

機能	命令	種類
データ転送命令	MOV、POP ^{*1} 、PUSH ^{*1}	1
算術演算命令	ADD、SUB、ADDX、SUBX、INC、DEC、ADDS、SUBS、DAA、DAS、MULXU、DIVXU、CMP、NEG	14
論理演算命令	AND、OR、XOR、NOT	4
シフト命令	SHAL、SHAR、SHLL、SHLR、ROTL、ROTR、ROTXL、ROTXR	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD、BST、BIST	14
分岐命令	Bcc ^{*2} 、JMP、BSR、JSR、RTS	5
システム制御命令	RTE、SLEEP、LDC、STC、ANDC、ORC、XORC、NOP	8
ブロック転送命令	EEPMOV	1

合計 55 種

【注】 *1 POP Rn、PUSH Rn は、それぞれ MOV.W @SP+, Rn、MOV.W Rn, @-SP と同一です。
機械語についても同一です。

*2 Bcc は条件分岐命令の総称です。

各命令の機能について表 2.4 から表 2.11 に示します。各表で使用しているオペレーションの記号の意味は以下のとおりです。

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側)
Rs	汎用レジスタ (ソース側)
Rn	汎用レジスタ
(EAd)、<EAd>	デスティネーションオペランド
(EAs)、<EAs>	ソースオペランド
CCR	コンディションコードレジスタ
N	CCRのN(ネガティブ)フラグ
Z	CCRのZ(ゼロ)フラグ
V	CCRのV(オーバフロー)フラグ
C	CCRのC(キャリ)フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理(論理的補数)
:3	3ビット長
:8	8ビット長
:16	16ビット長
(), < >	オペランドの実効アドレスの内容

2.5.1 データ転送命令

データ転送命令の機能を表 2.4 に示します。

表 2.4 データ転送命令

命令	サイズ*	機能
MOV	B/W	(EAs) Rd, Rs (EAd) 汎用レジスタと汎用レジスタまたは汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。 ワードデータは Rn、@Rn、@(d:16, Rn)、@aa:16、#xx:16、@-Rn、@Rn+ の各アドレッシングモードで扱います。@aa:8 はバイトデータのみです。 ただし、@-R7、@R7+を使用する場合は必ずワードサイズを指定してください。
POP	W	@SP+ Rn スタックから汎用レジスタへデータを復帰します。 本命令は MOV.W @SP+, Rn と同一です。
PUSH	W	Rn @-SP 汎用レジスタの内容をスタックに退避します。 本命令は MOV.W Rn, @-SP と同一です。

【注】 * サイズはオペランドサイズを示します。

B: バイト

W: ワード

データアクセスに関して使用上の注意事項があります。詳細は「2.9.1 データアクセスに関する注意事項」を参照してください。

データ転送命令の命令フォーマットを図 2.5 に示します。

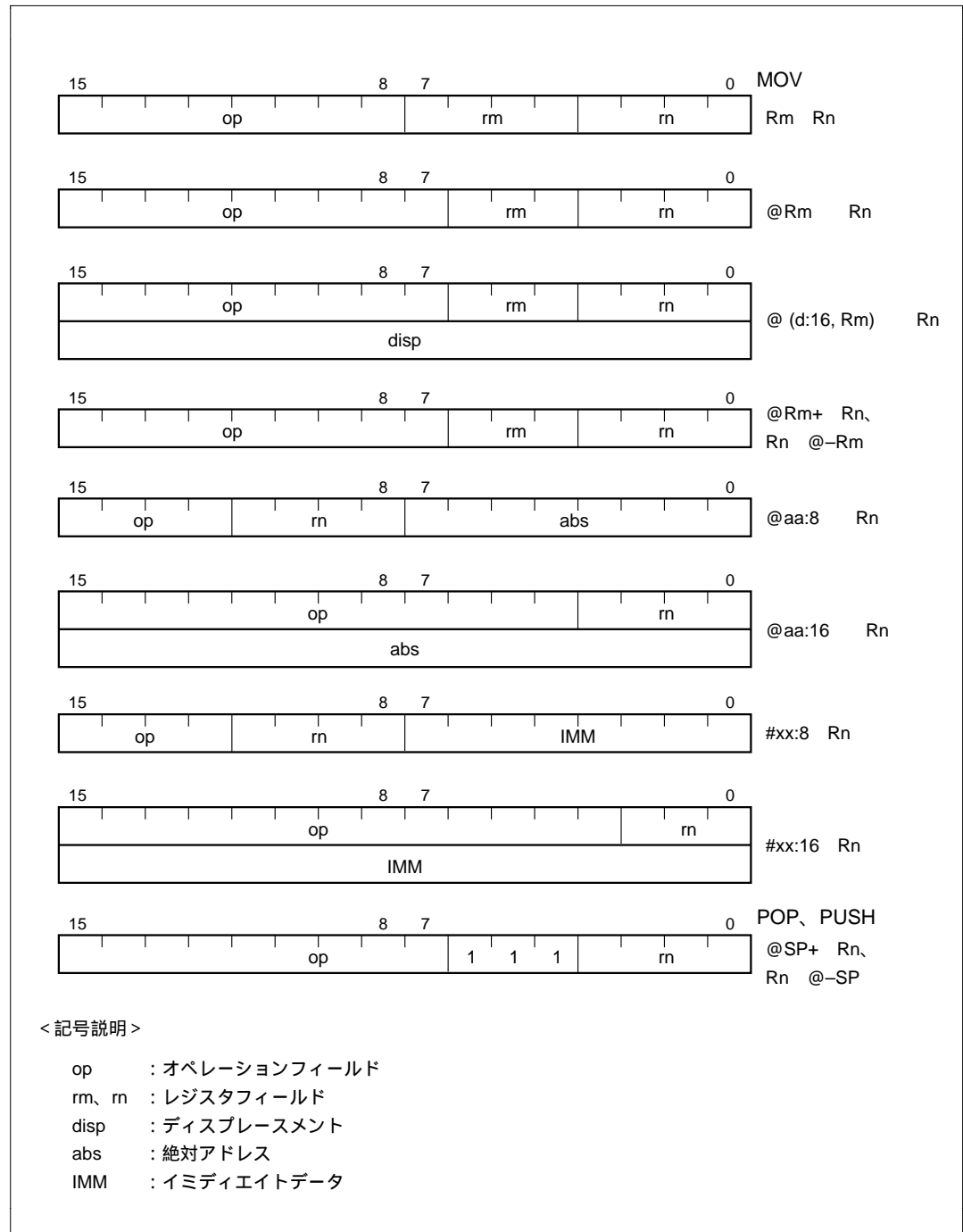


図 2.5 データ転送命令の命令フォーマット

2.5.2 算術演算命令

算術演算命令の機能を表 2.5 に示します。

表 2.5 算術演算命令

命令	サイズ*	機能
ADD SUB	B/W	$Rd \pm Rs$ $Rd, Rd + \#IMM$ Rd 汎用レジスタ間の加減算、または汎用レジスタとイミディエイトデータの加算を行います。汎用レジスタとイミディエイトデータの減算はできません。ワードデータは、汎用レジスタ間の加減算のみで扱います。
ADDX SUBX	B	$Rd \pm Rs \pm C$ $Rd, Rd \pm \#IMM \pm C$ Rd 汎用レジスタ間のキャリ付の加減算、または汎用レジスタとイミディエイトデータのキャリ付の加減算を行います。
INC DEC	B	$Rd \pm 1$ Rd 汎用レジスタに 1 を加減算します。
ADDS SUBS	W	$Rd \pm 1$ $Rd, Rd \pm 2$ Rd 汎用レジスタに 1 または 2 を加減算します。
DAA DAS	B	Rd (10 進補正) Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B	$Rd \times Rs$ Rd 汎用レジスタ間の符号なし乗算を行います。8 ビット \times 8 ビット 16 ビットの演算が可能です。
DIVXU	B	$Rd \div Rs$ Rd 汎用レジスタ間の符号なし除算を行います。16 ビット \div 8 ビット 商 8 ビット余り 8 ビットの演算が可能です。
CMP	B/W	$Rd - Rs, Rd - \#IMM$ 汎用レジスタ間の比較、または汎用レジスタとイミディエイトデータの比較を行い、その結果を CCR に反映します。ワードデータは、汎用レジスタ間の比較のみで扱います。
NEG	B	$0 - Rd$ Rd 汎用レジスタの内容の 2 の補数 (算術的補数) をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

2.5.3 論理演算命令

論理演算命令の機能を表 2.6 に示します。

表 2.6 論理演算命令

命令	サイズ*	機能
AND	B	Rd Rs Rd、Rd #IMM Rd 汎用レジスタ間の論理積、または汎用レジスタとイミディエイトデータの論理積をとります。
OR	B	Rd Rs Rd、Rd #IMM Rd 汎用レジスタ間の論理和、または汎用レジスタとイミディエイトデータの論理和をとります。
XOR	B	Rd⊕Rs Rd、Rd⊕#IMM Rd 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B	~Rd Rd 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B: バイト

2.5.4 シフト命令

シフト命令の機能を表 2.7 に示します。

表 2.7 シフト命令

命令	サイズ*	機能
SHAL SHAR	B	Rd (シフト処理) Rd 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B	Rd (シフト処理) Rd 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B	Rd (ローテート処理) Rd 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B	Rd (ローテート処理) Rd 汎用レジスタの内容を、キャリフラグを含めてローテートします。

【注】 * サイズはオペランドサイズを示します。

B: バイト

算術演算命令、論理演算命令およびシフト命令の命令フォーマットを図 2.6 に示します。

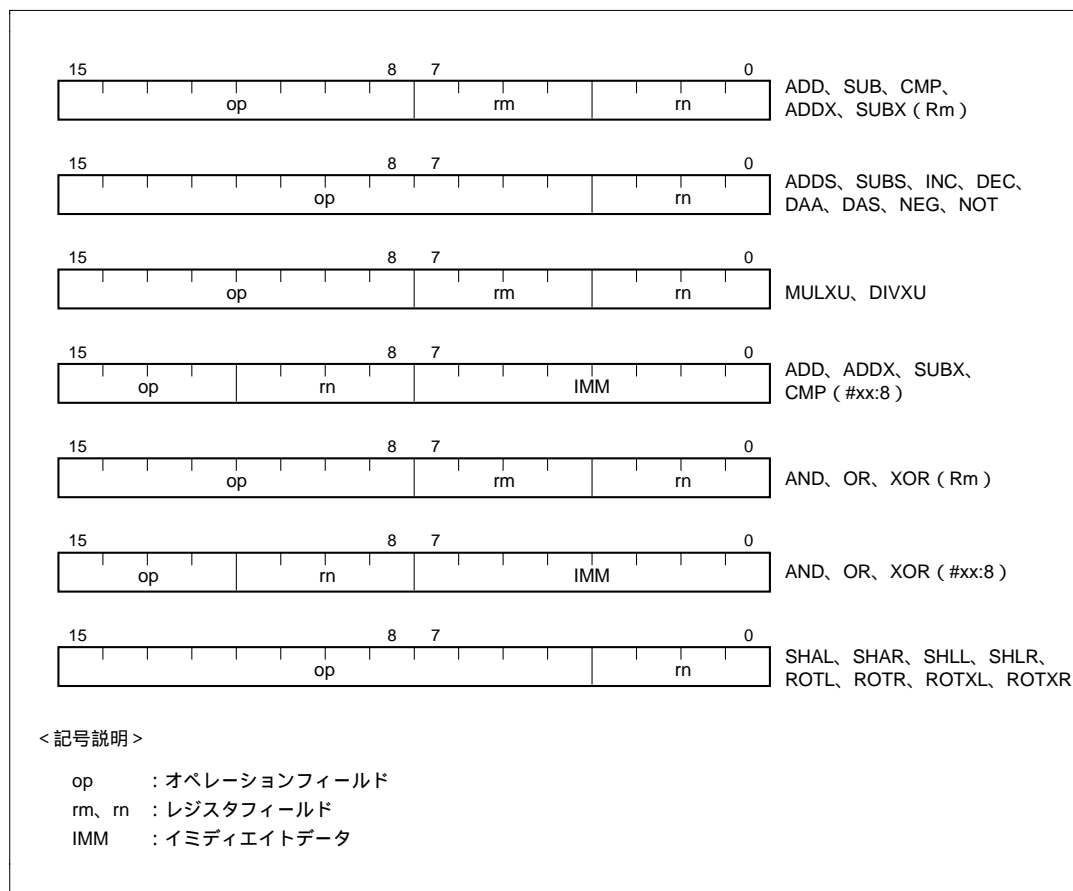


図 2.6 算術演算命令・論理演算命令・シフト命令の命令フォーマット

2.5.5 ビット操作命令

ビット操作命令の機能を表 2.8 に示します。

表 2.8 ビット操作命令

命令	サイズ*	機能
BSET	B	1 (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを"1"にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BCLR	B	0 (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを"0"にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BNOT	B	~ (<ビット番号> of <EAd>) (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~ (<ビット番号> of <EAd>) Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	C [~ (<ビット番号> of <EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
BIOR	B	C [~ (<ビット番号> of <EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。ビット番号は、3 ビットのイミディエイトデータで指定されます。

命令	サイズ*	機能
BXOR	B	$C \oplus (\text{ビット番号 of } \langle \text{EAd} \rangle)$ C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
BIXOR	B	$C \oplus [\sim (\text{ビット番号 of } \langle \text{EAd} \rangle)]$ C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BLD	B	$(\text{ビット番号 of } \langle \text{EAd} \rangle)$ C 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	$\sim (\text{ビット番号 of } \langle \text{EAd} \rangle)$ C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BST	B	C $(\text{ビット番号 of } \langle \text{EAd} \rangle)$ 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグの内容を転送します。
BIST	B	$\sim C$ $(\text{ビット番号 of } \langle \text{EAd} \rangle)$ 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B: バイト

ビット操作命令には使用上の注意事項があります。詳細は「2.9.2 ビット操作命令使用上の注意事項」を参照してください。

ビット操作命令の命令フォーマットを図 2.7 に示します。

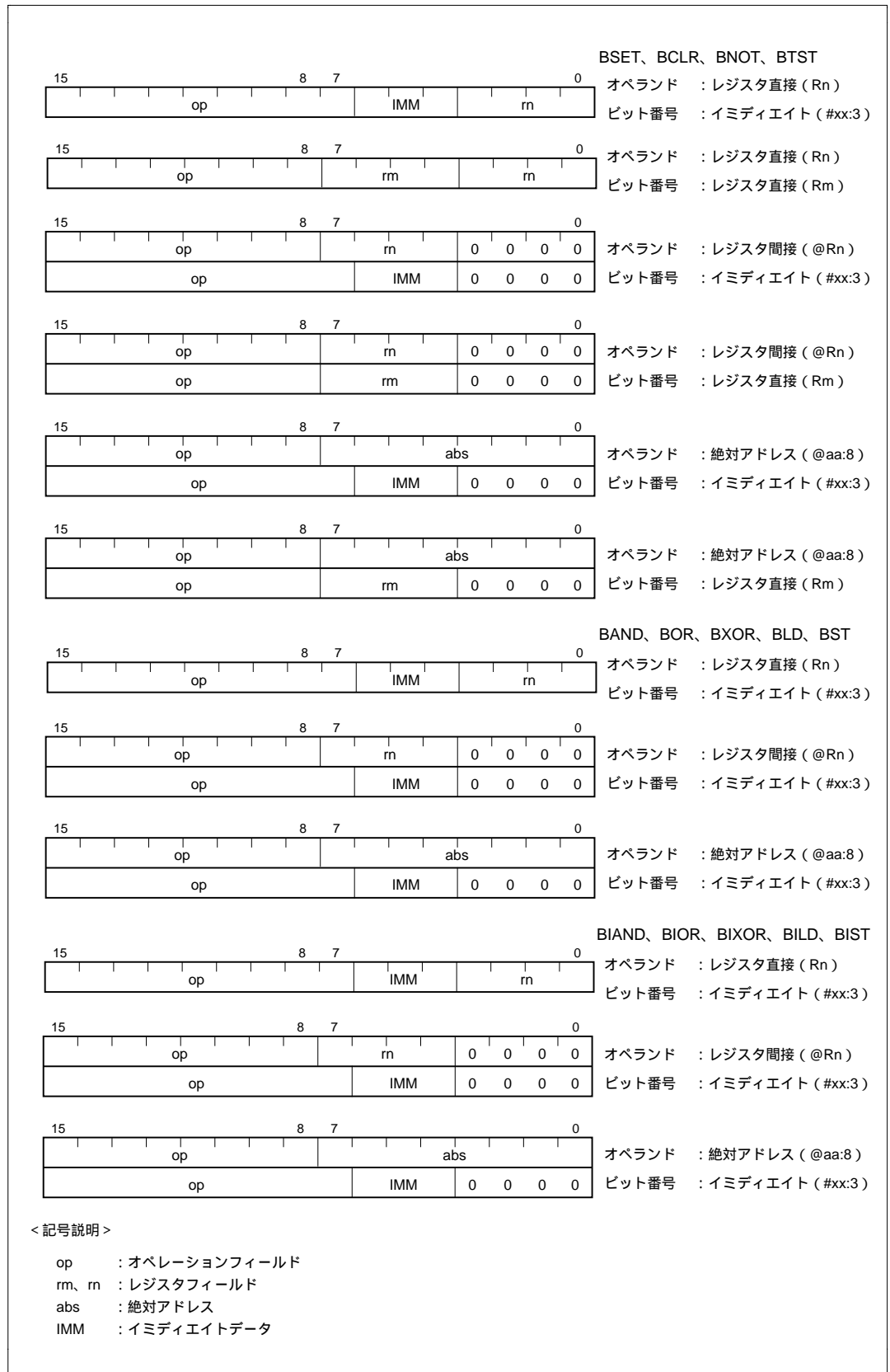


図 2.7 ビット操作命令の命令フォーマット

2.5.6 分岐命令

分岐命令の機能を表 2.9 に示します。

表 2.9 分岐命令

命令	サイズ	機能																																																			
Bcc		<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z = 0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z = 1</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>C = 0</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (Low)</td> <td>C = 1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z = 0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z = 1</td> </tr> <tr> <td>BVC</td> <td>Overflow Clear</td> <td>V = 0</td> </tr> <tr> <td>BVS</td> <td>Overflow Set</td> <td>V = 1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N = 0</td> </tr> <tr> <td>BMI</td> <td>Minus</td> <td>N = 1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V = 0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V = 1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>$Z (N \oplus V) = 0$</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>$Z (N \oplus V) = 1$</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	C Z = 0	BLS	Low or Same	C Z = 1	BCC (BHS)	Carry Clear (High or Same)	C = 0	BCS (BLO)	Carry Set (Low)	C = 1	BNE	Not Equal	Z = 0	BEQ	Equal	Z = 1	BVC	Overflow Clear	V = 0	BVS	Overflow Set	V = 1	BPL	PLus	N = 0	BMI	Minus	N = 1	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z (N \oplus V) = 0$	BLE	Less or Equal	$Z (N \oplus V) = 1$
ニーモニック	説明	分岐条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	C Z = 0																																																			
BLS	Low or Same	C Z = 1																																																			
BCC (BHS)	Carry Clear (High or Same)	C = 0																																																			
BCS (BLO)	Carry Set (Low)	C = 1																																																			
BNE	Not Equal	Z = 0																																																			
BEQ	Equal	Z = 1																																																			
BVC	Overflow Clear	V = 0																																																			
BVS	Overflow Set	V = 1																																																			
BPL	PLus	N = 0																																																			
BMI	Minus	N = 1																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$Z (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z (N \oplus V) = 1$																																																			
JMP		指定されたアドレスへ無条件に分岐します。																																																			
BSR		指定されたアドレスへサブルーチン分岐します。																																																			
JSR		指定されたアドレスへサブルーチン分岐します。																																																			
RTS		サブルーチンから復帰します。																																																			

分岐命令の命令フォーマットを図 2.8 に示します。

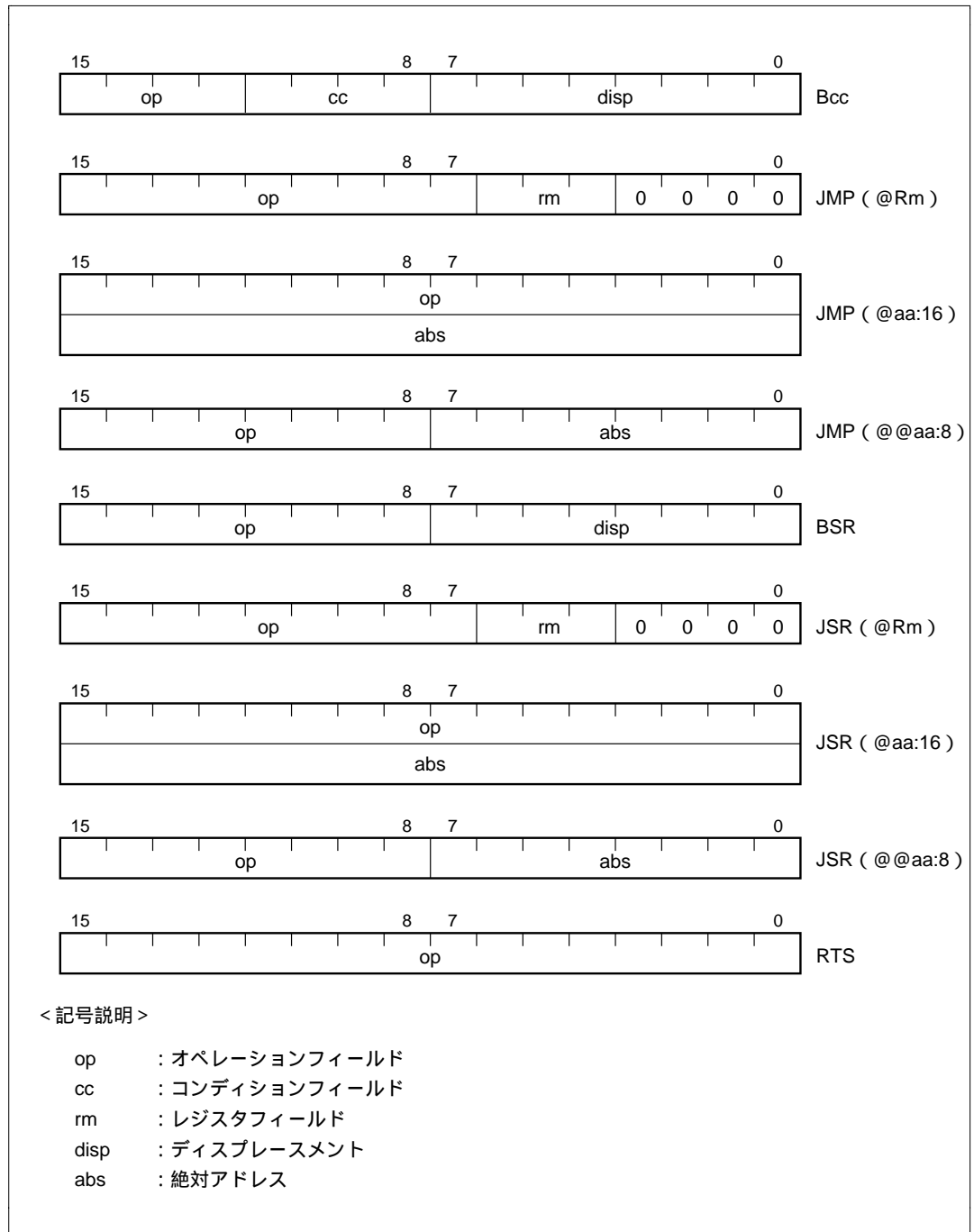


図 2.8 分岐命令の命令フォーマット

2.5.7 システム制御命令

システム制御命令の機能を表 2.10 に示します。

表 2.10 システム制御命令

命令	サイズ*	機能
RTE		割込み処理ルーチンから復帰します。
SLEEP		アクティブモードで本命令を実行すると、低消費電力モードに遷移します。 詳細は「第 5 章 低消費電力モード」を参照してください。
LDC	B	Rs CCR、#IMM CCR 汎用レジスタの内容、またはイミディエイトデータを CCR に転送します。
STC	B	CCR Rd CCR の内容を汎用レジスタに転送します。
ANDC	B	CCR #IMM CCR CCR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR CCR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM CCR CCR とイミディエイトデータの排他的論理和をとります。
NOP		PC+2 PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B：バイト

システム制御命令の命令フォーマットを図 2.9 に示します。

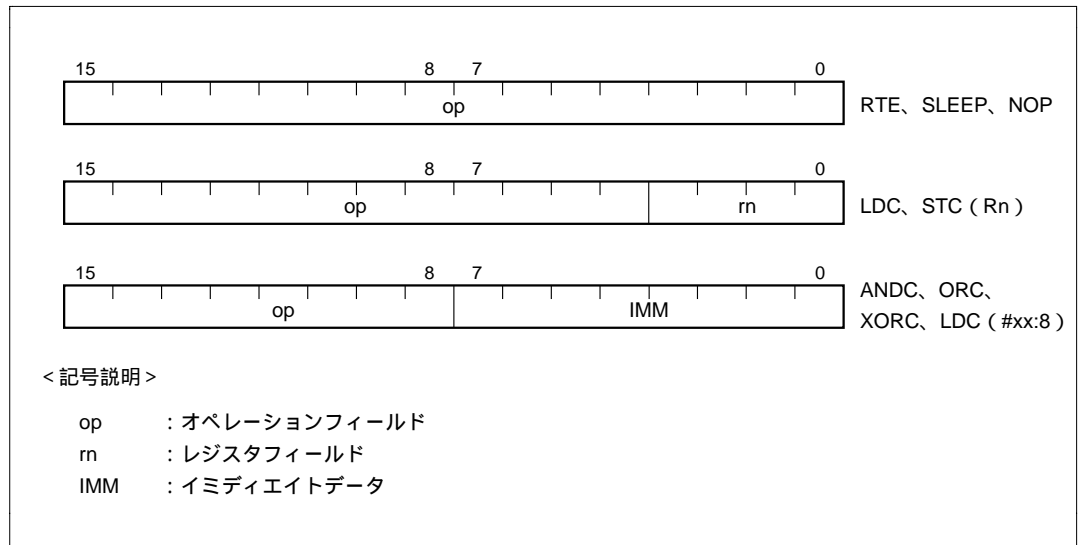


図 2.9 システム制御命令の命令フォーマット

2.5.8 ブロック転送命令

ブロック転送命令の機能を表 2.11 に示します。

表 2.11 ブロック転送命令

命令	サイズ	機能
EPMOV		<pre>if R4L 0 then Repeat @R5+ @R6+, R4L-1 R4L Until R4L=0 else next;</pre> <p>ブロック転送命令です。R5 で示されるアドレスから始まり、R4L で指定されるバイト数のデータを R6 で示されるアドレスから始まるロケーションへ転送します。転送終了後、次の命令を実行します。</p>

EPMOV 命令には、使用上の注意事項があります。詳細は「2.9.3 EPMOV 命令使用上の注意事項」を参照してください。

ブロック転送命令の命令フォーマットを図 2.10 に示します。

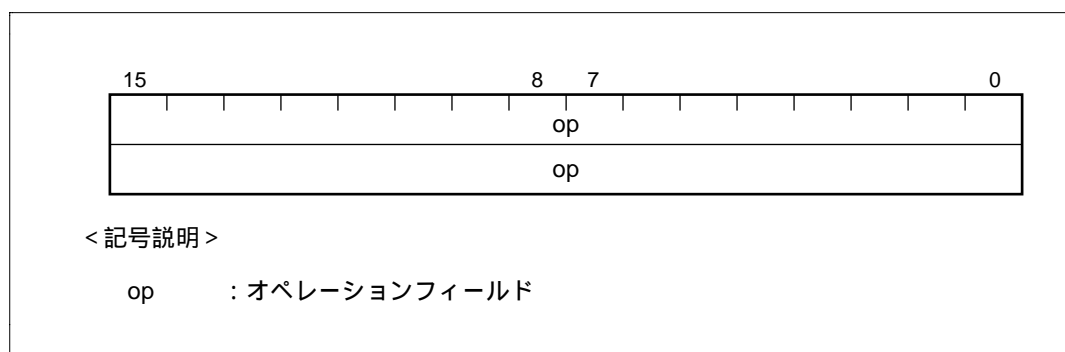


図 2.10 ブロック転送命令の命令フォーマット

2.6 基本動作タイミング

CPUは、システムクロック()またはサブクロック(SUB)を基準に動作しています。システムクロック およびサブクロック SUB の定義については「第4章 クロック発振器」を参照してください。 または SUB の立上がりから次の立上がりまでの1単位をステートと呼びます。バスサイクルは、2ステートまたは3ステートで構成され、内蔵メモリ、内蔵周辺モジュールによって異なるアクセスを行います。

2.6.1 内蔵メモリ (RAM、ROM)

内蔵メモリのアクセスは、2ステートで行われます。このとき、データバス幅は16ビットで、バイトおよびワードサイズアクセスが可能です。

内蔵メモリアクセスサイクルを図2.11に示します。

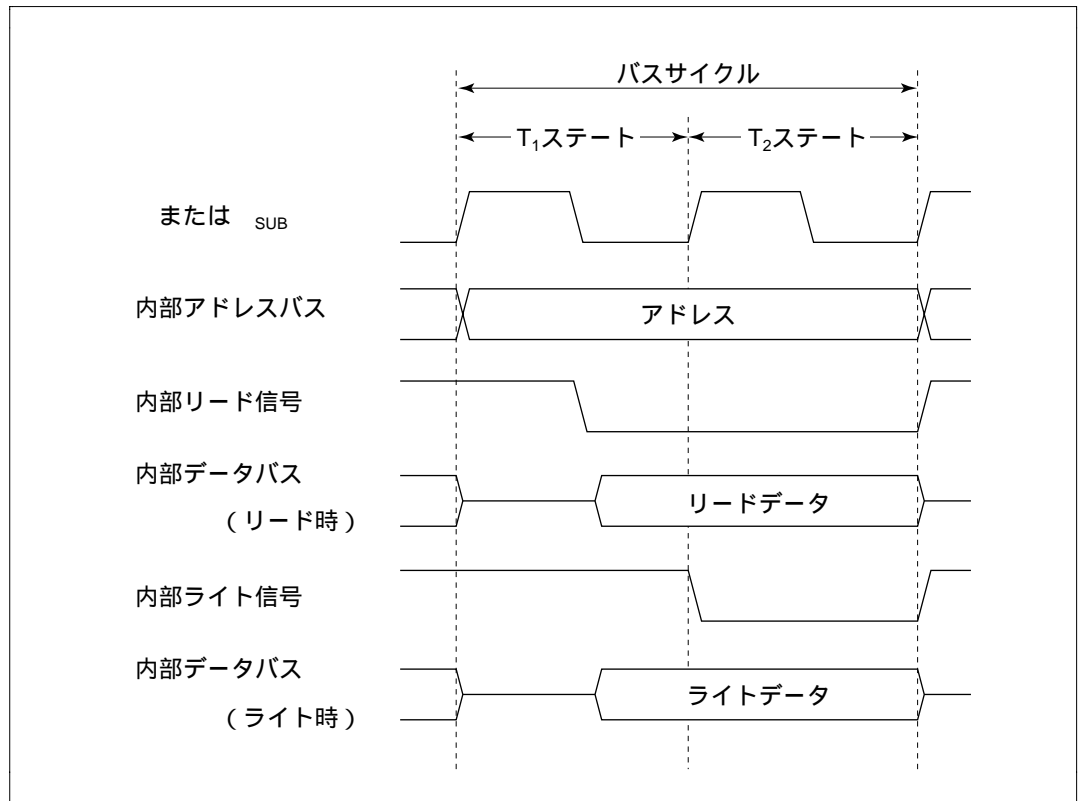


図 2.11 内蔵メモリアクセスサイクル

2.6.2 内蔵周辺モジュール

内蔵周辺モジュールのアクセスは、2ステートまたは3ステートで行われます。このとき、データバス幅は8ビットで、バイトサイズアクセスのみ可能です。したがって、ワードデータは、2命令に分けてアクセスしてください。

(1) 内蔵周辺モジュール2ステートアクセス

内蔵周辺モジュールを2ステートでアクセスした動作タイミングを図2.12に示します。

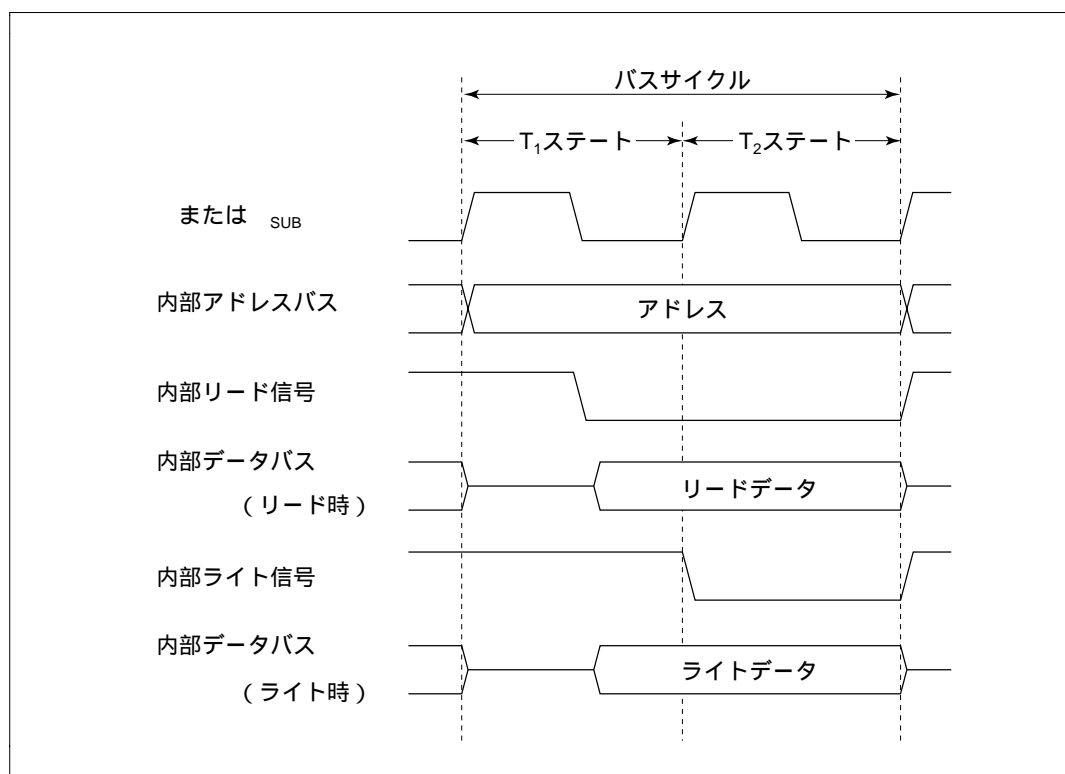


図 2.12 内蔵周辺モジュールアクセスサイクル (2ステートアクセス)

(2) 内蔵周辺モジュール 3 ステートアクセス

内蔵周辺モジュールを 3 ステートでアクセスした動作タイミングを図 2.13 に示します。

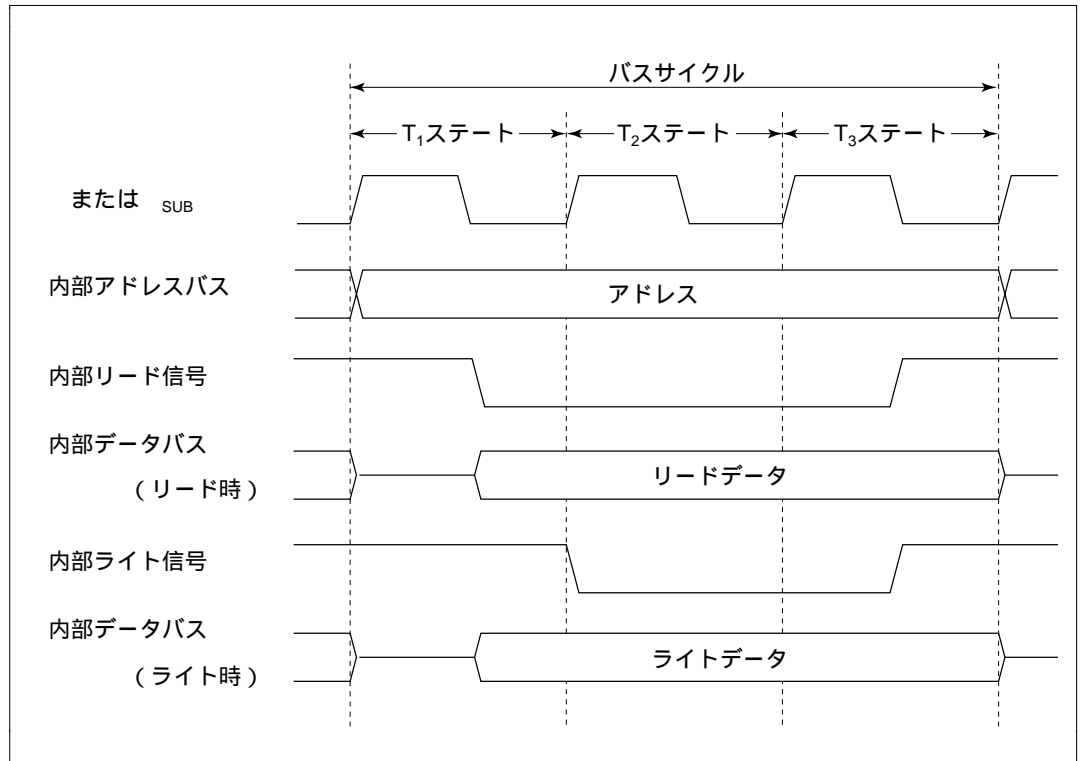


図 2.13 内蔵周辺モジュールアクセスサイクル (3 ステートアクセス)

2.7 CPUの状態

2.7.1 概要

CPUの状態には、リセット状態、プログラム実行状態、プログラム停止状態、例外処理状態の4種類があります。プログラム実行状態には、アクティブ(高速、中速)モード、サブアクティブモードがあり、プログラム停止状態には、スリープモード、スタンバイモード、ウォッチモード、およびサブスリープモードがあります。

各状態の分類を図2.14に、各状態間の遷移を図2.15に示します。

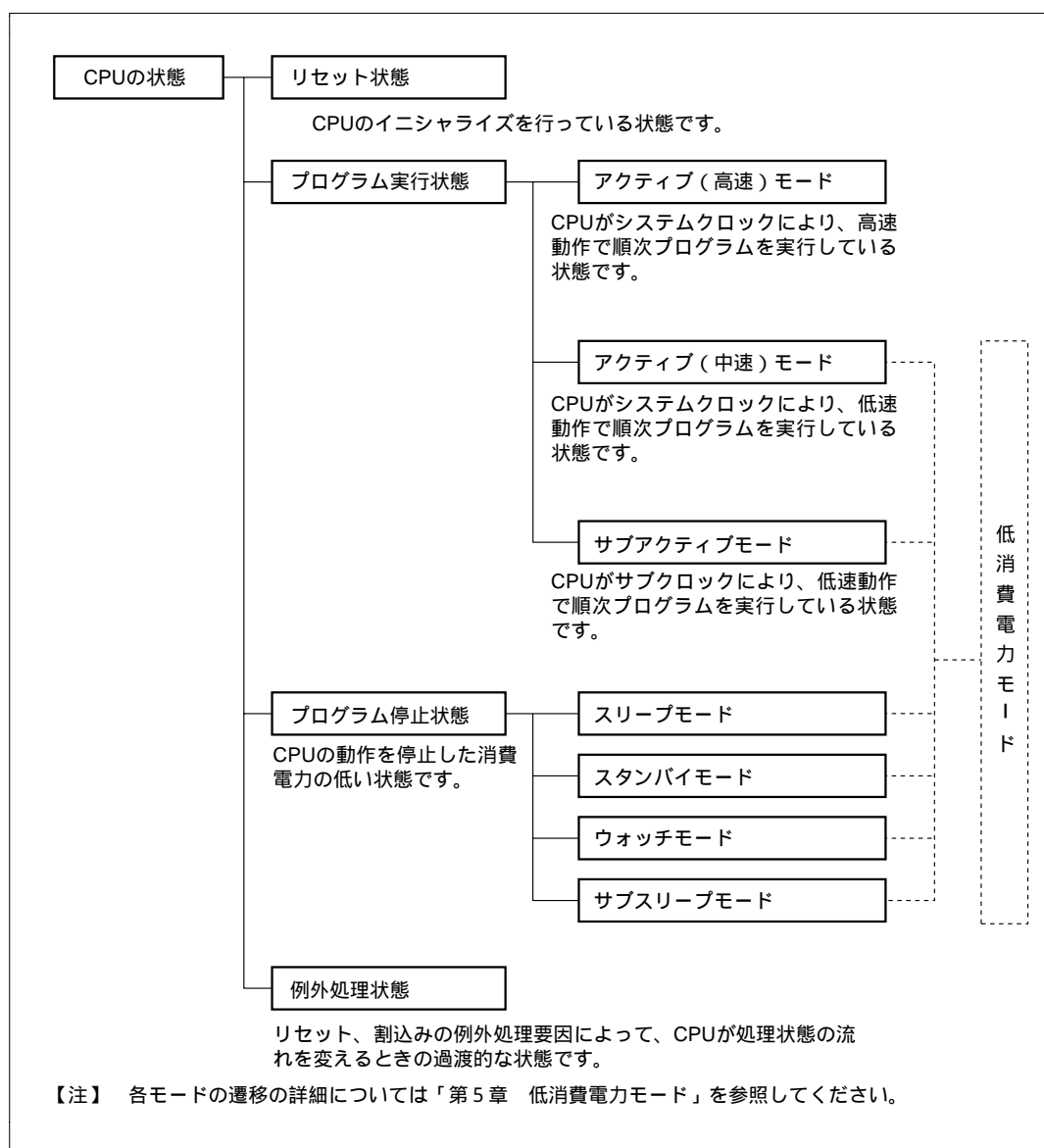


図2.14 CPUの状態の分類

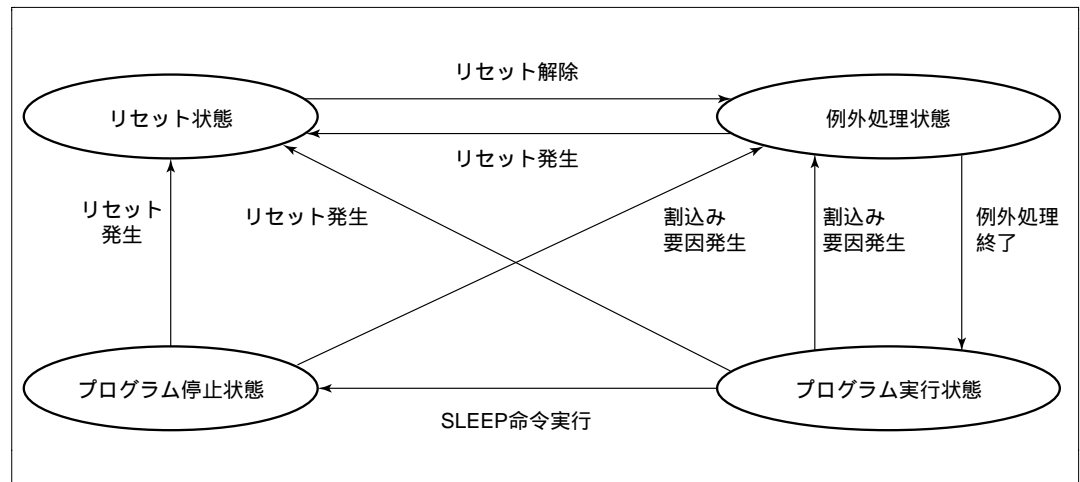


図 2.15 状態遷移図

2.7.2 プログラム実行状態

CPU がプログラムを順次実行している状態です。

CPU がプログラム実行状態には、アクティブ（高速、中速）モードとサブアクティブモードの3つのモードがあります。アクティブ（高速、中速）モードはシステムクロックで、サブアクティブモードはサブクロックで動作します。

これらのモードについての詳細は「第5章 低消費電力モード」を参照してください。

2.7.3 プログラム停止状態

プログラム停止状態には、スリープモード、スタンバイモード、ウォッチモード、およびサブスリープモードの4つのモードがあります。

これらのモードについての詳細は「第5章 低消費電力モード」を参照してください。

2.7.4 例外処理状態

リセット、割り込みの例外処理要因によって、CPU が通常の処理状態の流れを変えるときの過渡的な状態です。割り込み要因による例外処理では、SP (R7) を参照して、PC および CCR の退避を行います。

割り込み処理についての詳細は、「3.3 割り込み」を参照してください。

2.8 メモリマップ

2.8.1 メモリマップ

H8/3832 のメモリマップを図 2.16 に、H8/3833 のメモリマップを図 2.17 に、H8/3834 のメモリマップを図 2.18 に、H8/3835 のメモリマップを図 2.19 に、H8/3836 のメモリマップを図 2.20 に、H8/3837 のメモリマップを図 2.21 に示します。

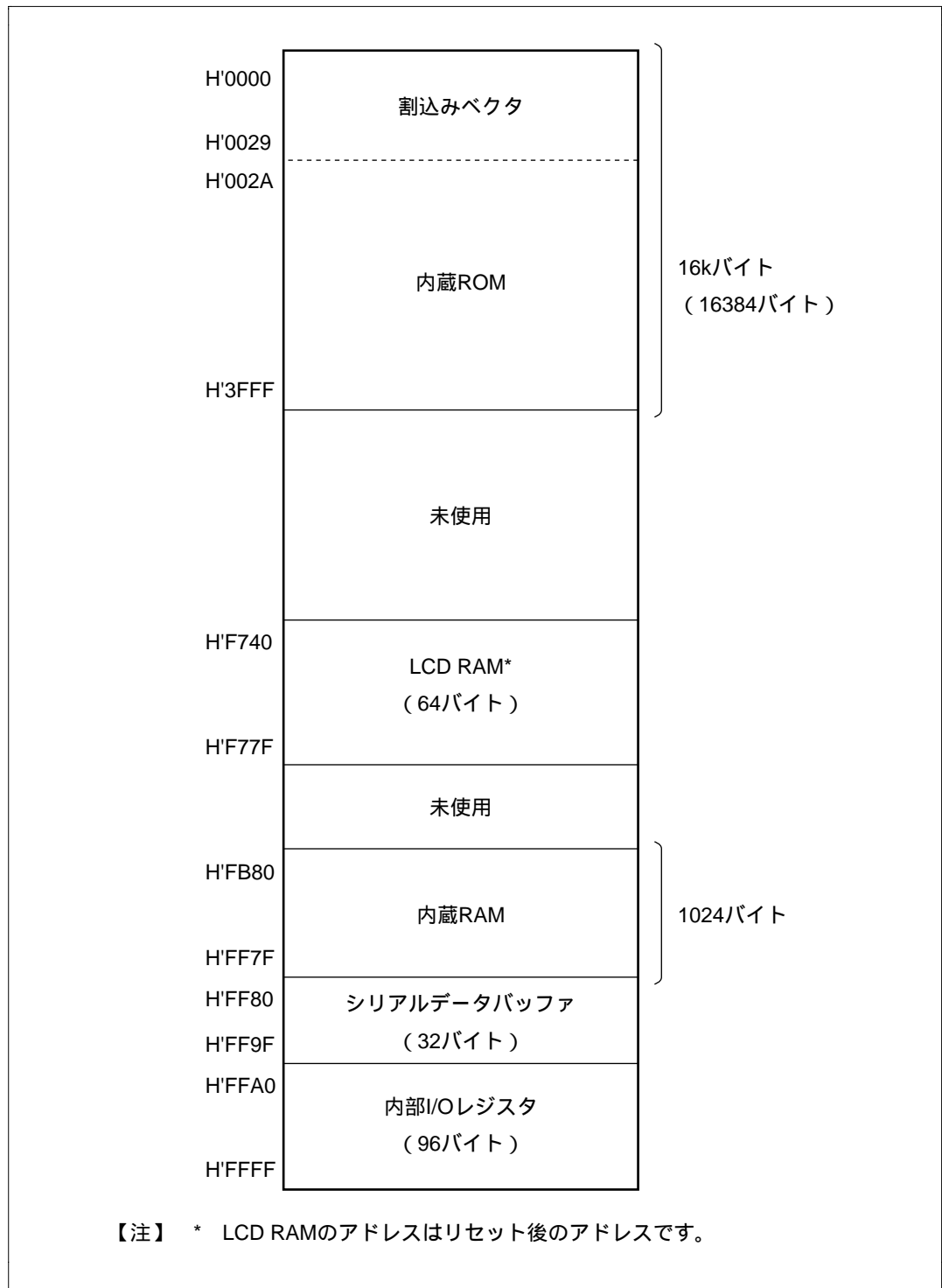


図 2.16 H8/3832 のメモリマップ

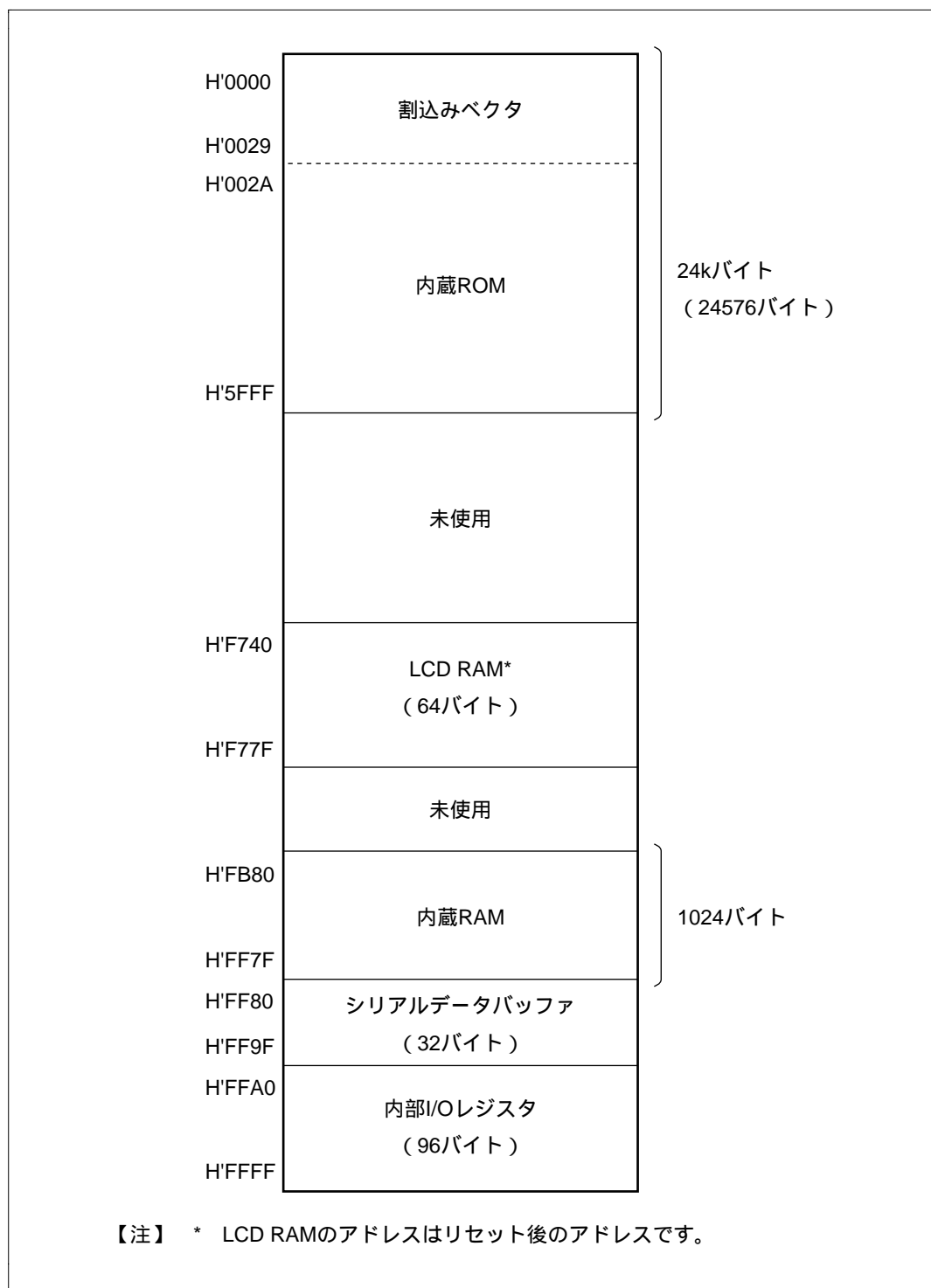


図 2.17 H8/3833 のメモリマップ

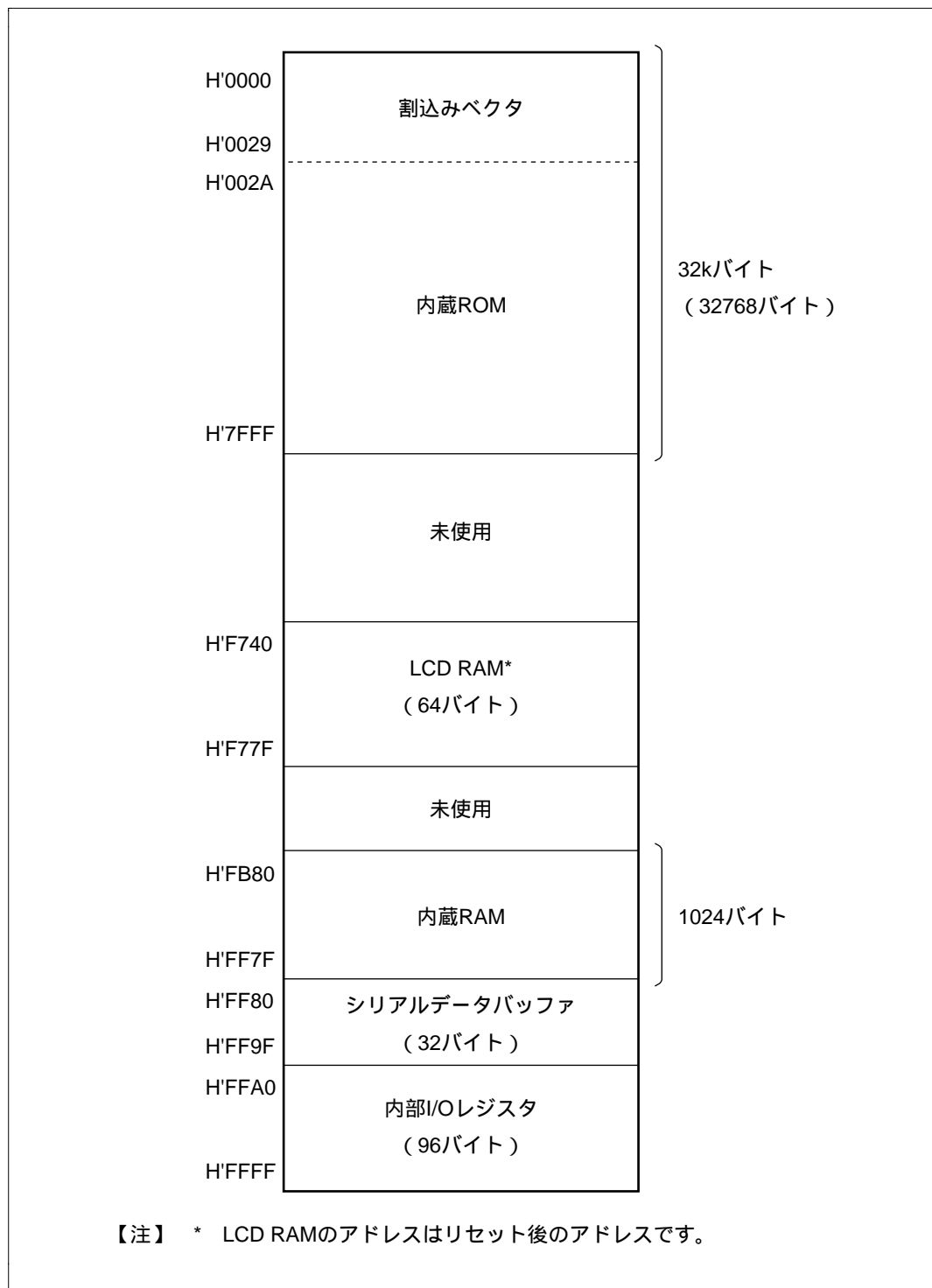


図 2.18 H8/3834 のメモリマップ

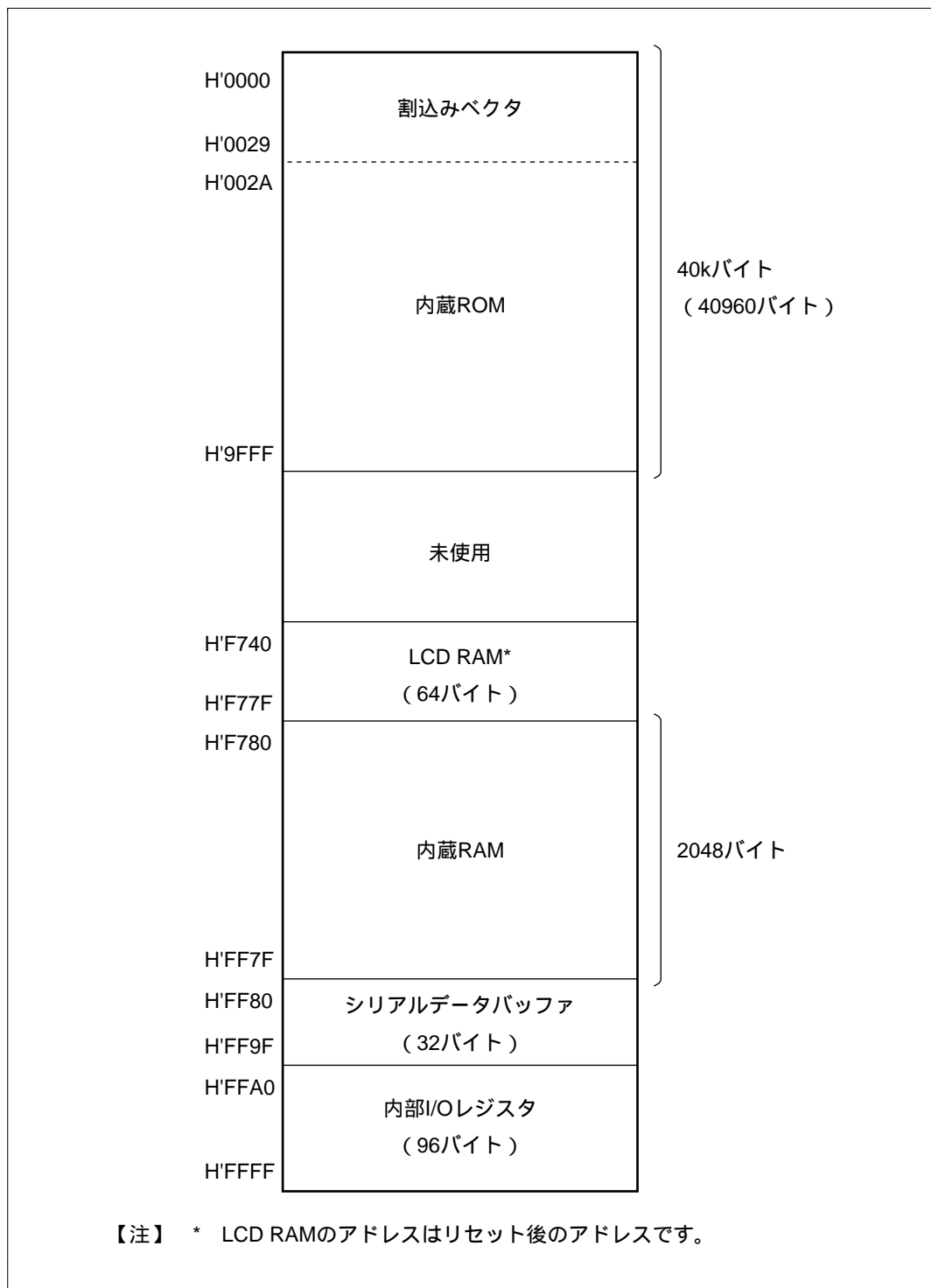


図 2.19 H8/3835 のメモリマップ

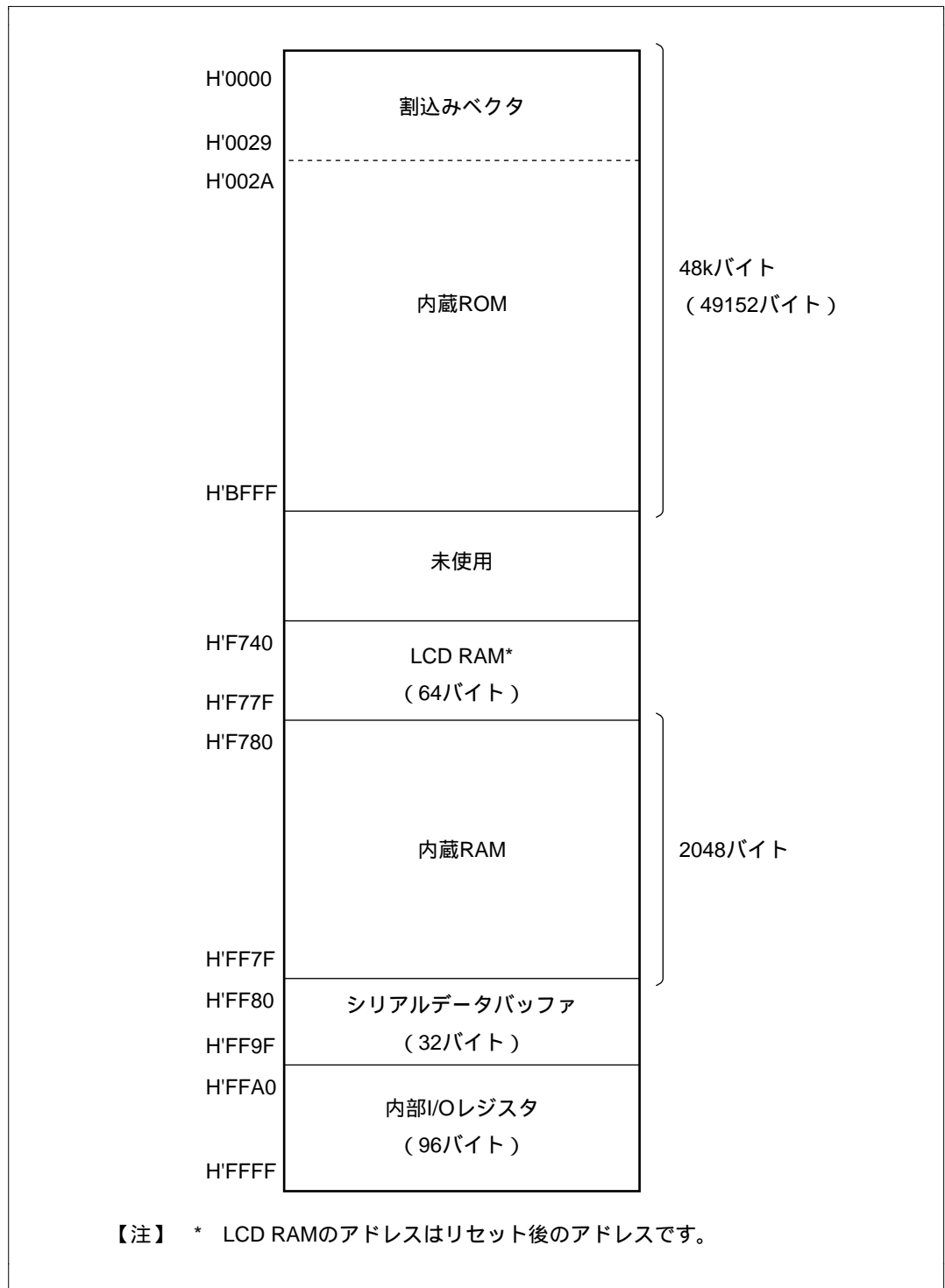


図 2.20 H8/3836 のメモリマップ

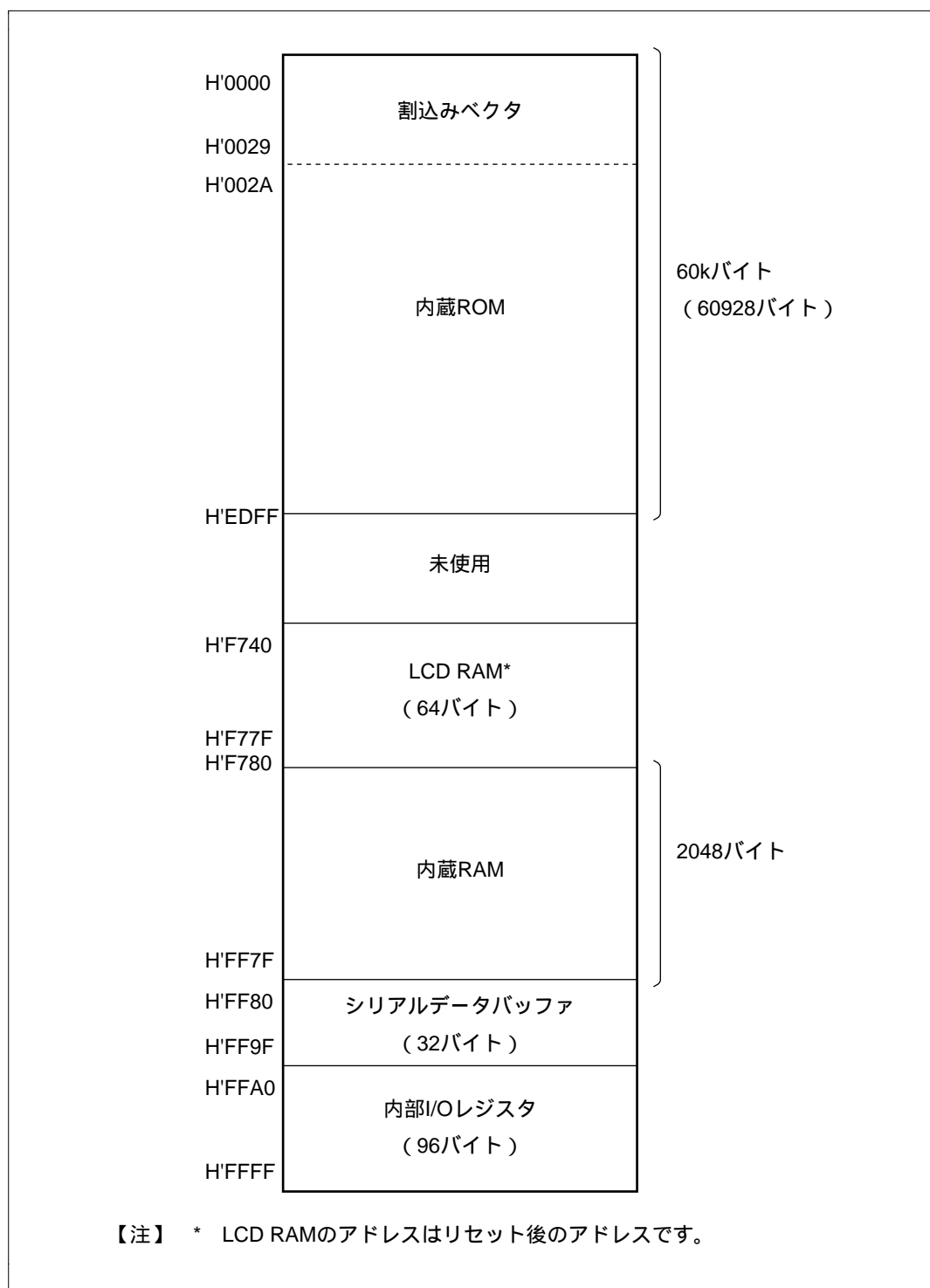


図 2.21 H8/3837 のメモリマップ

2.8.2 LCD RAM のアドレスリロケーション

LCD RAM のアドレスは、リセット直後は H'F740 ~ H'F77F ですが、LCD RAM リロケーションレジスタ (RLCTR) を設定することにより、LCD RAM のリロケーションが可能です。

以下に LCD RAM リロケーションレジスタの構成を示します。

ビット:	7	6	5	4	3	2	1	0
RLCTR	—	—	—	—	—	—	RLCT1	RLCT0
初期値:	1	1	1	1	1	1	0	0
R/W :	—	—	—	—	—	—	R/W	R/W

RLCTR は 8 ビットのリード/ライト可能なレジスタで、LCD RAM のアドレス空間の設定を行います。リセット時、RLCTR は H'00 にイニシャライズされます。

ビット 7 ~ 2 : リザーブビット

リザーブビットです。各ビットはリードすると常に "1" が読み出されます。ライトは無効です。

ビット 1、0 : LCD RAM リロケーションセレクト (RLCT1、RLCT0)

LCD RAM のアドレス空間の設定を行います。

ビット 1	ビット 0	説明
RLCT1	RLCT0	
0	0	H'F740 ~ H'F77F (初期値)
0	1	H'F940 ~ H'F97F ^{*2}
1	0	H'FB40 ~ H'FB7F ^{*2}
1	1	H'FD40 ~ H'FD7F ^{*1, *2}

【注】 *1 内蔵 RAM が 1024 バイトの製品では、RLCT1、RLCT0 を "11" に設定すると、内部 RAM 空間 H'FB80 ~ H'FD7F がアクセス不可能となります。

*2 内蔵 RAM が 2048 バイトの製品では、RLCT1、RLCT0 を "00" 以外に設定すると、当該番地の内蔵 RAM 空間がアクセス不可能となります。

2.9 使用上の注意事項

2.9.1 データアクセスに関する注意事項

(1) 空きエリアへのアクセス

H8/300L CPU のアドレス空間には、ユーザに開放された ROM、RAM、レジスタ以外の空きエリアがあります。プログラムで誤ってこの空きエリアにアクセスを行うと、以下のようになります。

<u>CPU から空きエリアへのデータの転送</u>
転送データは失われます。また、CPU 誤動作の原因となる可能性があります。
<u>空きエリアから CPU へのデータの転送</u>
転送データは保証されません。

(2) 内部 I/O レジスタへのアクセス

内蔵 ROM、RAM 領域以外の内蔵周辺モジュールは、内部のデータ転送が 8 ビットで行われます。この領域にワードアクセスを行うと、以下のように動作します。

<u>CPU から I/O レジスタ領域へのワードアクセス</u>
上位バイト : I/O レジスタに書き込まれます。
下位バイト : 転送データは失われます。
<u>内部 I/O レジスタから CPU へのワードアクセス</u>
上位バイト : CPU 内部レジスタ上位に書き込まれます。
下位バイト : CPU 内部レジスタ下位に書き込まれたデータは保証されません。

したがって、内蔵 ROM、RAM 領域以外の I/O レジスタ領域とのデータ転送は、バイトサイズの命令を使用してください。

図 2.22 にアクセスできるデータサイズおよびステート数と内蔵周辺モジュールの対応を示します。

アドレス	モジュール	データサイズ	アクセス		ステート数	
			ワード	バイト		
H'0000	割込みベクタ (42バイト)	32kバイト*2			2	
H'0029						
H'002A	内蔵ROM	32kバイト*2			2	
H'7FFF						
	未使用		—	—	—	
H'F740	LCD RAM*1 (64バイト)				2	
H'F77F						
	未使用		—	—	—	
H'FB80	内蔵RAM	1024バイト*3			2	
H'FF7F						
H'FF80	シリアルデータバッファ (32バイト)		×		2	
H'FF9F						
H'FFA0	内部I/Oレジスタ (96バイト)		×		2	
H'FFA8			×			3
H'FFAD			×			
H'FFFF			×		2	

【注】 H8/3834の例です。

*1 LCD RAMのアドレスはリセット後のアドレスです。

*2 H8/3832は16kバイトでアドレスはH'3FFF、H8/3833は24kバイトでアドレスはH'5FFF、H8/3835は40kバイトでアドレスはH'9FFF、H8/3836は48kバイトでアドレスはH'BFFF、H8/3837は60kバイトでアドレスはH'EDFFとなります。

*3 H8/3832、H8/3833は1024バイトでアドレスはH8/3834と同様、H8/3835、H8/3836、H8/3837は2048バイトでアドレスはH'F780となります。

図 2.22 アクセスできるデータサイズおよびステート数と内蔵周辺モジュールの対応

2.9.2 ビット操作命令使用上の注意事項

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。

したがって、同一アドレスに2つのレジスタが割り付けられている場合や、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

動作順序		動作内容
1	リード	指定したアドレスのデータ (バイト単位) をリードします。
2	ビット操作	リードしたデータの指定された1ビットを操作します。
3	ライト	指定したアドレスに操作したデータ (バイト単位) をライトします。

(1) 同一アドレスに割り付けられた2つのレジスタのビット操作

例1: タイマロードレジスタとタイマカウンタへのビット操作

図 2.23 に同一アドレスに割り付けられた2つのレジスタを持つタイマの構成例を示します。

リロードタイマのタイマロードレジスタとタイマカウンタにビット操作命令を実行した場合、タイマロードレジスタとタイマカウンタはアドレスを共有しているため、次のように動作します。

動作順序		動作内容
1	リード	タイマカウンタのデータ (バイト単位) をリードします。
2	ビット操作	CPU は命令で指定された1ビットを操作 (セットまたはリセット) します。
3	ライト	操作したデータ (バイト単位) をタイマロードレジスタにライトします。

タイマカウンタは、カウントを続けているのでリードした値がタイマロードレジスタとは必ずしも等しくありません。その結果操作の対象となったビット以外は、タイマカウンタの値がタイマロードレジスタへライトされます。

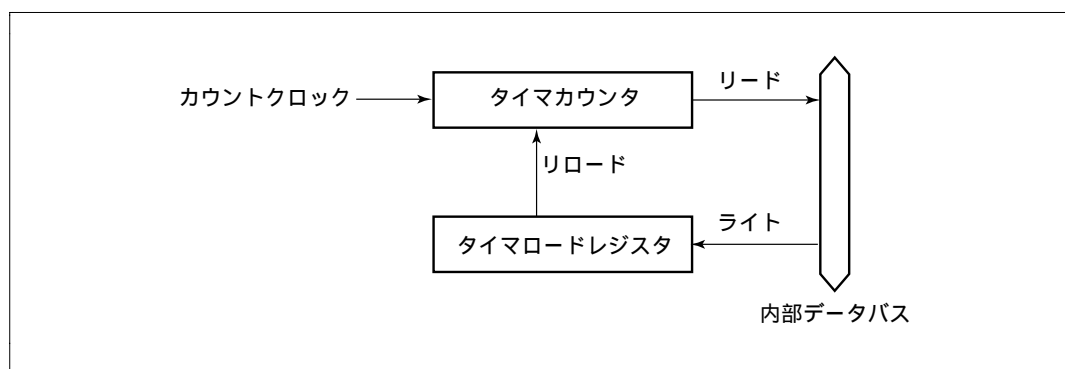


図 2.23 タイマの構成例

例2：ポート3にBSET命令を実行した場合

P3₇、P3₆は入力端子に設定され、それぞれ"Low"レベル、"High"レベルが入力されているとし、P3₅~P3₀は出力端子に設定され、それぞれ"Low"レベル出力状態とします。

以下に、BSET命令でP3₀に"High"レベル出力を行う例を示します。

【A； BSET命令を実行前】

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

【B； BSET命令を実行】

BSET	#0,	@PDR3
------	-----	-------

ポート3に対してBSET命令を実行します。

【C； BSET命令を実行後】

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	0	1	0	0	0	0	0	1

【D； BSET命令の動作説明】

BSET命令を実行すると、CPUは、最初にポート3をリードします。

P3₇、P3₆は入力端子であるので、CPUは端子の状態("Low"レベル、"High"レベル入力)をリードします。P3₅~P3₀は出力端子であるので、CPUはPDR3の値をリードします。したがって、この例では、PDR3はH'80ですが、CPUがリードしたデータはH'40となります。

次に、CPUは、リードしたデータのビット0を"1"にセットして、データをH'41に変更します。

最後に、この値(H'41)をPDR3に書き込んで、BSET命令を終了します。

その結果、PDR3のビット0が"1"になり、P3₀は"High"レベル出力になります。しかし、PDR3のビット7、6が変化してしまいます。

そのため、PDR3と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータをPDR3にライトしてください。

【A ; BSET 命令を実行前】

```
MOV.B #80, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @PDR3
```

PDR3に書き込む値(H'80)をあらかじめメモリ上のワークエリア(RAM0)とPDR3にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

RAM0	1	0	0	0	0	0	0	0
------	---	---	---	---	---	---	---	---

【B ; BSET 命令を実行】

```
BSET #0, @RAM0
```

PDR3のワークエリア(RAM0)に対してBSET命令を実行します。

【C ; BSET 命令を実行後】

```
MOV.B @RAM0, R0L
MOV.B R0L, @PDR3
```

ワークエリア(RAM0)の値をPDR3にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	1

RAM0	1	0	0	0	0	0	0	1
------	---	---	---	---	---	---	---	---

(2) ライト専用ビットを含むレジスタのビット操作

例3：ポート3のPCR3にBCLR命令を実行した場合

P3₇、P3₆は入力端子に設定され、それぞれ"Low"レベル、"High"レベルが入力されています。P3₅～P3₀は出力端子に設定され、それぞれ"Low"レベル出力状態とします。

ここで、BCLR命令で、P3₀を入力ポートにする例を示します。入力端子に設定されたP3₀は"High"レベルが入力されるものとします。

【A； BCLR命令を実行前】

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

【B； BCLR命令を実行】

BCLR #0 , @PCR3 PCR3 に対して BCLR 命令を実行します。

【C； BCLR命令を実行後】

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	出力	出力	出力	出力	出力	出力	出力	入力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	1	1	1	1	1	1	1	0
PDR3	1	0	0	0	0	0	0	0

【D； BCLR命令の動作説明】

BCLR命令を実行すると、CPUは、最初にPCR3をリードします。PCR3はライト専用レジスタですので、CPUはH'FFをリードします。したがって、この例ではPCR3はH'3Fですが、CPUがリードしたデータはH'FFとなります。

次に、CPUは、リードしたデータのビット0を"0"にクリアして、データをH'FEに変更します。

最後に、このデータ（H'FE）をPCR3に書き込んで、BCLR命令を終了します。

その結果、PCR3のビット0が"0"になり、P3₀は入力ポートになります。しかし、PCR3のビット7、ビット6が1になって、入力ポートであったP3₇、P3₆は出力ポートに変化してしまいます。

そのため、PCR3 と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータを PCR3 にライトしてください。

【A; BCLR 命令を実行前】

```
MOV.B #3F, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @PCR3
```

PCR3 に書き込む値 (H'3F) をあらかじめメモリ上のワークエリア (RAM0) と PCR3 にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	1
------	---	---	---	---	---	---	---	---

【B; BCLR 命令を実行】

```
BCLR #0, @RAM0
```

PCR3 のワークエリア (RAM0) に対して BCLR 命令を実行します。

【C; BCLR 命令を実行後】

```
MOV.B @RAM0, R0L
MOV.B R0L, @PCR3
```

ワークエリア (RAM0) の値を PCR3 にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	0	0	1	1	1	1	1	0
PDR3	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	0
------	---	---	---	---	---	---	---	---

同一のアドレスに割り付けられた2つのレジスタの一覧を表2.12に、ライト専用ビットを含むレジスタの一覧を表2.13に示します。

表2.12 同一のアドレスに割り付けられた2つのレジスタの一覧

レジスタ名	略称	アドレス
タイマカウンタB/タイマロードレジスタB	TCB/TLB	H'FFB3
タイマカウンタC/タイマロードレジスタC	TCC/TLC	H'FFB5
ポートデータレジスタ1*	PDR1	H'FFD4
ポートデータレジスタ2*	PDR2	H'FFD5
ポートデータレジスタ3*	PDR3	H'FFD6
ポートデータレジスタ4*	PDR4	H'FFD7
ポートデータレジスタ5*	PDR5	H'FFD8
ポートデータレジスタ6*	PDR6	H'FFD9
ポートデータレジスタ7*	PDR7	H'FFDA
ポートデータレジスタ8*	PDR8	H'FFDB
ポートデータレジスタ9*	PDR9	H'FFDC
ポートデータレジスタA*	PDRA	H'FFDD

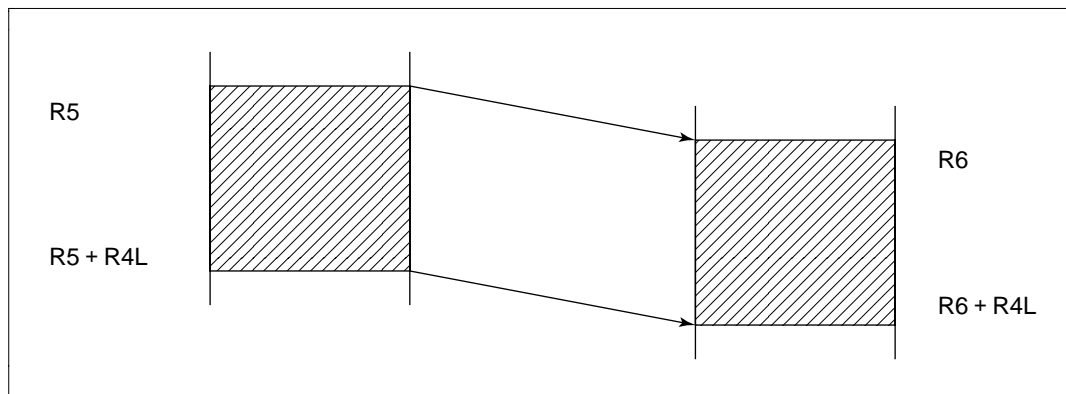
【注】 * ポートデータレジスタと端子入力が兼用になっています。

表2.13 ライト専用ビットを含むレジスタの一覧

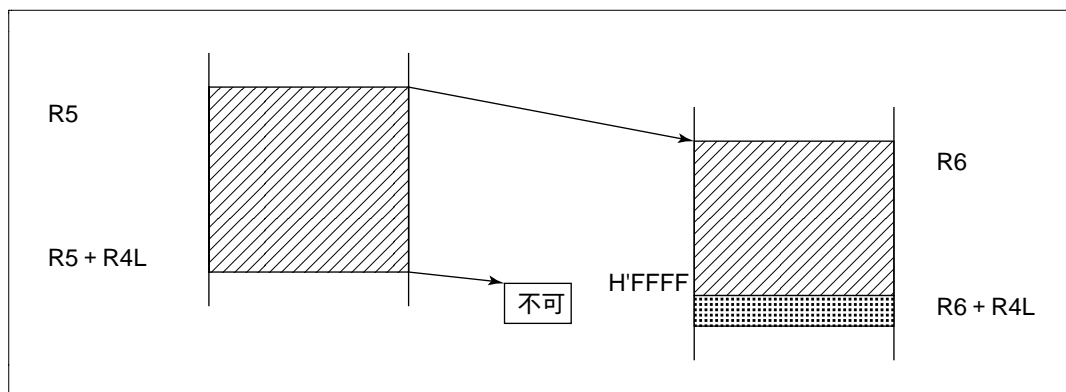
レジスタ名	略称	アドレス
ポートコントロールレジスタ1	PCR1	H'FFE4
ポートコントロールレジスタ2	PCR2	H'FFE5
ポートコントロールレジスタ3	PCR3	H'FFE6
ポートコントロールレジスタ4	PCR4	H'FFE7
ポートコントロールレジスタ5	PCR5	H'FFE8
ポートコントロールレジスタ6	PCR6	H'FFE9
ポートコントロールレジスタ7	PCR7	H'FFEA
ポートコントロールレジスタ8	PCR8	H'FFEB
ポートコントロールレジスタ9	PCR9	H'FFEC
ポートコントロールレジスタA	PCRA	H'FFED
タイマコントロールレジスタF	TCRF	H'FFB6
PWMコントロールレジスタ	PWCR	H'FFD0
PWMデータレジスタU	PWDRU	H'FFD1
PWMデータレジスタL	PWDRL	H'FFD2

2.9.3 EEPMOV 命令使用上の注意事項

- (1) EEPMOV 命令はブロック転送命令で、R5 で示されるアドレスから始まる R4L で示されるバイト数のデータを、R6 で示されるアドレスへ転送します。



- (2) 転送先の最終アドレス (R6+R4L の値) が H'FFFF を超えないように (実行途中で R6 の値が H'FFFF H'0000 とならないように)、R4L、R6 を設定してください。



3. 例外処理

第3章 目次

3.1	概要.....	71
3.2	リセット.....	72
	3.2.1 概要.....	72
	3.2.2 リセットシーケンス.....	72
	3.2.3 リセット直後の割込み.....	75
3.3	割込み.....	76
	3.3.1 概要.....	76
	3.3.2 各レジスタの説明.....	78
	3.3.3 外部割込み.....	88
	3.3.4 内部割込み.....	89
	3.3.5 割込み動作.....	89
	3.3.6 割込み応答時間.....	94
3.4	使用上の注意事項.....	95
	3.4.1 スタック領域に関する使用上の注意事項.....	95
	3.4.2 ポートモードレジスタを書き換える際の注意事項.....	96

3.1 概要

本 LSI の例外処理には、リセットと割込みがあります。表 3.1 に、例外処理の種類と優先度を示します。

表 3.1 例外処理の種類と優先度

優先度	例外処理要因	例外処理開始タイミング
高 ↑ 低	リセット	リセットが解除されると例外処理を開始します。
	割込み	割込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。

3.2 リセット

3.2.1 概要

リセットは最も優先順位の高い例外処理です。

リセットによって、CPUの内部状態と、内蔵周辺モジュールの各レジスタがイニシャライズされます。

3.2.2 リセットシーケンス

$\overline{\text{RES}}$ 端子が"Low"レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時には、クロック発振器の発振安定時間の間 $\overline{\text{RES}}$ 端子を"Low"レベルに保持してください。また、動作中にリセットする場合は、最低 10 システムクロックの間、"Low"レベルに保持してください。

MD0 端子が"High"レベルの状態では $\overline{\text{RES}}$ 端子が一定期間"Low"レベルの後、"High"レベルになると、リセット例外処理が開始されます。また、MD0 端子が"Low"レベルの状態では $\overline{\text{RES}}$ 端子が一定期間"Low"レベルの後、"High"レベルになった場合は、すぐにはリセットは解除されません。この場合、MD0 端子が"Low"レベルから"High"レベルになった時点から、8,192 クロックをカウントした後にリセットが解除され、リセット例外処理が開始されます。リセット例外処理の動作は以下のとおりです。

- (1) CPU の内部状態と内蔵周辺モジュールの各レジスタのイニシャライズを行い、コンディションコードレジスタ (CCR) の I ビットをセットします。
- (2) リセット例外処理ベクタアドレス (H'0000 ~ H'0001) をリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。

パワーオン / パワーオフ時には、 $\overline{\text{RES}}$ 端子を"Low"レベルにしてください。

リセットシーケンスを図 3.1、図 3.2 に示します。

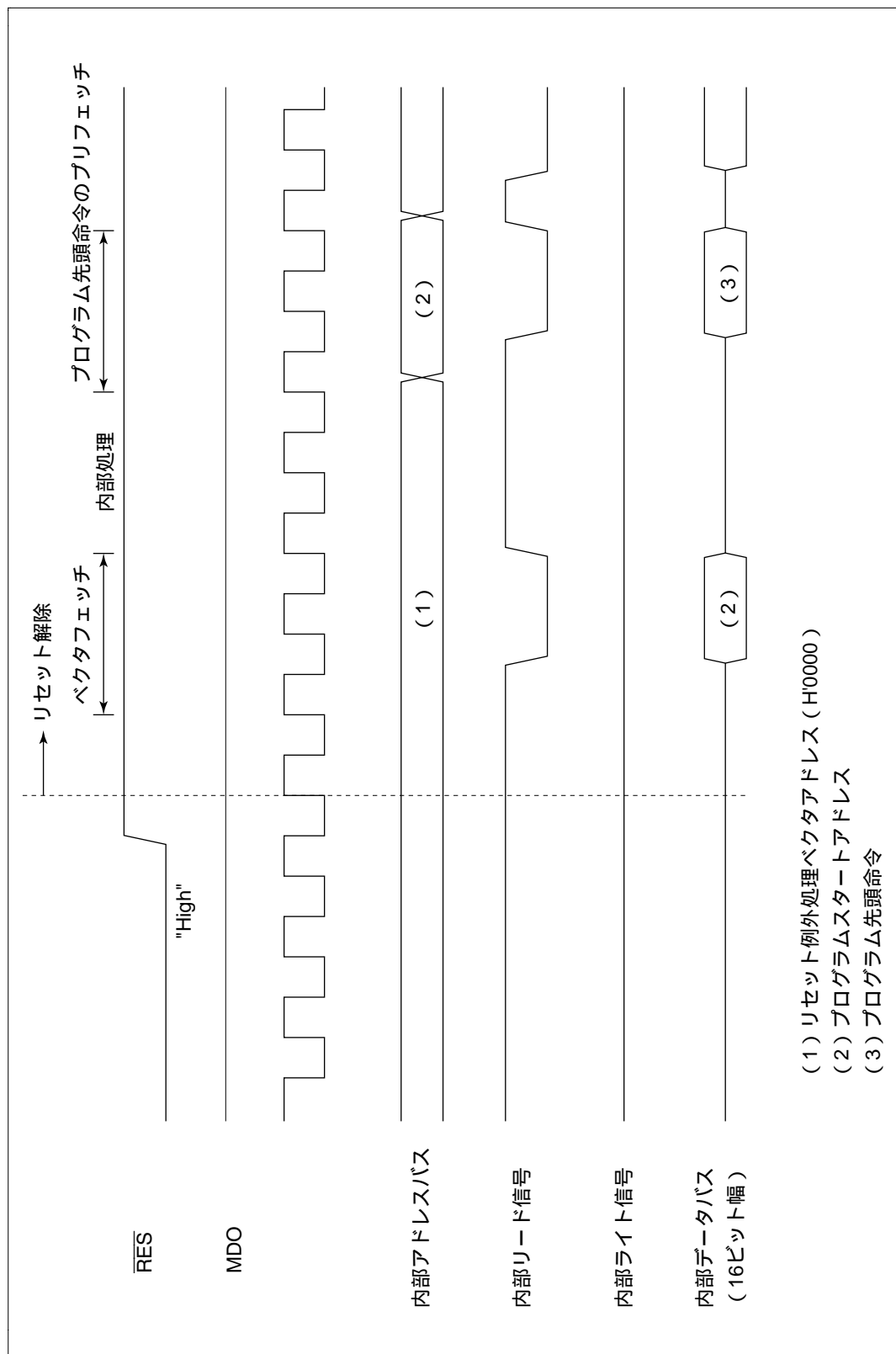


図 3.1 リセットシーケンス (MD0 端子が"High"の場合)

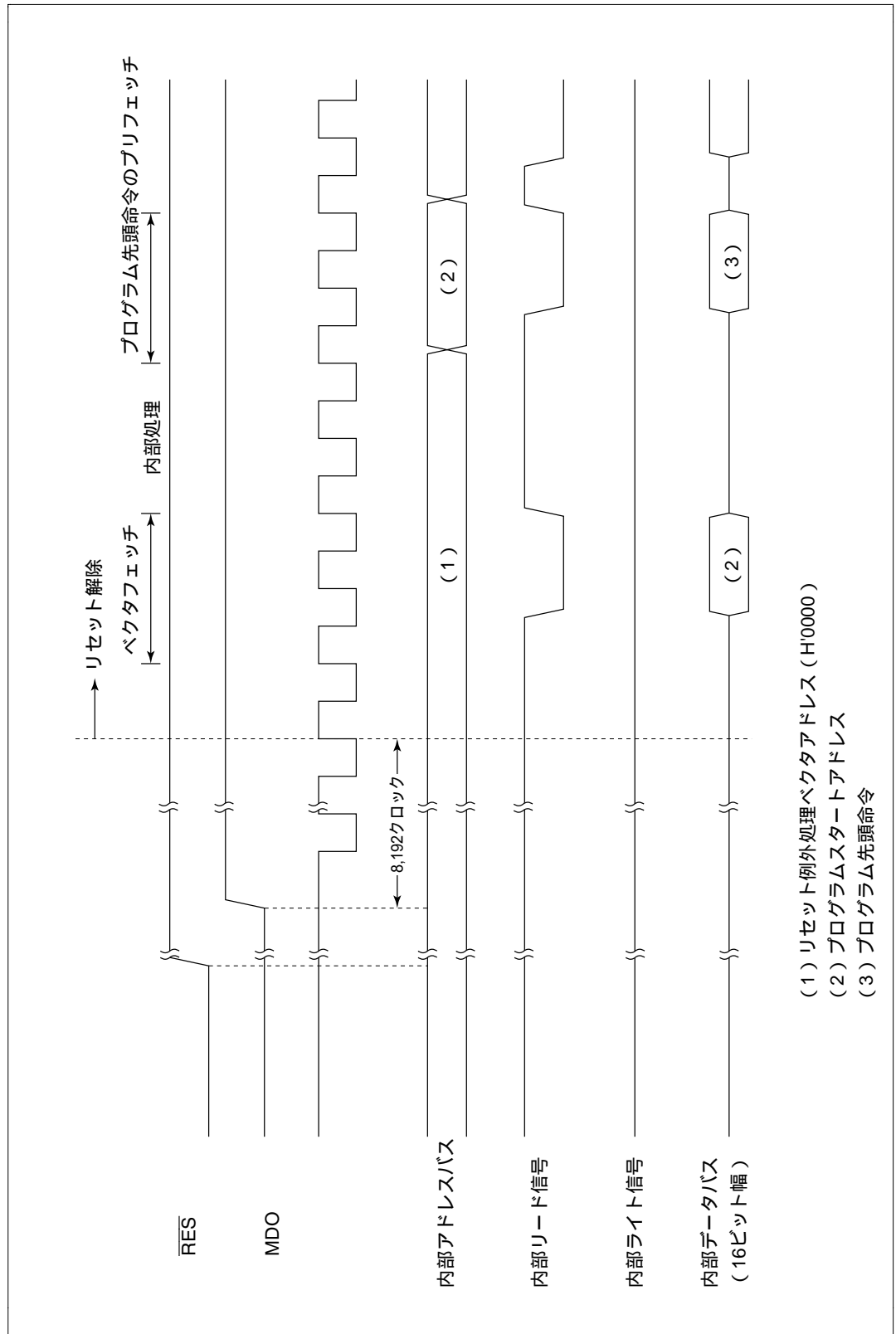


図 3.2 リセットシーケンス (MD0 端子が"Low"の場合)

3.2.3 リセット直後の割込み

リセット後、スタックポインタ (SP: R7) をイニシャライズする前に割込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走の原因となります。これを防ぐため、リセット例外処理が実行された直後はすべての割込み要求が禁止されています。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラムの先頭命令は、SP をイニシャライズする命令としてください(例:MOV.W #xx:16, SP)。

3.3 割込み

3.3.1 概要

割込み例外処理を開始する要因には、13の外部割込み要因(WKP₇~WKP₀、IRQ₄~IRQ₀)と内蔵モジュールから20の内部割込み要因があります。割込み要因と優先度、ならびにベクタアドレスの一覧を表3.2に示します。複数の割込み要求が発生したときは、優先度の高い方から処理されます。

これらの割込みには次のような特長があります。

- (1) 内部割込みおよび外部割込みは、CCRのIビットによりマスクされます。CCRのIビットが"1"にセットされていると、割込み要求フラグはセットされますが、割込みは受け付けられません。
- (2) IRQ₄~IRQ₀は、立上がり/立下がりエッジセンスのいずれかに設定することができます。

3.3.2 各レジスタの説明

割込みを制御するレジスタの一覧を表 3.3 に示します。

表 3.3 割込み制御レジスタ

名称	略称	R/W	初期値	アドレス
IRQ エッジセレクトレジスタ	IEGR	R/W	H'E0	H'FFF2
割込み許可レジスタ 1	IENR1	R/W	H'00	H'FFF3
割込み許可レジスタ 2	IENR2	R/W	H'00	H'FFF4
割込み要求レジスタ 1	IRR1	R/W*	H'20	H'FFF6
割込み要求レジスタ 2	IRR2	R/W*	H'00	H'FFF7
ウェイクアップ割込み要求レジスタ	IWPR	R/W*	H'00	H'FFF9

【注】 * フラグクリアのための"0"ライトのみ可能です。

(1) IRQ エッジセレクトレジスタ (IEGR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	IEG4	IEG3	IEG2	IEG1	IEG0
初期値:	1	1	1	0	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

IEGR は、8 ビットのリード/ライト可能なレジスタで、 $\overline{\text{IRQ}}_4 \sim \overline{\text{IRQ}}_0$ 端子の立上がり / 立下がりエッジセンスを指定します。

ビット 7~5 : リザーブビット

リザーブビットです。各ビットはリードすると常に"1"が読み出されます。ライトは無効です。

ビット 4 : IRQ4 エッジセレクト (IEG4)

$\overline{\text{IRQ}}_4$ 端子、 $\overline{\text{ADTRG}}$ 端子の入力センスを選択します。

ビット 4	説明
IEG4	
0	$\overline{\text{IRQ}}_4$ 、 $\overline{\text{ADTRG}}$ 端子入力の立下がりエッジを検出 (初期値)
1	$\overline{\text{IRQ}}_4$ 、 $\overline{\text{ADTRG}}$ 端子入力の立上がりエッジを検出

ビット3 : IRQ₃エッジセレクト (IEG3)

$\overline{\text{IRQ}}_3$ 端子、TMIF 端子の入力センスを選択します。

ビット3		
IEG3	説明	
0	$\overline{\text{IRQ}}_3$ 、TMIF 端子入力の立下がりエッジを検出	(初期値)
1	$\overline{\text{IRQ}}_3$ 、TMIF 端子入力の立上がりエッジを検出	

ビット2 : IRQ₂エッジセレクト (IEG2)

$\overline{\text{IRQ}}_2$ 端子、TMIC 端子の入力センスを選択します。

ビット2		
IEG2	説明	
0	$\overline{\text{IRQ}}_2$ 、TMIC 端子入力の立下がりエッジを検出	(初期値)
1	$\overline{\text{IRQ}}_2$ 、TMIC 端子入力の立上がりエッジを検出	

ビット1 : IRQ₁エッジセレクト (IEG1)

$\overline{\text{IRQ}}_1$ 端子、TMIB 端子の入力センスを選択します。

ビット1		
IEG1	説明	
0	$\overline{\text{IRQ}}_1$ 、TMIB 端子入力の立下がりエッジを検出	(初期値)
1	$\overline{\text{IRQ}}_1$ 、TMIB 端子入力の立上がりエッジを検出	

ビット0 : IRQ₀エッジセレクト (IEG0)

$\overline{\text{IRQ}}_0$ 端子の入力センスを選択します。

ビット0		
IEG0	説明	
0	$\overline{\text{IRQ}}_0$ 端子入力の立下がりエッジを検出	(初期値)
1	$\overline{\text{IRQ}}_0$ 端子入力の立上がりエッジを検出	

(2) 割込み許可レジスタ 1 (IENR1)

ビット:	7	6	5	4	3	2	1	0
	IENTA	IENS1	IENWP	IEN4	IEN3	IEN2	IEN1	IEN0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IENR1 は、8 ビットのリード / ライト可能なレジスタで、割込み要求の許可 / 禁止を制御します。

ビット 7 : タイマ A 割込みイネーブル (IENTA)

タイマ A オーバフロー割込み要求の許可 / 禁止を制御します。

ビット 7		
IENTA	説明	
0	タイマ A の割込み要求を禁止	(初期値)
1	タイマ A の割込み要求を許可	

ビット 6 : SCI1 割込みイネーブル (IENS1)

SCI1 転送完了割込み要求の許可 / 禁止を制御します。

ビット 6		
IENS1	説明	
0	SCI1 の割込み要求を禁止	(初期値)
1	SCI1 の割込み要求を許可	

ビット 5 : ウェイクアップ割込みイネーブル (IENWP)

$\overline{WKP}_7 \sim \overline{WKP}_0$ 割込み要求の許可 / 禁止を制御します。

ビット 5		
IENWP	説明	
0	$\overline{WKP}_7 \sim \overline{WKP}_0$ 端子の割込み要求を禁止	(初期値)
1	$\overline{WKP}_7 \sim \overline{WKP}_0$ 端子の割込み要求を許可	

ビット 4 ~ 0 : IRQ₄ ~ IRQ₀ 割込みイネーブル (IEN4 ~ IEN0)

IRQ₄ ~ IRQ₀ 割込み要求の許可 / 禁止を制御します。

ビット n		
IENn	説明	
0	\overline{IRQ}_n 端子の割込み要求を禁止	(初期値)
1	\overline{IRQ}_n 端子の割込み要求を許可	

(n = 4 ~ 0)

(3) 割込み許可レジスタ 2 (IENR2)

ビット:	7	6	5	4	3	2	1	0
	IENDT	IENAD	IENS2	IENTG	IENTFH	IENTFL	IENTC	IENB
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IENR2は、8ビットのリード/ライト可能なレジスタで、割込み要求の許可/禁止を制御します。

ビット7: 直接遷移割込みイネーブル (IENDT)

直接遷移割込み要求の許可/禁止を制御します。

ビット7	
IENDT	説明
0	直接遷移による割込み要求を禁止 (初期値)
1	直接遷移による割込み要求を許可

ビット6: A/D変換器割込みイネーブル (IENAD)

A/D変換終了割込み要求の許可/禁止を制御します。

ビット6	
IENAD	説明
0	A/D変換器の割込み要求を禁止 (初期値)
1	A/D変換器の割込み要求を許可

ビット5: SCI2割込みイネーブル (IENS2)

SCI2転送完了または転送中断割込み要求の許可/禁止を制御します。

ビット5	
IENS2	説明
0	SCI2の割込み要求を禁止 (初期値)
1	SCI2の割込み要求を許可

ビット4: タイマG割込みイネーブル (IENTG)

タイマGインプットキャプチャまたはオーバフロー割込み要求の許可/禁止を制御します。

ビット4	
IENTG	説明
0	タイマGの割込み要求を禁止 (初期値)
1	タイマGの割込み要求を許可

ビット3：タイマFH割込みイネーブル (IENTFH)

タイマFH コンペアマッチまたはオーバフロー割込み要求の許可 / 禁止を制御します。

ビット3		
IENTFH	説明	
0	タイマFHの割込み要求を禁止	(初期値)
1	タイマFHの割込み要求を許可	

ビット2：タイマFL割込みイネーブル (IENTFL)

タイマFL コンペアマッチまたはオーバフロー割込み要求の許可 / 禁止を制御します。

ビット2		
IENTFL	説明	
0	タイマFLの割込み要求を禁止	(初期値)
1	タイマFLの割込み要求を許可	

ビット1：タイマC割込みイネーブル (IENTC)

タイマC オーバフローまたはアンダフロー割込み要求の許可 / 禁止を制御します。

ビット1		
IENTC	説明	
0	タイマCの割込み要求を禁止	(初期値)
1	タイマCの割込み要求を許可	

ビット0：タイマB割込みイネーブル (IENTB)

タイマB オーバフローまたはアンダフロー割込み要求の許可 / 禁止を制御します。

ビット0		
IENTB	説明	
0	タイマBの割込み要求を禁止	(初期値)
1	タイマBの割込み要求を許可	

なお、SCI3の割込みの制御については「10.4.2(6) シリアルコントロールレジスタ3 (SCR3)」を参照してください。

(4) 割込み要求レジスタ 1 (IRR1)

ビット:	7	6	5	4	3	2	1	0
	IRRTA	IRRS1	—	IRRI4	IRRI3	IRRI2	IRRI1	IRRI0
初期値:	0	0	1	0	0	0	0	0
R/W :	R/W*	R/W*	—	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * フラグクリアのための"0"ライトのみ可能です。

IRRI は、8 ビットリード/ライト可能なレジスタで、タイマ A、SCI1、IRQ₄~IRQ₀ 割込み要求が発生すると対応するフラグが"1"にセットされます。各フラグは割込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は"0"をライトしてクリアしてください。

ビット 7 : タイマ A 割込み要求フラグ (IRRTA)

ビット 7	
IRRTA	説明
0	〔クリア条件〕 IRRTA = "1"の状態 で IRRTA に"0"をライトしたとき (初期値)
1	〔セット条件〕 タイマ A のカウンタ値がオーバーフロー (H'FF H'00) したとき

ビット 6 : SCI1 割込み要求フラグ (IRRS1)

ビット 6	
IRRS1	説明
0	〔クリア条件〕 IRRS1 = "1"の状態 で IRRS1 に"0"をライトしたとき (初期値)
1	〔セット条件〕 SCI1 が転送完了したとき

ビット 5 : リザーブビット

リザーブビットです。本ビットはリードすると常に"1"が読み出されます。ライトは無効です。

ビット4～0：IRQ₄～IRQ₀割込み要求フラグ（IRR14～IRR10）

ビットn	説明
IRRIn	
0	〔クリア条件〕 IRRIn = "1"の状態 で IRRIn に "0" をライトしたとき (初期値)
1	〔セット条件〕 IRQ _n 端子が割込み入力に設定されており、かつ当該端子に指定されたエッジが 入力されたとき

(n = 4 ~ 0)

(5) 割込み要求レジスタ2（IRR2）

ビット:	7	6	5	4	3	2	1	0
	IRRDT	IRRAD	IRRS2	IRRTG	IRRTFH	IRRTFL	IRRTC	IRRTB
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * フラグクリアのための"0"ライトのみ可能です。

IRR2 は、8 ビットリード/ライト可能なレジスタで、直接遷移、A/D 変換器、SCI2、タイマG、タイマFH、タイマFL、タイマC、タイマB 割込み要求が発生すると、対応するフラグが"1"にセットされます。各フラグは割込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は"0"をライトしてクリアしてください。

ビット7：直接遷移割込み要求フラグ（IRRDT）

ビット7	説明
IRRDT	
0	〔クリア条件〕 IRRDT = "1"の状態 で IRRDT に "0" をライトしたとき (初期値)
1	〔セット条件〕 DTON に "1" をセットした状態でスリープ命令を実行し直接遷移したとき

ビット6：A/D変換器割込み要求フラグ（IRRAD）

ビット6	
IRRAD	説明
0	〔クリア条件〕 IRRAD = "1"の状態 で IRRAD に"0"をライトしたとき (初期値)
1	〔セット条件〕 A/D変換器が変換終了し、ADSF がリセットされたとき

ビット5：SCI2割込み要求フラグ（IRRS2）

ビット5	
IRRS2	説明
0	〔クリア条件〕 IRRS2 = "1"の状態 で IRRS2 に"0"をライトしたとき (初期値)
1	〔セット条件〕 SCI2 が転送完了または転送中断したとき

ビット4：タイマG割込み要求フラグ（IRRTG）

ビット4	
IRRTG	説明
0	〔クリア条件〕 IRRTG = "1"の状態 で IRRTG に"0"をライトしたとき (初期値)
1	〔セット条件〕 TMIG端子がTMIG入力に設定されており、かつ当該端子に指定されたエッジが 入力されたとき

ビット3：タイマFH割込み要求フラグ（IRRTFH）

ビット3	
IRRTFH	説明
0	〔クリア条件〕 IRRTFH = "1"の状態 で IRRTFH に"0"をライトしたとき (初期値)
1	〔セット条件〕 8ビットタイマモードでTCFHとOCRFHが一致したとき、また、16ビットタイマモードでTCF(TCFL、TCFH)とOCRF(OCRFL、OCRFH)が一致したとき

ビット2：タイマFL割込み要求フラグ (IRRTFL)

ビット2	説明
IRRTFL	
0	〔クリア条件〕 (初期値) IRRTFL="1"の状態 で IRRTFLに"0"をライトしたとき
1	〔セット条件〕 8ビットタイマモードで TCFLと OCRFLが一致したとき

ビット1：タイマC割込み要求フラグ (IRRTC)

ビット1	説明
IRRTC	
0	〔クリア条件〕 (初期値) IRRTC="1"の状態 で IRRTCに"0"をライトしたとき
1	〔セット条件〕 タイマCのカウンタ値がオーバーフロー(H'FF H'00)またはアンダフロー(H'00 H'FF)したとき

ビット0：タイマB割込み要求フラグ (IRRTB)

ビット0	説明
IRRTB	
0	〔クリア条件〕 (初期値) IRRTB="1"の状態 で IRRTBに"0"をライトしたとき
1	〔セット条件〕 タイマBのカウンタ値がオーバーフロー(H'FF H'00)したとき

(6) ウェイクアップ割込み要求レジスタ (IWPR)

ビット:	7	6	5	4	3	2	1	0
	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * フラグクリアのための"0"ライトのみ可能です。

IWPR は、8 ビットのリード/ライト可能なレジスタで、 $\overline{WKP}_7 \sim \overline{WKP}_0$ 端子がウェイクアップ入力に設定されており、当該端子に立下がりエッジが入力されたとき、対応するフラグが"1"にセットされます。各フラグは割込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は"0"をライトしてクリアしてください。

ビット7~0: ウェイクアップ割込み要求フラグ (IWPF7~IWPF0)

ビット n	説明
IWPFn	
0	〔クリア条件〕 IWPFn = "1" の状態で IWPFn に "0" をライトしたとき (初期値)
1	〔セット条件〕 \overline{WKP}_n 端子がウェイクアップ入力に設定されており、かつ当該端子に立下がりエッジが入力されたとき

(n = 7 ~ 0)

3.3.3 外部割込み

外部割込みには、WKP₇ ~ WKP₀割込みと、IRQ₄ ~ IRQ₀割込みの13要因があります。

(1) WKP₇ ~ WKP₀割込み

WKP₇ ~ WKP₀割込みは $\overline{WKP}_7 \sim \overline{WKP}_0$ 端子の立下がりエッジ入力により要求されます。

PMR5により端子機能が $\overline{WKP}_7 \sim \overline{WKP}_0$ 端子に選択された状態で立下がりエッジが入力されると、IWPRの対応するビットが"1"にセットされ、割込み要求を発生します。

ウェイクアップ割込み要求の受け付けは、IENR1のIENWPを"0"にクリアすることにより禁止できます。また、CCRのIビットを"1"にすることによりすべての割込みをマスクできます。

WKP₇ ~ WKP₀割込みの割込み例外処理が受け付けられると、CCRのIビットが"1"にセットされます。WKP₇ ~ WKP₀割込み例外処理のベクタ番号は9です。8つの割込み要因が1つのベクタ番号に割り付けられているため、例外処理ルーチンで要因を判別してください。

(2) IRQ₄ ~ IRQ₀割込み

IRQ₄ ~ IRQ₀割込みは、 $\overline{IRQ}_4 \sim \overline{IRQ}_0$ 端子の入力信号により要求されます。

IRQ₄ ~ IRQ₀割込みは、立上がり / 立下がりエッジセンスをIEGRのIEG4 ~ IEG0により指定できます。

PMR2、PMR1により端子機能が $\overline{IRQ}_4 \sim \overline{IRQ}_0$ 端子に選択された状態で指定されたエッジが入力されると、IRR1の対応するビットが"1"にセットされ、割込み要求を発生します。

割込み要求の受け付けは、IENR1のIEN4 ~ IEN0を"0"にクリアすることにより、禁止できます。また、CCRのIビットを"1"にセットすることによりすべての割込みをマスクできます。

IRQ₄ ~ IRQ₀割込みの割込み例外処理が受け付けられると、CCRのIビットが"1"にセットされます。

IRQ₄ ~ IRQ₀割込み例外処理のベクタ番号は8 ~ 4です。優先順位はIRQ₄(低) IRQ₀(高)の順に高くなります。詳細は表3.2を参照してください。

3.3.4 内部割込み

内蔵周辺モジュールからの割込みによる内部割込み要因は、20 要因あります。

内蔵周辺モジュールからの割込み要求が発生すると、IRR2、IRR1 の対応するビットが"1"にセットされます。IENR2、IENR1 の各ビットを"0"にクリアすることにより、各割込み要求の受け付けは禁止できます。また、CCR の I ビットを"1"にセットすることにより、すべての割込みをマスクできます。

これらの割込み例外処理が受け付けられると、CCR の I ビットは"1"にセットされます。ベクタ番号は 20 ~ 10 です。内蔵周辺モジュールからの割込みの優先順位については表 3.2 を参照してください。

3.3.5 割込み動作

割込みは、割込みコントローラによって制御されます。割込みコントローラのブロック図を図 3.3 に、割込み受け付けまでのフローを図 3.4 に示します。

割込み動作は以下のとおりです。

- (1) 割込み許可レジスタの対応するビットが"1"にセットされている状態で、割込み要因が発生したとき、割込みコントローラに対して割込み要求信号が送られます。
- (2) 割込みコントローラに割込み要求信号が送られると、割込み要求フラグがセットされます。
- (3) 割込み許可フラグが"1"にセットされている割込みの中で、優先順位にしたがって最高位の割込み要求が選択され、その他は保留となります（表 3.2 参照）。
- (4) CCR の I ビットを参照し、I ビットが"0"にクリアされている場合は、割込み要求は受け付けられますが、I ビットが"1"にセットされている場合は割込み要求は保留となります。
- (5) 割込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、PC と CCR がスタック領域に退避されます。このときのスタックの状態を図 3.5 に示します。スタックされる PC は、リターン後に実行する最初の命令のアドレスを示しています。
- (6) CCR の I ビットが"1"にセットされます。これにより、すべての割込みはマスクされます。
- (7) 受け付けた割込みに対応するベクタアドレスを生成し、そのアドレスの内容によって示されるアドレスから、割込み処理ルーチンの実行を開始します。

プログラム領域を内蔵 ROM に、スタック領域を内蔵 RAM にとった場合の割込みシーケンスを図 3.6 に示します。

- 【注】 1. 本 LSI では、割り込み許可レジスタをクリアすることにより割り込みをディスエーブルにする場合、または割り込み要求レジスタをクリアする場合は、かならず割り込みをマスクした状態 ($I = "1"$) で行ってください。
2. $I = "0"$ の状態で上記の操作を行うと、当該操作命令の実行と当該割り込みの発生が競合した場合には、当該操作命令の実行終了時に発生した割り込みに対応する例外処理を実行します。

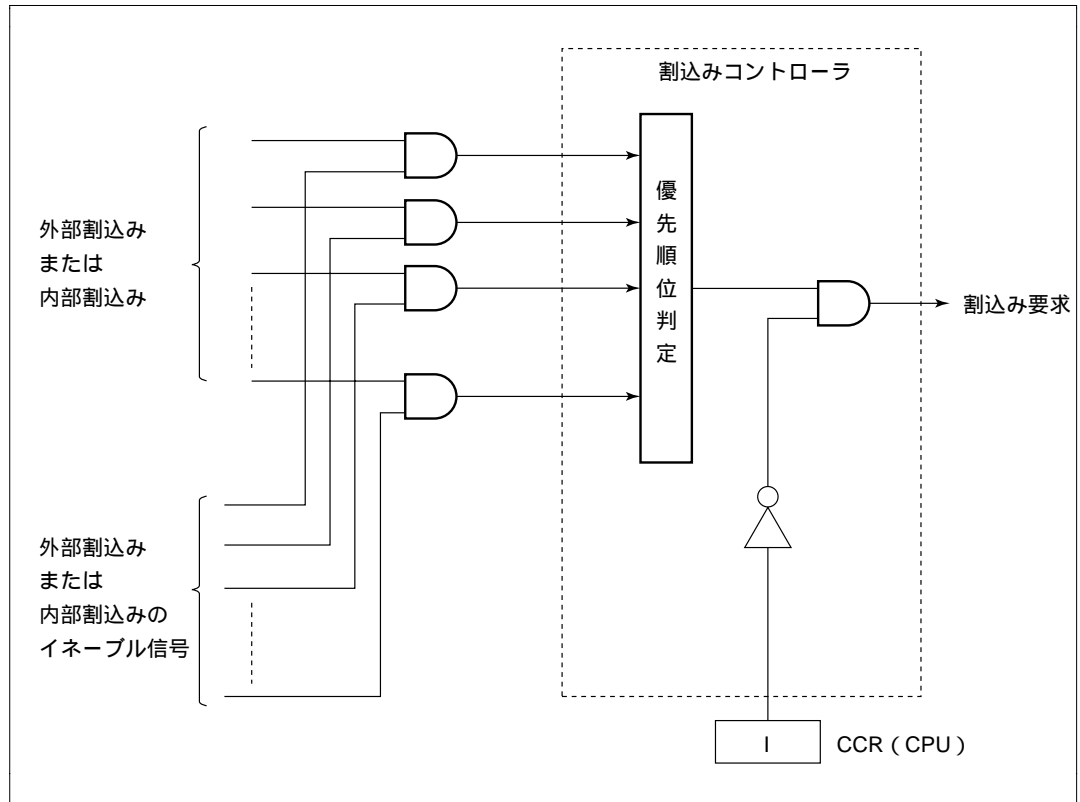


図 3.3 割り込みコントローラのブロック図

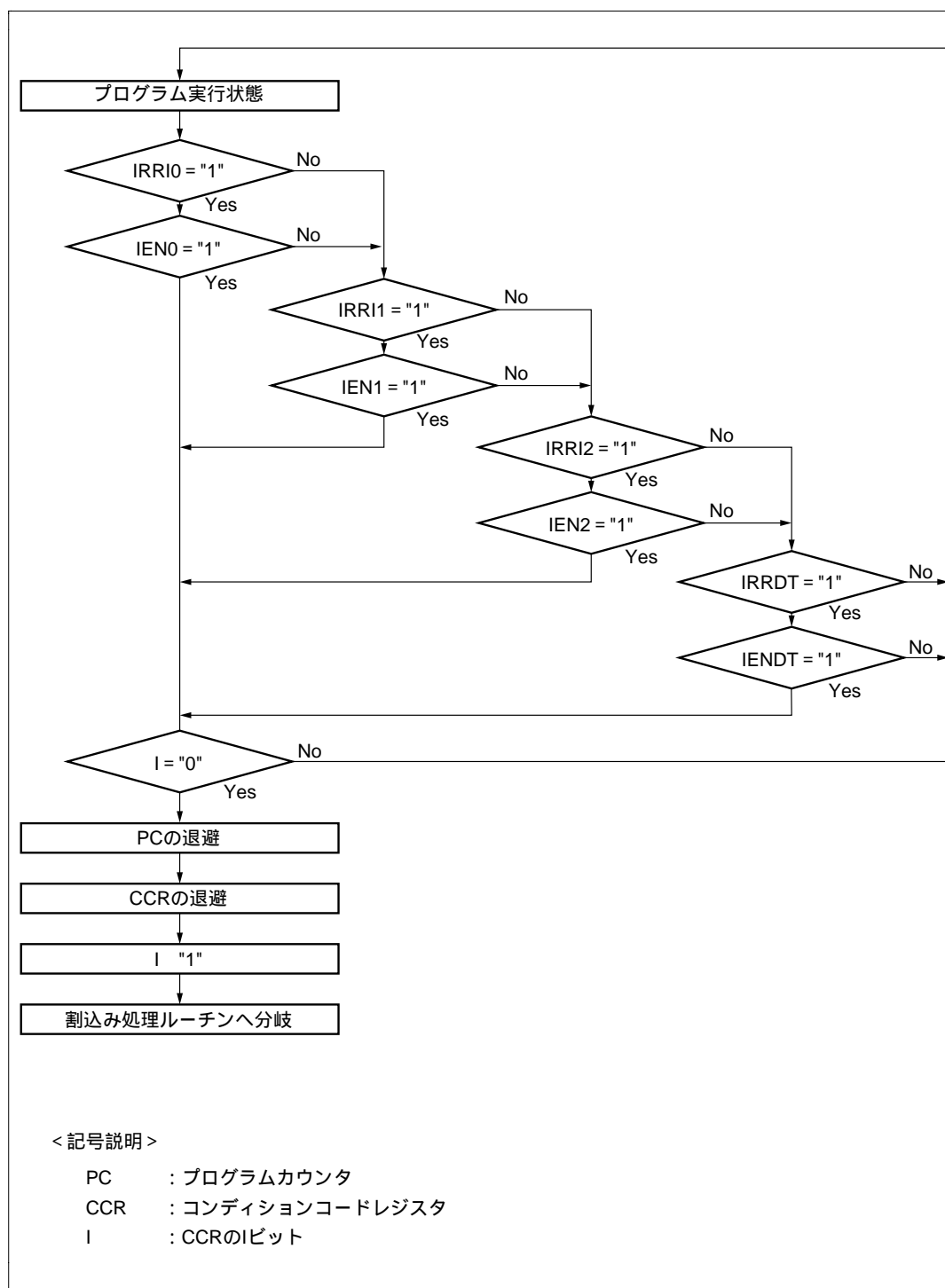


図 3.4 割り込み受けまでのフロー

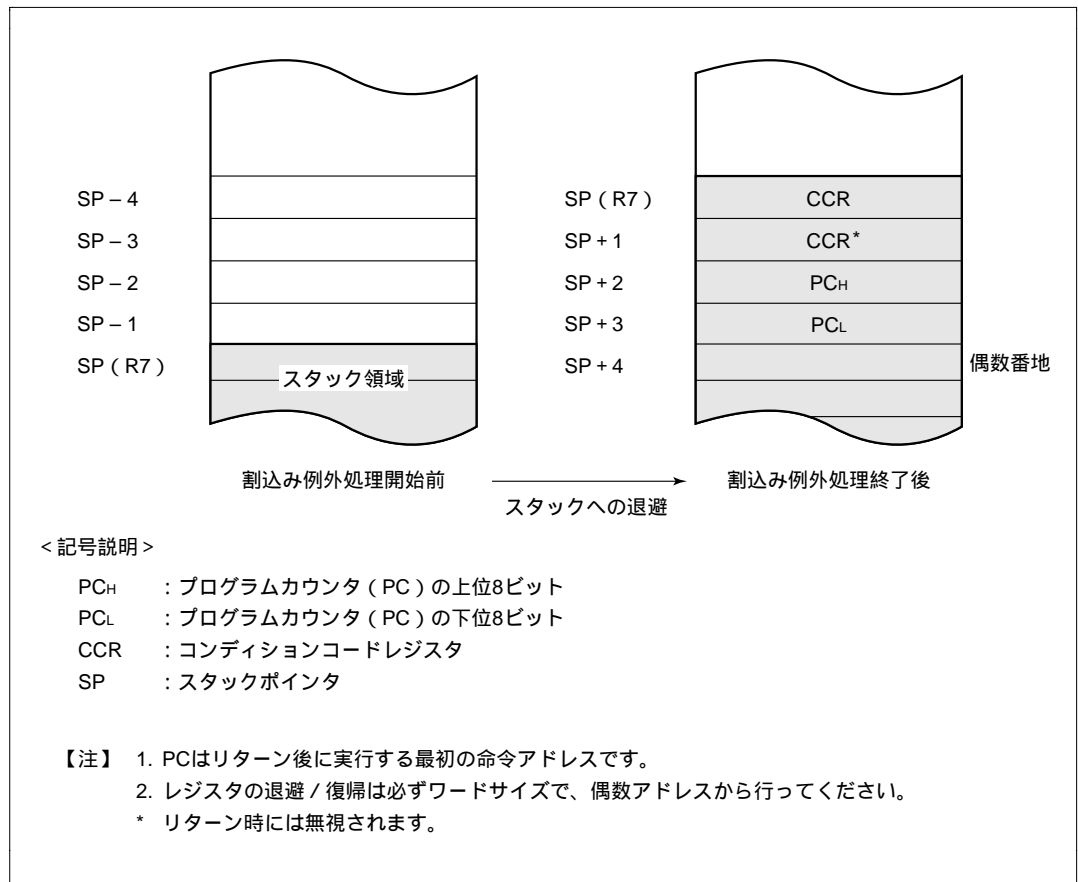


図 3.5 割込み例外処理終了後のスタック状態

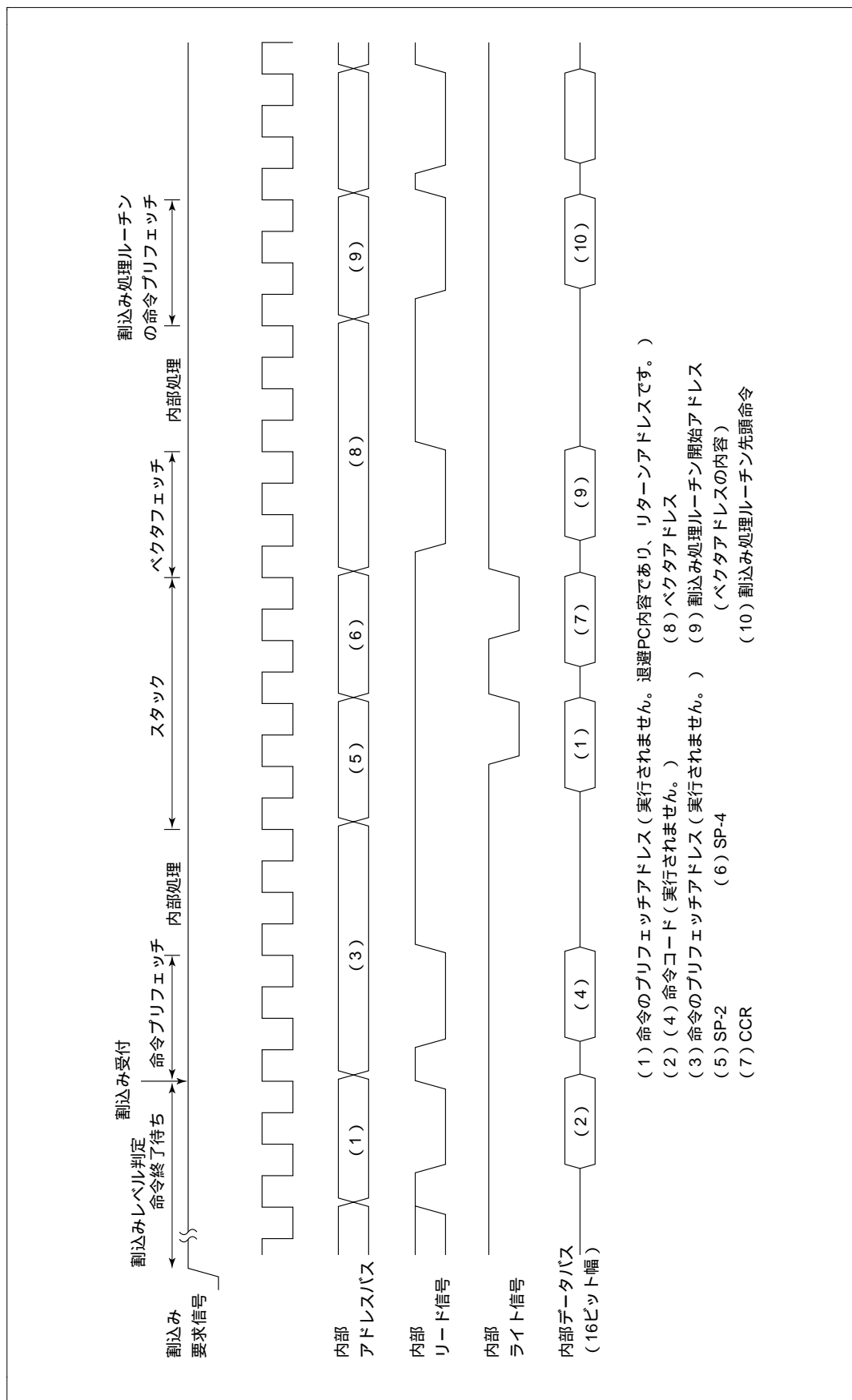


図 3.6 割り込みシーケンス

3.3.6 割込み応答時間

割込み要求フラグがセットされた後、割込み処理ルーチンの先頭命令を実行するまでの待ち状態数を表 3.4 に示します。

表 3.4 割込み待ち状態数

項目	状態数	合計
実行中の命令終了時の待ち時間*	1 ~ 13	15 ~ 27
PC、CCR のスタック	4	
ベクタフェッチ	2	
命令フェッチ	4	
内部処理	4	

【注】 * EEPMOV 命令は除きます。

3.4 使用上の注意事項

3.4.1 スタック領域に関する使用上の注意事項

本 LSI では、ワードデータをアクセスする場合は、アドレスの最下位ビットは"0"とみなされます。スタック領域に対するアクセスは、常にワードサイズで行い、スタックポインタ (SP : R7) の内容は奇数にしないでください。すなわち、レジスタの退避や復帰は、「PUSH Rn (MOV.W Rn, @-SP)」または「POP Rn (MOV.W @SP+, Rn)」を使用してください。

SP に奇数を設定すると、誤動作の原因となります。SP に奇数を設定した場合の動作例を図 3.7 に示します。

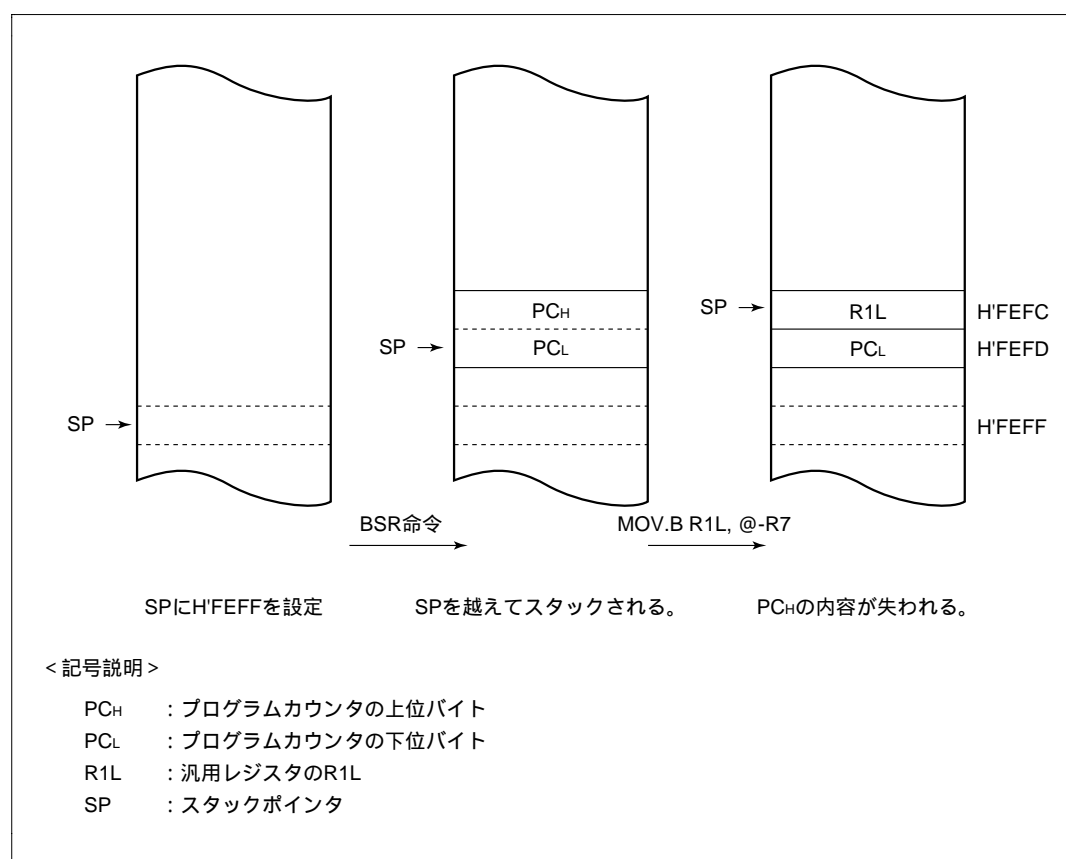


図 3.7 SP に奇数を設定したときの動作

また、割り込み例外処理および RTE 命令実行時の CCR の退避時および復帰時はワードサイズで扱われます。退避時には、ワードサイズデータの上位バイトおよび下位バイトともに CCR の値が退避されます。復帰時には、偶数アドレスの値が CCR に格納され、奇数アドレスの値は無視されます。

3.4.2 ポートモードレジスタを書き換える際の注意事項

外部割込み端子の機能切換えのためにポートモードレジスタを書き換える際には、以下の点に注意してください。

外部割込み端子 ($\overline{\text{IRQ}}_4 \sim \overline{\text{IRQ}}_0$, $\overline{\text{WKP}}_7 \sim \overline{\text{WKP}}_0$) を制御しているポートモードレジスタを書き換えて端子機能を切り換えた場合、端子に有効な割込みが入力されていなくても、端子機能を切り換えた時点で割込み要求フラグが"1"にセットされますので、割込み要求フラグを"0"にクリアしてから使用してください。

"1"にセットされる割込み要求フラグとその条件を表 3.5 に示します。

表 3.5 割込み要求フラグが"1"にセットされる条件

"1"にセットされる 割込み要求フラグ		条件
IRR1	IRRI4	<ul style="list-style-type: none"> • \overline{IRQ}_4 端子が"Low"レベルでIEGRのIEG4が"0"の状態、PMR2のIRQ4を"0"から"1"に書き換えたとき • \overline{IRQ}_4 端子が"Low"レベルでIEGRのIEG4が"1"の状態、PMR2のIRQ4を"1"から"0"に書き換えたとき
	IRRI3	<ul style="list-style-type: none"> • \overline{IRQ}_3 端子が"Low"レベルでIEGRのIEG3が"0"の状態、PMR1のIRQ3を"0"から"1"に書き換えたとき • \overline{IRQ}_3 端子が"Low"レベルでIEGRのIEG3が"1"の状態、PMR1のIRQ3を"1"から"0"に書き換えたとき
	IRRI2	<ul style="list-style-type: none"> • \overline{IRQ}_2 端子が"Low"レベルでIEGRのIEG2が"0"の状態、PMR1のIRQ2を"0"から"1"に書き換えたとき • \overline{IRQ}_2 端子が"Low"レベルでIEGRのIEG2が"1"の状態、PMR1のIRQ2を"1"から"0"に書き換えたとき
	IRRI1	<ul style="list-style-type: none"> • \overline{IRQ}_1 端子が"Low"レベルでIEGRのIEG1が"0"の状態、PMR1のIRQ1を"0"から"1"に書き換えたとき • \overline{IRQ}_1 端子が"Low"レベルでIEGRのIEG1が"1"の状態、PMR1のIRQ1を"1"から"0"に書き換えたとき
	IRRI0	<ul style="list-style-type: none"> • \overline{IRQ}_0 端子が"Low"レベルでIEGRのIEG0が"0"の状態、PMR2のIRQ0を"0"から"1"に書き換えたとき • \overline{IRQ}_0 端子が"Low"レベルでIEGRのIEG0が"1"の状態、PMR2のIRQ0を"1"から"0"に書き換えたとき
IWPR	IWPF7	\overline{WKP}_7 端子が"Low"レベルの状態、PMR5のWKP7を"0"から"1"に書き換えたとき
	IWPF6	\overline{WKP}_6 端子が"Low"レベルの状態、PMR5のWKP6を"0"から"1"に書き換えたとき
	IWPF5	\overline{WKP}_5 端子が"Low"レベルの状態、PMR5のWKP5を"0"から"1"に書き換えたとき
	IWPF4	\overline{WKP}_4 端子が"Low"レベルの状態、PMR5のWKP4を"0"から"1"に書き換えたとき
	IWPF3	\overline{WKP}_3 端子が"Low"レベルの状態、PMR5のWKP3を"0"から"1"に書き換えたとき
	IWPF2	\overline{WKP}_2 端子が"Low"レベルの状態、PMR5のWKP2を"0"から"1"に書き換えたとき
	IWPF1	\overline{WKP}_1 端子が"Low"レベルの状態、PMR5のWKP1を"0"から"1"に書き換えたとき
	IWPF0	\overline{WKP}_0 端子が"Low"レベルの状態、PMR5のWKP0を"0"から"1"に書き換えたとき

ポートモードレジスタの操作と割り込み要求フラグのクリアの手順を図 3.8 に示します。

端子機能を切り換える場合は、ポートモードレジスタの操作前に割り込み禁止状態にして、ポートモードレジスタ操作後に、少なくとも 1 命令 (NOP 命令で可) 実行してから、"1" にセットされた割り込み要求フラグを"0"にクリアしてください。ポートモードレジスタ操作後に 1 命令実行せず割り込み要求フラグを"0"にクリアする命令を実行しても、割り込み要求フラグはクリアされませんので注意してください。

なお、端子機能切換えにともなう割り込み要求フラグのセットを回避する他の方法として、表 3.5 の条件を満たさないように端子を"High"レベルに制御して行う方法もあります。

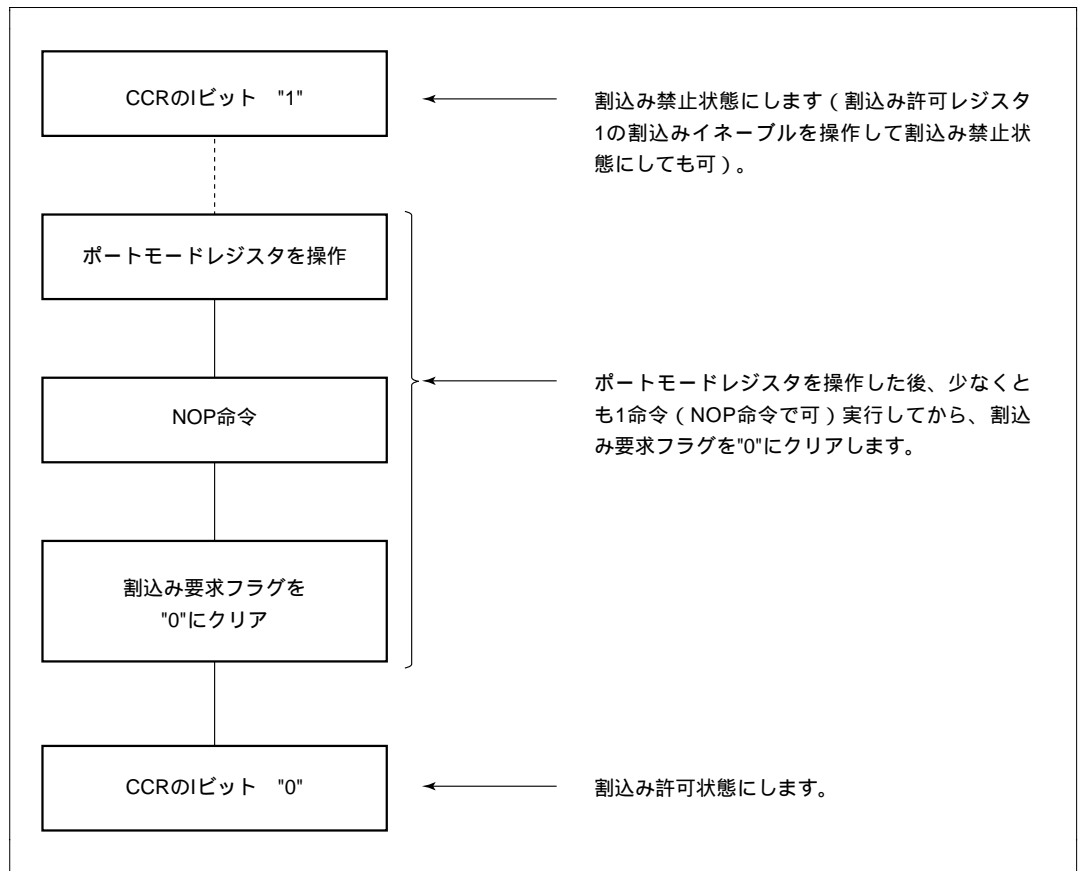


図 3.8 ポートモードレジスタ操作と割り込み要求フラグのクリア手順

4. クロック発振器

第4章 目次

4.1	概要.....	101
	4.1.1 ブロック図.....	101
	4.1.2 システムクロックとサブクロック.....	101
4.2	システムクロック発振器.....	102
4.3	サブクロック発振器.....	105
4.4	プリスケーラ.....	107
4.5	発振子に関する注意事項.....	108

4.1 概要

本 LSI は、クロック発生回路 (CPG : Clock Pulse Generator) を内蔵しています。

クロック発生回路は、システムクロック発振器、システムクロック分周器からなるシステムクロック発生回路と、サブクロック発振器、サブクロック分周器からなるサブクロック発生回路の 2 つの回路から構成されます。

4.1.1 ブロック図

図 4.1 にクロック発生回路のブロック図を示します。

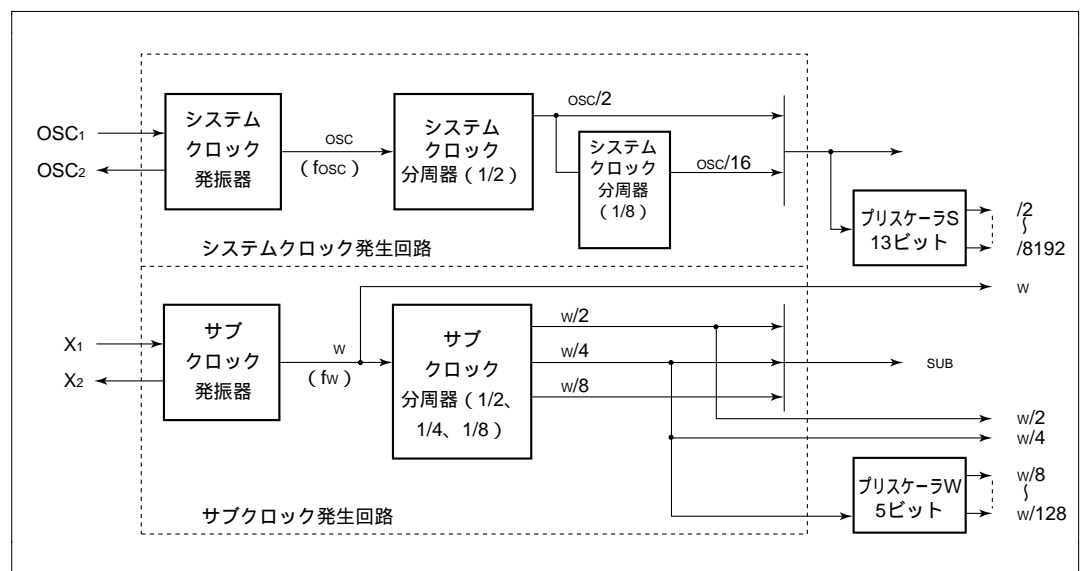


図 4.1 クロック発生回路のブロック図

4.1.2 システムクロックとサブクロック

クロック (および w_{SUB}) は、CPU および周辺機能を動作させるための基準クロックです。

osc をシステムクロック、 w_{SUB} をサブクロックと呼びます。また、 osc を OSC クロック、 w をウォッチクロックと呼びます。

クロック $/8192$ 、 $/4096$ 、 $/2048$ 、 $/1024$ 、 $/512$ 、 $/256$ 、 $/128$ 、 $/64$ 、 $/32$ 、 $/16$ 、 $/8$ 、 $/4$ 、 $/2$ 、 $w/128$ 、 $w/64$ 、 $w/32$ 、 $w/16$ 、 $w/8$ 、 $w/4$ 、 $w/2$ 、 w は、周辺機能で必要とするクロックであり各周辺機能によって異なります。

4.2 システムクロック発振器

システムクロック分周器へクロックを供給する方法には、水晶発振子またはセラミック発振子を接続する方法と、外部クロックを入力する方法があります。

(1) 水晶発振子を接続する方法

水晶発振子の接続例を図 4.2 に示します。

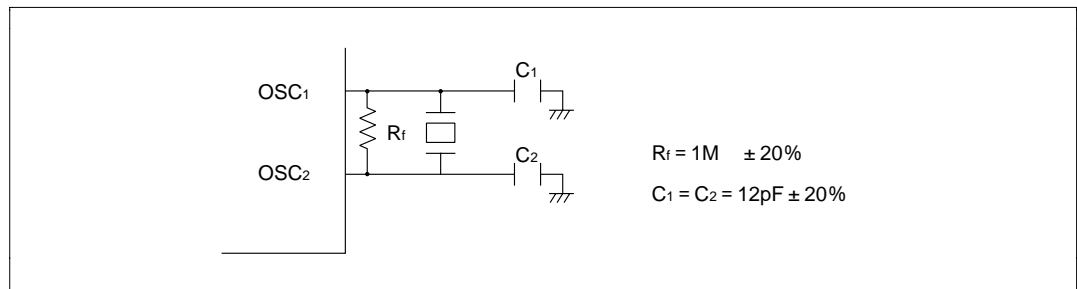


図 4.2 水晶発振子の接続例

図 4.3 に水晶発振子の等価回路を示します。発振子は表 4.1 に示す特性のものを使用してください。

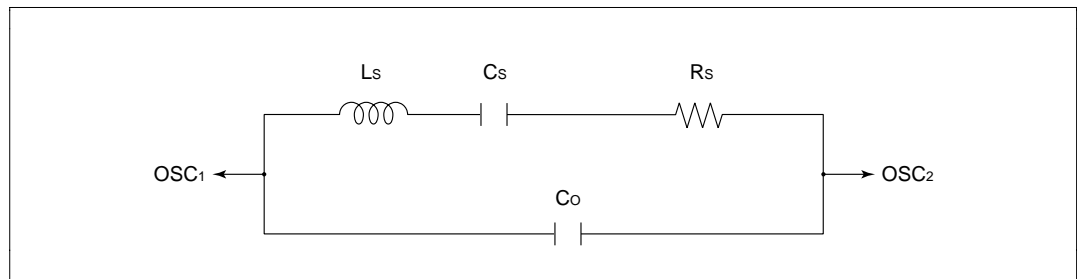


図 4.3 水晶発振子の等価回路

表 4.1 水晶発振子のパラメータ

周波数 (MHz)	2	4	8	10
R_s (max)	500	100	50	30
C_o (max)	7pF			

(2) セラミック発振子を接続する方法

セラミック発振子の接続例を図 4.4 に示します。

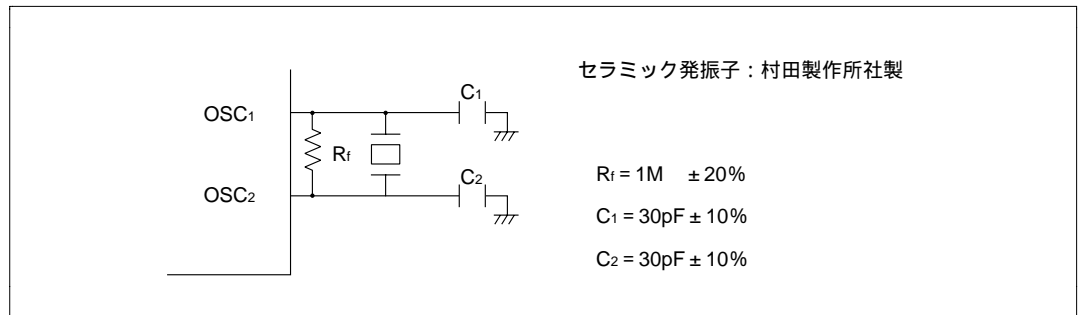


図 4.4 セラミック発振子の接続例

(3) ボード設計上の注意

水晶発振子（セラミック発振子）を接続して発振させる場合、次の点に注意してください。

発振回路部の近くで信号線を通させないでください。誘導により正しい発振ができなくなる場合があります（図 4.5 参照）。

また、ボード設計に際しては、発振子および負荷容量はできるだけ OSC_1 、 OSC_2 端子の近くに配置してください。

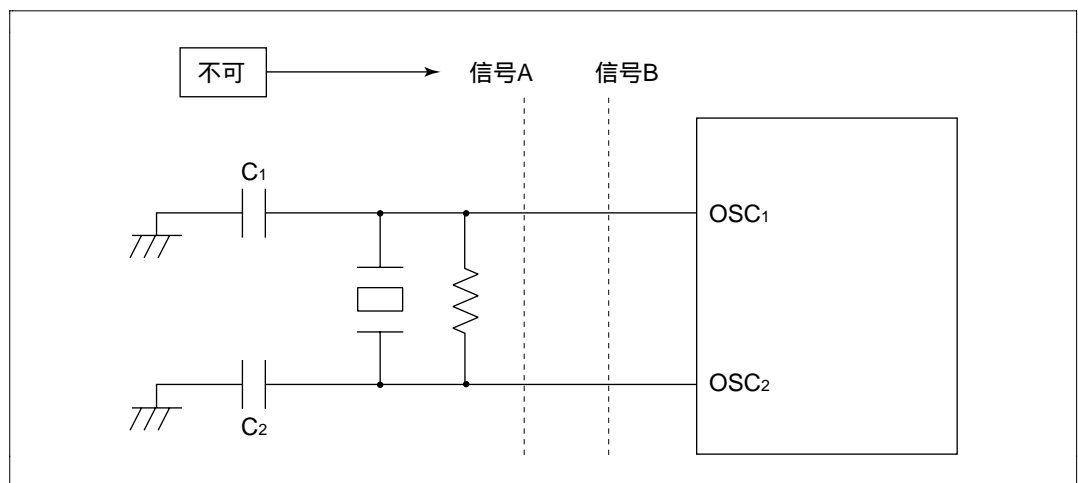


図 4.5 発振回路部のボード設計に関する注意事項

(4) 外部クロックを入力する方法

外部クロックを OSC₁ 端子に接続し、OSC₂ 端子をオープン状態にします。

この場合の接続例を図 4.6 に示します。

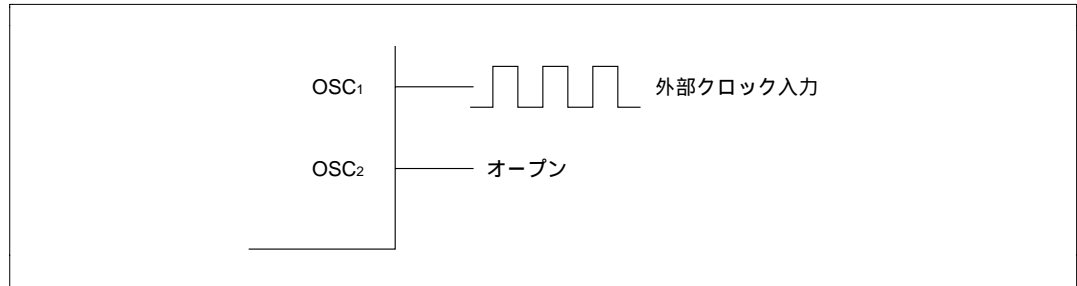


図 4.6 外部クロックを入力する場合の接続例

周波数	OSC クロック (_{osc})
duty	45% ~ 55%

4.3 サブクロック発振器

(1) 32.768kHz 水晶発振子を接続する方法

サブクロック分周器へクロックを供給するには、図 4.7 に示すように 32.768kHz の水晶発振子を接続します。接続する場合の注意については、「4.2(3) ボード設計上の注意」と同様です。

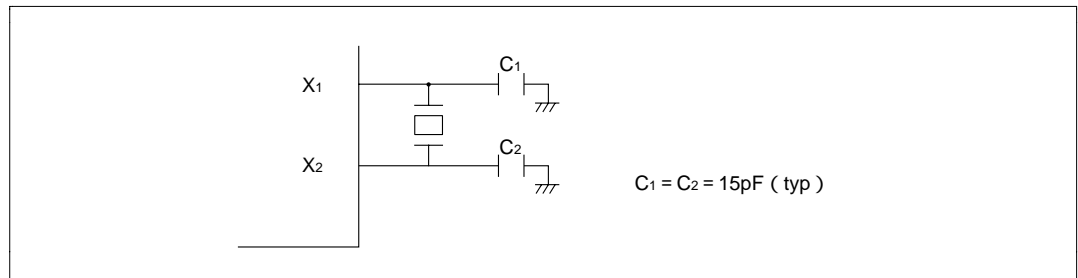


図 4.7 32.768kHz 水晶発振子の接続例

図 4.8 に 32.768kHz 水晶発振子の等価回路を示します。

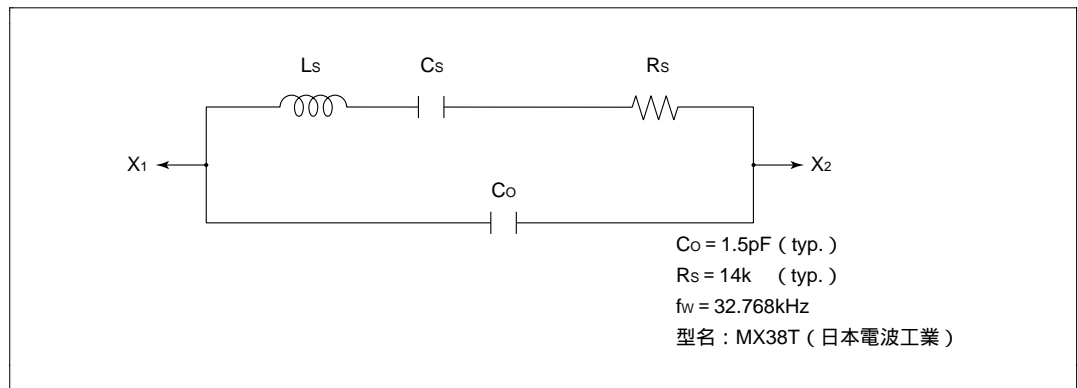


図 4.8 32.768kHz 水晶発振子の等価回路

(2) 外部クロックを入力する方法 (H8/3832S, H8/3833S, H8/3834, H8/3835S, H8/3836S, H8/3837S のみ)

(a) 回路構成

外部クロックは X₁ 端子に入力します。X₂ 端子はオープンとしてください。この場合の接続例を図 4.9 に示します。

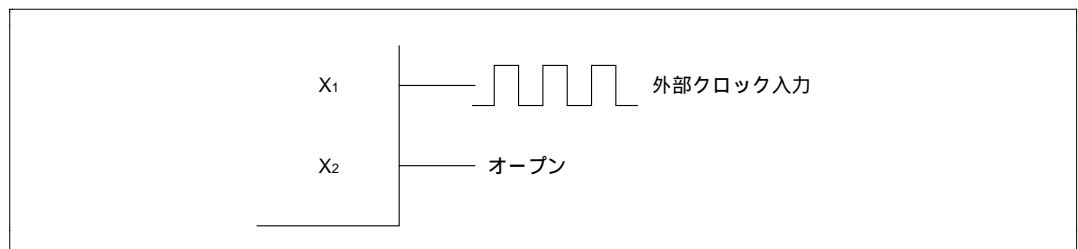


図 4.9 外部クロックを入力する場合の接続例

(b) 外部クロック

X₁ 端子には矩形波を入力してください。また、CPU、タイマ A、タイマ C、タイマ G、LCD でサブクロック (w) 系のクロックを選択して使用する場合には、X₁ 端子へのクロックの供給を停止しないでください。

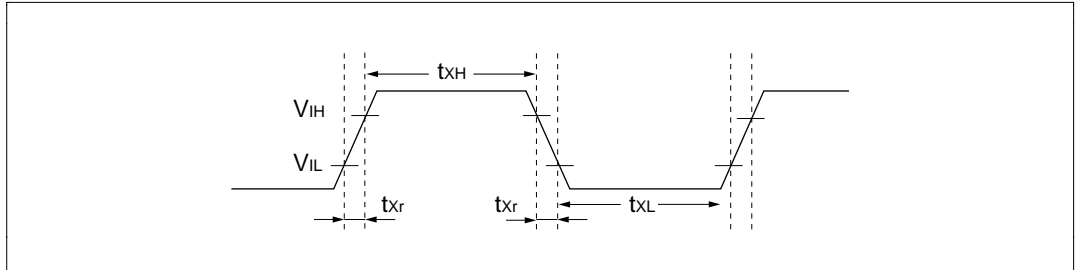


図 4.10 サブクロックのタイミング

X₁ 端子に入力する外部クロックの DC 特性とタイミングを表 4.2 に示します。

表 4.2 DC 特性とタイミング

(特記なき場合、V_{cc} = 2.7 ~ 5.5V、AV_{cc} = 2.7 ~ 5.5V、V_{ss} = AV_{ss} = 0.0V、T_a = - 20 ~ + 75 °C、サブアクティブモードを含む)

項目	記号	適用端子	規格値			単位	備考
			min.	typ.	max.		
入力"High"レベル電圧	V _{IH}	X ₁	V _{cc} - 0.3		V _{cc} + 0.3	V	図 4.10
入力"Low"レベル電圧	V _{IL}		- 0.3		0.3		
外部サブクロック立上り時間	t _{xr}				100	ns	図 4.10
外部サブクロック立下り時間	t _{xr}				100		
外部サブクロック発振周波数	f _x			32.768		kHz	
外部サブクロック"High"レベル幅	t _{xH}		12.0			μs	図 4.10
外部サブクロック"Low"レベル幅	t _{xL}		12.0			μs	

(3) サブクロックを必要としない場合の端子処理

サブクロックを必要としない場合には、図 4.11 に示すように X₁ 端子を V_{CC} に接続し、X₂ 端子をオープンとしてください。

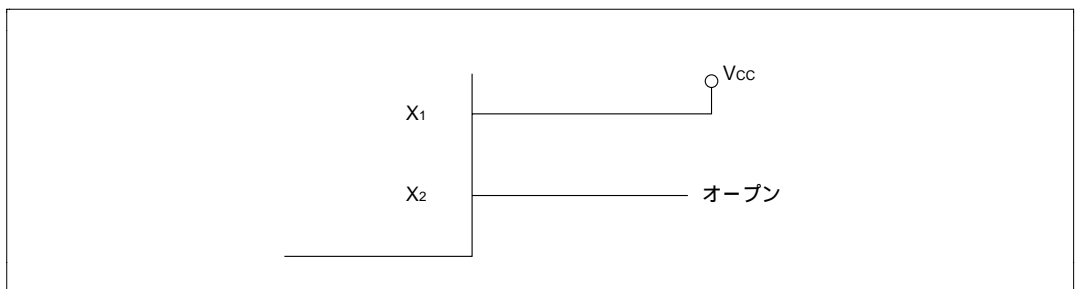


図 4.11 サブクロックを必要としない場合の端子処理

4.4 プリスケーラ

本 LSI は、入力クロックの異なる 2 本のプリスケーラ (プリスケーラ S、プリスケーラ W) を内蔵しています。

プリスケーラ S は、システムクロック () を入力クロックとする 13 ビットのカウンタで、分周した出力を内蔵周辺モジュールの内部クロックとして使用します。プリスケーラ W は 32.768kHz を 4 分周したクロック ($f_w/4$) を入力とする 5 ビットのカウンタで、分周した出力をタイマ A の時計用タイムベース動作に使用します。

(1) プリスケーラ S (PSS)

プリスケーラ S は、システムクロック () を入力クロックとする 13 ビットのカウンタで、1 サイクルごとにカウントアップします。

リセット時、プリスケーラ S は H'0000 にイニシャライズされ、リセット解除後、カウントアップを開始します。

スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでは、システムクロック発振器が停止するためプリスケーラ S の動作も停止します。このとき、プリスケーラ S は H'0000 にイニシャライズされます。

CPU によるプリスケーラ S のデータリード/ライトはできません。

プリスケーラ S の出力は、タイマ A、タイマ B、タイマ C、タイマ F、タイマ G、SCI1、SCI2、SCI3、A/D 変換器、LCD コントローラ、および 14 ビット PWM で共用しており、分周比は各内蔵周辺機能で独立に設定できます。

なお、アクティブ (中速) モードではプリスケーラ S のクロック入力が $f_{osc}/16$ となります。

(2) プリスケーラ W (PSW)

プリスケーラ W は、32.768kHz を 4 分周したクロック ($f_w/4$) を入力クロックとする 5 ビットのカウンタです。

リセット時、プリスケーラ W は H'00 にイニシャライズされ、リセット解除後、カウントアップを開始します。

スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードに移行しても、X1、X2 端子にクロックが供給されているかぎり、プリスケーラ W は動作を継続します。

プリスケーラ W は、TMA の TMA3、TMA2 を各々 "1" に設定することでリセットできます。

また、プリスケーラ W の出力は、タイマ A のクロックとして使用できます。このとき、タイマ A は時計用タイムベースとして機能します。

4.5 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、マスク ROM 版、ZTAT[®]版共にユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと充分ご相談の上決定してください。発振端子に印加される電圧が最大定格を越えないような設計を行ってください。

5. 低消費電力モード

第5章 目次

5.1	概要.....	111
	5.1.1	システムコントロールレジスタ..... 114
5.2	スリープモード.....	118
	5.2.1	スリープモードへの遷移..... 118
	5.2.2	スリープモードの解除..... 118
5.3	スタンバイモード.....	119
	5.3.1	スタンバイモードへの遷移..... 119
	5.3.2	スタンバイモードの解除..... 119
	5.3.3	スタンバイモード解除後の発振安定時間の設定..... 120
	5.3.4	スタンバイモードへの遷移と端子状態..... 120
5.4	ウォッチモード.....	121
	5.4.1	ウォッチモードへの遷移..... 121
	5.4.2	ウォッチモードの解除..... 121
	5.4.3	ウォッチモード解除後の発振安定時間の設定..... 121
5.5	サブスリープモード.....	122
	5.5.1	サブスリープモードへの遷移..... 122
	5.5.2	サブスリープモードの解除..... 122
5.6	サブアクティブモード.....	123
	5.6.1	サブアクティブモードへの遷移..... 123
	5.6.2	サブアクティブモードの解除..... 123
	5.6.3	サブアクティブモードの動作周波数について..... 123
5.7	アクティブ(中速)モード.....	124
	5.7.1	アクティブ(中速)モードへの遷移..... 124
	5.7.2	アクティブ(中速)モードの解除..... 124
	5.7.3	アクティブ(中速)モードの動作周波数について..... 124

5. 低消費電力モード

5.8	直接遷移.....	125
5.8.1	直接遷移の概要.....	125
5.8.2	直接遷移の時間.....	126

5.1 概要

本 LSI には、リセット解除後に LSI が動作するモードとして、消費電力を著しく低下させる 6 種類の低消費電力モードを含む、7 種類の動作モードをもっています。

表 5.1 に動作モードの概要を示します。

表 5.1 動作モードの概要

動作モード	説明
アクティブ（高速）モード	CPU がシステムクロックにより、高速動作でプログラムを実行しているモードです。
アクティブ（中速）モード	CPU がシステムクロックにより、低速動作でプログラムを実行しているモードです。
サブアクティブモード	CPU がサブクロックにより、低速動作でプログラムを実行しているモードです。
スリープモード	CPU が動作を停止し、内蔵周辺機能がシステムクロックで動作しているモードです。
サブスリープモード	CPU が動作を停止し、タイマ A、タイマ C、タイマ G、および LCD コントローラ / ドライバがサブクロックで動作しているモードです。
ウォッチモード	CPU が動作を停止し、タイマ A の時計機能および LCD コントローラ / ドライバがサブクロックで動作しているモードです。
スタンバイモード	CPU およびすべての内蔵の周辺機能が動作を停止しているモードです。

上記 7 種類の動作モードのうち、アクティブ（高速）モード以外の動作モードを低消費電力モードと呼びます。また、本章では、アクティブ（高速）モードとアクティブ（中速）モードを総称してアクティブモードと呼びます。

図 5.1 にモード遷移図を示します。

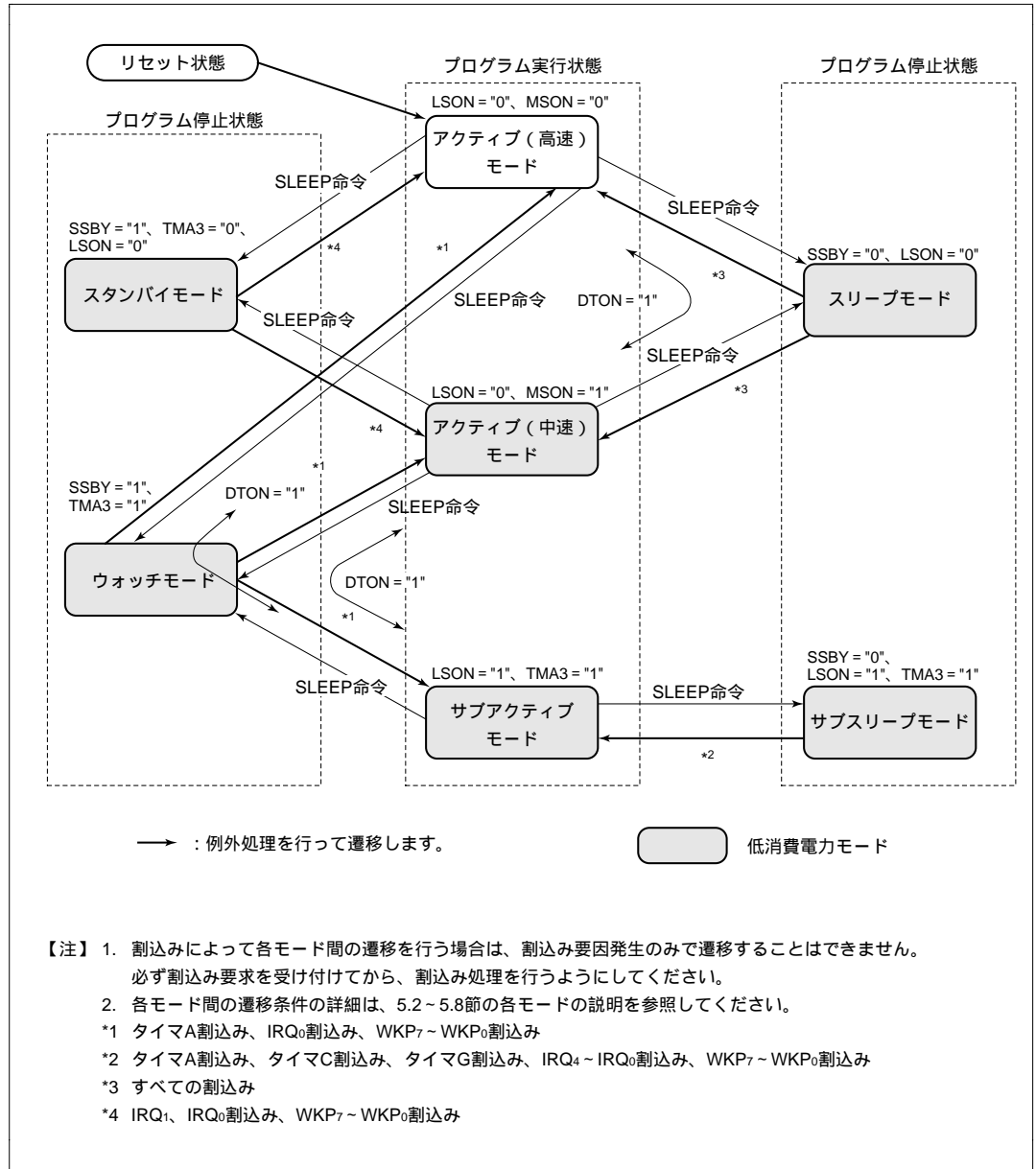


図 5.1 モード遷移図

表 5.2 に各モードでの LSI の内部状態を示します。

表 5.2 各動作モードでの LSI の状態

機能	アクティブ		スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ		
	高速	中速							
システムクロック発振器	動作	動作	動作	停止	停止	停止	停止		
サブクロック発振器	動作	動作	動作	動作	動作	動作	動作		
CPU 動作	命令	動作	動作	停止	停止	動作	停止		
	RAM			保持	保持		保持	保持	
	レジスタ							保持*1	
	I/O								
外部 割込み の動作	IRQ ₀	動作	動作	動作	動作	動作	動作		
	IRQ ₁								
	IRQ ₂			保持*6					
	IRQ ₃								
	IRQ ₄								
	WKP ₀	動作	動作	動作	動作	動作	動作		
	WKP ₁								
	WKP ₂								
	WKP ₃								
	WKP ₄								
WKP ₅									
WKP ₆									
WKP ₇									
周辺機能 の動作	タイマ A	動作	動作	動作	動作*5	動作*5	動作*5		
	タイマ B				保持	保持	保持		
	タイマ C							動作 / 保持*2	動作 / 保持*2
	タイマ F							保持	保持
	タイマ G							動作 / 保持*2	動作 / 保持*2
	SCI1	動作	動作	動作	保持	保持	保持		
	SCI2								
	SCI3				リセット	リセット	リセット		
	PWM	動作	動作	保持	保持	保持	保持	保持	
	A/D 変換器	動作	動作	動作	保持	保持	保持	保持	
LCD	動作	動作	動作	動作 / 保持*4	動作 / 保持*4	動作 / 保持*4	保持		

【注】 *1 レジスタは保持、出力はハイインピーダンス

*2 外部クロックまたは内部クロックとして $w/4$ を選択した場合に動作、その他は停止して保持

*3 内部クロックとして $w/2$ を選択した場合に動作、その他は停止して保持

*4 内部クロックとして w 、 $w/2$ を選択した場合に動作、その他は停止して保持

*5 時計用タイムベース機能を選択時に動作

*6 外部割込み要求は無視されます。割込み要求レジスタの内容は影響を受けません。

5.1.1 システムコントロールレジスタ

表 5.3 に動作モードを設定するシステムコントロールレジスタを示します。

表 5.3 レジスタ構成

名称	略称	R/W	初期値	アドレス
システムコントロールレジスタ 1	SYSCR1	R/W	H'07	H'FFF0
システムコントロールレジスタ 2	SYSCR2	R/W	H'E0	H'FFF1

(1) システムコントロールレジスタ 1 (SYSCR1)

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	LSON	—	—	—
初期値:	0	0	0	0	0	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	—	—	—

SYSCR1 は、8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

ビット 7: ソフトウェアスタンバイ (SSBY)

スタンバイモード、ウォッチモードへの遷移を指定します。

ビット 7	説明
SSBY	
0	アクティブモードで SLEEP 命令実行後、スリープモードに遷移 サブアクティブモードで SLEEP 命令実行後、サブスリープモードに遷移 (初期値)
1	アクティブモードで SLEEP 命令実行後、スタンバイモードあるいはウォッチモードに遷移 サブアクティブモードで SLEEP 命令実行後、ウォッチモードに遷移

ビット6～4：スタンバイタイムセレクト2～0 (STS2～STS0)

特定の割込みにより、スタンバイモード、ウォッチモードを解除し、アクティブモードに遷移する場合に、クロックが安定するまで CPU と周辺機能が待機する時間を指定します。動作周波数に応じて待機時間が 10ms 以上となるように指定してください。

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8,192 ステート (初期状態)
0	0	1	待機時間 = 16,384 ステート
0	1	0	待機時間 = 32,768 ステート
0	1	1	待機時間 = 65,536 ステート
1	*	*	待機時間 = 131,072 ステート

* Don't care

ビット3：ロースピードオンフラグ (LSON)

ウォッチモードを解除時に、CPUの動作クロックをシステムクロック()にするか、サブクロック(_{SUB})にするかを選択します。他の制御ビット、割込み入力の組合せで動作モードを決定します。

ビット3	説明
LSON	
0	CPUの動作クロックはシステムクロック() (初期値)
1	CPUの動作クロックはサブクロック(_{SUB})

ビット2～0：リザーブビット

リザーブビットです。各ビットはリードすると常に"1"が読み出されます。ライトは無効です。

(2) システムコントロールレジスタ 2 (SYSCR2)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	NESEL	DTON	MSON	SA1	SA0
初期値:	1	1	1	0	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

SYSCR2 は、8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

ビット 7~5 : リザーブビット

リザーブビットです。各ビットはリードすると常に"1"が読み出されます。ライトは無効です。

ビット 4 : ノイズ除去サンプリング周波数選択 (NESEL)

サブクロック発振器より生成されたウォッチクロック (f_w) を、システムクロック発振器より生成された OSC クロック (f_{osc}) により、サンプリングする周波数を選択します。 $f_{osc} = 2 \sim 10\text{MHz}$ のときは、"0" をセットしてください。

ビット 4	説明
NESEL	
0	f_{osc} の 16 分周クロックでサンプリング (初期値)
1	f_{osc} の 4 分周クロックでサンプリング

ビット3：ダイレクトトランスファオンフラグ (DTON)

アクティブ(高速)モード、アクティブ(中速)モード、サブアクティブモードの各モード間を、SLEEP 命令を実行することにより直接遷移するか否かを指定します。SLEEP 命令実行後に遷移する動作モードは、本ビット以外の制御ビットの組合せで決定します。

ビット3	
DTON	説明
0	<ul style="list-style-type: none"> ・アクティブモードで SLEEP 命令を実行したとき、スタンバイモード、ウォッチモード、またはスリープモードに遷移 ・サブアクティブモードで SLEEP 命令を実行したとき、ウォッチモード、またはサブスリープモードに遷移 (初期値)
1	<ul style="list-style-type: none"> ・アクティブ(高速)モードで SLEEP 命令を実行したとき、アクティブ(中速)モード (SSBY="0"、MSON="1"、LSON="0"のとき)、またはサブアクティブモード (SSBY="1"、TMA3="1"、LSON="1"のとき) に直接遷移 ・アクティブ(中速)モードで SLEEP 命令を実行したとき、アクティブ(高速)モード (SSBY="0"、MSON="0"、LSON="0"のとき)、またはサブアクティブモード (SSBY="1"、TMA3="1"、LSON="1"のとき) に直接遷移 ・サブアクティブモードで SLEEP 命令を実行したとき、アクティブ(高速)モード (SSBY="1"、TMA3="1"、LSON="0"、MSON="0"のとき)、またはアクティブ(中速)モード (SSBY="1"、TMA3="1"、LSON="0"、MSON="1"のとき) に直接遷移

ビット2：ミドルスピードオンフラグ (MSON)

スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ(高速)モードで動作させるか、アクティブ(中速)モードで動作させるかを選択します。

ビット2	
MSON	説明
0	アクティブ(高速)モードで動作 (初期値)
1	アクティブ(中速)モードで動作

ビット1、0：サブアクティブモードクロックセレクト (SA1、SA0)

サブアクティブモードのCPUの動作クロック ($w/8$ 、 $w/4$ 、 $w/2$)を選択します。SA1、SA0はサブアクティブモードでライトしても値は更新されません。

ビット1	ビット0	
SA1	SA0	説明
0	0	$w/8$ (初期値)
0	1	$w/4$
1	*	$w/2$

* Don't care

5.2 スリープモード

5.2.1 スリープモードへの遷移

アクティブモードで、SYSCR1 の SSBY が"0"、LSON が"0"のとき SLEEP 命令を実行すると、スリープモードに遷移します。スリープモードでは CPU の動作は停止しますが、PWM を除く内蔵周辺モジュールは動作します。なお、CPU のレジスタの内容は保持されます。

5.2.2 スリープモードの解除

スリープモードの解除は、すべての割込み (タイマ A、タイマ B、タイマ C、タイマ F、タイマ G、IRQ₄ ~ IRQ₀、WKP₇ ~ WKP₀、SCI3、SCI2、SCI1、A/D 変換器)、 $\overline{\text{RES}}$ 端子入力によって行われます。

(1) 割込みによる解除

割込み要求が発生すると、スリープモードは解除され、割込み例外処理を開始します。

SYSCR2 の MSON が"0"のときアクティブ (高速) モードに、MSON が"1"のときアクティブ (中速) モードに遷移します。なお、CCR の I ビットが"1"のとき、あるいは割込み許可レジスタにより当該割込みの受付が禁止されている場合はスリープ状態は解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を "Low" レベルにするとリセット状態に遷移し、スリープモードは解除されます。

5.3 スタンバイモード

5.3.1 スタンバイモードへの遷移

アクティブモードで SYSCR1 の SSBY が "1"、LSON が "0"、および TMA の TMA3 が "0" のとき SLEEP 命令を実行すると、スタンバイモードに遷移します。スタンバイモードではクロック発生回路からのクロック供給を停止するため、CPU および内蔵周辺機能が停止します。規定の電圧が与えられている限り、CPU のレジスタと一部の内蔵周辺機能の内部レジスタ、および内蔵 RAM のデータは保持されています。さらに、RAM データ保持電圧で規定した電圧が与えられているかぎり、内蔵 RAM のデータは保持されています。このとき、I/O ポートはハイインピーダンス状態となります。

5.3.2 スタンバイモードの解除

スタンバイモードの解除は、割込み (IRQ₁、IRQ₀、WKP₇~WKP₀)、 $\overline{\text{RES}}$ 端子入力によって行われます。

(1) 割込みによる解除

割込み要求が発生すると、システムクロックの発振が開始され、SYSCR1 の STS2~STS0 により設定された時間が経過した後、安定したシステムクロックが LSI 全体に供給されて、スタンバイモードは解除され、割込み例外処理を開始します。SYSCR2 の MSON が "0" のときはアクティブ (高速) モードに、"1" のときはアクティブ (中速) モードに遷移します。なお、CCR の I ビットが "1" のとき、あるいは、割込み許可レジスタにより当該割込みの受付が禁止されている場合は、スタンバイモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を "Low" レベルにすると、システムクロックの発振が開始されます。発振安定時間経過後、 $\overline{\text{RES}}$ 端子を "High" レベルにすると、CPU はリセット例外処理を開始します。なお、システムクロックの発振開始と同時に LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は、必ずシステムクロックの発振が安定するまで、"Low" レベルを保持してください。

5.3.3 スタンバイモード解除後の発振安定時間の設定

SYSCR1 の STS2 ~ STS0 の設定は、以下のようにしてください。

(1) 水晶発振の場合

表 5.4 に動作周波数と STS2 ~ STS0 の設定値に対する待機時間を示します。待機時間が 10ms 以上となるように STS2 ~ STS0 を設定してください。

表 5.4 動作周波数と発振安定時間

(単位 : ms)

STS2	STS1	STS0	待機時間	5MHz	4MHz	2MHz	1MHz	0.5MHz
0	0	0	8,192 ステート	1.6	2.0	4.1	8.2	16.4
0	0	1	16,384 ステート	3.2	4.1	8.2	16.4	32.8
0	1	0	32,768 ステート	6.6	8.2	16.4	32.8	65.5
0	1	1	65,536 ステート	13.1	16.4	32.8	65.5	131.1
1	*	*	131,072 ステート	26.2	32.8	65.5	131.1	262.1

* : Don't care

(2) 外部クロックの場合

任意の値を選択可能です。通常の場合は、最小時間 (STS2 = STS1 = STS0 = "0") の使用を推奨します。

5.3.4 スタンバイモードへの遷移と端子状態

アクティブ (高速) モードまたはアクティブ (中速) モードで SYSCR1 の SSBY を "1"、LSON を "0"、TMA の TMA3 を "0" にセットした状態で SLEEP 命令を実行するとスタンバイモードに遷移します。同時に端子はハイインピーダンス状態 (プルアップ MOS オン設定端子は除く) になります。この時のタイミングを図 5.2 に示します。

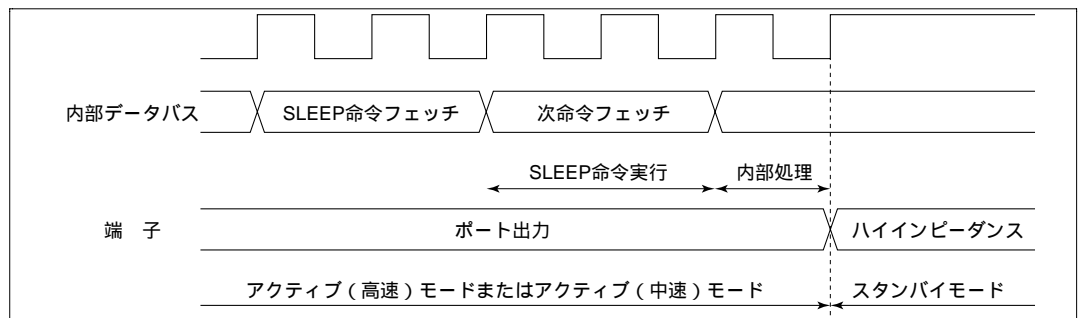


図 5.2 スタンバイモードへの遷移と端子状態

5.4 ウォッチモード

5.4.1 ウォッチモードへの遷移

アクティブモード、サブアクティブモードで SYSCR1 の SSBY が "1"、TMA の TMA3 が "1" のとき SLEEP 命令を実行すると、ウォッチモードに遷移します。ウォッチモードではタイマ A、LCD (動作 / 停止選択可) 以外の内蔵周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺機能の内部レジスタ、および内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

5.4.2 ウォッチモードの解除

ウォッチモードの解除は、割込み (IRQ₀、WKP₇ ~ WKP₀、タイマ A)、 $\overline{\text{RES}}$ 端子入力によって行われます。

(1) 割込みによる解除

割込み要求が発生するとウォッチモードは解除され、SYSCR1 の LSON と SYSCR2 の MSON の組合せで、LSON = "0" かつ MSON = "0" のときはアクティブ (高速) モードに、LSON = "0" かつ MSON = "1" のときはアクティブ (中速) モードに、LSON = "1" のときはサブアクティブモードに遷移します。アクティブモードに遷移するときは、SYSCR1 の STS2 ~ STS0 により設定された時間が経過した後、安定したクロックが LSI 全体に供給され、割込み例外処理を開始します。なお、CCR の I ビットが "1" の場合、あるいは割込み許可レジスタにより当該割込みの受付けが禁止されている場合は、ウォッチモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「5.3.2 スタンバイモードの解除 (2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

5.4.3 ウォッチモード解除後の発振安定時間の設定

ウォッチモード解除後の発振安定時間の設定については、「5.3.3 スタンバイモード解除後の発振安定時間の設定」を参照してください。

5.5 サブスリープモード

5.5.1 サブスリープモードへの遷移

サブアクティブモードで SYSCR1 の SSBY が"0"、LSON が"1"、TMA の TMA3 が"1"のとき SLEEP 命令を実行すると、サブスリープモードに遷移します。サブスリープモードでは、タイマ A、タイマ C、タイマ G、LCD 以外の内蔵周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺機能の内部レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

5.5.2 サブスリープモードの解除

サブスリープモードの解除は、割込み（タイマ A、タイマ C、タイマ G、IRQ₄ ~ IRQ₀、WKP₇ ~ WKP₀）、 $\overline{\text{RES}}$ 端子入力によって行われます。

(1) 割込みによる解除

割込み要求が発生するとサブスリープモードは解除され、割込み例外処理を開始します。なお、CCR の I ビットが"1"の場合、あるいは割込み許可レジスタにより当該割込みの受付けが禁止されている場合は、サブスリープモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「5.3.2 スタンバイモードの解除 (2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

5.6 サブアクティブモード

5.6.1 サブアクティブモードへの遷移

ウォッチモードで割込み（タイマ A、IRQ₀、WKP₇～WKP₀）が発生したとき、SYSCR1 の LSON が"1"ならば、サブアクティブモードに遷移します。また、サブスリープモードで割込み（タイマ A、タイマ C、タイマ G、IRQ₄～IRQ₀、WKP₇～WKP₀）が発生したとき、サブアクティブモードに遷移します。なお、CCR の I ビットが"1"の場合、または割込み許可レジスタにより当該割込みの受付が禁止されている場合は、サブアクティブモードに遷移しません。

5.6.2 サブアクティブモードの解除

サブアクティブモードの解除は、SLEEP 命令または $\overline{\text{RES}}$ 端子入力により行われます。

(1) SLEEP 命令による解除

SYSCR1 の SSBY が"1"、TMA の TMA3 が"1"の状態では SLEEP 命令を実行すると、サブアクティブモードは解除され、ウォッチモードに遷移します。また、SYSCR1 の SSBY が"0"、LSON が"1"、TMA の TMA3 が"1"の状態では SLEEP 命令を実行すると、サブスリープモードに遷移します。また、直接遷移によってアクティブモードへ遷移します。直接遷移の詳細は「5.8 直接遷移」を参照してください。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「5.3.2 スタンバイモードの解除 (2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

5.6.3 サブアクティブモードの動作周波数について

サブアクティブモードの動作周波数は、SYSCR2 の SA1、SA0 により、ウォッチクロック (f_w) の 2 分周、4 分周、8 分周から選択できます。

5.7 アクティブ（中速）モード

5.7.1 アクティブ（中速）モードへの遷移

スタンバイモードで割込み（IRQ₁、IRQ₀、WKP₇～WKP₀）が発生したとき、ウォッチモードで割込み（タイマA、IRQ₀、WKP₇～WKP₀）が発生したとき、あるいはスリープモードですべての割込みが発生したとき、SYSCR1のLSONが"0"かつSYSCR2のMSONが"1"ならば、アクティブ（中速）モードに遷移します。なお、CCRのIビットが"1"の場合、または割込み許可レジスタにより当該割込みの受け付けが禁止されている場合は、アクティブ（中速）モードに遷移しません。

5.7.2 アクティブ（中速）モードの解除

アクティブ（中速）モードの解除は、SLEEP命令または $\overline{\text{RES}}$ 端子入力により行われます。

（1）SLEEP命令による解除

SYSCR1のSSBYが"1"、LSONが"0"、TMAのTMA3が"0"の状態ではSLEEP命令を実行すると、スタンバイモードに遷移します。SYSCR1のSSBYが"1"、TMAのTMA3が"1"の状態ではSLEEP命令を実行すると、ウォッチモードに遷移します。

SYSCR1のSSBYが"0"、LSONが"0"の状態ではSLEEP命令を実行すると、スリープモードに遷移します。直接遷移によってアクティブ（高速）モード、またはサブアクティブモードへ遷移します。

直接遷移の詳細は「5.8 直接遷移」を参照してください。

（2） $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を"Low"レベルにすると、リセット状態に遷移し、アクティブ（中速）モードは解除されます。

5.7.3 アクティブ（中速）モードの動作周波数について

アクティブ（中速）モードは、アクティブ（高速）モードの1/8の動作周波数のクロックによって動作します。

5.8 直接遷移

5.8.1 直接遷移の概要

CPUがプログラムを実行している動作モードにはアクティブ(高速)モード、アクティブ(中速)モード、サブアクティブモードの3つのモードがあります。この3つの動作モードの間で、プログラムを停止する事なく遷移することを直接遷移と呼びます。直接遷移はSYSCR2のDTONを"1"にセットし、SLEEP命令を実行することにより可能です。遷移後は直接遷移割込み例外処理を開始します。なお、割込み許可レジスタ2(IENR2)により直接遷移割込みが禁止されている場合は、スリープモードまたはウォッチモードへ遷移します。また、CCRのIビットを"1"の状態で行うとスリープモードまたはウォッチモードに遷移し、遷移後のモードから割込みによる解除は不可能となりますので注意してください。

(1) アクティブ(高速)モードからアクティブ(中速)モードへの直接遷移

アクティブ(高速)モードでSYSCR1のSSBYを"0"、LSONを"0"、SYSCR2のMSONを"1"、DTONを"1"にセットした状態でSLEEP命令を実行すると、スリープモードを経由してアクティブ(中速)モードに遷移します。

(2) アクティブ(中速)モードからアクティブ(高速)モードへの直接遷移

アクティブ(中速)モードでSYSCR1のSSBYを"0"、LSONを"0"、SYSCR2のMSONを"0"、DTONを"1"にセットした状態でSLEEP命令を実行すると、スリープモードを経由してアクティブ(高速)モードに遷移します。

(3) アクティブ(高速)モードからサブアクティブモードへの直接遷移

アクティブ(高速)モードでSYSCR1のSSBYを"1"、LSONを"1"、SYSCR2のDTONを"1"、TMAのTMA3を"1"にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

(4) サブアクティブモードからアクティブ(高速)モードへの直接遷移

サブアクティブモードでSYSCR1のSSBYを"1"、LSONを"0"、SYSCR2のMSONを"0"、DTONを"1"、TMAのTMA3を"1"にセットした状態でSLEEP命令を実行すると、ウォッチモードを経由し、SYSCR1のSTS2~STS0により設定された時間を経過した後、直接、アクティブ(高速)モードに遷移します。

(5) アクティブ(中速)モードからサブアクティブモードへの直接遷移

アクティブ(中速)モードでSYSCR1のSSBYを"1"、LSONを"1"、SYSCR2のDTONを"1"、TMAのTMA3を"1"にセットした状態でSLEEP命令を実行すると、ウォッチモー

ドを經由してサブアクティブモードに遷移します。

(6) サブアクティブモードからアクティブ(中速)モードへの直接遷移

サブアクティブモードでSYSCR1のSSBYを"1"、LSONを"0"、SYSCR2のMSONを"1"、DTONを"1"、TMAのTMA3を"1"にセットした状態でSLEEP命令を実行すると、ウォッチモードを經由し、SYSCR1のSTS2~STS0により設定された時間を経過した後、直接、アクティブ(中速)モードに遷移します。

5.8.2 直接遷移の時間

(1) アクティブ(高速)モードからアクティブ(中速)モードへの直接遷移時の時間について

アクティブ(高速)モードからアクティブ(中速)モードへの直接遷移はアクティブ(高速)モードでSYSCR1のSSBYを"0"、LSONを"0"、SYSCR2のMSONを"1"、DTONを"1"にセットした状態でSLEEP命令を実行することによって行われます。この場合のSLEEP命令実行から割込み例外処理が終るまでの時間(直接遷移時間)は(1)の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP命令実行状態数}) + (\text{内部処理状態数}) \} \\ & \times (\text{遷移前のtcyc}) + (\text{割込み例外処理実行状態数}) \\ & \times (\text{遷移後のtcyc}) \dots\dots\dots (1) \end{aligned}$$

[例] H8/3834 シリーズの直接遷移時間 = (2 + 1) × 2tosc + 14 × 16tosc = 230tosc

<記号説明>

tosc : OSCクロックサイクル時間

tcyc : システムクロック()サイクル時間

(2) アクティブ(中速)モードからアクティブ(高速)モードへの直接遷移時の時間について

アクティブ(中速)モードからアクティブ(高速)モードへの直接遷移はアクティブ(中速)モードでSYSCR1のSSBYを"0"、LSONを"0"、SYSCR2のMSONを"0"、DTONを"1"にセットした状態でSLEEP命令を実行することによって行われます。この場合のSLEEP命令実行から割込み例外処理が終るまでの時間(直接遷移時間)は(2)の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP命令実行状態数}) + (\text{内部処理状態数}) \} \\ & \times (\text{遷移前のtcyc}) + (\text{割込み例外処理実行状態数}) \\ & \times (\text{遷移後のtcyc}) \dots\dots\dots (2) \end{aligned}$$

[例] H8/3834 シリーズの直接遷移時間 = (2 + 1) × 16tosc + 14 × 2tosc = 76tosc

<記号説明>

tosc : OSCクロックサイクル時間

tcyc : システムクロック () サイクル時間

(3) サブアクティブモードからアクティブ (高速) モードへの直接遷移時の時間について

サブアクティブモードからアクティブ (高速) モードへの直接遷移はサブアクティブモードで SYSCR1 の SSBY を "1"、LSON を "0"、SYSCR2 の MSON を "0"、DTON を "1"、TMA の TMA3 を "1" にセットした状態で SLEEP 命令を実行することによって行われます。この場合の SLEEP 命令実行から割込み例外処理が終るまでの時間 (直接遷移時間) は (3) の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の } t_{\text{subcyc}}) + \{ (\text{STS2} \sim \text{STS0} \text{ で設定した待機時間}) \\ & + (\text{割込み例外処理実行ステート数}) \} \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (3) \end{aligned}$$

$$\begin{aligned} \text{〔例〕 H8/3834 シリーズの直接遷移時間} &= (2+1) \times 8t_w + (8192+14) \times 2t_{\text{osc}} \\ &= 24t_w + 16412t_{\text{osc}} \end{aligned}$$

(CPU 動作クロック : $w/8$ 、待機時間 : 8192 ステートを選択した場合)

<記号説明>

tosc : OSC クロックサイクル時間
tw : ウォッチクロックサイクル時間
tcyc : システムクロック () サイクル時間
tsubcyc : サブクロック (_{SUB}) サイクル時間

(4) サブアクティブモードからアクティブ (中速) モードへの直接遷移時の時間について

サブアクティブモードからアクティブ (中速) モードへの直接遷移はサブアクティブモードで SYSCR1 の SSBY を "1"、LSON を "0"、SYSCR2 の MSON を "1"、DTON を "1"、TMA の TMA3 を "1" にセットした状態で SLEEP 命令を実行することによって行われます。SLEEP 命令実行から割込み例外処理が終るまでの時間 (直接遷移時間) は (4) の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の } t_{\text{subcyc}}) \{ (\text{STS2} \sim \text{STS0} \text{ で設定した待機時間}) \\ & + (\text{割込み例外処理実行ステート数}) \} \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (4) \end{aligned}$$

$$\begin{aligned} \text{〔例〕 H8/3834 シリーズの直接遷移時間} &= (2+1) \times 8t_w + (8192+14) \times 16t_{\text{osc}} \\ &= 24t_w + 131296t_{\text{osc}} \end{aligned}$$

(CPU 動作クロック : $w/8$ 、待機時間 : 8192 ステートを選択した場合)

<記号説明>

tosc : OSC クロックサイクル時間
tw : ウォッチクロックサイクル時間
tcyc : システムクロック () サイクル時間
tsubcyc : サブクロック (_{SUB}) サイクル時間

6. ROM

第6章 目次

6.1	概要	131	
	6.1.1	ブロック図	131
6.2	H8/3834 の PROM モード	132	
	6.2.1	PROM モードの設定	132
	6.2.2	ソケットアダプタの端子対応とメモリマップ	132
6.3	H8/3834 のプログラミング	135	
	6.3.1	書込み / ベリファイ	136
	6.3.2	書込み時の注意	138
6.4	H8/3837 の PROM モード	139	
	6.4.1	PROM モードの設定	139
	6.4.2	ソケットアダプタの端子対応とメモリマップ	139
6.5	H8/3837 のプログラミング	142	
	6.5.1	書込み / ベリファイ	143
	6.5.2	書込み時の注意	145
6.6	書込み後の信頼性	147	

6.1 概要

H8/3832 は 16k バイト、H8/3833 は 24k バイト、H8/3834 は 32k バイト、H8/3835 は 40k バイト、H8/3836 は 48k バイト、H8/3837 は 60k バイトのマスキング ROM を内蔵しています。ROM は 16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータにかかわらず 2 ステートの高速アクセスが可能です。H8/3834、H8/3837 には ZTAT[®]版があり、それぞれ 32k バイト、60k バイトの PROM を備えています。

尚、H8/3832S、H8/3833S、H8/3834S、H8/3835S、H8/3836S、H8/3837S の ZTAT 版につきましては、H8/3834、H8/3837 の ZTAT 版をご使用ください。

6.1.1 ブロック図

ROM のブロック図を図 6.1 に示します。

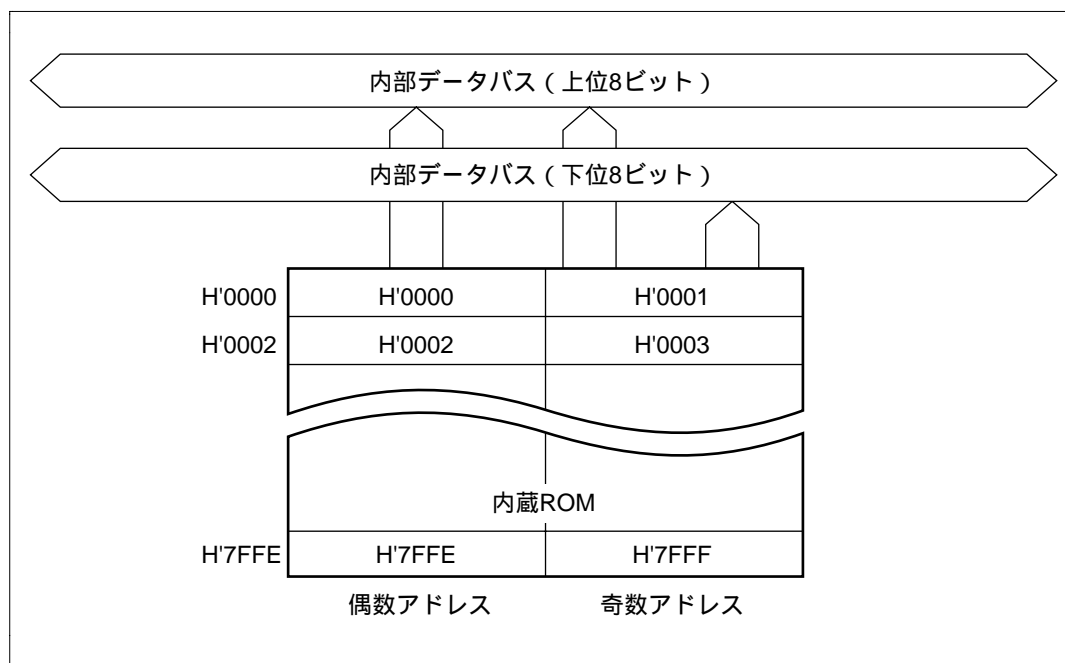


図 6.1 ROM のブロック図 (H8/3834 の場合)

6.2 H8/3834 の PROM モード

6.2.1 PROM モードの設定

内蔵 ROM が PROM の場合、PROM モードに設定すると、マイクロコンピュータとしての機能が停止して、HN27C256 と同一の方法で内蔵 PROM のプログラムを行うことができます。

PROM モードの設定方法を、表 6.1 に示します。

表 6.1 PROM モードの設定

端子名	設定
TEST 端子	"High" レベル
PB ₄ /AN ₄ 端子	"Low" レベル
PB ₅ /AN ₅ 端子	
PB ₆ /AN ₆ 端子	"High" レベル

6.2.2 ソケットアダプタの端子対応とメモリマップ

PROM のプログラムは、表 6.2 で示すようにパッケージに対応したソケットアダプタを付けて、28 ピンに変換し、汎用 PROM ライタでプログラミングを行います。

ソケットアダプタの端子対応図を図 6.2 に示します。また、メモリマップを図 6.3 に示します。

表 6.2 ソケットアダプタ

パッケージ名	ソケットアダプタの名称
100 ピン (FP - 100B)	HS3834ESHO1H
100 ピン (FP - 100A)	HS3834ESFO1H
100 ピン (TFP - 100B)	HS3834ESNO1H

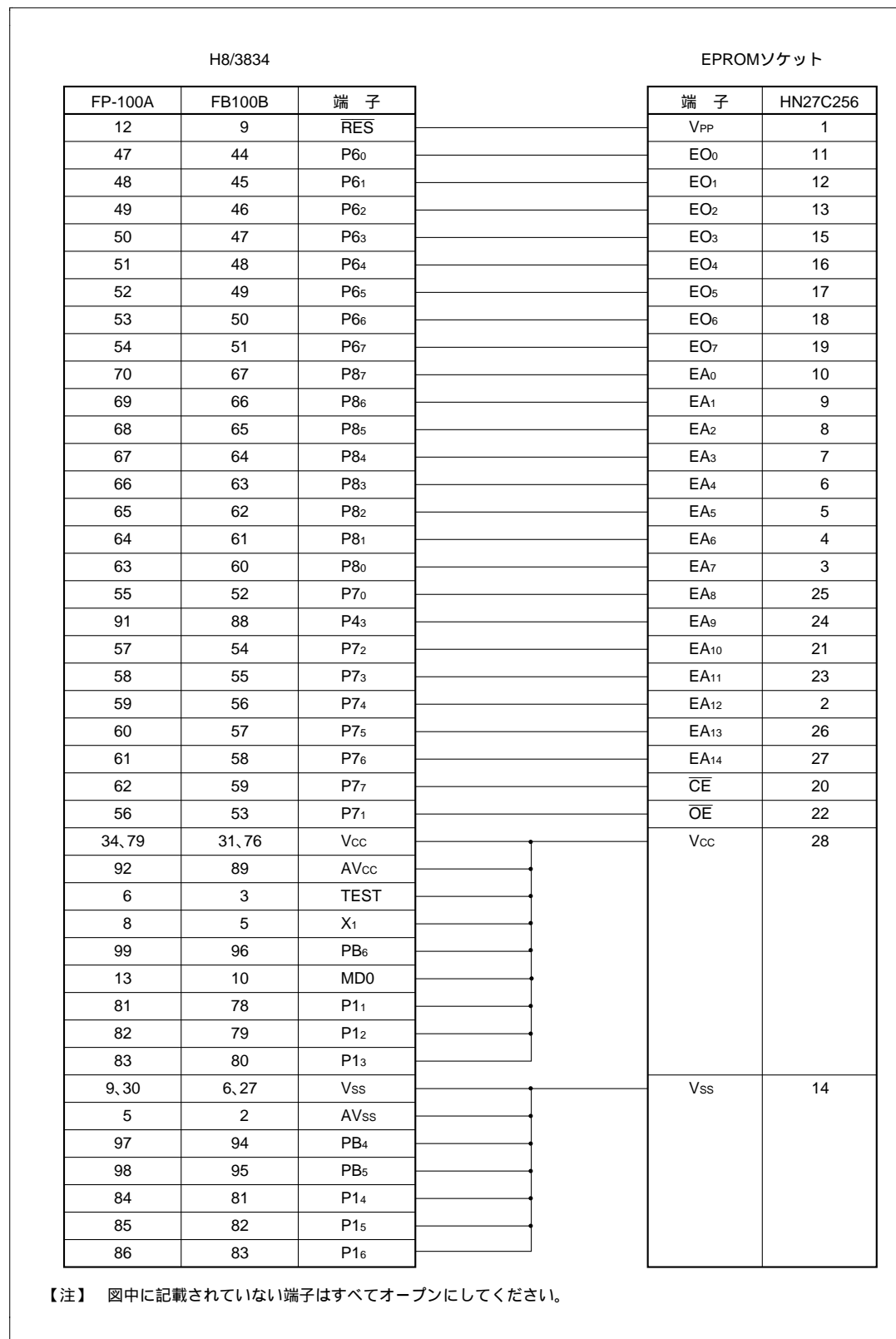


図 6.2 ソケットアダプタの端子対応図 (HN27C256)

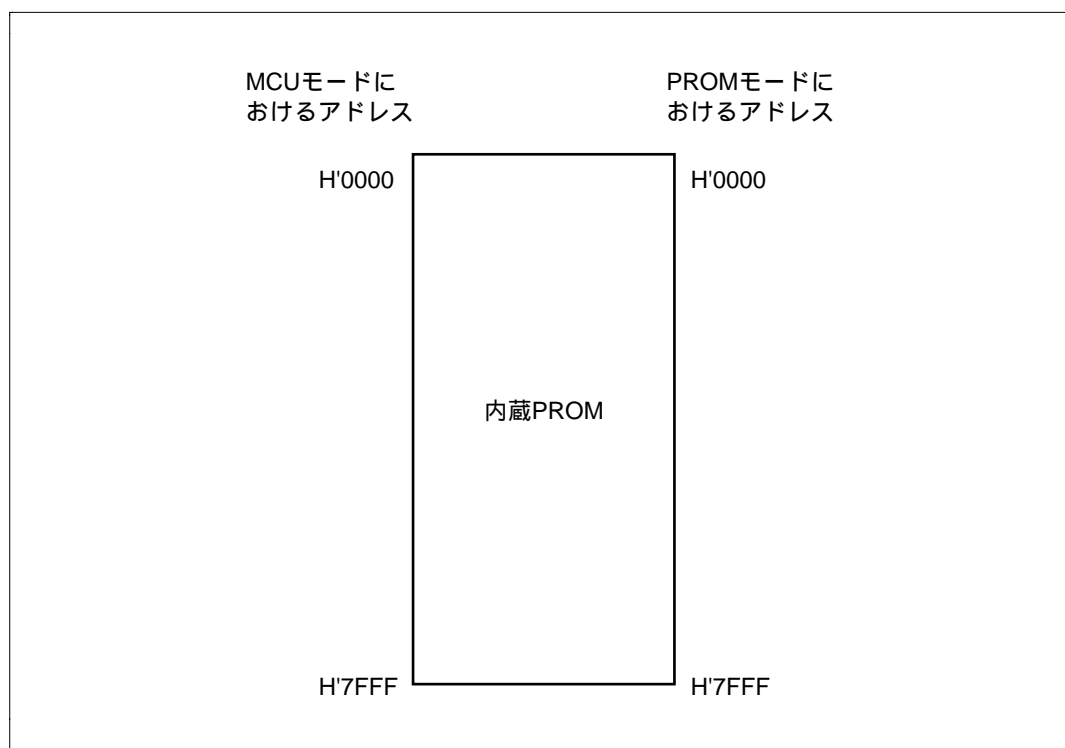


図 6.3 H8/3834 の PROM モード時のメモリマップ

PROM ライタでプログラムする際に、アドレスは必ず H'0000 ~ H'7FFF に設定してください。

6.3 H8/3834 のプログラミング

H8/3834 の PROM モード時の書込み、ベリファイなどのモード選択は、表 6.3 に示すような設定により行います。

表 6.3 PROM モード時の書込みモードの選択 (H8/3834)

モード	ピン					
	\overline{CE}	\overline{OE}	V_{pp}	V_{CC}	$EO_7 \sim EO_0$	$EA_{14} \sim EA_0$
書込み	L	H	V_{pp}	V_{CC}	データ入力	アドレス入力
ベリファイ	H	L	V_{pp}	V_{CC}	データ出力	アドレス入力
プログラミング禁止	H	H	V_{pp}	V_{CC}	ハイインピーダンス	アドレス入力

記号説明

L : "Low"レベル

H : "High"レベル

V_{pp} : " V_{pp} "レベル

V_{CC} : " V_{CC} "レベル

なお、書込み、読出しは、標準 EPROM の HN27C256 と同じ仕様になっています。

6.3.1 書込み / ベリファイ

書込み / ベリファイは効率のよい高性能プログラミング方式で行うことができます。この方式は、デバイスへの電圧ストレス、あるいは書込みデータの信頼性を損うことなく高速な書込みを行うことができます。未使用のアドレス領域のデータはH'FFです。

高性能プログラミングの基本的なフローを図 6.4 に示します。

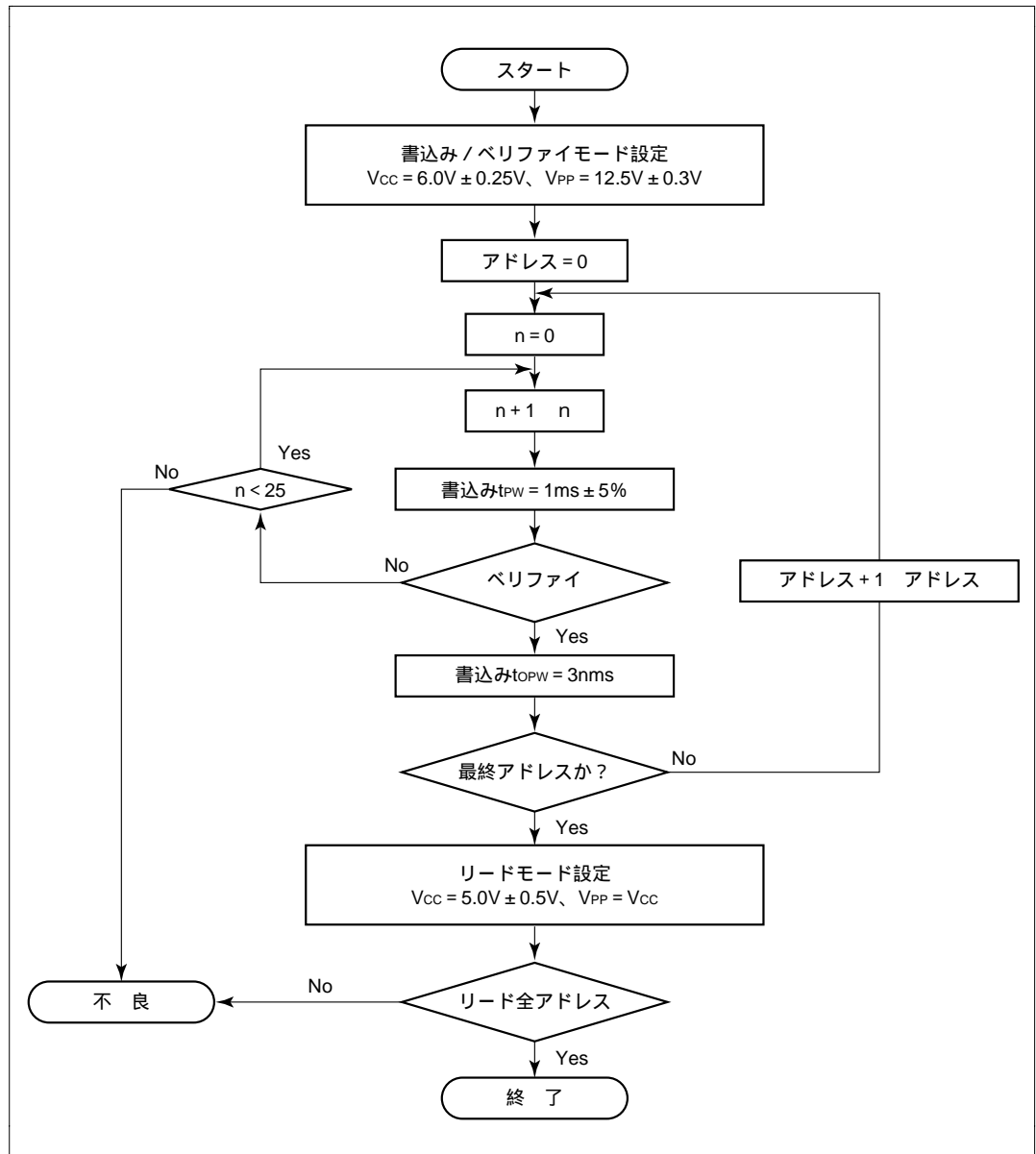


図 6.4 高性能プログラミングフローチャート

プログラミング時の電気的特性を表 6.4、表 6.5 に示します。

表 6.4 DC 特性

(条件: $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目		記号	min	typ	max	単位	測定条件
入力"High" レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{14} \sim EA_0$	V_{IH}	2.4		$V_{CC} + 0.3$	V	
	\overline{OE} 、 \overline{CE}						
入力"Low" レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{14} \sim EA_0$	V_{IL}	-0.3		0.8	V	
	\overline{OE} 、 \overline{CE}						
出力"High" レベル電圧	$EO_7 \sim EO_0$	V_{OH}	2.4			V	$I_{OH} = -200\mu A$
出力"Low" レベル電圧	$EO_7 \sim EO_0$	V_{OL}			0.45	V	$I_{OL} = 0.8mA$
入力 リーク電流	$EO_7 \sim EO_0$ 、 $EA_{14} \sim EA_0$	$ I_{Li} $			2	μA	$V_{in} = 5.25V/0.5V$
	\overline{OE} 、 \overline{CE}						
V_{CC} 電流		I_{CC}			40	mA	
V_{PP} 電流		I_{PP}			40	mA	

表 6.5 AC 特性

(条件: $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $T_a = 25 \pm 5$)

項目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間	t_{AS}	2			μs	図 6.5*1
\overline{OE} セットアップ時間	t_{OES}	2			μs	
データセットアップ時間	t_{DS}	2			μs	
アドレスホールド時間	t_{AH}	0			μs	
データホールド時間	t_{DH}	2			μs	
データ出力ディスエーブル時間	t_{DF}^{*2}	0		130	μs	
V_{PP} セットアップ時間	t_{VPS}	2			μs	
プログラムパルス幅	t_{PW}	0.95	1.0	1.05	ms	
オーバプログラム時の \overline{CE} パルス幅	t_{OPW}^{*3}	2.85		78.7	ms	
V_{CC} セットアップ時間	t_{VCS}	2			μs	
データ出力遅延時間	t_{OE}	0		500	ns	

【注】 *1 入力パルスレベル: 0.8 ~ 2.2V

入力立上がり / 立下がり時間 20ns

タイミング参照レベル 入力: 1.0V、2.0V

出力: 0.8V、2.0V

*2 t_{DF} は出力が開放状態に達し、出力レベルを参照できなくなった場合で定義します。

*3 t_{OPW} は図 6.4 高性能プログラミングフローチャートに記載した値で定義されます。

PROMの書込み/ベリファイタイミングを図6.5に示します。

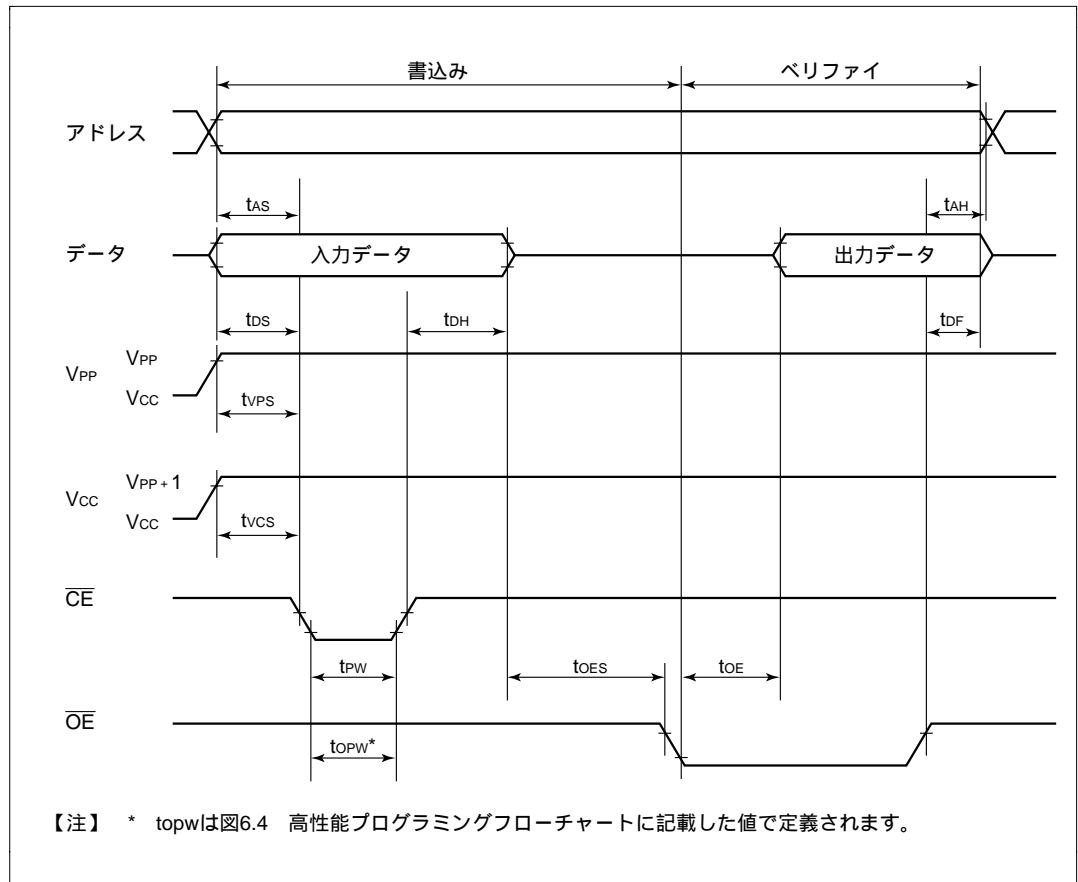


図 6.5 PROM 書込み/ベリファイタイミング

6.3.2 書込み時の注意

- (1) 書込みは規定された電圧、タイミングで行ってください。
 PROMモード時のプログラム電圧 (V_{pp}) は 12.5V です。
 定格以上の電圧を加えると、製品の永久破壊に至りますので、注意してください。特に PROM ライタのオーバシュートなどには十分注意してください。
 PROM ライタの HN27C256 の日立仕様にセットすると、 V_{pp} は 12.5V になります。
- (2) PROM ライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していないと、過剰電流によって製品が破壊することがあります。書込み前に正しく PROM ライタに装着されていることを必ず確認してください。
- (3) 書込み中はソケットアダプタおよび製品には触れないようにしてください。接触不良により書込み不良となる場合があります。

6.4 H8/3837 の PROM モード

6.4.1 PROM モードの設定

内蔵 ROM が PROM の場合、PROM モードに設定すると、マイクロコンピュータとしての機能が停止して、HN27C101 と同一の方法で内蔵 PROM のプログラムを行うことができます。ただし、ページプログラミング方式はサポートしていません。

PROM モードの設定方法を、表 6.6 に示します。

表 6.6 PROM モードの設定

端子名	設定
TEST 端子	"High" レベル
PB ₄ /AN ₄ 端子	"Low" レベル
PB ₅ /AN ₅ 端子	
PB ₆ /AN ₆ 端子	"High" レベル

6.4.2 ソケットアダプタの端子対応とメモリマップ

PROM のプログラムは、表 6.7 で示すようにパッケージに対応したソケットアダプタを付けて、32 ピンに変換し、汎用 PROM ライタでプログラミングを行います。

ソケットアダプタの端子対応図を図 6.6 に示します。また、メモリマップを図 6.7 に示します。

表 6.7 ソケットアダプタ

パッケージ名	ソケットアダプタの名称
100 ピン (FP - 100B)	HS3836ESHO1H
100 ピン (FP - 100A)	HS3836ESFO1H
100 ピン (TFP - 100B)	HS3836ESNO1H

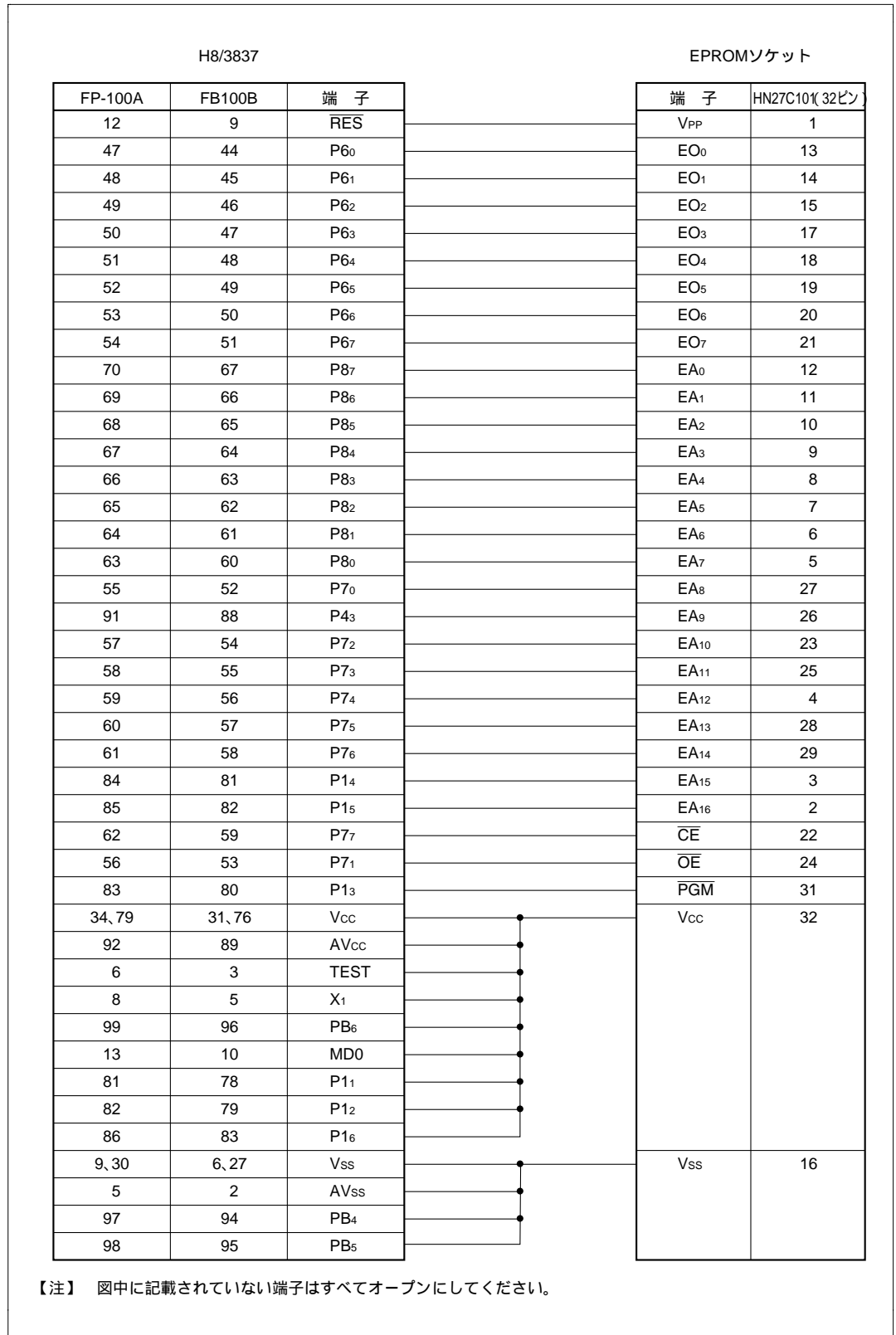


図 6.6 ソケットアダプタの端子対応図 (HN27C101)

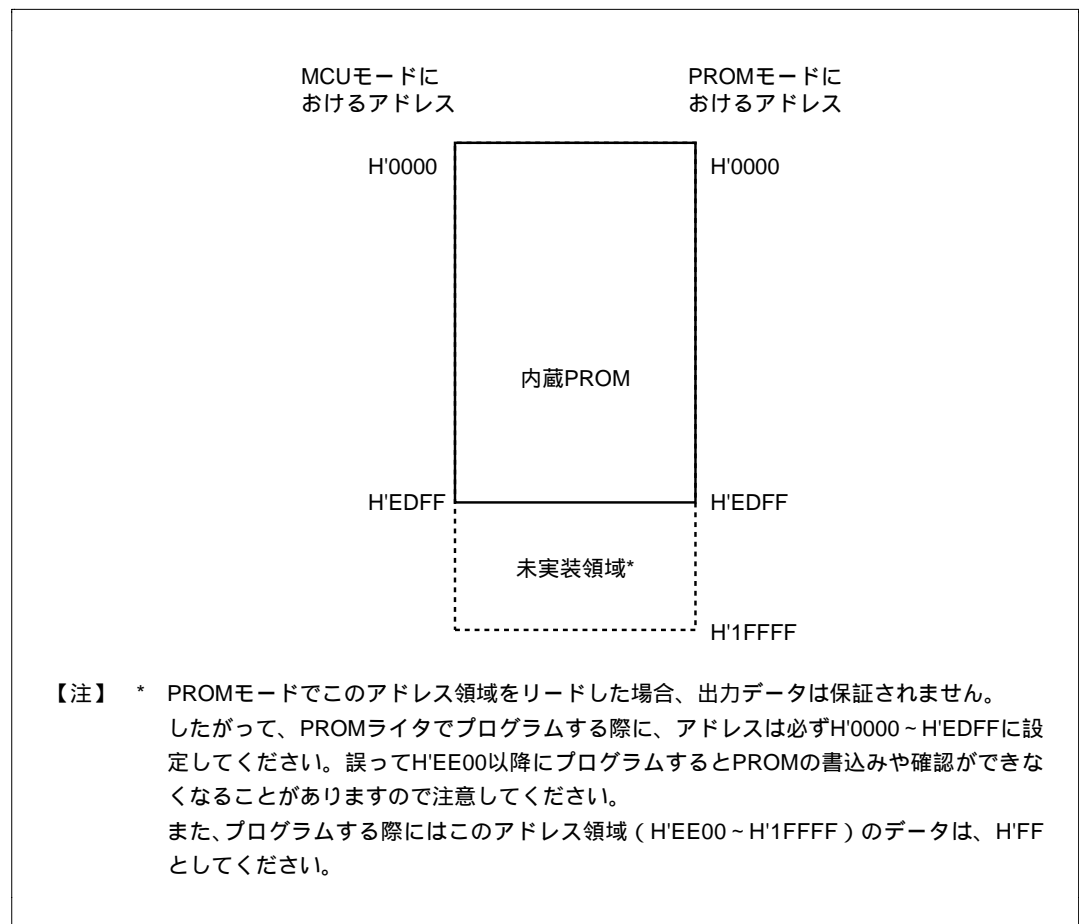


図 6.7 H8/3837 の PROM モード時のメモリマップ

6.5 H8/3837 のプログラミング

H8/3837 の PROM モード時の書込み、ベリファイなどのモード選択は、表 6.8 に示すような設定により行います。

表 6.8 PROM モード時の書込みモードの選択 (H8/3837)

モード	ピン						
	\overline{CE}	\overline{OE}	\overline{PGM}	V_{pp}	V_{CC}	$E0_7 \sim E0_0$	$EA_{16} \sim EA_0$
書込み	L	H	L	V_{pp}	V_{CC}	データ入力	アドレス入力
ベリファイ	L	L	H	V_{pp}	V_{CC}	データ出力	アドレス入力
プログラミング禁止	L	L	L	V_{pp}	V_{CC}	ハイインピーダンス	アドレス入力
	L	H	H				
	H	L	L				
	H	H	H				

記号説明

- L : "Low"レベル
- H : "High"レベル
- V_{pp} : " V_{pp} "レベル
- V_{CC} : " V_{CC} "レベル

なお、書込み、読出しは、標準 EPROM HN27C101 と同じ仕様になっています。ただし、ページプログラミング方式はサポートしていませんので、ページプログラミングモードに設定しないでください。ページプログラミングモードのみをサポートしている PROM ライタは使用できません。PROM ライタを選択する場合には、1 バイトごとの高速高信頼度プログラミング方式をサポートしていることを確認してください。また、アドレスは必ず H'0000 ~ H'EDFF に設定してください。

6.5.1 書込み / ベリファイ

書込み / ベリファイは効率のよい高速高信頼度プログラミング方式で行うことができます。この方式は、デバイスへの電圧ストレス、あるいは書込みデータの信頼性を損うことなく高速な書込みを行うことができます。

高速高信頼度プログラミングの基本的なフローを図 6.8 に示します。

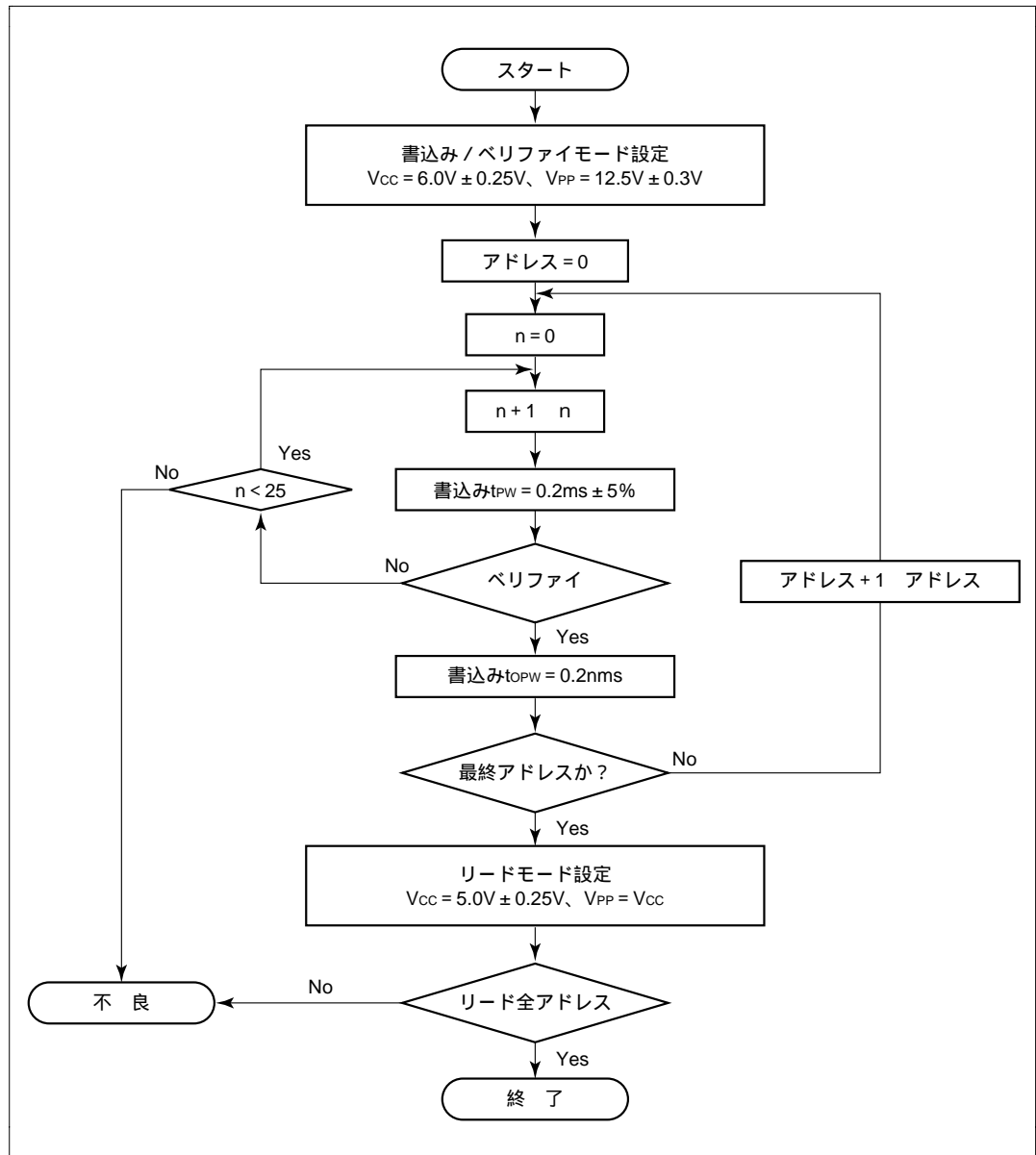


図 6.8 高速高信頼度プログラミングフローチャート

プログラミング時の電気的特性を表 6.9、表 6.10 に示します。

表 6.9 DC 特性

(条件: $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目		記号	min	typ	max	単位	測定条件
入力"High" レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ \overline{OE} 、 \overline{CE} 、 \overline{PGM}	V_{IH}	2.4		$V_{CC} + 0.3$	V	
入力"Low" レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ \overline{OE} 、 \overline{CE} 、 \overline{PGM}	V_{IL}	- 0.3		0.8	V	
出力"High" レベル電圧	$EO_7 \sim EO_0$	V_{OH}	2.4			V	$I_{OH} = - 200\mu A$
出力"Low" レベル電圧	$EO_7 \sim EO_0$	V_{OL}			0.45	V	$I_{OL} = 0.8mA$
入力 リーク電流	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ \overline{OE} 、 \overline{CE} 、 \overline{PGM}	$ I_{LI} $			2	μA	$V_{in} = 5.25V/0.5V$
V_{CC} 電流		I_{CC}			40	mA	
V_{PP} 電流		I_{PP}			40	mA	

表 6.10 AC 特性

(条件: $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $T_a = 25 \pm 5$)

項目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間	t_{AS}	2			μs	図 6.9*1
\overline{OE} セットアップ時間	t_{OES}	2			μs	
データセットアップ時間	t_{DS}	2			μs	
アドレスホールド時間	t_{AH}	0			μs	
データホールド時間	t_{DH}	2			μs	
データ出力ディスエーブル時間	t_{DF}^{*2}			130	ns	
V_{PP} セットアップ時間	t_{VPS}	2			μs	
プログラムパルス幅	t_{PW}	0.19	0.20	0.21	ms	
オーバプログラム時の \overline{PGM} パルス幅	t_{OPW}^{*3}	0.19		5.25	ms	
V_{CC} セットアップ時間	t_{VCS}	2			μs	
\overline{CE} セットアップ時間	t_{CES}	2			μs	
データ出力遅延時間	t_{OE}	0		200	ns	

【注】 *1 入力パルスレベル: 0.45 ~ 2.4V

入力立上がり / 立下がり時間 20ns

タイミング参照レベル 入力: 0.8V、2.0V

出力: 0.8V、2.0V

*2 t_{DF} は出力が開放状態に達し、出力レベルを参照できなくなった場合で定義します。

*3 t_{OPW} は図 6.8 高性能プログラミングフローチャートに記載した値で定義されます。

PROMの書込み/ベリファイタイミングを図6.9に示します。

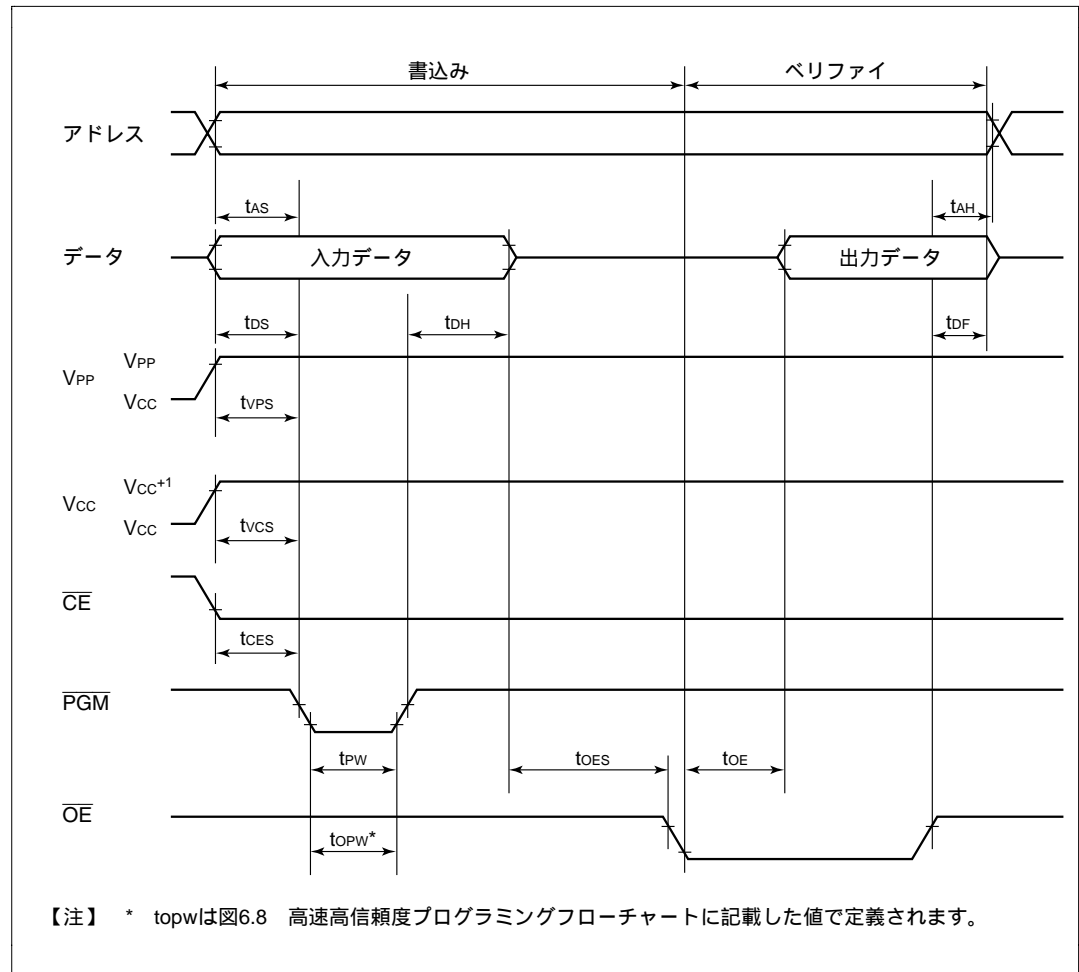


図 6.9 PROM 書込み/ベリファイタイミング

6.5.2 書込み時の注意

- (1) 書込みは規定された電圧、タイミングで行ってください。
PROMモード時のプログラム電圧 (V_{PP}) は 12.5V です。
定格以上の電圧を加えると、製品の永久破壊に至りますので、注意してください。特に PROM ライタのオーバシュートなどには十分注意してください。
PROM ライタの HN27C101 の日立仕様にセットすると、 V_{PP} は 12.5V になります。
- (2) PROM ライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していないと、過剰電流によって製品が破壊することがあります。書込み前に正しく PROM ライタに装着されていることを必ず確認してください。
- (3) 書込み中はソケットアダプタおよび製品には触れないようにしてください。接触不良により書込み不良となる場合があります。
- (4) プログラミングモードは、ページプログラミング方式をサポートしていませんので、プログラミングモードの設定には注意してください。

- (5) PROMライターでプログラムする際に、アドレスは必ず H'0000 ~ H'EDFF に設定してください。誤って H'EE00 以降にプログラムすると、PROM の書込みや確認ができなくなることがありますので注意してください。またプログラムする際には H'EE00 ~ H'1FFFF のアドレス領域のデータは H'FF としてください。

6.6 書込み後の信頼性

データ書込み後、データ保持特性を向上させるために、150 の高温放置をしてスクリーニングを行うと大変有効です。高温放置は、スクリーニングのひとつであり、PROMメモリセルの初期のデータ保持不良を短時間で除くことができます。

図 6.10 に推奨するスクリーニングフローを示します。

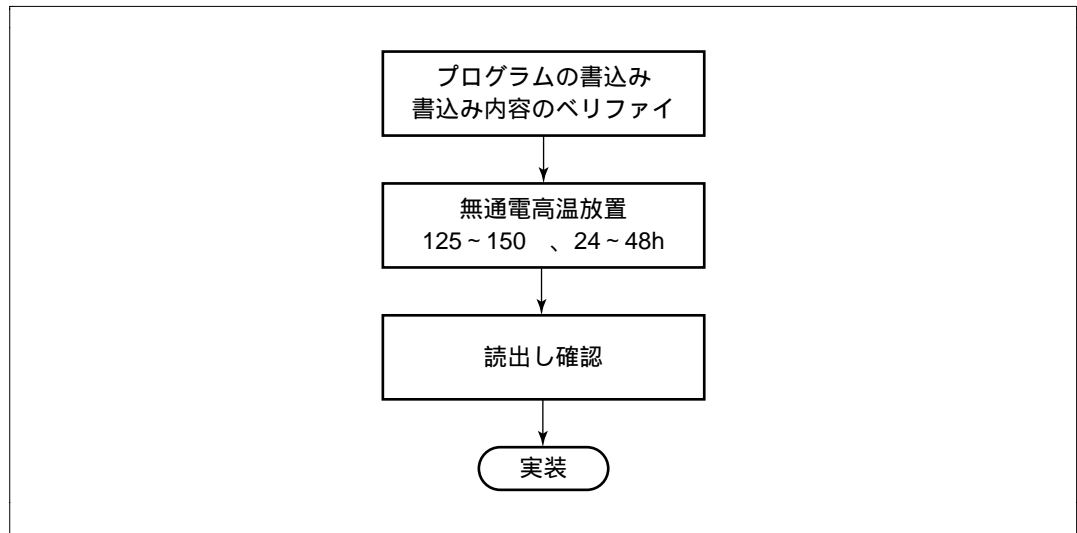


図 6.10 推奨スクリーニングフロー

同じ PROM ライタでプログラミング中、書込み不良が連続して発生した場合には書込みを中止し、PROM ライタ、ソケットアダプタなどに異常がないか確認してください。

なお、書込みあるいは高温放置後のプログラム確認において異常がありましたら、当社技術担当にご連絡ください。

7. RAM

第7章 目次

7.1	概要	151
7.1.1	ブロック図	151

7.1 概要

H8/3832、H8/3833、H8/3834は1kバイト、H8/3835、H8/3836、H8/3837は2kバイトの高速スタティックRAMを内蔵しています。RAMは16ビット幅のデータバスでCPUと接続されており、バイトデータおよびワードデータにかかわらず2ステートの高速アクセスが可能です。

7.1.1 ブロック図

RAMのブロック図を図7.1に示します。

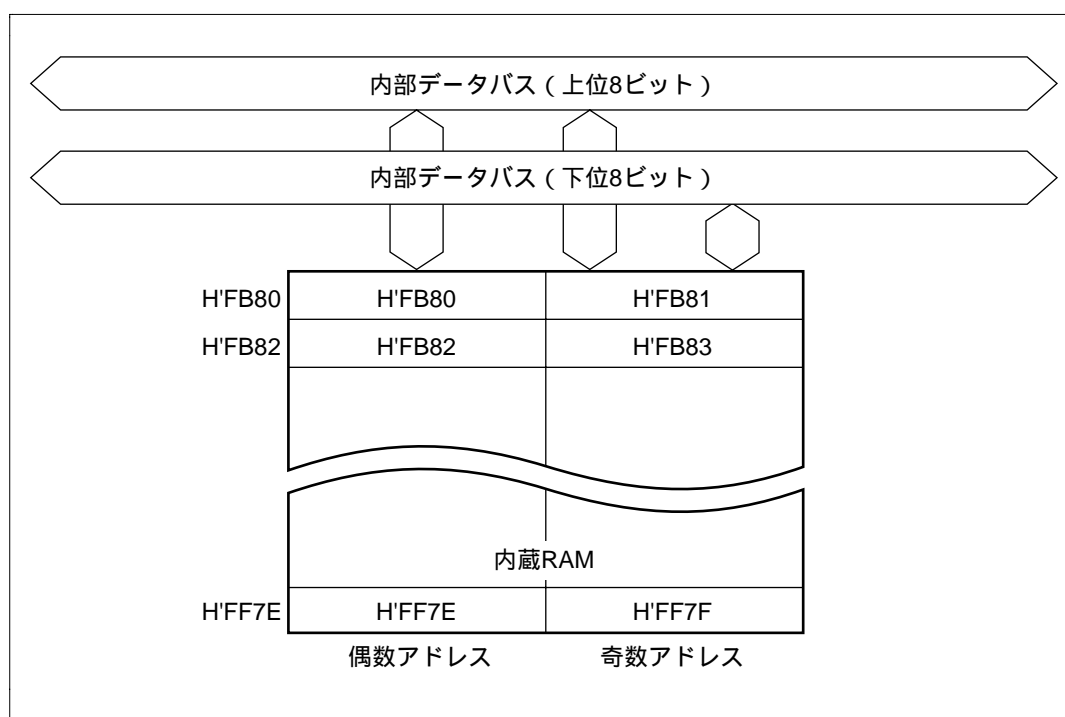


図 7.1 RAMのブロック図 (H8/3834の場合)

8. I/O ポート

第8章 目次

8.1	概要	155
8.2	ポート 1	158
	8.2.1 概要	158
	8.2.2 レジスタの構成と説明	158
	8.2.3 端子機能	163
	8.2.4 端子状態	165
	8.2.5 入力プルアップ MOS	165
8.3	ポート 2	166
	8.3.1 概要	166
	8.3.2 レジスタの構成と説明	166
	8.3.3 端子機能	170
	8.3.4 端子状態	170
8.4	ポート 3	171
	8.4.1 概要	171
	8.4.2 レジスタの構成と説明	171
	8.4.3 端子機能	175
	8.4.4 端子状態	176
	8.4.5 入力プルアップ MOS	177
8.5	ポート 4	178
	8.5.1 概要	178
	8.5.2 レジスタの構成と説明	178
	8.5.3 端子機能	180
	8.5.4 端子状態	181
8.6	ポート 5	182
	8.6.1 概要	182
	8.6.2 レジスタの構成と説明	182
	8.6.3 端子機能	185

	8.6.4	端子状態.....	186
	8.6.5	入力プルアップ MOS.....	186
8.7	ポート 6.....		187
	8.7.1	概要	187
	8.7.2	レジスタの構成と説明.....	187
	8.7.3	端子機能.....	189
	8.7.4	端子状態.....	189
	8.7.5	入力プルアップ MOS.....	189
8.8	ポート 7.....		190
	8.8.1	概要	190
	8.8.2	レジスタの構成と説明.....	190
	8.8.3	端子機能.....	192
	8.8.4	端子状態.....	192
8.9	ポート 8.....		193
	8.9.1	概要	193
	8.9.2	レジスタの構成と説明.....	193
	8.9.3	端子機能.....	195
	8.9.4	端子状態.....	195
8.10	ポート 9.....		196
	8.10.1	概要	196
	8.10.2	レジスタの構成と説明.....	196
	8.10.3	端子機能.....	198
	8.10.4	端子状態.....	199
8.11	ポート A.....		200
	8.11.1	概要	200
	8.11.2	レジスタの構成と説明.....	200
	8.11.3	端子機能.....	202
	8.11.4	端子状態.....	203
8.12	ポート B.....		204
	8.12.1	概要	204
	8.12.2	レジスタの構成と説明.....	204
8.13	ポート C.....		205
	8.13.1	概要	205
	8.13.2	レジスタの構成と説明.....	205

8.1 概要

本LSIは、8ビット入出力ポートを8本、4ビット入出力ポートを1本、3ビット入出力ポートを1本、8ビット入力専用ポートを1本、4ビット入力専用ポートを1本、および1ビット入力専用ポートを1本備えています。

各ポートの機能一覧を表8.1に示します。

各ポートは、入出力を制御するポートコントロールレジスタ(PCR)と、出力データを格納するポートデータレジスタ(PDR)から構成され、ビット単位に入出力を制御できます。PCR、PDR に対してのビット操作命令の実行については、「2.9.2 ビット操作命令 使用上の注意事項」を参照してください。

ポート5、6、7、8、9、Aは液晶表示用セグメント端子、コモン端子と兼用されており、4ビット単位で選択できます。

各ポートのブロック図は「付録C. I/Oポートブロック図」を参照してください。

表 8.1 ポートの機能

ポート	概要	端子	兼用機能	機能切換え 制御レジスタ
ポート 1	<ul style="list-style-type: none"> ・ 8 ビット入出力ポート ・ 入力プルアップ MOS 選択可 	P1 ₇ ~ P1 ₅ /	外部割込み 3~1	PMR1
		\overline{IRQ}_3 ~ \overline{IRQ}_1 /	タイマイイベント入力端子 TMIF, TMIC, TMIB	TCRF, TMC, TMB
		P1 ₄ /PWM	14 ビット PWM 出力	PMR1
		P1 ₃ /TMIG	タイマ G インพุットキャプチャ入力	PMR1
		P1 ₂ , P1 ₁ /	タイマ F アウトプットコンペア出力	PMR1
		TMOFH, TMOFL		
		P1 ₀ /TMOW	タイマ A クロック出力	PMR1
ポート 2	<ul style="list-style-type: none"> ・ 8 ビット入出力ポート ・ オープンドレイン出力 選択可 ・ 大電流ポート 	P2 ₇ ~ P2 ₂	なし	
		P2 ₁ /UD	タイマ C カウントアップ / ダウン 選択入力	PMR2
		P2 ₀ / \overline{IRQ}_4 / \overline{ADTRG}	外部割込み 4 および A/D 変換器の外部トリガ	PMR2、AMR
ポート 3	<ul style="list-style-type: none"> ・ 8 ビット入出力ポート ・ 入力プルアップ MOS 選択可 ・ 大電流ポート 	P3 ₇ / \overline{CS}	SCI2 のチップセレクト入力 (\overline{CS})、	PMR3
		P3 ₆ /STRB	ストローブ出力 (STRB)、データ出力	
		P3 ₅ /SO ₂	(SO ₂)、データ入力 (SI ₂)、クロック	
		P3 ₄ /SI ₂	入出力 (SCK ₂)	
		P3 ₃ /SCK ₂		
		P3 ₂ /SO ₁	SCI1 のデータ出力 (SO ₁)、データ入力	PMR3
		P3 ₁ /SI ₁	(SI ₁)、クロック入出力 (SCK ₁)	
		P3 ₀ /SCK ₁		
ポート 4	<ul style="list-style-type: none"> ・ 1 ビット入力専用ポート ・ 3 ビット入出力ポート 	P4 ₃ / \overline{IRQ}_0	外部割込み 0	PMR2
		P4 ₂ /TXD	SCI3 のデータ出力 (TXD)、データ入力	SCR3
		P4 ₁ /RXD	(RXD)、クロック入出力 (SCK ₃)	SMR3
		P4 ₀ /SCK ₃		
ポート 5	<ul style="list-style-type: none"> ・ 8 ビット入出力ポート ・ 入力プルアップ MOS 選択可 	P5 ₇ ~ P5 ₀ /	・ ウェイクアップ入力 (\overline{WKP}_7 ~ \overline{WKP}_0)	PMR5
		\overline{WKP}_7 ~ \overline{WKP}_0 / SEG ₈ ~ SEG ₁	・ セグメント出力 (SEG ₈ ~ SEG ₁)	LPCR
ポート 6	<ul style="list-style-type: none"> ・ 8 ビット入出力ポート ・ 入力プルアップ MOS 選択可 	P6 ₇ ~ P6 ₀ /	・ セグメント出力 (SEG ₁₆ ~ SEG ₉)	LPCR
		SEG ₁₆ ~ SEG ₉		
ポート 7	<ul style="list-style-type: none"> ・ 8 ビット入出力ポート 	P7 ₇ ~ P7 ₀ /	・ セグメント出力 (SEG ₂₄ ~ SEG ₁₇)	LPCR
		SEG ₂₄ ~ SEG ₁₇		
ポート 8	<ul style="list-style-type: none"> ・ 8 ビット入出力ポート 	P8 ₇ ~ P8 ₀ /	・ セグメント出力 (SEG ₃₂ ~ SEG ₂₅)	LPCR
		SEG ₃₂ ~ SEG ₂₅		

ポート	概要	端子	兼用機能	機能切換え 制御レジスタ
ポート9	・ 8ビット入出力ポート	P9 ₇ /SEG ₄₀ /CL ₁ P9 ₆ /SEG ₃₉ /CL ₂ P9 ₅ /SEG ₃₈ /DO P9 ₄ /SEG ₃₇ /M P9 ₃ ~ P9 ₀ / SEG ₃₆ ~ SEG ₃₃	・ セグメント出力 (SEG ₄₀ ~ SEG ₃₇) ・ セグメント外部拡張用ラッチクロック (CL ₁)、シフトクロック (CL ₂)、表示データ (DO)、交流化信号 (M) ・ セグメント出力 (SEG ₃₆ ~ SEG ₃₃)	LPCR
ポートA	・ 4ビット入出力ポート	PA ₃ ~ PA ₀ / COM ₄ ~ COM ₁	コモン出力 (COM ₄ ~ COM ₁)	LPCR
ポートB	・ 8ビット入力ポート	PB ₇ ~ PB ₀ / AN ₇ ~ AN ₀	A/D変換器のアナログ入力	AMR
ポートC	・ 4ビット入力ポート	PC ₃ ~ PC ₀ / AN ₁₁ ~ AN ₈	A/D変換器のアナログ入力	AMR

8.2 ポート 1

8.2.1 概要

ポート 1 は、8 ビットの入出力ポートです。ポート 1 の各端子は、図 8.1 に示す構成になっています。

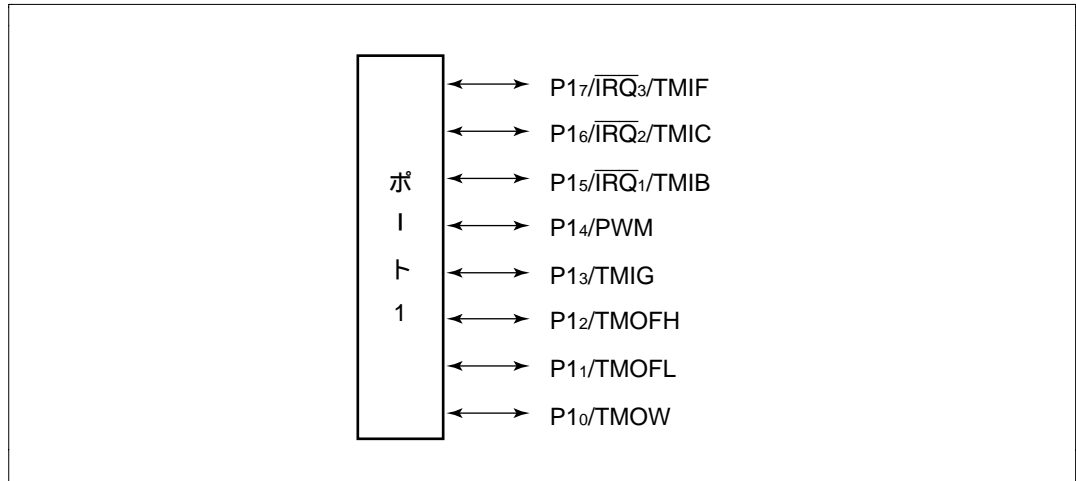


図 8.1 ポート 1 の端子構成

8.2.2 レジスタの構成と説明

表 8.2 にポート 1 のレジスタ構成を示します。

表 8.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 1	PDR1	R/W	H'00	H'FFD4
ポートコントロールレジスタ 1	PCR1	W	H'00	H'FFE4
ポートプルアップコントロールレジスタ 1	PUCR1	R/W	H'00	H'FFE0
ポートモードレジスタ 1	PMR1	R/W	H'00	H'FFC8

(1) ポートデータレジスタ 1 (PDR1)

ビット:	7	6	5	4	3	2	1	0
	P17	P16	P15	P14	P13	P12	P11	P10
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR1は、ポート1の各端子P1₇~P1₀のデータを格納する8ビットのレジスタです。

PCR1が"1"のとき、ポート1のリードを行うと、PDR1の値を直接リードします。そのため端子状態の影響を受けません。PCR1が"0"のとき、ポート1のリードを行うと、端子状態が読み出されます。

リセット時、PDR1はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 1 (PCR1)

ビット:	7	6	5	4	3	2	1	0
	PCR17	PCR16	PCR15	PCR14	PCR13	PCR12	PCR11	PCR10
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR1は、ポート1の各端子P1₇~P1₀の入出力をビットごとに制御します。PCR1に"1"をセットすると対応するP1₇~P1₀端子は出力端子となり、"0"にクリアすると入力端子となります。PMR1により当該端子が汎用入出力に設定されている場合には、PCR1およびPDR1の設定が有効となります。

リセット時、PCR1はH'00にイニシャライズされます。

本レジスタはライト専用ですが、リードした場合各ビットは常に"1"が読み出されます。

(3) ポートプルアップコントロールレジスタ 1 (PUCR1)

ビット:	7	6	5	4	3	2	1	0
	PUCR17	PUCR16	PUCR15	PUCR14	PUCR13	PUCR12	PUCR11	PUCR10
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR1は、ポート1の各端子P1₇~P1₀のプルアップMOSをビットごとに制御します。

PCR1が"0"の状態でもPUCR1に"1"をセットすると対応するプルアップMOSはON状態となり、"0"にクリアするとOFF状態となります。

リセット時、PUCR1はH'00にイニシャライズされます。

(4) ポートモードレジスタ1 (PMR1)

ビット:	7	6	5	4	3	2	1	0
	IRQ3	IRQ2	IRQ1	PWM	TMIG	TMOFH	TMOFL	TMOW
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR1 は、8ビットのリード/ライト可能なレジスタで、ポート1の各端子機能の切換えを制御します。

リセット時、PMR1はH'00にイニシャライズされます。

ビット7: P1₇/IRQ₃/TMIF 端子機能切換え (IRQ3)

P1₇/IRQ₃/TMIF 端子を P1₇ 端子として使用するか、IRQ₃/TMIF 端子として使用するかを設定します。

ビット7	
IRQ3	説明
0	P1 ₇ 入出力端子として機能 (初期値)
1	IRQ ₃ /TRGV 入力端子として機能

【注】 IRQ₃/TMIF 端子は立上がり/立下がりエッジセンスを選択できます。TMIF 端子の設定については、「9.5.2 (3) タイマコントロールレジスタ F (TCRF)」を参照してください。

ビット6: P1₆/IRQ₂/TMIC 端子機能切換え (IRQ2)

P1₆/IRQ₂/TMIC 端子を P1₆ 端子として使用するか、IRQ₂/TMIC 端子として使用するかを設定します。

ビット6	
IRQ2	説明
0	P1 ₆ 入出力端子として機能 (初期値)
1	IRQ ₂ /TMIC 入力端子として機能

【注】 IRQ₂/TMIC 端子は立上がり/立下がりエッジセンスを選択できます。

TMIC 端子の設定については、「9.4.2 (1) タイマモードレジスタ C (TMC)」を参照してください。

ビット5：P1₅/IRQ₁/TMIB 端子機能切換え（IRQ1）

P1₅/IRQ₁/TMIB 端子を P1₅ 端子として使用するか、IRQ₁/TMIB 端子として使用するかを設定します。

ビット5		
IRQ1	説明	
0	P1 ₅ 入出力端子として機能	(初期値)
1	IRQ、TMIB 入力端子として機能	

【注】 IRQ₁/TMIB 端子は立上がり / 立下がりエッジセンスを選択できます。

TMIB 端子の設定については、「9.3.2 (1) タイマモードレジスタ B (TMB)」を参照してください。

ビット4：P1₄/PWM 端子機能切換え（PWM）

P1₄/PWM 端子を P1₄ 端子として使用するか、PWM 端子として使用するかを設定します。

ビット4		
PWM	説明	
0	P1 ₄ 入出力端子として機能	(初期値)
1	PWM 出力端子として機能	

ビット3：P1₃/TMIG 端子機能切換え（TMIG）

P1₃/TMIG 端子を P1₃ 端子として使用するか、TMIG 端子として使用するかを設定します。

ビット3		
TMIG	説明	
0	P1 ₃ 入出力端子として機能	(初期値)
1	TMIG 入力端子として機能	

ビット2：P1₂/TMOFH 端子機能切換え（TMOFH）

P1₂/TMOFH 端子を P1₂ 端子として使用するか、TMOFH 端子として使用するかを設定します。

ビット2		
TMOFH	説明	
0	P1 ₂ 入出力端子として機能	(初期値)
1	TMOFH 出力端子として機能	

ビット1：P1₁/TMOFL 端子機能切換え（TMOFL）

P1₁/TMOFL 端子を P1₁ 端子として使用するか、TMOFL 端子として使用するかを設定します。

ビット1		
TMOFH	説明	
0	P1 ₁ 入出力端子として機能	(初期値)
1	TMOFL 出力端子として機能	

ビット0：P1₀/TMOW 端子機能切換え（TMOW）

P1₀/TMOW 端子を P1₀ 端子として使用するか、TMOW 端子として使用するかを設定します。

ビット0		
TMOW	説明	
0	P1 ₀ 入出力端子として機能	(初期値)
1	TMOW 出力端子として機能	

8.2.3 端子機能

表 8.3 にポート 1 の端子機能を示します。

表 8.3 ポート 1 の端子機能

端子	選択方法と端子機能			
P1 ₇ / $\overline{\text{IRQ}}_3$ / TMIF	PMR1 の IRQ3、TCRF の CKSL2 ~ CKSL0、PCR1 の PCR1 ₇ の TMIF 組合せで次のように切り換わります。			
	IRQ3		0	1
	PCR1 ₇	0	1	*
	CKSL2 ~ CKSL0		*	0* * 以外 0* *
端子機能	P1 ₇ 入力端子	P1 ₇ 出力端子	$\overline{\text{IRQ}}_3$ 入力端子	$\overline{\text{IRQ}}_3$ /TMIF 入力端子
	【注】 TMIF入力端子として使用する場合には、IENR1のIEN3を"0"にクリアして、IRQ3 割込みを禁止してください。			
P1 ₆ / $\overline{\text{IRQ}}_2$ / TMIC	PMR1 の IRQ2、TMC の TMC2 ~ TMC0、PCR1 の PCR1 ₆ の組合せで次のように切り換わります。			
	IRQ2		0	1
	PCR1 ₆	0	1	*
	TMC2 ~ TMC0		*	111以外 111
端子機能	P1 ₆ 入力端子	P1 ₆ 出力端子	$\overline{\text{IRQ}}_2$ 入力端子	$\overline{\text{IRQ}}_2$ /TMIC 入力端子
	【注】 TMIC入力端子として使用する場合には、IENR1のIEN2を"0"にクリアして、IRQ2 割込みを禁止してください。			
P1 ₅ / $\overline{\text{IRQ}}_1$ / TMIB	PMR1 の IRQ1、TMB の TMB2 ~ TMB0、PCR1 の PCR1 ₅ の組合せで、次のように切り換わります。			
	IRQ1		0	1
	PCR1 ₅	0	1	*
	TMB2 ~ TMB0		*	111以外 111
端子機能	P1 ₅ 入力端子	P1 ₅ 出力端子	$\overline{\text{IRQ}}_1$ 入力端子	$\overline{\text{IRQ}}_1$ /TMIB 入力端子
	【注】 TMIB入力端子として使用する場合には、IENR1のIEN1を"0"にクリアして、IRQ1 割込みを禁止してください。			
P1 ₄ /PWN	PMR1 の PWN と PCR1 の PCR1 ₄ の組合せで、次のように切り換わります。			
	PWN		0	1
	PCR1 ₄	0	1	*
端子機能	P1 ₄ 入力端子	P1 ₄ 出力端子	PWN出力端子	

* : Don't care

8. I/O ポート

端子	選択方法と端子機能			
P1 ₃ /TMIG	PMR1 の TMIG と PCR1 の PCR1 ₃ の組合せで、次のように切り換わります。			
	TMIG	0		1
	PCR1 ₃	0	1	*
	端子機能	P1 ₃ 入力端子	P1 ₃ 出力端子	TMIG入力端子
P1 ₂ /TMOFH	PMR1 の TMOFH と PCR1 の PCR1 ₂ の組合せで、次のように切り換わります。			
	TMOFH	0		1
	PCR1 ₂	0	1	*
	端子機能	P1 ₂ 入力端子	P1 ₂ 出力端子	TMOFH出力端子
P1 ₁ /TMOFL	PMR1 の TMOFL と PCR1 の PCR1 ₁ の組合せで、次のように切り換わります。			
	TMOFL	0		1
	PCR1 ₁	0	1	*
	端子機能	P1 ₁ 入力端子	P1 ₁ 出力端子	TMOFL出力端子
P1 ₀ /TMOW	PMR1 の TMOW と PCR1 の PCR1 ₀ の組合せで、次のように切り換わります。			
	TMOW	0		1
	PCR1 ₀	0	1	*
	端子機能	P1 ₀ 入力端子	P1 ₀ 出力端子	TMOW出力端子

* : Don't care

8.2.4 端子状態

各動作モードにおけるポート1の端子状態を表8.4に示します。

表8.4 ポート1の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P1 ₇ /IRQ ₃ /TMIF							
P1 ₆ /IRQ ₂ /TMIC							
P1 ₅ /IRQ ₁ /TMIB	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	保持	動作	動作
P1 ₄ /PWM							
P1 ₃ /TMIG							
P1 ₂ /TMOFH							
P1 ₁ /TMOFL							
P1 ₀ /TMOW							

【注】 * ブルアップMOSがON状態では"High"レベル出力となります。

8.2.5 入力プルアップMOS

ポート1は、プログラムで制御可能な入力プルアップMOSを内蔵しています。PCR1が"0"にクリアされている状態でPUCR1に"1"をセットすると入力プルアップMOSはON状態となります。また、入力プルアップMOSはリセット時、OFF状態になります。

PCR1 _n	0		1
PUCR1 _n	0	1	*
入力プルアップMOS	OFF	ON	OFF

* : Don't care (n=7~0)

8.3 ポート 2

8.3.1 概要

ポート 2 は、8 ビットの入出力ポートです。ポート 2 の各端子は、図 8.2 に示す構成になっています。

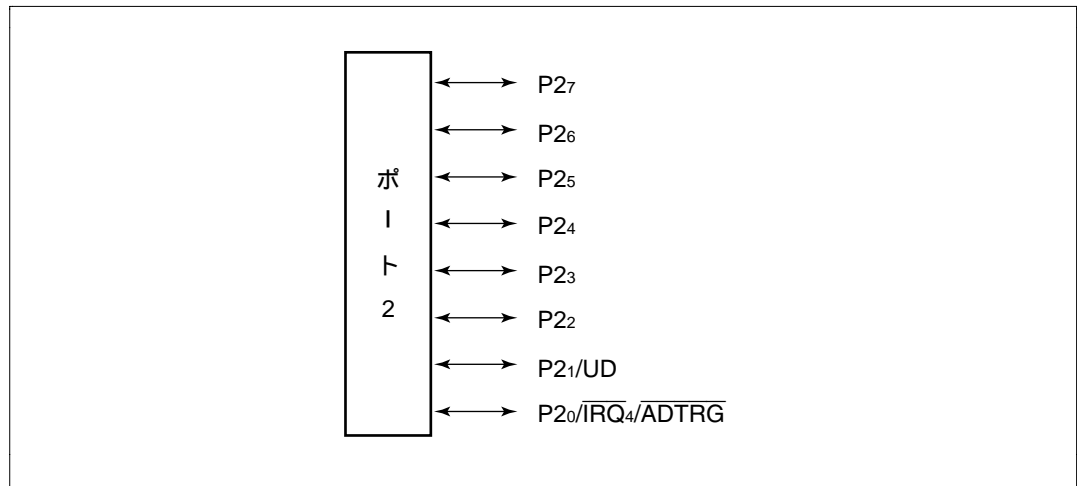


図 8.2 ポート 2 の端子構成

8.3.2 レジスタの構成と説明

表 8.5 にポート 2 のレジスタ構成を示します。

表 8.5 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 2	PDR2	R/W	H'00	H'FFD5
ポートコントロールレジスタ 2	PCR2	W	H'00	H'FFE5
ポートモードレジスタ 2	PMR2	R/W	H'C0	H'FFC9
ポートモードレジスタ 4	PMR4	R/W	H'00	H'FFCB

(1) ポートデータレジスタ 2 (PDR2)

ビット:	7	6	5	4	3	2	1	0
	P27	P26	P25	P24	P23	P22	P21	P20
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR2は、ポート2の各端子P2₇~P2₀のデータを格納する8ビットのレジスタです。

PCR2が"1"のとき、ポート2のリードを行うと、PDR2の値を直接リードします。そのため端子状態の影響を受けません。PCR2が"0"のとき、ポート2のリードを行うと、端子状態が読み出されます。

リセット時、PDR2はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 2 (PCR2)

ビット:	7	6	5	4	3	2	1	0
	PCR27	PCR26	PCR25	PCR24	PCR23	PCR22	PCR21	PCR20
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR2は、ポート2の各端子P2₇~P2₀の入出力をビットごとに制御します。PCR2に"1"をセットすると対応するP2₇~P2₀端子は出力端子となり、"0"にクリアすると入力端子となります。PMR2により当該端子が汎用入出力に設定されている場合には、PCR2およびPDR2の設定が有効となります。

リセット時、PCR2はH'00にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に"1"が読み出されます。

(3) ポートモードレジスタ 2 (PMR2)

ビット:	7	6	5	4	3	2	1	0
	—	—	POF2	NCS	IRQ0	POF1	UD	IRQ4
初期値:	1	1	0	0	0	0	0	0
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

PMR2は、8ビットのリード/ライト可能なレジスタで、P2₀、P2₁、P4₃端子機能の切換え、P3₅/SO₂、P3₂/SO₁端子のPMOSのON/OFF制御、およびTMIG端子入力のノイズキャンセラを制御します。

リセット時、PMR2はH'C0にイニシャライズされます。

ビット7、6：リザーブビット

リザーブビットです。各ビットはリードすると常に"1"が読み出されます。ライトは無効です。

ビット5：P3₅/SO₂端子 PMOS コントロール (POF2)

P3₅/SO₂端子出力バッファのPMOSのON/OFFを制御します。

ビット5		
POF2	説明	
0	CMOS 出力	(初期値)
1	NMOS オープンドレイン出力	

ビット4：TMIG ノイズキャンセラセレクト (NCS)

インプットキャプチャ入力信号 (TMIG) のノイズ除去回路の制御を行います。

ビット4		
NCS	説明	
0	ノイズ除去機能なし	(初期値)
1	ノイズ除去機能あり	

ビット3：P4₃/ $\overline{\text{IRQ}}_0$ 端子機能切換え (IRQ0)

P4₃/ $\overline{\text{IRQ}}_0$ 端子をP4₃端子として使用するか、 $\overline{\text{IRQ}}_0$ 端子として使用するかを設定します。

ビット3		
IRQ0	説明	
0	P4 ₃ 入力端子として機能	(初期値)
1	$\overline{\text{IRQ}}_0$ 入力端子として機能	

ビット2：P3₂/SO₁端子 PMOS コントロール (POF1)

P3₂/SO₁端子出力バッファのPMOSのON/OFFを制御します。

ビット2		
POF1	説明	
0	CMOS 出力	(初期値)
1	NMOS オープンドレイン出力	

ビット1：P2₁/UD 端子機能切換え（UD）

P2₁/UD 端子を P2₁ 端子として使用するか、UD 端子として使用するかを設定します。

ビット1		
UD	説明	
0	P2 ₁ 入出力端子として機能	(初期値)
1	UD 入力端子として機能	

ビット0：P2₀/IRQ₄/ADTRG 端子機能切換え（IRQ4）

P2₀/IRQ₄/ADTRG 端子を P2₀ 端子として使用するか、IRQ₄/ADTRG 端子として使用するかを設定します。

ビット0		
IRQ4	説明	
0	P2 ₀ 入出力端子として機能	(初期値)
1	IRQ ₄ /ADTRG 入力端子として機能	

【注】 ADTRG 端子の設定については、「12.3.2 外部トリガによる A/D 変換器の起動」を参照してください。

(4) ポートモードレジスタ 4 (PMR4)

ビット:	7	6	5	4	3	2	1	0
	NMOD7	NMOD6	NMOD5	NMOD4	NMOD3	NMOD2	NMOD1	NMOD0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR4 は、8 ビットのリード/ライト可能なレジスタで、ポート 2 の各端子を CMOS 出力とするか、NMOS オープンドレイン出力とするかをビットごとに制御します。

リセット時、PMR4 は H'00 にイニシャライズされます。

ビット n：NMOS オープンドレイン出力セレクト (NMODn)

P2_n 端子を出力端子として使用する場合に、NMOS オープンドレイン出力とします。

ビット n		
NMODn	説明	
0	CMOS 出力	(初期値)
1	NMOS オープンドレイン出力	

(n=7~0)

8.3.3 端子機能

表 8.6 にポート 2 の端子機能を示します。

表 8.6 ポート 2 の端子機能

端子	選択方法と端子機能				
P2 ₇ ~ P2 ₂	PCR2 の各ビットにより、次のように切り換わります。				
	(n = 7 ~ 2)				
	PCR2 _n	0		1	
端子機能	P2 _n 入力端子		P2 _n 出力端子		
P2 ₁ /UD	PMR2 の UD と PCR2 の PCR2 ₁ の組合せで、次のように切り換わります。				
	UD	0		1	
	PCR2 ₁	0	1	*	
	端子機能	P2 ₁ 入力端子	P2 ₁ 出力端子	UD入力端子	
P2 ₀ / $\overline{\text{IRQ}}_4$ / $\overline{\text{ADTRG}}$	PMR2 の IRQ4、AMR の TRGE、PCR2 の PCR2 ₀ の組合せで、次のように切り換わります。				
	IRQ4	0		1	
	PCR2 ₀	0	1	*	
	TRGE	*		0	1
	端子機能	P2 ₀ 入力端子	P2 ₀ 出力端子	$\overline{\text{IRQ}}_4$ 入力端子	$\overline{\text{IRQ}}_4/\overline{\text{ADTRG}}$ 入力端子
【注】 $\overline{\text{ADTRG}}$ 入力端子として使用する場合には、IENR1のIEN4を"0"にクリアしてIRQ4割込みを禁止してください。					

* : Don't care

8.3.4 端子状態

各モードにおけるポート 2 の端子状態を表 8.7 に示します。

表 8.7 ポート 2 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P2 ₇ ~ P2 ₂	ハイ	保持	保持	ハイ	保持	動作	動作
P2 ₁ /UD	インピー			インピー			
P2 ₀ / $\overline{\text{IRQ}}_4$ / $\overline{\text{ADTRG}}$	ダンス			ダンス			

8.4 ポート3

8.4.1 概要

ポート3は、8ビットの入出力ポートです。ポート3の各端子は、図8.3に示す構成になっています。

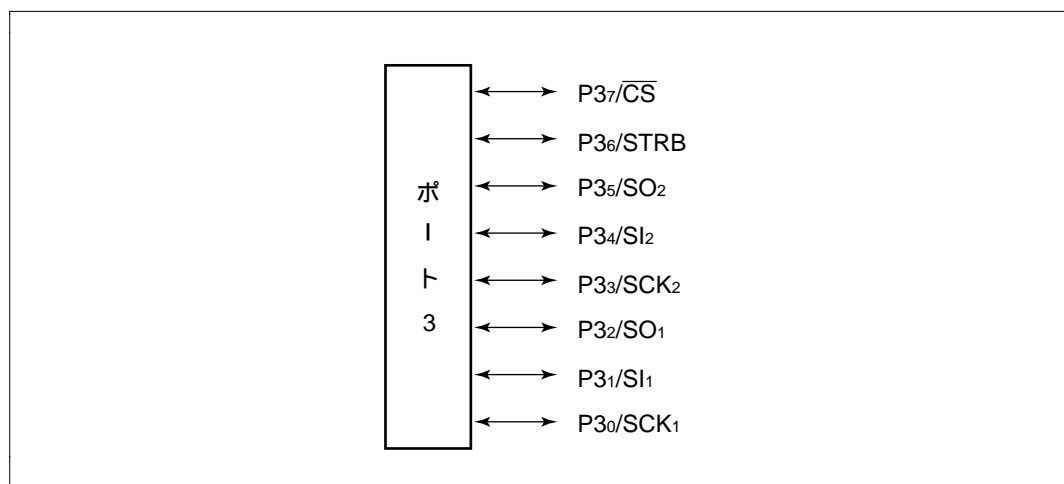


図 8.3 ポート3の端子構成

8.4.2 レジスタの構成と説明

表8.8にポート3のレジスタ構成を示します。

表 8.8 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ3	PDR3	R/W	H'00	H'FFD6
ポートコントロールレジスタ3	PCR3	W	H'00	H'FFE6
ポートプルアップコントロールレジスタ3	PUCR3	R/W	H'00	H'FFE1
ポートモードレジスタ3	PMR3	R/W	H'00	H'FFCA

(1) ポートデータレジスタ3 (PDR3)

ビット:	7	6	5	4	3	2	1	0
	P37	P36	P35	P34	P33	P32	P31	P30
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR3は、ポート3の各端子P3₇~P3₀のデータを格納する8ビットのレジスタです。

PCR3が"1"のとき、ポート3のリードを行うと、PDR3の値を直接リードします。そのため端子状態の影響を受けません。PCR3が"0"のとき、ポート3のリードを行うと、端子状態が読み出されます。

リセット時、PDR3はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ3 (PCR3)

ビット:	7	6	5	4	3	2	1	0
	PCR37	PCR36	PCR35	PCR34	PCR33	PCR32	PCR31	PCR30
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR3は、ポート3の各端子P3₇~P3₀の入出力をビットごとに制御します。PCR3に"1"をセットすると対応するP3₇~P3₀端子は出力端子となり、"0"にクリアすると入力端子となります。PMR3により当該端子が汎用入出力に設定されている場合には、PCR3およびPDR3の設定が有効となります。

リセット時、PCR3はH'00にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に"1"が読み出されます。

(3) ポートプルアップコントロールレジスタ3 (PUCR3)

ビット:	7	6	5	4	3	2	1	0
	PUCR37	PUCR36	PUCR35	PUCR34	PUCR33	PUCR32	PUCR31	PUCR30
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR3は、ポート3の各端子P3₇~P3₀のプルアップMOSをビットごとに制御します。

PCR3が"0"の状態でもPUCR3に"1"をセットすると対応するプルアップMOSはON状態となり、"0"にクリアするとOFF状態となります。

リセット時、PUCR3はH'00にイニシャライズされます。

(4) ポートモードレジスタ 3 (PMR3)

ビット:	7	6	5	4	3	2	1	0
	CS	STRB	SO2	SI2	SCK2	SO1	SI1	SCK1
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR3 は、8ビットのリード/ライト可能なレジスタで、ポート 3 の各端子機能の切換えを制御します。

リセット時、PMR3 は H'00 にイニシャライズされます。

ビット 7 : P3₇/ $\overline{\text{CS}}$ 端子機能切換え (CS)

P3₇/ $\overline{\text{CS}}$ 端子を P3₇ 端子として使用するか、 $\overline{\text{CS}}$ 端子として使用するかを設定します。

ビット 7		
CS	説明	
0	P3 ₇ 入出力端子として機能	(初期値)
1	$\overline{\text{CS}}$ 入力端子として機能	

ビット 6 : P3₆/STRB 端子機能切換え (STRB)

P3₆/STRB 端子を P3₆ 端子として使用するか、STRB 端子として使用するかを設定します。

ビット 6		
STRB	説明	
0	P3 ₆ 入出力端子として機能	(初期値)
1	STRB 出力端子として機能	

ビット 5 : P3₅/SO₂ 端子機能切換え (SO2)

P3₅/SO₂ 端子を P3₅ 端子として使用するか、SO₂ 端子として使用するかを設定します。

ビット 5		
SO2	説明	
0	P3 ₅ 入出力端子として機能	(初期値)
1	SO ₂ 出力端子として機能	

ビット4：P3₄/SI₂端子機能切換え（SI2）

P3₄/SI₂端子をP3₄端子として使用するか、SI₂端子として使用するかを設定します。

ビット4		
SI2	説明	
0	P3 ₄ 入出力端子として機能	(初期値)
1	SI ₂ 入力端子として機能	

ビット3：P3₃/SCK₂端子機能切換え（SCK2）

P3₃/SCK₂端子をP3₃端子として使用するか、SCK₂端子として使用するかを設定します。

ビット3		
SCK2	説明	
0	P3 ₃ 入出力端子として機能	(初期値)
1	SCK ₂ 入出力端子として機能	

ビット2：P3₂/SO₁端子機能切換え（SO1）

P3₂/SO₁端子をP3₂端子として使用するか、SO₁端子として使用するかを設定します。

ビット2		
SO1	説明	
0	P3 ₂ 入出力端子として機能	(初期値)
1	SO ₁ 出力端子として機能	

ビット1：P3₁/SI₁端子機能切換え（SI1）

P3₁/SI₁端子をP3₁端子として使用するか、SI₁端子として使用するかを設定します。

ビット1		
SI1	説明	
0	P3 ₁ 入出力端子として機能	(初期値)
1	SI ₁ 入力端子として機能	

ビット0：P3₀/SCK₁端子機能切換え（SCK1）

P3₀/SCK₁端子をP3₀端子として使用するか、SCK₁端子として使用するかを設定します。

ビット0		
SCK1	説明	
0	P3 ₀ 入出力端子として機能	(初期値)
1	SCK ₁ 入出力端子として機能	

8.4.3 端子機能

表 8.9 にポート 3 の端子機能を示します。

表 8.9 ポート 3 の端子機能

端子	選択方法と端子機能			
P3 ₇ / $\overline{\text{CS}}$	PMR3 の CS と PCR3 の PCR3 ₇ の組合せで、次のように切り換わります。			
	CS	0		1
	PCR3 ₇	0	1	*
	端子機能	P3 ₇ 入力端子	P3 ₇ 出力端子	$\overline{\text{CS}}$ 出力端子
P3 ₆ /STRB	PMR3 の STRB と PCR3 の PCR3 ₆ の組合せで、次のように切り換わります。			
	STRB	0		1
	PCR3 ₆	0	1	*
	端子機能	P3 ₆ 入力端子	P3 ₆ 出力端子	STRB出力端子
P3 ₅ /SO ₂	PMR3 の SO2 と PCR3 の PCR3 ₅ の組合せで、次のように切り換わります。			
	SO2	0		1
	PCR3 ₅	0	1	*
	端子機能	P3 ₅ 入力端子	P3 ₅ 出力端子	SO ₂ 出力端子
P3 ₄ /SI ₂	PMR3 の SI2 と PCR3 の PCR3 ₄ の組合せで、次のように切り換わります。			
	SI2	0		1
	PCR3 ₄	0	1	*
	端子機能	P3 ₄ 入力端子	P3 ₄ 出力端子	SI ₂ 入力端子
P3 ₃ /SCK ₂	PMR3 の SCK2、SCR2 の CKS2 ~ CKS0、および PCR3 の PCR ₃ の組合せで、次のように切り換わります。			
	SCK2	0		1
	CKS2 ~ CKS0	*		111以外 111
	PCR3 ₃	0	1	* *
	端子機能	P3 ₃ 入力端子	P3 ₃ 出力端子	SCK ₂ 出力端子 SCK ₂ 入力端子
P3 ₂ /SO ₁	PMR3 の SO1 と PCR3 の PCR3 ₂ の組合せで、次のように切り換わります。			
	SO1	0		1
	PCR3 ₂	0	1	*
	端子機能	P3 ₂ 入力端子	P3 ₂ 出力端子	SO ₁ 出力端子

* : Don't care

端子	選択方法と端子機能			
P3 ₇ /SI ₁	PMR3 の SI1 と PCR3 の PCR3 ₁ の組合せで、次のように切り換わります。			
	SI1	0		1
	PCR3 ₁	0	1	*
	端子機能	P3 ₁ 入力端子	P3 ₁ 出力端子	SI ₁ 出力端子
P3 ₀ /SCK ₁	PMR3 の SCK1、SCR1 の CKS3、および PCR3 の PCR3 ₀ の組合せで、次のように切り換わります。			
	SCK1	0		1
	CKS3	*		0 1
	PCR3 ₀	0	1	* *
	端子機能	P3 ₀ 入力端子	P3 ₀ 出力端子	SCK ₁ 出力端子

* : Don't care

8.4.4 端子状態

各動作モードにおけるポート 3 の端子状態を表 8.10 に示します。

表 8.10 ポート 3 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P3 ₇ / \overline{CS}	ハイ	保持	保持	ハイ	保持	動作	動作
P3 ₆ /STRB	インピーダンス			インピーダンス*			
P3 ₅ /SO ₂							
P3 ₄ /SI ₂							
P3 ₃ /SCK ₂							
P3 ₂ /SO ₁							
P3 ₁ /SI ₁							
P3 ₀ /SCK ₁							

【注】 * プルアップ MOS が ON 状態では"High"レベル出力となります。

8.4.5 入力プルアップ MOS

ポート 3 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR3 が"0"にクリアされている状態で PUCR3 に"1"をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

PCR3n	0		1
PUCR3n	0	1	*
入力プルアップ MOS	OFF	ON	OFF

* : Don't care (n = 7 ~ 0)

8.5 ポート4

8.5.1 概要

ポート4は、3ビットの入出力ポートと1ビットの入力専用ポートです。ポート4の各端子は、図8.4に示す構成になっています。

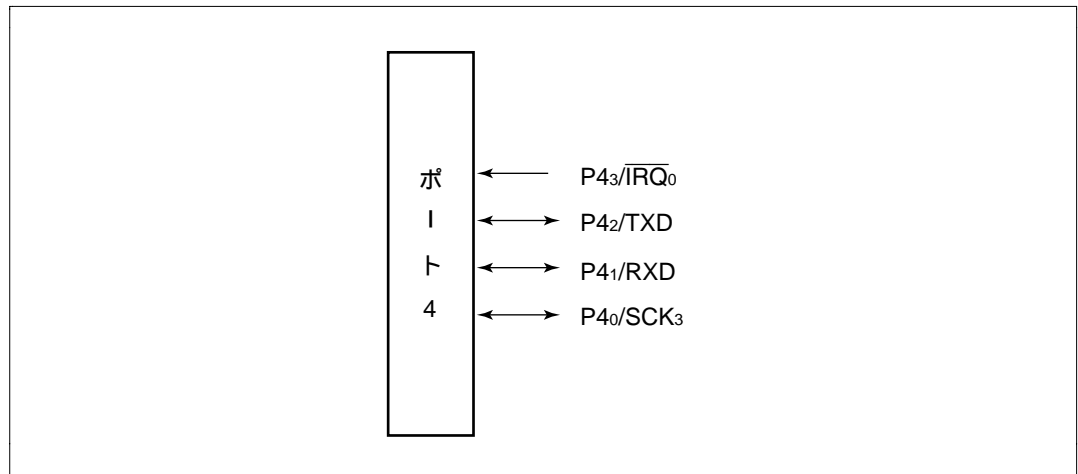


図 8.4 ポート4の端子構成

8.5.2 レジスタの構成と説明

表 8.11 にポート4のレジスタ構成を示します。

表 8.11 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ4	PDR4	R/W	H'F8	H'FFD7
ポートコントロールレジスタ4	PCR4	W	H'F8	H'FFE7

(1) ポートデータレジスタ 4 (PDR4)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	P43	P42	P41	P40
初期値:	1	1	1	1	1	0	0	0
R/W :	—	—	—	—	R	R/W	R/W	R/W

PDR4は、ポート4の各端子P4₂~P4₀のデータを格納する8ビットのレジスタです。PCR4が"1"のとき、ポート4のリードを行うと、PDR4の値を直接リードします。そのため端子状態の影響を受けません。PCR4が"0"のとき、ポート4のリードを行うと、端子状態が読み出されます。

リセット時、PDR4はHF8にイニシャライズされます。

(2) ポートコントロールレジスタ 4 (PCR4)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	PCR42	PCR41	PCR40
初期値:	1	1	1	1	1	0	0	0
R/W :	—	—	—	—	—	W	W	W

PCR4は、ポート4の各端子P4₂~P4₀の入出力をビットごとに制御します。PCR4に"1"をセットすると対応するP4₂~P4₀端子は出力端子となり、"0"にクリアすると入力端子となります。SCR3により当該端子が汎用入出力に設定されている場合には、PCR4およびPDR4の設定が有効となります。

リセット時、PCR4はHF8にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に"1"が読み出されます。

8.5.3 端子機能

表 8.12 にポート 4 の端子機能を示します。

表 8.12 ポート 4 の端子機能

端子	選択方法と端子機能			
P4 ₃ /IRQ ₀	PMR2 の IRQ0 により、次のように切り換わります。			
	IRQ0	0		1
	端子機能	P4 ₃ 入力端子		IRQ ₀ 入力端子
P4 ₂ /TXD	SCR3 の TE と PCR4 の PCR4 ₂ の組合せで、次のように切り換わります。			
	TE	0		1
	PCR4 ₂	0	1	*
	端子機能	P4 ₂ 入力端子	P4 ₂ 出力端子	TXD出力端子
P4 ₁ /RXD	SCR3 の RE と PCR4 の PCR4 ₁ の組合せで、次のように切り換わります。			
	RE	0		1
	PCR4 ₁	0	1	*
	端子機能	P4 ₁ 入力端子	P4 ₁ 出力端子	RXD入力端子
P4 ₀ /SCK ₃	SCR3 の CKE1、CKE0、SMR の COM、および PCR4 の PCR4 ₀ の組合せで、次のように切り換わります。			
	CKE1	0		1
	CKE0	0		1
	COM	0		1
	PCR4 ₀	0	1	*
	端子機能	P4 ₀ 入力端子	P4 ₀ 出力端子	SCK ₃ 出力端子

* : Don't care

8.5.4 端子状態

各動作モードにおけるポート4の端子状態を表8.13に示します。

表 8.13 ポート4の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P4 ₃ /IRQ ₀	ハイ	保持	保持	ハイ	保持	動作	動作
P4 ₂ /TXD	インピー			インピー			
P4 ₁ /RXD	ダンス			ダンス*			
P4 ₀ /SCK ₃							

8.6 ポート5

8.6.1 概要

ポート5は、8ビットの入出力ポートです。ポート5の各端子は、図8.5に示す構成になっています。

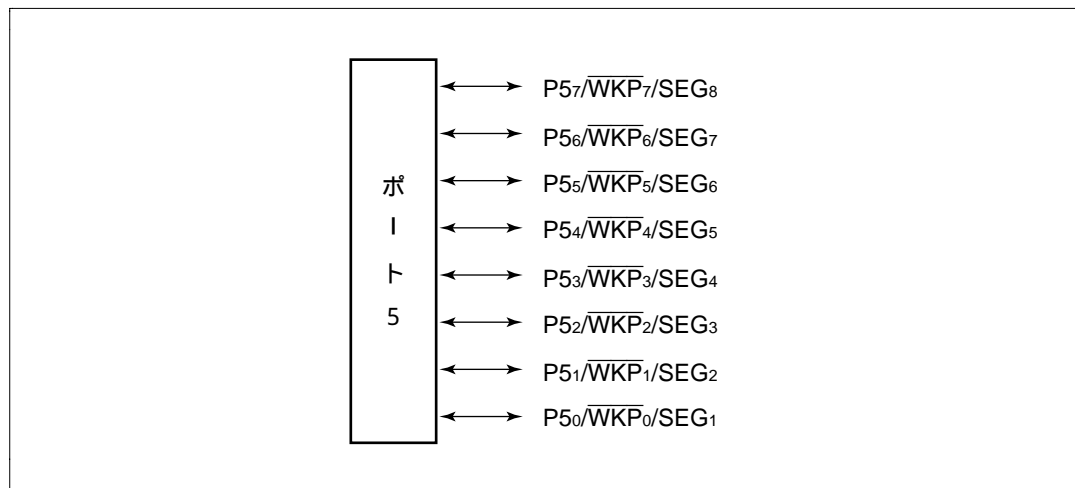


図 8.5 ポート5の端子構成

8.6.2 レジスタの構成と説明

表8.14にポート5のレジスタ構成を示します。

表 8.14 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ5	PDR5	R/W	H'00	H'FFD8
ポートコントロールレジスタ5	PCR5	W	H'00	H'FFE8
ポートプルアップコントロールレジスタ5	PUCR5	R/W	H'00	H'FFE2
ポートモードレジスタ5	PMR5	R/W	H'00	H'FFCC

(1) ポートデータレジスタ 5 (PDR5)

ビット:	7	6	5	4	3	2	1	0
	P57	P56	P55	P54	P53	P52	P51	P50
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR5は、ポート5の各端子P5₇~P5₀のデータを格納する8ビットのレジスタです。

PCR5が"1"のとき、ポート5のリードを行うと、PDR5の値を直接リードします。そのため端子状態の影響を受けません。PCR5が"0"のとき、ポート5のリードを行うと、端子状態が読み出されます。

リセット時、PDR5はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 5 (PCR5)

ビット:	7	6	5	4	3	2	1	0
	PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR5は、ポート5の各端子P5₇~P5₀の入出力をビットごとに制御します。PCR5に"1"をセットすると対応するP5₇~P5₀端子は出力端子となり、"0"にクリアすると入力端子となります。PMR5、LPCRのSGS3~SGS0により当該端子が汎用入出力に設定されている場合には、PCR5およびPDR5の設定が有効となります。

リセット時、PCR5はH'00にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に"1"が読み出されます。

(3) ポートプルアップコントロールレジスタ 5 (PUCR5)

ビット:	7	6	5	4	3	2	1	0
	PUCR57	PUCR56	PUCR55	PUCR54	PUCR53	PUCR52	PUCR51	PUCR50
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR5は、ポート5の各端子P5₇~P5₀のプルアップMOSをビットごとに制御します。

PCR5が"0"の状態でもPUCR5に"1"をセットすると対応するプルアップMOSはON状態となり、"0"にクリアするとOFF状態となります。

リセット時、PUCR5はH'00にイニシャライズされます。

(4) ポートモードレジスタ5 (PMR5)

ビット:	7	6	5	4	3	2	1	0
	WKP ₇	WKP ₆	WKP ₅	WKP ₄	WKP ₃	WKP ₂	WKP ₁	WKP ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR5 は、8ビットのリード/ライト可能なレジスタで、ポート5の各端子機能の切換えを制御します。

リセット時、PMR5はH'00にイニシャライズされます。

ビットn : $P5_n/\overline{WKP}_n/SEG_{n+1}$ 端子機能切換え (WKPn)

$P5_n/\overline{WKP}_n/SEG_{n+1}$ 端子を SEG_{n+1} 端子として使用しない場合に、 $P5_n$ 端子として使用するか、 \overline{WKP}_n 端子として使用するかを設定します。

ビットn	説明
WKPn	
0	$P5_n$ 入出力端子として機能 (初期値)
1	\overline{WKP}_n 入力端子として機能

(n=7~0)

【注】 SEG_{n+1} としての使用については、「13.2.1 LCDポートコントロールレジスタ(LPCR)」を参照してください。

8.6.3 端子機能

表 8.15 にポート 5 の端子機能を示します。

表 8.15 ポート 5 の端子機能

端子	選択方法と端子機能			
$P5_7/\overline{WKP}_7$ $/SEG_8$ ~ $P5_4/\overline{WKP}_4$ $/SEG_5$	PMR5 の WKP_n 、PCR5 の $PCR5_n$ 、および LPCR の SGS3 ~ S GS0 の組合せで、次のように切り換わります。			
	(n = 7 ~ 4)			
	SGS3 ~ SGS0	0 * * *		1 * * *
	WKP_n	0	1	*
	$PCR5_n$	0	1	*
端子機能	P5 _n 入力端子	P5 _n 出力端子	\overline{WKP}_n 入力端子	SEG _{n+1} 出力端子
$P5_3/\overline{WKP}_3$ $/SEG_4$ ~ $P5_0/\overline{WKP}_0$ $/SEG_1$	PMR5 の WKP_n 、PCR5 の $PCR5_n$ 、および LPCR の SGS3 ~ S GS0 の組合せで、次のように切り換わります。			
	(n = 3 ~ 0)			
	SGS3 ~ SGS0	0 * * *, 1 * * 0		1 * * 1
	WKP_n	0	1	*
	$PCR5_n$	0	1	*
端子機能	P5 _n 入力端子	P5 _n 出力端子	\overline{WKP}_n 入力端子	SEG _{n+1} 出力端子

* : Don't care

8.6.4 端子状態

各動作モードにおけるポート5の端子状態を表8.16に示します。

表 8.16 ポート5の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P5 ₇ / $\overline{\text{WKP}}_7$ /SEG ₈ ~ P5 ₀ / $\overline{\text{WKP}}_0$ /SEG ₁	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	保持	動作	動作

【注】 * プルアップMOSがON状態では"High"レベル出力となります。

8.6.5 入力プルアップMOS

ポート5は、プログラムで制御可能な入力プルアップMOSを内蔵しています。PCR5が"0"にクリアされている状態でPUCR5に"1"をセットすると入力プルアップMOSはON状態となります。また、入力プルアップMOSはリセット時、OFF状態になります。

PCR5 _n	0		1
PUCR5 _n	0	1	*
入力プルアップMOS	OFF	ON	OFF

* : Don't care (n = 7 ~ 0)

8.7 ポート 6

8.7.1 概要

ポート 6 は、8 ビットの入出力ポートです。ポート 6 の各端子は、図 8.6 に示す構成になっています。

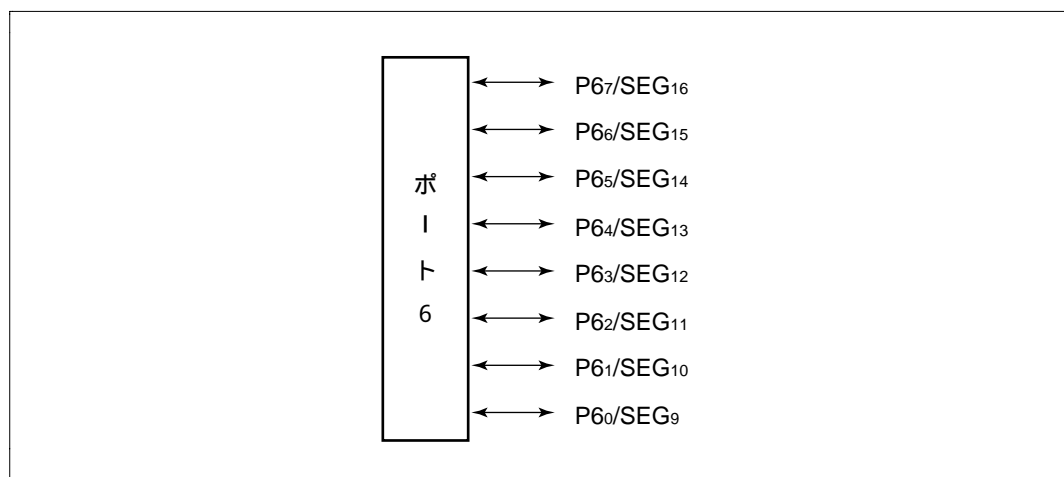


図 8.6 ポート 6 の端子構成

8.7.2 レジスタの構成と説明

表 8.17 にポート 6 のレジスタ構成を示します。

表 8.17 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 6	PDR6	R/W	H'00	H'FFD9
ポートコントロールレジスタ 6	PCR6	W	H'00	H'FFE9
ポートプルアップコントロールレジスタ 6	PUCR6	R/W	H'00	H'FFE3

(1) ポートデータレジスタ 6 (PDR6)

ビット:	7	6	5	4	3	2	1	0
	P67	P66	P65	P64	P63	P62	P61	P60
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR6は、ポート6の各端子P6₇~P6₀のデータを格納する8ビットのレジスタです。

PCR6が"1"のとき、ポート6のリードを行うと、PDR6の値を直接リードします。そのため端子状態の影響を受けません。PCR6が"0"のとき、ポート6のリードを行うと、端子状態が読み出されます。

リセット時、PDR6はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 6 (PCR6)

ビット:	7	6	5	4	3	2	1	0
	PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR6は、ポート6の各端子P6₇~P6₀の入出力をビットごとに制御します。PCR6に"1"をセットすると対応するP6₇~P6₀端子は出力端子となり、"0"にクリアすると入力端子となります。LPCRのSGS3~SGS0により当該端子が汎用入出力に設定されている場合には、PCR6およびPDR6の設定が有効となります。

リセット時、PCR6はH'00にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に"1"が読み出されます。

(3) ポートプルアップコントロールレジスタ 6 (PUCR6)

ビット:	7	6	5	4	3	2	1	0
	PUCR67	PUCR66	PUCR65	PUCR64	PUCR63	PUCR62	PUCR61	PUCR60
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR6は、ポート6の各端子P6₇~P6₀のプルアップMOSをビットごとに制御します。

PCR6が"0"の状態でもPUCR6に"1"をセットすると対応するプルアップMOSはON状態となり、"0"にクリアするとOFF状態となります。

リセット時、PUCR6はH'00にイニシャライズされます。

8.7.3 端子機能

表 8.18 にポート 6 の端子機能を示します。

表 8.18 ポート 6 の端子機能

端子	選択方法と端子機能		
P6 ₇ /SEG ₁₆ ~ P6 ₄ /SEG ₁₃	PCR6 の PCR6 _n と LPCR の SGS3 ~ SGS0 の組合せで、次のように切り換わります。 (n = 7 ~ 4)		
	SGS3 ~ SGS0	00**、010*	011*、1***
	PCR6 _n	0	1
	端子機能	P6 _n 入力端子	P6 _n 出力端子
P6 ₃ /SEG ₁₂ ~ P6 ₀ /SEG ₉	PCR6 の PCR6 _n と LPCR の SGS3 ~ SGS0 の組合せで、次のように切り換わります。 (n = 3 ~ 0)		
	SGS3 ~ SGS0	00**、010*、0110	0111、1***
	PCR6 _n	0	1
	端子機能	P6 _n 入力端子	P6 _n 出力端子

* : Don't care

8.7.4 端子状態

各動作モードにおけるポート 6 の端子状態を表 8.19 に示します。

表 8.19 ポート 6 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P6 ₇ /SEG ₁₆ ~ P6 ₀ /SEG ₉	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	保持	動作	動作

【注】 * プルアップ MOS が ON 状態では"High"レベル出力となります。

8.7.5 入力プルアップ MOS

ポート 6 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR6 が"0"にクリアされている状態で PUCR6 に"1"をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

PCR6 _n	0		1
PUCR6 _n	0	1	*
入力プルアップ MOS	OFF	ON	OFF

* : Don't care (n = 7 ~ 0)

8.8 ポート7

8.8.1 概要

ポート7は、8ビットの入出力ポートです。ポート7の各端子は、図8.7に示す構成になっています。

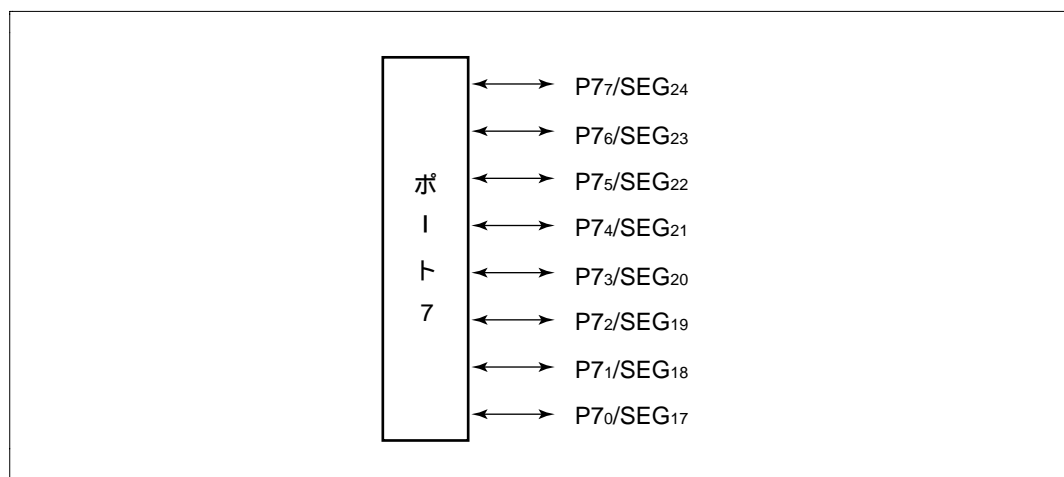


図 8.7 ポート7の端子構成

8.8.2 レジスタの構成と説明

表 8.20 にポート7のレジスタ構成を示します。

表 8.20 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ7	PDR7	R/W	H'00	H'FFDA
ポートコントロールレジスタ7	PCR7	W	H'00	H'FFEA

(1) ポートデータレジスタ7 (PDR7)

ビット:	7	6	5	4	3	2	1	0
	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR7は、ポート7の各端子P7₇~P7₀のデータを格納する8ビットのレジスタです。

PCR7が"1"のとき、ポート7のリードを行うと、PDR7の値を直接リードします。そのため端子状態の影響を受けません。PCR7が"0"のとき、ポート7のリードを行うと、端子状態が読み出されます。

リセット時、PDR7はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ7 (PCR7)

ビット:	7	6	5	4	3	2	1	0
	PCR7 ₇	PCR7 ₆	PCR7 ₅	PCR7 ₄	PCR7 ₃	PCR7 ₂	PCR7 ₁	PCR7 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR7は、ポート7の各端子P7₇~P7₀の入出力をビットごとに制御します。PCR7に"1"をセットすると対応するP7₇~P7₀端子は出力端子となり、"0"にクリアすると入力端子となります。LPCRのSGS3~SGS0により当該端子が汎用入出力に設定されている場合には、PCR7およびPDR7の設定が有効となります。

リセット時、PCR7はH'00にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に"1"が読み出されます。

8.8.3 端子機能

表 8.21 にポート 7 の端子機能を示します。

表 8.21 ポート 7 の端子機能

端子	選択方法と端子機能			
P7 ₇ /SEG ₂₄ ~ P7 ₄ /SEG ₂₁	PCR7 の PCR7 _n と LPCR の SGS3 ~ SGS0 の組合せで、次のように切り換わります。 (n = 7 ~ 4)			
	SGS3 ~ SGS0	00 * *		01 * *, 1 * * *
	PCR7 _n	0	1	*
	端子機能	P7 _n 入力端子	P7 _n 出力端子	SEG _{n+17} 出力端子
P7 ₃ /SEG ₂₀ ~ P7 ₀ /SEG ₁₇	PCR7 の PCR7 _n と LPCR の SGS3 ~ SGS0 の組合せで、次のように切り換わります。 (n = 3 ~ 0)			
	SGS3 ~ SGS0	00 * *, 0100		0101, 011 * , 1 * * *
	PCR7 _n	0	1	*
	端子機能	P7 _n 入力端子	P7 _n 出力端子	SEG _{n+17} 出力端子

* : Don't care

8.8.4 端子状態

各動作モードにおけるポート 7 の端子状態を表 8.22 に示します。

表 8.22 ポート 7 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P7 ₇ /SEG ₂₄ ~ P7 ₀ /SEG ₁₇	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作

8.9 ポート 8

8.9.1 概要

ポート 8 は、8 ビットの入出力ポートです。ポート 8 の各端子は、図 8.8 に示す構成になっています。

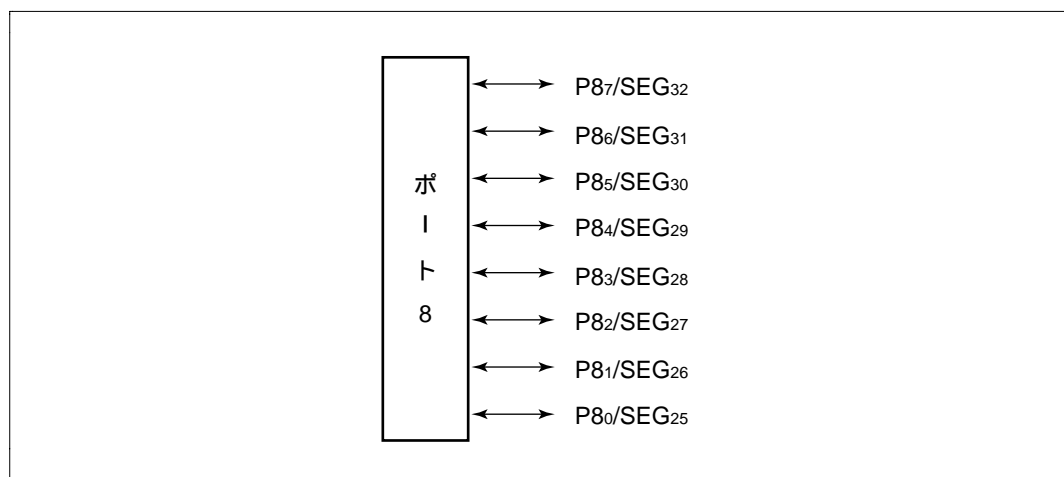


図 8.8 ポート 8 の端子構成

8.9.2 レジスタの構成と説明

表 8.23 にポート 8 のレジスタ構成を示します。

表 8.23 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 8	PDR8	R/W	H'00	H'FFDB
ポートコントロールレジスタ 8	PCR8	W	H'00	H'FFEB

(1) ポートデータレジスタ 8 (PDR8)

ビット:	7	6	5	4	3	2	1	0
	P87	P86	P85	P84	P83	P82	P81	P80
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR8は、ポート8の各端子P8₇~P8₀のデータを格納する8ビットのレジスタです。

PCR8が"1"のとき、ポート8のリードを行うと、PDR8の値を直接リードします。そのため端子状態の影響を受けません。PCR8が"0"のとき、ポート8のリードを行うと、端子状態が読み出されます。

リセット時、PDR8はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 8 (PCR8)

ビット:	7	6	5	4	3	2	1	0
	PCR87	PCR86	PCR85	PCR84	PCR83	PCR82	PCR81	PCR80
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR8は、ポート8の各端子P8₇~P8₀の入出力をビットごとに制御します。PCR8に"1"をセットすると対応するP8₇~P8₀端子は出力端子となり、"0"にクリアすると入力端子となります。LPCRのSGS3~SGS0により当該端子が汎用入出力に設定されている場合には、PCR8およびPDR8の設定が有効となります。

リセット時、PCR8はH'00にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に"1"が読み出されます。

8.9.3 端子機能

表 8.24 にポート 8 の端子機能を示します。

表 8.24 ポート 8 の端子機能

端子	選択方法と端子機能		
P8 ₇ /SEG ₃₂ ~ P8 ₄ /SEG ₂₉	PCR8 の PCR8 _n と LPCR の SGS3 ~ SGS0 の組合せで、次のように切り換わります。 (n = 7 ~ 4)		
	SGS3 ~ SGS0	000 *	
	PCR8 _n	0	1
	端子機能	P8 _n 入力端子	P8 _n 出力端子
P8 ₃ /SEG ₂₈ ~ P8 ₀ /SEG ₂₅	PCR8 の PCR8 _n と LPCR の SGS3 ~ SGS0 の組合せで、次のように切り換わります。 (n = 3 ~ 0)		
	SGS3 ~ SGS0	000 *, 0010	
	PCR8 _n	0	1
	端子機能	P8 _n 入力端子	P8 _n 出力端子

* : Don't care

8.9.4 端子状態

各動作モードにおけるポート 8 の端子状態を表 8.25 に示します。

表 8.25 ポート 8 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P8 ₇ /SEG ₃₂ ~ P8 ₀ /SEG ₂₅	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作

8.10 ポート 9

8.10.1 概要

ポート 9 は、8 ビットの入出力ポートです。ポート 9 の各端子は、図 8.9 に示す構成になっています。

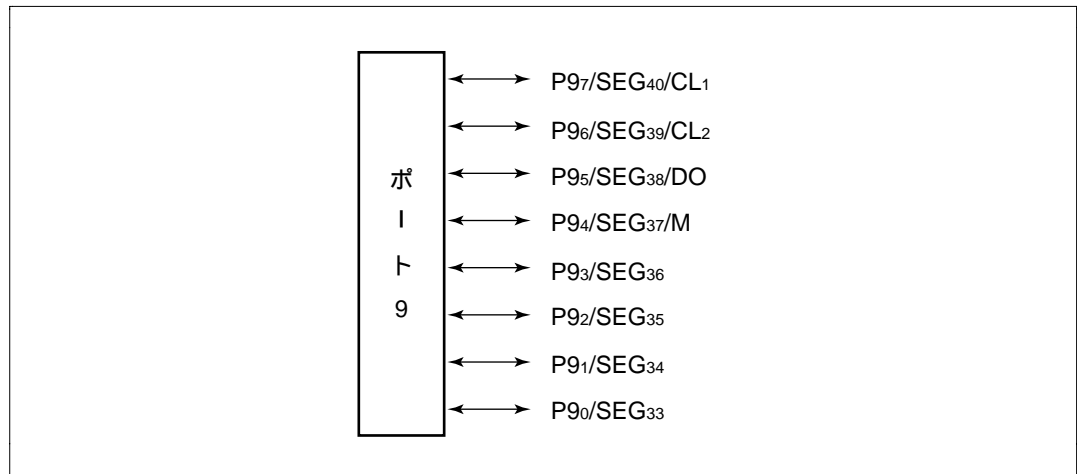


図 8.9 ポート 9 の端子構成

8.10.2 レジスタの構成と説明

表 8.26 にポート 9 のレジスタ構成を示します。

表 8.26 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 9	PDR9	R/W	H'00	H'FFDC
ポートコントロールレジスタ 9	PCR9	W	H'00	H'FFEC

(1) ポートデータレジスタ 9 (PDR9)

ビット:	7	6	5	4	3	2	1	0
	P97	P96	P95	P94	P93	P92	P91	P90
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR9は、ポート9の各端子P9₇~P9₀のデータを格納する8ビットのレジスタです。

PCR9が"1"のとき、ポート9のリードを行うと、PDR9の値を直接リードします。そのため端子状態の影響を受けません。PCR9が"0"のとき、ポート9のリードを行うと、端子状態が読み出されます。

リセット時、PDR9はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 9 (PCR9)

ビット:	7	6	5	4	3	2	1	0
	PCR97	PCR96	PCR95	PCR94	PCR93	PCR92	PCR91	PCR90
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR9は、ポート9の各端子P9₇~P9₀の入出力をビットごとに制御します。PCR9に"1"をセットすると対応するP9₇~P9₀端子は出力端子となり、"0"にクリアすると入力端子となります。LPCRのSGS3~SGS0により当該端子が汎用入出力に設定されている場合には、PCR9およびPDR9の設定が有効となります。

リセット時、PCR9はH'00にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に"1"が読み出されます。

8.10.3 端子機能

表 8.27 にポート 9 の端子機能を示します。

表 8.27 ポート 9 の端子機能

端子	選択方法と端子機能				
P9 ₇ /SEG ₄₀ /CL ₁	PCR9 の PCR9 ₇ と LPCR の SGX、SGS3 ~ SGS0 の組合せで、次のように切り換わります。				
	SGS3 ~ SGS0	0000		0000以外	*
	SGX	0		0	1
	PCR9 ₇	0	1	*	*
	端子機能	P9 ₇ 入力端子	P9 ₇ 出力端子	SEG ₄₀ 出力端子	CL ₁ 出力端子
P9 ₆ /SEG ₃₉ /CL ₂	PCR9 の PCR9 ₆ と LPCR の SGX、SGS3 ~ SGS0 の組合せで、次のように切り換わります。				
	SGS3 ~ SGS0	0000		0000以外	*
	SGX	0		0	1
	PCR9 ₆	0	1	*	*
	端子機能	P9 ₆ 入力端子	P9 ₆ 出力端子	SEG ₃₉ 出力端子	CL ₂ 出力端子
P9 ₅ /SEG ₃₈ /DO	PCR9 の PCR9 ₅ と LPCR の SGX、SGS3 ~ SGS0 の組合せで、次のように切り換わります。				
	SGS3 ~ SGS0	0000		0000以外	*
	SGX	0		0	1
	PCR9 ₅	0	1	*	*
	端子機能	P9 ₅ 入力端子	P9 ₅ 出力端子	SEG ₃₈ 出力端子	DO出力端子
P9 ₄ /SEG ₃₇ /M	PCR9 の PCR9 ₄ と LPCR の SGX、SGS3 ~ SGS0 の組合せで、次のように切り換わります。				
	SGS3 ~ SGS0	0000		0000以外	*
	SGX	0		0	1
	PCR9 ₄	0	1	*	*
	端子機能	P9 ₄ 入力端子	P9 ₄ 出力端子	SEG ₃₇ 出力端子	M出力端子

* : Don't care

端子	選択方法と端子機能		
P9 ₃ /SEG ₃₆ ~ P9 ₀ /SEG ₃₃	PCR9のPCR9 _n とLPCRのSGS3~SGS0の組合せで、次のように切り換わります。 (n=3~0)		
	SGS3~SGS0	0000	
	PCR9 _n	0	1
	端子機能	P9 _n 入力端子	P9 _n 出力端子
			0000以外 *
			SEG _{n+33} 出力端子

* : Don't care

8.10.4 端子状態

各動作モードにおけるポート9の端子状態を表8.28に示します。

表 8.28 ポート9の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P9 ₇ /SEG ₄₀ /CL ₁	ハイ	保持	保持	ハイ	保持	動作	動作
P9 ₆ /SEG ₃₉ /CL ₂	インピー ダンス			インピー ダンス			
P9 ₅ /SEG ₃₈ /DO							
P9 ₄ /SEG ₃₇ /M							
P9 ₃ /SEG ₃₆ ~ P9 ₀ /SEG ₃₃							

8.11 ポート A

8.11.1 概要

ポート A は、4 ビットの入出力ポートです。ポート A の各端子は、図 8.10 に示す構成になっています。

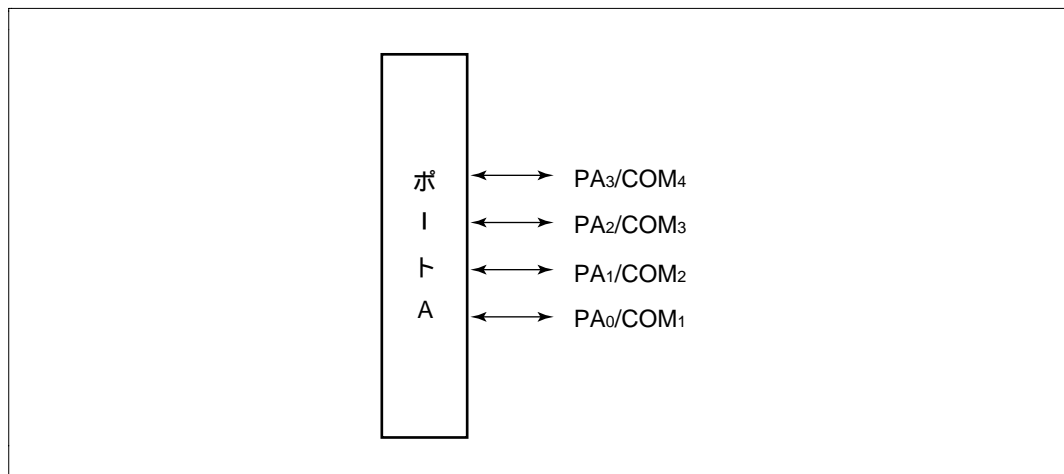


図 8.10 ポート A の端子構成

8.11.2 レジスタの構成と説明

表 8.29 にポート A のレジスタ構成を示します。

表 8.29 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ A	PDRA	R/W	H'F0	H'FFDD
ポートコントロールレジスタ A	PCRA	W	H'F0	H'FFED

(1) ポートデータレジスタ A (PDRA)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PA ₃	PA ₂	PA ₁	PA ₀
初期値:	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

PDRA は、ポート A の各端子 PA₃ ~ PA₀ のデータを格納する 8 ビットのレジスタです。

PCRA が "1" のとき、ポート A のリードを行うと、PDRA の値を直接リードします。そのため端子状態の影響を受けません。PCRA が "0" のとき、ポート A のリードを行うと、端子状態が読み出されます。

リセット時、PDRA は H'F0 にイニシャライズされます。

(2) ポートコントロールレジスタ A (PCRA)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PCRA ₃	PCRA ₂	PCRA ₁	PCRA ₀
初期値:	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	W	W	W	W

PCRA は、ポート A の各端子 PA₃ ~ PA₀ の入出力をビットごとに制御します。PCRA に "1" をセットすると対応する PA₃ ~ PA₀ 端子は出力端子となり、"0" にクリアすると入力端子となります。LPCR により当該端子が汎用入出力に設定されている場合には、PCRA および PDRA の設定が有効となります。

リセット時、PCRA は H'F0 にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に "1" が読み出されます。

8.11.3 端子機能

表 8.30 にポート A の端子機能を示します。

表 8.30 ポート A の端子機能

端子	選択方法と端子機能										
PA ₃ /COM ₄	PCRA の PCRA ₃ と LPCR の DTS1、DTS0、CMX、SGX、SGS3 ~ SGS0 の組合せで、次のように切り換わります。										
	CMX	*	0	*	0	1	*				
	DTS1、DTS0	**	11以外	*	11以外	11以外	11				
	SGX	0	1	*	0	1	*	1	*	1	*
	SGS3 ~ SGS0	0000		0000 以外	0000		0000 以外	0000	0000 以外	0000	0000 以外
	PCRA ₃	0			1			*			
	端子機能	PA ₃ 入力端子			PA ₃ 出力端子			COM ₄ 出力端子			
PA ₂ /COM ₃	PCRA の PCRA ₂ と LPCR の DTS1、DTS0、CMX、SGX、SGS3 ~ SGS0 の組合せで、次のように切り換わります。										
	CMX	*	0	*	0	1	*				
	DTS1、DTS0	**	00、01	**	00、01	00、01	00、01以外				
	SGX	0	1	*	0	1	*	1	*	1	*
	SGS3 ~ SGS0	0000		0000 以外	0000		0000 以外	0000	0000 以外	0000	0000 以外
	PCRA ₂	0			1			*			
	端子機能	PA ₂ 入力端子			PA ₂ 出力端子			COM ₃ 出力端子			
PA ₁ /COM ₂	PCRA の PCRA ₁ と LPCR の DTS1、DTS0、CMX、SGX、SGS3 ~ SGS0 の組合せで、次のように切り換わります。										
	CMX	*	0	*	0	1	*				
	DTS1、DTS0	**	00	**	00	00	00以外				
	SGX	0	1	*	0	1	*	1	*	1	*
	SGS3 ~ SGS0	0000		0000 以外	0000		0000 以外	0000	0000 以外	0000	0000 以外
	PCRA ₁	0			1			*			
	端子機能	PA ₁ 入力端子			PA ₁ 出力端子			COM ₂ 出力端子			

* : Don't care

端子	選択方法と端子機能			
PA ₀ /COM ₁	PCRAのPCRA0とLPCRのSGX、SGS3~SGS0の組合せで、次のように切り換わります。			
	SGS3~SGS0	0000		0000以外
	SGX	0	1	*
	PCRA ₀	0	1	*
端子機能	PA ₀ 入力端子	PA ₀ 出力端子	COM ₁ 出力端子	

* : Don't care

8.11.4 端子状態

各動作モードにおけるポートAの端子状態を表8.31に示します。

表8.31 ポートAの端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
PA ₃ /COM ₄	ハイ	保持	保持	ハイ	保持	動作	動作
PA ₂ /COM ₃	インピー			インピー			
PA ₁ /COM ₂	ダンス			ダンス			
PA ₀ /COM ₁							

8.12 ポート B

8.12.1 概要

ポート B は、8 ビットの入力専用ポートです。ポート B の各端子は、図 8.11 に示す構成になっています。

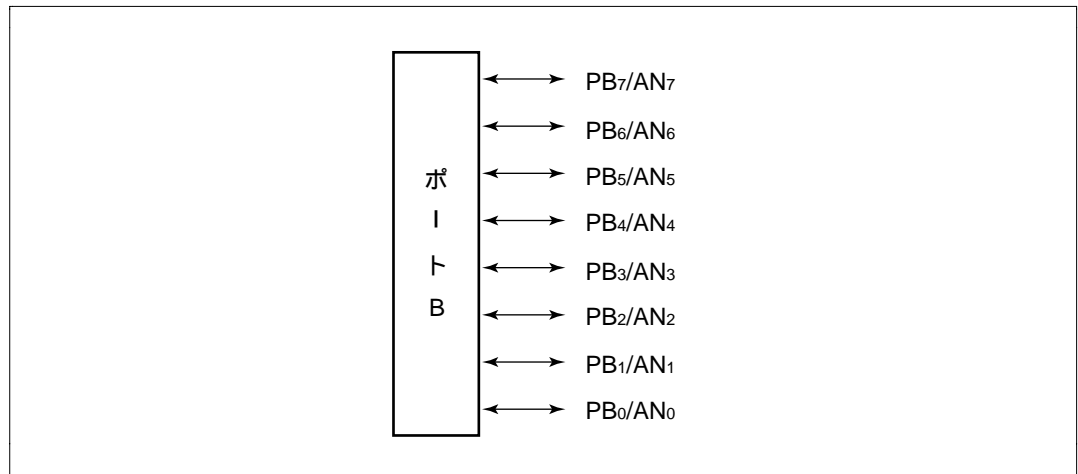


図 8.11 ポート B の端子構成

8.12.2 レジスタの構成と説明

表 8.32 にポート B のレジスタ構成を示します。

表 8.32 レジスタ構成

名称	略称	R/W	アドレス
ポートデータレジスタ B	PDRB	R	H'FFDE

(1) ポートデータレジスタ B (PDRB)

ビット:	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
R/W :	R	R	R	R	R	R	R	R

PDRB をリードすると常に各端子の状態が読み出されます。ただし、A/D 変換器の AMR の CH3 ~ CH0 によりアナログ入力チャンネルが選択されている端子をリードすると入力電圧に関係なく "0" が読み出されます。

8.13 ポート C

8.13.1 概要

ポート C は、4 ビットの入力専用ポートです。ポート C の各端子は、図 8.12 に示す構成になっています。

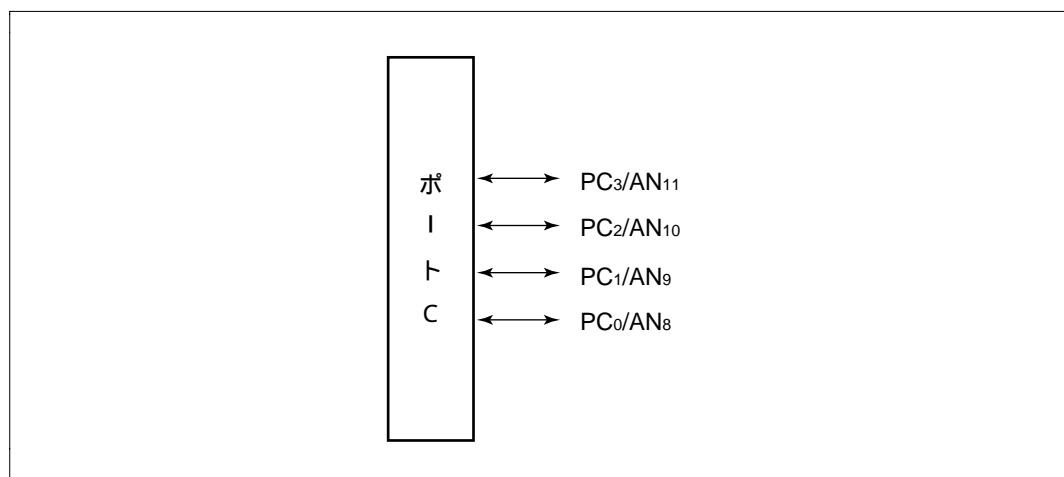


図 8.12 ポート C の端子構成

8.13.2 レジスタの構成と説明

表 8.33 にポート C のレジスタ構成を示します。

表 8.33 レジスタ構成

名称	略称	R/W	アドレス
ポートデータレジスタ C	PDRC	R	H'FFDF

(1) ポートデータレジスタ C (PDRC)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PC ₃	PC ₂	PC ₁	PC ₀
R/W :	—	—	—	—	R	R	R	R

PDRC をリードすると常に各端子の状態が読み出されます。ただし、A/D 変換器の AMR の CH3 ~ CH0 によりアナログ入力チャンネルが選択されている端子をリードすると入力電圧に関係なく "0" が読み出されます。

9. タイマ

第9章 目次

9.1	概要.....	209
9.2	タイマ A.....	210
	9.2.1 概要.....	210
	9.2.2 各レジスタの説明.....	212
	9.2.3 動作説明.....	214
	9.2.4 タイマ A の動作モード.....	215
9.3	タイマ B.....	216
	9.3.1 概要.....	216
	9.3.2 各レジスタの説明.....	217
	9.3.3 動作説明.....	220
	9.3.4 タイマ B の動作モード.....	221
9.4	タイマ C.....	222
	9.4.1 概要.....	222
	9.4.2 各レジスタの説明.....	224
	9.4.3 動作説明.....	227
	9.4.4 タイマ C の動作モード.....	228
9.5	タイマ F.....	229
	9.5.1 概要.....	229
	9.5.2 各レジスタの説明.....	232
	9.5.3 CPU とのインタフェース.....	239
	9.5.4 動作説明.....	241
	9.5.5 使用上の注意事項.....	244
9.6	タイマ G.....	246
	9.6.1 概要.....	246
	9.6.2 各レジスタの説明.....	248
	9.6.3 ノイズ除去回路.....	252
	9.6.4 動作説明.....	253

9.6.5	使用上の注意事項.....	258
9.6.6	タイマ G の使用例	262

9.1 概要

本LSIは5本のタイマ(タイマA、B、C、F、G)を内蔵しています。

タイマA、B、C、F、Gの機能概要を表9.1に示します。

表9.1 タイマの機能概要

タイマ名称	機能	内部クロック	イベント 入力端子	波形出力端子	備考
タイマ A	・ 8ビットのタイマ ・ インターバル機能	/8 ~ /8192 (8種類)			
	・ 時計用タイムベース機能	$w/128$ (オーバフロー周期は4種類選択可)			
	・ クロック出力機能	/4 ~ /32 $w/4$ ~ $w/32$ (8種類)			
タイマ B	・ 8ビットのタイマ ・ インターバル機能 ・ イベントカウント機能	/4 ~ /8192 (7種類)	TMIB		
タイマ C	・ 8ビットのタイマ ・ インターバル機能 ・ イベントカウント機能 ・ カウントアップ/ダウン 選択可能	/4 ~ /8192 $w/4$ (7種類)	TMIC		カウントアップ/ダウンはソフトウェア制御、ハードウェア制御ともに可能
タイマ F	・ 16ビットのタイマ ・ イベントカウント機能 ・ 独立した2本の8ビット タイマとして使用可能 ・ アウトプットコンペア出力機能	/2 ~ /32 (4種類)	TMIF	TMOFL TMOFH	
タイマ G	・ 8ビットのタイマ ・ インพุットキャプチャ機能 ・ インターバル機能	/2 ~ /64 $w/2$ (4種類)	TMIG		・ カウンタのクリア指定が可能 ・ キャプチャ入力信号のノイズ除去回路内蔵

9.2 タイマ A

9.2.1 概要

タイマ A はインターバル / 時計用タイムベース機能を内蔵した 8 ビットのタイマです。32.768kHz の水晶発振器を接続すると時計用タイムベースとして使用できます。また、TMOW 端子より、32.768kHz を分周したクロック、およびシステムクロックを分周したクロックが出力可能です。

(1) 特長

タイマ A の特長を以下に示します。

8 種類の内部クロックを選択可能

8 種類の内部クロック (/8192、 /4096、 /2048、 /512、 /256、 /128、 /32、 /8) からの選択が可能です。

4 種類のオーバーフロー周期を選択可能

時計用タイムベースとして 4 種類のオーバーフロー周期 (1s、0.5s、0.25s、31.25ms) の選択が可能です (32.768kHz 水晶発振器を使用)。

カウンタのオーバーフローで割込みを発生

タイマ出力クロックを選択可能

TMOW 端子から出力するクロックとして、32.768kHz の 32、16、8、4 分周したクロック (1kHz、2kHz、4kHz、8kHz)、およびシステムクロックを 32、16、8、4 分周したクロックの計 8 種類の選択が可能です。

(2) ブロック図

タイマ A のブロック図を図 9.1 に示します。

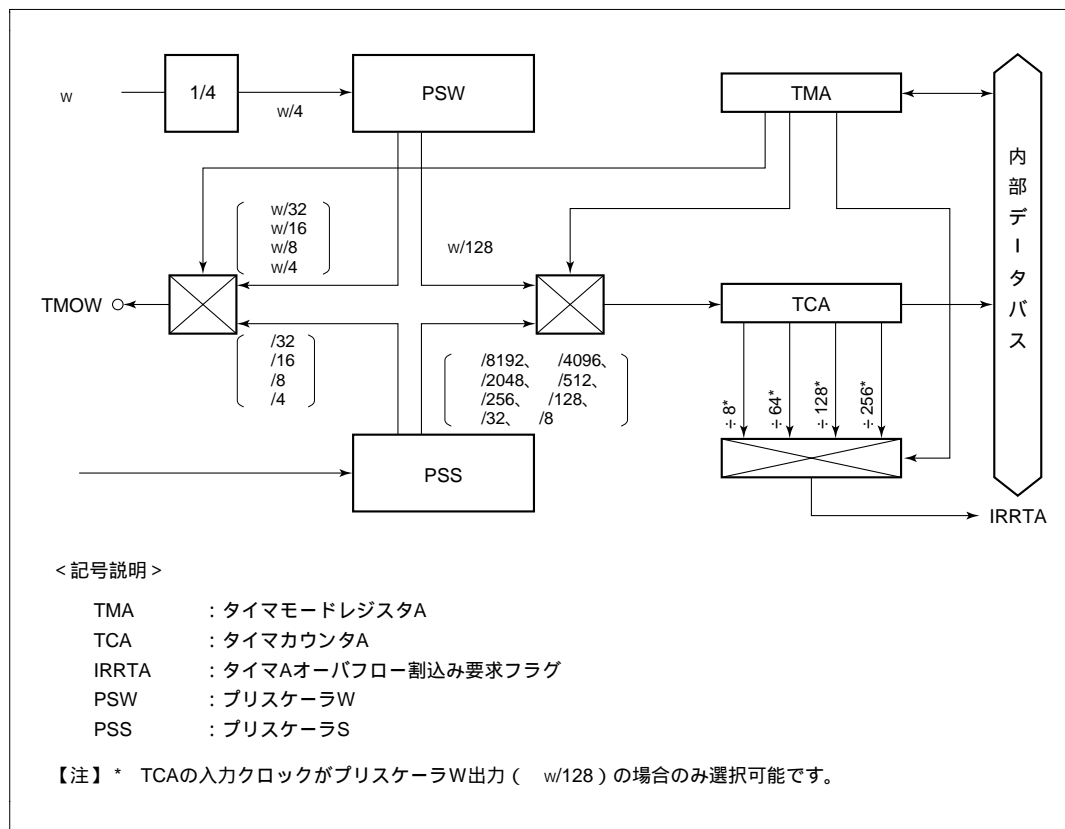


図 9.1 タイマ A ブロック図

(3) 端子構成

タイマ A の端子構成を表 9.2 に示します。

表 9.2 端子構成

名称	略称	入出力	機能
クロック出力	TMOW	出力	タイマ A 出力回路により生成された波形の出力端子

(4) レジスタ構成

タイマ A のレジスタ構成を表 9.3 に示します。

表 9.3 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマモードレジスタ A	TMA	R/W	H'10	H'FFB0
タイマカウンタ A	TCA	R	H'00	H'FFB1

9.2.2 各レジスタの説明

(1) タイマモードレジスタ A (TMA)

ビット:	7	6	5	4	3	2	1	0
	TMA7	TMA6	TMA5	—	TMA3	TMA2	TMA1	TMA0
初期値:	0	0	0	1	0	0	0	0
R/W :	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W

TMA は、8 ビットのリード/ライト可能なレジスタで、プリスケアラ、入力クロック、および出力クロックの選択を行います。

リセット時、TMA は H'10 にイニシャライズされます。

ビット 7~5 : クロック出力セレクト (TMA7~TMA5)

TMOW 端子から出力する 8 種類のクロックを選択します。システムクロックを 32、16、8、4 分周したクロックは、アクティブモード、スリープモードで出力されます。32.768kHz を 32、16、8、4 分周したクロックは、アクティブモード、スリープモード、およびサブアクティブモードで出力されます。

ビット 7	ビット 6	ビット 5	説明
TMA7	TMA6	TMA5	
0	0	0	/32 (初期値)
		1	/16
	1	0	/8
		1	/4
1	0	0	$\frac{w}{32}$
		1	$\frac{w}{16}$
	1	0	$\frac{w}{8}$
		1	$\frac{w}{4}$

ビット4：リザーブビット

リザーブビットです。本ビットはリードすると常に"1"が読み出されます。ライトは無効です。

ビット3～0：内部クロックセレクト（TMA3～TMA0）

TCAに入力するクロックを選択します。

ビット3	ビット2	ビット1	ビット0	説明	
TMA3	TMA2	TMA1	TMA0	プリスケラ分周比またはオーバフロー周期	機能
0	0	0	0	PSS、 /8192	インターバル 時計用 タイムベース
			1	PSS、 /4096	
		1	0	PSS、 /2048	
			1	PSS、 /512	
	1	0	0	PSS、 /256	
			1	PSS、 /128	
		1	0	PSS、 /32	
			1	PSS、 /8	
1	0	0	0	PSW、 1s	
			1	PSW、 0.5s	
		1	0	PSW、 0.25s	
			1	PSW、 0.03125s	
	1	0	0	PSW、 TCA リセット	
			1		
		1	0		
			1		

(2) タイマカウンタ A (TCA)

ビット：	7	6	5	4	3	2	1	0
	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

TCAは、8ビットのリード可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックはTMAのTMA3～TMA0により選択します。TCAの値は、アクティブモード時はCPUからリードできますが、サブアクティブモード時ではTCAをリードすることはできません。TCAがオーバフローすると、IRR1のIRRRTAが"1"にセットされます。

TCAはTMAのTMA3～TMA2を"11"にセットすることでクリアできます。

リセット時、TCAはH'00にイニシャライズされます。

9.2.3 動作説明

(1) インターバル動作

TMA の TMA3 を "0" にセットすると、タイマ A は 8 ビットインターバルタイマとして動作します。

リセット時、TCA は H'00、TMA3 は "0" にクリアされるため、リセット直後はインターバルタイマとして停止することなくカウントアップを続けます。タイマ A の動作クロックは、TMA の TMA2 ~ TMA0 により、プリスケアラ S の出力する 8 種類の内部クロックを選択できます。TCA のカウンタ値が H'FF になった後、クロックが入力されると、タイマ A はオーバーフローし、IRR1 の IRRTA が "1" にセットされます。このとき、IENR1 の IENTA が "1" ならば CPU に割込みを要求します。*

オーバーフロー時には、TCA のカウンタ値は H'00 に戻り、再びカウントアップを開始します。したがって、256 回の入力クロックごとに、オーバーフロー出力を発生するインターバルタイマとして動作します。

【注】 * 割込みについての詳細は、「3.3 割込み」を参照してください。

(2) 時計用タイムベース動作

TMA の TMA3 を "1" にセットすると、タイマ A はプリスケアラ W の出力するクロックをカウントして、時計用タイムベースとして動作します。タイマ A のオーバーフロー周期は、TMA の TMA1、TMA0 により 4 種類選択できます。時計用タイムベース動作時 (TMA3 = "1") に TMA2 を "1" にすると、TCA およびプリスケアラ W は、ともに H'00 にクリアされます。

(3) クロック出力の動作

PMR1 の TMOW を "1" にセットすると、TMOW 端子からクロックが出力されます。端子から出力されるクロックは、TMA の TMA7 ~ TMA5 により、8 種類のクロックが選択できます。システムクロックを 32、16、8、4 分周したクロックは、アクティブモード、スリープモードで出力され、32.768kHz を 32、16、8、4 分周したクロックは、アクティブモード、スリープモード、およびサブアクティブモードで出力されます。

9.2.4 タイマ A の動作モード

タイマ A の動作モードを表 9.4 に示します。

表 9.4 タイマ A の動作モード

	動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCA	インターバル	リセット	動作	動作	停止	停止	停止	停止
	時計用 タイムベース	リセット	動作	動作	動作	動作	動作	停止
	TMA	リセット	動作	保持	保持	動作	保持	保持

【注】 アクティブモード、スリープモード時に、TCA の内部クロックとして時計用タイムベース機能を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/$ (s) の誤差が生じます。

9.3 タイマ B

9.3.1 概要

タイマ B は、入力クロックが入るたびにカウントアップする 8 ビットのタイマです。タイマ B には、インターバル機能、オートリロード機能の 2 種類の機能があります。

(1) 特長

タイマ B の特長を以下に示します。

8 種類のクロックを選択可能

7 種類の内部クロック (/8192、 /2048、 /512、 /256、 /64、 /16、 /4)

と外部クロックからの選択が可能です (外部イベントのカウントが可能)。

カウンタのオーバーフローで割込みを発生

(2) ブロック図

タイマ B のブロック図を図 9.2 に示します。

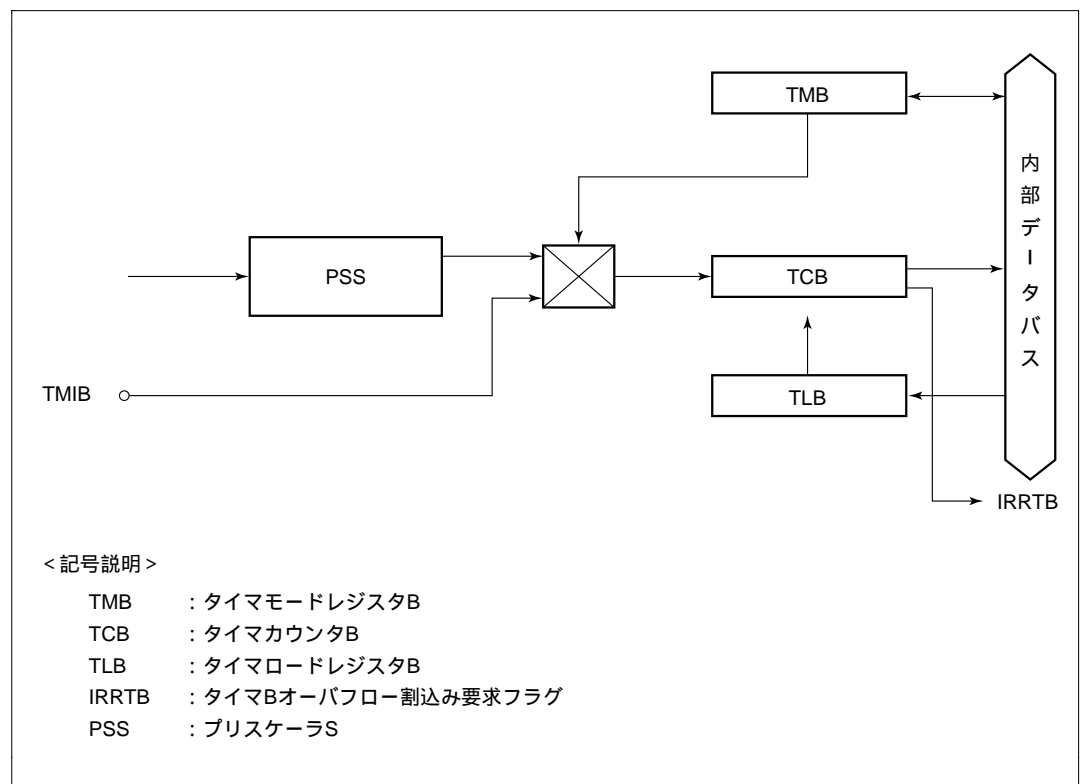


図 9.2 タイマ B ブロック図

(3) 端子構成

タイマ B の端子構成を表 9.5 に示します。

表 9.5 端子構成

名称	略称	入出力	機能
タイマ B イベント入力	TMB	入力	TCB に入力するイベント入力端子

(4) レジスタ構成

タイマ B のレジスタ構成を表 9.6 に示します。

表 9.6 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマモードレジスタ B	TMB	R/W	H'78	H'FFB2
タイマカウンタ B	TCB	R	H'00	H'FFB3
タイマロードレジスタ B	TLB	W	H'00	H'FFB3

9.3.2 各レジスタの説明

(1) タイマモードレジスタ B (TMB)

ビット:	7	6	5	4	3	2	1	0
	TMB7	—	—	—	—	TMB2	TMB1	TMB0
初期値:	0	1	1	1	1	0	0	0
R/W :	R/W	—	—	—	—	R/W	R/W	R/W

TMB は、8 ビットのリード/ライト可能なレジスタで、オートリロード機能の選択および入力クロックの選択を行います。

リセット時、TMB は H'78 にイニシャライズされます。

ビット 7: オートリロード機能選択 (TMB7)

タイマ B のオートリロード機能を選択します。

ビット 7	説明
TMB7	
0	インターバル機能を選択 (初期値)
1	オートリロード機能を選択

ビット6～3：リザーブビット

リザーブビットです。各ビットはリードすると常に"1"が読み出されます。ライトは無効です。

ビット2～0：クロックセレクト (TMB2～TMB0)

TCBに入力するクロックを選択します。外部からのイベント入力、立上がり/立下がりエッジの選択が可能です。

ビット2	ビット1	ビット0	説明
TMB2	TMB1	TMB0	
0	0	0	内部クロック /8192 でカウント (初期値)
0	0	1	内部クロック /2048 でカウント
0	1	0	内部クロック /512 でカウント
0	1	1	内部クロック /256 でカウント
1	0	0	内部クロック /64 でカウント
1	0	1	内部クロック /16 でカウント
1	1	0	内部クロック /4 でカウント
1	1	1	外部イベント (TMIB) の立上がり/立下がりエッジでカウント*

【注】 * 外部イベントのエッジ選択は、IRQ エッジセレクトレジスタ (IEGR) の IEG1 により設定します。詳細は、「3.3.2 (1) IRQ エッジセレクトレジスタ (IEGR)」を参照してください。なお、TMB2～TMB0 を"111"に設定する前に、必ずポートモードレジスタ 1 (PMR1) の IRQ1 を"1"にセットしてください。

(2) タイマカウンタ B (TCB)

ビット:	7	6	5	4	3	2	1	0
	TCB7	TCB6	TCB5	TCB4	TCB3	TCB2	TCB1	TCB0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

TCBは、8ビットのリード可能なアップカウンタで、入力する内部クロック/外部イベントによりカウントアップされます。入力するクロックは、TMBのTMB2～TMB0により選択します。TCBの値は、CPUから常にリードできます。

TCBがオーバフロー (H'FF H'00またはH'FF TLBの設定値)すると、IRR2のIRR2TBが"1"にセットされます。

TCBは、TLBと同一のアドレスに割り付けられています。

リセット時、TCBはH'00にイニシャライズされます。

(3) タイマロードレジスタ B (TLB)

ビット:	7	6	5	4	3	2	1	0
	TLB7	TLB6	TLB5	TLB4	TLB3	TLB2	TLB1	TLB0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

TLB は、8 ビットのライト専用のレジスタで、TCB のリロード値を設定します。

TLB にリロード値を設定すると、同時にその値は TCB にもロードされ、TCB はその値からカウントアップを開始します。また、オートリロード動作時、TCB がオーバーフローすると TCB に TLB の値がロードされます。したがって、オーバーフロー周期を 1 ~ 256 入力クロックの範囲で設定することができます。

TLB は、TCB と同一のアドレスに割り付けられています。

リセット時、TLB は H'00 にイニシャライズされます。

9.3.3 動作説明

(1) インターバルタイマの動作

TMB の TMB7 を "0" にセットすると、タイマ B は 8 ビットインターバルタイマとして動作します。

リセット時、TCB は H'00、TMB7 は "0" にクリアされるため、リセット直後は、インターバルタイマとして停止することなくカウントアップを続けます。タイマ B の動作クロックは、TMB の TMB2 ~ TMB0 により、プリスケラ S の出力する 7 種類の内部クロック、TMIB 入力端子からの外部クロックを選択できます。

TCB のカウント値が H'FF になった後、クロックが入力されると、タイマ B はオーバーフローし、IRR2 の IRRTB が "1" にセットされます。このとき、IENR2 の IENTB が "1" ならば CPU に割込みを要求します。

オーバーフロー時には、TCB のカウント値は H'00 に戻り、再びカウントアップを開始します。

インターバルタイマ動作時 (TMB7 = "0") に TLB を設定すると、同時に TCB にも TLB の値をロードします。

【注】 * 割込みについての詳細は、「3.3 割込み」を参照してください。

(2) オートリロードタイマの動作

TMB の TMB7 を "1" にセットすると、タイマ B は 8 ビットオートリロードタイマとして動作します。TLB にリロード値を設定すると、同時にその値が TCB にロードされ、TCB はその値からカウントアップを開始します。

TCB のカウント値が H'FF になった後、クロックが入力されると、タイマ B はオーバーフローし、TLB の値が TCB にロードされ、その値からカウントアップを続けます。したがって、TLB の値により、オーバーフロー周期を 1 ~ 256 入力クロックの範囲で設定できます。

オートリロード動作時のクロックおよび割込みについてはインターバル動作時と同様です。

オートリロード動作時 (TMB7 = "1") に TLB の値を再設定すると、同時に TCB にも TLB の値をロードします。

(3) イベントカウンタ

タイマ B は、TMIB 端子をイベント入力端子とするイベントカウンタとして動作します。

TMB の TMB2 ~ TMB0 を "111" に設定すると、外部イベントが選択され、TCB は、TMIB 端子入力の立上がり / 立下がりエッジでカウントアップします。

外部イベント入力を使用する場合は、PMR1 の IRQ1 を "1" にセットし、かつ IENR1 の IEN1 = "0" として IRQ_i 割込み要求を禁止してください。

9.3.4 タイマBの動作モード

タイマBの動作モードを表9.7に示します。

表9.7 タイマBの動作モード

	動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCB	インターバル	リセット	動作	動作	停止	停止	停止	停止
	オートリロード	リセット	動作	動作	停止	停止	停止	停止
	TMB	リセット	動作	保持	保持	保持	保持	保持

9.4 タイマ C

9.4.1 概要

タイマ C は、入力クロックが入るたびにカウントアップまたはカウントダウンする 8 ビットのタイマです。タイマ C には、インターバル機能、オートリロード機能の 2 種類の機能があります。

(1) 特長

タイマ C の特長を以下に示します。

8 種類のクロックを選択可能

7 種類の内部クロック ($/8192$ 、 $/2048$ 、 $/512$ 、 $/64$ 、 $/16$ 、 $/4$ 、 $_{w}/4$) と外部クロックからの選択が可能です (外部イベントのカウントが可能)。

カウンタのオーバフローで割込みを発生

アップ / ダウンカウンタ切換え可能

ハードウェアまたはソフトウェアにより、アップ / ダウンカウンタの切換えが可能です。

サブアクティブモード、サブスリープモードで動作

内部クロックとして $_{w}/4$ を選択した場合、もしくは外部クロックを選択した場合、サブアクティブモード、サブスリープモードで動作可能です。

(2) ブロック図

タイマCのブロック図を図9.3に示します。

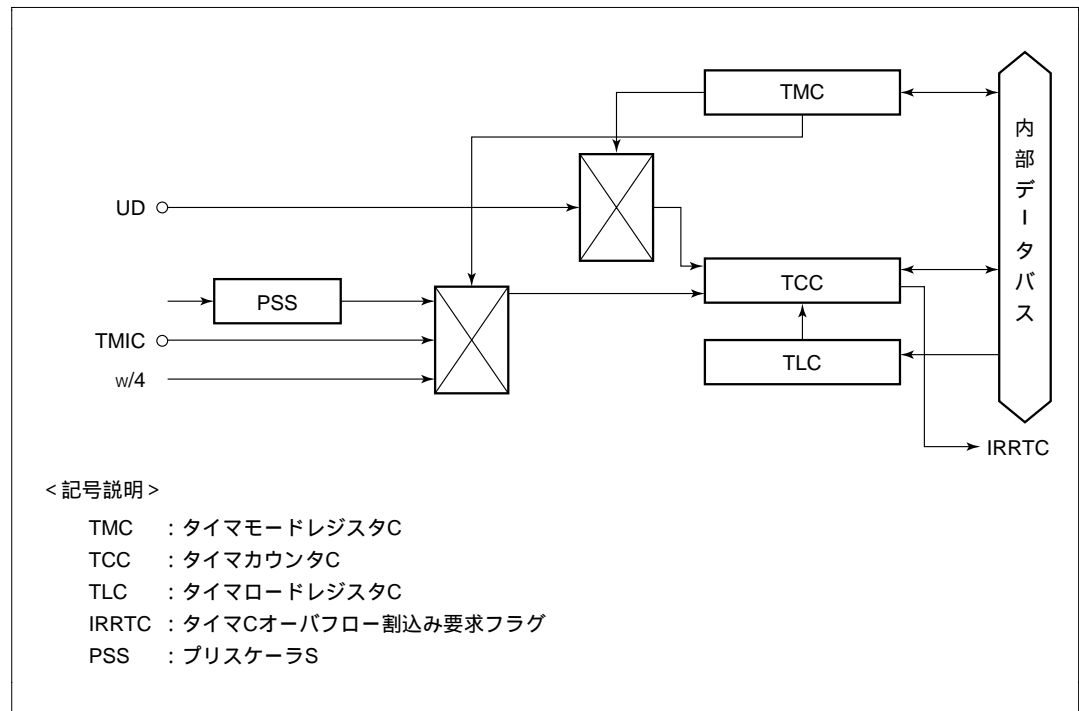


図9.3 タイマCブロック図

(3) 端子構成

タイマCの端子構成を表9.8に示します。

表9.8 端子構成

名称	略称	入出力	機能
タイマCイベント入力	TMIC	入力	TCCに入力するイベント入力端子
タイマCアップ/ダウン セレクト	UD	入力	タイマCのアップ/ダウンカウントを選択

(4) レジスタ構成

タイマCのレジスタ構成を表9.9に示します。

表9.9 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマモードレジスタC	TMC	R/W	H'18	H'FFB4
タイマカウンタC	TCC	R	H'00	H'FFB5
タイマロードレジスタC	TLC	W	H'00	H'FFB5

9.4.2 各レジスタの説明

(1) タイマモードレジスタC (TMC)

ビット:	7	6	5	4	3	2	1	0
	TMC7	TMC6	TMC5	—	—	TMC2	TMC1	TMC0
初期値:	0	0	0	1	1	0	0	0
R/W :	R/W	R/W	R/W	—	—	R/W	R/W	R/W

TMCは、8ビットのリード/ライト可能なレジスタで、オートリロード機能の選択、カウンタのアップ/ダウン制御、および入力クロックの選択を行います。

リセット時、TMCはH'18にイニシャライズされます。

ビット7: オートリロード機能選択 (TMC7)

タイマCのオートリロード機能を選択します。

ビット7	説明
TMC7	
0	インターバル機能を選択 (初期値)
1	オートリロード機能を選択

ビット6、5：カウンタアップ/ダウン制御（TMC6、TMC5）

TCCのアップ/ダウン制御をUD端子入力によるハードウェア制御とするか、アップカウンタとするかダウンカウンタとするかを選択します。

ビット6	ビット5	説明
TMC6	TMC5	
0	0	TCCはアップカウンタ (初期値)
0	1	TCCはダウンカウンタ
1	*	UD端子入力によるハードウェア制御 UD端子入力が"High"レベル：ダウンカウンタ UD端子入力が"Low"レベル：アップカウンタ

*：Don't care

ビット4～3：リザーブビット

リザーブビットです。各ビットはリードすると常に"1"が読み出されます。ライトは無効です。

ビット2～0：クロックセレクト（TMC2～TMC0）

TMC2～TMC0は、TCCに入力するクロックを選択します。外部からのイベント入力は、立上がり/立下がりエッジの選択が可能です。

ビット2	ビット1	ビット0	説明
TMC2	TMC1	TMC0	
0	0	0	内部クロック /8192 でカウント (初期値)
0	0	1	内部クロック /2048 でカウント
0	1	0	内部クロック /512 でカウント
0	1	1	内部クロック /64 でカウント
1	0	0	内部クロック /16 でカウント
1	0	1	内部クロック /4 でカウント
1	1	0	内部クロック $\omega/4$ でカウント
1	1	1	外部イベント (TMIC) を立上がり/立下がりエッジでカウント*

【注】 * 外部イベントのエッジ選択は、IRQエッジセレクトレジスタ (IEGR) のIEG2により設定します。詳細は、「3.3.2 (1) IRQエッジセレクトレジスタ (IEGR)」を参照してください。なお、TMC2～TMC0を"111"に設定する前に必ずポートモードレジスタ 1 (PMR1) のIRQ2を"1"にセットしてください。

(2) タイマカウンタ C (TCC)

ビット:	7	6	5	4	3	2	1	0
	TCC7	TCC6	TCC5	TCC4	TCC3	TCC2	TCC1	TCC0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

TCCは、8ビットのリード可能なアップ/ダウンカウンタで、入力する内部クロック/外部イベントによりカウントアップ/ダウンされます。入力するクロックは、TMCのTMC2~TMC0により選択します。TCCの値は、CPUから常にリードできます。

TCCがオーバーフロー（H'FF H'00またはH'FF TLCの設定値）、またはアンダフロー（H'00 H'FFまたはH'00 TLCの設定値）すると、IRR2のIRRTCが"1"にセットされます。

TCCは、TLCと同一のアドレスに割り付けられています。

リセット時、TCCはH'00にイニシャライズされます。

(3) タイマロードレジスタ C (TLC)

ビット:	7	6	5	4	3	2	1	0
	TLC7	TLC6	TLC5	TLC4	TLC3	TLC2	TLC1	TLC0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

TLCは、8ビットのライト専用のレジスタで、TCCのリロード値を設定します。TLCにリロード値を設定すると、同時にその値はTCCにもロードされ、TCCはその値からカウントアップ/ダウンを開始します。また、オートリロード動作時、TCCがオーバーフロー/アンダフローすると、TCCにTLCの値がロードされます。したがって、オーバーフロー/アンダフロー周期を1~256入力クロックの範囲で設定することができます。

TLCは、TCCと同一のアドレスに割り付けられています。

リセット時、TLCはH'00にイニシャライズされます。

9.4.3 動作説明

(1) インターバルタイマの動作

TMC の TMC7 を "0" にクリアすると、タイマ C は 8 ビットインターバルタイマとして動作します。

リセット時、TCC は H'00、TMC は H'18 に初期化されるため、リセット直後は、インターバルのアップカウンタとして停止することなくカウントアップを続けます。タイマ C の動作クロックは、TMC の TMC2 ~ TMC0 により、プリスケアラ S、W の出力する 7 種類の内部クロック、TMIC 入力端子からの外部クロックを選択できます。

また、TCC のカウントアップ/ダウン制御は、TMC の TMC6、TMC5 により、ソフトウェア制御およびハードウェア制御のいずれかが選択可能です。

TCC のカウント値が H'FF (H'00) になった後、クロックが入力されると、タイマ C はオーバフロー(アンダフロー)し、IRR2 の IRRTC が "1" にセットされます。このとき、IENR2 の IENTC が "1" ならば CPU に割込みを要求します。

オーバフロー(アンダフロー)時には、TCC のカウント値は H'00 (H'FF) に戻り、再びカウントアップ(ダウン)を開始します。

インターバル動作時(TMC7 = "0")に TLC を設定すると、同時に TCC にも TLC の値をロードします。

【注】 * 割込みについての詳細は、「3.3 割込み」を参照してください。

(2) オートリロードタイマの動作

TMC の TMC7 = "1" にセットすると、タイマ C は 8 ビットオートリロードタイマとして動作します。

TLC にリロード値を設定すると、同時にその値が TCC にロードされ、TCC はその値からカウントアップ/ダウンを開始します。TCC のカウント値が H'FF (H'00) になった後、クロックが入力されると、タイマ C はオーバフロー(アンダフロー)し、TLC の値が TCC にロードされ、その値からカウントアップ(ダウン)を続けます。したがって、TLC の値により、オーバフロー(アンダフロー)周期を 1 ~ 256 入力クロックの範囲で設定できます。

オートリロード動作時のクロック、アップ/ダウン制御、割込みについてはインターバル動作時と同様です。

オートリロード動作時(TMC7 = "1")に TLC の値を再設定すると、同時に TCC にも TLC の値をロードします。

(3) イベントカウンタ

タイマCは、TMIC端子をイベント入力端子とするイベントカウンタとして動作します。TMCのTMC2～TMC0を"111"に設定すると、外部イベント動作が選択され、TCCは、TMIC端子入力の立上がり/立下がりエッジでカウントアップ/ダウンします。

外部イベント入力を使用する場合は、PMR1のIRQ2を"1"にセットし、かつIENR1のIEN2を"0"としてIRQ₂割込み要求を禁止してください。

(4) ハードウェアによるTCCアップ/ダウン制御

タイマCは、UD端子入力によるTCCのカウントアップ/ダウン制御ができます。TMCのTMC6を"1"とすると、UD端子入力が、"High"レベルならばダウンカウンタ、"Low"レベルならばアップカウンタとして動作します。

UD端子入力を使用する場合は、PMR2のUDを"1"にセットしてください。

9.4.4 タイマCの動作モード

タイマCの動作モードを表9.10に示します。

表9.10 タイマCの動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCC	インターバル	リセット	動作	動作	停止	動作/停止*	動作/停止*	停止
	オートリロード	リセット	動作	動作	停止	動作/停止*	動作/停止*	停止
TMC		リセット	動作	保持	保持	動作	保持	保持

【注】 * アクティブモード、スリープモード時に、TCCの内部クロックとして $\omega/4$ を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/\omega$ (s)の誤差が生じます。

サブアクティブモード、サブスリープモード時にカウンタを動作させる場合には、必ず内部クロックとして $\omega/4$ を選択するか、または外部クロックを選択してください。その他の内部クロックを選択した場合、カウンタは動作しません。また、サブクロック ω_{SUB} として $\omega/8$ を選択時にカウンタの内部クロックとして $\omega/4$ を選択した場合、カウンタの下位2ビットは同じ周期で動作し、最下位ビットの動作はカウンタ動作とは無関係となります。

9.5 タイマ F

9.5.1 概要

タイマ F は、アウトプットコンペア機能を内蔵した 16 ビットのタイマです。外部イベントのカウントが可能のほか、コンペアマッチ信号によりカウンタのリセット、割込み要求、トグル出力などが可能です。また、2本の独立した 8 ビットタイマ（タイマ FH、タイマ FL）としても動作可能です。

(1) 特長

タイマ F の特長を以下に示します。

5 種類のクロックを選択可能

4 種類の内部クロック（ /32、 /16、 /4、 /2）と、外部クロックからの選択が可能です（外部イベントのカウントが可能）。

トグル出力機能

1 本のコンペアマッチ信号により、TMOFH 端子にトグル出力します（トグル出力の初期値を設定可能）。

コンペアマッチ信号によるカウンタリセット

割込み要因：コンペアマッチ×1 要因、オーバフロー×1 要因

2 本の独立した 8 ビットタイマとして動作可能

2 本の独立した 8 ビットタイマ（タイマ FH、タイマ FL）としても動作が可能です（8 ビットモード時）。

	タイマ FH 8 ビットタイマ*	タイマ FL 8 ビットタイマ / イベントカウンタ
内部クロック	4 種類（ /32、 /16、 /4、 /2）	
イベント入力		TMIF 端子
トグル出力	コンペアマッチ信号×1 本 TMOFH 端子に出力 (初期値を設定可能)	コンペアマッチ信号×1 本 出力 TMOFL 端子に出力 (初期値を設定可能)
カウンタリセット	コンペアマッチ信号により、カウンタのリセットが可能	
割込み要因	コンペアマッチ×1 要因 オーバフロー×1 要因	

【注】 * 16 ビットタイマとして動作する場合はタイマ FL のオーバフロー信号により動作します。

(2) ブロック図

タイマFのブロック図を図9.4に示します。

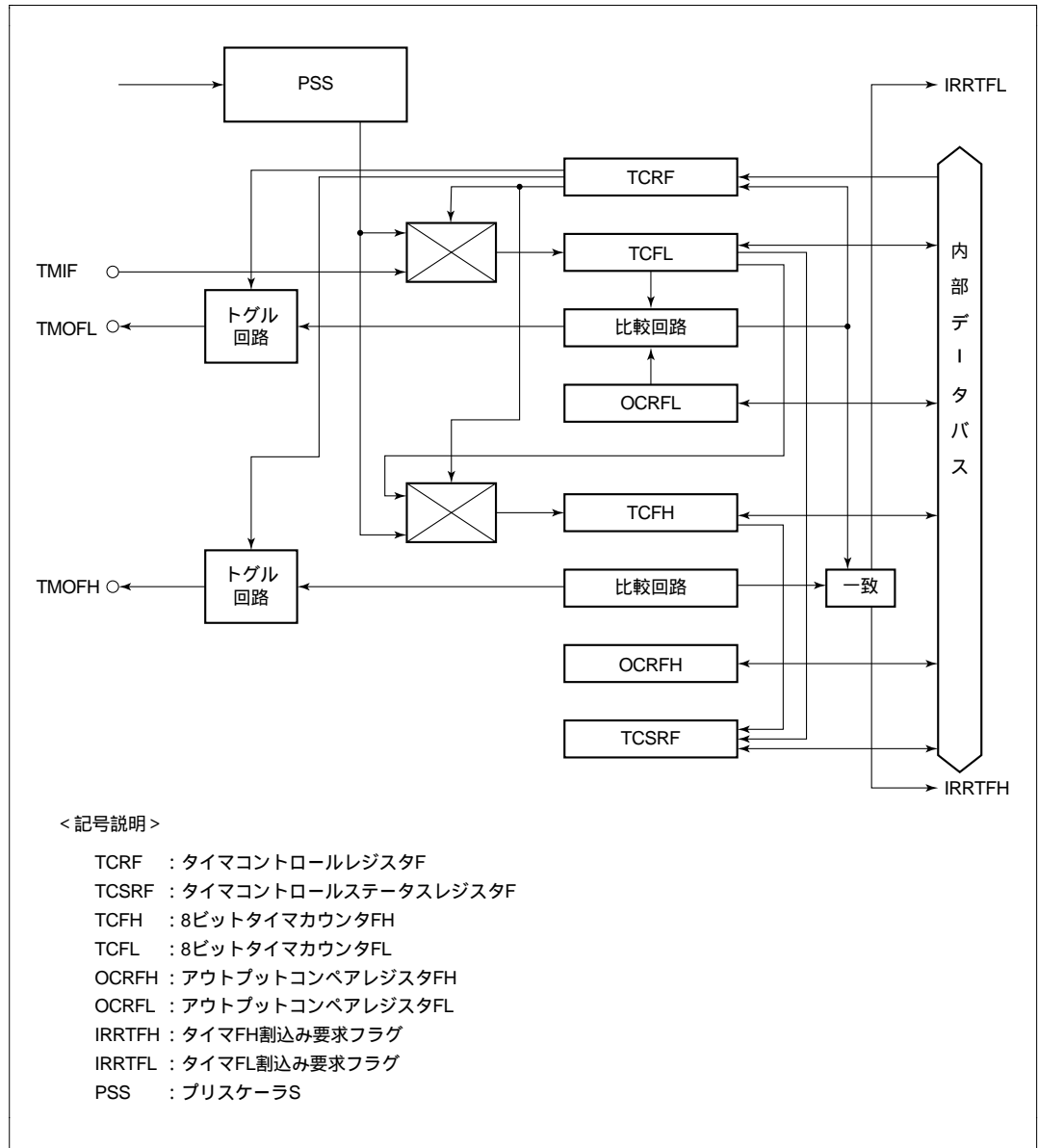


図9.4 タイマFのブロック図

(3) 端子構成

タイマFの端子構成を表9.11に示します。

表 9.11 端子構成

名称	略称	入出力	機能
タイマFイベント入力	TMIF	入力	TCFLに入力するイベント入力端子
タイマFH出力	TMOFH	出力	タイマFHトグル出力端子
タイマFL出力	TMOFL	出力	タイマFLトグル出力端子

(4) レジスタ構成

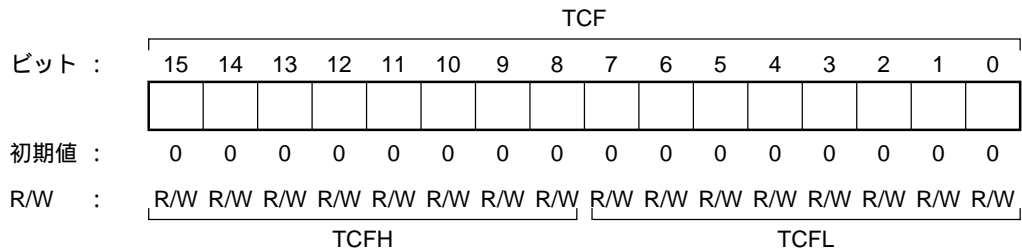
タイマFのレジスタ構成を表9.12に示します。

表 9.12 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマコントロールレジスタF	TCRF	W	H'00	H'FFB6
タイマコントロールステータスレジスタF	TCSRF	R/W	H'00	H'FFB7
8ビットタイマカウンタFH	TCFH	R/W	H'00	H'FFB8
8ビットタイマカウンタFL	TCFL	R/W	H'00	H'FFB9
アウトプットコンペアレジスタFH	OCRFH	R/W	H'FF	H'FFBA
アウトプットコンペアレジスタFL	OCRFL	R/W	H'FF	H'FFBB

9.5.2 各レジスタの説明

- (1) 16 ビットタイマカウンタ (TCF)
 8 ビットタイマカウンタ (TCFH)
 8 ビットタイマカウンタ (TCFL)



TCFは16ビットのリード/ライト可能なアップカウンタで、8ビットのタイマカウンタ (TCFH、TCFL) のカスケード接続により構成されています。上位8ビットをTCFH、下位8ビットをTCFLとする16ビットカウンタとして使用できるほか、TCFH、TCFLを独立した8ビットカウンタとして使用することもできます。

TCFH、TCFLは、CPUからリード/ライト可能ですが、16ビットモードで使用する場合、CPUとのデータ転送はテンポラリレジスタ (TEMP) を介して行われます。TEMPの詳細は「9.5.3 CPUとのインタフェース」を参照してください。

リセット時、TCFH、TCFLは各々H'00にイニシャライズされます。

(a) 16ビットモード (TCF)

TCRFのCKSH2を"0"に設定すると、TCFは16ビットカウンタとして動作します。TCFの入力クロックは、TCRFのCKSL2~CKSL0により選択します。

TCSRfのCCLRhにより、コンペアマッチ時にTCFをクリアすることができます。

TCFがオーバーフロー (H'FFFF H'0000) すると、TCSRfのOVFHが"1"にセットされます。このときTCSRfのOVIEHが"1"の場合、IRR2のIRRTFHが"1"にセットされ、さらにIENR2のIENTFHが"1"ならばCPUに割り込みを要求します。

(b) 8ビットモード (TCFL/TCFH)

TCRFのCKSH2を"1"に設定すると、TCFH、TCFLは2本の独立した8ビットカウンタとして動作します。TCFH (TCFL) の入力クロックは、TCRFのCKSH2~CKSH0 (CKSL2~CKSL0) により選択します。

TCSRfのCCLRh (CCLRL) により、コンペアマッチ時にTCFH (TCFL) をクリアすることができます。

TCFH (TCFL) がオーバーフロー (H'FF H'00) すると、TCSRfのOVFH (OVFL) が"1"にセットされます。このときTCSRfのOVIEH (OVIEL) が"1"の場合、IRR2のIRRTFH

(IRRTFL) が"1"にセットされ、さらに IENR2 の IENTFH (IENTFL) が"1"ならば CPU に割込みを要求します。

- (2) 16 ビットアウトプットコンペアレジスタ (OCRF)
 8 ビットアウトプットコンペアレジスタ (OCRFH)
 8 ビットアウトプットコンペアレジスタ (OCRFL)

		OCRF															
ビット :		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :		1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
		OCRFH								OCRFL							

OCRFは16ビットのリード/ライト可能な2本のレジスタ(OCRFH、OCRFL)により構成されています。上位8ビットをOCRFH、下位8ビットをOCRFLとする16ビットレジスタとして使用できるほか、OCRFH、OCRFLを独立した8ビットレジスタとして使用することもできます。

OCRFH、OCRFLは、CPUからリード/ライト可能ですが、16ビットモードで使用する場合、CPUとのデータ転送はテンポラリレジスタ(TEMP)を介して行われます。TEMPの詳細は「9.5.3 CPUとのインタフェース」を参照してください。

リセット時、OCRFH、OCRFLは各々H'FFにイニシャライズされます。

(a) 16ビットモード(OCRF)

TCRFのCKSH2を"0"に設定すると、OCRFは16ビットレジスタとして動作します。OCRFの内容は、TCFと常に比較されており、両者の値が一致すると、TCSRのCMFHが"1"にセットされます。また、同時にIRR2のIRRTFHも"1"にセットされます。このときIENR2のIENTFHが"1"ならばCPUに割込みを要求します。

コンペアマッチによるトグル出力をTMOFH端子より出力することができます。また、TCRFのTOLHにより、出力レベル("High"/"Low")の設定が可能です。

(b) 8ビットモード(OCRFH/OCRFL)

TCRFのCKSH2を"1"に設定すると、OCRFは2本の8ビットレジスタとして動作します。OCRFHの内容はTCFHと、またOCRFLの内容はTCFLとそれぞれ個別に比較されます。OCRFH(OCRFL)とTCFH(TCFL)の値が一致すると、TCSRのCMFH(CMFL)が"1"にセットされます。また、同時にIRR2のIRRTFH(IRRTFL)も"1"にセットされます。このとき、IENR2のIENTFH(IENTFL)が"1"ならばCPUに割込みを要求します。

コンペアマッチによるトグル出力をTMOFH端子(TMOFL端子)より出力することができます。また、TCRFのTOLH(TOLL)により、出力レベル("High"/"Low")の設定

が可能です。

(3) タイマコントロールレジスタ F (TCRF)

ビット:	7	6	5	4	3	2	1	0
	TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

TCRF は、8 ビットのライト専用のレジスタです。16 ビットモード、8 ビットモードの切換え、4 種類の内部クロックおよび外部イベントの選択、TMOFH、TMOFL 端子の出力レベルの設定を行います。

リセット時、TCRF は H'00 にイニシャライズされます。

ビット7: トグルアウトプットレベルH (TOLH)

TMOFH 端子の出力レベルを設定します。出力レベルは、ライトした直後反映されます。

ビット7	説明	
TOLH		
0	"Low" レベル	(初期値)
1	"High" レベル	

ビット6~4: クロックセレクトH (CKSH2~CKSH0)

TCFH に入力するクロックを内部4種類、または TCFL のオーバフローから選択します。

ビット6	ビット5	ビット4	説明
CKSH2	CKSH1	CKSH0	
0	*	*	16 ビットモードとなり、TCFL のオーバフロー信号でカウント (初期値)
1	0	0	内部クロック: /32 でカウント
1	0	1	内部クロック: /16 でカウント
1	1	0	内部クロック: /4 でカウント
1	1	1	内部クロック: /2 でカウント

* : Don't care

ビット3：トグルアウトプットレベルL (TOLL)

TMOFL 端子の出力レベルを設定します。出力レベルは、ライトした直後反映されます。

ビット3		
TOLL	説明	
0	"Low" レベル	(初期値)
1	"High"レベル	

ビット2～0：クロックセレクトL (CKSL2～CKSL0)

TCFL に入力するクロックを、内部4種類または外部イベントから選択します。

ビット2	ビット1	ビット0	説明
CKSL2	CKSL1	CKSL0	
0	*	*	外部イベント (TMIF) の立上がり / 立下がりエッジでカウント* ¹ (初期値)
1	0	0	内部クロック： /32 でカウント
1	0	1	内部クロック： /16 でカウント
1	1	0	内部クロック： /4 でカウント
1	1	1	内部クロック： /2 でカウント

* : Don't care

【注】 *¹ 外部イベントのエッジ選択は、IRQ エッジセレクトレジスタ (IEGR) の IEG3 により設定します。詳細は、「3.3.2(1) IRQ エッジセレクトレジスタ(IEGR)」を参照してください。

なお、TMIF 端子の機能切換えのために TMIF 端子が"Low" レベルの状態ポートモードレジスタ1(PMR1)の IRQ3 を"0"から "1" または"1"から"0"に設定変更した場合に、タイマFのカウンタがカウントアップされることがありますので注意してください。

(4) タイマコントロールステータスレジスタ F (TCSR F)

ビット:	7	6	5	4	3	2	1	0
	OVFH	CMFH	OVIEH	CCLR H	OVFL	CMFL	OVIEL	CCLR L
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W	R/W	R/W*	R/W*	R/W	R/W

【注】* フラグクリアのための"0"ライトのみ可能です。

TCSR F は、8 ビットのリード/ライト可能なレジスタです。カウンタクリアの選択、オーバーフローフラグのセット、コンペアマッチフラグのセット、オーバーフローによる割込み要求の許可の制御を行います。

リセット時、TCSR F は H'00 にイニシャライズされます。

ビット7: タイマオーバーフローフラグ H (OVFH)

OVFH がオーバーフロー (H'FF H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	
OVFH	説明
0	〔クリア条件〕 (初期値) OVFH = "1"の状態、OVFH をリードした後、OVFH に"0"をライトしたとき
1	〔セット条件〕 OVFH の値が、H'FF H'00 になったとき

ビット6: コンペアマッチフラグ H (CMFH)

OVFH と OCRFH がコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット6	
CMFH	説明
0	〔クリア条件〕 (初期値) CMFH = "1"の状態、CMFH をリードした後、CMFH に"0"をライトしたとき
1	〔セット条件〕 OVFH の値と OCRFH の値が、コンペアマッチしたとき

ビット5：タイマオーバーフローインタラプトイネーブルH (OVIEH)

TCFH のオーバーフローが発生したとき、割込みの許可または禁止を選択します。

ビット5		
OVIEH	説明	
0	TCFH のオーバーフローによる割込み要求を禁止	(初期値)
1	TCFH のオーバーフローによる割込み要求を許可	

ビット4：カウンタクリアH (CCLRH)

16ビットモード時、TCF と OCRF がコンペアマッチしたとき、TCF をクリアするかしないかを選択します。

8ビットモード時、TCFH と OCRFH がコンペアマッチしたとき、TCFH をクリアするかしないかを選択します。

ビット4		
CCLRH	説明	
0	16ビットモード：コンペアマッチによるTCFのクリアを禁止 8ビットモード：コンペアマッチによるTCFHのクリアを禁止	(初期値)
1	16ビットモード：コンペアマッチによるTCFのクリアを許可 8ビットモード：コンペアマッチによるTCFHのクリアを許可	

ビット3：タイマオーバーフローフラグL (OVFL)

TCFL がオーバーフロー (H'FF H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット3		
OVFL	説明	
0	[クリア条件] OVFL = "1"の状態、OVFL をリードした後、OVFL に"0"をライトしたとき	(初期値)
1	[セット条件] TCFLの値が、H'FF H'00になったとき	

ビット2：コンペアマッチフラグL (CMFL)

TCFLとOCRFLがコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット2	
CMFL	説明
0	〔クリア条件〕 (初期値) CMFL="1"の状態、CMFLをリードした後、CMFLに"0"をライトしたとき
1	〔セット条件〕 TCFLの値とOCRFLの値が、コンペアマッチしたとき

ビット1：タイマオーバーフローインタラプトイネーブルL (OVIEL)

TCFLのオーバーフローが発生したとき、割込みの許可または禁止を選択します。

ビット1	
OVIEL	説明
0	TCFLのオーバーフローによる割込み要求を禁止 (初期値)
1	TCFLのオーバーフローによる割込み要求を許可

ビット0：カウンタクリアL (CCLRL)

TCFLとOCRFLがコンペアマッチしたとき、TCFLをクリアするかしないかを選択します。

ビット0	
CCLRL	説明
0	コンペアマッチによるTCFLのクリアを禁止 (初期値)
1	コンペアマッチによるTCFLのクリアを許可

9.5.3 CPU とのインタフェース

TCF、OCRF は 16 ビットのリード/ライト可能なレジスタで構成されています。一方、CPU と内蔵周辺モジュール間のデータバスは、8 ビット幅となっています。したがって CPU が TCF、OCRF をアクセスする場合、8 ビットのテンポラリレジスタ (TEMP) を介して行います。

16 ビットモードで TCF のリード/ライト、OCRF のライトを行うときは、必ず 16 ビット単位 (バイトサイズの MOV 命令を 2 回連続して行う) で行い、かつ上位バイト、下位バイトの順序で行います。上位バイトのみや下位バイトのみのアクセスでは、データは正しく転送されません。

なお、8 ビットモードでは特にアクセスの順序に制限はありません。

(1) ライト時の動作

上位バイトのライトにより、上位バイトのデータが TEMP に転送されます。

次に下位バイトのライトで、TEMP にあるデータが上位バイトのレジスタへ、下位バイトのデータは直接下位バイトのレジスタへライトされます。

TCF に H'AA55 をライトするときの TCF のライト動作を図 9.5 に示します。

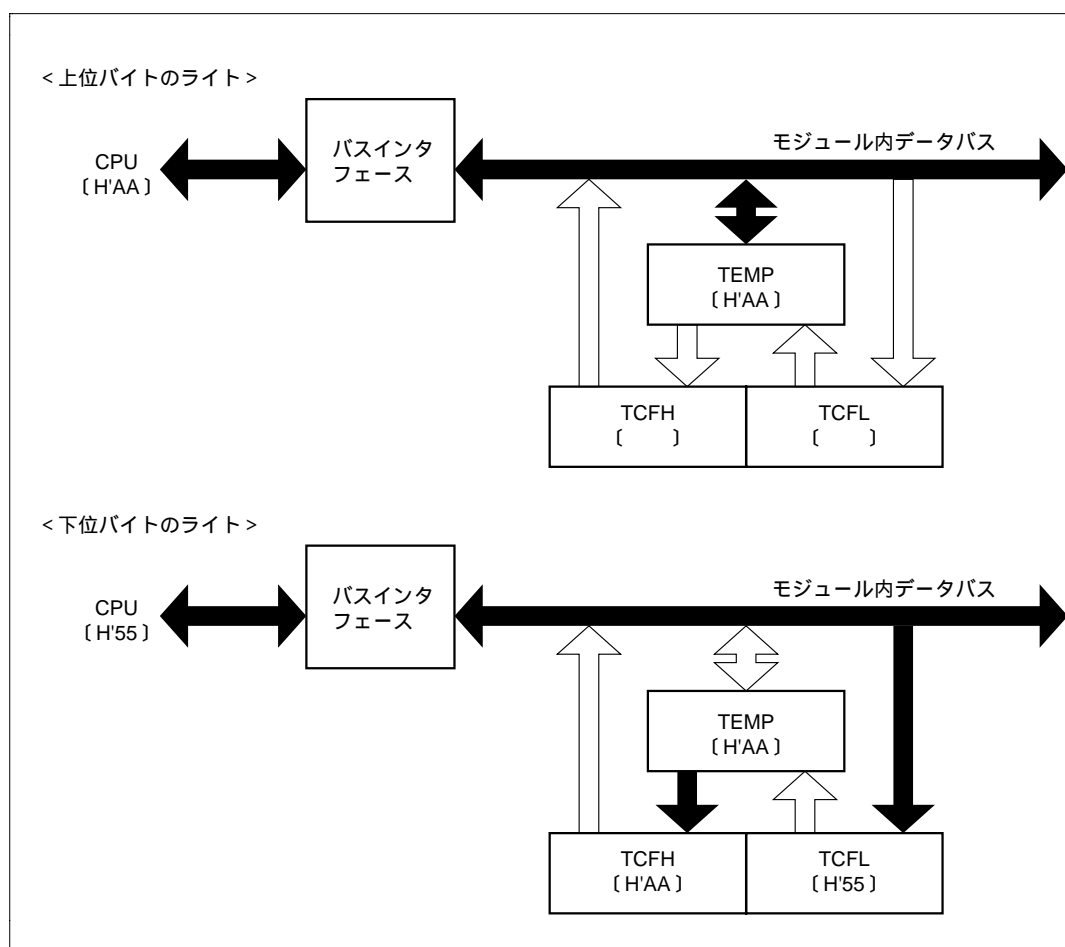


図 9.5 TCF のライト動作 (CPU TCF)

(2) リード時の動作

TCFの場合、上位バイトのリードで、上位バイトのデータは直接 CPU に転送され、下位バイトのデータは TEMP に転送されます。

次に下位バイトのリードで、TEMP にある下位バイトのデータが CPU に転送されます。OCRIF の場合、上位バイトのリードで、上位バイトのデータは直接 CPU に転送されます。下位バイトのリードで、下位バイトのデータは直接 CPU に転送されます。

H'AAFF である TCF をリードしたときの TCF のリード動作を図 9.6 に示します。

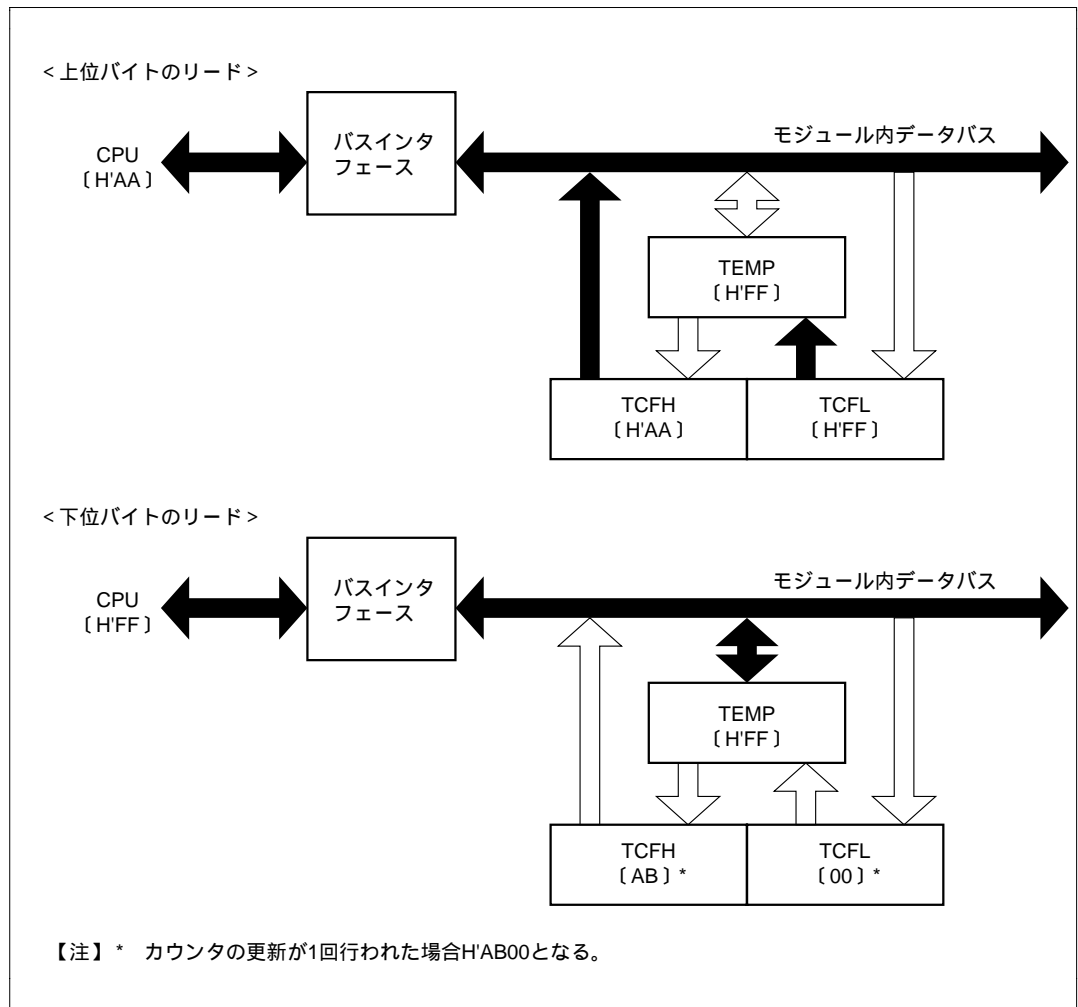


図 9.6 TCF のリード動作 (TCF CPU)

9.5.4 動作説明

タイマ F は、入力クロックが入るたびにカウントアップする 16 ビットのカウンタで、アウトプットコンペアレジスタ F に設定した値とタイマカウンタ F の値を常に比較しており、一致したタイミングでカウンタのクリア、割込み要求、およびポートのトグル出力が可能です。また、2本の独立した 8 ビットタイマとしても機能できます。

(1) タイマ F の動作

タイマ F には、16 ビットタイマモードと 8 ビットタイマモードの 2 種類の動作モードがあります。

それぞれのモードの動作について以下に説明します。

(a) 16 ビットタイマモードの動作

タイマコントロールレジスタ F (TCRF) の CKSH2 ビットを "0" に設定すると、タイマ F は 16 ビットのタイマとして動作します。

リセット直後、タイマカウンタ F (TCF) は H'0000 に、アウトプットコンペアレジスタ F (OCRF) は H'FFFF に、タイマコントロールレジスタ F (TCRF)、タイマコントロールステータスレジスタ F (TCSR) は H'00 に初期化されます。カウンタは、外部イベント (TMIF) からの入力によりカウントアップを開始します。外部イベントのエッジ選択は、IRQ エッジセレクトレジスタ (IEGR) の IEG3 により設定します。

タイマ F の動作クロックは、TCRF の CKSL2 ~ CKSL0 ビットによりプリスケアラ S の出力する 4 種類の内部クロック、または外部クロックを選択できます。

TCF と OCRF の内容は常に比較されており、両者が一致すると TCSR の CMFH が "1" にセットされます。このとき IENR2 の IENTFH が "1" ならば CPU に割込みを要求し、同時に TMOFH 端子の出力をトグルします。また、TCSR の CCLR が "1" ならば TCF をクリアします。なお、TMOFH 端子の出力は TCRF の TOLH により設定できます。

TCF がオーバフロー (H'FFFF H'0000) すると、TCSR の OVFH がセットされます。このとき、TCSR の OVIEH と IENR2 の IENTFH が共に "1" ならば CPU に割込みを要求します。

(b) 8 ビットタイマモードの動作

TCRF の CKSH2 を "1" に設定すると、TCF は TCFH、TCFL の 2 本の独立した 8 ビットタイマとして動作します。TCFH/TCFL の入力クロックは、TCRF の CKSH2 ~ CKSH0/CKSL2 ~ CKSL0 により選定します。

OCRFH/OCRFL と TCFH/TCFL の値が一致すると、TCSR の CMFH/CMFL が "1" にセットされます。また、IENR2 の IENTFH/IENTFL が "1" ならば CPU に割込みを要求し、同時に TMOFH 端子/TMOFL 端子の出力をトグルします。また、TCRF の CCLR/CCLRL が "1" ならば、TCFH/TCFL をクリアします。なお、TMOFH 端子/TMOFL 端子の出力は、TCRF

の TOLH/TOLL により設定できます。

TCFH/TCFL がオーバフロー (H'FF H'00) すると、TCSR の OVFH/OVFL が "1" にセットされます。このとき、TCSR の OVIEH/OVIEL と IENR2 の IENTFH/IENTFL が共に "1" ならば、CPU に割り込みを要求します。

(2) TCF のカウントタイミング

TCF は、入力されたクロック (内部クロックまたは外部イベント) によりカウントアップされます。

(a) 内部クロック動作の場合

TCRF の CKSH2 ~ CKSH0 または CKSL2 ~ CKSL0 の設定により、システムクロック () を分周して作られる 4 種類の内部クロック (/32、 /16、 /4、 /2) が選択されます。

(b) 外部イベント動作の場合

TCRF の CKSL2 を "0" に設定することにより、外部イベント入力を選択されます。外部イベントは立上がり / 立下がりエッジのどちらでもカウントアップが可能です。外部イベントのエッジ選択は、割り込みコントローラの IEGR の IEG3 で設定します。なお、外部イベントのパルス幅は 2 システムクロック () 以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

(3) TMOFH、TMOFL 出力タイミング

TMOFH、TMOFL の出力は、TCRF の TOLH、TOLL で設定した値が出力されていますが、コンペアマッチが発生したとき出力が反転します。

図 9.7 に出力タイミングを示します。

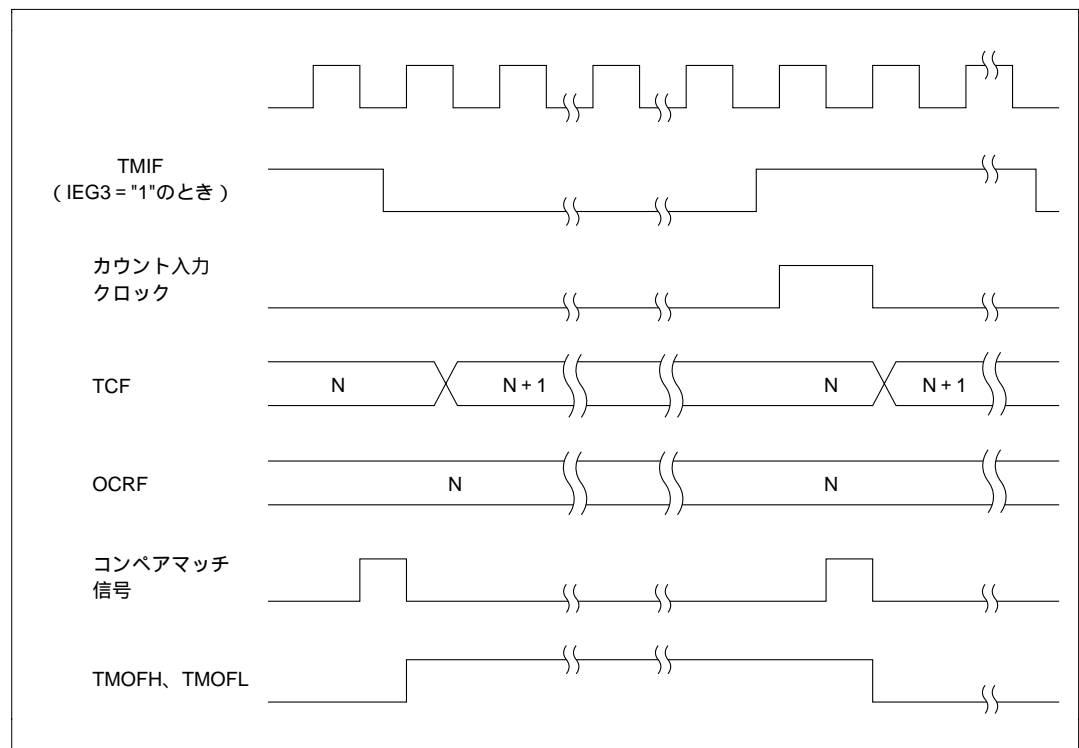


図 9.7 TMOFH、TMOFL 出力タイミング

(4) TCF のクリアタイミング

TCF は、OCRF とのコンペアマッチ時にクリアすることができます。

(5) タイマオーバフローフラグ (OVF) のセットタイミング

OVF は、TCF がオーバフロー (H'FFFF H'0000) したとき "1" にセットされます。

(6) コンペアマッチフラグのセットタイミング

コンペアマッチフラグ (CMFH または CMFL) は、TCF と OCRF のコンペアマッチ時に "1" にセットされます。コンペアマッチ信号は、値が一致した最後のステート (TCF が一致したカウント値を更新するタイミング) で発生します。TCF と OCRF が一致した後、カウントアップクロックが発生するまで、コンペアマッチ信号は発生しません。

(7) タイマFの動作モード

タイマFの動作モードを表9.13に示します。

表9.13 タイマFの動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCF	リセット	動作	動作	停止	停止	停止	停止
OCRf	リセット	動作	保持	保持	保持	保持	保持
TCRF	リセット	動作	保持	保持	保持	保持	保持
TCSRf	リセット	動作	保持	保持	保持	保持	保持

9.5.5 使用上の注意事項

タイマFの動作中、次のような競合や動作が起こりますので注意してください。

(1) 16ビットタイマモード

トグル出力は16ビットすべてが一致し、コンペアマッチ信号が発生したときTMOFH端子から出力されます。MOV命令によるTCRFのライトと、コンペアマッチ信号が同時に起こった場合、TCRFのライトによるTOLHのデータがTMOFH端子に出力されます。TMOFL端子は16ビットモード時には出力は不定となりますので使用しないでください。ポートとしてご使用ください。

OCRFLのライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCFLのクロックに同期して出力されるので、クロックが停止している場合、コンペアマッチしていてもコンペアマッチ信号は発生しません。

コンペアマッチフラグは、16ビットすべてが一致し、コンペアマッチ信号が発生したときCMFHにセットされますが、CMFLについても下位8ビットについてのセット条件が満たされていればセットされます。

TCFがオーバーフローするとOVFHがセットされますが、OVFLについても下位8ビットがオーバーフローした時点で、セット条件が満たされていればセットされます。TCFLのライトと、オーバーフロー信号の出力が同時に起こった場合、オーバーフロー信号は出力されません。

(2) 8ビットタイマモード

(a) TCFH、OCRFH

トグル出力は、コンペアマッチ時に TMOFH 端子から出力されます。MOV 命令による TCRF のライトと、コンペアマッチ信号の発生が同時に起こった場合、TCRF のライトによる TOLH のデータが TMOFH 端子に出力されます。

OCRFH のライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCFH のクロックに同期して出力されます。

TCFH のライトと、オーバフロー信号の出力が同時に起こった場合、オーバフロー信号は出力されません。

(b) TCFL、OCRFL

トグル出力は、コンペアマッチ時に TMOFL 端子から出力されます。MOV 命令による TCRF のライトと、コンペアマッチ信号の発生が同時に起こった場合、TCRF のライトによる TOLL のデータが TMOFL 端子に出力されます。

OCRFL のライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCFL のクロックに同期して出力されるので、クロックが停止している場合、コンペアマッチしていてもコンペアマッチ信号は発生しません。

TCFL のライトと、オーバフロー信号の出力が同時に起こった場合、オーバフロー信号は出力されません。

9.6 タイマ G

9.6.1 概要

タイマ G は、インプットキャプチャ入力端子から入力したパルス(インプットキャプチャ入力信号)の立上がり/立下がりエッジのそれぞれ専用のインプットキャプチャ機能をもつ 8 ビットタイマです。ノイズ除去回路によりインプットキャプチャ入力信号の高域成分のノイズを除去することが可能です。したがって、インプットキャプチャ入力信号のデューティ比を正確に測定することができます。また、タイマ G はインプットキャプチャ入力を設定しない場合、8 ビットのインターバルタイマとして機能します。

(1) 特長

タイマ G の特長を以下に示します。

4 種類のカウンタ入力クロックを選択可能

4 種類の内部クロック ($/64$ 、 $/32$ 、 $/2$ 、 $w/2$) からの選択が可能です。

インプットキャプチャ機能

立上がり/立下がりエッジのそれぞれ専用のインプットキャプチャ機能があります。

カウンタのオーバフロー時のレベルが検出可能

インプットキャプチャ入力信号の "High" レベルでオーバフローが発生したか、"Low" レベルでオーバフローが発生したかを検出することができます。

カウンタのクリア指定が可能

インプットキャプチャ入力信号の立上がり/立下がり/両エッジでカウンタの値をクリアするか、しないかを選択できます。

2 種類の割込み要求

インプットキャプチャ $\times 1$ 要因、オーバフロー $\times 1$ 要因があります。インプットキャプチャ入力信号による割込み要求はインプットキャプチャ入力信号の立上がり/立下がりエッジを選択することができます。

ノイズ除去回路内蔵

ノイズ除去回路によりインプットキャプチャ入力信号の高域成分のノイズを除去することが可能です。

サブアクティブモード、サブスリープモードで動作

内部クロックとして $w/2$ を選択した場合、サブアクティブモード、サブスリープモードで動作可能です。

(2) ブロック図

タイマGのブロック図を図9.8に示します。

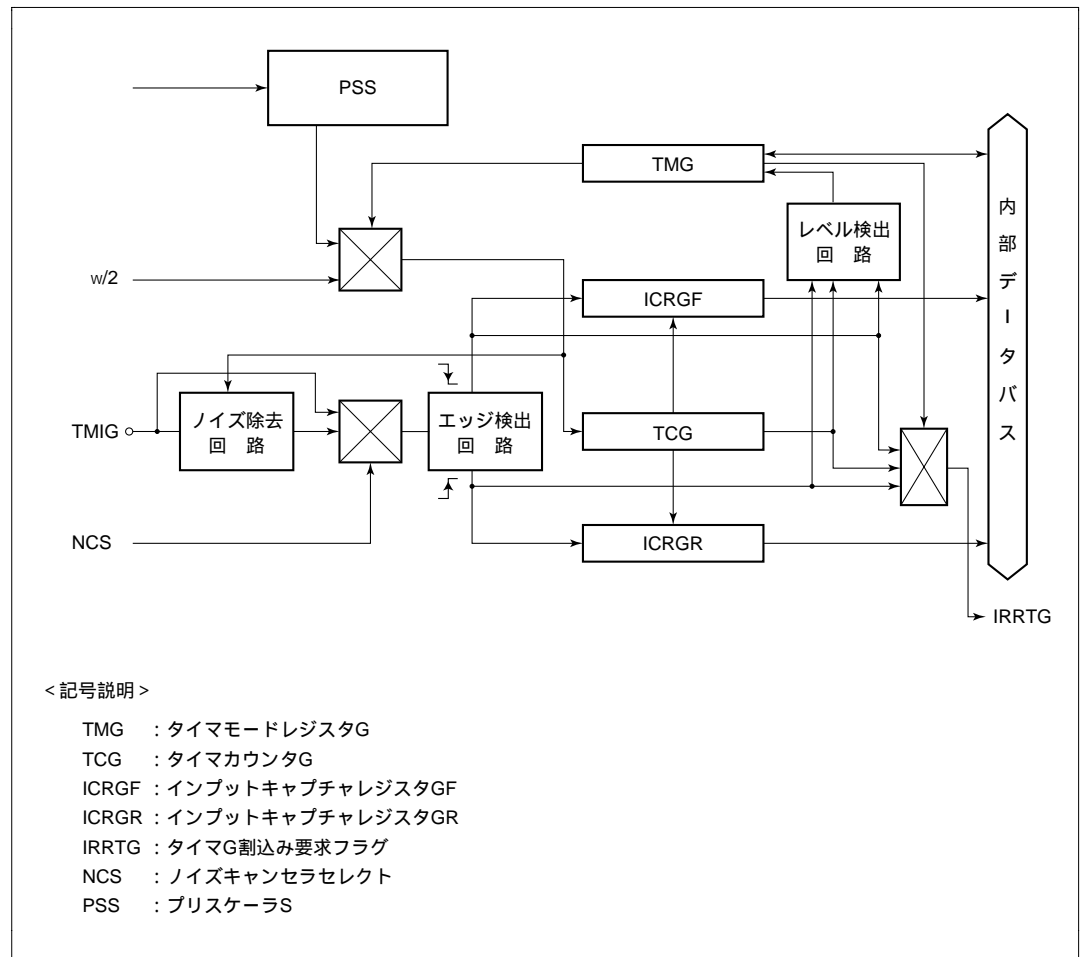


図9.8 タイマGのブロック図

(3) 端子構成

タイマ G の端子構成を表 9.14 に示します。

表 9.14 端子構成

名称	略称	入出力	機能
インプットキャプチャ 入力	TMIG	入力	インプットキャプチャ入力端子

(4) レジスタ構成

タイマ G のレジスタ構成を表 9.15 に示します。

表 9.15 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマモードレジスタ G	TMG	R/W	H'00	H'FFBC
タイマカウンタ G	TCG		H'00	
インプットキャプチャレジスタ GF	ICRGF	R	H'00	H'FFBD
インプットキャプチャレジスタ GR	ICRGR	R	H'00	H'FFBE

9.6.2 各レジスタの説明

(1) タイマカウンタ G (TCG)

ビット:	7	6	5	4	3	2	1	0
	TCG7	TCG6	TCG5	TCG4	TCG3	TCG2	TCG1	TCG0
初期値:	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—

TCG は、8 ビットのアップカウンタで、入力したクロックによりカウントアップされます。入力するクロックは、TMG の CKS1、CKS0 で選択します。

TCG はインプットキャプチャタイマとして動作させる場合、PMR1 の TMIG を "1" に設定し、インターバルタイマとして動作させる場合、TMIG を "0" に設定します。インプットキャプチャタイマの動作時は、TMG の設定によりインプットキャプチャ入力信号の立上がり / 立下がり / 両エッジのいずれかで TCG の値をクリアすることができます。

TCG がオーバフロー (H'FF H'00) すると、TMG の OVIE が "1" の場合、IRR2 の IRRTG が "1" にセットされ、さらに IENR2 の IENTG が "1" の場合、CPU に対して割込み要求信号が発生します。

なお、割込みについての詳細は「3.3 割込み」を参照してください。

TCG は CPU からリード / ライトすることはできません。

リセット時、TCGはH'00にイニシャライズされます。

【注】* TMIGの書き換えの際、インプットキャプチャ信号が発生する場合があります。

(2) インプットキャプチャレジスタ GF (ICRGF)

ビット:	7	6	5	4	3	2	1	0
	ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ICRGFは、8ビットのリード専用のレジスタです。インプットキャプチャ入力信号の立下がりエッジが検出されると、そのときのTCGの値がICRGFに転送されます。このとき、TMGのIIEGSが"1"の場合、IRR2のIRRTGが"1"にセットされ、さらにIENR2のIENTGが"1"の場合、CPUに対して割込み要求信号が発生します。

なお、割込みについての詳細は「3.3 割込み」を参照してください。

インプットキャプチャ動作を確実にを行うために、インプットキャプチャ入力信号のパルス幅は、少なくとも2 または2_{SUB}（ノイズ除去回路を使用しない場合）以上にしてください。

リセット時、ICRGFはH'00にイニシャライズされます。

(3) インプットキャプチャレジスタ GR (ICRGR)

ビット:	7	6	5	4	3	2	1	0
	ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ICRGRは、8ビットのリード専用のレジスタです。インプットキャプチャ入力信号の立上がりエッジが検出されると、そのときのTCGの値がICRGRに転送されます。このとき、TMGのIIEGSが"0"の場合、IRR2のIRRTGが"1"にセットされ、さらにIENR2のIENTGが"1"の場合、CPUに対して割込み要求信号が発生します。

なお、割込みについての詳細は「3.3 割込み」を参照してください。

インプットキャプチャ動作を確実にを行うために、インプットキャプチャ入力信号のパルス幅は、少なくとも2 または2_{SUB}（ノイズ除去回路を使用しない場合）以上にしてください。

リセット時、ICRGRはH'00にイニシャライズされます。

(4) タイマモードレジスタ G (TMG)

ビット:	7	6	5	4	3	2	1	0
	OVFH	OVFL	OVIE	IIEGS	CCLR1	CCLR0	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグクリアのための"0"ライトのみ可能です。

TMG は、8 ビットのリード/ライト可能なレジスタです。TCG の 4 種類の内部クロックの選択、カウンタクリアの選択、インプットキャプチャ入力信号による割込み要求のエッジ選択、オーバフローによる割込み要求の許可の制御、およびオーバフローフラグの表示を行います。

リセット時、TMG は H'00 にイニシャライズされます。

ビット7: タイマオーバフローフラグ H (OVFH)

インプットキャプチャ入力信号が"High"レベルのときに、TCG の値がオーバフロー (H'FF H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	
OVFH	説明
0	〔クリア条件〕 (初期値) OVFH = "1"の状態、OVFH をリードした後、OVFH に"0"をライトしたとき
1	〔セット条件〕 TCG の値が、H'FF H'00 になったとき

ビット6: タイマオーバフローフラグ L (OVFL)

インプットキャプチャ信号が"Low"レベルのとき、またはインターバル動作時に、TCG の値がオーバフロー (H'FF H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット6	
OVFL	説明
0	〔クリア条件〕 (初期値) OVFL = "1"の状態、OVFL をリードした後、OVFL に"0"をライトしたとき
1	〔セット条件〕 TCG の値が、H'FF H'00 になったとき

ビット5：タイマオーバーフローインタラプトイネーブル (OVIE)

TCGのオーバーフローが発生したとき、割込みの許可または禁止を選択します。

ビット5		
OVIE	説明	
0	TCGのオーバーフローによる割込み要求を禁止	(初期値)
1	TCGのオーバーフローによる割込み要求を許可	

ビット4：インプットキャプチャインタラプトエッジセレクト (IIEGS)

インプットキャプチャ入力信号による割込み要求のエッジ選択を行います。

ビット4		
IIEGS	説明	
0	インプットキャプチャ入力信号の立上がりエッジで割込みを発生	(初期値)
1	インプットキャプチャ入力信号の立下がりエッジで割込みを発生	

ビット3、2：カウンタクリア1、0 (CCLR1、CCLR0)

インプットキャプチャ入力信号の立上がり / 立下がり / 両エッジで TCG の値をクリアするか、しないかを選択します。

ビット3	ビット2		
CCLR1	CCLR0	説明	
0	0	TCGのクリアを禁止	(初期値)
0	1	インプットキャプチャ入力信号の立下がりエッジにより TCG をクリア	
1	0	インプットキャプチャ入力信号の立上がりエッジにより TCG をクリア	
1	1	インプットキャプチャ入力信号の両エッジにより TCG をクリア	

ビット1、0：クロックセレクト (CKS1、CKS0)

TCGに入力するクロックを、4種類の内部クロックから選択します。

ビット1	ビット0		
CKS1	CKS0	説明	
0	0	内部クロック： $f/64$ でカウント	(初期値)
0	1	内部クロック： $f/32$ でカウント	
1	0	内部クロック： $f/2$ でカウント	
1	1	内部クロック： $f_w/2$ でカウント	

9.6.3 ノイズ除去回路

ノイズ除去回路は、デジタルローパスフィルタとなっており、インプットキャプチャ入力端子から入力したパルスの高域成分のノイズを除去します。ノイズ除去回路は、PMR2のNCS*により設定します。

図9.9にノイズ除去回路のブロック図を示します。

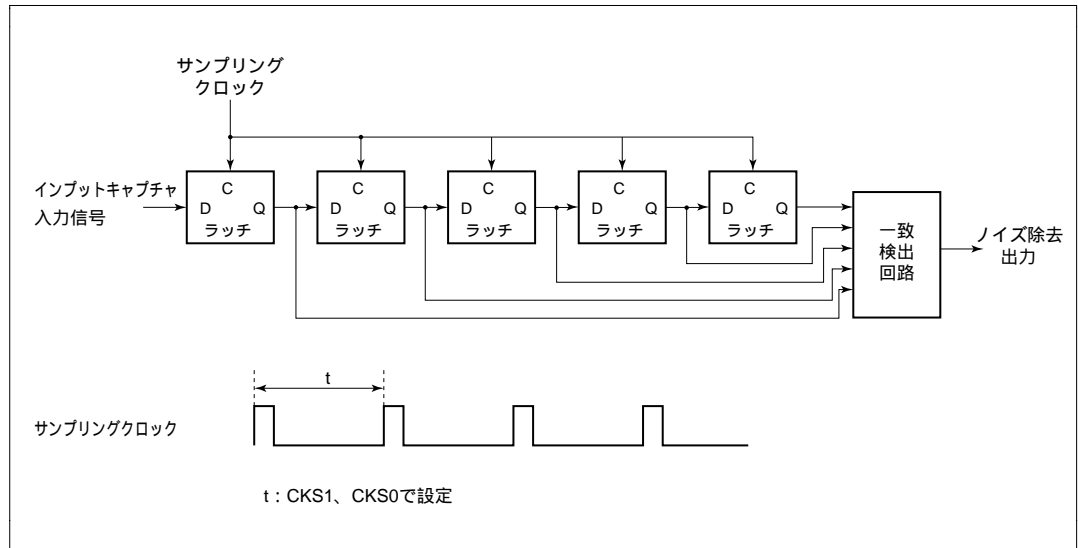


図 9.9 ノイズ除去回路のブロック図

ノイズ除去回路は5段直列に接続されたラッチ回路と一致検出回路で構成されています。ノイズ除去機能なし (NCS = "0") の場合、サンプリングクロックはシステムクロックが選択されています。ノイズ除去機能あり (NCS = "1") の場合、サンプリングクロックはTMGのCKS1、CKS0で選択された内部クロックが選択され、このクロックの立上がりエッジでインプットキャプチャ入力がサンプリングされ、すべてのラッチ出力が一致したとき正しいデータとみなします。一致しない場合は、前の値を保持します。リセット後は、ノイズ除去出力はインプットキャプチャ入力信号の立下がりエッジが5回サンプリングされた状態でイニシャライズされています。したがって、ノイズ除去機能ありを設定した後、サンプリングクロックの5倍より幅の広いパルスは確実にインプットキャプチャ信号になります。なお、ノイズ除去を行わない場合でも、インプットキャプチャ動作を確実に行うために、インプットキャプチャ入力信号のパルス幅は少なくとも2 または 2_{SUB} 以上必要です。

【注】 * NCS ビットの書換えの際、インプットキャプチャ信号が発生する場合があります。

図9.10にノイズ除去回路のタイミング例を示します。

この例は、インプットキャプチャ入力端子にサンプリングクロックの5倍以下の"High"レベル入力がノイズとして除去された場合です。

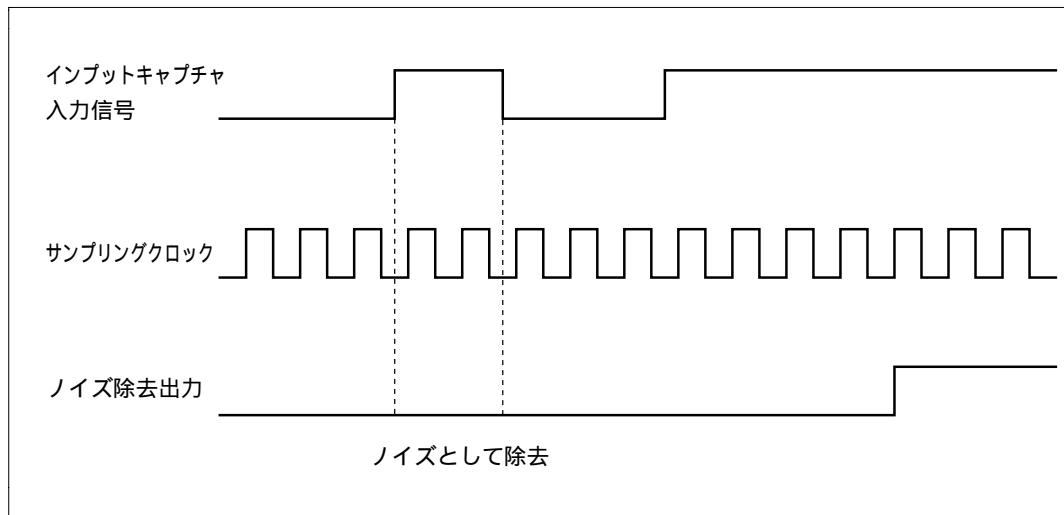


図 9.10 ノイズ除去回路タイミング (例)

9.6.4 動作説明

タイマGは、インプットキャプチャ/インターバル機能を内蔵した8ビットのタイマです。

(1) タイマGの機能

タイマGは8ビットのアップカウンタで、インプットキャプチャタイマとインターバルタイマの2種類の機能を持っています。

それぞれの動作について、以下に説明します。

(a) インプットキャプチャタイマの動作

ポートモードレジスタ1 (PMR1) のTMIGビットを"1"に設定すると、タイマGはインプットキャプチャタイマとして機能します。*

リセット時、タイマモードレジスタG (TMG)、タイマカウンタG (TCG)、インプットキャプチャレジスタGF (ICRGF)、インプットキャプチャレジスタGR (ICRGR)は、H'00に初期化されます。

リセット直後、TCGは内部クロック /64のクロックでカウントを開始します。

入力するクロックは、TMGのCKS1、CKS0ビットにより4種類の内部クロックソースから選択できます。

TMIG端子から入力されるインプットキャプチャ信号の立上がりエッジ/立下がりエッジにより、そのときのTCGの値がICRGR/ICRGFに転送されます。また、TMGのIEGSビットで選択したエッジが入力されると、IRR2のIRRTGが"1"にセットされ、この時IENR2のIENTGビットが"1"ならばCPUに割り込みを要求します。なお、割り込みについての

詳細は、「3.3 割込み」を参照してください。

TCG は TMG の CCLR1、CCLR0 ビットにより、インプットキャプチャ信号の立上がり / 立下がり / 両エッジのいずれかで TCG の値をクリアすることができます。また、インプットキャプチャ信号が "High" レベルのときに TCG がオーバーフローすると、TMG の OVFH ビットをセットします。一方、インプットキャプチャ信号が "Low" レベルのときに TCG がオーバーフローすると、TMG の OVFL ビットをセットします。これらがセットされた時、TMG の OVIE ビットが "1" であれば IRR2 の IRRTG が "1" にセットされ、さらに IENR2 の IENTG ビットが "1" であれば、タイマ G は CPU に割込みを要求します。なお、割込みについての詳細は「3.3 割込み」を参照してください。

タイマ G にはノイズ除去回路が内蔵されており、TMIG 端子から入力したパルスの高域成分のノイズを除去できます。詳細は「9.6.3 ノイズ除去回路」を参照してください。

【注】 * TM1G の書き換えの際、インプットキャプチャ信号が発生する場合があります。

(b) インターバルタイマの動作

PMR1 の TMIG ビットを "0" に設定すると、タイマ G はインターバルタイマとして機能します。リセット直後、TCG は内部クロック $/64$ のクロックでカウントを開始します。入力クロックは TMG の CKS1、CKS0 ビットにより 4 種類の内部クロックソースから選択できます。TCG は選択されたクロックでカウントアップし、オーバーフロー (H'FF H'00) すると TMG の OVFL ビットが "1" にセットされます。この時、TMG の OVIE ビットが "1" であれば IRR2 の IRRTG が "1" にセットされ、さらに IENR2 の IENTG ビットが "1" であれば、タイマ G は CPU に割込みを要求します。なお、割込みについての詳細は「3.3 割込み」を参照してください。

(2) カウントタイミング

TCG は入力された内部クロックによりカウントアップされます。TMG の CKS1、CKS0 の設定により、システムクロック (f_{clk}) とウォッチクロック (f_w) を分周して作られる 4 種類の内部クロック ($f_{clk}/64$ 、 $f_{clk}/32$ 、 $f_{clk}/2$ 、 $f_w/2$) が選択されます。

(3) インพุットキャプチャ入力のタイミング

(a) ノイズ除去機能なしの場合

インพุットキャプチャ入力は、立上がり/立下がりエッジのそれぞれ専用のインพุットキャプチャ機能をもっています。

立上がり/立下がりエッジのインพุットキャプチャ入力のタイミングを図 9.11 に示します。

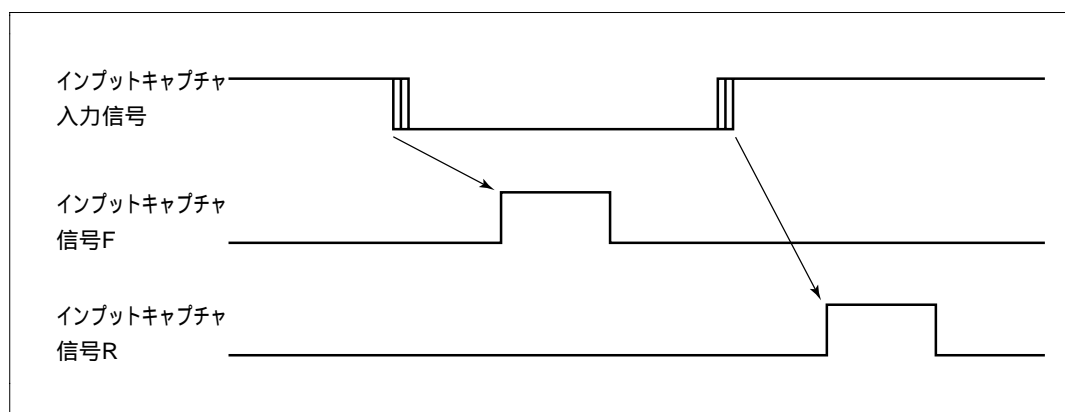


図 9.11 インพุットキャプチャ入力のタイミング (ノイズ除去機能なし)

(b) ノイズ除去機能ありの場合

インพุットキャプチャ入力でノイズ除去を行う場合、インพุットキャプチャ信号はノイズ除去回路を経由するため、インพุットキャプチャ入力信号エッジからサンプリングクロックの5周期分遅延します。

このときのタイミングを図 9.12 に示します。

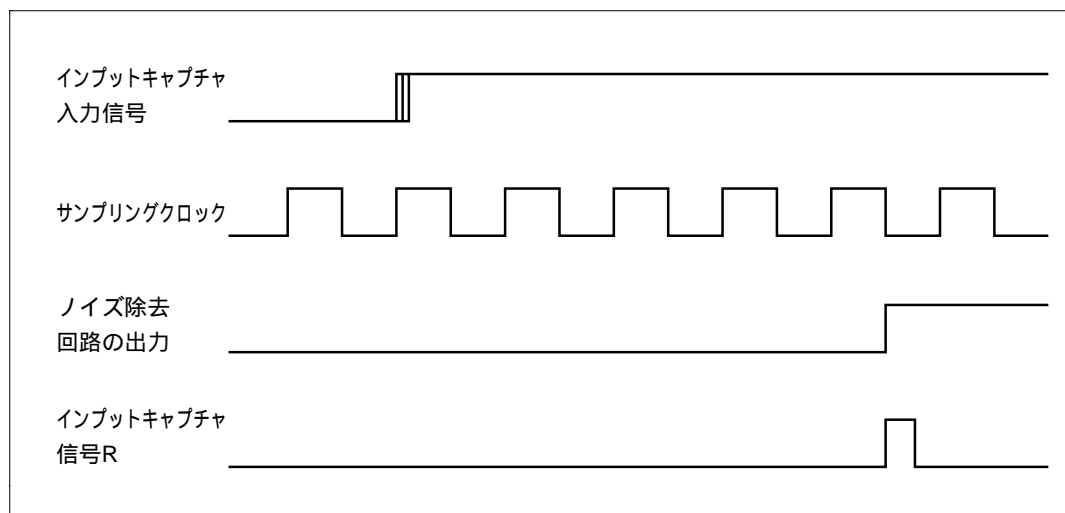


図 9.12 インพุットキャプチャ入力のタイミング (ノイズ除去機能あり)

(4) インพุットキャプチャ入力によるインพุットキャプチャタイミング

インพุットキャプチャ入力によるインพุットキャプチャタイミングを図 9.13 に示します。

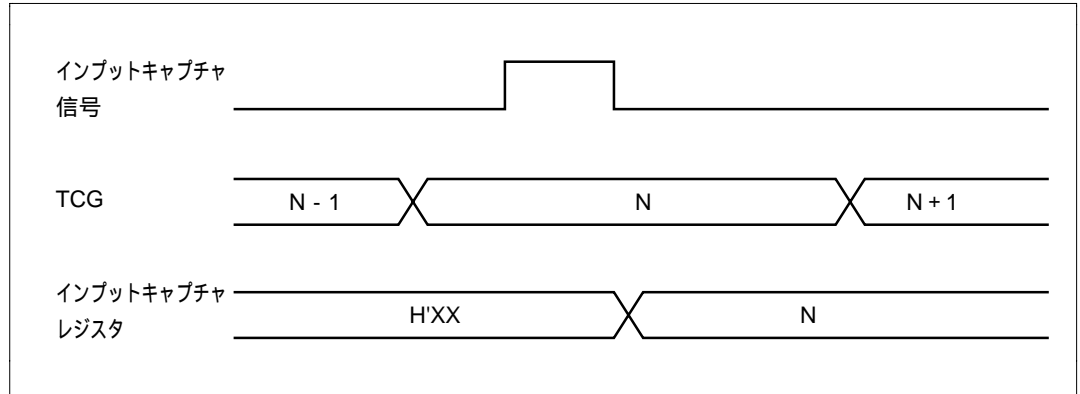


図 9.13 インพุットキャプチャ入力によるインพุットキャプチャタイミング

(5) TCG のクリアタイミング

TCG の値は、インพุットキャプチャ入力信号の立上がりエッジ / 立下がりエッジ / 両エッジでクリアすることができます。

両エッジでクリアする場合のタイミングを図 9.14 に示します。

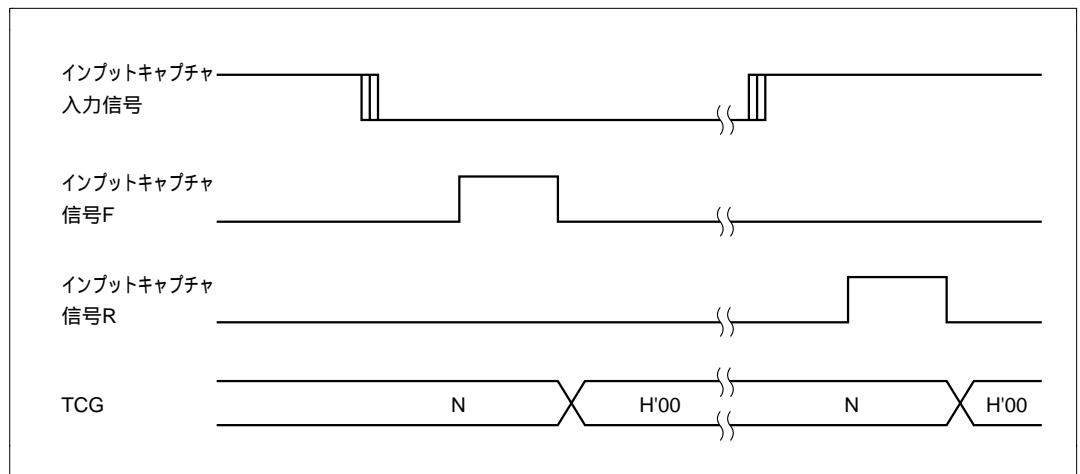


図 9.14 TCG のクリアタイミング

(6) タイマ G の動作モード

タイマ G の動作モードを表 9.16 に示します。

表 9.16 タイマ G の動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCG	インプット キャプチャ	リセット	動作*	動作*	停止	動作 / 停止*	動作 / 停止*	停止
	インターバル	リセット	動作*	動作*	保持	動作 / 停止*	動作 / 停止*	停止
ICRGF		リセット	動作*	動作*	保持	動作 / 停止*	動作 / 停止*	保持
ICRGR		リセット	動作*	動作*	保持	動作 / 停止*	動作 / 停止*	保持
TMG		リセット	動作	保持	保持	動作	保持	保持

【注】 * アクティブモード、スリープモード時に、TCG の内部クロックとして $w/2$ を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/$ (s) の誤差が生じます。また、サブアクティブモード、サブスリープモード時に、TCG の内部クロックとして $w/2$ を選択した場合、サブクロック $_{SUB}$ ($w/8$ 、 $w/4$ 、 $w/2$) に関係なく TCG、ノイズ除去回路は内部クロック $w/2$ で動作します。その他の内部クロックを選択した場合、TCG、ノイズ除去回路は動作せず、さらにインプットキャプチャ入力信号を入力してもインプットキャプチャされませんので注意してください。

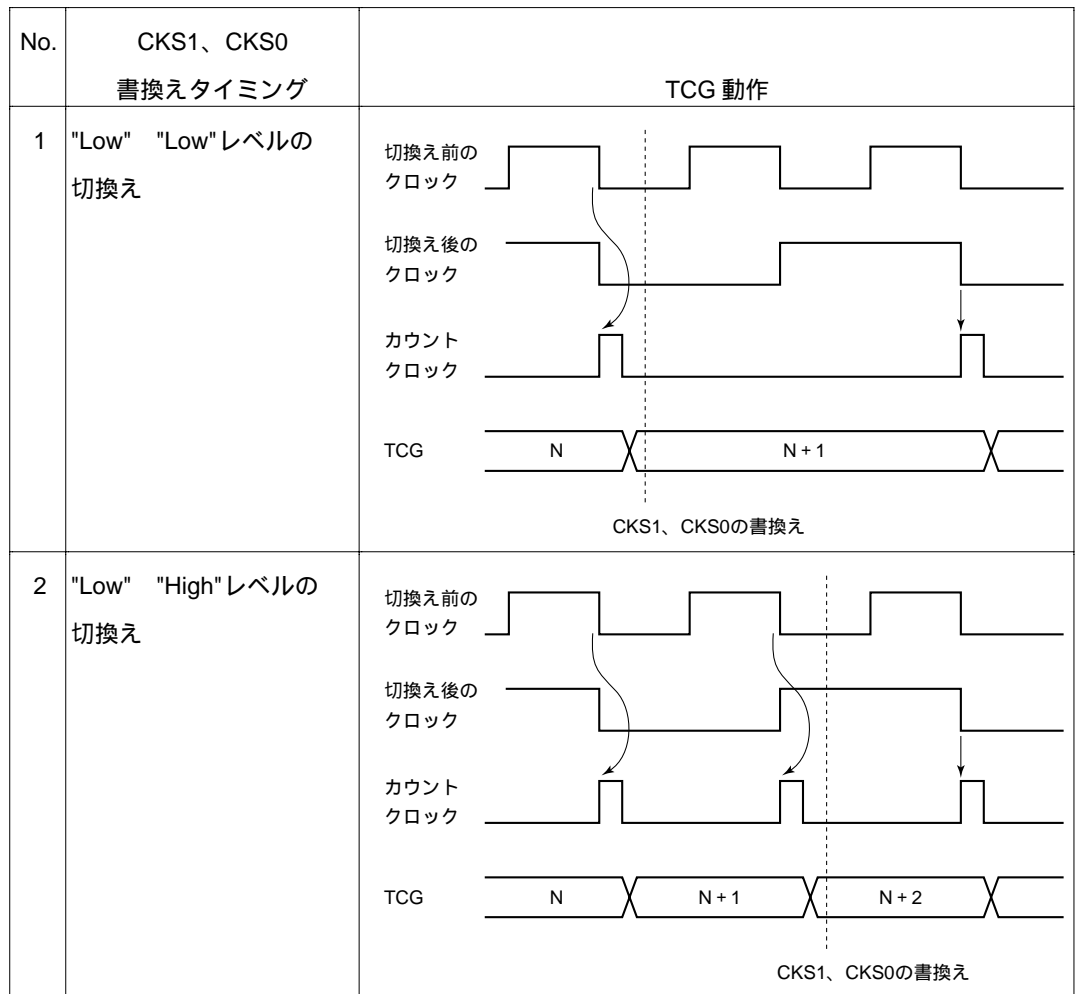
9.6.5 使用上の注意事項

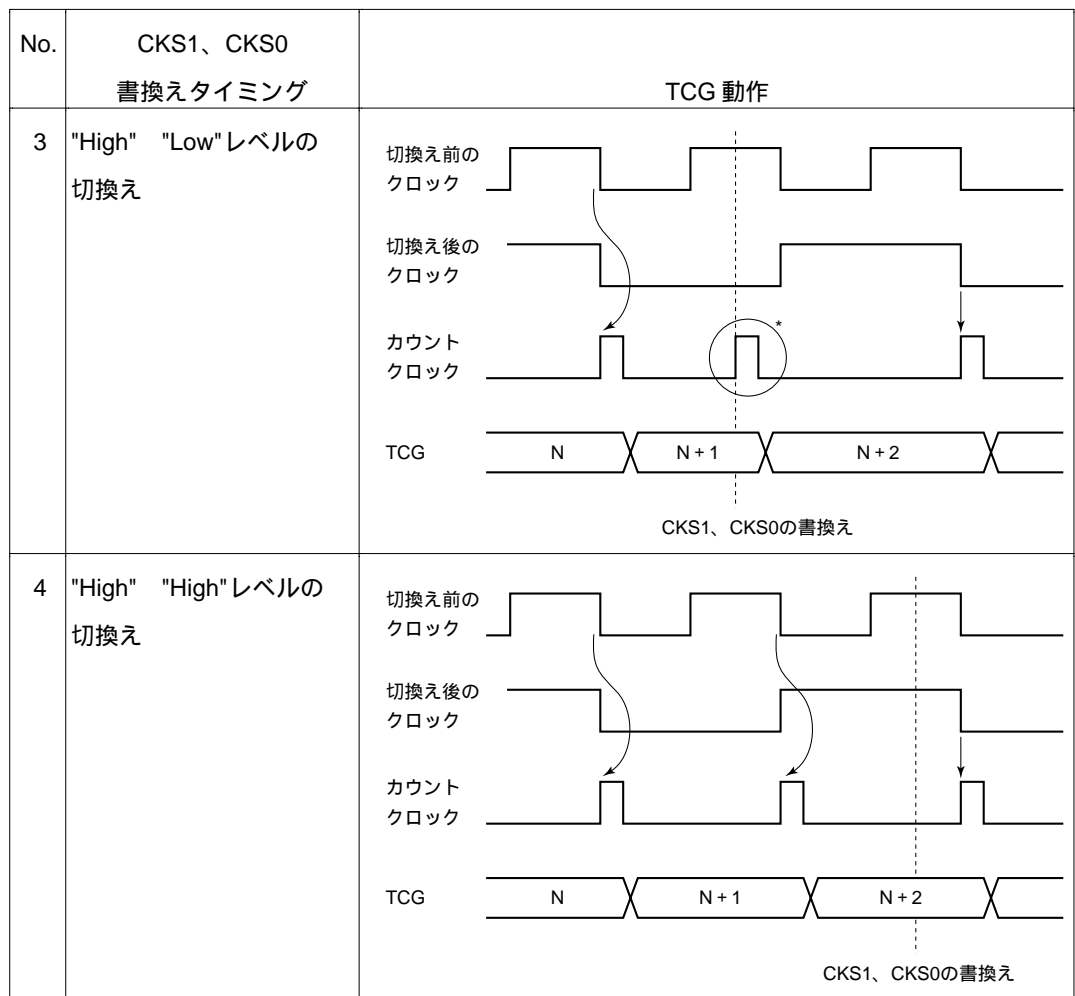
(1) 内部クロックの切換えと TCG 動作

内部クロックを切り換えるタイミングによっては、TCG がカウントアップされてしまう場合があります。内部クロックの切換えタイミング (CKS1、CKS0 の書換え) と TCG 動作の関係を表 9.17 示します。

内部クロックを使用する場合、システムクロック () またはサブクロック (w) を分周した内部クロックの立下がりエッジで検出してカウントクロックを発生しています。そのため表 9.17 の No.3 のように切換え前のクロック "High" 切換え後のクロック "Low" レベルになるようなクロックの切換えを行うと、切換えタイミングを立下がりエッジとみなしてカウントクロックが発生し、TCG がカウントアップされてしまいます。

表 9.17 内部クロックの切換えと TCG 動作





【注】 * 切換えのタイミングを立下がりエッジとみなすために発生し、TCG はカウントアップされてしまいます。

(2) ポートモードレジスタ書き換えの注意事項

インプットキャプチャの機能切換えのために、ポートモードレジスタを書き換える際、またインプットキャプチャ入力のノイズ除去回路の機能切換えのために、ポートモードレジスタを書き換える際に以下の点に注意してください。

- ・インプットキャプチャ入力端子の機能切り換え

インプットキャプチャ入力端子を制御しているポートモードレジスタ 1 (PMR1) の TMIG を書き換えて端子機能を切り換えた場合、端子に有効なエッジが入力されていなくても、エッジが入力されたこととなりますので注意してください。インプットキャプチャ入力信号の入力エッジとその条件を表 9.18 に示します。

表 9.18 インプットキャプチャ入力端子の機能切り換えによるインプットキャプチャ入力信号の入力エッジとその条件

インプットキャプチャ入力信号の入力エッジ	条件
立上がりエッジが発生する場合	TMIG 端子が"High"レベルの状態、TMIG を"0"から"1"に書き換えたとき
	TMIG 端子が"High"レベルの状態、NCS を"0"から"1"に書き換えた後、ノイズ除去回路で 5 回サンプリングされる前に TMIG を"0"から"1"に書き換えたとき
立下がりエッジが発生する場合	TMIG 端子が"High"レベルの状態、TMIG を"1"から"0"に書き換えたとき
	TMIG 端子が"Low"レベルの状態、NCS を"0"から"1"に書き換えた後、ノイズ除去回路で 5 回サンプリングされる前に TMIG を"0"から"1"に書き換えたとき
	TMIG 端子が"High"レベルの状態、NCS を"0"から"1"に書き換えた後、ノイズ除去回路で 5 回サンプリングされた後に TMIG を"1"から"0"に書き換えたとき

【注】 P1₃端子がインプットキャプチャ入力端子に設定されていない場合、タイマ G のインプットキャプチャ入力信号は"Low"レベルとなっています。

- ・インプットキャプチャ入力のノイズ除去回路の機能切り換え

インプットキャプチャ入力のノイズ除去回路を制御しているポートモードレジスタ 2 (PMR2) の NCS を書き換えて機能切り換えを行う場合、TMIG を"0"にして行ってください。それ以外で書き換えた場合、端子に有効なエッジが入力されていなくても、エッジが入力されたこととなりますので注意してください。インプットキャプチャ入力信号の入力エッジとその条件を表 9.19 に示します。

表 9.19 ノイズ除去回路の機能切り換えによるインプットキャプチャ入力信号の入力エッジとその条件

インプットキャプチャ入力信号の入力エッジ	条件
立上がりエッジが発生する場合	TMIG が"1"の状態 で TMIG 端子を"Low"レベルから"High"レベルにした後、ノイズ除去回路で 5 回サンプリングする前に NCS を"0"から"1"に書き換えたとき
立下がりエッジが発生する場合	TMIG が"1"の状態 で TMIG 端子を"High"レベルから"Low"レベルにした後、ノイズ除去回路で 5 回サンプリングする前に NCS を"1"から"0"に書き換えたとき

端子機能を切り換え、インプットキャプチャ入力信号にエッジが発生した場合、このエッジとインプットキャプチャインタラプトエッジセレクト (IIEGS) ビットによるエッジ選択とが一致した時、割込み要求フラグが"1"にセットされますので、割込み要求フラグを"0"にクリアにしてから使用してください。ポートモードレジスタの操作と割込み要求フラグのクリア手順を図 9.15 に示します。端子機能を切り換える場合、ポートモードレジスタの操作前に割込み禁止状態にしてポートモードレジスタを切換え、ポートモードレジスタ操作後、インプットキャプチャ入力信号がインプットキャプチャ信号として確定するための期間 (ノイズ除去回路を使用しない場合は 2 システムクロック以上、ノイズ除去回路を使用する場合はサンプリングクロックの 5 倍以上) 待ってから、"1"にセットされた割込み要求フラグを"0"にクリアしてください。なお、端子機能切換えに伴う割込み要求フラグのセットを回避する方法として表 9.18、表 9.19 の条件を満たさないように端子のレベルを制御する方法、または発生するエッジと反対のエッジに TMG の IIEGS ビットを設定して制御する方法もあります。

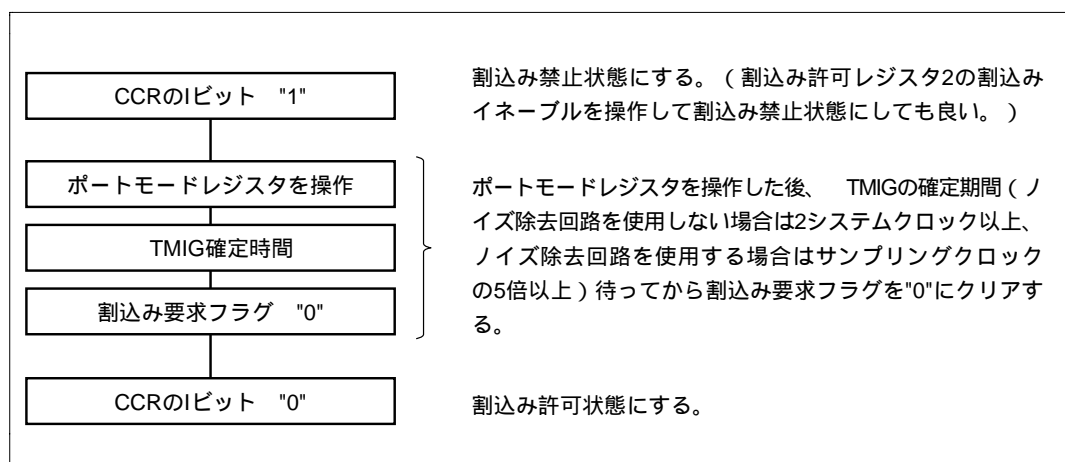


図 9.15 ポートモードレジスタの操作と割込み要求フラグのクリア手順

9.6.6 タイマ G の使用例

タイマ G を使用すると、インプットキャプチャ入力信号の"High"幅、"Low"幅を絶対値で測定することができます。設定は、TMG の CCLR1、CCLR0 をそれぞれ"1"にセットします。

このときの動作例を図 9.16 に示します。

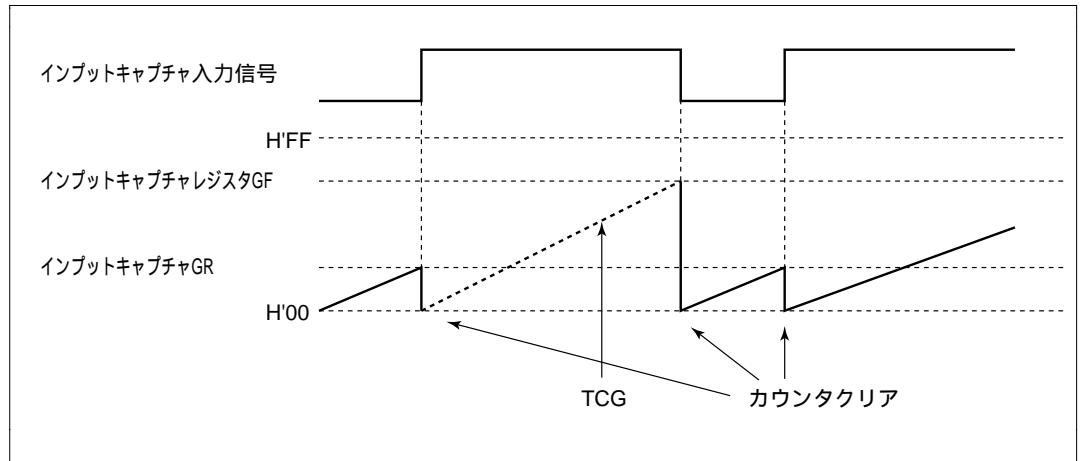


図 9.16 タイマ G の使用例

10. シリアルコミュニケーションインタフェース

第 10 章 目次

10.1	概要	265	
10.2	SCI1	266	
	10.2.1	概要	266
	10.2.2	各レジスタの説明	268
	10.2.3	動作説明	272
	10.2.4	割込み要因	274
	10.2.5	使用上の注意事項	274
10.3	SCI2	275	
	10.3.1	概要	275
	10.3.2	各レジスタの説明	278
	10.3.3	動作説明	283
	10.3.4	割込み要因	290
	10.3.5	使用上の注意事項	290
10.4	SCI3	291	
	10.4.1	概要	291
	10.4.2	各レジスタの説明	294
	10.4.3	動作概要	311
	10.4.4	調歩同期式モード時の動作説明	315
	10.4.5	クロック同期式モード時の動作説明	324
	10.4.6	マルチプロセッサ通信機能	331
	10.4.7	割込み要因	336
	10.4.8	使用上の注意事項	337

10.1 概要

本 LSI は、3 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。

3 チャンネルの SCI の機能概要を表 10.1 に示します。

表 10.1 SCI の機能概要

SCI の名称	機能	特長
SCI1	クロック同期式シリアル転送機能 ・転送データ長を選択可能 (8 ビット / 16 ビット) ・クロック連続出力機能	・8 種類の内部クロック (/1024 ~ /2) と外部クロックを選択可能 ・オープンドレイン出力可能 ・転送完了で割込み発生
SCI2	クロック同期式シリアル転送機能 ・32 バイトデータの自動転送 (送信 / 受信 / 同時送受信) ・チップセレクト入力機能 ・ストローブパルス出力機能	・7 種類の内部クロック (/256 ~ /2) と外部クロックを選択可能 ・オープンドレイン出力可能 ・転送完了またはエラーで割込み発生
SCI3	クロック同期式シリアル転送機能 ・転送データ長 8 ビット ・送信 / 受信 / 同時送受信 調歩同期式シリアル転送機能 ・マルチプロセッサ通信機能 ・転送データ長を選択可能 (7 ビット / 8 ビット) ・ストップビット長を選択可能 (1 ビット / 2 ビット) ・パリティ付加機能	・ボーレートジェネレータ内蔵 ・受信エラーの検出 ・ブレークの検出 ・転送完了またはエラーで割込み発生

10.2 SCI1

10.2.1 概要

SCI1 (シリアルコミュニケーションインタフェース1) は、8ビット/16ビットデータのクロック同期式シリアル転送を行います。

(1) 特長

SCI1の特長を以下に示します。

8ビットおよび16ビットの転送データ長を選択可能

クロックソースとして8種類の内部クロック (/1024、 /256、 /64、 /32、 /16、 /8、 /4、 /2) と外部クロックが選択可能

転送の完了で割り込み要求を発生

(2) ブロック図

SCI1のブロック図を図10.1に示します。

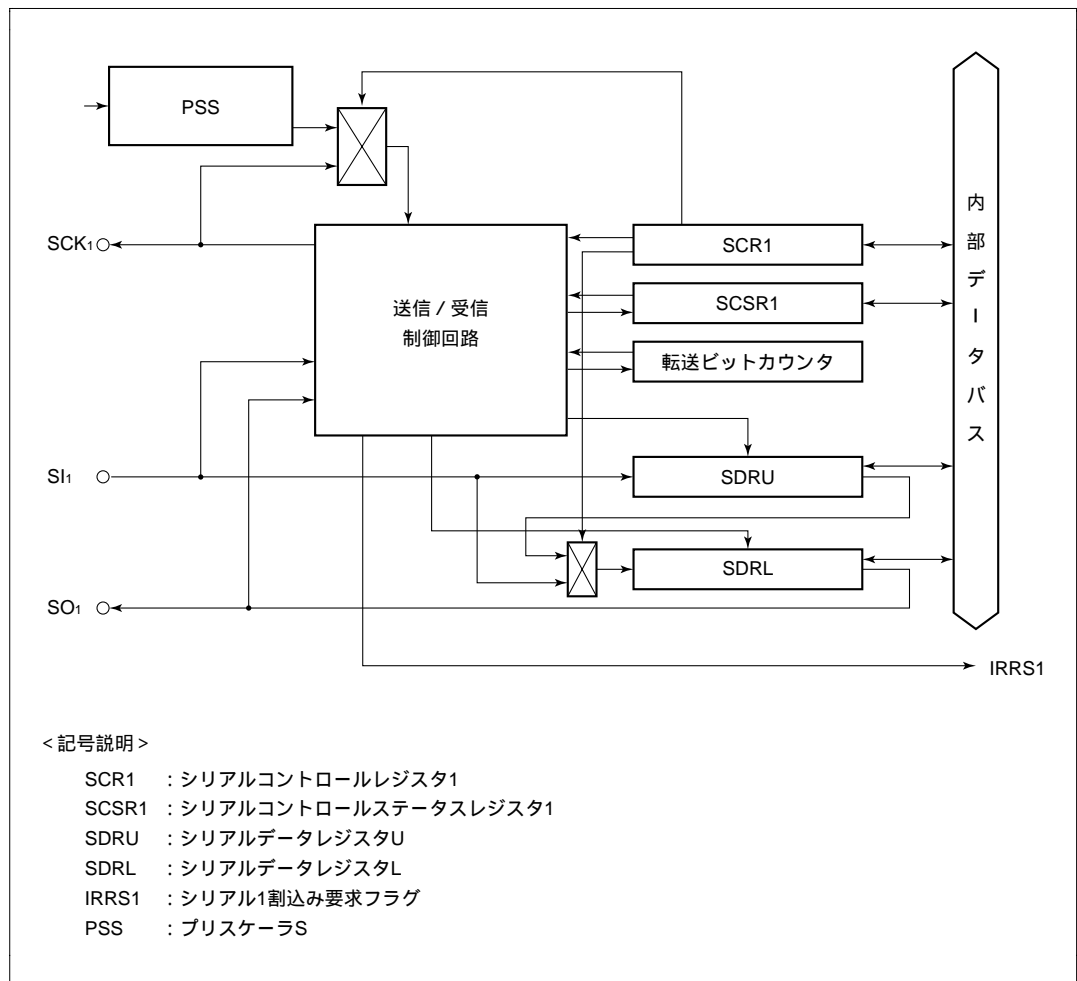


図 10.1 SCI1のブロック図

(3) 端子構成

SCI1 の端子構成を表 10.2 に示します。

表 10.2 端子構成

名称	略称	入出力	機能
SCI1 クロック	SCK ₁	入出力	SCI1 のクロック入出力端子
SCI1 データ入力	SI ₁	入力	SCI1 の受信データ入力端子
SCI1 データ出力	SO ₁	出力	SCI1 の送信データ出力端子

(4) レジスタ構成

SCI1 のレジスタ構成を表 10.3 に示します。

表 10.3 レジスタ構成

名称	略称	R/W	初期値	アドレス
シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'FFA0
シリアルコントロールステータスレジスタ 1	SCSR1	R/W	H'80	H'FFA1
シリアルデータレジスタ U	SDRU	R/W	不定	H'FFA2
シリアルデータレジスタ L	SDRL	R/W	不定	H'FFA3

10.2.2 各レジスタの説明

(1) シリアルコントロールレジスタ 1 (SCR1)

ビット:	7	6	5	4	3	2	1	0
	SNC1	SNC0	—	—	CKS3	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR1 は、8 ビットのリード/ライト可能なレジスタで、動作モード、転送クロックソースとプリスケアラ分周比を制御します。

リセット時、SCR1 は H'00 にイニシャライズされます。転送中に本レジスタに書込みを行うと転送を中止します。

ビット 7、6 : 動作モード選択 1、0 (SNC1、SNC0)

動作モードを選択します。

ビット 7	ビット 6	説明
SNC1	SNC0	
0	0	8 ビットクロック同期モード (初期値)
0	1	16 ビットクロック同期モード
1	0	クロック連続出力モード* ¹
1	1	リザーブ* ²

【注】 *1 SI₁、SO₁ 端子はポートとして使用してください。

*2 SNC1、SNC0 に "11" を設定しないでください。

ビット 5、4 : リザーブビット

リード/ライト可能なリザーブビットです。

ビット 3 : クロックソース選択 3 (CKS3)

供給するクロックソースの選択と SCK₁ 端子の入出力の設定を行います。

ビット 3	説明
CKS3	
0	クロックソースはプリスケアラ S、SCK ₁ 端子は出力 (初期値)
1	クロックソースは外部クロック、SCK ₁ 端子は入力

ビット2～0：クロック選択2～0（CKS2～CKS0）

CKS3が"0"の場合、プリスケアラ分周比と転送クロック周期を選択します。

ビット2	ビット1	ビット0	プリスケアラ分周比	転送クロック周期	
				= 5MHz	= 2.5MHz
0	0	0	/1024（初期値）	204.8μs	409.6μs
0	0	1	/256	51.2μs	102.4μs
0	1	0	/64	12.8μs	25.6μs
0	1	1	/32	6.4μs	12.8μs
1	0	0	/16	3.2μs	6.4μs
1	0	1	/8	1.6μs	3.2μs
1	1	0	/4	0.8μs	1.6μs
1	1	1	/2		0.8μs

(2) シリアルコントロールステータスレジスタ1（SCSR1）

ビット：	7	6	5	4	3	2	1	0
	—	SOL	ORER	—	—	—	—	STF
初期値：	1	0	0	0	0	0	0	0
R/W：	—	R/W	R/(W)*	—	—	—	R/W	R/W

【注】* フラグをクリアするための"0"ライトのみ可能です。

SCSR1は、動作状態、エラー状態などを示す8ビットのレジスタです。

リセット時、SCSR1はH'80にイニシャライズされます。

ビット7：リザーブビット

リザーブビットです。本ビットはリードすると常に"1"が読み出されます。ライトは無効です。

ビット6：拡張データビット（SOL）

SOLはSO₁端子の出力レベルを変更します。また、リードするとSO₁端子の出力レベルが読み出されます。送信完了後のSO₁端子の出力は、送信データの最終ビットの値を保持しますが、送信前または送信後に本ビットを操作して、SO₁端子の出力レベルを変更することができます。ただし、次の送信が開始するとSOLビットの設定は無効となります。したがって送信完了後のSO₁端子の出力レベルを変更する場合には送信完了ごとにSOLビットに対するライト操作を行ってください。なお、データ転送中に本レジスタにライトすると誤動作の原因になりますので送信中は操作しないでください。

ビット6			
SOL		説明	
0	リード時	SO ₁ 端子出力が"Low"レベル	(初期値)
	ライト時	SO ₁ 端子出力を"Low"レベルに変更	
1	リード時	SO ₁ 端子出力が"High"レベル	
	ライト時	SO ₁ 端子出力を"High"レベルに変更	

ビット5：オーバランエラーフラグ（ORER）

ORER は外部クロック使用時、オーバランエラーが発生したことを示します。転送中に外来雑音などにより正規の転送クロックに余分なパルスが重ね合わされた場合、転送データは保証できません。転送完了後もクロックが入力された場合、オーバラン状態であるとして、本ビットが"1"にセットされます。

ビット5			
ORER		説明	
0	[クリア条件]	"1"をリード後、"0"をライトしたとき	(初期値)
1	[セット条件]	外部クロック使用時、転送完了後もクロックが入力されたとき	

ビット4～2：リザーブビット

リザーブビットです。各ビットはリードすると"0"が読み出されます。ライトは無効です。

ビット1：リザーブビット

リザーブビットです。本ビットは"0"で使用してください。

ビット0：スタートフラグ（STF）

STF は、転送動作の開始を制御します。本ビットに"1"をセットすると SCI1 の転送動作を開始します。

本ビットは、転送中とスタートビット待ち状態時は"1"を保持し、転送終了後に"0"にクリアされます。このため、ビジーフラグとして使用できます。

ビット0			
STF		説明	
0	リード時	転送動作は停止	(初期値)
	ライト時	無効	
1	リード時	転送動作中	
	ライト時	転送動作を開始	

(3) シリアルデータレジスタ U (SDRU)

ビット:	7	6	5	4	3	2	1	0
	SDRU7	SDRU6	SDRU5	SDRU4	SDRU3	SDRU2	SDRU1	SDRU0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SDRU は、8 ビットのリード/ライト可能なレジスタで、16 ビット転送時に上位 8 ビットのデータレジスタとして使用します (SDRL が下位 8 ビット)。

SDRU に書き込まれたデータは、SDRL に LSB ファーストで出力されます。入れ替わりに SI₁ 端子より LSB ファーストでデータが入力されて、MSB LSB 方向にデータがシフトします。

SDRU のリード/ライトは、データの送信/受信が完了してから行う必要があります。データの送信/受信中にリード/ライトを行うとデータの内容は保証されません。

SDRU のリセット時の値は不定です。

(4) シリアルデータレジスタ L (SDRL)

ビット:	7	6	5	4	3	2	1	0
	SDRL7	SDRL6	SDRL5	SDRL4	SDRL3	SDRL2	SDRL1	SDRL0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SDRL は、8 ビットのリード/ライト可能なレジスタで、8 ビット転送時のデータレジスタ、および 16 ビット転送時の下位 8 ビットのデータレジスタとして使用します (SDRU が上位 8 ビット)。

8 ビット転送時、SDRL に書き込まれたデータは、SO₁ 端子より LSB ファーストで出力されます。入れ替わりに SI₁ 端子より LSB ファーストで入力されて、MSB LSB 方向にデータがシフトします。

16 ビット転送時には、入力データが SDRU より取り込まれることを除けば、8 ビット転送時と同様の動作となります。

SDRL のリード/ライトは、データの送信/受信が完了してから行う必要があります。データの送信/受信中にリード/ライトを行うとデータの内容は保証されません。

SDRL のリセット時の値は不定です。

10.2.3 動作説明

送信 / 受信フォーマットは 8 ビットおよび 16 ビットの転送データを選択可能です。クロックソースは、内部クロックと外部クロックを選択できます。外部クロック使用時はオーバーランエラーの検出ができます。

(1) クロック

転送クロックは、8 種類の内部クロックと外部クロックから選択できます。内部クロックを選択した場合は、SCK₁ 端子はクロック出力端子となります。クロック連続出力モード (SCR1 の SNC1、SNC0 を "10") に設定すると CKS2 ~ CKS0 で選択したクロック ($f_{1024} \sim f_2$) を SCK₁ 端子から連続して出力します。外部クロックを選択した場合は、SCK₁ 端子はクロック入力端子となります。

(2) データ転送フォーマット

SCI1 の転送フォーマットを図 10.2 に示します。データの最下位ビットから送受信される LSB ファースト方式による転送を行います。送信データは転送クロックの立下がりから次の立下がりまで出力されます。また、受信データは転送クロックの立上がりで取り込まれます。

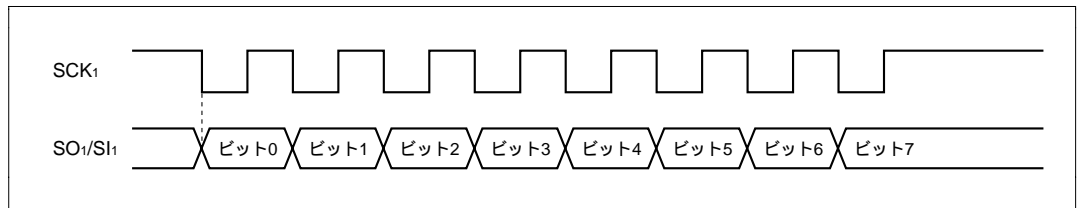


図 10.2 転送フォーマット

(3) データの転送動作

(a) 送信動作

送信動作は次のように行われます。

- (1) PMR3 の SO1 を "1"、SCK1 を "1" としてそれぞれ SO₁ 端子、SCK₁ 端子に設定します。
また、必要に応じて、PMR2 の POF1 により、SO₁ 端子を NMOS オープンドレイン出力とします。
- (2) SCR1 の SNC1 を "0" とし、SNC0 を "0" または "1" として 8 ビットクロック同期方式か 16 ビットクロック同期方式に設定し、CKS3 ~ CKS0 で転送クロックを選択します。SCR1 ヘデータの書込みを行うと SCI1 の内部状態はイニシャライズされます。
- (3) SDRL、SDRU に転送データを書き込みます。
8 ビット転送モード : SDRL
16 ビット転送モード : 上位バイト SDRU、下位バイト SDRL

- (4) SCSR1 の STF を "1" にすると、SCI1 は動作を開始し、SO₁ 端子から送信データが出力されます。
- (5) 送信完了後、IRR1 の IRRS1 が "1" にセットされます。

内部クロックを使用する場合は、送信データの出力と同時に SCK₁ 端子から同期クロックが出力されます。送信が終了すると、次にスタートフラグを "1" にセットするまで同期クロックは出力されません。この間、SO₁ 端子は直前のデータの最終ビットの値を出力し続けます。

外部クロックを使用する場合には、SCK₁ 端子から入力されるクロックに同期してデータを送信します。送信終了後、引き続き同期クロックが入力されると、送信動作は行われず、オーバラン状態であるとして、SCSR1 の ORER が "1" にセットされます。

送信停止中の SO₁ 端子の出力値は、SCSR1 の SOL により変更することができます。

(b) 受信動作

受信動作は次のように行われます。

- (1) PMR3 の SI1 を "1"、SCK1 を "1" としてそれぞれ SI₁ 端子、SCK₁ 端子に設定します。
- (2) SCR1 の SNC1 を "0" とし、SNC0 を "0" または "1" として 8 ビットクロック同期方式か 16 ビットクロック同期方式に設定し、CKS3 ~ CKS0 で転送クロックを選択します。SCR1 へのデータの書込みを行うと SC11 の内部状態はイニシャライズされます。
- (3) SCSR1 の STF を "1" にすると、SCI₁ は動作を開始し、SI₁ 端子から受信データを取り込みます。
- (4) 受信完了後、IRR1 の IRRS1 が "1" にセットされます。
- (5) SDRL、SDRU から受信データを読み出します。
 - 8 ビット転送モード：SDRL
 - 16 ビット転送モード：上位バイト SDRU、下位バイト SDRL
- (6) 受信終了後、引き続き同期クロックが入力されると、受信動作は行われず、オーバラン状態であるとして、SCSR1 の ORER が "1" にセットされます。

(c) 同時送受信動作

同時送受信動作は次のように行われます。

- (1) PMR3 の SO1 を "1"、SI1 を "1"、SCK1 を "1" としてそれぞれ SO₁ 端子、SI₁ 端子、SCK₁ 端子に設定します。また、必要に応じて PMR2 の POF1 により、SO₁ 端子を NMOS オープンドレイン出力とします。
- (2) SCR1 の SNC1 を "0" とし、SNC0 を "0" または "1" として 8 ビットクロック同期方式 16 ビットクロック同期方式に設定し、CKS3 ~ CKS0 で転送クロックを選択します。SCR1 へのデータの書込みを行うと SC11 の内部状態はイニシャライズされます。
- (3) SDRL、SDRU に転送データを書き込みます。
 - 8 ビット転送モード：SDRL

16ビット転送モード：上位バイト SDRU、下位バイト SDRL

(4) SCSR1 の STF を "1" にすると、SCI1 は動作を開始し、SO₁ 端子から送信データが出力され、また SI₁ 端子から受信データが入力されます。

(5) 送受信完了後、IRR1 の IRRS1 が "1" にセットされます。

(6) SDRL、SDRU から受信データを読み出します。

8ビット転送モード：SDRL

16ビット転送モード：上位バイト SDRU、下位バイト SDRL

内部クロックを使用する場合は、送信データの出力と同時に SCK₁ 端子から同期クロックが出力されます。送信が終了すると、次にスタートフラグを "1" にセットするまで同期クロックは出力されません。この間、SO₁ 端子は直前のデータの最終ビットの値を出力し続けます。

外部クロックを使用する場合には、SCK₁ 端子から入力されるクロックに同期してデータを送受信します。送受信終了後、引き続き同期クロックが入力されると、送受信動作は行われず、オーバラン状態であるとして、SCSR1 の ORER が "1" にセットされます。

送信停止中の SO₁ 端子の出力値は、SCSR1 の SOL により変更することができます。

10.2.4 割込み要因

SCI1 の割込み要因には、転送完了があります。

SCI1 が、転送完了すると、IRR1 の IRRS1 が "1" にセットされます。SCI1 の割込み要求は、IENR1 の IENS1 により許可 / 禁止を選択できます。

詳細は、「3.3 割込み」を参照してください。

10.2.5 使用上の注意事項

SCK₁ 端子を入力に設定し、クロックソースとして外部クロックを選択して使用する場合、SCSR1 の STF に "1" をライトして転送動作を開始する前に外部クロックを入力しないでください。

10.3 SCI2

10.3.1 概要

SCI2 (シリアルコミュニケーションインタフェース2) は、32 バイトのデータバッファをもち、1 回の操作で 32 バイト分のクロック同期式シリアル転送を行います。

(1) 特長

SCI2 の特長を以下に示します。

32 バイトのデータを自動的に転送可能

クロックソースとして 7 種類の内部クロック (/256、 /64、 /32、 /16、 /8、 /4、 /2) と外部クロックが選択可能

転送の完了、またはエラーで割込みを発生

1 バイトごとに転送データ間隔の設定が可能

1 バイトごとに転送データ間隔を空けることができます。間隔は内部クロック周期の 56 倍、24 倍、 8 倍を選択可能です。

チップセレクト入力で転送開始の制御が可能

1 バイト転送ごとにストロークパルスを出力

(2) ブロック図

SCI2 のブロック図を図 10.3 に示します。

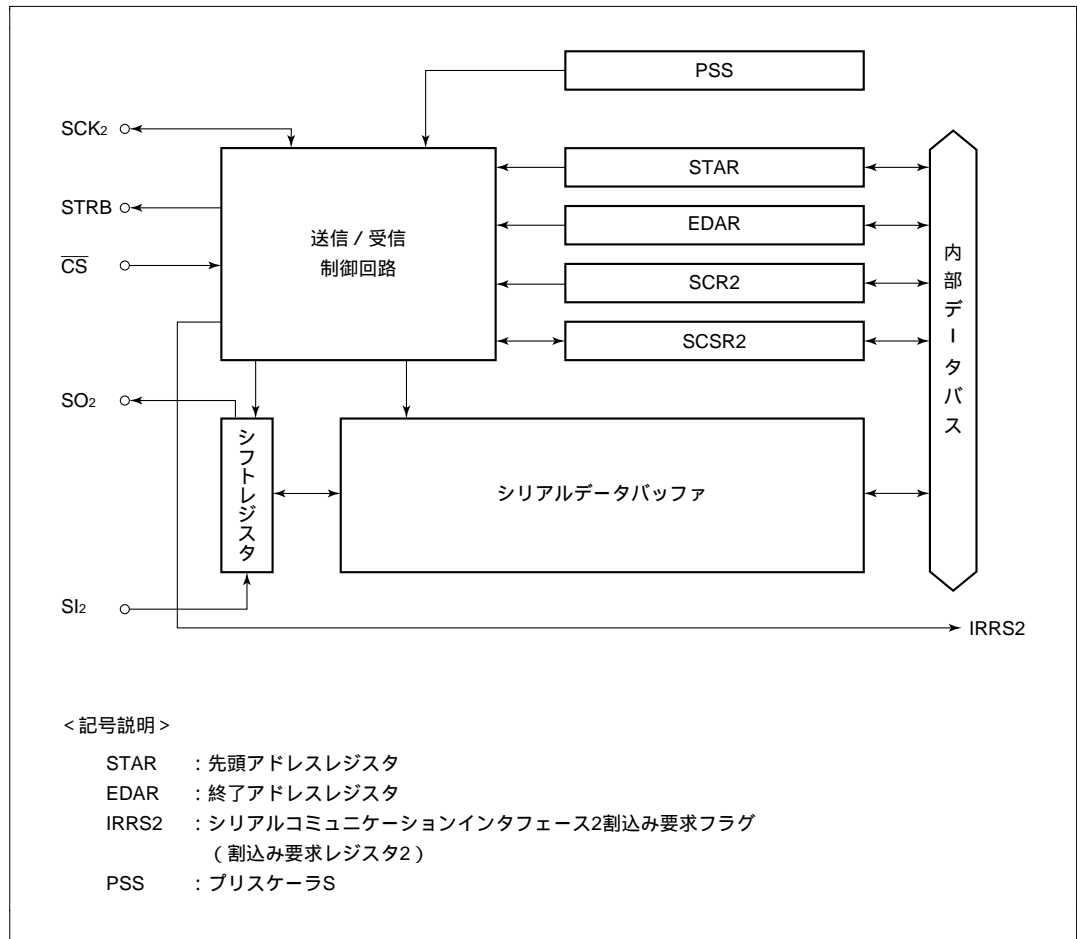


図 10.3 SCI2 のブロック図

(3) 端子構成

SCI2 の端子構成を表 10.4 に示します。

表 10.4 端子構成

名称	略称	入出力	機能
SCI2 クロック	SCK ₂	入出力	SCI2 のクロック入出力端子
SCI2 データ入力	SI ₂	入力	SCI2 の受信データ入力端子
SCI2 データ出力	SO ₂	出力	SCI2 の送信データ出力端子
SCI2 ストローブ	STRB	出力	SCI2 のストローブ信号出力端子
SCI2 チップセレクト	\overline{CS}	入力	SCI2 のチップセレクト信号入力端子

(4) レジスタ構成

SCI2 のレジスタ構成を表 10.5 に示します。

表 10.5 レジスタ構成

名称	略称	R/W	初期値	アドレス
先頭アドレスレジスタ	STAR	R/W	H'E0	H'FFA4
終了アドレスレジスタ	EDAR	R/W	H'E0	H'FFA5
シリアルコントロールレジスタ 2	SCR2	R/W	H'E0	H'FFA6
シリアルコントロールステータスレジスタ 2	SCSR2	R/W	H'E0	H'FFA7
シリアルデータバッファ (32 バイト)		R/W	不定	H'FF80 ~ H'FF9F

10.3.2 各レジスタの説明

(1) 先頭アドレスレジスタ (STAR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	STA4	STA3	STA2	STA1	STA0
初期値:	1	1	1	0	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

STAR は、8 ビットのリード/ライト可能なレジスタで、32 バイトデータバッファが割り付けられているアドレス空間 (H'FF80 ~ H'FF9F) 中の転送開始アドレスを指定します。STAR の下位 5 ビットが、32 バイトバッファのアドレスの下位 5 ビットに対応しています。STAR と EDAR で、データの連続転送を行う範囲を指定します。STAR と EDAR の値が等しいときは 1 バイトのみ転送を行います。

STAR のビット 7~5 はリザーブビットであり、ライトは無効です。各ビットはリードすると常に "1" が読み出されます。

リセット時、STAR は H'E0 にイニシャライズされます。

(2) 終了アドレスレジスタ (EDAR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	EDA4	EDA3	EDA2	EDA1	EDA0
初期値:	1	1	1	0	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

EDAR は、8 ビットのリード/ライト可能なレジスタで、32 バイトデータバッファが割り付けられているアドレス空間 (H'FF80 ~ H'FF9F) 中の転送終了アドレスを指定します。EDAR の下位 5 ビットが、32 バイトバッファのアドレスの下位 5 ビットに対応しています。EDAR と STAR で、データの連続転送を行う範囲を指定します。STAR と EDAR の値が等しいときは 1 バイトのみ転送を行います。

EDAR のビット 7~5 はリザーブビットであり、ライトは無効です。各ビットはリードすると常に "1" が読み出されます。

リセット時、EDAR は H'E0 にイニシャライズされます。

(3) シリアルコントロールレジスタ 2 (SCR2)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	GAP1	GAP0	CKS2	CKS1	CKS0
初期値:	1	1	1	0	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

SCR2は、8ビットのリード/ライト可能なレジスタで、SCI2の内部クロック使用時の転送データ間隔と転送クロックを選択します。

リセット時、SCR2はH'E0にイニシャライズされます。

ビット7~5: リザーブビット

リザーブビットです。各ビットはリードすると常に"1"が読み出されます。ライトは無効です。

ビット4、3: 転送データ間隔選択1、0 (GAP1、GAP0)

内部クロックを使用する場合、1バイトごとにデータ間隔を空けることができます。そのとき、SCK₂端子は"High"レベルを保持します。転送データ間隔なしの場合は、STRB信号は"Low"レベルを保持します。

ビット4	ビット3	説明
GAP1	GAP0	
0	0	転送データ間隔なし (初期値)
0	1	データ間隔: 8クロック分
1	0	データ間隔: 24クロック分
1	1	データ間隔: 56クロック分

ビット2~0: 転送クロック選択2~0 (CKS2~CKS0)

転送クロックを選択します。

ビット2	ビット1	ビット0	SCK ₂ 端子	クロックソース	プリスケアラ分周比	転送クロック周期	
						= 5MHz	= 2.5MHz
0	0	0	SCK ₂ 出力	プリスケアラ S	/256 (初期値)	51.2μs	102.4μs
0	0	1			/64	12.8μs	25.6μs
0	1	0			/32	6.4μs	12.8μs
0	1	1			/16	3.2μs	6.4μs
1	0	0			/8	1.6μs	3.2μs
1	0	1			/4	0.8μs	1.6μs
1	1	0			/2		0.8μs
1	1	1	SCK ₂ 入力	外部クロック			

(4) シリアルコントロールステータスレジスタ 2 (SCSR2)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	SOL	ORER	WT	ABT	STF
初期値:	1	1	1	0	0	0	0	0
R/W :	—	—	—	R/W	R/(W)*	R/(W)*	R/(W)*	R/W

【注】* フラグをクリアするための"0"ライトのみ可能です。

SCSR2は、SCI2の動作状態、エラー状態などを示す8ビットのレジスタです。

リセット時、SCSR2はH'E0にイニシャライズされます。

ビット7~5: リザーブビット

リザーブビットです。各ビットはリードすると常に"1"が読み出されます。ライトは無効です。

ビット4: 拡張データビット (SOL)

SOLはSO₂端子の出力レベルを変更します。また、リードするとSO₂端子に出力している送信データが読み出されます。送信完了後のSO₂端子の出力は、送信データの最終ビットの値を保持しますが、送信前または送信後に本ビットを操作して、SO₂端子の出力レベルを変更することができます。ただし、次の送信が開始するとSOLビットの設定は無効となります。したがって送信完了後のSO₁端子の出力レベルを変更する場合には送信終了ごとにSOLビットに対するライト操作を行ってください。なお、データ転送中にSTFを"0"にクリアして強制終了した場合には、ライトしたタイミングで送信データが変更されますので注意してください。

ビット4	説明	
SOL		
0	リード時	SO ₂ 端子出力が"Low"レベル (初期値)
	ライト時	SO ₂ 端子出力を"Low"レベルに変更
1	リード時	SO ₂ 端子出力が"High"レベル
	ライト時	SO ₂ 端子出力を"High"レベルに変更

ビット3: オーバランエラーフラグ (ORER)

ORERは外部クロック使用時、オーバランエラーが発生したことを示します。転送中に外来雑音などにより正規の転送クロックに余分なパルスが重ね合わされた場合、転送データは保証できません。転送完了後もクロックが入力された場合、オーバラン状態であるとして、本ビットが"1"にセットされます。ただし、CS端子が"High"レベルのときはオーバランの検出を行いません。

ビット3	
ORER	説明
0	〔クリア条件〕 (初期値) "1"をリード後、"0"をライトしたとき
1	〔セット条件〕 外部クロック使用時、転送完了後もクロックが入力されたとき

ビット2：ウェイトフラグ (WT)

WT は転送中と \overline{CS} 入力待機中に、シリアルデータバッファ (32 バイト) へのリード/ライトが行われたことを示します。なお、そのときの命令は無視され、本ビットが"1"にセットされます。

ビット2	
WT	説明
0	〔クリア条件〕 (初期値) "1"をリード後、"0"をライトしたとき
1	〔セット条件〕 転送中と \overline{CS} 入力待機中にシリアルデータバッファ (32 バイト) へのリード/ライトが行われたとき

ビット1：アボートフラグ (ABT)

ABT は転送中に \overline{CS} 端子が"High"レベルになったことを示します。 \overline{CS} 入力に設定されている状態で、転送中に \overline{CS} 端子の"High"レベルを検出すると、転送は直ちに中止され、本ビットが"1"にセットされます。同時に、IRR2 の IRRS2 が"1"にセットされ、SCK₂ 端子と SO₂ 端子はハイインピーダンス状態になります。このとき、SCSR2 以外の内部レジスタおよびシリアルデータバッファ (32 バイト) の値は保持されます。

本ビットが"1"にセットされた状態では転送は行えません。"0"にクリアした後、転送を再開してください。

ビット1	
ABT	説明
0	〔クリア条件〕 (初期値) "1"をリード後、"0"をライトしたとき
1	〔セット条件〕 転送中に \overline{CS} 端子が"High"レベルになったとき

ビット0：スタートフラグ（STF）

STFは、転送動作の開始を制御します。本ビットに"1"をセットすると、PMR2のCSが"0"の場合、SCI2の転送動作を開始します。PMR2のCSが"1"の場合、 \overline{CS} 端子の"Low"レベルを検出して転送を開始します。本ビットは、転送中と \overline{CS} 入力待機中は"1"を保持し、転送終了後および \overline{CS} 端子による転送中止時に"0"にクリアされます。このため、ビジーフラグとして使用できます。転送中に本ビットを"0"にクリアすると、転送は途中で打ち切られます。このとき、SCSR2以外の内部レジスタおよびシリアルデータバッファ（32バイト）の内容は保持されます。

ビット0	説明	
STF		
0	リード時	転送動作は停止（初期値）
	ライト時	転送動作を中止
1	リード時	転送動作中、または \overline{CS} 入力待機中
	ライト時	転送動作を開始

10.3.3 動作説明

SCI2 は、32 バイトのシリアルデータバッファをもち、最大 32 バイトのデータを 1 回の操作でクロックパルスに同期させて連続転送することができます。レジスタの設定により送信 / 受信 / 同時送受信の選択が可能です。送信を設定した場合、転送終了後もシリアルデータバッファの値は保持されます。

転送クロックとして、内部クロックと外部クロックが選択できます。内部クロック選択時は、1 バイトごとに転送データ間隔を空けることができます。また、STRB 端子からストロブ信号を出力することができます。外部クロック選択時は、オーバランフラグによりクロックによる誤動作を検出することができます。

\overline{CS} 入力により、転送開始と強制停止の制御をすることができます。強制停止はアポートフラグにより検出します。

(1) クロック

転送クロックは、6 種類の内部クロックと外部クロックから選択できます。内部クロックを選択した場合は、SCK₂ 端子はクロック出力端子となります。

(2) データ転送フォーマット

SCI2 の転送フォーマットを図 10.4、図 10.5 に示します。

データの最下位ビットから送受信される LSB ファースト方式による転送を行います。送信データは転送クロックの立下がりから次の立下がりまで出力されます。また、受信データは転送クロックの立上がりで取り込まれます。

転送クロックに内部クロックを選択した場合、図 10.5 に示すように、1 バイトごとに転送データ間隔を空けることができます。転送データ間では、SCK₂ 出力は "High" レベルを保持します。また、STRB 端子からストロブ信号を出力することができます。

転送データ間隔の選択は SCR2 の GAP1、GAP0 で設定します。

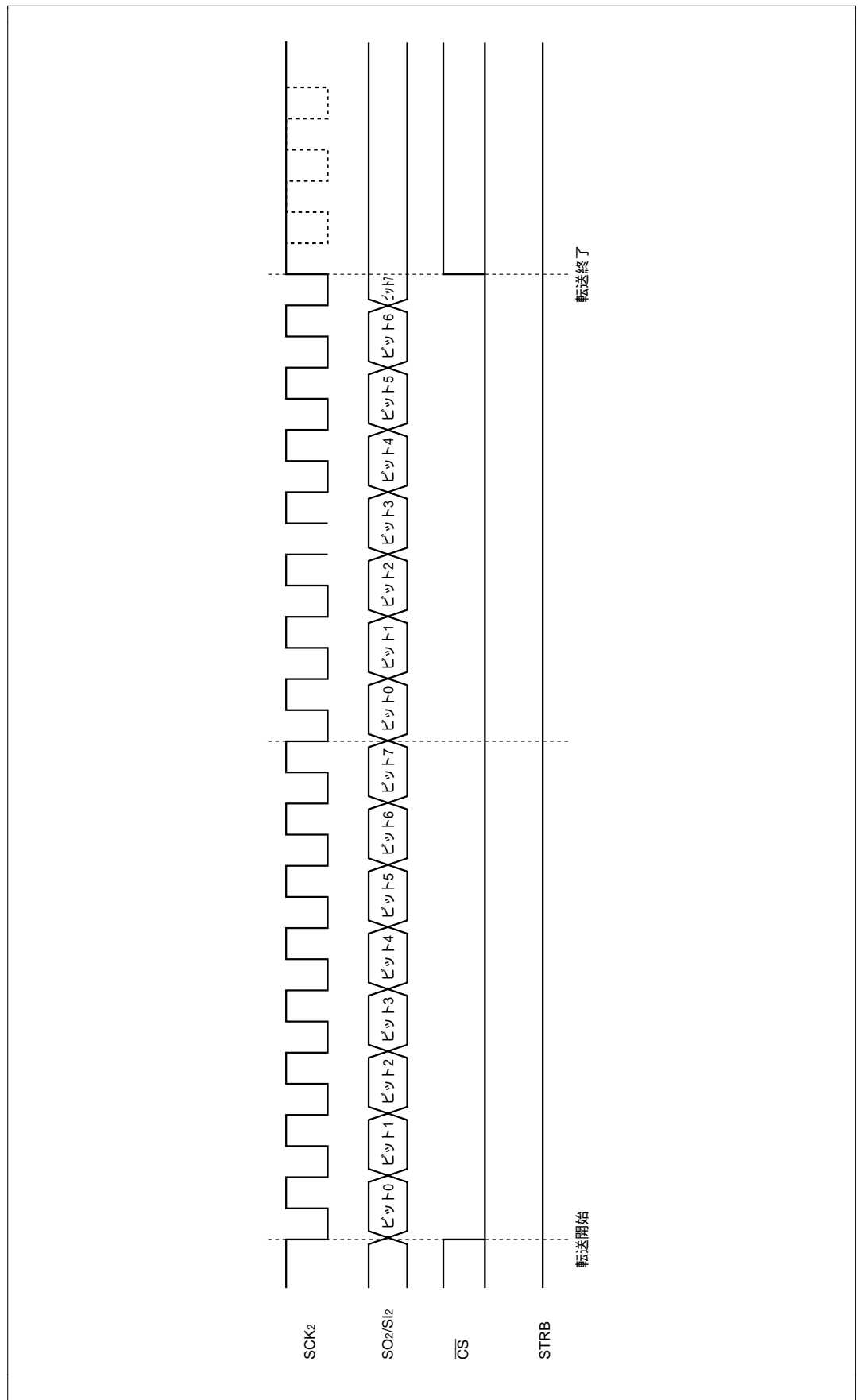


図 10.4 転送フォーマット (転送データ間隔なし)

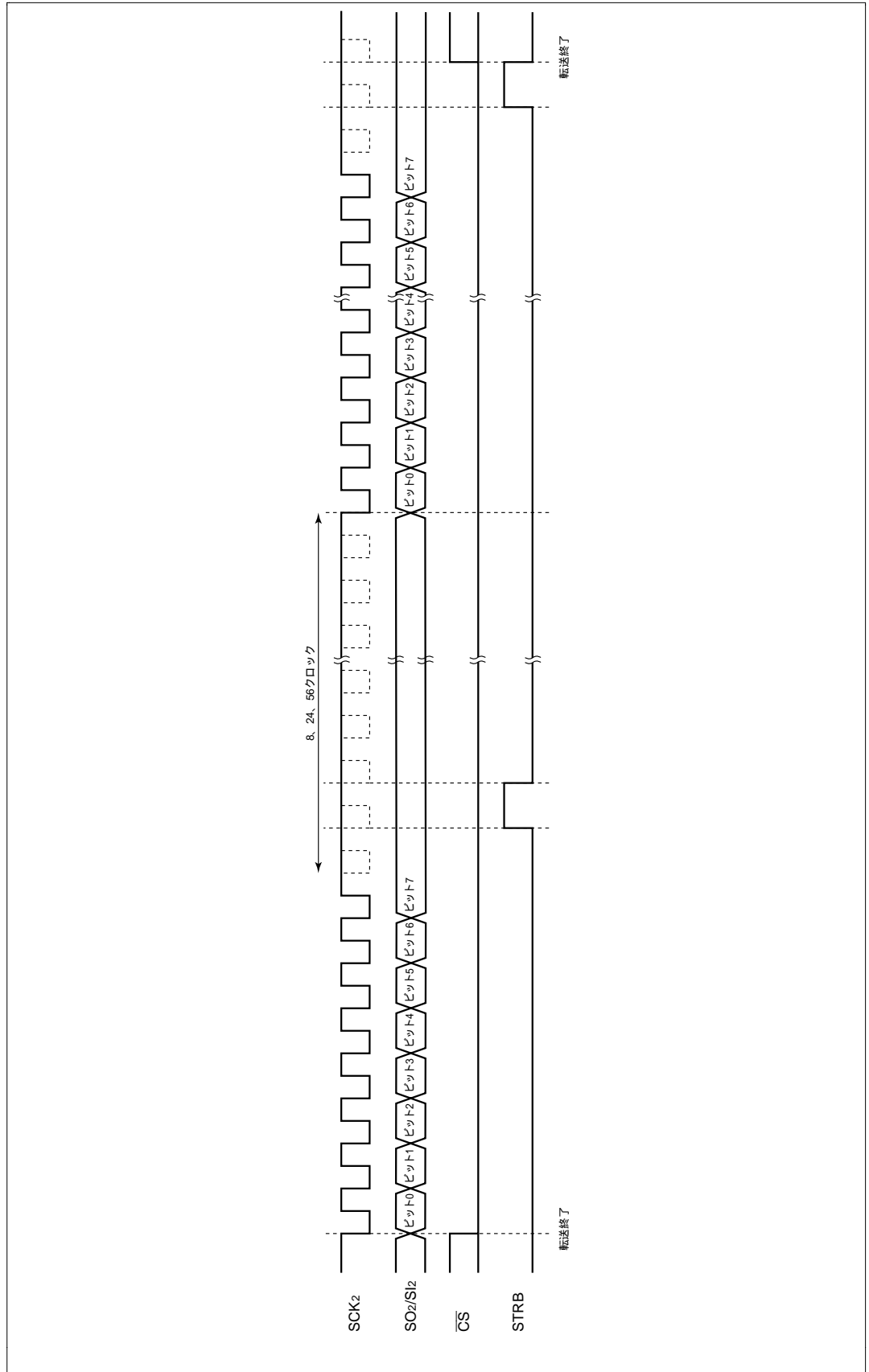


図 10.5 転送フォーマット (転送データ間隔あり)

(3) データの転送動作

(a) SCI2のイニシャライズ

データの転送を行うには、まず SCI2 をソフトウェアによってイニシャライズします。イニシャライズは次のように行われます。

- (1) SCSR2の STF が"0"の状態、PMR2、PMR3、STAR、EDAR、および SCR2 により、端子、転送モードを設定します。
- (2) SCI2 の端子はポートと兼用しています。ポートとの切換えは PMR3 で行います。SO₂ 端子は PMR2 で CMOS 出力と NMOS オープンドレイン出力の選択ができます。転送クロックと転送データ間隔は SCR2 で設定します。
- (3) 転送データ領域の先頭アドレスと終了アドレスは、STAR と EDAR で設定します。終了アドレスが先頭アドレスより小さい値の場合、図 10.6 に示すように、H'FF9F 番地のデータを転送後、H'FF80 番地にもどり、終了アドレスまで転送を行います。先頭アドレスと終了アドレスが等しい場合は、1 バイトの転送を行います。

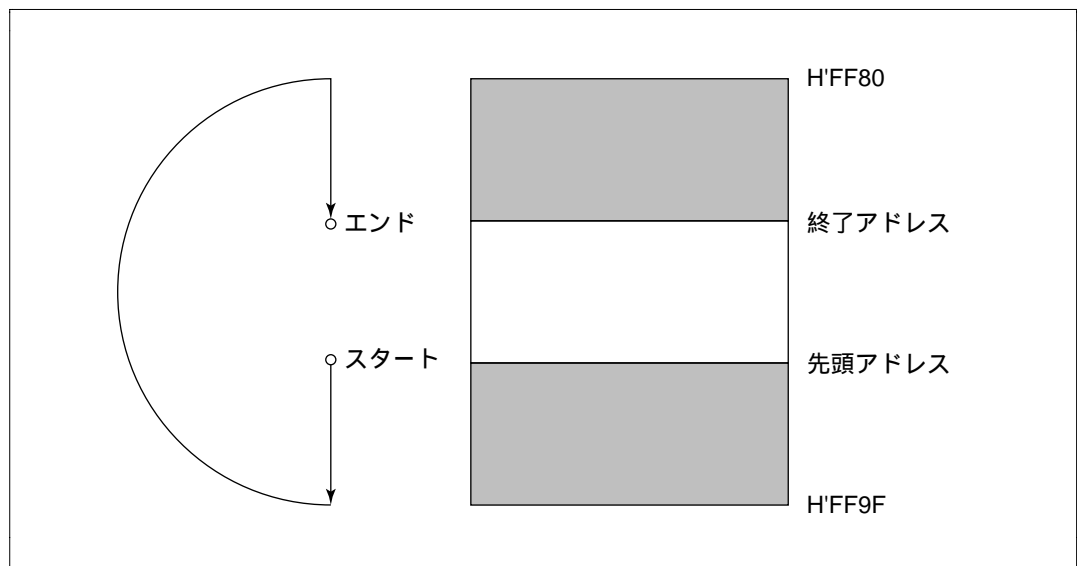


図 10.6 終了アドレスが先頭アドレスより小さい値の場合

(b) 送信動作

送信動作は次のように行われます。

- (1) PMR3 の SO₂ を "1"、SCK₂ を "1" として、それぞれ SO₂ 端子、SCK₂ 端子に設定します。
また、必要に応じて、PMR2 の POF₂ により SO₂ 端子のオープンドレイン出力を、PMR3 の CS、STRB によりそれぞれ $\overline{\text{CS}}$ 端子、STRB 端子に設定します。
- (2) SCR2 により転送クロックおよび転送データ間隔（内部クロック動作時のみ）を設定します。
- (3) シリアルデータバッファに送信するデータを書込みます。送信動作では送信後もデータバッファの内容は保持されています。同じデータを再送信する場合はデータを書き込む必要はありません。
- (4) STAR に送信開始アドレスの下位 5 ビット、EDAR に送信終了アドレスの下位 5 ビットを設定します。
- (5) STF を "1" にセットします。PMR3 の CS が "0" の場合、STF のセットにより送信が開始されます。PMR3 の CS が "1" の場合、 $\overline{\text{CS}}$ 端子の "Low" レベルを検出すると送信が開始されます。
- (6) 送信完了後、IRR2 の IRRS₂ が "1" にセットされます。また、STF は "0" にクリアされません。

内部クロックを選択した場合は、送信を開始すると SCK₂ 端子から同期クロックが出力されます。送信が終了すると、次回の STF のセットまで同期クロックは出力されません。この間、SO₂ 端子は直前のデータの最終ビットの値を出力し続けます。

外部クロックを選択した場合には、SCK₂ 端子から入力されるクロックに同期してデータを送信します。送信終了後、引き続き同期クロックが入力されると、送信動作は行われず、オーバラン状態であるとして、SCSR2 の ORER が "1" にセットされます。SO₂ 端子は直前のデータの最終ビットの値を保持し続けます。ただし、PMR3 の CS が "1" の場合、 $\overline{\text{CS}}$ 端子が "High" レベルのときはオーバランの検出を行いません。

送信停止中の SO₂ 端子の出力値は、SCSR2 の SOL により変更することができます。

送信中と $\overline{\text{CS}}$ 入力待機中に、CPU からデータバッファをリード/ライトすることはできません。

リード命令を実行すると HFF が読み出されます。ライト命令を実行してもバッファは変化しません。

送信中と $\overline{\text{CS}}$ 入力待機中にリード/ライト命令を実行すると SCSR2 の WT がセットされます。

PMR3 の CS が "1" の場合、転送中に $\overline{\text{CS}}$ 端子の "High" レベルを検出すると、転送はただちに中止され、ABT が "1" にセットされます。同時に IRR2 の IRRS₂ が "1" にセットされ、STF は "0" にクリアされます。また、SCK₂ 端子と SO₂ 端子はハイインピーダンス状態になります。したがって、ABT が "1" にセットされた状態では転送は行えませんが "0" にクリアし

た後、転送を再開してください。

(c) 受信動作

受信動作は次のように行われます。

- (1) PMR3 の SI₂ を "1"、SCK₂ を "1" として、それぞれ SI₂ 端子、SCK₂ 端子に設定します。
また、必要に応じて PMR3 の CS により、 \overline{CS} 端子に設定します。
- (2) SCR2 により転送クロックおよび転送データ間隔（内部クロック動作時のみ）を設定します。
- (3) STAR に受信開始アドレスの下位 5 ビット、EDAR に受信終了アドレスの下位 5 ビットを設定します。これにより、シリアルデータバッファ内に受信データを格納する領域が決定されます。
- (4) STF を "1" にセットします。PMR3 の CS が "0" の場合、STF のセットにより受信が開始されます。PMR3 の CS が "1" の場合、 \overline{CS} 端子の "Low" レベルを検出すると受信が開始されます。
- (5) 受信完了後、IRR2 の IRRS2 が "1" にセットされます。また、STF は "0" にクリアされます。
- (6) シリアルデータバッファから格納された受信データを読み出します。

内部クロックソースを選択した場合は、受信を開始すると SCK₂ 端子から同期クロックが出力されます。受信が終了すると次回の STF のセットまで同期クロックは出力されません。外部クロックソースを選択した場合には、SCK₂ 端子から入力されるクロックに同期してデータを受信します。受信終了後、引き続き同期クロックが入力されると、受信動作は行われず、オーバラン状態であるとして、SCSR2 の ORER が "1" にセットされます。ただし、PMR3 の CS が "1" の場合、 \overline{CS} 端子が "High" レベルのときはオーバランの検出を行いません。

受信中と \overline{CS} 入力待機中に、CPU からデータバッファをリード/ライトすることはできません。リード命令を実行すると HFF が読み出されます。ライト命令を実行してもバッファは変化しません。

受信中と \overline{CS} 入力待機中にリード/ライト命令を実行すると SCSR2 の WT がセットされます。

PMR3 の CS が "1" の場合、転送中に \overline{CS} 端子の "High" レベルを検出すると、転送は直ちに中止され、ABT が "1" にセットされます。同時に IRR2 の IRRS2 が "1" にセットされ、STF は "0" にクリアされます。また、SCK₂ 端子と SO₂ 端子はハイインピーダンス状態になります。したがって、ABT が "1" にセットされた状態では転送は行えませんが "0" にクリアした後、転送を再開してください。

(d) 同時送受信動作

同時送受信動作は次のように行われます。

- (1) PMR3 の SI2 を "1"、SO2 を "1"、SCK2 を "1" として、それぞれ SI₂ 端子、SO₂ 端子、SCK₂ 端子に設定します。
また、必要に応じて、PMR2 の POF2 により SO₂ 端子のオープンドレイン出力を、CS、STRB によりそれぞれ \overline{CS} 端子、STRB 端子に設定します。
- (2) SCR2 により転送クロックおよび転送データ間隔（内部クロック動作時のみ）を設定します。
- (3) シリアルデータバッファに送信するデータを書き込みます。同時送受信動作では、受信データは送信データと入れ代わりに同じアドレスに格納されます。
- (4) STAR に転送開始アドレスの下位 5 ビット、EDAR に転送終了アドレスの下位 5 ビットを設定します。
- (5) STF を "1" にセットします。PMR3 の CS が "0" の場合、STF のセットにより転送が開始されます。PMR3 の CS が "1" の場合は、 \overline{CS} 端子の "Low" レベルを検出すると転送が開始されます。
- (6) 転送完了後、IRR2 の IRRS2 が "1" にセットされます。また、STF は "0" にクリアされます。
- (7) シリアルデータバッファから格納された受信データを読み出します。

内部クロックを選択した場合は、送信を開始すると SCK₂ 端子から同期クロックが出力されます。転送が終了すると次回の STF のセットまで同期クロックは出力されません。この間、SO₂ 端子は直前のデータの最終ビットの値を出力し続けます。

外部クロックを選択した場合には、SCK₂ 端子から入力されるクロックに同期してデータを転送します。転送終了後、引き続き同期クロックが入力されると、転送動作は行われず、オーバラン状態であるとして、SCSR2 の ORER が "1" にセットされます。SO₂ 端子は直前のデータの最終ビットの値を保持し続けます。ただし PMR3 の CS が "1" の場合、 \overline{CS} 端子が "High" レベルのときはオーバランの検出を行いません。

転送停止中の SO₂ 端子の出力値は、SCSR2 の SOL により変更することができます。転送中と \overline{CS} 入力待機中に、CPU からデータバッファをリード/ライトすることはできません。リード命令を実行すると HFF が読み出されます。ライト命令を実行してもバッファは変化しません。転送中と \overline{CS} 入力待機中にリード/ライト命令を実行すると SCSR2 の WT がセットされます。

PMR3 の CS が "1" の場合、転送中に \overline{CS} 端子の "High" レベルを検出すると、転送はただちに中止され、ABT が "1" にセットされます。同時に IRR2 の IRRS2 が "1" にセットされ、STF は "0" にクリアされます。また、SCK₂ 端子と SO₂ 端子はハイインピーダンス状態になります。したがって、ABT が "1" にセットされた状態では転送は行えませんが "0" にクリアした後、転送を再開してください。

10.3.4 割込み要因

SCI2 の割込み要因は、転送完了と \overline{CS} 端子による転送中断であり、共通のベクタアドレスが割り付けられています。

SCI2 に上記の条件が発生すると、IRR2 の IRRS2 が "1" にセットされます。SCI2 の割込み要求は、IENR2 の IENS2 により許可 / 禁止を指定できます。

詳細は、「3.3 割込み」を参照してください。

また、 \overline{CS} 端子による転送中断、オーバランエラー、転送中と \overline{CS} 入力待機中のシリアルデータバッファのリード / ライトでは SCSR2 の ABT、ORER、WT が各々 "1" にセットされます。これらのビットによりエラー要因の判別ができます。

10.3.5 使用上の注意事項

SCK₂ 端子を入力に設定し、クロックソースとして外部クロックを選択して使用する場合、SCSR2 の STF に "1" をライトして転送動作を開始する前に外部クロックを入力しないでください。

10.4 SCI3

10.4.1 概要

SCI3 (シリアルコミュニケーションインタフェース3) は、調歩同期式とクロック同期式の2方式のシリアルデータ通信を行います。また、複数のプロセッサ間のシリアルデータ通信機能 (マルチプロセッサ通信機能) を備えています。

(1) 特長

SCI3 の特長を以下に示します。

シリアルデータ通信モードを調歩同期式モードまたはクロック同期式モードから選択可能

- ・調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータ通信を行います。

Universal Asynchronous Receiver/Transmitter (UART) や、 Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。

また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

通信フォーマットを 12 種類のフォーマットから選択できます。

データ長	7 ビット / 8 ビット
ストップビット長	1 ビット / 2 ビット
パリティ	偶数パリティ / 奇数パリティ / パリティなし
マルチプロセッサビット	"1" / "0"
受信エラーの検出	パリティエラー、オーバランエラー、フレーミングエラー
ブレークの検出	フレーミングエラー発生時に RXD 端子のレベルを直接読み出すことでブレークを検出

- ・クロック同期式モード

クロックに同期してシリアルデータの通信を行います。クロック同期式通信機能をもつ他の LSI とのシリアルデータ通信が可能です。

データ長	8 ビット
受信エラーの検出	オーバランエラー

全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部および受信部ともにダブルバッファ構造になっていますので、連続送信・連続受信ができます。

内蔵のボーレートジェネレータで任意のビットレートを選択可能
 送受信クロックソースを内部クロック、または外部クロックから選択可能
 6種類の割り込み要因
 送信終了、送信データエンプティ、受信データフル、オーバランエラー、フレーミングエラー、パリティエラーの6種類の割り込み要因があります。

(2) ブロック図

SCI3のブロック図を図10.7に示します。

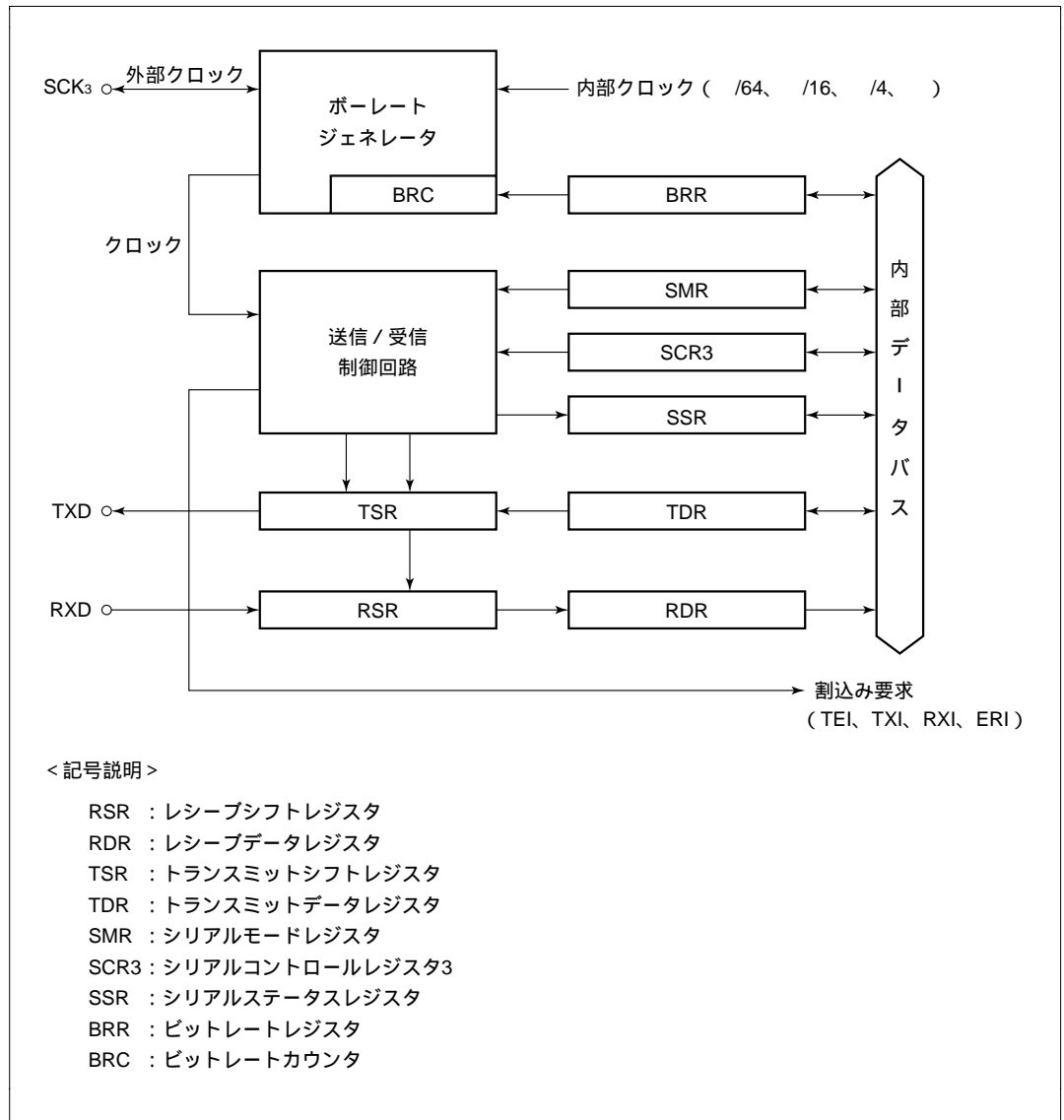


図 10.7 SCI3のブロック図

(3) 端子構成

SCI3 の端子構成を表 10.6 に示します。

表 10.6 端子構成

名称	略称	入出力	機能
SCI3 クロック	SCK ₃	入出力	SCI3 のクロック入出力端子
SCI3 レシーブデータ 入力	RXD	入力	SCI3 の受信データ入力端子
SCI3 トランスミット データ出力	TXD	出力	SCI3 の送信データ出力端子

(4) レジスタ構成

SCI3 のレジスタ構成を表 10.7 に示します。

表 10.7 レジスタ構成

名称	略称	R/W	初期値	アドレス
シリアルモードレジスタ	SMR	R/W	H'00	H'FFA8
ビットレートレジスタ	BRR	R/W	H'FF	H'FFA9
シリアルコントロールレジスタ 3	SCR3	R/W	H'00	H'FFAA
トランスミットデータレジスタ	TDR	R/W	H'FF	H'FFAB
シリアルステータスレジスタ	SSR	R/W	H'84	H'FFAC
レシーブデータレジスタ	RDR	R	H'00	H'FFAD
トランスミットシフトレジスタ	TSR	不可		
レシーブシフトレジスタ	RSR	不可		
ビットレートカウンタ	BRC	不可		

10.4.2 各レジスタの説明

(1) レシーブシフトレジスタ (RSR)

ビット:	7	6	5	4	3	2	1	0
R/W :	—	—	—	—	—	—	—	—

RSR は、シリアルデータを受信するためのレジスタです。RSR に RXD 端子から入力されたシリアルデータを、LSB (ビット 0) から受信した順にセットしパラレルデータに変換します。1 バイトのデータを受信すると、データは自動的に RDR へ転送されます。

CPU から RSR を直接リード/ライトすることはできません。

(2) レシーブデータレジスタ (RDR)

ビット:	7	6	5	4	3	2	1	0
	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

RDR は、受信したシリアルデータを格納する 8 ビットのレジスタです。

1 バイトのデータの受信が終了すると、受信したデータを RSR から RDR へ転送し、受信動作を完了します。その後、RSR は受信可能となります。

RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、受信専用レジスタですので CPU からライトできません。

RDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時に H'00 にイニシャライズされます。

(3) トランスミットシフトレジスタ (TSR)

ビット:	7	6	5	4	3	2	1	0
R/W :	—	—	—	—	—	—	—	—

TSR は、シリアルデータを送信するためのレジスタです。TDR から送信データをいったん TSR に転送し、LSB (ビット0) から順に TXD 端子に送出することでシリアルデータ送信を行います。1 バイトのデータを送信すると、自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし、TDR にデータが書き込まれていない (TDRE に"1"がセットされている) 場合には TDR から TSR へのデータ転送は行いません。

CPU から TSR を直接リード/ライトすることはできません。

(4) トランスミットデータレジスタ (TDR)

ビット:	7	6	5	4	3	2	1	0
	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TDR は、送信データを格納する 8 ビットのレジスタです。TSR の"空"を検出すると、TDR に書き込まれた送信データを TSR に転送し、シリアルデータ送信を開始します。TSR のシリアルデータ送信中に、TDR に次の送信データをライトしておくと、連続送信が可能です。

TDR は、常に CPU によるリード/ライトが可能です。

TDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時に H'FF にイニシャライズされます。

(5) シリアルモードレジスタ (SMR)

ビット:	7	6	5	4	3	2	1	0
	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMR は、シリアルデータ通信フォーマットの設定と、ポーレートジェネレータのクロックソースを選択するための8ビットのレジスタです。

SMR は、常にCPUによるリード/ライトが可能です。

SMR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時にH'00にイニシャライズされます。

ビット7: コミュニケーションモード (COM)

COM は、SCI3 を調歩同期式モードとクロック同期式モードのいずれで動作させるかを選択するビットです。

ビット7	説明
COM	
0	調歩同期式モード (初期値)
1	クロック同期式モード

ビット6: キャラクタレングス (CHR)

CHR は、調歩同期式モード時におけるデータ長を選択するビットです。7ビットデータと8ビットデータのいずれかを選択できます。クロック同期式モードでは、CHR の設定にかかわらず、データ長は8ビットに固定となります。

ビット6	説明
CHR	
0	8ビットデータ (初期値)
1	7ビットデータ*

【注】 * 7ビットデータを選択した場合、TDRのMSB(ビット7)は送信されません。

ビット5：パリティイネーブル（PE）

PE は、調歩同期式モードで、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択するビットです。クロック同期式モードではPE の設定にかかわらずパリティビットの付加およびチェックは行いません。

ビット5		
PE	説明	
0	パリティビットの付加およびチェックを禁止	（初期値）
1	パリティビットの付加およびチェックを許可*	

【注】 * PE に"1"をセットすると送信時には、PM で指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがPM で指定したパリティになっているかどうかをチェックします。

ビット4：パリティモード（PM）

PM は、パリティの付加やチェックを偶数パリティ、または奇数パリティのどちらかで行うかを選択するビットです。PM の設定は、調歩同期式モードでPE に"1"を設定し、パリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合にはPMは無効です。

ビット4		
PM	説明	
0	偶数パリティ* ¹	（初期値）
1	奇数パリティ* ²	

【注】 *¹ 偶数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の"1"の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の"1"の数の合計が偶数になるかどうかをチェックします。

*² 奇数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の"1"の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の"1"の数の合計が奇数になるかどうかをチェックします。

ビット3：ストップビットレングス（STOP）

STOP は、調歩同期式モードでのストップビットの長さを選択するビットです。1 ビットまたは 2 ビットのいずれかを選択できます。STOP の設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合にはストップビットは付加されませんので STOP は無効です。

ビット3	説明	
STOP		
0	1 ストップビット* ¹	(初期値)
1	2 ストップビット* ²	

【注】 *1 送信時には、送信キャラクタの最後尾に 1 ビットの"1"（ストップビット）を付加して送信します。

*2 送信時には、送信キャラクタの最後尾に 2 ビットの"1"（ストップビット）を付加して送信します。

なお、受信時には STOP の設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が"1"の場合はストップビットとして扱いますが、"0"の場合は次の送信キャラクタのスタートビットとして扱います。

ビット2：マルチプロセッサモード（MP）

MP は、マルチプロセッサ通信機能を許可するビットです。マルチプロセッサ通信機能を許可した場合、PE および PM におけるパリティの設定は無効になります。MP の設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合には MP を"0"にしてください。

マルチプロセッサ通信機能については「10.4.6 マルチプロセッサ通信機能」を参照してください。

ビット2	説明	
MP		
0	マルチプロセッサ通信機能を禁止	(初期値)
1	マルチプロセッサ通信機能を許可	

ビット1、0：クロックセレクト1、0（CKS1、CKS0）

CKS1、CKS0は、内蔵ボーレートジェネレータのクロックソースを選択するビットです。CKS1、CKS0の組合せによって、 $/64$ 、 $/16$ 、 $/4$ 、の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「（8）ビットレートレジスタ（BRR）」を参照してください。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	クロック (初期値)
0	1	$/4$ クロック
1	0	$/16$ クロック
1	1	$/64$ クロック

（6）シリアルコントロールレジスタ3（SCR3）

ビット：	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR3は、送信/受信動作、調歩同期式モードでのクロック出力、割込み要求の許可/禁止、および送信/受信クロックソースの選択を行う8ビットのレジスタです。

SCR3は、常にCPUによるリード/ライトが可能です。

SCR3は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時にH'00にイニシャライズされます。

ビット7：トランスミットインタラプトイネーブル（TIE）

TIEは、TDRからTSRへ送信データが転送され、SSRのTDREが"1"にセットされたとき、送信データエンpty割込み要求（TXI）の許可/禁止を選択するビットです。

TXIは、TDREを"0"にクリアするか、またはTIEを"0"にクリアすることで解除できます。

ビット7	説明
TIE	
0	送信データエンpty割込み要求（TXI）の禁止 (初期値)
1	送信データエンpty割込み要求（TXI）の許可

ビット6：レシーブインタラプトイネーブル（RIE）

RIEは、受信データがRSRからRDRへ転送され、SSRのRDRFが"1"にセットされたとき、受信データフル割込み要求（RXI）、および受信エラー割込み要求（ERI）の許可/禁止を選択するビットです。なお、受信エラーにはオーバーランエラー、フレーミングエラー、パリティエラーの3種類があります。

RXIおよびERIは、RDRFまたは、FER、PER、OERのエラーフラグを"0"にクリアするか、RIEを"0"にクリアすることで解除できます。

ビット6	
RIE	説明
0	受信データフル割込み要求（RXI）、および受信エラー割込み要求（ERI）を禁止 (初期値)
1	受信データフル割込み要求（RXI）、および受信エラー割込み要求（ERI）を許可

ビット5：トランスミットイネーブル（TE）

TEは、送信動作の開始の許可/禁止を選択するビットです。

ビット5	
TE	説明
0	送信動作を禁止*1（TXD端子は入出力ポート） (初期値)
1	送信動作を許可*2（TXD端子はトランスミットデータ端子）

【注】 *1 SSRのTDREは"1"に固定されます。

*2 この状態で、TDRに送信データをライトするとSSRのTDREが"0"にクリアされシリアルデータ送信を開始します。なお、TEを"1"にセットする前に必ずSMRの設定を行い、送信フォーマットを決定してください。

ビット4：レシーブイネーブル（RE）

REは、受信動作の開始の許可/禁止を選択するビットです。

ビット4	
RE	説明
0	受信動作を禁止*1（RXD端子は入出力ポート） (初期値)
1	受信動作を許可*2（RXD端子はレシーブデータ端子）

【注】 *1 REを"0"にクリアしてもSSRのRDRF、FER、PER、OERの各フラグは影響を受けず、状態を保持しますので注意してください。

*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を、それぞれ検出するとシリアルデータ受信を開始します。なお、REを"1"にセットする前に必ずSMRの設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル（MPIE）

MPIE は、マルチプロセッサ割込み要求の許可 / 禁止を選択するビットです。MPIE の設定は、調歩同期式モードで、かつ SMR の MP が "1" に設定されている受信時にのみ有効です。COM が "1" のときや MP が "0" のときには MPIE は無効です。

ビット3	
MPIE	説明
0	マルチプロセッサ割込み要求を禁止（通常の受信動作） [クリア条件] マルチプロセッサビットが "1" のデータを受信したとき (初期値)
1	マルチプロセッサ割込み要求を許可*

【注】 * RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、OER の各ステータスフラグのセットは行いません。マルチプロセッサビットが "1" のデータを受け取るまで、RXI、ERI、および、SSR の RDRF、FER、OER の各フラグのセットを禁止します。マルチプロセッサビットが "1" の受信キャラクタを受け取ると、SSR の MPBR を "1" にセットし、MPIE を自動的に "0" にクリアし、RXI、ERI の発生（SCR の TIE、RIE が "1" にセットされている場合）と RDRF、FER、OER のセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル（TEIE）

TEIE は、MSB データ送出時に有効な送信データが TDR がないとき、送信終了割込み要求（TEI）の許可 / 禁止を選択するビットです。

ビット2	
TEIE	説明
0	送信終了割込み要求（TEI）を禁止 (初期値)
1	送信終了割込み要求（TEI）を許可*

【注】 * TEI は、SSR の TDRE を "0" にクリアして TEND を "0" にクリアするか、TEIE を "0" にクリアすることで解除できます。

ビット1、0：クロックイネーブル1、0（CKE1、CKE0）

CKE1、CKE0 は、クロックソースの選択、および SCK₃ 端子からのクロックの出力の許可 / 禁止を選択するビットです。CKE1 と CKE0 の組合せによって SCK₃ 端子を入出力ポートにするか、クロック出力端子にするか、またはクロック入力端子にするかが決まります。

ただし、CKE0 の設定は調歩同期式モードで内部クロック動作時（CKE1 = "0"）のみ有効です。クロック同期式モードのとき、および外部クロック動作（CKE1 = "1"）の場合は CKE0 に "0" を設定してください。

また、CKE1、CKE0を設定した後にSMRで動作モードを決定してください。

クロックソースの選択についての詳細は「10.4.3 動作概要」の表10.9を参照してください。

ビット1	ビット0	説明		
CKE1	CKE0	コミュニケーションモード	クロックソース	SCK ₃ 端子機能
0	0	調歩同期式	内部クロック	入出力ポート*1
		クロック同期式	内部クロック	同期クロック出力*1
0	1	調歩同期式	内部クロック	クロック出力*2
		クロック同期式	リザーブ	
1	0	調歩同期式	外部クロック	クロック入力*3
		クロック同期式	外部クロック	同期クロック入力
1	1	調歩同期式	リザーブ	
		クロック同期式	リザーブ	

【注】 *1 初期値

*2 ビットレートと同じ周波数のクロックを出力します。

*3 ビットレートの16倍の周波数のクロックを入力してください。

(7) シリアルステータスレジスタ (SSR)

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするための"0"ライトのみ可能です。

SSRは、SCI3の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。

SSRは常に、CPUからリード/ライトできます。ただし、TDRE、RDRF、OER、PER、FERへ"1"をライトすることはできません。また、これらに"0"をライトしてクリアするためには、あらかじめ"1"をリードしておく必要があります。

また、TENDおよびMPBRはリード専用であり、ライトすることはできません。

SSRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時にH'84にイニシャライズされます。

ビット7：トランスミットデータレジスタエンプティ (TDRE)

TDRE は、TDR から TSR に送信データの転送が行われたことを示すビットです。

ビット7	
TDRE	説明
0	TDR にライトされた送信データが TSR に転送されていない [クリア条件] (1) TDRE = "1"の状態をリードした後、"0"をライトしたとき (2) 命令で TDR ヘデータをライトしたとき
1	TDR に送信データがライトされていない、または TDR にライトされた送信データが TSR に転送された [セット条件] (1) SCR3 の TE が"0"のとき (2) TDR から TSR にデータ転送が行われたとき (初期値)

ビット6：レシーブデータレジスタフル (RDRF)

RDRF は、受信したデータが RDR に格納されていることを示すビットです。

ビット6	
RDRF	説明
0	RDR に受信データが格納されていない (初期値) [クリア条件] (1) RDRF = "1"の状態をリードした後、"0"をライトしたとき (2) 命令で RDR のデータをリードしたとき
1	RDR に受信データが格納されている [セット条件] 受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 * 受信時にエラーを検出したとき、および SCR3 の RE を"0"にクリアしたときには、RDR および RDRF は影響を受けず以前の状態を保持します。RDRF が"1"にセットされたままデータの受信を完了するとオーバランエラー (OER) を発生し、受信データが失われますので注意してください。

ビット5：オーバランエラー（OER）

OER は、受信時にオーバランエラーが発生したことを示すビットです。

ビット5	
OER	説明
0	受信中、または受信を完了した* ¹ (初期値) [クリア条件] OER = "1"の状態をリードした後、"0"をライトしたとき
1	受信時にオーバランエラーが発生した* ² [セット条件] RDRF が"1"の状態を受信を完了したとき

【注】 *1 SCR3 の RE を"0"にクリアしたときには、OER は影響を受けず以前の状態を保持します。

*2 RDR では、オーバランエラーが発生する前の受信データが保持され、後から受信したデータが失われます。なお、OER が"1"にセットされた状態で、以降の受信を続けることはできません。クロック同期式モードでは送信も続けることができません。

ビット4：フレーミングエラー（FER）

FER は、調歩同期式モードで受信時にフレーミングエラーが発生したことを示すビットです。

ビット4	
FER	説明
0	受信中、または受信を完了した* ¹ (初期値) [クリア条件] FER = "1"の状態をリードした後、"0"をライトしたとき
1	受信時にフレーミングエラーが発生した [セット条件] 受信終了時に受信データの最後尾のストップビットが"1"であるかどうかをチェックし、ストップビットが"0"であったとき* ²

【注】 *1 SCR3 の RE を"0"にクリアしたときには、FER は影響を受けず以前の状態を保持します。

*2 2ストップビットモード時は、1ビット目のストップビットが"1"であるかどうかのみを判定し、2ビット目のストップビットはチェックをしませんので注意してください。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFはセットされません。さらに、FERが"1"にセットされた状態においては、以降の受信を続けることはできません。また、クロック同期式モードでは、FERが"1"にセットされていると送信および受信はできません。

ビット3：パリティエラー（PER）

PERは、調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生したことを示すビットです。

ビット3		
PER	説明	
0	受信中、または受信を完了した* ¹ [クリア条件] PER = "1"の状態をリードした後、"0"をライトしたとき	(初期値)
1	受信時にパリティエラーが発生した* ² [セット条件] 受信時に受信データとパリティビットをあわせた"1"の数がSMRのPMで設定したパリティと一致しなかったとき	

【注】 *1 SCR3のREを"0"にクリアしたときには、PERは影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFはセットされません。なお、PERが"1"にセットされた状態では、以降の受信を続けることはできません。また、クロック同期式モードでは、PERが"1"にセットされていると送信および受信はできません。

ビット2：トランスミットエンド（TEND）

TENDは、送信キャラクタの最後尾ビットを送信時に、TDREが"1"にセットされていたことを示すビットです。

TENDは、リード専用ですのでライトすることはできません。

ビット2		
TEND	説明	
0	送信中 [クリア条件] (1) TDRE = "1"の状態をリードした後、TDREに"0"をライトしたとき (2) 命令でTDRにデータをライトしたとき	
1	送信を終了 [セット条件] (1) SCR3のTEが"0"のとき (2) 送信キャラクタの最後尾ビットの送信時に、TDREが"1"であったとき	(初期値)

ビット1：マルチプロセッサビットレシーブ（MPBR）

MPBR は、調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信キャラクタ中のマルチプロセッサビットを格納するビットです。

リード専用ですのでライトすることはできません。

ビット1	
MPBR	説明
0	マルチプロセッサビットが"0"のデータを受信した* (初期値)
1	マルチプロセッサビットが"1"のデータを受信した

【注】 * マルチプロセッサフォーマットで SCR3 の RE を"0"にクリアしたときには、MPBR は影響を受けず、以前の状態を保持します。

ビット0：マルチプロセッサビットトランスファ（MPBT）

MPBT は、調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納するビットです。クロック同期式モードを選択しているときやマルチプロセッサ通信機能を禁止しているとき、あるいは送信でないときには MPBT は無効です。

ビット0	
MPBT	説明
0	マルチプロセッサビット"0"を送信 (初期値)
1	マルチプロセッサビット"1"を送信

(8) ビットレートレジスタ（BRR）

ビット：	7	6	5	4	3	2	1	0
	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
初期値：	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRR は、SMR の CKS1、CKS0 で選択されるボーレートジェネレータの動作クロックとあわせて、送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

BRR は、常に CPU によるリード / ライトが可能です。

BRR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時に H'FF にイニシャライズされます。

調歩同期式モードのBRRの設定例を表10.8に示します。表10.8はアクティブ(高速)モードでの値を示しています。

表10.8 ビットレートに対するBRRの設定例〔調歩同期式モード〕(1)

Rビットレート (bit/s)	OSC (MHz)											
	2			2.4576			4			4.194304		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	70	+0.03	1	86	+0.31	1	141	+0.03	1	148	-0.04
150	0	207	+0.16	0	255	0	1	103	+0.16	1	108	+0.21
300	0	103	+0.16	0	127	0	0	207	+0.16	0	217	+0.21
600	0	51	+0.16	0	63	0	0	103	+0.16	0	108	+0.21
1200	0	25	+0.16	0	31	0	0	51	+0.16	0	54	-0.70
2400	0	12	+0.16	0	15	0	0	25	+0.16	0	26	+1.14
4800				0	7	0	0	12	+0.16	0	13	-2.48
9600				0	3	0				0	6	-2.48
19200				0	1	0						
31250	0	0	0				0	1	0			
38400				0	0	0						

表10.8 ビットレートに対するBRRの設定例〔調歩同期式モード〕(2)

Rビットレート (bit/s)	OSC (MHz)											
	4.9152			6			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	174	-0.26	1	212	+0.03	2	64	+0.70	2	70	+0.03
150	1	127	0	1	155	+0.16	1	191	0	1	207	+0.16
300	0	255	0	1	77	+0.16	1	95	0	1	103	+0.16
600	0	127	0	0	155	+0.16	0	191	0	0	207	+0.16
1200	0	63	0	0	77	+0.16	0	95	0	0	103	+0.16
2400	0	31	0	0	38	+0.16	0	47	0	0	51	+0.16
4800	0	15	0	0	19	-2.34	0	23	0	0	25	+0.16
9600	0	7	0	0	9	-2.34	0	11	0	0	12	+0.16
19200	0	3	0	0	4	-2.34	0	5	0			
31250				0	2	0				0	3	0
38400	0	1	0				0	2	0			

表 10.8 ビットレートに対する BRR の設定例〔調歩同期式モード〕(3)

R ビットレート (bit/s)	OSC (MHz)					
	9.8304			10		
	n	N	誤差 (%)	n	N	誤差 (%)
110	2	86	+0.31	2	88	-0.25
150	1	255	0	2	64	+0.16
300	1	127	0	1	129	+0.16
600	0	255	0	1	64	+0.16
1200	0	127	0	0	129	+0.16
2400	0	63	0	0	64	+0.16
4800	0	31	0	0	32	-1.36
9600	0	15	0	0	15	+1.73
19200	0	7	0	0	7	+1.73
31250	0	4	-1.70	0	4	0
38400	0	3	0	0	3	+1.73

- 【注】 1. 誤差は、1%以内となるように設定してください。
 2. BRR の設定値は以下の計算式で求められます。

$$N = \frac{\text{OSC}}{64 \times 2^{2n} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ポーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

OSC : osc の値 (MHz)

n : ポーレートジェネレータの入力クロックの No. (n=0、1、2、3)

(n とクロックの関係は表 10.9 を参照)

表 10.9 n とクロックの関係

n	クロック	SMR の設定値	
		CKS1	CKS0
0		0	0
1	/4	0	1
2	/16	1	0
3	/64	1	1

3. 表 10.8 の誤差は以下の計算式で求めた値を小数点第 3 位を四捨五入して表示してあります。

$$\text{誤差}(\%) = \frac{B(n, N, \text{OSCから求めたビットレート}) - R(\text{表10.8左欄のビットレート})}{R(\text{表10.8の左欄のビットレート})} \times 100$$

調歩同期式モードの各周波数における最大ビットレートを表 10.10 に示します。
表 10.10 はアクティブ（高速）モードでの値を示しています。

表 10.10 各周波数における最大ビットレート〔調歩同期式モード〕

OSC (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
2	31250	0	0
2.4576	38400	0	0
4	62500	0	0
4.194304	65536	0	0
4.9152	76800	0	0
6	93750	0	0
7.3728	115200	0	0
8	125000	0	0
9.8304	153600	0	0
10	156250	0	0

クロック同期式モードの BRR の設定例を表 10.11 に示します。表 10.11 はアクティブ (高速) モードでの値を示しています。

表 10.11 ビットレートに対する BRR の設定例〔クロック同期式モード〕

B ビットレート (bit/s)	OSC (MHz)							
	2		4		8		10	
	n	N	n	N	n	N	n	N
110								
250	1	249	2	124	2	249		
500	1	124	1	249	2	124		
1k	0	249	1	124	1	249		
2.5k	0	99	0	199	1	99	1	124
5k	0	49	0	99	0	199	0	249
10k	0	24	0	49	0	99	0	124
25k	0	9	0	19	0	39	0	49
50k	0	4	0	9	0	19	0	24
100k			0	4	0	9		
250k	0	0*	0	1	0	3	0	4
500k			0	0*	0	1		
1M					0	0*		
2.5M								

空欄：設定不可能です。

：設定は可能ですが、誤差が出ます。

*：連続送信 / 受信はできません。

【注】 BRR の設定値は以下の計算式で求められます。

$$N = \frac{\text{OSC}}{8 \times 2^{2n} \times B} \times 10^6 - 1$$

B：ビットレート (bit/s)

N：ボーレートジェネレータの BRR の設定値 (0 N 255)

OSC：_{osc} の値 (MHz)

n：ボーレートジェネレータの入力クロックの No. (n=0、1、2、3)

(n とクロックの関係は表 10.12 を参照)

表 10.12 n とクロックの関係

n	クロック	SMR の設定値	
		CKS1	CKS0
0		0	0
1	/4	0	1
2	/16	1	0
3	/64	1	1

10.4.3 動作概要

SCI3 は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式でシリアル通信ができます。

調歩同期式モードとクロック同期式モードの選択、および通信フォーマットの選択は、SMRで行います。これを表 10.13 に示します。

また、SCI3 のクロックソースは、SMR の COM、および SCR3 の CKE1、CKE0 の組合せできまります。これを表 10.14 に示します。

(1) 調歩同期式モード

- ・データ長：7ビット/8ビットから選択可能
- ・パリティの付加、マルチプロセッサビットの付加、および1ビットまたは2ビットのストップビットの付加を選択可能(これらの組合せで送信/受信フォーマット、およびキャラクタ長を決定)
- ・受信時にフレーミングエラー (FER)、パリティエラー (PER)、オーバランエラー (OER) およびブレークの検出が可能
- ・クロックソース：内部クロック/外部クロックから選択可能
内部クロックを選択した場合：ボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力可能
外部クロックを選択した場合：ビットレートの16倍の周波数のクロック入力が必要(内蔵ボーレートジェネレータを使用しない)

(2) クロック同期式モード

- ・送信/受信フォーマット：8ビットデータ固定
- ・受信時にオーバランエラー (OER) の検出が可能
- ・クロックソース：内部クロック/外部クロックから選択可能
内部クロックを選択した場合：ボーレートジェネレータのクロックで動作し、同期クロックを出力

外部クロックを選択した場合：内蔵ポーレートジェネレータを使用せず、入力された同期クロックで動作

表 10.13 SMR の設定値と送信 / 受信フォーマット

SMR					モード	送信 / 受信フォーマット						
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチ プロセッサ ビット	パリティ ビット	ストップ ビット長			
COM	CHR	MP	PE	STOP								
0	0	0	0	0	調歩同期式 モード	8ビット データ	なし	なし	1ビット			
				1					2ビット			
			1	0					0	1ビット		
									1	2ビット		
			1	0					0	1ビット		
									1	2ビット		
	1	1	0	*		0	調歩同期式 モード(マルチ プロセッサフ ォーマット)	8ビット データ	あり	なし	1ビット	
						1					2ビット	
				*		0					0	7ビット
											1	2ビット
				*		0					0	7ビット
											1	2ビット
1	*	0	*	*	クロック同期 式モード	8ビット データ	なし	なし	なし			

* : Don't care

表 10.14 SMR、SCR3 の設定とクロックソースの選択

SMR	SCR3		モード	送信 / 受信クロック	
ビット 7	ビット 1	ビット 0		クロック ソース	SCK ₃ 端子の機能
COM	CKE1	CKE0			
0	0	0	調歩同期式 モード	内部	入出力ポート (SCK ₃ 端子を使用しません) ビットレートと同じ周波数のクロックを出力
		1			
	1	0	外部	ビットレートの 16 倍の周波数のクロックを入力	
1	0	0	クロック同期 式モード	内部	同期クロックを出力
				外部	同期クロックを入力
0	1	1	リザーブ (この組合せは指定しないでください)		
1	0	1			
1	1	1			

(3) 割込みと連続送信 / 受信

SCI3 は、RXI を使用した連続受信、また TXI を使用した連続送信が可能です。

表 10.15 にこれらの割込みについて示します。

表 10.15 送信 / 受信割込み

割込み	フラグ	割込み発生の条件	備考
RXI	RDRF RIE	シリアル受信が正常に行われ、RSR から RDR に受信データが転送されると RDRF が"1"となり、このとき RIE が"1"ならば RXI が許可され割込みが発生します。 (図 10.8 参照)	RXI の割込み処理ルーチンでは、RDR に転送された受信データを読み出し、RDRF を"0"にクリアします。上記の操作を次回の RSR の受信完了までに行うことで連続受信が可能です。
TXI	TDRE TIE	TSR の空 (前回の送信完了) を検出して、TDR にセットされた送信データが TSR に転送されると TDRE は"1"にセットされます。このとき TIE が"1"ならば TXI が許可され割込みが発生します。 (図 10.9 参照)	TXI の割込み処理ルーチンでは、次回の送信データを TDR に書き込み、TDRE を"0"にクリアします。上記の操作を TSR に転送したデータが送信終了するまでに行うことで連続送信が可能です。
TEI	TEND TEIE	TSR の送信キャラクタの最後尾ビットを送信したとき、TDRE が"1"ならば TEND は"1"にセットされます。このとき TEIE が"1"ならば TEI が許可され割込みが発生します。 (図 10.10 参照)	TEI は、TSR の送信キャラクタの最後尾ビットを送信したとき、TDR に次回の送信データが書き込まれていないことを示します。

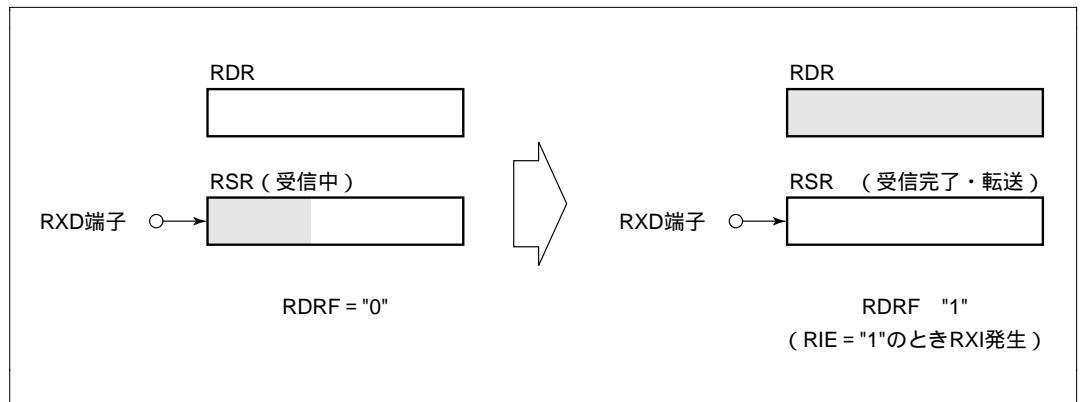


図 10.8 RDRF のセットと RXI 割込み

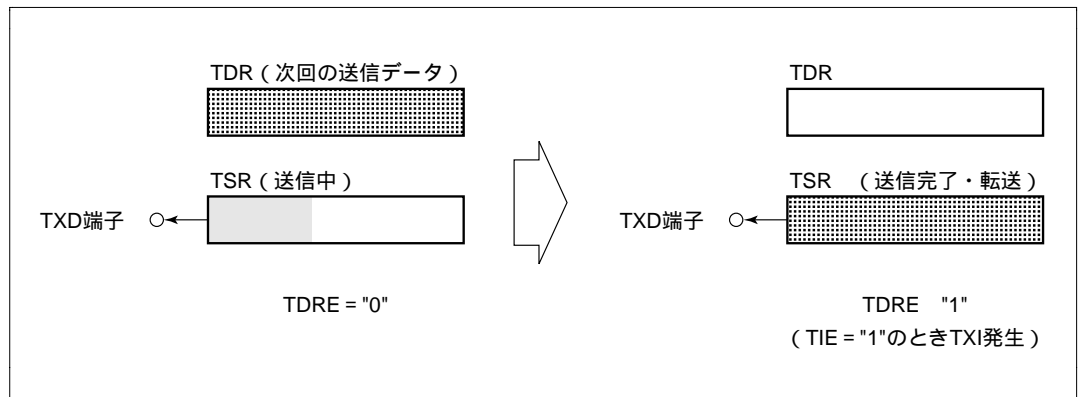


図 10.9 TDRE のセットと TXI 割込み

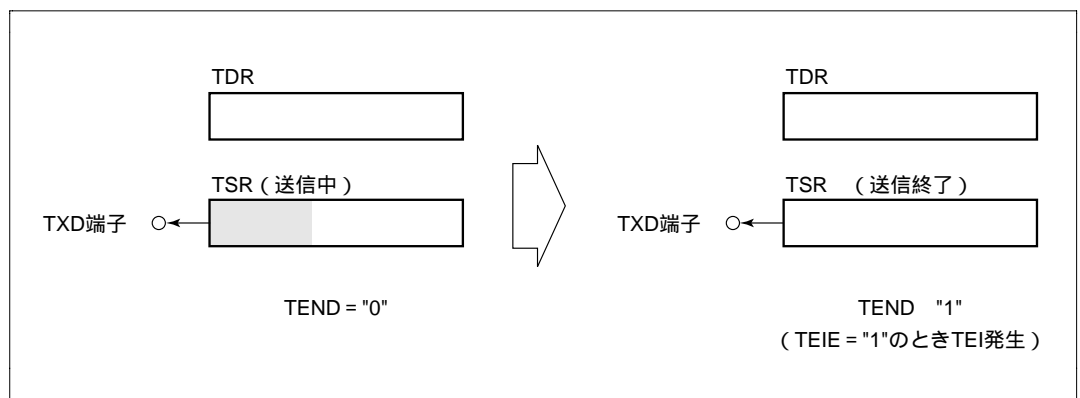


図 10.10 TEND のセットと TEI 割込み

10.4.4 調歩同期式モード時の動作説明

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期を取りながらシリアル通信を行うモードです。

SCI3 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信 / 受信中にデータのリード / ライトができ、連続送信 / 受信が可能です。

(1) 送信 / 受信フォーマット

調歩同期式通信の通信データの一般的なフォーマットを図 10.11 に示します。

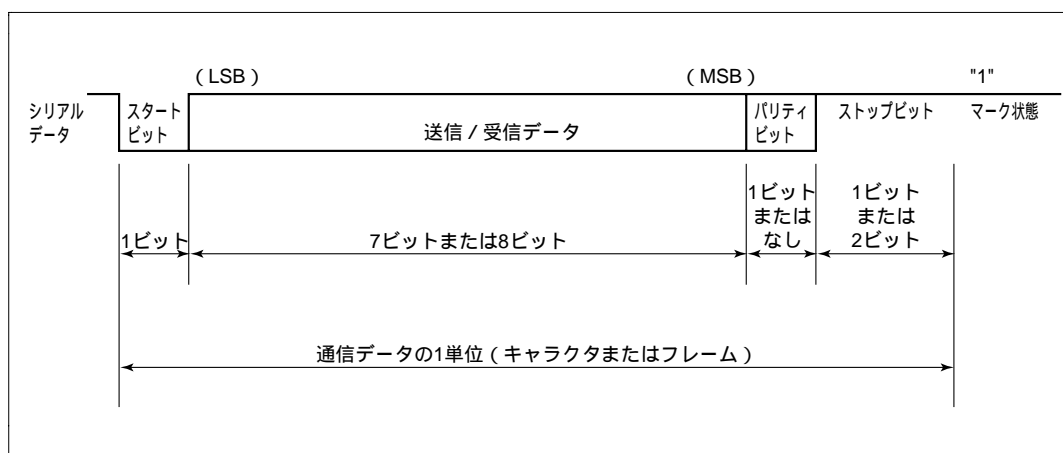


図 10.11 調歩同期式通信のデータフォーマット

調歩同期式通信では、通信回線は通常マーク状態 ("High"レベル) に保たれています。SCI3 は通信回線を監視し、スペース ("Low"レベル) になったところをスタートビットとみなしてシリアルデータ通信を開始します。

通信データの 1キャラクタは、スタートビット ("Low"レベル) から始まり、送信 / 受信データ (LSB ファースト: 最下位ビットから)、パリティビット ("High"または"Low"レベル)、最後にストップビット ("High"レベル) の順で構成されます。

調歩同期式モードでは、受信時にスタートビットの立下がりエッジで同期化を行います。また、データを 1ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データを取り込みます。

調歩同期式モードで設定できる送信/受信フォーマットを、表 10.16 に示します。
送信/受信フォーマットは 12 種類あり、SMR の設定により選択できます。

表 10.16 通信フォーマット (調歩同期式モード)

SMR				シリアル通信フォーマットとフレーム長											
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	0	S [8ビットデータ] STOP											
0	0	0	1	S [8ビットデータ] STOP STOP											
0	1	0	0	S [8ビットデータ] P STOP											
0	1	0	1	S [8ビットデータ] P STOP STOP											
1	0	0	0	S [7ビットデータ] STOP											
1	0	0	1	S [7ビットデータ] STOP STOP											
1	1	0	0	S [7ビットデータ] P STOP											
1	1	0	1	S [7ビットデータ] P STOP STOP											
0	*	1	0	S [8ビットデータ] MPB STOP											
0	*	1	1	S [8ビットデータ] MPB STOP STOP											
1	*	1	0	S [7ビットデータ] MPB STOP											
1	*	1	1	S [7ビットデータ] MPB STOP STOP											

* : Don't care

<記号説明>

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

(2) クロック

SCI3の送受信クロックは、SMRのCOMとSCR3のCKE1、CKE0の設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK₃端子から入力された外部クロックの2種類から設定できます。クロックソースの選択については表 10.14 を参照してください。

外部クロックをSCK₃端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK₃端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 10.12 に示すように送信/受信データの各ビットの中央でクロックが立上がります。

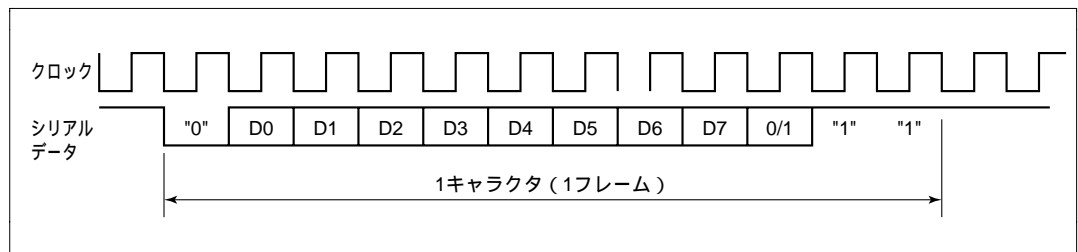


図 10.12 出力クロックと通信データの位相関係 (調歩同期式モード)
(8ビットデータ/パリティあり/2ストップビットの例)

(3) データの送信/受信動作

(a) SCI3のイニシャライズ

データの送信/受信前には、まずSCR3のTEおよびREを"0"にクリアした後、以下の手順にしたがってイニシャライズしてください。

【注】 動作モードの変更、通信フォーマットの変更などの場合には、かならずTEおよびREを"0"にクリアしてから変更してください。TEを"0"にクリアすると、TDREは"1"にセットされます。REを"0"にクリアしても、RDRF、PER、FER、OERの各フラグ、およびRDRの内容は保持されますので注意してください。

調歩同期式モードで外部クロックを使用している場合には、イニシャライズを含めた動作中にクロックを止めないでください。クロック同期式モードで外部クロックを使用している場合には、イニシャライズ中にクロックを供給しないでください。

図 10.13 に SCI3 をイニシャライズするときのフローチャートの例を示します。

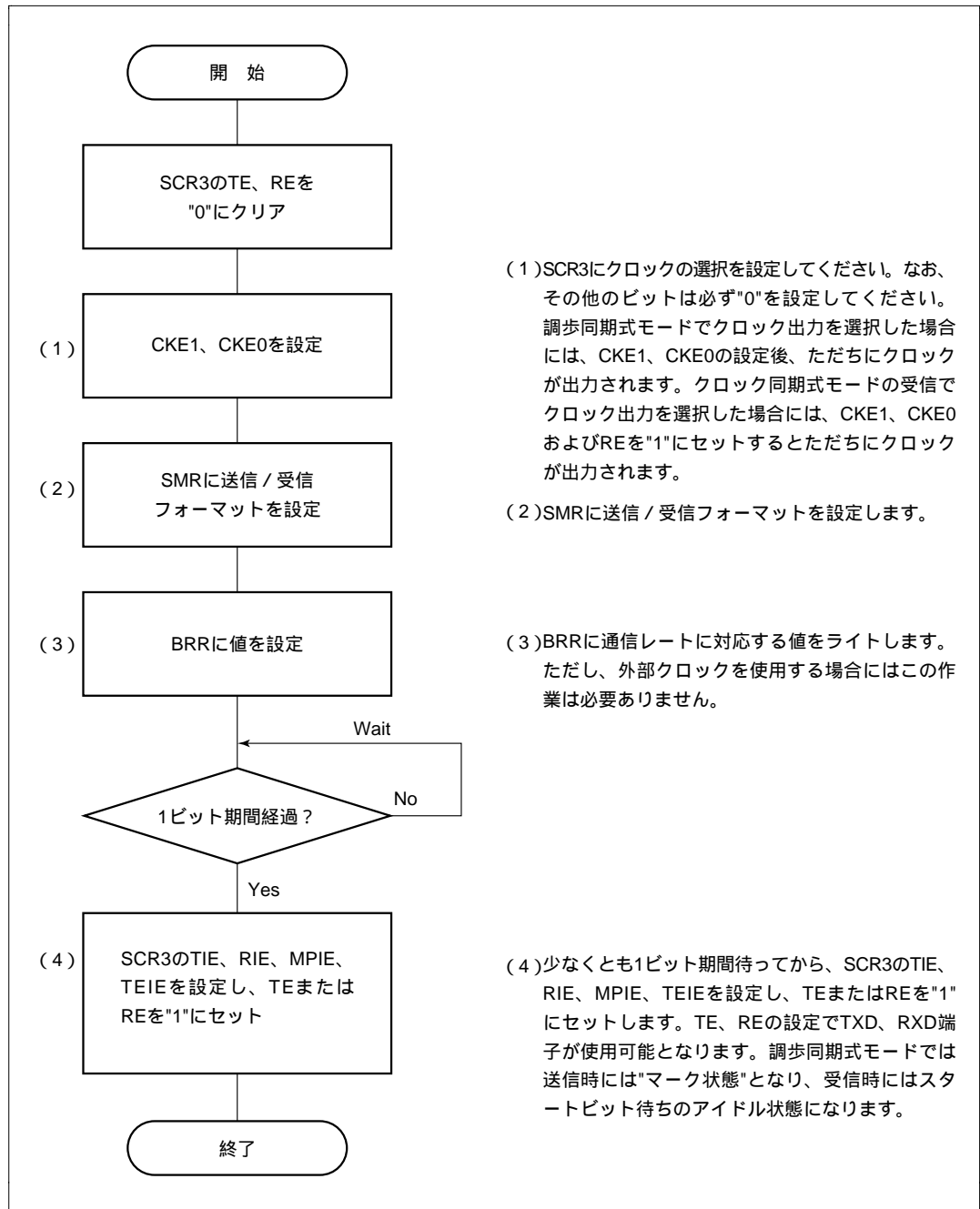


図 10.13 SCI3 をイニシャライズするときのフローチャートの例

(b) データ送信

図 10.14 にデータ送信のフローチャートの例を示します。

データ送信は SCI3 のイニシャライズ後、以下の手順にしたがって行ってください。

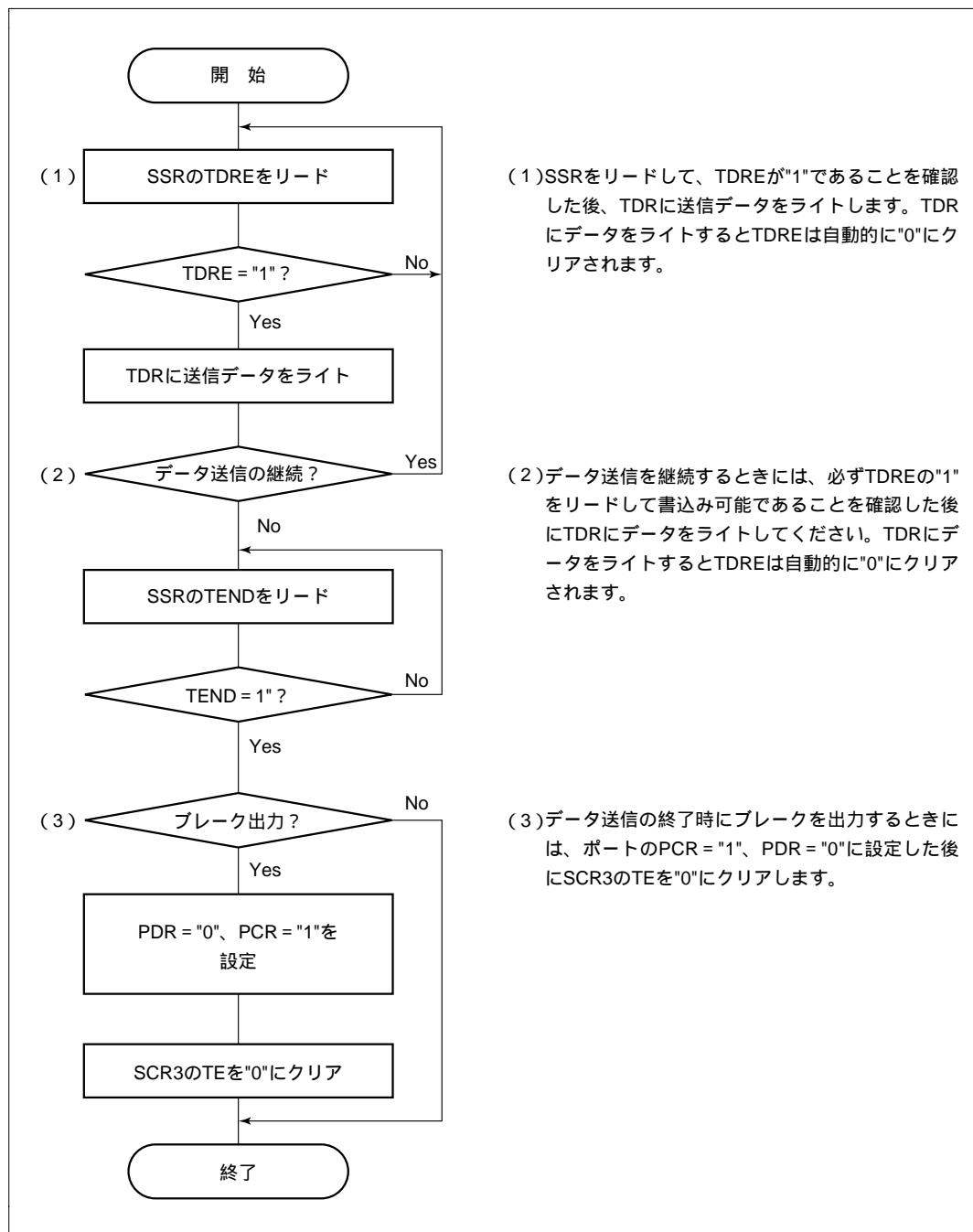


図 10.14 データ送信のフローチャートの例 (調歩同期式モード)

SCI3 はデータ送信時に以下のように動作します。

SCI3 は、SSR の TDRE を監視し、"0"であると TDR にデータが書き込まれたと認識し、TDR から TSR にデータを転送します。その後、TDRE を"1"にセットして送信を開始します。このとき、SCR3 の TIE が"1"にセットされていると TXI を発生します。

シリアルデータは、表 10.16 に示す通信フォーマットに従い TXD 端子から送信されます。

その後、ストップビットを送り出すタイミングで TDRE をチェックします。

TDRE が"0"であると TDR から TSR にデータを転送し、ストップビット送出後、次のフレームの送信を開始します。TDRE が"1"であると SSR の TEND に"1"をセットし、ストップビット送出後、"1"を出力する"マーク状態"になります。このとき SCR3 の TEIE が"1"にセットされていると TEI を発生します。

図 10.15 に調歩同期式モードの送信時の動作例を示します。

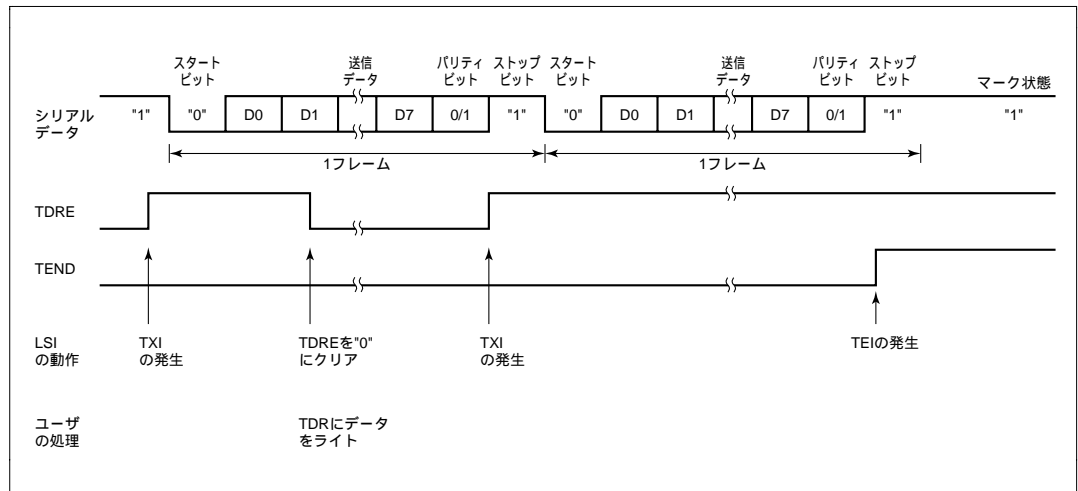


図 10.15 調歩同期式モードの送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

(c) データ受信

図 10.16 にデータ受信のフローチャートの例を示します。

データ受信は SCI3 のイニシャライズ後、以下の手順にしたがって行ってください。

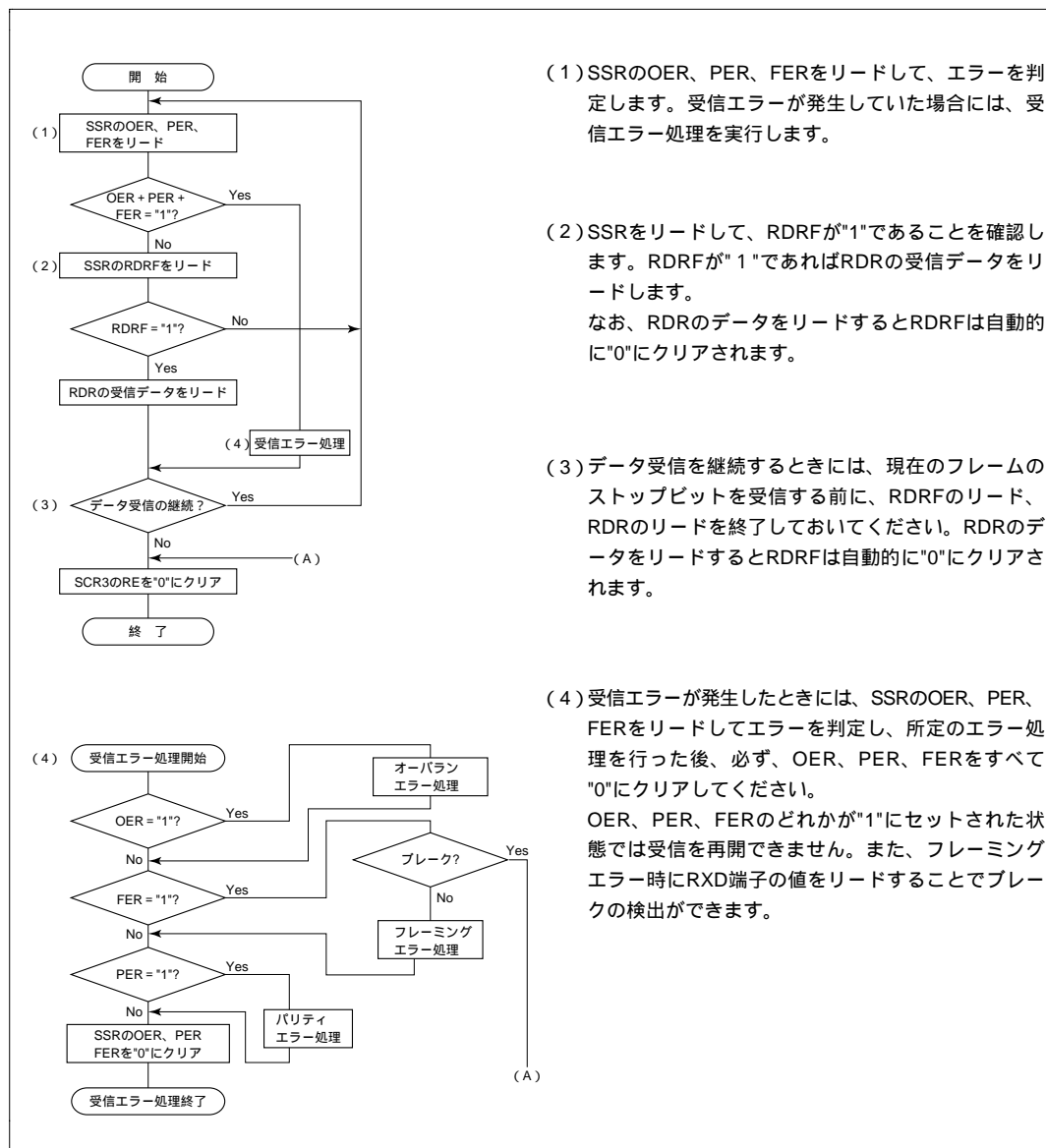


図 10.16 データ受信のフローチャートの例 (調歩同期式モード)

SCI3 は受信時に以下のように動作します。

SCI3 は通信回線を監視し、スタートビットの"0"を検出すると内部を同期化し受信を開始します。受信は表 10.16 に示す通信フォーマットに従い、まず受信したデータを RSR の LSB から MSB の順にセットし、次に、パリティビットおよびストップビットを受信します。受信後、SCI3 は以下のチェックを行います。

- ・パリティチェック：

受信データの"1"の数をチェックし、これが SMR の PM で設定した偶数 / 奇数パリティになっているかをチェックします。

- ・ストップビットチェック：

ストップビットが"1"であるかをチェックします。ただし、2 ストップビットの場合、1 ビット目のストップビットのみをチェックします。

- ・ステータスチェック：

RDRF が"0"であり、受信データを RSR から RDR に転送できる状態であることをチェックします。

以上のチェックの結果受信エラーがなかったとき RDRF が"1"にセットされ、RDR に受信データが格納されます。このとき SCR3 の RIE が"1"にセットされていると RXI を発生します。一方、エラーチェックで受信エラーを検出すると、各エラーに対応して、OER、PER、FER が"1"にセットされます。また RDRF はデータを受信する前の状態を保ちます。このとき、SCR3 の RIE が"1"にセットされていると ERI を発生します。

表 10.17 に受信エラーの検出条件と受信データの処理を示します。

【注】 受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER および RDRF を"0"にクリアしてください。

表 10.17 受信エラーの検出条件と受信データの処理

受信エラー	略称	検出条件	受信データの処理
オーバランエラー	OER	SSR の RDRF が"1"にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが"0"のとき	RSR から RDR に受信データが転送されます。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されます。

調歩同期モードの受信時の動作例を図 10.17 に示します。

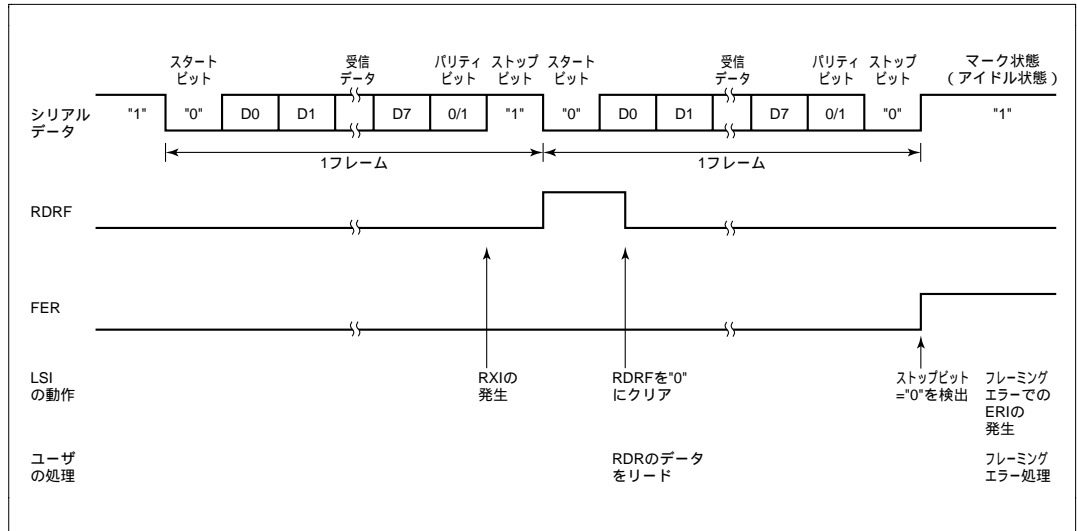


図 10.17 調歩同期モードの受信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

10.4.5 クロック同期式モード時の動作説明

クロック同期式モードは、クロックパルスに同期してデータを送信、または受信するモードです。クロック同期式モードは、高速シリアル通信に適しています。

SCI3 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信を行うことができます。

送信部 / 受信部は共にダブルバッファ構造になっていますので、送信中にデータのライトができ、連続送信が可能です。また、受信中にデータのリードができ連続受信が可能です。

(1) 送信 / 受信フォーマット

クロック同期式通信の通信データの一般的なフォーマットを図 10.18 に示します。

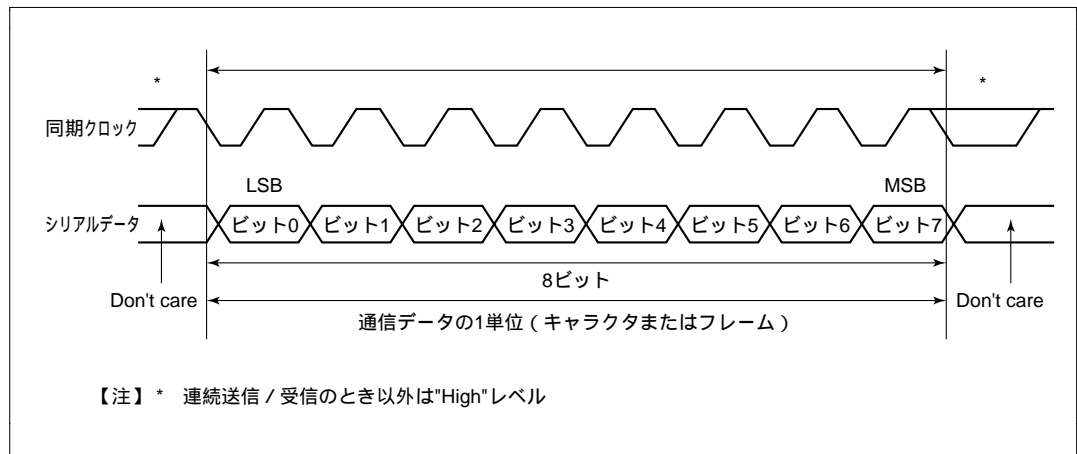


図 10.18 クロック同期式通信のデータフォーマット

クロック同期式通信では、通信回線のデータは同期クロックの立下がりから次の立下がりまで出力されます。また、同期クロックの立上がりエッジでデータの確定が保証されます。

通信データの1キャラクタは、LSBから始まり最後にMSBの順で構成されます。MSB出力後の通信回線はMSBの状態を保ちます。

クロック同期式モードでは、SCI3は、受信時に同期クロックの立上がりに同期してデータを取り込みます。

送信 / 受信フォーマットは8ビットデータ固定です。パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRのCOMとSCR3のCKE1、CKE0の設定により、内蔵ポーレートジェネレータの生成した内部クロック、またはSCK₃端子から入力された外部同期クロックの2種類から選択できます。クロックソースの選択については表10.14を参照してください。

内部クロックで動作させるとき、SCK₃端子からは同期クロックが出力されます。同期クロックは1キャラクタの送信/受信で8パルス出力され、送信および受信を行わないときには"High"レベルに固定されます。

(3) データの送信/受信動作

(a) SCI3のイニシャライズ

データの送信/受信前には、「10.4.4(3)(a)SCI3のイニシャライズ」の説明および、図10.11の例にしたがってSCI3をイニシャライズしてください。

(b) データ送信

図10.19にデータ送信のフローチャートの例を示します。

データ送信はSCI3のイニシャライズ後、以下の手順にしたがって行ってください。

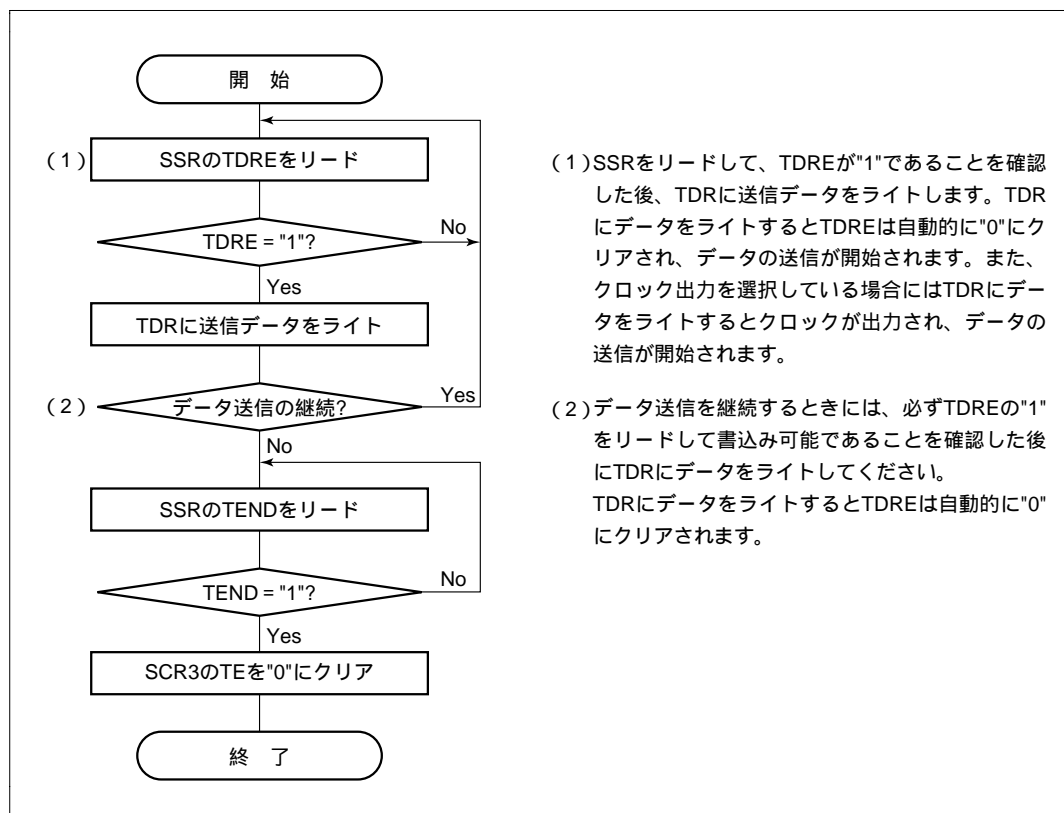


図10.19 データ送信のフローチャートの例(クロック同期式モード)

SCI3 はデータ送信時に以下のように動作します。

SCI3 は、SSR の TDRE を監視し、"0"であると TDR にデータが書き込まれたと認識し、TDR から TSR にデータを転送します。その後、TDRE を"1"にセットして送信を開始します。このとき、SCR3 の TIE が"1"にセットされていると TXI を発生します。

クロック出力モードに設定したときには、SCI3 は同期クロックを 8 パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。

シリアルデータは、LSB (ビット 0) から MSB (ビット 7) の順に TXD 端子から送信されます。

その後、MSB (ビット 7) を送り出すタイミングで TDRE をチェックします。

TDRE が"0"であると TDR から TSR にデータを転送し、次のフレームの送信を開始します。TDRE が"1"であると SSR の TEND に"1"をセットし、MSB (ビット 7) 送出後、状態を保持します。このとき SCR3 の TEIE が"1"にセットされていると TEI を発生します。

送信終了後は、SCK₃端子は"High"レベル固定になります。

【注】 データ受信のステータスを示すエラーフラグ (OER、FER、PER) が"1"にセットされた状態では送信は行えませんので、送信の前には、エラーフラグ (OER、FER、PER) が"0"にクリアされていることを確認してください。

図 10.20 にクロック同期式モードの送信時の動作例を示します。

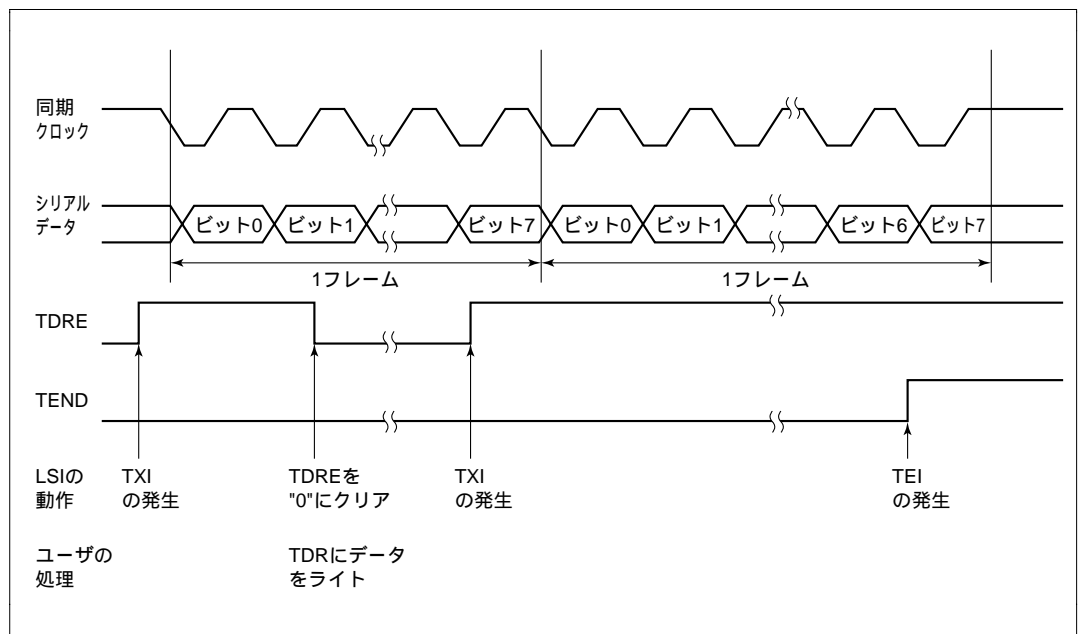


図 10.20 クロック同期式モードの送信時の動作例

(c) データ受信

図 10.21 にデータ受信のフローチャートの例を示します。

データ受信は SCI3 のイニシャライズ後、以下の手順にしたがって行ってください。

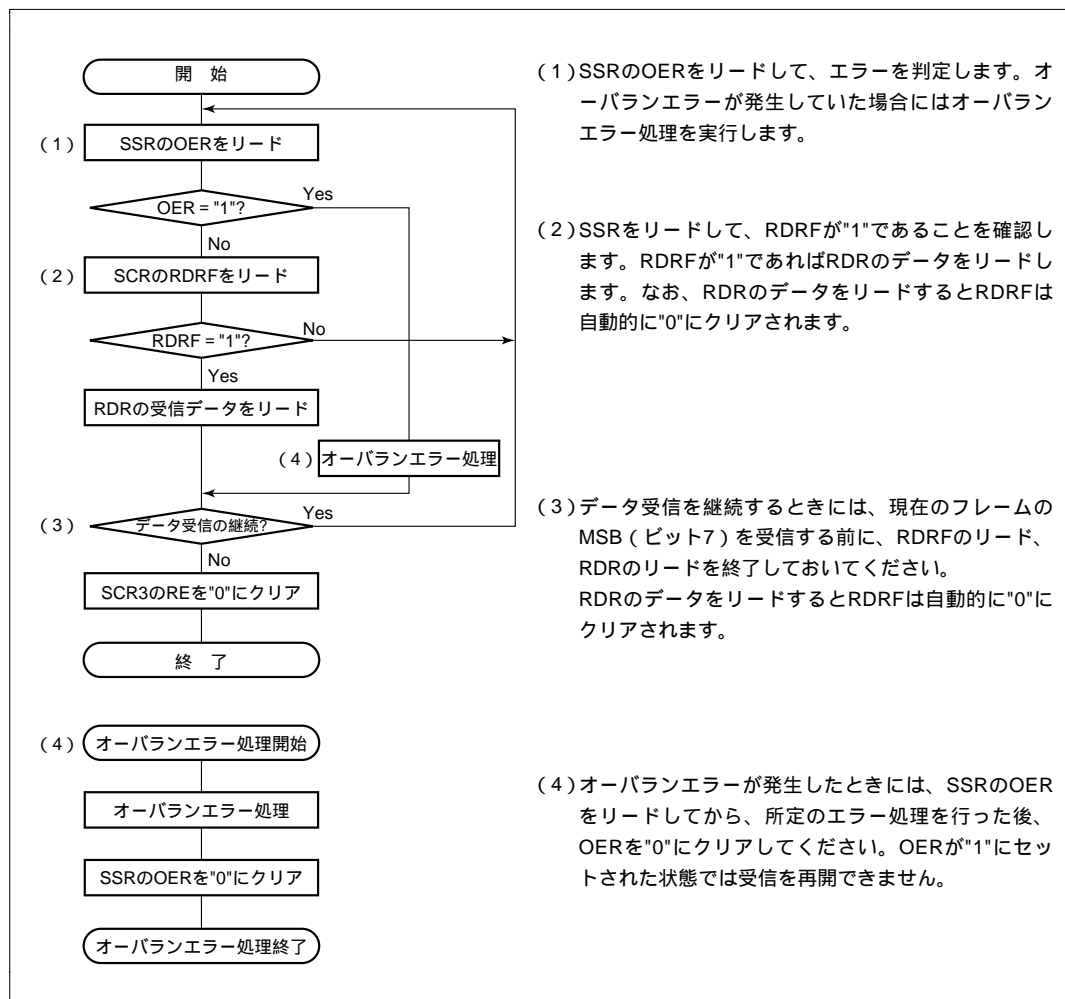


図 10.21 データ受信フローチャートの例 (クロック同期式モード)

SCI3 は受信時に以下のように動作します。

SCI3 は同期クロックの入力または、出力に同期して内部を初期化し、受信を開始します。

受信したデータを RSR の LSB から MSB の順にセットします。

受信後、SCI3 は、RDRF が"0"であり、受信データを RSR から RDR に転送できる状態であるかをチェックします。

このチェックの結果オーバーランエラーがなかったとき RDRF が"1"にセットされ、RDR に受信データが格納されます。

このとき、SCR3 の RIE が"1"にセットされていると RXI を発生します。一方、エラーチェックでオーバーランエラーを検出すると OER が"1"にセットされます。また、RDRF は"1"にセットされた状態を保ちます。このとき、SCR3 の RIE が"1"にセットされていると ERI を発生します。

オーバーランエラーの検出条件と受信データの処理については、表 10.17 を参照してください。

【注】 受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER および RDRF を"0"にクリアしてください。

図 10.22 にクロック同期式モードの受信時の動作例を示します。

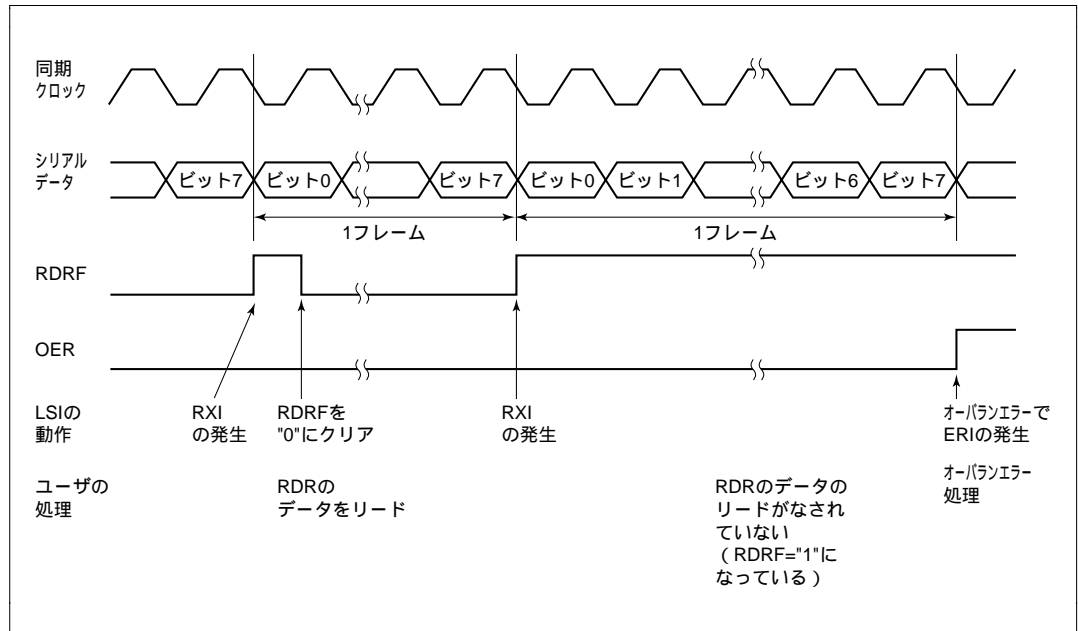


図 10.22 クロック同期式モードの受信時の動作例

(d) データ送受信同時動作

図 10.23 にデータ送受信同時動作のフローチャートの例を示します。

データ送受信同時動作は SCI3 のイニシャライズ後、以下の手順にしたがって行ってください。

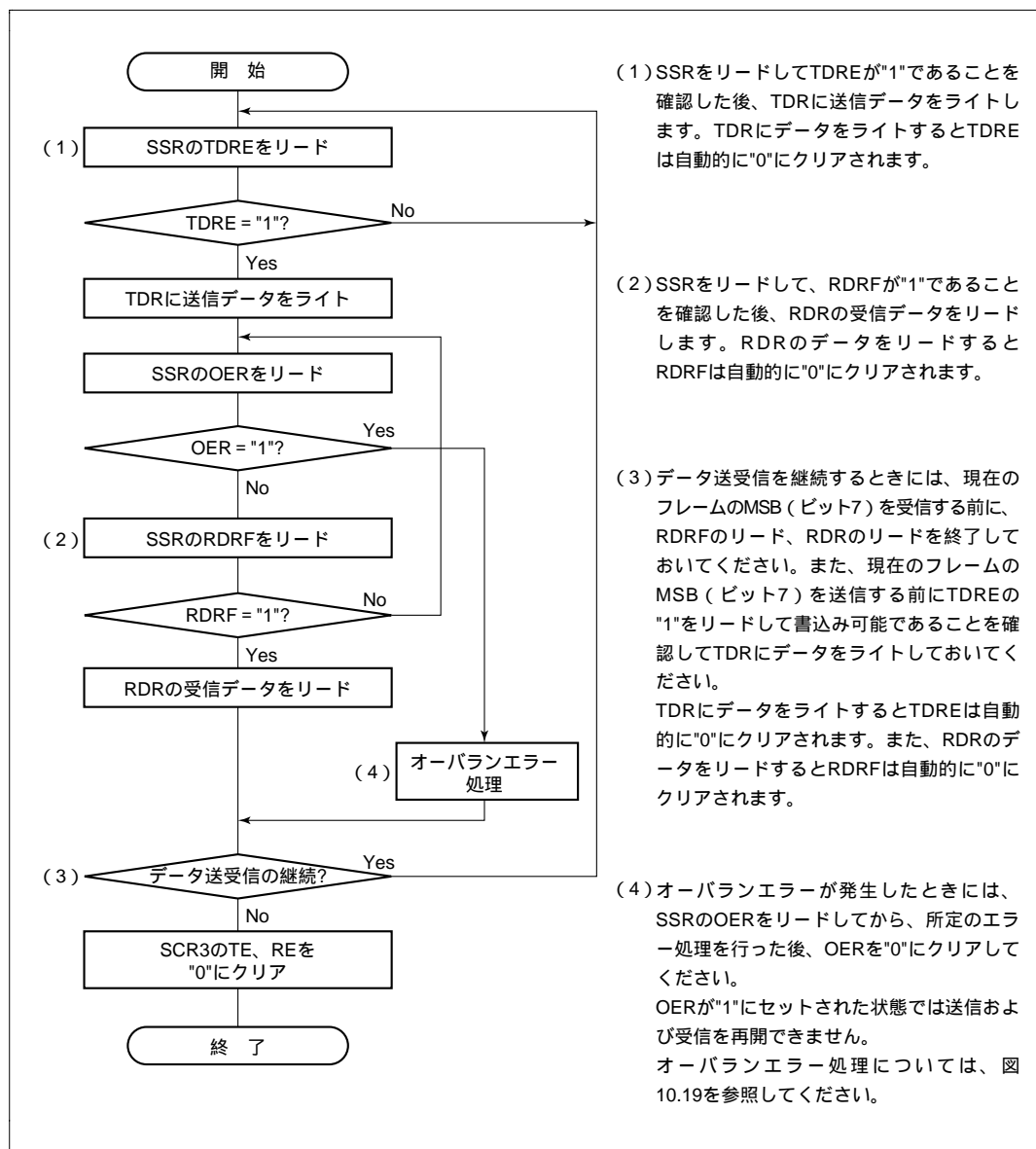


図 10.23 データ送受信同時動作のフローチャートの例 (クロック同期式モード)

- 【注】 *1 送信から同時送受信へ切り換えるときには、次の方法で行ってください。
- SCI3 が送信終了状態であること、TDRE および TEND が"1"にセットされていることを確認した後、TE を"0"にクリアしてから TE および RE を"1"にセットしてください。
- *2 受信から同時送受信へ切り換えるときには、次の方法で行ってください。
- SCI3 が受信完了状態であることを確認し、RE を"0"にクリアしてから RDRF およびエラーフラグ (OER、FER、PER) が"0"にクリアされていることを確認した後、TE および RE を"1"にセットしてください。

10.4.6 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット(マルチプロセッサフォーマット)でシリアルデータ通信を行うことにより、複数のプロセッサ間で通信回線を共有してデータの送受信を行う機能です。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードが割り付けられています。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局へ通信データを送信するデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。マルチプロセッサビットが"1"のとき ID 送信サイクル、"0"のときデータ送信サイクルとなります。

送信局は、まずシリアルデータ通信を行いたい受信局の ID コードに、マルチプロセッサビット"1"を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット"0"を付加した通信データを送信します。受信局は、マルチプロセッサビットが"1"の通信データを受信すると、自局の ID と比較し一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが"1"の通信データが送信されるまで通信データを読みとばします。

このようにして複数のプロセッサ間のデータ送受信が行われます。

図 10.24 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

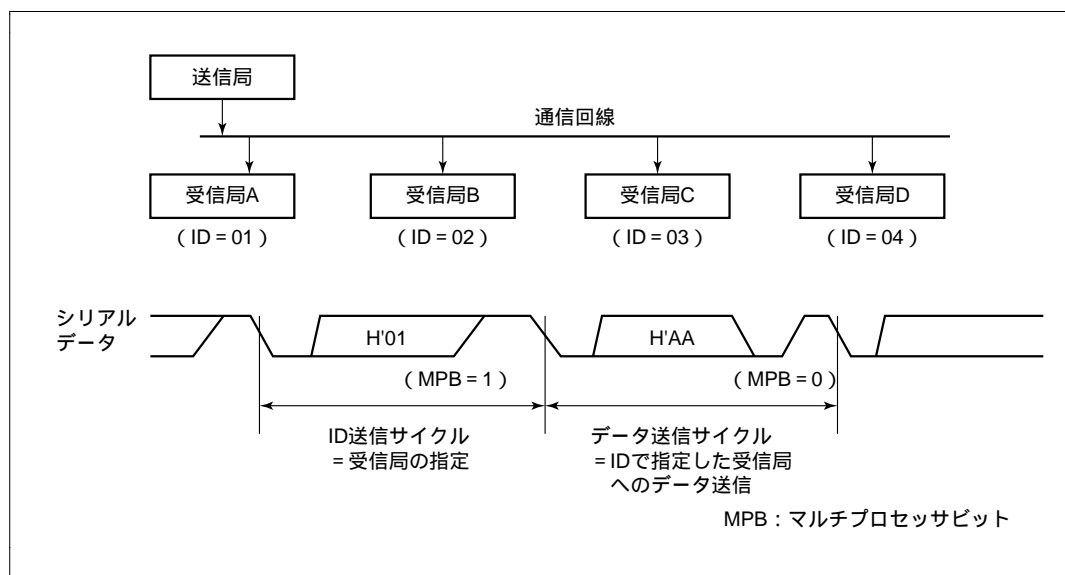


図 10.24 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

送信 / 受信フォーマットは 4 種類を選択できます。マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。詳細は表 10.16 を参照してください。

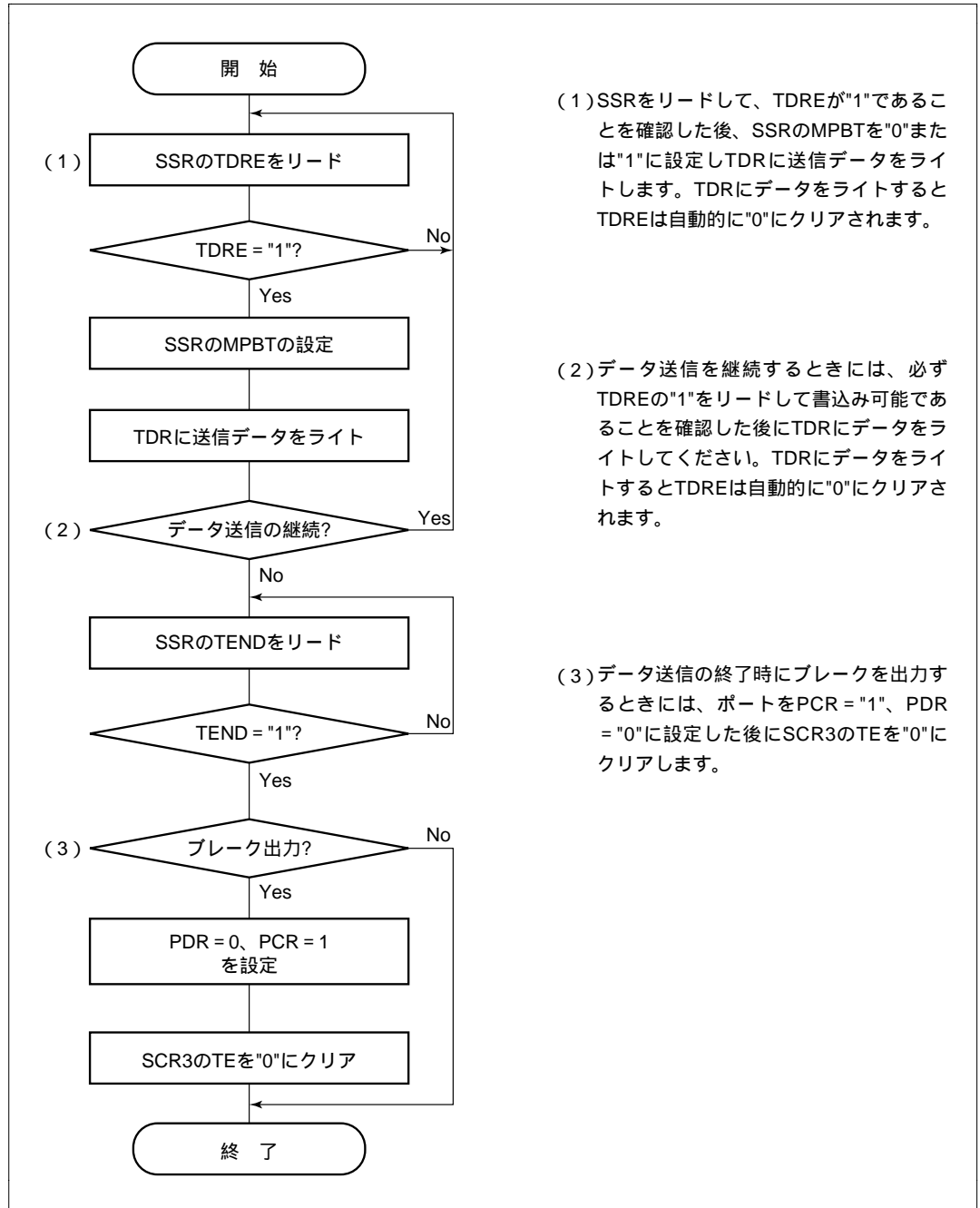
マルチプロセッサ通信を行うときのクロックについては、「10.4.4 調歩同期式モード

時の動作説明」を参照してください。

(a) マルチプロセッサデータ送信

図 10.25 にマルチプロセッサデータ送信のフローチャートの例を示します。

マルチプロセッサデータ送信は SCI3 をイニシャライズ後、以下の手順にしたがって行ってください。



(1) SSRをリードして、TDREが"1"であることを確認した後、SSRのMPBTを"0"または"1"に設定しTDRに送信データをライトします。TDRにデータをライトするとTDREは自動的に"0"にクリアされます。

(2) データ送信を継続するときには、必ずTDREの"1"をリードして書き込み可能であることを確認した後にTDRにデータをライトしてください。TDRにデータをライトするとTDREは自動的に"0"にクリアされます。

(3) データ送信の終了時にブレークを出力するときには、ポートをPCR = "1"、PDR = "0"に設定した後にSCR3のTEを"0"にクリアします。

図 10.25 マルチプロセッサデータ送信のフローチャートの例

SCI3 はデータ送信時に以下のように動作します。

SCI3 は、SSR の TDRE を監視し、"0"であると TDR にデータが書き込まれたと認識し、TDR から TSR にデータを転送します。その後、TDRE を"1"にセットして、送信を開始します。このとき、SCR3 の TIE が"1"にセットされていると TXI を発生します。

シリアルデータは、表 10.16 に示す通信フォーマットに従い、TXD 端子から送信されます。

その後、ストップビットを送り出すタイミングで TDRE をチェックします。

TDRE が"0"であると TDR から TSR にデータを転送し、ストップビット送出後、次のフレームの送信を開始します。TDRE が"1"であると SSR の TEND に"1"をセットし、ストップビット送出後、"1"を出力する"マーク状態"になります。このとき SCR3 の TEIE が"1"にセットされていると TEI を発生します。

図 10.26 にマルチプロセッサフォーマットの送信時の動作例を示します。

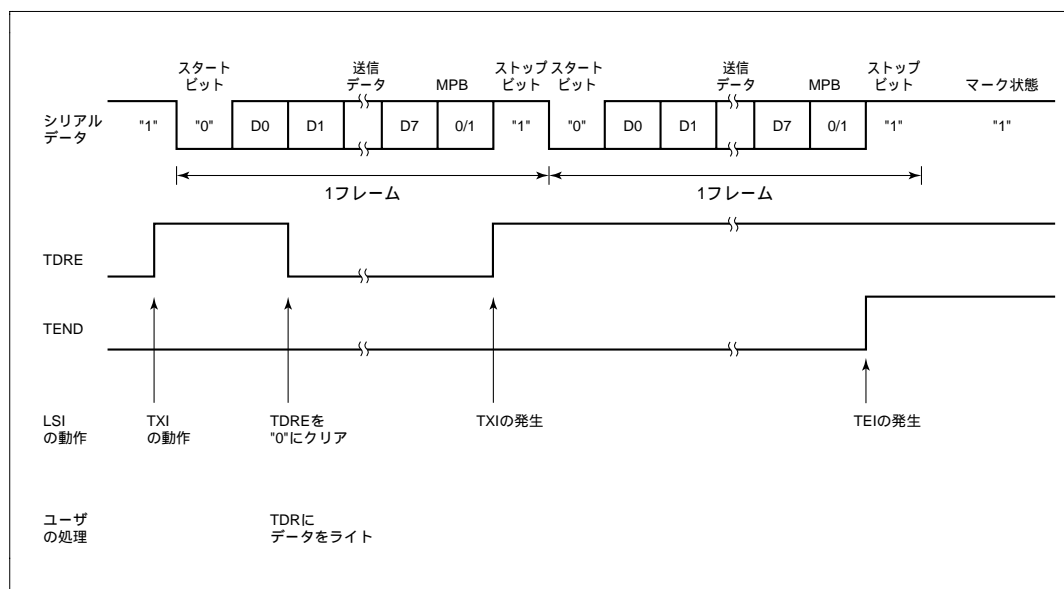


図 10.26 マルチプロセッサフォーマットの送信時の動作例

(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

(b) マルチプロセッサデータ受信

図 10.27 にマルチプロセッサデータ受信のフローチャートの例を示します。

マルチプロセッサデータ受信は SCI3 をイニシャライズ後、以下の手順にしたがっておこなってください。

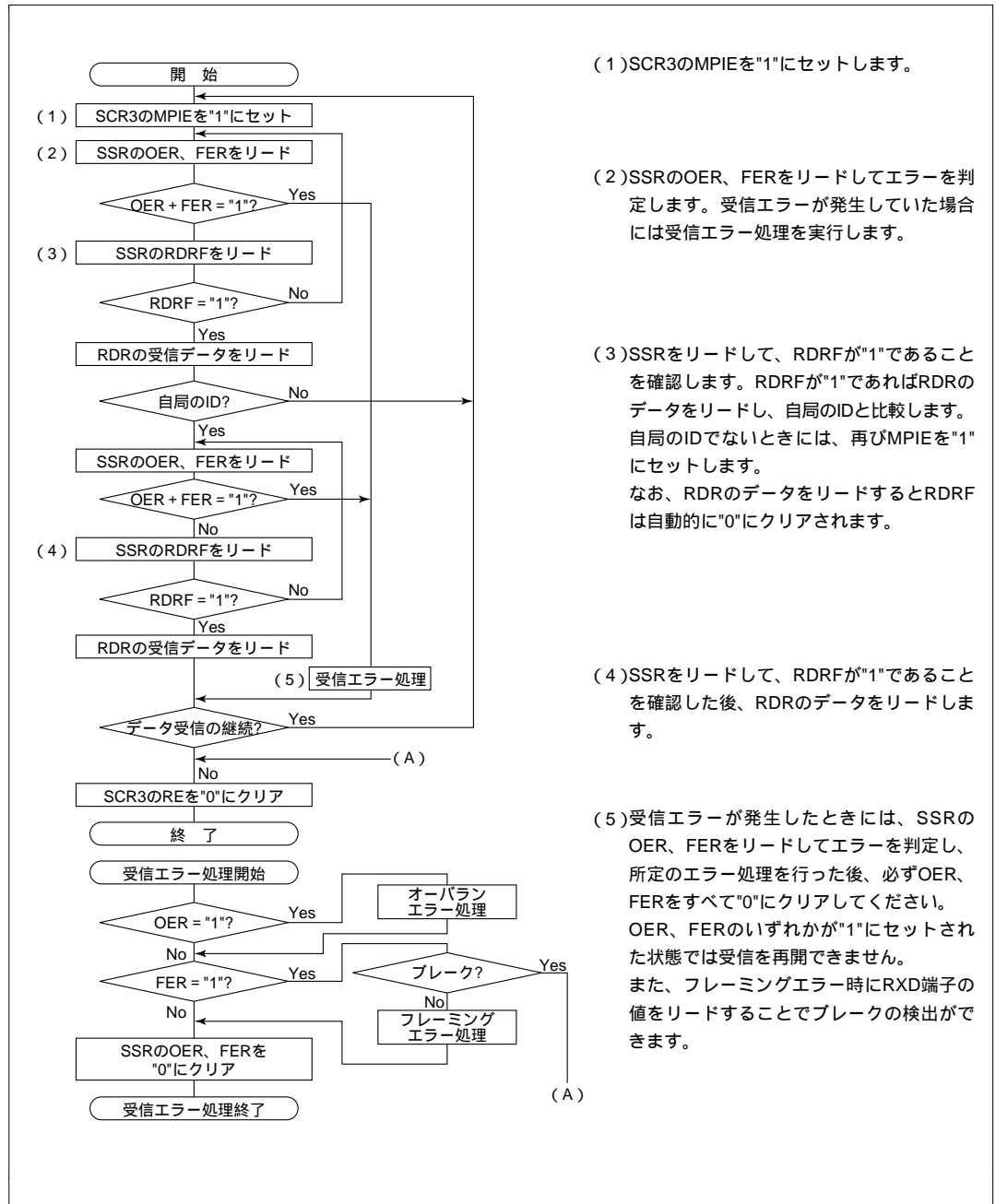


図 10.27 マルチプロセッサデータ受信のフローチャートの例

図 10.28 にマルチプロセッサフォーマットの受信時の動作例を示します。

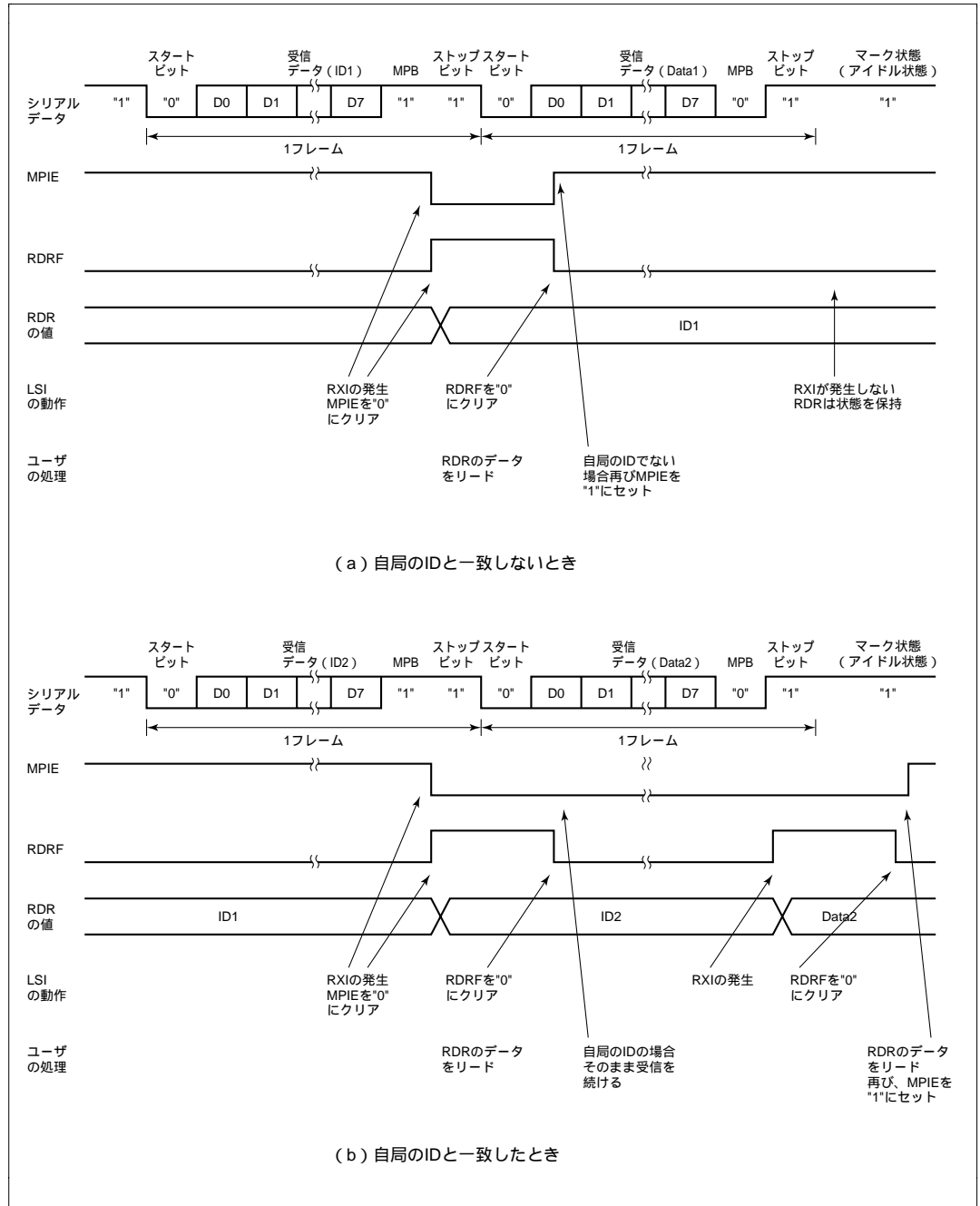


図 10.28 マルチプロセッサフォーマットの受信時の動作例

(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

10.4.7 割込み要因

SCI3 の割込み要因には、送信終了、送信データエンプティ、受信データフルおよび 3 種類の受信エラー（オーバランエラー、フレーミングエラー、パリティエラー）の計 6 種類があり、共通のベクタアドレスが割り付けられています。

表 10.18 に各割込み要求の内容を示します。

表 10.18 SCI3 割込み要求の内容

割込みの略称	割込み要求の内容	ベクタアドレス
RXI	受信データフル（RDRF）による割込み要求	H'0024
TXI	送信データエンプティ（TDRE）による割込み要求	
TEI	送信終了（TEND）による割込み要求	
ERI	受信エラー（OER、FER、PER）による割込み要求	

各割込み要求は、SCR3 の TIE、RIE で許可 / 禁止できます。

SSR の TDRE が "1" にセットされると、TXI が発生します。SSR の TEND が "1" にセットされると、TEI が発生します。この 2 つの割込みは送信時に発生します。

SSR の TDRE は初期値が "1" になっています。したがって送信データを TDR へ転送する前に SCR3 の TIE を "1" にセットして送信データエンプティ割込み要求（TXI）を許可すると、送信データが準備されていなくても TXI が発生します。

また、SSR の TEND は初期値が "1" になっています。したがって、送信データを TDR へ転送する前に SCR3 の TEIE を "1" にセットして送信終了割込み要求（TEI）を許可すると、送信データが送信されていなくても TEI が発生します。

送信データを TDR へ転送する処理を割込み処理ルーチンの中で行うようにすることで、これらの割込み要求を有効に利用できます。

一方、これらの割込み要求（TXI、TEI）の発生を防ぐためには、送信データを TDR へ転送した後に、これらの割込み要求に対応する許可ビット（TIE、TEIE）を "1" にセットしてください。

SSR の RDRF が "1" にセットされると RXI が発生します。OER、PER、FER のいずれかが "1" にセットされると ERI が発生します。この 2 つの割込み要求は受信時に発生します。

割込みに関する詳細は「3.3 割込み」を参照してください。

10.4.8 使用上の注意事項

SCI3 を使用する際は、以下のことに注意してください。

(1) TDR へのライトと TDRE の関係について

SSR の TDRE はシリアル送信するデータが TDR に準備されていないことを示すステータスフラグです。TDR へデータを書き込むと TDRE は自動的に"0"にクリアされます。また SCI3 が TDR から TSR にデータを転送すると、TDRE が"1"にセットされます。

TDR へのデータのライトは、TDRE の状態にかかわらず行うことができますが、TDRE が"0"の状態では新しいデータを TDR に書き込むと、TDR に格納されていた前のデータは、まだ TSR に転送されていない場合失われてしまいます。したがって、シリアル送信を確実に行うために TDR への送信データのライトは、必ず TDRE が"1"にセットされていることを確認してから 1 回だけ行う (2 回以上ライトしない) ようにしてください。

(2) 複数の受信エラーを同時に検出した場合の動作について

複数の受信エラーを同時に検出した場合、SSR の各ステータスフラグの状態は、表 10.19 に示すようにセットされます。オーバランエラーを検出した場合には RSR から RDR へのデータ転送は行われず、受信データは失われます。

表 10.19 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ転送		受信エラーの状態
RDRF*	OER	FER	PER	RSR	RDR	
1	1	0	0	×		オーバランエラー
0	0	1	0			フレーミングエラー
0	0	0	1			パリティエラー
1	1	1	0	×		オーバランエラー + フレーミングエラー
1	1	0	1	×		オーバランエラー + パリティエラー
0	0	1	1			フレーミングエラー + パリティエラー
1	1	1	1	×		オーバランエラー + フレーミングエラー + パリティエラー

： RSR RDR に受信データを転送します。

×： RSR RDR に受信データを転送しません。

【注】 * RDRF は、データ受信前の状態を保持します。ただし、前のフレームの受信データのリードが遅れた結果、次のフレームのオーバランエラーが発生した後に RDR をリードした場合は、RDRF は"0"にクリアされますので注意してください。

(3) ブレークの検出と処理について

フレーミングエラー検出時に、RXD 端子の値を直接リードすることでブレークを検出できます。ブレークではRXD 端子からの入力ですべて"0"になりますので、FERがセットされ、またPERもセットされる可能性があります。

SCI3は、ブレークを受信した後も受信動作を続けます。したがってFERを"0"にクリアしてもふたたびFERが"1"にセットされますので注意してください。

(4) マーク状態とブレークの送出

TEが"0"のとき、TXD 端子はPDRとPCRにより入出力方向とレベルが決まるI/Oポートになります。これを利用してTXD 端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。

TEを"1"にセットするまで、通信回線をマーク状態("1"の状態)にするためには、PCR="1"、PDR="1"を設定します。このとき、TEが"0"にクリアされていますので、TXD 端子はI/Oポートとなっており"1"が出力されます。

一方、データ送信時にブレークを送出したいときは、PCR="1"、PDR="0"に設定した後TEを"0"にクリアします。

TEを"0"にクリアすると現在の送信状態とは無関係に送信部は初期化され、TXD 端子はI/Oポートになり、TXD 端子から"0"が出力されます。

(5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ(OER、PER、FER)が"1"にセットされた状態では、TDREを"0"にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを"0"にクリアしておいてください。

また、REを"0"にクリアしても受信エラーフラグは"0"にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI3 は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時には SCI3 は、スタートビットの立下がりを基本クロックでサンプリングして内部を同期化します。また、受信データを基本クロックの 8 ヶ目の立上がりエッジで内部に取り込みます。

これを図 10.29 に示します。

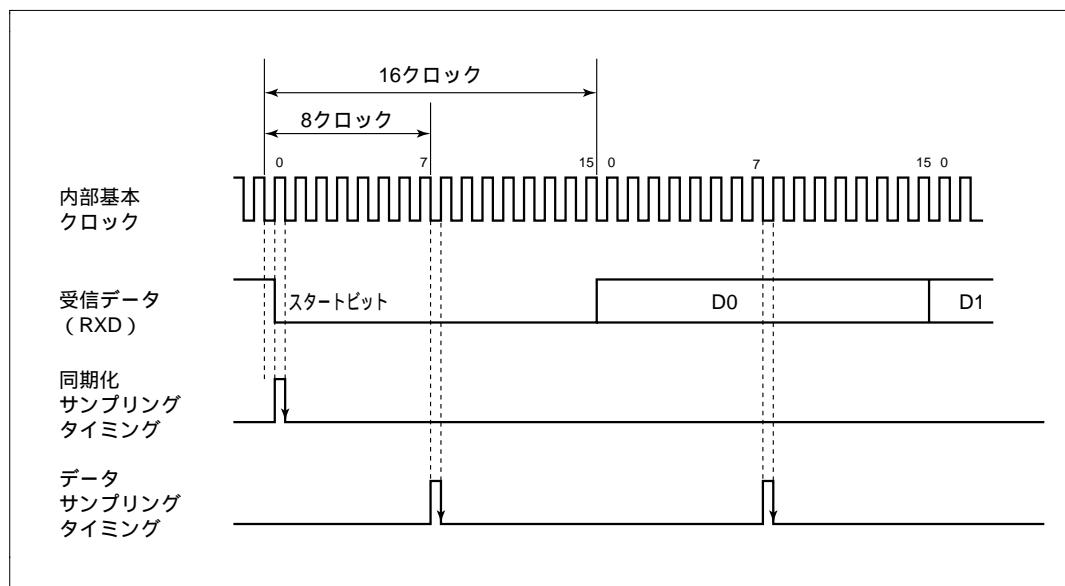


図 10.29 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D - 0.5}{N} - (L - 0.5)F \right\} \times 100 \quad [\%] \quad \dots \text{式 (1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N=16)

D : クロックのデューティ (D=0.5~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D=0.5、F=0 のとき、

$$\begin{aligned} M &= \left\{ 0.5 - 1 / (2 \times 16) \right\} \times 100 \quad [\%] \\ &= 46.875\% \quad \dots \text{式 (2)} \end{aligned}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20～30%の余裕を持たせてください。

(7) RDR のリードと RDRF の関係について

SCI3 は受信動作において、RDRF フラグをチェックしながら動作します。1 フレームの受信終了のタイミングで RDRF が"0"にクリアされていれば、通常データ受信を完了します。また RDRF が"1"にセットされていれば、オーバランエラーとなります。

RDR の内容をリードすると、RDRF は自動的に"0"にクリアされます。したがって、RDR のリードを 2 回以上行う場合、2 回目以降のリード操作は RDRF が"0"の状態で行われます。RDRF が"0"の状態 RDR のリードを行うと、リード操作が次のフレームの受信が完了するタイミングと重なった場合、次のフレームのデータが読み出されることがありますので注意してください。これを図 10.30 に示します。

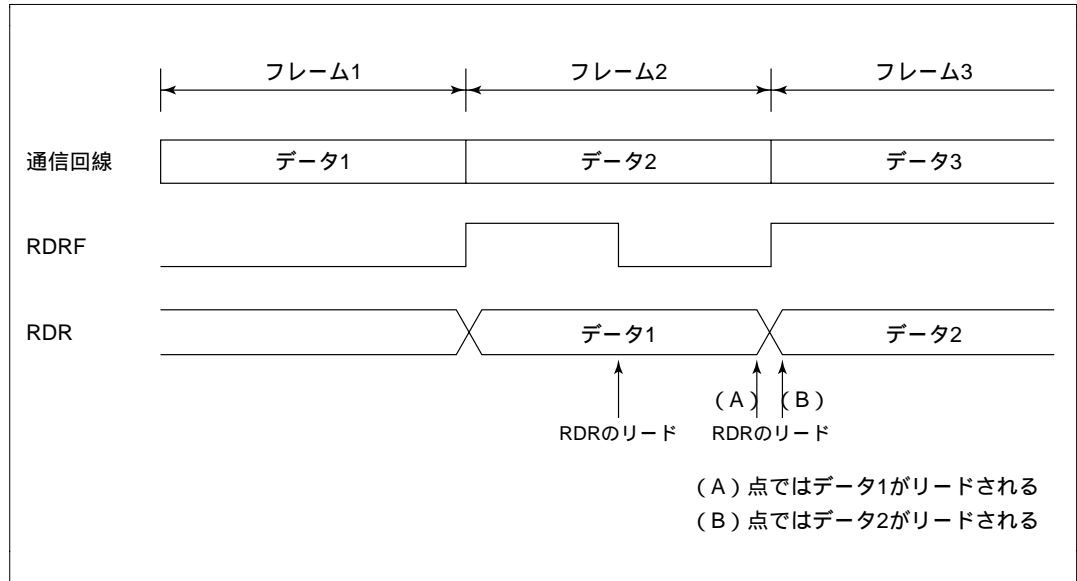


図 10.30 RDR のリードタイミングとデータの関係

この場合、RDR のリード操作は RDRF が"1"にセットされていることを確認してから、1 回のみ行う (2 回以上リードしない) ようにしてください。2 回以上リードする場合は、1 回リードしたデータを RAM などに転送し、その内容を使用するようにしてください。また、RDR のリード操作は、次のフレームの受信が完了するまでに余裕をもって行うようにしてください。具体的なタイミングとしては、クロック同期式モードではビット 7 の転送前まで、調歩同期式モードでは STOP ビットの転送前までに RDR のリードを完了してください。

(8) SCK₃の端子機能切換えに伴う注意事項

SCI3 をクロック同期式モードで使用した後、SCK₃ 端子をクロック出力から入出力ポートに端子機能を切換えると SCK₃ 端子に端子機能切換えのタイミングで瞬時（システムクロック の 1/2 の期間）"Low"レベルを出力しますので注意してください。

この瞬時の"Low"レベル出力を回避するには次の方法があります。

(a) SCK₃端子をクロック出力状態から非出力状態にする場合

送受信を停止する際、1 命令で SCR3 の TE ビット、RE ビットを"0"にクリアすると同時に CKE1 ビットを"1"、CKE0 ビットを"0"に設定してください。

この場合は、SMR の COM ビット = "1"の状態で使用してください。したがって、入出力ポートとしては使用できません。また、SCK₃端子に中間電位が印加しないように SCK₃端子に接続したラインは抵抗を介して V_{CC}電位にプルアップするか、他のデバイスから出力を与えるかしてください。

(b) SCK₃端子をクロック出力から入出力ポートに端子機能を切換える場合

送受信を停止する際、まず 1 命令で SCR3 の TE ビット、RE ビットを共に"0"にクリアすると同時に CKE1 ビットを"1"、CKE0 ビットを"0"に設定してください。

次に SMR の COM ビットを"0"にクリアしてください。

最後に SCR3 の CKE1、CKE0 ビットを共に"0"にクリアしてください。

この場合も SCK₃端子に中間電位が印加しないように注意してください。

(9) TxD 端子機能切換えに伴う注意事項

SCI3 をクロック同期式モードで使用した後、TxD 端子をデータ出力から入出力ポートに端子機能を切換えると TxD 端子に端子機能を切換えのタイミングで瞬時（システムクロック の期間）"High"レベルを出力しますので注意してください。

11. 14ビットPWM

第11章 目次

11.1	概要	345
11.1.1	特長	345
11.1.2	ブロック図	345
11.1.3	端子構成	346
11.1.4	レジスタ構成	346
11.2	各レジスタの説明	347
11.2.1	PWM コントロールレジスタ (PWCR)	347
11.2.2	PWM データレジスタ U、L (PWDRU、PWDRL)	348
11.3	動作説明	349

11.1 概要

本LSIは、14ビットPWM (Pulse Width Modulator) を内蔵しています。ローパスフィルタを接続することでD/A変換器として使用できます。

11.1.1 特長

14ビットPWMの特長を以下に示します。

2種類の変換周期を選択可能

1変換周期 $32,768/f$ 、最小変化幅 $2/f$ (PWCR0="1")、または1変換周期 $16,384/f$ 、最小変化幅 $1/f$ (PWCR0="0") の選択が可能です。

リップル低減を図ったパルス分割方式

11.1.2 ブロック図

14ビットPWMのブロック図を図11.1に示します。

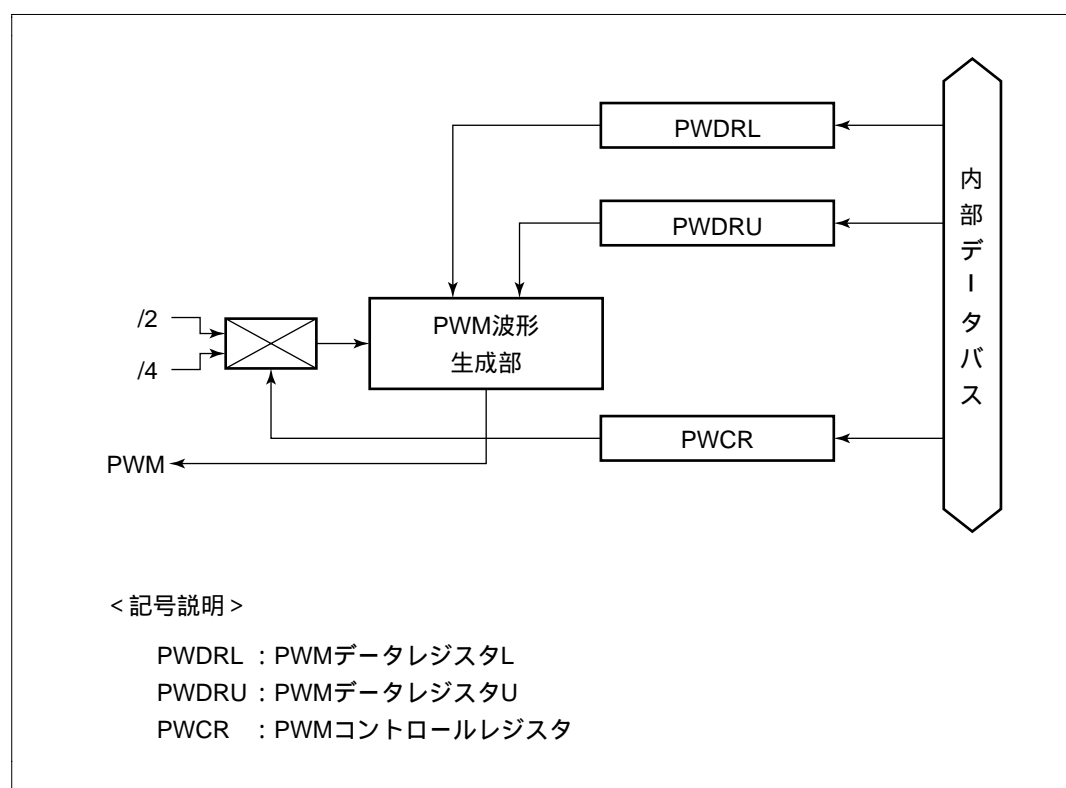


図 11.1 14ビットPWMのブロック図

11.1.3 端子構成

14ビットPWMの端子構成を表11.1に示します。

表 11.1 端子構成

名称	略称	入出力	機能
PWM出力端子	PWM	出力	パルス分割方式PWM波形出力

11.1.4 レジスタ構成

14ビットPWMのレジスタ構成を表11.2に示します。

表 11.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
PWMコントロールレジスタ	PWCR	W	H'FE	H'FFD0
PWMデータレジスタU	PWDRU	W	H'C0	H'FFD1
PWMデータレジスタL	PWDRL	W	H'00	H'FFD2

11.2 各レジスタの説明

11.2.1 PWM コントロールレジスタ (PWCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PWCR0
初期値:	1	1	1	1	1	1	1	0
R/W :	—	—	—	—	—	—	—	W

PWCRは、8ビットのライト専用レジスタで、入力クロックの選択を行います。

リセット時、PWCRはH'FEにイニシャライズされます。

ビット7~1: リザーブビット

リザーブビットです。各ビットはリードすると常に"1"が読み出されます。ライトは無効です。

ビット0: クロックセレクト0 (PWCR0)

14ビットPWMに供給されるクロックを選択します。

本ビットはライト専用です。リードすると常に"1"が読み出されます。

ビット0	説明
PWCR0	
0	入力クロック = $t^*/2$ ($t^* = 2/$) (初期値) 1変換周期 $16,384/$ 、最小変化幅 $1/$ のPWM波形を生成
1	入力クロック = $t^*/4$ ($t^* = 4/$) 1変換周期 $32,768/$ 、最小変化幅 $2/$ のPWM波形を生成

【注】 * t : PWM入力クロックの周期

11.2.2 PWM データレジスタ U、L (PWDRU、PWDRL)

ビット:	7	6	5	4	3	2	1	0
PWDRU	—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0
初期値:	1	1	0	0	0	0	0	0
R/W :	—	—	W	W	W	W	W	W

ビット:	7	6	5	4	3	2	1	0
PWDRL	PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PWDRU、PWDRL は、ライト専用の 14 ビットのレジスタで、PWDRU が上位 6 ビット、PWDRL が下位 8 ビットの構成になっています。PWDRU、PWDRL に書き込まれた内容は PWM 波形 1 周期の "High" レベル幅の合計に対応します。

PWDRU、PWDRL に 14 ビットのデータをライトすると、PWDRU、PWDRL の内容が PWM 波形生成部に取り込まれ、PWM 波形生成のデータの更新が行われます。14 ビットデータの設定は必ず PWDRL → PWDRU の順序で行ってください。

- (1) PWDRL へ下位 8 ビットのデータをライトする。
- (2) PWDRU へ上位 6 ビットのデータをライトする。

PWDRU、PWDRL は、ライト専用レジスタです。リードした場合各ビットは常に "1" が読み出されます。

リセット時、PWDRU、PWDRL は H'C000 にイニシャライズされます。

11.3 動作説明

14ビットPWMを使用する場合、以下の順序でレジスタ設定を行ってください。

- (1) PMR1のPWM="1"としてP1₄/PWM端子をPWM出力端子に設定します。
- (2) PWCRのPWCR0により、1変換周期を32,768/ (PWCR0="1")、16,384/ (PWCR0="0")から選択します。
- (3) PWDRU、PWDRLに出力波形データを設定します。このとき、必ずPWDRL → PWDRUの順序で書き込んでください。PWDRUへのライトと同時にPWM波形生成部にデータが取り込まれ、内部信号と同期をとってPWM波形生成の更新が行われます。

1変換周期は図11.2に示すように64個のパルスで構成され、この1変換周期中の"High"レベル幅合計(T_H)が、PWDRU、PWDRLのデータに対応しています。

この関係は次式で示されます。

$$T_H = (\text{PWDRU、PWDRLのデータ値} + 64) \times t / 2$$

ここで t は、PWM入力クロックの周期で2/ (PWCR0="0")または4/ (PWCR0="1")となります。

(例) 変換周期を8,192 μ sとするためには、以下のように設定します。

PWCR0="0"に設定すると、1変換周期は16,384/なので、 $f_{\text{PWM}} = 2\text{MHz}$ となります。

このとき、 $t_{\text{in}} = 128\mu\text{s}$ 、1/ (精度) = 0.5 μs です。

PWCR0="1"に設定すると、1変換周期は32,768/なので、 $f_{\text{PWM}} = 4\text{MHz}$ となります。

このとき、 $t_{\text{in}} = 128\mu\text{s}$ 、2/ (精度) = 0.5 μs です。

したがって、1変換周期8,192 μs とするためには、システムクロック()は2MHzまたは、4MHzで使用するようになります。

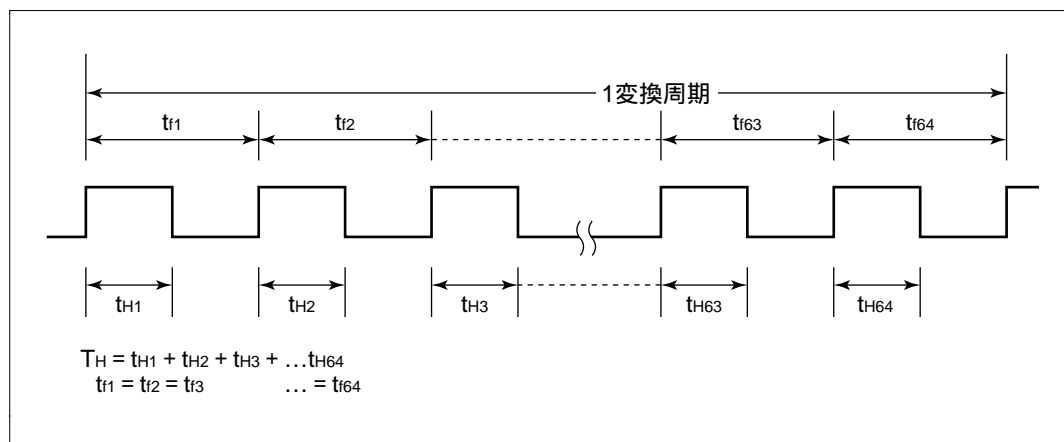


図 11.2 PWM出力波形

12. A/D 変換器

第 12 章 目次

12.1	概要	353
12.1.1	特長	353
12.1.2	ブロック図	354
12.1.3	端子構成	355
12.1.4	レジスタ構成	355
12.2	各レジスタの説明	356
12.2.1	A/D リザルトレジスタ (ADRR)	356
12.2.2	A/D モードレジスタ (AMR)	356
12.2.3	A/D スタートレジスタ (ADSR)	358
12.3	動作説明	359
12.3.1	A/D 変換動作	359
12.3.2	外部トリガによる A/D 変換器の起動	359
12.4	割込み要因	360
12.5	使用例	361
12.6	使用上の注意	365

12.1 概要

本 LSI は、抵抗ラダー方式による逐次比較型 A/D 変換器を内蔵しており、最大 12 チャンネルのアナログ入力の測定ができます。

12.1.1 特長

A/D 変換器の特長を以下に示します。

8 ビットの分解能

入力チャンネル：12 チャンネル

変換時間：1 チャンネル当たり 12.4 μ s (5MHz 動作時)

サンプル&ホールド機能

A/D 変換終了割り込み要求を発生

外部トリガ入力により、A/D 変換開始を指定可能

12.1.2 ブロック図

A/D変換器のブロック図を図12.1に示します。

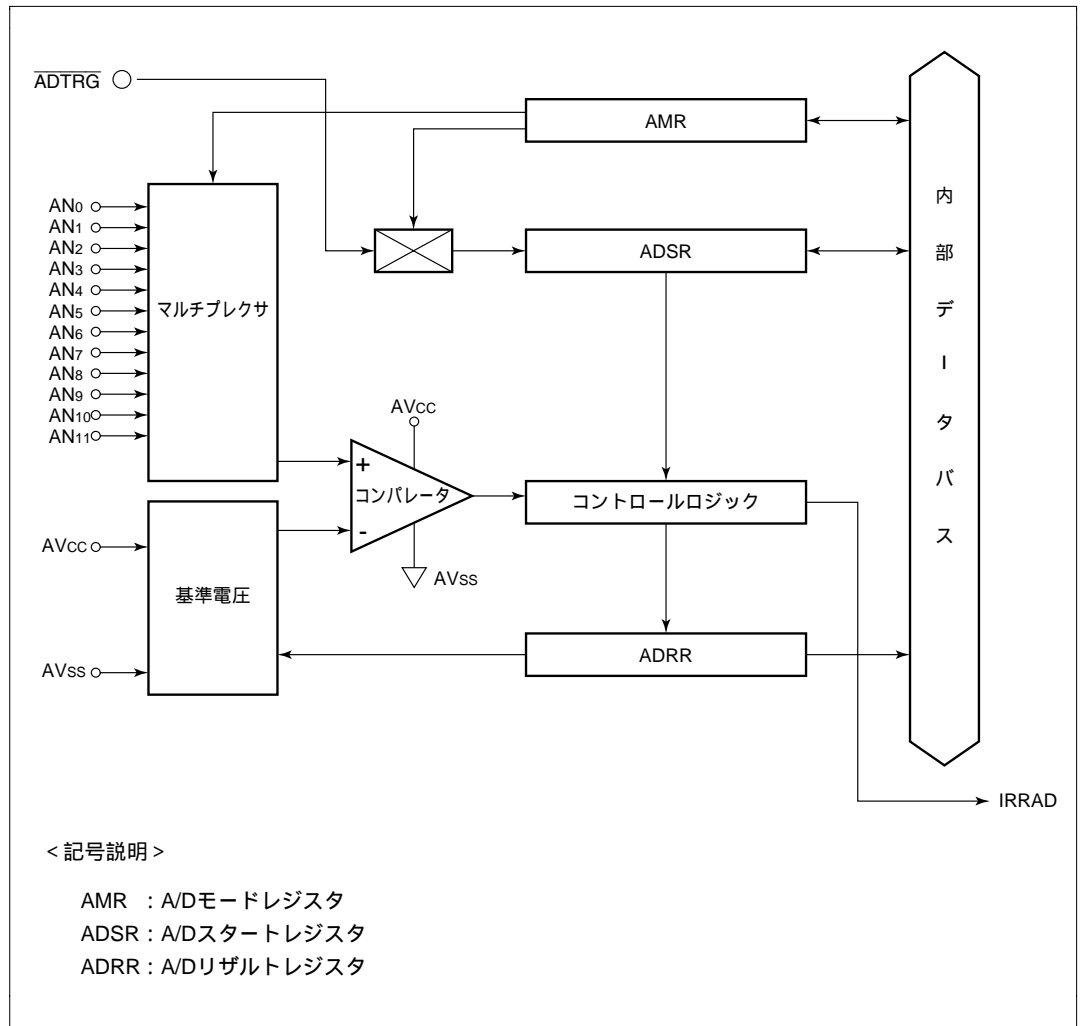


図12.1 A/D変換器ブロック図

12.1.3 端子構成

A/D変換器の端子構成を表 12.1 に示します。

表 12.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AV _{CC}	入力	アナログ部の電源および基準電圧
アナロググランド端子	AV _{SS}	入力	アナログ部のグランドおよび基準電圧
アナログ入力端子 0	AN ₀	入力	アナログ入力チャンネル 0
アナログ入力端子 1	AN ₁	入力	アナログ入力チャンネル 1
アナログ入力端子 2	AN ₂	入力	アナログ入力チャンネル 2
アナログ入力端子 3	AN ₃	入力	アナログ入力チャンネル 3
アナログ入力端子 4	AN ₄	入力	アナログ入力チャンネル 4
アナログ入力端子 5	AN ₅	入力	アナログ入力チャンネル 5
アナログ入力端子 6	AN ₆	入力	アナログ入力チャンネル 6
アナログ入力端子 7	AN ₇	入力	アナログ入力チャンネル 7
アナログ入力端子 8	AN ₈	入力	アナログ入力チャンネル 8
アナログ入力端子 9	AN ₉	入力	アナログ入力チャンネル 9
アナログ入力端子 10	AN ₁₀	入力	アナログ入力チャンネル 10
アナログ入力端子 11	AN ₁₁	入力	アナログ入力チャンネル 11
外部トリガ入力端子	$\overline{\text{ADTRG}}$	入力	A/D変換の開始を制御する外部トリガ入力

12.1.4 レジスタ構成

A/D変換器のレジスタ構成を表 12.2 に示します。

表 12.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
A/D モードレジスタ	AMR	R/W	H'30	H'FFC4
A/D スタートレジスタ	ADSR	R/W	H'7F	H'FFC6
A/D リザルトレジスタ	ADRR	R	不定	H'FFC5

12.2 各レジスタの説明

12.2.1 A/Dリザルトレジスタ (ADRR)

ビット:	7	6	5	4	3	2	1	0
	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R	R	R	R	R	R	R	R

ADRRは、A/D変換された結果を格納する8ビットのリード専用レジスタです。

ADRRは常にCPUからリード可能です。A/D変換中はADRRの値は不定で、A/D変換終了時に変換結果の8ビットデータが格納され、次の変換開始までこのデータが保持されます。

ADRRは、リセットでクリアされません。

12.2.2 A/Dモードレジスタ (AMR)

ビット:	7	6	5	4	3	2	1	0
	CKS	TRGE	—	—	CH3	CH2	CH1	CH0
初期値:	0	0	1	1	0	0	0	0
R/W :	R/W	R/W	—	—	R/W	R/W	R/W	R/W

AMRは、8ビットのリード/ライト可能なレジスタで、A/D変換スピードの設定、外部トリガの選択、アナログ入力端子の指定を行います。

リセット時、AMRはH'30にイニシャライズされます。

ビット7: クロックセレクト (CKS)

A/D変換スピードの設定を行います。

ビット7	変換周期	変換時間	
		= 2MHz	= 5MHz
0	62/ (初期値)	31 μ s	12.4 μ s
1	31/	15.5 μ s	*

【注】 * 12.4 μ s以下の変換時間では、動作が保証されません。12.4 μ s以上になるように選択してください。

ビット6：外部トリガセレクト (TRGE)

外部トリガ入力による A/D 変換の開始を許可または禁止します。

ビット6	
TRGE	説明
0	外部トリガによる A/D 変換の開始を禁止 (初期値)
1	外部トリガ ($\overline{\text{ADTRG}}$) 端子の立上がりエッジ、または立下がりエッジで A/D 変換を開始*

【注】 * 外部トリガ ($\overline{\text{ADTRG}}$) 端子のエッジ選択は IEGR の INTEG4 により設定します。詳細は「3.3.2 (1) 割込みエッジセレクトレジスタ (IEGR)」を参照してください。

ビット5～4：リザーブビット

リザーブビットです。各ビットはリードすると常に"1"が読み出されます。ライトは無効です。

ビット3～0：チャンネルセレクト3～0 (CH3～CH0)

アナログ入力チャンネルの選択を行います。

チャンネル選択の切換えは、ADSF = "0"の状態で行ってください。

ビット3	ビット2	ビット1	ビット0	
CH3	CH2	CH1	CH0	アナログ入力チャンネル
0	0	*	*	非選択 (初期値)
0	1	0	0	AN ₀
0	1	0	1	AN ₁
0	1	1	0	AN ₂
0	1	1	1	AN ₃
1	0	0	0	AN ₄
1	0	0	1	AN ₅
1	0	1	0	AN ₆
1	0	1	1	AN ₇
1	1	0	0	AN ₈
1	1	0	1	AN ₉
1	1	1	0	AN ₁₀
1	1	1	1	AN ₁₁

* : Don't care

12.2.3 A/D スタートレジスタ (ADSR)

ビット:	7	6	5	4	3	2	1	0
	ADSF	—	—	—	—	—	—	—
初期値:	0	1	1	1	1	1	1	1
R/W :	R/W	—	—	—	—	—	—	—

ADSR は、8 ビットのリード/ライト可能なレジスタで、A/D 変換の開始または停止を指定します。

ADSF に"1"をライトまたは外部トリガのエッジ入力により、ADSF が"1"にセットされ A/D 変換が開始します。変換が終了すると変換データはADRR にセットされ、同時に ADSF は"0"にクリアされます。

ビット7 : A/D スタートフラグ (ADSF)

A/D 変換の開始および終了の確認を行います。

ビット7	説明	
ADSF		
0	リード時	A/D 変換の終了 (初期値)
	ライト時	A/D 変換を強制終了
1	リード時	A/D 変換中
	ライト時	A/D 変換を開始

ビット6~0 : リザーブビット

リザーブビットです。各ビットはリードすると常に"1"が読み出されます。ライトは無効です。

12.3 動作説明

12.3.1 A/D変換動作

A/D変換器は逐次比較方式で動作し、8ビットの変換結果が得られます。

ソフトウェアにより ADSF を "1" にセットすると、A/D変換を開始します。ADSF は、A/D変換中は "1" を保持しており、変換が終了すると自動的に "0" にクリアされます。

また、変換が終了すると、IRR2 の IRRAD が "1" にセットされます。このとき、IENR2 の IENAD が "1" にセットされていると、A/D変換終了割り込みが発生します。

A/D変換中に、AMR により変換時間や入力チャネルの切換えを行う場合は、誤動作を避けるために ADSF を "0" にクリアして、A/D変換を強制終了させて行ってください。

12.3.2 外部トリガによる A/D変換器の起動

A/D変換器は外部トリガ入力によって A/D変換を開始させることができます。

外部トリガは I/Oポートの PMR2 の IRQ4 が "1" でかつ AMR の TRGE が "1" のと

き、 $\overline{\text{ADTRG}}$ 入力端子から入力されます。 $\overline{\text{ADTRG}}$ 入力端子から IEGR の IEG4 で指定されたエッジが入力されると、ADSR の ADSF が "1" にセットされ、A/D変換が開始されます。

このタイミングを図 12.2 に示します。

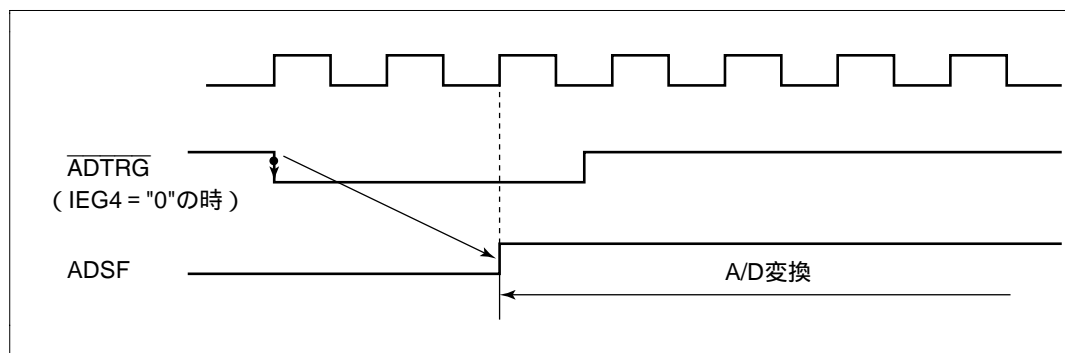


図 12.2 外部トリガ入力タイミング

12.4 割込み要因

A/D変換終了時 (ADSF = "1" "0")、IRR2のIRRADが"1"にセットされます。

A/D変換終了割込みは、IENR2のIENADにより、許可/禁止を指定できます。

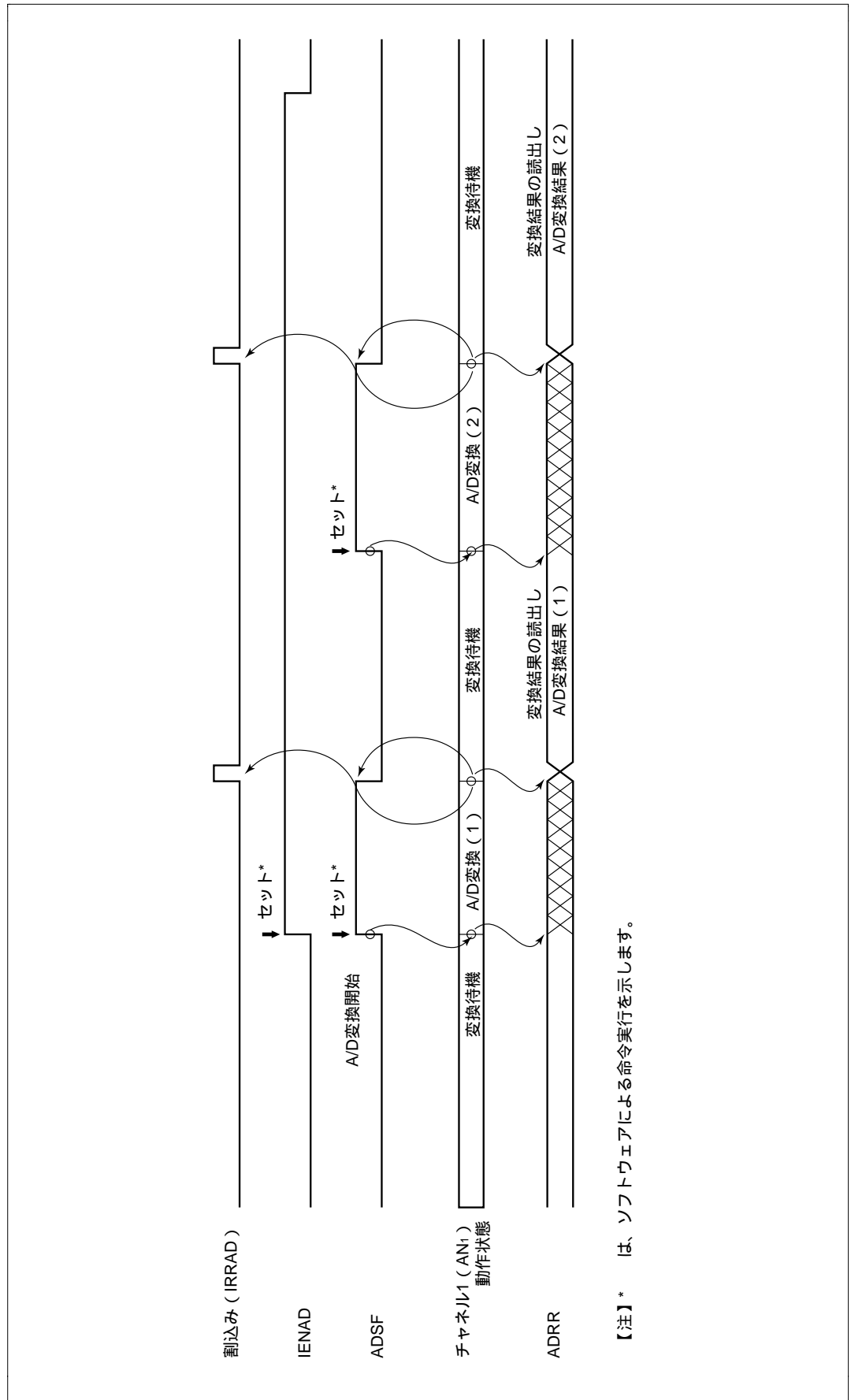
詳細は「3.3 割込み」を参照してください。

12.5 使用例

チャンネル1 (AN1) をアナログ入力チャンネルに選択した場合の動作例を示します。動作タイミングを図 12.3 に示します。

- (1) 入力チャンネルを AN₁ (AMR の CH3 ~ CH0 を "0101")、IENAD = "1" に設定して、A/D 変換を開始 (ADSF = "1") します。
- (2) A/D 変換が終了すると、IRRAD が "1" にセットされ、A/D 変換結果が ADDR に格納されます。同時に ADSF = "0" となり、A/D 変換器は変換待機となります。
- (3) IENAD = "1" となっているため A/D 変換終了割り込み要求が発生します。
- (4) A/D 割り込み処理ルーチンが開始されます。
- (5) A/D 変換結果を読み出して、処理します。
- (6) A/D 変換処理ルーチンの実行が終了します。

この後、ADSF = "1" にセットすると A/D 変換が開始され (2) ~ (6) を行います。A/D 変換器の使用手順の概念フローを図 12.4、図 12.5 に示します。



【注】* は、ソフトウェアによる命令実行を示します。

図 12.3 A/D 変換器の動作例

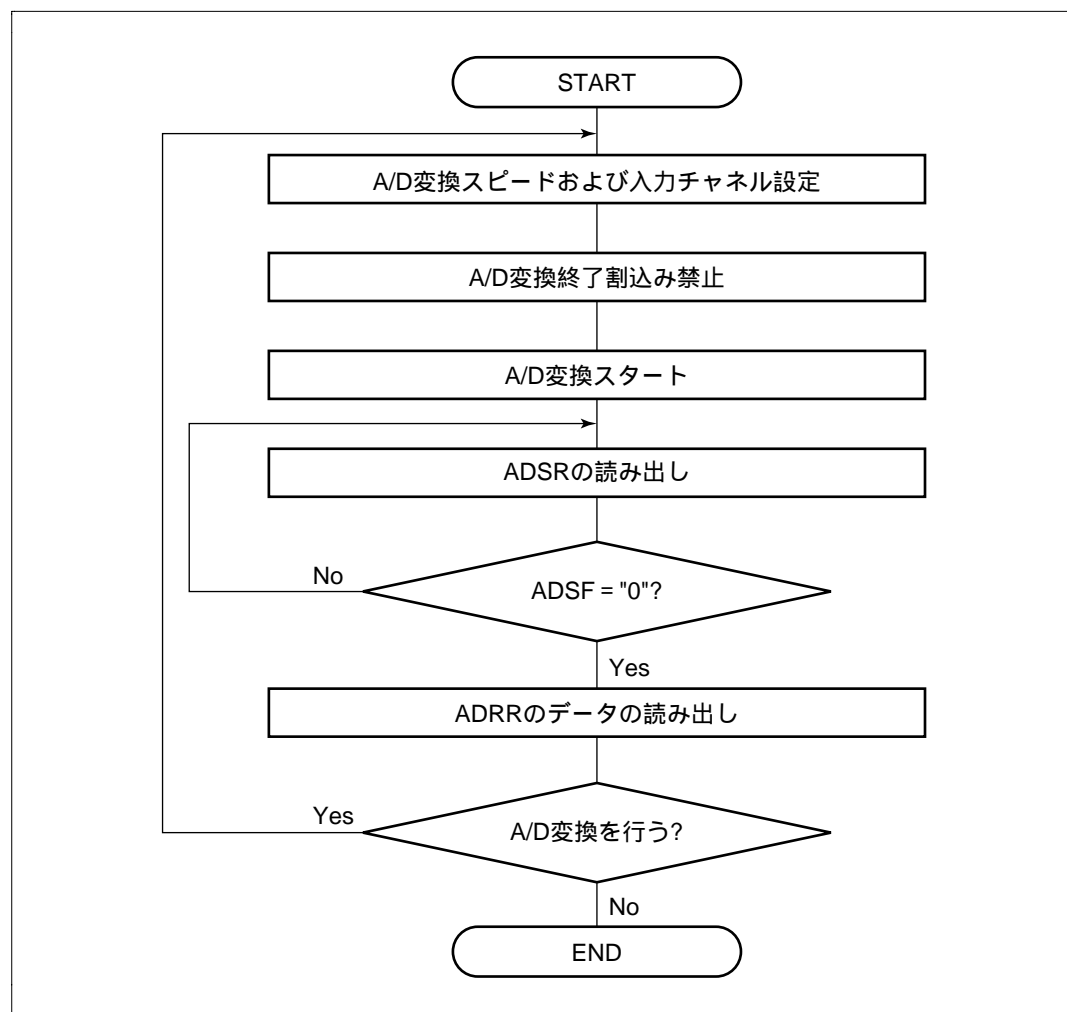


図 12.4 A/D 変換器の使用手順の概念フロー (1)
(ソフトウェアでポーリングする場合)

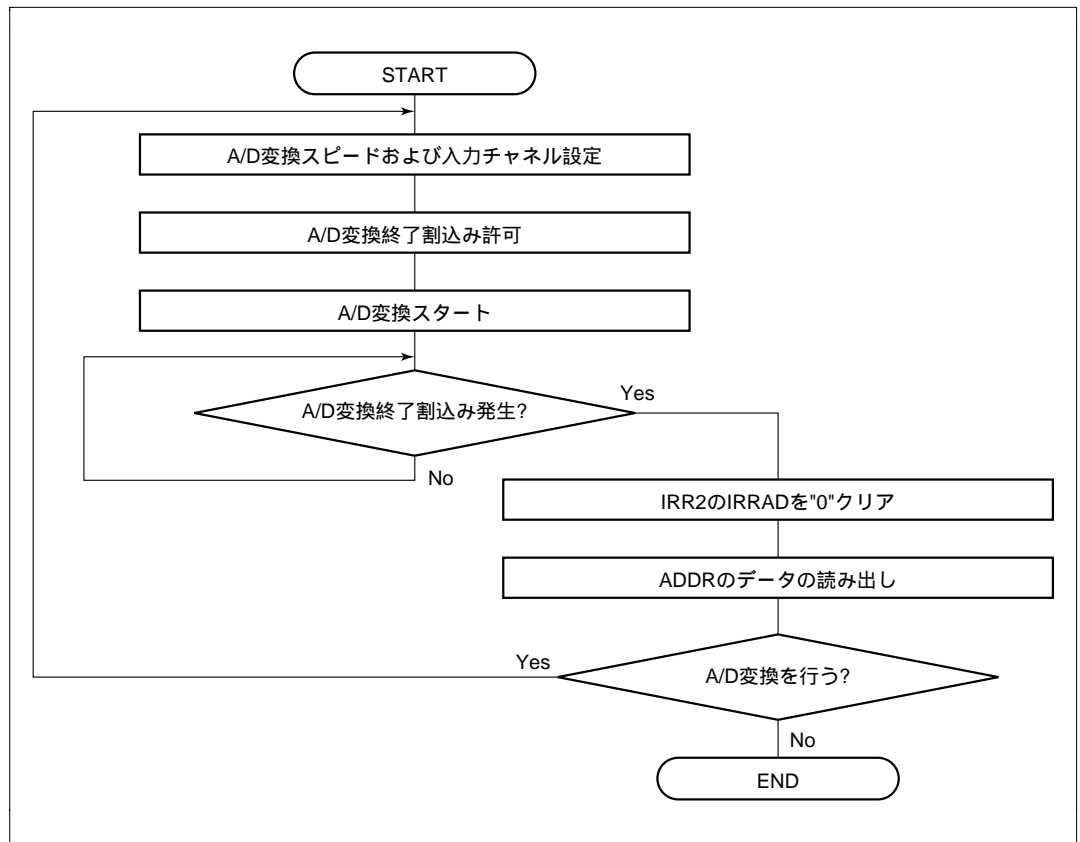


図 12.5 A/D 変換器の使用手順の概念フロー（2）
（割り込みを使用する場合）

12.6 使用上の注意

- (1) ADRRの読出しは、ADSRのADSFが"0"のときに行ってください。
- (2) A/D変換中に隣接した端子のデジタル入力信号を変化させると変換精度に悪影響を及ぼします。

13. LCD コントローラ / ドライバ

第 13 章 目次

13.1	概要	369
13.1.1	特長	369
13.1.2	ブロック図	370
13.1.3	端子構成	371
13.1.4	レジスタ構成	371
13.2	各レジスタの説明	372
13.2.1	LCD ポートコントロールレジスタ (LPCR)	372
13.2.2	LCD コントロールレジスタ (LCR)	374
13.3	動作説明	376
13.3.1	LCD 表示までのセッティング	376
13.3.2	LCD RAM と表示の関係	377
13.3.3	HD66100 との接続	377
13.3.4	低消費電力モード時の動作	385
13.3.5	LCD 駆動電源の強化	386

13.1 概要

本 LSI は、セグメントタイプの LCD コントロール回路と LCD ドライバと電源回路を内蔵しているため、LCD パネルを直接駆動することができます。

13.1.1 特長

LCD コントローラ/ドライバの特長を以下に示します。

表示容量

	デューティ比	内部ドライバ	セグメント外部拡張ドライバ
内蔵ドライバのみ使用時		40SEG	0
セグメント外部拡張時	スタティック	36SEG	476SEG
	1/2	36SEG	220SEG
	1/3	36SEG	92SEG
	1/4	36SEG	92SEG

【注】 セグメント外部拡張では HD66100 を使用することができます。

LCD RAM 容量

8 ビット × 64 バイト (512 ビット)

LCD RAM はワードアクセス可能

セグメント出力端子を 4 端子ごとにポートとして使用可能

デューティ比により使用しないコモン出力端子をコモンダブルバッファ用 (並列接続用) とポートのどちらかを選択可能

スタンバイモード以外の動作モードで表示可能

フレーム周波数を 11 種類より選択可能

電源分割抵抗を内蔵し、LCD 駆動電源を供給

13.1.2 ブロック図

LCD コントローラ/ドライバのブロック図を図 13.1 に示します。

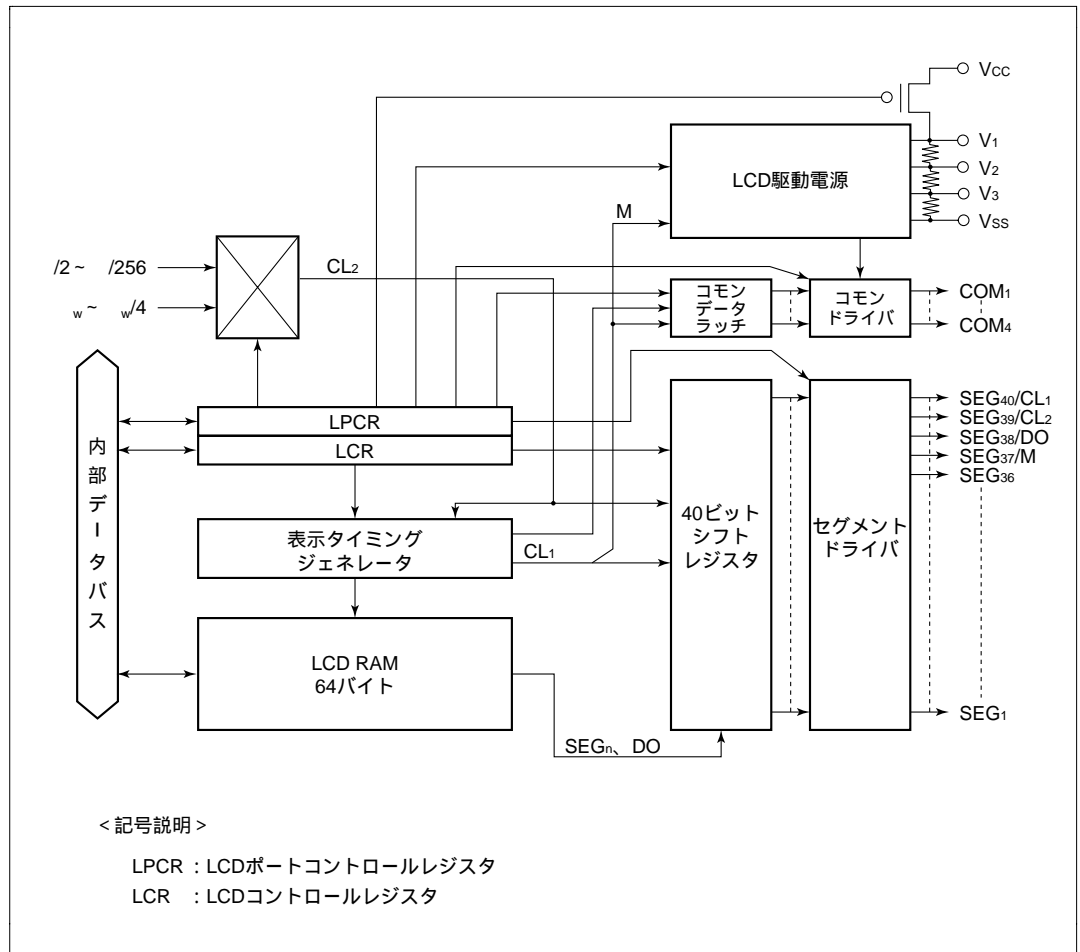


図 13.1 LCD コントローラ/ドライバのブロック図

13.1.3 端子構成

LCD コントローラ/ドライバの端子構成を表 13.1 に示します。

表 13.1 端子構成

端子名	記号	入出力	機能
セグメント出力端子	SEG ₄₀ ~ SEG ₁	出力	液晶のセグメント駆動用端子 全端子、ポートと兼用でプログラマブルに設定可能
コモン出力端子	COM ₄ ~ COM ₁	出力	液晶のコモン駆動端子 Static、1/2 デューティ時には端子の並列化が可能
セグメント 外部拡張信号端子	CL ₁	出力	表示データラッチクロック、SEG ₄₀ と兼用
	CL ₂	出力	表示データシフトクロック、SEG ₃₉ と兼用
	M	出力	LCD 交流化信号、SEG ₃₇ と兼用
	DO	出力	シリアル表示データ、SEG ₃₈ と兼用
LCD 電源端子	V ₁ 、V ₂ 、V ₃	入力	外付けでパソコンを接続する場合、外部電源回路を使用する場合に使用

13.1.4 レジスタ構成

LCD コントローラ/ドライバのレジスタ構成を表 13.2 に示します。

表 13.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
LCD ポートコントロールレジスタ	LPCR	R/W	H'00	H'FFC0
LCD コントロールレジスタ	LCR	R/W	H'80	H'FFC1
LCD RAM		R/W	不定	H'F740* ~ H'F77F*

【注】 * リセット解除後の値です。

13.2 各レジスタの説明

13.2.1 LCD ポートコントロールレジスタ (LPCR)

ビット:	7	6	5	4	3	2	1	0
	DTS1	DTS0	CMX	SGX	SGS3	SGS2	SGS1	SGS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

LPCR は、8 ビットのリード/ライト可能なレジスタで、デューティ比の選択、LCD ドライバや端子機能の選択を行います。

リセット時、LPCR は H'00 にイニシャライズされます。

ビット 7~5 : デューティ比選択 1, 0 (DTS1、DTS0)、コモン機能選択 (CMX)

DTS1、DTS0 の組合せで、スタティック、1/2 ~ 1/4 デューティのいずれかを選択します。CMX は、デューティによって使用しないコモン端子をポートとして使用するか、またはコモンドライブ能力を大きくするために複数の端子から同じ波形を出力するかを選択します。

ビット 7	ビット 6	ビット 5			
DTS1	DTS0	CMX	デューティ比	コモンドライバ*1	補足説明
0	0	0	スタティック	COM ₁ (初期値)	COM ₃ 、COM ₂ 、COM ₁ はポートとして使用可能
		1		COM ₄ ~ COM ₁	COM ₄ 、COM ₃ 、COM ₂ は COM ₁ と同じ波形が出力
0	1	0	1/2 デューティ	COM ₂ ~ COM ₁	COM ₄ 、COM ₃ はポートとして使用可能
		1		COM ₄ ~ COM ₁	COM ₄ は COM ₃ 、COM ₂ は COM ₁ と同じ波形が出力
1	0	0	1/3 デューティ	COM ₃ ~ COM ₁	COM ₄ はポートとして使用可能
		1		COM ₄ ~ COM ₁	COM ₄ は非選択波形が出力*2
1	1	0	1/4 デューティ	COM ₄ ~ COM ₁	
		1			

【注】 *1 SGX が "0" かつ SGS3 ~ SGS0 が "0000" のときは COM₄ ~ COM₁ はポートとなります。それ以外のときはコモンドライバは上記表に従います。

*2 COM₄ 端子から常に非選択波形が出力されますので使用しないでください。

ビット4：拡張信号選択 (SGX)

SGX は SEG₄₀/CL₁、SEG₃₉/CL₂、SEG₃₈/DO、SEG₃₇/M 端子をセグメント端子 (SEG₄₀ ~ SEG₃₇) として使用するか、またはセグメント外部拡張信号端子 (CL₁、CL₂、DO、M) として使用するかを選択します。

ビット4	説明
SGX	
0	SEG ₄₀ ~ SEG ₃₇ 端子* (初期値)
1	CL ₁ 、CL ₂ 、DO、M 端子

【注】 * SGS3 ~ SGS0 が "0000" のときはポートとして機能します。

ビット3~0：セグメントドライバ選択3~0 (SGS3 ~ SGS0)

SGS3 ~ SGS0 は使用するセグメントドライバを選択します。

ビット4	ビット3	ビット2	ビット1	ビット0	SEG ₄₀ ~ SEG ₁ 端子の機能										補足説明	
					SEG ₄₀ ~ SEG ₃₇	SEG ₃₆ ~ SEG ₃₃	SEG ₃₂ ~ SEG ₂₉	SEG ₂₈ ~ SEG ₂₅	SEG ₂₄ ~ SEG ₂₁	SEG ₂₀ ~ SEG ₁₇	SEG ₁₆ ~ SEG ₁₃	SEG ₁₂ ~ SEG ₉	SEG ₈ ~ SEG ₅	SEG ₄ ~ SEG ₁		
0	0	0	0	0	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	(初期値)
	0	0	0	1	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	0	1	0	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	0	1	1	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	1	0	0	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	
	0	1	0	1	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	
	0	1	1	0	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	
	0	1	1	1	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	
	1	*	*	0	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	
	1	*	*	1	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	
1	0	0	0	0	外部拡張	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	0	0	1	外部拡張	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	0	1	0	外部拡張	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	0	1	1	外部拡張	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	1	0	0	外部拡張	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	
	0	1	0	1	外部拡張	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	
	0	1	1	0	外部拡張	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	
	0	1	1	1	外部拡張	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	
	1	*	*	0	外部拡張	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	
	1	*	*	1	外部拡張	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	

* : Don't care

13.2.2 LCD コントロールレジスタ (LCR)

ビット:	7	6	5	4	3	2	1	0
	—	PSW	ACT	DISP	CKS3	CKS2	CKS1	CKS0
初期値:	1	0	0	0	0	0	0	0
R/W :	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

LCR は、8 ビットのリード/ライト可能なレジスタで、LCD 駆動電源用ラダー抵抗 ON/OFF 制御、表示データの制御、フレーム周波数の選択を行います。

リセット時、LCR は H'80 にイニシャライズされます。

ビット7: リザーブビット

リザーブビットです。本ビットは、リードすると常に"1" が読み出されます。ライトは無効です。

ビット6: LCD 駆動電源用ラダー抵抗 ON/OFF 制御 (PSW)

低消費電力モードで LCD 表示を必要としない場合、また外部電源を使用する場合に LCD 駆動電源のラダー抵抗をカットすることができます。ACT を"0"とした場合、またスタンバイモード時には本ビットとは無関係にラダー抵抗が OFF 状態となります。

ビット6	
PSW	説明
0	LCD 駆動電源用ラダー抵抗 OFF (初期値)
1	LCD 駆動電源用ラダー抵抗 ON

ビット5: 表示機能開始 (ACT)

LCD コントローラ/ドライバを使用するかしないかを選択します。本ビットを"0"にクリアすることにより、LCD コントローラ/ドライバは動作を停止します。また、PSW の値と無関係に LCD 駆動電源用ラダー抵抗が OFF 状態になります。ただし、レジスタの内容は保持されます。

ビット5	
ACT	説明
0	LCD コントローラ/ドライバ動作停止 (初期値)
1	LCD コントローラ/ドライバ動作

ビット4：表示データ制御（DISP）

DISP はLCD RAM の内容を表示するかLCD RAM の内容に関係なくブランクデータを表示するかを選択します。セグメント外部拡張として HD66100 を使用している際も有効です。

ビット4	説明	
DISP		
0	ブランクデータを表示	(初期値)
1	LCD RAM データを表示	

ビット3～0：フレーム周波数選択3～0（CKS3～CKS0）

使用クロックの選択とフレーム周波数の選択を行います。サブアクティブモード、ウォッチモード、サブスリープモードではシステムクロック（ ）が停止するので、 $/2 \sim /256$ を選択している場合は表示動作を行いません。これらのモードにおいて LCD 表示を行う場合は、必ず使用クロックとして w 、 $w/2$ または $w/4$ を選択するようにしてください。

ビット3	ビット2	ビット1	ビット0	使用クロック	フレーム周波数*3	
					= 5MHz	= 625kHz*1
0	*	0	0	w	128Hz*2	
0	*	0	1	$w/2$	64Hz	
0	*	1	*	$w/4$	32Hz	
1	0	0	0	$/2$		610Hz
1	0	0	1	$/4$		305Hz
1	0	1	0	$/8$		153Hz
1	0	1	1	$/16$	610Hz	76.3Hz
1	1	0	0	$/32$	305Hz	38.1Hz
1	1	0	1	$/64$	153Hz	
1	1	1	0	$/128$	76.3Hz	
1	1	1	1	$/256$	38.1Hz	

* : Don't care

【注】 *1 = 5MHz 時のアクティブ（中速）モードのフレーム周波数です。

*2 LCD RAM は上位 32 バイトのみ使用します。

*3 1/3 デューティ選択時は、フレーム周波数が表で示した値の 4/3 倍となります。

13.3 動作説明

13.3.1 LCD 表示までのセッティング

LCD 表示を行うにはハードウェア、ソフトウェアのそれぞれについて以下のことを決定しておく必要があります。

(1) ハードウェアのセッティング

(a) 1/2 デューティ使用

1/2 デューティで使用する際は V_2 、 V_3 端子を接続してください (図 13.2 参照)。

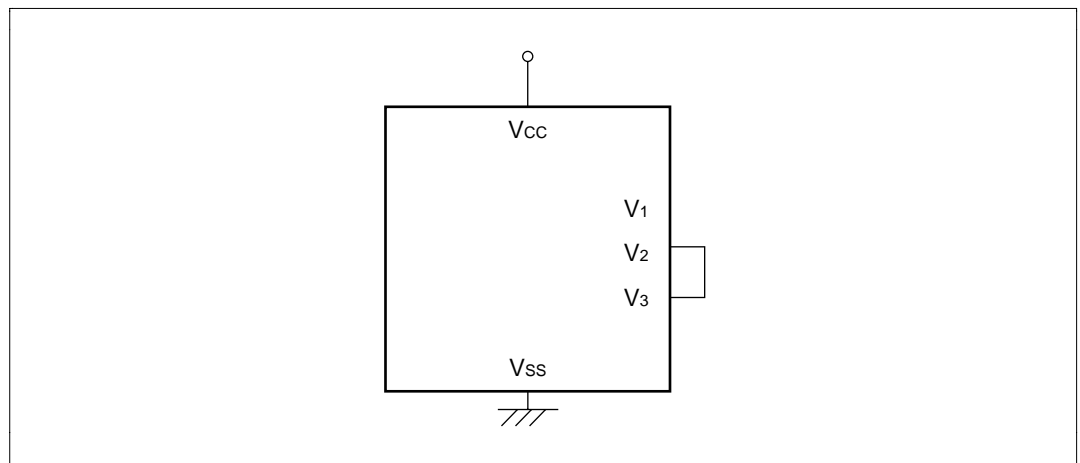


図 13.2 1/2 デューティ時の LCD 駆動電源の処理

(b) 大パネル表示

内蔵のラダー抵抗はインピーダンスが大きいので、大きなパネルの駆動には適さないことがあります。大きなパネルを使用し表示が不鮮明になるときは「13.3.5 LCD 駆動電源の強化」を参照してください。また、スタティック、1/2 デューティを選択した場合、コモン出力の駆動能力を強化することができます。デューティ比の選択時に CMX を "1" にしてください。このモードではスタティック時に $COM_4 \sim COM_1$ 端子が同じ波形となり、1/2 デューティ時は COM_2 、 COM_1 端子から COM_1 波形が、 COM_4 、 COM_3 端子からは COM_2 波形が出力されます。

(c) セグメント外部拡張

外部に HD66100 を接続してセグメント数を拡張することができます。

詳細は、「13.3.3 HD66100 との接続」を参照してください。

(2) ソフトウェアのセッティング

(a) デューティの選択

デューティは、DTS1、DTS0 によりスタティック、1/2 デューティ、1/3 デューティ、1/4 デューティから選択できます。

(b) セグメントドライバの選択

SGS₃ ~ SGS₀により、使用するセグメントドライバを選択できます。

(c) フレーム周波数の選択

CKS ~ CKS₀を設定することでフレーム周波数を選択することができます。フレーム周波数は LCD パネルの指定にしたがって選択してください。ウォッチモード、サブアクティブモード、サブスリープモード時のクロックの選択方法は「13.3.4 低消費電力モード時の動作」を参照してください。

13.3.2 LCD RAM と表示の関係

LCD RAM と表示セグメントの関係は、デューティ比によって異なります。セグメント外部拡張しない場合のそれぞれのデューティ比に対応した LCD RAM のマップを図 13.3 ~ 図 13.6 に、セグメント外部拡張した場合のそれぞれのデューティ比に対応した LCD RAM のマップを図 13.7 ~ 図 13.10 に示します。

また、本 LSI のセグメント端子を使用せず全セグメントを外部に拡張することができます。このときの LCD RAM のマップを図 13.11 に示します。

表示に必要なレジスタ群を設定した後、デューティに対応する部分に通常の RAM と同様な命令によってデータを書込み、表示を ON すれば自動的に表示を開始します。RAM 設定にはワード/バイトアクセス命令が使用できます。

13.3.3 HD66100 との接続

セグメントを外部に拡張したい場合は HD66100 を接続します。HD66100 を 1 個接続することで 80 セグメント拡張することができます。外部拡張を行う際は LPCR の SGX により SEG₄₀ ~ SEG₃₇ 端子の機能を拡張用信号とします。外部には LCD RAM の SEG₃₇ からのデータを出力します。LPCR の SGS3 ~ SGS0 に "0000" を設定しているときは LCD RAM の SEG₁ からのデータを出力します。

図 13.12 に HD66100 との接続例を示します。出力レベルはデータと M 端子出力の組合わせにより決定しますが、その組合わせが HD66100 と異なります。表 13.3 に LCD 駆動電源の出力レベルを示します。また、デューティごとのコモン/セグメント波形を図 13.13 に示します。

ACT = "0" とすると CL₂ = "0"、CL₁ = "0"、M = "0"、D0 はその瞬間に出力していたデータ

("1"か"0")で停止します。また、スタンバイモード時には拡張端子はハイインピーダンス状態（フローティング）となります。

外部拡張を行うと LCD パネルにおける負荷が増し、内蔵電源では電流容量が足りない場合があります。その場合は「13.3.5 LCD 駆動電源の強化」を参照してください。

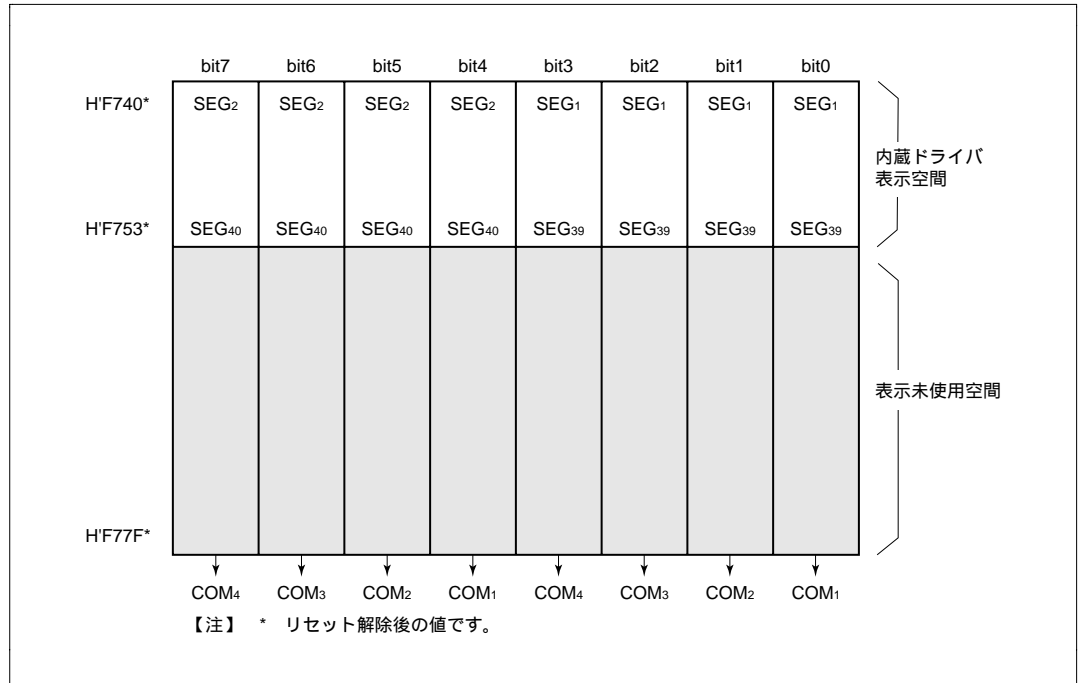


図 13.3 セグメント外部拡張しない場合の LCD RAM マップ (1/4 デューティ)

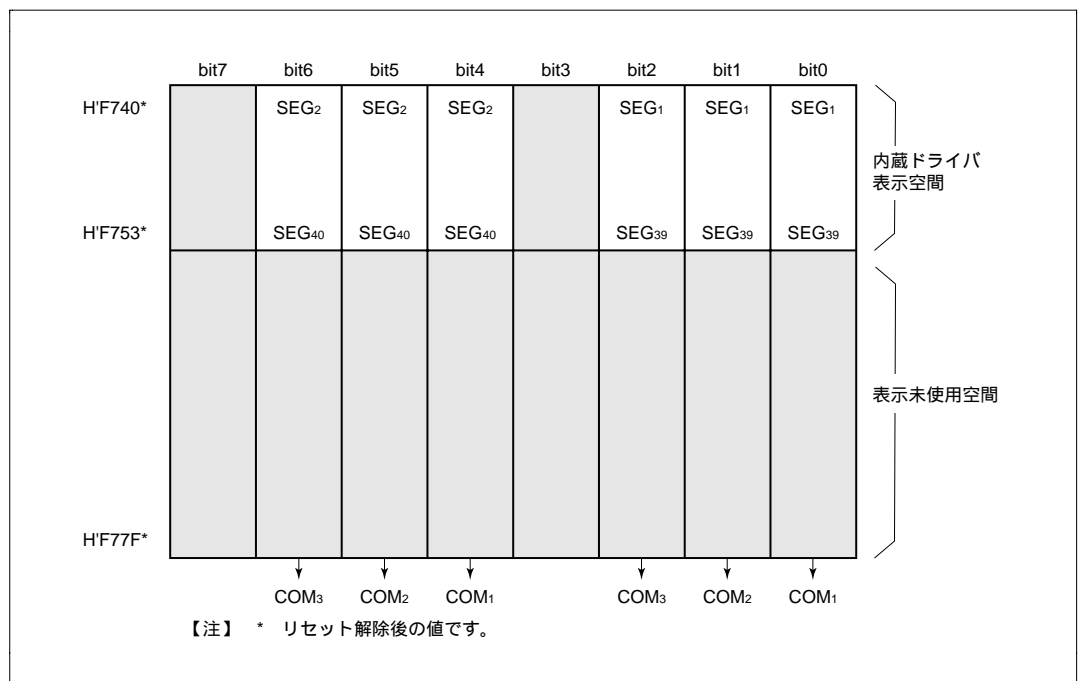


図 13.4 セグメント外部拡張しない場合の LCD RAM マップ (1/3 デューティ)

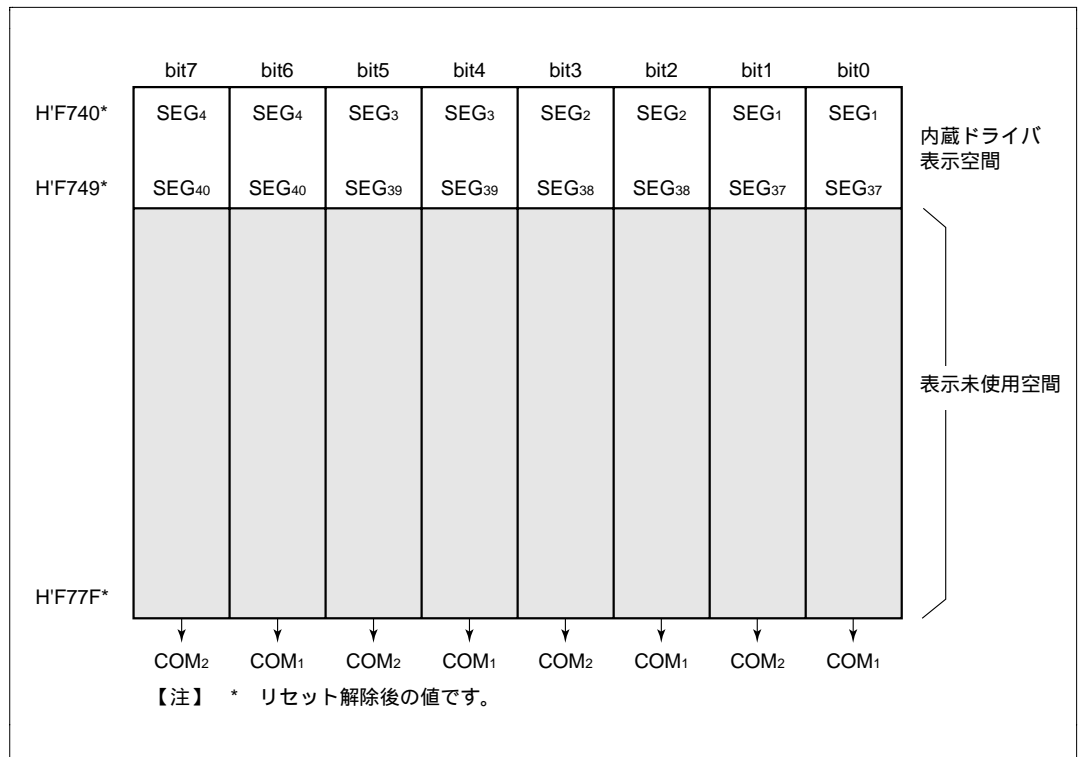


図 13.5 セグメント外部拡張しない場合のLCD RAM マップ (1/2 デューティ)

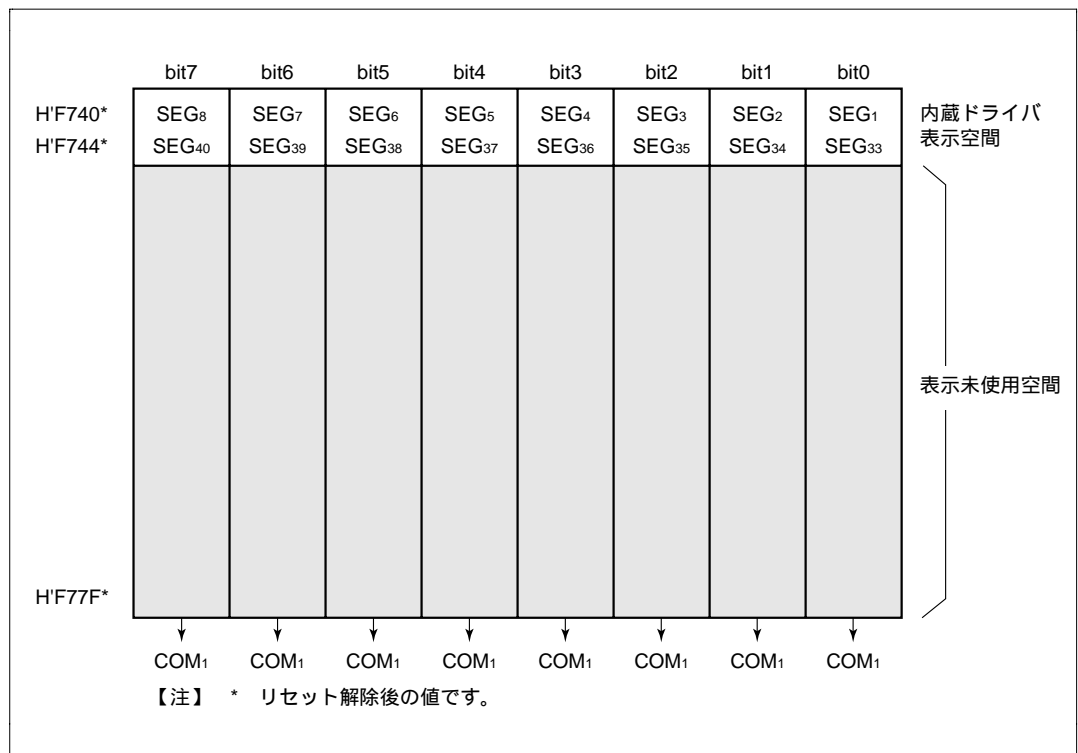


図 13.6 セグメント外部拡張しない場合のLCD RAM マップ (スタティック)

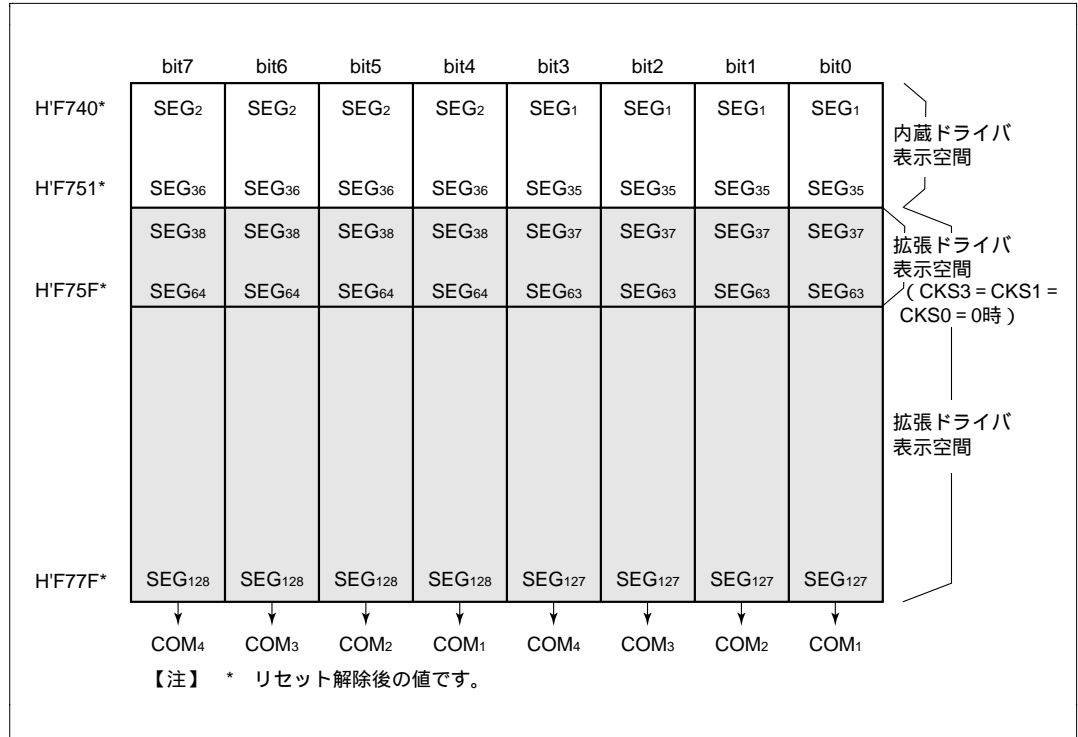


図 13.7 セグメント外部拡張した場合の LCD RAM マップ (1/4 デューティ)

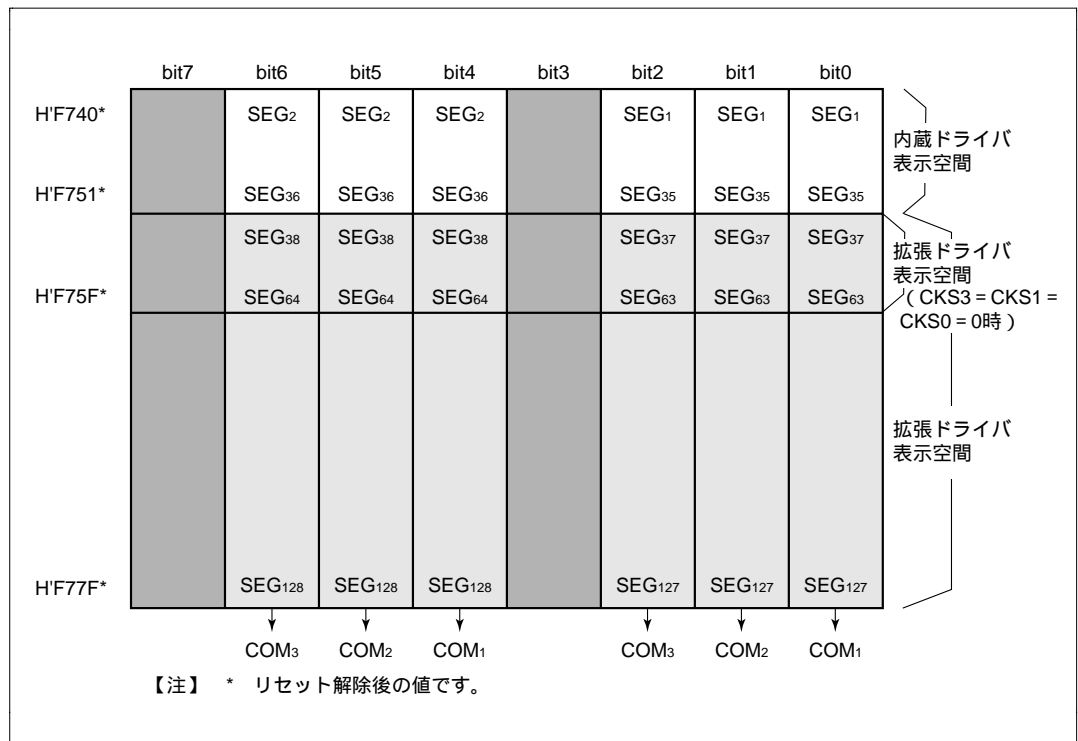


図 13.8 セグメント外部拡張した場合の LCD RAM マップ (1/3 デューティ)

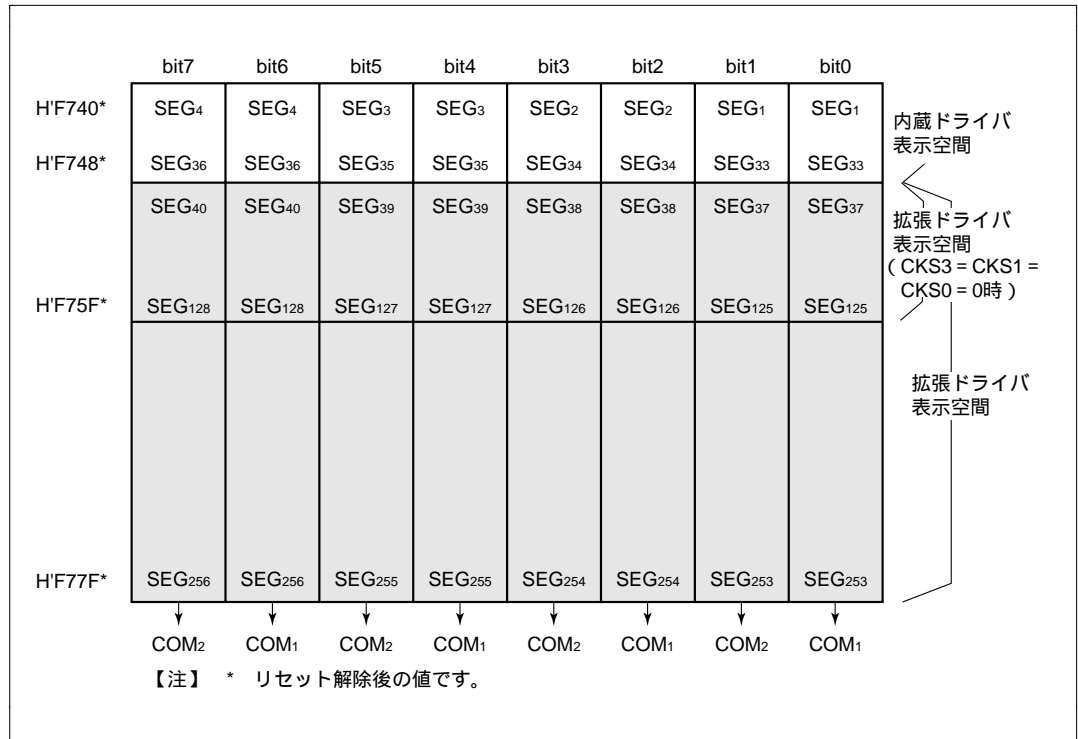


図 13.9 セグメント外部拡張した場合の LCD RAM マップ (1/2 デューティ)

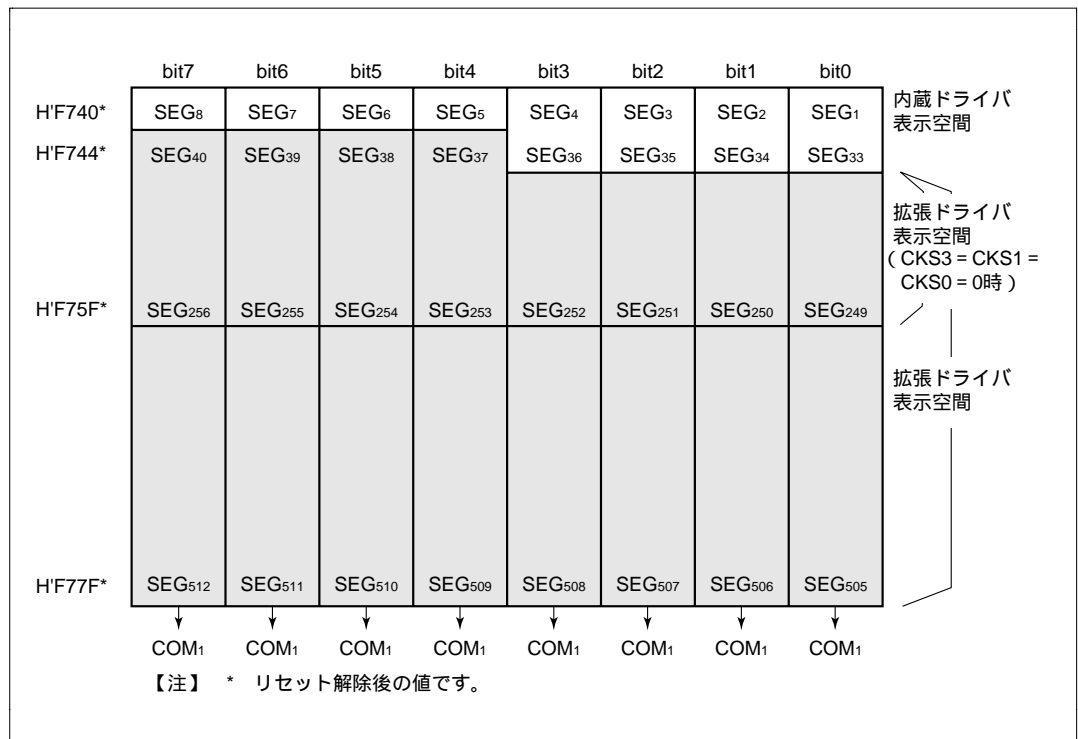


図 13.10 セグメント外部拡張した場合の LCD RAM マップ (スタティック)

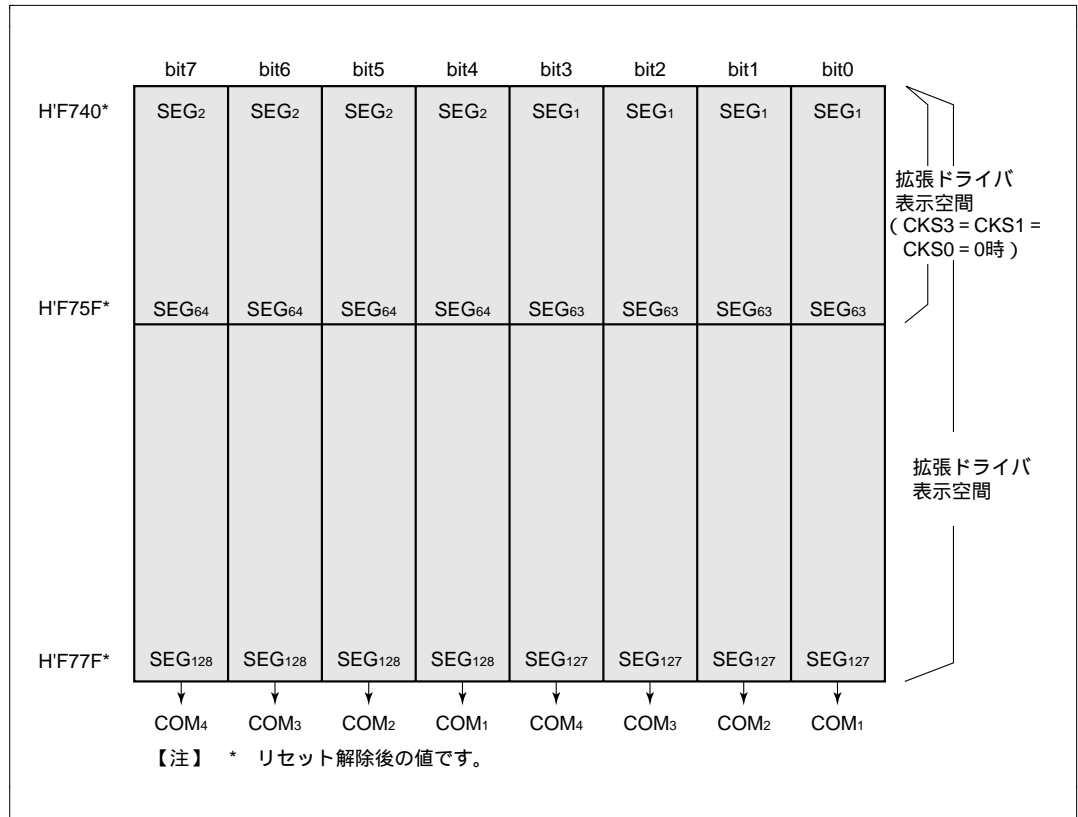


図 13.11 全セグメント外部拡張時のLCD RAM マップ
(SGX = "1"、SGS3 ~ SGS0 = "0000"、1/4 デューティ時)

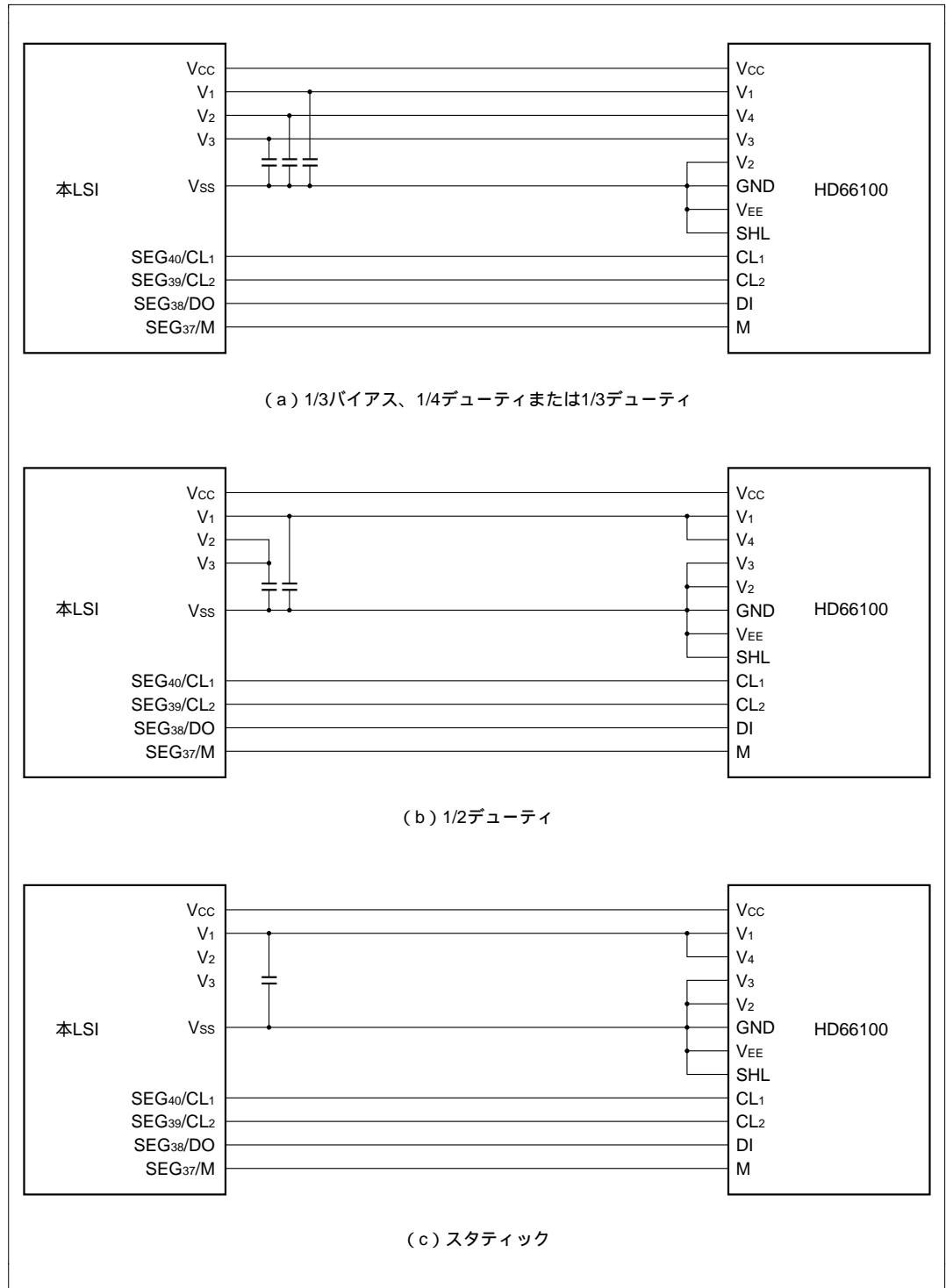


図 13.12 HD66100 との接続

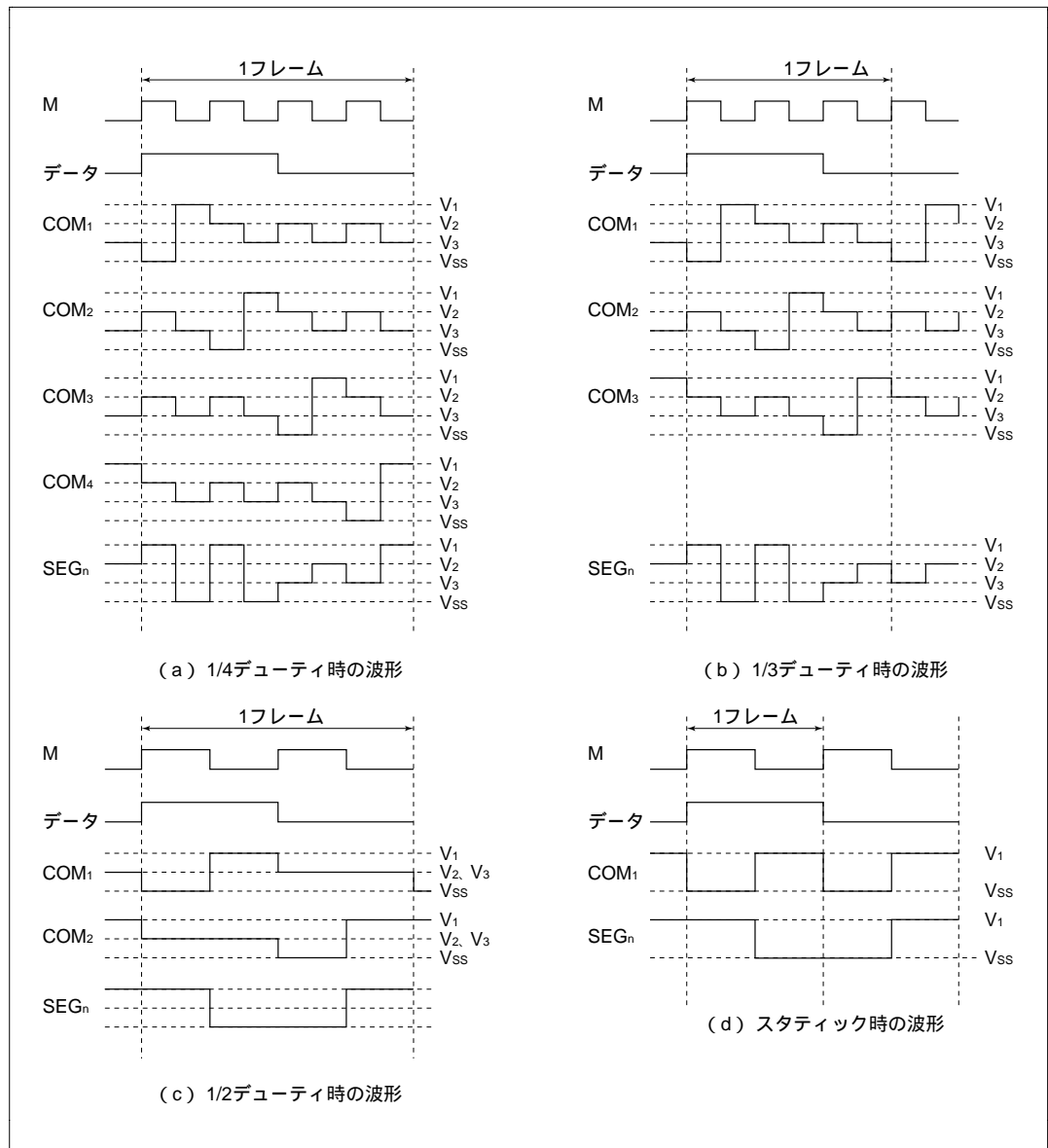


図 13.13 各デューティでの出力波形

表 13.3 出力レベルの関係

データ		0	0	1	1
M		0	1	0	1
スタティック	コモン出力	V_1	V_{SS}	V_1	V_{SS}
	セグメント出力	V_1	V_{SS}	V_{SS}	V_1
1/2 デューティ	コモン出力	V_2, V_3	V_2, V_3	V_1	V_{SS}
	セグメント出力	V_1	V_{SS}	V_{SS}	V_1
1/3 デューティ	コモン出力	V_3	V_2	V_1	V_{SS}
	セグメント出力	V_2	V_3	V_{SS}	V_1
1/4 デューティ	コモン出力	V_3	V_2	V_1	V_{SS}
	セグメント出力	V_2	V_3	V_{SS}	V_1

13.3.4 低消費電力モード時の動作

本 LSI は低消費電力モード時でも、LCD コントローラ/ドライバを動作させることができます。低消費電力モード時の LCD コントローラ/ドライバの動作状態を表 13.4 に示します。

サブアクティブモード/ウォッチモード/サブスリープモードではシステムクロック発振器が停止するので、CKS3~CKS0 で w もしくは $w/2$ を選択していないとクロックが供給されず、表示が停止します。この場合 LCD パネルには直流電圧がかかる可能性がありますので必ず w または $w/2$ を選択するようにしてください。また、アクティブ(中速)モードではシステムクロックが切り換わるので、フレーム周波数が変化しないように CKS3~CKS0 を変更する必要があります。

表 13.4 低消費電力モードと表示動作の関係

モード		リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ
クロック		動作	動作	動作	停止	停止	停止	停止
	w	動作	動作	動作	動作	動作	動作	停止* ¹
表示動作	ACT = "0"	停止	停止	停止	停止	停止	停止	停止* ²
	ACT = "1"	停止	表示	表示	表示* ³	表示* ³	表示* ³	停止* ²

【注】 *1 サブクロック発振器は停止しませんがクロックの供給は停止します。

*2 PSW に関係なく LCD 駆動電源用ラダー抵抗を OFF します。

*3 使用クロックに w または $w/2$ を選択していないと表示動作を行いません。

13.3.5 LCD 駆動電源の強化

大きなパネルを駆動する場合または、外部にセグメントを拡張した場合、内蔵の電源容量では足りないことがあります。このような場合は、電源のインピーダンスを下げる必要があります。この対策として、図 13.12 に示すように $V_1 \sim V_3$ 端子に $0.1 \sim 0.3\mu\text{F}$ 程度のバイパスコンデンサを接続する方法や、図 13.14 に示すように新たに分割抵抗を外部に設ける方法があります。

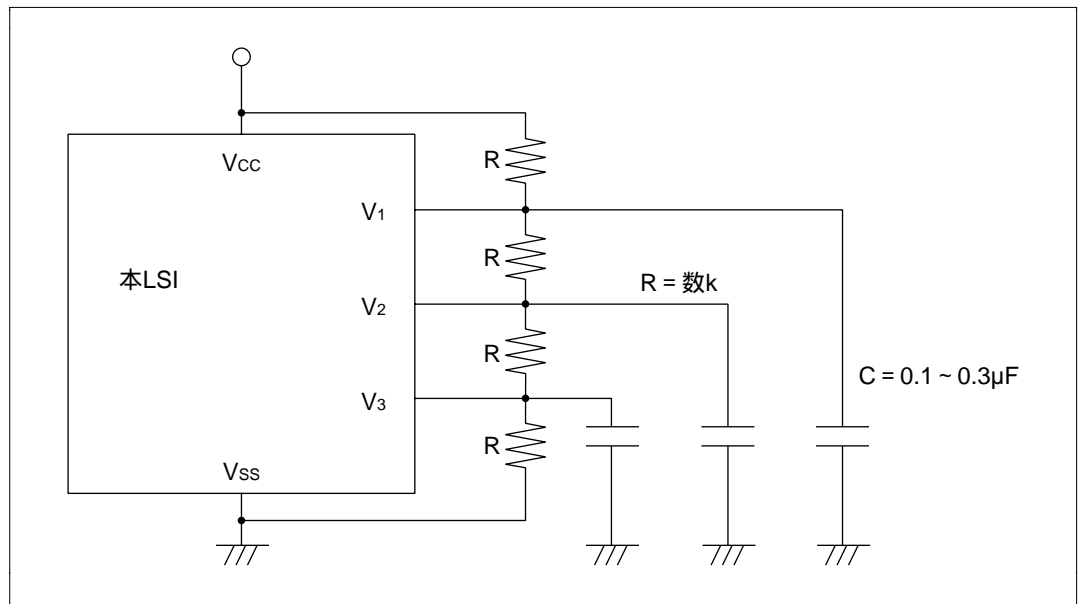


図 13.14 外部分割抵抗の接続方法

14. 電気的特性

第 14 章 目次

14.1	H8/3832S、H8/3833S、H8/3834S、H8/3835S、H8/3836S、H8/3837S (標準仕様) 絶対最大定格 ...	389
14.2	H8/3832S、H8/3833S、H8/3834S (標準仕様) の電気的特性	390
	14.2.1 電源電圧と動作範囲	390
	14.2.2 DC 特性	392
	14.2.3 AC 特性	398
	14.2.4 A/D 変換器特性	400
	14.2.5 LCD 特性	401
14.3	H8/3835S、H8/3836S、H8/3837S (標準仕様) の電気的特性	402
	14.3.1 電源電圧と動作範囲	402
	14.3.2 DC 特性	404
	14.3.3 AC 特性	410
	14.3.4 A/D 変換器特性	412
	14.3.5 LCD 特性	413
14.4	H8/3832S、H8/3833S、H8/3834S、H8/3835S、H8/3836S、H8/3837S 広温度範囲用品 (I仕様) 絶対最大定格	414
14.5	H8/3832S、H8/3833S、H8/3834S 広温度範囲用品 (I仕様) の電気的特性	415
	14.5.1 電源電圧と動作範囲	415
	14.5.2 DC 特性	417
	14.5.3 AC 特性	423
	14.5.4 A/D 変換器特性	425
	14.5.5 LCD 特性	426
14.6	H8/3835S、H8/3836S、H8/3837S 広温度範囲用品 (I仕様) の電気的特性	427
	14.6.1 電源電圧と動作範囲	427
	14.6.2 DC 特性	429
	14.6.3 AC 特性	435
	14.6.4 A/D 変換器特性	437
	14.6.5 LCD 特性	438

14. 電気的特性

14.7	H8/3833、H8/3834、H8/3835、H8/3836、H8/3837 (標準仕様) 絶対最大定格	439
14.8	H8/3833、H8/3834 (標準仕様) の電気的特性	440
	14.8.1 電源電圧と動作範囲	440
	14.8.2 DC 特性	442
	14.8.3 AC 特性	448
	14.8.4 A/D 変換器特性	450
	14.8.5 LCD 特性	451
14.9	H8/3835、H8/3836、H8/3837 (標準仕様) の電気的特性	452
	14.9.1 電源電圧と動作範囲	452
	14.9.2 DC 特性	454
	14.9.3 AC 特性	460
	14.9.4 A/D 変換器特性	462
	14.9.5 LCD 特性	463
14.10	H8/3833、H8/3834、H8/3835、H8/3836、H8/3837 広温度範囲品 (I仕様) 絶対最大定格	464
14.11	H8/3833、H8/3834 広温度範囲品 (I仕様) の電気的特性	465
	14.11.1 電源電圧と動作範囲	465
	14.11.2 DC 特性	467
	14.11.3 AC 特性	473
	14.11.4 A/D 変換器特性	475
	14.11.5 LCD 特性	476
14.12	H8/3835、H8/3836、H8/3837 広温度範囲品 (I仕様) の電気的特性	477
	14.12.1 電源電圧と動作範囲	477
	14.12.2 DC 特性	479
	14.12.3 AC 特性	485
	14.12.4 A/D 変換器特性	487
	14.12.5 LCD 特性	488
14.13	動作タイミング	489
14.14	出力負荷回路	493

14.1 H8/3832S、H8/3833S、H8/3834S、H8/3835S、 H8/3836S、H8/3837S (標準仕様) 絶対最大定格

絶対最大定格を表 14.1 に示します。

表 14.1 絶対最大定格

項目		記号	規格値	単位	備考
電源電圧		V_{CC}	- 0.3 ~ + 7.0	V	*1
アナログ電源電圧		AV_{CC}	- 0.3 ~ + 7.0	V	
入力電圧	ポート B、C 以外	V_{in}	- 0.3 ~ $V_{CC} + 0.3$	V	
	ポート B、C	AV_{in}	- 0.3 ~ $AV_{CC} + 0.3$	V	
動作温度		T_{opr}	- 20 ~ + 75		
保存温度		T_{stg}	- 55 ~ + 125		

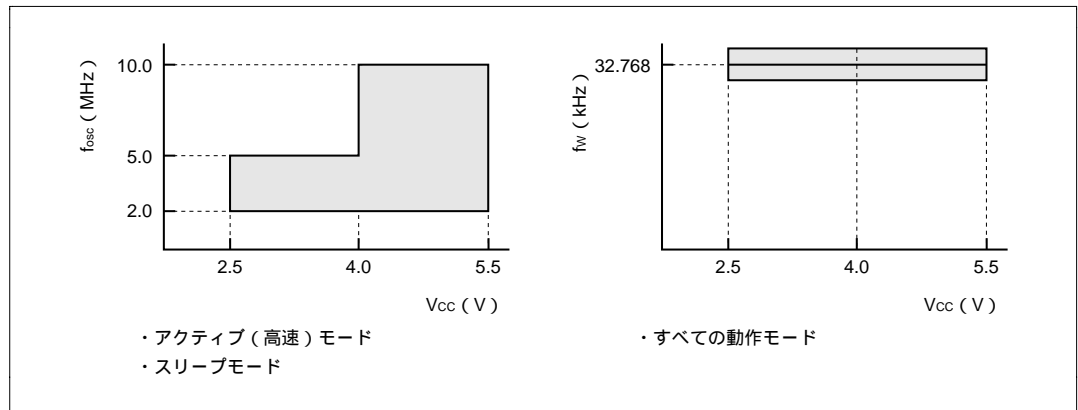
【注】*1 絶対最大定格をこえて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件をこえると LSI の誤動作の原因になるとともに、LSI の信頼性に悪影響をおよぼすことがあります。

14.2 H8/3832S、H8/3833S、H8/3834S (標準仕様) の電気的特性

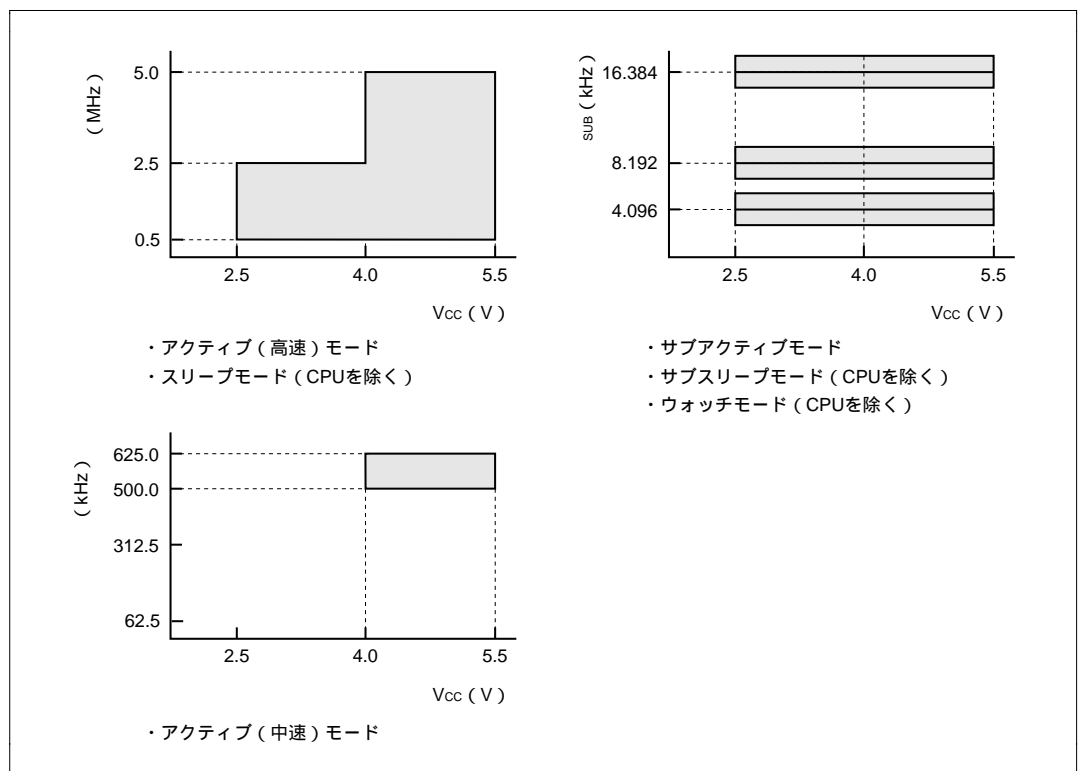
14.2.1 電源電圧と動作範囲

H8/3832S、H8/3833S、H8/3834S の電源電圧と動作範囲 (網かけ部) を以下に示します。

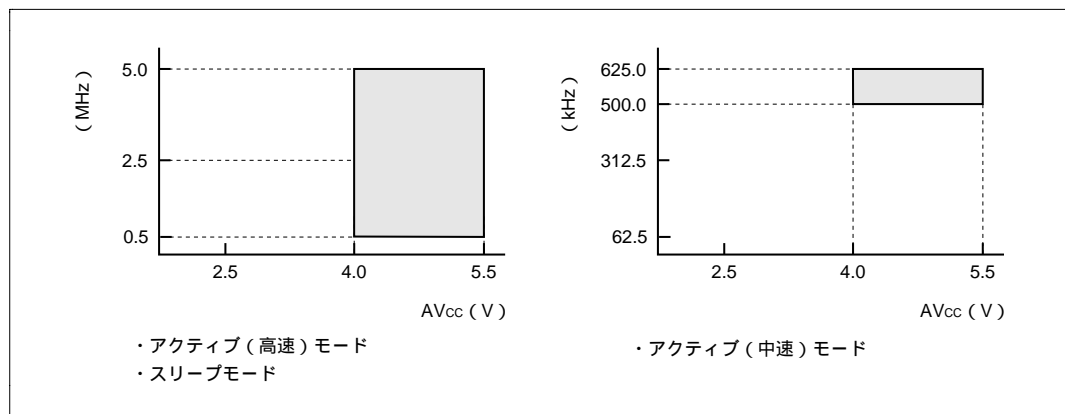
(1) H8/3832S、H8/3833S、H8/3834S の電源電圧と発振周波数の範囲



(2) H8/3832S、H8/3833S、H8/3834S の電源電圧と動作周波数の範囲



(3) H8/3832S、H8/3833S、H8/3834S のアナログ電源電圧と A/D 変換器の動作範囲



14. 電気的特性

14.2.2 DC 特性

H8/3832S、H8/3833S、H8/3834S の DC 特性を表 14.2 に示します。

表 14.2 H8/3832S、H8/3833S、H8/3834S の DC 特性 (1)

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考				
				min.	typ.	max.						
入力"High" レベル電圧	V_{IH}	\overline{RES} 、MD0、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 $\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 TMIB、TMIC、TMIF、 \overline{CS} 、TMIG SCK ₁ 、SCK ₂ 、SCK ₃ 、 \overline{ADTRG}	$V_{CC} = 4.0 \sim 5.5V$	$0.8V_{CC}$		$V_{CC} + 0.3$	V					
		UD、SI ₁ 、SI ₂ 、RXD	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$V_{CC} + 0.3$	V					
				$0.8V_{CC}$		$V_{CC} + 0.3$						
		OSC ₁	$V_{CC} = 4.0 \sim 5.5V$	$V_{CC} - 0.5$		$V_{CC} + 0.3$	V					
				$V_{CC} - 0.3$		$V_{CC} + 0.3$						
		P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₃ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$			$V_{CC} + 0.3$	V				
					$0.8V_{CC}$			$V_{CC} + 0.3$				
					PB ₀ ~ PB ₇ 、 PC ₀ ~ PC ₃	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$			$AV_{CC} + 0.3$		
								$0.8V_{CC}$		$AV_{CC} + 0.3$		

【注】 TEST 端子は、 V_{SS} に接続してください。

項目	記号	適用端子	測定条件	規格値			単位	備考		
				min.	typ.	max.				
入力"Low" レベル電圧	V _{IL}	\overline{RES} 、MD0、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 $\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 TMIB、TMIC、TMIF、 \overline{CS} 、TMIG SCK ₁ 、SCK ₂ 、SCK ₃ 、 \overline{ADTRG}	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.2V _{CC}	V			
				- 0.3		0.1V _{CC}				
		UD、SI ₁ 、SI ₂ 、RXD	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.3V _{CC}	V			
				- 0.3		0.2V _{CC}				
		OSC ₁	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.5	V			
				- 0.3		0.3				
		P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₃ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃ 、 PB ₀ ~ PB ₇ 、 PC ₀ ~ PC ₃	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.3V _{CC}	V			
				- 0.3		0.2V _{CC}				
		出力"High" レベル電圧	V _{OH}	P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₂ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃	V _{CC} = 4.0 ~ 5.5V - I _{OH} = 1.0mA	V _{CC} - 1.0			V	
					V _{CC} = 4.0 ~ 5.5V - I _{OH} = 0.5mA	V _{CC} - 0.5				
	- I _{OH} = 0.1mA			V _{CC} - 0.5						

14. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考	
				min.	typ.	max.			
出力"Low" レベル電圧	V _{OL}	P1 ₀ ~ P1 ₇ , P4 ₀ ~ P4 ₂	V _{CC} = 4.0 ~ 5.5V I _{OL} = 1.6mA			0.6	V		
			I _{OL} = 0.4mA			0.5			
		P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , PA ₀ ~ PA ₃	I _{OL} = 0.4mA			0.5			
			P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇	V _{CC} = 4.0 ~ 5.5V I _{OL} = 10mA					1.5
				V _{CC} = 4.0 ~ 5.5V I _{OL} = 1.6mA					0.6
				I _{OL} = 0.4mA					0.5
入出力 リーク電流	I _L	RES, OSC ₁ , MD0 P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₃ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , PA ₀ ~ PA ₃	V _{IN} = 0.5V ~ V _{CC} - 0.5V			1.0	μA		
			PB ₀ ~ PB ₇ , PC ₀ ~ PC ₃	V _{IN} = 0.5V ~ AV _{CC} - 0.5V					1.0
プルアップ MOS 電流	- I _p	P1 ₀ ~ P1 ₇ , P3 ₀ ~ P3 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇	V _{CC} = 5V, V _{IN} = 0V	50.0		300.0	μA		
			V _{CC} = 2.7V, V _{IN} = 0V		35.0		μA	参考値	

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力容量	C_{IN}	電源端子を除く全入力端子	$f = 1\text{MHz}$ 、 $V_{IN} = 0\text{V}$ 、 $T_a = 25$			15.0	pF	
アクティブモード消費電流	I_{OPE1}	V_{CC}	アクティブ(高速)モード $V_{CC} = 5\text{V}$ 、 $f_{OSC} = 10\text{MHz}$		9.0	13.0	mA	*1 *2
	I_{OPE2}	V_{CC}	アクティブ(中速)モード $V_{CC} = 5\text{V}$ 、 $f_{OSC} = 10\text{MHz}$		1.7	3.0	mA	*1 *2
スリープモード消費電流	I_{SLEEP}	V_{CC}	$V_{CC} = 5\text{V}$ 、 $f_{OSC} = 10\text{MHz}$		4.0	7.0	mA	*1 *2
サブアクティブモード消費電流	I_{SUB}	V_{CC}	$V_{CC} = 2.7\text{V}$ 、LCD点灯 32kHz 水晶発振子使用時 ($I_{SUB} = I_{W}/2$)		30.0	65.0	μA	*1 *2
			$V_{CC} = 2.7\text{V}$ 、LCD点灯 32kHz 水晶発振子使用時 ($I_{SUB} = I_{W}/8$)		22.0		μA	*1 *2 参考値
サブスリープモード消費電流	I_{SUBSP}	V_{CC}	$V_{CC} = 2.7\text{V}$ 、LCD点灯 32kHz 水晶発振子使用時 ($I_{SUB} = I_{W}/2$)		20.0	45.0	μA	*1 *2
ウォッチモード消費電流	I_{WATCH}	V_{CC}	$V_{CC} = 2.7\text{V}$ 、32kHz 水晶発振子使用時 LCD未使用			5.5	μA	*1 *2
スタンバイモード消費電流	I_{STBY}	V_{CC}	32kHz 水晶発振子未使用時			5.0	μA	*1 *2
RAMデータ保持電圧	V_{RAM}	V_{CC}		2.0			V	*1 *2

14. 電気的特性

モード	内部状態	各端子	LCD電源	発振端子
アクティブ(高速)モード アクティブ(中速)モード	動作	V _{CC}	OPEN	システムクロック発振器： 水晶発振子 サブクロック発振器： X ₁ 端子 = V _{CC}
スリープモード	タイマのみ動作	V _{CC}	OPEN	
サブアクティブモード	動作	V _{CC}	OPEN	システムクロック発振器： 水晶発振子
サブスリープモード	タイマのみ動作 CPUは停止	V _{CC}	OPEN	サブクロック発振器： 水晶発振子
ウォッチモード	時計用タイムベースのみ動作 CPUは停止	V _{CC}	OPEN	
スタンバイモード	CPU、タイマともに停止	V _{CC}	OPEN	システムクロック発振器： 水晶発振子 サブクロック発振器： X ₁ 端子 = V _{CC}

【注】 *1 消費電流測定時の端子の状態

*2 ブルアップ MOS や出力バッファに流れる電流は除きます。

表 14.2 H8/3832S、H8/3833S、H8/3834S の DC 特性 (2)

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力"Low" レベル許容電流 (1端子あたり)	I_{OL}	ポート 2、3 以外の出力端子	$V_{CC} = 4.0V \sim 5.5V$			2.0	mA	
		ポート 2、3	$V_{CC} = 4.0V \sim 5.5V$			10.0		
		全出力端子				0.5		
出力"Low" レベル許容電流 (総和)	I_{OL}	ポート 2、3 以外の出力端子	$V_{CC} = 4.0V \sim 5.5V$			40.0	mA	
		ポート 2、3	$V_{CC} = 4.0V \sim 5.5V$			80.0		
		全出力端子				20.0		
出力"High" レベル許容電流 (1端子あたり)	$-I_{OH}$	全出力端子	$V_{CC} = 4.0V \sim 5.5V$			2.0	mA	
						0.2		
出力"High" レベル許容電流 (総和)	$-I_{OH}$	全出力端子	$V_{CC} = 4.0V \sim 5.5V$			15.0	mA	
						10.0		

14. 電気的特性

14.2.3 AC 特性

H8/3832S、H8/3833S、H8/3834S の制御信号タイミングを表 14.3 に、シリアルインタフェースタイミングを表 14.4、表 14.5 に示します。

表 14.3 H8/3832S、H8/3833S、H8/3834S の制御信号タイミング

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
システムクロック 発振器発振周波数	f_{OSC}	OSC ₁ 、OSC ₂	$V_{CC} = 4.0 \sim 5.5V$	2.0		10.0	MHz	
				2.0		5.0		
OSC クロック (OSC) サイクル時間	t_{OSC}	OSC ₁ 、OSC ₂	$V_{CC} = 4.0 \sim 5.5V$	100.0		1000.0	ns	*1 図 14.1
				200.0		1000.0		
システムクロック () サイクル時間	t_{cyc}			2		16	t_{OSC}	*1
						2000.0		
サブクロック発振器 発振周波数	f_W	X ₁ 、X ₂			32.768		kHz	
ウォッチクロック (W) サイクル時間	t_W	X ₁ 、X ₂			30.5		μs	
サブクロック (SUB) サイクル時間	t_{subcyc}			2		8	t_W	*2
インストラクション サイクル時間				2			t_{cyc} t_{subcyc}	
発振安定時間 (水晶発振器)	t_{rc}	OSC ₁ 、OSC ₂	$V_{CC} = 4.0 \sim 5.5V$			40.0	ms	
						60.0		
						100.0		
発振安定時間	t_{rc}	X ₁ 、X ₂				2.0	s	
外部クロック "High" レベル幅	t_{CPH}	OSC ₁	$V_{CC} = 4.0 \sim 5.5V$	40.0			ns	図 14.1
				80.0				
外部クロック "Low" レベル幅	t_{CPL}	OSC ₁	$V_{CC} = 4.0 \sim 5.5V$	40.0			ns	図 14.1
				80.0				
外部クロック 立上り時間	t_{CPr}		$V_{CC} = 4.0 \sim 5.5V$			15.0	ns	図 14.1
						20.0		
外部クロック 立下り時間	t_{CPf}		$V_{CC} = 4.0 \sim 5.5V$			15.0	ns	図 14.1
						20.0		
RES 端子 "Low" レベル幅	t_{REL}	RES		10			t_{cyc}	図 14.2
入力端子 "High" レベル幅	t_{IH}	$\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 \overline{ADTRG} 、 TMIB、TMIC、 TMIF、TMIG		2			t_{cyc} t_{subcyc}	図 14.3

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力端子 "Low"レベル幅	t_{IL}	$\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 \overline{ADTRG} 、 TMIB、TMIC、 TMIF、TMIG		2			t_{cyc} t_{subcyc}	図 14.3
UD 端子 最小変化幅	t_{UDH} t_{UDL}	UD		4			t_{cyc} t_{subcyc}	図 14.4

【注】 *1 外部クロックを入力する場合は 1 ~ 10MHz となります。

*2 システムコントロールレジスタ 2 (SYSCR2) の SA1、SA0 の設定により決定します。

表 14.4 H8/3832S、H8/3833S、H8/3834S のシリアルインタフェース (SCI1、SCI2) タイミング

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力転送クロック サイクル時間	t_{scyc}	SCK ₁ 、SCK ₂		2			t_{cyc}	図 14.5
入力転送クロック "High"レベル幅	t_{SCKH}	SCK ₁ 、SCK ₂		0.4			t_{scyc}	図 14.5
入力転送クロック "Low"レベル幅	t_{SCKL}	SCK ₁ 、SCK ₂		0.4			t_{scyc}	図 14.5
入力転送クロック 立上り時間	t_{SCKr}	SCK ₁ 、SCK ₂	$V_{CC} = 4.0 \sim 5.5V$			60.0	ns	図 14.5
						80.0		
入力転送クロック 立下り時間	t_{SCKf}	SCK ₁ 、SCK ₂	$V_{CC} = 4.0 \sim 5.5V$			60.0	ns	図 14.5
						80.0		
シリアル出力データ 遅延時間	t_{SOD}	SO ₁ 、SO ₂	$V_{CC} = 4.0 \sim 5.5V$			200.0	ns	図 14.5
						350.0		
シリアル入力データ セットアップ時間	t_{SIS}	SI ₁ 、SI ₂	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 14.5
				400.0				
シリアル入力データ ホールド時間	t_{SIH}	SI ₁ 、SI ₂	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 14.5
				400.0				
\overline{CS} セットアップ時間	t_{CSS}	\overline{CS}		2			t_{cyc}	図 14.6
\overline{CS} ホールド時間	t_{CSH}	\overline{CS}		2			t_{cyc}	図 14.6

14. 電気的特性

表 14.5 H8/3832S、H8/3833S、H8/3834S のシリアルインタフェース (SCI3) タイミング

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$)

項目	記号	測定条件	規格値			単位	参照図
			min.	typ.	max.		
入力 クロックサイクル	調歩同期	t_{scyc}	4			t_{cyc}	図 14.7
	クロック同期		6				
入力クロックパルス幅	t_{SCKW}		0.4		0.6	t_{scyc}	図 14.7
送信データ遅延時間 (クロック同期)	t_{TXD}	$V_{CC} = 4.0 \sim 5.5V$			1	t_{cyc}	図 14.8
					1		
受信データセットアップ時間 (クロック同期)	t_{RXS}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 14.8
			400.0				
受信データホールド時間 (クロック同期)	t_{RXH}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 14.8
			400.0				

14.2.4 A/D 変換器特性

H8/3832S、H8/3833S、H8/3834S の A/D 変換器特性を表 14.6 に示します。

表 14.6 H8/3832S、H8/3833S、H8/3834S の A/D 変換器特性

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim 75$)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
アナログ電源電圧	AV_{CC}	AV_{CC}		2.5		5.5	V	*1
アナログ入力電圧	AV_{IN}	$AN_0 \sim AN_{11}$		-0.3		$AV_{CC} + 0.3$	V	
アナログ電源電流	AI_{OPE}	AV_{CC}	$AV_{CC} = 5.0V$			1.5	mA	
	AI_{STOP1}	AV_{CC}			150.0		μA	*2 参考値
	AI_{STOP2}	AV_{CC}				5.0	μA	*3
アナログ入力容量	C_{AIN}	$AN_0 \sim AN_{11}$				30.0	pF	
許容信号源 インピーダンス	R_{AIN}					10.0	k	
分解能 (データ長)						8	ビット	
非直線性誤差			$V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$			± 2.0	LSB	
						± 3.0		
量子化誤差						± 0.5	LSB	
絶対精度			$V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$			± 2.5	LSB	
						± 3.5		
変換時間			$AV_{CC} = 4.5 \sim 5.5V$			12.4	μs	
						24.8		

【注】 *1 A/D変換器を使用しない場合は $AV_{CC} = V_{CC}$ としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでのA/D変換待機時の電流値です。

*3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでのA/D変換待機時の電流値です。

14.2.5 LCD 特性

H8/3832S、H8/3833S、H8/3834SのLCD特性を表14.7に、セグメント外部拡張AC特性を表14.8に示します。

表 14.7 H8/3832S、H8/3833S、H8/3834SのLCD特性

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
セグメントドライバ 降下電圧	V_{DS}	SEG ₁ ~ SEG ₄₀	$I_D = 2\mu A$			0.6	V	*1
コモンドライバ 降下電圧	V_{DC}	COM ₁ ~ COM ₄	$I_D = 2\mu A$			0.3	V	*1
LCD電源 分割抵抗	R_{LCD}		$V_1 - V_{SS}$ 間	100.0	300.0	600.0	k	
液晶表示電圧	V_{LCD}	V_1		2.7		V_{CC}	V	*2

【注】 *1 電源端子 V_1 、 V_2 、 V_3 、 V_{SS} から各セグメント端子またはコモン端子までの電圧降下です。

*2 液晶表示電圧を外部電源より供給する場合は、 V_{CC} 、 V_1 、 V_2 、 V_3 、 V_{SS} の関係を維持してください。

表 14.8 H8/3832S、H8/3833S、H8/3834Sのセグメント外部拡張AC特性

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
クロック "High"レベル幅	t_{CWH}	CL ₁ 、CL ₂	*1	800.0			ns	図 14.9
クロック "Low"レベル幅	t_{CWL}	CL ₂	*1	800.0			ns	図 14.9
クロックセット アップ時間	t_{CSU}	CL ₁ 、CL ₂	*1	500.0			ns	図 14.9
データセット アップ時間	t_{SU}	DO	*1	300.0			ns	図 14.9
データ保持時間	t_{DH}	DO	*1	300.0			ns	図 14.9
M遅延時間	t_{DM}	M		-1000		1000.0	ns	図 14.9
クロック立上り 立下り時間	t_{CT}	CL ₁ 、CL ₂				100.0	ns	図 14.9

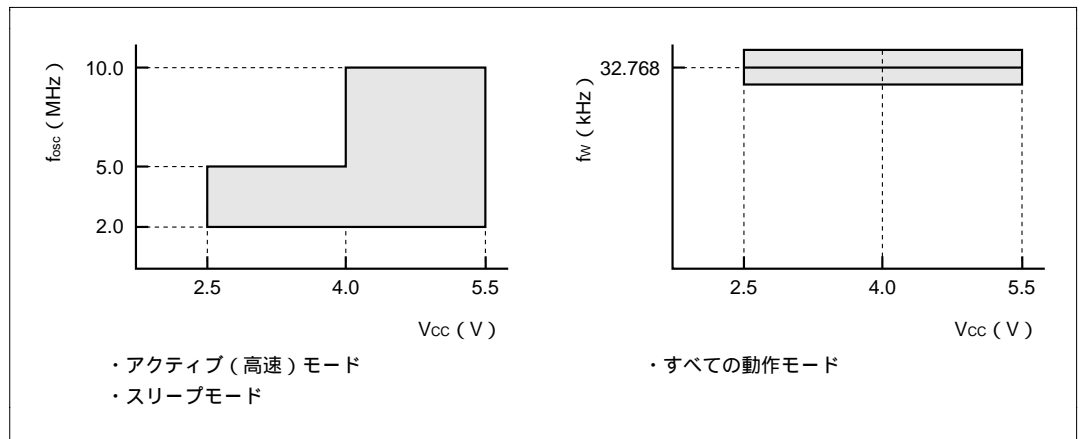
【注】 *1 フレーム周波数を488Hz ~ 30.5Hzに設定したときの値です。

14.3 H8/3835S、H8/3836S、H8/3837S（標準仕様）の電気的特性

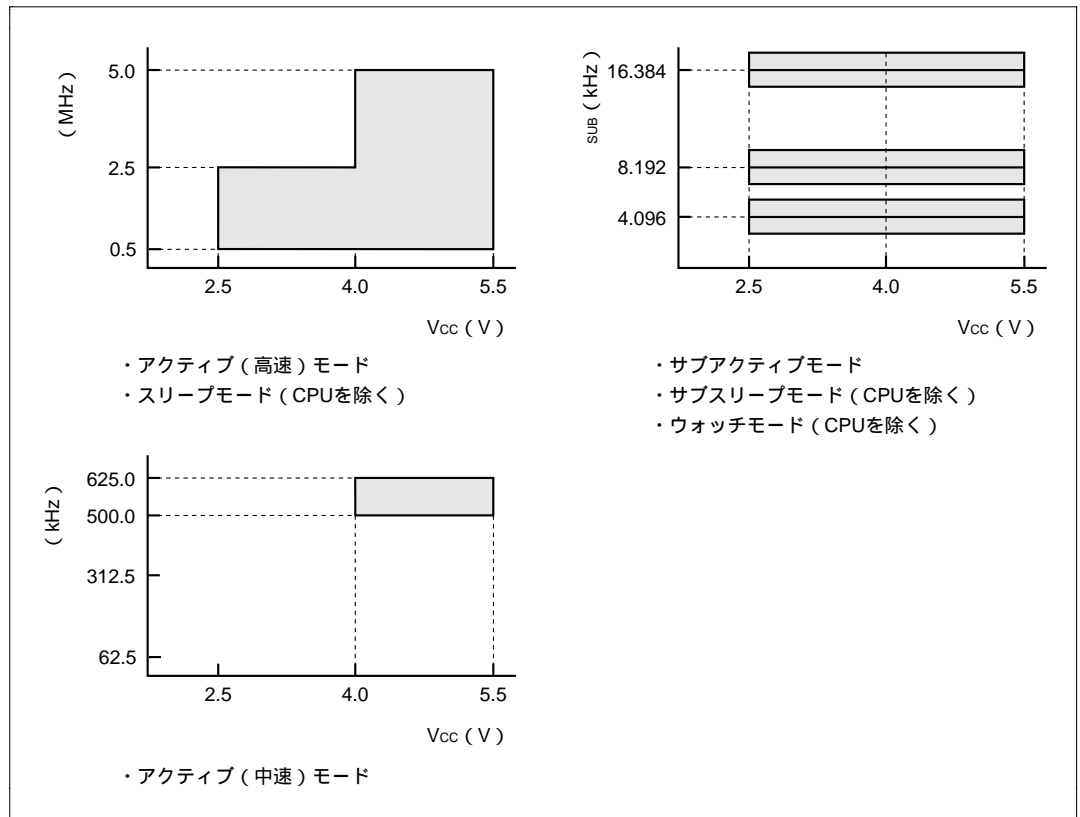
14.3.1 電源電圧と動作範囲

H8/3835S、H8/3836S、H8/3837S の電源電圧と動作範囲（網かけ部）を以下に示します。

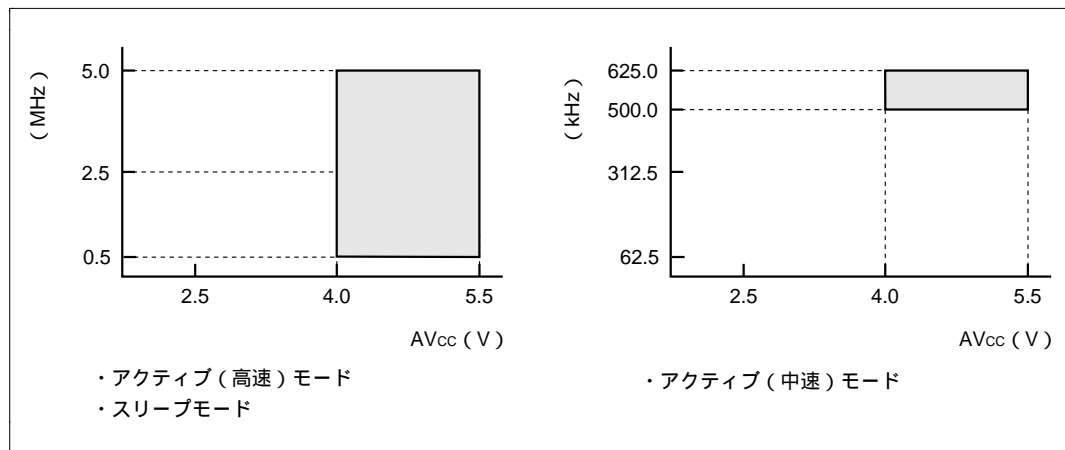
(1) H8/3835S、H8/3836S、H8/3837S の電源電圧と発振周波数の範囲



(2) H8/3835S、H8/3836S、H8/3837S の電源電圧と動作周波数の範囲



(3) H8/3835S、H8/3836S、H8/3837S のアナログ電源電圧と A/D 変換器の動作範囲



14. 電気的特性

14.3.2 DC 特性

H8/3835S、H8/3836S、H8/3837S の DC 特性を表 14.9 に示します。

表 14.9 H8/3835S、H8/3836S、H8/3837S の DC 特性 (1)

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考				
				min.	typ.	max.						
入力"High" レベル電圧	V_{IH}	\overline{RES} 、MD0、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 $\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 TMIB、TMIC、TMIF、 \overline{CS} 、TMIG SCK ₁ 、SCK ₂ 、SCK ₃ 、 \overline{ADTRG}	$V_{CC} = 4.0 \sim 5.5V$	$0.8V_{CC}$		$V_{CC} + 0.3$	V					
		UD、SI ₁ 、SI ₂ 、RXD	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$V_{CC} + 0.3$	V					
				$0.8V_{CC}$		$V_{CC} + 0.3$						
		OSC ₁	$V_{CC} = 4.0 \sim 5.5V$	$V_{CC} - 0.5$		$V_{CC} + 0.3$	V					
				$V_{CC} - 0.3$		$V_{CC} + 0.3$						
		P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₃ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$			$V_{CC} + 0.3$	V				
					$0.8V_{CC}$		$V_{CC} + 0.3$					
								$V_{CC} + 0.3$				
					PB ₀ ~ PB ₇ 、 PC ₀ ~ PC ₃	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$			$AV_{CC} + 0.3$		
								$0.8V_{CC}$		$AV_{CC} + 0.3$		

【注】 TEST 端子は、 V_{SS} に接続してください。

項目	記号	適用端子	測定条件	規格値			単位	備考		
				min.	typ.	max.				
入力"Low" レベル電圧	V _{IL}	\overline{RES} 、MD0、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 $\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 TMIB、TMIC、TMIF、 \overline{CS} 、TMIG SCK ₁ 、SCK ₂ 、SCK ₃ 、 \overline{ADTRG}	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.2V _{CC}	V			
				- 0.3		0.1V _{CC}				
		UD、SI ₁ 、SI ₂ 、RXD	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.3V _{CC}	V			
				- 0.3		0.2V _{CC}				
		OSC ₁	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.5	V			
				- 0.3		0.3				
		P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₃ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃ 、 PB ₀ ~ PB ₇ 、 PC ₀ ~ PC ₃	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.3V _{CC}	V			
				- 0.3		0.2V _{CC}				
		出力"High" レベル電圧	V _{OH}	P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₂ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃	V _{CC} = 4.0 ~ 5.5V - I _{OH} = 1.0mA	V _{CC} - 1.0			V	
					V _{CC} = 4.0 ~ 5.5V - I _{OH} = 0.5mA	V _{CC} - 0.5				
	- I _{OH} = 0.1mA			V _{CC} - 0.5						

14. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考	
				min.	typ.	max.			
出力"Low" レベル電圧	V_{OL}	P1 ₀ ~ P1 ₇ , P4 ₀ ~ P4 ₂	$V_{CC} = 4.0 \sim 5.5V$ $I_{OL} = 1.6mA$			0.6	V		
			$I_{OL} = 0.4mA$			0.5			
		P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , PA ₀ ~ PA ₃	$I_{OL} = 0.4mA$			0.5			
			P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇	$V_{CC} = 4.0 \sim 5.5V$ $I_{OL} = 10mA$					1.5
				$V_{CC} = 4.0 \sim 5.5V$ $I_{OL} = 1.6mA$					0.6
				$I_{OL} = 0.4mA$					0.5
入出力 リーク電流	I_{IL}	RES, OSC ₁ , MD0 P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₃ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , PA ₀ ~ PA ₃	$V_{IN} = 0.5V \sim V_{CC} - 0.5V$			1.0	μA		
						PB ₀ ~ PB ₇ , PC ₀ ~ PC ₃			$V_{IN} = 0.5V \sim AV_{CC} - 0.5V$
プルアップ MOS 電流	- I_p	P1 ₀ ~ P1 ₇ , P3 ₀ ~ P3 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇	$V_{CC} = 5V, V_{IN} = 0V$	50.0		300.0	μA		
			$V_{CC} = 2.7V, V_{IN} = 0V$		35.0		μA	参考値	

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力容量	C_{IN}	電源端子を除く全入力端子	$f = 1\text{MHz}$ 、 $V_{IN} = 0\text{V}$ 、 $T_a = 25$			15.0	pF	
アクティブモード消費電流	I_{OPE1}	V_{CC}	アクティブ(高速)モード $V_{CC} = 5\text{V}$ 、 $f_{OSC} = 10\text{MHz}$		9.0	13.0	mA	*1 *2
	I_{OPE2}	V_{CC}	アクティブ(中速)モード $V_{CC} = 5\text{V}$ 、 $f_{OSC} = 10\text{MHz}$		1.7	3.0	mA	*1 *2
スリープモード消費電流	I_{SLEEP}	V_{CC}	$V_{CC} = 5\text{V}$ 、 $f_{OSC} = 10\text{MHz}$		4.0	7.0	mA	*1 *2
サブアクティブモード消費電流	I_{SUB}	V_{CC}	$V_{CC} = 2.7\text{V}$ 、LCD点灯 32kHz 水晶発振子使用時 ($I_{SUB} = I_{W}/2$)		30.0	65.0	μA	*1 *2
			$V_{CC} = 2.7\text{V}$ 、LCD点灯 32kHz 水晶発振子使用時 ($I_{SUB} = I_{W}/8$)		22.0		μA	*1 *2 参考値
サブスリープモード消費電流	I_{SUBSP}	V_{CC}	$V_{CC} = 2.7\text{V}$ 、LCD点灯 32kHz 水晶発振子使用時 ($I_{SUB} = I_{W}/2$)		20.0	45.0	μA	*1 *2
ウォッチモード消費電流	I_{WATCH}	V_{CC}	$V_{CC} = 2.7\text{V}$ 、32kHz 水晶発振子使用時 LCD未使用			5.5	μA	*1 *2
スタンバイモード消費電流	I_{STBY}	V_{CC}	32kHz 水晶発振子未使用時			5.0	μA	*1 *2
RAMデータ保持電圧	V_{RAM}	V_{CC}		2.0			V	*1 *2

14. 電気的特性

モード	内部状態	各端子	LCD電源	発振端子
アクティブ(高速)モード アクティブ(中速)モード	動作	V _{CC}	OPEN	システムクロック発振器： 水晶発振子 サブクロック発振器： X ₁ 端子 = V _{CC}
スリープモード	タイマのみ動作	V _{CC}	OPEN	
サブアクティブモード	動作	V _{CC}	OPEN	システムクロック発振器： 水晶発振子
サブスリープモード	タイマのみ動作 CPUは停止	V _{CC}	OPEN	サブクロック発振器： 水晶発振子
ウォッチモード	時計用タイム ベースのみ動作 CPUは停止	V _{CC}	OPEN	
スタンバイモード	CPU、タイマ ともに停止	V _{CC}	OPEN	システムクロック発振器： 水晶発振子 サブクロック発振器： X ₁ 端子 = V _{CC}

【注】 *1 消費電流測定時の端子の状態

*2 ブルアップ MOS や出力バッファに流れる電流は除きます。

表 14.9 H8/3835S、H8/3836S、H8/3837S の DC 特性 (2)

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力"Low" レベル許容電流 (1端子あたり)	I_{OL}	ポート 2、3 以外の出力端子	$V_{CC} = 4.0V \sim 5.5V$			2.0	mA	
		ポート 2、3	$V_{CC} = 4.0V \sim 5.5V$			10.0		
		全出力端子				0.5		
出力"Low" レベル許容電流 (総和)	I_{OL}	ポート 2、3 以外の出力端子	$V_{CC} = 4.0V \sim 5.5V$			40.0	mA	
		ポート 2、3	$V_{CC} = 4.0V \sim 5.5V$			80.0		
		全出力端子				20.0		
出力"High" レベル許容電流 (1端子あたり)	$-I_{OH}$	全出力端子	$V_{CC} = 4.0V \sim 5.5V$			2.0	mA	
						0.2		
出力"High" レベル許容電流 (総和)	$-I_{OH}$	全出力端子	$V_{CC} = 4.0V \sim 5.5V$			15.0	mA	
						10.0		

14.3.3 AC 特性

H8/3835S、H8/3836S、H8/3837S の制御信号タイミングを表 14.10 に、シリアルインタフェースタイミングを表 14.11、表 14.12 に示します。

表 14.10 H8/3835S、H8/3836S、H8/3837S の制御信号タイミング

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
システムクロック 発振器発振周波数	f_{OSC}	OSC ₁ 、OSC ₂	$V_{CC} = 4.0 \sim 5.5V$	2.0		10.0	MHz	
				2.0		5.0		
OSC クロック (OSC) サイクル時間	t_{OSC}	OSC ₁ 、OSC ₂	$V_{CC} = 4.0 \sim 5.5V$	100.0		1000.0	ns	*1 図 14.1
				200.0		1000.0		
システムクロック () サイクル時間	t_{cyc}			2		16	t_{OSC} ns	*1
						2000.0		
サブクロック発振器 発振周波数	f_W	X ₁ 、X ₂			32.768		kHz	
ウォッチクロック (W) サイクル時間	t_W	X ₁ 、X ₂			30.5		μs	
サブクロック (SUB) サイクル時間	t_{subcyc}			2		8	t_W	*2
インストラクション サイクル時間				2			t_{cyc} t_{subcyc}	
発振安定時間 (水晶発振器)	t_{rc}	OSC ₁ 、OSC ₂	$V_{CC} = 4.0 \sim 5.5V$			40.0	ms	
						60.0		
						100		
発振安定時間	t_{rc}	X ₁ 、X ₂				2.0	s	
外部クロック "High"レベル幅	t_{CPH}	OSC ₁	$V_{CC} = 4.0 \sim 5.5V$	40.0			ns	図 14.1
				80.0				
外部クロック "Low"レベル幅	t_{CPL}	OSC ₁	$V_{CC} = 4.0 \sim 5.5V$	40.0			ns	図 14.1
				80.0				
外部クロック 立上り時間	t_{CPr}		$V_{CC} = 4.0 \sim 5.5V$			15.0	ns	図 14.1
						20.0		
外部クロック 立下り時間	t_{CPf}		$V_{CC} = 4.0 \sim 5.5V$			15.0	ns	図 14.1
						20.0		
RES 端子 "Low"レベル幅	t_{REL}	RES		10			t_{cyc}	図 14.2
入力端子 "High"レベル幅	t_{IH}	$\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 \overline{ADTRG} 、 TMIB、TMIC、 TMIF、TMIG		2			t_{cyc} t_{subcyc}	図 14.3

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力端子 "Low"レベル幅	t_{IL}	$\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 \overline{ADTRG} 、 TMIB、TMIC、 TMIF、TMIG		2			t_{cyc} t_{subcyc}	図 14.3
UD 端子 最小変化幅	t_{UDH} t_{UDL}	UD		4			t_{cyc} t_{subcyc}	図 14.4

【注】 *1 外部クロックを入力する場合は1~10MHzとなります。

*2 システムコントロールレジスタ2 (SYSCR2) のSA1、SA0の設定により決定します。

表 14.11 H8/3835S、H8/3836S、H8/3837Sのシリアルインタフェース (SCI1、SCI2) タイミング

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力転送クロック サイクル時間	t_{scyc}	SCK ₁ 、SCK ₂		2			t_{cyc}	図 14.5
入力転送クロック "High"レベル幅	t_{SCKH}	SCK ₁ 、SCK ₂		0.4			t_{scyc}	図 14.5
入力転送クロック "Low"レベル幅	t_{SCKL}	SCK ₁ 、SCK ₂		0.4			t_{scyc}	図 14.5
入力転送クロック 立上り時間	t_{SCKr}	SCK ₁ 、SCK ₂	$V_{CC} = 4.0 \sim 5.5V$			60.0	ns	図 14.5
						80.0		
入力転送クロック 立下り時間	t_{SCKf}	SCK ₁ 、SCK ₂	$V_{CC} = 4.0 \sim 5.5V$			60.0	ns	図 14.5
						80.0		
シリアル出力データ 遅延時間	t_{SOD}	SO ₁ 、SO ₂	$V_{CC} = 4.0 \sim 5.5V$			200.0	ns	図 14.5
						350.0		
シリアル入力データ セットアップ時間	t_{SIS}	SI ₁ 、SI ₂	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 14.5
				400.0				
シリアル入力データ ホールド時間	t_{SIH}	SI ₁ 、SI ₂	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 14.5
				400.0				
\overline{CS} セットアップ時間	t_{CSS}	\overline{CS}		2			t_{cyc}	図 14.6
\overline{CS} ホールド時間	t_{CSH}	\overline{CS}		2			t_{cyc}	図 14.6

14. 電氣的特性

表 14.12 H8/3835S、H8/3836S、H8/3837S のシリアルインタフェース (SCI3) タイミング

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$)

項目	記号	測定条件	規格値			単位	参照図
			min.	typ.	max.		
入力 クロックサイクル	調歩同期	t_{scyc}	4			t_{cyc}	図 14.7
	クロック同期		6				
入力クロックパルス幅	t_{SCKW}		0.4		0.6	t_{scyc}	図 14.7
送信データ遅延時間 (クロック同期)	t_{TXD}	$V_{CC} = 4.0 \sim 5.5V$			1	t_{cyc}	図 14.8
					1		
受信データセットアップ時間 (クロック同期)	t_{RXS}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 14.8
			400.0				
受信データホールド時間 (クロック同期)	t_{RXH}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 14.8
			400.0				

14.3.4 A/D 変換器特性

H8/3835S、H8/3836S、H8/3837S の A/D 変換器特性を表 14.13 に示します。

表 14.13 H8/3835S、H8/3836S、H8/3837S の A/D 変換器特性

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
アナログ電源電圧	AV_{CC}	AV_{CC}		2.5		5.5	V	*1
アナログ入力電圧	AV_{IN}	$AN_0 \sim AN_{11}$		-0.3		$AV_{CC} + 0.3$	V	
アナログ電源電流	AI_{OPE}	AV_{CC}	$AV_{CC} = 5.0V$			1.5	mA	
	AI_{STOP1}	AV_{CC}			150.0		μA	*2 参考値
	AI_{STOP2}	AV_{CC}				5.0	μA	*3
アナログ入力容量	C_{AIN}	$AN_0 \sim AN_{11}$				30.0	pF	
許容信号源 インピーダンス	R_{AIN}					10.0	k	
分解能 (データ長)						8	ビット	
非直線性誤差			$V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$			± 2.0	LSB	
						± 3.0		
量子化誤差						± 0.5	LSB	
絶対精度			$V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$			± 2.5	LSB	
						± 3.5		
変換時間			$AV_{CC} = 4.5 \sim 5.5V$	12.4		124	μs	
				24.8		124		

- 【注】 *1 A/D 変換器を使用しない場合は $AV_{CC} = V_{CC}$ としてください。
 *2 AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。
 *3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

14.3.5 LCD 特性

H8/3835S、H8/3836S、H8/3837S の LCD 特性を表 14.14 に、セグメント外部拡張 AC 特性を表 14.15 に示します。

表 14.14 H8/3835S、H8/3836S、H8/3837S の LCD 特性

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
セグメントドライバ 降下電圧	V_{DS}	SEG ₁ ~ SEG ₄₀	$I_D = 2\mu A$			0.6	V	*1
コモンドライバ 降下電圧	V_{DC}	COM ₁ ~ COM ₄	$I_D = 2\mu A$			0.3	V	*1
LCD 電源 分割抵抗	R_{LCD}		$V_1 - V_{SS}$ 間	100.0	300.0	600.0	k	
液晶表示電圧	V_{LCD}	V_1		2.7		V_{CC}	V	*2

- 【注】 *1 電源端子 V_1 、 V_2 、 V_3 、 V_{SS} から各セグメント端子またはコモン端子までの電圧降下です。
 *2 液晶表示電圧を外部電源より供給する場合は、 V_{CC} 、 V_1 、 V_2 、 V_3 、 V_{SS} の関係を維持してください。

表 14.15 H8/3835S、H8/3836S、H8/3837S のセグメント外部拡張 AC 特性

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
クロック "High"レベル幅	t_{CWH}	CL ₁ 、CL ₂	*1	800.0			ns	図 14.9
クロック "Low"レベル幅	t_{CWL}	CL ₂	*1	800.0			ns	図 14.9
クロックセット アップ時間	t_{CSU}	CL ₁ 、CL ₂	*1	500.0			ns	図 14.9
データセット アップ時間	t_{SU}	DO	*1	300.0			ns	図 14.9
データ保持時間	t_{DH}	DO	*1	300.0			ns	図 14.9
M 遅延時間	t_{DM}	M		-1000		1000.0	ns	図 14.9
クロック立上り 立下り時間	t_{CT}	CL ₁ 、CL ₂				100.0	ns	図 14.9

- 【注】 *1 フレーム周波数を 488Hz ~ 30.5Hz に設定したときの値です。

14.4 H8/3832S、H8/3833S、H8/3834S、H8/3835S、H8/3836S、 H8/3837S 広温度範囲品（I仕様）絶対最大定格

絶対最大定格を表 14.16 に示します。

表 14.16 絶対最大定格

項目	記号	規格値	単位	備考
電源電圧	V_{CC}	- 0.3 ~ + 7.0	V	
アナログ電源電圧	AV_{CC}	- 0.3 ~ + 7.0	V	
入力電圧	ポート B、C 以外	V_{in}	- 0.3 ~ $V_{CC} + 3.0$	V
	ポート B、C	AV_{in}	- 0.3 ~ $AV_{CC} + 3.0$	V
動作温度	T_{opr}	- 40 ~ + 85		
保存温度	T_{stg}	- 55 ~ + 125		

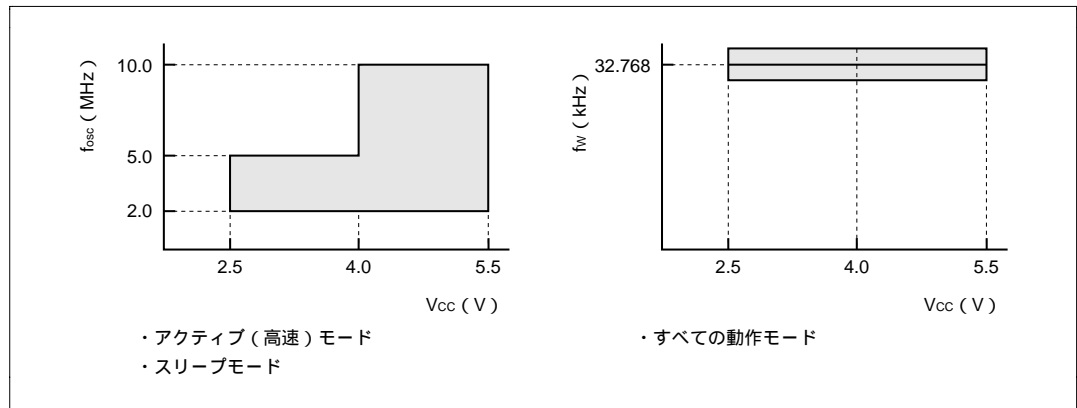
【注】 *1 絶対最大定格を越える LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件を越えると LSI の誤動作の原因になるとともに、LSI の信頼性に悪影響をおよぼすことがあります。

14.5 H8/3832S、H8/3833S、H8/3834S 広温度範囲品 (I仕様) の電気的特性

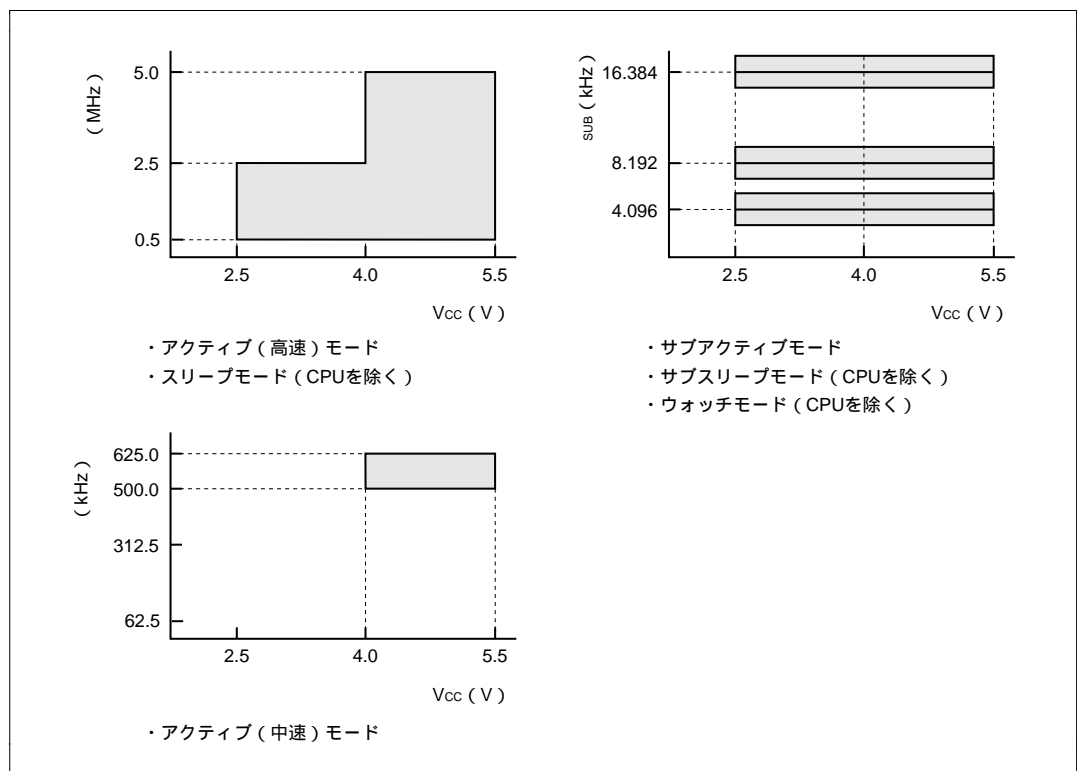
14.5.1 電源電圧と動作範囲

H8/3832S、H8/3833S、H8/3834S の電源電圧と動作範囲 (網かけ部) を以下に示します。

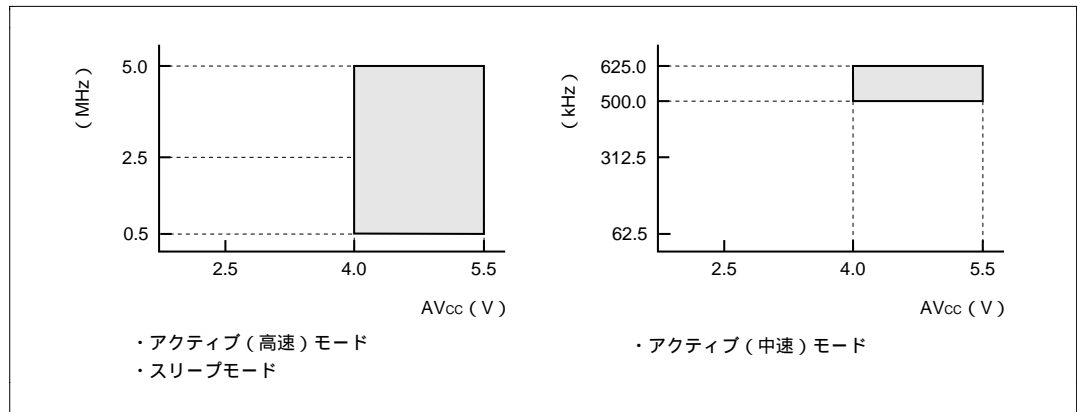
(1) H8/3832S、H8/3833S、H8/3834S 広温度範囲品 (I仕様) の電源電圧と発振周波数の範囲



(2) H8/3832S、H8/3833S、H8/3834S 広温度範囲品 (I仕様) の電源電圧と動作周波数の範囲



(3) H8/3832S、H8/3833S、H8/3834S 広温度範囲品 (I仕様) のアナログ電源電圧と A/D 変換器の動作範囲



14.5.2 DC 特性

H8/3832S、H8/3833S、H8/3834S 広温度範囲品 (I仕様) の DC 特性を表 14.17 に示します。

表 14.17 H8/3832S、H8/3833S、H8/3834S の DC 特性 (1)

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考			
				min.	typ.	max.					
入力"High" レベル電圧	V_{IH}	\overline{RES} 、MD0、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 $\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 TMIB、TMIC、TMIF、 \overline{CS} 、TMIG SCK ₁ 、SCK ₂ 、SCK ₃ 、 \overline{ADTRG}	$V_{CC} = 4.0 \sim 5.5V$	$0.8V_{CC}$		$V_{CC} + 0.3$	V				
		UD、SI ₁ 、SI ₂ 、RXD	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$V_{CC} + 0.3$	V				
				$0.8V_{CC}$		$V_{CC} + 0.3$					
		OSC ₁	$V_{CC} = 4.0 \sim 5.5V$	$V_{CC} - 0.5$		$V_{CC} + 0.3$	V				
				$V_{CC} - 0.3$		$V_{CC} + 0.3$					
		P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₃ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$			$V_{CC} + 0.3$	V			
					$0.8V_{CC}$		$V_{CC} + 0.3$				
					PB ₀ ~ PB ₇ 、	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$AV_{CC} + 0.3$		
							$0.8V_{CC}$		$AV_{CC} + 0.3$		
					PC ₀ ~ PC ₃	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$AV_{CC} + 0.3$		
$0.8V_{CC}$							$AV_{CC} + 0.3$				

【注】 TEST 端子は、 V_{SS} に接続してください。

14. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考		
				min.	typ.	max.				
入力"Low" レベル電圧	V _{IL}	\overline{RES} 、MD0、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 $\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 TMIB、TMIC、TMIF、 \overline{CS} 、TMIG SCK ₁ 、SCK ₂ 、SCK ₃ 、 \overline{ADTRG}	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.2V _{CC}	V			
				- 0.3		0.1V _{CC}				
		UD、SI ₁ 、SI ₂ 、RXD	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.3V _{CC}	V			
				- 0.3		0.2V _{CC}				
		OSC ₁	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.5	V			
				- 0.3		0.3				
		P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₃ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃ 、 PB ₀ ~ PB ₇ 、 PC ₀ ~ PC ₃	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.3V _{CC}	V			
				- 0.3		0.2V _{CC}				
		出力"High" レベル電圧	V _{OH}	P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇	V _{CC} = 4.0 ~ 5.5V - I _{OH} = 1.0mA	V _{CC} - 1.0			V	
				P4 ₀ ~ P4 ₂ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇	V _{CC} = 4.0 ~ 5.5V - I _{OH} = 0.5mA	V _{CC} - 0.5				
P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃	- I _{OH} = 0.1mA			V _{CC} - 0.5						

項目	記号	適用端子	測定条件	規格値			単位	備考	
				min.	typ.	max.			
出力"Low" レベル電圧	V_{OL}	P1 ₀ ~ P1 ₇ , P4 ₀ ~ P4 ₂	$V_{CC} = 4.0 \sim 5.5V$ $I_{OL} = 1.6mA$			0.6	V		
			$I_{OL} = 0.4mA$			0.5			
		P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , PA ₀ ~ PA ₃	$I_{OL} = 0.4mA$			0.5			
			P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇	$V_{CC} = 4.0 \sim 5.5V$ $I_{OL} = 10mA$					1.5
				$V_{CC} = 4.0 \sim 5.5V$ $I_{OL} = 1.6mA$					0.6
				$I_{OL} = 0.4mA$					0.5
入出力 リーク電流	I_{IL}	RES、 OSC ₁ 、MD0 P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₃ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , PA ₀ ~ PA ₃	$V_{IN} = 0.5V \sim V_{CC} - 0.5V$			1.0	μA		
			PB ₀ ~ PB ₇ , PC ₀ ~ PC ₃	$V_{IN} = 0.5V \sim AV_{CC} - 0.5V$					1.0
プルアップ MOS 電流	- I_p	P1 ₀ ~ P1 ₇ , P3 ₀ ~ P3 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇	$V_{CC} = 5V, V_{IN} = 0V$	50.0		300.0	μA		
			$V_{CC} = 2.7V, V_{IN} = 0V$		35.0		μA	参考値	

14. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力容量	C_{IN}	電源端子を除く全入力端子	$f = 1\text{MHz}$ 、 $V_{IN} = 0\text{V}$ 、 $T_a = 25$			15.0	pF	
アクティブモード消費電流	I_{OPE1}	V_{CC}	アクティブ(高速)モード $V_{CC} = 5\text{V}$ 、 $f_{OSC} = 10\text{MHz}$		9.0	13.0	mA	*1 *2
	I_{OPE2}	V_{CC}	アクティブ(中速)モード $V_{CC} = 5\text{V}$ 、 $f_{OSC} = 10\text{MHz}$		1.7	3.0	mA	*1 *2
スリープモード消費電流	I_{SLEEP}	V_{CC}	$V_{CC} = 5\text{V}$ 、 $f_{OSC} = 10\text{MHz}$		4.0	7.0	mA	*1 *2
サブアクティブモード消費電流	I_{SUB}	V_{CC}	$V_{CC} = 2.7\text{V}$ 、LCD点灯 32kHz 水晶発振子使用時 ($I_{SUB} = I_{W}/2$)		30.0	65.0	μA	*1 *2
			$V_{CC} = 2.7\text{V}$ 、LCD点灯 32kHz 水晶発振子使用時 ($I_{SUB} = I_{W}/8$)		22.0		μA	*1 *2 参考値
サブスリープモード消費電流	I_{SUBSP}	V_{CC}	$V_{CC} = 2.7\text{V}$ 、LCD点灯 32kHz 水晶発振子使用時 ($I_{SUB} = I_{W}/2$)		20.0	45.0	μA	*1 *2
ウォッチモード消費電流	I_{WATCH}	V_{CC}	$V_{CC} = 2.7\text{V}$ 、32kHz 水晶発振子使用時 LCD未使用			5.5	μA	*1 *2
スタンバイモード消費電流	I_{STBY}	V_{CC}	32kHz 水晶発振子未使用時			5.0	μA	*1 *2
RAMデータ保持電圧	V_{RAM}	V_{CC}		2.0			V	*1 *2

モード	内部状態	各端子	LCD電源	発振端子
アクティブ(高速)モード アクティブ(中速)モード	動作	V_{CC}	OPEN	システムクロック発振器： 水晶発振子 サブクロック発振器： X_1 端子 = V_{CC}
スリープモード	タイマのみ動作	V_{CC}	OPEN	
サブアクティブモード	動作	V_{CC}	OPEN	システムクロック発振器： 水晶発振子
サブスリープモード	タイマのみ動作 CPUは停止	V_{CC}	OPEN	サブクロック発振器： 水晶発振子
ウォッチモード	時計用タイム ベースのみ動作 CPUは停止	V_{CC}	OPEN	
スタンバイモード	CPU、タイマ ともに停止	V_{CC}	OPEN	システムクロック発振器： 水晶発振子 サブクロック発振器： X_1 端子 = V_{CC}

【注】 *1 消費電流測定時の端子の状態

*2 ブルアップ MOS や出力バッファに流れる電流は除きます。

14. 電気的特性

表 14.17 H8/3832S、H8/3833S、H8/3834S の DC 特性 (2)

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力"Low" レベル許容電流 (1端子あたり)	I_{OL}	ポート 2、3 以外の出力端子	$V_{CC} = 4.0V \sim 5.5V$			2.0	mA	
		ポート 2、3	$V_{CC} = 4.0V \sim 5.5V$			10.0		
		全出力端子				0.5		
出力"Low" レベル許容電流 (総和)	I_{OL}	ポート 2、3 以外の出力端子	$V_{CC} = 4.0V \sim 5.5V$			40.0	mA	
		ポート 2、3	$V_{CC} = 4.0V \sim 5.5V$			80.0		
		全出力端子				20.0		
出力"High" レベル許容電流 (1端子あたり)	$-I_{OH}$	全出力端子	$V_{CC} = 4.0V \sim 5.5V$			2.0	mA	
						0.2		
出力"High" レベル許容電流 (総和)	$-I_{OH}$	全出力端子	$V_{CC} = 4.0V \sim 5.5V$			15.0	mA	
						10.0		

14.5.3 AC 特性

H8/3832S、H8/3833S、H8/3834S 広温度範囲品 (I仕様) の制御信号タイミングを表 14.18 に、シリアルインタフェースタイミングを表 14.19、表 14.20 に示します。

表 14.18 H8/3832S、H8/3833S、H8/3834S 広温度範囲品 (I仕様) の制御信号タイミング

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
システムクロック 発振器発振周波数	f_{OSC}	OSC ₁ 、OSC ₂	$V_{CC} = 4.0 \sim 5.5V$	2.0		10.0	MHz	
				2.0		5.0		
OSC クロック (OSC) サイクル時間	t_{OSC}	OSC ₁ 、OSC ₂	$V_{CC} = 4.0 \sim 5.5V$	100.0		1000.0	ns	*1 図 14.1
				200.0		1000.0		
システムクロック () サイクル時間	t_{cyc}			2		16	t_{OSC}	*1
						2000.0		
サブクロック発振器 発振周波数	f_W	X ₁ 、X ₂			32.768		kHz	
ウォッチクロック (W) サイクル時間	t_W	X ₁ 、X ₂			30.5		μs	
サブクロック (SUB) サイクル時間	t_{subcyc}			2		8	t_W	*2
インストラクション サイクル時間				2			t_{cyc} t_{subcyc}	
発振安定時間 (水晶発振器)	t_{rc}	OSC ₁ 、OSC ₂	$V_{CC} = 4.0 \sim 5.5V$			40.0	ms	
						60.0		
						100.0		
発振安定時間	t_{rc}	X ₁ 、X ₂				2.0	s	
外部クロック "High"レベル幅	t_{CPH}	OSC ₁	$V_{CC} = 4.0 \sim 5.5V$	40.0			ns	図 14.1
				80.0				
外部クロック "Low"レベル幅	t_{CPL}	OSC ₁	$V_{CC} = 4.0 \sim 5.5V$	40.0			ns	図 14.1
				80.0				
外部クロック 立上り時間	t_{CPr}		$V_{CC} = 4.0 \sim 5.5V$			15.0	ns	図 14.1
						20.0		
外部クロック 立下り時間	t_{CPf}		$V_{CC} = 4.0 \sim 5.5V$			15.0	ns	図 14.1
						20.0		
RES 端子 "Low"レベル幅	t_{REL}	RES		10			t_{cyc}	図 14.2
入力端子 "High"レベル幅	t_{IH}	$\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 \overline{ADTRG} 、 TMIB、TMIC、 TMIF、TMIG		2			t_{cyc} t_{subcyc}	図 14.3

14. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力端子 "Low"レベル幅	t_{IL}	$\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 \overline{ADTRG} 、 TMIB、TMIC、 TMIF、TMIG		2			t_{cyc} t_{subcyc}	図 14.3
UD 端子 最小変化幅	t_{UDH} t_{UDL}	UD		4			t_{cyc} t_{subcyc}	図 14.4

【注】 *1 外部クロックを入力する場合は1~10MHzとなります。

*2 システムコントロールレジスタ2 (SYSCR2) のSA1、SA0の設定により決定します。

表 14.19 H8/3832S、H8/3833S、H8/3834S 広温度範囲品(I仕様)のシリアルインタフェース(SCI1、SCI2) タイミング

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力転送クロック サイクル時間	t_{scyc}	SCK ₁ 、SCK ₂		2			t_{cyc}	図 14.5
入力転送クロック "High"レベル幅	t_{SCKH}	SCK ₁ 、SCK ₂		0.4			t_{scyc}	図 14.5
入力転送クロック "Low"レベル幅	t_{SCKL}	SCK ₁ 、SCK ₂		0.4			t_{scyc}	図 14.5
入力転送クロック 立上り時間	t_{SCKr}	SCK ₁ 、SCK ₂	$V_{CC} = 4.0 \sim 5.5V$			60.0 80.0	ns	図 14.5
入力転送クロック 立下り時間	t_{SCKf}	SCK ₁ 、SCK ₂	$V_{CC} = 4.0 \sim 5.5V$			60.0 80.0	ns	図 14.5
シリアル出力データ 遅延時間	t_{SOD}	SO ₁ 、SO ₂	$V_{CC} = 4.0 \sim 5.5V$			200.0 350.0	ns	図 14.5
シリアル入力データ セットアップ時間	t_{SIS}	SI ₁ 、SI ₂	$V_{CC} = 4.0 \sim 5.5V$	200.0 400.0			ns	図 14.5
シリアル入力データ ホールド時間	t_{SIH}	SI ₁ 、SI ₂	$V_{CC} = 4.0 \sim 5.5V$	200.0 400.0			ns	図 14.5
\overline{CS} セットアップ時間	t_{CSS}	\overline{CS}		2			t_{cyc}	図 14.6
\overline{CS} ホールド時間	t_{CSH}	\overline{CS}		2			t_{cyc}	図 14.6

表 14.20 H8/3832S、H8/3833S、H8/3834S 広温度範囲品 (I仕様) のシリアルインタフェース (SCI3) タイミング

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$)

項目	記号	測定条件	規格値			単位	参照図
			min.	typ.	max.		
入力 クロックサイクル	調歩同期	t_{SCYC}	4			t_{cyc}	図 14.7
	クロック同期		6				
入力クロックパルス幅	t_{SCKW}		0.4		0.6	t_{SCYC}	図 14.7
送信データ遅延時間 (クロック同期)	t_{TXD}	$V_{CC} = 4.0 \sim 5.5V$			1	t_{cyc}	図 14.8
受信データセットアップ時間 (クロック同期)	t_{RXS}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 14.8
			400.0				
受信データホールド時間 (クロック同期)	t_{RXH}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 14.8
			400.0				

14.5.4 A/D 変換器特性

H8/3832S、H8/3833S、H8/3834S 広温度範囲品 (I仕様) の A/D 変換器特性を表 14.21 に示します。

表 14.21 H8/3832S、H8/3833S、H8/3834S の A/D 変換器特性

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
アナログ電源電圧	AV_{CC}	AV_{CC}		2.5		5.5	V	*1
アナログ入力電圧	AV_{IN}	$AN_0 \sim AN_{11}$		- 0.3		$AV_{CC} + 0.3$	V	
アナログ電源電流	AI_{OPF}	AV_{CC}	$AV_{CC} = 5.0V$			1.5	mA	
	AI_{STOP1}	AV_{CC}			150.0		μA	*2 参考値
	AI_{STOP2}	AV_{CC}				5.0	μA	*3
アナログ入力容量	C_{AIN}	$AN_0 \sim AN_{11}$				30.0	pF	
許容信号源 インピーダンス	R_{AIN}					10.0	k	
分解能 (データ長)						8	ビット	
非直線性誤差			$V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$			± 2.0	LSB	
						± 3.0		
量子化誤差						± 0.5	LSB	
絶対精度			$V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$			± 2.5	LSB	
						± 3.5		
変換時間			$AV_{CC} = 4.5 \sim 5.5V$			12.4	μs	
						24.8		

【注】 *1 A/D 変換器を使用しない場合は $AV_{CC} = V_{CC}$ としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

*3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

14. 電気的特性

14.5.5 LCD 特性

H8/3832S、H8/3833S、H8/3834S 広温度範囲品 (I仕様) の LCD 特性を表 14.22 に、セグメント外部拡張 AC 特性を表 14.23 に示します。

表 14.22 H8/3832S、H8/3833S、H8/3834S 広温度範囲品 (I仕様) の LCD 特性

(特記なき場合、 $V_{CC}=2.5\sim 5.5V$ 、 $AV_{CC}=2.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-40\sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
セグメントドライバ 降下電圧	V_{DS}	SEG ₁ ~ SEG ₄₀	$I_D = 2\mu A$			0.6	V	*1
コモンドライバ 降下電圧	V_{DC}	COM ₁ ~ COM ₄	$I_D = 2\mu A$			0.3	V	*1
LCD 電源 分割抵抗	R_{LCD}		$V_1 - V_{SS}$ 間	100.0	300.0	600.0	k	
液晶表示電圧	V_{LCD}	V_1		2.7		V_{CC}	V	*2

【注】 *1 電源端子 V_1 、 V_2 、 V_3 、 V_{SS} から各セグメント端子または共通端子までの電圧降下です。

*2 液晶表示電圧を外部電源より供給する場合は、 V_{CC} V_1 V_2 V_3 V_{SS} の関係を維持してください。

表 14.23 H8/3832S、H8/3833S、H8/3834S 広温度範囲品 (I仕様) のセグメント外部拡張 AC 特性

(特記なき場合、 $V_{CC}=2.5\sim 5.5V$ 、 $AV_{CC}=2.5\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-40\sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
クロック "High"レベル幅	t_{CWH}	CL ₁ 、CL ₂	*1	800.0			ns	図 14.9
クロック "Low"レベル幅	t_{CWL}	CL ₂	*1	800.0			ns	図 14.9
クロックセット アップ時間	t_{CSU}	CL ₁ 、CL ₂	*1	500.0			ns	図 14.9
データセット アップ時間	t_{SU}	DO	*1	300.0			ns	図 14.9
データ保持時間	t_{DH}	DO	*1	300.0			ns	図 14.9
M 遅延時間	t_{DM}	M		-1000		1000.0	ns	図 14.9
クロック立上り 立下り時間	t_{CT}	CL ₁ 、CL ₂				100.0	ns	図 14.9

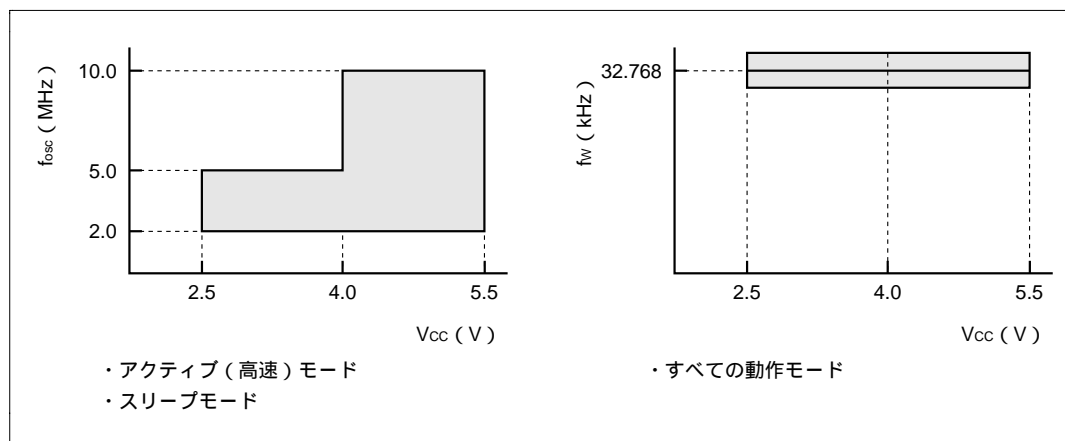
【注】 *1 フレーム周波数を 488Hz ~ 30.5Hz に設定したときの値です。

14.6 H8/3835S、H8/3836S、H8/3837S 広温度範囲品 (I仕様) の電気的特性

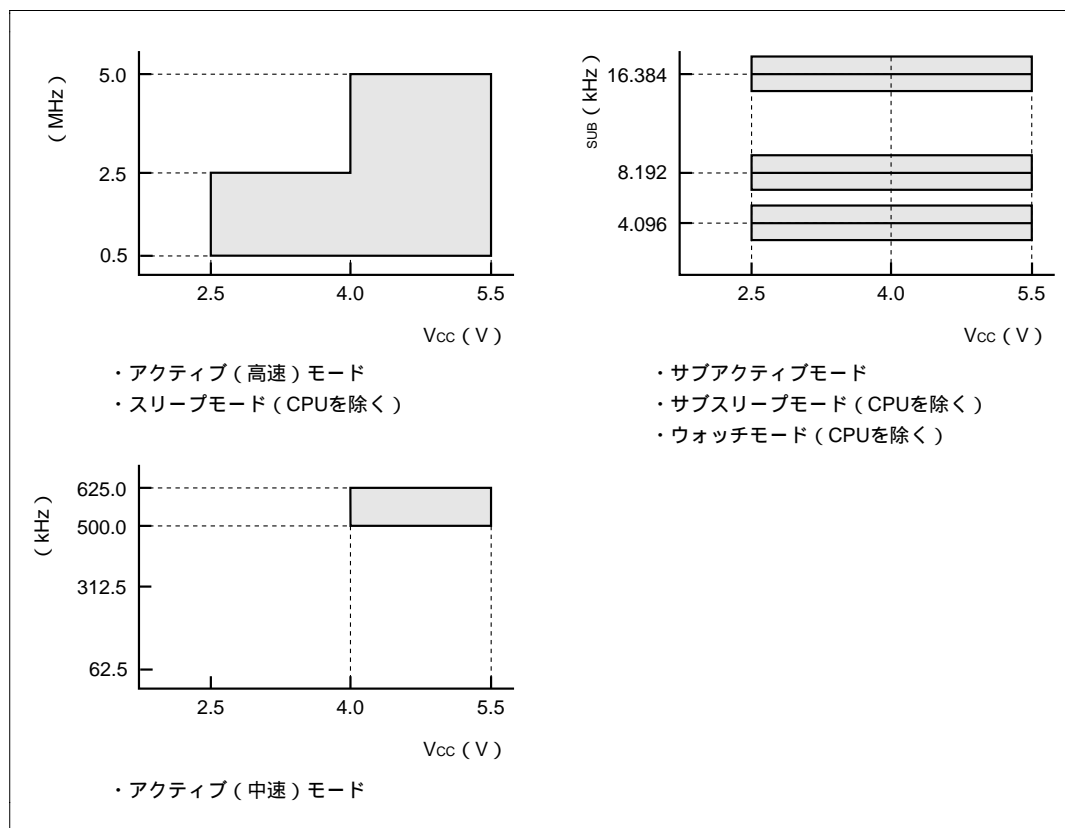
14.6.1 電源電圧と動作範囲

H8/3835S、H8/3836S、H8/3837S の電源電圧と動作範囲 (網かけ部) を以下に示します。

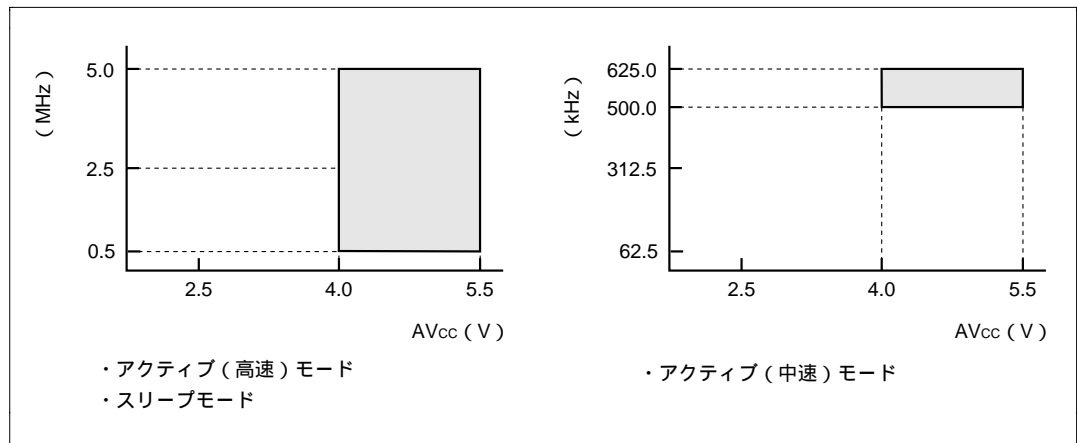
(1) H8/3835S、H8/3836S、H8/3837S の電源電圧と発振周波数の範囲



(2) H8/3835S、H8/3836S、H8/3837S 広温度範囲品 (I仕様) の電源電圧と動作周波数の範囲



(3) H8/3835S、H8/3836S、H8/3837S のアナログ電源電圧と A/D 変換器の動作範囲



14.6.2 DC 特性

H8/3835S、H8/3836S、H8/3837S 広温度範囲品 (I仕様) のDC 特性を表 14.24 に示します。

表 14.24 H8/3835S、H8/3836S、H8/3837S のDC 特性 (1)

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考			
				min.	typ.	max.					
入力"High" レベル電圧	V_{IH}	\overline{RES} 、MD0、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 $\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 TMIB、TMIC、TMIF、 \overline{CS} 、TMIG SCK ₁ 、SCK ₂ 、SCK ₃ 、 \overline{ADTRG}	$V_{CC} = 4.0 \sim 5.5V$	$0.8V_{CC}$		$V_{CC} + 0.3$	V				
				$0.9V_{CC}$		$V_{CC} + 0.3$					
		UD、SI ₁ 、SI ₂ 、RXD	$V_{CC} = 4.0 \sim 5.5V$		$0.7V_{CC}$		$V_{CC} + 0.3$	V			
					$0.8V_{CC}$		$V_{CC} + 0.3$				
		OSC ₁	$V_{CC} = 4.0 \sim 5.5V$		$V_{CC} - 0.5$		$V_{CC} + 0.3$	V			
					$V_{CC} - 0.3$		$V_{CC} + 0.3$				
		P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₃ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃	$V_{CC} = 4.0 \sim 5.5V$		$0.7V_{CC}$		$V_{CC} + 0.3$	V			
					$0.8V_{CC}$		$V_{CC} + 0.3$				
				PB ₀ ~ PB ₇ 、 PC ₀ ~ PC ₃	$V_{CC} = 4.0 \sim 5.5V$		$0.7V_{CC}$				$AV_{CC} + 0.3$
							$0.8V_{CC}$				$AV_{CC} + 0.3$

【注】 TEST 端子は、 V_{SS} に接続してください。

14. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考		
				min.	typ.	max.				
入力"Low" レベル電圧	V _{IL}	\overline{RES} 、MD0、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 $\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 TMIB、TMIC、TMIF、 \overline{CS} 、TMIG SCK ₁ 、SCK ₂ 、SCK ₃ 、 \overline{ADTRG}	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.2V _{CC}	V			
				- 0.3		0.1V _{CC}				
		UD、SI ₁ 、SI ₂ 、RXD	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.3V _{CC}	V			
				- 0.3		0.2V _{CC}				
		OSC ₁	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.5	V			
				- 0.3		0.3				
		P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₃ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃ 、 PB ₀ ~ PB ₇ 、 PC ₀ ~ PC ₃	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.3V _{CC}	V			
				- 0.3		0.2V _{CC}				
		出力"High" レベル電圧	V _{OH}	P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇	V _{CC} = 4.0 ~ 5.5V - I _{OH} = 1.0mA	V _{CC} - 1.0			V	
				P4 ₀ ~ P4 ₂ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇	V _{CC} = 4.0 ~ 5.5V - I _{OH} = 0.5mA	V _{CC} - 0.5				
P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃	- I _{OH} = 0.1mA			V _{CC} - 0.5						

項目	記号	適用端子	測定条件	規格値			単位	備考	
				min.	typ.	max.			
出力"Low" レベル電圧	V_{OL}	P1 ₀ ~ P1 ₇ , P4 ₀ ~ P4 ₂	$V_{CC} = 4.0 \sim 5.5V$ $I_{OL} = 1.6mA$			0.6	V		
			$I_{OL} = 0.4mA$			0.5			
		P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , PA ₀ ~ PA ₃	$I_{OL} = 0.4mA$			0.5			
			P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇	$V_{CC} = 4.0 \sim 5.5V$ $I_{OL} = 10mA$					1.5
				$V_{CC} = 4.0 \sim 5.5V$ $I_{OL} = 1.6mA$					0.6
				$I_{OL} = 0.4mA$					0.5
入出力 リーク電流	I_{IL}	RES、 OSC ₁ 、MD0 P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₃ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , PA ₀ ~ PA ₃	$V_{IN} = 0.5V \sim V_{CC} - 0.5V$			1.0	μA		
			PB ₀ ~ PB ₇ , PC ₀ ~ PC ₃	$V_{IN} = 0.5V \sim AV_{CC} - 0.5V$					1.0
プルアップ MOS 電流	- I_p	P1 ₀ ~ P1 ₇ , P3 ₀ ~ P3 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇	$V_{CC} = 5V, V_{IN} = 0V$	50.0		300.0	μA		
			$V_{CC} = 2.7V, V_{IN} = 0V$		35.0		μA	参考値	

14. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力容量	C_{IN}	電源端子を除く全入力端子	$f = 1\text{MHz}$ 、 $V_{IN} = 0\text{V}$ 、 $T_a = 25$			15.0	pF	
アクティブモード消費電流	I_{OPE1}	V_{CC}	アクティブ(高速)モード $V_{CC} = 5\text{V}$ 、 $f_{OSC} = 10\text{MHz}$		9.0	13.0	mA	*1 *2
消費電流	I_{OPE2}	V_{CC}	アクティブ(中速)モード $V_{CC} = 5\text{V}$ 、 $f_{OSC} = 10\text{MHz}$		1.7	3.0	mA	*1 *2
スリープモード消費電流	I_{SLEEP}	V_{CC}	$V_{CC} = 5\text{V}$ 、 $f_{OSC} = 10\text{MHz}$		4.0	7.0	mA	*1 *2
サブアクティブモード消費電流	I_{SUB}	V_{CC}	$V_{CC} = 2.7\text{V}$ 、LCD点灯 32kHz 水晶発振子使用時 ($I_{SUB} = I_{W}/2$)		30.0	65.0	μA	*1 *2
			$V_{CC} = 2.7\text{V}$ 、LCD点灯 32kHz 水晶発振子使用時 ($I_{SUB} = I_{W}/8$)		22.0		μA	*1 *2 参考値
サブスリープモード消費電流	I_{SUBSP}	V_{CC}	$V_{CC} = 2.7\text{V}$ 、LCD点灯 32kHz 水晶発振子使用時 ($I_{SUB} = I_{W}/2$)		20.0	45.0	μA	*1 *2
ウォッチモード消費電流	I_{WATCH}	V_{CC}	$V_{CC} = 2.7\text{V}$ 、32kHz 水晶発振子使用時 LCD未使用			5.5	μA	*1 *2
スタンバイモード消費電流	I_{STBY}	V_{CC}	32kHz 水晶発振子未使用時			5.0	μA	*1 *2
RAMデータ保持電圧	V_{RAM}	V_{CC}		2.0			V	*1 *2

モード	内部状態	各端子	LCD電源	発振端子
アクティブ(高速)モード アクティブ(中速)モード	動作	V_{CC}	OPEN	システムクロック発振器： 水晶発振子 サブクロック発振器： X_1 端子 = V_{CC}
スリープモード	タイマのみ動作	V_{CC}	OPEN	
サブアクティブモード	動作	V_{CC}	OPEN	システムクロック発振器： 水晶発振子
サブスリープモード	タイマのみ動作 CPUは停止	V_{CC}	OPEN	サブクロック発振器： 水晶発振子
ウォッチモード	時計用タイムベースのみ動作 CPUは停止	V_{CC}	OPEN	
スタンバイモード	CPU、タイマともに停止	V_{CC}	OPEN	システムクロック発振器： 水晶発振子 サブクロック発振器： X_1 端子 = V_{CC}

【注】 *1 消費電流測定時の端子の状態

*2 ブルアップ MOS や出力バッファに流れる電流は除きます。

14. 電気的特性

表 14.24 H8/3835S、H8/3836S、H8/3837S 広温度範囲品 (I仕様) の DC 特性 (2)

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力"Low" レベル許容電流 (1端子あたり)	I_{OL}	ポート 2、3 以外の出力端子	$V_{CC} = 4.0V \sim 5.5V$			2.0	mA	
		ポート 2、3	$V_{CC} = 4.0V \sim 5.5V$			10.0		
		全出力端子				0.5		
出力"Low" レベル許容電流 (総和)	I_{OL}	ポート 2、3 以外の出力端子	$V_{CC} = 4.0V \sim 5.5V$			40.0	mA	
		ポート 2、3	$V_{CC} = 4.0V \sim 5.5V$			80.0		
		全出力端子				20.0		
出力"High" レベル許容電流 (1端子あたり)	$-I_{OH}$	全出力端子	$V_{CC} = 4.0V \sim 5.5V$			2.0	mA	
						0.2		
出力"High" レベル許容電流 (総和)	$-I_{OH}$	全出力端子	$V_{CC} = 4.0V \sim 5.5V$			15.0	mA	
						10.0		

14.6.3 AC特性

H8/3835S、H8/3836S、H8/3837S 広温度範囲品 (I仕様) の制御信号タイミングを表 14.25 に、シリアルインタフェースタイミングを表 14.26、表 14.27 に示します。

表 14.25 H8/3835S、H8/3836S、H8/3837S 広温度範囲品 (I仕様) の制御信号タイミング

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
システムクロック 発振器発振周波数	f_{OSC}	OSC ₁ 、OSC ₂	$V_{CC} = 4.0 \sim 5.5V$	2.0		10.0	MHz	
				2.0		5.0		
OSC クロック (OSC) サイクル時間	t_{OSC}	OSC ₁ 、OSC ₂	$V_{CC} = 4.0 \sim 5.5V$	100.0		1000.0	ns	*1 図 14.1
				200.0		1000.0		
システムクロック () サイクル時間	t_{cyc}			2		16	t_{OSC}	*1
						2000.0		
サブクロック発振器 発振周波数	f_W	X ₁ 、X ₂			32.768		kHz	
ウォッチクロック (W) サイクル時間	t_W	X ₁ 、X ₂			30.5		μs	
サブクロック (SUB) サイクル時間	t_{subcyc}			2		8	t_W	*2
インストラクション サイクル時間				2			t_{cyc} t_{subcyc}	
発振安定時間 (水晶発振器)	t_{rc}	OSC ₁ 、OSC ₂	$V_{CC} = 4.0 \sim 5.5V$			40.0	ms	
						60.0		
						100		
発振安定時間	t_{rc}	X ₁ 、X ₂				2.0	s	
外部クロック "High"レベル幅	t_{CPH}	OSC ₁	$V_{CC} = 4.0 \sim 5.5V$	40.0			ns	図 14.1
				80.0				
外部クロック "Low"レベル幅	t_{CPL}	OSC ₁	$V_{CC} = 4.0 \sim 5.5V$	40.0			ns	図 14.1
				80.0				
外部クロック 立上り時間	t_{CPr}		$V_{CC} = 4.0 \sim 5.5V$			15.0	ns	図 14.1
						20.0		
外部クロック 立下り時間	t_{CPf}		$V_{CC} = 4.0 \sim 5.5V$			15.0	ns	図 14.1
						20.0		
RES 端子 "Low"レベル幅	t_{REL}	RES		10			t_{cyc}	図 14.2
入力端子 "High"レベル幅	t_{IH}	$\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 \overline{ADTRG} 、 TMIB、TMIC、 TMIF、TMIG		2			t_{cyc} t_{subcyc}	図 14.3

14. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力端子 "Low"レベル幅	t_{IL}	$\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 \overline{ADTRG} 、 TMIB、TMIC、 TMIF、TMIG		2			t_{cyc} t_{subcyc}	図 14.3
UD 端子 最小変化幅	t_{UDH} t_{UDL}	UD		4			t_{cyc} t_{subcyc}	図 14.4

【注】 *1 外部クロックを入力する場合は1~10MHzとなります。

*2 システムコントロールレジスタ2 (SYSCR2) のSA1、SA0の設定により決定します。

表 14.26 H8/3835S、H8/3836S、H8/3837S 広温度範囲品 (I仕様) のシリアルインタフェース
(SCI1、SCI2) タイミング

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力転送クロック サイクル時間	t_{scyc}	SCK ₁ 、SCK ₂		2			t_{cyc}	図 14.5
入力転送クロック "High"レベル幅	t_{SCKH}	SCK ₁ 、SCK ₂		0.4			t_{scyc}	図 14.5
入力転送クロック "Low"レベル幅	t_{SCKL}	SCK ₁ 、SCK ₂		0.4			t_{scyc}	図 14.5
入力転送クロック 立上り時間	t_{SCKr}	SCK ₁ 、SCK ₂	$V_{CC} = 4.0 \sim 5.5V$			60.0 80.0	ns	図 14.5
入力転送クロック 立下り時間	t_{SCKf}	SCK ₁ 、SCK ₂	$V_{CC} = 4.0 \sim 5.5V$			60.0 80.0	ns	図 14.5
シリアル出力データ 遅延時間	t_{SOD}	SO ₁ 、SO ₂	$V_{CC} = 4.0 \sim 5.5V$			200.0 350.0	ns	図 14.5
シリアル入力データ セットアップ時間	t_{SIS}	SI ₁ 、SI ₂	$V_{CC} = 4.0 \sim 5.5V$	200.0 400.0			ns	図 14.5
シリアル入力データ ホールド時間	t_{SIH}	SI ₁ 、SI ₂	$V_{CC} = 4.0 \sim 5.5V$	200.0 400.0			ns	図 14.5
\overline{CS} セットアップ時間	t_{CSS}	\overline{CS}		2			t_{cyc}	図 14.6
\overline{CS} ホールド時間	t_{CSH}	\overline{CS}		2			t_{cyc}	図 14.6

表 14.27 H8/3835S、H8/3836S、H8/3837S 広温度範囲品 (I仕様) のシリアルインタフェース (SCI3) タイミング

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$)

項目	記号	測定条件	規格値			単位	参照図
			min.	typ.	max.		
入力 クロックサイクル	調歩同期	t_{SCYC}	4			t_{CYC}	図 14.7
	クロック同期		6				
入力クロックパルス幅	t_{SCKW}		0.4		0.6	t_{SCYC}	図 14.7
送信データ遅延時間 (クロック同期)	t_{TXD}	$V_{CC} = 4.0 \sim 5.5V$			1	t_{CYC}	図 14.8
					1		
受信データセットアップ時間 (クロック同期)	t_{RXS}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 14.8
			400.0				
受信データホールド時間 (クロック同期)	t_{RXH}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 14.8
			400.0				

14.6.4 A/D 変換器特性

H8/3835S、H8/3836S、H8/3837S 広温度範囲品 (I仕様) の A/D 変換器特性を表 14.28 に示します。

表 14.28 H8/3835S、H8/3836S、H8/3837S 広温度範囲品 (I仕様) の A/D 変換器特性

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
アナログ電源電圧	AV_{CC}	AV_{CC}		2.5		5.5	V	*1
アナログ入力電圧	AV_{IN}	$AN_0 \sim AN_{11}$		-0.3		$AV_{CC} + 0.3$	V	
アナログ電源電流	AI_{OPE}	AV_{CC}	$AV_{CC} = 5.0V$			1.5	mA	
	AI_{STOP1}	AV_{CC}			150.0		μA	*2 参考値
	AI_{STOP2}	AV_{CC}				5.0	μA	*3
アナログ入力容量	C_{AIN}	$AN_0 \sim AN_{11}$				30.0	pF	
許容信号源 インピーダンス	R_{AIN}					10.0	k	
分解能 (データ長)						8	ビット	
非直線性誤差			$V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$			± 2.0	LSB	
						± 3.0		
量子化誤差						± 0.5	LSB	
絶対精度			$V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$			± 2.5	LSB	
						± 3.5		
変換時間			$AV_{CC} = 4.5 \sim 5.5V$	12.4		124	μs	
				24.8		124		

【注】 *1 A/D 変換器を使用しない場合は $AV_{CC} = V_{CC}$ としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

*3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

14. 電気的特性

14.6.5 LCD 特性

H8/3835S、H8/3836S、H8/3837S 広温度範囲品 (I仕様) の LCD 特性を表 14.29 に、セグメント外部拡張 AC 特性を表 14.30 に示します。

表 14.29 H8/3835S、H8/3836S、H8/3837S 広温度範囲品 (I仕様) の LCD 特性

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
セグメントドライバ 降下電圧	V_{DS}	SEG ₁ ~ SEG ₄₀	$I_D = 2\mu A$			0.6	V	*1
コモンドライバ 降下電圧	V_{DC}	COM ₁ ~ COM ₄	$I_D = 2\mu A$			0.3	V	*1
LCD 電源 分割抵抗	R_{LCD}		$V_1 - V_{SS}$ 間	100.0	300.0	600.0	k	
液晶表示電圧	V_{LCD}	V_1		2.7		V_{CC}	V	*2

【注】 *1 電源端子 V_1 、 V_2 、 V_3 、 V_{SS} から各セグメント端子またはコモン端子までの電圧降下です。

*2 液晶表示電圧を外部電源より供給する場合は、 V_{CC} 、 V_1 、 V_2 、 V_3 、 V_{SS} の関係を維持してください。

表 14.30 H8/3835S、H8/3836S、H8/3837S 広温度範囲品 (I仕様) のセグメント外部拡張 AC 特性

(特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
クロック "High"レベル幅	t_{CWH}	CL ₁ 、CL ₂	*1	800.0			ns	図 14.9
クロック "Low"レベル幅	t_{CWL}	CL ₂	*1	800.0			ns	図 14.9
クロックセット アップ時間	t_{CSU}	CL ₁ 、CL ₂	*1	500.0			ns	図 14.9
データセット アップ時間	t_{SU}	DO	*1	300.0			ns	図 14.9
データ保持時間	t_{DH}	DO	*1	300.0			ns	図 14.9
M 遅延時間	t_{DM}	M		-1000		1000.0	ns	図 14.9
クロック立上り 立下り時間	t_{CT}	CL ₁ 、CL ₂				100.0	ns	図 14.9

【注】 *1 フレーム周波数を 488Hz ~ 30.5Hz に設定したときの値です。

14.7 H8/3833、H8/3834、H8/3835、H8/3836、H8/3837 (標準仕様) 絶対最大定格

絶対最大定格を表 14.31 に示します。

表 14.31 絶対最大定格

項目	記号	規格値	単位	備考	
電源電圧	V_{CC}	- 0.3 ~ + 7.0	V	*1	
アナログ電源電圧	AV_{CC}	- 0.3 ~ + 7.0	V		
プログラム電圧	V_{PP}	- 0.3 ~ + 13.0	V		
入力電圧	ポート B、C 以外	V_{in}	- 0.3 ~ $V_{CC} + 3.0$		V
	ポート B、C	AV_{in}	- 0.3 ~ $AV_{CC} + 3.0$		V
動作温度	T_{opr}	- 20 ~ + 75			
保存温度	T_{stg}	- 55 ~ + 125			

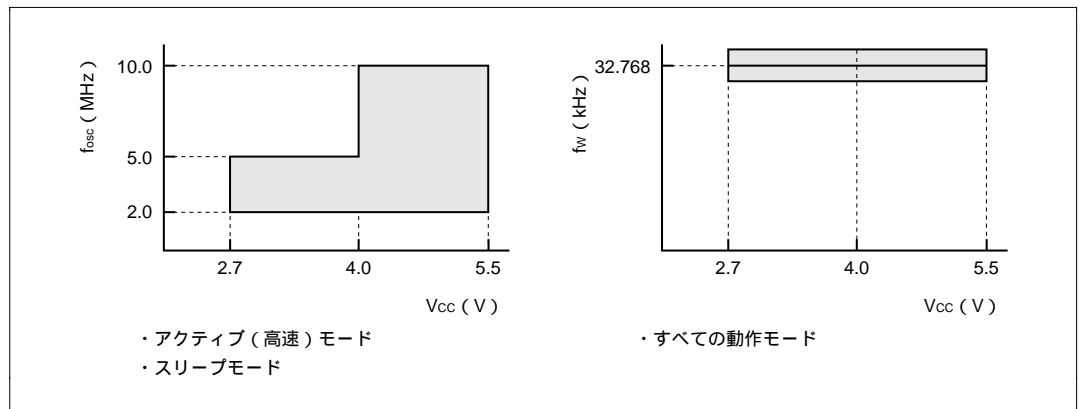
【注】 *1 絶対最大定格を越える LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件を越えると LSI の誤動作の原因になるとともに、LSI の信頼性に悪影響をおよぼすことがあります。

14.8 H8/3833、H8/3834 (標準仕様) の電気的特性

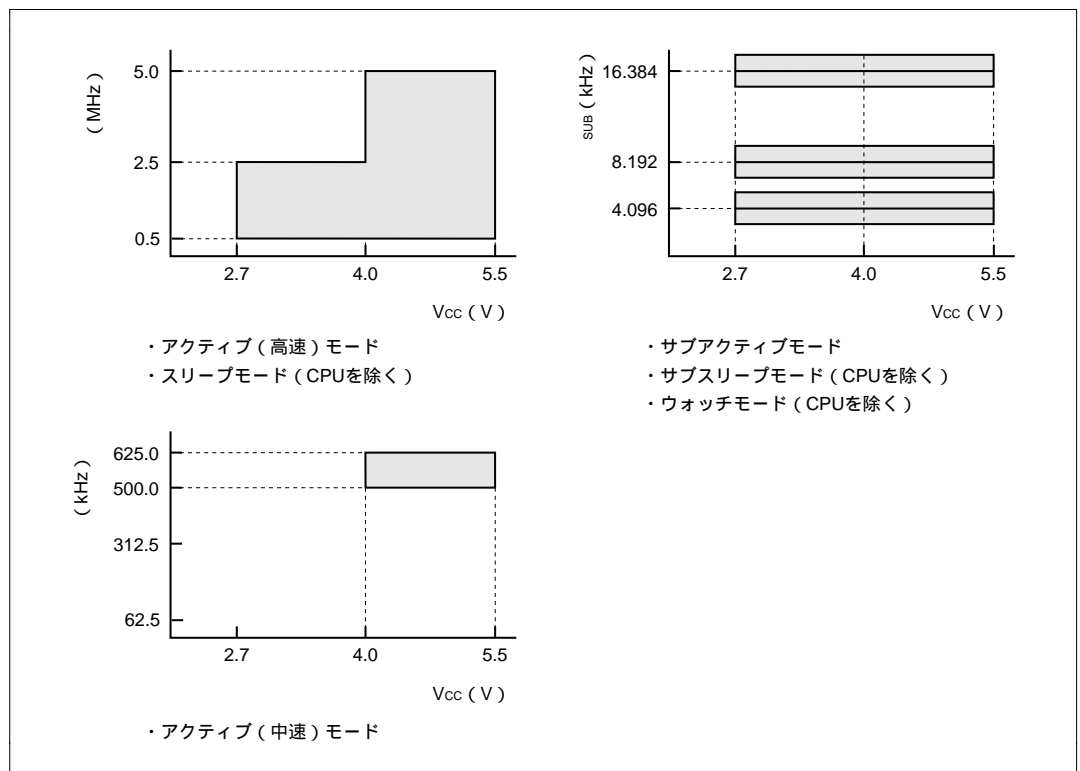
14.8.1 電源電圧と動作範囲

H8/3833、H8/3834の電源電圧と動作範囲(網かけ部)を以下に示します。

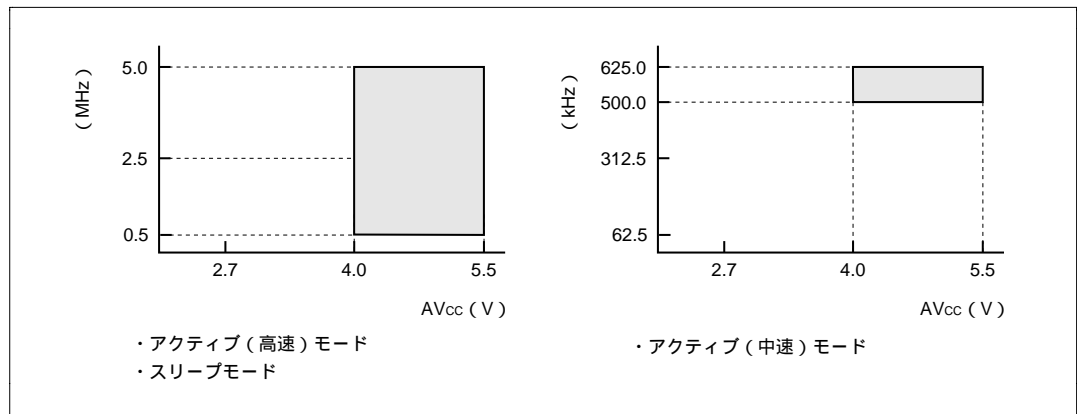
(1) H8/3833、H8/3834の電源電圧と発振周波数の範囲



(2) H8/3833、H8/3834の電源電圧と動作周波数の範囲



(3) H8/3833、H8/3834 のアナログ電源電圧と A/D 変換器の動作範囲



14. 電気的特性

14.8.2 DC 特性

H8/3833、H8/3834 の DC 特性を表 14.32 に示します。

表 14.32 H8/3833、H8/3834 の DC 特性 (1)

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力"High" レベル電圧	V_{IH}	\overline{RES} 、MD0、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 $\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、	$V_{CC} = 4.0 \sim 5.5V$	$0.8V_{CC}$		$V_{CC} + 0.3$	V	
		TMIB、TMIC、TMIF、 \overline{CS} 、TMIG SCK ₁ 、SCK ₂ 、SCK ₃ 、 \overline{ADTRG}		$0.9V_{CC}$		$V_{CC} + 0.3$		
		UD、SI ₁ 、SI ₂ 、RXD	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$V_{CC} + 0.3$	V	
				$0.8V_{CC}$		$V_{CC} + 0.3$		
		OSC ₁	$V_{CC} = 4.0 \sim 5.5V$	$V_{CC} - 0.5$		$V_{CC} + 0.3$	V	
				$V_{CC} - 0.3$		$V_{CC} + 0.3$		
		P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₃ 、 P5 ₀ ~ P5 ₇ 、	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$V_{CC} + 0.3$	V	
		P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃		$0.8V_{CC}$		$V_{CC} + 0.3$		
		PB ₀ ~ PB ₇ 、	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$AV_{CC} + 0.3$		
		PC ₀ ~ PC ₃		$0.8V_{CC}$		$AV_{CC} + 0.3$		

【注】 TEST 端子は、 V_{SS} に接続してください。

項目	記号	適用端子	測定条件	規格値			単位	備考				
				min.	typ.	max.						
入力"Low" レベル電圧	V _{IL}	\overline{RES} 、MD0、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 $\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 TMIB、TMIC、TMIF、 \overline{CS} 、TMIG SCK ₁ 、SCK ₂ 、SCK ₃ 、 \overline{ADTRG}	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.2V _{CC}	V					
				- 0.3		0.1V _{CC}						
		UD、SI ₁ 、SI ₂ 、RXD	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.3V _{CC}	V					
				- 0.3		0.2V _{CC}						
		OSC ₁	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.5	V					
				- 0.3		0.3						
		P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₃ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃ 、 PB ₀ ~ PB ₇ 、 PC ₀ ~ PC ₃	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.3V _{CC}	V					
				- 0.3		0.2V _{CC}						
				出力"High" レベル電圧	V _{OH}	P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₂ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃	V _{CC} = 4.0 ~ 5.5V - I _{OH} = 1.0mA	V _{CC} - 1.0			V	
							V _{CC} = 4.0 ~ 5.5V - I _{OH} = 0.5mA	V _{CC} - 0.5				
	- I _{OH} = 0.1mA					V _{CC} - 0.5						

14. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考	
				min.	typ.	max.			
出力"Low" レベル電圧	V _{OL}	P1 ₀ ~ P1 ₇ , P4 ₀ ~ P4 ₂	V _{CC} = 4.0 ~ 5.5V I _{OL} = 1.6mA			0.6	V		
			I _{OL} = 0.4mA			0.5			
		P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , PA ₀ ~ PA ₃	I _{OL} = 0.4mA			0.5			
			P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇	V _{CC} = 4.0 ~ 5.5V I _{OL} = 10mA					1.5
				V _{CC} = 4.0 ~ 5.5V I _{OL} = 1.6mA					0.6
				I _{OL} = 0.4mA					0.5
入出力 リーク電流	I _{IL}	RES、P4 ₃	V _{IN} = 0.5V ~ V _{CC} - 0.5V			20.0	μA	*2	
						1.0		*1	
		OSC ₁ 、MD0 P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₂ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , PA ₀ ~ PA ₃	V _{IN} = 0.5V ~ V _{CC} - 0.5V			1.0	μA		
			PB ₀ ~ PB ₇ , PC ₀ ~ PC ₃	V _{IN} = 0.5V ~ AV _{CC} - 0.5V					1.0
ブルアップ MOS 電流	- I _p	P1 ₀ ~ P1 ₇ , P3 ₀ ~ P3 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇	V _{CC} = 5V、V _{IN} = 0V	50.0		300.0	μA	参考値	
			V _{CC} = 2.7V、V _{IN} = 0V		35.0				

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力容量	C_{IN}	電源 RES、P4 ₃ 端子を 除く全入力端子	f = 1MHz、 $V_{IN} = 0V$ 、 $T_a = 25$			15.0	pF	
		RES				60.0		*2
						15.0		*1
		P4 ₃				30.0		*2
						15.0		*1
アクティブ モード	I_{OPE1}	V_{CC}	アクティブ (高速) モード $V_{CC} = 5V$ 、 $f_{OSC} = 10MHz$		12.0	24.0	mA	*3 *4
消費電流	I_{OPE2}	V_{CC}	アクティブ (中速) モード $V_{CC} = 5V$ 、 $f_{OSC} = 10MHz$		2.5	5.0	mA	*3 *4
スリープモード 消費電流	I_{SLEEP}	V_{CC}	$V_{CC} = 5V$ 、 $f_{OSC} = 10MHz$		5.0	10.0	mA	*3 *4
サブアクティブ モード消費電流	I_{SUB}	V_{CC}	$V_{CC} = 2.7V$ 、LCD 点灯 32kHz 水晶発振子使用時 ($I_{SUB} = I_W/2$)		50.0	130.0	μA	*3 *4 参考値
			$V_{CC} = 2.7V$ 、LCD 点灯 32kHz 水晶発振子使用時 ($I_{SUB} = I_W/8$)		40.0		μA	*3 *4 参考値
サブスリープモード 消費電流	I_{SUBSP}	V_{CC}	$V_{CC} = 2.7V$ 、LCD 点灯 32kHz 水晶発振子使用時 ($I_{SUB} = I_W/2$)		40.0	90.0	μA	*3 *4 参考値
ウォッチモード 消費電流	I_{WATCH}	V_{CC}	$V_{CC} = 2.7V$ 、32kHz 水晶発振子使用時 LCD 未使用			6.0	μA	*3 *4 参考値
スタンバイ モード消費電流	I_{STBY}	V_{CC}	32kHz 水晶発振子未使用時			5.0	μA	*3 *4
RAM データ 保持電圧	V_{RAM}	V_{CC}		2.0			V	*3 *4

14. 電気的特性

モード	内部状態	各端子	LCD 電源	発振端子
アクティブ (高速) モード	動作	V_{CC}	OPEN	システムクロック発振器 : 水晶発振子 サブクロック発振器 : X_1 端子 = V_{CC}
アクティブ (中速) モード				
スリープモード	タイマのみ動作	V_{CC}	OPEN	
サブアクティブモード	動作	V_{CC}	OPEN	システムクロック発振器 : 水晶発振子
サブスリープモード	タイマのみ動作 CPU は停止	V_{CC}	OPEN	サブクロック発振器 : 水晶発振子
ウォッチモード	時計用タイム ベースのみ動作 CPU は停止	V_{CC}	OPEN	
スタンバイモード	CPU、タイマ ともに停止	V_{CC}	OPEN	システムクロック発振器 : 水晶発振子 サブクロック発振器 : X_1 端子 = V_{CC}

【注】 *1 HD6433833、HD6433834 に適用します。

*2 HD6473834 に適用します。

*3 消費電流測定時の端子の状態

*4 ブルアップ MOS や出力バッファに流れる電流は除きます。

表 14.32 H8/3833、H8/3834 の DC 特性 (2)

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力"Low" レベル許容電流 (1端子あたり)	I_{OL}	ポート 2、3 以外の出力端子	$V_{CC} = 4.0 \sim 5.5V$			2.0	mA	
		ポート 2、3	$V_{CC} = 4.0 \sim 5.5V$			10.0		
		全出力端子				0.5		
出力"Low" レベル許容電流 (総和)	I_{OL}	ポート 2、3 以外の出力端子	$V_{CC} = 4.0 \sim 5.5V$			40.0	mA	
		ポート 2、3	$V_{CC} = 4.0 \sim 5.5V$			80.0		
		全出力端子				20.0		
出力"High" レベル許容電流 (1端子あたり)	$-I_{OH}$	全出力端子	$V_{CC} = 4.0 \sim 5.5V$			2.0	mA	
						0.2		
出力"High" レベル許容電流 (総和)	$-I_{OH}$	全出力端子	$V_{CC} = 4.0 \sim 5.5V$			15.0	mA	
						10.0		

14.8.3 AC 特性

H8/3833、H8/3834 の制御信号タイミングを表 14.33 に、シリアルインタフェースタイミングを表 14.34、表 14.35 に示します。

表 14.33 H8/3833、H8/3834 の制御信号タイミング

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
システムクロック 発振器発振周波数	f_{OSC}	OSC ₁ 、OSC ₂	$V_{CC} = 4.0 \sim 5.5V$	2.0		10.0	MHz	
				2.0		5.0		
OSC クロック (_{OSC}) サイクル時間	t_{OSC}	OSC ₁ 、OSC ₂	$V_{CC} = 4.0 \sim 5.5V$	100.0		1000.0	ns	*1 図 14.1
				200.0		1000.0		
システムクロック () サイクル時間	t_{cyc}			2		16	t_{OSC} ns	*1
						2000.0		
サブクロック発振器 発振周波数	f_W	X ₁ 、X ₂			32.768		kHz	
ウォッチクロック (_W) サイクル時間	t_W	X ₁ 、X ₂			30.5		μs	
サブクロック (_{SUB}) サイクル時間	t_{subcyc}			2		8	t_W	*2
インストラクション サイクル時間				2			t_{cyc} t_{subcyc}	
発振安定時間 (水晶発振器)	t_{rc}	OSC ₁ 、OSC ₂	$V_{CC} = 4.0 \sim 5.5V$			40.0	ms	
						60.0		
発振安定時間	t_{rc}	X ₁ 、X ₂				2.0	s	
外部クロック "High"レベル幅	t_{CPH}	OSC ₁	$V_{CC} = 4.0 \sim 5.5V$	40.0			ns	図 14.1
				80.0				
外部クロック "Low"レベル幅	t_{CPL}	OSC ₁	$V_{CC} = 4.0 \sim 5.5V$	40.0			ns	図 14.1
				80.0				
外部クロック 立上り時間	t_{CPr}		$V_{CC} = 4.0 \sim 5.5V$			15.0	ns	図 14.1
						20.0		
外部クロック 立下り時間	t_{CPf}		$V_{CC} = 4.0 \sim 5.5V$			15.0	ns	図 14.1
						20.0		
RES 端子 "Low"レベル幅	t_{REL}	\overline{RES}		10			t_{cyc}	図 14.2
入力端子 "High"レベル幅	t_{IH}	$\overline{IRQ_0} \sim \overline{IRQ_4}$ 、 $\overline{WKP_0} \sim \overline{WKP_7}$ 、 \overline{ADTRG} 、 TMIB、TMIC、 TMIF、TMIG		2			t_{cyc} t_{subcyc}	図 14.3

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力端子 "Low"レベル幅	t_{IL}	$\overline{IRQ_0} \sim \overline{IRQ_4}$ 、 $\overline{WKP_0} \sim \overline{WKP_7}$ 、 \overline{ADTRG} 、 TMIB、TMIC、 TMIF、TMIG		2			t_{cyc} t_{subcyc}	図 14.3
UD 端子 最小変化幅	t_{UDH} t_{UDL}	UD		4			t_{cyc} t_{subcyc}	図 14.4

【注】 *1 外部クロックを入力する場合は1~10MHzとなります。

*2 システムコントロールレジスタ2 (SYSCR2) のSA1、SA0の設定により決定します。

表 14.34 H8/3833、H8/3834 のシリアルインタフェース (SCI1、SCI2) タイミング

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力転送クロック サイクル時間	t_{scyc}	SCK ₁ 、SCK ₂		2			t_{cyc}	図 14.5
入力転送クロック "High"レベル幅	t_{SCKH}	SCK ₁ 、SCK ₂		0.4			t_{scyc}	図 14.5
入力転送クロック "Low"レベル幅	t_{SCKL}	SCK ₁ 、SCK ₂		0.4			t_{scyc}	図 14.5
入力転送クロック 立上り時間	t_{SCKr}	SCK ₁ 、SCK ₂	$V_{CC} = 4.0 \sim 5.5V$			60.0	ns	図 14.5
						80.0		
入力転送クロック 立下り時間	t_{SCKf}	SCK ₁ 、SCK ₂	$V_{CC} = 4.0 \sim 5.5V$			60.0	ns	図 14.5
						80.0		
シリアル出力データ 遅延時間	t_{SOD}	SO ₁ 、SO ₂	$V_{CC} = 4.0 \sim 5.5V$			200.0	ns	図 14.5
						350.0		
シリアル入力データ セットアップ時間	t_{SIS}	SI ₁ 、SI ₂	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 14.5
				400.0				
シリアル入力データ ホールド時間	t_{SIH}	SI ₁ 、SI ₂	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 14.5
				400.0				
\overline{CS} セットアップ時間	t_{CSS}	\overline{CS}		2			t_{cyc}	図 14.6
\overline{CS} ホールド時間	t_{CSH}	\overline{CS}		2			t_{cyc}	図 14.6

14. 電気的特性

表 14.35 H8/3833、H8/3834 のシリアルインタフェース (SCI3) タイミング

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$)

項目	記号	測定条件	規格値			単位	参照図
			min.	typ.	max.		
入力 クロックサイクル	調歩同期	t_{SCYC}	4			t_{cyc}	図 14.7
	クロック同期		6				
入力クロックパルス幅	t_{SCKW}		0.4		0.6	t_{SCYC}	図 14.7
送信データ遅延時間 (クロック同期)	t_{TXD}	$V_{CC} = 4.0 \sim 5.5V$			1	t_{cyc}	図 14.8
					1		
受信データセットアップ時間 (クロック同期)	t_{RXS}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 14.8
			400.0				
受信データホールド時間 (クロック同期)	t_{RXH}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 14.8
			400.0				

14.8.4 A/D 変換器特性

H8/3833、H8/3834 の A/D 変換器特性を表 14.36 に示します。

表 14.36 H8/3833、H8/3834 の A/D 変換器特性

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
アナログ電源電圧	AV_{CC}	AV_{CC}		4.0		5.5	V	*1
アナログ入力電圧	AV_{IN}	$AN_0 \sim AN_{11}$		-0.3		$AV_{CC} + 0.3$	V	
アナログ電源電流	AI_{OPE}	AV_{CC}	$AV_{CC} = 5.0V$			1.5	mA	
	AI_{STOP1}	AV_{CC}			150.0		μA	*2 参考値
	AI_{STOP2}	AV_{CC}				5.0	μA	*3
アナログ入力容量	C_{AIN}	$AN_0 \sim AN_{11}$				30.0	pF	
許容信号源 インピーダンス	R_{AIN}					10.0	k	
分解能 (データ長)						8	ビット	
非直線性誤差						± 2.0	LSB	
量子化誤差						± 0.5	LSB	
絶対精度						± 2.5	LSB	
変換時間			$AV_{CC} = 4.5 \sim 5.5V$	12.4		124	μs	
				24.8		124		

【注】 *1 A/D 変換器を使用しない場合は $AV_{CC} = V_{CC}$ としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

*3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

14.8.5 LCD 特性

H8/3833、H8/3834 の LCD 特性を表 14.37 に、セグメント外部拡張 AC 特性を表 14.38 に示します。

表 14.37 H8/3833、H8/3834 の LCD 特性

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
セグメントドライバ 降下電圧	V_{DS}	SEG ₁ ~ SEG ₄₀	$I_D = 2\mu A$			0.6	V	*1
コモンドライバ 降下電圧	V_{DC}	COM ₁ ~ COM ₄	$I_D = 2\mu A$			0.3	V	*1
LCD 電源 分割抵抗	R_{LCD}		$V_1 - V_{SS}$ 間	50.0	300.0	900.0	k	
液晶表示電圧	V_{LCD}	V_1		2.7		V_{CC}	V	*2

【注】 *1 電源端子 V_1 、 V_2 、 V_3 、 V_{SS} から各セグメント端子または共通端子までの電圧降下です。

*2 液晶表示電圧を外部電源より供給する場合は、 V_{CC} 、 V_1 、 V_2 、 V_3 、 V_{SS} の関係を維持してください。

表 14.38 H8/3833、H8/3834 のセグメント外部拡張 AC 特性

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
クロック "High"レベル幅	t_{CWH}	CL ₁ 、CL ₂	*1	800.0			ns	図 14.9
クロック "Low"レベル幅	t_{CWL}	CL ₂	*1	800.0			ns	図 14.9
クロックセット アップ時間	t_{CSU}	CL ₁ 、CL ₂	*1	500.0			ns	図 14.9
データセット アップ時間	t_{SU}	DO	*1	300.0			ns	図 14.9
データ保持時間	t_{DH}	DO	*1	300.0			ns	図 14.9
M 遅延時間	t_{DM}	M		- 1000		1000.0	ns	図 14.9
クロック立上り 立下り時間	t_{CT}	CL ₁ 、CL ₂				100.0	ns	図 14.9

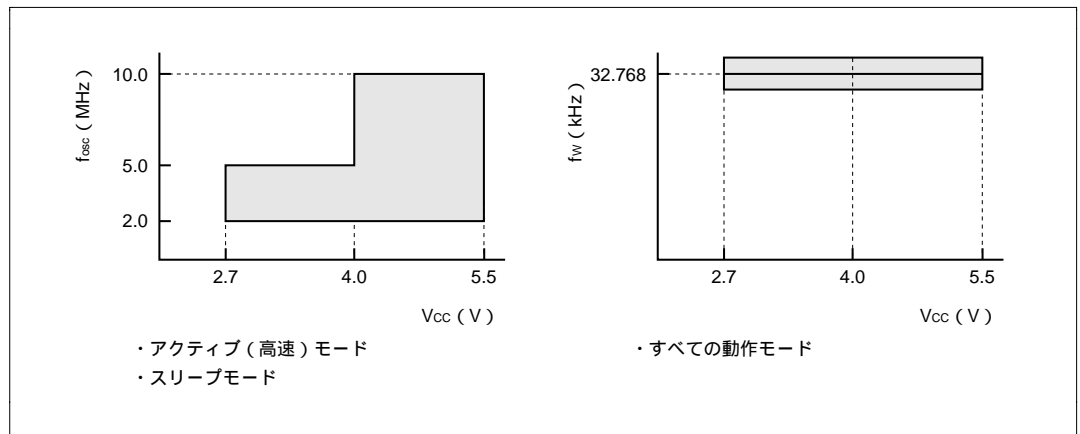
【注】 *1 フレーム周波数を 488Hz ~ 30.5Hz に設定したときの値です。

14.9 H8/3835、H8/3836、H8/3837（標準仕様）の電気的特性

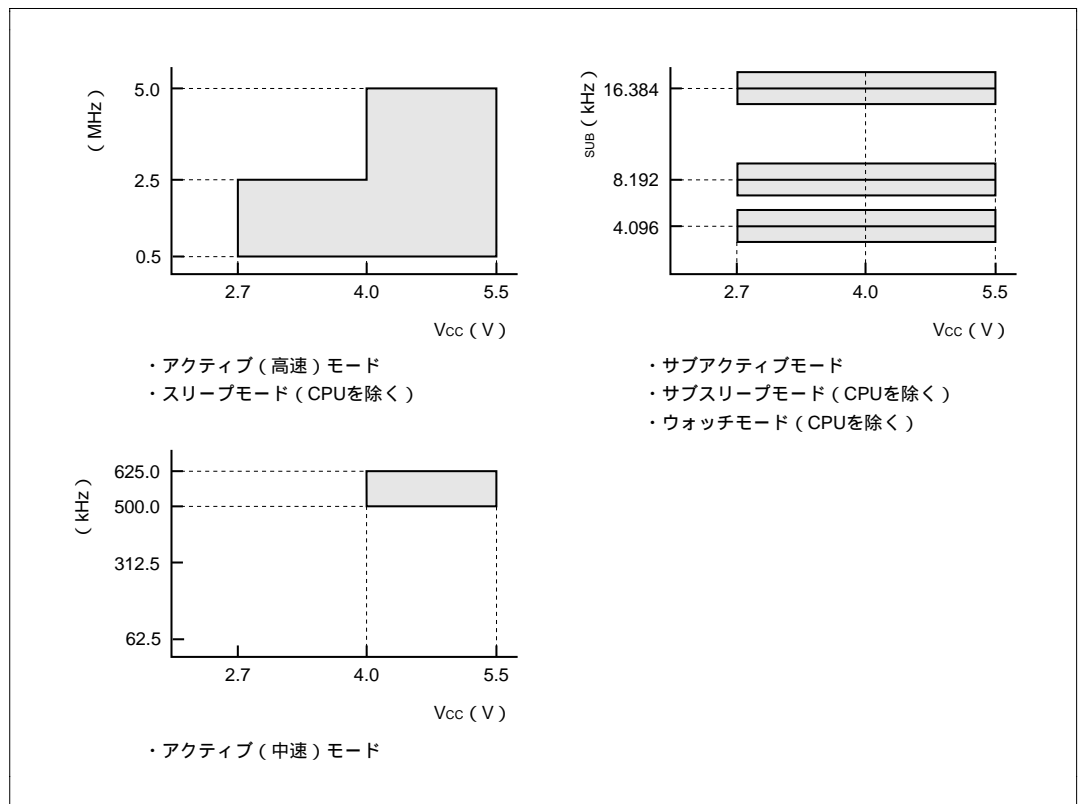
14.9.1 電源電圧と動作範囲

電源電圧と動作範囲（網かけ部）を以下に示します。

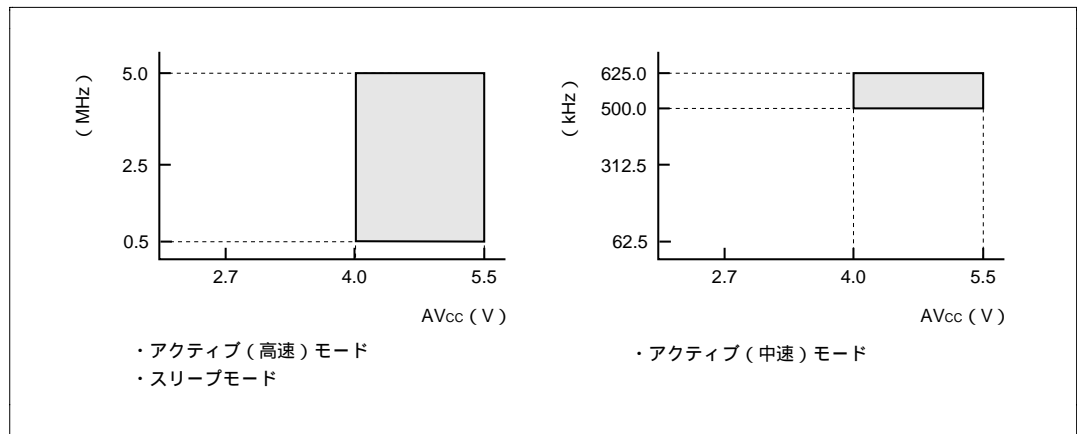
(1) H8/3835、H8/3836、H8/3837 の電源電圧と発振周波数の範囲



(2) H8/3835、H8/3836、H8/3837 の電源電圧と動作周波数の範囲



(3) H8/3835、H8/3836、H8/3837 のアナログ電源電圧と A/D 変換器の動作



14. 電気的特性

14.9.2 DC 特性

H8/3835、H8/3836、H8/3837 の DC 特性を表 14.39 に示します。

表 14.39 H8/3835、H8/3836、H8/3837 の DC 特性 (1)

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a = -20\sim +75$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力"High" レベル電圧	V_{IH}	\overline{RES} 、MD0、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 $\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、	$V_{CC}=4.0\sim 5.5V$	$0.8V_{CC}$		$V_{CC}+0.3$	V	
		TMIB、TMIC、TMIF、 \overline{CS} 、TMIG SCK ₁ 、SCK ₂ 、SCK ₃ 、 \overline{ADTRG}		$0.9V_{CC}$		$V_{CC}+0.3$		
		UD、SI ₁ 、SI ₂ 、RXD	$V_{CC}=4.0\sim 5.5V$	$0.7V_{CC}$		$V_{CC}+0.3$	V	
				$0.8V_{CC}$		$V_{CC}+0.3$		
		OSC ₁	$V_{CC}=4.0\sim 5.5V$	$V_{CC}-0.5$		$V_{CC}+0.3$	V	
				$V_{CC}-0.3$		$V_{CC}+0.3$		
		P1 ₀ ~P1 ₇ 、 P2 ₀ ~P2 ₇ 、 P3 ₀ ~P3 ₇ 、 P4 ₀ ~P4 ₃ 、	$V_{CC}=4.0\sim 5.5V$	$0.7V_{CC}$		$V_{CC}+0.3$	V	
		P5 ₀ ~P5 ₇ 、 P6 ₀ ~P6 ₇ 、 P7 ₀ ~P7 ₇ 、 P8 ₀ ~P8 ₇ 、 P9 ₀ ~P9 ₇ 、 PA ₀ ~PA ₃		$0.8V_{CC}$		$V_{CC}+0.3$		
		PB ₀ ~PB ₇ 、	$V_{CC}=4.0\sim 5.5V$	$0.7V_{CC}$		$AV_{CC}+0.3$		
		PC ₀ ~PC ₃		$0.8V_{CC}$		$AV_{CC}+0.3$		

【注】 TEST 端子は、 V_{SS} に接続してください。

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力"Low" レベル電圧	V _{IL}	\overline{RES} 、MD0、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 $\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、	V _{CC} =4.0 ~ 5.5V	- 0.3		0.2V _{CC}	V	
		TMIB、TMIC、TMIF、 \overline{CS} 、TMIG SCK ₁ 、SCK ₂ 、SCK ₃ 、 \overline{ADTRG}		- 0.3		0.1V _{CC}		
		UD、SI ₁ 、SI ₂ 、RXD	V _{CC} =4.0 ~ 5.5V	- 0.3		0.3V _{CC}	V	
				- 0.3		0.2V _{CC}		
		OSC ₁	V _{CC} =4.0 ~ 5.5V	- 0.3		0.5	V	
				- 0.3		0.3		
		P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₃ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃ 、 PB ₀ ~ PB ₇ 、 PC ₀ ~ PC ₃	V _{CC} =4.0 ~ 5.5V	- 0.3		0.3V _{CC}	V	
				- 0.3		0.2V _{CC}		
				- 0.3			V	
				- 0.3				
- 0.3								
- 0.3								
- 0.3								
- 0.3								
- 0.3								
- 0.3								
出力"High" レベル電圧	V _{OH}	P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、	V _{CC} =4.0 ~ 5.5V - I _{OH} = 1.0mA	V _{CC} - 1.0			V	
		P4 ₀ ~ P4 ₂ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、	V _{CC} =4.0 ~ 5.5V - I _{OH} = 0.5mA	V _{CC} - 0.5				
		P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃	- I _{OH} = 0.1mA	V _{CC} - 0.5				

14. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考	
				min.	typ.	max.			
出力"Low" レベル電圧	V _{OL}	P1 ₀ ~ P1 ₇ , P4 ₀ ~ P4 ₂	V _{CC} =4.0 ~ 5.5V I _{OL} = 1.6mA			0.6	V		
			I _{OL} = 0.4mA			0.5			
		P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , PA ₀ ~ PA ₃	I _{OL} = 0.4mA			0.5			
			P2 ₀ ~ P2 ₇	V _{CC} =4.0 ~ 5.5V I _{OL} = 10mA					1.5
				P3 ₀ ~ P3 ₇	V _{CC} =4.0 ~ 5.5V I _{OL} = 1.6mA				
			I _{OL} = 0.4mA						0.5
			入出力 リーク電流	I _L	RES, P4 ₃	V _{IN} = 0.5V ~ V _{CC} - 0.5V			
						1.0	*1		
OSC ₁ , MD0 P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₂ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , PA ₀ ~ PA ₃	V _{IN} = 0.5V ~ V _{CC} - 0.5V					1.0	μA		
	PB ₀ ~ PB ₇ PC ₀ ~ PC ₃	V _{IN} = 0.5V ~ AV _{CC} - 0.5V							1.0
プルアップ MOS 電流	- I _p	P1 ₀ ~ P1 ₇ , P3 ₀ ~ P3 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇	V _{CC} = 5V, V _{IN} = 0V	50.0		330.0	μA	参考値	
			V _{CC} = 2.7V, V _{IN} = 0V		35.0				

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力容量	C _{IN}	電源 RES、P4 ₃ 端子を除く全入力端子	f = 1MHz、V _{IN} = 0V、 T _a = 25			15.0	pF	
						60.0		*2
						15.0		*1
						30.0		*2
						15.0		*1
アクティブモード	I _{OPE1}	V _{CC}	アクティブ (高速) モード V _{CC} = 5V、f _{OSC} = 10MHz		13.5	24.0	mA	*3 *4
消費電流	I _{OPE2}	V _{CC}	アクティブ (中速) モード V _{CC} = 5V、f _{OSC} = 10MHz		2.5	5.0	mA	*3 *4
スリープモード消費電流	I _{SLEEP}	V _{CC}	V _{CC} = 5V、f _{OSC} = 10MHz		5.0	10.0	mA	*3 *4
サブアクティブモード消費電流	I _{SUB}	V _{CC}	V _{CC} = 2.7V、LCD 点灯 32kHz 水晶発振子使用時 (_{SUB} = w/2)		50.0	130.0	μA	*3 *4 参考値
			V _{CC} = 2.7V、LCD 点灯 32kHz 水晶発振子使用時 (_{SUB} = w/8)		40.0		μA	*3 *4 参考値
サブスリープモード消費電流	I _{SUBSP}	V _{CC}	V _{CC} = 2.7V、LCD 点灯 32kHz 水晶発振子使用時 (_{SUB} = w/2)		40.0		μA	*3 *4 参考値
ウォッチモード消費電流	I _{WATCH}	V _{CC}	V _{CC} = 2.7V、32kHz 水晶発振子使用時 LCD 未使用			6.0	μA	*3 *4 参考値
スタンバイモード消費電流	I _{STBY}	V _{CC}	32kHz 水晶発振子未使用時			5.0	μA	*3 *4
RAM データ保持電圧	V _{RAM}	V _{CC}		2.0			V	*3 *4

14. 電気的特性

モード	内部状態	各端子	LCD 電源	発振端子
アクティブ (高速) モード アクティブ (中速) モード	動作	V_{CC}	OPEN	システムクロック発振器 : 水晶発振子 サブクロック発振器 : X_1 端子 = V_{CC}
スリープモード	タイマのみ動作	V_{CC}	OPEN	
サブアクティブモード	動作	V_{CC}	OPEN	システムクロック発振器 : 水晶発振子
サブスリープモード	タイマのみ動作 CPU は停止	V_{CC}	OPEN	サブクロック発振器 : 水晶発振子
ウォッチモード	時計用タイム ベースのみ動作 CPU は停止	V_{CC}	OPEN	
スタンバイモード	CPU、タイマ ともに停止	V_{CC}	OPEN	システムクロック発振器 : 水晶発振子 サブクロック発振器 : X_1 端子 = V_{CC}

【注】 *1 HD6433835、HD6433836、HD6433837 に適用します。

*2 HD6473837 に適用します。

*3 消費電流測定時の端子の状態

*4 ブルアップ MOS や出力バッファに流れる電流は除きます。

表 14.39 H8/3835、H8/3836、H8/3837 広温度範囲品 (I仕様) の DC 特性 (2)

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a = -20\sim +75$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力"Low" レベル許容電流 (1端子あたり)	I_{OL}	ポート 2、3 以外の出力端子	$V_{CC}=4.0\sim 5.5V$			2.0	mA	
		ポート 2、3	$V_{CC}=4.0\sim 5.5V$			10.0		
		全出力端子				0.5		
出力"Low" レベル許容電流 (総和)	I_{OL}	ポート 2、3 以外の出力端子	$V_{CC}=4.0\sim 5.5V$			40.0	mA	
		ポート 2、3	$V_{CC}=4.0\sim 5.5V$			80.0		
		全出力端子				20.0		
出力"High" レベル許容電流 (1端子あたり)	$-I_{OH}$	全出力端子	$V_{CC}=4.0\sim 5.5V$			2.0	mA	
						0.2		
出力"High" レベル許容電流 (総和)	$-I_{OH}$	全出力端子	$V_{CC}=4.0\sim 5.5V$			15.0	mA	
						10.0		

14.9.3 AC 特性

H8/3835、H8/3836、H8/3837 の制御信号タイミングを表 14.40 に、シリアルインタフェースタイミングを表 14.41、表 14.42 に示します。

表 14.40 H8/3835、H8/3836、H8/3837 の制御信号タイミング

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
システムクロック 発振器発振周波数	f_{OSC}	OSC ₁ 、OSC ₂	$V_{CC}=4.0\sim 5.5V$	2.0		10.0	MHz	
				2.0		5.0		
OSC クロック (OSC) サイクル時間	t_{OSC}	OSC ₁ 、OSC ₂	$V_{CC}=4.0\sim 5.5V$	100.0		1000.0	ns	*1 図 14.1
				200.0		1000.0		
システムクロック () サイクル時間	t_{cyc}			2		16	t_{OSC}	*1
						2000.0		
サブクロック発振器 発振周波数	f_W	X ₁ 、X ₂			32.768		kHz	
ウォッチクロック (W) サイクル時間	t_W	X ₁ 、X ₂			30.5		μs	
サブクロック (SUB) サイクル時間	t_{subcyc}			2		8	t_W	*2
インストラクション サイクル時間				2			t_{cyc} t_{subcyc}	
発振安定時間 (水晶発振器)	t_{rc}	OSC ₁ 、OSC ₂	$V_{CC}=4.0\sim 5.5V$			40.0	ms	
						60.0		
発振安定時間	t_{rc}	X ₁ 、X ₂				2.0	s	
外部クロック "High"レベル幅	t_{CPH}	OSC ₁	$V_{CC}=4.0\sim 5.5V$	40.0			ns	図 14.1
				80.0				
外部クロック "Low"レベル幅	t_{CPL}	OSC ₁	$V_{CC}=4.0\sim 5.5V$	40.0			ns	図 14.1
				80.0				
外部クロック 立上り時間	t_{CPr}		$V_{CC}=4.0\sim 5.5V$			15.0	ns	図 14.1
						20.0		
外部クロック 立下り時間	t_{CPf}		$V_{CC}=4.0\sim 5.5V$			15.0	ns	図 14.1
						20.0		
RES 端子 "Low"レベル幅	t_{REL}	\overline{RES}		10			t_{cyc}	図 14.2
入力端子 "High"レベル幅	t_{IH}	$\overline{IRQ_0}\sim\overline{IRQ_4}$ 、 $\overline{WKP_0}\sim\overline{WKP_7}$ 、 \overline{ADTRG} 、 TMIB、TMIC、 TMIF、TMIG		2			t_{cyc} t_{subcyc}	図 14.3

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力端子 "Low"レベル幅	t_{IL}	$\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 \overline{ADTRG} 、 TMIB、TMIC、 TMIF、TMIG		2			t_{cyc} t_{subcyc}	図 14.3
UD 端子 最小変化幅	t_{UDH} t_{UDL}	UD		4			t_{cyc} t_{subcyc}	図 14.4

【注】 *1 外部クロックを入力する場合は1~10MHzとなります。

*2 システムコントロールレジスタ2 (SYSCR2) のSA1、SA0の設定により決定します。

表 14.41 H8/3835、H8/3836、H8/3837 のシリアルインタフェース (SCI1、SCI2) タイミング

(特記なき場合、 $V_{CC}=2.7 \sim 5.5V$ 、 $AV_{CC}=2.7 \sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a = -20 \sim +75$)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力転送クロック サイクル時間	t_{scyc}	SCK ₁ 、SCK ₂		2			t_{cyc}	図 14.5
入力転送クロック "High"レベル幅	t_{SCKH}	SCK ₁ 、SCK ₂		0.4			t_{scyc}	図 14.5
入力転送クロック "Low"レベル幅	t_{SCKL}	SCK ₁ 、SCK ₂		0.4			t_{scyc}	図 14.5
入力転送クロック 立上り時間	t_{SCKr}	SCK ₁ 、SCK ₂	$V_{CC}=4.0 \sim 5.5V$			60.0	ns	図 14.5
						80.0		
入力転送クロック 立下り時間	t_{SCKf}	SCK ₁ 、SCK ₂	$V_{CC}=4.0 \sim 5.5V$			60.0	ns	図 14.5
						80.0		
シリアル出力データ 遅延時間	t_{SOD}	SO ₁ 、SO ₂	$V_{CC}=4.0 \sim 5.5V$			200.0	ns	図 14.5
						350.0		
シリアル入力データ セットアップ時間	t_{SIS}	SI ₁ 、SI ₂	$V_{CC}=4.0 \sim 5.5V$	200.0			ns	図 14.5
				400.0				
シリアル入力データ ホールド時間	t_{SIH}	SI ₁ 、SI ₂	$V_{CC}=4.0 \sim 5.5V$	200.0			ns	図 14.5
				400.0				
\overline{CS} セットアップ時間	t_{CSS}	\overline{CS}		2			t_{cyc}	図 14.6
\overline{CS} ホールド時間	t_{CSH}	\overline{CS}		2			t_{cyc}	図 14.6

14. 電気的特性

表 14.42 H8/3835、H8/3836、H8/3837 のシリアルインタフェース (SCI3) タイミング

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75$)

項目	記号	測定条件	規格値			単位	参照図
			min.	typ.	max.		
入力 クロックサイクル	調歩同期	t_{SCYC}	4			t_{CYC}	図 14.7
	クロック同期		6				
入力クロックパルス幅	t_{SCKW}		0.4		0.6	t_{SCYC}	図 14.7
送信データ遅延時間 (クロック同期)	t_{TXD}	$V_{CC}=4.0\sim 5.5V$			1	t_{CYC}	図 14.8
					1		
受信データセットアップ時間 (クロック同期)	t_{RXS}	$V_{CC}=4.0\sim 5.5V$	200.0			ns	図 14.8
			400.0				
受信データホールド時間 (クロック同期)	t_{RXH}	$V_{CC}=4.0\sim 5.5V$	200.0			ns	図 14.8
			400.0				

14.9.4 A/D 変換器特性

H8/3835、H8/3836、H8/3837 の A/D 変換器特性を表 14.43 に示します。

表 14.43 H8/3835、H8/3836、H8/3837 の A/D 変換器特性

(特記なき場合、 $V_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0.0V$ 、 $T_a=-20\sim +75$)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
アナログ電源電圧	AV_{CC}	AV_{CC}		4.0		5.5	V	*1
アナログ入力電圧	AV_{IN}	$AN_0\sim AN_{11}$		$AV_{SS}-0.3$		$AV_{CC}+0.3$	V	
アナログ電源電流	AI_{OPE}	AV_{CC}	$AV_{CC}=5.0V$			1.5	mA	
	AI_{STOP1}	AV_{CC}			150.0		μA	*2 参考値
	AI_{STOP2}	AV_{CC}				5.0	μA	*3
アナログ入力容量	C_{AIN}	$AN_0\sim AN_{11}$				30.0	pF	
許容信号源 インピーダンス	R_{AIN}					10.0	k	
分解能 (データ長)						8	ビット	
非直線性誤差						± 2.0	LSB	
量子化誤差						± 0.5	LSB	
絶対精度						± 2.5	LSB	
変換時間			$V_{CC}=4.0\sim 5.5V$	12.4		124	μs	
				24.8		124		

【注】 *1 A/D 変換器を使用しない場合は $AV_{CC}=V_{CC}$ としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

*3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

14.9.5 LCD 特性

H8/3835、H8/3836、H8/3837 の LCD 特性を表 14.44 に、セグメント外部拡張 AC 特性を表 14.45 に示します。

表 14.44 H8/3835、H8/3836、H8/3837 の LCD 特性

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
セグメントドライバ 降下電圧	V_{DS}	SEG ₁ ~ SEG ₄₀	$I_D = 2\mu A$			0.6	V	*1
コモンドライバ 降下電圧	V_{DC}	COM ₁ ~ COM ₄	$I_D = 2\mu A$			0.3	V	*1
LCD 電源 分割抵抗	R_{LCD}		$V_1 - V_{SS}$ 間	50.0	300.0	900.0	k	
液晶表示電圧	V_{LCD}	V_1		2.7		V_{CC}	V	*2

【注】 *1 電源端子 V_1 、 V_2 、 V_3 、 V_{SS} から各セグメント端子または共通端子までの電圧降下です。

*2 液晶表示電圧を外部電源より供給する場合は、 V_{CC} V_1 V_2 V_3 V_{SS} の関係を維持してください。

表 14.45 H8/3835、H8/3836、H8/3837 のセグメント外部拡張 AC 特性

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
クロック "High"レベル幅	t_{CWH}	CL ₁ 、CL ₂	*1	800.0			ns	図 14.9
クロック "Low"レベル幅	t_{CWL}	CL ₂	*1	800.0			ns	図 14.9
クロックセット アップ時間	t_{CSU}	CL ₁ 、CL ₂	*1	500.0			ns	図 14.9
データセット アップ時間	t_{SU}	DO	*1	300.0			ns	図 14.9
データ保持時間	t_{DH}	DO	*1	300.0			ns	図 14.9
M 遅延時間	t_{DM}	M		-1000		1000.0	ns	図 14.9
クロック立上り 立下り時間	t_{CT}	CL ₁ 、CL ₂				100.0	ns	図 14.9

【注】 *1 フレーム周波数を 488Hz ~ 30.5Hz に設定したときの値です。

14.10 H8/3833、H8/3834、H8/3835、H8/3836、H8/3837 広温度範囲品（I仕様）絶対最大定格

絶対最大定格を表 14.46 に示します。

表 14.46 絶対最大定格

項目		記号	規格値	単位	備考
電源電圧		V_{CC}	- 0.3 ~ + 7.0	V	*1
アナログ電源電圧		AV_{CC}	- 0.3 ~ + 7.0	V	
プログラム電圧		V_{PP}	- 0.3 ~ + 13.0	V	
入力電圧	ポート B、C 以外	V_{in}	- 0.3 ~ $V_{CC} + 3.0$	V	
	ポート B、C	AV_{in}	- 0.3 ~ $AV_{CC} + 3.0$	V	
動作温度		T_{opr}	- 20 ~ + 75		
保存温度		T_{stg}	- 55 ~ + 125		

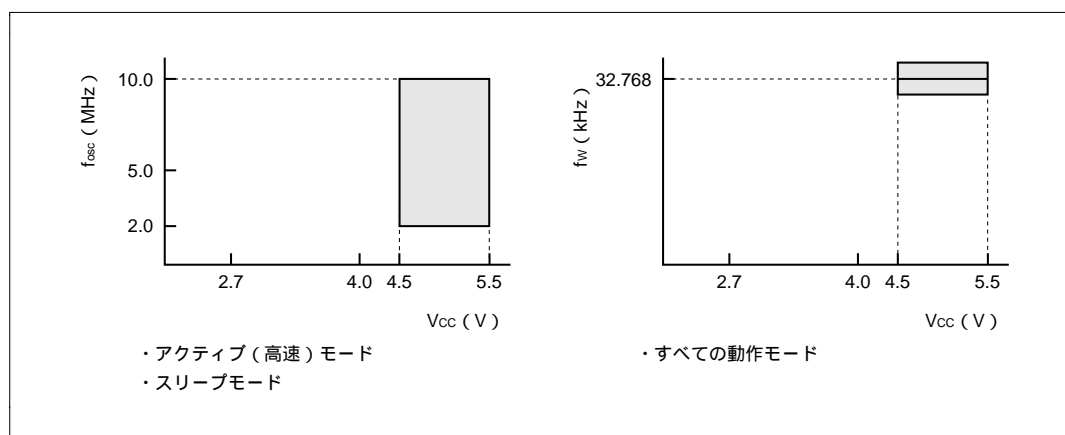
【注】 *1 絶対最大定格を越える LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件を越えると LSI の誤動作の原因になるとともに、LSI の信頼性に悪影響をおよぼすことがあります。

14.11 H8/3833、H8/3834 広温度範囲品 (I仕様) の電気的特性

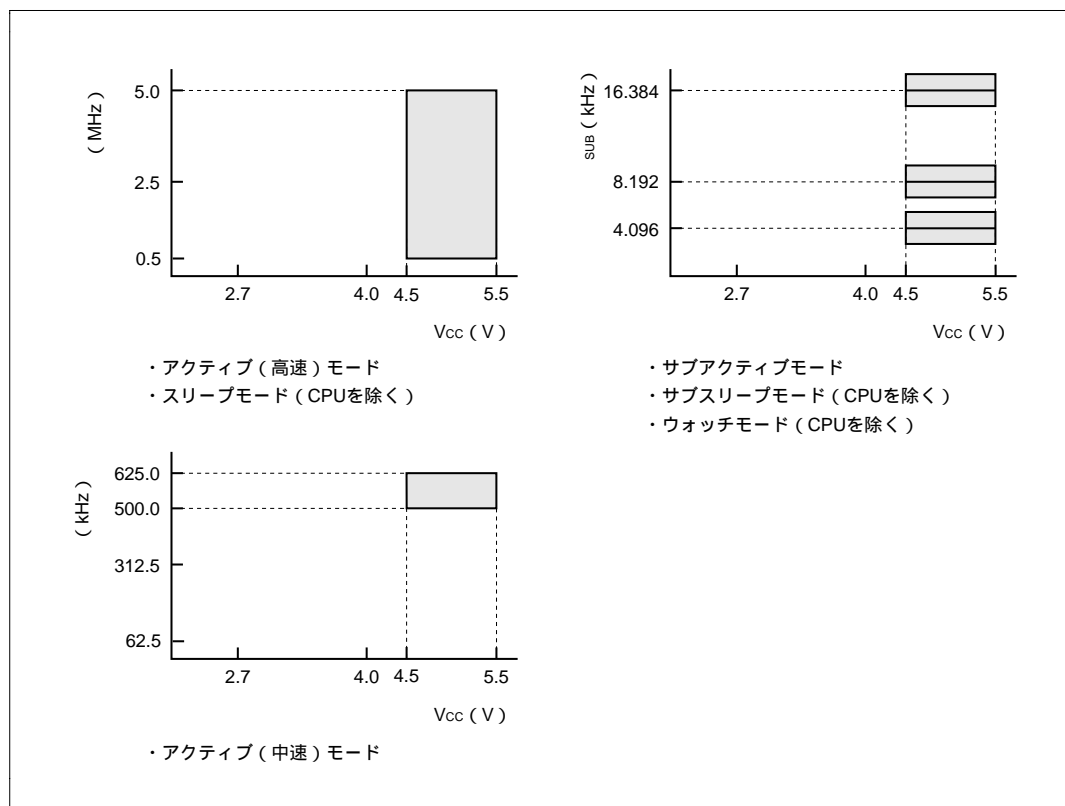
14.11.1 電源電圧と動作範囲

H8/3833、H8/3834 の電源電圧と動作範囲 (網かけ部) を以下に示します。

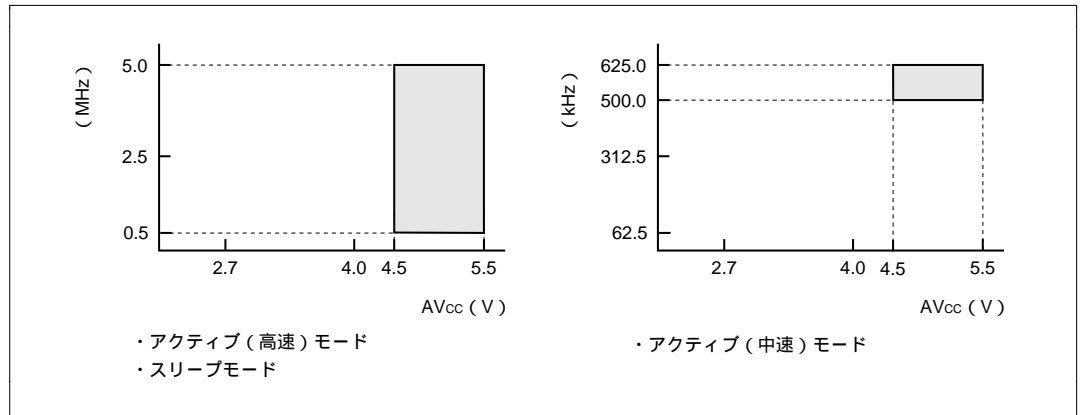
(1) H8/3833、H8/3834 広温度範囲品 (I仕様) の電源電圧と発振周波数の範囲



(2) H8/3833、H8/3834 広温度範囲品 (I仕様) の電源電圧と動作周波数の範囲



(3) H8/3833、H8/3834 広温度範囲品(I仕様)のアナログ電源電圧と A/D 変換器の動作範囲



14.11.2 DC 特性

H8/3833、H8/3834 の DC 特性を表 14.47 に示します。

表 14.47 H8/3833、H8/3834 広温度範囲品 (I仕様) の DC 特性 (1)

(特記なき場合、 $V_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力"High" レベル電圧	V_{IH}	\overline{RES} 、MD0、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 $\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 TMIB、TMIC、TMIF、 \overline{CS} 、TMIG SCK ₁ 、SCK ₂ 、SCK ₃ 、 \overline{ADTRG}		$0.8V_{CC}$		$V_{CC} + 0.3$	V	
		UD、SI ₁ 、SI ₂ 、RXD		$0.7V_{CC}$		$V_{CC} + 0.3$	V	
		OSC ₁		$V_{CC} - 0.5$		$V_{CC} + 0.3$	V	
		P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₃ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃		$0.7V_{CC}$		$V_{CC} + 0.3$	V	
		PB ₀ ~ PB ₇ 、 PC ₀ ~ PC ₃		$0.7V_{CC}$		$AV_{CC} + 0.3$		

【注】 TEST 端子は、 V_{SS} に接続してください。

14. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力"Low" レベル電圧	V _{IL}	\overline{RES} 、MD0、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 $\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 TMIB、TMIC、TMIF、 \overline{CS} 、TMIG SCK ₁ 、SCK ₂ 、SCK ₃ 、 \overline{ADTRG}		- 0.3		0.2V _{CC}	V	
		UD、SI ₁ 、SI ₂ 、RXD		- 0.3		0.3V _{CC}	V	
		OSC ₁		- 0.3		0.5	V	
		P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₃ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃ 、 PB ₀ ~ PB ₇ 、 PC ₀ ~ PC ₃		- 0.3		0.3V _{CC}	V	
出力"High" レベル電圧	V _{OH}	P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₂ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃	- I _{OH} = 1.0mA	V _{CC} - 1.0			V	
			- I _{OH} = 0.5mA	V _{CC} - 0.5				

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力"Low" レベル電圧	V_{OL}	P1 ₀ ~ P1 ₇ , P4 ₀ ~ P4 ₂	$I_{OL} = 1.6\text{mA}$			0.6	V	
		P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , PA ₀ ~ PA ₃	$I_{OL} = 0.4\text{mA}$			0.5		
		P2 ₀ ~ P2 ₇	$I_{OL} = 10\text{mA}$			1.5		
		P3 ₀ ~ P3 ₇	$I_{OL} = 1.6\text{mA}$			0.6		
入出力 リーク電流	$ I_L $	RES、P4 ₃	$V_{IN} = 0.5\text{V} \sim V_{CC} - 0.5\text{V}$			24.0	μA	*2
						2.0		*1
		OSC ₁ 、MD0 P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₂ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , PA ₀ ~ PA ₃	$V_{IN} = 0.5\text{V} \sim V_{CC} - 0.5\text{V}$			2.0	μA	
		PB ₀ ~ PB ₇ PC ₀ ~ PC ₃	$V_{IN} = 0.5\text{V} \sim AV_{CC} - 0.5\text{V}$			2.0		
ブルアップ MOS 電流	$-I_p$	P1 ₀ ~ P1 ₇ , P3 ₀ ~ P3 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇	$V_{CC} = 5\text{V}$ 、 $V_{IN} = 0\text{V}$	20.0		330.0	μA	

14. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考	
				min.	typ.	max.			
入力容量	C _{IN}	電源 RES、P4 ₃ 端子を除く全入力端子	f = 1MHz、V _{IN} = 0V、 T _a = 25			15.0	pF		
				RES				60.0	*2
								15.0	*1
				P4 ₃				30.0	*2
								15.0	*1
アクティブモード消費電流	I _{OP1}	V _{CC}	アクティブ (高速) モード V _{CC} = 5V、f _{OSC} = 10MHz		12.0	30.0	mA	*3 *4	
消費電流	I _{OP2}	V _{CC}	アクティブ (中速) モード V _{CC} = 5V、f _{OSC} = 10MHz		2.5	6.0	mA	*3 *4	
スリープモード消費電流	I _{SLEEP}	V _{CC}	V _{CC} = 5V、f _{OSC} = 10MHz		5.0	12.0	mA	*3 *4	
サブアクティブモード消費電流	I _{SUB}	V _{CC}	V _{CC} = 5V、LCD 点灯 32kHz 水晶発振子使用時 (_{SUB} = w/2)		100.0		μA	*3 *4 参考値	
			V _{CC} = 5V、LCD 点灯 32kHz 水晶発振子使用時 (_{SUB} = w/8)		70.0		μA	*3 *4 参考値	
サブスリープモード消費電流	I _{SUBSP}	V _{CC}	V _{CC} = 5V、LCD 点灯 32kHz 水晶発振子使用時 (_{SUB} = w/2)		60.0		μA	*3 *4 参考値	
ウォッチモード消費電流	I _{WATCH}	V _{CC}	V _{CC} = 5V、32kHz 水晶発振子使用時 LCD 未使用		6.0		μA	*3 *4 参考値	
スタンバイモード消費電流	I _{STBY}	V _{CC}	32kHz 水晶発振子未使用時			10.0	μA	*3 *4	
RAM データ保持電圧	V _{RAM}	V _{CC}		2.0			V	*3 *4	

モード	内部状態	各端子	LCD電源	発振端子
アクティブ(高速)モード アクティブ(中速)モード	動作	V_{CC}	OPEN	システムクロック発振器： 水晶発振子 サブクロック発振器： X_1 端子 = V_{CC}
スリープモード	タイマのみ動作	V_{CC}	OPEN	
サブアクティブモード	動作	V_{CC}	OPEN	システムクロック発振器： 水晶発振子
サブスリープモード	タイマのみ動作 CPUは停止	V_{CC}	OPEN	サブクロック発振器： 水晶発振子
ウォッチモード	時計用タイムベースのみ動作 CPUは停止	V_{CC}	OPEN	
スタンバイモード	CPU、タイマともに停止	V_{CC}	OPEN	システムクロック発振器： 水晶発振子 サブクロック発振器： X_1 端子 = V_{CC}

【注】 *1 HD6433833、HD6433834 の WTR 品に適用します。

*2 HD6473834 の WTR 品に適用します。

*3 消費電流測定時の端子の状態

*4 ブルアップ MOS や出力バッファに流れる電流は除きます。

14. 電気的特性

表 14.47 H8/3833、H8/3834 広温度範囲品 (I仕様) の DC 特性 (2)

(特記なき場合、 $V_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力"Low" レベル許容電流 (1端子あたり)	I_{OL}	ポート 2、3 以外の出力端子				2.0	mA	
		ポート 2、3				10.0		
出力"Low" レベル許容電流 (総和)	I_{OL}	ポート 2、3 以外の出力端子				40.0	mA	
		ポート 2、3				80.0		
出力"High" レベル許容電流 (1端子あたり)	$-I_{OH}$	全出力端子	"High"			2.0	mA	
出力"High" レベル許容電流 (総和)	$-I_{OH}$	全出力端子				15.0	mA	

14.11.3 AC 特性

H8/3833、H8/3834 広温度範囲品 (I仕様) の制御信号タイミングを表 14.48 に、シリアルインタフェースタイミングを表 14.49、表 14.50 に示します。

表 14.48 H8/3833、H8/3834 広温度範囲品 (I仕様) の制御信号タイミング

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
システムクロック 発振器発振周波数	f_{OSC}	OSC ₁ 、OSC ₂		2.0		10.0	MHz	
OSC クロック (OSC) サイクル時間	t_{OSC}	OSC ₁ 、OSC ₂		100.0		1000.0	ns	*1 図 14.1
システムクロック () サイクル時間	t_{cyc}			2		16 2000.0	t_{OSC} ns	*1
サブクロック発振器 発振周波数	f_W	X ₁ 、X ₂			32.768		KHz	
ウォッチクロック (W) サイクル時間	t_W	X ₁ 、X ₂			30.5		μs	
サブクロック (SUB) サイクル時間	t_{subcyc}			2		8	t_W	*2
インストラクション サイクル時間				2			t_{cyc} t_{subcyc}	
発振安定時間 (水晶発振子)	t_{rc}	OSC ₁ 、OSC ₂				40.0	ms	
発振安定時間	t_{rc}	X ₁ 、X ₂				2.0	s	
外部クロック "High"レベル幅	t_{CPH}	OSC ₁		40.0			ns	図 14.1
外部クロック "Low"レベル幅	t_{CPL}	OSC ₁		40.0			ns	図 14.1
外部クロック 立上り時間	t_{CPr}					15.0	ns	図 14.1
外部クロック 立下り時間	t_{CPf}					15.0	ns	図 14.1
RES 端子 "Low"レベル幅	t_{REL}	RES		10			t_{cyc}	図 14.2
入力端子 "High"レベル幅	t_{IH}	$\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 \overline{ADTRG} 、 TMIB、TMIC、 TMIF、TMIG		2			t_{cyc} t_{subcyc}	図 14.3

14. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力端子 "Low"レベル幅	t_{IL}	$\overline{IRQ_0} \sim \overline{IRQ_4}$ 、 $\overline{WKP_0} \sim \overline{WKP_7}$ 、 \overline{ADTRG} 、 TMIB、TMIC、 TMIF、TMIG		2			t_{cyc} t_{subcyc}	図 14.3
UD 端子 最小変化幅	t_{UDH} t_{UDL}	UD		4			t_{cyc} t_{subcyc}	図 14.4

【注】 *1 外部クロックを入力する場合は1~10MHzとなります。

*2 システムコントロールレジスタ2 (SYSCR2) のSA1、SA0の設定により決定します。

表 14.49 H8/3833、H8/3834 広温度範囲 (I仕様) のシリアルインタフェース (SCI1、SCI2) タイミング
(特記なき場合、 $V_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力転送クロック サイクル時間	t_{scyc}	SCK ₁ 、SCK ₂		2			t_{cyc}	図 14.5
入力転送クロック "High"レベル幅	t_{SCKH}	SCK ₁ 、SCK ₂		0.4			t_{scyc}	図 14.5
入力転送クロック "Low"レベル幅	t_{SCKL}	SCK ₁ 、SCK ₂		0.4			t_{scyc}	図 14.5
入力転送クロック 立上り時間	t_{SCKr}	SCK ₁ 、SCK ₂				60.0	ns	図 14.5
入力転送クロック 立下り時間	t_{SCKf}	SCK ₁ 、SCK ₂				60.0	ns	図 14.5
シリアル出力データ 遅延時間	t_{SOD}	SO ₁ 、SO ₂				200.0	ns	図 14.5
シリアル入力データ セットアップ時間	t_{SIS}	SI ₁ 、SI ₂		200.0			ns	図 14.5
シリアル入力データ ホールド時間	t_{SIH}	SI ₁ 、SI ₂		200.0			ns	図 14.5
CS セットアップ時間	t_{CSS}	CS		2			t_{cyc}	図 14.6
CS ホールド時間	t_{CSH}	CS		2			t_{cyc}	図 14.6

表 14.50 H8/3833、H8/3834 広温度範囲品 (I仕様) のシリアルインタフェース (SCI3) タイミング

(特記なき場合、 $V_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$)

項目	記号	測定条件	規格値			単位	参照図
			min.	typ.	max.		
入力 クロックサイクル	調歩同期	t_{scyc}	4			t_{cyc}	図 14.7
	クロック同期		6				
入力クロックパルス幅	t_{SCKW}		0.4		0.6	t_{scyc}	図 14.7
送信データ遅延時間 (クロック同期)	t_{TXD}				1	t_{cyc}	図 14.8
受信データセットアップ時間 (クロック同期)	t_{RXS}		200.0			ns	図 14.8
受信データホールド時間 (クロック同期)	t_{RXH}		200.0			ns	図 14.8

14.11.4 A/D 変換器特性

H8/3833、H8/3834 の A/D 広温度範囲 (I仕様) の変換器特性を表 14.51 に示します。

表 14.51 H8/3833、H8/3834 広温度範囲 (I仕様) の A/D 変換器特性

(特記なき場合、 $V_{CC} = 4.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
アナログ電源電圧	AV_{CC}	AV_{CC}		4.5		5.5	V	*1
アナログ入力電圧	AV_{IN}	$AN_0 \sim AN_{11}$		-0.3		$AV_{CC} + 0.3$	V	
アナログ電源電流	AI_{OPE}	AV_{CC}	$AV_{CC} = 5.0V$			1.7	mA	
	AI_{STOP1}	AV_{CC}			150.0		μA	*2 参考値
	AI_{STOP2}	AV_{CC}				7.0	μA	*3
アナログ入力容量	C_{AIN}	$AN_0 \sim AN_{11}$				30.0	pF	
許容信号源 インピーダンス	R_{AIN}					10.0	k	
分解能 (データ長)						8	ビット	
非直線性誤差						± 2.0	LSB	
量子化誤差						± 0.5	LSB	
絶対精度						± 2.5	LSB	
変換時間				12.4		124	μs	

【注】 *1 A/D 変換器を使用しない場合は $AV_{CC} = V_{CC}$ としてください。*2 AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。*3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

14. 電気的特性

14.11.5 LCD 特性

H8/3833、H8/3834 広温度範囲品 (I仕様) の LCD 特性を表 14.52 に、セグメント外部拡張 AC 特性を表 14.53 に示します。

表 14.52 H8/3833、H8/3834 広温度範囲品 (I仕様) の LCD 特性

(特記なき場合、 $V_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
セグメントドライバ 降下電圧	V_{DS}	SEG ₁ ~ SEG ₄₀	$I_D = 2\mu A$			0.6	V	*1
コモンドライバ 降下電圧	V_{DC}	COM ₁ ~ COM ₄	$I_D = 2\mu A$			0.3	V	*1
LCD 電源 分割抵抗	R_{LCD}		$V_1 - V_{SS}$ 間	40.0	300.0	1000.0	k	
液晶表示電圧	V_{LCD}	V_1		4.5		V_{CC}	V	*2

【注】 *1 電源端子 V_1 、 V_2 、 V_3 、 V_{SS} から各セグメント端子またはCOMMON端子までの電圧降下です。

*2 液晶表示電圧を外部電源より供給する場合は、 V_{CC} V_1 V_2 V_3 V_{SS} の関係を維持してください。

表 14.53 H8/3833、H8/3834 広温度範囲品 (I仕様) のセグメント外部拡張 AC 特性

(特記なき場合、 $V_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
クロック "High"レベル幅	t_{CWH}	CL ₁ 、CL ₂	*1	800.0			ns	図 14.9
クロック "Low"レベル幅	t_{CWL}	CL ₂	*1	800.0			ns	図 14.9
クロックセット アップ時間	t_{CSU}	CL ₁ 、CL ₂	*1	500.0			ns	図 14.9
データセット アップ時間	t_{SU}	DO	*1	300.0			ns	図 14.9
データ保持時間	t_{DH}	DO	*1	300.0			ns	図 14.9
M 遅延時間	t_{DM}	M		-1000		1000.0	ns	図 14.9
クロック立上り 立下り時間	t_{CT}	CL ₁ 、CL ₂				100.0	ns	図 14.9

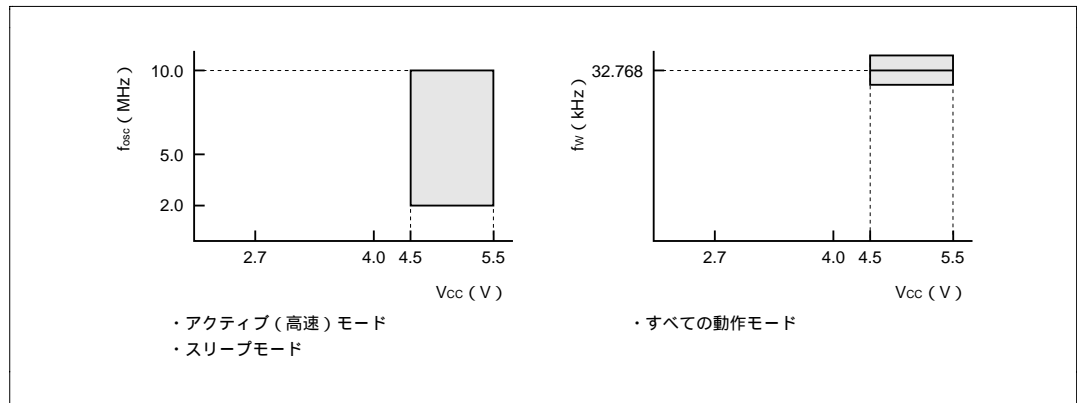
【注】 *1 フレーム周波数を 488Hz ~ 30.5Hz に設定したときの値です。

14.12 H8/3835、H8/3836、H8/3837 広温度範囲品 (I仕様) の電気的特性

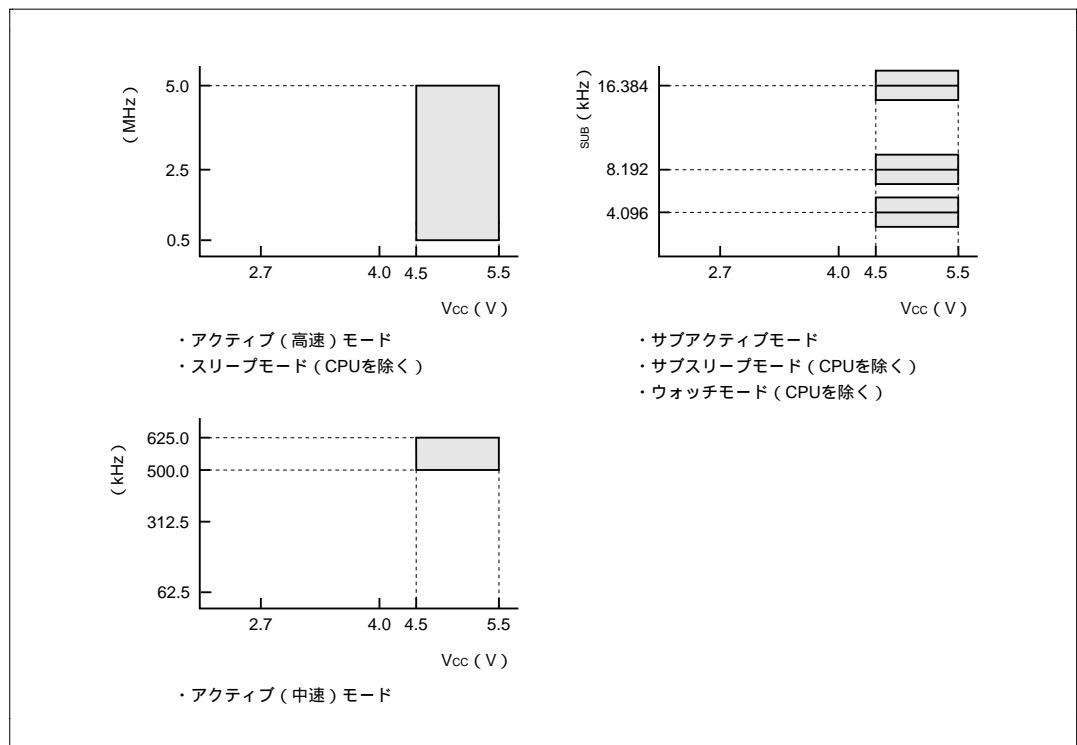
14.12.1 電源電圧と動作範囲

電源電圧と動作範囲 (網かけ部) を以下に示します。

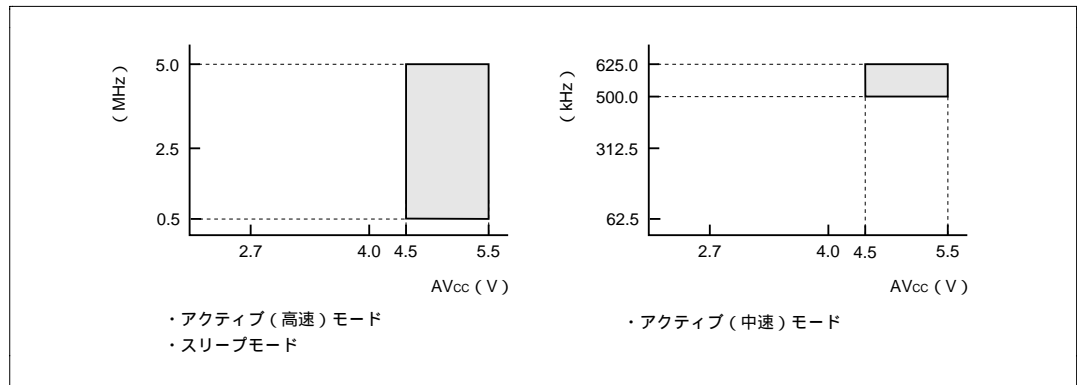
(1) H8/3835、H8/3836、H8/3837 広温度範囲品 (I仕様) の電源電圧と発振周波数の範囲



(2) H8/3835、H8/3836、H8/3837 広温度範囲品 (I仕様) の電源電圧と動作周波数の範囲



(3) H8/3835、H8/3836、H8/3837 広温度範囲品 (I仕様) のアナログ電源電圧と A/D 変換器の動作



14.12.2 DC 特性

H8/3835、H8/3836、H8/3837 広温度範囲品 (I仕様) の DC 特性を表 14.54 に示します。

表 14.54 H8/3835、H8/3836、H8/3837 広温度範囲品 (I仕様) の DC 特性 (1)

(特記なき場合、 $V_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力"High" レベル電圧	V_{IH}	\overline{RES} 、MD0、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 $\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 TMIB、TMIC、TMIF、 \overline{CS} 、TMIG SCK ₁ 、SCK ₂ 、SCK ₃ 、 \overline{ADTRG}		$0.8V_{CC}$		$V_{CC} + 0.3$	V	
		UD、SI ₁ 、SI ₂ 、RXD		$0.7V_{CC}$		$V_{CC} + 0.3$	V	
		OSC ₁		$V_{CC} - 0.5$		$V_{CC} + 0.3$	V	
		P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₃ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃		$0.7V_{CC}$		$V_{CC} + 0.3$	V	
		PB ₀ ~ PB ₇ 、 PC ₀ ~ PC ₃		$0.7V_{CC}$		$AV_{CC} + 0.3$		

【注】 TEST 端子は、 V_{SS} に接続してください。

14. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力"Low" レベル電圧	V _{IL}	\overline{RES} 、MD0、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 $\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 TMIB、TMIC、TMIF、 \overline{CS} 、TMIG SCK ₁ 、SCK ₂ 、SCK ₃ 、 \overline{ADTRG}		- 0.3		0.2V _{CC}	V	
		UD、SI ₁ 、SI ₂ 、RXD		- 0.3		0.3V _{CC}	V	
		OSC ₁		- 0.3		0.5	V	
		P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₃ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃ 、 PB ₀ ~ PB ₇ 、 PC ₀ ~ PC ₃		- 0.3		0.3V _{CC}	V	
出力"High" レベル電圧	V _{OH}	P1 ₀ ~ P1 ₇ 、 P2 ₀ ~ P2 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₂ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 P9 ₀ ~ P9 ₇ 、 PA ₀ ~ PA ₃	- I _{OH} = 1.0mA	V _{CC} - 1.0			V	
			- I _{OH} = 0.5mA	V _{CC} - 0.5				

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力"Low" レベル電圧	V_{OL}	P1 ₀ ~ P1 ₇ , P4 ₀ ~ P4 ₂	$I_{OL} = 1.6mA$			0.6	V	
		P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , PA ₀ ~ PA ₃	$I_{OL} = 0.4mA$			0.5		
		P2 ₀ ~ P2 ₇	$I_{OL} = 10mA$			1.5		
		P3 ₀ ~ P3 ₇	$I_{OL} = 1.6mA$			0.6		
入出力 リーク電流	$ I_L $	RES、P4 ₃	$V_{IN} = 0.5V \sim V_{CC} - 0.5V$			24.0	μA	*2
						2.0		*1
		OSC ₁ 、MD0 P1 ₀ ~ P1 ₇ , P2 ₀ ~ P2 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₂ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₇ , PA ₀ ~ PA ₃	$V_{IN} = 0.5V \sim V_{CC} - 0.5V$			2.0	μA	
		PB ₀ ~ PB ₇ , PC ₀ ~ PC ₃	$V_{IN} = 0.5V \sim AV_{CC} - 0.5V$			2.0		
ブルアップ MOS 電流	$-I_p$	P1 ₀ ~ P1 ₇ , P3 ₀ ~ P3 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇	$V_{CC} = 5V, V_{IN} = 0V$	20.0		330.0	μA	

14. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力容量	C _{IN}	電源 RES、P4 ₃ 端子を除く全入力端子	f = 1MHz、V _{IN} = 0V、 T _a = 25			15.0	pF	
						60.0		*2
						15.0		*1
						30.0		*2
						15.0		*1
アクティブモード	I _{OPE1}	V _{CC}	アクティブ (高速) モード V _{CC} = 5V、f _{OSC} = 10MHz		13.5	30.0	mA	*3 *4
消費電流	I _{OPE2}	V _{CC}	アクティブ (中速) モード V _{CC} = 5V、f _{OSC} = 10MHz		2.5	6.0	mA	*3 *4
スリープモード消費電流	I _{SLEEP}	V _{CC}	V _{CC} = 5V、f _{OSC} = 10MHz		5.0	12.0	mA	*3 *4
サブアクティブモード消費電流	I _{SUB}	V _{CC}	V _{CC} = 5V、LCD 点灯 32kHz 水晶発振子使用時 (_{SUB} = _W /2)		100.0		μA	*3 *4 参考値
			V _{CC} = 5V、LCD 点灯 32kHz 水晶発振子使用時 (_{SUB} = _W /8)		70.0		μA	*3 *4 参考値
サブスリープモード消費電流	I _{SUBSP}	V _{CC}	V _{CC} = 5V、LCD 点灯 32kHz 水晶発振子使用時 (_{SUB} = _W /2)		60.0		μA	*3 *4 参考値
ウォッチモード消費電流	I _{WATCH}	V _{CC}	V _{CC} = 5V、32kHz 水晶発振子使用時 LCD 未使用		6.0		μA	*3 *4 参考値
スタンバイモード消費電流	I _{STBY}	V _{CC}	32kHz 水晶発振子未使用時			10.0	μA	*3 *4
RAM データ保持電圧	V _{RAM}	V _{CC}		2.0			V	*3 *4

モード	内部状態	各端子	LCD 電源	発振端子
アクティブ(高速)モード アクティブ(中速)モード	動作	V_{CC}	OPEN	システムクロック発振器： 水晶発振子 サブクロック発振器： X_1 端子 = V_{CC}
スリープモード	タイマのみ動作	V_{CC}	OPEN	
サブアクティブモード	動作	V_{CC}	OPEN	システムクロック発振器： 水晶発振子
サブスリープモード	タイマのみ動作 CPU は停止	V_{CC}	OPEN	サブクロック発振器： 水晶発振子
ウォッチモード	時計用タイム ベースのみ動作 CPU は停止	V_{CC}	OPEN	
スタンバイモード	CPU、タイマ ともに停止	V_{CC}	OPEN	システムクロック発振器： 水晶発振子 サブクロック発振器： X_1 端子 = V_{CC}

【注】 *1 HD6433835、HD6433836、HD6433837 の WTR 品に適用します。

*2 HD6473837 の WTR 品に適用します。

*3 消費電流測定時の端子の状態

*4 ブルアップ MOS や出力バッファに流れる電流は除きます。

14. 電気的特性

表 14.54 H8/3835、H8/3836、H8/3837 広温度範囲品 (I仕様) の DC 特性 (2)

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力"Low" レベル許容電流 (1端子あたり)	I_{OL}	ポート 2、3 以外の出力端子				2.0	mA	
		ポート 2、3				10.0		
出力"Low" レベル許容電流 (総和)	I_{OL}	ポート 2、3 以外の出力端子				40.0	mA	
		ポート 2、3				80.0		
出力"High" レベル許容電流 (1端子あたり)	$-I_{OH}$	全出力端子				2.0	mA	
出力"High" レベル許容電流 (総和)	$-I_{OH}$	全出力端子				15.0	mA	

14.12.3 AC 特性

H8/3835、H8/3836、H8/3837 広温度範囲品 (I仕様) の制御信号タイミングを表 14.55 に、シリアルインタフェースタイミングを表 14.56、表 14.57 に示します。

表 14.55 H8/3835、H8/3836、H8/3837 広温度範囲品 (I仕様) の制御信号タイミング

(特記なき場合、 $V_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
システムクロック 発振器発振周波数	f_{OSC}	OSC ₁ 、OSC ₂		2.0		10.0	MHz	
OSC クロック (OSC) サイクル時間	t_{OSC}	OSC ₁ 、OSC ₂		100.0		1000.0	ns	*1 図 14.1
システムクロック () サイクル時間	t_{cyc}			2		16	t_{OSC}	*1
						2000.0	ns	
サブクロック発振器 発振周波数	f_W	X ₁ 、X ₂			32.768		kHz	
ウォッチクロック (W) サイクル時間	t_W	X ₁ 、X ₂			30.5		μs	
サブクロック (SUB) サイクル時間	t_{subcyc}			2		8	t_W	*2
インストラクション サイクル時間				2			t_{cyc} t_{subcyc}	
発振安定時間 (水晶発振子)	t_{rc}	OSC ₁ 、OSC ₂				40.0	ms	
発振安定時間	t_{rc}	X ₁ 、X ₂				2.0	s	
外部クロック "High"レベル幅	t_{CPH}	OSC ₁		40.0			ns	図 14.1
外部クロック "Low"レベル幅	t_{CPL}	OSC ₁		40.0			ns	図 14.1
外部クロック 立上り時間	t_{CPr}					15.0	ns	図 14.1
外部クロック 立下り時間	t_{CPf}					15.0	ns	図 14.1
RES 端子 "Low"レベル幅	t_{REL}	RES		10			t_{cyc}	図 14.2
入力端子 "High"レベル幅	t_{IH}	$\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 \overline{ADTRG} 、 TMIB、TMIC、 TMIF、TMIG		2			t_{cyc} t_{subcyc}	図 14.3

14. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力端子 "Low"レベル幅	t_{IL}	$\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 \overline{ADTRG} 、 TMIB、TMIC、 TMIF、TMIG		2			t_{cyc} t_{subcyc}	図 14.3
UD 端子 最小変化幅	t_{UDH} t_{UDL}	UD		4			t_{cyc} t_{subcyc}	図 14.4

【注】 *1 外部クロックを入力する場合は1~10MHzとなります。

*2 システムコントロールレジスタ2 (SYSCR2) のSA1、SA0の設定により決定します。

表 14.56 H8/3835、H8/3836、H8/3837 広温度範囲品 (I仕様) のシリアルインタフェース (SCI1、SCI2) タイミング

(特記なき場合、 $V_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力転送クロック サイクル時間	t_{scyc}	SCK ₁ 、SCK ₂		2			t_{cyc}	図 14.5
入力転送クロック "High"レベル幅	t_{SCKH}	SCK ₁ 、SCK ₂		0.4			t_{scyc}	図 14.5
入力転送クロック "Low"レベル幅	t_{SCKL}	SCK ₁ 、SCK ₂		0.4			t_{scyc}	図 14.5
入力転送クロック 立上り時間	t_{SCKr}	SCK ₁ 、SCK ₂				60.0	ns	図 14.5
入力転送クロック 立下り時間	t_{SCKf}	SCK ₁ 、SCK ₂				60.0	ns	図 14.5
シリアル出力データ 遅延時間	t_{SOD}	SO ₁ 、SO ₂				200.0	ns	図 14.5
シリアル入力データ セットアップ時間	t_{SIS}	SI ₁ 、SI ₂		200.0			ns	図 14.5
シリアル入力データ ホールド時間	t_{SIH}	SI ₁ 、SI ₂		200.0			ns	図 14.5
CS セットアップ時間	t_{CSS}	\overline{CS}		2			t_{cyc}	図 14.6
CS ホールド時間	t_{CSH}	\overline{CS}		2			t_{cyc}	図 14.6

表 14.57 H8/3835、H8/3836、H8/3837 広温度範囲品 (I仕様) のシリアルインタフェース (SCI3) タイミング

(特記なき場合、 $V_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$)

項目	記号	測定条件	規格値			単位	参照図
			min.	typ.	max.		
入力 クロックサイクル	調歩同期	t_{scyc}	4			t_{cyc}	図 14.7
	クロック同期		6				
入力クロックパルス幅	t_{SCKW}		0.4		0.6	t_{scyc}	図 14.7
送信データ遅延時間 (クロック同期)	t_{TXD}				1	t_{cyc}	図 14.8
受信データセットアップ時間 (クロック同期)	t_{RXS}		200.0			ns	図 14.8
受信データホールド時間 (クロック同期)	t_{RXH}		200.0			ns	図 14.8

14.12.4 A/D 変換器特性

H8/3835、H8/3836、H8/3837 広温度範囲品 (I仕様) の A/D 変換器特性を表 14.58 に示します。

表 14.58 H8/3835、H8/3836、H8/3837 広温度範囲品 (I仕様) の A/D 変換器特性

(特記なき場合、 $V_{CC} = 4.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
アナログ電源電圧	AV_{CC}	AV_{CC}		4.5		5.5	V	*1
アナログ入力電圧	AV_{IN}	$AN_0 \sim AN_{11}$		$AV_{SS} - 0.3$		$AV_{CC} + 0.3$	V	
アナログ電源電流	AI_{OPE}	AV_{CC}	$AV_{CC} = 5.0V$			1.7	mA	
	AI_{STOP1}	AV_{CC}			150.0		μA	*2 参考値
	AI_{STOP2}	AV_{CC}				7.0	μA	*3
アナログ入力容量	C_{AIN}	$AN_0 \sim AN_{11}$				30.0	pF	
許容信号源 インピーダンス	R_{AIN}					10.0	k	
分解能 (データ長)						8	ビット	
非直線性誤差						± 2.0	LSB	
量子化誤差						± 0.5	LSB	
絶対精度						± 2.5	LSB	
変換時間				12.4		124	μs	

【注】 *1 A/D 変換器を使用しない場合は $AV_{CC} = V_{CC}$ としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

*3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

14. 電気的特性

14.12.5 LCD 特性

H8/3835、H8/3836、H8/3837 広温度範囲品 (I仕様) の LCD 特性を表 14.59 に、セグメント外部拡張 AC 特性を表 14.60 に示します。

表 14.59 H8/3835、H8/3836、H8/3837 広温度範囲品 (I仕様) の LCD 特性

(特記なき場合、 $V_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
セグメントドライバ 降下電圧	V_{DS}	SEG ₁ ~ SEG ₄₀	$I_D = 2\mu A$			0.6	V	*1
コモンドライバ 降下電圧	V_{DC}	COM ₁ ~ COM ₄	$I_D = 2\mu A$			0.3	V	*1
LCD 電源 分割抵抗	R_{LCD}		$V_1 - V_{SS}$ 間	40.0	300.0	100.0	k	
液晶表示電圧	V_{LCD}	V_1		4.5		V_{CC}	V	*2

【注】 *1 電源端子 V_1 、 V_2 、 V_3 、 V_{SS} から各セグメント端子または共通端子までの電圧降下です。

*2 液晶表示電圧を外部電源より供給する場合は、 V_{CC} V_1 V_2 V_3 V_{SS} の関係を維持してください。

表 14.60 H8/3835、H8/3836、H8/3837 広温度範囲品 (I仕様) のセグメント外部拡張 AC 特性

(特記なき場合、 $V_{CC} = 4.5 \sim 5.5V$ 、 $AV_{CC} = 4.5 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
クロック "High"レベル幅	t_{CWH}	CL ₁ 、CL ₂	*1	800.0			ns	図 14.9
クロック "Low"レベル幅	t_{CWL}	CL ₂	*1	800.0			ns	図 14.9
クロックセット アップ時間	t_{CSU}	CL ₁ 、CL ₂	*1	500.0			ns	図 14.9
データセット アップ時間	t_{SU}	DO	*1	300.0			ns	図 14.9
データ保持時間	t_{DH}	DO	*1	300.0			ns	図 14.9
M 遅延時間	t_{DM}	M		-1000		1000.0	ns	図 14.9
クロック立上り 立下り時間	t_{CT}	CL ₁ 、CL ₂				100.0	ns	図 14.9

【注】 *1 フレーム周波数を 488Hz ~ 30.5Hz に設定したときの値です。

14.13 動作タイミング

動作タイミングを図 14.1 ~ 図 14.9 に示します。

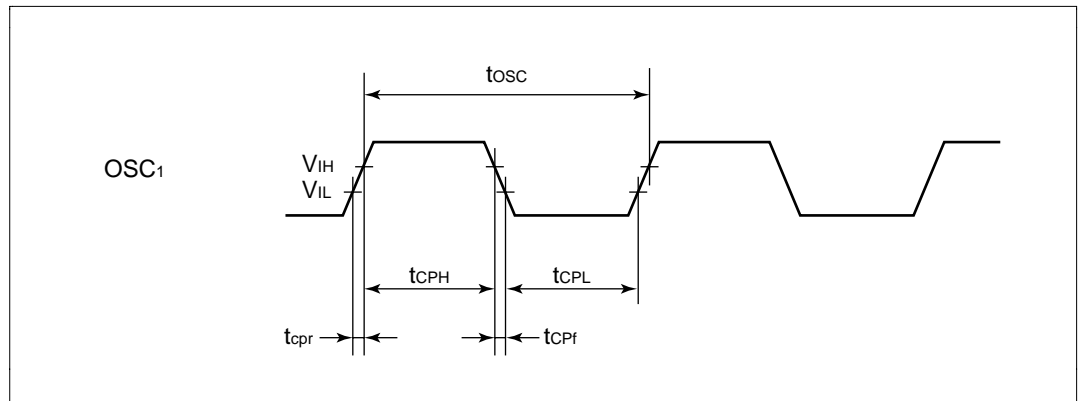


図 14.1 システムクロック入力タイミング

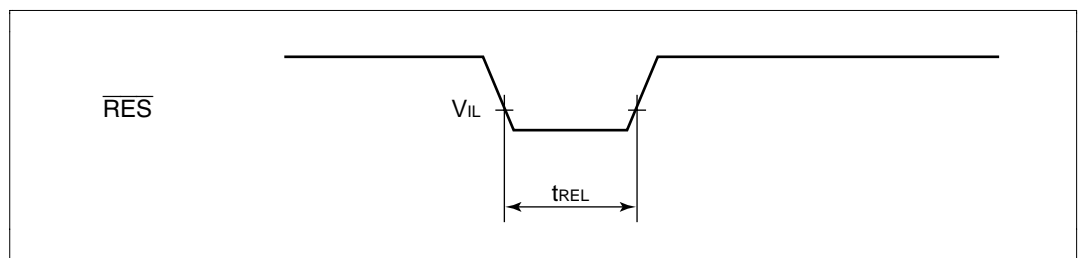


図 14.2 \overline{RES} 端子"Low"レベル幅タイミング

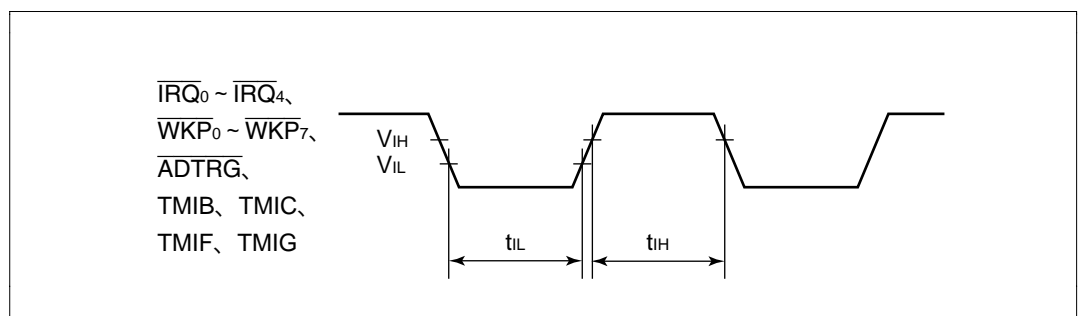


図 14.3 入力タイミング

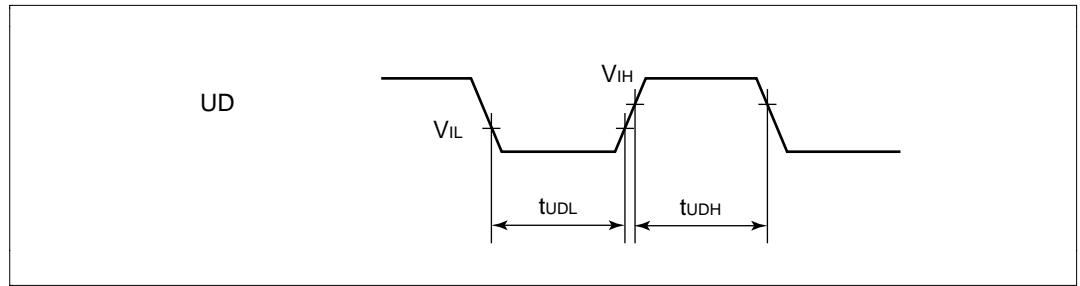


図 14.4 UD 端子最小変化幅タイミング

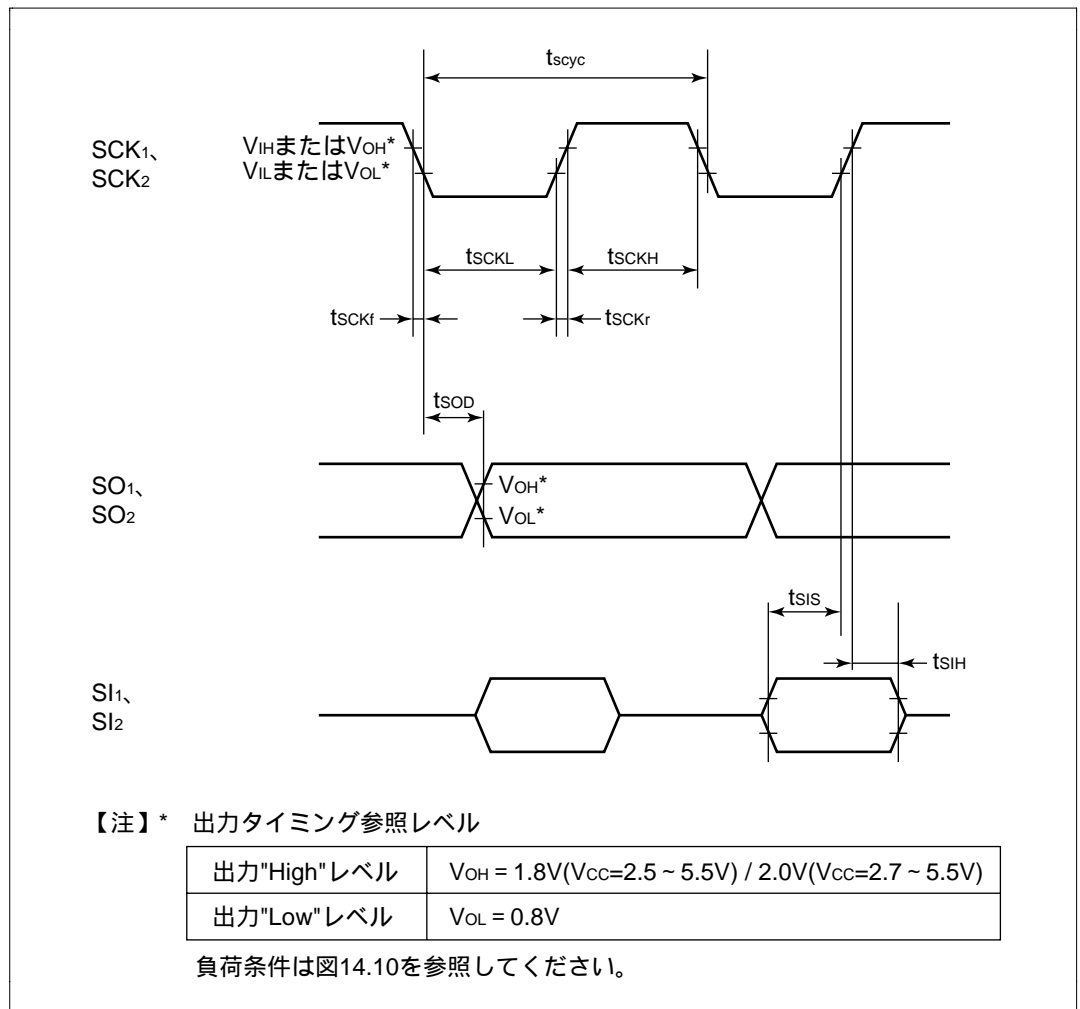


図 14.5 SCI1、SCI2 入出力タイミング

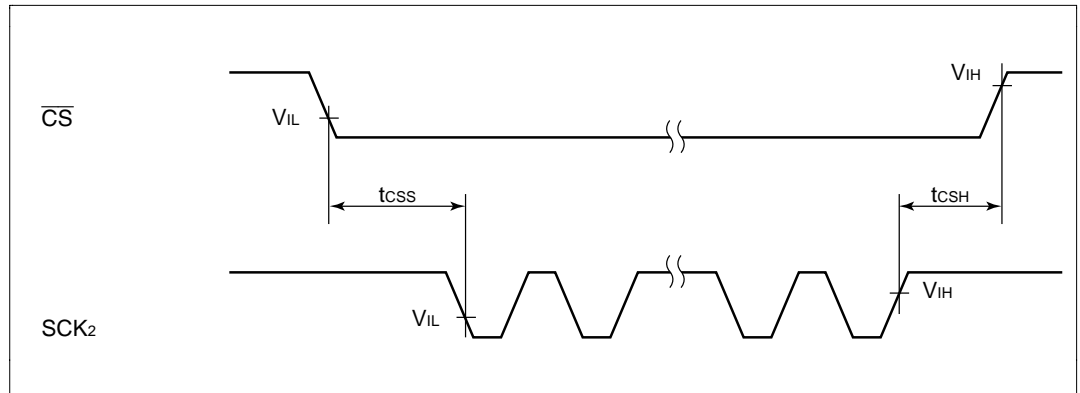


図 14.6 SCI2 チップセレクトタイミング

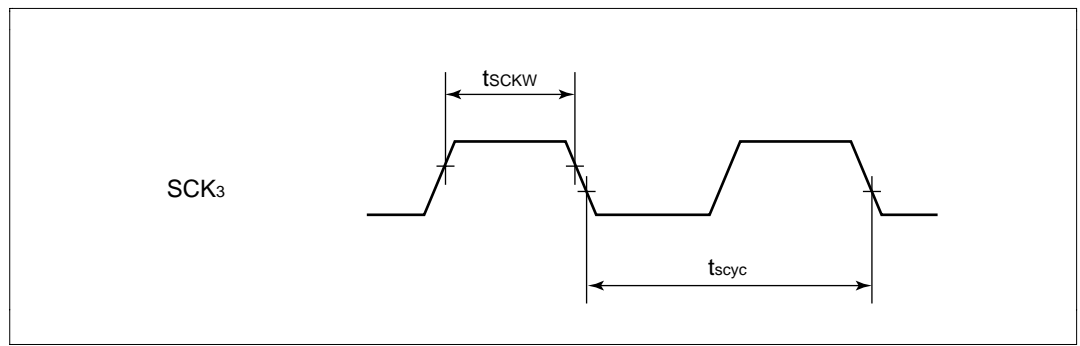


図 14.7 SCK3 入力クロックタイミング

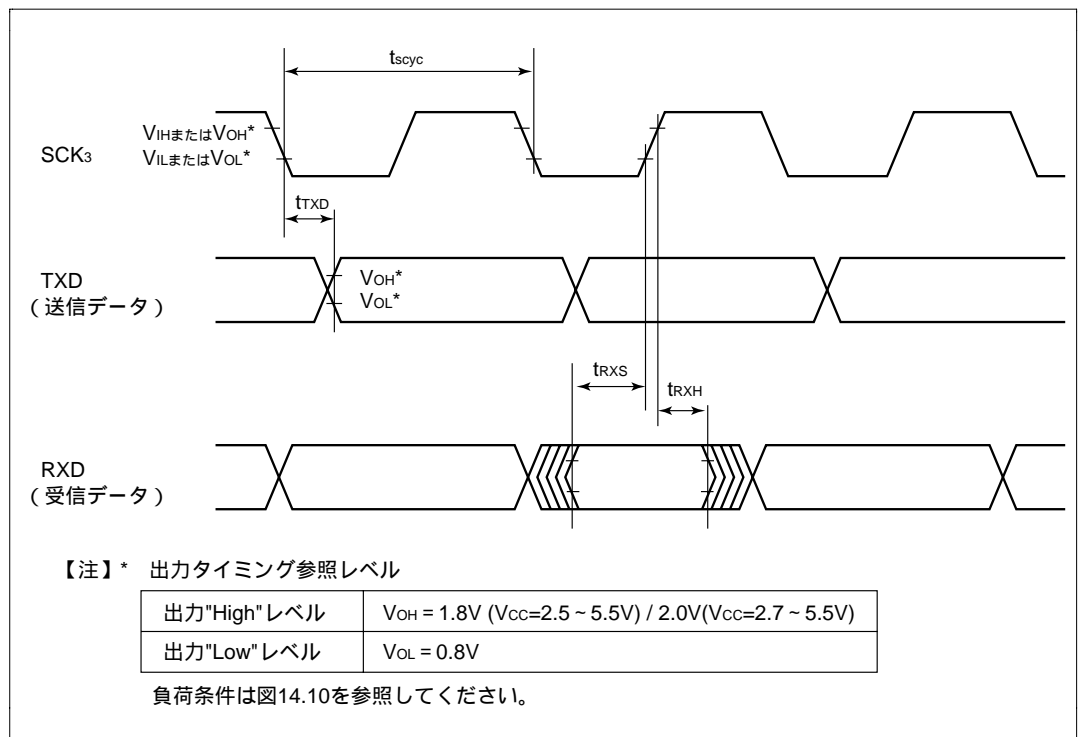


図 14.8 SCI3 クロック同期式モード入出力タイミング

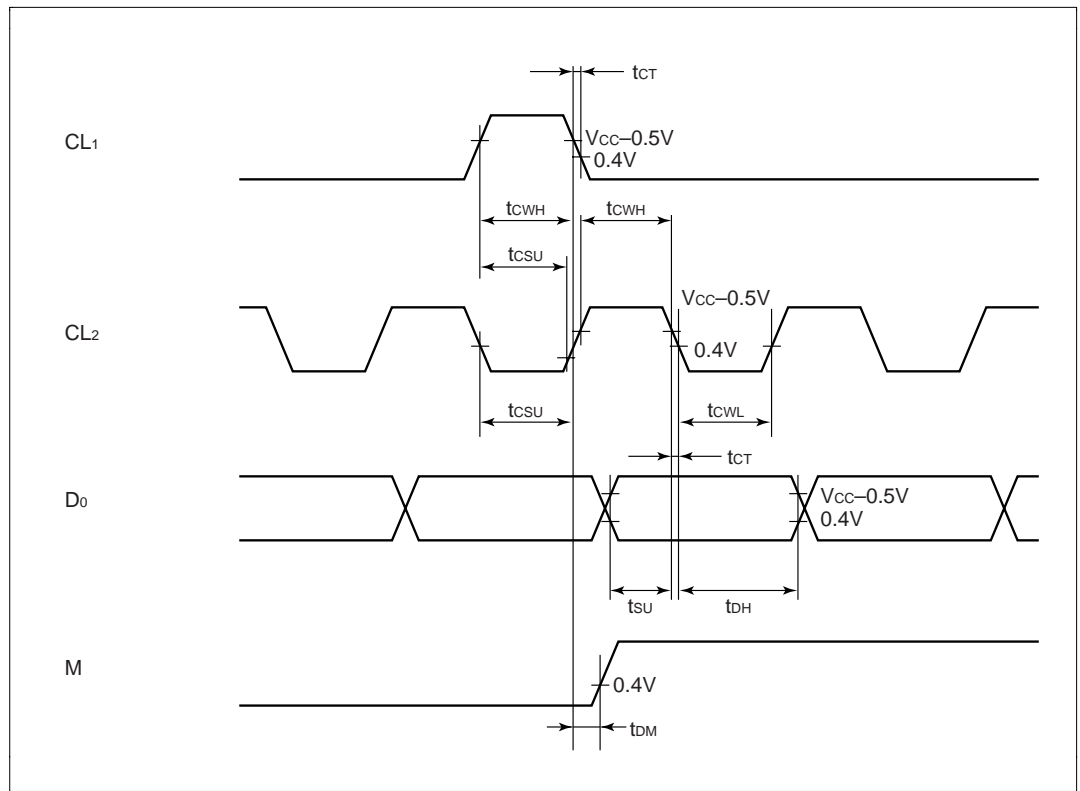


図 14.9 セグメント拡張信号タイミング

14.14 出力負荷回路

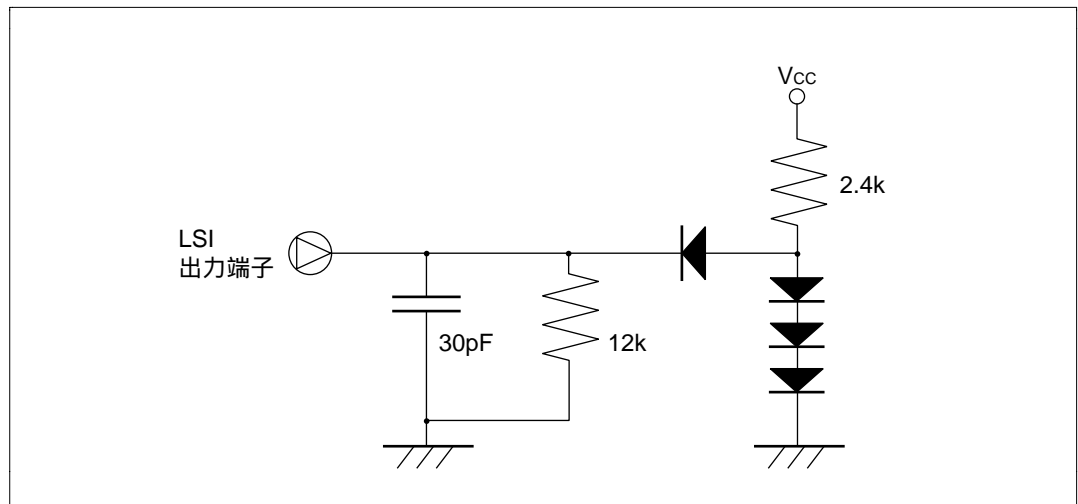


図 14.10 出力負荷条件

付録

付録 目次

A.	命令	497
	A.1 命令一覧.....	497
	A.2 オペレーションコードマップ.....	507
	A.3 命令実行ステート数.....	509
B.	内部 I/O レジスタ一覧.....	515
	B.1 アドレス一覧.....	515
	B.2 機能一覧.....	518
C.	I/O ポートブロック図.....	562
	C.1 ポート 1 ブロック図.....	562
	C.2 ポート 2 ブロック図.....	567
	C.3 ポート 3 ブロック図.....	570
	C.4 ポート 4 ブロック図.....	576
	C.5 ポート 5 ブロック図.....	580
	C.6 ポート 6 ブロック図.....	581
	C.7 ポート 7 ブロック図.....	582
	C.8 ポート 8 ブロック図.....	583
	C.9 ポート 9 ブロック図.....	584
	C.10 ポート A ブロック図.....	585
	C.11 ポート B ブロック図.....	586
	C.12 ポート C ブロック図.....	587
D.	各処理状態におけるポートの状態.....	588
E.	ROM 発注手順	589
	E.1 ROM 書き換え品開発の流れ（発注手順）.....	589
	E.2 ROM 発注時の注意事項.....	590
F.	製品型名一覧.....	591
G.	外形寸法図	595

A. 命令

A.1 命令一覧

《オペレーションの記号》

Rd8/16	汎用レジスタ (デスティネーション側) 8 ビット / 16 ビット
Rs8/16	汎用レジスタ (ソース側) 8 ビット / 16 ビット
Rn8/16	汎用レジスタ 8 ビット / 16 ビット
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#xx:3/8/16	イミディエイトデータ 3 ビット / 8 ビット / 16 ビット
d:8/16	ディスプレイメント 8 ビット / 16 ビット
@aa:8/16	絶対アドレス 8 ビット / 16 ビット
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
	論理的補数

《コンディションコードの記号》

記号	
↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します (値を保証しません)。
0	常に"0"にクリアされることを表します。
	実行結果に影響を受けないことを表します。

表 A.1 命令セット一覧

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディションコード							実行 スラット 数
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16		@(d:8, PC)	@aa	I	H	N	Z	V	
MOV	B	2							#xx:8 Rd8	—	—	↑	↑	0	—	2
	B		2						Rs8 Rd8	—	—	↑	↑	0	—	2
	B			2					@Rs16 Rd8	—	—	↑	↑	0	—	4
	B				4				@(d:16, Rs16) Rd8	—	—	↑	↑	0	—	6
	B					2			@Rs16 Rd8 Rs16+1 Rs16	—	—	↑	↑	0	—	6
	B						2		@aa:8 Rd8	—	—	↑	↑	0	—	4
	B						4		@aa:16 Rd8	—	—	↑	↑	0	—	6
	B		2						Rs8 @Rd16	—	—	↑	↑	0	—	4
	B				4				Rs8 @(d:16, Rd16)	—	—	↑	↑	0	—	6
	B					2			Rd16-1 Rd16 Rs8 @Rd16	—	—	↑	↑	0	—	6
	B						2		Rs8 @aa:8	—	—	↑	↑	0	—	4
	B						4		Rs8 @aa:16	—	—	↑	↑	0	—	6
	W	4							#xx:16 Rd	—	—	↑	↑	0	—	4
	W		2						Rs16 Rd16	—	—	↑	↑	0	—	2
	W			2					@Rs16 Rd16	—	—	↑	↑	0	—	4
	W				4				@(d:16, Rs16) Rd16	—	—	↑	↑	0	—	6
	W					2			@Rs16 Rd16	—	—	↑	↑	0	—	4
	W						2		Rs16+2 Rs16	—	—	↑	↑	0	—	6
	W						4		@aa:16 Rd16	—	—	↑	↑	0	—	6
	W		2						Rs16 @Rd16	—	—	↑	↑	0	—	4
	W				4				Rs16 @(d:16, Rd16)	—	—	↑	↑	0	—	6

二オペリック	サイズ	アドレッシングモード / 命令長 (バイト)				オペレーション	コンディションコード							実行 ステップ 数			
		#xx:8/16	Rn	@Rn	@(d:16, Rn)		@-Rn/@Rn+	@aa:8/16	@(d:8, PC)	@aa	I	H	N		Z	V	C
MOV	MOV.W Rs, @-Rd					2							↑	↑	0	—	6
	MOV.W Rs, @aa:16						4						↑	↑	0	—	6
POP	POP Rd					2							↑	↑	0	—	6
PUSH	PUSH Rs					2							↑	↑	0	—	6
ADD	ADD.B #xx:8, Rd	B	2										↑	↑	↑	↑	2
	ADD.B Rs, Rd	B	2										↑	↑	↑	↑	2
ADDX	ADD.W Rs, Rd	W											(1)	↑	↑	↑	2
	ADDX.B #xx:8, Rd	B	2										↑	↑	(2)	↑	2
ADDS	ADDX.B Rs, Rd	B	2										↑	↑	(2)	↑	2
	ADDS.W #1, Rd	W	2										—	—	—	—	2
INC	ADDS.W #2, Rd	W	2										—	—	—	—	2
	INC.B Rd	B	2										—	↑	↑	—	2
DAA	DAA.B Rd	B	2										*	↑	↑	*	(3)
	SUB.B Rs, Rd	B	2										↑	↑	↑	↑	2
SUBX	SUB.W Rs, Rd	W	2										(1)	↑	↑	↑	2
	SUBX.B #xx:8, Rd	B	2										↑	↑	(2)	↑	2
	SUBX.B Rs, Rd	B	2										↑	↑	(2)	↑	2

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディションコード							実行 ステップ 数			
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16		@(d:8, PC)	@aa	I	H	N	Z	V		C		
SHAR	B		2											↑	↑	0	↑	2	
SHLL	B		2											↑	↑	0	↑	2	
SHLR	B		2											0	↑	0	↑	2	
ROTXL	B		2											↑	↑	0	↑	2	
ROTXR	B		2											↑	↑	0	↑	2	
ROTL	B		2											↑	↑	0	↑	2	
ROTR	B		2											↑	↑	0	↑	2	
BSET	B		2											—	—	—	—	2	
BSET	B		4											—	—	—	—	8	

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディションコード							実行スタート数
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16		@(d:8, PC)	@aa	I	H	N	Z	V	
BSET	BSET #xx:3, @aa:8						4		(#xx:3 of @aa:8) 1	-	-	-	-	-	-	8
	BSET Rn, Rd		2						(Rn8 of Rd8) 1	-	-	-	-	-	-	2
	BSET Rn, @Rd			4					(Rn8 of @Rd16) 1	-	-	-	-	-	-	8
	BSET Rn, @aa:8						4		(Rn8 of @aa:8) 1	-	-	-	-	-	-	8
BCLR	BCLR #xx:3, Rd		2						(#xx:3 of Rd8) 0	-	-	-	-	-	-	2
	BCLR #xx:3, @Rd			4					(#xx:3 of @Rd16) 0	-	-	-	-	-	-	8
	BCLR #xx:3, @aa:8						4		(#xx:3 of @aa:8) 0	-	-	-	-	-	-	8
	BCLR Rn, Rd		2						(Rn8 of Rd8) 0	-	-	-	-	-	-	2
	BCLR Rn, @Rd			4					(Rn8 of @Rd16) 0	-	-	-	-	-	-	8
	BCLR Rn, @aa:8						4		(Rn8 of @aa:8) 0	-	-	-	-	-	-	8
	BNOT #xx:3, Rd		2						(#xx:3 of Rd8) (#xx:3 of Rd8)	-	-	-	-	-	-	2
	BNOT #xx:3, @Rd			4					(#xx:3 of @Rd16) (#xx:3 of @Rd16)	-	-	-	-	-	-	8
BNOT	BNOT #xx:3, @aa:8						4		(#xx:3 of @aa:8) (#xx:3 of @aa:8)	-	-	-	-	-	-	8
	BNOT Rn, Rd		2						(Rn8 of Rd8) (Rn8 of Rd8)	-	-	-	-	-	-	2
	BNOT Rn, @Rd			4					(Rn8 of @Rd16) (Rn8 of @Rd16)	-	-	-	-	-	-	8
	BNOT Rn, @aa:8						4		(Rn8 of @aa:8) (Rn8 of @aa:8)	-	-	-	-	-	-	8
	BTST #xx:3, Rd		2						(#xx:3 of Rd8) Z	-	-	-	↑	-	-	2
	BTST #xx:3, @Rd			4					(#xx:3 of @Rd16) Z	-	-	-	↑	-	-	6
	BTST #xx:3, @aa:8						4		(#xx:3 of @aa:8) Z	-	-	-	↑	-	-	6
	BTST Rn, Rd		2						(Rn8 of Rd8) Z	-	-	-	↑	-	-	2

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)						オペレーション	コンディションコード							実行 ステート 数
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16		@(d:8, PC)	@aa	I	H	N	Z	V	
BTST	B			4					(Rn8 of @Rd16) Z	-	-	-	↑	-	-	6
	B						4		(Rn8 of @aa:8) Z	-	-	-	↑	-	-	6
BLD	B	2							(#xx:3 of Rd8) C	-	-	-	-	-	↑	2
	B		4						(#xx:3 of @Rd16) C	-	-	-	-	-	↑	6
	B						4		(#xx:3 of @aa:8) C	-	-	-	-	-	↑	6
BILD	B	2							(#xx:3 of Rd8) C	-	-	-	-	-	↑	2
	B		4						(#xx:3 of @Rd16) C	-	-	-	-	-	↑	6
	B						4		(#xx:3 of @aa:8) C	-	-	-	-	-	↑	6
BST	B	2							C (#xx:3 of Rd8)	-	-	-	-	-	-	2
	B		4						C (#xx:3 of @Rd16)	-	-	-	-	-	-	8
	B						4		C (#xx:3 of @aa:8)	-	-	-	-	-	-	8
BIST	B	2							C̄ (#xx:3 of Rd8)	-	-	-	-	-	-	2
	B		4						C̄ (#xx:3 of @Rd16)	-	-	-	-	-	-	8
	B						4		C̄ (#xx:3 of @aa:8)	-	-	-	-	-	-	8
BAND	B	2							C (#xx:3 of Rd8) C	-	-	-	-	-	↑	2
	B		4						C (#xx:3 of @Rd16) C	-	-	-	-	-	↑	6
	B						4		C (#xx:3 of @aa:8) C	-	-	-	-	-	↑	6
BIAND	B	2							C (#xx:3 of Rd8) C	-	-	-	-	-	↑	2
	B		4						C (#xx:3 of @Rd16) C	-	-	-	-	-	↑	6
	B						4		C (#xx:3 of @aa:8) C	-	-	-	-	-	↑	6
BOR	B	2							C (#xx:3 of Rd8) C	-	-	-	-	-	↑	2
	B		4						C (#xx:3 of @Rd16) C	-	-	-	-	-	↑	6
	B						4		C (#xx:3 of @aa:8) C	-	-	-	-	-	↑	6

二一モニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション		コンディションコード							実行 ステート 数
		#xx:8/16	Rn	@Rn	@(dt:16, Rn) @-Rn/@Rn+ @aa:8/16 @aa:8/16 @Rn, PC	分岐条件	I	H	N	Z	V	C			
BIOR	B	2					C (#xx:3 of Rd8) C	-	-	-	-	-	↑	2	
	B	4					C (#xx:3 of @Rd16) C	-	-	-	-	-	↑	6	
	B			4			C (#xx:3 of @aa:8) C	-	-	-	-	-	↑	6	
BXOR	B	2					C ⊕ (#xx:3 of Rd8) C	-	-	-	-	-	↑	2	
	B	4					C ⊕ (#xx:3 of @Rd16) C	-	-	-	-	-	↑	6	
	B			4			C ⊕ (#xx:3 of @aa:8) C	-	-	-	-	-	↑	6	
BIXOR	B	2					C ⊕ (#xx:3 of Rd8) C	-	-	-	-	-	↑	2	
	B	4					C ⊕ (#xx:3 of @Rd16) C	-	-	-	-	-	↑	6	
	B			4			C ⊕ (#xx:3 of @aa:8) C	-	-	-	-	-	↑	6	
Bcc	-						PC PC+d:8	-	-	-	-	-	-	4	
	-						PC PC+2	-	-	-	-	-	-	4	
	-						if condition	-	-	-	-	-	-	4	
	-						is true then	-	-	-	-	-	-	4	
	-						PC PC+d:8	-	-	-	-	-	-	4	
	-						else next;	-	-	-	-	-	-	4	
	-						Z=0	-	-	-	-	-	-	4	
	-						Z=1	-	-	-	-	-	-	4	
	-						V=0	-	-	-	-	-	-	4	
	-						V=1	-	-	-	-	-	-	4	
							N=0	-	-	-	-	-	4		
							N=1	-	-	-	-	-	4		
							N ⊕ V=0	-	-	-	-	-	4		
							N ⊕ V=1	-	-	-	-	-	4		
							Z (N ⊕ V)=0	-	-	-	-	-	4		
							Z (N ⊕ V)=1	-	-	-	-	-	4		

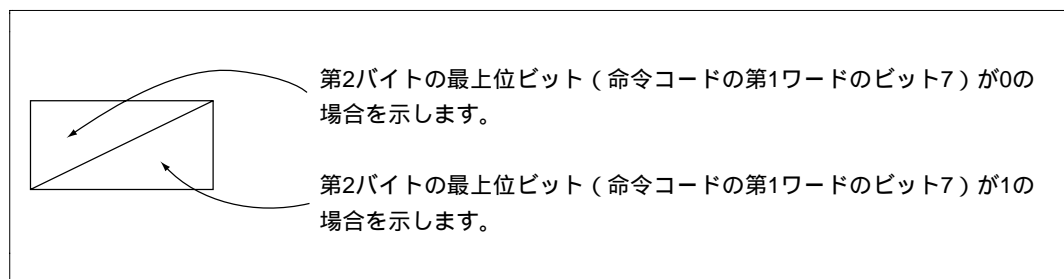
ニーモニック	サイズ	アドレッシングモード/命令長(バイト)							オペレーション	コンディションコード							実行 ステート 数
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)		@aa	I	H	N	Z	V	C	
JMP	—		2						PC Rn16	—	—	—	—	—	—	4	
	—					4			PC aa:16	—	—	—	—	—	—	6	
	—							2	PC @aa:8	—	—	—	—	—	—	8	
BSR	—						2		SP-2 SP	—	—	—	—	—	—	6	
	—		2						PC @SP	—	—	—	—	—	—	6	
	—								PC Rn16	—	—	—	—	—	—		
	—				4				SP-2 SP	—	—	—	—	—	—	8	
	—								PC @SP	—	—	—	—	—	—		
	—								PC aa:16	—	—	—	—	—	—		
	—						2		SP-2 SP	—	—	—	—	—	—	8	
	—								PC @SP	—	—	—	—	—	—		
	—								PC @aa:8	—	—	—	—	—	—		
RTS	—							2	PC @SP	—	—	—	—	—	—	8	
	—								SP+2 SP	—	—	—	—	—	—		
RTE	—							2	CCR @SP	↕	↕	↕	↕	↕	↕	10	
	—								SP+2 SP	↕	↕	↕	↕	↕	↕		
	—								PC @SP	↕	↕	↕	↕	↕	↕		
	—								SP+2 SP	↕	↕	↕	↕	↕	↕		

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)						オペレーション	コンディションコード							実行ステップ数
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16		@(d:8, PC)	@aa	I	H	N	Z	V	
SLEEP	—							2	低消費電力状態に遷移	—	—	—	—	—	—	2
LDC	B	2							#xx:8 CCR	↑	↑	↑	↑	↑	↑	2
	B		2						Rs8 CCR	↑	↑	↑	↑	↑	↑	2
STC	B		2						CCR Rd8	—	—	—	—	—	—	2
ANDC	B	2							CCR #xx:8 CCR	↑	↑	↑	↑	↑	↑	2
ORC	B	2							CCR #xx:8 CCR	↑	↑	↑	↑	↑	↑	2
XORC	B	2							CCR ⊕ #xx:8 CCR	↑	↑	↑	↑	↑	↑	2
NOP	—							2	PC PC+2	—	—	—	—	—	—	2
EEMOV	—							4	if R4L 0 Repeat @R5 @R6 R5+1 R5 R6+1 R6 R4L-1 R4L Until R4L=0 else next;	—	—	—	—	—	—	(4)

【注】 (1) : ビット11から桁上がりまたはビット11へ桁下がりが発生したとき"1"にセットされ、それ以外のとき"0"にクリアされます。
 (2) : 演算結果がゼロのとき、演算前の値を保持し、それ以外のとき"0"にクリアされます。
 (3) : 補正結果に桁上がりが発生したとき"1"にセットされ、それ以外のとき演算前の値を保持します。
 (4) : 実行ステップ数は、R4Lの設定値がnのとき4n+9となります。
 (5) : 除数が負のとき"1"にセットされ、それ以外のとき"0"にクリアされます。
 (6) : 除数がゼロのとき"1"にセットされ、それ以外のとき"0"にクリアされます。

A.2 オペレーションコードマップ

表 A.2 にオペレーションコードマップを示します。表 A.2 では、命令コードの第 1 バイト（第 1 ワードのビット 15～8）についてのみ示しています。



表A.2 オペレーションコードマップ

HI	LO	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	SLEEP	STC	LDC	LDC	ORC	XORC	ANDC	LDC	ADD	INC	ADD	ADD	MOV	ADDX	DAA	
1	SHLL SHAR	SHLR SHAR	ROTXL ROTL	ROTXR ROTR	OR	OR	XOR	AND	NOT NEG	SUB	DEC	SUBS	SUBS	CMP	SUBX	DAS	
2	MOV																
3	MOV																
4	BRA	BRN	BHI	BLS	BCC	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU			RTS	RTS	BSR	RTE				JMP				JSR	
6	BSET	BNOT	BCLR	BTST					BST								
7					BOR BIOR	BOR BIOR	BXOR BIXOR	BAND BIAND	BLT BILD	BST BILD				MOV*	EEPMOV		ビット操作命令
8	ADD																
9	ADDX																
A	CMP																
B	SUBX																
C	OR																
D	XOR																
E	AND																
F	MOV																

【注】 * PUSH、POP命令の機械語はMOV命令と同一です。

A.3 命令実行ステート数

H8/300L CPUの各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.4 に命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライト等のサイクル数を示し、表 A.3 に各々のサイクルに必要なステート数を示します。命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

実行ステート数計算例

(例) 内蔵ROMより命令をフェッチし、内蔵RAMをアクセスした場合

1. BSET #0, @FF00

表 A.4 より

$$I = L = 2, J = K = M = N = 0$$

表 A.3 より

$$S_I = 2, S_L = 2$$

$$\text{実行ステート数} = 2 \times 2 + 2 \times 2 = 8$$

内蔵ROMより命令をフェッチし、内蔵ROMより分岐アドレスをリード、スタック領域は内蔵RAMとした場合

2. JSR @@30

表 A.4 より

$$I = 2, J = K = 1, L = M = N = 0$$

表 A.3 より

$$S_I = S_J = S_K = 2$$

$$\text{実行ステート数} = 2 \times 2 + 1 \times 2 + 1 \times 2 = 8$$

表 A.3 実行状態 (サイクル) に要するステート数

実行状態 (サイクル)		アクセス対象	
		内蔵メモリ	内蔵周辺モジュール
命令フェッチ	S_I	2	2 または 3*
分岐アドレスリード	S_J		
スタック操作	S_K		
バイトデータアクセス	S_L		
ワードデータアクセス	S_M		
内部動作	S_N	1	

【注】 * 内蔵周辺モジュールによって異なります。詳細は、「2.9.1 データアクセスに関する注意事項」を参照してください。

表 A.4 命令の実行状態（サイクル数）

命令	ニーモニック	命令	分岐アドレ	スタック	バイトデー	ワードデー	内部動作
		フェッチ	スリード	操作	タアクセス	タアクセス	
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W Rs, Rd	1					
ADDS	ADDS.W #1, Rd	1					
	ADDS.W #2, Rd	1					
ADDX	ADDX.B #xx:8, Rd	1					
	ADDX.B Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @Rd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					
BLE d:8	2						
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @Rd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @Rd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @Rd	2			1		
	BIAND #xx:3, @aa:8	2			1		

命令	ニーモニック	命令	分岐アドレ	スタック	バイトデー	ワードデー	内部動作
		フェッチ	スリード	操作	タアクセス	タアクセス	
		I	J	K	L	M	N
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @Rd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:3, Rd	1					
	BIOR #xx:3, @Rd	2			1		
	BIOR #xx:3, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @Rd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @Rd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @Rd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @Rd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @Rd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @Rd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @Rd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @Rd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	2		1			
BST	BST #xx:3, Rd	1					
	BST #xx:3, @Rd	2			2		
	BST #xx:3, @aa:8	2			2		

命令	ニーモニック	命令 フェッチ	分岐アドレ スリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部動作
		I	J	K	L	M	N
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @Rd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @Rd	2			1		
	BTST Rn, @aa:8	2			1		
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @Rd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W Rs, Rd	1					
DAA	DAA.B Rd	1					
DAS	DAS.B Rd	1					
DEC	DEC.B Rd	1					
DIVXU	DIVXU.B Rs, Rd	1					12
EEPMOV	EEPMOV	2			2n + 2*1		1
INC	INC.B Rd	1					
JMP	JMP @Rn	2					
	JMP @aa:16	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @Rn	2		1			
	JSR @aa:16	2		1			2
	JSR @@aa:8	2	1	1			
LDC	LDC #xx:8, CCR	1					
	LDC Rs, CCR	1					
MOV	MOV.B #xx:8, Rd	1					
	MOV.B Rs, Rd	1					
	MOV.B @Rs, Rd	1		1			
	MOV.B @(d:16, Rs), Rd	2		1			
	MOV.B @Rs+, Rd	1		1			2
	MOV.B @aa:8, Rd	1		1			
	MOV.B @aa:16, Rd	2		1			

命令	ニーモニック	命令	分岐アドレ	スタック	バイトデー	ワードデー	内部動作	
		フェッチ	スリード	操作	タアクセス	タアクセス		
		I	J	K	L	M	N	
MOV	MOV.B Rs, @Rd	1			1			
	MOV.B Rs, @(d:16, Rd)	2			1			
	MOV.B Rs, @-Rd	1			1		2	
	MOV.B Rs, @aa:8	1			1			
	MOV.B Rs, @aa:16	2			1			
	MOV.W #xx:16, Rd	2						
	MOV.W Rs, Rd	1						
	MOV.W @Rs, Rd	1					1	
	MOV.W @(d:16, Rs), Rd	2					1	
	MOV.W @Rs+, Rd	1					1	2
	MOV.W @aa:16, Rd	2					1	
	MOV.W Rs, @Rd	1					1	
	MOV.W Rs, @(d:16, Rd)	2					1	
	MOV.W Rs, @-Rd	1					1	2
	MOV.W Rs, @aa:16	2					1	
MULXU	MULXU.B Rs, Rd	1					12	
NEG	NEG.B Rd	1						
NOP	NOP	1						
NOT	NOT.B Rd	1						
OR	OR.B #xx:8, Rd	1						
	OR.B Rs, Rd	1						
ORC	ORC #xx:8, CCR	1						
ROTL	ROTL.B Rd	1						
ROTR	ROTR.B Rd	1						
ROTXL	ROTXL.B Rd	1						
ROTXR	ROTXR.B Rd	1						
RTE	RTE	2		2			2	
RTS	RTS	2		1			2	
SHAL	SHAL.B Rd	1						
SHAR	SHAR.B Rd	1						
SHLL	SHLL.B Rd	1						
SHLR	SHLR.B Rd	1						
SLEEP	SLEEP	1						
STC	STC CCR, Rd	1						
SUB	SUB.B Rs, Rd	1						
	SUB.W Rs, Rd	1						
SUBS	SUBS.W #1, Rd	1						
	SUBS.W #2, Rd	1						

命令	ニーモニック	命令 フェッチ	分岐アドレ スリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部動作
		I	J	K	L	M	N
POP	POP Rd	1		1			2
PUSH	PUSH Rs	1		1			2
SUBX	SUBX.B #xx:8, Rd	1					
	SUBX.B Rs, Rd	1					
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
XORC	XORC #xx:8, CCR	1					

【注】 *1 n は R4L の設定値です。ソース側、デスティネーション側のアクセスが、それぞれ(n + 1) 回行われます。

B. 内部 I/O レジスタ一覧

B.1 アドレス一覧

下位 アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'A0	SCR1	SNC1	SNC0			CKS3	CKS2	CKS1	CKS0	SCI1
H'A1	SCSR1		SOL	ORER					STF	
H'A2	SDRU	SDRU7	SDRU6	SDRU5	SDRU4	SDRU3	SDRU2	SDRU1	SDRU0	
H'A3	SDRL	SDRL7	SDRL6	SDRL5	SDRL4	SDRL3	SDRL2	SDRL1	SDRL0	
H'A4	STAR				STA4	STA3	STA2	STA1	STA0	
H'A5	EDAR				EDA4	EDA3	EDA2	EDA1	EDA0	SCI2
H'A6	SCR2				GAP1	GAP0	CKS2	CKS1	CKS0	
H'A7	SCSR2				SOL	ORER	WT	ABT	STF	
H'A8	SMR	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	SCI3
H'A9	BRR	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	
H'AA	SCR3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'AB	TDR	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	
H'AC	SSR	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
H'AD	RDR	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
H'AE										
H'AF										
H'B0	TMA	TMA7	TMA6	TMA5		TMA3	TMA2	TMA1	TMA0	タイマ A
H'B1	TCA	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0	
H'B2	TMB	TMB7					TMB2	TMB1	TMB0	タイマ B
H'B3	TCB/TLB	TCB7/ TLB7	TCB6/ TLB6	TCB5/ TLB5	TCB4/ TLB4	TCB3/ TLB3	TCB2/ TLB2	TCB1/ TLB1	TCB0/ TLB0	
H'B4	TMC	TMC7	TMC6	TMC5			TMC2	TMC1	TMC0	タイマ C
H'B5	TCC/TLC	TCC7/ TLC7	TCC6/ TLC6	TCC5/ TLC5	TCC4/ TLC4	TCC3/ TLC3	TCC2/ TLC2	TCC1/ TLC1	TCC0/ TLC0	
H'B6	TCRF	TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0	タイマ F
H'B7	TCSRF	OVFH	CMFH	OVIEH	CCLRH	OVFL	CMFL	OVIEL	CCLRL	
H'B8	TCFH	TCFH7	TCFH6	TCFH5	TCFH4	TCFH3	TCFH2	TCFH1	TCFH0	
H'B9	TCFL	TCFL7	TCFL6	TCFL5	TCFL4	TCFL3	TCFL2	TCFL1	TCFL0	
H'BA	OCRFH	OCRFH7	OCRFH6	OCRFH5	OCRFH4	OCRFH3	OCRFH2	OCRFH1	OCRFH0	
H'BB	OCRFL	OCRFL7	OCRFL6	OCRFL5	OCRFL4	OCRFL3	OCRFL2	OCRFL1	OCRFL0	
H'BC	TMG	OVFH	OVFL	OVIE	IIEGS	CCLR1	CCLR0	CKS1	CKS0	タイマ G
H'BD	ICRGF	ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0	
H'BE	ICRGR	ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0	

下位 アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'BF										
H'C0	LPCR	DTS1	DTS0	CMX	SGX	SGS3	SGS2	SGS1	SGS0	LCD コントロール ドライバ
H'C1	LCR		PSW	ACT	DISP	CKS3	CKS2	CKS1	CKS0	
H'C2										
H'C3										
H'C4	AMR	CKS	TRGE			CH3	CH2	CH1	CH0	A/D 変換器
H'C5	ADRR	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0	
H'C6	ADSR	ADSF								
H'C7										
H'C8	PMR1	IRQ3	IRQ2	IRQ1	PWM	TMIG	TMOFH	TMOFL	TMOW	I/O ポート
H'C9	PMR2			POF2	NCS	IRQ0	POF1	UD	IRQ4	
H'CA	PMR3	CS	STRB	SO2	SI2	SCK2	SO1	SI1	SCK1	
H'CB	PMR4	NMOD7	NMOD6	NMOD5	NMOD4	NMOD3	NMOD2	NMOD1	NMOD0	
H'CC	PMR5	WKP ₇	WKP ₆	WKP ₅	WKP ₄	WKP ₃	WKP ₂	WKP ₁	WKP ₀	
H'CD										
H'CE										
H'CF	RLCTR							RLCT1	RLCT0	
H'D0	PWCR								PWCR0	14 ビット PWM
H'D1	PWDRU			PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0	
H'D2	PWDRL	PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0	
H'D3										
H'D4	PDR1	P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀	I/O ポート
H'D5	PDR2	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀	
H'D6	PDR3	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀	
H'D7	PDR4					P4 ₃	P4 ₂	P4 ₁	P4 ₀	
H'D8	PDR5	P5 ₇	P5 ₆	P5 ₅	P5 ₄	P5 ₃	P5 ₂	P5 ₁	P5 ₀	
H'D9	PDR6	P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀	
H'DA	PDR7	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀	
H'DB	PDR8	P8 ₇	P8 ₆	P8 ₅	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀	
H'DC	PDR9	P9 ₇	P9 ₆	P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀	
H'DD	PDRA					PA ₃	PA ₂	PA ₁	PA ₀	
H'DE	PDRB	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀	
H'DF	PDRC					PC ₃	PC ₂	PC ₁	PC ₀	
H'E0	PUCR1	PUCR1 ₇	PUCR1 ₆	PUCR1 ₅	PUCR1 ₄	PUCR1 ₃	PUCR1 ₂	PUCR1 ₁	PUCR1 ₀	I/O ポート
H'E1	PUCR3	PUCR3 ₇	PUCR3 ₆	PUCR3 ₅	PUCR3 ₄	PUCR3 ₃	PUCR3 ₂	PUCR3 ₁	PUCR3 ₀	
H'E2	PUCR5	PUCR5 ₇	PUCR5 ₆	PUCR5 ₅	PUCR5 ₄	PUCR5 ₃	PUCR5 ₂	PUCR5 ₁	PUCR5 ₀	

下位 アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'E3	PUCR6	PUCR6 ₇	PUCR6 ₆	PUCR6 ₅	PUCR6 ₄	PUCR6 ₃	PUCR6 ₂	PUCR6 ₁	PUCR6 ₀	I/Oポート
H'E4	PCR1	PCR1 ₇	PCR1 ₆	PCR1 ₅	PCR1 ₄	PCR1 ₃	PCR1 ₂	PCR1 ₁	PCR1 ₀	
H'E5	PCR2	PCR2 ₇	PCR2 ₆	PCR2 ₅	PCR2 ₄	PCR2 ₃	PCR2 ₂	PCR2 ₁	PCR2 ₀	
H'E6	PCR3	PCR3 ₇	PCR3 ₆	PCR3 ₅	PCR3 ₄	PCR3 ₃	PCR3 ₂	PCR3 ₁	PCR3 ₀	
H'E7	PCR4						PCR4 ₂	PCR4 ₁	PCR4 ₀	
H'E8	PCR5	PCR5 ₇	PCR5 ₆	PCR5 ₅	PCR5 ₄	PCR5 ₃	PCR5 ₂	PCR5 ₁	PCR5 ₀	
H'E9	PCR6	PCR6 ₇	PCR6 ₆	PCR6 ₅	PCR6 ₄	PCR6 ₃	PCR6 ₂	PCR6 ₁	PCR6 ₀	
H'EA	PCR7	PCR7 ₇	PCR7 ₆	PCR7 ₅	PCR7 ₄	PCR7 ₃	PCR7 ₂	PCR7 ₁	PCR7 ₀	
H'EB	PCR8	PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀	
H'EC	PCR9	PCR9 ₇	PCR9 ₆	PCR9 ₅	PCR9 ₄	PCR9 ₃	PCR9 ₂	PCR9 ₁	PCR9 ₀	
H'ED	PCRA					PCRA ₃	PCRA ₂	PCRA ₁	PCRA ₀	
H'EE										
H'EF										
H'F0	SYSCR1	SSBY	STS2	STS1	STS0	LSON				システム コントロール
H'F1	SYSCR2				NESEL	DTON	MSON	SA1	SA0	
H'F2	IEGR				IEG4	IEG3	IEG2	IEG1	IEG0	
H'F3	IENR1	IENTA	IENS1	IENWP	IEN4	IEN3	IEN2	IEN1	IEN0	
H'F4	IENR2	IENDT	IENAD	IENS2	IENTG	IENTFH	IENTFL	IENTC	IENTB	
H'F5										
H'F6	IRR1	IRRRTA	IRRS1		IRRI4	IRRI3	IRRI2	IRRI1	IRRI0	システム コントロール
H'F7	IRR2	IRRDT	IRRAD	IRRS2	IRRTG	IRRTFH	IRRTFL	IRRTC	IRRTB	
H'F8										
H'F9	IWPR	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0	システム コントロール
H'FA										
H'FB										
H'FC										
H'FD										
H'FE										
H'FF										

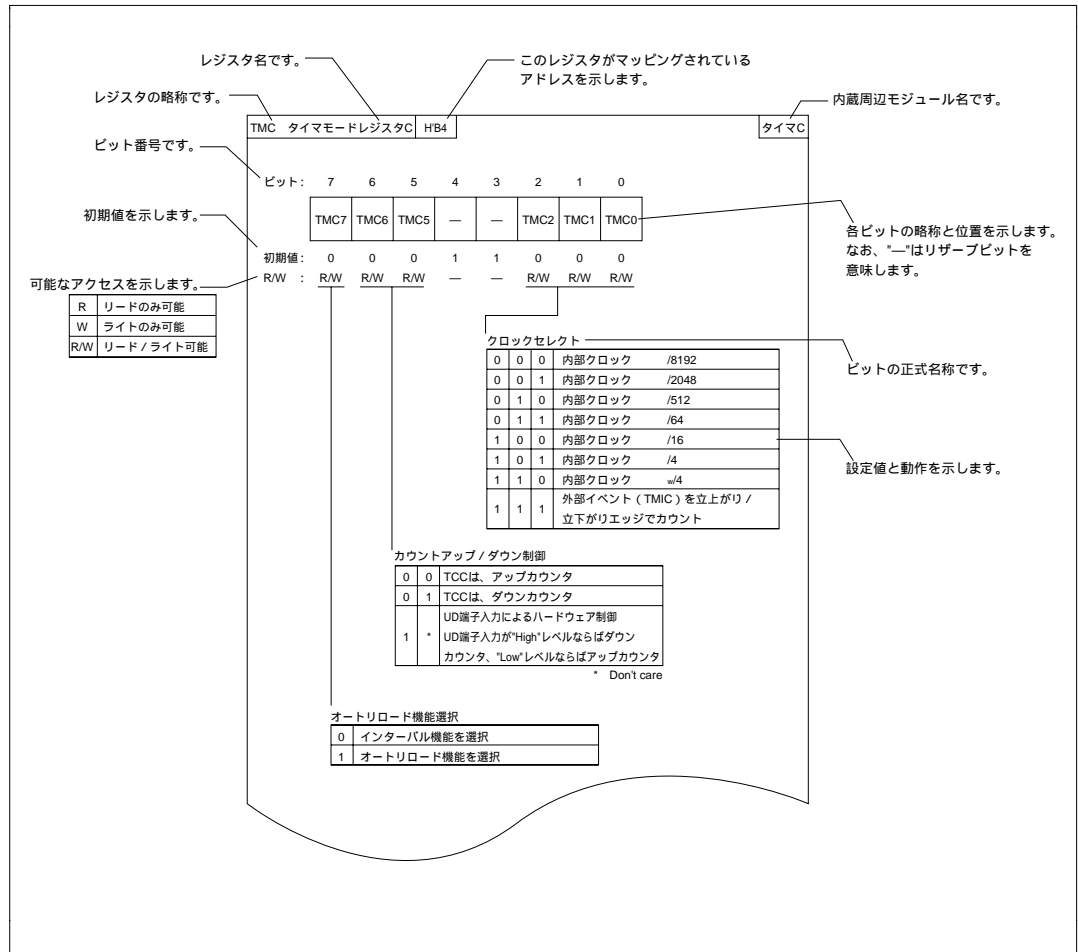
記号説明

SCI1 : シリアルコミュニケーションインタフェース 1

SCI2 : シリアルコミュニケーションインタフェース 2

SCI3 : シリアルコミュニケーションインタフェース 3

B.2 機能一覧



SCR1 シリアルコントロールレジスタ1	H'A0	SCI1																																																																																
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 10px;">SNC1</td> <td style="padding: 2px 10px;">SNC0</td> <td style="padding: 2px 10px;">—</td> <td style="padding: 2px 10px;">—</td> <td style="padding: 2px 10px;">CKS3</td> <td style="padding: 2px 10px;">CKS2</td> <td style="padding: 2px 10px;">CKS1</td> <td style="padding: 2px 10px;">CKS0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p> <div style="margin-top: 10px;"> <p style="text-align: center;">クロック選択2~0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <thead> <tr> <th rowspan="2">ビット2</th> <th rowspan="2">ビット1</th> <th rowspan="2">ビット0</th> <th rowspan="2">プリスケアラ 分周比</th> <th colspan="2">転送クロック周期</th> </tr> <tr> <th>クロック同期 = 5MHz</th> <th>クロック同期 = 2.5MHz</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>/1024</td><td>204.8μs</td><td>409.6μs</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>/256</td><td>51.2μs</td><td>102.4μs</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>/64</td><td>12.8μs</td><td>25.6μs</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>/32</td><td>6.4μs</td><td>12.8μs</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>/16</td><td>3.2μs</td><td>6.4μs</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>/8</td><td>1.6μs</td><td>3.2μs</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>/4</td><td>0.8μs</td><td>1.6μs</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>/2</td><td>—</td><td>0.8μs</td></tr> </tbody> </table> <div style="margin-top: 10px;"> <p>クロックソース選択</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 10px;">0</td> <td style="padding: 2px 10px;">クロックソースは、プリスケアラS、SCK₁端子は出力</td> </tr> <tr> <td style="padding: 2px 10px;">1</td> <td style="padding: 2px 10px;">クロックソースは、外部クロック、SCK₁端子は入力</td> </tr> </table> <div style="margin-top: 10px;"> <p>動作モード選択</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 10px;">0</td> <td style="padding: 2px 10px;">0</td> <td style="padding: 2px 10px;">8ビットクロック同期モード</td> </tr> <tr> <td style="padding: 2px 10px;">0</td> <td style="padding: 2px 10px;">1</td> <td style="padding: 2px 10px;">16ビットクロック同期モード</td> </tr> <tr> <td style="padding: 2px 10px;">1</td> <td style="padding: 2px 10px;">0</td> <td style="padding: 2px 10px;">クロック連続出力モード</td> </tr> <tr> <td style="padding: 2px 10px;">1</td> <td style="padding: 2px 10px;">1</td> <td style="padding: 2px 10px;">リザーブ</td> </tr> </table> </div> </div> </div>			SNC1	SNC0	—	—	CKS3	CKS2	CKS1	CKS0	ビット2	ビット1	ビット0	プリスケアラ 分周比	転送クロック周期		クロック同期 = 5MHz	クロック同期 = 2.5MHz	0	0	0	/1024	204.8μs	409.6μs	0	0	1	/256	51.2μs	102.4μs	0	1	0	/64	12.8μs	25.6μs	0	1	1	/32	6.4μs	12.8μs	1	0	0	/16	3.2μs	6.4μs	1	0	1	/8	1.6μs	3.2μs	1	1	0	/4	0.8μs	1.6μs	1	1	1	/2	—	0.8μs	0	クロックソースは、プリスケアラS、SCK ₁ 端子は出力	1	クロックソースは、外部クロック、SCK ₁ 端子は入力	0	0	8ビットクロック同期モード	0	1	16ビットクロック同期モード	1	0	クロック連続出力モード	1	1	リザーブ
SNC1	SNC0	—	—	CKS3	CKS2	CKS1	CKS0																																																																											
ビット2	ビット1	ビット0	プリスケアラ 分周比	転送クロック周期																																																																														
				クロック同期 = 5MHz	クロック同期 = 2.5MHz																																																																													
0	0	0	/1024	204.8μs	409.6μs																																																																													
0	0	1	/256	51.2μs	102.4μs																																																																													
0	1	0	/64	12.8μs	25.6μs																																																																													
0	1	1	/32	6.4μs	12.8μs																																																																													
1	0	0	/16	3.2μs	6.4μs																																																																													
1	0	1	/8	1.6μs	3.2μs																																																																													
1	1	0	/4	0.8μs	1.6μs																																																																													
1	1	1	/2	—	0.8μs																																																																													
0	クロックソースは、プリスケアラS、SCK ₁ 端子は出力																																																																																	
1	クロックソースは、外部クロック、SCK ₁ 端子は入力																																																																																	
0	0	8ビットクロック同期モード																																																																																
0	1	16ビットクロック同期モード																																																																																
1	0	クロック連続出力モード																																																																																
1	1	リザーブ																																																																																

SCSR1 シリアルコントロールステータスレジスタ1	H'A1	SCI1
----------------------------	------	------

ビット :	7	6	5	4	3	2	1	0
	—	SOL	ORER	—	—	—	—	STF

初期値 :	1	0	0	0	0	0	0	0
R/W :	—	R/W	R/(W)*	—	—	—	—	R/W

スタートフラグ

0	リード時	転送動作は停止
	ライト時	無効
1	リード時	転送動作中
	ライト時	転送動作を開始

オーバランエラーフラグ

0	〔クリア条件〕 "1"をリード後、"0"をライトしたとき
1	〔セット条件〕 外部クロック使用時、転送完了後もクロックが入力されたとき

拡張データビット

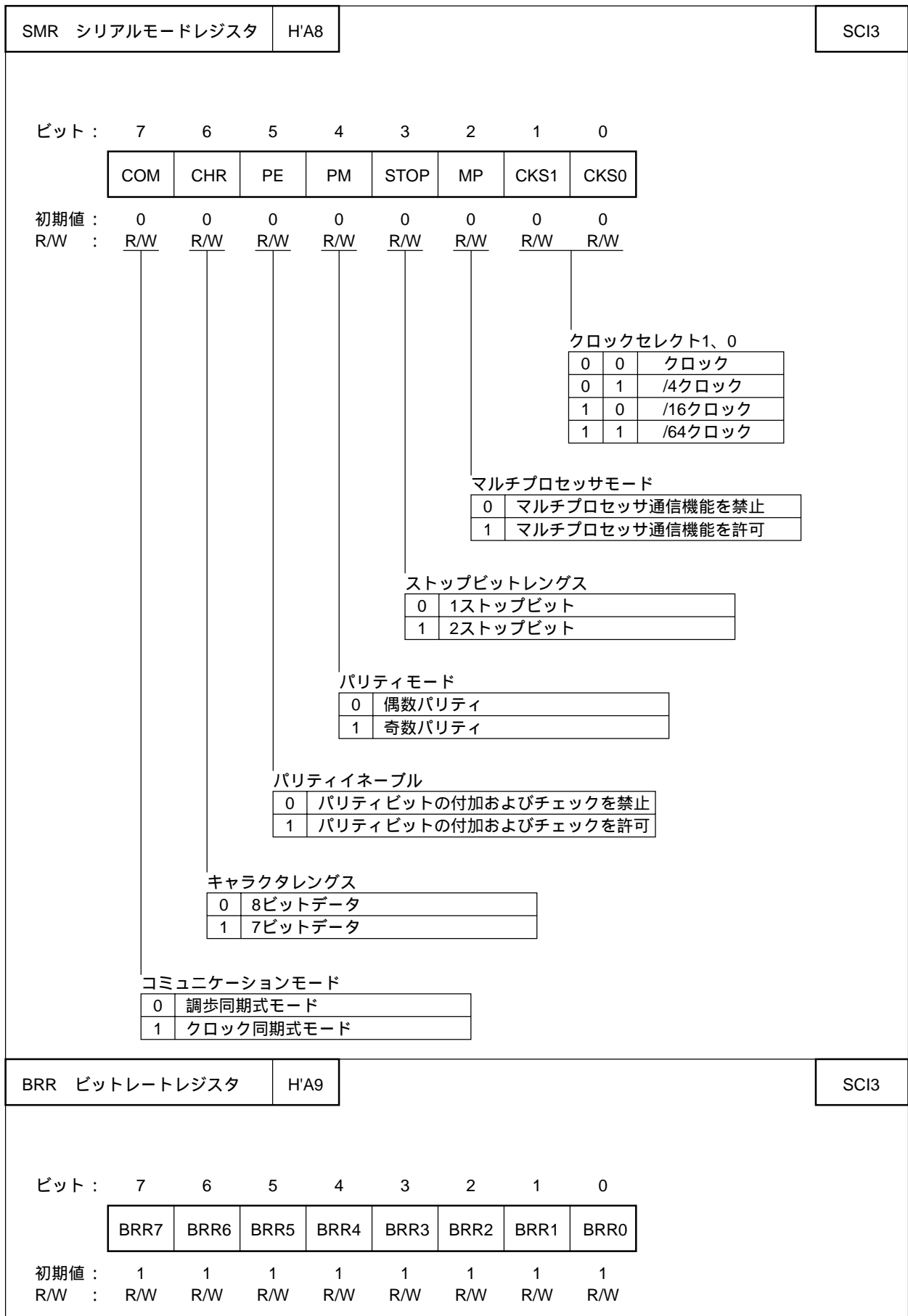
0	リード時	SO _i 端子の出力が"Low"レベル
	ライト時	SO _i 端子の出力を"Low"レベルに変更
1	リード時	SO _i 端子の出力が"High"レベル
	ライト時	SO _i 端子の出力を"High"レベルに変更

【注】 * フラグをクリアするための"0"ライトのみ可能

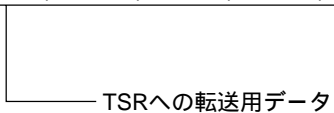
SDRU シリアルデータレジスタU		H'A2	SCI1					
ビット :	7	6	5	4	3	2	1	0
	SDRU7	SDRU6	SDRU5	SDRU4	SDRU3	SDRU2	SDRU1	SDRU0
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
送信データの設定、受信データの格納に使用 8ビット転送モード : 未使用 16ビット転送モード : データレジスタ上位8ビット								
SDRL シリアルデータレジスタL		H'A3	SCI1					
ビット :	7	6	5	4	3	2	1	0
	SDRL7	SDRL6	SDRL5	SDRL4	SDRL3	SDRL2	SDRL1	SDRL0
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
送信データの設定、受信データの格納に使用 8ビット転送モード : データレジスタ 16ビット転送モード : データレジスタ下位8ビット								
STAR 先頭アドレスレジスタ		H'A4	SCI2					
ビット :	7	6	5	4	3	2	1	0
	—	—	—	STA4	STA3	STA2	STA1	STA0
初期値 :	1	1	1	0	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W
アドレス空間H'FF80 ~ H'FF9F中の 転送開始アドレスを指定								

EDAR 終了アドレスレジスタ	H'A5		SCI2																																																																																					
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">EDA4</td><td style="width: 20px;">EDA3</td><td style="width: 20px;">EDA2</td><td style="width: 20px;">EDA1</td><td style="width: 20px;">EDA0</td> </tr> </table> <p>初期値： 1 1 1 0 0 0 0 0</p> <p>R/W : — — — R/W R/W R/W R/W R/W</p> <p style="text-align: center; margin-top: 10px;">↓</p> <p style="text-align: center;">アドレス空間H'FF80 ~ H'FF9F中の 転送終了アドレスを指定</p>				—	—	—	EDA4	EDA3	EDA2	EDA1	EDA0																																																																													
—	—	—	EDA4	EDA3	EDA2	EDA1	EDA0																																																																																	
SCR2 シリアルコントロールレジスタ	H'A6		SCI2																																																																																					
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">GAP1</td><td style="width: 20px;">GAP0</td><td style="width: 20px;">CKS2</td><td style="width: 20px;">CKS1</td><td style="width: 20px;">CKS0</td> </tr> </table> <p>初期値： 1 1 1 0 0 0 0 0</p> <p>R/W : — — — R/W R/W R/W R/W R/W</p> <div style="margin-top: 20px;"> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th colspan="3">転送クロック選択</th> <th rowspan="2">SCK₂端子</th> <th rowspan="2">クロック ソース</th> <th rowspan="2">プリスケアラ 分周比</th> <th colspan="2">転送クロック周期</th> </tr> <tr> <th>ビット2 CKS2</th> <th>ビット1 CKS1</th> <th>ビット0 CKS0</th> <th>= 5MHz</th> <th>= 2.5MHz</th> </tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td> <td rowspan="7">SCK₂出力</td> <td rowspan="7">プリスケアラS</td> <td>/256</td> <td>51.2μs</td> <td>102.4μs</td> </tr> <tr> <td>0</td><td>0</td><td>1</td> <td>/64</td> <td>12.8μs</td> <td>25.6μs</td> </tr> <tr> <td>0</td><td>1</td><td>0</td> <td>/32</td> <td>6.4μs</td> <td>12.8μs</td> </tr> <tr> <td>0</td><td>1</td><td>1</td> <td>/16</td> <td>3.2μs</td> <td>6.4μs</td> </tr> <tr> <td>1</td><td>0</td><td>0</td> <td>/8</td> <td>1.6μs</td> <td>3.2μs</td> </tr> <tr> <td>1</td><td>0</td><td>1</td> <td>/4</td> <td>0.8μs</td> <td>1.6μs</td> </tr> <tr> <td>1</td><td>1</td><td>0</td> <td>/2</td> <td>—</td> <td>0.8μs</td> </tr> <tr> <td>1</td><td>1</td><td>1</td> <td>SCK₂入力</td> <td>外部クロック</td> <td>—</td> <td>—</td> <td>—</td> </tr> </tbody> </table> </div> <div style="margin-top: 20px;"> <p>転送データ間隔選択</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">0</td><td style="width: 20px;">0</td><td>転送データ間隔なし</td> </tr> <tr> <td>0</td><td>1</td><td>8クロック分データ間隔を挿入</td> </tr> <tr> <td>1</td><td>0</td><td>24クロック分データ間隔を挿入</td> </tr> <tr> <td>1</td><td>1</td><td>56クロック分データ間隔を挿入</td> </tr> </table> </div>				—	—	—	GAP1	GAP0	CKS2	CKS1	CKS0	転送クロック選択			SCK ₂ 端子	クロック ソース	プリスケアラ 分周比	転送クロック周期		ビット2 CKS2	ビット1 CKS1	ビット0 CKS0	= 5MHz	= 2.5MHz	0	0	0	SCK ₂ 出力	プリスケアラS	/256	51.2μs	102.4μs	0	0	1	/64	12.8μs	25.6μs	0	1	0	/32	6.4μs	12.8μs	0	1	1	/16	3.2μs	6.4μs	1	0	0	/8	1.6μs	3.2μs	1	0	1	/4	0.8μs	1.6μs	1	1	0	/2	—	0.8μs	1	1	1	SCK ₂ 入力	外部クロック	—	—	—	0	0	転送データ間隔なし	0	1	8クロック分データ間隔を挿入	1	0	24クロック分データ間隔を挿入	1	1	56クロック分データ間隔を挿入
—	—	—	GAP1	GAP0	CKS2	CKS1	CKS0																																																																																	
転送クロック選択			SCK ₂ 端子	クロック ソース	プリスケアラ 分周比	転送クロック周期																																																																																		
ビット2 CKS2	ビット1 CKS1	ビット0 CKS0				= 5MHz	= 2.5MHz																																																																																	
0	0	0	SCK ₂ 出力	プリスケアラS	/256	51.2μs	102.4μs																																																																																	
0	0	1			/64	12.8μs	25.6μs																																																																																	
0	1	0			/32	6.4μs	12.8μs																																																																																	
0	1	1			/16	3.2μs	6.4μs																																																																																	
1	0	0			/8	1.6μs	3.2μs																																																																																	
1	0	1			/4	0.8μs	1.6μs																																																																																	
1	1	0			/2	—	0.8μs																																																																																	
1	1	1	SCK ₂ 入力	外部クロック	—	—	—																																																																																	
0	0	転送データ間隔なし																																																																																						
0	1	8クロック分データ間隔を挿入																																																																																						
1	0	24クロック分データ間隔を挿入																																																																																						
1	1	56クロック分データ間隔を挿入																																																																																						

SCSR2 シリアルコントロールステータスレジスタ2		H'A7						SCI2																																						
ビット :	7	6	5	4	3	2	1	0																																						
	—	—	—	SOL	ORER	WT	ABT	STF																																						
初期値 :	1	1	1	0	0	0	0	0																																						
R/W :	—	—	—	R/W	R/(W)*	R/(W)*	R/(W)*	R/W																																						
<p>スタートフラグ</p> <table border="1"> <tr> <td rowspan="2">0</td> <td>リード時</td> <td>転送動作は停止</td> </tr> <tr> <td>ライト時</td> <td>転送動作を中止</td> </tr> <tr> <td rowspan="2">1</td> <td>リード時</td> <td>転送動作中、またはCS入力待機中</td> </tr> <tr> <td>ライト時</td> <td>転送動作を開始</td> </tr> </table> <p>アポートフラグ</p> <table border="1"> <tr> <td rowspan="2">0</td> <td>[クリア条件]</td> </tr> <tr> <td>"1"をリード後、"0"をライトしたとき</td> </tr> <tr> <td rowspan="2">1</td> <td>[セット条件]</td> </tr> <tr> <td>転送中にCS端子が"High"レベルになったとき</td> </tr> </table> <p>ウェイトフラグ</p> <table border="1"> <tr> <td rowspan="2">0</td> <td>[クリア条件]</td> </tr> <tr> <td>"1"をリード後、"0"をライトしたとき</td> </tr> <tr> <td rowspan="2">1</td> <td>[セット条件]</td> </tr> <tr> <td>転送中とCS入力待機中にシリアルデータバッファ (32バイト) へのリード / ライト命令が行われたとき</td> </tr> </table> <p>オーバランエラーフラグ</p> <table border="1"> <tr> <td rowspan="2">0</td> <td>[クリア条件]</td> </tr> <tr> <td>"1"をリード後、"0"をライトしたとき</td> </tr> <tr> <td rowspan="2">1</td> <td>[セット条件]</td> </tr> <tr> <td>外部クロック使用時、転送完了後もクロックが入力されたとき</td> </tr> </table> <p>拡張データビット</p> <table border="1"> <tr> <td rowspan="2">0</td> <td>リード時</td> <td>SO₂端子の出力が"Low"レベル</td> </tr> <tr> <td>ライト時</td> <td>SO₂端子の出力を"Low"レベルに変更</td> </tr> <tr> <td rowspan="2">1</td> <td>リード時</td> <td>SO₂端子の出力が"High"レベル</td> </tr> <tr> <td>ライト時</td> <td>SO₂端子の出力を"High"レベルに変更</td> </tr> </table>									0	リード時	転送動作は停止	ライト時	転送動作を中止	1	リード時	転送動作中、またはCS入力待機中	ライト時	転送動作を開始	0	[クリア条件]	"1"をリード後、"0"をライトしたとき	1	[セット条件]	転送中にCS端子が"High"レベルになったとき	0	[クリア条件]	"1"をリード後、"0"をライトしたとき	1	[セット条件]	転送中とCS入力待機中にシリアルデータバッファ (32バイト) へのリード / ライト命令が行われたとき	0	[クリア条件]	"1"をリード後、"0"をライトしたとき	1	[セット条件]	外部クロック使用時、転送完了後もクロックが入力されたとき	0	リード時	SO ₂ 端子の出力が"Low"レベル	ライト時	SO ₂ 端子の出力を"Low"レベルに変更	1	リード時	SO ₂ 端子の出力が"High"レベル	ライト時	SO ₂ 端子の出力を"High"レベルに変更
0	リード時	転送動作は停止																																												
	ライト時	転送動作を中止																																												
1	リード時	転送動作中、またはCS入力待機中																																												
	ライト時	転送動作を開始																																												
0	[クリア条件]																																													
	"1"をリード後、"0"をライトしたとき																																													
1	[セット条件]																																													
	転送中にCS端子が"High"レベルになったとき																																													
0	[クリア条件]																																													
	"1"をリード後、"0"をライトしたとき																																													
1	[セット条件]																																													
	転送中とCS入力待機中にシリアルデータバッファ (32バイト) へのリード / ライト命令が行われたとき																																													
0	[クリア条件]																																													
	"1"をリード後、"0"をライトしたとき																																													
1	[セット条件]																																													
	外部クロック使用時、転送完了後もクロックが入力されたとき																																													
0	リード時	SO ₂ 端子の出力が"Low"レベル																																												
	ライト時	SO ₂ 端子の出力を"Low"レベルに変更																																												
1	リード時	SO ₂ 端子の出力が"High"レベル																																												
	ライト時	SO ₂ 端子の出力を"High"レベルに変更																																												
<p>【注】 * フラグをクリアするための"0"ライトのみ可能</p>																																														



SCR3 シリアルコントロールレジスタ3				H'AA				SCI3							
ビット :								7	6	5	4	3	2	1	0
TIE		RIE		TE		RE		MPIE		TEIE		CKE1		CKE0	
初期値 :		0		0		0		0		0		0		0	
R/W :		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
クロックイネーブル															
ビット1		ビット0		説 明											
CKE1		CKE0		コミュニケーションモード			クロックソース			SCK ₃ 端子機能					
0		0		調歩同期式			内部クロック			入出力ポート					
				クロック同期式			内部クロック			同期クロック出力					
0		1		調歩同期式			内部クロック			クロック出力					
				クロック同期式			リザーブ (本組み合わせは指定しない)								
1		0		調歩同期式			外部クロック			クロック出力					
				クロック同期式			外部クロック			同期クロック入力					
1		1		調歩同期式			リザーブ (本組み合わせは指定しない)								
				クロック同期式			リザーブ (本組み合わせは指定しない)								
トランスミットエンドインタラプトイネーブル															
0		送信終了割込み要求 (TEI) を禁止													
1		送信終了割込み要求 (TEI) を許可													
マルチプロセッサインタラプトイネーブル															
0		マルチプロセッサ割込み要求を禁止 (通常の受信動作) 〔クリア条件〕 マルチプロセッサビットが"1"のデータを受信したとき													
1		マルチプロセッサ割込み要求を許可 マルチプロセッサビットが"1"のデータを受け取るまで受信割込み 要求 (RXI)、受信エラー割込み要求 (ERI)、および、シリアル ステータスレジスタ (SSR) のRDRF、FER、OERの各フラグの セットを禁止													
レーシブイネーブル															
0		受信動作を禁止 (RXD端子は入出力ポート)													
1		受信動作を許可 (RXD端子はレーシブデータ端子)													
トランスミットイネーブル															
0		送信動作を禁止 (TXD端子は入出力ポート)													
1		送信動作を許可 (TXD端子はトランスミットデータ端子)													
レーシブインタラプトイネーブル															
0		受信データフル割込み要求 (RXI)、および受信エラー割込み要求 (ERI) を禁止													
1		受信データフル割込み要求 (RXI)、および受信エラー割込み要求 (ERI) を許可													
トランスミットインタラプトイネーブル															
0		送信データエンpty割込み要求 (TXI) の禁止													
1		送信データエンpty割込み要求 (TXI) の許可													

TDR トランスミットデータレジスタ	H'AB		SCI3								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 10px;">TDR7</td> <td style="padding: 2px 10px;">TDR6</td> <td style="padding: 2px 10px;">TDR5</td> <td style="padding: 2px 10px;">TDR4</td> <td style="padding: 2px 10px;">TDR3</td> <td style="padding: 2px 10px;">TDR2</td> <td style="padding: 2px 10px;">TDR1</td> <td style="padding: 2px 10px;">TDR0</td> </tr> </table> <p>初期値： 1 1 1 1 1 1 1 1</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p> <div style="margin-left: 100px; margin-top: 10px;">  <p style="margin-left: 100px;">TSRへの転送用データ</p> </div>				TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0				

SSR シリアルステータスレジスタ		H'AC						SCI3	
ビット : 7 6 5 4 3 2 1 0									
TDRE		RDRF		OER		FER		PER	
TEND		MPBR		MPBT					
初期値 : 1 0 0 0 0 1 0 0									
R/W : R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R R R/W									
								マルチプロセッサビットトランスファ	
								0 マルチプロセッサビット"0"を送信	
								1 マルチプロセッサビット"1"を送信	
								マルチプロセッサビットレシーブ	
								0 マルチプロセッサビットが"0"のデータを受信	
								1 マルチプロセッサビットが"1"のデータを受信	
								トランスミットエンド	
								0 送信中 〔クリア条件〕 (1) TDRE = "1"の状態をリードした後、TDREに"0"をライトしたとき (2) 命令でTDRにデータをライトしたとき	
								1 送信終了 〔セット条件〕 (1) シリアルコントロールレジスタ3 (SCR3) のTEが"0"のとき (2) 送信キャラクタ最後尾のビットの送信時に、TDREが"1"であったとき	
								パリティエラー	
								0 受信中、または正常に受信完了 〔クリア条件〕 PER = "1"の状態をリードした後、"0"をライトしたとき	
								1 受信時にパリティエラー発生 〔セット条件〕 受信時に受信データとパリティビットをあわせた"1"の数がシリアルモードレジスタ (SMR) のパリティモード (PM) で設定したパリティと一致しなかったとき	
								フレーミングエラー	
								0 受信中、または正常に受信完了 〔クリア条件〕 FER = "1"の状態をリードした後、"0"をライトしたとき	
								1 受信時にフレーミングエラー発生 〔セット条件〕 受信終了時に受信データの最後尾のストップビットが"1"であるかどうかをチェックし、ストップビットが"0"であったとき	
								オーバランエラー	
								0 受信中、または受信完了 〔クリア条件〕 OER = "1"の状態をリードした後、"0"をライトしたとき	
								1 受信時にオーバランエラー発生 〔セット条件〕 RDRFが"1"の状態での次のシリアル受信を完了したとき	
								レシーブデータレジスタフル	
								0 RDRに受信データ未格納 〔クリア条件〕 (1) RDRF = "1"の状態をリードした後、"0"をライトしたとき (2) 命令でRDRのデータをリードしたとき	
								1 RDRに受信データ格納 〔セット条件〕 受信が正常終了し、RSRからRDRへ受信データが転送されたとき	
								トランスミットデータレジスタempty	
								0 TDRにライトされた送信データがTSRに転送されていない 〔クリア条件〕 (1) TDRE = "1"の状態をリードした後、"0"をライトしたとき (2) 命令でTDRへデータをライトしたとき	
								1 TDRに送信データがライトされていない、またはTDRにライトされた送信データがTSRに転送された 〔セット条件〕 (1) シリアルコントロールレジスタ3 (SCR3) のTEが"0"のとき (2) TDRからTSRにデータ転送が行われたとき	
【注】 * フラグをクリアするための"0"ライトのみ可能									

RDR レシーブデータレジスタ	H'AD		SCI3																																																		
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">RDR7</td> <td style="padding: 2px 5px;">RDR6</td> <td style="padding: 2px 5px;">RDR5</td> <td style="padding: 2px 5px;">RDR4</td> <td style="padding: 2px 5px;">RDR3</td> <td style="padding: 2px 5px;">RDR2</td> <td style="padding: 2px 5px;">RDR1</td> <td style="padding: 2px 5px;">RDR0</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W : R R R R R R R R</p>				RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0																																										
RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0																																														
TMA タイマモードレジスタA	H'B0		タイマA																																																		
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">TMA7</td> <td style="padding: 2px 5px;">TMA6</td> <td style="padding: 2px 5px;">TMA5</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">TMA3</td> <td style="padding: 2px 5px;">TMA2</td> <td style="padding: 2px 5px;">TMA1</td> <td style="padding: 2px 5px;">TMA0</td> </tr> </table> <p>初期値： 0 0 0 1 0 0 0 0</p> <p>R/W : R/W R/W R/W — R/W R/W R/W R/W</p>				TMA7	TMA6	TMA5	—	TMA3	TMA2	TMA1	TMA0																																										
TMA7	TMA6	TMA5	—	TMA3	TMA2	TMA1	TMA0																																														
<p>内部クロックセレクト</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 5%;">TMA3</th> <th style="width: 5%;">TMA2</th> <th style="width: 5%;">TMA1</th> <th style="width: 5%;">TMA0</th> <th style="width: 40%;">プリスケアラ分周比又はオーバフロー周期</th> <th style="width: 20%;">機 能</th> </tr> </thead> <tbody> <tr> <td rowspan="8" style="text-align: center; vertical-align: middle;">0</td> <td rowspan="4" style="text-align: center; vertical-align: middle;">0</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td>PSS /8192</td> <td rowspan="8" style="text-align: center; vertical-align: middle;">インターバル</td> </tr> <tr> <td style="text-align: center;">1</td> <td>PSS /4096</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td>PSS /2048</td> </tr> <tr> <td style="text-align: center;">1</td> <td>PSS /512</td> </tr> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">1</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td>PSS /256</td> </tr> <tr> <td style="text-align: center;">1</td> <td>PSS /128</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td>PSS /32</td> </tr> <tr> <td style="text-align: center;">1</td> <td>PSS /8</td> </tr> <tr> <td rowspan="8" style="text-align: center; vertical-align: middle;">1</td> <td rowspan="4" style="text-align: center; vertical-align: middle;">0</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td>PSW 1s</td> <td rowspan="8" style="text-align: center; vertical-align: middle;">時計用タイムベース</td> </tr> <tr> <td style="text-align: center;">1</td> <td>PSW 0.5s</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td>PSW 0.25s</td> </tr> <tr> <td style="text-align: center;">1</td> <td>PSW 0.03125s</td> </tr> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">1</td> <td rowspan="4" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td rowspan="4" style="text-align: center; vertical-align: middle;">PSW、TCAリセット</td> </tr> <tr> <td style="text-align: center;">1</td> </tr> <tr> <td style="text-align: center;">0</td> </tr> <tr> <td style="text-align: center;">1</td> </tr> </tbody> </table>				TMA3	TMA2	TMA1	TMA0	プリスケアラ分周比又はオーバフロー周期	機 能	0	0	0	0	PSS /8192	インターバル	1	PSS /4096	1	0	PSS /2048	1	PSS /512	1	0	0	PSS /256	1	PSS /128	1	0	PSS /32	1	PSS /8	1	0	0	0	PSW 1s	時計用タイムベース	1	PSW 0.5s	1	0	PSW 0.25s	1	PSW 0.03125s	1	1	0	PSW、TCAリセット	1	0	1
TMA3	TMA2	TMA1	TMA0	プリスケアラ分周比又はオーバフロー周期	機 能																																																
0	0	0	0	PSS /8192	インターバル																																																
			1	PSS /4096																																																	
		1	0	PSS /2048																																																	
			1	PSS /512																																																	
	1	0	0	PSS /256																																																	
			1	PSS /128																																																	
		1	0	PSS /32																																																	
			1	PSS /8																																																	
1	0	0	0	PSW 1s	時計用タイムベース																																																
			1	PSW 0.5s																																																	
		1	0	PSW 0.25s																																																	
			1	PSW 0.03125s																																																	
	1	1	0	PSW、TCAリセット																																																	
			1																																																		
			0																																																		
			1																																																		
<p>クロック出力セレクト</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tbody> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">0</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td>/32</td> </tr> <tr> <td style="text-align: center;">1</td> <td>/16</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td>/8</td> </tr> <tr> <td style="text-align: center;">1</td> <td>/4</td> </tr> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">1</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td>w/32</td> </tr> <tr> <td style="text-align: center;">1</td> <td>w/16</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td>w/8</td> </tr> <tr> <td style="text-align: center;">1</td> <td>w/4</td> </tr> </tbody> </table>				0	0	0	/32	1	/16	1	0	/8	1	/4	1	0	0	w/32	1	w/16	1	0	w/8	1	w/4																												
0	0	0	/32																																																		
		1	/16																																																		
	1	0	/8																																																		
		1	/4																																																		
1	0	0	w/32																																																		
		1	w/16																																																		
	1	0	w/8																																																		
		1	w/4																																																		

TCA タイマカウンタA	H'B1		タイマA								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">TCA7</td> <td style="padding: 2px 5px;">TCA6</td> <td style="padding: 2px 5px;">TCA5</td> <td style="padding: 2px 5px;">TCA4</td> <td style="padding: 2px 5px;">TCA3</td> <td style="padding: 2px 5px;">TCA2</td> <td style="padding: 2px 5px;">TCA1</td> <td style="padding: 2px 5px;">TCA0</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W : R R R R R R R R</p> <p style="text-align: center; margin-top: 10px;">↓ カウント値</p>				TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0				

TMB タイマモードレジスタB	H'B2		タイマB																																																				
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">TMB7</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">TMB2</td> <td style="padding: 2px 5px;">TMB1</td> <td style="padding: 2px 5px;">TMB0</td> </tr> </table> <p>初期値： 0 1 1 1 1 0 0 0</p> <p>R/W : R/W — — — — R/W R/W R/W</p> <div style="margin-top: 20px;"> <p style="text-align: center;">クロックセレクト</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr><td>0</td><td>0</td><td>0</td><td>内部クロック</td><td>/8192</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>内部クロック</td><td>/2048</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>内部クロック</td><td>/512</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>内部クロック</td><td>/256</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>内部クロック</td><td>/64</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>内部クロック</td><td>/16</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>内部クロック</td><td>/4</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>外部イベント (TMIB) : 立上がり / 立下がり</td><td>エッジでカウント</td></tr> </table> </div> <div style="margin-top: 20px;"> <p>オートリロード機能選択</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr><td>0</td><td>インターバル機能を選択</td></tr> <tr><td>1</td><td>オートリロード機能を選択</td></tr> </table> </div>				TMB7	—	—	—	—	TMB2	TMB1	TMB0	0	0	0	内部クロック	/8192	0	0	1	内部クロック	/2048	0	1	0	内部クロック	/512	0	1	1	内部クロック	/256	1	0	0	内部クロック	/64	1	0	1	内部クロック	/16	1	1	0	内部クロック	/4	1	1	1	外部イベント (TMIB) : 立上がり / 立下がり	エッジでカウント	0	インターバル機能を選択	1	オートリロード機能を選択
TMB7	—	—	—	—	TMB2	TMB1	TMB0																																																
0	0	0	内部クロック	/8192																																																			
0	0	1	内部クロック	/2048																																																			
0	1	0	内部クロック	/512																																																			
0	1	1	内部クロック	/256																																																			
1	0	0	内部クロック	/64																																																			
1	0	1	内部クロック	/16																																																			
1	1	0	内部クロック	/4																																																			
1	1	1	外部イベント (TMIB) : 立上がり / 立下がり	エッジでカウント																																																			
0	インターバル機能を選択																																																						
1	オートリロード機能を選択																																																						

TMC タイマモードレジスタC	H'B4		タイマC																																																													
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width: 10%;">TMC7</td> <td style="width: 10%;">TMC6</td> <td style="width: 10%;">TMC5</td> <td style="width: 10%;">—</td> <td style="width: 10%;">—</td> <td style="width: 10%;">TMC2</td> <td style="width: 10%;">TMC1</td> <td style="width: 10%;">TMC0</td> </tr> </table> <p>初期値： 0 0 0 1 1 0 0 0</p> <p>R/W： R/W R/W R/W — — R/W R/W R/W</p> <div style="margin-left: 200px;"> <p>クロックセレクト</p> <table border="1" style="border-collapse: collapse;"> <tr><td>0</td><td>0</td><td>0</td><td>内部クロック</td><td>/8192</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>内部クロック</td><td>/2048</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>内部クロック</td><td>/512</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>内部クロック</td><td>/64</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>内部クロック</td><td>/16</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>内部クロック</td><td>/4</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>内部クロック</td><td>w/4</td></tr> <tr><td>1</td><td>1</td><td>1</td><td colspan="2">外部イベント (TMC) : 立上がり / 立下がりエッジでカウント</td></tr> </table> <p style="margin-left: 100px;">カウンタアップ/ダウン制御</p> <table border="1" style="border-collapse: collapse;"> <tr><td>0</td><td>0</td><td>TCCは、アップカウンタ</td></tr> <tr><td>0</td><td>1</td><td>TCCは、ダウンカウンタ</td></tr> <tr><td>1</td><td>*</td><td>TCCのアップ/ダウンは、UD端子入力によるハードウェア制御 UD端子入力が"High"レベルならばダウンカウンタ、"Low"レベルならばアップカウンタ</td></tr> </table> <p style="margin-left: 150px;">* Don't care</p> <p style="margin-left: 100px;">オートリロード機能選択</p> <table border="1" style="border-collapse: collapse;"> <tr><td>0</td><td>インターバル機能を選択</td></tr> <tr><td>1</td><td>オートリロード機能を選択</td></tr> </table> </div>				TMC7	TMC6	TMC5	—	—	TMC2	TMC1	TMC0	0	0	0	内部クロック	/8192	0	0	1	内部クロック	/2048	0	1	0	内部クロック	/512	0	1	1	内部クロック	/64	1	0	0	内部クロック	/16	1	0	1	内部クロック	/4	1	1	0	内部クロック	w/4	1	1	1	外部イベント (TMC) : 立上がり / 立下がりエッジでカウント		0	0	TCCは、アップカウンタ	0	1	TCCは、ダウンカウンタ	1	*	TCCのアップ/ダウンは、UD端子入力によるハードウェア制御 UD端子入力が"High"レベルならばダウンカウンタ、"Low"レベルならばアップカウンタ	0	インターバル機能を選択	1	オートリロード機能を選択
TMC7	TMC6	TMC5	—	—	TMC2	TMC1	TMC0																																																									
0	0	0	内部クロック	/8192																																																												
0	0	1	内部クロック	/2048																																																												
0	1	0	内部クロック	/512																																																												
0	1	1	内部クロック	/64																																																												
1	0	0	内部クロック	/16																																																												
1	0	1	内部クロック	/4																																																												
1	1	0	内部クロック	w/4																																																												
1	1	1	外部イベント (TMC) : 立上がり / 立下がりエッジでカウント																																																													
0	0	TCCは、アップカウンタ																																																														
0	1	TCCは、ダウンカウンタ																																																														
1	*	TCCのアップ/ダウンは、UD端子入力によるハードウェア制御 UD端子入力が"High"レベルならばダウンカウンタ、"Low"レベルならばアップカウンタ																																																														
0	インターバル機能を選択																																																															
1	オートリロード機能を選択																																																															
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width: 10%;">TCC7</td> <td style="width: 10%;">TCC6</td> <td style="width: 10%;">TCC5</td> <td style="width: 10%;">TCC4</td> <td style="width: 10%;">TCC3</td> <td style="width: 10%;">TCC2</td> <td style="width: 10%;">TCC1</td> <td style="width: 10%;">TCC0</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W： R R R R R R R R</p> <div style="margin-left: 200px;"> <p>カウント値</p> </div>			TCC7	TCC6	TCC5	TCC4	TCC3	TCC2	TCC1	TCC0	タイマC																																																					
TCC7	TCC6	TCC5	TCC4	TCC3	TCC2	TCC1	TCC0																																																									

TLC タイムロードレジスタC	H'B5		タイマC
-----------------	------	--	------

ビット : 7 6 5 4 3 2 1 0

TLC7	TLC6	TLC5	TLC4	TLC3	TLC2	TLC1	TLC0
------	------	------	------	------	------	------	------

初期値 : 0 0 0 0 0 0 0 0
R/W : W W W W W W W W

リロード値設定

TCRF タイマコントロールレジスタF	H'B6		タイマF
---------------------	------	--	------

ビット : 7 6 5 4 3 2 1 0

TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0
------	-------	-------	-------	------	-------	-------	-------

初期値 : 0 0 0 0 0 0 0 0
R/W : W W W W W W W W

クロックセレクトL

0	*	*	外部イベント (TMIF) の立上がり / 立下がりエッジでカウント
1	0	0	内部クロック /32
1	0	1	内部クロック /16
1	1	0	内部クロック /4
1	1	1	内部クロック /2

トグルアウトブットレベルL

0	"Low"レベルに設定
1	"High"レベルに設定

クロックセレクトH

0	*	*	16ビットモードとなり、TCFLのオーバフロー信号でカウント
1	0	0	内部クロック /32
1	0	1	内部クロック /16
1	1	0	内部クロック /4
1	1	1	内部クロック /2

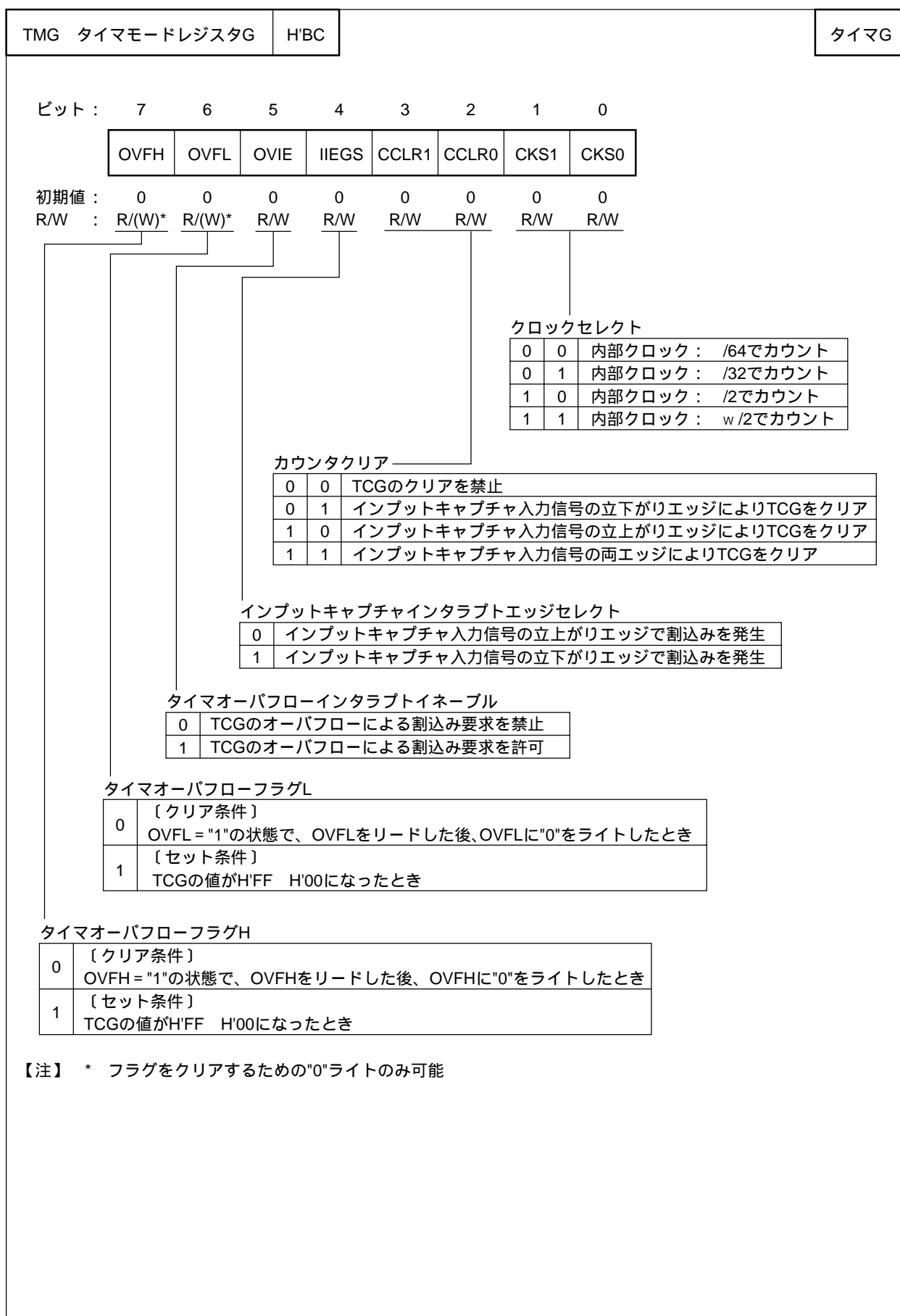
* Don't care

トグルアウトブットレベルH

0	"Low"レベルに設定
1	"High"レベルに設定

TCSRFB タイマコントロールステータスレジスタF	H'B7	タイムF																																								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="width: 25px; text-align: center;">OVFH</td> <td style="width: 25px; text-align: center;">CMFH</td> <td style="width: 25px; text-align: center;">OVIEH</td> <td style="width: 25px; text-align: center;">CCLRH</td> <td style="width: 25px; text-align: center;">OVFL</td> <td style="width: 25px; text-align: center;">CMFL</td> <td style="width: 25px; text-align: center;">OVIEL</td> <td style="width: 25px; text-align: center;">CCLRL</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W : R/(W)* R/(W)* R/W R/W R/(W)* R/(W)* R/W R/W</p> <div style="margin-top: 20px;"> <p style="text-align: center;">カウンタクリアL</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td>コンペアマッチによるTCFLのクリアを禁止</td> </tr> <tr> <td style="width: 20px; text-align: center;">1</td> <td>コンペアマッチによるTCFLのクリアを許可</td> </tr> </table> <p style="text-align: center;">タイマオーバーフローインタラプトイネーブルL</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td>TCFLのオーバーフローによる割込み要求を禁止</td> </tr> <tr> <td style="width: 20px; text-align: center;">1</td> <td>TCFLのオーバーフローによる割込み要求を許可</td> </tr> </table> <p style="text-align: center;">コンペアマッチフラグL</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td>〔クリア条件〕 CMFL = "1"の状態、CMFLをリードした後、CMFLに"0"をライトしたとき</td> </tr> <tr> <td style="width: 20px; text-align: center;">1</td> <td>〔セット条件〕 TCFLの値とOCRFLの値が、コンペアマッチしたとき</td> </tr> </table> <p style="text-align: center;">タイマオーバーフローL</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td>〔クリア条件〕 OVFL = "1"の状態、OVFLをリードした後、OVFLに"0"をライトしたとき</td> </tr> <tr> <td style="width: 20px; text-align: center;">1</td> <td>〔セット条件〕 TCFLの値が、H'FF H'00になったとき</td> </tr> </table> <p style="text-align: center;">カウンタクリアH</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td>16ビットモード:コンペアマッチによるTCFのクリアを禁止 8ビットモード:コンペアマッチによるTCFHのクリアを禁止</td> </tr> <tr> <td style="width: 20px; text-align: center;">1</td> <td>16ビットモード:コンペアマッチによるTCFのクリアを許可 8ビットモード:コンペアマッチによるTCFHのクリアを許可</td> </tr> </table> <p style="text-align: center;">タイマオーバーフローインタラプトイネーブルH</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td>TCFHのオーバーフローによる割込み要求を禁止</td> </tr> <tr> <td style="width: 20px; text-align: center;">1</td> <td>TCFHのオーバーフローによる割込み要求を許可</td> </tr> </table> <p style="text-align: center;">コンペアマッチフラグH</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td>〔クリア条件〕 CMFH = "1"の状態、CMFHをリードした後、CMFHに"0"をライトしたとき</td> </tr> <tr> <td style="width: 20px; text-align: center;">1</td> <td>〔セット条件〕 TCFHの値とOCRFHの値が、コンペアマッチしたとき</td> </tr> </table> <p style="text-align: center;">タイマオーバーフローフラグH</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td>〔クリア条件〕 OVFH = "1"の状態、OVFHをリードした後、OVFHに"0"をライトしたとき</td> </tr> <tr> <td style="width: 20px; text-align: center;">1</td> <td>〔セット条件〕 TCFHの値が、H'FF H'00になったとき</td> </tr> </table> </div>			OVFH	CMFH	OVIEH	CCLRH	OVFL	CMFL	OVIEL	CCLRL	0	コンペアマッチによるTCFLのクリアを禁止	1	コンペアマッチによるTCFLのクリアを許可	0	TCFLのオーバーフローによる割込み要求を禁止	1	TCFLのオーバーフローによる割込み要求を許可	0	〔クリア条件〕 CMFL = "1"の状態、CMFLをリードした後、CMFLに"0"をライトしたとき	1	〔セット条件〕 TCFLの値とOCRFLの値が、コンペアマッチしたとき	0	〔クリア条件〕 OVFL = "1"の状態、OVFLをリードした後、OVFLに"0"をライトしたとき	1	〔セット条件〕 TCFLの値が、H'FF H'00になったとき	0	16ビットモード:コンペアマッチによるTCFのクリアを禁止 8ビットモード:コンペアマッチによるTCFHのクリアを禁止	1	16ビットモード:コンペアマッチによるTCFのクリアを許可 8ビットモード:コンペアマッチによるTCFHのクリアを許可	0	TCFHのオーバーフローによる割込み要求を禁止	1	TCFHのオーバーフローによる割込み要求を許可	0	〔クリア条件〕 CMFH = "1"の状態、CMFHをリードした後、CMFHに"0"をライトしたとき	1	〔セット条件〕 TCFHの値とOCRFHの値が、コンペアマッチしたとき	0	〔クリア条件〕 OVFH = "1"の状態、OVFHをリードした後、OVFHに"0"をライトしたとき	1	〔セット条件〕 TCFHの値が、H'FF H'00になったとき
OVFH	CMFH	OVIEH	CCLRH	OVFL	CMFL	OVIEL	CCLRL																																			
0	コンペアマッチによるTCFLのクリアを禁止																																									
1	コンペアマッチによるTCFLのクリアを許可																																									
0	TCFLのオーバーフローによる割込み要求を禁止																																									
1	TCFLのオーバーフローによる割込み要求を許可																																									
0	〔クリア条件〕 CMFL = "1"の状態、CMFLをリードした後、CMFLに"0"をライトしたとき																																									
1	〔セット条件〕 TCFLの値とOCRFLの値が、コンペアマッチしたとき																																									
0	〔クリア条件〕 OVFL = "1"の状態、OVFLをリードした後、OVFLに"0"をライトしたとき																																									
1	〔セット条件〕 TCFLの値が、H'FF H'00になったとき																																									
0	16ビットモード:コンペアマッチによるTCFのクリアを禁止 8ビットモード:コンペアマッチによるTCFHのクリアを禁止																																									
1	16ビットモード:コンペアマッチによるTCFのクリアを許可 8ビットモード:コンペアマッチによるTCFHのクリアを許可																																									
0	TCFHのオーバーフローによる割込み要求を禁止																																									
1	TCFHのオーバーフローによる割込み要求を許可																																									
0	〔クリア条件〕 CMFH = "1"の状態、CMFHをリードした後、CMFHに"0"をライトしたとき																																									
1	〔セット条件〕 TCFHの値とOCRFHの値が、コンペアマッチしたとき																																									
0	〔クリア条件〕 OVFH = "1"の状態、OVFHをリードした後、OVFHに"0"をライトしたとき																																									
1	〔セット条件〕 TCFHの値が、H'FF H'00になったとき																																									
<p>【注】 * フラグをクリアするための"0"ライトのみ可能</p>																																										

TCFH 8ビットタイマカウンタFH	H'B8		タイムF								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; padding: 2px 5px;">TCFH7</td> <td style="border: 1px solid black; padding: 2px 5px;">TCFH6</td> <td style="border: 1px solid black; padding: 2px 5px;">TCFH5</td> <td style="border: 1px solid black; padding: 2px 5px;">TCFH4</td> <td style="border: 1px solid black; padding: 2px 5px;">TCFH3</td> <td style="border: 1px solid black; padding: 2px 5px;">TCFH2</td> <td style="border: 1px solid black; padding: 2px 5px;">TCFH1</td> <td style="border: 1px solid black; padding: 2px 5px;">TCFH0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u></p> <p style="text-align: center;"> </p> <p style="text-align: center;">カウント値</p>				TCFH7	TCFH6	TCFH5	TCFH4	TCFH3	TCFH2	TCFH1	TCFH0
TCFH7	TCFH6	TCFH5	TCFH4	TCFH3	TCFH2	TCFH1	TCFH0				
TCFL 8ビットタイマカウンタFL	H'B9		タイムF								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; padding: 2px 5px;">TCFL7</td> <td style="border: 1px solid black; padding: 2px 5px;">TCFL6</td> <td style="border: 1px solid black; padding: 2px 5px;">TCFL5</td> <td style="border: 1px solid black; padding: 2px 5px;">TCFL4</td> <td style="border: 1px solid black; padding: 2px 5px;">TCFL3</td> <td style="border: 1px solid black; padding: 2px 5px;">TCFL2</td> <td style="border: 1px solid black; padding: 2px 5px;">TCFL1</td> <td style="border: 1px solid black; padding: 2px 5px;">TCFL0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u></p> <p style="text-align: center;"> </p> <p style="text-align: center;">カウント値</p>				TCFL7	TCFL6	TCFL5	TCFL4	TCFL3	TCFL2	TCFL1	TCFL0
TCFL7	TCFL6	TCFL5	TCFL4	TCFL3	TCFL2	TCFL1	TCFL0				
OCRFH アウトプットコンペアレジスタFH	H'BA		タイムF								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; padding: 2px 5px;">OCRFH7</td> <td style="border: 1px solid black; padding: 2px 5px;">OCRFH6</td> <td style="border: 1px solid black; padding: 2px 5px;">OCRFH5</td> <td style="border: 1px solid black; padding: 2px 5px;">OCRFH4</td> <td style="border: 1px solid black; padding: 2px 5px;">OCRFH3</td> <td style="border: 1px solid black; padding: 2px 5px;">OCRFH2</td> <td style="border: 1px solid black; padding: 2px 5px;">OCRFH1</td> <td style="border: 1px solid black; padding: 2px 5px;">OCRFH0</td> </tr> </table> <p>初期値 : 1 1 1 1 1 1 1 1</p> <p>R/W : <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u></p>				OCRFH7	OCRFH6	OCRFH5	OCRFH4	OCRFH3	OCRFH2	OCRFH1	OCRFH0
OCRFH7	OCRFH6	OCRFH5	OCRFH4	OCRFH3	OCRFH2	OCRFH1	OCRFH0				
OCRFL アウトプットコンペアレジスタFL	H'BB		タイムF								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; padding: 2px 5px;">OCRFL7</td> <td style="border: 1px solid black; padding: 2px 5px;">OCRFL6</td> <td style="border: 1px solid black; padding: 2px 5px;">OCRFL5</td> <td style="border: 1px solid black; padding: 2px 5px;">OCRFL4</td> <td style="border: 1px solid black; padding: 2px 5px;">OCRFL3</td> <td style="border: 1px solid black; padding: 2px 5px;">OCRFL2</td> <td style="border: 1px solid black; padding: 2px 5px;">OCRFL1</td> <td style="border: 1px solid black; padding: 2px 5px;">OCRFL0</td> </tr> </table> <p>初期値 : 1 1 1 1 1 1 1 1</p> <p>R/W : <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u></p>				OCRFL7	OCRFL6	OCRFL5	OCRFL4	OCRFL3	OCRFL2	OCRFL1	OCRFL0
OCRFL7	OCRFL6	OCRFL5	OCRFL4	OCRFL3	OCRFL2	OCRFL1	OCRFL0				



ICRGF インพุットキャプチャレジスタGF	H'BD	タイマG								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 5px;">ICRGF7</td> <td style="padding: 2px 5px;">ICRGF6</td> <td style="padding: 2px 5px;">ICRGF5</td> <td style="padding: 2px 5px;">ICRGF4</td> <td style="padding: 2px 5px;">ICRGF3</td> <td style="padding: 2px 5px;">ICRGF2</td> <td style="padding: 2px 5px;">ICRGF1</td> <td style="padding: 2px 5px;">ICRGF0</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W : R R R R R R R R</p>			ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0
ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0			
ICRGR インพุットキャプチャレジスタGR	H'BE	タイマG								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 5px;">ICRGR7</td> <td style="padding: 2px 5px;">ICRGR6</td> <td style="padding: 2px 5px;">ICRGR5</td> <td style="padding: 2px 5px;">ICRGR4</td> <td style="padding: 2px 5px;">ICRGR3</td> <td style="padding: 2px 5px;">ICRGR2</td> <td style="padding: 2px 5px;">ICRGR1</td> <td style="padding: 2px 5px;">ICRGR0</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W : R R R R R R R R</p>			ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0
ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0			

LPCR LCDポートコントロールレジスタ	H'CO	LCD コントローラ/ドライバ
-----------------------	------	-----------------

ビット： 7 6 5 4 3 2 1 0

DTS1	DTS0	CMX	SGX	SGS3	SGS2	SGS1	SGS0
------	------	-----	-----	------	------	------	------

初期値： 0 0 0 0 0 0 0 0
 R/W： R/W R/W R/W R/W R/W R/W R/W R/W

セグメントドライバ選択

ビット4	ビット3	ビット2	ビット1	ビット0	SEG ₄₀ ~ SEG ₁ 端子の機能										説明の補足	
SGX	SGS3	SGS2	SGS1	SGS0	SGS ₄₀ ~ SEG ₃₇	SGS ₃₈ ~ SEG ₃₃	SGS ₃₂ ~ SEG ₂₉	SGS ₂₈ ~ SEG ₂₅	SGS ₂₄ ~ SEG ₂₁	SGS ₂₀ ~ SEG ₁₇	SGS ₁₆ ~ SEG ₁₃	SGS ₁₂ ~ SEG ₉	SGS ₈ ~ SEG ₅	SGS ₄ ~ SEG ₁		
0	0	0	0	0	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	(初期値)
	0	0	0	1	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	0	1	0	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	0	1	1	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	1	0	0	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	
	0	1	0	1	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	
	0	1	1	0	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	
	0	1	1	1	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	
	1	*	*	0	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	
1	1	*	*	1	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	
	0	0	0	0	外部拡張	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	0	0	1	外部拡張	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	0	1	0	外部拡張	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	0	1	1	外部拡張	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート	
	0	1	0	0	外部拡張	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	
	0	1	0	1	外部拡張	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート	ポート	
	0	1	1	0	外部拡張	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	
	0	1	1	1	外部拡張	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	
1	*	*	0	外部拡張	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	ポート		
1	*	*	1	外部拡張	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG		

拡張信号選択

0	SEG ₄₀ ~ SEG ₃₇ 端子
1	CL ₁ 、CL ₂ 、DO、M端子

DUTY選択、コモン機能選択

ビット7	ビット6	ビット5	デューティ比	コモンドライバ	補 足 説 明
DTS1	DTS0	CMX			
0	0	0	スタティック	COM ₁	COM ₄ ~ COM ₁ はポートとして使用可能
		1		COM ₄ ~ COM ₁	COM ₄ ~ COM ₂ はCOM ₁ と同じ波形が出力
0	1	0	1/2デューティ	COM ₂ 、COM ₁	COM ₄ 、COM ₃ はポートとして使用可能
		1		COM ₄ ~ COM ₁	COM ₄ はCOM ₃ 、COM ₂ はCOM ₁ と同じ波形が出力
1	0	0	1/3デューティ	COM ₃ ~ COM ₁	COM ₄ はポートとして使用可能
		1		COM ₄ ~ COM ₁	COM ₄ は非選択波形が出力
1	1	0	1/4デューティ	COM ₄ ~ COM ₁	—
		1			

LCR LCDコントロールレジスタ	H'C1	LCD コントローラ/ドライバ
-------------------	------	-----------------

ビット： 7 6 5 4 3 2 1 0

—	PSW	ACT	DISP	CKS3	CKS2	CKS1	CKS0
---	-----	-----	------	------	------	------	------

初期値： 1 0 0 0 0 0 0 0

R/W： — R/W R/W R/W R/W R/W R/W R/W

フレーム周波数選択

ビット3 CKS3	ビット2 CKS2	ビット1 CKS1	ビット0 CKS0	使用クロック	フレーム周波数	
					= 5MHz	= 625Hz
0	*	0	0	w	128Hz (初期値)	
0	*	0	1	w	64Hz	
0	*	1	*	w/2	32Hz	
1	0	0	0	/2	—	610Hz
1	0	0	1	/4	—	305Hz
1	0	1	0	/8	—	153Hz
1	0	1	1	/16	610Hz	76.3Hz
1	1	0	0	/32	305Hz	38.1Hz
1	1	0	1	/64	153Hz	—
1	1	1	0	/128	76.3Hz	—
1	1	1	1	/256	38.1Hz	—

表示データ制御

0	ブランクデータを表示
1	LCD RAMデータを表示

* Don't care

表示機能開始

0	LCDコントローラ/ドライバ動作停止
1	LCDコントローラ/ドライバ動作

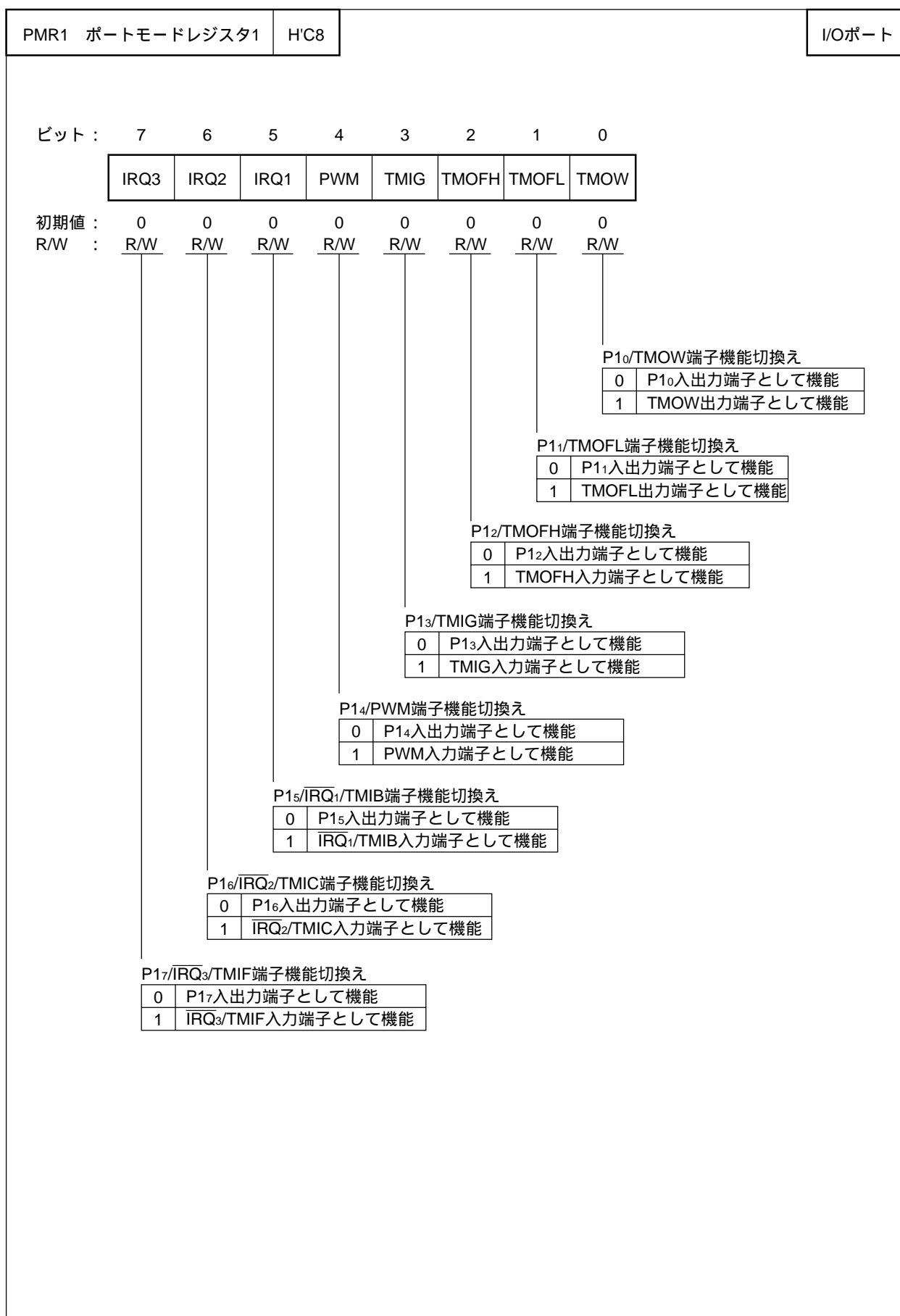
LCD駆動電源用ラダー抵抗ON/OFF制御

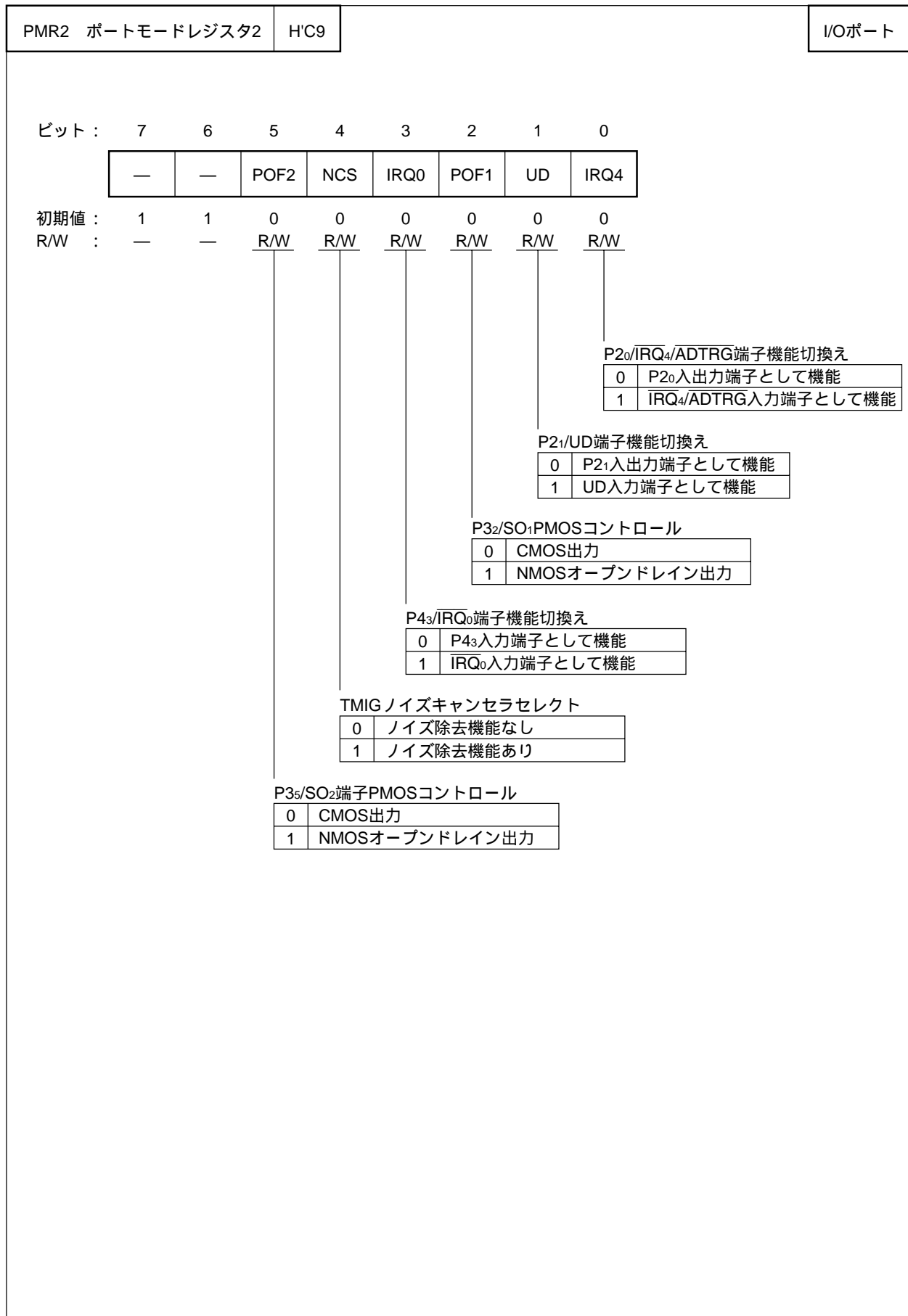
0	LCD駆動電源用ラダー抵抗OFF
1	LCD駆動電源用ラダー抵抗ON

AMR A/Dモードレジスタ				H'C4				A/D変換器											
ビット : 7 6 5 4 3 2 1 0																			
CKS		TRGE		—		—		CH3		CH2		CH1		CH0					
初期値 :		0		0		1		1		0		0		0					
R/W :		R/W		R/W		—		—		R/W		R/W		R/W					
チャンネルセレクト																			
ビット3				ビット2				ビット1				ビット0				アナログ入力チャンネル			
CH3				CH2				CH1				CH0							
0				0				*				*				非選択			
0				1				0				0				AN ₀			
0				1				0				1				AN ₁			
0				1				1				0				AN ₂			
0				1				1				1				AN ₃			
1				0				0				0				AN ₄			
1				0				0				1				AN ₅			
1				0				1				0				AN ₆			
1				0				1				1				AN ₇			
1				1				0				0				AN ₈			
1				1				0				1				AN ₉			
1				1				1				0				AN ₁₀			
1				1				1				1				AN ₁₁			
* Don't care																			
外部トリガセレクト																			
0		外部トリガによるA/D変換の開始を禁止																	
1		外部トリガ (ADTRG) 端子の立上がりエッジ、または立下がりエッジでA/D変換を開始																	
クロックセレクト																			
ビット7		変換周期				変換時間													
CKS						= 2MHz				= 5MHz									
0		62/				31μs				12.4μs									
1		31/				15.5μs				— *									
【注】 * 12.4μs以下の変換時間では、動作が保証されません。12.4μs以上になるように選択してください。																			

ADRR A/Dリザルトレジスタ	H'C5		A/D変換器								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">ADR7</td> <td style="padding: 2px 5px;">ADR6</td> <td style="padding: 2px 5px;">ADR5</td> <td style="padding: 2px 5px;">ADR4</td> <td style="padding: 2px 5px;">ADR3</td> <td style="padding: 2px 5px;">ADR2</td> <td style="padding: 2px 5px;">ADR1</td> <td style="padding: 2px 5px;">ADR0</td> </tr> </table> <p>初期値： 不定 不定 不定 不定 不定 不定 不定 不定</p> <p>R/W : R R R R R R R R</p> <div style="text-align: center; margin-top: 10px;"> <p>A/D変換結果</p> </div>				ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0				

ADSR A/Dスタートレジスタ	H'C6		A/D変換器												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">ADSF</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> </tr> </table> <p>初期値： 0 1 1 1 1 1 1 1</p> <p>R/W : R/W — — — — — — —</p> <div style="margin-top: 10px;"> <p style="text-align: center;">A/Dスタートフラグ</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width: 30px; text-align: center; vertical-align: middle;">0</td> <td>〔リード時〕 A/D変換の終了 〔ライト時〕 A/D変換を強制終了</td> </tr> <tr> <td style="width: 30px; text-align: center; vertical-align: middle;">1</td> <td>〔リード時〕 A/D変換中 〔ライト時〕 A/D変換を開始</td> </tr> </table> </div>				ADSF	—	—	—	—	—	—	—	0	〔リード時〕 A/D変換の終了 〔ライト時〕 A/D変換を強制終了	1	〔リード時〕 A/D変換中 〔ライト時〕 A/D変換を開始
ADSF	—	—	—	—	—	—	—								
0	〔リード時〕 A/D変換の終了 〔ライト時〕 A/D変換を強制終了														
1	〔リード時〕 A/D変換中 〔ライト時〕 A/D変換を開始														





PMR3 ポートモードレジスタ3				H'CA				I/Oポート			
ビット :	7	6	5	4	3	2	1	0			
	CS	STRB	SO2	SI2	SCK2	SO1	SI1	SCK1			
初期値 :	0	0	0	0	0	0	0	0			
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W			
									P30/SCK1端子機能切換え		
									0	P30入出力端子として機能	
									1	SCK1入出力端子として機能	
									P31/SI1端子機能切換え		
									0	P31入出力端子として機能	
									1	SI1入力端子として機能	
									P32/SO1端子機能切換え		
									0	P32入出力端子として機能	
									1	SO1出力端子として機能	
									P33/SCK2端子機能切換え		
									0	P33入出力端子として機能	
									1	SCK2入出力端子として機能	
									P34/SI2端子機能切換え		
									0	P34入出力端子として機能	
									1	SI2入力端子として機能	
									P35/SO2端子機能切換え		
									0	P35入出力端子として機能	
									1	SO2出力端子として機能	
									P36/STRB端子機能切換え		
									0	P36入出力端子として機能	
									1	STRB出力端子として機能	
									P37/ $\overline{\text{CS}}$ 端子機能切換え		
									0	P37入出力端子として機能	
									1	$\overline{\text{CS}}$ 入力端子として機能	

PMR4 ポートモードレジスタ4	H'CB		I/Oポート												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; margin-bottom: 10px;"> <tr> <td style="padding: 2px;">NMOD7</td> <td style="padding: 2px;">NMOD6</td> <td style="padding: 2px;">NMOD5</td> <td style="padding: 2px;">NMOD4</td> <td style="padding: 2px;">NMOD3</td> <td style="padding: 2px;">NMOD2</td> <td style="padding: 2px;">NMOD1</td> <td style="padding: 2px;">NMOD0</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p> <div style="margin-left: 100px; margin-top: 20px;"> <table border="1" style="border-collapse: collapse;"> <tr> <td style="padding: 2px; width: 20px;">0</td> <td style="padding: 2px;">P2_nはCMOS出力となる</td> </tr> <tr> <td style="padding: 2px;">1</td> <td style="padding: 2px;">P2_nはNMOSオープンドレイン出力となる</td> </tr> </table> </div>				NMOD7	NMOD6	NMOD5	NMOD4	NMOD3	NMOD2	NMOD1	NMOD0	0	P2 _n はCMOS出力となる	1	P2 _n はNMOSオープンドレイン出力となる
NMOD7	NMOD6	NMOD5	NMOD4	NMOD3	NMOD2	NMOD1	NMOD0								
0	P2 _n はCMOS出力となる														
1	P2 _n はNMOSオープンドレイン出力となる														
PMR5 ポートモードレジスタ5	H'CC		I/Oポート												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; margin-bottom: 10px;"> <tr> <td style="padding: 2px;">WKP7</td> <td style="padding: 2px;">WKP6</td> <td style="padding: 2px;">WKP5</td> <td style="padding: 2px;">WKP4</td> <td style="padding: 2px;">WKP3</td> <td style="padding: 2px;">WKP2</td> <td style="padding: 2px;">WKP1</td> <td style="padding: 2px;">WKP0</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p> <div style="margin-left: 100px; margin-top: 20px;"> <p style="text-align: center;">P5_n/WKP_n/SEG_{n+1}端子機能切換え</p> <table border="1" style="border-collapse: collapse;"> <tr> <td style="padding: 2px; width: 20px;">0</td> <td style="padding: 2px;">P5_n入出力端子として機能</td> </tr> <tr> <td style="padding: 2px;">1</td> <td style="padding: 2px;">WKP_n入力端子として機能</td> </tr> </table> </div>				WKP7	WKP6	WKP5	WKP4	WKP3	WKP2	WKP1	WKP0	0	P5 _n 入出力端子として機能	1	WKP _n 入力端子として機能
WKP7	WKP6	WKP5	WKP4	WKP3	WKP2	WKP1	WKP0								
0	P5 _n 入出力端子として機能														
1	WKP _n 入力端子として機能														

RLCTR LCDRAMリロケーションレジスタ	H'CF													
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">RLCT1</td><td style="width: 20px;">RLCT0</td> </tr> </table> <p>初期値： 1 1 1 1 1 1 0 0</p> <p>R/W ： — — — — — — R/W R/W</p>			—	—	—	—	—	—	RLCT1	RLCT0				
—	—	—	—	—	—	RLCT1	RLCT0							
PWCR PWMコントロールレジスタ	H'D0	14ビットPWM												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">PWCR0</td> </tr> </table> <p>初期値： 1 1 1 1 1 1 0 0</p> <p>R/W ： — — — — — — — W</p> <div style="margin-left: 40px; margin-top: 10px;"> <p>クロックセレクト _____</p> <table border="1" style="margin-left: 20px; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">0</td><td style="width: 80px;">入力クロック /2 ($t^* = 2/$)。1変換周期16384/、最小変化幅1/</td> </tr> <tr> <td>1</td><td>入力クロック /4 ($t^* = 4/$)。1変換周期32768/、最小変化幅2/</td> </tr> </table> </div> <p style="margin-left: 40px; margin-top: 10px;">【注】 t : PWM入力クロックの周期</p>			—	—	—	—	—	—	—	PWCR0	0	入力クロック /2 ($t^* = 2/$)。1変換周期16384/、最小変化幅1/	1	入力クロック /4 ($t^* = 4/$)。1変換周期32768/、最小変化幅2/
—	—	—	—	—	—	—	PWCR0							
0	入力クロック /2 ($t^* = 2/$)。1変換周期16384/、最小変化幅1/													
1	入力クロック /4 ($t^* = 4/$)。1変換周期32768/、最小変化幅2/													
PWDRU PWMデータレジスタU	H'D1	14ビットPWM												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">PWDRU5</td><td style="width: 20px;">PWDRU4</td><td style="width: 20px;">PWDRU3</td><td style="width: 20px;">PWDRU2</td><td style="width: 20px;">PWDRU1</td><td style="width: 20px;">PWDRU0</td> </tr> </table> <p>初期値： 1 1 0 0 0 0 0 0</p> <p>R/W ： — — W W W W W W</p> <div style="margin-left: 40px; margin-top: 10px;"> <p>_____</p> <p style="text-align: center;">PWM波形生成用データ上位6ビット</p> </div>			—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0				
—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0							

PWDRL PWMデータレジスタL	H'D2		14ビットPWM								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">PWDRL7</td> <td style="padding: 2px;">PWDRL6</td> <td style="padding: 2px;">PWDRL5</td> <td style="padding: 2px;">PWDRL4</td> <td style="padding: 2px;">PWDRL3</td> <td style="padding: 2px;">PWDRL2</td> <td style="padding: 2px;">PWDRL1</td> <td style="padding: 2px;">PWDRL0</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W : W W W W W W W W</p> <p style="text-align: center; margin-top: 10px;"> PWM波形生成用データ下位8ビット </p>				PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0
PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0				
PDR1 ポートデータレジスタ1	H'D4		I/Oポート								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">P17</td> <td style="padding: 2px;">P16</td> <td style="padding: 2px;">P15</td> <td style="padding: 2px;">P14</td> <td style="padding: 2px;">P13</td> <td style="padding: 2px;">P12</td> <td style="padding: 2px;">P11</td> <td style="padding: 2px;">P10</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p>				P17	P16	P15	P14	P13	P12	P11	P10
P17	P16	P15	P14	P13	P12	P11	P10				
PDR2 ポートデータレジスタ2	H'D5		I/Oポート								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">P27</td> <td style="padding: 2px;">P26</td> <td style="padding: 2px;">P25</td> <td style="padding: 2px;">P24</td> <td style="padding: 2px;">P23</td> <td style="padding: 2px;">P22</td> <td style="padding: 2px;">P21</td> <td style="padding: 2px;">P20</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p>				P27	P26	P25	P24	P23	P22	P21	P20
P27	P26	P25	P24	P23	P22	P21	P20				

PDR3 ポートデータレジスタ3		H'D6						I/Oポート
ビット :	7	6	5	4	3	2	1	0
	P37	P36	P35	P34	P33	P32	P31	P30
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PDR4 ポートデータレジスタ4		H'D7						I/Oポート
ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	P43	P42	P41	P40
初期値 :	1	1	1	1	1	0	0	0
R/W :	—	—	—	—	R	R/W	R/W	R/W
PDR5 ポートデータレジスタ5		H'D8						I/Oポート
ビット :	7	6	5	4	3	2	1	0
	P57	P56	P55	P54	P53	P52	P51	P50
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PDR6 ポートデータレジスタ6		H'D9						I/Oポート
ビット :	7	6	5	4	3	2	1	0
	P67	P66	P65	P64	P63	P62	P61	P60
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR7 ポートデータレジスタ7	H'DA		I/Oポート								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">P77</td><td style="width: 20px;">P76</td><td style="width: 20px;">P75</td><td style="width: 20px;">P74</td><td style="width: 20px;">P73</td><td style="width: 20px;">P72</td><td style="width: 20px;">P71</td><td style="width: 20px;">P70</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p>				P77	P76	P75	P74	P73	P72	P71	P70
P77	P76	P75	P74	P73	P72	P71	P70				
PDR8 ポートデータレジスタ8	H'DB		I/Oポート								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">P87</td><td style="width: 20px;">P86</td><td style="width: 20px;">P85</td><td style="width: 20px;">P84</td><td style="width: 20px;">P83</td><td style="width: 20px;">P82</td><td style="width: 20px;">P81</td><td style="width: 20px;">P80</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p>				P87	P86	P85	P84	P83	P82	P81	P80
P87	P86	P85	P84	P83	P82	P81	P80				
PDR9 ポートデータレジスタ9	H'DC		I/Oポート								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">P97</td><td style="width: 20px;">P96</td><td style="width: 20px;">P95</td><td style="width: 20px;">P94</td><td style="width: 20px;">P93</td><td style="width: 20px;">P92</td><td style="width: 20px;">P91</td><td style="width: 20px;">P90</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p>				P97	P96	P95	P94	P93	P92	P91	P90
P97	P96	P95	P94	P93	P92	P91	P90				
PDRA ポートデータレジスタA	H'DD		I/Oポート								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">PA3</td><td style="width: 20px;">PA2</td><td style="width: 20px;">PA1</td><td style="width: 20px;">PA0</td> </tr> </table> <p>初期値 : 1 1 1 1 0 0 0 0</p> <p>R/W : — — — — R/W R/W R/W R/W</p>				—	—	—	—	PA3	PA2	PA1	PA0
—	—	—	—	PA3	PA2	PA1	PA0				

PDRB ポートデータレジスタB	H'DE	I/Oポート								
ビット : 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: 40px;"> <tr> <td>PB7</td><td>PB6</td><td>PB5</td><td>PB4</td><td>PB3</td><td>PB2</td><td>PB1</td><td>PB0</td> </tr> </table> R/W : R R R R R R R R			PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0			
PDRC ポートデータレジスタC	H'DF	I/Oポート								
ビット : 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: 40px;"> <tr> <td>—</td><td>—</td><td>—</td><td>—</td><td>PC3</td><td>PC2</td><td>PC1</td><td>PC0</td> </tr> </table> R/W : — — — — R R R R			—	—	—	—	PC3	PC2	PC1	PC0
—	—	—	—	PC3	PC2	PC1	PC0			
PUCR1 ポートブルアップコントロールレジスタ1	H'E0	I/Oポート								
ビット : 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: 40px;"> <tr> <td>PUCR17</td><td>PUCR16</td><td>PUCR15</td><td>PUCR14</td><td>PUCR13</td><td>PUCR12</td><td>PUCR11</td><td>PUCR10</td> </tr> </table> 初期値 : 0 0 0 0 0 0 0 0 R/W : R/W R/W R/W R/W R/W R/W R/W R/W			PUCR17	PUCR16	PUCR15	PUCR14	PUCR13	PUCR12	PUCR11	PUCR10
PUCR17	PUCR16	PUCR15	PUCR14	PUCR13	PUCR12	PUCR11	PUCR10			
PUCR3 ポートブルアップコントロールレジスタ3	H'E1	I/Oポート								
ビット : 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: 40px;"> <tr> <td>PUCR37</td><td>PUCR36</td><td>PUCR35</td><td>PUCR34</td><td>PUCR33</td><td>PUCR32</td><td>PUCR31</td><td>PUCR30</td> </tr> </table> 初期値 : 0 0 0 0 0 0 0 0 R/W : R/W R/W R/W R/W R/W R/W R/W R/W			PUCR37	PUCR36	PUCR35	PUCR34	PUCR33	PUCR32	PUCR31	PUCR30
PUCR37	PUCR36	PUCR35	PUCR34	PUCR33	PUCR32	PUCR31	PUCR30			

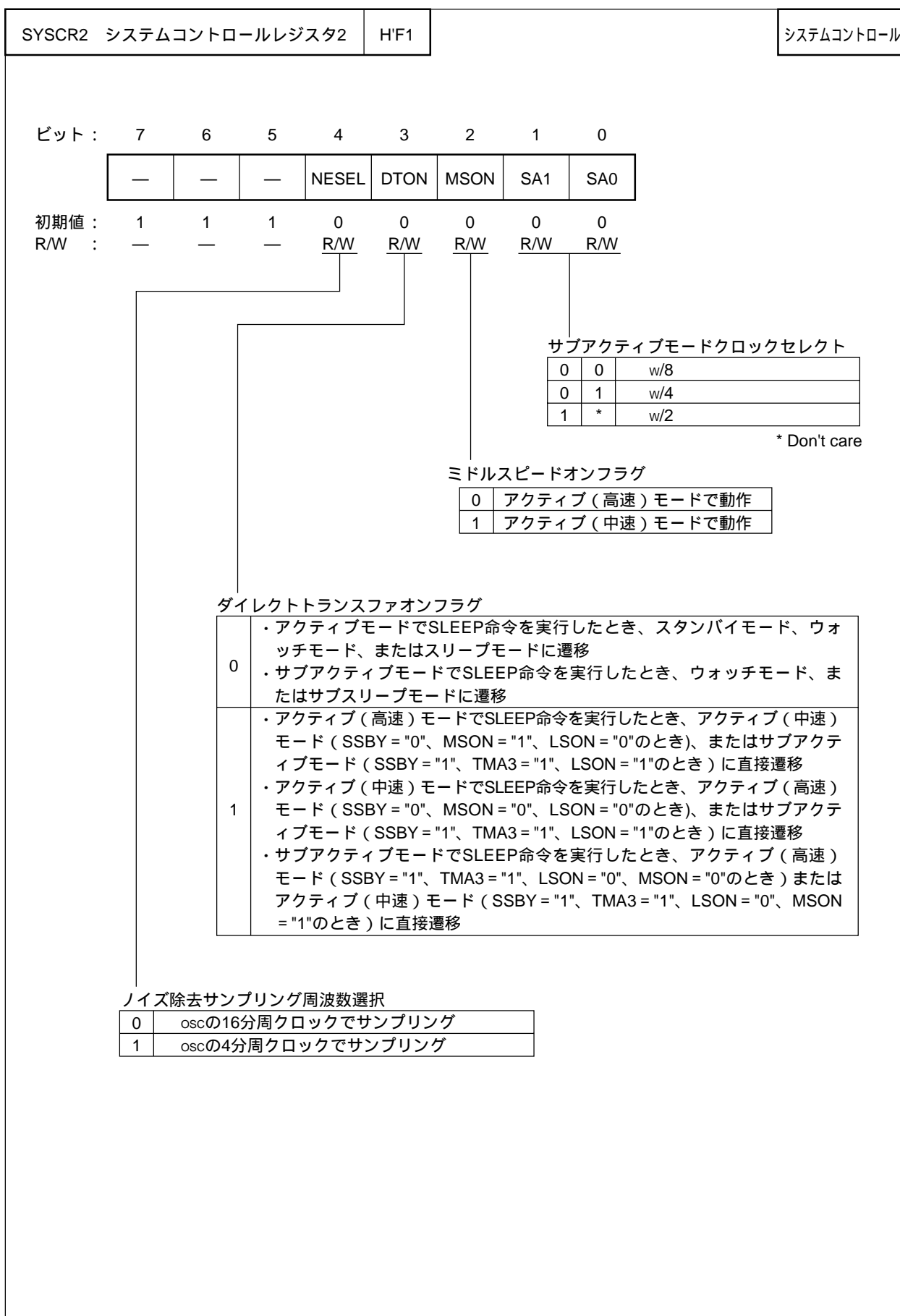
PUCR5 ポートブルアップコントロールレジスタ5	H'E2	I/Oポート												
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 5px;">PUCR5₇</td> <td style="padding: 2px 5px;">PUCR5₆</td> <td style="padding: 2px 5px;">PUCR5₅</td> <td style="padding: 2px 5px;">PUCR5₄</td> <td style="padding: 2px 5px;">PUCR5₃</td> <td style="padding: 2px 5px;">PUCR5₂</td> <td style="padding: 2px 5px;">PUCR5₁</td> <td style="padding: 2px 5px;">PUCR5₀</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p>			PUCR5 ₇	PUCR5 ₆	PUCR5 ₅	PUCR5 ₄	PUCR5 ₃	PUCR5 ₂	PUCR5 ₁	PUCR5 ₀				
PUCR5 ₇	PUCR5 ₆	PUCR5 ₅	PUCR5 ₄	PUCR5 ₃	PUCR5 ₂	PUCR5 ₁	PUCR5 ₀							
PUCR6 ポートブルアップコントロールレジスタ6	H'E3	I/Oポート												
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 5px;">PUCR6₇</td> <td style="padding: 2px 5px;">PUCR6₆</td> <td style="padding: 2px 5px;">PUCR6₅</td> <td style="padding: 2px 5px;">PUCR6₄</td> <td style="padding: 2px 5px;">PUCR6₃</td> <td style="padding: 2px 5px;">PUCR6₂</td> <td style="padding: 2px 5px;">PUCR6₁</td> <td style="padding: 2px 5px;">PUCR6₀</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p>			PUCR6 ₇	PUCR6 ₆	PUCR6 ₅	PUCR6 ₄	PUCR6 ₃	PUCR6 ₂	PUCR6 ₁	PUCR6 ₀				
PUCR6 ₇	PUCR6 ₆	PUCR6 ₅	PUCR6 ₄	PUCR6 ₃	PUCR6 ₂	PUCR6 ₁	PUCR6 ₀							
PCR1 ポートコントロールレジスタ1	H'E4	I/Oポート												
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 5px;">PCR1₇</td> <td style="padding: 2px 5px;">PCR1₆</td> <td style="padding: 2px 5px;">PCR1₅</td> <td style="padding: 2px 5px;">PCR1₄</td> <td style="padding: 2px 5px;">PCR1₃</td> <td style="padding: 2px 5px;">PCR1₂</td> <td style="padding: 2px 5px;">PCR1₁</td> <td style="padding: 2px 5px;">PCR1₀</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : W W W W W W W W</p> <div style="text-align: center; margin-top: 10px;"> <p>ポート1入出力選択</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">入力ポート</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">出力ポート</td> </tr> </table> </div>			PCR1 ₇	PCR1 ₆	PCR1 ₅	PCR1 ₄	PCR1 ₃	PCR1 ₂	PCR1 ₁	PCR1 ₀	0	入力ポート	1	出力ポート
PCR1 ₇	PCR1 ₆	PCR1 ₅	PCR1 ₄	PCR1 ₃	PCR1 ₂	PCR1 ₁	PCR1 ₀							
0	入力ポート													
1	出力ポート													

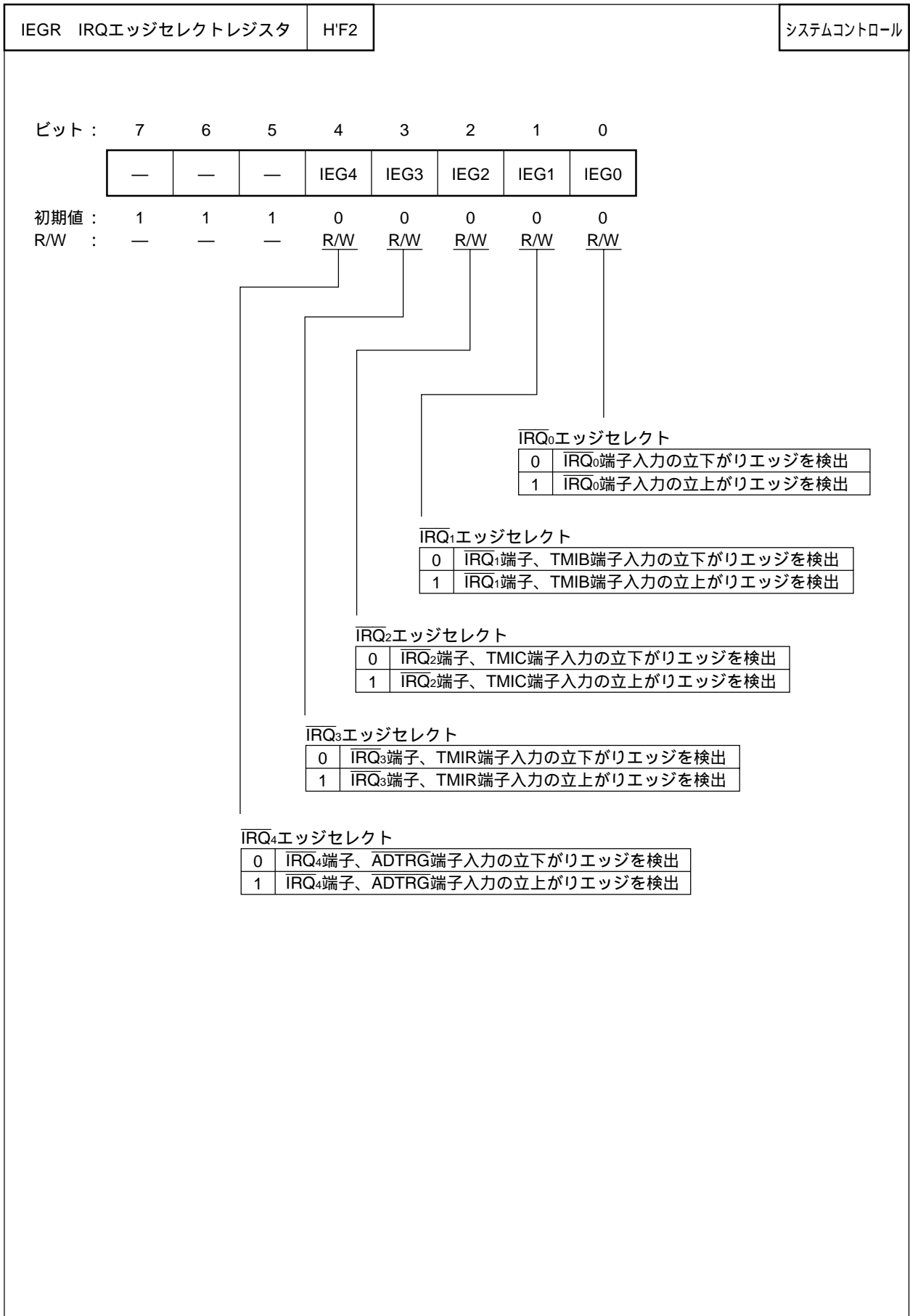
PCR2 ポートコントロールレジスタ2		H'E5						I/Oポート				
ビット :	7	6	5	4	3	2	1	0				
	PCR27	PCR26	PCR25	PCR24	PCR23	PCR22	PCR21	PCR20				
初期値 :	0	0	0	0	0	0	0	0				
R/W :	W	W	W	W	W	W	W	W				
↓ ポート2入出力選択												
<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>									0	入力ポート	1	出力ポート
0	入力ポート											
1	出力ポート											
PCR3 ポートコントロールレジスタ3		H'E6						I/Oポート				
ビット :	7	6	5	4	3	2	1	0				
	PCR37	PCR36	PCR35	PCR34	PCR33	PCR32	PCR31	PCR30				
初期値 :	0	0	0	0	0	0	0	0				
R/W :	W	W	W	W	W	W	W	W				
↓ ポート3入出力選択												
<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>									0	入力ポート	1	出力ポート
0	入力ポート											
1	出力ポート											
PCR4 ポートコントロールレジスタ4		H'E7						I/Oポート				
ビット :	7	6	5	4	3	2	1	0				
	—	—	—	—	—	PCR42	PCR41	PCR40				
初期値 :	1	1	1	1	1	0	0	0				
R/W :	—	—	—	—	—	W	W	W				
↓ ポート4入出力選択												
<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>									0	入力ポート	1	出力ポート
0	入力ポート											
1	出力ポート											

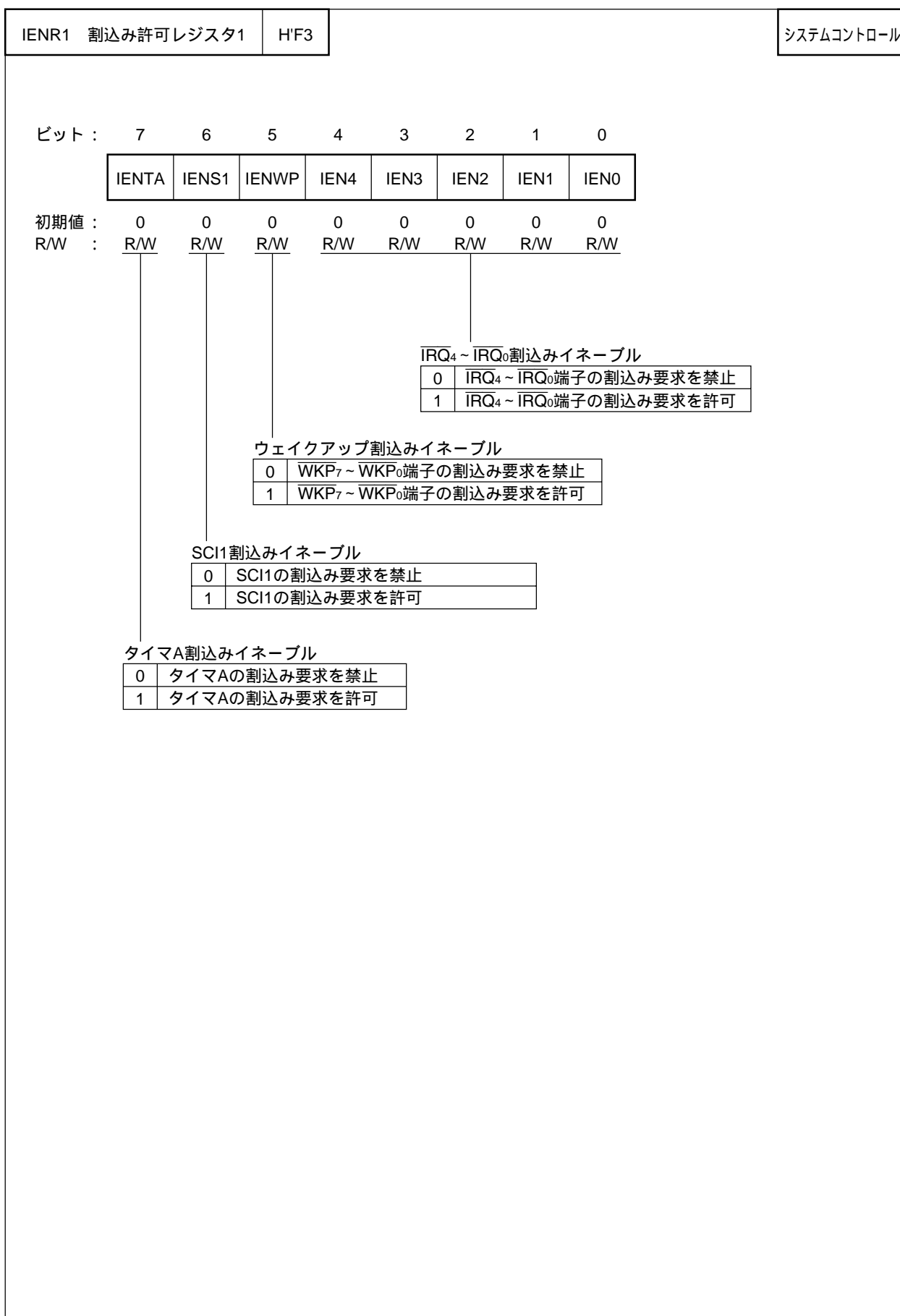
PCR5 ポートコントロールレジスタ5	H'E8		I/Oポート												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; margin-bottom: 10px;"> <tr> <td style="padding: 2px;">PCR5₇</td> <td style="padding: 2px;">PCR5₆</td> <td style="padding: 2px;">PCR5₅</td> <td style="padding: 2px;">PCR5₄</td> <td style="padding: 2px;">PCR5₃</td> <td style="padding: 2px;">PCR5₂</td> <td style="padding: 2px;">PCR5₁</td> <td style="padding: 2px;">PCR5₀</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W： W W W W W W W W</p> <div style="margin-left: 100px; margin-top: 20px;"> <p>ポート5入出力選択</p> <table border="1" style="margin-left: 20px;"> <tr> <td style="padding: 2px;">0</td> <td style="padding: 2px;">入力ポート</td> </tr> <tr> <td style="padding: 2px;">1</td> <td style="padding: 2px;">出力ポート</td> </tr> </table> </div>				PCR5 ₇	PCR5 ₆	PCR5 ₅	PCR5 ₄	PCR5 ₃	PCR5 ₂	PCR5 ₁	PCR5 ₀	0	入力ポート	1	出力ポート
PCR5 ₇	PCR5 ₆	PCR5 ₅	PCR5 ₄	PCR5 ₃	PCR5 ₂	PCR5 ₁	PCR5 ₀								
0	入力ポート														
1	出力ポート														
PCR6 ポートコントロールレジスタ6	H'E9		I/Oポート												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; margin-bottom: 10px;"> <tr> <td style="padding: 2px;">PCR6₇</td> <td style="padding: 2px;">PCR6₆</td> <td style="padding: 2px;">PCR6₅</td> <td style="padding: 2px;">PCR6₄</td> <td style="padding: 2px;">PCR6₃</td> <td style="padding: 2px;">PCR6₂</td> <td style="padding: 2px;">PCR6₁</td> <td style="padding: 2px;">PCR6₀</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W： W W W W W W W W</p> <div style="margin-left: 100px; margin-top: 20px;"> <p>ポート6入出力選択</p> <table border="1" style="margin-left: 20px;"> <tr> <td style="padding: 2px;">0</td> <td style="padding: 2px;">入力ポート</td> </tr> <tr> <td style="padding: 2px;">1</td> <td style="padding: 2px;">出力ポート</td> </tr> </table> </div>				PCR6 ₇	PCR6 ₆	PCR6 ₅	PCR6 ₄	PCR6 ₃	PCR6 ₂	PCR6 ₁	PCR6 ₀	0	入力ポート	1	出力ポート
PCR6 ₇	PCR6 ₆	PCR6 ₅	PCR6 ₄	PCR6 ₃	PCR6 ₂	PCR6 ₁	PCR6 ₀								
0	入力ポート														
1	出力ポート														
PCR7 ポートコントロールレジスタ7	H'EA		I/Oポート												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; margin-bottom: 10px;"> <tr> <td style="padding: 2px;">PCR7₇</td> <td style="padding: 2px;">PCR7₆</td> <td style="padding: 2px;">PCR7₅</td> <td style="padding: 2px;">PCR7₄</td> <td style="padding: 2px;">PCR7₃</td> <td style="padding: 2px;">PCR7₂</td> <td style="padding: 2px;">PCR7₁</td> <td style="padding: 2px;">PCR7₀</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W： W W W W W W W W</p> <div style="margin-left: 100px; margin-top: 20px;"> <p>ポート7入出力選択</p> <table border="1" style="margin-left: 20px;"> <tr> <td style="padding: 2px;">0</td> <td style="padding: 2px;">入力ポート</td> </tr> <tr> <td style="padding: 2px;">1</td> <td style="padding: 2px;">出力ポート</td> </tr> </table> </div>				PCR7 ₇	PCR7 ₆	PCR7 ₅	PCR7 ₄	PCR7 ₃	PCR7 ₂	PCR7 ₁	PCR7 ₀	0	入力ポート	1	出力ポート
PCR7 ₇	PCR7 ₆	PCR7 ₅	PCR7 ₄	PCR7 ₃	PCR7 ₂	PCR7 ₁	PCR7 ₀								
0	入力ポート														
1	出力ポート														

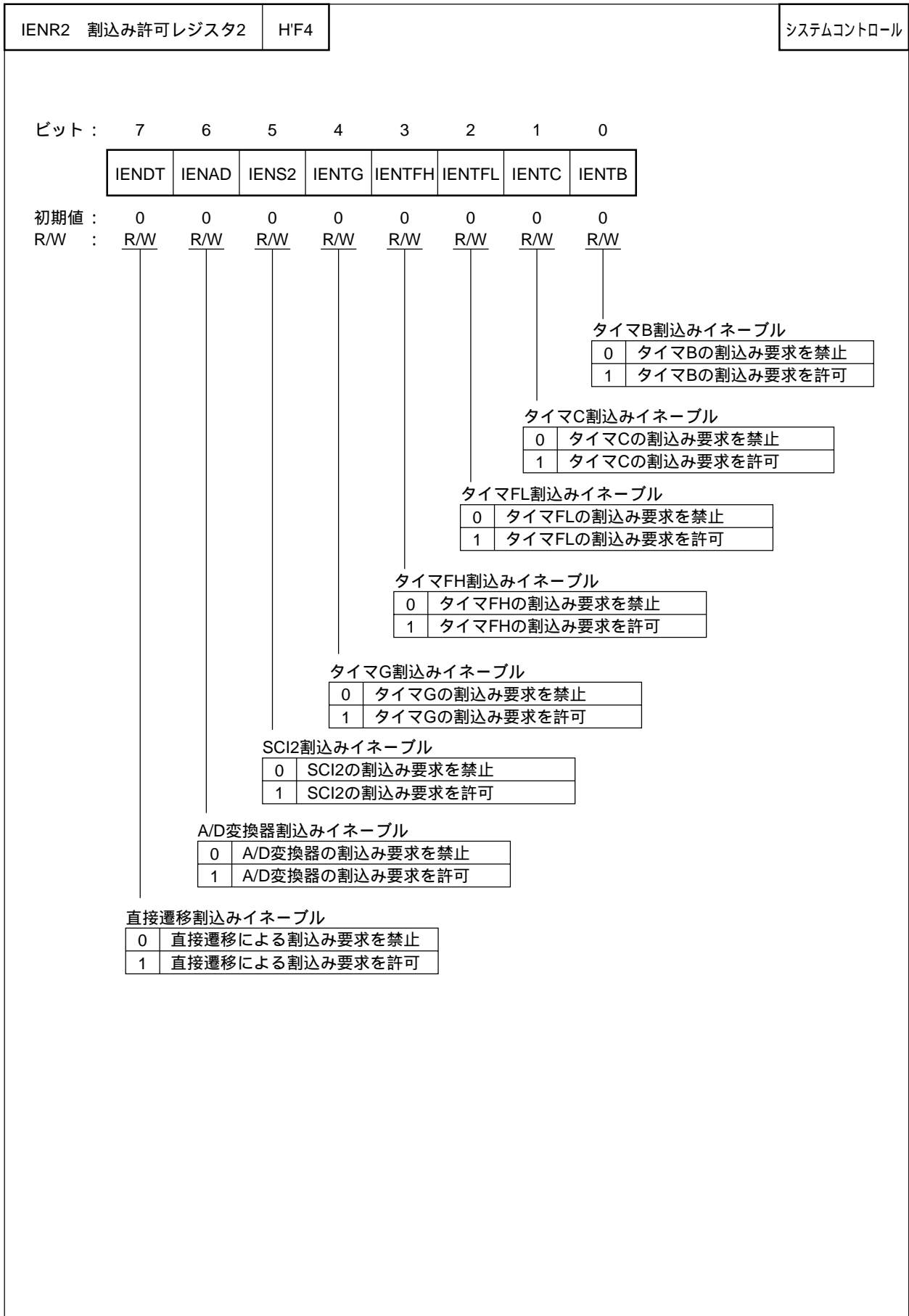
PCR8	ポートコントロールレジスタ8	H'EB	I/Oポート												
ビット： 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>PCR8₇</td> <td>PCR8₆</td> <td>PCR8₅</td> <td>PCR8₄</td> <td>PCR8₃</td> <td>PCR8₂</td> <td>PCR8₁</td> <td>PCR8₀</td> </tr> </table> 初期値： 0 0 0 0 0 0 0 0 R/W： W W W W W W W W <div style="text-align: center; margin-top: 10px;"> ポート8入出力選択 <table border="1"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table> </div>				PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀	0	入力ポート	1	出力ポート
PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀								
0	入力ポート														
1	出力ポート														
PCR9	ポートコントロールレジスタ9	H'EC	I/Oポート												
ビット： 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>PCR9₇</td> <td>PCR9₆</td> <td>PCR9₅</td> <td>PCR9₄</td> <td>PCR9₃</td> <td>PCR9₂</td> <td>PCR9₁</td> <td>PCR9₀</td> </tr> </table> 初期値： 0 0 0 0 0 0 0 0 R/W： W W W W W W W W <div style="text-align: center; margin-top: 10px;"> ポート9入出力選択 <table border="1"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table> </div>				PCR9 ₇	PCR9 ₆	PCR9 ₅	PCR9 ₄	PCR9 ₃	PCR9 ₂	PCR9 ₁	PCR9 ₀	0	入力ポート	1	出力ポート
PCR9 ₇	PCR9 ₆	PCR9 ₅	PCR9 ₄	PCR9 ₃	PCR9 ₂	PCR9 ₁	PCR9 ₀								
0	入力ポート														
1	出力ポート														
PCRA	ポートコントロールレジスタA	H'ED	I/Oポート												
ビット： 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>PCRA₃</td> <td>PCRA₂</td> <td>PCRA₁</td> <td>PCRA₀</td> </tr> </table> 初期値： 0 0 0 0 0 0 0 0 R/W： — — — — W W W W <div style="text-align: center; margin-top: 10px;"> ポートA入出力選択 <table border="1"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table> </div>				—	—	—	—	PCRA ₃	PCRA ₂	PCRA ₁	PCRA ₀	0	入力ポート	1	出力ポート
—	—	—	—	PCRA ₃	PCRA ₂	PCRA ₁	PCRA ₀								
0	入力ポート														
1	出力ポート														

SYSOCR1 システムコントロールレジスタ1	H'F0	システムコントロール																																				
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">SSBY</td> <td style="padding: 2px 5px;">STS2</td> <td style="padding: 2px 5px;">STS1</td> <td style="padding: 2px 5px;">STS0</td> <td style="padding: 2px 5px;">LSON</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> </tr> </table> <p>初期値： 0 0 0 0 0 1 1 1</p> <p>R/W : R/W R/W R/W R/W — — —</p> <div style="margin-top: 20px;"> <p style="text-align: center;">ロースピードオンフラグ</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">CPUの動作クロックはシステムクロック ()</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">CPUの動作クロックはサブクロック (SUB)</td> </tr> </table> </div> <div style="margin-top: 20px;"> <p style="text-align: center;">スタンバイタイムセレクト2~0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">待機時間 = 8192ステート</td> </tr> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">待機時間 = 16384ステート</td> </tr> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">待機時間 = 32768ステート</td> </tr> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">待機時間 = 65536ステート</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">*</td> <td style="padding: 2px 5px;">*</td> <td style="padding: 2px 5px;">待機時間 = 131072ステート</td> </tr> </table> <p style="text-align: right; margin-right: 50px;">* Don't care</p> </div> <div style="margin-top: 20px;"> <p>ソフトウェアスタンバイ</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;"> <ul style="list-style-type: none"> ・アクティブモードでSLEEP命令実行後、スリープモードに遷移 ・サブアクティブモードでSLEEP命令実行後、サブスリープモードに遷移 </td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;"> <ul style="list-style-type: none"> ・アクティブモードでSLEEP命令実行後、スタンバイモードあるいはウォッチモードに遷移 ・サブアクティブモードでSLEEP命令実行後、ウォッチモードに遷移 </td> </tr> </table> </div>			SSBY	STS2	STS1	STS0	LSON	—	—	—	0	CPUの動作クロックはシステムクロック ()	1	CPUの動作クロックはサブクロック (SUB)	0	0	0	待機時間 = 8192ステート	0	0	1	待機時間 = 16384ステート	0	1	0	待機時間 = 32768ステート	0	1	1	待機時間 = 65536ステート	1	*	*	待機時間 = 131072ステート	0	<ul style="list-style-type: none"> ・アクティブモードでSLEEP命令実行後、スリープモードに遷移 ・サブアクティブモードでSLEEP命令実行後、サブスリープモードに遷移 	1	<ul style="list-style-type: none"> ・アクティブモードでSLEEP命令実行後、スタンバイモードあるいはウォッチモードに遷移 ・サブアクティブモードでSLEEP命令実行後、ウォッチモードに遷移
SSBY	STS2	STS1	STS0	LSON	—	—	—																															
0	CPUの動作クロックはシステムクロック ()																																					
1	CPUの動作クロックはサブクロック (SUB)																																					
0	0	0	待機時間 = 8192ステート																																			
0	0	1	待機時間 = 16384ステート																																			
0	1	0	待機時間 = 32768ステート																																			
0	1	1	待機時間 = 65536ステート																																			
1	*	*	待機時間 = 131072ステート																																			
0	<ul style="list-style-type: none"> ・アクティブモードでSLEEP命令実行後、スリープモードに遷移 ・サブアクティブモードでSLEEP命令実行後、サブスリープモードに遷移 																																					
1	<ul style="list-style-type: none"> ・アクティブモードでSLEEP命令実行後、スタンバイモードあるいはウォッチモードに遷移 ・サブアクティブモードでSLEEP命令実行後、ウォッチモードに遷移 																																					









IRR1 割込み要求レジスタ1		H'F6						システムコントロール				
ビット :	7	6	5	4	3	2	1	0				
	IRRTA	IRRS1	—	IRRI4	IRRI3	IRRI2	IRRI1	IRRI0				
初期値 :	0	0	1	0	0	0	0	0				
R/W :	R/W*	R/W*	—	R/W*	R/W*	R/W*	R/W*	R/W*				
<p>IRQ₄ ~ IRQ₀割込み要求フラグ</p> <table border="1"> <tr> <td>0</td> <td>〔クリア条件〕 IRRI4 = "1"の状態(IRRI4に"0"をライトしたとき) IRRI3 ~ IRRI0についても同様</td> </tr> <tr> <td>1</td> <td>〔セット条件〕 IRQ₄端子が割込み入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき IRRI3 ~ IRRI0についても同様</td> </tr> </table>									0	〔クリア条件〕 IRRI4 = "1"の状態(IRRI4に"0"をライトしたとき) IRRI3 ~ IRRI0についても同様	1	〔セット条件〕 IRQ ₄ 端子が割込み入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき IRRI3 ~ IRRI0についても同様
0	〔クリア条件〕 IRRI4 = "1"の状態(IRRI4に"0"をライトしたとき) IRRI3 ~ IRRI0についても同様											
1	〔セット条件〕 IRQ ₄ 端子が割込み入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき IRRI3 ~ IRRI0についても同様											
<p>SCI1割込み要求フラグ</p> <table border="1"> <tr> <td>0</td> <td>〔クリア条件〕 IRRS1 = "1"の状態(IRRS1に"0"をライトしたとき)</td> </tr> <tr> <td>1</td> <td>〔セット条件〕 SCI1が転送完了したとき</td> </tr> </table>									0	〔クリア条件〕 IRRS1 = "1"の状態(IRRS1に"0"をライトしたとき)	1	〔セット条件〕 SCI1が転送完了したとき
0	〔クリア条件〕 IRRS1 = "1"の状態(IRRS1に"0"をライトしたとき)											
1	〔セット条件〕 SCI1が転送完了したとき											
<p>タイマA割込み要求フラグ</p> <table border="1"> <tr> <td>0</td> <td>〔クリア条件〕 IRRТА = "1"の状態(IRRTAに"0"をライトしたとき)</td> </tr> <tr> <td>1</td> <td>〔セット条件〕 タイマAのカウンタ値がオーバーフロー (H'FF ~ H'00) したとき</td> </tr> </table>									0	〔クリア条件〕 IRRТА = "1"の状態(IRRTAに"0"をライトしたとき)	1	〔セット条件〕 タイマAのカウンタ値がオーバーフロー (H'FF ~ H'00) したとき
0	〔クリア条件〕 IRRТА = "1"の状態(IRRTAに"0"をライトしたとき)											
1	〔セット条件〕 タイマAのカウンタ値がオーバーフロー (H'FF ~ H'00) したとき											
<p>【注】 * フラグクリアのための"0"ライトのみ可能</p>												

IRR2 割り込み要求レジスタ2	H'F7	システムコントロール																																																																								
ビット： 7 6 5 4 3 2 1 0																																																																										
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 8.75%;">IRRDT</td> <td style="width: 8.75%;">IRRAD</td> <td style="width: 8.75%;">IRRS2</td> <td style="width: 8.75%;">IRRTG</td> <td style="width: 8.75%;">IRRTFH</td> <td style="width: 8.75%;">IRRTFL</td> <td style="width: 8.75%;">IRRTC</td> <td style="width: 8.75%;">IRRTB</td> </tr> </table>			IRRDT	IRRAD	IRRS2	IRRTG	IRRTFH	IRRTFL	IRRTC	IRRTB																																																																
IRRDT	IRRAD	IRRS2	IRRTG	IRRTFH	IRRTFL	IRRTC	IRRTB																																																																			
初期値： 0 0 0 0 0 0 0 0 R/W： R/W* R/W* R/W* R/W* R/W* R/W* R/W* R/W*																																																																										
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="3" style="text-align: center;">タイマB割り込み要求フラグ</td> </tr> <tr> <td style="width: 5%; text-align: center;">0</td> <td style="width: 10%;">〔クリア条件〕</td> <td>IRRTB = "1"の状態 でIRRTBに"0"をライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>〔セット条件〕</td> <td>タイマBのカウンタ値がオーバーフロー (H'FF ~ H'00) したとき</td> </tr> <tr> <td colspan="3" style="text-align: center;">タイマC割り込み要求フラグ</td> </tr> <tr> <td style="text-align: center;">0</td> <td>〔クリア条件〕</td> <td>IRRTC = "1"の状態 でIRRTCに"0"をライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>〔セット条件〕</td> <td>タイマCのカウンタ値がオーバーフロー (H'FF H'00) またはアンダフロー (H'00 H'FF) したとき</td> </tr> <tr> <td colspan="3" style="text-align: center;">タイマFL割り込み要求フラグ</td> </tr> <tr> <td style="text-align: center;">0</td> <td>〔クリア条件〕</td> <td>IRRTFL = "1"の状態 でIRRTFLに"0"をライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>〔セット条件〕</td> <td>8ビットタイマモードでカウンタFLとアウトプットコンペアレジスタFLが一致したとき</td> </tr> <tr> <td colspan="3" style="text-align: center;">タイマFH割り込み要求フラグ</td> </tr> <tr> <td style="text-align: center;">0</td> <td>〔クリア条件〕</td> <td>IRRTFH = "1"の状態 でIRRTFHに"0"をライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>〔セット条件〕</td> <td>8ビットタイマモードでカウンタFHとアウトプットコンペアレジスタFHが一致したとき、また16ビットタイマモードで16ビットカウンタFL、FHとアウトプットコンペアレジスタFL、FHが一致したとき</td> </tr> <tr> <td colspan="3" style="text-align: center;">タイマG割り込み要求フラグ</td> </tr> <tr> <td style="text-align: center;">0</td> <td>〔クリア条件〕</td> <td>IRRTG = "1"の状態 でIRRTGに"0"をライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>〔セット条件〕</td> <td>TMIG端子がTMIG入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき</td> </tr> <tr> <td colspan="3" style="text-align: center;">SCI2割り込み要求フラグ</td> </tr> <tr> <td style="text-align: center;">0</td> <td>〔クリア条件〕</td> <td>IRRS2 = "1"の状態 でIRRS2に"0"をライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>〔セット条件〕</td> <td>SCI2が転送完了または転送中断したとき</td> </tr> <tr> <td colspan="3" style="text-align: center;">A/D変換器割り込み要求フラグ</td> </tr> <tr> <td style="text-align: center;">0</td> <td>〔クリア条件〕</td> <td>IRRAD = "1"の状態 でIRRADに"0"をライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>〔セット条件〕</td> <td>A/D変換器が変換終了し、ADSFがリセットされたとき</td> </tr> <tr> <td colspan="3" style="text-align: center;">直接遷移割り込み要求フラグ</td> </tr> <tr> <td style="text-align: center;">0</td> <td>〔クリア条件〕</td> <td>IRRDT = "1"の状態 でIRRDTに"0"をライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>〔セット条件〕</td> <td>DTONに"1"をセットした状態でスリープ命令を実行し直接遷移したとき</td> </tr> </table>			タイマB割り込み要求フラグ			0	〔クリア条件〕	IRRTB = "1"の状態 でIRRTBに"0"をライトしたとき	1	〔セット条件〕	タイマBのカウンタ値がオーバーフロー (H'FF ~ H'00) したとき	タイマC割り込み要求フラグ			0	〔クリア条件〕	IRRTC = "1"の状態 でIRRTCに"0"をライトしたとき	1	〔セット条件〕	タイマCのカウンタ値がオーバーフロー (H'FF H'00) またはアンダフロー (H'00 H'FF) したとき	タイマFL割り込み要求フラグ			0	〔クリア条件〕	IRRTFL = "1"の状態 でIRRTFLに"0"をライトしたとき	1	〔セット条件〕	8ビットタイマモードでカウンタFLとアウトプットコンペアレジスタFLが一致したとき	タイマFH割り込み要求フラグ			0	〔クリア条件〕	IRRTFH = "1"の状態 でIRRTFHに"0"をライトしたとき	1	〔セット条件〕	8ビットタイマモードでカウンタFHとアウトプットコンペアレジスタFHが一致したとき、また16ビットタイマモードで16ビットカウンタFL、FHとアウトプットコンペアレジスタFL、FHが一致したとき	タイマG割り込み要求フラグ			0	〔クリア条件〕	IRRTG = "1"の状態 でIRRTGに"0"をライトしたとき	1	〔セット条件〕	TMIG端子がTMIG入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき	SCI2割り込み要求フラグ			0	〔クリア条件〕	IRRS2 = "1"の状態 でIRRS2に"0"をライトしたとき	1	〔セット条件〕	SCI2が転送完了または転送中断したとき	A/D変換器割り込み要求フラグ			0	〔クリア条件〕	IRRAD = "1"の状態 でIRRADに"0"をライトしたとき	1	〔セット条件〕	A/D変換器が変換終了し、ADSFがリセットされたとき	直接遷移割り込み要求フラグ			0	〔クリア条件〕	IRRDT = "1"の状態 でIRRDTに"0"をライトしたとき	1	〔セット条件〕	DTONに"1"をセットした状態でスリープ命令を実行し直接遷移したとき
タイマB割り込み要求フラグ																																																																										
0	〔クリア条件〕	IRRTB = "1"の状態 でIRRTBに"0"をライトしたとき																																																																								
1	〔セット条件〕	タイマBのカウンタ値がオーバーフロー (H'FF ~ H'00) したとき																																																																								
タイマC割り込み要求フラグ																																																																										
0	〔クリア条件〕	IRRTC = "1"の状態 でIRRTCに"0"をライトしたとき																																																																								
1	〔セット条件〕	タイマCのカウンタ値がオーバーフロー (H'FF H'00) またはアンダフロー (H'00 H'FF) したとき																																																																								
タイマFL割り込み要求フラグ																																																																										
0	〔クリア条件〕	IRRTFL = "1"の状態 でIRRTFLに"0"をライトしたとき																																																																								
1	〔セット条件〕	8ビットタイマモードでカウンタFLとアウトプットコンペアレジスタFLが一致したとき																																																																								
タイマFH割り込み要求フラグ																																																																										
0	〔クリア条件〕	IRRTFH = "1"の状態 でIRRTFHに"0"をライトしたとき																																																																								
1	〔セット条件〕	8ビットタイマモードでカウンタFHとアウトプットコンペアレジスタFHが一致したとき、また16ビットタイマモードで16ビットカウンタFL、FHとアウトプットコンペアレジスタFL、FHが一致したとき																																																																								
タイマG割り込み要求フラグ																																																																										
0	〔クリア条件〕	IRRTG = "1"の状態 でIRRTGに"0"をライトしたとき																																																																								
1	〔セット条件〕	TMIG端子がTMIG入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき																																																																								
SCI2割り込み要求フラグ																																																																										
0	〔クリア条件〕	IRRS2 = "1"の状態 でIRRS2に"0"をライトしたとき																																																																								
1	〔セット条件〕	SCI2が転送完了または転送中断したとき																																																																								
A/D変換器割り込み要求フラグ																																																																										
0	〔クリア条件〕	IRRAD = "1"の状態 でIRRADに"0"をライトしたとき																																																																								
1	〔セット条件〕	A/D変換器が変換終了し、ADSFがリセットされたとき																																																																								
直接遷移割り込み要求フラグ																																																																										
0	〔クリア条件〕	IRRDT = "1"の状態 でIRRDTに"0"をライトしたとき																																																																								
1	〔セット条件〕	DTONに"1"をセットした状態でスリープ命令を実行し直接遷移したとき																																																																								

【注】* フラグクリアのための "0"ライトのみ可能

IWPR ウェイクアップ割込み要求レジスタ		H'F9						システムコントロール
ビット：	7	6	5	4	3	2	1	0
	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*
ウェイクアップ割込み要求フラグ								
0	〔クリア条件〕 IWPF7 = "1"の状態にてIWPF7に"0"をライトしたとき IWPF6 ~ IWPF0についても同様							
1	〔セット条件〕 WKPF ₇ 端子がウェイクアップ入力に設定されており、かつ当該端子に立下がりエッジが入力されたとき IWPF6 ~ IWPF0についても同様							
【注】 * フラグクリアのための"0"ライトのみ可能								

C. I/O ポートブロック図

C.1 ポート1ブロック図

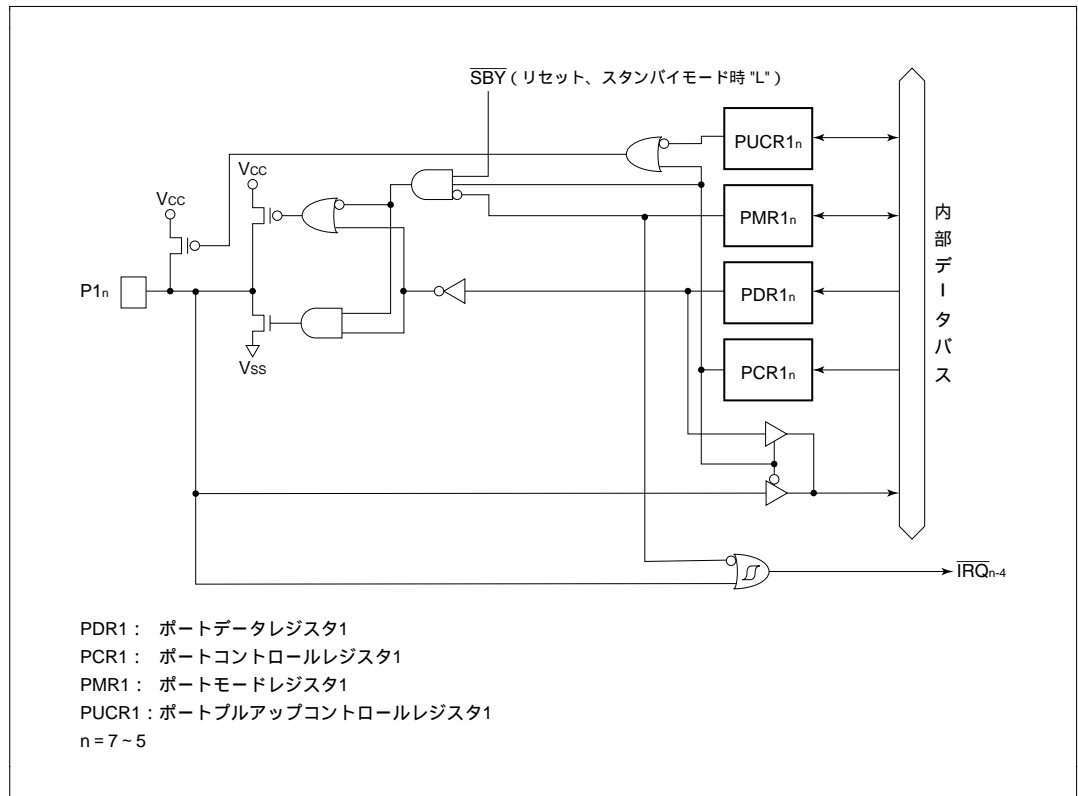


図 C.1 (a) ポート1 ブロック図 (P1₇ ~ P1₅端子)

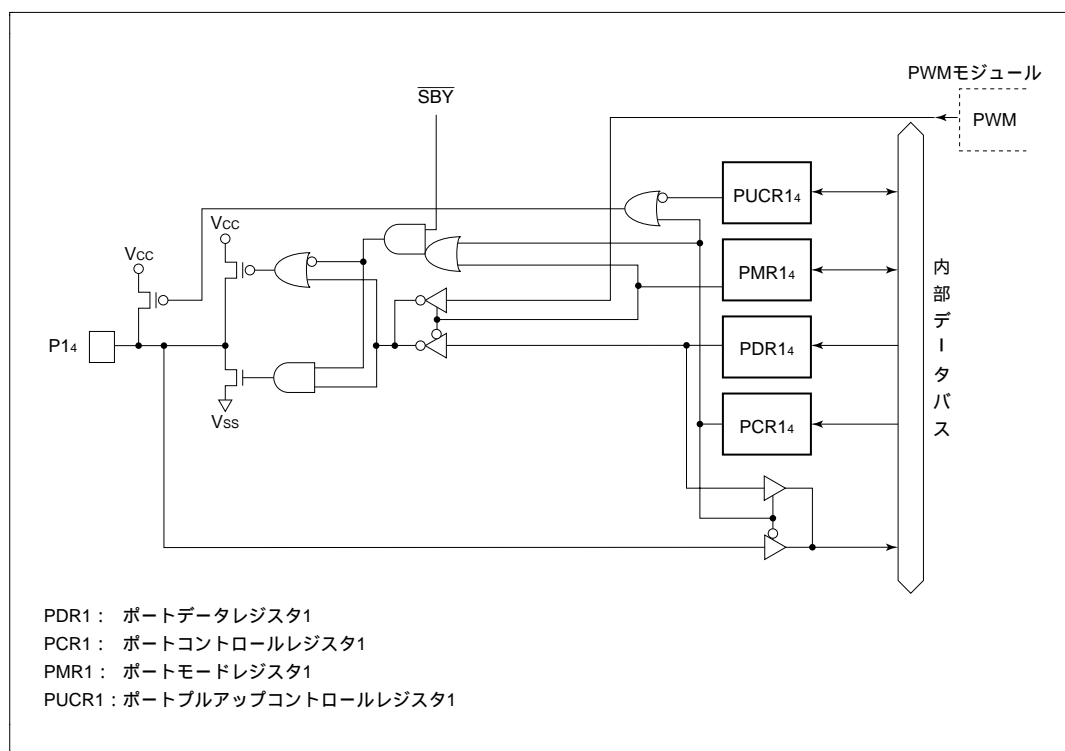


図 C.1 (b) ポート1 ブロック図 (P1₄端子)

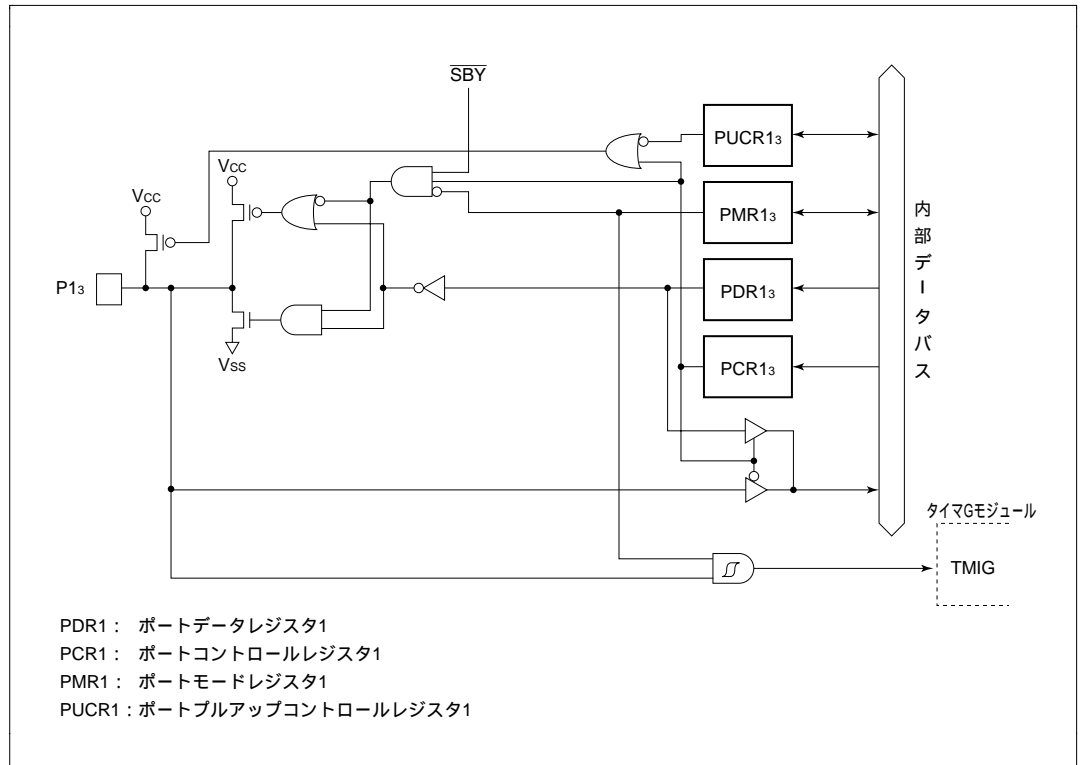


図 C.1 (c) ポート1 ブロック図 (P1₃端子)

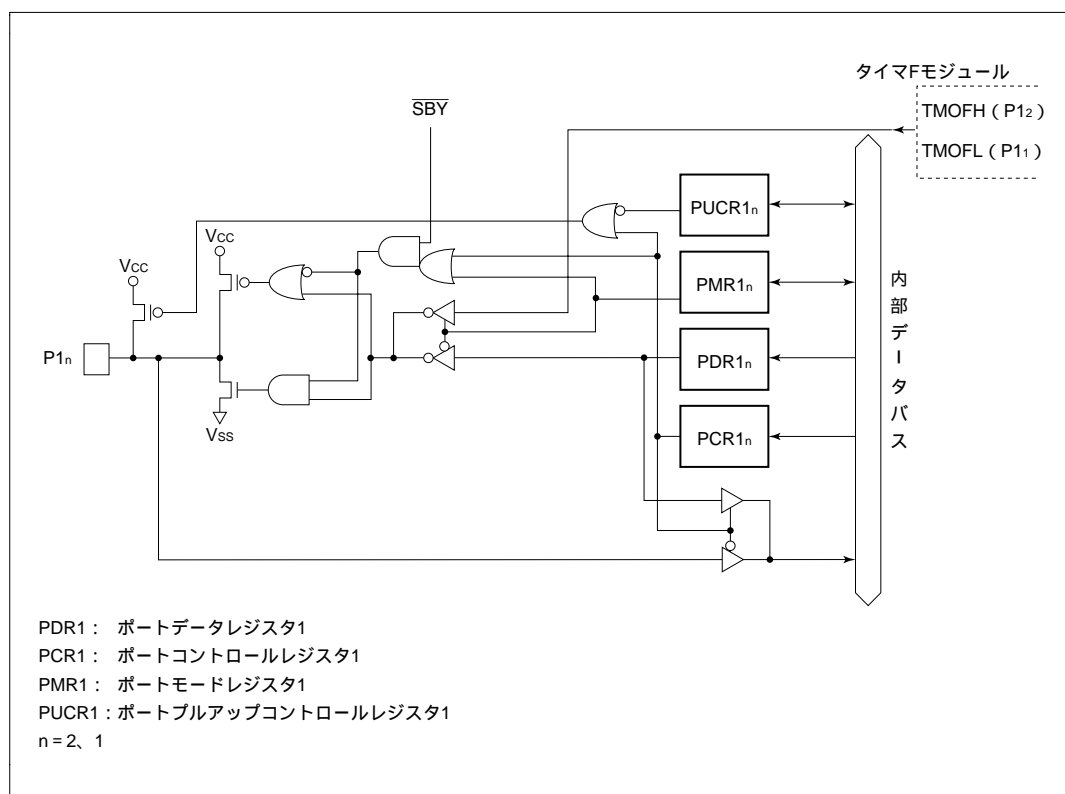


図 C.1 (d) ポート1 ブロック図 (P1₂, P1₁端子)

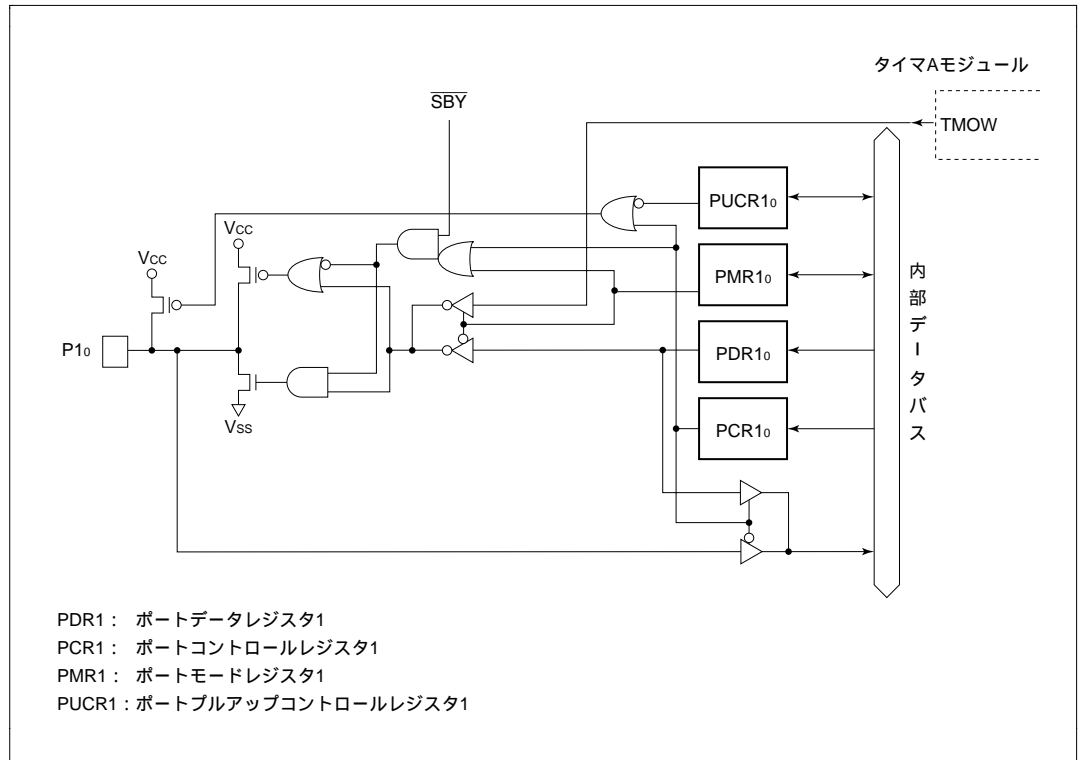


図 C.1 (e) ポート1 ブロック図 (P1₀端子)

C.2 ポート2ブロック図

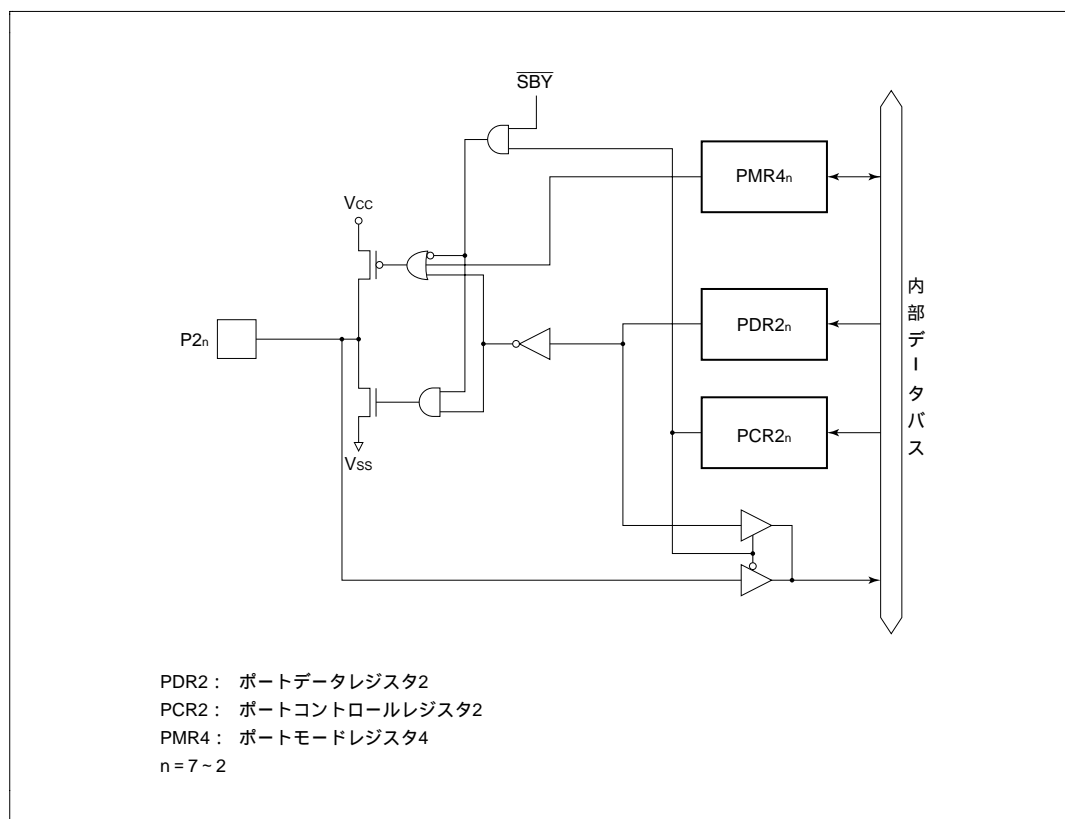


図 C.2 (a) ポート2 ブロック図 (P2₇ ~ P2₂端子)

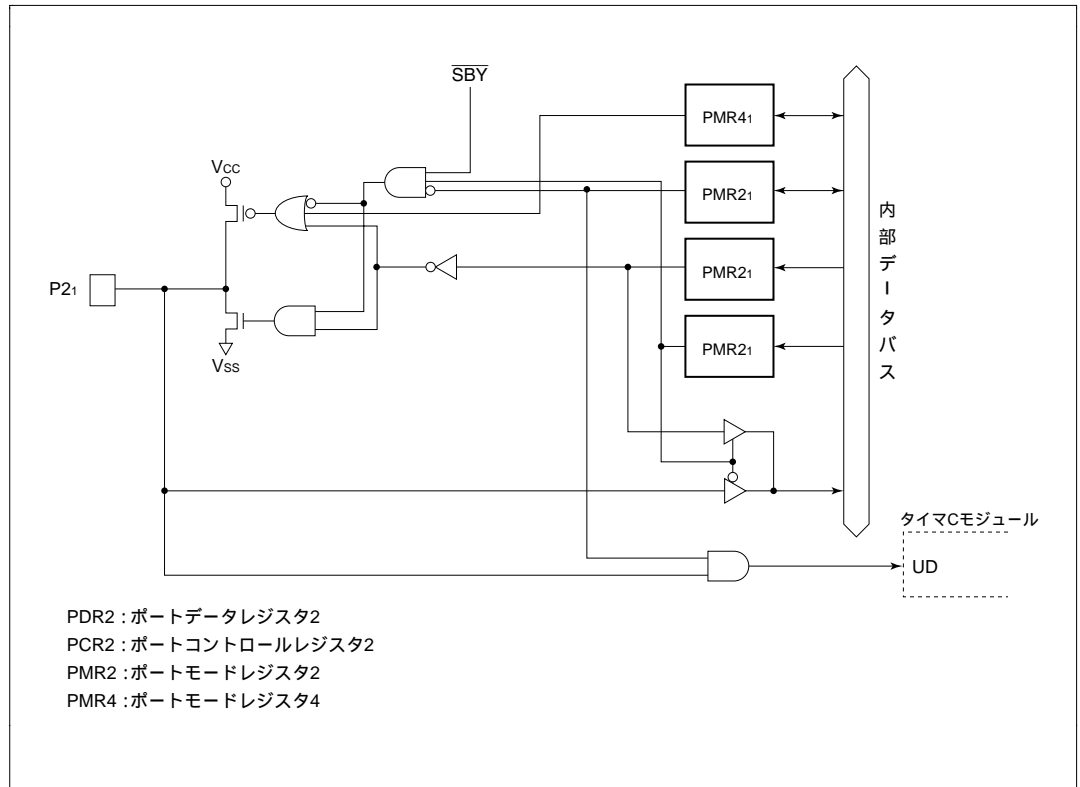


図 C.2 (b) ポート2 ブロック図 (P2₁端子)

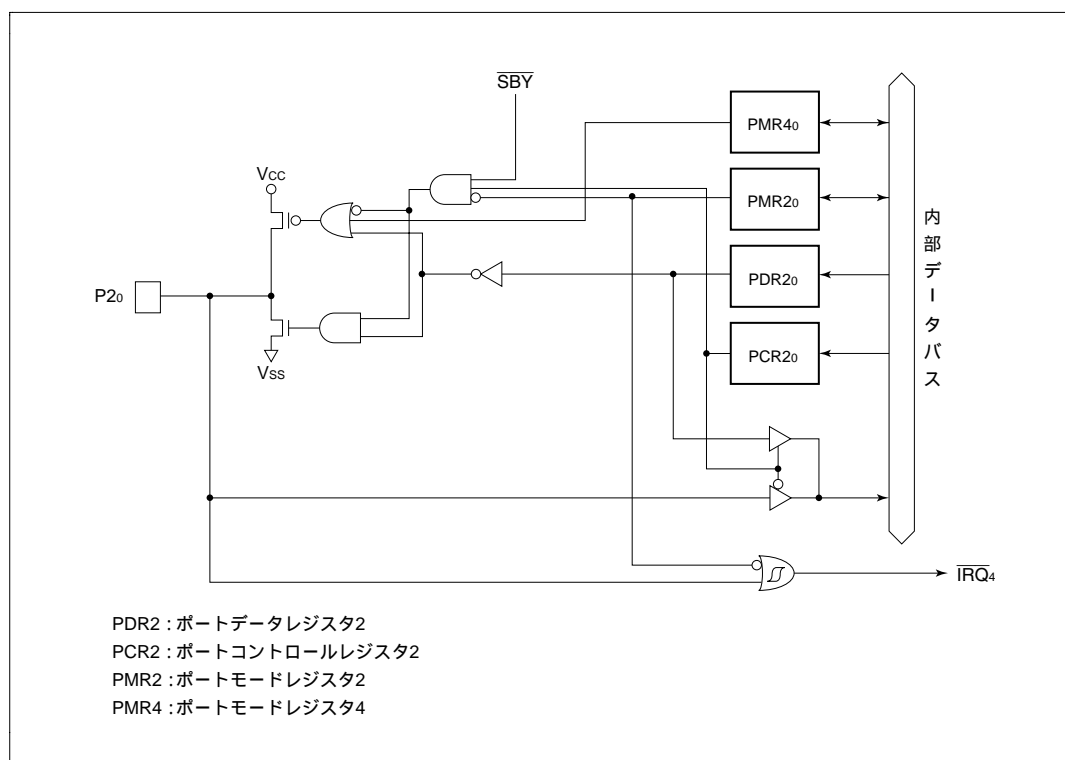


図 C.2 (c) ポート2 ブロック図 (P2₀端子)

C.3 ポート3ブロック図

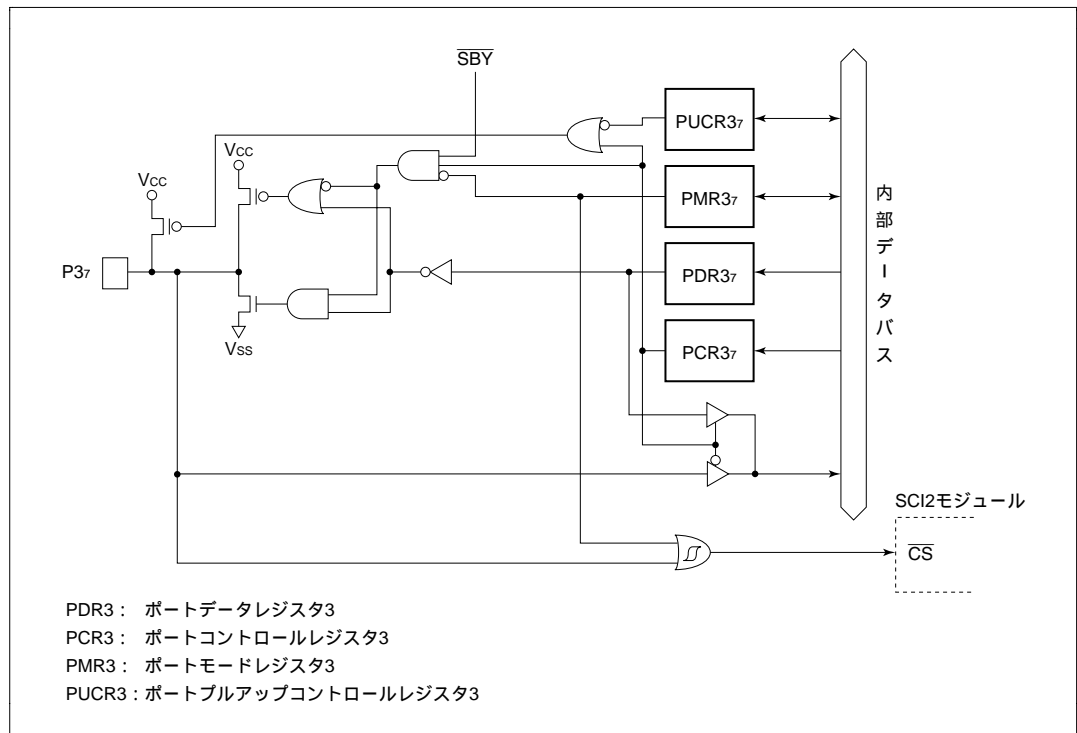


図 C.3 (a) ポート3 ブロック図 (P3₇端子)

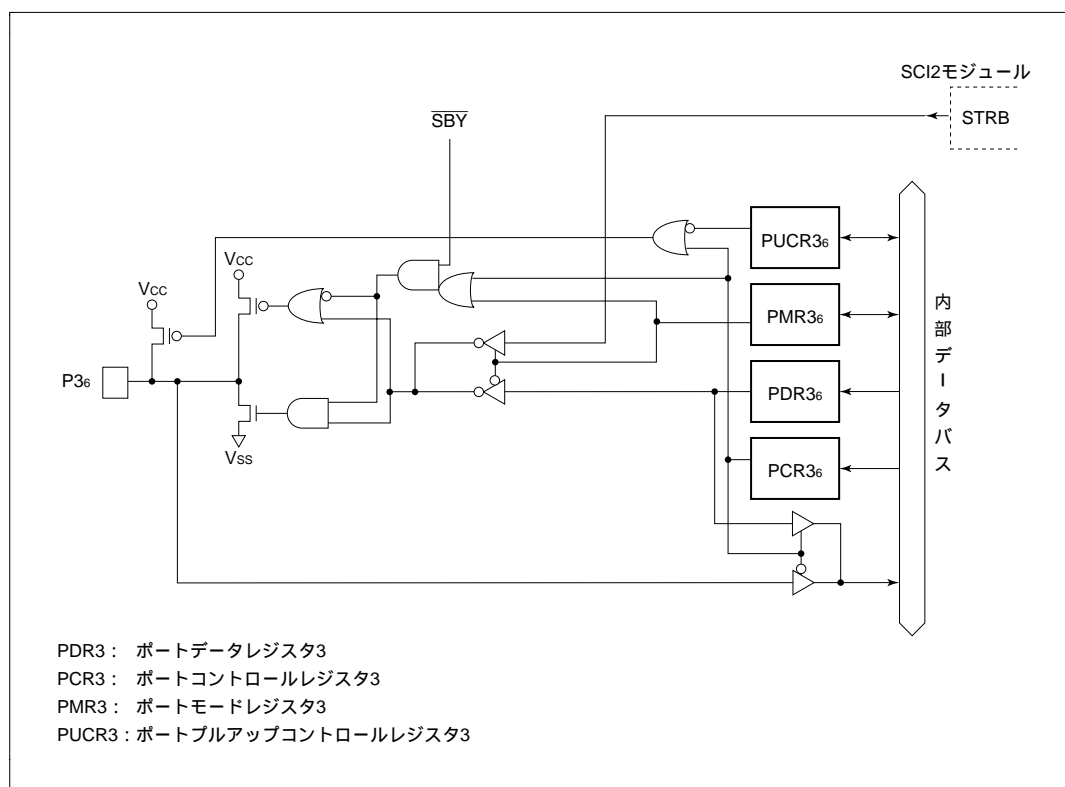


図 C.3 (b) ポート3 ブロック図 (P3₆端子)

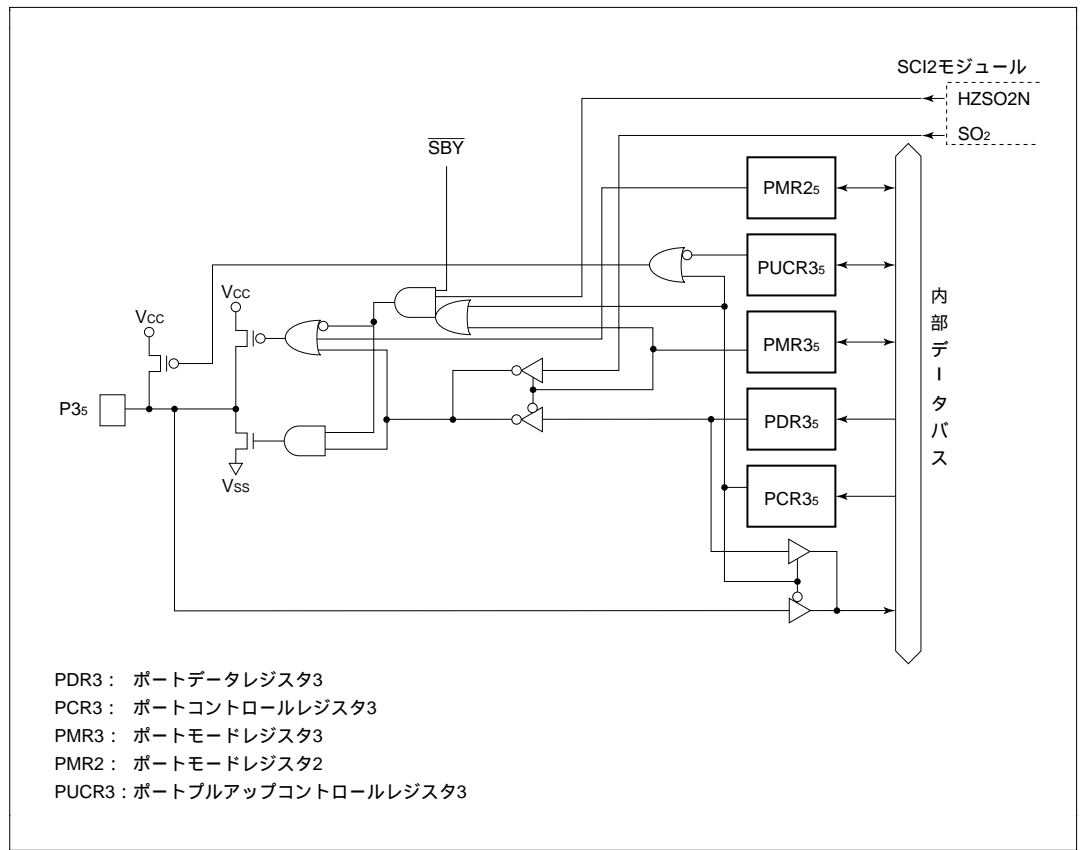


図 C.3 (c) ポート 3 ブロック図 (P3₅端子)

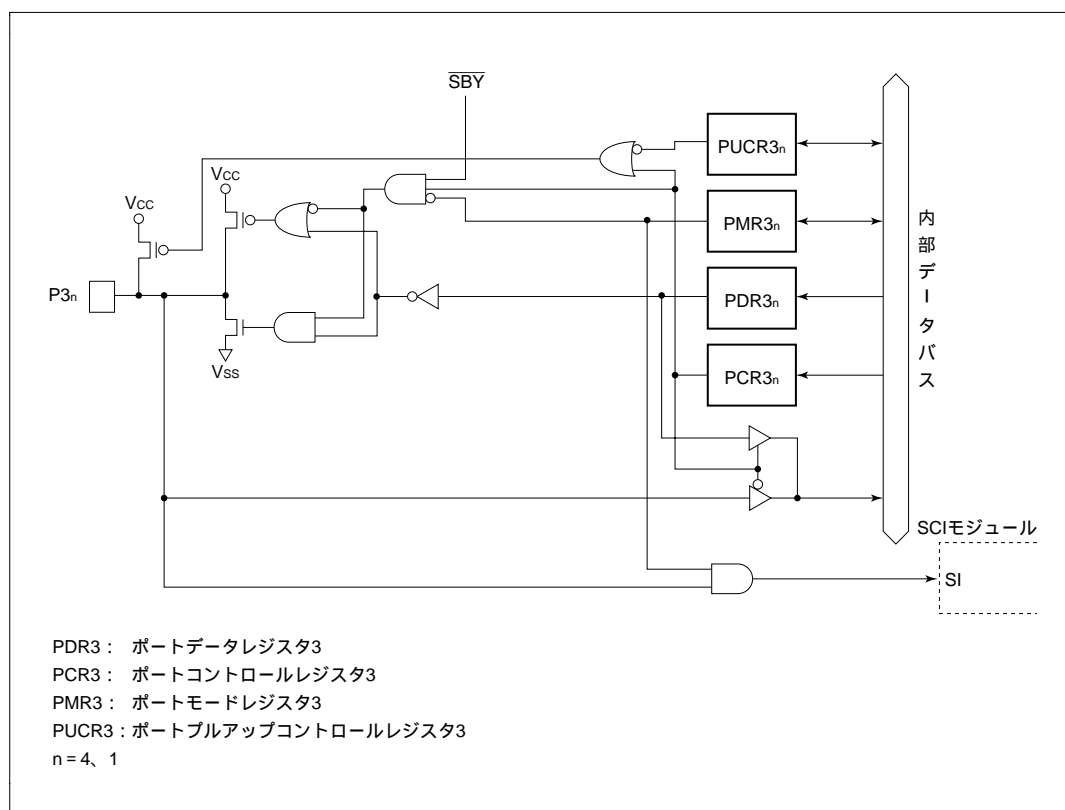


図 C.3 (d) ポート3 ブロック図 (P3₄, P3₁端子)

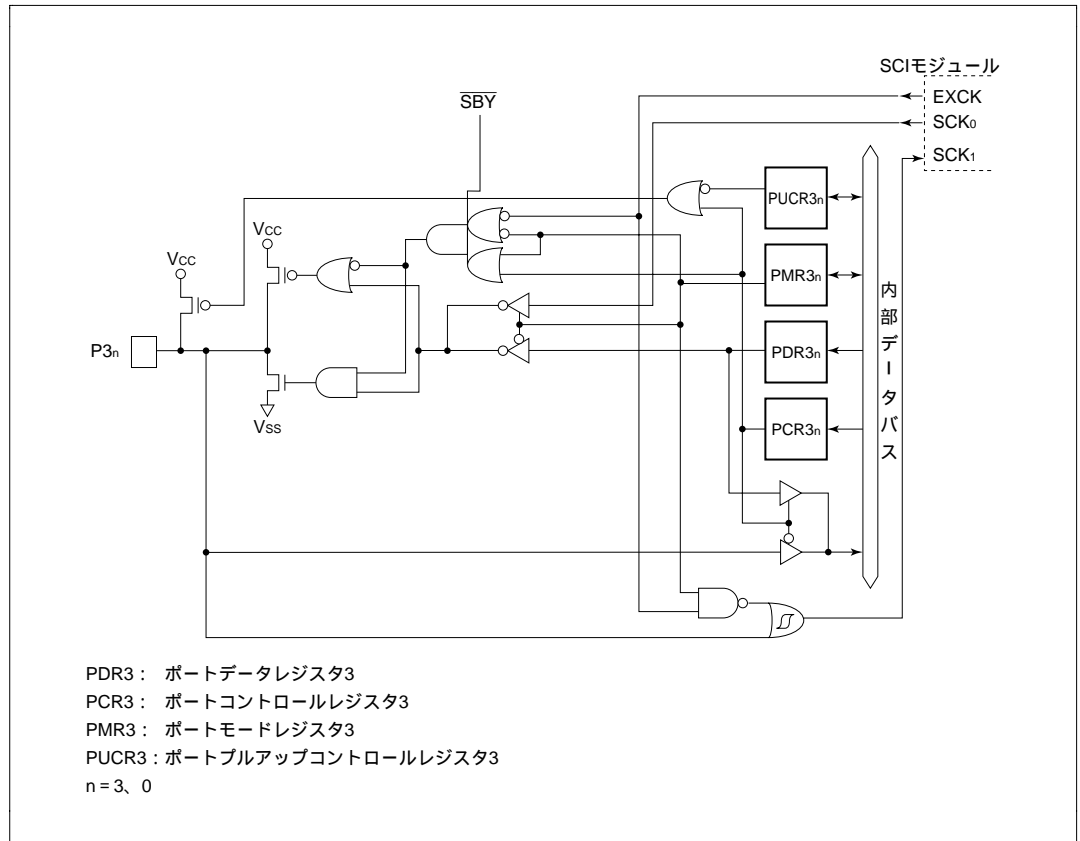


図 C.3 (e) ポート3 ブロック図 (P3₃、P3₀端子)

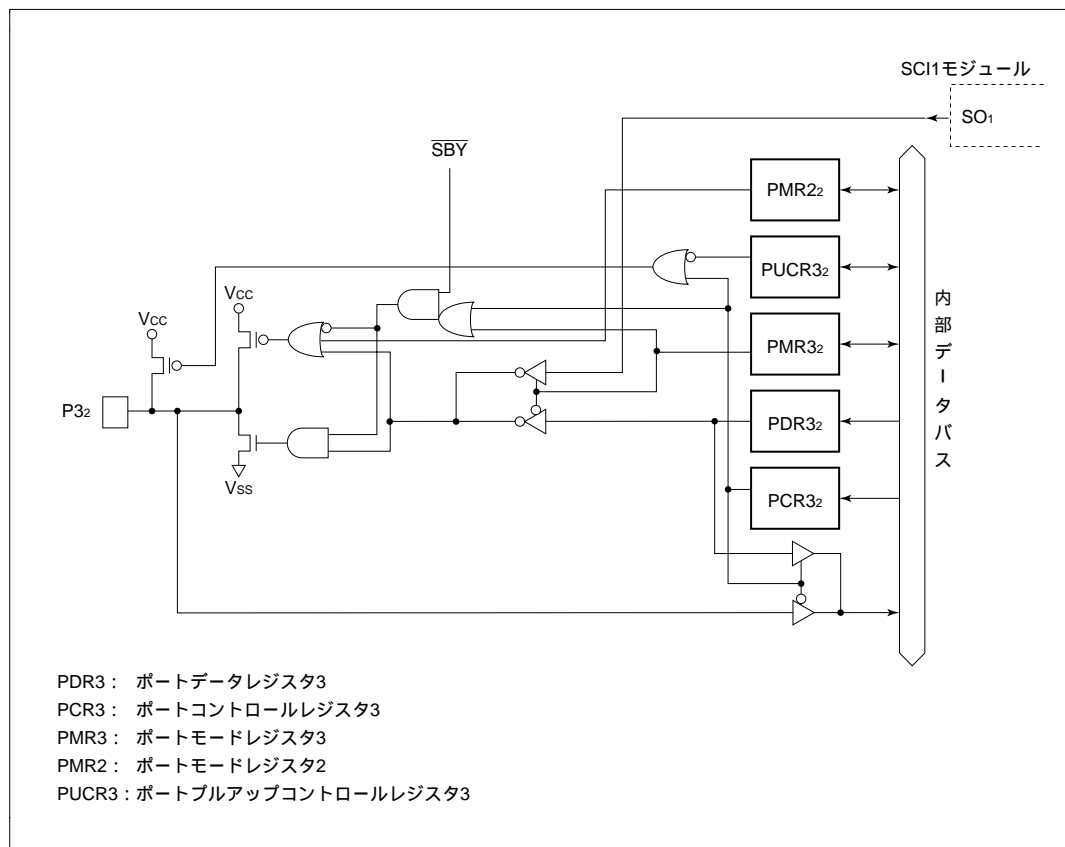


図 C.3 (f) ポート 3 ブロック図 (P₃₂端子)

C.4 ポート4ブロック図

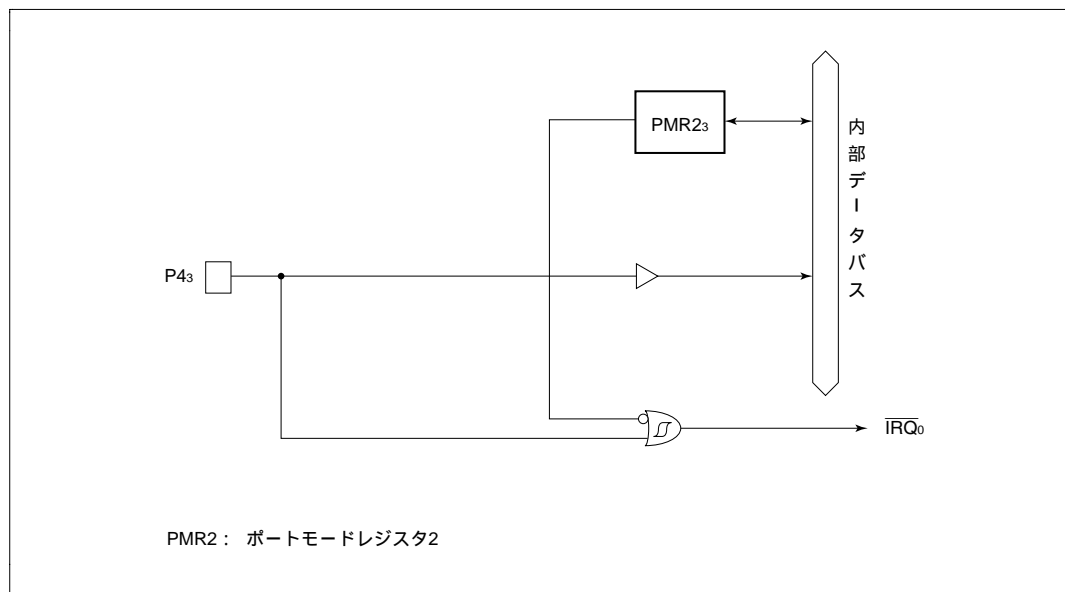


図 C.4 (a) ポート4 ブロック図 (P4₃端子)

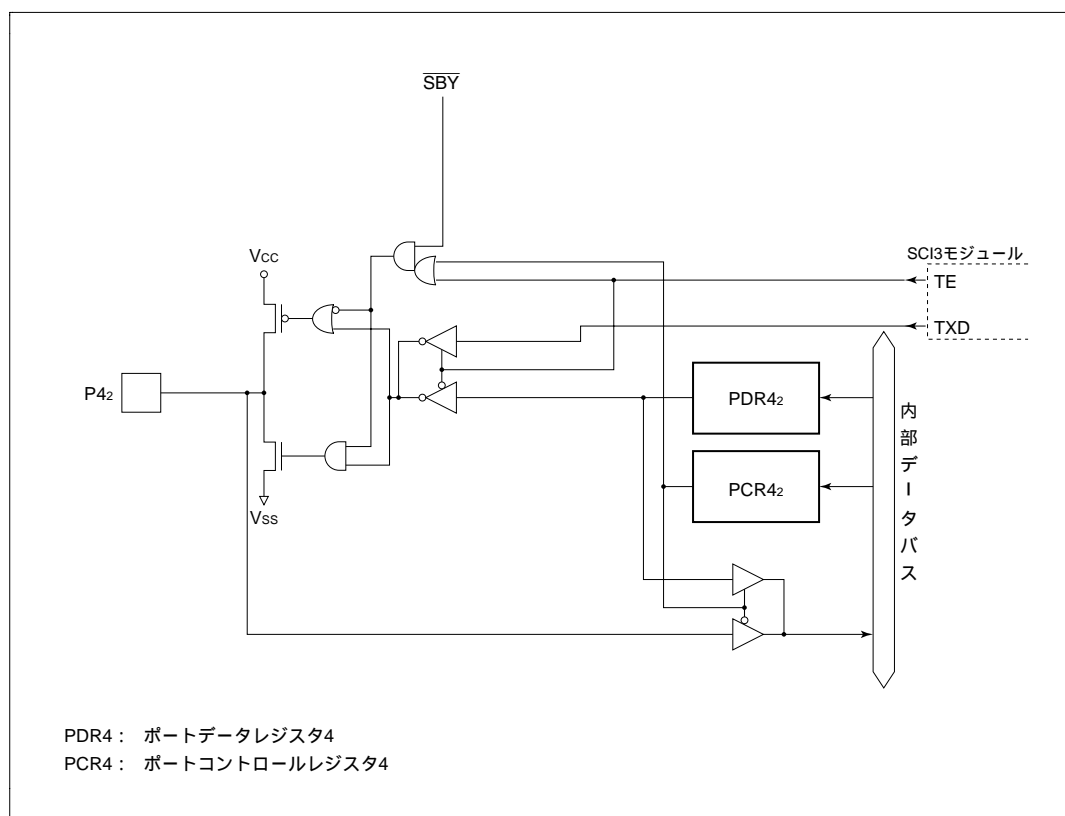


図 C.4 (b) ポート4 ブロック図 (P4₂端子)

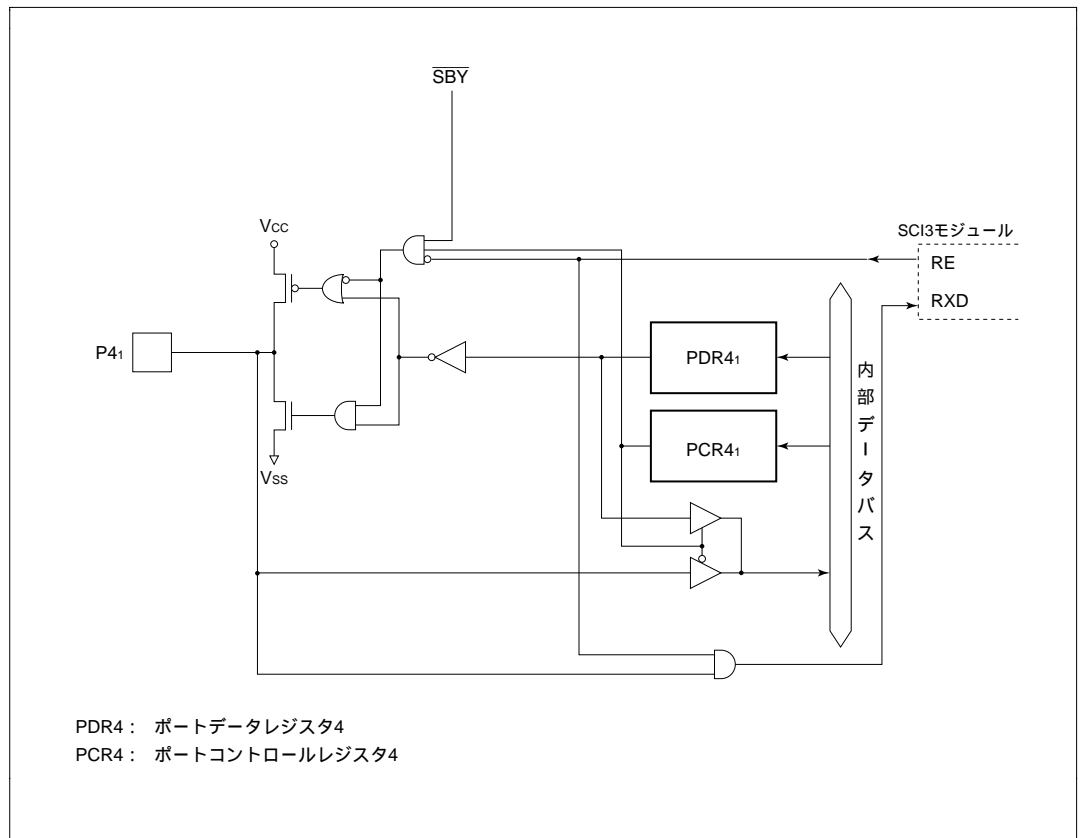


図 C.4 (c) ポート4 ブロック図 (P4₁端子)

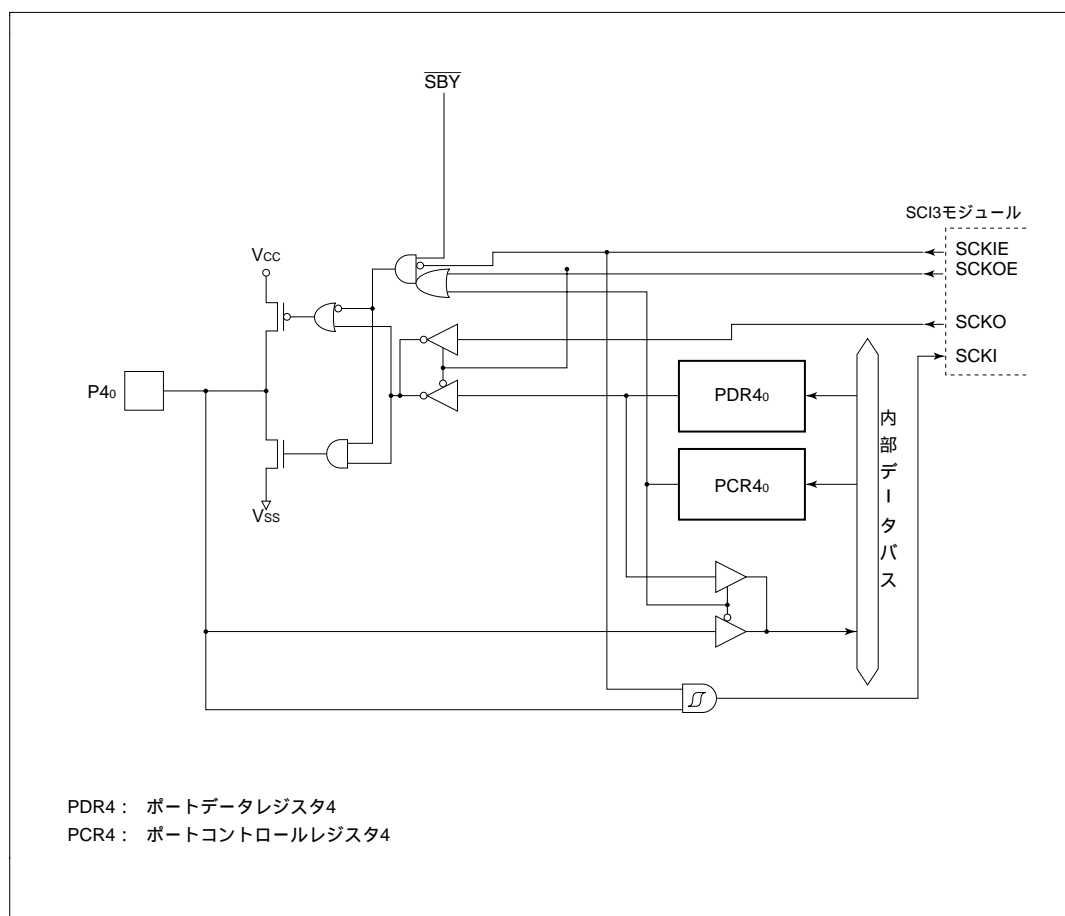


図 C.4 (d) ポート4 ブロック図 (P4₀端子)

C.5 ポート5ブロック図

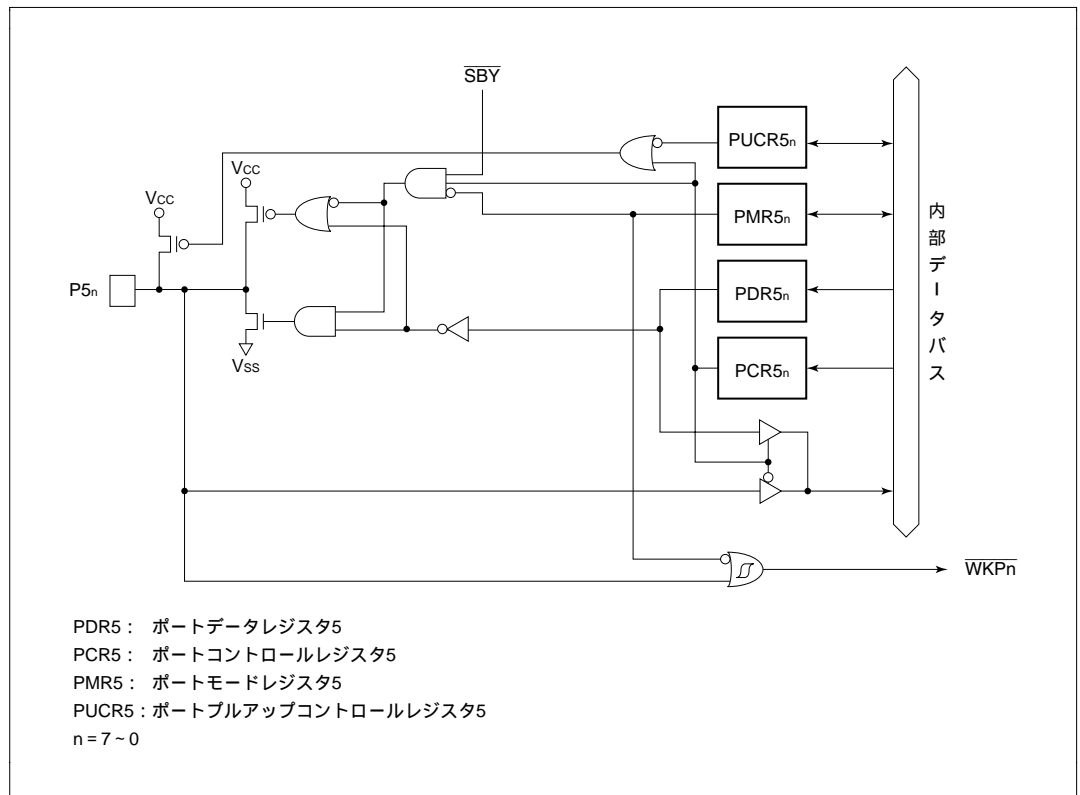


図 C.5 ポート5ブロック図

C.6 ポート6ブロック図

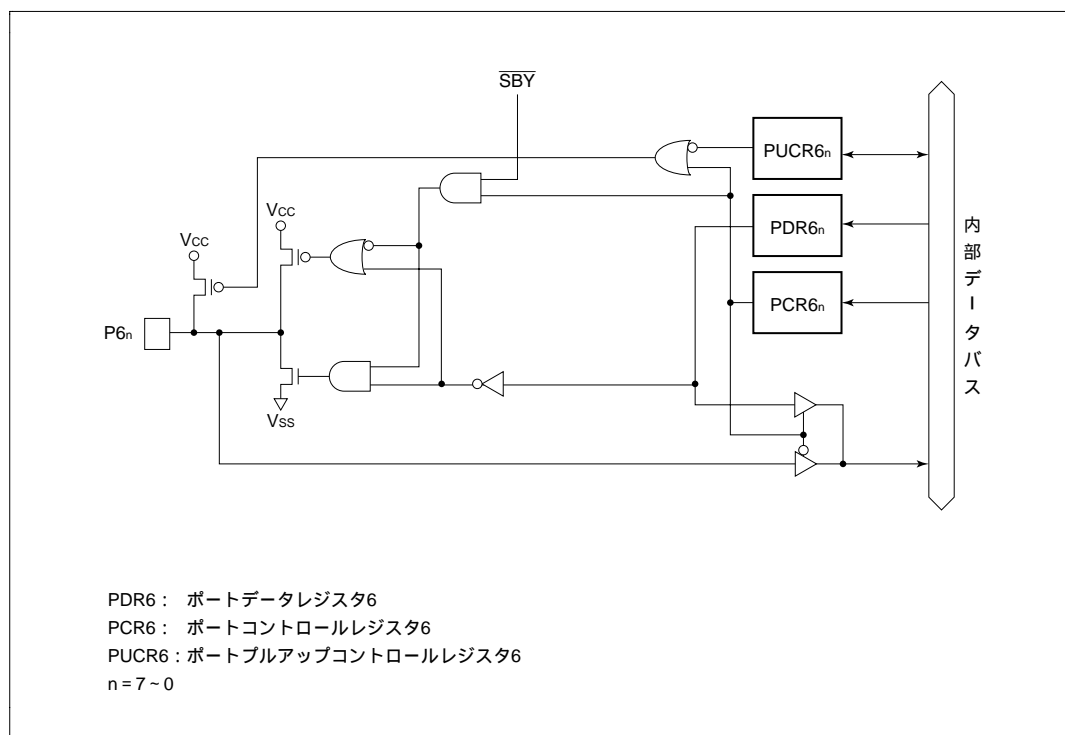


図 C.6 ポート6ブロック図

C.7 ポート7ブロック図

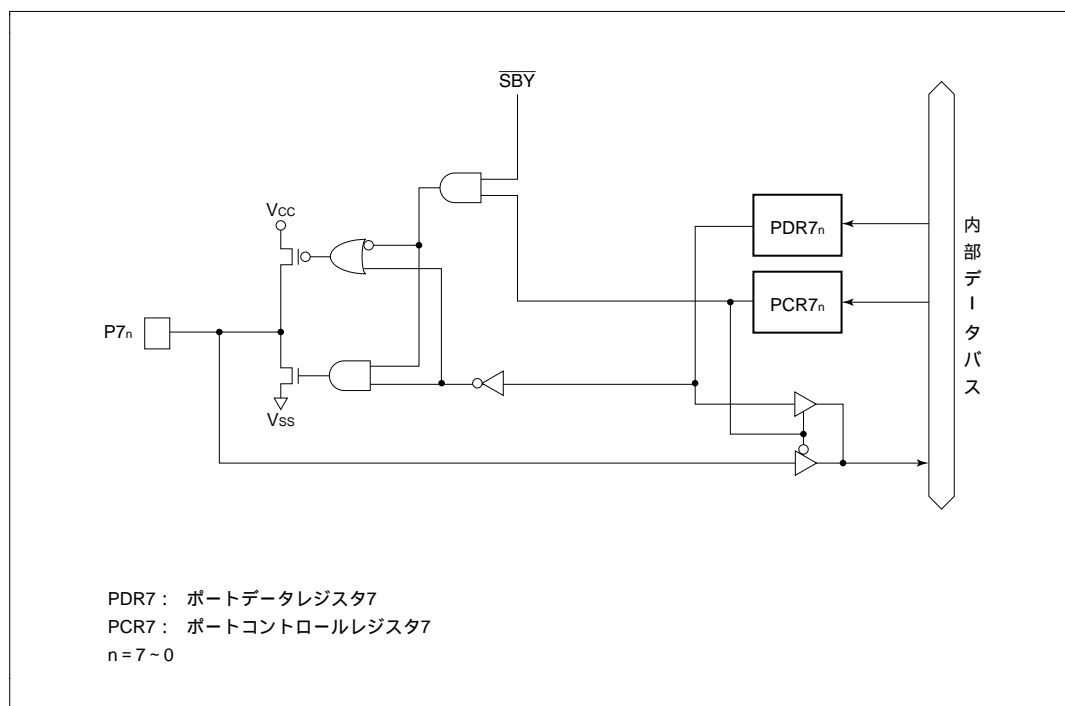


図 C.7 ポート7ブロック図

C.8 ポート8ブロック図

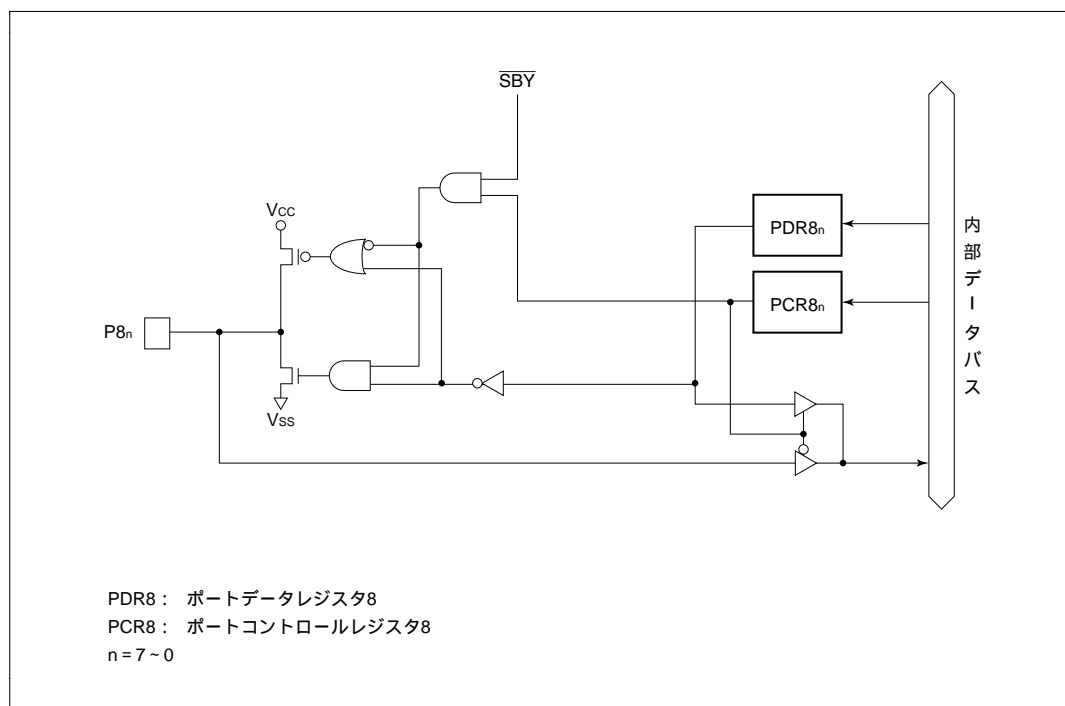


図 C.8 ポート8ブロック図

C.9 ポート9ブロック図

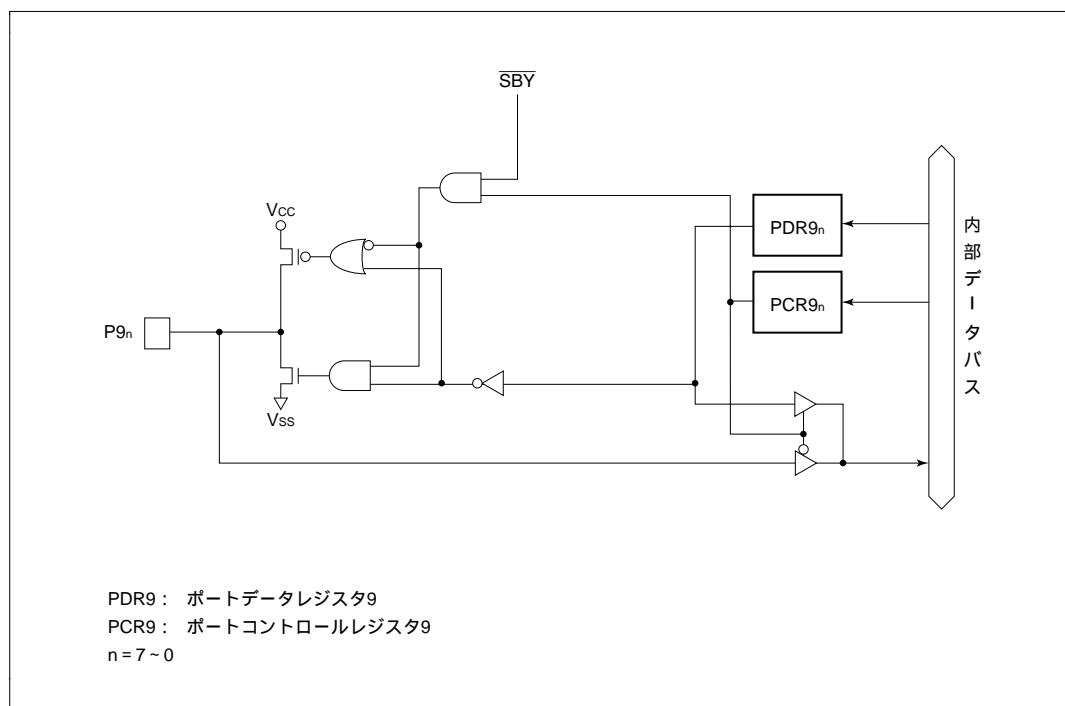


図 C.9 ポート9ブロック図

C.10 ポートAブロック図

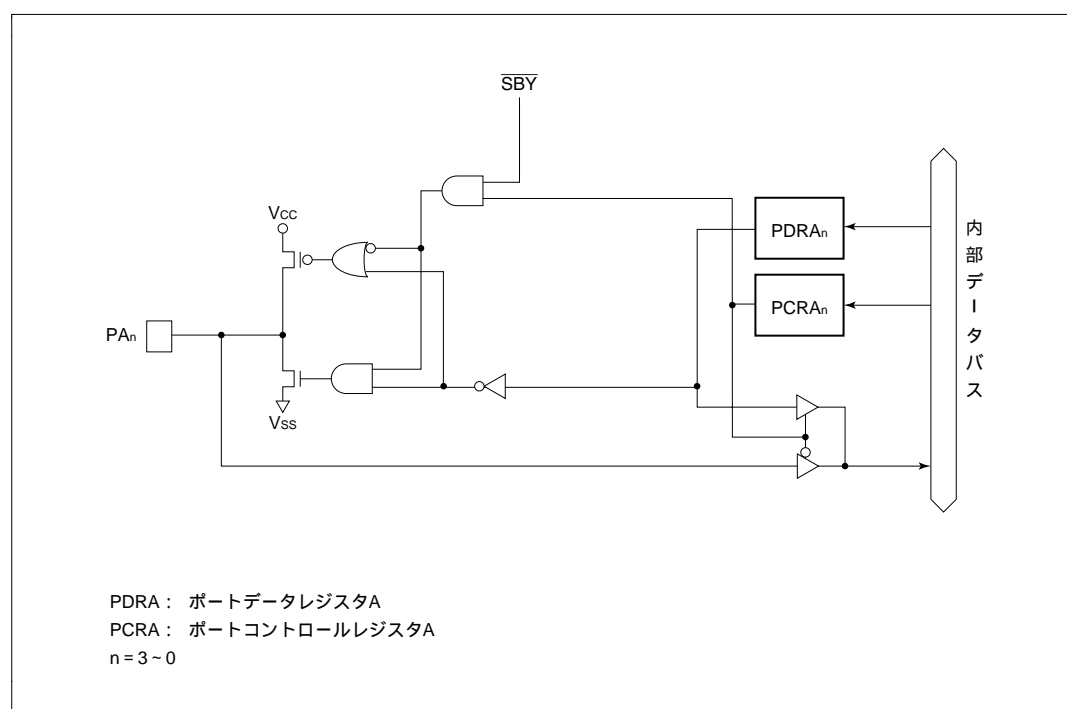


図 C.10 ポートAブロック図

C.11 ポートB ブロック図

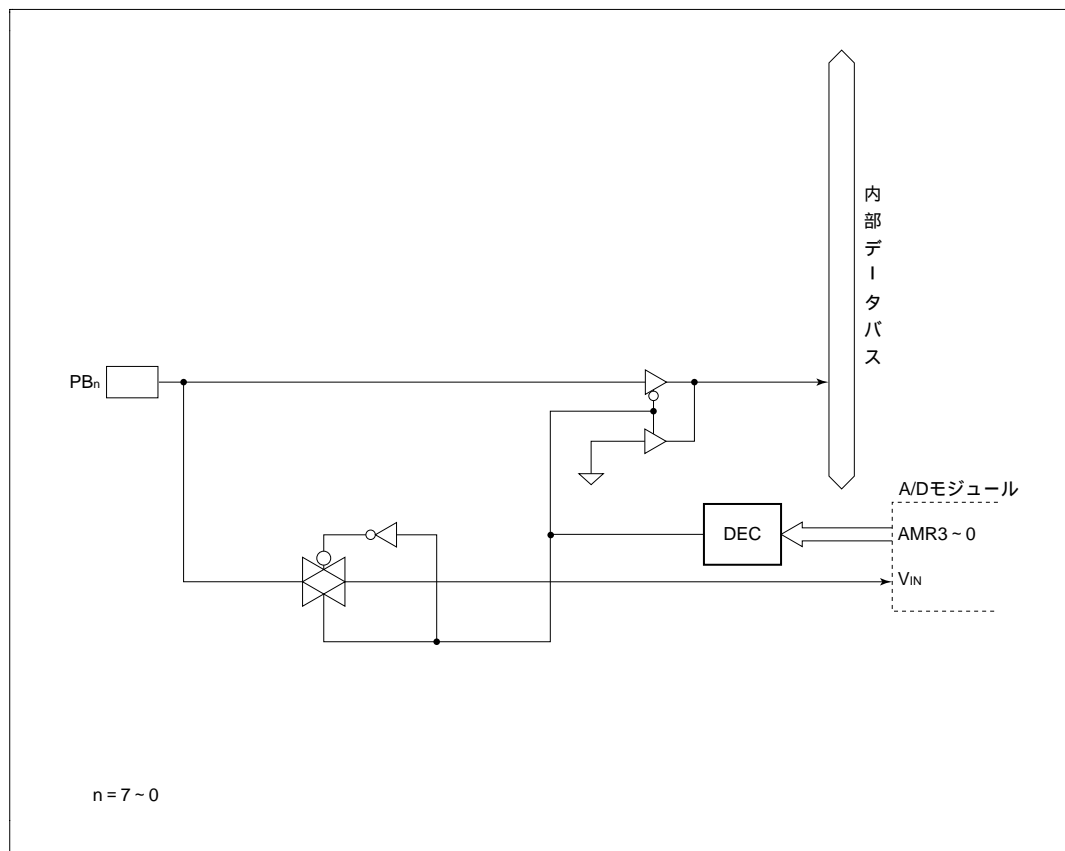


図 C.11 ポートB ブロック図

C.12 ポートCブロック図

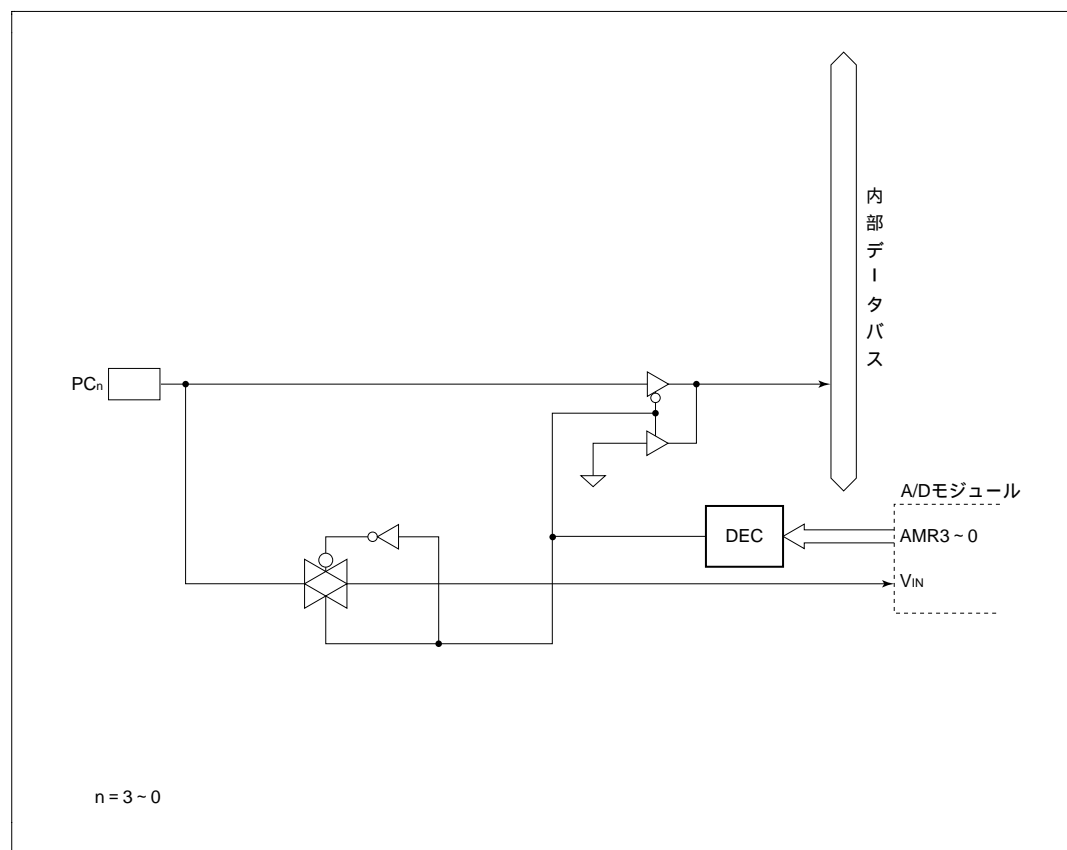


図 C.12 ポートCブロック図

D. 各処理状態におけるポートの状態

表 D.1 各ポートの状態一覧

ポート名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P1 ₇ ~P1 ₀	ハイインピ -ダンス	保持	保持	ハイインピ -ダンス*	保持	動作	動作
P2 ₇ ~P2 ₀	ハイインピ -ダンス	保持	保持	ハイインピ -ダンス	保持	動作	動作
P3 ₇ ~P3 ₀	ハイインピ -ダンス	保持	保持	ハイインピ -ダンス*	保持	動作	動作
P4 ₃ ~P4 ₀	ハイインピ -ダンス	保持	保持	ハイインピ -ダンス	保持	動作	動作
P5 ₇ ~P5 ₀	ハイインピ -ダンス	保持	保持	ハイインピ -ダンス*	保持	動作	動作
P6 ₇ ~P6 ₀	ハイインピ -ダンス	保持	保持	ハイインピ -ダンス	保持	動作	動作
P7 ₇ ~P7 ₀	ハイインピ -ダンス	保持	保持	ハイインピ -ダンス	保持	動作	動作
P8 ₇ ~P8 ₀	ハイインピ -ダンス	保持	保持	ハイインピ -ダンス	保持	動作	動作
P9 ₇ ~P9 ₀	ハイインピ -ダンス	保持	保持	ハイインピ -ダンス	保持	動作	動作
PA ₃ ~PA ₀	ハイインピ -ダンス	保持	保持	ハイインピ -ダンス	保持	動作	動作
PB ₇ ~PB ₀	ハイインピ -ダンス	ハイインピ -ダンス	ハイインピ -ダンス	ハイインピ -ダンス	ハイインピ -ダンス	ハイインピ -ダンス	ハイインピ -ダンス
PC ₃ ~PC ₀	ハイインピ -ダンス	ハイインピ -ダンス	ハイインピ -ダンス	ハイインピ -ダンス	ハイインピ -ダンス	ハイインピ -ダンス	ハイインピ -ダンス

【注】 * プルアップ MOS が ON 状態では"High"レベル出力となります。

E. ROM 発注手順

E.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2 組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、弊社では図 E.1 の流れ図に沿って ROM 書き換え品の開発を行います。

表 E.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社担当営業へお問い合わせください。

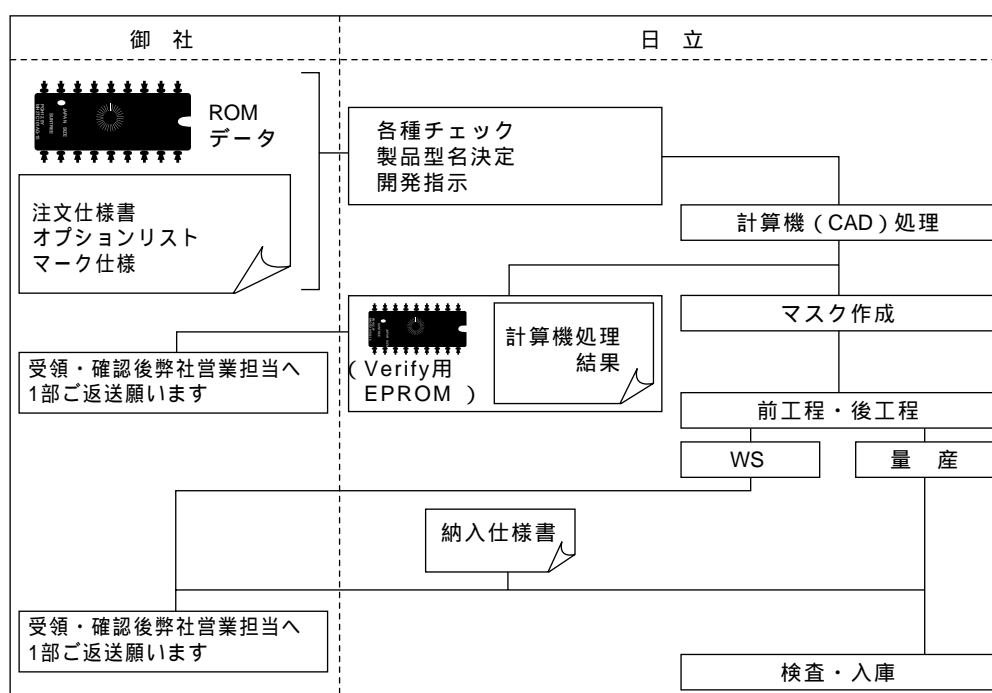


図 E.1 ROM 書き換え品開発の流れ

表 E.1 ROM 発注時に必要な提出物

発注媒体	EPROM または ZTAT [®] マイコン
提出物	ROM データ
	注文仕様書
	オプションリスト* ¹
	マーク仕様例* ²

【注】 *¹ 製品シリーズにより必要ないものがあります。また、内容も異なります。

*² 特別仕様の場合には、提出してください。

E.2 ROM 発注時の注意事項

提出していただく ROM データは、次の注意事項にしたがって、EPROMまたはZTAT®マイコンで提出してください。なお、EPROMまたはZTAT®マイコン以外の媒体（フロッピーディスク等）では対応できませんのでご注意ください。

- (1) EPROM に ROM データを書き込む際は、事前にデータを充分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用 EPROM において、ROM データの未使用（NOT USED）領域またはリザーブ領域には、必ず'FF'を書き込んでください。
- (3) 提出していただく EPROM には遮光ラベルを貼り、御社の品番等を記入してください。
- (4) EPROM に書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導伝性のシートに梱包するなど取り扱いに充分注意してください（アルミ箔、発泡スチロール等は不可）。なお、これらによるデータの読み取りエラーに備え、同一内容の EPROM を 2 組以上提出してください。

F. 製品型名一覧

表 F.1 H8/3834 シリーズ型名一覧

製品分類			製品型名	マーク型名	パッケージ (日立パッケージコード)
H8/3837	PROM 版	標準品	HD6473837H	HD6473837H	100 ピン QFP (FP-100B)
			HD6473837F	HD6473837F	100 ピン QFP (FP-100A)
			HD6473837X	HD6473837X	100 ピン TQFP (TFP-100B)
		I 仕様品	HD6473837D	HD6473837HI	100 ピン QFP (FP-100B)
			HD6473837E	HD6473837FI	100 ピン QFP (FP-100A)
	マスク ROM 版	標準品	HD6433837H	HD6433837 (***) H	100 ピン QFP (FP-100B)
			HD6433837F	HD6433837 (***) F	100 ピン QFP (FP-100A)
			HD6433837X	HD6433837 (***) X	100 ピン TQFP (TFP-100B)
		I 仕様品	HD6433837D	HD6433837 (***) HI	100 ピン QFP (FP-100B)
			HD6433837E	HD6433837 (***) FI	100 ピン QFP (FP-100A)
			HD6433837L	HD6433837 (***) XI	100 ピン TQFP (TFP-100B)
H8/3836	マスク ROM 版	標準品	HD6433836H	HD6433836 (***) H	100 ピン QFP (FP-100B)
			HD6433836F	HD6433836 (***) F	100 ピン QFP (FP-100A)
			HD6433836X	HD6433836 (***) X	100 ピン TQFP (TFP-100B)
		I 仕様品	HD6433836D	HD6433836 (***) HI	100 ピン QFP (FP-100B)
			HD6433836E	HD6433836 (***) FI	100 ピン QFP (FP-100A)
			HD6433836L	HD6433836 (***) XI	100 ピン TQFP (TFP-100B)
H8/3835	マスク ROM 版	標準品	HD6433835H	HD6433835 (***) H	100 ピン QFP (FP-100B)
			HD6433835F	HD6433835 (***) F	100 ピン QFP (FP-100A)
			HD6433835X	HD6433835 (***) X	100 ピン TQFP (TFP-100B)
		I 仕様品	HD6433835D	HD6433835 (***) HI	100 ピン QFP (FP-100B)
			HD6433835E	HD6433835 (***) FI	100 ピン QFP (FP-100A)
			HD6433835L	HD6433835 (***) XI	100 ピン TQFP (TFP-100B)
H8/3834	PROM 版	標準品	HD6473834H	HD6473834H	100 ピン QFP (FP-100B)
			HD6473834F	HD6473834F	100 ピン QFP (FP-100A)
			HD6473834X	HD6473834X	100 ピン TQFP (TFP-100B)
		I 仕様品	HD6473834D	HD6473834HI	100 ピン QFP (FP-100B)
			HD6473834E	HD6473834FI	100 ピン QFP (FP-100A)

製品分類			製品型名	マーク型名	パッケージ (日立パッケージコード)
H8/3834	マスク ROM 版	標準品	HD6433834H	HD6433834 (***) H	100 ピン QFP (FP-100B)
			HD6433834F	HD6433834 (***) F	100 ピン QFP (FP-100A)
			HD6433834X	HD6433834 (***) X	100 ピン TQFP (TFP-100B)
	I 仕様品	HD6433834D	HD6433834 (***) HI	100 ピン QFP (FP-100B)	
		HD6433834E	HD6433834 (***) FI	100 ピン QFP (FP-100A)	
		HD6433834L	HD6433834 (***) XI	100 ピン TQFP (TFP-100B)	
H8/3833	マスク ROM 版	標準品	HD6433833H	HD6433833 (***) H	100 ピン QFP (FP-100B)
			HD6433833F	HD6433833 (***) F	100 ピン QFP (FP-100A)
			HD6433833X	HD6433833 (***) X	100 ピン TQFP (TFP-100B)
	I 仕様品	HD6433833D	HD6433833 (***) HI	100 ピン QFP (FP-100B)	
		HD6433833E	HD6433833 (***) FI	100 ピン QFP (FP-100A)	
		HD6433833L	HD6433833 (***) XI	100 ピン TQFP (TFP-100B)	

【注】 マスク ROM 版の (***) は ROM コードです。

表 F.2 H8/3834S シリーズ型名一覧

製品分類			製品型名	マーク型名	パッケージ (日立パッケージコード)
H8/3837S	マスク ROM 版	標準品	HD6433837SH	HD6433837 (***) SH	100 ピン QFP (FP-100B)
			HD6433837SF	HD6433837 (***) SF	100 ピン QFP (FP-100A)
			HD6433837SX	HD6433837 (***) SX	100 ピン TQFP (TFP-100B)
	I 仕様品	HD6433837SD	HD6433837 (***) SHI	100 ピン QFP (FP-100B)	
		HD6433837SE	HD6433837 (***) SFI	100 ピン QFP (FP-100A)	
		HD6433837SL	HD6433837 (***) SXI	100 ピン TQFP (TFP-100B)	
H8/3836S	マスク ROM 版	標準品	HD6433836SH	HD6433836 (***) SH	100 ピン QFP (FP-100B)
			HD6433836SF	HD6433836 (***) SF	100 ピン QFP (FP-100A)
			HD6433836SX	HD6433836 (***) SX	100 ピン TQFP (TFP-100B)
	I 仕様品	HD6433836SD	HD6433836 (***) SHI	100 ピン QFP (FP-100B)	
		HD6433836SE	HD6433836 (***) SFI	100 ピン QFP (FP-100A)	
		HD6433836SL	HD6433836 (***) SXI	100 ピン TQFP (TFP-100B)	
H8/3835S	マスク ROM 版	標準品	HD6433835SH	HD6433835 (***) SH	100 ピン QFP (FP-100B)
			HD6433835SF	HD6433835 (***) SF	100 ピン QFP (FP-100A)
			HD6433835SX	HD6433835 (***) SX	100 ピン TQFP (TFP-100B)
	I 仕様品	HD6433835SD	HD6433835 (***) SHI	100 ピン QFP (FP-100B)	
		HD6433835SE	HD6433835 (***) SFI	100 ピン QFP (FP-100A)	
		HD6433835SL	HD6433835 (***) SXI	100 ピン TQFP (TFP-100B)	
H8/3834S	マスク ROM 版	標準品	HD6433834SH	HD6433834 (***) SH	100 ピン QFP (FP-100B)
			HD6433834SF	HD6433834 (***) SF	100 ピン QFP (FP-100A)
			HD6433834SX	HD6433834 (***) SX	100 ピン TQFP (TFP-100B)
	I 仕様品	HD6433834SD	HD6433834 (***) SHI	100 ピン QFP (FP-100B)	
		HD6433834SE	HD6433834 (***) SFI	100 ピン QFP (FP-100A)	
		HD6433834SL	HD6433834 (***) SXI	100 ピン TQFP (TFP-100B)	
H8/3833S	マスク ROM 版	標準品	HD6433833SH	HD6433833 (***) SH	100 ピン QFP (FP-100B)
			HD6433833SF	HD6433833 (***) SF	100 ピン QFP (FP-100A)
			HD6433833SX	HD6433833 (***) SX	100 ピン TQFP (TFP-100B)
	I 仕様品	HD6433833SD	HD6433833 (***) SHI	100 ピン QFP (FP-100B)	
		HD6433833SE	HD6433833 (***) SFI	100 ピン QFP (FP-100A)	
		HD6433833SL	HD6433833 (***) SXI	100 ピン TQFP (TFP-100B)	

製品分類			製品型名	マーク型名	パッケージ (日立パッケージコード)
H8/3832S	マスク ROM版	標準品	HD6433832SH	HD6433832 (***) SH	100 ピン QFP (FP-100B)
			HD6433832SF	HD6433832 (***) SF	100 ピン QFP (FP-100A)
			HD6433832SX	HD6433832 (***) SX	100 ピン TQFP (TFP-100B)
	I仕様品	HD6433832SD	HD6433832 (***) SHI	100 ピン QFP (FP-100B)	
		HD6433832SE	HD6433832 (***) SFI	100 ピン QFP (FP-100A)	
		HD6433832SL	HD6433832 (***) SXI	100 ピン TQFP (TFP-100B)	

【注】 マスク ROM 版の (***) は ROM コードです。

G. 外形寸法図

H8/3834 シリーズの外形寸法図 FP-100B を図 G.1、FP-100A を図 G.2、TFP-100B を図 G.3 に示します。

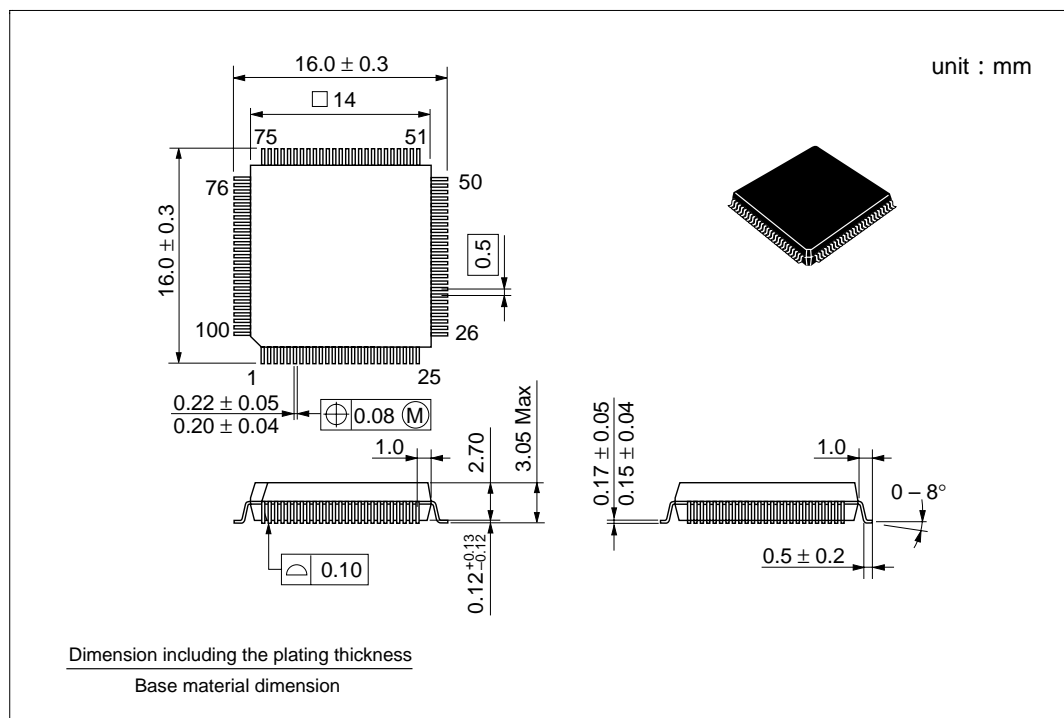


図 G.1 外形寸法図〔FP-100B〕

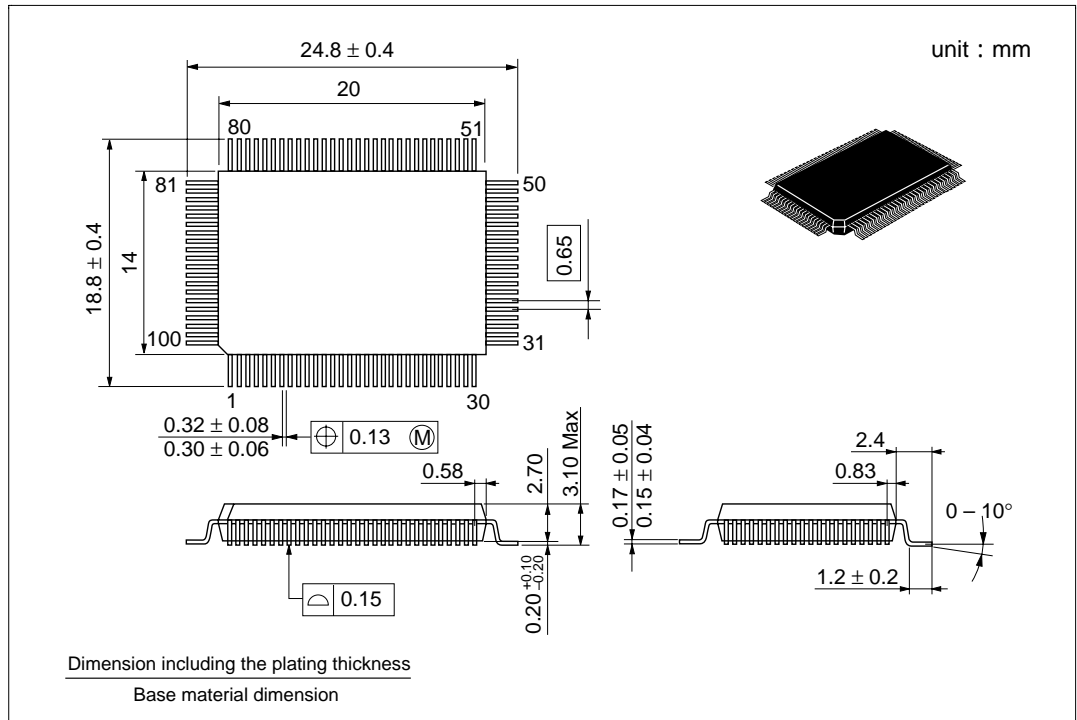


図 G.2 外形寸法図〔FP-100A〕

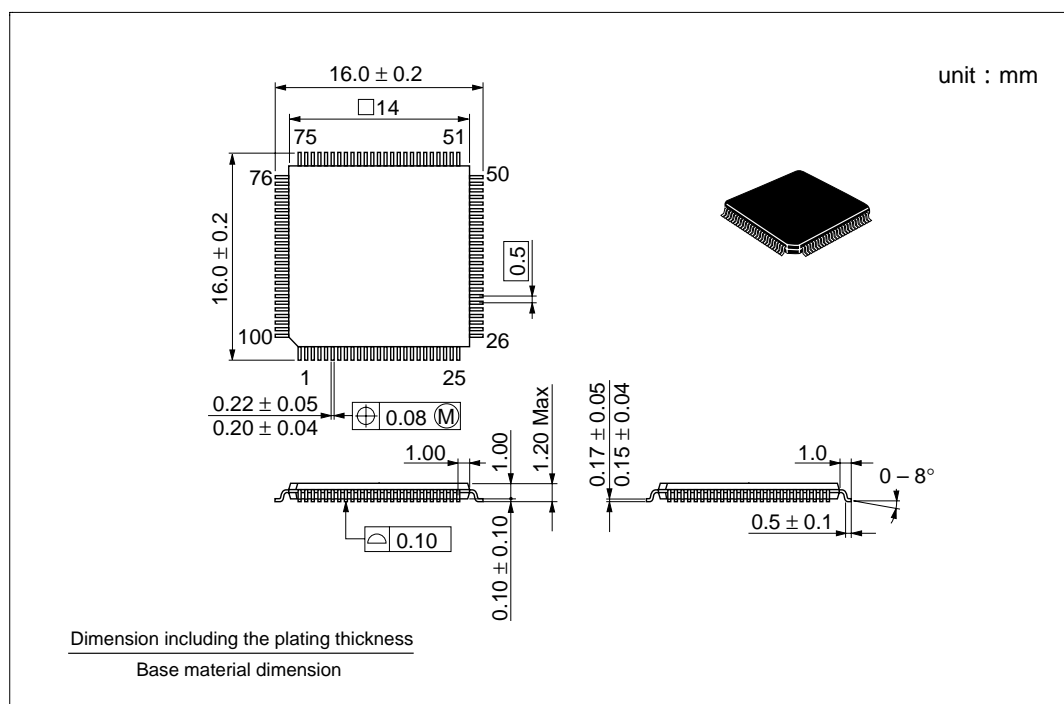


図 G.3 外形寸法図〔TFP-100B〕

H8/3834 シリーズ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

ADJ-602-069D