

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

H8/3827Rグループ、H8/3827Sグループ、 H8/38327グループ、H8/38427グループ

ハードウェアマニュアル

ルネサス8ビットシングルチップマイクロコンピュータ

H8ファミリ／H8/300L Super Low Powerシリーズ

H8/3827R	H8/3822R	
	H8/3823R	
	H8/3824R	
	H8/3825R	
	H8/3826R	
	H8/3827R	
	H8/3827S	
H8/3827S	H8/3824S	
	H8/3825S	
	H8/3826S	
	H8/3827S	
	H8/38327	H8/38322
		H8/38323
		H8/38324
H8/38325		
H8/38326		
H8/38327		
H8/38427		H8/38422
	H8/38423	
	H8/38424	
	H8/38425	
	H8/38426	
	H8/38427	

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりますとは、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC 端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC 端子には、何も接続しないようにしてください。接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】未使用の入力端子はハイまたはローレベルに固定してください。

CMOS 製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

はじめに

H8/300L シリーズは、高速 H8/300L CPU を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。

H8/300L CPU は、H8/300CPU と互換性のある命令体系を備えています。

本 LSI は、システム構成に必要な周辺機能として、LCD コントローラ/ドライバ、6 種類のタイマ、14 ビット PWM、2 チャンネルのシリアルコミュニケーションインタフェース、A/D 変換器を内蔵しています。LCD 表示を必要とするシステムの組み込み用マイコンとして活用できます。

本マニュアルは、H8/3827R グループ、H8/3827S グループ、H8/38327 グループ、H8/38427 グループのハードウェアについて記載しています。命令の詳細については、「H8/300L シリーズ プログラミングマニュアル」をあわせてご覧ください。

ご注意：オンチップエミュレータを使用してプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

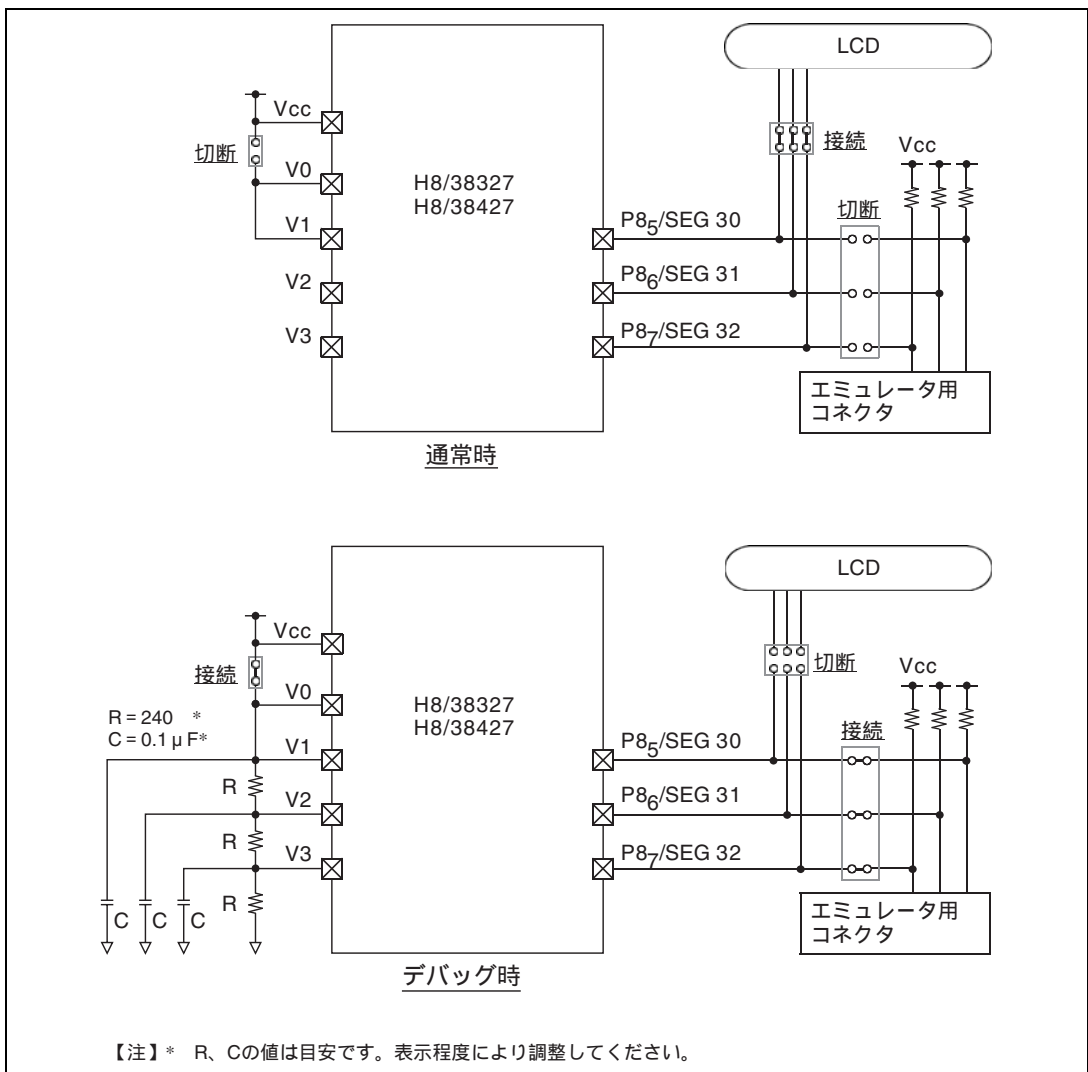
1. P₃₂ 端子はオンチップエミュレータで占有するため使用できません。
2. P₈₅、P₈₆、P₈₇ 端子も使用できません。使用する場合はユーザ基板上に追加ハードウェアが必要となります。
3. アドレス H'E000 ~ H'EFFF 領域はオンチップエミュレータで使用するためユーザはこの領域は使用できません。
4. アドレス H'F300 ~ H'F6FF 領域は絶対にアクセスしないでください。
5. オンチップエミュレータ使用時、P₃₂ 端子は入出力、P₈₅ 端子および P₈₆ 端子は入力、P₈₇ 端子は出力になります。
6. LCD 表示のデバッグを行う場合はユーザ基板の変更が必要です。LCD 表示を行わない場合やエミュレータをライターモードで使用する場合は本項は適用されません。

【ユーザ基板の変更】

下記の変更が必要です。

- ・ V1 端子に Vcc 電源を接続してください。また、V1、V2、V3 端子にコンデンサと抵抗を追加してください。
- ・ P8₅/SEG30、P8₆/SEG31、P8₇/SEG32 端子から SEG 信号は出力されないため表示は不定になります。また DC 電圧が印加されますので、LCD の劣化を懸念される場合は LCD から前記 3 端子を切り離してください。

下図に接続例を示します。その他の設定についてはエミュレータのユーザーズマニュアルをご参照ください。



7. ウォッチドッグタイマはブレーク中でも動作を継続します。よってブレーク中にオーバーフローした場合には内部リセットが発生します。

本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）														
全体		H8/38427 グループの開発中の表示を削除														
はじめに		<p>6【ユーザ基板の変更】の修正および7を追加</p> <p>・V1 端子に Vcc 電源を接続してください。また、V1, V2, V3 端子にコンデンサと抵抗を追加してください。</p> <p>【注】* R, Cの値は目安です。表示程度により調整してください。</p> <p>7. ウォッチドッグタイマはブレーク中も動作を継続します。よってブレーク中にオーバーフローした場合には内部リセットが発生します。</p>														
1.3.2 端子機能 表 1.6 端子機能	1-21	<p>表を修正</p> <table border="1"> <thead> <tr> <th rowspan="2">分類</th> <th rowspan="2">記号</th> <th colspan="2">ピン番号</th> <th rowspan="2">入出力</th> <th rowspan="2">機能</th> </tr> <tr> <th>FP-80A TFP-80C</th> <th>FP-80B</th> </tr> </thead> <tbody> <tr> <td>システム制御</td> <td>TEST</td> <td>8</td> <td>10</td> <td>入力</td> <td>テスト端子 ユーザは、使用できません。 V_{ss} 電位に接地してください。</td> </tr> </tbody> </table>	分類	記号	ピン番号		入出力	機能	FP-80A TFP-80C	FP-80B	システム制御	TEST	8	10	入力	テスト端子 ユーザは、使用できません。 V _{ss} 電位に接地してください。
分類	記号	ピン番号			入出力	機能										
		FP-80A TFP-80C	FP-80B													
システム制御	TEST	8	10	入力	テスト端子 ユーザは、使用できません。 V _{ss} 電位に接地してください。											

修正項目	ページ	修正内容（詳細はマニュアル参照）																																
8.3.1 概要	8-10	記述を追加 ポート3は、8ビットの入出力ポートです。ポート3の各端子は、図8.2に示す構成になっています。F-ZTAT版のP3 ₂ は、リセット期間中に内蔵プルアップMOSがON状態になります。リセット解除後はOFF状態となり、通常動作になります。外部回路を接続する場合には、その点をご考慮ください。また、マスクROM版とZTAT版のP3 ₂ は通常動作です。																																
8.3.4 端子状態 表8.7 ポート3の端子状態	8-17	表および注を修正 <table border="1" data-bbox="573 552 1218 846"> <thead> <tr> <th>端子名</th> <th>リセット</th> <th>スリープ</th> <th>サブスリープ</th> <th>スタンバイ</th> <th>ウォッチ</th> <th>サブアクティブ</th> <th>アクティブ</th> </tr> </thead> <tbody> <tr> <td>P3/AEVH P3/AEVH P3/TXD₂ P3/RXD₂ P3/SCK₂ P3/RESO*²</td> <td>ハイインピーダンス リセット出力</td> <td>保持</td> <td>保持</td> <td>ハイインピーダンス*¹</td> <td>保持</td> <td>動作</td> <td>動作</td> </tr> <tr> <td>P3,*⁴</td> <td>プルアップMOSがON状態</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>P3,*³ P3/UD*² P3/UD/ EXCL*^{3,4} P3/PWM</td> <td>ハイインピーダンス</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </tbody> </table> <p>【注】*1 プルアップMOSがON状態ではHighレベル出力となります。 *2 H8/3827R、H8/3827Sグループに適用します。 *3 H8/38327、H8/38427グループのマスクROM版に適用します。 *4 H8/38327、H8/38427グループのF-ZTAT版に適用します。</p>	端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ	P3/AEVH P3/AEVH P3/TXD ₂ P3/RXD ₂ P3/SCK ₂ P3/RESO* ²	ハイインピーダンス リセット出力	保持	保持	ハイインピーダンス* ¹	保持	動作	動作	P3,* ⁴	プルアップMOSがON状態							P3,* ³ P3/UD* ² P3/UD/ EXCL* ^{3,4} P3/PWM	ハイインピーダンス						
端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ																											
P3/AEVH P3/AEVH P3/TXD ₂ P3/RXD ₂ P3/SCK ₂ P3/RESO* ²	ハイインピーダンス リセット出力	保持	保持	ハイインピーダンス* ¹	保持	動作	動作																											
P3,* ⁴	プルアップMOSがON状態																																	
P3,* ³ P3/UD* ² P3/UD/ EXCL* ^{3,4} P3/PWM	ハイインピーダンス																																	
8.12.1 未使用端子の処理	8-41	記述を修正 未使用端子が出力設定の場合は下記のいずれかの設定にしてください。 <p>(1) 未使用端子をHighレベル出力にし、外部に100k程度の抵抗を付けてV_{CC}にプルアップ (2) 未使用端子をLowレベル出力にし、外部に100k程度の抵抗を付けてV_{SS}にプルダウン</p>																																
C.2 ポート3ブロック図 図C.2(e-2)ポート3ブロック図(P3 ₂ 端子、H8/38327、H8/38427グループのマスクROM版)	付録-87	図タイトルを修正																																
図C.2(e-3)ポート3ブロック図(P3 ₂ 端子、H8/38327、H8/38427グループのF-ZTAT版)	付録-88	新規追加																																
D. 各処理状態におけるポートの状態 表D.1 各ポートの状態一覧	付録-102	注を修正 【注】*1 プルアップMOSがON状態ではHighレベル出力となります。 *2 P3 ₂ 端子のみリセット出力となります(H8/3827R、H8/3827Sグループの場合)。 P3 ₂ 端子のみプルアップMOSがON状態になります(H8/38327、H8/38427グループのF-ZTAT版の場合)。																																

目次

第1章 概要

1.1	概要	1-1
1.2	内部ブロック図	1-5
1.3	端子説明	1-7
1.3.1	ピン配置	1-7
1.3.2	端子機能	1-21

第2章 CPU

2.1	概要	2-1
2.1.1	特長	2-1
2.1.2	アドレス空間	2-2
2.1.3	レジスタ構成	2-2
2.2	各レジスタの説明	2-3
2.2.1	汎用レジスタ	2-3
2.2.2	コントロールレジスタ	2-3
2.2.3	CPU 内部レジスタの初期値	2-5
2.3	データ構成	2-5
2.3.1	汎用レジスタのデータ構成	2-6
2.3.2	メモリ上でのデータ構成	2-7
2.4	アドレッシングモード	2-8
2.4.1	アドレッシングモード	2-8
2.4.2	実効アドレスの計算方法	2-10
2.5	命令セット	2-14
2.5.1	データ転送命令	2-16
2.5.2	算術演算命令	2-18
2.5.3	論理演算命令	2-19
2.5.4	シフト命令	2-19
2.5.5	ビット操作命令	2-21
2.5.6	分岐命令	2-24
2.5.7	システム制御命令	2-26
2.5.8	ブロック転送命令	2-27
2.6	基本動作タイミング	2-28
2.6.1	内蔵メモリ (RAM、ROM)	2-28
2.6.2	内蔵周辺モジュール	2-29
2.7	CPU の状態	2-31
2.7.1	概要	2-31
2.7.2	プログラム実行状態	2-32
2.7.3	プログラム停止状態	2-32

2.7.4	例外処理状態	2-32
2.8	メモリマップ	2-33
2.8.1	メモリマップ	2-33
2.9	使用上の注意事項	2-40
2.9.1	データアクセスに関する注意事項	2-40
2.9.2	ビット操作命令使用上の注意事項	2-42
2.9.3	EEMOV 命令使用上の注意事項	2-48

第3章 例外処理

3.1	概要	3-1
3.2	リセット	3-1
3.2.1	概要	3-1
3.2.2	リセットシーケンス	3-1
3.2.3	リセット直後の割り込み	3-3
3.3	割り込み	3-4
3.3.1	概要	3-4
3.3.2	各レジスタの説明	3-6
3.3.3	外部割り込み	3-14
3.3.4	内部割り込み	3-15
3.3.5	割り込み動作	3-15
3.3.6	割り込み応答時間	3-20
3.4	使用上の注意事項	3-21
3.4.1	スタック領域に関する使用上の注意事項	3-21
3.4.2	ポートモードレジスタを書き換える際の注意事項	3-22
3.4.3	割り込み要求フラグをクリアする方法	3-24

第4章 クロック発振器

4.1	概要	4-1
4.1.1	ブロック図	4-1
4.1.2	システムクロックとサブクロック	4-1
4.2	システムクロック発振器	4-2
4.3	サブクロック発振器	4-4
4.4	プリスケアラ	4-6
4.5	発振子に関する注意事項	4-7
4.5.1	発振安定待機時間の定義	4-8
4.5.2	水晶発振子をご使用の場合の注意事項（セラミック発振子は除く）	4-10

第5章 低消費電力モード

5.1	概要	5-1
5.1.1	システムコントロールレジスタ	5-4
5.2	スリープモード	5-8
5.2.1	スリープモードへの遷移	5-8
5.2.2	スリープモードの解除	5-8
5.2.3	スリープ（中速）モードの動作周波数について	5-8

5.3	スタンバイモード	5-9
5.3.1	スタンバイモードへの遷移	5-9
5.3.2	スタンバイモードの解除	5-9
5.3.3	スタンバイモード解除後の発振安定時間の設定	5-10
5.3.4	スタンバイモードへの遷移と端子状態	5-11
5.3.5	スタンバイモード前後で外部入力信号が変化する場合の注意事項	5-11
5.4	ウォッチモード	5-13
5.4.1	ウォッチモードへの遷移	5-13
5.4.2	ウォッチモードの解除	5-13
5.4.3	ウォッチモード解除後の発振安定時間の設定	5-13
5.4.4	ウォッチモード前後で外部入力信号が変化する場合の注意事項	5-13
5.5	サブスリープモード	5-14
5.5.1	サブスリープモードへの遷移	5-14
5.5.2	サブスリープモードの解除	5-14
5.6	サブアクティブモード	5-15
5.6.1	サブアクティブモードへの遷移	5-15
5.6.2	サブアクティブモードの解除	5-15
5.6.3	サブアクティブモードの動作周波数について	5-15
5.7	アクティブ(中速)モード	5-16
5.7.1	アクティブ(中速)モードへの遷移	5-16
5.7.2	アクティブ(中速)モードの解除	5-16
5.7.3	アクティブ(中速)モードの動作周波数について	5-16
5.8	直接遷移	5-17
5.8.1	直接遷移の概要	5-17
5.8.2	直接遷移の時間	5-18
5.8.3	直接遷移前後で外部入力信号が変化する場合の注意事項	5-19
5.9	モジュールスタンバイモード	5-20
5.9.1	モジュールスタンバイモードの設定	5-20
5.9.2	モジュールスタンバイモードの解除	5-20
5.9.3	使用上の注意事項	5-21

第6章 ROM

6.1	概要	6-1
6.1.1	ブロック図	6-1
6.2	H8/3827R の PROM モード	6-2
6.2.1	PROM モードの設定	6-2
6.2.2	ソケットアダプタの端子対応とメモリマップ	6-2
6.3	H8/3827R のプログラミング	6-5
6.3.1	書き込み/ベリファイ	6-6
6.3.2	書き込み時の注意	6-9
6.4	書き込み後の信頼性	6-10
6.5	フラッシュメモリの概要	6-11
6.5.1	特長	6-11
6.5.2	ブロック図	6-12
6.5.3	ブロック構成	6-12

6.5.4	レジスタ構成	6-14
6.6	フラッシュメモリのレジスタの説明	6-14
6.6.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	6-14
6.6.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	6-16
6.6.3	ブロック指定レジスタ (EBR)	6-17
6.6.4	フラッシュメモリパワーコントロールレジスタ (FLPWCR)	6-18
6.6.5	フラッシュメモリエnableレジスタ (FENR)	6-18
6.7	オンボードプログラミング	6-19
6.7.1	ブートモード	6-20
6.7.2	ユーザモードでの書き込み / 消去	6-22
6.8	書き込み / 消去プログラム	6-23
6.8.1	プログラム / プログラムベリファイ	6-23
6.8.2	イレース / イレースベリファイ	6-26
6.8.3	フラッシュメモリの書き込み / 消去時の割り込み	6-26
6.9	書き込み / 消去プロテクト	6-28
6.9.1	ハードウェアプロテクト	6-28
6.9.2	ソフトウェアプロテクト	6-28
6.9.3	エラープロテクト	6-28
6.10	ライトモード	6-29
6.10.1	ソケットアダプタ	6-29
6.10.2	ライトモードのコマンド	6-29
6.10.3	メモリ読み出し	6-31
6.10.4	自動書き込み	6-34
6.10.5	自動消去	6-36
6.10.6	ステータス読み出し	6-37
6.10.7	ステータスポーリング	6-38
6.10.8	ライトモードへの遷移時間	6-39
6.10.9	ライトモード使用時の注意事項	6-39
6.11	フラッシュメモリの低消費電力動作	6-40
第 7 章 RAM		
7.1	概要	7-1
7.1.1	ブロック図	7-1
第 8 章 I/O ポート		
8.1	概要	8-1
8.2	ポート 1	8-3
8.2.1	概要	8-3
8.2.2	レジスタの構成と説明	8-3
8.2.3	端子機能	8-7
8.2.4	端子状態	8-9
8.2.5	入力プルアップ MOS	8-9
8.3	ポート 3	8-10
8.3.1	概要	8-10
8.3.2	レジスタの構成と説明	8-10
8.3.3	端子機能	8-15

8.3.4	端子状態.....	8-17
8.3.5	入力プルアップ MOS	8-17
8.4	ポート 4.....	8-18
8.4.1	概要.....	8-18
8.4.2	レジスタの構成と説明	8-18
8.4.3	端子機能.....	8-20
8.4.4	端子状態.....	8-20
8.5	ポート 5.....	8-21
8.5.1	概要.....	8-21
8.5.2	レジスタの構成と説明	8-21
8.5.3	端子機能.....	8-23
8.5.4	端子状態.....	8-24
8.5.5	入力プルアップ MOS	8-24
8.6	ポート 6.....	8-25
8.6.1	概要.....	8-25
8.6.2	レジスタの構成と説明	8-25
8.6.3	端子機能.....	8-27
8.6.4	端子状態.....	8-27
8.6.5	入力プルアップ MOS	8-27
8.7	ポート 7.....	8-28
8.7.1	概要.....	8-28
8.7.2	レジスタの構成と説明	8-28
8.7.3	端子機能.....	8-29
8.7.4	端子状態.....	8-29
8.8	ポート 8.....	8-30
8.8.1	概要.....	8-30
8.8.2	レジスタの構成と説明	8-30
8.8.3	端子機能.....	8-32
8.8.4	端子状態.....	8-33
8.9	ポート A.....	8-34
8.9.1	概要.....	8-34
8.9.2	レジスタの構成と説明	8-34
8.9.3	端子機能.....	8-36
8.9.4	端子状態.....	8-36
8.10	ポート B.....	8-37
8.10.1	概要.....	8-37
8.10.2	レジスタの構成と説明	8-37
8.11	入出力データ反転機能	8-38
8.11.1	概要.....	8-38
8.11.2	レジスタの構成と説明	8-38
8.11.3	シリアルポートコントロールレジスタを書き換える際の注意事項	8-40
8.12	使用上の注意事項	8-41
8.12.1	未使用端子の処理	8-41

第9章 タイマ

9.1	概要	9-1
9.2	タイマ A	9-3
9.2.1	概要	9-3
9.2.2	各レジスタの説明	9-5
9.2.3	動作説明	9-8
9.2.4	タイマ A の動作モード	9-9
9.2.5	使用上の注意事項	9-9
9.3	タイマ C	9-10
9.3.1	概要	9-10
9.3.2	各レジスタの説明	9-12
9.3.3	動作説明	9-14
9.3.4	タイマ C の動作モード	9-15
9.3.5	使用上の注意事項	9-16
9.4	タイマ F	9-17
9.4.1	概要	9-17
9.4.2	各レジスタの説明	9-19
9.4.3	CPU とのインタフェース	9-26
9.4.4	動作説明	9-28
9.4.5	使用上の注意事項	9-30
9.5	タイマ G	9-34
9.5.1	概要	9-34
9.5.2	各レジスタの説明	9-36
9.5.3	ノイズ除去回路	9-40
9.5.4	動作説明	9-41
9.5.5	使用上の注意事項	9-45
9.5.6	タイマ G の使用例	9-48
9.6	ウォッチドッグタイマ	9-49
9.6.1	概要	9-49
9.6.2	各レジスタの説明	9-50
9.6.3	動作説明	9-55
9.6.4	ウォッチドッグタイマの動作モード	9-56
9.7	非同期イベントカウンタ (AEC)	9-57
9.7.1	概要	9-57
9.7.2	各レジスタの構成	9-59
9.7.3	動作説明	9-63
9.7.4	非同期イベントカウンタの動作モード	9-64
9.7.5	使用上の注意事項	9-65

第10章 シリアルコミュニケーションインタフェース

10.1	概要	10-1
10.1.1	特長	10-1
10.1.2	ブロック図	10-3
10.1.3	端子構成	10-4
10.1.4	レジスタ構成	10-4

10.2	各レジスタの説明	10-5
10.2.1	レシーブシフトレジスタ (RSR)	10-5
10.2.2	レシーブデータレジスタ (RDR)	10-5
10.2.3	トランスミットシフトレジスタ (TSR)	10-5
10.2.4	トランスミットデータレジスタ (TDR)	10-6
10.2.5	シリアルモードレジスタ (SMR)	10-6
10.2.6	シリアルコントロールレジスタ 3 (SCR3)	10-9
10.2.7	シリアルステータスレジスタ (SSR)	10-12
10.2.8	ビットレートレジスタ (BRR)	10-17
10.2.9	クロック停止レジスタ 1 (CKSTPR1)	10-21
10.2.10	シリアルポートコントロールレジスタ (SPCR)	10-22
10.3	動作説明	10-24
10.3.1	概要	10-24
10.3.2	調歩同期式モード時の動作	10-28
10.3.3	クロック同期式モード時の動作	10-37
10.3.4	マルチプロセッサ通信機能	10-44
10.4	割り込み要因	10-49
10.5	使用上の注意事項	10-50
第 11 章 14 ビット PWM		
11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	ブロック図	11-2
11.1.3	端子構成	11-2
11.1.4	レジスタ構成	11-2
11.2	各レジスタの説明	11-3
11.2.1	PWM コントロールレジスタ (PWCR)	11-3
11.2.2	PWM データレジスタ U、L (PWDRU、PWDRL)	11-4
11.2.3	クロック停止レジスタ 2 (CKSTPR2)	11-4
11.3	動作説明	11-5
11.3.1	動作説明	11-5
11.3.2	PWM の動作モード	11-6
第 12 章 A/D 変換器		
12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-2
12.1.3	端子構成	12-3
12.1.4	レジスタ構成	12-3
12.2	各レジスタの説明	12-4
12.2.1	A/D リザルトレジスタ (ADRRH、ADRRL)	12-4
12.2.2	A/D モードレジスタ (AMR)	12-4
12.2.3	A/D スタートレジスタ (ADSR)	12-6
12.2.4	クロック停止レジスタ 1 (CKSTPR1)	12-7
12.3	動作説明	12-8
12.3.1	A/D 変換動作	12-8

12.3.2	外部トリガによる A/D 変換器の起動	12-8
12.3.3	A/D 変換器の動作モード	12-8
12.4	割り込み要因	12-9
12.5	使用例	12-9
12.6	使用上の注意	12-13
12.6.1	使用上の注意	12-13
12.6.2	許容信号源インピーダンスについて	12-13
12.6.3	絶対精度への影響について	12-13

第 13 章 LCD コントローラ / ドライバ

13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-2
13.1.3	端子構成	13-3
13.1.4	レジスタ構成	13-3
13.2	各レジスタの説明	13-4
13.2.1	LCD ポートコントロールレジスタ (LPCR)	13-4
13.2.2	LCD コントロールレジスタ (LCR)	13-5
13.2.3	LCD コントロールレジスタ 2 (LCR2)	13-7
13.2.4	クロック停止レジスタ 2 (CKSTPR2)	13-9
13.3	動作説明	13-10
13.3.1	LCD 表示までのセッティング	13-10
13.3.2	LCD RAM と表示の関係	13-12
13.3.3	輝度調整機能 (V ₀ 端子)	13-19
13.3.4	低消費電力 LCD 駆動方式	13-20
13.3.5	低消費電力モード時の動作	13-24
13.3.6	LCD 駆動電源の強化	13-25
13.3.7	HD66100 との接続	13-25

第 14 章 電源回路

14.1	概要	14-1
14.2	内部電源降圧回路を使用する場合	14-1
14.3	内部電源降圧回路を使用しない場合	14-1
14.4	H8/3827S グループの場合	14-2
14.5	H8/3827R から H8/38327、H8/38427 へ移行する場合のご注意	14-2

第 15 章 電気的特性

15.1	H8/3827R グループ絶対最大定格 (通常仕様)	15-1
15.2	H8/3827R グループ電気的特性 (通常仕様)	15-2
15.2.1	電源電圧と動作範囲	15-2
15.2.2	DC 特性	15-5
15.2.3	AC 特性	15-10
15.2.4	A/D 変換器特性	15-13
15.2.5	LCD 特性	15-14

15.3	H8/3827R グループ絶対最大定格（広温度範囲仕様）	15-15
15.4	H8/3827R グループ電気的特性（広温度範囲仕様）	15-16
15.4.1	電源電圧と動作範囲	15-16
15.4.2	DC 特性	15-19
15.4.3	AC 特性	15-23
15.4.4	A/D 変換器特性	15-26
15.4.5	LCD 特性	15-27
15.5	H8/3827S グループ絶対最大定格	15-28
15.6	H8/3827S グループ電気的特性	15-29
15.6.1	電源電圧と動作範囲	15-29
15.6.2	DC 特性	15-32
15.6.3	AC 特性	15-36
15.6.4	A/D 変換器特性	15-39
15.6.5	LCD 特性	15-40
15.7	H8/38327、H8/38427 グループ絶対最大定格	15-41
15.8	H8/38327、H8/38427 グループ電気的特性	15-42
15.8.1	電源電圧と動作範囲	15-42
15.8.2	DC 特性	15-45
15.8.3	AC 特性	15-51
15.8.4	A/D 変換器特性	15-54
15.8.5	LCD 特性	15-55
15.8.6	フラッシュメモリ特性	15-56
15.9	動作タイミング	15-58
15.10	出力負荷回路	15-61
15.11	発振子	15-61
15.12	使用上の注意	15-62

付録

A.	命令	付録-1
A.1	命令一覧	付録-1
A.2	オペレーションコードマップ	付録-11
A.3	命令実行ステート数	付録-13
B.	内部 I/O レジスタ一覧	付録-18
B.1	アドレス一覧	付録-18
B.2	機能一覧	付録-22
C.	I/O ポートブロック図	付録-78
C.1	ポート 1 ブロック図	付録-78
C.2	ポート 3 ブロック図	付録-82
C.3	ポート 4 ブロック図	付録-92
C.4	ポート 5 ブロック図	付録-96
C.5	ポート 6 ブロック図	付録-97
C.6	ポート 7 ブロック図	付録-98
C.7	ポート 8 ブロック図	付録-99
C.8	ポート A ブロック図	付録-100

C.9	ポート B ブロック図.....	付録-101
D.	各処理状態におけるポートの状態.....	付録-102
E.	ROM 発注手順.....	付録-103
	E.1 ROM 書き換え品開発の流れ (発注手順)	付録-103
	E.2 ROM 発注時の注意事項	付録-104
F.	製品型名一覧.....	付録-105
G.	外形寸法図.....	付録-110
H.	チップ形状仕様図.....	付録-113
I.	ボンディングパッド形状図.....	付録-115
J.	チップトレイ仕様図.....	付録-118

1. 概要

1.1 概要

H8/300L シリーズは、高速 H8/300L CPU を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータ（MCU：Microcomputer Unit）です。

H8/3827R、H8/3827S、H8/38327、H8/38427 グループは、LCD（Liquid Crystal Display）コントローラ/ドライバを内蔵した H8/300L グループのシングルチップマイクロコンピュータで、周辺機能として、LCD コントローラ/ドライバ、6 種類のタイマ、14 ビット PWM、2 チャネルのシリアルコミュニケーションインタフェース、A/D 変換器などを内蔵しており、低消費電力、LCD 表示を必要とするシステムの組み込み用マイコンに最適な構成となっています。また、16K バイト～60K バイトの ROM、1K バイト～2K バイトの RAM を内蔵した製品ラインアップがあります。

H8/3827R には、ユーザサイドで自由にプログラムの書き込みができる PROM を内蔵した ZTAT^{®*1} 版もあります。

H8/3827S グループには ZTAT^{®*1} 版はありません。H8/3827R ZTAT^{®*1} 版をご使用ください。

H8/38327、H8/38427 には、オンボードでの書き換えができるフラッシュメモリを内蔵した F-ZTAT^{™*2} 版の製品ラインアップがあります。

製品グループの特長を表 1.1 に示します。

【注】*1 ZTAT（Zero Turn Around Time）は（株）ルネサステクノロジーの登録商標です。

*2 F-ZTAT は（株）ルネサステクノロジーの商標です。

1. 概要

表 1.1 特長

項目	仕様
CPU	<p>高速 H8/300L CPU</p> <p>(1) 汎用レジスタ方式</p> <ul style="list-style-type: none"> 汎用レジスタ：8ビット×16本（16ビット×8本としても使用可能） <p>(2) 高速演算</p> <ul style="list-style-type: none"> 最高動作周波数：8MHz 加減算：0.25μs（=8MHz動作時） 乗除算：1.75μs（=8MHz動作時） 32.768kHz および 38.4kHz サブクロックによる動作可能 <p>(3) H8/300CPU と互換性のある命令体系</p> <ul style="list-style-type: none"> 命令フォーマットは2バイトまたは4バイト長 基本演算はレジスタ-レジスタ間で実行 MOV 命令によるメモリ-レジスタ間データ転送 <p>(4) 特長ある命令</p> <ul style="list-style-type: none"> 乗算命令（8ビット×8ビット） 除算命令（16ビット÷8ビット） ビットアキュムレータ命令 レジスタ間接指定によりビット位置の指定が可能
割り込み	<p>36種類の割り込み要因</p> <ul style="list-style-type: none"> 外部割り込み要因：13要因（IRQ₄～IRQ₀、WKP₇～WKP₀） 内部割り込み要因：23要因
クロック発振器	<p>2種類のクロック発振器内蔵</p> <ul style="list-style-type: none"> システムクロック発振器：最大16MHz（H8/3827R、H8/38327、H8/38427） 最大10MHz（H8/3827S） サブクロック発振器：32.768kHz、38.4kHz
低消費電力モード	<p>7種類の低消費電力モードおよびモジュールスタンバイモード</p> <ul style="list-style-type: none"> スリープ（高速）モード スリープ（中速）モード スタンバイモード ウォッチモード サブスリープモード サブアクティブモード アクティブ（中速）モード
メモリ	<p>大容量メモリ内蔵</p> <p>H8/3822R、H8/38322、H8/38422・ROM：16Kバイト・RAM：1Kバイト H8/3823R、H8/38323、H8/38423・ROM：24Kバイト・RAM：1Kバイト H8/3824R、H8/3824S、H8/38324、H8/38424・ROM：32Kバイト・RAM：2Kバイト H8/3825R、H8/3825S、H8/38325、H8/38425・ROM：40Kバイト・RAM：2Kバイト H8/3826R、H8/3826S、H8/38326、H8/38426・ROM：48Kバイト・RAM：2Kバイト H8/3827R、H8/3827S、H8/38327、H8/38427・ROM：60Kバイト・RAM：2Kバイト</p>

項目	仕様
I/Oポート	I/Oポート 64本 <ul style="list-style-type: none"> ・入出力端子：55本 ・入力端子：9本
タイマ	6種類のタイマ内蔵 (1) タイマA：8ビットのタイマ <ul style="list-style-type: none"> ・システムクロック (f_{clk}) *を分周した8種類の内部クロックまたは時計用クロック (f_{w}) *を分周した4種類のクロックによりカウントアップ可能 (2) 非同期イベントカウンタ：16ビットのタイマ <ul style="list-style-type: none"> ・マイコンの内部クロックと無関係に非同期外部イベントをカウントアップ可能 (3) タイマC：8ビットのタイマ <ul style="list-style-type: none"> ・7種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ/ダウン可能 ・オートリロード機能可能 (4) タイマF：16ビットのタイマ <ul style="list-style-type: none"> ・独立した2本の8ビットタイマとして使用可能 ・4種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ可能 ・コンペアマッチ機能によりトグル出力可能 (5) タイマG：8ビットのタイマ <ul style="list-style-type: none"> ・4種類の内部クロックによりカウントアップ可能 ・インプットキャプチャ機能内蔵（ノイズ除去回路内蔵） (6) ウォッチドッグタイマ <ul style="list-style-type: none"> ・8ビットカウンタのオーバフローによりリセット信号を発生
シリアル コミュニケーション インタフェース	2チャンネルのシリアルコミュニケーションインタフェース内蔵 (1) SCI3-1：8ビットクロック同期式 / 調歩同期式 <ul style="list-style-type: none"> ・マルチプロセッサ通信機能内蔵 (2) SCI3-2：8ビットクロック同期式 / 調歩同期式 <ul style="list-style-type: none"> ・マルチプロセッサ通信機能内蔵
14ビットPWM	リップル低減をはかったパルス分割方式PWM <ul style="list-style-type: none"> ・外部にローパスフィルタを接続することで14ビットD/A変換器として使用可能
A/D変換器	抵抗ラダー方式による逐次比較方式の10ビットA/D変換器 <ul style="list-style-type: none"> ・8チャンネルのアナログ入力端子 ・変換時間：1チャンネル当たり31/ または62/
LCDコントローラ/ ドライバ	最大32本のセグメント端子と4本のコモン端子を備えたLCDコントローラ/ドライバ <ul style="list-style-type: none"> ・4種類のデューティ比（スタティック、1/2、1/3、1/4デューティ）を選択可能 ・セグメント端子は8本ごとに汎用ポートに切り替え可能

【注】 * f_{clk} 、 f_{w} の定義は「第4章 クロック発振器」を参照してください。

1. 概要

項目	仕様				
製品ラインアップ	製品ラインアップ			パッケージ	ROM/RAMサイズ (バイト)
	マスクROM版	ZTAT版	F-ZTAT版	FP-80B (H8/3827Rのみ) FP-80A TFP-80C ダイ	60K/2K
	HD6433827R HD6433827S HD64338327 HD64338427	HD6473827R	HD64F38327 HD64F38427	FP-80B (H8/3826Rのみ) FP-80A TFP-80C ダイ	48K/2K
	HD6433826R HD6433826S HD64338326 HD64338426			FP-80B (H8/3825Rのみ) FP-80A TFP-80C ダイ	40K/2K
	HD6433825R HD6433825S HD64338325 HD64338425		HD64F38324 HD64F38424	FP-80B (H8/3824Rのみ) FP-80A TFP-80C ダイ (マスクROM版のみ)	32K/2K
	HD6433824R HD6433824S HD64338324 HD64338424			FP-80B (H8/3823Rのみ) FP-80A TFP-80C ダイ	24K/1K
	HD6433823R HD64338323 HD64338423			FP-80B (H8/3822Rのみ) FP-80A TFP-80C ダイ	16K/1K
	HD6433822R HD64338322 HD64338422				

製品型名については付録Fを参照してください。

1.2 内部ブロック図

H8/3827R、H8/3827S グループの内部ブロック図を図 1.1 (1) に、H8/38327、H8/38427 グループの内部ブロック図を図 1.1 (2) に示します。

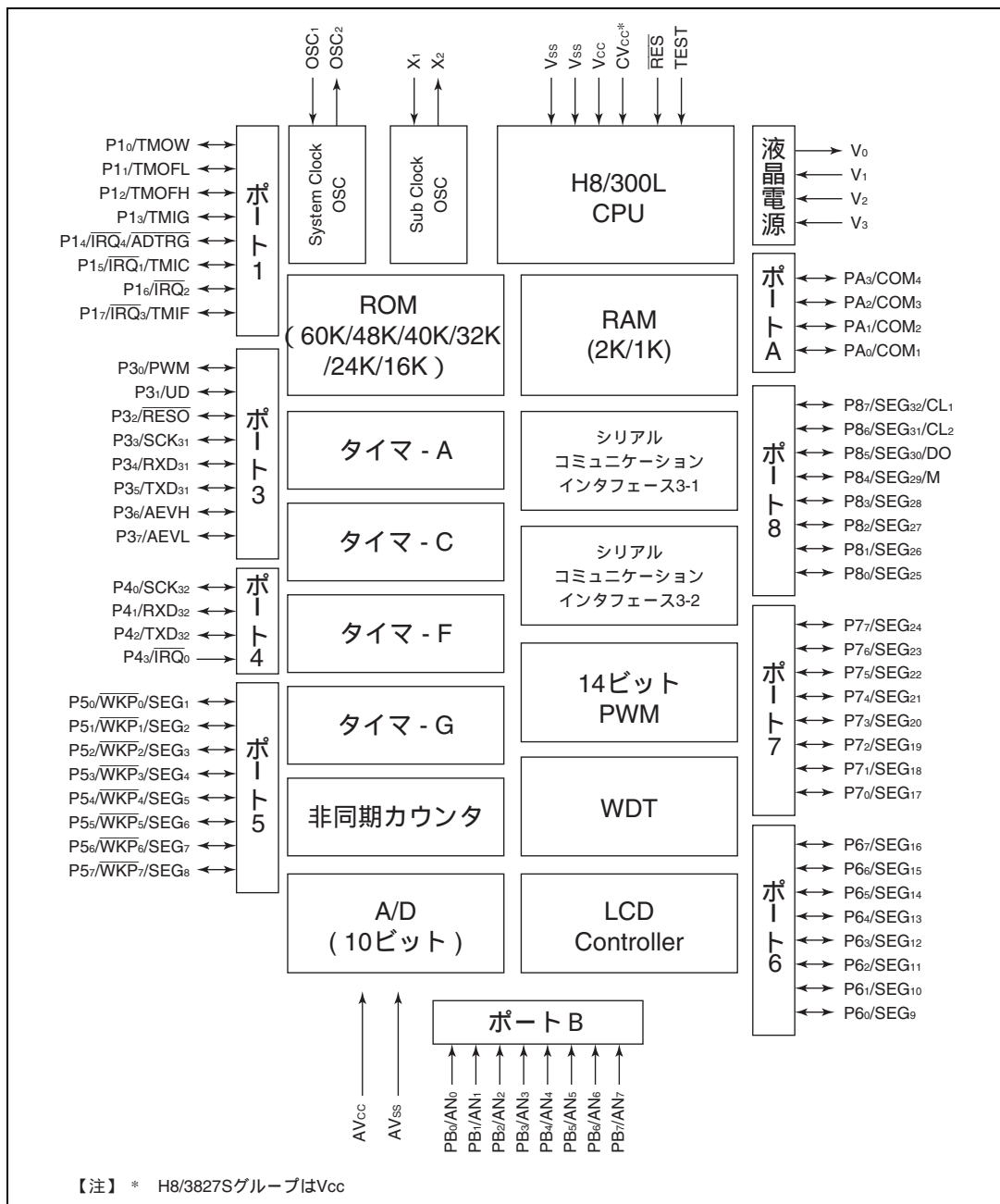


図 1.1 (1) 内部ブロック図 (H8/3827R および H8/3827S グループ)

1. 概要

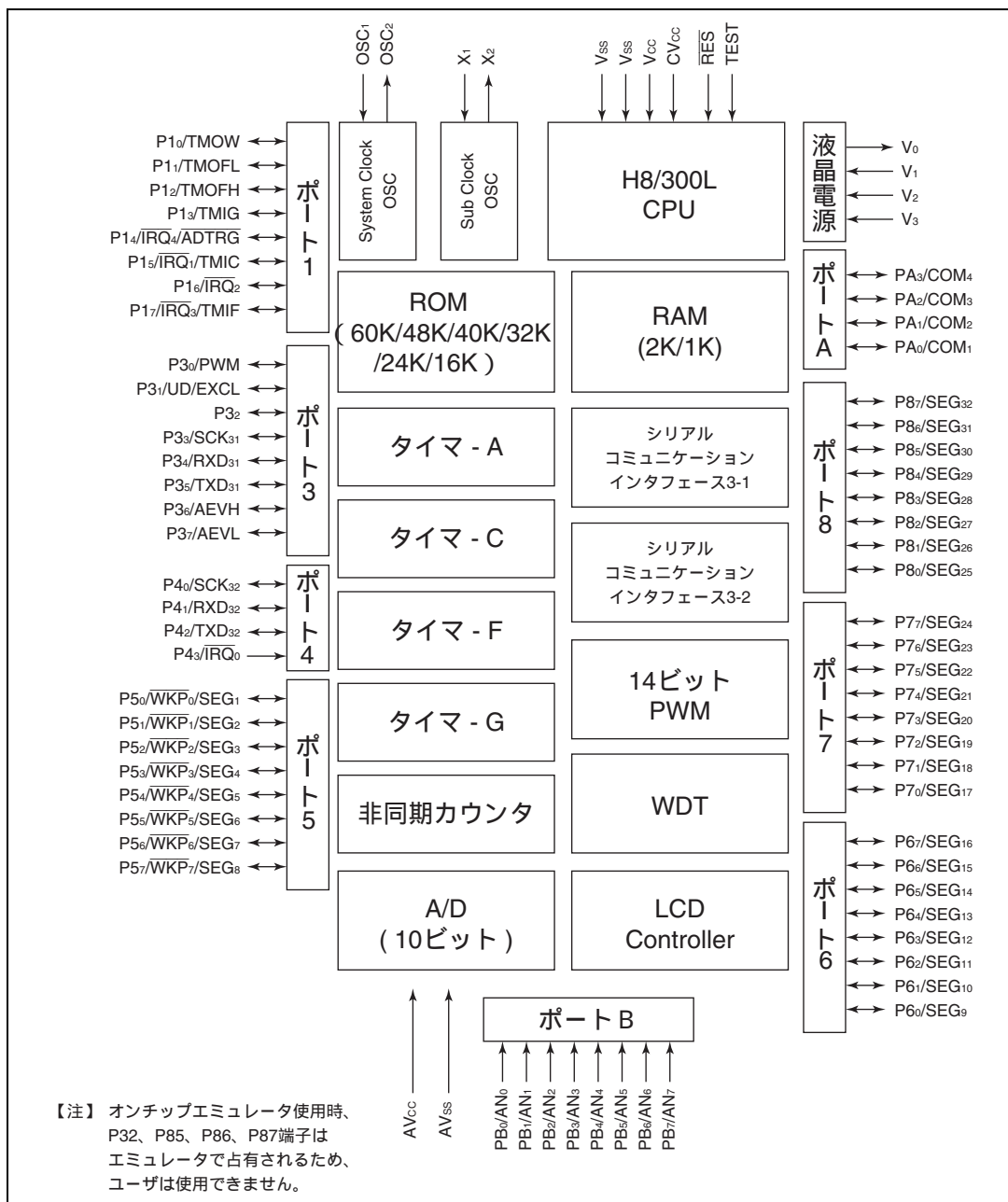


図 1.1 (2) 内部ブロック図 (H8/38327、H8/38427 グループ)

1.3 端子説明

1.3.1 ピン配置

H8/3827R、H8/3827S、H8/38327、H8/38427 グループのピン配置図を図 1.2、図 1.3 (H8/3827R グループのみ) に示します。

H8/3827R グループ (マスク ROM 版) のパッド配置図を図 1.4、パッド座標を表 1.2 に示します。

H8/3827S グループ (マスク ROM 版) のパッド配置図を図 1.5、パッド座標を表 1.3 に示します。

HCD64F38327、HCD64F38427 のパッド配置図を図 1.6、パッド座標を表 1.4 に示します。

H8/38327 グループ (マスク ROM 版)、H8/38427 グループ (マスク ROM 版) のパッド配置図を図 1.7、パッド座標を表 1.5 に示します。

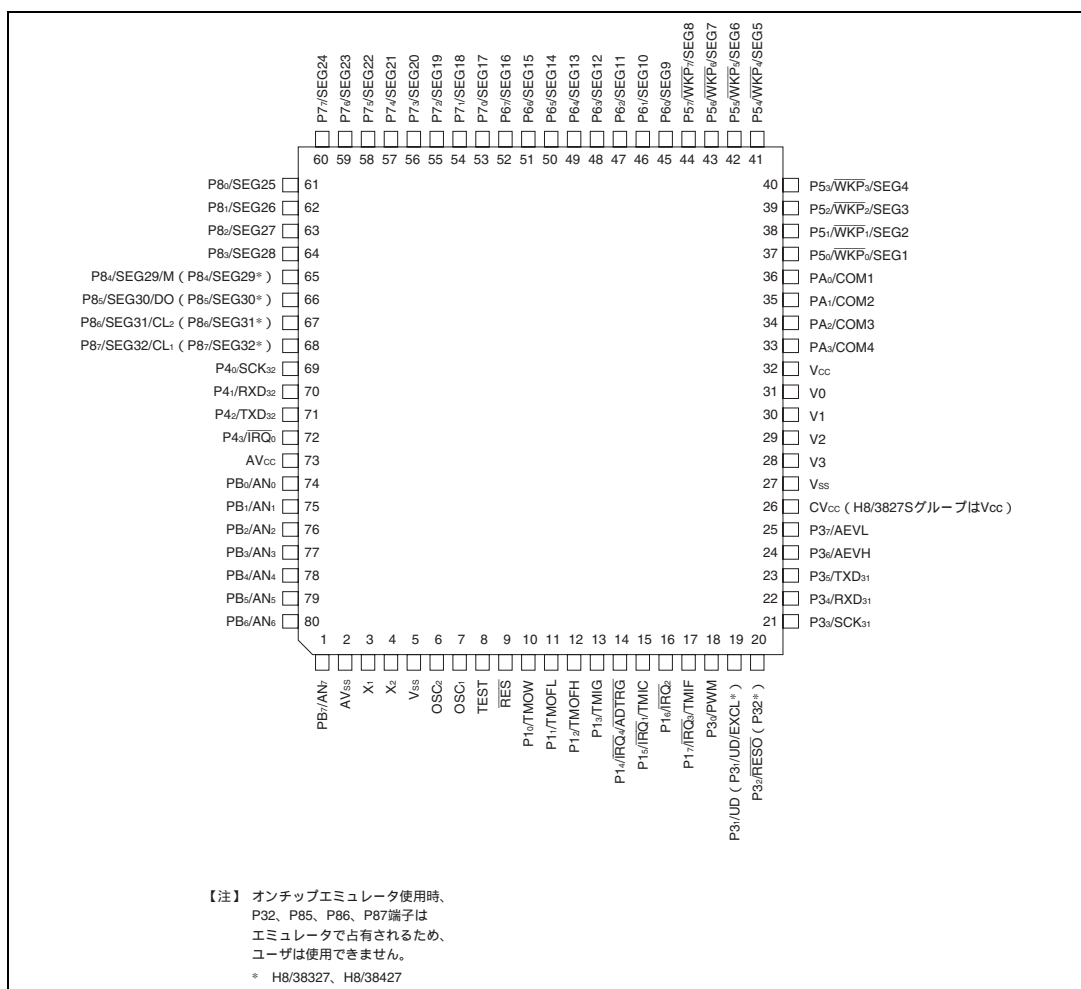


図 1.2 ピン配置図 (FP-80A、TFP-80C : 上面図)

1. 概要

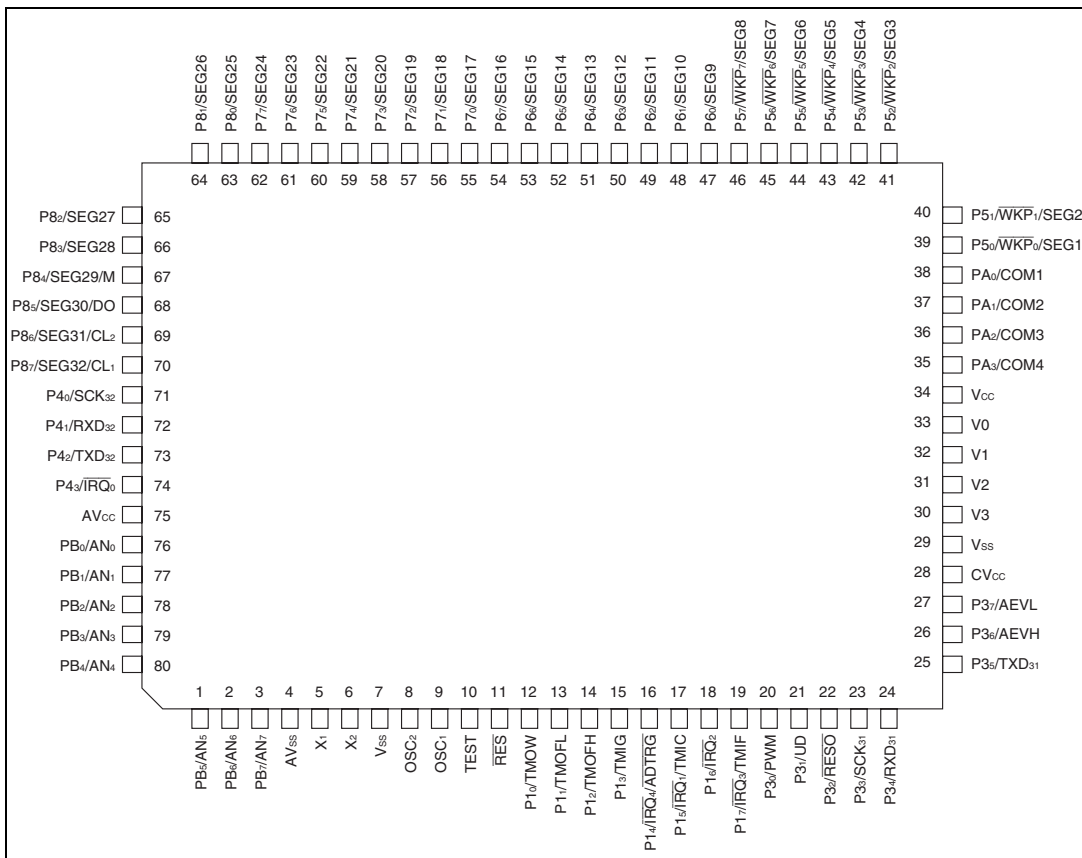


図 1.3 ピン配置図 (FP-80B : 上面図)

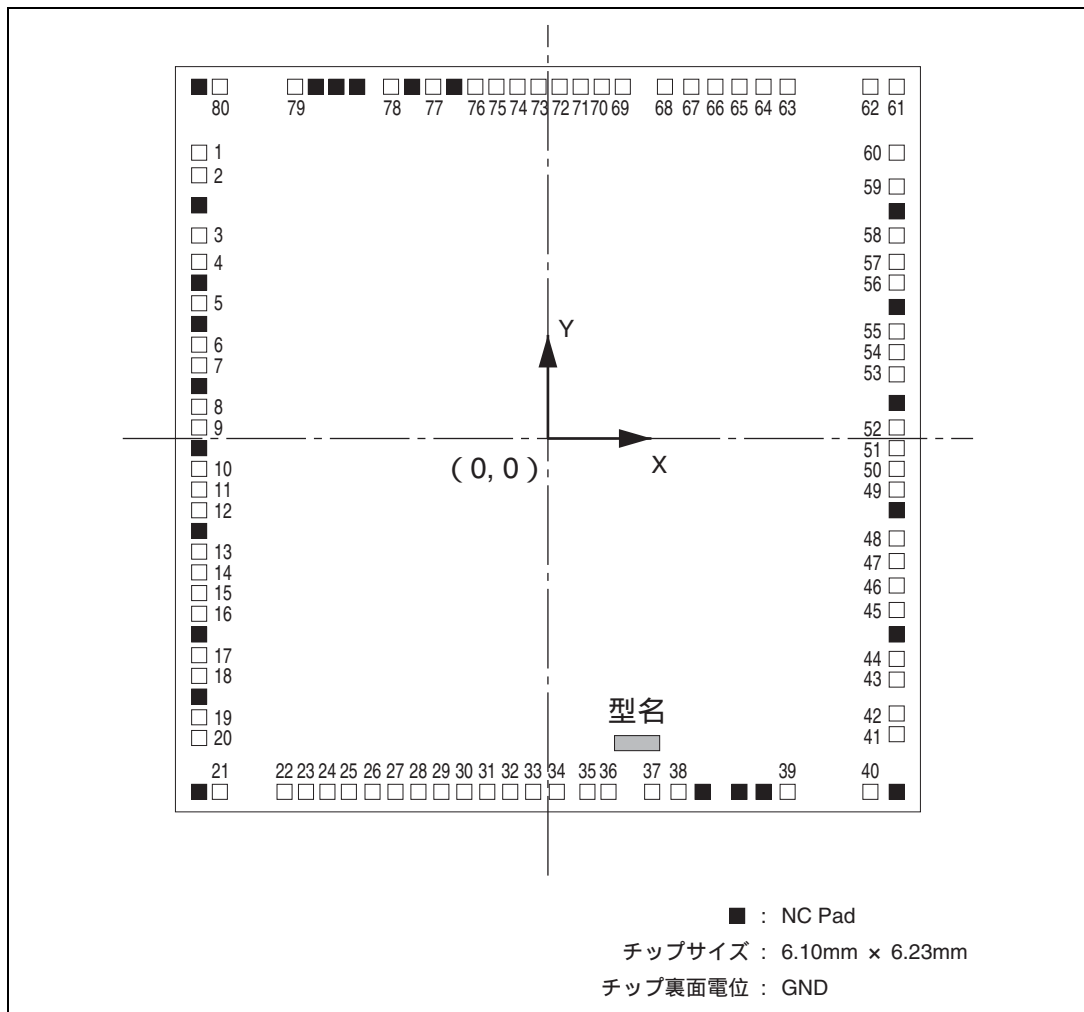


図 1.4 H8/3827R グループ (マスク ROM 版) のパッド配置図 (上面図)

1. 概要

表 1.2 H8/3827R グループ (マスク ROM 版) のパッド座標

パッド番号	パッド名称	座標*	
		X (μm)	Y (μm)
1	PB ₇ /AN ₇	-2866	2382
2	AVss	-2866	2193
3	X ₁	-2866	1694
4	X ₂	-2866	1500
5	Vss	-2866	1156
6	OSC ₂	-2866	810
7	OSC ₁	-2866	636
8	TEST	-2866	288
9	$\overline{\text{RES}}$	-2866	116
10	P1 ₇ /TMOW	-2866	-228
11	P1 ₇ /TMOFL	-2866	-402
12	P1 ₂ /TMOFH	-2866	-576
13	P1 ₃ /TMIG	-2866	-920
14	P1 ₄ /IRQ ₄ /ADTRG	-2866	-1094
15	P1 ₅ /IRQ ₁ /TMIC	-2866	-1266
16	P1 ₆ /IRQ ₂	-2866	-1440
17	P1 ₇ /IRQ ₃ /TMIF	-2866	-1785
18	P3 ₀ /PWM	-2866	-1969
19	P3 ₁ /UD	-2866	-2327
20	P3 ₂ / $\overline{\text{RESO}}$	-2866	-2503
21	P3 ₃ /SCK ₃₁	-2669	-2931
22	P3 ₄ /RXD ₃₁	-2142	-2931
23	P3 ₅ /TXD ₃₁	-1971	-2931
24	P3 ₆ /AEVH	-1798	-2931
25	P3 ₇ /AEVL	-1624	-2931
26	CVcc	-1413	-2931
27	Vss	-1213	-2931
28	V3	-1017	-2931
29	V2	-844	-2931
30	V1	-672	-2931
31	V0	-496	-2931
32	Vcc	-320	-2931
33	PA ₃ /COM4	-112	-2931
34	PA ₂ /COM3	76	-2931
35	PA ₁ /COM2	320	-2931
36	PA ₀ /COM1	544	-2931
37	P5 ₀ /WKP ₀ /SEG1	842	-2931
38	P5 ₁ /WKP ₁ /SEG2	1069	-2931
39	P5 ₂ /WKP ₂ /SEG3	2017	-2931

パッド番号	パッド名称	座標*	
		X (μm)	Y (μm)
40	P5 ₃ /WKP ₃ /SEG4	2648	-2931
41	P5 ₄ /WKP ₄ /SEG5	2866	-2484
42	P5 ₅ /WKP ₅ /SEG6	2866	-2296
43	P5 ₆ /WKP ₆ /SEG7	2866	-2061
44	P5 ₇ /WKP ₇ /SEG8	2866	-1846
45	P6 ₀ /SEG9	2866	-1430
46	P6 ₁ /SEG10	2866	-1244
47	P6 ₂ /SEG11	2866	-1056
48	P6 ₃ /SEG12	2866	-828
49	P6 ₄ /SEG13	2866	-452
50	P6 ₅ /SEG14	2866	-264
51	P6 ₆ /SEG15	2866	-76
52	P6 ₇ /SEG16	2866	112
53	P7 ₀ /SEG17	2866	528
54	P7 ₁ /SEG18	2866	756
55	P7 ₂ /SEG19	2866	944
56	P7 ₃ /SEG20	2866	1318
57	P7 ₄ /SEG21	2866	1506
58	P7 ₅ /SEG22	2866	1694
59	P7 ₆ /SEG23	2866	2070
60	P7 ₇ /SEG24	2866	2367
61	P8 ₀ /SEG25	2866	2931
62	P8 ₁ /SEG26	2654	2931
63	P8 ₂ /SEG27	1998	2931
64	P8 ₃ /SEG28	1803	2931
65	P8 ₄ /SEG29/M	1585	2931
66	P8 ₅ /SEG30/DO	1396	2931
67	P8 ₆ /SEG31/CL ₂	1209	2931
68	P8 ₇ /SEG32/CL ₁	977	2931
69	P4 ₀ /SCK ₃₂	631	2931
70	P4 ₁ /RXD ₃₂	456	2931
71	P4 ₂ /TXD ₃₂	284	2931
72	P4 ₃ /IRQ ₀	109	2931
73	AVcc	-64	2931
74	PB ₀ /AN ₀	-236	2931
75	PB ₁ /AN ₁	-409	2931
76	PB ₂ /AN ₂	-581	2931
77	PB ₃ /AN ₃	-925	2931
78	PB ₄ /AN ₄	-1268	2931
79	PB ₅ /AN ₅	-2048	2931
80	PB ₆ /AN ₆	-2658	2931

【注】 * 数値はパッド部の中心の座標を示し、精度は±5μmです。
 原点はチップの中心で、中心は上下と左右のパッド間の距離の1/2のところです。

1. 概要

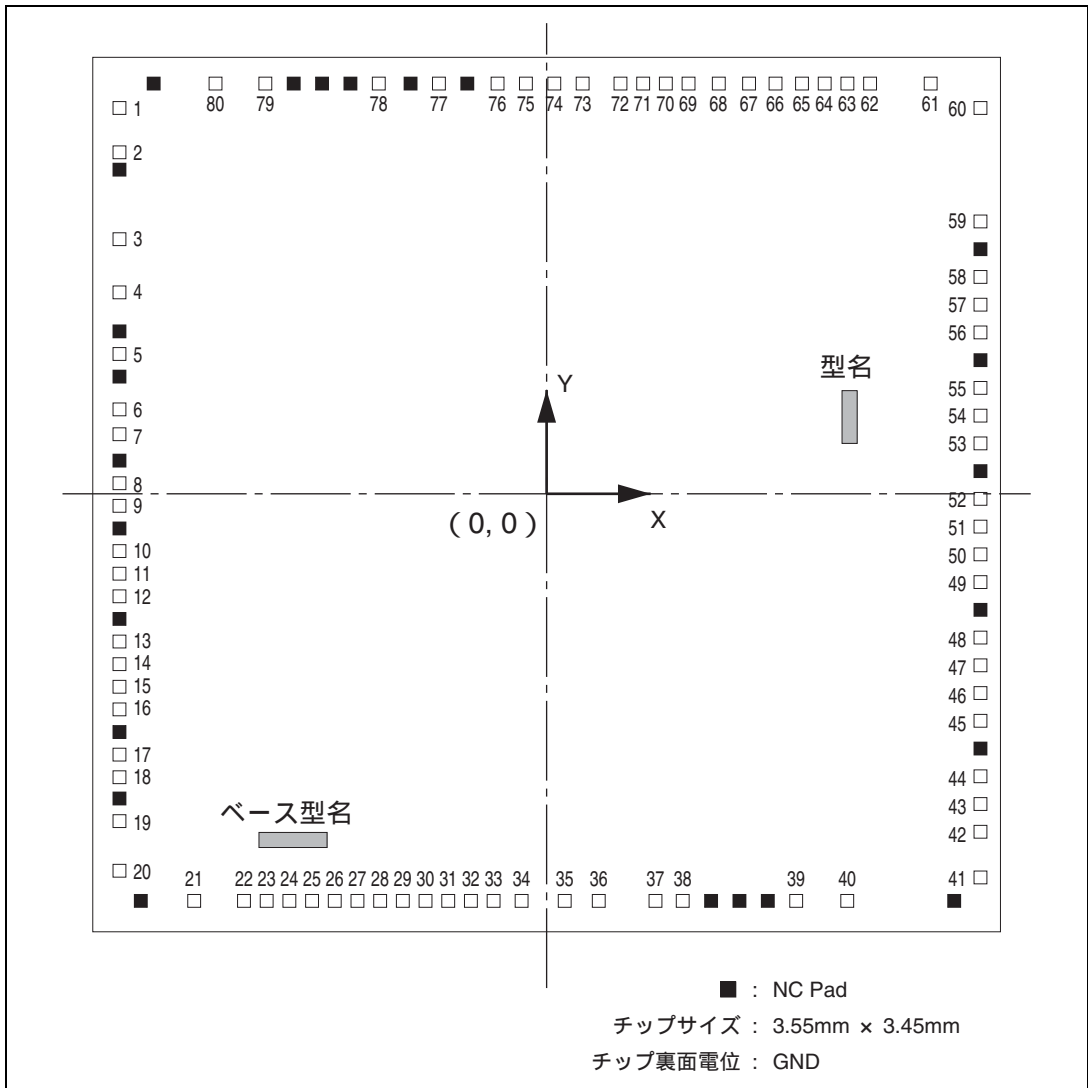


図 1.5 H8/3827S グループ (マスク ROM 版) のパッド配置図 (上面図)

表 1.3 H8/3827S グループ (マスク ROM 版) のパッド座標

パッド番号	パッド名称	座標*	
		X (μm)	Y (μm)
1	PB ₇ /AN ₇	-1655	1516
2	AVss	-1655	1345
3	X ₁	-1655	999
4	X ₂	-1655	799
5	Vss	-1655	536
6	OSC ₂	-1655	334
7	OSC ₁	-1655	226
8	TEST	-1655	37
9	RES	-1655	-48
10	P1 ₇ /TMOW	-1655	-223
11	P1 ₇ /TMOFL	-1655	-308
12	P1 ₇ /TMOFH	-1655	-393
13	P1 ₇ /TMIG	-1655	-563
14	P1 ₄ /IRQ ₄ /ADTRG	-1655	-648
15	P1 ₆ /IRQ ₁ /TMIC	-1655	-733
16	P1 ₆ /IRQ ₂	-1655	-818
17	P1 ₇ /IRQ ₃ /TMIF	-1655	-988
18	P3 ₆ /PWM	-1655	-1073
19	P3 ₆ /UD	-1655	-1243
20	P3 ₆ /RESO	-1655	-1480
21	P3 ₆ /SCK31	-1357	-1605
22	P3 ₆ /RXD31	-1178	-1605
23	P3 ₆ /TXD31	-1093	-1605
24	P3 ₆ /AEVH	-992	-1605
25	P3 ₆ /AEVL	-906	-1605
26	Vcc	-821	-1605
27	Vss	-736	-1605
28	V3	-651	-1605
29	V2	-566	-1605
30	V1	-481	-1605
31	V0	-396	-1605
32	Vcc	-310	-1605
33	PA ₃ /COM4	-215	-1605
34	PA ₂ /COM3	-85	-1605
35	PA ₁ /COM2	64	-1605
36	PA ₀ /COM1	197	-1605
37	P5 ₇ /WKP ₇ /SEG1	421	-1605
38	P5 ₇ /WKP ₇ /SEG2	528	-1605
39	P5 ₇ /WKP ₇ /SEG3	957	-1605
40	P5 ₇ /WKP ₇ /SEG4	1154	-1605

1. 概要

パッド番号	パッド名称	座標*	
		X (μm)	Y (μm)
41	P5 ₄ /WKP ₄ /SEG5	1655	-1527
42	P5 ₅ /WKP ₅ /SEG6	1655	-1294
43	P5 ₆ /WKP ₆ /SEG7	1655	-1209
44	P5 ₇ /WKP ₇ /SEG8	1655	-1117
45	P6 ₀ /SEG9	1655	-903
46	P6 ₁ /SEG10	1655	-796
47	P6 ₂ /SEG11	1655	-689
48	P6 ₃ /SEG12	1655	-559
49	P6 ₄ /SEG13	1655	-345
50	P6 ₅ /SEG14	1655	-237
51	P6 ₆ /SEG15	1655	-130
52	P6 ₇ /SEG16	1655	-23
53	P7 ₀ /SEG17	1655	191
54	P7 ₁ /SEG18	1655	317
55	P7 ₂ /SEG19	1655	424
56	P7 ₃ /SEG20	1655	639
57	P7 ₄ /SEG21	1655	746
58	P7 ₅ /SEG22	1655	853
59	P7 ₆ /SEG23	1655	1067
60	P7 ₇ /SEG24	1655	1527
61	P8 ₀ /SEG25	1466	1605
62	P8 ₁ /SEG26	1230	1605
63	P8 ₂ /SEG27	1145	1605
64	P8 ₃ /SEG28	1060	1605
65	P8 ₄ /SEG29/M	961	1605
66	P8 ₅ /SEG30/DO	854	1605
67	P8 ₆ /SEG31/CL ₂	747	1605
68	P8 ₇ /SEG32/CL ₁	640	1605
69	P4 ₀ /SLK ₃₂	524	1605
70	P4 ₁ /RXD ₃₂	439	1605
71	P4 ₂ /TXD ₃₂	354	1605
72	P4 ₃ /IRQ ₀	269	1605
73	AVcc	101	1605
74	PB ₀ /AN ₀	16	1605
75	PB ₁ /AN ₁	-92	1605
76	PB ₂ /AN ₂	-207	1605
77	PB ₃ /AN ₃	-431	1605
78	PB ₄ /AN ₄	-655	1605
79	PB ₅ /AN ₅	-1103	1605
80	PB ₆ /AN ₆	-1290	1605

【注】 * 数値はパッド部の中心の座標を示し、精度は±5μmです。
 原点はチップの中心で、中心は上下と左右のパッド間の距離の1/2のところ です。

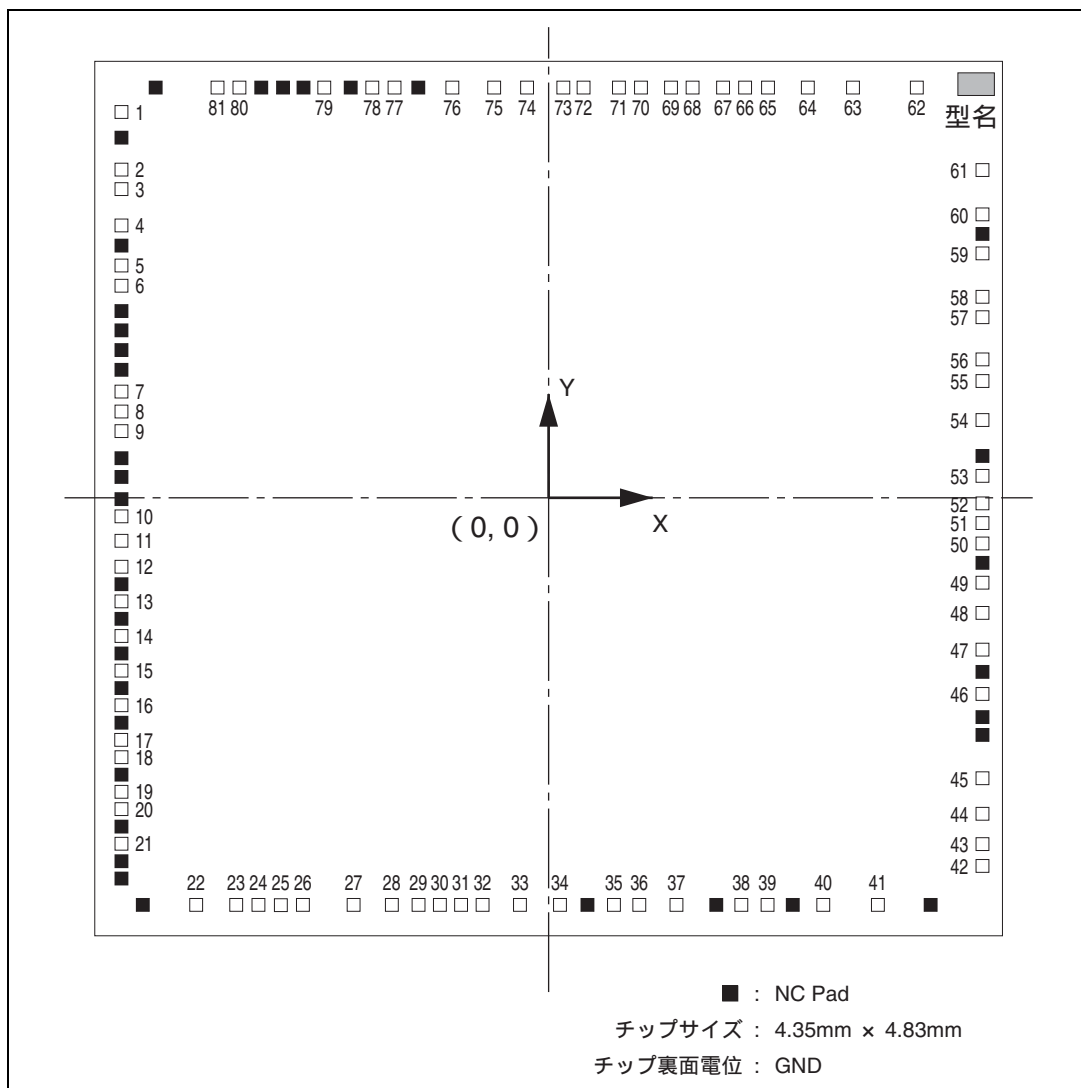


図 1.6 HCD64F38327、HCD64F38427 のパッド配置図 (上面図)

1. 概要

表 1.4 HCD64F38327、HCD64F38427 のパッド座標

パッド番号	パッド名称	座標*	
		X (μm)	Y (μm)
1	PB ₇ /AN ₇	-2056	1943
2	AVss	-2056	1656
3	X ₁	-2056	1570
4	X ₂	-2056	1360
5	Vss	-2056	1158
6	Vss	-2056	1062
7	OSC ₂	-2056	533
8	OSC ₁	-2056	431
9	TEST	-2056	329
10	$\overline{\text{RES}}$	-2056	-66
11	P1 ₉ /TMOW	-2056	-244
12	P1 ₉ /TMOFL	-2056	-402
13	P1 ₉ /TMOFH	-2056	-574
14	P1 ₉ /TMIG	-2056	-747
15	P1 ₄ /IRQ ₄ /ADTRG	-2056	-919
16	P1 ₉ /IRQ ₁ /TMIC	-2056	-1091
17	P1 ₈ /IRQ ₂	-2056	-1263
18	P1 ₇ /IRQ ₃ /TMIF	-2056	-1349
19	P3 ₉ /PWM	-2056	-1521
20	P3 ₉ /UD/EXCL	-2056	-1607
21	P3 ₂	-2056	-1779
22	P3 ₉ /SCK31	-1530	-2295
23	P3 ₉ /RXD31	-1382	-2295
24	P3 ₉ /TXD31	-1280	-2295
25	P3 ₆ /AEVH	-1178	-2295
26	P3 ₆ /AEVL	-1076	-2295
27	CVcc	-896	-2295
28	Vss	-710	-2295
29	V3	-584	-2295
30	V2	-483	-2295
31	V1	-382	-2295
32	V0	-281	-2295
33	Vcc	-145	-2295
34	PA ₉ /COM4	51	-2295
35	PA ₉ /COM3	301	-2295
36	PA ₁ /COM2	441	-2295
37	PA ₉ /COM1	604	-2295
38	P5 ₉ /WKP ₉ /SEG1	883	-2295
39	P5 ₉ /WKP ₉ /SEG2	1022	-2295
40	P5 ₉ /WKP ₉ /SEG3	1302	-2295

パッド番号	パッド名称	座標*	
		X (μm)	Y (μm)
41	P5 ₃ /WKP ₃ /SEG4	1530	-2295
42	P5 ₄ /WKP ₄ /SEG5	2056	-1955
43	P5 ₅ /WKP ₅ /SEG6	2056	-1830
44	P5 ₆ /WKP ₆ /SEG7	2056	-1651
45	P5 ₇ /WKP ₇ /SEG8	2056	-1481
46	P6 ₀ /SEG9	2056	-1111
47	P6 ₁ /SEG10	2056	-879
48	P6 ₂ /SEG11	2056	-671
49	P6 ₃ /SEG12	2056	-505
50	P6 ₄ /SEG13	2056	-255
51	P6 ₅ /SEG14	2056	-130
52	P6 ₆ /SEG15	2056	-6
53	P6 ₇ /SEG16	2056	119
54	P7 ₀ /SEG17	2056	457
55	P7 ₁ /SEG18	2056	660
56	P7 ₂ /SEG19	2056	784
57	P7 ₃ /SEG20	2056	1034
58	P7 ₄ /SEG21	2056	1159
59	P7 ₅ /SEG22	2056	1378
60	P7 ₆ /SEG23	2056	1627
61	P7 ₇ /SEG24	2056	1840
62	P8 ₀ /SEG25	1777	2295
63	P8 ₁ /SEG26	1530	2295
64	P8 ₂ /SEG27	1302	2295
65	P8 ₃ /SEG28	1147	2295
66	P8 ₄ /SEG29	1022	2295
67	P8 ₅ /SEG30	901	2295
68	P8 ₆ /SEG31	728	2295
69	P8 ₇ /SEG32	603	2295
70	P4 ₀ /SCK ₃₂	451	2295
71	P4 ₁ /RXD ₃₂	350	2295
72	P4 ₂ /TXD ₃₂	175	2295
73	P4 ₃ /IRQ ₀	73	2295
74	AVcc	-155	2295
75	PB ₀ /AN ₀	-290	2295
76	PB ₁ /AN ₁	-440	2295
77	PB ₂ /AN ₂	-695	2295
78	PB ₃ /AN ₃	-801	2295
79	PB ₄ /AN ₄	-996	2295
80	PB ₅ /AN ₅	-1419	2295
81	PB ₆ /AN ₆	-1530	2295

【注】 * 数値はパッド部の中心の座標を示し、精度は±5μmです。
 原点はチップの中心で、中心は上下と左右のパッド間の距離の1/2のところ です。

1. 概要

パッド番号 5、6、28 の電源 (Vss) パッドは、オープンにせず必ず接続してください。
 パッド番号 9 の (TEST) パッドは必ず Vss 電位に接地してください。接続されない場合、LSI は正
 常に動作しません。

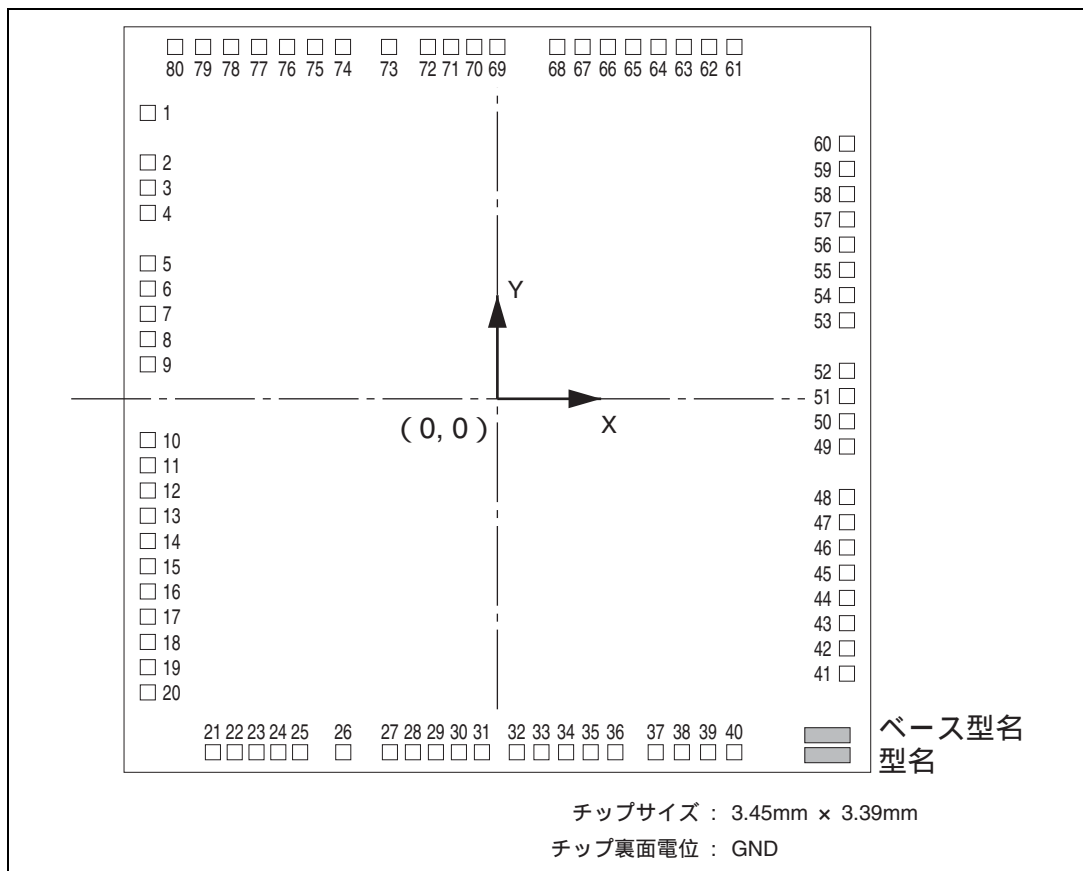


図 1.7 H8/38327 グループ (マスク ROM 版)、H8/38427 グループ (マスク ROM 版) のパッド配置図 (上面図)

表 1.5 H8/38327 グループ (マスク ROM 版)、H8/38427 グループ (マスク ROM 版) のパッド座標

パッド番号	パッド名称	座標*	
		X (μm)	Y (μm)
1	PB7/AN7	-1605	1227
2	AVSS	-1605	1057
3	X1	-1605	941
4	X2	-1605	843
5	Vss	-1605	619
6	OSC2	-1605	503
7	OSC1	-1605	405
8	TEST	-1605	299
9	RES	-1605	201
10	P10/TMOW	-1605	-185
11	P11/TMOFL	-1605	-283
12	P12/TMOFH	-1605	-382
13	P13/TMIG	-1605	-480
14	P14/IRQ4/ADTRG	-1605	-578
15	P15/IRQ1/TMIC	-1605	-676
16	P16/IRQ2	-1605	-775
17	P17/IRQ3/TMIF	-1605	-873
18	P30/PWM	-1605	-971
19	P31/UD/EXCL	-1605	-1070
20	P32	-1605	-1168
21	P33/SCK31	-1262	-1577
22	P34/RXD31	-1164	-1577
23	P35/TXD31	-1066	-1577
24	P36/AEVH	-967	-1577
25	P37/AEVL	-869	-1577
26	CVcc	-704	-1577
27	Vss	-518	-1577
28	V3	-368	-1577
29	V2	-276	-1577
30	V1	-184	-1577
31	V0	-67	-1577
32	Vcc	109	-1577
33	PA3/COM4	237	-1577
34	PA2/COM3	361	-1577
35	PA1/COM2	486	-1577
36	PA0/COM1	611	-1577
37	P50/WKP0/SEG1	767	-1577
38	P51/WKP1/SEG2	892	-1577
39	P52/WKP2/SEG3	1017	-1577
40	P53/WKP3/SEG4	1141	-1577
41	P54/WKP4/SEG5	1605	-1224
42	P55/WKP5/SEG6	1605	-1100

1. 概要

パッド番号	パッド名称	座標*	
		X (μm)	Y (μm)
43	P56/WKP6/SEG7	1605	-975
44	P57/WKP7/SEG8	1605	-850
45	P60/SEG9	1605	-723
46	P61/SEG10	1605	-598
47	P62/SEG11	1605	-473
48	P63/SEG12	1605	-349
49	P64/SEG13	1605	-195
50	P65/SEG14	1605	-70
51	P66/SEG15	1605	55
52	P67/SEG16	1605	179
53	P70/SEG17	1605	336
54	P71/SEG18	1605	460
55	P72/SEG19	1605	585
56	P73/SEG20	1605	710
57	P74/SEG21	1605	835
58	P75/SEG22	1605	959
59	P76/SEG23	1605	1084
60	P77/SEG24	1605	1209
61	P80/SEG25	1130	1577
62	P81/SEG26	1006	1577
63	P82/SEG27	881	1577
64	P83/SEG28	756	1577
65	P84/SEG29	631	1577
66	P85/SEG30	507	1577
67	P86/SEG31	382	1577
68	P87/SEG32	257	1577
69	P40/SCK32	-4	1577
70	P41/RXD32	-97	1577
71	P42/TXD32	-196	1577
72	P43/IRQ0	-294	1577
73	AVcc	-470	1577
74	PB0/AN0	-598	1577
75	PB1/AN1	-704	1577
76	PB2/AN2	-810	1577
77	PB3/AN3	-916	1577
78	PB4/AN4	-1022	1577
79	PB5/AN5	-1128	1577
80	PB6/AN6	-1233	1577

【注】 * 数値はパッド部の中心の座標を示し、精度は±5μmです。

原点はチップの中心で、中心は上下と左右のパッド間の距離の1/2のところ です。パッド番号2、5、27の電源(Vss)は、オープンにせず必ず接続してください。パッド番号8の(TEST)パッドは必ずVss電位に接地してください。接続されない場合、LSIは正常に動作しません。

1.3.2 端子機能

各端子の機能について表 1.6 に示します。

表 1.6 端子機能

分類	記号	ピン番号		入出力	機能
		FP-80A TFP-80C	FP-80B		
電源	V _{CC}	32	34	入力	電源 V _{CC} 端子は、システムの電源に接続してください。 CV _{CC} (H8/3827S グループは V _{CC}) 端子は、 「第 14 章 電源回路」を参照してください。
	CV _{CC}	26	28		
	V _{SS}	5 27	7 29	入力	グラウンド V _{SS} 端子は、全端子、システムの電源 (0V) に接続してください。
	AV _{CC}	73	75		
	AV _{SS}	2	4	入力	アナログ電源 A/D 変換器用電源端子です。A/D 変換器を使用しない場合、システムの電源に接続してください。 アナロググラウンド A/D 変換器用グラウンド端子です。システムの電源 (0V) に接続してください。
	V ₀	31	33		
	V ₁	30	32	出力	LCD 電源 LCD コントローラ/ドライバ用の電源端子です。電源分割抵抗が内蔵されており、通常 V ₀ と V ₁ を短絡して用います。
V ₂	29	31			
V ₃	28	30			
クロック	OSC ₁	7	9	入力	水晶発振子またはセラミック発振子を接続します。また、外部クロックを入力することもできます。接続例については「第 4 章 クロック発振器」を参照してください。
	OSC ₂	6	8		
	X ₁	3	5	出力	32.768kHz または 38.4kHz の水晶発振子を接続します。接続例については「第 4 章 クロック発振器」を参照してください。
	X ₂	4	6		
	EXCL	19	—	入力	32.768kHz または 38.4kHz の外部クロックを入力します。接続例については「第 4 章 クロック発振器」を参照してください。本機能は H8/38327 および H8/38427 グループにしかありません。
システム制御	RES	9	11	入力	リセット この端子を Low レベルにすると、リセット状態になります。
	RESO	20	22		
	TEST	8	10	入力	テスト端子 ユーザは、使用できません。 V _{SS} 電位に接地してください。

1. 概要

分類	記号	ピン番号		入出力	機能
		FP-80A TFP-80C	FP-80B		
割り込み	$\overline{\text{IRQ}}_0$	72	74	入力	外部割り込み要求 4~0 立ち上がりエッジセンス / 立ち下がりエッジセンスを選択可能な外部割り込み入力端子です。
	$\overline{\text{IRQ}}_1$	15	17		
	$\overline{\text{IRQ}}_2$	16	18		
	$\overline{\text{IRQ}}_3$	17	19		
	$\overline{\text{IRQ}}_4$	14	16		
	$\text{WKP}_7 \sim \text{WKP}_0$	44 ~ 37	46 ~ 39	入力	ウェイクアップ割り込み要求 7~0 立ち上がりエッジセンス / 立ち下がりエッジセンスの外部割り込み入力端子です。
タイマ	TMOW	10	12	出力	クロック出力 タイマ A 出力回路により生成された波形の出力端子です。
	AEVL	25	27	入力	非同期イベントカウンタイベント入力 非同期イベントカウンタに入力するイベント入力端子です。
	AEVH	24	26		
	TMIC	15	17	入力	タイマ C イベント入力 タイマ C のカウンタに入力するイベント入力端子です。
	UD	19	21	入力	タイマ C アップ / ダウンセレクト タイマ C のカウンタのアップ / ダウンカウントを選択します。High レベル印加でダウンカウンタ、Low レベル印加でアップカウンタとして動作します。
	TMIF	17	19	入力	タイマ F イベント入力 タイマ F のカウンタに入力するイベント入力端子です。
	TMOFL	11	13	出力	タイマ FL 出力 タイマ FL アウトプットコンペア機能により生成された波形の出力端子です。
	TMOFH	12	14	出力	タイマ FH 出力 タイマ FH アウトプットコンペア機能により生成された波形の出力端子です。
	TMIG	13	15	入力	タイマ G キャプチャ入力 タイマ G のインプットキャプチャの入力端子です。
14 ビット PWM	PWM	18	20	出力	14 ビット PWM 出力 14 ビット PWM により生成された波形の出力端子です。

分類	記号	ピン番号		入出力	機能
		FP-80A TFP-80C	FP-80B		
I/O ポート	PB ₇ ~ PB ₀	1、80 ~ 74	3 ~ 1、 80 ~ 76	入力	ポート B 8 ビットの入力端子です。
	P4 ₃	72	74	入力	ポート 4 (ビット 3) 1 ビットの入力端子です。
	P4 ₂ ~ P4 ₀	71 ~ 69	73 ~ 71	入出力	ポート 4 (ビット 2 ~ ビット 0) 3 ビットの入出力端子です。ポートコントロールレジスタ 4 (PCR4) によって、1 ビットごとに入出力を指定できます。
	PA ₃ ~ PA ₀	33 ~ 36	35 ~ 38	入出力	ポート A 4 ビットの入出力端子です。ポートコントロールレジスタ A (PCRA) によって、1 ビットごとに入出力を指定できます。
	P1 ₇ ~ P1 ₀	17 ~ 10	19 ~ 12	入出力	ポート 1 8 ビットの入出力端子です。ポートコントロールレジスタ 1 (PCR1) によって、1 ビットごとに入出力を指定できます。
	P3 ₇ ~ P3 ₀	25 ~ 18	27 ~ 20	入出力	ポート 3 8 ビットの入出力端子です。ポートコントロールレジスタ 3 (PCR3) によって、1 ビットごとに入出力を指定できます。 オンチップエミュレータ使用時、P3 ₂ 端子はエミュレータで占有されるためユーザは使用できません。F-ZTAT 版ではユーザモードでのリセット解除時、P3 ₂ 端子を High レベルにプルアップしてください。
	P5 ₇ ~ P5 ₀	44 ~ 37	46 ~ 39	入出力	ポート 5 8 ビットの入出力端子です。ポートコントロールレジスタ 5 (PCR5) によって、1 ビットごとに入出力を指定できます。
	P6 ₇ ~ P6 ₀	52 ~ 45	54 ~ 47	入出力	ポート 6 8 ビットの入出力端子です。ポートコントロールレジスタ 6 (PCR6) によって、1 ビットごとに入出力を指定できます。
	P7 ₇ ~ P7 ₀	60 ~ 53	62 ~ 55	入出力	ポート 7 8 ビットの入出力端子です。ポートコントロールレジスタ 7 (PCR7) によって、1 ビットごとに入出力を指定できます。
	P8 ₇ ~ P8 ₀	68 ~ 61	70 ~ 63	入出力	ポート 8 8 ビットの入出力端子です。ポートコントロールレジスタ 8 (PCR8) によって、1 ビットごとに入出力を指定できます。 オンチップエミュレータ使用時、P8 ₅ 、P8 ₆ 、P8 ₇ 端子はエミュレータで占有されるためユーザは使用できません。

1. 概要

分類	記号	ピン番号		入出力	機能
		FP-80A TFP-80C	FP-80B		
シリアル コミュニ ケーショ ンインタ フェース (SCI)	RXD ₃₁	22	24	入力	SCI31 受信データ入力 SCI31 のデータ入力端子です。
	TXD ₃₁	23	25	出力	SCI31 送信データ出力 SCI31 のデータ出力端子です。
	SCK ₃₁	21	23	入出力	SCI31 クロック入出力 SCI31 のクロック入出力端子です。
	RXD ₃₂	70	72	入力	SCI32 受信データ入力 SCI32 のデータ入力端子です。
	TXD ₃₂	71	73	出力	SCI32 送信データ出力 SCI32 のデータ出力端子です。
	SCK ₃₂	69	71	入出力	SCI32 クロック入出力 SCI32 のクロック入出力端子です。
A/D 変換器	AN ₇ ~ AN ₀	1、 80 ~ 74	3 ~ 1 80 ~ 76	入力	アナログ入力 (チャンネル 7 ~ チャンネル 0) A/D 変換器へのアナログデータ入力端子です。
	ADTRG	14	16	入力	A/D 変換器トリガ入力 A/D 変換器の外部トリガ入力端子です。
LCD コントロ ーラ/ド ライバ	COM ₄ ~ COM ₁	33 ~ 36	35 ~ 38	出力	LCD コモン出力 LCD のコモン出力端子です。
	SEG ₃₂ ~ SEG ₁	68 ~ 37	70 ~ 39	出力	LCD セグメント出力 LCD のセグメント出力端子です。
	CL ₁	68	70	出力	LCD ラッチクロック セグメント外部拡張用の表示データラッチクロック出力端子です。本機能は H8/38327 および H8/38427 グループにはありません。
	CL ₂	67	69	出力	LCD シフトクロック セグメント外部拡張用の表示データシフトクロック出力端子です。本機能は H8/38327 および H8/38427 グループにはありません。
	DO	66	68	出力	LCD シリアルデータ出力 セグメント外部拡張用のシリアル表示データ出力端子です。本機能は H8/38327 および H8/38427 グループにはありません。
	M	65	67	出力	LCD 交流化信号 セグメント外部拡張用の LCD 交流化信号出力端子です。本機能は H8/38327 および H8/38427 グループにはありません。

2. CPU

2.1 概要

H8/300L CPU は、8 ビット×16 本（または 16 ビット×8 本）の汎用レジスタ、ならびに高速動作に適した簡潔な命令セットを備えた高速 CPU です。

2.1.1 特長

H8/300L CPU には、次の特長があります。

汎用レジスタ方式

- 8 ビット×16 本（16 ビット×8 本としても使用可能）

55 種類の基本命令

- 乗除算命令
- 強力なビット操作命令

8 種類のアドレッシングモード

- レジスタ直接
- レジスタ間接
- ディスプレースメント付きレジスタ間接
- ポストインクリメント/プリデクリメントレジスタ間接
- 絶対アドレス
- イミディエイト
- プログラムカウンタ相対
- メモリ間接

64K バイトのアドレス空間

高速動作

- 頻出命令をすべて 2~4 ステートで実行
- 高速演算
 - 8/16ビットレジスタ間加減算 0.25 μ s*
 - 8×8ビット乗算 1.75 μ s*
 - 16÷8ビット除算 1.75 μ s*

【注】* 数値は、 = 8MHz 時のもの

低消費電力動作

- SLEEP 命令により低消費電力動作可能

2. CPU

2.1.2 アドレス空間

H8/300L CPU がサポートするアドレス空間は、プログラムコードとデータ領域合計で最大 64K バイトです。

メモリマップの詳細は「2.8 メモリマップ」を参照してください。

2.1.3 レジスタ構成

H8/300L CPU の内部レジスタ構成を図 2.1 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。

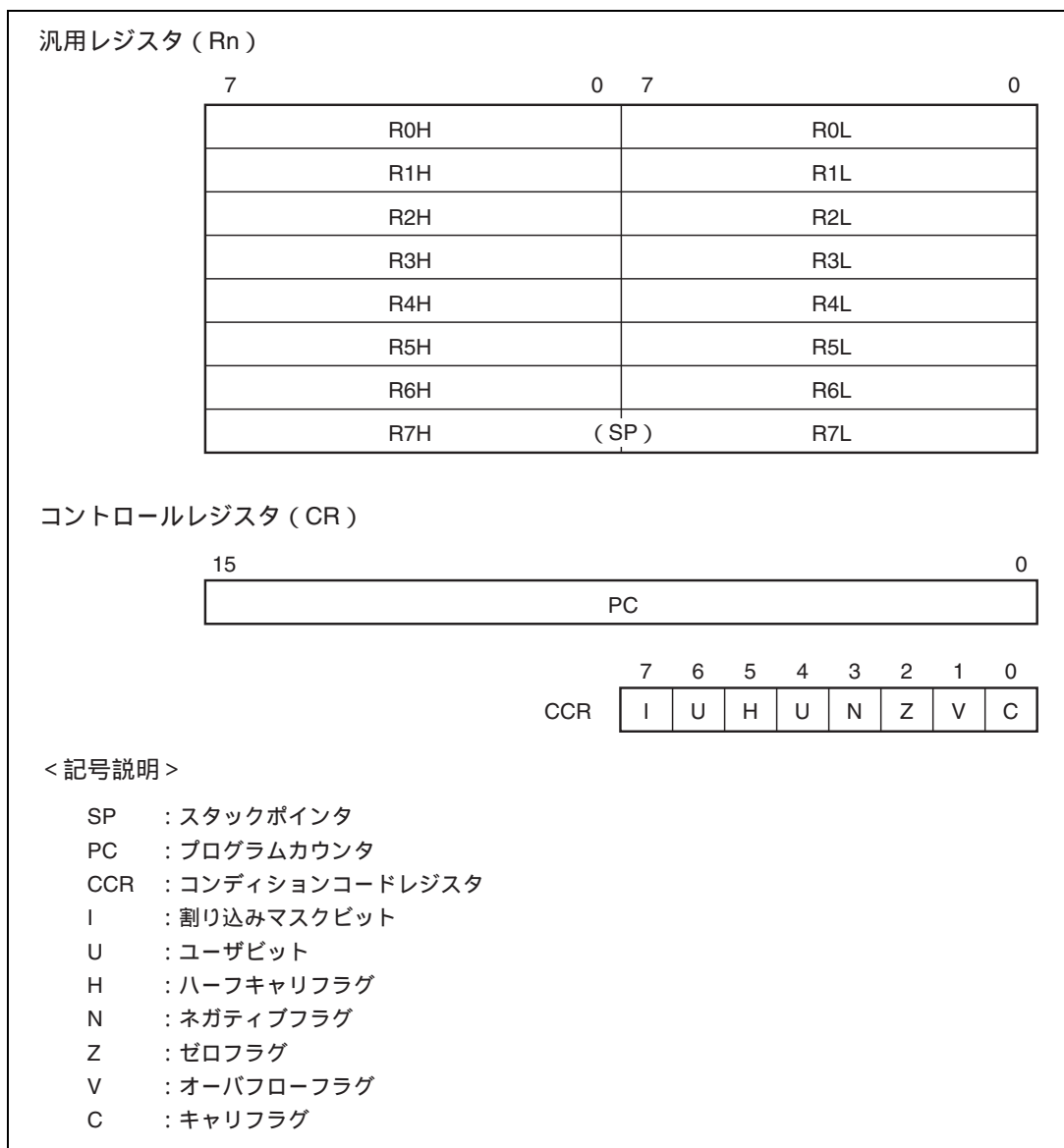


図 2.1 CPU 内部レジスタ構成

2.2 各レジスタの説明

2.2.1 汎用レジスタ

汎用レジスタは、すべて同じ機能を持っており、データレジスタ、アドレスレジスタの区別なく使用できます。

データレジスタとして使用する場合は、8ビットレジスタとして上位 (R7H~R0H) と下位 (R7L~R0L) を別々に使用することも、また 16ビットレジスタ (R7~R0) として使用することもできます。

アドレスレジスタとして使用する場合は、16ビットレジスタ (R7~R0) として使用します。

レジスタ R7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチンコールなどで暗黙的に使用されます。このとき、SP は常にスタック領域の先頭を指しています。スタックの状態を図 2.2 に示します。

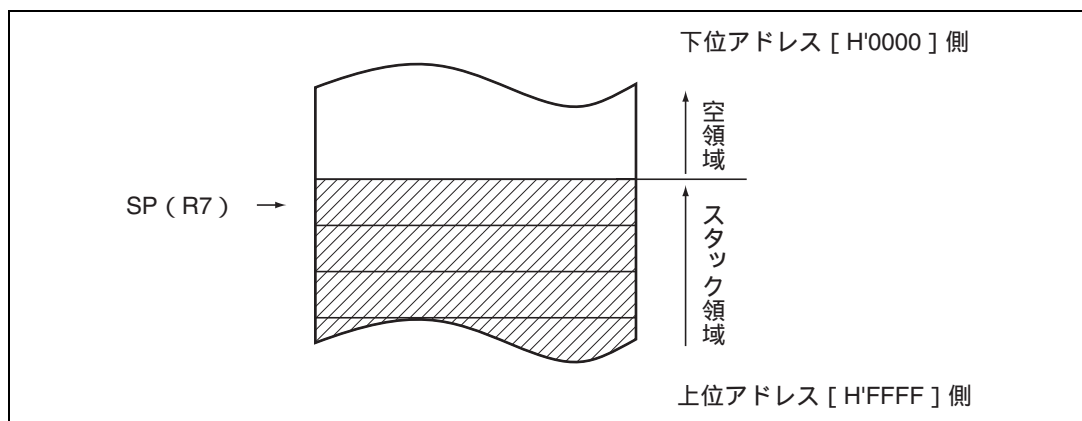


図 2.2 スタックの状態

2.2.2 コントロールレジスタ

コントロールレジスタには、16ビットのプログラムカウンタ (PC) と 8ビットのコンディションコードレジスタ (CCR) があります。

(1) プログラムカウンタ (PC)

16ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 16ビット (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは 0 とみなされます)。

(2) コンディションコードレジスタ (CCR)

8ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8ビットで構成されています。これらのビットは、ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されません。

ビット7：割り込みマスクビット (I)

本ビットが1にセットされると、割り込みがマスクされます。例外処理の実行が開始されたときに1にセットされます。本ビットはソフトウェアによりリード/ライトできます。割り込みマスクビットの詳細については「3.3 割り込み」を参照してください。

ビット6：ユーザビット (U)

ユーザが自由に使用できるビットです。

ビット5：ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット3にキャリまたはポローが生じたとき1にセットされ、生じなかったとき0にクリアされます。DAA および DAS 命令実行時に、暗黙的に使用されます。ADD.W、SUB.W、CMP.W 命令ではビット11にキャリまたはポローが生じたとき1にセットされ、生じなかったとき0にクリアされます。

ビット4：ユーザビット (U)

ユーザが自由に使用できるビットです。

ビット3：ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット2：ゼロフラグ (Z)

データがゼロのとき1にセットされ、ゼロ以外のとき0にクリアされます。

ビット1：オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき1にセットされます。それ以外のとき0にクリアされます。

ビット0：キャリフラグ (C)

演算の実行により、キャリが生じたとき1にセットされ、生じなかったとき0にクリアされます。キャリには次の種類があります。

- 加算結果のキャリ
- 減算結果のポロー
- シフト/ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。

各命令ごとのフラグの変化については、「H8/300L シリーズ プログラミングマニュアル」を参照してください。

2.2.3 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタアドレス (H'0000) のロードにより初期化され、CCR の I ビットは 1 にセットされますが、汎用レジスタおよび CCR の他のビットは初期化されません。レジスタ R7 (SP) の初期値も不定です。したがって、リセット直後に、R7 の初期化を行ってください。

2.3 データ構成

H8/300L CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード) のデータを扱うことができます。1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0, 1, 2, \dots, 7$) という形式でアクセスされます。

バイトデータは、ADDS、SUBS 以外の演算命令で扱われます。また、ワードデータは、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU (8 ビット \times 8 ビット)、DIVXU (16 ビット \div 8 ビット) 命令で扱われます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.3.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図 2.3 に示します。

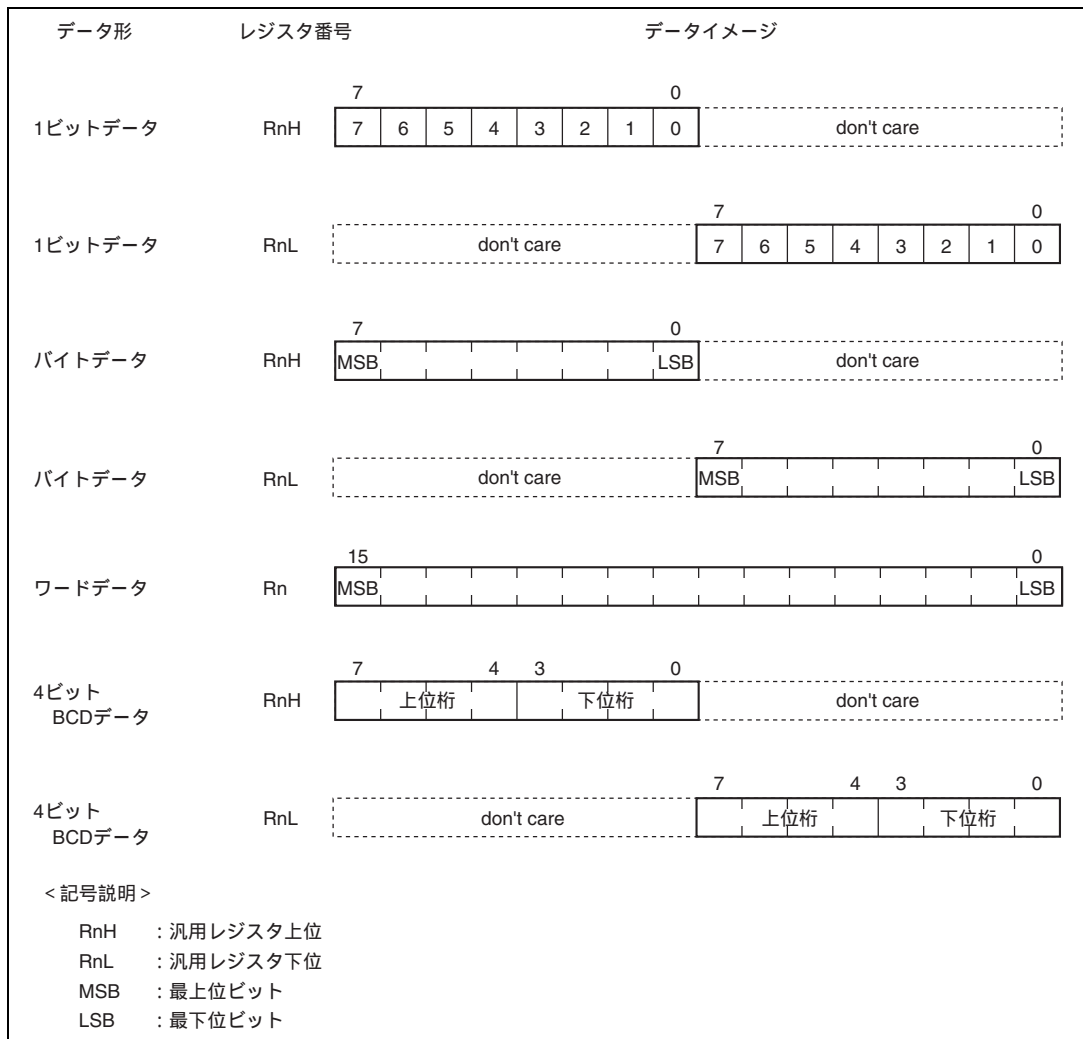


図 2.3 汎用レジスタのデータ構成

2.3.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図 2.4 に示します。H8/300L CPU は、メモリ上のワードデータをアクセスすることができます (MOV.W 命令) が、偶数番地から始まるワードデータに限定されます。奇数番地から始まるワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるワードデータをアクセスします。命令コードについても同様です。

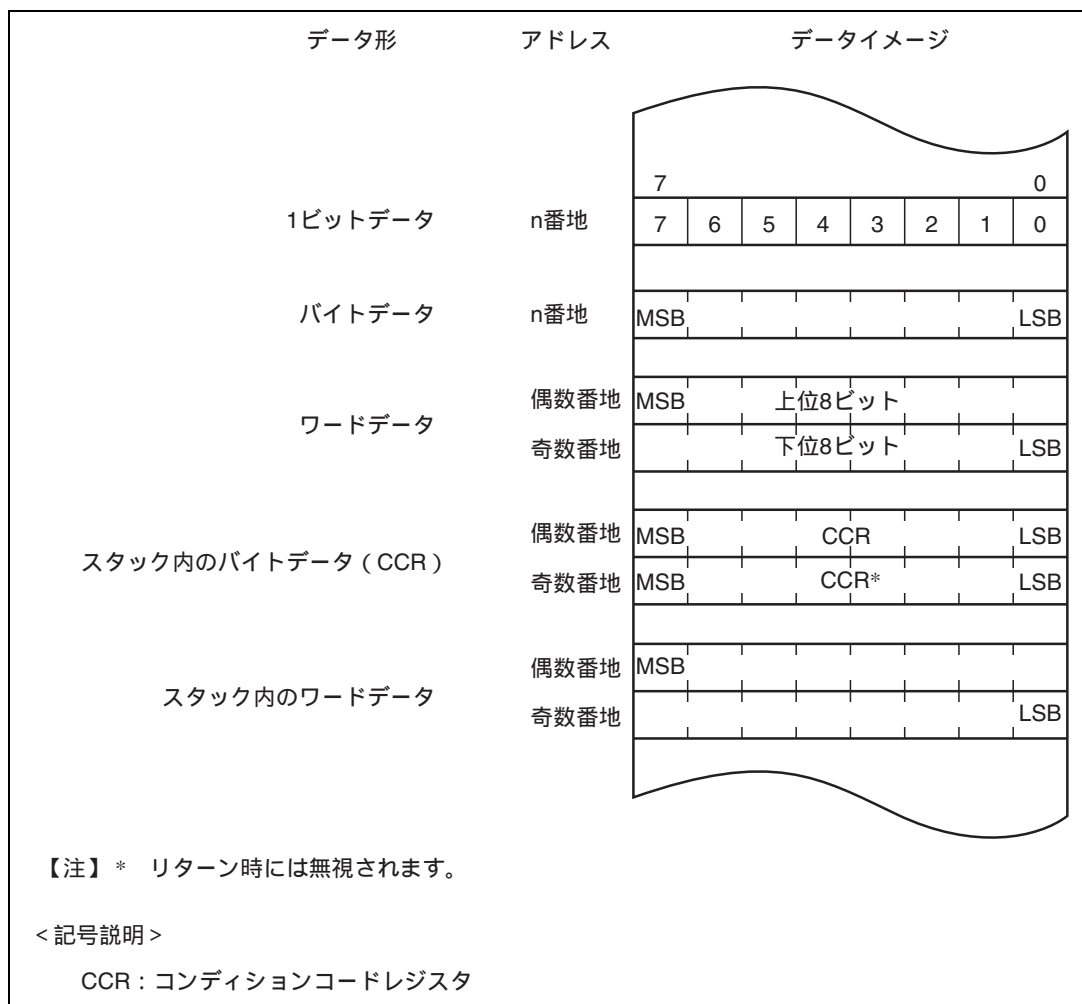


図 2.4 メモリ上でのデータ構成

なお、R7 をアドレスレジスタとして使用し、スタックをアクセスするときは、必ずワードサイズでアクセスしてください。また、CCR は、ワードデータとして上位 8 ビット、下位 8 ビットに同じ値が格納され、リターン時には、下位 8 ビットは無視されます。

2.4 アドレッシングモード

2.4.1 アドレッシングモード

H8/300L CPU は、表 2.1 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

表 2.1 アドレッシングモード一覧表

No.	アドレッシングモード	記号
(1)	レジスタ直接	Rn
(2)	レジスタ間接	@Rn
(3)	ディスプレースメント付きレジスタ間接	@(d:16, Rn)
(4)	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@Rn+ @-Rn
(5)	絶対アドレス	@aa:8/@aa:16
(6)	イミディエイト	#xx:8/#xx:16
(7)	プログラムカウンタ相対	@(d:8, PC)
(8)	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビットまたは 16 ビット) がオペランドとなります。

16 ビットレジスタを使用する命令は、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU (8 ビット×8 ビット)、DIVXU (16 ビット÷8 ビット) の各命令です。

(2) レジスタ間接 @Rn

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容をアドレスとしてメモリ上のオペランドを指定します。

(3) ディスプレースメント付きレジスタ間接 @(d:16, Rn)

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容に、命令コードの第 2 ワード (第 3、第 4 バイト) の 16 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。

本アドレッシングモードは、MOV 命令のみで使用されます。特に、MOV.W 命令では、加算結果が偶数となるようにしてください。

(4) ポストインクリメントレジスタ間接 @Rn+ / プリデクリメントレジスタ間接 @-Rn

- ポストインクリメントレジスタ間接 @Rn+

MOV (Load from) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容をアドレスとして、メモリ上のオペランドを指定します。その後、レジスタの内容に 1 または 2 が加算され、加算結果がレジスタに格納されます。MOV.B 命令では 1、MOV.W 命令では 2 がそれぞれ加算されます。MOV.W 命令では、レジスタの内容が偶数になるようにしてください。

- プリデクリメントレジスタ間接 @-Rn

MOV (Store to) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容から 1 または 2 を減算した内容をアドレスとして、メモリ上のオペランドを指定します。その後、減算結果が

レジスタに格納されます。MOV.B命令では1、MOV.W命令では2がそれぞれ減算されます。MOV.W命令では、レジスタの内容が偶数となるようにしてください。

(5) 絶対アドレス @aa:8/@aa:16

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

このとき、絶対アドレスは8ビット(@aa:8)または16ビット(@aa:16)で、8ビット絶対アドレスはMOV.B、ビット操作命令で、16ビット絶対アドレスはMOV.B、MOV.W、JMP、JSRの各命令で使用されます。

8ビット絶対アドレスの場合、上位8ビットはすべて1(H'FF)となります。したがって、アクセス範囲は65280~65535(H'FF00~H'FFFF)番地です。

(6) イミディエイト #xx:8/#xx:16

命令コードの第2バイト(#xx:8)または第3、第4バイト(#xx:16)を直接オペランドとして使用します。#xx:16は、MOV.W命令のみで使用されます。

なお、ADDSおよびSUBS命令では、イミディエイトデータ(1または2)が命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが、命令コードの第2または第4バイトに含まれる場合があります。

(7) プログラムカウンタ相対 @(d:8, PC)

Bcc、BSRの各命令で使用されます。

PCの内容に、命令コードの第2バイトの8ビットディスプレースメントを加算して、分岐アドレスを生成します。加算に際して、ディスプレースメントは16ビットに符号拡張され、また加算されるPCの内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して-126~+128バイト(-63~+64ワード)です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @@aa:8

JMPおよびJSR命令で使用されます。

命令コードの第2バイトに含まれる8ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。この場合、8ビット絶対アドレスの上位8ビットはすべて0(H'00)とされますので、分岐アドレスを格納できるのは0~255(H'0000~H'00FF)番地です。ただし、H8/300Lシリーズでは、アドレスの下位番地はベクタ領域と共通になっていますから注意してください。ベクタ領域の詳細は「3.3 割り込み」を参照してください。

分岐アドレスまたはMOV.W命令のオペランドアドレスとして奇数アドレスを指定した場合、最下位ビットは0とみなされ、1番地前から始まるワードデータをアクセスします(「2.3.2 メモリ上のデータ構成」を参照してください)。

2.4.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス (EA : Effective Address) の計算法を表 2.2 に示します。

演算命令では、(1)レジスタ直接、および(6)イミディエイト(ADD.B、ADDX、SUBX、CMP.B、AND、OR、XOR の各命令)が使用されます。




転送命令では、(7)プログラムカウンタ相対と(8)メモリ間接を除くすべてのアドレッシングモードが使用可能です。

また、ビット操作命令では、オペランドの指定に(1)レジスタ直接、(2)レジスタ間接および(5)絶対アドレス(8ビット)が使用可能です。さらに、オペランド中のビット番号を指定するために(1)レジスタ直接(BSET、BCLR、BNOT、BTSTの各命令)および(6)イミディエイト(3ビット)が独立して使用可能です。

表 2.2 実効アドレスの計算方法

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
1	レジスタ直接 Rn 		<p>オペランドはrm/rmが示すレジスタの内容です。</p>
2	レジスタ間接 @Rn 		
3	ディスプレイメント付きレジスタ間接 @d:16, Rn 		
4	ポストインクリメントレジスタ間接 / プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @Rn+ ・プリデクリメントレジスタ間接 @-Rn 	<p>オペランドサイズがバイトのとき1、ワードのとき2が加減算されます。</p>	

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
5	<p>絶対アドレス</p> <p>@aa:8</p> <p>@aa:16</p>		
6	<p>イミディエイト</p> <p>#xx:8</p> <p>#xx:16</p>		<p>オペランドはイミディエイトデータの1または2バイトデータです。</p>
7	<p>プログラムカウンタ相対 @ (di:8, PC)</p>		

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
8	メモリ間接@aa.r8 		

<記号説明>

im, m : レジスタフィールド
 op : オペレーションフィールド
 disp : ディスプレースメント
 IMM : イミディエイトデータ
 abs : 絶対アドレス

2.5 命令セット

H8/300L CPU の命令は合計 55 種類あり、各命令の持つ機能によって、表 2.3 に示すように分類されます。

表 2.3 命令の分類

機能	命令	種類
データ転送命令	MOV、POP* ¹ 、PUSH* ¹	1
算術演算命令	ADD、SUB、ADDX、SUBX、INC、DEC、ADDS、SUBS、DAA、DAS、MULXU、DIVXU、CMP、NEG	14
論理演算命令	AND、OR、XOR、NOT	4
シフト命令	SHAL、SHAR、SHLL、SHLR、ROTL、ROTR、ROTXL、ROTXR	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD、BST、BIST	14
分岐命令	Bcc* ² 、JMP、BSR、JSR、RTS	5
システム制御命令	RTE、SLEEP、LDC、STC、ANDC、ORC、XORC、NOP	8
ブロック転送命令	EEPMOV	1

合計 55 種

【注】 *1 POP Rn、PUSH Rn は、それぞれ MOV.W @SP+, Rn、MOV.W Rn、@-SP と同一です。機械語についても同一です。

*2 Bcc は条件分岐命令の総称です。

各命令の機能について表 2.4 から表 2.11 に示します。各表で使用しているオペレーションの記号の意味は以下のとおりです。

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側)
Rs	汎用レジスタ (ソース側)
Rn	汎用レジスタ
(EAd)、<Ead>	デスティネーションオペランド
(EAs)、<Eas>	ソースオペランド
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバーフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
x	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理 (論理的補数)
:3	3 ビット長
:8	8 ビット長
:16	16 ビット長
(), < >	オペランドの実効アドレスの内容

2.5.1 データ転送命令

データ転送命令の機能を表 2.4 に示します。

表 2.4 データ転送命令

命令	サイズ*	機能
MOV	B/W	(EAs) Rd, Rs (EAd) 汎用レジスタと汎用レジスタまたは汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。 ワードデータは Rn、@Rn、@(d:16, Rn)、@aa:16、#xx:16、@-Rn、@Rn+の各アドレッシングモードで扱います。@aa:8 はバイトデータのみです。 ただし、@-R7、@R7+を使用する場合は必ずワードサイズを指定してください。
POP	W	@SP+ Rn スタックから汎用レジスタへデータを復帰します。 本命令は MOV.W @SP+, Rn と同一です。
PUSH	W	Rn @-SP 汎用レジスタの内容をスタックに退避します。 本命令は MOV.W Rn, @-SP と同一です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

データアクセスに関して使用上の注意事項があります。詳細は「2.9.1 データアクセスに関する注意事項」を参照してください。

データ転送命令の命令フォーマットを図 2.5 に示します。

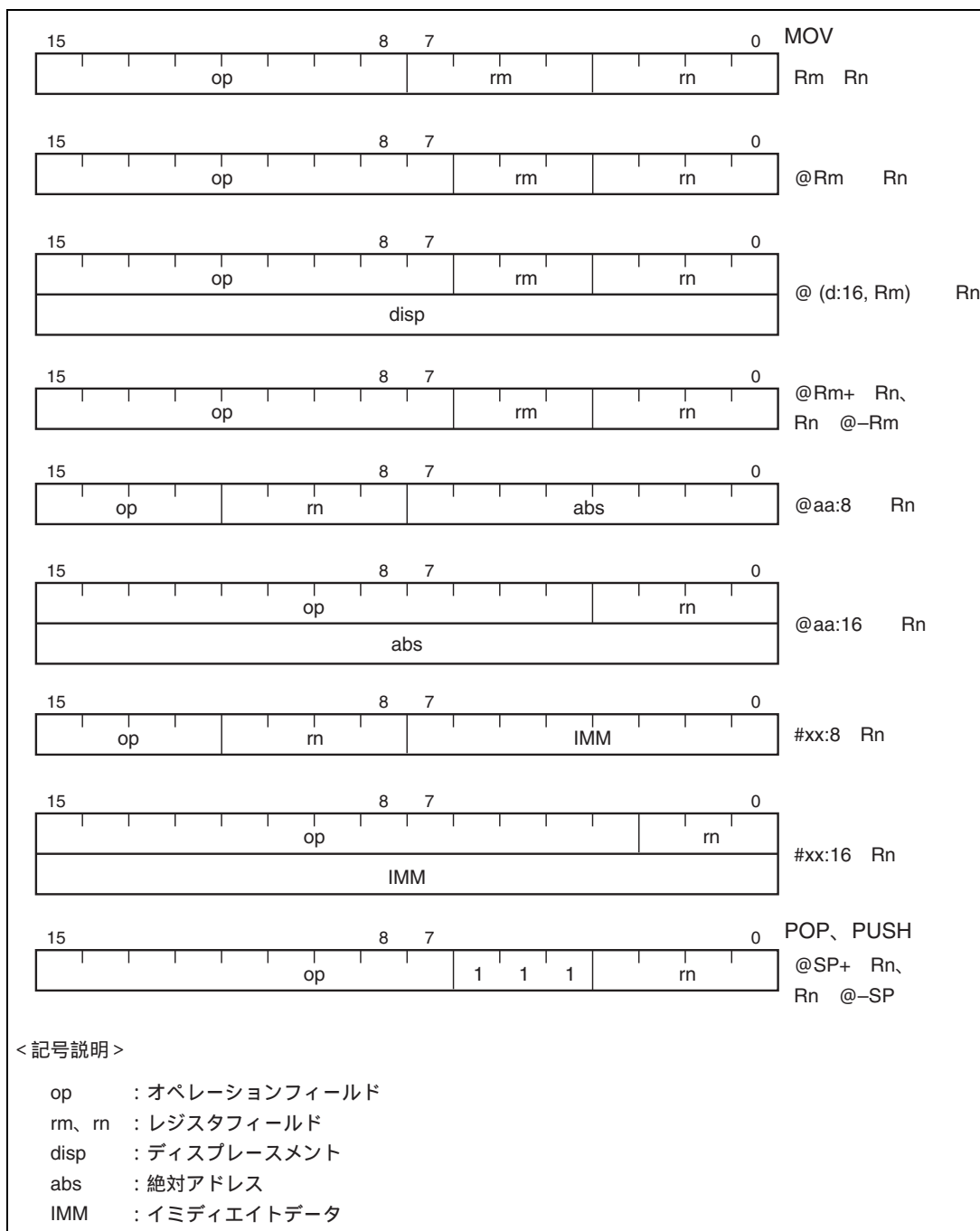


図 2.5 データ転送命令の命令フォーマット

2.5.2 算術演算命令

算術演算命令の機能を表 2.5 に示します。

表 2.5 算術演算命令

命令	サイズ*	機能
ADD SUB	B/W	Rd ± Rs Rd, Rd+#IMM Rd 汎用レジスタ間の加減算、または汎用レジスタとイミディエイトデータの加算を行います。汎用レジスタとイミディエイトデータの減算はできません。 ワードデータは、汎用レジスタ間の加減算のみで扱います。
ADDX SUBX	B	Rd ± Rs ± C Rd, Rd ± #IMM ± C Rd 汎用レジスタ間のキャリ付きの加減算、または汎用レジスタとイミディエイトデータのキャリ付きの加減算を行います。
INC DEC	B	Rd ± 1 Rd 汎用レジスタに 1 を加減算します。
ADDS SUBS	W	Rd ± 1 Rd, Rd ± 2 Rd 汎用レジスタに 1 または 2 を加減算します。
DAA DAS	B	Rd (10 進補正) Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B	Rd × Rs Rd 汎用レジスタ間の符号なし乗算を行います。8 ビット × 8 ビット 16 ビットの演算が可能です。
DIVXU	B	Rd ÷ Rs Rd 汎用レジスタ間の符号なし除算を行います。16 ビット ÷ 8 ビット 商 8 ビット余り 8 ビットの演算が可能です。
CMP	B/W	Rd-Rs, Rd-#IMM 汎用レジスタ間の比較、または汎用レジスタとイミディエイトデータの比較を行い、その結果を CCR に反映します。ワードデータは、汎用レジスタ間の比較のみで扱います。
NEG	B	0-Rd Rd 汎用レジスタの内容の 2 の補数（算術的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

2.5.3 論理演算命令

論理演算命令の機能を表 2.6 に示します。

表 2.6 論理演算命令

命令	サイズ*	機能
AND	B	Rd Rs Rd, Rd #IMM Rd 汎用レジスタ間の論理積、または汎用レジスタとイミディエイトデータの論理積をとります。
OR	B	Rd Rs Rd, Rd #IMM Rd 汎用レジスタ間の論理和、または汎用レジスタとイミディエイトデータの論理和をとります。
XOR	B	Rd⊕Rs Rd, Rd⊕#IMM Rd 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B	~Rd Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B：バイト

2.5.4 シフト命令

シフト命令の機能を表 2.7 に示します。

表 2.7 シフト命令

命令	サイズ*	機能
SHAL SHAR	B	Rd (シフト処理) Rd 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B	Rd (シフト処理) Rd 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B	Rd (ローテート処理) Rd 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B	Rd (ローテート処理) Rd 汎用レジスタの内容を、キャリフラグを含めてローテートします。

【注】 * サイズはオペランドサイズを示します。

B：バイト

2. CPU

算術演算命令、論理演算命令およびシフト命令の命令フォーマットを図 2.6 に示します。

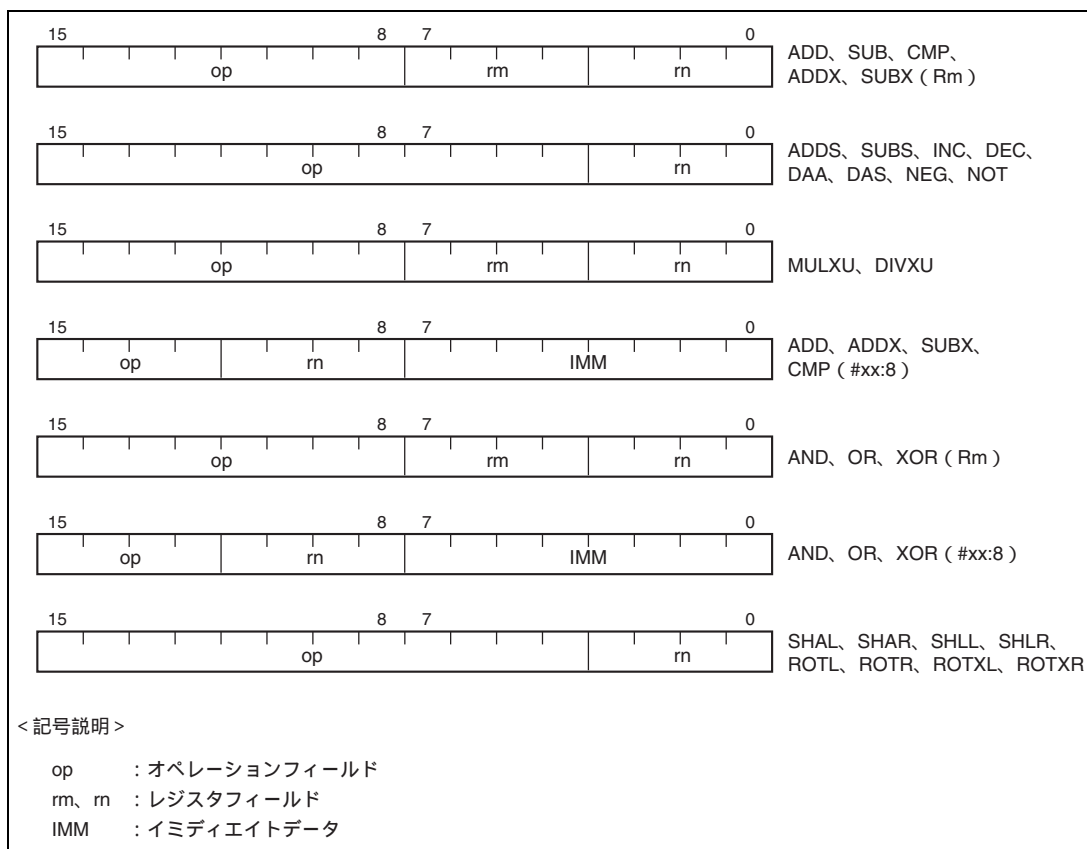


図 2.6 算術演算命令・論理演算命令・シフト命令の命令フォーマット

2.5.5 ビット操作命令

ビット操作命令の機能を表 2.8 に示します。

表 2.8 ビット操作命令

命令	サイズ*	機能
BSET	B	1 (\langle ビット番号 \rangle of \langle EAd \rangle) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BCLR	B	0 (\langle ビット番号 \rangle of \langle EAd \rangle) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BNOT	B	\sim (\langle ビット番号 \rangle of \langle EAd \rangle) (\langle ビット番号 \rangle of \langle EAd \rangle) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	\sim (\langle ビット番号 \rangle of \langle EAd \rangle) Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C (\langle ビット番号 \rangle of \langle EAd \rangle) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	C [\sim (\langle ビット番号 \rangle of \langle EAd \rangle)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C (\langle ビット番号 \rangle of \langle EAd \rangle) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
BIOR	B	C [\sim (\langle ビット番号 \rangle of \langle EAd \rangle)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。ビット番号は、3 ビットのイミディエイトデータで指定されます。
BXOR	B	C \oplus (\langle ビット番号 \rangle of \langle EAd \rangle) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
BIXOR	B	C \oplus [\sim (\langle ビット番号 \rangle of \langle EAd \rangle)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。ビット番号は、3 ビットのイミディエイトデータで指定されます。

2. CPU

命令	サイズ*	機能
BLD	B	(<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	~ (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BST	B	C (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	~C (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、反転されたキャリフラグの内容を転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

ビット操作命令には使用上の注意事項があります。詳細は「2.9.2 ビット操作命令使用上の注意事項」を参照してください。

ビット操作命令の命令フォーマットを図 2.7 に示します。

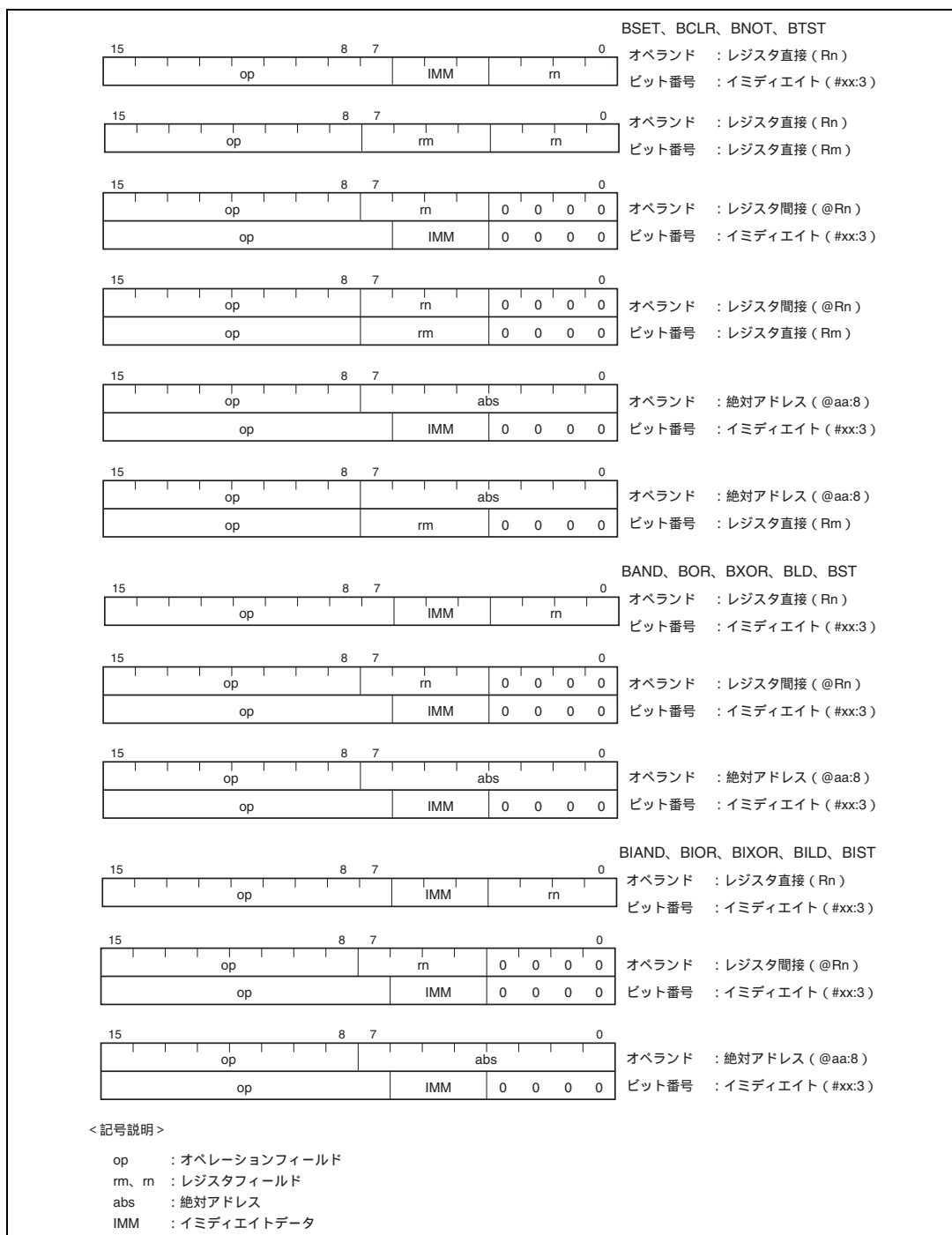


図 2.7 ビット操作命令の命令フォーマット

2.5.6 分岐命令

分岐命令の機能を表 2.9 に示します。

表 2.9 分岐命令

命令	サイズ	機能		
Bcc		指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。		
		ニーモニック	説 明	分 岐 条 件
		BRA (BT)	Always (True)	Always
		BRN (BF)	Never (False)	Never
		BHI	High	C Z = 0
		BLS	Low or Same	C Z = 1
		BCC (BHS)	Carry Clear (High or Same)	C = 0
		BCS (BLO)	Carry Set (Low)	C = 1
		BNE	Not Equal	Z = 0
		BEQ	Equal	Z = 1
		BVC	Overflow Clear	V = 0
		BVS	Overflow Set	V = 1
		BPL	PLus	N = 0
		BMI	Minus	N = 1
		BGE	Greater or Equal	$N \oplus V = 0$
BLT	Less Than	$N \oplus V = 1$		
BGT	Greater Than	$Z (N \oplus V) = 0$		
BLE	Less or Equal	$Z (N \oplus V) = 1$		
JMP		指定されたアドレスへ無条件に分岐します。		
BSR		指定されたアドレスへサブルーチン分岐します。		
JSR		指定されたアドレスへサブルーチン分岐します。		
RTS		サブルーチンから復帰します。		

分岐命令の命令フォーマットを図 2.8 に示します。

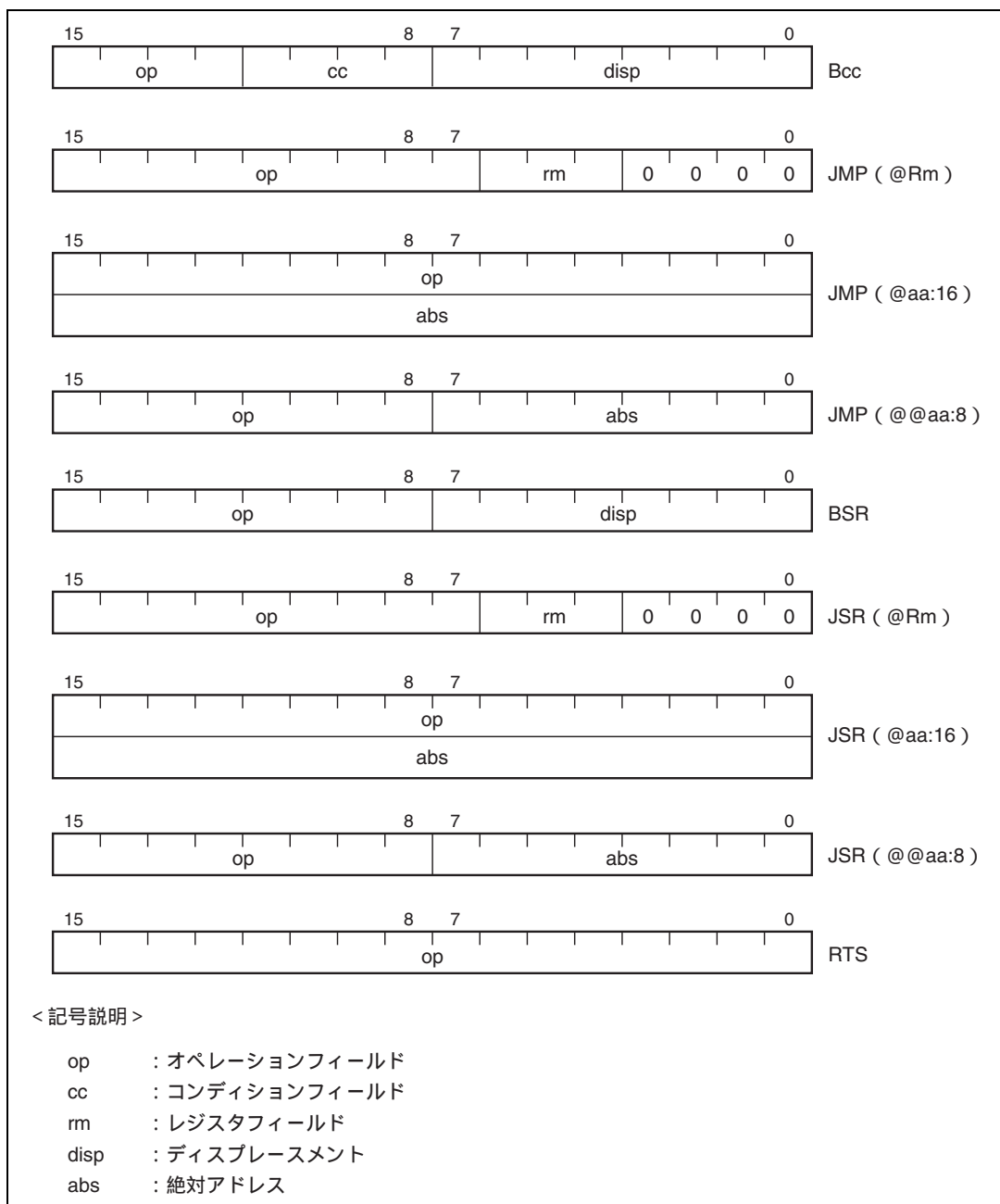


図 2.8 分岐命令の命令フォーマット

2.5.7 システム制御命令

システム制御命令の機能を表 2.10 に示します。

表 2.10 システム制御命令

命令	サイズ*	機能
RTE		割り込み処理ルーチンから復帰します。
SLEEP		アクティブモードで本命令を実行すると、低消費電力モードに遷移します。 詳細は「第 5 章 低消費電力モード」を参照してください。
LDC	B	Rs CCR、#IMM CCR 汎用レジスタの内容、またはイミディエイトデータを CCR に転送します。
STC	B	CCR Rd CCR の内容を汎用レジスタに転送します。
ANDC	B	CCR #IMM CCR CCR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR CCR とイミディエイトデータの論理和をとります。
XORC	B	CCR \oplus IMM CCR CCR とイミディエイトデータの排他的論理和をとります。
NOP		PC+2 PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

システム制御命令の命令フォーマットを図 2.9 に示します。

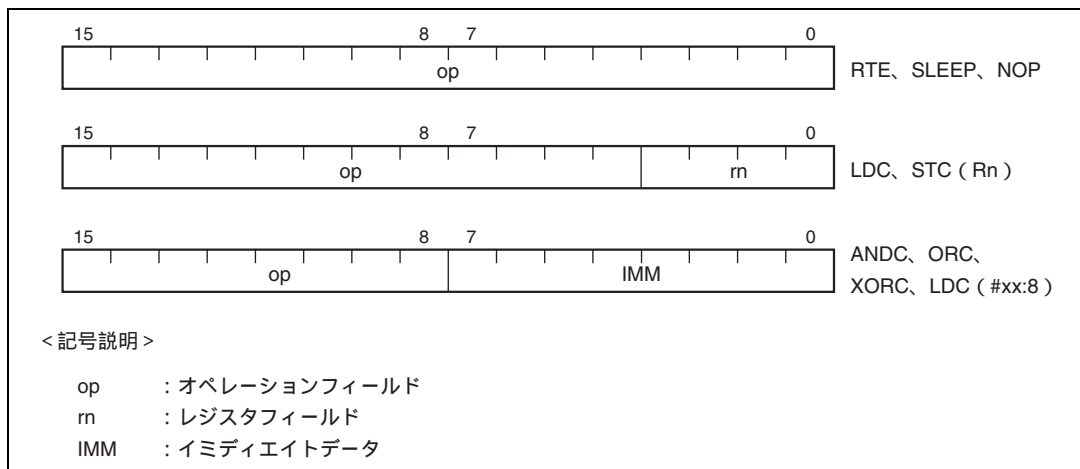


図 2.9 システム制御命令の命令フォーマット

2.5.8 ブロック転送命令

ブロック転送命令の機能を表 2.11 に示します。

表 2.11 ブロック転送命令

命令	サイズ	機能
EEPMOV		<pre>if R4L 0 then Repeat @R5+ @R6+, R4L-1 R4L Until R4L=0 else next;</pre> <p>ブロック転送命令です。R5 で示されるアドレスから始まり、R4L で指定されるバイト数のデータを R6 で示されるアドレスから始まるロケーションへ転送します。転送終了後、次の命令を実行します。</p>

EEPMOV 命令には、使用上の注意事項があります。詳細は「2.9.3 EEPMOV 命令使用上の注意事項」を参照してください。

ブロック転送命令の命令フォーマットを図 2.10 に示します。

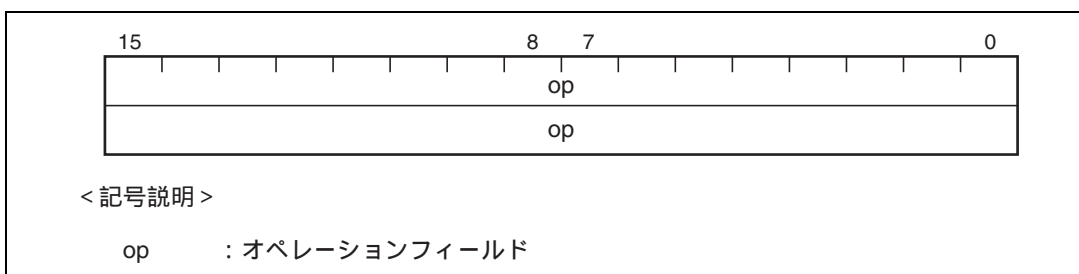


図 2.10 ブロック転送命令の命令フォーマット

2.6 基本動作タイミング

CPUは、システムクロック（ ）またはサブクロック（ SUB ）を基準に動作しています。システムクロック およびサブクロック SUB の定義については「第4章 クロック発振器」を参照してください。 または SUB の立ち上がりから次の立ち上がりまでの1単位をステートと呼びます。バスサイクルは、2ステートまたは3ステートで構成され、内蔵メモリ、内蔵周辺モジュールによって異なるアクセスを行います。

2.6.1 内蔵メモリ（RAM、ROM）

内蔵メモリのアクセスは、2ステートで行われます。このとき、データバス幅は16ビットで、バイトおよびワードサイズアクセスが可能です。

内蔵メモリアccessサイクルを図2.11に示します。

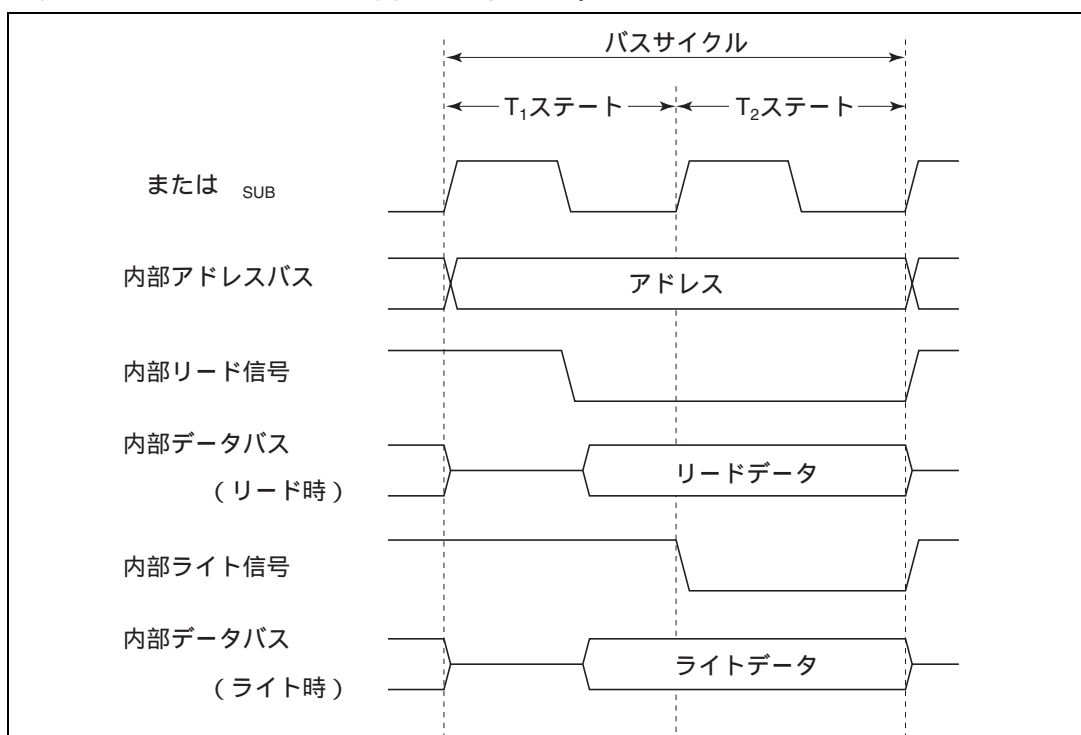


図 2.11 内蔵メモリアccessサイクル

2.6.2 内蔵周辺モジュール

内蔵周辺モジュールのアクセスは、2 ステートまたは3 ステートで行われます。このとき、データバス幅は8ビットで、バイトサイズアクセスのみ可能です。したがって、ワードデータは、2 命令に分けてアクセスしてください。

(1) 内蔵周辺モジュール2 ステートアクセス

内蔵周辺モジュールを2ステートでアクセスした動作タイミングを図2.12に示します。

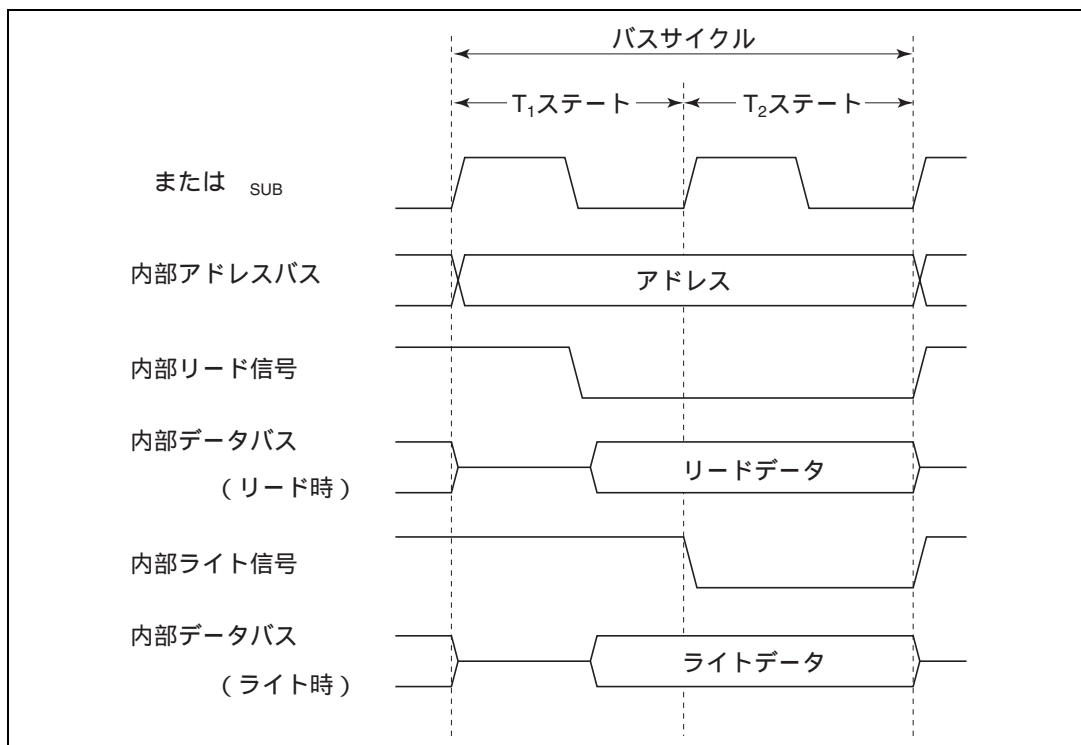


図 2.12 内蔵周辺モジュールアクセスサイクル (2 ステートアクセス)

(2) 内蔵周辺モジュール3ステートアクセス

内蔵周辺モジュールを3ステートでアクセスした動作タイミングを図2.13に示します。

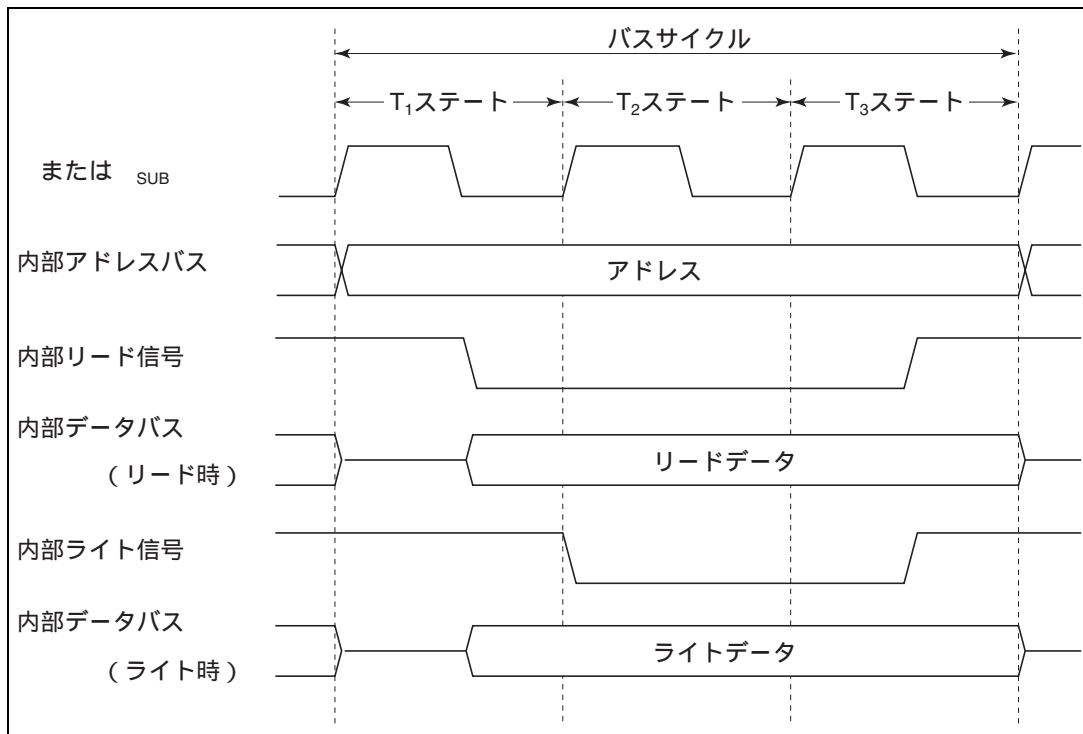


図 2.13 内蔵周辺モジュールアクセスサイクル (3ステートアクセス)

2.7 CPU の状態

2.7.1 概要

CPU の状態には、リセット状態、プログラム実行状態、プログラム停止状態、例外処理状態の 4 種類があります。プログラム実行状態には、アクティブ（高速、中速）モード、サブアクティブモードがあり、プログラム停止状態には、スリープ（高速）モード、スリープ（中速）モード、スタンバイモード、ウォッチモード、およびサブスリープモードがあります。

各状態の分類を図 2.14 に、各状態間の遷移を図 2.15 に示します。

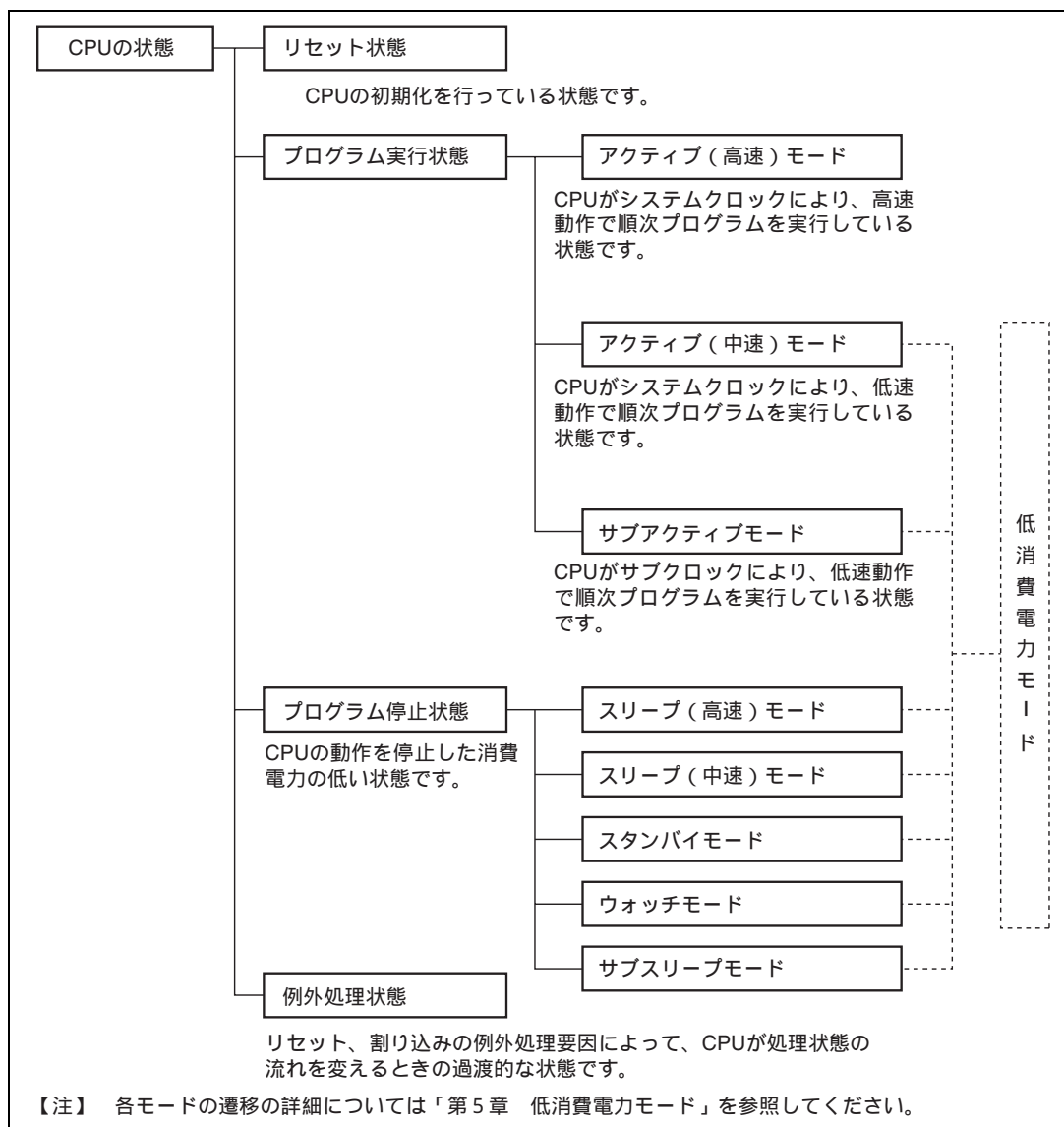


図 2.14 CPU の状態の分類

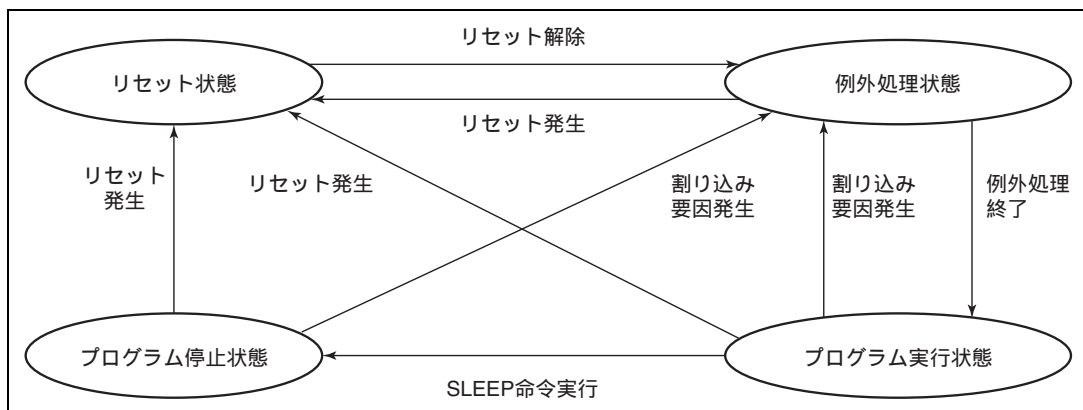


図 2.15 状態遷移図

2.7.2 プログラム実行状態

CPU がプログラムを順次実行している状態です。

CPU がプログラム実行状態には、アクティブ（高速、中速）モードとサブアクティブモードの3つのモードがあります。アクティブ（高速、中速）モードはシステムクロックで、サブアクティブモードはサブクロックで動作します。

これらのモードについての詳細は「第5章 低消費電力モード」を参照してください。

2.7.3 プログラム停止状態

プログラム停止状態には、スリープ（高速）モード、スリープ（中速）モード、スタンバイモード、ウォッチモード、およびサブスリープモードの5つのモードがあります。

これらのモードについての詳細は「第5章 低消費電力モード」を参照してください。

2.7.4 例外処理状態

リセット、割り込みの例外処理要因によって、CPU が通常の処理状態の流れを変えるときに過渡的な状態です。割り込み要因による例外処理では、SP (R7) を参照して、PC および CCR の退避を行います。

割り込み処理についての詳細は、「3.3 割り込み」を参照してください。

2.8 メモリマップ

2.8.1 メモリマップ

H8/3822R、H8/38322、H8/38422 のメモリマップを図 2.16(1)に、H8/3823R、H8/38323、H8/38423 のメモリマップを図 2.16(2)に、H8/3824R、H8/3824S、H8/38324、H8/38424 のメモリマップを図 2.16(3)に、H8/3825R、H8/3825S、H8/38325、H8/38425 のメモリマップを図 2.16(4)に、H8/3826R、H8/3826S、H8/38326、H8/38426 のメモリマップを図 2.16(5)に、H8/3827R、H8/3827S、H8/38327、H8/38427 のメモリマップを図 2.16(6)に示します。

2. CPU

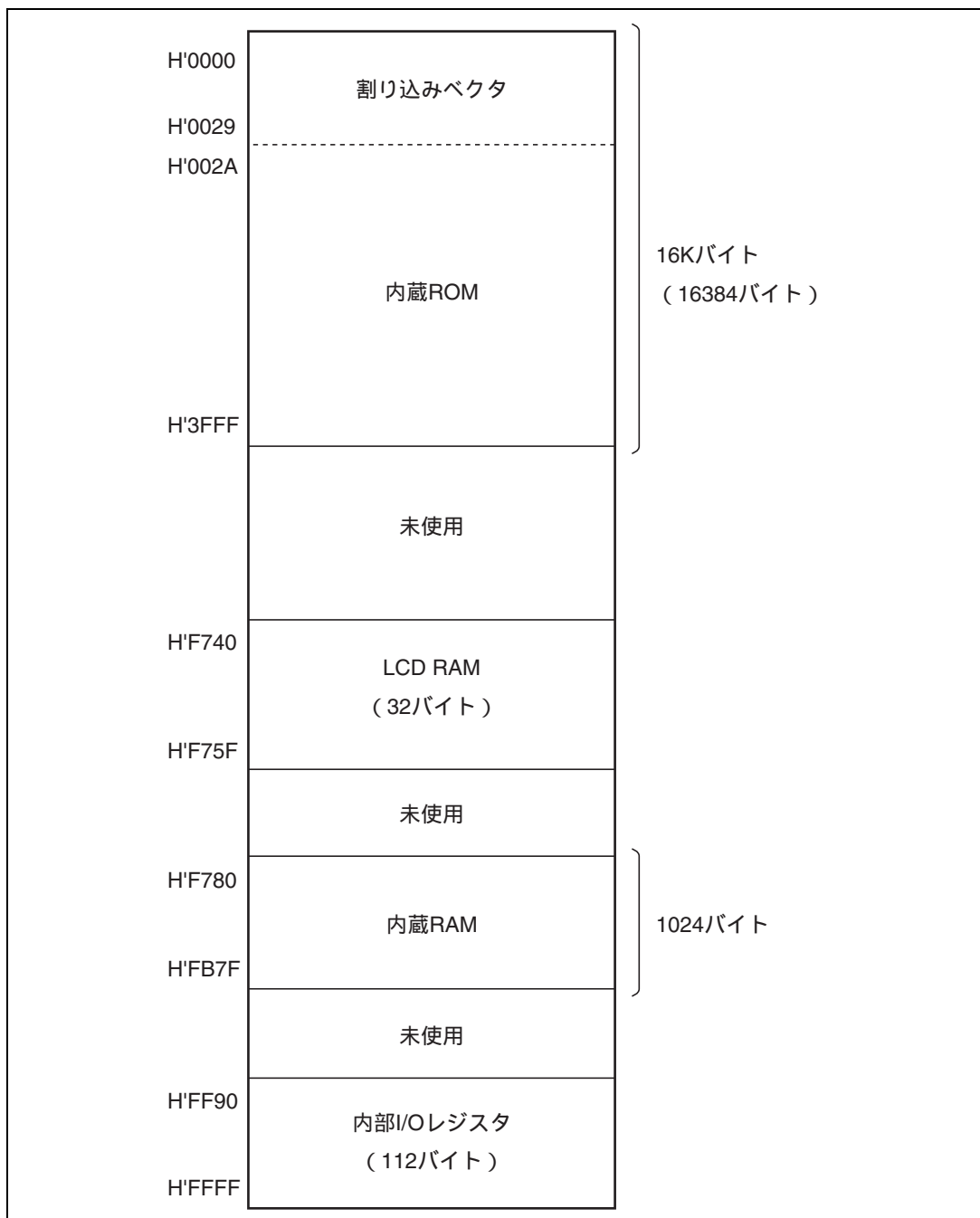


図 2.16 (1) H8/3822R、H8/38322、H8/38422 のメモリマップ

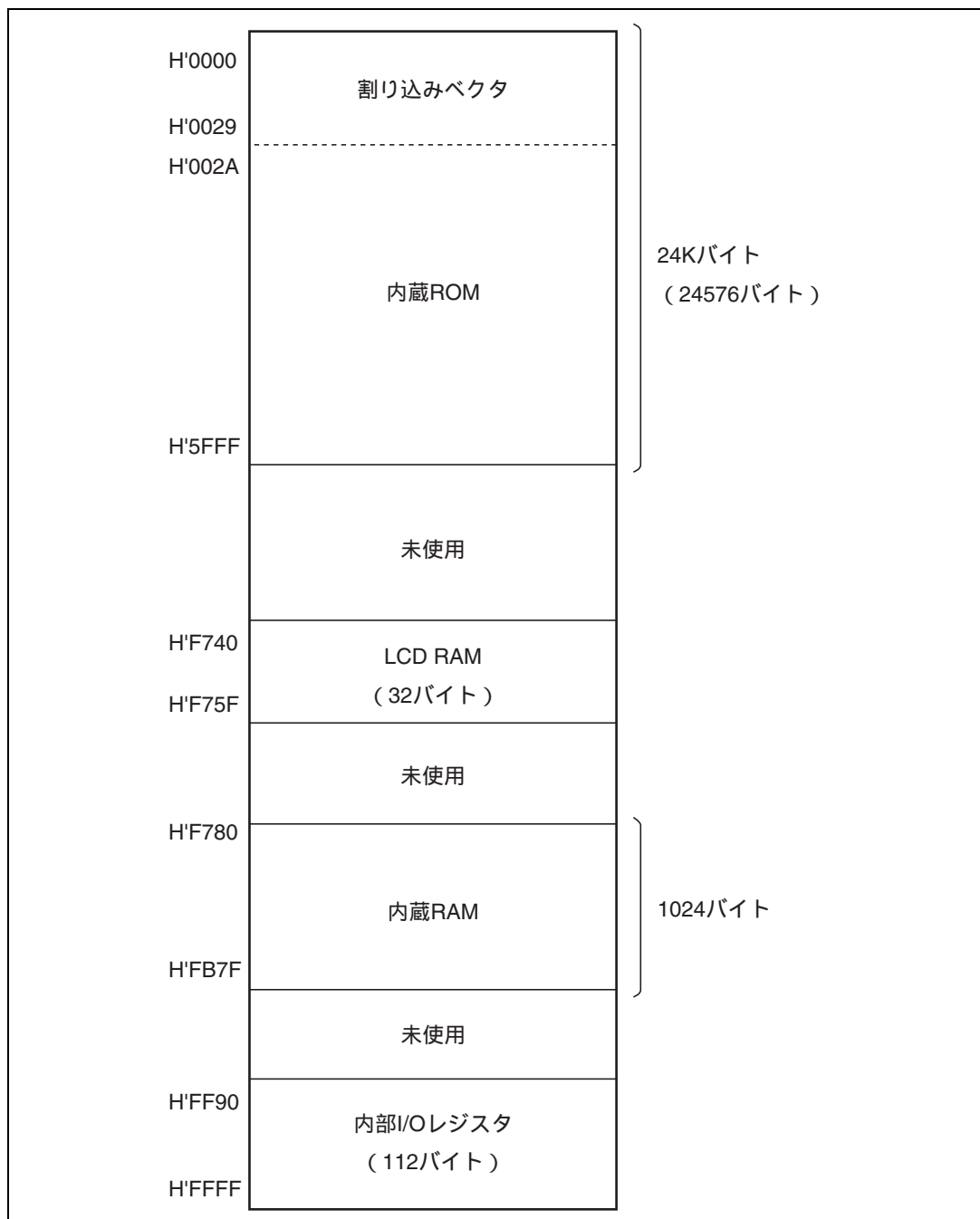


図 2.16 (2) H8/3823R、H8/38323、H8/38423 のメモリマップ

2. CPU

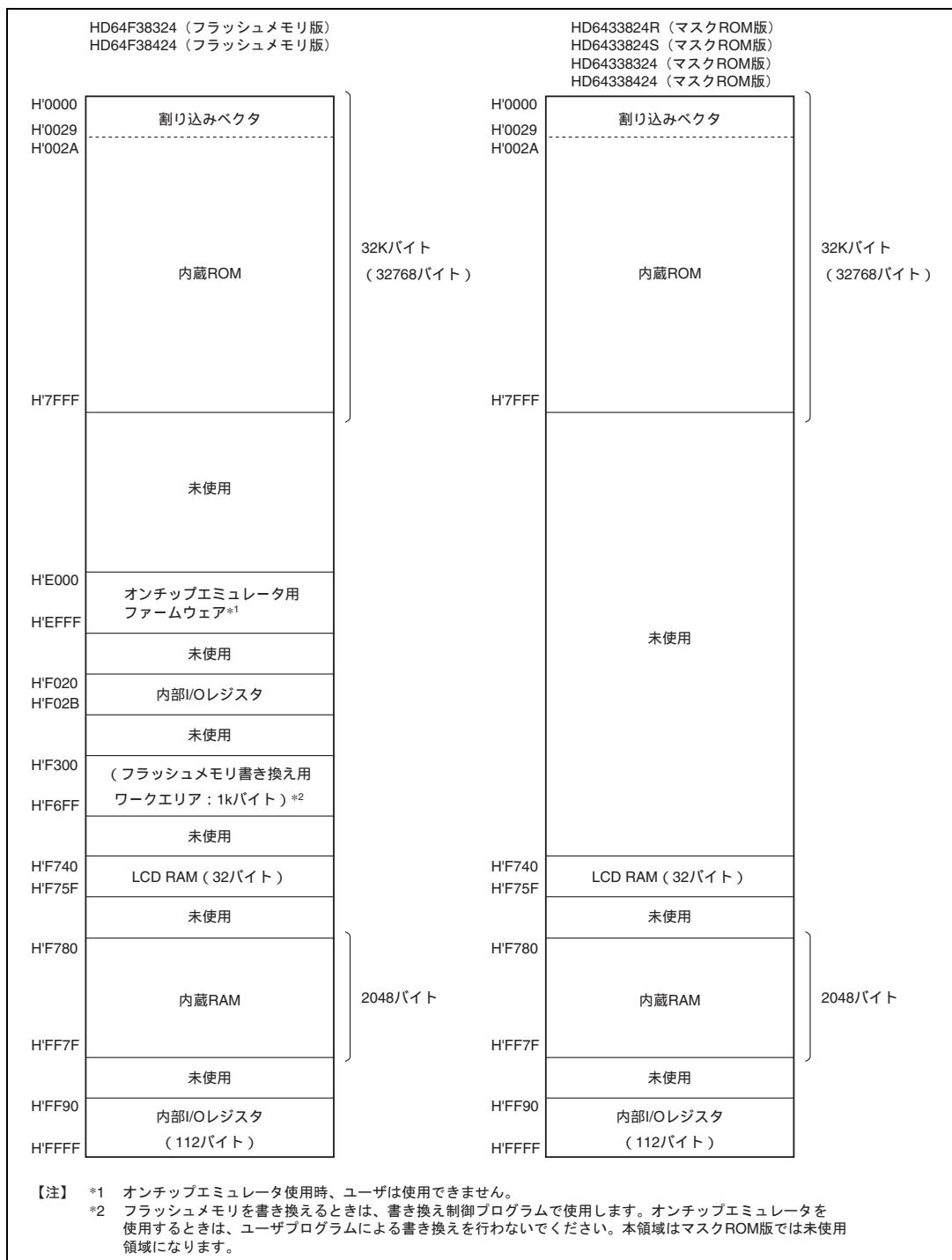


図 2.16 (3) H8/3824R、H8/3824S、H8/38324、H8/38424 のメモリマップ

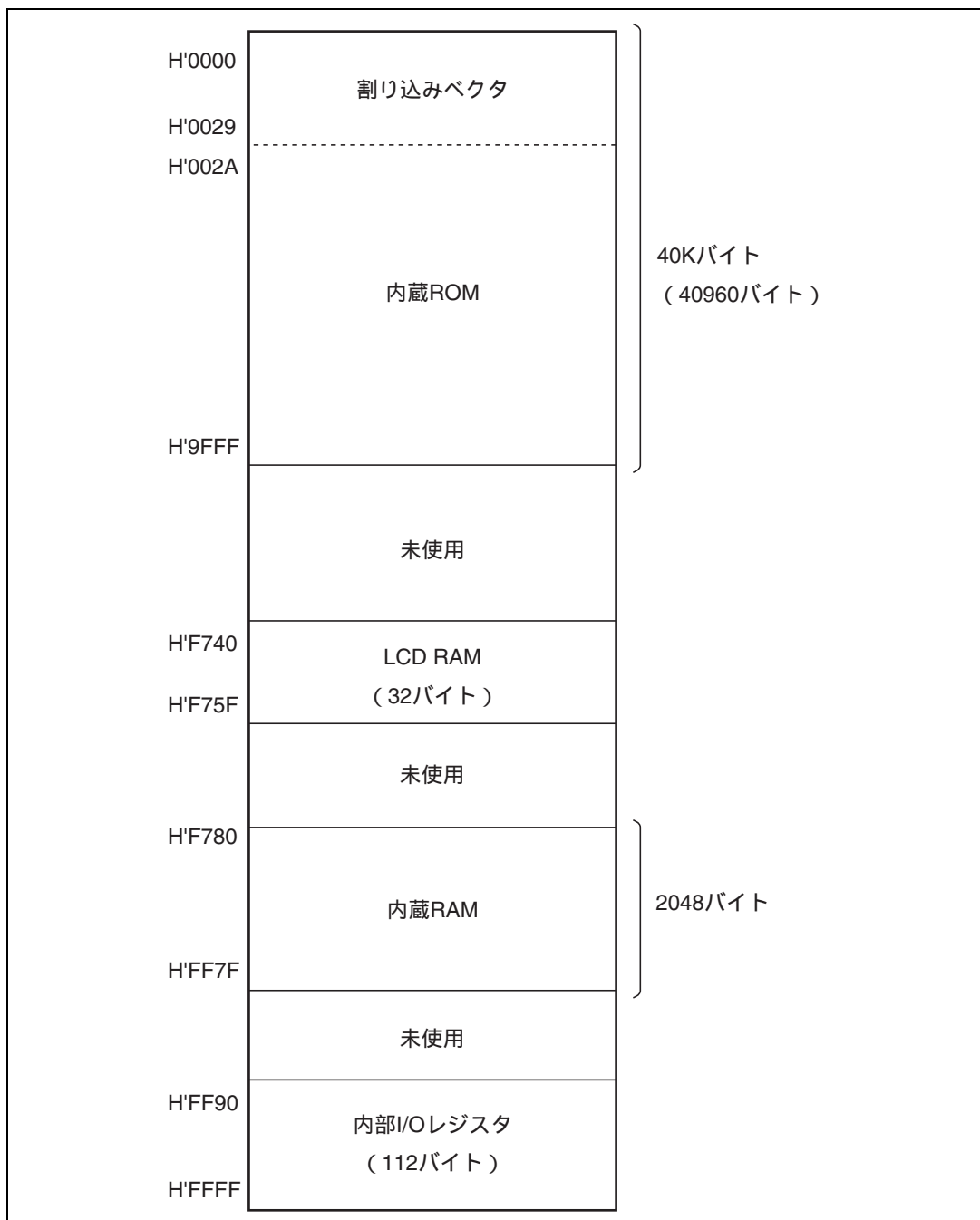


図 2.16 (4) H8/3825R、H8/3825S、H8/38325、H8/38425 のメモリマップ

2. CPU

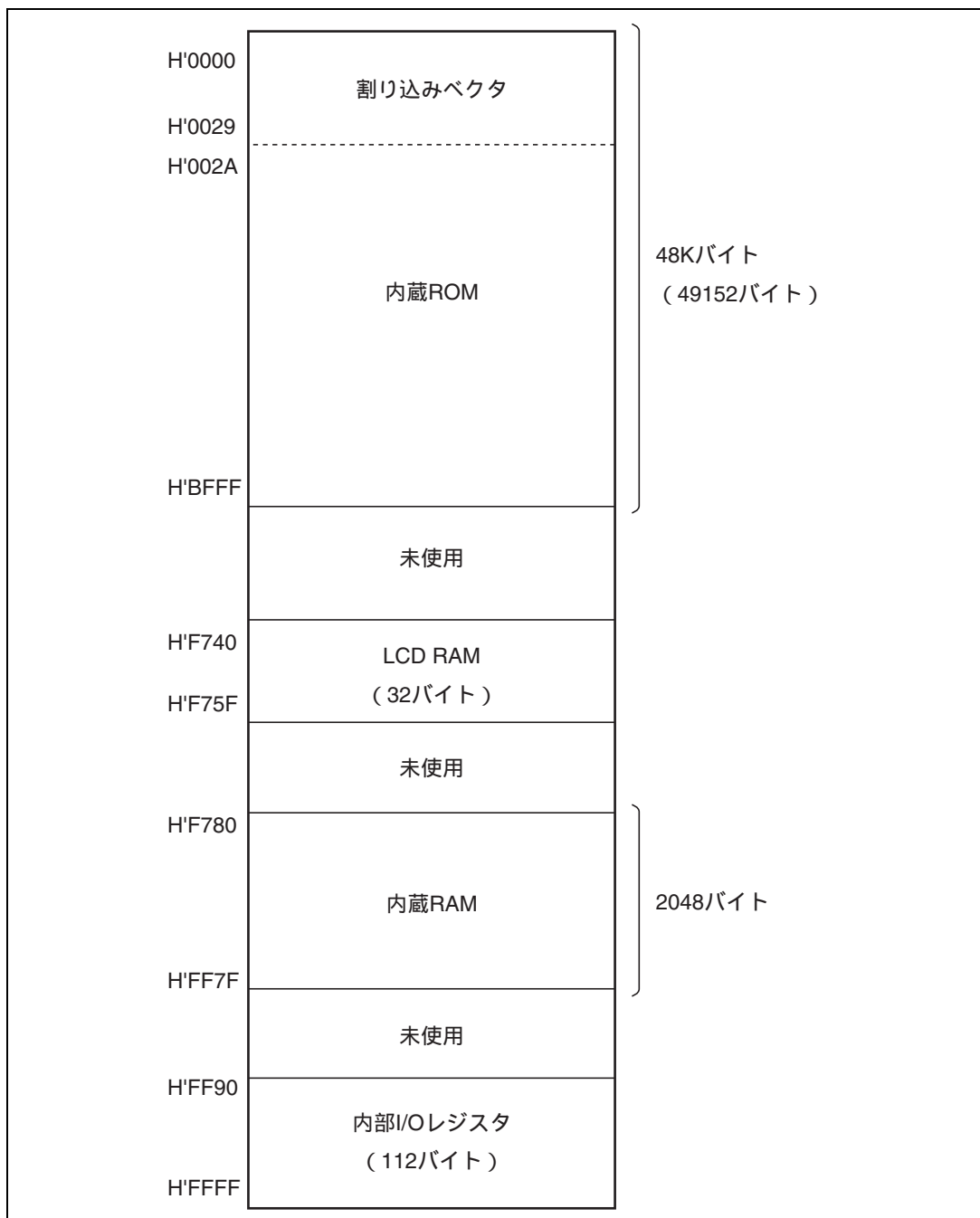


図 2.16 (5) H8/3826R、H8/3826S、H8/38326、H8/38426 のメモリマップ

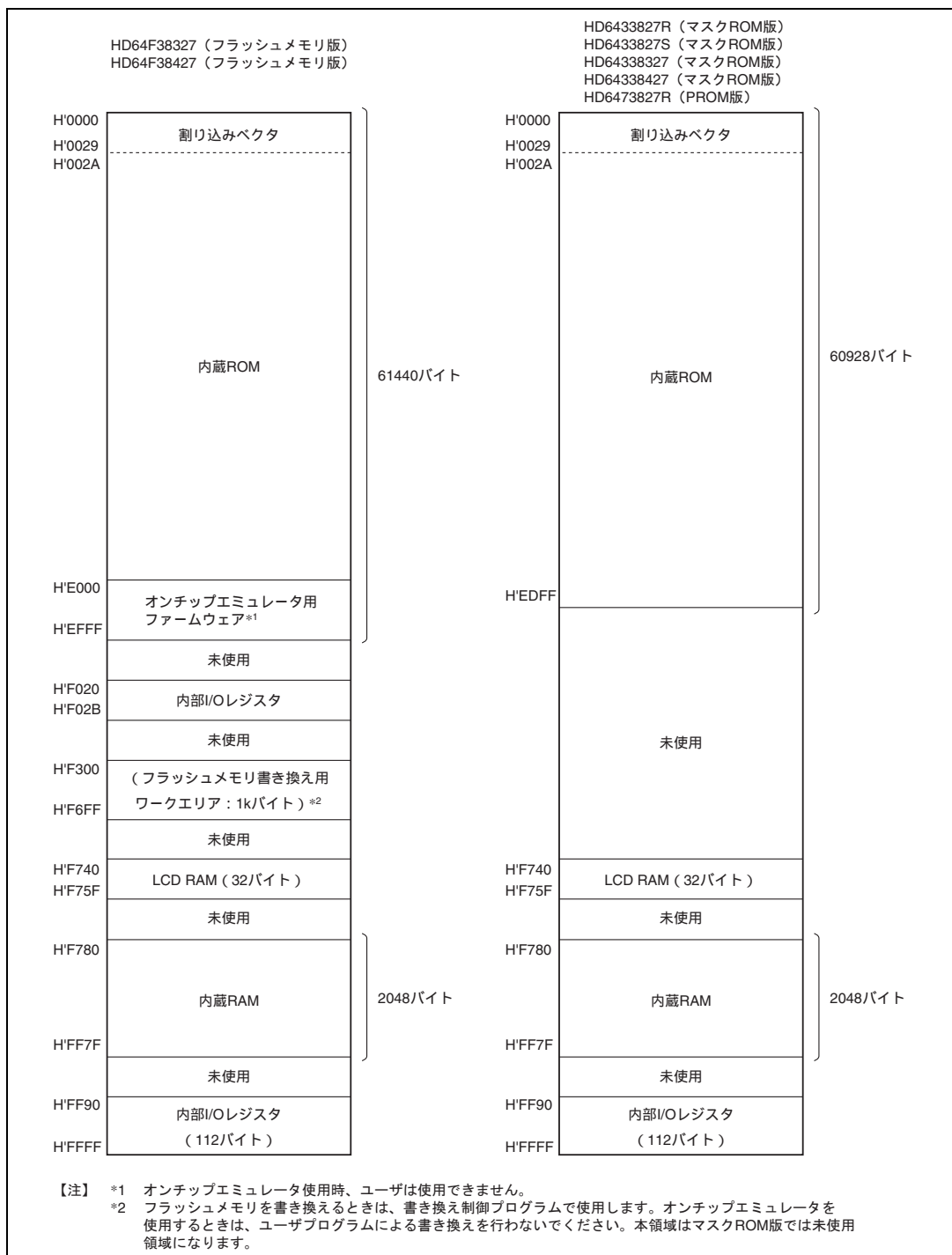


図 2.16 (6) H8/3827R、H8/3827S、H8/38327、H8/38427 のメモリマップ

2.9 使用上の注意事項

2.9.1 データアクセスに関する注意事項

(1) 空きエリアへのアクセス

H8/300L CPU のアドレス空間には、ユーザに開放された ROM、RAM、レジスタ以外の空きエリアがあります。プログラムで誤ってこの空きエリアにアクセスを行うと、以下のように動作します。

CPU から空きエリアへのデータの転送 転送データは失われます。また、CPU 誤動作の原因となる可能性があります。
空きエリアから CPU へのデータの転送 転送データは保証されません。

(2) 内部 I/O レジスタへのアクセス

内蔵 ROM、RAM 領域以外の内蔵周辺モジュールは、内部のデータ転送が 8 ビットで行われます。この領域にワードアクセスを行うと、以下のように動作します。

CPU から I/O レジスタ領域へのワードアクセス 上位バイト : I/O レジスタに書き込まれます。 下位バイト : 転送データは失われます。
内部 I/O レジスタから CPU へのワードアクセス 上位バイト : CPU 内部レジスタ上位に書き込まれます。 下位バイト : CPU 内部レジスタ下位に書き込まれたデータは保証されません。

したがって、内蔵 ROM、RAM 領域以外の I/O レジスタ領域とのデータ転送は、バイトサイズの命令を使用してください。

図 2.17 にアクセスできるデータサイズおよびステート数と内蔵周辺モジュールの対応を示します。

		アクセス		ステート数
		ワード	バイト	
H'0000	割り込みベクタ (42バイト)			2
H'0029				
H'002A				
	内蔵ROM	32Kバイト*1		2
H'7FFF				
	未使用	—	—	—
H'F740	LCD RAM (32バイト)			2
H'F75F				
	未使用	—	—	—
H'F780	内蔵RAM	2048バイト		2
H'FF7F				
	未使用	—	—	—
H'FF90	内部I/Oレジスタ (112バイト)	×		2
		H'FF98 ~ H'FF9F	×	3
			×	2
		H'FFA8 ~ H'FFAF	×	3
H'FFFF			×	2

【注】 H8/3824R、H8/3824Sの例です。
*1 H8/3822Rは16KバイトでアドレスはH'3FFF、H8/3823Rは24KバイトでアドレスはH'5FFF、H8/3825R、H8/3825Sは40KバイトでアドレスはH'9FFF、H8/3826R、H8/3826Sは48KバイトでアドレスはH'BFFF、H8/3827R、H8/3827Sは60KバイトでアドレスはH'EDFFとなります。
*2 H8/3822R、H8/3823Rは1024バイトでアドレスはH'FB7Fとなります。

図 2.17 アクセスできるデータサイズおよびステート数と内蔵周辺モジュールの対応

2.9.2 ビット操作命令使用上の注意事項

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。

したがって、同一アドレスに2つのレジスタが割り付けられている場合や、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

動作順序	動作内容	
1	リード	指定したアドレスのデータ (バイト単位) をリードします。
2	ビット操作	リードしたデータの指定された1ビットを操作します。
3	ライト	指定したアドレスに操作したデータ (バイト単位) をライトします。

(1) 同一アドレスに割り付けられた2つのレジスタのビット操作

例1: タイマロードレジスタとタイマカウンタへのビット操作

図 2.18 に同一アドレスに割り付けられた2つのレジスタを持つタイマの構成例を示します。

リロードタイマのタイマロードレジスタとタイマカウンタにビット操作命令を実行した場合、タイマロードレジスタとタイマカウンタはアドレスを共有しているため、次のように動作します。

動作順序	動作内容	
1	リード	タイマカウンタのデータ (バイト単位) をリードします。
2	ビット操作	CPU は命令で指定された1ビットを操作 (セットまたはリセット) します。
3	ライト	操作したデータ (バイト単位) をタイマロードレジスタにライトします。

タイマカウンタは、カウントを続けているのでリードした値がタイマロードレジスタとは必ずしも等しくありません。その結果操作の対象となったビット以外は、タイマカウンタの値がタイマロードレジスタへライトされます。

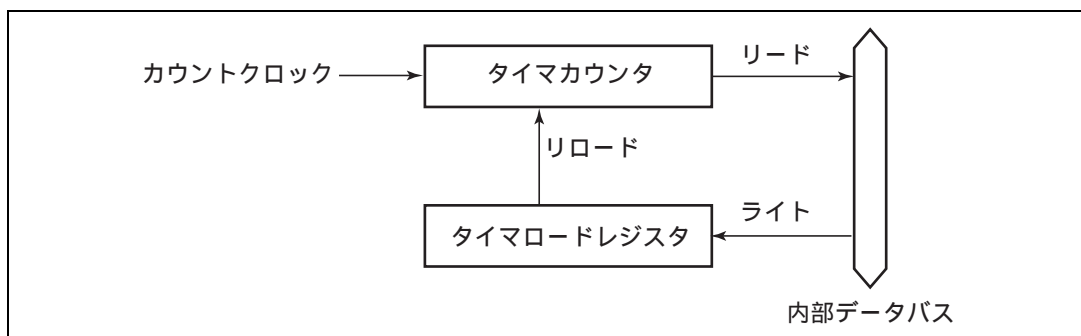


図 2.18 タイマの構成例

例 2：ポート 3 に BSET 命令を実行した場合

$P3_7$ 、 $P3_6$ は入力端子に設定され、それぞれ Low レベル、High レベルが入力されているとし、 $P3_5 \sim P3_0$ は出力端子に設定され、それぞれ Low レベル出力状態とします。

以下に、BSET 命令で $P3_0$ に High レベル出力を行う例を示します。

【A； BSET 命令を実行前】

	$P3_7$	$P3_6$	$P3_5$	$P3_4$	$P3_3$	$P3_2$	$P3_1$	$P3_0$
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

【B； BSET 命令を実行】

BSET #0, @PDR3 ポート 3 に対して BSET 命令を実行します。

【C； BSET 命令を実行後】

	$P3_7$	$P3_6$	$P3_5$	$P3_4$	$P3_3$	$P3_2$	$P3_1$	$P3_0$
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	0	1	0	0	0	0	0	1

【D； BSET 命令の動作説明】

BSET 命令を実行すると、CPU は、最初にポート 3 をリードします。

$P3_7$ 、 $P3_6$ は入力端子であるので、CPU は端子の状態（Low レベル、High レベル入力）をリードします。 $P3_5 \sim P3_0$ は出力端子であるので、CPU は PDR3 の値をリードします。したがって、この例では、PDR3 は H'80 ですが、CPU がリードしたデータは H'40 となります。

次に、CPU は、リードしたデータのビット 0 を 1 にセットして、データを H'41 に変更します。

最後に、この値（H'41）を PDR3 に書き込んで、BSET 命令を終了します。

その結果、PDR3 のビット 0 が 1 になり、 $P3_0$ は High レベル出力になります。しかし、PDR3 のビット 7、6 が変化してしまいます。

そのため、PDR3 と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータを PDR3 にライトしてください。

2. CPU

【A ; BSET 命令を実行前】

MOV.B	#H'80,	R0L
MOV.B	R0L,	@RAM0
MOV.B	R0L,	@PDR3

PDR3 に書き込む値 (H'80) をあらかじめメモリ上のワークエリア (RAM0) と PDR3 にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

RAM0	1	0	0	0	0	0	0	0
------	---	---	---	---	---	---	---	---

【B ; BSET 命令を実行】

BSET	#0,	@RAM0
------	-----	-------

PDR3 のワークエリア (RAM0) に対して BSET 命令を実行します。

【C ; BSET 命令を実行後】

MOV.B	@RAM0,	R0L
MOV.B	R0L,	@PDR3

ワークエリア (RAM0) の値を PDR3 にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	1

RAM0	1	0	0	0	0	0	0	1
------	---	---	---	---	---	---	---	---

(2) ライト専用ビットを含むレジスタのビット操作

例 3 : ポート 3 の PCR3 に BCLR 命令を実行した場合

P3₇、P3₆ は入力端子に設定され、それぞれ Low レベル、High レベルが入力されているとします。
P3₅ ~ P3₀ は出力端子に設定され、それぞれ Low レベル出力状態とします。

ここで、BCLR 命令で、P3₀ を入力ポートにする例を示します。入力端子に設定された P3₀ は High レベルが入力されるものとします。

【A ; BCLR 命令を実行前】

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

【B ; BCLR 命令を実行】

BCLR #0 , @PCR3 PCR3 に対して BCLR 命令を実行します。

【C ; BCLR 命令を実行後】

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	出力	出力	出力	出力	出力	出力	出力	入力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	1	1	1	1	1	1	1	0
PDR3	1	0	0	0	0	0	0	0

【D ; BCLR 命令の動作説明】

BCLR 命令を実行すると、CPU は、最初に PCR3 をリードします。PCR3 はライト専用レジスタですので、CPU は H'FF をリードします。したがって、この例では PCR3 は H'3F ですが、CPU がリードしたデータは H'FF となります。

次に、CPU は、リードしたデータのビット 0 を 0 にクリアして、データを H'FE に変更します。

最後に、このデータ（H'FE）を PCR3 に書き込んで、BCLR 命令を終了します。

その結果、PCR3 のビット 0 が 0 になり、P3₀ は入力ポートになります。しかし、PCR3 のビット 7、ビット 6 が 1 になって、入力ポートであった P3₇、P3₆ は出力ポートに変化してしまいます。

そのため、PCR3 と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータを PCR3 にライトしてください。

2. CPU

【A; BCLR 命令を実行前】

```
MOV.B #H'3F, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @PCR3
```

PCR3 に書き込む値 (H'3F) をあらかじめメモリ上のワークエリア (RAM0) と PCR3 にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	1
------	---	---	---	---	---	---	---	---

【B; BCLR 命令を実行】

```
BCLR #0, @RAM0
```

PCR3 のワークエリア (RAM0) に対して BCLR 命令を実行します。

【C; BCLR 命令を実行後】

```
MOV.B @RAM0, R0L
MOV.B R0L, @PCR3
```

ワークエリア (RAM0) の値を PCR3 にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	0	0	1	1	1	1	1	0
PDR3	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	0
------	---	---	---	---	---	---	---	---

同一のアドレスに割り付けられた2つのレジスタの一覧を表2.12に、ライト専用ビットを含むレジスタの一覧を表2.13に示します。

表2.12 同一のアドレスに割り付けられた2つのレジスタの一覧

レジスタ名	略称	アドレス
タイマカウンタC/タイマロードレジスタC	TCC/TLC	H'FFB5
ポートデータレジスタ1*	PDR1	H'FFD4
ポートデータレジスタ3*	PDR3	H'FFD6
ポートデータレジスタ4*	PDR4	H'FFD7
ポートデータレジスタ5*	PDR5	H'FFD8
ポートデータレジスタ6*	PDR6	H'FFD9
ポートデータレジスタ7*	PDR7	H'FFDA
ポートデータレジスタ8*	PDR8	H'FFDB
ポートデータレジスタA*	PDRA	H'FFDD

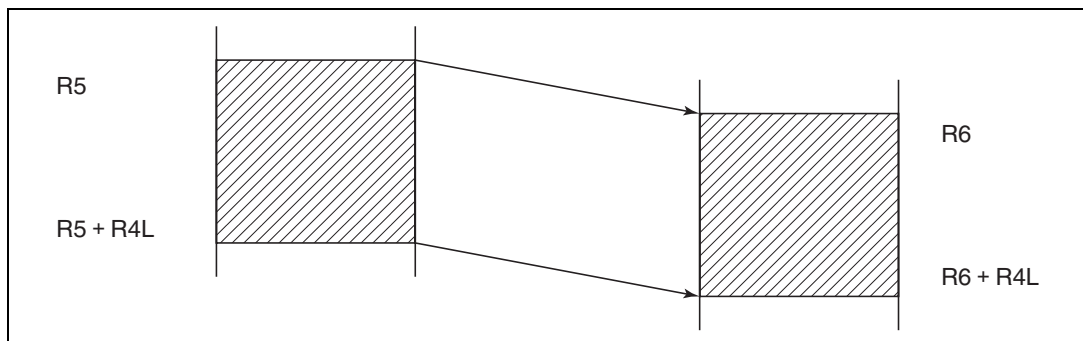
【注】 * ポートデータレジスタと端子入力が兼用になっています。

表2.13 ライト専用ビットを含むレジスタの一覧

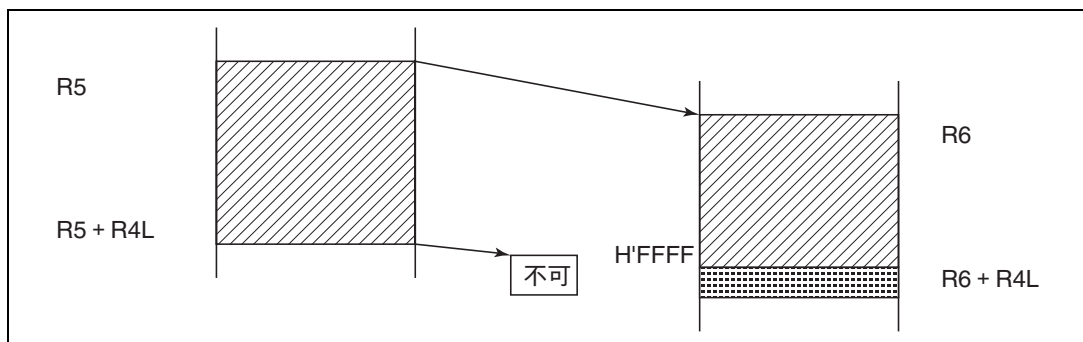
レジスタ名	略称	アドレス
ポートコントロールレジスタ1	PCR1	H'FFE4
ポートコントロールレジスタ3	PCR3	H'FFE6
ポートコントロールレジスタ4	PCR4	H'FFE7
ポートコントロールレジスタ5	PCR5	H'FFE8
ポートコントロールレジスタ6	PCR6	H'FFE9
ポートコントロールレジスタ7	PCR7	H'FFEA
ポートコントロールレジスタ8	PCR8	H'FFEB
ポートコントロールレジスタA	PCRA	H'FFED
タイマコントロールレジスタF	TCRF	H'FFB6
PWMコントロールレジスタ	PWCR	H'FFD0
PWMデータレジスタU	PWDRU	H'FFD1
PWMデータレジスタL	PWDRL	H'FFD2

2.9.3 EEPMOV 命令使用上の注意事項

- (1) EEPMOV命令はブロック転送命令で、R5で示されるアドレスから始まるR4Lで示されるバイト数のデータを、R6で示されるアドレスへ転送します。



- (2) 転送先の最終アドレス (R6+R4Lの値) がH'FFFFを超えないように (実行途中でR6の値がH'FFFF H'0000とならないように)、R4L、R6を設定してください。



3. 例外処理

3.1 概要

本 LSI の例外処理には、リセットと割り込みがあります。表 3.1 に、例外処理の種類と優先度を示します。

表 3.1 例外処理の種類と優先度

優先度	例外処理要因	例外処理開始タイミング
高 ↑ 低	リセット	リセットが解除されると例外処理を開始します。
	割り込み	割り込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。

3.2 リセット

3.2.1 概要

リセットは最も優先順位の高い例外処理です。

リセットによって、CPU の内部状態と、内蔵周辺モジュールの各レジスタが初期化されます。

3.2.2 リセットシーケンス

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時には、クロック発振器の発振安定時間の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中にリセットする場合は、最低 10 システムクロックの間、Low レベルに保持してください。

リセット例外処理の動作は以下のとおりです。

- (1) CPU の内部状態と内蔵周辺モジュールの各レジスタの初期化を行い、コンディションコードレジスタ (CCR) の I ビットをセットします。
- (2) リセット例外処理ベクタアドレス (H'0000 ~ H'0001) をリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。

パワーオン / パワーオフ時には、 $\overline{\text{RES}}$ 端子を Low レベルにしてください。
リセットシーケンスを図 3.1 に示します。

3. 例外処理

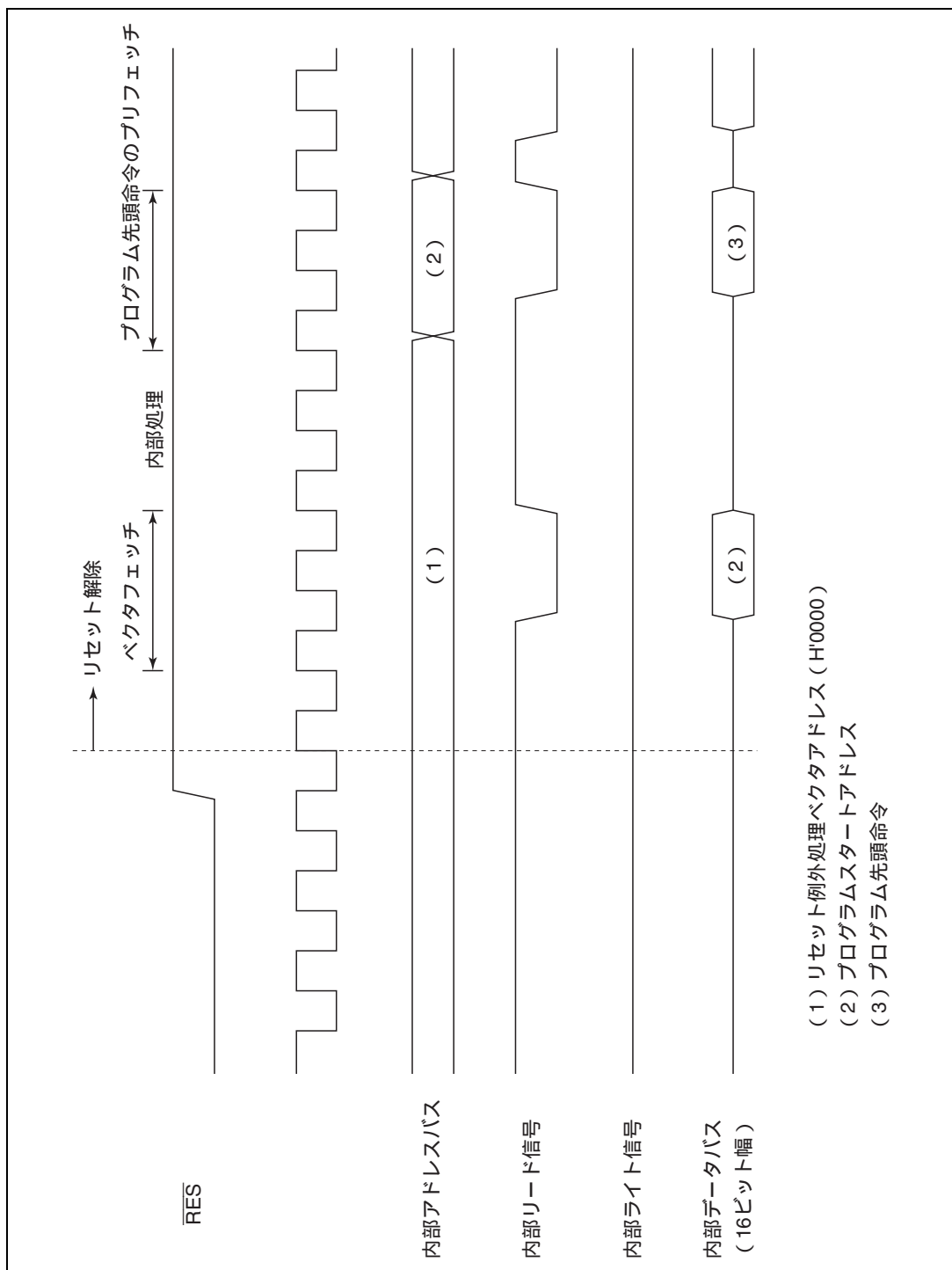


図 3.1 リセットシーケンス

3.2.3 リセット直後の割り込み

リセット後、スタックポインタ (SP : R7) をイニシャライズする前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走の原因となります。これを防ぐため、リセット例外処理が実行された直後はすべての割り込み要求が禁止されています。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラムの先頭命令は、SP を初期化する命令としてください (例 : MOV.W #xx:16, SP)。

3.3 割り込み

3.3.1 概要

割り込み例外処理を開始する要因には、13の外部割り込み要因（WKP₇～WKP₀、IRQ₄～IRQ₀）と内蔵モジュールから23の内部割り込み要因があります。割り込み要因と優先度、ならびにベクタアドレスの一覧を表3.2に示します。複数の割り込み要求が発生したときは、優先度の高い方から処理されます。

これらの割り込みには次のような特長があります。

- (1) 内部割り込みおよび外部割り込みは、CCRのIビットによりマスクされます。CCRのIビットが1にセットされていると、割り込み要求フラグはセットされますが、割り込みは受け付けられません。
- (2) IRQ₄～IRQ₀、WKP₇～WKP₀は、立ち上がり/立ち下がりエッジセンスのいずれかに設定することができます。

表 3.2 割り込み優先順位

割り込み要因発生元	割り込み要因発生元	ベクタNo.	ベクタアドレス	優先順位
$\overline{\text{RES}}$ ウォッチドッグタイマ	リセット	0	H'0000 ~ H'0001	
$\overline{\text{IRQ}}_0$	IRQ ₀	4	H'0008 ~ H'0009	
$\overline{\text{IRQ}}_1$	IRQ ₁	5	H'000A ~ H'000B	
$\overline{\text{IRQ}}_2$	IRQ ₂	6	H'000C ~ H'000D	
$\overline{\text{IRQ}}_3$	IRQ ₃	7	H'000E ~ H'000F	
$\overline{\text{IRQ}}_4$	IRQ ₄	8	H'0010 ~ H'0011	
$\overline{\text{WKP}}_0$	WKP ₀	9	H'0012 ~ H'0013	
$\overline{\text{WKP}}_1$	WKP ₁			
$\overline{\text{WKP}}_2$	WKP ₂			
$\overline{\text{WKP}}_3$	WKP ₃			
$\overline{\text{WKP}}_4$	WKP ₄			
$\overline{\text{WKP}}_5$	WKP ₅			
$\overline{\text{WKP}}_6$	WKP ₆			
$\overline{\text{WKP}}_7$	WKP ₇			
タイマA	タイマAオーバフロー	11	H'0016 ~ H'0017	
非同期カウンタ	非同期カウンタオーバフロー	12	H'0018 ~ H'0019	
タイマC	タイマCオーバフローまたは アンドフロー	13	H'001A ~ H'001B	
タイマFL	タイマFLコンペアマッチ タイマFLオーバフロー	14	H'001C ~ H'001D	
タイマFH	タイマFHコンペアマッチ タイマFHオーバフロー	15	H'001E ~ H'001F	
タイマG	タイマGインプットキャプチャ タイマGオーバフロー	16	H'0020 ~ H'0021	
SCI3-1	SCI3-1送信完了 SCI3-1送信データエンプティ SCI3-1受信データフル SCI3-1オーバランエラー SCI3-1フレーミングエラー SCI3-1パリティエラー	17	H'0022 ~ H'0023	
SCI3-2	SCI3-2送信完了 SCI3-2送信データエンプティ SCI3-2受信データフル SCI3-2オーバランエラー SCI3-2フレーミングエラー SCI3-2パリティエラー	18	H'0024 ~ H'0025	
A/D変換器	A/D変換終了	19	H'0026 ~ H'0027	
(SLEEP命令の実行)	直接遷移	20	H'0028 ~ H'0029	

【注】 H'0002 ~ H'0007およびH'0014 ~ H'0015は本LSIではリザーブされており、ユーザは使用できません。

3. 例外処理

3.3.2 各レジスタの説明

割り込みを制御するレジスタの一覧を表 3.3 に示します。

表 3.3 割り込み制御レジスタ

名称	略称	R/W	初期値	アドレス
IRQ エッジセレクトレジスタ	IEGR	R/W	H'E0	H'FFF2
割り込み許可レジスタ 1	IENR1	R/W	H'00	H'FFF3
割り込み許可レジスタ 2	IENR2	R/W	H'00	H'FFF4
割り込み要求レジスタ 1	IRR1	R/W*	H'20	H'FFF6
割り込み要求レジスタ 2	IRR2	R/W*	H'00	H'FFF7
ウェイクアップ割り込み要求レジスタ	IWPR	R/W*	H'00	H'FFF9
ウェイクアップエッジセレクトレジスタ	WEGR	R/W	H'00	H'FF90

【注】 * フラグクリアのための 0 ライトのみ可能です。

(1) IRQ エッジセレクトレジスタ (IEGR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	IEG4	IEG3	IEG2	IEG1	IEG0
初期値:	1	1	1	0	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

IEGR は、8 ビットのリード/ライト可能なレジスタで、 $\overline{IRQ}_4 \sim \overline{IRQ}_0$ 端子の立ち上がり/立ち下がりエッジセンスを指定します。

ビット 7~5: リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット 4: IRQ4 エッジセレクト (IEG4)

\overline{IRQ}_4 端子、 \overline{ADTRG} 端子の入力センスを選択します。

ビット 4	説明
IEG4	
0	\overline{IRQ}_4 、 \overline{ADTRG} 端子入力の立ち下がりエッジを検出 (初期値)
1	\overline{IRQ}_4 、 \overline{ADTRG} 端子入力の立ち上がりエッジを検出

ビット 3: IRQ₃ エッジセレクト (IEG3)

\overline{IRQ}_3 端子、TMIF 端子の入力センスを選択します。

ビット 3	説明
IEG3	
0	\overline{IRQ}_3 、TMIF 端子入力の立ち下がりエッジを検出 (初期値)
1	\overline{IRQ}_3 、TMIF 端子入力の立ち上がりエッジを検出

ビット 2 : IRQ_2 エッジセレクト (IEG2)

$\overline{\text{IRQ}}_2$ 端子の入力センスを選択します。

ビット 2	説明
IEG2	
0	$\overline{\text{IRQ}}_2$ 端子入力 of 立ち下がりエッジを検出 (初期値)
1	IRQ_2 端子入力 of 立ち上がりエッジを検出

ビット 1 : IRQ_1 エッジセレクト (IEG1)

$\overline{\text{IRQ}}_1$ 端子、TMIC 端子の入力センスを選択します。

ビット 1	説明
IEG1	
0	$\overline{\text{IRQ}}_1$ 、TMIC 端子入力 of 立ち下がりエッジを検出 (初期値)
1	IRQ_1 、TMIC 端子入力 of 立ち上がりエッジを検出

ビット 0 : IRQ_0 エッジセレクト (IEG0)

$\overline{\text{IRQ}}_0$ 端子の入力センスを選択します。

ビット 0	説明
IEG0	
0	$\overline{\text{IRQ}}_0$ 端子入力 of 立ち下がりエッジを検出 (初期値)
1	IRQ_0 端子入力 of 立ち上がりエッジを検出

(2) 割り込み許可レジスタ 1 (IENR1)

ビット:	7	6	5	4	3	2	1	0
	IEN7A	—	IENWP	IEN4	IEN3	IEN2	IEN1	IEN0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IENR1 は、8 ビットのリード/ライト可能なレジスタで、割り込み要求の許可/禁止を制御します。

ビット 7 : タイマ A 割り込みイネーブル (IEN7A)

タイマ A オーバフロー割り込み要求の許可/禁止を制御します。

ビット 7	説明
IEN7A	
0	タイマ A の割り込み要求を禁止 (初期値)
1	タイマ A の割り込み要求を許可

ビット 6 : リザーブビット

本ビットはリード/ライト可能なリザーブビットです。リセット時は 0 に初期化されます。

3. 例外処理

ビット5：ウェイクアップ割り込みイネーブル（IENWP）

WKP₇～WKP₀割り込み要求の許可／禁止を制御します。

ビット5	説明	
IENWP		
0	WKP ₇ ～WKP ₀ 端子の割り込み要求を禁止	(初期値)
1	WKP ₇ ～WKP ₀ 端子の割り込み要求を許可	

ビット4～0：IRQ₄～IRQ₀割り込みイネーブル（IEN4～IEN0）

IRQ₄～IRQ₀割り込み要求の許可／禁止を制御します。

ビットn	説明	
IENn		
0	IRQ _n 端子の割り込み要求を禁止	(初期値)
1	IRQ _n 端子の割り込み要求を許可	

(n=4～0)

(3) 割り込み許可レジスタ2（IENR2）

ビット：	7	6	5	4	3	2	1	0
	IENDT	IENAD	—	IENTG	IENTFH	IENFFL	IENTC	IENEC
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IENR2は、8ビットのリード／ライト可能なレジスタで、割り込み要求の許可／禁止を制御します。

ビット7：直接遷移割り込みイネーブル（IENDT）

直接遷移割り込み要求の許可／禁止を制御します。

ビット7	説明	
IENDT		
0	直接遷移による割り込み要求を禁止	(初期値)
1	直接遷移による割り込み要求を許可	

ビット6：A/D変換器割り込みイネーブル（IENAD）

A/D変換終了割り込み要求の許可/禁止を制御します。

ビット6	説明
IENAD	
0	A/D変換器の割り込み要求を禁止 (初期値)
1	A/D変換器の割り込み要求を許可

ビット5：リザーブビット

本ビットはリード/ライト可能なりザーブビットです。リセット時は0に初期化されます。

ビット4：タイマG割り込みイネーブル（IENTG）

タイマGインプットキャプチャまたはオーバフロー割り込み要求の許可/禁止を制御します。

ビット4	説明
IENTG	
0	タイマGの割り込み要求を禁止 (初期値)
1	タイマGの割り込み要求を許可

ビット3：タイマFH割り込みイネーブル（IENTFH）

タイマFHコンペアマッチまたはオーバフロー割り込み要求の許可/禁止を制御します。

ビット3	説明
IENTFH	
0	タイマFHの割り込み要求を禁止 (初期値)
1	タイマFHの割り込み要求を許可

ビット2：タイマFL割り込みイネーブル（IENTFL）

タイマFLコンペアマッチまたはオーバフロー割り込み要求の許可/禁止を制御します。

ビット2	説明
IENTFL	
0	タイマFLの割り込み要求を禁止 (初期値)
1	タイマFLの割り込み要求を許可

3. 例外処理

ビット1：タイマC 割り込みイネーブル (IENTC)

タイマC オーバフローまたはアンダフロー割り込み要求の許可 / 禁止を制御します。

ビット1	説明
IENTC	
0	タイマCの割り込み要求を禁止 (初期値)
1	タイマCの割り込み要求を許可

ビット0：非同期イベントカウンタ割り込みイネーブル (IENEC)

非同期イベントカウンタの許可 / 禁止を制御します。

ビット0	説明
IENEC	
0	非同期イベントカウンタの割り込み要求を禁止 (初期値)
1	非同期イベントカウンタの割り込み要求を許可

なお、SC13-1 および 3-2 の割り込みの制御については「10.2.6 シリアルコントロールレジスタ3 (SCR3)」を参照してください。

(4) 割り込み要求レジスタ1 (IRR1)

ビット：	7	6	5	4	3	2	1	0
	IRRTA	—	—	IRRI4	IRRI3	IRRI2	IRRI1	IRRI0
初期値：	0	0	1	0	0	0	0	0
R/W：	R/W*	R/W*	—	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * フラグクリアのための"0"ライトのみ可能です。

IRR1は、8ビットリード/ライト可能なレジスタで、タイマA、IRQ₄~IRQ₀割り込み要求が発生すると対応するフラグが1にセットされます。各フラグは割り込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は0をライトしてクリアしてください。

ビット7：タイマA 割り込み要求フラグ (IRRTA)

ビット7	説明
IRRTA	
0	〔クリア条件〕 IRRTA = 1 の状態で IRRTA に 0 をライトしたとき (初期値)
1	〔セット条件〕 タイマAのカウンタ値がオーバーフロー (H'FF H'00) したとき

ビット6：リザーブビット

本ビットはリード/ライト可能なリザーブビットです。リセット時は0に初期化されます。

ビット5：リザーブビット

リザーブビットです。本ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット4~0：IRQ_n~IRQ₀割り込み要求フラグ（IRRI4~IRRI0）

ビット n	説明
IRRI _n	
0	〔クリア条件〕 IRRI _n = 1 の状態で IRRI _n に 0 をライトしたとき (初期値)
1	〔セット条件〕 IRQ _n 端子が割り込み入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき

(n=4~0)

(5) 割り込み要求レジスタ2（IRR2）

ビット：	7	6	5	4	3	2	1	0
	IRRDT	IRRAD	—	IRRTG	IRRTFH	IRRTFL	IRRTC	IRREC
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * フラグクリアのための"0"ライトのみ可能です。

IRR2 は、8 ビットリード/ライト可能なレジスタで、直接遷移、A/D 変換器、タイマ G、タイマ FH、タイマ FL、タイマ C 割り込み要求が発生すると、対応するフラグが1にセットされます。各フラグは割り込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は0をライトしてクリアしてください。

ビット7：直接遷移割り込み要求フラグ（IRRDT）

ビット7	説明
IRRDT	
0	〔クリア条件〕 IRRDT = 1 の状態で IRRDT に 0 をライトしたとき (初期値)
1	〔セット条件〕 DTON に 1 をセットした状態でスリープ命令を実行し直接遷移したとき

3. 例外処理

ビット 6 : A/D 変換器割り込み要求フラグ (IRRAD)

ビット 6	説明
IRRAD	
0	〔クリア条件〕 (初期値) IRRAD = 1 の状態で IRRAD に 0 をライトしたとき
1	〔セット条件〕 A/D 変換器が変換終了し、ADSF がリセットされたとき

ビット 5 : リザーブビット

本ビットはリード/ライト可能なリザーブビットです。リセット時は 0 に初期化されます。

ビット 4 : タイマ G 割り込み要求フラグ (IRRTG)

ビット 4	説明
IRRTG	
0	〔クリア条件〕 (初期値) IRRTG = 1 の状態で IRRTG に 0 をライトしたとき
1	〔セット条件〕 TMIG 端子が TMIG 入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき。または、TMG の OVIE が 1 の状態で TCG がオーバフローしたとき。

ビット 3 : タイマ FH 割り込み要求フラグ (IRRTFH)

ビット 3	説明
IRRTFH	
0	〔クリア条件〕 (初期値) IRRTFH = 1 の状態で IRRTFH に 0 をライトしたとき
1	〔セット条件〕 8 ビットタイマモードで TCFH と OCRFH が一致したとき、また、16 ビットタイマモードで TCF (TCFL、TCFH) と OCRF (OCRFL、OCRFH) が一致したとき

ビット 2 : タイマ FL 割り込み要求フラグ (IRRTFL)

ビット 2	説明
IRRTFL	
0	〔クリア条件〕 (初期値) IRRTFL = 1 の状態で IRRTFL に 0 をライトしたとき
1	〔セット条件〕 8 ビットタイマモードで TCFL と OCRFL が一致したとき

ビット1：タイマC 割り込み要求フラグ (IRRTC)

ビット1	説明
IRRTC	
0	〔クリア条件〕 IRRTC=1の状態 で IRRTC に 0 をライトしたとき (初期値)
1	〔セット条件〕 タイマCのカウンタ値がオーバーフロー(H'FF H'00)、またはアンダフロー(H'00 H'FF)したとき

ビット0：非同期イベントカウンタ割り込み要求フラグ (IRREC)

ビット0	説明
IRREC	
0	〔クリア条件〕 IRREC=1の状態 で IRREC に 0 をライトしたとき (初期値)
1	〔セット条件〕 16ビットカウンタモードでECHがオーバーフローしたとき、または8ビットカウンタモードでECHまたはECLがオーバーフローしたとき

(6) ウェイクアップ割り込み要求レジスタ (IWPR)

ビット:	7	6	5	4	3	2	1	0
	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * フラグクリアのための"0"ライトのみ可能です。

IWPRは、8ビットのリード/ライト可能なレジスタで、 $\overline{WKP}_7 \sim \overline{WKP}_0$ 端子がウェイクアップ入力に設定されており、当該端子に立ち上がりまたは立ち下がりエッジが入力されたとき、対応するフラグが1にセットされます。各フラグは割り込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は0をライトしてクリアしてください。

ビット7~0：ウェイクアップ割り込み要求フラグ (IWPF7~IWPF0)

ビットn	説明
IWPFn	
0	〔クリア条件〕 IWPFn= 1 の状態で IWPFn に 0 をライトしたとき (初期値)
1	〔セット条件〕 \overline{WKP}_n 端子がウェイクアップ入力に設定されており、かつ当該端子に立ち上がりまたは立ち下がりエッジが入力されたとき

(n=7~0)

3. 例外処理

(7) ウェイクアップエッジセレクトレジスタ (WEGR)

ビット:	7	6	5	4	3	2	1	0
	WKEGS7	WKEGS6	WKEGS5	WKEGS4	WKEGS3	WKEGS2	WKEGS1	WKEGS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

WEGR は、8 ビットのリード/ライト可能なレジスタで、 \overline{WKPn} 端子の立ち上がり/立ち下がりエッジセンスを指定します。

リセット時、WEGR は H'00 に初期化されます。

ビット n : \overline{WKPn} エッジセレクト

\overline{WKPn} 端子の入力センスを選択します。

ビット n	説明
WKEGSn	
0	\overline{WKPn} 端子の立ち下がりエッジを検出 (初期値)
1	\overline{WKPn} 端子の立ち上がりエッジを検出

(n = 7 ~ 0)

3.3.3 外部割り込み

外部割り込みには、 $WKP_7 \sim WKP_0$ 割り込みと、 $IRQ_4 \sim IRQ_0$ 割り込みの 13 要因があります。

(1) $WKP_7 \sim WKP_0$ 割り込み

$WKP_7 \sim WKP_0$ 割り込みは $\overline{WKP_7} \sim \overline{WKP_0}$ 端子の立ち上がり/立ち下がりエッジ入力により要求されます。

PMR5 により端子機能が $\overline{WKP_7} \sim \overline{WKP_0}$ 端子に選択された状態で立ち上がり/立ち下がりエッジが入力されると、IWPR の対応するビットが 1 にセットされ、割り込み要求を発生します。

ウェイクアップ割り込み要求の受け付けは、IENR1 の IENWP を 0 にクリアすることにより禁止できます。また、CCR の I ビットを 1 にすることによりすべての割り込みをマスクできます。

$WKP_7 \sim WKP_0$ 割り込みの割り込み例外処理が受け付けられると、CCR の I ビットが 1 にセットされます。 $WKP_7 \sim WKP_0$ 割り込み例外処理のベクタ番号は 9 です。8 つの割り込み要因が 1 つのベクタ番号に割り付けられているため、例外処理ルーチンで要因を判別してください。

(2) $IRQ_4 \sim IRQ_0$ 割り込み

$IRQ_4 \sim IRQ_0$ 割り込みは、 $\overline{IRQ_4} \sim \overline{IRQ_0}$ 端子の入力信号により要求されます。

$IRQ_4 \sim IRQ_0$ 割り込みは、立ち上がり/立ち下がりエッジセンスを IEGR の IEG4 ~ IEG0 により指定できます。

PMR3、PMR1 により端子機能が $\overline{IRQ_4} \sim \overline{IRQ_0}$ 端子に選択された状態で指定されたエッジが入力されると、IRR1 の対応するビットが 1 にセットされ、割り込み要求を発生します。

割り込み要求の受け付けは、IENR1 の IEN4 ~ IEN0 を 0 にクリアすることにより、禁止できます。また、CCR の I ビットを 1 にセットすることによりすべての割り込みをマスクできます。

$IRQ_4 \sim IRQ_0$ 割り込みの割り込み例外処理が受け付けられると、CCR の I ビットが 1 にセットされます。

$IRQ_4 \sim IRQ_0$ 割り込み例外処理のベクタ番号は 8 ~ 4 です。優先順位は IRQ_4 (低) IRQ_0 (高) の順に高くなります。詳細は表 3.2 を参照してください。

3.3.4 内部割り込み

内蔵周辺モジュールからの割り込みによる内部割り込み要因は、23 要因あります。

内蔵周辺モジュールからの割り込み要求が発生すると、IRR2、IRR1 の対応するビットが 1 にセットされます。IENR2、IENR1 の各ビットを 0 にクリアすることにより、各割り込み要求の受け付けは禁止できます。また、CCR の I ビットを 1 にセットすることにより、すべての割り込みをマスクできます。

これらの割り込み例外処理が受け付けられると、CCR の I ビットは 1 にセットされます。ベクタ番号は 20 ~ 11 です。内蔵周辺モジュールからの割り込みの優先順位については表 3.2 を参照してください。

3.3.5 割り込み動作

割り込みは、割り込みコントローラによって制御されます。割り込みコントローラのブロック図を図 3.2 に、割り込み受け付けまでのフローを図 3.3 に示します。

割り込み動作は以下のとおりです。

- (1) 割り込み許可レジスタの対応するビットが 1 にセットされている状態で、割り込み要因が発生したとき、割り込みコントローラに対して割り込み要求信号が送られます。
- (2) 割り込みコントローラに割り込み要求信号が送られると、割り込み要求フラグがセットされます。
- (3) 割り込み許可フラグが 1 にセットされている割り込みの中で、優先順位に従って最高位の割り込み要求が選択され、その他は保留となります (表 3.2 参照)。
- (4) CCR の I ビットを参照し、I ビットが 0 にクリアされている場合は、割り込み要求は受け付けられますが、I ビットが 1 にセットされている場合は割り込み要求は保留となります。
- (5) 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、PC と CCR がスタック領域に退避されます。このときのスタックの状態を図 3.4 に示します。スタックされる PC は、リターン後に実行する最初の命令のアドレスを示しています。
- (6) CCR の I ビットが 1 にセットされます。これにより、すべての割り込みはマスクされます。
- (7) 受け付けた割り込みに対応するベクタアドレスを生成し、そのアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行を開始します。

割り込みシーケンスを図 3.5 に示します。

- 【注】
1. 本 LSI では、割り込み許可レジスタをクリアすることにより割り込みをディスエーブルにする場合、または割り込み要求レジスタをクリアする場合は、必ず割り込みをマスクした状態 (I = 1) で行ってください。
 2. I = 0 の状態で上記の操作を行うと、当該操作命令の実行と当該割り込みの発生が競合した場合には、当該操作命令の実行終了時に発生した割り込みに対応する例外処理を実行します。

3. 例外処理

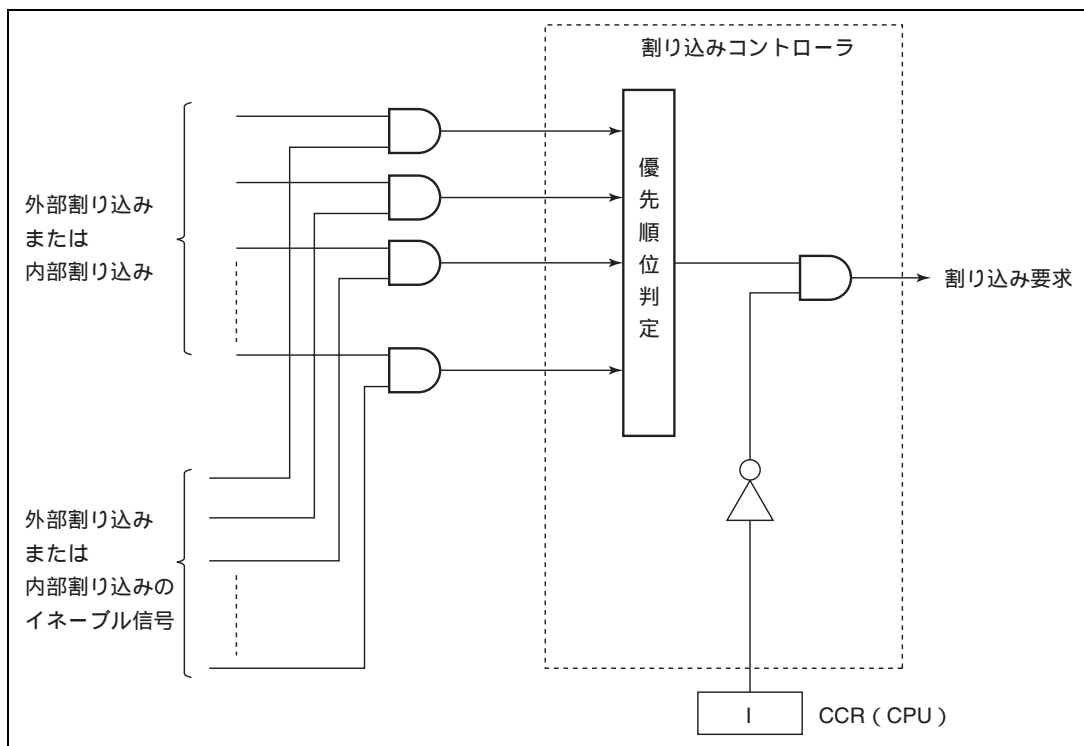


図 3.2 割り込みコントローラのブロック図

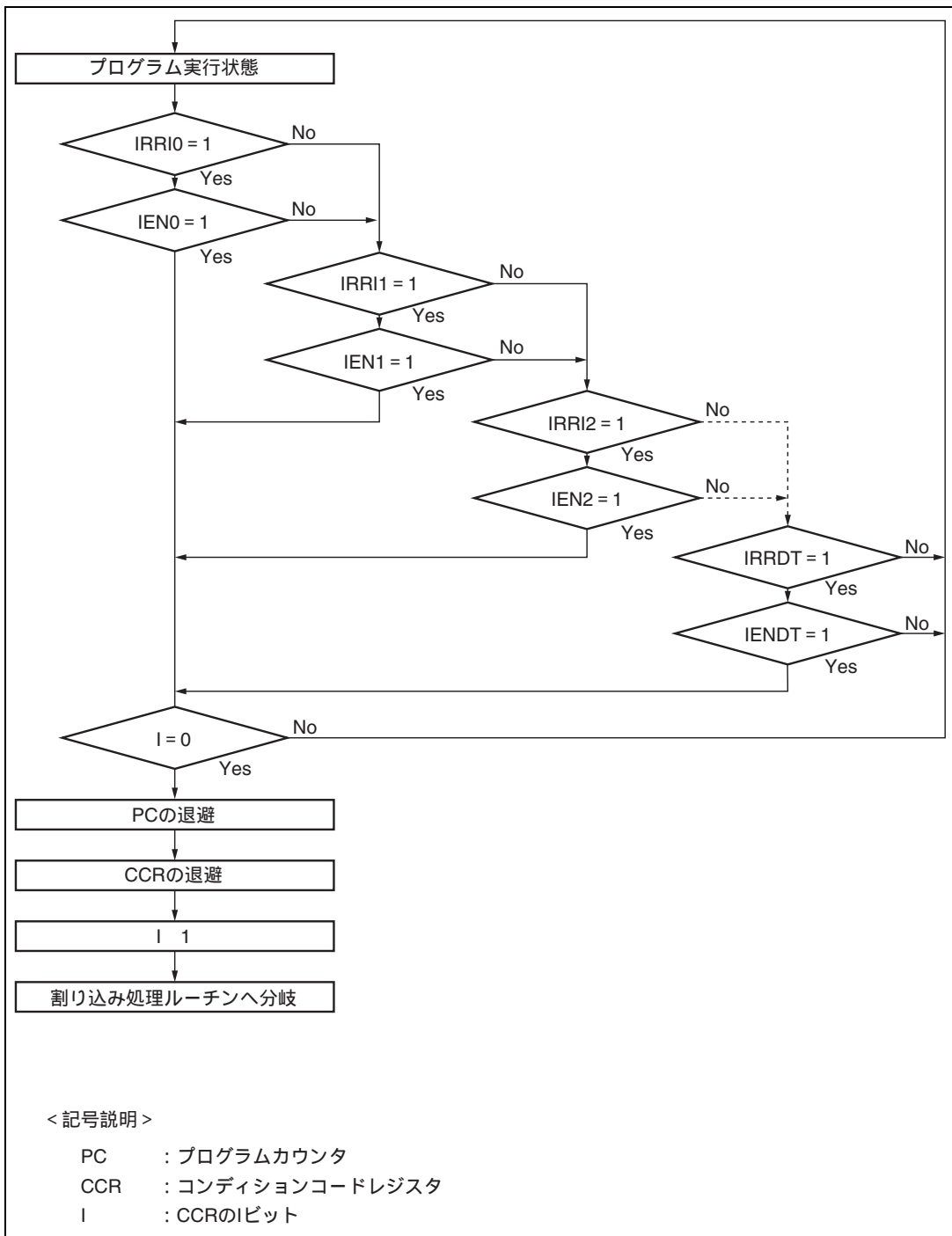


図 3.3 割り込み受け付けまでのフロー

3. 例外処理

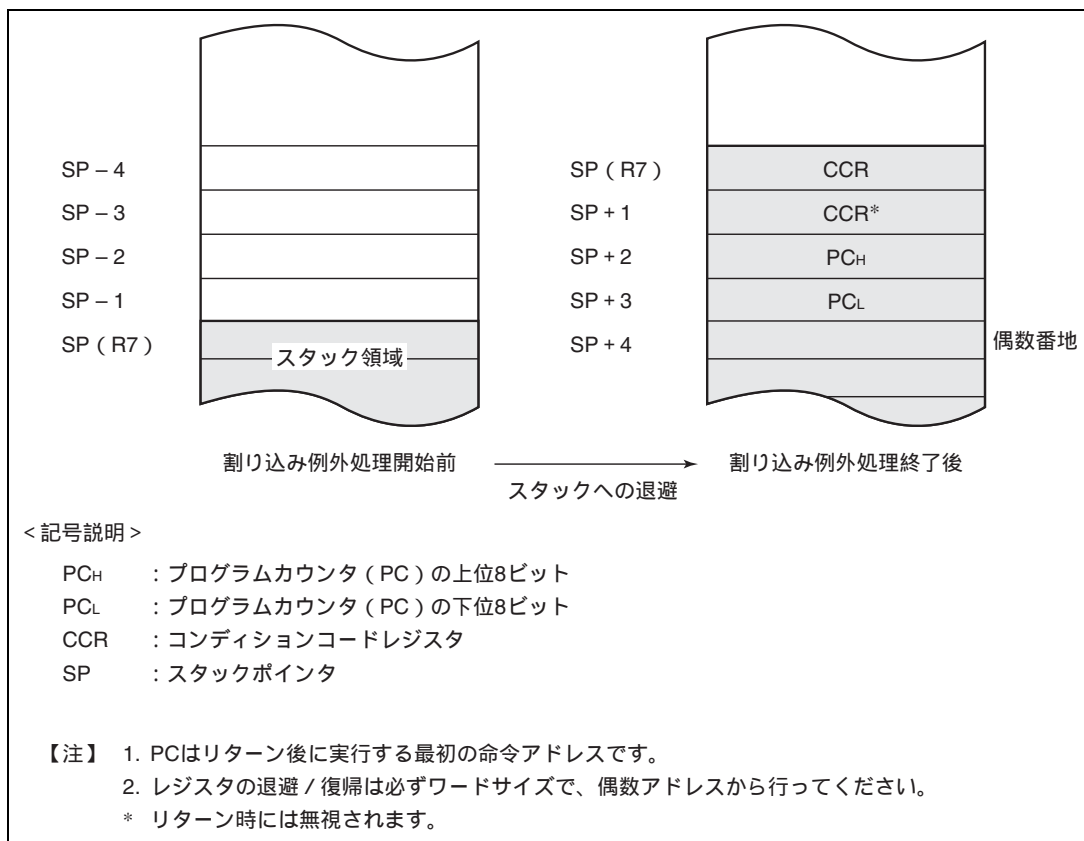


図 3.4 割り込み例外処理終了後のスタック状態

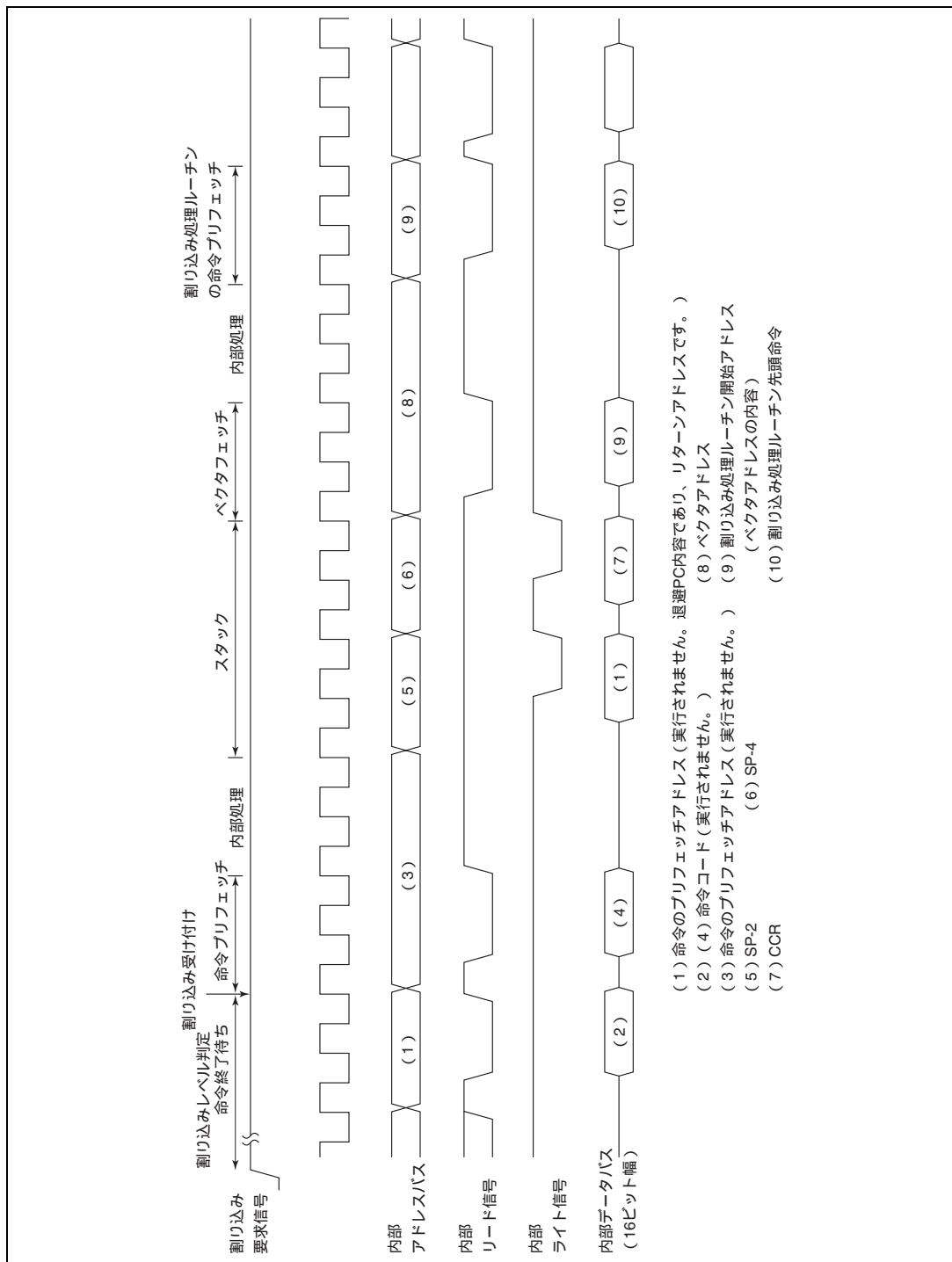


図 3.5 割り込みシーケンス

3. 例外処理

3.3.6 割り込み応答時間

割り込み要求フラグがセットされた後、割り込み処理ルーチンの先頭命令を実行するまでの待ち状態数を表 3.4 に示します。

表 3.4 割り込み待ち状態数

項目	状態数	合計
実行中の命令終了時の待ち時間*	1 ~ 13	15 ~ 27
PC、CCR のスタック	4	
ベクタフェッチ	2	
命令フェッチ	4	
内部処理	4	

【注】 * EEPMOV 命令は除きます。

3.4 使用上の注意事項

3.4.1 スタック領域に関する使用上の注意事項

本 LSI では、ワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズで行い、スタックポインタ (SP : R7) の内容は奇数にしないでください。すなわち、レジスタの退避や復帰は、「PUSH Rn (MOV.W Rn, @-SP)」または「POP Rn (MOV.W @SP+, Rn)」を使用してください。

SP に奇数を設定すると、誤動作の原因となります。SP に奇数を設定した場合の動作例を図 3.6 に示します。

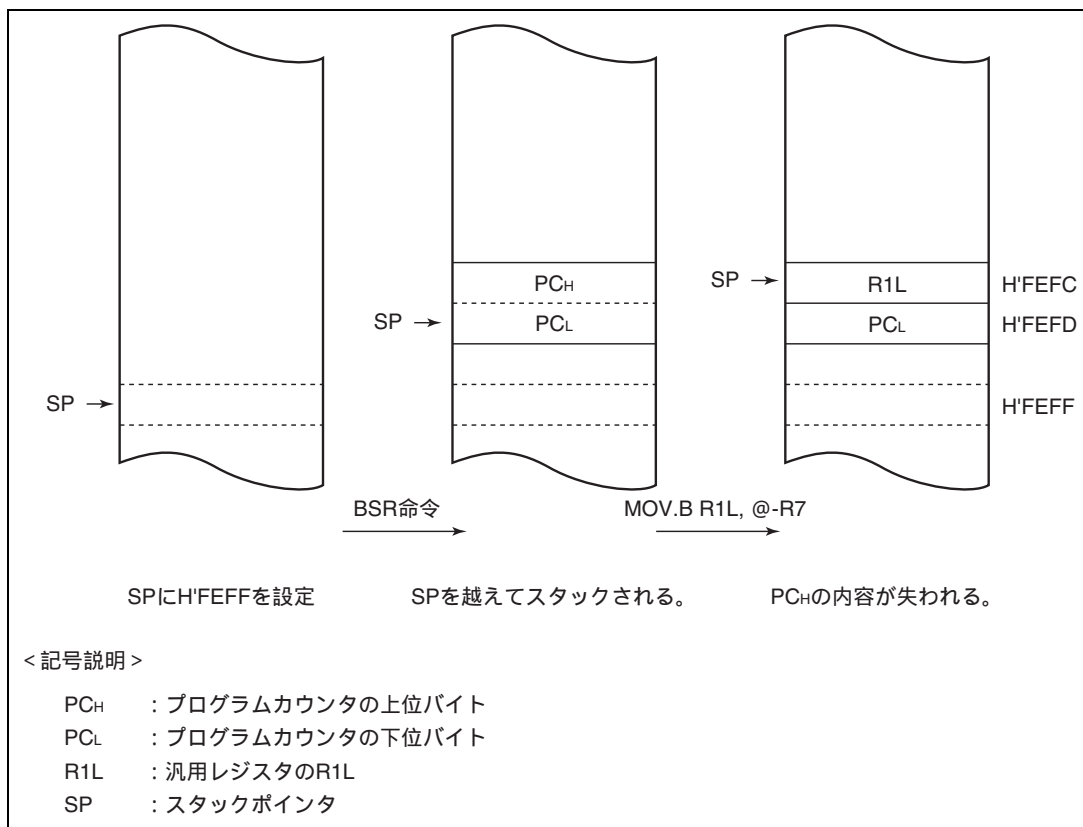


図 3.6 SP に奇数を設定したときの動作

また、割り込み例外処理および RTE 命令実行時の CCR の退避時および復帰時はワードサイズで扱われます。退避時には、ワードサイズデータの上位バイトおよび下位バイトともに CCR の値が退避されます。復帰時には、偶数アドレスの値が CCR に格納され、奇数アドレスの値は無視されます。

3. 例外処理

3.4.2 ポートモードレジスタを書き換える際の注意事項

外部割り込み端子の機能切り替えのためにポートモードレジスタを書き換える際には、以下の点に注意してください。

外部割り込み端子 ($\overline{IRQ}_4 \sim \overline{IRQ}_0$, $\overline{WKP}_7 \sim \overline{WKP}_0$) を制御しているポートモードレジスタを書き換えて端子機能を切り替えた場合、端子に有効な割り込みが入力されていなくても、端子機能を切り替えた時点で割り込み要求フラグが1にセットされますので、割り込み要求フラグを0にクリアしてから使用してください。

1にセットされる割り込み要求フラグとその条件を表3.5に示します。

表 3.5 割り込み要求フラグが1にセットされる条件

1にセットされる 割り込み要求フラグ		条件
IRR1	IRRI4	<ul style="list-style-type: none"> \overline{IRQ}_4 端子が Low レベルで IEGR の IEG4 が 0 の状態で、PMR1 の IRQ4 を 0 から 1 に書き換えたとき \overline{IRQ}_4 端子が Low レベルで IEGR の IEG4 が 1 の状態で、PMR1 の IRQ4 を 1 から 0 に書き換えたとき
	IRRI3	<ul style="list-style-type: none"> \overline{IRQ}_3 端子が Low レベルで IEGR の IEG3 が 0 の状態で、PMR1 の IRQ3 を 0 から 1 に書き換えたとき \overline{IRQ}_3 端子が Low レベルで IEGR の IEG3 が 1 の状態で、PMR1 の IRQ3 を 1 から 0 に書き換えたとき
	IRRI2	<ul style="list-style-type: none"> \overline{IRQ}_2 端子が Low レベルで IEGR の IEG2 が 0 の状態で、PMR1 の IRQ2 を 0 から 1 に書き換えたとき \overline{IRQ}_2 端子が Low レベルで IEGR の IEG2 が 1 の状態で、PMR1 の IRQ2 を 1 から 0 に書き換えたとき
	IRRI1	<ul style="list-style-type: none"> \overline{IRQ}_1 端子が Low レベルで IEGR の IEG1 が 0 の状態で、PMR1 の IRQ1 を 0 から 1 に書き換えたとき \overline{IRQ}_1 端子が Low レベルで IEGR の IEG1 が 1 の状態で、PMR1 の IRQ1 を 1 から 0 に書き換えたとき
	IRRI0	<ul style="list-style-type: none"> \overline{IRQ}_0 端子が Low レベルで IEGR の IEG0 が 0 の状態で、PMR3 の IRQ0 を 0 から 1 に書き換えたとき \overline{IRQ}_0 端子が Low レベルで IEGR の IEG0 が 1 の状態で、PMR3 の IRQ0 を 1 から 0 に書き換えたとき
IWPR	IWPF7	\overline{WKP}_7 端子が Low レベルの状態で、PMR5 の WKP7 を 0 から 1 に書き換えたとき
	IWPF6	\overline{WKP}_6 端子が Low レベルの状態で、PMR5 の WKP6 を 0 から 1 に書き換えたとき
	IWPF5	\overline{WKP}_5 端子が Low レベルの状態で、PMR5 の WKP5 を 0 から 1 に書き換えたとき
	IWPF4	\overline{WKP}_4 端子が Low レベルの状態で、PMR5 の WKP4 を 0 から 1 に書き換えたとき
	IWPF3	\overline{WKP}_3 端子が Low レベルの状態で、PMR5 の WKP3 を 0 から 1 に書き換えたとき
	IWPF2	\overline{WKP}_2 端子が Low レベルの状態で、PMR5 の WKP2 を 0 から 1 に書き換えたとき
	IWPF1	\overline{WKP}_1 端子が Low レベルの状態で、PMR5 の WKP1 を 0 から 1 に書き換えたとき
	IWPF0	\overline{WKP}_0 端子が Low レベルの状態で、PMR5 の WKP0 を 0 から 1 に書き換えたとき

ポートモードレジスタの操作と割り込み要求フラグのクリアの手順を図 3.7 に示します。

端子機能を切り替える場合は、ポートモードレジスタの操作前に割り込み禁止状態にして、ポートモードレジスタ操作後に、少なくとも 1 命令 (NOP 命令で可) 実行してから、1 にセットされた割り込み要求フラグを 0 にクリアしてください。ポートモードレジスタ操作後に 1 命令実行せず割り込み要求フラグを 0 にクリアする命令を実行しても、割り込み要求フラグはクリアされませんので注意してください。

なお、端子機能切り替えに伴う割り込み要求フラグのセットを回避する他の方法として、表 3.5 の条件を満たさないように端子を High レベルに制御して行う方法もあります。

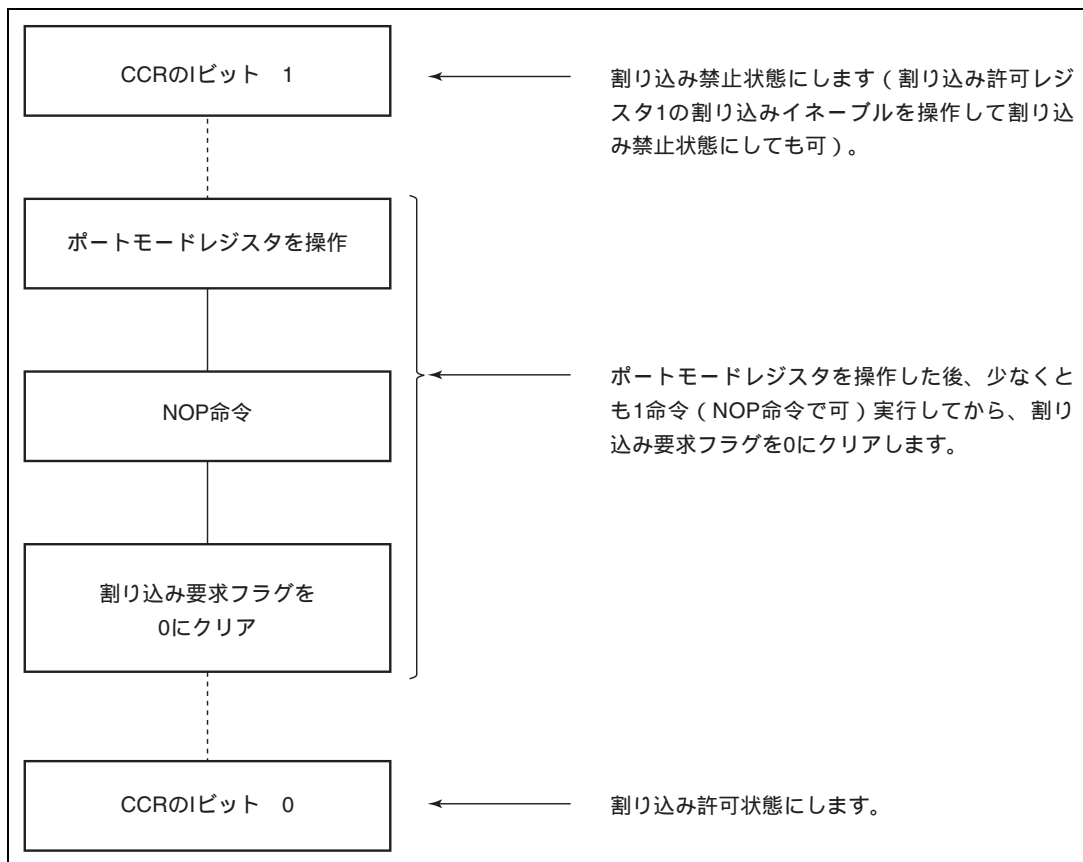


図 3.7 ポートモードレジスタ操作と割り込み要求フラグのクリア手順

3.4.3 割り込み要求フラグをクリアする方法

割り込み要求レジスタ (IRR1、IRRI2、IWPR) のフラグクリアは下記の「(1) 推奨方法」で行ってください。

(1) 推奨方法

フラグクリアの処理を 1 命令で実施します。この命令には、ビット操作命令とバイトサイズのデータ転送命令が使用できます。下記に「IRRI1 (IRRI1 のビット 1) をクリアする場合」のプログラム例を 2 つ示します。

```
BCLR #1, @IRR 1:8
```

```
MOV.B R1L, @IRRI1:8 (R1L の値を B $\phi$ 11111101 に設定しておく)
```

(2) 誤動作する例

フラグクリアの処理を複数命令で実施する場合には、命令の実行中に他のフラグがセットされたにもかかわらずこれをクリアしてしまう場合があります、誤動作の原因となります。

次に「IRRI1 (IRRI1 のビット 1) をクリアする場合」に IRRI0 もクリアにして無効にしてしまう 1 例を示します。

```
MOV.B @IRRI1:8, R1L . . . . . この時点では IRRI0=0
```

```
AND.B #B $\phi$ 11111101, R1L . . . . . ここで IRRI0=1
```

```
MOV.B R1L, @IRRI1:8 . . . . . IRRI0=0 にクリアされる。
```

上記の例では AND.B 命令実行中に IRQ0 割り込みが発生する場合を想定しています。

本来の目的である IRRI1 に加えて IRRI0 もクリアしてしまうため、IRQ0 割り込みが無効になってしまいます。

4. クロック発振器

4.1 概要

本 LSI は、クロック発生回路 (CPG : Clock Pulse Generator) を内蔵しています。

クロック発生回路は、システムクロック発振器、システムクロック分周器からなるシステムクロック発生回路と、サブクロック発振器、サブクロック分周器からなるサブクロック発生回路の 2 つの回路から構成されます。

4.1.1 ブロック図

図 4.1 にクロック発生回路のブロック図を示します。

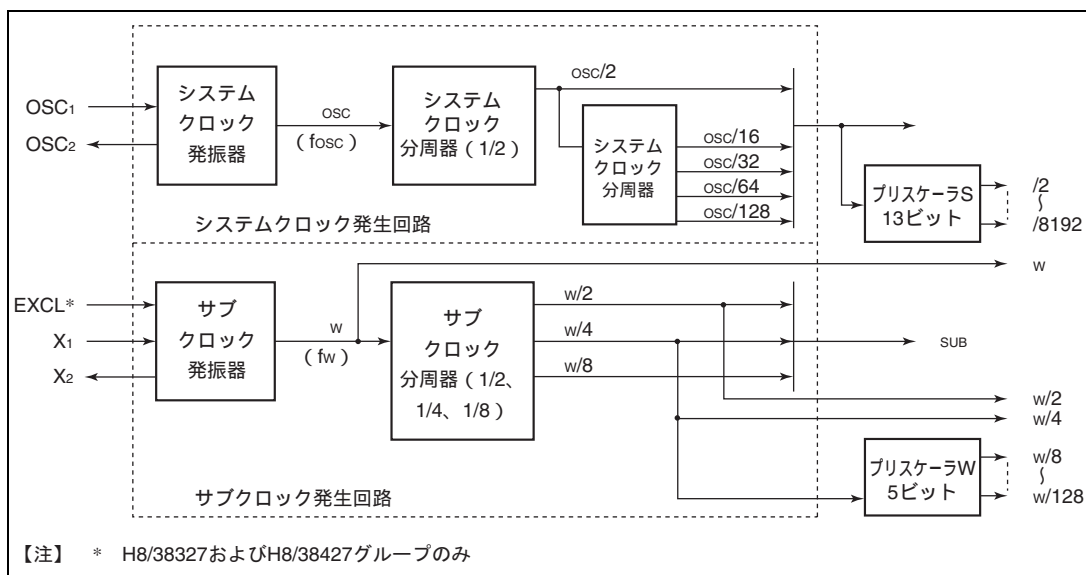


図 4.1 クロック発生回路のブロック図

4.1.2 システムクロックとサブクロック

クロック (および w_{SUB}) は、CPU および周辺機能を動作させるための基準クロックです。

をシステムクロック、 w_{SUB} をサブクロックと呼びます。また、 osc を OSC クロック、 w をウォッチクロックと呼びます。

クロック /8192、/4096、/2048、/1024、/512、/256、/128、/64、/32、/16、/8、/4、/2、 $w/128$ 、 $w/64$ 、 $w/32$ 、 $w/16$ 、 $w/8$ 、 $w/4$ 、 $y_w/2$ 、 w は、周辺機能で必要とするクロックであり各周辺機能によって異なります。

4.2 システムクロック発振器

システムクロック分周器へクロックを供給する方法には、水晶発振子またはセラミック発振子を接続する方法と、外部クロックを入力する方法があります。

(1) 水晶発振子を接続する方法

水晶発振子の接続例を図 4.2 に示します。推奨する発振子については「第 15 章 電気的特性」の各製品の AC 特性をご参照ください。発振子の選定に際しては、発振子メーカーと十分ご相談の上、決定してください。

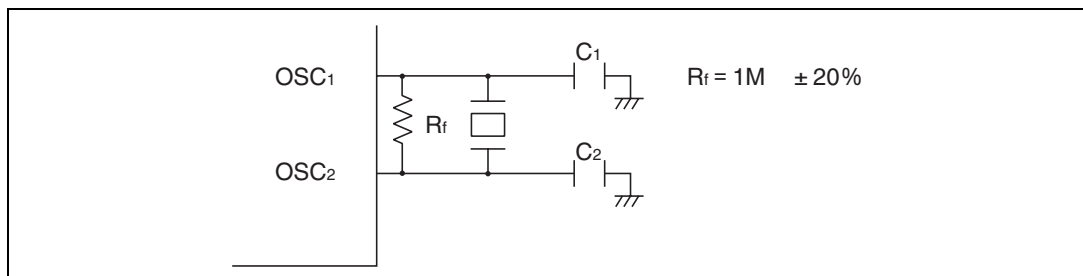


図 4.2 水晶発振子の接続例

(2) セラミック発振子を接続する方法

セラミック発振子の接続例を図 4.3 に示します。推奨する発振子については「第 15 章 電気的特性」の各製品の AC 特性をご参照ください。発振子の選定に際しては、発振子メーカーと十分ご相談の上、決定してください。

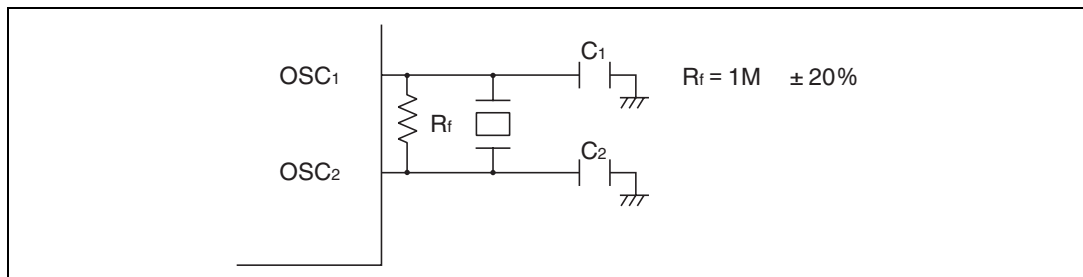


図 4.3 セラミック発振子の接続例

(3) ボード設計上の注意

水晶発振子（セラミック発振子）を接続して発振させる場合、次の点に注意してください。

発振回路部の近くで信号線を通させないでください。誘導により正しい発振ができなくなる場合があります（図 4.4 参照）。

また、ボード設計に際しては、発振子および負荷容量はできるだけ OSC_1 、 OSC_2 端子の近くに配置してください。

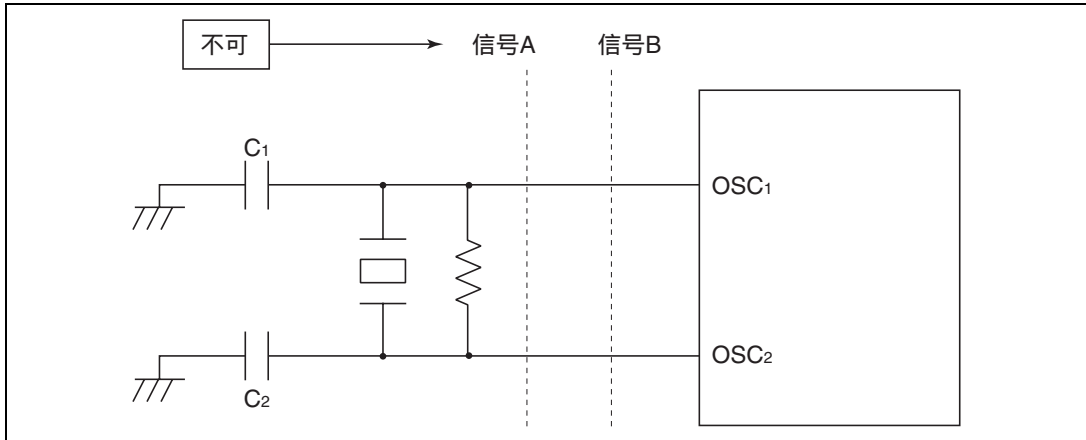


図 4.4 発振回路部のボード設計に関する注意事項

(4) 外部クロックを入力する方法

外部クロックを OSC_1 端子に接続し、 OSC_2 端子をオープン状態にします。

この場合の接続例を図 4.5 に示します。

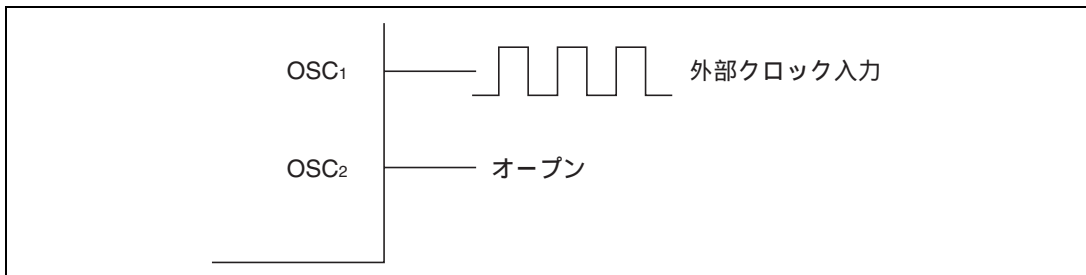


図 4.5 外部クロックを入力する場合の接続例

周波数	OSC クロック ($_{osc}$)
duty	45% ~ 55%

注意事項

水晶発振子またはセラミック発振子を接続する場合、回路定数は発振子、実装回路の浮遊容量などにより異なるため、水晶発振子メーカー、セラミック発振子メーカーと十分ご相談の上決定してください。

4.3 サブクロック発振器

(1) 32.768kHz/38.4kHz 水晶発振子を接続する方法

サブクロック分周器へクロックを供給するには、図 4.6 に示すように 32.768kHz または 38.4kHz の水晶発振子を接続します。接続する場合の注意については、「4.2 (3) ボード設計上の注意」と同様です。

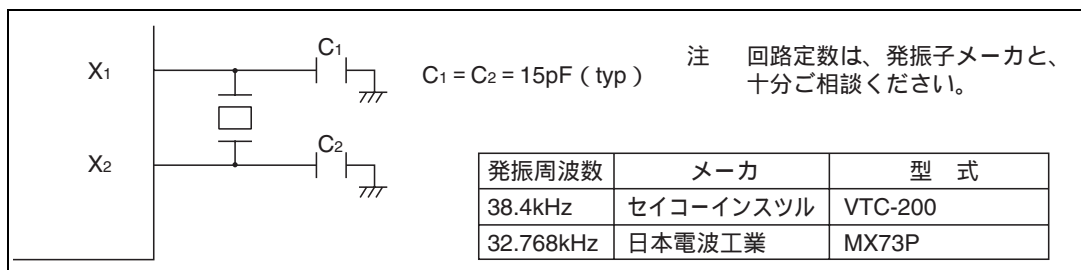


図 4.6 32.768kHz/38.4kHz 水晶発振子の接続例

図 4.7 に水晶発振子の等価回路を示します。

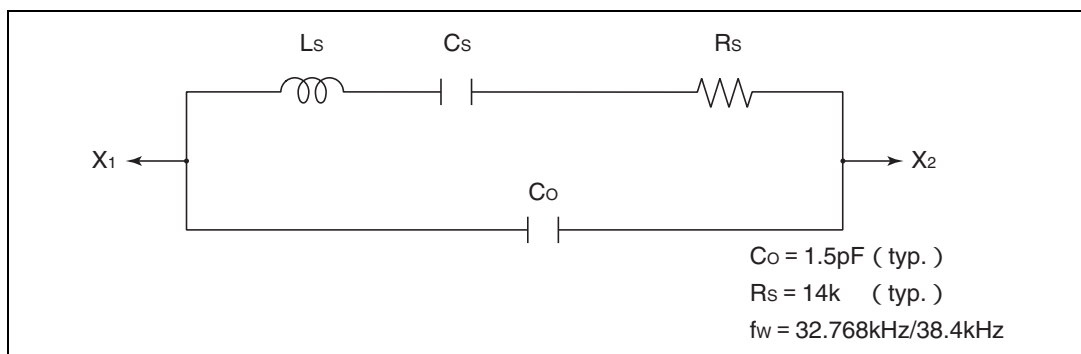


図 4.7 32.768kHz/38.4kHz 水晶発振子の等価回路

(2) サブクロックを必要としない場合の端子処理

サブクロックを必要としない場合には、図 4.8 に示すように X₁ 端子を GND に接続し、X₂ 端子をオープンとしてください。

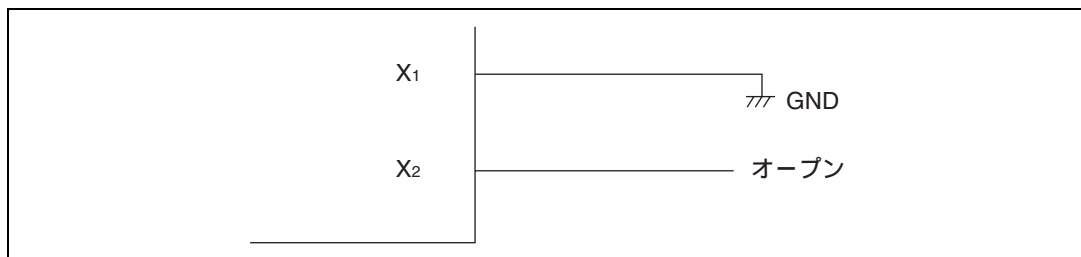


図 4.8 サブクロックを必要としない場合の端子処理

(3) 外部クロックを入力する

- H8/3827R、H8/3827S グループの場合
外部クロックを X_1 端子に接続し、 X_2 端子をオープン状態にします。
この場合の接続例を図4.9 (a) に示します。

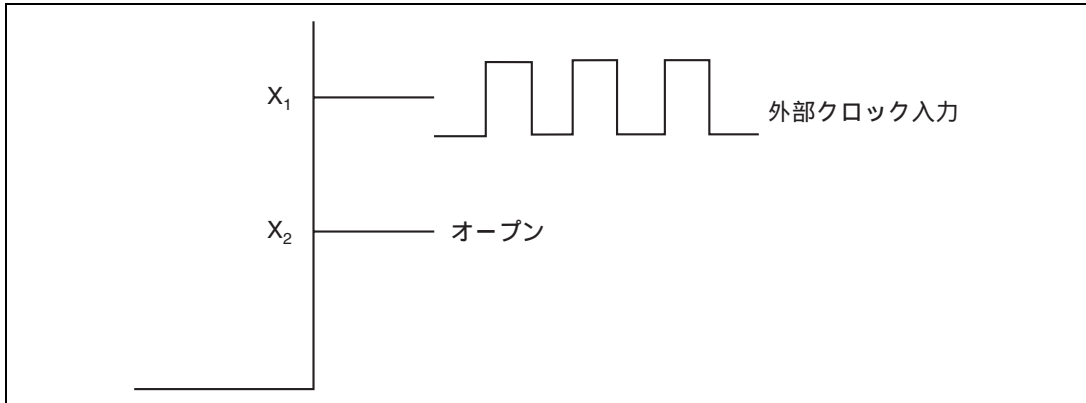


図 4.9 (a) 外部クロックを入力する場合の接続例 (H8/3827R、H8/3827S グループ)

周波数	サブクロック (w)
duty	45% ~ 55%

- H8/38327 グループ、H8/38427 グループの場合
 X_1 端子をGNDに接続し、 X_2 端子をオープン状態にします。EXCL端子に外部クロックを入力してください。PMR2レジスタのEXCLビットに1をセットすることで、LSI内部に外部クロックが供給されます。接続例を図4.9 (b) に示します。

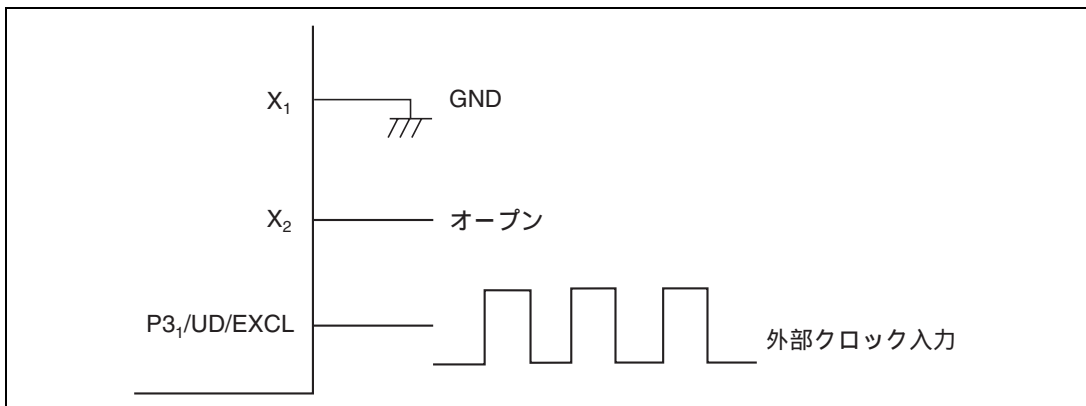


図 4.9 (b) 外部クロックを入力する場合の接続例 (H8/38327、H8/38427 グループ)

周波数	サブクロック (w)
duty	45% ~ 55%

4.4 プリスケーラ

本 LSI は、入力クロックの異なる 2 本のプリスケーラ (プリスケーラ S、プリスケーラ W) を内蔵しています。

プリスケーラ S は、システムクロック () を入力クロックとする 13 ビットのカウンタで、分周した出力を内蔵周辺モジュールの内部クロックとして使用します。プリスケーラ W は 32.768kHz または 38.4kHz を 4 分周したクロック ($f_w/4$) を入力とする 5 ビットのカウンタで、分周した出力をタイマ A の時計用タイムベース動作に使用します。

(1) プリスケーラ S (PSS)

プリスケーラ S は、システムクロック () を入力クロックとする 13 ビットのカウンタで、1 サイクルごとにカウントアップします。

リセット時、プリスケーラ S は H'0000 に初期化され、リセット解除後、カウントアップを開始します。

スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでは、システムクロック発振器が停止するためプリスケーラ S の動作も停止します。このとき、プリスケーラ S は H'0000 に初期化されます。

CPU によるプリスケーラ S のデータリード/ライトはできません。

プリスケーラ S の出力は、タイマ A、タイマ C、タイマ F、タイマ G、SCI3-1、SCI3-2、A/D 変換器、LCD コントローラ、ウォッチドッグタイマおよび 14 ビット PWM で共用しており、分周比は各内蔵周辺機能で独立に設定できます。

なお、アクティブ (中速) モードではプリスケーラ S のクロック入力が $f_{osc}/16$ 、 $f_{osc}/32$ 、 $f_{osc}/64$ または $f_{osc}/128$ となります。

(2) プリスケーラ W (PSW)

プリスケーラ W は、32.768kHz または 38.4kHz を 4 分周したクロック ($f_w/4$) を入力クロックとする 5 ビットのカウンタです。

リセット時、プリスケーラ W は H'00 に初期化され、リセット解除後、カウントアップを開始します。

スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードに移行しても、X1、X2 端子にクロックが供給されているかぎり、プリスケーラ W は動作を継続します。

プリスケーラ W は、TMA の TMA3、TMA2 を各々 1 に設定することでリセットできます。

また、プリスケーラ W の出力は、タイマ A のクロックとして使用できます。このとき、タイマ A は時計用タイムベースとして機能します。

4.5 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、マスク ROM 版、ZTAT[®]版、F-ZTAT 版共にユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないような設計を行ってください。

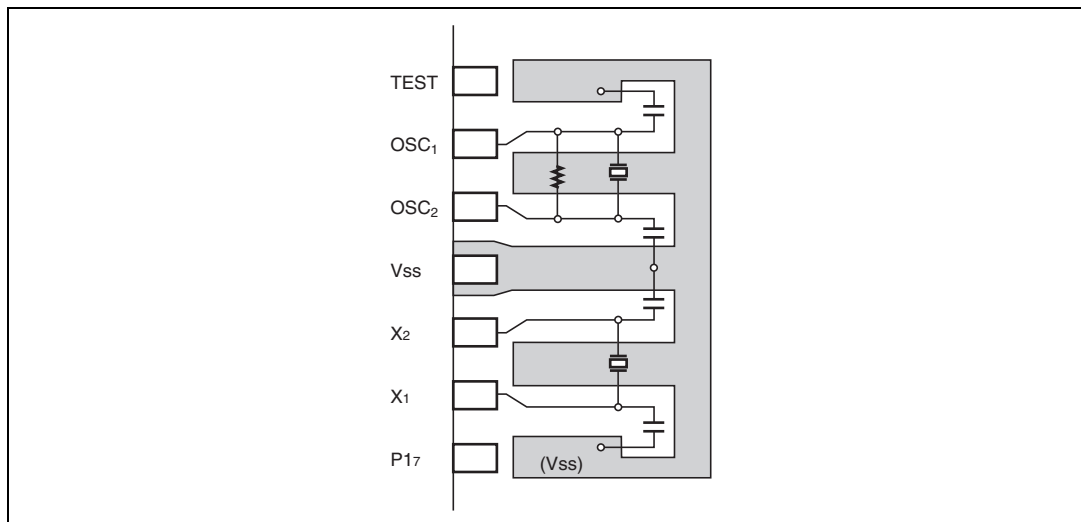


図 4.10 水晶、セラミック発振子の配置例

図 4.11 (1) は発振子メーカーが推奨している負性抵抗の測定回路です。本回路による負性抵抗が発振子メーカーの推奨するレベルに達していないと、メイン発振器が発振開始しにくい場合がありますので、ご注意ください。

発振子メーカーの推奨する負性抵抗値以下で、発振しない現象が確認された場合には、図 4.11 (2) ~ (4) に示す変更を行って頂けますよう、お願いします。なお、採用する変更案、コンデンサ容量値は負性抵抗および周波数偏差等の評価結果により決定くださいますよう、お願いします。

4. クロック発振器

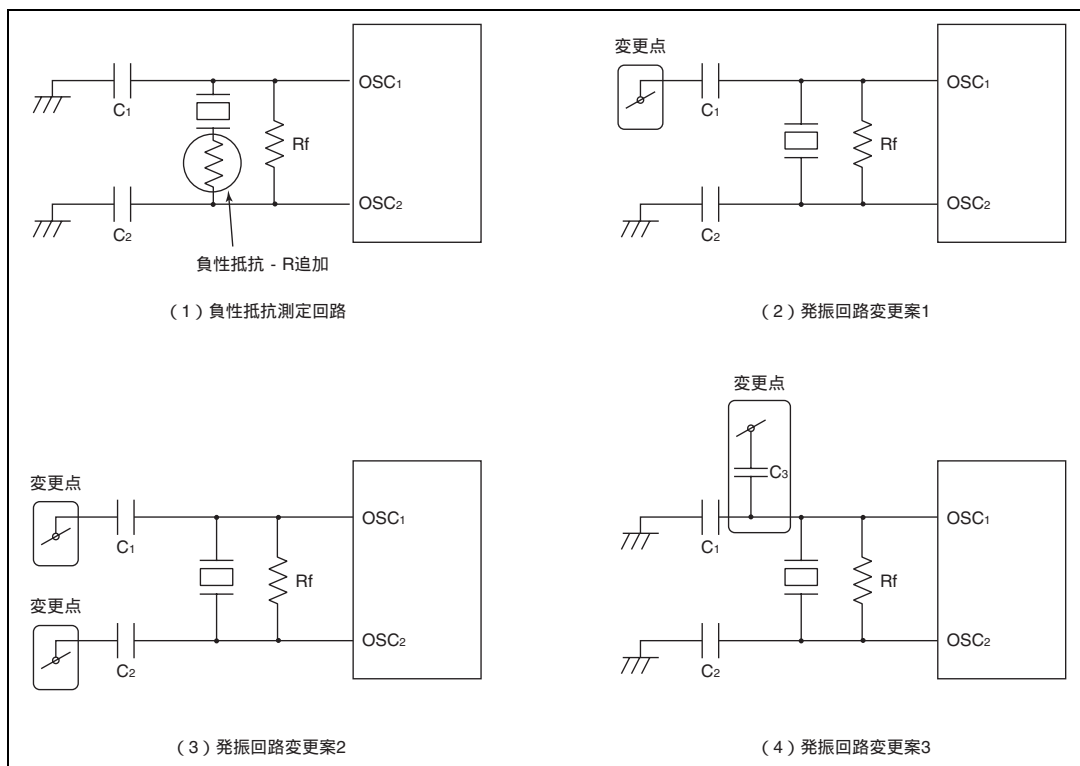


図 4.11 負性抵抗測定と回路変更案

4.5.1 発振安定待機時間の定義

図 4.13 にシステムクロック発振器に発振子を接続しているときに、スタンバイモード、ウォッチモード、サブアクティブモードからアクティブ(高速、中速)モードに遷移する場合の発振波形(OSC_2)、システムクロック()および、マイクロコンピュータの動作モードを示します。

図 4.12 に示すように、スタンバイモード、ウォッチモード、サブアクティブモードにおいては、システムクロック発振器が停止しているため、アクティブ(高速、中速)モードに遷移する場合、下記 2 項目(発振安定時間、待機時間)の合計時間が必要となります。

(1) 発振安定時間 (t_c)

割り込みが発生し、システムクロック発振器の発振波形が変化を開始した時点から、発信波形の振幅が大きくなり発振周波数が安定するまでの時間。

(2) 待機時間

発振波形の周波数およびシステムクロックが安定してから、CPU および周辺機能が動作し始めるまでに必要とする時間。

待機時間の設定は、スタンバイタイムセレクト 2~0 (STS2~0) (システムコントロールレジスタ 1 (SYSCR1) のビット 6~4) の設定値により選択できます。

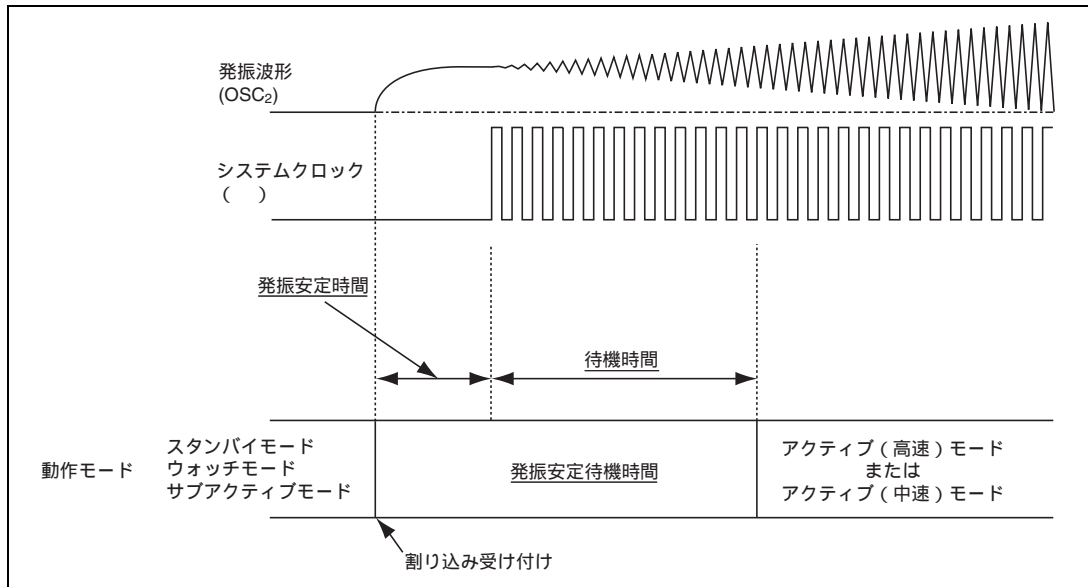


図 4.12 発振安定待機時間

割り込みやりセットにより、スタンバイモード、ウォッチモード、サブアクティブモードを解除し、アクティブ（高速、中速）モードに遷移する場合、割り込みが受け付けられた時点で発振波形が変化を開始します。したがって、スタンバイモード、ウォッチモード、サブアクティブモードにおいて発振子を接続している場合、システムクロック発振器は停止しているため、この発振波形が変化を開始した時点から発振波形の振幅が大きくなり発振周波数が安定するまでの時間、すなわち発振安定時間が必要となります。

この状態遷移時の発振安定時間はパワーオン時の発振安定時間（電源電圧が規定の電圧に達してから発振が安定するまでの時間）と同じであり、AC 特性の「発振安定時間 t_{rc} 」において規定していません。

一方、いったんシステムクロックが停止した場合、CPU および周辺機器を正常動作させるためには 8 ステート以上の待機時間を必要とします。

以上のことから、割り込みが発生してから CPU および周辺機器が動作するまでに必要となる時間は、前述の発振安定時間と待機時間を合わせた時間になります。この合計時間を発振安定待機時間と呼び、下記 (1) 式で表します。

$$\begin{aligned} \text{発振安定待機時間} &= \text{発振安定時間} + \text{待機時間} \\ &= t_{rc} + (8 \sim 131,072 \text{ ステート}) \cdots \cdots (1) \end{aligned}$$

したがって、システムクロック発振器に発振子を接続しているときに、スタンバイモード、ウォッチモード、サブアクティブモードからアクティブ（高速、中速）モードに遷移する場合には、実装回路において十分な評価を行ったうえ、発振安定待機時間を決めてください。特に発振安定時間は実装回路の定数、浮遊容量等により異なるため、発振子メーカーとご相談の上決定してください。

4.5.2 水晶発振子をご使用の場合の注意事項 (セラミック発振子は除く)

マイクロコンピュータが動作すると、システムクロックに同期して内部の電源電位が多少変動します。また、水晶発振子個別の特性によっては、発振安定待機時間直後に発振波形の振幅が十分に成長していない場合があります、発振波形が電源電位変動の影響を受けやすい状態にあります。この状態では発振波形が乱れる場合があります、システムクロックが不安定になってマイクロコンピュータの誤作動につながります。

誤作動を起こす場合には、スタンバイタイムセレクト 2~0(STS2~0) (システムコントロールレジスタ 1 (SYSCR1) のビット 6~4) の設定を変更し、待機時間をさらに長い時間の設定にしてお使いください。

例えば、待機時間 = 16 ステートの設定で誤作動する場合、待機時間 = 8,192 ステート以上の設定で動作をご確認ください。

また、リセット時に状態遷移時と同様の誤作動が起こる場合、RES 端子を Low レベルに保持する時間を長くしてください。

5. 低消費電力モード

5.1 概要

本 LSI には、リセット解除後に LSI が動作するモードとして、消費電力を著しく低下させる 8 種類の低消費電力モードを含む、9 種類の動作モードを持っています。

表 5.1 に動作モードの概要を示します。

表 5.1 動作モードの概要

動作モード	説明
アクティブ（高速）モード	CPU がシステムクロックにより、高速動作でプログラムを実行しているモードです。
アクティブ（中速）モード	CPU がシステムクロックにより、低速動作でプログラムを実行しているモードです。
サブアクティブモード	CPU がサブクロックにより、低速動作でプログラムを実行しているモードです。
スリープ（高速）モード	CPU が動作を停止し、内蔵周辺機能がシステムクロックで動作しているモードです。
スリープ（中速）モード	CPU が動作を停止し、内蔵周辺機能がシステムクロックの 1/64、1/32、1/16、1/8 の周波数で動作しているモードです。
サブスリープモード	CPU が動作を停止し、タイマ A、タイマ C、タイマ G、タイマ F、WDT、SCI3-1、SCI3-2、AEC および LCD コントローラ / ドライバがサブクロックで動作しているモードです。
ウォッチモード	CPU が動作を停止し、タイマ A の時計機能、タイマ F、タイマ G、AEC および LCD コントローラ / ドライバがサブクロックで動作しているモードです。
スタンバイモード	CPU およびすべての内蔵の周辺機能が動作を停止しているモードです。
モジュールスタンバイモード	ソフトウェアによって指定された内蔵の周辺機能ごとにスタンバイモードの状態になり、動作を停止しているモードです。

上記 9 種類の動作モードのうち、アクティブ（高速）モード以外の動作モードを低消費電力モードと呼びます。また、本章では、アクティブ（高速）モードとアクティブ（中速）モードを総称してアクティブモードと呼びます。

5. 低消費電力モード

図 5.1 にモード遷移図を示します。

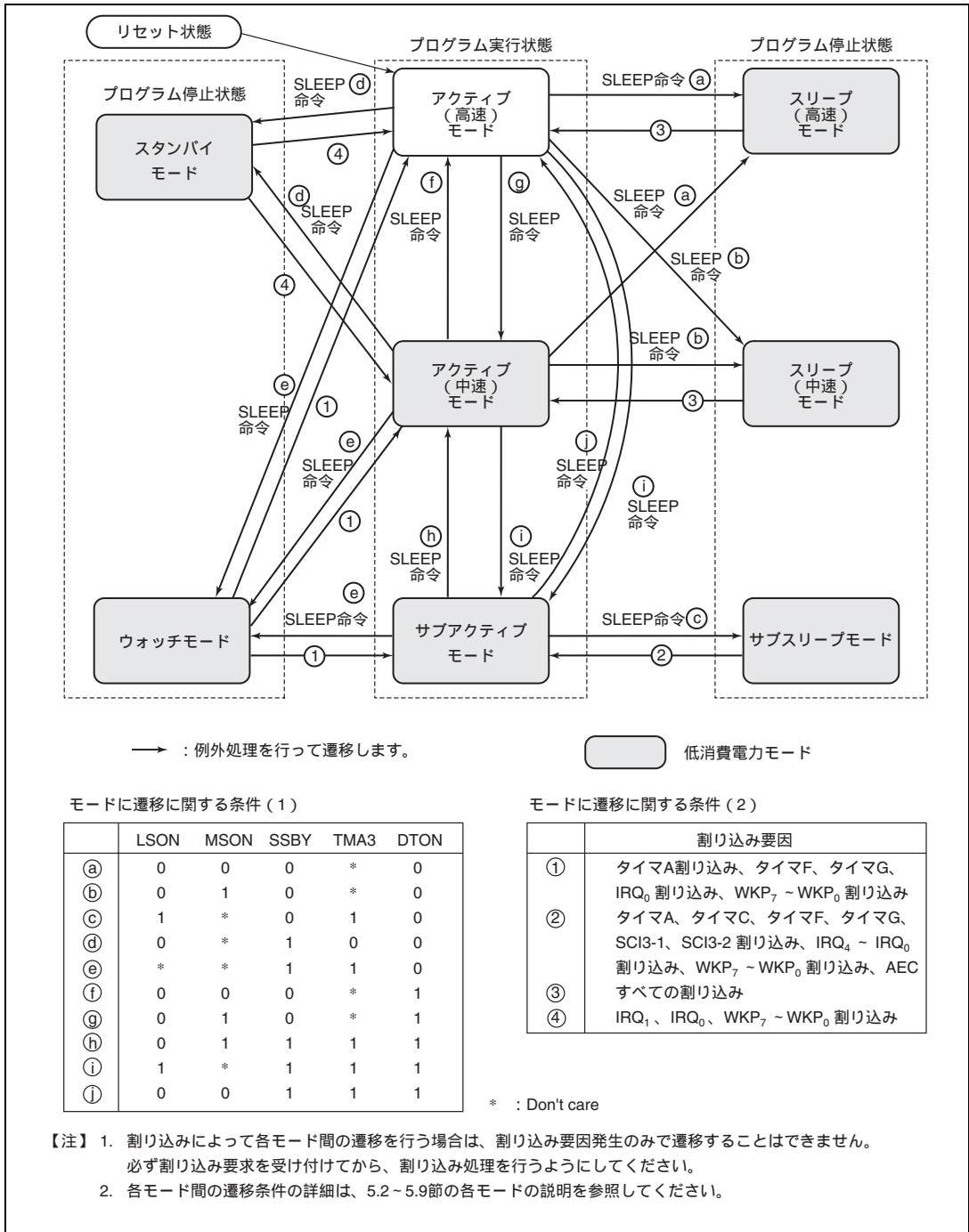


図 5.1 モード遷移図

表 5.2 に各モードでの LSI の内部状態を示します。

表 5.2 各動作モードでの LSI の状態

機能		アクティブ		スリープ		ウォッチ	サブアクティブ	サブスリープ	スタンバイ
		高速	中速	高速	中速				
システムクロック発振器		動作	動作	動作	動作	停止	停止	停止	停止
サブクロック発振器		動作	動作	動作	動作	動作	動作	動作	動作
CPU 動作	命令			停止	停止	停止	動作	停止	停止
	RAM	動作	動作			保持		保持	保持
	レジスタ			保持	保持				
	I/O								
外部 割り込み の動作	IRQ ₀					動作	動作	動作	動作
	IRQ ₁					保持 ^{*6}			動作
	IRQ ₂	動作	動作	動作	動作				
	IRQ ₃								
	IRQ ₄								
	WKP ₀					動作	動作	動作	動作
	WKP ₁								
	WKP ₂								
	WKP ₃	動作	動作	動作	動作				
WKP ₄									
WKP ₅									
WKP ₆									
WKP ₇									
周辺機能 の動作	タイマ A					動作 ^{*5}	動作 ^{*5}	動作 ^{*5}	保持
	非同期カウンタ					動作 ^{*8}	動作	動作	動作 ^{*8}
	タイマ C	動作	動作	動作	動作	保持	動作 / 保持 ^{*2}	動作 / 保持 ^{*2}	保持
	WDT						動作 / 保持 ^{*7}	保持	
	タイマ G、タイマ F					動作 / 保持 ^{*9}	動作 / 保持 ^{*2}	動作 / 保持 ^{*2}	
	SCI3-1	動作	動作	動作	動作	リセット	動作 / 保持 ^{*3}	動作 / 保持 ^{*3}	リセット
	SCI3-2								
	PWM	動作	動作	動作	動作	保持	保持	保持	保持
	A/D 変換器	動作	動作	動作	動作	保持	保持	保持	保持
	LCD	動作	動作	動作	動作	動作 / 保持 ^{*4}	動作 / 保持 ^{*4}	動作 / 保持 ^{*4}	保持

【注】 *1 レジスタは保持、出力はハイインピーダンス

*2 外部クロックまたは内部クロックとして $\omega/4$ を選択した場合に動作、その他は停止して保持

*3 内部クロックとして $\omega/2$ を選択した場合に動作、その他は停止して保持

*4 使用クロックとして ω 、 $\omega/2$ または $\omega/4$ を選択した場合に動作、その他は停止して保持

*5 時計用タイムベース機能を選択時に動作

*6 外部割り込み要求は無視されます。割り込み要求レジスタの内容は影響を受けません。

*7 内部クロックとして $\omega/32$ を選択した場合は動作、その他は停止して保持。

*8 カウントアップ可、割り込み発生不可。

*9 内部クロックとして $\omega/4$ を選択した場合に動作、その他は停止して保持。

5. 低消費電力モード

5.1.1 システムコントロールレジスタ

表 5.3 に動作モードを設定するシステムコントロールレジスタを示します。

表 5.3 レジスタ構成

名称	略称	R/W	初期値	アドレス
システムコントロールレジスタ 1	SYSCR1	R/W	H'07	H'FFF0
システムコントロールレジスタ 2	SYSCR2	R/W	H'F0	H'FFF1

(1) システムコントロールレジスタ 1 (SYSCR1)

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	LSON	—	MA1	MA0
初期値:	0	0	0	0	0	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	—	R/W	R/W

SYSCR1 は、8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。
SYSCR1 は、リセット時、H'07 に初期化されます。

ビット 7: ソフトウェアスタンバイ (SSBY)

スタンバイモード、ウォッチモードへの遷移を指定します。

ビット 7	説明
SSBY	
0	アクティブモードで SLEEP 命令実行後、スリープモードに遷移 サブアクティブモードで SLEEP 命令実行後、サブスリープモードに遷移 (初期値)
1	アクティブモードで SLEEP 命令実行後、スタンバイモードあるいはウォッチモードに遷移 サブアクティブモードで SLEEP 命令実行後、ウォッチモードに遷移

ビット6～4：スタンバイタイムセレクト2～0 (STS2～STS0)

特定の割り込みにより、スタンバイモード、ウォッチモードを解除し、アクティブモードに遷移する場合に、クロックが安定するまでCPUと周辺機能が待機する時間を指定します。動作周波数に応じて待機時間が発振安定時間以上となるように指定してください。

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8,192 ステート (初期状態)
0	0	1	待機時間 = 16,384 ステート
0	1	0	待機時間 = 32,768 ステート
0	1	1	待機時間 = 65,536 ステート
1	0	0	待機時間 = 131,072 ステート
1	0	1	待機時間 = 2 ステート (外部クロック入力モード)
1	1	0	待機時間 = 8 ステート
1	1	1	待機時間 = 16 ステート

【注】 外部クロックを入力する場合、スタンバイタイムセレクトはモード遷移を実行する前に、外部クロック入力モードに設定してください。また、外部クロックを使用しない場合、外部クロック入力モードに設定しないでください。

ビット3：ロースピードオンフラグ (LSON)

ウォッチモードを解除時に、CPUの動作クロックをシステムクロック()にするか、サブクロック(_{SUB})にするかを選択します。他の制御ビット、割り込み入力の組み合わせで動作モードを決定します。

ビット3	説明
LSON	
0	CPUの動作クロックはシステムクロック() (初期値)
1	CPUの動作クロックはサブクロック(_{SUB})

ビット2：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット1、0：アクティブ(中速)モードクロックセレクト (MA1、MA0)

アクティブ(中速)モードまたはスリープ(中速)モードの動作クロック($f_{osc}/128$ 、 $f_{osc}/64$ 、 $f_{osc}/32$ 、 $f_{osc}/16$)を選択します。MA1、MA0の書き込みは、アクティブ(高速)モードまたはサブアクティブモードで行ってください。

ビット1	ビット0	説明
MA1	MA0	
0	0	$f_{osc}/16$
0	1	$f_{osc}/32$
1	0	$f_{osc}/64$
1	1	$f_{osc}/128$ (初期値)

5. 低消費電力モード

(2) システムコントロールレジスタ 2 (SYSCR2)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	NESEL	DTON	MSON	SA1	SA0
初期値:	1	1	1	1	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

SYSCR2 は、8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

ビット 7~5: リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット 4: ノイズ除去サンプリング周波数選択 (NESEL)

サブクロック発振器より生成されたウォッチクロック (f_w) を、システムクロック発振器より生成された OSC クロック (f_{osc}) により、サンプリングする周波数を選択します。 $f_{osc} = 2 \sim 16\text{MHz}$ のときは、0 をセットしてください。

ビット 4	説明
NESEL	
0	f_{osc} の 16 分周クロックでサンプリング
1	f_{osc} の 4 分周クロックでサンプリング (初期値)

ビット 3: ダイレクトトランスファオンフラグ (DTON)

アクティブ(高速)モード、アクティブ(中速)モード、サブアクティブモードの各モード間を、SLEEP 命令を実行することにより直接遷移するか否かを指定します。SLEEP 命令実行後に遷移する動作モードは、本ビット以外の制御ビットの組み合わせで決定します。

ビット 3	説明
DTON	
0	<ul style="list-style-type: none"> アクティブモードで SLEEP 命令を実行したとき、スタンバイモード、ウォッチモード、またはスリープモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、ウォッチモード、またはサブスリープモードに遷移 (初期値)
1	<ul style="list-style-type: none"> アクティブ(高速)モードで SLEEP 命令を実行したとき、アクティブ(中速)モード (SSBY = 0、MSON = 1、LSON = 0 のとき)、またはサブアクティブモード (SSBY = 1、TMA3 = 1、LSON = 1 のとき) に直接遷移 アクティブ(中速)モードで SLEEP 命令を実行したとき、アクティブ(高速)モード (SSBY = 0、MSON = 0、LSON = 0 のとき)、またはサブアクティブモード (SSBY = 1、TMA3 = 1、LSON = 1 のとき) に直接遷移 サブアクティブモードで SLEEP 命令を実行したとき、アクティブ(高速)モード (SSBY = 1、TMA3 = 1、LSON = 0、MSON = 0 のとき)、またはアクティブ(中速)モード (SSBY = 1、TMA3 = 1、LSON = 0、MSON = 1 のとき) に直接遷移

ビット2：ミドルスピードオンフラグ (MSON)

スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ(高速)モードで動作させるか、アクティブ(中速)モードで動作させるかを選択します。

ビット2	説明	
MSON		
0	アクティブ(高速)モードで動作	(初期値)
1	アクティブ(中速)モードで動作	

ビット1、0：サブアクティブモードクロックセレクト (SA1、SA0)

サブアクティブモードのCPUの動作クロック ($w/8$ 、 $w/4$ 、 $w/2$) を選択します。SA1、SA0はサブアクティブモードでライトしても値は更新されません。

ビット1	ビット0	説明	
SA1	SA0		
0	0	$w/8$	(初期値)
0	1	$w/4$	
1	*	$w/2$	

* Don't care

5.2 スリープモード

5.2.1 スリープモードへの遷移

(1) スリープ（高速）モードへの遷移

アクティブモードで、SYSCR1のSSBYが0、LSONが0、SYSCR2のMSONが0、DTONが0のときSLEEP命令を実行すると、スリープモードに遷移します。スリープモードではCPUの動作は停止しますが、内蔵周辺モジュールは動作します。なお、CPUのレジスタの内容は保持されます。

(2) スリープ（中速）モードへの遷移

アクティブモードで、SYSCR1のSSBYが0、LSONが0、SYSCR2のMSONが1、DTONが0のときSLEEP命令を実行すると、スリープ（中速）モードに遷移します。スリープ（中速）モードではスリープ（高速）モードと同様、CPUの動作は停止し、内蔵周辺モジュールは動作します。ただし、スリープ（中速）モードでは、SYSCR1のMA1、MA0で設定した周波数のクロックによって動作します。CPUのレジスタの内容は保持されます。

なお、スリープ（中速）モードへの遷移時に1/2ステート早いタイミングで動作することがあります。

5.2.2 スリープモードの解除

スリープモードの解除は、すべての割り込み（タイマA、タイマC、タイマF、タイマG、非同期カウンタ、IRQ₄~IRQ₀、WKP₇~WKP₀、SCI3-1、SCI3-2、A/D変換器）、RES端子入力によって行われます。

(1) 割り込みによる解除

割り込み要求が発生すると、スリープモードは解除され、割り込み例外処理を開始します。

スリープ（高速）モードからはアクティブ（高速）モードに、スリープ（中速）モードからはアクティブ（中速）モードに遷移します。なお、CCRのIビットが1のとき、あるいは割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合はスリープ状態は解除されません。

なお、割り込み要求信号とシステムクロックの同期をとるため、割り込み要求信号発生から割り込み例外処理開始までに最大2/（s）の遅れが生じることがあります。

(2) RES端子による解除

RES端子をLowレベルにするとリセット状態に遷移し、スリープモードは解除されます。

5.2.3 スリープ（中速）モードの動作周波数について

スリープ（中速）モードは、SYSCR1のMA1、MA0で設定した周波数のクロックによって動作します。

5.3 スタンバイモード

5.3.1 スタンバイモードへの遷移

アクティブモードで SYSCR1 の SSBY が 1、LSON が 0、および TMA の TMA3 が 0 のとき SLEEP 命令を実行すると、スタンバイモードに遷移します。スタンバイモードではクロック発生回路からのクロック供給を停止するため、CPU および内蔵周辺機能が停止します。規定の電圧が与えられている限り、CPU のレジスタと一部の内蔵周辺機能の内部レジスタ、および内蔵 RAM のデータは保持されています。さらに、RAM データ保持電圧で規定した電圧が与えられているかぎり、内蔵 RAM のデータは保持されています。このとき、I/O ポートはハイインピーダンス状態となります。

5.3.2 スタンバイモードの解除

スタンバイモードの解除は、割り込み (IRQ₁、IRQ₀、WKP₇ ~ WKP₀)、 $\overline{\text{RES}}$ 端子入力によって行われます。

(1) 割り込みによる解除

割り込み要求が発生すると、システムクロックの発振が開始され、SYSCR1 の STS2 ~ STS0 により設定された時間が経過した後、安定したシステムクロックが LSI 全体に供給されて、スタンバイモードは解除され、割り込み例外処理を開始します。SYSCR2 の MSON が 0 のときはアクティブ (高速) モードに、1 のときはアクティブ (中速) モードに遷移します。なお、CCR の I ビットが 1 のとき、あるいは、割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、スタンバイモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、システムクロックの発振が開始されます。発振安定時間経過後、 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。なお、システムクロックの発振開始と同時に LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は、必ずシステムクロックの発振が安定するまで、Low レベルを保持してください。

5. 低消費電力モード

5.3.3 スタンバイモード解除後の発振安定時間の設定

SYSCR1 の STS2 ~ STS0 の設定は、以下のようにしてください。

(1) 水晶発振の場合

表 5.4 に動作周波数と STS2 ~ STS0 の設定値に対する待機時間を示します。待機時間が発振安定時間以上となるように STS2 ~ STS0 を設定してください。

表 5.4 動作周波数と発振安定時間

(単位: ms)

STS2	STS1	STS0	待機時間	2MHz	1MHz
0	0	0	8,192 ステート	4.1	8.2
0	0	1	16,384 ステート	8.2	16.4
0	1	0	32,768 ステート	16.4	32.8
0	1	1	65,536 ステート	32.8	65.5
1	0	0	131,072 ステート	65.5	131.1
1	0	1	2 ステート (使用禁止)	0.001	0.002
1	1	0	8 ステート	0.004	0.008
1	1	1	16 ステート	0.008	0.016

(2) 外部クロックの場合

STS2 = 1、STS1 = 0、STS0 = 1 の使用を推奨します。他の設定も使用可能ですが、STS2 = 1、STS1 = 0、STS0 = 1 以外の設定では、待機時間終了前に動作を開始することがあります。

5.3.4 スタンバイモードへの遷移と端子状態

アクティブ(高速)モードまたはアクティブ(中速)モードで SYSCR1 の SSBY を 1、LSON を 0、TMA の TMA3 を 0 にセットした状態で SLEEP 命令を実行するとスタンバイモードに遷移します。同時に端子はハイインピーダンス状態(プルアップ MOS オン設定端子は除く)になります。このときのタイミングを図 5.2 に示します。

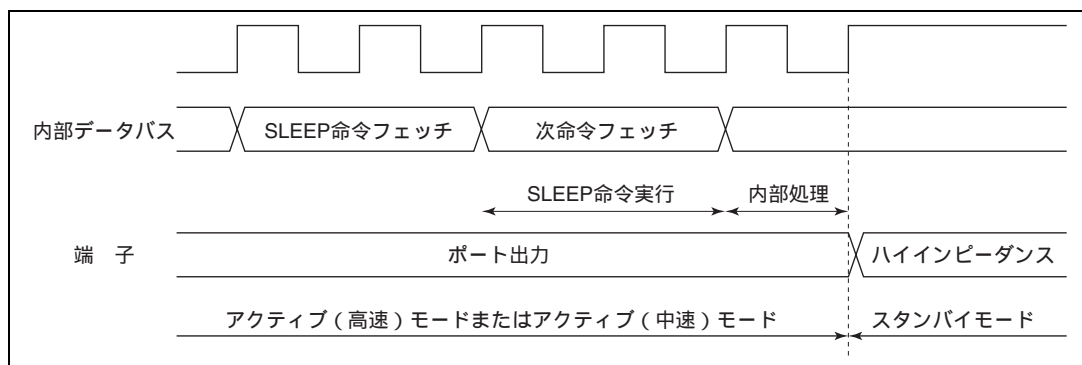


図 5.2 スタンバイモードへの遷移と端子状態

5.3.5 スタンバイモード前後で外部入力信号が変化する場合の注意事項

(1) スタンバイモード、ウォッチモード前後で外部入力信号が変化する場合

\overline{IRQ} 、 \overline{WKP} 等の外部入力信号を入力する場合、信号の High、Low レベル幅はどちらもシステムクロック またはサブクロック SUB (以下、合わせて内部クロックと呼びます) の 2 サイクル以上の幅が必要です。スタンバイモード、ウォッチモードでは内部クロックが停止するため、これらの動作モードを経由する場合、外部入力信号は、以下の「推奨する外部入力信号のタイミング」に合わせてください。

(2) 内部クロック停止により外部入力信号が取り込めない場合

立ち下がりエッジを取り込む場合を図 5.3 に示します。

「取り込めない場合」に示すように該当信号以外の割り込みにより発振を開始し、アクティブ(高速、中速)モードまたは、サブアクティブモードに遷移した直後に、外部入力信号が立ち下がった場合、この時点での High レベル幅が $2t_{cyc}$ 、 $2t_{subcyc}$ 未満の場合、この外部入力信号は取り込めません。

5. 低消費電力モード

(3) 推奨する外部入力信号のタイミング

確実に外部入力信号を取り込むためには、「取り込める場合1」に示すようにスタンバイモード、ウォッチモードに移転する前に入力信号の High、Low レベル幅を $2tcyc$ 、 $2tsubcyc$ 以上確保してください。

また「取り込める場合2」「取り込める場合3」のタイミングでも $2tcyc$ 、 $2tsubcyc$ のレベル幅を確保できるので、外部入力信号の取り込みが可能です。

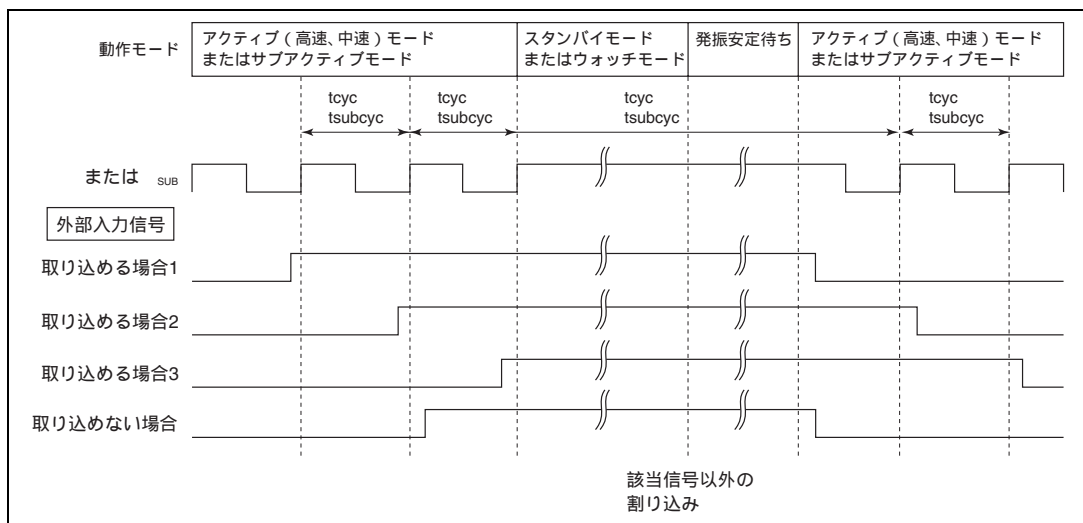


図 5.3 スタンバイモード、ウォッチモード前後で外部入力信号が変化する場合の注意事項

(4) 本注意事項が適用される入力端子

$\overline{IRQ}_4 \sim \overline{IRQ}_0$ 、 $\overline{WKP}_7 \sim \overline{WKP}_0$ 、 \overline{ADTRG} 、 $TMIC$ 、 $TMIF$ 、 $TMIG$

5.4 ウォッチモード

5.4.1 ウォッチモードへの遷移

アクティブモード、サブアクティブモードでSYSCR1のSSBYが1、TMAのTMA3が1のときSLEEP命令を実行すると、ウォッチモードに遷移します。ウォッチモードではタイマA、タイマF、タイマG、AEC、LCD（動作/停止選択可）以外の内蔵周辺機能は動作を停止します。規定の電圧が与えられている限り、CPUと一部の内蔵周辺機能の内部レジスタ、および内蔵RAMの内容は保持され、I/Oポートは遷移前の状態を保持します。

5.4.2 ウォッチモードの解除

ウォッチモードの解除は、割り込み（IRQ₀、WKP₇~WKP₀、タイマA、タイマF、タイマG）、 $\overline{\text{RES}}$ 端子入力によって行われます。

(1) 割り込みによる解除

割り込み要求が発生するとウォッチモードは解除され、SYSCR1のLSONとSYSCR2のMSONの組み合わせで、LSON=0かつMSON=0のときはアクティブ（高速）モードに、LSON=0かつMSON=1のときはアクティブ（中速）モードに、LSON=1のときはサブアクティブモードに遷移します。アクティブモードに遷移するときは、SYSCR1のSTS2~STS0により設定された時間が経過した後、安定したクロックがLSI全体に供給され、割り込み例外処理を開始します。なお、CCRのIビットが1の場合、あるいは割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、ウォッチモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「5.3.2 スタンバイモードの解除（2） $\overline{\text{RES}}$ 端子による解除」を参照してください。

5.4.3 ウォッチモード解除後の発振安定時間の設定

ウォッチモード解除後の発振安定時間の設定については、「5.3.3 スタンバイモード解除後の発振安定時間の設定」を参照してください。

5.4.4 ウォッチモード前後で外部入力信号が変化する場合の注意事項

「5.3.5 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

5.5 サブスリープモード

5.5.1 サブスリープモードへの遷移

サブアクティブモードで SYSCR1 の SSBY が 0、LSON が 1、TMA の TMA3 が 1 のとき SLEEP 命令を実行すると、サブスリープモードに遷移します。サブスリープモードでは、A/D 変換器、PWM、ウォッチドッグタイマ以外の内蔵周辺機能は動作します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺機能の内部レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

5.5.2 サブスリープモードの解除

サブスリープモードの解除は、割り込み（タイマ A、タイマ C、タイマ F、タイマ G、非同期カウンタ、SCI3-1、SCI3-2、IRQ₄ ~ IRQ₀、WKP₇ ~ WKP₀）、 $\overline{\text{RES}}$ 端子入力によって行われます。

(1) 割り込みによる解除

割り込み要求が発生するとサブスリープモードは解除され、割り込み例外処理を開始します。なお、CCR の I ビットが 1 の場合、あるいは割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、サブスリープモードは解除されません。

なお、割り込み要求信号とシステムクロックの同期をとるため、割り込み要求信号発生から割り込み例外処理開始までに最大 $2/t_{\text{SUB}}$ (s) の遅れが生じることがあります。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「5.3.2 スタンバイモードの解除 (2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

5.6 サブアクティブモード

5.6.1 サブアクティブモードへの遷移

ウォッチモードで割り込み(タイマA、タイマF、タイマG、IRQ₀、WKP₇~WKP₀)が発生したとき、SYSCR1のLSONが1ならば、サブアクティブモードに遷移します。また、サブスリープモードで割り込み(タイマA、タイマC、タイマF、タイマG、非同期カウンタ、SCI3-1、SCI3-2、IRQ₄~IRQ₀、WKP₇~WKP₀)が発生したとき、サブアクティブモードに遷移します。なお、CCRのIビットが1の場合、または割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、サブアクティブモードに遷移しません。

5.6.2 サブアクティブモードの解除

サブアクティブモードの解除は、SLEEP命令または $\overline{\text{RES}}$ 端子入力により行われます。

(1) SLEEP命令による解除

SYSCR1のSSBYが1、TMAのTMA3が1の状態ではSLEEP命令を実行すると、サブアクティブモードは解除され、ウォッチモードに遷移します。また、SYSCR1のSSBYが0、LSONが1、TMAのTMA3が1の状態ではSLEEP命令を実行すると、サブスリープモードに遷移します。また、直接遷移によってアクティブモードへ遷移します。直接遷移の詳細は「5.8 直接遷移」を参照してください。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「5.3.2 (2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

5.6.3 サブアクティブモードの動作周波数について

サブアクティブモードの動作周波数は、SYSCR2のSA1、SA0により、ウォッチクロック(f_w)の2分周、4分周、8分周から選択できます。

5.7 アクティブ（中速）モード

5.7.1 アクティブ（中速）モードへの遷移

スタンバイモードで割り込み（ IRQ_1 、 IRQ_0 、 $WKP_7 \sim WKP_0$ ）が発生したとき、ウォッチモードで割り込み（タイマ A、タイマ F、タイマ G、 IRQ_0 、 $WKP_7 \sim WKP_0$ ）が発生したとき、あるいはスリープモードですべての割り込みが発生したとき、SYSCR1 の LSON が 0 かつ SYSCR2 の MSON が 1 ならば、アクティブ（中速）モードに遷移します。なお、CCR の I ビットが 1 の場合、または割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、アクティブ（中速）モードに遷移しません。

なお、アクティブ（中速）モードへの遷移時に 1/2 ステート早いタイミングで動作することがあります。

5.7.2 アクティブ（中速）モードの解除

アクティブ（中速）モードの解除は、SLEEP 命令により行われます。

(1) SLEEP 命令による解除

SYSCR1 の SSBY が 1、LSON が 0、TMA の TMA3 が 0 の状態で SLEEP 命令を実行すると、スタンバイモードに遷移します。SYSCR1 の SSBY が 1、TMA の TMA3 が 1 の状態で SLEEP 命令を実行すると、ウォッチモードに遷移します。

SYSCR1 の SSBY が 0、LSON が 0 の状態で SLEEP 命令を実行すると、スリープモードに遷移します。直接遷移によってアクティブ（高速）モード、またはサブアクティブモードへ遷移します。

直接遷移の詳細は「5.8 直接遷移」を参照してください。

(2) \overline{RES} 端子による解除

\overline{RES} 端子を Low レベルにすると、リセット状態に遷移し、アクティブ（中速）モードは解除されます。

5.7.3 アクティブ（中速）モードの動作周波数について

アクティブ（中速）モードは、SYSCR1 の MA1、MA0 で設定した周波数のクロックによって動作します。

5.8 直接遷移

5.8.1 直接遷移の概要

CPU がプログラムを実行している動作モードにはアクティブ（高速）モード、アクティブ（中速）モード、サブアクティブモードの3つのモードがあります。この3つの動作モードの間で、プログラムを停止する事なく遷移することを直接遷移と呼びます。直接遷移は SYSCR2 の DTON を 1 にセットし、SLEEP 命令を実行することにより可能です。遷移後は直接遷移割り込み例外処理を開始します。なお、割り込み許可レジスタ 2 (IENR2) により直接遷移割り込みが禁止されている場合は、スリープモードまたはウォッチモードへ遷移します。また、CCR の I ビットを 1 の状態で直接遷移を行うとスリープモードまたはウォッチモードに遷移し、遷移後のモードから割り込みによる解除は不可能となりますので注意してください。

(1) アクティブ（高速）モードからアクティブ（中速）モードへの直接遷移

アクティブ（高速）モードで SYSCR1 の SSBY を 0、LSON を 0、SYSCR2 の MSON を 1、DTON を 1 にセットした状態で SLEEP 命令を実行すると、スリープモードを経由してアクティブ（中速）モードに遷移します。

(2) アクティブ（中速）モードからアクティブ（高速）モードへの直接遷移

アクティブ（中速）モードで SYSCR1 の SSBY を 0、LSON を 0、SYSCR2 の MSON を 0、DTON を 1 にセットした状態で SLEEP 命令を実行すると、スリープモードを経由してアクティブ（高速）モードに遷移します。

(3) アクティブ（高速）モードからサブアクティブモードへの直接遷移

アクティブ（高速）モードで SYSCR1 の SSBY を 1、LSON を 1、SYSCR2 の DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

(4) サブアクティブモードからアクティブ（高速）モードへの直接遷移

サブアクティブモードで SYSCR1 の SSBY を 1、LSON を 0、SYSCR2 の MSON を 0、DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由し、SYSCR1 の STS2 ~ STS0 により設定された時間を経過した後、直接、アクティブ（高速）モードに遷移します。

(5) アクティブ（中速）モードからサブアクティブモードへの直接遷移

アクティブ（中速）モードで SYSCR1 の SSBY を 1、LSON を 1、SYSCR2 の DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

(6) サブアクティブモードからアクティブ（中速）モードへの直接遷移

サブアクティブモードで SYSCR1 の SSBY を 1、LSON を 0、SYSCR2 の MSON を 1、DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由し、SYSCR1 の STS2 ~ STS0 により設定された時間を経過した後、直接、アクティブ（中速）モードに遷移します。

5.8.2 直接遷移の時間

(1) アクティブ（高速）モードからアクティブ（中速）モードへの直接遷移時の時間について

アクティブ（高速）モードからアクティブ（中速）モードへの直接遷移はアクティブ（高速）モードで SYSCR1 の SSBY を 0、LSON を 0、SYSCR2 の MSON を 1、DTON を 1 にセットした状態で SLEEP 命令を実行することによって行われます。この場合の SLEEP 命令実行から割り込み例外処理が終るまでの時間（直接遷移時間）は（1）の計算式で表されます。

$$\text{直接遷移時間} = \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ \times (\text{遷移前の } t_{\text{cyc}}) + (\text{割り込み例外処理実行ステート数}) \\ \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (1)$$

〔例〕直接遷移時間 = (2 + 1) × 2tosc + 14 × 16tosc = 230tosc
 (CPU 動作クロック： /8 を選択した場合)

<記号説明>

tosc : OSC クロックサイクル時間
 tcyc : システムクロック () サイクル時間

(2) アクティブ（中速）モードからアクティブ（高速）モードへの直接遷移時の時間について

アクティブ（中速）モードからアクティブ（高速）モードへの直接遷移はアクティブ（中速）モードで SYSCR1 の SSBY を 0、LSON を 0、SYSCR2 の MSON を 0、DTON を 1 にセットした状態で SLEEP 命令を実行することによって行われます。この場合の SLEEP 命令実行から割り込み例外処理が終るまでの時間（直接遷移時間）は（2）の計算式で表されます。

$$\text{直接遷移時間} = \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ \times (\text{遷移前の } t_{\text{cyc}}) + (\text{割り込み例外処理実行ステート数}) \\ \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (2)$$

〔例〕直接遷移時間 = (2 + 1) × 16tosc + 14 × 2tosc = 76tosc
 (CPU 動作クロック： /8 を選択した場合)

<記号説明>

tosc : OSC クロックサイクル時間
 tcyc : システムクロック () サイクル時間

(3) サブアクティブモードからアクティブ（高速）モードへの直接遷移時の時間について

サブアクティブモードからアクティブ（高速）モードへの直接遷移はサブアクティブモードで SYSCR1 の SSBY を 1、LSON を 0、SYSCR2 の MSON を 0、DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行することによって行われます。この場合の SLEEP 命令実行から割り込み例外処理が終るまでの時間（直接遷移時間）は（3）の計算式で表されます。

$$\text{直接遷移時間} = \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ \times (\text{遷移前の } t_{\text{subcyc}}) + \{ (\text{STS2} \sim \text{STS0} \text{ で設定した待機時間}) \\ + (\text{割り込み例外処理実行ステート数}) \} \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (3)$$

〔例〕直接遷移時間 = (2 + 1) × 8tw + (8192 + 14) × 2tosc = 24tw + 16412tosc
 (CPU 動作クロック： w/8、待機時間：8192 ステートを選択した場合)

<記号説明>

tosc : OSC クロックサイクル時間
 tw : ウォッチクロックサイクル時間
 tcyc : システムクロック () サイクル時間
 tsubcyc : サブクロック (_{SUB}) サイクル時間

(4) サブアクティブモードからアクティブ（中速）モードへの直接遷移時の時間について

サブアクティブモードからアクティブ（中速）モードへの直接遷移はサブアクティブモードで SYSCR1 の SSBY を 1、LSON を 0、SYSCR2 の MSON を 1、DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行することによって行われます。SLEEP 命令実行から割り込み例外処理が終るまでの時間（直接遷移時間）は（4）の計算式で表されます。

$$\begin{aligned} \text{直接遷移時間} = & \{ (\text{SLEEP 命令実行ステート数}) + (\text{内部処理ステート数}) \} \\ & \times (\text{遷移前の } t_{\text{subcyc}}) + \{ (\text{STS2} \sim \text{STS0} \text{ で設定した待機時間}) \\ & + (\text{割り込み例外処理実行ステート数}) \} \times (\text{遷移後の } t_{\text{cyc}}) \dots\dots\dots (4) \end{aligned}$$

〔例〕直接遷移時間 = (2 + 1) × 8tw + (8192 + 14) × 16tosc = 24tw + 131296tosc
(CPU 動作クロック： w/8、 /8、待機時間：8192 ステートを選択した場合)

<記号説明>

tosc : OSC クロックサイクル時間
tw : ウォッチクロックサイクル時間
tcyc : システムクロック () サイクル時間
tsubcyc : サブクロック (SUB) サイクル時間

5.8.3 直接遷移前後で外部入力信号が変化する場合の注意事項

(1) アクティブ（高速）モードからサブアクティブモードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「5.3.5 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

(2) アクティブ（中速）モードからサブアクティブモードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「5.3.5 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

(3) サブアクティブモードからアクティブ（高速）モードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「5.3.5 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

(4) サブアクティブモードからアクティブ（中速）モードへの直接遷移

ウォッチモードを経由してモード遷移を行いますので「5.3.5 スタンバイモード前後で外部入力信号が変化する場合の注意事項」を参照してください。

5.9 モジュールスタンバイモード

5.9.1 モジュールスタンバイモードの設定

モジュールスタンバイモードは各周辺機能ごとに設定します。搭載されているすべての周辺モジュールはモジュールスタンバイモードに設定可能です。モジュールスタンバイモードに設定されると、モジュールへのシステムクロックの供給は停止され、機能は停止し、スタンバイモードと同じ状態になります。

モジュールスタンバイモードの設定はクロック停止レジスタ 1 (CKSTPR1) とクロック停止レジスタ 2 (CKSTPR2) の各ビットを 0 に設定することにより行います。(表 5.5 参照)

5.9.2 モジュールスタンバイモードの解除

モジュールスタンバイモードの解除はクロック停止レジスタ 1 (CKSTPR1) とクロック停止レジスタ 2 (CKSTPR2) の各ビットを 1 に設定することにより行います。(表 5.5 参照)

なお、リセット直後、クロック停止レジスタ 1 (CKSTPR1) とクロック停止レジスタ 2 (CKSTPR2) は各々 FF、FF に初期化されています。

表 5.5 クロック停止レジスタによるモジュールスタンバイモードの設定および解除

レジスタ名	ビット名		動作
CKSTPR1	TACKSTP	1	タイマ A のモジュールスタンバイモードは解除される
		0	タイマ A はモジュールスタンバイモードに設定される
	TCCKSTP	1	タイマ C のモジュールスタンバイモードは解除される
		0	タイマ C はモジュールスタンバイモードに設定される
	TFCKSTP	1	タイマ F のモジュールスタンバイモードは解除される
		0	タイマ F はモジュールスタンバイモードに設定される
	TGCKSTP	1	タイマ G のモジュールスタンバイモードは解除される
		0	タイマ G はモジュールスタンバイモードに設定される
	ADCKSTP	1	A/D 変換器のモジュールスタンバイモードは解除される
		0	A/D 変換器はモジュールスタンバイモードに設定される
	S32CKSTP	1	SCI3-2 のモジュールスタンバイモードは解除される
		0	SCI3-2 はモジュールスタンバイモードに設定される
CKSTPR1	S31CKSTP	1	SCI3-1 のモジュールスタンバイモードは解除される
		0	SCI3-1 はモジュールスタンバイモードに設定される
CKSTPR2	LDCKSTP	1	LCD のモジュールスタンバイモードは解除される
		0	LCD はモジュールスタンバイモードに設定される
	PWCKSTP	1	PWM のモジュールスタンバイモードは解除される
		0	PWM はモジュールスタンバイモードに設定される
	WDCKSTP	1	ウォッチドッグタイマのモジュールスタンバイモードは解除される
		0	ウォッチドッグタイマはモジュールスタンバイモードに設定される
	AECKSTP	1	非同期イベントカウンタのモジュールスタンバイモードは解除される
		0	非同期イベントカウンタはモジュールスタンバイモードに設定される

【注】 各モジュールごとの動作の詳細は、各モジュールの章参照

5.9.3 使用上の注意事項

周辺モジュールが割り込み要求を出しているタイミングで当該モジュールをモジュールスタンバイモードに設定すると、割り込み要求を出したまま当該モジュールが停止します。この状態では割り込みを禁止しない限り、割り込み処理を繰り返してデッドロックに陥ります。

そのため、モジュールスタンバイモードに設定する場合は割り込みが発生しない状態で行ってください。確実なのは割り込み禁止状態(割り込み許可レジスタによる禁止またはCCR-Iビットによる割り込みマスク)でモジュールスタンバイモードに設定する方法です。

6. ROM

6.1 概要

H8/3822R、H8/38322、H8/38422 は 16K バイト、H8/3823R、H8/38323、H8/38423 は 24K バイト、H8/3824R、H8/3824S、H8/38324、H8/38424 は 32K バイト、H8/3825R、H8/3825S、H8/38325、H8/38425 は 40K バイト、H8/3826R、H8/3826S、H8/38326、H8/38426 は 48K バイト、H8/3827R、H8/3827S、H8/38327、H8/38427 は 60K バイトのマスキング ROM を内蔵しています。ROM は 16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータにかかわらず 2 ステートの高速アクセスが可能です。H8/3827R には ZTAT 版があり、60K バイトの PROM を備えています。

なお、H8/3827S シリーズには ZTAT 版はありません。H8/3827R ZTAT 版をご使用ください。H8/38327 と H8/38427 の F-ZTAT™ 版は 60K バイトのフラッシュメモリ、H8/38324 と H8/38424 の F-ZTAT™ 版は 32K バイトのフラッシュメモリを備えています。

6.1.1 ブロック図

ROM のブロック図を図 6.1 に示します。

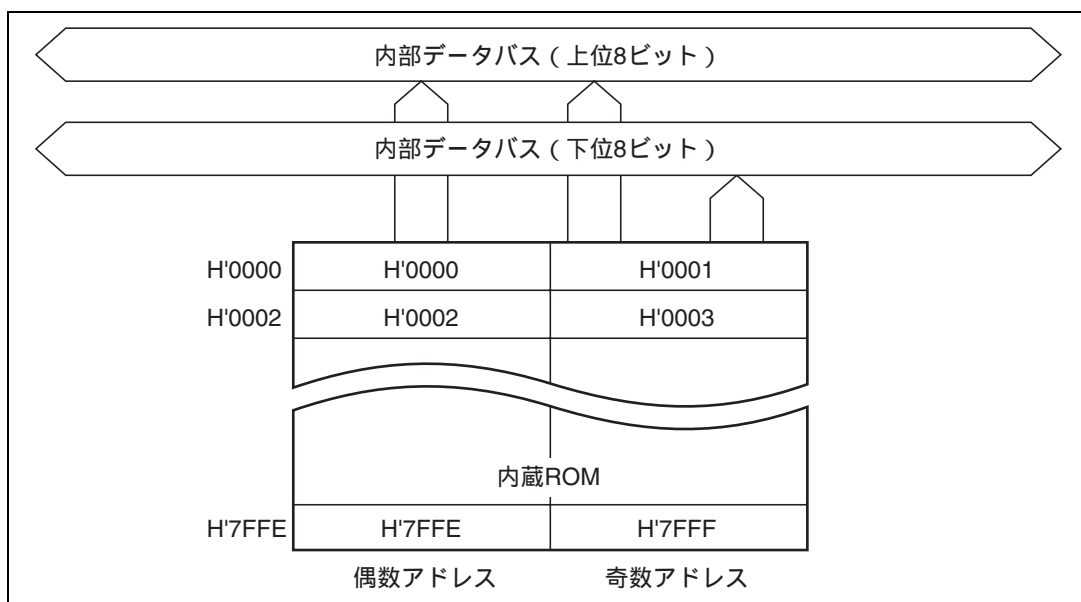


図 6.1 ROM のブロック図 (H8/3824R、H8/3824S、H8/38324、H8/38424 の場合)

6.2 H8/3827R の PROM モード

6.2.1 PROM モードの設定

内蔵 ROM が PROM の場合、PROM モードに設定すると、マイクロコンピュータとしての機能が停止して、HN27C101 と同一の方法で内蔵 PROM のプログラムを行うことができます。ただし、ページプログラミング方式はサポートしていません。

PROM モードの設定方法を、表 6.1 に示します。

表 6.1 PROM モードの設定

端子名	設定
TEST 端子	High レベル
PB ₄ /AN ₄ 端子	Low レベル
PB ₅ /AN ₅ 端子	
PB ₆ /AN ₆ 端子	High レベル

6.2.2 ソケットアダプタの端子対応とメモリマップ

PROM のプログラムは、表 6.2 で示すようにパッケージに対応したソケットアダプタを付けて、32 ピンに変換し、汎用 PROM ライタでプログラミングを行います。

ソケットアダプタの端子対応図を図 6.2 に示します。また、メモリマップを図 6.3 に示します。

表 6.2 ソケットアダプタ

パッケージ名	ソケットアダプタの名称 (メーカー)
80 ピン (FP-80B)	ME3867ESFS1H (MINATO)
	H7386BQ080D3201 (DATA-I/O)
80 ピン (FP-80A)	ME3867ESHS1H (MINATO)
	H7386AQ080D3201 (DATA-I/O)
80 ピン (TFP-80C)	ME3867ESNS1H (MINATO)
	H7386CT080D3201 (DATA-I/O)

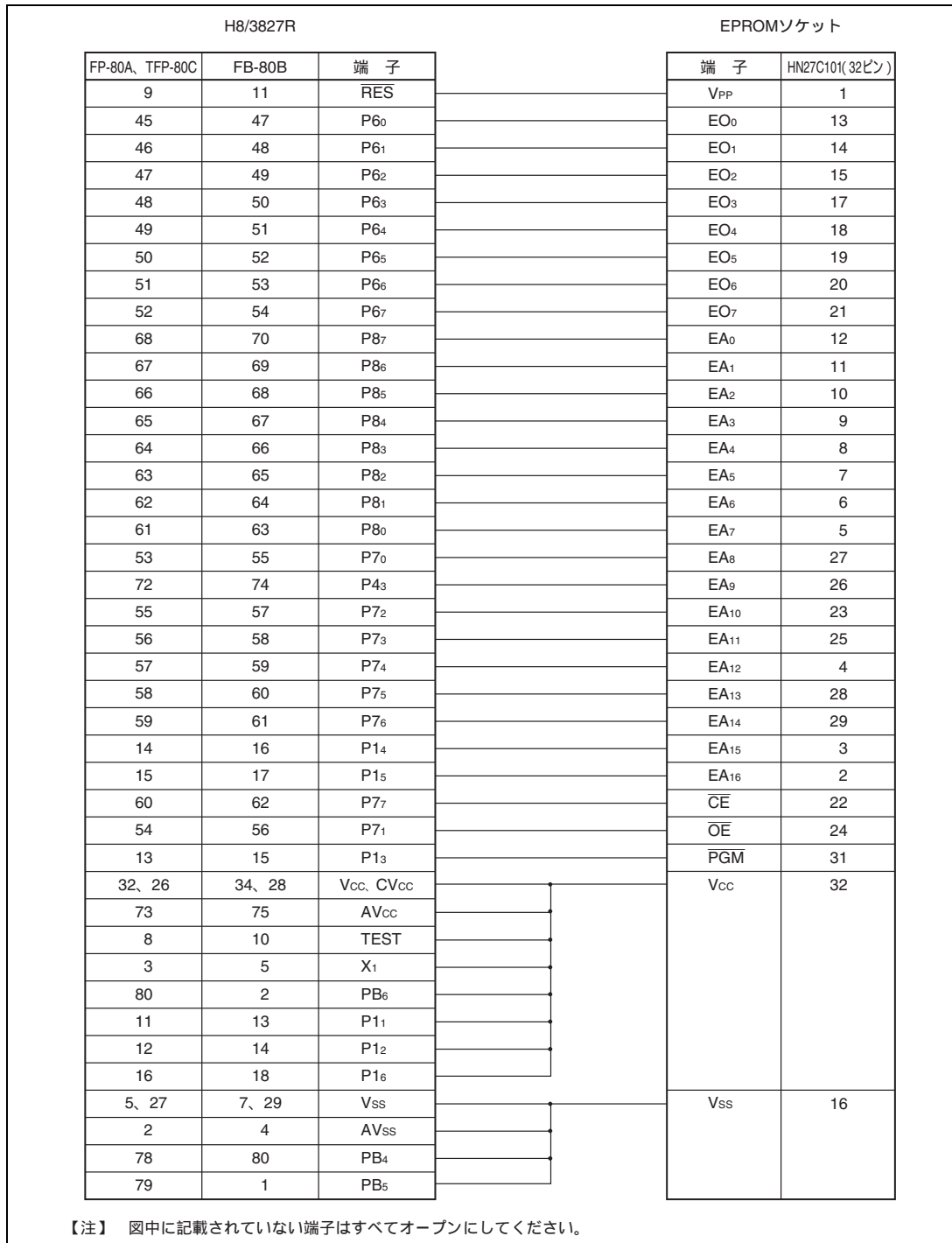


図 6.2 ソケットアダプタの端子対応図 (HN27C101)

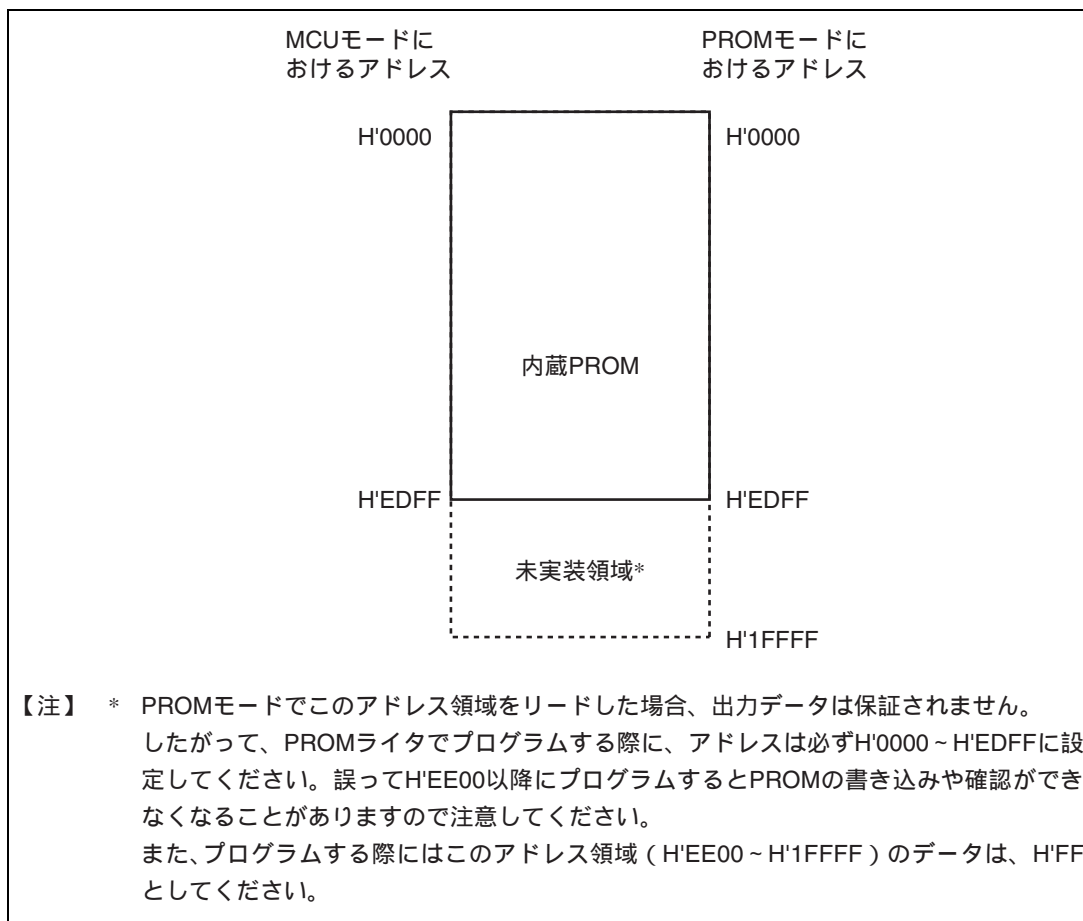


図 6.3 H8/3827R の PROM モード時のメモリマップ

6.3 H8/3827R のプログラミング

H8/3827R の PROM モード時の書き込み、ベリファイなどのモード選択は、表 6.3 に示すような設定により行います。

表 6.3 PROM モード時の書き込みモードの選択 (H8/3827R)

モード	ピン						
	CE	OE	PGM	V _{pp}	V _{cc}	EO ₇ ~ EO ₀	EA ₁₆ ~ EA ₀
書き込み	L	H	L	V _{pp}	V _{cc}	データ入力	アドレス入力
ベリファイ	L	L	H	V _{pp}	V _{cc}	データ出力	アドレス入力
プログラミング禁止	L	L	L	V _{pp}	V _{cc}	ハイインピーダンス	アドレス入力
	L	H	H				
	H	L	L				
	H	H	H				

記号説明

L : Low レベル
 H : High レベル
 V_{pp} : V_{pp} レベル
 V_{cc} : V_{cc} レベル

なお、書き込み、読み出しは、標準 EPROM HN27C101 と同じ仕様になっています。ただし、ページプログラミング方式はサポートしていませんので、ページプログラミングモードに設定しないでください。ページプログラミングモードのみをサポートしている PROM ライタは使用できません。PROM ライタを選択する場合には、1 バイトごとの高速高信頼度プログラミング方式をサポートしていることを確認してください。また、アドレスは必ず H'0000 ~ H'EDFF に設定してください。

6.3.1 書き込み / ベリファイ

書き込み / ベリファイは効率のよい高速高信頼度プログラミング方式で行うことができます。この方式は、デバイスへの電圧ストレス、あるいは書き込みデータの信頼性を損なうことなく高速な書き込みを行うことができます。

高速高信頼度プログラミングの基本的なフローを図 6.4 に示します。

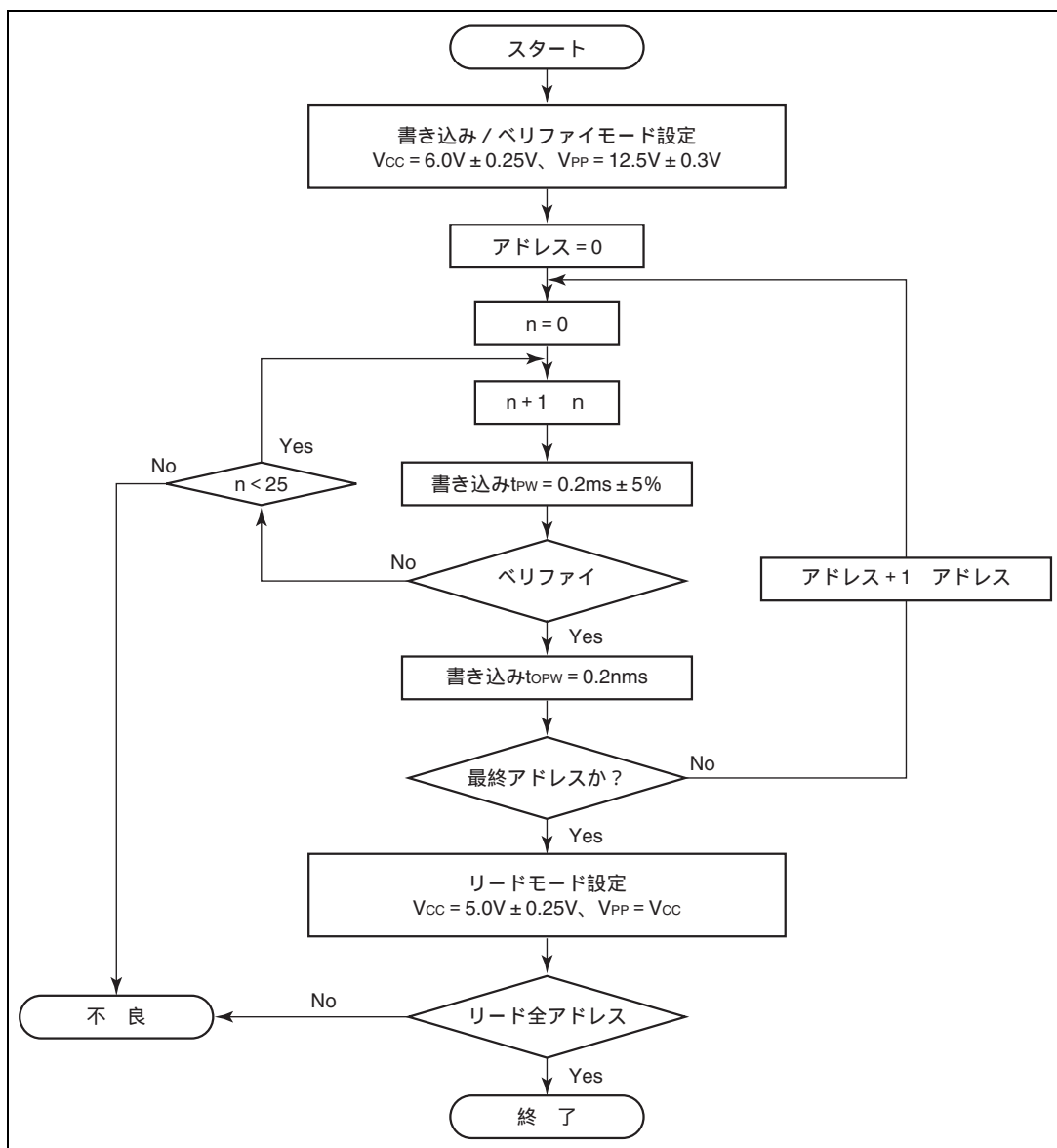


図 6.4 高速高信頼度プログラミングフローチャート

プログラミング時の電気的特性を表 6.4、表 6.5 に示します。

表 6.4 DC 特性

(条件: $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	min	typ	max	単位	測定条件
入力 High レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ OE、CE、PGM	V_{IH}	2.4		$V_{CC} + 0.3$	V
入力 Low レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ OE、CE、PGM	V_{IL}	- 0.3		0.8	V
出力 High レベル電圧	$EO_7 \sim EO_0$	V_{OH}	2.4			V $I_{OH} = - 200\mu A$
出力 Low レベル電圧	$EO_7 \sim EO_0$	V_{OL}			0.45	V $I_{OL} = 0.8mA$
入力 リーク電流	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ OE、CE、PGM	$ I_L $			2	μA $V_{in} = 5.25V/0.5V$
V_{CC} 電流		I_{CC}			40	mA
V_{PP} 電流		I_{PP}			40	mA

表 6.5 AC 特性

(条件: $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $T_a = 25 \pm 5$)

項目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間	t_{AS}	2			μs	図 6.5*1
OE セットアップ時間	t_{OES}	2			μs	
データセットアップ時間	t_{DS}	2			μs	
アドレスホールド時間	t_{AH}	0			μs	
データホールド時間	t_{DH}	2			μs	
データ出力ディスエーブル時間	t_{DF}^{*2}			130	ns	
V_{PP} セットアップ時間	t_{VPS}	2			μs	
プログラムパルス幅	t_{PW}	0.19	0.20	0.21	ms	
オーバプログラム時の PGM パルス幅	t_{OPW}^{*3}	0.19		5.25	ms	
V_{CC} セットアップ時間	t_{VCS}	2			μs	
OE セットアップ時間	t_{CES}	2			μs	
データ出力遅延時間	t_{OE}	0		200	ns	

【注】 *1 入力パルスレベル : 0.45 ~ 2.4V
 入力立ち上がり / 立ち下がり時間 20ns
 タイミング参照レベル 入力 : 0.8V、2.0V
 出力 : 0.8V、2.0V

*2 t_{DF} は出力が開放状態に達し、出力レベルを参照できなくなった場合で定義します。

*3 t_{OPW} は図 6.4 高性能プログラミングフローチャートに記載した値で定義されます。

6. ROM

PROM の書き込み / ベリファイタイミングを図 6.5 に示します。

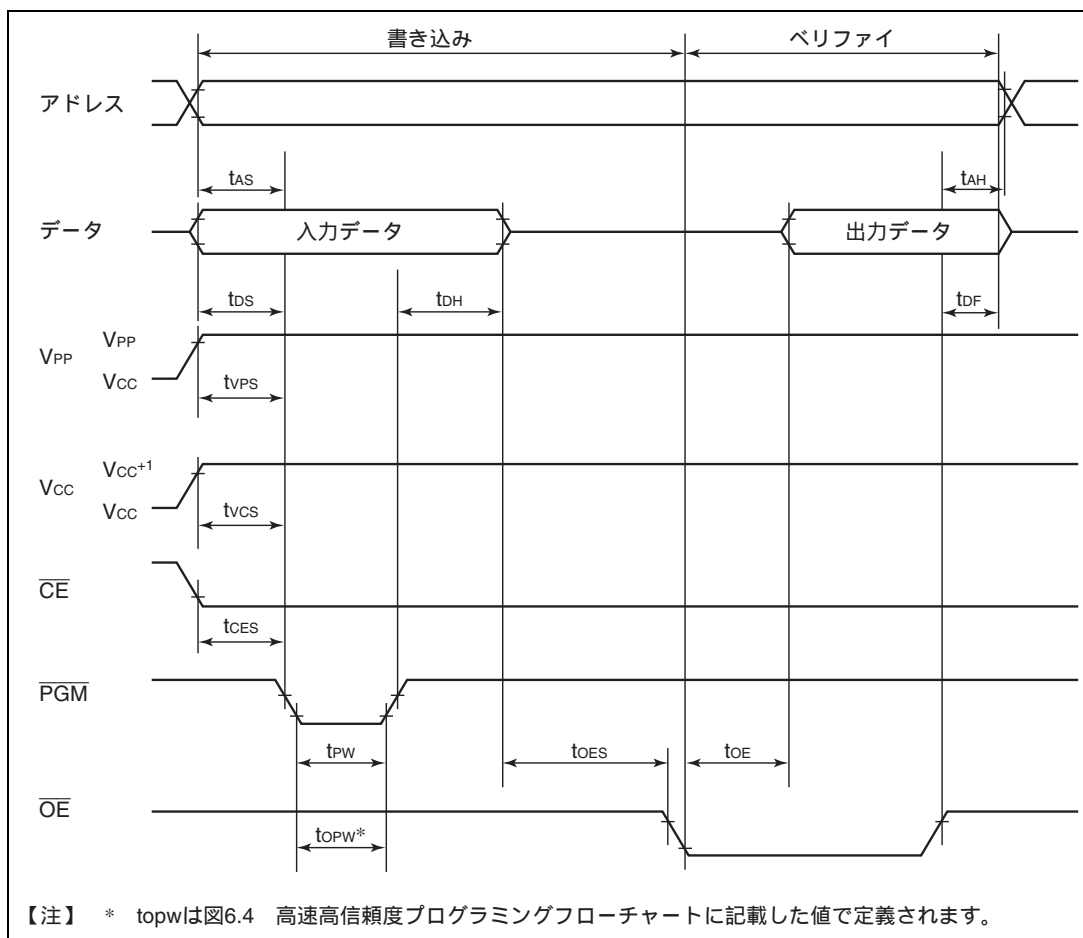


図 6.5 PROM 書き込み / ベリファイタイミング

6.3.2 書き込み時の注意

- (1) 書き込みは規定された電圧、タイミングで行ってください。
PROMモード時のプログラム電圧 (V_{pp}) は12.5Vです。
定格以上の電圧を加えると、製品の永久破壊に至りますので、注意してください。特にPROMライタのオーバシュートなどには十分注意してください。
PROMライタのHN27C101のルネサス仕様にセットすると、 V_{pp} は12.5Vになります。
- (2) PROMライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していないと、過剰電流によって製品が破壊することがあります。書き込み前に正しくPROMライタに装着されていることを必ず確認してください。
- (3) 書き込み中はソケットアダプタおよび製品には触れないようにしてください。接触不良により書き込み不良となる場合があります。
- (4) プログラミングモードは、ページプログラミング方式をサポートしていませんので、プログラミングモードの設定には注意してください。
- (5) PROMライタでプログラムする際に、アドレスは必ずH'0000 ~ H'EDFFに設定してください。誤ってH'EE00以降にプログラムすると、PROMの書き込みや確認ができなくなることがありますので注意してください。またプログラムする際にはH'EE00 ~ H'1FFFFのアドレス領域のデータはH'FFとしてください。

6.4 書き込み後の信頼性

データ書き込み後、データ保持特性を向上させるために、150 の高温放置をしてスクリーニングを行うと大変有効です。高温放置は、スクリーニングのひとつであり、PROM メモリセルの初期のデータ保持不良を短時間で除くことができます。

図 6.6 に推奨するスクリーニングフローを示します。

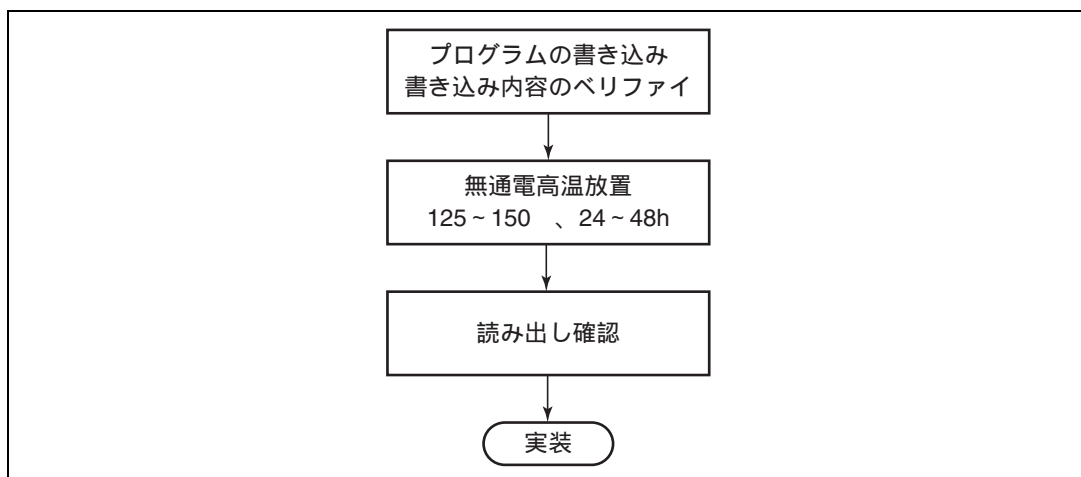


図 6.6 推奨スクリーニングフロー

同じ PROM ライタでプログラミング中、書き込み不良が連続して発生した場合には書き込みを中止し、PROM ライタ、ソケットアダプタなどに異常がないか確認してください。

なお、書き込みあるいは高温放置後のプログラム確認において異常がありましたら、当社技術担当にご連絡ください。

6.5 フラッシュメモリの概要

6.5.1 特長

F-ZTAT™版に内蔵している60Kバイト、32Kバイトフラッシュメモリの特長は以下のとおりです。

- 書き込み / 消去方式
書き込みは128バイト単位の同時書き込み方式です。消去はブロック単位で行います。60Kバイトフラッシュメモリは1Kバイト×4ブロック、28Kバイト×1ブロック、16Kバイト×1ブロック、8Kバイト×1ブロック、4Kバイト×1ブロックに分割されています。32Kバイトフラッシュメモリは1Kバイト×4ブロックと28Kバイト×1ブロックに分割されています。全面消去を行う場合も1ブロックずつ消去してください。
- 書き換え回数
1000回まで書き換え可能です。
- オンボードプログラミング
内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み / 消去ができます。このほか、通常のユーザモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。
- ライタモード
オンボードプログラミングの他にPROMライタを用いて書き込み / 消去を行うライタモードがあります。
- ビットレート自動合わせ込み
ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動的に合わせ込みます。
- 書き込み / 消去プロテクト
ソフトウェアによりフラッシュメモリの書き込み / 消去に対するプロテクトを設定できます。
- 低消費電力モード
サブアクティブモードでは電源回路の一部を停止させて低消費電力モードで読み出せます。

6.5.2 ブロック図

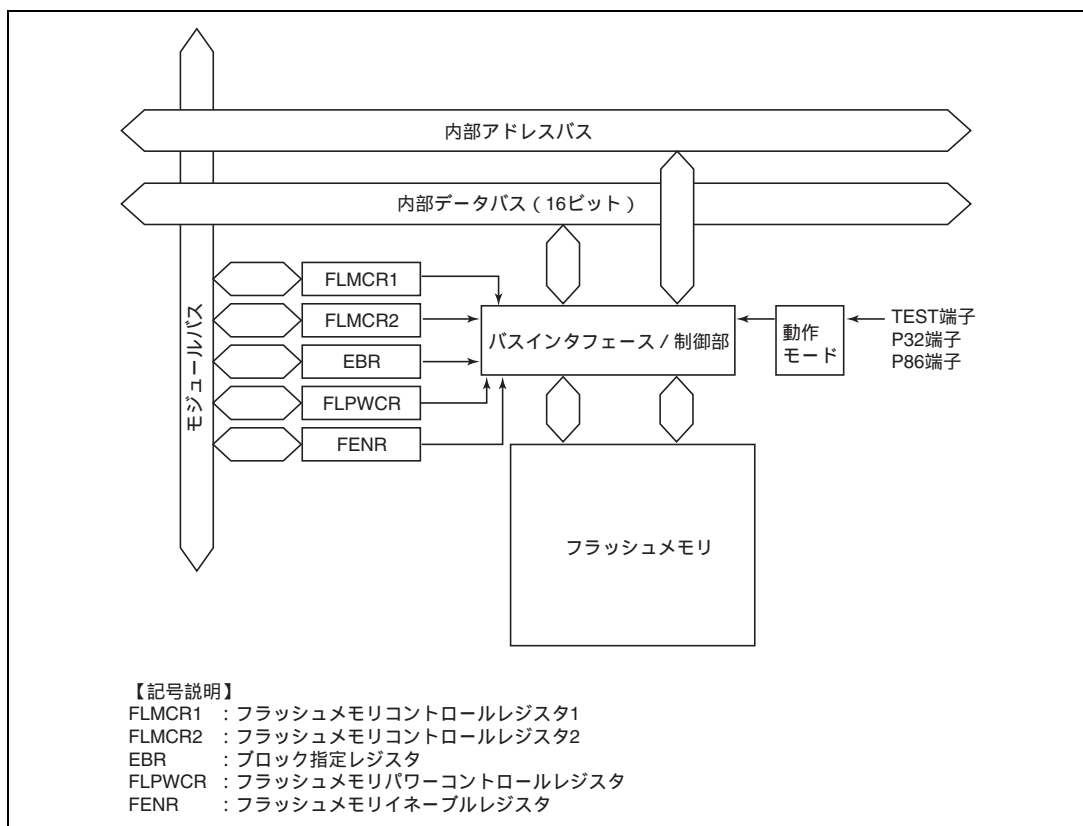


図 6.7 フラッシュメモリのブロック図

6.5.3 ブロック構成

図 6.8 にフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。フラッシュメモリは 1K バイト×4 ブロック、28K バイト×1 ブロック、16K バイト×1 ブロック、8K バイト×1 ブロック、4K バイト×1 ブロックに分割されていて、消去はこの単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。

消去単位 1Kバイト	H'0000	H'0001	H'0002	書き込み単位128バイト	H'007F
	H'0080	H'0081	H'0082		H'00FF
消去単位 1Kバイト	H'0380	H'0381	H'0382		H'03FF
	H'0400	H'0401	H'0402	書き込み単位128バイト	H'047F
	H'0480	H'0481	H'0482		H'04FF
消去単位 1Kバイト					
	H'0780	H'0781	H'0782		H'07FF
	H'0800	H'0801	H'0802	書き込み単位128バイト	H'087F
消去単位 1Kバイト	H'0880	H'0881	H'0882		H'080F
	H'0B80	H'0B81	H'0B82		H'0BFF
消去単位 1Kバイト	H'0C00	H'0C01	H'0C02	書き込み単位128バイト	H'0C7F
	H'0C80	H'0C81	H'0C82		H'0CFF
消去単位 1Kバイト	H'0F80	H'0F81	H'0F82		H'0FFF
	H'1000	H'1001	H'1002	書き込み単位128バイト	H'107F
	H'1080	H'1081	H'1082		H'10FF
消去単位 28Kバイト					
	H'7F80	H'7F81	H'7F82		H'7FFF
	H'8000	H'8001	H'8002	書き込み単位128バイト	H'807F
消去単位 16Kバイト	H'8080	H'8081	H'8082		H'8CFF
	H'BF80	H'BF81	H'BF80		H'BFFF
消去単位 8Kバイト	H'C000	H'001	H'C002	書き込み単位128バイト	H'C07F
	H'C080	H'C081	H'C082		H'CCFF
消去単位 4Kバイト	H'DF80	H'DF81	H'BF8		H'DFFF
	H'E000	H'E001	H'E002	書き込み単位128バイト	H'E07F
	H'E080	H'E081	H'E082		H'ECFF
	H'EF80	H'EF81	H'EF82		H'EFFF

図 6.8 フラッシュメモリのブロック構成

6.5.4 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタ構成を表 6.5 に示します。

表 6.5 レジスタ構成

名称	略称	R/W	初期値	アドレス
フラッシュメモリコントロールレジスタ 1	FLMCR1	R/W	H'00	H'F020
フラッシュメモリコントロールレジスタ 2	FLMCR2	R	H'00	H'F021
フラッシュメモリパワーコントロールレジスタ	FLPWCR	R/W	H'00	H'F022
ブロック指定レジスタ	EBR	R/W	H'00	H'F023
フラッシュメモリイネーブルレジスタ	FENR	R/W	H'00	H'F02B

【注】 FLMCR1、FLMCR2、FLPWCR、EBR、FENR は 8 ビットのレジスタです。バイトアクセスのみ有効で 2 ステートアクセスとなります。またこれらはフラッシュメモリ内蔵品専用レジスタです。PROM 内蔵品およびマスク ROM 内蔵品には存在しません。これらの製品で当該アドレスをリードすると値は不定となります。また、ライトは無効です。

6.6 フラッシュメモリのレジスタの説明

6.6.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

ビット:	7	6	5	4	3	2	1	0
		SWE	ESU	PSU	EV	PV	E	P
初期値:	0	0	0	0	0	0	0	0
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W

FLMCR1 はフラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については「6.8 書き込み/消去プログラム」を参照してください。本レジスタの設定により、プログラムモード/イレースモード/プログラムベリファイモード/イレースベリファイモードへと遷移します。フラッシュメモリを通常の内蔵 ROM として読み出す際には、本レジスタのビット 6~0 をクリアした状態にしてください。

ビット 7: リザーブビット

リザーブビットです。読み出すと常に 0 が読み出されます。

ビット6：ソフトウェアライトイネーブル（SWE）

フラッシュメモリの書き込み/消去の有効または無効を選択するビットです（ビット5～0、EBRレジスタをセットするときにセットしてください）。

ビット6	
SWE	説明
0	書き込み/消去無効。FLMCR1レジスタの他のビットとEBRの各ビットはセットできません。 (初期値)
1	フラッシュメモリの書き込み/消去が可能となります。

ビット5：イレースセットアップ（ESU）

イレースモードへの遷移の準備をするビットです。FLMCR1のEビットを1にセットする前に1にセットしてください（SWE、PSU、EV、PV、E、Pビットを同時に設定しないでください）。

ビット5	
ESU	説明
0	イレースセットアップ状態を解除 (初期値)
1	イレースセットアップ状態に遷移。FLMCR1のEビットを1にセットする前にセットしてください。

ビット4：プログラムセットアップ（PSU）

プログラムモードへの遷移の準備をするビットです。FLMCR1のPビットを1にセットする前に1にセットしてください（SWE、ESU、EV、PV、E、Pビットを同時に設定しないでください）。

ビット4	
PSU	説明
0	プログラムセットアップ状態を解除 (初期値)
1	プログラムセットアップ状態に遷移。FLMCR1のPビットを1にセットする前にセットしてください。

ビット3：イレースベリファイ（EV）

イレースベリファイモードへの遷移、解除を選択するビットです（SWE、ESU、PSU、PV、E、Pビットを同時に設定しないでください）。

ビット3	
EV	説明
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移

6. ROM

ビット2：プログラムベリファイ (PV)

プログラムベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、E、P ビットを同時に設定しないでください)。

ビット2	説明
PV	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移

ビット1：イレース (E)

イレースモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、PV、P ビットを同時に設定しないでください)。

ビット1	説明
E	
0	イレースモードを解除 (初期値)
1	SWE = 1、ESU = 1 の状態でこのビットを 1 にセットするとイレースモードへ遷移します。

ビット0：プログラム (P)

プログラムモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、PV、E ビットを同時に設定しないでください)。

ビット0	説明
P	
0	プログラムモードを解除 (初期値)
1	SWE = 1、PSU = 1 の状態でこのビットを 1 にセットするとプログラムモードへ遷移します。

6.6.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

ビット：	7	6	5	4	3	2	1	0
	FLER							
初期値：	0	0	0	0	0	0	0	0
R/W：	R							

FLMCR2 はフラッシュメモリの書き込み / 消去の状態を表示します。FLMCR2 は読み出し専用レジスタです。書き込みはしないでください。

ビット7：フラッシュメモリエラー（FLER）

このビットはフラッシュメモリへの書き込み / 消去中にエラーを検出し、エラープロテクト状態となったときセットされます。詳細は「6.9.3 エラープロテクト」を参照してください。

ビット7	説明
FLER	
0	フラッシュメモリは正常に動作しています。 (初期値)
1	フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効。

ビット6～0：リザーブビット

リザーブビットです。読み出すと常に0が読み出されます。

6.6.3 ブロック指定レジスタ（EBR）

ビット：	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

EBR はフラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1 の SWE ビットが 0 のときは EBR は H'00 に初期化されます。このレジスタは 2 ビット以上同時に 1 に設定しないでください。設定すると EBR は 0 にオートクリアされます。EBR の各ビットを 1 にセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。フラッシュメモリのブロック分割方法は、表 6.6 を参照してください。全面消去をする場合は、各ブロック単位に順次消去してください。

表 6.6 消去ブロックの分割

EBR のビット	ビット名	ブロック (サイズ)	アドレス
0	EB0	EB0 (1K バイト)	H'0000 ~ H'03FF
1	EB1	EB1 (1K バイト)	H'0400 ~ H'07FF
2	EB2	EB2 (1K バイト)	H'0800 ~ H'0BFF
3	EB3	EB3 (1K バイト)	H'0C00 ~ H'0FFF
4	EB4	EB4 (28K バイト)	H'1000 ~ H'7FFF
5	EB5	EB5 (16K バイト)	H'8000 ~ H'BFFF
6	EB6	EB6 (8K バイト)	H'C000 ~ H'DFFF
7	EB7	EB7 (4K バイト)	H'E000 ~ H'FFFF

6. ROM

6.6.4 フラッシュメモリパワーコントロールレジスタ (FLPWCR)

ビット:	7	6	5	4	3	2	1	0
	PDWND							
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

LSIがサブアクティブモードに遷移するときフラッシュメモリを低消費電力モードにするかどうかを選択します。低消費電力モードでは電源回路の一部が停止しますが、サブアクティブモードでは読み出し可能です。

ビット7: パワーダウンドイスエーブル (PDWND)

サブアクティブモードに遷移するときのフラッシュメモリの低消費電力モードを選択します。

ビット7	説明
PDWND	
0	PDWND=0の状態ではサブアクティブモードに遷移するとフラッシュメモリは低消費電力モードとなります。(初期値)
1	PDWND=1の状態ではサブアクティブモードに遷移するとフラッシュメモリは通常モードで動作します。

ビット6~0: リザーブビット

リザーブビットです。読み出すと常に0が読み出されます。

6.6.5 フラッシュメモリエnableレジスタ (FENR)

ビット:	7	6	5	4	3	2	1	0
	FLSHE							
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

FENRはフラッシュメモリの制御レジスタ FLMCR1、FLMCR2、EBR、FLPWCRのCPUからのアクセスを制御します。

ビット7: フラッシュメモリコントロールレジスタenable (FLSHE)

フラッシュメモリ制御レジスタのアクセスを制御します。

ビット7	説明
FLSHE	
0	フラッシュメモリ制御レジスタにアクセスできません。(初期値)
1	フラッシュメモリ制御レジスタにアクセスできます。

ビット6~0：リザーブビット

リザーブビットです。読み出すと常に0が読み出されます。

6.7 オンボードプログラミング

フラッシュメモリの書き込み/消去を行うためのモードとしてオンボードで書き込み/消去ができるブートモードとPROMライターで書き込み/消去を行うライターモードが用意されています。このほかユーザモードでもオンボードで書き込み/消去を行うことが可能です。リセット状態からリセットスタートするとTEST端子、P32端子およびポートの入力レベルによって表6.7のように異なるモードへ遷移します。各端子の入力レベルは少なくともリセット解除の4ステート前に確定させる必要があります。

ブートモードに遷移すると、LSI内部に組み込まれているブートプログラムが起動します。ブートプログラムはSCI32を経由して外部に接続されたホストから書き込み制御プログラムを内蔵RAMに転送し、フラッシュメモリを全面消去したうえで書き込み制御プログラムを実行します。オンボード状態での初期書き込みや、ユーザモードで書き込み/消去ができなくなった場合の強制復帰などに使用できます。ユーザモードではユーザが用意した書き込み/消去プログラムに分岐することで任意のブロックを消去し書き換えることができます。

表 6.7 プログラミングモード選択方法

TEST	P32	P86	PB0	PB1	PB2	リセット解除後のLSIの状態
0	1	X	X	X	X	ユーザモード
0	0	1	X	X	X	ブートモード
1	X	X	0	0	0	ライターモード

【注】 X：Don't care

6.7.1 ブートモード

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表 6.8 に示します。本 LSI のブートモードでは SCI32 を使用します。

- (1) ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは「6.8 書き込み/消去プログラム」に沿ったものを用意してください。
- (2) SCI3は調歩同期式モードに設定され、送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。また、SPCRレジスタによるTXD端子、RXD端子の反転機能は「反転しない」に設定してありますので、ホスト～本LSI間に値反転の回路は入れないでください。
- (3) ブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データH'00のLow期間を測定してビットレートを計算し、SCI3のビットレートをホストのビットレートに合わせ込みます。リセット解除はRXD端子がHighの状態で行ってください。必要に応じてRXD端子およびTXD端子は、ボード上でプルアップしてください。リセット解除からLow期間を測定できるまで約100ステートかかります。
- (4) ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を表6.9の範囲としてください。
- (5) ブートモードでは内蔵RAMの一部をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアはH'F780～H'FEFF番地です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。
- (6) 書き込み制御プログラムに分岐するときSCI3は送受信動作を終了(SCR3のRE=0、TE=0)しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやペリファイデータの送受信に使用できます。TXD端子はHighレベル出力状態(PCR42=1、P42=1)となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。
- (7) ブートモードはリセットにより解除されます。リセット端子をLowレベルにして最低20ステート経過後、TEST端子とP32端子を設定してリセットを解除してください。WDTのオーバフローリセットが発生した場合もブートモードは解除されます。
- (8) ブートモードの途中でTEST端子、P32端子の入力レベルを変化させないでください。

表 6.8 ブートモードの動作

項目	ホストの動作	LSI の動作
		リセットスタート後ブートプログラムへ分岐
ビットレート調整	所定のビットレートでデータ H'00 を連続送信	受信データ H'00 の Low 期間を測定 ビットレートを計算し、SCI3 の BBR を設定 ビットレート調整終了の合図として H'00 を 1 バイト送信
メモリ消去	H'00 を正常に受信したら H'55 を 1 バイト送信	フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへ H'AA を送信 消去できなかった場合は H'FF を送信して、動作を停止
書き込み制御プログラムのバイト数転送	転送する書き込み制御プログラムのバイト数 (N) を上位バイト、下位バイトの順に 2 バイト送信	受信した 2 バイトのデータをホストへエコーバック
書き込み制御プログラムの転送 (N 回繰り返し)	書き込み制御プログラムを 1 バイト送信	受信したデータをホストにエコーバックするとともに RAM へ転送
書き込み制御プログラムの実行		ホストへ H'AA を 1 バイト送信 内蔵 RAM に転送された書き込み制御プログラムへ分岐し実行を開始

表 6.9 ビットレート自動合わせ込みが可能な発振周波数 (fosc)

製品グループ	ホストのビットレート	LSI の発振周波数範囲 (fosc)
H8/38327F-ZTAT	19200bps	16MHz
H8/38324F-ZTAT	9600bps	8 ~ 16MHz
H8/38427F-ZTAT	4800bps	6 ~ 16MHz
H8/38424F-ZTAT	2400bps	2 ~ 16MHz
	1200bps	2 ~ 16MHz

6.7.2 ユーザモードでの書き込み / 消去

ユーザモードとはユーザプログラムの実行状態です。ユーザモードでもユーザが用意した書き込み / 消去プログラムに分岐することで任意のブロックをオンボードで消去し書き換えることができます。分岐のための条件設定やオンボードでの書き換えデータ供給手段をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み / 消去プログラムを書き込んでおくか、書き込み / 消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み / 消去中はフラッシュメモリを読み出せないため、ブートモードと同様書き込み / 消去プログラムは内蔵 RAM に転送して実行してください。図 6.9 にユーザモードでの書き込み / 消去手順の例を示します。書き込み / 消去プログラムは「6.8 書き込み / 消去プログラム」に沿ったものを用意してください。

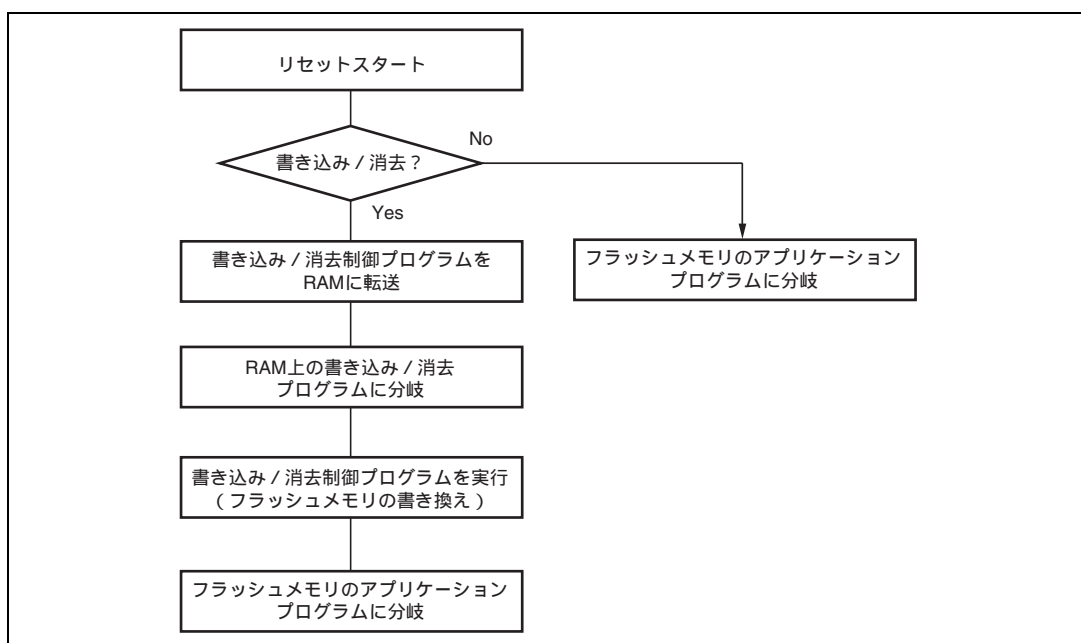


図 6.9 ユーザモードにおける書き込み/消去例

6.8 書き込み/消去プログラム

オンボードでのフラッシュメモリの書き込み/消去はCPUを用いてソフトウェアで行う方式を採用しています。フラッシュメモリはFLMCR1の設定によってプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザモードでの書き込み/消去プログラムではこれらのモードを組み合わせで書き込み/消去を行います。フラッシュメモリへの書き込みは「6.8.1 プログラム/プログラムベリファイ」に沿って、また、フラッシュメモリの消去は「6.8.2 イレース/イレースベリファイ」に沿って行ってください。

6.8.1 プログラム/プログラムベリファイ

フラッシュメモリへの書き込みは、図 6.10 に示すプログラム/プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損なうことなく書き込みを行うことができます。

- (1) 書き込みは消去状態で行い、すでに書き込まれたアドレスへの再書き込みは行わないでください。
- (2) 1回の書き込みは128バイト単位です。128バイトに満たないデータを書き込む場合もフラッシュメモリに128バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んでください。
- (3) RAM上に書き込みデータエリア128バイト、再書き込みデータエリア128バイト、追加書き込みデータエリア128バイトの領域を確保してください。再書き込みデータの演算は表6.10に、追加書き込みデータの演算は表6.11に従ってください。
- (4) 再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへはバイト単位で128バイト連続転送してください。プログラムアドレスと128バイトのデータがフラッシュメモリ内にラッチされます。転送先のフラッシュメモリの先頭アドレスは下位8ビットをH'00またはH'80としてください。
- (5) Pビットがセットされている時間が書き込み時間となります。書き込み時間は表6.12に従ってください。
- (6) ウォッチドックタイマの設定はプログラムの暴走などによる過剰書き込みを避けるためのものです。オーバフロー周期は6.6ms程度としてください。
- (7) ベリファイアドレスへのダミーライトは、下位1ビットがb'0のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードサイズで読み出せません。
- (8) 同一ビットに対するプログラム/プログラムベリファイシーケンスの繰り返しは、1,000回を超えないようにしてください。

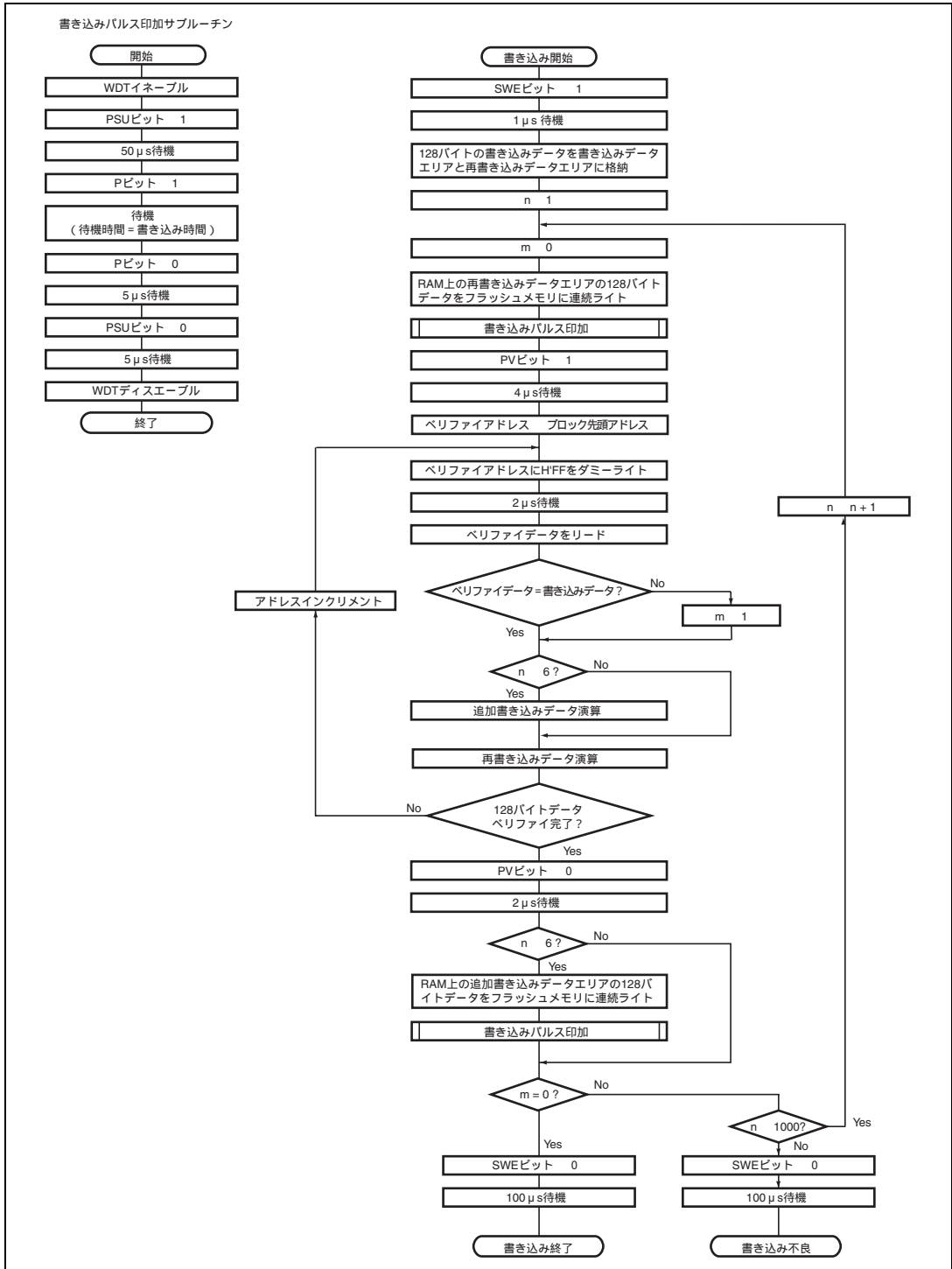


図 6.10 プログラム / プログラムベリファイフロー

表 6.10 再書き込みデータ演算表

書き込みデータ	ベリファイデータ	再書き込みデータ	備考
0	0	1	書き込み完了ビット
0	1	0	再書き込みビット
1	0	1	
1	1	1	消去状態のまま

表 6.11 追加書き込みデータ演算表

再書き込みデータ	ベリファイデータ	追加書き込みデータ	備考
0	0	0	追加書き込みビット
0	1	1	追加書き込みは実施しない
1	0	1	追加書き込みは実施しない
1	1	1	追加書き込みは実施しない

表 6.12 書き込み時間

n (書き込み回数)	書き込み時	追加書き込み時	備考
1~6	30	10	
7~1,000	200		

【注】時間の単位は μs です。

6.8.2 イレース / イレースベリファイ

消去は図 6.11 のイレース / イレースベリファイフローチャートに従って行ってください。

- (1) 消去の前にプレライト（消去するメモリの全データをすべて0にする）を行う必要はありません。
- (2) 消去はブロック単位で行います。ブロック指定レジスタ（EBR）により消去するブロックを1ブロックだけ選択してください。複数のブロックを消去する場合も1ブロックずつ順次消去してください。
- (3) Eビットが設定されている時間が消去時間となります。
- (4) ウォッチドックタイマの設定はプログラムの暴走などによる過剰書き込みを避けるためのものです。オーバフロー周期は19.8ms程度としてください。
- (5) ベリファイアドレスへのダミーライトは、下位1ビットがb'0のアドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードサイズで読み出せます。
- (6) 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース / イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が100回を超えないようにしてください。

6.8.3 フラッシュメモリの書き込み / 消去時の割り込み

フラッシュメモリへの書き込み / 消去中またはブートプログラム実行中は以下の理由からすべての割り込み要求を禁止してください。

- (1) 書き込み / 消去中に割り込みが発生すると、正常な書き込み / 消去アルゴリズムに沿った動作が保証できなくなる。
- (2) ベクタアドレスが書き込まれる前、または書き込み / 消去中に割り込み例外処理を開始すると、正常なベクタフェッチができずCPUが暴走する。
- (3) ブートプログラム実行中に割り込みが発生すると、正常なブートモードのシーケンスを実行できなくなる。

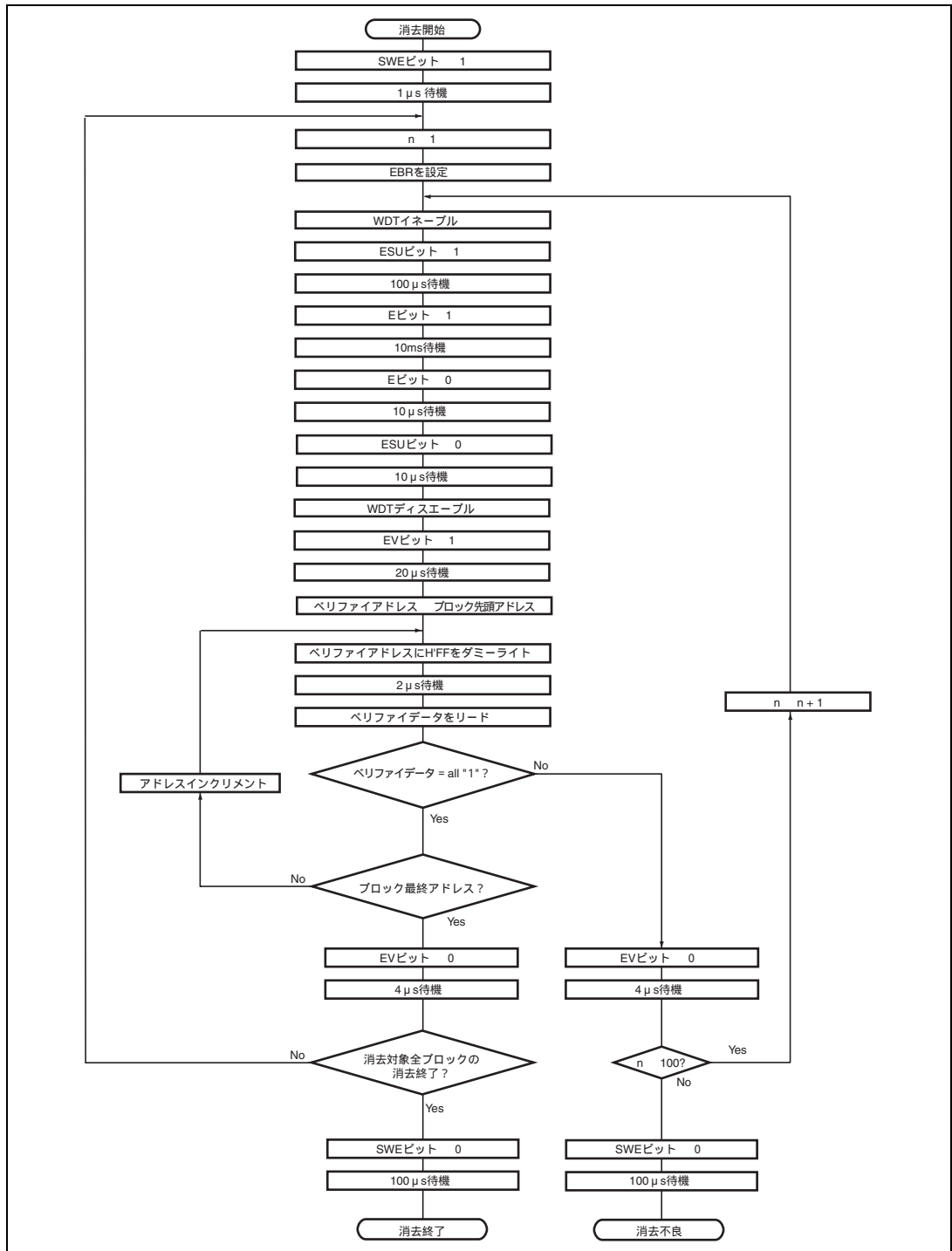


図 6.11 イレース/イレースベリファイフロー

6.9 書き込み/消去プロテクト

フラッシュメモリに対する書き込み/消去プロテクト状態にはハードウェアプロテクトによるもの、ソフトウェアプロテクトによるものとエラープロテクトによるものの3種類あります。

6.9.1 ハードウェアプロテクト

ハードウェアプロテクトは、リセットまたはサブアクティブモード、サブスリープモード、ウォッチモードおよびスタンバイモードへの状態遷移によりフラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態をいいます。フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、ブロック指定レジスタ (EBR) が初期化されます。 $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。

6.9.2 ソフトウェアプロテクト

ソフトウェアで FLMCR1 の SWE ビットをクリアすることで全ブロック書き込み/消去プロテクト状態になります。この状態で FLMCR1 の P ビットまたは E ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。また、ブロック指定レジスタ (EBR) の設定により、ブロックごとに消去プロテクトが可能です。EBR を H'00 に設定すると全ブロックが消去プロテクト状態になります。

6.9.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み/消去中に CPU の暴走や書き込み/消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み/消去動作を中断した状態です。書き込み/消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中に以下のエラーを検出すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態となります。

- 書き込み/消去中のフラッシュメモリ読み出し (ベクタリードおよび命令フェッチを含む)
- 書き込み/消去中のリセットを除く例外処理開始
- 書き込み/消去中の SLEEP 命令実行

このとき、FLMCR1、FLMCR2、EBR の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PV ビット、EV ビットは保持され、ペリファイアモードへの遷移は可能です。エラープロテクト状態は、パワーオンリセットによってのみ解除できます。

6.10 ライタモード

ライタモードでは、ソケットアダプタを介して単体のフラッシュメモリと同様に PROM ライタで書き込み / 消去を行うことができます。PROM ライタはルネサス (旧日立) 64K バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT64V3) をサポートしているライタを使用してください。10MHz の入力クロックが必要です。ライタモードへの遷移条件は表 6.7 を参照してください。

6.10.1 ソケットアダプタ

ソケットアダプタは F-ZTAT 版デバイスを単体のフラッシュメモリ HN28F101 のピン配置に変換します。このとき内蔵フラッシュメモリのアドレスは H'0000 ~ H'FFFF となります。ソケットアダプタの端子対応図を図 6.12 に示します。

6.10.2 ライタモードのコマンド

ライタモードでサポートしているコマンドは以下のとおりです。

- メモリ読み出し
- 自動書き込み
- 自動消去
- ステータス読み出し

自動書き込み / 自動消去 / ステータス読み出しではステータスポーリング方式を採用しています。また、ステータス読み出しは自動書き込み / 自動消去を実行した後の詳細な内部情報を出力します。表 6.13 に各コマンドのシーケンスを示します。自動書き込みは 128 バイト同時書き込みのため、コマンド書き込みが 129 サイクルとなります。メモリ読み出しはアドレス書き込みサイクル数によってサイクル数が変化します。

表 6.13 ライタモードのコマンドシーケンス

コマンド名	サイクル数	第 1 サイクル			第 2 サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出し	1+n	write	X	H'00	read	RA	Dout
自動書き込み	129	write	X	H'40	write	WA	Din
自動消去	2	write	X	H'20	write	X	H'20
ステータス読み出し	2	write	X	H'71	write	X	H'71

【注】 n : アドレス書き込みサイクル数

6. ROM

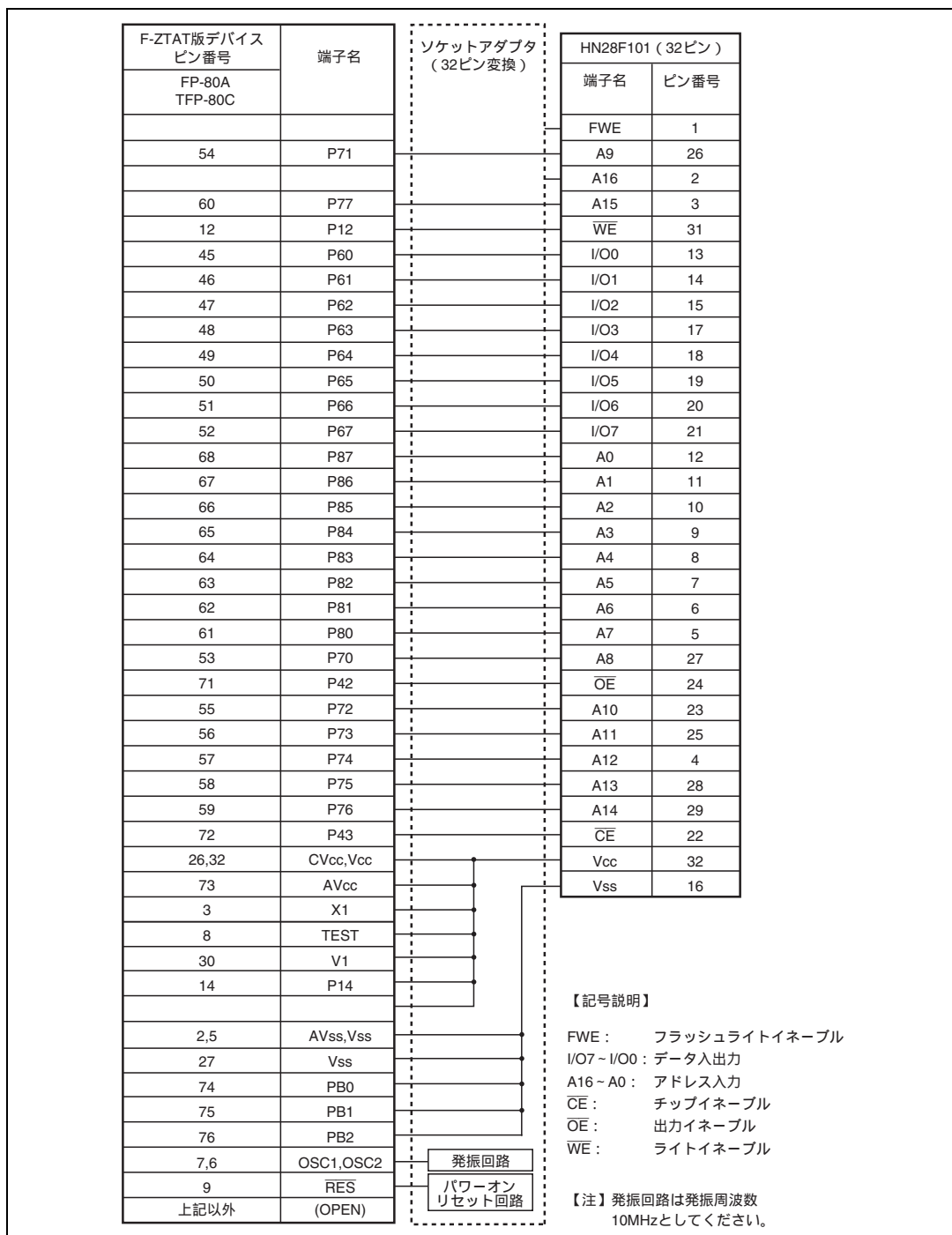


図 6.12 ソケットアダプタの端子対応図

6.10.3 メモリ読み出し

- (1) 自動書き込み / 自動消去 / ステータス読み出し終了後はコマンド待ち状態に遷移します。メモリの内容を読み出す場合はコマンド書き込みでメモリ読み出しモードに遷移させる必要があります。一度メモリ読み出しモードに遷移させた後は、連続読み出しが可能です。
- (2) メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みにより他のモードに遷移させることができます。
- (3) 電源投入後はメモリ読み出しモードに遷移します。
- (4) AC特性を表6.14～表6.16に示します。

表 6.14 メモリ読み出し第 1 サイクルの AC 特性

条件 : $V_{cc} = 3.3V \pm 0.3V$ 、 $V_{ss} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位	参照図
コマンド書き込みサイクル	t_{nxtc}	20		μs	図 6.13
CE ホールド時間	t_{ceh}	0		ns	
CE セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
WE 立ち上がり時間	t_r		30	ns	
WE 立ち下がり時間	t_f		30	ns	

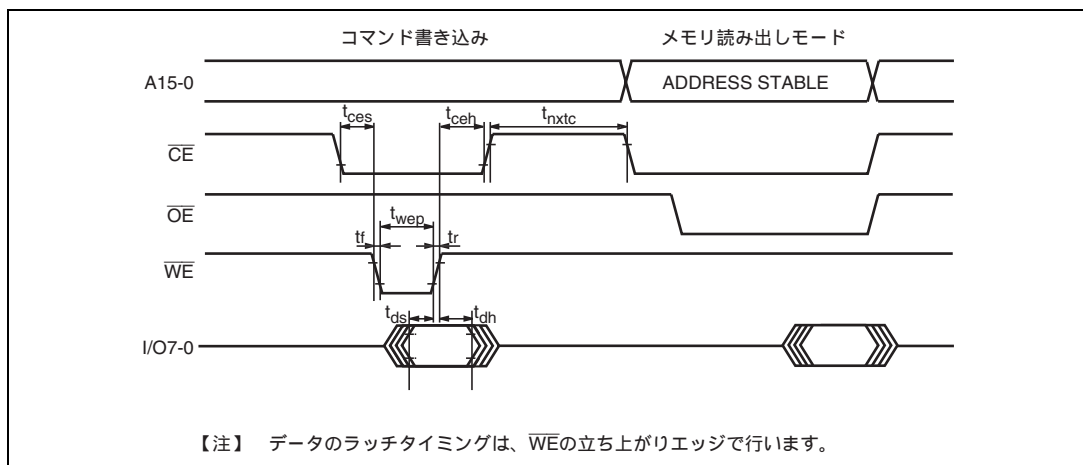


図 6.13 コマンド書き込み後メモリ読み出しタイミング波形

6. ROM

表 6.15 メモリ読み出しから他のコマンドへ遷移時の AC 特性

条件 : $V_{cc} = 3.3V \pm 0.3V$ 、 $V_{ss} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位	参照図
コマンド書き込みサイクル	t_{nxtc}	20		μs	図 6.14
CE ホールド時間	t_{ceh}	0		ns	
CE セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
WE 立ち上がり時間	t_r		30	ns	
WE 立ち下がり時間	t_f		30	ns	

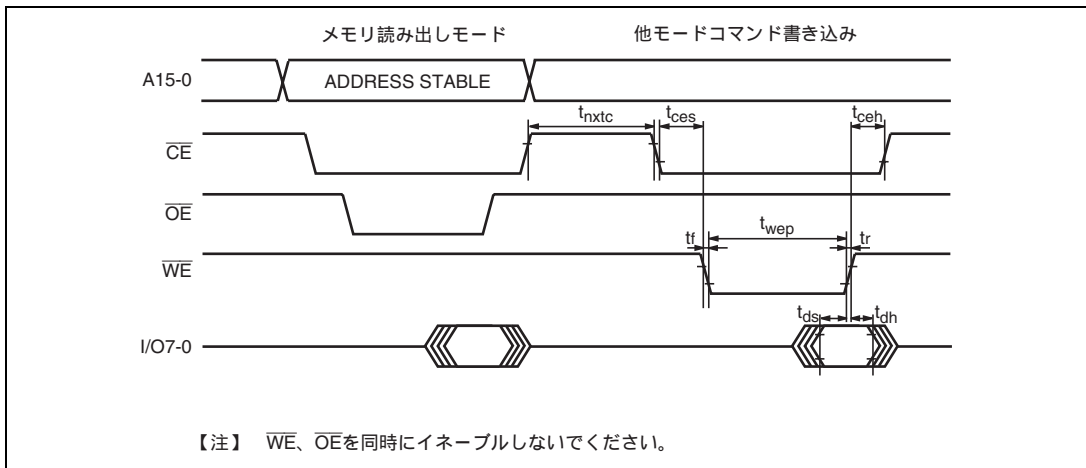
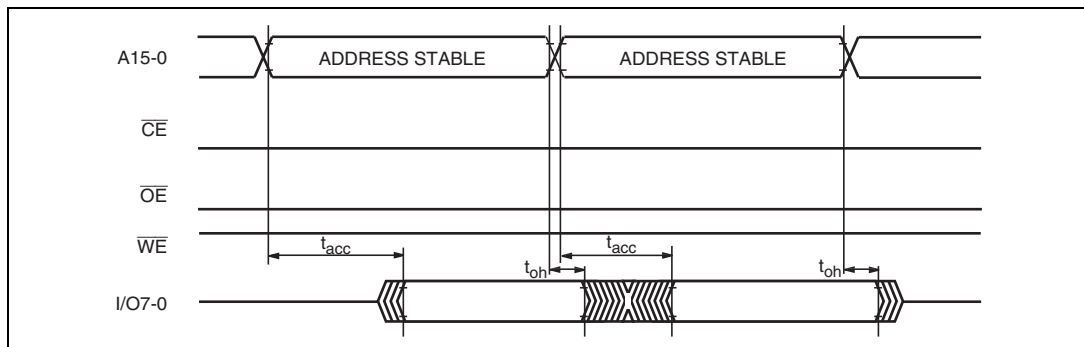
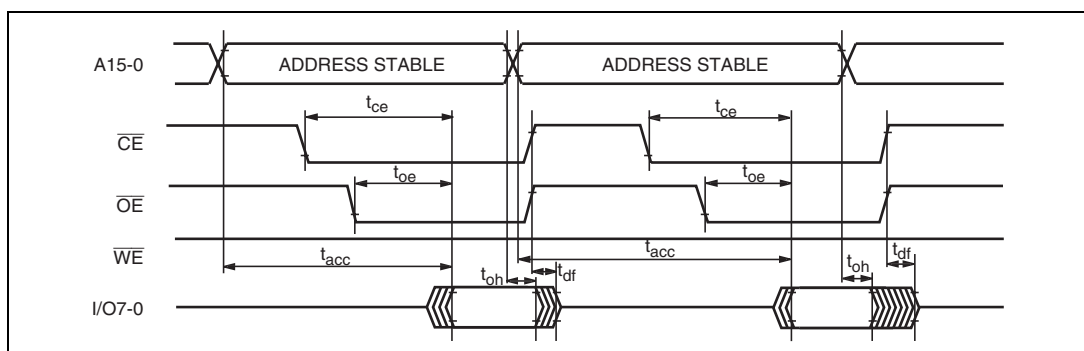


図 6.14 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 6.16 メモリ読み出し時の AC 特性

条件 : $V_{cc} = 3.3V \pm 0.3V$ 、 $V_{ss} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位	参照図
アクセス時間	t_{acc}		20	μs	図 6.15 ~ 図 6.16
CE 出力遅延時間	t_{ce}		150	ns	
OE 出力遅延時間	t_{oe}		150	ns	
出力ディスエーブル遅延時間	t_{df}		100	ns	
データ出力ホールド時間	t_{oh}	5		ns	

図 6.15 \overline{CE} 、 \overline{OE} イネーブル状態リード時のタイミング波形図 6.16 \overline{CE} 、 \overline{OE} クロック方式リード時のタイミング波形

6.10.4 自動書き込み

- (1) すでに書き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
- (2) 同一アドレスブロックへの自動書き込みは1回のみとしてください。すでに書き込まれたアドレスブロックへの追加書き込みは行えません。
- (3) 自動書き込みは、128バイト同時書き込みを行います。バイトデータを128回連続転送してください。128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。書き込む必要のないアドレスへは、データH'FFを転送して書き込んでください。
- (4) 転送するアドレスの下位7ビットは、Low状態にしてください。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- (5) メモリアドレスの転送は第2サイクルで行います(図6.17)。第3サイクル以降は転送しないでください。
- (6) 書き込み動作中はコマンド書き込みを行わないでください。
- (7) 自動書き込みは128バイト単位のブロックに対して1回だけ行ってください。すでに書き込まれたアドレスブロックへの追加書き込みはできません。
- (8) 自動書き込み正常終了の確認は、I/O6を調べることにより行います。ステータス読み出しで確認することもできます(I/O7番のステータスポーリングは、自動書き込み動作終了判定用端子です)。
- (9) ステータスポーリングのI/O6、I/O7端子情報は次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われていなければ、CE、OEをイネーブルにすることにより読み出し可能です。
- (10) AC特性を表6.17に示します。

表 6.17 自動書き込み時の AC 特性

条件 : $V_{cc} = 3.3V \pm 0.3V$ 、 $V_{ss} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位	参照図
コマンド書き込みサイクル	tnxtc	20		μs	図 6.17
CE ホールド時間	tceh	0		ns	
CE セットアップ時間	tces	0		ns	
データホールド時間	tdh	50		ns	
データセットアップ時間	tds	50		ns	
書き込みパルス幅	twep	70		ns	
ステータスポーリング開始時間	twsts	1		ms	
ステータスポーリングアクセス時間	tspa		150	ns	
アドレスセットアップ時間	tas	0		ns	
アドレスホールド時間	tah	60		ns	
メモリ書き込み時間	twrite	1	3000	ms	
WE 立ち上がり時間	tr		30	ns	
WE 立ち下がり時間	tf		30	ns	

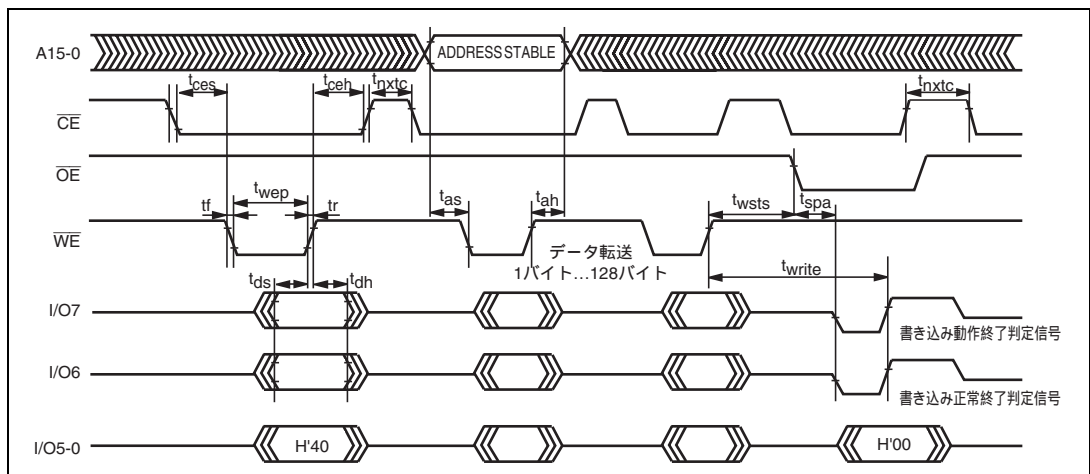


図 6.17 自動書き込みのタイミング波形

6.10.5 自動消去

- (1) 自動消去はメモリを全面消去します。
- (2) 自動消去中はコマンド書き込みを行わないでください。
- (3) 自動消去正常終了の確認はI/O6を調べることにより行います。ステータス読み出しでも確認することができます(I/O7番のステータスポーリングは、自動消去動作終了判定用端子です)。
- (4) ステータスポーリングのI/O6、I/O7端子情報は次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われていなければ、CE、OEをイネーブルにすることにより読み出し可能となります。
- (5) AC特性を表6.18に示します。

表 6.18 自動消去時の AC 特性

条件 : $V_{CC} = 3.3V \pm 0.3V$, $V_{SS} = 0V$, $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位	参照図
コマンド書き込みサイクル	tnxtc	20		μs	図 6.18
CE ホールド時間	tceh	0		ns	
CE セットアップ時間	tces	0		ns	
データホールド時間	tdh	50		ns	
データセットアップ時間	tds	50		ns	
書き込みパルス幅	twep	70		ns	
ステータスポーリング開始時間	tests	1		ms	
ステータスポーリングアクセス時間	tspa		150	ns	
メモリ消去時間	terase	100	40000	ms	
WE 立ち上がり時間	tr		30	ns	
WE 立ち下がり時間	tf		30	ns	

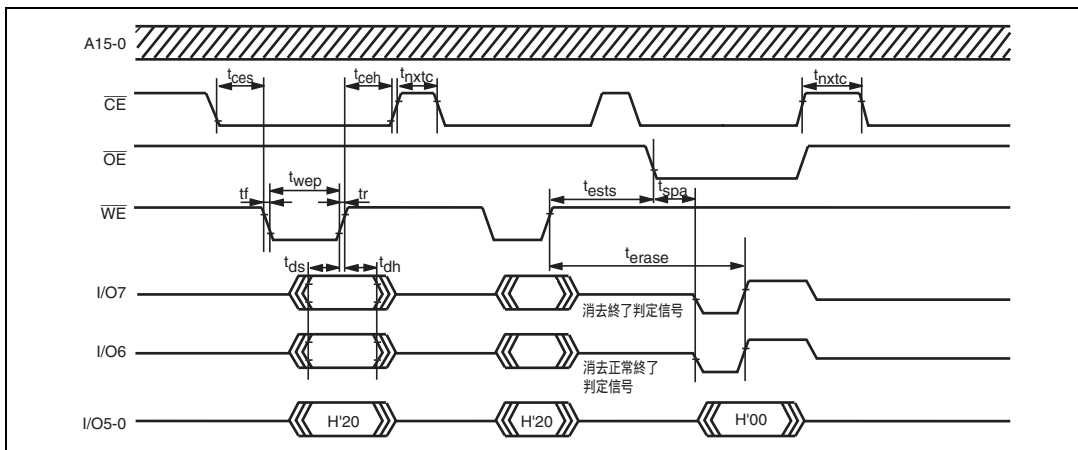


図 6.18 自動消去のタイミング波形

6.10.6 ステータス読み出し

- (1) ステータス読み出しは、異常終了の種類を特定させるためのです。自動書き込み / 自動消去で異常終了が起きた場合に使用してください。
- (2) リターンコードは、ステータス読み出し以外のコマンド書き込みが行われるまで保持されます。
- (3) AC特性を表6.19に、リターンコードを表6.20に示します。

表 6.19 ステータス読み出し時の AC 特性

条件 : $V_{CC} = 3.3V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	MIN	MAX	単位	参照図
コマンド書き込み後読み出し時間	t_{nxtc}	20		μs	図 6.19
CE ホールド時間	t_{ceh}	0		ns	
CE セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
OE 出力遅延時間	t_{oe}		150	ns	
ディスエーブル遅延時間	t_{df}		100	ns	
CE 出力遅延時間	t_{ce}		150	ns	
WE 立ち上がり時間	t_r		30	ns	
WE 立ち下がり時間	t_f		30	ns	

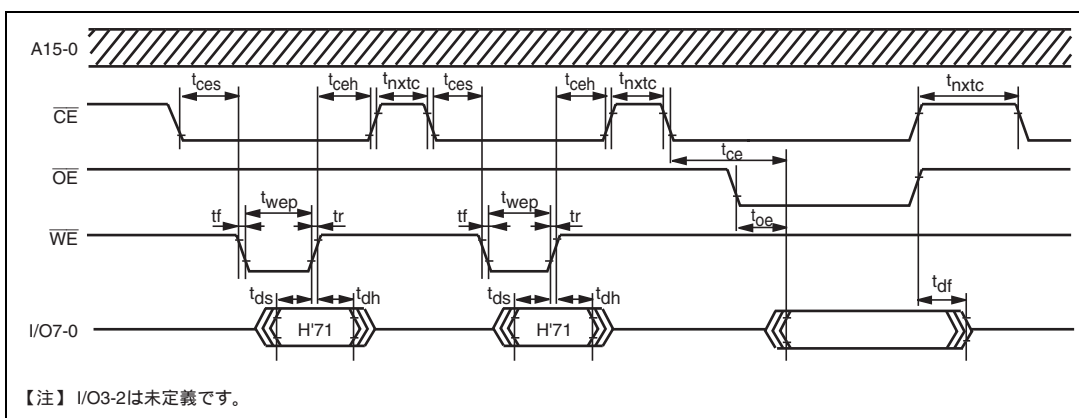


図 6.19 ステータス読み出しのタイミング波形

6. ROM

表 6.20 ステータス読み出しのリターンコード

ピン名	初期値	内容
I/O7	0	1: 異常終了 0: 正常終了
I/O6	0	1: コマンドエラー 0: その他
I/O5	0	1: 書き込みエラー 0: その他
I/O4	0	1: 消去エラー 0: その他
I/O3	0	未定義
I/O2	0	未定義
I/O1	0	1: 書き込み回数または消去回数オーバ 0: その他
I/O0	0	1: 有効アドレスエラー 0: その他

6.10.7 ステータスポーリング

- (1) I/O7のステータスポーリングは、自動書き込み / 自動消去時の動作状態を示すフラグです。
- (2) I/O6のステータスポーリングは、自動書き込み / 自動消去時の正常 / 異常終了を示すフラグです。

表 6.21 ステータスポーリング出力

I/O7	I/O6	I/O0 ~ 5	ステータス
0	0	0	内部動作中
1	0	0	異常終了
1	1	0	正常終了
0	1	0	-

6.10.8 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しに遷移します。

表 6.22 コマンド待ち状態までの遷移時間規定

項目	記号	MIN	MAX	単位	参照図
発振安定時間（水晶発振子）	tosc1	10		ms	図 6.20
発振安定時間（セラミック発振子）		5		ms	
ライタモードセットアップ時間	t_bmv	10		ms	
Vcc ホールド時間	t_dwn	0		ms	

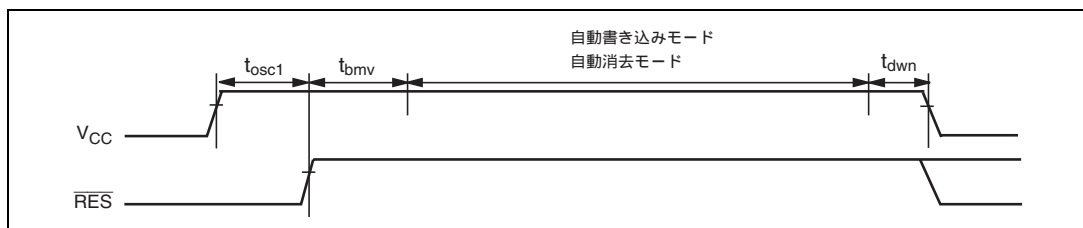


図 6.20 発振安定時間、ブートプログラム転送時間、電源立ち下げシーケンス

6.10.9 ライタモード使用時の注意事項

- (1) オンボードプログラムモードにて書き込み / 消去を行ったチップに対して、ライタモードを用いて書き換えを行う場合は、自動消去を行った後に自動書き込みを行うことを推奨します。
- (2) ルネサス テクノロジ出荷品の初期状態は消去状態です。これ以外の消去来歴不明チップに対して、初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。

6.11 フラッシュメモリの低消費電力動作

ユーザモードではフラッシュメモリは次のいずれかの状態になります。

- 通常動作状態
高速でフラッシュメモリの読み出しが可能です。
- 低消費電力動作状態
フラッシュメモリの電源回路の一部が停止し、低消費電力で読み出しができます。
- スタンバイ状態
フラッシュメモリのすべての回路が停止します。

表 6.23 に LSI の動作モードとフラッシュメモリの状態の関係を示します。サブアクティブモードでは FLPWCR の PDWND ビットによりフラッシュメモリを低消費電力動作に設定することができます。フラッシュメモリが低消費電力動作状態またはスタンバイ状態から通常動作状態へ復帰するときは、停止した電源回路の安定化時間が必要となります。外部クロックを使用する場合も含めて、通常動作モードへ復帰するときの待機時間が $20\mu\text{s}$ 以上になるよう SYSCR1 の STS2 ~ STS0 を設定してください。

表 6.23 フラッシュメモリの動作状態

LSI の動作モード	フラッシュメモリの状態	
	PDWND=0 のとき (初期値)	PDWND=1 のとき
アクティブモード	通常動作状態	通常動作状態
サブアクティブモード	低消費電力動作状態	通常動作状態
スリープモード	通常動作状態	通常動作状態
サブスリープモード	スタンバイ状態	スタンバイ状態
スタンバイモード	スタンバイ状態	スタンバイ状態
ウォッチモード	スタンバイ状態	スタンバイ状態

7. RAM

7.1 概要

H8/3822R、H8/3823R、H8/38322、H8/38323、H8/38422、H8/38423 は 1K バイト、H8/3824R、H8/3824S、H8/38324、H8/38424、H8/3825R、H8/3825S、H8/38325、H8/38425、H8/3826R、H8/3826S、H8/38326、H8/38426、H8/3827R、H8/3827S、H8/38327、H8/38427 は 2K バイトの高速スタティック RAM を内蔵しています。RAM は 16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータにかかわらず 2 ステートの高速アクセスが可能です。

7.1.1 ブロック図

RAM のブロック図を図 7.1 に示します。

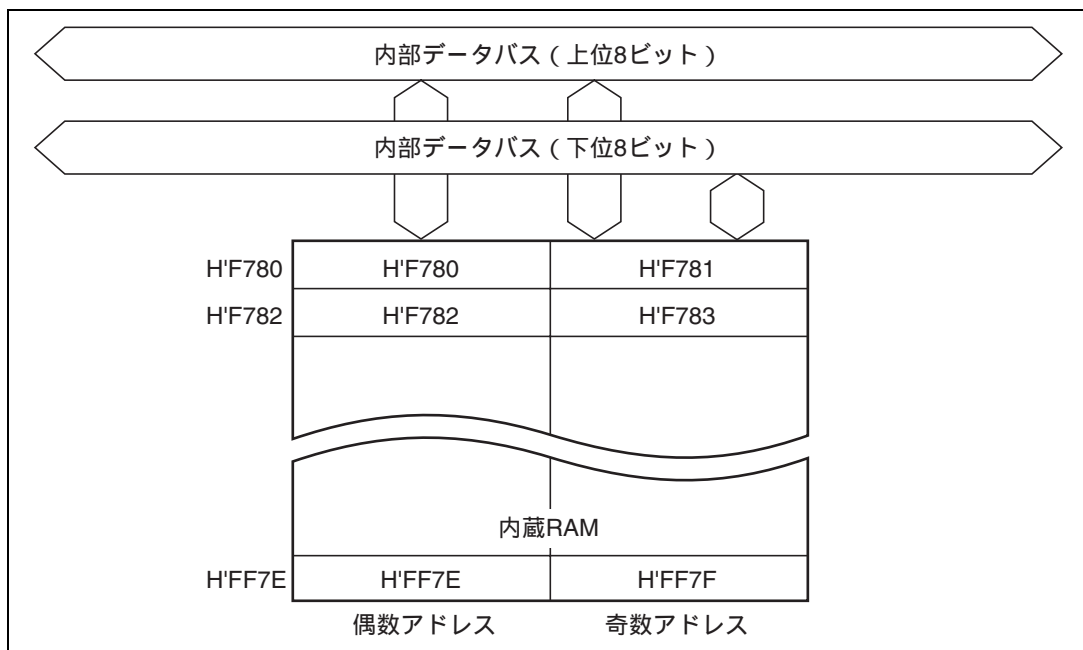


図 7.1 RAM のブロック図 (H8/3824R、H8/3824S、H8/38324、H8/38424 の場合)

8. I/O ポート

8.1 概要

本 LSI は、8 ビット入出力ポートを 6 本、4 ビット入出力ポートを 1 本、3 ビット入出力ポートを 1 本、8 ビット入力専用ポートを 1 本、および 1 ビット入力専用ポートを 1 本備えています。

各ポートの機能一覧を表 8.1 に示します。

各ポートは、入出力を制御するポートコントロールレジスタ (PCR) と、出力データを格納するポートデータレジスタ (PDR) から構成され、ビット単位に入出力を制御できます。PCR、PDR に対してのビット操作命令の実行については、「2.9.2 ビット操作命令使用上の注意事項」を参照してください。

ポート 5、6、7、8、A は液晶表示用セグメント端子、コモン端子と兼用されており、8 ビット単位で選択できます。

各ポートのブロック図は「付録 C. I/O ポートブロック図」を参照してください。

8. I/O ポート

表 8.1 ポートの機能

ポート	概要	端子	兼用機能	機能切り替え 制御レジスタ
ポート 1	<ul style="list-style-type: none"> 8 ビット入出力ポート 入力プルアップ MOS 選択可 	P1 ₇ ~ P1 ₃ / IRQ ₃ ~ IRQ ₁ / TMIF, TMIC	外部割り込み 3 ~ 1 タイマイベント入力端子 TMIF, TMIC	PMR1 TCRF, TMC
		P1 ₄ /IRQ ₄ /ADTRG	外部割り込み 4 および A/D 変換器の外部トリガ	PMR1, AMR
		P1 ₃ /TMIG	タイマ G インพุットキャプチャ入力	PMR1
		P1 ₂ , P1 ₁ / TMOFH, TMOFL	タイマ F アウトプットコンペア出力	PMR1
		P1 ₀ /TMOW	タイマ A クロック出力	PMR1
ポート 3	<ul style="list-style-type: none"> 8 ビット入出力ポート 入力プルアップ MOS 選択可 大電流ポート (H8/3827R、H8/38327、H8/38427 グループ) 	P3 ₇ /AEVL P3 ₆ /AEVH P3 ₅ /TXD ₃₁ P3 ₄ /RXD ₃₁ P3 ₃ /SCK ₃₁	SCI31 のデータ出力 (TXD ₃₁)、データ入力 (RXD ₃₁)、クロック入出力 (SCK ₃₁) および非同期カウンタのイベント入力端子 AEVL、AEVH	PMR3 SCR31 SMR31
		P3 ₂ /RESO* ¹ P3 ₁ /UD/EXCL* ² P3 ₀ /PWM	リセット出力* ¹ 、タイマ C カウントアップ / ダウン選択入力および 14 ビット PWM 出力、外部サブクロック入力* ²	PMR2 PMR3
		ポート 4	<ul style="list-style-type: none"> 1 ビット入力専用ポート 3 ビット入出力ポート 	P4 ₇ /IRQ ₀ P4 ₂ /TXD ₃₂ P4 ₁ /RXD ₃₂ P4 ₀ /SCK ₃₂
ポート 5	<ul style="list-style-type: none"> 8 ビット入出力ポート 入力プルアップ MOS 選択可 	P5 ₇ ~ P5 ₀ / WKP ₇ ~ WKP ₀ / SEG ₈ ~ SEG ₁	ウェイクアップ入力 (WKP ₇ ~ WKP ₀)、セグメント出力 (SEG ₈ ~ SEG ₁)	PMR5 LPCR
ポート 6	<ul style="list-style-type: none"> 8 ビット入出力ポート 入力プルアップ MOS 選択可 	P6 ₇ ~ P6 ₀ / SEG ₁₆ ~ SEG ₉	セグメント出力 (SEG ₁₆ ~ SEG ₉)	LPCR
ポート 7	<ul style="list-style-type: none"> 8 ビット入出力ポート 	P7 ₇ ~ P7 ₀ / SEG ₂₄ ~ SEG ₁₇	セグメント出力 (SEG ₂₄ ~ SEG ₁₇)	LPCR
ポート 8	<ul style="list-style-type: none"> 8 ビット入出力ポート 	P8 ₇ /SEG ₃₂ /CL ₁ * ³ P8 ₆ /SEG ₃₁ /CL ₂ * ³ P8 ₅ /SEG ₃₀ /DO* ³ P8 ₄ /SEG ₂₉ /M* ³ P8 ₃ ~ P8 ₀ / SEG ₂₈ ~ SEG ₂₅	セグメント出力 (SEG ₃₂ ~ SEG ₂₅) セグメント外部拡張用ラッチクロック (CL ₁) * ³ 、シフトクロック (CL ₂) * ³ 、表示データ (DO) * ³ 、交流化信号 (M) * ³	LPCR
ポート A	<ul style="list-style-type: none"> 4 ビット入出力ポート 	PA ₃ ~ PA ₀ / COM ₄ ~ COM ₁	コモン出力 (COM ₄ ~ COM ₁)	LPCR
ポート B	<ul style="list-style-type: none"> 8 ビット入力ポート 	PB ₇ ~ PB ₀ / AN ₇ ~ AN ₀	A/D 変換器のアナログ入力	AMR

【注】 *1 RESO 機能は H8/38327、H8/38427 グループにはありません。

*2 EXCL 機能は H8/38327、H8/38427 グループのみにあります。

*3 LCD のセグメント外部拡張機能は H8/38327、H8/38427 グループにはありません。

8.2 ポート 1

8.2.1 概要

ポート 1 は、8 ビットの入出力ポートです。ポート 1 の各端子は、図 8.1 に示す構成になっています。

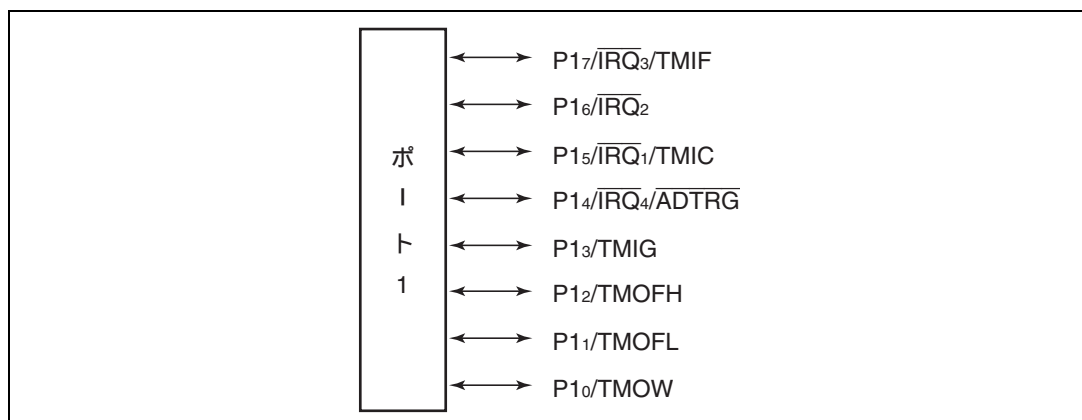


図 8.1 ポート 1 の端子構成

8.2.2 レジスタの構成と説明

表 8.2 にポート 1 のレジスタ構成を示します。

表 8.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 1	PDR1	R/W	H'00	H'FFD4
ポートコントロールレジスタ 1	PCR1	W	H'00	H'FFE4
ポートプルアップコントロールレジスタ 1	PUCR1	R/W	H'00	H'FFE0
ポートモードレジスタ 1	PMR1	R/W	H'00	H'FFC8

(1) ポートデータレジスタ 1 (PDR1)

ビット:	7	6	5	4	3	2	1	0
	P17	P16	P15	P14	P13	P12	P11	P10
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR1 は、ポート 1 の各端子 P1₇ ~ P1₀ のデータを格納する 8 ビットのレジスタです。

PCR1 が 1 のとき、ポート 1 のリードを行うと、PDR1 の値を直接リードします。そのため端子状態の影響を受けません。PCR1 が 0 のとき、ポート 1 のリードを行うと、端子状態が読み出されます。

リセット時、PDR1 は H'00 に初期化されます。

8. I/Oポート

(2) ポートコントロールレジスタ 1 (PCR1)

ビット:	7	6	5	4	3	2	1	0
	PCR17	PCR16	PCR15	PCR14	PCR13	PCR12	PCR11	PCR10
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR1 は、ポート 1 の各端子 $P1_7 \sim P1_0$ の入出力をビットごとに制御します。PCR1 に 1 をセットすると対応する $P1_7 \sim P1_0$ 端子は出力端子となり、0 にクリアすると入力端子となります。PMR1 により当該端子が汎用入出力に設定されている場合には、PCR1 および PDR1 の設定が有効となります。

リセット時、PCR1 は H'00 に初期化されます。

本レジスタはライト専用ですが、リードした場合各ビットは常に 1 が読み出されます。

(3) ポートプルアップコントロールレジスタ 1 (PUCR1)

ビット:	7	6	5	4	3	2	1	0
	PUCR17	PUCR16	PUCR15	PUCR14	PUCR13	PUCR12	PUCR11	PUCR10
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR1 は、ポート 1 の各端子 $P1_7 \sim P1_0$ のプルアップ MOS をビットごとに制御します。

PCR1 が 0 の状態で PUCR1 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。

リセット時、PUCR1 は H'00 に初期化されます。

(4) ポートモードレジスタ 1 (PMR1)

ビット:	7	6	5	4	3	2	1	0
	IRQ3	IRQ2	IRQ1	IRQ4	TMIG	TMOFH	TMOFL	TMOW
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR1 は、8 ビットのリード/ライト可能なレジスタで、ポート 1 の各端子機能の切り替えを制御します。

リセット時、PMR1 は H'00 に初期化されます。

ビット 7: $P1_7/\overline{IRQ}_3$ /TMIF 端子機能切り替え (IRQ3)

$P1_7/\overline{IRQ}_3$ /TMIF 端子を $P1_7$ 端子として使用するか、 \overline{IRQ}_3 /TMIF 端子として使用するかを設定します。

ビット 7	説明
IRQ3	
0	$P1_7$ 入出力端子として機能 (初期値)
1	\overline{IRQ}_3 /TMIF 入力端子として機能

【注】 \overline{IRQ}_3 /TMIF 端子は立ち上がり/立ち下がりエッジセンスを選択できます。TMIF 端子の設定については、「9.4.2 (3) タイマコントロールレジスタ F (TCRF)」を参照してください。

ビット 6 : $P1_6/\overline{IRQ_2}$ 端子機能切り替え (IRQ2)

$P1_6/\overline{IRQ_2}$ を $P1_6$ 端子として使用するか、 $\overline{IRQ_2}$ 端子として使用するかを設定します。

ビット 6	説明	
IRQ2		
0	$P1_6$ 入出力端子として機能	(初期値)
1	$\overline{IRQ_2}$ 入力端子として機能	

【注】 $\overline{IRQ_2}$ 端子は立ち上がり / 立ち下がりエッジセンスを選択できます。

ビット 5 : $P1_5/\overline{IRQ_1}/TMIC$ 端子機能切り替え (IRQ1)

$P1_5/\overline{IRQ_1}/TMIC$ 端子を $P1_5$ 端子として使用するか、 $\overline{IRQ_1}/TMIC$ 端子として使用するかを設定します。

ビット 5	説明	
IRQ1		
0	$P1_5$ 入出力端子として機能	(初期値)
1	$\overline{IRQ_1}/TMIC$ 入力端子として機能	

【注】 $\overline{IRQ_1}/TMIC$ 端子は立ち上がり / 立ち下がりエッジセンスを選択できます。

TMIC 端子の設定については、「9.3.2 (1) タイマモードレジスタ C (TMC)」を参照してください。

ビット 4 : $P1_4/\overline{IRQ_4}/\overline{ADTRG}$ 端子機能切り替え (IRQ4)

$P1_4/\overline{IRQ_4}/\overline{ADTRG}$ 端子を $P1_4$ 端子として使用するか、 $\overline{IRQ_4}/\overline{ADTRG}$ 端子として使用するかを設定します。

ビット 4	説明	
IRQ4		
0	$P1_4$ 入出力端子として機能	(初期値)
1	$\overline{IRQ_4}/\overline{ADTRG}$ 入力端子として機能	

【注】 \overline{ADTRG} 端子の設定については「12.3.2 外部トリガによる A/D 変換器の起動」を参照してください。

ビット 3 : $P1_3/TMIG$ 端子機能切り替え (TMIG)

$P1_3/TMIG$ 端子を $P1_3$ 端子として使用するか、TMIG 端子として使用するかを設定します。

ビット 3	説明	
TMIG		
0	$P1_3$ 入出力端子として機能	(初期値)
1	TMIG 入力端子として機能	

8. I/O ポート

ビット 2 : P1₂/TMOFH 端子機能切り替え (TMOFH)

P1₂/TMOFH 端子を P1₂ 端子として使用するか、TMOFH 端子として使用するかを設定します。

ビット 2	説明
TMOFH	
0	P1 ₂ 入出力端子として機能 (初期値)
1	TMOFH 出力端子として機能

ビット 1 : P1₁/TMOFL 端子機能切り替え (TMOFL)

P1₁/TMOFL 端子を P1₁ 端子として使用するか、TMOFL 端子として使用するかを設定します。

ビット 1	説明
TMOFL	
0	P1 ₁ 入出力端子として機能 (初期値)
1	TMOFL 出力端子として機能

ビット 0 : P1₀/TMOW 端子機能切り替え (TMOW)

P1₀/TMOW 端子を P1₀ 端子として使用するか、TMOW 端子として使用するかを設定します。

ビット 0	説明
TMOW	
0	P1 ₀ 入出力端子として機能 (初期値)
1	TMOW 出力端子として機能

8.2.3 端子機能

表 8.3 にポート 1 の端子機能を示します。

表 8.3 ポート 1 の端子機能

端子	選択方法と端子機能				
P1 ₇ /IRQ ₃ / TMIF	PMR1 の IRQ3、TCRF の CKSL2 ~ CKSL0、PCR1 の PCR1 ₇ の組み合わせで次のように切り替わります。				
	IRQ3	0		1	
	PCR1 ₇	0	1	*	
	CKSL2 ~ CKSL0	*		0**以外	0**
	端子機能	P1 ₇ 入力端子	P1 ₇ 出力端子	IRQ ₃ 入力端子	IRQ ₃ /TMIF 入力端子
【注】 TMIF入力端子として使用する場合には、IENR1のIEN3を"0"にクリアして、IRQ ₃ 割り込みを禁止してください。					
P1 ₆ /IRQ ₂	PMR1 の IRQ2、PCR1 の PCR1 ₆ の組み合わせで次のように切り替わります。				
	IRQ2	0		1	
	PCR1 ₆	0	1	*	
	端子機能	P1 ₆ 入力端子	P1 ₆ 出力端子	IRQ ₂ 入力端子	
	【注】				
P1 ₅ /IRQ ₁ / TMIC	PMR1 の IRQ1、TMC の TMC2 ~ TMC0、PCR1 の PCR1 ₅ の組み合わせで、次のように切り替わります。				
	IRQ1	0		1	
	PCR1 ₅	0	1	*	
	TMC2 ~ TMC0	*		111以外	111
	端子機能	P1 ₅ 入力端子	P1 ₅ 出力端子	IRQ ₁ 入力端子	IRQ ₁ /TMIC 入力端子
【注】 TMIC入力端子として使用する場合には、IENR1のIEN1を"0"にクリアして、IRQ ₁ 割り込みを禁止してください。					

8. I/O ポート

端子	選択方法と端子機能			
P1 ₄ /IRQ ₄ / ADTRG	PMR1 の IRQ4 と AMR の TRGE、PCR1 の PCR1 ₄ の組み合わせで、次のように切り替わります。			
	IRQ4	0		1
	PCR1 ₄	0	1	*
	TRGE	*		0 1
	端子機能	P1 ₄ 入力端子	P1 ₄ 出力端子	IRQ ₄ 入力端子
【注】 ADTRG入力端子として使用する場合にはIENR1のIEN4を"0"にクリアしてIRQ ₄ 割り込みを禁止してください。				
P1 ₃ /TMIG	PMR1 の TMIG と PCR1 の PCR1 ₃ の組み合わせで、次のように切り替わります。			
	TMIG	0		1
	PCR1 ₃	0	1	*
	端子機能	P1 ₃ 入力端子	P1 ₃ 出力端子	TMIG入力端子
P1 ₂ /TMOFH	PMR1 の TMOFH と PCR1 の PCR1 ₂ の組み合わせで、次のように切り替わります。			
	TMOFH	0		1
	PCR1 ₂	0	1	*
	端子機能	P1 ₂ 入力端子	P1 ₂ 出力端子	TMOFH出力端子
P1 ₁ /TMOFL	PMR1 の TMOFL と PCR1 の PCR1 ₁ の組み合わせで、次のように切り替わります。			
	TMOFL	0		1
	PCR1 ₁	0	1	*
	端子機能	P1 ₁ 入力端子	P1 ₁ 出力端子	TMOFL出力端子
P1 ₀ /TMOW	PMR1 の TMOW と PCR1 の PCR1 ₀ の組み合わせで、次のように切り替わります。			
	TMOW	0		1
	PCR1 ₀	0	1	*
	端子機能	P1 ₀ 入力端子	P1 ₀ 出力端子	TMOW出力端子

* : Don't care

8.2.4 端子状態

各動作モードにおけるポート 1 の端子状態を表 8.4 に示します。

表 8.4 ポート 1 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P1 ₃ /IRQ ₃ /TMIF	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	保持	動作	動作
P1 ₆ /IRQ ₂							
P1 ₅ /IRQ ₁ /TMIC							
P1 ₄ /IRQ ₄ /ADTRG							
P1 ₃ /TMIG							
P1 ₂ /TMOFH							
P1 ₁ /TMOFL							
P1 ₀ /TMOW							

【注】 * ブルアップ MOS が ON 状態では High レベル出力となります。

8.2.5 入力ブルアップ MOS

ポート 1 は、プログラムで制御可能な入力ブルアップ MOS を内蔵しています。PCR1 が 0 にクリアされている状態で PUCR1 に 1 をセットすると入力ブルアップ MOS は ON 状態となります。また、入力ブルアップ MOS はリセット時、OFF 状態になります。

PCR1 _n	0		1
PUCR1 _n	0	1	*
入力ブルアップ MOS	OFF	ON	OFF

* : Don't care (n = 7~0)

8.3 ポート 3

8.3.1 概要

ポート 3 は、8 ビットの入出力ポートです。ポート 3 の各端子は、図 8.2 に示す構成になっています。F-ZTAT 版の P3₂ は、リセット期間中に内蔵プルアップ MOS が ON 状態になります。リセット解除後は OFF 状態となり、通常動作になります。外部回路を接続する場合には、その点をご考慮ください。また、マスク ROM 版と ZTAT 版の P3₂ は通常動作です。

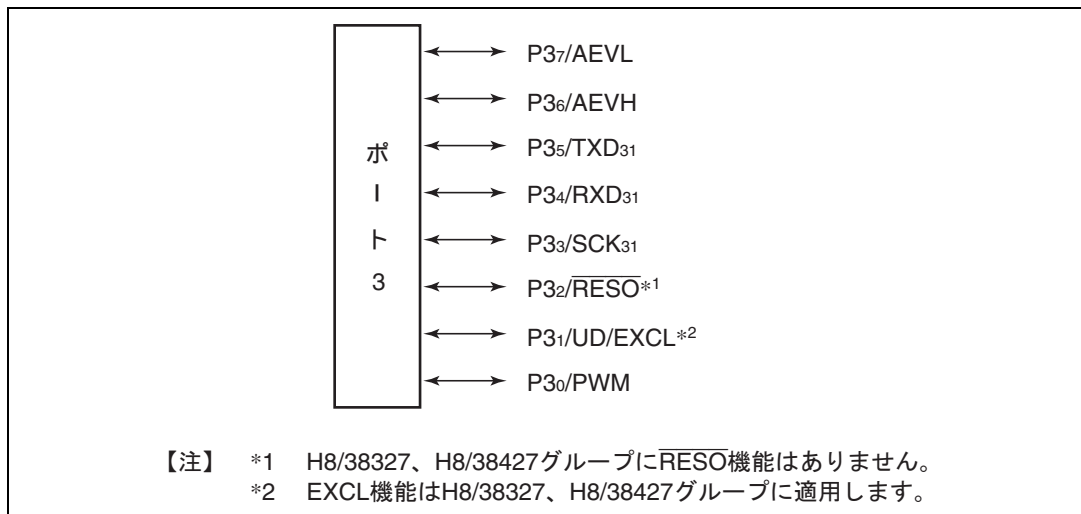


図 8.2 ポート 3 の端子構成

8.3.2 レジスタの構成と説明

表 8.5 にポート 3 のレジスタ構成を示します。

表 8.5 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 3	PDR3	R/W	H'00	H'FFD6
ポートコントロールレジスタ 3	PCR3	W	H'00	H'FFE6
ポートプルアップコントロールレジスタ 3	PUCR3	R/W	H'00	H'FFE1
ポートモードレジスタ 2	PMR2	R/W	H'58	H'FFC9
ポートモードレジスタ 3	PMR3	R/W	H'04	H'FFCA

(1) ポートデータレジスタ 3 (PDR3)

ビット:	7	6	5	4	3	2	1	0
	P37	P36	P35	P34	P33	P32	P31	P30
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR3 は、ポート 3 の各端子 P₃₇ ~ P₃₀ のデータを格納する 8 ビットのレジスタです。

PCR3 が 1 のとき、ポート 3 のリードを行うと、PDR3 の値を直接リードします。そのため端子状態の影響を受けません。PCR3 が 0 のとき、ポート 3 のリードを行うと、端子状態が読み出されます。リセット時、PDR3 は H'00 に初期化されます。

(2) ポートコントロールレジスタ 3 (PCR3)

ビット:	7	6	5	4	3	2	1	0
	PCR37	PCR36	PCR35	PCR34	PCR33	PCR32	PCR31	PCR30
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR3 は、ポート 3 の各端子 P₃₇ ~ P₃₀ の入出力をビットごとに制御します。PCR3 に 1 をセットすると対応する P₃₇ ~ P₃₀ 端子は出力端子となり、0 にクリアすると入力端子となります。PMR3 により当該端子が汎用入出力に設定されている場合には、PCR3 および PDR3 の設定が有効となります。

リセット時、PCR3 は H'00 に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

(3) ポートプルアップコントロールレジスタ 3 (PUCR3)

ビット:	7	6	5	4	3	2	1	0
	PUCR37	PUCR36	PUCR35	PUCR34	PUCR33	PUCR32	PUCR31	PUCR30
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR3 は、ポート 3 の各端子 P₃₇ ~ P₃₀ のプルアップ MOS をビットごとに制御します。

PCR3 が 0 の状態で PUCR3 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。

リセット時、PUCR3 は H'00 に初期化されます。

(4) ポートモードレジスタ 3 (PMR3)

ビット:	7	6	5	4	3	2	1	0
	AEVL	AEVH	WDCKS	NCS	IRQ0	RESO*	UD	PWM
初期値:	0	0	0	0	0	1	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR3 は、8 ビットのリード/ライト可能なレジスタで、主にポート 3 の各端子機能の切り替えを制御します。

リセット時、PMR3 は H'04 に初期化されます。

【注】* H8/38327、H8/38427 グループに RESO ビットはありません。

8. I/O ポート

ビット 7 : P3₇/AEVL 端子機能切り替え (AEVL)

P3₇/AEVL 端子を P3₇ 端子として使用するか、AEVL 端子として使用するかを設定します。

ビット 7	説明
AEVL	
0	P3 ₇ 入出力端子として機能 (初期値)
1	AEVL 入力端子として機能

ビット 6 : P3₆/AEVH 端子機能切り替え (AEVH)

P3₆/AEVH 端子を P3₆ 端子として使用するか、AEVH 端子として使用するかを設定します。

ビット 6	説明
AEVH	
0	P3 ₆ 入出力端子として機能 (初期値)
1	AEVH 入力端子として機能

ビット 5 : ウォッチドッグタイマソースクロック選択 (WDCKS)

ウォッチドッグタイマのソースクロックの選択を行います。

ビット 5	説明
WDCKS	
0	/8192 を選択 (初期値)
1	w/32 を選択

ビット 4 : TMIG ノイズキャンセラセレクト (NCS)

インプットキャプチャ入力信号 (TMIG) のノイズ除去回路の制御を行います。

ビット 4	説明
NCS	
0	ノイズ除去機能なし (初期値)
1	ノイズ除去機能あり

ビット 3 : P4₃/IRQ₀ 端子機能切り替え (IRQ₀)

P4₃/IRQ₀ 端子を P4₃ 端子として使用するか、IRQ₀ 端子として使用するかを設定します。

ビット 3	説明
IRQ ₀	
0	P4 ₃ 入力端子として機能 (初期値)
1	IRQ ₀ 入力端子として機能

ビット 2 : P3₂/RESO 端子機能切り替え (RESO)

P3₂/RESO 端子を P3₂ 端子として使用するか、RESO 端子として使用するかを設定します。

ビット 2	説明
RESO	
0	P3 ₂ 入出力端子として機能
1	RESO 出力端子として機能 (初期値)

【注】 * H8/38327、H8/38427 グループでは、本ビットはライト不可のリザーブビットになります。

ビット 1 : P3₁/UD 端子機能切り替え (UD)

P3₁/UD 端子を P3₁ 端子として使用するか、UD 端子として使用するかを設定します。

ビット 1	説明
UD	
0	P3 ₁ 入出力端子として機能 (初期値)
1	UD 入力端子として機能

ビット 0 : P3₀/PWM 端子機能切り替え (PWM)

P3₀/PWM 端子を P3₀ 端子として使用するか、PWM 端子として使用するかを設定します。

ビット 0	説明
PWM	
0	P3 ₀ 入出力端子として機能 (初期値)
1	PWM 出力端子として機能

(5) ポートモードレジスタ 2 (PMR2)

ビット:	7	6	5	4	3	2	1	0
	EXCL	—	—	—	—	—	—	—
初期値:	0	1	0	1	1	0	0	0
R/W :	R/W	R	R/W	R	R	R/W	R/W	R/W

PMR2 は、8 ビットのリード/ライト可能なレジスタで、P3₁ の外部クロック入力を制御します。

リセット時、PMR2 は H'58 に初期化されます。本レジスタは H8/38327、H8/38427 グループに適用します。

8. I/Oポート

ビット7：P3_i/UD/EXCL 端子機能切り替え（EXCL）

P3_i/UD/EXCL 端子を P3_i/UD 端子として使用するか、EXCL 端子として使用するかを設定します。EXCL 端子に設定した場合は外部クロックを入力してください。接続例については「第4章 クロック発振器」を参照してください。

ビット7	説明
EXCL	
0	P3 _i /UD 入出力端子として機能 (初期値)
1	EXCL 入力端子として機能

ビット6：リザーブビット

リザーブビットです。本ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット5：リザーブビット

本ビットはリード/ライト可能なリザーブビットです。

ビット4~3：リザーブビット

リザーブビットです。各ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット2~0：リザーブビット

本ビットはリード/ライト可能なリザーブビットです。

8.3.3 端子機能

表 8.6 にポート 3 の端子機能を示します。

表 8.6 ポート 3 の端子機能

端子	選択方法と端子機能			
P3 ₇ /AEVL	PMR3 の AEVL と PCR3 の PCR3 ₇ の組み合わせで、次のように切り替わります。			
	AEVL	0		1
	PCR3 ₇	0	1	*
	端子機能	P3 ₇ 入力端子	P3 ₇ 出力端子	AEVL入力端子
P3 ₆ /AEVH	PMR3 の AEVH と PCR3 の PCR3 ₆ の組み合わせで、次のように切り替わります。			
	AEVH	0		1
	PCR3 ₆	0	1	*
	端子機能	P3 ₆ 入力端子	P3 ₆ 出力端子	AEVH入力端子
P3 ₅ /TXD ₃₁	SCR3-1 の TE ₃₁ 、SPCR の SPC31、PCR3 の PCR3 ₅ の組み合わせで、次のように切り替わります。			
	SPC31	0		1
	TE ₃₁	0		1
	PCR3 ₅	0	1	*
	端子機能	P3 ₅ 入力端子	P3 ₅ 出力端子	TXD ₃₁ 出力端子
P3 ₄ /RXD ₃₁	SCR3-1 の RE ₃₁ と PCR3 の PCR3 ₄ の組み合わせで、次のように切り替わります。			
	RE ₃₁	0		1
	PCR3 ₄	0	1	*
	端子機能	P3 ₄ 入力端子	P3 ₄ 出力端子	RXD ₃₁ 入力端子
P3 ₃ /SCK ₃₁	SCR3-1 の CKE311、CKE310、SMR31 および PCR3 の PCR3 ₃ で、次のように切り替わります。			
	CKE311	0		1
	CKE310	0	1	*
	COM3 ₁	0	1	*
	PCR3 ₃	0	1	*
端子機能	P3 ₃ 入力端子	P3 ₃ 出力端子	SCK ₃₁ 出力端子	SCK ₃₁ 入力端子

* : Don't care

8. I/O ポート

端子	選択方法と端子機能																	
P3 ₂ /RESO (H8/3827R, H8/3827S)	<ul style="list-style-type: none"> H8/3827R、H8/3827S グループ PMR3 の RESO と PCR3 の PCR3 ₂ の組み合わせで、次のように切り替わります。																	
	<table border="1"> <tr> <td>RESO</td> <td colspan="2">0</td> <td>1</td> </tr> <tr> <td>PCR3₂</td> <td>0</td> <td>1</td> <td>*</td> </tr> <tr> <td>端子機能</td> <td>P3₂入力端子</td> <td>P3₂出力端子</td> <td>RESO出力端子</td> </tr> </table>	RESO	0		1	PCR3 ₂	0	1	*	端子機能	P3 ₂ 入力端子	P3 ₂ 出力端子	RESO出力端子					
	RESO	0		1														
	PCR3 ₂	0	1	*														
端子機能	P3 ₂ 入力端子	P3 ₂ 出力端子	RESO出力端子															
P3 ₂ (H8/38327, H8/38427)	<ul style="list-style-type: none"> H8/38327、H8/38427 グループ PCR3 の PCR3 ₂ で、次のように切り替わります。																	
	<table border="1"> <tr> <td>PCR3₂</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>P3₂入力端子</td> <td>P3₂出力端子</td> </tr> </table>	PCR3 ₂	0	1	端子機能	P3 ₂ 入力端子	P3 ₂ 出力端子											
PCR3 ₂	0	1																
端子機能	P3 ₂ 入力端子	P3 ₂ 出力端子																
P3 ₁ /UD (H8/3827R, H8/3827S)	<ul style="list-style-type: none"> H8/3827R、H8/3827S グループ PMR3 の UD と PCR3 の PCR3 ₁ の組み合わせで、次のように切り替わります。																	
	<table border="1"> <tr> <td>UD</td> <td colspan="2">0</td> <td>1</td> </tr> <tr> <td>PCR3₁</td> <td>0</td> <td>1</td> <td>*</td> </tr> <tr> <td>端子機能</td> <td>P3₁入力端子</td> <td>P3₁出力端子</td> <td>UD入力端子</td> </tr> </table>	UD	0		1	PCR3 ₁	0	1	*	端子機能	P3 ₁ 入力端子	P3 ₁ 出力端子	UD入力端子					
	UD	0		1														
	PCR3 ₁	0	1	*														
端子機能	P3 ₁ 入力端子	P3 ₁ 出力端子	UD入力端子															
P3 ₁ /UD/EXCL (H8/38327, H8/38427)	<ul style="list-style-type: none"> H8/38327、H8/38427 グループ PMR2 の EXCL、PMR3 の UD、PCR3 の PCR3 ₁ の組み合わせで、次のように切り替わります。																	
	<table border="1"> <tr> <td>EXCL</td> <td colspan="2">0</td> <td>1</td> </tr> <tr> <td>UD</td> <td>0</td> <td>1</td> <td>*</td> </tr> <tr> <td>PCR3₁</td> <td>0</td> <td>1</td> <td>*</td> </tr> <tr> <td>端子機能</td> <td>P3₁入力端子</td> <td>P3₁出力端子</td> <td>UD入力端子</td> <td>EXCL出力端子</td> </tr> </table>	EXCL	0		1	UD	0	1	*	PCR3 ₁	0	1	*	端子機能	P3 ₁ 入力端子	P3 ₁ 出力端子	UD入力端子	EXCL出力端子
	EXCL	0		1														
	UD	0	1	*														
PCR3 ₁	0	1	*															
端子機能	P3 ₁ 入力端子	P3 ₁ 出力端子	UD入力端子	EXCL出力端子														
P3 ₀ /PWM	<ul style="list-style-type: none"> PMR3 の PWM および PCR3 の PCR3₀ の組み合わせで、次のように切り替わります。 																	
	<table border="1"> <tr> <td>PWM</td> <td colspan="2">0</td> <td>1</td> </tr> <tr> <td>PCR3₀</td> <td>0</td> <td>1</td> <td>*</td> </tr> <tr> <td>端子機能</td> <td>P3₀入力端子</td> <td>P3₀出力端子</td> <td>PWM出力端子</td> </tr> </table>	PWM	0		1	PCR3 ₀	0	1	*	端子機能	P3 ₀ 入力端子	P3 ₀ 出力端子	PWM出力端子					
	PWM	0		1														
PCR3 ₀	0	1	*															
端子機能	P3 ₀ 入力端子	P3 ₀ 出力端子	PWM出力端子															

* : Don't care

8.3.4 端子状態

各動作モードにおけるポート 3 の端子状態を表 8.7 に示します。

表 8.7 ポート 3 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P3 ₇ /AEVL P3 ₆ /AEVH P3 ₅ /TXD ₃₁ P3 ₄ /RXD ₃₁ P3 ₃ /SCK ₃₁ P3 ₂ /RESO ^{*2}	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス ^{*1}	保持	動作	動作
	リセット 出力						
P3 ₂ ^{*4}	プルアップ MOS が ON 状態						
P3 ₂ ^{*3} P3 ₁ /UD ^{*2} P3 ₁ /UD/ EXCL ^{*3*4} P3 ₀ /PWM	ハイ インピー ダンス						

【注】 *1 プルアップ MOS が ON 状態では High レベル出力となります。

*2 H8/3827R、H8/3827S グループに適用します。

*3 H8/38327、H8/38427 グループのマスク ROM 版に適用します。

*4 H8/38327、H8/38427 グループの F-ZTAT 版に適用します。

8.3.5 入力プルアップ MOS

ポート 3 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR3 が 0 にクリアされている状態で PUCR3 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

PCR3n	0		1
PUCR3n	0	1	*
入力プルアップ MOS	OFF	ON	OFF

* : Don't care (n = 7 ~ 0)

8.4 ポート 4

8.4.1 概要

ポート 4 は、3 ビットの入出力ポートと 1 ビットの入力専用ポートです。ポート 4 の各端子は、図 8.3 に示す構成になっています。

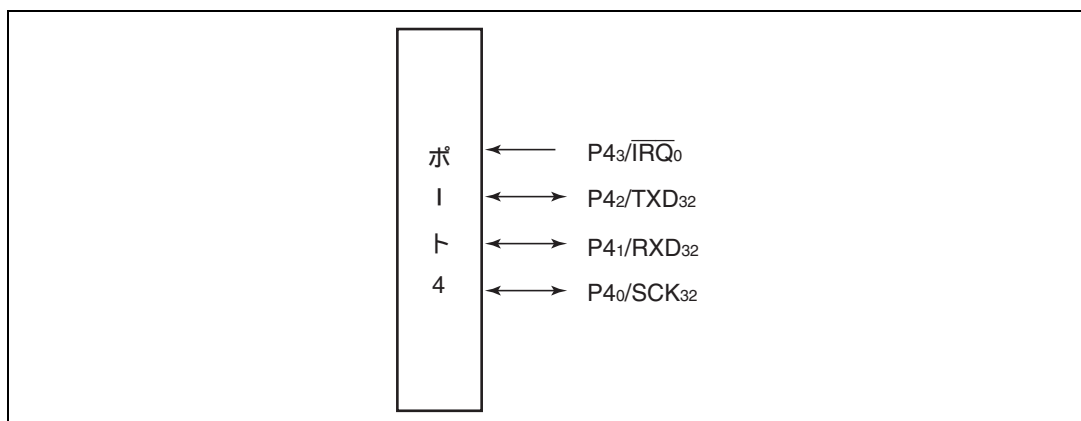


図 8.3 ポート 4 の端子構成

8.4.2 レジスタの構成と説明

表 8.8 にポート 4 のレジスタ構成を示します。

表 8.8 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 4	PDR4	R/W	H'F8	H'FFD7
ポートコントロールレジスタ 4	PCR4	W	H'F8	H'FFE7

(1) ポートデータレジスタ4 (PDR4)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	P43	P42	P41	P40
初期値:	1	1	1	1	1	0	0	0
R/W :	—	—	—	—	R	R/W	R/W	R/W

PDR4は、ポート4の各端子P4₂~P4₀のデータを格納する8ビットのレジスタです。PCR4が1のとき、ポート4のリードを行うと、PDR4の値を直接リードします。そのため端子状態の影響を受けません。PCR4が0のとき、ポート4のリードを行うと、端子状態が読み出されます。

リセット時、PDR4はH'F8に初期化されます。

(2) ポートコントロールレジスタ4 (PCR4)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	PCR4 ₂	PCR4 ₁	PCR4 ₀
初期値:	1	1	1	1	1	0	0	0
R/W :	—	—	—	—	—	W	W	W

PCR4は、ポート4の各端子P4₂~P4₀の入出力をビットごとに制御します。PCR4に1をセットすると対応するP4₂~P4₀端子は出力端子となり、0にクリアすると入力端子となります。SCR3-2により当該端子が汎用入出力に設定されている場合には、PCR4およびPDR4の設定が有効となります。

リセット時、PCR4はH'F8に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に1が読み出されます。

8. I/O ポート

8.4.3 端子機能

表 8.9 にポート 4 の端子機能を示します。

表 8.9 ポート 4 の端子機能

端子	選択方法と端子機能					
P4 ₃ /IRQ ₀	PMR3 の IRQ0 により、次のように切り替わります。					
	IRQ0	0		1		
	端子機能	P4 ₃ 入力端子		IRQ ₀ 入力端子		
P4 ₂ /TXD ₃₂	SCR3-2 の TE ₃₂ 、SPCR の SPC32、PCR4 の PCR4 ₂ の組み合わせで、次のように切り替わります。					
	SPC32	0		1		
	TE ₃₂	0		1		
	PCR4 ₂	0	1	*		
	端子機能	P4 ₂ 入力端子	P4 ₂ 出力端子	TXD ₃₂ 出力端子		
P4 ₁ /RXD ₃₂	SCR3-2 の RE ₃₂ と PCR4 の PCR4 ₁ の組み合わせで、次のように切り替わります。					
	RE ₃₂	0		1		
	PCR4 ₁	0	1	*		
	端子機能	P4 ₁ 入力端子	P4 ₁ 出力端子	RXD ₃₂ 入力端子		
P4 ₀ /SCK ₃₂	SCR3-2 の CKE1、CKE0、SMR32 の COM32、および PCR4 の PCR4 ₀ の組み合わせで、次のように切り替わります。					
	CKE1	0		1		
	CKE0	0		1	*	
	COM32	0		1	*	*
	PCR4 ₀	0	1	*	*	
	端子機能	P4 ₀ 入力端子	P4 ₀ 出力端子	SCK ₃₂ 出力端子	SCK ₃₂ 入力端子	

* : Don't care

8.4.4 端子状態

各動作モードにおけるポート 4 の端子状態を表 8.10 に示します。

表 8.10 ポート 4 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P4 ₃ /IRQ ₀	ハイ	保持	保持	ハイ	保持	動作	動作
P4 ₂ /TXD ₃₂	インピーダンス			インピーダンス			
P4 ₁ /RXD ₃₂							
P4 ₀ /SCK ₃₂							

8.5 ポート 5

8.5.1 概要

ポート 5 は、8 ビットの入出力ポートです。ポート 5 の各端子は、図 8.4 に示す構成になっています。

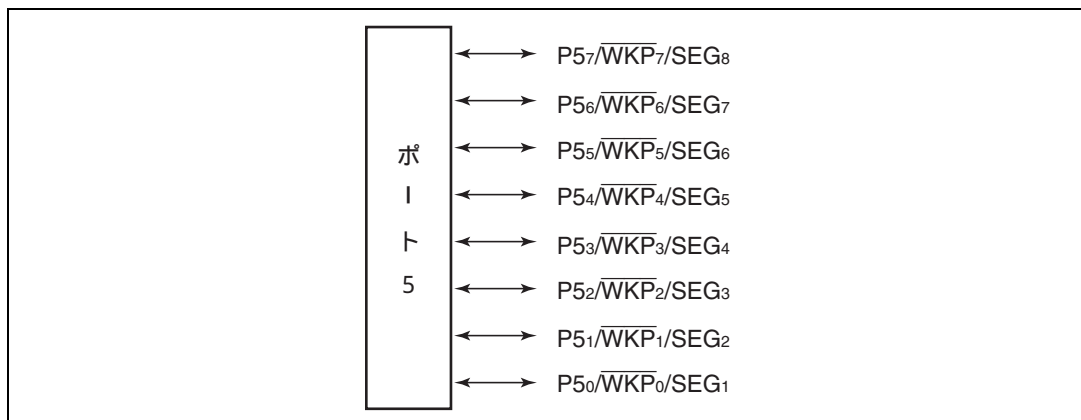


図 8.4 ポート 5 の端子構成

8.5.2 レジスタの構成と説明

表 8.11 にポート 5 のレジスタ構成を示します。

表 8.11 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 5	PDR5	R/W	H'00	H'FFD8
ポートコントロールレジスタ 5	PCR5	W	H'00	H'FFE8
ポートプルアップコントロールレジスタ 5	PUCR5	R/W	H'00	H'FFE2
ポートモードレジスタ 5	PMR5	R/W	H'00	H'FFCC

(1) ポートデータレジスタ 5 (PDR5)

ビット:	7	6	5	4	3	2	1	0
	P57	P56	P55	P54	P53	P52	P51	P50
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR5 は、ポート 5 の各端子 P5₇ ~ P5₀ のデータを格納する 8 ビットのレジスタです。

PCR5 が 1 のとき、ポート 5 のリードを行うと、PDR5 の値を直接リードします。そのため端子状態の影響を受けません。PCR5 が 0 のとき、ポート 5 のリードを行うと、端子状態が読み出されます。

リセット時、PDR5 は H'00 に初期化されます。

8. I/Oポート

(2) ポートコントロールレジスタ 5 (PCR5)

ビット:	7	6	5	4	3	2	1	0
	PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR5 は、ポート 5 の各端子 P5₇ ~ P5₀ の入出力をビットごとに制御します。PCR5 に 1 をセットすると対応する P5₇ ~ P5₀ 端子は出力端子となり、0 にクリアすると入力端子となります。PMR5、LPCR の SGS3 ~ SGS0 により当該端子が汎用入出力に設定されている場合には、PCR5 および PDR5 の設定が有効となります。

リセット時、PCR5 は H'00 に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

(3) ポートプルアップコントロールレジスタ 5 (PUCR5)

ビット:	7	6	5	4	3	2	1	0
	PUCR57	PUCR56	PUCR55	PUCR54	PUCR53	PUCR52	PUCR51	PUCR50
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR5 は、ポート 5 の各端子 P5₇ ~ P5₀ のプルアップ MOS をビットごとに制御します。

PCR5 が 0 の状態で PUCR5 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。

リセット時、PUCR5 は H'00 に初期化されます。

(4) ポートモードレジスタ 5 (PMR5)

ビット:	7	6	5	4	3	2	1	0
	WKP7	WKP6	WKP5	WKP4	WKP3	WKP2	WKP1	WKP0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR5 は、8 ビットのリード/ライト可能なレジスタで、ポート 5 の各端子機能の切り替えを制御します。

リセット時、PMR5 は H'00 に初期化されます。

ビット n : $P5_n/\overline{WKP}_n/\overline{SEG}_{n+1}$ 端子機能切り替え (WKP $_n$)

$P5_n/\overline{WKP}_n/\overline{SEG}_{n+1}$ 端子として使用しない場合に、 $P5_n$ 端子として使用するか、 \overline{WKP}_n 端子として使用するかを設定します。

ビット n	説明
WKP $_n$	
0	$P5_n$ 入出力端子として機能 (初期値)
1	\overline{WKP}_n 入力端子として機能

($n=7\sim 0$)

【注】 \overline{SEG}_{n+1} としての使用については、「13.2.1 LCD ポートコントロールレジスタ (LPCR)」を参照してください。

8.5.3 端子機能

表 8.12 にポート 5 の端子機能を示します。

表 8.12 ポート 5 の端子機能

端子	選択方法と端子機能			
$P5_n/\overline{WKP}_n/\overline{SEG}_{n+1}$	PMR5 の \overline{WKP}_n 、PCR5 の $PCR5_n$ 、および LPCR の $SGS3\sim SGS0$ の組み合わせで、次のように切り替わります。			
$P5_0/\overline{WKP}_0/\overline{SEG}_1$	($n=7\sim 0$)			
	SGS3 ~ SGS0	0***		1***
	WKP $_n$	0	1	*
	PCR5 $_n$	0	1	*
端子機能	$P5_n$ 入力端子	$P5_n$ 出力端子	\overline{WKP}_n 入力端子	\overline{SEG}_{n+1} 出力端子

* : Don't care

8. I/Oポート

8.5.4 端子状態

各動作モードにおけるポート5の端子状態を表8.13に示します。

表 8.13 ポート5の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P5 _n /WKP ₇ /SEG ₈ ~ P5 _n /WKP ₀ /SEG ₁	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	保持	動作	動作

【注】 * ブルアップ MOS が ON 状態では High レベル出力となります。

8.5.5 入力ブルアップ MOS

ポート5は、プログラムで制御可能な入力ブルアップ MOS を内蔵しています。PCR5 が0にクリアされている状態で PUCR5 に1をセットすると入力ブルアップ MOS は ON 状態となります。また、入力ブルアップ MOS はリセット時、OFF 状態になります。

PCR5 _n	0		1
PUCR5 _n	0	1	*
入力ブルアップ MOS	OFF	ON	OFF

* : Don't care (n=7~0)

8.6 ポート 6

8.6.1 概要

ポート 6 は、8 ビットの入出力ポートです。ポート 6 の各端子は、図 8.5 に示す構成になっています。

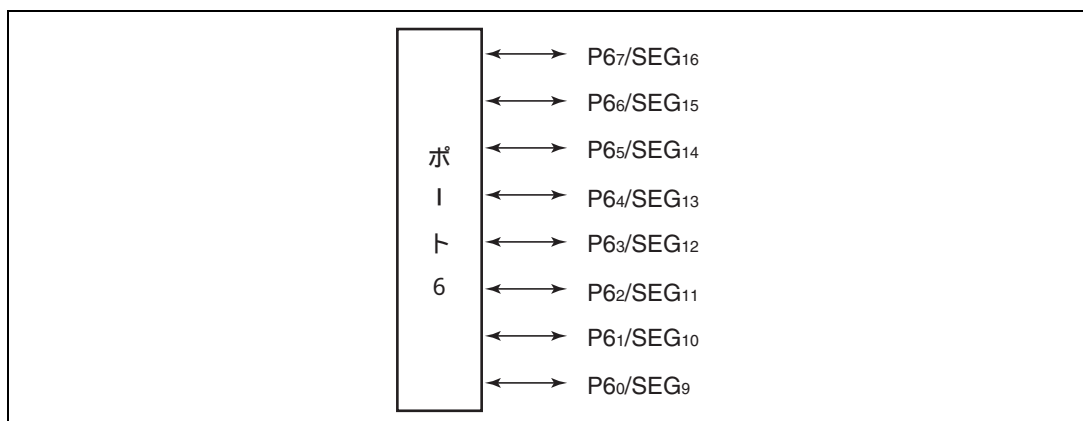


図 8.5 ポート 6 の端子構成

8.6.2 レジスタの構成と説明

表 8.14 にポート 6 のレジスタ構成を示します。

表 8.14 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 6	PDR6	R/W	H'00	H'FFD9
ポートコントロールレジスタ 6	PCR6	W	H'00	H'FFE9
ポートブルアップコントロールレジスタ 6	PUCR6	R/W	H'00	H'FFE3

(1) ポートデータレジスタ 6 (PDR6)

ビット:	7	6	5	4	3	2	1	0
	P67	P66	P65	P64	P63	P62	P61	P60
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR6 は、ポート 6 の各端子 P6₇ ~ P6₀ のデータを格納する 8 ビットのレジスタです。

PCR6 が 1 のとき、ポート 6 のリードを行うと、PDR6 の値を直接リードします。そのため端子状態の影響を受けません。PCR6 が 0 のとき、ポート 6 のリードを行うと、端子状態が読み出されます。

リセット時、PDR6 は H'00 に初期化されます。

8. I/Oポート

(2) ポートコントロールレジスタ6 (PCR6)

ビット:	7	6	5	4	3	2	1	0
	PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR6は、ポート6の各端子P₆₇~P₆₀の入出力をビットごとに制御します。PCR6に1をセットすると対応するP₆₇~P₆₀端子は出力端子となり、0にクリアすると入力端子となります。LPCRのSGS3~SGS0により当該端子が汎用入出力に設定されている場合には、PCR6およびPDR6の設定が有効となります。

リセット時、PCR6はH'00に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に1が読み出されます。

(3) ポートプルアップコントロールレジスタ6 (PUCR6)

ビット:	7	6	5	4	3	2	1	0
	PUCR67	PUCR66	PUCR65	PUCR64	PUCR63	PUCR62	PUCR61	PUCR60
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR6は、ポート6の各端子P₆₇~P₆₀のプルアップMOSをビットごとに制御します。

PCR6が0の状態ではPUCR6に1をセットすると対応するプルアップMOSはON状態となり、0にクリアするとOFF状態となります。

リセット時、PUCR6はH'00に初期化されます。

8.6.3 端子機能

表 8.15 にポート 6 の端子機能を示します。

表 8.15 ポート 6 の端子機能

端子	選択方法と端子機能		
P6 ₇ /SEG ₁₆ ~ P6 ₀ /SEG ₉	PCR6 の PCR6 _n と LPCR の SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。 (n = 7 ~ 0)		
	SGS3 ~ SGS0	00**、010*	
	PCR6 _n	0	1
	端子機能	P6 _n 入力端子	P6 _n 出力端子

* : Don't care

8.6.4 端子状態

各動作モードにおけるポート 6 の端子状態を表 8.16 に示します。

表 8.16 ポート 6 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P6 ₇ /SEG ₁₆ ~ P6 ₀ /SEG ₉	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	保持	動作	動作

【注】 * ブルアップ MOS が ON 状態では High レベル出力となります。

8.6.5 入力プルアップ MOS

ポート 6 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR6 が 0 にクリアされている状態で PUCR6 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

PCR6 _n	0		1
PUCR6 _n	0	1	*
入力プルアップ MOS	OFF	ON	OFF

* : Don't care (n = 7 ~ 0)

8.7 ポート 7

8.7.1 概要

ポート 7 は、8 ビットの入出力ポートです。ポート 7 の各端子は、図 8.6 に示す構成になっています。

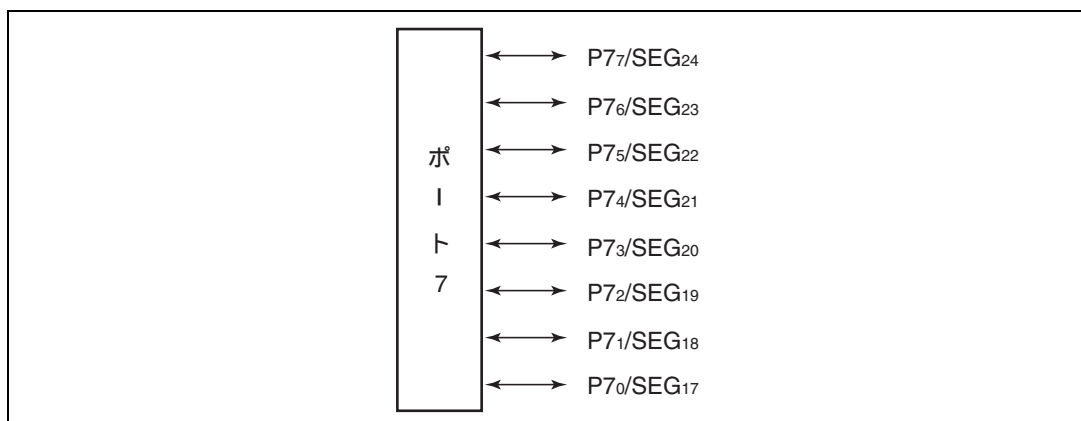


図 8.6 ポート 7 の端子構成

8.7.2 レジスタの構成と説明

表 8.17 にポート 7 のレジスタ構成を示します。

表 8.17 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 7	PDR7	R/W	H'00	H'FFDA
ポートコントロールレジスタ 7	PCR7	W	H'00	H'FFEA

(1) ポートデータレジスタ 7 (PDR7)

ビット:	7	6	5	4	3	2	1	0
	P77	P76	P75	P74	P73	P72	P71	P70
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR7 は、ポート 7 の各端子 P7₇ ~ P7₀ のデータを格納する 8 ビットのレジスタです。

PCR7 が 1 のとき、ポート 7 のリードを行うと、PDR7 の値を直接リードします。そのため端子状態の影響を受けません。PCR7 が 0 のとき、ポート 7 のリードを行うと、端子状態が読み出されます。

リセット時、PDR7 は H'00 に初期化されます。

(2) ポートコントロールレジスタ7 (PCR7)

ビット:	7	6	5	4	3	2	1	0
	PCR77	PCR76	PCR75	PCR74	PCR73	PCR72	PCR71	PCR70
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR7は、ポート7の各端子P7₇~P7₀の入出力をビットごとに制御します。PCR7に1をセットすると対応するP7₇~P7₀端子は出力端子となり、0にクリアすると入力端子となります。LPCRのSGS3~SGS0により当該端子が汎用入出力に設定されている場合には、PCR7およびPDR7の設定が有効となります。

リセット時、PCR7はH'00に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に1が読み出されます。

8.7.3 端子機能

表 8.18 にポート7の端子機能を示します。

表 8.18 ポート7の端子機能

端子	選択方法と端子機能		
P7 ₇ /SEG ₂₄ ~ P7 ₀ /SEG ₁₇	PCR7のPCR7 _n とLPCRのSGS3~SGS0の組み合わせで、次のように切り替わります。 (n=7~0)		
	SGS3~SGS0	00**	
		01***、1***	
	PCR7 _n	0	1
		*	
端子機能	P7 _n 入力端子	P7 _n 出力端子	SEG _{n+17} 出力端子

* : Don't care

8.7.4 端子状態

各動作モードにおけるポート7の端子状態を表 8.19 に示します。

表 8.19 ポート7の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P7 ₇ /SEG ₂₄ ~ P7 ₀ /SEG ₁₇	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作

8.8 ポート 8

8.8.1 概要

ポート 8 は、8 ビットの入出力ポートです。ポート 8 の各端子は、図 8.7 に示す構成になっています。

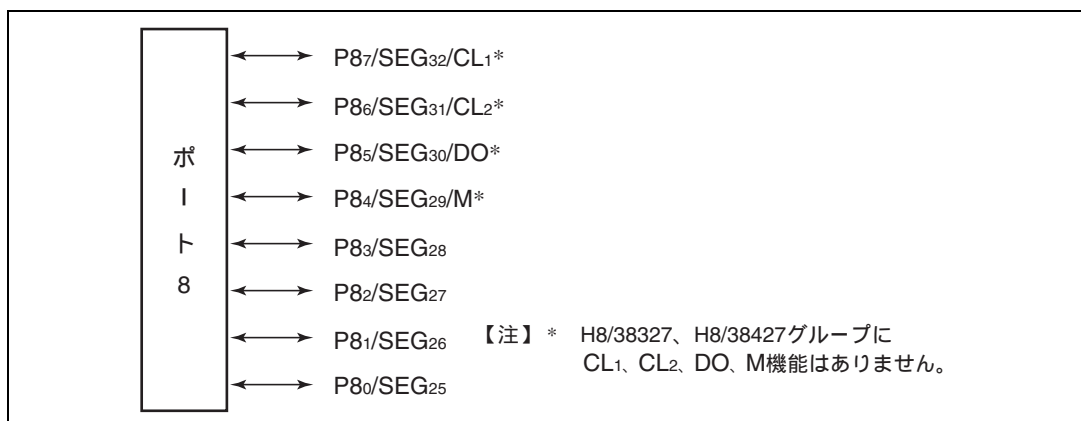


図 8.7 ポート 8 の端子構成

8.8.2 レジスタの構成と説明

表 8.20 にポート 8 のレジスタ構成を示します。

表 8.20 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 8	PDR8	R/W	H'00	H'FFDB
ポートコントロールレジスタ 8	PCR8	W	H'00	H'FFEB

(1) ポートデータレジスタ 8 (PDR8)

ビット:	7	6	5	4	3	2	1	0
	P87	P86	P85	P84	P83	P82	P81	P80
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR8 は、ポート 8 の各端子 P8₇ ~ P8₀ のデータを格納する 8 ビットのレジスタです。

PCR8 が 1 のとき、ポート 8 のリードを行うと、PDR8 の値を直接リードします。そのため端子状態の影響を受けません。PCR8 が 0 のとき、ポート 8 のリードを行うと、端子状態が読み出されます。

リセット時、PDR8 は H'00 に初期化されます。

(2) ポートコントロールレジスタ 8 (PCR8)

ビット:	7	6	5	4	3	2	1	0
	PCR87	PCR86	PCR85	PCR84	PCR83	PCR82	PCR81	PCR80
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR8 は、ポート 8 の各端子 P8₇ ~ P8₀ の入出力をビットごとに制御します。PCR8 に 1 をセットすると対応する P8₇ ~ P8₀ 端子は出力端子となり、0 にクリアすると入力端子となります。LPCR の SGS3 ~ SGS0 により当該端子が汎用入出力に設定されている場合には、PCR8 および PDR8 の設定が有効となります。

リセット時、PCR8 は H'00 に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

8. I/O ポート

8.8.3 端子機能

表 8.21 にポート 8 の端子機能を示します。H8/38327、H8/38427 では SGX=0 の機能が適用されません。

表 8.21 ポート 8 の端子機能 (1)

端子	選択方法と端子機能				
P8 ₇ /SEG ₃₂ /CL ₁	PCR8 の PCR8 ₇ と LPCR の SGX、SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。				
	SGS3 ~ SGS0	000*		001*、01**、1***	0000
	SGX	0		0	1
	PCR8 ₇	0	1	*	*
	端子機能	P8 ₇ 入力端子	P8 ₇ 出力端子	SEG ₃₂ 出力端子	CL ₁ 出力端子
P8 ₆ /SEG ₃₁ /CL ₂	PCR8 の PCR8 ₆ と LPCR の SGX、SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。				
	SGS3 ~ SGS0	000*		001*、01**、1***	0000
	SGX	0		0	1
	PCR8 ₆	0	1	*	*
	端子機能	P8 ₆ 入力端子	P8 ₆ 出力端子	SEG ₃₁ 出力端子	CL ₂ 出力端子
P8 ₅ /SEG ₃₀ /DO	PCR8 の PCR8 ₅ と LPCR の SGX、SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。				
	SGS3 ~ SGS0	000*		001*、01**、1***	0000
	SGX	0		0	1
	PCR8 ₅	0	1	*	*
	端子機能	P8 ₅ 入力端子	P8 ₅ 出力端子	SEG ₃₀ 出力端子	D0出力端子
P8 ₄ /SEG ₂₉ /M	PCR8 の PCR8 ₄ と LPCR の SGX、SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。				
	SGS3 ~ SGS0	000*		001*、01**、1***	0000
	SGX	0		0	1
	PCR8 ₄	0	1	*	*
	端子機能	P8 ₄ 入力端子	P8 ₄ 出力端子	SEG ₂₉ 出力端子	M出力端子

* : Don't care

表 8.21 ポート 8 の端子機能 (2)

端子	選択方法と端子機能		
P8 ₃ /SEG ₂₈ ~ P8 ₀ /SEG ₂₅	PCR8 の PCR8 _n と LPCR の SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。 (n = 3 ~ 0)		
	SGS3 ~ SGS0	000*	
	PCR8 _n	0	1
	端子機能	P8 _n 入力端子	P8 _n 出力端子

*: Don't care

8.8.4 端子状態

各動作モードにおけるポート 8 の端子状態を表 8.22 に示します。

表 8.22 ポート 8 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P8 ₇ /SEG ₃₂ /CL ₁ P8 ₆ /SEG ₃₁ /CL ₂ P8 ₅ /SEG ₃₀ /DO P8 ₄ /SEG ₂₉ /M P8 ₃ /SEG ₂₈ ~ P8 ₀ /SEG ₂₅	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作

8.9 ポート A

8.9.1 概要

ポート A は、4 ビットの入出力ポートです。ポート A の各端子は、図 8.8 に示す構成になっています。

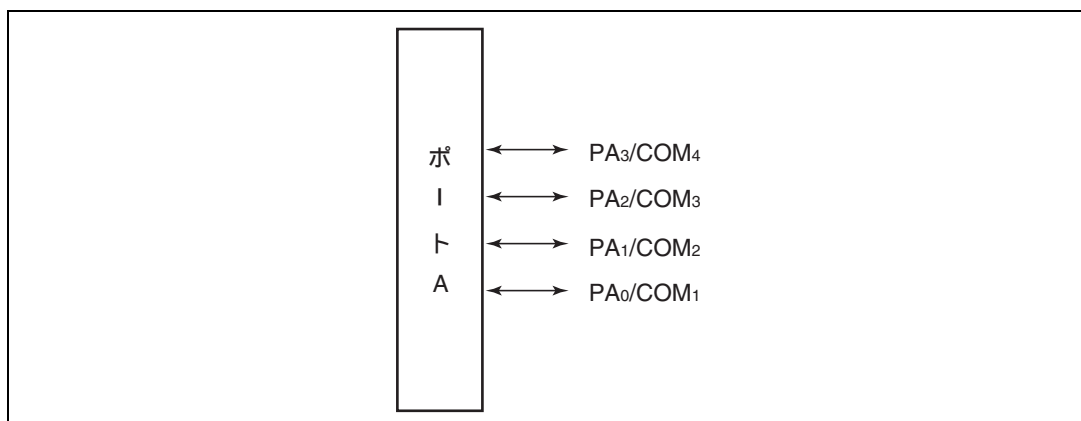


図 8.8 ポート A の端子構成

8.9.2 レジスタの構成と説明

表 8.23 にポート A のレジスタ構成を示します。

表 8.23 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ A	PDRA	R/W	H'F0	H'FFDD
ポートコントロールレジスタ A	PCRA	W	H'F0	H'FFED

(1) ポートデータレジスタ A (PDRA)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PA3	PA2	PA1	PA0
初期値:	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

PDRA は、ポート A の各端子 PA₃ ~ PA₀ のデータを格納する 8 ビットのレジスタです。

PCRA が 1 のとき、ポート A のリードを行うと、PDRA の値を直接リードします。そのため端子状態の影響を受けません。PCRA が 0 のとき、ポート A のリードを行うと、端子状態が読み出されます。

リセット時、PDRA は H'F0 に初期化されます。

(2) ポートコントロールレジスタ A (PCRA)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PCRA3	PCRA2	PCRA1	PCRA0
初期値:	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	W	W	W	W

PCRA は、ポート A の各端子 PA₃ ~ PA₀ の入出力をビットごとに制御します。PCRA に 1 をセットすると対応する PA₃ ~ PA₀ 端子は出力端子となり、0 にクリアすると入力端子となります。LPCR により当該端子が汎用入出力に設定されている場合には、PCRA および PDRA の設定が有効となります。

リセット時、PCRA は H'F0 に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

8. I/Oポート

8.9.3 端子機能

表 8.24 にポート A の端子機能を示します。

表 8.24 ポート A の端子機能

端子	選択方法と端子機能			
PA ₃ /COM ₄	PCRA の PCRA ₃ と SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。			
	SGS3 ~ SGS0	0000	0000	0000以外
	PCRA ₃	0	1	*
	端子機能	PA ₃ 入力端子	PA ₃ 出力端子	COM ₄ 出力端子
PA ₂ /COM ₃	PCRA の PCRA ₂ と SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。			
	SGS3 ~ SGS0	0000	0000	0000以外
	PCRA ₂	0	1	*
	端子機能	PA ₂ 入力端子	PA ₂ 出力端子	COM ₃ 出力端子
PA ₁ /COM ₂	PCRA の PCRA ₁ と SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。			
	SGS3 ~ SGS0	0000	0000	0000以外
	PCRA ₁	0	1	*
	端子機能	PA ₁ 入力端子	PA ₁ 出力端子	COM ₂ 出力端子
PA ₀ /COM ₁	PCRA の PCRA ₀ と SGS3 ~ SGS0 の組み合わせで、次のように切り替わります。			
	SGS3 ~ SGS0	0000		0000以外
	PCRA ₀	0	1	*
	端子機能	PA ₀ 入力端子	PA ₀ 出力端子	COM ₁ 出力端子

* : Don't care

8.9.4 端子状態

各動作モードにおけるポート A の端子状態を表 8.25 に示します。

表 8.25 ポート A の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
PA ₃ /COM ₄ PA ₂ /COM ₃ PA ₁ /COM ₂ PA ₀ /COM ₁	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作

8.10 ポート B

8.10.1 概要

ポート B は、8 ビットの入力専用ポートです。ポート B の各端子は、図 8.9 に示す構成になっています。

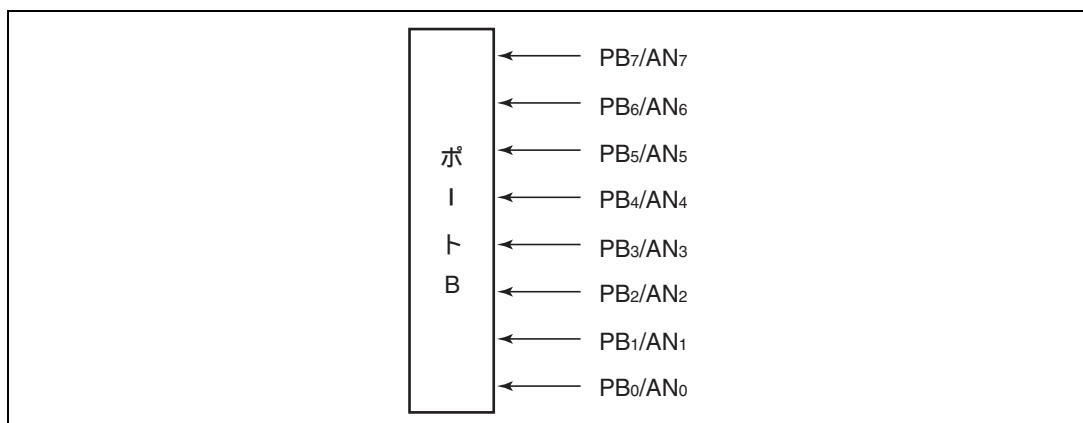


図 8.9 ポート B の端子構成

8.10.2 レジスタの構成と説明

表 8.26 にポート B のレジスタ構成を示します。

表 8.26 レジスタ構成

名称	略称	R/W	アドレス
ポートデータレジスタ B	PDRB	R	H'FFDE

(1) ポートデータレジスタ B (PDRB)

ビット:	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
R/W :	R	R	R	R	R	R	R	R

PDRB をリードすると常に各端子の状態が読み出されます。ただし、A/D 変換器の AMR の CH3 ~ CH0 によりアナログ入力チャンネルが選択されている端子をリードすると入力電圧に関係なく 0 が読み出されます。

8.11 入出力データ反転機能

8.11.1 概要

入力端子の RXD_{31} 、 RXD_{32} と出力端子の TXD_{31} 、 TXD_{32} はデータを反転させて取り扱うことが可能です。

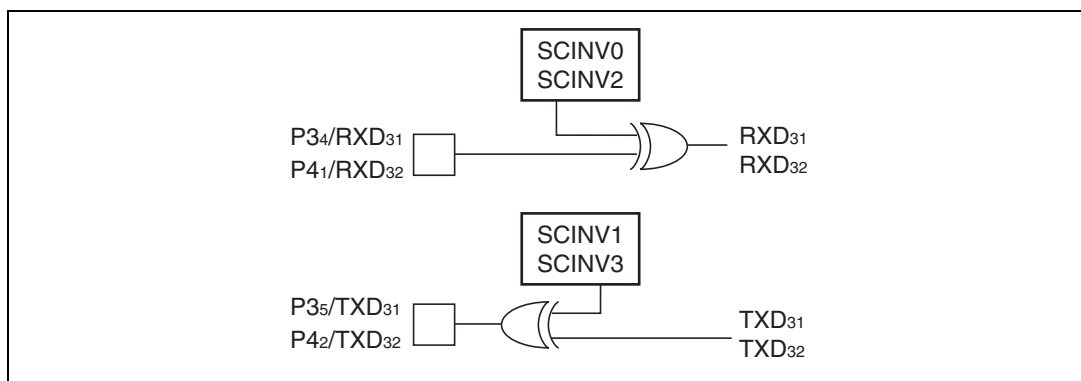


図 8.10 入出力データ反転機能

8.11.2 レジスタの構成と説明

表 8.27 に入出力データ反転機能のレジスタ構成を示します。

表 8.27 レジスタ構成

名称	略称	R/W	アドレス
シリアルポートコントロールレジスタ	SPCR	R/W	H'FF91

(1) シリアルポートコントロールレジスタ (SPCR)

ビット:	7	6	5	4	3	2	1	0
			SPC32	SPC31	SCINV3	SCINV2	SCINV1	SCINV0
初期値:	1	1	0	0	0	0	0	0
R/W :			R/W	R/W	R/W	R/W	R/W	R/W

SPCR は、8 ビットのリード/ライト可能なレジスタで、 RXD_{31} 、 RXD_{32} 、 TXD_{31} 、 TXD_{32} 、端子の入出力データ反転切り替えを行います。リセット時、SPCR は H'00 に初期化されます。

ビット 7~6 : リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット 5 : P4₂/TXD₃₂ 端子機能切り替え

P4₂/TXD₃₂ 端子を P4₂ 端子として使用するか TXD₃₂ 端子として使用するかを設定します。

ビット 5	説明	
SPC32		
0	P4 ₂ 入出力端子として機能。	(初期値)
1	TXD ₃₂ 出力端子として機能。*	

【注】 * 本ビットを 1 に設定した後に SCR3 の TE ビットを設定してください。

ビット 4 : P3₅/TXD₃₁ 端子機能切り替え

P3₅/TXD₃₁ 端子を P3₅ 端子として使用するか TXD₃₁ 端子として使用するかを設定します。

ビット 4	説明	
SPC31		
0	P3 ₅ 入出力端子として機能。	(初期値)
1	TXD ₃₁ 出力端子として機能。*	

【注】 * 本ビットを 1 に設定した後に SCR3 の TE ビットを設定してください。

ビット 3 : TXD₃₂ 端子出力データ反転切り替え

TXD₃₂ 端子の出力データを反転するか、しないか、の切り替えを設定します。

ビット 3	説明	
SCINV3		
0	TXD ₃₂ の出力データを反転しない。	(初期値)
1	TXD ₃₂ の出力データを反転する。	

ビット 2 : RXD₃₂ 端子入力データ反転切り替え

RXD₃₂ 端子の入力データを反転するか、しないか、の切り替えを設定します。

ビット 2	説明	
SCINV2		
0	RXD ₃₂ の入力データを反転しない。	(初期値)
1	RXD ₃₂ の入力データを反転する。	

ビット 1 : TXD₃₁ 端子出力データ反転切り替え

TXD₃₁ 端子の出力データを反転するか、しないか、の切り替えを設定します。

ビット 1	説明	
SCINV1		
0	TXD ₃₁ の出力データを反転しない。	(初期値)
1	TXD ₃₁ の出力データを反転する。	

8. I/Oポート

ビット0：RXD₃₁端子入力データ反転切り替え

RXD₃₁端子の入力データを反転するか、しないか、の切り替えを設定します。

ビット0 SCINV0	説明
0	RXD ₃₁ の入力データを反転しない。 (初期値)
1	RXD ₃₁ の入力データを反転する。

8.11.3 シリアルポートコントロールレジスタを書き換える際の注意事項

シリアルポートコントロールレジスタを書き換えると、それまで入力または出力されていたデータが書き換え直後に反転され、有効ではないデータの変化が入出力されます。シリアルポートコントロールレジスタを書き換える際には、データ変化を無効にする状態で、書き換えてください。

8.12 使用上の注意事項

8.12.1 未使用端子の処理

ユーザシステムで使用していない入出力端子がフローティングの場合、フローティング端子はプルアップまたはプルダウンしてください。

未使用端子が入力設定の場合は下記いずれかの設定にしてください。

- (1) 内蔵プルアップMOSで V_{CC} にプルアップ
- (2) 外部に100k 程度の抵抗をつけて V_{CC} にプルアップ
- (3) 外部に100k 程度の抵抗をつけて V_{CC} にプルダウン
- (4) A/D変換器の端子と兼用している端子は AV_{CC} にプルアップ

未使用端子が出力設定の場合は下記のいずれかの設定にしてください。

- (1) 未使用端子をHighレベル出力にし、外部に100k 程度の抵抗を付けて V_{CC} にプルアップ
- (2) 未使用端子をLowレベル出力にし、外部に100k 程度の抵抗を付けて V_{SS} にプルダウン

9. タイマ

9.1 概要

本 LSI は 6 本のタイマ (タイマ A、C、F、G、ウォッチドッグタイマ、非同期イベントカウンタ) を内蔵しています。

各タイマの機能概要を表 9.1 に示します。

9. タイマ

表 9.1 タイマの機能概要

タイマ名称	機能	内部クロック	イベント 入力端子	波形出力端子	備考
タイマ A	<ul style="list-style-type: none"> ・ 8 ビットのタイマ ・ インターバル機能 	$/8 \sim /8192$ (8 種類)			
	<ul style="list-style-type: none"> ・ 時計用タイムベース機能 ・ クロック出力機能 	$w/128$ (オーバフロー周期は 4 種類選択可)			
タイマ C	<ul style="list-style-type: none"> ・ 8 ビットのタイマ ・ インターバル機能 ・ イベントカウント機能 ・ カウントアップ/ダウン選択可能 	$/4 \sim /8192$ $w/4$ (7 種類)	TMIC		カウントアップ/ダウンはソフトウェア制御、ハードウェア制御とも可能
タイマ F	<ul style="list-style-type: none"> ・ 16 ビットのタイマ ・ イベントカウント機能 ・ 独立した 2 本の 8 ビットタイマとして使用可能 ・ アウトプットコンペア出力機能 	$/4 \sim /32$ 、 $w/4$ (4 種類)	TMIF	TMOFL TMOFH	
タイマ G	<ul style="list-style-type: none"> ・ 8 ビットのタイマ ・ インพุットキャプチャ機能 ・ インターバル機能 	$/2 \sim /64$ $w/4$ (4 種類)	TMIG		<ul style="list-style-type: none"> ・ カウンタのクリア指定が可能 ・ キャプチャ入力信号のノイズ除去回路内蔵
ウォッチ ドッグ タイマ	<ul style="list-style-type: none"> ・ 8 ビットカウンタのオーバフローでリセット信号を発生 	$/8192$ $w/32$			
非同期 イベント カウンタ	<ul style="list-style-type: none"> ・ 16 ビットのカウンタ ・ 独立した 2 本の 8 ビットカウンタとして使用可能 ・ w と非同期のイベント機能 		AEVL AEVH		

9.2 タイマ A

9.2.1 概要

タイマ A はインターバル/時計用タイムベース機能を内蔵した 8 ビットのタイマです。32.768kHz の水晶発振器を接続すると時計用タイムベースとして使用できます。また、TMOW 端子より、32.768kHz を分周したクロック、また 38.4kHz の水晶発振器を接続した場合は、38.4kHz を分周したクロック、およびシステムクロックを分周したクロックが出力可能です。

(1) 特長

タイマ A の特長を以下に示します。

8 種類の内部クロックを選択可能

8 種類の内部クロック (/8192、 /4096、 /2048、 /512、 /256、 /128、 /32、 /8) から
の選択が可能です。

4 種類のオーバーフロー周期を選択可能

時計用タイムベースとして 4 種類のオーバーフロー周期 (1s、0.5s、0.25s、31.25ms) の選択が可能です (32.768kHz 水晶発振器を使用) 。

カウンタのオーバーフローで割り込みを発生

タイマ出力クロックを選択可能

TMOW 端子から出力するクロックとして、32.768kHz の分周なし、32、16、8、4 分周したクロック (1kHz、2kHz、4kHz、8kHz、32.768kHz) または、38.4kHz の分周なし、32、16、8、4 分周したクロック (1.2kHz、2.4kHz、4.8kHz、9.6kHz、38.4kHz)、およびシステムクロックを 32、16、8、4 分周したクロックの計 9 種類の選択が可能です。

モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能

9. タイマ

(2) ブロック図

タイマ A のブロック図を図 9.1 に示します。

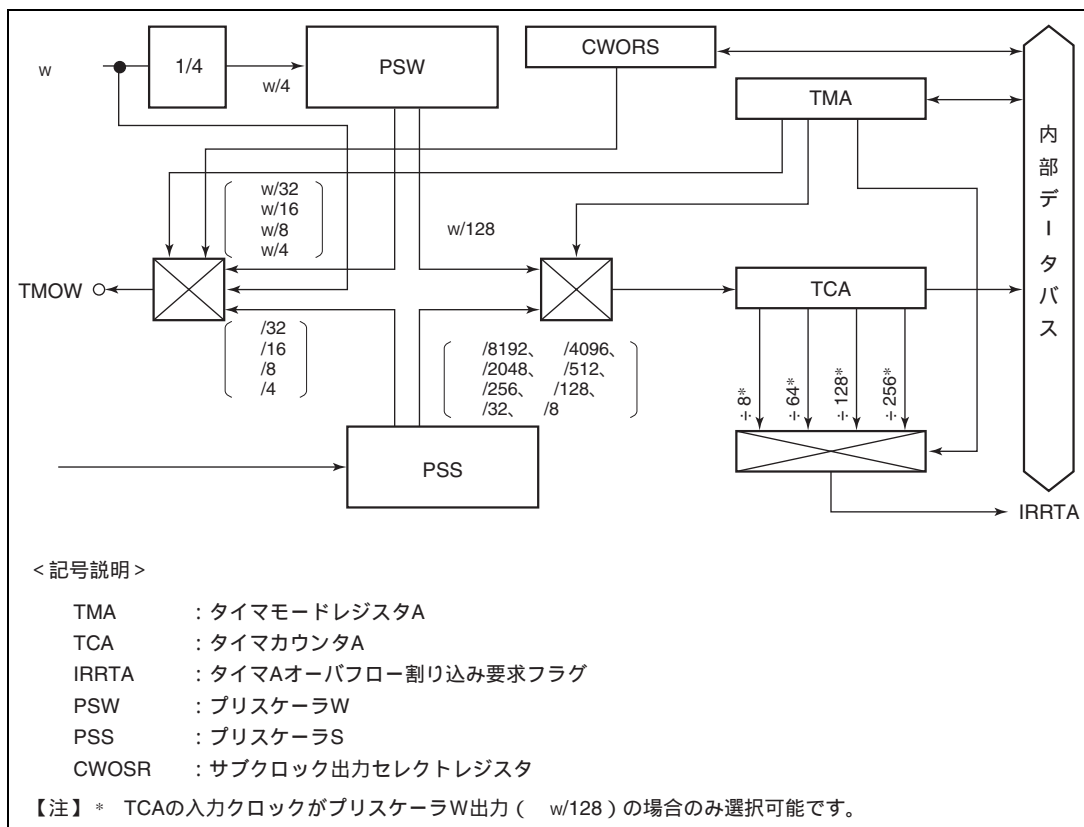


図 9.1 タイマ A ブロック図

(3) 端子構成

タイマ A の端子構成を表 9.2 に示します。

表 9.2 端子構成

名称	略称	入出力	機能
クロック出力	TMOW	出力	タイマ A 出力回路により生成された波形の出力端子

(4) レジスタ構成

タイマ A のレジスタ構成を表 9.3 に示します。

表 9.3 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマモードレジスタ A	TMA	R/W	H'10	H'FFB0
タイマカウンタ A	TCA	R	H'00	H'FFB1
クロック停止レジスタ 1	CKSTPR1	R/W	H'FF	H'FFFA
サブクロック出力セレクトレジスタ	CWOSR	R/W	H'FE	H'FF92

9.2.2 各レジスタの説明

(1) タイマモードレジスタ A (TMA)

ビット:	7	6	5	4	3	2	1	0
	TMA7	TMA6	TMA5	—	TMA3	TMA2	TMA1	TMA0
初期値:	0	0	0	1	0	0	0	0
R/W :	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W

TMA は、8 ビットのリード/ライト可能なレジスタで、プリスケアラ、入力クロック、および出力クロックの選択を行います。

リセット時、TMA は H'10 に初期化されます。

ビット 7~5 : クロック出力セレクト (TMA7~TMA5)

TMOW 端子から出力する 8 種類のクロックを選択します。システムクロックを 32、16、8、4 分周したクロックは、アクティブモード、スリープモードで出力されます。32.768kHz または 38.4kHz を 32、16、8、4 分周したクロックは、アクティブモード、スリープモード、およびサブアクティブモードで出力されます。_w はリセット以外のすべてのモードで出力されます。

CWOSR	TMA			説明
	ビット 7	ビット 6	ビット 5	
CWOS	TMA7	TMA6	TMA5	
0	0	0	0	/32 (初期値)
			1	/16
		1	0	/8
			1	/4
	1	0	0	_w /32
			1	_w /16
		1	0	_w /8
			1	_w /4
1	*	*	*	_w

* : Don't care

9. タイマ

ビット4：リザーブビット

リザーブビットです。本ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット3～0：内部クロックセレクト（TMA3～TMA0）

TCA に入力するクロックを選択します。

ビット3	ビット2	ビット1	ビット0	説明	
TMA3	TMA2	TMA1	TMA0	プリスケアラ分周比またはオーバフロー周期	機能
0	0	0	0	PSS、 /8192 (初期値)	インターバル
			1	PSS、 /4096	
		1	0	PSS、 /2048	
			1	PSS、 /512	
	1	0	0	PSS、 /256	
			1	PSS、 /128	
		1	0	PSS、 /32	
			1	PSS、 /8	
1	0	0	0	PSW、 1s	時計用 タイムベース (32.768kHz 使用時)
			1	PSW、 0.5s	
		1	0	PSW、 0.25s	
			1	PSW、 0.03125s	
	1	0	0	PSW、 TCA リセット	
			1		
		1	0		
			1		

(2) タイマカウンタ A (TCA)

ビット：	7	6	5	4	3	2	1	0
	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

TCA は、8 ビットのリード可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックは TMA の TMA3～TMA0 により選択します。TCA の値は、アクティブモード時は CPU からリードできますが、サブアクティブモード時では TCA をリードすることはできません。TCA がオーバフローすると、IRR1 の IRRTA が 1 にセットされます。

TCA は TMA の TMA3～TMA2 を 11 にセットすることでクリアできます。

リセット時、TCA は H'00 に初期化されます。

(3) クロック停止レジスタ1 (CKSTPR1)

ビット:	7	6	5	4	3	2	1	0
	—	S31CKSTP	S32CKSTP	ADCKSTP	TGCKSTP	TFCKSTP	TCKSTP	TACKSTP
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CKSTPR1 は、8 ビットのリード/ライト可能なレジスタで、モジュールのモジュールスタンバイモードの制御を行います。本章ではタイマ A に関するビットのみ説明します。他のビットについては各モジュールの章を参照してください。

ビット0: タイマ A モジュールスタンバイモード制御 (TACKSTP)

タイマ A をモジュールスタンバイモードに設定および解除を制御します。

TACKSTP	説明
0	タイマ A はモジュールスタンバイモードに設定される
1	タイマ A のモジュールスタンバイモードは解除される (初期値)

(4) サブクロック出力セレクトレジスタ (CWOSR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CWOS
初期値:	1	1	1	1	1	1	1	0
R/W :	R	R	R	R	R	R	R	R/W

CWOSR は、8 ビットのリード/ライト可能なレジスタで、TMOW 端子から出力するクロックを選択します。

リセット時、CWOSR は HFE に初期化されます。

ビット7~1: リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット0: TMOW 端子クロックセレクト

TMOW 端子から出力するクロックを選択します。

ビット0	説明
CWOS	
0	タイマ A が出力するクロックを出力する。(TMA 参照) (初期値)
1	_w を出力する。

9.2.3 動作説明

(1) インターバル動作

TMA の TMA3 を 0 にセットすると、タイマ A は 8 ビットインターバルタイマとして動作します。

リセット時、TCA は H'00、TMA3 は 0 にクリアされるため、リセット直後はインターバルタイマとして停止することなくカウントアップを続けます。タイマ A の動作クロックは、TMA の TMA2 ~ TMA0 により、プリスケアラ S の出力する 8 種類の内部クロックを選択できます。TCA のカウンタ値が H'FF になった後、クロックが入力されると、タイマ A はオーバフローし、IRR1 の IRRTA が 1 にセットされます。このとき、IENR1 の IENTA が 1 ならば CPU に割り込みを要求します。*

オーバフロー時には、TCA のカウンタ値は H'00 に戻り、再びカウントアップを開始します。したがって、256 回の入力クロックごとに、オーバフロー出力を発生するインターバルタイマとして動作します。

【注】* 割り込みについての詳細は、「3.3 割り込み」を参照してください。

(2) 時計用タイムベース動作

TMA の TMA3 を 1 にセットすると、タイマ A はプリスケアラ W の出力するクロックをカウントして、時計用タイムベースとして動作します。タイマ A のオーバフロー周期は、TMA の TMA1、TMA0 により 4 種類選択できます。時計用タイムベース動作時 (TMA3 = 1) に TMA2 を 1 にすると、TCA およびプリスケアラ W は、ともに H'00 にクリアされます。

(3) クロック出力の動作

PMR1 の TMOW を 1 にセットすると、TMOW 端子からクロックが出力されます。端子から出力されるクロックは、TMA の TMA7 ~ TMA5 と CWOSR の CWOS により、9 種類のクロックが選択できます。システムクロックを 32、16、8、4 分周したクロックは、アクティブモード、スリープモードで出力され、32.768kHz または 38.4kHz を 32、16、8、4 分周したクロックは、アクティブモード、スリープモード、およびサブアクティブモードで出力されます。32.768kHz または 38.4kHz のクロックはリセット状態以外のすべてのモードで出力されます。

9.2.4 タイマ A の動作モード

タイマ A の動作モードを表 9.4 に示します。

表 9.4 タイマ A の動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ	モジュール スタンバイ
TCA	インターバル	リセット	動作	動作	停止	停止	停止	停止	停止
	時計用 タイムベース	リセット	動作	動作	動作	動作	動作	停止	停止
TMA, CWOSR		リセット	動作	保持	保持	動作	保持	保持	保持

【注】 アクティブモード、スリープモード時に、TCA の内部クロックとして時計用タイムベース機能を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/$ (s) の誤差が生じます。

9.2.5 使用上の注意事項

クロック停止レジスタ 1 (CKSTPR1) のビット 0 (TACKSTP) が 0 の状態では、タイマモードレジスタ A (TMA) のビット 3 を書き換えることができません。

タイマモードレジスタ A (TMA) のビット 3 (TMA3) を書き換える際はクロック停止レジスタ 1 (CKSTPR1) のビット 0 (TACKSTP) に 1 をセットしてから行ってください。

9.3 タイマ C

9.3.1 概要

タイマ C は、入力クロックが入るたびにカウントアップまたはカウントダウンする 8 ビットのタイマです。タイマ C には、インターバル機能、オートリロード機能の 2 種類の機能があります。

(1) 特長

タイマ C の特長を以下に示します。

8 種類のクロックを選択可能

7 種類の内部クロック (f_{8192} 、 f_{2048} 、 f_{512} 、 f_{64} 、 f_{16} 、 f_4 、 $f_w/4$) と外部クロックからの選択が可能です (外部イベントのカウントが可能) 。

カウンタのオーバーフローで割り込みを発生

アップ / ダウンカウンタ切り替え可能

ハードウェアまたはソフトウェアにより、アップ / ダウンカウンタの切り替えが可能です。

サブアクティブモード、サブスリープモードで動作

内部クロックとして $f_w/4$ を選択した場合、もしくは外部クロックを選択した場合、サブアクティブモード、サブスリープモードで動作可能です。

モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能。

(2) ブロック図

タイマCのブロック図を図9.2に示します。

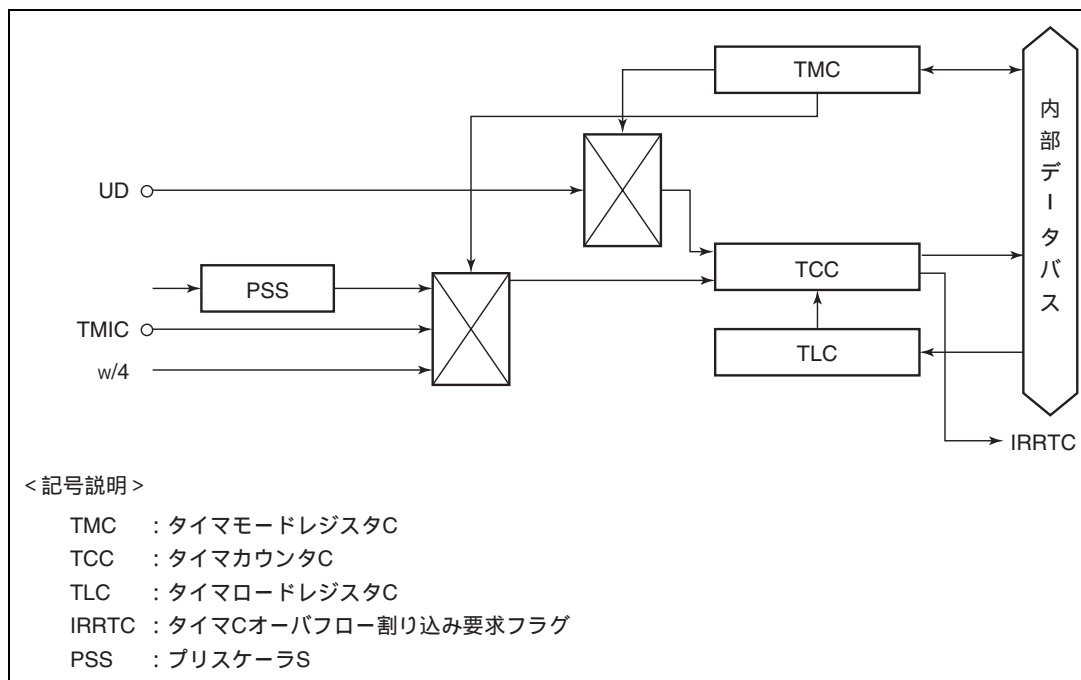


図9.2 タイマCブロック図

(3) 端子構成

タイマCの端子構成を表9.5に示します。

表9.5 端子構成

名称	略称	入出力	機能
タイマCイベント入力	TMIC	入力	TCCに入力するイベント入力端子
タイマCアップ/ダウン セレクト	UD	入力	タイマCのアップ/ダウンカウントを選択

9. タイマ

(4) レジスタ構成

タイマCのレジスタ構成を表9.6に示します。

表 9.6 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマモードレジスタC	TMC	R/W	H'18	H'FFB4
タイマカウンタC	TCC	R	H'00	H'FFB5
タイマロードレジスタC	TLC	W	H'00	H'FFB5
クロック停止レジスタ1	CKSTPR1	R/W	H'FF	H'FFFA

9.3.2 各レジスタの説明

(1) タイマモードレジスタC (TMC)

ビット:	7	6	5	4	3	2	1	0
	TMC7	TMC6	TMC5	—	—	TMC2	TMC1	TMC0
初期値:	0	0	0	1	1	0	0	0
R/W :	R/W	R/W	R/W	—	—	R/W	R/W	R/W

TMCは、8ビットのリード/ライト可能なレジスタで、オートリロード機能の選択、カウンタのアップ/ダウン制御、および入力クロックの選択を行います。

リセット時、TMCはH'18に初期化されます。

ビット7: オートリロード機能選択 (TMC7)

タイマCのオートリロード機能を選択します。

ビット7	説明
TMC7	
0	インターバル機能を選択 (初期値)
1	オートリロード機能を選択

ビット6、5: カウンタアップ/ダウン制御 (TMC6、TMC5)

TCCのアップ/ダウン制御をUD端子入力によるハードウェア制御とするか、アップカウンタとするかダウンカウンタとするかを選択します。

ビット6	ビット5	説明
TMC6	TMC5	
0	0	TCCはアップカウンタ (初期値)
0	1	TCCはダウンカウンタ
1	*	UD端子入力によるハードウェア制御 UD端子入力が高レベル: ダウンカウンタ UD端子入力がLowレベル: アップカウンタ

*: Don't care

ビット4~3: リザーブビット

リザーブビットです。各ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット2~0: クロックセレクト (TMC2~TMC0)

TMC2~TMC0は、TCCに入力するクロックを選択します。外部からのイベント入力は、立ち上がり/立ち下がりエッジの選択が可能です。

ビット2	ビット1	ビット0	説明
TMC2	TMC1	TMC0	
0	0	0	内部クロック /8192 でカウント (初期値)
0	0	1	内部クロック /2048 でカウント
0	1	0	内部クロック /512 でカウント
0	1	1	内部クロック /64 でカウント
1	0	0	内部クロック /16 でカウント
1	0	1	内部クロック /4 でカウント
1	1	0	内部クロック $\omega/4$ でカウント
1	1	1	外部イベント (TMIC) を立ち上がり/立ち下がりエッジでカウント*

【注】 * 外部イベントのエッジ選択は、IRQエッジセレクトレジスタ (IEGR) のIEG1により設定します。詳細は、「3.3.2 (1) IRQエッジセレクトレジスタ (IEGR)」を参照してください。なお、TMC2~TMC0を111に設定する前に必ずポートモードレジスタ1 (PMR1) のIRQ1を1にセットしてください。

(2) タイマカウンタC (TCC)

ビット:	7	6	5	4	3	2	1	0
	TCC7	TCC6	TCC5	TCC4	TCC3	TCC2	TCC1	TCC0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

TCCは、8ビットのリード可能なアップ/ダウンカウンタで、入力する内部クロック/外部イベントによりカウントアップ/ダウンされます。入力するクロックは、TMCのTMC2~TMC0により選択します。TCCの値は、CPUから常にリードできます。

TCCがオーバーフロー (H'FF H'00またはH'FF TLCの設定値)、またはアンダフロー (H'00 H'FFまたはH'00 TLCの設定値) すると、IRR2のIRRTCが1にセットされます。

TCCは、TLCと同一のアドレスに割り付けられています。

リセット時、TCCはH'00に初期化されます。

(3) タイマロードレジスタC (TLC)

ビット:	7	6	5	4	3	2	1	0
	TLC7	TLC6	TLC5	TLC4	TLC3	TLC2	TLC1	TLC0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

TLCは、8ビットのライト専用のレジスタで、TCCのリロード値を設定します。TLCにリロード値を設定すると、同時にその値はTCCにもロードされ、TCCはその値からカウントアップ/ダウン

9. タイマ

を開始します。また、オートリロード動作時、TCC がオーバフロー/アンダフローすると、TCC に TLC の値がロードされます。したがって、オーバフロー/アンダフロー周期を 1~256 入力クロックの範囲で設定することができます。

TLC は、TCC と同一のアドレスに割り付けられています。

リセット時、TLC は H'00 に初期化されます。

(4) クロック停止レジスタ 1 (CKSTPR1)

ビット:	7	6	5	4	3	2	1	0
	—	S31CKSTP	S32CKSTP	ADCKSTP	TGCKSTP	TFCKSTP	TCCKSTP	TACKSTP
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CKSTPR1 は、8 ビットのリード/ライト可能なレジスタで、モジュールのモジュールスタンバイモードの制御を行います。本章ではタイマ C に関するビットのみ説明します。他のビットについては各モジュールの章を参照してください。

ビット 1: タイマ C モジュールスタンバイモード制御 (TCCKSTP)

タイマ C をモジュールスタンバイモードに設定および解除を制御します。

TCCKSTP	説明
0	タイマ C はモジュールスタンバイモードに設定される
1	タイマ C のモジュールスタンバイモードは解除される (初期値)

9.3.3 動作説明

(1) インターバルタイマの動作

TMC の TMC7 を 0 にクリアすると、タイマ C は 8 ビットインターバルタイマとして動作します。

リセット時、TCC は H'00、TMC は H'18 に初期化されるため、リセット直後は、インターバルのアップカウンタとして停止することなくカウントアップを続けます。タイマ C の動作クロックは、TMC の TMC2~TMC0 により、プリスケラ S、W の出力する 7 種類の内部クロック、TMIC 入力端子からの外部クロックを選択できます。

また、TCC のカウントアップ/ダウン制御は、TMC の TMC6、TMC5 により、ソフトウェア制御およびハードウェア制御のいずれかが選択可能です。

TCC のカウント値が H'FF (H'00) になった後、クロックが入力されると、タイマ C はオーバフロー (アンダフロー) し、IRR2 の IRRTC が 1 にセットされます。このとき、IENR2 の IENTC が 1 ならば CPU に割り込みを要求します。

オーバフロー (アンダフロー) 時には、TCC のカウント値は H'00 (H'FF) に戻り、再びカウントアップ (ダウン) を開始します。

インターバル動作時 (TMC7=0) に TLC を設定すると、同時に TCC にも TLC の値をロードします。

【注】* 割り込みについての詳細は、「3.3 割り込み」を参照してください。

(2) オートリロードタイマの動作

TMC の TMC7=1 にセットすると、タイマ C は 8 ビットオートリロードタイマとして動作します。

TLC にリロード値を設定すると、同時にその値が TCC にロードされ、TCC はその値からカウントアップ/ダウンを開始します。TCC のカウント値が H'FF (H'00) になった後、クロックが入力されると、タイマ C はオーバフロー（アンダフロー）し、TLC の値が TCC にロードされ、その値からカウントアップ（ダウン）を続けます。したがって、TLC の値により、オーバフロー（アンダフロー）周期を 1~256 入力クロックの範囲で設定できます。

オートリロード動作時のクロック、アップ/ダウン制御、割り込みについてはインターバル動作時と同様です。

オートリロード動作時 (TMC7=1) に TLC の値を再設定すると、同時に TCC にも TLC の値をロードします。

(3) イベントカウンタ

タイマ C は、TMIC 端子をイベント入力端子とするイベントカウンタとして動作します。TMC の TMC2~TMC0 を 111 に設定すると、外部イベント動作が選択され、TCC は、TMIC 端子入力の立ち上がり/立ち下がりエッジでカウントアップ/ダウンします。

外部イベント入力を使用する場合は、PMR1 の IRQ1 を 1 にセットし、かつ IENR1 の IEN1 を 0 とし、IRQ₁ 割り込み要求を禁止してください。

(4) ハードウェアによる TCC アップ/ダウン制御

タイマ C は、UD 端子入力による TCC のカウントアップ/ダウン制御ができます。TMC の TMC6 を 1 とすると、UD 端子入力が、High レベルならばダウンカウンタ、Low レベルならばアップカウンタとして動作します。

UD 端子入力を使用する場合は、PMR3 の UD を 1 にセットしてください。

9.3.4 タイマ C の動作モード

タイマ C の動作モードを表 9.7 に示します。

表 9.7 タイマ C の動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ	モジュールスタンバイ
TCC	インターバル	リセット	動作	動作	停止	動作/停止*	動作/停止*	停止	停止
	オートリロード	リセット	動作	動作	停止	動作/停止*	動作/停止*	停止	停止
TMC		リセット	動作	保持	保持	動作	保持	保持	保持

【注】 * アクティブモード、スリープモード時に、TCC の内部クロックとして $\omega/4$ を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/\omega$ (s) の誤差が生じます。

サブアクティブモード、サブスリープモード時にカウンタを動作させる場合には、必ず内部クロックとして $\omega/4$ を選択するか、または外部クロックを選択してください。その他の内部クロックを選択した場合、カウンタは動作しません。また、サブクロック

として $\omega_{\text{SUB}}/8$ を選択時にカウンタの内部クロックとして $\omega/4$ を選択した場合、カウンタの下位 2 ビットは同じ周期で動作し、最下位ビットの動作はカウンタ動作とは無関係となります。

9.3.5 使用上の注意事項

タイマ C の動作について次の事項にご注意ください。

(1) 外部イベント入力時の誤カウント

次の条件に当てはまる場合、タイマカウンタの誤カウントが発生します。

(条件)

- サブスリープモードで外部イベント (TMIC) を使用する場合。

(現象)

- 1 回の外部イベント入力に対し、2 回のカウントアップ / ダウンが行われる。

(発生確率の目安)

外部イベント入力が入部動作と非同期の場合、次の式が発生確率の目安になります。

$$\text{発生確立目安 } P = 30\text{ns}/t_{\text{subcyc}}$$

例えば、 $t_{\text{subcyc}} = 61.06\mu\text{s}$ (サブクロック $f_w/2$) の場合、 $P = 0.0005$ (0.05%) です。外部イベントを 2000 回入力すると、そのうちの 1 回は +2 (または -2) をカウントする可能性があります。

本現象は内部回路の構成に由来するため回避することは困難です。従いまして、カウント精度を要求する用途ではご使用をお控えくださいますようお願いいたします。

9.4 タイマ F

9.4.1 概要

タイマ F は、アウトプットコンペア機能を内蔵した 16 ビットのタイマです。外部イベントのカウントが可能のほか、コンペアマッチ信号によりカウンタのリセット、割り込み要求、トグル出力などが可能です。また、2 本の独立した 8 ビットタイマ (タイマ FH、タイマ FL) としても動作可能です。

(1) 特長

タイマ F の特長を以下に示します。

5 種類のクロックを選択可能

4 種類の内部クロック ($/32$ 、 $/16$ 、 $/4$ 、 $_{w}/4$) と、外部クロックからの選択が可能です (外部イベントのカウントが可能)。

トグル出力機能

1 本のコンペアマッチ信号により、TMOFH 端子 (TMOFL 端子) にトグル出力します (トグル出力の初期値を設定可能)。

コンペアマッチ信号によるカウンタリセット

割り込み要因: コンペアマッチ $\times 1$ 要因、オーバフロー $\times 1$ 要因

2 本の独立した 8 ビットタイマとして動作可能

2 本の独立した 8 ビットタイマ (タイマ FH、タイマ FL) としても動作が可能です (8 ビットモード時)。

	タイマ FH 8 ビットタイマ*	タイマ FL 8 ビットタイマ / イベントカウンタ
内部クロック	4 種類 ($/32$ 、 $/16$ 、 $/4$ 、 $_{w}/4$)	
イベント入力	TMIF 端子	
トグル出力	コンペアマッチ信号 $\times 1$ 本 TMOFH 端子に出力 (初期値を設定可能)	コンペアマッチ信号 $\times 1$ 本 TMOFL 端子に出力 (初期値を設定可能)
カウンタリセット	コンペアマッチ信号により、カウンタのリセットが可能	
割り込み要因	コンペアマッチ $\times 1$ 要因 オーバフロー $\times 1$ 要因	

【注】 * 16 ビットタイマとして動作する場合はタイマ FL のオーバフロー信号により動作します。

ウォッチモード、サブアクティブモード、サブスリープモードで動作

内部クロックとして $_{w}/4$ を選択した場合、ウォッチモード、サブアクティブモード、サブスリープモードで動作可能です。

モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能。

9. タイマ

(2) ブロック図

タイマFのブロック図を図9.3に示します。

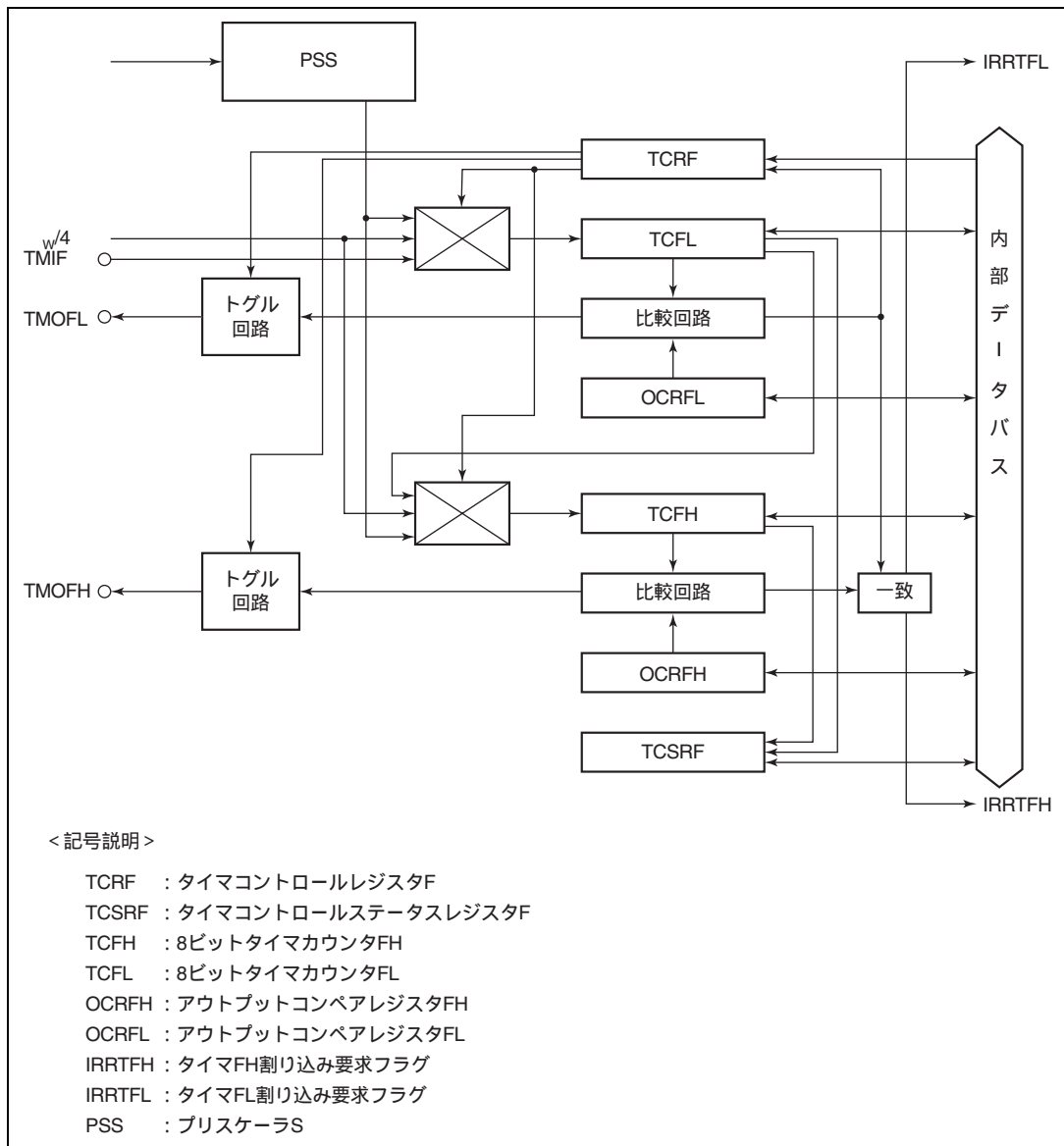


図9.3 タイマFのブロック図

(3) 端子構成

タイマ F の端子構成を表 9.8 に示します。

表 9.8 端子構成

名称	略称	入出力	機能
タイマ F イベント入力	TMIF	入力	TCFL に入力するイベント入力端子
タイマ FH 出力	TMOFH	出力	タイマ FH トグル出力端子
タイマ FL 出力	TMOFL	出力	タイマ FL トグル出力端子

(4) レジスタ構成

タイマ F のレジスタ構成を表 9.9 に示します。

表 9.9 レジスタ構成

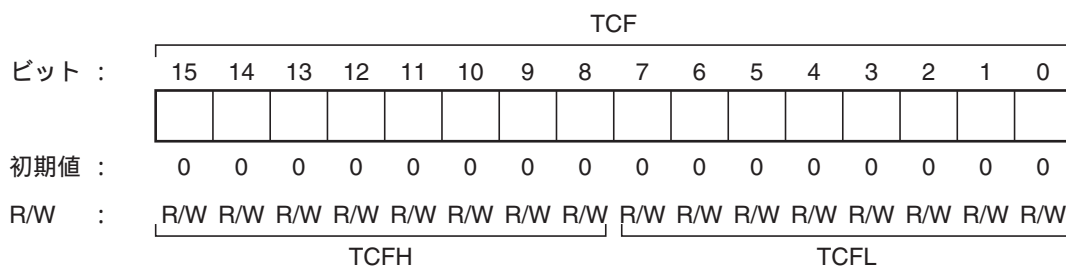
名称	略称	R/W	初期値	アドレス
タイマコントロールレジスタ F	TCRF	W	H'00	H'FFB6
タイマコントロールステータスレジスタ F	TCSRF	R/W	H'00	H'FFB7
8 ビットタイマカウンタ FH	TCFH	R/W	H'00	H'FFB8
8 ビットタイマカウンタ FL	TCFL	R/W	H'00	H'FFB9
アウトプットコンペアレジスタ FH	OCR FH	R/W	H'FF	H'FFBA
アウトプットコンペアレジスタ FL	OCR FL	R/W	H'FF	H'FFBB
クロック停止レジスタ 1	CKSTPR1	R/W	H'FF	H'FFFA

9.4.2 各レジスタの説明

(1) 16 ビットタイマカウンタ (TCF)

8 ビットタイマカウンタ (TCFH)

8 ビットタイマカウンタ (TCFL)



TCF は 16 ビットのリード/ライト可能なアップカウンタで、8 ビットのタイマカウンタ (TCFH、TCFL) のカスケード接続により構成されています。上位 8 ビットを TCFH、下位 8 ビットを TCFL とする 16 ビットカウンタとして使用できるほか、TCFH、TCFL を独立した 8 ビットカウンタとして使用することもできます。

TCFH、TCFL は、CPU からリード/ライト可能ですが、16 ビットモードで使用する場合、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行われます。TEMP の詳細は「9.4.3 CPU とのインタフェース」を参照してください。

リセット時、TCFH、TCFL は各々 H'00 に初期化されます。

9. タイマ

(a) 16ビットモード (TCF)

TCRFのCKSH2を0に設定すると、TCFは16ビットカウンタとして動作します。TCFの入力クロックは、TCRFのCKSL2～CKSL0により選択します。

TCSRfのCCLRfにより、コンペアマッチ時にTCFをクリアすることができます。

TCFがオーバーフロー (H'FFFF H'0000)すると、TCSRfのOVFfが1にセットされます。このときTCSRfのOVIEHが1の場合、IRR2のIRRTFfが1にセットされ、さらにIENR2のIENTFfが1ならばCPUに割り込みを要求します。

(b) 8ビットモード (TCFL/TCFH)

TCRFのCKSH2を1に設定すると、TCFH、TCFLは2本の独立した8ビットカウンタとして動作します。TCFH (TCFL)の入力クロックは、TCRFのCKSH2～CKSH0 (CKSL2～CKSL0)により選択します。

TCSRfのCCLRf (CCLRl)により、コンペアマッチ時にTCFH (TCFL)をクリアすることができます。

TCFH (TCFL)がオーバーフロー (H'FF H'00)すると、TCSRfのOVFf (OVFL)が1にセットされます。このときTCSRfのOVIEH (OVIEL)が1の場合、IRR2のIRRTFf (IRRTFL)が1にセットされ、さらにIENR2のIENTFf (IENTFL)が1ならばCPUに割り込みを要求します。

(2) 16ビットアウトプットコンペアレジスタ (OCRf)

8ビットアウトプットコンペアレジスタ (OCRfH)

8ビットアウトプットコンペアレジスタ (OCRfL)

		OCRf															
ビット :		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :		1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
		OCRfH								OCRfL							

OCRfは16ビットのリード/ライト可能な2本のレジスタ (OCRfH、OCRfL)により構成されています。上位8ビットをOCRfH、下位8ビットをOCRfLとする16ビットレジスタとして使用できるほか、OCRfH、OCRfLを独立した8ビットレジスタとして使用することもできます。

OCRfH、OCRfLは、CPUからリード/ライト可能ですが、16ビットモードで使用する場合、CPUとのデータ転送はテンポラリレジスタ (TEMP)を介して行われます。TEMPの詳細は「9.4.3 CPUとのインタフェース」を参照してください。

リセット時、OCRfH、OCRfLは各々H'FFに初期化されます。

(a) 16ビットモード (OCRf)

TCRFのCKSH2を0に設定すると、OCRfは16ビットレジスタとして動作します。OCRfの内容は、TCFと常に比較されており、両者の値が一致すると、TCSRfのCMFfが1にセットされます。また、同時にIRR2のIRRTFfも1にセットされます。このときIENR2のIENTFfが1ならばCPUに割り込みを要求します。

コンペアマッチによるトグル出力をTMOFf端子より出力することができます。また、TCRFのTOLHにより、出力レベル (High/Low)の設定が可能です。

(b) 8ビットモード (OCRFH/OCRFL)

TCRF の CKSH2 を 1 に設定すると、OCRFL は 2 本の 8 ビットレジスタとして動作します。OCRFH の内容は TCFH と、また OCRFL の内容は TCFL とそれぞれ個別に比較されます。OCRFH (OCRFL) と TCFH (TCFL) の値が一致すると、TCSR の CMFH (CMFL) が 1 にセットされます。また、同時に IRR2 の IRRTFH (IRRTFL) も 1 にセットされます。このとき、IENR2 の IENTFH (IENTFL) が 1 ならば CPU に割り込みを要求します。

コンペアマッチによるトグル出力を TMOFH 端子 (TMOFL 端子) より出力することができます。また、TCRF の TOLH (TOLL) により、出力レベル (High/Low) の設定が可能です。

(3) タイマコントロールレジスタ F (TCRF)

ビット:	7	6	5	4	3	2	1	0
	TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

TCRF は、8 ビットのライト専用のレジスタです。16 ビットモード、8 ビットモードの切り替え、4 種類の内部クロックおよび外部イベントの選択、TMOFH、TMOFL 端子の出力レベルの設定を行います。

リセット時、TCRF は H'00 に初期化されます。

ビット 7: トグルアウトプットレベル H (TOLH)

TMOFH 端子の出力レベルを設定します。出力レベルは、ライトした直後反映されます。

ビット 7	説明	
TOLH		
0	Low レベル	(初期値)
1	High レベル	

ビット 6~4: クロックセレクト H (CKSH2~CKSH0)

TCFH に入力するクロックを内部 4 種類、または TCFL のオーバフローから選択します。

ビット 6	ビット 5	ビット 4	説明
CKSH2	CKSH1	CKSH0	
0	0	0	(初期値)
0	0	1	16 ビットモードとなり、TCFL のオーバフロー信号でカウント
0	1	0	
0	1	1	使用禁止
1	0	0	内部クロック: /32 でカウント
1	0	1	内部クロック: /16 でカウント
1	1	0	内部クロック: /4 でカウント
1	1	1	内部クロック: $\sqrt{4}$ でカウント

9. タイマ

ビット3：トグルアウトプットレベルL (TOLL)

TMOFL 端子の出力レベルを設定します。出力レベルは、ライトした直後反映されます。

ビット3	説明	
TOLL		
0	Low レベル	(初期値)
1	High レベル	

ビット2～0：クロックセレクトL (CKSL2～CKSL0)

TCFL に入力するクロックを、内部4種類または外部イベントから選択します。

ビット2	ビット1	ビット0	説明
CKSL2	CKSL1	CKSL0	
0	0	0	(初期値)
0	0	1	外部イベント (TMIF) の立ち上がり / 立ち下がりエッジでカウント*
0	1	0	
0	1	1	使用禁止
1	0	0	内部クロック： /32 でカウント
1	0	1	内部クロック： /16 でカウント
1	1	0	内部クロック： /4 でカウント
1	1	1	内部クロック： $\sqrt{4}$ でカウント

【注】 * 外部イベントのエッジ選択は、IRQ エッジセレクトレジスタ (IEGR) の IEG3 により設定します。詳細は、「3.3.2 (1) IRQ エッジセレクトレジスタ (IEGR)」を参照してください。
 なお、TMIF 端子の機能切り替えのために TMIF 端子が Low レベルの状態ポートモードレジスタ 1 (PMR1) の IRQ3 を 0 から 1 または 1 から 0 に設定変更した場合に、タイマ F のカウンタがカウントアップされることがありますので注意してください。

(4) タイマコントロールステータスレジスタ F (TCSR F)

ビット：	7	6	5	4	3	2	1	0
	OVFH	CMFH	OVIEH	CCLR H	OVFL	CMFL	OVIEL	CCLR L
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W	R/W	R/W*	R/W*	R/W	R/W

【注】 * フラグクリアのための"0"ライトのみ可能です。

TCSR F は、8 ビットのリード / ライト可能なレジスタです。カウンタクリアの選択、オーバフローフラグのセット、コンペアマッチフラグのセット、オーバフローによる割り込み要求の許可の制御を行います。

リセット時、TCSR F は H'00 に初期化されます。

ビット7：タイマオーバーフローフラグH (OVFH)

TCFHがオーバーフロー (H'FF H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	説明
OVFH	
0	〔クリア条件〕 OVFH=1の状態、OVFHをリードした後、OVFHに0をライトしたとき (初期値)
1	〔セット条件〕 TCFHの値が、H'FF H'00になったとき

ビット6：コンペアマッチフラグH (CMFH)

TCFHとOCRFHがコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット6	説明
CMFH	
0	〔クリア条件〕 CMFH=1の状態、CMFHをリードした後、CMFHに0をライトしたとき (初期値)
1	〔セット条件〕 TCFHの値とOCRFHの値が、コンペアマッチしたとき

ビット5：タイマオーバーフローインタラプトイネーブルH (OVIEH)

TCFHのオーバーフローが発生したとき、割り込みの許可または禁止を選択します。

ビット5	説明
OVIEH	
0	TCFHのオーバーフローによる割り込み要求を禁止 (初期値)
1	TCFHのオーバーフローによる割り込み要求を許可

9. タイマ

ビット4：カウンタクリアH (CCLR H)

16ビットモード時、TCFとOCRFLがコンペアマッチしたとき、TCFをクリアするかしないかを選択します。

8ビットモード時、TCFHとOCRFLがコンペアマッチしたとき、TCFHをクリアするかしないかを選択します。

ビット4	説明
CCLR H	
0	16ビットモード：コンペアマッチによるTCFのクリアを禁止 8ビットモード：コンペアマッチによるTCFHのクリアを禁止 (初期値)
1	16ビットモード：コンペアマッチによるTCFのクリアを許可 8ビットモード：コンペアマッチによるTCFHのクリアを許可

ビット3：タイマオーバフローフラグL (OVFL)

TCFLがオーバフロー (H'FF H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット3	説明
OVFL	
0	[クリア条件] OVFL=1の状態、OVFLをリードした後、OVFLに0をライトしたとき (初期値)
1	[セット条件] TCFLの値が、H'FF H'00になったとき

ビット2：コンペアマッチフラグL (CMFL)

TCFLとOCRFLがコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット2	説明
CMFL	
0	[クリア条件] CMFL=1の状態、CMFLをリードした後、CMFLに0をライトしたとき (初期値)
1	[セット条件] TCFLの値とOCRFLの値が、コンペアマッチしたとき

ビット1：タイマオーバーフローインタラプトイネーブルL (OVIEL)

TCFL のオーバーフローが発生したとき、割り込みの許可または禁止を選択します。

ビット1	説明
OVIEL	
0	TCFL のオーバーフローによる割り込み要求を禁止 (初期値)
1	TCFL のオーバーフローによる割り込み要求を許可

ビット0：カウンタクリアL (CCLRL)

TCFL と OCRFL がコンペアマッチしたとき、TCFL をクリアするかどうかを選択します。

ビット0	説明
CCLRL	
0	コンペアマッチによる TCFL のクリアを禁止 (初期値)
1	コンペアマッチによる TCFL のクリアを許可

(5) クロック停止レジスタ1 (CKSTPR1)

ビット:	7	6	5	4	3	2	1	0
	—	S31CKSTP	S32CKSTP	ADCKSTP	TGCKSTP	TFCKSTP	TCCKSTP	TACKSTP
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CKSTPR1 は、8 ビットのリード/ライト可能なレジスタで、モジュールのモジュールスタンバイモードの制御を行います。本章ではタイマFに関するビットのみ説明します。他のビットについては各モジュールの章を参照してください。

ビット2：タイマFモジュールスタンバイモード制御 (TFCKSTP)

タイマFをモジュールスタンバイモードに設定および解除を制御します。

TFCKSTP	説明
0	タイマFはモジュールスタンバイモードに設定される
1	タイマFのモジュールスタンバイモードは解除される (初期値)

9.4.3 CPU とのインタフェース

TCF、OCRFは16ビットのリード/ライト可能なレジスタで構成されています。一方、CPUと内蔵周辺モジュール間のデータバスは、8ビット幅となっています。したがってCPUがTCF、OCRFをアクセスする場合、8ビットのテンポラリレジスタ（TEMP）を介して行います。

16ビットモードでTCFのリード/ライト、OCRFのライトを行うときは、必ず16ビット単位（バイトサイズのMOV命令を2回連続して行う）で行い、かつ上位バイト、下位バイトの順序で行います。上位バイトのみや下位バイトのみのアクセスでは、データは正しく転送されません。

なお、8ビットモードでは特にアクセスの順序に制限はありません。

(1) ライト時の動作

上位バイトのライトにより、上位バイトのデータがTEMPに転送されます。

次に下位バイトのライトで、TEMPにあるデータが上位バイトのレジスタへ、下位バイトのデータは直接下位バイトのレジスタへライトされます。

TCFにH'AA55をライトするときのTCFのライト動作を図9.4に示します。

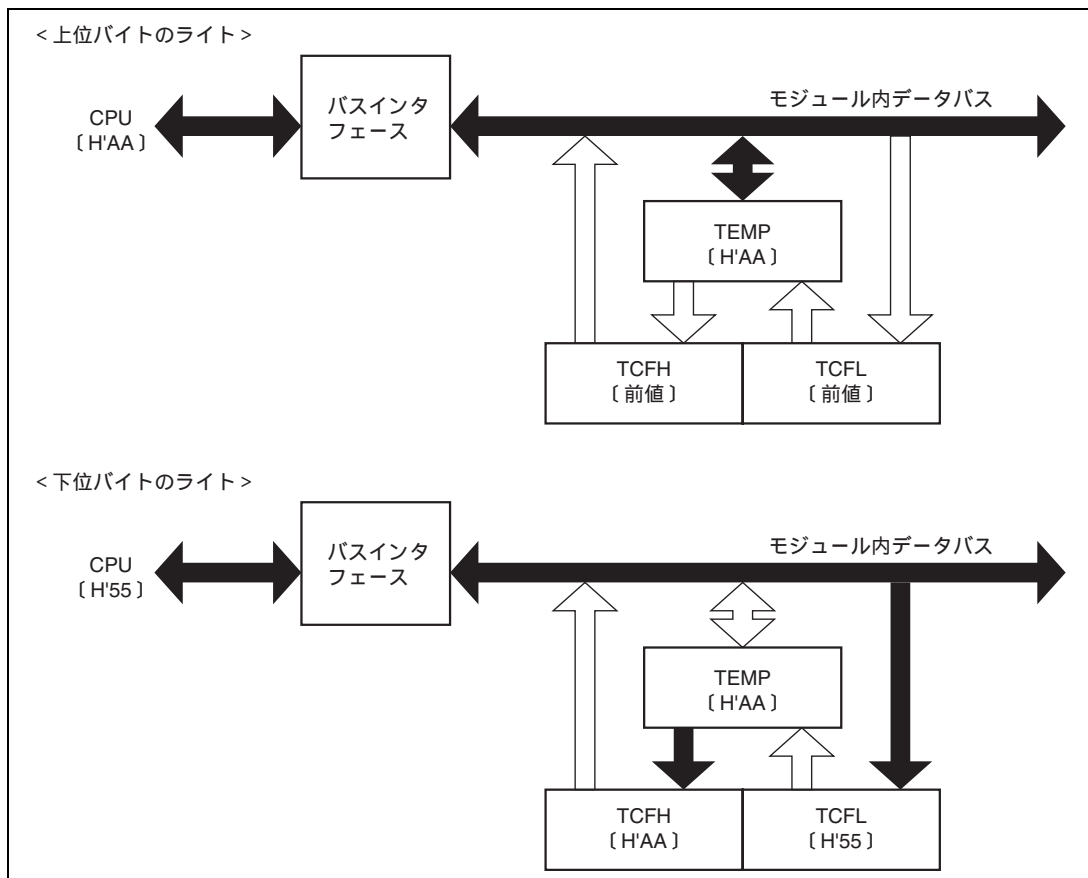


図 9.4 TCFのライト動作（CPU TCF）

(2) リード時の動作

TCF の場合、上位バイトのリードで、上位バイトのデータは直接 CPU に転送され、下位バイトのデータは TEMP に転送されます。

次に下位バイトのリードで、TEMP にある下位バイトのデータが CPU に転送されます。OCRF の場合、上位バイトのリードで、上位バイトのデータは直接 CPU に転送されます。下位バイトのリードで、下位バイトのデータは直接 CPU に転送されます。

H'AAFF である TCF をリードしたときの TCF のリード動作を図 9.5 に示します。

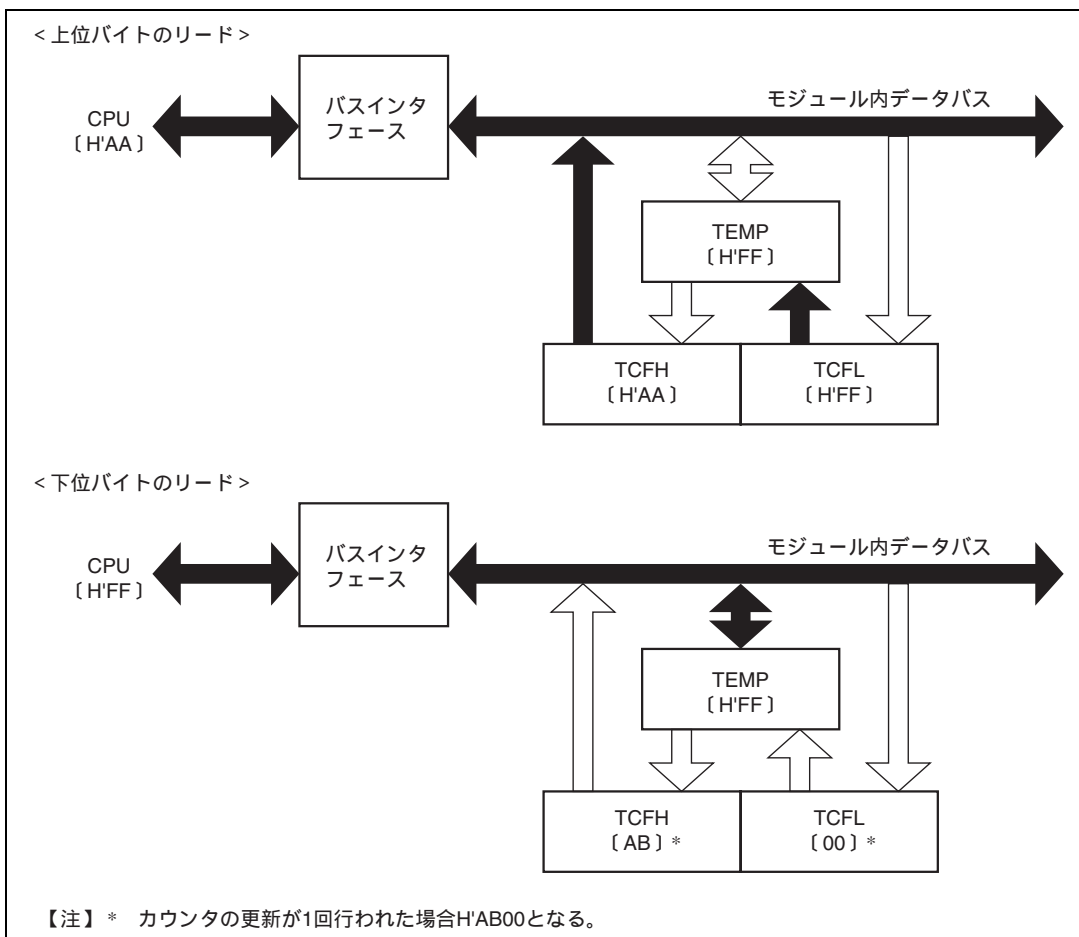


図 9.5 TCF のリード動作 (TCF CPU)

9.4.4 動作説明

タイマ F は、入力クロックが入るたびにカウントアップする 16 ビットのカウンタで、アウトプットコンペアレジスタ F に設定した値とタイマカウンタ F の値を常に比較しており、一致したタイミングでカウンタのクリア、割り込み要求、およびポートのトグル出力が可能です。また、2 本の独立した 8 ビットタイマとしても機能できます。

(1) タイマ F の動作

タイマ F には、16 ビットタイマモードと 8 ビットタイマモードの 2 種類の動作モードがあります。それぞれのモードの動作について以下に説明します。

(a) 16 ビットタイマモードの動作

タイマコントロールレジスタ F (TCRF) の CKSH2 ビットを 0 に設定すると、タイマ F は 16 ビットのタイマとして動作します。

リセット直後、タイマカウンタ F (TCF) は H'0000 に、アウトプットコンペアレジスタ F (OCRF) は H'FFFF に、タイマコントロールレジスタ F (TCRF)、タイマコントロールステータスレジスタ F (TCSRFF) は H'00 に初期化されます。カウンタは、外部イベント (TMIF) からの入力によりカウントアップを開始します。外部イベントのエッジ選択は、IRQ エッジセレクトレジスタ (IEGR) の IEG3 により設定します。

タイマ F の動作クロックは、TCRF の CKSL2 ~ CKSL0 ビットにより 4 種類の内部クロック、または外部クロックを選択できます。

TCF と OCRF の内容は常に比較されており、両者が一致すると TCSRFF の CMFH が 1 にセットされます。このとき IENR2 の IENTFH が 1 ならば CPU に割り込みを要求し、同時に TMOFH 端子の出力をトグルします。また、TCSRFF の CCLR H が 1 ならば TCF をクリアします。なお、TMOFH 端子の出力は TCRF の TOLH により設定できます。

TCF がオーバフロー (H'FFFF H'0000) すると、TCSRFF の OVFH がセットされます。このとき、TCSRFF の OVIEH と IENR2 の IENTFH が共に 1 ならば CPU に割り込みを要求します。

(b) 8 ビットタイマモードの動作

TCRF の CKSH2 を 1 に設定すると、TCF は TCFH、TCFL の 2 本の独立した 8 ビットタイマとして動作します。TCFH/TCFL の入力クロックは、TCRF の CKSH2 ~ CKSH0/CKSL2 ~ CKSL0 により選定します。

OCRFH/OCRFL と TCFH/TCFL の値が一致すると、TCSRFF の CMFH/CMFL が 1 にセットされます。また、IENR2 の IENTFH/IENTFL が 1 ならば CPU に割り込みを要求し、同時に TMOFH 端子/TMOFL 端子の出力をトグルします。また、TCRF の CCLR H/CCLR L が 1 ならば、TCFH/TCFL をクリアします。なお、TMOFH 端子/TMOFL 端子の出力は、TCRF の TOLH/TOLL により設定できます。

TCFH/TCFL がオーバフロー (H'FF H'00) すると、TCSRFF の OVFH/OVFL が 1 にセットされます。このとき、TCSRFF の OVIEH/OVIEL と IENR2 の IENTFH/IENTFL が共に 1 ならば、CPU に割り込みを要求します。

(2) TCF のカウントタイミング

TCF は、入力されたクロック (内部クロックまたは外部イベント) によりカウントアップされます。

(a) 内部クロック動作の場合

TCRF の CKSH2 ~ CKSH0 または CKSL2 ~ CKSL0 の設定により、システムクロック (または ω_w) を分周して作られる 4 種類の内部クロック ($\omega_{/32}$ 、 $\omega_{/16}$ 、 $\omega_{/4}$ 、 $\omega_w/4$) が選択されます。

(b) 外部イベント動作の場合

TCRF の CKSL2 を 0 に設定することにより、外部イベント入力を選択されます。外部イベントは

立ち上がり / 立ち下がりエッジのどちらでもカウントアップが可能です。外部イベントのエッジ選択は、割り込みコントローラの IEGR の IEG3 で設定します。なお、外部イベントのパルス幅は 2 システムクロック () 以上が必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

(3) TMOFH、TMOFL 出力タイミング

TMOFH、TMOFL の出力は、TCRF の TOLH、TOLL で設定した値が出力されていますが、コンペアマッチが発生したとき出力が反転します。

図 9.6 に出力タイミングを示します。

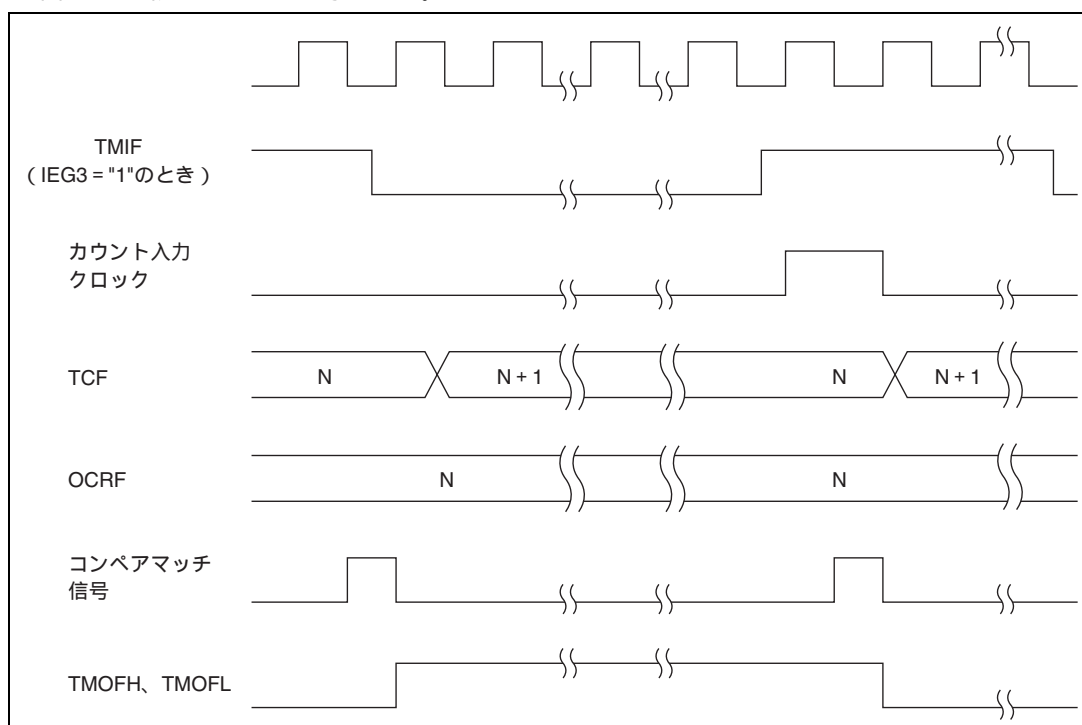


図 9.6 TMOFH、TMOFL 出力タイミング

(4) TCF のクリアタイミング

TCF は、OCRF とのコンペアマッチ時にクリアすることができます。

(5) タイマオーバーフローフラグ (OVF) のセットタイミング

OVF は、TCF がオーバーフロー (H'FFFF H'0000) したとき 1 にセットされます。

(6) コンペアマッチフラグのセットタイミング

コンペアマッチフラグ (CMFH または CMFL) は、TCF と OCRF のコンペアマッチ時に 1 にセットされます。コンペアマッチ信号は、値が一致した最後のステート (TCF が一致したカウント値を更新するタイミング) で発生します。TCF と OCRF が一致した後、カウントアップクロックが発生するまで、コンペアマッチ信号は発生しません。

9. タイマ

(7) タイマ F の動作モード

タイマ F の動作モードを表 9.10 に示します。

表 9.10 タイマ F の動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ	モジュールスタンバイ
TCF	リセット	動作	動作	動作 / 停止*	動作 / 停止*	動作 / 停止*	停止	停止
OCRFL	リセット	動作	保持	保持	動作	保持	保持	保持
TCRF	リセット	動作	保持	保持	動作	保持	保持	保持
TCSRFL	リセット	動作	保持	保持	動作	保持	保持	保持

【注】 * アクティブモード、スリープモード時に TCF の内部クロックとして $\omega/4$ を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/(\omega)$ (s) の誤差が生じます。
サブアクティブモード、ウォッチモード、サブスリープモード時にカウンタを動作させる場合には、必ず内部クロックとして $\omega/4$ を選択してください。その他の内部クロックを選択した場合、カウンタは動作しません。

9.4.5 使用上の注意事項

タイマ F の動作中、次のような競合や動作が起こりますので注意してください。

(1) 16 ビットタイマモード

トグル出力は 16 ビットすべてが一致し、コンペアマッチ信号が発生したとき TMOFH 端子から出力されます。MOV 命令による TCRF のライトと、コンペアマッチ信号が同時に起こった場合、TCRF のライトによる TOLH のデータが TMOFH 端子に出力されます。TMOFL 端子は 16 ビットモード時には出力は不定となりますので使用しないでください。ポートとしてご使用ください。

OCRFL のライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCFL のクロックに同期して出力されるので、クロックが停止している場合、コンペアマッチしていてもコンペアマッチ信号は発生しません。

コンペアマッチフラグは、16 ビットすべてが一致し、コンペアマッチ信号が発生したとき CMFH にセットされますが、CMFL についても下位 8 ビットについてのセット条件が満たされていればセットされます。

TCF がオーバフローすると OVFH がセットされますが、OVFL についても下位 8 ビットがオーバフローした時点で、セット条件が満たされていればセットされます。TCFL のライトと、オーバフロー信号の出力が同時に起こった場合、オーバフロー信号は出力されません。

(2) 8ビットタイマモード

(a) TCFH、OCR FH

トグル出力は、コンペアマッチ時に TMOFH 端子から出力されます。MOV 命令による TCRF のライトと、コンペアマッチ信号の発生が同時に起こった場合、TCRF のライトによる TOLH のデータが TMOFH 端子に出力されます。

OCR FH のライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCFH のクロックに同期して出力されます。

TCFH のライトと、オーバフロー信号の出力が同時に起こった場合、オーバフロー信号は出力されません。

(b) TCFL、OCR FL

トグル出力は、コンペアマッチ時に TMOFL 端子から出力されます。MOV 命令による TCRF のライトと、コンペアマッチ信号の発生が同時に起こった場合、TCRF のライトによる TOLL のデータが TMOFL 端子に出力されます。

OCR FL のライトと、コンペアマッチ信号の発生が同時に起こった場合、コンペアマッチ信号は無効になります。ただし、ライトしたデータとカウンタ値がコンペアマッチする場合は、その時点でコンペアマッチ信号が発生します。コンペアマッチ信号は、TCFL のクロックに同期して出力されるので、クロックが停止している場合、コンペアマッチしていてもコンペアマッチ信号は発生しません。

TCFL のライトと、オーバフロー信号の出力が同時に起こった場合、オーバフロー信号は出力されません。

(3) タイマ FH、タイマ FL 割り込み要求フラグ (IRRTFH、IRRTFL)、タイマオーバフローフラグ H、L (OVFH、OVFL) およびコンペアマッチフラグ H、L (CMFH、CMFL) のクリア

内部クロックとして $\omega/4$ を選択した場合、「割り込み要因の発生を示す信号」の制御は ω で行われるため、この信号は ω の幅出力されます。また、「オーバフローしたことを示す信号」および「コンペアマッチしたことを示す信号」の制御は、 ω の 2 周期分の信号で行われるため、これらの信号は ω の 2 周期の幅出力されます (図 9.7)。

アクティブ (高速、中速) モードにおいて、「割り込み要因の発生を示す信号」が有効な間は、割り込み要求フラグをクリアしても、すぐにまた割り込み要求フラグがセットされます (図 9.7 -)。

また、「オーバフローしたことを示す信号」および「コンペアマッチしたことを示す信号」が有効な間は、タイマオーバフローフラグ、コンペアマッチフラグをクリアできません。

割り込み要求フラグをクリアしても、すぐにまた割り込み要求フラグがセットされるため、1 回のタイマ FH、タイマ FL 割り込みに対し割り込み処理が複数回行われることがあります (図 9.7 -)。

そのため、アクティブ (高速、中速) モードにおいて、割り込み要求フラグを確実にクリアするためには、以下の (1) の計算式で計算される時間の後で、クリアを行う必要があります。また、タイマオーバフローフラグ、コンペアマッチフラグを確実にクリアするためには、以下の (1) の計算式で計算される時間の後で、タイマコントロールレジスタ F (TCSR F) をリードした後、クリアを行う必要があります。

(1) の計算式の ST には使用されている命令の中で最も実行ステート数が長い命令の実行ステート数を代入してください (MULXU、DIVXU 命令を使用しない場合は RTE 命令の 10 ステート、ULXU、DIVXU 命令を使用する場合は 14 ステート)。

サブアクティブモードでは、割り込み要求フラグ、タイマオーバフローフラグ、コンペアマッチフラグのクリアに対する制限はありません。

「割り込み要因の発生を示す信号」が有効な時間

= ω の 1 周期 + 実行中の命令の実行完了待ち時間 + (割り込み で同期化する時間)

9. タイマ

$$= 1 / w + ST \times (1 /) + (2 /) \text{ (秒)} \dots \dots \dots (1)$$

ST：実行中の命令の実行ステート数

具体的には下記の方法がありますが、時間の有効活用の面から（方法1）を推奨します。

・（方法1）

割り込み処理ルーチン内で割り込みを禁止（IENFH、IENFL を 0 に設定）し、通常処理に復帰した後で（1）の計算式の時間以上を持って、割り込み要求フラグ（IRRTFH、IRRTFL）をクリアし、タイマコントロールステータスレジスタ F（TCSRFB）をリードした後、タイマオーバーフローフラグ（OVFH、OVFL）およびコンペアマッチフラグ（CMFH、CMFL）をクリアし、割り込みの許可（IENFH、IENFL を 1 に設定）を行います。

・（方法2）

割り込み処理ルーチンの処理時間を（1）の計算式の時間以上にし、割り込み処理ルーチンの最後で割り込み要求フラグ（IRRTFH、IRRTFL）をクリアし、タイマコントロールステータスレジスタ F（TCSRFB）をリードした後、タイマオーバーフローフラグ（OVFH、OVFL）およびコンペアマッチフラグ（CMFH、CMFL）のクリアを行います。

以上の注意事項は、16 ビットモード、8 ビットモードとも同じです。

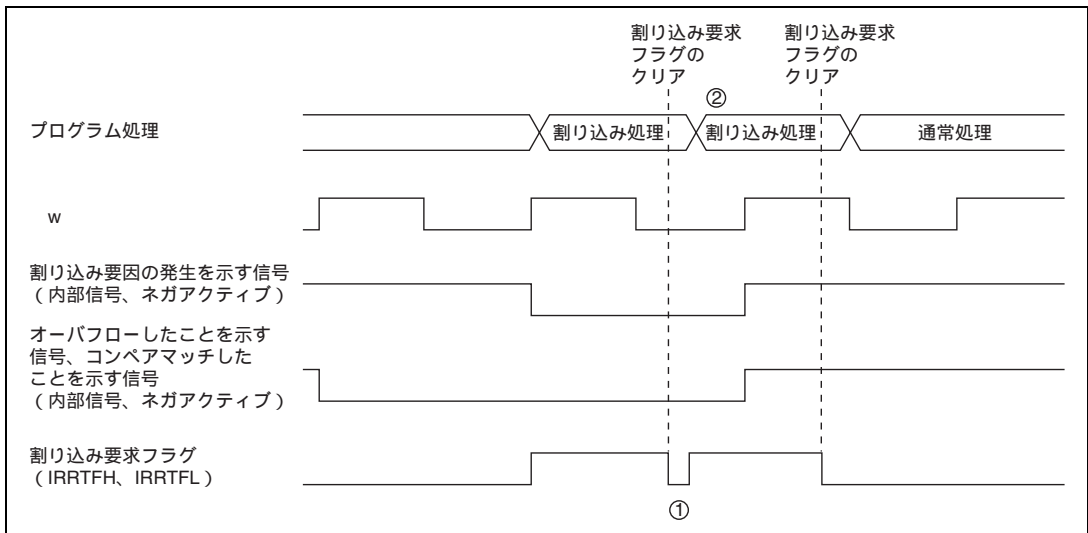


図 9.7 割り込み要因の発生を示す信号が有効なときに割り込み要求フラグのクリアを行った場合

(4) タイマカウンタ (TCF) のリード/ライト

アクティブ (高速、中速) モードにおいて、内部クロックとして $\omega/4$ を選択した場合 TCF に対するライトはできません。また、リードする場合、システムクロックと内部クロックが非同期であるため、同期回路で同期をとっています。これにより、TCF のリード値は最大 ± 1 の誤差が生じます。

アクティブ (高速、中速) モードで TCF をリード/ライトする必要がある場合は、内部クロックとして $\omega/4$ 以外を選択してからリード/ライトを行ってください。

サブアクティブモードでは、内部クロックとして $\omega/4$ を選択した場合でも TCF は正常にリード/ライトできます。

9.5 タイマ G

9.5.1 概要

タイマ G は、インプットキャプチャ入力端子から入力したパルス（インプットキャプチャ入力信号）の立ち上がり / 立ち下がりエッジのそれぞれ専用のインプットキャプチャ機能を持つ 8 ビットタイマです。ノイズ除去回路によりインプットキャプチャ入力信号の高域成分のノイズを除去することが可能です。したがって、インプットキャプチャ入力信号のデューティ比を正確に測定することができます。また、タイマ G はインプットキャプチャ入力を設定しない場合、8 ビットのインターバルタイマとして機能します。

(1) 特長

タイマ G の特長を以下に示します。

4 種類のカウンタ入力クロックを選択可能

4 種類の内部クロック（ $f/64$ 、 $f/32$ 、 $f/2$ 、 $f_w/4$ ）からの選択が可能です。

インプットキャプチャ機能

立ち上がり / 立ち下がりエッジのそれぞれ専用のインプットキャプチャ機能があります。

カウンタのオーバフロー時のレベルが検出可能

インプットキャプチャ入力信号の High レベルでオーバフローが発生したか、Low レベルでオーバフローが発生したかを検出することができます。

カウンタのクリア指定が可能

インプットキャプチャ入力信号の立ち上がり / 立ち下がり / 両エッジでカウンタの値をクリアするか、しないかを選択できます。

2 種類の割り込み要求

インプットキャプチャ×1 要因、オーバフロー×1 要因があります。インプットキャプチャ入力信号による割り込み要求はインプットキャプチャ入力信号の立ち上がり / 立ち下がりエッジを選択することができます。

ノイズ除去回路内蔵

ノイズ除去回路によりインプットキャプチャ入力信号の高域成分のノイズを除去することが可能です。

ウォッチモード、サブアクティブモード、サブスリープモードで動作

内部クロックとして $f_w/4$ を選択した場合、ウォッチモード、サブアクティブモード、サブスリープモードで動作可能です。

モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能。

(2) ブロック図

タイマ G のブロック図を図 9.8 に示します。

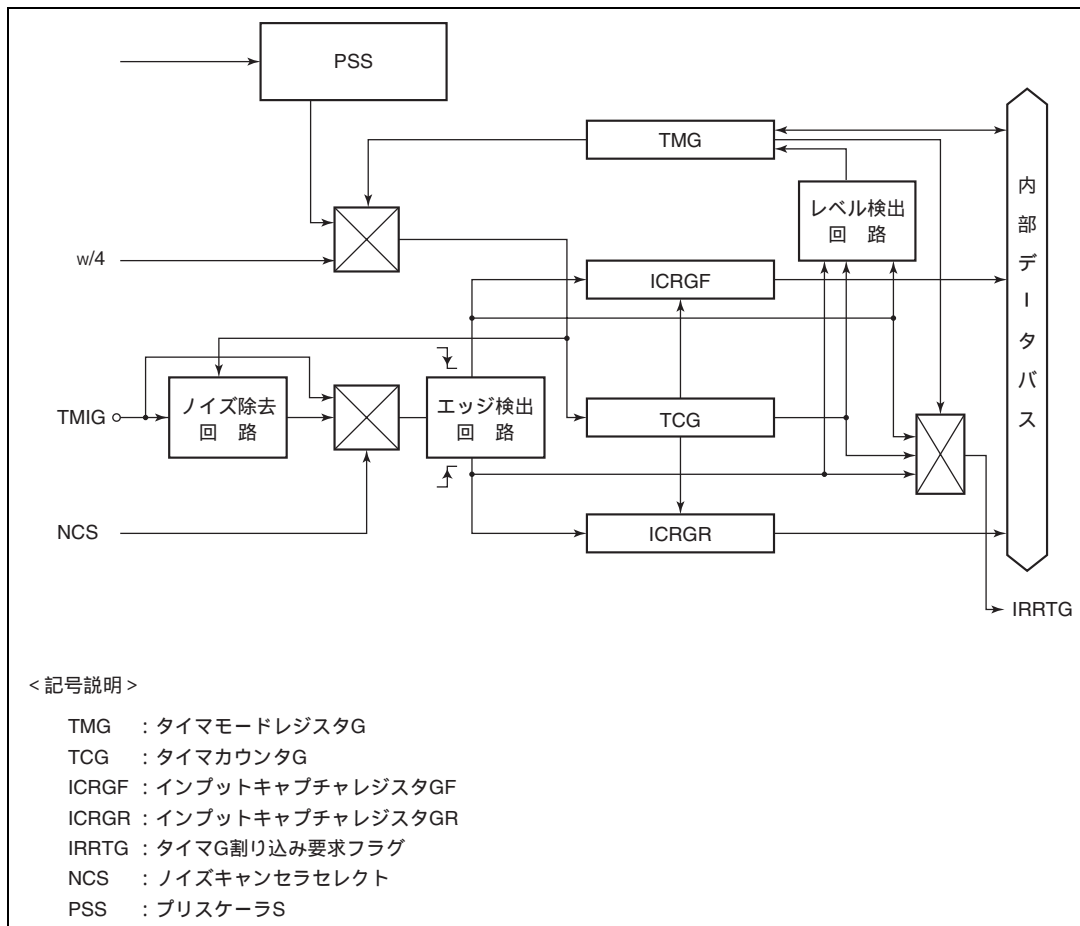


図 9.8 タイマ G のブロック図

(3) 端子構成

タイマ G の端子構成を表 9.11 に示します。

表 9.11 端子構成

名称	略称	入出力	機能
インพุットキャプチャ 入力	TMIG	入力	インพุットキャプチャ入力端子

9. タイマ

(4) レジスタ構成

タイマ G のレジスタ構成を表 9.12 に示します。

表 9.12 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマモードレジスタ G	TMG	R/W	H'00	H'FFBC
タイマカウンタ G	TCG		H'00	
インプットキャプチャレジスタ GF	ICRGF	R	H'00	H'FFBD
インプットキャプチャレジスタ GR	ICRGR	R	H'00	H'FFBE
クロック停止レジスタ 1	CKSTPR1	R/W	H'FF	H'FFFA

9.5.2 各レジスタの説明

(1) タイマカウンタ G (TCG)

ビット:	7	6	5	4	3	2	1	0
	TCG7	TCG6	TCG5	TCG4	TCG3	TCG2	TCG1	TCG0
初期値:	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	—	—	—

TCG は、8 ビットのアップカウンタで、入力したクロックによりカウントアップされます。入力するクロックは、TMG の CKS1、CKS0 で選択します。

TCG はインプットキャプチャタイマとして動作させる場合、PMR1 の TMIG を 1 に設定し、インターバルタイマとして動作させる場合、TMIG を 0 に設定します*。インプットキャプチャタイマの動作時は、TMG の設定によりインプットキャプチャ入力信号の立ち上がり / 立ち下がり / 両エッジのいずれかで TCG の値をクリアすることができます。

TCG がオーバフロー (H'FF H'00) すると、TMG の OVIE が 1 の場合、IRR2 の IRRTG が 1 にセットされ、さらに IENR2 の IENTG が 1 の場合、CPU に対して割り込み要求信号が発生します。

なお、割り込みについての詳細は「3.3 割り込み」を参照してください。

TCG は CPU からリード / ライトすることはできません。

リセット時、TCG は H'00 に初期化されます。

【注】* TMIG の書き換えの際、インプットキャプチャ信号が発生する場合があります。

(2) インプットキャプチャレジスタ GF (ICRGF)

ビット:	7	6	5	4	3	2	1	0
	ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ICRGF は、8 ビットのリード専用のレジスタです。インプットキャプチャ入力信号の立ち下がりエッジが検出されると、そのときの TCG の値が ICRGF に転送されます。このとき、TMG の IIEGS が 1 の場合、IRR2 の IRRTG が 1 にセットされ、さらに IENR2 の IENTG が 1 の場合、CPU に対して割り込み要求信号が発生します。

なお、割り込みについての詳細は「3.3 割り込み」を参照してください。

インプットキャプチャ動作を確実にを行うために、インプットキャプチャ入力信号のパルス幅は、少なくとも 2 または 2_{SUB} (ノイズ除去回路を使用しない場合) 以上にしてください。

リセット時、ICRGF は H'00 に初期化されます。

(3) インพุットキャプチャレジスタ GR (ICRGR)

ビット:	7	6	5	4	3	2	1	0
	ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ICRGR は、8 ビットのリード専用のレジスタです。インพุットキャプチャ入力信号の立ち上がりエッジが検出されると、そのときの TCG の値が ICRGR に転送されます。このとき、TMG の IIEGS が 0 の場合、IRR2 の IRRTG が 1 にセットされ、さらに IENR2 の IENTG が 1 の場合、CPU に対して割り込み要求信号が発生します。

なお、割り込みについての詳細は「3.3 割り込み」を参照してください。

インพุットキャプチャ動作を確実にを行うために、インพุットキャプチャ入力信号のパルス幅は、少なくとも 2 または 2_{SUB} (ノイズ除去回路を使用しない場合) 以上にしてください。

リセット時、ICRGR は H'00 に初期化されます。

(4) タイマモードレジスタ G (TMG)

ビット:	7	6	5	4	3	2	1	0
	OVFH	OVFL	OVIE	IIEGS	CCLR1	CCLR0	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグクリアのための"0"ライトのみ可能です。

TMG は、8 ビットのリード/ライト可能なレジスタです。TCG の 4 種類の内部クロックの選択、カウンタクリアの選択、インพุットキャプチャ入力信号による割り込み要求のエッジ選択、オーバフローによる割り込み要求の許可の制御、およびオーバフローフラグの表示を行います。

リセット時、TMG は H'00 に初期化されます。

ビット 7: タイマオーバフローフラグ H (OVFH)

インพุットキャプチャ入力信号が High レベルのときに、TCG の値がオーバフロー (H'FF H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 7	説明
OVFH	
0	〔クリア条件〕 OVFH = 1 の状態で、OVFH をリードした後、OVFH に 0 をライトしたとき (初期値)
1	〔セット条件〕 TCG の値が、H'FF H'00 になったとき

9. タイマ

ビット6：タイマオーバフローフラグL (OVFL)

インプットキャプチャ信号がLowレベルのとき、またはインターバル動作時に、TCGの値がオーバフロー (H'FF H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット6	説明
OVFL	
0	〔クリア条件〕 OVFL=1の状態、OVFLをリードした後、OVFLに0をライトしたとき (初期値)
1	〔セット条件〕 TCGの値が、H'FF H'00になったとき

ビット5：タイマオーバフローインタラプトイネーブル (OVIE)

TCGのオーバフローが発生したとき、割り込みの許可または禁止を選択します。

ビット5	説明
OVIE	
0	TCGのオーバフローによる割り込み要求を禁止 (初期値)
1	TCGのオーバフローによる割り込み要求を許可

ビット4：インプットキャプチャインタラプトエッジセレクト (IIEGS)

インプットキャプチャ入力信号による割り込み要求のエッジ選択を行います。

ビット4	説明
IIEGS	
0	インプットキャプチャ入力信号の立ち上がりエッジで割り込みを発生 (初期値)
1	インプットキャプチャ入力信号の立ち下がりエッジで割り込みを発生

ビット3、2：カウンタクリア1、0 (CCLR1、CCLR0)

インプットキャプチャ入力信号の立ち上がり / 立ち下がり / 両エッジでTCGの値をクリアするか、しないかを選択します。

ビット3	ビット2	説明
CCLR1	CCLR0	
0	0	TCGのクリアを禁止 (初期値)
0	1	インプットキャプチャ入力信号の立ち下がりエッジによりTCGをクリア
1	0	インプットキャプチャ入力信号の立ち上がりエッジによりTCGをクリア
1	1	インプットキャプチャ入力信号の両エッジによりTCGをクリア

ビット1、0：クロックセレクト（CKS1、CKS0）

TCG に入力するクロックを、4種類の内部クロックから選択します。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	内部クロック： /64 でカウント (初期値)
0	1	内部クロック： /32 でカウント
1	0	内部クロック： /2 でカウント
1	1	内部クロック： $\sqrt{4}$ でカウント

(5) クロック停止レジスタ1（CKSTPR1）

ビット：	7	6	5	4	3	2	1	0
	—	S31CKSTP	S32CKSTP	ADCKSTP	TGCKSTP	TFCKSTP	TCCKSTP	TACKSTP
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CKSTPR1 は、8ビットのリード/ライト可能なレジスタで、モジュールのモジュールスタンバイモードの制御を行います。本章ではタイマGに関するビットのみ説明します。他のビットについては各モジュールの章を参照してください。

ビット3：タイマGモジュールスタンバイモード制御（TGCKSTP）

タイマGをモジュールスタンバイモードに設定および解除を制御します。

TGCKSTP	説明
0	タイマGはモジュールスタンバイモードに設定される
1	タイマGのモジュールスタンバイモードは解除される (初期値)

9.5.3 ノイズ除去回路

ノイズ除去回路は、デジタルローパスフィルタとなっており、インプットキャプチャ入力端子から入力したパルスの高域成分のノイズを除去します。ノイズ除去回路は、PMR3のNCS*により設定します。

図 9.9 にノイズ除去回路のブロック図を示します。

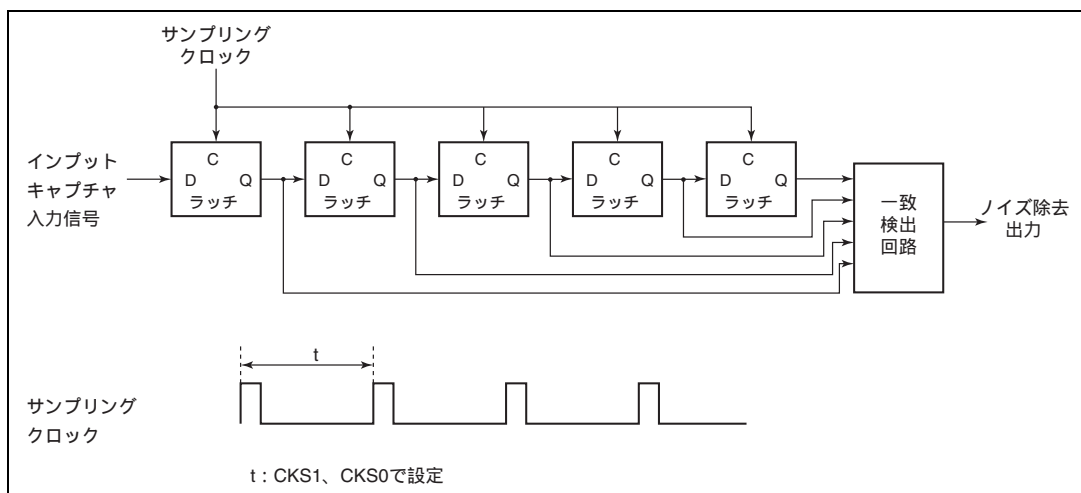


図 9.9 ノイズ除去回路のブロック図

ノイズ除去回路は5段直列に接続されたラッチ回路と一致検出回路で構成されています。ノイズ除去機能なし (NCS = 0) の場合、サンプリングクロックはシステムクロックが選択されています。ノイズ除去機能あり (NCS = 1) の場合、サンプリングクロックはTMGのCKS1、CKS0で選択された内部クロックが選択され、このクロックの立ち上がりエッジでインプットキャプチャ入力がサンプリングされ、すべてのラッチ出力が一致したとき正しいデータとみなします。一致しない場合は、前の値を保持します。リセット後は、ノイズ除去出力はインプットキャプチャ入力信号の立ち下がりエッジが5回サンプリングされた状態で初期化されています。したがって、ノイズ除去機能ありを設定した後、サンプリングクロックの5倍より幅の広いパルスは確実にインプットキャプチャ信号になります。なお、ノイズ除去を行わない場合でも、インプットキャプチャ動作を確実に行うために、インプットキャプチャ入力信号のパルス幅は少なくとも2 または 2_{SUB} 以上が必要です。

【注】* NCS ビットの書き換えの際、インプットキャプチャ信号が発生する場合があります。

図 9.10 にノイズ除去回路のタイミング例を示します。

この例は、インプットキャプチャ入力端子にサンプリングクロックの 5 倍以下の High レベル入力
がノイズとして除去された場合です。

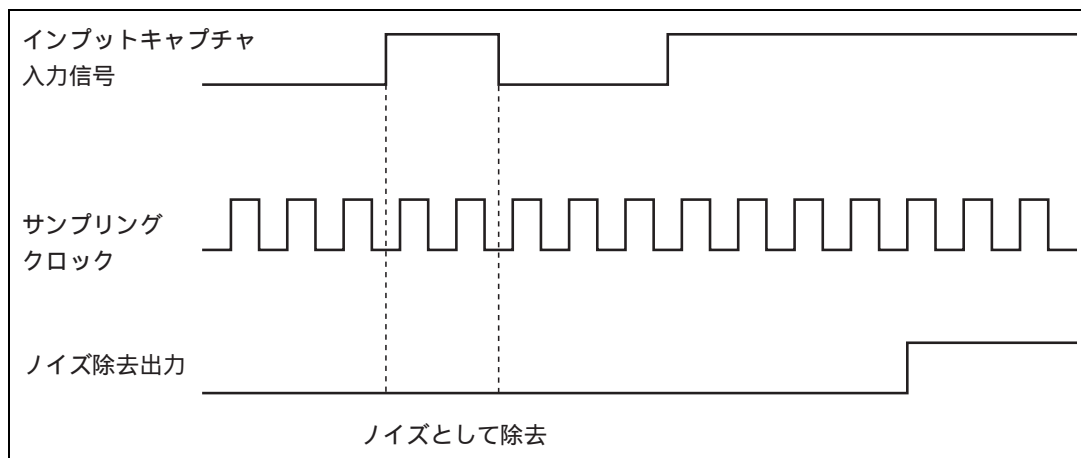


図 9.10 ノイズ除去回路タイミング (例)

9.5.4 動作説明

タイマ G は、インプットキャプチャ/インターバル機能を内蔵した 8 ビットのタイマです。

(1) タイマ G の機能

タイマ G は 8 ビットのアップカウンタで、インプットキャプチャタイマとインターバルタイマの 2 種類の機能を持っています。

それぞれの動作について、以下に説明します。

(a) インプットキャプチャタイマの動作

ポートモードレジスタ 1 (PMR1) の TMIG ビットを 1 に設定すると、タイマ G はインプットキャプチャタイマとして機能します。*

リセット時、タイマモードレジスタ G (TMG)、タイマカウンタ G (TCG)、インプットキャプチャレジスタ GF (ICRGF)、インプットキャプチャレジスタ GR (ICRGR) は、H'00 に初期化されます。

リセット直後、TCG は内部クロック /64 のクロックでカウントを開始します。

入力するクロックは、TMG の CKS1、CKS0 ビットにより 4 種類の内部クロックソースから選択できます。

TMIG 端子から入力されるインプットキャプチャ信号の立ち上がりエッジ/立ち下がりエッジにより、そのときの TCG の値が ICRGR/ICRGF に転送されます。また、TMG の IIEGS ビットで選択したエッジが入力されると、IRR2 の IRRTG が 1 にセットされ、このとき IENR2 の IENTG ビットが 1 ならば CPU に割り込みを要求します。なお、割り込みについての詳細は、「3.3 割り込み」を参照してください。

TCG は TMG の CCLR1、CCLR0 ビットにより、インプットキャプチャ信号の立ち上がり/立ち下がり/両エッジのいずれかで TCG の値をクリアすることができます。また、インプットキャプチャ信号が High レベルのときに TCG がオーバーフローすると、TMG の OVFH ビットをセットします。一方、インプットキャプチャ信号が Low レベルのときに TCG がオーバーフローすると、TMG の OVFL ビットをセットします。これらがセットされたとき、TMG の OVIE ビットが 1 であれば IRR2 の IRRTG

9. タイマ

が1にセットされ、さらに IENR2 の IENTG ビットが1であれば、タイマ G は CPU に割り込みを要求します。なお、割り込みについての詳細は「3.3 割り込み」を参照してください。

タイマ G にはノイズ除去回路が内蔵されており、TMIG 端子から入力したパルスの高域成分のノイズを除去できます。詳細は「9.5.3 ノイズ除去回路」を参照してください。

【注】* TMIG の書き換えの際、インプットキャプチャ信号が発生する場合があります。

(b) インターバルタイマの動作

PMR1 の TMIG ビットを 0 に設定すると、タイマ G はインターバルタイマとして機能します。リセット直後、TCG は内部クロック $/64$ のクロックでカウントを開始します。入力クロックは TMG の CKS1、CKS0 ビットにより 4 種類の内部クロックソースから選択できます。TCG は選択されたクロックでカウントアップし、オーバフロー (H'FF H'00) すると TMG の OVFL ビットが 1 にセットされます。このとき、TMG の OVIE ビットが 1 であれば IRR2 の IRRTG が 1 にセットされ、さらに IENR2 の IENTG ビットが 1 であれば、タイマ G は CPU に割り込みを要求します。なお、割り込みについての詳細は「3.3 割り込み」を参照してください。

(2) カウントタイミング

TCG は入力された内部クロックによりカウントアップされます。TMG の CKS1、CKS0 の設定により、システムクロック () とウォッチクロック (w) を分周して作られる 4 種類の内部クロック ($/64$ 、 $/32$ 、 $/2$ 、 $w/4$) が選択されます。

(3) インプットキャプチャ入力のタイミング

(a) ノイズ除去機能なしの場合

インプットキャプチャ入力は、立ち上がり / 立ち下がりエッジのそれぞれ専用のインプットキャプチャ機能を持っています。

立ち上がり / 立ち下がりエッジのインプットキャプチャ入力のタイミングを図 9.11 に示します。

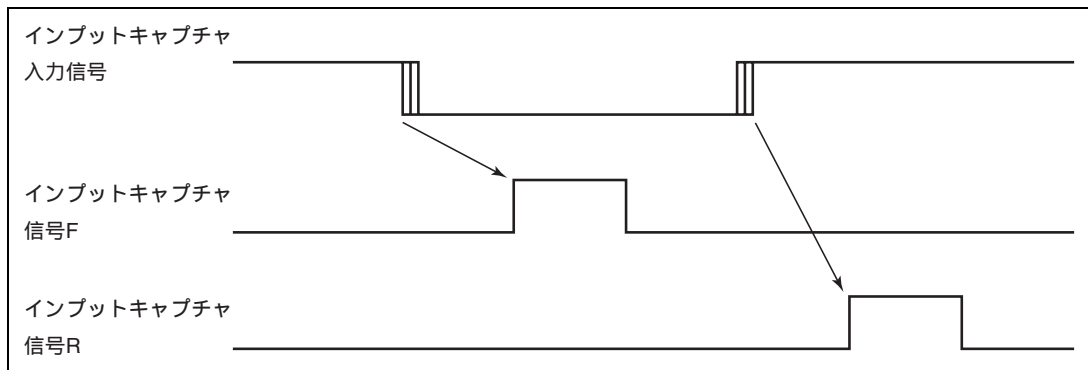


図 9.11 インプットキャプチャ入力のタイミング (ノイズ除去機能なし)

(b) ノイズ除去機能ありの場合

インプットキャプチャ入力でノイズ除去を行う場合、インプットキャプチャ信号はノイズ除去回路を経由するため、インプットキャプチャ入力信号エッジからサンプリングクロックの 5 周期分遅延します。

このときのタイミングを図 9.12 に示します。

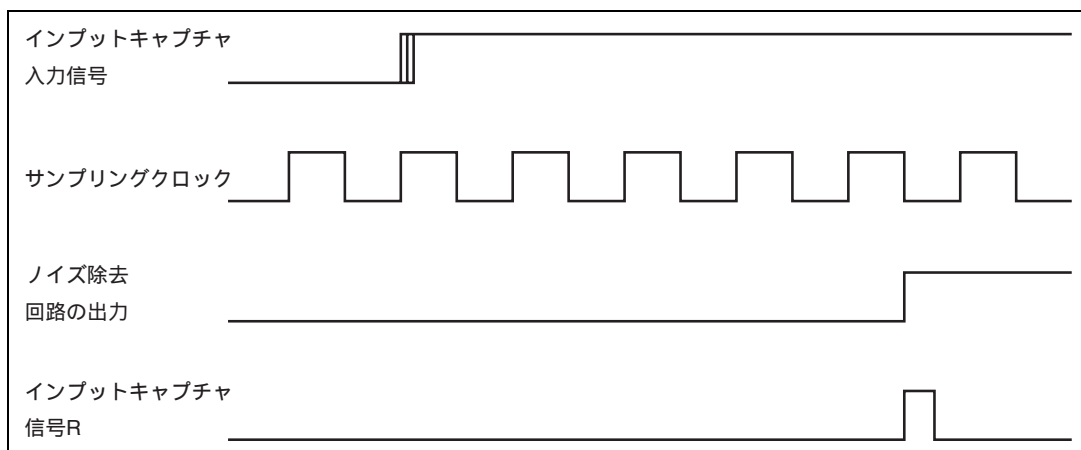


図 9.12 インプットキャプチャ入力のタイミング (ノイズ除去機能あり)

(4) インプットキャプチャ入力によるインプットキャプチャタイミング

インプットキャプチャ入力によるインプットキャプチャタイミングを図 9.13 に示します。

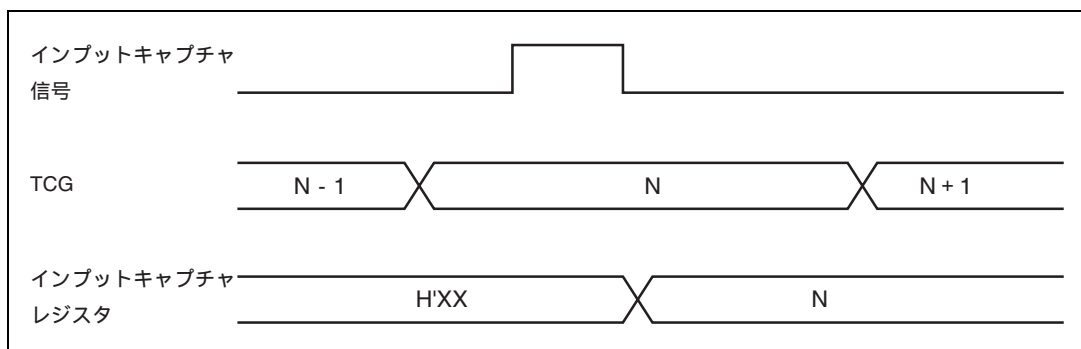


図 9.13 インプットキャプチャ入力によるインプットキャプチャタイミング

(5) TCG のクリアタイミング

TCG の値は、インプットキャプチャ入力信号の立ち上がりエッジ / 立ち下がりエッジ / 両エッジでクリアすることができます。

両エッジでクリアする場合のタイミングを図 9.14 に示します。

9. タイマ

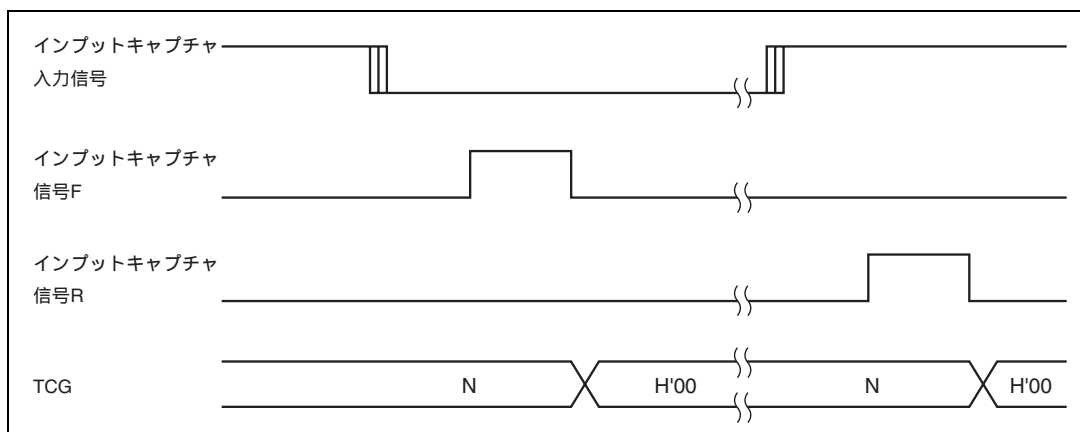


図 9.14 TCG のクリアタイミング

(6) タイマ G の動作モード

タイマ G の動作モードを表 9.13 に示します。

表 9.13 タイマ G の動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ	モジュールスタンバイ
TCG	インプットキャプチャ	リセット	動作*	動作*	動作 / 停止*	動作 / 停止*	動作 / 停止*	停止	停止
	インターバル	リセット	動作*	動作*	動作 / 停止*	動作 / 停止*	動作 / 停止*	停止	停止
ICRGF		リセット	動作*	動作*	動作 / 停止*	動作 / 停止*	動作 / 停止*	保持	保持
ICRGR		リセット	動作*	動作*	動作 / 停止*	動作 / 停止*	動作 / 停止*	保持	保持
TMG		リセット	動作	保持	保持	動作	保持	保持	保持

【注】 * アクティブモード、スリープモード時に、TCG の内部クロックとして $w/4$ を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント周期は最大で $1/ (s)$ の誤差が生じます。ウォッチモード時に、TCG の内部クロックとして $w/4$ を選択した場合、サブクロック sub ($w/8$ 、 $w/4$ 、 $w/2$) に関係なく TCG、ノイズ除去回路は内部クロック $w/4$ で動作します。その他の内部クロックを選択した場合、TCG、ノイズ除去回路は動作せず、さらにインプットキャプチャ入力信号を入力してもインプットキャプチャされませんので注意してください。

サブアクティブモード、サブスリープモード時に、タイマ G を動作させるには、TCG の内部クロックとして $w/4$ を選択し、サブクロック sub は $w/2$ を選択してください。その他の内部クロックを選択した場合や、サブクロック sub として $w/8$ 、 $w/4$ を選択した場合は、TCG、ノイズ除去回路は動作しませんので注意してください。

9.5.5 使用上の注意事項

(1) 内部クロックの切り替えと TCG 動作

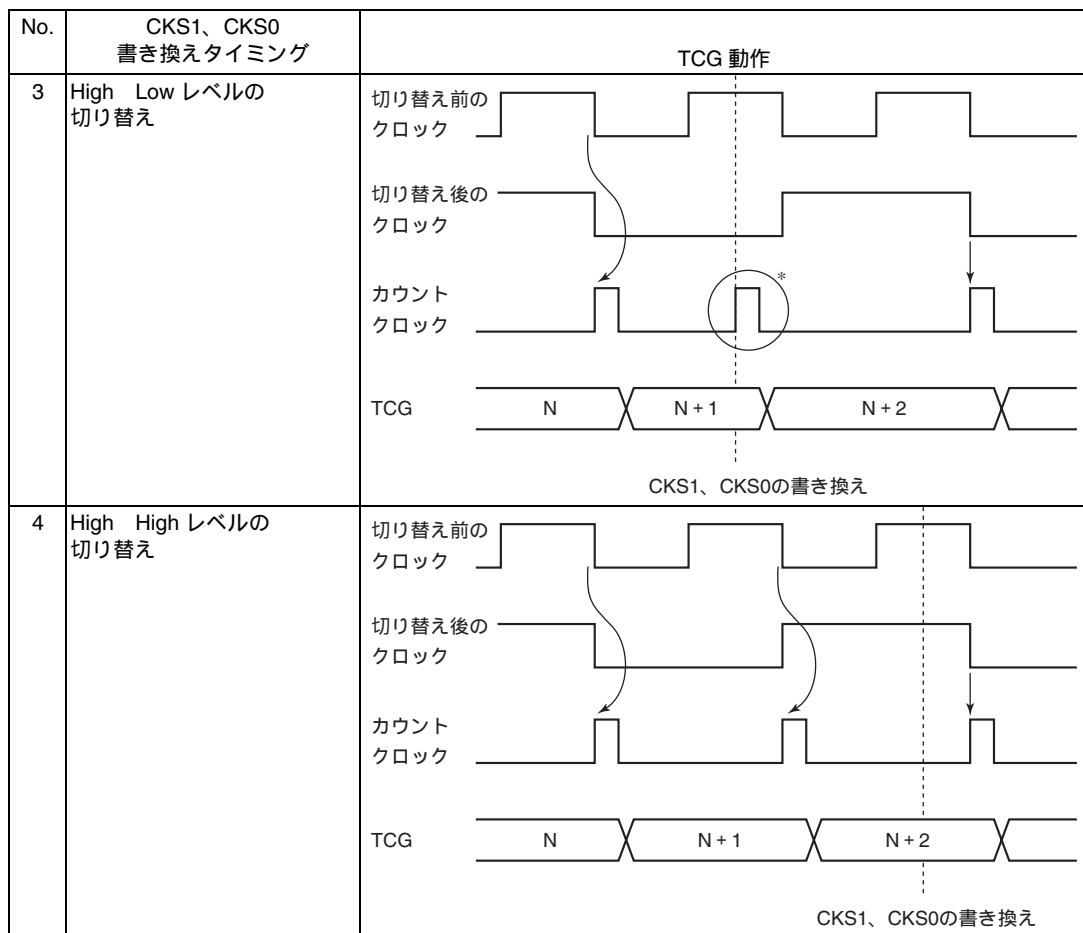
内部クロックを切り替えるタイミングによっては、TCG がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング(CKS1、CKS0 の書き換え)と TCG 動作の関係を表 9.14 示します。

内部クロックを使用する場合、システムクロック () またはサブクロック (ω_w) を分周した内部クロックの立ち下がりエッジで検出してカウントクロックを発生しています。そのため表 9.14 の No.3 のように切り替え前のクロック High 切り替え後のクロック Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなしてカウントクロックが発生し、TCG がカウントアップされてしまいます。

表 9.14 内部クロックの切り替えと TCG 動作

No.	CKS1、CKS0 書き換えタイミング	TCG 動作
1	Low Low レベルの 切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>カウントクロック</p> <p>TCG</p> <p>CKS1、CKS0の書き換え</p>
2	Low High レベルの 切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>カウントクロック</p> <p>TCG</p> <p>CKS1、CKS0の書き換え</p>

9. タイマ



【注】 * 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCG はカウントアップされてしまいます。

(2) ポートモードレジスタ書き換えの注意事項

インプットキャプチャの機能切り替えのために、ポートモードレジスタを書き換える際、またインプットキャプチャ入力のノイズ除去回路の機能切り替えのために、ポートモードレジスタを書き換える際に以下の点に注意してください。

- インプットキャプチャ入力端子の機能切り替え
インプットキャプチャ入力端子を制御しているポートモードレジスタ1 (PMR1) のTMIGを書き換えて端子機能を切り替えた場合、端子に有効なエッジが入力されていなくても、エッジが入力されたこととなりますので注意してください。インプットキャプチャ入力信号の入力エッジとその条件を表9.15に示します。

表 9.15 インプットキャプチャ入力端子の機能切り替えによるインプットキャプチャ入力信号の入力エッジとその条件

インプットキャプチャ入力信号の入力エッジ	条件
立ち上がりエッジが発生する場合	TMIG 端子が High レベルの状態、TMIG を 0 から 1 に書き換えたとき
	TMIG 端子が High レベルの状態、NCS を 0 から 1 に書き換えた後、ノイズ除去回路で 5 回サンプリングされる前に TMIG を 0 から 1 に書き換えたとき
立ち下がりエッジが発生する場合	TMIG 端子が High レベルの状態、TMIG を 1 から 0 に書き換えたとき
	TMIG 端子が Low レベルの状態、NCS を 0 から 1 に書き換えた後、ノイズ除去回路で 5 回サンプリングされる前に TMIG を 0 から 1 に書き換えたとき
	TMIG 端子が High レベルの状態、NCS を 0 から 1 に書き換えた後、ノイズ除去回路で 5 回サンプリングされた後に TMIG を 1 から 0 に書き換えたとき

【注】 P1₃端子がインプットキャプチャ入力端子に設定されていない場合、タイマ G のインプットキャプチャ入力信号は Low レベルとなっています。

- インプットキャプチャ入力のノイズ除去回路の機能切り替え
インプットキャプチャ入力のノイズ除去回路を制御しているポートモードレジスタ3 (PMR3) のNCSを書き換えて機能切り替えを行う場合、TMIGを0にして行ってください。それ以外で書き換えた場合、端子に有効なエッジが入力されていなくても、エッジが入力されたこととなりますので注意してください。インプットキャプチャ入力信号の入力エッジとその条件を表9.16に示します。

表 9.16 ノイズ除去回路の機能切り替えによるインプットキャプチャ入力信号の入力エッジとその条件

インプットキャプチャ入力信号の入力エッジ	条件
立ち上がりエッジが発生する場合	TMIG が 1 の状態で TMIG 端子を Low レベルから High レベルにした後、ノイズ除去回路で 5 回サンプリングする前に NCS を 0 から 1 に書き換えたとき
立ち下がりエッジが発生する場合	TMIG が 1 の状態で TMIG 端子を High レベルから Low レベルにした後、ノイズ除去回路で 5 回サンプリングする前に NCS を 1 から 0 に書き換えたとき

9. タイマ

端子機能を切り替え、インプットキャプチャ入力信号にエッジが発生した場合、このエッジとインプットキャプチャインタラプトエッジセレクト(IEEGS)ビットによるエッジ選択とが一致したとき、割り込み要求フラグが1にセットされますので、割り込み要求フラグを0にクリアしてから使用してください。ポートモードレジスタの操作と割り込み要求フラグのクリア手順を図9.15に示します。端子機能を切り替える場合、ポートモードレジスタの操作前に割り込み禁止状態にしてポートモードレジスタを切り替え、ポートモードレジスタ操作後、インプットキャプチャ入力信号がインプットキャプチャ信号として確定するための期間(ノイズ除去回路を使用しない場合は2システムクロック以上、ノイズ除去回路を使用する場合はサンプリングクロックの5倍以上)待ってから、1にセットされた割り込み要求フラグを0にクリアしてください。なお、端子機能切り替えに伴う割り込み要求フラグのセットを回避する方法として表9.15、表9.16の条件を満たさないように端子のレベルを制御する方法、または発生するエッジと反対のエッジにTMGのIEEGSビットを設定して制御する方法もあります。

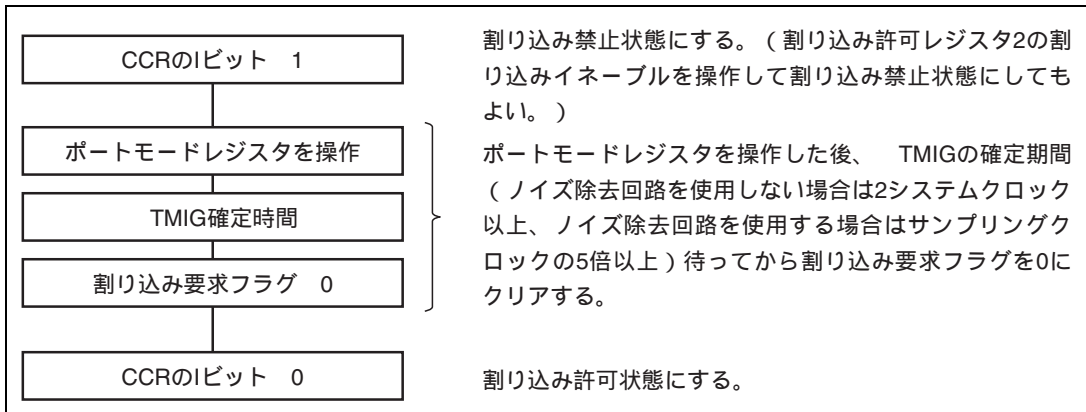


図 9.15 ポートモードレジスタの操作と割り込み要求フラグのクリア手順

9.5.6 タイマ G の使用例

タイマ G を使用すると、インプットキャプチャ入力信号の High 幅、Low 幅を絶対値で測定することができます。設定は、TMG の CCLR1、CCLR0 をそれぞれ 1 にセットします。

このときの動作例を図 9.16 に示します。

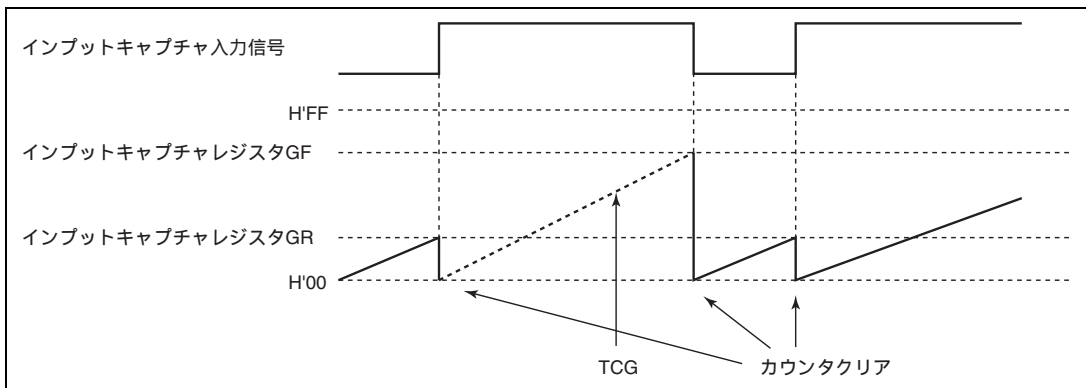


図 9.16 タイマ G の使用例

9.6 ウォッチドッグタイマ

9.6.1 概要

ウォッチドッグタイマ (Watchdog Timer) は、入力クロックが入るたびに、カウンタアップする 8 ビットのカウンタを備えており、システムの暴走などによりカウンタの値が書き換えられずオーバーフローすると、LSI 内部をリセットできる機能を備えています。

(1) 特長

ウォッチドッグタイマの特長を以下に示します。

内部クロック $\phi/8192$ または $\phi_w/32$ でカウンタアップ

カウンタのオーバーフローでリセット信号を発生

オーバーフロー周期は、 $8192/\phi$ または $32/\phi_w$ の 1 倍から 256 倍まで設定可能です。

($\phi = 2.00\text{MHz}$ のとき、約 4ms ~ 1000ms)

モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能

(2) ブロック図

ウォッチドッグタイマのブロック図を図 9.17 に示します。

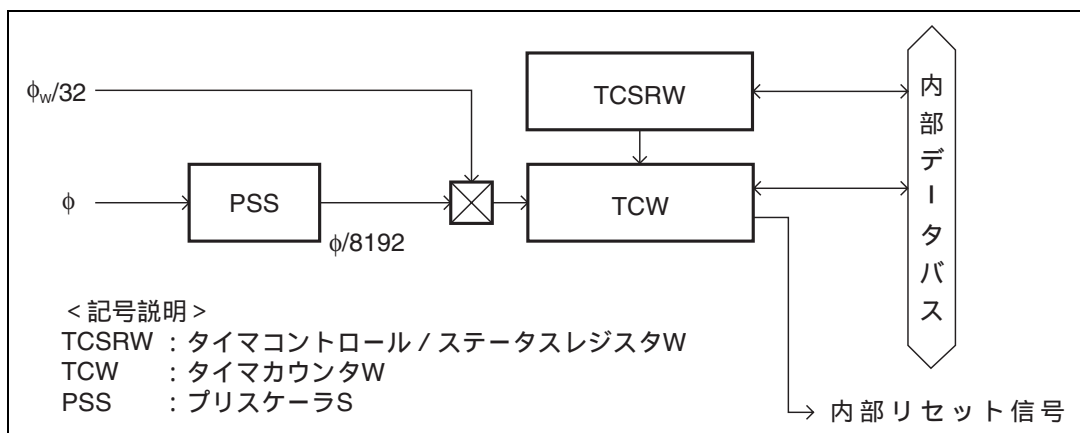


図 9.17 ウォッチドッグタイマのブロック図

9. タイマ

(3) レジスタ構成

ウォッチドッグタイマのレジスタ構成を表 9.17 に示します。

表 9.17 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマコントロール/ステータスレジスタ W	TCSRW	R/W	H'AA	H'FFB2
タイマカウンタ W	TCW	R/W	H'00	H'FFB3
クロック停止レジスタ 2	CKSTP2	R/W	H'FF	H'FFFB
ポートモードレジスタ 3	PMR3	R/W	H'00	H'FFCA

9.6.2 各レジスタの説明

(1) タイマコントロール/ステータスレジスタ W (TCSRW)

ビット:	7	6	5	4	3	2	1	0
	B6WI	TCWE	B4WI	TCSRWE	B2WI	WDON	BOWI	WRST
初期値:	1	0	1	0	1	0	1	0
R/W :	R	R/(W)*	R	R/(W)*	R	R/(W)*	R	R/(W)*

【注】* 書き込みの条件が成立している場合にのみ、書き込み可能となります。書き込み条件については各ビットの説明を参照してください。

TCSRW は、8 ビットのリード/ライト可能なレジスタで TCSRW、TCW の書き込み制御、ウォッチドッグタイマの動作制御、動作状態を示すレジスタです。

ビット 7: ビット 6 書き込み禁止 (B6WI)

TCSRW のビット 6 へのデータ書き込みを制御します。

ビット 7	説明
B6WI	
0	ビット 6 への書き込みを許可
1	ビット 6 への書き込みを禁止 (初期値)

本ビットはリードすると常に 1 が読み出されます。ライトしても、データは格納されません。

ビット6：タイマカウンタ W 書き込み許可 (TCWE)

TCW へのビットデータの書き込みを制御します。

ビット6	説明	
TCWE		
0	TCW への 8 ビットデータへの書き込みを禁止	(初期値)
1	TCW への 8 ビットデータへの書き込みを許可	

ビット5：ビット4 書き込み禁止 (B4WI)

TCSRW のビット4 へのデータ書き込みを制御します。

ビット5	説明	
B4WI		
0	ビット4 への書き込みを許可	
1	ビット4 への書き込みを禁止	(初期値)

本ビットはリードすると常に1が読み出されます。ライトしても、データは格納されません。

ビット4：タイマコントロール/ステータスレジスタ W 書き込み許可 (TCSRWE)

TCSRW のビット2 およびビット0 へのデータの書き込みを制御します。

ビット4	説明	
TCSRWE		
0	ビット2 およびビット0 への書き込みを禁止	(初期値)
1	ビット2 およびビット0 への書き込みを許可	

ビット3：ビット2 書き込み禁止 (B2WI)

TCSRW のビット2 へのデータの書き込みを制御します。

ビット3	説明	
B2WI		
0	ビット2 への書き込みを許可	
1	ビット2 への書き込みを禁止	(初期値)

本ビットはリードすると常に1が読み出されます。ライトしてもデータは格納されません。

9. タイマ

ビット2：ウォッチドッグタイマオン (WDON)

ウォッチドッグタイマの動作を許可します。

ビット2	説明
WDON	
0	ウォッチドッグタイマの動作を禁止 (初期値) [クリア条件] リセット、または TCSRWE = 1 の状態で B2WI に 0 をライトしながら WDON に 0 をライトしたとき
1	ウォッチドッグタイマの動作を許可 [セット条件] TCSRWE = 1 の状態で B2WI に 0 をライトしながら WDON に 1 をライトしたとき

本ビットを 1 にセットすると、カウントアップを開始します。また、本ビットを 0 にクリアすると、カウントアップを停止します。

ビット1：ビット0 書き込み禁止 (B0WI)

タイマコントロール/ステータスレジスタ W のビット 0 へのデータの書き込みを制御します。

ビット1	説明
B0WI	
0	ビット 0 への書き込みを許可
1	ビット 0 への書き込みを禁止 (初期値)

本ビットはリードすると常に 1 が読み出されます。ライトしても、データは格納されません。

ビット0：ウォッチドッグタイマリセット (WRST)

TCW がオーバフローし、内部リセット信号が発生したことを示します。オーバフローしたことにより発生した内部リセット信号は、LSI 全体をリセットします。

WRST は、 $\overline{\text{RES}}$ 端子によるリセット、またはソフトウェアによる 0 ライトによりクリアされます。

ビット0	説明
WRST	
0	[クリア条件] (1) $\overline{\text{RES}}$ 端子によるリセット (2) TCSRWE = 1 の状態で B0WI に 0 をライトしながら WRST に 0 をライトしたとき
1	[セット条件] TCW がオーバフローし、内部リセット信号が発生したとき

(2) タイマカウンタ W (TCW)

ビット:	7	6	5	4	3	2	1	0
	TCW7	TCW6	TCW5	TCW4	TCW3	TCW2	TCW1	TCW0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCW は、8 ビットのリード/ライト可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックは、 $f_{clk}/8192$ または $f_{clk}/32$ です。TCW の値は CPU から常にリード/ライトできます。

TCW がオーバフロー (H'FF H'00) すると、内部リセット信号を発生し、TCSRW の WRST が 1 にセットされます。リセット時、TCW は H'00 に初期化されます。

(3) クロック停止レジスタ 2 (CKSTPR2)

ビット:	7	6	5	4	3	2	1	0
					AECKSTP	WDCKSTP	PWCKSTP	LDCKSTP
初期値:	1	1	1	1	1	1	1	1
R/W :					R/W	R/W	R/W	R/W

CKSTPR2 は、8 ビットのリード/ライト可能なレジスタで、モジュールのモジュールスタンバイモードの制御を行います。本章ではウォッチドッグタイマに関するビットのみ説明します。他のビットについては各モジュールの章を参照してください。

ビット 2 : ウォッチドッグタイマモジュールスタンバイモード制御 (WDCKSTP)

ウォッチドッグタイマをモジュールスタンバイモードに設定および解除を制御します。

WDCKSTP	説明
0	ウォッチドッグタイマはモジュールスタンバイモードに設定される
1	ウォッチドッグタイマのモジュールスタンバイモードは解除される (初期値)

【注】 WDCKSTP はタイマコントロール/ステータスレジスタ W (TCSRW) の WDON が 0 のときに有効になります。WDON が 1 (ウォッチドッグタイマ動作中) のとき WDCKSTP を 0 に設定すると WDCKSTP は 0 に設定されませんが、ウォッチドッグタイマはモジュールスタンバイモードには入らずウォッチドッグ機能を継続します。ウォッチドッグ機能が終了し、ソフトウェアで WDON を 0 に設定すると同時に WDCKSTP が有効になり、ウォッチドッグタイマはモジュールスタンバイモードに入ります。

9. タイマ

(4) ポートモードレジスタ3 (PMR3)

ビット:	7	6	5	4	3	2	1	0
	AEVL	AEVH	WDCKS	NCS	IRQ0	RESO	UD	PWM
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR3は8ビットのリード/ライト可能なレジスタで、主にポート3の各端子機能の切り替えを制御します。本章ではウォッチドッグタイマに関するビットのみ説明します。他のビットについては「第8章 I/Oポート」を参照してください。

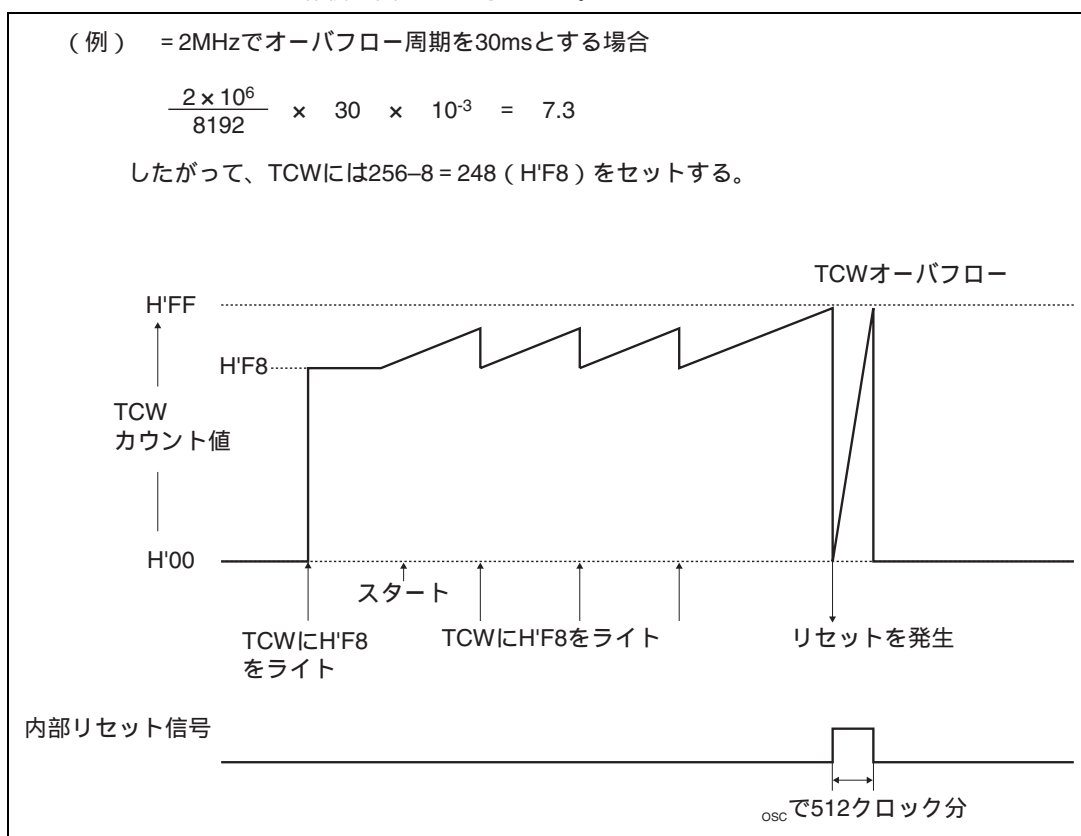
ビット5: ウォッチドッグタイマソースクロック選択

WDCKS	説明
0	/8192を選択 (初期値)
1	$\sqrt{32}$ を選択

9.6.3 動作説明

ウォッチドッグタイマは、入力クロック (f_{clk} /8192 または $f_{clk}/32$) が入るたびにカウントアップする 8 ビットのカウンタを備えています。入力クロックの選択は、ポートモードレジスタ 3 (PMR3) の WDCKS で行います。WDCKS が 0 のとき $f_{clk}/8192$ が選択され、1 のとき $f_{clk}/32$ が選択されます。TCSRW の TCSRWE=1 の状態で B2WI に 0 をライトしながら WDON に 1 をライトすると、TCW はカウントアップを開始します。TCW のカウント値が、H'FF になった後、クロックが入力されると、ウォッチドッグタイマはオーバーフローし、基準クロック (f_{clk} または $f_{clk}/32$) の 1 クロック分後に内部リセット信号を発生します。内部リセット信号は f_{osc} クロックで 512 クロック分の時間出力されます。TCW はライト可能なカウンタですので、TCW に値を設定すると、その値からカウントアップを行います。したがって、TCW の値により、オーバーフロー周期を 1~256 入力クロックの範囲で設定できます。

ウォッチドッグタイマ動作例を図 9.18 に示します。



9.6.4 ウォッチドッグタイマの動作モード

ウォッチドッグタイマの動作モードを表 9.18 に示します

表 9.18 ウォッチドッグタイマの動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ	モジュール スタンバイ
TCW	リセット	動作	動作	停止	動作 / 停止*	停止	停止	停止
TCSRW	リセット	動作	動作	保持	動作 / 停止*	保持	保持	保持

【注】 * 入力クロックに $w/32$ を選択した場合に動作します。

9.7 非同期イベントカウンタ (AEC)

9.7.1 概要

非同期イベントカウンタ (Asynchronous Event Counter) は、外部イベントクロックが入るたびにカウントアップするイベントカウンタです。

(1) 特長

非同期イベントカウンタの特長を以下に示します。

非同期イベントをカウント可能

基本クロック、_{SUB}の動作とは無関係に非同期に入力される外部イベントをカウント可能です。カウンタは16ビット構成になっており、65536 (2^{16}) 回以内のイベントのカウントが可能です。

2チャンネルの独立した8ビットイベントカウンタとしても使用可能。

ソフトウェアによってカウンタのリセット、カウントアップ機能の停止が制御可能。

イベントカウンタのオーバーフローを検出し、自動的に割り込みを発生。

モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能。

9. タイマ

(2) ブロック図

非同期イベントカウンタのブロック図を図 9.19 に示します。

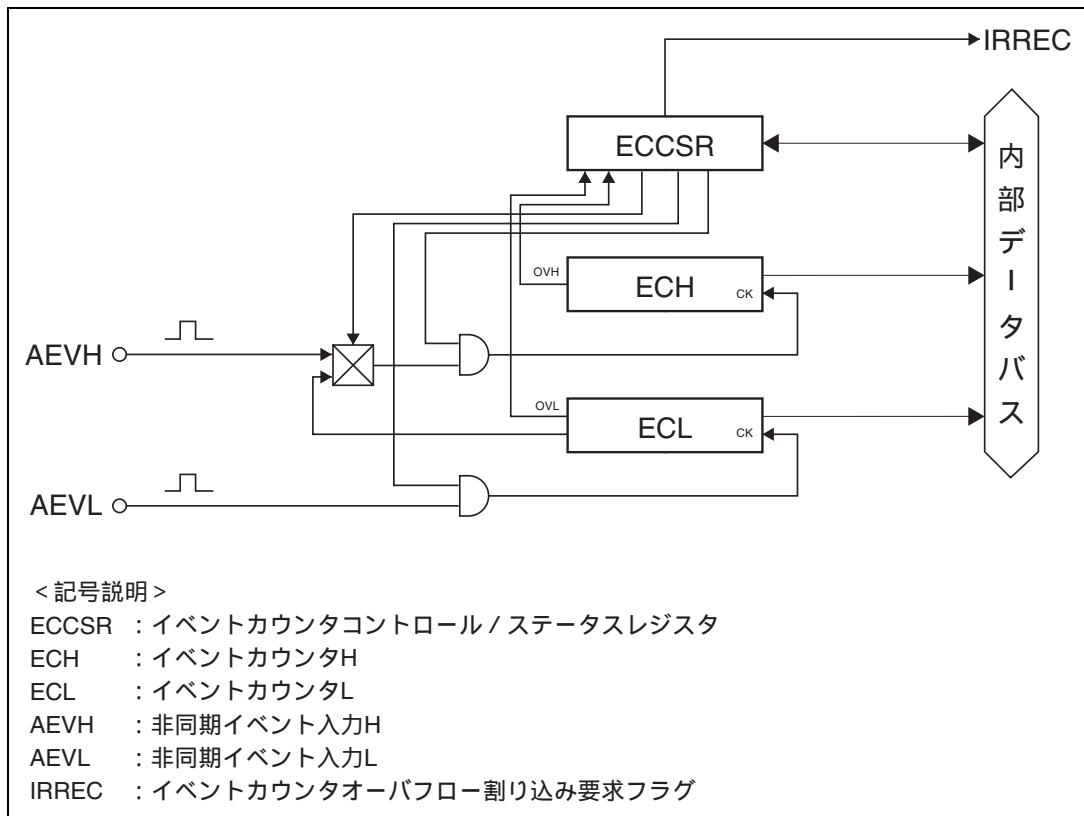


図 9.19 非同期イベントカウンタブロック図

(3) 端子構成

非同期イベントカウンタの端子構成を表 9.19 に示します。

表 9.19 端子構成

名称	略称	入出力	機能
非同期イベント入力H	AEVH	入力	イベントカウンタHに入力するイベント入力端子
非同期イベント入力L	AEVL	入力	イベントカウンタLに入力するイベント入力端子

(4) レジスタ構成

非同期イベントカウンタのレジスタ構成を表 9.20 に示します。

表 9.20 レジスタ構成

名称	略称	R/W	初期値	アドレス
イベントカウンタコントロール/ステータスレジスタ	ECCSR	R/W	H'00	H'FF95
イベントカウンタH	ECH	R	H'00	H'FF96
イベントカウンタL	ECL	R	H'00	H'FF97
クロック停止レジスタ2	CKSTP2	R/W	H'FF	H'FFFB

9.7.2 各レジスタの構成

(1) イベントカウンタコントロール/ステータスレジスタ (ECCSR)

ビット:	7	6	5	4	3	2	1	0
	OVH	OVL	—	CH2	CUEH	CUEL	CRCH	CRCL
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * フラグクリアのため0ライトのみ可能です。

ECCSR は、8 ビットのリード/ライト可能なレジスタで、カウンタのオーバフローの検出、カウンタのリセット、カウントアップ機能の停止の制御を行います。

リセット時、ECCSR は H'00 に初期化されます。

ビット7: カウンタオーバフローH (OVH)

ECH がオーバフロー (H'FFÆH'00) したことを示すステータスフラグです。ECH がオーバフローすると、本フラグがセットされます。ソフトウェアでセットすることはできません。本フラグのクリアはソフトウェアで行います。OVH が 1 の状態で OVH をリードした後、OVH に 0 をライトしたときにクリアされます。

CH2 を 0 にした状態で ECH、ECL を 16 ビットのイベントカウンタとして使用している場合には、本フラグは 16 ビットのイベントカウンタがオーバフロー (H'FFFFÆH'0000) したことを示すステータスフラグです。

ビット7	説明
OVH	
0	ECH がオーバフローしていないことを示します (初期値) [クリア条件] OVH が 1 の状態で OVH をリードした後、OVH に 0 をライトしたとき
1	ECH がオーバフローしたことを示します [セット条件] ECH の値が H'FF H'00 になったとき

9. タイマ

ビット6：カウンタオーバーフロー（OVL）

ECL がオーバーフロー（H'FFÆH'00）したことを示すステータスフラグです。ECL がオーバーフローすると、本フラグがセットされます。ソフトウェアでセットすることはできません。本フラグのクリアはソフトウェアで行います。OVL が 1 の状態で OVL をリードした後、OVL に 0 にライトしたときにクリアされます。

ビット6	説明
OVL	
0	ECL がオーバーフローしていないことを示します [クリア条件] OVL が 1 の状態で OVL をリードした後、OVL を 0 にライトしたとき (初期値)
1	ECL がオーバーフローしたことを示します [セット条件] CH2 を 1 にした状態で ECL の値が H'FF H'00 になったとき

ビット5：リザーブビット

本ビットはリード/ライト可能なリザーブビットです。リセット時は 0 に初期化されます。

ビット4：チャンネル選択（CH2）

ECH、ECL を 1 チャンネルの 16 ビットのイベントカウンタとして使用するか、2 チャンネルの独立した 8 ビットのイベントカウンタとして使用するかを選択します。CH2 を 0 にクリアすると、ECH、ECL は 16 ビットのイベントカウンタとなり、非同期イベント入力として AEVL 端子にイベントクロックが入力されるたびにカウントアップします。このとき ECH の入力クロックは ECL からのオーバーフロー信号が選択されます。CH2 を 1 にセットすると、ECH、ECL は各々独立した 8 ビットのイベントカウンタとなり、非同期イベント入力として各々 AEVH 端子、AEVL 端子にイベントクロックが入力されるたびにカウントアップします。

ビット4	説明
CH2	
0	ECH、ECL を連結した 1 チャンネルの 16 ビットイベントカウンタとして使用します (初期値)
1	ECH、ECL を独立した 2 チャンネルの 8 ビットイベントカウンタとして使用します

ビット3：カウントアップイネーブルH（CUEH）

ECH に入力されるイベントクロックの入力を許可します。本ビットに1をライトするとイベントクロックの入力を許可し、カウントアップをします。本ビットに0をライトすると、イベントクロックの入力を禁止し、ECHの値は保持されます。イベントクロックはCH2によってAEVH端子またはECLからのオーバフロー信号のいずれかを選択可能です。

ビット3	説明	
CUEH		
0	ECHのイベントクロックの入力を禁止 ECHの値を保持	(初期値)
1	ECHのイベントクロックの入力を許可	

ビット2：カウントアップイネーブルL（CUEL）

ECL に入力されるイベントクロックの入力を許可します。本ビットに1をライトするとイベントクロックの入力を許可し、カウントアップをします。本ビットに0をライトすると、イベントクロックの入力を禁止し、ECLの値は保持されます。

ビット2	説明	
CUEL		
0	ECLのイベントクロックの入力を禁止 ECLの値を保持	(初期値)
1	ECLのイベントクロックの入力を許可	

ビット1：カウンタリセット制御H（CRCH）

ECHのリセットを制御します。本ビットが0のときECHはリセットされます。本ビットに1をライトするとカウンタのリセットを解除し、ECHのカウントアップ機能を許可します。

ビット1	説明	
CRCH		
0	ECHをリセット	(初期値)
1	ECHのリセットを解除しカウントアップ機能を許可	

ビット0：カウンタリセット制御L（CRCL）

ECLのリセットを制御します。本ビットが0のときECLはリセットされます。本ビットに1をライトするとカウンタのリセットを解除し、ECLのカウントアップ機能を許可します。

ビット0	説明	
CRCL		
0	ECLをリセット	(初期値)
1	ECLのリセットを解除しカウントアップ機能を許可	

9. タイマ

(2) イベントカウンタ H (ECH)

ビット:	7	6	5	4	3	2	1	0
	ECH7	ECH6	ECH5	ECH4	ECH3	ECH2	ECH1	ECH0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

ECH は 8 ビットのリード可能なアップカウンタで、独立した 8 ビットのイベントカウンタとして、または ECL と組み合わせることで 16 ビットのイベントカウンタの上位 8 ビットのアップカウンタとして動作します。入力クロックは CH2 により外部非同期イベント AEVH 端子、または下位の 8 ビットのカウンタ ECL からのオーバーフロー信号のいずれかを選択可能です。ECH はソフトウェアで H'00 にクリア可能です。リセットは、H'00 に初期化されます。

(3) イベントカウンタ L (ECL)

ECL は 8 ビットのリード可能なアップカウンタで、独立した 8 ビットのイベントカウンタとして、または ECH と組み合わせることで 16 ビットのイベントカウンタの下位 8 ビットのアップカウンタとして動作します。入力クロックは外部非同期イベント AEVL 端子からのイベントクロックを使用します。ECL はソフトウェアで H'00 にクリア可能です。リセットは、H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	ECL7	ECL6	ECL5	ECL4	ECL3	ECL2	ECL1	ECL0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

(4) クロック停止レジスタ 2 (CKSTPR2)

ビット:	7	6	5	4	3	2	1	0
					AECKSTP	WDCKSTP	PWCKSTP	LDCKSTP
初期値:	1	1	1	1	1	1	1	1
R/W :					R/W	R/W	R/W	R/W

CKSTPR2 は、8 ビットのリード/ライト可能なレジスタで、モジュールのモジュールスタンバイモードの制御を行います。本章では非同期イベントカウンタに関するビットのみを説明します。他のビットについては各モジュールの章を参照してください。

ビット 3 : 非同期イベントカウンタモジュールスタンバイモード制御 (AECKSTP)

非同期イベントカウンタをモジュールスタンバイモードに設定および解除を制御します。

AECKSTP	説明
0	非同期イベントカウンタはモジュールスタンバイモードに設定される
1	非同期イベントカウンタのモジュールスタンバイモードは解除される (初期値)

9.7.3 動作説明

(1) 16ビットイベントカウンタの動作

ECCSRのCH2を0にクリアすると、ECH、ECLは16ビットのイベントカウンタとして動作します。16ビットイベントカウンタとして使用する場合のソフトウェアの例を図9.20に示します。

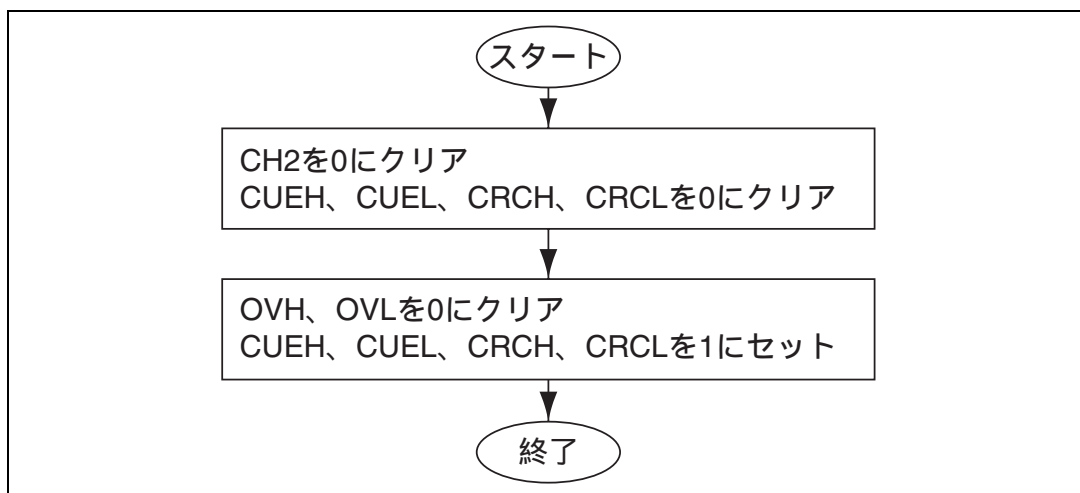


図 9.20 16ビットイベントカウンタとして使用する場合のソフトウェアの例

リセット時、CH2は0にクリアされるため、リセット後はECH、ECLは16ビットイベントカウンタとして動作します。また、図9.20に示すソフトウェアの例で使用すると16ビットのイベントカウンタとして使用できます。動作クロックはAEVL端子からの非同期イベント入力です。ECH、ECLのカウンタ値が共にH'FFになった後に、クロックが入力されるとECH、ECLはオーバーフロー(H'FFFF~H'0000)し、ECCSRのOVHフラグが1にセットされ、ECH、ECLのカウンタ値は各々H'00に戻り、再びカウンタアップを再開します。オーバーフロー発生時には、IRR2のIRRECが1にセットされます。このときIENR2のIENECが1ならばCPUに割り込みを要求します。

9. タイマ

(2) 8ビットイベントカウンタの動作

ECCSR の CH2 を 1 にセットすると、ECH、ECL は独立した 8 ビットのイベントカウンタとして動作します。8 ビットイベントカウンタとして使用する場合のソフトウェアの例を図 9.21 に示します。

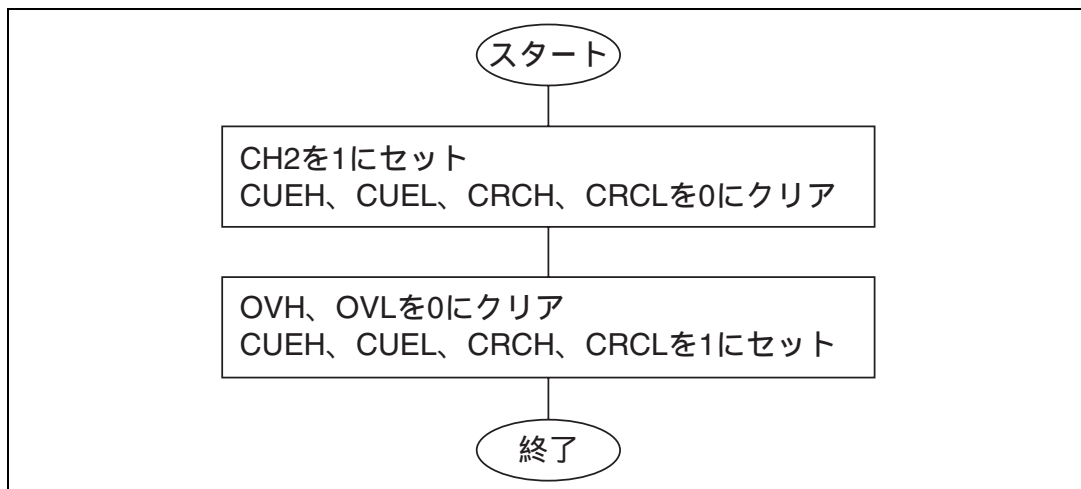


図 9.21 8ビットイベントカウンタとして使用する場合のソフトウェアの例

図 9.20 に示すソフトウェアの例で使用すると独立した 8 ビットのイベントカウンタとして使用できます。8 ビットイベントカウンタの動作クロックは ECH が AEVH 端子からの非同期イベント入力、ECL が AEVL 端子からの非同期イベント入力です。ECH のカウント値が H'FF になった後にクロックが入力されると、ECH はオーバーフローし ECCSR の OVH フラグが 1 にセットされ、ECH のカウント値は H'00 に戻り、再びカウントアップを再開します。また、ECL のカウント値が H'FF になった後にクロックが入力されると、ECL はオーバーフローし ECCSR の OVL フラグが 1 にセットされ、ECL のカウント値は H'00 に戻り、再びカウントアップを再開します。オーバーフロー発生時には、IRR2 の IRREC が 1 にセットされます。このとき IENR2 の IENEC が 1 ならば CPU に割り込みを要求します。

9.7.4 非同期イベントカウンタの動作モード

非同期イベントカウンタの動作モードを表 9.21 に示します。

表 9.21 非同期イベントカウンタの動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ	モジュールスタンバイ
ECCSR	リセット	動作	動作	保持*	動作	動作	保持*	保持
ECH	リセット	動作	動作*	動作*	動作	動作	動作*	停止
ECL	リセット	動作	動作*	動作*	動作	動作	動作*	停止

【注】 * 非同期外部イベントが入力されるとカウンタはカウントアップしますが、カウンタオーバーフロー/H/L フラグは影響を受けません。

9.7.5 使用上の注意事項

- (1) ECH、ECLの値をリードする場合には、リードする前にECCSRのCUEH、CUELを0にクリアして非同期イベント入力カウンタに入力しないようにしてください。リードしている際にイベントカウンタがカウントアップすると正しい値がリードできません。なお、ECCSRのCUEH、CUELの0クリアの際にECH、ECLが1カウントアップされることがあります。
- (2) AEVH、AEVL端子に入力するクロックの周波数は最大で、H8/3827Rグループの内部電源降圧回路不使用時は $V_{cc} = 4.5 \sim 5.5V$ で最大16MHz、 $V_{cc} = 2.7 \sim 5.5V$ で最大10MHz、 $V_{cc} = 1.8 \sim 5.5V$ で最大4MHz、内部電源降圧回路使用時は、 $V_{cc} = 2.7 \sim 5.5V$ で最大10MHz、 $V_{cc} = 1.8 \sim 5.5V$ で最大4MHzまでの範囲としてください。H8/3827Sグループは $V_{cc} = 2.7 \sim 3.6V$ で最大10MHz、 $V_{cc} = 1.8 \sim 3.6V$ で最大4MHzまでの範囲としてください。H8/38327、H8/38427グループでは最大16MHzまでの範囲としてください。またクロックのHigh幅、Low幅は最小32nsとなるようにしてください。

モード	AEVL、AEVH 端子に入力する 最大クロック周波数	
16ビットモード	H8/3827R グループ	
8ビットモード アクティブ(高速)、スリープ(高速)	内部降圧回路不使用時	
	$V_{cc} = 4.5 \sim 5.5V/16MHz$	
	$V_{cc} = 2.7 \sim 5.5V/10MHz$	
	$V_{cc} = 1.8 \sim 5.5V/4MHz$	
	内部降圧回路使用時	
	$V_{cc} = 2.7 \sim 5.5V/10MHz$	
	$V_{cc} = 1.8 \sim 5.5V/4MHz$	
	H8/3827S グループ	
	$V_{cc} = 2.7 \sim 3.6V/10MHz$	
	$V_{cc} = 1.8 \sim 3.6V/4MHz$	
	H8/38327 グループ	
	$V_{cc} = 2.7 \sim 5.5V/16MHz$	
	H8/38427 グループ	
	$V_{cc} = 4.5 \sim 5.5V/16MHz$	
	$V_{cc} = 2.7 \sim 5.5V/10MHz$	
8ビットモード アクティブ(中速)、スリープ(中速)		
(/16)	2 · fosc	
(/32)	fosc	
(/64)	1/2 · fosc	
fosc=1MHz ~ 16MHz	(/128)	1/4 · fosc
8ビットモード ウォッチ、サブアクティブ、サブスリープ、スタンバイ		
($w/2$)	1000kHz	
($w/4$)	500kHz	
$w=32.768kHz$ または $38.4kHz$	($w/8$)	250kHz

- (3) 16ビットモードで使用する際、ECCSRの設定はCUEHを1にセットしてからCRCHを1にセットするか、CUEHとCRCHを同時にセットしてからクロックを入力してください。その後16ビットモードで使用中はCUEHの値を変更しないでください。16ビットモード設定中にCUEHを変化させるとECHが誤カウントアップすることがあります。

10. シリアルコミュニケーションインタフェース

10.1 概要

本 LSI には SCI3-1 と SCI3-2 の 2 つのシリアルコミュニケーションインタフェースが搭載されています。この 2 つの SCI はまったく同一機能を有しています。

本マニュアルでは、これらを SCI3 と総称して説明します。

SCI3 (シリアルコミュニケーションインタフェース 3) は、調歩同期式とクロック同期式の 2 方式のシリアルデータ通信を行います。また、複数のプロセッサ間のシリアルデータ通信機能 (マルチプロセッサ通信機能) を備えています。

10.1.1 特長

SCI3 の特長を以下に示します。

シリアルデータ通信モードを調歩同期式モードまたはクロック同期式モードから選択可能

- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータ通信を行います。

Universal Asynchronous Receiver/Transmitter (UART) および、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。

また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

通信フォーマットを 16 種類のフォーマットから選択できます。

データ長	7 ビット / 8 ビット / 5 ビット
ストップビット長	1 ビット / 2 ビット
パリティ	偶数パリティ / 奇数パリティ / パリティなし
マルチプロセッサビット	1 / 0
受信エラーの検出	パリティエラー、オーバランエラー、フレーミングエラー
ブレークの検出	フレーミングエラー発生時に RXD _{3x} 端子のレベルを直接読み出すことでブレークを検出

- クロック同期式モード

クロックに同期してシリアルデータの通信を行います。クロック同期式通信機能をもつ他の LSI とのシリアルデータ通信が可能です。

データ長	8 ビット
受信エラーの検出	オーバランエラー

全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部および受信部ともにダブルバッファ構造になっていますので、連続送信・連続受信ができます。

10. シリアルコミュニケーションインタフェース

内蔵のボーレートジェネレータで任意のビットレートを選択可能

送受信クロックソースを内部クロック、または外部クロックから選択可能

6種類の割り込み要因

送信終了、送信データエンプティ、受信データフル、オーバランエラー、フレーミングエラー、パリティエラーの6種類の割り込み要因があります。

10.1.2 ブロック図

SCI3のブロック図を図10.1に示します。

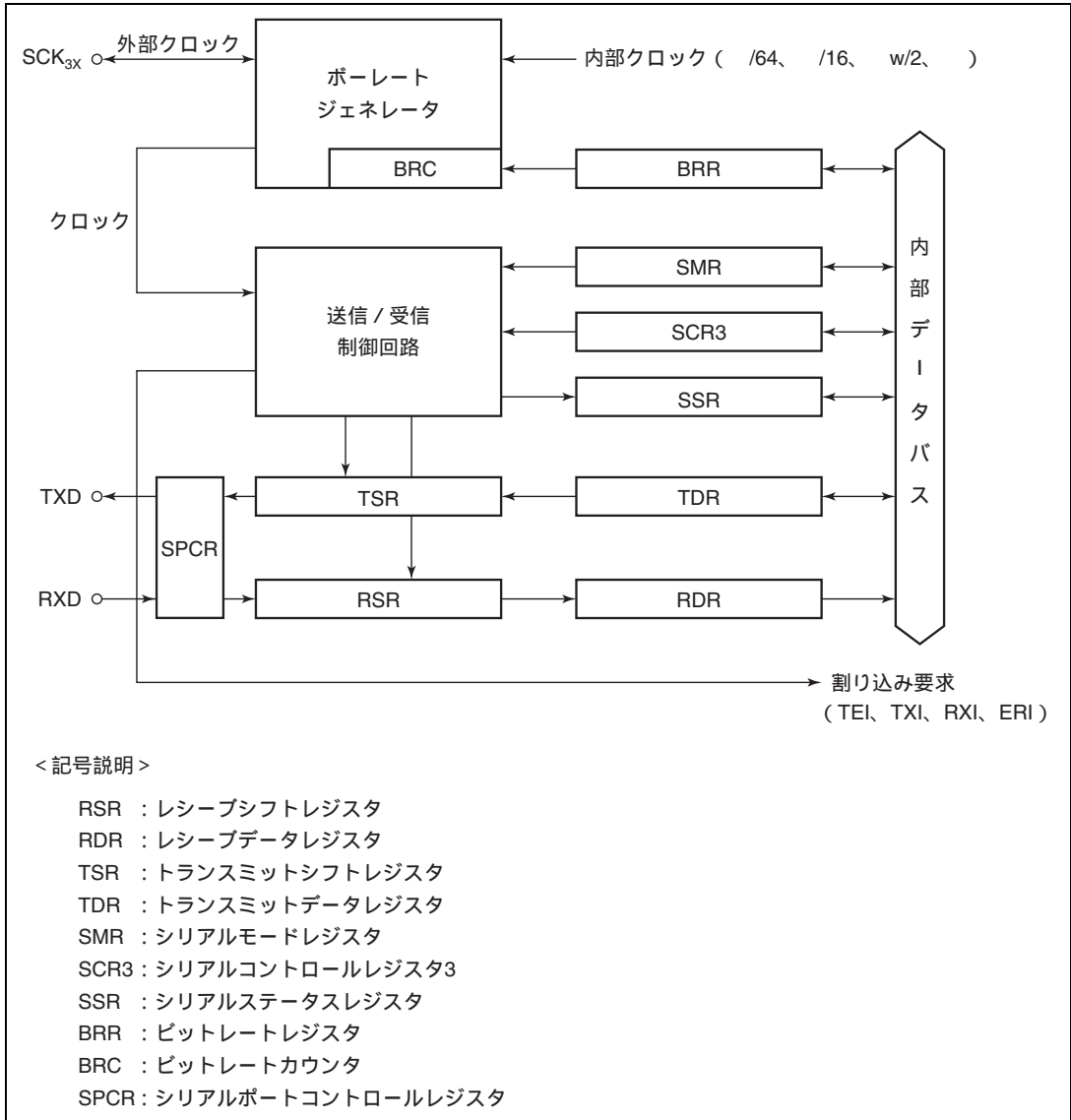


図 10.1 SCI3のブロック図

10. シリアルコミュニケーションインタフェース

10.1.3 端子構成

SCI3の端子構成を表 10.1 に示します。

表 10.1 端子構成

名称	略称	入出力	機能
SCI3 クロック	SCK _{3x}	入出力	SCI3のクロック入出力端子
SCI3 レシーブデータ 入力	RXD _{3x}	入力	SCI3の受信データ入力端子
SCI3 トランスミット データ出力	TXD _{3x}	出力	SCI3の送信データ出力端子

10.1.4 レジスタ構成

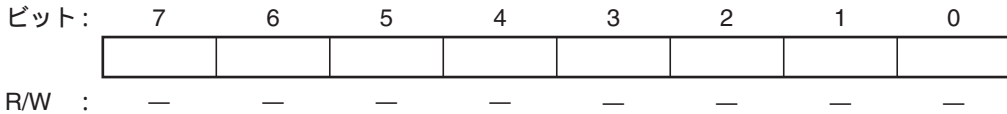
SCI3のレジスタ構成を表 10.2 に示します。

表 10.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
シリアルモードレジスタ	SMR	R/W	H'00	H'FFA8/FF98
ビットレートレジスタ	BRR	R/W	H'FF	H'FFA9/FF99
シリアルコントロールレジスタ 3	SCR3	R/W	H'00	H'FFAA/FF9A
トランスミットデータレジスタ	TDR	R/W	H'FF	H'FFAB/FF9B
シリアルステータスレジスタ	SSR	R/W	H'84	H'FFAC/FF9C
レシーブデータレジスタ	RDR	R	H'00	H'FFAD/FF9D
トランスミットシフトレジスタ	TSR	不可		
レシーブシフトレジスタ	RSR	不可		
ビットレートカウンタ	BRC	不可		
クロック停止レジスタ 1	CKSTPR1	R/W	H'FF	H'FFFA
シリアルポートコントロールレジスタ	SPCR	R/W	H'C0	H'FF91

10.2 各レジスタの説明

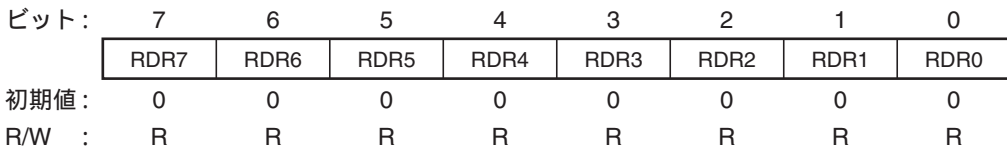
10.2.1 レシーブシフトレジスタ (RSR)



RSR は、シリアルデータを受信するためのレジスタです。RSR に RXD_{3X} 端子から入力されたシリアルデータを、LSB (ビット0) から受信した順にセットしパラレルデータに変換します。1 バイトのデータを受信すると、データは自動的に RDR へ転送されます。

CPU から RSR を直接リード/ライトすることはできません。

10.2.2 レシーブデータレジスタ (RDR)



RDR は、受信したシリアルデータを格納する 8 ビットのレジスタです。

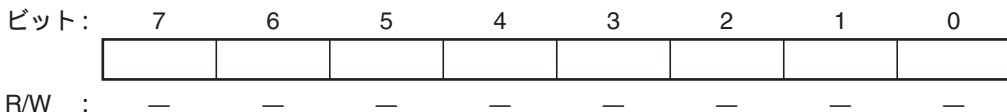
1 バイトのデータの受信が終了すると、受信したデータを RSR から RDR へ転送し、受信動作を完了します。その後、RSR は受信可能となります。

RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、受信専用レジスタですので CPU からライトできません。

RDR は、リセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'00 に初期化されます。

10.2.3 トランスミットシフトレジスタ (TSR)



TSR は、シリアルデータを送信するためのレジスタです。TDR から送信データをいったん TSR に転送し、LSB (ビット0) から順に TXD_{3X} 端子に送出することでシリアルデータ送信を行います。1 バイトのデータを送信すると、自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし、TDR にデータが書き込まれていない (TDRE に 1 がセットされている) 場合には TDR から TSR へのデータ転送は行いません。

CPU から TSR を直接リード/ライトすることはできません。

10.2.4 トランスミットデータレジスタ (TDR)

ビット:	7	6	5	4	3	2	1	0
	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TDR は、送信データを格納する 8 ビットのレジスタです。TSR の"空"を検出すると、TDR に書き込まれた送信データを TSR に転送し、シリアルデータ送信を開始します。TSR のシリアルデータ送信中に、TDR に次の送信データをライトしておくこと、連続送信が可能です。

TDR は、常に CPU によるリード/ライトが可能です。

TDR は、リセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'FF に初期化されます。

10.2.5 シリアルモードレジスタ (SMR)

ビット:	7	6	5	4	3	2	1	0
	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMR は、シリアルデータ通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR は、常に CPU によるリード/ライトが可能です。

SMR は、リセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'00 に初期化されます。

ビット 7: コミュニケーションモード (COM)

COM は、SCI3 を調歩同期式モードとクロック同期式モードのいずれで動作させるかを選択するビットです。

ビット 7	説明
COM	
0	調歩同期式モード (初期値)
1	クロック同期式モード

ビット6：キャラクタレングス（CHR）

CHR は、調歩同期式モード時におけるデータ長を選択するビットです。7ビットデータと8ビットデータのいずれかを選択できます。クロック同期式モードでは、CHR の設定にかかわらず、データ長は8ビットに固定となります。

ビット6	説明
CHR	
0	8ビットデータ/5ビットデータ* ² (初期値)
1	7ビットデータ* ¹ /5ビットデータ* ²

【注】 *1 7ビットデータを選択した場合、TDR のMSB（ビット7）は送信されません。

*2 5ビットデータを選択する場合は、PE=1、MP=1としてください。

また、TDR のMSB（ビット7、ビット6、ビット5）は送信されません。

ビット5：パリティイネーブル（PE）

PE は、調歩同期式モードで、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択するビットです。クロック同期式モードではPE の設定にかかわらずパリティビットの付加およびチェックは行いません。

ビット5	説明
PE	
0	パリティビットの付加およびチェックを禁止* ² (初期値)
1	パリティビットの付加およびチェックを許可* ¹ * ²

【注】 *1 PE に1をセットすると送信時には、PM で指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがPM で指定したパリティになっているかどうかをチェックします。

*2 5ビットデータを選択した場合は表 10.11 を参照してください。

ビット4：パリティモード（PM）

PM は、パリティの付加やチェックを偶数パリティ、または奇数パリティのどちらで行うかを選択するビットです。PM の設定は、調歩同期式モードでPE に1を設定し、パリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合にはPM は無効です。

ビット4	説明
PM	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】 *1 偶数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の1の数の合計が偶数になるかどうかをチェックします。

*2 奇数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の1の数の合計が奇数になるかどうかをチェックします。

10. シリアルコミュニケーションインタフェース

ビット3：ストップビットレングス（STOP）

STOP は、調歩同期式モードでのストップビットの長さを選択するビットです。1ビットまたは2ビットのいずれかを選択できます。STOP の設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合にはストップビットは付加されませんので STOP は無効です。

ビット3	説明
STOP	
0	1ストップビット* ¹ (初期値)
1	2ストップビット* ²

【注】 *¹ 送信時には、送信キャラクタの最後尾に1ビットの1（ストップビット）を付加して送信します。

*² 送信時には、送信キャラクタの最後尾に2ビットの1（ストップビット）を付加して送信します。

なお、受信時には STOP の設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合はストップビットとして扱いますが、0の場合は次の送信キャラクタのスタートビットとして扱います。

ビット2：マルチプロセッサモード（MP）

MP は、マルチプロセッサ通信機能を許可するビットです。マルチプロセッサ通信機能を許可した場合、PE および PM におけるパリティの設定は無効になります。MP の設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合には MP を 0 にしてください。

マルチプロセッサ通信機能については「10.3.4 マルチプロセッサ通信機能」を参照してください。

ビット2	説明
MP	
0	マルチプロセッサ通信機能を禁止* (初期値)
1	マルチプロセッサ通信機能を許可*

【注】 * 5ビットデータを選択した場合は表 10.11 を参照してください。

ビット1、0：クロックセレクト1、0 (CKS1、CKS0)

CKS1、CKS0 は、内蔵ポーレートジェネレータのクロックソースを選択するビットです。CKS1、CKS0 の組み合わせによって、/64、/16、w/2、の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「10.2.8 ビットレートレジスタ (BRR)」を参照してください。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	クロック (初期値)
0	1	w/2 クロック* ¹ / w クロック* ²
1	0	/16 クロック
1	1	/64 クロック

【注】 *1 アクティブ (中速 / 高速) ・スリープ (中速 / 高速) 時では w/2 クロックとなります。

*2 サブアクティブ、サブスリープ時では w クロックとなります。また、サブアクティブモード、サブスリープモード時は、CPU 動作クロックが w/2 のときのみ SCI3 が使用可能となります。

10.2.6 シリアルコントロールレジスタ 3 (SCR3)

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR3 は、送信 / 受信動作、調歩同期式モードでのクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行う 8 ビットのレジスタです。

SCR3 は、常に CPU によるリード / ライトが可能です。

SCR3 は、リセット、スタンバイモード、ウォッチモード、モジュールスタンバイモード時に H'00 に初期化されます。

ビット7：トランスミットインタラプトイネーブル (TIE)

TIE は、TDR から TSR へ送信データが転送され、SSR の TDRE が 1 にセットされたとき、送信データエンpty割り込み要求 (TXI) の許可 / 禁止を選択するビットです。

TXI は、TDRE を 0 にクリアするか、または TIE を 0 にクリアすることで解除できます。

ビット7	説明
TIE	
0	送信データエンpty割り込み要求 (TXI) の禁止 (初期値)
1	送信データエンpty割り込み要求 (TXI) の許可

10. シリアルコミュニケーションインタフェース

ビット6：レシーブインタラプトイネーブル（RIE）

RIE は、受信データが RSR から RDR へ転送され、SSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求（RXI）、および受信エラー割り込み要求（ERI）の許可 / 禁止を選択するビットです。なお、受信エラーにはオーバランエラー、フレーミングエラー、パリティエラーの 3 種類があります。

RXI および ERI は、RDRF または、FER、PER、OER のエラーフラグを 0 にクリアするか、RIE を 0 にクリアすることで解除できます。

ビット6	説明
RIE	
0	受信データフル割り込み要求（RXI）、および受信エラー割り込み要求（ERI）を禁止（初期値）
1	受信データフル割り込み要求（RXI）、および受信エラー割り込み要求（ERI）を許可

ビット5：トランスミットイネーブル（TE）

TE は、送信動作の開始の許可 / 禁止を選択するビットです。

ビット5	説明
TE	
0	送信動作を禁止* ¹ （TXD 端子は入出力ポート）（初期値）
1	送信動作を許可* ² （TXD 端子はトランスミットデータ端子）

【注】 *1 SSR の TDRE は 1 に固定されます。

*2 この状態で、TDR に送信データをライトすると SSR の TDRE が 0 にクリアされシリアルデータ送信を開始します。なお、TE を 1 にセットする前に必ず SMR の設定と SPCR の SPC31 または SPC32 の設定を行い、送信フォーマットを決定してください。

ビット4：レシーブイネーブル（RE）

RE は、受信動作の開始の許可 / 禁止を選択するビットです。

ビット4	説明
RE	
0	受信動作を禁止* ¹ （RXD 端子は入出力ポート）（初期値）
1	受信動作を許可* ² （RXD 端子はレシーブデータ端子）

【注】 *1 RE を 0 にクリアしても SSR の RDRF、FER、PER、OER の各フラグは影響を受けず、状態を保持しますので注意してください。

*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を、それぞれ検出するとシリアルデータ受信を開始します。なお、RE を 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル（MPIE）

MPIE は、マルチプロセッサ割り込み要求の許可 / 禁止を選択するビットです。MPIE の設定は、調歩同期式モードで、かつ SMR の MP が 1 に設定されている受信時にのみ有効です。COM が 1 のときや MP が 0 のときには MPIE は無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込み要求を禁止（通常の実動作） [クリア条件] マルチプロセッサビットが1のデータを受信したとき (初期値)
1	マルチプロセッサ割り込み要求を許可*

【注】 * RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、OER の各ステータスフラグのセットは行いません。マルチプロセッサビットが1のデータを受け取るまで、RXI、ERI、および、SSR の RDRF、FER、OER の各フラグのセットを禁止します。マルチプロセッサビットが1の受信キャラクタを受け取ると、SSR の MPBR を 1 にセットし、MPIE を自動的に 0 にクリアし、RXI、ERI の発生（SCR3 の TIE、RIE が 1 にセットされている場合）と RDRF、FER、OER のセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル（TEIE）

TEIE は、MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み要求（TEI）の許可 / 禁止を選択するビットです。

ビット2	説明
TEIE	
0	送信終了割り込み要求（TEI）を禁止 (初期値)
1	送信終了割り込み要求（TEI）を許可*

【注】 * TEI は、SSR の TDRE を 0 にクリアして TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。

10. シリアルコミュニケーションインタフェース

ビット1、0：クロックイネーブル1、0（CKE1、CKE0）

CKE1、CKE0は、クロックソースの選択、およびSCK_{3X}端子からのクロックの出力の許可/禁止を選択するビットです。CKE1とCKE0の組み合わせによってSCK_{3X}端子を入出力ポートにするか、クロック出力端子にするか、またはクロック入力端子にするかが決まります。

ただし、CKE0の設定は調歩同期式モードで内部クロック動作時（CKE1=0）のみ有効です。クロック同期式モードのとき、および外部クロック動作（CKE1=1）の場合はCKE0に0を設定してください。

また、CKE1、CKE0を設定した後にSMRで動作モードを決定してください。

クロックソースの選択についての詳細は「10.3.1 概要」の表10.9を参照してください。

ビット1	ビット0	説明		
CKE1	CKE0	コミュニケーションモード	クロックソース	SCK _{3X} 端子機能
0	0	調歩同期式	内部クロック	入出力ポート*1
		クロック同期式	内部クロック	同期クロック出力*1
0	1	調歩同期式	内部クロック	クロック出力*2
		クロック同期式	リザーブ	
1	0	調歩同期式	外部クロック	クロック入力*3
		クロック同期式	外部クロック	同期クロック入力
1	1	調歩同期式	リザーブ	
		クロック同期式	リザーブ	

【注】*1 初期値

*2 ビットレートと同じ周波数のクロックを出力します。

*3 ビットレートの16倍の周波数のクロックを入力してください。

10.2.7 シリアルステータスレジスタ（SSR）

ビット：	7	6	5	4	3	2	1	0
	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT
初期値：	1	0	0	0	0	1	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするため"0"ライトのみ可能です。

SSRは、SCI3の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。

SSRは常に、CPUからリード/ライトできます。ただし、TDRE、RDRF、OER、PER、FERへ1をライトすることはできません。また、これらに0をライトしてクリアするためには、あらかじめ1をリードしておく必要があります。

また、TENDおよびMPBRはリード専用であり、ライトすることはできません。

SSRは、リセット、スタンバイモード、モジュールスタンバイモード、ウォッチモード時にH'84に初期化されます。

ビット7：トランスミットデータレジスタエンブティ (TDRE)

TDRE は、TDR から TSR に送信データの転送が行われたことを示すビットです。

ビット7	説明
TDRE	
0	TDR にライトされた送信データが TSR に転送されていない [クリア条件] (1) TDRE = 1 の状態をリードした後、0 をライトしたとき (2) 命令で TDR ヘデータをライトしたとき
1	TDR に送信データがライトされていない、または TDR にライトされた送信データが TSR に転送された [セット条件] (1) SCR3 の TE が 0 のとき (2) TDR から TSR にデータ転送が行われたとき (初期値)

ビット6：レシーブデータレジスタフル (RDRF)

RDRF は、受信したデータが RDR に格納されていることを示すビットです。

ビット6	説明
RDRF	
0	RDR に受信データが格納されていない [クリア条件] (1) RDRF = 1 の状態をリードした後、0 をライトしたとき (2) 命令で RDR のデータをリードしたとき (初期値)
1	RDR に受信データが格納されている [セット条件] 受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、および SCR3 の RE を 0 にクリアしたときには、RDR および RDRF は影響を受けず以前の状態を保持します。RDRF が 1 にセットされたままデータの受信を完了するとオーバーランエラー (OER) を発生し、受信データが失われますので注意してください。

10. シリアルコミュニケーションインタフェース

ビット5：オーバランエラー（OER）

OER は、受信時にオーバランエラーが発生したことを示すビットです。

ビット5	説明
OER	
0	受信中、または受信を完了した* ¹ (初期値) [クリア条件] OER=1の状態をリードした後、0をライトしたとき
1	受信時にオーバランエラーが発生した* ² [セット条件] RDRFが1の状態を受信を完了したとき

【注】 *1 SCR3のREを0にクリアしたときには、OERは影響を受けず以前の状態を保持します。

*2 RDRでは、オーバランエラーが発生する前の受信データが保持され、後から受信したデータが失われます。なお、OERが1にセットされた状態で、以降の受信を続けることはできません。クロック同期式モードでは送信も続けることができません。

ビット4：フレーミングエラー（FER）

FER は、調歩同期式モードで受信時にフレーミングエラーが発生したことを示すビットです。

ビット4	説明
FER	
0	受信中、または受信を完了した* ¹ (初期値) [クリア条件] FER=1の状態をリードした後、0をライトしたとき
1	受信時にフレーミングエラーが発生した [セット条件] 受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき* ²

【注】 *1 SCR3のREを0にクリアしたときには、FERは影響を受けず以前の状態を保持します。

*2 2ストップビットモード時は、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックをしませんので注意してください。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFはセットされません。さらに、FERが1にセットされた状態においては、以降の受信を続けることはできません。また、クロック同期式モードでは、FERが1にセットされていると送信および受信はできません。

ビット3：パリティエラー（PER）

PER は、調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生したことを示すビットです。

ビット3	説明
PER	
0	受信中、または受信を完了した* ¹ （初期値） [クリア条件] PER=1の状態をリードした後、0をライトしたとき
1	受信時にパリティエラーが発生した* ² [セット条件] 受信時に受信データとパリティビットを合わせた1の数がSMRのPMで設定したパリティと一致しなかったとき

【注】 *1 SCR3のREを0にクリアしたときには、PERは影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFはセットされません。なお、PERが1にセットされた状態では、以降の受信を続けることはできません。また、クロック同期式モードでは、PERが1にセットされていると送信および受信はできません。

ビット2：トランスミットエンド（TEND）

TEND は、送信キャラクタの最後尾ビットを送信時に、TDREが1にセットされていたことを示すビットです。

TEND は、リード専用ですのでライトすることはできません。

ビット2	説明
TEND	
0	送信中 [クリア条件] (1) TDRE=1の状態をリードした後、TDREに0をライトしたとき (2) 命令でTDRにデータをライトしたとき
1	送信を終了（初期値） [セット条件] (1) SCR3のTEが0のとき (2) 送信キャラクタの最後尾ビットの送信時に、TDREが1であったとき

10. シリアルコミュニケーションインタフェース

ビット1：マルチプロセッサビットレシーブ (MPBR)

MPBR は、調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信キャラクタ中のマルチプロセッサビットを格納するビットです。

リード専用ですのでライトすることはできません。

ビット1	説明
MPBR	
0	マルチプロセッサビットが0のデータを受信した* (初期値)
1	マルチプロセッサビットが1のデータを受信した

【注】 * マルチプロセッサフォーマットで SCR3 の RE を 0 にクリアしたときには、MPBR は影響を受けず、以前の状態を保持します。

ビット0：マルチプロセッサビットトランスファ (MPBT)

MPBT は、調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納するビットです。クロック同期式モードを選択しているときやマルチプロセッサ通信機能を禁止しているとき、あるいは送信でないときには MPBT は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビット0を送信 (初期値)
1	マルチプロセッサビット1を送信

10.2.8 ビットレートレジスタ (BRR)

ビット:	7	6	5	4	3	2	1	0
	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRR は、SMR の CKS1、CKS0 で選択されるボーレートジェネレータの動作クロックと合わせて、送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

BRR は、常に CPU によるリード / ライトが可能です。

BRR は、リセット、スタンバイモード、モジュールスタンバイモード、ウォッチモード時に H'FF に初期化されます。

調歩同期モードの BRR の設定例を表 10.3 に示します。表 10.3 はアクティブ (高速) モードでの値を示しています。

表 10.3 ビットレートに対する BRR の設定例 [調歩同期モード] (1)

OSC	32.8kHz			38.4kHz			2MHz			2.4576MHz			4MHz		
	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)	n	N	誤差(%)
110				—	—	—	—	—	—	2	21	-0.83	—	—	—
150				0	3	0	2	12	0.16	3	3	0	2	25	0.16
200				0	2	0	0	155	0.16	3	2	0	—	—	—
250				—	—	—	0	124	0	0	153	-0.26	0	249	0
300				0	1	0	0	103	0.16	3	1	0	2	12	0.16
600				0	0	0	0	51	0.16	3	0	0	0	103	0.16
1200				—	—	—	0	25	0.16	2	1	0	0	51	0.16
2400				—	—	—	0	12	0.16	2	0	0	0	25	0.16
4800				—	—	—	—	—	—	0	7	0	0	12	0.16
9600				—	—	—	—	—	—	0	3	0	—	—	—
19200				—	—	—	—	—	—	0	1	0	—	—	—
31250				—	—	—	0	0	0	—	—	—	0	1	0
38400				—	—	—	—	—	—	0	0	0	—	—	—

誤差が3%以上になるため使用不可

表 10.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕(2)

OSC	10MHz			16MHz		
	n	N	誤差(%)	n	N	誤差(%)
110	2	88	-0.25	2	141	0.03
150	2	64	0.16	2	103	0.16
200	2	48	-0.35	2	77	0.16
250	2	38	0.16	2	62	-0.79
300	—	—	—	2	51	0.16
600	—	—	—	2	25	0.16
1200	0	129	0.16	0	207	0.16
2400	0	64	0.16	0	103	0.16
4800	—	—	—	0	51	0.16
9600	—	—	—	0	25	0.16
19200	—	—	—	0	12	0.16
31250	0	4	0	0	7	0
38400	—	—	—	—	—	—

- 【注】 1. 誤差は、1%以内となるように設定してください。
2. BRR の設定値は以下の計算式で求められます。

$$N = \frac{\text{OSC}}{64 \times 2^{2n} \times B} - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

OSC : OSC の値 (Hz)

n : ボーレートジェネレータの入力クロックの No. (n=0、2、3)
(n とクロックの関係は表 10.4 を参照)

3. 表 10.3 の誤差は以下の計算式で求めた値を小数点第 3 位を四捨五入して表示してあります。

$$\text{誤差}(\%) = \frac{B(n, N, \text{OSCから求めたビットレート}) - R(\text{表10.3左欄のビットレート})}{R(\text{表10.3の左欄のビットレート})} \times 100$$

表 10.4 n とクロックの関係

n	クロック	SMR の設定値	
		CKS1	CKS0
0		0	0
0	$w/2^{*1} / w^{*2}$	0	1
2	/16	1	0
3	/64	1	1

【注】 *1 アクティブ (中速 / 高速)、スリープ (中速 / 高速) 時では $w/2$ クロックとなります。

*2 サブアクティブ、サブスリープ時では w クロックとなります。また、サブアクティブモード、サブスリープモード時は、CPU 動作クロックが $w/2$ のときのみ SCI3 が使用可能となります。

調歩同期式モードの各周波数における最大ビットレートを表 10.5 に示します。
表 10.5 はアクティブ (高速) モードでの値を示しています。

表 10.5 各周波数における最大ビットレート〔調歩同期式モード〕

OSC (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
0.0384*	600	0	0
2	31250	0	0
2.4576	38400	0	0
4	62500	0	0
10	156250	0	0
16	250000	0	0

【注】 * SMR を CKS1 = 0、CKS0 = 1 に設定したとき

10. シリアルコミュニケーションインタフェース

クロック同期式モードの BRR の設定例を表 10.6 に示します。表 10.6 はアクティブ（高速）モードでの値を示しています。

表 10.6 ビットレートに対する BRR の設定例〔クロック同期式モード〕

OSC	38.4kHz			2MHz			4MHz			10MHz			16MHz		
	n	N	誤差率	n	N	誤差率	n	N	誤差率	n	N	誤差率	n	N	誤差率
200	0	23	0	—	—	—	—	—	—	—	—	—	—	—	—
250	—	—	—	—	—	—	2	124	0	—	—	—	3	124	0
300	2	0	0	—	—	—	—	—	—	—	—	—	—	—	—
500				—	—	—	—	—	—	—	—	—	2	249	0
1k				0	249	0	—	—	—	—	—	—	2	124	0
2.5k				0	99	0	0	199	0	—	—	—	2	49	0
5k				0	49	0	0	99	0	0	249	0	2	24	0
10k				0	24	0	0	49	0	0	124	0	0	199	0
25k				0	9	0	0	19	0	0	49	0	0	79	0
50k				0	4	0	0	9	0	0	24	0	0	39	0
100k				—	—	—	0	4	0	—	—	—	0	19	0
250k				0	0	0	0	1	0	0	4	0	0	7	0
500k							0	0	0	—	—	—	0	3	0
1M										—	—	—	0	1	0

空欄：設定不可能です。

：設定は可能ですが、誤差が出ます。

【注】 BRR の設定値は以下の計算式で求められます。

$$N = \frac{\text{OSC}}{8 \times 2^{2n} \times B} - 1$$

B：ビットレート（bit/s）

N：ボーレートジェネレータの BRR の設定値（0 ≤ N ≤ 255）

OSC： osc の値（Hz）

n：ボーレートジェネレータの入力クロックの No.（n=0、2、3）

（n とクロックの関係は表 10.7 を参照）

表 10.7 n とクロックの関係

n	クロック	SMR の設定値	
		CKS1	CKS0
0		0	0
0	$w/2^{*1}/ w^{*2}$	0	1
2	/16	1	0
3	/64	1	1

- 【注】 *1 アクティブ (中速 / 高速)、スリープ (中速 / 高速) 時では $w/2$ クロックとなります。
 *2 サブアクティブ、サブスリープ時では w クロックとなります。また、サブアクティブモード、サブスリープモード時は、CPU 動作クロックが $w/2$ のときのみ SCI3 が使用可能となります。

10.2.9 クロック停止レジスタ 1 (CKSTPR1)

ビット:	7	6	5	4	3	2	1	0
	—	S31CKSTP	S32CKSTP	ADCKSTP	TGCKSTP	TFCKSTP	TCCKSTP	TACKSTP

初期値: 1 1 1 1 1 1 1 1
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W

CKSTPR1 は、8 ビットのリード / ライト可能なレジスタで、モジュールのモジュールスタンバイモードの制御を行います。本章では SCI3 に関するビットのみ説明します。他のビットについては各モジュールの章を参照してください。

ビット 6 : SCI31 をモジュールスタンバイモード制御 (S31CKSTP)

SCI31 をモジュールスタンバイモードに設定および解除を制御します。

S31CKSTP	説明
0	SCI31 はモジュールスタンバイモードに設定される。*
1	SCI31 のモジュールスタンバイモードは解除される。 (初期値)

- 【注】 * モジュールスタンバイモードに設定した場合、SCI31 の全レジスタはリセット状態となります。

ビット 5 : SCI32 をモジュールスタンバイモード制御 (S32CKSTP)

SCI32 をモジュールスタンバイモードに設定および解除を制御します。

S32CKSTP	説明
0	SCI32 はモジュールスタンバイモードに設定される。*
1	SCI32 のモジュールスタンバイモードは解除される。 (初期値)

- 【注】 * モジュールスタンバイモードに設定した場合、SCI32 の全レジスタはリセット状態となります。

10. シリアルコミュニケーションインタフェース

10.2.10 シリアルポートコントロールレジスタ (SPCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	SPC32	SPC31	SCINV3	SCINV2	SCINV1	SCINV0
初期値:	1	1	0	0	0	0	0	0
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

SPCRは、8ビットのリード/ライト可能なレジスタで、RXD₃₁、RXD₃₂、TXD₃₁、TXD₃₂、端子の入出力データ反転切り替えを行います。リセット時、SPCRはH'00に初期化されます。

ビット7~6: リザーブビット

リザーブビットです。各ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット5: P4₂/TXD₃₂ 端子機能切り替え

P4₂/TXD₃₂ 端子を P4₂ 端子として使用するか TXD₃₂ 端子として使用するかを設定します。

ビット5	説明	
SPC32		
0	P4 ₂ 入出力端子として機能。	(初期値)
1	TXD ₃₂ 出力端子として機能。*	

【注】 * : 本ビットを1に設定した後にSCR3のTEビットを設定してください。

ビット4: P3₅/TXD₃₁ 端子機能切り替え

P3₅/TXD₃₁ 端子を P3₅ 端子として使用するか TXD₃₁ 端子として使用するかを設定します。

ビット4	説明	
SPC31		
0	P3 ₅ 入出力端子として機能。	(初期値)
1	TXD ₃₁ 出力端子として機能。*	

【注】 * : 本ビットを1に設定した後にSCR3のTEビットを設定してください。

ビット3: TXD₃₂ 端子出力データ反転切り替え

TXD₃₂ 端子の出力データを反転するか、しないか、の切り替えを設定します。

ビット3	説明	
SCINV3		
0	TXD ₃₂ の出力データを反転しない。	(初期値)
1	TXD ₃₂ の出力データを反転する。	

ビット2：RXD₃₂端子入力データ反転切り替え

RXD₃₂端子の入力データを反転するか、しないか、の切り替えを設定します。

ビット2	説明
SCINV2	
0	RXD ₃₂ の入力データを反転しない。 (初期値)
1	RXD ₃₂ の入力データを反転する。

ビット1：TXD₃₁端子出力データ反転切り替え

TXD₃₁端子の出力データを反転するか、しないか、の切り替えを設定します。

ビット1	説明
SCINV1	
0	TXD ₃₁ の出力データを反転しない。 (初期値)
1	TXD ₃₁ の出力データを反転する。

ビット0：RXD₃₁端子入力データ反転切り替え

RXD₃₁端子の入力データを反転するか、しないか、の切り替えを設定します。

ビット0	説明
SCINV0	
0	RXD ₃₁ の入力データを反転しない。 (初期値)
1	RXD ₃₁ の入力データを反転する。

10.3 動作説明

10.3.1 概要

SCI3 は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式でシリアル通信ができます。

調歩同期式モードとクロック同期式モードの選択、および通信フォーマットの選択は、SMR で行います。これを表 10.8 に示します。

また、SCI3 のクロックソースは、SMR の COM、および SCR3 の CKE1、CKE0 の組み合わせでできます。これを表 10.9 に示します。

(1) 調歩同期式モード

- データ長：5 ビット / 7 ビット / 8 ビットから選択可能
- パリティの付加、マルチプロセッサビットの付加、および 1 ビットまたは 2 ビットのストップビットの付加を選択可能（これらの組み合わせで送信 / 受信フォーマット、およびキャラクタ長を決定）
- 受信時にフレーミングエラー（FER）、パリティエラー（PER）、オーバランエラー（OER）およびブレークの検出が可能
- クロックソース：内部クロック / 外部クロックから選択可能
内部クロックを選択した場合：ボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力可能
外部クロックを選択した場合：ビットレートの 16 倍の周波数のクロック入力が必要（内蔵ボーレートジェネレータを使用しない）

(2) クロック同期式モード

- 送信 / 受信フォーマット：8 ビットデータ固定
- 受信時にオーバランエラー（OER）の検出が可能
- クロックソース：内部クロック / 外部クロックから選択可能
内部クロックを選択した場合：ボーレートジェネレータのクロックで動作し、同期クロックを出力
外部クロックを選択した場合：内蔵ボーレートジェネレータを使用せず、入力された同期クロックで動作

表 10.8 SMR の設定値と送信 / 受信フォーマット

SMR					モード	送信 / 受信フォーマット									
ビット 7	ビット 6	ビット 2	ビット 5	ビット 3		データ長	マルチ プロセッサ ビット	パリティ ビット	ストップ ビット長						
COM	CHR	MP	PE	STOP											
0	0	0	0	0	0	調歩同期式 モード	8ビット データ	なし	なし	1					
				1	0					2					
			0	1	1										
			1	0	2										
	1		1	1	0		0		0	7ビット データ	あり	なし	1		
							1		0				2		
					0		1		1						
					1		0		2						
	0	0	1	0	0		0	8ビット データ	あり	なし	1				
					1		0				2				
				0	1		1								
				1	0		2								
1		1		1	0	0	0	5ビット データ	なし		なし	1			
						1	0					2			
					0	1	1								
					1	0	2								
1	*	0	*	*	0	8ビット データ	なし	なし	1						
					1				0	2					
				*	*				*	0		0	なし	なし	なし
										1		0	なし	なし	なし

* : Don't care

表 10.9 SMR、SCR3 の設定とクロックソースの選択

SMR			SCR3		モード	送信 / 受信クロック	
ビット7	ビット1	ビット0	モード	クロック ソース		SCK _{3x} 端子の機能	
COM	CKE1	CKE0					
0	0	0	調歩同期式 モード	内部	入出力ポート (SCK _{3x} 端子を使用しません)		
		1			ビットレートと同じ周波数のクロックを出力		
1	0	0	クロック同期 式モード	外部	ビットレートの 16 倍の周波数のクロックを入力		
		1			同期クロックを出力		
0	1	1	リザーブ (この組み合わせは指定しないでください)	外部	同期クロックを入力		
1	0	1					
1	1	1					

10. シリアルコミュニケーションインタフェース

(3) 割り込みと連続送信 / 受信

SCI3 は、RXI を使用した連続受信、また TXI を使用した連続送信が可能です。
表 10.10 にこれらの割り込みについて示します。

表 10.10 送信 / 受信割り込み

割り込み	フラグ	割り込み発生条件	備考
RXI	RDRF RIE	シリアル受信が正常に行われ、RSR から RDR に受信データが転送されると RDRF が 1 となり、このとき RIE が 1 ならば RXI が許可され割り込みが発生します。 (図 10.2 (a) 参照)	RXI の割り込み処理ルーチンでは、RDR に転送された受信データを読み出し、RDRF を 0 にクリアします。上記の操作を次の RSR の受信完了までに行うことで連続受信が可能です。
TXI	TDRE TIE	TSR の空 (前回の送信完了) を検出して、TDR にセットされた送信データが TSR に転送されると TDRE は 1 にセットされます。このとき TIE が 1 ならば TXI が許可され割り込みが発生します。 (図 10.2 (b) 参照)	TXI の割り込み処理ルーチンでは、次の送信データを TDR に書き込み、TDRE を 0 にクリアします。上記の操作を TSR に転送したデータが送信終了するまでに行うことで連続送信が可能です。
TEI	TEND TEIE	TSR の送信キャラクタの最後尾ビットを送信したとき、TDRE が 1 ならば TEND は 1 にセットされます。このとき TEIE が 1 ならば TEI が許可され割り込みが発生します。 (図 10.2 (c) 参照)	TEI は、TSR の送信キャラクタの最後尾ビットを送信したとき、TDR に次の送信データが書き込まれていないことを示します。

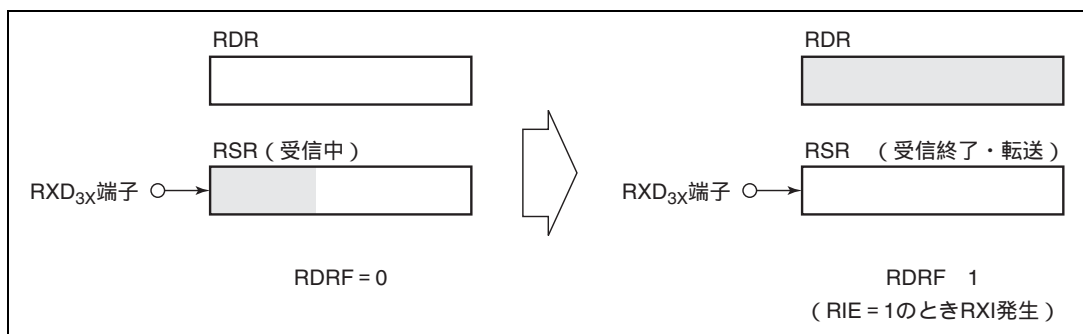


図 10.2 (a) RDRF のセットと RXI 割り込み

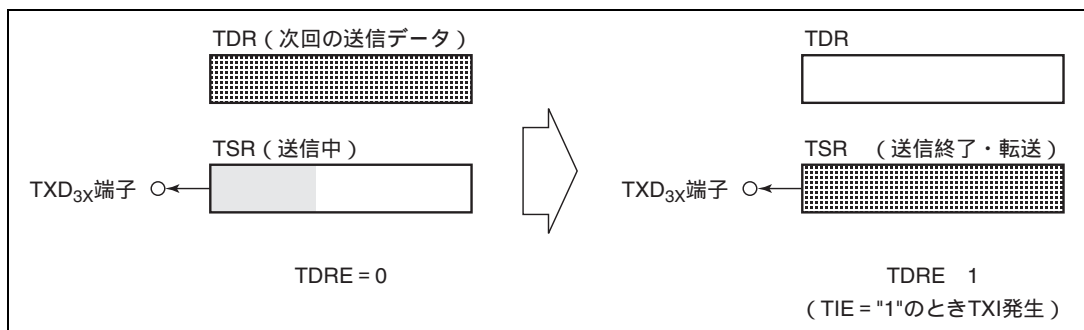


図 10.2 (b) TDRE のセットと TXI 割り込み

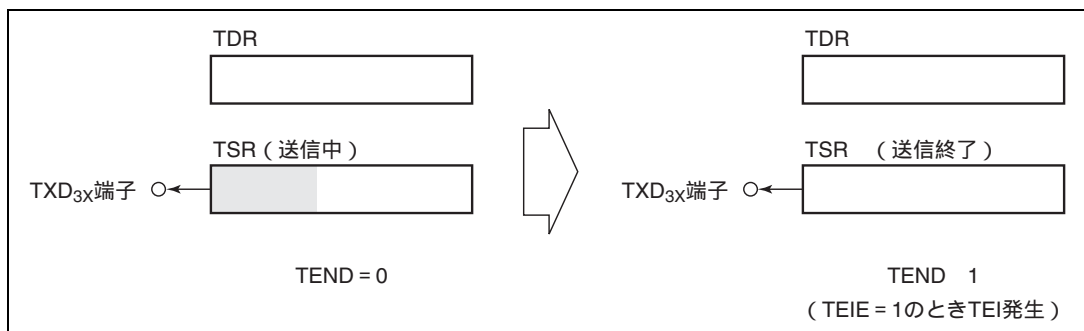


図 10.2 (c) TEND のセットと TEI 割り込み

10.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期を取りながらシリアル通信を行うモードです。

SCI3 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信 / 受信中にデータのリード / ライトができ、連続送信 / 受信が可能です。

(1) 送信 / 受信フォーマット

調歩同期式通信の通信データの一般的なフォーマットを図 10.3 に示します。

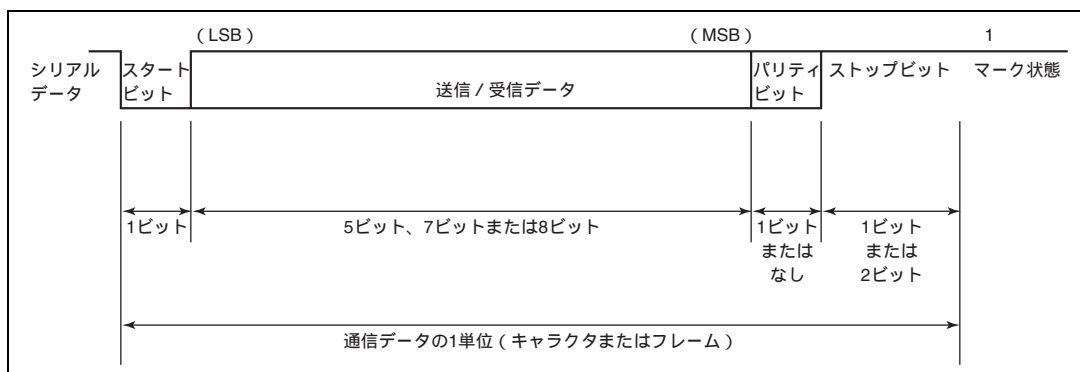


図 10.3 調歩同期式通信のデータフォーマット

調歩同期式通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI3 は通信回線を監視し、スペース (Low レベル) になったところをスタートビットとみなしてシリアルデータ通信を開始します。

通信データの 1キャラクタは、スタートビット (Low レベル) から始まり、送信 / 受信データ (LSB ファースト: 最下位ビットから)、パリティビット (High または Low レベル)、最後にストップビット (High レベル) の順で構成されます。

調歩同期式モードでは、受信時にスタートビットの立ち下がりエッジで同期化を行います。また、データを 1ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データを取り込みます。

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 10.11 に示します。

送信 / 受信フォーマットは 16 種類あり、SMR の設定により選択できます。

表 10.11 通信フォーマット (調歩同期式モード)

SMR				シリアル通信フォーマットとフレーム長													
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12		
0	0	0	0	START	8ビットデータ								STOP				
0	0	0	1	START	8ビットデータ								STOP	STOP			
0	0	1	0	START	8ビットデータ								MPB	STOP			
0	0	1	1	START	8ビットデータ								MPB	STOP	STOP		
0	1	0	0	START	8ビットデータ								P	STOP			
0	1	0	1	START	8ビットデータ								P	STOP	STOP		
0	1	1	0	START	5ビットデータ				STOP								
0	1	1	1	START	5ビットデータ				STOP	STOP							
1	0	0	0	START	7ビットデータ							STOP					
1	0	0	1	START	7ビットデータ							STOP	STOP				
1	0	1	0	START	7ビットデータ							MPB	STOP				
1	0	1	1	START	7ビットデータ							MPB	STOP	STOP			
1	1	0	0	START	7ビットデータ							P	STOP				
1	1	0	1	START	7ビットデータ							P	STOP	STOP			
1	1	1	0	START	5ビットデータ				P	STOP							
1	1	1	1	START	5ビットデータ				P	STOP	STOP						

<記号説明>

START : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセスビット

(2) クロック

SCI3 の送受信クロックは、SMR の COM と SCR3 の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK_{3X} 端子から入力された外部クロックの 2 種類から設定できます。クロックソースの選択については表 10.9 を参照してください。

外部クロックを SCK_{3X} 端子を入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK_{3X} 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 10.4 に示すように送信 / 受信データの各ビットの中央でクロックが立ち上がります。

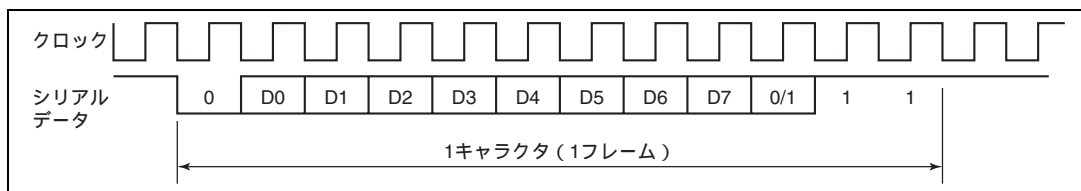


図 10.4 出力クロックと通信データの位相関係 (調歩同期式モード)
(8 ビットデータ / パリティあり / 2 ストップビットの例)

(3) データの送信 / 受信動作

(a) SCI3 の初期化

データの送信 / 受信前には、まず SCR3 の TE および RE を 0 にクリアした後、以下の手順に従って初期化してください。

【注】 動作モードの変更、通信フォーマットの変更などの場合には、必ず TE および RE を 0 にクリアしてから変更してください。TE を 0 にクリアすると、TDRE は 1 にセットされます。RE を 0 にクリアしても、RDRF、PER、FER、OER の各フラグ、および RDR の内容は保持されますので注意してください。

調歩同期式モードで外部クロックを使用している場合には、初期化を含めた動作中にクロックを止めないでください。クロック同期式モードで外部クロックを使用している場合には、初期化中にクロックを供給しないでください。

図 10.5 に SCI3 を初期化するときのフローチャートの例を示します。

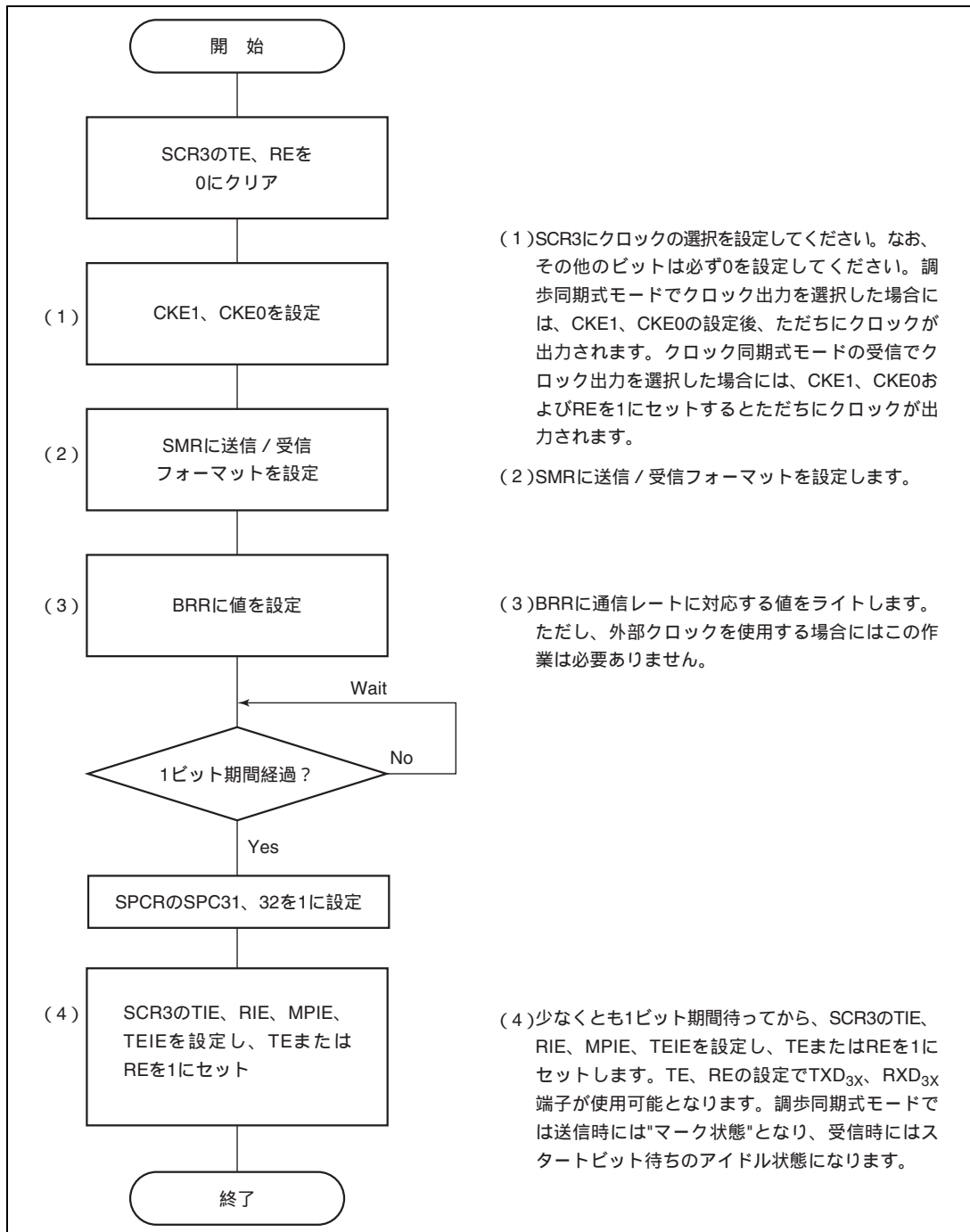


図 10.5 SCI3 を初期化するときのフローチャートの例

(b) データ送信

図 10.6 にデータ送信のフローチャートの例を示します。

データ送信は SCI3 の初期化後、以下の手順に従って行ってください。

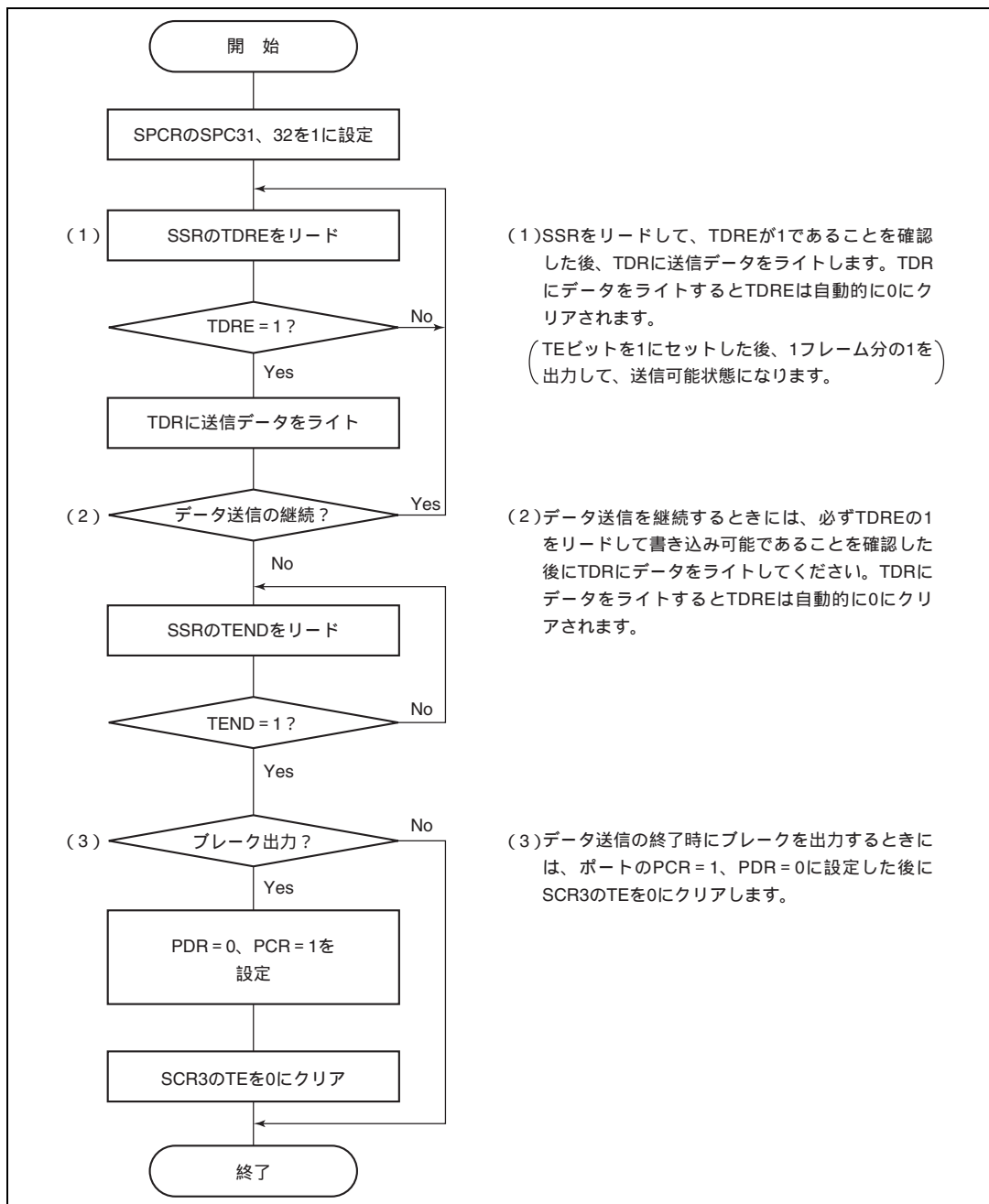


図 10.6 データ送信のフローチャートの例 (調歩同期式モード)

SCI3 はデータ送信時に以下のように動作します。

SCI3 は、SSR の TDRE を監視し、0 であると TDR にデータが書き込まれたと認識し、TDR から TSR にデータを転送します。その後、TDRE を 1 にセットして送信を開始します。このとき、SCR3 の TIE が 1 にセットされていると TXI を発生します。

シリアルデータは、表 10.11 に示す通信フォーマットに従い TXD_{3X} 端子から送信されます。

その後、ストップビットを送り出すタイミングで TDRE をチェックします。

TDRE が 0 であると TDR から TSR にデータを転送し、ストップビット送出後、次のフレームの送信を開始します。TDRE が 1 であると SSR の TEND に 1 をセットし、ストップビット送出後、1 を出力する"マーク状態"になります。このとき SCR3 の TEIE が 1 にセットされていると TEI を発生します。

図 10.7 に調歩同期式モードの送信時の動作例を示します。

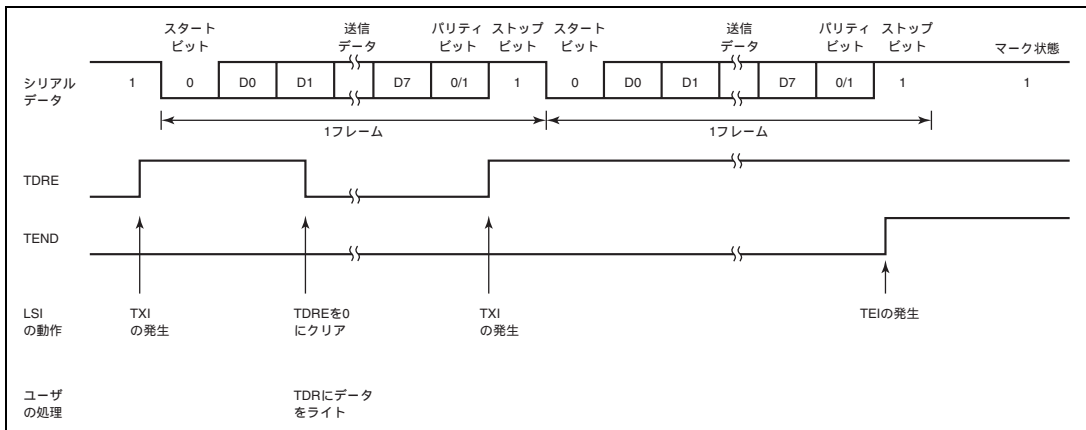


図 10.7 調歩同期式モードの送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

(c) データ受信

図 10.8 にデータ受信のフローチャートの例を示します。
データ受信は SCI3 の初期化後、以下の手順に従って行ってください。

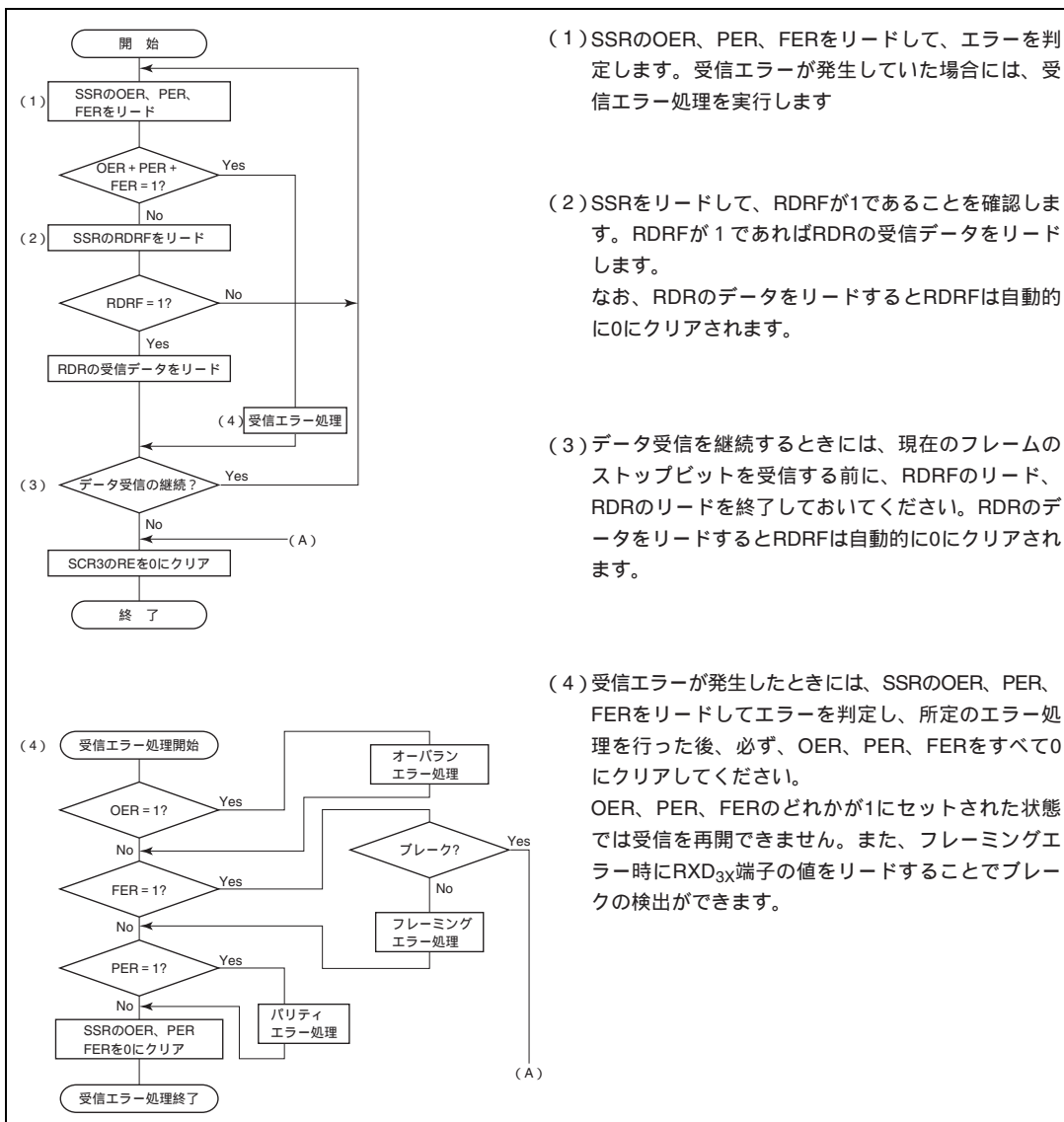


図 10.8 データ受信のフローチャートの例 (調歩同期式モード)

SCI3 は受信時に以下のように動作します。

SCI3 は通信回線を監視し、スタートビットの 0 を検出すると内部を同期化し受信を開始します。受信は表 10.11 に示す通信フォーマットに従い、まず受信したデータを RSR の LSB から MSB の順にセットし、次に、パリティビットおよびストップビットを受信します。受信後、SCI3 は以下のチェックを行います。

- パリティチェック：
受信データの 1 の数をチェックし、これが SMR の PM で設定した偶数 / 奇数パリティになっているかをチェックします。
- ストップビットチェック：
ストップビットが 1 であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- ステータスチェック：
RDRF が 0 であり、受信データを RSR から RDR に転送できる状態であるかをチェックします。

以上のチェックの結果受信エラーがなかったとき RDRF が 1 にセットされ、RDR に受信データが格納されます。このとき SCR3 の RIE が 1 にセットされていると RXI を発生します。一方、エラーチェックで受信エラーを検出すると、各エラーに対応して、OER、PER、FER が 1 にセットされます。また RDRF はデータを受信する前の状態を保ちます。このとき、SCR3 の RIE が 1 にセットされていると ERI を発生します。

表 10.12 に受信エラーの検出条件と受信データの処理を示します。

【注】 受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER および RDRF を 0 にクリアしてください。

表 10.12 受信エラーの検出条件と受信データの処理

受信エラー	略称	検出条件	受信データの処理
オーバランエラー	OER	RSR の RDRF が 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データが転送されます。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されます。

10. シリアルコミュニケーションインタフェース

調歩同期式モードの受信時の動作例を図 10.9 に示します。

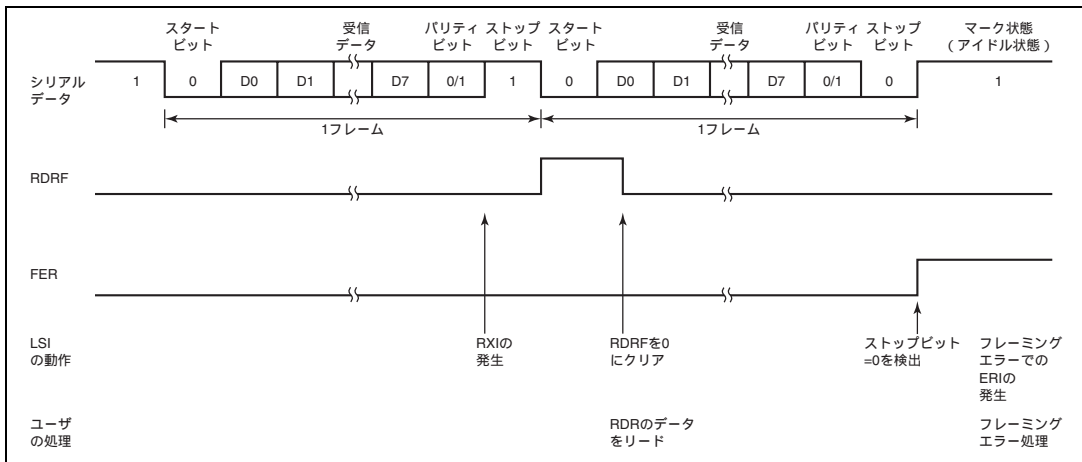


図 10.9 調歩同期式モードの受信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

10.3.3 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信、または受信するモードです。クロック同期式モードは、高速シリアル通信に適しています。

SCI3 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信を行うことができます。

送信部 / 受信部は共にダブルバッファ構造になっていますので、送信中にデータのライトができ、連続送信が可能です。また、受信中にデータのリードができ連続受信が可能です。

(1) 送信 / 受信フォーマット

クロック同期式通信の通信データの一般的なフォーマットを図 10.10 に示します。

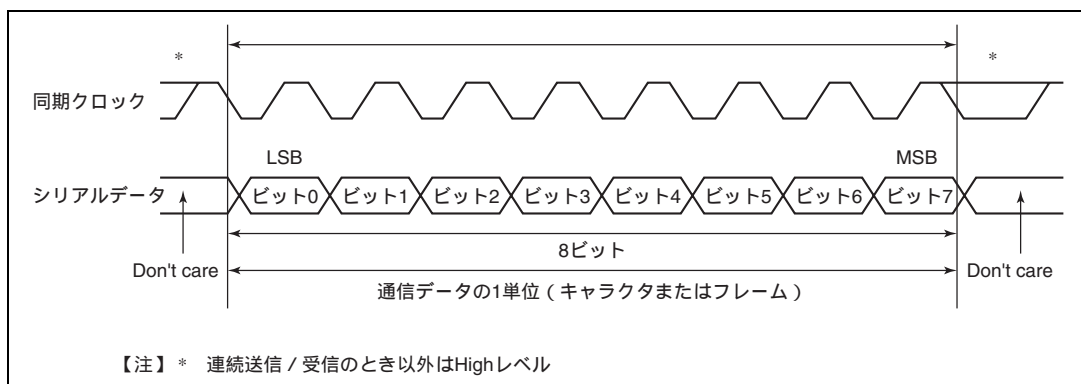


図 10.10 クロック同期式通信のデータフォーマット

クロック同期式通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりエッジでデータの確定が保証されます。

通信データの 1 キャラクタは、LSB から始まり最後に MSB の順で構成されます。MSB 出力後の通信回線は MSB の状態を保ちます。

クロック同期式モードでは、SCI3 は、受信時に同期クロックの立ち上がり同期してデータを取り込みます。

送信 / 受信フォーマットは 8 ビットデータ固定です。パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMR の COM と SCR3 の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータの生成した内部クロック、または SCK_{3X} 端子から入力された外部同期クロックの 2 種類から選択できます。クロックソースの選択については表 10.9 を参照してください。

内部クロックで動作させるとき、SCK_{3X} 端子からは同期クロックが出力されます。同期クロックは 1 キャラクタの送信 / 受信で 8 パルス出力され、送信および受信を行わないときには High レベルに固定されます。

(3) データの送信 / 受信動作

(a) SCI3 の初期化

データの送信 / 受信前には、「10.3.2 (3) (a) SCI3 の初期化」の説明および、図 10.5 の例に従って SCI3 を初期化してください。

(b) データ送信

図 10.11 にデータ送信のフローチャートの例を示します。

データ送信は SCI3 の初期化後、以下の手順に従って行ってください。

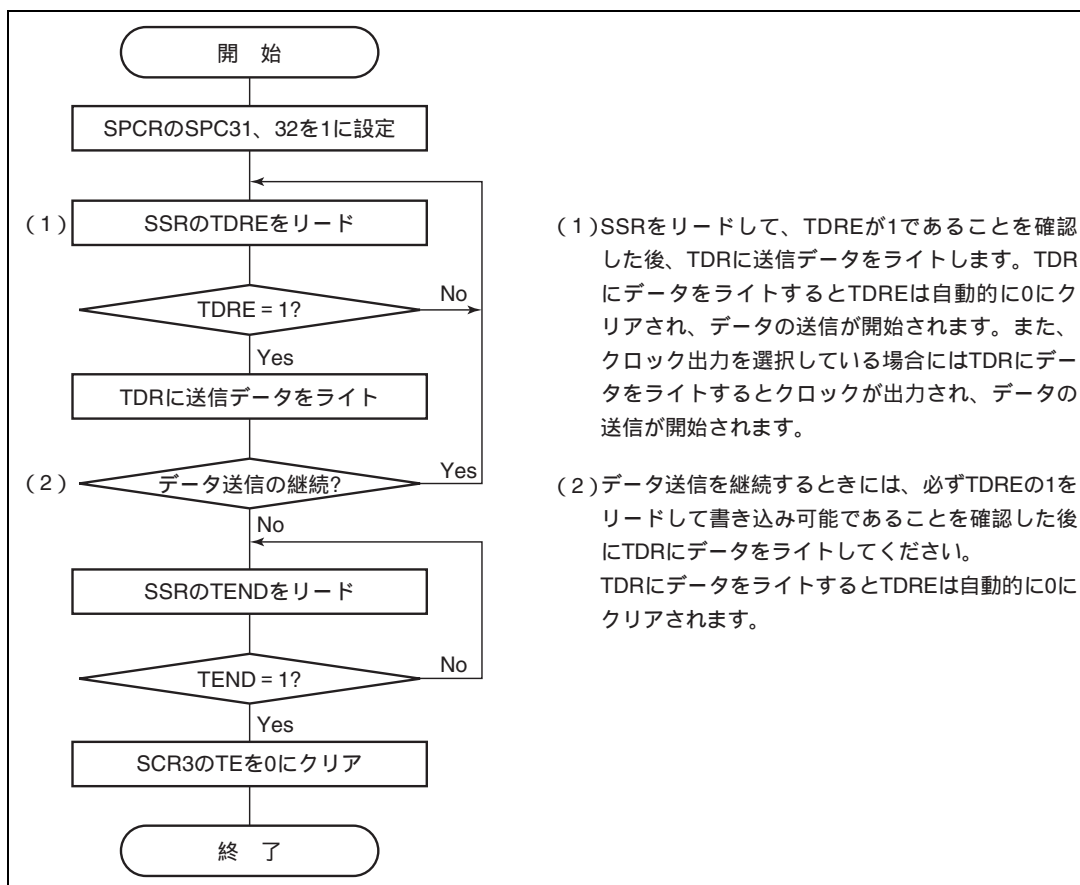


図 10.11 データ送信のフローチャートの例 (クロック同期式モード)

SCI3 はデータ送信時に以下のように動作します。

SCI3 は、SSR の TDRE を監視し、0 であると TDR にデータが書き込まれたと認識し、TDR から TSR にデータを転送します。その後、TDRE を 1 にセットして送信を開始します。このとき、SCR3 の TIE が 1 にセットされていると TXI を発生します。

クロック出力モードに設定したときには、SCI3 は同期クロックを 8 パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出します。

シリアルデータは、LSB (ビット 0) から MSB (ビット 7) の順に TXD_{3A} 端子から送信されます。

その後、MSB (ビット 7) を送り出すタイミングで TDRE をチェックします。

TDRE が 0 であると TDR から TSR にデータを転送し、次のフレームの送信を開始します。TDRE が 1 であると SSR の TEND に 1 をセットし、MSB (ビット 7) 送出後、状態を保持します。このとき SCR3 の TEIE が 1 にセットされていると TEI を発生します。

送信終了後は、SCK 端子は High レベル固定になります。

【注】 データ受信のステータスを示すエラーフラグ (OER、FER、PER) が 1 にセットされた状態では送信は行えませんので、送信の前には、エラーフラグ (OER、FER、PER) が 0 にクリアされていることを確認してください。

図 10.12 にクロック同期式モードの送信時の動作例を示します。

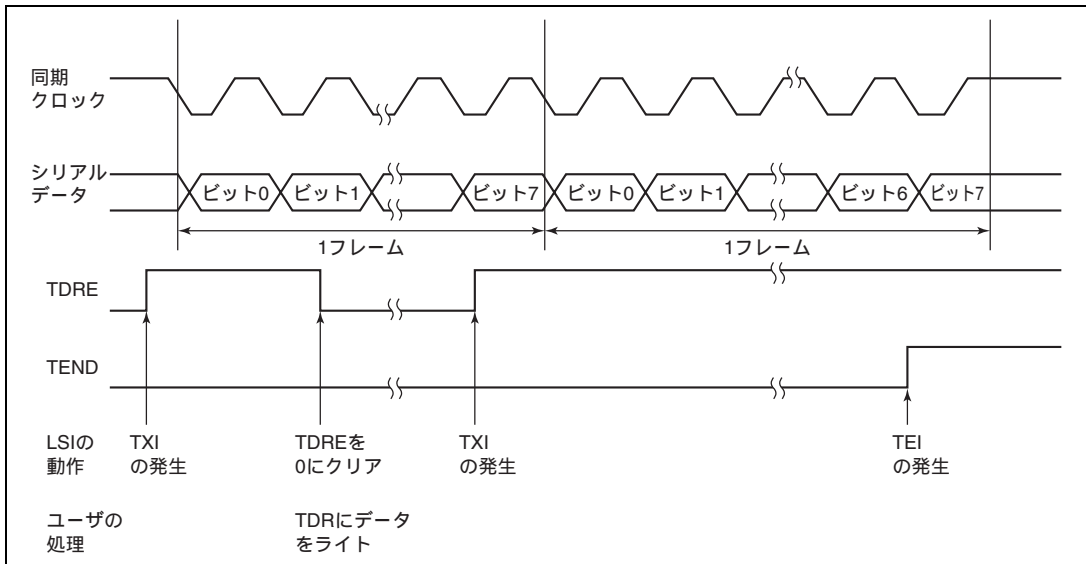


図 10.12 クロック同期式モードの送信時の動作例

(c) データ受信

図 10.13 にデータ受信のフローチャートの例を示します。
データ受信は SCI3 の初期化後、以下の手順に従って行ってください。

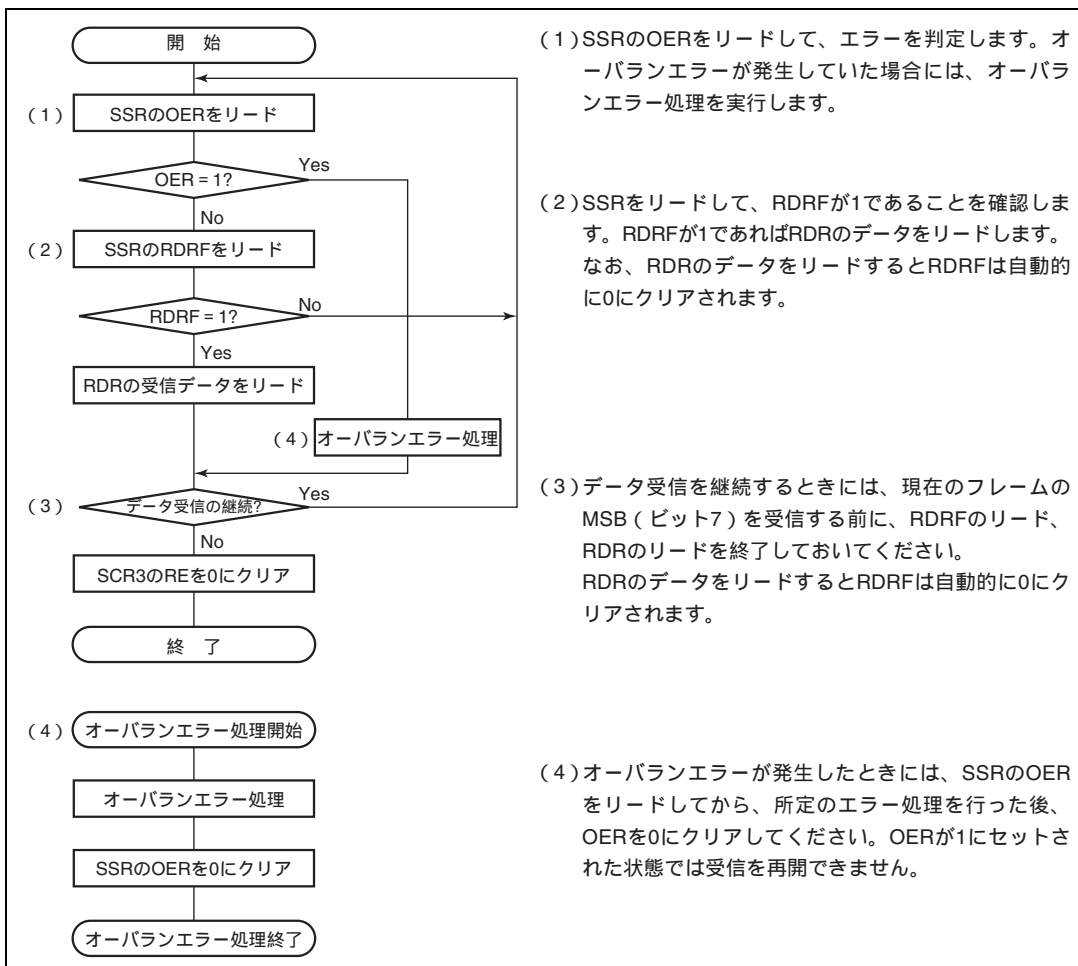


図 10.13 データ受信フローチャートの例（クロック同期式モード）

SCI3 は受信時に以下のように動作します。

SCI3 は同期クロックの入力または、出力に同期して内部を初期化し、受信を開始します。

受信したデータを RSR の LSB から MSB の順にセットします。

受信後、SCI3 は、RDRF が 0 であり、受信データを RSR から RDR に転送できる状態であることをチェックします。

このチェックの結果オーバーランエラーがなかったとき RDRF が 1 にセットされ、RDR に受信データが格納されます。

このとき、SCR3 の RIE が 1 にセットされていると RXI を発生します。一方、エラーチェックでオーバーランエラーを検出すると OER が 1 にセットされます。また、RDRF は 1 にセットされた状態を保ちます。このとき、SCR3 の RIE が 1 にセットされていると ERI を発生します。

オーバーランエラーの検出条件と受信データの処理については、表 10.12 を参照してください。

【注】 受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER および RDRF を 0 にクリアしてください。

図 10.14 にクロック同期モードの受信時の動作例を示します。

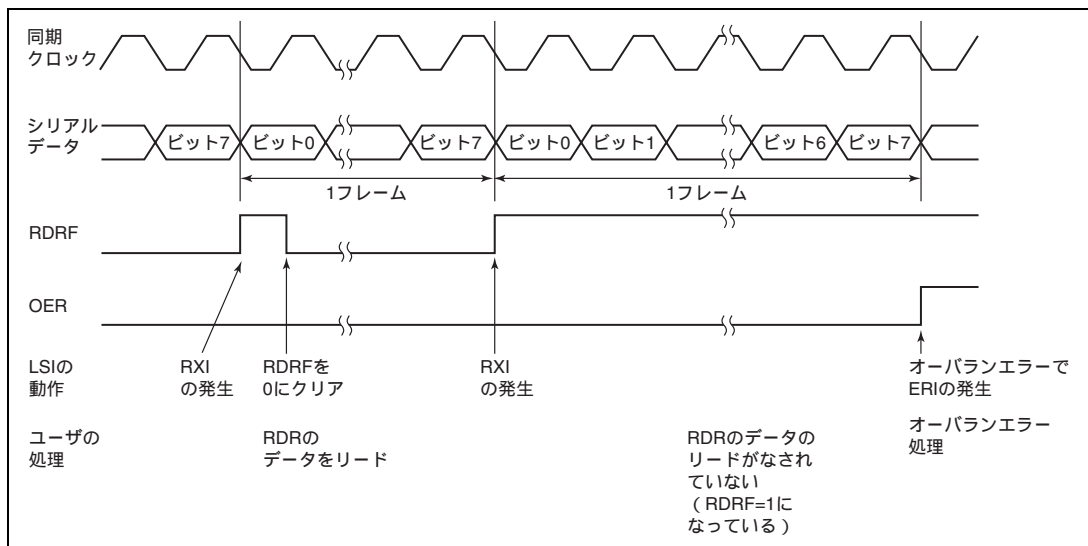


図 10.14 クロック同期モードの受信時の動作例

(d) データ送受信同時動作

図 10.15 にデータ送受信同時動作のフローチャートの例を示します。

データ送受信同時動作は SCI3 の初期化後、以下の手順に従って行ってください。

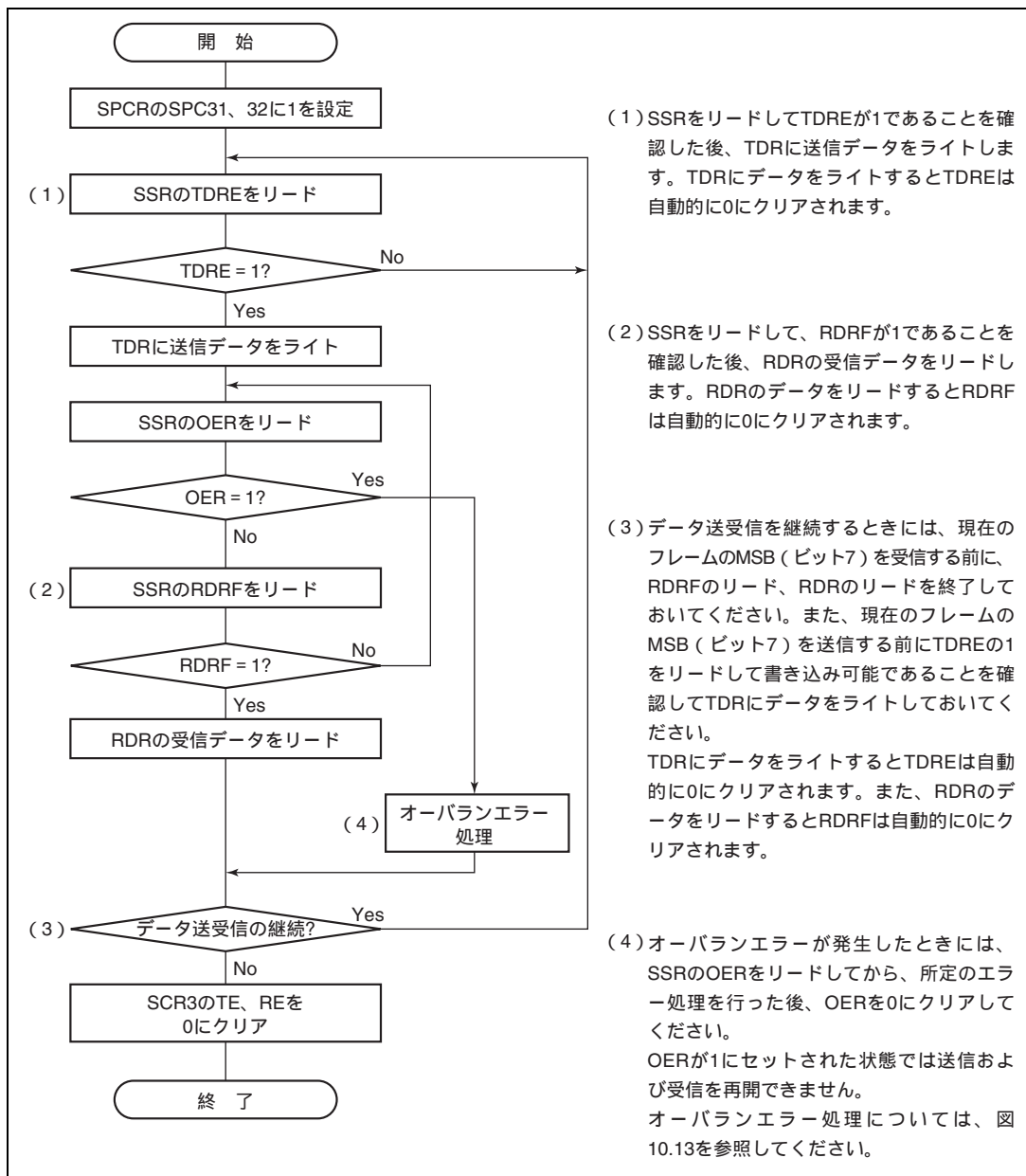


図 10.15 データ送受信同時動作のフローチャートの例 (クロック同期式モード)

- 【注】
1. 送信から同時送受信へ切り替えるときには、次の方法で行ってください。
SCI3 が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE と RE を同時に 1 にセットしてください。
 2. 受信から同時送受信へ切り替えるときには、次の方法で行ってください。
SCI3 が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (OER、FER、PER) が 0 にクリアされていることを確認した後、TE と RE を同時に 1 にセットしてください。

10.3.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット(マルチプロセッサフォーマット)でシリアルデータ通信を行うことにより、複数のプロセッサ間で通信回線を共有してデータの送受信を行う機能です。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードが割り付けられています。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局へ通信データを送信するデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。

送信局は、まずシリアルデータ通信を行いたい受信局の ID コードに、マルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると、自局の ID と比較し一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データが送信されるまで通信データを読みとばします。

このようにして複数のプロセッサ間のデータ送受信が行われます。

図 10.16 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

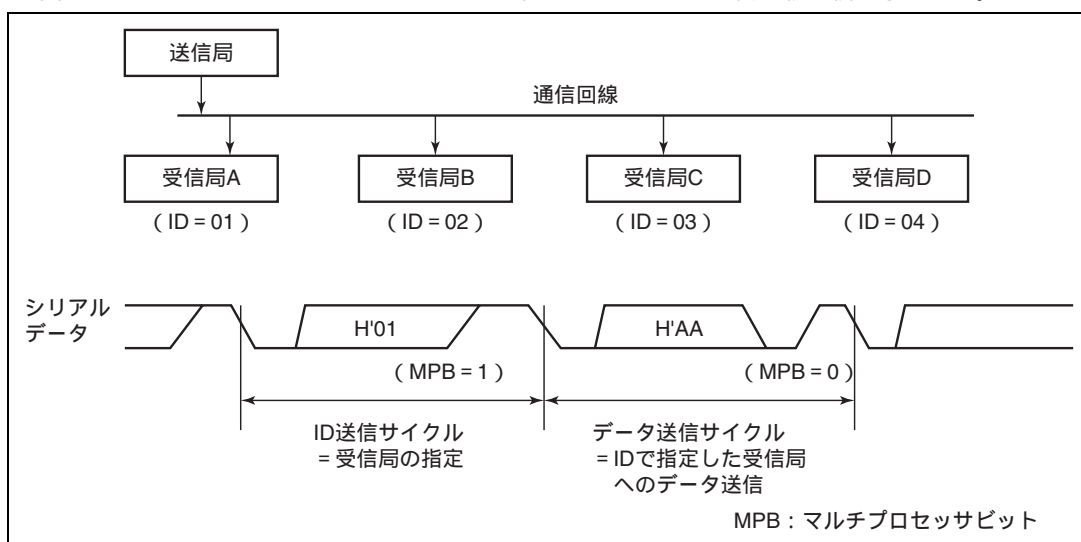


図 10.16 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

送信/受信フォーマットは 4 種類を選択できます。マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。詳細は表 10.11 を参照してください。

マルチプロセッサ通信を行うときのクロックについては、「10.3.2 調歩同期式モード時の動作」を参照してください。

(a) マルチプロセッサデータ送信

図 10.17 にマルチプロセッサデータ送信のフローチャートの例を示します。

マルチプロセッサデータ送信は SCI3 を初期化後、以下の手順に従って行ってください。

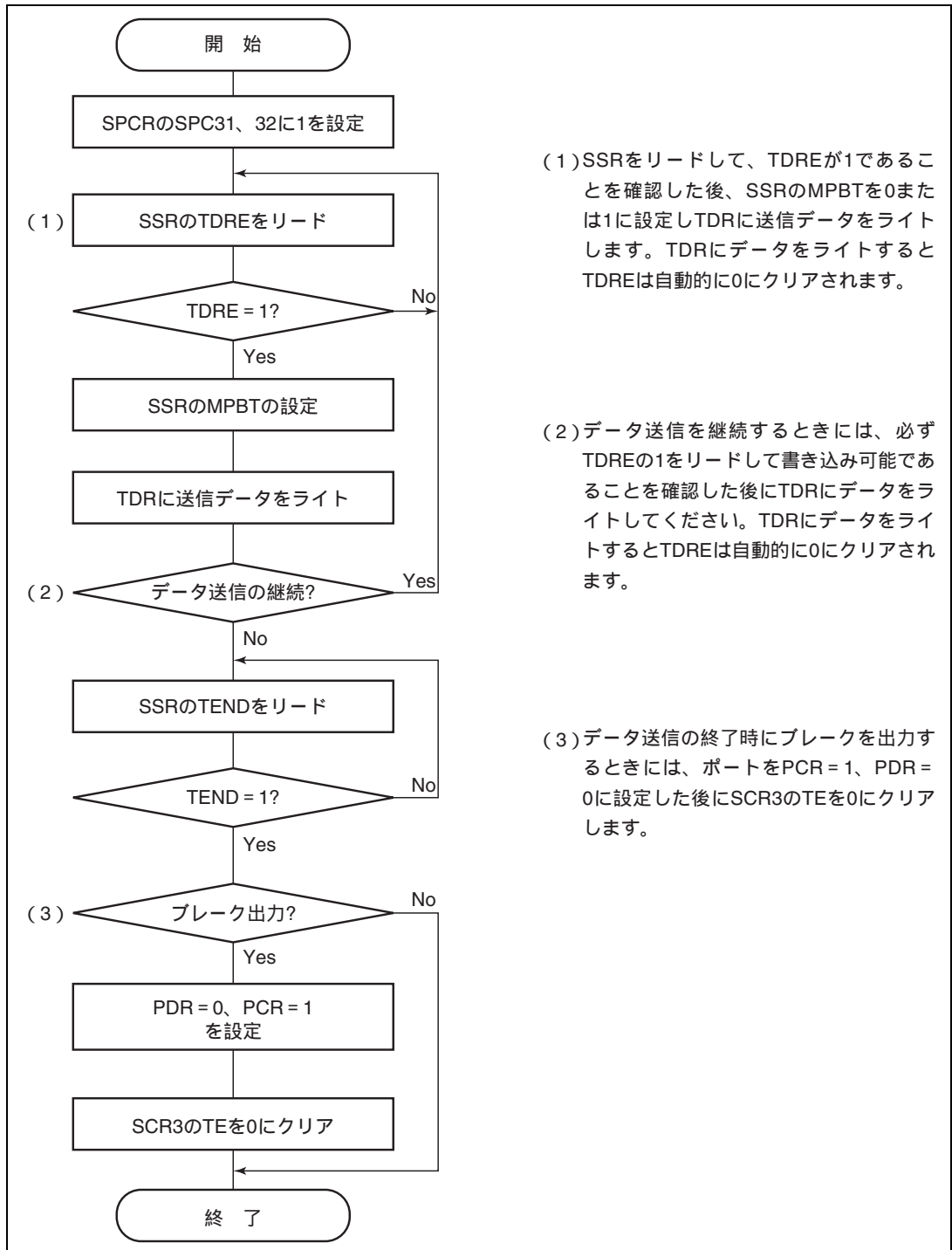


図 10.17 マルチプロセッサデータ送信のフローチャートの例

10. シリアルコミュニケーションインタフェース

SCI3 はデータ送信時に以下のように動作します。

SCI3 は、SSR の TDRE を監視し、0 であると TDR にデータが書き込まれたと認識し、TDR から TSR にデータを転送します。その後、TDRE を 1 にセットして、送信を開始します。このとき、SCR3 の TIE が 1 にセットされていると TXI を発生します。

シリアルデータは、表 10.11 に示す通信フォーマットに従い、TXD 端子から送信されます。

その後、ストップビットを送り出すタイミングで TDRE をチェックします。

TDRE が 0 であると TDR から TSR にデータを転送し、ストップビット送出後、次のフレームの送信を開始します。TDRE が 1 であると SSR の TEND に 1 をセットし、ストップビット送出後、1 を出力する"マーク状態"になります。このとき SCR3 の TEIE が 1 にセットされていると TEI を発生します。

図 10.18 にマルチプロセッサフォーマットの送信時の動作例を示します。

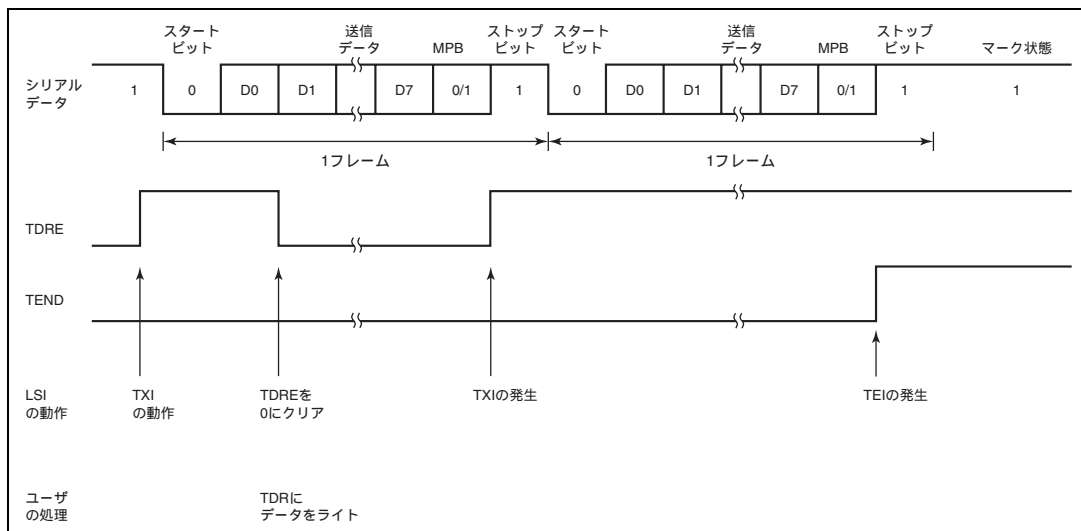


図 10.18 マルチプロセッサフォーマットの送信時の動作例
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

(b) マルチプロセッサデータ受信

図 10.19 にマルチプロセッサデータ受信のフローチャートの例を示します。
 マルチプロセッサデータ受信は SCI3 を初期化後、以下の手順に従って行ってください。

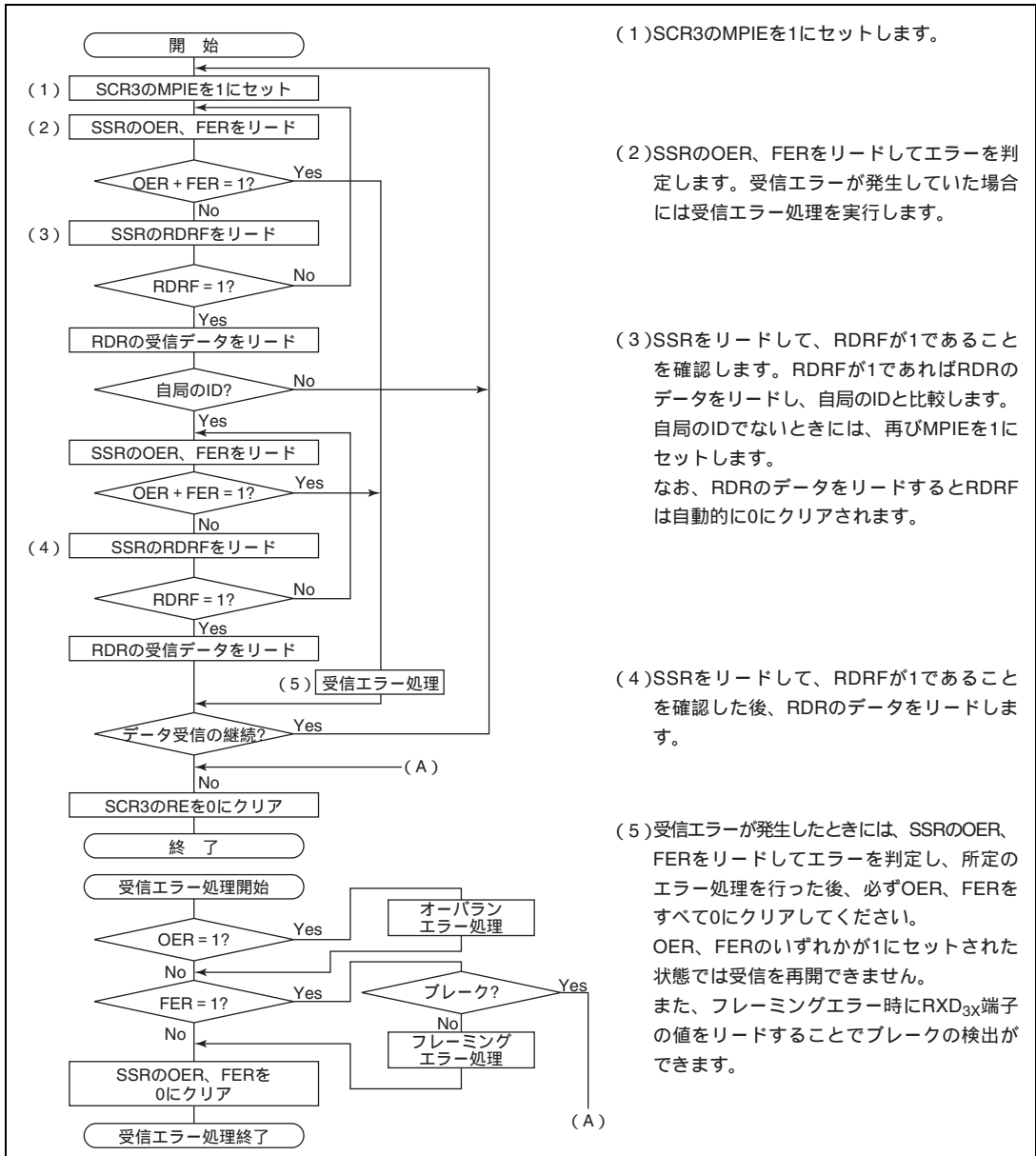


図 10.19 マルチプロセッサデータ受信のフローチャートの例

10. シリアルコミュニケーションインタフェース

図 10.20 にマルチプロセッサフォーマットの受信時の動作例を示します。

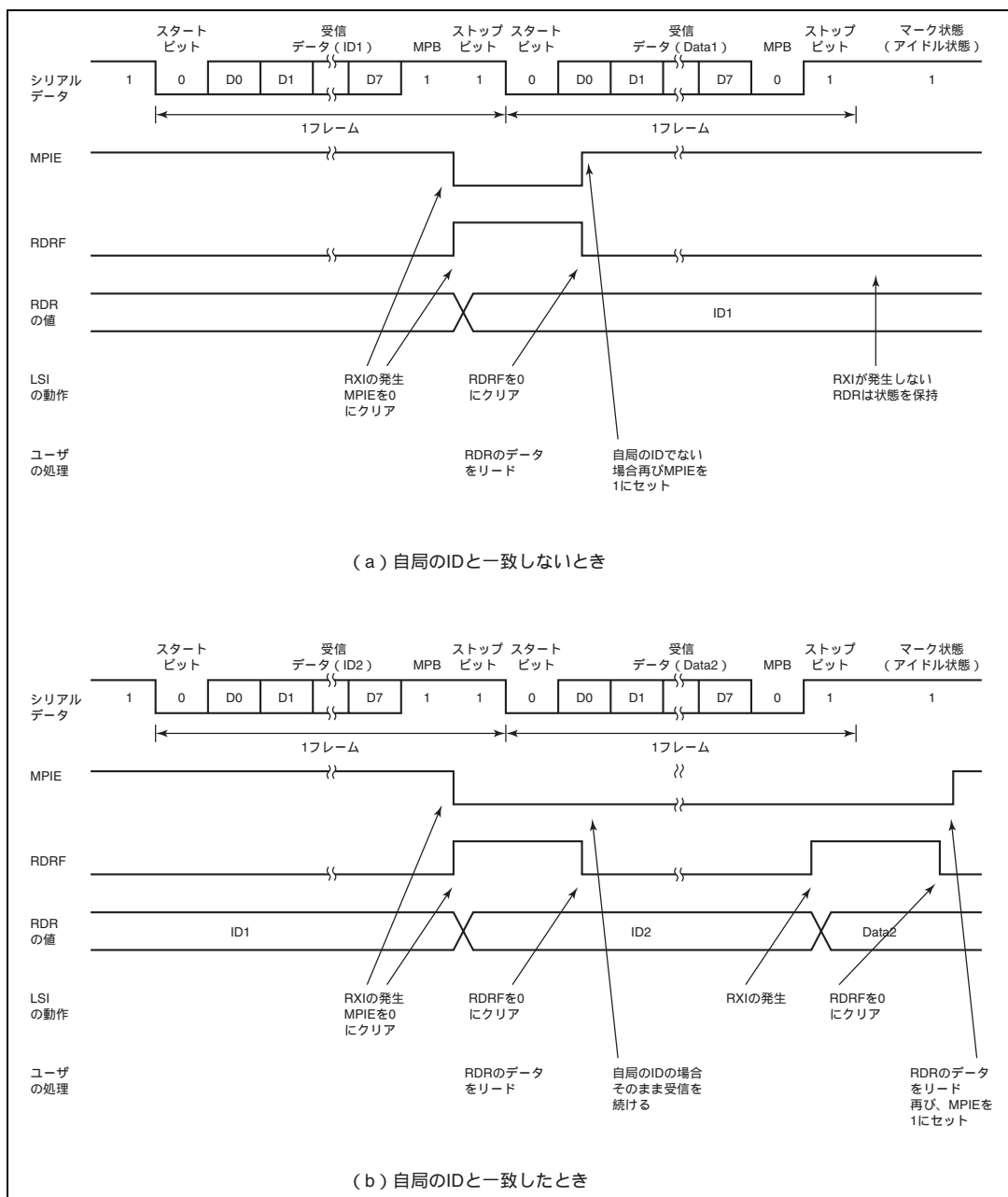


図 10.20 マルチプロセッサフォーマットの受信時の動作例
(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

10.4 割り込み要因

SCI3 の割り込み要因には、送信終了、送信データエンプティ、受信データフルおよび 3 種類の受信エラー（オーバランエラー、フレーミングエラー、パリティエラー）の計 6 種類があり、共通のベクタアドレスが割り付けられています。

表 10.13 に各割り込み要求の内容を示します。

表 10.13 SCI3 割り込み要求の内容

割り込みの略称	割り込み要求の内容	ベクタアドレス
RXI	受信データフル (RDRF) による割り込み要求	H'0022/ H'0024
TXI	送信データエンプティ (TDRE) による割り込み要求	
TEI	送信終了 (TEND) による割り込み要求	
ERI	受信エラー (OER、FER、PER) による割り込み要求	

各割り込み要求は、SCR3 の TIE、RIE で許可 / 禁止できます。

SSR の TDRE が 1 にセットされると、TXI が発生します。SSR の TEND が 1 にセットされると、TEI が発生します。この 2 つの割り込みは送信時に発生します。

SSR の TDRE は初期値が 1 になっています。したがって送信データを TDR へ転送する前に SCR3 の TIE を 1 にセットして送信データエンプティ割り込み要求 (TXI) を許可すると、送信データが準備されていなくても TXI が発生します。

また、SSR の TEND は初期値が 1 になっています。したがって、送信データを TDR へ転送する前に SCR3 の TEIE を 1 にセットして送信終了割り込み要求 (TEI) を許可すると、送信データが送信されていなくても TEI が発生します。

送信データを TDR へ転送する処理を割り込み処理ルーチンの中で行うようにすることで、これらの割り込み要求を有効に利用できます。

一方、これらの割り込み要求 (TXI、TEI) の発生を防ぐためには、送信データを TDR へ転送した後に、これらの割り込み要求に対応する許可ビット (TIE、TEIE) を 1 にセットしてください。

SSR の RDRF が 1 にセットされると RXI が発生します。OER、PER、FER のいずれかが 1 にセットされると ERI が発生します。この 2 つの割り込み要求は受信時に発生します。

割り込みに関する詳細は「3.3 割り込み」を参照してください。

10.5 使用上の注意事項

SCI3 を使用する際は、以下のことに注意してください。

(1) TDR へのライトと TDRE の関係について

SSR の TDRE はシリアル送信するデータが TDR に準備されていないことを示すステータスフラグです。TDR へデータを書き込むと TDRE は自動的に 0 にクリアされます。また SCI3 が TDR から TSR にデータを転送すると、TDRE が 1 にセットされます。

TDR へのデータのライトは、TDRE の状態にかかわらず行うことができますが、TDRE が 0 の状態で新しいデータを TDR に書き込むと、TDR に格納されていた前のデータは、まだ TSR に転送されていない場合失われてしまいます。したがって、シリアル送信を確実に行うために TDR への送信データのライトは、必ず TDRE が 1 にセットされていることを確認してから 1 回だけ行う（2 回以上ライトしない）ようにしてください。

(2) 複数の受信エラーを同時に検出した場合の動作について

複数の受信エラーを同時に検出した場合、SSR の各ステータスフラグの状態は、表 10.14 に示すようにセットされます。オーバーランエラーを検出した場合には RSR から RDR へのデータ転送は行われず、受信データは失われます。

表 10.14 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ転送		受信エラーの状態
RDRF*	OER	FER	PER	RSR	RDR	
1	1	0	0	x		オーバーランエラー
0	0	1	0			フレーミングエラー
0	0	0	1			パリティエラー
1	1	1	0	x		オーバーランエラー + フレーミングエラー
1	1	0	1	x		オーバーランエラー + パリティエラー
0	0	1	1			フレーミングエラー + パリティエラー
1	1	1	1	x		オーバーランエラー + フレーミングエラー + パリティエラー

: RSR RDR に受信データを転送します。

x : RSR RDR に受信データを転送しません。

【注】 * RDRF は、データ受信前の状態を保持します。ただし、前のフレームの受信データのリードが遅れた結果、次のフレームのオーバーランエラーが発生した後に RDR をリードした場合は、RDRF は 0 にクリアされますので注意してください。

(3) ブレークの検出と処理について

フレーミングエラー検出時に、RXD_{3X} 端子の値を直接リードすることでブレークを検出できます。ブレークでは RXD_{3X} 端子からの入力が入力がすべて 0 になりますので、FER がセットされ、また PER もセットされる可能性があります。

SCI3 は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしても再び FER が 1 にセットされますので注意してください。

(4) マーク状態とブレイクの送出

TE が 0 のとき、TXD_{3X} 端子は PDR と PCR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TXD_{3X} 端子をマーク状態にしたりデータ送信時にブレイクの送出をすることができます。

TE を 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、PCR = 1、PDR = 1 を設定します。このとき、TE が 0 にクリアされていますので、TXD_{3X} 端子は I/O ポートとなっており 1 が出力されます。

一方、データ送信時にブレイクを送出したいときは、PCR = 1、PDR = 0 に設定した後 TE を 0 にクリアします。

TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TXD_{3X} 端子は I/O ポートになり、TXD_{3X} 端子から 0 が出力されます。

(5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (OER、PER、FER) が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI3 は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時には SCI3 は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、受信データを基本クロックの 8 個目の立ち上がりエッジで内部に取り込みます。これを図 10.21 に示します。

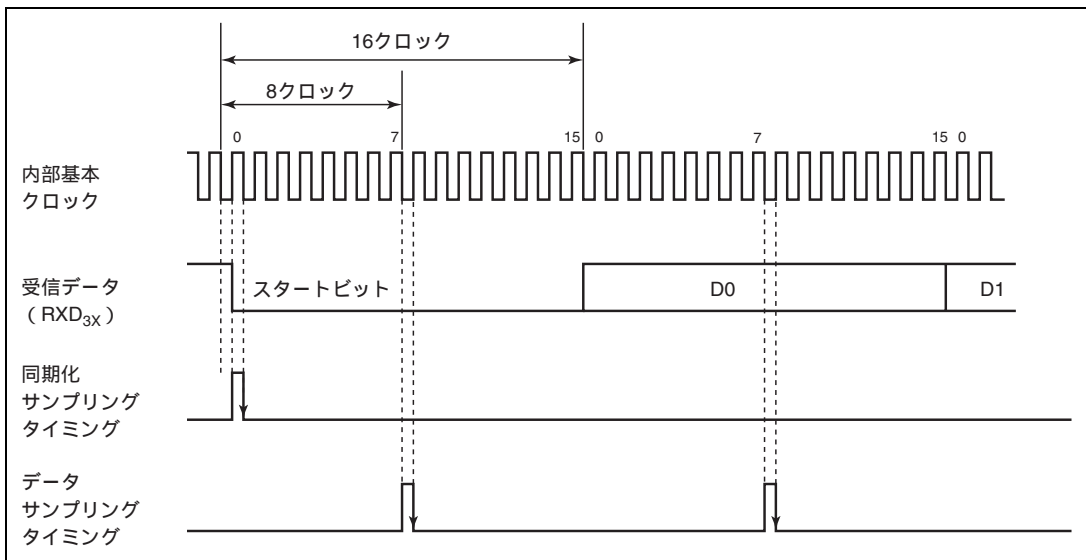


図 10.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D - 0.5}{N} - (L - 0.5) F \right\} \times 100 \quad [\%] \quad \dots \text{式 (1)}$$

10. シリアルコミュニケーションインタフェース

M : 受信マージン (%)
 N : クロックに対するビットレートの比 (N=16)
 D : クロックのデューティ (D=0.5~1.0)
 L : フレーム長 (L=9~12)
 F : クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値)=0、D(クロックのデューティ)=0.5 とすると、受信マージンは式(2)より 46.875%となります。

D=0.5、F=0 のとき、

$$M = \{ 0.5 - 1 / (2 \times 16) \} \times 100 \quad [\%]$$

$$= 46.875\% \quad \dots \text{式(2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30%の余裕を持たせてください。

(7) RDR のリードと RDRF の関係について

SCI3 は受信動作において、RDRF フラグをチェックしながら動作します。1 フレームの受信終了のタイミングで RDRF が 0 にクリアされていれば、通常のデータ受信を完了します。また RDRF が 1 にセットされていれば、オーバーランエラーとなります。

RDR の内容をリードすると、RDRF は自動的に 0 にクリアされます。したがって、RDR のリードを 2 回以上行う場合、2 回目以降のリード操作は RDRF が 0 の状態で行われます。RDRF が 0 の状態で RDR のリードを行うと、リード操作が次のフレームの受信が完了するタイミングと重なった場合、次のフレームのデータが読み出されることがありますので注意してください。これを図 10.22 に示します。

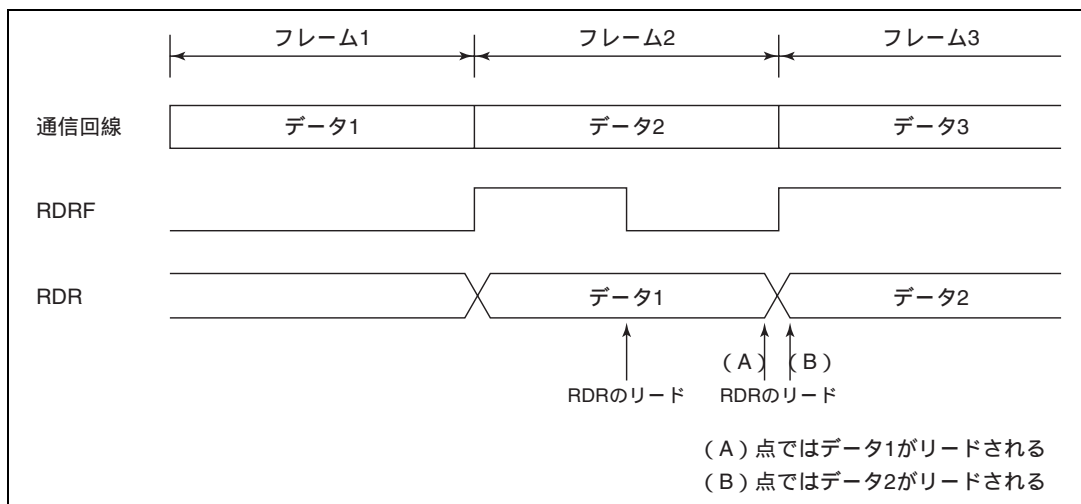


図 10.22 RDR のリードタイミングとデータの関係

この場合、RDR のリード操作は RDRF が 1 にセットされていることを確認してから、1 回のみ行う (2 回以上リードしない) ようにしてください。2 回以上リードする場合は、1 回リードしたデータを RAM などに転送し、その内容を使用するようにしてください。また、RDR のリード操作は、次のフレームの受信が完了するまでに余裕をもって行うようにしてください。具体的なタイミングとしては、クロック同期式モードではビット 7 の転送前まで、調歩同期式モードでは STOP ビットの転送前

までに RDR のリードを完了してください。

(8) 状態遷移時における送信および受信動作について

状態遷移処理を行う場合は、送信および受信動作が完全に終了したのを確認した後に行ってください。

(9) SCK_{3x} 端子機能切り替えに伴う注意事項

SCI3 をクロック同期式モードで使用した後、SCK_{3x} 端子をクロック出力から入出力ポートに端子機能を切り替えると SCK_{3x} 端子に端子機能切り替えのタイミング瞬時（システムクロック の 1/2 の期間）Low レベルを出力しますので注意してください。

この瞬時の Low レベル出力を回避するには次の方法があります。

(a) SCK_{3x} 端子をクロック出力状態から非出力状態にする場合

送受信を停止する際、1 命令で SCR3 の TE ビット、RE ビットを 0 にクリアすると同時に CKE1 ビットを 1、CKE0 ビットを 0 に設定してください。

この場合は、SMR の COM ビットは 1 にセットされたままで使用してください。したがって、入出力ポートとしては使用できません。また、SCK_{3x} 端子に中間電位が印加しないように SCK_{3x} 端子に接続したラインは抵抗を介して V_{CC} 電位にプルアップするか、他のデバイスから出力を与えるかしてください。

(b) SCK_{3x} 端子をクロック出力状態から入出力ポートに端子機能を切り替える場合

送受信を停止する際、

まず 1 命令で SCR3 の TE ビット、RE ビットを共に 0 にクリアすると同時に CKE1 ビットを 1、CKE0 ビットを 0 に設定してください。

次に SMR の COM ビットを 0 にクリアしてください。

最後に SCR3 の CKE1、CKE0 ビットを共に 0 にクリアしてください。この場合も SCK_{3x} 端子に中間電位が印加しないように注意してください。

(10) サブアクティブモード、サブスリープモード時の設定について

サブアクティブモード、サブスリープモード時は CPU 動作クロックが $\omega/2$ のときのみ SCI3 が使用可能となります。SYSCR2 の SA1 ビットを 1 にセットしてください。

11. 14 ビット PWM

11.1 概要

本 LSI は、14 ビット PWM (Pulse Width Modulator) を内蔵しています。ローパスフィルタを接続することで D/A 変換器として使用できます。

11.1.1 特長

14 ビット PWM の特長を以下に示します。

4 種類の変換周期を選択可能

1 変換周期 $131,072/f$ 、最小変化幅 $8/f$ (PWCR1 = 1、PWCR0 = 1)、

1 変換周期 $65,536/f$ 、最小変化幅 $4/f$ (PWCR1 = 1、PWCR0 = 0)、

1 変換周期 $32,768/f$ 、最小変化幅 $2/f$ (PWCR1 = 0、PWCR0 = 1)、

または 1 変換周期 $16,384/f$ 、最小変化幅 $1/f$ (PWCR1 = 0、PWCR0 = 0)

の選択が可能です。

リップル低減を図ったパルス分割方式

モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能

11.1.2 ブロック図

14ビット PWM のブロック図を図 11.1 に示します。

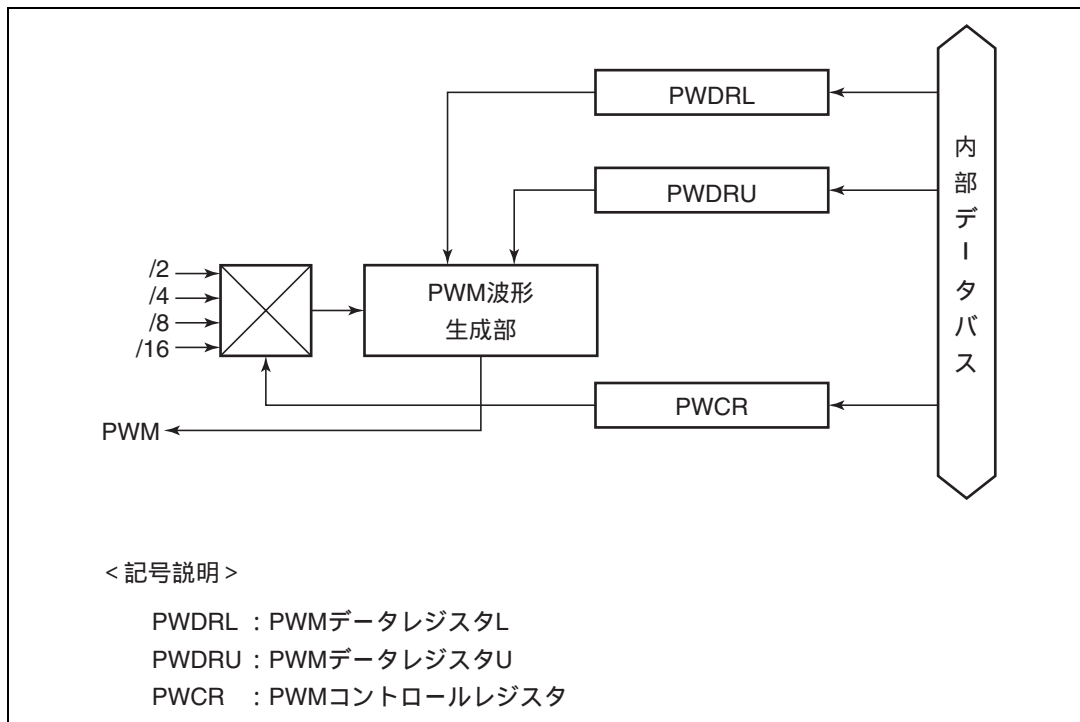


図 11.1 14ビット PWM のブロック図

11.1.3 端子構成

14ビット PWM の端子構成を表 11.1 に示します。

表 11.1 端子構成

名称	略称	入出力	機能
PWM 出力端子	PWM	出力	パルス分割方式 PWM 波形出力

11.1.4 レジスタ構成

14ビット PWM のレジスタ構成を表 11.2 に示します。

表 11.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
PWM コントロールレジスタ	PWCR	W	H'FC	H'FFD0
PWM データレジスタ U	PWDRU	W	H'C0	H'FFD1
PWM データレジスタ L	PWDRL	W	H'00	H'FFD2
クロック停止レジスタ	CKSTPR2	R/W	H'FF	H'FFFB

11.2 各レジスタの説明

11.2.1 PWM コントロールレジスタ (PWCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PWCR1	PWCR0
初期値:	1	1	1	1	1	1	0	0
R/W :	—	—	—	—	—	—	W	W

PWCR は、8 ビットのライト専用レジスタで、入力クロックの選択を行います。
リセット時、PWCR は H'FC に初期化されます。

ビット7~2: リザーブビット

リザーブビットです。各ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット1~0: クロックセレクト1~0 (PWCR1~0)

14ビットPWMに供給されるクロックを選択します。
本ビットはライト専用です。リードすると常に1が読み出されます。

ビット1	ビット0	説明
PWCR1	PWCR0	
0	0	入力クロック = $t/2$ ($t^* = 2/$) (初期値) 1変換周期 $16,384/t$ 、最小変化幅 $1/t$ のPWM波形を生成
0	1	入力クロック = $t/4$ ($t^* = 4/$) 1変換周期 $32,768/t$ 、最小変化幅 $2/t$ のPWM波形を生成
1	0	入力クロック = $t/8$ ($t^* = 8/$) 1変換周期 $65,536/t$ 、最小変化幅 $4/t$ のPWM波形を生成
1	1	入力クロック = $t/16$ ($t^* = 16/$) 1変換周期 $131,072/t$ 、最小変化幅 $8/t$ のPWM波形を生成

【注】 * t : PWM入力クロックの周期

11.2.2 PWM データレジスタ U、L (PWDRU、PWDRL)

ビット:	7	6	5	4	3	2	1	0
PWDRU	—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0
初期値:	1	1	0	0	0	0	0	0
R/W :	—	—	W	W	W	W	W	W

ビット:	7	6	5	4	3	2	1	0
PWDRL	PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PWDRU、PWDRL は、ライト専用の 14 ビットのレジスタで、PWDRU が上位 6 ビット、PWDRL が下位 8 ビットの構成になっています。PWDRU、PWDRL に書き込まれた内容は PWM 波形 1 周期の High レベル幅の合計に対応します。

PWDRU、PWDRL に 14 ビットのデータをライトすると、PWDRU、PWDRL の内容が PWM 波形生成部に取り込まれ、PWM 波形生成のデータの更新が行われます。14 ビットデータの設定は必ず PWDRL、PWDRU の順序で行ってください。

- (1) PWDRL へ下位 8 ビットのデータをライトする。
- (2) PWDRU へ上位 6 ビットのデータをライトする。

PWDRU、PWDRL は、ライト専用レジスタです。リードした場合各ビットは常に 1 が読み出されます。

リセット時、PWDRU、PWDRL は H'C000 に初期化されます。

11.2.3 クロック停止レジスタ 2 (CKSTPR2)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	AECKSTP	WDCKSTP	PWCKSTP	LDCKSTP
初期値:	1	1	1	1	1	1	1	1
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

CKSTPR2 は、8 ビットのリード/ライト可能なレジスタで、モジュールのモジュールスタンバイモードの制御を行います。本章では PWM に関するビットのみ説明します。他のビットについては各モジュールの章を参照してください。

ビット 1: PWM モジュールスタンバイモード制御 (PWCKSTP)

PWM をモジュールスタンバイモードに設定、および解除を制御します。

PWCKSTP	説明
0	PWM はモジュールスタンバイモードに設定される
1	PWM のモジュールスタンバイモードは解除される (初期値)

11.3 動作説明

11.3.1 動作説明

14ビット PWM を使用する場合、以下の順序でレジスタ設定を行ってください。

- (1) PMR3のPWM = 1としてP3₀/PWM端子をPWM出力端子に設定します。
- (2) PWCRにより、1変換周期を131,072/ (PWCR1 = 1、PWCR0 = 1)、65,536/ (PWCR1 = 1、PWCR0 = 0)、32,768/ (PWCR1 = 0、PWCR0 = 1)、16,384/ (PWCR1 = 0、PWCR0 = 0) から選択します。
- (3) PWDRU、PWDRLに出力波形データを設定します。このとき、必ずPWDRL PWDRUの順序で書き込んでください。PWDRLへのライトと同時にPWM波形生成部にデータが取り込まれ、内部信号と同期をとってPWM波形生成の更新が行われます。

1変換周期は図 11.2 に示すように 64 個のパルスで構成され、この1変換周期中の High レベル幅合計 (T_H) が、PWDRU、PWDRL のデータに対応しています。

この関係は次式で示されます。

$$T_H = (\text{PWDRU、PWDRL のデータ値} + 64) \times t / 2$$

ここで t は、PWM 入力クロックの周期で 2/ (PWCR = H'0)、4/ (PWCR = H'1)、8/ (PWCR = H'2) または 16/ (PWCR = H'3) となります。

(例) 変換周期を 32,768 μ s とするためには、以下のように設定します。

PWCR1 = 0、PWCR0 = 0 に設定すると、1変換周期は 16,384/ なので、 $f = 0.5\text{MHz}$ となります。このとき、 $t_{in} = 512\mu\text{s}$ 、1/ (精度) = 2.0 μs です。

PWCR1 = 0、PWCR0 = 1 に設定すると、1変換周期は 32,768/ なので、 $f = 1\text{MHz}$ となります。このとき、 $t_{in} = 512\mu\text{s}$ 、2/ (精度) = 2.0 μs です。

PWCR1 = 1、PWCR0 = 0 に設定すると、1変換周期は 65,536/ なので、 $f = 2\text{MHz}$ となります。このとき、 $t_{in} = 512\mu\text{s}$ 、4/ (精度) = 2.0 μs です。

したがって、1変換周期 32,768 μs とするためには、システムクロック () は 0.5MHz、1MHz、または 2MHz で使用することになります。

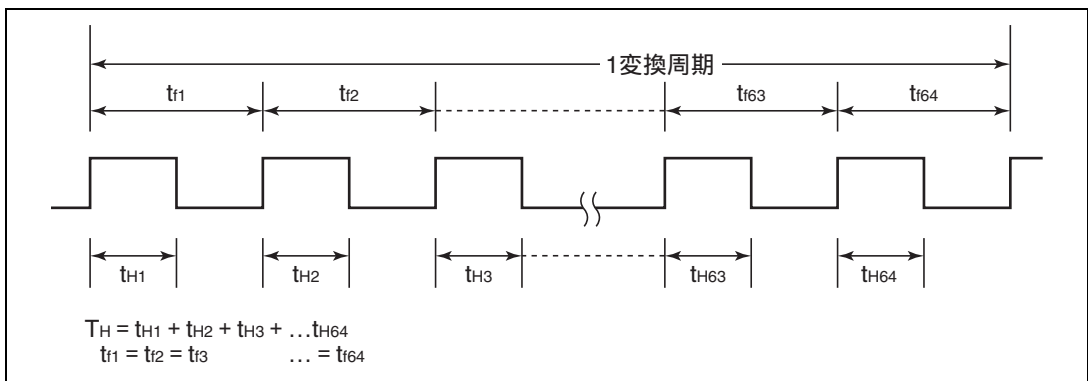


図 11.2 PWM 出力波形

11.3.2 PWMの動作モード

PWMの動作モードを表11.3に表示します。

表 11.3 PWMの動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
PWCR	リセット	動作	動作	保持	保持	保持	保持	保持
PWDRU	リセット	動作	動作	保持	保持	保持	保持	保持
PWDRL	リセット	動作	動作	保持	保持	保持	保持	保持

12. A/D 変換器

12.1 概要

本 LSI は、抵抗ラダー方式による逐次比較型 A/D 変換器を内蔵しており、最大 8 チャンネルのアナログ入力の測定ができます。

12.1.1 特長

A/D 変換器の特長を以下に示します。

10 ビットの分解能

入力チャンネル：8 チャンネル

変換時間：1 チャンネル当たり 12.4 μ s (5MHz 動作時)

サンプル&ホールド機能

A/D 変換終了割り込み要求を発生

外部トリガ入力により、A/D 変換開始を指定可能

モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能

12.1.2 ブロック図

A/D変換器のブロック図を図12.1に示します。

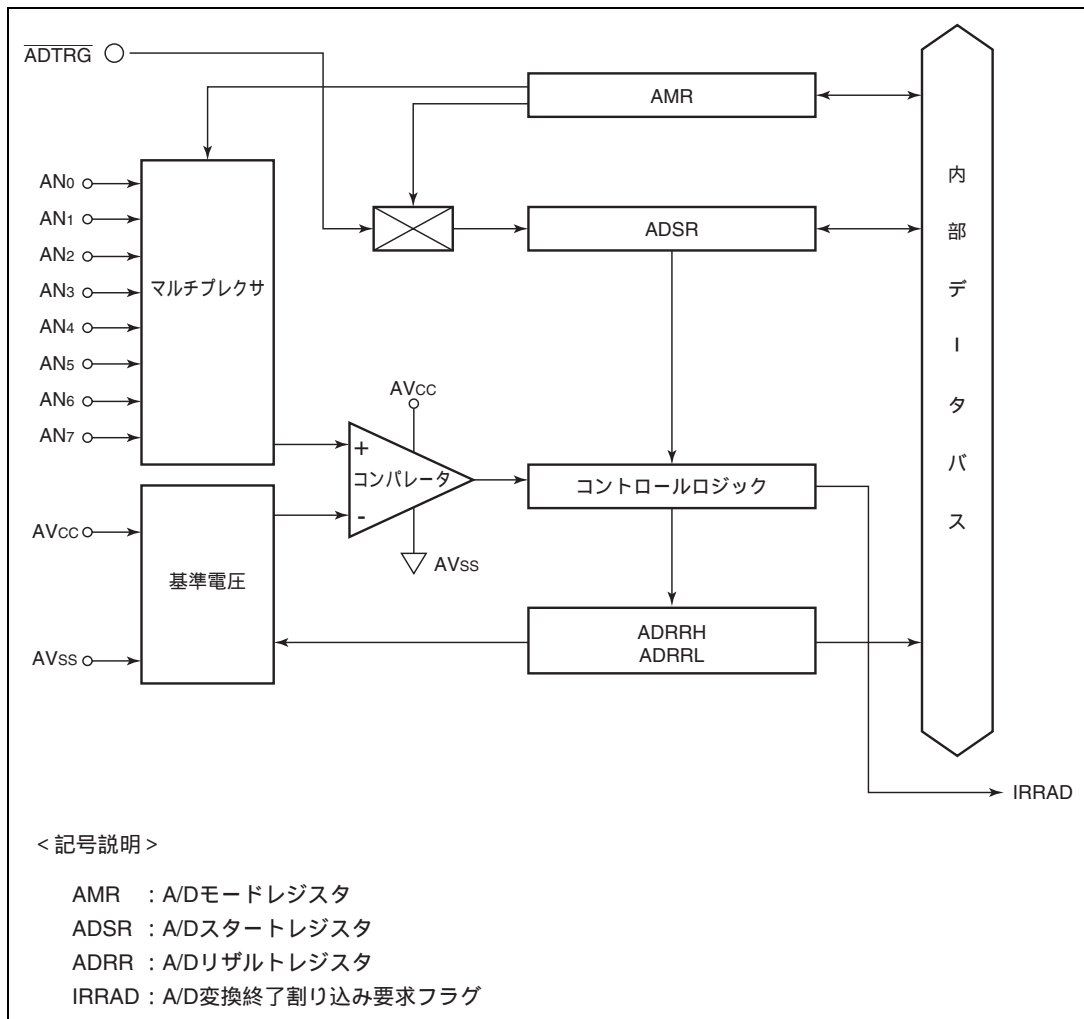


図 12.1 A/D変換器ブロック図

12.1.3 端子構成

A/D 変換器の端子構成を表 12.1 に示します。

表 12.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AV _{CC}	入力	アナログ部の電源および基準電圧
アナロググランド端子	AV _{SS}	入力	アナログ部のグランドおよび基準電圧
アナログ入力端子 0	AN ₀	入力	アナログ入力チャンネル 0
アナログ入力端子 1	AN ₁	入力	アナログ入力チャンネル 1
アナログ入力端子 2	AN ₂	入力	アナログ入力チャンネル 2
アナログ入力端子 3	AN ₃	入力	アナログ入力チャンネル 3
アナログ入力端子 4	AN ₄	入力	アナログ入力チャンネル 4
アナログ入力端子 5	AN ₅	入力	アナログ入力チャンネル 5
アナログ入力端子 6	AN ₆	入力	アナログ入力チャンネル 6
アナログ入力端子 7	AN ₇	入力	アナログ入力チャンネル 7
外部トリガ入力端子	ADTRG	入力	A/D 変換の開始を制御する外部トリガ入力

12.1.4 レジスタ構成

A/D 変換器のレジスタ構成を表 12.2 に示します。

表 12.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
A/D モードレジスタ	AMR	R/W	H'30	H'FFC6
A/D スタートレジスタ	ADSR	R/W	H'7F	H'FFC7
A/D リザルトレジスタ H	ADRRH	R	不定	H'FFC4
A/D リザルトレジスタ L	ADRRL	R	不定	H'FFC5
クロック停止レジスタ 1	CKSTPRT1	R/W	H'FF	H'FFFA

12.2 各レジスタの説明

12.2.1 A/D リザルトレジスタ (ADRRH、ADRRL)

ビット:	7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0	
	ADR9	ADR8	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0							
初期値:	不定	不定	不定	不定	不定	不定	不定	不定	不定	不定							
R/W :	R	R	R	R	R	R	R	R	R	R							
	ADRRH								ADRRL								

ADRRH と ADRRL は、A/D 変換された結果を格納する 16 ビットのリード専用レジスタです。ADRRH に上位 8 ビット、ADRRL に下位 2 ビットが格納されます。

ADRRH と ADRRL は常に CPU からリード可能です。A/D 変換中は ADRRH と ADRRL の値は不定で、A/D 変換終了時に変換結果の 10 ビットデータが格納され、次の変換開始までこのデータが保持されます。

ADRRH と ADRRL は、リセットでクリアされません。

12.2.2 A/D モードレジスタ (AMR)

ビット:	7	6	5	4	3	2	1	0
	CKS	TRGE	—	—	CH3	CH2	CH1	CH0
初期値:	0	0	1	1	0	0	0	0
R/W :	R/W	R/W	—	—	R/W	R/W	R/W	R/W

AMR は、8 ビットのリード/ライト可能なレジスタで、A/D 変換スピードの設定、外部トリガの選択、アナログ入力端子の指定を行います。

リセット時、AMR は H'30 に初期化されます。

ビット 7: クロックセレクト (CKS)

A/D 変換スピードの設定を行います。

ビット 7	変換周期	変換時間 (アクティブ (高速) モード) *	
		= 1MHz	= 5MHz
CKS			
0	62/ (初期値)	62 μ s	12.4 μ s
1	31/	31 μ s	

【注】 * 動作が保証される変換時間については「第 15 章 電気的特性」を参照してください。

ビット6：外部トリガセレクト (TRGE)

外部トリガ入力による A/D 変換の開始を許可または禁止します。

ビット6	説明
TRGE	
0	外部トリガによる A/D 変換の開始を禁止 (初期値)
1	外部トリガ (ADTRG) 端子の立ち上がりエッジ、または立ち下がりエッジで A/D 変換を開始*

【注】 * 外部トリガ (ADTRG) 端子のエッジ選択は IEGR の IEG4 により設定します。詳細は「3.3.2 (1) IRQ エッジセレクトレジスタ (IEGR)」を参照してください。

ビット5~4：リザーブビット

リザーブビットです。各ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット3~0：チャンネルセレクト3~0 (CH3~CH0)

アナログ入力チャンネルの選択を行います。

チャンネル選択の切り替えは、ADSF = 0 の状態で行ってください。

ビット3	ビット2	ビット1	ビット0	アナログ入力チャンネル
CH3	CH2	CH1	CH0	
0	0	*	*	非選択 (初期値)
0	1	0	0	AN ₀
0	1	0	1	AN ₁
0	1	1	0	AN ₂
0	1	1	1	AN ₃
1	0	0	0	AN ₄
1	0	0	1	AN ₅
1	0	1	0	AN ₆
1	0	1	1	AN ₇
1	1	*	*	使用禁止

* : Don't care

12.2.3 A/D スタートレジスタ (ADSR)

ビット:	7	6	5	4	3	2	1	0
	ADSF	—	—	—	—	—	—	—
初期値:	0	1	1	1	1	1	1	1
R/W :	R/W	—	—	—	—	—	—	—

ADSR は、8 ビットのリード/ライト可能なレジスタで、A/D 変換の開始または停止を指定します。

ADSF に 1 をライトまたは外部トリガのエッジ入力により、ADSF が 1 にセットされ A/D 変換が開始します。変換が終了すると変換データは ADRRH と ADRL にセットされ、同時に ADSF は 0 にクリアされます。

ビット 7 : A/D スタートフラグ (ADSF)

A/D 変換の開始および終了の確認を行います。

ビット 7		説明
ADSF		
0	リード時	A/D 変換の終了 (初期値)
	ライト時	A/D 変換を強制終了
1	リード時	A/D 変換中
	ライト時	A/D 変換を開始

ビット 6~0 : リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

12.2.4 クロック停止レジスタ 1 (CKSTPR1)

ビット:	7	6	5	4	3	2	1	0
		S31CKSTP	S32CKSTP	ADCKSTP	TGCKSTP	TFCKSTP	TCCKSTP	TACKSTP
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CKSTPR1 は、8 ビットのリード/ライト可能なレジスタで、モジュールのモジュールスタンバイモードの制御を行います。本章では A/D 変換器に関するビットのみ説明します。他のビットについては各モジュールの章を参照してください。

ビット 4 : A/D 変換器モジュールスタンバイモード制御 (ADCKSTP)

A/D 変換器をモジュールスタンバイモードに設定、および解除を制御します。

ADCKSTP	説明
0	A/D 変換器はモジュールスタンバイモードに設定される
1	A/D 変換器のモジュールスタンバイモードは解除される (初期値)

12.3 動作説明

12.3.1 A/D 変換動作

A/D 変換器は逐次比較方式で動作し、10 ビットの変換結果が得られます。

ソフトウェアにより ADSF を 1 にセットすると、A/D 変換を開始します。ADSF は、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、IRR2 の IRRAD が 1 にセットされます。このとき、IENR2 の IENAD が 1 にセットされていると、A/D 変換終了割り込みが発生します。

A/D 変換中に、AMR により変換時間や入力チャネルの切り替えを行う場合は、誤動作を避けるために ADSF を 0 にクリアして、A/D 変換を強制終了させてから行ってください。

12.3.2 外部トリガによる A/D 変換器の起動

A/D 変換器は外部トリガ入力によって A/D 変換を開始させることができます。

外部トリガは I/O ポートの PMR1 の IRQ4 が 1 がかつ AMR の TRGE が 1 のとき、 $\overline{\text{ADTRG}}$ 入力端子から入力されます。 $\overline{\text{ADTRG}}$ 入力端子から IEGR の IEG4 で指定されたエッジが入力されると、ADSR の ADSF が 1 にセットされ、A/D 変換が開始されます。

このタイミングを図 12.2 に示します。

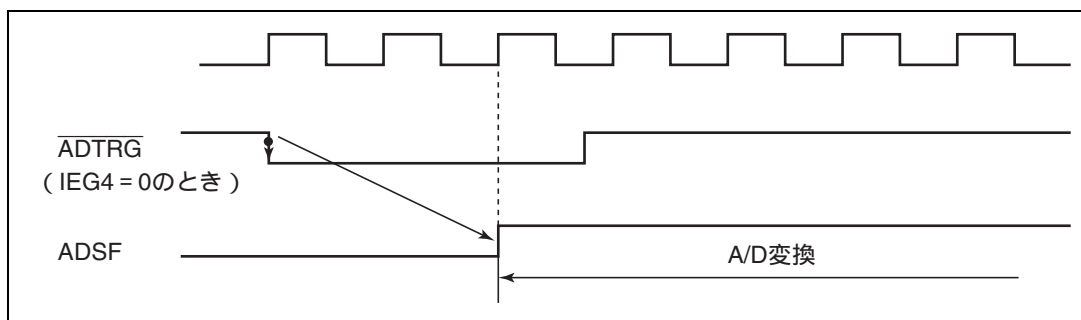


図 12.2 外部トリガ入力タイミング

12.3.3 A/D 変換器の動作モード

A/D 変換器の動作モードを表 12.3 に示します。

表 12.3 A/D 変換器の動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュール スタンバイ
AMR	リセット	動作	動作	保持	保持	保持	保持	保持
ADSR	リセット	動作	動作	保持	保持	保持	保持	保持
ADRRH	保持*	動作	動作	保持	保持	保持	保持	保持
ADRRL	保持*	動作	動作	保持	保持	保持	保持	保持

【注】 * パワーオンリセット時は不定

12.4 割り込み要因

A/D 変換終了時 (ADSF=1 0)、IRR2 の IRRAD が 1 にセットされます。

A/D 変換終了割り込みは、IENR2 の IENAD により、許可/禁止を指定できます。

詳細は「3.3 割り込み」を参照してください。

12.5 使用例

チャンネル 1 (AN1) をアナログ入力チャンネルに選択した場合の動作例を示します。動作タイミングを図 12.3 に示します。

- (1) 入力チャンネルを AN₁ (AMRのCH3 ~ CH0を"0101")、IENAD = 1 に設定して、A/D 変換を開始 (ADSF = 1) します。
- (2) A/D 変換が終了すると、IRRAD が 1 にセットされ、A/D 変換結果が ADRRH と ADRRL に格納されます。同時に ADSF = 0 となり、A/D 変換器は変換待機となります。
- (3) IENAD = 1 となっているため A/D 変換終了割り込み要求が発生します。
- (4) A/D 割り込み処理ルーチンが開始されます。
- (5) A/D 変換結果を読み出して、処理します。
- (6) A/D 変換処理ルーチンの実行が終了します。

この後、ADSF = 1 にセットすると A/D 変換が開始され (2) ~ (6) を行います。
A/D 変換器の使用手順の概念フローを図 12.4、図 12.5 に示します。

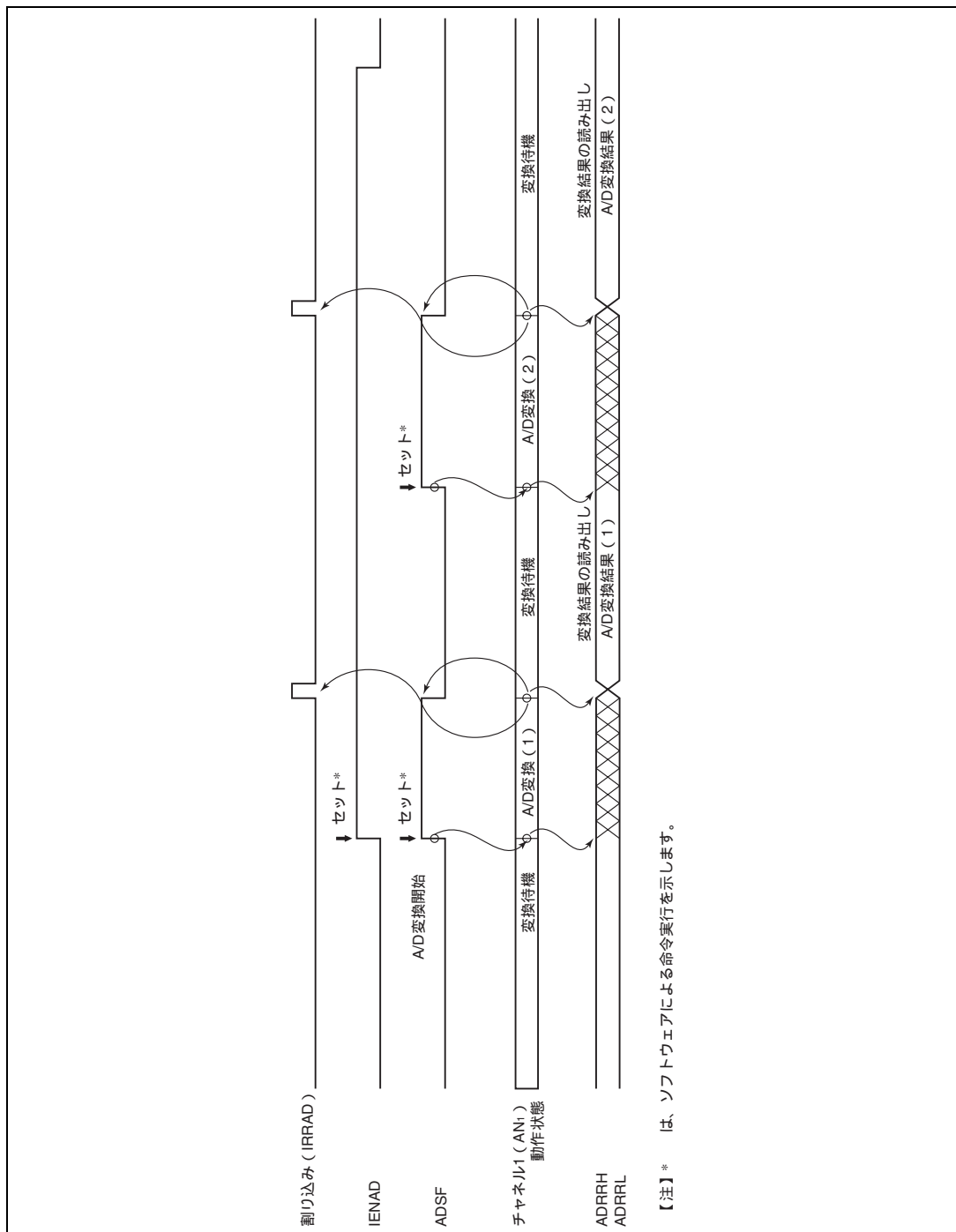


図 12.3 A/D 変換器の動作例

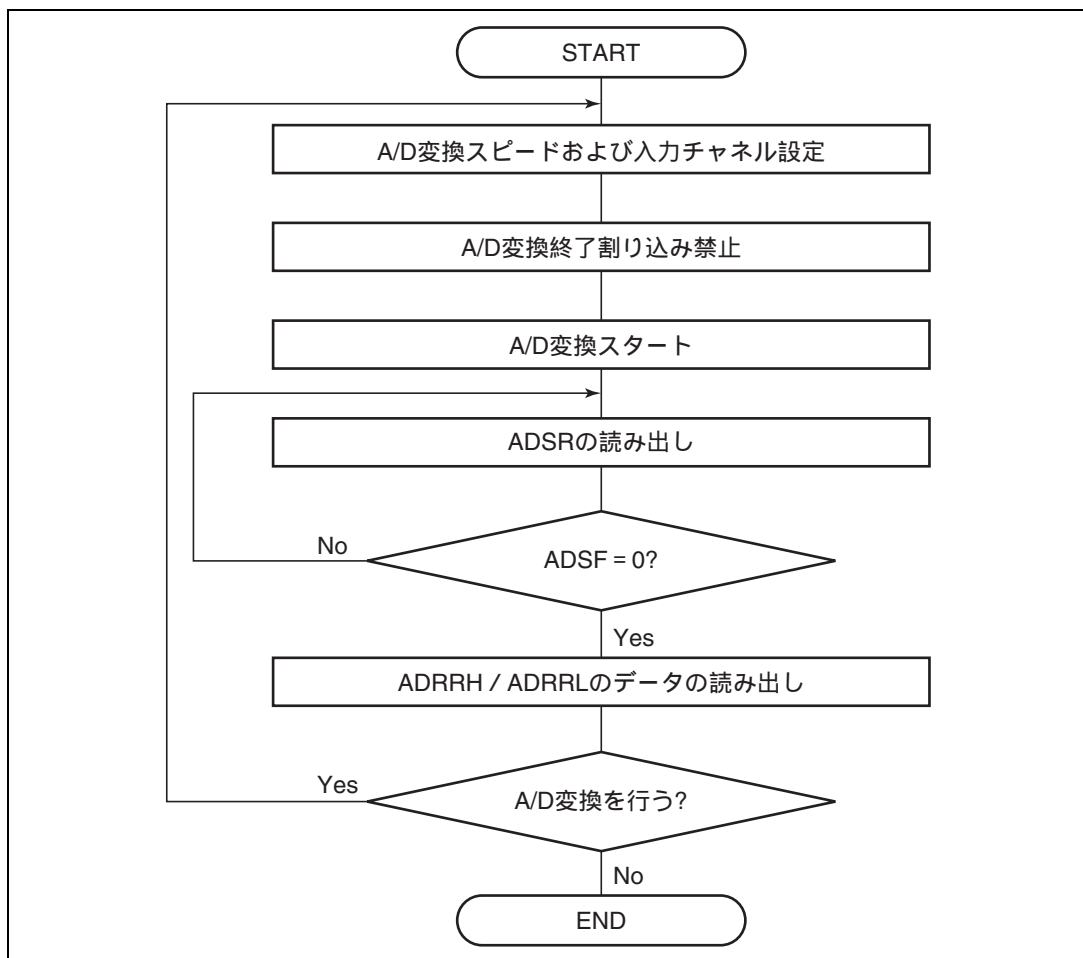


図 12.4 A/D 変換器の使用手順の概念フロー（ソフトウェアでポーリングする場合）

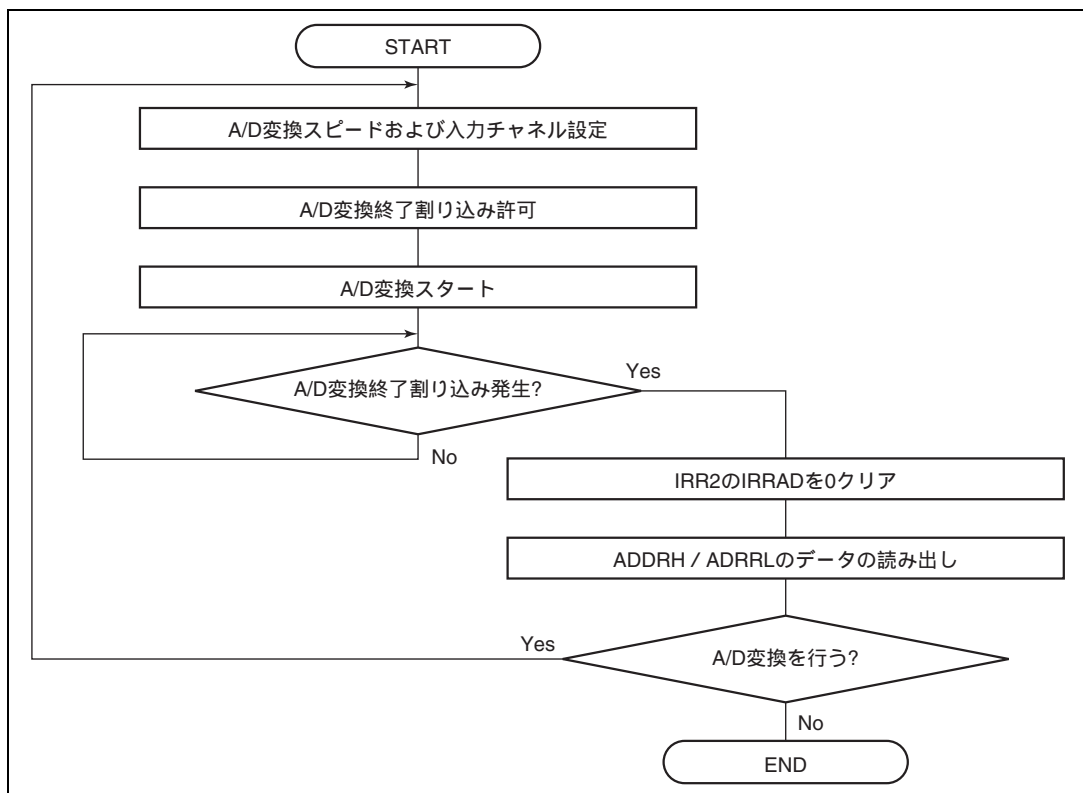


図 12.5 A/D 変換器の使用手順の概念フロー（割り込みを使用する場合）

12.6 使用上の注意

12.6.1 使用上の注意

- (1) ADDR_HとADDR_Lの読み出しは、ADSRのADSFが0のときに行ってください。
- (2) A/D変換中に隣接した端子のデジタル入力信号を変化させると変換精度に悪影響を及ぼします。
- (3) モジュールスタンバイモードを解除後、A/D変換を開始する場合は、10 クロック待ってからA/D変換をスタートしてください。
- (4) アクティブモードおよびスリープモードでは、A/D変換器が待機中でもラダー抵抗にアナログ電源電流 (I_{A_STOP1}) が流れます。したがって、A/D変換器をご使用にならない場合には、AV_{CC}をシステムの電源に接続し、クロック停止レジスタ1 (CKSTPR1) のADCKSTP (A/D変換器モジュールスタンバイモード制御) を0にすることを推奨します。

12.6.2 許容信号源インピーダンスについて

本LSIのアナログ入力は、信号源インピーダンスが10k 以下の入力信号に対し、変換精度が保証される設計となっております。これはA/D変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するために設けている規格で、センサの出力インピーダンスが10k を越える場合充電不足が生じ、A/D変換精度が保証できなくなる場合があります。外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の10k だけになりますので信号源インピーダンスは不問となります。ただし、この場合ローパスフィルタとなりますので、微分係数の大きなアナログ信号（例えば電圧の変動率が5mV/μs以上）には追従できない場合があります（図12.6）。高速のアナログ信号を変換する場合には、低インピーダンスのバッファを入れてください。

12.6.3 絶対精度への影響について

容量を付加することにより、GNDとのカップリングを受けることとなりますので、GNDにノイズがあると絶対精度が悪化する可能性があります。必ず電氣的に安定なGNDに接続してください。またフィルタ回路が実装基板上でデジタル信号と干渉したりアンテナとならないように注意が必要です。

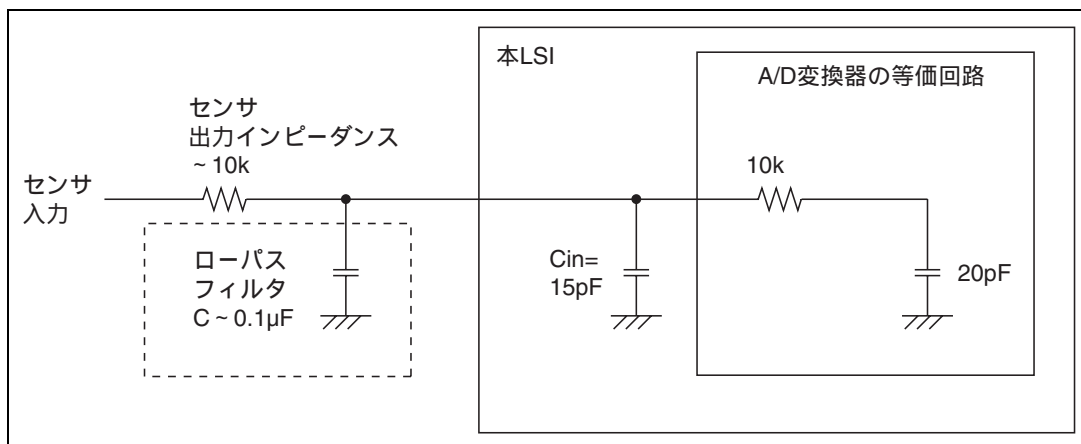


図 12.6 アナログ入力回路の例

13. LCD コントローラ / ドライバ

13.1 概要

本 LSI は、セグメントタイプの LCD コントロール回路と LCD ドライバと電源回路を内蔵しているため、LCD パネルを直接駆動することができます。

13.1.1 特長

LCD コントローラ / ドライバの特長を以下に示します。

表示容量

デューティ比	内部ドライバ	セグメント外部拡張ドライバ
スタティック	32SEG	256SEG
1/2	32SEG	128SEG
1/3	32SEG	64SEG
1/4	32SEG	64SEG

LCD RAM 容量

8 ビット × 32 バイト (256 ビット)

LCD RAM はワードアクセス可能

セグメント出力端子を 8 端子ごとにポートとして使用可能

デューティ比により使用しないコモン出力端子をコモンダブルバッファ用 (並列接続用) として使用可能

スタンバイモード以外の動作モードで表示可能

フレーム周波数を 11 種類より選択可能

電源分割抵抗を内蔵し、LCD 駆動電源を供給

モジュールスタンバイモードにより、未使用時はモジュール単体でスタンバイモードに設定可能

ソフトウェアにより A 波形、B 波形の選択可能

13.1.2 ブロック図

LCD コントローラ / ドライバのブロック図を図 13.1 に示します。

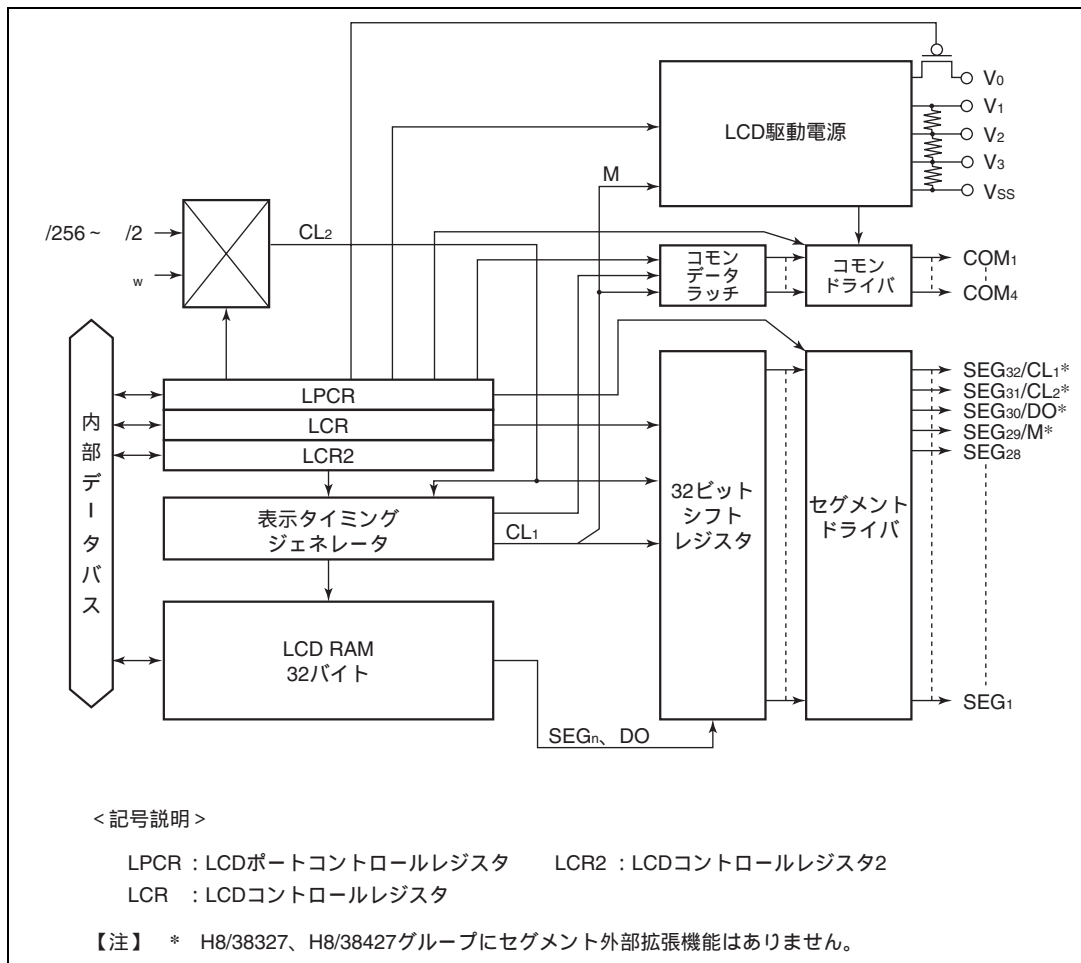


図 13.1 LCD コントローラ / ドライバのブロック図

13.1.3 端子構成

LCD コントローラ / ドライバの端子構成を表 13.1 に示します。

表 13.1 端子構成

端子名	記号	入出力	機能
セグメント出力端子	SEG ₃₂ ~ SEG ₁	出力	液晶のセグメント駆動用端子 全端子、ポートと兼用でプログラマブルに設定可能
コモン出力端子	COM ₄ ~ COM ₁	出力	液晶のコモン駆動端子 スタティック、1/2 デューティ時には端子の並列化が可能
セグメント外部拡張 信号端子*	CL ₁	出力	表示データラッチクロック、SEG ₃₂ と兼用
	CL ₂	出力	表示データシフトクロック、SEG ₃₁ と兼用
	M	出力	LCD 交流化信号、SEG ₂₉ と兼用
	DO	出力	シリアル表示データ、SEG ₃₀ と兼用
LCD 電源端子	V ₀ 、V ₁ 、V ₂ 、 V ₃		外付けでバスコンを接続する場合、外部電源回路を使用する場合に使用

【注】 * H8/38327、H8/38427 グループにセグメント外部拡張機能はありません。

13.1.4 レジスタ構成

LCD コントローラ / ドライバのレジスタ構成を表 13.2 に示します。

表 13.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
LCD ポートコントロールレジスタ	LPCR	R/W	H'00	H'FFC0
LCD コントロールレジスタ	LCR	R/W	H'80	H'FFC1
LCD コントロールレジスタ 2	LCR2	R/W	H'60	H'FFC2
LCD RAM		R/W	不定	H'F740 H'F75F
クロック停止レジスタ 2	CKSTPR2	R/W	H'FF	H'FFFB

13.2 各レジスタの説明

13.2.1 LCD ポートコントロールレジスタ (LPCR)

ビット:	7	6	5	4	3	2	1	0
	DTS1	DTS0	CMX	SGX	SGS3	SGS2	SGS1	SGS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

LPCR は、8 ビットのリード / ライト可能なレジスタで、デューティ比の選択、LCD ドライバや端子機能の選択を行います。

リセット時、LPCR は H'00 に初期化されます。

ビット 7~5 : デューティ比選択 1、0 (DTS1、DTS0)、コモン機能選択 (CMX)

DTS1、DTS0 の組み合わせで、スタティック、1/2 ~ 1/4 デューティのいずれかを選択します。CMX は、デューティによって使用しないコモン端子をコモンドライブ能力を大きくするために複数の端子から同じ波形を出力するか否かを選択します。

ビット7	ビット6	ビット5	デューティ比	コモンドライブ	補足説明
DTS1	DTS0	CMX			
0	0	0	スタティック	COM ₁ (初期値)	COM ₄ 、COM ₃ 、COM ₂ は使用しないでください。
		1		COM ₄ ~ COM ₁	COM ₄ 、COM ₃ 、COM ₂ は COM ₁ と同じ波形が出力。
0	1	0	1/2 デューティ	COM ₂ ~ COM ₁	COM ₄ 、COM ₃ は使用しないでください。
		1		COM ₄ ~ COM ₁	COM ₄ は COM ₃ 、COM ₂ は COM ₁ と同じ波形が出力。
1	0	0	1/3 デューティ	COM ₃ ~ COM ₁	COM ₄ は使用しないでください。
		1		COM ₄ ~ COM ₁	COM ₄ は使用しないでください。
1	1	0	1/4 デューティ	COM ₄ ~ COM ₁	
		1			

ビット 4 : 拡張信号選択 (SGX)

SGX は SEG₃₂/CL₁、SEG₃₁/CL₂、SEG₃₀/DO、SEG₂₉/M 端子をセグメント端子 (SEG₃₂ ~ SEG₂₉) として使用するか、またはセグメント外部拡張信号端子 (CL₁、CL₂、DO、M) として使用するかを選択します。H8/38327、H8/38427 グループでは、本ビットは初期値のまま書き換えしないでください。SEG/COM 信号が動作しない場合があります。

ビット 4	説明
SGX	
0	SEG ₃₂ ~ SEG ₂₉ 端子* (初期値)
1	CL ₁ 、CL ₂ 、DO、M 端子

【注】 * SGS3 ~ SGS0 が "0000" または "0001" のときはポートとして機能します。

ビット 3 ~ 0 : セグメントドライバ選択 3 ~ 0 (SGS3 ~ SGS0)

SGS3 ~ SGS0 は使用するセグメントドライバを選択します。H8/38327、H8/38427 グループでは SGX=0 の機能が選択されます。

ビット 4 SGX	ビット 3 SGS3	ビット 2 SGS2	ビット 1 SGS1	ビット 0 SGS0	SEG ₃₂ ~ SEG ₁ 端子の機能				補足説明
					SEG ₃₂ ~ SEG ₂₅	SEG ₂₄ ~ SEG ₁₇	SEG ₁₆ ~ SEG ₉	SEG ₈ ~ SEG ₁	
0	0	0	0	0	ポート	ポート	ポート	ポート	(初期値)
	0	0	0	1	ポート	ポート	ポート	ポート	
	0	0	1	*	SEG	ポート	ポート	ポート	
	0	1	0	*	SEG	SEG	ポート	ポート	
	0	1	1	*	SEG	SEG	SEG	ポート	
	1	*	*	*	SEG	SEG	SEG	SEG	
1	0	0	0	0	ポート* ¹	ポート	ポート	ポート	
	*	*	*	*	使用禁止				

【注】 *¹ SEG₃₂ ~ SEG₂₉ は外部拡張端子

* : Don't care

13.2.2 LCD コントロールレジスタ (LCR)

ビット:	7	6	5	4	3	2	1	0
	—	PSW	ACT	DISP	CKS3	CKS2	CKS1	CKS0
初期値:	1	0	0	0	0	0	0	0
R/W :	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

LCR は、8 ビットのリード/ライト可能なレジスタで、LCD 駆動電源 ON/OFF 制御、表示データの制御、フレーム周波数の選択を行います。

リセット時、LCR は H'80 に初期化されます。

13. LCD コントローラ / ドライバ

ビット7：リザーブビット

リザーブビットです。本ビットは、リードすると常に1が読み出されます。ライトは無効です。

ビット6：LCD 駆動電源 ON/OFF 制御 (PSW)

低消費電力モードでLCD表示を必要としない場合、また外部電源を使用する場合にLCD駆動電源をOFF状態にすることができます。ACTを0とした場合、またスタンバイモード時には本ビットとは無関係にLCD駆動電源がOFF状態となります。

ビット6	説明
PSW	
0	LCD 駆動電源 OFF (初期値)
1	LCD 駆動電源 ON

ビット5：表示機能開始 (ACT)

LCD コントローラ / ドライバを使用するかしないかを選択します。本ビットを0にクリアすることにより、LCD コントローラ / ドライバは動作を停止します。また、PSWの値と無関係にLCD駆動電源がOFF状態になります。ただし、レジスタの内容は保持されます。

ビット5	説明
ACT	
0	LCD コントローラ / ドライバ動作停止 (初期値)
1	LCD コントローラ / ドライバ動作

ビット4：表示データ制御 (DISP)

DISPはLCD RAMの内容を表示するかLCD RAMの内容に関係なくブランクデータを表示するかを選択します。

ビット4	説明
DISP	
0	ブランクデータを表示 (初期値)
1	LCD RAM データを表示

ビット3~0 : フレーム周波数選択 3~0 (CKS3~CKS0)

使用クロックの選択とフレーム周波数の選択を行います。サブアクティブモード、ウォッチモード、サブスリープモードではシステムクロック()が停止するので、 $f_{osc}/2 \sim f_{osc}/256$ を選択している場合は表示動作を行いません。これらのモードにおいてLCD表示を行う場合は、必ず使用クロックとして f_{osc} 、 $f_{osc}/2$ または $f_{osc}/4$ を選択するようにしてください。

ビット3	ビット2	ビット1	ビット0	使用クロック	フレーム周波数*2	
					= 2MHz	= 250kHz*1
0	*	0	0	f_{osc}	128Hz*3 (初期値)	
0	*	0	1	$f_{osc}/2$	64Hz*3	
0	*	1	*	$f_{osc}/4$	32Hz*3	
1	0	0	0	$f_{osc}/2$		244Hz
1	0	0	1	$f_{osc}/4$	977Hz	122Hz
1	0	1	0	$f_{osc}/8$	488Hz	61Hz
1	0	1	1	$f_{osc}/16$	244Hz	30.5Hz
1	1	0	0	$f_{osc}/32$	122Hz	
1	1	0	1	$f_{osc}/64$	61Hz	
1	1	1	0	$f_{osc}/128$	30.5Hz	
1	1	1	1	$f_{osc}/256$		

* : Don't care

- 【注】 *1 $f_{osc} = 2\text{MHz}$ 時のアクティブ (中速 $f_{osc}/16$) モードのフレーム周波数です。
 *2 1/3 デューティ選択時は、フレーム周波数が表で示した値の 4/3 倍となります。
 *3 $f_{osc} = 32.768\text{kHz}$ 時のフレーム周波数です。

13.2.3 LCD コントロールレジスタ 2 (LCR2)

ビット:	7	6	5	4	3	2	1	0
	LCDAB	—	—	—	CDS3	CDS2	CDS1	CDS0
初期値:	0	1	1	0	0	0	0	0
R/W :	R/W	—	—	R/W	R/W	R/W	R/W	R/W

LCR2 は、8 ビットのリード/ライト可能なレジスタで、A 波形 / B 波形切り替えの制御、電源分割抵抗を電源回路から切り離しの制御をする充放電パルスのデューティ比選択を行います。リセット時、LCR2 は H'60 に初期化されます。

ビット7 : A 波形 / B 波形切り替えの制御 (LCDAB)

LCD の駆動波形を A 波形にするか B 波形にするかを選択します。

ビット7	説明
LCDAB	
0	A 波形で駆動 (初期値)
1	B 波形で駆動

13. LCD コントローラ/ドライバ

ビット6、5：リザーブビット

本ビットはリザーブビットで、リードすると常に1が読み出されます。ライトは無効です。

ビット4：リザーブビット

本ビットはリザーブビットで、リードすると常に0が読み出されます。1のライトは行わないでください。

ビット3～0：充放電パルスのデューティ比選択（CDS3～CDS0）

ビット3	ビット2	ビット1	ビット0	デューティ比	補足説明
CDS3	CDS2	CDS1	CDS0		
0	0	0	0	1	High 固定 (初期値)
0	0	0	1	1/8	
0	0	1	0	2/8	
0	0	1	1	3/8	
0	1	0	0	4/8	
0	1	0	1	5/8	
0	1	1	0	6/8	
0	1	1	1	0	Low 固定
1	0	*	*	1/16	
1	1	*	*	1/32	

* : Don't care

電源分割抵抗を電源回路に接続している期間のデューティ比選択を行います。

デューティ比0を選択した場合は電源分割抵抗が電源回路から切り離された状態に固定されますので、外部回路により V_1 、 V_2 、 V_3 端子に電源を供給してください。

充放電パルスは図 13.2 に示す波形となり、デューティ比は T_c/T_w となります。

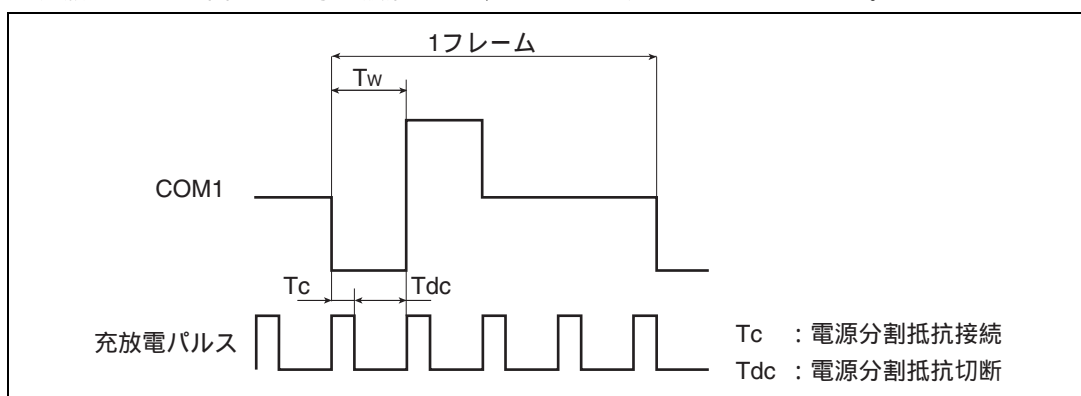


図 13.2 A 波形 1/2 デューティ 1/2 バイアスの例

13.2.4 クロック停止レジスタ 2 (CKSTPR2)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	AECKSTP	WDCKSTP	PWCKSTP	LDCKSTP
初期値:	1	1	1	1	1	1	1	1
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

CKSTPR2 は、8 ビットのリード / ライト可能なレジスタで、モジュールのモジュールスタンバイモードの制御を行います。本章では LCD に関するビットのみ説明します。他のビットについては各モジュールの章を参照してください。

ビット 0 : LCD モジュールスタンバイモード制御 (LDCKSTP)

LCD をモジュールスタンバイモードに設定、および解除を制御します。

ビット 0	説明
LDCKSTP	
0	LCD はモジュールスタンバイモードに設定される
1	LCD のモジュールスタンバイモードは解除される (初期値)

13.3 動作説明

13.3.1 LCD 表示までのセッティング

LCD 表示を行うにはハードウェア、ソフトウェアのそれぞれについて以下のことを決定しておく必要があります。

(1) ハードウェアのセッティング

(a) 1/2 デューティ使用

1/2 デューティで使用する際は V_2 、 V_3 端子を接続してください (図 13.3 参照)。

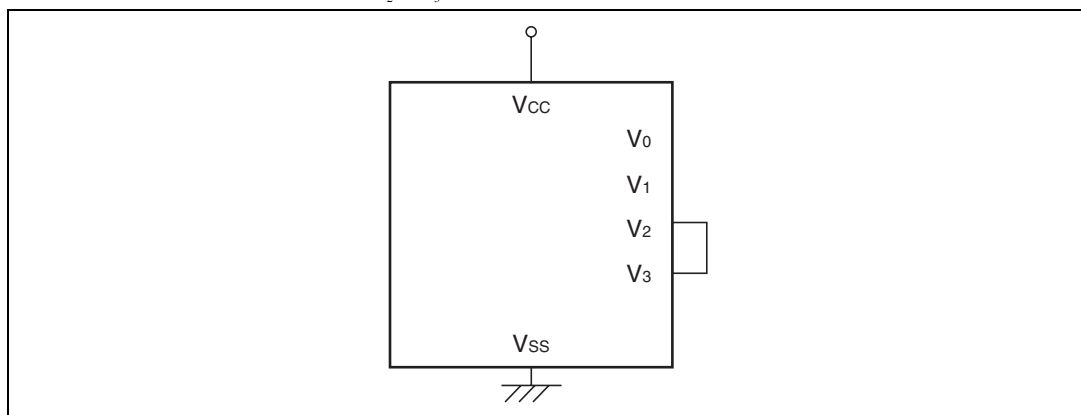


図 13.3 1/2 デューティ時の LCD 駆動電源の処理

(b) 大パネル表示

内蔵の電源分割抵抗はインピーダンスが大きいので、大きなパネルの駆動には適さないことがあります。大きなパネルを使用し表示が不鮮明になるときは「13.3.6 LCD 駆動電源の強化」を参照してください。また、スタティック、1/2 デューティを選択した場合、コモン出力の駆動能力を強化することができます。デューティ比の選択時に CMX を 1 にしてください。このモードではスタティック時に $COM_4 \sim COM_1$ 端子が同じ波形となり、1/2 デューティ時は COM_2 、 COM_1 端子から COM_1 波形が、 COM_4 、 COM_3 端子からは COM_2 波形が出力されます。

(c) 輝度調整機能 (V_0 端子)

V_0 端子と V_1 端子の間に抵抗を接続すると、輝度調整が可能となります。詳細は「13.3.3 輝度調整機能 (V_0 端子)」を参照してください。

(d) LCD 駆動電源の設定

本 LSI は LCD 駆動電源として内蔵の電源回路を使用する方法と、外部電源回路を使用する方法があります。

LCD 駆動電源として内蔵の電源回路を使用する場合は、 V_0 端子と V_1 端子を外部で接続してください。接続例を図 13.4 (a) に示します。

LCD 駆動電源として外部電源回路を使用する場合は、 V_1 端子に外部電源を接続し、 V_0 端子は外部で V_{cc} と短絡してください。接続例を図 13.4 (b) に示します。

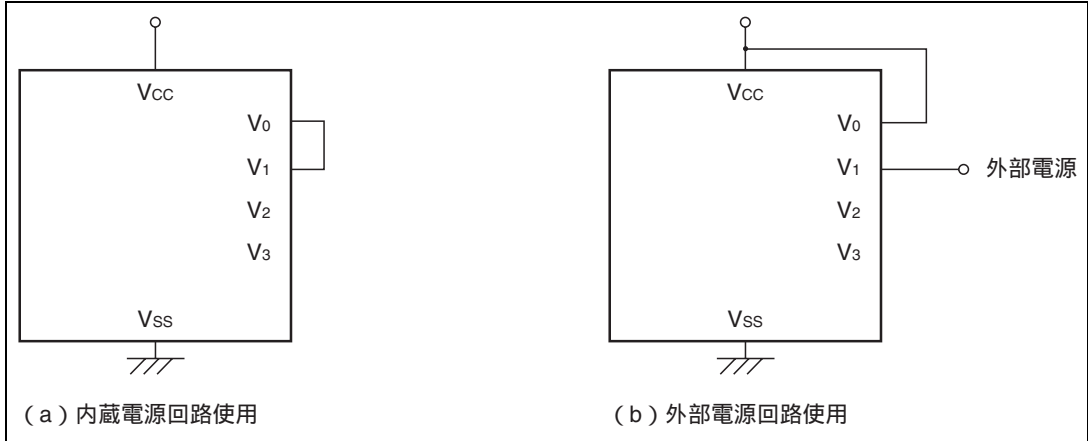


図 13.4 LCD 電源端子の接続例

(e) 低消費電力 LCD 駆動方式

低消費電力 LCD 駆動方式を使用すると、LCD 駆動に必要なとする消費電力を最適化することができます。詳細は「13.3.4 低消費電力 LCD 駆動方式」を参照してください。

(f) セグメント外部拡張

外部に HD66100 を接続してセグメント数を拡張することができます。詳細は「13.3.7 HD66100 との接続」を参照してください。

(2) ソフトウェアのセッティング

(a) デューティの選択

デューティは、DTS1、DTS0 によりスタティック、1/2 デューティ、1/3 デューティ、1/4 デューティから選択できます。

(b) セグメントドライバの選択

$SGS_3 \sim SGS_0$ により、使用するセグメントドライバを選択できます。

(c) フレーム周波数の選択

$CKS_3 \sim CKS_0$ を設定することでフレーム周波数を選択することができます。フレーム周波数は LCD パネルの指定に従って選択してください。ウォッチモード、サブアクティブモード、サブスリープモード時のクロックの選択方法は「13.3.5 低消費電力モード時の動作」を参照してください。

(d) A 波形、B 波形の選択

LCDAB により、使用する LCD 波形を A 波形か B 波形のどちらかを選択できます。

13.3.2 LCD RAM と表示の関係

LCD RAM と表示セグメントの関係は、デューティ比によって異なります。セグメント外部拡張しない場合のそれぞれのデューティ比に対応した LCD RAM のマップを図 13.5 ~ 図 13.8 に、セグメント外部拡張した場合の LCD RAM のマップを図 13.9 ~ 図 13.12 に示します。

表示に必要なレジスタ群を設定した後、デューティに対応する部分に通常の RAM と同様な命令によってデータを書き込み、表示を ON すれば自動的に表示を開始します。RAM 設定にはワード / バイトアクセス命令が使用できます。

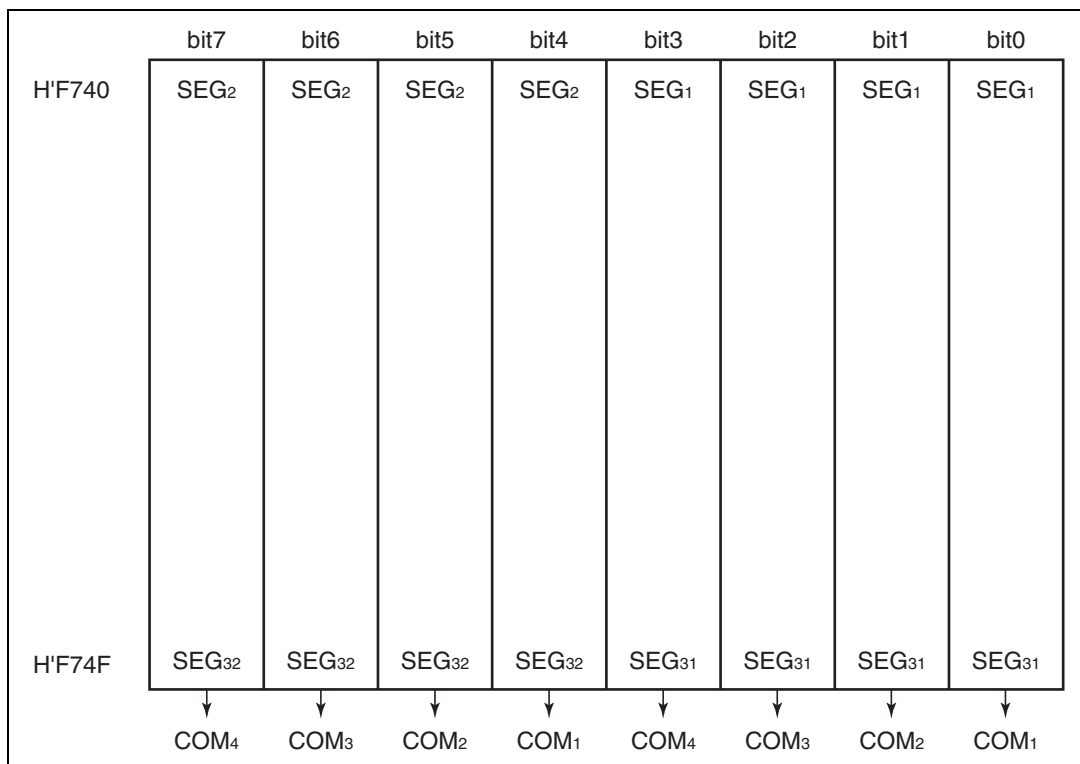


図 13.5 セグメント外部拡張しない場合の LCD RAM マップ (1/4 デューティ)

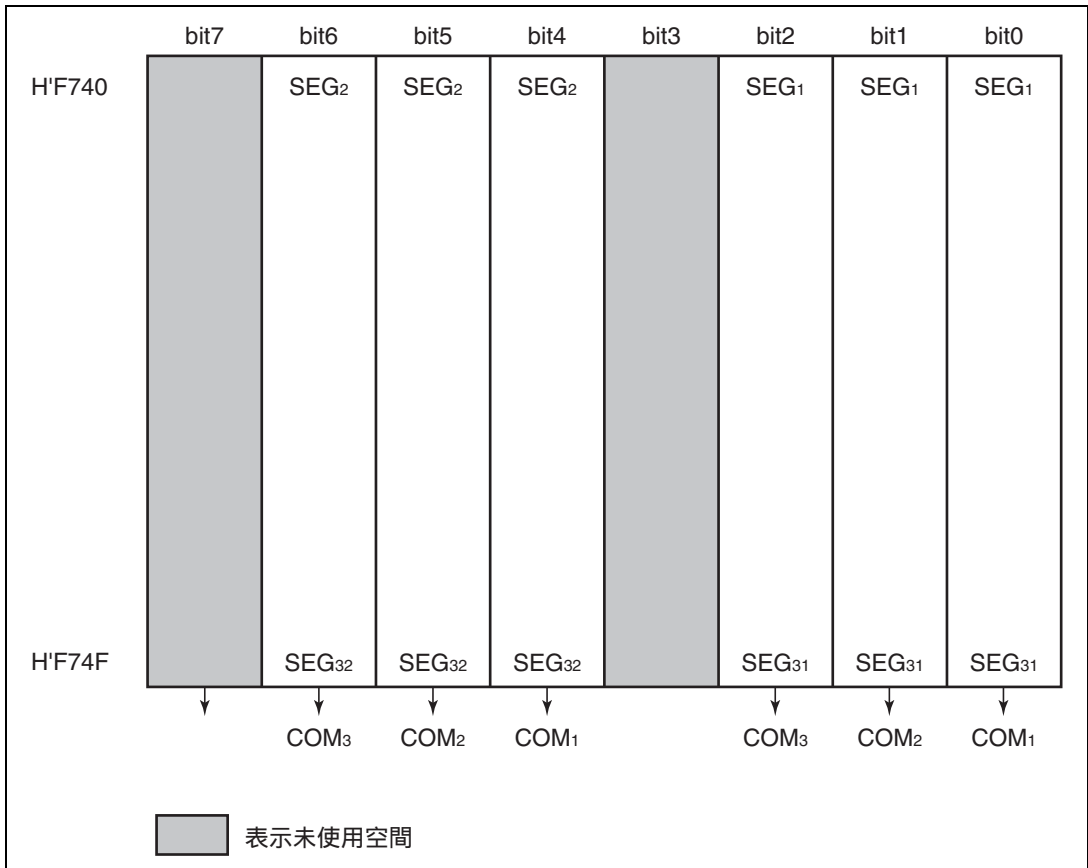


図 13.6 セグメント外部拡張しない場合の LCD RAM マップ (1/3 デューティ)

13. LCD コントローラ / ドライバ

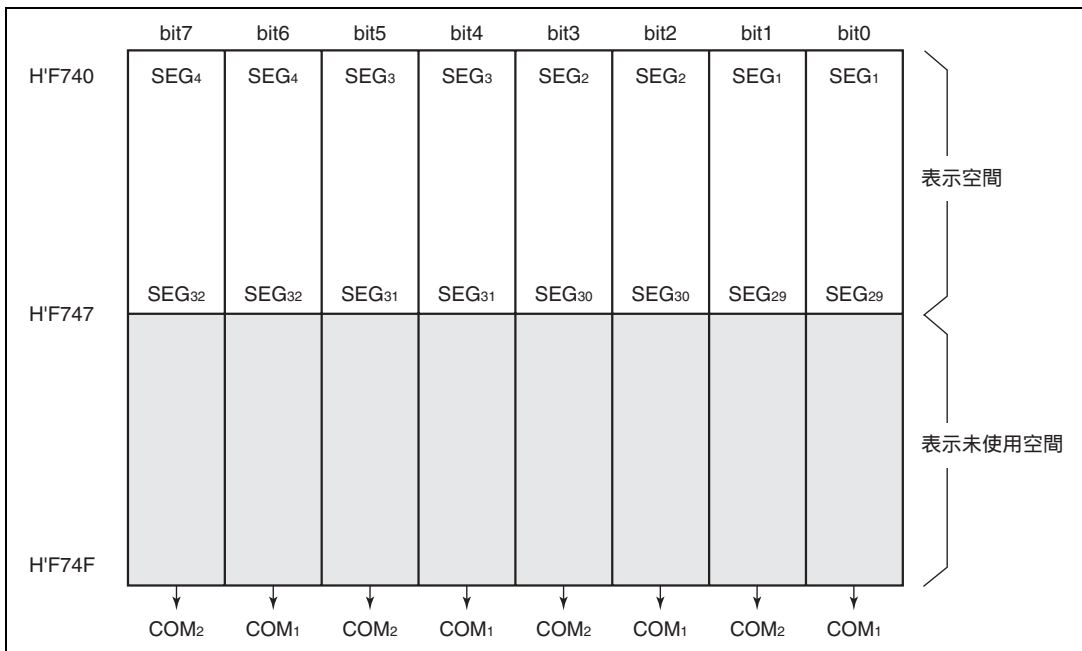


図 13.7 セグメント外部拡張しない場合の LCD RAM マップ (1/2 デューティ)

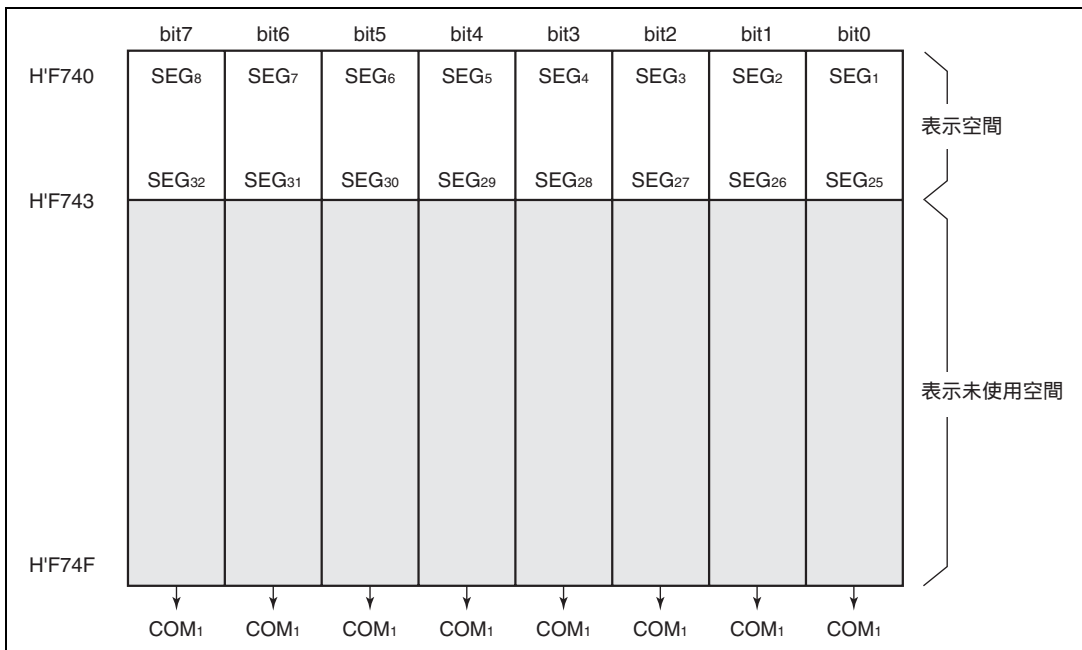


図 13.8 セグメント外部拡張しない場合の LCD RAM マップ (スタティック)

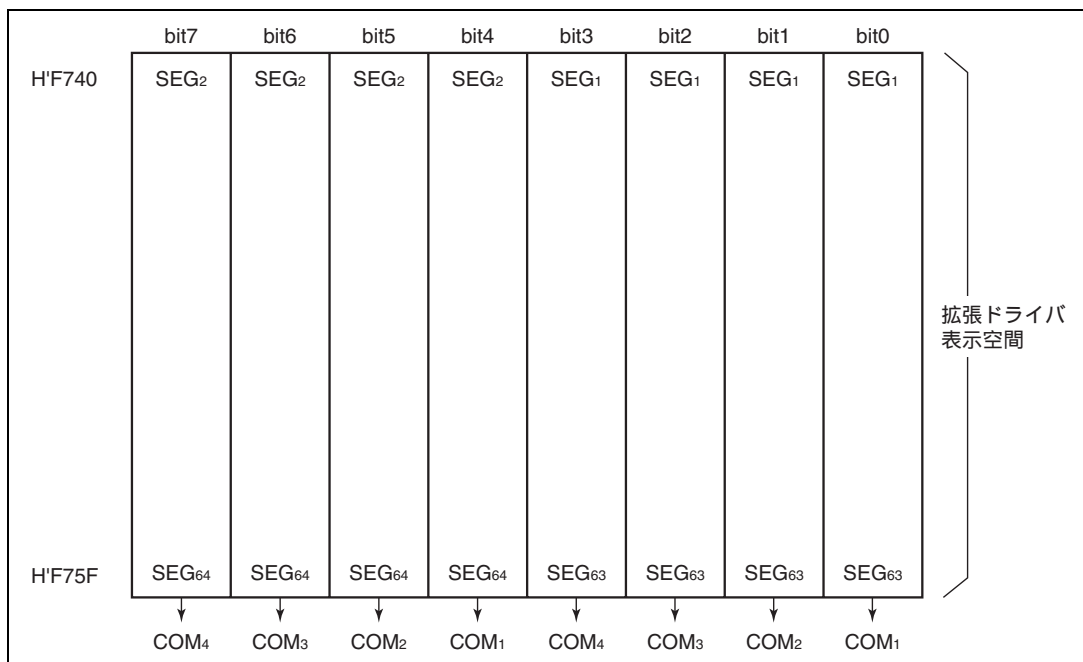


図 13.9 セグメント外部拡張した場合の LCD RAM マップ
(SGX = 1, SGS3 ~ SGS0 = "0000" 1/4 デューティ)

13. LCD コントローラ/ドライバ

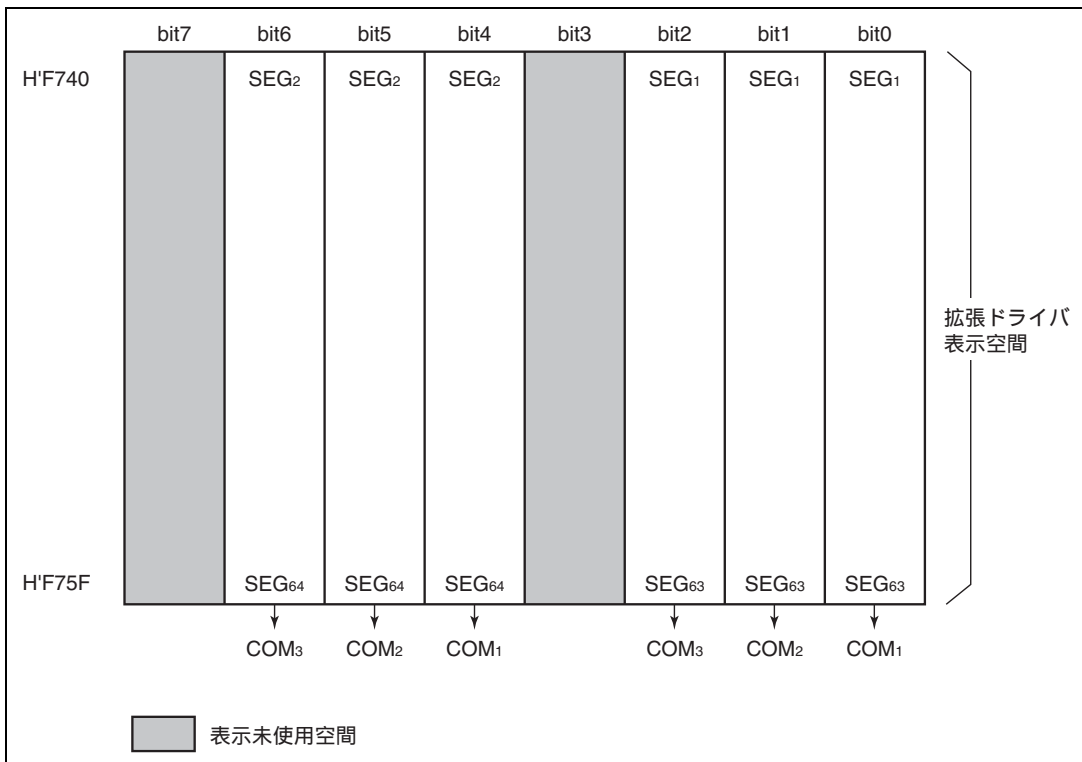


図 13.10 セグメント外部拡張した場合の LCD RAM マップ
(SGX = 1, SGS3 ~ SGS0 = "0000" 1/3 デューティ)

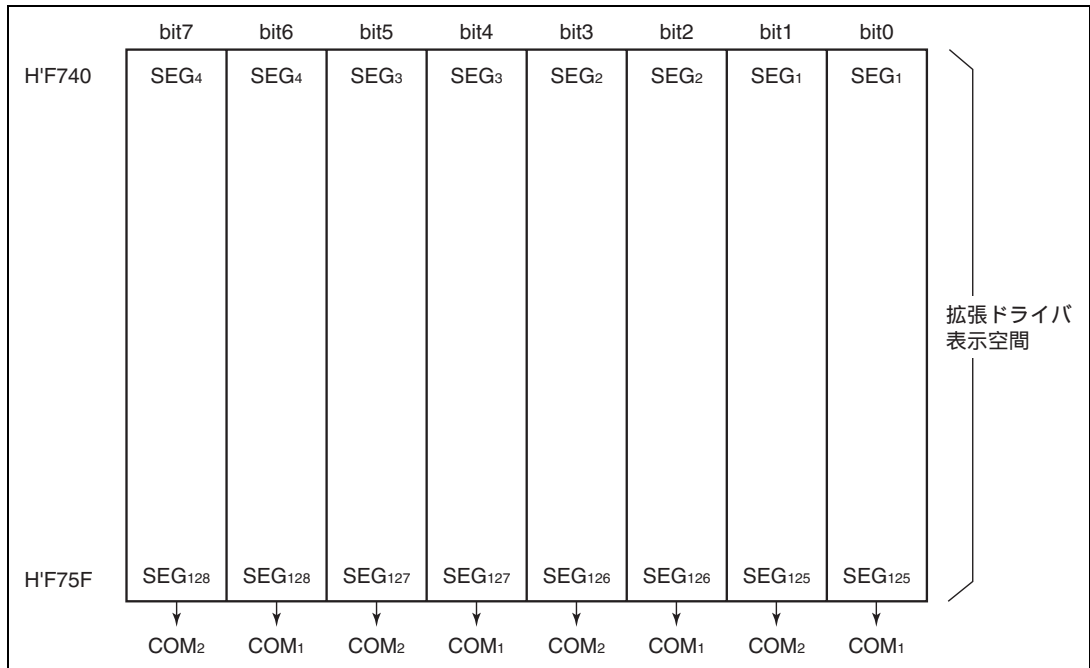


図 13.11 セグメント外部拡張した場合の LCD RAM マップ
 (SGX = 1, SGS3 ~ SGS0 = "0000" 1/2 デューティ)

13. LCD コントローラ/ドライバ

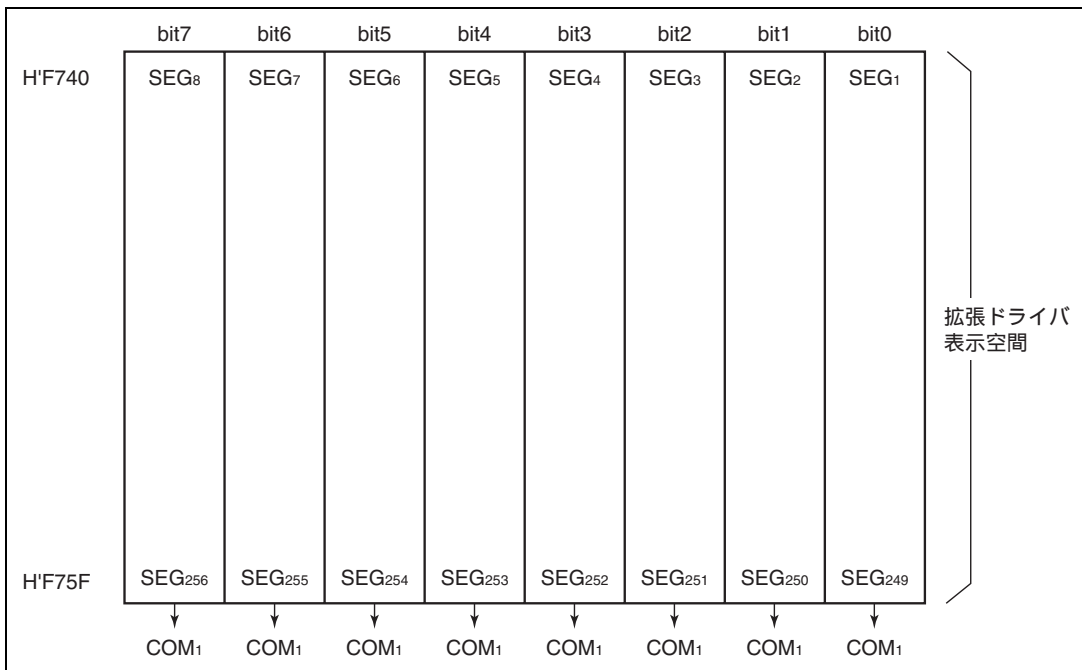


図 13.12 セグメント外部拡張した場合の LCD RAM マップ
(SGX = 1, SGS3 ~ SGS0 = "0000" スタティック)

13.3.3 輝度調整機能 (V₀ 端子)

LCD 駆動電源部の詳細ブロック図を図 13.13 に示します。

V₀ 端子には、V_{CC} が出力されます。これらの電圧を直接 LCD 駆動電圧として使用する場合は V₀ 端子と V₁ 端子を短絡して使用します。また、V₀ 端子と V₁ 端子の間に可変抵抗 R を接続することにより、V₁ 端子に印加される電圧を調整することができ、LCD パネルの輝度調整が可能となります。

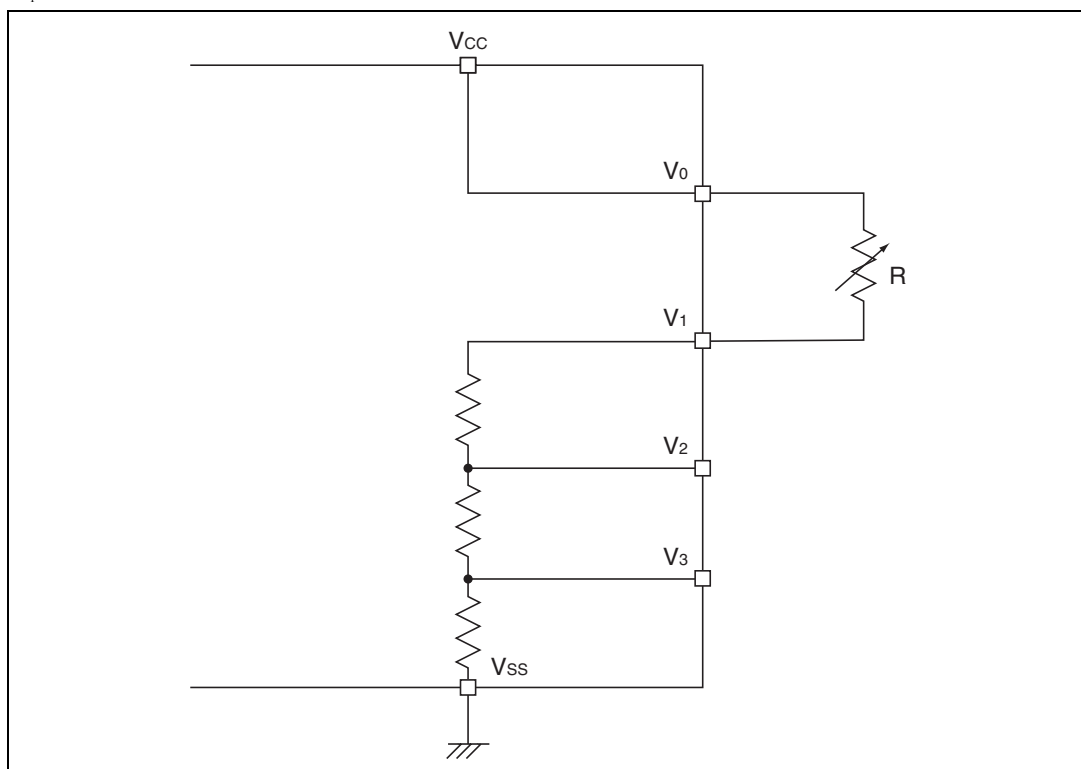


図 13.13 LCD 駆動電源部

13.3.4 低消費電力 LCD 駆動方式

LCD 電源回路には、通常内蔵分割抵抗を用いるのが最も簡単な方法でありますが、内蔵抵抗が固定のため、常に内蔵抵抗の V_{cc} から V_{ss} へ一定の直流電流が流れていることとなります。この電流は LCD パネルの消費電流に依存しないため、消費電流の小さな LCD パネルを使用する場合、無駄な電力を消費していることとなります。本 LSI にはこの無駄な電力を改善する機能が内蔵されています。この機能を活用することにより、LCD パネルの消費電流に最適な電源回路を得ることができます。

(1) 原理

- (1) 図13.14に示すように、LCD電源端子のV1、V2、V3にコンデンサを外付回路として接続します。
- (2) V1、V2、V3に接続されたコンデンサは図13.14に示すような周期で充電と放電を繰り返し、電位を保持します。
- (3) このとき、充電される電位はV1、V2、V3各々の端子に相当する電位です。
(例えば、1/3バイアス駆動の場合、V2はV1の3分の2、V3はV1の3分の1の電位を充電します。)
- (4) これらのコンデンサに充電された電荷によりLCDパネルに電源を供給します。
- (5) したがって、LCDパネルの消費電流の値によって、これらのコンデンサの容量と充放電期間が決まります。
- (6) 充放電期間はソフトウェアにより選択することができます。

(2) 動作例 (1/3 バイアス駆動の場合)

- (1) 図中の充電期間 T_c の間、V1、V2、V3端子には図13.14に示すような電位 (V2はV1の3分の2、V3はV1の3分の1の電位) が内蔵分割抵抗により分圧され、外付コンデンサのC1、C2、C3を充電します。この期間もLCDパネルは駆動されています。
- (2) 次の放電期間 T_{dc} には、充電は停止し、各コンデンサに充電された電荷を放電することにより、LCDパネルを駆動します。
- (3) このとき、放電により若干の電圧降下が生じますが、充電期間とコンデンサの容量に適切な値を選択し、LCDパネルの駆動に影響がないようにしなければなりません。
- (4) このようにしてV1、V2、V3に接続されたコンデンサは図13.14に示すような周期で充電と放電を繰り返し、電位を保持しながらLCDパネルを駆動続けます。
- (5) 以上から分かるように、コンデンサの容量の値と充放電期間は、使用するLCDパネルの消費電流の値によって決まります。また充放電期間はCDS3~0により選択することができます。
- (6) 実際のコンデンサの容量と充放電期間は、LCDパネルの消費電流の要求に合わせて実験的に決める必要がありますが、内部分割抵抗に常時直流電流が流れる場合に比べ、最適な電流値を選択することができます。

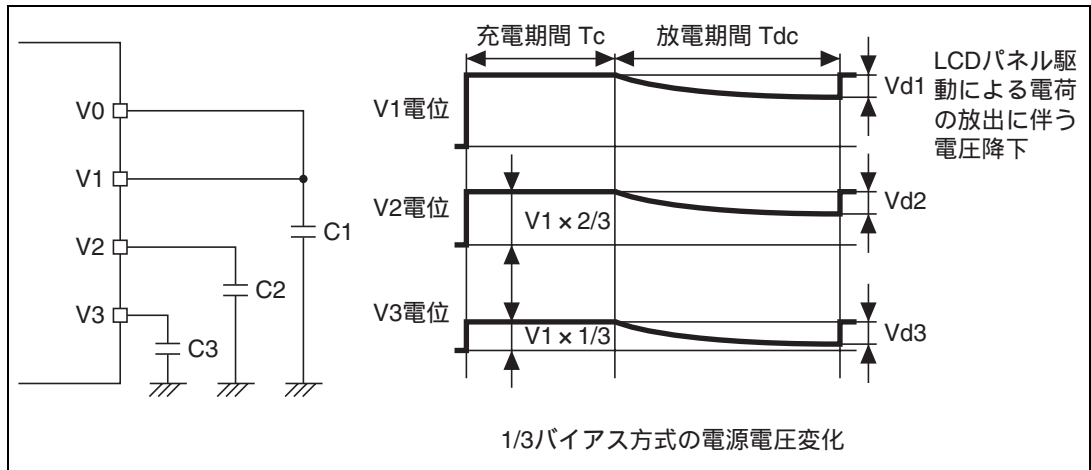


図 13.14 低消費電力 LCD 駆動方式動作例

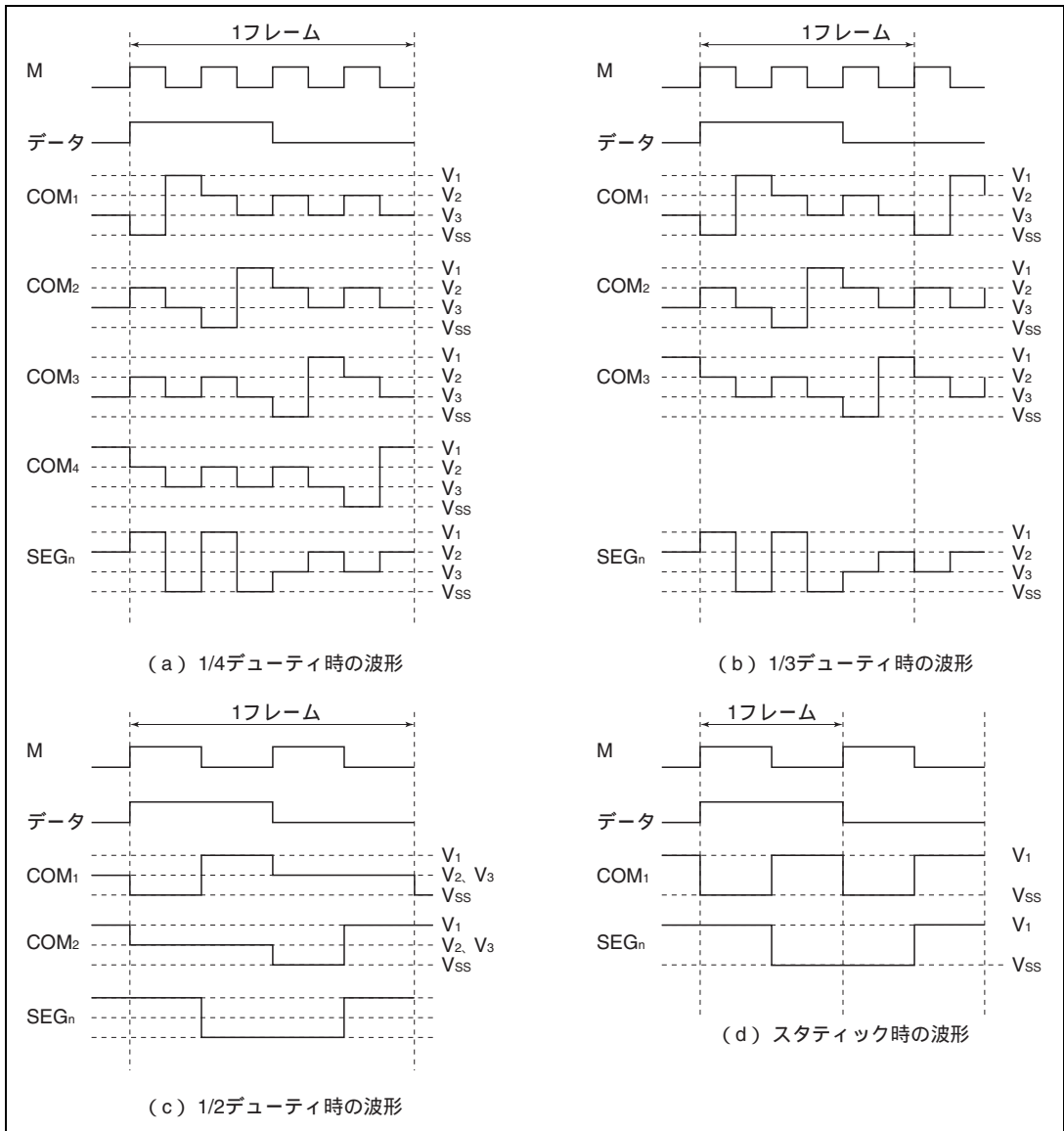


図 13.15 各デューティでの出力波形 (A 波形)

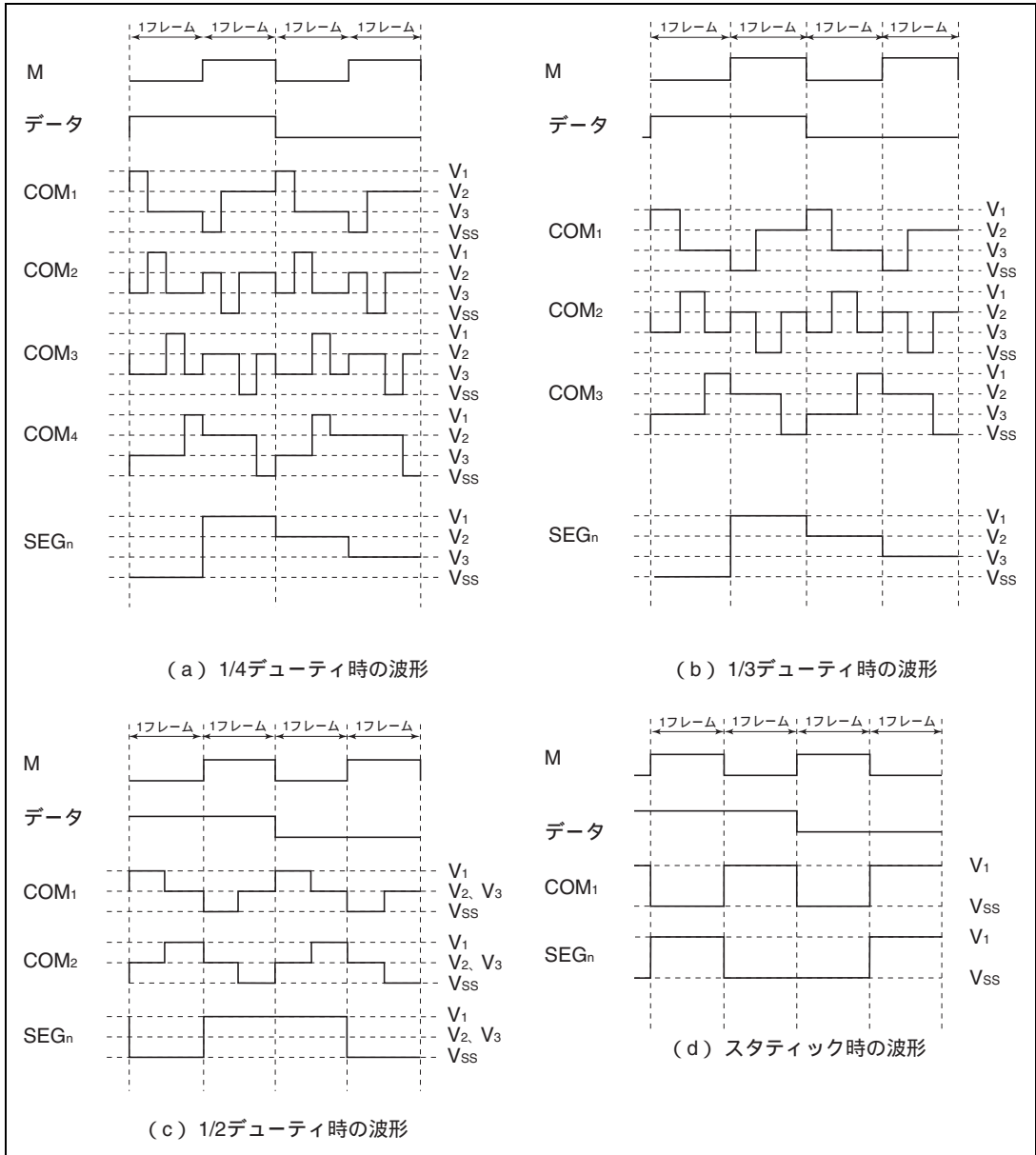


図 13.16 各デューティでの出力波形 (B 波形)

表 13.3 出力レベルの関係

データ		0	0	1	1
M		0	1	0	1
スタティック	コモン出力	V_1	V_{SS}	V_1	V_{SS}
	セグメント出力	V_1	V_{SS}	V_{SS}	V_1
1/2 デューティ	コモン出力	V_2, V_3	V_2, V_3	V_1	V_{SS}
	セグメント出力	V_1	V_{SS}	V_{SS}	V_1
1/3 デューティ	コモン出力	V_3	V_2	V_1	V_{SS}
	セグメント出力	V_2	V_3	V_{SS}	V_1
1/4 デューティ	コモン出力	V_3	V_2	V_1	V_{SS}
	セグメント出力	V_2	V_3	V_{SS}	V_1

13.3.5 低消費電力モード時の動作

本 LSI は低消費電力モード時でも、LCD コントローラ / ドライバを動作させることができます。低消費電力モード時の LCD コントローラ / ドライバの動作状態を表 13.4 に示します。

サブアクティブモード / ウォッチモード / サブスリープモードではシステムクロック発振器が停止するので、CKS3 ~ CKS0 で w 、 $w/2$ または $w/4$ を選択していないとクロックが供給されず、表示が停止します。この場合 LCD パネルには直流電圧がかかる可能性がありますので必ず w 、 $w/2$ または $w/4$ を選択するようにしてください。また、アクティブ (中速) モードではシステムクロックが切り替わるので、フレーム周波数が変化しないように CKS3 ~ CKS0 を変更する必要があります。

表 13.4 低消費電力モードと表示動作の関係

モード		リセット	アクティブ	スリープ	ウォッチ	サブ アクティブ	サブ スリープ	スタンバイ	モジュールス タンバイ
クロック		動作	動作	動作	停止	停止	停止	停止	停止* ⁴
	w	動作	動作	動作	動作	動作	動作	停止* ¹	停止* ⁴
表示動作	ACT=0	停止	停止	停止	停止	停止	停止	停止* ²	停止
	ACT=1	停止	表示	表示	表示* ³	表示* ³	表示* ³	停止* ²	停止

【注】 *1 サブクロック発振器は停止しませんがクロックの供給は停止します。

*2 PSW に関係なく LCD 駆動電源を OFF します。

*3 使用クロックに w 、 $w/2$ または $w/4$ を選択していないと表示動作を行いません。

*4 LCD に供給されるクロックは停止します。

13.3.6 LCD 駆動電源の強化

大きなパネルを駆動する場合、内蔵の電源容量では足りないことがあります。V_{CC}を電源として使用した場合で電源容量が不足する場合は、電源のインピーダンスを下げる必要があります。この対策として、図 13.17 に示すように V₁ ~ V₃ 端子に 0.1 ~ 0.3μF 程度のバイパスコンデンサを接続する方法や、新たに分割抵抗を外部に設ける方法があります。

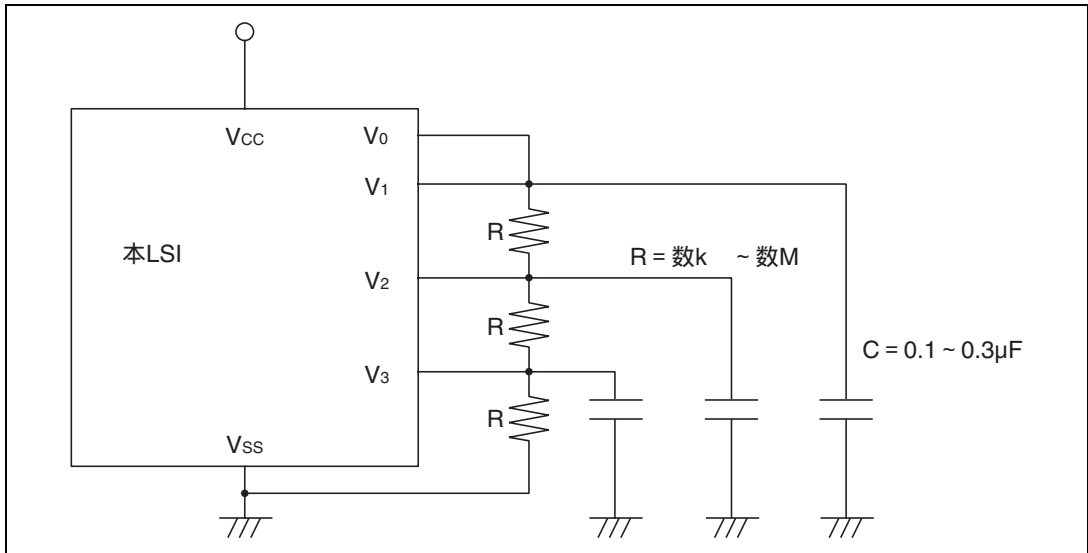


図 13.17 外部分割抵抗の接続方法

13.3.7 HD66100 との接続

セグメントを外部に拡張したい場合はHD66100を接続します。HD66100を1個接続することで80セグメント拡張することができます。外部拡張を行う際はLPCRのSGXによりSEG₃₂ ~ SEG₂₉端子の機能を拡張用信号とし、SGS₃ ~ SGS₀に"0000"または"0001"を設定します。外部にはLCD RAMのSEG₁からのデータを出力します。SEG₂₈ ~ SEG₁はポートとして機能します。

図 13.18 にHD66100との接続例を示します。出力レベルはデータとM端子出力の組み合わせにより決定しますが、その組み合わせがHD66100と異なります。表 13.3 にLCD駆動電源の出力レベルを示します。また、デューティごとのコモン/セグメント波形を図 13.15、図 13.16 に示します。

ACT=0とするとCL₂=0、CL₁=0、M=0、DOはその瞬間に出力していたデータ(1か0)で停止します。また、スタンバイモード時には拡張端子はハイインピーダンス状態(フローティング)となります。

外部拡張を行うとLCDパネルにおける負荷が増し、内蔵電源では電流容量が足りない場合があります。その場合は「13.3.6 LCD駆動電源の強化」を参照してください。

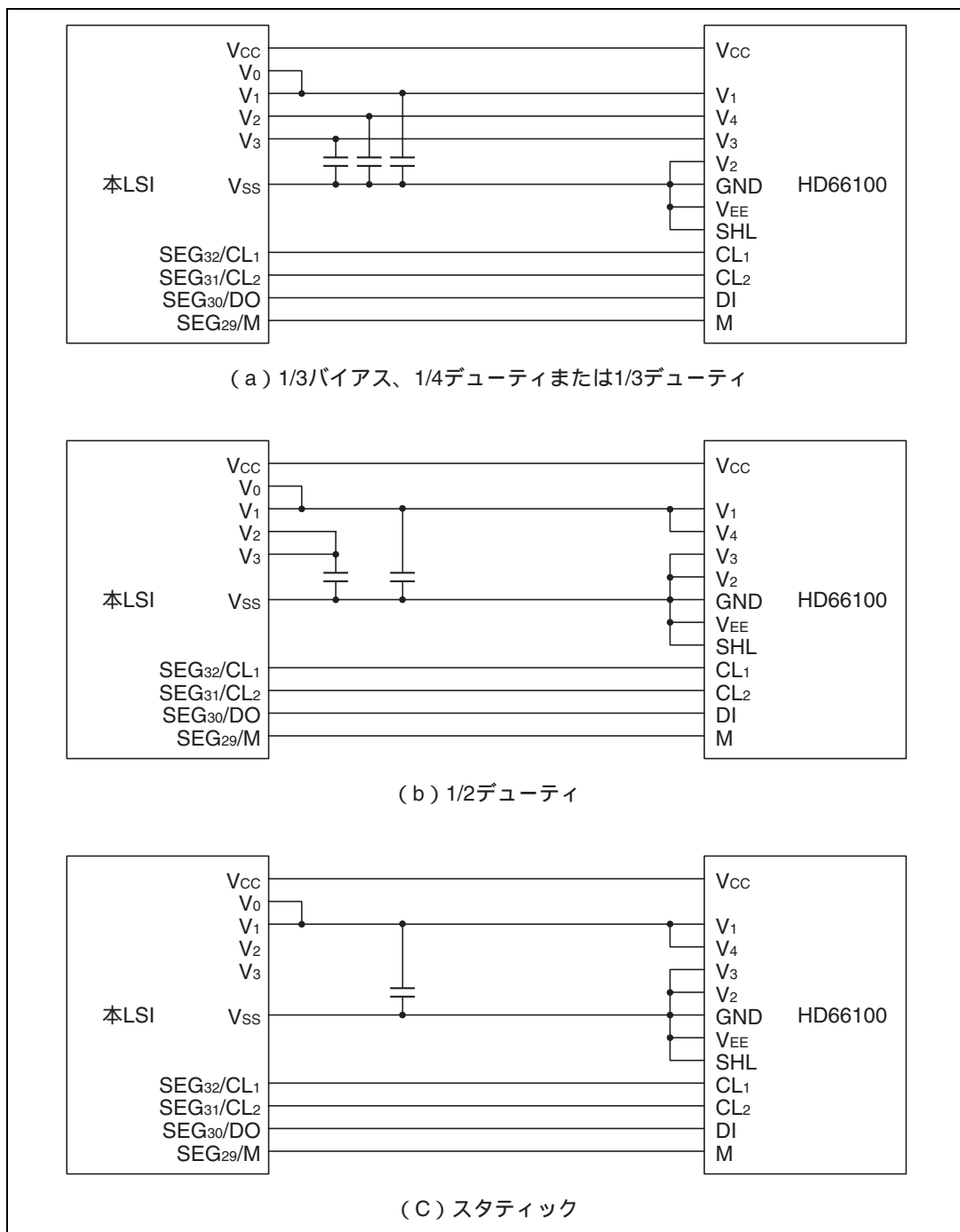


図 13.18 HD66100 との接続

14. 電源回路

14.1 概要

H8/3827R、H8/38327、H8/38427 グループには内部電源降圧回路が内蔵されています。この内部電源降圧回路を使用することにより、外部 V_{cc} 端子に接続された電源電圧に依存することなく、内部電源を約 3.0 ~ 3.2V に固定することができます。このため外部電源を 3.0V 以上で使用した場合に消費される電流値を約 3.0V で使用した場合とほぼ同等に抑えることができます。外部電圧が 3.0V 以下の場合には内部電圧は外部電圧とほぼ同一となります。内部電源降圧回路を使用せずに内部電源電圧を外部電源電圧と同一として使用することもできます。

14.2 内部電源降圧回路を使用する場合

図 14.1 のように、 V_{cc} 端子に外部電源を接続し、 CV_{cc} と V_{ss} 間に H8/3827R では約 $0.1 \mu\text{F}$ 、H8/38327、H8/38427 では約 $0.33 \mu\text{F}$ の容量を接続してください。この外部回路を付加することにより内部降圧回路が有効になります。外部回路の入出力レベルは V_{cc} に接続されている外部電源電圧と V_{ss} に接続されている GND 電位が基準となります。たとえば、ポートの入出力レベルは High が V_{cc} 基準、Low が V_{ss} 基準となります。LCD 電源、A/D 変換器のアナログ電源は内部降圧回路の影響は受けません。

H8/3827R グループでは内部電源降圧回路の使用・不使用で動作範囲が異なります。「第 15 章 電気的特性」を参照してください。

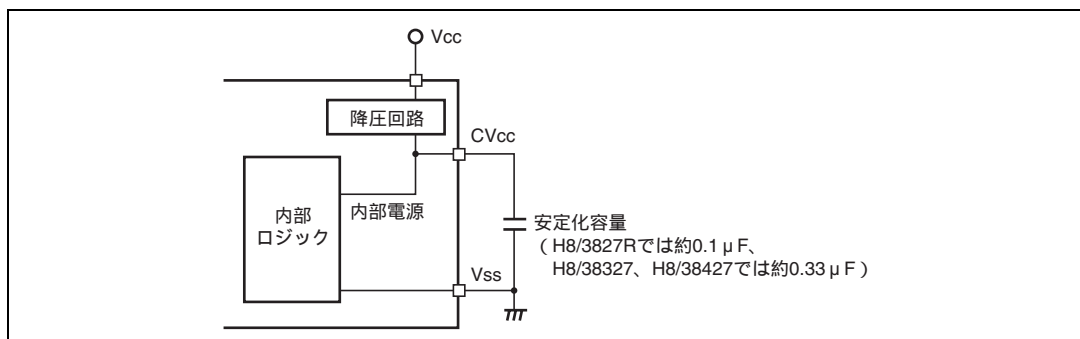


図 14.1 内部電源降圧回路を使用する場合の電源接続図

14.3 内部電源降圧回路を使用しない場合

図 14.2 のように、 CV_{cc} と V_{cc} 端子に外部電源を接続してください。外部電源が直接内部電源に供給されます。使用可能な電源電圧は、H8/3827R グループで 1.8V ~ 5.5V です。H8/38327、H8/38427 グループでは 2.7V ~ 3.6V ですが、通常は内部電源降圧回路を使用してください。この範囲を超える電源を供給した場合の動作は保証されません。

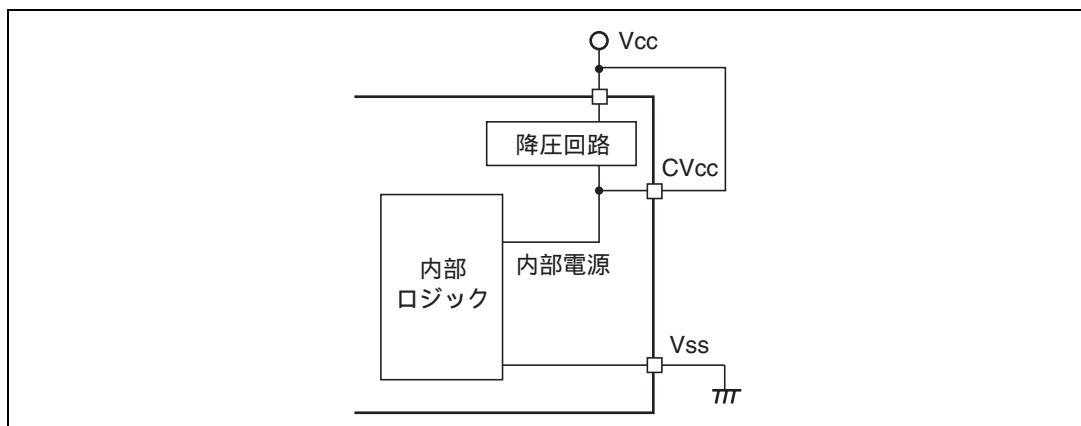


図 14.2 内部電源降圧回路を使用しない場合の電源接続図

14.4 H8/3827S グループの場合

H8/3827S グループには V_{cc} 端子が 2 本ありますが、本 LSI の外部で接続してください。

14.5 H8/3827R から H8/38327、H8/38427 へ移行する場合のご注意

電源回路に関して下記をご確認ください。

(1) H8/3827R で内部電源降圧回路を使用している場合

製品間で安定化容量の値が異なります。0.1 μF (H8/3827R) から 0.33 μF (H8/38327、H8/38427) へ変更してください。また、容量値は目安です。システム動作をご確認ください。

(2) H8/3827R で内部電源降圧回路を使用していない場合

H8/38327、H8/38427 では内部電源降圧回路の使用を推奨いたします。さらに、H8/38327、H8/38427 で内部電源降圧回路を使用していない場合の $V_{cc}=3.6\text{V}$ 以上は動作が保証されません。

従いまして、 CV_{cc} 接続を内部電源降圧回路使用へ変更してください。

15. 電気的特性

15.1 H8/3827R グループ絶対最大定格（通常仕様）

絶対最大定格を表 15.1 に示します。

表 15.1 絶対最大定格

項目	記号	規格値	単位	備考	
電源電圧	V_{CC}, CV_{CC}	- 0.3 ~ +7.0	V	*1	
アナログ電源電圧	AV_{CC}	- 0.3 ~ +7.0	V		
プログラム電圧	V_{PP}	- 0.3 ~ +13.0	V		
入力電圧	ポート B 以外	V_{in}	- 0.3 ~ $V_{CC} + 0.3$		V
	ポート B	AV_{in}	- 0.3 ~ $AV_{CC} + 0.3$		V
動作温度	T_{opr}	- 20 ~ +75*2			
保存温度	T_{stg}	- 55 ~ +125			

【注】 *1 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件を超えると LSI の誤動作の原因になると共に、LSI の信頼性に悪影響を及ぼすことがあります。

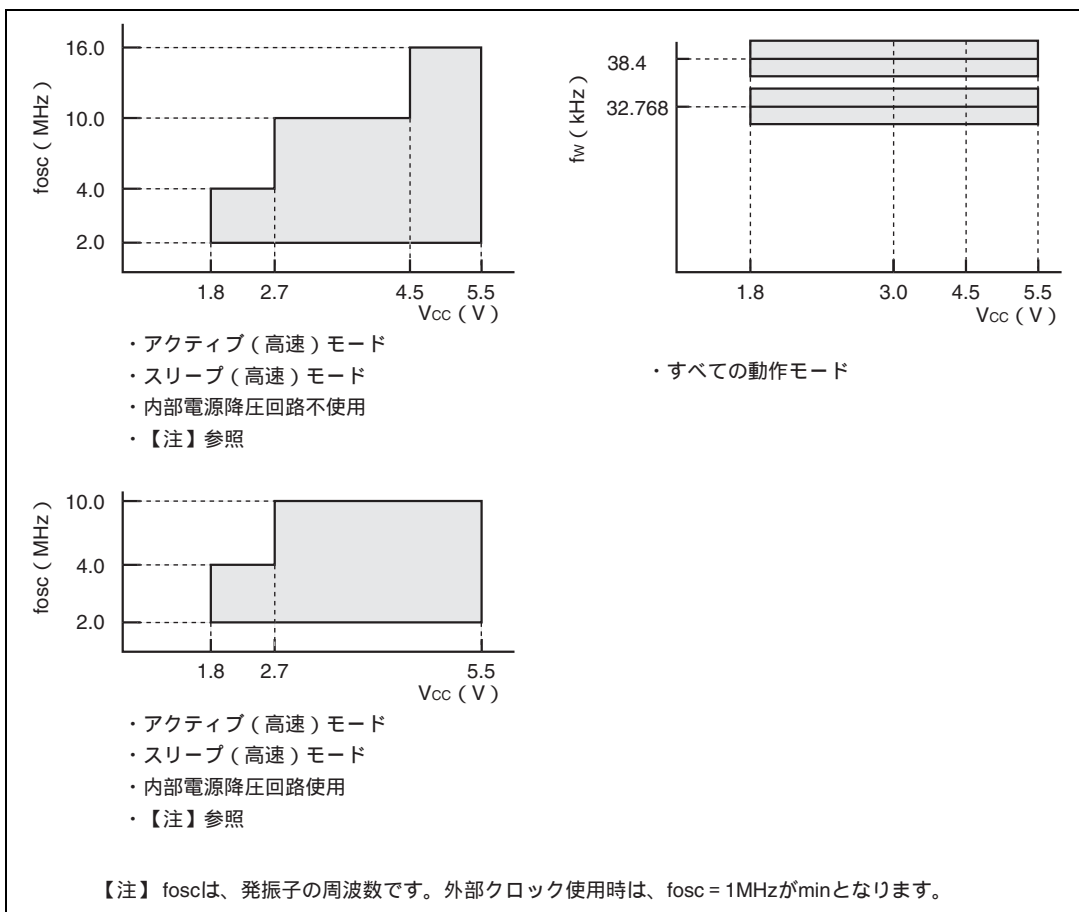
*2 動作温度とは、LSI に通電（「電気的特性」で示す電圧（ V_{CC} ）を印加）してもよい温度です。

15.2 H8/3827R グループ電気的特性（通常仕様）

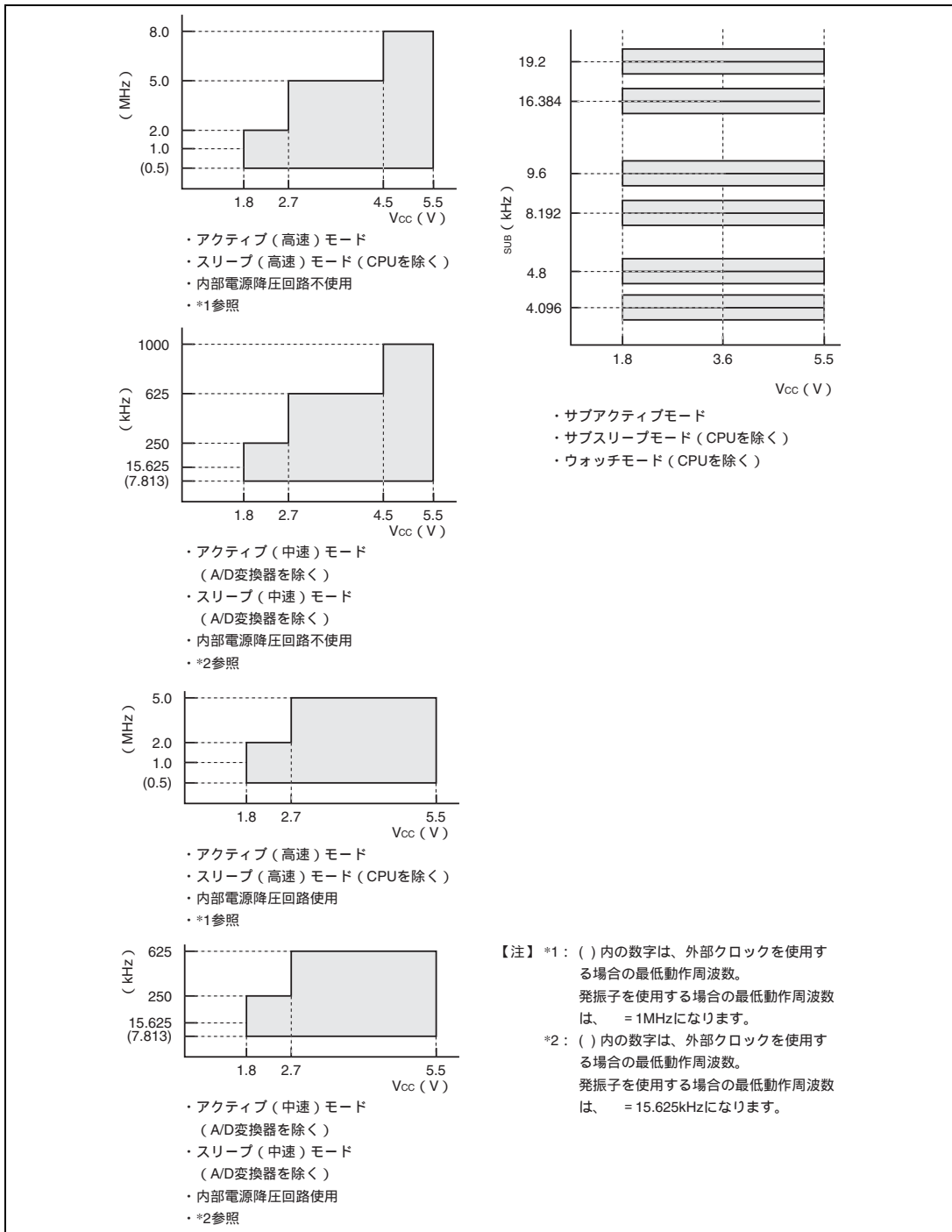
15.2.1 電源電圧と動作範囲

電源電圧と動作範囲（網かけ部）を以下に示します。

(1) 電源電圧と発振周波数の範囲

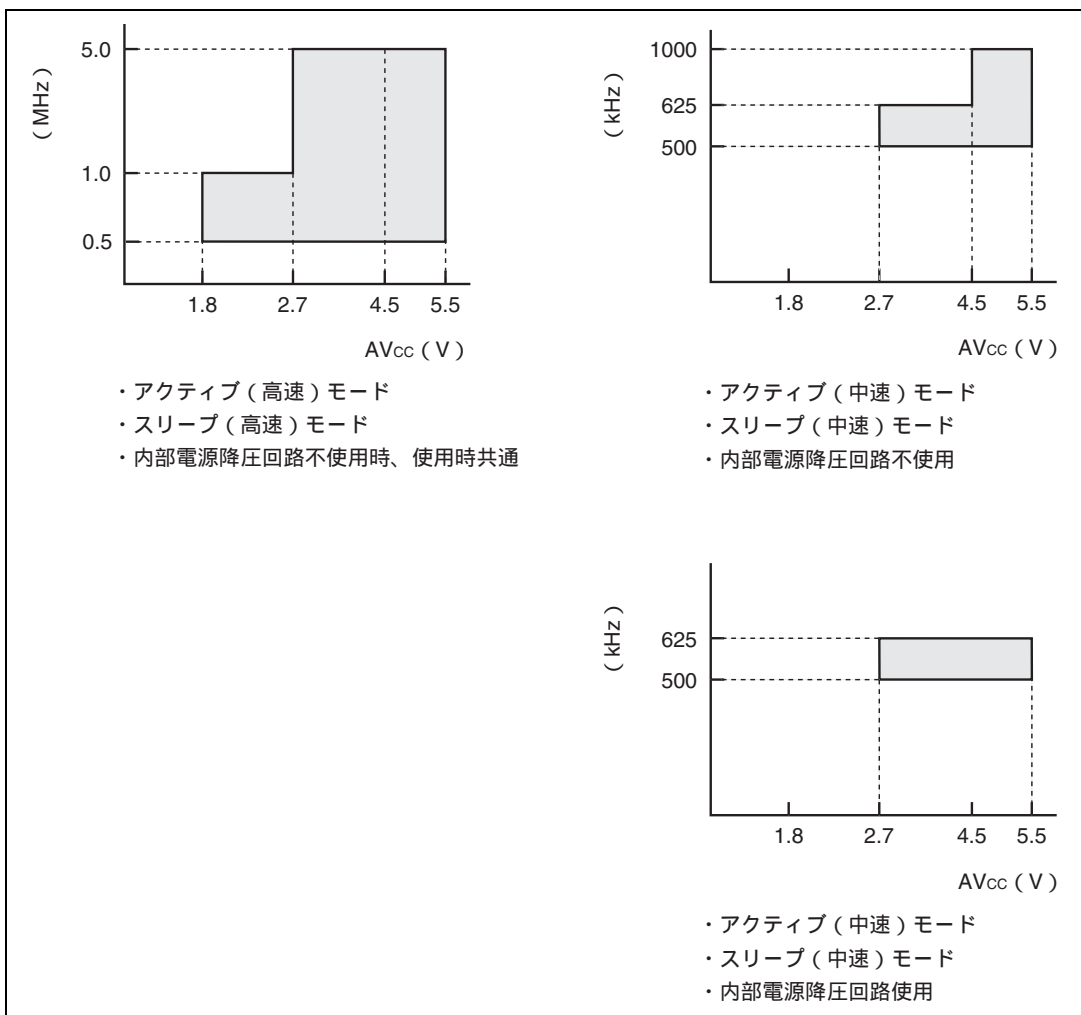


(2) 電源電圧と動作周波数の範囲



15. 電気的特性

(3) アナログ電源電圧と A/D 変換器の動作範囲



15.2.2 DC 特性

DC 特性を表 15.2 に示します。

表 15.2 DC 特性

(特記なき場合、 $V_{CC} = 1.8 \sim 5.5V$ 、 $AV_{CC} = 1.8 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ *4、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考		
				min.	typ.	max.				
入力 High レベル電圧	V_{IH}	RES、 WKP ₀ ~ WKP ₇ 、 IRQ ₀ ~ IRQ ₄ 、 AEVL、AEVH、	$V_{CC} = 4.0 \sim 5.5V$	0.8V _{CC}		$V_{CC} + 0.3$	V			
		TMIC、TMIF、 TMIG SCK ₃₁ 、SCK ₃₂ 、 ADTRG	上記以外	0.9V _{CC}		$V_{CC} + 0.3$				
		RXD ₃₁ 、RXD ₃₂	$V_{CC} = 4.0 \sim 5.5V$	0.7V _{CC}		$V_{CC} + 0.3$	V			
		UD	上記以外	0.8V _{CC}		$V_{CC} + 0.3$				
		OSC ₁	$V_{CC} = 4.0 \sim 5.5V$	0.8V _{CC}		$V_{CC} + 0.3$	V			
			上記以外	0.9V _{CC}		$V_{CC} + 0.3$				
		X ₁	$V_{CC} = 1.8 \sim 5.5V$	0.9V _{CC}		$V_{CC} + 0.3$	V			
		P1 ₀ ~ P1 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₃ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 PA ₀ ~ PA ₃	$V_{CC} = 4.0 \sim 5.5V$	0.7V _{CC}		$V_{CC} + 0.3$	V			
			上記以外	0.8V _{CC}		$V_{CC} + 0.3$				
			PB ₀ ~ PB ₇	$V_{CC} = 4.0 \sim 5.5V$	0.7V _{CC}		$AV_{CC} + 0.3$			
				上記以外	0.8V _{CC}		$AV_{CC} + 0.3$			
			入力 Low レベル電圧	V_{IL}	RES、 WKP ₀ ~ WKP ₇ 、 IRQ ₀ ~ IRQ ₄ 、 AEVL、AEVH、	$V_{CC} = 4.0 \sim 5.5V$	- 0.3		0.2V _{CC}	V
		TMIC、TMIF、 TMIG SCK ₃₁ 、SCK ₃₂ 、 ADTRG			上記以外	- 0.3		0.1V _{CC}		
RXD ₃₁ 、RXD ₃₂	$V_{CC} = 4.0 \sim 5.5V$	- 0.3				0.3V _{CC}	V			
UD	上記以外	- 0.3				0.2V _{CC}				
OSC ₁	内部降圧使用時				- 0.3		0.2	V		
	$V_{CC} = 4.0 \sim 5.5V$				- 0.3		0.2V _{CC}			
	上記以外				- 0.3		0.1V _{CC}			

15. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 Low レベル電圧	V_{IL}	X_1	$V_{CC} = 1.8 \sim 5.5V$	- 0.3		$0.1V_{CC}$	V	
		$P1_0 \sim P1_7$, $P3_0 \sim P3_7$, $P4_0 \sim P4_3$, $P5_0 \sim P5_7$, $P6_0 \sim P6_7$, $P7_0 \sim P7_7$, $P8_0 \sim P8_7$, $PA_0 \sim PA_3$, $PB_0 \sim PB_7$	$V_{CC} = 4.0 \sim 5.5V$	- 0.3		$0.3V_{CC}$	V	
		上記以外		- 0.3		$0.2V_{CC}$		
出力 High レベル電圧	V_{OH}	$P1_0 \sim P1_7$, $P3_0 \sim P3_7$, $P4_0 \sim P4_2$, $P5_0 \sim P5_7$, $P6_0 \sim P6_7$, $P7_0 \sim P7_7$, $P8_0 \sim P8_7$, $PA_0 \sim PA_3$	$V_{CC} = 4.0 \sim 5.5V$ - $I_{OH} = 1.0mA$	$V_{CC} - 1.0$			V	
			$V_{CC} = 4.0 \sim 5.5V$ - $I_{OH} = 0.5mA$	$V_{CC} - 0.5$				
			- $I_{OH} = 0.1mA$	$V_{CC} - 0.3$				
出力 Low レベル電圧	V_{OL}	$P1_0 \sim P1_7$, $P4_0 \sim P4_2$	$V_{CC} = 4.0 \sim 5.5V$ $I_{OL} = 1.6mA$			0.6	V	
			$I_{OL} = 0.4mA$			0.5		
		$P5_0 \sim P5_7$, $P6_0 \sim P6_7$, $P7_0 \sim P7_7$, $P8_0 \sim P8_7$, $PA_0 \sim PA_3$	$I_{OL} = 0.4mA$			0.5		
			$P3_0 \sim P3_7$	$V_{CC} = 4.0 \sim 5.5V$ $I_{OL} = 10mA$			1.5	
				$V_{CC} = 4.0 \sim 5.5V$ $I_{OL} = 1.6mA$			0.6	
			$I_{OL} = 0.4mA$			0.5		

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入出力 リーク電流	I _{IL}	RES、P4 ₃	V _{IN} = 0.5V ~ V _{CC} - 0.5V			20.0	μA	* ²
					1.0	* ¹		
		OSC ₁ 、X ₁ 、 P1 ₀ ~ P1 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₂ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 PA ₀ ~ PA ₃ 、 PB ₀ ~ PB ₇	V _{IN} = 0.5V ~ V _{CC} - 0.5V			1.0	μA	
ブルアップ MOS電流	-I _p	P1 ₀ ~ P1 ₇ 、 P3 ₀ ~ P3 ₇ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇	V _{CC} = 5V、V _{IN} = 0V	50.0		300.0	μA	
			V _{CC} = 2.7V、V _{IN} = 0V		35.0		μA	参考値
入力容量	C _{IN}	電源、RES、 P4 ₃ 、 PB ₀ ~ PB ₇ 端子を 除く全入力端子	f = 1MHz、V _{IN} = 0V、 T _a = 25			15.0	pF	
		RES			80.0	* ²		
				15.0	* ¹			
		P4 ₃		50.0	* ²			
		PB ₀ ~ PB ₇		15.0	* ¹			
アクティブ モード 消費電流	I _{OPE1}	V _{CC}	アクティブ(高速) モード V _{CC} = 5V、f _{OSC} = 10MHz		4.5	6.5	mA	* ³ * ⁵ * ⁶
	I _{OPE2}	V _{CC}	アクティブ(中速) モード V _{CC} = 5V、f _{OSC} = 10MHz 128分周		1.3	2.0	mA	* ³ * ⁵ * ⁶
スリープ モード 消費電流	I _{SLEEP}	V _{CC}	V _{CC} = 5V、f _{OSC} = 10MHz		2.5	4.0	mA	* ³ * ⁵ * ⁶

15. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
サブアクティブモード消費電流	I_{SUB}	V_{CC}	$V_{CC} = 2.7V$ 、LCD 点灯 32kHz 水晶発振器使用時 ($I_{SUB} = I_{W}/2$)		15	30	μA	*3 *5 *6
			$V_{CC} = 2.7V$ 、LCD 点灯 32kHz 水晶発振器使用時 ($I_{SUB} = I_{W}/8$)		8		μA	*3 *5 参考値 *6
サブスリープモード消費電流	I_{SUBSP}	V_{CC}	$V_{CC} = 2.7V$ 、LCD 点灯 32kHz 水晶発振器使用時 ($I_{SUB} = I_{W}/2$)		7.5	16	μA	*3 *5 *6
ウォッチモード消費電流	I_{WATCH}	V_{CC}	$V_{CC} = 2.7V$ 、32kHz 水晶発振器使用時 LCD 未使用		2.8	6	μA	*3 *5 *6
スタンバイモード消費電流	I_{STBY}	V_{CC}	32kHz 水晶発振器未使用時		1.0	5.0	μA	*3 *5
RAM データ保持電圧	V_{RAM}	V_{CC}		1.5			V	*3 *5
出力 Low レベル許容電流 (1 端子当たり)	I_{OL}	ポート 3 以外の出力端子	$V_{CC} = 4.0V \sim 5.5V$			2.0	mA	
		ポート 3	$V_{CC} = 4.0V \sim 5.5V$			10.0		
		全出力端子				0.5		
出力 Low レベル許容電流 (総和)	I_{OL}	ポート 3 以外の出力端子	$V_{CC} = 4.0V \sim 5.5V$			40.0	mA	
		ポート 3	$V_{CC} = 4.0V \sim 5.5V$			80.0		
		全出力端子				20.0		
出力 High レベル許容電流 (1 端子当たり)	$-I_{OH}$	全出力端子	$V_{CC} = 4.0V \sim 5.5V$			2.0	mA	
			上記以外			0.2		
出力 High レベル許容電流 (総和)	$-I_{OH}$	全出力端子	$V_{CC} = 4.0V \sim 5.5V$			15.0	mA	
			上記以外			10.0		

【注】 TEST 端子は、 V_{SS} に接続してください。

*1 マスク ROM 製品に適用します。

*2 HD6473827R に適用します。

モード	RES 端子	内部状態	各端子	LCD 電源	発振端子
アクティブ(高速)モード (I_{OPE1}) アクティブ(中速)モード (I_{OPE2})	V_{CC}	CPUのみ動作	V_{CC}	停止	システムクロック発振器： 水晶発振子 サブクロック発振器： X ₁ 端子 = GND
スリープモード	V_{CC}	タイマのみ動作	V_{CC}	停止	
サブアクティブモード	V_{CC}	CPUのみ動作	V_{CC}	停止	システムクロック発振器： 水晶発振子 サブクロック発振器： 水晶発振子
サブスリープモード	V_{CC}	タイマのみ動作 CPUは停止	V_{CC}	停止	
ウォッチモード	V_{CC}	時計用タイムベースのみ動作 CPUは停止	V_{CC}	停止	
スタンバイモード	V_{CC}	CPU、タイマ共に停止	V_{CC}	停止	システムクロック発振器： 水晶発振子 サブクロック発振器： X ₁ 端子 = GND

- *3 消費電流測定時の端子の状態
- *4 チップ出荷品の電气的特性保証温度は 75 です。
- *5 プルアップ MOS や出力バッファに流れる電流は除きます。
- *6 内部降圧使用時

15. 電気的特性

15.2.3 AC 特性

制御信号タイミングを表 15.3 に、シリアルインタフェースタイミングを表 15.4 に示します。

表 15.3 制御信号タイミング
(特記なき場合、 $V_{CC} = 1.8 \sim 5.5V$ 、 $AV_{CC} = 1.8 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ *¹、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
システム クロック 発振器 発振周波数	f_{OSC}	OSC ₁ 、OSC ₂	$V_{CC} = 4.5 \sim 5.5V$	2		16	MHz	* ²
			$V_{CC} = 2.7 \sim 5.5V$	2		10		
			$V_{CC} = 1.8 \sim 5.5V$	2		4		
OSC クロック (_{OSC})サイ クル時間	t_{OSC}	OSC ₁ 、OSC ₂	$V_{CC} = 4.5 \sim 5.5V$	62.5		500 (1000)	ns	図 15.1 * ² * ³
			$V_{CC} = 2.7 \sim 5.5V$	100		500 (1000)		図 15.1 * ³
			$V_{CC} = 1.8 \sim 5.5V$	250		500 (1000)		
システム クロック ()サイク ル時間	t_{cyc}			2		128	t_{OSC} μs	
						244.1		
サブ クロック 発振器 発振周波数	f_w	X ₁ 、X ₂			32.768 または 38.4		kHz	
ウォッチ クロック (_w)サイ クル時間	t_w	X ₁ 、X ₂			30.5 または 26.0		μs	図 15.1
サブ クロック (_{SUB})サイ クル時間	t_{subcyc}			2		8	t_w	* ¹
インストラ クション サイクル時 間				2			t_{cyc} t_{subcyc}	
発振安定時 間	t_{ic}	OSC ₁ 、OSC ₂	図 15.9 の場合		20	45	μs	図 15.9 * ²
			$V_{CC} = 2.2 \sim 5.5V$					
			図 15.9 の場合		0.1	8		
		$V_{CC} = 2.2 \sim 5.5V$						
		X ₁ 、X ₂	上記以外			50	ms	
					X ₁ 、X ₂	2.0	s	

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
外部 クロック High レベル幅	t_{CPH}	OSC ₁	V _{CC} = 4.5 ~ 5.5V	25			ns	☒ 15.1 *2
			V _{CC} = 2.7 ~ 5.5V	40				☒ 15.1
			V _{CC} = 1.8 ~ 5.5V	100				
	X ₁			15.26 または 13.02		μs		
外部 クロック Low レベル幅	t_{CPL}	OSC ₁	V _{CC} = 4.5 ~ 5.5V	25			ns	☒ 15.1 *2
			V _{CC} = 2.7 ~ 5.5V	40				☒ 15.1
			V _{CC} = 1.8 ~ 5.5V	100				
	X ₁			15.26 または 13.02		μs		
外部 クロック 立ち上がり 時間	t_{CPr}	OSC ₁	V _{CC} = 4.5 ~ 5.5V			6	ns	☒ 15.1 *2
			V _{CC} = 2.7 ~ 5.5V			10		☒ 15.1
			V _{CC} = 1.8 ~ 5.5V			25		
	X ₁				55.0	ns	☒ 15.1	
外部 クロック 立ち下がり 時間	t_{CPH}	OSC ₁	V _{CC} = 4.5 ~ 5.5V			6	ns	☒ 15.1 *2
			V _{CC} = 2.7 ~ 5.5V			10		☒ 15.1
			V _{CC} = 1.8 ~ 5.5V			25		
	X ₁				55.0	ns	☒ 15.1	
RES 端子 Low レベル幅	t_{REL}	RES		10			t _{cyc}	☒ 15.2
入力端子 High レベル幅	t_{IH}	IRQ ₀ ~ IRQ ₄ 、 WKP ₀ ~ WKP ₇ 、 ADTRG、 TMIC、 TMIF、TMIG、 AEVL、AEVH		2			t _{cyc} t _{subcyc}	☒ 15.3
入力端子 Low レベル幅	t_{IL}	IRQ ₀ ~ IRQ ₄ 、 WKP ₀ ~ WKP ₇ 、 ADTRG、 TMIC、 TMIF、TMIG、 AEVL、AEVH		2			t _{cyc} t _{subcyc}	☒ 15.3
UD 端子 最小変化幅	t_{UDH} t_{UDL}	UD		4			t _{cyc} t _{subcyc}	☒ 15.4

【注】 *1 システムコントロールレジスタ2 (SYSCR2) の SA1、SA0 の設定により決定します。

*2 内部電源降圧回路不使用

*3 ()内の数字は、外部クロックを入力する場合の tosc max 値です。

*4 チップ出荷品の電気的特性保証温度は 75 °C です。

15. 電氣的特性

表 15.4 シリアルインタフェース (SCI31、SCI32) タイミング
(特記なき場合、 $V_{CC} = 1.8 \sim 5.5V$ 、 $AV_{CC} = 1.8 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ *²)

項目	記号	測定条件	規格値			単位	参照図
			min.	typ.	max.		
入力 クロックサイクル	調歩同期		4			t_{cyc}	図 15.5
	クロック同期		6			または t_{subcyc}	
入力クロックパルス幅	t_{SCKW}		0.4		0.6	t_{cyc}	図 15.5
送信データ遅延時間 (クロック同期)	t_{TXD}	$V_{CC} = 4.0 \sim 5.5V$			1	t_{cyc}	図 15.6
		上記以外			1	または t_{subcyc}	
受信データセットアップ時間 (クロック同期)	t_{RXS}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 15.6 * ¹
		上記以外	400.0				図 15.6
受信データホールド時間 (クロック同期)	t_{RXH}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 15.6 * ¹
		上記以外	400.0				図 15.6

【注】 *1 内部電源降圧回路不使用

*2 チップ出荷品の電氣的特性保証温度は 75 です。

15.2.4 A/D 変換器特性

A/D 変換器特性を表 15.5 に示します。

表 15.5 A/D 変換器特性
(特記なき場合、 $V_{CC} = 1.8 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ *⁶)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
アナログ電源電圧	AV_{CC}	AV_{CC}		1.8		5.5	V	* ¹
アナログ入力電圧	AV_{IN}	$AN_0 \sim AN_7$		- 0.3		$AV_{CC} + 0.3$	V	
アナログ電源電流	AI_{OPE}	AV_{CC}	$AV_{CC} = 5.0V$			1.5	mA	
	AI_{STOP1}	AV_{CC}			600		μA	* ² 参考値
	AI_{STOP2}	AV_{CC}				5	μA	* ³
アナログ入力容量	C_{AIN}	$AN_0 \sim AN_7$				15.0	pF	
許容信号源インピーダンス	R_{AIN}					10.0	k	
分解能(データ長)						10	ビット	
非直線性誤差			$AV_{CC} = 2.7 \sim 5.5V$ $V_{CC} = 2.7 \sim 5.5V$			± 2.5	LSB	* ⁴
			$AV_{CC} = 2.7 \sim 5.5V$ $V_{CC} = 2.7 \sim 5.5V$			± 5.5		
			上記以外			± 7.5		
						± 0.5	LSB	
絶対精度			$AV_{CC} = 2.7 \sim 5.5V$ $V_{CC} = 2.7 \sim 5.5V$			± 3.0	LSB	* ⁴
			$AV_{CC} = 2.0 \sim 5.5V$ $V_{CC} = 2.0 \sim 5.5V$			± 6.0		
			上記以外			± 8.0		
変換時間			$AV_{CC} = 2.7 \sim 5.5V$ $V_{CC} = 2.7 \sim 5.5V$	12.4		124	μs	* ⁴
			上記以外	62		124		

【注】 *¹ A/D 変換器を使用しない場合は $AV_{CC} = V_{CC}$ としてください。

*² AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

*³ AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

*⁴ 内部電源降圧回路不使用

*⁵ 変換時間 62 μs

*⁶ チップ出荷品の電氣的特性保証温度は 75 度です。

15. 電気的特性

15.2.5 LCD 特性

LCD 特性を表 15.6 に示します。

表 15.6 LCD 特性
(特記なき場合、 $V_{CC} = 1.8 \sim 5.5V$ 、 $AV_{CC} = 1.8 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ *³、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
セグメント ドライバ 降下電圧	V_{DS}	SEG ₁ ~ SEG ₃₂	$I_D = 2\mu A$ $V_1 = 2.7 \sim 5.5V$			0.6	V	* ¹
コモン ドライバ 降下電圧	V_{DC}	COM ₁ ~ COM ₄	$I_D = 2\mu A$ $V_1 = 2.7 \sim 5.5V$			0.3	V	* ¹
LCD 電源 分割抵抗	R_{LCD}		$V_1 - V_{SS}$ 間	0.5	3.0	9.0	M	
液晶 表示電圧	V_{LCD}	V_1		2.2		5.5	V	* ²

- 【注】 *¹ 電源端子 V_1 、 V_2 、 V_3 、 V_{SS} から各セグメント端子またはコモン端子までの電圧降下です。
*² 液晶表示電圧を外部電源より供給する場合は、 V_1 、 V_2 、 V_3 、 V_{SS} の関係を維持してください。
*³ チップ出荷品の電気的特性保証温度は 75 度です。

表 15.7 セグメント外部拡張 AC 特性
(特記なき場合、 $V_{CC} = 1.8 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$ *²、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
クロック High レベル幅	t_{CWH}	CL ₁ 、CL ₂	* ¹	800.0			ns	図 15.7
クロック Low レベル幅	t_{CWL}	CL ₂	* ¹	800.0			ns	図 15.7
クロックセ ットアップ 時間	t_{CSU}	CL ₁ 、CL ₂	* ¹	500.0			ns	図 15.7
データセッ トアップ 時間	t_{SU}	DO	* ¹	300.0			ns	図 15.7
データ保持 時間	t_{DH}	DO	* ¹	300.0			ns	図 15.7
M 遅延時間	t_{DM}	M	* ¹	- 1000.0		1000.0	ns	図 15.7
クロック立 ち上がり 立ち下がり 時間	t_{CT}	CL ₁ 、CL ₂				170.0	ns	図 15.7

- 【注】 *¹ フレーム周波数を 488Hz ~ 30.5Hz に設定したときの値です。
*² チップ出荷品の電気的特性保証温度は 75 度です。

15.3 H8/3827R グループ絶対最大定格（広温度範囲仕様）

絶対最大定格を表 15.8 に示します。

表 15.8 絶対最大定格

項目	記号	規格値	単位	備考	
電源電圧	V_{CC}, CV_{CC}	- 0.3 ~ + 7.0	V	*	
アナログ電源電圧	AV_{CC}	- 0.3 ~ + 7.0	V		
プログラム電圧	V_{PP}	- 0.3 ~ + 13.0	V		
入力電圧	ポート B 以外	V_{in}	- 0.3 ~ $V_{CC} + 0.3$		V
	ポート B	AV_{in}	- 0.3 ~ $AV_{CC} + 0.3$		V
動作温度	T_{opr}	- 40 ~ + 85			
保存温度	T_{stg}	- 55 ~ + 125			

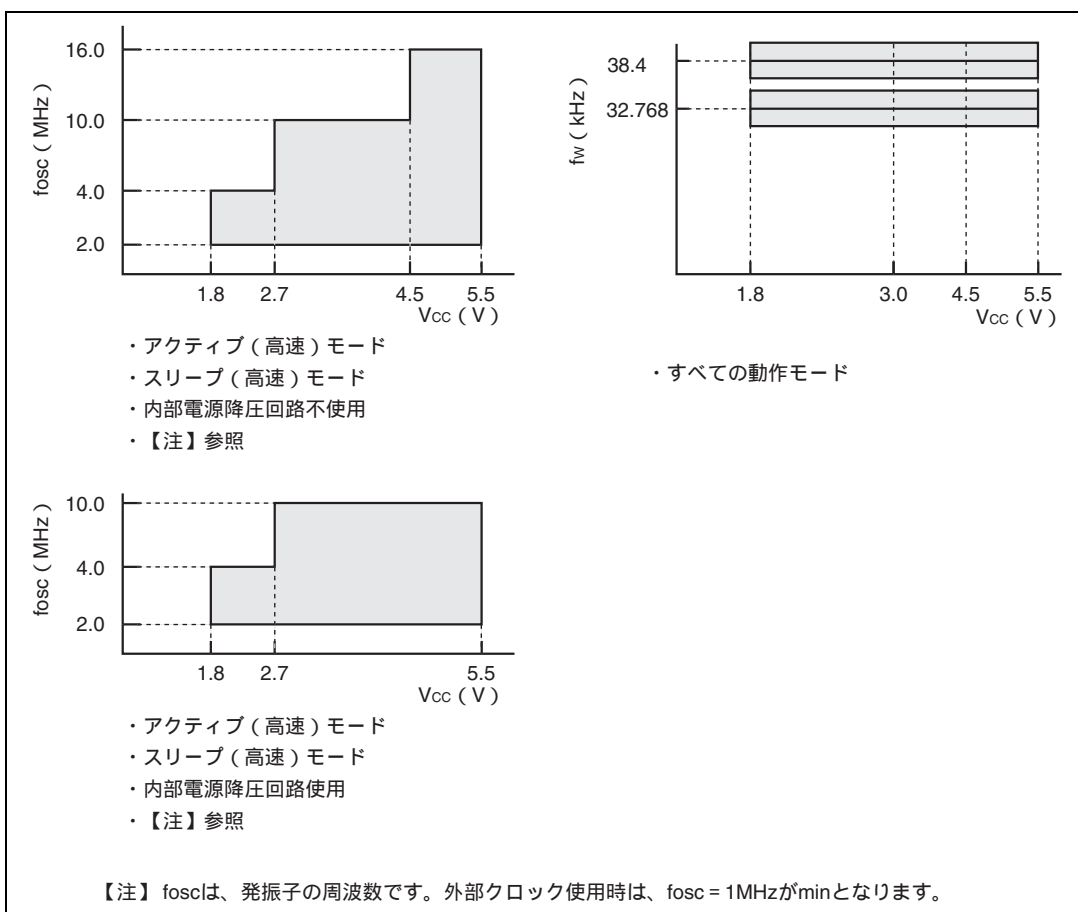
【注】 * 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件を超えると LSI の誤動作の原因になると共に、LSI の信頼性に悪影響を及ぼすことがあります。

15.4 H8/3827R グループ電気的特性（広温度範囲仕様）

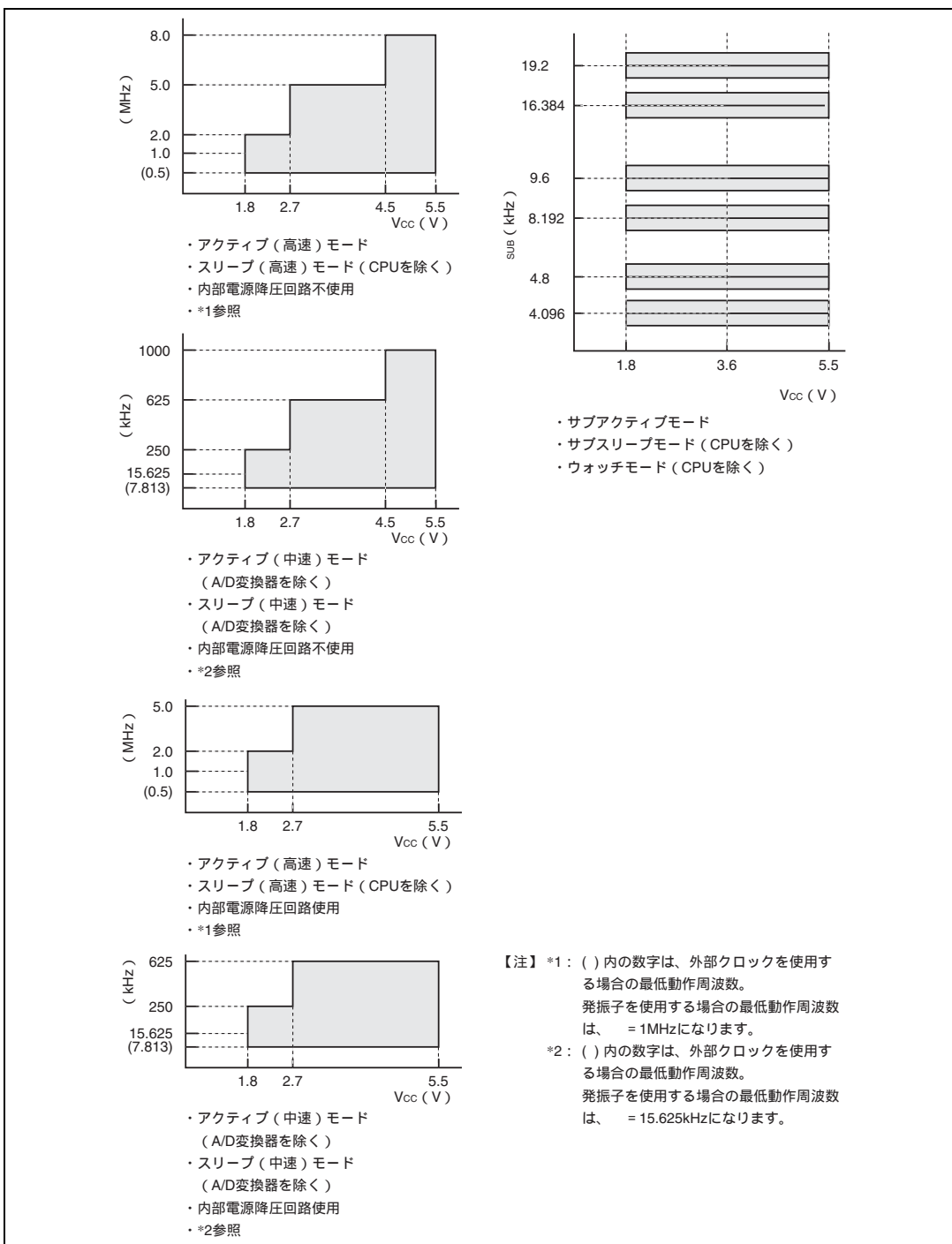
15.4.1 電源電圧と動作範囲

電源電圧と動作範囲（網かけ部）を以下に示します。

(1) 電源電圧と発振周波数の範囲

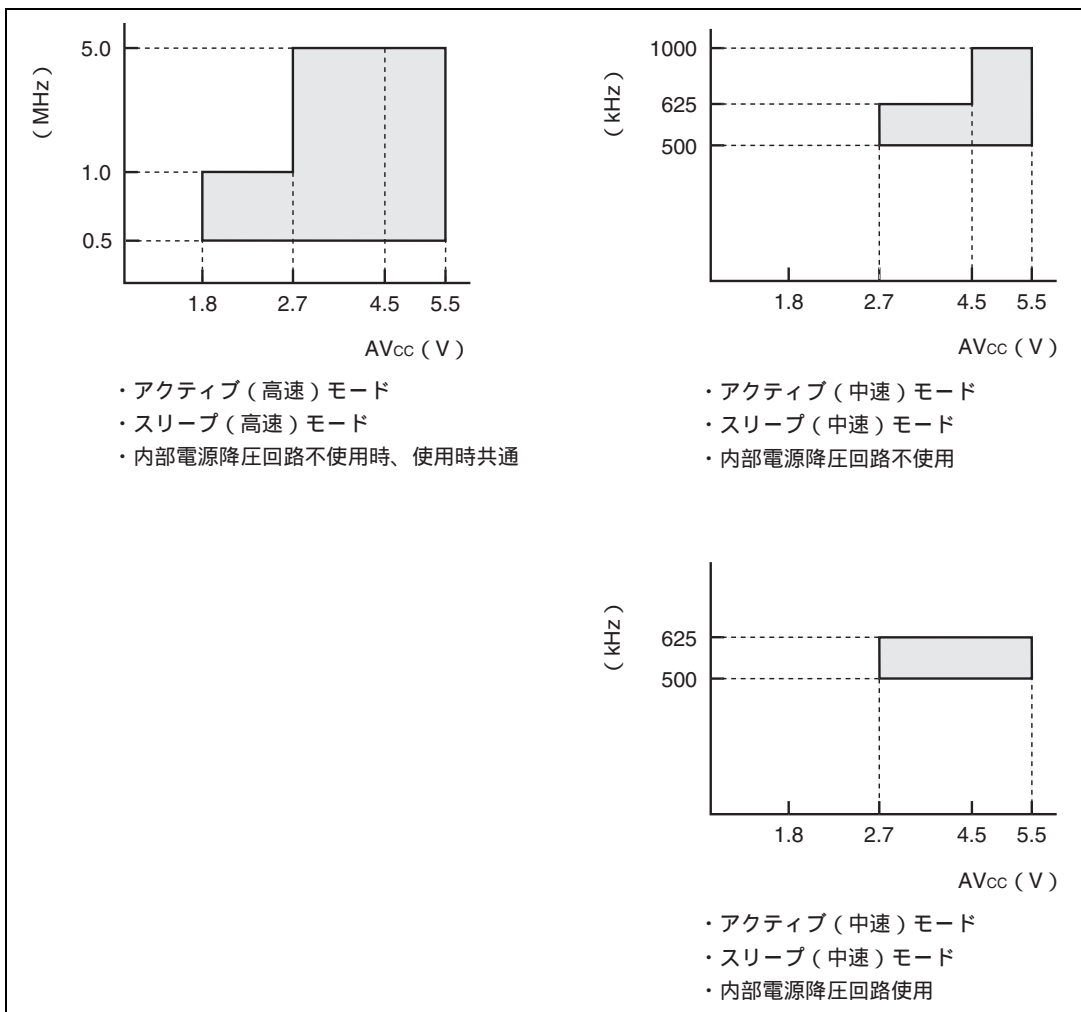


(2) 電源電圧と動作周波数の範囲



15. 電気的特性

(3) アナログ電源電圧と A/D 変換器の動作範囲



15.4.2 DC 特性

DC 特性を表 15.9 に示します。

表 15.9 DC 特性 (1)
 (特記なき場合、 $V_{CC} = 1.8 \sim 5.5V$ 、 $AV_{CC} = 1.8 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 High レベル電圧	V_{IH}	\overline{RES} 、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 $\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 AEVL、AEVH、 TMIC、TMIF、 TMIG SCK_{31} 、 SCK_{32} 、 ADTRG	$V_{CC} = 4.0 \sim 5.5V$	$0.8V_{CC}$		$V_{CC} + 0.3$	V	
			上記以外	$0.9V_{CC}$		$V_{CC} + 0.3$		
		RXD_{31} 、 RXD_{32} UD	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$V_{CC} + 0.3$	V	
			上記以外	$0.8V_{CC}$		$V_{CC} + 0.3$		
		OSC_1	$V_{CC} = 4.0 \sim 5.5V$	$0.8V_{CC}$		$V_{CC} + 0.3$	V	
			上記以外	$0.9V_{CC}$		$V_{CC} + 0.3$		
		X_1	$V_{CC} = 1.8 \sim 5.5V$	$0.9V_{CC}$		$V_{CC} + 0.3$	V	
		$P1_0 \sim P1_7$ 、 $P3_0 \sim P3_7$ 、 $P4_0 \sim P4_3$ 、 $P5_0 \sim P5_7$ 、 $P6_0 \sim P6_7$ 、 $P7_0 \sim P7_7$ 、 $P8_0 \sim P8_7$ 、 $PA_0 \sim PA_3$	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$V_{CC} + 0.3$	V	
			上記以外	$0.8V_{CC}$		$V_{CC} + 0.3$		
			$PB_0 \sim PB_7$	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$AV_{CC} + 0.3$	
		上記以外	$0.8V_{CC}$		$AV_{CC} + 0.3$			
入力 Low レベル電圧	V_{IL}	\overline{RES} 、 $\overline{WKP}_0 \sim \overline{WKP}_7$ 、 $\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 AEVL、AEVH、 TMIC、TMIF、 TMIG SCK_{31} 、 SCK_{32} 、 ADTRG	$V_{CC} = 4.0 \sim 5.5V$	- 0.3		$0.2V_{CC}$	V	
			上記以外	- 0.3		$0.1V_{CC}$		
		RXD_{31} 、 RXD_{32}	$V_{CC} = 4.0 \sim 5.5V$	- 0.3		$0.3V_{CC}$	V	
		UD	上記以外	- 0.3		$0.2V_{CC}$		
		OSC_1	内部降圧使用時	- 0.3		0.2	V	
			$V_{CC} = 4.0 \sim 5.5V$	- 0.3		$0.2V_{CC}$		
	上記以外	- 0.3		$0.1V_{CC}$				

15. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 Low レベル電圧	V _{IL}	X ₁	V _{CC} = 1.8 ~ 5.5V	- 0.3		0.1V _{CC}	V	
		P1 ₀ ~ P1 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₃ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.3V _{CC}	V	
		P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , PA ₀ ~ PA ₃ , PB ₀ ~ PB ₇	上記以外	- 0.3		0.2V _{CC}		
出力 High レベル電圧	V _{OH}	P1 ₀ ~ P1 ₇ , P3 ₀ ~ P3 ₇	V _{CC} = 4.0 ~ 5.5V - I _{OH} = 1.0mA	V _{CC} - 1.0			V	
		P4 ₀ ~ P4 ₂ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇	V _{CC} = 4.0 ~ 5.5V - I _{OH} = 0.5mA	V _{CC} - 0.5				
		P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , PA ₀ ~ PA ₃	- I _{OH} = 0.1mA	V _{CC} - 0.3				
出力 Low レベル電圧	V _{OL}	P1 ₀ ~ P1 ₇ , P4 ₀ ~ P4 ₂	V _{CC} = 4.0 ~ 5.5V I _{OL} = 1.6mA			0.6	V	
			I _{OL} = 0.4mA			0.5		
		P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , PA ₀ ~ PA ₃	I _{OL} = 0.4mA			0.5		
			P3 ₀ ~ P3 ₇	V _{CC} = 4.0 ~ 5.5V I _{OL} = 10mA			1.5	
				V _{CC} = 4.0 ~ 5.5V I _{OL} = 1.6mA			0.6	
			I _{OL} = 0.4mA			0.5		
入出力 リーク電流	I _{IL}	RES、P4 ₃	V _{IN} = 0.5V ~ V _{CC} - 0.5V			20.0	μA	*2
						1.0		*1
		OSC ₁ 、X ₁ 、 P1 ₀ ~ P1 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₂ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , PA ₀ ~ PA ₃	V _{IN} = 0.5V ~ V _{CC} - 0.5V			1.0	μA	
				PB ₀ ~ PB ₇	V _{IN} = 0.5V ~ AV _{CC} - 0.5V			1.0

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
ブルアップ MOS 電流	- I _p	P1 ₀ ~ P1 ₇ , P3 ₀ ~ P3 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇	V _{CC} = 5V、V _{IN} = 0V	50.0		300.0	μA	
			V _{CC} = 2.7V、V _{IN} = 0V		35.0		μA	参考値
入力容量	C _{IN}	電源、RES、 P4 ₃ , PB ₀ ~ PB ₇ 端子を 除く全入力端子	f = 1MHz、V _{IN} = 0V、 T _a = 25			15.0	pF	
		RES			80.0		*2	
		P4 ₃			15.0		*1	
		PB ₀ ~ PB ₇			50.0		*2	
					15.0		*1	
アクティブ モード 消費電流	I _{OPE1}	V _{CC}	アクティブ (高速) モード V _{CC} = 5V、f _{OSC} = 10MHz		4.5	6.5	mA	*3 *4 *5
	I _{OPE2}	V _{CC}	アクティブ (中速) モード V _{CC} = 5V、f _{OSC} = 10MHz 128 分周		1.3	2.0	mA	*3 *4 *5
スリープ モード 消費電流	I _{SLEEP}	V _{CC}	V _{CC} = 5V、f _{OSC} = 10MHz		2.5	4.0	mA	*3 *4 *5
サブ アクティブ モード消費 電流	I _{SUB}	V _{CC}	V _{CC} = 2.7V、LCD 点灯 32kHz 水晶発振子使用 時 ($t_{SUB} = \frac{W}{2}$)		15	30	μA	*3 *4 *5
			V _{CC} = 2.7V、LCD 点灯 32kHz 水晶発振子使用 時 ($t_{SUB} = \frac{W}{8}$)		8		μA	*3 *4 参考値 *5
サブスリー プモード 消費電流	I _{SUBSP}	V _{CC}	V _{CC} = 2.7V、LCD 点灯 32kHz 水晶発振子使用 時 ($t_{SUB} = \frac{W}{2}$)		7.5	16	μA	*3 *4 *5
ウォッチ モード 消費電流	I _{WATCH}	V _{CC}	V _{CC} = 2.7V、32kHz 水晶発振子使用時 LCD 未使用		2.8	6	μA	*3 *4 *5
スタンバイ モード消費 電流	I _{STBY}	V _{CC}	32kHz 水晶発振子未使 用時		1.0	5.0	μA	*3 *4
RAM データ 保持電圧	V _{RAM}	V _{CC}		1.5			V	*3 *4

15. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力 Low レベル許容 電流 (1 端子 当たり)	I_{OL}	ポート 3 以外の出力端子	$V_{CC} = 4.0V \sim 5.5V$			2.0	mA	
		ポート 3	$V_{CC} = 4.0V \sim 5.5V$			10.0		
		全出力端子				0.5		
出力 Low レベル許容 電流 (総和)	I_{OL}	ポート 3 以外の出力端子	$V_{CC} = 4.0V \sim 5.5V$			40.0	mA	
		ポート 3	$V_{CC} = 4.0V \sim 5.5V$			80.0		
		全出力端子				20.0		
出力 High レベル許容 電流 (1 端子 当たり)	$-I_{OH}$	全出力端子	$V_{CC} = 4.0V \sim 5.5V$			2.0	mA	
			上記以外					
出力 High レベル許容 電流 (総和)	$-I_{OH}$	全出力端子	$V_{CC} = 4.0V \sim 5.5V$			15.0	mA	
			上記以外					

【注】 TEST 端子は、 V_{SS} に接続してください。

- *1 マスク ROM 製品に適用します。
- *2 HD6473827R に適用します。
- *3 消費電流測定時の端子の状態

モード	RES 端子	内部状態	各端子	LCD 電源	発振端子
アクティブ(高速)モード (I_{OPE1}) アクティブ(中速)モード (I_{OPE2})	V_{CC}	CPU のみ動作	V_{CC}	停止	システムクロック発振器： 水晶発振子 サブクロック発振器： X_1 端子 = GND
スリープモード	V_{CC}	タイマのみ動作	V_{CC}	停止	
サブアクティブ モード	V_{CC}	CPU のみ動作	V_{CC}	停止	システムクロック発振器： 水晶発振子
サブスリープ モード	V_{CC}	タイマのみ動作 CPU は停止	V_{CC}	停止	サブクロック発振器： 水晶発振子
ウォッチモード	V_{CC}	時計用タイム ベースのみ動作 CPU は停止	V_{CC}	停止	
スタンバイモード	V_{CC}	CPU、タイマ 共に停止	V_{CC}	停止	システムクロック発振器： 水晶発振子 サブクロック発振器： X_1 端子 = GND

- *4 ブルアップ MOS や出力バッファに流れる電流は除きます。
- *5 内部降圧使用時

15.4.3 AC 特性

制御信号タイミングを表 15.10 に、シリアルインタフェースタイミングを表 15.11 に示します。

表 15.10 制御信号タイミング

(特記なき場合、 $V_{CC} = 1.8 \sim 5.5V$ 、 $AV_{CC} = 1.8 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
システム クロック 発振器発振 周波数	f_{OSC}	OSC ₁ 、OSC ₂	$V_{CC} = 4.5 \sim 5.5V$	2		16	MHz	* ²
			$V_{CC} = 2.7 \sim 5.5V$	2		10		
			$V_{CC} = 1.8 \sim 5.5V$	2		4		
OSC クロ ック (OSC) サ イクル時間	t_{OSC}	OSC ₁ 、OSC ₂	$V_{CC} = 4.5 \sim 5.5V$	62.5		500 (1000)	ns	図 15.1 * ² * ³
			$V_{CC} = 2.7 \sim 5.5V$	100		500 (1000)		図 15.1 * ³
			$V_{CC} = 1.8 \sim 5.5V$	250		500 (1000)		
システムク ロック ()サイク ル時間	t_{cyc}			2		128	t_{OSC} μs	
						244.1		
サブクロ ック発振器 発振周波数	f_W	X ₁ 、X ₂			32.768 または 38.4		kHz	
ウォッチ ロック (W)サイ クル時間	t_W	X ₁ 、X ₂			30.5 または 26.0		μs	図 15.1
サブ クロック (SUB)サイ クル時間	t_{subcyc}			2		8	t_W	* ¹
インストラ クション サイクル時 間				2			t_{cyc} t_{subcyc}	
発振安定時 間	t_{ic}	OSC ₁ 、OSC ₂	図 15.9 の場合 $V_{CC} = 2.2 \sim 5.5V$		20	45	μs ms ms s	図 15.9 * ²
			図 15.9 の場合 $V_{CC} = 2.2 \sim 5.5V$		0.1	8		
			上記以外			50		
		X ₁ 、X ₂				2.0		

15. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
外部クロック High レベル幅	t_{CPH}	OSC ₁	V _{CC} = 4.5 ~ 5.5V	25			ns	☒ 15.1 *2
			V _{CC} = 2.7 ~ 5.5V	40				
			V _{CC} = 1.8 ~ 5.5V	100				
	X ₁			15.26 または 13.02		μs		
外部クロック Low レベル幅	t_{CPL}	OSC ₁	V _{CC} = 4.5 ~ 5.5V	25			ns	☒ 15.1 *2
			V _{CC} = 2.7 ~ 5.5V	40				
			V _{CC} = 1.8 ~ 5.5V	100				
	X ₁			15.26 または 13.02		μs		
外部クロック 立ち上がり 時間	t_{CPr}	OSC ₁	V _{CC} = 4.5 ~ 5.5V			6	ns	☒ 15.1 *2
			V _{CC} = 2.7 ~ 5.5V			10		
			V _{CC} = 1.8 ~ 5.5V			25		
	X ₁				55.0	ns	☒ 15.1	
外部クロック 立ち下がり 時間	t_{CPt}	OSC ₁	V _{CC} = 4.5 ~ 5.5V			6	ns	☒ 15.1 *2
			V _{CC} = 2.7 ~ 5.5V			10		
			V _{CC} = 1.8 ~ 5.5V			25		
	X ₁				55.0	ns	☒ 15.1	
RES 端子 Low レベル幅	t_{REL}	RES		10			t _{cyc}	☒ 15.2
入力端子 High レベル幅	t_{IH}	IRQ ₀ ~ IRQ ₄ , WKP ₀ ~ WKP ₇ , ADTRG、TMIC、 TMIF、TMIG、 AEVL、AEVH		2			t _{cyc} t _{subcyc}	☒ 15.3
入力端子 Low レベル幅	t_{IL}	IRQ ₀ ~ IRQ ₄ , WKP ₀ ~ WKP ₇ , ADTRG、TMIC、 TMIF、TMIG、 AEVL、AEVH		2			t _{cyc} t _{subcyc}	☒ 15.3
UD 端子 最小変化幅	t_{UDH} t_{UDL}	UD		4			t _{cyc} t _{subcyc}	☒ 15.4

【注】 *1 システムコントロールレジスタ 2 (SYSCR2) の SA1、SA0 の設定により決定します。

*2 内部電源降圧回路不使用

*3 ()内の数字は、外部クロックを入力する場合の tosc max 値です。

表 15.11 シリアルインタフェース (SCI31、SCI32) タイミング
 (特記なき場合、 $V_{CC} = 1.8 \sim 5.5V$ 、 $AV_{CC} = 1.8 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$)

項目	記号	測定条件	規格値			単位	参照図
			min.	typ.	max.		
入力 クロックサイクル	調歩同期	t_{SCYC}	4			t_{SCYC} または t_{SUBCYC}	図 15.5
	クロック同期		6				
入力クロックパルス幅	t_{SCKW}		0.4		0.6	t_{SCYC}	図 15.5
送信データ遅延時間 (クロック同期)	t_{TXD}	$V_{CC} = 4.0 \sim 5.5V$			1	t_{SCYC} または t_{SUBCYC}	図 15.6
		上記以外			1		
受信データセットアップ時間 (クロック同期)	t_{RXS}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 15.6*
		上記以外	400.0				図 15.6
受信データホールド時間 (クロック同期)	t_{RXH}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 15.6*
		上記以外	400.0				図 15.6

【注】 * 内部電源降圧回路不使用

15. 電氣的特性

15.4.4 A/D 変換器特性

A/D 変換器特性を表 15.12 に示します。

表 15.12 A/D 変換器特性
(特記なき場合、 $V_{CC} = 1.8 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
アナログ電源電圧	AV_{CC}	AV_{CC}		1.8		5.5	V	*1
アナログ入力電圧	AV_{IN}	$AN_0 \sim AN_7$		- 0.3		$AV_{CC} + 0.3$	V	
アナログ電源電流	AI_{OPE}	AV_{CC}	$AV_{CC} = 5.0V$			1.5	mA	
	AI_{STOP1}	AV_{CC}			600		μA	*2 参考値
	AI_{STOP2}	AV_{CC}				5	μA	*3
アナログ入力容量	C_{AIN}	$AN_0 \sim AN_7$				15.0	pF	
許容信号源インピーダンス	R_{AIN}					10.0	k	
分解能(データ長)						10	ビット	
非直線性誤差			$AV_{CC} = 2.7 \sim 5.5V$ $V_{CC} = 2.7 \sim 5.5V$			± 2.5	LSB	*4
			$AV_{CC} = 2.7 \sim 5.5V$ $V_{CC} = 2.7 \sim 5.5V$			± 5.5		
			上記以外			± 7.5		
						± 0.5	LSB	
絶対精度			$AV_{CC} = 2.7 \sim 5.5V$ $V_{CC} = 2.7 \sim 5.5V$			± 3.0	LSB	*4
			$AV_{CC} = 2.0 \sim 5.5V$ $V_{CC} = 2.0 \sim 5.5V$			± 6.0		
			上記以外			± 8.0		
						± 8.0		
変換時間			$AV_{CC} = 2.7 \sim 5.5V$ $V_{CC} = 2.7 \sim 5.5V$	12.4		124	μs	*4
			上記以外	62		124		

【注】 *1 A/D 変換器を使用しない場合は $AV_{CC} = V_{CC}$ としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

*3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

*4 内部電源降圧回路不使用

*5 変換時間 62 μs

15.4.5 LCD 特性

LCD 特性を表 15.13 に示します。

表 15.13 LCD 特性

(特記なき場合、 $V_{CC} = 1.8 \sim 5.5V$ 、 $AV_{CC} = 1.8 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
セグメント ドライバ 降下電圧	V_{DS}	SEG ₁ ~ SEG ₃₂	$I_D = 2\mu A$ $V_1 = 2.7 \sim 5.5V$			0.6	V	* ¹
コモン ドライバ 降下電圧	V_{DC}	COM ₁ ~ COM ₄	$I_D = 2\mu A$ $V_1 = 2.7 \sim 5.5V$			0.3	V	* ¹
LCD 電源 分割抵抗	R_{LCD}		$V_1 - V_{SS}$ 間	0.5	3.0	9.0	M	
液晶表示 電圧	V_{LCD}	V_1		2.2		5.5	V	* ²

【注】 *¹ 電源端子 V_1 、 V_2 、 V_3 、 V_{SS} から各セグメント端子またはコモン端子までの電圧降下です。

*² 液晶表示電圧を外部電源より供給する場合は、 V_1 、 V_2 、 V_3 、 V_{SS} の関係を維持してください。

表 15.14 セグメント外部拡張 AC 特性

(特記なき場合、 $V_{CC} = 1.8 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -40 \sim +85$ 、サブアクティブモードを含む)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
クロック High レベル幅	t_{CWH}	CL ₁ 、CL ₂	*	800.0			ns	図 15.7
クロック Low レベル幅	t_{CWL}	CL ₂	*	800.0			ns	図 15.7
クロック セット アップ時間	t_{CSU}	CL ₁ 、CL ₂	*	500.0			ns	図 15.7
データ セット アップ時間	t_{SU}	DO	*	300.0			ns	図 15.7
データ保持 時間	t_{DH}	DO	*	300.0			ns	図 15.7
M 遅延時間	t_{DM}	M	*	- 1000.0		1000.0	ns	図 15.7
クロック立 ち上がり 立ち下がり 時間	t_{CT}	CL ₁ 、CL ₂				170.0	ns	図 15.7

【注】 * フレーム周波数を 488Hz ~ 30.5Hz に設定したときの値です。

15.5 H8/3827S グループ絶対最大定格

絶対最大定格を表 15.15 に示します。

表 15.15 絶対最大定格

項目	記号	規格値	単位	備考	
電源電圧	V_{CC}	- 0.3 ~ + 4.3	V	*1	
アナログ電源電圧	AV_{CC}	- 0.3 ~ + 4.3	V		
入力電圧	ポート B 以外	V_{in}	- 0.3 ~ $V_{CC} + 0.3$		V
	ポート B	AV_{in}	- 0.3 ~ $AV_{CC} + 0.3$		V
動作温度	T_{opr}	通常仕様 : - 20 ~ + 75			
		広温度範囲仕様 : - 40 ~ + 85			
		チップ出荷仕様 : + 75*2			
保存温度	T_{stg}	- 55 ~ + 125			

【注】 *1 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件を超えると LSI の誤動作の原因になると共に、LSI の信頼性に悪影響を及ぼすことがあります。

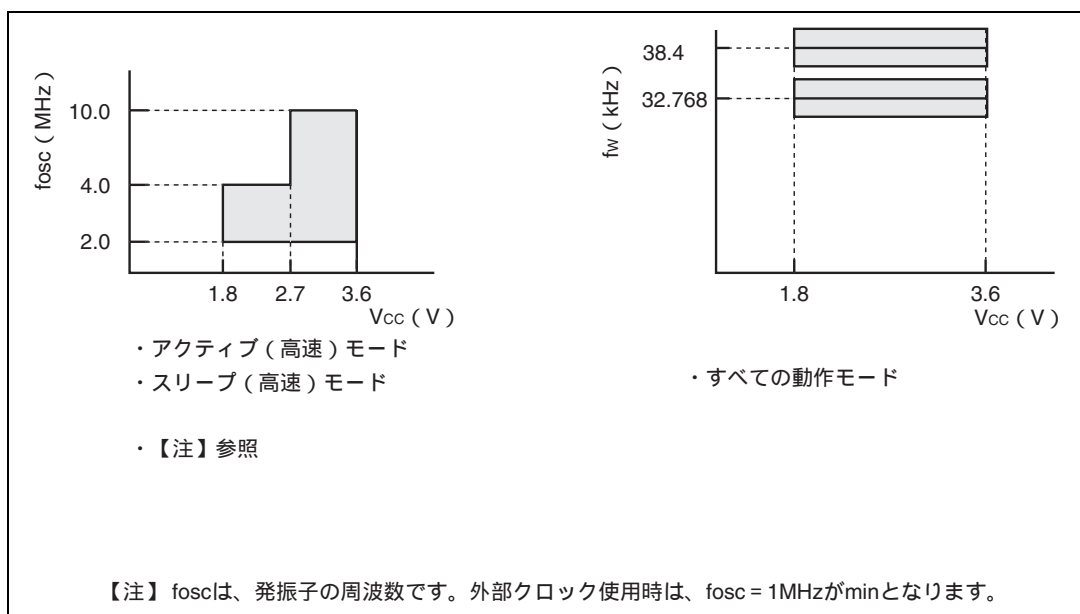
*2 通電してもよい温度は、- 20 + 75 です。

15.6 H8/3827S グループ電气的特性

15.6.1 電源電圧と動作範囲

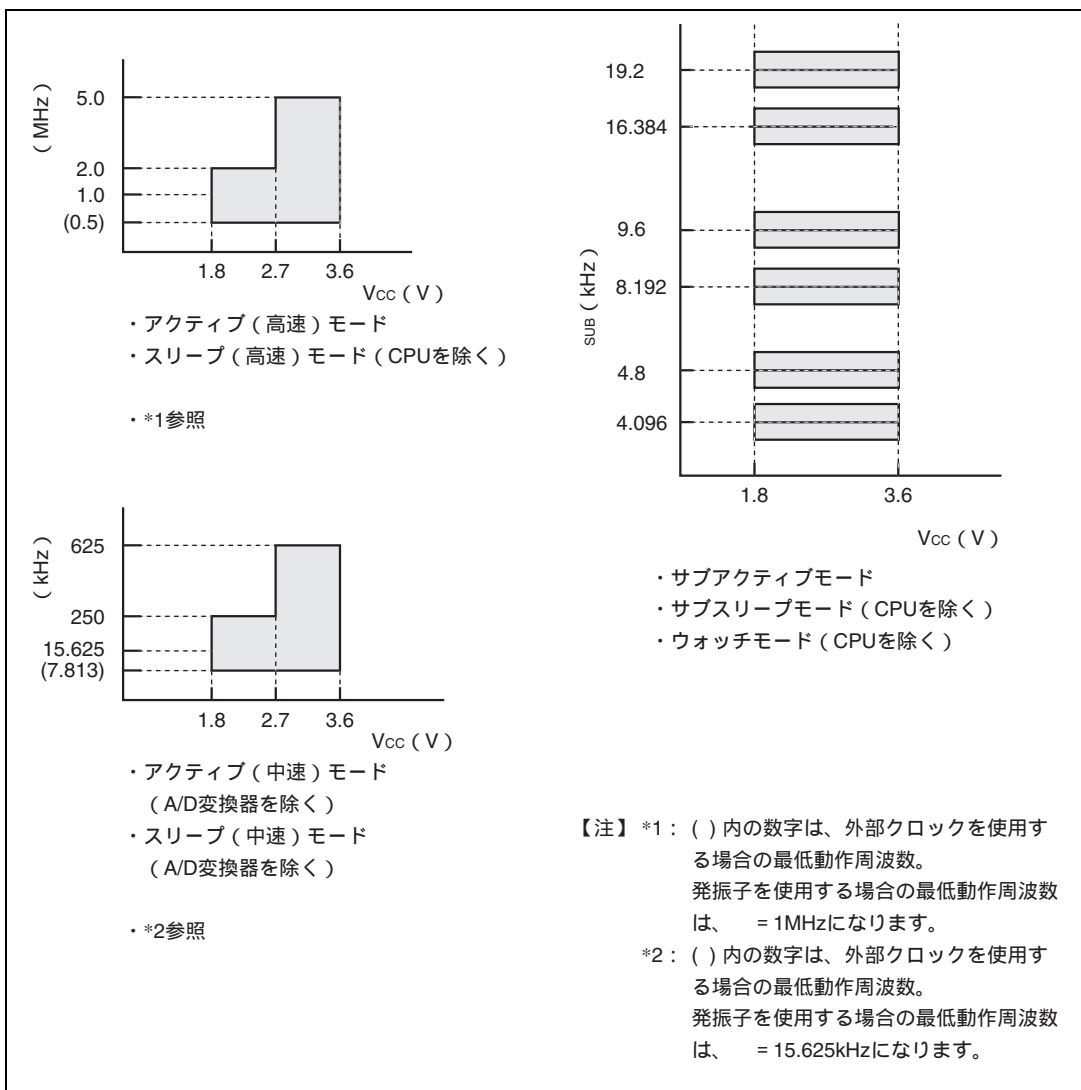
電源電圧と動作範囲（網かけ部）を以下に示します。

(1) 電源電圧と発振周波数の範囲

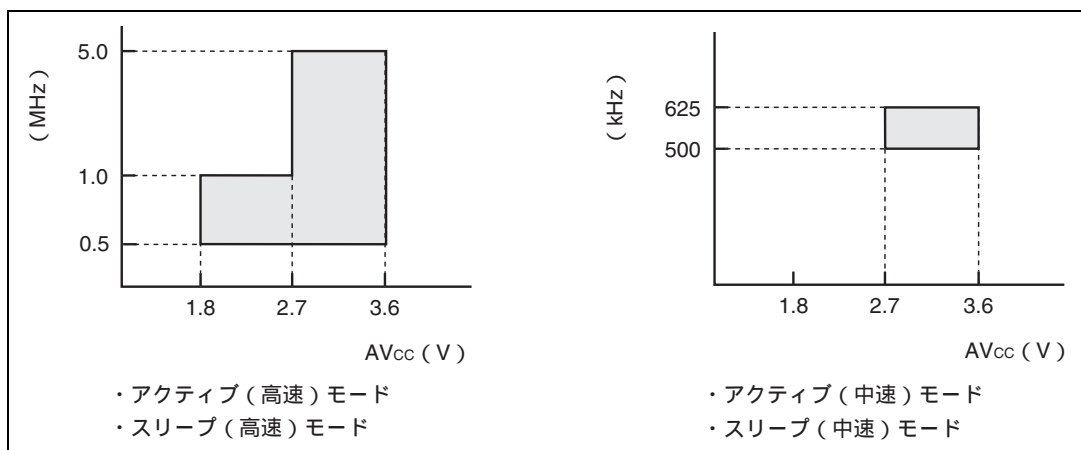


15. 電気的特性

(2) 電源電圧と動作周波数の範囲



(3) アナログ電源電圧と A/D 変換器の動作範囲



15. 電気的特性

15.6.2 DC 特性

DC 特性を表 15.16 に示します。

表 15.16 DC 特性 (1)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 High レベル電圧	V _{IH}	RES、 WKP ₀ ~ WKP ₇ 、 IRQ ₀ ~ IRQ ₄ 、 AEVL、AEVH、 TMIC、TMIF、 TMIG SCK ₃₁ 、SCK ₃₂ 、 ADTRG		0.9V _{CC}		V _{CC} + 0.3	V	
		RXD ₃₁ 、RXD ₃₂ UD		0.8V _{CC}		V _{CC} + 0.3	V	
		OSC ₁		0.9V _{CC}		V _{CC} + 0.3	V	
		X ₁		0.9V _{CC}		V _{CC} + 0.3	V	
		P1 ₀ ~ P1 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₃ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 PA ₀ ~ PA ₃		0.8V _{CC}		V _{CC} + 0.3	V	
		PB ₀ ~ PB ₇		0.8V _{CC}		V _{CC} + 0.3	V	
入力 Low レベル電圧	V _{IL}	RES、 WKP ₀ ~ WKP ₇ 、 IRQ ₀ ~ IRQ ₄ 、 AEVL、AEVH、 TMIC、TMIF、 TMIG SCK ₃₁ 、SCK ₃₂ 、 ADTRG		- 0.3		0.1V _{CC}	V	
		RXD ₃₁ 、RXD ₃₂ UD		- 0.3		0.2V _{CC}	V	
		OSC ₁		- 0.3		0.1V _{CC}	V	
		X ₁		- 0.3		0.1V _{CC}	V	
		P1 ₀ ~ P1 ₇ 、 P3 ₀ ~ P3 ₇ 、 P4 ₀ ~ P4 ₃ 、 P5 ₀ ~ P5 ₇ 、 P6 ₀ ~ P6 ₇ 、 P7 ₀ ~ P7 ₇ 、 P8 ₀ ~ P8 ₇ 、 PA ₀ ~ PA ₃		- 0.3		0.2V _{CC}	V	
		PB ₀ ~ PB ₇		- 0.3		0.2V _{CC}	V	

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
出力 High レベル電圧	V_{OH}	P1 ₀ ~ P1 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₂ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , PA ₀ ~ PA ₃	- I _{OH} = 0.1mA	V _{CC} - 0.3			V	
出力 Low レベル電圧	V_{OL}	P1 ₀ ~ P1 ₇ , P4 ₀ ~ P4 ₂	I _{OL} = 0.4mA			0.5	V	
		P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , PA ₀ ~ PA ₃	I _{OL} = 0.4mA			0.5		
		P3 ₀ ~ P3 ₇	I _{OL} = 0.4mA			0.5		
入出力 リーク電流	I _{IL}	RES、OSC ₁ , X ₁ , P1 ₀ ~ P1 ₇ , P3 ₀ ~ P3 ₇ , P4 ₀ ~ P4 ₃ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₀ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , PA ₀ ~ PA ₃	V _{IN} = 0.5V ~ V _{CC} - 0.5V			1.0	μA	
		PB ₀ ~ PB ₇	V _{IN} = 0.5V ~ AV _{CC} - 0.5V			1.0		
プルアップ MOS 電流	- I _p	P1 ₀ ~ P1 ₇ , P3 ₀ ~ P3 ₇ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇	V _{CC} = 3V、V _{IN} = 0V	10		300.0	μA	
入力容量	C _{IN}	電源端子を除く 全入力端子	f = 1MHz、V _{IN} = 0V、 T _a = 25			15.0	pF	
アクティブ モード 消費電流	I _{OPE1}	V _{CC}	アクティブ (高速) モード V _{CC} = 1.8V、f _{OSC} = 2MHz		0.4	* ³	mA	* ¹ * ²
			アクティブ (高速) モード V _{CC} = 3V、f _{OSC} = 4MHz		1.4	* ³		
			アクティブ (高速) モード V _{CC} = 3V、f _{OSC} = 10MHz		3.5	5.5		

15. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
アクティブモード消費電流	I _{OPE2}	V _{CC}	アクティブ(中速)モード V _{CC} = 1.8V、f _{OSC} = 2MHz OSC/128 時		0.1	*3	mA	*1 *2
			アクティブ(中速)モード V _{CC} = 3V、f _{OSC} = 4MHz OSC/128 時		0.3	*3		
			アクティブ(中速)モード V _{CC} = 3V、f _{OSC} = 10MHz OSC/128 時		0.7	1.6		
スリープモード消費電流	I _{SLEEP}	V _{CC}	V _{CC} = 1.8V、f _{OSC} = 2MHz		0.2	*3	mA	*1 *2
			V _{CC} = 3V、f _{OSC} = 4MHz		0.6	*3		
			V _{CC} = 3V、f _{OSC} = 10MHz		1.4	2.9		
サブアクティブモード消費電流	I _{SUB}	V _{CC}	V _{CC} = 1.8V、LCD 点灯 32kHz 水晶発振器使用 時 ($\frac{SUB}{SUB} = \frac{W}{2}$)		8	*3	μA	*1 *2
			V _{CC} = 2.7V、LCD 点灯 32kHz 水晶発振器使用 時 ($\frac{SUB}{SUB} = \frac{W}{8}$)		4	*3		
			V _{CC} = 2.7V、LCD 点灯 32kHz 水晶発振器使用 時 ($\frac{SUB}{SUB} = \frac{W}{2}$)		14	*3		
サブスリープモード消費電流	I _{SUBSP}	V _{CC}	V _{CC} = 2.7V、LCD 点灯 32kHz 水晶発振器使用 時 ($\frac{SUB}{SUB} = \frac{W}{2}$)		5.0	12	μA	*1 *2
ウォッチモード消費電流	I _{WATCH}	V _{CC}	V _{CC} = 1.8V、Ta = 25 32kHz 水晶発振器使用 時 LCD 未使用		1.4	*3	μA	*1 *2
			V _{CC} = 2.7V、Ta = 25 32kHz 水晶発振器使用 時 LCD 未使用		2.2	*3		
			V _{CC} = 2.7V 32kHz 水晶発振器使用 時 LCD 未使用		2.8	6		

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
スタンバイモード消費電流	I_{STBY}	V_{CC}	32kHz 水晶発振子未使用時 $V_{CC} = 1.8V$ 、 $T_a = 25$		0.3	*3	μA	*1 *2
			32kHz 水晶発振子未使用時 $V_{CC} = 2.7V$ 、 $T_a = 25$		0.5	*3		
			上記以外		1	5		
RAM データ保持電圧	V_{RAM}	V_{CC}		1.5			V	
出力 Low レベル許容電流 (1 端子当たり)	I_{OL}	全出力端子				0.5	mA	
出力 Low レベル許容電流 (総和)	I_{OL}	全出力端子				20.0	mA	
出力 High レベル許容電流 (1 端子当たり)	$-I_{OH}$	全出力端子				0.2	mA	
出力 High レベル許容電流 (総和)	$-I_{OH}$	全出力端子				10.0	mA	

【注】 TEST 端子は、 V_{SS} に接続してください。

- *1 消費電流測定時の端子の状態
- *2 プルアップ MOS および出力バッファに流れる電流は除きます。
- *3 max 消費電流値 (目安) = $1.1 \times \text{Typ 値}$

モード	RES 端子	内部状態	各端子	LCD 電源	発振端子
アクティブ (高速) モード (I_{OPE1})	V_{CC}	CPU のみ動作	V_{CC}	停止	システムクロック発振器 : 水晶発振子
アクティブ (中速) モード (I_{OPE2})					サブクロック発振器 : X_1 端子 = GND
スリープモード	V_{CC}	タイマのみ動作	V_{CC}	停止	
サブアクティブモード	V_{CC}	CPU のみ動作	V_{CC}	停止	システムクロック発振器 : 水晶発振子
サブスリープモード	V_{CC}	タイマのみ動作 CPU は停止	V_{CC}	停止	サブクロック発振器 : 水晶発振子
ウォッチモード	V_{CC}	時計用タイムベースのみ動作 CPU は停止	V_{CC}	停止	
スタンバイモード	V_{CC}	CPU、タイマ共に停止	V_{CC}	停止	システムクロック発振器 : 水晶発振子 サブクロック発振器 : X_1 端子 = GND

15.6.3 AC 特性

制御信号タイミングを表 15.17 に、シリアルインタフェースタイミングを表 15.18 に示します。

表 15.17 制御信号タイミング

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
システムクロック ロック 発振器発振 周波数	f_{osc}	OSC ₁ 、OSC ₂	$V_{cc} = 2.7 \sim 3.6V$	2		10	MHz	
			$V_{cc} = 1.8 \sim 3.6V$	2		4		
OSC クロック (_{osc})サイ クル時間	t_{osc}	OSC ₁ 、OSC ₂	$V_{cc} = 2.7 \sim 3.6V$	100		500 (1000)	ns	図 15.1 *2
			$V_{cc} = 1.8 \sim 3.6V$	250		500 (1000)		
システムク ロック ()サイク ル時間	t_{cyc}			2		128	t_{osc}	
						128	μs	
サブクロッ ク発振器 発振周波数	f_w	X ₁ 、X ₂			32.768 または 38.4		kHz	
ウォッチク ロック (_w)サイ クル時間	t_w	X ₁ 、X ₂			30.5 または 26.0		μs	図 15.1
サブクロッ ク (_{sub})サイ クル時間	t_{subcyc}			2		8	t_w	*1
インストラ クション サイクル時 間				2			t_{cyc} t_{subcyc}	
発振 安定時間	t_{rc}	OSC ₁ 、OSC ₂	セラミック発振子の パラメータの場合 $V_{cc} = 2.2 \sim 3.6V$		20	45	μs	図 15.9
			セラミック発振子の パラメータの場合 上記以外		80			
			水晶発振子の パラメータの場合 $V_{cc} = 2.7 \sim 3.6V$		0.8	2	ms	
			水晶発振子の パラメータの場合 $V_{cc} = 2.2 \sim 3.6V$		1.2	3		
			水晶発振子の パラメータの場合 上記以外		4.0			
			上記以外			50		

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
発振安定時間	t_{tc}	X_1 、 X_2	$V_{cc} = 2.2 \sim 3.6V$			2	s	
			上記以外		4			
外部クロック High レベル幅	t_{CPH}	OSC_1	$V_{cc} = 2.7 \sim 3.6V$	40			ns	図 15.1
			$V_{cc} = 1.8 \sim 3.6V$	100				
外部クロック Low レベル幅	t_{CPL}	OSC_1	$V_{cc} = 2.7 \sim 3.6V$	40			ns	図 15.1
			$V_{cc} = 1.8 \sim 3.6V$	100				
外部クロック立ち上がり時間	t_{CPr}	OSC_1	$V_{cc} = 2.7 \sim 3.6V$			10	ns	図 15.1
			$V_{cc} = 1.8 \sim 3.6V$			25		
外部クロック立ち下がり時間	t_{CPf}	OSC_1	$V_{cc} = 2.7 \sim 3.6V$			10	ns	図 15.1
			$V_{cc} = 1.8 \sim 3.6V$			25		
外部クロック立ち下がり時間	t_{CPf}	X_1				55.0	ns	図 15.1
						55.0		
RES 端子 Low レベル幅	t_{REL}	RES		10			t_{cyc}	図 15.2
入力端子 High レベル幅	t_{IH}	$\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 $WKP_0 \sim WKP_7$ 、 ADTRG、TMIC、 TMIF、TMIG、 AEVL、AEVH		2			t_{cyc} t_{subcyc}	図 15.3
入力端子 Low レベル幅	t_{IL}	$\overline{IRQ}_0 \sim \overline{IRQ}_4$ 、 $WKP_0 \sim WKP_7$ 、 ADTRG、TMIC、 TMIF、TMIG、 AEVL、AEVH		2			t_{cyc} t_{subcyc}	図 15.3
UD 端子 最小変化幅	t_{UDH} t_{UDL}	UD		4			t_{cyc} t_{subcyc}	図 15.4

【注】 *1 システムコントロールレジスタ 2 (SYSCR2) の SA1、SA0 の設定により決定します。

*2 ()内の数字は、外部クロックを入力する場合の $t_{osc} \max$ 値です。

15. 電気的特性

表 15.18 シリアルインタフェース (SCI31、SCI32) タイミング

項目		記号	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力	調歩同期	t_{sync}		4			t_{cyc}	図 15.5
クロックサイクル	クロック同期			6			または t_{subcyc}	
入力クロックパルス幅		t_{SCKW}		0.4		0.6	t_{sync}	図 15.5
送信データ遅延時間 (クロック同期)		t_{TXD}				1	t_{cyc} または t_{subcyc}	図 15.6
受信データセットアップ時間 (クロック同期)		t_{RXS}		400.0			ns	図 15.6
受信データホールド時間 (クロック同期)		t_{RXH}		400.0			ns	図 15.6

15.6.4 A/D 変換器特性

A/D 変換器特性を表 15.19 に示します。

表 15.19 A/D 変換器特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
アナログ電源電圧	AV_{CC}	AV_{CC}		1.8		3.6	V	*1
アナログ入力電圧	AV_{IN}	$AN_0 \sim AN_7$		- 0.3		$AV_{CC} + 0.3$	V	
アナログ電源電流	AI_{OPE}	AV_{CC}	$AV_{CC} = 3.0V$			1.2	mA	
	AI_{STOP1}	AV_{CC}			600		μA	*2 参考値
	AI_{STOP2}	AV_{CC}				5	μA	*3
アナログ入力容量	C_{AIN}	$AN_0 \sim AN_7$				15.0	pF	
許容信号源インピーダンス	R_{AIN}					10.0	k	
分解能(データ長)						10	ビット	
非直線性誤差			$AV_{CC} = 2.7 \sim 3.6V$ $V_{CC} = 2.7 \sim 3.6V$			± 3.5	LSB	
			$AV_{CC} = 2.0 \sim 3.6V$ $V_{CC} = 2.0 \sim 3.6V$			± 5.5		
			上記以外			± 7.5		*4
						± 0.5	LSB	
絶対精度			$AV_{CC} = 2.7 \sim 3.6V$ $V_{CC} = 2.7 \sim 3.6V$		± 2	± 4	LSB	
			$AV_{CC} = 2.0 \sim 3.6V$ $V_{CC} = 2.0 \sim 3.6V$		± 2.5	± 6		
			上記以外		± 3	± 8		*4
変換時間			$AV_{CC} = 2.7 \sim 3.6V$ $V_{CC} = 2.7 \sim 3.6V$	12.4		124	μs	
			上記以外	62		124		

【注】 *1 A/D 変換器を使用しない場合は $AV_{CC} = V_{CC}$ としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

*3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

*4 変換時間 62 μs

15. 電氣的特性

15.6.5 LCD 特性

LCD 特性を表 15.20 に示します。

表 15.20 LCD 特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
セグメント ドライバ 降下電圧	V_{DS}	SEG ₁ ~ SEG ₃₂	$I_D = 2\mu A$ $V_1 = 2.7 \sim 3.6V$			0.6	V	*1
コモン ドライバ 降下電圧	V_{DC}	COM ₁ ~ COM ₄	$I_D = 2\mu A$ $V_1 = 2.7 \sim 3.6V$			0.3	V	*1
LCD 電源 分割抵抗	R_{LCD}		$V_1 - V_{SS}$ 間	1.5	3.5	7	M	
液晶表示 電圧	V_{LCD}	V_1		2.2		3.6	V	*2

【注】 *1 電源端子 V_1 、 V_2 、 V_3 、 V_{SS} から各セグメント端子またはコモン端子までの電圧降下です。

*2 液晶表示電圧を外部電源より供給する場合は、 V_1 、 V_2 、 V_3 、 V_{SS} の関係を維持してください。

表 15.21 セグメント外部拡張 AC 特性

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min.	typ.	max.		
クロック High レベル幅	t_{CWH}	CL ₁ 、CL ₂	*1	800.0			ns	図 15.7
クロック Low レベル幅	t_{CWL}	CL ₂	*1	800.0			ns	図 15.7
クロックセ ットアップ 時間	t_{CSU}	CL ₁ 、CL ₂	*1	500.0			ns	図 15.7
データセ ットアップ 時間	t_{SU}	DO	*1	300.0			ns	図 15.7
データ保持 時間	t_{DH}	DO	*1	300.0			ns	図 15.7
M 遅延時間	t_{DM}	M	*1	- 1000.0		1000.0	ns	図 15.7
クロック立 ち上がり 立ち下がり 時間	t_{CT}	CL ₁ 、CL ₂				170.0	ns	図 15.7

【注】 *1 フレーム周波数を 488Hz ~ 30.5Hz に設定したときの値です。

15.7 H8/38327、H8/38427 グループ絶対最大定格

絶対最大定格を表 15.22 に示します。

表 15.22 絶対最大定格

項目		記号	規格値	単位	備考
電源電圧		V_{CC}	- 0.3 ~ + 7.0	V	*1
		CV_{CC}	- 0.3 ~ + 4.3	V	
アナログ電源電圧		AV_{CC}	- 0.3 ~ + 7.0	V	
入力電圧	ポート B 以外	V_{in}	- 0.3 ~ $V_{CC} + 0.3$	V	
	ポート B	AV_{in}	- 0.3 ~ $AV_{CC} + 0.3$	V	
動作温度		T_{opr}	- 20 ~ + 75 (通常仕様品) *2		
			- 40 ~ + 85 *2 (広温度範囲仕様品)		
			+ 75 *3 (チップ出荷仕様品)		
保存温度		T_{stg}	- 55 ~ + 125		

【注】 *1 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件を超えると LSI の誤動作の原因になると共に、LSI の信頼性に悪影響を及ぼすことがあります。

*2 フラッシュメモリの書き込み / 消去時の動作温度範囲は $T_a = -20 \sim +75$ です。

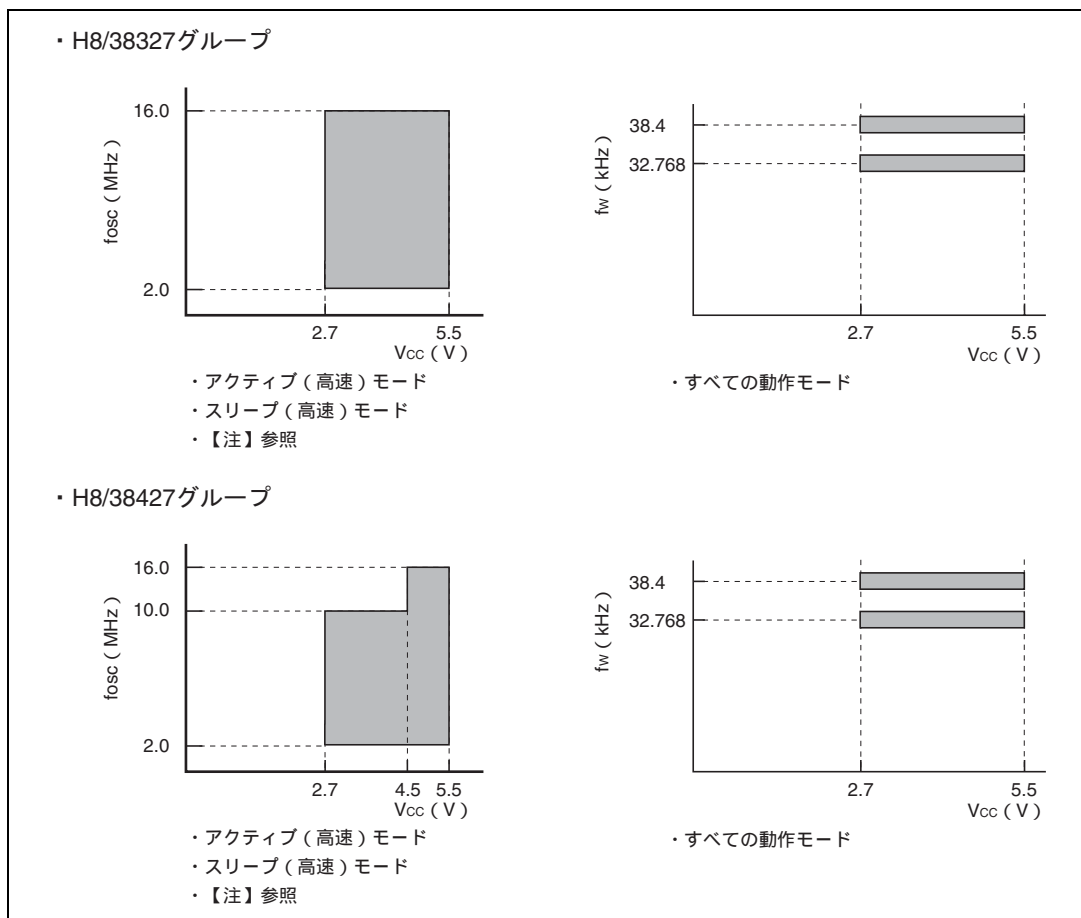
*3 通電してもよい温度は、 $-20 \sim +75$ です。

15.8 H8/38327、H8/38427 グループ電气的特性

15.8.1 電源電圧と動作範囲

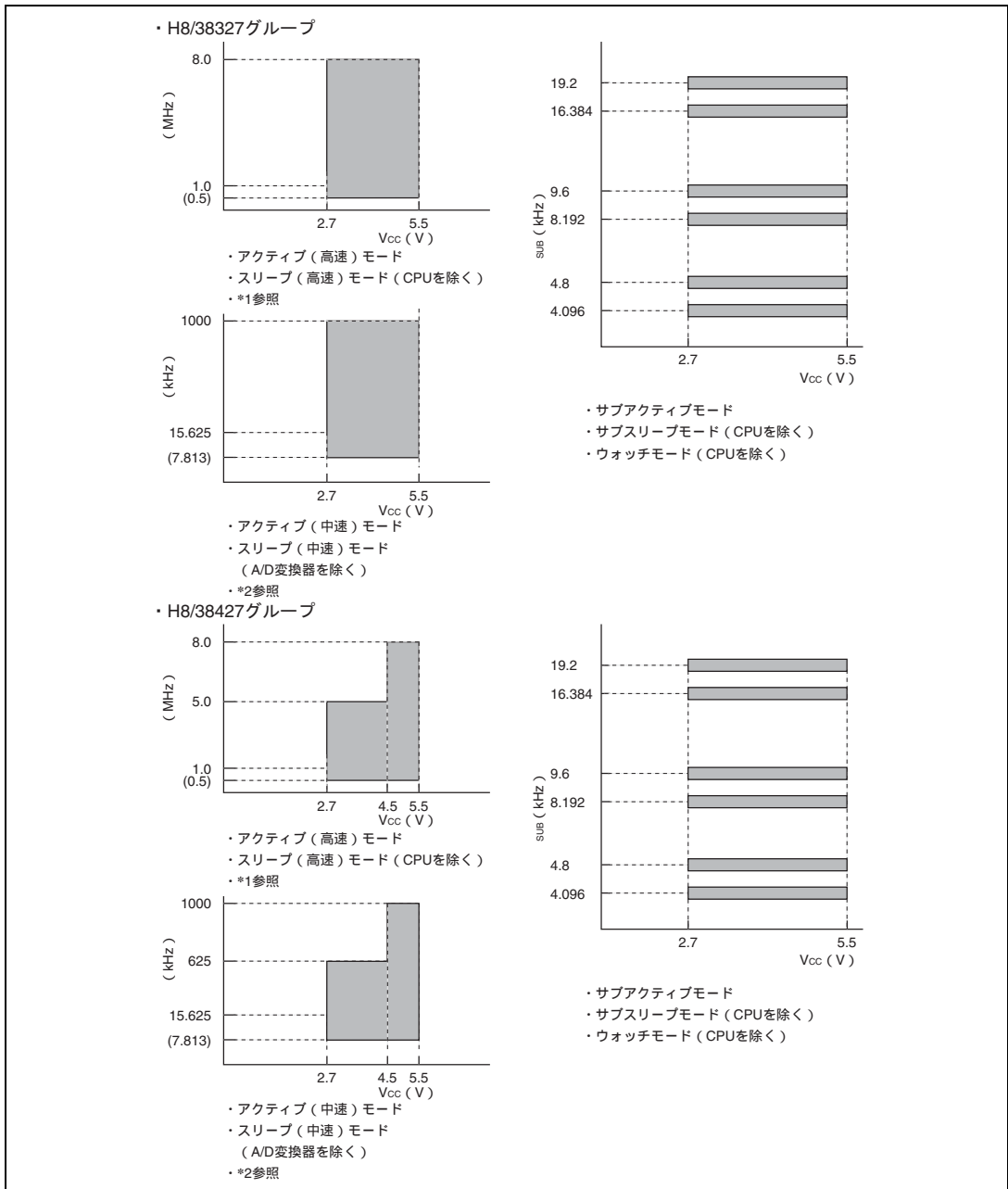
電源電圧と動作範囲（網かけ部）を以下に示します。

(1) 電源電圧と発振周波数の範囲（システムクロック発振器選択時）



【注】 f_{osc} は、発振子の周波数です。外部クロック使用時は、 $f_{osc} = 1\text{MHz}$ が min となります。

(2) 電源電圧と動作周波数の範囲

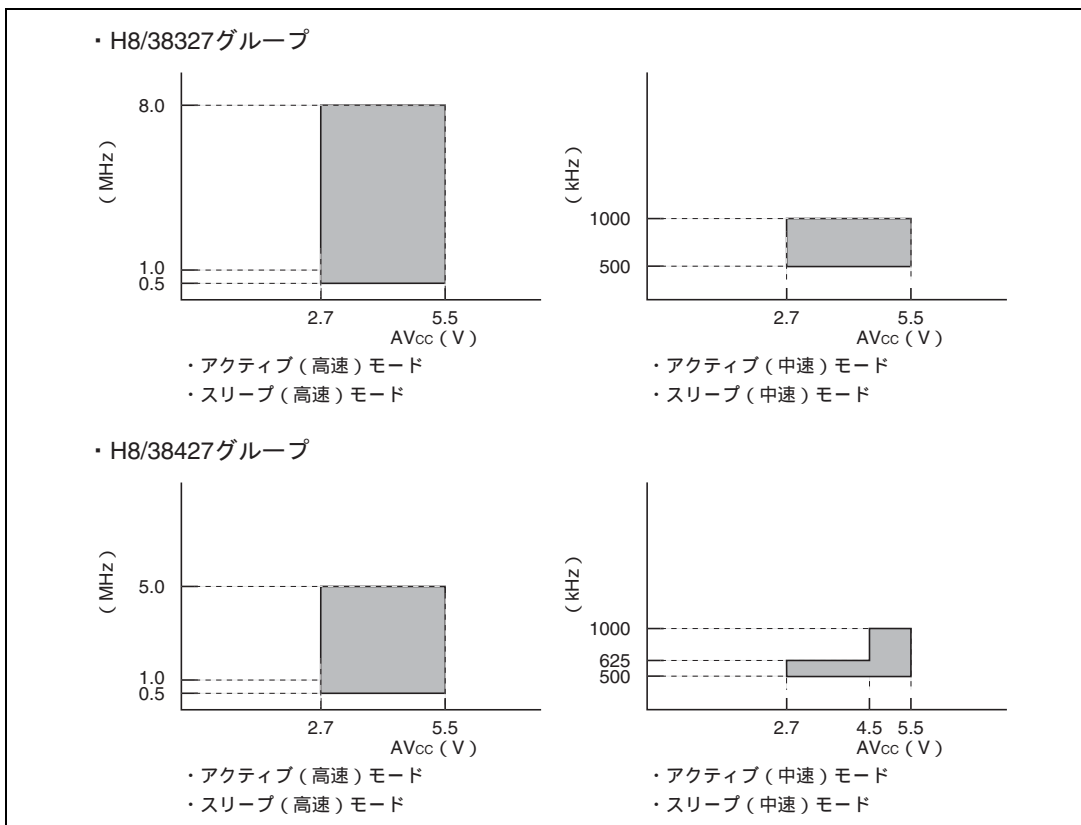


【注】*1 ()内の数字は、外部クロックを使用する場合の最低動作周波数です。発振子を使用する場合の最低動作周波数は、 = 1MHz になります。

*2 ()内の数字は、外部クロックを使用する場合の最低動作周波数です。発振子を使用する場合の最低動作周波数は、 = 15.625kHz になります。

15. 電气的特性

(3) アナログ電源電圧と A/D 変換器の動作範囲



15.8.2 DC 特性

DC 特性を表 15.23 に示します。

表 15.23 DC 特性
(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力 High レベル電圧	V_{IH}	RES、 WKP0 ~ WKP7、 IRQ0 ~ IRQ4、 AEVL、AEVH、 TMIC、TMIF、 TMIG、ADTRG、 SCK31、SCK32	$V_{CC} = 4.0 \sim 5.5V$	$0.8V_{CC}$		$V_{CC} + 0.3$	V	
			上記以外	$0.9V_{CC}$		$V_{CC} + 0.3$		
		RXD32、UD、 RXD31	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$V_{CC} + 0.3$	V	
			上記以外	$0.8V_{CC}$		$V_{CC} + 0.3$		
		OSC1	$V_{CC} = 4.0 \sim 5.5V$	$0.8V_{CC}$		$V_{CC} + 0.3$	V	
			上記以外	$0.9V_{CC}$		$V_{CC} + 0.3$		
		P10 ~ P17、 P30 ~ P37、 P40 ~ P43、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80 ~ P87、 PA0 ~ PA3	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$V_{CC} + 0.3$	V	
			上記以外	$0.8V_{CC}$		$V_{CC} + 0.3$		
		PB0 ~ PB7	$V_{CC} = 4.0 \sim 5.5V$	$0.7V_{CC}$		$AV_{CC} + 0.3$	V	
			上記以外	$0.8V_{CC}$		$AV_{CC} + 0.3$		
EXCL		$0.9V_{CC}$		$V_{CC} + 0.3$	V			
入力 Low レベル電圧	V_{IL}	RES、 WKP0 ~ WKP7、 IRQ0 ~ IRQ4、 AEVL、AEVH、 TMIC、TMIF、 TMIG、ADTRG、 SCK31、SCK32	$V_{CC} = 4.0 \sim 5.5V$	- 0.3		$0.2V_{CC}$	V	
			上記以外	- 0.3		$0.1V_{CC}$		
		RXD32、UD、 RXD31	$V_{CC} = 4.0 \sim 5.5V$	- 0.3		$0.3V_{CC}$	V	
			上記以外	- 0.3		$0.2V_{CC}$		
		OSC1	$V_{CC} = 4.0 \sim 5.5V$	- 0.3		$0.2V_{CC}$	V	
			上記以外	- 0.3		$0.1V_{CC}$		
		EXCL		- 0.3		$0.1V_{CC}$	V	

15. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考	
				min.	typ.	max.			
入力 Low レベル電圧	V _{IL}	P10 ~ P17、 P30 ~ P37、 P40 ~ P43、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80 ~ P87、 PA0 ~ PA3、 PB0 ~ PB7	V _{CC} = 4.0 ~ 5.5V	- 0.3		0.3V _{CC}	V		
			上記以外	- 0.3		0.2V _{CC}			
出力 High レベル電圧	V _{OH}	P10 ~ P17、 P30 ~ P37、 P40 ~ P42、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80 ~ P87、 PA0 ~ PA3	V _{CC} = 4.0 ~ 5.5V - I _{OH} = 1.0mA	V _{CC} - 1.0			V		
			V _{CC} = 4.0 ~ 5.5V - I _{OH} = 0.5mA	V _{CC} - 0.5					
			- I _{OH} = 0.1mA	V _{CC} - 0.3					
出力 Low レベル電圧	V _{OL}	P10 ~ P17、 P40 ~ P42、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80 ~ P87、 PA0 ~ PA3	V _{CC} = 4.0 ~ 5.5V I _{OL} = 1.6mA			0.6	V		
			I _{OL} = 0.4mA			0.5			
		P30 ~ P37	V _{CC} = 4.0 ~ 5.5V I _{OL} = 10mA			1.0			
			V _{CC} = 4.0 ~ 5.5V I _{OL} = 1.6mA			0.6			
				I _{OL} = 0.4mA					0.5
		入出力 リーク 電流	I _L	RES、P43、 OSC1、X1、 P10 ~ P17、 P30 ~ P37、 P40 ~ P42、 P50 ~ P57、 P60 ~ P67、 P70 ~ P77、 P80 ~ P87、 PA0 ~ PA3	V _{IN} = 0.5V ~ V _{CC} - 0.5V				
PB0 ~ PB7	V _{IN} = 0.5V ~ AV _{CC} - 0.5V					1.0			
ブルアップ MOS 電流	- I _p	P10 ~ P17、 P30 ~ P37、 P50 ~ P57、 P60 ~ P67	V _{CC} = 5V、V _{IN} = 0V	20		200	μA	参考値	
			V _{CC} = 2.7V、V _{IN} = 0V		40				μA

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
入力容量	C_{IN}	電源端子を除く 全入力端子	$f = 1\text{MHz}$ 、 $V_{IN} = 0\text{V}$ 、 $T_a = 25$			15.0	pF	
アクティブ モード 消費電流	I_{OPE1}	V_{CC}	アクティブ (高速) モード、 $V_{CC} = 2.7\text{V}$ 、 $f_{OSC} = 2\text{MHz}$		0.8		mA	* ¹ * ³ * ⁴ max 目安 = 1.1 × typ
					1.2			* ² * ³ * ⁴ max 目安 = 1.1 × typ
			アクティブ (高速) モード、 $V_{CC} = 5\text{V}$ 、 $f_{OSC} = 2\text{MHz}$		1.0			* ¹ * ³ * ⁴ max 目安 = 1.1 × typ
					1.5			* ² * ³ * ⁴ max 目安 = 1.1 × typ
			アクティブ (高速) モード、 $V_{CC} = 5\text{V}$ 、 $f_{OSC} = 4\text{MHz}$		2.0			* ¹ * ³ * ⁴ max 目安 = 1.1 × typ
					2.4			* ² * ³ * ⁴ max 目安 = 1.1 × typ
			アクティブ (高速) モード、 $V_{CC} = 5\text{V}$ 、 $f_{OSC} = 10\text{MHz}$		4.0	7.0		* ¹ * ³ * ⁴ max 目安 = 1.1 × typ
		4.9		7.0	* ² * ³ * ⁴ max 目安 = 1.1 × typ			
	I_{OPE2}	V_{CC}	アクティブ (中速) モード、 $V_{CC} = 2.7\text{V}$ 、 $f_{OSC} = 2\text{MHz}$ 、 $f_{OSC} / 128$ 時		0.4		mA	* ¹ * ³ * ⁴ max 目安 = 1.1 × typ
					0.7			* ² * ³ * ⁴ max 目安 = 1.1 × typ
			アクティブ (中速) モード、 $V_{CC} = 5\text{V}$ 、 $f_{OSC} = 2\text{MHz}$ 、 $f_{OSC} / 128$ 時		0.5			* ¹ * ³ * ⁴ max 目安 = 1.1 × typ
					1.0			* ² * ³ * ⁴ max 目安 = 1.1 × typ
			アクティブ (中速) モード、 $V_{CC} = 5\text{V}$ 、 $f_{OSC} = 4\text{MHz}$ 、 $f_{OSC} / 128$ 時		0.8			* ¹ * ³ * ⁴ max 目安 = 1.1 × typ
					1.2			* ² * ³ * ⁴ max 目安 = 1.1 × typ
アクティブ (中速) モード、 $V_{CC} = 5\text{V}$ 、 $f_{OSC} = 10\text{MHz}$ 、 $f_{OSC} / 128$ 時				1.2	3.0	* ¹ * ³ * ⁴ max 目安 = 1.1 × typ		
		1.7	3.0	* ² * ³ * ⁴ max 目安 = 1.1 × typ				

15. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
スリープモード消費電流	I_{SLEEP}	V_{CC}	$V_{CC} = 2.7V$ 、 $f_{OSC} = 2MHz$		0.5		mA	* ¹ * ³ * ⁴ max 目安 = 1.1 × typ
					0.8			* ² * ³ * ⁴ max 目安 = 1.1 × typ
			$V_{CC} = 5V$ 、 $f_{OSC} = 2MHz$		0.7			* ¹ * ³ * ⁴ max 目安 = 1.1 × typ
					1.2			* ² * ³ * ⁴ max 目安 = 1.1 × typ
			$V_{CC} = 5V$ 、 $f_{OSC} = 4MHz$		1.1			* ¹ * ³ * ⁴ max 目安 = 1.1 × typ
					1.6			* ² * ³ * ⁴ max 目安 = 1.1 × typ
$V_{CC} = 5V$ 、 $f_{OSC} = 10MHz$		1.9	5.0	* ¹ * ³ * ⁴				
		2.6	5.0	* ² * ³ * ⁴				
サブアクティブモード消費電流	I_{SUB}	V_{CC}	$V_{CC} = 2.7V$ 、 LCD 点灯 32kHz 水晶発振子 使用時 ($I_{SUB} = I_W/8$)		12		μA	* ¹ * ³ * ⁴ 参考値
					15			* ² * ³ * ⁴ 参考値
			$V_{CC} = 2.7V$ 、 LCD 点灯 32kHz 水晶発振子 使用時 ($I_{SUB} = I_W/2$)		18	50		* ¹ * ³ * ⁴
					30	50		* ² * ³ * ⁴
サブスリープモード消費電流	I_{SUBSP}	V_{CC}	$V_{CC} = 2.7V$ 、 LCD 点灯 32kHz 水晶発振子 使用時 ($I_{SUB} = I_W/2$)		3.8	16	μA	* ³ * ⁴
ウォッチモード消費電流	I_{WATCH}	V_{CC}	$V_{CC} = 2.7V$ 、 $T_a = 25$ 、 32kHz 水晶発振子 使用時 LCD 未使用		1.8		μA	* ¹ * ³ * ⁴ 参考値
					1.8			* ² * ³ * ⁴ 参考値
			$V_{CC} = 2.7V$ 、 32kHz 水晶発振子 使用時 LCD 未使用		3.0	6.0		* ³ * ⁴

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
スタンバイモード消費電流	I_{STBY}	V_{CC}	$V_{CC} = 2.7V$ 、 $T_a = 25$ 、32kHz 水晶発振子未使用時		0.3		μA	* ¹ * ³ * ⁴ 参考値
					0.3			* ² * ³ * ⁴ 参考値
			$V_{CC} = 5.0V$ 、 $T_a = 25$ 、32kHz 水晶発振子未使用時		0.4			* ¹ * ³ * ⁴ 参考値
					0.5			* ² * ³ * ⁴ 参考値
			32kHz 水晶発振子未使用時		1.0	5.0		* ³ * ⁴
RAM データ保持電圧	V_{RAM}	V_{CC}		2.0		V	* ⁵	
出力 Low レベル許容電流 (1 端子当たり)	I_{OL}	ポート 3 以外の出力端子	$V_{CC} = 4.0V \sim 5.5V$			2.0	mA	
		ポート 3	$V_{CC} = 4.0V \sim 5.5V$			10.0		
		全出力端子				0.5		
出力 Low レベル許容電流 (総和)	I_{OL}	ポート 3 以外の出力端子	$V_{CC} = 4.0V \sim 5.5V$			40.0	mA	
		ポート 3	$V_{CC} = 4.0V \sim 5.5V$			80.0		
		全出力端子				20.0		
出力 High レベル許容電流 (1 端子当たり)	$-I_{OH}$	全出力端子	$V_{CC} = 4.0V \sim 5.5V$			2.0	mA	
			上記以外			0.2		
出力 High レベル許容電流 (総和)	$-I_{OH}$	全出力端子	$V_{CC} = 4.0V \sim 5.5V$			15.0	mA	
			上記以外			10.0		

【注】 TEST 端子は、 V_{SS} に接続してください。

- *1 マスク ROM 製品に適用します。
- *2 F-ZTAT 製品に適用します。

15. 電氣的特性

モード	$\overline{\text{RES}}$ 端子	内部状態	各端子	LCD 電源	発振端子
アクティブ (高速) モード (I_{OPE1}) アクティブ (中速) モード (I_{OPE2})	V_{CC}	CPU のみ動作	V_{CC}	停止	システムクロック発振器 : 水晶発振子 サブクロック発振器 : X1 端子 = GND
スリープモード	V_{CC}	内蔵の全タイマのみ動作	V_{CC}	停止	
サブアクティブモード	V_{CC}	CPU のみ動作	V_{CC}	停止	システムクロック発振器 : 水晶発振子
サブスリープモード	V_{CC}	内蔵の全タイマのみ動作 CPU は停止	V_{CC}	停止	サブクロック発振器 : 水晶発振子
ウォッチモード	V_{CC}	時計用タイムベースのみ動作 CPU は停止	V_{CC}	停止	
スタンバイモード	V_{CC}	CPU、タイマともに停止	V_{CC}	停止	システムクロック発振器 : 水晶発振子 サブクロック発振器 : X1 端子 = GND

*3 消費電流測定時の端子の状態

*4 プルアップ MOS や出力バッファに流れる電流は除きます。

*5 スタンバイモードの保持電圧です。

15.8.3 AC 特性

制御信号タイミングを表 15.24 に、シリアルインタフェースタイミングを表 15.25 に示します。

表 15.24 制御信号タイミング

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$)

項目	記号	適用端子	測定条件	規格値			単位	参照図	
				min.	typ.	max.			
システムクロック 発振器発振周波数	f_{osc}	OSC1、OSC2		2.0		16.0	MHz	* ³	
			$V_{CC}=4.5 \sim 5.5V$	2.0		16.0		* ⁴	
			$V_{CC}=2.7 \sim 5.5V$	2.0		10.0			
OSC クロック (t_{osc}) サイクル時間	t_{osc}	OSC1、OSC2		62.5		500 (1000)	ns	図 15.1 * ² * ³	
			$V_{CC}=4.5 \sim 5.5V$	62.5		500 (1000)		図 15.1 * ² * ⁴	
			$V_{CC}=2.7 \sim 5.5V$	100		500 (1000)			
システムクロック () サイクル時間	t_{cyc}			2		128	t_{osc}		
						128			μs
サブクロック発振器 発振周波数	f_w	X1、X2、EXCL			32.768 または 38.4		kHz		
ウォッチクロック (t_w) サイクル時間	t_w	X1、X2、EXCL			30.5 または 26.0		μs	図 15.1	
サブクロック (t_{subcyc}) サイクル時間	t_{subcyc}			2		4	t_w	* ¹	
インストラクション サイクル時間				2			t_{cyc} t_{subcyc}		
発振安定時間	t_{tc}	OSC1、OSC2	セラミック 発振子 ($V_{CC}=3.0 \sim 5.5V$)		20	45	μs	図 15.10	
			セラミック 発振子の 上記以外		80				
			水晶発振子 上記以外		0.8	2			ms
						50			
		X1、X2				2.0	s		
外部クロック High レベル幅	t_{CPH}	OSC1		25			ns	図 15.1 * ³	
			$V_{CC}=4.5 \sim 5.5V$	25				図 15.1 * ⁴	
			$V_{CC}=2.7 \sim 5.5V$	40					
		EXCL			15.26 または 13.02		μs	図 15.1	

15. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	参照図	
				min.	typ.	max.			
外部クロック Low レベル幅	t_{CPL}	OSC1		25			ns	図 15.1 ^{*3}	
			Vcc=4.5 ~ 5.5V	25				図 15.1 ^{*4}	
			Vcc=2.7 ~ 5.5V	40					
		EXCL			15.26 または 13.02		μ s	図 15.1	
外部クロック 立ち上がり時間	t_{CPr}	OSC1				6	ns	図 15.1 ^{*3}	
			Vcc=4.5 ~ 5.5V					6	図 15.1 ^{*4}
			Vcc=2.7 ~ 5.5V					10	
		EXCL					55.0	図 15.1	
外部クロック 立ち下がり時間	t_{CPI}	OSC1				6	ns	図 15.1 ^{*3}	
			Vcc=4.5 ~ 5.5V					6	図 15.1 ^{*4}
			Vcc=2.7 ~ 5.5V					10	
		EXCL					55.0	図 15.1	
RES 端子 Low レベル幅	t_{REL}	RES		10			t_{cyc}	図 15.2	

項目	記号	適用端子	規格値			単位	参照図
			min.	typ.	max.		
入力端子 High レベル幅	t_{IH}	IRQ0 ~ IRQ4、WKP0 ~ WKP7、ADTRG、TMIC、TMIF、TMIG	2			t_{cyc} t_{subcyc}	図 15.3
		AEVL、AEVH	32			ns	
入力端子 Low レベル幅	t_{IL}	IRQ0 ~ IRQ4、WKP0 ~ WKP7、ADTRG、TMIC、TMIF、TMIG	2			t_{cyc} t_{subcyc}	図 15.3
		AEVL、AEVH	32			ns	
UD 端子最小変化幅	t_{UDH}	UD	4			t_{cyc}	図 15.4
	t_{UDL}					t_{subcyc}	

【注】 *1 システムコントロールレジスタ 2 (SYSCR2) の SA1、SA0 の設定により決定します。

*2 () 内の数字は、外部クロックを入力する場合の f_{osc} max 値です。

*3 H8/38327 グループに適用します。

*4 H8/38427 グループに適用します。

表 15.25 シリアルインタフェース (SCI3) タイミング

(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$)

項目		記号	測定条件	規格値			単位	参照図
				min.	typ.	max.		
入力 クロックサイクル	調歩同期	t_{seyc}		4			t_{cyc} または t_{subcyc}	図 15.5
	クロック同期			6				
入力クロックパルス幅		t_{SCKW}		0.4		0.6	t_{seyc}	図 15.5
送信データ遅延時間 (クロック同期)		t_{TXD}				1	t_{cyc} または t_{subcyc}	図 15.6
受信データセットアップ時間 (クロック同期)		t_{RXS}		200			ns	図 15.6
受信データホールド時間 (クロック同期)		t_{RXH}		200			ns	図 15.6

15. 電気的特性

15.8.4 A/D 変換器特性

A/D 変換器特性を表 15.26 に示します。

表 15.26 A/D 変換器特性
(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
アナログ電源電圧	AV_{CC}	AV_{CC}		2.7		5.5	V	*1
アナログ入力電圧	AV_{IN}	AN0 ~ AN7		- 0.3		$AV_{CC} + 0.3$	V	
アナログ電源電流	AI_{OPE}	AV_{CC}	$AV_{CC} = 5.0V$			1.5	mA	
	AI_{STOP1}	AV_{CC}			600		μA	*2 参考値
	AI_{STOP2}	AV_{CC}				5	μA	*3
アナログ入力容量	C_{AIN}	AN0 ~ AN7				15.0	pF	
許容信号源インピーダンス	R_{AIN}					10.0	k	
分解能 (データ長)						10	ビット	
非直線性誤差			$AV_{CC} = 4.0 \sim 5.5V$			± 3.5	LSB	
			$AV_{CC} = 2.7 \sim 5.5V$			± 7.5		
量子化誤差						± 0.5	LSB	
絶対精度			$AV_{CC} = 4.0 \sim 5.5V$		± 2.0	± 4.0	LSB	
			$AV_{CC} = 2.7 \sim 5.5V$		± 2.0	± 8.0		
変換時間				7.8		124	μs	*4
				12.4		124		*5

【注】 *1 A/D 変換器を使用しない場合は $AV_{CC} = V_{CC}$ としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

*3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

*4 H8/38327 グループに適用します。

*5 H8/38427 グループに適用します。

15.8.5 LCD 特性

LCD 特性を表 15.27 に示します。

表 15.27 LCD 特性
(特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				min.	typ.	max.		
セグメント ドライバ 降下電圧	V_{DS}	SEG1 ~ SEG32	$I_D = 2\mu A$ $V_1 = 2.7 \sim 5.5V$			0.6	V	*1
コモンドラ イバ 降下電圧	V_{DC}	COM1 ~ COM4	$I_D = 2\mu A$ $V_1 = 2.7 \sim 5.5V$			0.3	V	*1
LCD 電源 分割抵抗	R_{LCD}		$V_1 - V_{SS}$ 間	1.5	3.0	7.0	M	
液晶表示 電圧	V_{LCD}	V1		2.7		5.5	V	*2

- 【注】 *1 電源端子 V_1 、 V_2 、 V_3 、 V_{SS} から各セグメント端子またはコモン端子までの電圧降下です。
*2 液晶表示電圧を外部電源より供給する場合は、 V_1 V_2 V_3 V_{SS} の関係を維持してください。

15.8.6 フラッシュメモリ特性

表 15.28 フラッシュメモリ特性

条件: $AV_{CC} = 2.7 \sim 5.5V$, $V_{SS} = AV_{SS} = 0.0V$, $V_{CC} = 2.7 \sim 5.5V$ (読み出し時の動作電圧範囲)、
 $V_{CC} = 3.0 \sim 5.5V$ (書き込み / 消去時の動作電圧範囲)、
 $T_a = -20 \sim +75$ (書き込み / 消去時の動作温度範囲: 通常仕様品、広温度範囲仕様品)

項目	記号	測定条件	規格値			単位	
			min.	typ.	max.		
書き込み時間 (128 バイト当たり) *1 *2 *4	t_p			7	200	ms	
消去時間 (1 ブロック当たり) *1 *3 *6	t_e			100	1200	ms	
書き換え回数	N_{WEC}		1000*8	10000*9		回	
データ保持時間	t_{DRP}		10*10			年	
書き込み時	SWE ビットセット後の待機時間*1	x		1		μs	
	PSU ビットセット後の待機時間*1	y		50		μs	
	P ビットセット後の待機時間*1 *4	z1	1 n 6	28	30	32	μs
			7 n 1000	198	200	202	μs
			追加書き込み	8	10	12	μs
	P ビットクリア後の待機時間*1			5		μs	
	PSU ビットクリア後の待機時間*1			5		μs	
	PV ビットセット後の待機時間*1			4		μs	
	ダミーライト後の待機期間*1			2		μs	
	PV ビットクリア後の待機時間*1			2		μs	
	SWE ビットクリア後の待機時間*1			100		μs	
	最大書き込み回数*1 *4 *5	N			1000	回	
消去時	SWE ビットセット後の待機時間*1	x		1		μs	
	ESU ビットセット後の待機時間*1	y		100		μs	
	E ビットセット後の待機時間*1 *6	z		10	100	ms	
	E ビットクリア後の待機時間*1			10		μs	
	ESU ビットクリア後の待機時間*1			10		μs	
	EV ビットセット後の待機時間*1			20		μs	
	ダミーライト後の待機期間*1			2		μs	
	EV ビットクリア後の待機時間*1			4		μs	
	SWE ビットクリア後の待機時間*1			100		μs	
	最大消去回数*1 *6 *7	N			120	回	

- 【注】 *1 各時間の設定は、プログラム / イレースのアルゴリズムに従ってください。
*2 128 バイト当たりの書き込み時間で、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P ビットをセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。
*3 1 ブロックを消去する時間で、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の E ビットをセットしているトータル期間を示します。イレースベリファイ時間は含まれません。
*4 書き込み時間の最大値 ($t_p(MAX)$) = P ビットセット後の待機時間(z) × 最大書き込み回数(N)
*5 最大書き込み回数(N)は、実際の z1、z2、z3 の設定値に合わせ、書き込み時間の最大値 $t_p(MAX)$ 以下となるように設定してください。また、P ビットセット後の待機時間 (z1、z2) は、下記のように書き込み回数(n)の値によって切り替えてください。

書き込み回数 n

1 n 6 z1 = 30 μ s

7 n 1000 z2 = 200 μ s

- *6 消去時間の最大値 ($t_{\text{e}}(\text{MAX})$) = E ピットセット後の待機時間(z) × 最大消去回数(N)
- *7 最大消去回数(N)は、実際の(z)の設定値に合わせ、消去時間の最大値 ($t_{\text{e}}(\text{MAX})$) 以下となるように設定してください。
- *8 書き換え後のすべての特性を保証する min 回数です (保証は 1 ~ min 値の範囲です)。
- *9 25 のときの参考値です (通常この値まで書き換えは機能するという目安です)。
- *10 書き換えが min 値を含む仕様範囲内で行われたときのデータ保持特性です。

15.9 動作タイミング

動作タイミングを図 15.1 ~ 図 15.7 に示します。

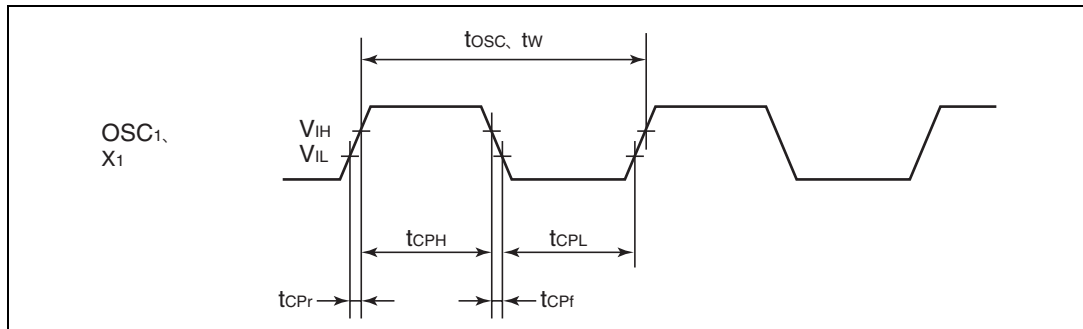


図 15.1 クロック入力タイミング

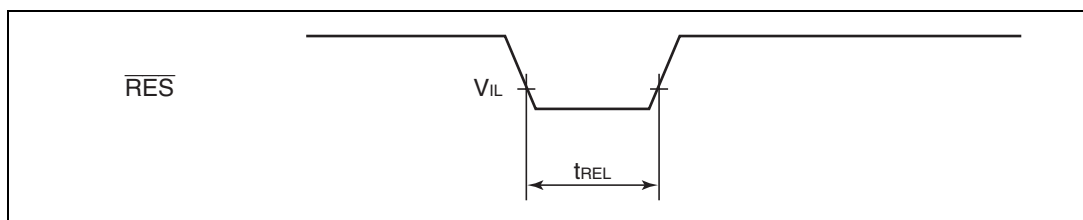


図 15.2 \overline{RES} 端子 Low レベル幅タイミング

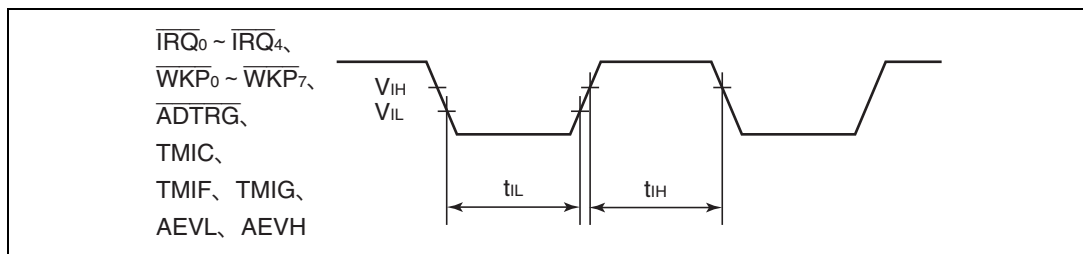


図 15.3 入力タイミング

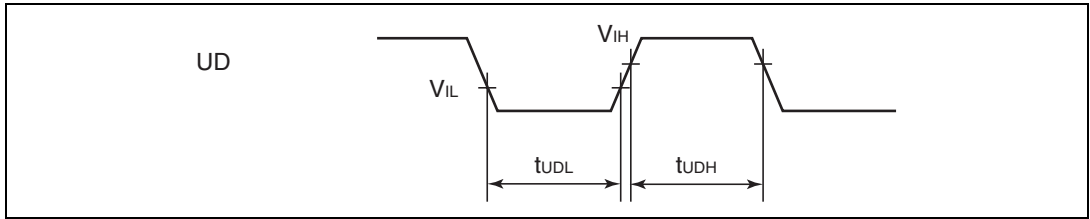


図 15.4 UD 端子最小変化幅タイミング

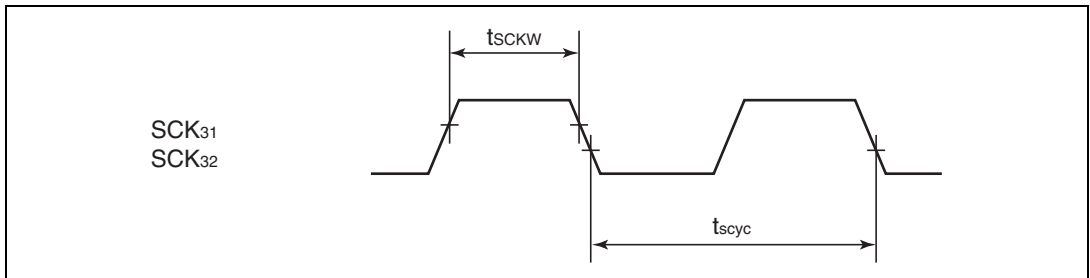


図 15.5 SCK3 入力クロックタイミング

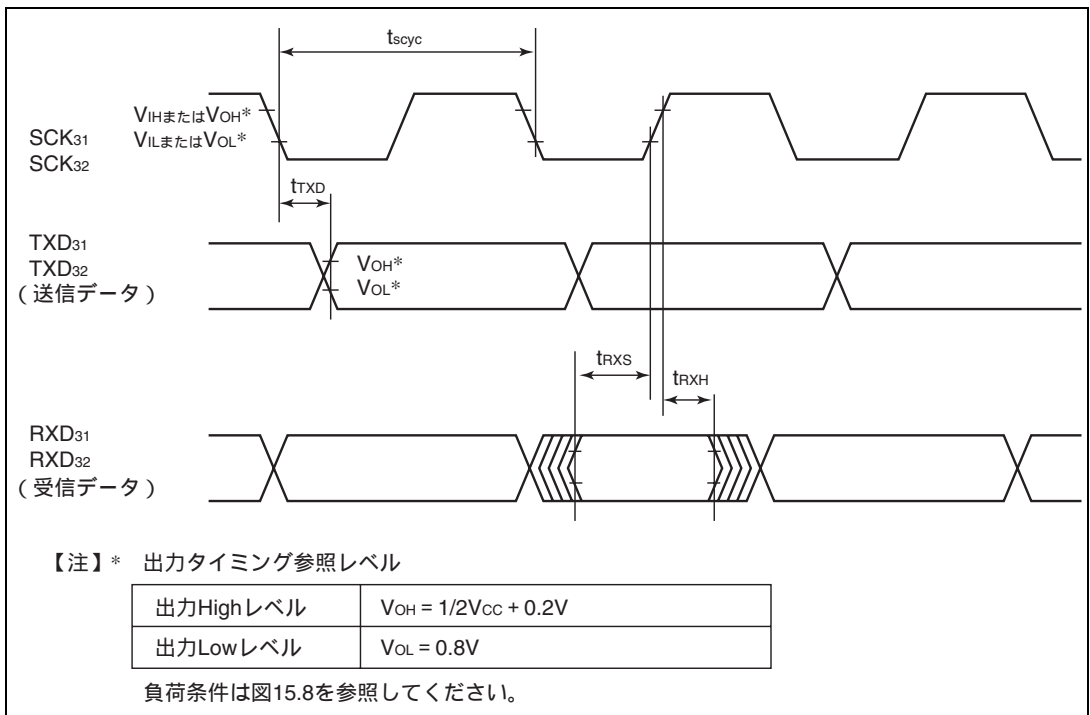


図 15.6 SCI3 クロック同期式モード入出力タイミング

15. 電気的特性

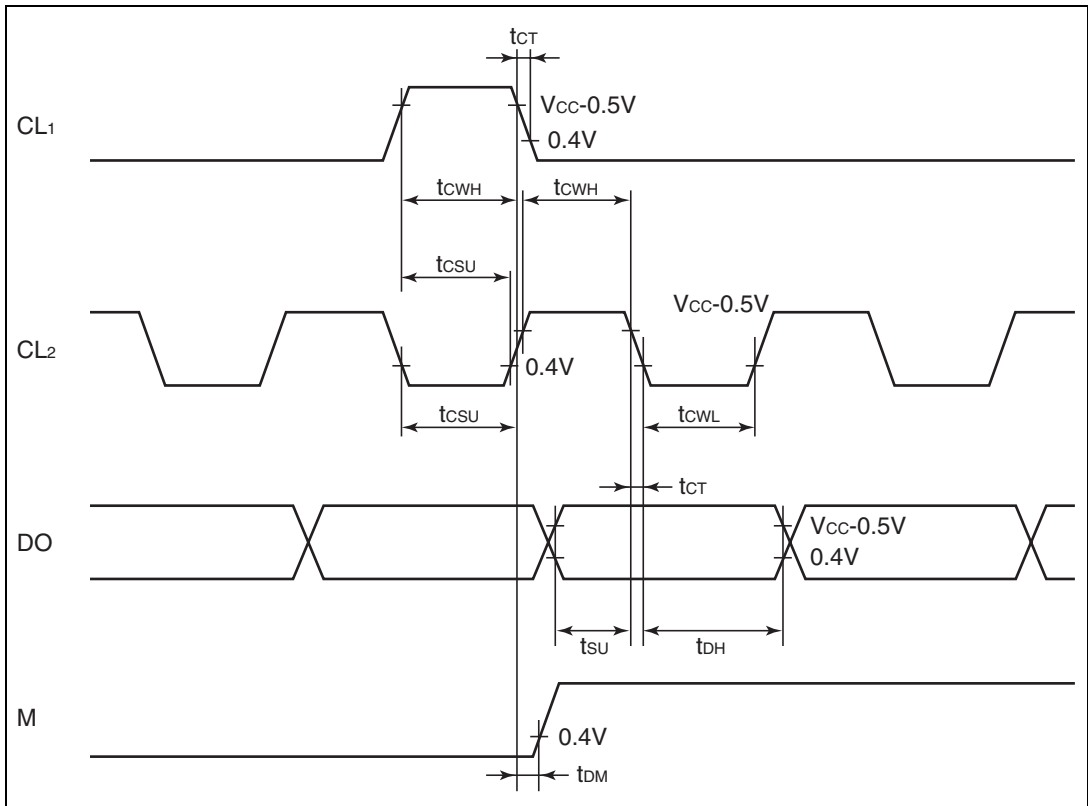


図 15.7 セグメント拡張信号タイミング

15.10 出力負荷回路

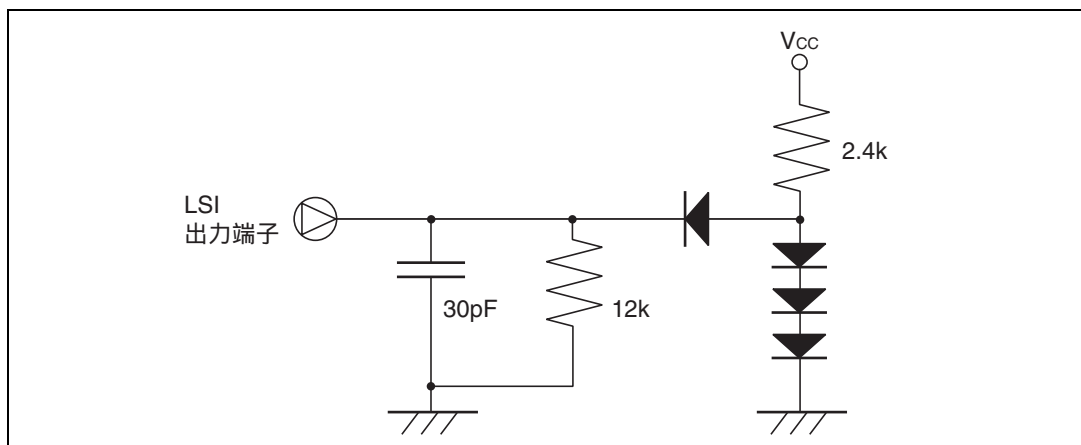


図 15.8 出力負荷条件

15.11 発振子

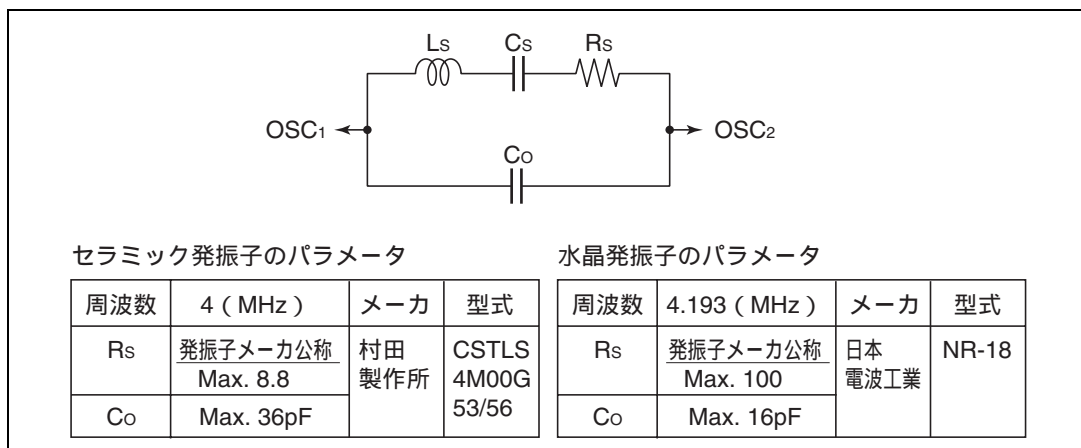


図 15.9 発振子の等価回路

15. 電気的特性

水晶発振子			
発振周波数	メーカー	型式	C1、C2
4MHz	日本電波工業	NR-18	12pF \pm 20%
10MHz			

セラミック発振子			
発振周波数	メーカー	型式	内蔵C1、C2
2MHz	村田製作所	CSTCC2M00G53-B0	15pF \pm 20%
		CSTCC2M00G56-B0	47pF \pm 20%
4MHz		CSTLS4M00G53-B0	15pF \pm 20%
		CSTLS4M00G56-B0	47pF \pm 20%
10MHz		CSTLS10M0G53-B0	15pF \pm 20%
		CSTLS10M0G56-B0	47pF \pm 20%

図 15.10 推奨発振子

15.12 使用上の注意

本マニュアルに記載の各製品はそれぞれの電気的特性を満足していますが、製造プロセスの相違、内蔵 ROM の相違、レイアウトパターンの相違などにより、電気的特性の実力値や動作マージン、ノイズマージンなどは異なる場合があります。

ZTAT 版、または F-ZTAT 版を使用してシステムの評価試験を行う場合、マスク ROM 版への切り替え時にマスク ROM 版についても同等の評価試験を行ってください。

付録

A. 命令

A.1 命令一覧

《オペレーションの記号》

Rd8/16	汎用レジスタ (デスティネーション側) 8 ビット / 16 ビット
Rs8/16	汎用レジスタ (ソース側) 8 ビット / 16 ビット
Rn8/16	汎用レジスタ 8 ビット / 16 ビット
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#xx:3/8/16	イミディエイトデータ 3 ビット / 8 ビット / 16 ビット
d:8/16	ディスプレイースメント 8 ビット / 16 ビット
@aa:8/16	絶対アドレス 8 ビット / 16 ビット
+	加算
-	減算
x	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
	論理的補数

《コンディションコードの記号》

記号	
↓	実行結果に従って変化することを表します。
*	不確定であることを表します (値を保証しません)。
0	常に 0 にクリアされることを表します。
	実行結果に影響を受けないことを表します。

表 A.1 命令セット一覧

二モニツク	サイズ	アドレッシングモード / 命令長 (バイト)					オペレーション					コンディションコード					実行 ステップ 数
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Fn+ @aa:8/16	@(d:8, PC)	@@aa	I	H	N	Z	V	C			
MOV	B	2							#xx:8	Rd8	--	↑	↑	0	—	2	
MOV.B Rs, Rd	B		2						Rs8	Rd8	--	↑	↑	0	—	2	
MOV.B @Rs, Rd	B			2					@Rs16	Rd8	--	↑	↑	0	—	4	
MOV.B @(d:16, Rs), Rd	B				4				@(d:16, Rs16)	Rd8	--	↑	↑	0	—	6	
MOV.B @Rs+, Rd	B					2			@Rs16	Rd8	--	↑	↑	0	—	6	
									Rs16+1	Rs16							
MOV.B @aa:8, Rd	B					2			@aa:8	Rd8	--	↑	↑	0	—	4	
MOV.B @aa:16, Rd	B					4			@aa:16	Rd8	--	↑	↑	0	—	6	
MOV.B Rs, @Rd	B			2					Rs8	@Rd16	--	↑	↑	0	—	4	
MOV.B Rs, @(d:16, Rd)	B				4				Rs8	@(d:16, Rd16)	--	↑	↑	0	—	6	
MOV.B Rs, @Rd	B						2		Rd16-1	Rd16	--	↑	↑	0	—	6	
									Rs8	@Rd16							
MOV.B Rs, @aa:8	B					2			Rs8	@aa:8	--	↑	↑	0	—	4	
MOV.B Rs, @aa:16	B					4			Rs8	@aa:16	--	↑	↑	0	—	6	
MOV.W #xx:16, Rd	W	4							#xx:16	Rd	--	↑	↑	0	—	4	
MOV.W Rs, Rd	W		2						Rs16	Rd16	--	↑	↑	0	—	2	
MOV.W @Rs, Rd	W			2					@Rs16	Rd16	--	↑	↑	0	—	4	
MOV.W @(d:16, Rs), Rd	W				4				@(d:16, Rs16)	Rd16	--	↑	↑	0	—	6	
MOV.W @Rs+, Rd	W					2			@Rs16	Rd16	--	↑	↑	0	—	6	
									Rs16+2	Rs16							
MOV.W @aa:16, Rd	W					4			@aa:16	Rd16	--	↑	↑	0	—	6	
MOV.W Rs, @Rd	W			2					Rs16	@Rd16	--	↑	↑	0	—	4	
MOV.W Rs, @(d:16, Rd)	W				4				Rs16	@(d:16, Rd16)	--	↑	↑	0	—	6	

オペレーション	アドレッシングモード/命令長(バイト)				コンディションコード							実行 ステート 数			
	#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)	@@aa	I	H	N		Z	V	C
MOV MOV.W Rs, @-Rd					2					—	↑	↑	0	—	6
MOV.W Rs, @aa:16						4				—	↑	↑	0	—	6
POP Rd					2					—	↑	↑	0	—	6
PUSH Rs					2					—	↑	↑	0	—	6
ADD ADD.B #xx:8, Rd	B	2								—	↑	↑	↑	↑	2
ADD.B Rs, Rd	B	2								—	↑	↑	↑	↑	2
ADD.W Rs, Rd	W	2								—	(1)	↑	↑	↑	2
ADDX.B #xx:8, Rd	B	2								—	↑	↑	(2)	↑	2
ADDX.B Rs, Rd	B	2								—	↑	↑	(2)	↑	2
ADDS.W #1, Rd	W	2								—	—	—	—	—	2
ADDS.W #2, Rd	W	2								—	—	—	—	—	2
INC INC.B Rd	B	2								—	↑	↑	↑	↑	2
DAA DAA.B Rd	B	2								—	*	↑	↑	*	(3)
SUB SUB.B Rs, Rd	B	2								—	↑	↑	↑	↑	2
SUB.W Rs, Rd	W	2								—	(1)	↑	↑	↑	2
SUBX.B #xx:8, Rd	B	2								—	↑	↑	↑	↑	2
SUBX.B Rs, Rd	B	2								—	↑	↑	↑	↑	2

オペレーション	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディションコード							実行 ステート 数	
	#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aaa:8/16		@(d:8, PC)	@aa	I	H	N	Z	V		C
SUBS	W	2														2
SUBS.W #1, Rd																2
SUBS.W #2, Rd																2
DEC	B	2														2
DEC.B Rd																2
DAS	B	2														2
DAS.B Rd																2
NEG	B	2														2
NEG.B Rd																2
CMP	B	2														2
CMP.B #xx:8, Rd																2
CMP.B Rs, Rd																2
CMP.W Rs, Rd	W	2														2
MULXU	B	2														14
MULXU.B Rs, Rd																14
DIVXU	B	2														14
DIVXU.B Rs, Rd																14
AND	B	2														2
AND.B #xx:8, Rd																2
AND.B Rs, Rd																2
OR	B	2														2
OR.B #xx:8, Rd																2
OR.B Rs, Rd																2
XOR	B	2														2
XOR.B #xx:8, Rd																2
XOR.B Rs, Rd																2
NOT	B	2														2
NOT.B Rd																2
SHAL	B	2														2
SHAL.B Rd																2



ニーモニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション	コンディションコード							実行 ステート 数		
		#xx:8/16	Rn	@Rn	@(d:16, Rn)		@-Rn/@Rn+	@aa:8/16	@(d:8, PC)	@aa	I	H	N		Z	V
BSET	BSET #xx:3, @aa:8					4										8
	BSET Rn, Rd		2													2
	BSET Rn, @Rd			4												8
	BSET Rn, @aa:8					4										8
BCLR	BCLR #xx:3, Rd		2													2
	BCLR #xx:3, @Rd			4												8
	BCLR #xx:3, @aa:8					4										8
	BCLR Rn, Rd		2													2
	BCLR Rn, @Rd			4												8
	BCLR Rn, @aa:8					4										8
	BNOT #xx:3, Rd		2													2
	BNOT #xx:3, @Rd			4												8
BNOT	BNOT #xx:3, @aa:8					4										8
	BNOT Rn, Rd		2													2
	BNOT Rn, @Rd			4												8
	BNOT Rn, @aa:8					4										8
	BTST #xx:3, Rd		2													2
	BTST #xx:3, @Rd			4												6
	BTST #xx:3, @aa:8					4										6
	BTST Rn, Rd		2													2

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディションコード						実行ステート数	
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16		@(d:8, PC)	@aa	I	H	N	Z		V
BTST	B			4					(Rn8 of @Rd16) Z	—	—	—	↑	—	—	6
	B						4		(Rn8 of @aa:8) Z	—	—	—	↑	—	—	6
BLD	B	2							(#xx:3 of Rd8) C	—	—	—	—	—	↑	2
	B		4						(#xx:3 of @Rd16) C	—	—	—	—	—	↑	6
	B						4		(#xx:3 of @aa:8) C	—	—	—	—	—	↑	6
BILD	B	2							(#xx:3 of @Rd16) C	—	—	—	—	—	↑	2
	B		4						(#xx:3 of @Rd8) C	—	—	—	—	—	↑	6
	B						4		(#xx:3 of @aa:8) C	—	—	—	—	—	↑	6
BST	B	2							C (#xx:3 of Rd8)	—	—	—	—	—	—	2
	B		4						C (#xx:3 of @Rd16)	—	—	—	—	—	—	8
	B						4		C (#xx:3 of @aa:8)	—	—	—	—	—	—	8
BIST	B	2							C̄ (#xx:3 of Rd8)	—	—	—	—	—	—	2
	B		4						C̄ (#xx:3 of @Rd16)	—	—	—	—	—	—	8
	B						4		C̄ (#xx:3 of @aa:8)	—	—	—	—	—	—	8
BAND	B	2							C (#xx:3 of Rd8) C	—	—	—	—	—	↑	2
	B		4						C (#xx:3 of @Rd16) C	—	—	—	—	—	↑	6
	B						4		C (#xx:3 of @aa:8) C	—	—	—	—	—	↑	6
BIAND	B	2							C (#xx:3 of Rd8) C	—	—	—	—	—	↑	2
	B		4						C (#xx:3 of @Rd16) C	—	—	—	—	—	↑	6
	B						4		C (#xx:3 of @aa:8) C	—	—	—	—	—	↑	6
BOR	B	2							C (#xx:3 of Rd8) C	—	—	—	—	—	↑	2
	B		4						C (#xx:3 of @Rd16) C	—	—	—	—	—	↑	6
	B						4		C (#xx:3 of @aa:8) C	—	—	—	—	—	↑	6

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション		コンディションコード							実行 ステート 数
		Rn	@Rn	@(d16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d18, PC)	@aa	I	H	N	Z	V	C	
BIOR	BIOR #xx:3, Rd	2						C (#xx:3 of Rd8) C	—	—	—	—	—	↑	2
	BIOR #xx:3, @Rd		4					C (#xx:3 of @Rd16) C	—	—	—	—	—	↑	6
	BIOR #xx:3, @aa:8				4			C (#xx:3 of @aa:8) C	—	—	—	—	—	↑	6
BXOR	BXOR #xx:3, Rd	2						C ⊕ (#xx:3 of Rd8) C	—	—	—	—	—	↑	2
	BXOR #xx:3, @Rd		4					C ⊕ (#xx:3 of @Rd16) C	—	—	—	—	—	↑	6
	BXOR #xx:3, @aa:8				4			C ⊕ (#xx:3 of @aa:8) C	—	—	—	—	—	↑	6
BIXOR	BIXOR #xx:3, Rd	2						C ⊕ (#xx:3 of Rd8) C	—	—	—	—	—	↑	2
	BIXOR #xx:3, @Rd		4					C ⊕ (#xx:3 of @Rd16) C	—	—	—	—	—	↑	6
	BIXOR #xx:3, @aa:8				4			C ⊕ (#xx:3 of @aa:8) C	—	—	—	—	—	↑	6
Bcc	BRA d:8 (BT d:8)	—					2	PC PC+d:8	—	—	—	—	—	—	4
	BRN d:8 (BF d:8)	—					2	PC PC+2	—	—	—	—	—	—	4
	BHL d:8	—					2	if condition	—	—	—	—	—	—	4
	BLS d:8	—					2	is true then	—	—	—	—	—	—	4
	BCC d:8 (BHS d:8)	—					2	PC PC+d:8	—	—	—	—	—	—	4
	BCS d:8 (BLO d:8)	—					2	else next;	—	—	—	—	—	—	4
	BNE d:8	—					2		—	—	—	—	—	—	4
	BEQ d:8	—					2		—	—	—	—	—	—	4
	BVC d:8	—					2		—	—	—	—	—	—	4
	BVS d:8	—					2		—	—	—	—	—	—	4
BPL d:8	—					2		—	—	—	—	—	—	4	
BMI d:8	—					2		—	—	—	—	—	—	4	
BGE d:8	—					2		N ⊕ V=0	—	—	—	—	—	4	
BLT d:8	—					2		N ⊕ V=1	—	—	—	—	—	4	
BGT d:8	—					2		Z (N ⊕ V)=0	—	—	—	—	—	4	
BLE d:8	—					2		Z (N ⊕ V)=1	—	—	—	—	—	4	

オペレーション	アドレッシングモード/命令長(バイト)							実行 ステート 数								
	#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aaa:8/16	@(d:8, PC)		@aa							
JMP	JMP @Rn		2							I	H	N	Z	V	C	4
	JMP @aa:16					4										6
	JMP @ @aa:8							2								8
BSR	BSR d:8						2									6
	JSR @Rn		2													6
	JSR @aa:16					4										8
RTS	JSR @ @aa:8								2							8
	RTS															8
	RTE															10

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション	コンディションコード							実行ステップ数			
		#xx:8/16	Rn	@Rn	@(d:16, Rn) @-Rn/@Rn+ @aaa:8/16 @(d:8, PC) @@aa		I	H	N	Z	V	C					
SLEEP	—					2											2
LDC	B	2															2
LDC	B	2	2														2
STC	B	2	2														2
ANDC	B	2															2
ORC	B	2															2
XORC	B	2															2
NOP	—																2
EEPMOV	—																(4)

【注】 (1)：ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0"にクリアされます。

(2)：演算結果がゼロのとき、演算前の値を保持し、それ以外のとき0にクリアされます。

(3)：補正結果に桁上がりが発生したとき1にセットされ、それ以外のとき演算前の値を保持します。

(4)：実行ステップ数は、R4Lの設定値がnのとき4n+9となります (H8/3827Rグループ)。H8/3827S、H8/38427グループでは4n+8となります。

(5)：除数が負のとき1にセットされ、それ以外のとき0"にクリアされます。

(6)：除数がゼロのとき1にセットされ、それ以外のとき0"にクリアされます。

A.2 オペレーションコードマップ

表 A.2 にオペレーションコードマップを示します。表 A.2 では、命令コードの第 1 バイト (第 1 ワードのビット 15~8) についてのみ示しています。

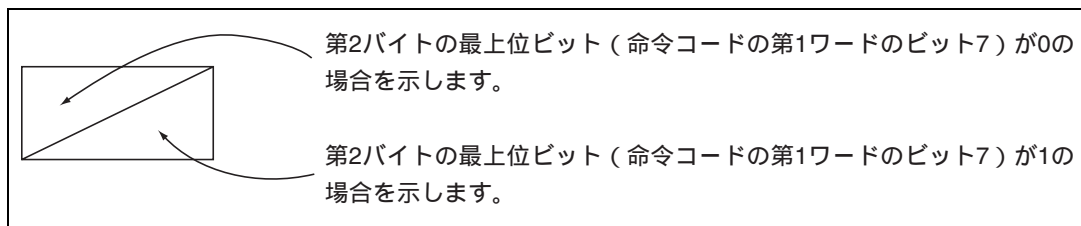


表 A.2 オペレーションコードマップ

HI	LO	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	SLEEP	STC	LDC	LDC	ORC	XORC	ANDC	LDC	ADD	INC	ADD	ADD	MOV	ADDX	DAA	
1	SHLL SHLR	SHAR	ROTL ROTR	ROTXL ROTXR	OR	XOR	AND	AND	NOT	NEG	SUB	DEC	SUBS	CMP	SUBX	DAS	
2	MOV																
3	MOV																
4	BRA	BRN	BHI	BLS	BCC	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU			RTS	RTS	BSR	RTE				JMP				JSR	
6	BSET	BNOT	BCLR	BTST	BOR	BOR	BXOR BXOR	BAND BAND	BIST BIST	BLD BLD	BIAND BIAND			MOV*			
7											MOV		EEPMOV				ビット操作命令
8	ADD																
9	ADDX																
A	CMP																
B	SUBX																
C	OR																
D	XOR																
E	AND																
F	MOV																

【注】 * PUSH、POP命令の機械語はMOV命令と同一です。

A.3 命令実行ステート数

H8/300L CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.4 に命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライト等のサイクル数を示し、表 A.3 に各々のサイクルに必要なステート数を示します。命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

実行ステート数計算例

(例) 内蔵 ROM より命令をフェッチし、内蔵 RAM をアクセスした場合

1. BSET #0, @FF00
表A.4より
 $I = L = 2$ 、 $J = K = M = N = 0$
表A.3より
 $S_I = 2$ 、 $S_L = 2$
実行ステート数 $= 2 \times 2 + 2 \times 2 = 8$
内蔵ROMより命令をフェッチし、内蔵ROMより分岐アドレスをリード、スタック領域は内蔵RAMとした場合
2. JSR @@30
表A.4より
 $I = 2$ 、 $J = K = 1$ 、 $L = M = N = 0$
表A.3より
 $S_I = S_J = S_K = 2$
実行ステート数 $= 2 \times 2 + 1 \times 2 + 1 \times 2 = 8$

表 A.3 実行状態 (サイクル) に要するステート数

実行状態 (サイクル)		アクセス対象	
		内蔵メモリ	内蔵周辺モジュール
命令フェッチ	S_I	2	X X 2 または 3* X
分岐アドレスリード	S_J		
スタック操作	S_K		
バイトデータアクセス	S_L		
ワードデータアクセス	S_M		
内部動作	S_N	1	

【注】 * 内蔵周辺モジュールによって異なります。詳細は、「2.9.1 データアクセスに関する注意事項」を参照してください。

表 A.4 命令の実行状態 (サイクル数)

命令	ニーモニック	命令 フェッチ	分岐アドレ スリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W Rs, Rd	1					
ADDS	ADDS.W #1, Rd	1					
	ADDS.W #2, Rd	1					
ADDX	ADDX.B #xx:8, Rd	1					
	ADDX.B Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @Rd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHId:8	2					
	BLSd:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNEd:8	2					
	BEQd:8	2					
	BVCd:8	2					
	BVSd:8	2					
	BPLd:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					
BLE d:8	2						
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @Rd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @Rd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @Rd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @Rd	2			1		
	BILD #xx:3, @aa:8	2			1		

命令	ニーモニック	命令 フェッチ	分岐アドレ スリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部動作
		I	J	K	L	M	N
BIOR	BIOR #xx:3, Rd	1					
	BIOR #xx:3, @Rd	2			1		
	BIOR #xx:3, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @Rd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @Rd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @Rd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @Rd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @Rd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @Rd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @Rd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @Rd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	2		1			
BST	BST #xx:3, Rd	1					
	BST #xx:3, @Rd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @Rd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @Rd	2			1		
	BTST Rn, @aa:8	2			1		
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @Rd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W Rs, Rd	1					

付録

命令	ニーモニック	命令 フェッチ	分岐アドレ スリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部動作
		I	J	K	L	M	N
DAA	DAA.B Rd	1					
DAS	DAS.B Rd	1					
DEC	DEC.B Rd	1					
DIVXU	DIVXU.B Rs, Rd	1					12
EEPMOV	EEPMOV	2			$2n + 2^{*1}$		1^{*2}
INC	INC.B Rd	1					
JMP	JMP @Rn	2					
	JMP @aa:16	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @Rn	2		1			
	JSR @aa:16	2		1			2
	JSR @@aa:8	2	1	1			
LDC	LDC #xx:8, CCR	1					
	LDC Rs, CCR	1					
MOV	MOV.B #xx:8, Rd	1					
	MOV.B Rs, Rd	1					
	MOV.B @Rs, Rd	1			1		
	MOV.B @(d:16, Rs), Rd	2			1		
	MOV.B @Rs+, Rd	1			1		2
	MOV.B @aa:8, Rd	1			1		
	MOV.B @aa:16, Rd	2			1		
MOV	MOV.B Rs, @Rd	1			1		
	MOV.B Rs, @(d:16, Rd)	2			1		
	MOV.B Rs, @-Rd	1			1		2
	MOV.B Rs, @aa:8	1			1		
	MOV.B Rs, @aa:16	2			1		
	MOV.W #xx:16, Rd	2					
	MOV.W Rs, Rd	1					
	MOV.W @Rs, Rd	1				1	
	MOV.W @(d:16, Rs), Rd	2				1	
	MOV.W @Rs+, Rd	1				1	2
	MOV.W @aa:16, Rd	2				1	
	MOV.W Rs, @Rd	1				1	
	MOV.W Rs, @(d:16, Rd)	2				1	
	MOV.W Rs, @-Rd	1				1	2
MOV.W Rs, @aa:16	2				1		
MULXU	MULXU.B Rs, Rd	1					12
NEG	NEG.B Rd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
OR	OR.B #xx:8, Rd	1					
	OR.B Rs, Rd	1					
ORC	ORC #xx:8, CCR	1					

命令	ニーモニック	命令 フェッチ	分岐アドレ スリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部動作
		I	J	K	L	M	N
ROTL	ROTL.B Rd	1					
ROTR	ROTR.B Rd	1					
ROTXL	ROTXL.B Rd	1					
ROTXR	ROTXR.B Rd	1					
RTE	RTE	2		2			2
RTS	RTS	2		1			2
SHAL	SHAL.B Rd	1					
SHAR	SHAR.B Rd	1					
SHLL	SHLL.B Rd	1					
SHLR	SHLR.B Rd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
SUB	SUB.B Rs, Rd	1					
	SUB.W Rs, Rd	1					
SUBS	SUBS.W #1, Rd	1					
	SUBS.W #2, Rd	1					
POP	POP Rd	1		1			2
PUSH	PUSH Rs	1		1			2
SUBX	SUBX.B #xx:8, Rd	1					
	SUBX.B Rs, Rd	1					
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
XORC	XORC #xx:8, CCR	1					

【注】 *1 n は R4L の設定値です。ソース側、デスティネーション側のアクセスが、それぞれ (n+1) 回行われます。

*2 H8/3827R グループでは 1、H8/3827S、H8/38327、H8/38427 グループは 0。

B. 内部 I/O レジスタ一覧

B.1 アドレス一覧

上位アドレス : H'F0

下位 アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'20	FLMCR1		SWE	ESU	PSU	EV	PV	E	P	ROM
H'21	FLMCR2	FLER								
H'22	FLPWCR	PDWND								
H'23	EBR	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	
H'24										
H'25										
H'26										
H'27										
H'28										
H'29										
H'2A										
H'2B	FENR	FLSHE								
H'2C										
H'2D										
H'2E										
H'2F										

上位アドレス：H'FF

下位 アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'90	WEGR	WKEGS7	WKEGS6	WKEGS5	WKEGS4	WKEGS3	WKEGS2	WKEGS1	WKEGS0	システム コントロール
H'91	SPCR			SPC32	SPC31	SCINV3	SCINV2	SCINV1	SCINV0	SCI
H'92	CWOSR								CWOS	タイマA
H'93										
H'94										
H'95	ECCSR	OVH	OVL		CH2	CUEH	CUEL	CRCH	CRCL	非同期 イベント カウンタ
H'96	ECH	ECH7	ECH6	ECH5	ECH4	ECH3	ECH2	ECH1	ECH0	
H'97	ECL	ECL7	ECL6	ECL5	ECL4	ECL3	ECL2	ECL1	ECL0	
H'98	SMR31	COM31	CHR31	PE31	PM31	STOP31	MP31	CKS311	CKS310	SCI31
H'99	BRR31	BRR317	BRR316	BRR315	BRR314	BRR313	BRR312	BRR311	BRR310	
H'9A	SCR31	TIE31	RIE31	TE31	RE31	MPIE31	TEIE31	CKE311	CKE310	
H'9B	TDR31	TDR317	TDR316	TDR315	TDR314	TDR313	TDR312	TDR311	TDR310	
H'9C	SSR31	TDRE31	RDRF31	OER31	FER31	PER31	TEND31	MPBR31	MPBT31	
H'9D	RDR31	RDR317	RDR316	RDR315	RDR314	RDR313	RDR312	RDR311	RDR310	
H'9E										
H'9F										
H'A0										
H'A1										
H'A2										
H'A3										
H'A4										
H'A5										
H'A6										
H'A7										
H'A8	SMR32	COM32	CHR32	PE32	PM32	STOP32	MP32	CKS321	CKS320	SCI32
H'A9	BRR32	BRR327	BRR326	BRR325	BRR324	BRR323	BRR322	BRR321	BRR320	
H'AA	SCR32	TIE32	RIE32	TE32	RE32	MPIE32	TEIE32	CKE321	CKE320	
H'AB	TDR32	TDR327	TDR326	TDR325	TDR324	TDR323	TDR322	TDR321	TDR320	
H'AC	SSR32	TDRE32	RDRF32	OER32	FER32	PER32	TEND32	MPBR32	MPBT32	
H'AD	RDR32	RDR327	RDR326	RDR325	RDR324	RDR323	RDR322	RDR321	RDR320	
H'AE										
H'AF										
H'B0	TMA	TMA7	TMA6	TMA5		TMA3	TMA2	TMA1	TMA0	
H'B1	TCA	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0	ウォッチ ドッグタイマ
H'B2	TCSRW	B6WI	TCWE	B4WI	TCSRWE	B2WI	WDON	BOWI	WRST	
H'B3	TCW	TCW7	TCW6	TCW5	TCW4	TCW3	TCW2	TCW1	TCW0	
H'B4	TMC	TMC7	TMC6	TMC5			TMC2	TMC1	TMC0	タイマC
H'B5	TCC/TLC	TCC7/ TLC7	TCC6/ TLC6	TCC5/ TLC5	TCC4/ TLC4	TCC3/ TLC3	TCC2/ TLC2	TCC1/ TLC1	TCC0/ TLC0	
H'B6	TCRF	TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0	タイマF

付録

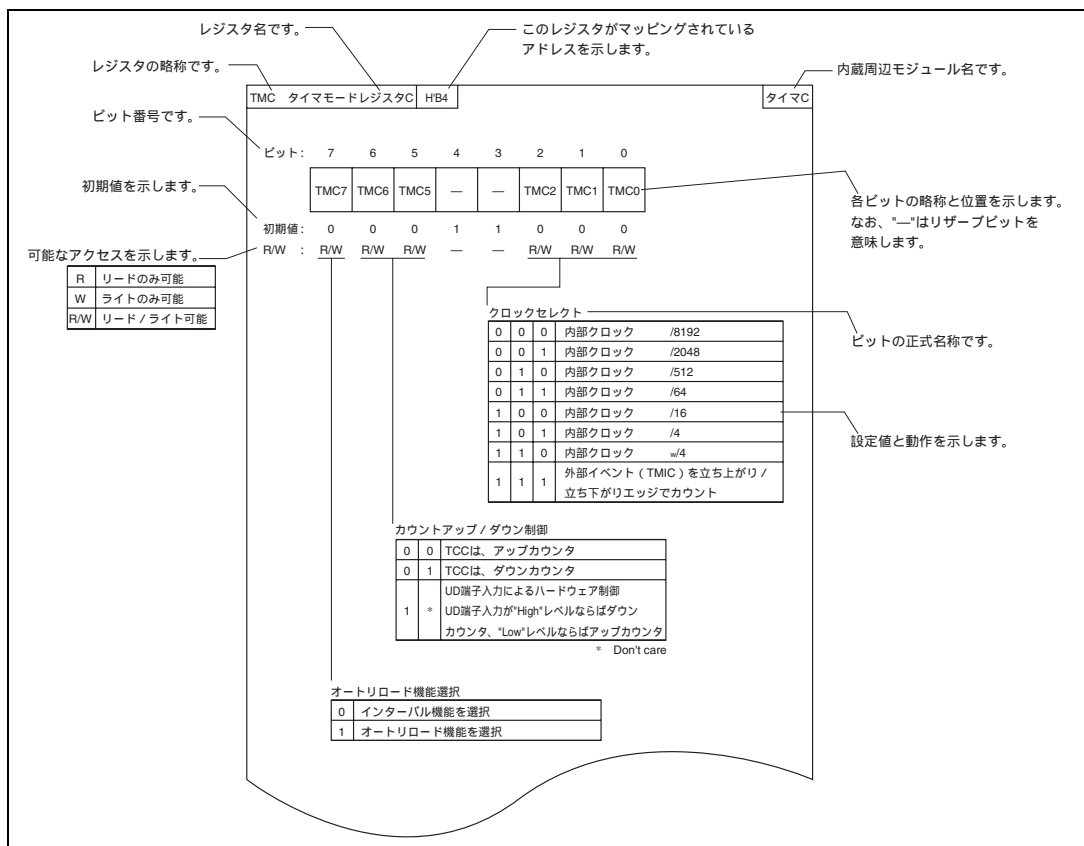
下位 アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'B7	TCSRFB	OVFH	CMFH	OVIEH	CCLRH	OVFL	CMFL	OVIEL	CCLRL	タイマ F
H'B8	TCFH	TCFH7	TCFH6	TCFH5	TCFH4	TCFH3	TCFH2	TCFH1	TCFH0	
H'B9	TCFL	TCFL7	TCFL6	TCFL5	TCFL4	TCFL3	TCFL2	TCFL1	TCFL0	
H'BA	OCRFH	OCRFH7	OCRFH6	OCRFH5	OCRFH4	OCRFH3	OCRFH2	OCRFH1	OCRFH0	
H'BB	OCRFL	OCRFL7	OCRFL6	OCRFL5	OCRFL4	OCRFL3	OCRFL2	OCRFL1	OCRFL0	
H'BC	TMG	OVFH	OVFL	OVIE	IIEGS	CCLR1	CCLR0	CKS1	CKS0	
H'BD	ICRGF	ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0	タイマ G
H'BE	ICRGR	ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0	
H'BF										
H'C0	LPCR	DTS1	DTS0	CMX	SGX	SGS3	SGS2	SGS1	SGS0	LCD コントローラ / ドライバ
H'C1	LCR		PSW	ACT	DISP	CKS3	CKS2	CKS1	CKS0	
H'C2	LCR2	LCDAB				CDS3	CDS2	CDS1	CDS0	
H'C3										A/D 変換器
H'C4	ADRRH	ADR9	ADR8	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	
H'C5	ADRRL	ADR1	ADR0							
H'C6	AMR	CKS	TRGE			CH3	CH2	CH1	CH0	
H'C7	ADSR	ADSF								
H'C8	PMR1	IRQ3	IRQ2	IRQ1	IRQ4	TMIG	TMOFH	TMOFL	TMOW	
H'C9	PMR2	EXCL								
H'CA	PMR3	AEVL	AEVH	WDCKS	NCS	IRQ0	RESO	UD	PWM	
H'CB										
H'CC	PMR5	WKP7	WKP6	WKP5	WKP4	WKP3	WKP2	WKP1	WKP0	
H'CD										
H'CE										
H'CF										
H'D0	PWCR							PWCR1	PWCR0	14 ビット PWM
H'D1	PWDRU			PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0	
H'D2	PWDRL	PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0	
H'D3										I/O ポート
H'D4	PDR1	P17	P16	P15	P14	P13	P12	P11	P10	
H'D5										
H'D6	PDR3	P37	P36	P35	P34	P33	P32	P31	P30	
H'D7	PDR4					P43	P42	P41	P40	
H'D8	PDR5	P57	P56	P55	P54	P53	P52	P51	P50	
H'D9	PDR6	P67	P66	P65	P64	P63	P62	P61	P60	
H'DA	PDR7	P77	P76	P75	P74	P73	P72	P71	P70	
H'DB	PDR8	P87	P86	P85	P84	P83	P82	P81	P80	
H'DC										
H'DD	PDRA					PA3	PA2	PA1	PA0	
H'DE	PDRB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	
H'DF										

下位 アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'E0	PUCR1	PUCR17	PUCR16	PUCR15	PUCR14	PUCR13	PUCR12	PUCR11	PUCR10	I/Oポート
H'E1	PUCR3	PUCR37	PUCR36	PUCR35	PUCR34	PUCR33	PUCR32	PUCR31	PUCR30	
H'E2	PUCR5	PUCR57	PUCR56	PUCR55	PUCR54	PUCR53	PUCR52	PUCR51	PUCR50	
H'E3	PUCR6	PUCR67	PUCR66	PUCR65	PUCR64	PUCR63	PUCR62	PUCR61	PUCR60	
H'E4	PCR1	PCR17	PCR16	PCR15	PCR14	PCR13	PCR12	PCR11	PCR10	
H'E5										
H'E6	PCR3	PCR37	PCR36	PCR35	PCR34	PCR33	PCR32	PCR31	PCR30	
H'E7	PCR4						PCR42	PCR41	PCR40	
H'E8	PCR5	PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50	
H'E9	PCR6	PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60	
H'EA	PCR7	PCR77	PCR76	PCR75	PCR74	PCR73	PCR72	PCR71	PCR70	
H'EB	PCR8	PCR87	PCR86	PCR85	PCR84	PCR83	PCR82	PCR81	PCR80	
H'EC										
H'ED	PCRA					PCRA3	PCRA2	PCRA1	PCRA0	
H'EE										
H'EF										
H'F0	SYSCR1	SSBY	STS2	STS1	STS0	LSON		MA1	MA0	システム コントロール
H'F1	SYSCR2				NESEL	DTON	MSON	SA1	SA0	
H'F2	IEGR				IEG4	IEG3	IEG2	IEG1	IEG0	
H'F3	IENR1	IENTA		IENWP	IEN4	IEN3	IEN2	IEN1	IEN0	
H'F4	IENR2	IENDT	IENAD		IENTG	IENTFH	IENTFL	IENTC	IENEC	
H'F5										
H'F6	IRR1	IRRTA			IRRI4	IRRI3	IRRI2	IRRI1	IRRI0	
H'F7	IRR2	IRRTD	IRRAD		IRRTG	IRRTFH	IRRTFL	IRRTC	IRREC	
H'F8										
H'F9	IWPR	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0	
H'FA	CKSTPR1		S31CKSTP	S32CKSTP	ADCKSTP	TGCKSTP	TFCKSTP	TCKSTP	TACKSTP	
H'FB	CKSTPR2					AECKSTP	WDCKSTP	PWCKSTP	LDCKSTP	
H'FC										
H'FD										
H'FE										
H'FF										

記号説明

SCI : シリアルコミュニケーションインタフェース

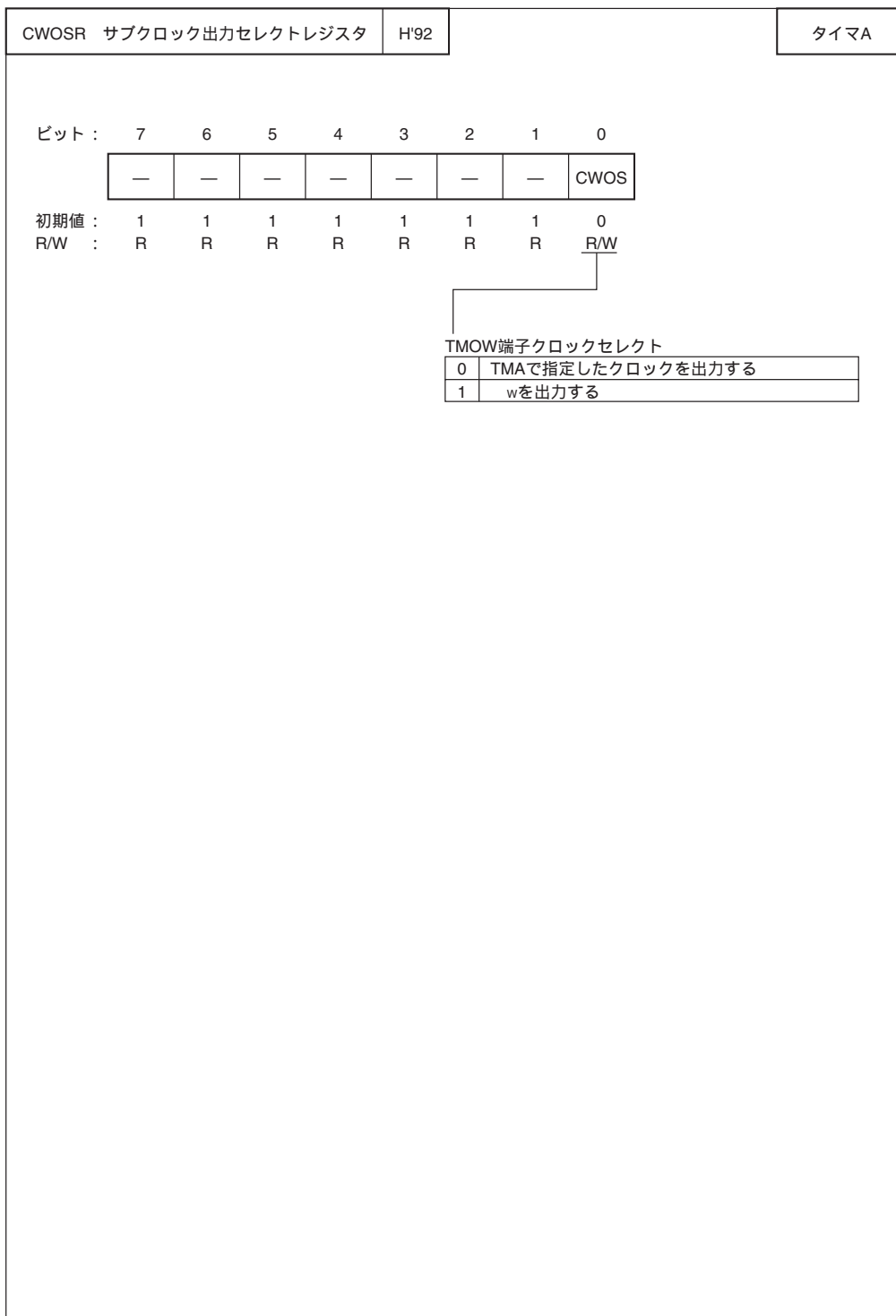
B.2 機能一覧

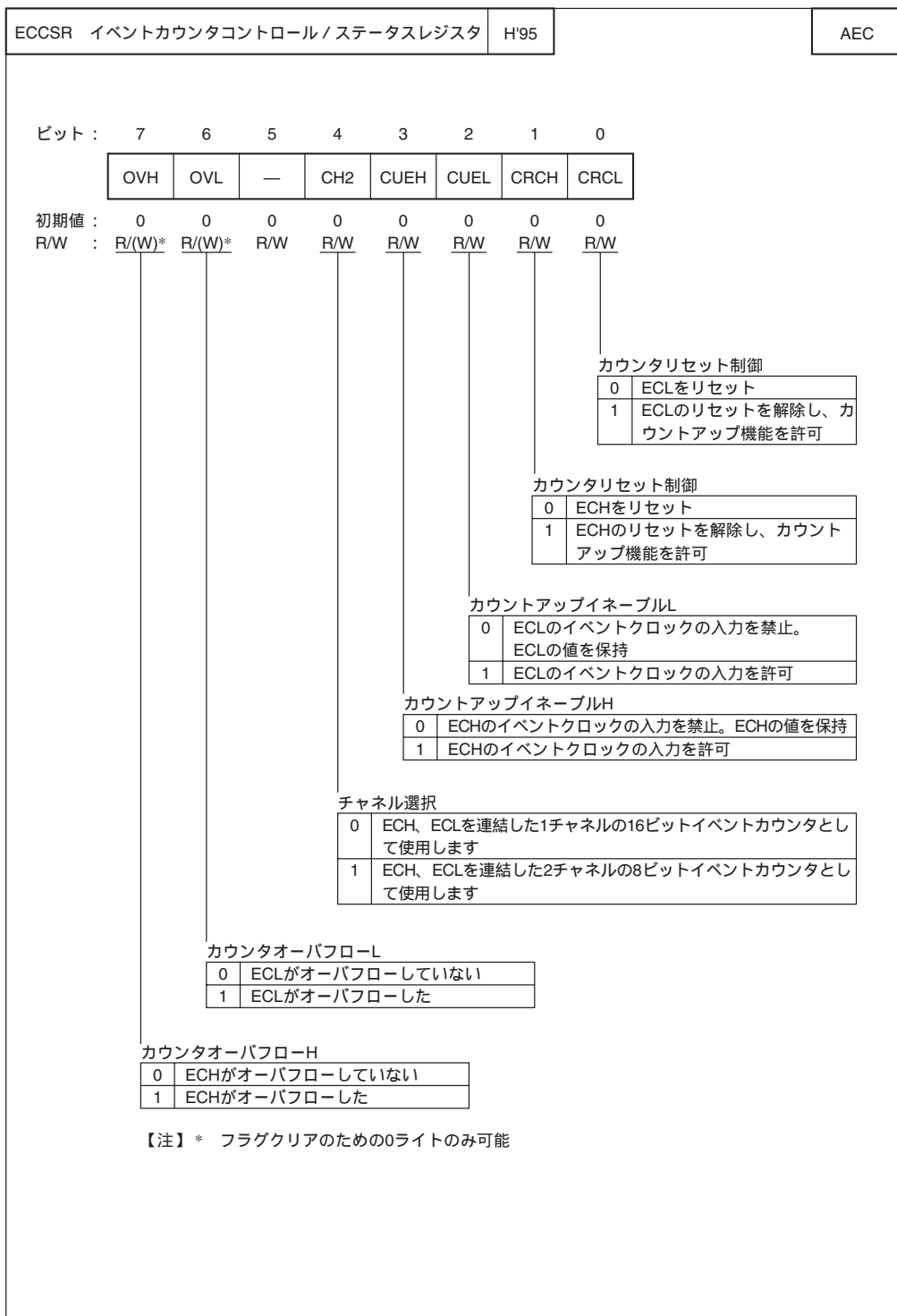


FLMCR1 フラッシュメモリコントロールレジスタ1		HF020						フラッシュメモリ				
ビット :	7	6	5	4	3	2	1	0				
		SWE	ESU	PSU	EV	PV	E	P				
初期値 :	0	0	0	0	0	0	0	0				
R/W :		R/W	R/W	R/W	R/W	R/W	R/W	R/W				
								プログラムモード <table border="1"> <tr> <td>0</td> <td>プログラムモードを解除 (初期値)</td> </tr> <tr> <td>1</td> <td>プログラムモードに遷移 [セットするための条件] SWE=1、PSU=1のとき</td> </tr> </table>	0	プログラムモードを解除 (初期値)	1	プログラムモードに遷移 [セットするための条件] SWE=1、PSU=1のとき
0	プログラムモードを解除 (初期値)											
1	プログラムモードに遷移 [セットするための条件] SWE=1、PSU=1のとき											
								イレースモード <table border="1"> <tr> <td>0</td> <td>イレースモードを解除 (初期値)</td> </tr> <tr> <td>1</td> <td>イレースモードに遷移 [セットするための条件] SWE=1、ESU=1のとき</td> </tr> </table>	0	イレースモードを解除 (初期値)	1	イレースモードに遷移 [セットするための条件] SWE=1、ESU=1のとき
0	イレースモードを解除 (初期値)											
1	イレースモードに遷移 [セットするための条件] SWE=1、ESU=1のとき											
								プログラムベリファイモード <table border="1"> <tr> <td>0</td> <td>プログラムベリファイモードを解除 (初期値)</td> </tr> <tr> <td>1</td> <td>プログラムベリファイモードに遷移 [セットするための条件] SWE=1のとき</td> </tr> </table>	0	プログラムベリファイモードを解除 (初期値)	1	プログラムベリファイモードに遷移 [セットするための条件] SWE=1のとき
0	プログラムベリファイモードを解除 (初期値)											
1	プログラムベリファイモードに遷移 [セットするための条件] SWE=1のとき											
								イレースベリファイモード <table border="1"> <tr> <td>0</td> <td>イレースベリファイモードを解除 (初期値)</td> </tr> <tr> <td>1</td> <td>イレースベリファイモードに遷移 [セットするための条件] SWE=1のとき</td> </tr> </table>	0	イレースベリファイモードを解除 (初期値)	1	イレースベリファイモードに遷移 [セットするための条件] SWE=1のとき
0	イレースベリファイモードを解除 (初期値)											
1	イレースベリファイモードに遷移 [セットするための条件] SWE=1のとき											
								プログラムセットアップ <table border="1"> <tr> <td>0</td> <td>プログラムセットアップ解除 (初期値)</td> </tr> <tr> <td>1</td> <td>プログラムセットアップ [セットするための条件] SWE=1のとき</td> </tr> </table>	0	プログラムセットアップ解除 (初期値)	1	プログラムセットアップ [セットするための条件] SWE=1のとき
0	プログラムセットアップ解除 (初期値)											
1	プログラムセットアップ [セットするための条件] SWE=1のとき											
								イレースセットアップ <table border="1"> <tr> <td>0</td> <td>イレースセットアップ解除 (初期値)</td> </tr> <tr> <td>1</td> <td>イレースセットアップ [セットするための条件] SWE=1のとき</td> </tr> </table>	0	イレースセットアップ解除 (初期値)	1	イレースセットアップ [セットするための条件] SWE=1のとき
0	イレースセットアップ解除 (初期値)											
1	イレースセットアップ [セットするための条件] SWE=1のとき											
								ソフトウェアライトイネーブルビット <table border="1"> <tr> <td>0</td> <td>書き込み / 消去無効 (初期値)</td> </tr> <tr> <td>1</td> <td>書き込み / 消去有効</td> </tr> </table>	0	書き込み / 消去無効 (初期値)	1	書き込み / 消去有効
0	書き込み / 消去無効 (初期値)											
1	書き込み / 消去有効											

FLMCR2 フラッシュメモリコントロールレジスタ2	H'F021	フラッシュメモリ												
ビット： 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td>FLER</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </table> 初期値： 0 0 0 0 0 0 0 0 R/W： R フラッシュメモリエラー 【注】 FLMCR2へのライトは禁止されています。			FLER											
FLER														
FLPWCR フラッシュメモリパワーコントロールレジスタ	H'F022	フラッシュメモリ												
ビット： 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td>PDWND</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </table> 初期値： 0 0 0 0 0 0 0 0 R/W： R/W パワーダウンディスエーブル <table border="1" style="width: 100%; text-align: center;"> <tr> <td>0</td> <td>サブアクティブモードに遷移するとフラッシュメモリは低消費電力モードとなる。</td> </tr> <tr> <td>1</td> <td>サブアクティブモードに遷移するとフラッシュメモリは通常モードとなる。</td> </tr> </table>			PDWND								0	サブアクティブモードに遷移するとフラッシュメモリは低消費電力モードとなる。	1	サブアクティブモードに遷移するとフラッシュメモリは通常モードとなる。
PDWND														
0	サブアクティブモードに遷移するとフラッシュメモリは低消費電力モードとなる。													
1	サブアクティブモードに遷移するとフラッシュメモリは通常モードとなる。													
EBR ブロック指定レジスタ	H'F023	フラッシュメモリ												
ビット： 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td>EB7</td> <td>EB6</td> <td>EB5</td> <td>EB4</td> <td>EB3</td> <td>EB2</td> <td>EB1</td> <td>EB0</td> </tr> </table> 初期値： 0 0 0 0 0 0 0 0 R/W： R/W R/W R/W R/W R/W R/W R/W R/W ブロック7-0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td>0</td> <td>EB7-EB0ブロックを選択していないとき（初期値）</td> </tr> <tr> <td>1</td> <td>EB7-EB0ブロックを選択しているとき</td> </tr> </table> 【注】 EBRのビットは、消去するとき以外はH'00にしてください。			EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	0	EB7-EB0ブロックを選択していないとき（初期値）	1	EB7-EB0ブロックを選択しているとき
EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0							
0	EB7-EB0ブロックを選択していないとき（初期値）													
1	EB7-EB0ブロックを選択しているとき													
FENR フラッシュメモリエイネーブルレジスタ	H'F02B	フラッシュメモリ												
ビット： 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td>FLSHE</td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> <td></td> </tr> </table> 初期値： 0 0 0 0 0 0 0 0 R/W： R/W フラッシュメモリコントロールレジスタイネーブル <table border="1" style="width: 100%; text-align: center;"> <tr> <td>0</td> <td>フラッシュメモリ制御レジスタのアクセス不可</td> </tr> <tr> <td>1</td> <td>フラッシュメモリ制御レジスタのアクセス可能</td> </tr> </table>			FLSHE								0	フラッシュメモリ制御レジスタのアクセス不可	1	フラッシュメモリ制御レジスタのアクセス可能
FLSHE														
0	フラッシュメモリ制御レジスタのアクセス不可													
1	フラッシュメモリ制御レジスタのアクセス可能													

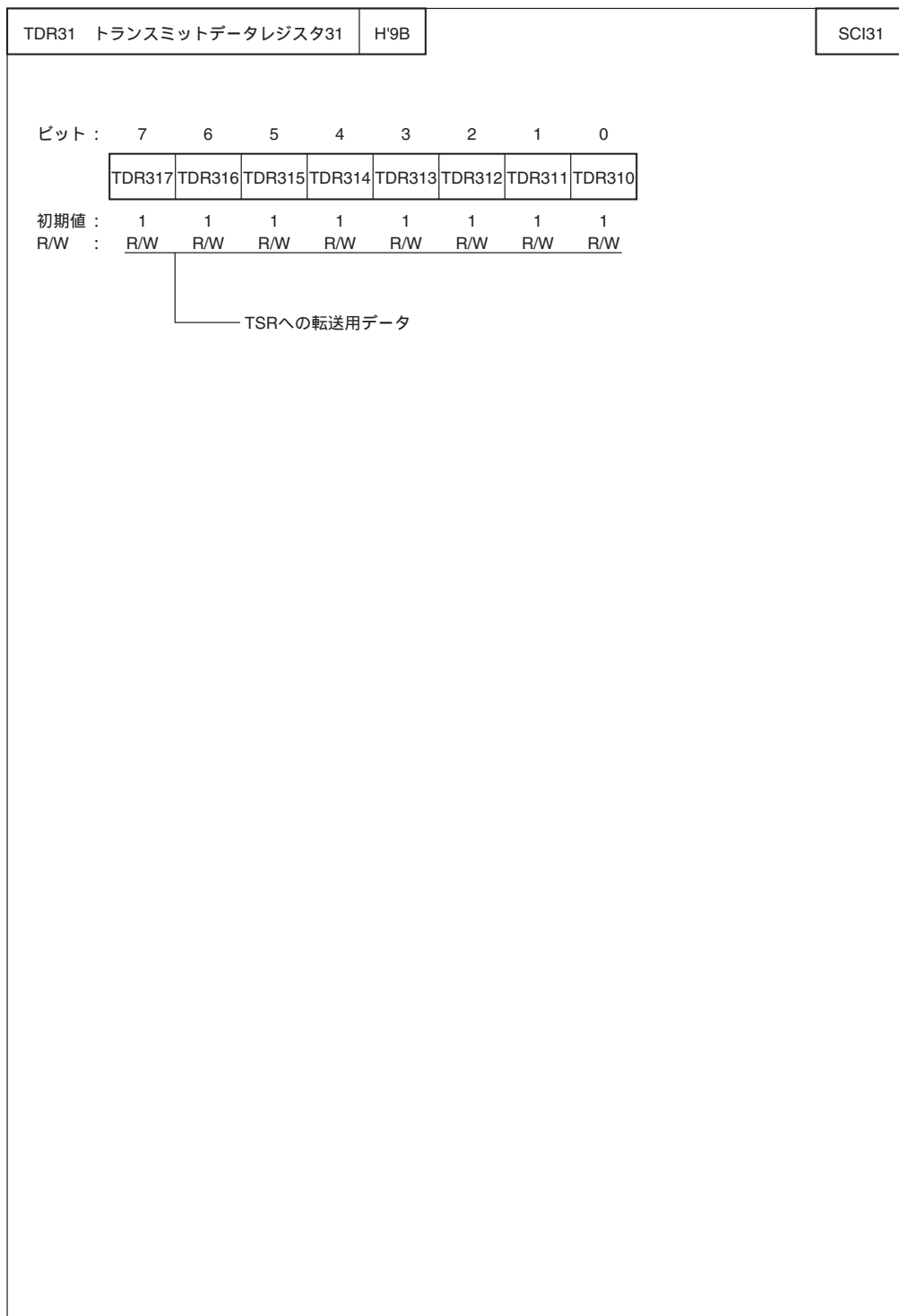
WEGR ウェイクアップエッジセレクトレジスタ		H'90		システムコントロール									
ビット : 7 6 5 4 3 2 1 0													
<table border="1"> <tr> <td>WKEGS7</td> <td>WKEGS6</td> <td>WKEGS5</td> <td>WKEGS4</td> <td>WKEGS3</td> <td>WKEGS2</td> <td>WKEGS1</td> <td>WKEGS0</td> </tr> </table>						WKEGS7	WKEGS6	WKEGS5	WKEGS4	WKEGS3	WKEGS2	WKEGS1	WKEGS0
WKEGS7	WKEGS6	WKEGS5	WKEGS4	WKEGS3	WKEGS2	WKEGS1	WKEGS0						
初期値 : 0 0 0 0 0 0 0 0													
R/W : R/W R/W R/W R/W R/W R/W R/W R/W													
<p>WKPn端子入力エッジ切り替え</p> <table border="1"> <tr> <td>0</td> <td>WKPnの立ち下がりエッジを検出</td> </tr> <tr> <td>1</td> <td>WKPnの立ち上がりエッジを検出</td> </tr> </table> <p>(n=0~7)</p>						0	WKPnの立ち下がりエッジを検出	1	WKPnの立ち上がりエッジを検出				
0	WKPnの立ち下がりエッジを検出												
1	WKPnの立ち上がりエッジを検出												
SPCR シリアルポートコントロールレジスタ		H'91		SCI									
ビット : 7 6 5 4 3 2 1 0													
<table border="1"> <tr> <td>—</td> <td>—</td> <td>SPC32</td> <td>SPC31</td> <td>SCINV3</td> <td>SCINV2</td> <td>SCINV1</td> <td>SCINV0</td> </tr> </table>						—	—	SPC32	SPC31	SCINV3	SCINV2	SCINV1	SCINV0
—	—	SPC32	SPC31	SCINV3	SCINV2	SCINV1	SCINV0						
初期値 : 1 1 0 0 0 0 0 0													
R/W : — — R/W R/W R/W R/W R/W R/W													
<p>RXD31端子入力データ反転切り替え</p> <table border="1"> <tr> <td>0</td> <td>RXD31の入力データを反転しない</td> </tr> <tr> <td>1</td> <td>RXD31の入力データを反転する</td> </tr> </table>						0	RXD31の入力データを反転しない	1	RXD31の入力データを反転する				
0	RXD31の入力データを反転しない												
1	RXD31の入力データを反転する												
<p>TXD31端子出力データ反転切り替え</p> <table border="1"> <tr> <td>0</td> <td>TXD31の出力データを反転しない</td> </tr> <tr> <td>1</td> <td>TXD31の出力データを反転する</td> </tr> </table>						0	TXD31の出力データを反転しない	1	TXD31の出力データを反転する				
0	TXD31の出力データを反転しない												
1	TXD31の出力データを反転する												
<p>RXD32端子入力データ反転切り替え</p> <table border="1"> <tr> <td>0</td> <td>RXD32の入力データを反転しない</td> </tr> <tr> <td>1</td> <td>RXD32の入力データを反転する</td> </tr> </table>						0	RXD32の入力データを反転しない	1	RXD32の入力データを反転する				
0	RXD32の入力データを反転しない												
1	RXD32の入力データを反転する												
<p>TXD32端子出力データ反転切り替え</p> <table border="1"> <tr> <td>0</td> <td>TXD32の出力データを反転しない</td> </tr> <tr> <td>1</td> <td>TXD32の出力データを反転する</td> </tr> </table>						0	TXD32の出力データを反転しない	1	TXD32の出力データを反転する				
0	TXD32の出力データを反転しない												
1	TXD32の出力データを反転する												
<p>P3s/TXD31端子機能切り替え</p> <table border="1"> <tr> <td>0</td> <td>P3s入出力端子として機能</td> </tr> <tr> <td>1</td> <td>TXD31出力端子として機能</td> </tr> </table>						0	P3s入出力端子として機能	1	TXD31出力端子として機能				
0	P3s入出力端子として機能												
1	TXD31出力端子として機能												
<p>P42/TXD32端子機能切り替え</p> <table border="1"> <tr> <td>0</td> <td>P42入出力端子として機能</td> </tr> <tr> <td>1</td> <td>TXD32出力端子として機能</td> </tr> </table>						0	P42入出力端子として機能	1	TXD32出力端子として機能				
0	P42入出力端子として機能												
1	TXD32出力端子として機能												





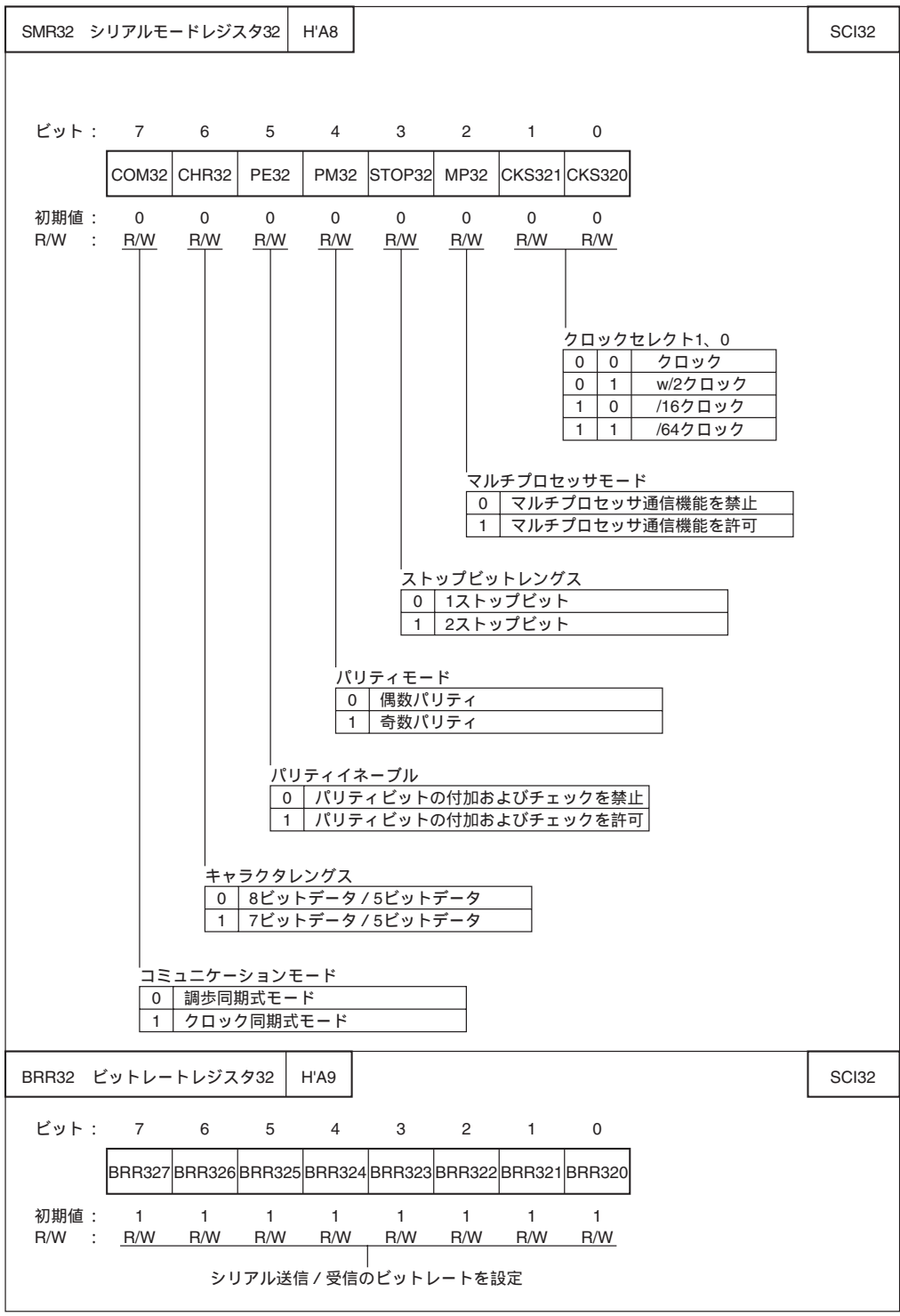
SMR31 シリアルモードレジスタ31		H'98						SCI31												
ビット :	7	6	5	4	3	2	1	0												
	COM31	CHR31	PE31	PM31	STOP31	MP31	CKS311	CKS310												
初期値 :	0	0	0	0	0	0	0	0												
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W												
								クロックセレクト1、0 <table border="1"> <tr><td>0</td><td>0</td><td>クロック</td></tr> <tr><td>0</td><td>1</td><td>w/2クロック</td></tr> <tr><td>1</td><td>0</td><td>/16クロック</td></tr> <tr><td>1</td><td>1</td><td>/64クロック</td></tr> </table>	0	0	クロック	0	1	w/2クロック	1	0	/16クロック	1	1	/64クロック
0	0	クロック																		
0	1	w/2クロック																		
1	0	/16クロック																		
1	1	/64クロック																		
								マルチプロセッサモード <table border="1"> <tr><td>0</td><td>マルチプロセッサ通信機能を禁止</td></tr> <tr><td>1</td><td>マルチプロセッサ通信機能を許可</td></tr> </table>	0	マルチプロセッサ通信機能を禁止	1	マルチプロセッサ通信機能を許可								
0	マルチプロセッサ通信機能を禁止																			
1	マルチプロセッサ通信機能を許可																			
								ストップビットレングス <table border="1"> <tr><td>0</td><td>1ストップビット</td></tr> <tr><td>1</td><td>2ストップビット</td></tr> </table>	0	1ストップビット	1	2ストップビット								
0	1ストップビット																			
1	2ストップビット																			
								パリティモード <table border="1"> <tr><td>0</td><td>偶数パリティ</td></tr> <tr><td>1</td><td>奇数パリティ</td></tr> </table>	0	偶数パリティ	1	奇数パリティ								
0	偶数パリティ																			
1	奇数パリティ																			
								パリティイネーブル <table border="1"> <tr><td>0</td><td>パリティビットの付加およびチェックを禁止</td></tr> <tr><td>1</td><td>パリティビットの付加およびチェックを許可</td></tr> </table>	0	パリティビットの付加およびチェックを禁止	1	パリティビットの付加およびチェックを許可								
0	パリティビットの付加およびチェックを禁止																			
1	パリティビットの付加およびチェックを許可																			
								キャラクタレングス <table border="1"> <tr><td>0</td><td>8ビットデータ / 5ビットデータ</td></tr> <tr><td>1</td><td>7ビットデータ / 5ビットデータ</td></tr> </table>	0	8ビットデータ / 5ビットデータ	1	7ビットデータ / 5ビットデータ								
0	8ビットデータ / 5ビットデータ																			
1	7ビットデータ / 5ビットデータ																			
								コミュニケーションモード <table border="1"> <tr><td>0</td><td>調歩同期式モード</td></tr> <tr><td>1</td><td>クロック同期式モード</td></tr> </table>	0	調歩同期式モード	1	クロック同期式モード								
0	調歩同期式モード																			
1	クロック同期式モード																			
BRR31 ビットレートレジスタ31		H'99						SCI31												
ビット :	7	6	5	4	3	2	1	0												
	BRR317	BRR316	BRR315	BRR314	BRR313	BRR312	BRR311	BRR310												
初期値 :	1	1	1	1	1	1	1	1												
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W												
	シリアル送信 / 受信のビットレートを設定																			

SCR31 シリアルコントロールレジスタ31	H'9A	SCI31																																																																																		
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">TIE31</td> <td style="padding: 2px;">RIE31</td> <td style="padding: 2px;">TE31</td> <td style="padding: 2px;">RE31</td> <td style="padding: 2px;">MPIE31</td> <td style="padding: 2px;">TEIE31</td> <td style="padding: 2px;">CKE311</td> <td style="padding: 2px;">CKE310</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p> <div style="margin-top: 10px;"> <p>クロックイネーブル</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <thead> <tr> <th style="padding: 2px;">ビット1</th> <th style="padding: 2px;">ビット0</th> <th colspan="3" style="padding: 2px;">説 明</th> </tr> </thead> <tbody> <tr> <td style="padding: 2px;">CKE311</td> <td style="padding: 2px;">CKE310</td> <td style="padding: 2px;">コミュニケーションモード</td> <td style="padding: 2px;">クロックソース</td> <td style="padding: 2px;">SCK₃端子機能</td> </tr> <tr> <td style="padding: 2px; text-align: center;">0</td> <td style="padding: 2px; text-align: center;">0</td> <td style="padding: 2px;">調歩同期式</td> <td style="padding: 2px;">内部クロック</td> <td style="padding: 2px;">入出力ポート</td> </tr> <tr> <td style="padding: 2px;"></td> <td style="padding: 2px;"></td> <td style="padding: 2px;">クロック同期式</td> <td style="padding: 2px;">内部クロック</td> <td style="padding: 2px;">同期クロック出力</td> </tr> <tr> <td style="padding: 2px; text-align: center;">0</td> <td style="padding: 2px; text-align: center;">1</td> <td style="padding: 2px;">調歩同期式</td> <td style="padding: 2px;">内部クロック</td> <td style="padding: 2px;">クロック出力</td> </tr> <tr> <td style="padding: 2px;"></td> <td style="padding: 2px;"></td> <td style="padding: 2px;">クロック同期式</td> <td colspan="2" style="padding: 2px;">リザーブ (本組み合わせは指定しない)</td> </tr> <tr> <td style="padding: 2px; text-align: center;">1</td> <td style="padding: 2px; text-align: center;">0</td> <td style="padding: 2px;">調歩同期式</td> <td style="padding: 2px;">外部クロック</td> <td style="padding: 2px;">クロック出力</td> </tr> <tr> <td style="padding: 2px;"></td> <td style="padding: 2px;"></td> <td style="padding: 2px;">クロック同期式</td> <td style="padding: 2px;">外部クロック</td> <td style="padding: 2px;">同期クロック入力</td> </tr> <tr> <td style="padding: 2px; text-align: center;">1</td> <td style="padding: 2px; text-align: center;">1</td> <td style="padding: 2px;">調歩同期式</td> <td colspan="2" style="padding: 2px;">リザーブ (本組み合わせは指定しない)</td> </tr> <tr> <td style="padding: 2px;"></td> <td style="padding: 2px;"></td> <td style="padding: 2px;">クロック同期式</td> <td colspan="2" style="padding: 2px;">リザーブ (本組み合わせは指定しない)</td> </tr> </tbody> </table> <p>トランスミットエンドインタラプトイネーブル</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px; text-align: center;">0</td> <td style="padding: 2px;">送信終了割り込み要求 (TEI) を禁止</td> </tr> <tr> <td style="padding: 2px; text-align: center;">1</td> <td style="padding: 2px;">送信終了割り込み要求 (TEI) を許可</td> </tr> </table> <p>マルチプロセッサインタラプトイネーブル</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px; text-align: center;">0</td> <td style="padding: 2px;">マルチプロセッサ割り込み要求を禁止 (通常の受信動作) (クリア条件) マルチプロセッサビットが1のデータを受信したとき</td> </tr> <tr> <td style="padding: 2px; text-align: center;">1</td> <td style="padding: 2px;">マルチプロセッサ割り込み要求を許可 マルチプロセッサビットが1のデータを受け取るまで受信割り込み要求 (RXI)、受信エラー割り込み要求 (ERI)、および、シリアルステータスレジスタ (SSR) のRDRF、FER、OERの各フラグのセットを禁止</td> </tr> </table> <p>レーシブイネーブル</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px; text-align: center;">0</td> <td style="padding: 2px;">受信動作を禁止 (RXD端子は入出力ポート)</td> </tr> <tr> <td style="padding: 2px; text-align: center;">1</td> <td style="padding: 2px;">受信動作を許可 (RXD端子はレーシブデータ端子)</td> </tr> </table> <p>トランスミットイネーブル</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px; text-align: center;">0</td> <td style="padding: 2px;">送信動作を禁止 (TXD端子は入出力ポート)</td> </tr> <tr> <td style="padding: 2px; text-align: center;">1</td> <td style="padding: 2px;">送信動作を許可 (TXD端子はトランスミットデータ端子)</td> </tr> </table> <p>レーシブインタラプトイネーブル</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px; text-align: center;">0</td> <td style="padding: 2px;">受信データフル割り込み要求 (RXI)、および受信エラー割り込み要求 (ERI) を禁止</td> </tr> <tr> <td style="padding: 2px; text-align: center;">1</td> <td style="padding: 2px;">受信データフル割り込み要求 (RXI)、および受信エラー割り込み要求 (ERI) を許可</td> </tr> </table> <p>トランスミットインタラプトイネーブル</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px; text-align: center;">0</td> <td style="padding: 2px;">送信データエンpty割り込み要求 (TXI) の禁止</td> </tr> <tr> <td style="padding: 2px; text-align: center;">1</td> <td style="padding: 2px;">送信データエンpty割り込み要求 (TXI) の許可</td> </tr> </table> </div>			TIE31	RIE31	TE31	RE31	MPIE31	TEIE31	CKE311	CKE310	ビット1	ビット0	説 明			CKE311	CKE310	コミュニケーションモード	クロックソース	SCK ₃ 端子機能	0	0	調歩同期式	内部クロック	入出力ポート			クロック同期式	内部クロック	同期クロック出力	0	1	調歩同期式	内部クロック	クロック出力			クロック同期式	リザーブ (本組み合わせは指定しない)		1	0	調歩同期式	外部クロック	クロック出力			クロック同期式	外部クロック	同期クロック入力	1	1	調歩同期式	リザーブ (本組み合わせは指定しない)				クロック同期式	リザーブ (本組み合わせは指定しない)		0	送信終了割り込み要求 (TEI) を禁止	1	送信終了割り込み要求 (TEI) を許可	0	マルチプロセッサ割り込み要求を禁止 (通常の受信動作) (クリア条件) マルチプロセッサビットが1のデータを受信したとき	1	マルチプロセッサ割り込み要求を許可 マルチプロセッサビットが1のデータを受け取るまで受信割り込み要求 (RXI)、受信エラー割り込み要求 (ERI)、および、シリアルステータスレジスタ (SSR) のRDRF、FER、OERの各フラグのセットを禁止	0	受信動作を禁止 (RXD端子は入出力ポート)	1	受信動作を許可 (RXD端子はレーシブデータ端子)	0	送信動作を禁止 (TXD端子は入出力ポート)	1	送信動作を許可 (TXD端子はトランスミットデータ端子)	0	受信データフル割り込み要求 (RXI)、および受信エラー割り込み要求 (ERI) を禁止	1	受信データフル割り込み要求 (RXI)、および受信エラー割り込み要求 (ERI) を許可	0	送信データエンpty割り込み要求 (TXI) の禁止	1	送信データエンpty割り込み要求 (TXI) の許可
TIE31	RIE31	TE31	RE31	MPIE31	TEIE31	CKE311	CKE310																																																																													
ビット1	ビット0	説 明																																																																																		
CKE311	CKE310	コミュニケーションモード	クロックソース	SCK ₃ 端子機能																																																																																
0	0	調歩同期式	内部クロック	入出力ポート																																																																																
		クロック同期式	内部クロック	同期クロック出力																																																																																
0	1	調歩同期式	内部クロック	クロック出力																																																																																
		クロック同期式	リザーブ (本組み合わせは指定しない)																																																																																	
1	0	調歩同期式	外部クロック	クロック出力																																																																																
		クロック同期式	外部クロック	同期クロック入力																																																																																
1	1	調歩同期式	リザーブ (本組み合わせは指定しない)																																																																																	
		クロック同期式	リザーブ (本組み合わせは指定しない)																																																																																	
0	送信終了割り込み要求 (TEI) を禁止																																																																																			
1	送信終了割り込み要求 (TEI) を許可																																																																																			
0	マルチプロセッサ割り込み要求を禁止 (通常の受信動作) (クリア条件) マルチプロセッサビットが1のデータを受信したとき																																																																																			
1	マルチプロセッサ割り込み要求を許可 マルチプロセッサビットが1のデータを受け取るまで受信割り込み要求 (RXI)、受信エラー割り込み要求 (ERI)、および、シリアルステータスレジスタ (SSR) のRDRF、FER、OERの各フラグのセットを禁止																																																																																			
0	受信動作を禁止 (RXD端子は入出力ポート)																																																																																			
1	受信動作を許可 (RXD端子はレーシブデータ端子)																																																																																			
0	送信動作を禁止 (TXD端子は入出力ポート)																																																																																			
1	送信動作を許可 (TXD端子はトランスミットデータ端子)																																																																																			
0	受信データフル割り込み要求 (RXI)、および受信エラー割り込み要求 (ERI) を禁止																																																																																			
1	受信データフル割り込み要求 (RXI)、および受信エラー割り込み要求 (ERI) を許可																																																																																			
0	送信データエンpty割り込み要求 (TXI) の禁止																																																																																			
1	送信データエンpty割り込み要求 (TXI) の許可																																																																																			

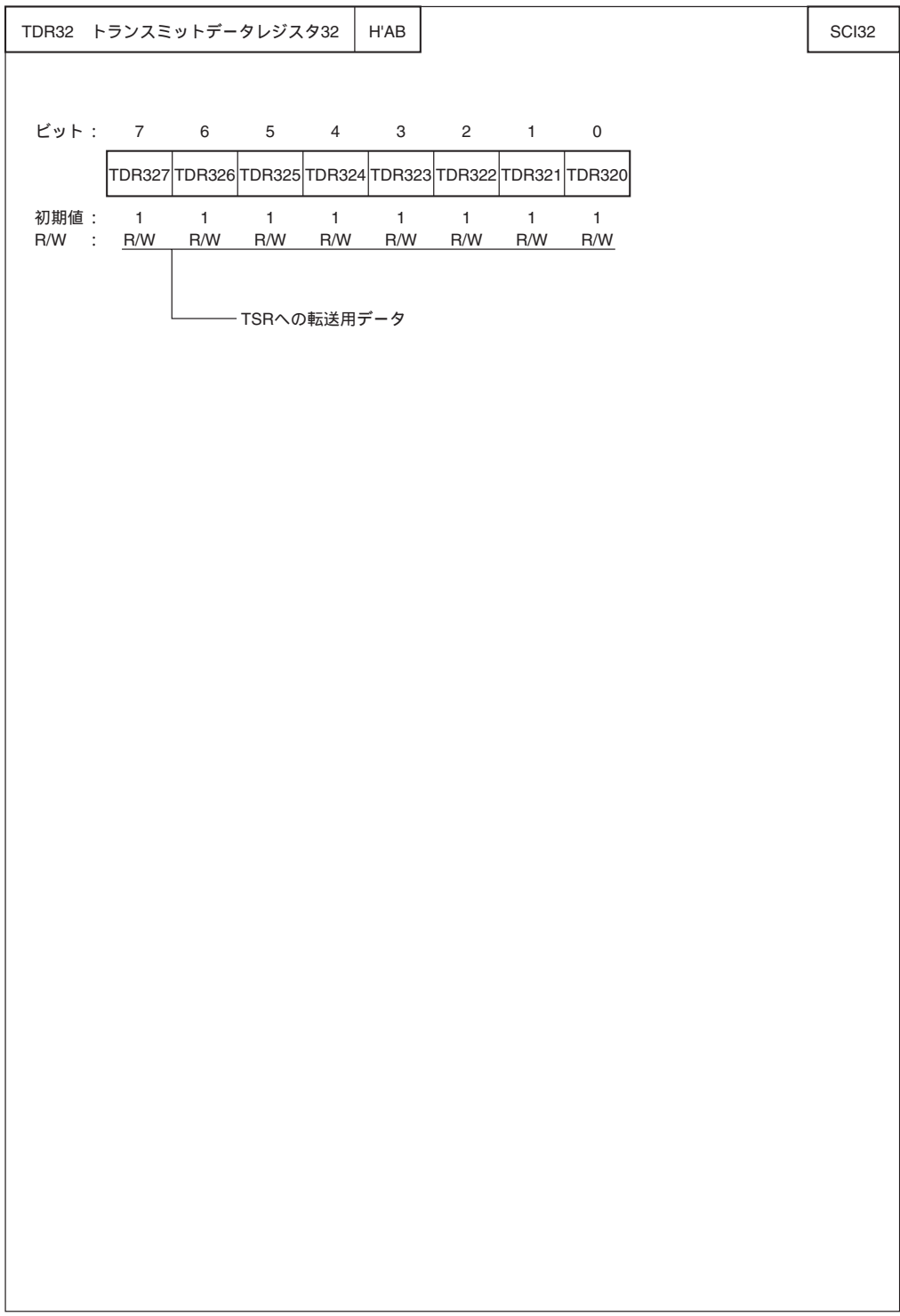


SSR31 シリアルステータスレジスタ31	H'9C	SCI31								
ビット : 7 6 5 4 3 2 1 0										
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;">TDRE31</td> <td style="width: 12.5%;">RDRF31</td> <td style="width: 12.5%;">OER31</td> <td style="width: 12.5%;">FER31</td> <td style="width: 12.5%;">PER31</td> <td style="width: 12.5%;">TEND31</td> <td style="width: 12.5%;">MPBR31</td> <td style="width: 12.5%;">MPBT31</td> </tr> </table>			TDRE31	RDRF31	OER31	FER31	PER31	TEND31	MPBR31	MPBT31
TDRE31	RDRF31	OER31	FER31	PER31	TEND31	MPBR31	MPBT31			
初期値 : 1 0 0 0 0 1 0 0										
R/W : R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R R R/W										
<table border="1" style="width: 50%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">マルチプロセッサビットトランスファ</td> </tr> <tr> <td style="width: 20px; text-align: center;">0</td> <td>マルチプロセッサビット0を送信</td> </tr> <tr> <td style="width: 20px; text-align: center;">1</td> <td>マルチプロセッサビット1を送信</td> </tr> </table>			マルチプロセッサビットトランスファ		0	マルチプロセッサビット0を送信	1	マルチプロセッサビット1を送信		
マルチプロセッサビットトランスファ										
0	マルチプロセッサビット0を送信									
1	マルチプロセッサビット1を送信									
<table border="1" style="width: 50%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">マルチプロセッサビットレシーブ</td> </tr> <tr> <td style="width: 20px; text-align: center;">0</td> <td>マルチプロセッサビットが0のデータを受信</td> </tr> <tr> <td style="width: 20px; text-align: center;">1</td> <td>マルチプロセッサビットが1のデータを受信</td> </tr> </table>			マルチプロセッサビットレシーブ		0	マルチプロセッサビットが0のデータを受信	1	マルチプロセッサビットが1のデータを受信		
マルチプロセッサビットレシーブ										
0	マルチプロセッサビットが0のデータを受信									
1	マルチプロセッサビットが1のデータを受信									
トランスミットエンド										
0	送信中 [クリア条件] (1) TDRE31 = 1の状態をリードした後、TDRE31に0をライトしたとき (2) 命令でTDR31にデータをライトしたとき									
1	送信終了 [セット条件] (1) シリアルコントロールレジスタ31 (SCR31) のTE31が0のとき (2) 送信キャラクタ最後尾のビットの送信時に、TDRE31が1であったとき									
パリティエラー										
0	受信中、または正常に受信完了 [クリア条件] PER31 = 1の状態をリードした後、0をライトしたとき									
1	受信時にパリティエラー発生 [セット条件] 受信時に受信データとパリティビットを合わせた1の数がシリアルモードレジスタ (SMR31) のパリティモード (PM31) で設定したパリティと一致しなかったとき									
フレーミングエラー										
0	受信中、または正常に受信完了 [クリア条件] FER31 = 1の状態をリードした後、0をライトしたとき									
1	受信時にフレーミングエラー発生 [セット条件] 受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき									
オーバランエラー										
0	受信中、または受信完了 [クリア条件] OER31 = 1の状態をリードした後、0をライトしたとき									
1	受信時にオーバランエラー発生 [セット条件] RDRF31が1の状態に次のシリアル受信を完了したとき									
レシーブデータレジスタフル										
0	RDR31に受信データ未格納 [クリア条件] (1) RDRF31 = 1の状態をリードした後、0をライトしたとき (2) 命令でRDR31のデータをリードしたとき									
1	RDR31に受信データ格納 [セット条件] 受信が正常終了し、RSR31からRDR31へ受信データが転送されたとき									
トランスミットデータレジスタエンpty										
0	TDR31にライトされた送信データがTSR31に転送されていない [クリア条件] (1) TDRE31 = 1の状態をリードした後、0をライトしたとき (2) 命令でTDR31へデータをライトしたとき									
1	TDR31に送信データがライトされていない、またはTDR31にライトされた送信データがTSR31に転送された [セット条件] (1) シリアルコントロールレジスタ31 (SCR31) のTE31が0のとき (2) TDR31からTSR31にデータ転送が行われたとき									
【注】 * フラグをクリアするための0ライトのみ可能										

RDR31 レシーブデータレジスタ31 H'9D	SCI31								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; margin-bottom: 5px;"> <tr> <td style="width: 10%;">RDR317</td> <td style="width: 10%;">RDR316</td> <td style="width: 10%;">RDR315</td> <td style="width: 10%;">RDR314</td> <td style="width: 10%;">RDR313</td> <td style="width: 10%;">RDR312</td> <td style="width: 10%;">RDR311</td> <td style="width: 10%;">RDR310</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R R R R R R R R</p> <p style="text-align: center; margin-top: 10px;">シリアル受信データを格納</p>		RDR317	RDR316	RDR315	RDR314	RDR313	RDR312	RDR311	RDR310
RDR317	RDR316	RDR315	RDR314	RDR313	RDR312	RDR311	RDR310		



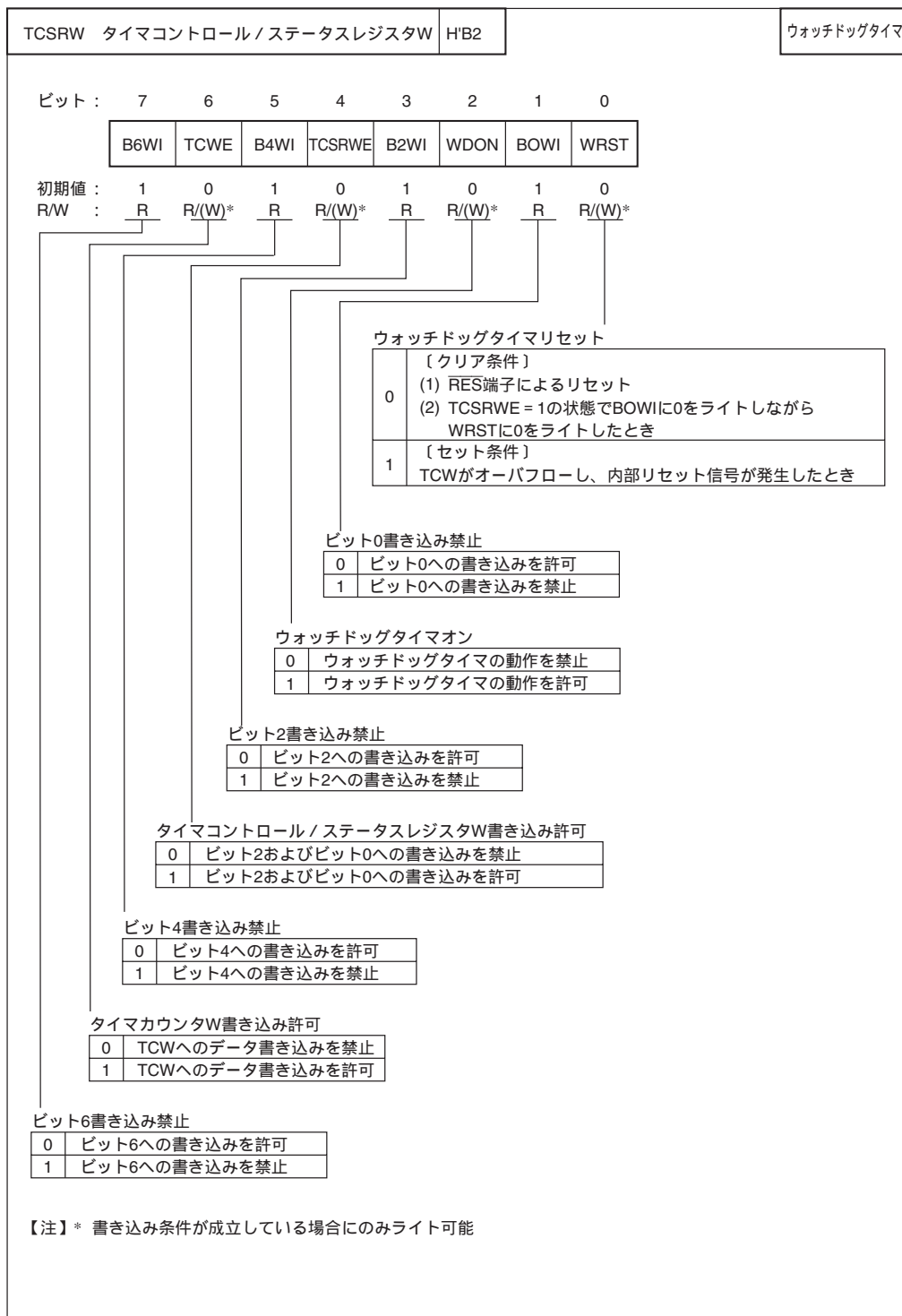
SCR32 シリアルコントロールレジスタ32					H'AA			SCI32																																																																
ビット :	7	6	5	4	3	2	1	0																																																																
	TIE32	RIE32	TE32	RE32	MPIE32	TEIE32	CKE321	CKE320																																																																
初期値 :	0	0	0	0	0	0	0	0																																																																
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W																																																																
<p>クロックイネーブル</p> <table border="1"> <thead> <tr> <th>ビット1</th> <th>ビット0</th> <th colspan="3">説 明</th> </tr> </thead> <tbody> <tr> <td>CKE321</td> <td>CKE320</td> <td>コミュニケーションモード</td> <td>クロックソース</td> <td>SCK₃端子機能</td> </tr> <tr> <td>0</td> <td>0</td> <td>調歩同期式</td> <td>内部クロック</td> <td>入出力ポート</td> </tr> <tr> <td rowspan="2">0</td> <td rowspan="2">1</td> <td>クロック同期式</td> <td>内部クロック</td> <td>同期クロック出力</td> </tr> <tr> <td>調歩同期式</td> <td>内部クロック</td> <td>クロック出力</td> </tr> <tr> <td rowspan="2">1</td> <td rowspan="2">0</td> <td>調歩同期式</td> <td>外部クロック</td> <td>クロック出力</td> </tr> <tr> <td>クロック同期式</td> <td>外部クロック</td> <td>同期クロック入力</td> </tr> <tr> <td rowspan="2">1</td> <td rowspan="2">1</td> <td>調歩同期式</td> <td>リザーブ (本組み合わせは指定しない)</td> <td></td> </tr> <tr> <td>クロック同期式</td> <td>リザーブ (本組み合わせは指定しない)</td> <td></td> </tr> </tbody> </table> <p>トランスミットエンドインタラプトイネーブル</p> <table border="1"> <tbody> <tr> <td>0</td> <td>送信終了割り込み要求 (TEI) を禁止</td> </tr> <tr> <td>1</td> <td>送信終了割り込み要求 (TEI) を許可</td> </tr> </tbody> </table> <p>マルチプロセッサインタラプトイネーブル</p> <table border="1"> <tbody> <tr> <td>0</td> <td>マルチプロセッサ割り込み要求を禁止 (通常の受信動作) (クリア条件) マルチプロセッサビットが1のデータを受信したとき</td> </tr> <tr> <td>1</td> <td>マルチプロセッサ割り込み要求を許可 マルチプロセッサビットが1のデータを受け取るまで受信割り込み要求 (RXI)、受信エラー割り込み要求 (ERI)、および、シリアルステータスレジスタ (SSR) のRDRF、FER、OERの各フラグのセットを禁止</td> </tr> </tbody> </table> <p>レシーブイネーブル</p> <table border="1"> <tbody> <tr> <td>0</td> <td>受信動作を禁止 (RXD端子は入出力ポート)</td> </tr> <tr> <td>1</td> <td>受信動作を許可 (RXD端子はレシーブデータ端子)</td> </tr> </tbody> </table> <p>トランスミットイネーブル</p> <table border="1"> <tbody> <tr> <td>0</td> <td>送信動作を禁止 (TXD端子は入出力ポート)</td> </tr> <tr> <td>1</td> <td>送信動作を許可 (TXD端子はトランスミットデータ端子)</td> </tr> </tbody> </table> <p>レシーブインタラプトイネーブル</p> <table border="1"> <tbody> <tr> <td>0</td> <td>受信データフル割り込み要求 (RXI)、および受信エラー割り込み要求 (ERI) を禁止</td> </tr> <tr> <td>1</td> <td>受信データフル割り込み要求 (RXI)、および受信エラー割り込み要求 (ERI) を許可</td> </tr> </tbody> </table> <p>トランスミットインタラプトイネーブル</p> <table border="1"> <tbody> <tr> <td>0</td> <td>送信データエンpty割り込み要求 (TXI) の禁止</td> </tr> <tr> <td>1</td> <td>送信データエンpty割り込み要求 (TXI) の許可</td> </tr> </tbody> </table>										ビット1	ビット0	説 明			CKE321	CKE320	コミュニケーションモード	クロックソース	SCK ₃ 端子機能	0	0	調歩同期式	内部クロック	入出力ポート	0	1	クロック同期式	内部クロック	同期クロック出力	調歩同期式	内部クロック	クロック出力	1	0	調歩同期式	外部クロック	クロック出力	クロック同期式	外部クロック	同期クロック入力	1	1	調歩同期式	リザーブ (本組み合わせは指定しない)		クロック同期式	リザーブ (本組み合わせは指定しない)		0	送信終了割り込み要求 (TEI) を禁止	1	送信終了割り込み要求 (TEI) を許可	0	マルチプロセッサ割り込み要求を禁止 (通常の受信動作) (クリア条件) マルチプロセッサビットが1のデータを受信したとき	1	マルチプロセッサ割り込み要求を許可 マルチプロセッサビットが1のデータを受け取るまで受信割り込み要求 (RXI)、受信エラー割り込み要求 (ERI)、および、シリアルステータスレジスタ (SSR) のRDRF、FER、OERの各フラグのセットを禁止	0	受信動作を禁止 (RXD端子は入出力ポート)	1	受信動作を許可 (RXD端子はレシーブデータ端子)	0	送信動作を禁止 (TXD端子は入出力ポート)	1	送信動作を許可 (TXD端子はトランスミットデータ端子)	0	受信データフル割り込み要求 (RXI)、および受信エラー割り込み要求 (ERI) を禁止	1	受信データフル割り込み要求 (RXI)、および受信エラー割り込み要求 (ERI) を許可	0	送信データエンpty割り込み要求 (TXI) の禁止	1	送信データエンpty割り込み要求 (TXI) の許可
ビット1	ビット0	説 明																																																																						
CKE321	CKE320	コミュニケーションモード	クロックソース	SCK ₃ 端子機能																																																																				
0	0	調歩同期式	内部クロック	入出力ポート																																																																				
0	1	クロック同期式	内部クロック	同期クロック出力																																																																				
		調歩同期式	内部クロック	クロック出力																																																																				
1	0	調歩同期式	外部クロック	クロック出力																																																																				
		クロック同期式	外部クロック	同期クロック入力																																																																				
1	1	調歩同期式	リザーブ (本組み合わせは指定しない)																																																																					
		クロック同期式	リザーブ (本組み合わせは指定しない)																																																																					
0	送信終了割り込み要求 (TEI) を禁止																																																																							
1	送信終了割り込み要求 (TEI) を許可																																																																							
0	マルチプロセッサ割り込み要求を禁止 (通常の受信動作) (クリア条件) マルチプロセッサビットが1のデータを受信したとき																																																																							
1	マルチプロセッサ割り込み要求を許可 マルチプロセッサビットが1のデータを受け取るまで受信割り込み要求 (RXI)、受信エラー割り込み要求 (ERI)、および、シリアルステータスレジスタ (SSR) のRDRF、FER、OERの各フラグのセットを禁止																																																																							
0	受信動作を禁止 (RXD端子は入出力ポート)																																																																							
1	受信動作を許可 (RXD端子はレシーブデータ端子)																																																																							
0	送信動作を禁止 (TXD端子は入出力ポート)																																																																							
1	送信動作を許可 (TXD端子はトランスミットデータ端子)																																																																							
0	受信データフル割り込み要求 (RXI)、および受信エラー割り込み要求 (ERI) を禁止																																																																							
1	受信データフル割り込み要求 (RXI)、および受信エラー割り込み要求 (ERI) を許可																																																																							
0	送信データエンpty割り込み要求 (TXI) の禁止																																																																							
1	送信データエンpty割り込み要求 (TXI) の許可																																																																							



SSR32 シリアルステータスレジスタ32		H'AC						SCI32	
ビット : 7 6 5 4 3 2 1 0									
TDRE32		RDRF32		OER32		FER32		PER32	
TEND32		MPBR32		MPBT32					
初期値 : 1 0 0 0 0 1 0 0									
R/W : R/(W)*		R/(W)*		R/(W)*		R/(W)*		R	
								R	
								R/W	
マルチプロセッサビットトランスファ									
0 マルチプロセッサビット0を送信									
1 マルチプロセッサビット1を送信									
マルチプロセッサビットレシブ									
0 マルチプロセッサビットが0のデータを受信									
1 マルチプロセッサビットが1のデータを受信									
トランスミットエンド									
0 送信中 〔クリア条件〕 (1) TDRE32 = 1の状態をリードした後、TDRE32に0をライトしたとき (2) 命令でTDR32にデータをライトしたとき									
1 送信終了 〔セット条件〕 (1) シリアルコントロールレジスタ32 (SCR32) のTE32が0のとき (2) 送信キャラクタ最後尾のビットの送信時に、TDRE32が1であったとき									
パリティエラー									
0 受信中、または正常に受信完了 〔クリア条件〕 PER32 = 1の状態をリードした後、0をライトしたとき									
1 受信時にパリティエラー発生 〔セット条件〕 受信時に受信データとパリティビットを合わせた1の数がシリアルモードレジスタ (SMR32) のパリティモード (PM32) で設定したパリティと一致しなかったとき									
フレーミングエラー									
0 受信中、または正常に受信完了 〔クリア条件〕 FER32 = 1の状態をリードした後、0をライトしたとき									
1 受信時にフレーミングエラー発生 〔セット条件〕 受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき									
オーバランエラー									
0 受信中、または受信完了 〔クリア条件〕 OER32 = 1の状態をリードした後、0をライトしたとき									
1 受信時にオーバランエラー発生 〔セット条件〕 RDRF32が1の状態下次のシリアル受信を完了したとき									
レシブデータレジスタフル									
0 RDR32に受信データ未格納 〔クリア条件〕 (1) RDRF32 = 1の状態をリードした後、0をライトしたとき (2) 命令でRDR32のデータをリードしたとき									
1 RDR32に受信データ格納 〔セット条件〕 受信が正常終了し、RSR32からRDR32へ受信データが転送されたとき									
トランスミットデータレジスタエンプティ									
0 TDR32にライトされた送信データがTSR32に転送されていない 〔クリア条件〕 (1) TDRE32 = 1の状態をリードした後、0をライトしたとき (2) 命令でTDR32へデータをライトしたとき									
1 TDR32に送信データがライトされていない、またはTDR32にライトされた送信データがTSR32に転送された 〔セット条件〕 (1) シリアルコントロールレジスタ32 (SCR32) のTE32が0のとき (2) TDR32からTSR32にデータ転送が行われたとき									
【注】 * フラグをクリアするための0ライトのみ可能									

RDR32 レシーブデータレジスタ32	H'AD	SCI32																																																																								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">RDR327</td> <td style="padding: 2px;">RDR326</td> <td style="padding: 2px;">RDR325</td> <td style="padding: 2px;">RDR324</td> <td style="padding: 2px;">RDR323</td> <td style="padding: 2px;">RDR322</td> <td style="padding: 2px;">RDR321</td> <td style="padding: 2px;">RDR320</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0 R/W : R R R R R R R R</p> <p style="text-align: center;">シリアル受信データを格納</p>			RDR327	RDR326	RDR325	RDR324	RDR323	RDR322	RDR321	RDR320																																																																
RDR327	RDR326	RDR325	RDR324	RDR323	RDR322	RDR321	RDR320																																																																			
TMA タイマモードレジスタA	H'B0	タイマA																																																																								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">TMA7</td> <td style="padding: 2px;">TMA6</td> <td style="padding: 2px;">TMA5</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">TMA3</td> <td style="padding: 2px;">TMA2</td> <td style="padding: 2px;">TMA1</td> <td style="padding: 2px;">TMA0</td> </tr> </table> <p>初期値 : 0 0 0 1 0 0 0 0 R/W : R/W R/W R/W — R/W R/W R/W R/W</p> <p>内部クロックセレクト</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">TMA3</th> <th style="width: 10%;">TMA2</th> <th style="width: 10%;">TMA1</th> <th style="width: 10%;">TMA0</th> <th style="width: 40%;">プリスケラ分周比またはオーバフロー周期</th> <th style="width: 20%;">機能</th> </tr> </thead> <tbody> <tr> <td rowspan="6" style="text-align: center; vertical-align: middle;">0</td> <td rowspan="3" style="text-align: center; vertical-align: middle;">0</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td>PSS /8192</td> <td rowspan="6" style="text-align: center; vertical-align: middle;">インターバル</td> </tr> <tr> <td style="text-align: center;">1</td> <td>PSS /4096</td> </tr> <tr> <td style="text-align: center;">1</td> <td>PSS /2048</td> </tr> <tr> <td rowspan="3" style="text-align: center; vertical-align: middle;">1</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td>PSS /256</td> </tr> <tr> <td style="text-align: center;">1</td> <td>PSS /128</td> </tr> <tr> <td style="text-align: center;">1</td> <td>PSS /32</td> </tr> <tr> <td rowspan="6" style="text-align: center; vertical-align: middle;">1</td> <td rowspan="4" style="text-align: center; vertical-align: middle;">0</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td>PSW 1s</td> <td rowspan="6" style="text-align: center; vertical-align: middle;">時計用タイムベース (32,768kHz使用時)</td> </tr> <tr> <td style="text-align: center;">1</td> <td>PSW 0.5s</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td>PSW 0.25s</td> </tr> <tr> <td style="text-align: center;">1</td> <td>PSW 0.03125s</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">PSW、TCAリセット</td> </tr> <tr> <td style="text-align: center;">1</td> </tr> </tbody> </table> <p>クロック出力セレクト*</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">0</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td>/32</td> </tr> <tr> <td style="text-align: center;">1</td> <td>/16</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td>/8</td> </tr> <tr> <td style="text-align: center;">1</td> <td>/4</td> </tr> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">1</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td>w/32</td> </tr> <tr> <td style="text-align: center;">1</td> <td>w/16</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td>w/8</td> </tr> <tr> <td style="text-align: center;">1</td> <td>w/4</td> </tr> </table> <p>【注】 * CWOSRのCWOSビット=0の場合の値です。CWOSビット=1のときは、TMA7~5ビットの値に関係なくCWが出力されます。</p>			TMA7	TMA6	TMA5	—	TMA3	TMA2	TMA1	TMA0	TMA3	TMA2	TMA1	TMA0	プリスケラ分周比またはオーバフロー周期	機能	0	0	0	0	PSS /8192	インターバル	1	PSS /4096	1	PSS /2048	1	0	0	PSS /256	1	PSS /128	1	PSS /32	1	0	0	0	PSW 1s	時計用タイムベース (32,768kHz使用時)	1	PSW 0.5s	1	0	PSW 0.25s	1	PSW 0.03125s	1	1	0	PSW、TCAリセット	1	0	0	0	/32	1	/16	1	0	/8	1	/4	1	0	0	w/32	1	w/16	1	0	w/8	1	w/4
TMA7	TMA6	TMA5	—	TMA3	TMA2	TMA1	TMA0																																																																			
TMA3	TMA2	TMA1	TMA0	プリスケラ分周比またはオーバフロー周期	機能																																																																					
0	0	0	0	PSS /8192	インターバル																																																																					
			1	PSS /4096																																																																						
		1	PSS /2048																																																																							
	1	0	0	PSS /256																																																																						
			1	PSS /128																																																																						
		1	PSS /32																																																																							
1	0	0	0	PSW 1s	時計用タイムベース (32,768kHz使用時)																																																																					
			1	PSW 0.5s																																																																						
		1	0	PSW 0.25s																																																																						
			1	PSW 0.03125s																																																																						
	1	1	0	PSW、TCAリセット																																																																						
			1																																																																							
0	0	0	/32																																																																							
		1	/16																																																																							
	1	0	/8																																																																							
		1	/4																																																																							
1	0	0	w/32																																																																							
		1	w/16																																																																							
	1	0	w/8																																																																							
		1	w/4																																																																							

TCA タイマカウンタA	H'B1	タイマA								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">TCA7</td> <td style="width: 20px;">TCA6</td> <td style="width: 20px;">TCA5</td> <td style="width: 20px;">TCA4</td> <td style="width: 20px;">TCA3</td> <td style="width: 20px;">TCA2</td> <td style="width: 20px;">TCA1</td> <td style="width: 20px;">TCA0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R R R R R R R R</p> <p style="margin-left: 100px;"> </p> <p style="margin-left: 100px;">カウント値</p>			TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0			



TCW タイマカウンタW	HB3	ウォッチドッグ タイマ								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">TCW7</td> <td style="padding: 2px 5px;">TCW6</td> <td style="padding: 2px 5px;">TCW5</td> <td style="padding: 2px 5px;">TCW4</td> <td style="padding: 2px 5px;">TCW3</td> <td style="padding: 2px 5px;">TCW2</td> <td style="padding: 2px 5px;">TCW1</td> <td style="padding: 2px 5px;">TCW0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center; margin-left: 100px;"> カウント値</p>			TCW7	TCW6	TCW5	TCW4	TCW3	TCW2	TCW1	TCW0
TCW7	TCW6	TCW5	TCW4	TCW3	TCW2	TCW1	TCW0			

TMC タイマモードレジスタC	H'B4	タイマC																																																													
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width: 10%;">TMC7</td> <td style="width: 10%;">TMC6</td> <td style="width: 10%;">TMC5</td> <td style="width: 10%;">—</td> <td style="width: 10%;">—</td> <td style="width: 10%;">TMC2</td> <td style="width: 10%;">TMC1</td> <td style="width: 10%;">TMC0</td> </tr> </table> <p>初期値 : 0 0 0 1 1 0 0 0</p> <p>R/W : R/W R/W R/W — — R/W R/W R/W</p> <div style="margin-top: 20px;"> <p style="text-align: center;">クロックセレクト</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr><td>0</td><td>0</td><td>0</td><td>内部クロック</td><td>/8192</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>内部クロック</td><td>/2048</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>内部クロック</td><td>/512</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>内部クロック</td><td>/64</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>内部クロック</td><td>/16</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>内部クロック</td><td>/4</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>内部クロック</td><td>w/4</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>外部イベント (TMIC) : 立ち上がり / 立ち下がりエッジでカウント</td><td></td></tr> </table> </div> <div style="margin-top: 20px;"> <p style="text-align: center;">カウンタアップ/ダウン制御</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr><td>0</td><td>0</td><td>TCCは、アップカウンタ</td></tr> <tr><td>0</td><td>1</td><td>TCCは、ダウンカウンタ</td></tr> <tr><td>1</td><td>*</td><td>TCCのアップ/ダウンは、UD端子入力によるハードウェア制御 UD端子入力がHighレベルならばダウンカウンタ、Lowレベルならばアップカウンタ</td></tr> </table> <p style="text-align: right; margin-right: 50px;">* Don't care</p> </div> <div style="margin-top: 20px;"> <p style="text-align: center;">オートリロード機能選択</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr><td>0</td><td>インターバル機能を選択</td></tr> <tr><td>1</td><td>オートリロード機能を選択</td></tr> </table> </div>			TMC7	TMC6	TMC5	—	—	TMC2	TMC1	TMC0	0	0	0	内部クロック	/8192	0	0	1	内部クロック	/2048	0	1	0	内部クロック	/512	0	1	1	内部クロック	/64	1	0	0	内部クロック	/16	1	0	1	内部クロック	/4	1	1	0	内部クロック	w/4	1	1	1	外部イベント (TMIC) : 立ち上がり / 立ち下がりエッジでカウント		0	0	TCCは、アップカウンタ	0	1	TCCは、ダウンカウンタ	1	*	TCCのアップ/ダウンは、UD端子入力によるハードウェア制御 UD端子入力がHighレベルならばダウンカウンタ、Lowレベルならばアップカウンタ	0	インターバル機能を選択	1	オートリロード機能を選択
TMC7	TMC6	TMC5	—	—	TMC2	TMC1	TMC0																																																								
0	0	0	内部クロック	/8192																																																											
0	0	1	内部クロック	/2048																																																											
0	1	0	内部クロック	/512																																																											
0	1	1	内部クロック	/64																																																											
1	0	0	内部クロック	/16																																																											
1	0	1	内部クロック	/4																																																											
1	1	0	内部クロック	w/4																																																											
1	1	1	外部イベント (TMIC) : 立ち上がり / 立ち下がりエッジでカウント																																																												
0	0	TCCは、アップカウンタ																																																													
0	1	TCCは、ダウンカウンタ																																																													
1	*	TCCのアップ/ダウンは、UD端子入力によるハードウェア制御 UD端子入力がHighレベルならばダウンカウンタ、Lowレベルならばアップカウンタ																																																													
0	インターバル機能を選択																																																														
1	オートリロード機能を選択																																																														
TCC タイマカウンタC	H'B5	タイマC																																																													
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width: 10%;">TCC7</td> <td style="width: 10%;">TCC6</td> <td style="width: 10%;">TCC5</td> <td style="width: 10%;">TCC4</td> <td style="width: 10%;">TCC3</td> <td style="width: 10%;">TCC2</td> <td style="width: 10%;">TCC1</td> <td style="width: 10%;">TCC0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R R R R R R R R</p> <p style="text-align: center; margin-top: 20px;">カウント値</p> <p>【注】 TCCは、TLCと同一アドレスに割り付けられています。リード時には、TCCの値が読み出されず、TMCの値が読み出されます。</p>			TCC7	TCC6	TCC5	TCC4	TCC3	TCC2	TCC1	TCC0																																																					
TCC7	TCC6	TCC5	TCC4	TCC3	TCC2	TCC1	TCC0																																																								

TLC タイマロードレジスタC	H'B5	タイマC
-----------------	------	------

ビット : 7 6 5 4 3 2 1 0

TLC7	TLC6	TLC5	TLC4	TLC3	TLC2	TLC1	TLC0
------	------	------	------	------	------	------	------

初期値 : 0 0 0 0 0 0 0 0
R/W : W W W W W W W W

リロード値設定

【注】 TLCは、TCCと同一アドレスに割り付けられています。ライト時には、TLCの値が書き込まれます。

TCRF タイマコントロールレジスタF	H'B6	タイマF
---------------------	------	------

ビット : 7 6 5 4 3 2 1 0

TOLH	CKSH2	CKSH1	CKSH0	TOLL	CKSL2	CKSL1	CKSL0
------	-------	-------	-------	------	-------	-------	-------

初期値 : 0 0 0 0 0 0 0 0
R/W : W W W W W W W W

クロックセレクトL

0	*	*	外部イベント (TMIF) の立ち上がり / 立ち下がりエッジでカウント
1	0	0	内部クロック /32
1	0	1	内部クロック /16
1	1	0	内部クロック /4
1	1	1	内部クロック w/4

トグルアウトプットレベルL

0	Lowレベルに設定
1	Highレベルに設定

クロックセレクトH

0	*	*	16ビットモードとなり、TCFLのオーバーフロー信号でカウント
1	0	0	内部クロック /32
1	0	1	内部クロック /16
1	1	0	内部クロック /4
1	1	1	内部クロック w/4

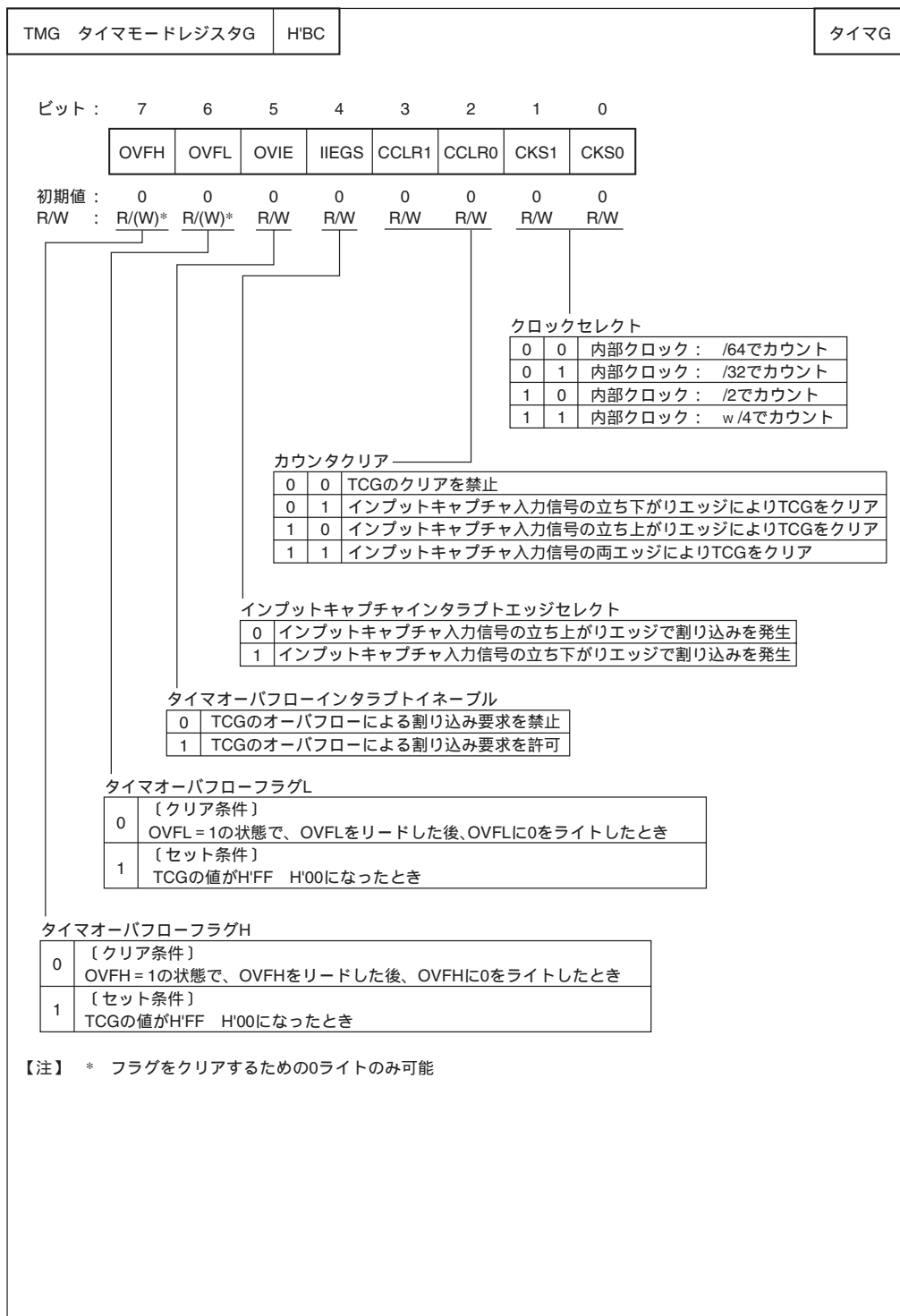
* Don't care

トグルアウトプットレベルH

0	Lowレベルに設定
1	Highレベルに設定

TCSRFB タイマコントロールステータスレジスタF	H'BF	タイムF																																																								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">OVFH</td> <td style="padding: 2px 5px;">CMFH</td> <td style="padding: 2px 5px;">OVIEH</td> <td style="padding: 2px 5px;">CCLRH</td> <td style="padding: 2px 5px;">OVFL</td> <td style="padding: 2px 5px;">CMFL</td> <td style="padding: 2px 5px;">OVIEL</td> <td style="padding: 2px 5px;">CCLRL</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R/(W)* R/(W)* R/W R/W R/(W)* R/(W)* R/W R/W</p> <div style="margin-top: 20px;"> <p style="text-align: center;">カウンタクリアL</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">0</td> <td>コンペアマッチによるTCFLのクリアを禁止</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td>コンペアマッチによるTCFLのクリアを許可</td> </tr> </table> <p style="text-align: center;">タイムオーバーインタラプトイネーブルL</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">0</td> <td>TCFLのオーバーフローによる割り込み要求を禁止</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td>TCFLのオーバーフローによる割り込み要求を許可</td> </tr> </table> <p style="text-align: center;">コンペアマッチフラグL</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td colspan="2" style="padding: 2px 5px;">〔クリア条件〕</td> </tr> <tr> <td style="padding: 2px 5px;">0</td> <td>CMFL = 1の状態、CMFLをリードした後、CMFLに0をライトしたとき</td> </tr> <tr> <td colspan="2" style="padding: 2px 5px;">〔セット条件〕</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td>TCFLの値とOCRFLの値が、コンペアマッチしたとき</td> </tr> </table> <p style="text-align: center;">タイムオーバーフローL</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td colspan="2" style="padding: 2px 5px;">〔クリア条件〕</td> </tr> <tr> <td style="padding: 2px 5px;">0</td> <td>OVFL = 1の状態、OVFLをリードした後、OVFLに0をライトしたとき</td> </tr> <tr> <td colspan="2" style="padding: 2px 5px;">〔セット条件〕</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td>TCFLの値が、H'FF H'00になったとき</td> </tr> </table> <p style="text-align: center;">カウンタクリアH</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">0</td> <td>16ビットモード:コンペアマッチによるTCFのクリアを禁止 8ビットモード:コンペアマッチによるTCFHのクリアを禁止</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td>16ビットモード:コンペアマッチによるTCFのクリアを許可 8ビットモード:コンペアマッチによるTCFHのクリアを許可</td> </tr> </table> <p style="text-align: center;">タイムオーバーインタラプトイネーブルH</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">0</td> <td>TCFHのオーバーフローによる割り込み要求を禁止</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td>TCFHのオーバーフローによる割り込み要求を許可</td> </tr> </table> <p style="text-align: center;">コンペアマッチフラグH</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td colspan="2" style="padding: 2px 5px;">〔クリア条件〕</td> </tr> <tr> <td style="padding: 2px 5px;">0</td> <td>CMFH = 1の状態、CMFHをリードした後、CMFHに0をライトしたとき</td> </tr> <tr> <td colspan="2" style="padding: 2px 5px;">〔セット条件〕</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td>TCFHの値とOCRFHの値が、コンペアマッチしたとき</td> </tr> </table> <p style="text-align: center;">タイムオーバーフラグH</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td colspan="2" style="padding: 2px 5px;">〔クリア条件〕</td> </tr> <tr> <td style="padding: 2px 5px;">0</td> <td>OVFH = 1の状態、OVFHをリードした後、OVFHに0をライトしたとき</td> </tr> <tr> <td colspan="2" style="padding: 2px 5px;">〔セット条件〕</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td>TCFHの値が、H'FF H'00になったとき</td> </tr> </table> <p>【注】 * フラグをクリアするための0ライトのみ可能</p> </div>			OVFH	CMFH	OVIEH	CCLRH	OVFL	CMFL	OVIEL	CCLRL	0	コンペアマッチによるTCFLのクリアを禁止	1	コンペアマッチによるTCFLのクリアを許可	0	TCFLのオーバーフローによる割り込み要求を禁止	1	TCFLのオーバーフローによる割り込み要求を許可	〔クリア条件〕		0	CMFL = 1の状態、CMFLをリードした後、CMFLに0をライトしたとき	〔セット条件〕		1	TCFLの値とOCRFLの値が、コンペアマッチしたとき	〔クリア条件〕		0	OVFL = 1の状態、OVFLをリードした後、OVFLに0をライトしたとき	〔セット条件〕		1	TCFLの値が、H'FF H'00になったとき	0	16ビットモード:コンペアマッチによるTCFのクリアを禁止 8ビットモード:コンペアマッチによるTCFHのクリアを禁止	1	16ビットモード:コンペアマッチによるTCFのクリアを許可 8ビットモード:コンペアマッチによるTCFHのクリアを許可	0	TCFHのオーバーフローによる割り込み要求を禁止	1	TCFHのオーバーフローによる割り込み要求を許可	〔クリア条件〕		0	CMFH = 1の状態、CMFHをリードした後、CMFHに0をライトしたとき	〔セット条件〕		1	TCFHの値とOCRFHの値が、コンペアマッチしたとき	〔クリア条件〕		0	OVFH = 1の状態、OVFHをリードした後、OVFHに0をライトしたとき	〔セット条件〕		1	TCFHの値が、H'FF H'00になったとき
OVFH	CMFH	OVIEH	CCLRH	OVFL	CMFL	OVIEL	CCLRL																																																			
0	コンペアマッチによるTCFLのクリアを禁止																																																									
1	コンペアマッチによるTCFLのクリアを許可																																																									
0	TCFLのオーバーフローによる割り込み要求を禁止																																																									
1	TCFLのオーバーフローによる割り込み要求を許可																																																									
〔クリア条件〕																																																										
0	CMFL = 1の状態、CMFLをリードした後、CMFLに0をライトしたとき																																																									
〔セット条件〕																																																										
1	TCFLの値とOCRFLの値が、コンペアマッチしたとき																																																									
〔クリア条件〕																																																										
0	OVFL = 1の状態、OVFLをリードした後、OVFLに0をライトしたとき																																																									
〔セット条件〕																																																										
1	TCFLの値が、H'FF H'00になったとき																																																									
0	16ビットモード:コンペアマッチによるTCFのクリアを禁止 8ビットモード:コンペアマッチによるTCFHのクリアを禁止																																																									
1	16ビットモード:コンペアマッチによるTCFのクリアを許可 8ビットモード:コンペアマッチによるTCFHのクリアを許可																																																									
0	TCFHのオーバーフローによる割り込み要求を禁止																																																									
1	TCFHのオーバーフローによる割り込み要求を許可																																																									
〔クリア条件〕																																																										
0	CMFH = 1の状態、CMFHをリードした後、CMFHに0をライトしたとき																																																									
〔セット条件〕																																																										
1	TCFHの値とOCRFHの値が、コンペアマッチしたとき																																																									
〔クリア条件〕																																																										
0	OVFH = 1の状態、OVFHをリードした後、OVFHに0をライトしたとき																																																									
〔セット条件〕																																																										
1	TCFHの値が、H'FF H'00になったとき																																																									

TCFH 8ビットタイマカウンタFH	H'B8	タイムF								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>TCFH7</td><td>TCFH6</td><td>TCFH5</td><td>TCFH4</td><td>TCFH3</td><td>TCFH2</td><td>TCFH1</td><td>TCFH0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0 R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;"> カウント値</p> <p>【注】 TCFHを上位、TCFLを下位とする16ビットタイマカウンタ (TCF) としても使用できます。</p>			TCFH7	TCFH6	TCFH5	TCFH4	TCFH3	TCFH2	TCFH1	TCFH0
TCFH7	TCFH6	TCFH5	TCFH4	TCFH3	TCFH2	TCFH1	TCFH0			
TCFL 8ビットタイマカウンタFL	H'B9	タイムF								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>TCFL7</td><td>TCFL6</td><td>TCFL5</td><td>TCFL4</td><td>TCFL3</td><td>TCFL2</td><td>TCFL1</td><td>TCFL0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0 R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;"> カウント値</p> <p>【注】 TCFHを上位、TCFLを下位とする16ビットタイマカウンタ (TCF) としても使用できます。</p>			TCFL7	TCFL6	TCFL5	TCFL4	TCFL3	TCFL2	TCFL1	TCFL0
TCFL7	TCFL6	TCFL5	TCFL4	TCFL3	TCFL2	TCFL1	TCFL0			
OCRFH アウトプットコンペアレジスタFH	H'BA	タイムF								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>OCRFH7</td><td>OCRFH6</td><td>OCRFH5</td><td>OCRFH4</td><td>OCRFH3</td><td>OCRFH2</td><td>OCRFH1</td><td>OCRFH0</td> </tr> </table> <p>初期値 : 1 1 1 1 1 1 1 1 R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>【注】 OCRFHを上位、OCRFLを下位とする16ビットアウトプットコンペアレジスタ (OCRF) としても使用できます。</p>			OCRFH7	OCRFH6	OCRFH5	OCRFH4	OCRFH3	OCRFH2	OCRFH1	OCRFH0
OCRFH7	OCRFH6	OCRFH5	OCRFH4	OCRFH3	OCRFH2	OCRFH1	OCRFH0			
OCRFL アウトプットコンペアレジスタFL	H'BB	タイムF								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>OCRFL7</td><td>OCRFL6</td><td>OCRFL5</td><td>OCRFL4</td><td>OCRFL3</td><td>OCRFL2</td><td>OCRFL1</td><td>OCRFL0</td> </tr> </table> <p>初期値 : 1 1 1 1 1 1 1 1 R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>【注】 OCRFHを上位、OCRFLを下位とする16ビットアウトプットコンペアレジスタ (OCRF) としても使用できます。</p>			OCRFL7	OCRFL6	OCRFL5	OCRFL4	OCRFL3	OCRFL2	OCRFL1	OCRFL0
OCRFL7	OCRFL6	OCRFL5	OCRFL4	OCRFL3	OCRFL2	OCRFL1	OCRFL0			



ICRGF インットキャブチャレジスタGF	H'BD	タイマG								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">ICRGF7</td> <td style="padding: 2px;">ICRGF6</td> <td style="padding: 2px;">ICRGF5</td> <td style="padding: 2px;">ICRGF4</td> <td style="padding: 2px;">ICRGF3</td> <td style="padding: 2px;">ICRGF2</td> <td style="padding: 2px;">ICRGF1</td> <td style="padding: 2px;">ICRGF0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R R R R R R R R</p> <p style="text-align: center;">↑</p> <p style="text-align: center;">インットキャブチャ信号の立ち下がりエッジで、TCGの値を格納</p>			ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0
ICRGF7	ICRGF6	ICRGF5	ICRGF4	ICRGF3	ICRGF2	ICRGF1	ICRGF0			
ICRGR インットキャブチャレジスタGR	H'BE	タイマG								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">ICRGR7</td> <td style="padding: 2px;">ICRGR6</td> <td style="padding: 2px;">ICRGR5</td> <td style="padding: 2px;">ICRGR4</td> <td style="padding: 2px;">ICRGR3</td> <td style="padding: 2px;">ICRGR2</td> <td style="padding: 2px;">ICRGR1</td> <td style="padding: 2px;">ICRGR0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R R R R R R R R</p> <p style="text-align: center;">↑</p> <p style="text-align: center;">インットキャブチャ信号の立ち上がりエッジで、TCGの値を格納</p>			ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0
ICRGR7	ICRGR6	ICRGR5	ICRGR4	ICRGR3	ICRGR2	ICRGR1	ICRGR0			

LPCR LCDポートコントロールレジスタ	H/C0	LCD コントローラ/ドライバ
-----------------------	------	-----------------

ビット : 7 6 5 4 3 2 1 0

DTS1	DTS0	CMX	SGX	SGS3	SGS2	SGS1	SGS0
------	------	-----	-----	------	------	------	------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

セグメントドライバ選択

ビット4	ビット3	ビット2	ビット1	ビット0	SEG ₄₀ ~ SEG ₁ 端子の機能										説明の補足
SGX	SGS3	SGS2	SGS1	SGS0	SEG ₃₂ ~ SEG ₂₉	SEG ₂₈ ~ SEG ₂₅	SEG ₂₄ ~ SEG ₂₁	SEG ₂₀ ~ SEG ₁₇	SEG ₁₆ ~ SEG ₁₃	SEG ₁₂ ~ SEG ₉	SEG ₈ ~ SEG ₅	SEG ₄ ~ SEG ₁			
0	0	0	0	0	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	(初期値)	
	0	0	0	1	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート		
	0	0	1	*	SEG	SEG	ポート	ポート	ポート	ポート	ポート	ポート	ポート		
	0	1	0	*	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート	ポート		
	0	1	1	*	SEG	SEG	SEG	SEG	SEG	SEG	ポート	ポート	ポート		
	1	*	*	*	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG	SEG		
1	0	0	0	0	ポート*	ポート	ポート	ポート	ポート	ポート	ポート	ポート	ポート		
	*	*	*	*	使用禁止										

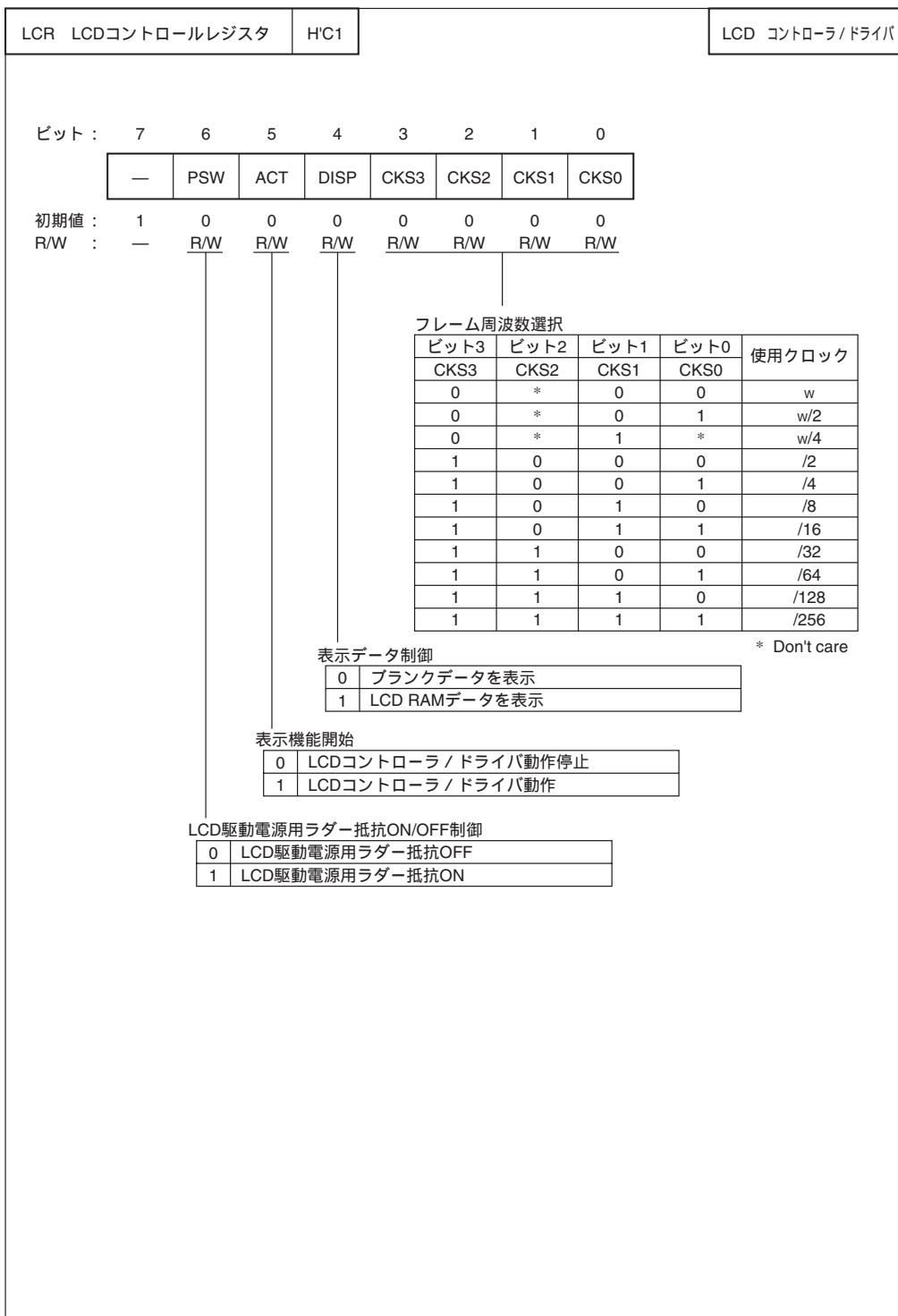
【注】 * SEG₃₂ ~ SEG₂₉は外部拡張端子

ビット4	説明
SGX	
0	SEG ₃₂ ~ SEG ₂₉ 端子* (初期値)
1	CL ₁ 、CL ₂ 、DO、M端子

【注】 * SGS3 ~ SGS0が"0000"または"0001"のときはポートとして機能します。
H8/38327、H8/38427グループでは初期値から変更しないでください。

DUTY選択、コモン機能選択

ビット7	ビット6	ビット5	デューティ比	コモンドライバ	補足説明
DTS1	DTS0	CMX			
0	0	0	スタティック	COM ₁	
		1		COM ₄ ~ COM ₁	COM ₄ ~ COM ₂ はCOM ₁ と同じ波形が出力
0	1	0	1/2デューティ	COM ₂ 、COM ₁	
		1		COM ₄ ~ COM ₁	COM ₄ はCOM ₃ 、COM ₂ はCOM ₁ と同じ波形が出力
1	0	0	1/3デューティ	COM ₃ ~ COM ₁	
		1		COM ₄ ~ COM ₁	COM ₄ は非選択波形が出力
1	1	0	1/4デューティ	COM ₄ ~ COM ₁	
		1		COM ₄ ~ COM ₁	—



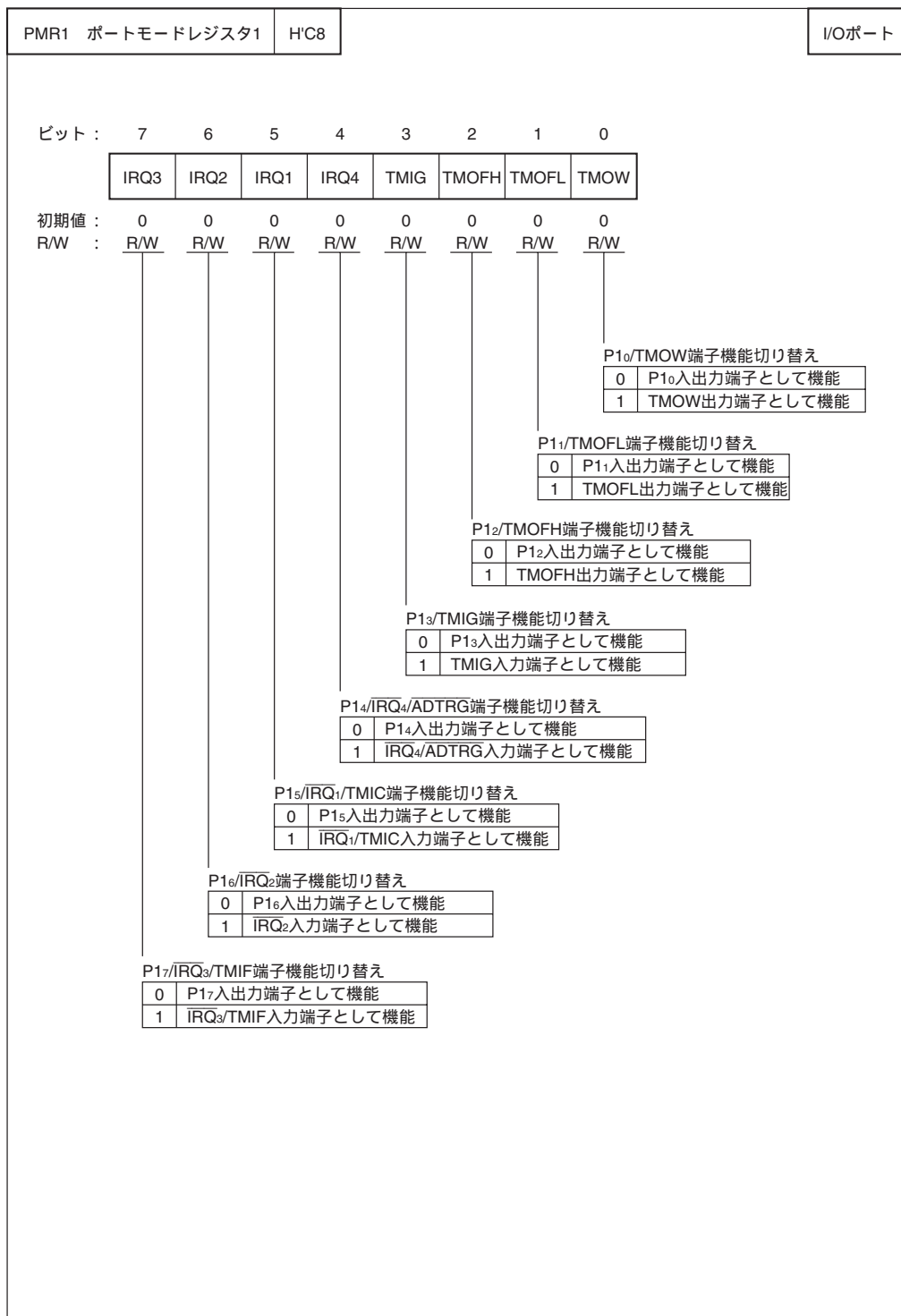
LCR2 LCDコントロールレジスタ2	H'C2		LCD																																																																								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 20px; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 10%;">LCDAB</td> <td style="width: 10%;">—</td> <td style="width: 10%;">—</td> <td style="width: 10%;">—</td> <td style="width: 10%;">CDS3</td> <td style="width: 10%;">CDS2</td> <td style="width: 10%;">CDS1</td> <td style="width: 10%;">CDS0</td> </tr> </table> <p>初期値 : 0 1 1 0 0 0 0 0</p> <p>R/W : R/W — — R/W R/W R/W R/W R/W</p> <div style="margin-left: 20px;"> <p>充放電パルスのデューティ比選択</p> <table border="1" style="border-collapse: collapse; text-align: center;"> <thead> <tr> <th>ビット3</th> <th>ビット2</th> <th>ビット1</th> <th>ビット0</th> <th>デューティ比</th> </tr> <tr> <th>CDS3</th> <th>CDS2</th> <th>CDS1</th> <th>CDS0</th> <th></th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>1/8</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>2/8</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>3/8</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>4/8</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>5/8</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>6/8</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>*</td><td>*</td><td>1/16</td></tr> <tr><td>1</td><td>1</td><td>*</td><td>*</td><td>1/32</td></tr> </tbody> </table> <p style="text-align: right; margin-right: 20px;">* Don't care</p> </div> <div style="margin-left: 20px; margin-top: 10px;"> <p>A波形/B波形切り替え制御</p> <table border="1" style="border-collapse: collapse; text-align: center;"> <tr> <td style="width: 10%;">0</td> <td style="width: 90%;">A波形で駆動</td> </tr> <tr> <td>1</td> <td>B波形で駆動</td> </tr> </table> </div>				LCDAB	—	—	—	CDS3	CDS2	CDS1	CDS0	ビット3	ビット2	ビット1	ビット0	デューティ比	CDS3	CDS2	CDS1	CDS0		0	0	0	0	1	0	0	0	1	1/8	0	0	1	0	2/8	0	0	1	1	3/8	0	1	0	0	4/8	0	1	0	1	5/8	0	1	1	0	6/8	0	1	1	1	0	1	0	*	*	1/16	1	1	*	*	1/32	0	A波形で駆動	1	B波形で駆動
LCDAB	—	—	—	CDS3	CDS2	CDS1	CDS0																																																																				
ビット3	ビット2	ビット1	ビット0	デューティ比																																																																							
CDS3	CDS2	CDS1	CDS0																																																																								
0	0	0	0	1																																																																							
0	0	0	1	1/8																																																																							
0	0	1	0	2/8																																																																							
0	0	1	1	3/8																																																																							
0	1	0	0	4/8																																																																							
0	1	0	1	5/8																																																																							
0	1	1	0	6/8																																																																							
0	1	1	1	0																																																																							
1	0	*	*	1/16																																																																							
1	1	*	*	1/32																																																																							
0	A波形で駆動																																																																										
1	B波形で駆動																																																																										

AMR A/Dモードレジスタ	H'C6	A/D変換器																																																																																																					
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width: 5%;">CKS</td> <td style="width: 5%;">TRGE</td> <td style="width: 5%;">—</td> <td style="width: 5%;">—</td> <td style="width: 5%;">CH3</td> <td style="width: 5%;">CH2</td> <td style="width: 5%;">CH1</td> <td style="width: 5%;">CH0</td> </tr> </table> <p>初期値 : 0 0 1 1 0 0 0 0</p> <p>R/W : R/W R/W — — R/W R/W R/W R/W</p> <div style="margin-left: 150px;"> <p>チャンネルセレクト</p> <table border="1" style="border-collapse: collapse;"> <thead> <tr> <th>ビット3</th> <th>ビット2</th> <th>ビット1</th> <th>ビット0</th> <th>アナログ入力チャンネル</th> </tr> </thead> <tbody> <tr> <td>CH3</td> <td>CH2</td> <td>CH1</td> <td>CH0</td> <td></td> </tr> <tr> <td>0</td> <td>0</td> <td>*</td> <td>*</td> <td>非選択</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>AN₀</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1</td> <td>AN₁</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>0</td> <td>AN₂</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>AN₃</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>AN₄</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1</td> <td>AN₅</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>0</td> <td>AN₆</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>AN₇</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>AN₈</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1</td> <td>AN₉</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>AN₁₀</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>AN₁₁</td> </tr> </tbody> </table> <p style="text-align: right; margin-right: 50px;">* Don't care</p> </div> <div style="margin-left: 150px; margin-top: 10px;"> <p>外部トリガセレクト</p> <table border="1" style="border-collapse: collapse;"> <tr> <td style="width: 5%;">0</td> <td>外部トリガによるA/D変換の開始を禁止</td> </tr> <tr> <td>1</td> <td>外部トリガ (ADTRG) 端子の立ち上がりエッジ、または立ち下がりがエッジでA/D変換を開始</td> </tr> </table> </div> <div style="margin-left: 150px; margin-top: 10px;"> <p>クロックセレクト</p> <table border="1" style="border-collapse: collapse;"> <thead> <tr> <th rowspan="2">ビット7</th> <th rowspan="2">変換周期</th> <th colspan="2">変換時間</th> </tr> <tr> <th>= 1MHz</th> <th>= 5MHz</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>62/</td> <td>62μs</td> <td>12.4μs</td> </tr> <tr> <td>1</td> <td>31/</td> <td>31μs</td> <td>—</td> </tr> </tbody> </table> </div>			CKS	TRGE	—	—	CH3	CH2	CH1	CH0	ビット3	ビット2	ビット1	ビット0	アナログ入力チャンネル	CH3	CH2	CH1	CH0		0	0	*	*	非選択	0	1	0	0	AN ₀	0	1	0	1	AN ₁	0	1	1	0	AN ₂	0	1	1	1	AN ₃	1	0	0	0	AN ₄	1	0	0	1	AN ₅	1	0	1	0	AN ₆	1	0	1	1	AN ₇	1	1	0	0	AN ₈	1	1	0	1	AN ₉	1	1	1	0	AN ₁₀	1	1	1	1	AN ₁₁	0	外部トリガによるA/D変換の開始を禁止	1	外部トリガ (ADTRG) 端子の立ち上がりエッジ、または立ち下がりがエッジでA/D変換を開始	ビット7	変換周期	変換時間		= 1MHz	= 5MHz	0	62/	62μs	12.4μs	1	31/	31μs	—
CKS	TRGE	—	—	CH3	CH2	CH1	CH0																																																																																																
ビット3	ビット2	ビット1	ビット0	アナログ入力チャンネル																																																																																																			
CH3	CH2	CH1	CH0																																																																																																				
0	0	*	*	非選択																																																																																																			
0	1	0	0	AN ₀																																																																																																			
0	1	0	1	AN ₁																																																																																																			
0	1	1	0	AN ₂																																																																																																			
0	1	1	1	AN ₃																																																																																																			
1	0	0	0	AN ₄																																																																																																			
1	0	0	1	AN ₅																																																																																																			
1	0	1	0	AN ₆																																																																																																			
1	0	1	1	AN ₇																																																																																																			
1	1	0	0	AN ₈																																																																																																			
1	1	0	1	AN ₉																																																																																																			
1	1	1	0	AN ₁₀																																																																																																			
1	1	1	1	AN ₁₁																																																																																																			
0	外部トリガによるA/D変換の開始を禁止																																																																																																						
1	外部トリガ (ADTRG) 端子の立ち上がりエッジ、または立ち下がりがエッジでA/D変換を開始																																																																																																						
ビット7	変換周期	変換時間																																																																																																					
		= 1MHz	= 5MHz																																																																																																				
0	62/	62μs	12.4μs																																																																																																				
1	31/	31μs	—																																																																																																				

ADDRHH A/DリザルトレジスタH ADDRLL A/DリザルトレジスタL	H'C4 H'C5		A/D変換器																
<p>ADDRHH</p> <p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; margin-bottom: 5px;"> <tr> <td style="width: 20px; text-align: center;">ADR9</td> <td style="width: 20px; text-align: center;">ADR8</td> <td style="width: 20px; text-align: center;">ADR7</td> <td style="width: 20px; text-align: center;">ADR6</td> <td style="width: 20px; text-align: center;">ADR5</td> <td style="width: 20px; text-align: center;">ADR4</td> <td style="width: 20px; text-align: center;">ADR3</td> <td style="width: 20px; text-align: center;">ADR2</td> </tr> </table> <p>初期値： 不定 不定 不定 不定 不定 不定 不定 不定</p> <p>R/W : R R R R R R R R</p> <p style="text-align: center; margin-left: 100px;"> </p> <p style="text-align: center; margin-left: 100px;">A/D変換結果</p> <p>ADDRLL</p> <p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; margin-bottom: 5px;"> <tr> <td style="width: 20px; text-align: center;">ADR1</td> <td style="width: 20px; text-align: center;">ADR0</td> <td style="width: 20px; text-align: center;">—</td> <td style="width: 20px; text-align: center;">—</td> <td style="width: 20px; text-align: center;">—</td> <td style="width: 20px; text-align: center;">—</td> <td style="width: 20px; text-align: center;">—</td> <td style="width: 20px; text-align: center;">—</td> </tr> </table> <p>初期値： 不定 不定 — — — — — —</p> <p>R/W : R R — — — — — —</p> <p style="text-align: center; margin-left: 40px;"> </p> <p style="text-align: center; margin-left: 40px;">A/D変換結果</p>				ADR9	ADR8	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0	—	—	—	—	—	—
ADR9	ADR8	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2												
ADR1	ADR0	—	—	—	—	—	—												

AMR A/Dモードレジスタ	H'C6	A/D変換器																																																																																																					
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width: 5%;">CKS</td> <td style="width: 5%;">TRGE</td> <td style="width: 5%;">—</td> <td style="width: 5%;">—</td> <td style="width: 5%;">CH3</td> <td style="width: 5%;">CH2</td> <td style="width: 5%;">CH1</td> <td style="width: 5%;">CH0</td> </tr> </table> <p>初期値 : 0 0 1 1 0 0 0 0</p> <p>R/W : R/W R/W — — R/W R/W R/W R/W</p> <div style="margin-left: 150px;"> <p>チャンネルセレクト</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <thead> <tr> <th>ビット3</th> <th>ビット2</th> <th>ビット1</th> <th>ビット0</th> <th>アナログ入力チャンネル</th> </tr> <tr> <th>CH3</th> <th>CH2</th> <th>CH1</th> <th>CH0</th> <th></th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>*</td><td>*</td><td>非選択</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>AN₀</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>AN₁</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>AN₂</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>AN₃</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>AN₄</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>AN₅</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>AN₆</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>AN₇</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>AN₈</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>AN₉</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>AN₁₀</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>AN₁₁</td></tr> </tbody> </table> <p style="text-align: right; margin-right: 50px;">* Don't care</p> </div> <div style="margin-left: 150px; margin-top: 10px;"> <p>外部トリガセレクト</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width: 5%;">0</td> <td>外部トリガによるA/D変換の開始を禁止</td> </tr> <tr> <td>1</td> <td>外部トリガ (ADTRG) 端子の立ち上がりエッジ、または立ち下がりがエッジでA/D変換を開始</td> </tr> </table> </div> <div style="margin-left: 150px; margin-top: 10px;"> <p>クロックセレクト</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <thead> <tr> <th rowspan="2">ビット7</th> <th rowspan="2">変換周期</th> <th colspan="2">変換時間</th> </tr> <tr> <th>= 1MHz</th> <th>= 5MHz</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>62/</td> <td>62μs</td> <td>12.4μs</td> </tr> <tr> <td>1</td> <td>31/</td> <td>31μs</td> <td>—</td> </tr> </tbody> </table> </div>			CKS	TRGE	—	—	CH3	CH2	CH1	CH0	ビット3	ビット2	ビット1	ビット0	アナログ入力チャンネル	CH3	CH2	CH1	CH0		0	0	*	*	非選択	0	1	0	0	AN ₀	0	1	0	1	AN ₁	0	1	1	0	AN ₂	0	1	1	1	AN ₃	1	0	0	0	AN ₄	1	0	0	1	AN ₅	1	0	1	0	AN ₆	1	0	1	1	AN ₇	1	1	0	0	AN ₈	1	1	0	1	AN ₉	1	1	1	0	AN ₁₀	1	1	1	1	AN ₁₁	0	外部トリガによるA/D変換の開始を禁止	1	外部トリガ (ADTRG) 端子の立ち上がりエッジ、または立ち下がりがエッジでA/D変換を開始	ビット7	変換周期	変換時間		= 1MHz	= 5MHz	0	62/	62μs	12.4μs	1	31/	31μs	—
CKS	TRGE	—	—	CH3	CH2	CH1	CH0																																																																																																
ビット3	ビット2	ビット1	ビット0	アナログ入力チャンネル																																																																																																			
CH3	CH2	CH1	CH0																																																																																																				
0	0	*	*	非選択																																																																																																			
0	1	0	0	AN ₀																																																																																																			
0	1	0	1	AN ₁																																																																																																			
0	1	1	0	AN ₂																																																																																																			
0	1	1	1	AN ₃																																																																																																			
1	0	0	0	AN ₄																																																																																																			
1	0	0	1	AN ₅																																																																																																			
1	0	1	0	AN ₆																																																																																																			
1	0	1	1	AN ₇																																																																																																			
1	1	0	0	AN ₈																																																																																																			
1	1	0	1	AN ₉																																																																																																			
1	1	1	0	AN ₁₀																																																																																																			
1	1	1	1	AN ₁₁																																																																																																			
0	外部トリガによるA/D変換の開始を禁止																																																																																																						
1	外部トリガ (ADTRG) 端子の立ち上がりエッジ、または立ち下がりがエッジでA/D変換を開始																																																																																																						
ビット7	変換周期	変換時間																																																																																																					
		= 1MHz	= 5MHz																																																																																																				
0	62/	62μs	12.4μs																																																																																																				
1	31/	31μs	—																																																																																																				

ADSR	A/Dスタートレジスタ	HC7		A/D変換器												
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 20px; border-collapse: collapse;"> <tr> <td style="padding: 2px;">ADSF</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> <td style="padding: 2px;">—</td> </tr> </table> <p>初期値 : 0 1 1 1 1 1 1 1</p> <p>R/W : <u>R/W</u> — — — — — —</p> <div style="margin-left: 20px;"> <p>A/Dスタートフラグ</p> <table border="1" style="border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center; vertical-align: middle;">0</td> <td style="padding: 2px;">〔リード時〕 A/D変換の終了 〔ライト時〕 A/D変換を強制終了</td> </tr> <tr> <td style="width: 20px; text-align: center; vertical-align: middle;">1</td> <td style="padding: 2px;">〔リード時〕 A/D変換中 〔ライト時〕 A/D変換を開始</td> </tr> </table> </div>					ADSF	—	—	—	—	—	—	—	0	〔リード時〕 A/D変換の終了 〔ライト時〕 A/D変換を強制終了	1	〔リード時〕 A/D変換中 〔ライト時〕 A/D変換を開始
ADSF	—	—	—	—	—	—	—									
0	〔リード時〕 A/D変換の終了 〔ライト時〕 A/D変換を強制終了															
1	〔リード時〕 A/D変換中 〔ライト時〕 A/D変換を開始															



PMR2 ポートモードレジスタ2	H'C9	I/Oポート												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 20px; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 10%;">EXCL</td> <td style="width: 10%;">—</td> <td style="width: 10%;">—</td> <td style="width: 10%;">—</td> <td style="width: 10%;">—</td> <td style="width: 10%;">—</td> <td style="width: 10%;">—</td> <td style="width: 10%;">—</td> </tr> </table> <p>初期値： 0 1 0 1 1 0 0 0</p> <p>R/W : R/W R R/W R R R/W R/W R/W</p> <div style="margin-left: 20px; margin-top: 10px;"> <p>P3₁/UD/EXCL端子機能切り替え</p> <table border="1" style="border-collapse: collapse; text-align: center;"> <tr> <td style="width: 10%;">0</td> <td style="width: 90%;">P3₁/UD入出力端子として機能</td> </tr> <tr> <td>1</td> <td>EXCL入力端子として機能</td> </tr> </table> </div> <p>【注】 本レジスタはH8/38327、H8/38427グループに適用します。</p>			EXCL	—	—	—	—	—	—	—	0	P3 ₁ /UD入出力端子として機能	1	EXCL入力端子として機能
EXCL	—	—	—	—	—	—	—							
0	P3 ₁ /UD入出力端子として機能													
1	EXCL入力端子として機能													

PMR3 ポートモードレジスタ3		H'CA						I/Oポート					
ビット:	7	6	5	4	3	2	1	0					
	AEVL	AEVH	WDCKS	NCS	IRQ0	RESO*	UD	PWM					
初期値:	0	0	0	0	0	1	0	0					
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W					
									P3 ₀ /PWM端子機能切り替え <table border="1"> <tr><td>0</td><td>P3₀入出力端子として機能</td></tr> <tr><td>1</td><td>PWM出力端子として機能</td></tr> </table>	0	P3 ₀ 入出力端子として機能	1	PWM出力端子として機能
0	P3 ₀ 入出力端子として機能												
1	PWM出力端子として機能												
									P3 ₁ /UD端子機能切り替え <table border="1"> <tr><td>0</td><td>P3₁入出力端子として機能</td></tr> <tr><td>1</td><td>UD入力端子として機能</td></tr> </table>	0	P3 ₁ 入出力端子として機能	1	UD入力端子として機能
0	P3 ₁ 入出力端子として機能												
1	UD入力端子として機能												
									P3 ₂ /RESO端子機能切り替え <table border="1"> <tr><td>0</td><td>P3₂入出力端子として機能</td></tr> <tr><td>1</td><td>RESO出力端子として機能</td></tr> </table>	0	P3 ₂ 入出力端子として機能	1	RESO出力端子として機能
0	P3 ₂ 入出力端子として機能												
1	RESO出力端子として機能												
									P4 ₃ /IRQ ₀ 端子機能切り替え <table border="1"> <tr><td>0</td><td>P4₃入出力端子として機能</td></tr> <tr><td>1</td><td>IRQ₀入力端子として機能</td></tr> </table>	0	P4 ₃ 入出力端子として機能	1	IRQ ₀ 入力端子として機能
0	P4 ₃ 入出力端子として機能												
1	IRQ ₀ 入力端子として機能												
									TMIGノイズキャンセラセレクト <table border="1"> <tr><td>0</td><td>ノイズ除去機能なし</td></tr> <tr><td>1</td><td>ノイズ除去機能あり</td></tr> </table>	0	ノイズ除去機能なし	1	ノイズ除去機能あり
0	ノイズ除去機能なし												
1	ノイズ除去機能あり												
									ウォッチドッグタイマ切り替え <table border="1"> <tr><td>0</td><td>/8192</td></tr> <tr><td>1</td><td>w/32</td></tr> </table>	0	/8192	1	w/32
0	/8192												
1	w/32												
									P3 ₆ /AEVH端子機能切り替え <table border="1"> <tr><td>0</td><td>P3₆入出力端子として機能</td></tr> <tr><td>1</td><td>AEVH入力端子として機能</td></tr> </table>	0	P3 ₆ 入出力端子として機能	1	AEVH入力端子として機能
0	P3 ₆ 入出力端子として機能												
1	AEVH入力端子として機能												
									P3 ₇ /AEVL端子機能切り替え <table border="1"> <tr><td>0</td><td>P3₇入出力端子として機能</td></tr> <tr><td>1</td><td>AEVL入力端子として機能</td></tr> </table>	0	P3 ₇ 入出力端子として機能	1	AEVL入力端子として機能
0	P3 ₇ 入出力端子として機能												
1	AEVL入力端子として機能												

【注】* H8/38327、H8/38427グループではライト不可のリザーブビットになります。

PMR5 ポートモードレジスタ5	H'CC		I/Oポート												
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">WKP₇</td> <td style="padding: 2px;">WKP₆</td> <td style="padding: 2px;">WKP₅</td> <td style="padding: 2px;">WKP₄</td> <td style="padding: 2px;">WKP₃</td> <td style="padding: 2px;">WKP₂</td> <td style="padding: 2px;">WKP₁</td> <td style="padding: 2px;">WKP₀</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p> <div style="margin-left: 100px; margin-top: 10px;"> <p>P5_n/WKP_n/SEG_{n+1}端子機能切り替え</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">0</td> <td style="padding: 2px;">P5_n入出力端子として機能</td> </tr> <tr> <td style="padding: 2px;">1</td> <td style="padding: 2px;">WKP_n入力端子として機能</td> </tr> </table> <p style="text-align: right; margin-right: 50px;">(n=7~0)</p> </div>				WKP ₇	WKP ₆	WKP ₅	WKP ₄	WKP ₃	WKP ₂	WKP ₁	WKP ₀	0	P5 _n 入出力端子として機能	1	WKP _n 入力端子として機能
WKP ₇	WKP ₆	WKP ₅	WKP ₄	WKP ₃	WKP ₂	WKP ₁	WKP ₀								
0	P5 _n 入出力端子として機能														
1	WKP _n 入力端子として機能														

PWCR PWMコントロールレジスタ	H'D0	14ビットPWM																		
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">—</td> <td style="width: 20px; text-align: center;">—</td> <td style="width: 20px; text-align: center;">—</td> <td style="width: 20px; text-align: center;">—</td> <td style="width: 20px; text-align: center;">—</td> <td style="width: 20px; text-align: center;">—</td> <td style="width: 20px; text-align: center;">PWCR1</td> <td style="width: 20px; text-align: center;">PWCR0</td> </tr> </table> <p>初期値 : 1 1 1 1 1 1 0 0</p> <p>R/W : — — — — — — W W</p> <p style="margin-left: 40px;">クロックセレクト</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td rowspan="2" style="width: 20px; text-align: center;">0</td> <td style="width: 10px; text-align: center;">0</td> <td style="padding: 2px;">入力クロック /2 (t * = 2/)。1変換周期16384/、最小変化幅1/</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="padding: 2px;">入力クロック /4 (t * = 4/)。1変換周期32768/、最小変化幅2/</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="padding: 2px;">入力クロック /8 (t * = 8/)。1変換周期65536/、最小変化幅4/</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="padding: 2px;">入力クロック /16 (t * = 16/)。1変換周期131072/、最小変化幅8/</td> </tr> </table> <p>【注】 * t : PWM入力クロックの周期</p>			—	—	—	—	—	—	PWCR1	PWCR0	0	0	入力クロック /2 (t * = 2/)。1変換周期16384/、最小変化幅1/	1	入力クロック /4 (t * = 4/)。1変換周期32768/、最小変化幅2/	1	0	入力クロック /8 (t * = 8/)。1変換周期65536/、最小変化幅4/	1	入力クロック /16 (t * = 16/)。1変換周期131072/、最小変化幅8/
—	—	—	—	—	—	PWCR1	PWCR0													
0	0	入力クロック /2 (t * = 2/)。1変換周期16384/、最小変化幅1/																		
	1	入力クロック /4 (t * = 4/)。1変換周期32768/、最小変化幅2/																		
1	0	入力クロック /8 (t * = 8/)。1変換周期65536/、最小変化幅4/																		
	1	入力クロック /16 (t * = 16/)。1変換周期131072/、最小変化幅8/																		
PWDRU PWMデータレジスタU	H'D1	14ビットPWM																		
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">—</td> <td style="width: 20px; text-align: center;">—</td> <td style="width: 20px; text-align: center;">PWDRU5</td> <td style="width: 20px; text-align: center;">PWDRU4</td> <td style="width: 20px; text-align: center;">PWDRU3</td> <td style="width: 20px; text-align: center;">PWDRU2</td> <td style="width: 20px; text-align: center;">PWDRU1</td> <td style="width: 20px; text-align: center;">PWDRU0</td> </tr> </table> <p>初期値 : 1 1 0 0 0 0 0 0</p> <p>R/W : — — W W W W W W</p> <p style="margin-left: 100px;">PWM波形生成用データ上位6ビット</p>			—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0										
—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0													

PWRDL PWMデータレジスタL	H'D2	14ビットPWM								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px;">PWRDL7</td> <td style="padding: 2px;">PWRDL6</td> <td style="padding: 2px;">PWRDL5</td> <td style="padding: 2px;">PWRDL4</td> <td style="padding: 2px;">PWRDL3</td> <td style="padding: 2px;">PWRDL2</td> <td style="padding: 2px;">PWRDL1</td> <td style="padding: 2px;">PWRDL0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : W W W W W W W W</p> <p style="text-align: center; margin-top: 10px;">└──────────────────┘ PWM波形生成用データ下位8ビット</p>			PWRDL7	PWRDL6	PWRDL5	PWRDL4	PWRDL3	PWRDL2	PWRDL1	PWRDL0
PWRDL7	PWRDL6	PWRDL5	PWRDL4	PWRDL3	PWRDL2	PWRDL1	PWRDL0			
PDR1 ポートデータレジスタ1	H'D4	I/Oポート								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px;">P17</td> <td style="padding: 2px;">P16</td> <td style="padding: 2px;">P15</td> <td style="padding: 2px;">P14</td> <td style="padding: 2px;">P13</td> <td style="padding: 2px;">P12</td> <td style="padding: 2px;">P11</td> <td style="padding: 2px;">P10</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center; margin-top: 10px;">└──────────────────┘ ポート1の各端子のデータを格納</p>			P17	P16	P15	P14	P13	P12	P11	P10
P17	P16	P15	P14	P13	P12	P11	P10			

PDR3 ポートデータレジスタ3	H'D6	I/Oポート								
ビット : 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: 40px;"> <tr> <td>P3₇</td><td>P3₆</td><td>P3₅</td><td>P3₄</td><td>P3₃</td><td>P3₂</td><td>P3₁</td><td>P3₀</td> </tr> </table> 初期値 : 0 0 0 0 0 0 0 0 R/W : R/W R/W R/W R/W R/W R/W R/W R/W ポート3の各端子のデータを格納			P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀			
PDR4 ポートデータレジスタ4	H'D7	I/Oポート								
ビット : 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: 40px;"> <tr> <td>—</td><td>—</td><td>—</td><td>—</td><td>P4₃</td><td>P4₂</td><td>P4₁</td><td>P4₀</td> </tr> </table> 初期値 : 1 1 1 1 1 0 0 0 R/W : — — — — R R/W R/W R/W ポートP4 ₂ ~P4 ₀ 端子のデータを格納 P4 ₃ 端子状態を読み出す			—	—	—	—	P4 ₃	P4 ₂	P4 ₁	P4 ₀
—	—	—	—	P4 ₃	P4 ₂	P4 ₁	P4 ₀			
PDR5 ポートデータレジスタ5	H'D8	I/Oポート								
ビット : 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: 40px;"> <tr> <td>P5₇</td><td>P5₆</td><td>P5₅</td><td>P5₄</td><td>P5₃</td><td>P5₂</td><td>P5₁</td><td>P5₀</td> </tr> </table> 初期値 : 0 0 0 0 0 0 0 0 R/W : R/W R/W R/W R/W R/W R/W R/W R/W ポート5の各端子のデータを格納			P5 ₇	P5 ₆	P5 ₅	P5 ₄	P5 ₃	P5 ₂	P5 ₁	P5 ₀
P5 ₇	P5 ₆	P5 ₅	P5 ₄	P5 ₃	P5 ₂	P5 ₁	P5 ₀			
PDR6 ポートデータレジスタ6	H'D9	I/Oポート								
ビット : 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: 40px;"> <tr> <td>P6₇</td><td>P6₆</td><td>P6₅</td><td>P6₄</td><td>P6₃</td><td>P6₂</td><td>P6₁</td><td>P6₀</td> </tr> </table> 初期値 : 0 0 0 0 0 0 0 0 R/W : R/W R/W R/W R/W R/W R/W R/W R/W ポート6の各端子のデータを格納			P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀
P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀			

PDR7 ポートデータレジスタ7	H'DA	I/Oポート								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; margin-bottom: 5px;"> <tr> <td style="width: 20px; text-align: center;">P7₇</td> <td style="width: 20px; text-align: center;">P7₆</td> <td style="width: 20px; text-align: center;">P7₅</td> <td style="width: 20px; text-align: center;">P7₄</td> <td style="width: 20px; text-align: center;">P7₃</td> <td style="width: 20px; text-align: center;">P7₂</td> <td style="width: 20px; text-align: center;">P7₁</td> <td style="width: 20px; text-align: center;">P7₀</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;"> </p> <p style="text-align: center;">ポート7の各端子のデータを格納</p>			P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀
P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀			
PDR8 ポートデータレジスタ8	H'DB	I/Oポート								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; margin-bottom: 5px;"> <tr> <td style="width: 20px; text-align: center;">P8₇</td> <td style="width: 20px; text-align: center;">P8₆</td> <td style="width: 20px; text-align: center;">P8₅</td> <td style="width: 20px; text-align: center;">P8₄</td> <td style="width: 20px; text-align: center;">P8₃</td> <td style="width: 20px; text-align: center;">P8₂</td> <td style="width: 20px; text-align: center;">P8₁</td> <td style="width: 20px; text-align: center;">P8₀</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;"> </p> <p style="text-align: center;">ポート8の各端子のデータを格納</p>			P8 ₇	P8 ₆	P8 ₅	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀
P8 ₇	P8 ₆	P8 ₅	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀			
PDRA ポートデータレジスタA	H'DD	I/Oポート								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; margin-bottom: 5px;"> <tr> <td style="width: 20px; text-align: center;">—</td> <td style="width: 20px; text-align: center;">—</td> <td style="width: 20px; text-align: center;">—</td> <td style="width: 20px; text-align: center;">—</td> <td style="width: 20px; text-align: center;">PA₃</td> <td style="width: 20px; text-align: center;">PA₂</td> <td style="width: 20px; text-align: center;">PA₁</td> <td style="width: 20px; text-align: center;">PA₀</td> </tr> </table> <p>初期値 : 1 1 1 1 0 0 0 0</p> <p>R/W : — — — — R/W R/W R/W R/W</p> <p style="text-align: center;"> </p> <p style="text-align: center;">ポートAの各端子のデータを格納</p>			—	—	—	—	PA ₃	PA ₂	PA ₁	PA ₀
—	—	—	—	PA ₃	PA ₂	PA ₁	PA ₀			

PDRB	ポートデータレジスタB	H'DE	I/Oポート												
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>PB₇</td> <td>PB₆</td> <td>PB₅</td> <td>PB₄</td> <td>PB₃</td> <td>PB₂</td> <td>PB₁</td> <td>PB₀</td> </tr> </table> <p>R/W : R R R R R R R R</p> <p>ポートBの各端子状態を読み出す</p>				PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀				
PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀								
PUCR1	ポートプルアップコントロールレジスタ1	H'E0	I/Oポート												
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>PUCR1₇</td> <td>PUCR1₆</td> <td>PUCR1₅</td> <td>PUCR1₄</td> <td>PUCR1₃</td> <td>PUCR1₂</td> <td>PUCR1₁</td> <td>PUCR1₀</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>ポート1入力プルアップMOSコントロール</p> <table border="1"> <tr> <td>0</td> <td>入力プルアップMOSはOFF</td> </tr> <tr> <td>1</td> <td>入力プルアップMOSはON</td> </tr> </table> <p>【注】 PCR1を0に指定したとき（入力ポートに指定）</p>				PUCR1 ₇	PUCR1 ₆	PUCR1 ₅	PUCR1 ₄	PUCR1 ₃	PUCR1 ₂	PUCR1 ₁	PUCR1 ₀	0	入力プルアップMOSはOFF	1	入力プルアップMOSはON
PUCR1 ₇	PUCR1 ₆	PUCR1 ₅	PUCR1 ₄	PUCR1 ₃	PUCR1 ₂	PUCR1 ₁	PUCR1 ₀								
0	入力プルアップMOSはOFF														
1	入力プルアップMOSはON														
PUCR3	ポートプルアップコントロールレジスタ3	H'E1	I/Oポート												
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>PUCR3₇</td> <td>PUCR3₆</td> <td>PUCR3₅</td> <td>PUCR3₄</td> <td>PUCR3₃</td> <td>PUCR3₂</td> <td>PUCR3₁</td> <td>PUCR3₀</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>ポート3入力プルアップMOSコントロール</p> <table border="1"> <tr> <td>0</td> <td>入力プルアップMOSはOFF</td> </tr> <tr> <td>1</td> <td>入力プルアップMOSはON</td> </tr> </table> <p>【注】 PCR3を0に指定したとき（入力ポートに指定）</p>				PUCR3 ₇	PUCR3 ₆	PUCR3 ₅	PUCR3 ₄	PUCR3 ₃	PUCR3 ₂	PUCR3 ₁	PUCR3 ₀	0	入力プルアップMOSはOFF	1	入力プルアップMOSはON
PUCR3 ₇	PUCR3 ₆	PUCR3 ₅	PUCR3 ₄	PUCR3 ₃	PUCR3 ₂	PUCR3 ₁	PUCR3 ₀								
0	入力プルアップMOSはOFF														
1	入力プルアップMOSはON														

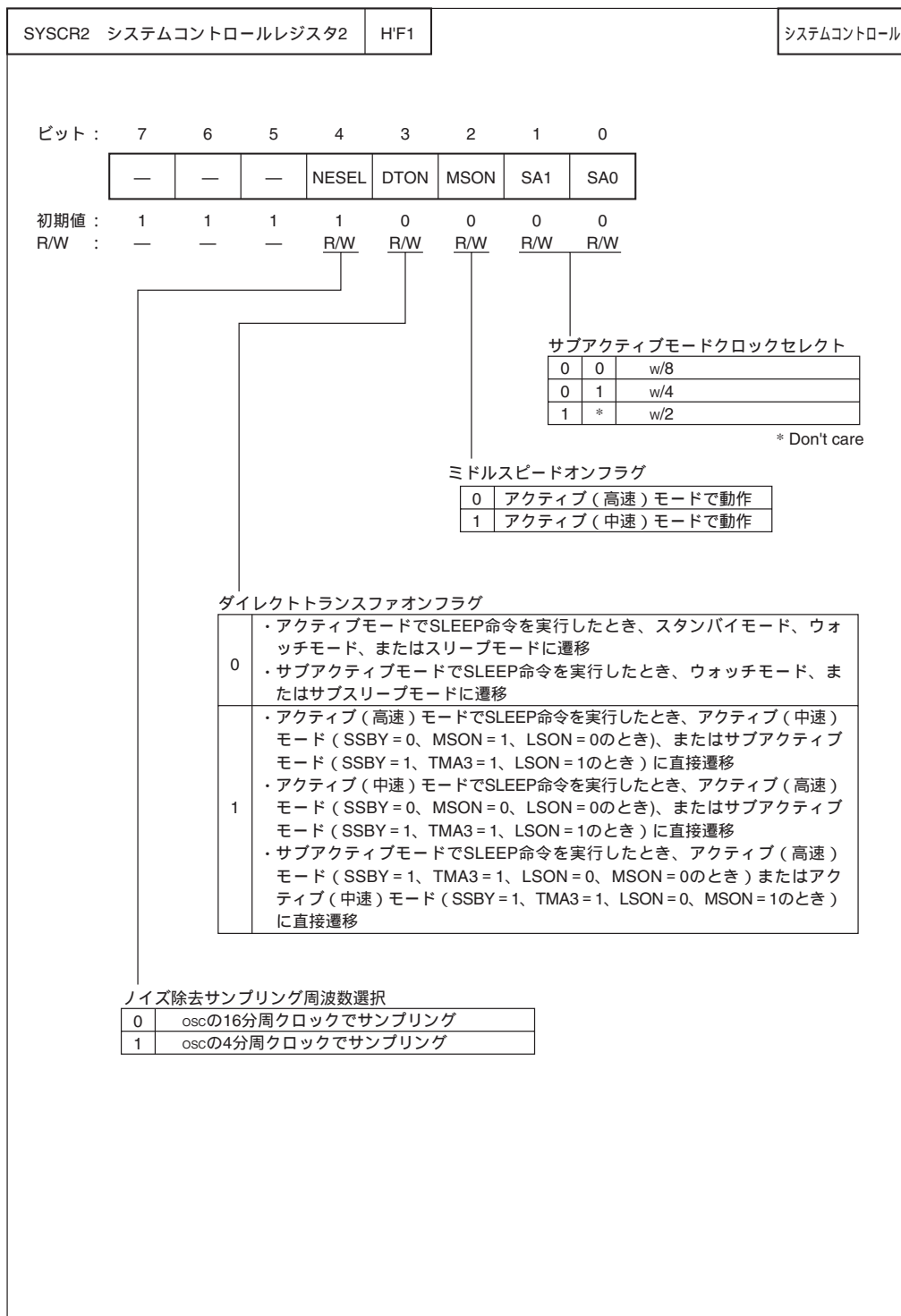
PUCR5 ポートブルアップコントロールレジスタ5	H'E2	I/Oポート												
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">PUCR5₇</td> <td style="padding: 2px;">PUCR5₆</td> <td style="padding: 2px;">PUCR5₅</td> <td style="padding: 2px;">PUCR5₄</td> <td style="padding: 2px;">PUCR5₃</td> <td style="padding: 2px;">PUCR5₂</td> <td style="padding: 2px;">PUCR5₁</td> <td style="padding: 2px;">PUCR5₀</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">ポート5入力プルアップMOSコントロール</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">0</td> <td style="padding: 2px;">入力プルアップMOSはOFF</td> </tr> <tr> <td style="padding: 2px;">1</td> <td style="padding: 2px;">入力プルアップMOSはON</td> </tr> </table> <p style="text-align: center;">【注】 PCR5を0に指定したとき（入力ポートに指定）</p>			PUCR5 ₇	PUCR5 ₆	PUCR5 ₅	PUCR5 ₄	PUCR5 ₃	PUCR5 ₂	PUCR5 ₁	PUCR5 ₀	0	入力プルアップMOSはOFF	1	入力プルアップMOSはON
PUCR5 ₇	PUCR5 ₆	PUCR5 ₅	PUCR5 ₄	PUCR5 ₃	PUCR5 ₂	PUCR5 ₁	PUCR5 ₀							
0	入力プルアップMOSはOFF													
1	入力プルアップMOSはON													
PUCR6 ポートブルアップコントロールレジスタ6	H'E3	I/Oポート												
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">PUCR6₇</td> <td style="padding: 2px;">PUCR6₆</td> <td style="padding: 2px;">PUCR6₅</td> <td style="padding: 2px;">PUCR6₄</td> <td style="padding: 2px;">PUCR6₃</td> <td style="padding: 2px;">PUCR6₂</td> <td style="padding: 2px;">PUCR6₁</td> <td style="padding: 2px;">PUCR6₀</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">ポート6入力プルアップMOSコントロール</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">0</td> <td style="padding: 2px;">入力プルアップMOSはOFF</td> </tr> <tr> <td style="padding: 2px;">1</td> <td style="padding: 2px;">入力プルアップMOSはON</td> </tr> </table> <p style="text-align: center;">【注】 PCR6を0に指定したとき（入力ポートに指定）</p>			PUCR6 ₇	PUCR6 ₆	PUCR6 ₅	PUCR6 ₄	PUCR6 ₃	PUCR6 ₂	PUCR6 ₁	PUCR6 ₀	0	入力プルアップMOSはOFF	1	入力プルアップMOSはON
PUCR6 ₇	PUCR6 ₆	PUCR6 ₅	PUCR6 ₄	PUCR6 ₃	PUCR6 ₂	PUCR6 ₁	PUCR6 ₀							
0	入力プルアップMOSはOFF													
1	入力プルアップMOSはON													
PCR1 ポートコントロールレジスタ1	H'E4	I/Oポート												
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">PCR1₇</td> <td style="padding: 2px;">PCR1₆</td> <td style="padding: 2px;">PCR1₅</td> <td style="padding: 2px;">PCR1₄</td> <td style="padding: 2px;">PCR1₃</td> <td style="padding: 2px;">PCR1₂</td> <td style="padding: 2px;">PCR1₁</td> <td style="padding: 2px;">PCR1₀</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : W W W W W W W W</p> <p style="text-align: center;">ポート1入出力選択</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">0</td> <td style="padding: 2px;">入力ポート</td> </tr> <tr> <td style="padding: 2px;">1</td> <td style="padding: 2px;">出力ポート</td> </tr> </table>			PCR1 ₇	PCR1 ₆	PCR1 ₅	PCR1 ₄	PCR1 ₃	PCR1 ₂	PCR1 ₁	PCR1 ₀	0	入力ポート	1	出力ポート
PCR1 ₇	PCR1 ₆	PCR1 ₅	PCR1 ₄	PCR1 ₃	PCR1 ₂	PCR1 ₁	PCR1 ₀							
0	入力ポート													
1	出力ポート													

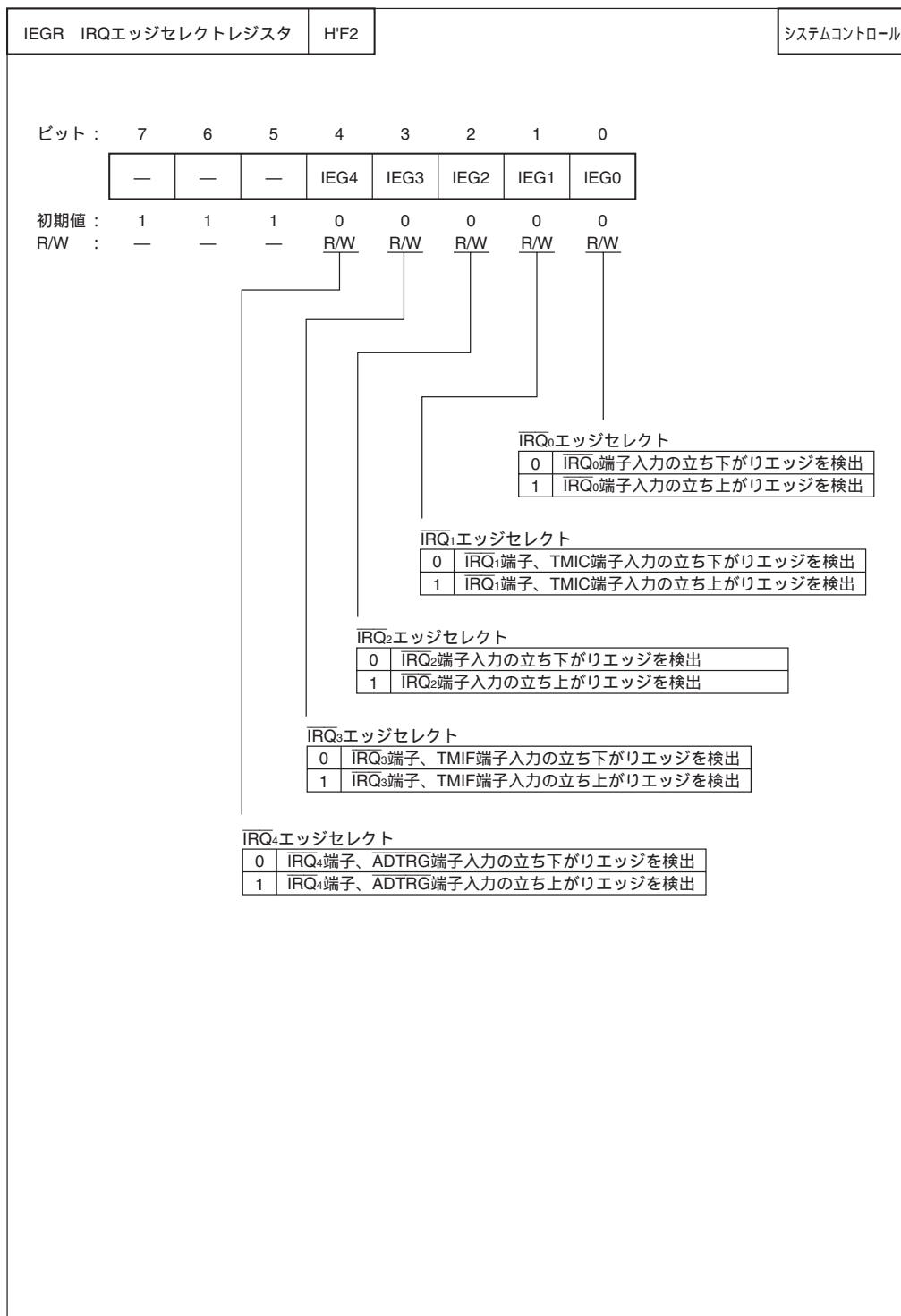
PCR3 ポートコントロールレジスタ3	H'E6	I/Oポート												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">PCR3₇</td> <td style="padding: 2px 5px;">PCR3₆</td> <td style="padding: 2px 5px;">PCR3₅</td> <td style="padding: 2px 5px;">PCR3₄</td> <td style="padding: 2px 5px;">PCR3₃</td> <td style="padding: 2px 5px;">PCR3₂</td> <td style="padding: 2px 5px;">PCR3₁</td> <td style="padding: 2px 5px;">PCR3₀</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W : W W W W W W W W</p> <div style="margin-left: 200px; margin-top: 10px;"> <p>ポート3入出力選択</p> <table border="1" style="border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">入力ポート</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">出力ポート</td> </tr> </table> </div>			PCR3 ₇	PCR3 ₆	PCR3 ₅	PCR3 ₄	PCR3 ₃	PCR3 ₂	PCR3 ₁	PCR3 ₀	0	入力ポート	1	出力ポート
PCR3 ₇	PCR3 ₆	PCR3 ₅	PCR3 ₄	PCR3 ₃	PCR3 ₂	PCR3 ₁	PCR3 ₀							
0	入力ポート													
1	出力ポート													
PCR4 ポートコントロールレジスタ4	H'E7	I/Oポート												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">PCR4₂</td> <td style="padding: 2px 5px;">PCR4₁</td> <td style="padding: 2px 5px;">PCR4₀</td> </tr> </table> <p>初期値： 1 1 1 1 1 0 0 0</p> <p>R/W : — — — — — W W W</p> <div style="margin-left: 200px; margin-top: 10px;"> <p>ポート4入出力選択</p> <table border="1" style="border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">入力ポート</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">出力ポート</td> </tr> </table> </div>			—	—	—	—	—	PCR4 ₂	PCR4 ₁	PCR4 ₀	0	入力ポート	1	出力ポート
—	—	—	—	—	PCR4 ₂	PCR4 ₁	PCR4 ₀							
0	入力ポート													
1	出力ポート													

PCR5 ポートコントロールレジスタ5	H'E8	I/Oポート												
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">PCR5₇</td> <td style="padding: 2px 5px;">PCR5₆</td> <td style="padding: 2px 5px;">PCR5₅</td> <td style="padding: 2px 5px;">PCR5₄</td> <td style="padding: 2px 5px;">PCR5₃</td> <td style="padding: 2px 5px;">PCR5₂</td> <td style="padding: 2px 5px;">PCR5₁</td> <td style="padding: 2px 5px;">PCR5₀</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : W W W W W W W W</p> <div style="text-align: center; margin-top: 10px;"> <p>ポート5入出力選択</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">入力ポート</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">出力ポート</td> </tr> </table> </div>			PCR5 ₇	PCR5 ₆	PCR5 ₅	PCR5 ₄	PCR5 ₃	PCR5 ₂	PCR5 ₁	PCR5 ₀	0	入力ポート	1	出力ポート
PCR5 ₇	PCR5 ₆	PCR5 ₅	PCR5 ₄	PCR5 ₃	PCR5 ₂	PCR5 ₁	PCR5 ₀							
0	入力ポート													
1	出力ポート													
PCR6 ポートコントロールレジスタ6	H'E9	I/Oポート												
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">PCR6₇</td> <td style="padding: 2px 5px;">PCR6₆</td> <td style="padding: 2px 5px;">PCR6₅</td> <td style="padding: 2px 5px;">PCR6₄</td> <td style="padding: 2px 5px;">PCR6₃</td> <td style="padding: 2px 5px;">PCR6₂</td> <td style="padding: 2px 5px;">PCR6₁</td> <td style="padding: 2px 5px;">PCR6₀</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : W W W W W W W W</p> <div style="text-align: center; margin-top: 10px;"> <p>ポート6入出力選択</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">入力ポート</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">出力ポート</td> </tr> </table> </div>			PCR6 ₇	PCR6 ₆	PCR6 ₅	PCR6 ₄	PCR6 ₃	PCR6 ₂	PCR6 ₁	PCR6 ₀	0	入力ポート	1	出力ポート
PCR6 ₇	PCR6 ₆	PCR6 ₅	PCR6 ₄	PCR6 ₃	PCR6 ₂	PCR6 ₁	PCR6 ₀							
0	入力ポート													
1	出力ポート													
PCR7 ポートコントロールレジスタ7	H'EA	I/Oポート												
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">PCR7₇</td> <td style="padding: 2px 5px;">PCR7₆</td> <td style="padding: 2px 5px;">PCR7₅</td> <td style="padding: 2px 5px;">PCR7₄</td> <td style="padding: 2px 5px;">PCR7₃</td> <td style="padding: 2px 5px;">PCR7₂</td> <td style="padding: 2px 5px;">PCR7₁</td> <td style="padding: 2px 5px;">PCR7₀</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : W W W W W W W W</p> <div style="text-align: center; margin-top: 10px;"> <p>ポート7入出力選択</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">入力ポート</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">出力ポート</td> </tr> </table> </div>			PCR7 ₇	PCR7 ₆	PCR7 ₅	PCR7 ₄	PCR7 ₃	PCR7 ₂	PCR7 ₁	PCR7 ₀	0	入力ポート	1	出力ポート
PCR7 ₇	PCR7 ₆	PCR7 ₅	PCR7 ₄	PCR7 ₃	PCR7 ₂	PCR7 ₁	PCR7 ₀							
0	入力ポート													
1	出力ポート													

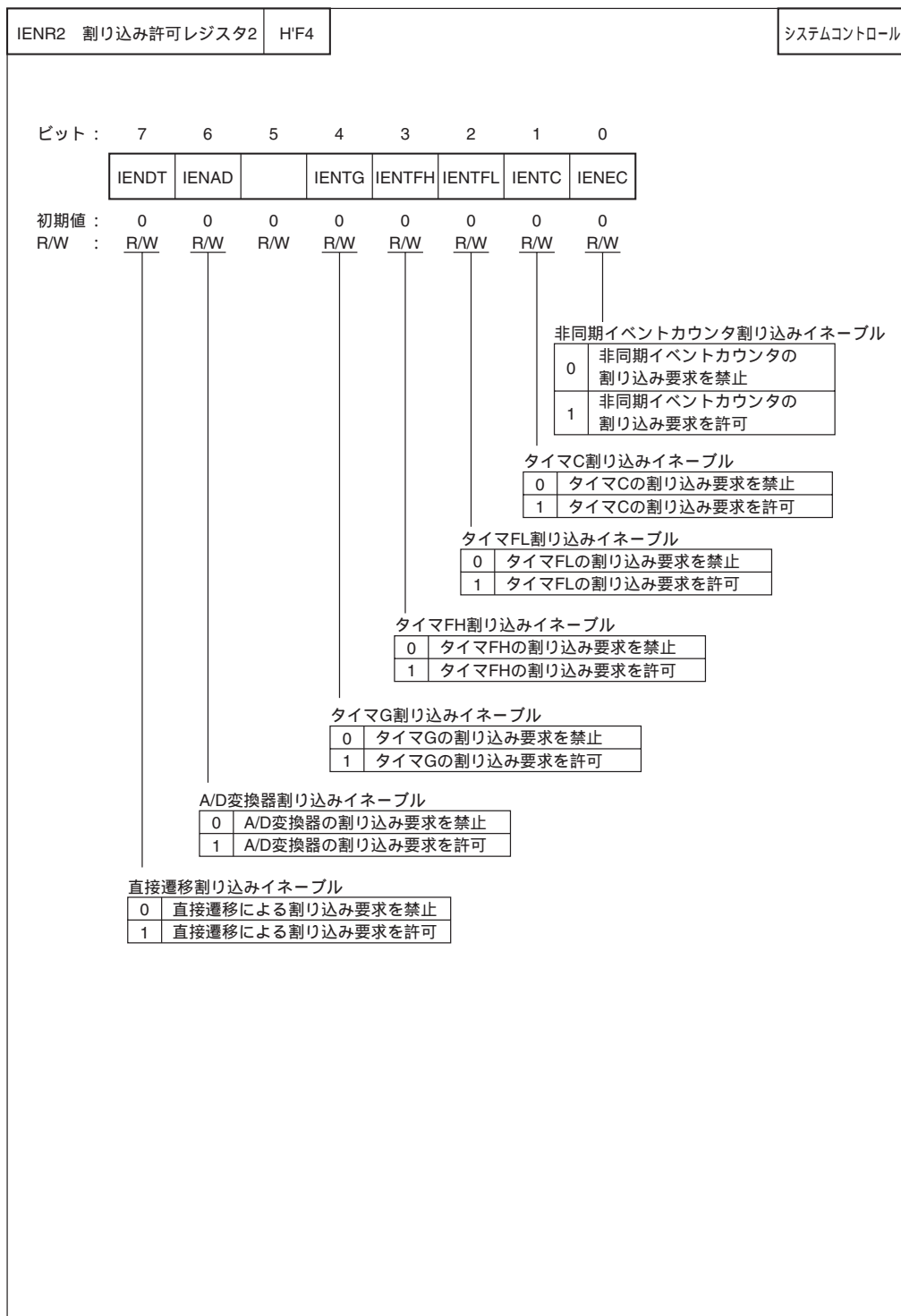
PCR8 ポートコントロールレジスタ8	H'EB	I/Oポート												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">PCR8₇</td> <td style="padding: 2px 5px;">PCR8₆</td> <td style="padding: 2px 5px;">PCR8₅</td> <td style="padding: 2px 5px;">PCR8₄</td> <td style="padding: 2px 5px;">PCR8₃</td> <td style="padding: 2px 5px;">PCR8₂</td> <td style="padding: 2px 5px;">PCR8₁</td> <td style="padding: 2px 5px;">PCR8₀</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W : W W W W W W W W</p> <div style="text-align: center; margin-top: 10px;"> <p>ポート8入出力選択</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">入力ポート</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">出力ポート</td> </tr> </table> </div>			PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀	0	入力ポート	1	出力ポート
PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀							
0	入力ポート													
1	出力ポート													
PCRA ポートコントロールレジスタA	H'ED	I/Oポート												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">PCRA₃</td> <td style="padding: 2px 5px;">PCRA₂</td> <td style="padding: 2px 5px;">PCRA₁</td> <td style="padding: 2px 5px;">PCRA₀</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W : — — — — W W W W</p> <div style="text-align: center; margin-top: 10px;"> <p>ポートA入出力選択</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">入力ポート</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">出力ポート</td> </tr> </table> </div>			—	—	—	—	PCRA ₃	PCRA ₂	PCRA ₁	PCRA ₀	0	入力ポート	1	出力ポート
—	—	—	—	PCRA ₃	PCRA ₂	PCRA ₁	PCRA ₀							
0	入力ポート													
1	出力ポート													

SYSCR1 システムコントロールレジスタ1	H'F0	システムコントロール																																																												
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="width: 10%;">SSBY</td> <td style="width: 10%;">STS2</td> <td style="width: 10%;">STS1</td> <td style="width: 10%;">STS0</td> <td style="width: 10%;">LSON</td> <td style="width: 10%;">Ñ</td> <td style="width: 10%;">MA1</td> <td style="width: 10%;">MA0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 1 1 1</p> <p>R/W : R/W R/W R/W R/W R/W Ñ R/W R/W</p> <div style="margin-top: 10px;"> <p>アクティブ (中速) モードクロックセレクト</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr><td>0</td><td>0</td><td>osc/16</td></tr> <tr><td>0</td><td>1</td><td>osc/32</td></tr> <tr><td>1</td><td>0</td><td>osc/64</td></tr> <tr><td>1</td><td>1</td><td>osc/128</td></tr> </table> </div> <div style="margin-top: 10px;"> <p>ロースピードオンフラグ</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr><td>0</td><td>CPUの動作クロックはシステムクロック ()</td></tr> <tr><td>1</td><td>CPUの動作クロックはサブクロック (SUB)</td></tr> </table> </div> <div style="margin-top: 10px;"> <p>スタンバイタイムセレクト2~0</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr><td>0</td><td>0</td><td>0</td><td>待機時間 = 8192ステート</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>待機時間 = 16384ステート</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>待機時間 = 32768ステート</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>待機時間 = 65536ステート</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>待機時間 = 131072ステート</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>待機時間 = 2ステート</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>待機時間 = 8ステート</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>待機時間 = 16ステート</td></tr> </table> </div> <div style="margin-top: 10px;"> <p>ソフトウェアスタンバイ</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="width: 5%;">0</td> <td>・アクティブモードでSLEEP命令実行後、スリープモードに遷移 ・サブアクティブモードでSLEEP命令実行後、サブスリープモードに遷移</td> </tr> <tr> <td>1</td> <td>・アクティブモードでSLEEP命令実行後、スタンバイモードあるいはウォッチモードに遷移 ・サブアクティブモードでSLEEP命令実行後、ウォッチモードに遷移</td> </tr> </table> </div>			SSBY	STS2	STS1	STS0	LSON	Ñ	MA1	MA0	0	0	osc/16	0	1	osc/32	1	0	osc/64	1	1	osc/128	0	CPUの動作クロックはシステムクロック ()	1	CPUの動作クロックはサブクロック (SUB)	0	0	0	待機時間 = 8192ステート	0	0	1	待機時間 = 16384ステート	0	1	0	待機時間 = 32768ステート	0	1	1	待機時間 = 65536ステート	1	0	0	待機時間 = 131072ステート	1	0	1	待機時間 = 2ステート	1	1	0	待機時間 = 8ステート	1	1	1	待機時間 = 16ステート	0	・アクティブモードでSLEEP命令実行後、スリープモードに遷移 ・サブアクティブモードでSLEEP命令実行後、サブスリープモードに遷移	1	・アクティブモードでSLEEP命令実行後、スタンバイモードあるいはウォッチモードに遷移 ・サブアクティブモードでSLEEP命令実行後、ウォッチモードに遷移
SSBY	STS2	STS1	STS0	LSON	Ñ	MA1	MA0																																																							
0	0	osc/16																																																												
0	1	osc/32																																																												
1	0	osc/64																																																												
1	1	osc/128																																																												
0	CPUの動作クロックはシステムクロック ()																																																													
1	CPUの動作クロックはサブクロック (SUB)																																																													
0	0	0	待機時間 = 8192ステート																																																											
0	0	1	待機時間 = 16384ステート																																																											
0	1	0	待機時間 = 32768ステート																																																											
0	1	1	待機時間 = 65536ステート																																																											
1	0	0	待機時間 = 131072ステート																																																											
1	0	1	待機時間 = 2ステート																																																											
1	1	0	待機時間 = 8ステート																																																											
1	1	1	待機時間 = 16ステート																																																											
0	・アクティブモードでSLEEP命令実行後、スリープモードに遷移 ・サブアクティブモードでSLEEP命令実行後、サブスリープモードに遷移																																																													
1	・アクティブモードでSLEEP命令実行後、スタンバイモードあるいはウォッチモードに遷移 ・サブアクティブモードでSLEEP命令実行後、ウォッチモードに遷移																																																													





IENR1 割り込み許可レジスタ1		H'F3						システムコントロール						
ビット:	7	6	5	4	3	2	1	0						
	IENR1		IENWP	IENR4	IENR3	IENR2	IENR1	IENR0						
初期値:	0	0	0	0	0	0	0	0						
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W						
							<table border="1"> <tr> <td colspan="2">IRQ₄ ~ IRQ₀割り込みイネーブル</td> </tr> <tr> <td>0</td> <td>IRQ₄ ~ IRQ₀端子の割り込み要求を禁止</td> </tr> <tr> <td>1</td> <td>IRQ₄ ~ IRQ₀端子の割り込み要求を許可</td> </tr> </table>		IRQ ₄ ~ IRQ ₀ 割り込みイネーブル		0	IRQ ₄ ~ IRQ ₀ 端子の割り込み要求を禁止	1	IRQ ₄ ~ IRQ ₀ 端子の割り込み要求を許可
IRQ ₄ ~ IRQ ₀ 割り込みイネーブル														
0	IRQ ₄ ~ IRQ ₀ 端子の割り込み要求を禁止													
1	IRQ ₄ ~ IRQ ₀ 端子の割り込み要求を許可													
							<table border="1"> <tr> <td colspan="2">ウェイクアップ割り込みイネーブル</td> </tr> <tr> <td>0</td> <td>WKP₇ ~ WKP₀端子の割り込み要求を禁止</td> </tr> <tr> <td>1</td> <td>WKP₇ ~ WKP₀端子の割り込み要求を許可</td> </tr> </table>		ウェイクアップ割り込みイネーブル		0	WKP ₇ ~ WKP ₀ 端子の割り込み要求を禁止	1	WKP ₇ ~ WKP ₀ 端子の割り込み要求を許可
ウェイクアップ割り込みイネーブル														
0	WKP ₇ ~ WKP ₀ 端子の割り込み要求を禁止													
1	WKP ₇ ~ WKP ₀ 端子の割り込み要求を許可													
							<table border="1"> <tr> <td colspan="2">タイマ割り込みイネーブル</td> </tr> <tr> <td>0</td> <td>タイマAの割り込み要求を禁止</td> </tr> <tr> <td>1</td> <td>タイマAの割り込み要求を許可</td> </tr> </table>		タイマ割り込みイネーブル		0	タイマAの割り込み要求を禁止	1	タイマAの割り込み要求を許可
タイマ割り込みイネーブル														
0	タイマAの割り込み要求を禁止													
1	タイマAの割り込み要求を許可													



IRR1 割り込み要求レジスタ1	H'F6	システムコントロール
------------------	------	------------

ビット： 7 6 5 4 3 2 1 0

IRR1A		—	IRR14	IRR13	IRR12	IRR11	IRR10
-------	--	---	-------	-------	-------	-------	-------

初期値： 0 0 1 0 0 0 0 0
R/W： R/(W)* R/(W)* — R/(W)* R/(W)* R/(W)* R/(W)* R/(W)*

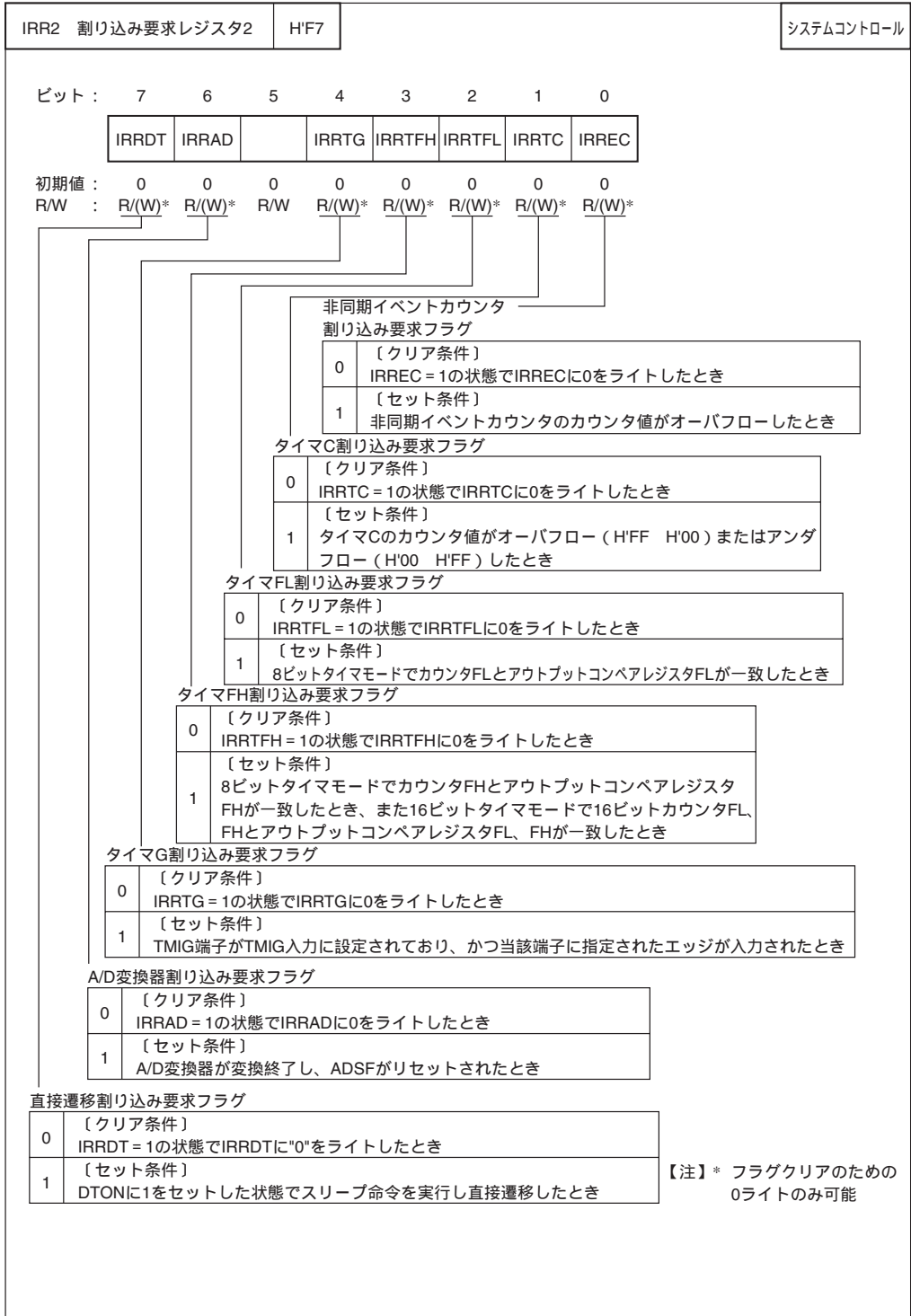
IRQ₄ ~ IRQ₀割り込み要求フラグ

0	〔クリア条件〕 IRR14 = 1の状態ではIRR14に0をライトしたとき IRR13 ~ IRR10についても同様
1	〔セット条件〕 IRQ ₄ 端子が割り込み入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき IRR13 ~ IRR10についても同様

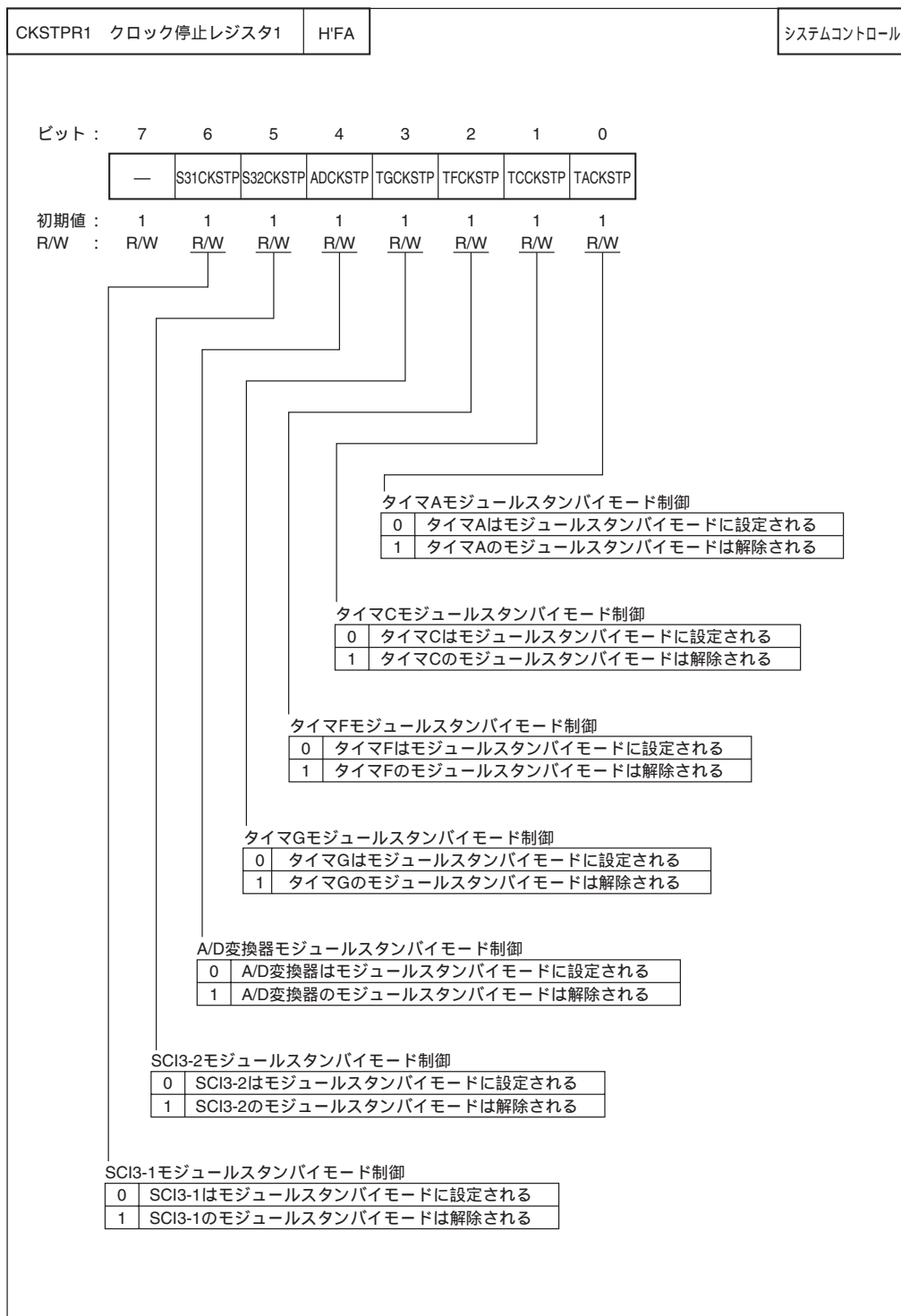
タイマA割り込み要求フラグ

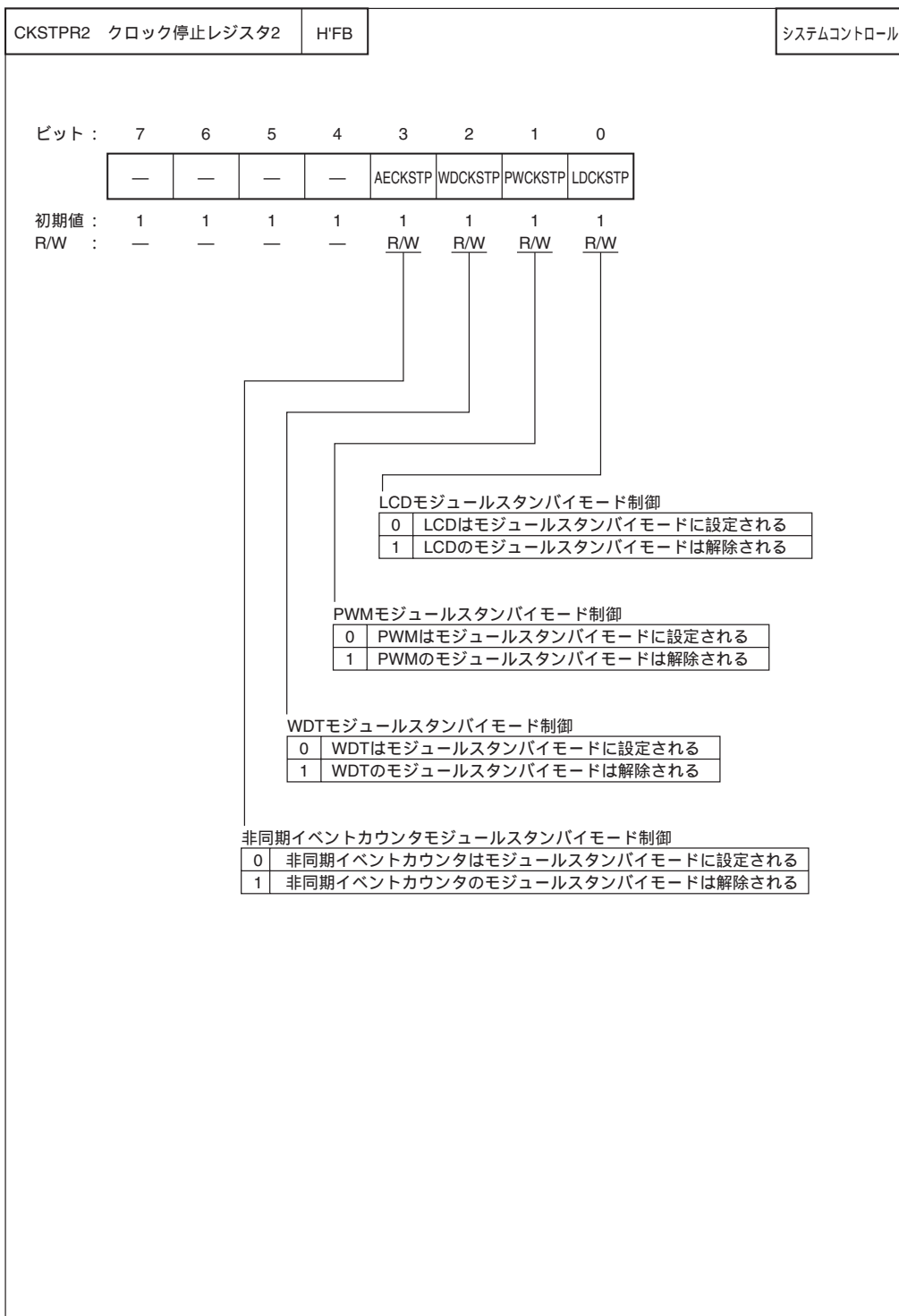
0	〔クリア条件〕 IRR1A = 1の状態ではIRR1Aに0をライトしたとき
1	〔セット条件〕 タイマAのカウント値がオーバーフロー（H'FF H'00）したとき

【注】 * フラグクリアのための0ライトのみ可能



IWPR ウェイクアップ割り込み要求レジスタ		H'F9		システムコントロール				
ビット:	7	6	5	4	3	2	1	0
	IWPF7	IWPF6	IWPF5	IWPF4	IWPF3	IWPF2	IWPF1	IWPF0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*
ウェイクアップ割り込み要求フラグ								
0	[クリア条件] IWPF7 = 1の状態ではIWPF7に0をライトしたとき IWPF6 ~ IWPF0についても同様							
1	[セット条件] WKP ₇ 端子がウェイクアップ入力に設定されており、かつ当該端子に立ち下がりエッジが入力されたとき IWPF6 ~ IWPF0についても同様							
【注】 * フラグクリアのための0ライトのみ可能								





C. I/O ポートブロック図

C.1 ポート1ブロック図

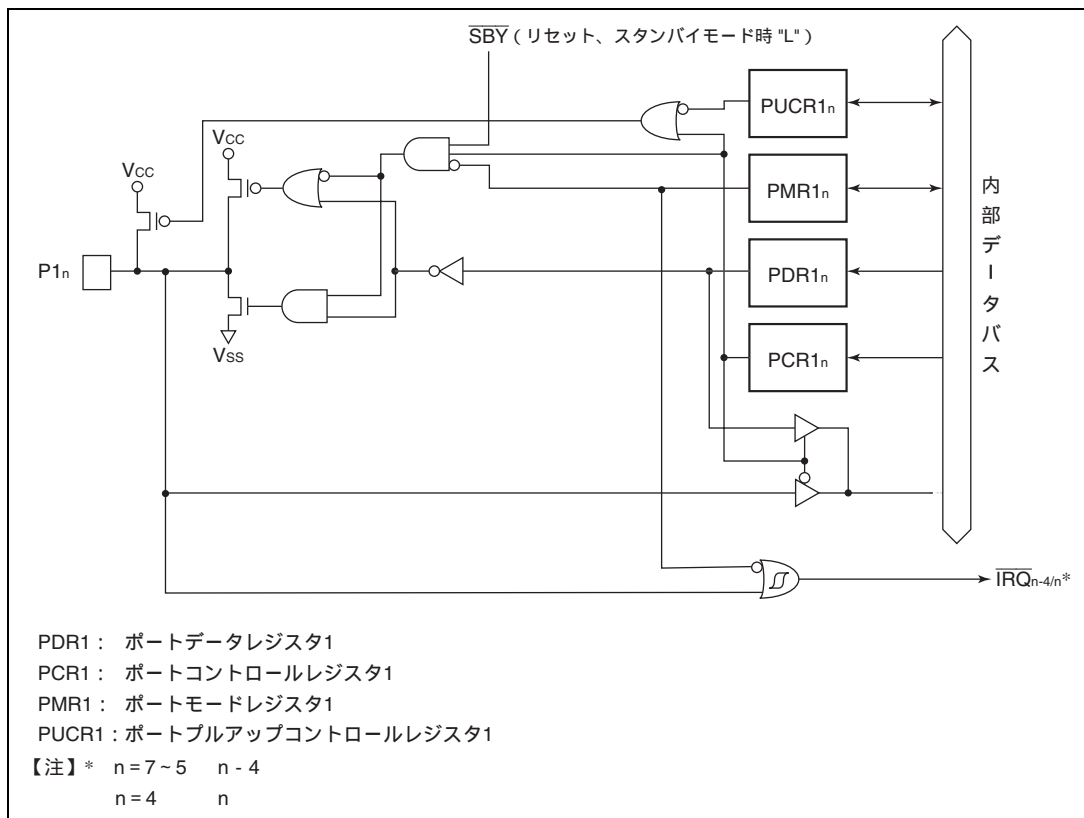


図 C.1 (a) ポート1 ブロック図 (P1₇ ~ P1₄端子)

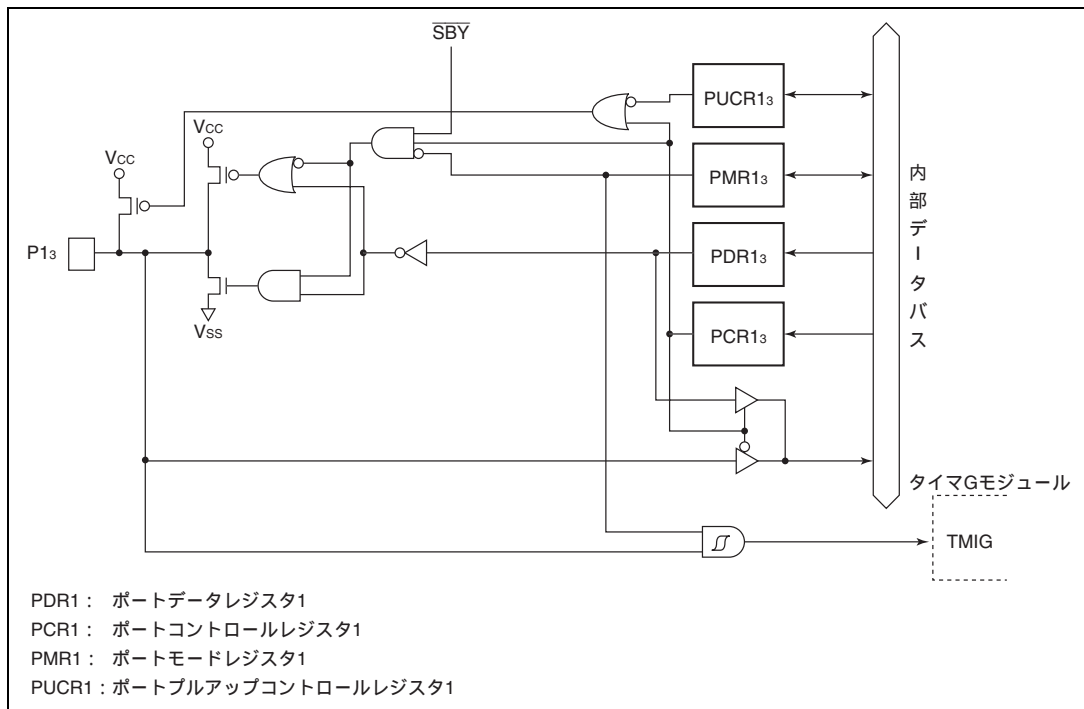


図 C.1 (b) ポート 1 ブロック図 (P1₃端子)

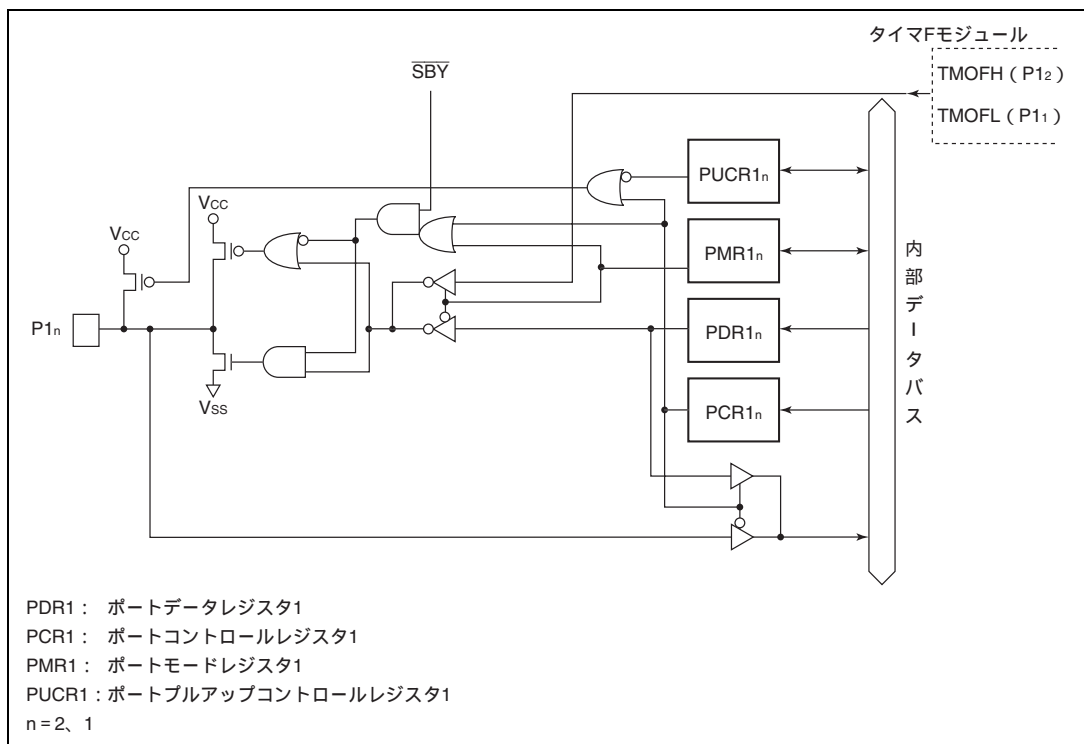


図 C.1 (c) ポート 1 ブロック図 (P1₂, P1₁端子)

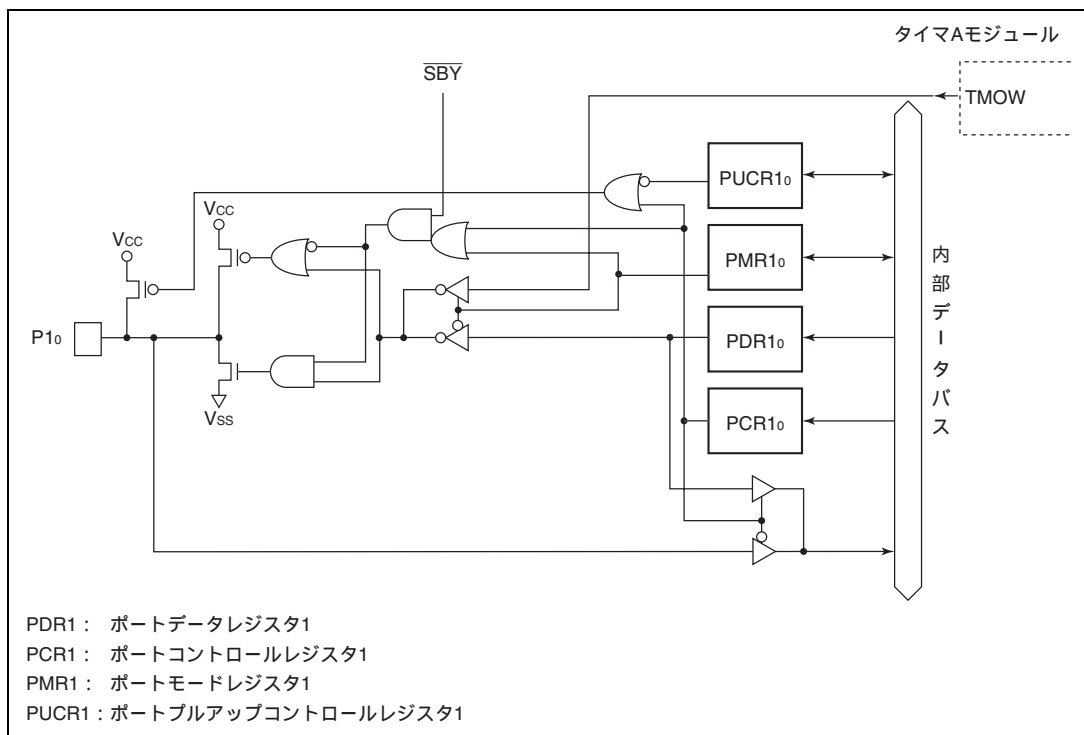


図 C.1 (d) ポート 1 ブロック図 (P1₀ 端子)

C.2 ポート3ブロック図

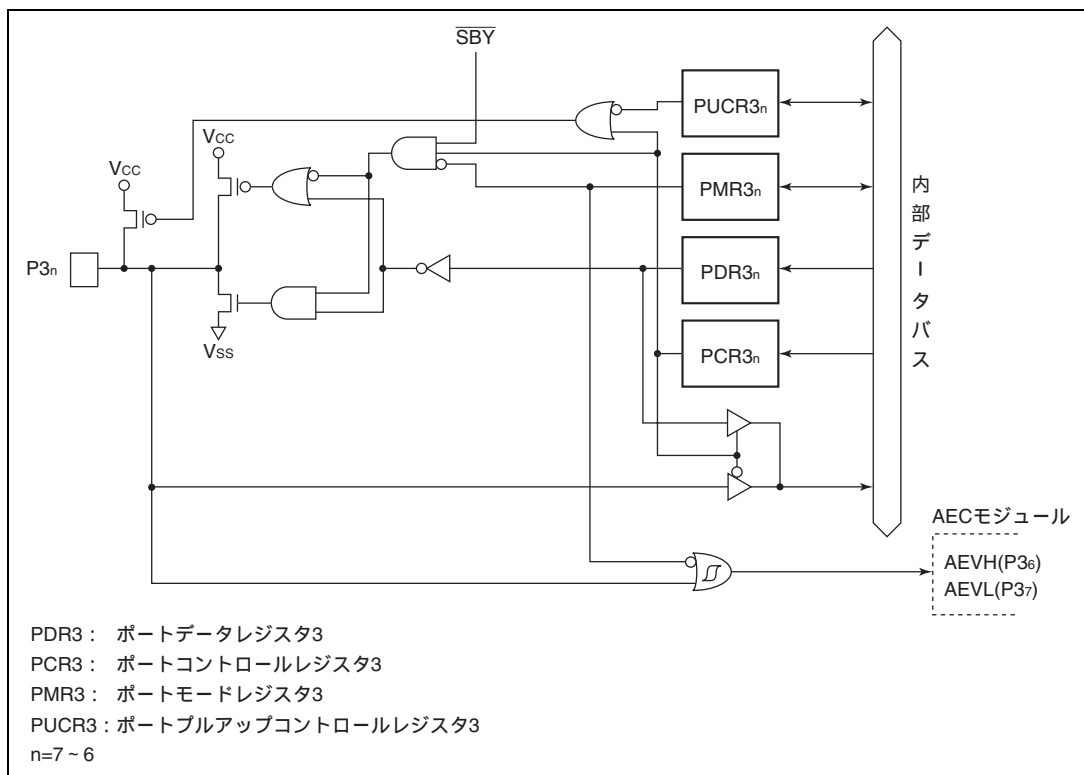


図 C.2 (a) ポート3ブロック図 (P3₇~P3₆端子)

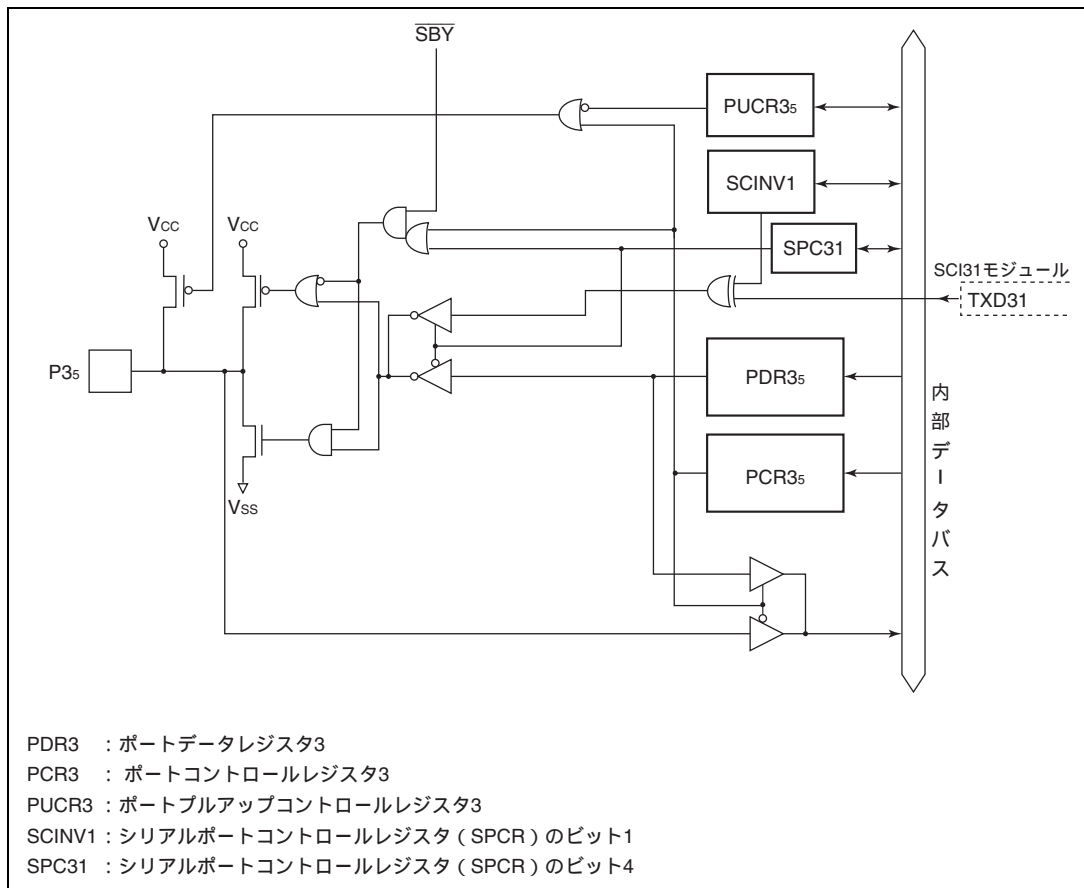


図 C.2 (b) ポート 3 ブロック図 (P3_s 端子)

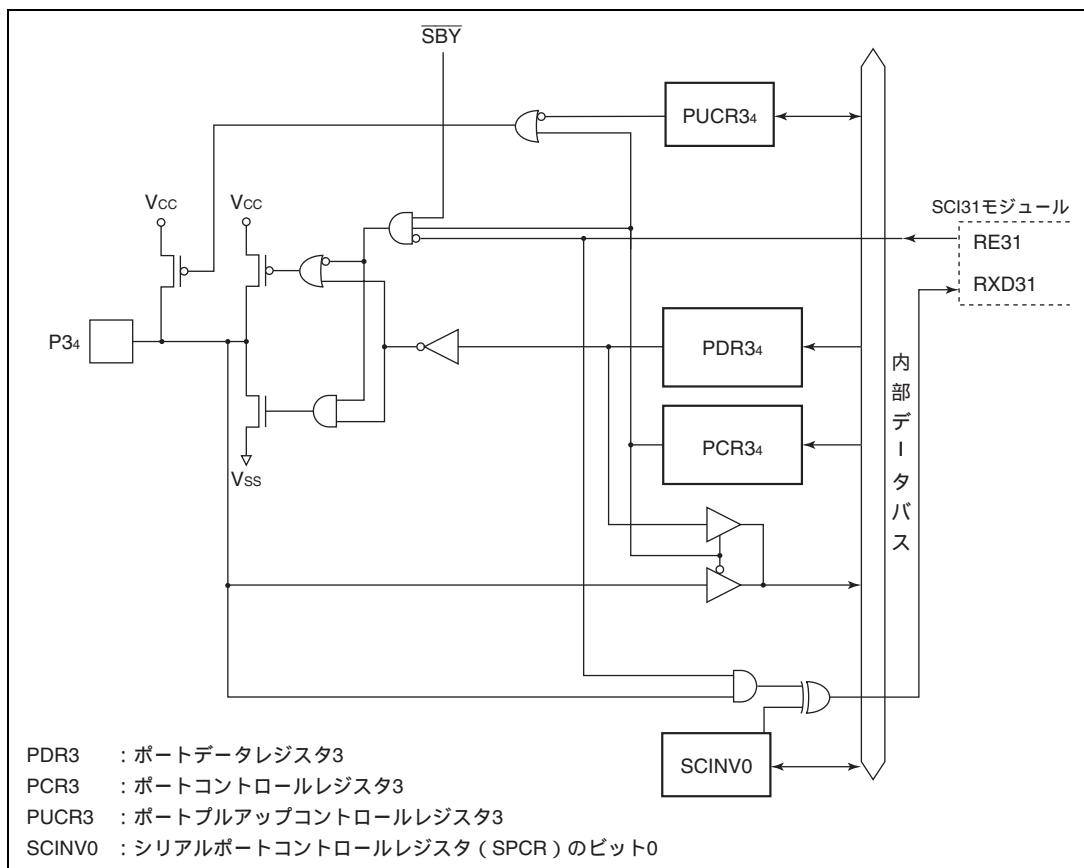


図 C.2 (c) ポート 3 ブロック図 (P3₄端子)

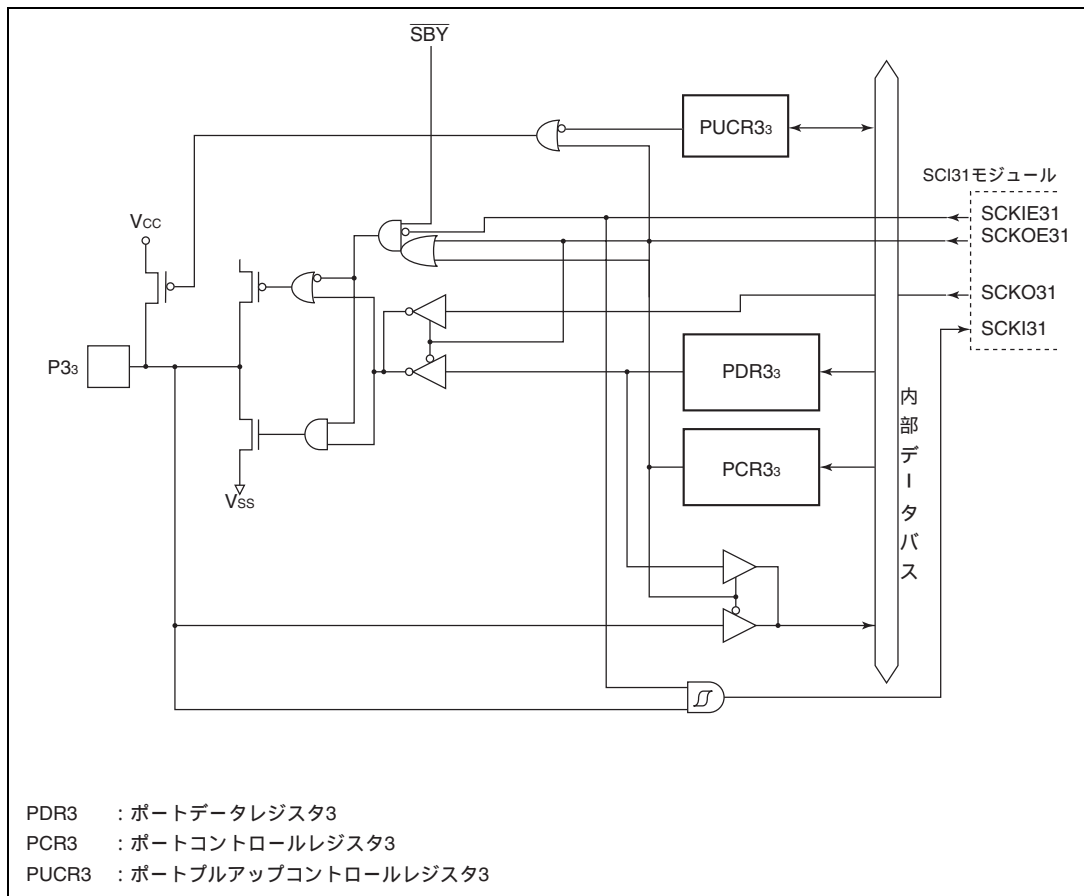


図 C.2 (d) ポート 3 ブロック図 (P3₃ 端子)

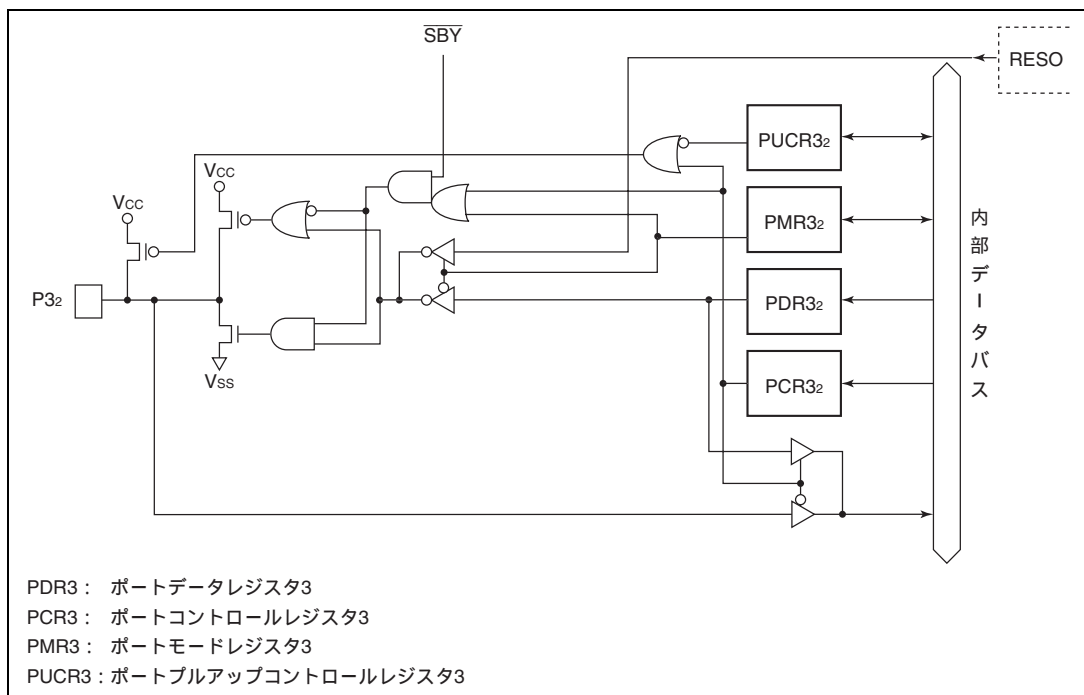


図 C.2 (e-1) ポート 3 ブロック図 (P3₂ 端子、H8/3827R、H8/3827S グループ)

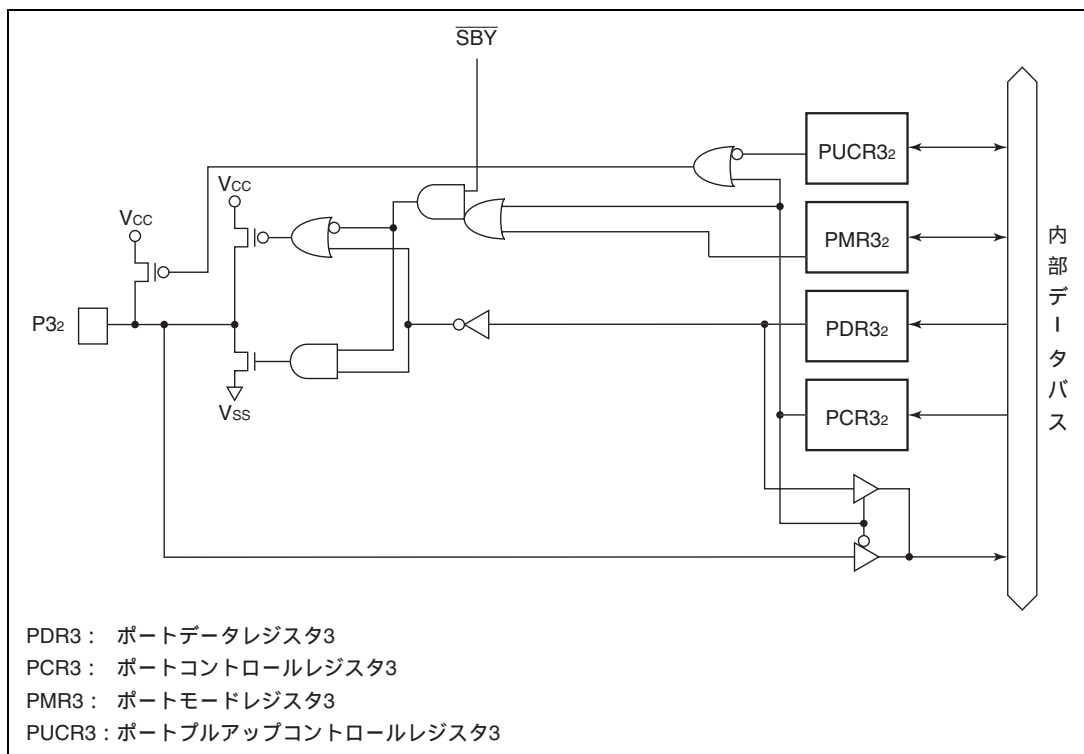


図 C.2 (e-2) ポート 3 ブロック図 (P3₂端子、H8/38327、H8/38427 グループのマスク ROM 版)

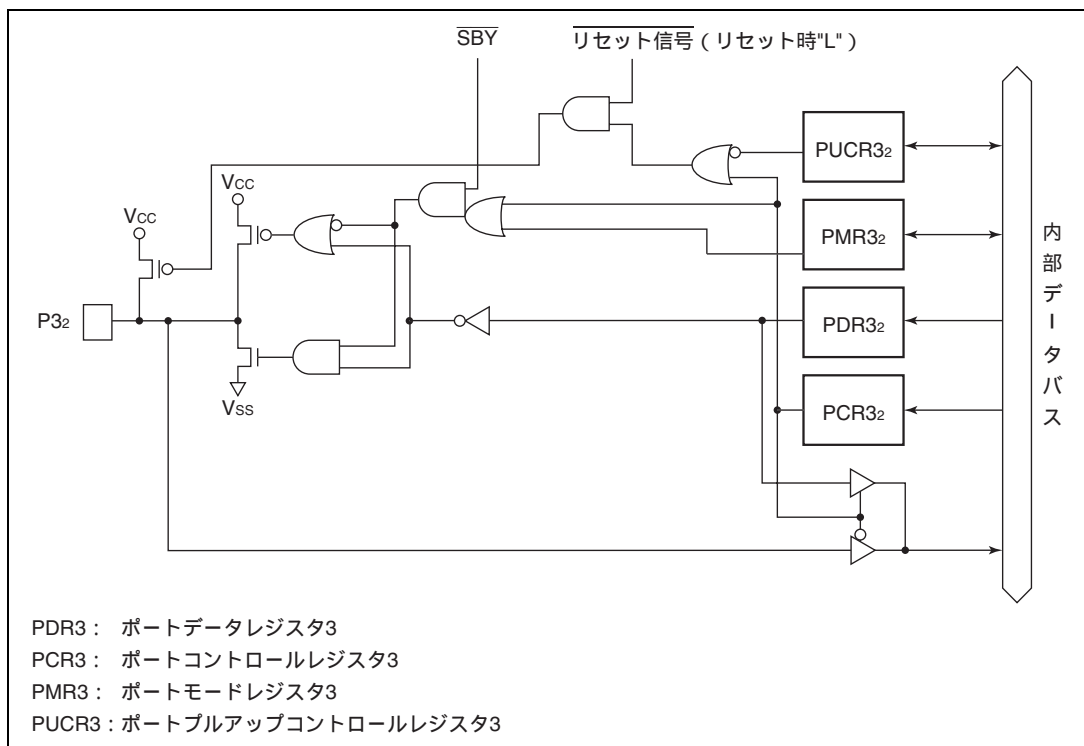


図 C.2 (e-3) ポート 3 ブロック図 (P3₂ 端子、H8/38327、H8/38427 グループの F-ZTAT 版)

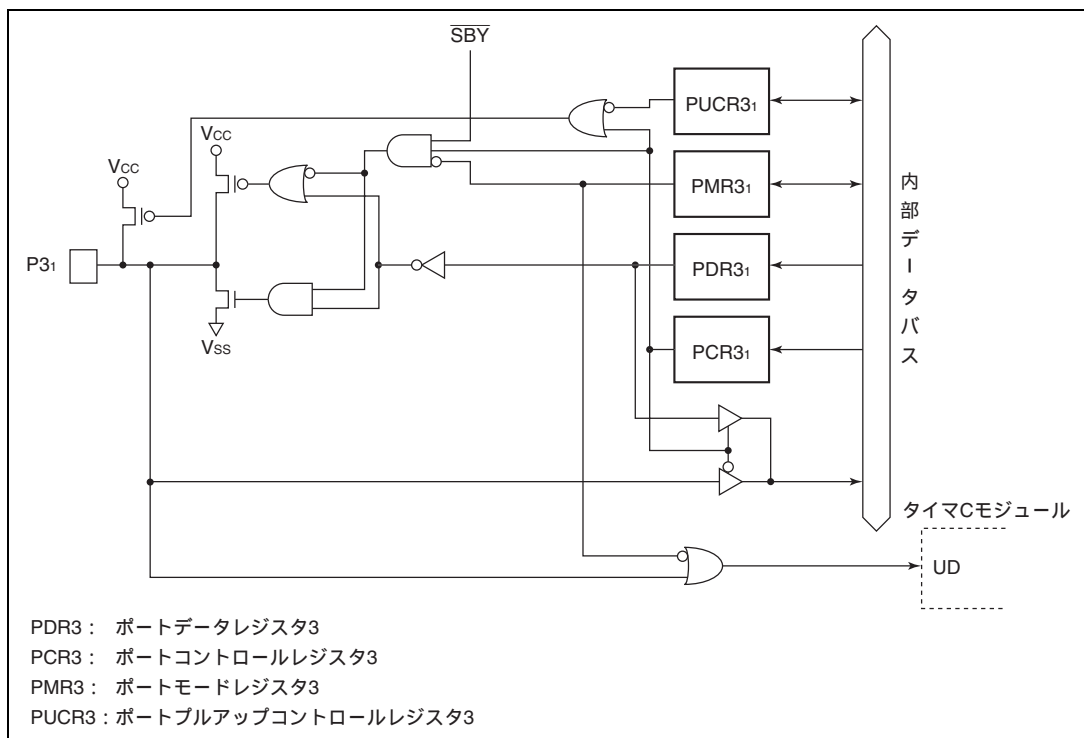


図 C.2 (f-1) ポート 3 ブロック図 (P3₁端子、H8/3827R、H8/3827S グループ)

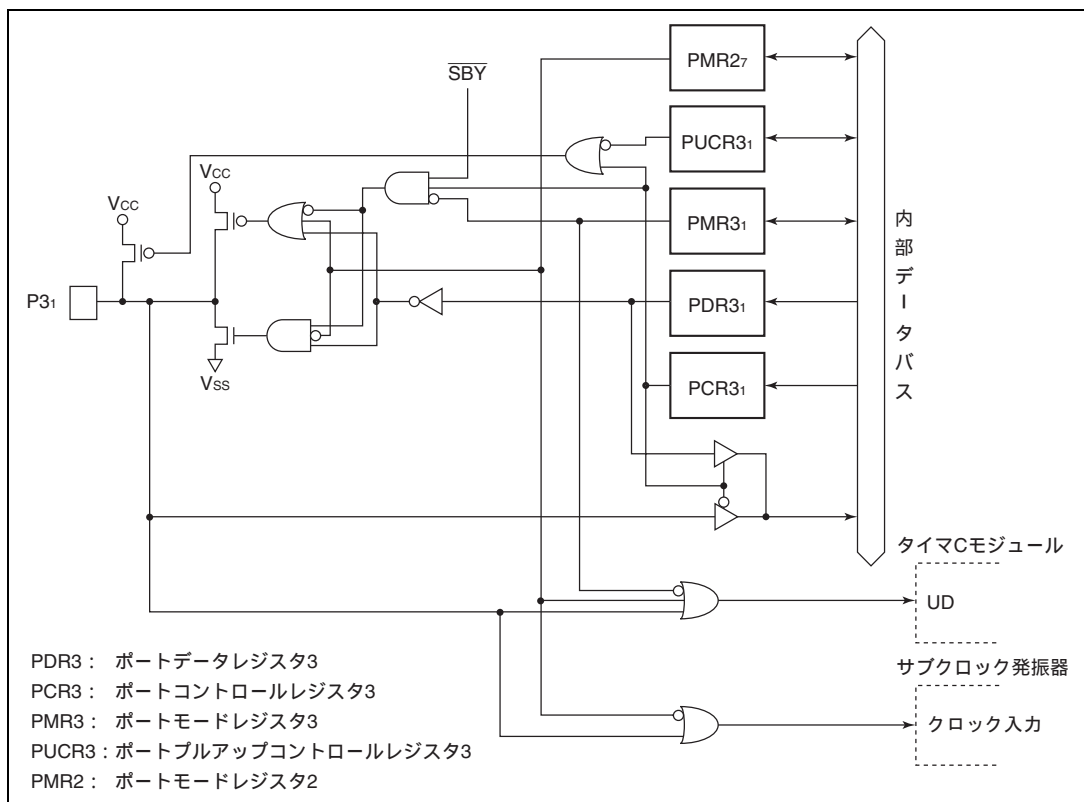


図 C.2 (f-2) ポート 3 ブロック図 (P3, 端子、H8/38327、H8/38427 グループ)

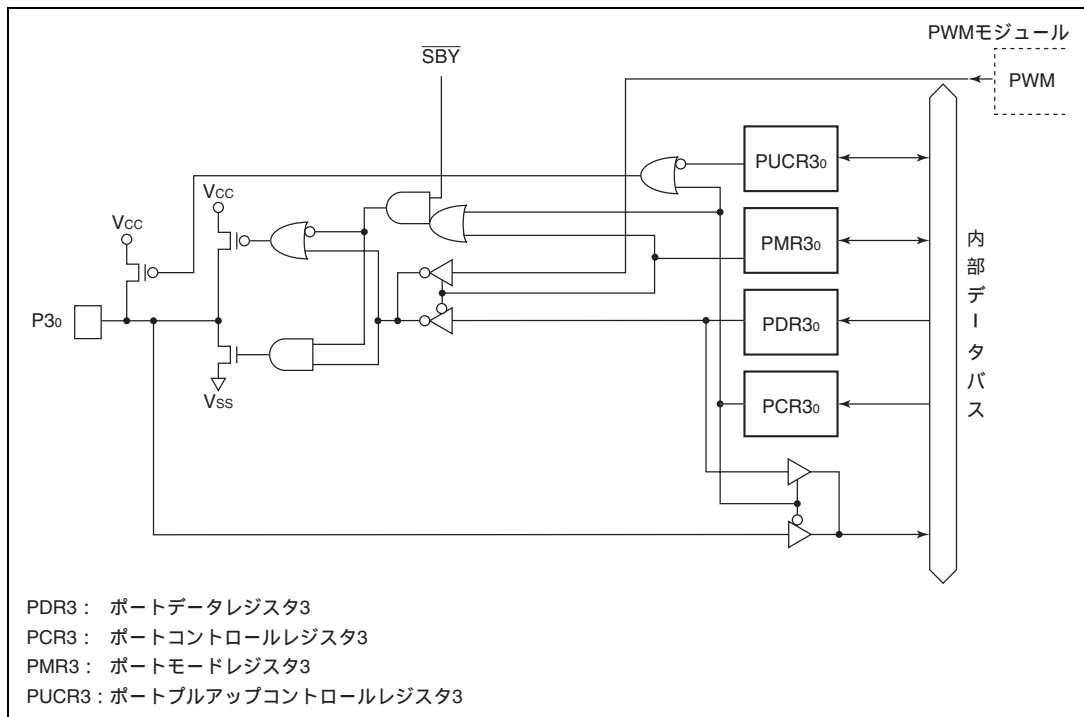


図 C.2 (g) ポート 3 ブロック図 (P3₀端子)

C.3 ポート 4 ブロック図

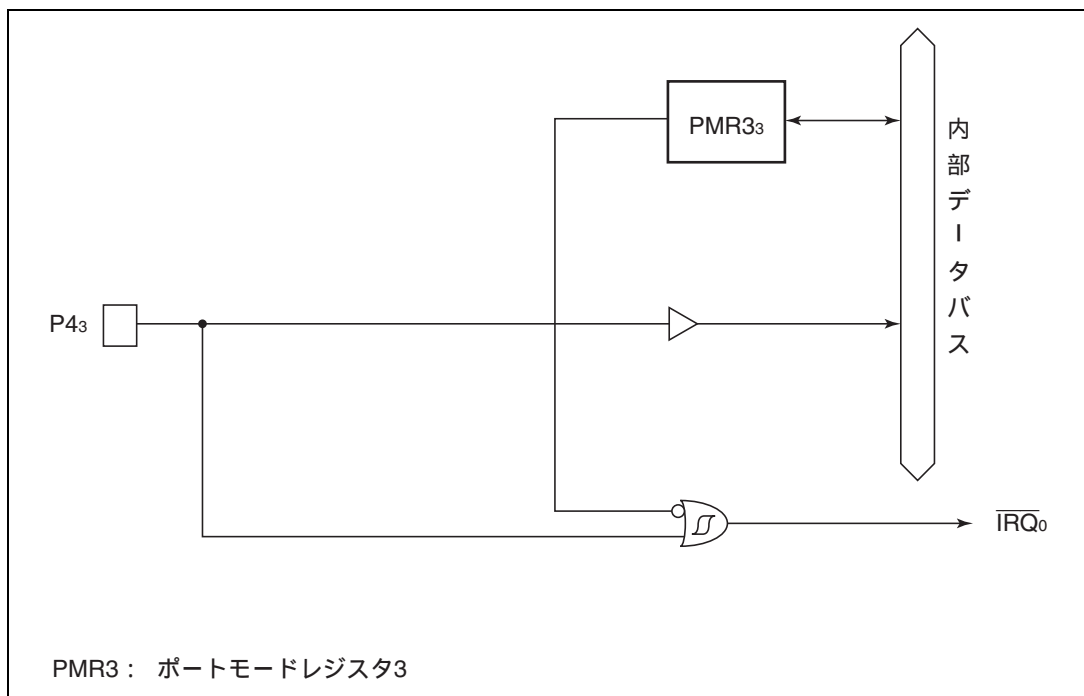


図 C.3 (a) ポート 4 ブロック図 (P4₃端子)

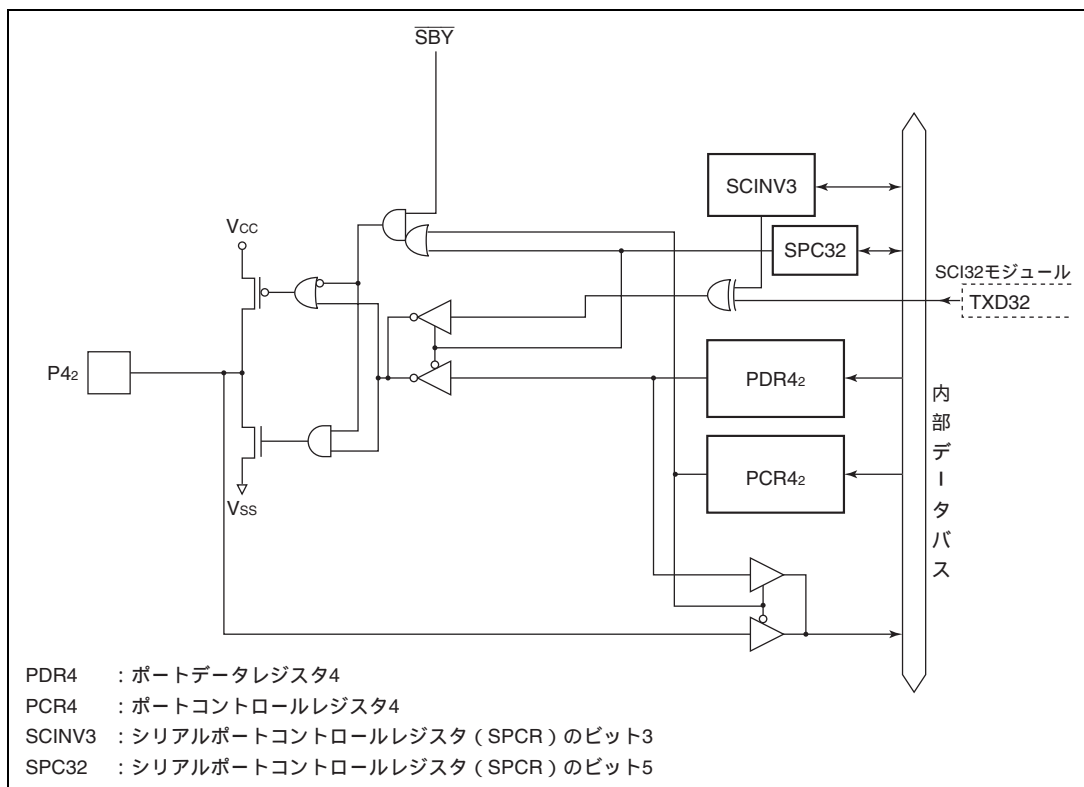


図 C.3 (b) ポート 4 ブロック図 (P4₂端子)

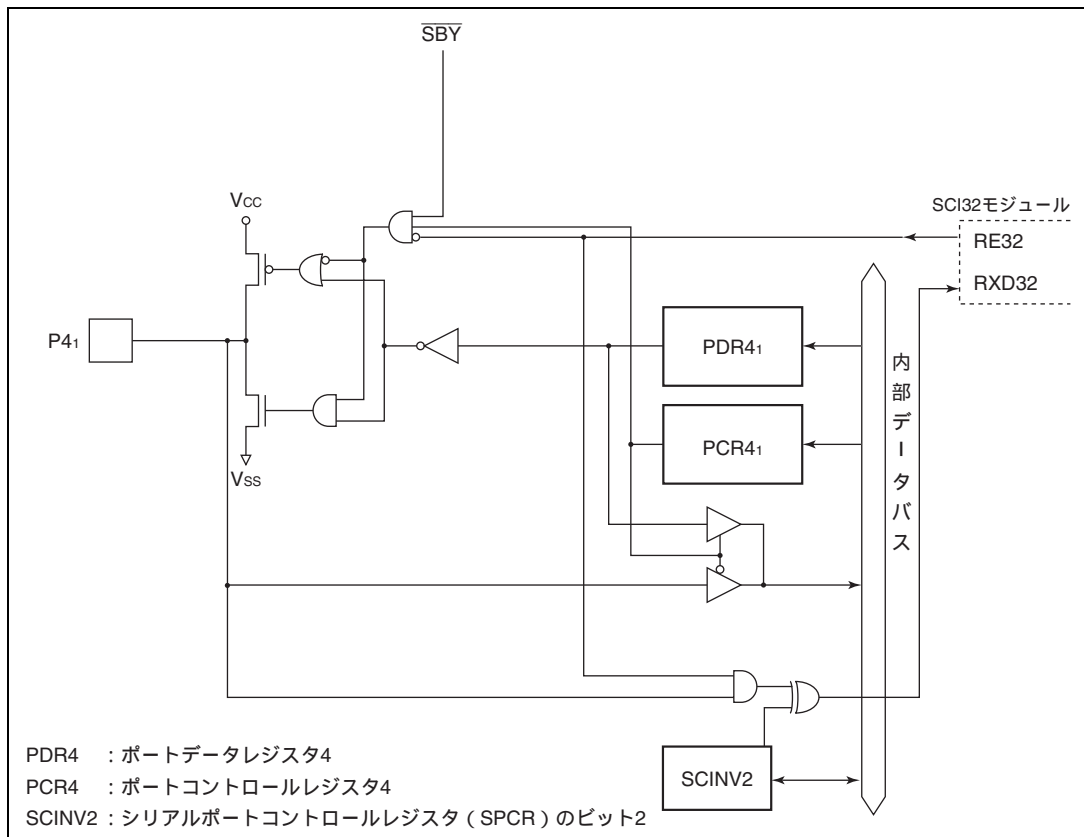


図 C.3 (c) ポート 4 ブロック図 (P4₁端子)

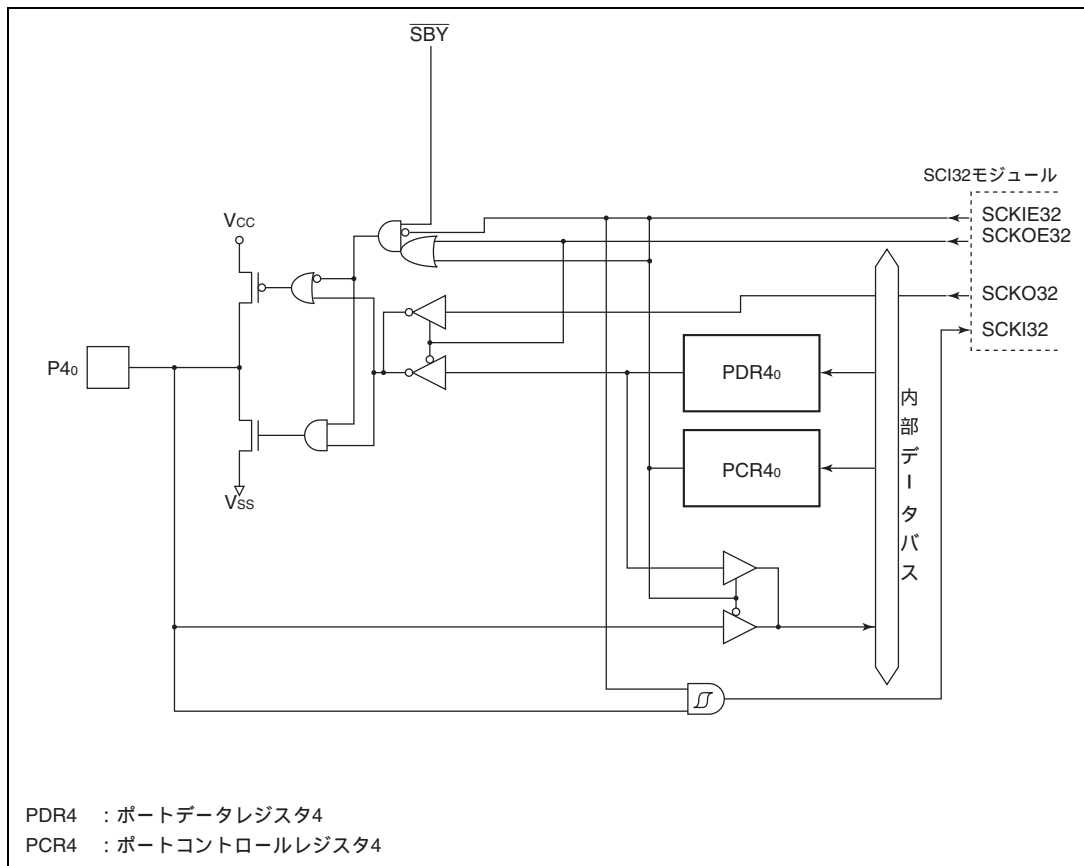


図 C.3 (d) ポート 4 ブロック図 (P4₀端子)

C.4 ポート5ブロック図

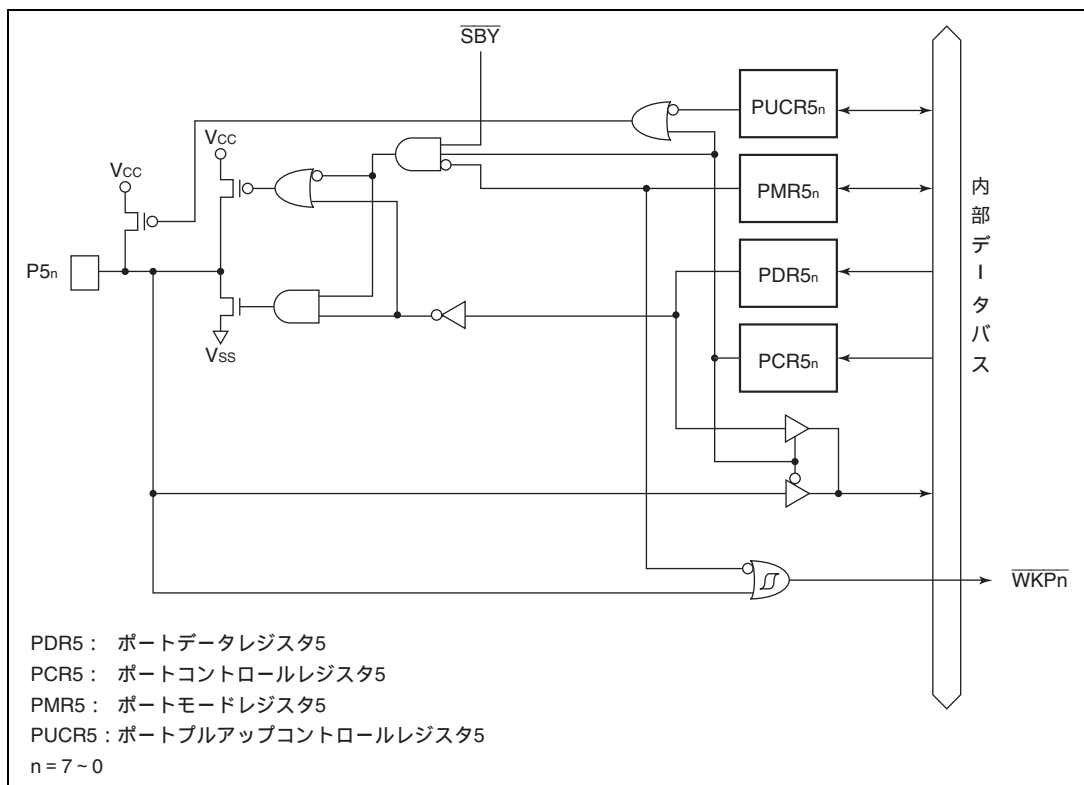


図 C.4 ポート5ブロック図

C.5 ポート6ブロック図

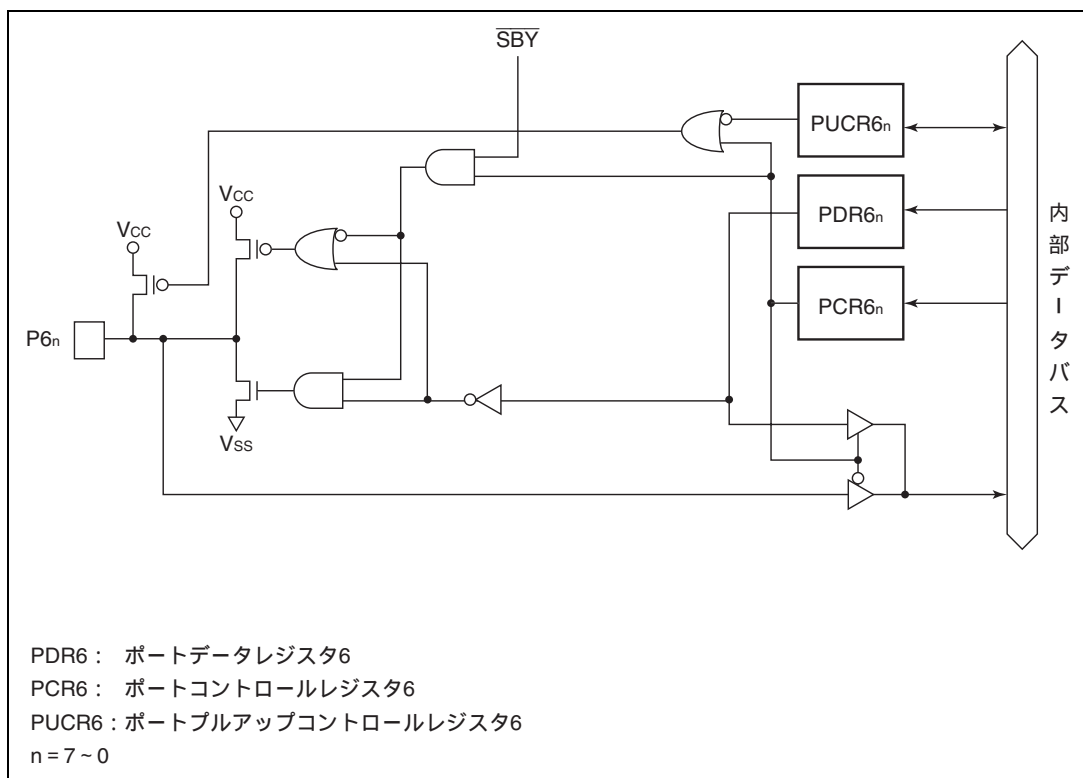


図 C.5 ポート6ブロック図

C.6 ポート7ブロック図

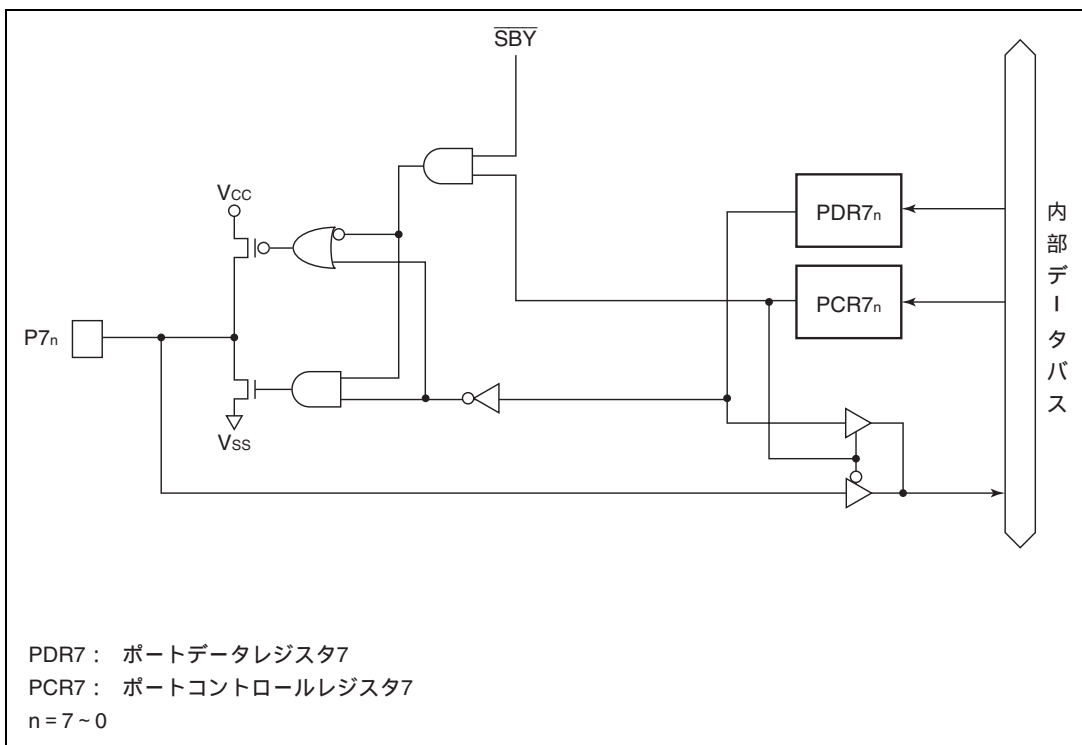


図 C.6 ポート7ブロック図

C.7 ポート 8 ブロック図

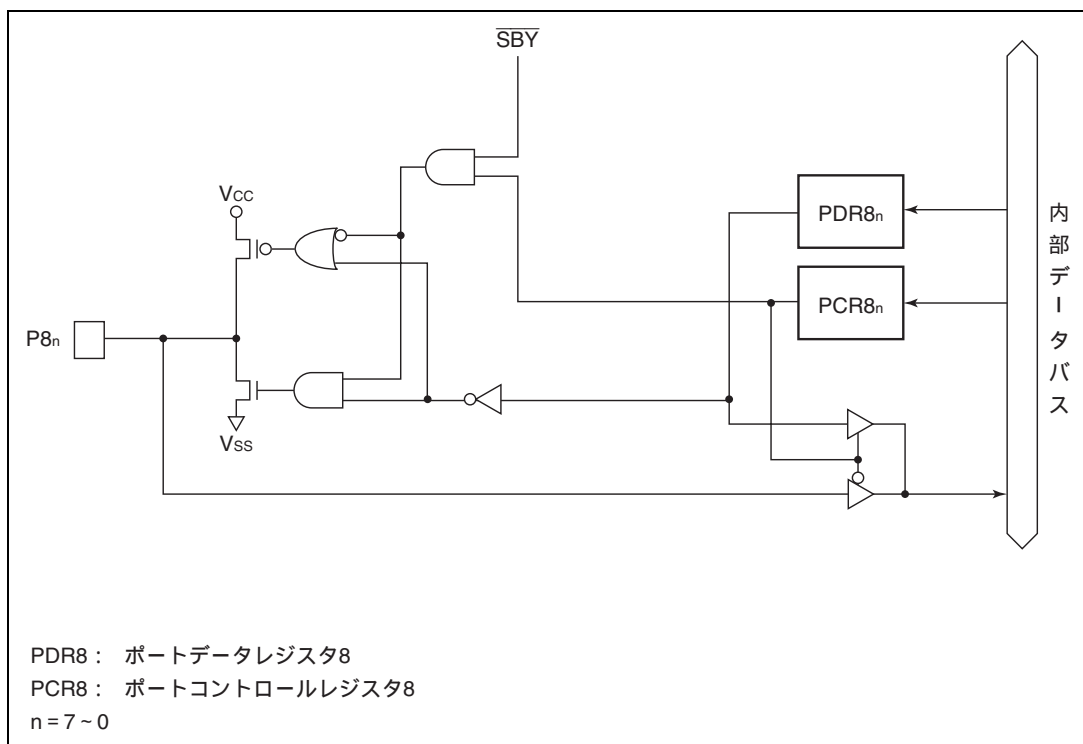


図 C.7 ポート 8 ブロック図

C.8 ポート A ブロック図

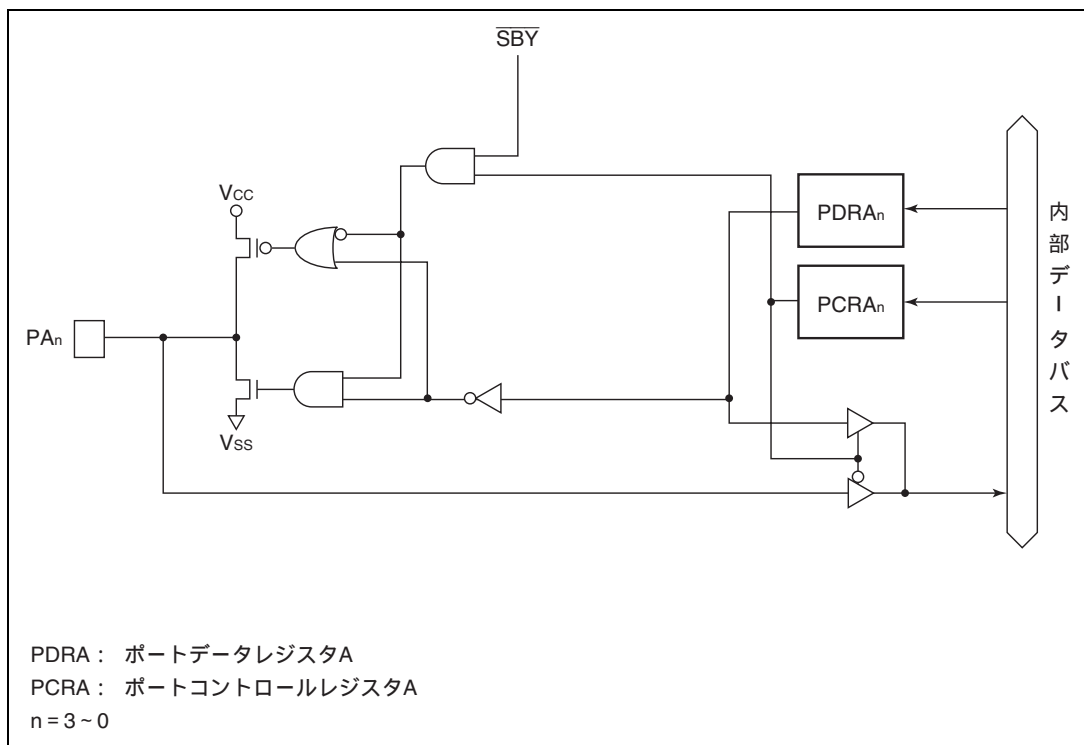


図 C.8 ポート A ブロック図

C.9 ポート B ブロック図

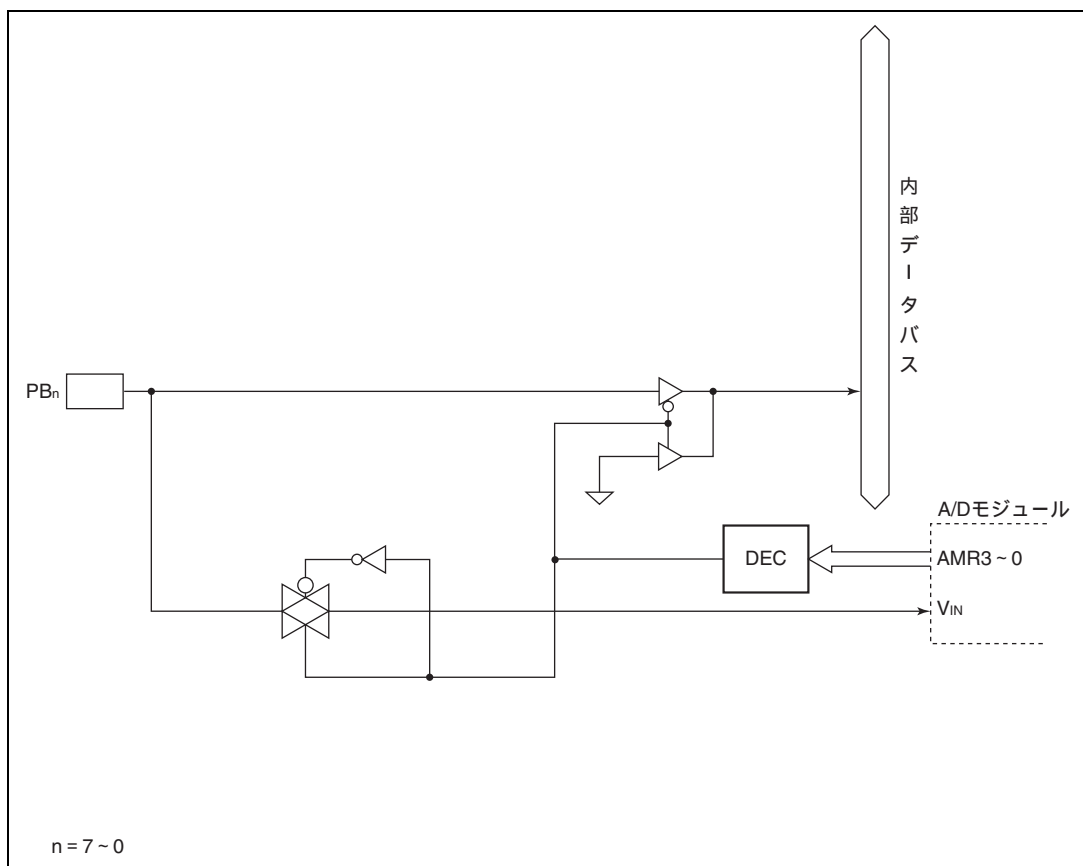


図 C.9 ポート B ブロック図

D. 各処理状態におけるポートの状態

表 D.1 各ポートの状態一覧

ポート名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P1 ₇ ~ P1 ₀	ハイインピ -ダンス	保持	保持	ハイインピ -ダンス* ¹	保持	動作	動作
P3 ₇ ~ P3 ₀	ハイインピ -ダンス* ²	保持	保持	ハイインピ -ダンス* ¹	保持	動作	動作
P4 ₃ ~ P4 ₀	ハイインピ -ダンス	保持	保持	ハイインピ -ダンス	保持	動作	動作
P5 ₇ ~ P5 ₀	ハイインピ -ダンス	保持	保持	ハイインピ -ダンス* ¹	保持	動作	動作
P6 ₇ ~ P6 ₀	ハイインピ -ダンス	保持	保持	ハイインピ -ダンス	保持	動作	動作
P7 ₇ ~ P7 ₀	ハイインピ -ダンス	保持	保持	ハイインピ -ダンス	保持	動作	動作
P8 ₇ ~ P8 ₀	ハイインピ -ダンス	保持	保持	ハイインピ -ダンス	保持	動作	動作
PA ₃ ~ PA ₀	ハイインピ -ダンス	保持	保持	ハイインピ -ダンス	保持	動作	動作
PB ₇ ~ PB ₀	ハイインピ -ダンス	ハイインピ -ダンス	ハイインピ -ダンス	ハイインピ -ダンス	ハイインピ -ダンス	ハイインピ -ダンス	ハイインピ -ダンス

【注】 *1 プルアップ MOS が ON 状態では High レベル出力となります。

*2 P3₂ 端子のみリセット出力となります (H8/3827R、H8/3827S グループの場合)。

P3₂ 端子のみプルアップ MOS が ON 状態になります (H8/38327、H8/38427 グループの F-ZTAT 版の場合)。

E. ROM 発注手順

E.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、弊社では図 E.1 の流れ図に沿って ROM 書き換え品の開発を行います。

表 E.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社担当営業へお問い合わせください。

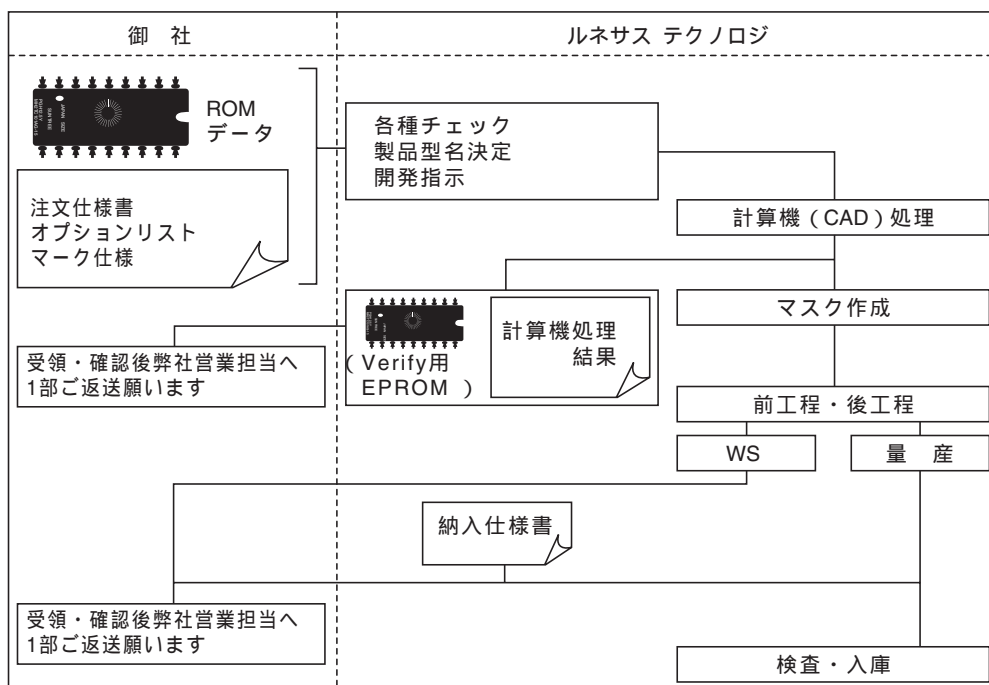


図 E.1 ROM 書き換え品開発の流れ

表 E.1 ROM 発注時に必要な提出物

発注媒体	EPROM または ZTAT [®] マイコン
提出物	ROM データ
	注文仕様書
	オプションリスト* ¹
	マーク仕様例* ²

【注】 *1 製品シリーズにより必要ないものがあります。また、内容も異なります。

*2 特別仕様の場合には、提出してください。

E.2 ROM 発注時の注意事項

提出していただく ROM データは、次の注意事項に従って、EPROM または ZTAT[®]マイコンで提出してください。なお、EPROM または ZTAT[®]マイコン以外の媒体（フロッピーディスク等）では対応できませんのでご注意ください。

- (1) EPROMにROMデータを書き込む際は、事前にデータを十分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用EPROMにおいて、ROMデータの未使用（NOT USED）領域またはリザーブ領域には、必ず'FF'を書き込んでください。
- (3) 提出していただくEPROMには遮光ラベルを貼り、御社の品番等を記入してください。
- (4) EPROMに書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにすると共に、運搬の際は導伝性のシートに梱包するなど取り扱いに十分注意してください（アルミ箔、発泡スチロール等は不可）。なお、これらによるデータの読み取りエラーに備え、同一内容のEPROMを2組以上提出してください。

F. 製品型名一覧

表 F.1 型名一覧

	製品分類		製品型名	マーク型名	パッケージ (パッケージコード)	
H8/3827R グループ	H8/3822R	マスク ROM 版	通常品	HD6433822RH	HD6433822R (***) H	80 ピン QFP (FP-80A)
				HD6433822RF	HD6433822R (***) F	80 ピン QFP (FP-80B)
				HD6433822RW	HD6433822R (***) W	80 ピン TQFP (TFP-80C)
				HCD6433822R	-	ダイ
		広温度 範囲 仕様品	HD6433822RD	HD6433822R (***) H	80 ピン QFP (FP-80A)	
			HD6433822RE	HD6433822R (***) F	80 ピン QFP (FP-80B)	
			HD6433822RWI	HD6433822R (***) W	80 ピン TQFP (TFP-80C)	
	H8/3823R	マスク ROM 版	通常品	HD6433823RH	HD6433823R (***) H	80 ピン QFP (FP-80A)
				HD6433823RF	HD6433823R (***) F	80 ピン QFP (FP-80B)
				HD6433823RW	HD6433823R (***) W	80 ピン TQFP (TFP-80C)
				HCD6433823R	-	ダイ
		広温度 範囲 仕様品	HD6433823RD	HD6433823R (***) H	80 ピン QFP (FP-80A)	
			HD6433823RE	HD6433823R (***) F	80 ピン QFP (FP-80B)	
			HD6433823RWI	HD6433823R (***) W	80 ピン TQFP (TFP-80C)	
H8/3824R	マスク ROM 版	通常品	HD6433824RH	HD6433824R (***) H	80 ピン QFP (FP-80A)	
			HD6433824RF	HD6433824R (***) F	80 ピン QFP (FP-80B)	
			HD6433824RW	HD6433824R (***) W	80 ピン TQFP (TFP-80C)	
			HCD6433824R	-	ダイ	
	広温度 範囲 仕様品	HD6433824RD	HD6433824R (***) H	80 ピン QFP (FP-80A)		
		HD6433824RE	HD6433824R (***) F	80 ピン QFP (FP-80B)		
		HD6433824RWI	HD6433824R (***) W	80 ピン TQFP (TFP-80C)		
H8/3825R	マスク ROM 版	通常品	HD6433825RH	HD6433825R (***) H	80 ピン QFP (FP-80A)	
			HD6433825RF	HD6433825R (***) F	80 ピン QFP (FP-80B)	
			HD6433825RW	HD6433825R (***) W	80 ピン TQFP (TFP-80C)	
			HCD6433825R	-	ダイ	
	広温度 範囲 仕様品	HD6433825RD	HD6433825R (***) H	80 ピン QFP (FP-80A)		
		HD6433825RE	HD6433825R (***) F	80 ピン QFP (FP-80B)		
		HD6433825RWI	HD6433825R (***) W	80 ピン TQFP (TFP-80C)		

	製品分類		製品型名	マーク型名	パッケージ (パッケージコード)		
H8/3827R グループ	H8/3826R	マスク ROM 版	通常品	HD6433826RH	HD6433826R (***) H	80 ピン QFP (FP-80A)	
				HD6433826RF	HD6433826R (***) F	80 ピン QFP (FP-80B)	
				HD6433826RW	HD6433826R (***) W	80 ピン TQFP (TFP-80C)	
				HCD6433826R	-	ダイ	
		広温度 範囲 仕様品	HD6433826RD	HD6433826R (***) H	80 ピン QFP (FP-80A)		
			HD6433826RE	HD6433826R (***) F	80 ピン QFP (FP-80B)		
			HD6433826RWI	HD6433826R (***) W	80 ピン TQFP (TFP-80C)		
		H8/3827R	マスク ROM 版	通常品	HD6433827RH	HD6433827R (***) H	80 ピン QFP (FP-80A)
					HD6433827RF	HD6433827R (***) F	80 ピン QFP (FP-80B)
	HD6433827RW				HD6433827R (***) W	80 ピン TQFP (TFP-80C)	
	HCD6433827R				-	ダイ	
	広温度 範囲 仕様品			HD6433827RD	HD6433827R (***) H	80 ピン QFP (FP-80A)	
				HD6433827RE	HD6433827R (***) F	80 ピン QFP (FP-80B)	
	ZTAT 版		通常品	HD6473827RH	HD6473827RH	80 ピン QFP (FP-80A)	
				HD6473827RF	HD6473827RF	80 ピン QFP (FP-80B)	
				HD6473827RW	HD6473827RW	80 ピン TQFP (TFP-80C)	
	広温度 範囲 仕様品	HD6473827RD	HD6473827RH	80 ピン QFP (FP-80A)			
		HD6473827RE	HD6473827RF	80 ピン QFP (FP-80B)			
HD6473827RWI		HD6473827RW	80 ピン TQFP (TFP-80C)				

【注】 マスク ROM 版の (***) は ROM コードです。

	製品分類		製品型名	マーク型名	パッケージ (パッケージコード)	
H8/3827S グループ	H8/3824S	マスク ROM 版	通常品	HD6433824SH	HD6433824S (***) H	80 ピン QFP (FP-80A)
				HD6433824SW	HD6433824S (***) W	80 ピン TQFP (TFP-80C)
				HCD6433824S	-	ダイ
		広温度範 囲仕様品	HD6433824SD	HD6433824S (***) H	80 ピン QFP (FP-80A)	
			HD6433824SWI	HD6433824S (***) W	80 ピン TQFP (TFP-80C)	
	H8/3825S	マスク ROM 版	通常品	HD6433825SH	HD6433825S (***) H	80 ピン QFP (FP-80A)
				HCD6433825SW	HD6433825S (***) W	80 ピン TQFP (TFP-80C)
				HCD6433825S	-	ダイ
		広温度範 囲仕様品	HD6433825SD	HD6433825S (***) H	80 ピン QFP (FP-80A)	
			HD6433825SWI	HD6433825S (***) W	80 ピン TQFP (TFP-80C)	
	H8/3826S	マスク ROM 版	通常品	HD6433826SH	HD6433826S (***) H	80 ピン QFP (FP-80A)
				HD6433826SW	HD6433826S (***) W	80 ピン TQFP (TFP-80C)
				HCD6433826S	-	ダイ
		広温度範 囲仕様品	HD6433826SD	HD6433826S (***) H	80 ピン QFP (FP-80A)	
HCD6433826SWI			HD6433826S (***) W	80 ピン TQFP (TFP-80C)		
H8/3827S	マスク ROM 版	通常品	HD6433827SH	HD6433827S (***) H	80 ピン QFP (FP-80A)	
			HD6433827SW	HD6433827S (***) W	80 ピン TQFP (TFP-80C)	
			HCD6433827S	-	ダイ	
	広温度範 囲仕様品	HD6433827SD	HD6433827S (***) H	80 ピン QFP (FP-80A)		
		HD6433827SWI	HD6433827S (***) W	80 ピン TQFP (TFP-80C)		
H8/38327 グループ	H8/38322	マスク ROM 版	通常品	HD64338322H	38322H	80 ピン QFP (FP-80A)
				HD64338322W	38322W	80 ピン TQFP (TFP-80C)
				HCD64338322	-	ダイ
		広温度範 囲仕様品	HD64338322HW	38322H	80 ピン QFP (FP-80A)	
			HD64338322WW	38322W	80 ピン TQFP (TFP-80C)	
	H8/38323	マスク ROM 版	通常品	HD64338323H	38323H	80 ピン QFP (FP-80A)
				HD64338323W	38323W	80 ピン TQFP (TFP-80C)
				HCD64338323	-	ダイ
		広温度範 囲仕様品	HD64338323HW	38323H	80 ピン QFP (FP-80A)	
			HD64338323WW	38323W	80 ピン TQFP (TFP-80C)	
	H8/38324	マスク ROM 版	通常品	HD64338324H	38324H	80 ピン QFP (FP-80A)
				HD64338324W	38324W	80 ピン TQFP (TFP-80C)
				HCD64338324	-	ダイ
			広温度範 囲仕様品	HD64338324HW	38324H	80 ピン QFP (FP-80A)
				HD64338324WW	38324W	80 ピン TQFP (TFP-80C)
F-ZTAT 版		通常品	HD64F38324H	F38324H	80 ピン QFP (FP-80A)	
			HD64F38324W	F38324W	80 ピン TQFP (TFP-80C)	
		広温度範 囲仕様品	HD64F38324HW	F38324H	80 ピン QFP (FP-80A)	
	HD64F38324WW	F38324W	80 ピン TQFP (TFP-80C)			

付録

	製品分類		製品型名	マーク型名	パッケージ (パッケージコード)	
H8/38327 グループ	H8/38325	マスク ROM 版	通常品	HD64338325H	38325H	80 ピン QFP (FP-80A)
				HD64338325W	38325W	80 ピン TQFP (TFP-80C)
				HCD64338325	-	ダイ
		広温度範 囲仕様品	HD64338325HW	38325H	80 ピン QFP (FP-80A)	
			HD64338325WW	38325W	80 ピン TQFP (TFP-80C)	
	H8/38326	マスク ROM 版	通常品	HD64338326H	38326H	80 ピン QFP (FP-80A)
				HD64338326W	38326W	80 ピン TQFP (TFP-80C)
				HCD64338326	-	ダイ
		広温度範 囲仕様品	HD64338326HW	38326H	80 ピン QFP (FP-80A)	
			HD64338326WW	38326W	80 ピン TQFP (TFP-80C)	
	H8/38327	マスク ROM 版	通常品	HD64338327H	38327H	80 ピン QFP (FP-80A)
				HD64338327W	38327W	80 ピン TQFP (TFP-80C)
				HCD64338327	-	ダイ
広温度範 囲仕様品			HD64338327HW	38327H	80 ピン QFP (FP-80A)	
			HD64338327WW	38327W	80 ピン TQFP (TFP-80C)	
F-ZTAT 版		通常品	HD64F38327H	F38327H	80 ピン QFP (FP-80A)	
			HD64F38327W	F38327W	80 ピン TQFP (TFP-80C)	
			HCD64F38327	-	ダイ	
		広温度範 囲仕様品	HD64F38327HW	F38327H	80 ピン QFP (FP-80A)	
HD64F38327WW	F38327W		80 ピン TQFP (TFP-80C)			
H8/38427 グループ	H8/38422	マスク ROM 版	通常品	HD64338422H	38422H	80 ピン QFP (FP-80A)
				HD64338422W	38422W	80 ピン TQFP (TFP-80C)
				HCD64338422	-	ダイ
		広温度範 囲仕様品	HD64338422HW	38422H	80 ピン QFP (FP-80A)	
			HD64338422WW	38422W	80 ピン TQFP (TFP-80C)	
	H8/38423	マスク ROM 版	通常品	HD64338423H	38423H	80 ピン QFP (FP-80A)
				HD64338423W	38423W	80 ピン TQFP (TFP-80C)
				HCD64338423	-	ダイ
		広温度範 囲仕様品	HD64338423HW	38423H	80 ピン QFP (FP-80A)	
			HD64338423WW	38423W	80 ピン TQFP (TFP-80C)	
	H8/38424	マスク ROM 版	通常品	HD64338424H	38424H	80 ピン QFP (FP-80A)
				HD64338424W	38424W	80 ピン TQFP (TFP-80C)
				HCD64338424	-	ダイ
広温度範 囲仕様品			HD64338424HW	38424H	80 ピン QFP (FP-80A)	
			HD64338424WW	38424W	80 ピン TQFP (TFP-80C)	
F-ZTAT 版		通常品	HD64F38424H	F38424H	80 ピン QFP (FP-80A)	
			HD64F38424W	F38424W	80 ピン TQFP (TFP-80C)	
広温度範 囲仕様品	HD64F38424HW	F38424H	80 ピン QFP (FP-80A)			
	HD64F38424WW	F38424W	80 ピン TQFP (TFP-80C)			

	製品分類		製品型名	マーク型名	パッケージ (パッケージコード)	
H8/38427 グループ	H8/38425	マスク ROM 版	通常品	HD64338425H	38425H	80 ピン QFP (FP-80A)
				HD64338425W	38425W	80 ピン TQFP (TFP-80C)
				HCD64338425	-	ダイ
		広温度範 囲仕様品	HD64338425HW	38425H	80 ピン QFP (FP-80A)	
			HD64338425WW	38425W	80 ピン TQFP (TFP-80C)	
	H8/38426	マスク ROM 版	通常品	HD64338426H	38426H	80 ピン QFP (FP-80A)
				HD64338426W	38426W	80 ピン TQFP (TFP-80C)
				HCD64338426	-	ダイ
		広温度範 囲仕様品	HD64338426HW	38426H	80 ピン QFP (FP-80A)	
			HD64338426WW	38426W	80 ピン TQFP (TFP-80C)	
	H8/38427	マスク ROM 版	通常品	HD64338427H	38427H	80 ピン QFP (FP-80A)
				HD64338427W	38427W	80 ピン TQFP (TFP-80C)
				HCD64338427	-	ダイ
広温度範 囲仕様品			HD64338427HW	38427H	80 ピン QFP (FP-80A)	
			HD64338427WW	38427W	80 ピン TQFP (TFP-80C)	
F-ZTAT 版		通常品	HD64F38427H	F38427H	80 ピン QFP (FP-80A)	
			HD64F38427W	F38427W	80 ピン TQFP (TFP-80C)	
			HCD64F38427	-	ダイ	
広温度範 囲仕様品	HD64F38427HW	F38427H	80 ピン QFP (FP-80A)			
	HD64F38427WW	F38427W	80 ピン TQFP (TFP-80C)			

【注】 マスク ROM 版の (***) は ROM コードです。

G. 外形寸法図

H8/3827R、H8/3827S、H8/38327、H8/38427 グループの外形寸法図 FP-80A を図 G.1、FP-80B を図 G.2 (H8/3827R グループのみ)、TFP-80C を図 G.3 に示します。

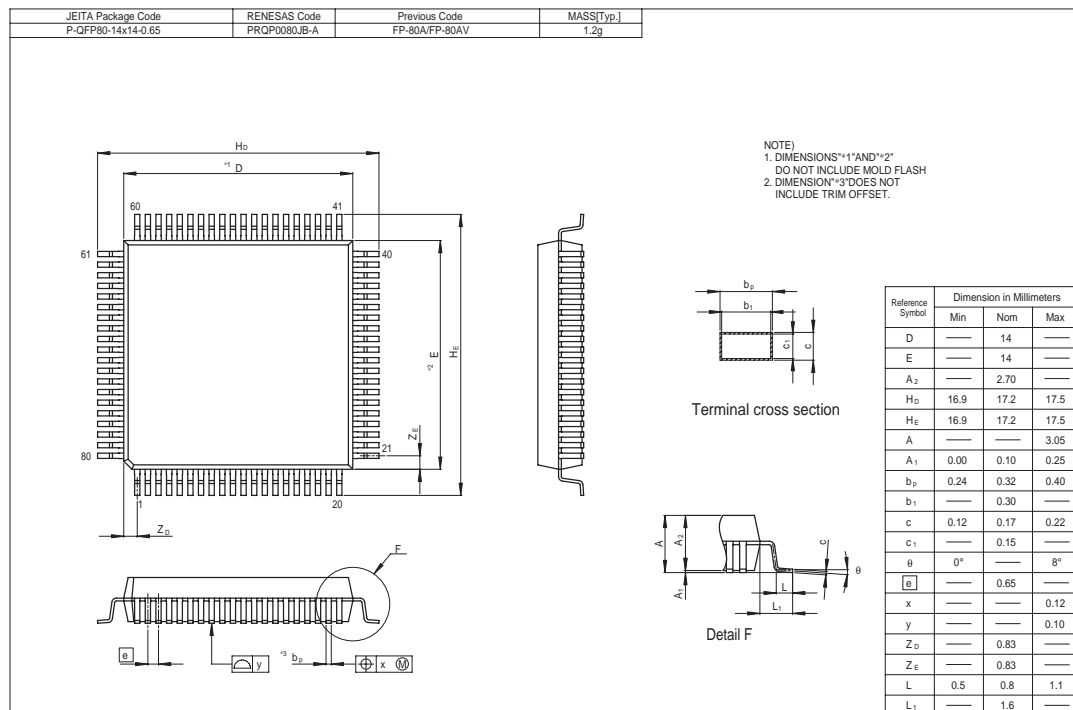


図 G.1 外形寸法図〔FP-80A〕

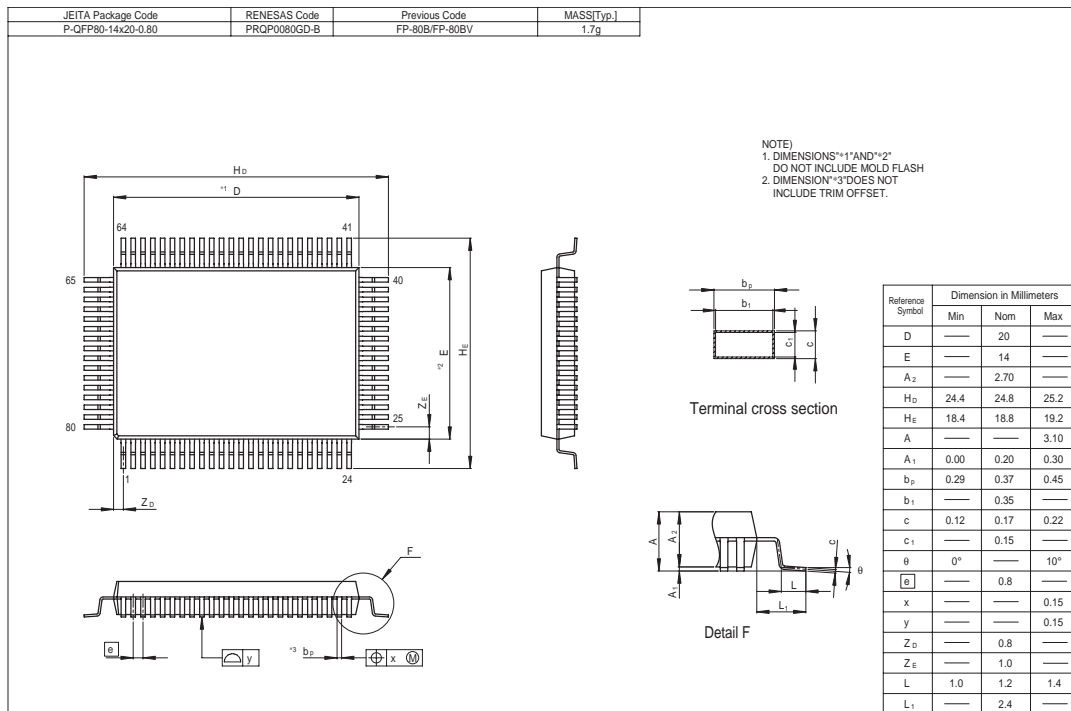


図 G.2 外形寸法図〔FP-80B〕

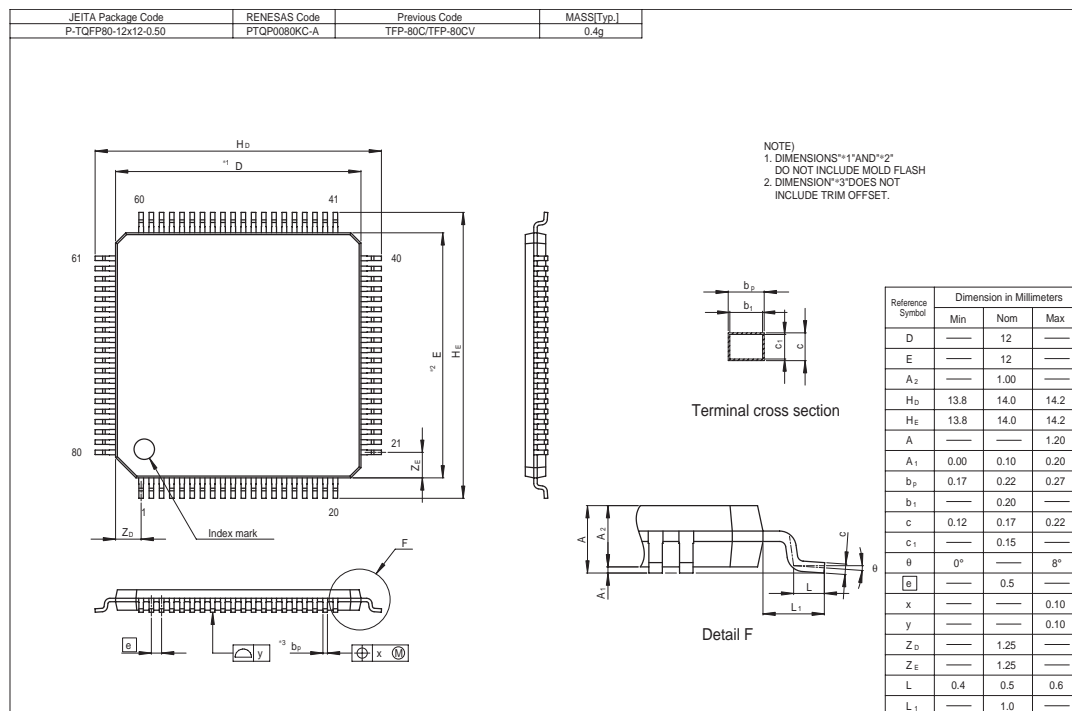


図 G.3 外形寸法図〔TFP-80C〕

H. チップ形状仕様図

HCD6433827R、HCD6433826R、HCD6433825R、HCD6433824R、HCD6433823R、HCD6433822Rのチップ形状仕様図を図 H.1 に示します。

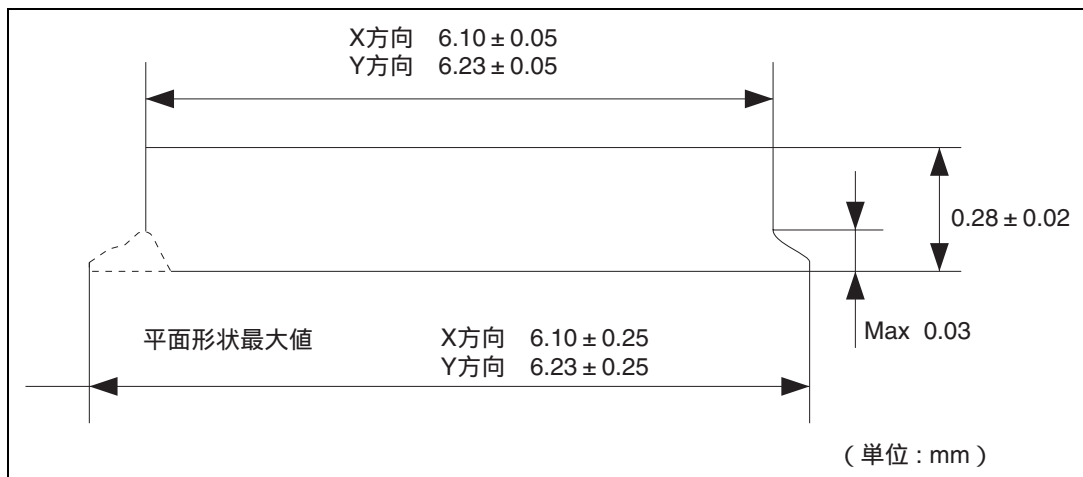


図 H.1 チップ断面図

HCD6433827S、HCD6433826S、HCD6433825S、HCD6433824Sのチップ形状仕様図を図 H.2 に示します。

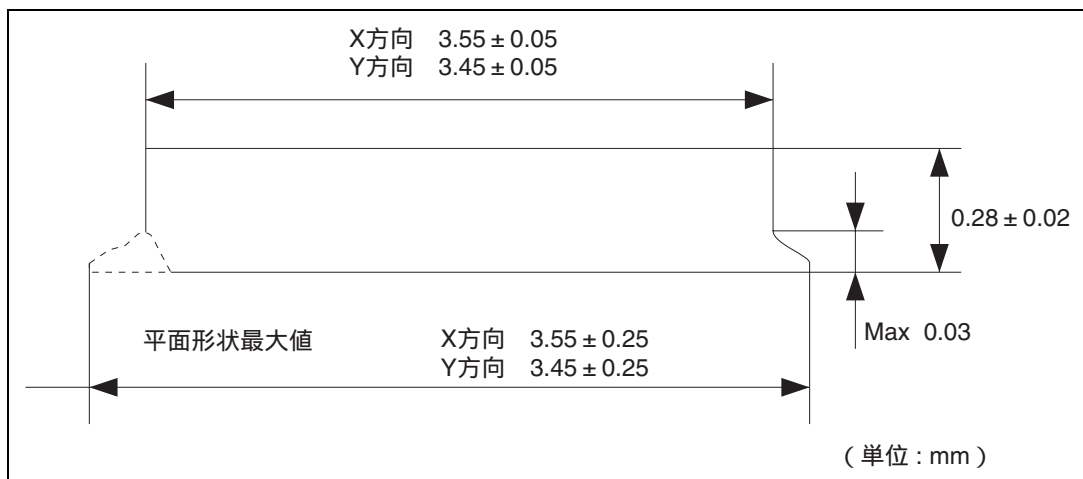


図 H.2 チップ断面図

HCD64F38327、HCD64F38427 のチップ形状仕様図を図 H.3 に示します。

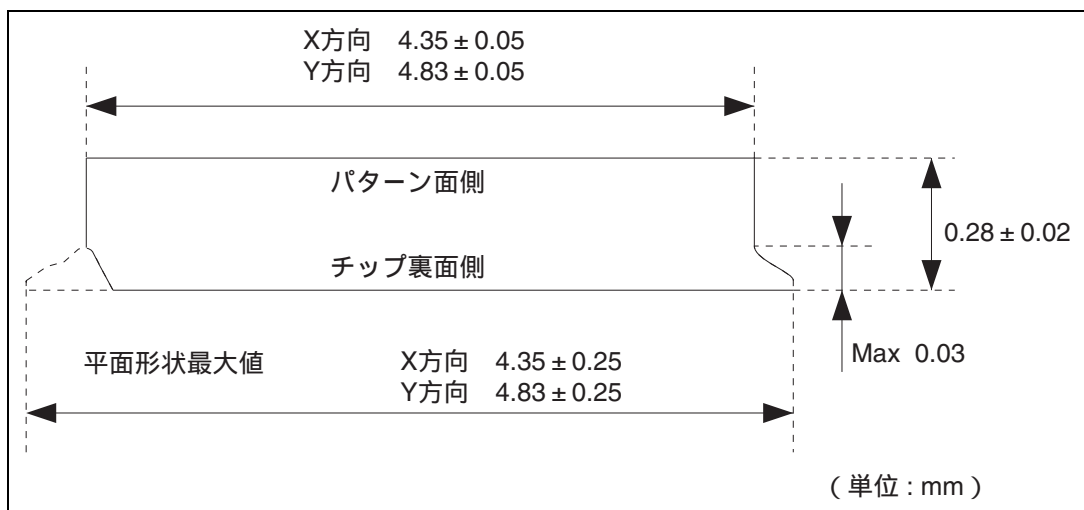


図 H.3 チップ断面図

H8/38327 グループ (マスク ROM 版)、H8/38427 グループ (マスク ROM 版) のチップ形状仕様図を図 H.4 に示します。

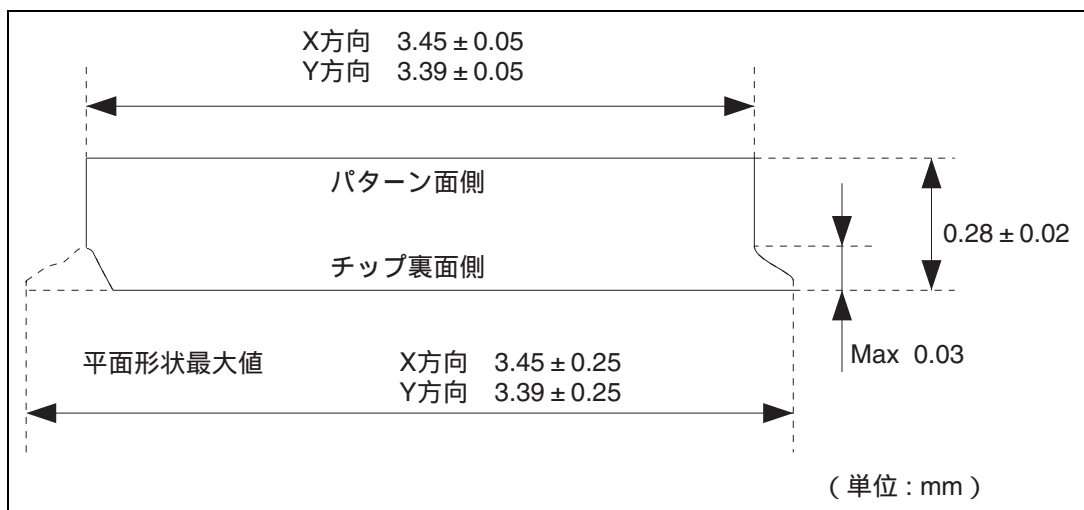


図 H.4 チップ断面図

I. ボンディングパッド形状図

HCD6433827R、HCD6433826R、HCD6433825R、HCD6433824R、HCD6433823R、HCD6433822Rのボンディングパッド形状図を図 I.1 に示します。

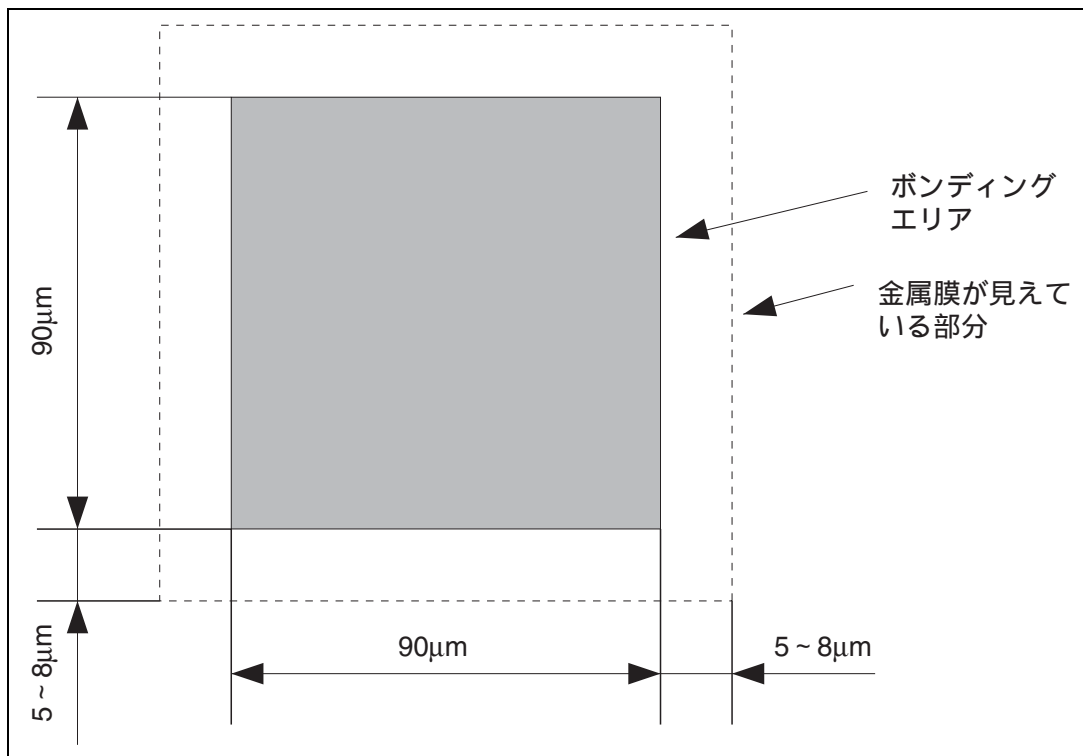


図 I.1 ボンディングパッド形状図

HCD6433827S、HCD6433826S、HCD6433825S、HCD6433824S のボンディングパッド形状図を図 1.2 に示します。

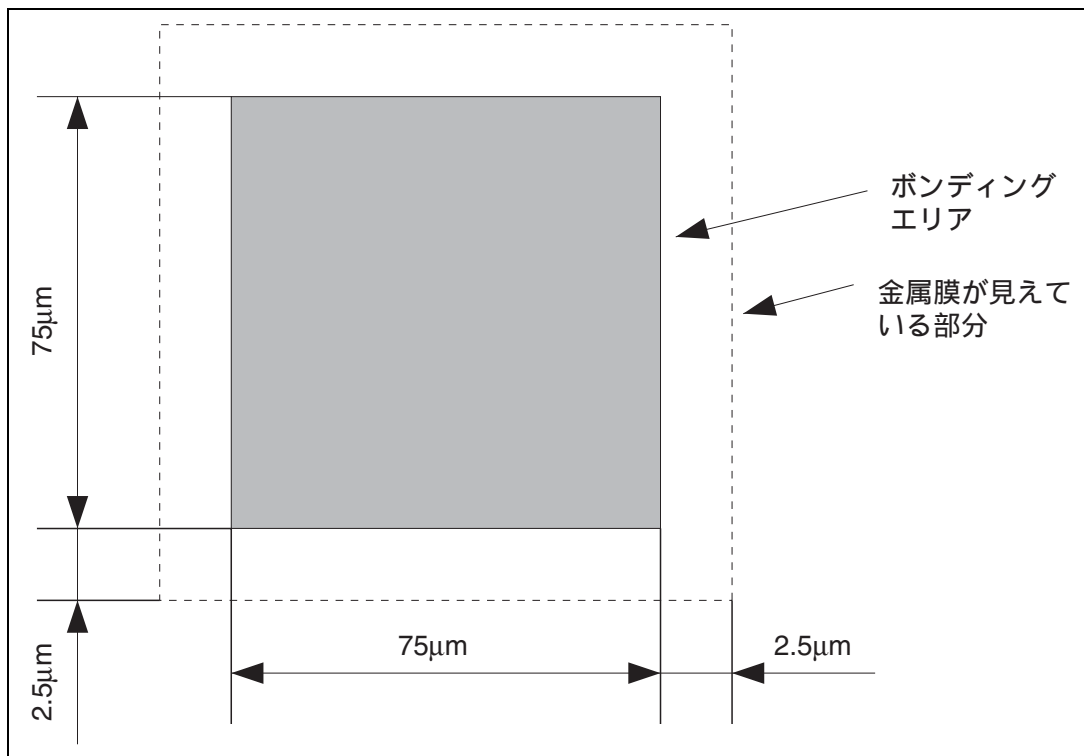


図 1.2 ボンディングパッド形状図

HCD64F38327、HCD64F38427、H8/38327 グループ (マスク ROM 版)、H8/38427 グループ (マスク ROM 版) のボンディングパッド形状図を図 1.3 に示します。

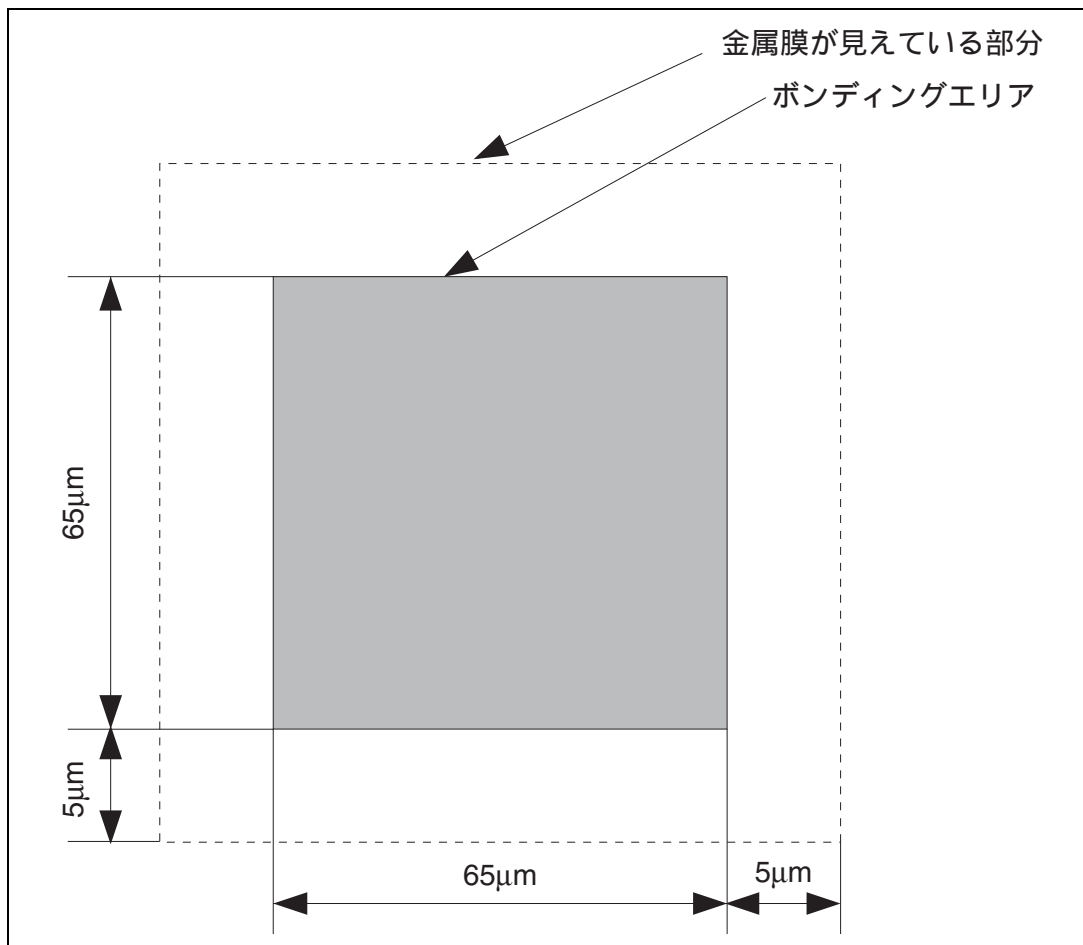


図 1.3 ボンディングパッド形状図

J. チップトレイ仕様図

HCD6433827R、HCD6433826R、HCD6433825R、HCD6433824R、HCD6433823R、HCD6433822R
のチップトレイ仕様図を図 J.1 に示します。

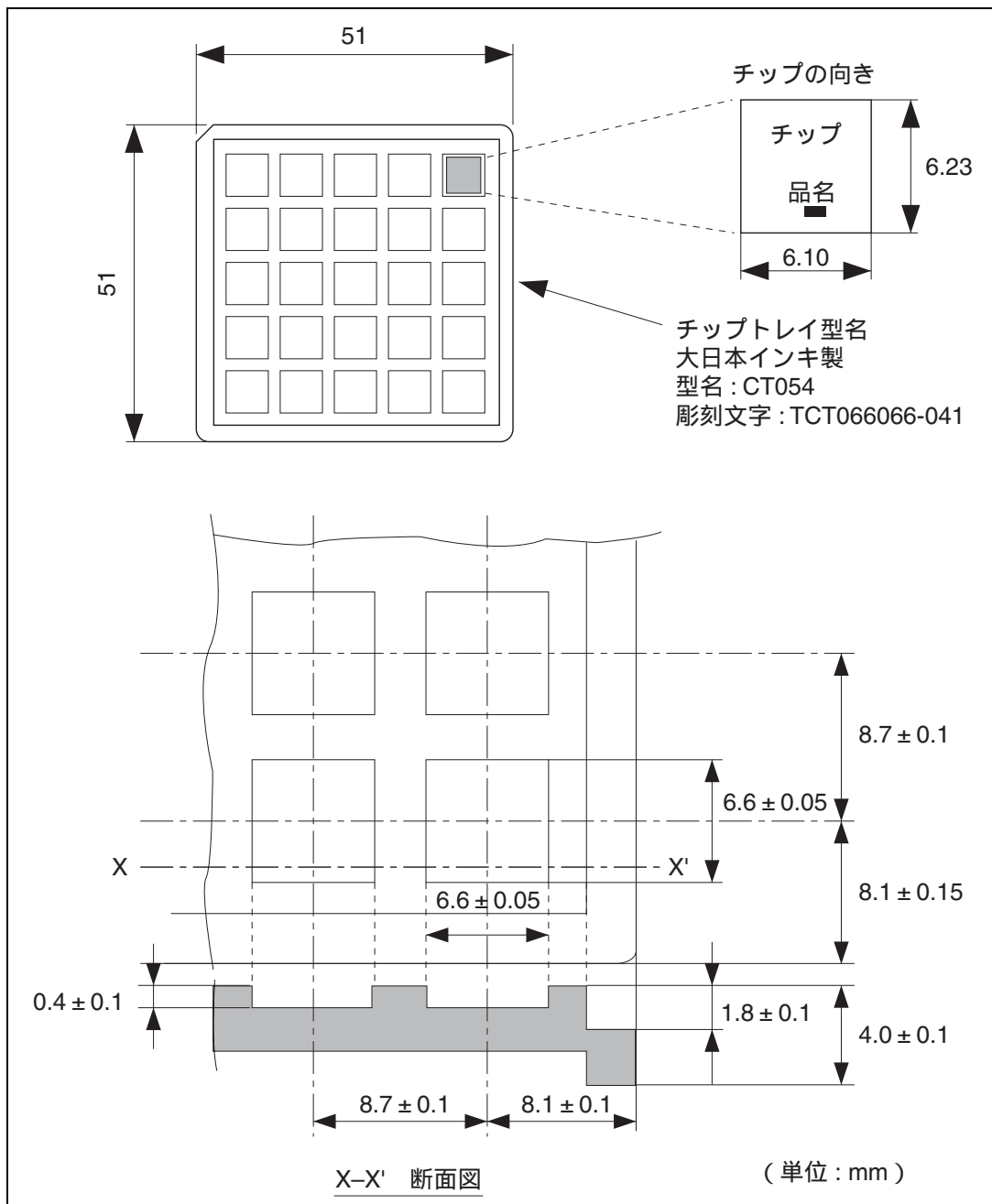


図 J.1 チップトレイ仕様図

HCD6433827S、HCD6433826S、HCD6433825S、HCD6433824S チップトレイ仕様図を図 J.2 に示します。

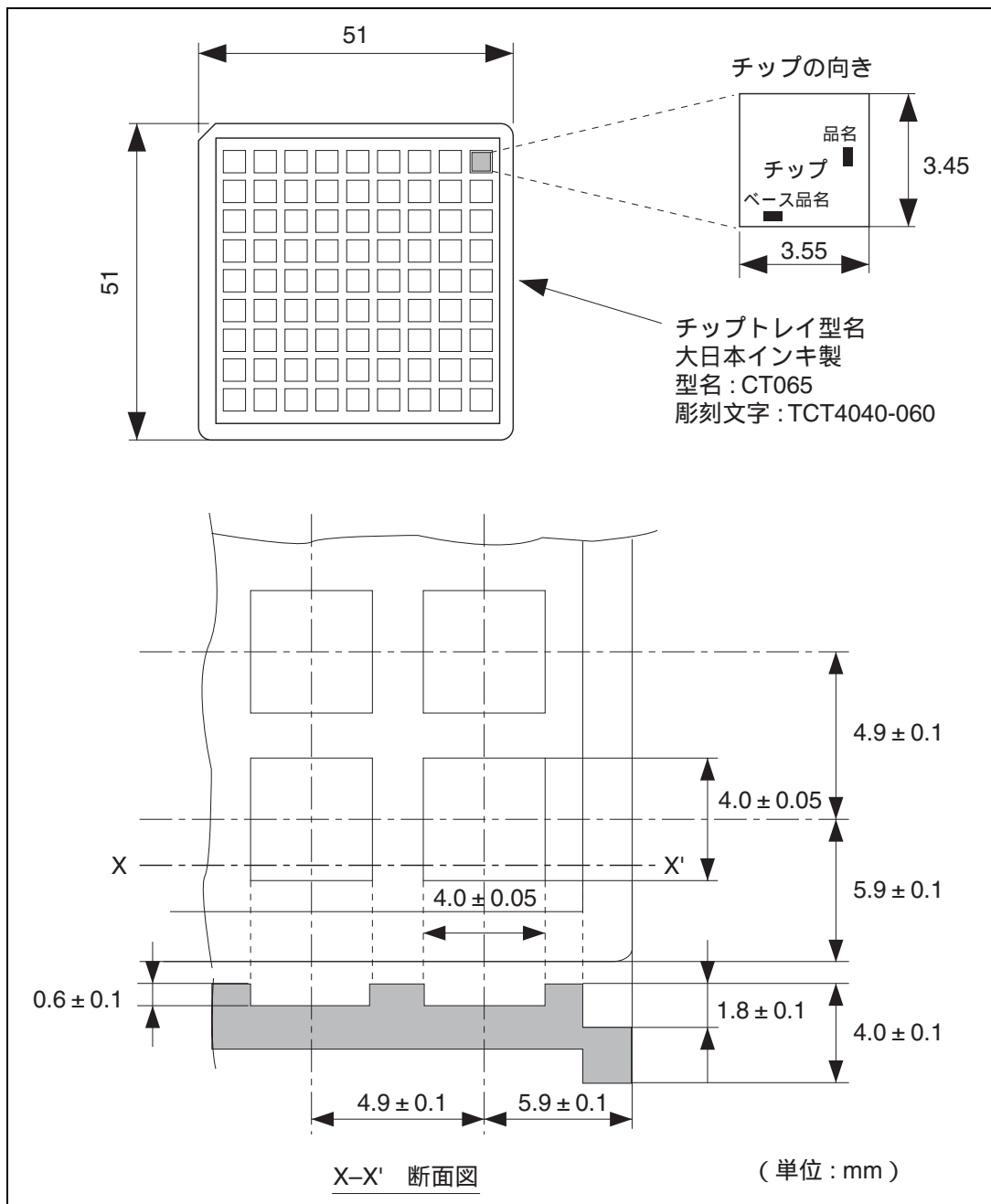


図 J.2 チップトレイ仕様図

HCD64F38327、HCD64F38427 のチップトレイ仕様図を図 J.3 に示します。

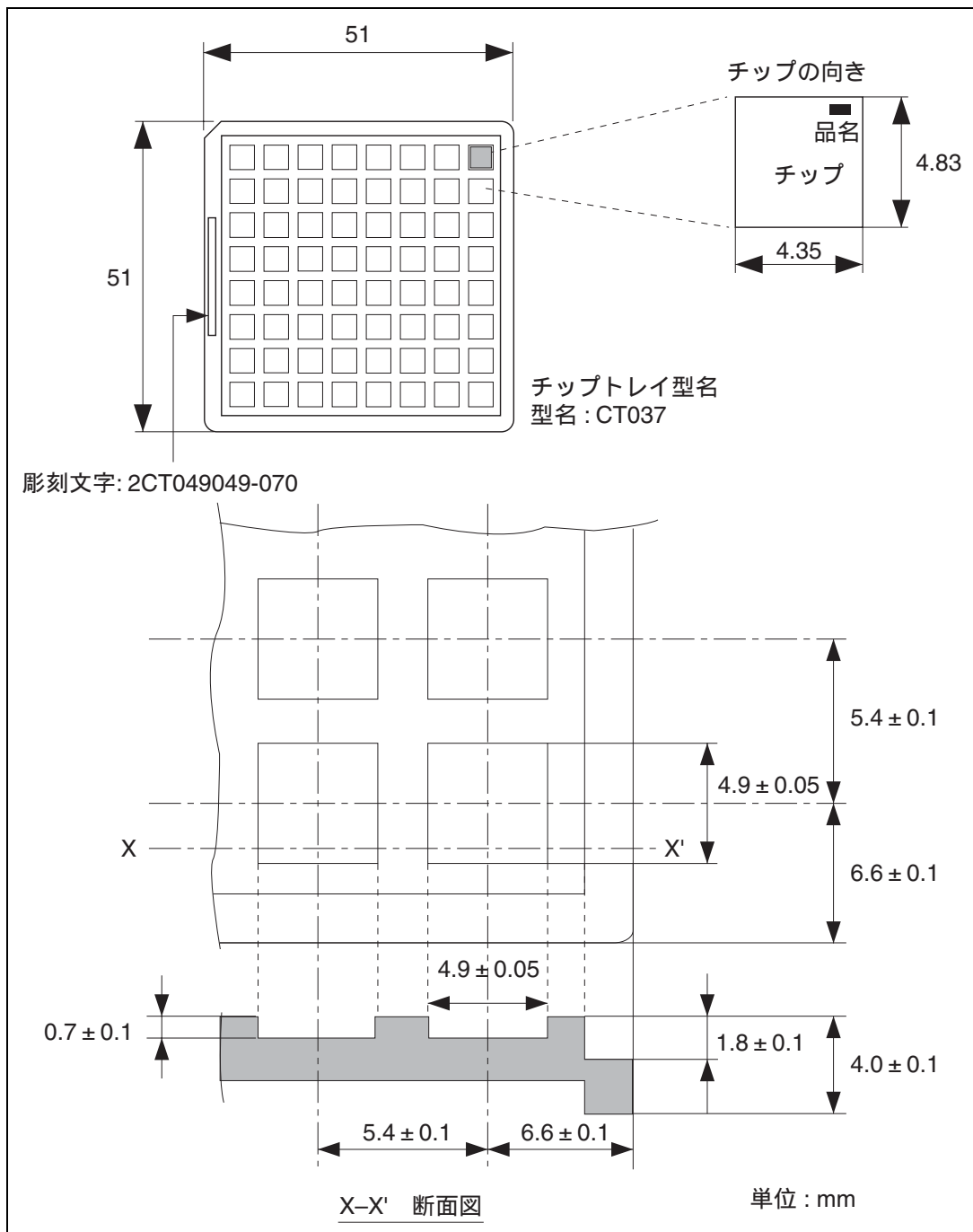


図 J.3 チップトレイ仕様図

H8/38327 グループ (マスク ROM 版)、H8/38427 グループ (マスク ROM 版) のチップトレイ仕様図を図 J.4 に示します。

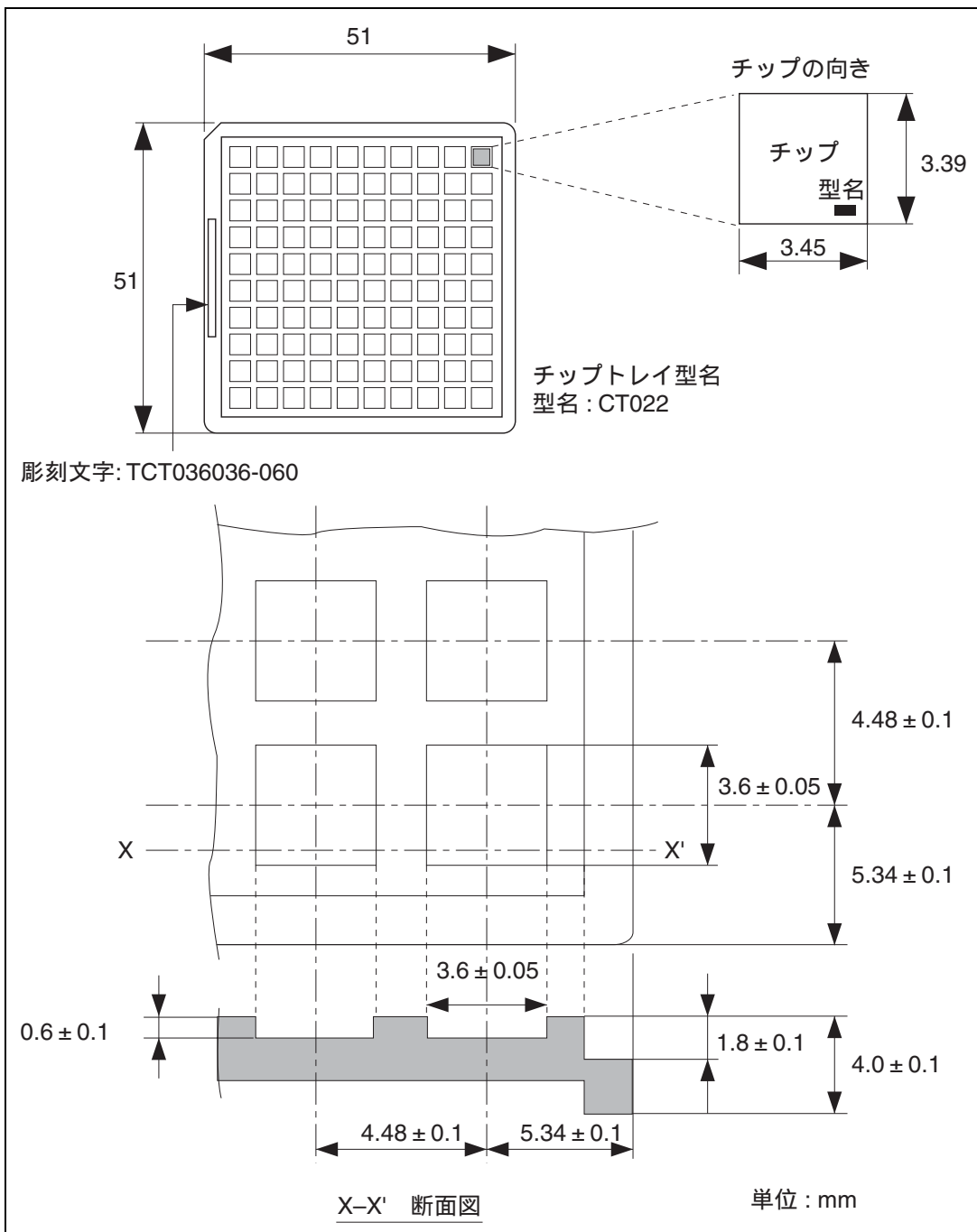


図 J.4 チップトレイ仕様図

ルネサス8ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル

H8/3827Rグループ、H8/3827Sグループ、
H8/38327グループ、H8/38427グループ

発行年月日 1999年9月 第1版

2006年8月4日 Rev.7.00

発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	京	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

H8/3827R グループ、H8/3827S グループ、H8/38327 グループ、H8/38427 グループ
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0159-0700