

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

H8/36912 グループ、 H8/36902 グループ

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ

H8ファミリ / H8/300H Tiny シリーズ

H8/36912F	HD64F36912G
H8/36902F	HD64F36902G
H8/36912	HD64336912G
H8/36911	HD64336911G
H8/36902	HD64336902G
H8/36901	HD64336901G
H8/36900	HD64336900G

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】 NC 端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC 端子には、何も接続しないようにしてください。接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】 未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS 製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】 電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】 未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的な注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明

- ・CPU およびシステム制御系
- ・内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、①特長、②入出力端子、③レジスタの説明、④動作説明、⑤使用上の注意事項、等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。必ずお読みください。(使用上の注意事項は必要により記載されます。)

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で修正または追加された主な箇所（改訂版のみ適用）

改訂来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。改訂内容の全てについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

11. 索引

はじめに

H8/36912 グループ、H8/36902 グループは、高速 H8/300H CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。H8/300H CPU は、H8/300 CPU と互換性のある命令体系を備えています。

対象者 このマニュアルは、H8/36912 グループ、H8/36902 グループを用いた応用システムを設計するユーザを対象としています。

このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、H8/36912 グループ、H8/36902 グループのハードウェア機能と電気的特性をユーザに理解していただくことを目的としています。なお、実行命令の詳細については、「H8/300H シリーズ プログラミングマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- 機能全体を理解しようとするとき。
 - 目次にしたがって読んでください。
 - 本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU機能の詳細を理解したいとき。
 - 別冊の「H8/300Hシリーズ プログラミングマニュアル」を参照してください。
- レジスタ名が判っていて、詳細機能を知りたいとき。
 - 本書の後ろに、「索引」があります。索引からページ番号を検索してください。
 - 「第19章 レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

レジスタ表記

シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャンネルに存在する場合に次の表記を使用します。

XXX_N (XXXは基本レジスタ名称、Nはチャンネル番号)

- 凡例**
- | | |
|--------|---------------------------------------|
| ビット表記順 | : 左側が上位ビット、右側が下位ビット |
| 数字の表記 | : 2進数は B'xxxx、16進数は H'xxxx、10進数は xxxx |
| 信号の表記 | : ローアクティブの信号にはオーバーバーを付けます。xxxx |

ご注意

オンチップエミュレータ（E7、E8）を使用して H8/36912 グループ、H8/36902 グループのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。

1. $\overline{\text{NMI}}$ 端子はE7、E8で占有するため使用できません。
2. アドレスH'2000～H'2FFF領域はE7、E8で使用するためユーザはこの領域は使用できません。
3. アドレスH'F980～H'FD7F領域は絶対にアクセスしないでください。
4. E7、E8を使用する場合、アドレスブレークをE7、E8が使用するか、ユーザに開放するか設定可能になっています。E7、E8がアドレスブレークを使用する場合、ユーザはアドレスブレークの制御レジスタをアクセスしないでください。
5. E7、E8使用時、 $\overline{\text{NMI}}$ 端子は入出力（出力時はオープンドレイン）になります。

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であることを確認してください。

(<http://japan.renesas.com/>)

● H8/36912グループ、H8/36902グループに関するユーザーズマニュアル

資料名	資料番号
H8/36912 グループ、H8/36902 グループ ハードウェアマニュアル	本マニュアル
H8/300H シリーズ プログラミングマニュアル	RJJ09B0141

● 開発ツール関連ユーザーズマニュアル

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ、アセンブラ、最適化リンケージエディタ ユーザーズマニュアル	RJJ10B0049
H8S、H8/300 シリーズ シミュレータ・デバッグユーザーズマニュアル	RJJ10B0219
H8S、H8/300 シリーズ High-performance Embedded Workshop3 チュートリアル	RJJ10B0027
H8S、H8/300 シリーズ High-performance Embedded Workshop3 ユーザーズマニュアル	RJJ10B0029

● アプリケーションノート

資料名	資料番号
H8S、H8/300 シリーズ C/C++コンパイラ アプリケーションノート	RJJ05B0558
単一電源版 F-ZTAT マイコンオンボード書き込み	ADJ-502-069

目次

1. 概要	1-1
1.1 特長	1-1
1.2 内部ブロック図	1-3
1.3 ピン配置図	1-5
1.4 端子機能	1-9
2. CPU	2-1
2.1 アドレス空間とメモリマップ	2-2
2.2 レジスタ構成	2-4
2.2.1 汎用レジスタ	2-4
2.2.2 プログラムカウンタ (PC)	2-5
2.2.3 コンディションコードレジスタ (CCR)	2-6
2.3 データ形式	2-7
2.3.1 汎用レジスタのデータ形式	2-7
2.3.2 メモリ上のデータ形式	2-9
2.4 命令セット	2-10
2.4.1 命令の機能別一覧	2-10
2.4.2 命令の基本フォーマット	2-18
2.5 アドレッシングモードと実効アドレス	2-19
2.5.1 アドレッシングモード	2-19
2.5.2 実効アドレスの計算方法	2-21
2.6 基本バスサイクル	2-24
2.6.1 内蔵メモリ (RAM、ROM)	2-24
2.6.2 内蔵周辺モジュール	2-25
2.7 CPUの状態	2-26
2.8 使用上の注意事項	2-27
2.8.1 空きエリアへのデータアクセス	2-27
2.8.2 EEPMOV 命令	2-27
2.8.3 ビット操作命令	2-27
3. 例外処理	3-1
3.1 例外処理要因とベクタアドレス	3-1
3.2 レジスタの説明	3-3
3.2.1 割り込みエッジセレクトレジスタ 1 (IEGR1)	3-3

3.2.2	割り込みエッジセレクトレジスタ 2 (IEGR2)	3-3
3.2.3	割り込みイネーブルレジスタ 1 (IENR1)	3-4
3.2.4	割り込みイネーブルレジスタ 2 (IENR2)	3-4
3.2.5	割り込みフラグレジスタ 1 (IRR1)	3-5
3.2.6	割り込みフラグレジスタ 2 (IRR2)	3-5
3.2.7	ウェイクアップ割り込みフラグレジスタ (IWPR)	3-6
3.3	リセット例外処理	3-6
3.4	割り込み例外処理	3-6
3.4.1	外部割り込み要求	3-6
3.4.2	内部割り込み要求	3-8
3.4.3	割り込み処理シーケンス	3-8
3.4.4	割り込み応答時間	3-9
3.5	使用上の注意事項	3-10
3.5.1	リセット直後の割り込み要求	3-10
3.5.2	スタック領域のアクセス	3-10
3.5.3	ポートモードレジスタを書き換える際の注意事項	3-11
4.	アドレスブ레이크	4-1
4.1	レジスタの説明	4-2
4.1.1	アドレスブ레이크コントロールレジスタ (ABRKCR)	4-2
4.1.2	アドレスブ레이크ステータスレジスタ (ABRKSR)	4-3
4.1.3	ブ레이크アドレスレジスタ (BARH, BARL)	4-3
4.1.4	ブ레이크データレジスタ (BDRH, BDRL)	4-4
4.2	動作説明	4-4
5.	クロック発振器	5-1
5.1	特長	5-2
5.2	レジスタの説明	5-2
5.2.1	RC コントロールレジスタ (RCCR)	5-2
5.2.2	RC トリミングデータプロテクトレジスタ (RCTRMDPR)	5-3
5.2.3	RC トリミングデータレジスタ (RCTRMDR)	5-4
5.2.4	クロックコントロールステータスレジスタ (CKCSR)	5-5
5.3	システムクロック選択の動作説明	5-6
5.3.1	クロック制御の動作説明	5-7
5.3.2	クロック切り替えタイミング	5-9
5.4	オンチップオシレータのトリミング	5-11
5.5	外部発振器	5-13
5.5.1	水晶発振子を接続する方法	5-13
5.5.2	セラミック発振子を接続する方法	5-14
5.5.3	外部クロックを入力する方法	5-14

5.6	プリスケーラ.....	5-14
5.6.1	プリスケーラ S.....	5-14
5.7	使用上の注意事項.....	5-15
5.7.1	発振子に関する注意事項.....	5-15
5.7.2	ボード設計上の注意事項.....	5-15
6.	低消費電力モード.....	6-1
6.1	レジスタの説明.....	6-2
6.1.1	システムコントロールレジスタ 1 (SYSCR1)	6-2
6.1.2	システムコントロールレジスタ 2 (SYSCR2)	6-3
6.1.3	モジュールスタンバイコントロールレジスタ 1 (MSTCR1)	6-4
6.1.4	モジュールスタンバイコントロールレジスタ 2 (MSTCR2)	6-4
6.2	モード間遷移とLSIの状態.....	6-5
6.2.1	スリープモード.....	6-6
6.2.2	スタンバイモード.....	6-6
6.2.3	サブスリープモード.....	6-7
6.3	アクティブモードの動作周波数.....	6-7
6.4	直接遷移.....	6-7
6.5	モジュールスタンバイ機能.....	6-7
7.	ROM.....	7-1
7.1	ブロック構成.....	7-2
7.2	レジスタの説明.....	7-3
7.2.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	7-3
7.2.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	7-4
7.2.3	ブロック指定レジスタ 1 (EBR1)	7-4
7.2.4	フラッシュメモリーイネーブルレジスタ (FENR)	7-4
7.3	オンボードプログラミング.....	7-5
7.3.1	ブートモード.....	7-6
7.3.2	ユーザモードでの書き込み/消去.....	7-8
7.4	書き込み/消去プログラム.....	7-9
7.4.1	プログラム/プログラムベリファイ	7-9
7.4.2	イレース/イレースベリファイ.....	7-12
7.4.3	フラッシュメモリの書き込み/消去時の割り込み.....	7-12
7.5	書き込み/消去プロテクト.....	7-14
7.5.1	ハードウェアプロテクト.....	7-14
7.5.2	ソフトウェアプロテクト.....	7-14
7.5.3	エラープロテクト.....	7-14

8.	RAM	8-1
9.	I/Oポート	9-1
9.1	ポート1	9-2
9.1.1	ポートモードレジスタ 1 (PMR1)	9-2
9.1.2	ポートコントロールレジスタ 1 (PCR1)	9-3
9.1.3	ポートデータレジスタ 1 (PDR1)	9-3
9.1.4	ポートプルアップコントロールレジスタ 1 (PUCR1)	9-4
9.1.5	端子機能	9-4
9.2	ポート2	9-5
9.2.1	ポートコントロールレジスタ 2 (PCR2)	9-5
9.2.2	ポートデータレジスタ 2 (PDR2)	9-6
9.2.3	端子機能	9-6
9.3	ポート5	9-7
9.3.1	ポートモードレジスタ 5 (PMR5)	9-7
9.3.2	ポートコントロールレジスタ 5 (PCR5)	9-8
9.3.3	ポートデータレジスタ 5 (PDR5)	9-8
9.3.4	ポートプルアップコントロールレジスタ 5 (PUCR5)	9-8
9.3.5	端子機能	9-9
9.4	ポート7	9-10
9.4.1	ポートコントロールレジスタ 7 (PCR7)	9-10
9.4.2	ポートデータレジスタ 7 (PDR7)	9-11
9.4.3	端子機能	9-11
9.5	ポート8	9-12
9.5.1	ポートコントロールレジスタ 8 (PCR8)	9-12
9.5.2	ポートデータレジスタ 8 (PDR8)	9-13
9.5.3	端子機能	9-13
9.6	ポートB	9-15
9.6.1	ポートデータレジスタ B (PDRB)	9-15
9.6.2	端子機能	9-16
9.7	ポートC	9-17
9.7.1	ポートコントロールレジスタ C (PCRC)	9-17
9.7.2	ポートデータレジスタ C (PDRC)	9-17
9.7.3	端子機能	9-18
10.	タイマ B1	10-1
10.1	特長	10-1
10.2	レジスタの説明	10-2
10.2.1	タイマモードレジスタ B1 (TMB1)	10-2
10.2.2	タイマカウンタ B1 (TCB1)	10-2

10.2.3	タイマロードレジスタ B1 (TLB1)	10-3
10.3	動作説明	10-3
10.3.1	インターバルタイマの動作	10-3
10.3.2	オートリロードタイマの動作	10-3
10.4	タイマB1の動作モード	10-3
11.	タイマ V	11-1
11.1	特長	11-1
11.2	入出力端子	11-3
11.3	レジスタの説明	11-3
11.3.1	タイマカウンタ V (TCNTV)	11-3
11.3.2	タイムコンスタントレジスタ A, B (TCORA, TCORB)	11-3
11.3.3	タイマコントロールレジスタ V0 (TCRV0)	11-4
11.3.4	タイマコントロール/ステータスレジスタ V (TCSR V)	11-5
11.3.5	タイマコントロールレジスタ V1 (TCRV1)	11-6
11.4	動作説明	11-6
11.4.1	タイマ V の動作	11-6
11.5	タイマ V の使用例	11-10
11.5.1	任意のデューティパルス出力	11-10
11.5.2	TRGV 入力から任意の遅延時間と任意のパルス幅のパルス出力	11-11
11.6	使用上の注意事項	11-12
12.	タイマ W	12-1
12.1	特長	12-1
12.2	入出力端子	12-4
12.3	レジスタの説明	12-4
12.3.1	タイマモードレジスタ W (TMRW)	12-5
12.3.2	タイマコントロールレジスタ W (TCRW)	12-6
12.3.3	タイマインタラプトイネーブルレジスタ W (TIERW)	12-7
12.3.4	タイマステータスレジスタ W (TSRW)	12-7
12.3.5	タイマ I/O コントロールレジスタ 0 (TIOR0)	12-9
12.3.6	タイマ I/O コントロールレジスタ 1 (TIOR1)	12-10
12.3.7	タイマカウンタ (TCNT)	12-11
12.3.8	ジェネラルレジスタ A, B, C, D (GRA, GRB, GRC, GRD)	12-11
12.4	動作説明	12-12
12.4.1	通常動作	12-12
12.4.2	PWM 動作	12-15
12.5	動作タイミング	12-20
12.5.1	TCNT のカウントタイミング	12-20
12.5.2	アウトプットコンペア出力タイミング	12-21

12.5.3	インプットキャプチャタイミング.....	12-22
12.5.4	コンペアマッチによるカウンタクリアタイミング.....	12-22
12.5.5	バッファ動作タイミング.....	12-23
12.5.6	コンペアマッチ時の IMFA~IMFD フラグのセットタイミング.....	12-24
12.5.7	インプットキャプチャ時のフラグセットタイミング.....	12-25
12.5.8	ステータスフラグのクリアタイミング.....	12-25
12.6	使用上の注意事項.....	12-26
13.	ウォッチドッグタイマ.....	13-1
13.1	特長.....	13-1
13.2	レジスタの説明.....	13-1
13.2.1	タイマコントロール/ステータスレジスタ WD (TCSRWD).....	13-2
13.2.2	タイマカウンタ WD (TCWD).....	13-3
13.2.3	タイマモードレジスタ WD (TMWD).....	13-3
13.3	動作説明.....	13-4
14.	シリアルコミュニケーションインタフェース 3 (SCI3).....	14-1
14.1	特長.....	14-1
14.2	入出力端子.....	14-2
14.3	レジスタの説明.....	14-3
14.3.1	レシーブシフトレジスタ (RSR).....	14-3
14.3.2	レシーブデータレジスタ (RDR).....	14-3
14.3.3	トランスミットシフトレジスタ (TSR).....	14-3
14.3.4	トランスミットデータレジスタ (TDR).....	14-3
14.3.5	シリアルモードレジスタ (SMR).....	14-4
14.3.6	シリアルコントロールレジスタ 3 (SCR3).....	14-5
14.3.7	シリアルステータスレジスタ (SSR).....	14-6
14.3.8	ビットレートレジスタ (BRR).....	14-7
14.3.9	サンプリングモードレジスタ (SPMR).....	14-11
14.4	調歩同期式モードの動作説明.....	14-12
14.4.1	クロック.....	14-12
14.4.2	SCI3 の初期化.....	14-13
14.4.3	データ送信.....	14-14
14.4.4	データ受信.....	14-16
14.5	クロック同期式モードの動作説明.....	14-19
14.5.1	クロック.....	14-19
14.5.2	SCI3 の初期化.....	14-19
14.5.3	データ送信.....	14-20
14.5.4	データ受信.....	14-22
14.5.5	データ送受信同時動作.....	14-24

14.6	マルチプロセッサ通信機能.....	14-25
14.6.1	マルチプロセッサデータ送信.....	14-26
14.6.2	マルチプロセッサデータ受信.....	14-27
14.7	割り込み要求.....	14-29
14.8	使用上の注意事項.....	14-29
14.8.1	ブレークの検出と処理について.....	14-29
14.8.2	マーク状態とブレークの送出.....	14-29
14.8.3	受信エラーフラグと送信動作について（クロック同期式モードのみ）.....	14-30
14.8.4	調歩同期式モードの受信データサンプリングタイミングと受信マージン.....	14-30
15.	I ² C バスインタフェース 2 (IIC2)	15-1
15.1	特長.....	15-1
15.2	入出力端子.....	15-3
15.3	レジスタの説明.....	15-3
15.3.1	I ² C バスコントロールレジスタ 1 (ICCR1)	15-4
15.3.2	I ² C バスコントロールレジスタ 2 (ICCR2)	15-5
15.3.3	I ² C バスモードレジスタ (ICMR)	15-7
15.3.4	I ² C バスインタラプトイネーブルレジスタ (ICIER)	15-8
15.3.5	I ² C バスステータスレジスタ (ICSR)	15-10
15.3.6	スレーブアドレスレジスタ (SAR)	15-12
15.3.7	I ² C バス送信データレジスタ (ICDRT)	15-12
15.3.8	I ² C バス受信データレジスタ (ICDRR)	15-12
15.3.9	I ² C バスシフトレジスタ (ICDRS)	15-12
15.4	動作説明.....	15-13
15.4.1	I ² C バスフォーマット	15-13
15.4.2	マスタ送信動作.....	15-14
15.4.3	マスタ受信動作.....	15-16
15.4.4	スレーブ送信動作.....	15-18
15.4.5	スレーブ受信動作.....	15-20
15.4.6	クロック同期式シリアルフォーマット	15-22
15.4.7	ノイズ除去回路.....	15-24
15.4.8	使用例.....	15-25
15.5	割り込み要求.....	15-29
15.6	ビット同期回路.....	15-30
15.7	使用上の注意事項.....	15-31
15.7.1	停止条件および開始条件（再送）の出力について.....	15-31
15.7.2	I ² C バスモードレジスタ (ICMR) の WAIT 設定について.....	15-31

16. A/D変換器	16-1
16.1 特長	16-1
16.2 入出力端子	16-2
16.3 レジスタの説明	16-3
16.3.1 A/D データレジスタ A~D (ADDRA~D)	16-3
16.3.2 A/D コントロール/ステータスレジスタ (ADCSR)	16-4
16.3.3 A/D コントロールレジスタ (ADCR)	16-5
16.4 動作説明	16-5
16.4.1 単一モード	16-5
16.4.2 スキャンモード	16-5
16.4.3 入力サンプリングと A/D 変換時間	16-6
16.4.4 外部トリガ入力タイミング	16-7
16.5 A/D変換精度の定義	16-8
16.6 使用上の注意事項	16-10
16.6.1 許容信号源インピーダンスについて	16-10
16.6.2 絶対精度への影響について	16-10
17. バンドギャップ回路、パワーオンリセット&低電圧検出回路	17-1
17.1 特長	17-1
17.2 レジスタの説明	17-3
17.2.1 低電圧検出コントロールレジスタ (LVDCR)	17-3
17.2.2 低電圧検出ステータスレジスタ (LVDSR)	17-4
17.3 動作説明	17-5
17.3.1 パワーオンリセット回路	17-5
17.3.2 低電圧検出回路	17-6
18. 電源回路	18-1
18.1 内部電源降圧回路を使用する場合	18-1
18.2 内部電源降圧回路を使用しない場合	18-2
19. レジスタ一覧	19-1
19.1 レジスタアドレス一覧 (アドレス順)	19-2
19.2 レジスタビット一覧	19-5
19.3 各動作モードにおけるレジスタの状態	19-8
20. 電気的特性	20-1
20.1 絶対最大定格	20-1
20.2 電気的特性 (F-ZTAT™版)	20-2
20.2.1 電源電圧と動作範囲	20-2

20.2.2	DC 特性	20-4
20.2.3	AC 特性	20-9
20.2.4	A/D 変換特性	20-12
20.2.5	ウォッチドッグタイマ特性	20-13
20.2.6	電源電圧検出回路特性	20-13
20.2.7	LVDI 外部入力電圧検出回路特性	20-14
20.2.8	パワーオンリセット特性	20-14
20.2.9	フラッシュメモリ特性	20-15
20.3	電气的特性（マスクROM版）	20-16
20.3.1	電源電圧と動作範囲	20-16
20.3.2	DC 特性	20-18
20.3.3	AC 特性	20-23
20.3.4	A/D 変換特性	20-25
20.3.5	ウォッチドッグタイマ特性	20-26
20.3.6	電源電圧検出回路特性	20-27
20.3.7	LVDI 外部入力電圧検出回路特性	20-27
20.3.8	パワーオンリセット特性	20-28
20.4	タイミング図	20-28
20.5	出力負荷条件	20-30
付録	付録-1
A. 命令	付録-1
A.1 命令一覧	付録-1
A.2 オペレーションコードマップ	付録-16
A.3 命令実行ステート数	付録-19
A.4 命令とアドレッシングモードの組み合わせ	付録-28
B. I/Oポート	付録-29
B.1 I/Oポートブロック図	付録-29
B.2 各処理状態におけるポートの状態	付録-39
C. 型名一覧	付録-40
D. 外形寸法図	付録-41
本版で修正または追加された箇所	改訂-1
索引	索引-1

図目次

1. 概要	
図 1.1 H8/36912 グループの内部ブロック図	1-3
図 1.2 H8/36902 グループの内部ブロック図	1-4
図 1.3 H8/36912 グループのピン配置図 (FP-32A)	1-5
図 1.4 H8/36902 グループのピン配置図 (FP-32A)	1-6
図 1.5 H8/36912 グループのピン配置図 (FP-32D、32P4B)	1-7
図 1.6 H8/36902 グループのピン配置図 (FP-32D、32P4B)	1-8
2. CPU	
図 2.1 メモリマップ (1)	2-2
図 2.1 メモリマップ (2)	2-3
図 2.2 CPU 内部レジスタ構成	2-4
図 2.3 汎用レジスタの使用方法	2-5
図 2.4 スタックポインタとスタック領域の関係	2-5
図 2.5 汎用レジスタのデータ形式 (1)	2-7
図 2.5 汎用レジスタのデータ形式 (2)	2-8
図 2.6 メモリ上でのデータ形式	2-9
図 2.7 命令フォーマット	2-18
図 2.8 メモリ間接による分岐アドレスの指定	2-21
図 2.9 内蔵メモリアクセスサイクル	2-24
図 2.10 内蔵周辺モジュールアクセスサイクル (3 ステートアクセスの場合)	2-25
図 2.11 CPU の状態の分類	2-26
図 2.12 状態遷移図	2-26
図 2.13 同一アドレスに割り付けられた 2 つのレジスタを持つタイマの構成例	2-28
3. 例外処理	
図 3.1 リセット例外処理シーケンス	3-7
図 3.2 割り込み例外処理終了後のスタック状態	3-9
図 3.3 割り込み要求シーケンス	3-10
図 3.4 ポートモードレジスタ操作と割り込み要求フラグのクリア手順	3-11
4. アドレスブレーク	
図 4.1 アドレスブレークブロック図	4-1
図 4.2 アドレスブレーク割り込み動作例 (1)	4-4
図 4.2 アドレスブレーク割り込み動作例 (2)	4-5
5. クロック発振器	
図 5.1 クロック発生回路のブロック図	5-1
図 5.2 LSI のシステムクロック状態遷移図	5-6
図 5.3 オンチップオシレータクロックから外部クロックへの切り替えフロー (1)	5-7
図 5.4 外部クロックからオンチップオシレータクロックへの切り替えフロー (2)	5-8
図 5.5 オンチップオシレータクロックから外部クロックへの切り替えのタイミング	5-9
図 5.6 外部クロックからオンチップオシレータクロックへの切り替えのタイミング	5-10
図 5.7 オンチップオシレータトリミングフロー例	5-11

図 5.8	オンチップオシレータトリミングタイミングチャート	5-12
図 5.9	水晶発振子の接続例	5-13
図 5.10	水晶発振子の等価回路	5-13
図 5.11	セラミック発振子の接続例	5-14
図 5.12	外部クロックを入力する場合の接続例	5-14
図 5.13	発振回路のボード設計に関する注意事項	5-15
6.	低消費電力モード	
図 6.1	モード遷移図	6-5
7.	ROM	
図 7.1	フラッシュメモリのブロック構成	7-2
図 7.2	ユーザモードにおける書き込み/消去例	7-8
図 7.3	プログラム/プログラムベリファイフロー	7-10
図 7.4	イレース/イレースベリファイフロー	7-13
9.	I/O ポート	
図 9.1	ポート 1 の端子構成	9-2
図 9.2	ポート 2 の端子構成	9-5
図 9.3	ポート 5 の端子構成	9-7
図 9.4	ポート 7 の端子構成	9-10
図 9.5	ポート 8 の端子構成	9-12
図 9.6	ポート B の端子構成	9-15
図 9.7	ポート C の端子構成	9-17
10.	タイマ B1	
図 10.1	タイマ B1 ブロック図	10-1
11.	タイマ V	
図 11.1	タイマ V のブロック図	11-2
図 11.2	内部クロック動作時のカウントタイミング	11-7
図 11.3	外部クロック動作時のカウントタイミング	11-7
図 11.4	OVF のセットタイミング	11-8
図 11.5	CMFA と CMFB のセットタイミング	11-8
図 11.6	TMOV 出力タイミング	11-8
図 11.7	コンペアマッチによるクリアタイミング	11-9
図 11.8	TMRIV 入力によるクリアタイミング	11-9
図 11.9	パルス出力例	11-10
図 11.10	TRGV 入力に周期したパルス出力例	11-11
図 11.11	TCNTV のライトとクリアの競合	11-12
図 11.12	TCORA へのライトとコンペアマッチの競合	11-13
図 11.13	内部クロックの切り替えと TCNTV 動作	11-13
12.	タイマ W	
図 12.1	タイマ W のブロック図	12-3
図 12.2	フリーランニングカウンタの動作	12-12
図 12.3	周期カウンタの動作	12-12
図 12.4	0 出力, 1 出力の動作例 (TOA=0, TOB=1 の場合)	12-13
図 12.5	トグル出力の動作例 (TOA=0, TOB=1 の場合)	12-13
図 12.6	トグル出力の動作例 (TOA=0, TOB=1 の場合)	12-14
図 12.7	インプットキャプチャ動作例	12-14
図 12.8	バッファ動作例 (インプットキャプチャの場合)	12-15

図 12.9	PWM モード動作例 (1)	12-16
図 12.10	PWM モード動作例 (2)	12-16
図 12.11	バッファ動作例 (アウトプットコンペアの場合)	12-17
図 12.12	PWM モード動作例 (TOB、TOC、TOD=0、初期出力 0 の場合)	12-18
図 12.13	PWM モード動作例 (TOB、TOC、TOD=1、初期出力 1 の場合)	12-19
図 12.14	内部クロック動作時のカウントタイミング	12-20
図 12.15	外部クロック動作時のカウントタイミング	12-20
図 12.16	アウトプットコンペア出力タイミング	12-21
図 12.17	インプットキャプチャ入力信号タイミング	12-22
図 12.18	コンペアマッチによるカウンタクリアタイミング	12-22
図 12.19	バッファ動作タイミング (コンペアマッチ)	12-23
図 12.20	バッファ動作タイミング (インプットキャプチャ)	12-23
図 12.21	コンペアマッチ時の IMFA~IMFD フラグのセットタイミング	12-24
図 12.22	インプットキャプチャ発生時の IMFA~IMFD フラグのセットタイミング	12-25
図 12.23	CPU によるステータスフラグのクリアタイミング	12-25
図 12.24	TCNT のライトとクリアの競合	12-27
図 12.25	内部クロックの切り替えと TCNT 動作	12-27
図 12.26	コンペアマッチと TCRW へのビット操作命令が競合した場合の例	12-28
13. ウォッチドッグタイマ		
図 13.1	ウォッチドッグタイマのブロック図	13-1
図 13.2	ウォッチドッグタイマの動作例	13-4
14. シリアルコミュニケーションインタフェース 3 (SCI3)		
図 14.1	SCI3 のブロック図	14-2
図 14.2	ノイズ除去回路のブロック図	14-11
図 14.3	調歩同期式通信のデータフォーマット	14-12
図 14.4	出力クロックと通信データの位相関係 (調歩同期式モード) (8 ビットデータ/パリティあり/2 ストップビットの例)	14-12
図 14.5	SCI3 を初期化するときのフローチャートの例	14-13
図 14.6	調歩同期式モードの送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	14-14
図 14.7	データ送信のフローチャートの例 (調歩同期式モード)	14-15
図 14.8	調歩同期式モードの受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)	14-16
図 14.9	データ受信のフローチャートの例 (調歩同期式モード)	14-18
図 14.10	クロック同期式通信のデータフォーマット	14-19
図 14.11	クロック同期式モードの送信時の動作例	14-20
図 14.12	データ送信のフローチャートの例 (クロック同期式モード)	14-21
図 14.13	クロック同期式モードの受信時の動作例	14-22
図 14.14	データ受信フローチャートの例 (クロック同期式モード)	14-23
図 14.15	データ送受信同時動作のフローチャートの例 (クロック同期式モード)	14-24
図 14.16	マルチプロセッサフォーマットを使用したプロセッサ間通信の例 (受信局 A へのデータ H'AA の送信の例)	14-25
図 14.17	マルチプロセッサデータ送信のフローチャートの例	14-26
図 14.18	マルチプロセッサデータ受信のフローチャートの例	14-27
図 14.19	マルチプロセッサフォーマットの受信時の動作例 (8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例)	14-28
図 14.20	調歩同期式モードの受信データサンプリングタイミング	14-30

15. I ² C バスインタフェース 2 (IIC2)	
図 15.1 I ² C バスインタフェース 2 のブロック図	15-2
図 15.2 入出力端子の外部回路接続例	15-3
図 15.3 I ² C バスフォーマット	15-13
図 15.4 I ² C バスタイミング	15-13
図 15.5 マスタ送信モード動作タイミング (1)	15-15
図 15.6 マスタ送信モード動作タイミング (2)	15-15
図 15.7 マスタ受信モード動作タイミング (1)	15-17
図 15.8 マスタ受信モード動作タイミング (2)	15-17
図 15.9 スレーブ送信モード動作タイミング (1)	15-19
図 15.10 スレーブ送信モード動作タイミング (2)	15-20
図 15.11 スレーブ受信モード動作タイミング (1)	15-21
図 15.12 スレーブ受信モード動作タイミング (2)	15-21
図 15.13 クロック同期式シリアル転送フォーマット	15-22
図 15.14 送信モード動作タイミング	15-23
図 15.15 受信モード動作タイミング	15-24
図 15.16 ノイズ除去回路のブロック図	15-24
図 15.17 マスタ送信モードのフローチャート例	15-25
図 15.18 マスタ受信モードのフローチャート例	15-26
図 15.19 スレーブ送信モードフローチャート例	15-27
図 15.20 スレーブ受信モードフローチャート例	15-28
図 15.21 ビット同期回路のタイミング	15-30
16. A/D 変換器	
図 16.1 A/D 変換器のブロック図	16-2
図 16.2 A/D 変換タイミング	16-6
図 16.3 外部トリガ入力タイミング	16-7
図 16.4 A/D 変換精度の定義 (1)	16-9
図 16.5 A/D 変換精度の定義 (2)	16-9
図 16.6 アナログ入力回路の例	16-10
17. バンドギャップ回路、パワーオンリセット&低電圧検出回路	
図 17.1 BGR 位置付けブロック図	17-2
図 17.2 パワーオンリセット回路および低電圧検出回路ブロック図	17-2
図 17.3 パワーオンリセット回路動作タイミング	17-5
図 17.4 低電圧検出リセット回路動作タイミング	17-6
図 17.5 低電圧検出割り込み回路動作タイミング	17-7
図 17.6 低電圧検出割り込み回路動作タイミング (検知電圧に ExtU、ExtD 端子入力使用の場合)	17-8
図 17.7 低電圧検出回路の解除/動作の設定タイミング	17-9
18. 電源回路	
図 18.1 内部電源降圧回路を使用する場合の電源接続図	18-1
図 18.2 内部電源降圧回路を使用しない場合の電源接続図	18-2
20. 電气的特性	
図 20.1 システムクロック入力タイミング	20-28
図 20.2 RES 端子 Low レベル幅タイミング	20-28
図 20.3 入力タイミング	20-29
図 20.4 I ² C バスインタフェース 2 入力タイミング	20-29
図 20.5 SCK3 入力クロックタイミング	20-29

図 20.6	SCI3 クロック同期式モード入出力タイミング	20-30
図 20.7	出力負荷回路	20-30

付録

図 B.1	ポート 1 ブロック図 (P17)	付録-29
図 B.2	ポート 1 ブロック図 (P14)	付録-30
図 B.3	ポート 2 ブロック図 (P22)	付録-31
図 B.4	ポート 2 ブロック図 (P21)	付録-31
図 B.5	ポート 2 ブロック図 (P20)	付録-32
図 B.6 (1)	ポート 5 ブロック図 (P57、P56) (H8/36912 グループ)	付録-32
図 B.6 (2)	ポート 5 ブロック図 (P57、P56) (H8/36902 グループ)	付録-33
図 B.7	ポート 5 ブロック図 (P55)	付録-33
図 B.8	ポート 7 ブロック図 (P76)	付録-34
図 B.9	ポート 7 ブロック図 (P75)	付録-34
図 B.10	ポート 7 ブロック図 (P74)	付録-35
図 B.11	ポート 8 ブロック図 (P84、P83、P82、P81)	付録-35
図 B.12	ポート 8 ブロック図 (P80)	付録-36
図 B.13	ポート B ブロック図 (PB3、PB2)	付録-36
図 B.14	ポート B ブロック図 (PB1、PB0)	付録-37
図 B.15	ポート C ブロック図 (PC1)	付録-37
図 B.16	ポート C ブロック図 (PC0)	付録-38
図 D.1	FP-32D 外形寸法図	付録-41
図 D.2	FP-32A 外形寸法図	付録-42
図 D.3	32P4B 外形寸法図	付録-43

表目次

1. 概要	
表 1.1 端子機能	1-9
2. CPU	
表 2.1 オペレーションの記号	2-10
表 2.2 データ転送命令	2-11
表 2.3 算術演算命令	2-11
表 2.4 論理演算命令	2-13
表 2.5 シフト命令	2-13
表 2.6 ビット操作命令	2-14
表 2.7 分岐命令	2-16
表 2.8 システム制御命令	2-17
表 2.9 ブロック転送命令	2-17
表 2.10 アドレッシングモード一覧表	2-19
表 2.11 絶対アドレスのアクセス範囲	2-20
表 2.12 実効アドレスの計算方法 (1)	2-22
表 2.12 実効アドレスの計算方法 (2)	2-23
3. 例外処理	
表 3.1 例外処理要因とベクタアドレス	3-2
表 3.2 割り込み要求待ちステート数	3-9
4. アドレスブレイク	
表 4.1 使用するデータバス	4-3
5. クロック発振器	
表 5.1 水晶発振子のパラメータ	5-13
6. 低消費電力モード	
表 6.1 動作周波数と待機時間	6-3
表 6.2 SLEEP 命令実行後の状態と割り込みによる復帰先	6-5
表 6.3 各動作モードでの LSI の状態	6-6
7. ROM	
表 7.1 プログラミングモード選択方法	7-5
表 7.2 ブートモードの動作	7-7
表 7.3 ビットレート自動合わせ込みが可能なシステムクロック周波数	7-7
表 7.4 再書き込みデータ演算表	7-11
表 7.5 追加書き込みデータ演算表	7-11
表 7.6 書き込み時間	7-11
10. タイマ B1	
表 10.1 タイマ B1 の動作モード	10-3
11. タイマ V	
表 11.1 端子構成	11-3
表 11.2 TCNTV に入力するクロックとカウント条件	11-4

12. タイマ W	
表 12.1 タイマ W 機能一覧	12-2
表 12.2 端子構成	12-4
14. シリアルコミュニケーションインタフェース 3 (SCI3)	
表 14.1 端子構成	14-2
表 14.2 ビットレートに対する BRR の設定例〔調歩同期式モード〕	14-8
表 14.3 各周波数における最大ビットレート〔調歩同期式モード〕	14-10
表 14.4 ビットレートに対する BRR の設定例〔クロック同期式モード〕	14-10
表 14.5 SSR のステータスフラグの状態と受信データの転送	14-17
表 14.6 SCI3 の割り込み要求	14-29
15. I ² C バスインタフェース 2 (IIC2)	
表 15.1 端子構成	15-3
表 15.2 転送レート	15-5
表 15.3 割り込み要求一覧	15-29
表 15.4 SCL をモニタする時間	15-30
16. A/D 変換器	
表 16.1 端子構成	16-2
表 16.2 アナログ入力チャネルと A/D データレジスタの対応	16-3
表 16.3 A/D 変換時間 (単一モード)	16-7
17. バンドギャップ回路、パワーオンリセット&低電圧検出回路	
表 17.1 LVDCR の設定と選択機能	17-4
20. 電気的特性	
表 20.1 絶対最大定格	20-1
表 20.2 DC 特性 (1)	20-4
表 20.2 DC 特性 (2)	20-8
表 20.3 AC 特性	20-9
表 20.4 I ² C バスインタフェース 2 タイミング	20-11
表 20.5 シリアルインタフェース (SCI3) タイミング	20-11
表 20.6 A/D 変換器特性	20-12
表 20.7 ウォッチドッグタイマ特性	20-13
表 20.8 電源電圧検出回路特性	20-13
表 20.9 LVDI 外部入力電圧検出回路特性	20-14
表 20.10 パワーオンリセット特性	20-14
表 20.11 フラッシュメモリ特性	20-15
表 20.12 DC 特性 (1)	20-18
表 20.12 DC 特性 (2)	20-22
表 20.13 AC 特性	20-23
表 20.14 I ² C バスインタフェース 2 タイミング	20-24
表 20.15 シリアルインタフェース (SCI3) タイミング	20-25
表 20.16 A/D 変換器特性	20-25
表 20.17 ウォッチドッグタイマ特性	20-26
表 20.18 電源電圧検出回路特性	20-27
表 20.19 LVDI 外部入力電圧検出回路特性	20-27
表 20.20 パワーオンリセット特性	20-28

付録

表 A.1	命令セット一覧	付録-3
表 A.2	オペレーションコードマップ (1)	付録-16
表 A.2	オペレーションコードマップ (2)	付録-17
表 A.2	オペレーションコードマップ (3)	付録-18
表 A.3	実行状態 (サイクル) に要するステート数	付録-19
表 A.4	命令の実行状態 (サイクル数)	付録-20
表 A.5	命令とアドレッシングモードの組み合わせ	付録-28

1. 概要

1.1 特長

- 16ビット高速H8/300H CPU
H8/300 CPUとオブジェクトレベルで上位互換
汎用レジスタ：16ビット×16本
基本命令：62種類
- 豊富な周辺機能
タイマB1*（8ビットタイマ）
タイマV（8ビットタイマ）
タイマW（16ビットタイマ）
ウォッチドッグタイマ
SCI3（調歩同期式またはクロック同期式シリアルコミュニケーションインタフェース）
10ビットA/D変換器
I²Cバスインタフェース*（フィリップス社が提唱するI²Cバスインタフェース方式に準拠）
POR/LVD（パワーオンリセット&低電圧検出回路）
アドレスブレイク

【注】 * H8/36912 グループのみです。

- 内蔵メモリ

製品分類		製品型名	ROM	RAM	備考
フラッシュメモリ版 (F-ZTAT™版)	H8/36912F	HD64F36912G	8K バイト	1536 バイト	
	H8/36902F	HD64F36902G	8K バイト	1536 バイト	
マスク ROM 版	H8/36912	HD64336912G	8K バイト	512 バイト	
	H8/36911	HD64336911G	4K バイト	256 バイト	
	H8/36902	HD64336902G	8K バイト	512 バイト	
	H8/36901	HD64336901G	4K バイト	256 バイト	
	H8/36900	HD64336900G	2K バイト	256 バイト	

【注】 F-ZTAT™は（株）ルネサス テクノロジーの商標です。

1. 概要

- 汎用入出力ポート

入出力ポート：18本。このうち大電流ポート5本 ($I_{OL}=20\text{mA}$ @ $V_{OL}=1.5\text{V}$ 、 $-I_{OH}=4\text{mA}$ @ $V_{OH}=V_{CC}-1.0\text{V}$)

入力ポート：4本（アナログ入力端子兼用）

- オンチップオシレータ

周波数精度 8MHz \pm 1% (Typ.) $V_{CC}=5.0\text{V}$ 、 $T_a=25^\circ\text{C}$

（フラッシュメモリ版） 8MHz \pm 3% $V_{CC}=4.0\sim 5.0\text{V}$ 、 $T_a=-20\sim 75^\circ\text{C}$

10MHz \pm 4% (Typ.) $V_{CC}=4.0\sim 5.0\text{V}$ 、 $T_a=-20\sim 75^\circ\text{C}$

- 各種低消費電力モードをサポート

- 小型パッケージ

パッケージ	コード	ボディサイズ	ピンピッチ	備考
LQFP-32	FP-32A	7.0 × 7.0 mm	0.8 mm	
SOP-32	FP-32D	11.3 × 20.45 mm	1.27 mm	
SDIP-32*	32P4B	400mil	1.78mm	

【注】 * 本パッケージはフラッシュメモリ版のみで、マスク ROM 版はありません。

1.2 内部ブロック図

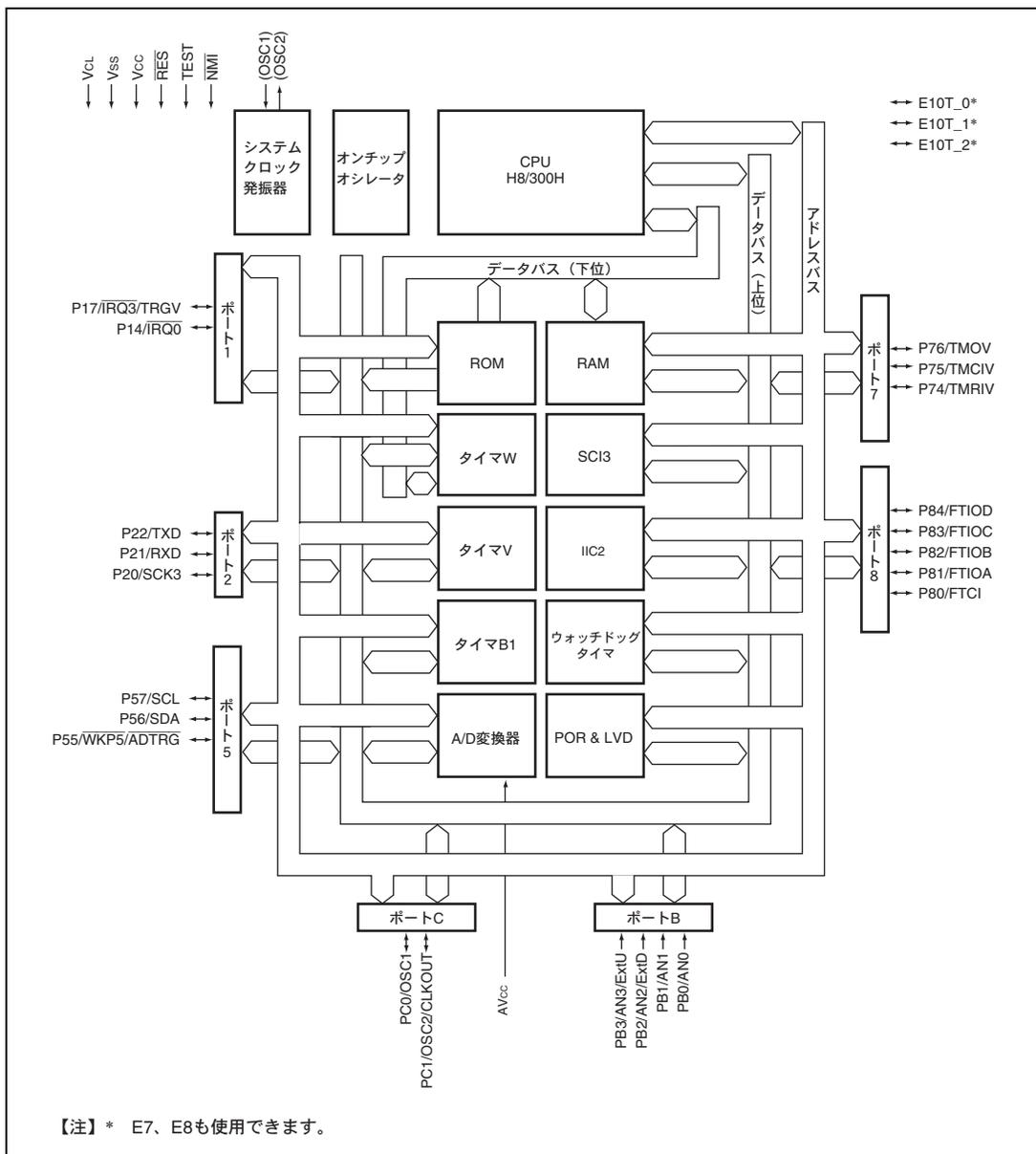


図 1.1 H8/36912 グループの内部ブロック図

1. 概要

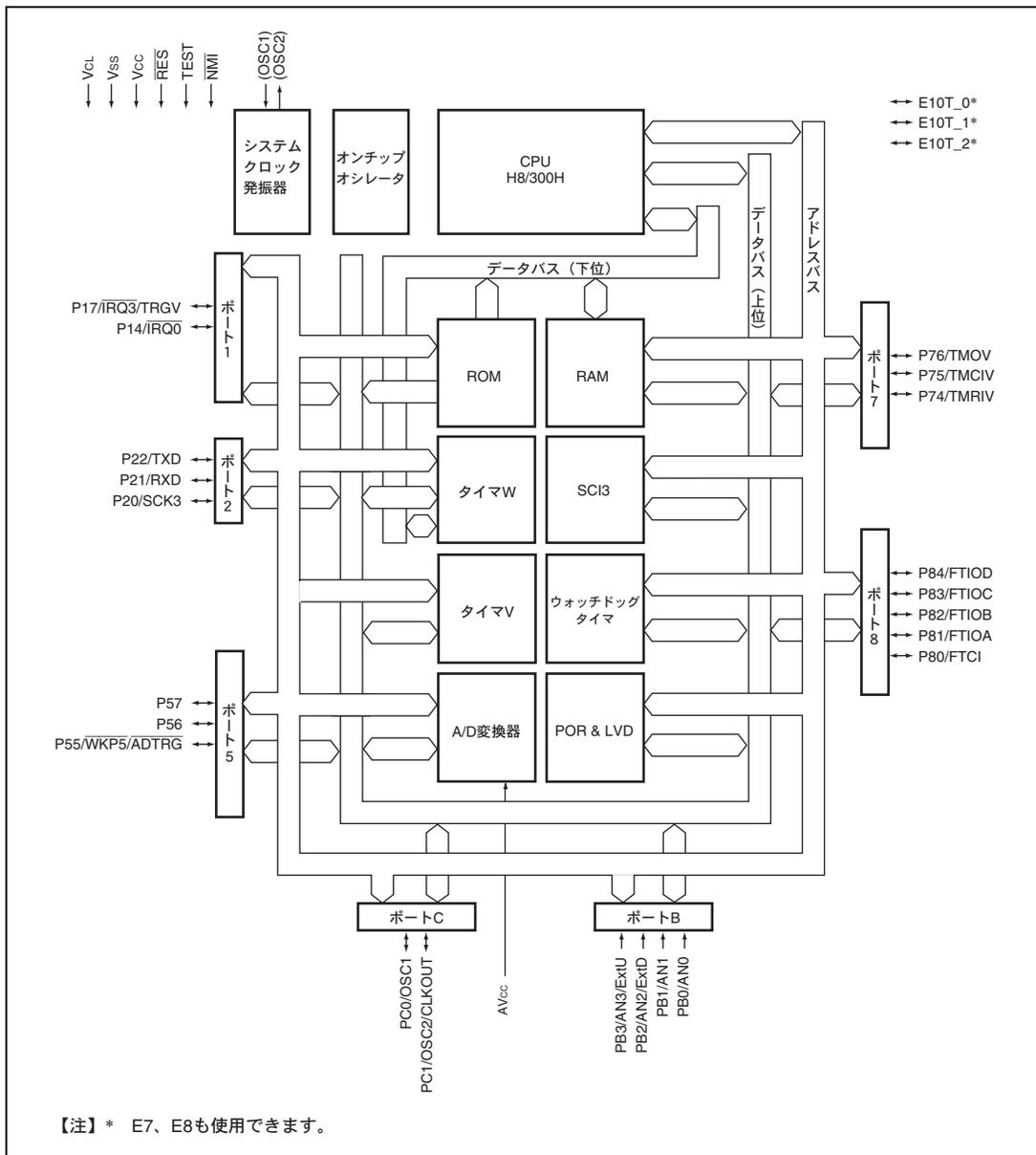


図 1.2 H8/36902 グループの内部ブロック図

1.3 ピン配置図

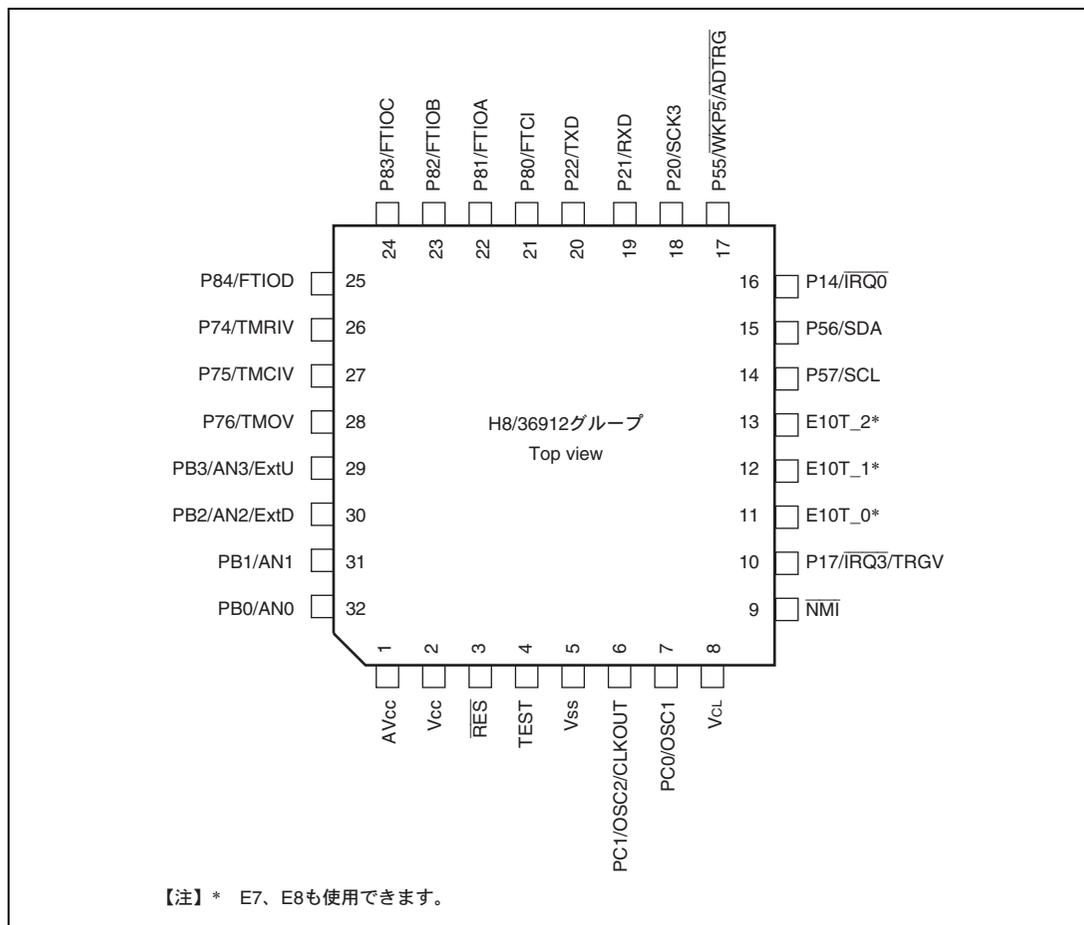


図 1.3 H8/36912 グループのピン配置図 (FP-32A)

1. 概要

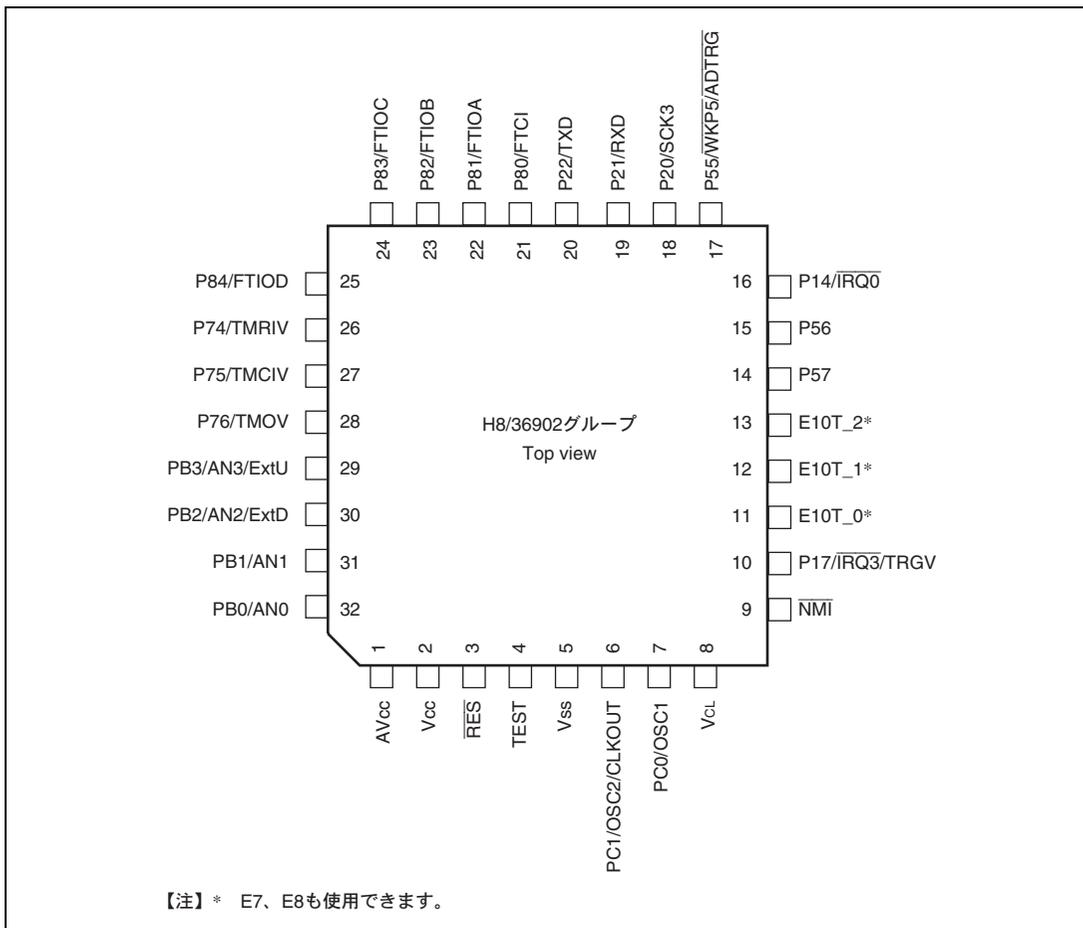


図 1.4 H8/36902 グループのピン配置図 (FP-32A)

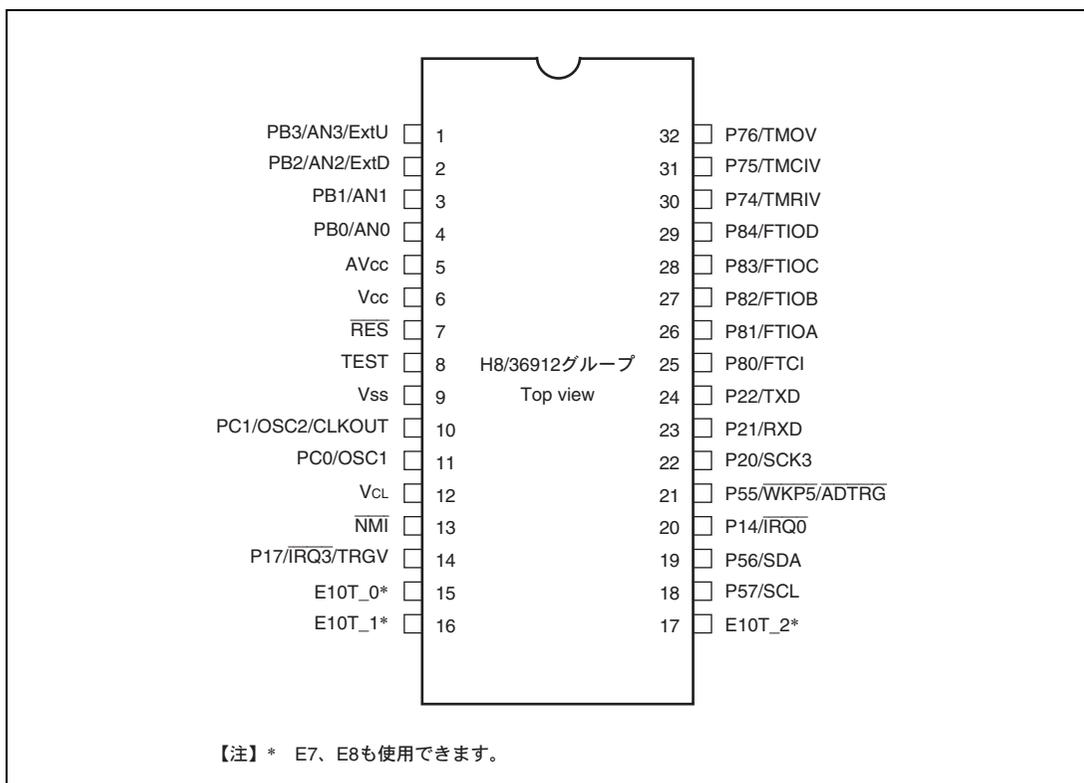


図 1.5 H8/36912 グループのピン配置図 (FP-32D、32P4B)

1. 概要

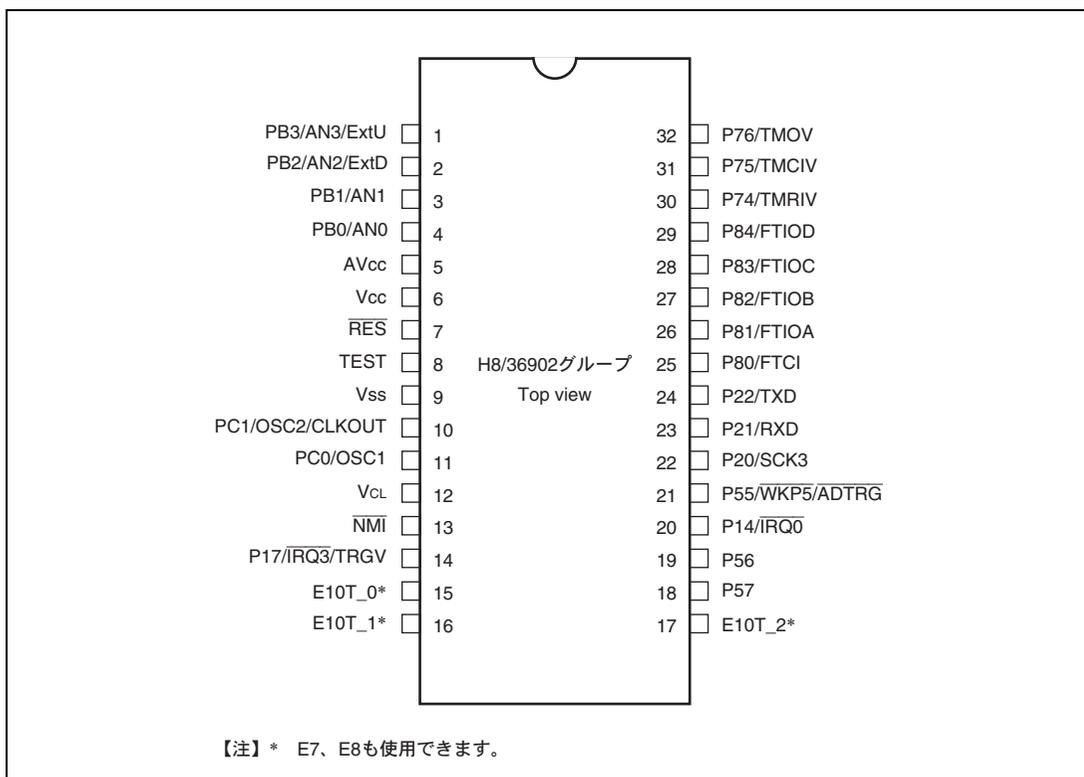


図 1.6 H8/36902 グループのピン配置図 (FP-32D、32P4B)

1.4 端子機能

表 1.1 端子機能

分類	記号	ピン番号		入出力	機能
		FP-32D 32P4B	FP-32A		
電源	Vcc	6	2	入力	電源端子です。システムの電源に接続してください。
	Vss	9	5	入力	グランド端子です。システムの電源 (0V) に接続してください。
	AVcc	5	1	入力	A/D 変換用アナログ電源端子です。A/D 変換器を使用しない場合はシステムの電源に接続してください。
	VCL	12	8	入力	内部降圧電源端子です。安定化のため、この端子と Vss 端子との間に 0.1 μ F 程度の容量を挿入してください。
クロック	OSC1	11	7	入力	システムクロック用水晶発振子またはセラミック発振子接続端子です。外部クロックを入力することもできます。オンチップオシレータを使用する場合は、OSC2 にシステムクロックを出力することができます。接続例は「第 5 章 クロック発振器」を参照してください。
	OSC2/CLKOUT	10	6	出力	
システム制御	RES	7	3	入力	リセット端子です。プルアップ抵抗 (typ. 150k Ω) を内蔵しています。この端子を Low レベルにすると、リセット状態になります。
	TEST	8	4	入力	テスト端子です。Vss 電位に接地してください。
外部割り込み	NMI	13	9	入力	ノンマスカブル割り込み要求入力端子です。必ず抵抗でプルアップしてください。
	IRQ0、IRQ3	20、14	16、10	入力	外部割り込み要求入力端子です。立ち上がりエッジセンス/立ち下がりエッジセンスを選択できます。
	WKP5	21	17	入力	外部割り込み要求入力端子です。立ち上がりエッジセンス/立ち下がりエッジセンスを選択できます。
タイマ V	TMOV	32	28	出力	アウトプットコンペア機能による波形出力端子です。
	TMCIV	31	27	入力	外部イベント入力端子です。
	TMRIV	30	26	入力	カウンタリセット入力端子です。
	TRGV	14	10	入力	カウント開始トリガ入力端子です。
タイマ W	FTCI	25	21	入力	外部イベント入力端子です。
	FTIOA~FTIOD	26~29	22~25	入出力	アウトプットコンペア出力/インプットキャプチャ入力/PWM 出力兼用端子です。

1. 概要

分類	記号	ピン番号		入出力	機能
		FP-32D 32P4B	FP-32A		
I ² C バス インタフェース 2*	SDA	19	15	入出力	I ² C データ入出力端子です。NMOS オープンドレイン出力でバスを直接駆動できます。
	SCL	18	14	入出力	I ² C クロック入出力端子です。NMOS オープンドレイン出力でバスを直接駆動できます。
シリアル コミュニケーション インタフェース	TXD	24	20	出力	送信データ出力端子です。
	RXD	23	19	入力	受信データ入力端子です。
	SCK3	22	18	入出力	クロック入出力端子です。
A/D 変換器	AN3~AN0	1~4	29~32	入力	アナログ入力端子です。
	ADTRG	21	17	入力	変換開始トリガ入力端子です。
I/O ポート	P17、P14	14、20	10、16	入出力	2 ビットの入出力ポートです。
	P22~P20	24~22	20~18	入出力	3 ビットの入出力ポートです。
	P57~P55	18、19、 21	14、15、 17	入出力	3 ビットの入出力ポートです。
	P76~P74	32~30	28~26	入出力	3 ビットの入出力ポートです。
	P84~P80	29~25	25~21	入出力	5 ビットの入出力ポートです。
	PB3~PB0	1~4	29~32	入力	4 ビットの入力ポートです。
	PC1、PC0	10、11	6、7	入出力	2 ビットの入出力ポートです。
低電圧検出 回路	ExtU、ExtD	1、2	29、30	入力	低電圧検出回路用の検知電圧の外部入力端子です。
E7、E8	E10T_0 E10T_1 E10T_2	15、16、 17	11、12、 13	—	E7、E8 エミュレータ用インタフェース端子です。

【注】 * H8/36912 グループのみです。

2. CPU

H8/36912 グループ、H8/36902 グループの CPU は H8/300 CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の H8/300H CPU で、64K バイトのアドレス空間を持つノーマルモードのみサポートします。

- H8/300 CPU 上位互換
 - H8/300 シリーズのオブジェクトプログラムを実行可能
 - 16 ビット×8 本の拡張レジスタを追加
 - 32 ビット転送、演算命令を追加
 - 符号付き乗除算命令などを追加
- 汎用レジスタ：16 ビット×16 本
 - 8 ビット×16 本+16 ビット×8 本、32 ビット×8 本としても使用可能
- 基本命令：62 種類
 - 8/16/32 ビット転送、演算命令
 - 乗除算命令
 - 強力なビット操作命令
- アドレッシングモード：8 種類
 - レジスタ直接 (Rn)
 - レジスタ間接 (@ERn)
 - ディスプレイメント付レジスタ間接 (@ (d:16, ERn) , @ (d:24, ERn))
 - ポストインクリメント/プリデクリメントレジスタ間接 (@ERn+ / @-ERn)
 - 絶対アドレス (@aa:8, @aa:16, @aa:24)
 - イミディエイト (#xx:8, #xx:16, #xx:32)
 - プログラムカウンタ相対 (@ (d:8, PC) , @ (d:16, PC))
 - メモリ間接 (@@aa:8)
- アドレス空間：64K バイト
- 高速動作
 - 頻出命令をすべて 2~4 ステートで実行
 - 8/16/32 ビットレジスタ間加減算：2 ステート
 - 8×8 ビットレジスタ間乗算：14 ステート
 - 16÷8 ビットレジスタ間除算：14 ステート
 - 16×16 ビットレジスタ間乗算：22 ステート

2. CPU

32÷16ビットレジスタ間除算：22ステート

- 低消費電力動作

SLEEP命令により低消費電力状態に遷移

2.1 アドレス空間とメモリマップ

H8/36912グループ、H8/36902グループのアドレス空間はプログラム領域とデータ領域合わせて64Kバイトです。メモリマップを図2.1に示します。

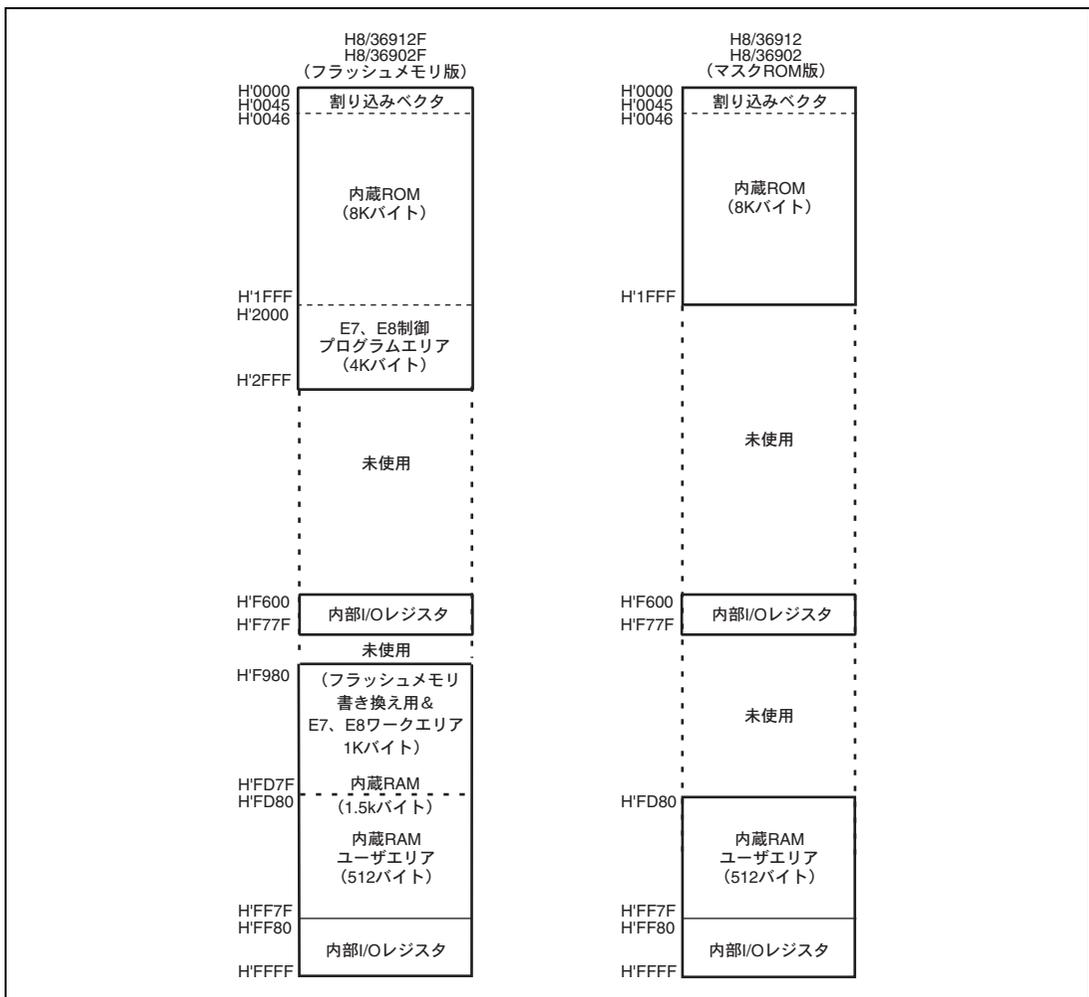


図 2.1 メモリマップ (1)

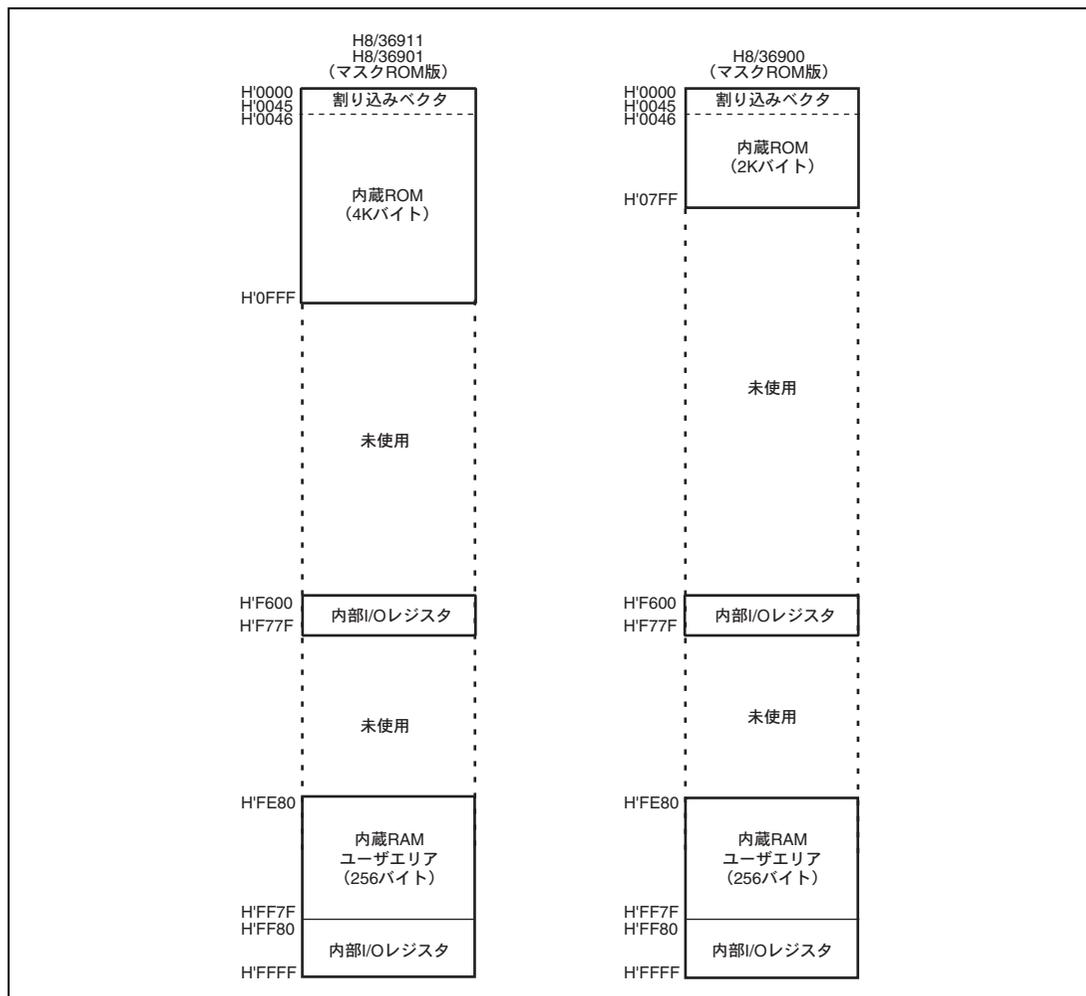


図 2.1 メモリマップ (2)

2.2 レジスタ構成

H8/300H CPU の内部レジスタ構成を図 2.2 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類されます。コントロールレジスタには 24 ビットのプログラムカウンタ (PC) と 8 ビットのコンディションコードレジスタ (CCR) があります。



図 2.2 CPU 内部レジスタ構成

2.2.1 汎用レジスタ

H8/300H CPU は 32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタはすべて同じ機能を持っており、アドレスレジスタとしてもデータレジスタとしても使用することができます。データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.3 に示します。

アドレスレジスタおよび 32 ビットデータレジスタとして使用する場合は、一括して汎用レジスタ ER (ER0~ER7) として指定します。

16 ビットデータレジスタとして使用する場合は、汎用レジスタ ER を分割して汎用レジスタ E (E0~E7)、汎用レジスタ R (R0~R7) として指定します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本使用することができます。なお、汎用レジスタ E (E0~E7) を特に拡張レジスタと呼ぶ場合があります。

8ビットデータレジスタとして使用する場合は、汎用レジスタ R を分割して汎用レジスタ RH (R0H~R7H)、汎用レジスタ RL (R0L~R7L) として指定します。これらは同等の機能を持っており、8ビットレジスタを最大16本使用することができます。各レジスタは使用方法を独立に指定することができます。

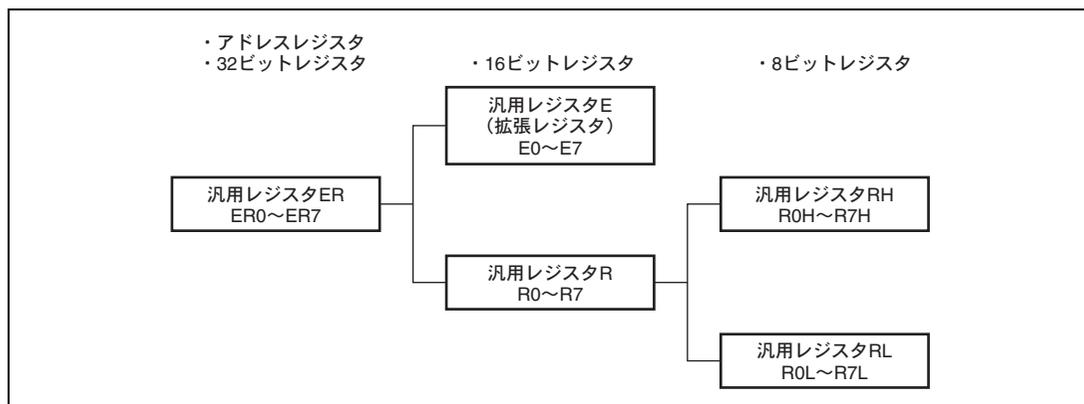


図 2.3 汎用レジスタの使用方法

汎用レジスタ ER7 には、汎用レジスタの機能に加えてスタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチンコールなどで暗黙的に使用されます。スタックポインタとスタック領域の関係を図 2.4 に示します。

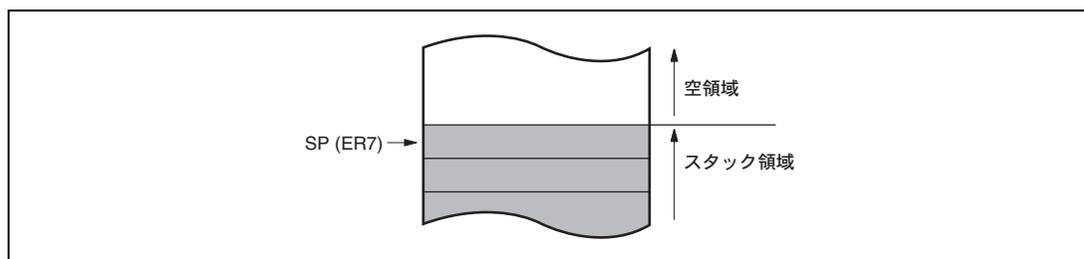


図 2.4 スタックポインタとスタック領域の関係

2.2.2 プログラムカウンタ (PC)

PC は 24 ビットのカウンタで、CPU が次に実行する命令のアドレスを指します。CPU の命令はすべて偶数番地から始まる 2 バイト (ワード) を単位としているため、PC の最下位ビットは命令コードを読み出す時は 0 とみなされます。PC はリセット例外処理の過程で生成されるベクタアドレスによってスタートアドレスをロードすることにより初期化されます。

2. CPU

2.2.3 コンディションコードレジスタ (CCR)

CCRはCPUの内部状態を示します。割り込みマスクビット (I)、ハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む8ビットで構成されています。Iビットはリセット例外処理によって1に初期化されますが、他のビットは初期化されません。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット このビットが1にセットされると、割り込み要求がマスクされます。ただし、NMIはIビットに関係なく受け付けられます。Iビットは例外処理の実行が開始されたときに1にセットされます。
6	UI	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット3にキャリまたはポローが生じたとき1にセットされ、生じなかったとき0にクリアされます。ADD.W、SUB.W、CMP.W、NEG.W 命令の実行によりビット11にキャリまたはポローが生じたとき、またはADD.L、SUB.L、CMP.L、NEG.L 命令の実行によりビット27にキャリまたはポローが生じたとき1にセットされ、生じなかったとき0にクリアされます
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき1にセットされ、ゼロ以外のとき0にクリアされます。
1	V	不定	R/W	オーバフローフラグ 算術演算命令の実行によりオーバフローが生じたとき1にセットされます。それ以外のとき0にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき1にセットされ、生じなかったとき0にクリアされます。キャリには次の種類があります。 加算結果のキャリ 減算結果のポロー シフト/ローテートのキャリ また、キャリフラグにはビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。CCRはLDC、STC、ANDC、ORC、XORC命令で操作することができます。また、N、Z、V、Cの各フラグは、条件分岐命令（Bcc）で使用されます。各命令ごとのフラグの変化については、「付録A.1 命令一覧」を参照してください。

2.3 データ形式

H8/300H CPUは、1ビット、4ビットBCD、8ビット（バイト）、16ビット（ワード）、および32ビット（ロングワード）のデータを扱うことができます。1ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第nビット（n=0、1、2、……、7）という形式でアクセスされます。10進補正命令DAA、DASではバイトデータは2桁の4ビットBCDデータとなります。

2.3.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図2.5に示します。

データ形	汎用レジスタ	データイメージ
1ビットデータ	RnH	<pre> 7 0 ┌───┬───┬───┬───┬───┬───┬───┬───┐ │ 7 │ 6 │ 5 │ 4 │ 3 │ 2 │ 1 │ 0 │ └───┴───┴───┴───┴───┴───┴───┴───┘ Don't care </pre>
1ビットデータ	RnL	<pre> 7 0 ┌───┬───┬───┬───┬───┬───┬───┬───┐ │ │ │ │ │ │ │ │ 7 │ └───┴───┴───┴───┴───┴───┴───┴───┘ Don't care </pre>
4ビットBCDデータ	RnH	<pre> 7 4 3 0 ┌───┬───┬───┬───┬───┬───┬───┬───┐ │ │ │ │ │ │ │ │ │ └───┴───┴───┴───┴───┴───┴───┴───┘ 上位桁 下位桁 Don't care </pre>
4ビットBCDデータ	RnL	<pre> 7 4 3 0 ┌───┬───┬───┬───┬───┬───┬───┬───┐ │ │ │ │ │ │ │ │ │ └───┴───┴───┴───┴───┴───┴───┴───┘ Don't care 上位桁 下位桁 </pre>
バイトデータ	RnH	<pre> 7 0 ┌──────────┬──────────┬──────────┬──────────┐ │ │ │ │ │ └──────────┴──────────┴──────────┴──────────┘ MSB LSB Don't care </pre>
バイトデータ	RnL	<pre> 7 0 ┌──────────┬──────────┬──────────┬──────────┐ │ │ │ │ │ └──────────┴──────────┴──────────┴──────────┘ Don't care MSB LSB </pre>

図 2.5 汎用レジスタのデータ形式 (1)

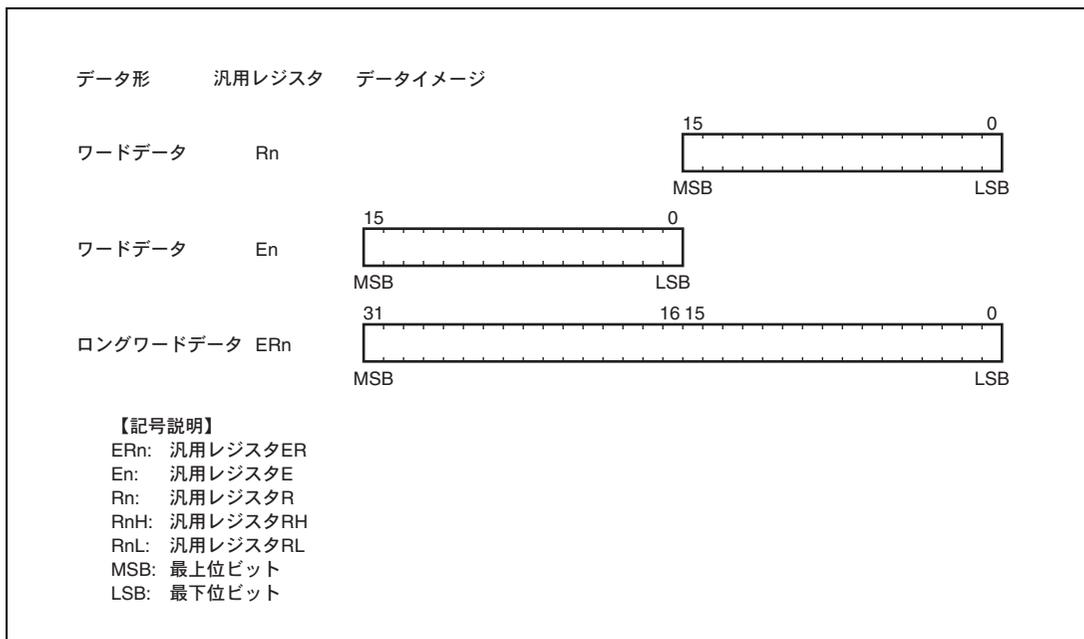


図 2.5 汎用レジスタのデータ形式 (2)

2.3.2 メモリ上のデータ形式

メモリ上のデータ形式を図2.6に示します。

H8/300H CPUは、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは0とみなされ、1番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

ER7 (SP) をアドレスレジスタとしてスタック領域をアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

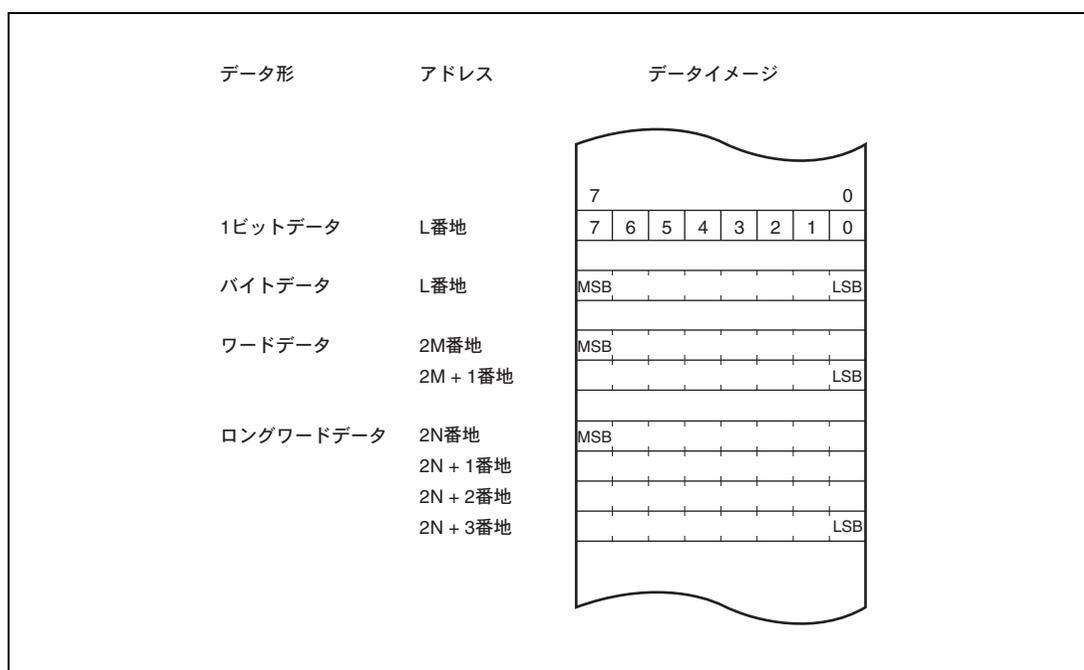


図 2.6 メモリ上でのデータ形式

2.4 命令セット

2.4.1 命令の機能別一覧

H8/300H CPU の命令は合計 62 種類あります。各命令の機能別一覧を表 2.2～表 2.9 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

表 2.1 オペレーションの記号

Rd	汎用レジスタ（デスティネーション側）*
Rs	汎用レジスタ（ソース側）*
Rn	汎用レジスタ*
ERn	汎用レジスタ（32 ビットレジスタ/アドレスレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
CCR	コンディションコードレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイースメント
+	加算
-	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
: 3 / : 8 / : 16 / : 24	3 / 8 / 16 / 24 ビット長

【注】 * 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）、16 ビット（R0～R7、E0～E7）、または 32 ビットレジスタ/アドレスレジスタ（ER0～ER7）です。

表 2.2 データ転送命令

命令	サイズ*	機能
MOV	B/W/L	(EAs) →Rd, Rs→ (EAd) 汎用レジスタと汎用レジスタ、または汎用レジスタとメモリ間でデータ転送します。 また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	(EAs) →Rd 本 LSI では使用できません。
MOVTPPE	B	Rs→ (EAs) 本 LSI では使用できません。
POP	W/L	@SP+→Rn スタックから汎用レジスタへデータを復帰します。POP.W Rn は MOV.W @SP+, Rn と、また POP.L ERn は MOV.L @SP+, ERn と同一です。
PUSH	W/L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。PUSH.W Rn は MOV.W Rn, @-SP と、また PUSH.L ERn は MOV.L ERn, @-SP と同一です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.3 算術演算命令

命令	サイズ*	機能
ADD SUB	B/W/L	Rd±Rs→Rd, Rd±#IMM→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	Rd±Rs±C→Rd, Rd±#IMM±C→Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付き加減算を行います。
INC DEC	B/W/L	Rd±1→Rd, Rd±2→Rd 汎用レジスタに 1 または 2 を加減算します (バイトサイズの演算では 1 の加減算のみ可能です)。
ADDS SUBS	L	Rd±1→Rd, Rd±2→Rd, Rd±4→Rd 32 ビットレジスタに 1、2 または 4 を加減算します。
DAA DAS	B	Rd (10 進補正) →Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。

2. CPU

命令	サイズ*	機能
MULXS	B/W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。8ビット×8ビット→16ビット、16ビット×16ビット→32ビットの乗算が可能です。
DIVXU	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。16ビット÷8ビット→商8ビット 余り8ビット、32ビット÷16ビット→商16ビット 余り16ビットの除算が可能です。
DIVXS	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き除算を行います。16ビット÷8ビット→商8ビット 余り8ビット、32ビット÷16ビット→商16ビット 余り16ビットの除算が可能です。
CMP	B/W/L	$Rd - Rs, Rd - \#IMM$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果をCCRに反映します。
NEG	B/W/L	$0 - Rd \rightarrow Rd$ 汎用レジスタの内容の2の補数（算術的補数）をとります。
EXTU	W/L	Rd （ゼロ拡張） $\rightarrow Rd$ 16ビットレジスタの下位8ビットをワードサイズにゼロ拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズにゼロ拡張します。
EXTS	W/L	Rd （符号拡張） $\rightarrow Rd$ 16ビットレジスタの下位8ビットをワードサイズに符号拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズに符号拡張します。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.4 論理演算命令

命令	サイズ*	機能
AND	B/W/L	$Rd \wedge Rs \rightarrow Rd$, $Rd \wedge \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	$Rd \vee Rs \rightarrow Rd$, $Rd \vee \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	$Rd \oplus Rs \rightarrow Rd$, $Rd \oplus \#IMM \rightarrow Rd$ 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B/W/L	$\sim Rd \rightarrow Rd$ 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B: バイト

W: ワード

L: ロングワード

表 2.5 シフト命令

命令	サイズ*	機能
SHAL SHAR	B/W/L	Rd (シフト処理) $\rightarrow Rd$ 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B/W/L	Rd (シフト処理) $\rightarrow Rd$ 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B/W/L	Rd (ローテート処理) $\rightarrow Rd$ 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B/W/L	Rd (ローテート処理) $\rightarrow Rd$ 汎用レジスタの内容をキャリフラグを含めてローテートします。

【注】 * サイズはオペランドサイズを示します。

B: バイト

W: ワード

L: ロングワード

2. CPU

表 2.6 ビット操作命令

命令	サイズ*	機能
BSET	B	1→ (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを1にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR	B	0→ (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを0にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BNOT	B	~ (<ビット番号> of <EAd>) → (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BTST	B	~ (<ビット番号> of <EAd>) →Z 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BAND	B	C∧ (<ビット番号> of <EAd>) →C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	C∧ [~ (<ビット番号> of <EAd>)] →C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BOR	B	C∨ (<ビット番号> of <EAd>) →C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
BIOR	B	C∨ [~ (<ビット番号> of <EAd>)] →C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BXOR	B	C⊕ (<ビット番号> of <EAd>) →C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
BIXOR	B	C⊕ [~ (<ビット番号> of <EAd>)] →C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。

命令	サイズ*	機能
BLD	B	(〈ビット番号〉 of 〈EAd〉) →C 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	~ (〈ビット番号〉 of 〈EAd〉) →C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BST	B	C→ (〈ビット番号〉 of 〈EAd〉) 汎用レジスタまたはメモリのオペランドの指定された1ビットにキャリフラグの内容を転送します。
BIST	B	C→~ (〈ビット番号〉 of 〈EAd〉) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

2. CPU

表 2.7 分岐命令

命令	サイズ	機能																																																			
Bcc*	－	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>$C \vee Z = 0$</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>$C \vee Z = 1$</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>$C = 0$</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (LOW)</td> <td>$C = 1$</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>$Z = 0$</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>$Z = 1$</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>$V = 0$</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>$V = 1$</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>$N = 0$</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>$N = 1$</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V = 0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V = 1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>$Z \vee (N \oplus V) = 0$</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>$Z \vee (N \oplus V) = 1$</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	$C \vee Z = 0$	BLS	Low or Same	$C \vee Z = 1$	BCC (BHS)	Carry Clear (High or Same)	$C = 0$	BCS (BLO)	Carry Set (LOW)	$C = 1$	BNE	Not Equal	$Z = 0$	BEQ	Equal	$Z = 1$	BVC	oVerflow Clear	$V = 0$	BVS	oVerflow Set	$V = 1$	BPL	PLus	$N = 0$	BMI	MInus	$N = 1$	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z \vee (N \oplus V) = 0$	BLE	Less or Equal	$Z \vee (N \oplus V) = 1$
ニーモニック	説明	分岐条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	$C \vee Z = 0$																																																			
BLS	Low or Same	$C \vee Z = 1$																																																			
BCC (BHS)	Carry Clear (High or Same)	$C = 0$																																																			
BCS (BLO)	Carry Set (LOW)	$C = 1$																																																			
BNE	Not Equal	$Z = 0$																																																			
BEQ	Equal	$Z = 1$																																																			
BVC	oVerflow Clear	$V = 0$																																																			
BVS	oVerflow Set	$V = 1$																																																			
BPL	PLus	$N = 0$																																																			
BMI	MInus	$N = 1$																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$Z \vee (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V) = 1$																																																			
JMP	－	指定されたアドレスへ無条件に分岐します。																																																			
BSR	－	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	－	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	－	サブルーチンから復帰します。																																																			

【注】 * Bcc 命令は条件分岐命令の総称です。

表 2.8 システム制御命令

命令	サイズ*	機能
TRAPA	—	命令トラップ例外処理を行います。
RTE	—	例外処理ルーチンから復帰します。
SLEEP	—	低消費電力状態に遷移します。
LDC	B/W	(EAs) →CCR ソースオペランドを CCR に転送します。CCR はバイトサイズですが、メモリからの転送のときデータのリードはワードサイズで行われます。
STC	B/W	CCR → (EAd) CCR の内容をデスティネーションのロケーションに転送します。CCR はバイトサイズですが、メモリへの転送のときデータのライトはワードサイズで行われます。
ANDC	B	CCR ∧ #IMM → CCR CCR とイミディエイトデータの論理積をとります。
ORC	B	CCR ∨ #IMM → CCR CCR とイミディエイトデータの論理和をとります。
XORC	B	CCR ⊕ #IMM → CCR CCR とイミディエイトデータの排他的論理和をとります。
NOP	—	PC + 2 → PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.9 ブロック転送命令

命令	サイズ	機能
EEPMOV.B	—	if R4L ≠ 0 then Repeat @ER5+ → @ER6+, R4L-1 → R4L Until R4L = 0 else next;
EEPMOV.W	—	if R4 ≠ 0 then Repeat @ER5+ → @ER6+, R4-1 → R4 Until R4 = 0 else next; ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2. CPU

2.4.2 命令の基本フォーマット

H8/300H CPU の命令は2 バイト（ワード）を単位としています。各命令はオペレーションフィールド（OP）、レジスタフィールド（r）、EA 拡張部（EA）およびコンディションフィールド（cc）から構成されています。図 2.7 に命令フォーマットの例を示します。

(1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

(2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合やレジスタフィールドを持たない場合もあります。

(3) EA 拡張部

イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8ビット、16ビット、32ビットです。24ビットアドレスおよびディスプレースメントは上位8ビットをすべて0（H'00）とした32ビットデータとして扱われます。

(4) コンディションフィールド

条件分岐命令の分岐条件を指定します。

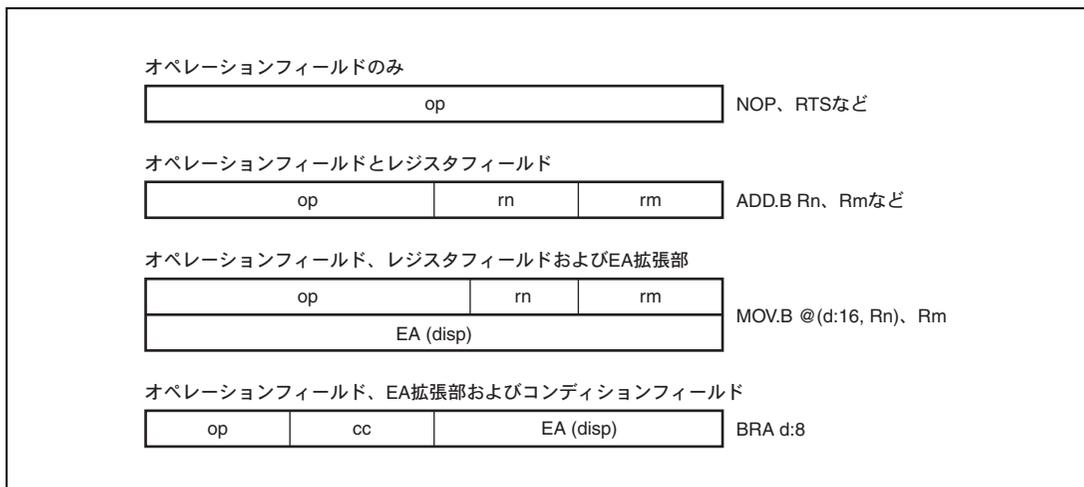


図 2.7 命令フォーマット

2.5 アドレッシングモードと実効アドレス

以下の説明は H8/300H CPU に関するものです。H8/36912 グループ、H8/36902 グループでは生成される 24 ビットのアドレスのうちの上位 8 ビットは無視され、実効アドレスは 16 ビットとなります。

2.5.1 アドレッシングモード

H8/300H CPU は、表 2.10 の 8 種類のアドレッシングモードをサポートしています。命令ごとに使用できるアドレッシングモードが異なります。詳細は「付録 A.4 命令とアドレッシングモードの組み合わせ」を参照してください。

演算命令ではレジスタ直接、およびイミディエイトを使用できます。転送命令ではプログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードを使用できます。ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレス (@aa:8) を使用できます。さらに、オペランド中のビット番号の指定にレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) を使用できます。

表 2.10 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレースメント付きレジスタ間接	@ (d:16, ERn) / @ (d:24, ERn)
4	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
5	絶対アドレス	@aa:8 / @aa:16 / @aa:24
6	イミディエイト	#xx:8 / #xx:16 / #xx:32
7	プログラムカウンタ相対	@ (d:8, PC) / @ (d:16, PC)
8	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8ビット、16ビットまたは32ビット) がオペランドとなります。

8ビットレジスタとしてはR0H～R7H、R0L～R7Lを指定可能です。

16ビットレジスタとしてはR0～R7、E0～E7を指定可能です。

32ビットレジスタとしてはER0～ER7を指定可能です。

(2) レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。

2. CPU

(3) ディスプレースメント付きレジスタ間接 @ (d:16, ERn) / @ (d:24, ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる16ビットディスプレースメントまたは24ビットディスプレースメントを加算した内容の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。加算に際して、16ビットディスプレースメントは符号拡張されます。

(4) ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @-ERn

• ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。

その後、アドレスレジスタの内容 (32ビット) に1、2または4が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ加算されます。ワードサイズ、ロングワードサイズのときはレジスタの内容が偶数となるようにしてください。

• プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から1、2または4を減算した内容の下位24ビットをアドレスとして、メモリ上のオペランドを指定します。

その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ減算されます。ワードサイズ、ロングワードサイズのときはアドレスレジスタの内容が偶数となるようにしてください。

(5) 絶対アドレス @aa:8 / @aa:16 / @aa:24

命令コード中に含まれる絶対アドレスでメモリ上のオペランドを指定します。

絶対アドレスは8ビット (@aa:8)、16ビット (@aa:16)、または24ビット (@aa:24) です。

8ビット絶対アドレスの場合、上位16ビットはすべて1 (H'FFFF) となります。

16ビット絶対アドレスの場合、上位8ビットは符号拡張されます。

24ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

H8/36912グループ、H8/36902グループの場合、上位8ビットは無視されるため、絶対アドレスのアクセス範囲は表2.11のようになります。

表 2.11 絶対アドレスのアクセス範囲

絶対アドレス	アクセス範囲
8 ビット (@aa:8)	H'FF00~H'FFFF
16 ビット (@aa:16)	H'0000~H'FFFF
24 ビット (@aa:24)	H'0000~H'FFFF

(6) イミディエイト #xx:8/#xx:16/#xx:32

命令コードの中に含まれる8ビット (#xx:8)、16ビット (#xx:16)、または32ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC命令ではイミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが命令コード中に含まれる場合があります。また、TRAPA命令ではベクタアドレスを指定するための2ビットのイミディエイトデータが命令コード中に含まれます。

(7) プログラムカウンタ相対 @ (d:8, PC) /@ (d:16, PC)

条件分岐命令、BSR命令で使用されます。

PCの内容で指定される24ビットのアドレスに命令コード中に含まれる8ビット、または16ビットディスプレイメントを加算して、24ビットの分岐アドレスを生成します。加算に際して、ディスプレイメントは24ビットに符号拡張されます。また加算されるPCの内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して-126～+128バイト (-63～+64ワード) または-32766～+32768バイト (-16383～+16384ワード) です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @@aa:8

JMP、JSR命令で使用されます。命令コードの中に含まれる8ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。メモリ上のオペランドはロングワードサイズで指定します。このうち先頭1バイトは無視され、24ビット長の分岐アドレスを生成します。図2.8にメモリ間接による分岐アドレスの指定方法を示します。

絶対アドレスの上位ビットはすべて0となります。このため分岐アドレスを格納できるのは0～255 (H'0000～H'00FF) 番地です。ただし、このうちの先頭領域は例外処理ベクタ領域と共通になっているので注意してください。

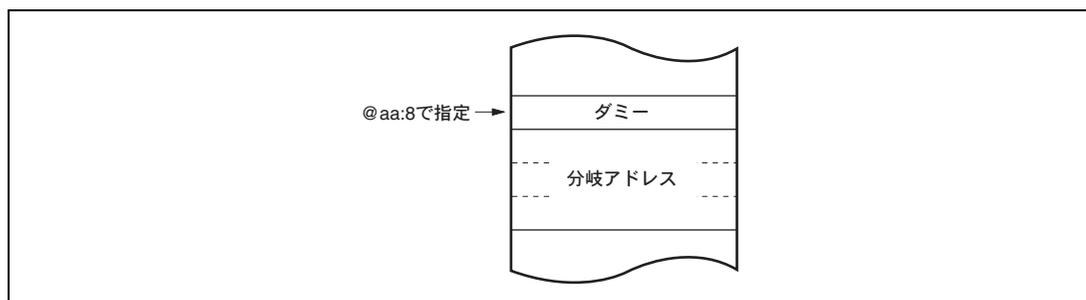


図 2.8 メモリ間接による分岐アドレスの指定

2.5.2 実効アドレスの計算方法

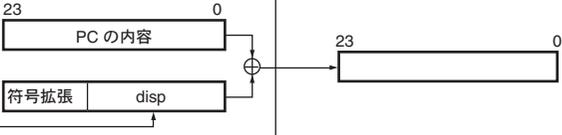
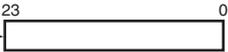
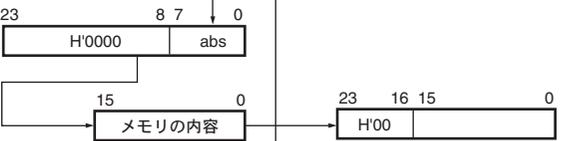
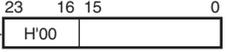
各アドレッシングモードにおける実効アドレス (EA: Effective Address) の計算方法を表 2.12 に示します。H8/36912 グループ、H8/36902 グループでは計算結果の上位 8 ビットは無視され、16 ビットの実効アドレスを生成します。

2. CPU

表 2.12 実効アドレスの計算方法 (1)

NO.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(1)	レジスタ直接 (Rn) 		オペランドは、 汎用レジスタの内容です。
(2)	レジスタ間接 (@ERn) 		
(3)	ディスプレイメント付きレジスタ間接 @ (d : 16, ERn) / @ (d : 24, ERn) 		
(4)	ポストインクリメントレジスタ間接/ プリデクリメントレジスタ間接 ・ポストインクリメント レジスタ間接 @ERn+ ・プリデクリメント レジスタ間接 @-ERn 		
(5)	絶対アドレス @ aa : 8 @ aa : 16 @ aa : 24 		

表 2.12 実効アドレスの計算方法 (2)

NO.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(6)	イミディエイト #xx : 8/#xx : 16/#xx : 32 		オペランドは、 イミディエイトデータです。
(7)	プログラムカウンタ相対 @(d : 8, PC) / @(d : 16, PC) 		
(8)	メモリ間接 @@ aa : 8 		

【記号説明】

r, rm, m : レジスタフィールド
op : オペレーションフィールド
disp : ディスプレースメント
IMM : イミディエイトデータ
abs : 絶対アドレス

2.6 基本バスサイクル

CPUは、システムクロック（ ϕ ）を基準に動作します。 ϕ の立ち上がりから次の立ち上がりまでを1ステートと呼びます。バスサイクルは2ステートまたは3ステートで構成され、内蔵メモリ、内蔵周辺モジュールによって異なるアクセスを行います。

2.6.1 内蔵メモリ（RAM、ROM）

内蔵メモリのアクセスは2ステートで行われます。データバス幅は16ビットで、バイトおよびワードアクセスが可能です。内蔵メモリアクセスサイクルを図2.9に示します。

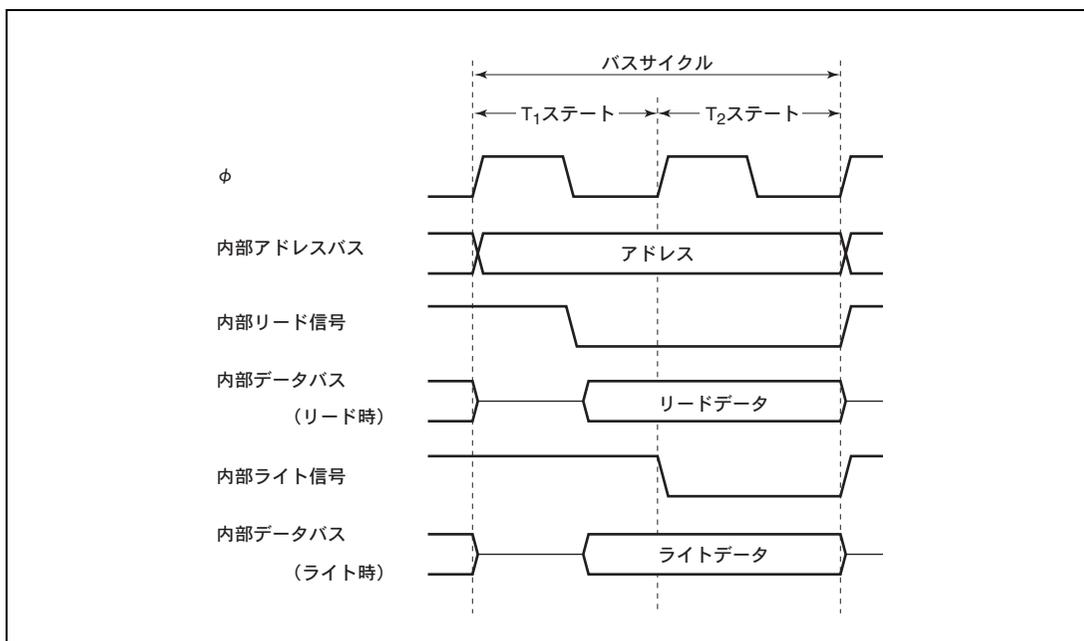


図 2.9 内蔵メモリアクセスサイクル

2.6.2 内蔵周辺モジュール

内蔵周辺モジュールのアクセスは、2 ステートまたは3 ステートで行われます。データバス幅は8 ビットまたは16 ビットで、レジスタにより異なります。各レジスタのデータバス幅とアクセスステート数は「19.1 レジスタアドレス一覧（アドレス順）」を参照してください。データバス幅が16 ビットのレジスタはワードアクセスのみ可能です。データバス幅が8 ビットのレジスタはバイトおよびワードアクセスが可能です。データバス幅が8 ビットのレジスタをワードアクセスするとバスサイクルが2回発生します。2 ステートアクセスの場合の動作タイミングは内蔵メモリと同一です。3 ステートアクセスの場合の動作タイミングを図 2.10 に示します。

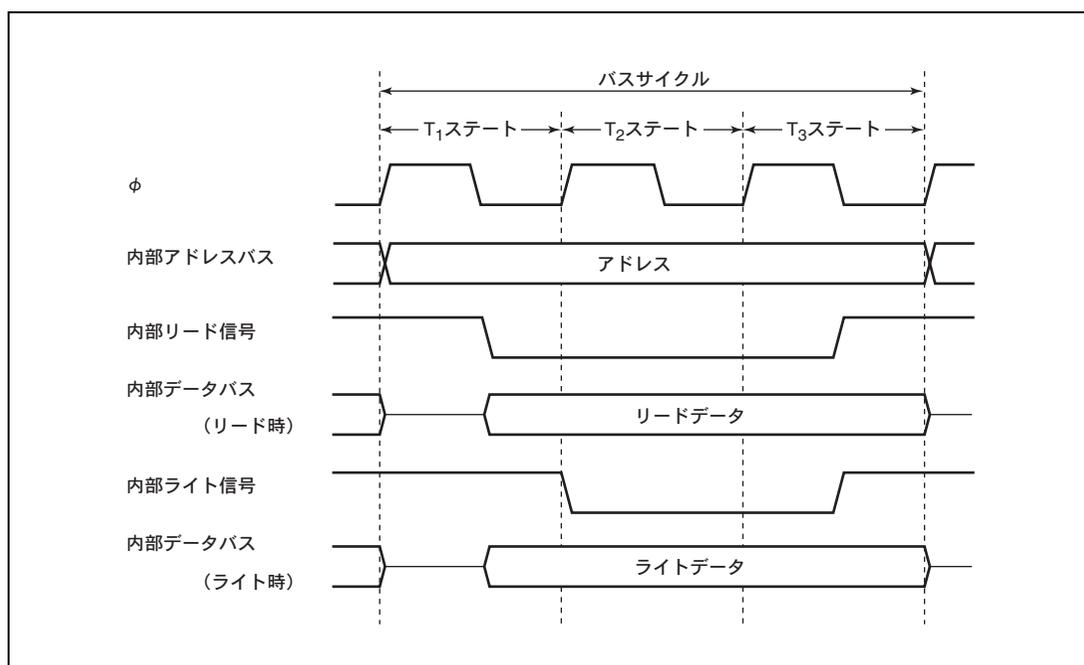


図 2.10 内蔵周辺モジュールアクセスサイクル (3 ステートアクセスの場合)

2.7 CPUの状態

CPUの状態は、リセット状態、プログラム実行状態、プログラム停止状態、例外処理状態の4種類あります。プログラム実行状態には、アクティブモードがあり、プログラム停止状態には、スリープモード、スタンバイモードがあります。各状態の分類を図2.11に、各状態間の遷移条件を図2.12に示します。プログラム実行状態およびプログラム停止状態の詳細は「第6章 低消費電力モード」を参照してください。例外処理の詳細は「第3章 例外処理」を参照してください。

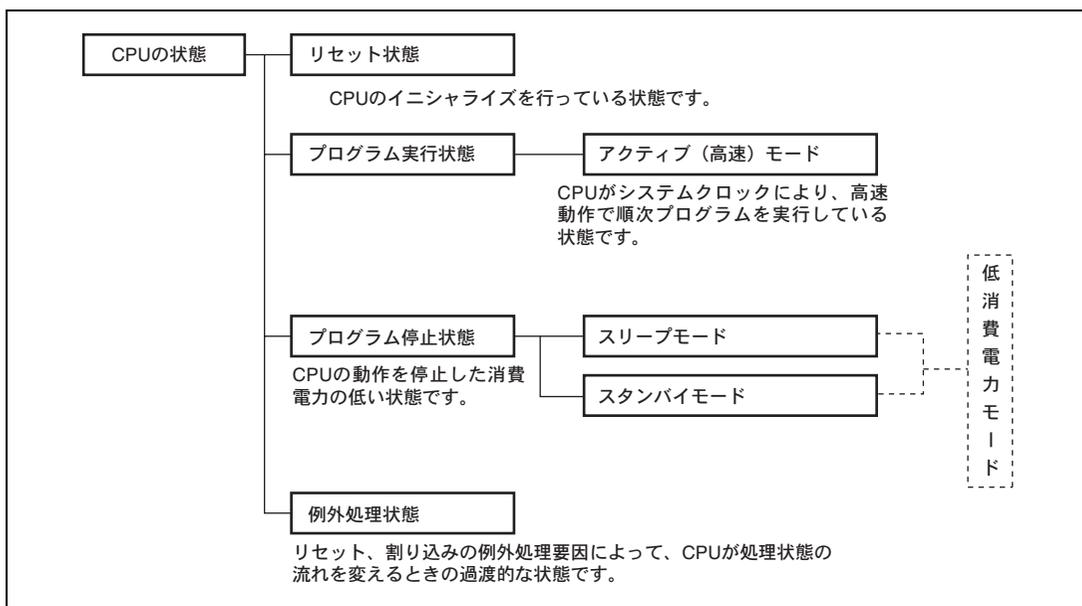


図 2.11 CPUの状態の分類

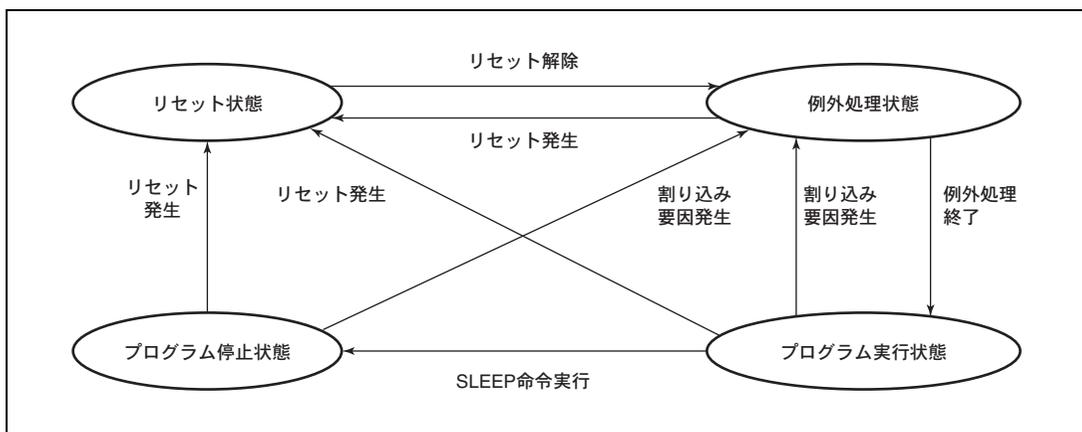


図 2.12 状態遷移図

2.8 使用上の注意事項

2.8.1 空きエリアへのデータアクセス

本 LSI のアドレス空間にはユーザに開放された ROM、RAM、内蔵 I/O レジスタの領域以外に空きエリアがあります。CPU から空きエリアへデータを転送すると転送データは失われます。また、CPU の誤動作の原因となる可能性があります。空きエリアから CPU への転送データの内容は保証されません。

2.8.2 EEPROMOV 命令

EEPMOV 命令はブロック転送命令で、R5 で示されるアドレスから始まる R4L で示されるバイト数のデータを、R6 で示されるアドレスへ転送します。転送先の最終アドレス (R6+R4L の値) が H'FFFF を超えないように (実行途中で R6 の値が H'FFFF→H'0000 とならないように)、R4L、R6 を設定してください。

2.8.3 ビット操作命令

BSET、BCLR、BNOT、BST、BIST 命令は、指定されたアドレスのデータをバイト単位でリードし、対象となる 1 ビットを操作したあと、同一アドレスにバイト単位でライトします。したがって、同一アドレスに 2 つのレジスタが割り付けられている場合や、ライト専用ビットを含むレジスタ、またはポートに対して直接ビット操作命令を使用すると、ビット操作対象以外のビットのデータが書き変わる可能性がありますので注意してください。

(1) 同一アドレスに割り付けられた 2 つのレジスタのビット操作

例1：タイマロードレジスタとタイマカウンタへのビット操作

(タイマ B 1 に適用、H8/36902 グループは該当しません。)

図 2.13 に同一アドレスに割り付けられた 2 つのレジスタを持つタイマの構成例を示します。リロードタイマのタイマロードレジスタとタイマカウンタにビット操作命令を実行すると、タイマロードレジスタとタイマカウンタはアドレスを共有しているため次のように動作します。

1. タイマカウンタのデータをバイト単位でリードします。
2. CPU はビット操作命令で対象となる 1 ビットをセットまたはリセットします。
3. ライトしたデータをバイト単位でタイマロードレジスタにライトします。

タイマカウンタはカウントを続けているので、リードしたデータがタイマロードレジスタのデータとは必ずしも等しくありません。そのためタイマカウンタの操作の対象となったビット以外のデータが書き変わって、タイマロードレジスタへライトされます。

2. CPU

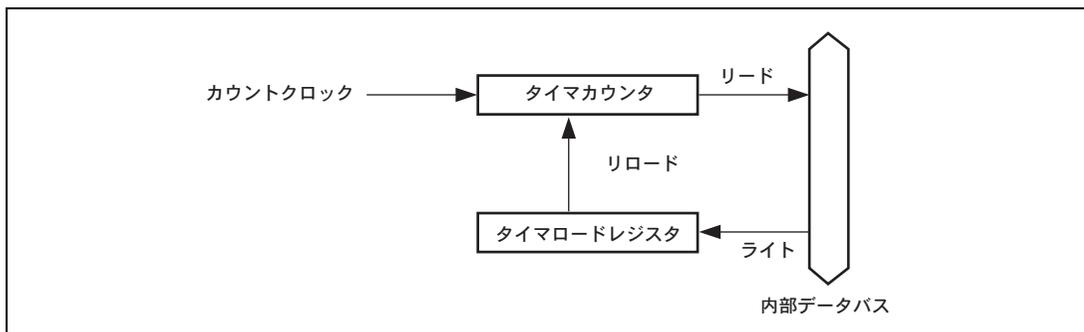


図 2.13 同一アドレスに割り付けられた2つのレジスタを持つタイマの構成例

例2：ポート5にBSET命令を実行した場合

P57、P56 は入力端子でそれぞれ Low レベル、High レベル入力状態とし、P55～P50 は出力端子でそれぞれ Low レベル出力状態とします。以下に、BSET 命令で P50 に High レベル出力を行う例を示します。

【BSET命令実行前】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

【BSET命令実行】

BSET #0, @PDR5

ポート 5 に対して BSET 命令を実行します。

【BSET命令実行後】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	0	1	0	0	0	0	0	1

【動作説明】

1. BSET命令を実行すると、CPUはポート5をリードします。P57、P56は入力端子で、CPUは端子の状態（Low レベル、Highレベル入力）をリードします。P55～P50は出力端子で、CPUはPDR5の値をリードします。したがって、例ではPDR5はH'80ですが、CPUがリードしたデータはH'40となります。
2. CPUはリードしたデータのビット0を1にセットして、データをH'41に変更します。

3. H'41をPDR5に書き込んで、BSET命令を終了します。

その結果、PDR5のビット0が1になり、P50はHighレベル出力になります。しかし、PDR5のビット7、6が変化してしまいます。そのため、PDR5と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行ったあと、このデータをPDR5にライトしてください。

【BSET命令実行前】

```
MOV.B #80, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @PDR5
```

PDR5に書き込む値（H'80）をあらかじめメモリ上のワークエリア（RAM0）とPDR5にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0
RAM0	1	0	0	0	0	0	0	0

【BSET命令実行】

```
BSET #0, @RAM0
```

PDR5のワークエリア（RAM0）に対してBSET命令を実行します。

【BSET命令実行後】

```
MOV.B @RAM0, R0L
MOV.B R0L, @PDR5
```

ワークエリア（RAM0）の値をPDR5にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	1
RAM0	1	0	0	0	0	0	0	1

2. CPU

(2) ライト専用ビットを含むレジスタのビット操作

例3：ポート5のPCR5にBCLR命令を実行した場合

P57、P56 は入力端子でそれぞれ Low レベル、High レベル入力状態とし、P55～P50 は出力端子でそれぞれ Low レベル出力状態とします。以下に、BCLR 命令で P50 を入力端子に設定する例を示します。入力端子に設定された P50 は High レベル入力状態とします。

【BCLR命令実行前】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

【BCLR命令実行】

BCLR #0 , @PCR5

PCR5 に対して BCLR 命令を実行します。

【BCLR命令実行後】

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	出力	出力	出力	出力	出力	出力	出力	入力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	1	1	1	1	1	1	1	0
PDR5	1	0	0	0	0	0	0	0

【動作説明】

1. BCLR命令を実行すると、CPUはPCR5をリードします。PCR5はライト専用レジスタで、CPUはH'FFをリードします。したがって、例ではPCR5はH'3Fですが、CPUがリードしたデータはH'FFとなります。
2. CPUはリードしたデータのビット0を0にクリアして、データをH'FEに変更します。
3. H'FEをPCR5に書き込んで、BCLR命令を終了します。

その結果、PCR5 のビット 0 が 0 になり、P50 は入力端子になります。しかし、PCR5 のビット 7、6 が 1 になり、P57、P56 は出力端子に変化してしまいます。そのため、PCR5 と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行ったあと、このデータを PCR5 にライトしてください。

【BCLR命令実行前】

```
MOV.B #3F, R0L
MOV.B R0L, @RAM0
MOV.B R0L, @PCR5
```

PCR5 に書き込む値 (H'3F) をあらかじめメモリ上のワークエリア (RAM0) と PCR5 にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR5	0	0	1	1	1	1	1	1
PDR5	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	1
------	---	---	---	---	---	---	---	---

【BCLR命令実行】

```
BCLR #0, @RAM0
```

PCR5 のワークエリア (RAM0) に対して BCLR 命令を実行します。

【BCLR命令実行後】

```
MOV.B @RAM0,R0L
MOV.B R0L, @PCR5
```

ワークエリア (RAM0) の値を PCR5 にライトします。

	P57	P56	P55	P54	P53	P52	P51	P50
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR5	0	0	1	1	1	1	1	0
PDR5	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	0
------	---	---	---	---	---	---	---	---

3. 例外処理

例外処理にはリセット、トラップ命令、割り込みによるものがあります。

- リセット

リセットは最も優先度の高い例外処理です。 $\overline{\text{RES}}$ 端子によってリセットが解除されると例外処理を開始します。ウォッチドッグタイマのオーバフローによってもリセットされ、例外処理を開始します。例外処理は $\overline{\text{RES}}$ 端子による例外処理と同一です。

- トラップ命令による例外処理

TRAP命令の実行により開始されます。TRAP命令は命令コード中で指定した0~3のベクタ番号により異なるベクタアドレスを生成します。トラップ命令による例外処理はCCRの1ビットにかかわらずプログラム実行状態で常に受け付けられます。

- 割り込み例外処理

NMIを除く外部割り込み要求とアドレスブレークを除く内部割り込み要求はCCRの1ビットによりマスクされ、1ビットが1の間保留されます。割り込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。

3.1 例外処理要因とベクタアドレス

各例外処理要因のベクタアドレスと優先度は表 3.1 のとおりです。複数の割り込み要求が発生したときは優先度の高い方から処理されます。

3. 例外処理

表 3.1 例外処理要因とベクタアドレス

発生元	例外処理要因	ベクタ番号	ベクタアドレス	優先度	
RES 端子 ウォッチドッグタイマ	リセット	0	H'0000~H'0001		
—	システム予約	1~6	H'0002~H'000D		
外部割り込み端子	NMI	7	H'000E~H'000F		
CPU	トラップ命令 #0	8	H'0010~H'0011		
	トラップ命令 #1	9	H'0012~H'0013		
	トラップ命令 #2	10	H'0014~H'0015		
	トラップ命令 #3	11	H'0016~H'0017		
アドレスブレーク	ブレーク条件成立	12	H'0018~H'0019		
CPU	スリープ命令の実行による直接遷移	13	H'001A~H'001B		
外部割り込み端子	IRQ0、低電圧検出割り込み	14	H'001C~H'001D		
—	システム予約	15、16	H'001E~H'0021		
外部割り込み端子	IRQ3	17	H'0022~H'0023		
	WKP	18	H'0024~H'0025		
—	システム予約	19、20	H'0026~H'0029		
タイマ W	インプットキャプチャ A/コンペアマッチ A インプットキャプチャ B/コンペアマッチ B インプットキャプチャ C/コンペアマッチ C インプットキャプチャ D/コンペアマッチ D オーバフロー	21	H'002A~H'002B		
タイマ V	コンペアマッチ A コンペアマッチ B オーバフロー	22	H'002C~H'002D		
SCI3	受信データフル 送信データエンプティ 送信終了 受信エラー	23	H'002E~H'002F		
IIC2*	送信データエンプティ 送信終了 受信エラー	24	H'0030~H'0031		
A/D 変換器	A/D 変換終了	25	H'0032~H'0033		
—	システム予約	26~28	H'0034~H'0039		
タイマ B1*	オーバフロー	29	H'003A~H'003B		
—	システム予約	30~33	H'003C~H'0043		
クロック切り替え	クロック切り替え (外部クロック→オンチップ オシレータクロック)	34	H'0044~H'0045		低

【注】 * H8/36912 グループのみです。

3.2 レジスタの説明

割り込みを制御するには以下のレジスタがあります。

- 割り込みエッジセレクトレジスタ1 (IEGR1)
- 割り込みエッジセレクトレジスタ2 (IEGR2)
- 割り込みイネーブルレジスタ1 (IENR1)
- 割り込みイネーブルレジスタ2 (IENR2)
- 割り込みフラグレジスタ1 (IRR1)
- 割り込みフラグレジスタ2 (IRR2)
- ウェイクアップ割り込みフラグレジスタ (IWPR)

3.2.1 割り込みエッジセレクトレジスタ 1 (IEGR1)

IEGR1 は $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ0}}$ 端子の割り込み要求を発生させるエッジの方向を選択します。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット 読み出すと常に 0 が読み出されます。
6~4	—	すべて 1	—	リザーブビット 読み出すと常に 1 が読み出されます。
3	IEG3	0	R/W	IRQ3 エッジセレクト 0 : $\overline{\text{IRQ3}}$ 端子入力の立ち下がりエッジを検出 1 : $\overline{\text{IRQ3}}$ 端子入力の立ち上がりエッジを検出
2	—	0	—	リザーブビット
1	—	0	—	読み出すと常に 0 が読み出されます。
0	IEG0	0	R/W	IRQ0 エッジセレクト 0 : $\overline{\text{IRQ0}}$ 端子入力の立ち下がりエッジを検出 1 : $\overline{\text{IRQ0}}$ 端子入力の立ち上がりエッジを検出

3.2.2 割り込みエッジセレクトレジスタ 2 (IEGR2)

IEGR2 は $\overline{\text{ADTRG}}$ 端子、 $\overline{\text{WKP5}}$ 端子の割り込み要求を発生させるエッジの方向を選択します。

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブビット
6	—	1	—	読み出すと常に 1 が読み出されます。
5	WPEG5	0	R/W	WKP5 エッジセレクト 0 : WKP5 端子 ($\overline{\text{ADTRG}}$ 端子) 入力の立ち下がりエッジを検出 1 : WKP5 端子 ($\overline{\text{ADTRG}}$ 端子) 入力の立ち上がりエッジを検出
4~0	—	すべて 0	—	リザーブビット 読み出すと常に 0 が読み出されます。

3. 例外処理

3.2.3 割り込みイネーブルレジスタ 1 (IENR1)

IENR1 は直接遷移割り込み、および外部端子割り込みをイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	IENDT	0	R/W	直接遷移割り込み要求イネーブル このビットを 1 にセットすると直接遷移割り込み要求がイネーブルになります。
6	—	0	—	リザーブビット 読み出すと常に 0 が読み出されます。
5	IENWP	0	R/W	ウェイクアップ割り込み要求イネーブル このビットは WKP5 端子のイネーブルビットで、1 にセットすると割り込み要求がイネーブルになります。
4	—	1	—	リザーブビットです。読み出すと常に 1 が読み出されます。
3	IEN3	0	R/W	IRQ3 割り込み要求イネーブル このビットを 1 にセットすると IRQ3 端子の割り込み要求がイネーブルになります。
2	—	0	—	リザーブビット
1	—	0	—	読み出すと常に 0 が読み出されます。
0	IEN0	0	R/W	IRQ0 割り込み要求イネーブル このビットを 1 にセットすると IRQ0 端子の割り込み要求がイネーブルになります。

3.2.4 割り込みイネーブルレジスタ 2 (IENR2)

IENR2 はタイマ B1 割り込みをイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット 読み出すと常に 0 が読み出されます。
6	—	0	R/W	リザーブビット リード/ライト可能ですが、1 に設定しないでください。
5	IENB1	0	R/W	タイマ B1 割り込みイネーブル このビットを 1 にセットするとタイマ B1 のオーバーフロー割り込み要求がイネーブルになります。
4~0	—	すべて 1	—	リザーブビット 読み出すと常に 1 が読み出されます。

割り込みイネーブルレジスタをクリアすることにより割り込み要求をディスエーブルにする場合、または割り込みフラグレジスタをクリアする場合は、割り込み要求をマスクした状態 (I=1) で行ってください。I=0 の状態で上記の操作を行うと、命令の実行と当該割り込み要求の発生が競合した場合には、当該操作命令の実行終了時に発生した割り込み要求に対応する例外処理を実行します。

3.2.5 割り込みフラグレジスタ 1 (IRR1)

IRR1 は直接遷移割り込み、IRQ3、IRQ0 割り込み要求ステータスフラグレジスタです。

ビット	ビット名	初期値	R/W	説明
7	IRRDT	0	R/W	直接遷移割り込み要求フラグ [セット条件] SYSCR2 の DTON に 1 をセットした状態でスリープ命令を実行し直接遷移したとき [クリア条件] 0 をライトしたとき
6	—	0	—	リザーブビット 読み出すと常に 0 が読み出されます。
5	—	1	—	リザーブビット
4	—	1	—	読み出すと常に 1 が読み出されます。
3	IRRI3	0	R/W	IRQ3 割り込み要求フラグ [セット条件] IRQ3 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき
2	—	0	—	リザーブビット
1	—	0	—	読み出すと常に 0 が読み出されます。
0	IRRI0	0	R/W	IRQ0 割り込み要求フラグ [セット条件] IRQ0 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき

3.2.6 割り込みフラグレジスタ 2 (IRR2)

IRR2 はタイマ B1 割り込み要求ステータスフラグレジスタです。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット 読み出すと常に 0 が読み出されます。
6	—	—	—	リザーブビット
5	IRRTB1	0	R/W	タイマ B1 割り込み要求フラグ [セット条件] タイマ B1 がオーバーフローしたとき [クリア条件] 0 をライトしたとき
4~0	—	すべて 1	—	リザーブビット 読み出すと常に 1 が読み出されます。

3. 例外処理

3.2.7 ウェイクアップ割り込みフラグレジスタ (IWPR)

IWPR は $\overline{WKP5}$ 端子の割り込み要求ステータスフラグレジスタです。

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブビット
6	—	1	—	読み出すと常に 1 が読み出されます。
5	IWPF5	0	R/W	WKP5 割り込み要求フラグ [セット条件] $\overline{WKP5}$ 端子が割り込み入力に設定され、指定されたエッジを検出したとき [クリア条件] 0 をライトしたとき
4~0	—	すべて 0	—	リザーブビット 読み出すと常に 0 が読み出されます。

3.3 リセット例外処理

\overline{RES} 端子が Low レベルになると実行中の処理はすべて打ち切れ、LSI はリセット状態になります。リセットによって CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。電源投入時は本 LSI を確実にリセットするため、規定の時間 \overline{RES} 端子を Low レベルに保持してください。動作中にリセットする場合は規定の時間 \overline{RES} 端子を Low レベルに保持してください。詳細は、「第 17 章 バンドギャップ回路、パワーオンリセット & 低電圧検出回路」を参照してください。 \overline{RES} 端子が一定期間 Low レベルの後 High レベルになると一定時間リセット状態を保持してからリセット例外処理を開始します。リセット例外処理シーケンスを図 3.1 に示します。リセット例外処理のシーケンスは以下のとおりです。

1. コンディションコードレジスタ (CCR) の I ビットをセットします。
2. CPU はリセット例外処理ベクタアドレス (H'0000~H'0001) を生成し、そのアドレスのデータをスタートアドレスとしてプログラムカウンタ (PC) に転送してプログラムの実行を開始します。

3.4 割り込み例外処理

3.4.1 外部割り込み要求

外部割り込み要求には、NMI、IRQ3、IRQ0、WKP5 割り込み要求があります。

(1) NMI 割り込み

NMI 割り込み要求は \overline{NMI} 端子の立ち下がり入力エッジにより発生します。NMI 割り込み要求は最優先の割り込み要求で、CCR の I ビットの値にかかわらず常に受け付けられます。

(2) IRQ3、IRQ0 割り込み要求

IRQ3、IRQ0割り込み要求は $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ0}}$ 端子の入力エッジにより発生します。これらの割り込み要求には異なる割り込みベクタが割り当てられています。検出するエッジの方向はIEGR1のIEG3、IEG0によって各端子独立に選択できます。 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ0}}$ 端子がPMR1によって割り込み要求入力に設定された状態で指定されたエッジを検出すると、IRR1の対応するビットが1にセットされCPUに対して割り込みを要求します。これらの割り込み要求はIENR1のIEN3、IEN0により禁止できます。

(3) WKP 割り込み要求

WKP割り込み要求は $\overline{\text{WKP5}}$ 端子の入力エッジにより発生します。検出するエッジの方向はIEGR2のWPEG5によって選択できます。 $\overline{\text{WKP5}}$ 端子がPMR5によって割り込み要求入力に設定された状態で指定されたエッジを検出するとIWPRの対応するビットが1にセットされCPUに対して割り込みを要求します。これらの割り込み要求はIENR1のIENWPにより禁止できます。

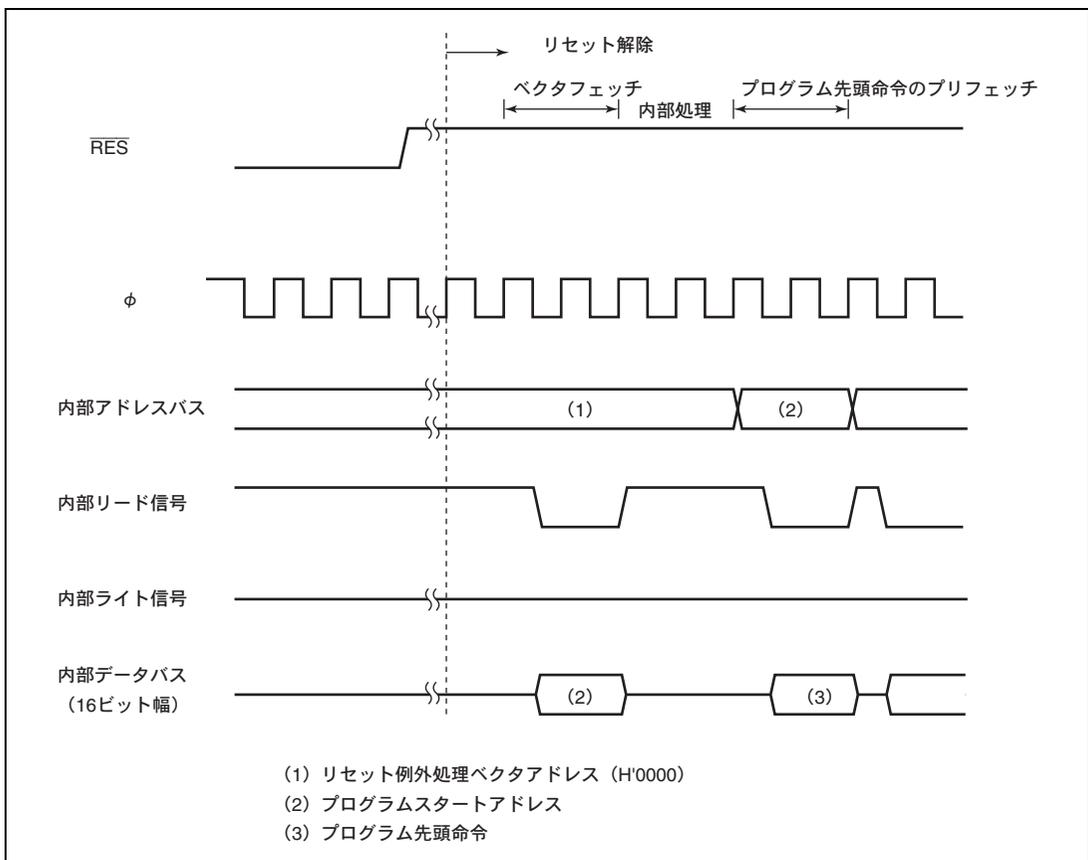


図 3.1 リセット例外処理シーケンス

3. 例外処理

3.4.2 内部割り込み要求

各内蔵周辺モジュールには割り込み要求ステータスフラグとこれらの割り込みイネーブルビットがあります。SLEEP 命令実行によって発生する直接遷移割り込みについてはこの機能は IRR1、IENR1 に含まれています。内蔵周辺モジュールからの割り込み要求が発生すると対応する割り込み要求ステータスフラグが 1 にセットされ CPU に対して割り込みを要求します。これらの割り込み要求は対応するイネーブルビットを 0 にクリアすることにより禁止できます。

3.4.3 割り込み処理シーケンス

割り込み要求は割り込みコントローラによって制御されます。割り込み動作は以下のとおりです。

1. NMIあるいは割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込みコントローラに対して割り込み要求信号が送られます。
2. 複数の割り込み要求が発生している場合、割り込みコントローラはCPUに対して表3.1にしたがってその時点で最も優先度の高い割り込み処理を要求します。その他は保留となります。
3. CPUは割り込み要求がNMIまたはアドレスブレークであればIビットにかかわらず受け付けます。それ以外の割り込み要求はCCRのIビットがクリアされていれば受け付けますが、Iビットがセットされている間は保留します。
4. CPUが割り込み要求を受け付けると、実行中の命令を実行したあと、割り込み例外処理を開始します。まず、PCとCCRの値をスタック領域にスタックします。このときのスタックの状態を図3.2に示します。スタックされるPCの値はリターン後に実行する最初の命令のアドレスです。
5. 次にCCRのIビットを1にセットします。これにより、NMIとアドレスブレークを除く割り込み要求がマスクされます。なお、Iビットの値はリターン時のアンスタックによりCCRの他のビットと共に例外処理開始前の値に戻ります。
6. この後CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、そのアドレスのデータを割り込み処理ルーチンのスタートアドレスとしてPCに転送して割り込み処理を開始します。

プログラム領域を内蔵 ROM に、スタック領域を内蔵 RAM にとった場合の割り込み要求シーケンスを図 3.3 に示します。

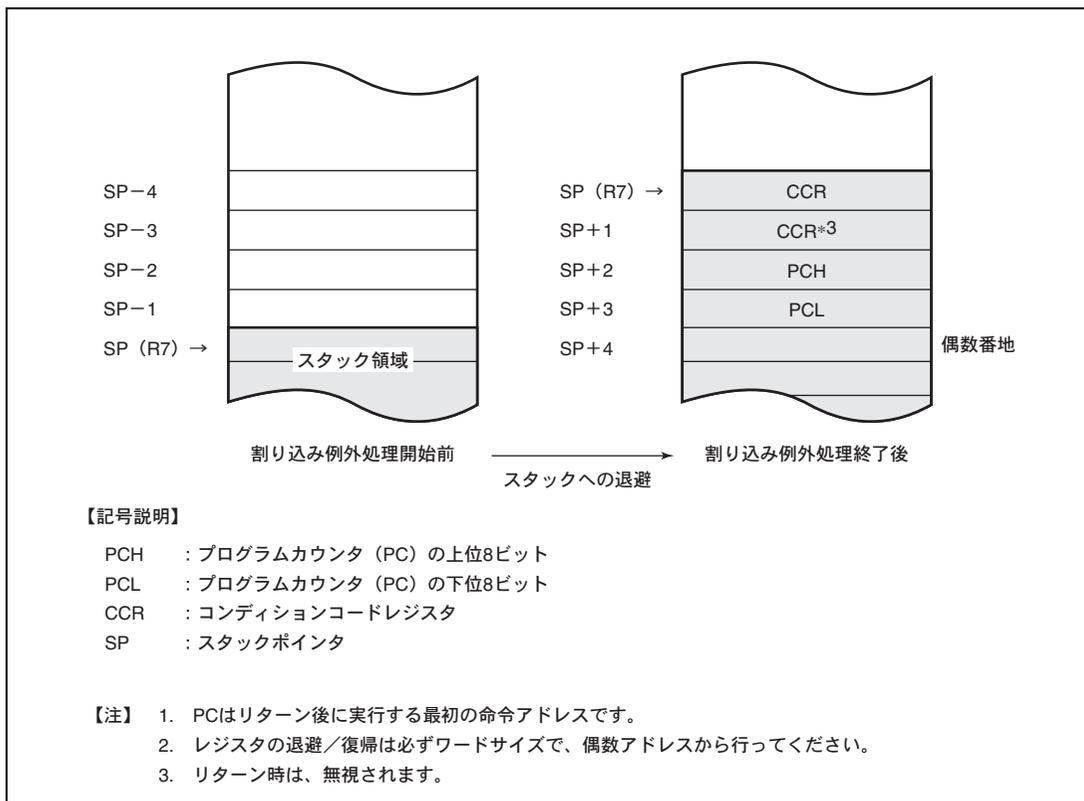


図 3.2 割り込み例外処理終了後のスタック状態

3.4.4 割り込み応答時間

割り込み要求フラグがセットされたあと、割り込み要求処理ルーチンの先頭命令を実行するまでの待ちステート数を表 3.2 に示します。

表 3.2 割り込み要求待ちステート数

項目	ステート数	合計
実行中の命令終了時の待ち時間*	1~23	15~37
PC、CCR のスタック	4	
ベクタフェッチ	2	
命令フェッチ	4	
内部処理	4	

【注】 * EEPMOV 命令は除きます。

3. 例外処理

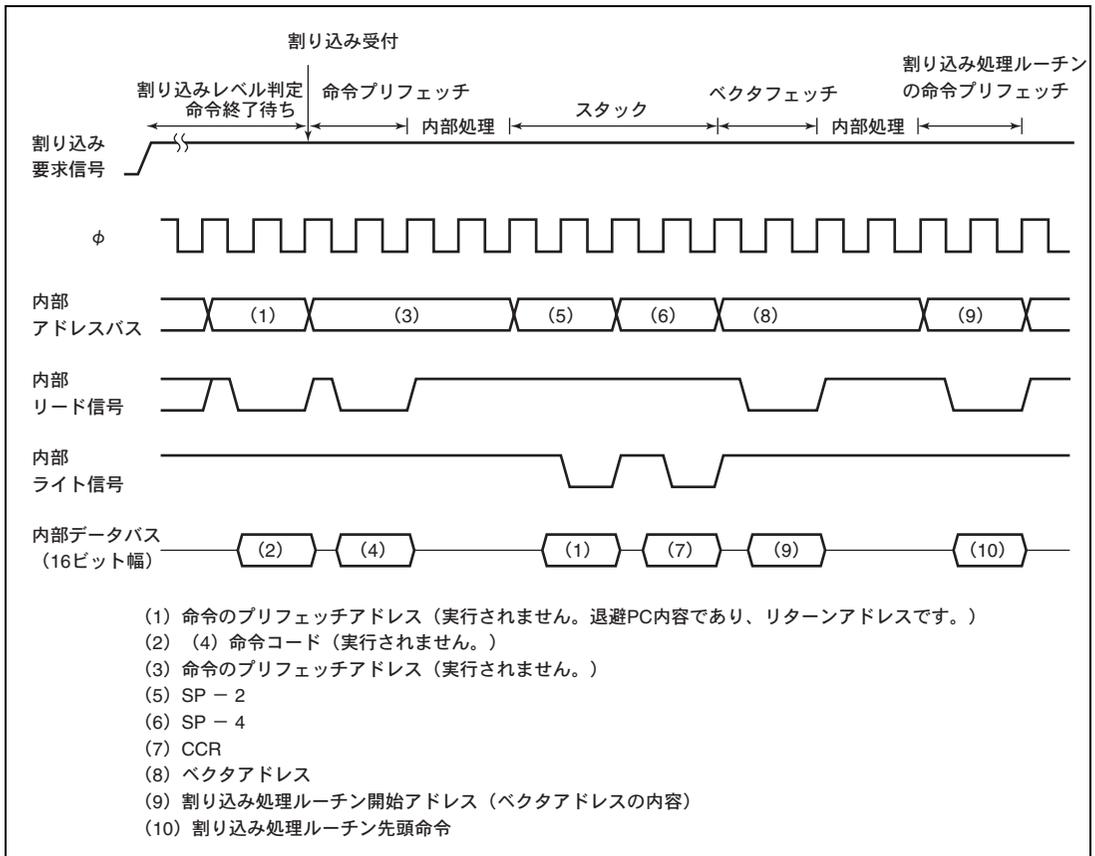


図 3.3 割り込み要求シーケンス

3.5 使用上の注意事項

3.5.1 リセット直後の割り込み要求

リセット直後、スタックポインタ (SP) を初期化する前に CPU が割り込み要求を受け付けると、PC と CCR の退避が正常に行われずプログラムの暴走の原因となります。これを防ぐため、リセット例外処理直後は NMI を含むすべての割り込み要求が禁止されプログラムの先頭 1 命令を必ず実行するようになっていますので、プログラムの先頭で SP を初期化してください (例: MOV.W #xx:16, SP)。

3.5.2 スタック領域のアクセス

ワードデータをアクセスする場合はアドレスの最下位ビットは 0 とみなされます。スタック領域のアクセスは、スタックポインタ (SP: R7) が奇数ならないよう常にワードサイズで行ってください。(例: 「PUSH Rn (MOV.W Rn, @-SP)」または「POP Rn (MOV.W @SP+, Rn)」)

3.5.3 ポートモードレジスタを書き換える際の注意事項

ポートモードレジスタを書き換えて外部割り込み要求端子 $\overline{\text{IRQ3}}$ 、 $\overline{\text{IRQ0}}$ 、 $\overline{\text{WKP5}}$ の機能を変更するとき割り込み要求フラグが1にセットされることがあります。端子機能を切り替える場合は、割り込み要求を禁止した状態でポートモードレジスタを書き換え、少なくとも1命令（NOP命令で可）実行してから、割り込み要求フラグをクリアしてください。ポートモードレジスタの操作と割り込み要求フラグのクリアの手順を図3.4に示します。

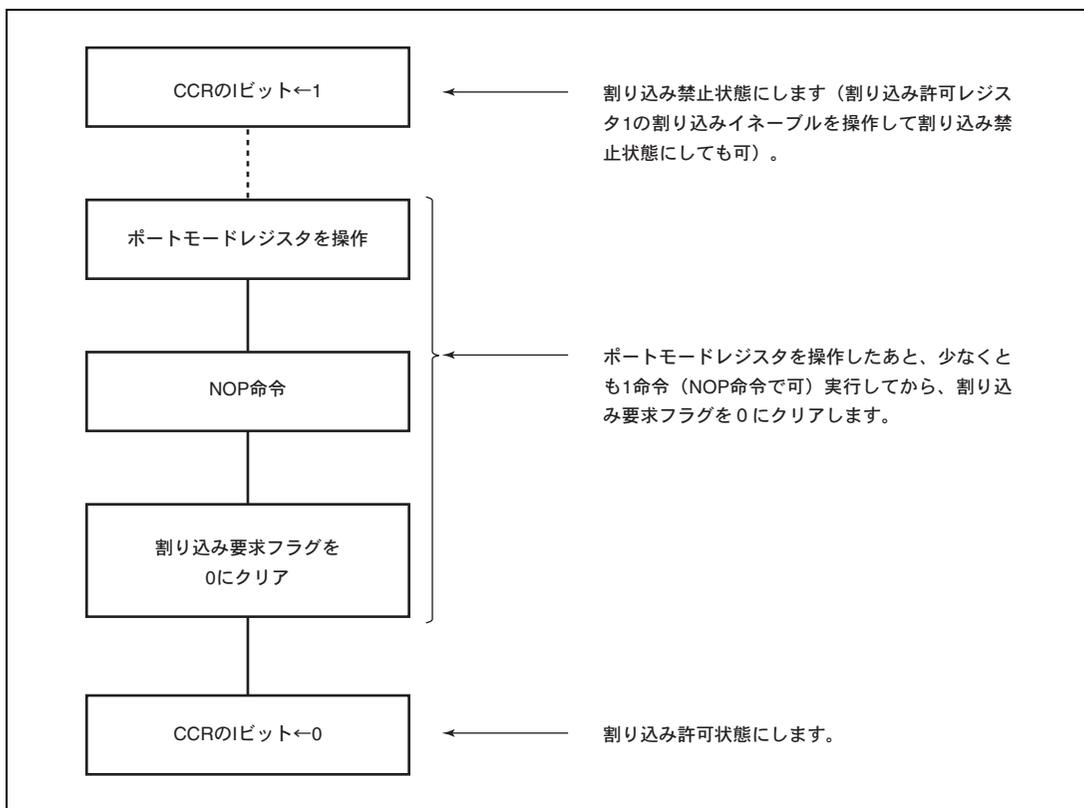


図 3.4 ポートモードレジスタ操作と割り込み要求フラグのクリア手順

3. 例外处理

4. アドレスブレイク

アドレスブレイクはオンボードによるプログラムデバッグを容易にする機能を提供します。アドレスブレイクは、設定されたブレイク条件が成立するとアドレスブレイク割り込み要求を発生します。この割り込み要求はCCRのIビットの影響を受けません。設定できるブレイク条件には特定アドレスの命令実行、特定アドレスのアクセスとデータの組み合わせ等があります。また、アドレスブレイク機能により、プログラム上のバグの箇所の実行開始を検出し修正プログラムへ分岐するなどの応用が可能です。アドレスブレイクのブロック図を図4.1に示します。

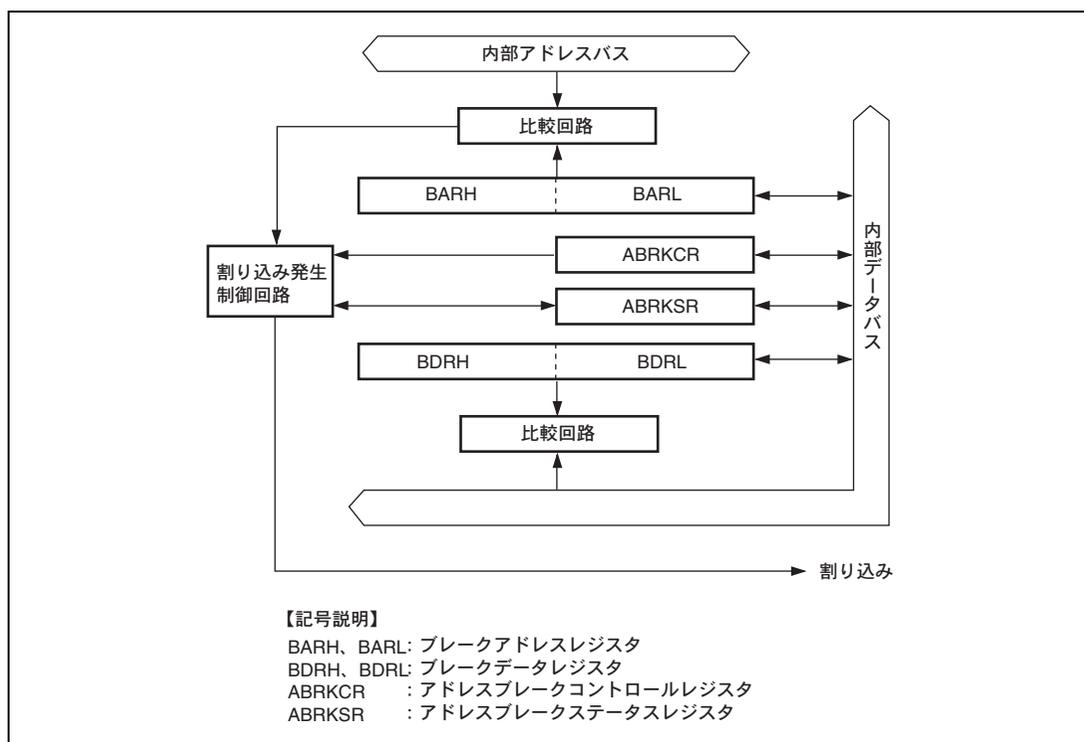


図 4.1 アドレスブレイクブロック図

4. アドレスブレーク

4.1 レジスタの説明

アドレスブレークには以下のレジスタがあります。

- アドレスブレークコントロールレジスタ (ABRKCR)
- アドレスブレークステータスレジスタ (ABRKSR)
- ブレークアドレスレジスタ (BARH、BARL)
- ブレークデータレジスタ (BDRH、BDRL)

4.1.1 アドレスブレークコントロールレジスタ (ABRKCR)

ABRKCR はアドレスブレークの条件設定を行います。

ビット	ビット名	初期値	R/W	説明
7	RTINTE	1	R/W	RTE 割り込みイネーブル 0 の時 RTE 命令実行直後の割り込みをマスクし、必ず 1 命令実行します。1 のときは割り込みはマスクされません。
6	CSEL1	0	R/W	コンディションセレクト 1~0 アドレスブレークの条件を設定します。 00 : 命令実行サイクル 01 : CPU データリードサイクル 10 : CPU データライトサイクル 11 : CPU データリード/ライトサイクル
5	CSEL0	0	R/W	
4	ACMP2	0	R/W	アドレスコンペア 2~0 BAR と内部アドレスバスの比較条件を設定します。 000 : 16 ビット比較します。 001 : 上位 12 ビット比較します。 010 : 上位 8 ビット比較します。 011 : 上位 4 ビット比較します。 1XX : 予約 (設定しないでください。)
3	ACMP1	0	R/W	
2	ACMP0	0	R/W	
1	DCMP1	0	R/W	データコンペア 1~0 BDR と内部データバスの比較条件を設定します。 00 : データを比較しません。 01 : BDRL とデータバス下位 8 ビットを比較します。 10 : BDRH とデータバス上位 8 ビットを比較します。 11 : BDR とデータバス 16 ビットを比較します。
0	DCMP0	0	R/W	

【注】 X : Don't care

なお、データリードサイクルまたはデータライトサイクルでアドレスブレイクを設定する場合、アクセスサイズとデータバス幅の組み合わせにより使用するデータバスが異なりますので注意してください。表 4.1 にそれぞれのアクセスと使用するデータバスの対応を示します。データバス幅 8 ビットの I/O レジスタ空間をワードアクセスした場合、バイトアクセスを 2 回発生します。各レジスタのデータバス幅については「19.1 レジスタアドレス一覧（アドレス順）」を参照してください。

表 4.1 使用するデータバス

	ワードアクセス		バイトアクセス	
	偶数アドレス	奇数アドレス	偶数アドレス	奇数アドレス
ROM 空間	上位 8 ビット	下位 8 ビット	上位 8 ビット	上位 8 ビット
RAM 空間	上位 8 ビット	下位 8 ビット	上位 8 ビット	上位 8 ビット
データバス幅 8 ビットの I/O レジスタ	上位 8 ビット	上位 8 ビット	上位 8 ビット	上位 8 ビット
データバス幅 16 ビットの I/O レジスタ	上位 8 ビット	下位 8 ビット	—	—

4.1.2 アドレスブレイクステータスレジスタ（ABRKSR）

ABRKSR はアドレスブレイクの割り込み要求フラグとそのイネーブルビットで構成されます。

ビット	ビット名	初期値	R/W	説明
7	ABIF	0	R/W	アドレスブレイク割り込みフラグ 〔セット条件〕 ABRKCR で設定された条件が成立した場合。 〔クリア条件〕 1 の状態をリードしたあと、0 をライトしたとき。
6	ABIE	0	R/W	アドレスブレイク割り込みイネーブル 1 のときアドレスブレイク割り込み要求をイネーブルにします。
5~0	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。

4.1.3 ブレイクアドレスレジスタ（BARH、BARL）

BARH、BARL はアドレスブレイク割り込みを発生させるためのアドレスを設定する 16 ビットのリード/ライト可能なレジスタです。アドレスブレイクの条件を命令実行サイクルに設定する場合は命令の第 1 バイトのアドレスを設定してください。このレジスタの初期値は H'FFFF です。

4. アドレスブレイク

4.1.4 ブレイクデータレジスタ (BDRH、BDRL)

BDRH、BDRL はアドレスブレイク割り込みを発生させるためのデータを設定する 16 ビットのリード/ライト可能なレジスタです。BDRH は上位 8 ビットのデータバスと比較されます。BDRL は下位 8 ビットのデータバスと比較されます。メモリまたはレジスタをバイトアクセスする時は偶数アドレス、奇数アドレスともにデータ転送に上位 8 ビットのデータバスが使用されます。したがって、バイトアクセスでは比較データは常に BDRH に設定してください。また、ワードアクセスでは、アドレスによって使用されるデータバスが異なります。詳細は「4.1.1 アドレスブレイクコントロールレジスタ (ABRKCR)」を参照してください。このレジスタの初期値は不定です。

4.2 動作説明

アドレスブレイク機能は、ABRKSR の ABIF が 1 にセットされ、ABRKSR の ABIE が 1 にセットされているとき、CPU に対して割り込み要求を発生します。ここで ABRKSR の ABIF は、BAR に設定されたアドレス、BDR に設定されたデータ、および ABRKCR に設定された条件の組み合わせで、1 にセットされます。割り込み要求が受け付けられると、そのとき実行中の命令が終了したあと、割り込み例外処理を起動します。なお、アドレスブレイク割り込みは CPU の CCR の I ビットによってマスクされません。

アドレスブレイク割り込みの設定による動作例を図 4.2 に示します。

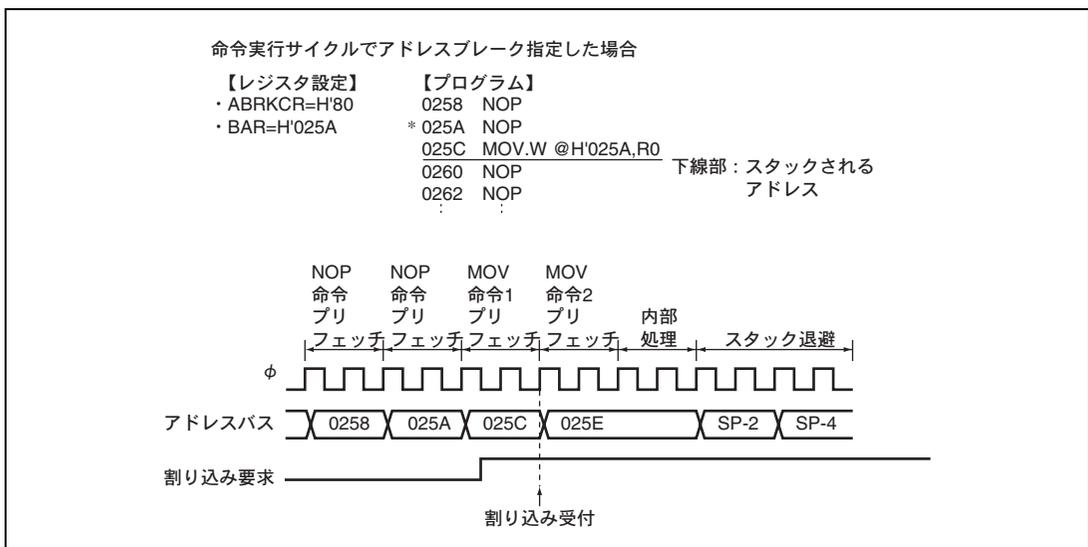


図 4.2 アドレスブレイク割り込み動作例 (1)

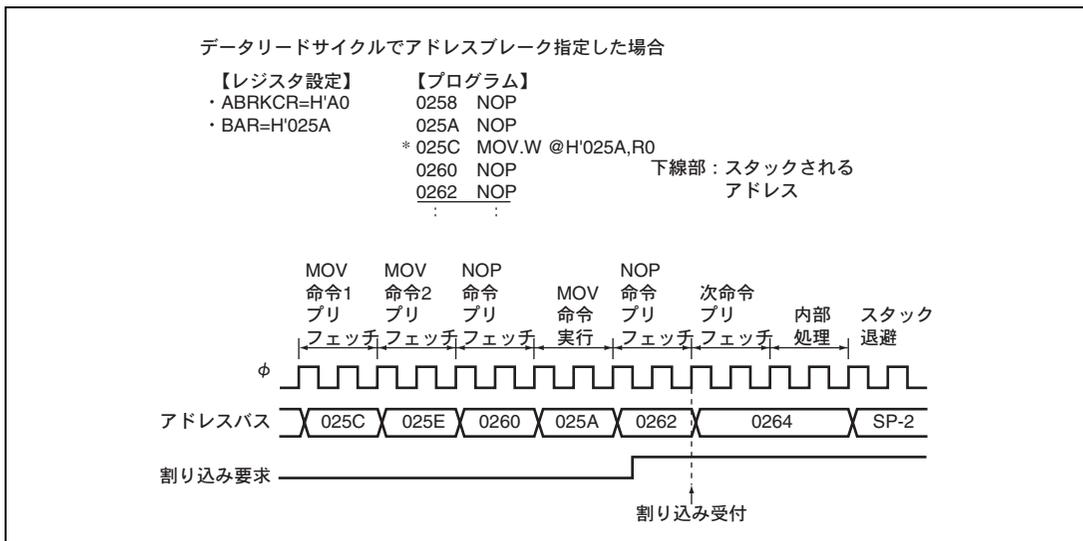


図 4.2 アドレスブレーク割り込み動作例 (2)

4. アドレスブレイク

5. クロック発振器

クロック発生回路は、外部発振器、オンチップオシレータ、デューティ補正回路、クロック選択回路、システムクロック分周器からなるシステムクロック発生回路で構成されています。図 5.1 にクロック発生回路のブロック図を示します。

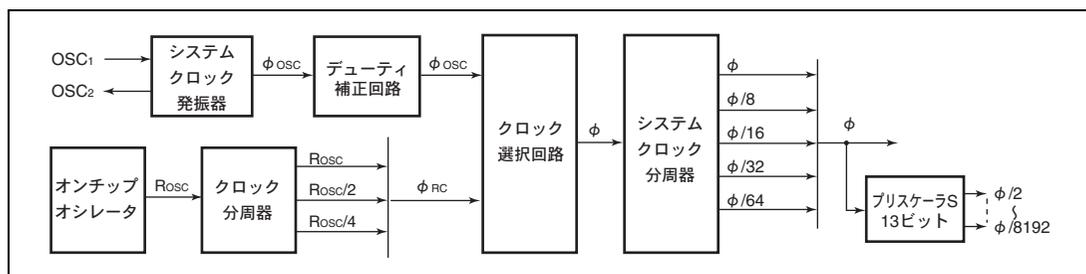


図 5.1 クロック発生回路のブロック図

システムクロック ϕ は、CPU および周辺機能を動作させるための基準クロックです。システムクロックはプリスケータ S によって $\phi/2 \sim \phi/8192$ に分周され、それぞれ各周辺モジュールに供給されます。

5. クロック発振器

5.1 特長

- 2種類のクロックソースを選択可能
オンチップオシレータクロック
外部発振クロック
- 2種類のオンチップオシレータ発振周波数をユーザソフトで選択可能
8MHz
10MHz
- 発振周波数のトリミング
ユーザはトリミングレジスタを書き換えることでオンチップオシレータ発振周波数を調整できます。
- システムクロックが外部クロックからオンチップオシレータクロックに切り替わったとき、CPUへ割り込み可能

5.2 レジスタの説明

クロック発振器に関連するレジスタには以下のレジスタがあります。

- RCコントロールレジスタ (RCCR)
- RCトリミングデータプロテクトレジスタ (RCTRMDPR)
- RCトリミングデータレジスタ (RCTRMDR)
- クロックコントロールステータスレジスタ (CKCSR)

5.2.1 RC コントロールレジスタ (RCCR)

RCCR は、オンチップオシレータの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	RCSTP	0	R/W	オンチップオシレータスタンバイ このビットが1のときオンチップオシレータはスタンバイ状態になります。
6	FSEL	0	R/W	オンチップオシレータの発振周波数選択 0 : 8MHz 1 : 10MHz

ビット	ビット名	初期値	R/W	説 明
5	VCLSEL	0	R/W	オンチップオシレータの電源の選択 0 : VBGR を選択 1 : VCL を選択 VCL を選択した場合は、オンチップオシレータ発振周波数精度を保証しません。
4~2	—	すべて0	—	リザーブビット 読み出すと常に0が読み出されます。
1	RCPSC1	0	R/W	オンチップオシレータの分周比の選択
0	RCPSC0	0	R/W	CKCSR の CKSTA=0 時のみライト可能です。本ビット書き替え直後に R _{Osc} の分周比が変化します。 0X : R _{Osc} 分周しない 10 : R _{Osc} /2 11 : R _{Osc} /4

5.2.2 RC トリミングデータプロテクトレジスタ (RCTRMDPR)

RCTRMDPR は RCTRMDPR 自身と RCTRMDR の書き込み制御を行うレジスタです。本レジスタの書き換えは MOV 命令で行ってください。ビット操作命令では設定値の変更ができません。

ビット	ビット名	初期値	R/W	説 明
7	WRI	1	W	書き込み禁止 このビットの書き込み値が0のときだけ、このレジスタへ対する書き込みが有効になります。読み出すと常に1が読み出されます。
6	PRWE	0	R/W	プロテクト情報書き込み許可 このビットが1のとき、このレジスタのビット5とビット4が書き込み可能になります。 [セット条件] • WRI に0、PRWE に1をライトしたとき [クリア条件] • リセット • WRI に0、PRWE に0をライトしたとき
5	LOCKDW	0	R/W	トリミングデータレジスタロックダウン このビットが1のとき、RC トリミングデータレジスタ (RCTRMDR) はライト不可となります。このビットを一回1に設定すると、その後0をライトしてもリセットがかからない限り RCTRMDR はライト不可となります。 [セット条件] • PRWE が1の状態 WRI に0、LOCKDW に1をライトしたとき [クリア条件] • リセット

5. クロック発振器

ビット	ビット名	初期値	R/W	説 明
4	TRMDRWE	0	R/W	トリミングデータレジスタライト許可 LOCKDW が 0、TRMDRWE が 1 のとき RCTRMDR に対する書き込みが有効となります。 [セット条件] • PRWE が 1 の状態で WRI に 0、TRMDRWE に 1 をライトしたとき [クリア条件] • リセット • PRWE が 1 の状態で WRI に 0、TRMDRWE に 0 をライトしたとき
3~0	—	すべて 1	—	リザーブビット 読み出すと常に 1 が読み出されます。

5.2.3 RC トリミングデータレジスタ (RCTRMDR)

RCTRMDR は、オンチップオシレータの周波数のトリミングデータを格納します。

ビット	ビット名	初期値	R/W	説 明
7	TRMD7	(0) *	R/W	トリミングデータ
6	TRMD6	(0) *	R/W	フラッシュメモリ版では、LSI はリセット直後にフラッシュメモリからトリミングデータがロードされ、このレジスタに書き込まれます。これらのビットをリードすると、不定値が読み出されます。
5	TRMD5	(0) *	R/W	
4	TRMD4	(0) *	R/W	
3	TRMD3	(0) *	R/W	マスク ROM 版では、これらのビットを書き換えることで、オンチップオシレータをトリミングできます。これらのビットを書き換えた直後、オンチップオシレータ発振周波数が変わります。初期値は H'00 です。
2	TRMD2	(0) *	R/W	
1	TRMD1	0	R	
0	TRMD0	0	R	周波数の変化は、TRMD7 が符号ビットで、 (周波数最小) H'80 ← H'FC ← H'00 → H'04 → H'7C (周波数最大) になります。

【注】 * フラッシュメモリ版では、フラッシュメモリからトリミングデータ値に初期化します。

5.2.4 クロックコントロールステータスレジスタ (CKCSR)

CKCSR は、ポート C の機能選択やシステムクロックの切り替え制御、システムクロックの状態の表示などを行います。

ビット	ビット名	初期値	R/W	説明																				
7	PMRC1	0	R/W	ポート C 機能選択ビット 1、0 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>PMRC1</th> <th>PMRC0</th> <th>PC1</th> <th>PC0</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>I/O</td> <td>I/O</td> </tr> <tr> <td>1</td> <td>0</td> <td>CLKOUT</td> <td>I/O</td> </tr> <tr> <td>0</td> <td>1</td> <td>I/O</td> <td>OSC1 (外部クロック入力)</td> </tr> <tr> <td>1</td> <td>1</td> <td>OSC2</td> <td>OSC1</td> </tr> </tbody> </table>	PMRC1	PMRC0	PC1	PC0	0	0	I/O	I/O	1	0	CLKOUT	I/O	0	1	I/O	OSC1 (外部クロック入力)	1	1	OSC2	OSC1
PMRC1	PMRC0	PC1	PC0																					
0	0	I/O	I/O																					
1	0	CLKOUT	I/O																					
0	1	I/O	OSC1 (外部クロック入力)																					
1	1	OSC2	OSC1																					
6	PMRC0	0	R/W																					
5	—	0	R/W	リザーブビット リード/ライト可能ですが、1 に設定しないでください。																				
4	OSCSEL	0	R/W	LSI 動作クロックセレクト このビットは LSI のシステムクロックを選択するビットです。 0 : オンチップオシレータクロックをシステムクロックとして選択 1 : 外部クロックをシステムクロックとして選択																				
3	CKSWIE	0	R/W	クロック切り替えインタラプトイネーブル このビットを 1 にセットすると、クロック切り替え割り込み要求がイネーブルになります。																				
2	CKSWIF	0	R/W	クロック切り替え割り込み要求フラグ [セット条件] • 動作クロックが外部クロックからオンチップオシレータクロックに切り替わったとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき																				
1	—	1	R	リザーブビット 読み出すと常に 1 が読み出されます。																				
0	CKSTA	0	R	LSI 動作クロックステータス 0 : LSI がオンチップオシレータクロックで動作 1 : LSI が外部クロックで動作																				

5.3 システムクロック選択の動作説明

図 5.2 に LSI のシステムクロック状態間遷移を示します。

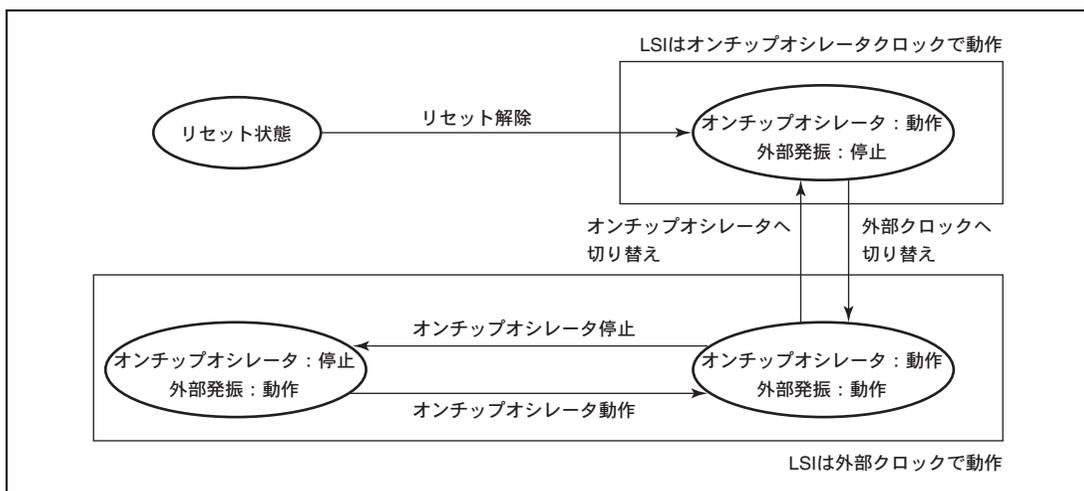


図 5.2 LSI のシステムクロック状態遷移図

5.3.1 クロック制御の動作説明

LSI のシステムクロックはリセット後オンチップオシレータクロックで動作します。ユーザはソフトウェアでシステムクロックをオンチップオシレータクロックから外部クロックに切り替えることができます。

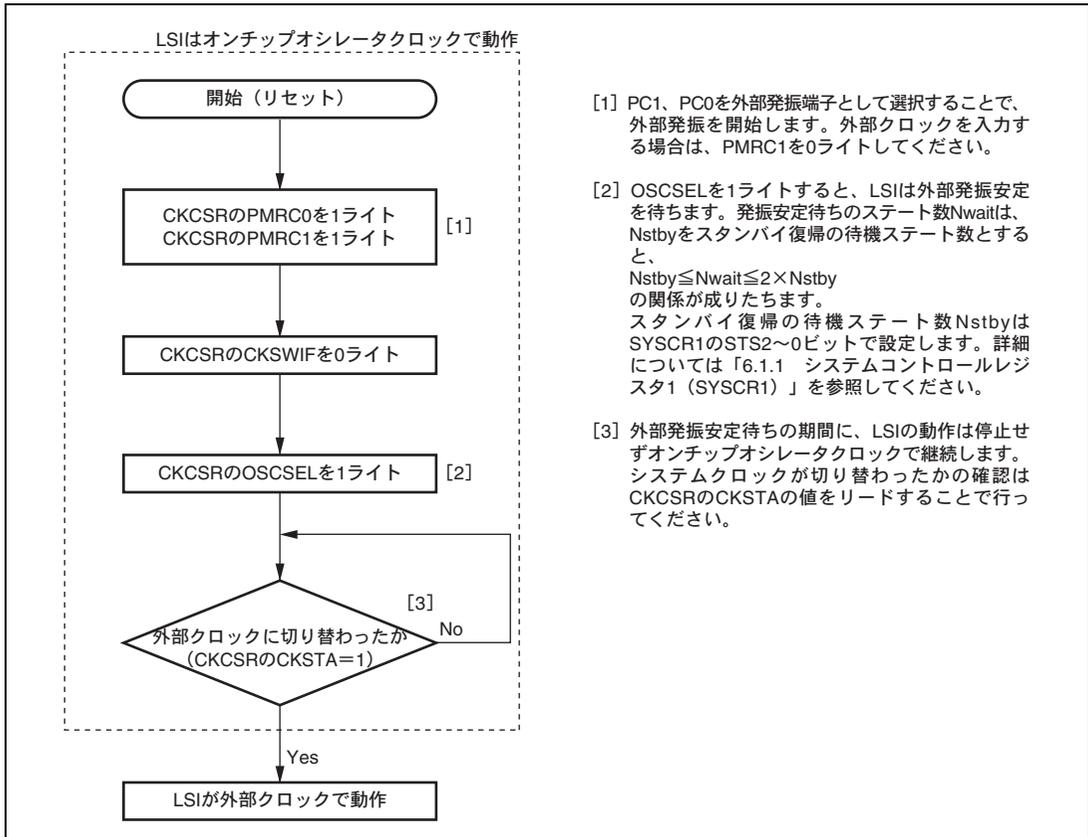


図 5.3 オンチップオシレータクロックから外部クロックへの切り替えフロー (1)

5. クロック発振器

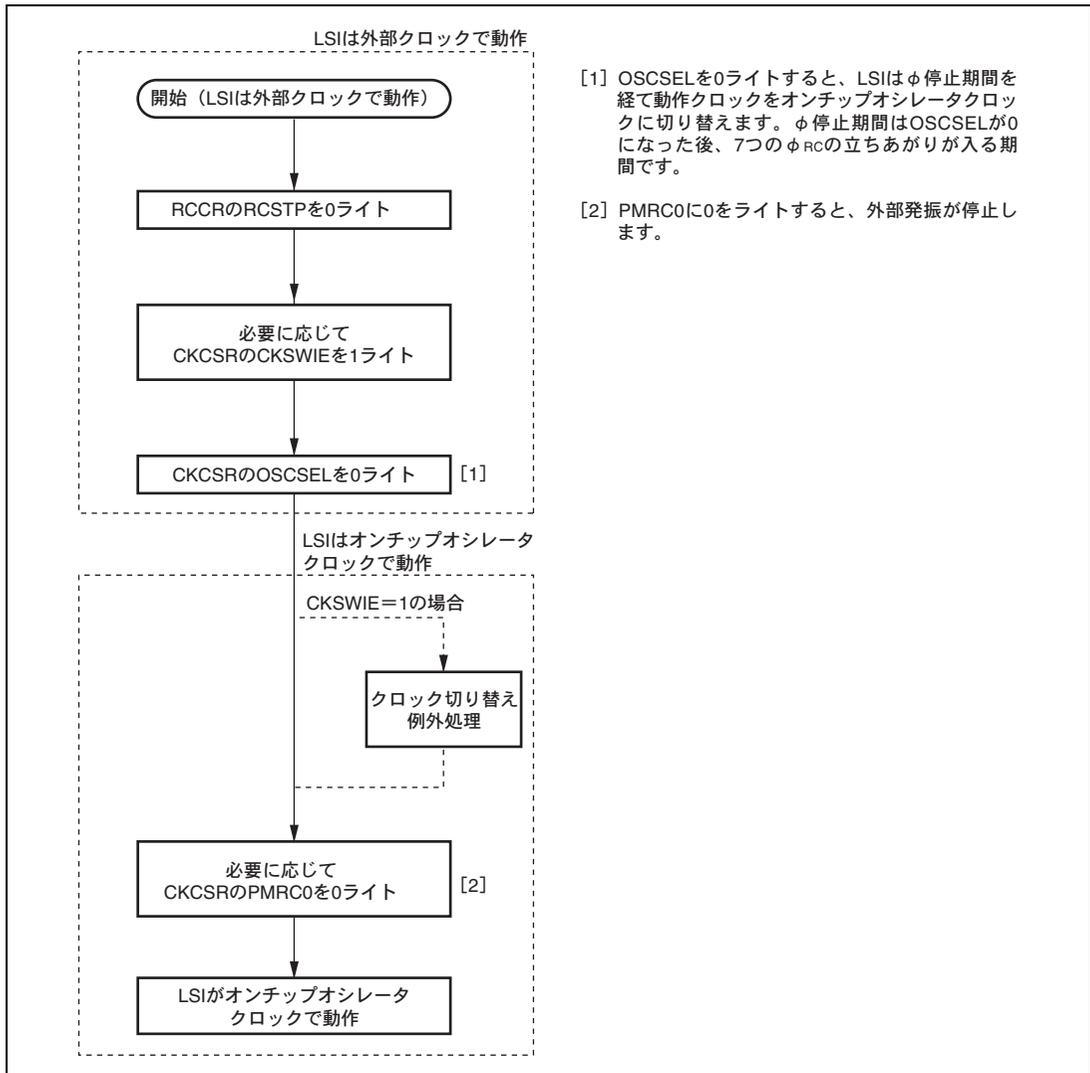


図 5.4 外部クロックからオンチップオシレータクロックへの切り替えフロー (2)

5.3.2 クロック切り替えタイミング

クロック切り替えのタイミングを図 5.5、図 5.6 に示します。

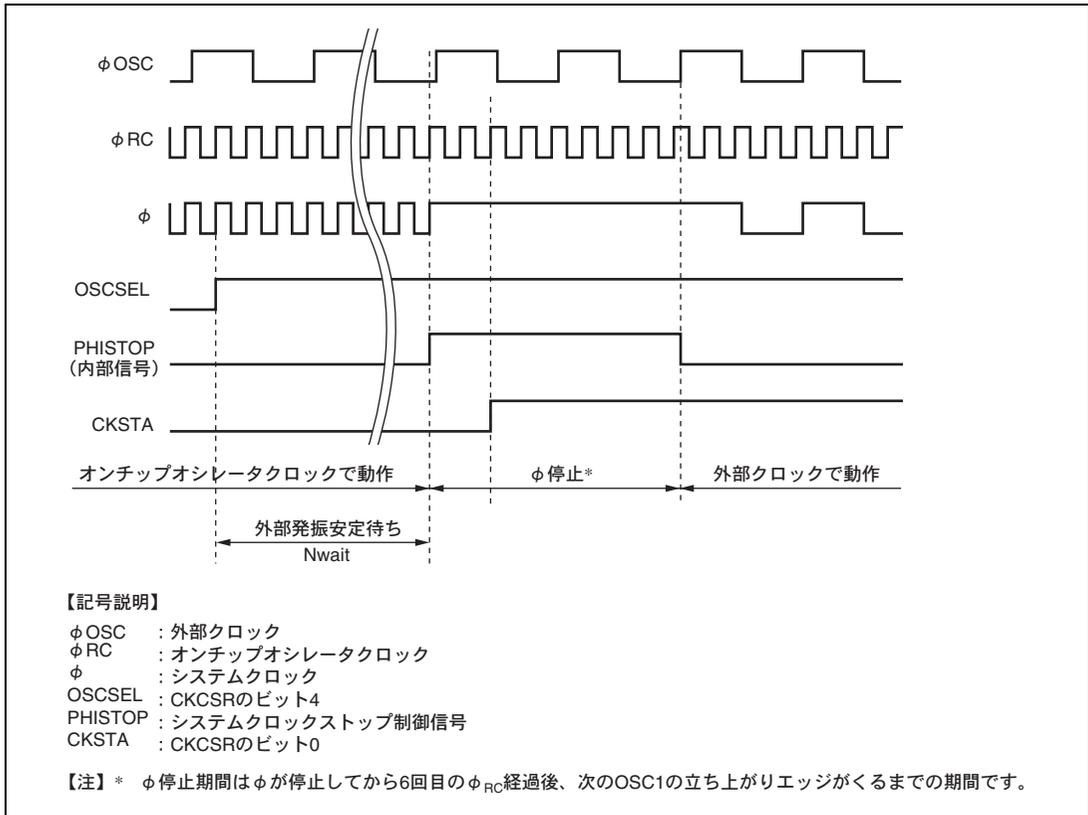


図 5.5 オンチップオシレータクロックから外部クロックへの切り替えのタイミング

5. クロック発振器

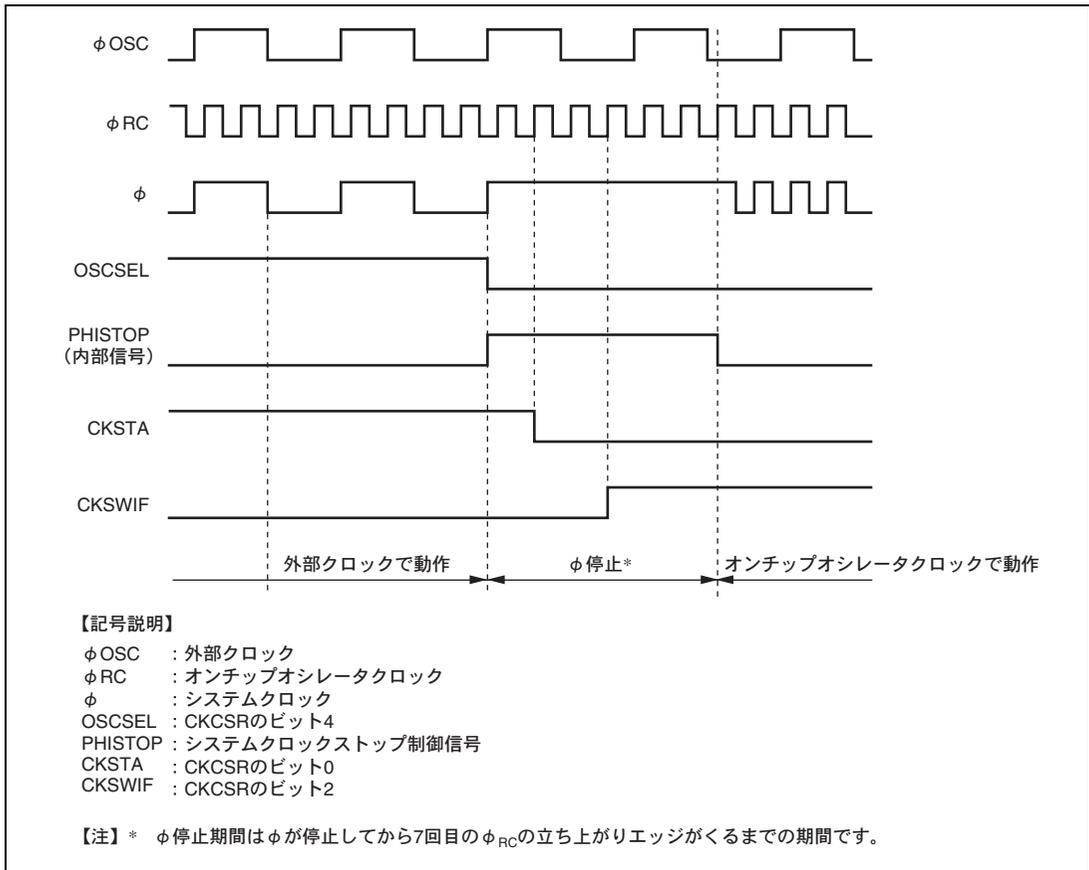


図 5.6 外部クロックからオンチップオシレータクロックへの切り替えのタイミング

5.4 オンチップオシレータのトリミング

ユーザは内蔵のタイマ W の入力キャプチャ機能を用いて外部から基準パルスを与えることで、オンチップオシレータをトリミングすることができます。図 5.7 にトリミングフロー例を図 5.8 にタイミングチャートを示します。RCTRMDR はリセットにより初期値に戻るので、ユーザ自身がトリミングした場合、リセット後は再トリミングまたは本 LSI 外部にトリミング値を保存しておきリロードする等の操作が必要になります。

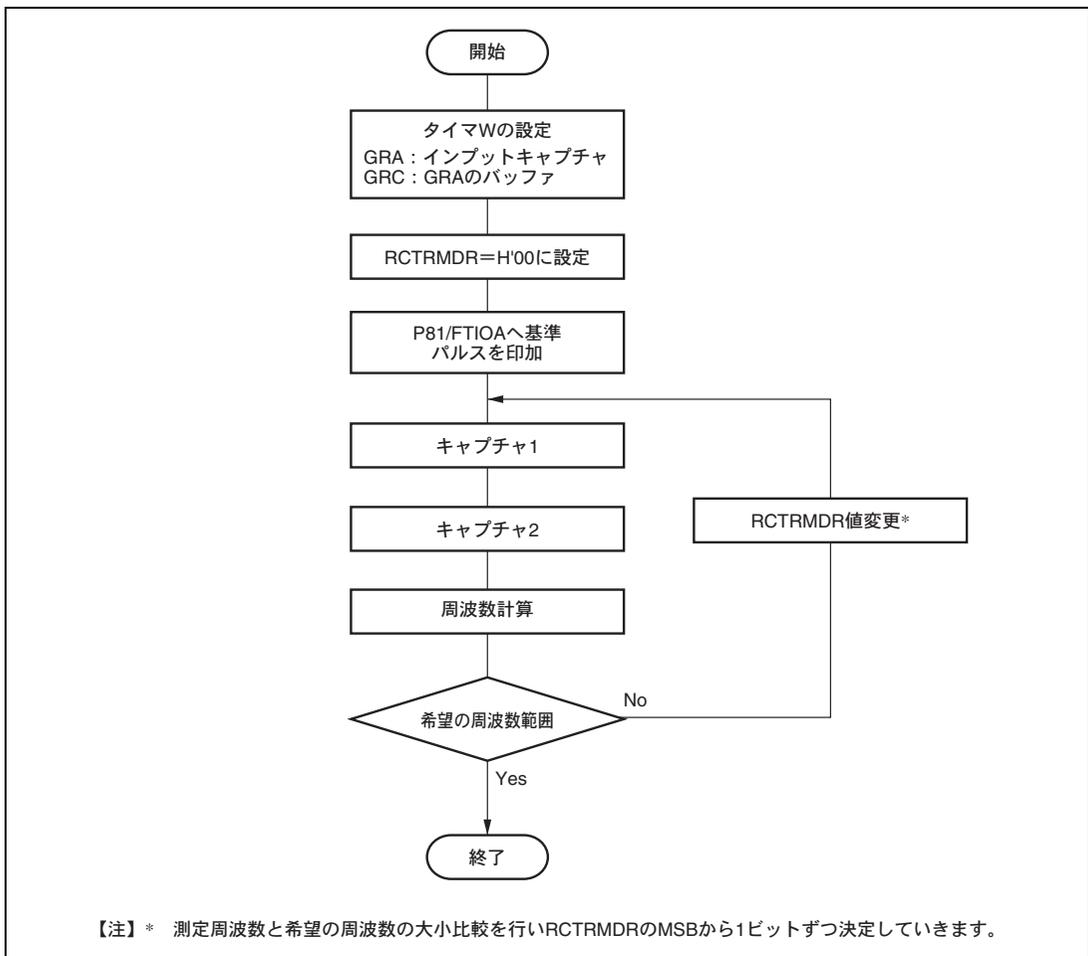


図 5.7 オンチップオシレータトリミングフロー例

5. クロック発振器

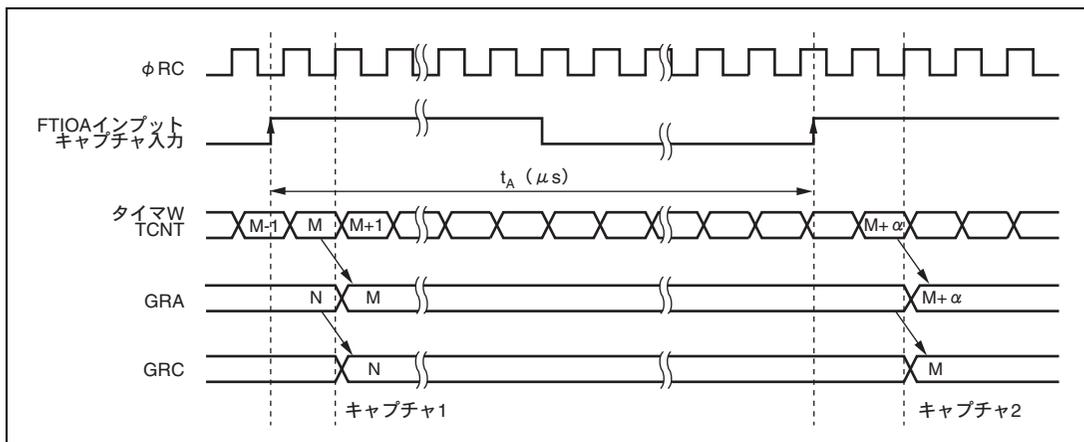


図 5.8 オンチップオシレータトリミングタイミングチャート

オンチップオシレータの発振周波数は以下の式にて求められます。入力キャプチャ入力は ϕRC でサンプリングしているため、計算値には ± 1 クロック (ϕRC) 以内のサンプリング誤差が含まれます。

$$\phi RC = \frac{(M + \alpha) - M}{t_A} \text{ (MHz)}$$

ϕRC : オンチップオシレータの発振周波数 (MHz)

t_A : 基準クロックの周期 (μs)

M : タイマ W カウンタ値

5.5 外部発振器

外部発振クロックを供給する方法には水晶発振子またはセラミック発振子を接続する方法と、外部クロックを入力する方法があります。発振端子 OSC1、OSC2 は汎用ポート PC0、PC1 と兼用しています。PC0/PC1 を水晶発振子または外部クロック入力端子に設定する方法については「5.3 システムクロック選択の動作説明」を参照してください。

5.5.1 水晶発振子を接続する方法

水晶発振子の接続例を図 5.9 に示します。水晶発振子は AT カット 並列共振形を使用してください。図 5.10 に水晶発振子の等価回路を示します。発振子は表 5.1 に示す特性のものを使用してください。

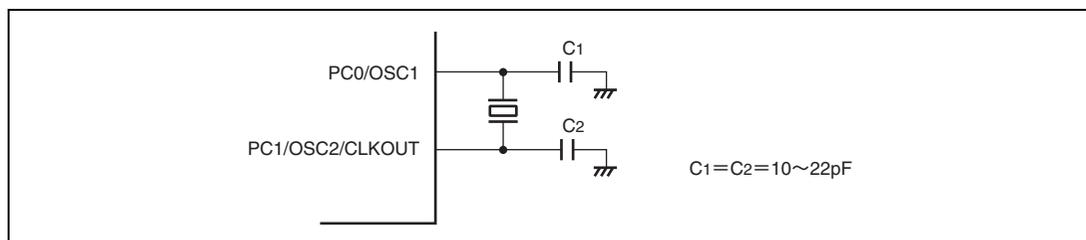


図 5.9 水晶発振子の接続例

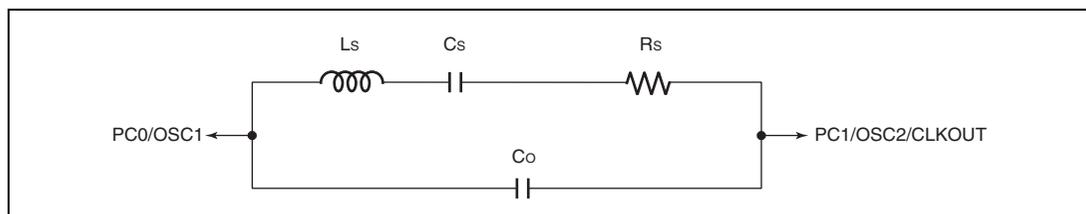


図 5.10 水晶発振子の等価回路

表 5.1 水晶発振子のパラメータ

周波数 (MHz)	2	4	8	10	12
Rs (max)	500 Ω	120 Ω	80 Ω	60 Ω	50 Ω
Co (max)	70pF				

5. クロック発振器

5.5.2 セラミック発振子を接続する方法

セラミック発振子の接続例を図 5.11 に示します。

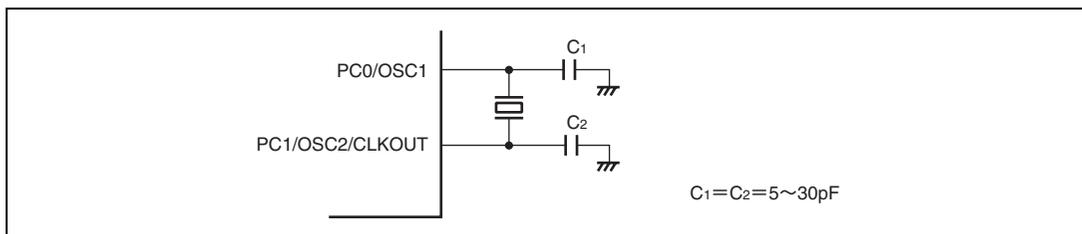


図 5.11 セラミック発振子の接続例

5.5.3 外部クロックを入力する方法

外部クロックを OSC1 端子に入力することにより、外部クロックを供給することができます。接続例を図 5.12 に示します。外部クロックのデューティは 45%～55%としてください。

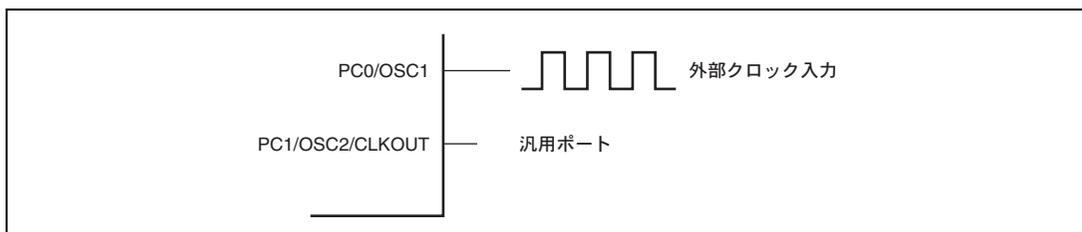


図 5.12 外部クロックを入力する場合の接続例

5.6 プリスケーラ

5.6.1 プリスケーラ S

プリスケーラ S は、システムクロック (ϕ) を入力クロックとする 13 ビットのカウンタで、分周した出力を内蔵周辺モジュールの内部クロックとして使用します。リセット時、プリスケーラ S は H'0000 にイニシャライズされ、リセット解除後、カウントアップを開始します。スタンバイモード、サブスリープモードでは、システムクロック発振器が停止するためプリスケーラ S の動作も停止します。このとき、プリスケーラ S は H'0000 にイニシャライズされます。CPU からはアクセスできません。

プリスケーラ S の出力は、各種内蔵周辺機能で共用しており、分周比は各内蔵周辺機能で独立に設定できます。なお、アクティブモードおよびスリープモードではプリスケーラ S のクロック入力は SYSCR2 の MA2～MA0 で設定した分周比のシステムクロックとなります。

5.7 使用上の注意事項

5.7.1 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振回路の回路定数は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと充分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないような設計を行ってください。

5.7.2 ボード設計上の注意事項

水晶発振子（セラミック発振子）を使用する場合は、発振子および負荷容量をできるだけ OSC1、OSC2 端子の近くに配置してください。また、発振回路の近くには他の信号線を通過させないでください（図 5.13）。誘導により正しい発振ができなくなる場合があります。

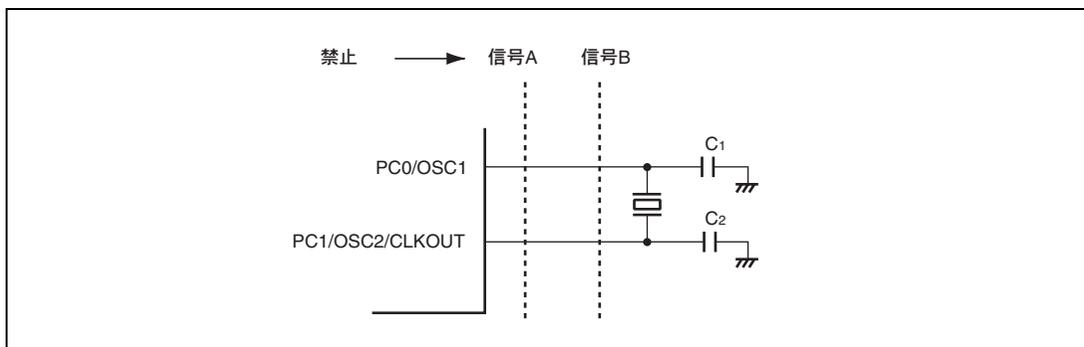


図 5.13 発振回路のボード設計に関する注意事項

5. クロック発振器

6. 低消費電力モード

リセット解除後の動作モードには、通常のアクティブモードの他に消費電力を著しく低下させる3種類の低消費電力モードがあります。このほか、内蔵モジュールの機能を選択的に停止させて消費電力を低減させるモジュールスタンバイ機能があります。

- アクティブモード

CPUおよび内蔵周辺モジュールがシステムクロックで動作します。システムクロックの周波数はギア機能により ϕ_{osc} 、 $\phi_{osc}/8$ 、 $\phi_{osc}/16$ 、 $\phi_{osc}/32$ 、 $\phi_{osc}/64$ の中から選択できます。

- スリープモード

CPUが動作を停止し、内蔵周辺モジュールがシステムクロックで動作します。

- スタンバイモード

CPUおよびすべての内蔵周辺モジュールが動作を停止します。

- サブスリープモード

CPUおよびすべての内蔵周辺モジュールが動作を停止します。I/Oポートは遷移前の状態を保持します。

- モジュールスタンバイ機能

上記動作モードとは独立に、使用しない内蔵周辺モジュールの動作をモジュール単位で停止させることにより消費電力を低減させることができます。

6. 低消費電力モード

6.1 レジスタの説明

低消費電力モードに関連するレジスタには以下のレジスタがあります。

- システムコントロールレジスタ1 (SYSCR1)
- システムコントロールレジスタ2 (SYSCR2)
- モジュールスタンバイコントロールレジスタ1 (MSTCR1)
- モジュールスタンバイコントロールレジスタ2 (MSTCR2)

6.1.1 システムコントロールレジスタ 1 (SYSCR1)

SYSCR1 は SYSCR2 とともに低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を選択します。 0 : スリープモードに遷移 1 : スタンバイモードに遷移 詳細は表 6.2 を参照してください。
6	STS2	0	R/W	スタンバイタイムセレクト 2~0 スタンバイモードからアクティブモード、スリープモードに遷移する際、システムクロック発振器が発振を開始してからクロックを供給するまでの待機ステート数を設定します。本 LSI は待機期間中、システムクロックは自動的にオンチップオシレータになり、待機ステート数をカウントします。動作周波数に応じて待機時間が 6.5ms 以上となるように設定してください。設定値と待機ステート数の関係は表 6.1 のとおりです。 外部クロックを使用する場合、F-ZTAT 版は待機時間が 100 μs 以上となるように設定してください。マスク ROM 版は最小値 (STS2=STS1=STS0=1) を推奨します。 STS2~STS0 はユーザソフトでシステムクロックをオンチップオシレータクロックから外部クロックに切り替え時、外部発振安定待ちのステート数も設定します。上記のスタンバイ復帰の待機ステート数との関係を以下の式に示します。 $Nstby \leq Nwait \leq 2 \times Nstby$ Nwait : 発振安定待ちのステート数 Nstby : スタンバイ復帰の待機ステート数
5	STS1	0	R/W	
4	STS0	0	R/W	
3~0	—	すべて 0	—	リザーブビット 読み出すと常に 0 が読み出されます。

表 6.1 動作周波数と待機時間

ビット			待機ステート数	動作周波数					
STS2	STS1	STS0		10MHz	8MHz	5MHz	4MHz	2.5MHz	2MHz
0	0	0	8,192 ステート	0.8	1.0	1.6	2.0	3.3	4.1
0	0	1	16,384 ステート	1.6	2.0	3.3	4.1	6.6	8.2
0	1	0	32,768 ステート	3.3	4.1	6.6	8.2	13.1	16.4
0	1	1	65,536 ステート	6.6	8.2	13.1	16.4	26.2	32.8
1	0	0	131,072 ステート	13.1	16.4	26.2	32.8	52.4	65.5
1	0	1	1,024 ステート	0.10	0.13	0.21	0.26	0.42	0.51
1	1	0	128 ステート	0.01	0.02	0.03	0.03	0.05	0.06
1	1	1	16 ステート	0.00	0.00	0.00	0.00	0.00	0.01

【注】 1. 時間の単位は ms です。

2. システムクロックが外部クロックで動作している場合でも、待機ステート数はオンチップオシレータでカウントしません。

6.1.2 システムコントロールレジスタ 2 (SYSCR2)

SYSCR2 は SYSCR1 とともに低消費電力モードの制御を行います。

ビット	ビット名	初期値	R/W	説明
7	SMSEL	0	R/W	スリープモード選択 このビットは SYSCR1 の SSBY とともに SLEEP 命令実行後の遷移先を選択します。詳細は表 6.2 を参照してください。
6	—	0	—	リザーブビット 読み出すと常に 0 が読み出されます。
5	DTON	0	R/W	ダイレクトトランスファオンフラグ このビットは SYSCR1 の SSBY とともに SLEEP 命令実行後の遷移先を選択します。詳細は表 6.2 を参照してください。
4	MA2	0	R/W	アクティブモードクロックセレクト 2~0 アクティブモードおよびスリープモードの動作クロック周波数を選択します。 クロックは SLEEP 命令実行後、設定した周波数に切り替わります。 0XX: ϕ 100: $\phi/8$ 101: $\phi/16$ 110: $\phi/32$ 111: $\phi/64$
3	MA1	0	R/W	
2	MA0	0	R/W	
1	—	0	—	
0	—	0	—	

【注】 X : Don't care

6. 低消費電力モード

6.1.3 モジュールスタンバイコントロールレジスタ 1 (MSTCR1)

MSTCR1 は内蔵周辺モジュールをモジュール単位でスタンバイ状態にします。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット 読み出すと常に 0 が読み出されます。
6	MSTIIC	0	R/W	IIC2 モジュールスタンバイ このビットが 1 のとき IIC2 はスタンバイ状態になります。
5	MSTS3	0	R/W	SCI3 モジュールスタンバイ このビットが 1 のとき SCI3 はスタンバイ状態になります。
4	MSTAD	0	R/W	A/D 変換器モジュールスタンバイ このビットが 1 のとき A/D 変換器はスタンバイ状態になります。
3	MSTWD	0	R/W	ウォッチドッグタイマモジュールスタンバイ このビットが 1 のときウォッチドッグタイマはスタンバイ状態になります (ただし、ウォッチドッグタイマのカウントクロックに内部発振器を選択した場合は、このビットの設定にかかわらずウォッチドッグタイマは動作します)。
2	MSTTW	0	R/W	タイマ W モジュールスタンバイ このビットが 1 のときタイマ W はスタンバイ状態になります。
1	MSTTV	0	R/W	タイマ V モジュールスタンバイ このビットが 1 のときタイマ V はスタンバイ状態になります。
0	—	0	—	リザーブビット 読み出すと常に 0 が読み出されます。

6.1.4 モジュールスタンバイコントロールレジスタ 2 (MSTCR2)

MSTCR2 は内蔵周辺モジュールをモジュール単位でスタンバイ状態にします。

ビット	ビット名	初期値	R/W	説明
7~5	—	すべて 0	—	リザーブビット 読み出すと常に 0 が読み出されます。
4	MSTTB1	0	R/W	タイマ B1 モジュールスタンバイ このビットが 1 のときタイマ B1 はスタンバイ状態になります。
3~0	—	すべて 0	—	リザーブビット 読み出すと常に 0 が読み出されます。

6.2 モード間遷移と LSI の状態

図 6.1 に可能なモード間遷移を示します。プログラム実行状態からプログラム停止状態へは SLEEP 命令の実行によって遷移します。プログラム停止状態からプログラム実行状態へは割り込みによって復帰します。また、アクティブモードからアクティブモードへ直接遷移することにより、動作周波数を変更することができます。RES 入力によりすべてのモードからリセット状態に遷移します。表 6.2 に SLEEP 命令実行時の各モードへの遷移条件と割り込みによる復帰先を、表 6.3 に各動作モードでの LSI の内部状態を示します。

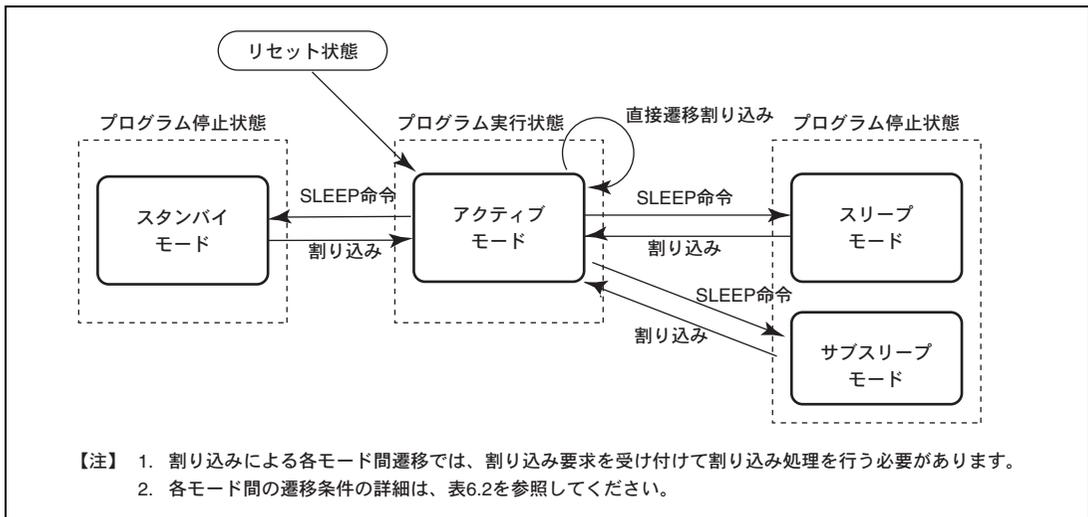


図 6.1 モード遷移図

表 6.2 SLEEP 命令実行後の状態と割り込みによる復帰先

DTON	SSBY	SMSSEL	SLEEP 命令実行後の状態	割り込みによる復帰先
0	0	0	スリープモード	アクティブモード
0	0	1	サブスリープモード	アクティブモード
0	1	X	スタンバイモード	アクティブモード
1	X	0*	アクティブモード (直接遷移)	

【注】 X : Don't care

* SMSSEL=1で状態遷移を行った場合、タイマV、SCI3、A/D変換器はリセットされ、各レジスタの値は初期値に戻ります。アクティブモード遷移後に、これらの機能を使用する場合は、各レジスタの再設定が必要です。

6. 低消費電力モード

表 6.3 各動作モードでの LSI の状態

機 能		アクティブ	スリープ	サブスリープ	スタンバイ
システムクロック発振器		動作	動作	停止	停止
CPU	命令実行	動作	停止	停止	停止
	レジスタ	動作	保持	保持	保持
RAM		動作	保持	保持	保持
I/O ポート		動作	保持	保持	レジスタは保持、 出力はハイインピーダンス
外部割り込み	IRQ3、IRQ0	動作	動作	動作	動作
	WKP5	動作	動作	動作	動作
周辺モジュール	タイマ B1	動作	動作	保持	保持
	タイマ V	動作	動作	リセット	リセット
	タイマ W	動作	動作	保持	保持
	ウォッチドッグタイマ	動作	動作	保持（カウントクロックに内部発振器を選択した場合は動作します。）	
	SCI3	動作	動作	リセット	リセット
	IIC2	動作	動作	保持	保持
	A/D 変換器	動作	動作	リセット	リセット
	LVD	動作	動作	動作	動作

6.2.1 スリープモード

スリープモードでは CPU の動作は停止しますが、内蔵周辺モジュールは SYSCR2 の MA2~MA0 で設定した周波数のクロックで動作します。CPU のレジスタの内容は保持されます。割り込み要求が発生するとスリープモードは解除され、割り込み例外処理を開始します。CCR の I ビットが 1 のとき、または割り込みイネーブルビットにより割り込みがマスクされているとスリープモードは解除できません。スリープモード中 $\overline{\text{RES}}$ 端子を Low レベルにするとスリープモードは解除されリセット状態に遷移します。

6.2.2 スタンバイモード

スタンバイモードではシステムクロック発振器が停止し、CPU および内蔵周辺モジュールが停止します。規定の電圧が与えられているかぎり、CPU のレジスタと一部の内蔵周辺モジュールの内部レジスタ、内蔵 RAM のデータは保持されます。また、RAM データ保持電圧で規定された電圧が供給されているかぎり、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態となります。

スタンバイモードは割り込みによって解除されます。割り込み要求が発生するとオンチップオシレータが発振を開始します。外部発振器を使用している場合は、外部発振器も発振を開始します。SYSCR1 の STS2~STS0 で設定された時間が経過するとスタンバイモードが解除されて割り込み例外処理を開始します。CCR の I ビットが 1 の場合、または割り込みイネーブルビットにより割り込みがマスクされているとスタンバイモードは解除できません。

スタンバイモードで $\overline{\text{RES}}$ 端子を Low レベルにするとオンチップオシレータが発振を開始します。オンチップオ

シレータの発振開始と同時に LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は必ず規定時間 Low レベルを保持してください。 $\overline{\text{RES}}$ 端子を High レベルにすると、パワーオンリセット回路による発振安定時間経過後、内部リセット信号が解除され CPU はリセット例外処理を開始します。

6.2.3 サブスリープモード

サブスリープモードではシステムクロック発振器が停止し、CPU および内蔵周辺モジュールが停止します。規定の電圧が与えられているかぎり、CPU のレジスタと一部の内蔵周辺モジュールの内部レジスタ、内蔵 RAM のデータは保持され、I/O ポートは遷移前の状態を保持します。

サブスリープモードは割り込みによって解除されます。割り込み要求が発生すると内部 RC 発振器が発振を開始します。外部発振器を使用している場合は、外部発振器も発振を開始します。SYSCR1 の STS2~STS0 で設定された時間が経過すると、サブスリープモードが解除されて割り込み例外処理を開始します。なお CCR の I ビットが 1 の場合、または割り込みイネーブルビットにより割り込みがマスクされているとサブスリープモードは解除できません。

サブスリープモードで $\overline{\text{RES}}$ 端子を Low レベルにするとオンチップオシレータが発振を開始します。オンチップオシレータの発振開始と同時に LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は必ず規定時間 Low レベルを保持してください。 $\overline{\text{RES}}$ 端子を High レベルにすると、パワーオンリセット回路による発振安定時間経過後、内部リセット信号が解除され CPU はリセット例外処理を開始します。

6.3 アクティブモードの動作周波数

アクティブモードは SYSCR2 の MA2~MA0 で設定した周波数のクロックによって動作します。動作周波数は SLEEP 命令実行後に設定した周波数に切り替わります。

6.4 直接遷移

CPU がプログラムを実行している動作モードにはアクティブモードがあります。アクティブモードからアクティブモードへ直接遷移することにより、動作周波数を変更することができます。SYSCR2 の DTON を 1 にセットして SLEEP 命令を実行すると直接遷移します。遷移後は直接遷移割り込み例外処理を開始します。割り込みイネーブルレジスタ 1 により直接遷移割り込みが禁止されている場合は直接遷移せず、スリープモードまたはサブスリープモードへ遷移します。CCR の I ビットを 1 の状態で直接遷移を行うとスリープモードまたはサブスリープモードに遷移したあと、割り込みによる解除ができませんので注意してください。

6.5 モジュールスタンバイ機能

モジュールスタンバイ機能はすべての周辺モジュールに対して設定可能です。モジュールスタンバイ状態に設定されたモジュールはクロックの供給が停止して低消費電力状態となります。MSTCR1、MSTCR2 の各モジュールに対応したビットを 1 にセットするとそのモジュールはモジュールスタンバイ状態となり、クリアすると解除されます。

6. 低消費電力モード

7. ROM

HD64F36912G、HD64F36902G に内蔵されている 12K バイト（内 4K バイトは E7、E8 制御プログラムエリア）のフラッシュメモリの特長は以下のとおりです。

- 書き込み／消去方式

書き込みは64バイト単位の同時書き込み方式です。消去はブロック単位で行います。フラッシュメモリは1Kバイト×4ブロックと4Kバイト×2ブロックに分割されています。全面消去を行う場合も1ブロックずつ消去してください。

- 書き換え回数

1000回まで書き換え可能です。

- オンボードプログラミング

内蔵ブートプログラムを起動して全面消去、書き込みを行うブートモードにより、オンボードでの書き込み/消去ができます。この他、通常のユーザモードでもオンボードで任意のブロックを消去し、書き換えることが可能です。

- ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本LSIのビットレートを自動的に合わせ込みます。

- 書き込み／消去プロテクト

ソフトウェアによりフラッシュメモリの書き込み／消去に対するプロテクトを設定できます。

7.1 ブロック構成

図 7.1 に 12K バイトフラッシュメモリのブロック構成を示します。太線枠は消去ブロックを表します。細線枠は書き込みの単位を表し、枠内の数値はアドレスを示します。フラッシュメモリは 1K バイト×4 ブロック、4K バイト×2 ブロックに分割されていて、消去はこの単位で行います。書き込みは下位アドレスが H'00、H'40、H'80 または H'C0 で始まる 64 バイト単位で行います。

消去単位	H'0000	H'0001	H'0002	←書き込み単位64バイト→	H'003F
	H'0040	H'0041	H'0042		H'007F
1Kバイト					
消去単位	H'03C0	H'03C1	H'03C2		H'03FF
	H'0400	H'0401	H'0402	←書き込み単位64バイト→	H'043F
1Kバイト	H'0440	H'0441	H'0442		H'047F
消去単位	H'07C0	H'07C1	H'07C2		H'07FF
	H'0800	H'0801	H'0802	←書き込み単位64バイト→	H'083F
1Kバイト	H'0840	H'0841	H'0842		H'087F
消去単位	H'0BC0	H'0BC1	H'0BC2		H'0BFF
	H'0C00	H'0C01	H'0C02	←書き込み単位64バイト→	H'0C3F
1Kバイト	H'0C40	H'0C41	H'0C42		H'0C7F
消去単位	H'0FC0	H'0FC1	H'0FC2		H'0FFF
	H'1000	H'1001	H'1002	←書き込み単位64バイト→	H'103F
4Kバイト	H'1040	H'1041	H'1042		H'107F
消去単位	H'1FC0	H'1FC1	H'1FC2		H'1FFF
	H'2000	H'2001	H'2002	←書き込み単位64バイト→	H'203F
4Kバイト	H'2040	H'2041	H'2042		H'207F
	H'2FC0	H'2FC1	H'2FC2		H'2FFF

図 7.1 フラッシュメモリのブロック構成

7.2 レジスタの説明

フラッシュメモリには以下のレジスタがあります。

- フラッシュメモリコントロールレジスタ1 (FLMCR1)
- フラッシュメモリコントロールレジスタ2 (FLMCR2)
- ブロック指定レジスタ1 (EBR1)
- フラッシュメモリイネーブルレジスタ (FENR)

7.2.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

FLMCR1 はフラッシュメモリをプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移させます。具体的な設定方法については「7.4 書き込み/消去プログラム」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット 読み出すと常に0が読み出されます。
6	SWE	0	R/W	ソフトウェアライトイネーブル このビットが1のときフラッシュメモリの書き込み/消去が可能となります。 0のときこのレジスタの他のビットとEBR1の各ビットはセットできません。
5	ESU	0	R/W	イレースセットアップ 1にセットするとイレースセットアップ状態となり、クリアするとセットアップ状態を解除します。FLMCR1のEビットを1にセットする前にセットしてください。
4	PSU	0	R/W	プログラムセットアップ 1にセットするとプログラムセットアップ状態となり、クリアするとセットアップ状態を解除します。FLMCR1のPビットを1にセットする前にセットしてください。
3	EV	0	R/W	イレースベリファイ 1にセットするとイレースベリファイモードへ遷移し、クリアするとイレースベリファイモードを解除します。
2	PV	0	R/W	プログラムベリファイ 1にセットするとプログラムベリファイモードへ遷移し、クリアするとプログラムベリファイモードを解除します。
1	E	0	R/W	イレース SWE=1、ESU=1の状態でのこのビットを1にセットするとイレースモードへ遷移し、クリアするとイレースモードを解除します。
0	P	0	R/W	プログラム SWE=1、PSU=1の状態でのこのビットを1にセットするとプログラムモードへ遷移し、クリアするとプログラムモードを解除します。

7. ROM

7.2.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

FLMCR2 はフラッシュメモリの書き込み/消去の状態を表示します。FLMCR2 は読み出し専用レジスタです。書き込みはしないでください。

ビット	ビット名	初期値	R/W	説明
7	FLER	0	R	このビットはフラッシュメモリへの書き込み/消去中にエラーを検出し、エラープロテクト状態となったときセットされます。 詳細は「7.5.3 エラープロテクト」を参照してください。
6~0	-	すべて0	-	リザーブビット 読み出すと常に0が読み出されます。

7.2.3 ブロック指定レジスタ 1 (EBR1)

EBR1 はフラッシュメモリの消去ブロックを指定するレジスタです。FLMCR1 のSWE ビットが0のときはEBR1 はH'00に初期化されます。このレジスタは2ビット以上同時に1に設定しないでください。設定するとEBR1は0にオートクリアされます。

ビット	ビット名	初期値	R/W	説明
7	-	0	-	リザーブビット
6	-	0	-	読み出すと常に0が読み出されます。
5	EB5	0	R/W	このビットが1のとき H'2000~H'2FFF の4Kバイトが消去対象となります。
4	EB4	0	R/W	このビットが1のとき H'1000~H'1FFF の4Kバイトが消去対象となります。
3	EB3	0	R/W	このビットが1のとき H'0C00~H'0FFF の1Kバイトが消去対象となります。
2	EB2	0	R/W	このビットが1のとき H'0800~H'0BFF の1Kバイトが消去対象となります。
1	EB1	0	R/W	このビットが1のとき H'0400~H'07FF の1Kバイトが消去対象となります。
0	EB0	0	R/W	このビットが1のとき H'0000~H'03FF の1Kバイトが消去対象となります。

7.2.4 フラッシュメモリエネーブルレジスタ (FENR)

FENR のビット7 (FLSHE) は、CPU からフラッシュメモリの制御レジスタ FLMCR1、FLMCR2、EBR1 をアクセスする場合のアクセス許可/禁止を設定します。

ビット	ビット名	初期値	R/W	説明
7	FLSHE	0	R/W	フラッシュメモリコントロールレジスタイネーブル このビットを1にセットすると、フラッシュメモリ制御レジスタがアクセス可能となります。0のときは制御レジスタはアクセスできません。
6~0	-	すべて0	-	リザーブビット 読み出すと常に0が読み出されます。

7.3 オンボードプログラミング

フラッシュメモリの書き込み／消去を行うためのモードとしてオンボードで書き込み／消去ができるブートモードが用意されています。このほかユーザモードでもオンボードで書き込み／消去を行うことが可能です。リセット状態からリセットスタートすると本 LSI は TEST 端子、 $\overline{\text{NMI}}$ 端子およびポートの入カレベルによって表 7.1 のように異なるモードへ遷移します。各端子の入カレベルは少なくともリセット解除の 4 ステート前に確定させる必要があります。

ブートモードに遷移すると、LSI 内部に組み込まれているブートプログラムが起動します。ブートプログラムは SC13 を経由して外部に接続されたホストから書き込み制御プログラムを内蔵 RAM に転送し、フラッシュメモリを全面消去したうえで書き込み制御プログラムを実行します。オンボード状態での初期書き込みや、ユーザモードで書き込み／消去ができなくなった場合の強制復帰等に使用できます。ユーザモードではユーザが用意した書き込み／消去プログラムに分岐することで任意のブロックを消去し書き換えることができます。

表 7.1 プログラミングモード選択方法

TEST	$\overline{\text{NMI}}$	E10T_0	リセット解除後の LSI の状態
0	1	X	ユーザモード
0	0	1	ブートモード

【注】 X : Don't care

7.3.1 ブートモード

ブートモードにおけるリセット解除から書き込み制御プログラムに分岐するまでの動作を表7.2に示します。

1. ブートモードではフラッシュメモリへの書き込み制御プログラムをホスト側に準備しておく必要があります。書き込み制御プログラムは「7.4 書き込み/消去プログラム」に沿ったものを用意してください。
2. SCI3は調歩同期式モードに設定され、送受信フォーマットは「8ビットデータ、1ストップビット、パリティなし」です。
3. ブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データH'00のLow期間を測定してビットレートを計算し、SCI3のビットレートをホストのビットレートに合わせ込みます。リセット解除はRXD端子がHighの状態で行ってください。必要に応じてRXD端子およびTXD端子は、ボード上でLowアップしてください。リセット解除からLow期間を測定できるまで約100ステートかかります。
4. ビットレートの合わせ込みが終了すると調整終了の合図としてH'00を1バイト送信しますので、ホストは調整終了の合図を正常に受信したらH'55を1バイト送信してください。正常に受信できなかった場合はリセットによりブートモードを再起動してください。ホスト側のビットレートと本LSIのシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合が生じます。このため、ホストの転送ビットレートと本LSIのシステムクロック周波数を表7.3の範囲としてください。
5. ブートモードでは内蔵RAMの一部をブートプログラムで使用します。ホスト側から送信される書き込み制御プログラムを格納できるエリアはH'F980～H'FEF番地です。プログラムの実行が書き込み制御プログラムへ移行するまでブートプログラムエリアは使用できません。
6. 書き込み制御プログラムに分岐するときSCI3は送受信動作を終了（SCR3のRE=0、TE=0）しますが、BRRには合わせ込んだビットレートの値は保持されるので、引き続き書き込み制御プログラムでホストとの間の書き込みデータやベリファイデータの送受信に使用できます。TXD端子はHighレベル出力状態（PCR22=1、P22=1）となっています。書き込み制御プログラムへ分岐直後のCPUの汎用レジスタは不定です。特にスタックポインタはサブルーチンコールなどで暗黙的に使用されるため、書き込み制御プログラムの冒頭で初期化してください。
7. ブートモードはリセットにより解除されます。リセット端子をLowレベルにして最低20ステート経過後、TEST端子とNMI端子を設定してリセットを解除してください。WDTのオーバーフローリセットが発生した場合もブートモードは解除されます。
8. ブートモードの途中でTEST端子、NMI端子の入力レベルを変化させないでください。

表 7.2 ブートモードの動作

項目	ホストの動作	通信内容	本LSIの動作
	処理内容		処理内容
ブートモード起動			リセットスタート後 ブートプログラムへ分岐 <div style="text-align: center;"> </div>
ビットレートの合わせ込み	所定のビットレートでH'00を連続送信 ↓ H'00を正常に受信したらH'55送信	H'00, H'00・・・H'00 ← H'00 ← H'55 →	・受信データH'00のLow期間を測定 ・ビットレートを計算し、SCI3のBRRを設定 ・ビットレート合わせ込み終了後、ホストへH'00を送信 H'55を受信
フラッシュメモリ消去	ブートプログラム消去エラー ↓ H'AA受信 ←	← H'FF ← H'AA	フラッシュメモリのデータをチェックし、書き込まれている場合は全ブロックを消去してホストへH'AAを送信。 (消去できなかった場合はH'FFを送信して、動作を停止)
書き込み制御プログラムの転送	転送する書き込み制御プログラムのバイト数(N)を上位バイト、下位バイトの順に2バイト送信 ↓ 書き込み制御プログラムを1バイト毎に送信(N回繰り返し) ↓ H'AA受信 ←	上位バイト、下位バイト ← エコーバック ← H'XX ← エコーバック ← H'AA	受信した2バイトデータをホストへエコーバック ↓ 受信したデータをホストへエコーバックするとともにRAMへ転送(N回繰り返し) ↓ ホストへH'AAを送信
			内蔵RAMに転送された書き込み制御プログラムへ分岐し実行を開始

表 7.3 ビットレート自動合わせ込みが可能なシステムクロック周波数

ホストのビットレート	LSI のシステムクロック周波数範囲
9600bps	8MHz (オンチップオシレータクロック)
4800bps	8MHz (オンチップオシレータクロック)
2400bps	8MHz (オンチップオシレータクロック)

7.3.2 ユーザモードでの書き込み/消去

ユーザモードでもユーザが用意した書き込み/消去プログラムに分岐することで任意のブロックをオンボードで消去し書き換えることができます。分岐のための条件設定やオンボードでの書き換えデータ供給手段をユーザ側で用意する必要があります。また、必要に応じてフラッシュメモリの一部に書き込み/消去プログラムを書き込んでおくか、書き込み/消去プログラムを外部から供給するためのプログラムを書き込んでおく必要があります。書き込み/消去中はフラッシュメモリを読み出せないため、ブートモードと同様書き込み/消去プログラムは内蔵 RAM に転送して実行してください。図 7.2 にユーザモードでの書き込み/消去手順の例を示します。書き込み/消去プログラムは「7.4 書き込み/消去プログラム」に沿ったものを用意してください。

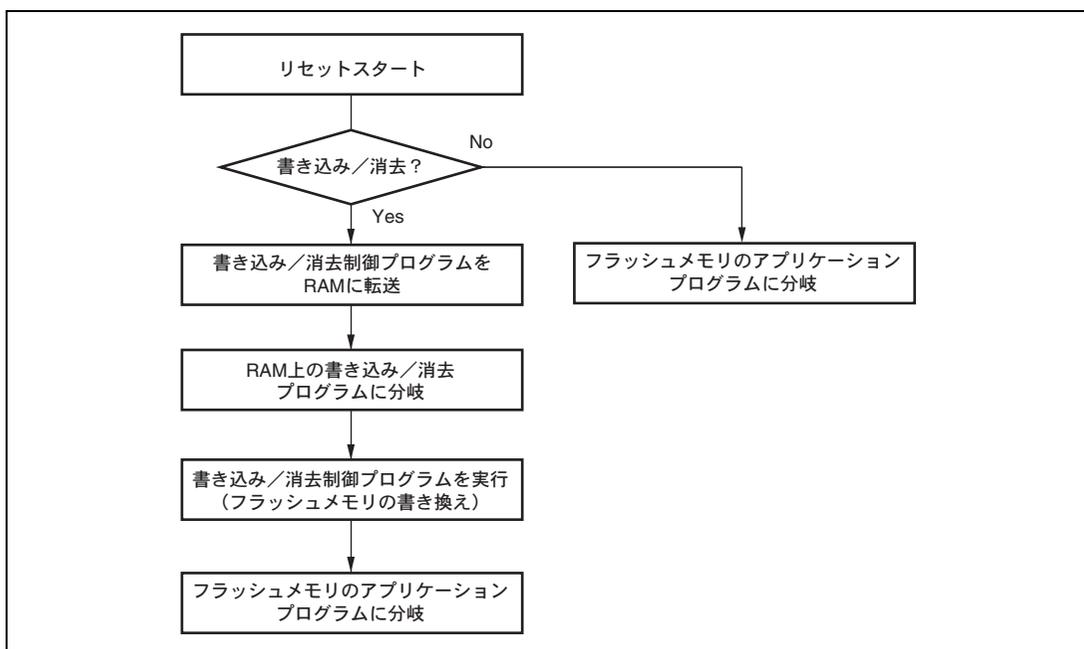


図 7.2 ユーザモードにおける書き込み/消去例

7.4 書き込み／消去プログラム

オンボードでのフラッシュメモリの書き込み／消去はCPUを用いてソフトウェアで行う方式を採用しています。フラッシュメモリはFLMCR1の設定によってプログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードに遷移します。ブートモードでの書き込み制御プログラム、ユーザモードでの書き込み／消去プログラムではこれらのモードを組み合わせる書き込み／消去を行います。フラッシュメモリへの書き込みは「7.4.1 プログラム／プログラムベリファイ」に沿って、また、フラッシュメモリの消去は「7.4.2 イレース／イレースベリファイ」に沿って行ってください。

7.4.1 プログラム／プログラムベリファイ

フラッシュメモリへの書き込みは、図7.3に示すプログラム／プログラムベリファイフローに従ってください。このフローに沿って書き込み動作を行えば、デバイスへの電圧ストレスやデータの信頼性を損なうことなく書き込みを行うことができます。

1. 書き込みは消去状態で行い、既書き込まれたアドレスへの再書き込みは行わないでください。
2. 1回の書き込みは64バイト単位です。64バイトに満たないデータを書き込む場合もフラッシュメモリに64バイトのデータを転送する必要があります。書き込む必要のないアドレスのデータはH'FFにして書き込んでください。
3. RAM上に書き込みデータエリア64バイト、再書き込みデータエリア64バイト、追加書き込みデータエリア64バイトの領域を確保してください。再書き込みデータの演算は表7.4に、追加書き込みデータの演算は表7.5にしたがってください。
4. 再書き込みデータエリアあるいは追加書き込みデータエリアからフラッシュメモリへはバイト単位で64バイト連続転送してください。プログラムアドレスと64バイトのデータがフラッシュメモリ内にラッチされます。転送先のフラッシュメモリの先頭アドレスは下位8ビットをH'00、H'40、H'80またはH'C0としてください。
5. Pビットがセットされている時間が書き込み時間となります。書き込み時間は表7.6にしたがってください。
6. ウォッチドックタイマの設定はプログラムの暴走等による過剰書き込みを避けるためのものです。オーバーフロー周期は6.6ms程度としてください。
7. ベリファイアドレスへのダミーライトは、偶数アドレスにH'FFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードで読み出せます。
8. 同一ビットに対するプログラム／プログラムベリファイシーケンスの繰り返しは、1,000回を超えないようにしてください。

7. ROM

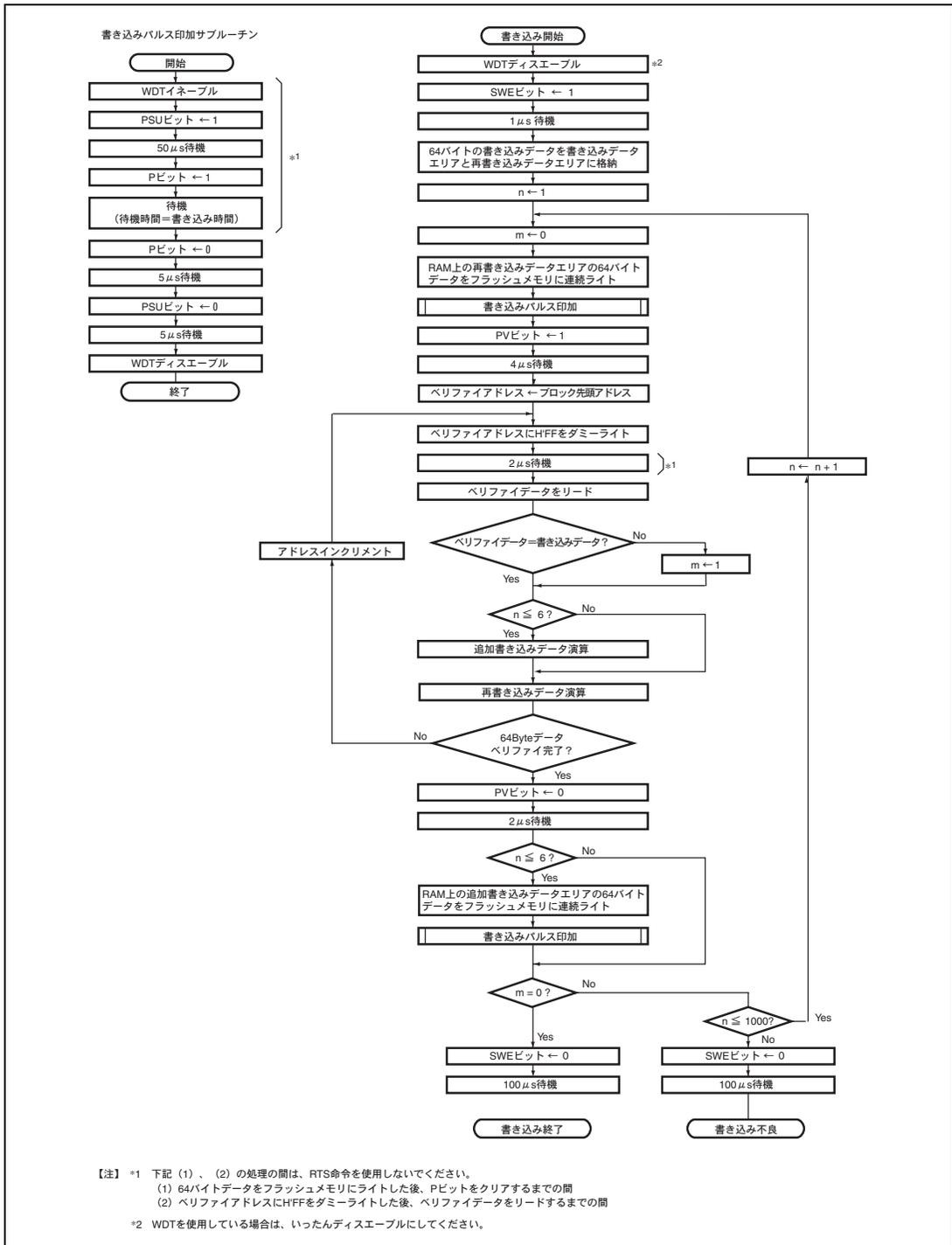


図 7.3 プログラム/プログラムベリファイフロー

表 7.4 再書き込みデータ演算表

書き込みデータ	バリファイデータ	再書き込みデータ	備考
0	0	1	書き込み完了ビット
0	1	0	再書き込みビット
1	0	1	
1	1	1	消去状態のまま

表 7.5 追加書き込みデータ演算表

再書き込みデータ	バリファイデータ	追加書き込みデータ	備考
0	0	0	追加書き込みビット
0	1	1	追加書き込みは実施しない
1	0	1	追加書き込みは実施しない
1	1	1	追加書き込みは実施しない

表 7.6 書き込み時間

n (書き込み回数)	書き込み時	追加書き込み時	備考
1~6	30	10	
7~1,000	200	—	

【注】 時間の単位は μ sです。

7.4.2 イレース/イレースベリファイ

消去は図 7.4 のイレース/イレースベリファイフローチャートに従って行ってください。

1. 消去の前にプレライト（消去するメモリの全データをすべて0にする）を行う必要はありません。
2. 消去はブロック単位で行います。ブロック指定レジスタ1（EBR1）により消去するブロックを1ブロックだけ選択してください。複数のブロックを消去する場合も1ブロックずつ順次消去してください。
3. Eビットが設定されている時間が消去時間となります。
4. ウォッチドックタイマの設定はプログラムの暴走等による過剰書き込みを避けるためのものです。オーバフロー周期は19.8ms程度としてください。
5. ベリファイアドレスへのダミーライトは、偶数アドレスにHFFを1バイト書き込んでください。ベリファイデータはダミーライトを行った番地からワードで読み出せます。
6. 読み出したデータが未消去の場合は再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が100回を超えないようにしてください。

7.4.3 フラッシュメモリの書き込み/消去時の割り込み

フラッシュメモリへの書き込み/消去中またはブートプログラム実行中は以下の理由からNMIを含むすべての割り込み要求を禁止してください。

1. 書き込み/消去中に割り込みが発生すると、正常な書き込み/消去アルゴリズムに沿った動作が保証できなくなる。
2. ベクタアドレスが書き込まれる前、または書き込み/消去中に割り込み例外処理を開始すると、正常なベクタフェッチができずCPUが暴走する。
3. ブートプログラム実行中に割り込みが発生すると、正常なブートモードのシーケンスを実行できなくなる。

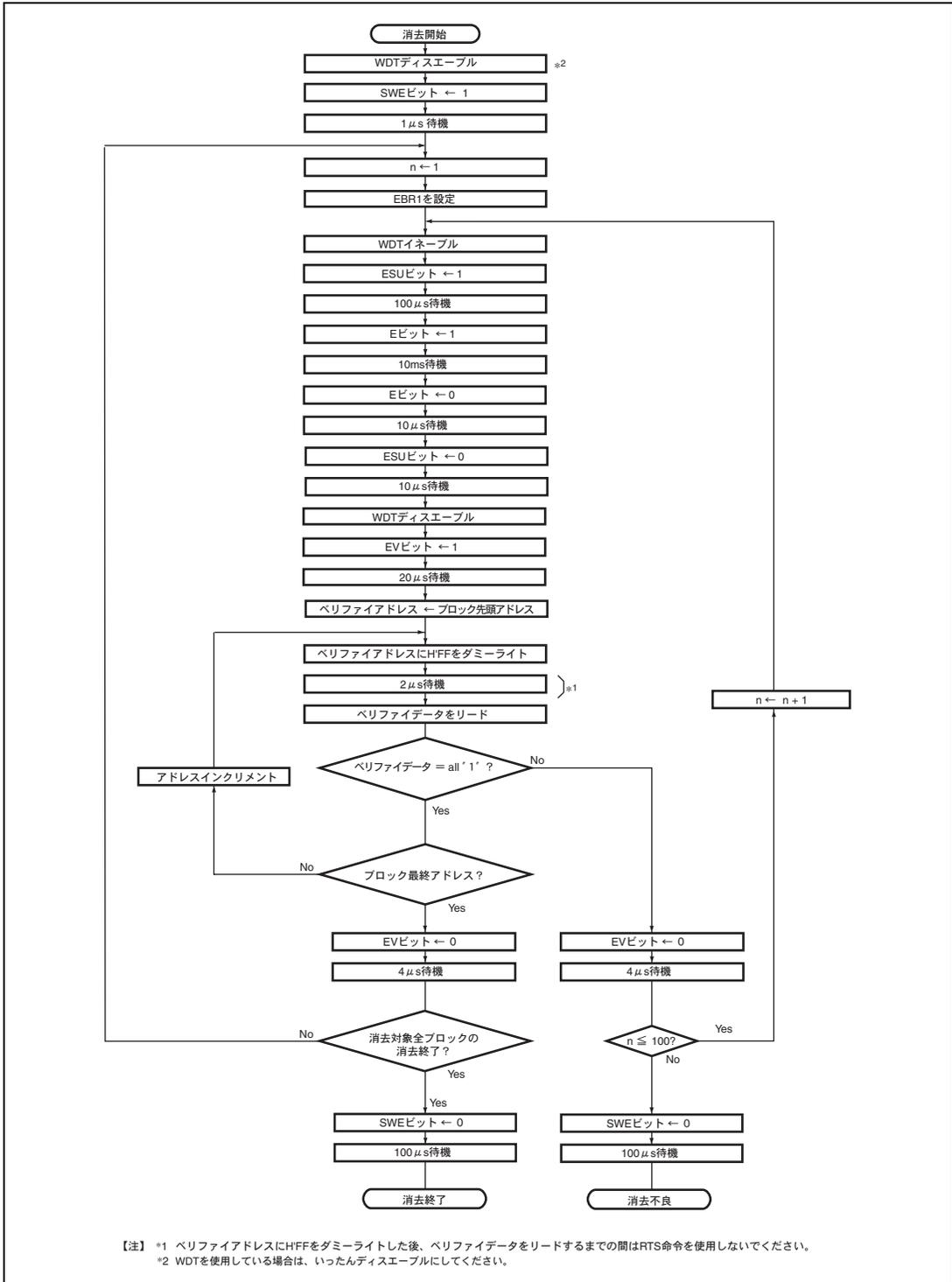


図 7.4 イレース/イレースベリファイフロー

7.5 書き込み／消去プロテクト

フラッシュメモリに対する書き込み／消去プロテクト状態にはハードウェアプロテクトによるもの、ソフトウェアプロテクトによるものとエラープロテクトによるものの3種類あります。

7.5.1 ハードウェアプロテクト

ハードウェアプロテクトは、リセットまたはサブスリープモードおよびスタンバイモードへの状態遷移によりフラッシュメモリに対する書き込み／消去が強制的に禁止、中断された状態をいいます。フラッシュメモリコントロールレジスタ1 (FLMCR1)、フラッシュメモリコントロールレジスタ2 (FLMCR2)、ブロック指定レジスタ1 (EBR1) が初期化されます。 $\overline{\text{RES}}$ 端子によるリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した $\overline{\text{RES}}$ パルス幅の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。

7.5.2 ソフトウェアプロテクト

ソフトウェアで FLMCR1 の SWE ビットをクリアすることで全ブロック書き込み／消去プロテクト状態になります。この状態で FLMCR1 の P ビットまたは E ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。また、ブロック指定レジスタ1 (EBR1) の設定により、ブロック毎に消去プロテクトが可能です。EBR1 を H'00 に設定すると全ブロックが消去プロテクト状態になります。

7.5.3 エラープロテクト

エラープロテクトはフラッシュメモリへの書き込み／消去中に CPU の暴走や書き込み／消去アルゴリズムに沿っていない動作を検出し、強制的に書き込み／消去動作を中断した状態です。書き込み／消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み／消去中に以下のエラーを検出すると、FLMCR2 の FLER ビットが1にセットされ、エラープロテクト状態となります。

- 書き込み／消去中のフラッシュメモリ読み出し（ベクタリードおよび命令フェッチを含む）
- 書き込み／消去中のリセットを除く例外処理開始
- 書き込み／消去中の SLEEP 命令実行

このとき、FLMCR1、FLMCR2、EBR1 の内容は保持されますが、エラーを検出した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットをセットしてもプログラムモードやイレースモードへは遷移しません。ただし、PV ビット、EV ビットは保持され、ベリファイモードへの遷移は可能です。エラープロテクト状態は、リセットによってのみ解除できます。

8. RAM

H8/36912F、H8/36902F は 1536 バイト、H8/36912、H8/36902 は 512 バイト、H8/36911、H8/36901、H8/36900 は 256 バイトの高速スタティック RAM を内蔵しています。RAM は 16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータとも 2 ステートでアクセスします。

製品分類		RAM 容量	RAM アドレス
フラッシュメモリ版	H8/36912F	1536 バイト	H'F980~H'FF7F*
	H8/36902F	1536 バイト	H'F980~H'FF7F*
マスク ROM 版	H8/36912、H8/36902	512 バイト	H'FD80~H'FF7F
	H8/36911、H8/36901	256 バイト	H'FE80~H'FF7F
	H8/36900	256 バイト	H'FE80~H'FF7F

【注】 * E7、E8 使用時は H'F980~H'FD7F 領域は絶対にアクセスしないでください。

8. RAM

9. I/O ポート

H8/36912 グループ、H8/36902 グループは汎用入出力ポートを 18 本備えています。このうちポート 8 (P84~P80) は大電流ポートで Low レベル出力時 20mA (@V_{OL}=1.5V) 駆動できます。いずれも内蔵周辺モジュールの入出力端子や外部割り込み入力端子と兼用になっていてリセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。これら機能を選択するためのレジスタは I/O ポートに含まれるものと、各内蔵周辺モジュールに含まれるものがあります。汎用入出力ポートは入出力を制御するポートコントロールレジスタと出力データを格納するポートデータレジスタから構成され、ビット単位で入出力を選択できます。各ポートの機能については「付録 B.1 I/O ポートブロック図」をあわせて参照してください。また、ポートコントロールレジスタ、ポートデータレジスタに対するビット操作命令の実行については「2.8.3 ビット操作命令」を参照してください。

9. I/O ポート

9.1 ポート 1

ポート 1 は IRQ 割り込み入力端子、タイマ V 入力端子と兼用の入出力ポートです。ポート 1 の各端子は図 9.1 に示す構成になっています。

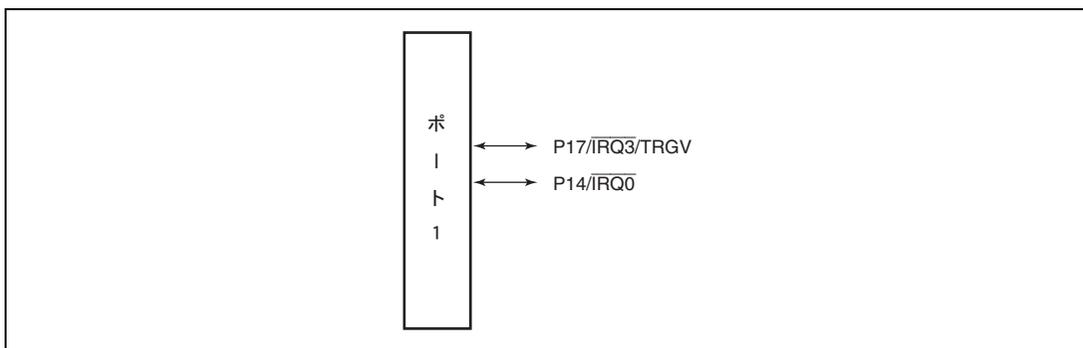


図 9.1 ポート 1 の端子構成

ポート 1 には以下のレジスタがあります。

- ポートモードレジスタ 1 (PMR1)
- ポートコントロールレジスタ 1 (PCR1)
- ポートデータレジスタ 1 (PDR1)
- ポートプルアップコントロールレジスタ 1 (PUCR1)

9.1.1 ポートモードレジスタ 1 (PMR1)

PMR1 はポート 1 とポート 2 の端子の機能を切り替えます。

ビット	ビット名	初期値	R/W	説明
7	IRQ3	0	R/W	P17/IRQ3/TRGV 端子の機能を選択します。 0 : 汎用入出力ポート 1 : IRQ3 および TRGV 入力端子
6	—	0	—	リザーブビット
5	—	0	—	読み出すと常に 0 が読み出されます。
4	IRQ0	0	R/W	P14/IRQ0 端子の機能を選択します。 0 : 汎用入出力ポート 1 : IRQ0 入力端子
3	—	0	—	リザーブビット
2	—	0	—	読み出すと常に 0 が読み出されます。

ビット	ビット名	初期値	R/W	説 明
1	TXD	0	R/W	P22/TXD 端子の機能を選択します。 0 : 汎用入力ポート 1 : TXD 出力端子
0	—	0	—	リザーブビット 読み出すと常に0が読み出されます。

9.1.2 ポートコントロールレジスタ 1 (PCR1)

PCR1 はポート 1 の汎用入力ポートとして使用する端子の入出力をビットごとに選択します。

ビット	ビット名	初期値	R/W	説 明
7	PCR17	0	W	PMR1 により汎用入力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。 ビット 6、5、3~0 はリザーブビットです。
6	—	—	—	
5	—	—	—	
4	PCR14	0	W	
3	—	—	—	
2	—	—	—	
1	—	—	—	
0	—	—	—	

9.1.3 ポートデータレジスタ 1 (PDR1)

PDR1 はポート 1 の汎用入力ポートデータレジスタです。

ビット	ビット名	初期値	R/W	説 明
7	P17	0	R/W	ポート 1 の出力値を格納します。 このレジスタをリードすると、PCR1 がセットされているビットはこのレジスタの値が読み出されます。PCR1 がクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。 ビット 6、5、3~0 はリザーブビットです。読み出すと常に1が読み出されます。
6	—	1	—	
5	—	1	—	
4	P14	0	R/W	
3	—	1	—	
2	—	1	—	
1	—	1	—	
0	—	1	—	

9. I/O ポート

9.1.4 ポートプルアップコントロールレジスタ 1 (PUCR1)

PUCR1 は入力ポートに設定された端子のプルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	PUCR17	0	R/W	PCR1 がクリアされているビットのみ有効。 1 をセットすると対応する P17、P14 端子のプルアップ MOS がオン状態となり、 0 にクリアするとオフします。 ビット 6、5、3~0 はリザーブビットです。読み出すと常に 1 が読み出されます。
6	—	1	—	
5	—	1	—	
4	PUCR14	0	R/W	
3	—	1	—	
2	—	1	—	
1	—	1	—	
0	—	1	—	

9.1.5 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

• P17/ $\overline{\text{IRQ3}}$ /TRGV 端子

レジスタ名	PMR1	PCR1	機 能
ビット名	IRQ3	PCR17	
設定値	0	0	P17 入力端子
		1	P17 出力端子
	1	X	$\overline{\text{IRQ3}}$ 入力/TRGV 入力端子

【注】 X : Don't care

• P14/ $\overline{\text{IRQ0}}$ 端子

レジスタ名	PMR1	PCR1	機 能
ビット名	IRQ0	PCR14	
設定値	0	0	P14 入力端子
		1	P14 出力端子
	1	X	$\overline{\text{IRQ0}}$ 入力端子

【注】 X : Don't care

9.2 ポート 2

ポート 2 は SCI3 の入出力端子と兼用の入出力ポートです。ポート 2 の各端子は図 9.2 に示す構成になっています。兼用端子の機能は PMR1 および SCI3 のレジスタの設定が優先されます。

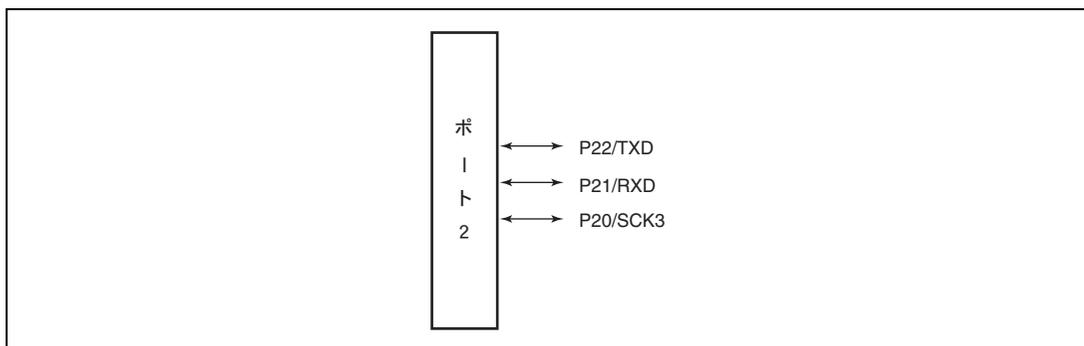


図 9.2 ポート 2 の端子構成

ポート 2 には以下のレジスタがあります。

- ポートコントロールレジスタ 2 (PCR2)
- ポートデータレジスタ 2 (PDR2)

9.2.1 ポートコントロールレジスタ 2 (PCR2)

PCR2 はポート 2 の汎用入出力ポートとして使用する端子の入出力をビットごとに選択します。

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて—	—	リザーブビット
2	PCR22	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。
1	PCR21	0	W	
0	PCR20	0	W	

9. I/O ポート

9.2.2 ポートデータレジスタ 2 (PDR2)

PDR2 はポート 2 の汎用入出力ポートデータレジスタです。

ビット	ビット名	初期値	R/W	説 明
7~3	—	すべて 1	—	リザーブビット 読み出すと常に 1 が読み出されます。
2	P22	0	R/W	ポート 2 の出力値を格納します。
1	P21	0	R/W	このレジスタをリードすると、PCR2 がセットされているビットはこのレジスタの値が読み出されます。PCR2 がクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。
0	P20	0	R/W	

9.2.3 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

• P22/TXD端子

レジスタ名	PMR1	PCR2	機 能
ビット名	TXD	PCR22	
設定値	0	0	P22 入力端子
		1	P22 出力端子
	1	X	TXD 出力端子

【注】 X : Don't care

• P21/RXD端子

レジスタ名	SCR3	PCR2	機 能
ビット名	RE	PCR21	
設定値	0	0	P21 入力端子
		1	P21 出力端子
	1	X	RXD 入力端子

【注】 X : Don't care

• P20/SCK3端子

レジスタ名	SCR3		SMR	PCR2	機 能
	CKE1	CKE0	COM	PCR20	
設定値	0	0	0	0	P20 入力端子
				1	P20 出力端子
	0	0	1	X	SCK3 出力端子
	0	1	X	X	SCK3 出力端子
	1	X	X	X	SCK3 入力端子

【注】 X : Don't care

9.3 ポート 5

ポート 5 は、I²C バスインタフェース入出力端子*、A/D トリガ入力端子、ウェイクアップ割り込み入力端子と兼用の入出力ポートです。ポート 5 の各端子は図 9.3 に示す構成になっています。P57/SCL、P56/SDA 端子の機能は I²C バスインタフェースのレジスタの設定が優先されます。

【注】 * H8/36912 グループのみです。

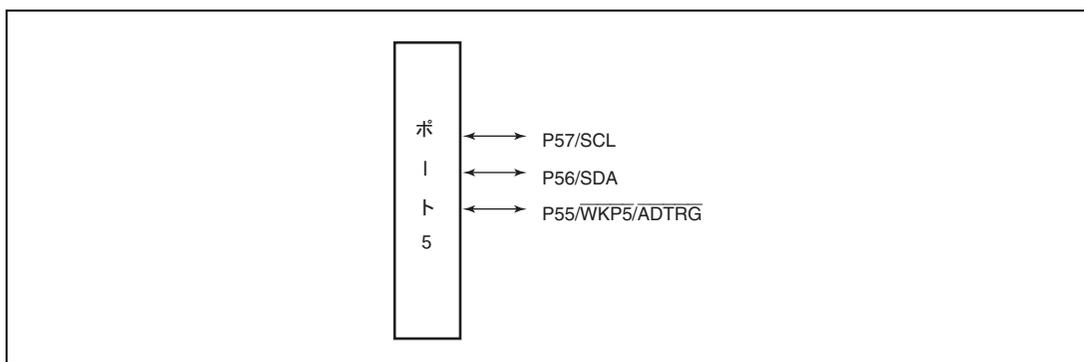


図 9.3 ポート 5 の端子構成

ポート 5 には以下のレジスタがあります。

- ポートモードレジスタ 5 (PMR5)
- ポートコントロールレジスタ 5 (PCR5)
- ポートデータレジスタ 5 (PDR5)
- ポートブルアップコントロールレジスタ 5 (PUCR5)

9.3.1 ポートモードレジスタ 5 (PMR5)

PMR5 はポート 5 の端子の機能を切り替えます。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット
6	—	0	—	読み出すと常に 0 が読み出されます。
5	WKP5	0	R/W	P55/WKP5/ADTRG 端子の機能を選択します。 0 : 汎用入出力ポート 1 : WKP5 入力端子および ADTRG 入力端子
4~0	—	すべて 0	—	リザーブビット 読み出すと常に 0 が読み出されます。

9. I/O ポート

9.3.2 ポートコントロールレジスタ 5 (PCR5)

PCR5 はポート 5 の汎用入出力ポートとして使用する端子の入出力をビットごとに選択します。

ビット	ビット名	初期値	R/W	説明
7	PCR57	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。
6	PCR56	0	W	
5	PCR55	0	W	
4~0	—	すべて—	—	リザーブビット

9.3.3 ポートデータレジスタ 5 (PDR5)

PDR5 はポート 5 の汎用入出力ポートデータレジスタです。

ビット	ビット名	初期値	R/W	説明
7	P57	0	R/W	ポート 5 の出力値を格納します。 このレジスタをリードすると、PCR5 がセットされているビットはこのレジスタの値が読み出されます。PCR5 がクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。
6	P56	0	R/W	
5	P55	0	R/W	
4~0	—	すべて 1	—	リザーブビット 読み出すと常に 1 が読み出されます。

9.3.4 ポートプルアップコントロールレジスタ 5 (PUCR5)

PUCR5 は入力ポートに設定された端子のプルアップ MOS をビットごとに制御します。

ビット	ビット名	初期値	R/W	説明
7	—	0	—	リザーブビット 読み出すと常に 0 が読み出されます。
6	—	0	—	
5	PUCR55	0	R/W	PCR5 がクリアされているビットのみ有効。 1 をセットすると対応する端子のプルアップ MOS が ON 状態となり、0 にクリアすると OFF します。
4~0	—	すべて 0	—	リザーブビット 読み出すと常に 0 が読み出されます。

9.3.5 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

• P57/SCL端子

レジスタ名	ICCR	PCR5	機 能
ビット名	ICE	PCR57	
設定値	0	0	P57 入力端子
		1	P57 出力端子
	1	X	SCL 入出力端子*

【注】 X : Don't care

SCL の出力形態は NMOS オープンドレイン出力となり、直接バス駆動が可能です。

* H8/36912 グループのみです。

• P56/SDA端子

レジスタ名	ICCR	PCR5	機 能
ビット名	ICE	PCR56	
設定値	0	0	P56 入力端子
		1	P56 出力端子
	1	X	SDA 入出力端子*

【注】 X : Don't care

SDA の出力形態は NMOS オープンドレイン出力となり、直接バス駆動が可能です。

* H8/36912 グループのみです。

• P55/WKP5/ADTRG端子

レジスタ名	PMR5	PCR5	機 能
ビット名	WKP5	PCR55	
設定値	0	0	P55 入力端子
		1	P55 出力端子
	1	X	WKP5/ADTRG 入力端子

【注】 X : Don't care

9.4 ポート 7

ポート7はタイマVの入出力端子と兼用の入出力ポートです。ポート7の各端子は、図9.4に示す構成になっています。P76/TMOV 端子の機能はタイマVの TCSR の設定が優先されます。P75/TMCIV、P74/TMRIV 端子はタイマV入力兼用ポートで、ポート7のレジスタの設定にかかわらずタイマVと接続されています。

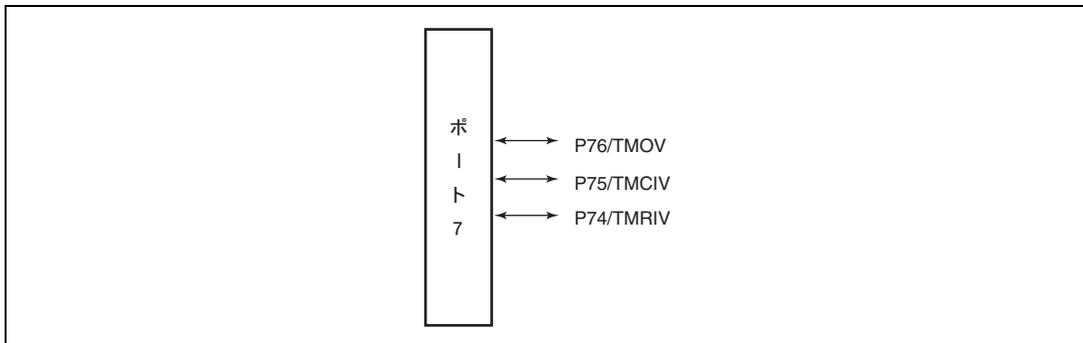


図 9.4 ポート 7 の端子構成

ポート7には以下のレジスタがあります。

- ポートコントロールレジスタ7 (PCR7)
- ポートデータレジスタ7 (PDR7)

9.4.1 ポートコントロールレジスタ 7 (PCR7)

PCR7 はポート 7 の汎用入出力ポートとして使用する端子の入出力をビットごとに選択します。

ビット	ビット名	初期値	R/W	説明
7	—	—	—	リザーブビット
6	PCR76	0	W	このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。ただし、P76/TMOV 端子の入出力方向はタイマVの TCSR の設定が優先されます。
5	PCR75	0	W	
4	PCR74	0	W	
3~0	—	すべて—	—	リザーブビット

9.4.2 ポートデータレジスタ 7 (PDR7)

PDR7はポート7の汎用入出力ポートデータレジスタです。

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブビット 読み出すと常に1が読み出されます。
6	P76	0	R/W	ポート7の出力値を格納します。 このレジスタをリードすると、PCR7がセットされているビットはこのレジスタの値が読み出されます。PCR7がクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。
5	P75	0	R/W	
4	P74	0	R/W	
3~0	—	すべて1	—	リザーブビット 読み出すと常に1が読み出されます。

9.4.3 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

- P76/TMOV端子

レジスタ名	TCSR.V	PCR7	機 能
ビット名	OS3~OS0	PCR76	
設定値	0000	0	P76 入力端子
		1	P76 出力端子
	上記以外	X	TMOV 出力端子

【注】 X : Don't care

- P75/TMCIV端子

レジスタ名	PCR7	機 能
ビット名	PCR75	
設定値	0	P75 入力/TMCIV 入力端子
	1	P75 出力/TMCIV 入力端子

- P74/TMRIV端子

レジスタ名	PCR7	機 能
ビット名	PCR74	
設定値	0	P74 入力/TMRIV 入力端子
	1	P74 出力/TMRIV 入力端子

9.5 ポート 8

ポート 8 はタイマ W の入出力端子と兼用の入出力ポートです。ポート 8 の各端子は、図 9.5 に示す構成になっています。P84/FTIOD、P83/FTIOC、P82/FTIOB、P81/FTIOA の機能はタイマ W のレジスタの設定が優先されます。P80/FTCI 端子はタイマ W 入力兼用ポートで、ポート 8 のレジスタの設定にかかわらずタイマ W と接続されています。

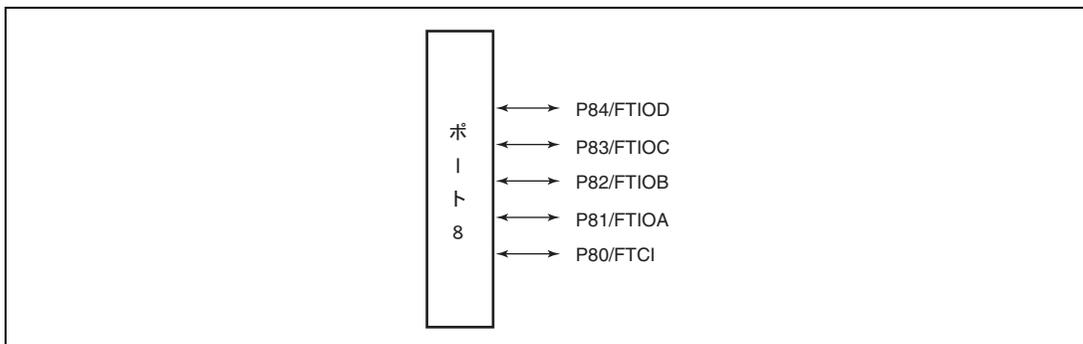


図 9.5 ポート 8 の端子構成

ポート 8 には以下のレジスタがあります。

- ポートコントロールレジスタ 8 (PCR8)
- ポートデータレジスタ 8 (PDR8)

9.5.1 ポートコントロールレジスタ 8 (PCR8)

PCR8 はポート 8 の汎用入出力ポートとして使用する端子の入出力をビットごとに選択します。

ビット	ビット名	初期値	R/W	説明
7~5	—	すべて—	—	リザーブビット
4	PCR84	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。
3	PCR83	0	W	
2	PCR82	0	W	
1	PCR81	0	W	
0	PCR80	0	W	

9.5.2 ポートデータレジスタ 8 (PDR8)

PDR8 はポート 8 の汎用入出力ポートデータレジスタです。

ビット	ビット名	初期値	R/W	説明
7~5	—	すべて—	—	リザーブビット
4	P84	0	R/W	ポート 8 の出力値を格納します。 このレジスタをリードすると、PCR8 がセットされているビットはこのレジスタの値が読み出されます。PCR8 がクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。
3	P83	0	R/W	
2	P82	0	R/W	
1	P81	0	R/W	
0	P80	0	R/W	

9.5.3 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

• P84/FTIOD端子

レジスタ名	TIOR1			PCR8	機能
	ビット名	IOD2	IOD1	IOD0	
設定値	0	0	0	0	P84 入力/FTIOD 入力端子
				1	P84 出力/FTIOD 入力端子
	0	0	1	X	FTIOD 出力端子
				X	FTIOD 出力端子
	1	X	X	0	P84 入力/FTIOD 入力端子
				1	P84 出力/FTIOD 入力端子

【注】 X : Don't care

• P83/FTIOC端子

レジスタ名	TIOR1			PCR8	機能
	ビット名	IOC2	IOC1	IOC0	
設定値	0	0	0	0	P83 入力/FTIOC 入力端子
				1	P83 出力/FTIOC 入力端子
	0	0	1	X	FTIOC 出力端子
				X	FTIOC 出力端子
	1	X	X	0	P83 入力/FTIOC 入力端子
				1	P83 出力/FTIOC 入力端子

【注】 X : Don't care

9. I/O ポート

• P82/FTIOB

レジスタ名	TIOR0			PCR8	機 能
ビット名	IOB2	IOB1	IOB0	PCR82	
設定値	0	0	0	0	P82 入力/FTIOB 入力端子
				1	P82 出力/FTIOB 入力端子
	0	0	1	X	FTIOB 出力端子
	0	1	X	X	FTIOB 出力端子
	1	X	X	0	P82 入力/FTIOB 入力端子
				1	P82 出力/FTIOB 入力端子

【注】 X : Don't care

• P81/FTIOA端子

レジスタ名	TIOR0			PCR8	機 能
ビット名	IOA2	IOA1	IOA0	PCR81	
設定値	0	0	0	0	P81 入力/FTIOA 入力端子
				1	P81 出力/FTIOA 入力端子
	0	0	1	X	FTIOA 出力端子
	0	1	X	X	FTIOA 出力端子
	1	X	X	0	P81 入力/FTIOA 入力端子
				1	P81 出力/FTIOA 入力端子

【注】 X : Don't care

• P80/FTCI端子

レジスタ名	PCR8	機 能
ビット名	PCR80	
設定値	0	P80 入力/FTCI 入力端子
	1	P80 出力/FTCI 入力端子

9.6 ポート B

ポート B は A/D 変換器のアナログ入力端子、LVD の外部比較電圧入力端子と兼用の入力ポートです。ポート B の各端子は図 9.6 に示す構成になっています。

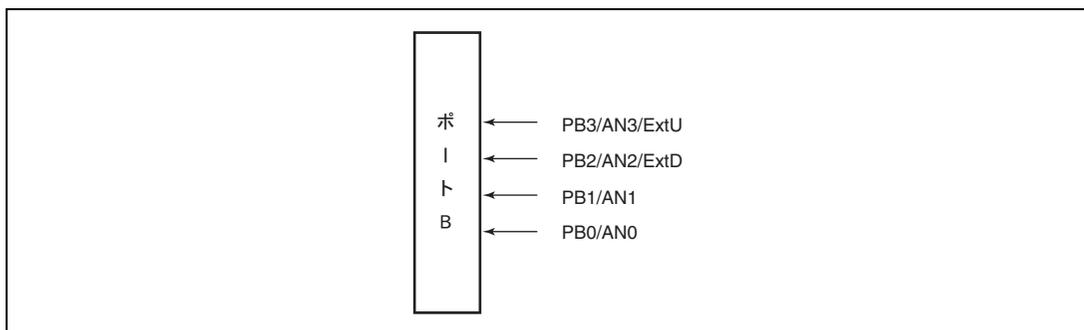


図 9.6 ポート B の端子構成

ポート B には以下のレジスタがあります。

- ポートデータレジスタ B (PDRB)

9.6.1 ポートデータレジスタ B (PDRB)

PDRB はポート B の汎用入力ポートデータレジスタです。

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて—	—	リザーブビット
3	PB3	—	R	このレジスタをリードすると各端子の入力値が読み出されます。 ただし、A/D 変換器の ADCSR によりアナログ入力チャンネル、または低電圧検出回路の LVDCCR により外部比較電圧入力端子に指定されている端子はリードすると 0 が読み出されます。
2	PB2	—	R	
1	PB1	—	R	
0	PB0	—	R	

9. I/O ポート

9.6.2 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

• PB3/AN3/ExtU端子

レジスタ名	ADCSR			LVDCR	機 能
ビット名	CH2	CH1	CH0	VDDII	
設定値	0	1	1	1	AN3 入力端子
				0	AN3 入力端子/ExtU 入力端子
	上記以外			1	PB3 入力端子
				0	PB3 入力端子/ExtU 入力端子

• PB2/AN2/ExtD端子

レジスタ名	ADCSR				LVDCR	機 能
ビット名	CH2	SCAN	CH1	CH0	VDDII	
設定値	0	0	1	0	1	AN2 入力端子
	0	1	1	X	0	AN2 入力端子/ExtD 入力端子
	上記以外				1	PB2 入力端子
					0	PB2 入力端子/ExtD 入力端子

【注】 X : Don't care

• PB1/AN1端子

レジスタ名	ADCSR				機 能
ビット名	CH2	SCAN	CH1	CH0	
設定値	0	X	0	1	AN1 入力端子
	0	1	1	X	
	上記以外				PB1 入力端子

【注】 X : Don't care

• PB0/AN0端子

レジスタ名	ADCSR				機 能
ビット名	CH2	SCAN	CH1	CH0	
設定値	0	0	0	0	AN0 入力端子
	0	1	X	X	
	上記以外				PB0 入力端子

【注】 X : Don't care

9.7 ポート C

ポート C は外部発振端子、クロック出力端子と入出力ポートです。ポート C の各端子は図 9.7 に示す構成になっています。兼用端子の機能は CKCSR のレジスタの設定が優先されます。

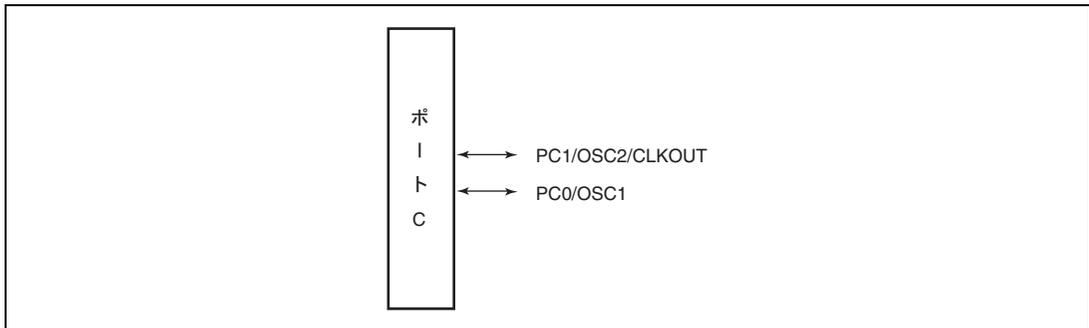


図 9.7 ポート C の端子構成

ポート C には以下のレジスタがあります。

- ポートコントロールレジスタ C (PCRC)
- ポートデータレジスタ C (PDRC)

9.7.1 ポートコントロールレジスタ C (PCRC)

PCRC はポート C の汎用入出力ポートとして使用する端子の入出力をビットごとに指定します。

ビット	ビット名	初期値	R/W	説明
7~2	—	すべて—	—	リザーブビット
1	PCRC1	0	W	汎用入出力ポートの機能が選択されているとき、このビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると入力ポートとなります。
0	PCRC0	0	W	

9.7.2 ポートデータレジスタ C (PDRC)

PDRC はポート C の汎用入出力ポートデータレジスタです。

ビット	ビット名	初期値	R/W	説明
7~2	—	すべて—	—	リザーブビット
1	PC1	0	R/W	ポート C の出力値を格納します。 このレジスタをリードすると、PCRC がセットされているビットはこのレジスタの値が読み出されます。PCRC がクリアされているビットはこのレジスタの値にかかわらず端子の状態が読み出されます。
0	PC0	0	R/W	

9. I/O ポート

9.7.3 端子機能

レジスタの設定値とポートの端子機能の関係は以下のとおりです。

- PC1/OSC2/CLKOUT端子

レジスタ名	CKCSR		PCRC	機 能
ビット名	PMRC1	PMRC0	PCRC1	
設定値	0	X	0	PC1 入力端子
			1	PC1 出力端子
	1	0	X	CLKOUT 出力端子
			1	OSC2 発振端子

【注】 X : Don't care

- PC0/OSC1端子

レジスタ名	CKCSR	PCRC	機 能
ビット名	PMRC0	PCRC0	
設定値	0	0	PC0 入力端子
		1	PC0 出力端子
	1	X	OSC1 発振端子

【注】 X : Don't care

10. タイマ B1

タイマ B1 は、入力クロックによりカウントアップする 8 ビットのタイマです。タイマ B1 の機能は、インターバル機能、オートリロード機能の 2 種類です。タイマ B1 のブロック図を図 10.1 に示します。

10.1 特長

- クロック選択：7種類
7種類の内部クロック（ $\phi/8192$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/64$ 、 $\phi/16$ 、 $\phi/4$ ）の選択が可能
- カウンタのオーバフローで割り込みを発生

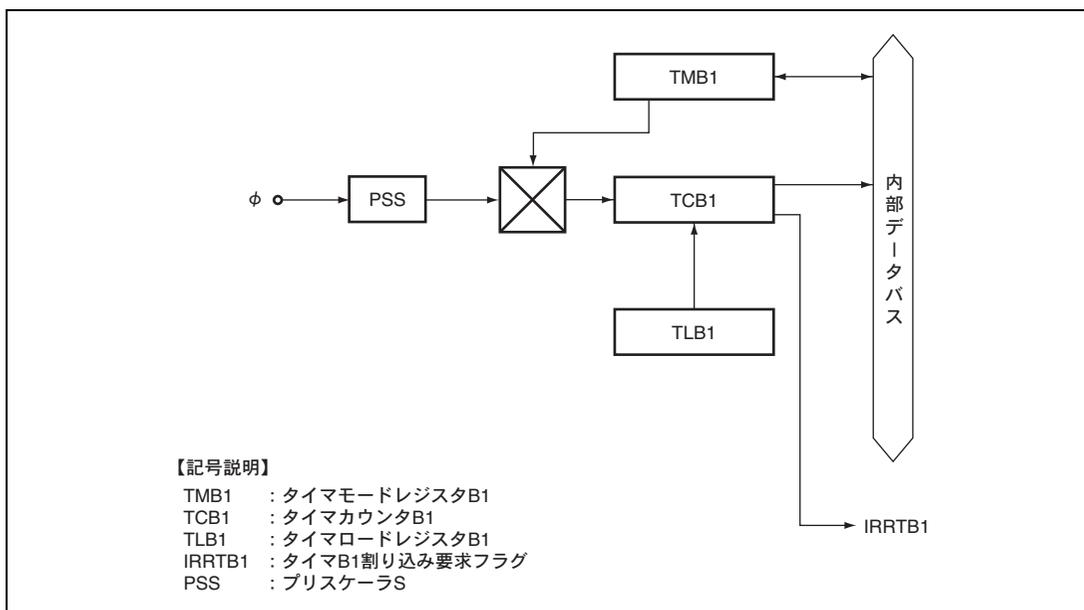


図 10.1 タイマ B1 ブロック図

10.2 レジスタの説明

タイマ B1 には以下のレジスタがあります。

- タイマモードレジスタ B1 (TMB1)
- タイマカウンタ B1 (TCB1)
- タイマロードレジスタ B1 (TLB1)

10.2.1 タイマモードレジスタ B1 (TMB1)

TMB1 はオートリロード機能の選択、および入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説明
7	TMB17	0	R/W	オートリロード機能選択 0: インターバル機能を選択 1: オートリロード機能を選択
6	—	1	R/W	リザーブビット リード/ライト可能ですが、0 に設定しないでください。
5~3	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。
2	TMB12	0	R/W	クロックセレクト 000: 内部クロック φ/8192 でカウント 001: 内部クロック φ/2048 でカウント 010: 内部クロック φ/512 でカウント 011: 内部クロック φ/256 でカウント 100: 内部クロック φ/64 でカウント 101: 内部クロック φ/16 でカウント 110: 内部クロック φ/4 でカウント 111: リザーブ (設定しないでください。)
1	TMB11	0	R/W	
0	TMB10	0	R/W	

10.2.2 タイマカウンタ B1 (TCB1)

TCB1 は 8 ビットのリード可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックは、TMB1 の TMB12~TMB10 により選択します。TCB1 の値は、CPU から常にリードできます。TCB1 がオーバーフロー (H'FF→H'00 または H'FF→TLB1 の設定値) すると、IRR2 の IRRTB1 フラグが 1 にセットされます。TCB1 は、TLB1 と同一のアドレスに割り付けられます。

10.2.3 タイマロードレジスタ B1 (TLB1)

TLB1 は 8 ビットのライト専用レジスタで、TCB1 のリロード値を設定します。TLB1 にリロード値を設定すると、同時にその値は TCB1 にもロードされ、TCB1 はその値からカウントアップを開始します。またオートリロード動作時に TCB1 がオーバーフローすると、TCB1 に TLB1 の値がロードされます。したがって、オーバーフロー周期を 1~256 入力クロックの範囲で設定することができます。TLB1 は、TCB1 と同一のアドレスに割り付けられています。

10.3 動作説明

10.3.1 インターバルタイマの動作

TMB1 の TMB17 を 0 にクリアすると、タイマ B1 は 8 ビットのインターバルタイマとして動作します。リセット時、TCB1 は H'00、TMB17 は 0 にクリアされるため、リセット直後はインターバルタイマとして停止することなくカウントアップを続けます。タイマ B1 の動作クロックは TMB1 の TMB12~TMB10 によって、プリスケラ S の出力する 7 種類の内部クロックを選択できます。

TMB1 のカウント値が H'FF になった後にクロックが入力されると、タイマ B1 はオーバーフローして IRR2 の IRRTB1 フラグが 1 にセットされます。このときに IENR2 の IENTB1 が 1 ならば CPU に割り込みを要求します。

オーバーフロー時には TCB1 のカウント値は H'00 に戻り、再びカウントアップを開始します。インターバルタイマ動作時 (TMB17=0) に TLB1 を設定すると、同時に TCB1 にも TLB1 の値をロードします。

10.3.2 オートリロードタイマの動作

TMB1 の TMB17 を 1 にセットすると、タイマ B1 は 8 ビットのオートリロードタイマとして動作します。TLB1 にリロード値を設定すると、同時にその値が TCB1 にロードされ、TCB1 はその値からカウントアップを開始します。TCB1 のカウント値が H'FF になった後にクロックが入力されると、タイマ B1 はオーバーフローし、TLB1 の値が TCB1 にロードされて、その値からカウントアップを続けます。したがって、TLB1 の値によってオーバーフロー周期を 1~256 入力クロックの範囲で設定できます。

オートリロード動作時のクロックおよび割り込みについては、インターバル動作時と同様です。なおオートリロード動作時 (TMB17=1) に TLB1 の値を再設定すると、同時に TCB1 にも TLB1 の値をロードします。

10.4 タイマ B1 の動作モード

タイマ B1 の動作モードを表 10.1 に示します。

表 10.1 タイマ B1 の動作モード

動作モード		リセット	アクティブ	スリープ	サブスリープ	スタンバイ
TCB1	インターバル	リセット	動作	動作	停止	停止
	オートリロード	リセット	動作	動作	停止	停止
TMB1		リセット	動作	保持	保持	保持

11. タイマV

タイマVは8ビットのカウンタをベースにした8ビットタイマです。外部のイベントのカウントが可能のほか、2本のレジスタとのコンペアマッチ信号によりカウンタのリセット、割り込み要求、任意のデューティ比のパルス出力などが可能です。また、TRGV端子からのトリガ入力によるカウント開始機能を備えていますので、トリガ入力から任意時間経過後にトリガと同期したパルスの出力制御が可能です。タイマVのブロック図を図11.1に示します。

11.1 特長

- 7種類のクロックを選択可能
6種類の内部クロック ($\phi/128$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$) と外部クロックのうちから選択できます。
- カウンタのクリア指定が可能
コンペアマッチA、コンペアマッチB、または外部リセット信号のうちから選択できます。カウント停止機能を選択しているときは、カウンタクリアと同時にカウントが停止します。
- 2つのコンペアマッチ信号の組み合わせでタイマ出力を制御
独立に動作可能な2つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能です。
- 割り込み要因
コンペアマッチA、コンペアマッチB、タイマオーバフローの3種類があります。
- トリガ入力によるカウント開始機能
TRGV端子からのトリガ入力によるカウント開始機能を備えています。TRGV端子からのトリガ入力は立ち上がりエッジ、立ち下がりエッジ、両エッジからの選択が可能です。

11. タイマ V

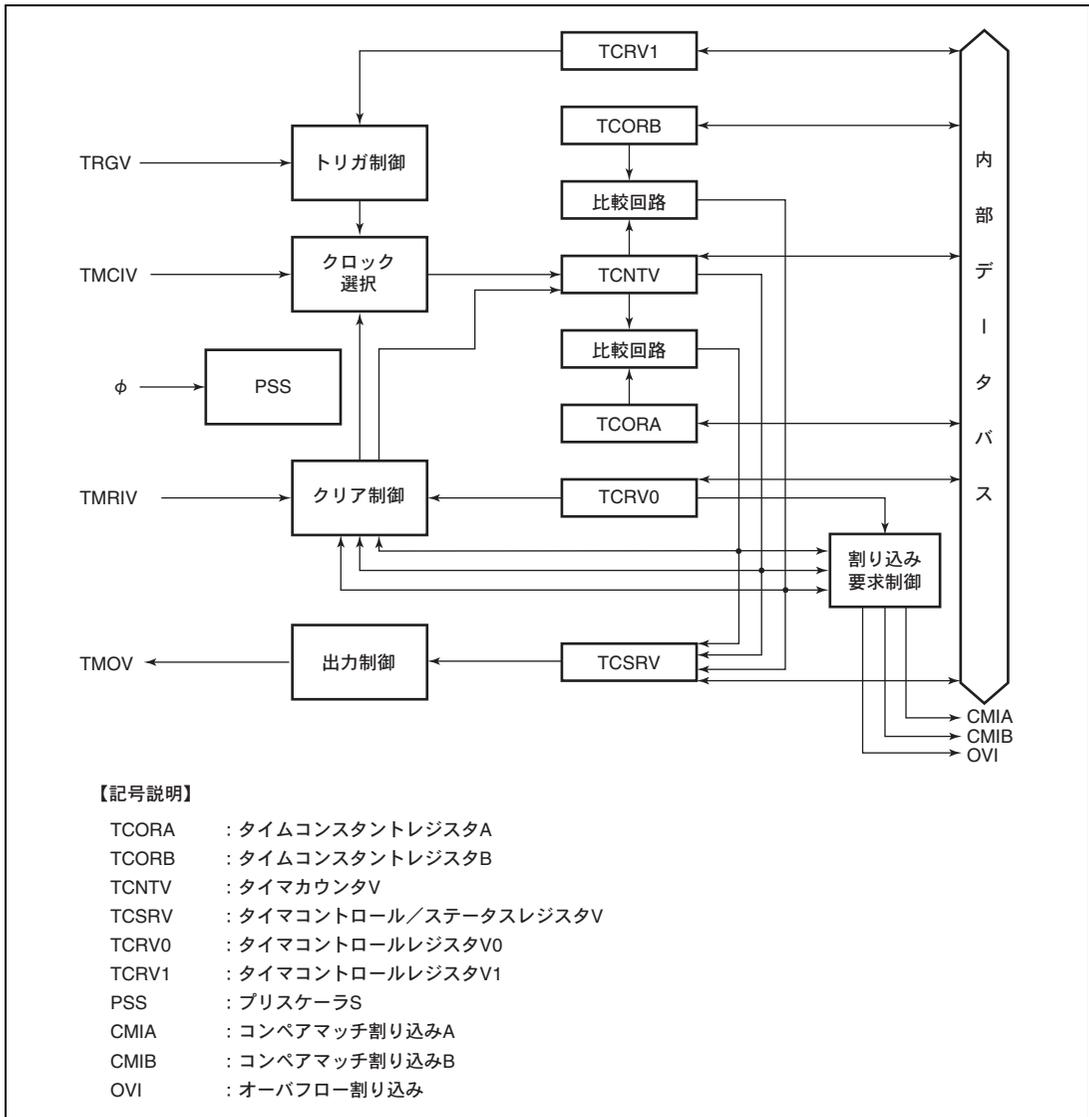


図 11.1 タイマ V のブロック図

11.2 入出力端子

タイマVの端子構成を表 11.1 に示します。

表 11.1 端子構成

名称	略称	入出力	機能
タイマV出力	TMOV	出力	タイマVの波形出力端子
タイマVクロック入力	TMCIV	入力	TCNTVに入力するクロック入力端子
タイマVリセット入力	TMRIV	入力	TCNTVをリセットする外部入力端子
トリガ入力	TRGV	入力	カウント開始トリガ入力端子

11.3 レジスタの説明

タイマVには以下のレジスタがあります。

- タイマカウンタV (TCNTV)
- タイムコンスタントレジスタA (TCORA)
- タイムコンスタントレジスタB (TCORB)
- タイマコントロールレジスタV0 (TCRV0)
- タイマコントロール/ステータスレジスタV (TCSRv)
- タイマコントロールレジスタV1 (TCRV1)

11.3.1 タイマカウンタV (TCNTV)

TCNTVは、8ビットのアップカウンタです。クロックはTCRV0のCKS2~CKS0により選択します。TCNTVの値はCPUから常にリード/ライトできます。TCNTVは、外部リセット入力信号またはコンペアマッチ信号A、コンペアマッチ信号Bによりクリアすることができます。いずれの信号でクリアするかは、TCRV0のCCLR1、CCLR0により選択します。また、TCNTVがオーバフローすると、TCSRvのOVFが1にセットされます。TCNTVの初期値はH'00です。

11.3.2 タイムコンスタントレジスタA、B (TCORA、TCORB)

TCORAとTCORBは同一機能をもっています。

TCORAは8ビットのリード/ライト可能なレジスタです。TCORAの値はTCNTVと常に比較され、一致するとTCSRvのCMFAが1にセットされます。このときTCRV0のCMIEAが1ならCPUに対して割り込み要求を発生します。ただし、TCORAへのライトサイクルのT3ステートでの比較は禁止されています。また、この一致信号(コンペアマッチA)とTCSRvのOS3~OS0の設定により、TMOV端子からのタイマ出力を制御することができます。

TCORA、TCORBの初期値はH'FFです。

11. タイマ V

11.3.3 タイマコントロールレジスタ V0 (TCRV0)

TCRV0 は TCNTV の入力クロックの選択、TCNTV のクリア条件指定、各割り込み要求の制御を行います。

ビット	ビット名	初期値	R/W	説明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブル B 1 のとき TCSR の CMFB による割り込み要求がイネーブルになります。
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブル A 1 のとき TCSR の CMFA による割り込み要求がイネーブルになります。
5	OVIE	0	R/W	タイマオーバフローインタラプトイネーブル 1 のとき TCSR の OVF による割り込み要求がイネーブルになります。
4	CCLR1	0	R/W	カウンタクリア 1、0 TCNTV のクリア条件を指定します。 00 : クリアされません。 01 : コンペアマッチ A でクリアされます。 10 : コンペアマッチ B でクリアされます。 11 : TMRIV 端子の立ち上がりエッジでクリアされます。 クリア後の TCNTV の動作は TCRV1 の TRGE によって異なります。
3	CCLR0	0	R/W	
2	CKS2	0	R/W	クロックセレクト 2~0 TCRV1 の ICKS0 との組み合わせで、TCNTV に入力するクロックとカウント条件を選択します。表 11.2 を参照してください。
1	CKS1	0	R/W	
0	CKS0	0	R/W	

表 11.2 TCNTV に入力するクロックとカウント条件

TCRV0			TCRV1	説明
ビット 2	ビット 1	ビット 0	ビット 0	
CKS2	CKS1	CKS0	ICKS0	
0	0	0	—	クロック入力禁止
0	0	1	0	内部クロック $\phi/4$ 立ち下がりエッジでカウント
0	0	1	1	内部クロック $\phi/8$ 立ち下がりエッジでカウント
0	1	0	0	内部クロック $\phi/16$ 立ち下がりエッジでカウント
0	1	0	1	内部クロック $\phi/32$ 立ち下がりエッジでカウント
0	1	1	0	内部クロック $\phi/64$ 立ち下がりエッジでカウント
0	1	1	1	内部クロック $\phi/128$ 立ち下がりエッジでカウント
1	0	0	—	クロック入力禁止
1	0	1	—	外部クロックの立ち上がりエッジでカウント
1	1	0	—	外部クロックの立ち下がりエッジでカウント
1	1	1	—	外部クロックの立ち上がり/立ち下がり両エッジでカウント

11.3.4 タイマコントロール/ステータスレジスタ V (TCSR V)

TCSR V はステータスフラグの表示およびコンペアマッチによる出力制御を行います。

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/W	コンペアマッチフラグ B [セット条件] TCNTV の値と TCORB の値が一致したとき [クリア条件] CMFB=1 の状態で、CMFB をリードしたあと、CMFB に 0 をライトしたとき
6	CMFA	0	R/W	コンペアマッチフラグ A [セット条件] TCNTV の値と TCORA の値が一致したとき [クリア条件] CMFA=1 の状態で、CMFA をリードしたあと、CMFA に 0 をライトしたとき
5	OVF	0	R/W	タイマーオーバーフローフラグ [セット条件] TCNTV の値が H'FF から H'00 にオーバーフローしたとき [クリア条件] OVF=1 の状態で、OVF をリードしたあと、OVF に 0 をライトしたとき
4	—	1	—	リザーブビット リードすると常に 1 が読み出されます。
3	OS3	0	R/W	アウトプットセレクト 3~2 TCORB と TCNTV のコンペアマッチによる TMOV 端子の出力方法を選択します。 00: 変化しない。 01: 0 出力 10: 1 出力 11: トグル出力
2	OS2	0	R/W	
1	OS1	0	R/W	アウトプットセレクト 1~0 TCORA と TCNTV のコンペアマッチによる TMOV 端子の出力方法を選択します。 00: 変化しない。 01: 0 出力 10: 1 出力 11: トグル出力
0	OS0	0	R/W	

OS3 と OS2 はコンペアマッチ B による出力方法を選択し、OS1 と OS0 はコンペアマッチ A による出力方法を選択し、それぞれ独立に設定することができます。リセット後、最初のコンペアマッチが起こるまでのタイマ出力は 0 です。

11. タイマ V

11.3.5 タイマコントロールレジスタ V1 (TCRV1)

TCRV1 は TRGV 端子のエッジセレクト、TRGV 入力イネーブル、TCNTV の入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説明
7~5	—	すべて 1	—	リザーブビット 読み出すと常に 1 が読み出されます。
4	TVEG1	0	R/W	TRGV 入力エッジセレクト
3	TVEG0	0	R/W	TRGV 端子の入力エッジを選択します。 00: TRGV からのトリガ入力を禁止 01: 立ち上がりエッジを選択 10: 立ち下がりエッジを選択 11: 立ち上がり/立ち下がり両エッジを選択
2	TRGE	0	R/W	TVEG1、TVEG0 で選択されたエッジの入力により、TCNTV カウントアップが開始します。 0: TRGV 端子入力による TCNTV カウントアップの開始とコンペアマッチによる TCNTV クリア時の TCNTV カウントアップの停止を禁止 1: TRGV 端子入力による TCNTV カウントアップの開始とコンペアマッチによる TCNTV クリア時の TCNTV カウントアップの停止を許可
1	—	1	—	リザーブビット リードすると常に 1 が読み出されます。
0	ICKS0	0	R/W	インターナルクロックセレクト 0 TCRV0 の CKS2~CKS0 との組み合わせで、TCNTV に入力するクロックを選択します。表 11.2 を参照してください。

11.4 動作説明

11.4.1 タイマ V の動作

1. タイマ V の動作クロックは表 11.2 により、プリスケラ S の出力する 6 種類の内部クロックまたは外部クロックを選択できます。動作クロックを選択すると TCNTV はカウントアップを開始します。内部クロックを選択した場合のカウントタイミングを図 11.2 に、外部クロックの両エッジを選択した場合のカウントタイミングを図 11.3 に示します。
2. TCNTV が H'FF から H'00 にオーバーフローすると、TCRV0 の OVF がセットされます。このときのタイミングを図 11.4 に示します。このとき TCRV0 の OVIE が 1 なら、CPU に対して割り込み要求を発生します。
3. TCNTV は TCORA、TCORB と常に比較されており、一致すると TCSR の CMFA、CMFB がそれぞれ 1 にセットされます。コンペアマッチ信号は値が一致した最後の状態で発生します。このタイミングを図 11.5 に示します。このとき TCRV0 の CMIEA、CMIEB が 1 なら CPU に対して割り込み要求を発生します。
4. コンペアマッチ A または B が発生したとき、TCSR の OS3~OS0 で選択された出力値が TMOV 端子から出力されます。図 11.6 にコンペアマッチ A 信号によるトグル出力の場合の出力タイミングを示します。

5. TCRV0のCCLR1、CCLR0が01または10なら、対応するコンペアマッチでTCNTVがクリアされます。このクリアされるタイミングを図11.7に示します。
6. TCRV0のCCLR1、CCLR0が11なら、TMRIV端子入力の立ち上がりエッジでTCNTVがクリアされます。TMRIV入力のパルス幅は1.5システムクロック以上が必要です。このクリアされるタイミングを図11.8に示します。
7. TCRV1のTRGEが1にセットされている状態でカウンタクリア要因が発生すると、TCNTVのクリアと同時にカウントアップも停止します。TRGV端子からTCRV1のTVEG1、TVEG0で選択されたエッジが入力されると、TCNTVのカウントアップを再開します。

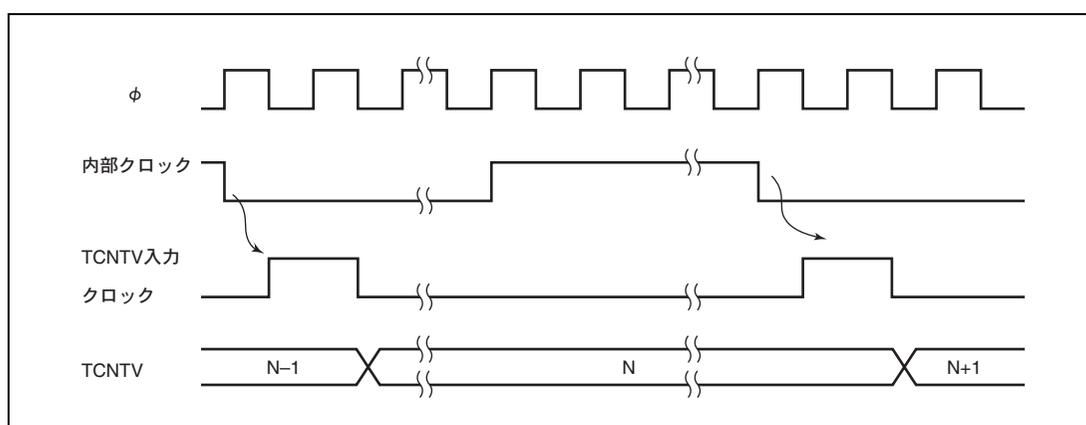


図 11.2 内部クロック動作時のカウントタイミング

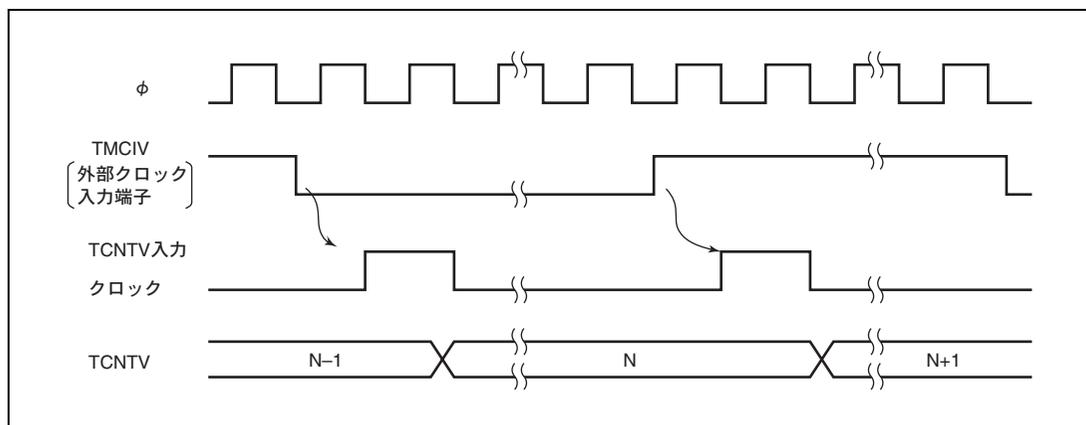


図 11.3 外部クロック動作時のカウントタイミング

11. タイマV

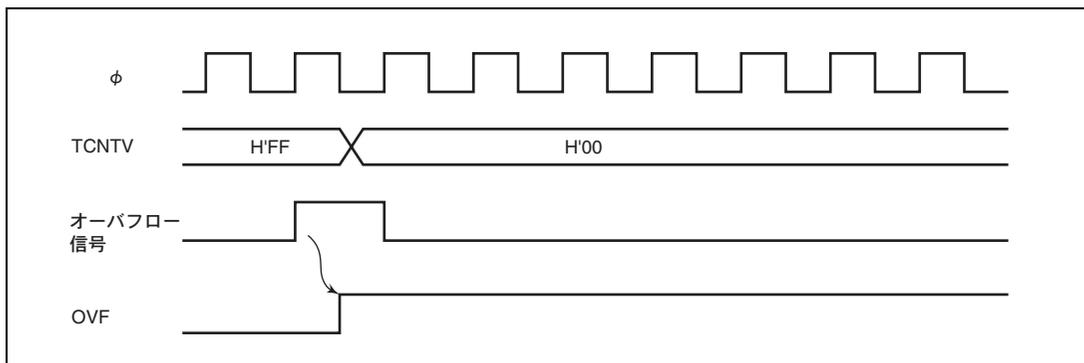


図 11.4 OVF のセットタイミング

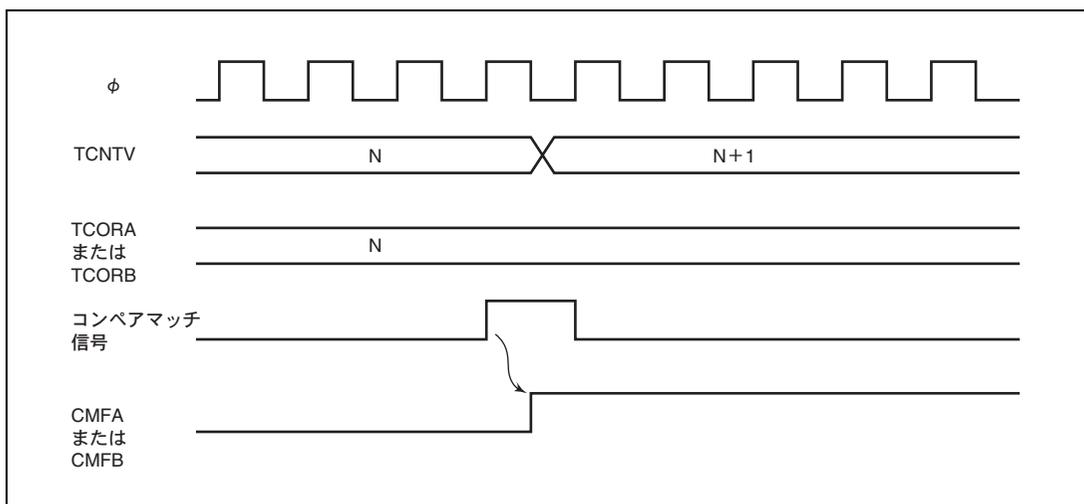


図 11.5 CMFA と CMFB のセットタイミング

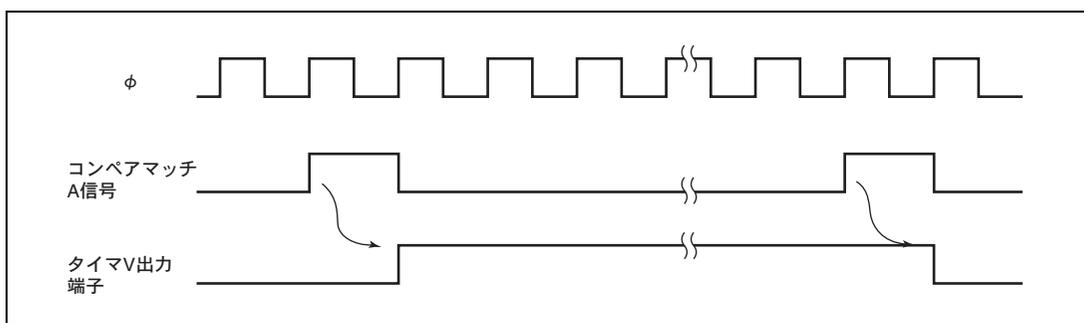


図 11.6 TMOV 出力タイミング

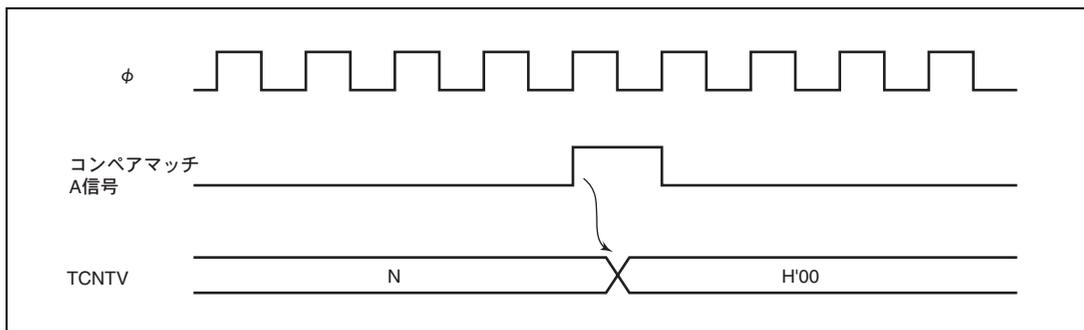


図 11.7 コンペアマッチによるクリアタイミング

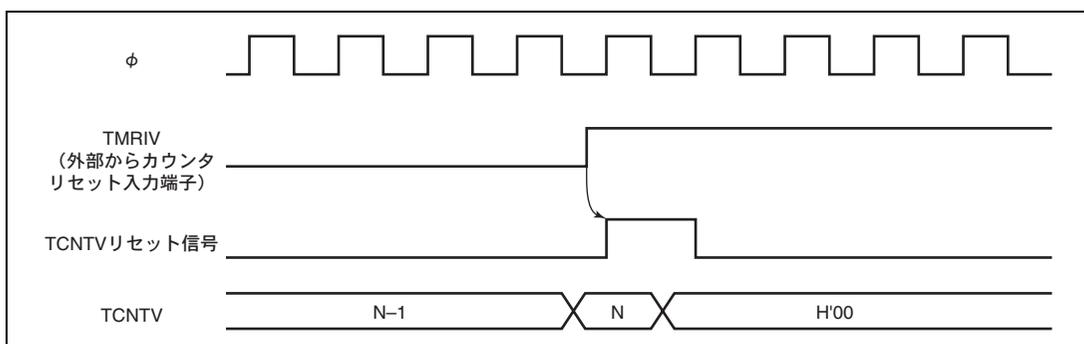


図 11.8 TMRIV 入力によるクリアタイミング

11.5 タイマ V の使用例

11.5.1 任意のデューティパルス出力

任意のデューティパルスを出力させる例を図 11.9 に示します。

1. TCORAのコンペアマッチによりTCNTVがクリアされるために、TCRV0のCCLR1とCCLR0を設定します。
2. TCORAのコンペアマッチにより1を出力、TCORBのコンペアマッチにより0を出力するようにTCSRのOS3～OS0を設定します。
3. TCRV0のCKS2～CKS0とTCRV1のICKS0を設定して、所望のクロックソースを選択します。
4. 以上の設定により周期がTCORA、パルス幅がTCORBで決まる波形をソフトウェアの介入なしに出力できます。

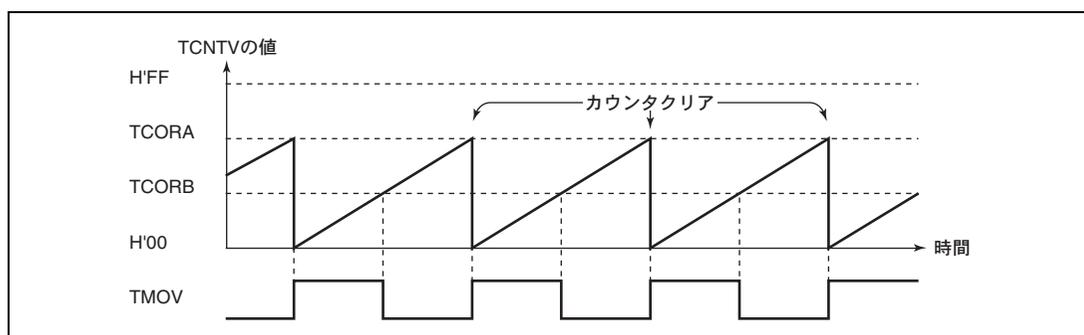


図 11.9 パルス出力例

11.5.2 TRGV 入力から任意の遅延時間と任意のパルス幅のパルス出力

TRGV 入力によるカウントアップ開始機能を用いて、TRGV 入力に対する任意の遅延時間と任意のパルス幅をもつパルスを出力することができます。この出力例を図 11.10 に示します。

1. TCRV0のコンペアマッチによりTCNTVがクリアされるように、TCRV0のCCLR1とCCLR0を設定します。
2. TCORAのコンペアマッチにより1を出力、TCORBのコンペアマッチにより0を出力になるようにTCSRのOS3～OS0を設定します。
3. TRGV入力の立ち下がりエッジが有効となるように、TCRV1のTVEG1～TVEG0とTRGEを設定します。
4. TCRV0のCKS2～CKS0とTCRV1のICKS0を設定して、所望のクロックソースを選択します。
5. 以上の設定により、TRGV入力からの遅延時間がTCORA、パルス幅が（TCORB－TCORA）の波形をソフトウェアの介入なしに出力できます。

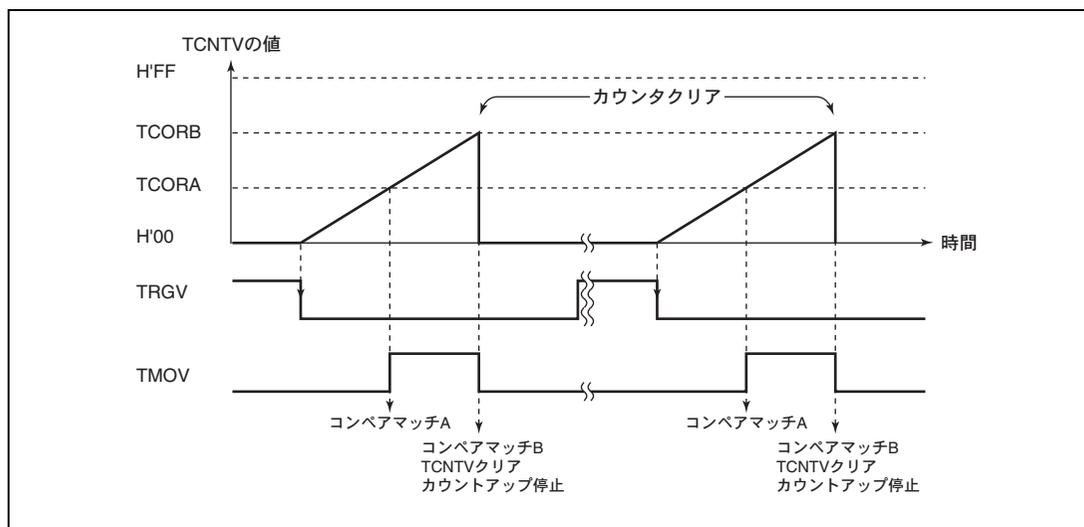


図 11.10 TRGV 入力に同期したパルス出力例

11.6 使用上の注意事項

タイマ V の動作中、次のような競合や動作が起こりますので注意してください。

1. レジスタへの書き込みはライトサイクル中のT3ステートで行われます。図11.11のようにTCNTVライトサイクル中のT3ステートでTCNTVのクリア信号が発生すると、クリアが優先されカウンタへの書き込みは行われません。TCNTVライトサイクル中のT3ステートでカウントアップが発生した場合は書き込みが優先されます。
2. TCORA、TCORBへのライトサイクル中のT3ステートでコンペアマッチが発生した場合、TCORA、TCORBへのライトが優先され、コンペアマッチ信号は禁止されます。このタイミングを図11.12に示します。
3. コンペアマッチAとコンペアマッチBが同時に発生すると、コンペアマッチAに対して設定されている出力と、コンペアマッチBに対して設定されている出力が競合する場合があります。この場合、トグル出力>1出力>0出力の優先順位に従って出力が変化します。
4. 内部クロックを切り替えるタイミングによっては、TCNTVがカウントアップされる場合があります。内部クロックを使用する場合、システムクロック（ ϕ ）を分周した内部クロックの立ち下がりエッジを検出してカウントクロックを発生しています。そのため図11.13のように切り替え前のクロック“High”→切り替え後のクロック“Low”レベルのようなタイミングでクロックが切り替わると、切り替えタイミングを立ち下がりエッジとみなしてカウントクロックを発生し、TCNTVがカウントアップされます。また、内部クロックと外部クロックを切り替えるときもTCNTVがカウントアップされることがあります。

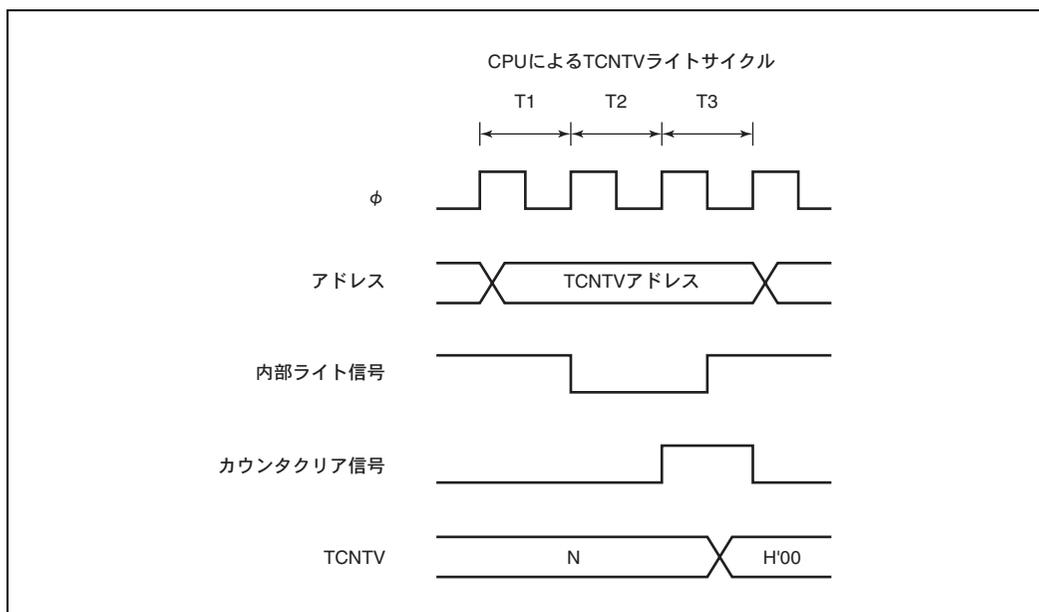


図 11.11 TCNTV のライトとクリアの競合

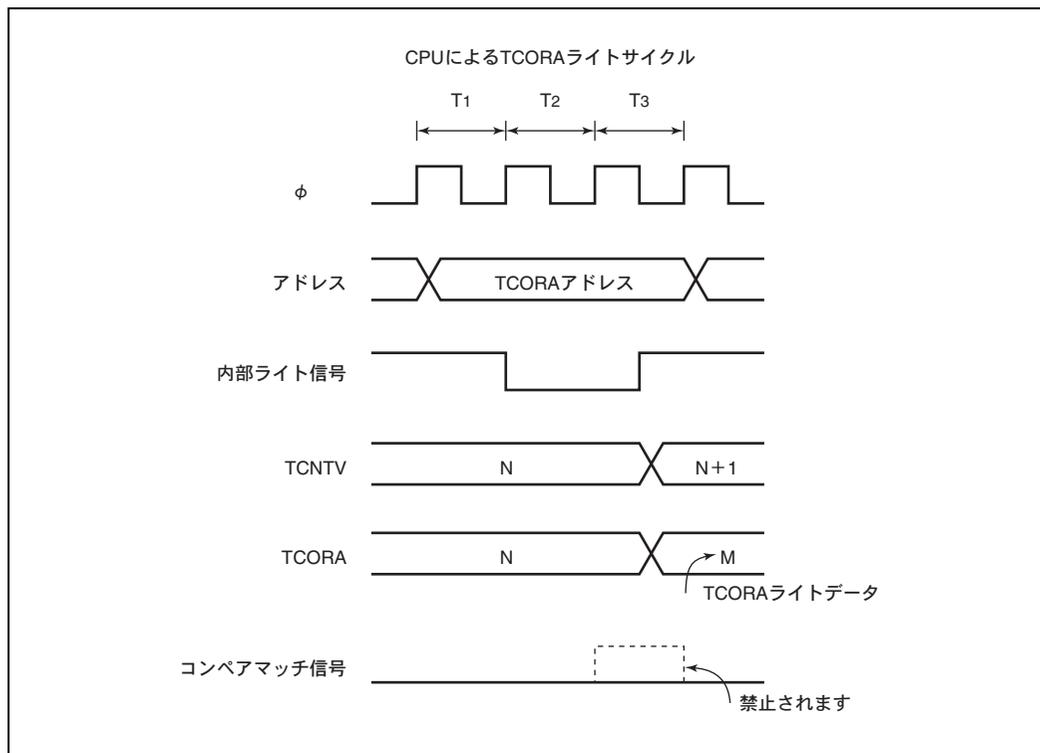


図 11.12 TCORA へのライトとコンペアマッチの競合

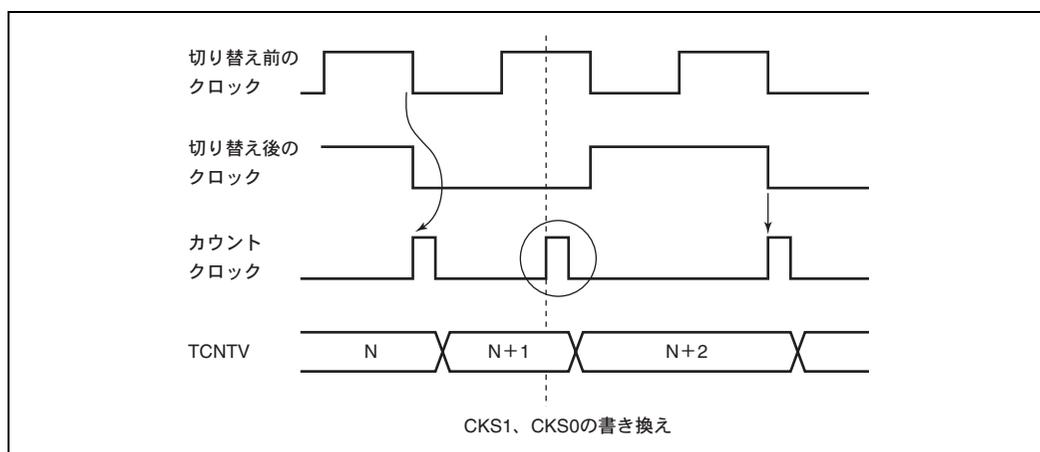


図 11.13 内部クロックの切り替えと TCNTV 動作

12. タイマ W

タイマ W は、アウトプットコンペア機能、インプットキャプチャ機能を内蔵した 16 ビットのタイマです。外部イベントのカウンタが可能のほか、タイマカウンタと 4 本のジェネラルレジスタのコンペアマッチ信号による任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

12.1 特長

- カウンタ入力クロック：5種類
4種類の内部クロック（ ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ ）または外部クロック（外部イベントカウンタ）
- 最大4本のパルス入出力処理が可能
- ジェネラルレジスタ：4本
独立にアウトプットコンペアレジスタまたはインプットキャプチャレジスタとして設定可能
アウトプットコンペア/インプットキャプチャレジスタのバッファレジスタとしても使用可能
- タイマ入出力機能
アウトプットコンペア：0出力/1出力/トグル出力が可能
インプットキャプチャ：立ち上がりエッジ/立ち下がりエッジ/両エッジを検出
カウンタクリア機能：カウンタの周期設定が可能
PWMモード：最大3相のPWM出力が可能
- タイマ出力初期値を任意に設定可能
- 5種類の割り込み要因
コンペアマッチ/インプットキャプチャ兼用割り込み×4要因、オーバフロー割り込み

タイマ W の機能一覧を表 12.1 に、タイマ W のブロック図を図 12.1 に示します。

12. タイマ W

表 12.1 タイマ W 機能一覧

項目	カウンタ	入出力端子			
		FTIOA	FTIOB	FTIOC	FTIOD
カウントクロック	内部クロック： ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 外部クロック：FTCI				
ジェネラルレジスタ (アウトプットコンペア/ インプットキャプチャ兼用 レジスタ)	周期設定は GRA	GRA	GRB	GRC バッファ動作時 GRAのバッファ レジスタ	GRD バッファ動作時 GRBのバッファ レジスタ
カウンタクリア機能	GRAの コンペアマッチ	GRAの コンペアマッチ	—	—	—
出力初期値設定機能	—	○	○	○	○
バッファ動作	—	○	○	—	—
コンペア マッチ出力	0出力	—	○	○	○
	1出力	—	○	○	○
	トグル出力	—	○	○	○
インプットキャプチャ機能	—	○	○	○	○
PWMモード	—	—	○	○	○
割り込み要因	オーバフロー	コンペアマッチ /インプットキ ャプチャ	コンペアマッチ /インプットキ ャプチャ	コンペアマッチ /インプットキ ャプチャ	コンペアマッチ /インプットキ ャプチャ

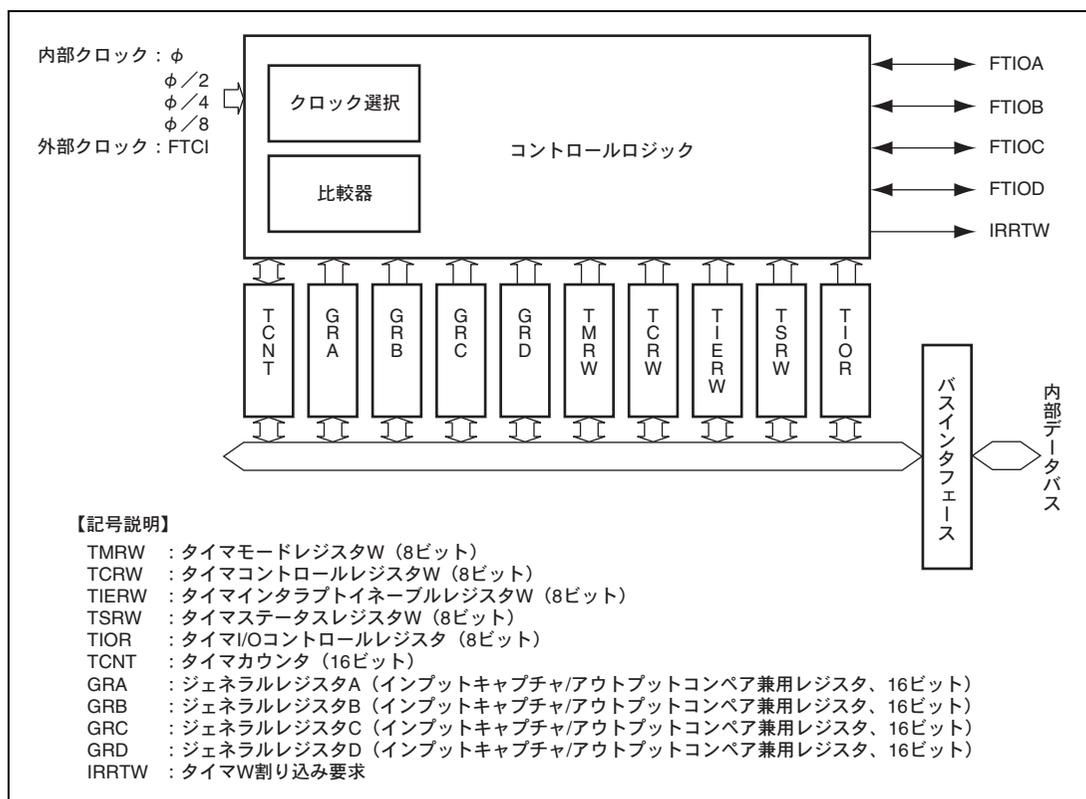


図 12.1 タイマWのブロック図

12.2 入出力端子

タイマ W の端子構成を表 12.2 に示します。

表 12.2 端子構成

名称	略称	入出力	機能
外部クロック入力	FTCI	入力	外部クロック入力端子
インプットキャプチャ/ アウトプットコンペア A	FTIOA	入出力	GRA アウトプットコンペア出力/ GRA インプットキャプチャ入力端子
インプットキャプチャ/ アウトプットコンペア B	FTIOB	入出力	GRB アウトプットコンペア出力/ GRB インプットキャプチャ入力/ PWM 出力端子 (PWM モード時)
インプットキャプチャ/ アウトプットコンペア C	FTIOC	入出力	GRC アウトプットコンペア出力/ GRC インプットキャプチャ入力/ PWM 出力端子 (PWM モード時)
インプットキャプチャ/ アウトプットコンペア D	FTIOD	入出力	GRD アウトプットコンペア出力/ GRD インプットキャプチャ入力/ PWM 出力端子 (PWM モード時)

12.3 レジスタの説明

タイマ W には以下のレジスタがあります。

- タイマモードレジスタ W (TMRW)
- タイマコントロールレジスタ W (TCRW)
- タイマインタラプトイネーブルレジスタ W (TIERW)
- タイマステータスレジスタ W (TSRW)
- タイマ I/O コントロールレジスタ 0 (TIOR0)
- タイマ I/O コントロールレジスタ 1 (TIOR1)
- タイマカウンタ (TCNT)
- ジェネラルレジスタ A (GRA)
- ジェネラルレジスタ B (GRB)
- ジェネラルレジスタ C (GRC)
- ジェネラルレジスタ D (GRD)

12.3.1 タイマモードレジスタ W (TMRW)

TMRW はジェネラルレジスタの機能やタイマの出力モードなどを選択します。

ビット	ビット名	初期値	R/W	説明
7	CTS	0	R/W	カウンタスタート このビットが 0 のとき TCNT はカウント動作を停止し、1 のときカウント動作を行います。
6	—	1	—	リザーブビット 読み出すと常に 1 が読み出されます。
5	BUFEB	0	R/W	バッファ動作 B GRD の機能を選択します。 0: インพุットキャプチャ/アウトプットコンペアレジスタとして動作 1: GRB のバッファレジスタとして動作
4	BUFEA	0	R/W	バッファ動作 A GRC の機能を選択します。 0: インพุットキャプチャ/アウトプットコンペアレジスタとして動作 1: GRA のバッファレジスタとして動作
3	—	1	—	リザーブビット 読み出すと常に 1 が読み出されます。
2	PWMD	0	R/W	PWM モード D FTIOD 端子の出力モードを選択します。 0: 通常のアウトプットコンペア出力 1: PWM 出力
1	PWMC	0	R/W	PWM モード C FTIOC 端子の出力モードを選択します。 0: 通常のアウトプットコンペア出力 1: PWM 出力
0	PWMB	0	R/W	PWM モード B FTIOB 端子の出力モードを選択します。 0: 通常のアウトプットコンペア出力 1: PWM 出力

12. タイマ W

12.3.2 タイマコントロールレジスタ W (TCRW)

TCRW は TCNT のカウンタクロックの選択、カウンタのクリア条件やタイマの出力レベルの設定を選択します。

ビット	ビット名	初期値	R/W	説明
7	CCLR	0	R/W	カウンタクリア このビットが 1 のときコンペアマッチ A によって TCNT がクリアされます。 0 のときは TCNT はフリーランニングカウンタとして動作します。
6	CKS2	0	R/W	クロックセレクト 2~0 TCNT に入力するクロックを選択します。 000 : 内部クロック ϕ をカウント 001 : 内部クロック $\phi/2$ をカウント 010 : 内部クロック $\phi/4$ をカウント 011 : 内部クロック $\phi/8$ をカウント 1XX : 外部イベント (FTCI) の立ち上がりエッジをカウント 内部クロック ϕ を選択した場合、サブアクティブ、サブスリープモードではサブクロックをカウントします。
5	CKS1	0	R/W	
4	CKS0	0	R/W	
3	TOD	0	R/W	
2	TOC	0	R/W	タイマ出力レベルセット C 最初のコンペアマッチ C が発生するまでの FTIOC 端子の出力値を設定します。 0 : 出力値 0* 1 : 出力値 1*
1	TOB	0	R/W	タイマ出力レベルセット B 最初のコンペアマッチ B が発生するまでの FTIOB 端子の出力値を設定します。 0 : 出力値 0* 1 : 出力値 1*
0	TOA	0	R/W	タイマ出力レベルセット A 最初のコンペアマッチ A が発生するまでの FTIOA 端子の出力値を設定します。 0 : 出力値 0* 1 : 出力値 1*

【注】 X : Don't care

* 出力値は変更した時点で反映されます。

12.3.3 タイマインタラプトイネーブルレジスタ W (TIERW)

TIERW はタイマ W の割り込み要求を制御します。

ビット	ビット名	初期値	R/W	説明
7	OVIE	0	R/W	タイマオーバフロー割り込みイネーブル このビットが 1 のとき TSRW の OVF フラグによる割り込み要求 (FOVI) がイネーブルになります。
6~4	—	すべて 1	—	リザーブビット 読み出すと常に 1 が読み出されます。
3	IMIED	0	R/W	インプットキャプチャ/コンペアマッチ割り込みイネーブル D このビットが 1 のとき TSRW の IMFD による割り込み要求 IMID がイネーブルになります。
2	IMIEC	0	R/W	インプットキャプチャ/コンペアマッチ割り込みイネーブル C このビットが 1 のとき TSRW の IMFC による割り込み要求 IMIC がイネーブルになります。
1	IMIEB	0	R/W	インプットキャプチャ/コンペアマッチ割り込みイネーブル B このビットが 1 のとき TSRW の IMFB による割り込み要求 IMIB がイネーブルになります。
0	IMIEA	0	R/W	インプットキャプチャ/コンペアマッチ割り込みイネーブル A このビットが 1 のとき TSRW の IMFA による割り込み要求 IMIA がイネーブルになります。

12.3.4 タイマステータスレジスタ W (TSRW)

TSRW は割り込み要求ステータスを表示します。

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/W	タイマオーバフロー [セット条件] • TCNT が H'FFFF から H'0000 にオーバフローしたとき [クリア条件] • 1 の状態をリードしたあと、0 をライトしたとき
6~4	—	すべて 1	—	リザーブビット 読み出すと常に 1 が読み出されます。

12. タイマ W

ビット	ビット名	初期値	R/W	説明
3	IMFD	0	R/W	インพุットキャプチャ/コンペアマッチフラグ D [セット条件] <ul style="list-style-type: none"> GRD がアウトプットコンペアレジスタとして機能していて、TCNT と一致したとき GRD がインพุットキャプチャレジスタとして機能していて、インพุットキャプチャ信号により TCNT の値が GRD に転送されたとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードしたあと、0 をライトしたとき
2	IMFC	0	R/W	インพุットキャプチャ/コンペアマッチフラグ C [セット条件] <ul style="list-style-type: none"> GRC がアウトプットコンペアレジスタとして機能していて、TCNT と一致したとき GRC がインพุットキャプチャレジスタとして機能していて、インพุットキャプチャ信号により TCNT の値が GRC に転送されたとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードしたあと、0 をライトしたとき
1	IMFB	0	R/W	インพุットキャプチャ/コンペアマッチフラグ B [セット条件] <ul style="list-style-type: none"> GRB がアウトプットコンペアレジスタとして機能していて、TCNT と一致したとき GRB がインพุットキャプチャレジスタとして機能していて、インพุットキャプチャ信号により TCNT の値が GRB に転送されたとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードしたあと、0 をライトしたとき
0	IMFA	0	R/W	インพุットキャプチャ/コンペアマッチフラグ A [セット条件] <ul style="list-style-type: none"> GRA がアウトプットコンペアレジスタとして機能していて、TCNT と一致したとき GRA がインพุットキャプチャレジスタとして機能していて、インพุットキャプチャ信号により TCNT の値が GRA に転送されたとき [クリア条件] <ul style="list-style-type: none"> 1 の状態をリードしたあと、0 をライトしたとき

12.3.5 タイマ I/O コントロールレジスタ 0 (TIOR0)

TIOR0 は GRA、GRB および FTIOA、FTIOB 端子の機能を選択します。

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブビット 読み出すと常に 1 が読み出されます。
6	IOB2	0	R/W	I/O コントロール B2 GRB の機能を選択します。 0 : アウトプットコンペアレジスタとして機能 1 : インพุットキャプチャレジスタとして機能
5 4	IOB1 IOB0	0 0	R/W R/W	I/O コントロール B1~0 IOB2=0 のとき 00 : コンペアマッチによる端子出力禁止 01 : GRB のコンペアマッチで FTIOB 端子へ 0 出力 10 : GRB のコンペアマッチで FTIOB 端子へ 1 出力 11 : GRB のコンペアマッチで FTIOB 端子へトグル出力 IOB2=1 のとき 00 : FTIOB 端子の立ち上がりエッジで GRB ヘインプットキャプチャ 01 : FTIOB 端子の立ち下がりエッジで GRB ヘインプットキャプチャ 1X : FTIOB 端子の両エッジで GRB ヘインプットキャプチャ
3	—	1	—	リザーブビット 読み出すと常に 1 が読み出されます。
2	IOA2	0	R/W	I/O コントロール A2 GRA の機能を選択します。 0 : アウトプットコンペアレジスタとして機能 1 : インพุットキャプチャレジスタとして機能
1 0	IOA1 IOA0	0 0	R/W R/W	I/O コントロール A1~0 IOA2=0 のとき 00 : コンペアマッチによる端子出力禁止 01 : GRA のコンペアマッチで FTIOA 端子へ 0 出力 10 : GRA のコンペアマッチで FTIOA 端子へ 1 出力 11 : GRA のコンペアマッチで FTIOA 端子へトグル出力 IOA2=1 のとき 00 : FTIOA 端子の立ち上がりエッジで GRA ヘインプットキャプチャ 01 : FTIOA 端子の立ち下がりエッジで GRA ヘインプットキャプチャ 1X : FTIOA 端子の両エッジで GRA ヘインプットキャプチャ

【注】 X : Don't care

12. タイマ W

12.3.6 タイマ I/O コントロールレジスタ 1 (TIOR1)

TIOR1 は GRC、GRD および FTIOC、FTIOD 端子の機能を選択します。

ビット	ビット名	初期値	R/W	説明
7	—	1	—	リザーブビット 読み出すと常に 1 が読み出されます。
6	IOD2	0	R/W	I/O コントロール D2 GRD の機能を選択します。 0 : アウトプットコンペアレジスタとして機能 1 : インพุットキャプチャレジスタとして機能 TMRW の BUFEB で GRB のバッファ動作を選択した場合、GRB の機能と同じ機能を選択してください。
5 4	IOD1 IOD0	0 0	R/W R/W	I/O コントロール D1~0 IOD2=0 のとき 00 : コンペアマッチによる端子出力禁止 01 : GRD のコンペアマッチで FTIOD 端子へ 0 出力 10 : GRD のコンペアマッチで FTIOD 端子へ 1 出力 11 : GRD のコンペアマッチで FTIOD 端子へトグル出力 IOD2=1 のとき 00 : FTIOD 端子の立ち上がりエッジで GRD ヘインプットキャプチャ 01 : FTIOD 端子の立ち下がりエッジで GRD ヘインプットキャプチャ 1X : FTIOD 端子の両エッジで GRD ヘインプットキャプチャ
3	—	1	—	リザーブビット 読み出すと常に 1 が読み出されます。
2	IOC2	0	R/W	I/O コントロール C2 GRC の機能を選択します。 0 : アウトプットコンペアレジスタとして機能 1 : インพุットキャプチャレジスタとして機能 TMRW の BUFEA で GRA のバッファ動作を選択した場合、GRA の機能と同じ機能を選択してください。
1 0	IOC1 IOC0	0 0	R/W R/W	I/O コントロール C1~0 IOC2=0 のとき 00 : コンペアマッチによる端子出力禁止 01 : GRC のコンペアマッチで FTIOC 端子へ 0 出力 10 : GRC のコンペアマッチで FTIOC 端子へ 1 出力 11 : GRC のコンペアマッチで FTIOC 端子へトグル出力 IOC2=1 のとき 00 : FTIOC 端子の立ち上がりエッジで GRC ヘインプットキャプチャ 01 : FTIOC 端子の立ち下がりエッジで GRC ヘインプットキャプチャ 1X : FTIOC 端子の両エッジで GRC ヘインプットキャプチャ

【注】 X : Don't care

12.3.7 タイマカウンタ (TCNT)

TCNTは16ビットのリード/ライト可能なアップカウンタです。入力クロックはTCRWのCKS2~CKS0のビットにより選択します。TCRWのCCLRの設定によりGRAとのコンペアマッチによりH'0000にクリアすることができます。TCNTがH'FFFFからH'0000にオーバフローすると、TSRWのOVFが1にセットされます。このときTIERWのOVIEがセットされていると割り込み要求を発生します。TCNTは8ビット単位のアクセスはできません。常に16ビット単位でアクセスしてください。TCNTの初期値はH'0000です。

12.3.8 ジェネラルレジスタ A、B、C、D (GRA、GRB、GRC、GRD)

ジェネラルレジスタは16ビットのリード/ライト可能なレジスタで、アウトプットコンペアレジスタとしてもインプットキャプチャレジスタとしても使用できます。機能の切り替えは、TIOR0、TIOR1により行います。

アウトプットコンペアレジスタに設定されたジェネラルレジスタの値はTCNTの値と常に比較されます。両者が一致(コンペアマッチ)すると、TSRWのIMFA~IMFDフラグが1にセットされます。このときTIERWのIMIEA~IMIEDがセットされていると割り込み要求を発生します。またTIORによりコンペアマッチ出力を設定することができます。

インプットキャプチャレジスタに設定されたジェネラルレジスタは、外部からのインプットキャプチャ信号を検出するとTCNTの値が格納され、TSRWのIMFA~IMFDのフラグが1にセットされます。このときTIERWのIMIEA~IMIEDがセットされていると割り込み要求を発生します。インプットキャプチャ信号の検出エッジはTIORにより選択できます。

また、GRCはGRAのバッファレジスタとして、GRDはGRBのバッファレジスタとしてそれぞれ使用することもできます。この機能はTMRWのBUFEA、BUFEBにより選択できます。

例えば、GRAがアウトプットコンペアレジスタとして、GRCがGRAのバッファレジスタとして設定された場合、コンペアマッチAが発生するたびにバッファレジスタGRCの値がGRAに転送されます。

GRAがインプットキャプチャレジスタとして、GRCがGRAのバッファレジスタとして設定された場合、インプットキャプチャが発生すると、TCNTの値がGRAに、GRAの値がバッファレジスタGRCに転送されます。

GRA~GRDは8ビット単位のアクセスはできません。常に16ビット単位でアクセスしてください。GRA~GRDの初期値はH'FFFFです。

12.4 動作説明

タイマ W には次の動作モードがあります。

- 通常動作
- PWM動作

12.4.1 通常動作

TCNT はフリーランニングカウント動作または周期カウント動作します。TCNT はリセット直後はフリーランニングカウンタの設定となっており、TMRW の CTS ビットを 1 にセットするとカウント動作を開始します。TCNT が H'FFFF から H'0000 にオーバーフローすると TSRW の OVF フラグが 1 にセットされ、TIERW の OVIE ビットが 1 であれば割り込み要求を発生します。フリーランニングカウンタの動作を図 12.2 に示します。

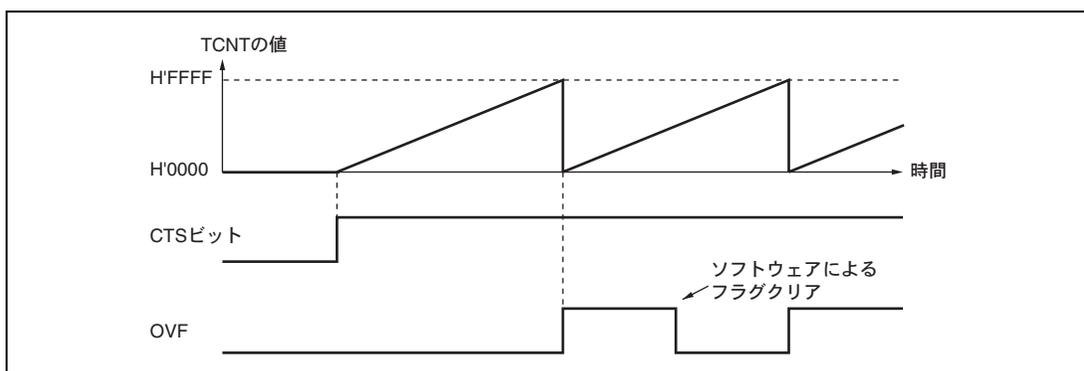


図 12.2 フリーランニングカウンタの動作

周期設定用の GRA をアウトプットコンペアレジスタに設定し、TCRW の CCLR を 1 にセットすると周期カウント動作を行います。カウント値が GRA と一致すると TCNT は H'0000 にクリアされ、TSRW の IMFA ビットが 1 にセットされます。このとき、対応する TIERW の IMIEA ビットが 1 であれば割り込み要求を発生します。TCNT は H'0000 からアップカウント動作を継続します。周期カウンタの動作を図 12.3 に示します。

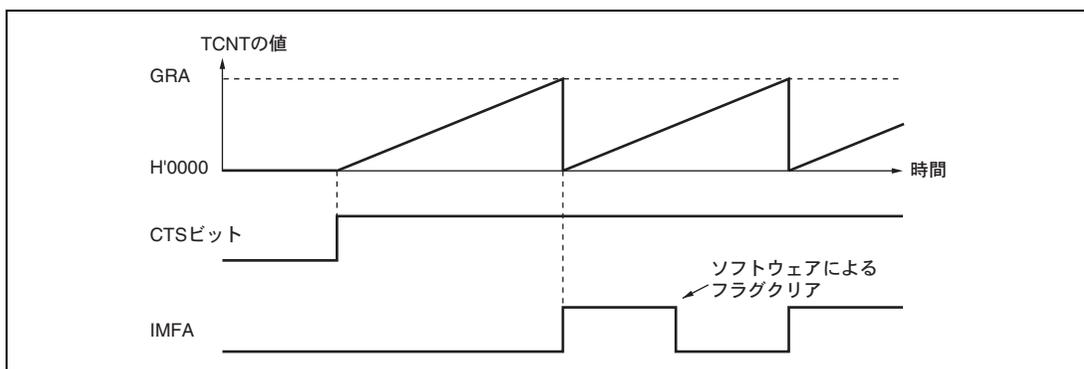


図 12.3 周期カウンタの動作

ジェネラルレジスタをアウトプットコンペアレジスタに設定することにより、コンペアマッチ A~D によって FTIOA、FTIOB、FTIOC、FTIOD 端子から 0 出力/1 出力/トグル出力を行うことができます。TCNT をフリーランニング動作させ、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力に設定した例を図 12.4 に示します。設定したレベルと端子のレベルが一致した場合は端子のレベルは変化しません。

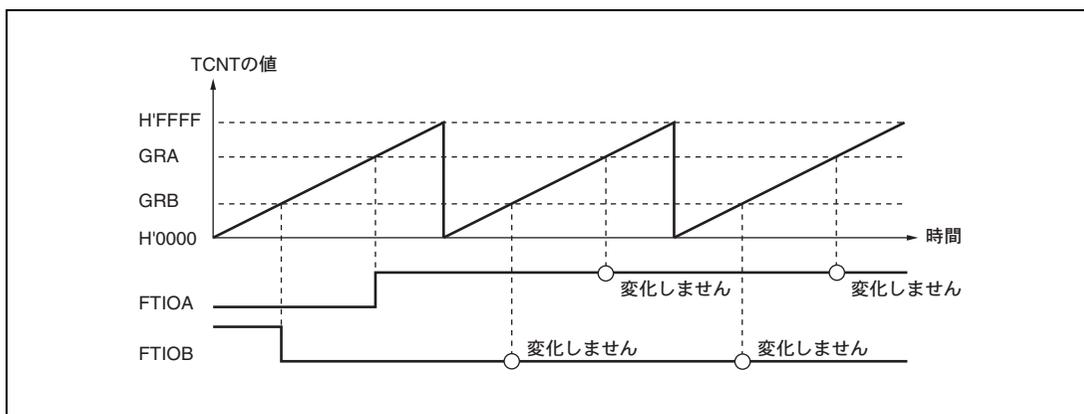


図 12.4 0 出力、1 出力の動作例 (TOA=0、TOB=1 の場合)

TCNT をフリーランニング動作させ、コンペアマッチ A、およびコンペアマッチ B によりトグル出力となるように設定した例を図 12.5 に示します。

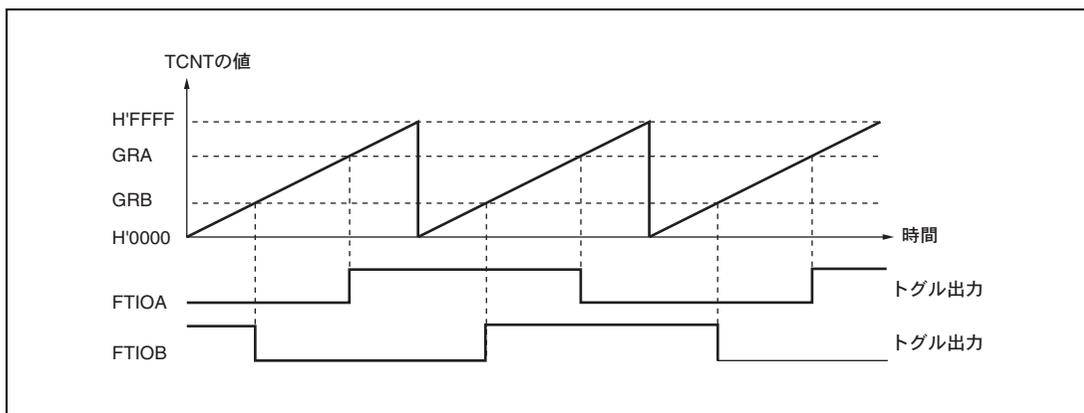


図 12.5 トグル出力の動作例 (TOA=0、TOB=1 の場合)

12. タイマ W

TCNT を周期カウント動作、コンペアマッチ A、B ともにトグル出力となるように設定した例を図 12.6 に示します。

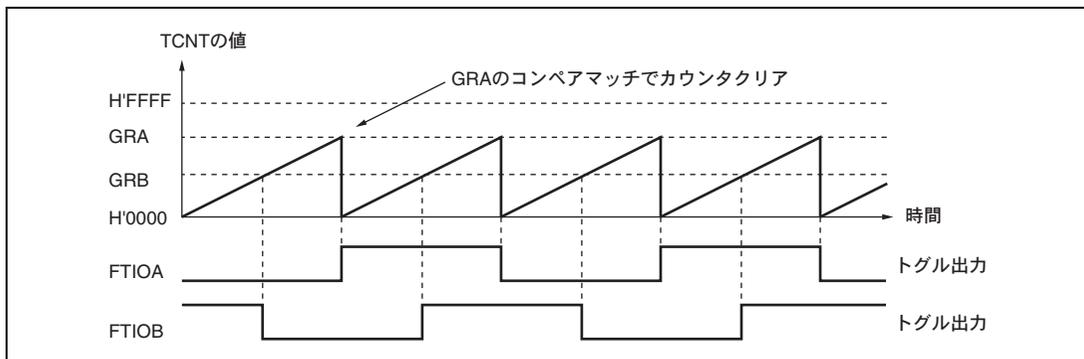


図 12.6 トグル出力の動作例 (TOA=0、TOB=1 の場合)

ジェネラルレジスタをインプットキャプチャレジスタに設定することにより、FTIOA～FTIOD 端子の入力エッジを検出して TCNT の値を GRA、GRB、GRC、GRD に転送できます。検出エッジは立ち上がり／立ち下がり／両エッジから選択できます。インプットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。TCNT はフリーランニングカウント動作に設定し、FTIOA 端子のインプットキャプチャ入力エッジに両エッジ、FTIOB 端子のインプットキャプチャ入力エッジに立ち下がりエッジを選択した例を図 12.7 に示します。

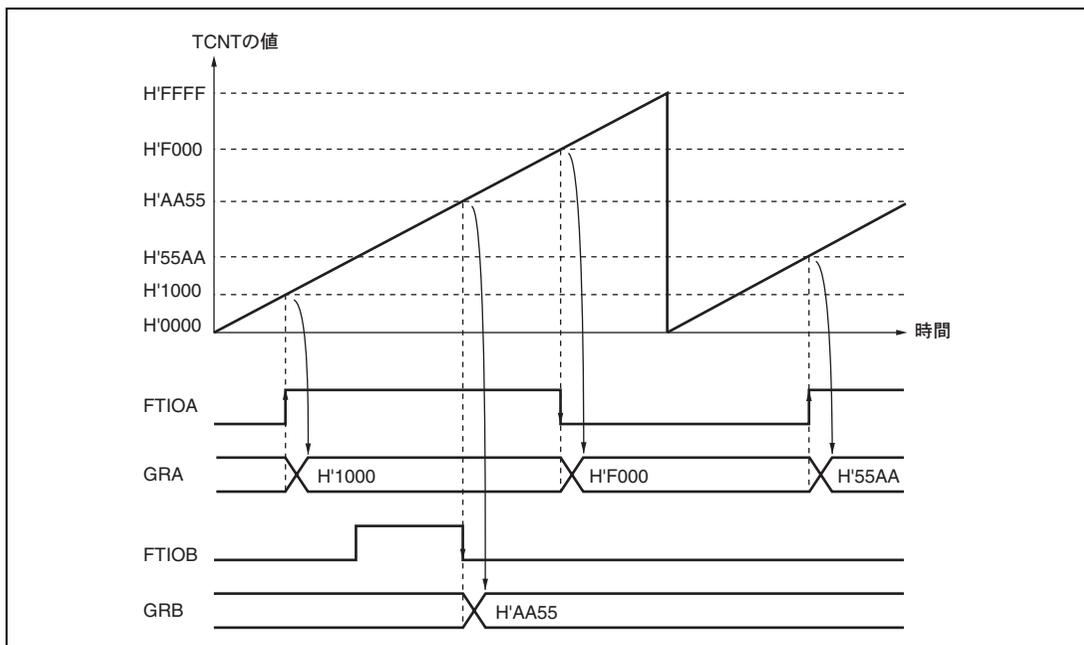


図 12.7 インプットキャプチャ動作例

GRA を入力キャプチャレジスタに設定し、GRC を GRA のバッファレジスタとして設定した場合の動作例を図 12.8 に示します。TCNT はフリーランニング動作、FTIOA 端子の入力キャプチャ入力エッジは立ち上がりエッジ、立ち下がりエッジの両エッジを選択した例です。バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が GRA に格納されると同時に、それまで GRA に格納されていた値が GRC に転送されます。

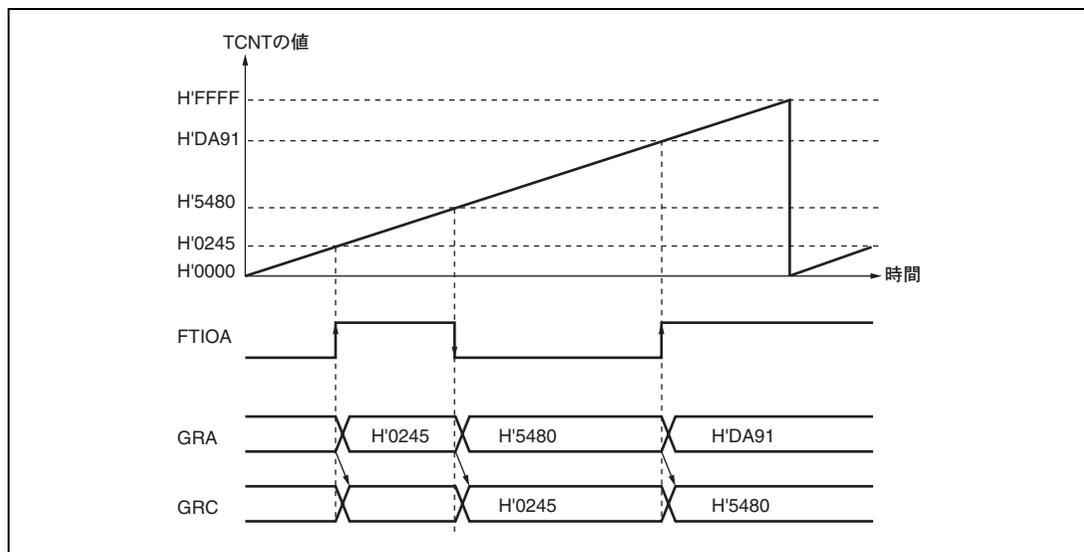


図 12.8 バッファ動作例（入力キャプチャの場合）

12.4.2 PWM 動作

PWM モードは GRA を周期レジスタ、GRB、GRC、GRD をデューティレジスタとして FTIOB、FTIOC、FTIOD 出力端子よりそれぞれ PWM 波形を出力します。最大 3 相の PWM 出力が可能です。PWM モードではジェネラルレジスタは自動的にアウトプットコンペアレジスタとして機能します。出力レベルは TCRW の TOB~TOD で決まります。TOB=1 のとき、FTIOB 出力端子はコンペアマッチ A により 1 に初期化され、コンペアマッチ B により 0 を出力します。また TOB=0 のときは FTIOB 出力端子はコンペアマッチ A により 0 に初期化され、コンペアマッチ B により 1 を出力します。PWM モードに設定された出力端子は TIOR0、TIOR1 の出力の設定は無効となります。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

コンペアマッチ A で TCNT をクリアして 1 を出力 (TOB=TOC=TOD=1) し、コンペアマッチ B、C、D で 0 を出力する場合の動作例を図 12.9 に示します。

12. タイマ W

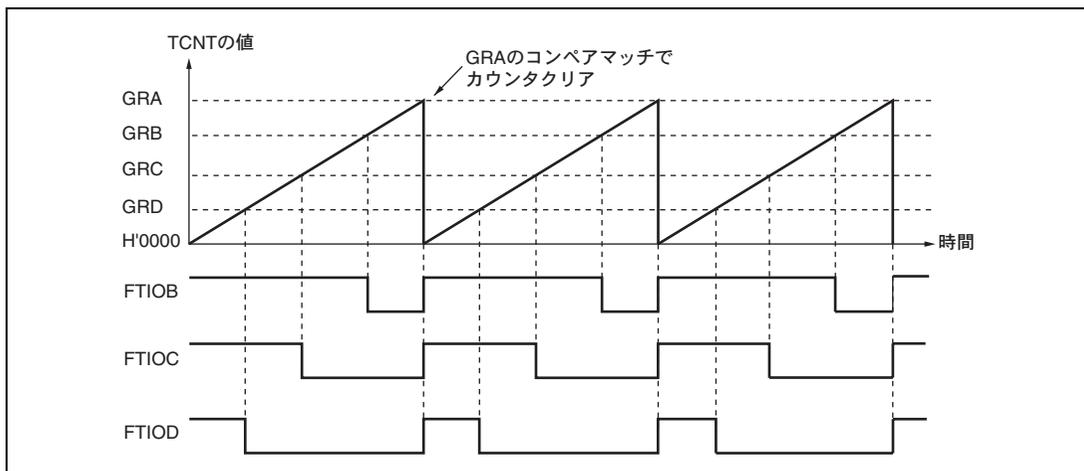


図 12.9 PWM モード動作例 (1)

コンペアマッチ A で TCNT をクリアして 0 を出力 (TOB=TOC=TOD=0) し、コンペアマッチ B、C、D で 1 を出力する場合の動作例を図 12.10 に示します。

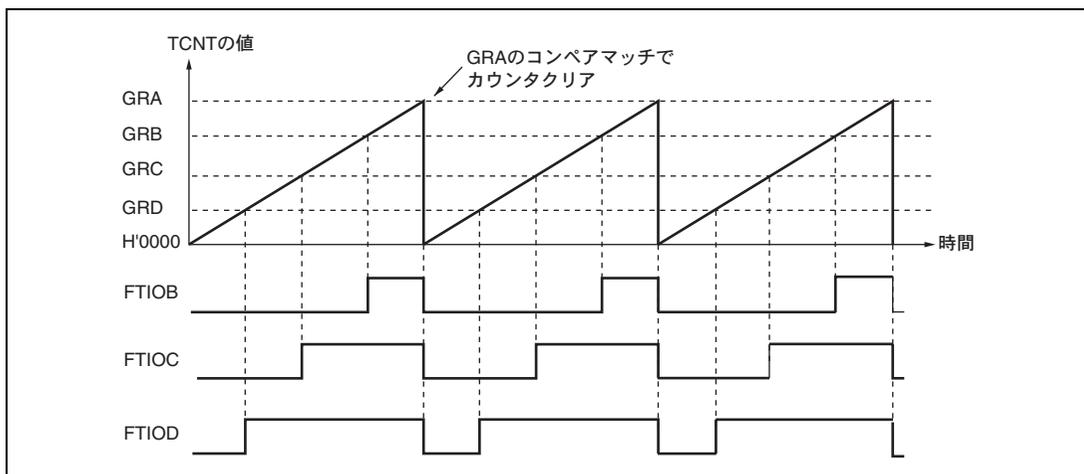


図 12.10 PWM モード動作例 (2)

FTIOB 端子を PWM モードに設定し、GRD を GRB のバッファレジスタとして設定した場合の動作例を図 12.11 に示します。TCNT はコンペアマッチ A によりクリア、出力はコンペアマッチ B で 1 出力、コンペアマッチ A で 0 出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチ B が発生すると出力を変化させると同時にバッファレジスタ GRD の値が GRB に転送されます。この動作は、コンペアマッチ B が発生する度に繰り返されます。

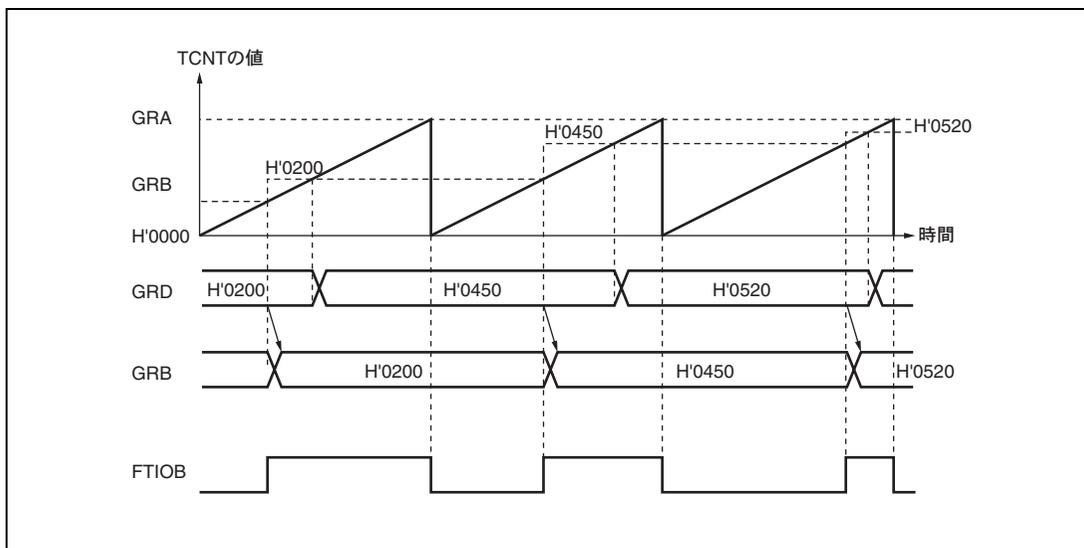


図 12.11 バッファ動作例（アウトプットコンペアの場合）

12. タイマ W

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 12.12、図 12.13 に示します。

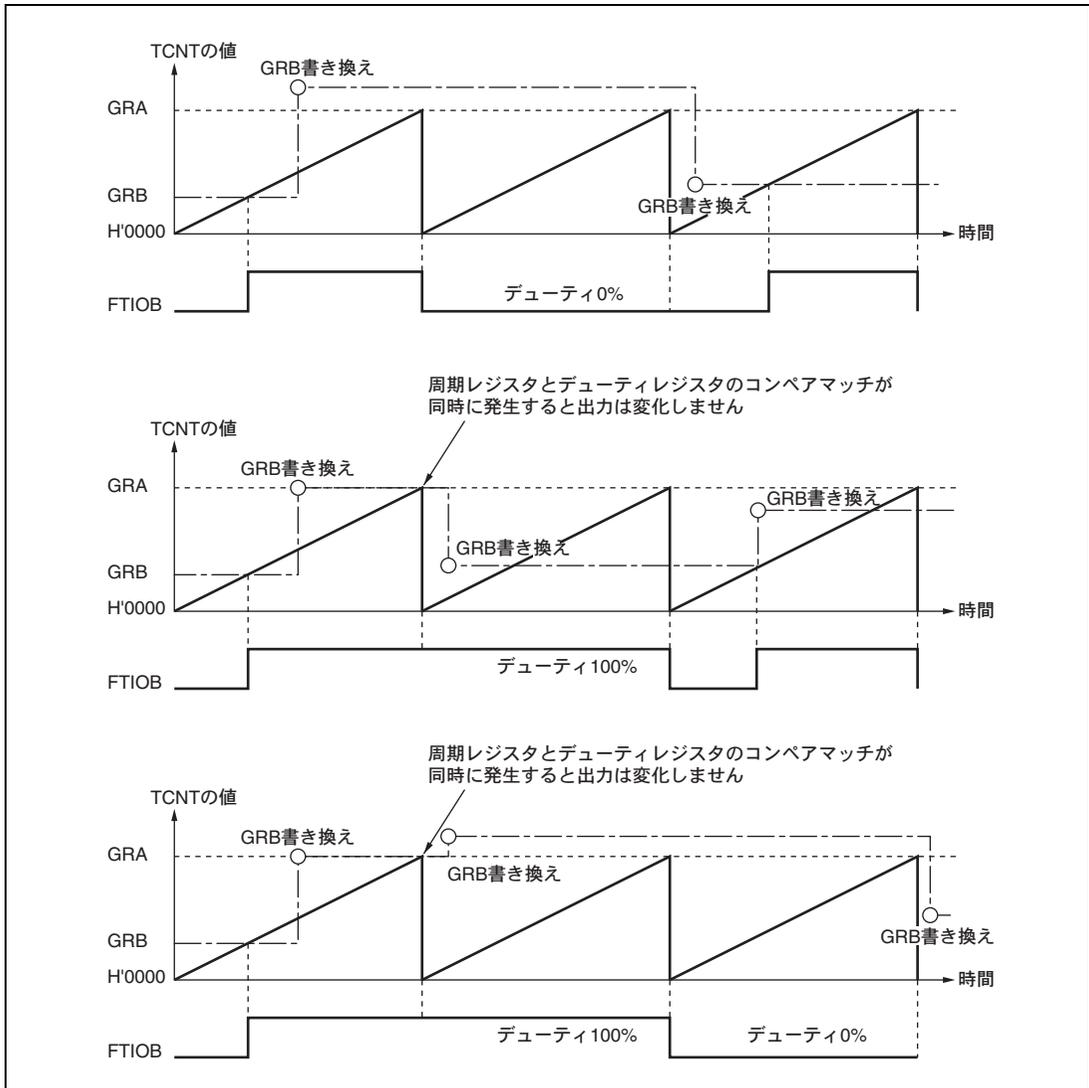


図 12.12 PWM モード動作例 (TOB、TOC、TOD=0、初期出力 0 の場合)

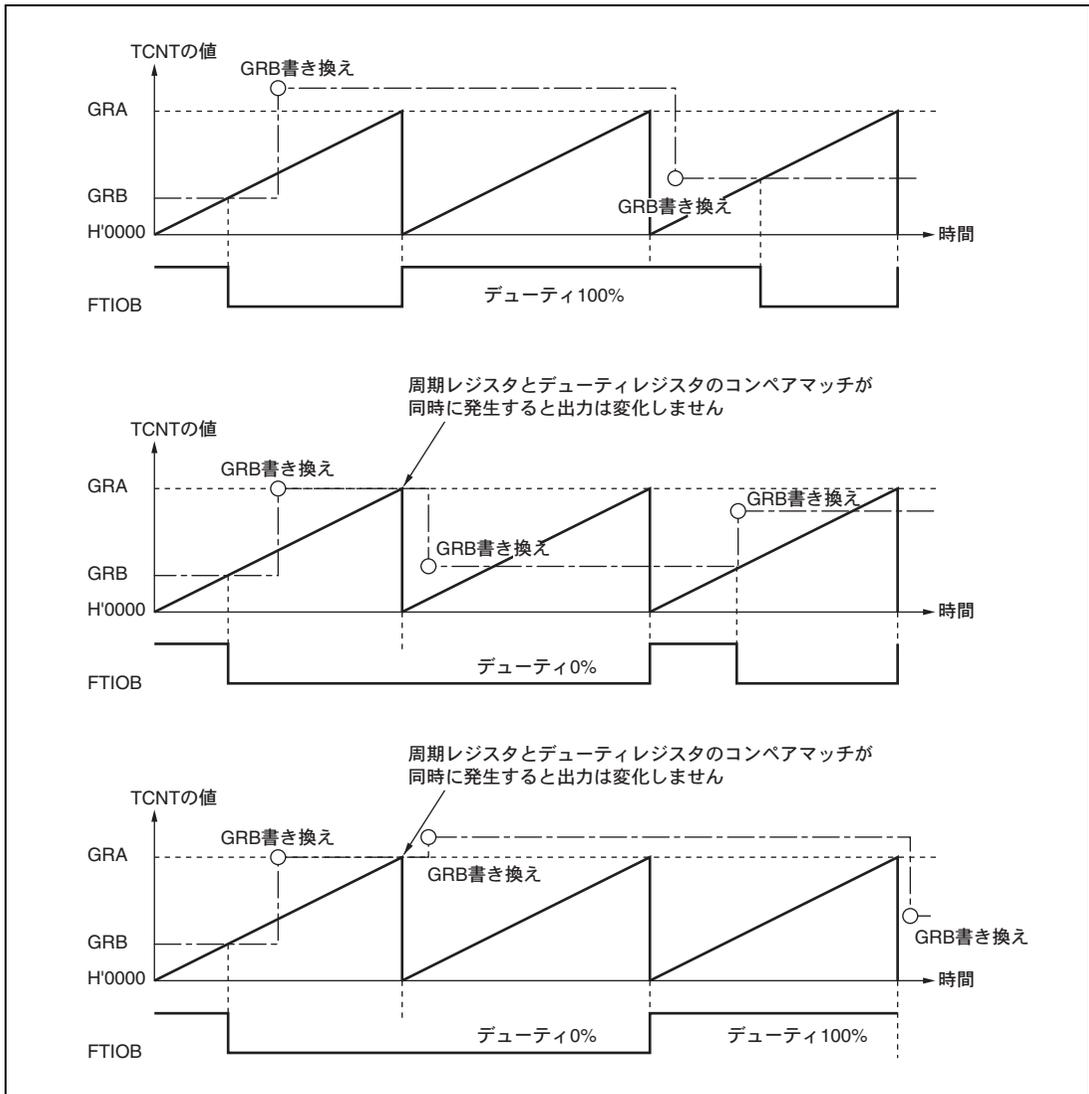


図 12.13 PWM モード動作例 (TOB、TOC、TOD=1、初期出力 1 の場合)

12.5 動作タイミング

12.5.1 TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 12.14 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 12.15 に示します。なお外部クロックのパルス幅は 2 システムクロック (ϕ) 以上が必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

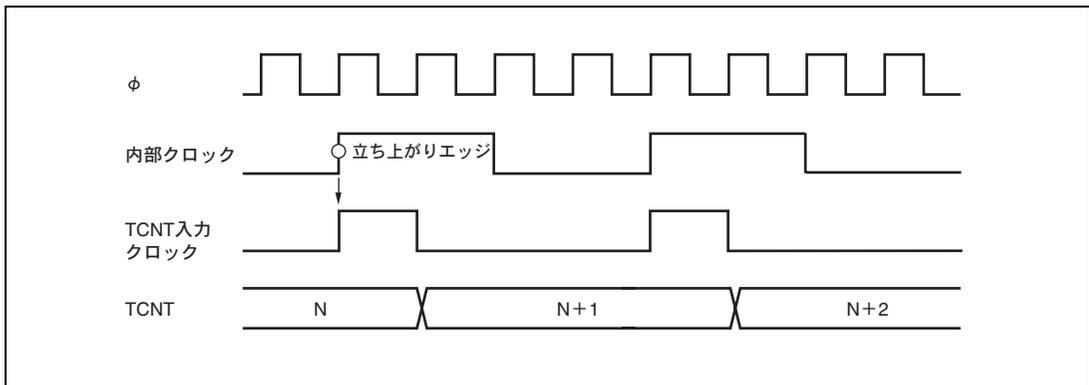


図 12.14 内部クロック動作時のカウントタイミング

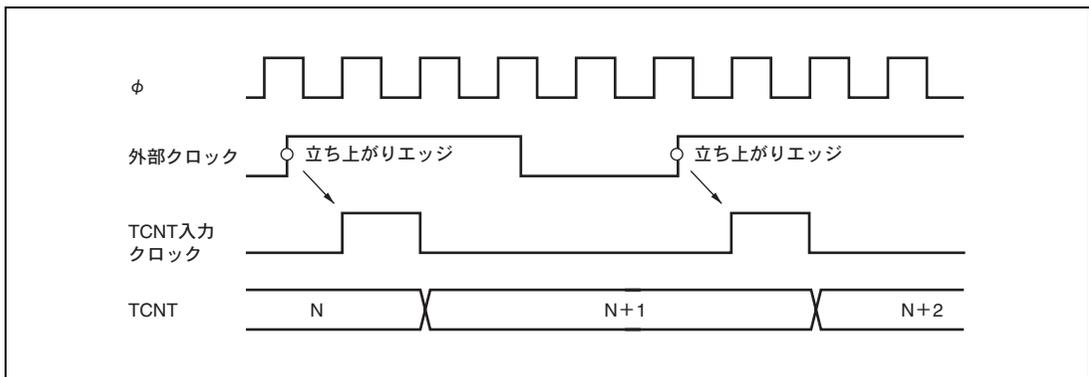


図 12.15 外部クロック動作時のカウントタイミング

12.5.2 アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と GR が一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOR で設定される出力値がアウトプットコンペア出力端子（FTIOA、FTIOB、FTIOC、FTIOD）に出力されます。

TCNT と GR が一致したあと、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。アウトプットコンペア出力タイミングを図 12.16 に示します。

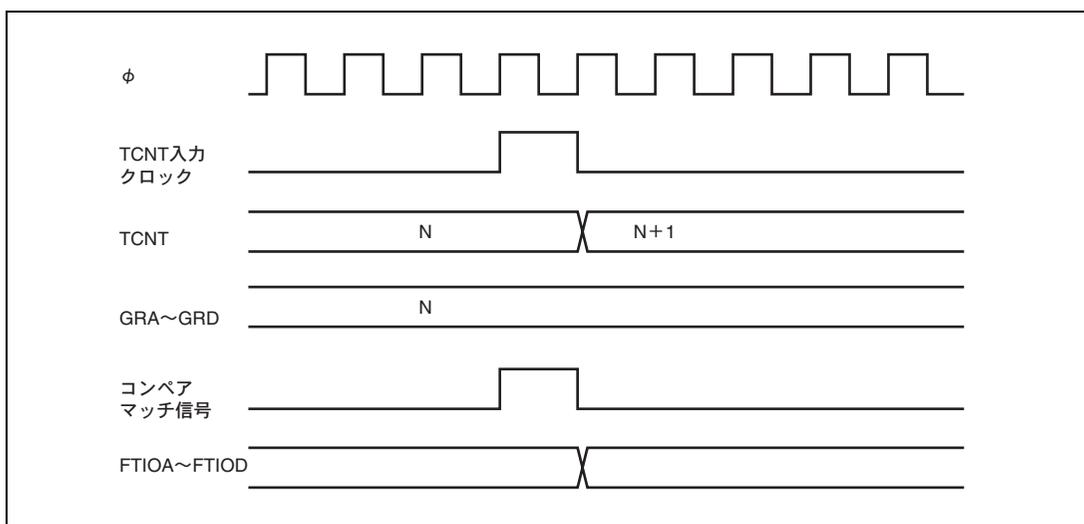


図 12.16 アウトプットコンペア出力タイミング

12.5.3 インพุットキャプチャタイミング

インพุットキャプチャ入力は、TIOR0、TIOR1 の設定により立ち上がりエッジ／立ち下がりエッジ／両エッジの選択ができます。立ち下がりエッジを選択した場合のタイミングを図 12.17 に示します。なおインพุットキャプチャ入力信号のパルス幅は 2 システムクロック (ϕ) 以上が必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

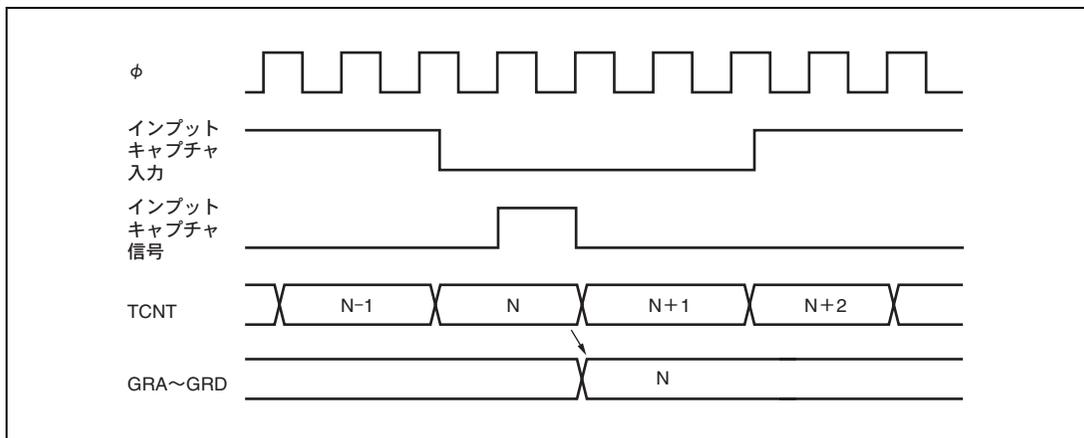


図 12.17 インพุットキャプチャ入力信号タイミング

12.5.4 コンペアマッチによるカウンタクリアタイミング

コンペアマッチ A によるカウンタクリアのタイミングを図 12.18 に示します。GRA の値を N とすると、カウンタは 0 から N までカウントし、周期は N+1 となります。

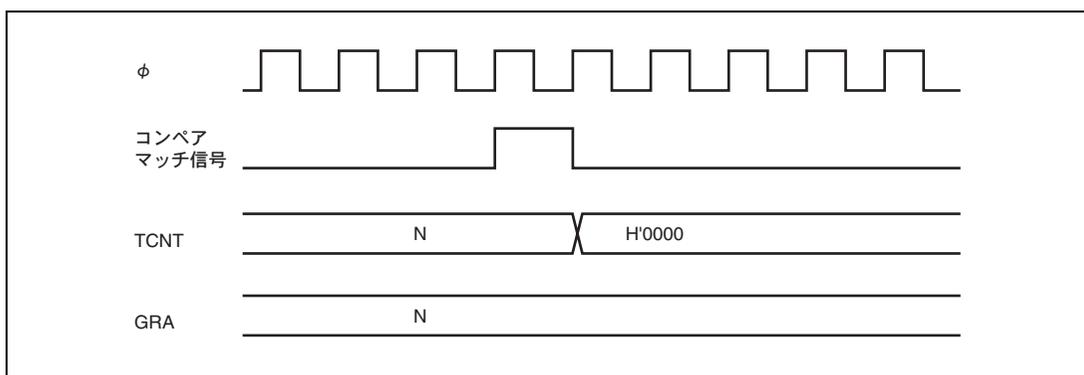


図 12.18 コンペアマッチによるカウンタクリアタイミング

12.5.5 バッファ動作タイミング

バッファ動作の場合のタイミングを図 12.19、図 12.20 に示します。

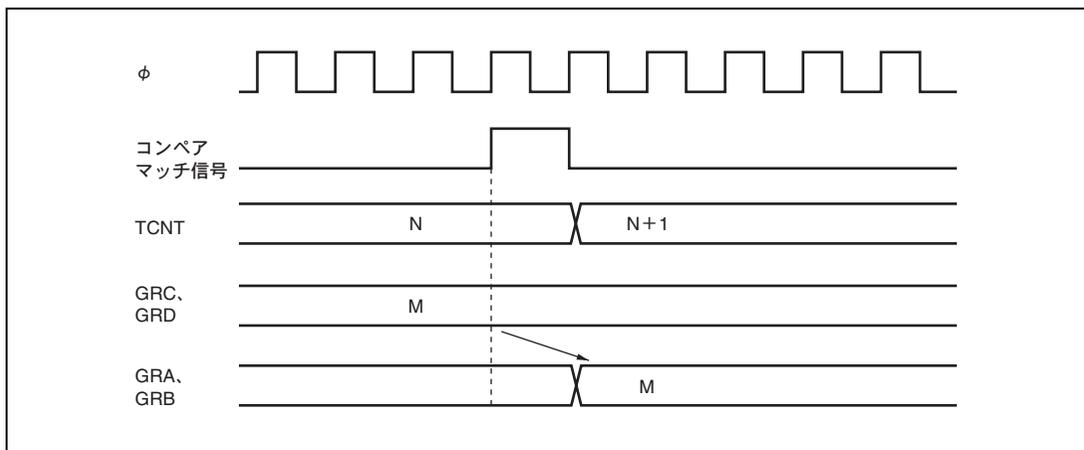


図 12.19 バッファ動作タイミング (コンペアマッチ)

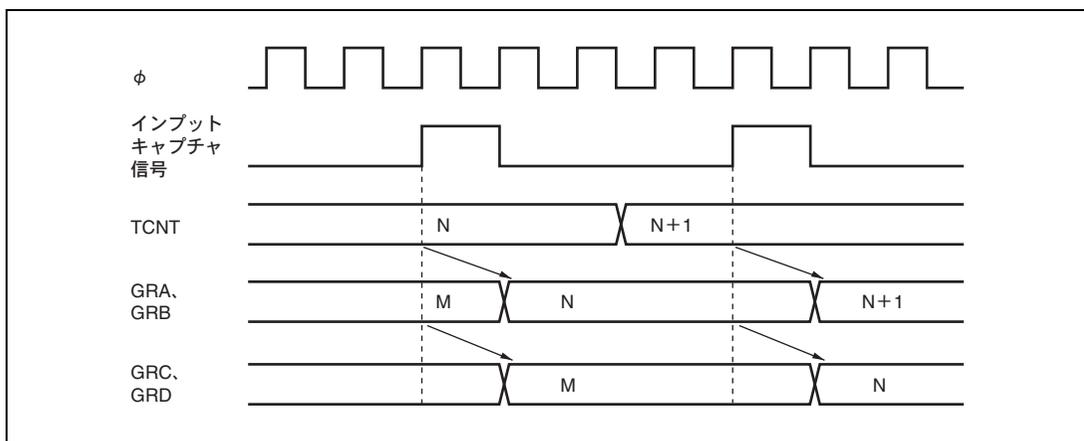


図 12.20 バッファ動作タイミング (インプットキャプチャ)

12.5.6 コンペアマッチ時の IMFA~IMFD フラグのセットタイミング

アウトプットコンペアレジスタとして機能している場合の IMFA~IMFD フラグは、ジェネラルレジスタ(GRA、GRB、GRC、GRD) と TCNT が一致したときに 1 にセットされます。

コンペアマッチ信号は、一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。したがって、TCNT とジェネラルレジスタ(GRA、GRB、GRD) が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

図 12.21 に IMFA~IMFD フラグのセットタイミングを示します。

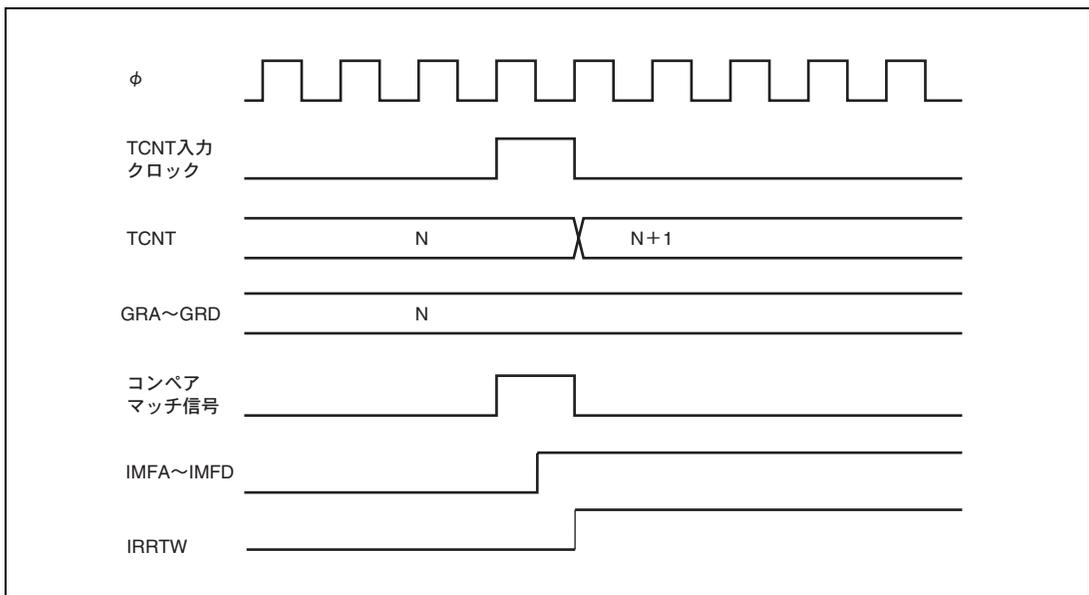


図 12.21 コンペアマッチ時の IMFA~IMFD フラグのセットタイミング

12.5.7 インพุットキャプチャ時のフラグセットタイミング

インพุットキャプチャレジスタとして機能している場合の IMFA~IMFD フラグは、インพุットキャプチャの発生により 1 にセットされます。図 12.22 に IMFA~IMFD フラグのセットタイミングを示します。

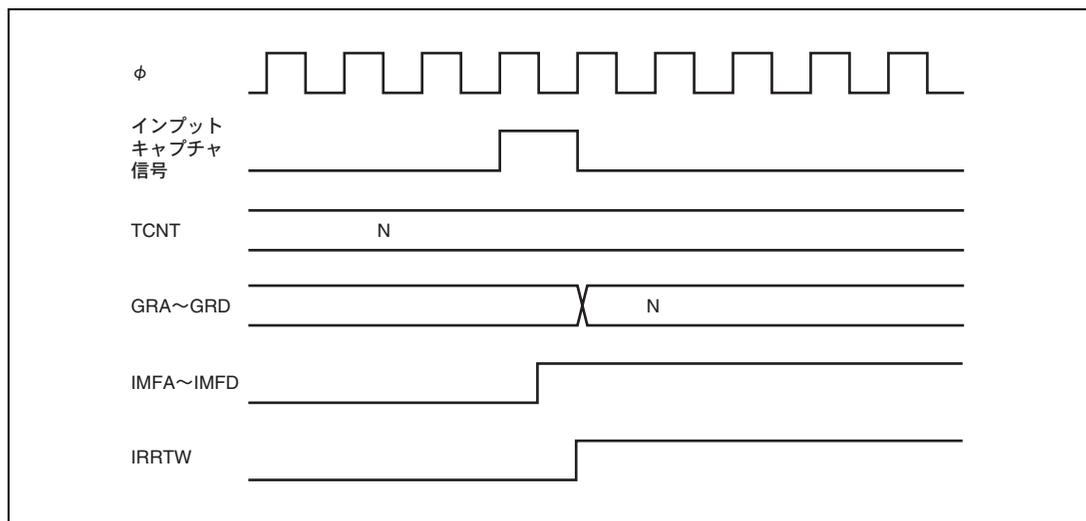


図 12.22 インพุットキャプチャ発生時の IMFA~IMFD フラグのセットタイミング

12.5.8 ステータスフラグのクリアタイミング

ステータスフラグは CPU が 1 の状態をリードしたあと、0 をライトするとクリアされます。

CPU によるステータスフラグのクリアのタイミングを図 12.23 に示します。

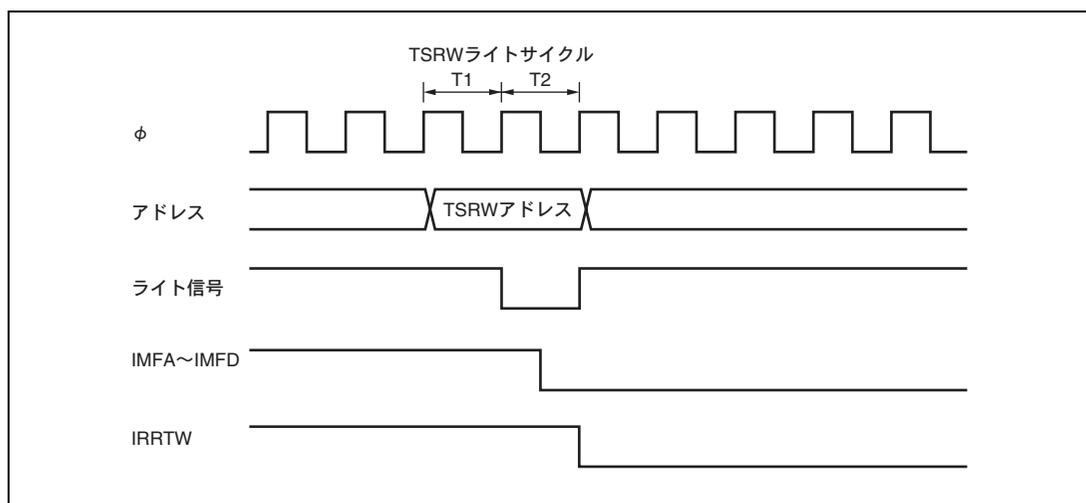


図 12.23 CPU によるステータスフラグのクリアタイミング

12.6 使用上の注意事項

タイマ W の動作中、次のような競合や動作が起こりますので注意してください。

1. 入力クロックおよびインプットキャプチャのパルス幅は2システムクロック (ϕ) 以上必要です。これ以下のパルス幅では正しく動作しません。
2. レジスタへの書き込みはライトサイクル中のT2ステートで行われます。図12.24のようにTCNTライトサイクル中のT2ステートでカウンタクリア信号が発生すると、TCNTのクリアが優先されTCNTへの書き込みは行われません。TCNTに対する書き込みとTCNTのカウントアップが競合した場合は書き込みが優先されます。
3. 内部クロックを切り替えるタイミングによっては、TCNTがカウントアップされる場合があります。内部クロックを使用する場合、システムクロック (ϕ) を分周した内部クロックの立ち上がりエッジを検出してカウンタクロックを発生しています。そのため図12.25のように切り替え前のクロック “Low” →切り替え後のクロック “High” レベルのようなタイミングでクロックが切り替わると、切り替えタイミングを立ち上がりエッジとみなしてカウンタクロックを発生し、TCNTがカウントアップされます。
4. 割り込み要求が発生した状態でモジュールスタンバイ状態にすると割り込み要因がクリアできません。事前に割り込みをディスエーブルにしてモジュールスタンバイ状態にしてください。
5. TCRWのTOA～TODビットは最初のコンペアマッチが発生するまでのFTIO端子の出力値を決めるビットです。一度コンペアマッチが発生し、コンペアマッチによりFTIOA～FTIOD出力が変化した場合は、FTIOA～FTIOD端子の出力値とTOA～TODビットを読み出した値は一致しないことがあります。また、TCRWへの書き込みとコンペアマッチA～Dの発生が競合した場合、書き込みが優先されコンペアマッチによる出力の変化はFTIOA～FTIOD端子に反映されません。よってビット操作命令を用いてTCRWへ書き込みを行うと、FTIOA～FTIOD端子の出力値が意図しない結果になることがあります。コンペアマッチ動作中にTCRWへライトする場合は、TCRWアクセス前に一度カウンタを停止させ、ポート8の状態をリードしてFTIOA～FTIODの出力値をTOA～TODに反映してライトを行ってください。その後カウンタを再起動します。コンペアマッチとTCRWへのビット操作命令が競合した場合の例を図12.26に示します。

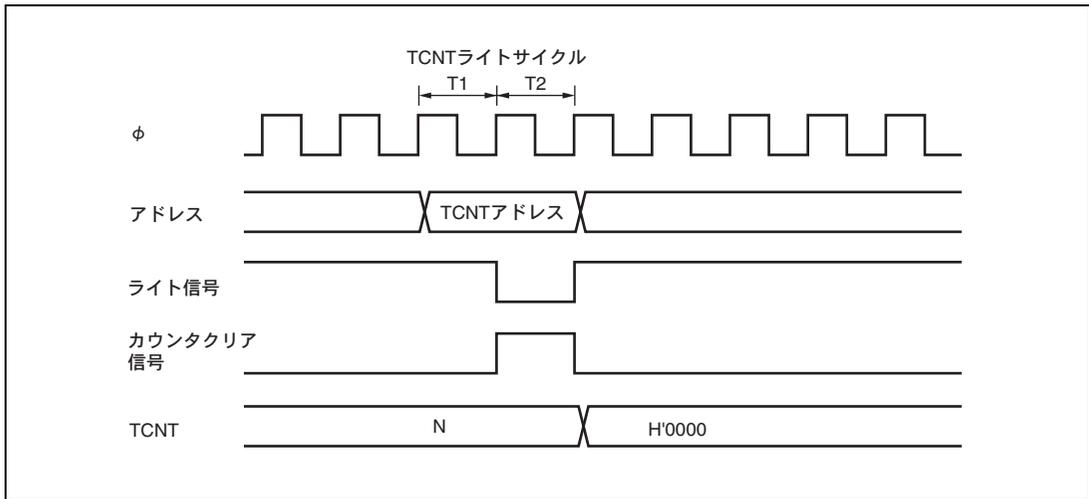


図 12.24 TCNT のライトとクリアの競合

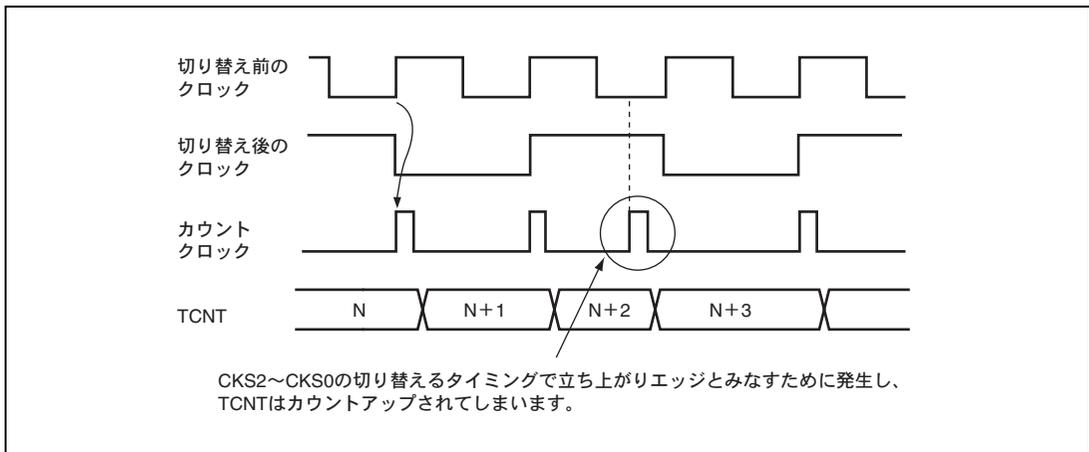


図 12.25 内部クロックの切り替えと TCNT 動作

12. タイマ W

TCRW : H'06に設定。コンペアマッチB、コンペアマッチCを使用。FTIOB端子は1出力状態でコンペアマッチBによりトグル出力または0出力に設定されている。ここでTOCビットをクリア (FTIOC端子をLow出力) するためにBCLR#2、@TCRWを実行し、同時に下図のタイミングでコンペアマッチBが発生した場合、TCRWへH'02ライトが優先されFTIOB端子はコンペアマッチBによるLow出力にはならずHigh出力のままとなる。

ビット	7	6	5	4	3	2	1	0
TCRW	CCLR	CKS2	CKS1	CKS0	TOD	TOC	TOB	TOA
設定値	0	0	0	0	0	1	1	0

BCLR#2、@TCRW

- (1) TCRWリード動作 : H'06をリード
- (2) モディファイ動作 : H'06をH'02にモディファイ
- (3) TCRWへライト動作 : H'02をライト

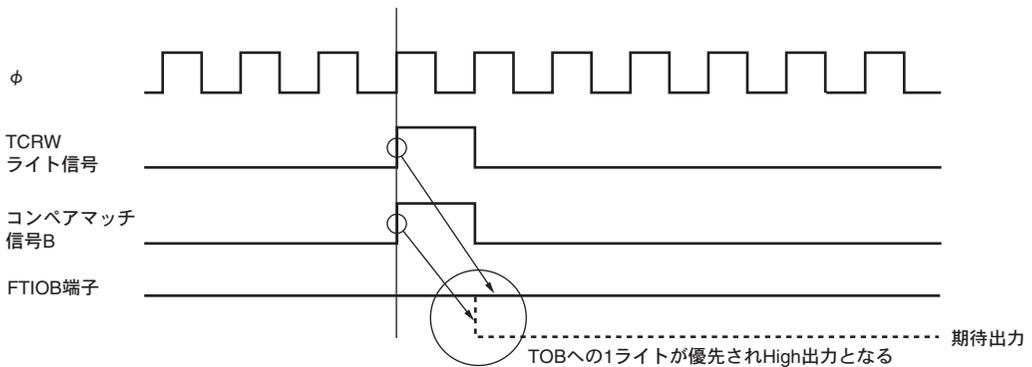


図 12.26 コンペアマッチと TCRW へのビット操作命令が競合した場合の例

13. ウォッチドッグタイマ

ウォッチドッグタイマは8ビットのタイマで、システムの暴走などによりカウンタの値が書き換えられずオーバフローするとLSI内部をリセットします。ウォッチドッグタイマのブロック図を図13.1に示します。

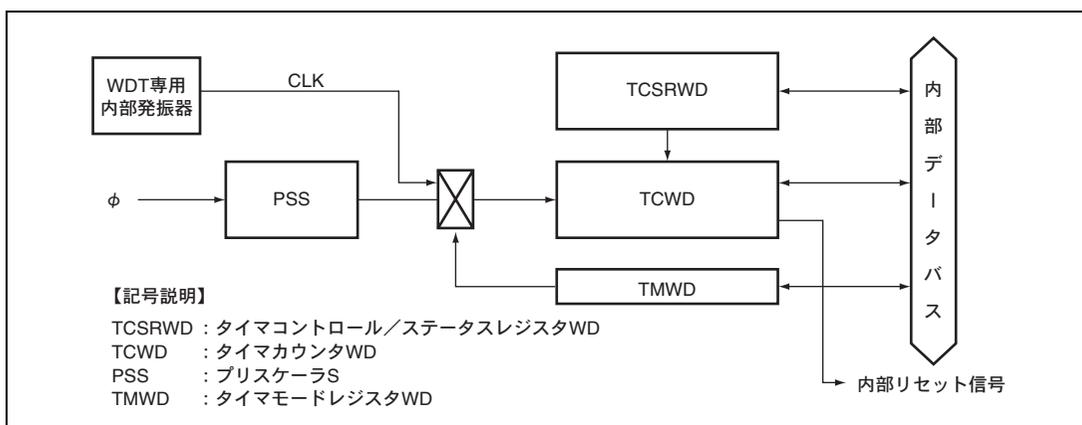


図 13.1 ウォッチドッグタイマのブロック図

13.1 特長

- 9種類の内部クロックを選択可能

タイマのカウントクロックとして8種類の内部クロック ($\phi/64$ 、 $\phi/128$ 、 $\phi/256$ 、 $\phi/512$ 、 $\phi/1024$ 、 $\phi/2048$ 、 $\phi/4096$ 、 $\phi/8192$) またはWDT専用内部発振器を選択可能です。WDT専用内部発振器を選択した場合はすべての動作モードでウォッチドッグタイマとして動作します。

- カウンタのオーバフローでリセット信号を発生

オーバフロー周期は、選択したクロックの1倍から256倍まで設定可能です。

- 初期状態で有効

ウォッチドッグタイマは、リセット解除後動作を開始します。

13.2 レジスタの説明

ウォッチドッグタイマには以下のレジスタがあります。

- タイマコントロール/ステータスレジスタWD (TCSRWD)
- タイマカウンタWD (TCWD)
- タイマモードレジスタWD (TMWD)

13. ウォッチドッグタイマ

13.2.1 タイマコントロール/ステータスレジスタ WD (TCSRWD)

TCSRWD は TCSRWD 自身と TCWD の書き込み制御を行うレジスタです。また、ウォッチドッグタイマの動作制御と動作状態を示す機能も持っています。本レジスタの書き換えは MOV 命令で行ってください。ビット操作命令では設定値の変更ができません。

ビット	ビット名	初期値	R/W	説明
7	B6WI	1	R/W	ビット 6 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 6 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
6	TCWE	0	R/W	タイマカウンタ WD 書き込み許可 このビットが 1 のとき TCWD がライトイネーブルとなります。このビットにデータを書き込むときはビット 7 の書き込み値は 0 にしてください。
5	B4WI	1	R/W	ビット 4 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 4 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
4	TCSRWE	0	R/W	タイマコントロール/ステータスレジスタ WD 書き込み許可 このビットが 1 のときこのレジスタのビット 2 およびビット 0 がライトイネーブルとなります。このビットにデータを書き込むときはビット 5 の書き込み値は 0 にしてください。
3	B2WI	1	R/W	ビット 2 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 2 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
2	WDON	1	R/W	ウォッチドッグタイマオン このビットを 1 にセットすると、TCWD がカウントアップを開始します。0 にクリアすると TCWD はカウントアップを停止します。ウォッチドッグタイマは初期値が有効になっています。ウォッチドッグタイマを使用しない場合は、本ビットを 0 にクリアしてください。 [クリア条件] • TCSRWE=1 の状態で B2WI に 0、WDON に 0 をライトしたとき [セット条件] • リセット • TCSRWE=1 の状態で B2WI に 0、WDON に 1 をライトしたとき
1	B0WI	1	R/W	ビット 0 書き込み禁止 このビットへの書き込み値が 0 のときだけ、このレジスタのビット 0 に対する書き込みが有効となります。リードすると常に 1 が読み出されます。
0	WRST	0	R/W	ウォッチドッグタイマリセット [クリア条件] • RES 端子によるリセット • TCSRWE=1 の状態で、B0WI に 0、WRST に 0 をライトしたとき [セット条件] • TCWD がオーバフローし、内部リセット信号が発生したとき

13.2.2 タイマカウンタ WD (TCWD)

TCWD は 8 ビットのリード/ライト可能なアップカウンタです。TCWD が H'FF から H'00 にオーバーフローすると内部リセット信号が発生し、TCSRWD の WRST が 1 にセットされます。TCWD の初期値は H'00 です。

13.2.3 タイマモードレジスタ WD (TMWD)

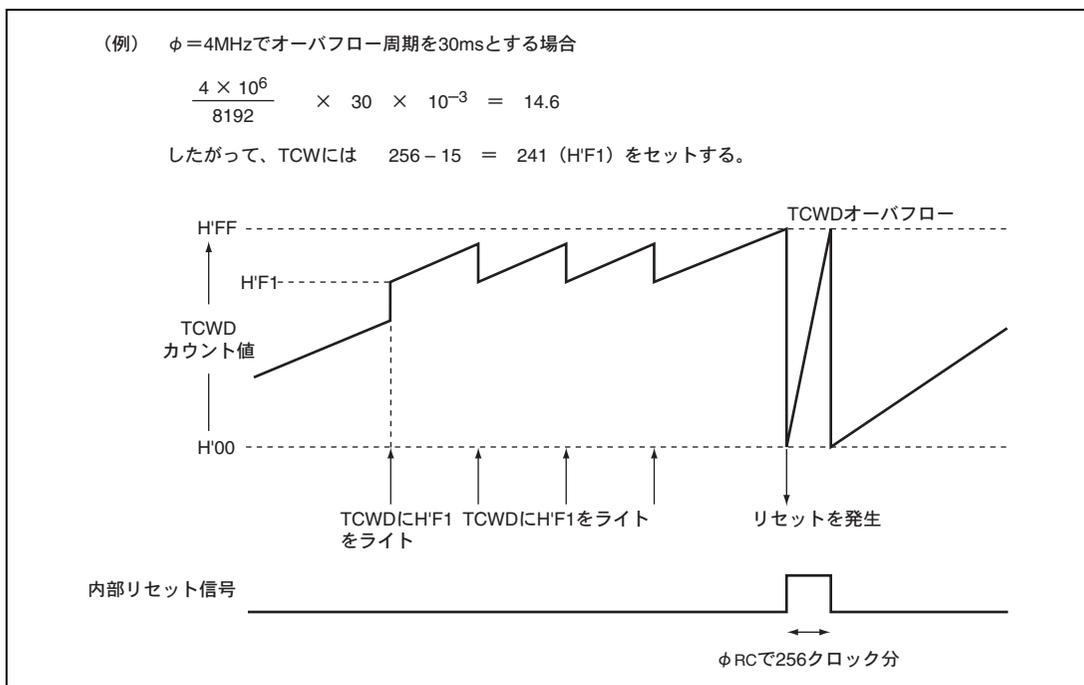
TMWD は入力クロックの選択を行います。

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 1	—	リザーブビットです。リードすると常に 1 が読み出されます。
3	CKS3	1	R/W	クロックセレクト 3~0
2	CKS2	1	R/W	TCWD に入力するクロックを選択します。
1	CKS1	1	R/W	1000 : 内部クロック : $\Phi/64$ をカウント
0	CKS0	1	R/W	1001 : 内部クロック : $\Phi/128$ をカウント 1010 : 内部クロック : $\Phi/256$ をカウント 1011 : 内部クロック : $\Phi/512$ をカウント 1100 : 内部クロック : $\Phi/1024$ をカウント 1101 : 内部クロック : $\Phi/2048$ をカウント 1110 : 内部クロック : $\Phi/4096$ をカウント 1111 : 内部クロック : $\Phi/8192$ をカウント 0XXX : WDT 専用内部発振器 WDT 専用内部発振器によるオーバーフロー周期については「第 20 章 電氣的特性」を参照してください。

【注】 X : Don't care

13.3 動作説明

ウォッチドッグタイマは、8ビットのアップカウンタを備えています。リセット解除後、WCWDはカウントアップを開始します。TCWDのカウント値がH'FFからオーバーフローすると内部リセット信号を発生します。内部リセット信号はφRCクロックで256クロック分の時間出力されます。TCWDはライト可能なカウンタですので、TCWDに値を設定すると、その値からカウントアップを行います。したがって、TCWDの設定値により、オーバーフロー周期を1~256入力クロックの範囲で設定できます。ウォッチドッグタイマを使用しない場合は、TCSRWDのTCSRWE=1の状態ではB2WIに0、WDONに0を同時にライトして、TCWDのカウントアップを停止させてください。（ウォッチドッグタイマを停止させるためには、TCSRWDへ2回ライトアクセスが必要となります）。ウォッチドッグタイマ動作例を図13.2に示します。



14. シリアルコミュニケーションインタフェース 3 (SCI3)

H8/36912 グループ、H8/36902 グループはシリアルコミュニケーションインタフェース 3 (SCI3) を備えています。SCI3 は、調歩同期式とクロック同期式の 2 方式のシリアルデータ通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。また、調歩同期方式では複数のプロセッサ間のシリアルデータ通信機能 (マルチプロセッサ通信機能) を備えています。

SCI3 のブロック図を図 14.1 に示します。

14.1 特長

- シリアルデータ通信フォーマットを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともにダブルバッファ構造になっていますので、連続送受信が可能です。

- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
- 送受信クロックソースとして内蔵ボーレートジェネレータまたは外部クロックを選択可能
- 6種類の割り込み要因

送信終了、送信データエンプティ、受信データフル、オーバランエラー、フレーミングエラー、パリティエラーの割り込み要因があります。

- ノイズ除去回路内蔵 (調歩同期式通信のみ)

調歩同期式モード

- データ長：7ビット/8ビット選択可能
- ストップビット長：1ビット/2ビット選択可能
- パリティ：偶数パリティ/奇数パリティ/パリティなしから選択可能
- 受信エラーの検出：パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出：フレーミングエラー発生時RXD端子のレベルを直接読み出すことでブレークを検出可能

クロック同期式モード

- データ長：8ビット
- 受信エラーの検出：オーバランエラー

14. シリアルコミュニケーションインタフェース 3 (SCI3)

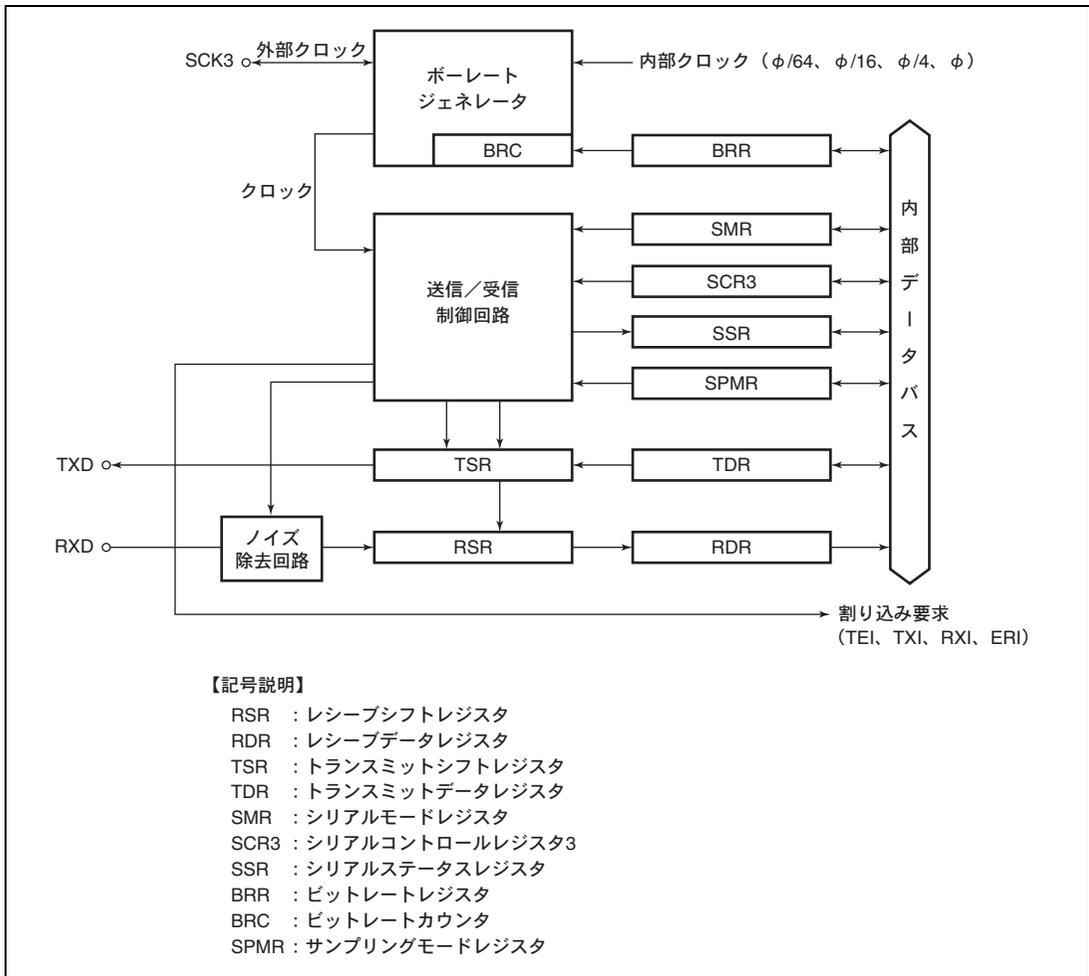


図 14.1 SCI3 のブロック図

14.2 入出力端子

SCI3 の端子構成を表 14.1 に示します。

表 14.1 端子構成

名称	略称	入出力	機能
SCI3 クロック	SCK3	入出力	SCI3 のクロック入出力端子
SCI3 レシーブデータ入力	RXD	入力	SCI3 の受信データ入力端子
SCI3 トランスミットデータ出力	TXD	出力	SCI3 の送信データ出力端子

14.3 レジスタの説明

SCI3 には以下のレジスタがあります。

- レシーブシフトレジスタ (RSR)
- レシーブデータレジスタ (RDR)
- トランスミットシフトレジスタ (TSR)
- トランスミットデータレジスタ (TDR)
- シリアルモードレジスタ (SMR)
- シリアルコントロールレジスタ3 (SCR3)
- シリアルステータスレジスタ (SSR)
- ビットレートレジスタ (BRR)
- サンプリングモードレジスタ (SPMR)

14.3.1 レシーブシフトレジスタ (RSR)

RSR は RXD 端子から入力されたシリアルデータをパラレル変換するための受信用シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU からは直接アクセスすることはできません。

14.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRDF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。RDR の初期値は H'00 です。

14.3.3 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR に書き込まれた送信データは自動的に TSR に転送され、LSB から順に TXD 端子に送出することでシリアルデータ送信を行います。CPU からは直接アクセスすることはできません。

14.3.4 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空を検出すると TDR に書き込まれた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR につぎの送信データが書き込まれていれば TSR へ転送して送信を継続します。シリアル送信を確実にを行うため、TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行うようにしてください。TDR の初期値は H'FF です。

14. シリアルコミュニケーションインタフェース 3 (SCI3)

14.3.5 シリアルモードレジスタ (SMR)

SMRはシリアルデータ通信フォーマットと内蔵ボーレートジェネレータのクロックソースを選択するためのレジスタです。

ビット	ビット名	初期値	R/W	説明
7	COM	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビットのフォーマットで送受信します。 1: データ長 7 ビットのフォーマットで送受信します。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。
4	PM	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時はこのビットの設定値にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信キャラクタのスタートビットとみなします。
2	MP	0	R/W	マルチプロセッサモード このビットが 1 のときマルチプロセッサ通信機能がイネーブルになります。 PE、PM ビットの設定値は無効になります。クロック同期式モードではこのビットは 0 に設定してください。
1	CKS1	0	R/W	クロックセレクト 1、0 内蔵ボーレートジェネレータのクロックソースを選択します。 00: ϕ クロック (n=0) 01: $\phi/4$ クロック (n=1) 10: $\phi/16$ クロック (n=2) 11: $\phi/64$ クロック (n=3) このビットの設定値とボーレートの関係については、「14.3.8 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「14.3.8 ビットレートレジスタ (BRR)」中の n の値を表します。
0	CKS0	0	R/W	

14.3.6 シリアルコントロールレジスタ 3 (SCR3)

SCR3 は以下の送受信動作と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「14.7 割り込み要求」を参照してください。

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 セットすると、TXI 割り込み要求がイネーブルになります。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 セットすると、RXI および ERI 割り込み要求がイネーブルになります。
5	TE	0	R/W	トランスミットイネーブル このビットが 1 のとき送信動作が可能になります。
4	RE	0	R/W	レシーブイネーブル このビットが 1 のとき受信動作が可能になります。
3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP = 1 のとき有効) このビットを 1 にセットすると、マルチプロセッサビットが 0 の受信データは読みとばし、SSR の RDRF、FER、OER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 のデータを受信すると、このビットは自動的にクリアされ通常の受信動作に戻ります。詳細は「14.6 マルチプロセッサ通信機能」を参照してください。
2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル このビットを 1 にセットすると TEI 割り込み要求がイネーブルになります。
1	CKE1	0	R/W	クロックイネーブル 1、0
0	CKE0	0	R/W	クロックソースを選択します。 調歩同期式の場合 00 : 内部ポーレートジェネレータ 01 : 内部ポーレートジェネレータ (SCK3 端子からビットレートと同じ周波数のクロックを出力します) 10 : 外部クロック (SCK3 端子からビットレートの 16 倍の周波数のクロックを入力してください。) 11 : リザーブ クロック同期式の場合 00 : 内部クロック (SCK3 端子機能はクロック出力端子となります。) 01 : リザーブ 10 : 外部クロック (SCK3 端子機能はクロック入力端子となります。) 11 : リザーブ

14. シリアルコミュニケーションインタフェース 3 (SCI3)

14.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI3 のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、OER、PER、FER はクリアのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	TDRE	1	R/W	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] <ul style="list-style-type: none">• SCR3 の TE が 0 のとき• TDR から TSR にデータが転送されたとき [クリア条件] <ul style="list-style-type: none">• 1 の状態をリードしたあと、0 をライトしたとき• TDR へ送信データをライトしたとき
6	RDRF	0	R/W	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] <ul style="list-style-type: none">• 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] <ul style="list-style-type: none">• 1 の状態をリードしたあと、0 をライトしたとき• RDR のデータをリードしたとき
5	OER	0	R/W	オーバランエラー [セット条件] <ul style="list-style-type: none">• 受信中にオーバランエラーが発生したとき [クリア条件] <ul style="list-style-type: none">• 1 の状態をリードしたあと、0 をライトしたとき
4	FER	0	R/W	フレーミングエラー [セット条件] <ul style="list-style-type: none">• 受信中にフレーミングエラーが発生したとき [クリア条件] <ul style="list-style-type: none">• 1 の状態をリードしたあと、0 をライトしたとき
3	PER	0	R/W	パリティエラー [セット条件] <ul style="list-style-type: none">• 受信中にパリティエラーが発生したとき [クリア条件] <ul style="list-style-type: none">• 1 の状態をリードしたあと、0 をライトしたとき

ビット	ビット名	初期値	R/W	説明
2	TEND	1	R	トランスミットエンド [セット条件] • SCR3のTEが0のとき • 送信キャラクタの最後尾ビットの送信時、TDREが1のとき [クリア条件] • TDRE=1の状態をリードしたあと、TDREフラグに0をライトしたとき • TDRへ送信データをライトしたとき
1	MPBR	0	R	マルチプロセッサビットレシーブ 受信キャラクタ中のマルチプロセッサビットを格納します。SCR3のRE=0のときは変化しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ 送信キャラクタに付加するマルチプロセッサビットの値を指定します。

14.3.8 ビットレートレジスタ (BRR)

BRRはビットレートを設定する8ビットのレジスタです。BRRの初期値はH'FFです。調歩同期式モードにおけるSMRのCKS1、CKS0の値nとBRRの値Nの設定例を表14.2に、調歩同期式モードの最大ビットレートを表14.3に示します。いずれもアクティブ（高速）モードでの値を示しています。クロック同期式モードにおけるSMRのCKS1、CKS0の値nとBRRの値Nの設定例を表14.4に示します。アクティブ（高速）モードでの値を示しています。その他の動作周波数とビットレートの組み合わせに対するBRRの設定値Nと誤差は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{\Phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

$$\text{誤差 (\%)} = \left\{ \frac{\Phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

〔クロック同期式モード〕

$$N = \frac{\Phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B: ビットレート (bit/s)

N: ボーレートジェネレータのBRRの設定値 (0 ≤ N ≤ 255)

φ: 動作周波数 (MHz)

n: SMRのCKS1、CKS0の設定値 (0 ≤ n ≤ 3)

14. シリアルコミュニケーションインタフェース 3 (SCI3)

表 14.2 ビットレートに対する BRR の設定例 (調歩同期式モード)

ビット レート (bit/s)	φ (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	0	6	-6.99	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	0	2	8.51	0	2	13.78	0	3	0.00	0	4	-2.34
31250	0	1	0.00	0	1	4.86	0	1	22.88	0	2	0.00
38400	0	1	-18.62	0	1	-14.67	0	1	0.00	-	-	-

(つづき)

ビット レート (bit/s)	φ (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	0	6	-6.99	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	0	2	8.51	0	3	0.00	0	3	1.73

【記号説明】

- : 設定可能ですが誤差ができます。

14. シリアルコミュニケーションインタフェース 3 (SCI3)

(つづき)

ビット レート (bit/s)	φ (MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	-0.44	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	-2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	-2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	-2.34	0	4	0.00	0	5	0.00	0	6	-6.99

(つづき)

ビット レート (bit/s)	φ (MHz)					
	9.8304			10		
	n	N	誤差(%)	n	N	誤差(%)
110	2	174	-0.26	2	177	-0.25
150	2	127	0.00	2	129	0.16
300	1	255	0.00	2	64	0.16
600	1	127	0.00	1	129	0.16
1200	0	255	0.00	1	64	0.16
2400	0	127	0.00	0	129	0.16
4800	0	63	0.00	0	64	0.16
9600	0	31	0.00	0	32	-1.36
19200	0	15	0.00	0	15	1.73
31250	0	9	-1.70	0	9	0.00
38400	0	7	0.00	0	7	1.73

【記号説明】

－：設定可能ですが誤差がでます。

14. シリアルコミュニケーションインタフェース 3 (SCI3)

表 14.3 各周波数における最大ビットレート [調歩同期式モード]

φ (MHz)	最大ビットレート (bit/s)	n	N	φ (MHz)	最大ビットレート (bit/s)	n	N
2	62500	0	0	5	156250	0	0
2.097152	65536	0	0	6	187500	0	0
2.4576	76800	0	0	6.144	192000	0	0
3	93750	0	0	7.3728	230400	0	0
3.6864	115200	0	0	8	250000	0	0
4	125000	0	0	9.8304	307200	0	0
4.9152	153600	0	0	10	312500	0	0

表 14.4 ビットレートに対する BRR の設定例 [クロック同期式モード]

ビット レート (bit/s)	φ (MHz)							
	2		4		8		10	
	n	N	n	N	n	N	n	N
110	3	70	—	—	—	—	—	—
250	2	124	2	249	3	124	—	—
500	1	249	2	124	2	249	—	—
1k	1	124	1	249	2	124	—	—
2.5k	0	199	1	99	1	199	1	249
5k	0	99	0	199	1	99	1	124
10k	0	49	0	99	0	199	0	249
25k	0	19	0	39	0	79	0	99
50k	0	9	0	19	0	39	0	49
100k	0	4	0	9	0	19	0	24
250k	0	1	0	3	0	7	0	9
500k	0	0*	0	1	0	3	0	4
1M			0	0*	0	1	—	—
2M					0	0*	—	—
2.5M							0	0*

【記号説明】

空欄：設定不可能です。

—：設定可能ですが誤差があります。

*：連続送受信はできません。

14.3.9 サンプルモードレジスタ (SPMR)

SPMR はシリアル通信の制御を行うレジスタです。

ビット	ビット名	初期値	R/W	説明
7~3	—	すべて 1	—	リザーブビット 読み出すと常に 1 が読み出されます。
2	STDSPM	1	R/W	ノイズ除去機能選択 調歩同期式通信時、RXD 端子入力のノイズ除去機能を選択します。 0: ノイズ除去回路有効 1: ノイズ除去回路無効
1	—	1	—	リザーブビット
0	—	1	—	読み出すと常に 1 が読み出されます。

• ノイズ除去回路

RXD入力信号は、ノイズ除去回路を経由して内部に取り込まれます。ノイズ除去回路は、3段直列に接続されたラッチ回路と一致検出回路で構成されます。RXD入力信号が転送レートの16倍の周波数の基本クロックでサンプリングされ、3つのラッチ出力が一致すると、後段へそのレベルを伝えます。一致しないときは、前の値を保持します。

すなわち、3クロック以上同一のレベルを保持した場合は信号として認識しますが、3クロック以下の信号変化はノイズとして判断し信号変化として認識しません。

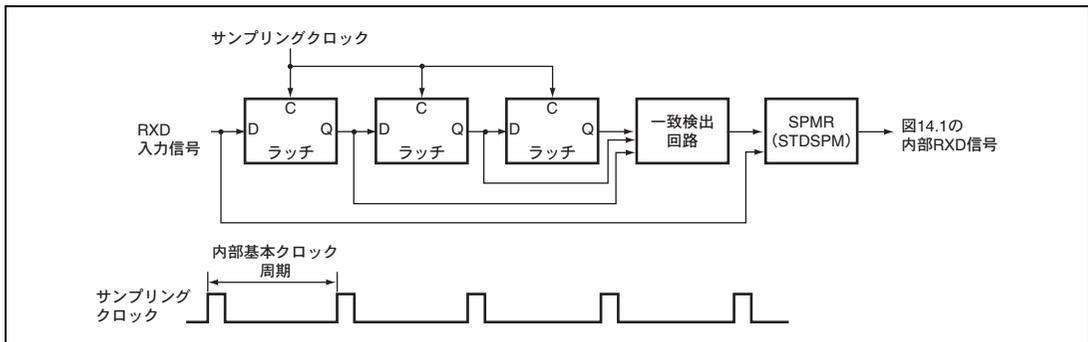


図 14.2 ノイズ除去回路のブロック図

14.4 調歩同期式モードの動作説明

調歩同期式通信の通信データの一般的なフォーマットを図 14.3 に示します。通信データの 1 キャラクタまたは 1 フレームは、スタートビット (Low レベル) から始まり、送信/受信データ (LSB ファースト)、パリティビット、ストップビット (High レベル) の順で構成されます。SCI3 内部は送信部と受信部が独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に次の受信データのリードを行うことで連続送受信が可能です。

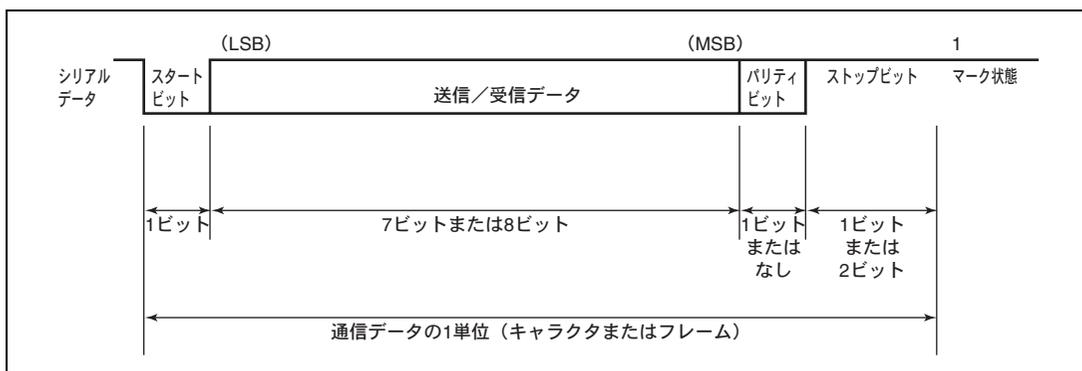


図 14.3 調歩同期式通信のデータフォーマット

14.4.1 クロック

SMR の COM と SCR3 の CKE1、CKE0 の設定により、SCI3 の送受信クロックソースとして内蔵ポーレートジェネレータが生成する内部クロックまたは SCK3 端子から入力される外部クロックを選択できます。外部クロックを使用する場合は SCK3 端子にビットレートの 16 倍の周波数のクロックを入力してください。内部クロックを使用する場合は SCK3 端子からビットレートと同じ周波数のクロックを出力することができます。出力されるクロックの位相は図 14.4 のように送受信データの各ビットの中央でクロックが立ち上がります。

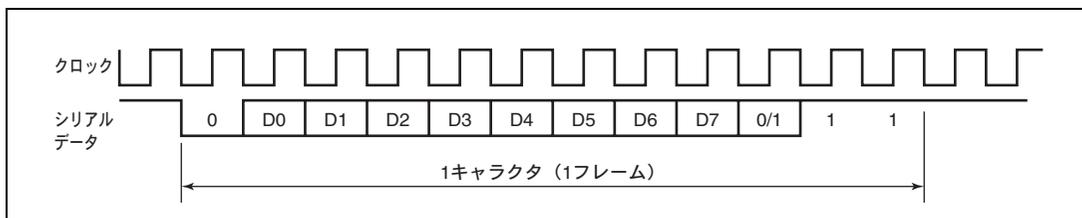


図 14.4 出力クロックと通信データの位相関係 (調歩同期式モード)
(8 ビットデータ/パリティあり/2 ストップビットの例)

14.4.2 SCI3 の初期化

図 14.5 のフローチャートの例に従って初期化してください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、OER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

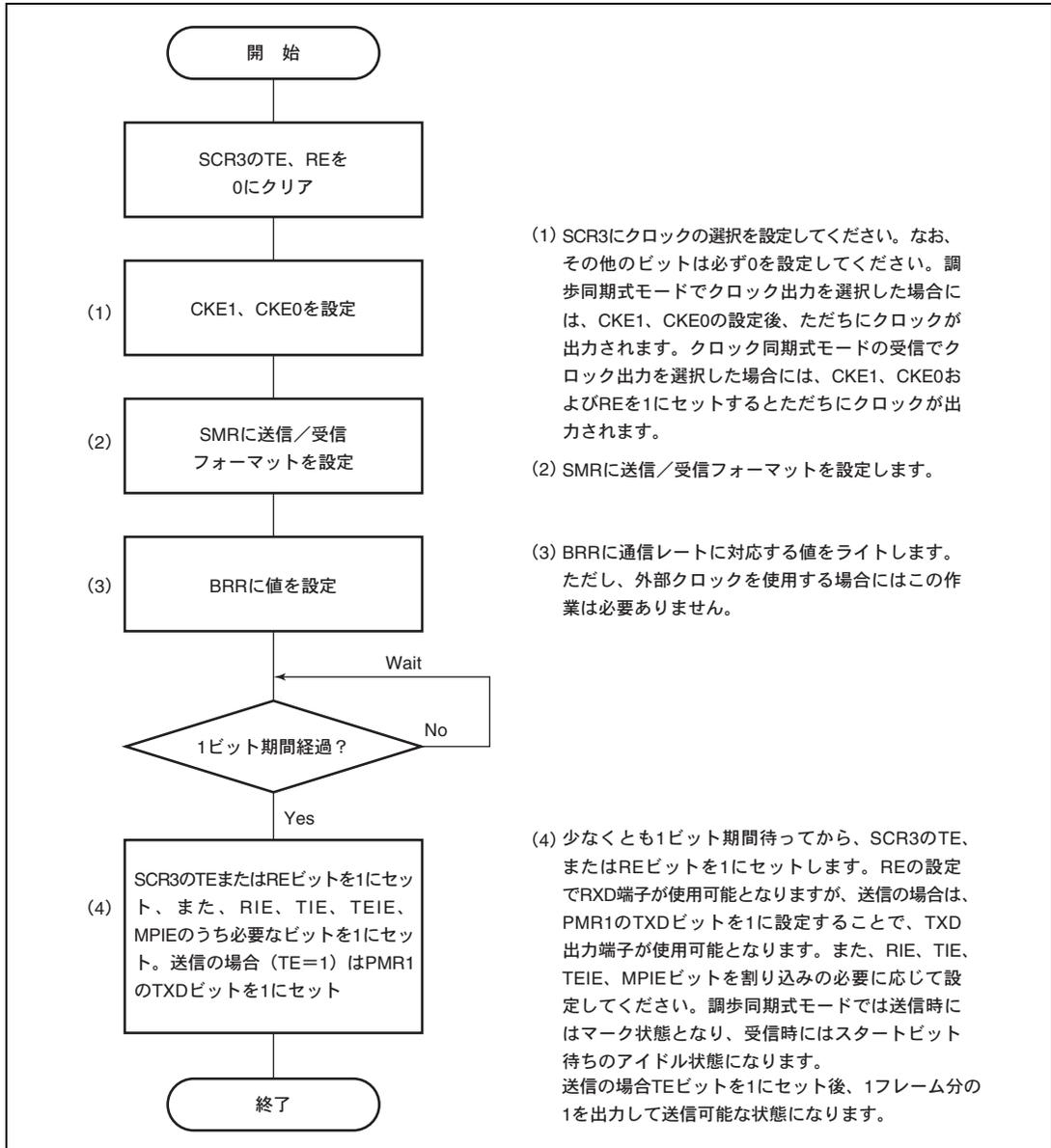


図 14.5 SCI3 を初期化するときのフローチャートの例

14.4.3 データ送信

図 14.6 に調歩同期式モードの送信時の動作例を示します。SCI3 はデータ送信時以下のように動作します。

1. SSRのTDREを監視し、0であるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDREを1にセットして送信を開始します。このとき、SCR3のTIEが1にセットされているとTXI割り込み要求が発生します。このTXI割り込み処理ルーチンで、前に転送したデータが送信終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. ストップビットを送り出すタイミングでTDREをチェックします。
4. TDREが0であるとTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
5. TDREが1であるとSSRのTENDに1をセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCR3のTEIEが1にセットされているとTEIが発生します。
6. 図14.7にデータ送信を行うためのフローチャートの例を示します。

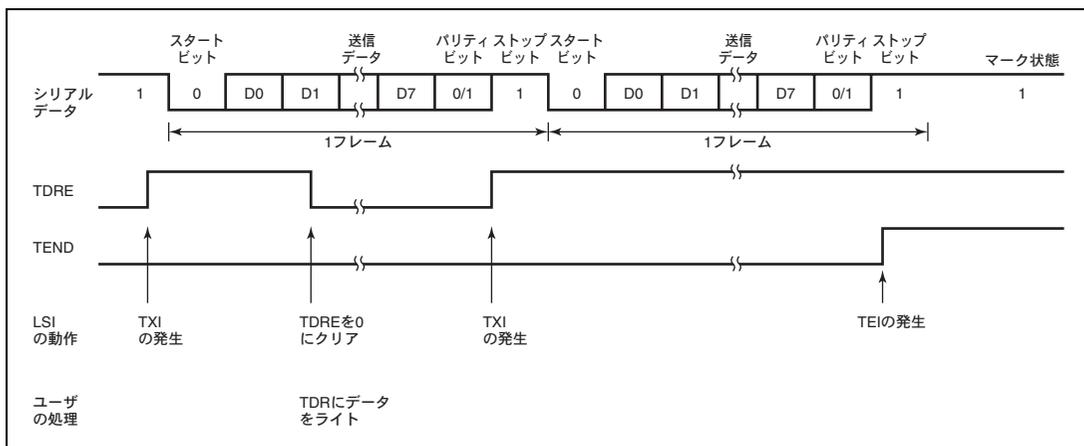


図 14.6 調歩同期式モードの送信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

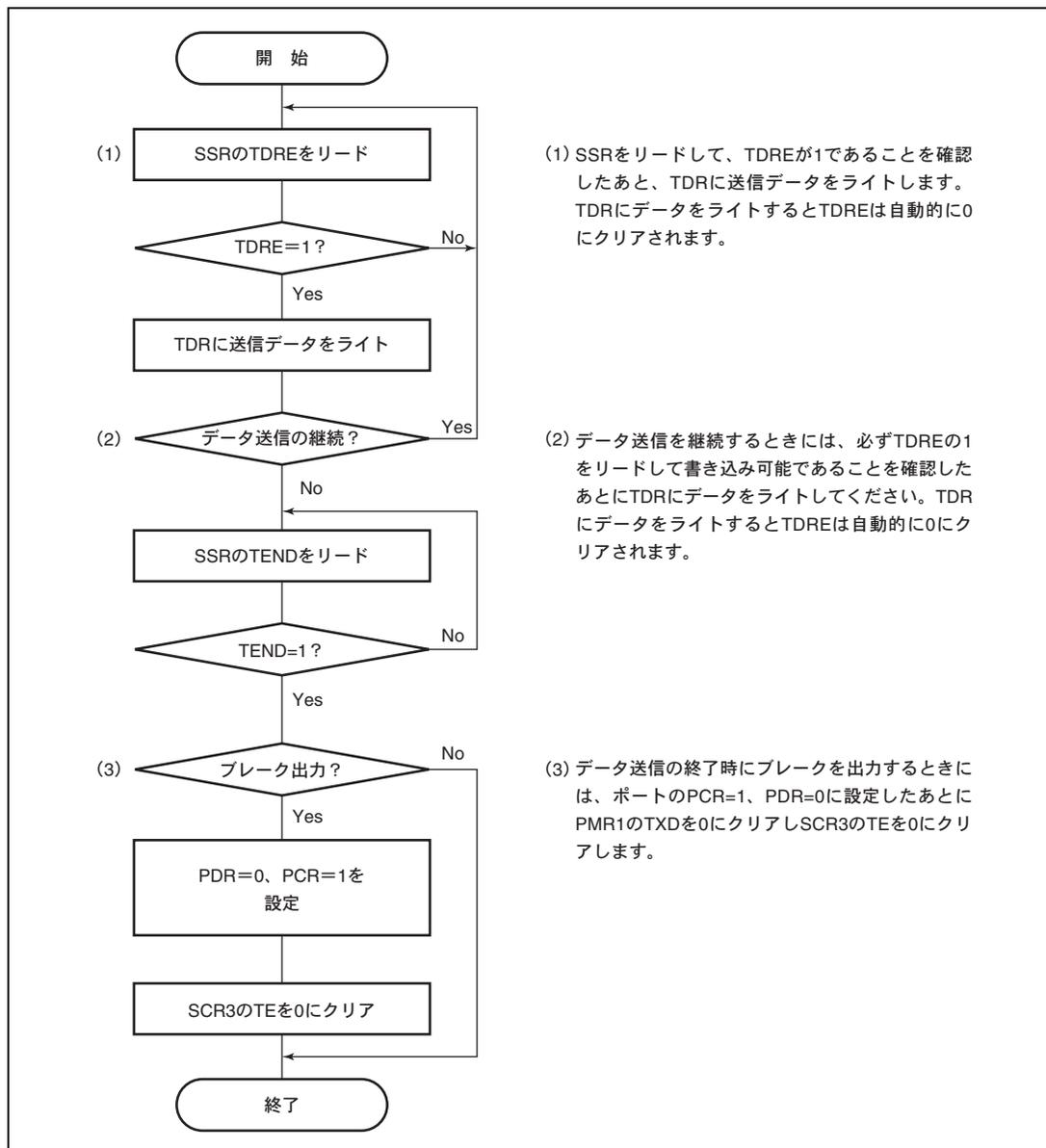


図 14.7 データ送信のフローチャートの例（調歩同期式モード）

14.4.4 データ受信

調歩同期式モードの受信時の動作例を図 14.8 に示します。SCI3 は受信時に以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき（SSRのRDRFが1にセットされたまま次のデータを受信完了したとき）はSSRのOERをセットします。このときSCR3のRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCR3のRIEが1にセットされているとERI割り込み要求を発生します。
4. フレーミングエラー（ストップビットが0のとき）を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCR3のRIEが1にセットされているとERI割り込み要求を発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCR3のRIEが1にセットされているとRXI割り込み要求を発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

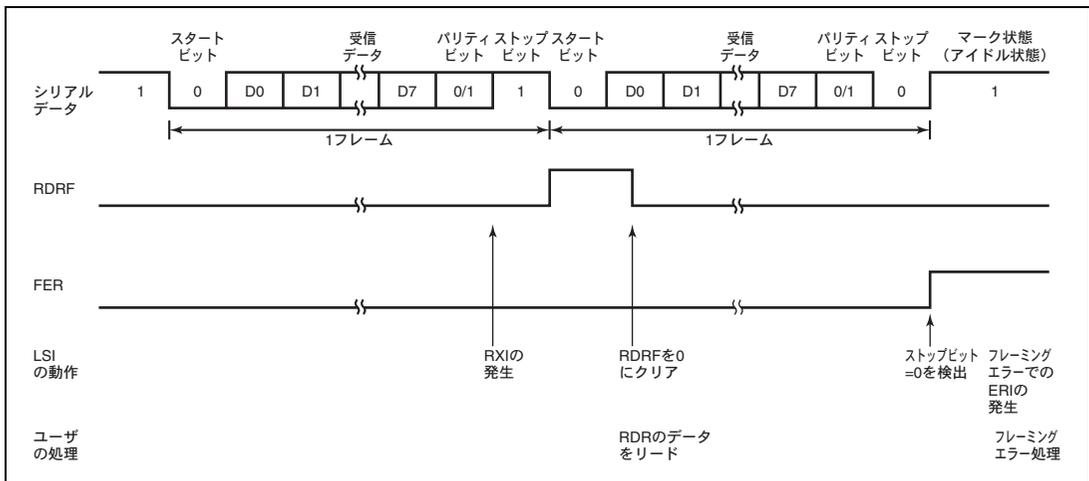


図 14.8 調歩同期式モードの受信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

14. シリアルコミュニケーションインタフェース 3 (SCI3)

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処置を表 14.5 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER、および RDRF を 0 にクリアしてください。図 14.9 にデータ受信のためのフローチャートの例を示します。

表 14.5 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	OER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー+フレーミングエラー
1	1	0	1	消失	オーバランエラー+パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー+パリティエラー
1	1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

【注】 * RDRF は、データ受信前の状態を保持します。

14. シリアルコミュニケーションインタフェース 3 (SCI3)

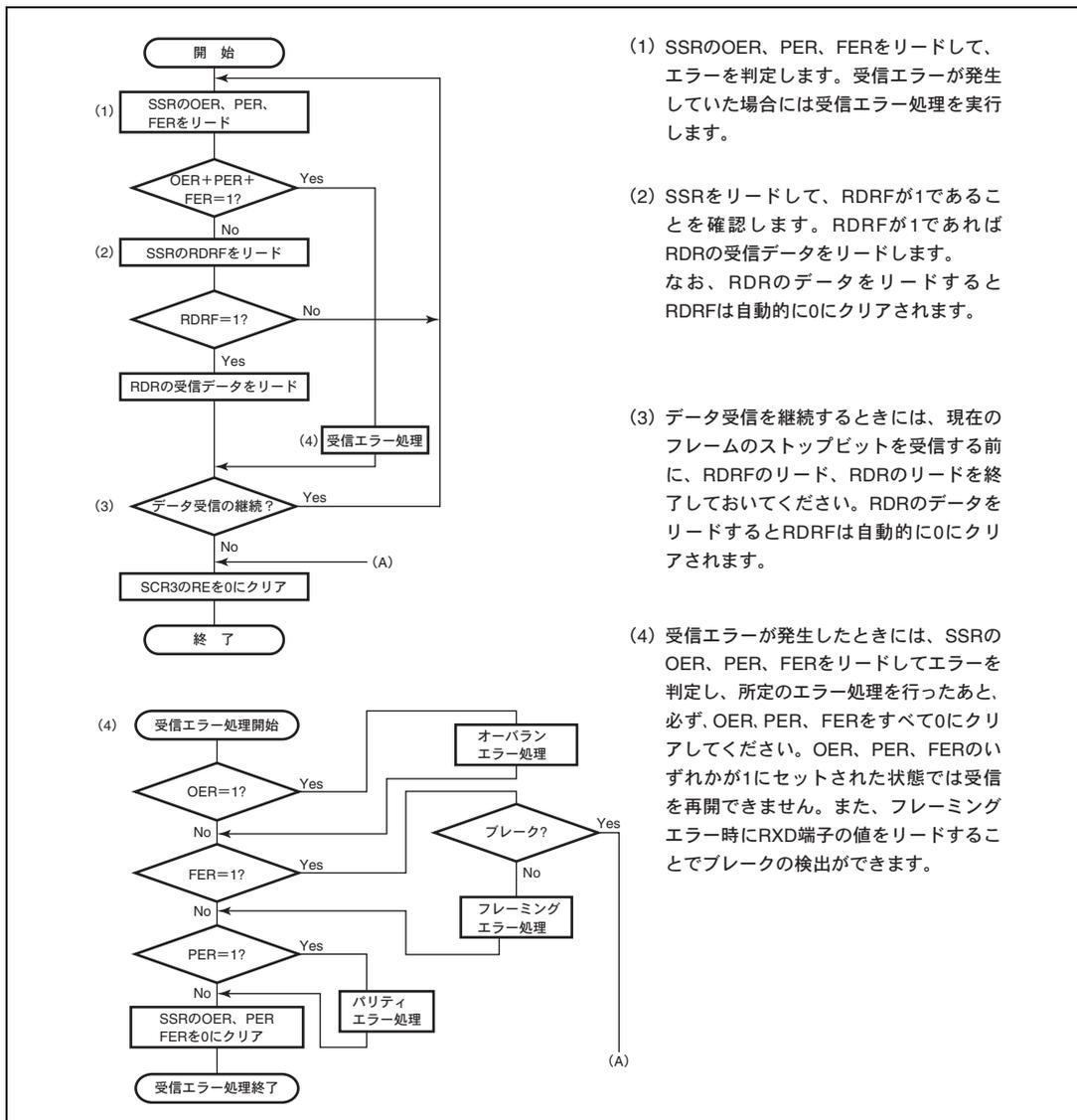


図 14.9 データ受信のフローチャートの例 (調歩同期式モード)

14.5 クロック同期式モードの動作説明

クロック同期式通信の通信データのフォーマットを図 14.10 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは、LSB から始まる 8 ビットデータで構成されます。SCI3 はデータ送信時は同期クロックの立ち下がりから次の立ち上がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。MSB 出力後の通信回線は MSB 出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI3 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部／受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

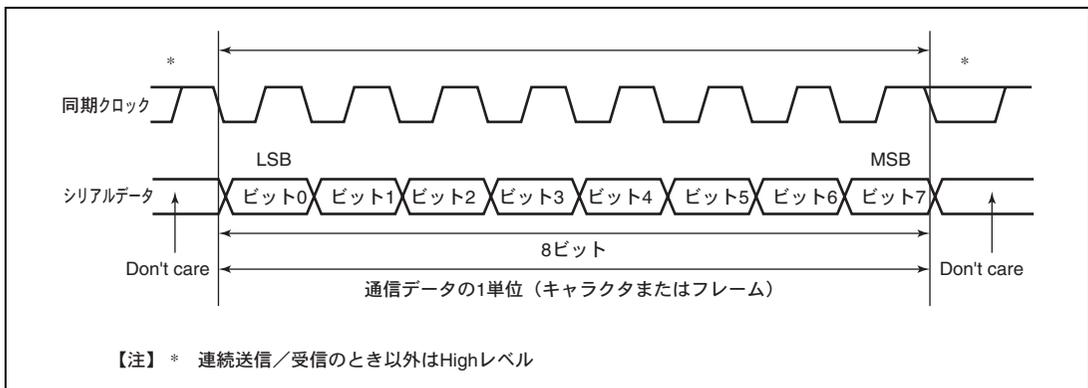


図 14.10 クロック同期式通信のデータフォーマット

14.5.1 クロック

SMR の COM と SCR3 の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータが生成する内部クロックまたは SCK3 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK3 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。

14.5.2 SCI3 の初期化

データの送受信前に図 14.5 のフローチャートの例に従って SCI3 を初期化してください。

14.5.3 データ送信

図 14.11 にクロック同期モードの送信時の動作例を示します。データ送信時 SCI3 は以下のように動作します。

1. SCI3は、SSRのTDREを監視し、0であるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDREを1にセットして送信を開始します。このとき、SCR3のTIEが1にセットされているとTXI割り込み要求が発生します。
3. クロック出力モードに設定したときには、SCI3は同期クロックを8パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。シリアルデータは、LSB（ビット0）から順にTXD端子から送信されます。
4. MSB（ビット7）を送り出すタイミングでTDREをチェックします。
5. TDREが0であるとTDRからTSRにデータを転送し次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、MSB出力状態を保持します。このときSCR3のTEIEが1にセットされているとTEIが発生します。
7. 送信終了後はSCK3端子はHighレベル固定になります。

図 14.12 にデータ送信のフローチャートの例を示します。データ受信のステータスを示すエラーフラグ (OER、FER、PER) が1にセットされた状態では送信は行えませんので、送信の前には、エラーフラグ (OER、FER、PER) が0にクリアされていることを確認してください。

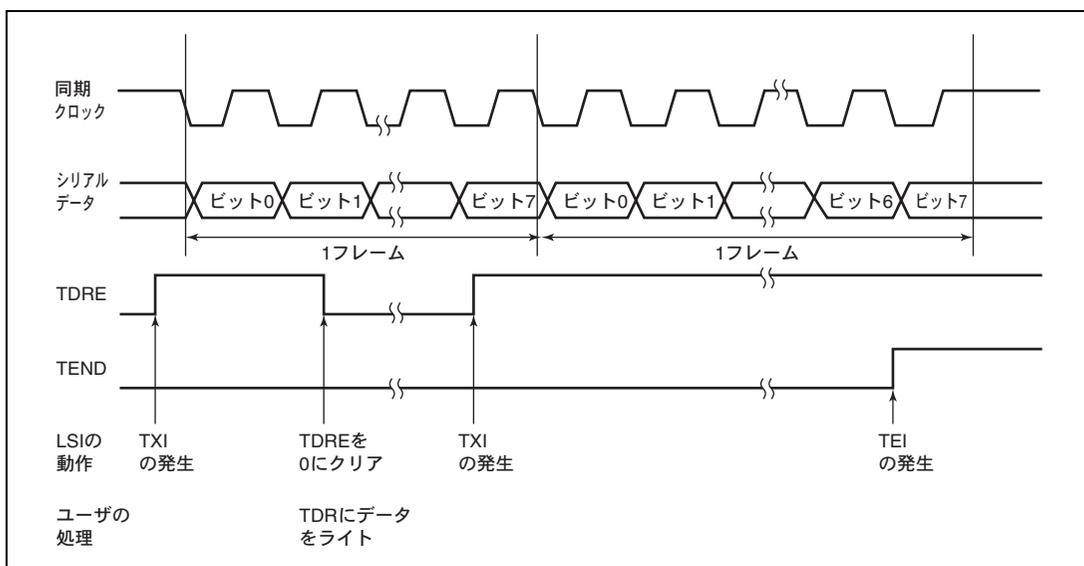


図 14.11 クロック同期モードの送信時の動作例

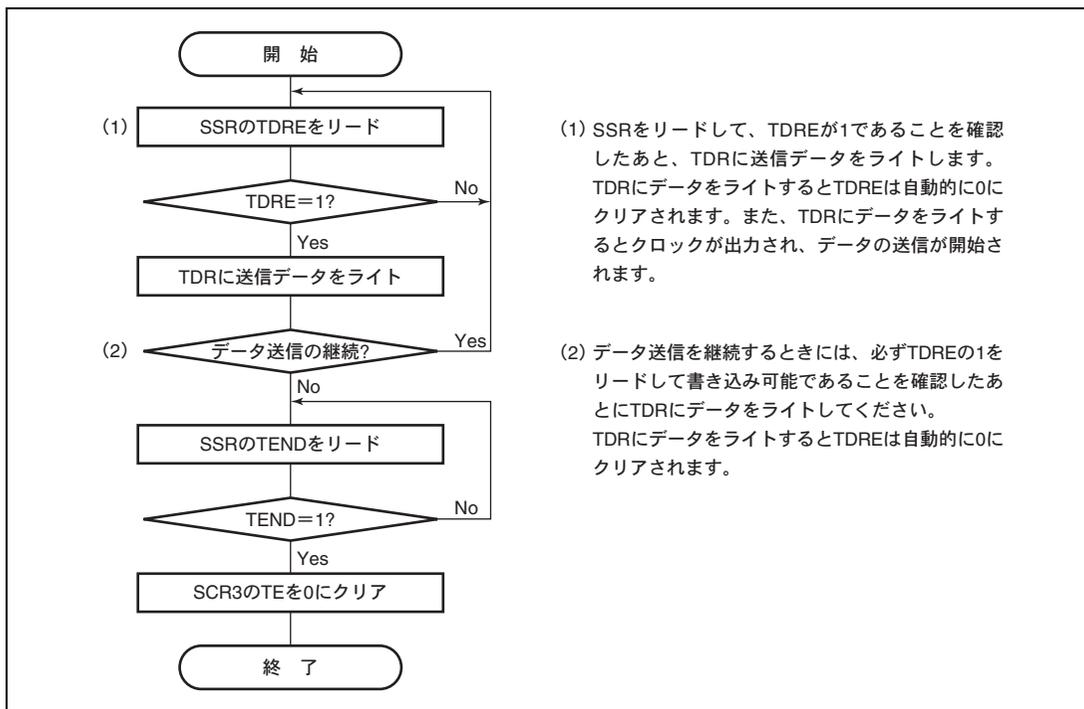


図 14.12 データ送信のフローチャートの例 (クロック同期式モード)

14.5.4 データ受信

図 14.13 にクロック同期式モードの受信時の動作例を示します。SCI3 は受信時に以下のように動作します。

1. SCI3は同期クロックの入力または、出力に同期して内部を初期化し、受信を開始します。
2. 受信したデータをRSRに取り込みます。
3. オーバランエラーが発生したとき（SSRのRDRFが1にセットされたまま次のデータを受信完了したとき）はSSRのOERをセットします。このときSCR3のRIEが1にセットされているとERI割り込み要求を発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
4. 正常に受信したときはSSR のRDRFをセットし、受信データをRDRに転送します。このときSCR3のRIEが1にセットされているとRXI割り込み要求を発生します。

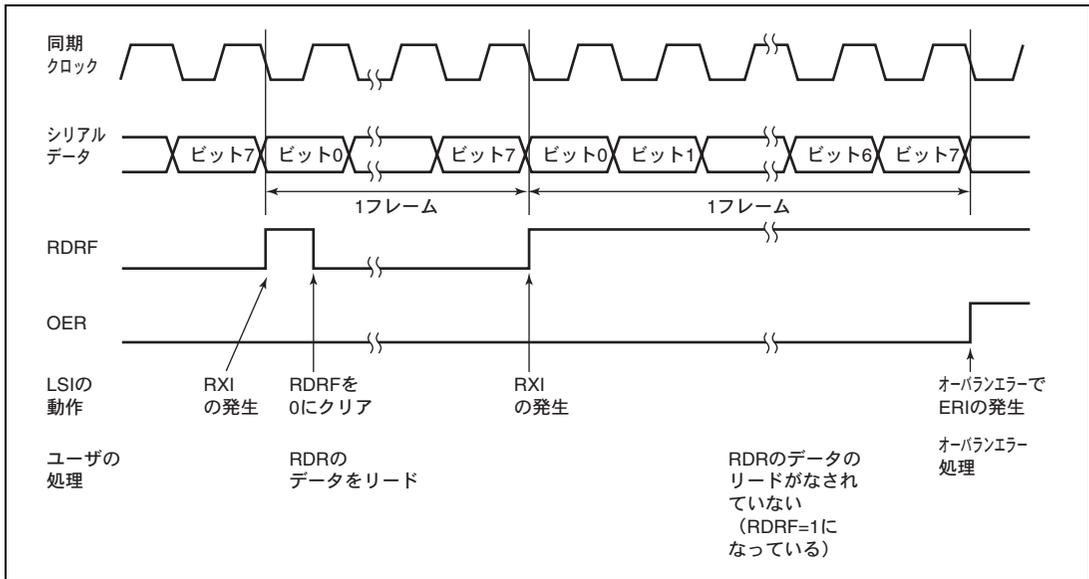


図 14.13 クロック同期式モードの受信時の動作例

14. シリアルコミュニケーションインタフェース 3 (SCI3)

受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER、および RDRF を 0 にクリアしてください。図 14.14 にデータ受信のフローチャートの例を示します。

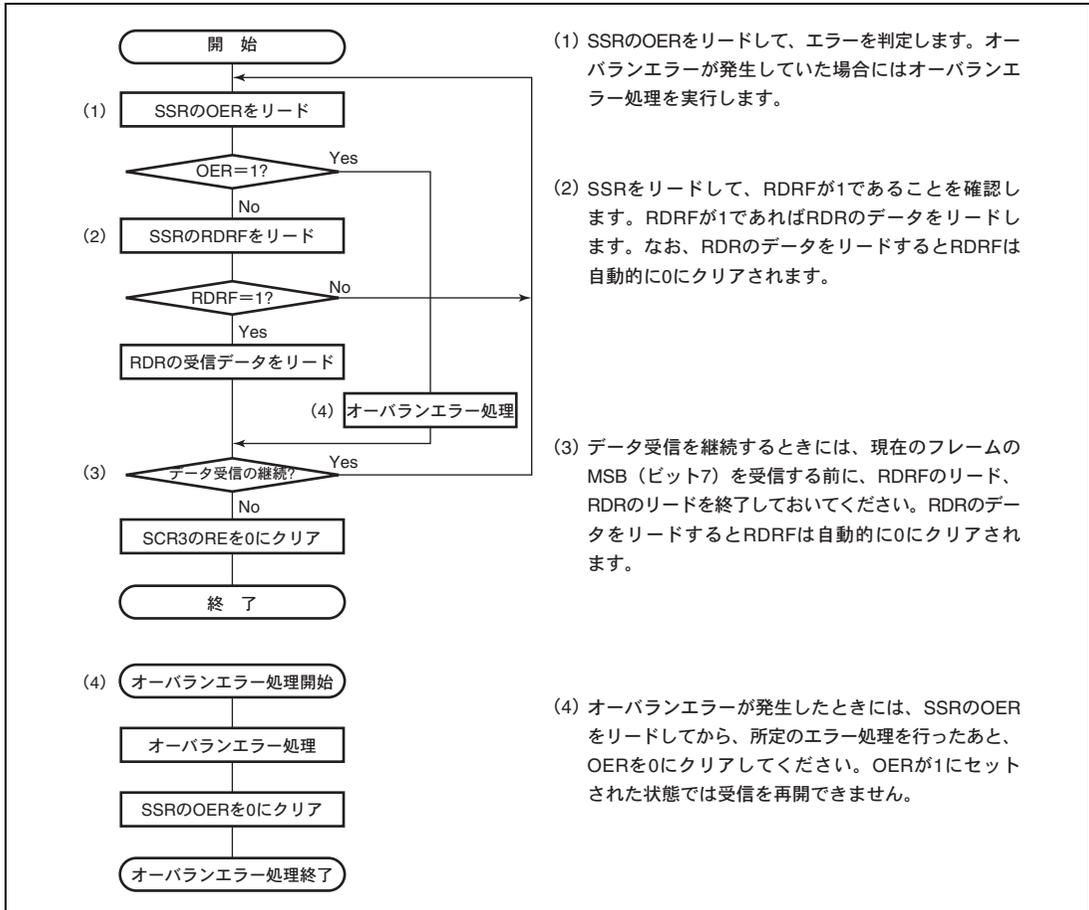


図 14.14 データ受信フローチャートの例 (クロック同期式モード)

14.5.5 データ送受信同時動作

図 14.15 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI3 の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI3 が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認したあと、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI3 が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (OER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

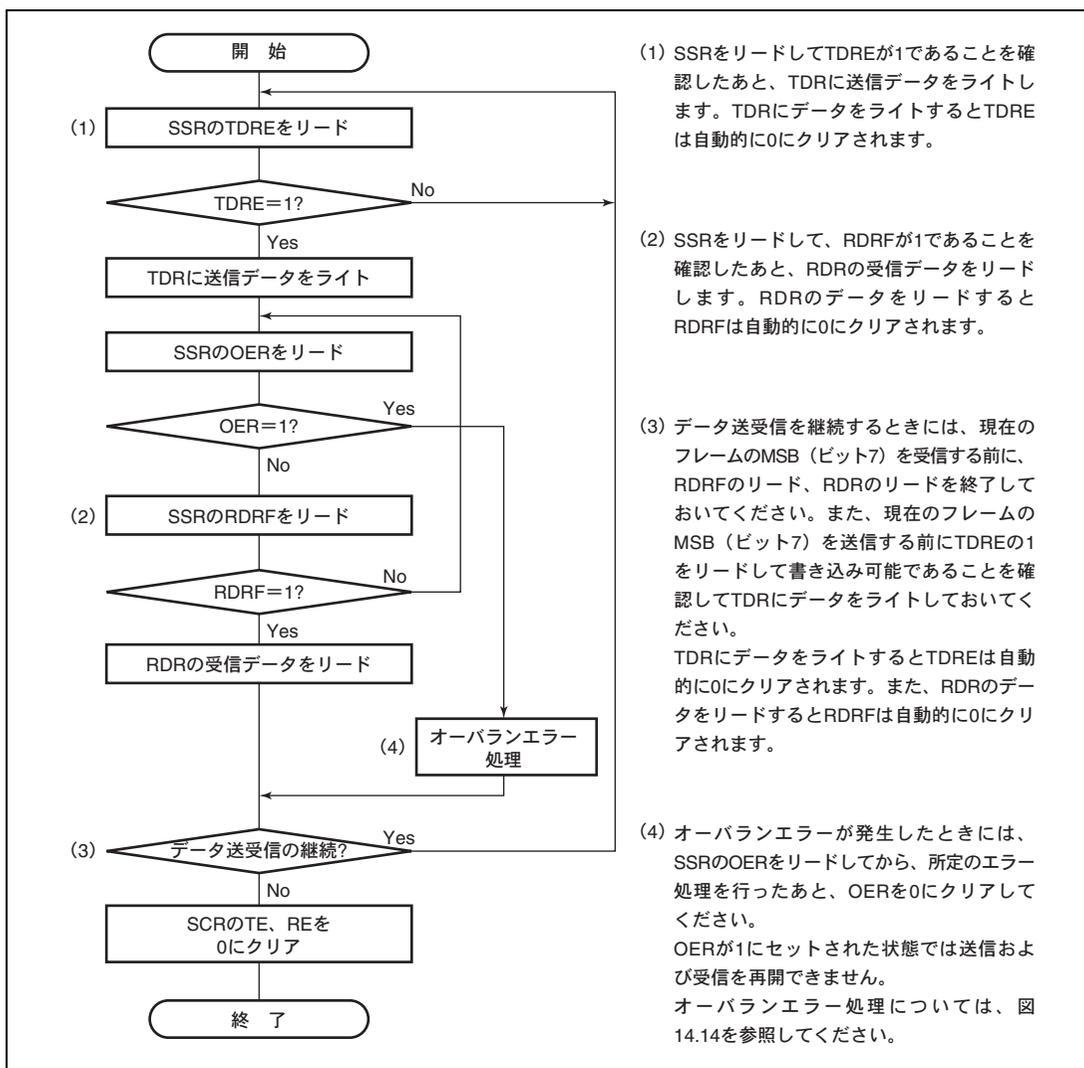


図 14.15 データ送受信同時動作のフローチャートの例 (クロック同期式モード)

14.6 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局におおの固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 14.16 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCI3 はこの機能をサポートするため、SCR3 に MPIE ビットが設けてあります。MPIE を 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、OER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR の MPBR が 1 にセットされるとともに MPIE が自動的にクリアされて通常の受信動作に戻ります。このとき SCR3 の RIE がセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

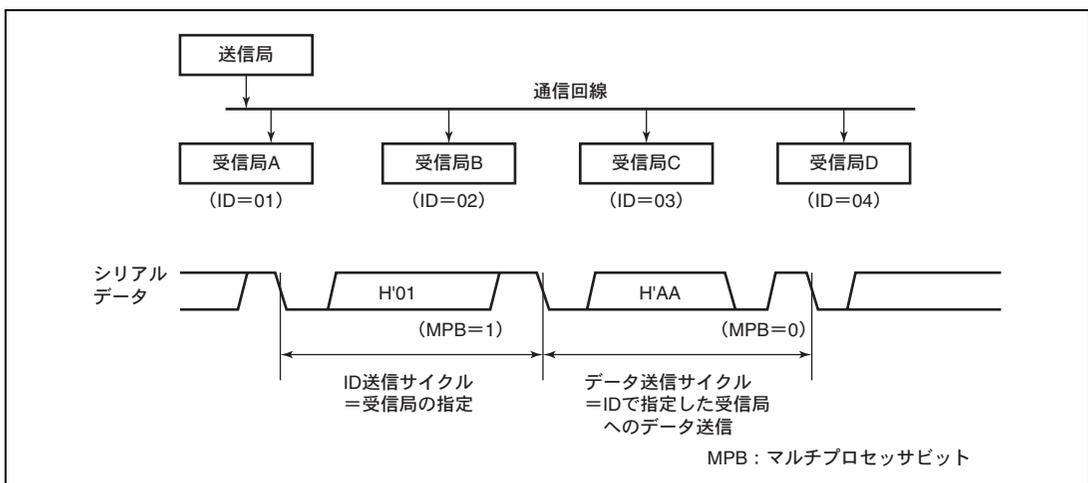


図 14.16 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

14.6.1 マルチプロセッサデータ送信

図 14.17 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

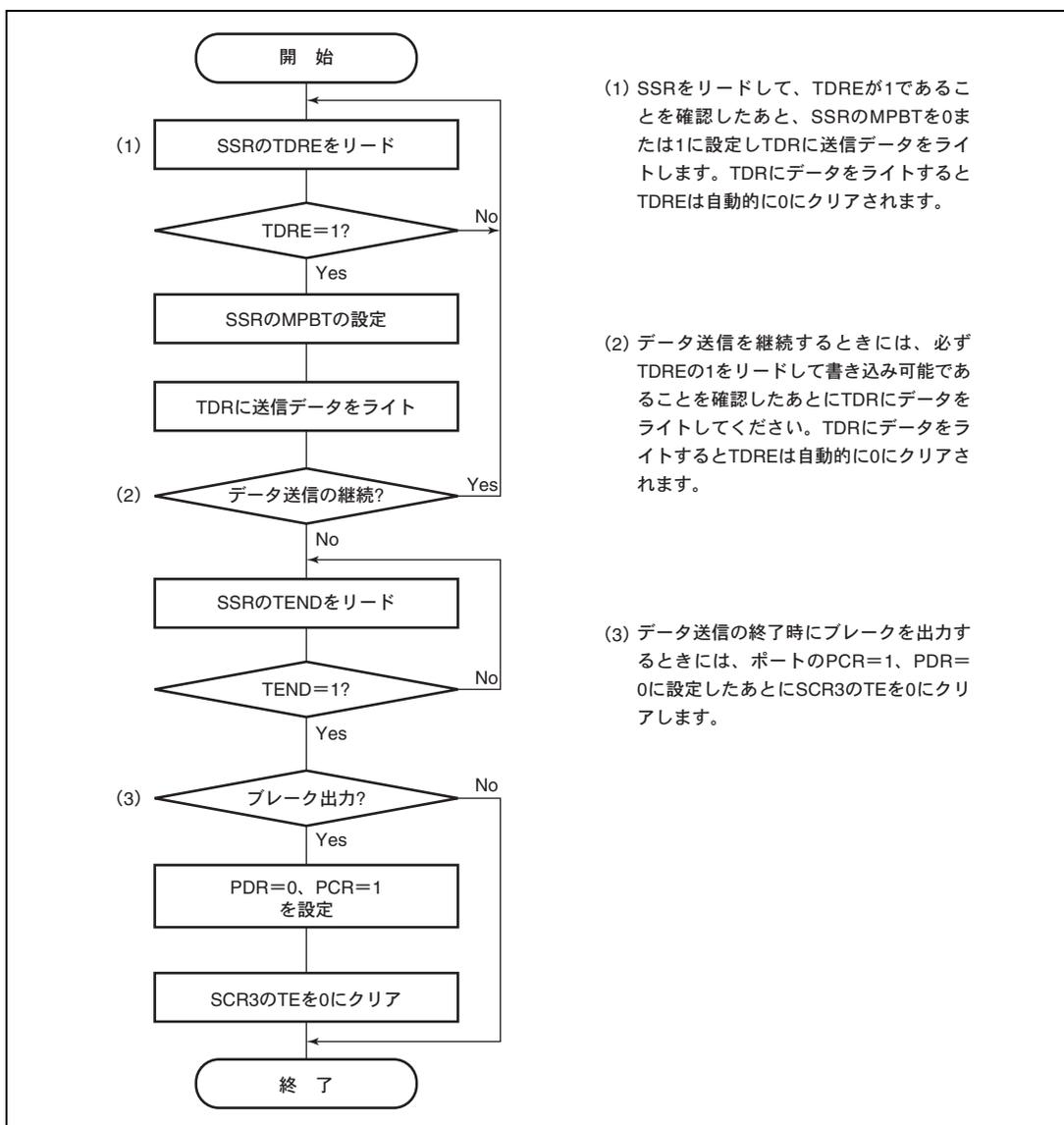


図 14.17 マルチプロセッサデータ送信のフローチャートの例

14.6.2 マルチプロセッサデータ受信

図 14.18 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR3 の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。図 14.19 に受信時の動作例を示します。

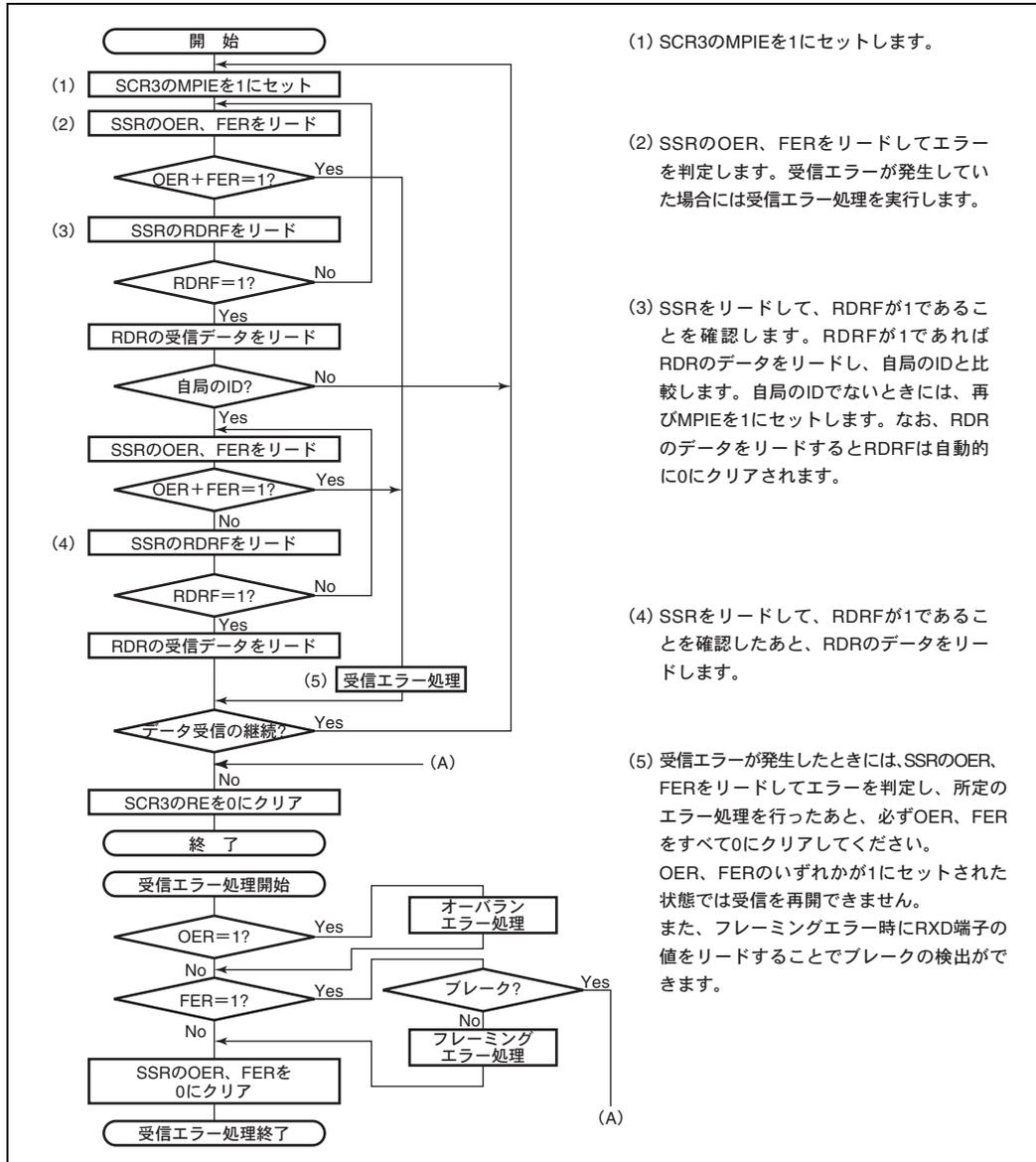


図 14.18 マルチプロセッサデータ受信のフローチャートの例

14. シリアルコミュニケーションインタフェース 3 (SCI3)

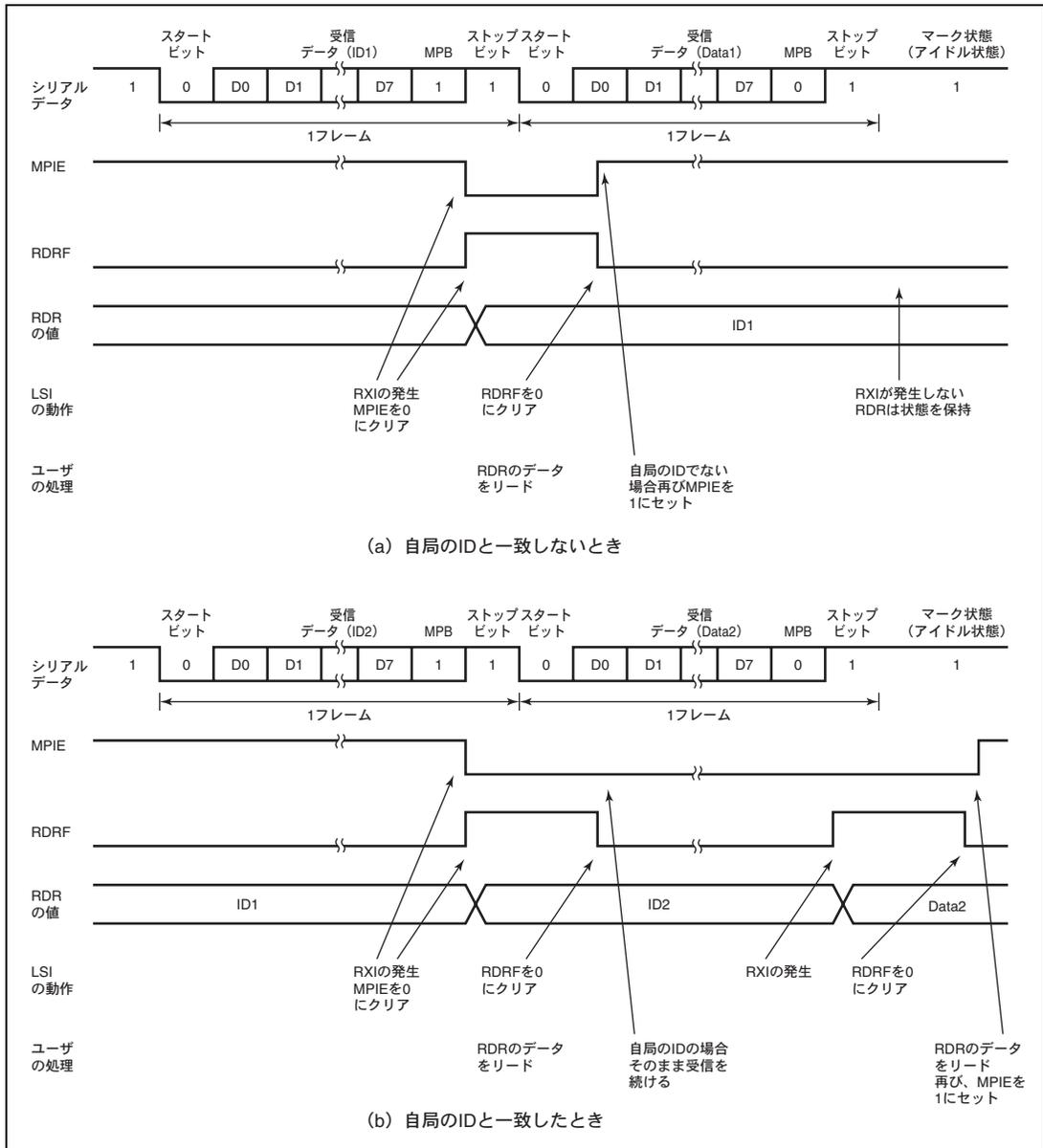


図 14.19 マルチプロセッサフォーマットの受信時の動作例
(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

14.7 割り込み要求

SCI3 が生成する割り込み要求には、送信終了、送信データエンプティ、受信データフルおよび受信エラー（オーバランエラー、フレーミングエラー、パリティエラー）の計 6 種類があります。表 14.6 に各割り込み要求の内容を示します。

表 14.6 SCI3 の割り込み要求

割り込み要求	略称	割り込み要因
受信データフル	RXI	SSR の RDRF のセット
送信データエンプティ	TXI	SSR の TDRE のセット
送信終了	TEI	SSR の TEND のセット
受信エラー	ERI	SSR の OER、FER、PER のセット

SSR の TDRE は初期値が 1 になっています。したがって送信データを TDR へ転送する前に SCR3 の TIE を 1 にセットすると、送信データが準備されていなくても TXI が発生します。また、SSR の TEND は初期値が 1 になっています。送信データを TDR へ転送する前に SCR3 の TEIE を 1 にセットすると、送信データが送信されていなくても TEI が発生します。送信データを TDR へ転送する処理を割り込み処理ルーチンの中で行うようにすることで、これらの割り込み要求を有効に利用することもできます。逆にこれらの割り込み要求（TXI、TEI）の発生を防ぐには、送信データを TDR へ転送したあとにこれらの割り込み要求に対応するイネーブルビット（TIE、TEIE）を 1 にセットしてください。

14.8 使用上の注意事項

14.8.1 ブレークの検出と処理について

フレーミングエラー検出時に、RXD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RXD 端子からの入力がすべて 0 になりますので、FER がセットされ、また PER もセットされる可能性があります。SCI3 は、ブレークを受信したあとも受信動作を続けます。したがって FER を 0 にクリアしてもふたたび FER が 1 にセットされますので注意してください。

14.8.2 マーク状態とブレークの送付

PMR1 の TXD ビットが 1 のとき、TXD 端子は PDR と PCR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TXD 端子をマーク状態にしたりデータ送信時にブレークの送付をすることができます。TE を 1 にセットするまで、通信回線をマーク状態（1 の状態）にするためには、PCR=1、PDR=1 を設定し、TXD ビットを 1 にセットします。このとき、TXD 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレークを送出したいときは、PCR=1、PDR=0 に設定した後 TXD ビットを 1 にセットします。このとき、現在の送信状態とは無関係に TXD 端子は I/O ポートになり、TXD 端子から 0 が出力されます。

14.8.3 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (OER、PER、FER) が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

14.8.4 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI3 は転送レートの 16 倍の周波数の基本クロックで動作しています。受信時には SCI3 は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、受信データを基本クロックの 8 ヶ目の立ち上がりエッジで内部に取り込みます。これを図 14.20 に示します。

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D-0.5}{N} - (L-0.5) F \right\} \times 100 \text{ [\%]} \quad \dots \text{式 (1)}$$

N : クロックに対するビットレートの比 (N=16)

D : クロックのデューティ (D=0.5~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5 とすると、

$$M = \left\{ 0.5 - \frac{1}{2 \times 16} \right\} \times 100 \text{ [\%]} = 46.875\%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

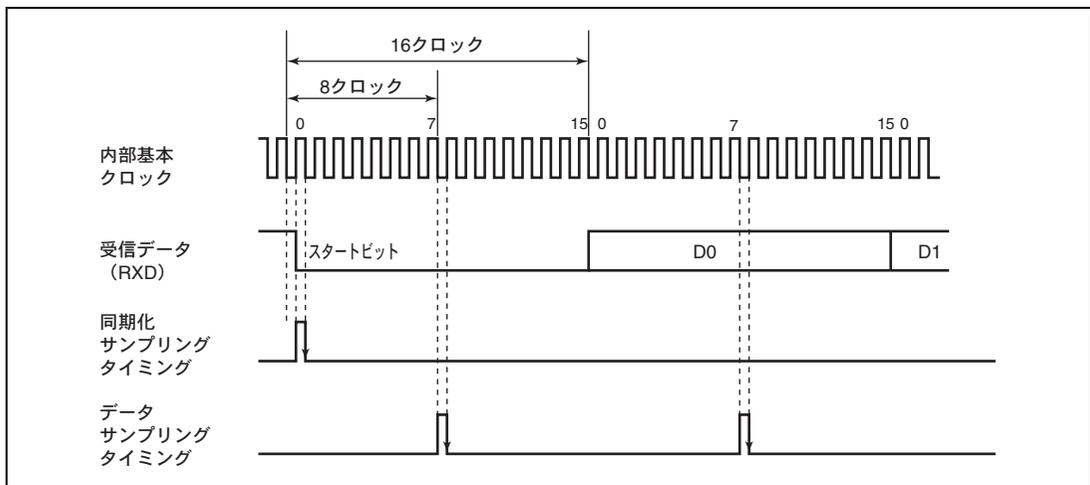


図 14.20 調歩同期式モードの受信データサンプリングタイミング

15. I²C バスインタフェース 2 (IIC2)

I²C バスインタフェース 2 は、フィリップス社が提唱する I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし I²C バスを制御するレジスタの構成が一部フィリップス社と異なります。I²C バスインタフェース 2 のブロック図を図 15.1 に、入出力端子の外部回路接続例を図 15.2 に示します。

15.1 特長

- I²C バスフォーマットまたはクロック同期式シリアルフォーマットを選択可能
- 連続送信/受信可能
シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信/受信が可能

I²C バスフォーマット

- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期/ウェイト機能内蔵
マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL を Low レベルにして待機させます。
- 割り込み要因：6種類
送信データエンプティ (スレーブアドレス一致時を含む)、送信終了、受信データフル (スレーブアドレス一致時を含む)、アービトレーションロスト、NACK 検出、停止条件検出
- バスを直接駆動可能
SCL、SDA の 2 端子は、バス駆動機能選択時 NMOS オープンドレイン出力

クロック同期シリアルフォーマット

- 割り込み要因：4種類
送信データエンプティ、送信終了、受信データフル、オーバランエラー

15. I²C バスインタフェース 2 (IIC2)

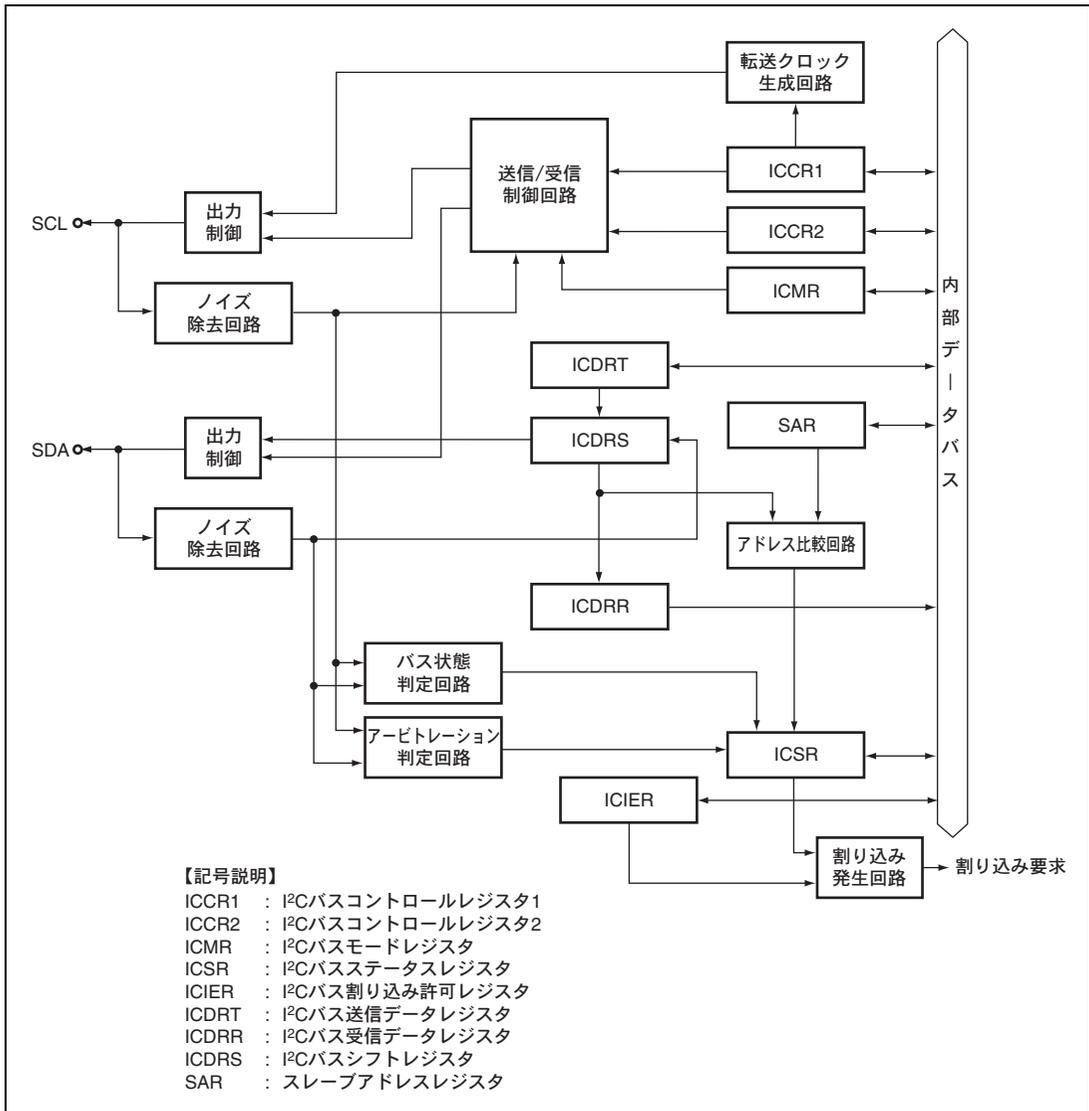


図 15.1 I²C バスインタフェース 2 のブロック図

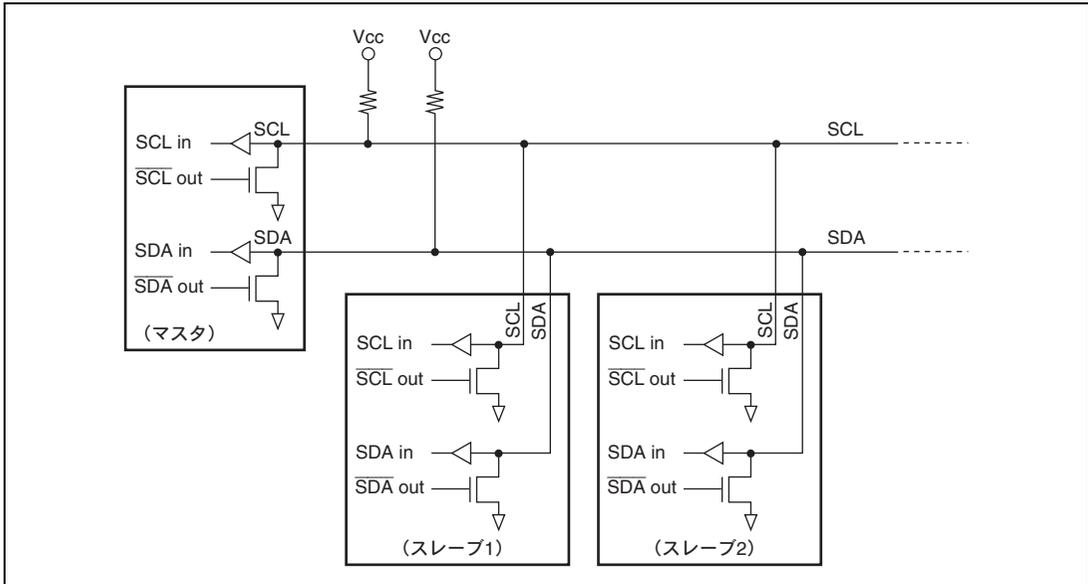


図 15.2 入出力端子の外部回路接続例

15.2 入出力端子

I²C バスインタフェース 2 で使用する端子構成を表 15.1 に示します。

表 15.1 端子構成

名称	記号	入出力	機能
シリアルクロック端子	SCL	入出力	I ² C シリアルクロック入出力端子
シリアルデータ端子	SDA	入出力	I ² C シリアルデータ入出力端子

15.3 レジスタの説明

I²C バスインタフェース 2 には以下のレジスタがあります。

- I²C バスコントロールレジスタ1 (ICCR1)
- I²C バスコントロールレジスタ2 (ICCR2)
- I²C バスモードレジスタ (ICMR)
- I²C バスインタラプトイネーブルレジスタ (ICIER)
- I²C バスステータスレジスタ (ICSR)
- スレーブアドレスレジスタ (SAR)
- I²C バス送信データレジスタ (ICDRT)
- I²C バス受信データレジスタ (ICDRR)
- I²C バスシフトレジスタ (ICDRS)

15. I²C バスインタフェース 2 (IIC2)

15.3.1 I²C バスコントロールレジスタ 1 (ICCR1)

ICCR1 は I²C バスインタフェース 2 の動作/停止、送信/受信制御、マスタモード/スレーブモード、送信/受信、マスタモード転送クロック周波数の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I ² C バスインタフェース 2 イネーブル 0: 本モジュールは機能停止状態 (SCL/SDA 端子はポート機能) 1: 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)
6	RCVD	0	R/W	受信ディセーブル TRS=0の状態ではICDRRをリードしたときに次の動作の継続/禁止を設定します。 0: 次の受信動作を継続 1: 次の受信動作を禁止
5 4	MST TRS	0 0	R/W R/W	マスタ/スレーブ選択 送信/受信選択 I ² C バスフォーマットのマスタモードでバス競合負けをすると、MST、TRS ともにハードウェアによってリセットされてスレーブ受信モードに変わります。 なお TRS の変更は転送フレーム間で行ってください。また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされます。クロック同期式シリアルフォーマットのマスタ受信モードでオーバランエラーが発生した場合、MST は 0 にクリアされ、スレーブ受信モードに変わります。 MST と TRS との組み合わせにより、以下の動作モードになります。またクロック同期シリアルフォーマットを選択した場合、MST=1 のとき、クロック出力となります。 00: スレーブ受信モード 01: スレーブ送信モード 10: マスタ受信モード 11: マスタ送信モード
3 2 1 0	CKS3 CKS2 CKS1 CKS0	0 0 0 0	R/W R/W R/W R/W	転送クロック選択 3~0 マスタモードのとき、必要な転送レート (表 15.2 参照) に合わせて設定してください。スレーブモードでは送信モード時のデータセットアップ時間の確保に使用されます。この時間は、CKS3=0 のとき 10tcyc、CKS3=1 のとき 20tcyc となります。

表 15.2 転送レート

ビット3	ビット2	ビット1	ビット0	クロック	転送レート		
					φ=5MHz	φ=8MHz	φ=10MHz
CKS3	CKS2	CKS1	CKS0				
0	0	0	0	φ/28	179kHz	286kHz	357kHz
			1	φ/40	125kHz	200kHz	250kHz
		1	0	φ/48	104kHz	167kHz	208kHz
			1	φ/64	78.1kHz	125kHz	156kHz
	1	0	0	φ/80	62.5kHz	100kHz	125kHz
			1	φ/100	50.0kHz	80.0kHz	100kHz
		1	0	φ/112	44.6kHz	71.4kHz	89.3kHz
			1	φ/128	39.1kHz	62.5kHz	78.1kHz
1	0	0	0	φ/56	89.3kHz	143kHz	179kHz
			1	φ/80	62.5kHz	100kHz	125kHz
		1	0	φ/96	52.1kHz	83.3kHz	104kHz
			1	φ/128	39.1kHz	62.5kHz	78.1kHz
	1	0	0	φ/160	31.3kHz	50.0kHz	62.5kHz
			1	φ/200	25.0kHz	40.0kHz	50.0kHz
		1	0	φ/224	22.3kHz	35.7kHz	44.6kHz
			1	φ/256	19.5kHz	31.3kHz	39.1kHz

15.3.2 I²C バスコントロールレジスタ 2 (ICCR2)

ICCR2 は開始/停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I²C バスインタフェース 2 のコントロール部のリセットを制御します。

ビット	ビット名	初期値	R/W	説明
7	BBSY	0	R/W	<p>バスビジー</p> <p>I²C バスの占有/開放状態を示すフラグ機能とマスタモードの開始/停止条件発行機能の 2 つがあります。クロック同期シリアルフォーマットの場合、本ビットは意味を持ちません。I²C バスフォーマットの場合、SCL=High レベルの状態では SDA が High レベルから Low レベルに変化すると、開始条件が発行されたと認識して 1 にセットされます。SCL=High レベルの状態では SDA が Low レベルから High レベルに変化すると、停止条件が発行されたと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時も同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。なお開始条件/停止条件の発行は、MOV 命令を用いてください。</p>

15. I²C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説明
6	SCP	1	R/W	<p>開始/停止条件発行禁止ビット</p> <p>SCP ビットはマスタモードで開始条件/停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送信時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。</p>
5	SDAO	1	R/W	<p>SDA 出力値制御</p> <p>SDAO は SDA の出力レベルを変更する場合に、ビット 4 の SDAOP と組み合わせて使用します。なお本ビットの操作は転送中に行わないでください。</p> <p>0 : リード時、SDA 端子出力が Low レベル : ライト時、SDA 端子出力を Low レベルに変更</p> <p>1 : リード時、SDA 端子出力が High レベル : ライト時、SDA 端子出力を Hi-Z に変更 (外部プルアップ抵抗により High レベル出力)</p>
4	SDAOP	1	R/W	<p>SDAO ライトプロテクト</p> <p>SDAO ビット書き換えによる SDA 端子の出力レベルの変更を制御します。出力レベルを変更する場合には SDAO に 0 かつ SDAOP に 0、または SDAO に 1 かつ SDAOP に 0 を MOV 命令で行います。本ビットはリードすると常に 1 が読み出されます。</p>
3	SCLO	1	R	<p>SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力は High レベル、SCLO が 0 の場合 SCL 端子出力は Low レベルとなります。</p>
2	—	1	—	<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。</p>
1	IICRST	0	R/W	<p>IIC コントロール部リセット</p> <p>IICRST は I²C のレジスタを除くコントロール部をリセットします。I²C の動作中に通信不具合等によりハングアップしたとき、IICRST ビットを 1 にセットするとポートの設定、レジスタの初期化をせずに I²C のコントロール部をリセットすることができます。</p>
0	—	1	—	<p>リザーブビット</p> <p>リードすると常に 1 が読み出されます。</p>

15.3.3 I²C バスモードレジスタ (ICMR)

ICMR は MSB ファースト/LSB ファーストの選択、マスタモードウェイトの制御、転送ビット数の選択を行います。

ビット	ビット名	初期値	R/W	説明
7	MLS	0	R/W	MSB ファースト/LSB ファースト選択 0 : MSB ファースト 1 : LSB ファースト I ² C バスフォーマットで使用するときは 0 に設定してください。
6	WAIT	0	R/W	ウェイト挿入ビット WAIT は I ² C バスフォーマットでマスタモード時に、アクリッジを除いたデータ転送後にウェイト状態にするかどうかを設定します。WAIT に 1 を設定した場合、データの最終ビットのクロックが立ち下がった後、2 転送クロック分 Low 期間を延ばします。WAIT が 0 の場合ウェイトは挿入されず、データとアクリッジを連続して転送します。 なお I ² C バスフォーマットのスレーブモードおよびクロック同期シリアルフォーマットの場合、本ビットの設定値は無効です。
5	—	1	—	リザーブビット
4	—	1	—	リードすると常に 1 が読み出されます。
3	BCWP	1	R/W	BC ライトプロテクト BC2~BC0 の書き込みを制御します。BC2~BC0 を書き換える場合は、本ビットを 0 にして MOV 命令で行います。なおクロック同期シリアルモードでは BC の書き換えは行わないでください。 0 : ライト時、BC2~BC0 の値を設定 1 : リード時、常に 1 をリード ライト時、BC2~BC0 設定値は無効

15. I²C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説 明																		
2	BC2	0	R/W	ビットカウンタ 2~0 次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。I ² C バスフォーマットでは、データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、000 以外の値を設定する場合は、SCL が Low 状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に 000 に戻ります。クロック同期式シリアルフォーマットを選択した場合は書き換えしないでください。 <table style="width: 100%; border: none;"> <tr> <td style="width: 50%;">I²C バスフォーマット</td> <td style="width: 50%;">クロック同期式シリアルフォーマット</td> </tr> <tr> <td>000 : 9 ビット</td> <td>000 : 8 ビット</td> </tr> <tr> <td>001 : 2 ビット</td> <td>001 : 1 ビット</td> </tr> <tr> <td>010 : 3 ビット</td> <td>010 : 2 ビット</td> </tr> <tr> <td>011 : 4 ビット</td> <td>011 : 3 ビット</td> </tr> <tr> <td>100 : 5 ビット</td> <td>100 : 4 ビット</td> </tr> <tr> <td>101 : 6 ビット</td> <td>101 : 5 ビット</td> </tr> <tr> <td>110 : 7 ビット</td> <td>110 : 6 ビット</td> </tr> <tr> <td>111 : 8 ビット</td> <td>111 : 7 ビット</td> </tr> </table>	I ² C バスフォーマット	クロック同期式シリアルフォーマット	000 : 9 ビット	000 : 8 ビット	001 : 2 ビット	001 : 1 ビット	010 : 3 ビット	010 : 2 ビット	011 : 4 ビット	011 : 3 ビット	100 : 5 ビット	100 : 4 ビット	101 : 6 ビット	101 : 5 ビット	110 : 7 ビット	110 : 6 ビット	111 : 8 ビット	111 : 7 ビット
I ² C バスフォーマット	クロック同期式シリアルフォーマット																					
000 : 9 ビット	000 : 8 ビット																					
001 : 2 ビット	001 : 1 ビット																					
010 : 3 ビット	010 : 2 ビット																					
011 : 4 ビット	011 : 3 ビット																					
100 : 5 ビット	100 : 4 ビット																					
101 : 6 ビット	101 : 5 ビット																					
110 : 7 ビット	110 : 6 ビット																					
111 : 8 ビット	111 : 7 ビット																					
1	BC1	0	R/W																			
0	BC0	0	R/W																			

15.3.4 I²C バスインタラプトイネーブルレジスタ (ICIER)

ICIER は各種割り込み要因の許可、アクノリッジの有効/無効の選択、送信アクノリッジの設定および受信アクノリッジの確認を行います。

ビット	ビット名	初期値	R/W	説 明
7	TIE	0	R/W	トランスミットインタラプトイネーブル ICSR の TDRE がセットされたとき、送信データエンプティ割り込み (TXI) を許可/禁止します。 0 : 送信データエンプティ割り込み要求 (TXI) の禁止 1 : 送信データエンプティ割り込み要求 (TXI) の許可
6	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立ち上がったとき、送信終了割り込み (TEI) の許可/禁止を選択します。なお TEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。 0 : 送信終了割り込み要求 (TEI) の禁止 1 : 送信終了割り込み要求 (TEI) の許可

ビット	ビット名	初期値	R/W	説 明
5	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可/禁止、およびクロック同期フォーマット時のオーバーランエラー割り込み要求 (ERI) の禁止/許可を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。</p> <p>0: 受信データフル割り込み要求 (RXI)、およびクロック同期フォーマット時のオーバーランエラー割り込み要求 (ERI) の禁止</p> <p>1: 受信データフル割り込み要求 (RXI)、およびクロック同期フォーマット時のオーバーランエラー割り込み要求 (ERI) の許可</p>
4	NAKIE	0	R/W	<p>NACK 受信インタラプトイネーブル</p> <p>NAKIE は、ICSR の NACKF および AL がセットされたとき、NACK 受信割り込み要求 (NAKI)、およびクロック同期フォーマット時のオーバーランエラー (ICSR の OVE セット) 割り込み要求 (ERI) の許可/禁止を選択します。なお NAKI は、NACKF または OVE を 0 にクリアするか、または NAKIE を 0 にクリアすることで解除できます。</p> <p>0: NACK 受信割り込み要求 (NAKI) の禁止</p> <p>1: NACK 受信割り込み要求 (NAKI) の許可</p>
3	STIE	0	R/W	<p>停止条件検出インタラプトイネーブル</p> <p>0: 停止条件検出割り込み要求 (STPI) の禁止</p> <p>1: 停止条件検出割り込み要求 (STPI) の許可</p>
2	ACKE	0	R/W	<p>アクリリッジビット判定選択</p> <p>0: 受信アクリリッジの内容を無視して連続的に転送を行う。</p> <p>1: 受信アクリリッジが 1 の場合、転送を中断する。</p>
1	ACKBR	0	R	<p>受信アクリリッジ</p> <p>送信モード時、受信デバイスから受け取ったアクリリッジビットの内容を格納しておくビットです。ライトは無効です。</p> <p>0: 受信アクリリッジ=0</p> <p>1: 受信アクリリッジ=1</p>
0	ACKBT	0	R/W	<p>送信アクリリッジ</p> <p>受信モード時、アクリリッジのタイミングで送出するビットを設定します。</p> <p>0: アクリリッジのタイミングで 0 を送出</p> <p>1: アクリリッジのタイミングで 1 を送出</p>

15. I²C バスインタフェース 2 (IIC2)

15.3.5 I²C バスステータスレジスタ (ICSR)

ICSR は各種割り込み要求フラグおよびステータスの確認を行います。

ビット	ビット名	初期値	R/W	説 明
7	TDRE	0	R/W	トランスミットデータエンプティ [セット条件] <ul style="list-style-type: none"> • ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき • TRS をセットしたとき • 開始条件（再送含む）を発行したとき • スレーブモードで受信モードから送信モードになったとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • 命令で ICDRT ヘデータをライトしたとき
6	TEND	0	R/W	トランスミットエンド [セット条件] <ul style="list-style-type: none"> • I²C バスフォーマットの場合、TDRE が 1 の状態で SCL の 9 クロック目が立ち上がったとき • クロック同期シリアルフォーマットの場合、送信フレームの最終ビットを送出したとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • 命令で ICDRT ヘデータをライトしたとき
5	RDRF	0	R/W	レシーブデータレジスタフル [セット条件] <ul style="list-style-type: none"> • ICDRS から ICDRR に受信データが転送されたとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき • 命令で ICDRR をリードしたとき
4	NACKF	0	R/W	ノーアクノリッジ検出フラグ [セット条件] <ul style="list-style-type: none"> • ICIER の ACKE=1 の状態で、送信時、受信デバイスからアクノリッジがなかったとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき

ビット	ビット名	初期値	R/W	説明
3	STOP	0	R/W	<p>停止条件検出フラグ</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マスタモード時、フレームの転送の完了後に停止条件を検出したとき スレーブモード時、ゼネラルコール後、および開始条件検出後の第1バイトのスレーブアドレスと SAR に設定したアドレスが一致した後、停止条件を検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき
2	AL/OVE	0	R/W	<p>アービトレーションロストフラグ/オーバランエラーフラグ</p> <p>AL/OVE は、I²C バスフォーマットの場合、マスタモード時にバス競合負けをしたことを示します。またクロック同期フォーマットの場合、RDRF=1の状態では最終ビットを受信したことを示します。</p> <p>複数のマスタがほぼ同時にバスを占有しようとしたときに I²C バスインタフェース 2 は SDA をモニタし、自分が出したデータと異なった場合、AL フラグを 1 にセットしてバスが他のマスタによって占有されたことを示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> マスタ送信モードの場合、SCL の立ち上がりで内部 SDA と SDA 端子のレベルが不一致のとき マスタモードの場合、開始条件検出時、SDA 端子が High レベルのとき クロック同期フォーマットの場合、RDRF=1の状態では最終ビットを受信したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき
1	AAS	0	R/W	<p>スレーブアドレス認識フラグ</p> <p>スレーブ受信モードで開始条件直後の第一フレームが SAR の SVA6~SVA0 と一致した場合にセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> スレーブ受信モードでスレーブアドレスを検出したとき スレーブ受信モードでゼネラルコールアドレスを検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき
0	ADZ	0	R/W	<p>ゼネラルコールアドレス認識フラグ</p> <p>I²C バスフォーマットのスレーブ受信モードのとき有効</p> <p>[セット条件]</p> <ul style="list-style-type: none"> スレーブ受信モードかつゼネラルコールアドレスを検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき

15. I²C バスインタフェース 2 (IIC2)

15.3.6 スレーブアドレスレジスタ (SAR)

SAR はフォーマットの選択、スレーブアドレスを設定します。I²C バスフォーマットでスレーブモードの場合、開始条件後に送られてくる第 1 フレームの上位 7 ビットと SAR の上位 7 ビットが一致したとき、スレーブデバイスとして動作します。

ビット	ビット名	初期値	R/W	説明
7	SVA6	0	R/W	スレーブアドレス 6~0 I ² C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。
6	SVA5	0	R/W	
5	SVA4	0	R/W	
4	SVA3	0	R/W	
3	SVA2	0	R/W	
2	SVA1	0	R/W	
1	SVA0	0	R/W	
0	FS	0	R/W	フォーマットセレクト 0 : I ² C バスフォーマット選択 1 : クロック同期シリアルフォーマット選択

15.3.7 I²C バス送信データレジスタ (ICDRT)

ICDRT は、送信データを格納する 8 ビットのリード/ライト可能なレジスタで、シフトレジスタ (ICDRS) の空きを検出すると ICDRT に書き込まれた送信データを ICDRS に転送し、データ送信を開始します。ICDRS のデータ送信中に、次に送信するデータを ICDRT にライトしておく、連続送信が可能です。なお、ICMR の MLS ビットを 1 に設定した場合、ICDRT に書き込んだ後、リードすると MSB/LSB 反転したデータが読み出されます。ICDRT の初期値は H'FF です。

15.3.8 I²C バス受信データレジスタ (ICDRR)

ICDRR は、受信データを格納する 8 ビットのレジスタです。1 バイトのデータの受信が終了すると、受信したデータを ICDRS から ICDRR へ転送し、次のデータを受信可能にします。なお ICDRR は受信専用レジスタですので、CPU からライトできません。ICDRR の初期値は H'FF です。

15.3.9 I²C バスシフトレジスタ (ICDRS)

ICDRS は、データを送信/受信するためのレジスタです。送信時は ICDRT から送信データが ICDRS に転送され、データが SDA 端子から送出されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS から ICDRR へ転送されます。なお本レジスタは CPU から直接リードできません。

15.4 動作説明

I²C バスインタフェース 2 には、SAR の FS の設定により、I²C バスモードとクロック同期式シリアルモードで通信することができます。

15.4.1 I²C バスフォーマット

I²C バスフォーマットを図 15.3 に、I²C バスのタイミングを図 15.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

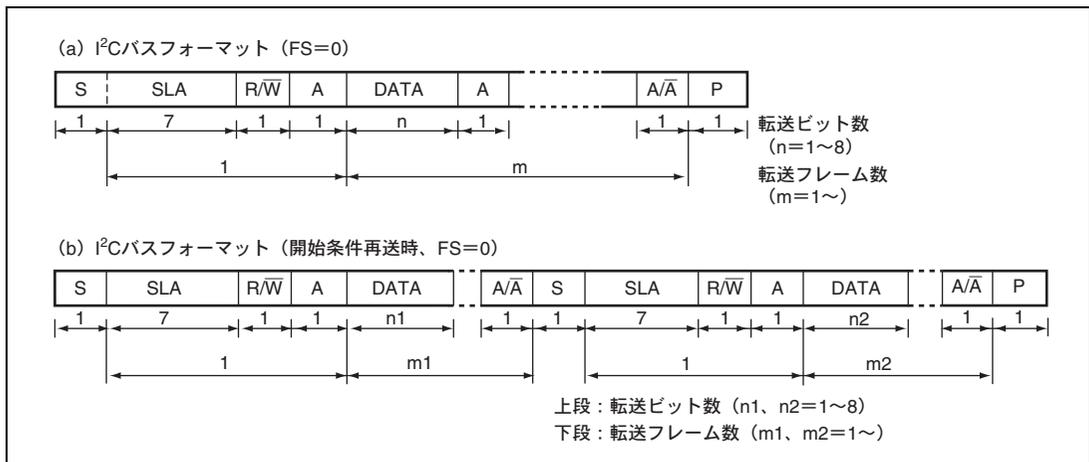


図 15.3 I²C バスフォーマット

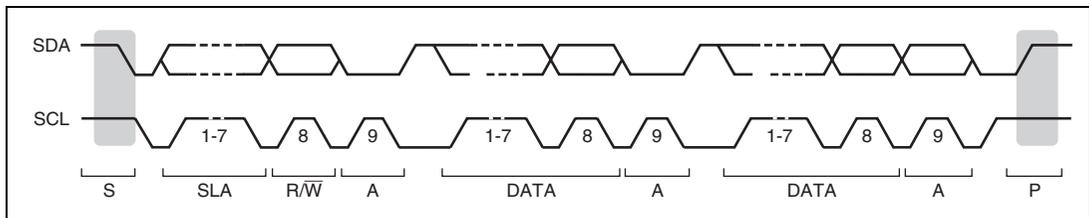


図 15.4 I²C バスタイミング

記号の説明

- S : 開始条件。マスタデバイスが SCL=High レベルの状態では SDA を High レベルから Low レベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA を Low レベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL=High レベルの状態では SDA を Low レベルから High レベルに変化させます。

15.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクリッジを返します。マスタ送信モードの動作タイミングについては図 15.5 と図 15.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1に設定します。またICMRのMLS、WAIT、ICCR1のCKS3～CKS0等を設定します（初期設定）。
2. ICCR2のBBSYフラグをリードしてバスが開放状態であることを確認後、ICCR1のMST、TRSをマスタ送信モードに設定します。その後、BBSY=1とSCP=0をMOV命令でライトします（開始条件発行）。これにより開始条件を生成します。
3. ICSRのTDREがセットされたことを認識した後、ICDRTに送信データ（1バイト目はスレーブアドレスと $R\bar{W}$ を示すデータ）をライトします。このときTDREは自動的に0にクリアされ、ICDRTからICDRSにデータが転送されて、再びTDREがセットされます。
4. TDREがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRのTENDがセットされます。ICIERのACKBRをリードし、スレーブデバイスが選択されたことを認識した後、2バイト目のデータをICDRTにライトします。ACKBRが1のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY=0とSCP=0を、MOV命令でライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLがLowレベルに固定されます。
5. 2バイト目以降の送信データは、TDREがセットされるたびにICDRTにデータをライトします。
6. 送信するバイト数をICDRTにライトしたら、その後はTDREがセットされた状態でTENDがセット（最終バイト送出完了）されるまで待ちます。または、ICIERのACKEをセットした状態で受信デバイスからのNACK（ICSRのNACKF=1）を待ちます。その後、停止条件を発行してTEND、あるいはNACKFをクリアします。
7. ICSRのSTOPがセットされたらスレーブ受信モードに戻します。

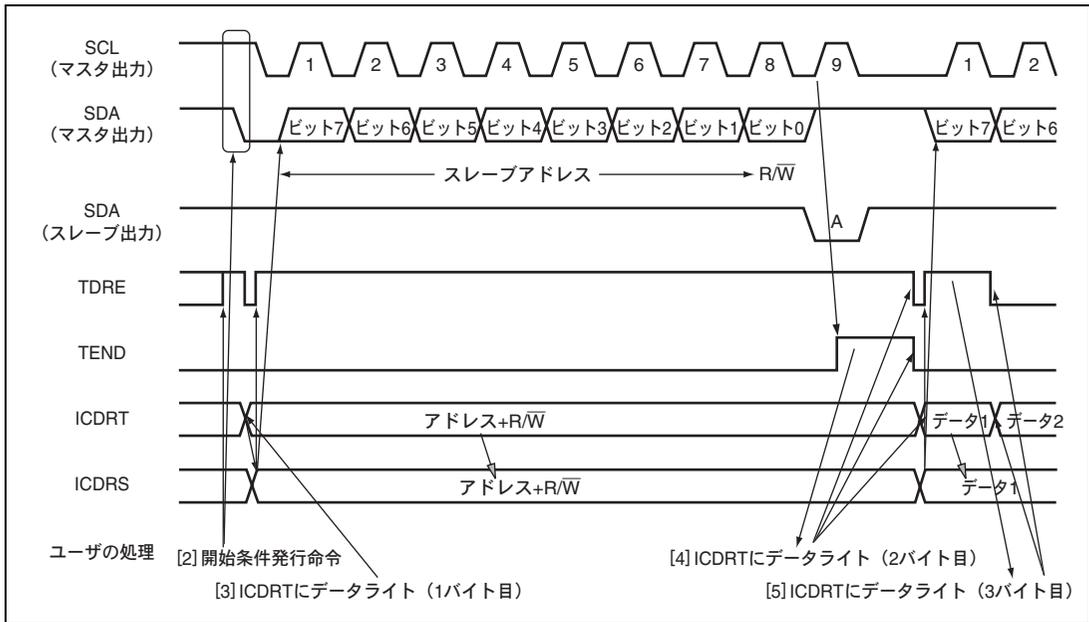


図 15.5 マスタ送信モード動作タイミング (1)

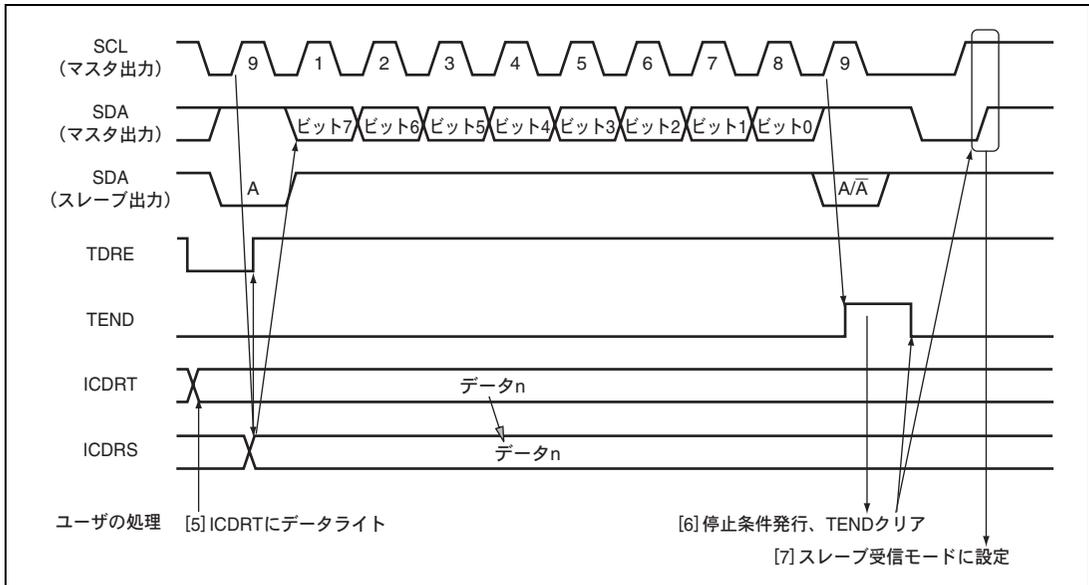


図 15.6 マスタ送信モード動作タイミング (2)

15.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してア
クノリッジを返します。マスタ受信モードの動作タイミングについては図 15.7 と図 15.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCR1のTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えま
す。その後、TDREをクリアします。
2. ICDRRをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信
します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力しま
す。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされま
す。このとき、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRFはク
リアされます。
4. RDRFがセットされるたびにICDRRをリードすることにより、連続的に受信できます。なお別処理でRDRFが
セットされた状態でICDRRのリードが遅れて8クロック目が立ち下がった場合、ICDRRをリードするまでSCL
がLowレベルに固定されます。
5. 次の受信が最終フレームの場合、ICDRRをリードする前にICCR1のRCVDをセットします。これにより次の
受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたら、停止条件を発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. スレーブ受信モードに戻します。

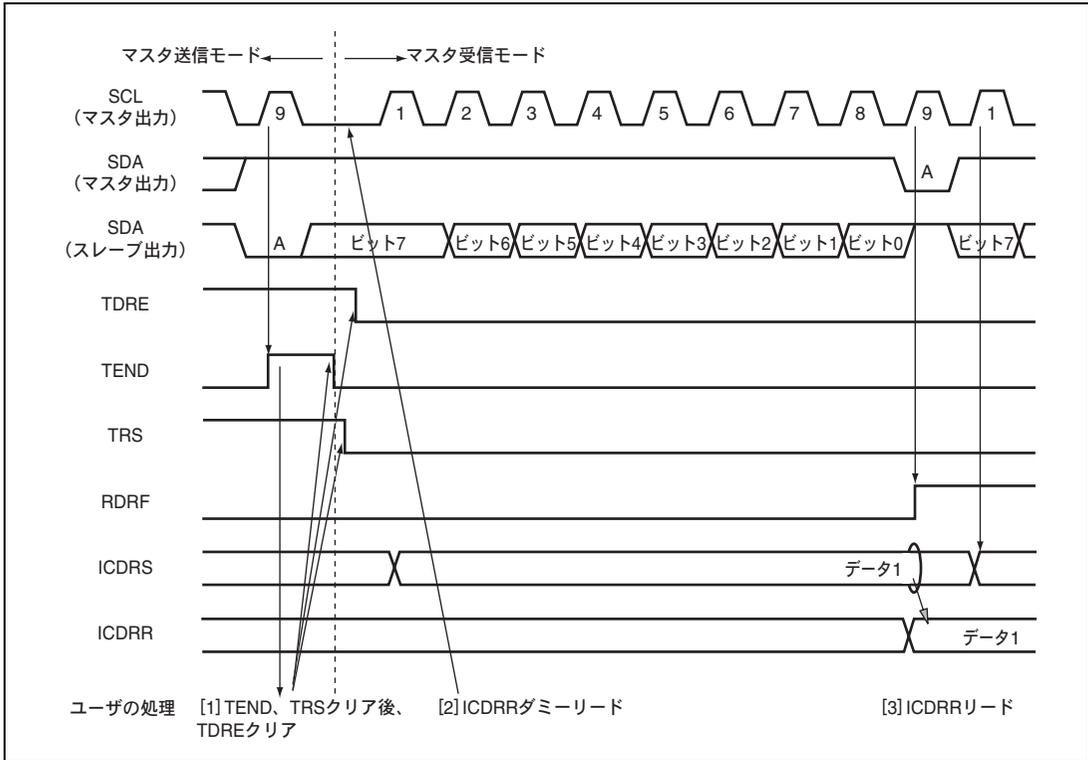


図 15.7 マスタ受信モード動作タイミング (1)

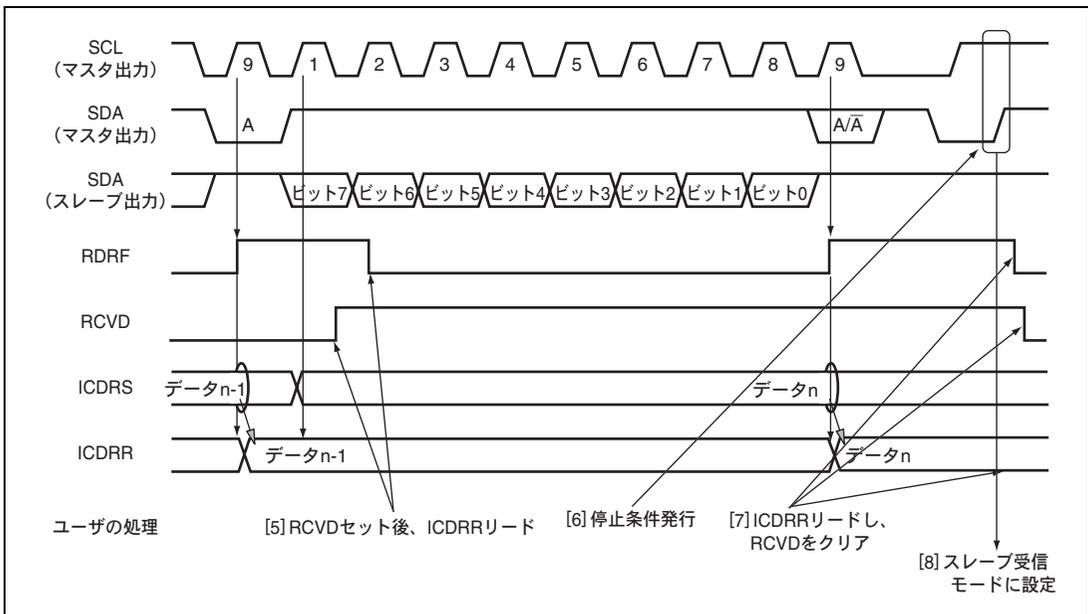


図 15.8 マスタ受信モード動作タイミング (2)

15.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。スレーブ送信モードの動作タイミングについては図 15.9 と図 15.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICMRのMLS、WAIT、ICCR1のCKS3～CKS0等を設定します（初期設定）。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ（R/W）が1のとき、ICCR1のTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトした後にTDREがセットされたとき、TDRE=1の状態、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

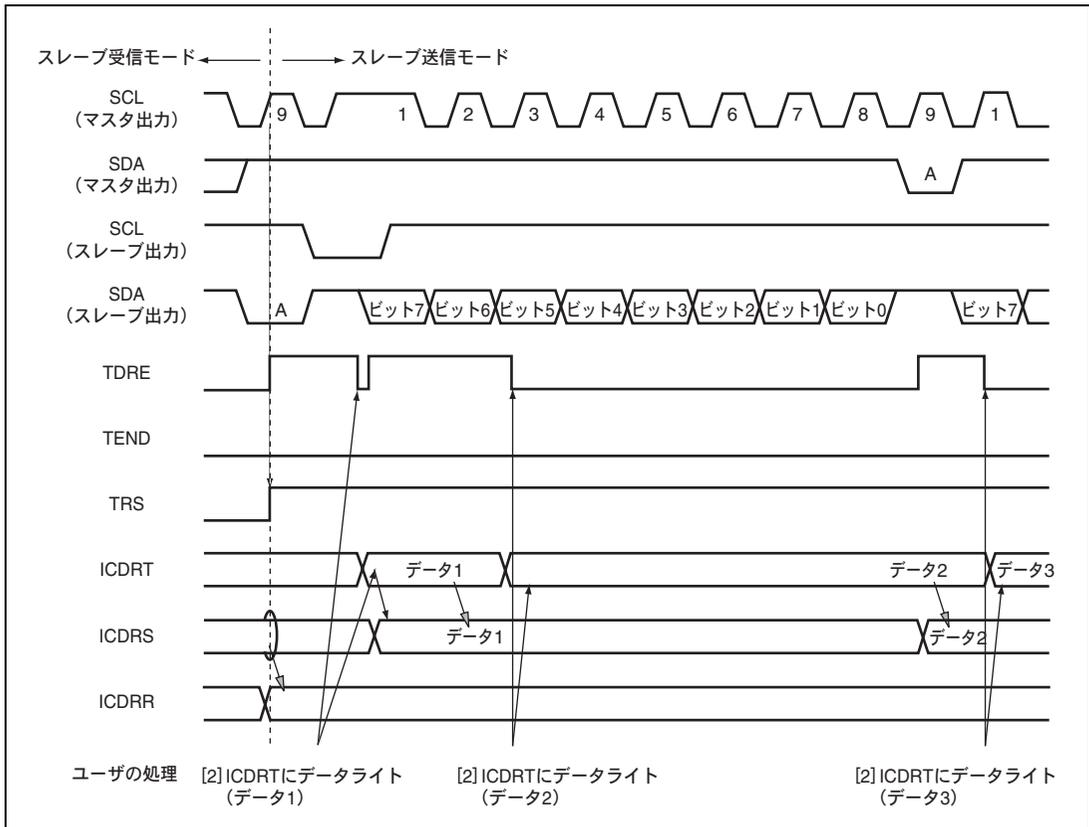


図 15.9 スレーブ送信モード動作タイミング (1)

15. I²C バスインタフェース 2 (IIC2)

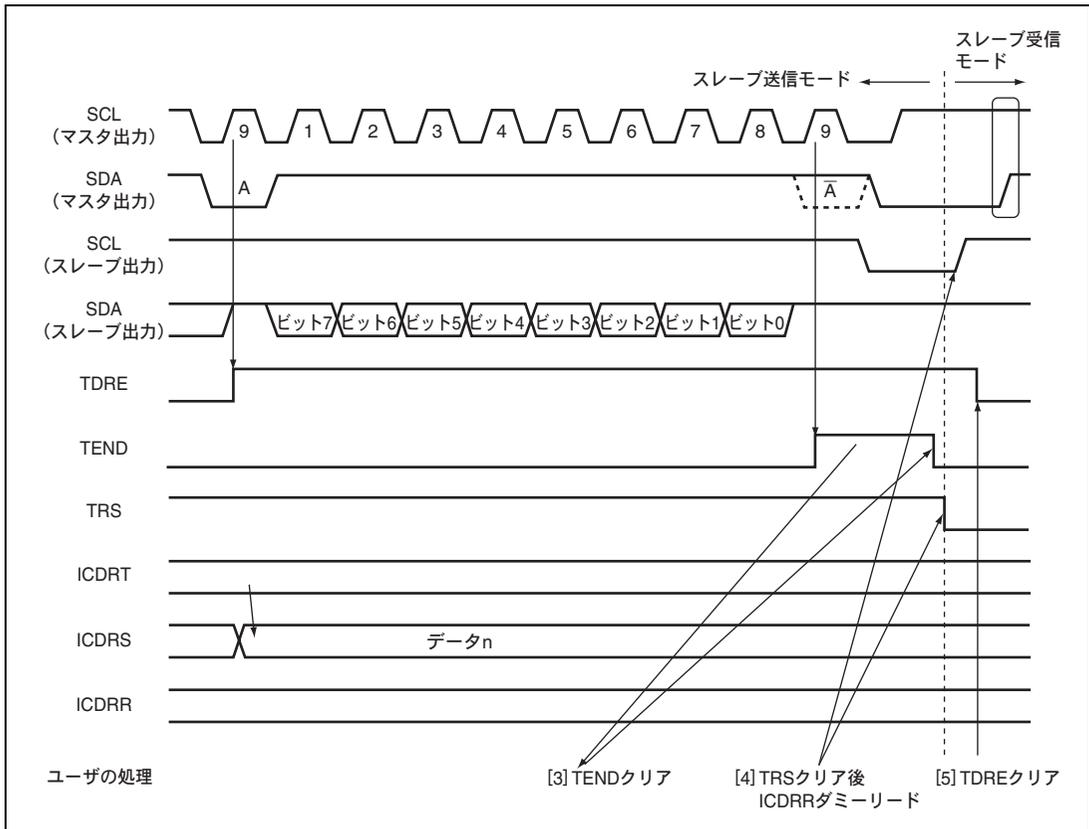


図 15.10 スレーブ送信モード動作タイミング (2)

15.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。スレーブ受信モードタイミングについては図 15.11 と図 15.12 を参照してください。以下にスレーブ受信モードの受信手順と動作を示します。

1. ICCR1のICEビットを1にセットします。また、ICMRのMLS、WAIT、ICCR1のCKS3～CKS0等を設定します（初期設定）。ICCR1のMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出後の第一フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。同時にICSRのRDRFがセットされますので、ICDRRをダミーリード（リードデータはスレーブアドレス+R/Wを示すので不要）します。
3. RDRFがセットされるたびにICDRRをリードします。RDRFがセットされた状態で8クロック目が立ち下るとICDRRをリードするまでSCLをLowに固定します。ICDRRをリードする前に行ったマスタデバイスに返すアクノリッジの設定変更は次の転送フレームに反映されます。
4. 最終バイトのリードも同様にICDRRのリードにより行います。

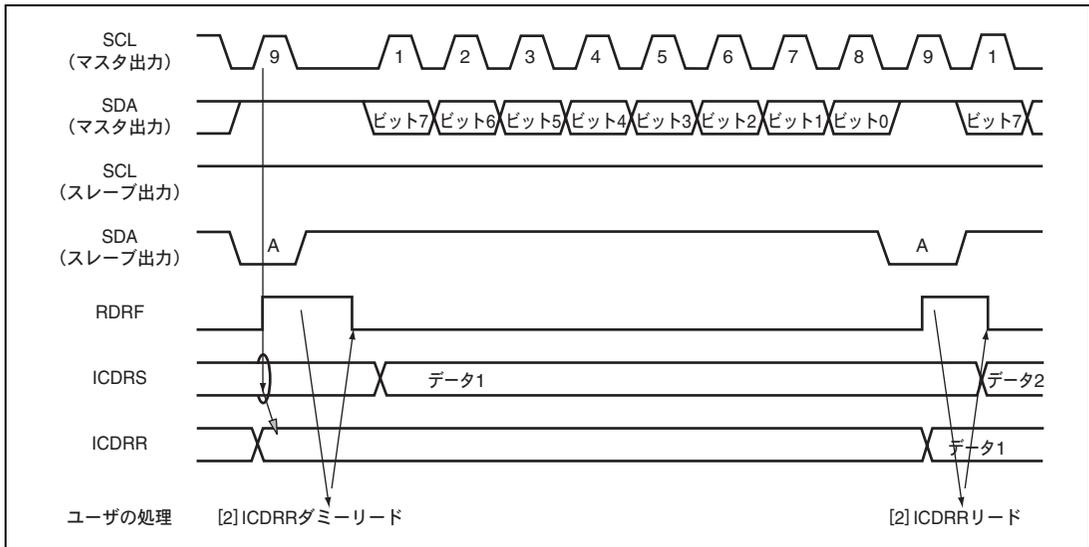


図 15.11 スレーブ受信モード動作タイミング (1)

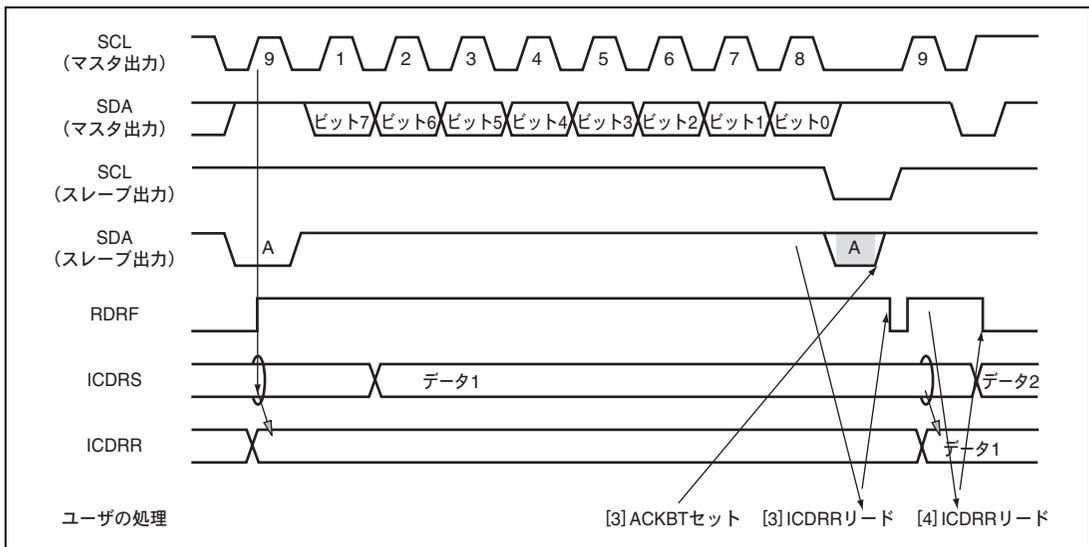


図 15.12 スレーブ受信モード動作タイミング (2)

15.4.6 クロック同期式シリアルフォーマット

本モジュールは、SAR の FS を 1 にセットすることにより、クロック同期式シリアルとして動作させることができます。ICCR1 の MST=1 のとき SCL から転送クロック出力となり、MST=0 のとき外部クロック入力となります。

(1) データ転送フォーマット

クロック同期式シリアルの転送フォーマットを図 15.13 に示します。

転送データは SCL クロックの立ち下がりに立ち上がりまで出力され、SCL クロックの立ち上がりエッジのデータの確定が保証されます。データの転送順は ICMR の MLS により、MSB ファーストか LSB ファーストかを選択可能です。また ICCR2 の SDAO により、転送待機中に SDA の出力レベルを変更することができます。

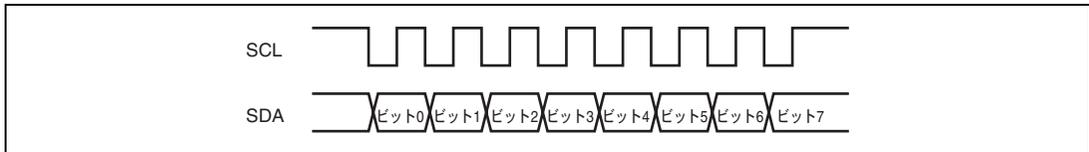


図 15.13 クロック同期式シリアルの転送フォーマット

(2) 送信動作

送信モードでは転送クロックの立ち下がりに同期して送信データを SDA から出力します。転送クロックは ICCR1 の MST=1 のとき出力、MST=0 のとき入力となります。送信モード動作タイミングは図 15.14 を参照してください。以下に送信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のMST、CKS3～CKS0などを設定します（初期設定）。
2. ICCR1のTRSをセットして送信モードにします。これにより、ICSRのTDREがセットされます。
3. TDREがセットされていることを認識したら、ICDRTに送信データをライトします。これによりICDRTからICDRSにデータが転送され、自動的にTDREがセットされます。TDREがセットされるたびにICDRTにデータをライトすると連続送信が可能です。なお送信モードから受信モードに切り替える場合、TDREがセットされた状態でTRSをクリアしてください。

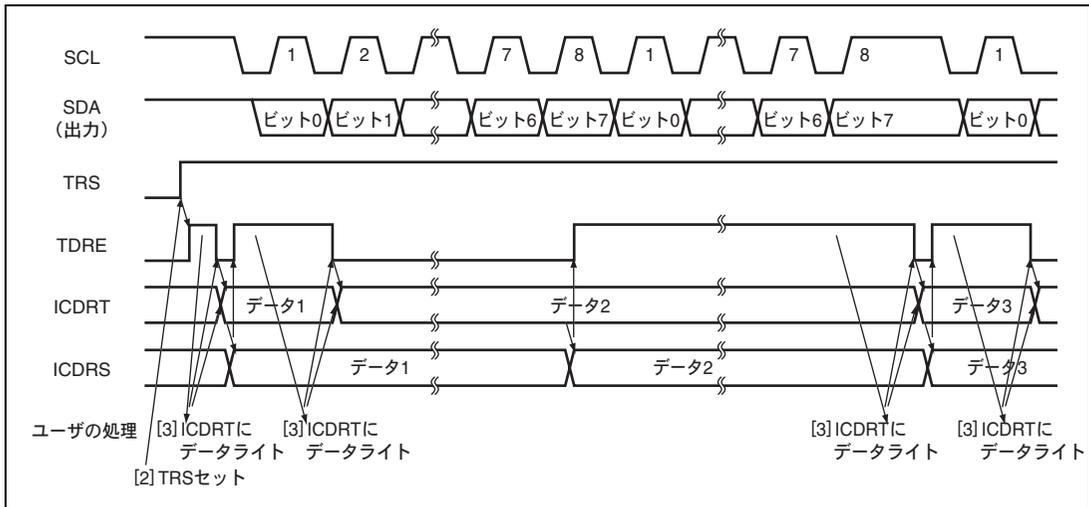


図 15.14 送信モード動作タイミング

(3) 受信動作

受信モードでは転送クロックの立ち上がりでデータをラッチします。転送クロックはICCR1のMST=1のとき出力、MST=0のとき入力となります。受信モード動作タイミングについては図 15.15を参照してください。以下に受信モードの手順と動作を示します。

1. ICCR1のICEビットを1にセットします。またICCR1のMST、CKS3～CKS0等を設定します（初期設定）。
2. 転送クロックを出力時、MST=1にします。これにより受信クロックの出力を開始します。
3. 受信が完了すると、ICDRSからICDRRにデータが転送され、ICSRのRDRFがセットされます。MST=1のときは次バイトが受信可能状態のため、連続してクロックを出力します。RDRFがセットされるたびにICDRRをリードすることにより連続的に受信可能です。RDRFがセットされた状態で8クロック目が立ち上がるとオーバーランを検出し、ICSRのAL/OVEがセットされます。このときICDRRの値は前の受信データを保持します。
4. MST=1のとき、受信を停止するためには、ICCR1のRCVDをセットしてから、ICDRRをリードします。これにより次バイトの受信完了後、SCLがHighレベルに固定されます。

15. I²C バスインタフェース 2 (IIC2)

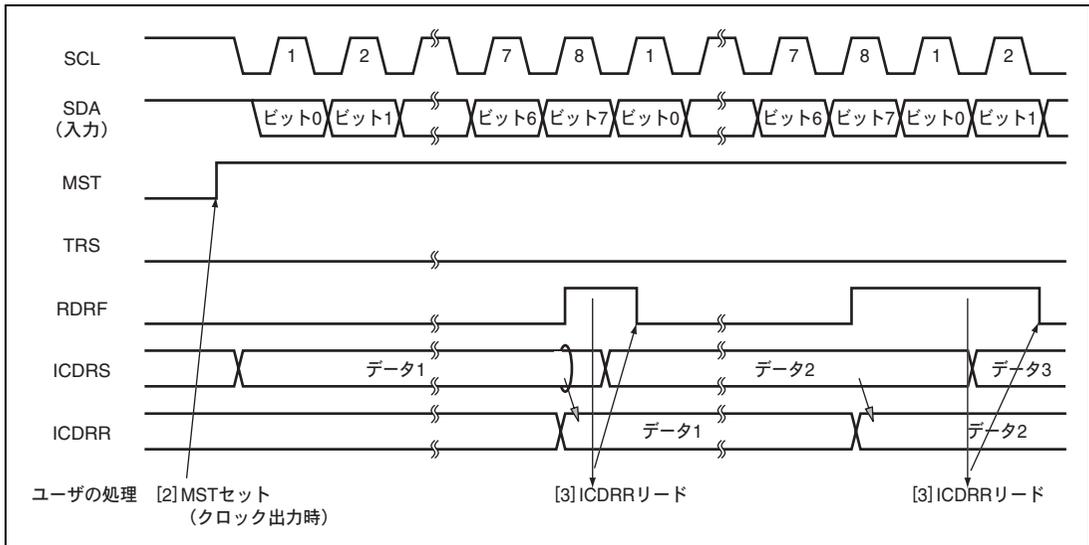


図 15.15 受信モード動作タイミング

15.4.7 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 15.16 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

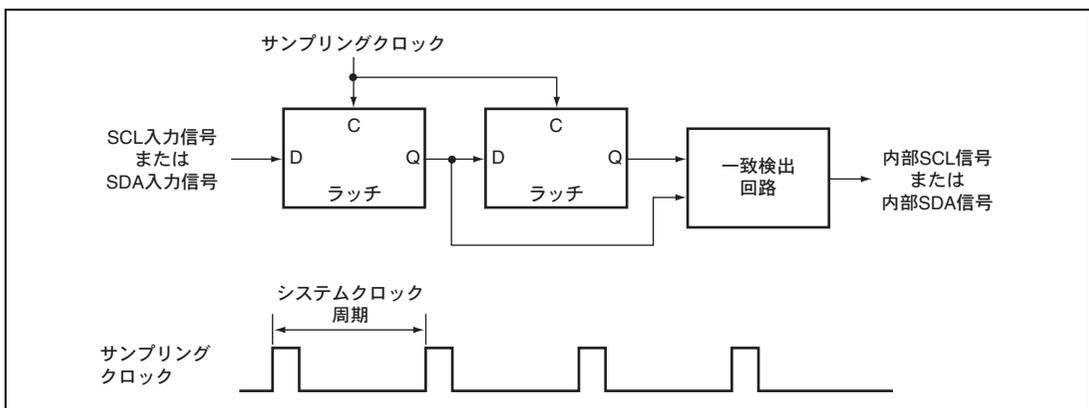


図 15.16 ノイズ除去回路のブロック図

15.4.8 使用例

I²C バスインタフェース 2 を使用する場合の各モードでのフローチャート例を図 15.17～図 15.20 に示します。

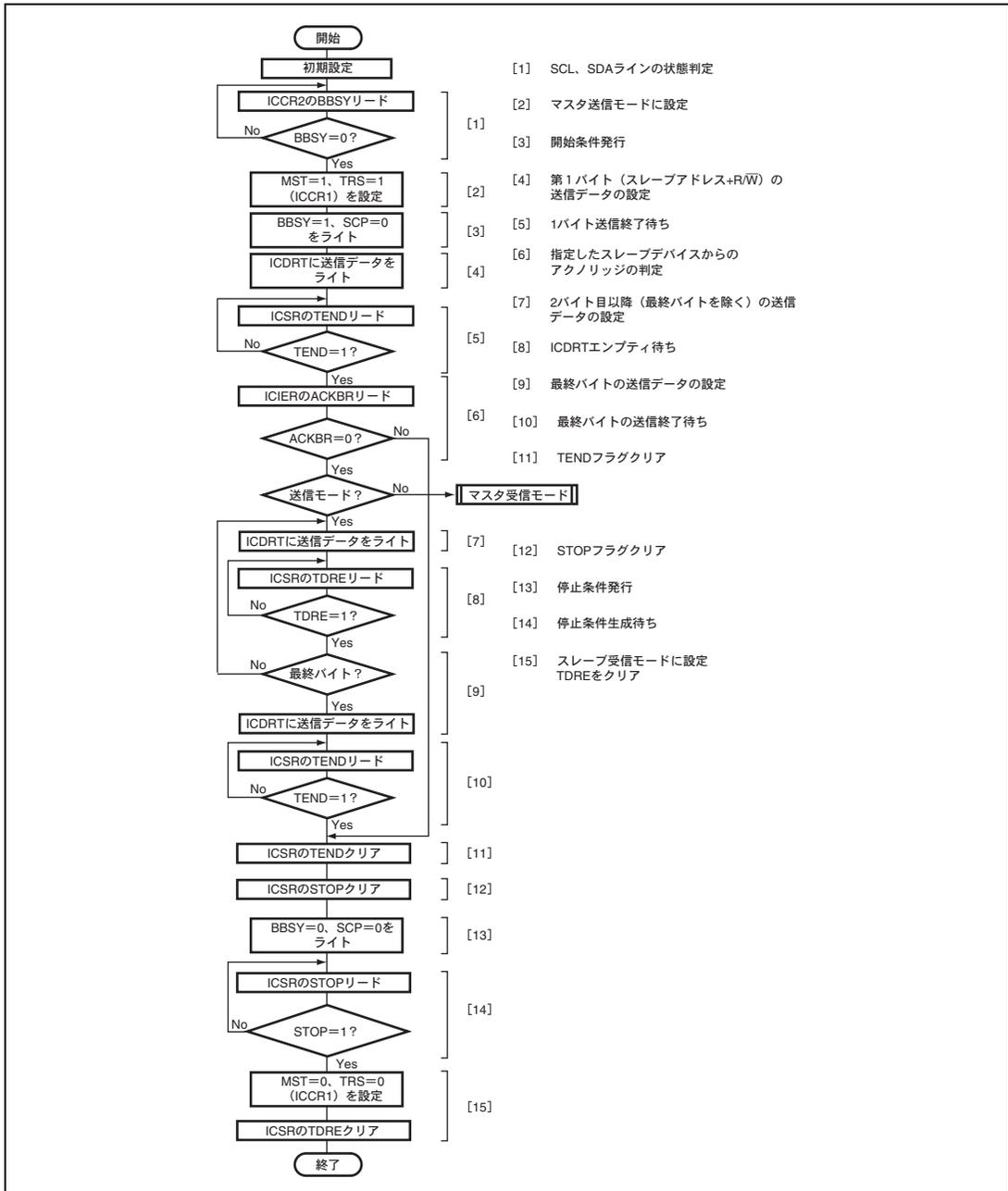


図 15.17 マスタ送信モードのフローチャート例

15. I²C バスインタフェース 2 (IIC2)

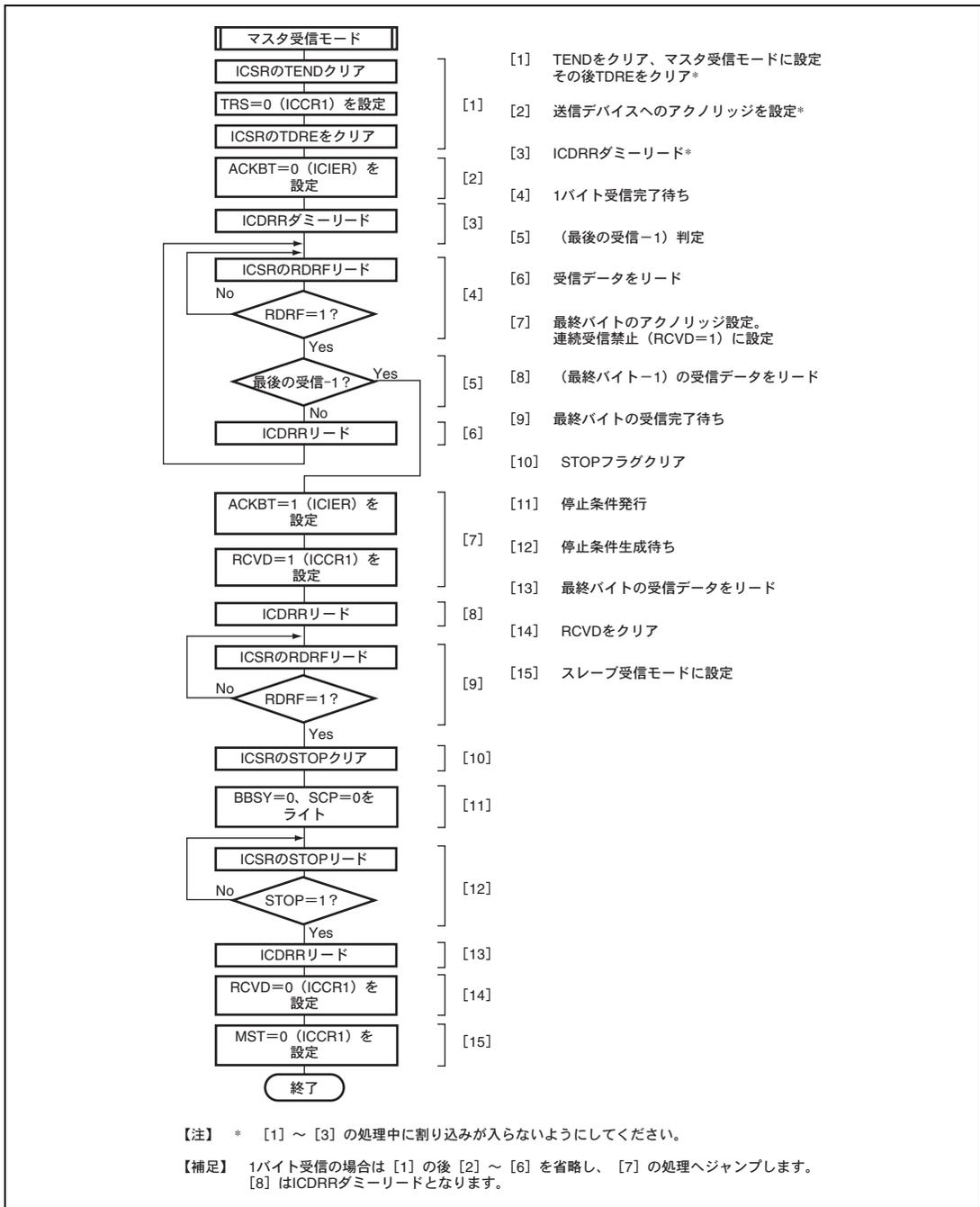


図 15.18 マスタ受信モードのフローチャート例

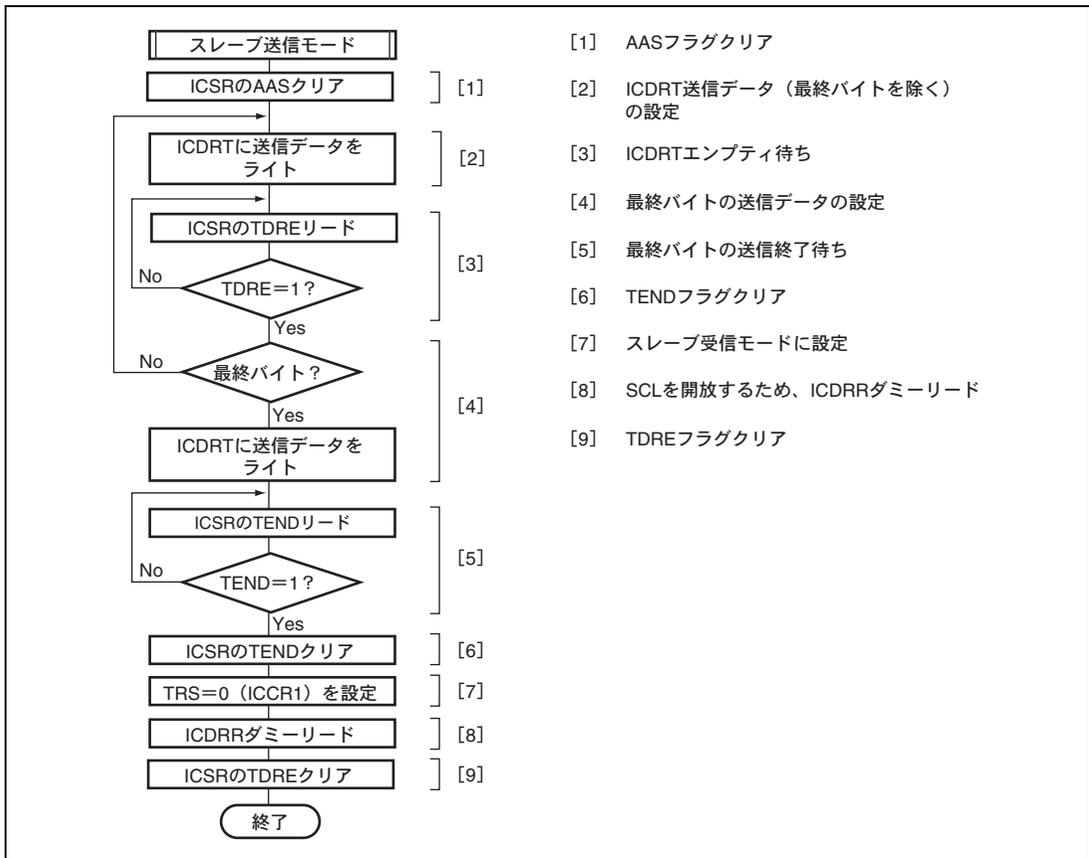


図 15.19 スレーブ送信モードフローチャート例

15. I²C バスインタフェース 2 (IIC2)

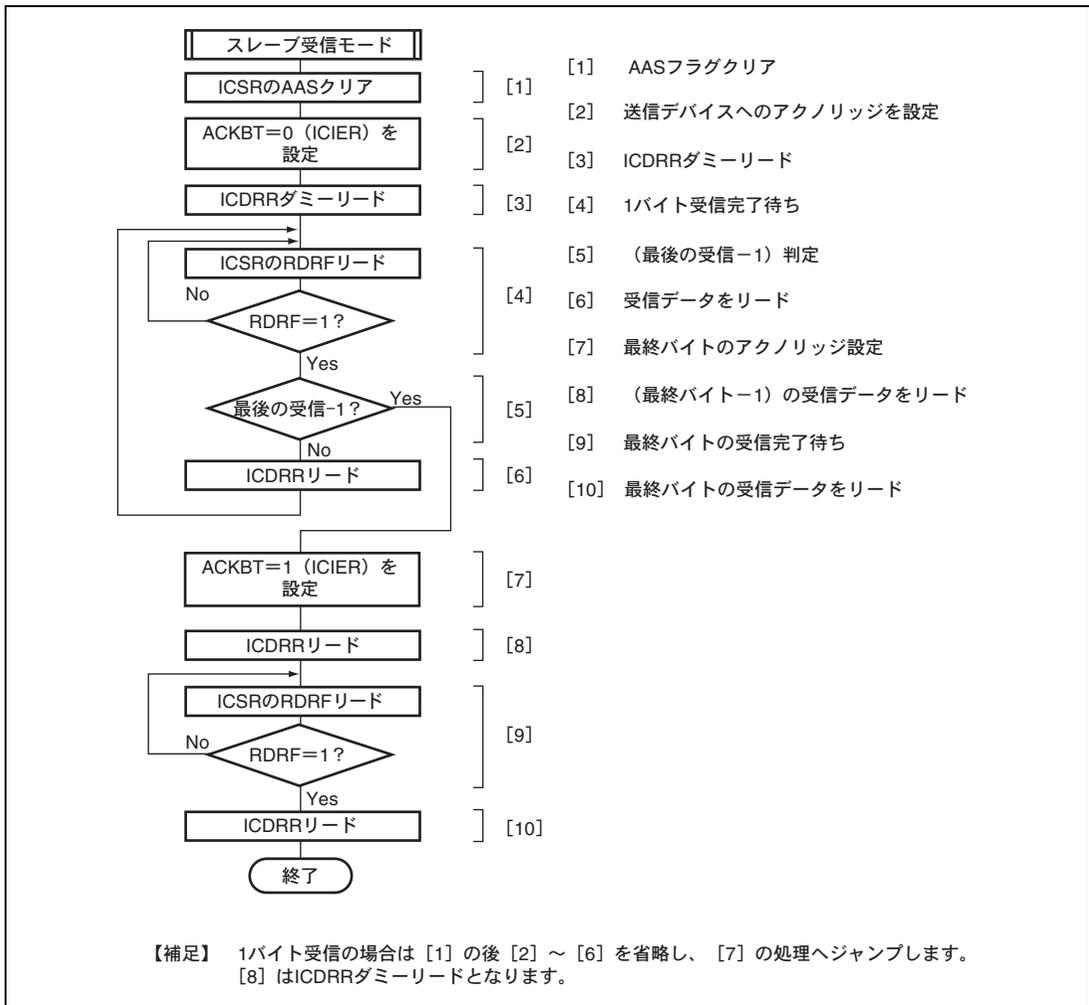


図 15.20 スレープ受信モードフローチャート例

15.5 割り込み要求

本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、停止条件検出、アービトレーションロスト/オーバランエラーの 6 種類があります。表 15.3 に各割り込み要求の内容を示します。

表 15.3 割り込み要求一覧

割り込み要求	略称	割り込み条件	I ² C モード	クロック同期モード
送信データエンプティ	TXI	$(TDRE=1) \cdot (TIE=1)$	○	○
送信終了	TEI	$(TEND=1) \cdot (TEIE=1)$	○	○
受信データフル	RXI	$(RDRF=1) \cdot (RIE=1)$	○	○
停止条件検出	STPI	$(STOP=1) \cdot (STIE=1)$	○	×
NACK 検出	NAKI	$\{(NACKF=1)+(AL=1)\} \cdot (NAKIE=1)$	○	×
アービトレーションロスト/ オーバランエラー			○	○

表 15.3 の割り込み条件が 1 がかつ CCR の I ビットが 0 のとき、CPU は割り込み例外処理を実行します。例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし TDRE、TEND は ICDRT に送信データをライトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると、余分に 1 バイト送信する場合があります。

15.6 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスによりSCLがLowレベルに引っ張られた場合
- SCLラインの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりがなまった場合

の2つの状態で High レベル期間が短くなる可能性があるため、SCL をモニタしてビットごとに同期をとりながら通信を行います。

ビット同期回路のタイミングを図 15.21 に、SCL を Low 出力→Hi-Z にしてから SCL をモニタするまでの時間を表 15.4 に示します。

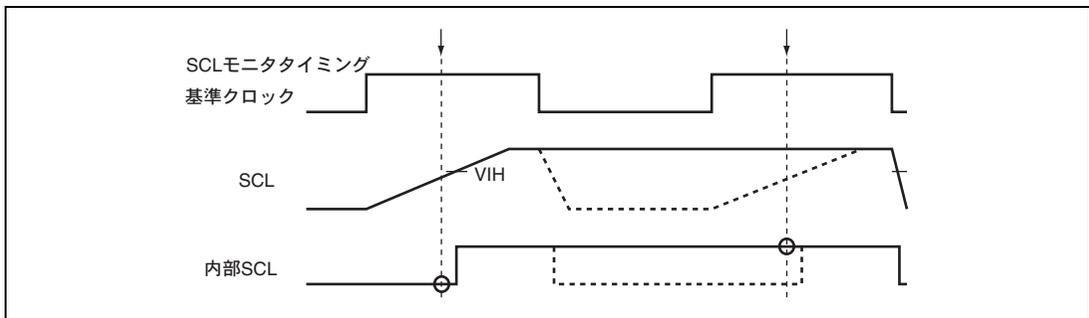


図 15.21 ビット同期回路のタイミング

表 15.4 SCL をモニタする時間

CKS3	CKS2	SCL をモニタする時間
0	0	7.5 tcy
	1	19.5 tcy
1	0	17.5 tcy
	1	41.5 tcy

15.7 使用上の注意事項

15.7.1 停止条件および開始条件（再送）の出力について

マスタモードにて、下記 1.または 2.の条件で、かつ特定のタイミングで停止条件の発行および開始条件（再送）の発行を行ったとき、停止条件および開始条件（再送）が正常に出力されない場合があります。

これを防ぐために、停止条件の発行および開始条件（再送）の発行は 9 クロック目の立ち下がりを確認してから行ってください。9 クロック目の立ち下がりには I²C コントロールレジスタ 2 (ICCR2) の SCLO ビットをチェックすることにより確認できます。

1. SCLバスの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりが「15.6 ビット同期回路」に規定されている時間以上なまっている場合
2. スレーブデバイスが8クロック目と9クロック目のLow期間を引っ張ってビット同期回路が働いた場合

15.7.2 I²C バスモードレジスタ (ICMR) の WAIT 設定について

WAIT ビットを 1 にセットして使用したとき、スレーブデバイスが SCL 端子の 8 クロック目と 9 クロック目の Low 期間を 2 転送クロック分以上、Low に引っ張ったときに、9 クロック目の High 期間が短くなる場合があります。これを防ぐために、ICMR の WAIT ビットは 0 に設定してください。

16. A/D 変換器

逐次比較方式の 10 ビットの A/D 変換器で、最大 4 チャンネルのアナログ入力を変換することができます。A/D 変換器のブロック図を図 16.1 に示します。

16.1 特長

- 分解能：10ビット
- 入力チャンネル：4チャンネル
- 高速変換：1チャンネル当り最小7 μ s（10MHz動作時）
- 動作モード：2種類
 - 単一モード：1チャンネルのA/D変換
 - スキャンモード：1～4チャンネルの連続A/D変換
- データレジスタ：4本
 - A/D変換結果は、各チャンネルに対応したデータレジスタに転送され、保持されます。
- サンプル&ホールド機能付き
- 変換開始方法：2種類
 - ソフトウェアまたは外部トリガ信号によるA/D変換の開始が可能
- 割り込み要因
 - A/D変換終了割り込み（ADI）要求を発生させることができます。

16. A/D 変換器

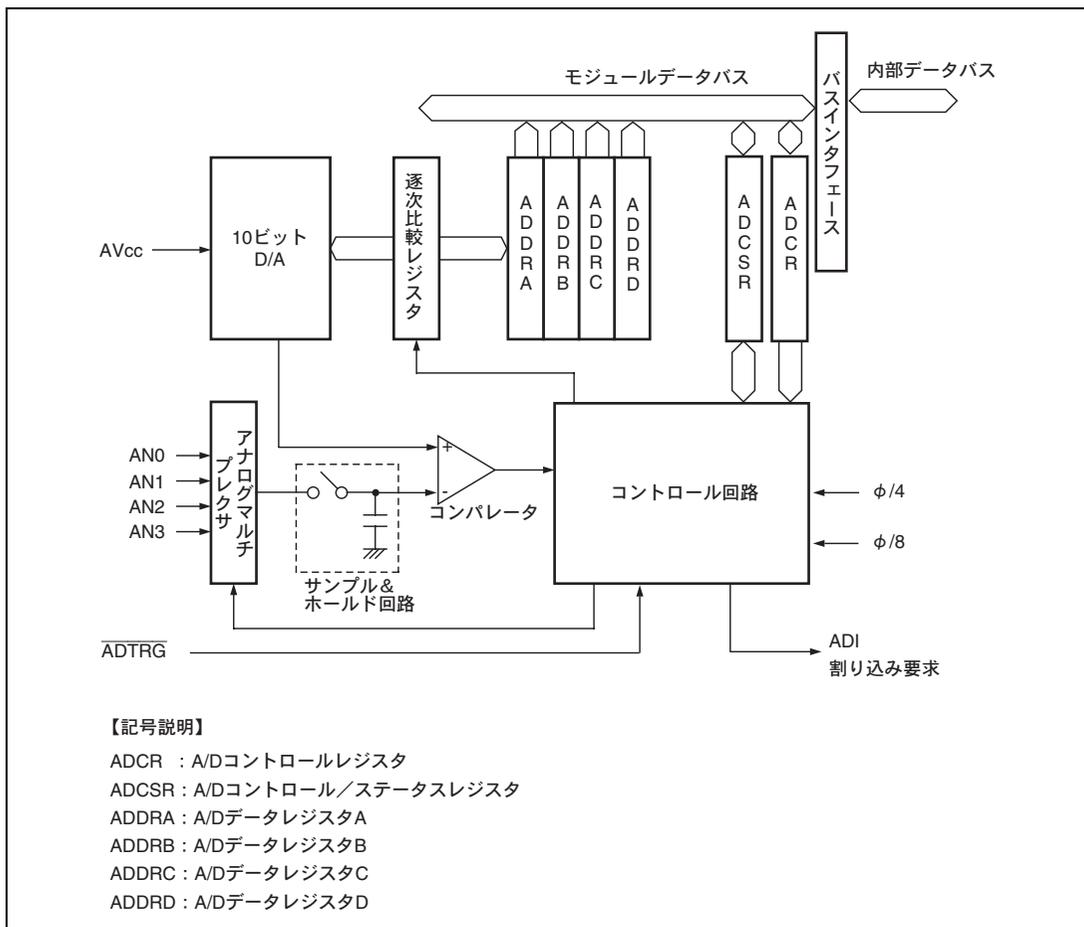


図 16.1 A/D 変換器のブロック図

16.2 入出力端子

A/D 変換器で使用する端子を表 16.1 に示します。

表 16.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナログ入力端子 0	AN0	入力	アナログ入力端子
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
A/D 外部トリガ入力端子	ADTRG	入力	A/D 変換開始のための外部トリガ入力端子

16.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

- A/DデータレジスタA (ADDRA)
- A/DデータレジスタB (ADDRB)
- A/DデータレジスタC (ADDRC)
- A/DデータレジスタD (ADDRD)
- A/Dコントロール/ステータスレジスタ (ADCSR)
- A/Dコントロールレジスタ (ADCR)

16.3.1 A/D データレジスタ A~D (ADDRA~D)

A/D データレジスタは A/D 変換結果を格納するための 16 ビットのリード専用レジスタで、ADDRA~ADDRD の 4 本あります。各アナログ入力チャネルの変換結果が格納される A/D データレジスタは表 16.2 のとおりです。

10 ビットの変換データは A/D データレジスタのビット 15 からビット 6 に格納されます。下位 6 ビットの読み出し値は常に 0 です。CPU との間のデータバスは 8 ビット幅で、上位バイトは CPU から直接リードできますが、下位バイトは上位バイトリード時にテンポラリレジスタに転送されたデータが読み出されます。このため A/D データレジスタをリードする場合は、ワードアクセスするか、バイトアクセス時は上位バイト、下位バイトの順でリードしてください。ADDR の初期値は H'0000 です。

表 16.2 アナログ入力チャネルと A/D データレジスタの対応

アナログ入力チャネル	変換結果が格納される A/D データレジスタ
AN0	ADDRA
AN1	ADDRB
AN2	ADDRC
AN3	ADDRD

16. A/D 変換器

16.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は A/D 変換器の制御ビットと変換終了ステータスビットで構成されています。

ビット	ビット名	初期値	R/W	説 明
7	ADF	0	R/W	A/D エンドフラグ [セット条件] • 単一モードで A/D 変換が終了したとき • スキャンモードで選択されたすべてのチャンネルの変換が 1 回終了したとき [クリア条件] • 1 の状態をリードしたあと、0 をライトしたとき
6	ADIE	0	R/W	A/D インタラプトイネーブル このビットを 1 にセットすると ADF による A/D 変換終了割り込み要求 (ADI) がイネーブルになります。
5	ADST	0	R/W	A/D スタート このビットを 1 にセットすると A/D 変換を開始します。単一モードでは A/D 変換を終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセット、またはスタンバイモードによってクリアされるまで選択されたチャンネルを順次連続変換します。
4	SCAN	0	R/W	スキャンモード A/D 変換のモードを選択します。 0: 単一モード 1: スキャンモード
3	CKS	0	R/W	クロックセレクト A/D 変換時間の設定を行います。 0: 変換時間=134 ステート (max) 1: 変換時間=70 ステート (max) 変換時間の切り替えは、ADST=0 の状態で行ってください。
2	CH2	0	R/W	チャンネルセレクト 2~0
1	CH1	0	R/W	アナログ入力チャンネルを選択します。
0	CH0	0	R/W	SCAN=0 のとき 000: AN0 001: AN1 010: AN2 011: AN3 SCAN=1 のとき 000: AN0 001: AN0~AN1 010: AN0~AN2 011: AN0~AN3 【注】 AN3、または AN2 を使用して A/D 変換を行う場合は LVDCR の VDDII ビットを 0 に設定しないでください。0 に設定した場合、A/D 変換精度は保証されません。

16.3.3 A/D コントロールレジスタ (ADCR)

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	ビット名	初期値	R/W	説明
7	TRGE	0	R/W	トリガイネーブル このビットを 1 にセットすると外部トリガ端子 ($\overline{\text{ADTRG}}$) の立ち上がり、立ち下がりエッジでも A/D 変換を開始します。 外部トリガ端子 ($\overline{\text{ADTRG}}$) の立ち上がり、立ち下がりエッジ選択は割り込みエッジセレクトレジスタ 2 (IEGR2) の WPEG5 の設定に従います。
6~4	—	すべて 1	—	リザーブビット 読み出すと常に 1 が読み出されます。
3	—	0	R/W	リザーブビット
2	—	0	R/W	リード/ライト可能ですが、1 に設定しないでください。
1	—	1	R/W	リザーブビット 読み出すと常に 1 が読み出されます。
0	—	0	R/W	リザーブビット リード/ライト可能ですが、1 に設定しないでください。

16.4 動作説明

A/D 変換器は逐次比較方式で分解機能は 10 ビットです。動作モードには単一モードとスキャンモードがあります。動作モードやアナログ入力チャネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードモードやアナログ入力チャネルの変更と ADST ビットのセットは同時に行うことができます。

16.4.1 単一モード

単一モードは指定された 1 チャネルのアナログ入力を以下のように 1 回 A/D 変換します。

- ソフトウェアまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャネルの A/D 変換を開始します。
- A/D 変換が終了すると A/D 変換結果がそのチャネルに対応する A/D データレジスタに転送されます。
- A/D 変換終了時、ADCSR の ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求を発生します。
- ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。

16.4.2 スキャンモード

スキャンモードは指定された最大 4 チャネルのアナログ入力を以下のように順次連続して A/D 変換します。

- ソフトウェアまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、第 1 チャネルから A/D 変換を開始します。

16. A/D 変換器

- それぞれのチャンネルのA/D変換が終了するとA/D変換結果は順次そのチャンネルに対応するA/Dデータレジスタに転送されます。
- 選択されたすべてのチャンネルのA/D変換が終了するとADCSRのADFフラグが1にセットされます。このとき、ADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再び第1チャンネルからA/D変換を開始します。
- ADSTビットは自動的にクリアされず、1にセットされている間は、2.~3.を繰り返します。ADSTビットを0にクリアするとA/D変換は停止します。

16.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADST ビットが1にセットされてから t_b 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 16.2 に示します。また、A/D 変換時間を表 16.3 に示します。

A/D 変換時間は、図 16.2 に示すように、 t_b と入力サンプリング時間を含めた時間となります。ここで t_b は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 16.3 に示す範囲で変化します。スキャンモードの変換時間は、表 16.3 に示す値が1回目の変換時間となりますが、2回目以降はCKS=0の場合は128 ステート（固定）、CKS=1の場合は66 ステート（固定）となります。

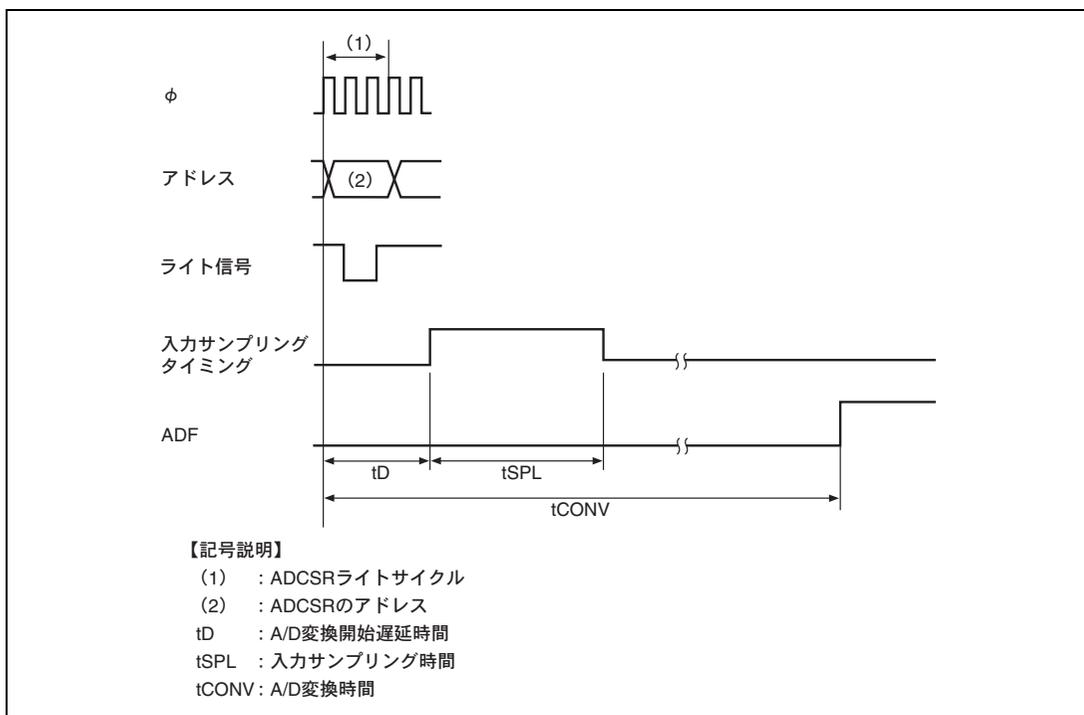


図 16.2 A/D 変換タイミング

表 16.3 A/D 変換時間 (単一モード)

	記号	CKS=0			CKS=1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_d	6	—	9	4	—	5
入力サンプリング時間	t_{SPL}	—	31	—	—	15	—
A/D 変換時間	t_{CONV}	131	—	134	69	—	70

【注】 表中の数値の単位はステートです。

16.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGE ビットが 1 にセットされているとき、 \overline{ADTRG} 端子から入力されます。 \overline{ADTRG} 入力端子の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、単一モード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 16.3 に示します。

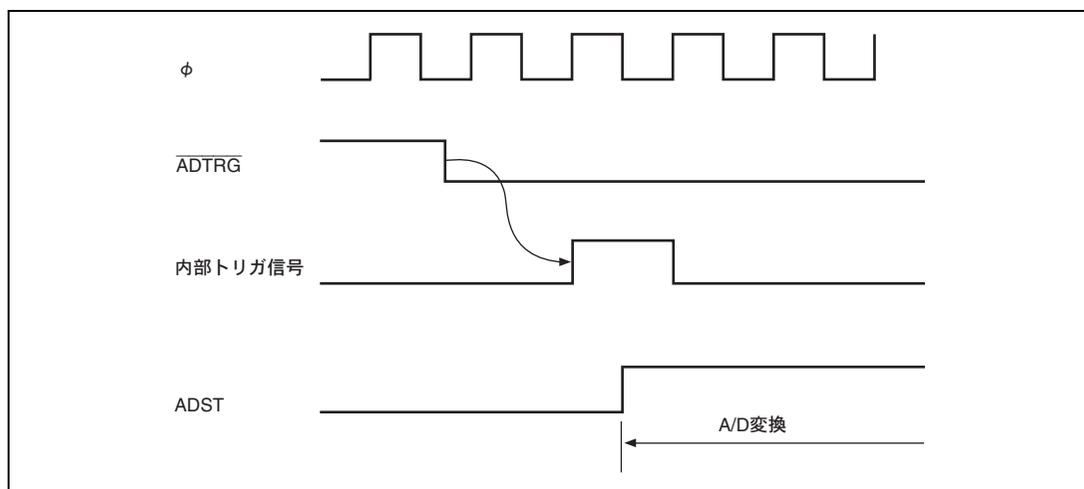


図 16.3 外部トリガ入力タイミング

16.5 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能

A/D変換器のデジタル出力コード数

- 量子化誤差

A/D変換器が本質的に有する偏差であり、1/2LSBで与えられる（図16.4）。

- オフセット誤差

デジタル出力が最小電圧値0000000000から0000000001に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差（図16.5）。

- フルスケール誤差

デジタル出力が1111111110から1111111111に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差（図16.5）。

- 非直線性誤差

ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。

- 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

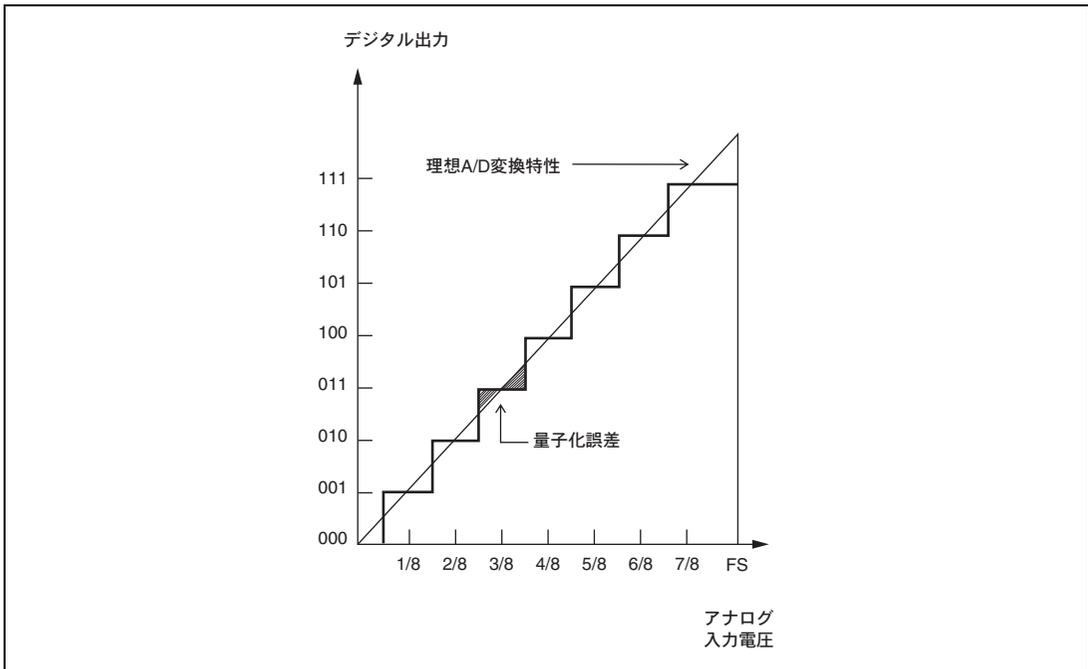


図 16.4 A/D 変換精度の定義 (1)

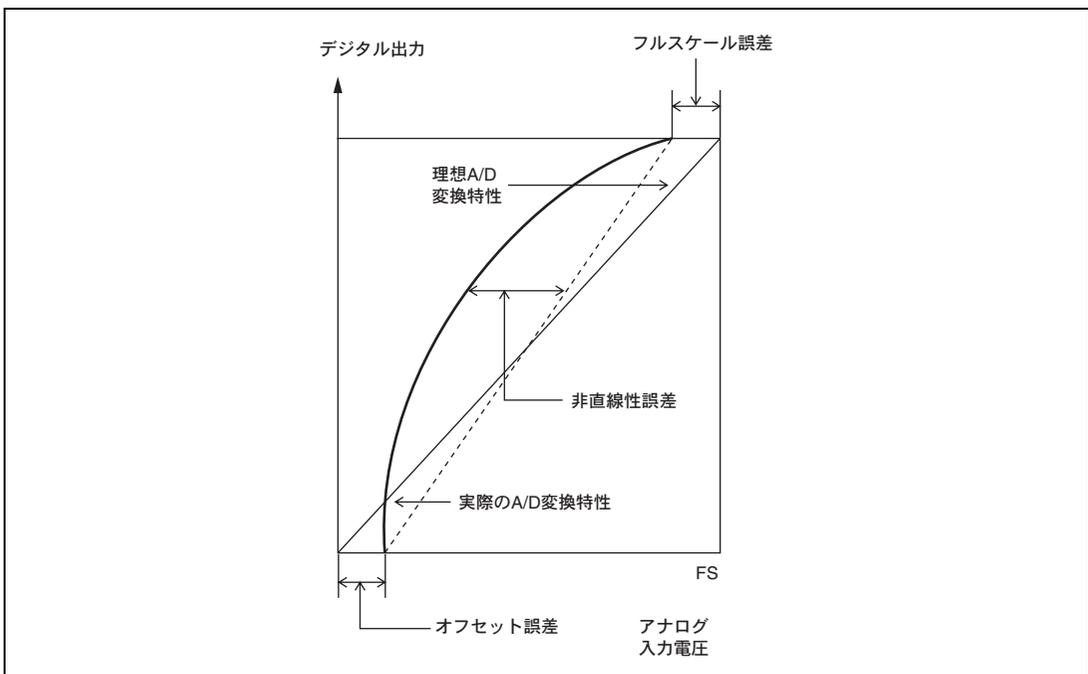


図 16.5 A/D 変換精度の定義 (2)

16.6 使用上の注意事項

16.6.1 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが $5k\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するために設けている規格で、センサの出カインピーダンスが $5k\Omega$ を超える場合充電不足が生じ、A/D 変換精度が保証できなくなる場合があります。単一モードで変換を行う場合で外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10k\Omega$ だけになりますので信号源インピーダンスは不用となります。ただし、この場合ローパスフィルタとなりますので、微分係数の大きなアナログ信号（たとえば電圧の変動率が $5mV/\mu s$ 以上）には追従できない場合があります（図 16.6）。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

16.6.2 絶対精度への影響について

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性があります。必ず電氣的に安定な GND に接続してください。またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意が必要です。

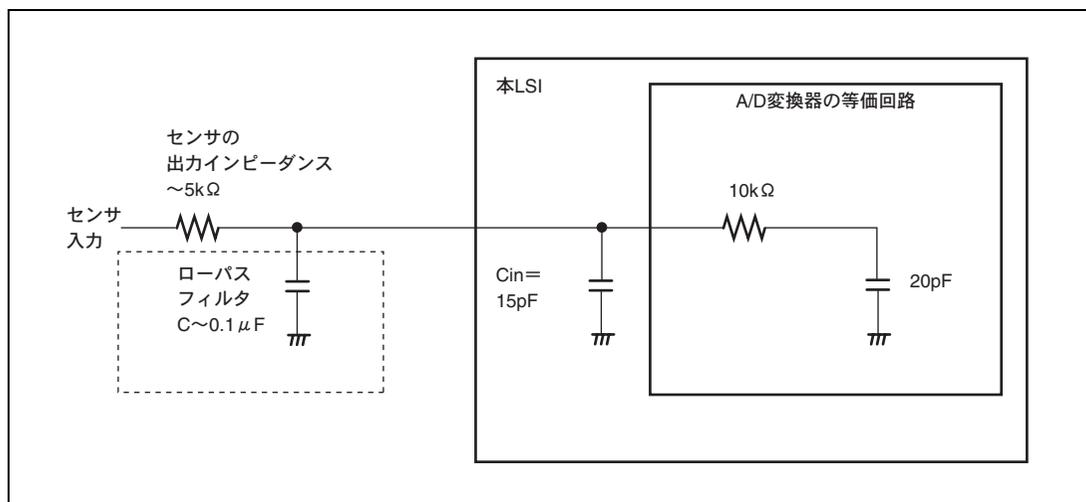


図 16.6 アナログ入力回路の例

17. バンドギャップ回路、パワーオンリセット & 低電圧検出回路

本 LSI はバンドギャップ回路（BGR：Band Gap Regulator）、パワーオンリセット回路、および低電圧検出回路を内蔵しています。

BGR はオンチップオシレータと低電圧検出回路へ基準電圧を提供します。BGR の位置付けブロック図を図 17.1 に示します。

低電圧検出回路は、低電圧検出割り込み回路（LVDI：Interrupt by Low Voltage Detect）と、低電圧検出しセット回路（LVDR：Reset by Low Voltage Detect）から構成されます。

本回路は、電源電圧降下による本 LSI の異常動作（暴走）を防ぎ、かつ電源電圧の再上昇時に電源電圧降下前の状態を再現するために使われる回路です。

電源電圧が降下しても、動作保証電圧以上でかつ正常動作中にスタンバイモードに遷移することで、電源電圧が動作保証電圧以下へ降下したときの不安定な状態をなくし、システムの安全性を高められます。さらに電源電圧が降下してしまった場合には自動的にリセット状態に遷移します。再度電源電圧が上昇すると一定時間リセット状態を保持してからアクティブモードに自動的に遷移します。

パワーオンリセット回路および低電圧検出回路のブロック図を図 17.2 に示します。

17.1 特長

- BGR回路

全動作電圧、動作温度範囲で安定した基準電圧を出力できます。

レジスタでBGRをOFFに設定することにより、消費電力を低減できます。

- パワーオンリセット回路

外部にコンデンサを接続することにより、電源投入時に内部リセット信号を発生

- 低電圧検出回路

低電圧検出しセット回路：電源電圧を監視して、一定電圧以下になった場合に内部リセット信号を発生

低電圧検出割り込み回路：電源電圧を監視して、一定電圧より降下または上昇した場合に割り込みを発生

リセット発生電圧を検知するレベルは、低電圧検出しセット回路のみ使用する場合と、低電圧検出割り込み回路と低電圧検出しセット回路を併用する場合の2種類選択可能です。

17. バンドギャップ回路、パワーオンリセット&低電圧検出回路

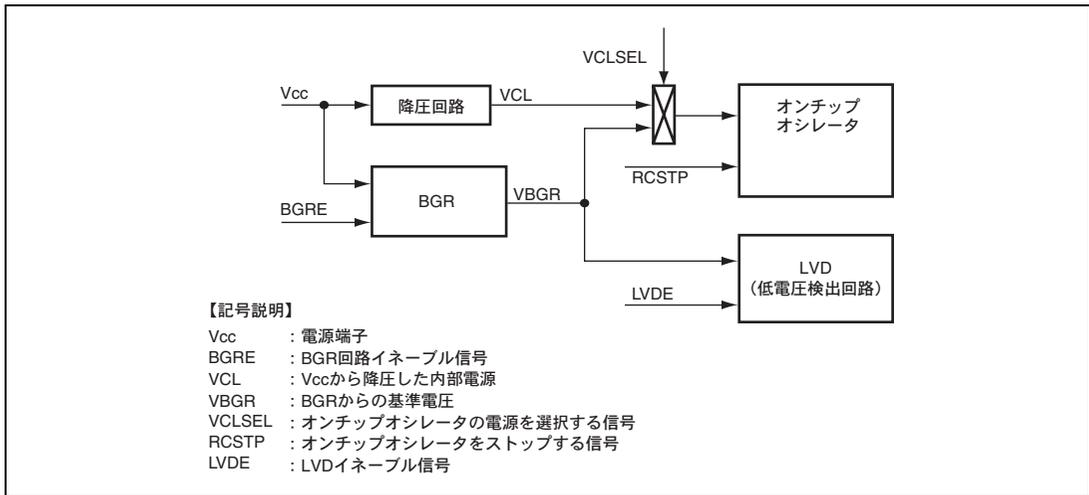


図 17.1 BGR 位置付けブロック図

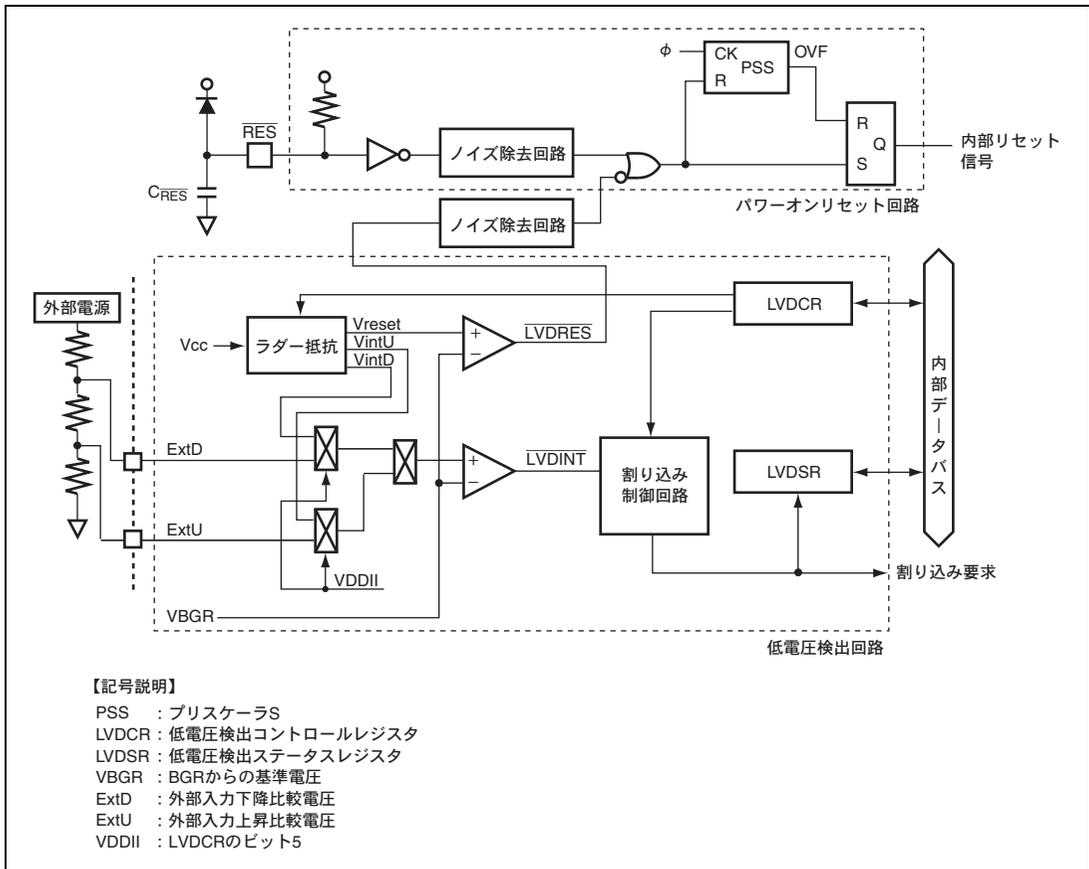


図 17.2 パワーオンリセット回路および低電圧検出回路ブロック図

17.2 レジスタの説明

低電圧検出回路には以下のレジスタがあります。

- 低電圧検出コントロールレジスタ (LVDCR)
- 低電圧検出ステータスレジスタ (LVDSR)

17.2.1 低電圧検出コントロールレジスタ (LVDCR)

LVDCR は低電圧検出回路を使用するかしないか、BGR 回路を使用するかしないか、LVDI の比較電圧の選択、LVDR 検出レベルの設定、低電圧検出リセット回路によるリセットを許可/禁止、電源電圧降下および上昇による割り込み許可/禁止の制御を行います。

表 17.1 に LVDCR の設定値と選択機能の関係を示します。LVDCR は表 17.1 の設定にしてください。

ビット	ビット名	初期値	R/W	説明
7	LVDE	1*	R/W	LVD イネーブル 0: 低電圧検出回路は未使用 (スタンバイ状態) 1: 低電圧検出回路を使用
6	BGRE	1*	R/W	BGR イネーブル 0: BGR 回路は未使用 (スタンバイ状態) 1: BGR 回路を使用
5	VDDII	1*	R/W	LVDI 外部比較電圧入力禁止 0: LVDI 比較電圧は外部電圧を使用 1: LVDI 比較電圧は内部電圧を使用
4	—	1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	LVDSSEL	0*	R/W	LVDR 検出レベル選択 0: リセット検知電圧 2.3V(typ.) 1: リセット検知電圧 3.6V(typ.) 立ち下がり電圧検知、立ち上がり電圧検知割り込み使用時は 2.3V(typ.) リセットを使用してください。リセット検知のみの使用時は 3.6V(typ.) リセットを使用してください。
2	LVDRRE	1*	R/W	LVDR イネーブル 0: LVDR によるリセットを禁止 1: LVDR によるリセットを許可
1	LVDDDE	0	R/W	電圧降下時割り込みイネーブル 0: 電圧降下時の割り込み要求を禁止 1: 電圧降下時の割り込み要求を許可

17. バンドギャップ回路、パワーオンリセット&低電圧検出回路

ビット	ビット名	初期値	R/W	説明
0	LVDDUE	0	R/W	電圧上昇時割り込みイネーブル 0: 電圧上昇時の割り込み要求を禁止 1: 電圧上昇時の割り込み要求を許可

【注】 * LVDR によるリセットでは初期値されません。パワーオンリセット、ウォッチドッグタイマリセットで初期化されません。

表 17.1 LVDCR の設定と選択機能

LVDCR 設定値							パワーオンリセット	低電圧検出リセット	低電圧検出立ち下がり割り込み	低電圧検出立ち上がり割り込み
LVDE	BGRE	VDDII	LVDSSEL	LVDRE	LVDDE	LVDDUE				
0	*1	*2	*2	*2	*2	*2	○	—	—	—
1	1	*1	1	1	0	0	○	○	—	—
1	1	*1	0	0	1	0	○	—	○	—
1	1	*1	0	0	1	1	○	—	○	○
1	1	*1	0	1	1	1	○	○	○	○

【注】 *1 必要に応じて設定してください。

*2 設定値は無効です。

17.2.2 低電圧検出ステータスレジスタ (LVDSR)

LVDSR は電源電圧がある一定電圧より降下または上昇したことを示します。

ビット	ビット名	初期値	R/W	説明
7~2	—	すべて1	—	リザーブビット リードすると常に1が読み出されます。ライトは無効です。
1	LVDDF	0*	R/W	LVD 電源電圧降下フラグ [セット条件] 電源電圧が Vint (D) (typ.=3.7V) 以下に降下したとき [クリア条件] 1の状態をリードした後、0をライトしたとき
0	LVDDU	0*	R/W	LVD 電源電圧上昇フラグ [セット条件] LVDCR の LVDDUE ビットを1にセットした状態で電源電圧が Vint (D) 以下に降下し、Vreset1 (typ.=2.3V) 以下に降下する前に Vint (U) (typ.=4.0V) 以上に上昇したとき。 [クリア条件] 1の状態をリードした後、0をライトしたとき

【注】 * LVDR によるリセットで初期化されます。

17.3 動作説明

17.3.1 パワーオンリセット回路

パワーオンリセット回路の動作タイミングを図 17.3 に示します。電源電圧の上昇により、内蔵のプルアップ抵抗 (typ. 150kΩ) を介して $\overline{\text{RES}}$ 端子に外付けされたコンデンサが徐々に充電されます。この $\overline{\text{RES}}$ 端子の状態が内部に伝わり、プリスケアラ S およびチップ全体がリセットされます。 $\overline{\text{RES}}$ 端子のレベルが一定レベルまで上昇すると、プリスケアラ S のリセットが解除され、カウントアップを始めます。プリスケアラ S が ϕ を 131,072 回カウントすると OVF 信号が発生し、内部リセット信号が解除されます。なお、チップ内部に $\overline{\text{RES}}$ 端子のノイズによる誤動作を避けるため、typ. 400ns 程度のノイズ除去回路が内蔵されています。

LSI が安定して動作するためには電源が規定時間以内に立ち上がる必要があります。電源立ち上がり時間 (t_{PWON}) の最大値は、発振周波数 (f_{osc}) と $\overline{\text{RES}}$ 端子に接続する容量 (C_{RES}) で定義されます。電源立ち上がり時間は電源電圧の 90% まで到達する時間とすると

$$t_{\text{PWON}} (\text{ms}) \leq 90 \times C_{\text{RES}} (\mu\text{F}) + 162 / f_{\text{osc}} (\text{MHz})$$

$$(t_{\text{PWON}} \leq 3000\text{ms}, C_{\text{RES}} \geq 0.22 \mu\text{F}, 2 \sim 10\text{MHz 時は } f_{\text{osc}} = 10 \text{ とする})$$

の式を満足するように電源回路を設計してください。

ただし、電源電圧 V_{cc} は $V_{\text{por}} = 100\text{mV}$ 以下まで必ず立ち下げ、 $\overline{\text{RES}}$ 端子の電荷が十分に抜けてから立ち上げてください。 $\overline{\text{RES}}$ 端子の電荷を引き抜くためにはダイオードを V_{cc} 側に付けることを推奨します。 V_{por} を超えたところから電源電圧 V_{cc} が立ち上がった場合、パワーオンリセットが働かない可能性があります。

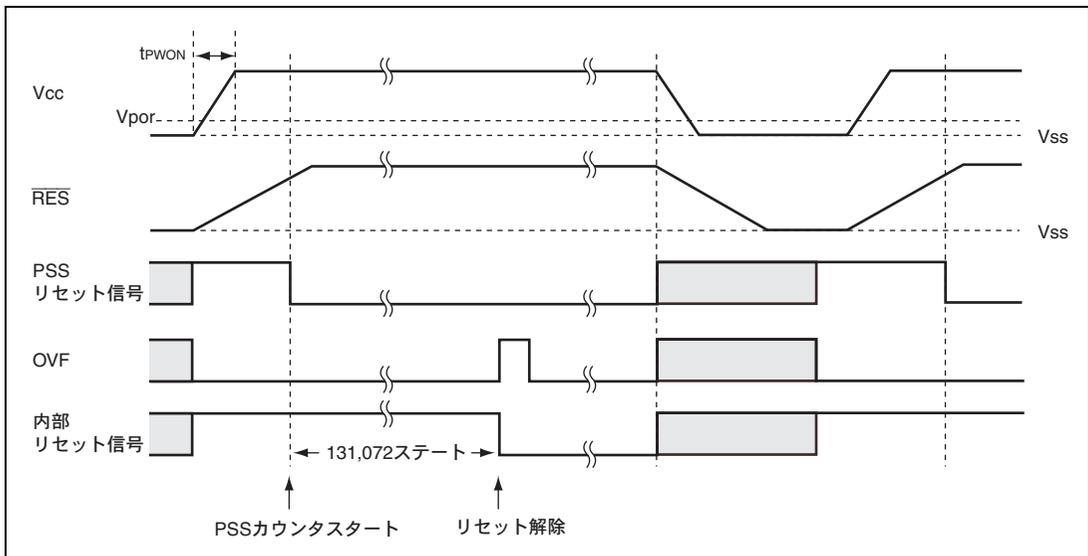


図 17.3 パワーオンリセット回路動作タイミング

17.3.2 低電圧検出回路

(1) 低電圧検出リセット回路 (LVDR)

LVDR の動作タイミングを図 17.4 に示します。LVDR はパワーオンリセット解除後、有効になります。LVDR を解除する場合は、LVDCR の LVDRE ビットを 0 にクリアした後、LVDCR の LVDE ビット、また必要に応じて BGRE ビットを 0 にクリアします。誤動作の原因となるため、LVDE ビットと BGRE ビットは LVDRE ビットと同時にクリアしないでください。また、LVDR を再度動作させる場合は、LVDE ビットと BGRE ビットを 1 にセットし、基準電圧および低電圧検出電源が安定するまでの時間 t_{LVDRON} ($50\mu s$) をソフトウェアタイマ等で待った後、LVDRE ビットを 1 にセットします。必ず、この後にポートの出力設定を行ってください。

LVDR は電源電圧が降下して V_{reset} 電圧 (typ.=2.3V または 3.6V) 以下になると、 \overline{LVDRES} 信号が 0 となり、プリスケアラ S がリセットされます。パワーオンリセットが働かない限り、低電圧検出リセット状態を継続します。電源電圧が再度 V_{reset} 電圧以上に上昇すると、プリスケアラ S はカウントアップを始め、 ϕ を 131,072 回カウントし、内部リセット信号が解除されます。このとき、LVDCR の LVDE、BGRE、VDDII、LVDSEL、LVDRE ビットは初期化されません。

ただし、電源電圧 V_{cc} が $V_{LVDRmin}=1.0V$ 以下に低下し、そこから立ち上がった場合、低電圧検出リセットがかからない場合がありますので十分評価をお願いします。

また、電源電圧 V_{cc} が $V_{por}=100mV$ 以下になると本 LSI はパワーオンリセット動作になります。

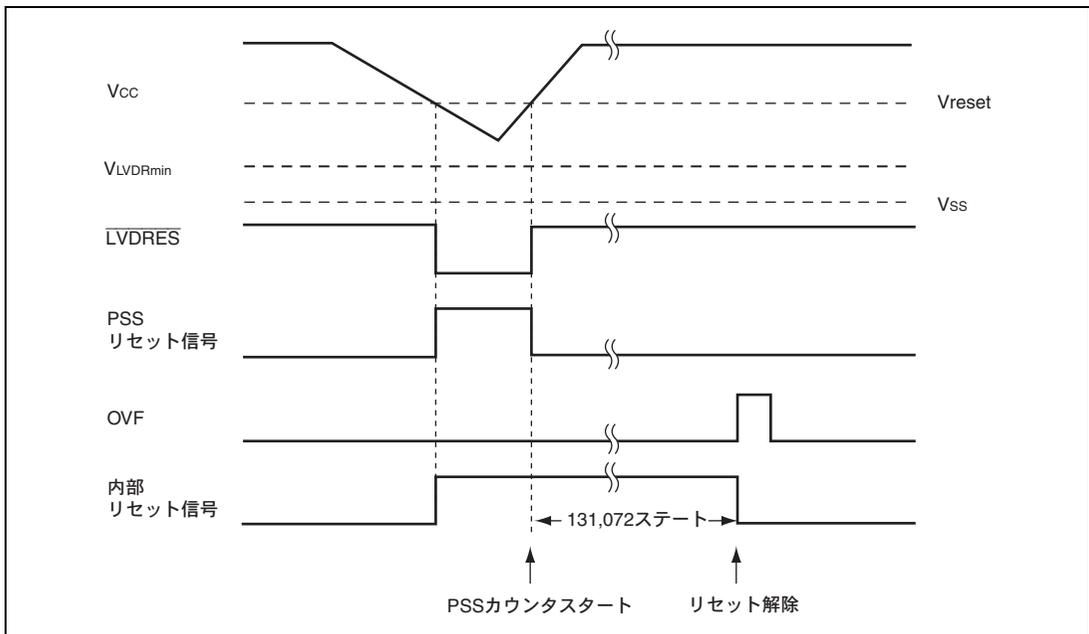


図 17.4 低電圧検出リセット回路動作タイミング

(2) 低電圧検出割り込み回路 (LVDI : 検知電圧は内部発生の場合)

LVDI の動作タイミングを図 17.5 に示します。

LVDI は電源投入時、電圧検出回路は有効になりますが、割り込み要求は無効になります。LVDI の割り込みを有効にするためには、LVDSR の LVDDF、LVUDF ビットを 0 にクリアして、LVDCR の LVDDE または LVDUE を 1 にセットする必要があります。必ず、この後にポートの出力設定を行ってください。

LVDI を解除する場合は (4) LVDR、LVDI 使用時の動作/解除設定手順にしたがってください。

また、LVDE を一度スタンバイ状態にして再度動作させる場合は、LVDE ビットを 1 にセットし、必要に応じて VDDII を 1 ライトし、基準電圧および低電圧検出電源が安定するまでの時間 t_{LVDON} (50 μ s) をソフトウェアタイマ等で待った後、LVDDF と LVUDF ビットを 0 にクリアして、LVDDE または LVDUE を 1 にセットします。必ず、この後にポートの出力設定を行ってください。

LVDI は電源電圧が降下して $V_{int(D)}$ (typ.=3.7V)電圧以下になると、 \overline{LVDINT} 信号が 0 となり、LVDDF ビットが 1 にセットされます。このとき LVDDE ビットが 1 であれば、IRQ0 割り込み要求を発生します。このとき、必要なデータを外付けの EEPROM 等に退避しスタンバイモードあるいはサブスリープモードに遷移させてください。この処理が完了するまでの間、電源電圧が動作保証下限電圧以上を保つように、電源回路を設計してください。

また、電源電圧が V_{reset1} (typ.=2.3V)電圧まで降下せず、 $V_{int(U)}$ (typ.=4.0V)電圧以上に上昇すると、 \overline{LVDINT} 信号が 1 となり、このとき LVDUE ビットが 1 であれば LVDSR の LVUDF ビットが 1 にセットされます。同時に IRQ0 割り込み要求を発生します。

電源電圧が V_{reset1} (typ.=2.3V)電圧以下まで降下した場合は、本 LSI は低電圧検出リセット動作になります。(LVDRE=1 の場合)

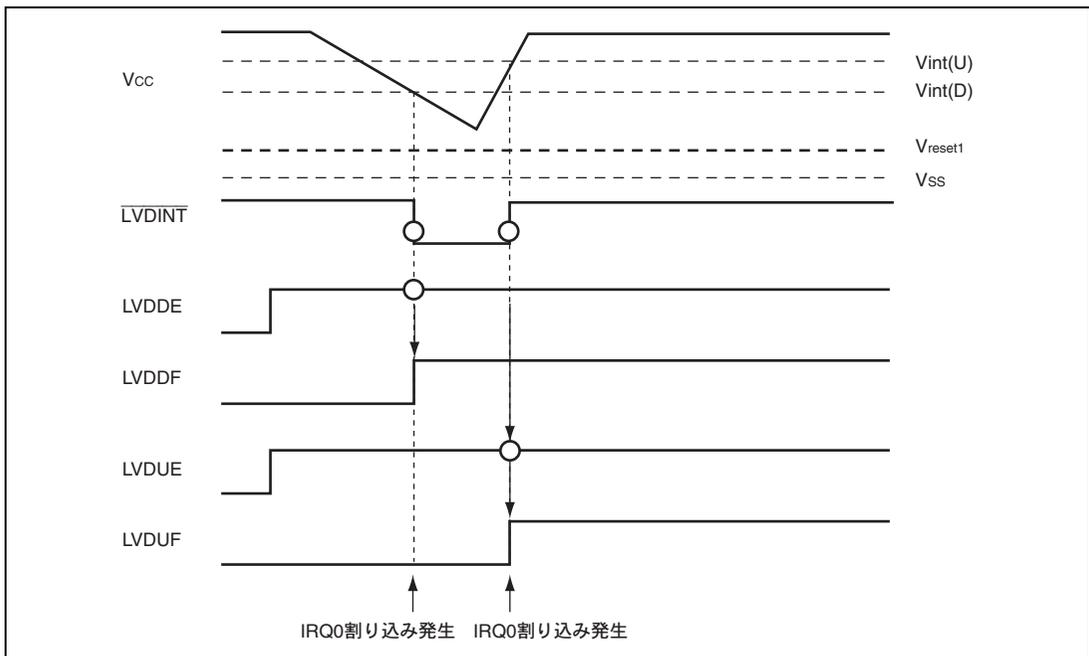


図 17.5 低電圧検出割り込み回路動作タイミング

17. バンドギャップ回路、パワーオンリセット&低電圧検出回路

(3) 低電圧検出割り込み回路 (LVDI : 検知電圧に ExtU、ExtD 端子入力使用の場合)

LVDI の動作タイミングを図 17.6 に示します。

LVDI は電源投入時、電圧検出回路は有効になりますが、割り込み要求は無効になります。LVDI の割り込みを有効にするためには、LVDSR の LVDDF、LVUDF ビットを 0 にクリアして、LVDCR の LVDDE または LVDUE を 1 にセットする必要があります。外部比較電圧を使用する場合は、LVDCR の VDDII を 0 ライトし、検出回路が安定するまでの時間 t_{LVDON} (50 μ s) ソフトウェアタイマ等で待った後、LVDDF と LVUDF ビットを 0 にクリアして、LVDDE または LVDUE を 1 にセットします。必ず、この後にポートの出力設定を行ってください。ExtU、ExtD 端子の外部比較電圧の初期値は必ず V_{exd} より高い電圧を印加してください。

LVDI を解除および再設定する場合は (4) LVDR、LVDI 使用時の動作/解除設定手順にしたがってください。

LVDI は ExtD 端子の電圧が低下して V_{exd} (typ.=1.15V)電圧以下になると、 \overline{LVDINT} 信号が 0 となり、LVDDF ビットが 1 にセットされます。このとき LVDDE ビットが 1 であれば、IRQ0 割り込み要求を発生します。このとき、必要なデータを外付けの EEPROM 等に退避しスタンバイモードあるいはサブスリープモードに遷移させてください。この処理が完了するまでの間、電源電圧が動作保証下限電圧以上を保つように、電源回路を設計してください。

また、電源電圧が V_{reset1} (typ.=2.3V)電圧まで降下せず、ExtU 端子入力電圧が V_{exd} (typ.=1.15V)電圧以上に上昇すると、 \overline{LVDINT} 信号が 1 となり、このとき LVDUE ビットが 1 であれば LVDSR の LVUDF ビットが 1 にセットされます。同時に IRQ0 割り込み要求を発生します。電源電圧が V_{reset1} (typ.=2.3V)電圧まで降下した場合は、本 LSI は低電圧検出リセット動作になります。検出電圧に ExtU、ExtD 端子入力使用の場合は必ず LVDR (リセット検知電圧 typ.=2.3V) も使用してください。

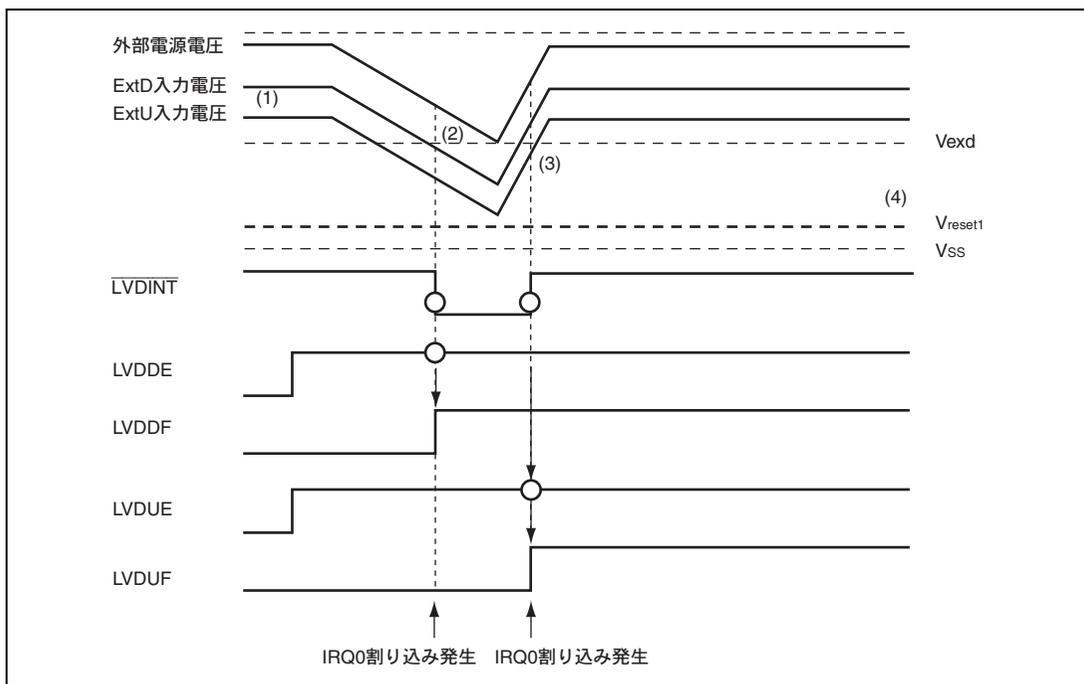


図 17.6 低電圧検出割り込み回路動作タイミング (検知電圧に ExtU、ExtD 端子入力使用の場合)

(4) LVDR、LVDI 使用時の動作／解除設定手順

低電圧検出回路は初期値状態で動作しています。正常に解除または動作させるためには、以下の手順で設定してください。低電圧検出回路の解除および動作を設定する場合のタイミングを図 17.7 に示します。

1. 低電圧検出回路を解除する場合は、LVDRE、LVDDE、LVDUEビットをすべて0にクリアした後、LVDE、BGREビットを0にクリアします。また必要に応じてLVDCRのVDDIIを1にセットします。誤動作の原因となるため、LVDE、BGREビットはLVDRE、LVDDE、LVDUEビットと同時にクリアしないでください。
2. 低電圧検出回路を動作させる場合は、まずLVDCRのLVDE、BGREビットを1にセットします。ExtU、ExtD端子による外部比較電圧を使用する場合はLVDDIIを0にクリアします。
3. 基準電圧および低電圧検出電源が安定するまでの時間 ($t_{LVDON}=50\mu s$) をソフトウェアタイマ等で待った後、LVDSRのLVDDFとLVDUFビットを0にクリアして、必要に応じてLVDCRのLVDRE、LVDDE、LVDUEビットを1にセットします。

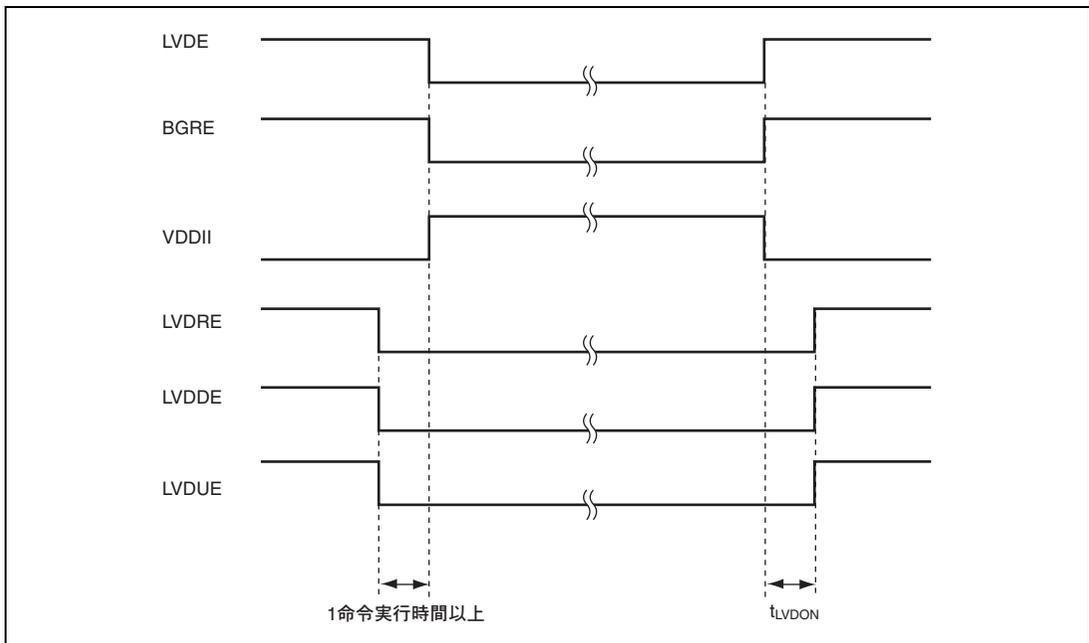


図 17.7 低電圧検出回路の解除／動作の設定タイミング

17. バンドギャップ回路、パワーオンリセット&低電圧検出回路

18. 電源回路

本 LSI には内部電源降圧回路が内蔵されています。この内部電源降圧回路を使用することにより、外部 Vcc 端子に接続された電源電圧に依存することなく、内部電源を約 3.0V に固定することができます。このため外部電源を 3.0V 以上で使用した場合に消費される電流値を約 3.0V で使用した場合とほぼ同等に抑えることができます。外部電圧が 3.0V 以下の場合は内部電圧は外部電圧とほぼ同一となります。内部電源降圧回路を使用せずに内部電源電圧を外部電源電圧と同一として使用することもできます。

18.1 内部電源降圧回路を使用する場合

図 18.1 のように、Vcc 端子に外部電源を接続し、VCL と Vss 間に約 0.1 μ F の容量を接続してください。この外部回路を付加することにより内部降圧回路が有効になります。外部回路の入出力レベルは Vcc に接続されている外部電源電圧と Vss に接続されている GND 電位が基準となります。例えば、ポートの入出力レベルは High が Vcc 基準、Low が Vss 基準となります。A/D 変換器のアナログ電源は内部降圧回路の影響は受けません。

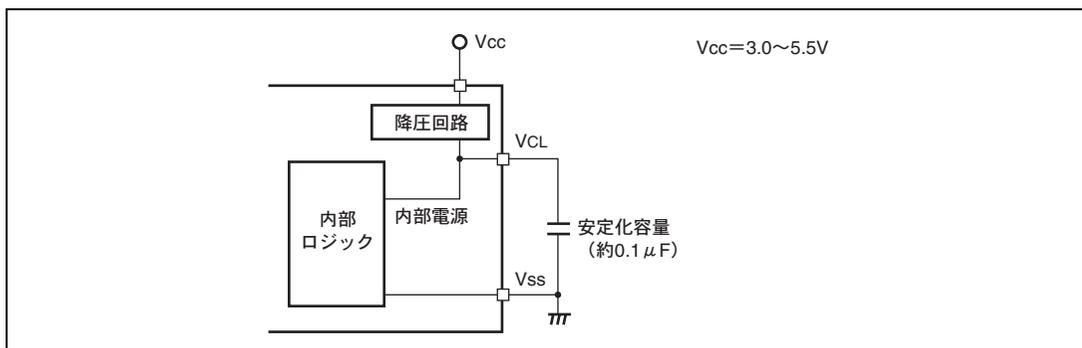


図 18.1 内部電源降圧回路を使用する場合の電源接続図

18.2 内部電源降圧回路を使用しない場合

図 18.2 のように V_{CL} と V_{CC} 端子に外部電源を接続してください。外部電源が直接内部電源に供給されます。使用可能な電源電圧は 3.0V~3.6V です。この範囲を超える電源を供給した場合の動作は保証されません。

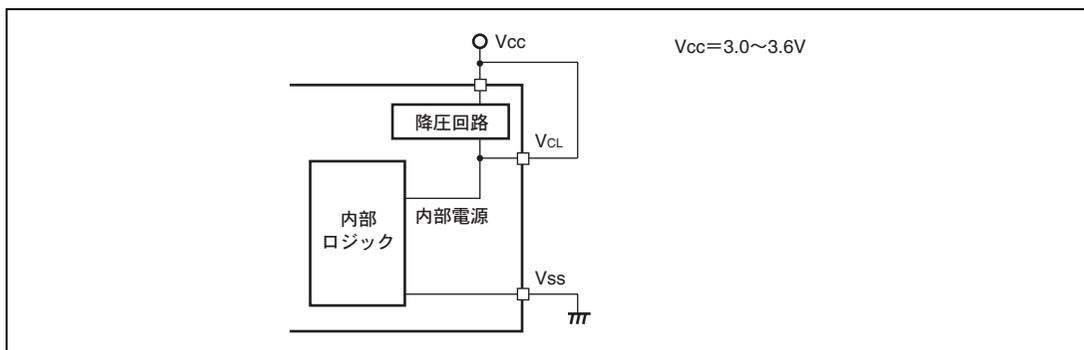


図 18.2 内部電源降圧回路を使用しない場合の電源接続図

19. レジスタ一覧

レジスタ一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記の通りです。

1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- モジュール名称による分類をしています。
- データバス幅を表示しています。
- アクセスステート数を表示しています。

2. レジスタビット一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載しています。
- リザーブビットは、ビット名称部に「-」で表記しています。
- 16ビットのレジスタの場合、MSB側のビットから記載しています。

3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載しています。
- 基本的な動作モードにおけるレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、内蔵モジュールの章を参照してください。

19. レジスタ一覧

19.1 レジスタアドレス一覧 (アドレス順)

データバス幅は、ビット数を示します。

アクセスステート数は、指定の基準クロックのステート数を示します。

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート数
低電圧検出コントロールレジスタ	LVDCR	8	H'F730	低電圧検出回路	8	2
低電圧検出ステータスレジスタ	LVDSR	8	H'F731	低電圧検出回路	8	2
クロックコントロールステータスレジスタ	CKCSR	8	H'F734	クロック発振器	8	2
RC コントロールレジスタ	RCCR	8	H'F735	オンチップ オシレータ	8	2
RC トリミングデータプロテクトレジスタ	RCTRM DPR	8	H'F736	オンチップ オシレータ	8	2
RC トリミングデータレジスタ	RCTRM DR	8	H'F737	オンチップ オシレータ	8	2
I ² C バスコントロールレジスタ 1	ICCR1	8	H'F748	IIC2	8	2
I ² C バスコントロールレジスタ 2	ICCR2	8	H'F749	IIC2	8	2
I ² C バスモードレジスタ	ICMR	8	H'F74A	IIC2	8	2
I ² C バスインタラプティネーブルレジスタ	ICIER	8	H'F74B	IIC2	8	2
I ² C バスステータスレジスタ	ICSR	8	H'F74C	IIC2	8	2
スリープアドレスレジスタ	SAR	8	H'F74D	IIC2	8	2
I ² C バス送信データレジスタ	ICDRT	8	H'F74E	IIC2	8	2
I ² C バス受信データレジスタ	ICDRR	8	H'F74F	IIC2	8	2
タイマモードレジスタ B1	TMB1	8	H'F760	タイマ B1	8	2
タイマカウンタ B1/ タイマロードレジスタ B1	TCB1(R)/ TLB1(W)	8	H'F761	タイマ B1	8	2
タイマモードレジスタ W	TMRW	8	H'FF80	タイマ W	8	2
タイマコントロールレジスタ W	TCRW	8	H'FF81	タイマ W	8	2
タイマインタラプティネーブルレジスタ W	TIERW	8	H'FF82	タイマ W	8	2
タイマステータスレジスタ W	TSRW	8	H'FF83	タイマ W	8	2
タイマ I/O コントロールレジスタ 0	TIOR0	8	H'FF84	タイマ W	8	2
タイマ I/O コントロールレジスタ 1	TIOR1	8	H'FF85	タイマ W	8	2
タイマカウンタ	TCNT	16	H'FF86	タイマ W	16* ¹	2
ジェネラルレジスタ A	GRA	16	H'FF88	タイマ W	16* ¹	2
ジェネラルレジスタ B	GRB	16	H'FF8A	タイマ W	16* ¹	2
ジェネラルレジスタ C	GRC	16	H'FF8C	タイマ W	16* ¹	2
ジェネラルレジスタ D	GRD	16	H'FF8E	タイマ W	16* ¹	2
フラッシュメモリコントロールレジスタ 1	FLMCR1	8	H'FF90	ROM	8	2
フラッシュメモリコントロールレジスタ 2	FLMCR2	8	H'FF91	ROM	8	2

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート数
ブロック指定レジスタ 1	EBR1	8	H'FF93	ROM	8	2
フラッシュメモリエnableレジスタ	FENR	8	H'FF9B	ROM	8	2
タイマコントロールレジスタ V0	TCRV0	8	H'FFA0	タイマ V	8	3
タイマコントロール/ステータスレジスタ V	TCSR V	8	H'FFA1	タイマ V	8	3
タイムコンスタントレジスタ A	TCORA	8	H'FFA2	タイマ V	8	3
タイムコンスタントレジスタ B	TCORB	8	H'FFA3	タイマ V	8	3
タイマカウンタ V	TCNT V	8	H'FFA4	タイマ V	8	3
タイマコントロールレジスタ V1	TCRV1	8	H'FFA5	タイマ V	8	3
シリアルモードレジスタ	SMR	8	H'FFA8	SCI3	8	3
ビットレートレジスタ	BRR	8	H'FFA9	SCI3	8	3
シリアルコントロールレジスタ 3	SCR3	8	H'FFAA	SCI3	8	3
トランスミットデータレジスタ	TDR	8	H'FFAB	SCI3	8	3
シリアルステータスレジスタ	SSR	8	H'FFAC	SCI3	8	3
レシーブデータレジスタ	RDR	8	H'FFAD	SCI3	8	3
サンプリングモードレジスタ	SPMR	8	H'FFAE	SCI3	8	3
A/D データレジスタ A	ADDRA	16	H'FFB0	A/D 変換器	8	3
A/D データレジスタ B	ADDRB	16	H'FFB2	A/D 変換器	8	3
A/D データレジスタ C	ADDRC	16	H'FFB4	A/D 変換器	8	3
A/D データレジスタ D	ADDRD	16	H'FFB6	A/D 変換器	8	3
A/D コントロール/ステータスレジスタ	ADCSR	8	H'FFB8	A/D 変換器	8	3
A/D コントロールレジスタ	ADCR	8	H'FFB9	A/D 変換器	8	3
タイマコントロール/ステータスレジスタ WD	TCSRWD	8	H'FFC0	WDT*2	8	2
タイマカウンタ WD	TCWD	8	H'FFC1	WDT*2	8	2
タイマモードレジスタ WD	TMWD	8	H'FFC2	WDT*2	8	2
アドレスブレイクコントロールレジスタ	ABRKCR	8	H'FFC8	アドレスブレイク	8	2
アドレスブレイクステータスレジスタ	ABRKSR	8	H'FFC9	アドレスブレイク	8	2
ブレイクアドレスレジスタ H	BARH	8	H'FFCA	アドレスブレイク	8	2
ブレイクアドレスレジスタ L	BARL	8	H'FFCB	アドレスブレイク	8	2
ブレイクデータレジスタ H	BDRH	8	H'FFCC	アドレスブレイク	8	2
ブレイクデータレジスタ L	BDRL	8	H'FFCD	アドレスブレイク	8	2
ポートブルアップコントロールレジスタ 1	PUCR1	8	H'FFD0	I/O ポート	8	2
ポートブルアップコントロールレジスタ 5	PUCR5	8	H'FFD1	I/O ポート	8	2
ポートデータレジスタ 1	PDR1	8	H'FFD4	I/O ポート	8	2
ポートデータレジスタ 2	PDR2	8	H'FFD5	I/O ポート	8	2
ポートデータレジスタ 5	PDR5	8	H'FFD8	I/O ポート	8	2
ポートデータレジスタ 7	PDR7	8	H'FFDA	I/O ポート	8	2
ポートデータレジスタ 8	PDR8	8	H'FFDB	I/O ポート	8	2

19. レジスタ一覧

レジスタ名称	略称	ビット 数	アドレス	モジュール	データ バス幅	アクセス ステート数
ポートデータレジスタ B	PDRB	8	H'FFDD	I/O ポート	8	2
ポートデータレジスタ C	PDRC	8	H'FFDE	I/O ポート	8	2
ポートモードレジスタ 1	PMR1	8	H'FFE0	I/O ポート	8	2
ポートモードレジスタ 5	PMR5	8	H'FFE1	I/O ポート	8	2
ポートコントロールレジスタ 1	PCR1	8	H'FFE4	I/O ポート	8	2
ポートコントロールレジスタ 2	PCR2	8	H'FFE5	I/O ポート	8	2
ポートコントロールレジスタ 5	PCR5	8	H'FFE8	I/O ポート	8	2
ポートコントロールレジスタ 7	PCR7	8	H'FFEA	I/O ポート	8	2
ポートコントロールレジスタ 8	PCR8	8	H'FFEB	I/O ポート	8	2
ポートコントロールレジスタ C	PCRC	8	H'FFEE	I/O ポート	8	2
システムコントロールレジスタ 1	SYSCR1	8	H'FFF0	低消費電力	8	2
システムコントロールレジスタ 2	SYSCR2	8	H'FFF1	低消費電力	8	2
割り込みエッジセレクトレジスタ 1	IEGR1	8	H'FFF2	割り込み	8	2
割り込みエッジセレクトレジスタ 2	IEGR2	8	H'FFF3	割り込み	8	2
割り込みイネーブルレジスタ 1	IENR1	8	H'FFF4	割り込み	8	2
割り込みイネーブルレジスタ 2	IENR2	8	H'FFF5	割り込み	8	2
割り込みフラグレジスタ 1	IRR1	8	H'FFF6	割り込み	8	2
割り込みフラグレジスタ 2	IRR2	8	H'FFF7	割り込み	8	2
ウェイクアップ割り込みフラグレジスタ	IWPR	8	H'FFF8	割り込み	8	2
モジュールスタンバイコントロール レジスタ 1	MSTCR1	8	H'FFF9	低消費電力	8	2
モジュールスタンバイコントロール レジスタ 2	MSTCR2	8	H'FFFA	低消費電力	8	2

【注】 *1 ワードアクセスのみ可能です。

*2 WDT : ウォッチドッグタイマ

19.2 レジスタビット一覧

内蔵周辺モジュールのレジスタのビット名を以下に示します。

16ビットレジスタは、8ビットずつ2段で表しています。

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
LVDCR	LVDE	BGRE	VDDII	—	LVDSEL	LVDRE	LVDDE	LVDUE	低電圧検出 回路
LVDSR	—	—	—	—	—	—	LVDDF	LVDFUF	
CKCSR	PMRC1	PMRC0	—	OSCSEL	CKSWIE	CKSWIF	—	CKSTA	クロック 発振器
RCCR	RCSTP	FSEL	VCLSEL	—	—	—	RCPSC1	RCPSC0	オンチップ オシレータ
RCTRMDPR	WRI	PRWE	LOCKDW	TRMDRWE	—	—	—	—	
RCTRMDR	TRMD7	TRMD6	TRMD5	TRMD4	TRMD3	TRMD2	TRMD1	TRMD0	
ICCR1	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	IIC2
ICCR2	BBSY	SCP	SDAO	SDAOP	SCLO	—	IICRST	—	
ICMR	MLS	WAIT	—	—	BCWP	BC2	BC1	BC0	
ICIER	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR	TDRE	TEND	RDRF	NACKF	STOP	AL/OVE	AAS	ADZ	
SAR	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS	
ICDRT	ICDRT7	ICDRT6	ICDRT5	ICDRT4	ICDRT3	ICDRT2	ICDRT1	ICDRT0	
ICDRR	ICDRR7	ICDRR6	ICDRR5	ICDRR4	ICDRR3	ICDRR2	ICDRR1	ICDRR0	
TMB1	TMB17	—	—	—	—	TMB12	TMB11	TMB10	タイマ B1
TCB1(R)/ TLB1(W)	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
TMRW	CTS	—	BUFEB	BUFEA	—	PWMD	PWMC	PWMB	タイマ W
TCRW	CCLR	CKS2	CKS1	CKS0	TOD	TOC	TOB	TOA	
TIERW	OVIE	—	—	—	IMIED	IMIEC	IMIEB	IMIEA	
TSRW	OVF	—	—	—	IMFD	IMFC	IMFB	IMFA	
TIOR0	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
TIOR1	—	IOD2	IOD1	IOD0	—	IOC2	IOC1	IOC0	
TCNT	TCNT15	TCNT14	TCNT13	TCNT12	TCNT11	TCNT10	TCNT9	TCNT8	
	TCNT7	TCNT6	TCNT5	TCNT4	TCNT3	TCNT2	TCNT1	TCNT0	
GRA	GRA15	GRA14	GRA13	GRA12	GRA11	GRA10	GRA9	GRA8	
	GRA7	GRA6	GRA5	GRA4	GRA3	GRA2	GRA1	GRA0	
GRB	GRB15	GRB14	GRB13	GRB12	GRB11	GRB10	GRB9	GRB8	
	GRB7	GRB6	GRB5	GRB4	GRB3	GRB2	GRB1	GRB0	
GRC	GRC15	GRC14	GRC13	GRC12	GRC11	GRC10	GRC9	GRC8	
	GRC7	GRC6	GRC5	GRC4	GRC3	GRC2	GRC1	GRC0	
GRD	GRD15	GRD14	GRD13	GRD12	GRD11	GRD10	GRD9	GRD8	
	GRD7	GRD6	GRD5	GRD4	GRD3	GRD2	GRD1	GRD0	

19. レジスタ一覧

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
FLMCR1	—	SWE	ESU	PSU	EV	PV	E	P	ROM
FLMCR2	FLER	—	—	—	—	—	—	—	
EBR1	—	—	EB5	EB4	EB3	EB2	EB1	EB0	
FENR	FLSHE	—	—	—	—	—	—	—	
TCRV0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	タイマV
TCSRv	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	
TCORA	TCORA7	TCORA6	TCORA5	TCORA4	TCORA3	TCORA2	TCORA1	TCORA0	
TCORB	TCORB7	TCORB6	TCORB5	TCORB4	TCORB3	TCORB2	TCORB1	TCORB0	
TCNTV	TCNTV7	TCNTV6	TCNTV5	TCNTV4	TCNTV3	TCNTV2	TCNTV1	TCNTV0	
TCRV1	—	—	—	TVEG1	TVEG0	TRGE	—	ICKS0	
SMR	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	SCI3
BRR	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	
SCR3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	
SSR	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
RDR	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
SPMR	—	—	—	—	—	STDSPM	—	—	
ADDRA	AD9 AD1	AD8 AD0	AD7 —	AD6 —	AD5 —	AD4 —	AD3 —	AD2 —	A/D 変換器
ADDRB	AD9 AD1	AD8 AD0	AD7 —	AD6 —	AD5 —	AD4 —	AD3 —	AD2 —	
ADDRC	AD9 AD1	AD8 AD0	AD7 —	AD6 —	AD5 —	AD4 —	AD3 —	AD2 —	
ADDRD	AD9 AD1	AD8 AD0	AD7 —	AD6 —	AD5 —	AD4 —	AD3 —	AD2 —	
ADCSR	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	
ADCR	TRGE	—	—	—	—	—	—	—	
TCSRWD	B6WI	TCWE	B4WI	TCSRWE	B2WI	WDON	B0WI	WRST	WDT*
TCWD	TCWD7	TCWD6	TCWD5	TCWD4	TCWD3	TCWD2	TCWD1	TCWD0	
TMWD	—	—	—	—	CKS3	CKS2	CKS1	CKS0	
ABRKCR	RTINTE	CSEL1	CSEL0	ACMP2	ACMP1	ACMP0	DCMP1	DCMP0	アドレス
ABRKSR	ABIF	ABIE	—	—	—	—	—	—	ブレーク
BARH	BARH7	BARH6	BARH5	BARH4	BARH3	BARH2	BARH1	BARH0	
BARL	BARL7	BARL6	BARL5	BARL4	BARL3	BARL2	BARL1	BARL0	
BDRH	BDRH7	BDRH6	BDRH5	BDRH4	BDRH3	BDRH2	BDRH1	BDRH0	
BDRL	BDRL7	BDRL6	BDRL5	BDRL4	BDRL3	BDRL2	BDRL1	BDRL0	

レジスタ 略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	モジュール
PUCR1	PUCR17	—	—	PUCR14	—	—	—	—	I/Oポート
PUCR5	—	—	PUCR55	—	—	—	—	—	
PDR1	P17	—	—	P14	—	—	—	—	
PDR2	—	—	—	—	—	P22	P21	P20	
PDR5	P57	P56	P55	—	—	—	—	—	
PDR7	—	P76	P75	P74	—	—	—	—	
PDR8	—	—	—	P84	P83	P82	P81	P80	
PDRB	—	—	—	—	PB3	PB2	PB1	PB0	
PDRC	—	—	—	—	—	—	PC1	PC0	
PMR1	IRQ3	—	—	IRQ0	—	—	TXD	—	
PMR5	—	—	WKP5	—	—	—	—	—	
PCR1	PCR17	—	—	PCR14	—	—	—	—	
PCR2	—	—	—	—	—	PCR22	PCR21	PCR20	
PCR5	PCR57	PCR56	PCR55	—	—	—	—	—	
PCR7	—	PCR76	PCR75	PCR74	—	—	—	—	
PCR8	—	—	—	PCR84	PCR83	PCR82	PCR81	PCR80	
PCRC	—	—	—	—	—	—	PCRC1	PCRC0	
SYSCR1	SSBY	STS2	STS1	STS0	—	—	—	—	低消費電力
SYSCR2	SMSSEL	—	DTON	MA2	MA1	MA0	—	—	
IEGR1	—	—	—	—	IEG3	—	—	IEG0	割り込み
IEGR2	—	—	WPEG5	—	—	—	—	—	
IENR1	IENDT	—	IENWP	—	IEN3	—	—	IEN0	
IENR2	—	—	IENTB1	—	—	—	—	—	
IRR1	IRRDT	—	—	—	IRRI3	—	—	IRRI0	
IRR2	—	—	IRRTB1	—	—	—	—	—	
IWPR	—	—	IWPF5	—	—	—	—	—	
MSTCR1	—	MSTIIC	MSTS3	MSTAD	MSTWD	MSTTW	MSTTV	—	低消費電力
MSTCR2	—	—	—	MSTTB1	—	—	—	—	

【注】 *WDT：ウォッチドッグタイマ

19.3 各動作モードにおけるレジスタの状態

レジスタ略称	リセット	アクティブ	スリープ	サブスリープ	スタンバイ	モジュール	
LVDCR	初期化	—	—	—	—	低電圧検出回路	
LVDSR	初期化	—	—	—	—		
CKCSR	初期化	—	—	—	—	クロック発振器	
RCCR	初期化	—	—	—	—	オンチップ	
RCTRM DPR	初期化	—	—	—	—	オシレータ	
RCTRM DR	初期化	—	—	—	—		
ICCR1	初期化	—	—	—	—	IIC2	
ICCR2	初期化	—	—	—	—		
ICMR	初期化	—	—	—	—		
ICIER	初期化	—	—	—	—		
ICSR	初期化	—	—	—	—		
SAR	初期化	—	—	—	—		
ICDRT	初期化	—	—	—	—		
ICDRR	初期化	—	—	—	—		
TMB1	初期化	—	—	—	—		タイマ B1
TCB1/TLB1	初期化	—	—	—	—		
TMRW	初期化	—	—	—	—		タイマ W
TCRW	初期化	—	—	—	—		
TIERW	初期化	—	—	—	—		
TSRW	初期化	—	—	—	—		
TIOR0	初期化	—	—	—	—		
TIOR1	初期化	—	—	—	—		
TCNT	初期化	—	—	—	—		
GRA	初期化	—	—	—	—		
GRB	初期化	—	—	—	—		
GRC	初期化	—	—	—	—		
GRD	初期化	—	—	—	—		
FLMCR1	初期化	—	—	初期化	初期化	ROM	
FLMCR2	初期化	—	—	初期化	初期化		
EBR1	初期化	—	—	初期化	初期化		
FENR	初期化	—	—	初期化	初期化		
TCRV0	初期化	—	—	初期化	初期化	タイマ V	
TCSR V	初期化	—	—	初期化	初期化		
TCORA	初期化	—	—	初期化	初期化		
TCORB	初期化	—	—	初期化	初期化		
TCNTV	初期化	—	—	初期化	初期化		

レジスタ略称	リセット	アクティブ	スリープ	サブスリープ	スタンバイ	モジュール
TCRV1	初期化	—	—	初期化	初期化	タイマV
SMR	初期化	—	—	初期化	初期化	SCI3
BRR	初期化	—	—	初期化	初期化	
SCR3	初期化	—	—	初期化	初期化	
TDR	初期化	—	—	初期化	初期化	
SSR	初期化	—	—	初期化	初期化	
RDR	初期化	—	—	初期化	初期化	
SPMR	初期化	—	—	初期化	初期化	
ADDRA	初期化	—	—	初期化	初期化	A/D 変換器
ADDRB	初期化	—	—	初期化	初期化	
ADDRC	初期化	—	—	初期化	初期化	
ADDRD	初期化	—	—	初期化	初期化	
ADCSR	初期化	—	—	初期化	初期化	
ADCR	初期化	—	—	初期化	初期化	
TCSRWD	初期化	—	—	—	—	
TCWD	初期化	—	—	—	—	
TMWD	初期化	—	—	—	—	
ABRKCR	初期化	—	—	—	—	アドレスブレイク
ABRKSR	初期化	—	—	—	—	
BARH	初期化	—	—	—	—	
BARL	初期化	—	—	—	—	
BDRH	初期化	—	—	—	—	
BDRL	初期化	—	—	—	—	
PUCR1	初期化	—	—	—	—	
PUCR5	初期化	—	—	—	—	
PDR1	初期化	—	—	—	—	
PDR2	初期化	—	—	—	—	
PDR5	初期化	—	—	—	—	
PDR7	初期化	—	—	—	—	
PDR8	初期化	—	—	—	—	
PDRB	初期化	—	—	—	—	
PDRC	初期化	—	—	—	—	
PMR1	初期化	—	—	—	—	
PMR5	初期化	—	—	—	—	
PCR1	初期化	—	—	—	—	
PCR2	初期化	—	—	—	—	
PCR5	初期化	—	—	—	—	
PCR7	初期化	—	—	—	—	
PCR8	初期化	—	—	—	—	
PCRC	初期化	—	—	—	—	

19. レジスタ一覧

レジスタ略称	リセット	アクティブ	スリープ	サブスリープ	スタンバイ	モジュール
SYSCR1	初期化	-	-	-	-	低消費電力
SYSCR2	初期化	-	-	-	-	
IEGR1	初期化	-	-	-	-	割り込み
IEGR2	初期化	-	-	-	-	
IENR1	初期化	-	-	-	-	
IENR2	初期化	-	-	-	-	
IRR1	初期化	-	-	-	-	
IRR2	初期化	-	-	-	-	
IWPR	初期化	-	-	-	-	
MSTCR1	初期化	-	-	-	-	低消費電力
MSTCR2	初期化	-	-	-	-	

【注】 -は初期化されません。

* WDT : ウォッチドッグタイマ

20. 電気的特性

20.1 絶対最大定格

表 20.1 絶対最大定格

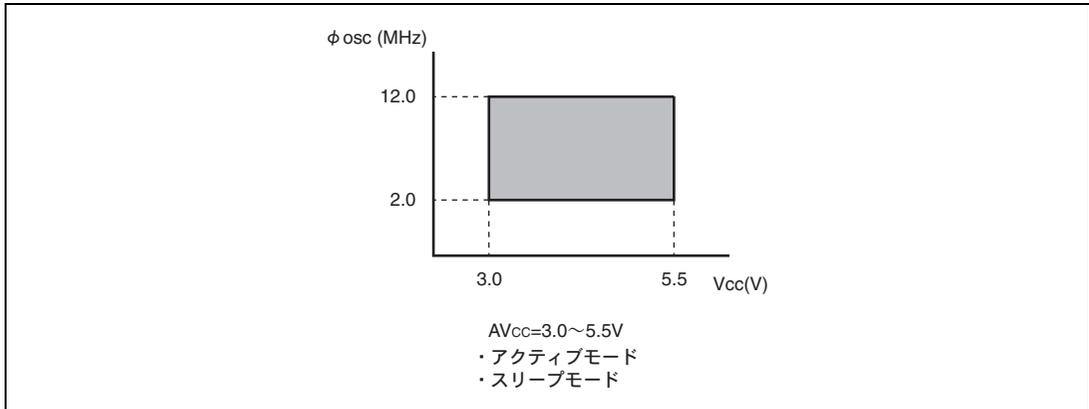
項目		記号	規格値	単位	備考
電源電圧		Vcc	-0.3~+7.0	V	*
アナログ電源電圧		AVcc	-0.3~+7.0	V	
入力電圧	ポート B 以外	VIN	-0.3~Vcc+0.3	V	
	ポート B		-0.3~AVcc+0.3	V	
動作温度		Topr	-20~+75	°C	
保存温度		Tstg	-55~+125	°C	

【注】 * 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件を超えると LSI の誤動作の原因になるとともに、LSI の信頼性に悪影響をおよぼすことがあります。

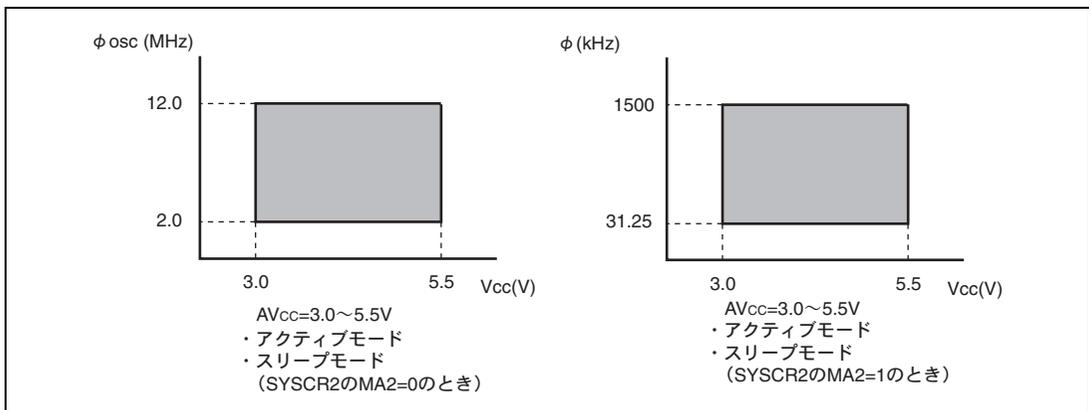
20.2 電気的特性 (F-ZTAT™ 版)

20.2.1 電源電圧と動作範囲

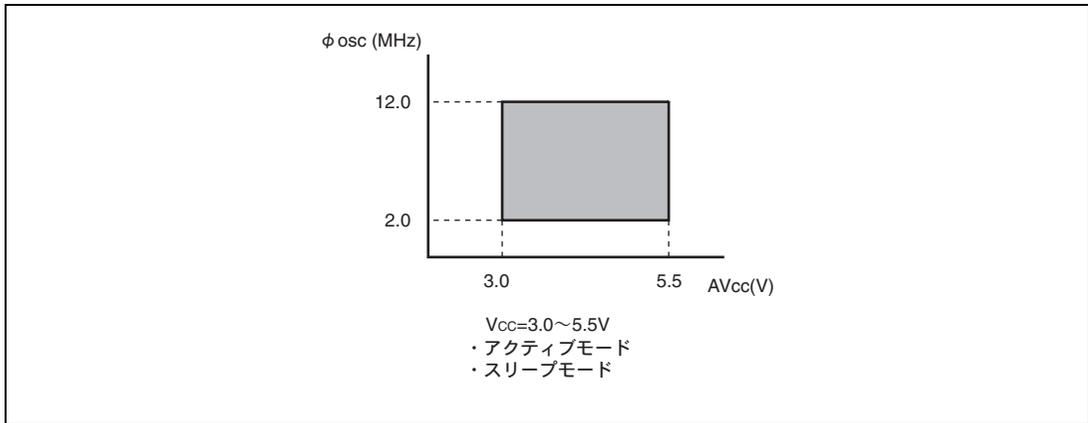
(1) 電源電圧と外部発振周波数の範囲



(2) 電源電圧と動作周波数の範囲



(3) アナログ電源電圧と A/D 変換器の精度保証範囲



20. 電気的特性

20.2.2 DC 特性

表 20.2 DC 特性 (1)

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
入力 High レベル電圧	V _{IH}	RES、NMI WKP5 IRQ0、IRQ3 ADTRG TMRIV、TMCIV FTCI、FTIOA FTIOB、FTIOC FTIOD SCK3、TRGV	Vcc=4.0~5.5V	Vcc×0.8	—	Vcc+0.3	V	
		FTCI、FTIOA FTIOB、FTIOC FTIOD SCK3、TRGV		Vcc×0.9		Vcc+0.3	V	
		RXD、SCL、SDA P17、P14 P22~P20 P57~P55 P76~P74 P84~P80 PC1、PC0	Vcc=4.0~5.5V	Vcc×0.7	—	Vcc+0.3	V	
				Vcc×0.8	—	Vcc+0.3	V	
		PB3~PB0	AVcc=4.0~5.5V	AVcc×0.7	—	AVcc+0.3	V	
			AVcc=3.0~5.5V	AVcc×0.8	—	AVcc+0.3	V	
		OSC1	Vcc=4.0~5.5V	Vcc-0.5	—	Vcc+0.3	V	
				Vcc-0.3	—	Vcc+0.3	V	

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	備考		
				Min	Typ	Max				
入力 Low レベル電圧	V _{IL}	RES、NMI WKP5 IRQ0、IRQ3 ADTRG TMRIV、TMCIV	Vcc=4.0~5.5V	-0.3	-	Vcc×0.2	V			
		FTCI、FTIOA FTIOB、FTIOC FTIOD SCK3、TRGV		-0.3	-	Vcc×0.1	V			
		RXD、SCL、SDA P17、P14 P22~P20 P57~P55 P76~P74 P84~P80 PC1、PC0	Vcc=4.0~5.5V	-0.3	-	Vcc×0.3	V			
			-0.3	-	Vcc×0.2	V				
		PB3~PB0	AVcc=4.0~5.5V	-0.3	-	AVcc×0.3	V			
			AVcc=3.0~5.5V	-0.3	-	AVcc×0.2				
		OSC1	Vcc=4.0~5.5V	-0.3	-	0.5	V			
				-0.3	-	0.3	V			
		出力 High レベル電圧	V _{OH}	P17、P14 P22~P20 P55	Vcc=4.0~5.5V -I _{OH} =4mA	Vcc-1.0	-	-	V	
				P76~P74 P84~P80 PC1、PC0	-I _{OH} =0.1mA	Vcc-0.5	-	-	V	
P56、P57	Vcc=4.0~5.5V -I _{OH} =0.1mA			Vcc-2.5	-	-	V			
	Vcc=3.0~4.0V -I _{OH} =0.1mA			Vcc-2.2	-	-	V			

20. 電気的特性

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	備考		
				Min	Typ	Max				
出力 Low レベル電圧	VOL	P17、P14 P22~P20 P57~P55 P76~P74 PC1、PC0	Vcc=4.0~5.5V I _{OL} =1.6mA	—	—	0.6	V			
			I _{OL} =0.4mA	—	—	0.4	V			
		P84~P80	Vcc=4.0~5.5V I _{OL} =20.0mA	—	—	1.5	V			
			Vcc=4.0~5.5V I _{OL} =10.0mA	—	—	1.0	V			
			Vcc=4.0~5.5V I _{OL} =1.6mA	—	—	0.4	V			
			I _{OL} =0.4mA	—	—	0.4	V			
		SCL、SDA	Vcc=4.0~5.5V I _{OL} =6.0mA	—	—	0.6	V			
			I _{OL} =3.0mA	—	—	0.4	V			
		入出力 リーク電流	I _{IL}	OSC1 NMI WKP5 IRQ0、IRQ3 ADTRG、TRGV TMRIV、TMCIV FTCI、FTIOA FTIOB、FTIOC FTIOD RXD、 SCK3、SCL、SDA	V _{IN} =0.5V~ (Vcc-0.5V)	—	—	1.0	μA	
				P17、P14 P22~P20 P57~P55 P76~P74 P84~P80 PC1、PC0	V _{IN} =0.5V~ (Vcc-0.5V)	—	—	1.0	μA	
PB3~PB0	V _{IN} =0.5V~ (AVcc-0.5V)			—	—	1.0	μA			

20. 電気的特性

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
ブルアップ MOS 電流	-Ip	P17、P14 P55	Vcc=5.0V VIN=0.0V	50.0	-	300.0	μA	
			Vcc=3.0V VIN=0.0V	-	60.0	-	μA	参考値
入力容量	CIN	電源端子を 除く 全入力端子	f=1MHz VIN=0.0V Ta=25°C	-	-	15.0	pF	
アクティブ モード消費 電流	IOPE1	Vcc	アクティブモード 1 Vcc=5.0V、fosc=12MHz	-	12.0	18.0	mA	*
			アクティブモード 1 Vcc=3.0V、fosc=12MHz	-	9.6	-	mA	参考値 *
	IOPE2	Vcc	アクティブモード 2 Vcc=5.0V、fosc=12MHz	-	2.0	2.5	mA	*
			アクティブモード 2 Vcc=3.0V、fosc=12MHz	-	1.5	-	mA	参考値 *
スリープ モード 消費電流	ISLEEP1	Vcc	スリープモード 1 Vcc=5.0V、fosc=12MHz	-	7.2	12.0	mA	*
			スリープモード 1 Vcc=3.0V、fosc=12MHz	-	6.0	-	mA	参考値 *
	ISLEEP2	Vcc	スリープモード 2 Vcc=5.0V、fosc=12MHz	-	1.8	2.2	mA	*
			スリープモード 2 Vcc=3.0V、fosc=12MHz	-	1.4	-	mA	参考値 *
サブスリープ モード 消費電流	ISUBSP	Vcc	Vcc=5.0V LVDE=0、BGRE=0	-	-	5.0	μA	*
スタンバイ モード 消費電流	ISTBY	Vcc	LVDE=0、BGRE=0	-	-	5.0	μA	*
RAM データ 保持電圧	V _{RAM}	Vcc		2.0	-	-	V	

20. 電気的特性

【注】 * 消費電流測定時の端子状態は以下のとおりで、プルアップ MOS や出力バッファに流れる電流を除きます。

モード	RES 端子	内部状態	各端子	発振端子
アクティブモード 1	Vcc	動作	Vcc	システムクロック： 水晶またはセラミック発振子 とオンチップオシレータ
アクティブモード 2		動作 (φ/64)		
スリープモード 1	Vcc	タイマのみ動作	Vcc	
スリープモード 2		タイマのみ動作 (φ/64)		
サブスリープモード スタンバイモード	Vcc	CPU、タイマともに停止	Vcc	

表 20.2 DC 特性 (2)

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75℃)

項目	記号	適用端子	測定条件	規格値			単位
				Min	Typ	Max	
出力 Low レベル 許容電流 (1 端子あたり)	I _{OL}	P84~P80、SCL、SDA 以外の出力端子	Vcc=4.0~5.5V	—	—	2.0	mA
		P84~P80		—	—	20.0	mA
		P84~P80、SCL、SDA 以外の出力端子	—	—	—	0.5	mA
		P84~P80		—	—	10.0	mA
		SCL、SDA		—	—	6.0	mA
出力 Low レベル 許容電流 (総和)	Σ I _{OL}	P84~P80、SCL、SDA 以外の出力端子	Vcc=4.0~5.5V	—	—	40.0	mA
		P84~P80、SCL、SDA		—	—	80.0	mA
		P84~P80、SCL、SDA 以外の出力端子	—	—	—	20.0	mA
		P84~P80、SCL、SDA		—	—	40.0	mA
出力 High レベル 許容電流 (1 端子あたり)	- I _{OH}	P56、P57 を除く 全出力端子	Vcc=4.0~5.5V	—	—	4.0	mA
				—	—	0.2	mA
		P56、P57	Vcc=4.0~5.5V	—	—	2.0	mA
				—	—	0.2	mA
出力 High レベル 許容電流 (総和)	- Σ I _{OH}	全出力端子	Vcc=4.0~5.5V	—	—	40.0	mA
				—	—	8.0	mA

20.2.3 AC 特性

表 20.3 AC 特性

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				Min	Typ	Max		
システムクロック 発振器発振周波数	f _{osc}	OSC1、OSC2		2.0	—	12.0	MHz	
システムクロック (φ) サイクル時間	t _{cyc}			1	—	64	t _{osc}	*1
				—	—	32.0	μs	図 20.1
インストラクション サイクル時間				2	—	—	t _{cyc}	
発振安定時間 (水晶発振子)	t _{rc}	OSC1、OSC2		—	—	10.0	ms	
発振安定時間 (セラミック発振子)	t _{rc}	OSC1、OSC2		—	—	5.0	ms	
外部クロック High レベル幅	t _{CPH}	OSC1		35.0	—	—	ns	図 20.1
外部クロック Low レベル幅	t _{CPL}	OSC1		35.0	—	—	ns	
外部クロック 立ち上がり時間	t _{CPr}	OSC1		—	—	15.0	ns	
外部クロック 立ち下がり時間	t _{CPf}	OSC1		—	—	15.0	ns	
RES 端子 Low レベル幅*	t _{REL}	RES		2500	—	—	ns	図 20.2

【注】 * パワーオンリセットを使用する場合は除きます。

20. 電気的特性

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				Min	Typ	Max		
NMI 端子 High レベル幅	tIH _{NMI}	NMI		1500	—	—	ns	図 20.3
NMI 端子 Low レベル幅	tIL _{NMI}	NMI		1500	—	—	ns	
入力端子 High レベル幅	tIH	IRQ0、IRQ3 WKP5、 TMCIV、TMRIV TRGV、ADTRG FTCI、FTIOA FTIOB、FTIOC FTIOD		2	—	—	t _{cyc}	図 20.3
入力端子 Low レベル幅	tIL	IRQ0、IRQ3 WKP5、 TMCIV、TMRIV TRGV、ADTRG FTCI、FTIOA FTIOB、FTIOC FTIOD		2	—	—	t _{cyc}	
オンチップオシレータ 発振周波数*2	frc		Vcc=5.0V Ta=25°C FSEL=0、 VCLSEL=0	7.92*3	8.0	8.08*3	MHz	
			Vcc=4.0~5.5V FSEL=0、 VCLSEL=0	7.76	8.0	8.24		
			Vcc=4.0~5.5V FSEL=1、 VCLSEL=0	9.6*3	10.0	10.4*3		

【注】 *1 システムコントロールレジスタ 2 (SYSCR2) の MA2~MA0 の設定により決定します。

*2 マスク ROM 版の発振周波数は、別途定められるスペックを参照願います。

*3 参考値です。

表 20.4 I²C バスインタフェース 2 タイミング(特記なき場合、V_{CC}=3.0~5.5V、V_{SS}=0.0V、T_a=-20~+75°C)

項目	記号	測定条件	規格値			単位	参照図
			Min	Typ	Max		
SCL 入力サイクル時間	t _{SCL}		12t _{cyc} + 600	—	—	ns	図 20.4
SCL 入力 High パルス幅	t _{SCLH}		3t _{cyc} + 300	—	—	ns	
SCL 入力 Low パルス幅	t _{SCLL}		5t _{cyc} + 300	—	—	ns	
SCL、SDA 入力立ち下がり時間	t _{sf}		—	—	300	ns	
SCL、SDA 入カスパイクパルス除去時間	t _{SP}		—	—	1t _{cyc}	ns	
SDA 入力バスフリー時間	t _{BUF}		5t _{cyc}	—	—	ns	
開始条件入力ホールド時間	t _{STA} H		3t _{cyc}	—	—	ns	
再送開始条件入力セットアップ時間	t _{STA} S		3t _{cyc}	—	—	ns	
停止条件入力セットアップ時間	t _{STO} S		3t _{cyc}	—	—	ns	
データ入力セットアップ時間	t _{SDA} S		1t _{cyc} + 20	—	—	ns	
データ入力ホールド時間	t _{SDA} H		0	—	—	ns	
SCL、SDA の容量性負荷	C _b		0	—	400	pF	
SCL、SDA 出力立ち下がり時間	t _{sf}	V _{CC} =4.0~5.5V	—	—	250	ns	
			—	—	300	ns	

表 20.5 シリアルインタフェース (SCI3) タイミング

(特記なき場合、V_{CC}=3.0~5.5V、V_{SS}=0.0V、T_a=-20~+75°C)

項目		記号	適用端子	測定条件	規格値			単位	参照図
					Min	Typ	Max		
入力クロック サイクル	調歩同期	t _{scyc}	SCK3		4	—	—	t _{cyc}	図 20.5
	クロック同期				6	—	—		
入力クロックパルス幅		t _{sckw}	SCK3		0.4	—	0.6	t _{scyc}	
送信データ遅延時間 (クロック同期)		t _{txd}	TXD		—	—	1	t _{cyc}	図 20.6
受信データセットアップ時間 (クロック同期)		t _{rxs}	RXD		83.3	—	—	ns	
受信データホールド時間 (クロック同期)		t _{rxh}	RXD		83.3	—	—	ns	

20. 電気的特性

20.2.4 A/D 変換特性

表 20.6 A/D 変換器特性

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
アナログ電源電圧	AVcc	AVcc		3.0	Vcc	5.5	V	*1
アナログ入力電圧	AVIN	AN3~AN0		Vss-0.3	-	AVcc+0.3	V	
アナログ電源電流	AI _{OP} E	AVcc	AVcc=5.0V f _{osc} =12MHz	-	-	2.0	mA	
	AI _{STOP1}	AVcc		-	50	-	μA	*2 参考値
	AI _{STOP2}	AVcc		-	-	5.0	μA	*3
アナログ入力容量	CAIN	AN3~AN0		-	-	30.0	pF	
許容信号源 インピーダンス	RAIN	AN3~AN0		-	-	5.0	kΩ	
分解能 (データ長)				10	10	10	ビット	
変換時間 (単一モード)			AVcc=3.0~5.5V	134	-	-	t _{cy}	
非直線性誤差				-	-	±7.5	LSB	
オフセット誤差				-	-	±7.5	LSB	
フルスケール誤差				-	-	±7.5	LSB	
量子化誤差				-	-	±0.5	LSB	
絶対精度				-	-	±8.0	LSB	
変換時間 (単一モード)			AVcc=4.0~5.5V	70	-	-	t _{cy}	
非直線性誤差				-	-	±7.5	LSB	
オフセット誤差				-	-	±7.5	LSB	
フルスケール誤差				-	-	±7.5	LSB	
量子化誤差				-	-	±0.5	LSB	
絶対精度				-	-	±8.0	LSB	
変換時間 (単一モード)			AVcc=4.0~5.5V	134	-	-	t _{cy}	
非直線性誤差				-	-	±3.5	LSB	
オフセット誤差				-	-	±3.5	LSB	
フルスケール誤差				-	-	±3.5	LSB	
量子化誤差				-	-	±0.5	LSB	
絶対精度				-	-	±4.0	LSB	

【注】 *1 A/D 変換器を使用しない場合は AVcc=Vcc としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

*3 AI_{STOP2} はリセット、スタンバイモードおよびサブスリープモードでの A/D 変換待機時の電流値です。

20.2.5 ウォッチドッグタイマ特性

表 20.7 ウォッチドッグタイマ特性

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
内部発振器オーバフロー時間	toVF			0.2	0.4	—	s	*

【注】 * 内部発振器を選択した状態で、0~255 までカウントアップし、内部リセットが発生するまでの時間を示します。

20.2.6 電源電圧検出回路特性

表 20.8 電源電圧検出回路特性

(特記なき場合、Vss=0.0V、Ta=-20~+75°C)

項目	記号	測定条件	規定値			単位
			Min	Typ	Max	
電源立ち下がり検出電圧	Vint(D)	LVDSEL=0	3.3	3.7	4.3	V
電源立ち上がり検出電圧	Vint(U)	LVDSEL=0	3.6	4.0	4.5	V
リセット検出電圧 1* ¹	Vreset1	LVDSEL=0	2.0	2.3	2.7	V
リセット検出電圧 2* ²	Vreset2	LVDSEL=1	3.0	3.6	4.2	V
LVD _R 動作下限電圧* ³	V _{LVD_Rmin}		1.0	—	—	V
LVD 安定時間	t _{LVDON}		50	—	—	μs
スタンバイモード消費電流	I _{STBY}	LVDE=1 BGRE=1 Vcc=5.0V	—	—	350	μA

【注】 *1 立ち下がり、立ち上がり電圧検出機能と併用時に使用してください。

*2 低電圧検出リセットのみの使用の場合は低電圧リセット 2 を選択してください。

*3 電源電圧 Vcc が V_{LVD_Rmin} =1.0V 以下に低下し、そこから立ち上がった場合、リセットがかからない場合がありますので十分評価をお願いします。

20. 電気的特性

20.2.7 LVDI 外部入力電圧検出回路特性

表 20.9 LVDI 外部入力電圧検出回路特性

(V_{CC}=4.5~5.5V、AV_{CC}=3.0~5.5V、V_{SS}=0.0V、T_a=-20~+75°C)

項目	記号	測定条件	規定値			単位
			Min	Typ	Max	
ExtD/ExtU 入力検出電圧	V _{exd}		0.85	1.15	1.45	V
ExtD/ExtU 入力電圧範囲	V _{extD/U}	V _{extD} >V _{extU}	-0.3	—	AV _{CC} +0.3 または V _{CC} +0.3の いずれか 低い電圧	V

20.2.8 パワーオンリセット特性

表 20.10 パワーオンリセット特性

(特記なき場合、V_{SS}=0.0V、T_a=-20~+75°C)

項目	記号	測定条件	規定値			単位
			Min	Typ	Max	
RES 端子プルアップ抵抗	R _{RES}		100	150	—	kΩ
パワーオンリセットスタート電圧*	V _{por}		—	—	100	mV

【注】 * 電源電圧 V_{CC} は V_{por}=100mV 以下まで必ず立ち下げ、RES 端子の電荷が十分に抜けてから立ち上げてください。
RES 端子の電荷を引き抜くためにはダイオードを V_{CC} 側に付けることを推奨します。100mV を超えたところから電源電圧 V_{CC} が立ち上がった場合、パワーオンリセットが働かない可能性があります。

20.2.9 フラッシュメモリ特性

表 20.11 フラッシュメモリ特性

(特記なき場合、Vcc=3.0~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	測定条件	規格値			単位	
			Min	Typ	Max		
書き込み時間 (64 バイト当たり) *1 *2 *4	tp		—	7	200	ms	
消去時間 (1 ブロック当たり) *1 *3 *6	te		—	100	1200	ms	
書き替え回数	NWEC		1000	10000	—	回	
書き込み時	SWE ビットセット後の待機時間*1	x	1	—	—	μs	
	PSU ビットセット後の待機時間*1	y	50	—	—	μs	
	P ビットセット後の待機時間*1 *4	z1	1 ≤ n ≤ 6	28	30	32	μs
		z2	7 ≤ n ≤ 1000	198	200	202	μs
		z3	追加書き込み	8	10	12	μs
	P ビットクリア後の待機時間*1	α	5	—	—	μs	
	PSU ビットクリア後の待機時間*1	β	5	—	—	μs	
	PV ビットセット後の待機時間*1	γ	4	—	—	μs	
	ダミーライト後の待機期間*1	ε	2	—	—	μs	
	PV ビットクリア後の待機時間*1	η	2	—	—	μs	
	SWE ビットクリア後の待機時間*1	θ	100	—	—	μs	
	最大書き込み回数*1 *4 *5	N		—	—	1000	回
消去時	SWE ビットセット後の待機時間*1	x	1	—	—	μs	
	ESU ビットセット後の待機時間*1	y	100	—	—	μs	
	E ビットセット後の待機時間*1 *6	z	10	—	100	ms	
	E ビットクリア後の待機時間*1	α	10	—	—	μs	
	ESU ビットクリア後の待機時間*1	β	10	—	—	μs	
	EV ビットセット後の待機時間*1	γ	20	—	—	μs	
	ダミーライト後の待機期間*1	ε	2	—	—	μs	
	EV ビットクリア後の待機時間*1	η	4	—	—	μs	
	SWE ビットクリア後の待機時間*1	θ	100	—	—	μs	
	最大消去回数*1 *6 *7	N		—	—	120	回

【注】 *1 各時間の設定は、プログラム/イレースのアルゴリズムに従い行ってください。

*2 64 バイトあたりの書き込み時間で、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P ビットをセットしているトータル期間を示します。プログラムベリファイ時間は含まれません。

*3 1 ブロックを消去する時間で、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の E ビットをセットしているトータル期間を示します。イレースベリファイ時間は含まれません。

*4 書き込み時間の最大値 (tp(MAX)) = P ビットセット後の待機時間(z) × 最大書き込み回数(N)

20. 電気的特性

- *5 最大書き込み回数(N)は、実際の z1、z2、z3 の設定値に合わせ、書き込み時間の最大値 $t_p(\text{MAX})$ 以下となるように設定してください。また、P ビットセット後の待機時間 (z1、z2) は、下記のように書き込み回数(n)の値によって切り替えてください。

書き込み回数 n

$$1 \leq n \leq 6 \quad z1 = 30 \mu\text{s}$$

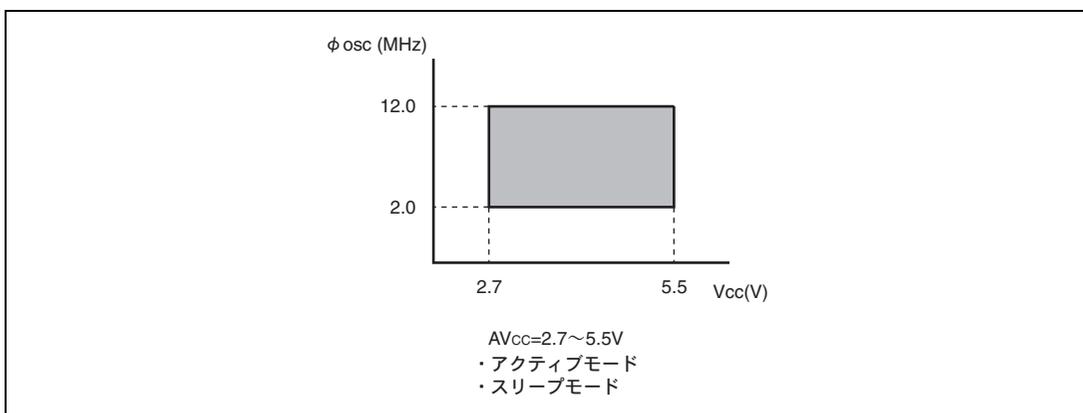
$$7 \leq n \leq 1000 \quad z2 = 200 \mu\text{s}$$

- *6 消去時間の最大値 ($t_E(\text{MAX})$) = E ビットセット後の待機時間(z) × 最大消去回数(N)
- *7 最大消去回数(N)は、実際の(z)の設定値に合わせ、消去時間の最大値 ($t_E(\text{MAX})$) 以下となるように設定してください。

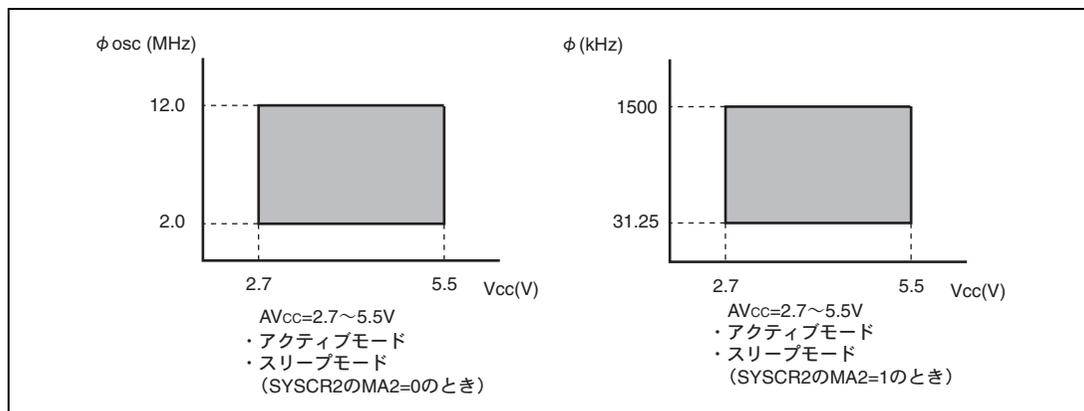
20.3 電気的特性 (マスク ROM 版)

20.3.1 電源電圧と動作範囲

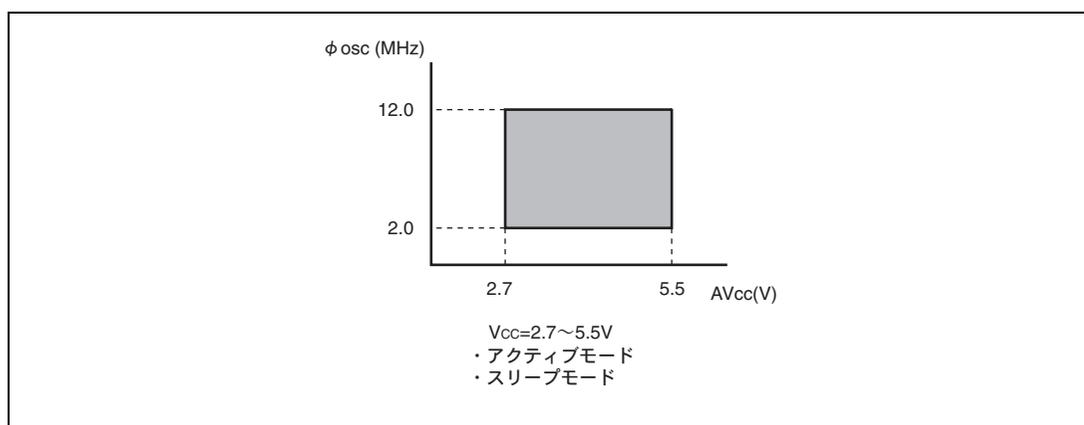
(1) 電源電圧と外部発振周波数の範囲



(2) 電源電圧と動作周波数の範囲



(3) アナログ電源電圧と A/D 変換器の精度保証範囲



20. 電氣的特性

20.3.2 DC 特性

表 20.12 DC 特性 (1)

(特記なき場合、Vcc=2.7~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
入力 High レベル電圧	V _{IH}	RES、NMI WKP5 IRQ0、IRQ3 ADTRG TMRIV、TMCIV	Vcc=4.0~5.5V	Vcc×0.8	—	Vcc+0.3	V	
		FTCI、FTIOA FTIOB、FTIOC FTIOD SCK3、TRGV		Vcc×0.9		Vcc+0.3	V	
		RXD、SCL、SDA P17、P14 P22~P20 P57~P55	Vcc=4.0~5.5V	Vcc×0.7	—	Vcc+0.3	V	
		P76~P74 P84~P80 PC1、PC0		Vcc×0.8	—	Vcc+0.3	V	
		PB3~PB0	AVcc=4.0~5.5V	AVcc×0.7	—	AVcc+0.3	V	
			AVcc=2.7~5.5V	AVcc×0.8	—	AVcc+0.3	V	
		OSC1	Vcc=4.0~5.5V	Vcc-0.5	—	Vcc+0.3	V	
				Vcc-0.3	—	Vcc+0.3	V	

(特記なき場合、Vcc=2.7~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	備考		
				Min	Typ	Max				
入力 Low レベル電圧	V _{IL}	$\overline{\text{RES}}$ 、 $\overline{\text{NMI}}$ $\overline{\text{WKP5}}$ $\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ3}}$ $\overline{\text{ADTRG}}$ TMRIV、TMCIV	Vcc=4.0~5.5V	-0.3	-	Vcc×0.2	V			
		FTCI、FTIOA FTIOB、FTIOC FTIOD SCK3、TRGV		-0.3	-	Vcc × 0.1	V			
		RXD、SCL、SDA P17、P14 P22~P20 P57~P55 P76~P74 P84~P80 PC1、PC0	Vcc=4.0~5.5V	-0.3	-	Vcc×0.3	V			
				-0.3	-	Vcc×0.2	V			
		PB3~PB0	AVcc=4.0~5.5V	-0.3	-	AVcc×0.3	V			
			AVcc=2.7~5.5V	-0.3	-	AVcc×0.2				
		OSC1	Vcc=4.0~5.5V	-0.3	-	0.5	V			
				-0.3	-	0.3	V			
		出力 High レベル電圧	V _{OH}	P17、P14 P22~P20 P55	Vcc=4.0~5.5V -I _{OH} =4mA	Vcc-1.0	-	-	V	
				P76~P74 P84~P80 PC1、PC0	-I _{OH} =0.1mA	Vcc-0.5	-	-	V	
P56、P57	Vcc=4.0~5.5V -I _{OH} =0.1mA			Vcc-2.5	-	-	V			
	Vcc=2.7~4.0V -I _{OH} =0.1mA			Vcc-2.2	-	-	V			

20. 電気的特性

(特記なき場合、Vcc=2.7~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
出力 Low レベル電圧	VOL	P17、P14 P22~P20 P57~P55 P76~P74 PC1、PC0	Vcc=4.0~5.5V I _{OL} =1.6mA	—	—	0.6	V	
			I _{OL} =0.4mA	—	—	0.4	V	
		P84~P80	Vcc=4.0~5.5V I _{OL} =20.0mA	—	—	1.5	V	
			Vcc=4.0~5.5V I _{OL} =10.0mA	—	—	1.0	V	
			Vcc=4.0~5.5V I _{OL} =1.6mA	—	—	0.4	V	
			I _{OL} =0.4mA	—	—	0.4	V	
		SCL、SDA	Vcc=4.0~5.5V I _{OL} =6.0mA	—	—	0.6	V	
			I _{OL} =3.0mA	—	—	0.4	V	
入出力 リーク電流	I _{IL}	OSC1 NM \bar{I} WKP5 \bar{I} RQ0、 \bar{I} RQ3 \bar{A} DTRG、TRGV TMRIV、TMCIV FTCI、FTIOA FTIOB、FTIOC FTIOD RXD、 SCK3、SCL、SDA	V _{IN} =0.5V~ (Vcc-0.5V)	—	—	1.0	μA	
		P17、P14 P22~P20 P57~P55 P76~P74 P84~P80 PC1、PC0	V _{IN} =0.5V~ (Vcc-0.5V)	—	—	1.0	μA	
		PB3~PB0	V _{IN} =0.5V~ (AVcc-0.5V)	—	—	1.0	μA	

20. 電気的特性

(特記なき場合、Vcc=2.7~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
ブルアップ MOS 電流	-Ip	P17、P14 P55	Vcc=5.0V VIN=0.0V	50.0	-	300.0	μA	
			Vcc=2.7V VIN=0.0V	-	60.0	-	μA	参考値
入力容量	CIN	電源端子を 除く 全入力端子	f=1MHz VIN=0.0V Ta=25°C	-	-	15.0	pF	
アクティブ モード消費 電流	IOPE1	Vcc	アクティブモード 1 Vcc=5.0V、fosc=12MHz	-	12.0	18.0	mA	*
			アクティブモード 1 Vcc=2.7V、fosc=12MHz	-	9.6	-	mA	参考値 *
	IOPE2	Vcc	アクティブモード 2 Vcc=5.0V、fosc=12MHz	-	2.0	2.5	mA	*
			アクティブモード 2 Vcc=2.7V、fosc=12MHz	-	1.5	-	mA	参考値 *
スリープ モード 消費電流	ISLEEP1	Vcc	スリープモード 1 Vcc=5.0V、fosc=12MHz	-	7.2	12.0	mA	*
			スリープモード 1 Vcc=2.7V、fosc=12MHz	-	6.0	-	mA	参考値 *
	ISLEEP2	Vcc	スリープモード 2 Vcc=5.0V、fosc=12MHz	-	1.8	2.2	mA	*
			スリープモード 2 Vcc=2.7V、fosc=12MHz	-	1.4	-	mA	参考値 *
サブスリープ モード 消費電流	ISUBSP	Vcc	Vcc=5.0V LVDE=0、BGRE=0	-	-	5.0	μA	*
スタンバイ モード 消費電流	ISTBY	Vcc	LVDE=0、BGRE=0	-	-	5.0	μA	*
RAM データ 保持電圧	V _{RAM}	Vcc		2.0	-	-	V	

20. 電気的特性

【注】 * 消費電流測定時の端子状態は以下のとおりで、プルアップ MOS や出力バッファに流れる電流を除きます。

モード	RES 端子	内部状態	各端子	発振端子
アクティブモード 1	Vcc	動作	Vcc	システムクロック： 水晶またはセラミック発振子 とオンチップオシレータ
アクティブモード 2		動作 (φ/64)		
スリープモード 1	Vcc	タイマのみ動作	Vcc	
スリープモード 2		タイマのみ動作 (φ/64)		
サブスリープモード スタンバイモード	Vcc	CPU、タイマともに停止	Vcc	

表 20.12 DC 特性 (2)

(特記なき場合、Vcc=2.7~5.5V、Vss=0.0V、Ta=-20~+75℃)

項目	記号	適用端子	測定条件	規格値			単位
				Min	Typ	Max	
出力 Low レベル 許容電流 (1 端子あたり)	I _{OL}	P84~P80、SCL、SDA 以外の出力端子	Vcc=4.0~5.5V	—	—	2.0	mA
		P84~P80		—	—	20.0	mA
		P84~P80、SCL、SDA 以外の出力端子	—	—	—	0.5	mA
		P84~P80		—	—	10.0	mA
		SCL、SDA		—	—	6.0	mA
出力 Low レベル 許容電流 (総和)	Σ I _{OL}	P84~P80、SCL、SDA 以外の出力端子	Vcc=4.0~5.5V	—	—	40.0	mA
		P84~P80、SCL、SDA		—	—	80.0	mA
		P84~P80、SCL、SDA 以外の出力端子	—	—	—	20.0	mA
		P84~P80、SCL、SDA		—	—	40.0	mA
出力 High レベル 許容電流 (1 端子あたり)	- I _{OH}	P56、P57 を除く 全出力端子	Vcc=4.0~5.5V	—	—	4.0	mA
				—	—	0.2	mA
		P56、P57	Vcc=4.0~5.5V	—	—	2.0	mA
				—	—	0.2	mA
出力 High レベル 許容電流 (総和)	- Σ I _{OH}	全出力端子	Vcc=4.0~5.5V	—	—	40.0	mA
				—	—	8.0	mA

20.3.3 AC 特性

表 20.13 AC 特性

(特記なき場合、Vcc=2.7~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				Min	Typ	Max		
システムクロック 発振器発振周波数	fosc	OSC1、OSC2		2.0	—	12.0	MHz	
システムクロック (φ) サイクル時間	tcyc			1	—	64	tosc	* 図 20.1
				—	—	32.0	μs	
インストラクション サイクル時間				2	—	—	tcyc	
発振安定時間 (水晶発振器)	trc	OSC1、OSC2		—	—	10.0	ms	
発振安定時間 (セラミック発振器)	trc	OSC1、OSC2		—	—	5.0	ms	
外部クロック High レベル幅	tCPH	OSC1		35.0	—	—	ns	図 20.1
外部クロック Low レベル幅	tCPL	OSC1		35.0	—	—	ns	
外部クロック 立ち上がり時間	tCPr	OSC1		—	—	15.0	ns	
外部クロック 立ち下がり時間	tCPf	OSC1		—	—	15.0	ns	
RES 端子 Low レベル幅	tREL	RES	電源投入時および 下記以外のモード	2500	—	—	ns	図 20.2
			アクティブモード、スリープモード動作時	2500	—	—	ns	
NMI 端子 High レベル幅	tHNMI	NMI		1500	—	—	ns	図 20.3
NMI 端子 Low レベル幅	tLNMI	NMI		1500	—	—	ns	

20. 電気的特性

(特記なき場合、Vcc=2.7~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				Min	Typ	Max		
入力端子 High レベル幅	t _{IH}	$\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ3}}$ $\overline{\text{WKP5}}$ 、 TMCIV、TMRIV TRGV、 $\overline{\text{ADTRG}}$ FTCI、FTIOA FTIOB、FTIOC FTIOD		2	—	—	t _{cyc}	図 20.3
入力端子 Low レベル幅	t _{IL}	$\overline{\text{IRQ0}}$ 、 $\overline{\text{IRQ3}}$ $\overline{\text{WKP5}}$ 、 TMCIV、TMRIV TRGV、 $\overline{\text{ADTRG}}$ FTCI、FTIOA FTIOB、FTIOC FTIOD		2	—	—	t _{cyc}	図 20.3
オンチップオシレー タ発振周波数	f _{RC}		Vcc=4.0~5.5V FSEL=0、 VCLSEL=0	7.6	8.0	8.4	MHz	
			Vcc=4.0~5.5V FSEL=1、 VCLSEL=0	9.4	10.0	10.6	MHz	

【注】 * システムコントロールレジスタ 2 (SYSCR2) の MA2~MA0 の設定により決定します。

表 20.14 I²C バスインタフェース 2 タイミング

(特記なき場合、Vcc=2.7~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	測定条件	規格値			単位	参照図
			Min	Typ	Max		
SCL 入力サイクル時間	t _{SCL}		12t _{cyc} + 600	—	—	ns	図 20.4
SCL 入力 High パルス幅	t _{SCLH}		3t _{cyc} + 300	—	—	ns	
SCL 入力 Low パルス幅	t _{SCLL}		5t _{cyc} + 300	—	—	ns	
SCL、SDA 入力立ち下がり時間	t _{SF}		—	—	300	ns	
SCL、SDA 入カスパイクパルス除去時間	t _{SP}		—	—	1t _{cyc}	ns	
SDA 入カバスフリー時間	t _{BUF}		5t _{cyc}	—	—	ns	
開始条件入カホールド時間	t _{STAH}		3t _{cyc}	—	—	ns	
再送開始条件入カセットアップ時間	t _{STAS}		3t _{cyc}	—	—	ns	
停止条件入カセットアップ時間	t _{STOS}		3t _{cyc}	—	—	ns	
データ入カセットアップ時間	t _{SDAS}		1t _{cyc} + 20	—	—	ns	

項目	記号	測定条件	規格値			単位	参照図
			Min	Typ	Max		
データ入力ホールド時間	tSDAH		0	—	—	ns	図 20.4
SCL、SDA の容量性負荷	Cb		0	—	400	pF	
SCL、SDA 出力立ち下がり時間	tsf	Vcc=4.0~5.5V	—	—	250	ns	
			—	—	300	ns	

表 20.15 シリアルインタフェース (SCI3) タイミング

(特記なき場合、Vcc=2.7~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	参照図
				Min	Typ	Max		
入力クロック サイクル	調歩同期	tscyc	SCK3	4	—	—	t _{cyc}	図 20.5
	クロック同期			6	—	—	t _{cyc}	
入力クロックパルス幅	tscw	SCK3		0.4	—	0.6	t _{cyc}	
送信データ遅延時間 (クロック同期)	txd	TXD		—	—	1	t _{cyc}	図 20.6
受信データセットアップ時間 (クロック同期)	trxs	RXD		83.3	—	—	ns	
受信データホールド時間 (クロック同期)	trxh	RXD		83.3	—	—	ns	

20.3.4 A/D 変換特性

表 20.16 A/D 変換器特性

(特記なき場合、Vcc=2.7~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
アナログ電源電圧	AVcc	AVcc		2.7	Vcc	5.5	V	*1
アナログ入力電圧	AVin	AN3~AN0		Vss-0.3	—	AVcc+0.3	V	
アナログ電源電流	AlOPE	AVcc	AVcc=5.0V fosc=12MHz	—	—	2.0	mA	
	AlSTOP1	AVcc		—	50	—	μA	*2 参考値
	AlSTOP2	AVcc		—	—	5.0	μA	*3
アナログ入力容量	CAin	AN3~AN0		—	—	30.0	pF	
許容信号源 インピーダンス	RAin	AN3~AN0		—	—	5.0	kΩ	
分解能 (データ長)				10	10	10	ビット	

20. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
変換時間 (単一モード)			AVcc=2.7~5.5V	134	—	—	t _{cy}	
非直線性誤差				—	—	±7.5	LSB	
オフセット誤差				—	—	±7.5	LSB	
フルスケール誤差				—	—	±7.5	LSB	
量子化誤差				—	—	±0.5	LSB	
絶対精度				—	—	±8.0	LSB	
変換時間 (単一モード)			AVcc=4.0~5.5V	70	—	—	t _{cy}	
非直線性誤差				—	—	±7.5	LSB	
オフセット誤差				—	—	±7.5	LSB	
フルスケール誤差				—	—	±7.5	LSB	
量子化誤差				—	—	±0.5	LSB	
絶対精度				—	—	±8.0	LSB	
変換時間 (単一モード)			AVcc=4.0~5.5V	134	—	—	t _{cy}	
非直線性誤差				—	—	±3.5	LSB	
オフセット誤差				—	—	±3.5	LSB	
フルスケール誤差				—	—	±3.5	LSB	
量子化誤差				—	—	±0.5	LSB	
絶対精度				—	—	±4.0	LSB	

【注】 *1 A/D 変換器を使用しない場合は AVcc=Vcc としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

*3 AI_{STOP2} はリセット、スタンバイモードおよびサブスリープモードでの A/D 変換待機時の電流値です。

20.3.5 ウォッチドッグタイマ特性

表 20.17 ウォッチドッグタイマ特性

(特記なき場合、Vcc=2.7~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	適用端子	測定条件	規格値			単位	備考
				Min	Typ	Max		
内部発振器オーバフロー時間	toVF			0.2	0.4	—	s	*

【注】 * 内部発振器を選択した状態で、0~255 までカウントアップし、内部リセットが発生するまでの時間を示します。

20.3.6 電源電圧検出回路特性

表 20.18 電源電圧検出回路特性

(特記なき場合、Vss=0.0V、Ta=-20~+75°C)

項目	記号	測定条件	規定値			単位
			Min	Typ	Max	
電源立ち下がり検出電圧	Vint(D)	LVDSSEL=0	3.3	3.7	4.3	V
電源立ち上がり検出電圧	Vint(U)	LVDSSEL=0	3.6	4.0	4.5	V
リセット検出電圧 1* ¹	Vreset1	LVDSSEL=0	2.0	2.3	2.7	V
リセット検出電圧 2* ²	Vreset2	LVDSSEL=1	3.0	3.6	4.2	V
LVDR 動作下限電圧* ³	V _{LVDRmin}		1.0	—	—	V
LVD 安定時間	t _{LVDon}		50	—	—	μs
スタンバイモード消費電流	I _{STBY}	LVDE=1 BGRE=1 Vcc=5.0V	—	—	350	μA

- 【注】 *1 立ち下がり、立ち上がり電圧検出機能と併用時に使用してください。
*2 低電圧検出しリセットのみの使用の場合は低電圧リセット 2 を選択してください。
*3 電源電圧 Vcc が V_{LVDRmin} = 1.0V 以下に低下し、そこから立ち上がった場合、リセットがかからない場合がありますので十分評価をお願いします。

20.3.7 LVDI 外部入力電圧検出回路特性

表 20.19 LVDI 外部入力電圧検出回路特性

(Vcc=4.5~5.5V、AVcc=2.7~5.5V、Vss=0.0V、Ta=-20~+75°C)

項目	記号	測定条件	規定値			単位
			Min	Typ	Max	
ExtD/ExtU 入力検出電圧	Vexd		0.85	1.15	1.45	V
ExtD/ExtU 入力電圧範囲	VextD/U	VextD>VextU	-0.3	—	AVcc+0.3 または Vcc+0.3の いずれか 低い電圧	V

20. 電氣的特性

20.3.8 パワーオンリセット特性

表 20.20 パワーオンリセット特性

(特記なき場合、 $V_{SS}=0.0V$ 、 $T_a=-20\sim+75^{\circ}C$)

項目	記号	測定条件	規定値			単位
			Min	Typ	Max	
RES 端子プルアップ抵抗	R_{RES}		100	150	—	$k\Omega$
パワーオンリセットスタート 電圧*	V_{por}		—	—	100	mV

【注】 * 電源電圧 V_{CC} は $V_{por}=100mV$ 以下まで必ず立ち下げ、 \overline{RES} 端子の電荷が十分に抜けてから立ち上げてください。
 \overline{RES} 端子の電荷を引き抜くためにはダイオードを V_{CC} 側に付けることを推奨します。100mV を超えたところから電源電圧 V_{CC} が立ち上がった場合、パワーオンリセットが働かない可能性があります。

20.4 タイミング図

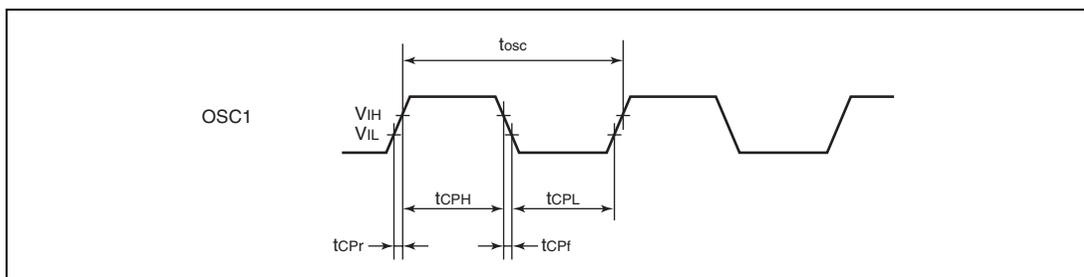


図 20.1 システムクロック入力タイミング

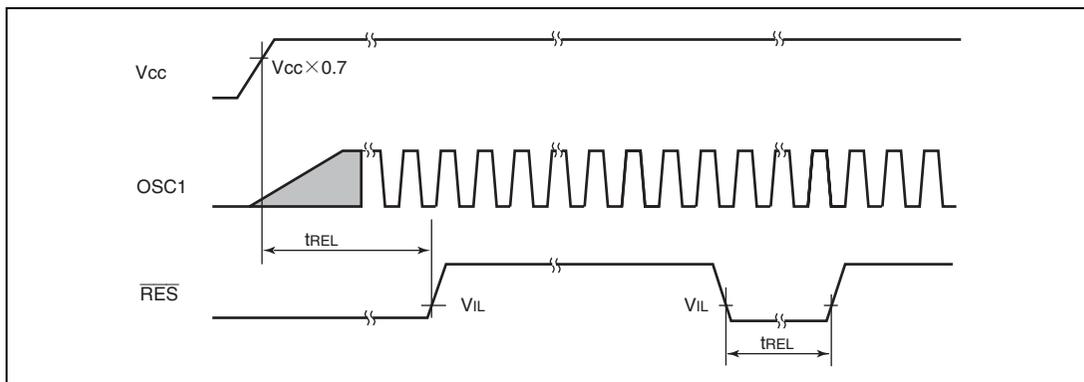


図 20.2 \overline{RES} 端子 Low レベル幅タイミング

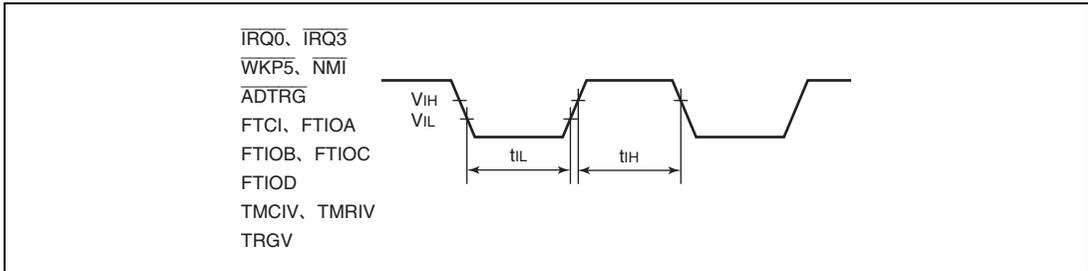


図 20.3 入力タイミング

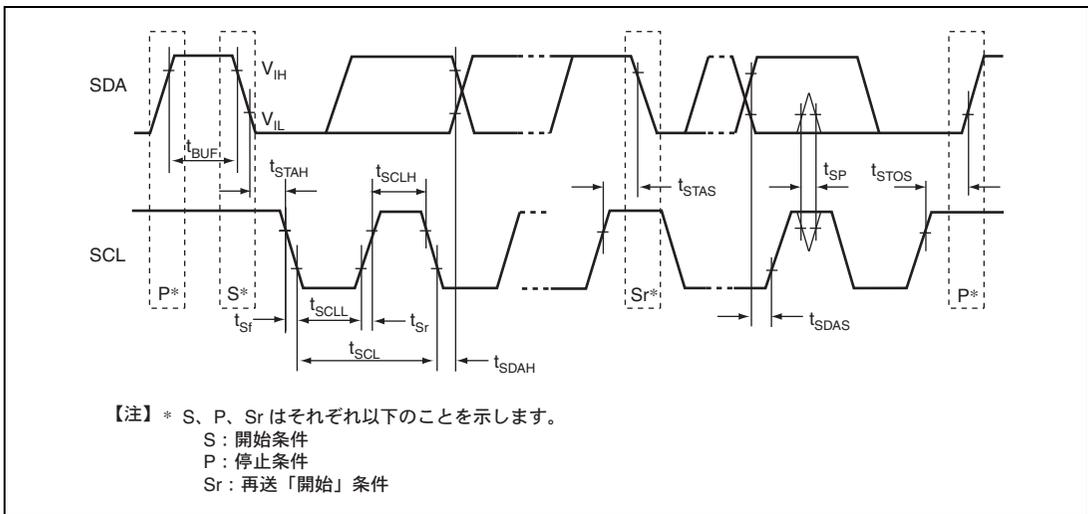


図 20.4 I²C バスインタフェース 2 入出力タイミング

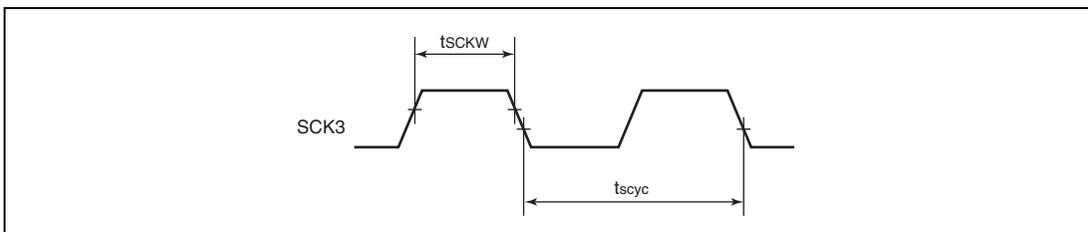


図 20.5 SCK3 入力クロックタイミング

20. 電気的特性

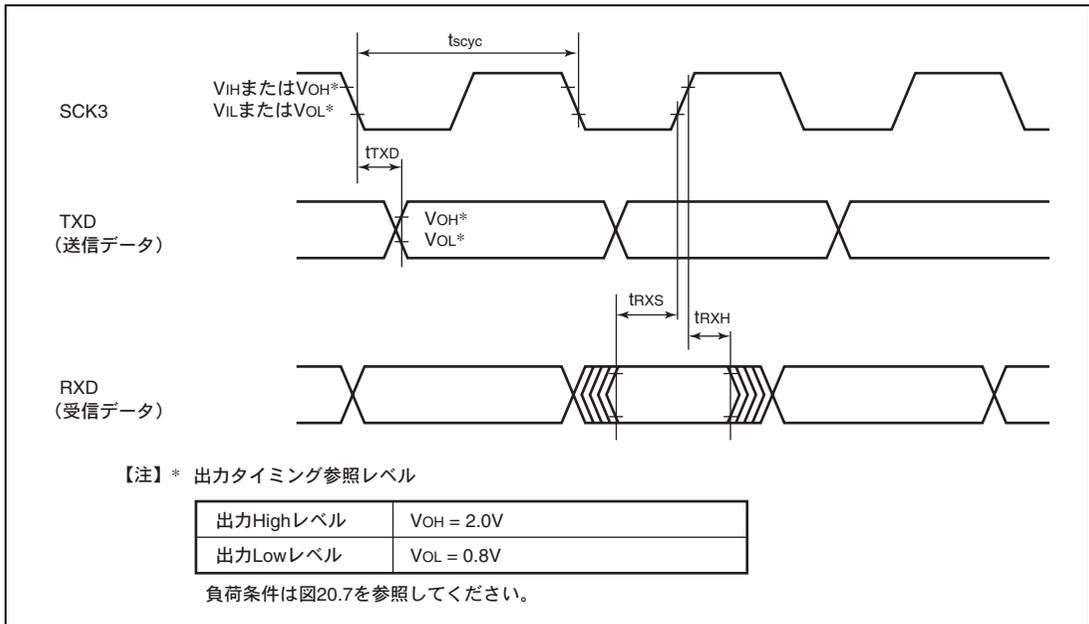


図 20.6 SCI3 クロック同期式モード入出力タイミング

20.5 出力負荷条件

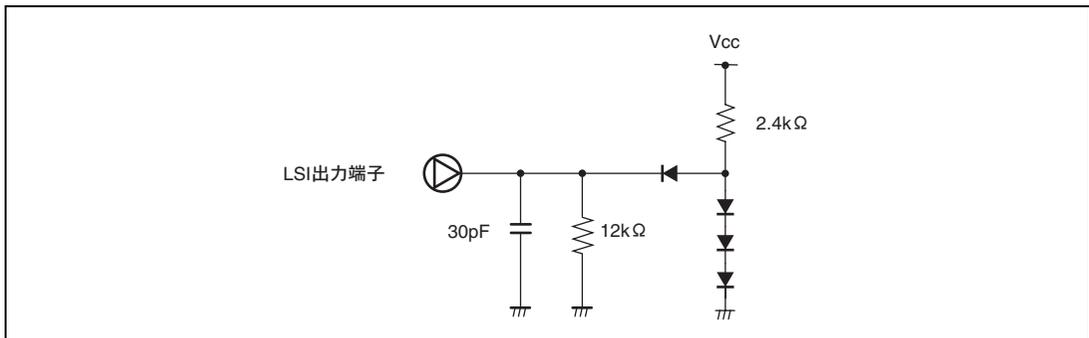


図 20.7 出力負荷回路

付録

A. 命令

A.1 命令一覧

《オペレーションの記号》

記号	内 容
Rd	デスティネーション側の汎用レジスタ
Rs	ソース側の汎用レジスタ
Rn	汎用レジスタ
ERd	デスティネーション側の汎用レジスタ（アドレスレジスタまたは 32 ビットレジスタ）
ERs	ソース側の汎用レジスタ（アドレスレジスタまたは 32 ビットレジスタ）
ERn	汎用レジスタ（32 ビットレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
PC	プログラムカウンタ
SP	スタックポインタ
CCR	コンディションコードレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバーフロー）フラグ
C	CCR の C（キャリ）フラグ
disp	ディスプレースメント
→	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
+	両辺のオペランドを加算
-	左辺のオペランドから右辺のオペランドを減算
×	両辺のオペランドを乗算
÷	左辺のオペランドを右辺のオペランドで除算
∧	両辺のオペランドの論理積
∨	両辺のオペランドの論理和

【注】 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）または 16 ビット（R0～R7、E0～E7）です。

《オペレーションの記号》

記号	内 容
⊕	両辺のオペランドの排他的論理和
~	反転論理（論理的補数）
() <>	オペランドの内容
↑ ↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に0にクリアされることを表します。
1	常に1にセットされることを表します。
-	実行結果に影響を受けないことを表します。
△	条件によって異なります。注意事項を参照してください。

表 A.1 命令セット一覧

(1) データ転送命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)		オペレーション		コンディションコード							実行ステート数*			
		#xx	Rn	@(d, ERn)	@-ERn/ERn+	@aa	@(d, PC)	@aa	I	H	N	Z	V	C	ノーマル	アドバンスト
MOV	B	2														2
MOV.B #xx:8, Rd	B	2														2
MOV.B Rs, Rd	B	2														2
MOV.B @ERS, Rd	B		2													4
MOV.B @(d:16, ERs), Rd	B			4												6
MOV.B @(d:24, ERs), Rd	B			8												10
MOV.B @ERs+, Rd	B				2											6
MOV.B @aa:8, Rd	B					2										4
MOV.B @aa:16, Rd	B					4										6
MOV.B @aa:24, Rd	B					6										8
MOV.B Rs, @ERd	B		2													4
MOV.B Rs, @(d:16, ERd)	B			4												6
MOV.B Rs, @(d:24, ERd)	B			8												10
MOV.B Rs, @-ERd	B				2											6
MOV.B Rs, @aa:8	B					2										4
MOV.B Rs, @aa:16	B					4										6
MOV.B Rs, @aa:24	B					6										8
MOV.W #xx:16, Rd	W	4														4
MOV.W Rs, Rd	W		2													2
MOV.W @ERS, Rd	W			2												4
MOV.W @(d:16, ERs), Rd	W			4												6
MOV.W @(d:24, ERs), Rd	W			8												10
MOV.W @ERs+, Rd	W				2											6
MOV.W @aa:16, Rd	W					4										6
MOV.W @aa:24, Rd	W					6										8

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション	コンディションコード						実行ステート数 ^{*1}					
		#xx	Rn	@(d, ERn)	@(d, ERn)/@ERn+@aa		@(d, PC)	@aa	I	H	N	Z		V	C			
CMP	CMP.L #xx:32, ERd	L	6									—	(2)	↑	↑	↑	↑	4
	CMP.L ERs, ERd	L	2										(2)	↑	↑	↑	↑	2
NEG	NEG.B Rd	B	2										↑	↑	↑	↑	↑	2
	NEG.W Rd	W	2										↑	↑	↑	↑	↑	2
EXTU	EXTU.L ERd	L	2										↑	↑	↑	↑	↑	2
	EXTU.W Rd	W	2										—	0	↑	0	—	2
EXTS	EXTS.L ERd	L	2										—	0	↑	0	—	2
	EXTS.W Rd	W	2										—	↑	↑	↑	↑	2
		L	2										—	↑	↑	↑	↑	2

(3) 論理演算命令

二一モニック	サイズ	アドレッシングモード/命令長 (バイト)			オペレーション	コンディションコード							実行スタート数*1	
		#xx	Rn	@(d, ERn) @-ERn/ERn+ @aa @(d, PC) @aa		I	H	N	Z	V	C			
AND	AND.B #xx:8, Rd	B	2		Rd8 ∧ #xx:8 → Rd8	-	-	↑	↑	0	-	-	-	2
	AND.B Rs, Rd	B	2		Rd8 ∧ Rs8 → Rd8	-	-	↑	↑	0	-	-	-	2
	AND.W #xx:16, Rd	W	4		Rd16 ∧ #xx:16 → Rd16	-	-	↑	↑	0	-	-	-	4
	AND.W Rs, Rd	W	2		Rd16 ∧ Rs16 → Rd16	-	-	↑	↑	0	-	-	-	2
	AND.L #xx:32, ERd	L	6		ERd32 ∧ #xx:32 → ERd32	-	-	↑	↑	0	-	-	-	6
	AND.L ERs, ERd	L	4		ERd32 ∧ ERs32 → ERd32	-	-	↑	↑	0	-	-	-	4
OR	OR.B #xx:8, Rd	B	2		Rd8 ∨ #xx:8 → Rd8	-	-	↑	↑	0	-	-	-	2
	OR.B Rs, Rd	B	2		Rd8 ∨ Rs8 → Rd8	-	-	↑	↑	0	-	-	-	2
	OR.W #xx:16, Rd	W	4		Rd16 ∨ #xx:16 → Rd16	-	-	↑	↑	0	-	-	-	4
	OR.W Rs, Rd	W	2		Rd16 ∨ Rs16 → Rd16	-	-	↑	↑	0	-	-	-	2
	OR.L #xx:32, ERd	L	6		ERd32 ∨ #xx:32 → ERd32	-	-	↑	↑	0	-	-	-	6
	OR.L ERs, ERd	L	4		ERd32 ∨ ERs32 → ERd32	-	-	↑	↑	0	-	-	-	4
XOR	XOR.B #xx:8, Rd	B	2		Rd8 ⊕ #xx:8 → Rd8	-	-	↑	↑	0	-	-	-	2
	XOR.B Rs, Rd	B	2		Rd8 ⊕ Rs8 → Rd8	-	-	↑	↑	0	-	-	-	2
	XOR.W #xx:16, Rd	W	4		Rd16 ⊕ #xx:16 → Rd16	-	-	↑	↑	0	-	-	-	4
	XOR.W Rs, Rd	W	2		Rd16 ⊕ Rs16 → Rd16	-	-	↑	↑	0	-	-	-	2
	XOR.L #xx:32, ERd	L	6		ERd32 ⊕ #xx:32 → ERd32	-	-	↑	↑	0	-	-	-	6
	XOR.L ERs, ERd	L	4		ERd32 ⊕ ERs32 → ERd32	-	-	↑	↑	0	-	-	-	4
NOT	NOT.B Rd	B	2		~Rd8 → Rd8	-	-	↑	↑	0	-	-	-	2
	NOT.W Rd	W	2		~Rd16 → Rd16	-	-	↑	↑	0	-	-	-	2
	NOT.L ERd	L	2		~Rd32 → Rd32	-	-	↑	↑	0	-	-	-	2

(4) シフト命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション	コンディションコード					実行ステータス ノーマル/アドバンス		
		#xx	Rn	@(d, ERn)	@(d, ERn) @-ERm@ERn+ @aa @(d, PC) @@aa		I	H	N	Z	V		C	
SHAL	SHAL.B Rd	B	2				-	-	↑	↑	↑	↑	↑	2
	SHAL.W Rd	W	2				-	-	↑	↑	↑	↑	↑	2
	SHAL.L ERd	L	2				-	-	↑	↑	↑	↑	↑	2
SHAR	SHAR.B Rd	B	2				-	-	↑	↑	0	↑	↑	2
	SHAR.W Rd	W	2				-	-	↑	↑	0	↑	↑	2
	SHAR.L ERd	L	2				-	-	↑	↑	0	↑	↑	2
SHLL	SHLL.B Rd	B	2				-	-	↑	↑	0	↑	↑	2
	SHLL.W Rd	W	2				-	-	↑	↑	0	↑	↑	2
	SHLL.L ERd	L	2				-	-	↑	↑	0	↑	↑	2
SHLR	SHLR.B Rd	B	2				-	-	↑	↑	0	↑	↑	2
	SHLR.W Rd	W	2				-	-	↑	↑	0	↑	↑	2
	SHLR.L ERd	L	2				-	-	↑	↑	0	↑	↑	2
ROTXL	ROTXL.B Rd	B	2				-	-	↑	↑	0	↑	↑	2
	ROTXL.W Rd	W	2				-	-	↑	↑	0	↑	↑	2
	ROTXL.L ERd	L	2				-	-	↑	↑	0	↑	↑	2
ROTXR	ROTXR.B Rd	B	2				-	-	↑	↑	0	↑	↑	2
	ROTXR.W Rd	W	2				-	-	↑	↑	0	↑	↑	2
	ROTXR.L ERd	L	2				-	-	↑	↑	0	↑	↑	2
ROTL	ROTL.B Rd	B	2				-	-	↑	↑	0	↑	↑	2
	ROTL.W Rd	W	2				-	-	↑	↑	0	↑	↑	2
	ROTL.L ERd	L	2				-	-	↑	↑	0	↑	↑	2
ROTR	ROTR.B Rd	B	2				-	-	↑	↑	0	↑	↑	2
	ROTR.W Rd	W	2				-	-	↑	↑	0	↑	↑	2
	ROTR.L ERd	L	2				-	-	↑	↑	0	↑	↑	2

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション	コンディションコード					実行ステータス ノーマルアドバンス	
		#xx	Rn	@ERn	@(d, ERn) @-ERn/@ERn+ @aa @(d, PC) @aa-		I	H	N	Z	V		C
BST	BST #xx:3, Rd	B	2			C~(#xx:3 of Rd8)	-	-	-	-	-	-	2
	BST #xx:3, @ERd	B		4		C~(#xx:3 of @ERd24)	-	-	-	-	-	-	8
	BST #xx:3, @aa:8	B			4	C~(#xx:3 of @aa:8)	-	-	-	-	-	-	8
BIST	BIST #xx:3, Rd	B	2			~C~(#xx:3 of Rd8)	-	-	-	-	-	-	2
	BIST #xx:3, @ERd	B		4		~C~(#xx:3 of @ERd24)	-	-	-	-	-	-	8
	BIST #xx:3, @aa:8	B			4	~C~(#xx:3 of @aa:8)	-	-	-	-	-	-	8
BAND	BAND #xx:3, Rd	B	2			C^/#xx:3 of Rd8)→C	-	-	-	-	-	-	2
	BAND #xx:3, @ERd	B		4		C^/#xx:3 of @ERd24)→C	-	-	-	-	-	-	6
	BAND #xx:3, @aa:8	B			4	C^/#xx:3 of @aa:8)→C	-	-	-	-	-	-	6
BIAND	BIAND #xx:3, Rd	B	2			C^/~(#xx:3 of Rd8)→C	-	-	-	-	-	-	2
	BIAND #xx:3, @ERd	B		4		C^/~(#xx:3 of @ERd24)→C	-	-	-	-	-	-	6
	BIAND #xx:3, @aa:8	B			4	C^/~(#xx:3 of @aa:8)→C	-	-	-	-	-	-	6
BOR	BOR #xx:3, Rd	B	2			C^/~(#xx:3 of @aa:8)→C	-	-	-	-	-	-	2
	BOR #xx:3, @ERd	B		4		C^/~(#xx:3 of @ERd24)→C	-	-	-	-	-	-	6
	BOR #xx:3, @aa:8	B			4	C^/~(#xx:3 of @aa:8)→C	-	-	-	-	-	-	6
BIOR	BIOR #xx:3, Rd	B	2			C^/~(#xx:3 of Rd8)→C	-	-	-	-	-	-	2
	BIOR #xx:3, @ERd	B		4		C^/~(#xx:3 of @ERd24)→C	-	-	-	-	-	-	6
	BIOR #xx:3, @aa:8	B			4	C^/~(#xx:3 of @aa:8)→C	-	-	-	-	-	-	6
BXOR	BXOR #xx:3, Rd	B	2			C⊕(#xx:3 of Rd8)→C	-	-	-	-	-	-	2
	BXOR #xx:3, @ERd	B		4		C⊕(#xx:3 of @ERd24)→C	-	-	-	-	-	-	6
	BXOR #xx:3, @aa:8	B			4	C⊕(#xx:3 of @aa:8)→C	-	-	-	-	-	-	6
BIXOR	BIXOR #xx:3, Rd	B	2			C⊕~(#xx:3 of Rd8)→C	-	-	-	-	-	-	2
	BIXOR #xx:3, @ERd	B		4		C⊕~(#xx:3 of @ERd24)→C	-	-	-	-	-	-	6
	BIXOR #xx:3, @aa:8	B			4	C⊕~(#xx:3 of @aa:8)→C	-	-	-	-	-	-	6

ニーモニック	サ イ ズ	アドレッシングモード/命令長 (バイト)				オペレーション	分岐条件	コンディショニングコード							実行ステート数*1		
		#xx	Rn	@d, ERn	@-ERn/ERn+			@aa	@(d, PC)	@aa	I	H	N	Z		V	C
Bcc	BGE d:8	—															4
	BGE d:16	—						2									6
	BLT d:8	—															4
	BLT d:16	—															4
	BGT d:8	—							2								6
	BGT d:16	—							4								6
JMP	BLE d:8	—															4
	BLE d:16	—															6
	JMP @ERn	—		2													4
	JMP @aa:24	—															6
	JMP @aa:8	—					4										6
	JMP @aa:8	—															8
BSR	BSR d:8	—									2						10
	BSR d:16	—									2						8
JSR	JSR @ERn	—															10
	JSR @aa:24	—								2							8
	JSR @aa:8	—															10
RTS	RTS	—															12
	RTS	—								2							10

(7) システム制御命令

二一モニック	サイズ	アドレッシングモード/命令長 (バイト)			オペレーション	コンディションコード							実行ステート数 ^{※1}		
		#xx	Rn	@(d, ERn) @-ERn/@ERn+ @aa @(d, PC) @aa		I	H	N	Z	V	C	ノーマルアドバンス			
TRAPA	TRAPA #x:2	—			2	PC→@SP, CCR→@SP<ベクタ>→PC	↑	↑	↑	↑	↑	↑	↑	14	16
RTE	RTE	—				CCR←@SP+, PC←@SP+	↑	↑	↑	↑	↑	↑	↑	—	10
SLEEP	SLEEP	—				低消費電力状態に遷移	—	—	—	—	—	—	—	—	2
LDC	LDC #xx:8, CCR	B	2			#xx:8→CCR	↑	↑	↑	↑	↑	↑	↑	2	
	LDC Rs, CCR	B	2			Rs8→CCR	↑	↑	↑	↑	↑	↑	↑	2	
	LDC @ERs, CCR	W		4		@ERs→CCR	↑	↑	↑	↑	↑	↑	↑	6	
	LDC @(d:16, ERs), CCR	W		6		@(d:16, ERs)→CCR	↑	↑	↑	↑	↑	↑	↑	8	
	LDC @(d:24, ERs), CCR	W		10		@(d:24, ERs)→CCR	↑	↑	↑	↑	↑	↑	↑	12	
	LDC @ERs+, CCR	W		4		@ERs→CCR, ERs32:2→ERs32	↑	↑	↑	↑	↑	↑	↑	8	
	LDC @aa:16, CCR	W		6		@aa:16→CCR	↑	↑	↑	↑	↑	↑	↑	8	
	LDC @aa:24, CCR	W		8		@aa:24→CCR	↑	↑	↑	↑	↑	↑	↑	10	
STC	STC CCR, Rd	B	2			CCR→Rd8	—	—	—	—	—	—	—	2	
	STC CCR, @ERd	W		4		CCR→@ERd	—	—	—	—	—	—	—	6	
	STC CCR, @(d:16, ERd)	W		6		CCR→@(d:16, ERd)	—	—	—	—	—	—	—	8	
	STC CCR, @(d:24, ERd)	W		10		CCR→@(d:24, ERd)	—	—	—	—	—	—	—	12	
	STC CCR, @ERd	W		4		ERd32:2→ERd32, CCR→@ERd	—	—	—	—	—	—	—	8	
	STC CCR, @aa:16	W		6		CCR→@aa:16	—	—	—	—	—	—	—	8	
	STC CCR, @aa:24	W		8		CCR→@aa:24	—	—	—	—	—	—	—	10	
ANDC	ANDC #xx:8, CCR	B	2			CCR^#xx:8→CCR	↑	↑	↑	↑	↑	↑	↑	2	
ORC	ORC #xx:8, CCR	B	2			CCR V #xx:8→CCR	↑	↑	↑	↑	↑	↑	↑	2	
XORC	XORC #xx:8, CCR	B	2			CCR@#xx:8→CCR	↑	↑	↑	↑	↑	↑	↑	2	
NOP	NOP	—			2	PC←PC+2	—	—	—	—	—	—	—	2	

(8) データ転送命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)			オペレーション	コンディションコード				実行ステータス数*1 ノーマルアドバンス		
		#xx Rn	@ERn (d, ERn)	@aa @ERn+ (d, PC)		@aa	I	H	N		Z	V
EEMOV	—				if R4L ≠ 0 Repeat @ R5→@ R6 R5+1→R5 R6+1→R6 R4L-1→R4L Until R4L=0 else next;	—	—	—	—	—	—	8+4n*2
EEMOV.W	—				if R4 ≠ 0 Repeat @ R5→@ R6 R5+1→R5 R6+1→R6 R4-1→R4 Until R4=0 else next;	—	—	—	—	—	—	8+4n*2

【注】 *1 実行ステータス数は、オペコードおよびオペランドが内蔵メモリに存在する場合です。それ以外の場合は、「付録A.3 命令実行ステータス数」を参照してください。

*2 nはR4LまたはR4の設定値です。

- (1) ビット11から桁上りまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
- (2) ビット27から桁上りまたはビット27へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
- (3) 演算結果がゼロのとき、演算前の値を保持し、それ以外のとき0にクリアされます。
- (4) 補正結果に桁上りが発生したとき、1にセットされ、それ以外のとき演算前の値を保持します。
- (5) エクロック同期転送命令の実行ステータス数は一定ではありません。
- (6) 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。
- (7) 除数がゼロのとき1にセットされ、それ以外のとき0にクリアされます。
- (8) 商が負のとき1にセットされ、それ以外のとき0にクリアされます。

A.2 オペレーションコードマップ

表 A.2 オペレーションコードマップ (1)

命令コード：

第1バイト	第2バイト
AH AL	BH BL



 ←BHの最上位ビットが0の場合を示します。
 ←BHの最上位ビットが1の場合を示します。

命令コード	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
AH	AL															
0	NOP	表A.2(2)	STC	LDC	ORC	XORC	ANDC	LDC	ADD	表A.2(2)	表A.2(2)	表A.2(2)	MOV	ADDX	表A.2(2)	
1	表A.2(2)	表A.2(2)	表A.2(2)	表A.2(2)	OR.B	XOR.B	AND.B	表A.2(2)	SUB	表A.2(2)	表A.2(2)	表A.2(2)	CMP	SUBX	表A.2(2)	
2	MOV, B															
3	MOV, B															
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	TRAPA	表A.2(2)		JMP		BSR		JSR	
6					OR	XOR	AND	BST								
	BSET	BNOT	BCLR	BTST	BOR	BXOR	BAND	BIST								
7					BIOR	BXOR	BAND	BLD	MOV	表A.2(2)	表A.2(2)	表A.2(2)	MOV			表A.2(3)
8	ADD															
9	ADDX															
A	CMP															
B	SUBX															
C	OR															
D	XOR															
E	AND															
F	MOV															

表 A.2 オペレーションコードマップ (2)

命令コード:		第1バイト		第2バイト													
		AH	AL	BH	BL	BH	AH	9	A	B	C	D	E	F			
BH	AH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
		MOV				LDC/STC				SLEEP				表A.2 (3)	表A.2 (3)		表A.2 (3)
0A		INC												ADD			
0B		ADDS					INC		INC	ADDS					INC		INC
0F		DAA												MOV			
10		SHLL								SHAL			SHAL				
11		SHLR								SHAR			SHAR				
12		ROTXL								ROTL			ROTL				
13		ROTXR								ROTR			ROTR				
17		NOT							EXTU	NEG			NEG		EXTS		EXTS
1A		DEC												SUB			
1B		SUBS					DEC		DEC	SUBS					DEC		DEC
1F		DAS												CMP			
58	BRA	BRN	BHI	BLS	BCC	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
79	MOV	ADD	CMP	SUB	OR	OR	XOR	AND									
7A	MOV	ADD	CMP	SUB	OR	OR	XOR	AND									

表 A.2 オペレーションコードマップ (3)

命令コード	第1バイト		第2バイト		第3バイト		第4バイト		9	8	7	6	5	4	3	2	1	0	A	B	C	D	E	F
	AH	AL	BH	BL	CH	CL	DH	DL																
AHALBHCLCH	CL																							
01406																								
01C05		MULXS			MULXS																			
01D05			DIVXS			DIVXS																		
01F06							OR	XOR	AND															
7C06 *1																								
7C07 *1																								
7D06 *1		BSET		BNOT		BCLR																		
7D07 *1		BSET		BNOT		BCLR																		
7Eaa6 *2																								
7Eaa7 *2																								
7Faa6 *2		BSET		BNOT		BCLR																		
7Faa7 *2		BSET		BNOT		BCLR																		



【注】 *1 rはレジスタ指定部

*2 aaは絶対アドレス指定部

A.3 命令実行ステート数

H8/300H CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.4 に命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライトなどのサイクル数を示し、表 A.3 に各々のサイクルに必要なステート数を示します。命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

実行ステート数計算例

(例) 内蔵 ROM より命令をフェッチし、内蔵 RAM をアクセスした場合

1. BSET #0, @FF00

表A.4より

$$I=L=2, J=K=M=N=0$$

表A.3より

$$S_I=2, S_L=2$$

$$\text{実行ステート数} = 2 \times 2 + 2 \times 2 = 8$$

内蔵ROMより命令をフェッチし、内蔵ROMより分岐アドレスをリード、スタック領域は内蔵RAMとした場合

2. JSR @@30

表A.4より

$$I=2, J=K=1, L=M=N=0$$

表A.3より

$$S_I=S_J=S_K=2$$

$$\text{実行ステート数} = 2 \times 2 + 1 \times 2 + 1 \times 2 = 8$$

表 A.3 実行状態 (サイクル) に要するステート数

実行状態 (サイクル)	アクセス対象		
	内蔵メモリ	内蔵周辺モジュール	
命令フェッチ S_I	2	-	
分岐アドレスリード S_J			
スタック操作 S_K			
バイトデータアクセス S_L			2または3*
ワードデータアクセス S_M			2または3*
内部動作 S_N	1		

【注】 * 内蔵周辺モジュールによって異なります。詳細は、「19.1 レジスタアドレス一覧 (アドレス順)」を参照してください。

表 A.4 命令の実行状態（サイクル数）

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W #xx:16, Rd	2					
	ADD.W Rs, Rd	1					
	ADD.L #xx:32, ERd	3					
	ADD.L ERs, ERd	1					
ADDS	ADDS #1/2/4, ERd	1					
ADDX	ADDX #xx:8, Rd	1					
	ADDX Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
	AND.W #xx:16, Rd	2					
	AND.W Rs, Rd	1					
	AND.L #xx:32, ERd	3					
	AND.L ERs, ERd	2					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @ERd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
Bcc	BGT d:8	2					
	BLE d:8	2					
	BRA d:16(BT d:16)	2					2
	BRN d:16(BF d:16)	2					2
	BHI d:16	2					2
	BLS d:16	2					2
	BCC d:16(BHS d:16)	2					2
	BCS d:16(BLO d:16)	2					2
	BNE d:16	2					2
	BEQ d:16	2					2
	BVC d:16	2					2
	BVS d:16	2					2
	BPL d:16	2					2
	BMI d:16	2					2
	BGE d:16	2					2
	BLT d:16	2					2
BGT d:16	2					2	
BLE d:16	2					2	
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @ERd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @ERd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @ERd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @ERd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:8, Rd	1					
	BIOR #xx:8, @ERd	2			1		
	BIOR #xx:8, @aa:8	2			1		

付録

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @ERd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @ERd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @ERd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @ERd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @ERd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @ERd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @ERd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @ERd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	2		1			
	BSR d:16	2		1			2
BST	BST #xx:3, Rd	1					
	BST #xx:3, @ERd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @ERd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @ERd	2			1		
	BTST Rn, @aa:8	2			1		

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @ERd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W #xx:16, Rd	2					
	CMP.W Rs, Rd	1					
	CMP.L #xx:32, ERd	3					
	CMP.L ERs, ERd	1					
DAA	DAA Rd	1					
DAS	DAS Rd	1					
DEC	DEC.B Rd	1					
	DEC.W #1/2, Rd	1					
	DEC.L #1/2, ERd	1					
DIVXS	DIVXS.B Rs, Rd	2					12
	DIVXS.W Rs, ERd	2					20
DIVXU	DIVXU.B Rs, Rd	1					12
	DIVXU.W Rs, ERd	1					20
EEPMOV	EEPMOV.B	2			$2n+2^{*1}$		
	EEPMOV.W	2			$2n+2^{*1}$		
EXTS	EXTS.W Rd	1					
	EXTS.L ERd	1					
EXTU	EXTU.W Rd	1					
	EXTU.L ERd	1					
INC	INC.B Rd	1					
	INC.W #1/2, Rd	1					
	INC.L #1/2, ERd	1					
JMP	JMP @ERn	2					
	JMP @aa:24	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @ERn	2		1			
	JSR @aa:24	2		1			2
	JSR @@aa:8	2	1	1			

付録

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
LDC	LDC #xx:8, CCR	1					
	LDC Rs, CCR	1					
	LDC@ERs, CCR	2				1	
	LDC@(d:16, ERs), CCR	3				1	
	LDC@(d:24, ERs), CCR	5				1	
	LDC@ERs+, CCR	2				1	2
	LDC@aa:16, CCR	3				1	
	LDC@aa:24, CCR	4				1	
MOV	MOV.B #xx:8, Rd	1					
	MOV.B Rs, Rd	1					
	MOV.B @ERs, Rd	1			1		
	MOV.B @(d:16, ERs), Rd	2			1		
	MOV.B @(d:24, ERs), Rd	4			1		
	MOV.B @ERs+, Rd	1			1		2
	MOV.B @aa:8, Rd	1			1		
	MOV.B @aa:16, Rd	2			1		
	MOV.B @aa:24, Rd	3			1		
	MOV.B Rs, @ERd	1			1		
	MOV.B Rs, @(d:16, ERd)	2			1		
	MOV.B Rs, @(d:24, ERd)	4			1		
	MOV.B Rs, @-ERd	1			1		2
	MOV.B Rs, @aa:8	1			1		
	MOV.B Rs, @aa:16	2			1		
	MOV.B Rs, @aa:24	3			1		
	MOV.W #xx:16, Rd	2					
	MOV.W Rs, Rd	1					
	MOV.W @ERs, Rd	1				1	
	MOV.W @(d:16, ERs), Rd	2				1	
	MOV.W @(d:24, ERs), Rd	4				1	
	MOV.W @ERs+, Rd	1				1	2
	MOV.W @aa:16, Rd	2				1	
	MOV.W @aa:24, Rd	3				1	
	MOV.W Rs, @ERd	1				1	
	MOV.W Rs, @(d:16, ERd)	2				1	
	MOV.W Rs, @(d:24, ERd)	4				1	

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
MOV	MOV.W Rs, @-ERd	1				1	2
	MOV.W Rs, @aa:16	2				1	
	MOV.W Rs, @aa:24	3				1	
	MOV.L #xx:32, ERd	3					
	MOV.L ERs, ERd	1					
	MOV.L @ERs, ERd	2				2	
	MOV.L @(d:16,ERs), ERd	3				2	
	MOV.L @(d:24,ERs), ERd	5				2	
	MOV.L @ERs+, ERd	2				2	2
	MOV.L @aa:16, ERd	3				2	
	MOV.L @aa:24, ERd	4				2	
	MOV.L ERs,@ERd	2				2	
	MOV.L ERs, @(d:16,ERd)	3				2	
	MOV.L ERs, @(d:24,ERd)	5				2	
	MOV.L ERs, @-ERd	2				2	2
	MOV.L ERs, @aa:16	3				2	
MOV.L ERs, @aa:24	4				2		
MOVFPPE	MOVFPPE @aa:16, Rd* ²	2			1		
MOVTPPE	MOVTPPE Rs,@aa:16* ²	2			1		
MULXS	MULXS.B Rs, Rd	2					12
	MULXS.W Rs, ERd	2					20
MULXU	MULXU.B Rs, Rd	1					12
	MULXU.W Rs, ERd	1					20
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
	NOT.W Rd	1					
	NOT.L ERd	1					

付録

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
OR	OR.B #xx:8, Rd	1					
	OR.B Rs, Rd	1					
	OR.W #xx:16, Rd	2					
	OR.W Rs, Rd	1					
	OR.L #xx:32, ERd	3					
	OR.L ERs, ERd	2					
ORC	ORC #xx:8, CCR	1					
POP	POP.W Rn	1				1	2
	POP.L ERn	2				2	2
PUSH	PUSH.W Rn	1				1	2
	PUSH.L ERn	2				2	2
ROTL	ROTL.B Rd	1					
	ROTL.W Rd	1					
	ROTL.L ERd	1					
ROTR	ROTR.B Rd	1					
	ROTR.W Rd	1					
	ROTR.L ERd	1					
ROTXL	ROTXL.B Rd	1					
	ROTXL.W Rd	1					
	ROTXL.L ERd	1					
ROTXR	ROTXR.B Rd	1					
	ROTXR.W Rd	1					
	ROTXR.L ERd	1					
RTE	RTE	2		2		2	
RTS	RTS	2		1		2	
SHAL	SHAL.B Rd	1					
	SHAL.W Rd	1					
	SHAL.L ERd	1					
SHAR	SHAR.B Rd	1					
	SHAR.W Rd	1					
	SHAR.L ERd	1					
SHLL	SHLL.B Rd	1					
	SHLL.W Rd	1					
	SHLL.L ERd	1					

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
SHLR	SHLR.B Rd	1					
	SHLR.W Rd	1					
	SHLR.L ERd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
	STC CCR, @ERd	2				1	
	STC CCR, @(d:16,ERd)	3				1	
	STC CCR, @(d:24,ERd)	5				1	
	STC CCR, @-ERd	2				1	2
	STC CCR, @aa:16	3				1	
	STC CCR, @aa:24	4				1	
SUB	SUB.B Rs, Rd	1					
	SUB.W #xx:16, Rd	2					
	SUB.W Rs, Rd	1					
	SUB.L #xx:32, ERd	3					
	SUB.L ERs, ERd	1					
SUBS	SUBS #1/2/4, ERd	1					
SUBX	SUBX #xx:8, Rd	1					
	SUBX Rs, Rd	1					
TRAPA	TRAPA #xx:2	2	1	2			4
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
	XOR.W #xx:16, Rd	2					
	XOR.W Rs, Rd	1					
	XOR.L #xx:32, ERd	3					
	XOR.L ERs, ERd	2					
XORC	XORC #xx:8, CCR	1					

【注】 *1 n は R4L、R4 の設定値です。ソース側、デスティネーション側のアクセスが、それぞれ (n+1) 回行われます。

*2 本 LSI では使用できません。

B. I/O ポート

B.1 I/O ポートブロック図

$\overline{\text{RES}}$ はリセット時 Low、 $\overline{\text{SBY}}$ はリセット時およびスタンバイモードで Low になります。

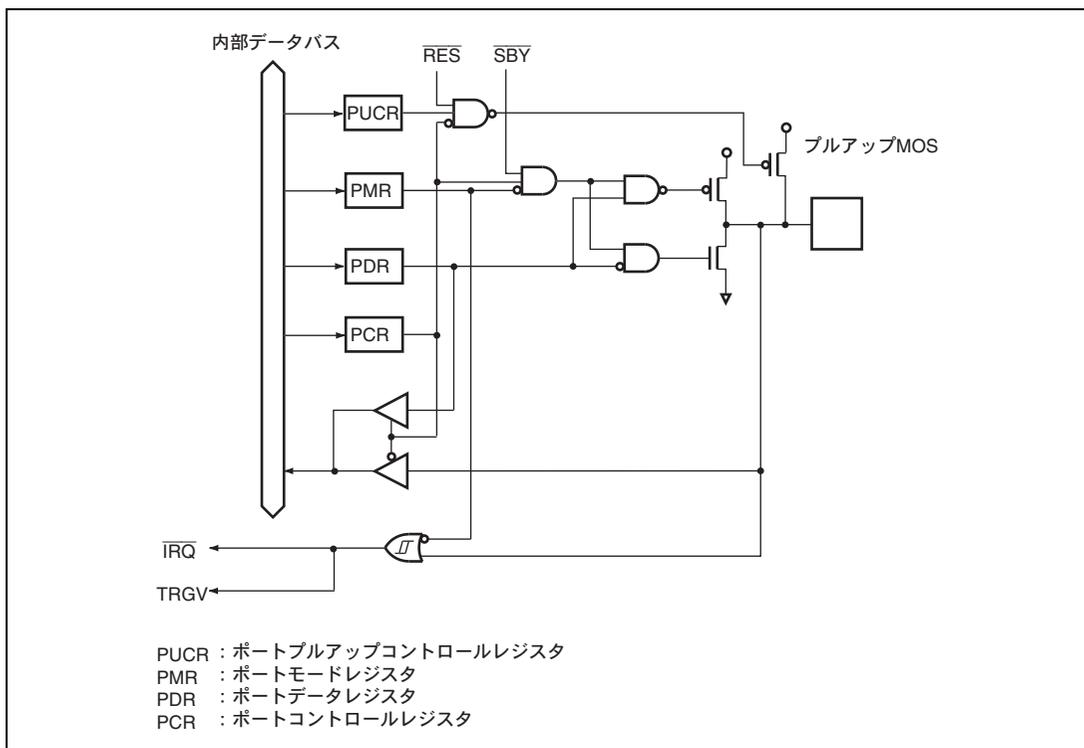


図 B.1 ポート1 ブロック図 (P17)

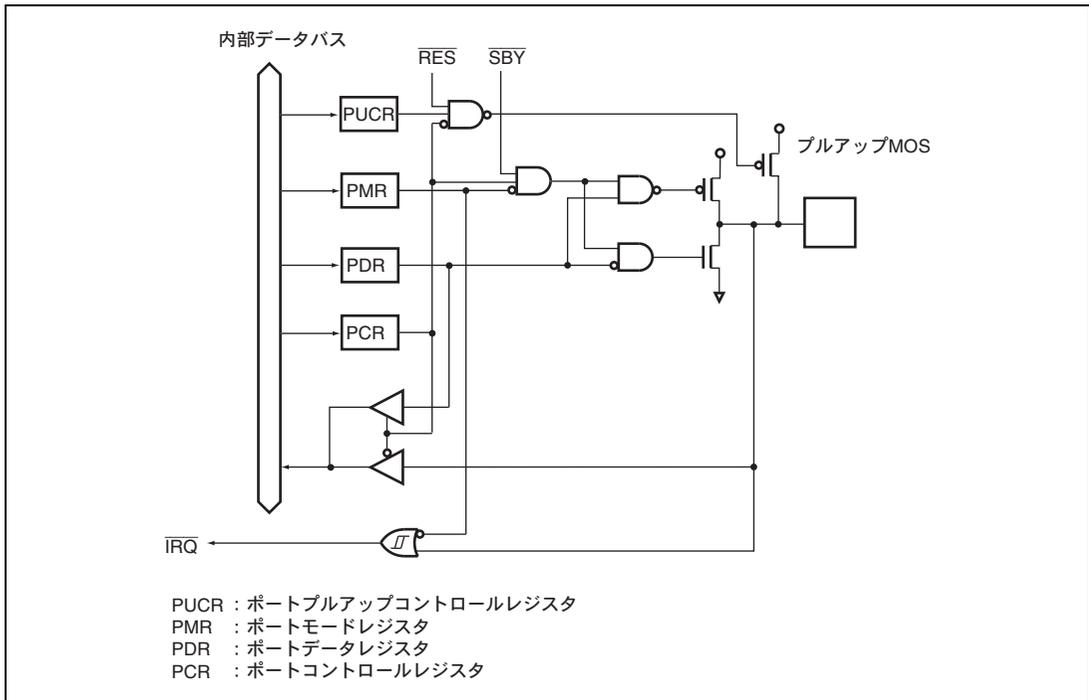


図 B.2 ポート1 ブロック図 (P14)

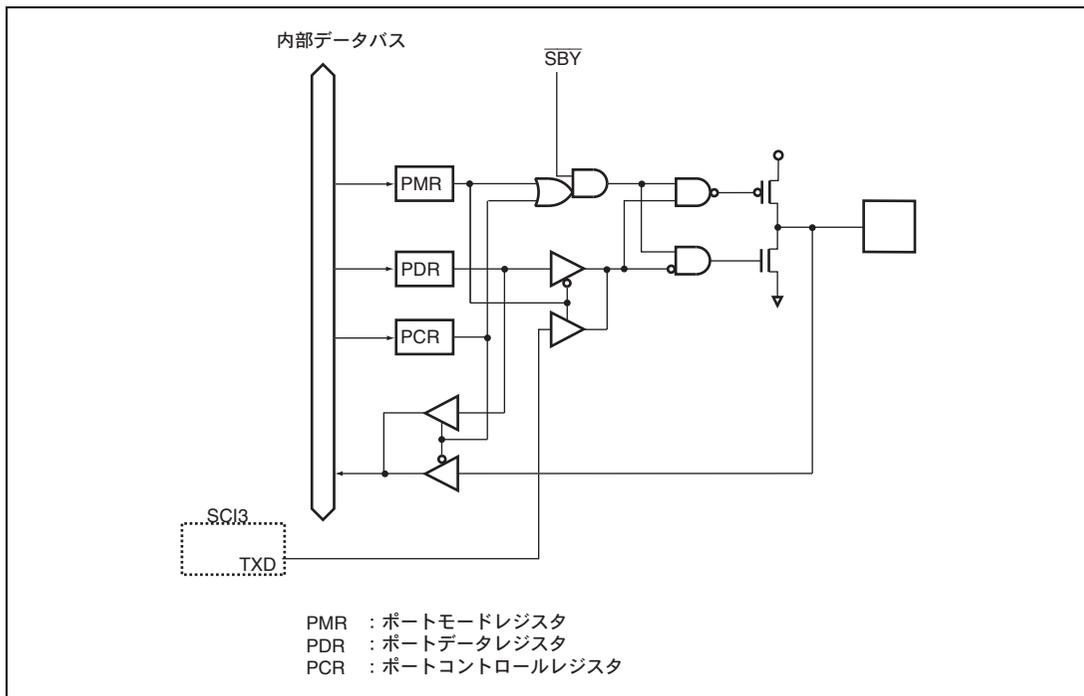


図 B.3 ポート 2 ブロック図 (P22)

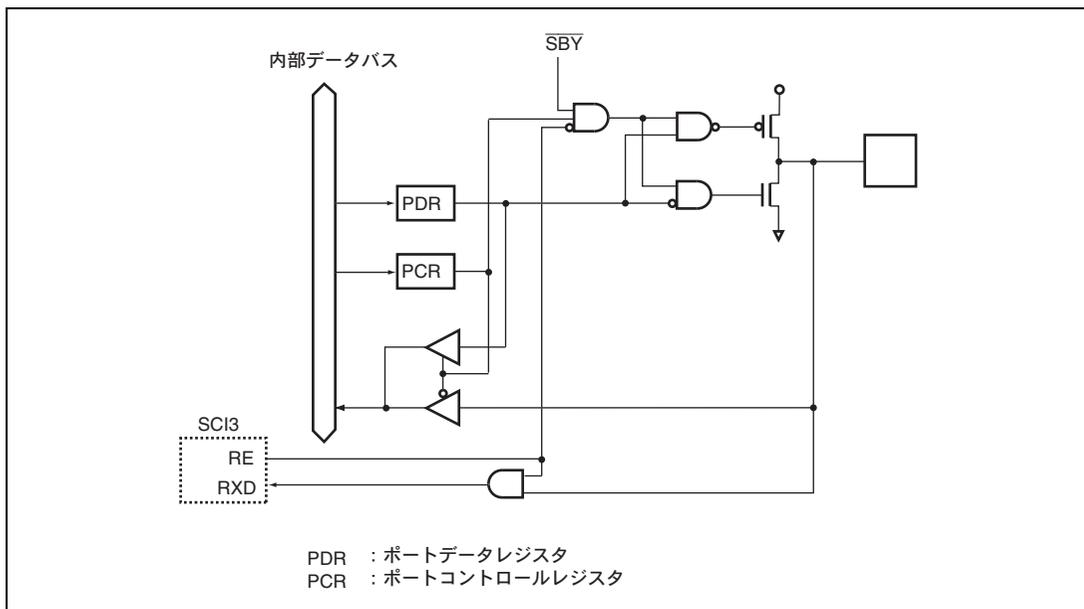


図 B.4 ポート 2 ブロック図 (P21)

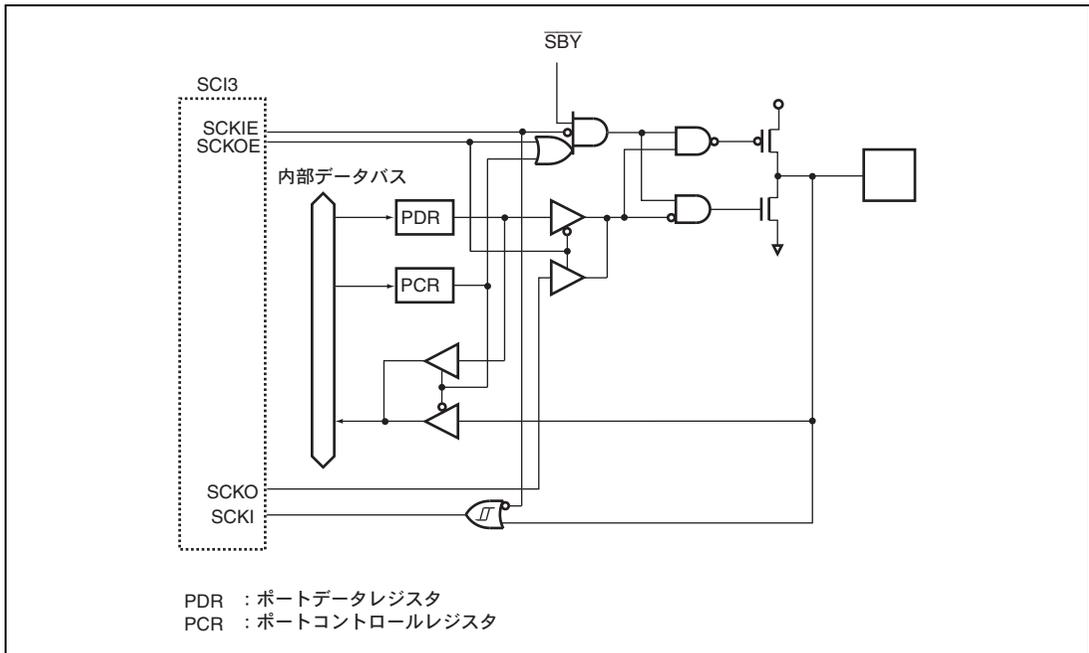


図 B.5 ポート 2 ブロック図 (P20)

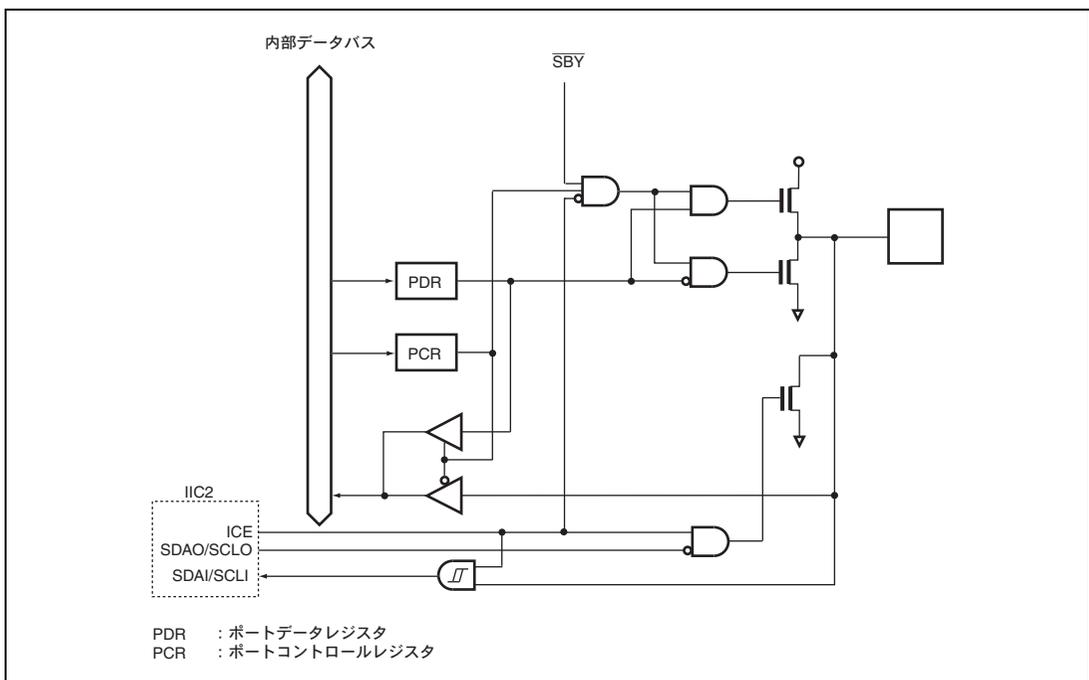


図 B.6 (1) ポート 5 ブロック図 (P57、P56) (H8/36912 グループ)

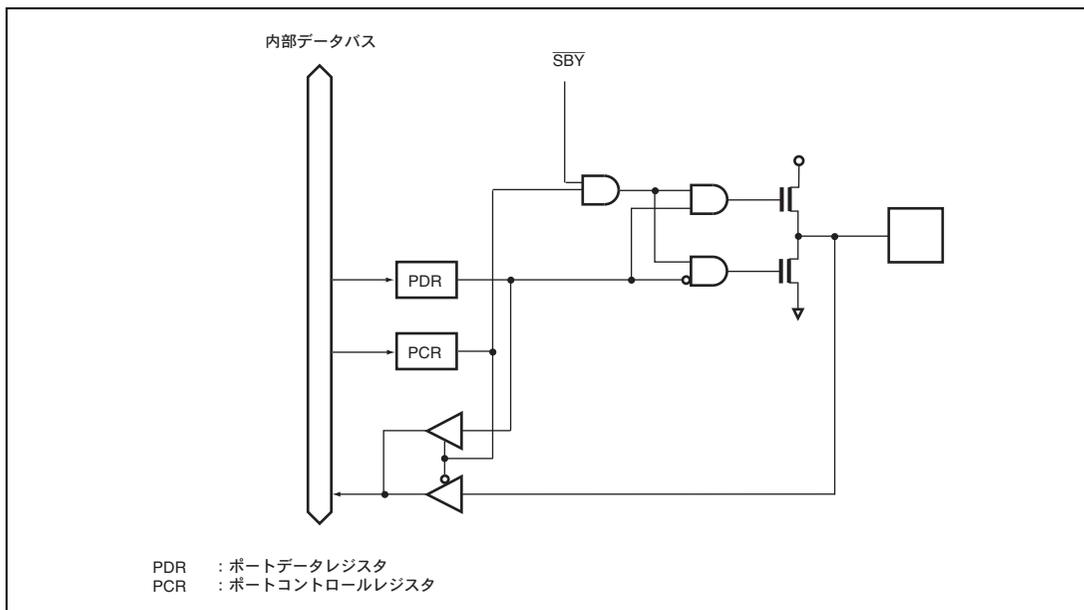


図 B.6 (2) ポート 5 ブロック図 (P57、P56) (H8/36902 グループ)

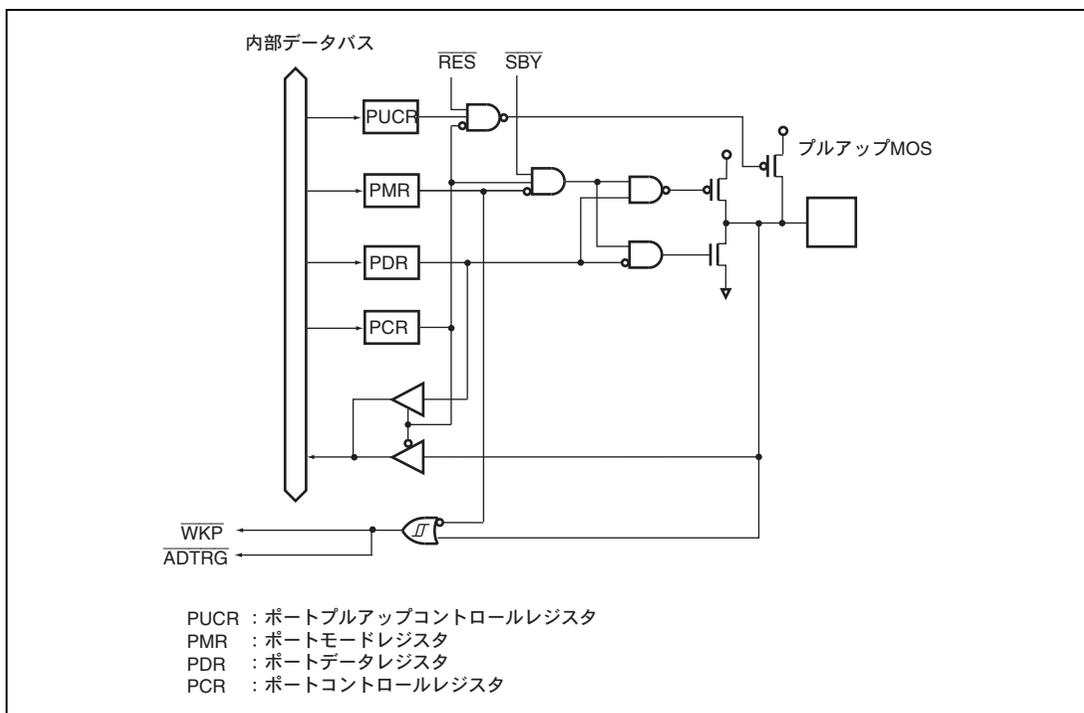


図 B.7 ポート 5 ブロック図 (P55)

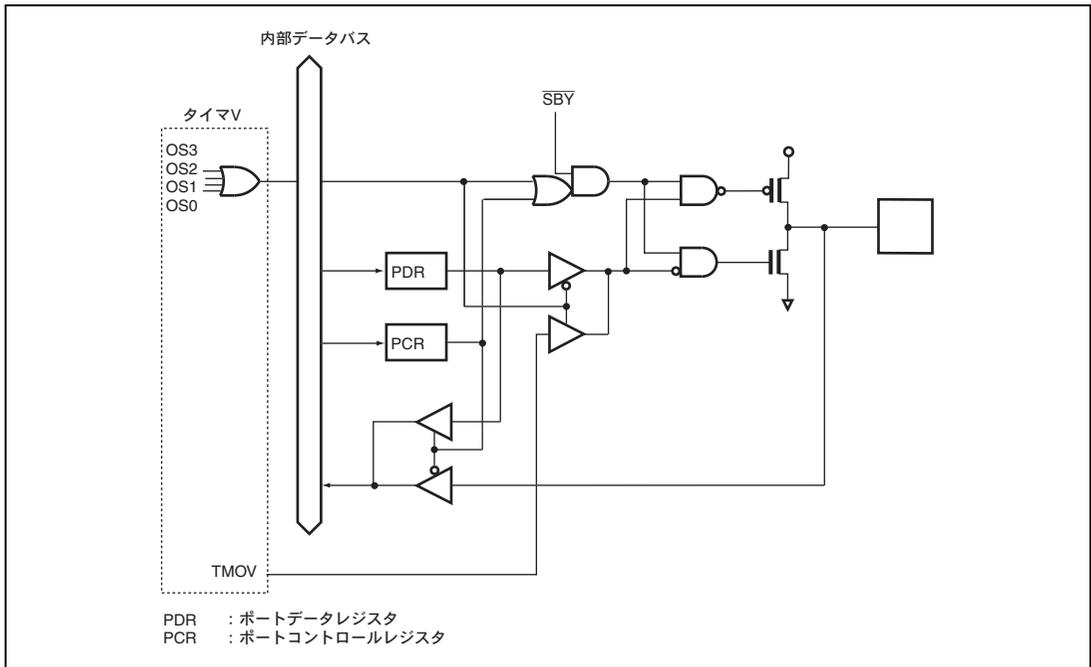


図 B.8 ポート7ブロック図 (P76)

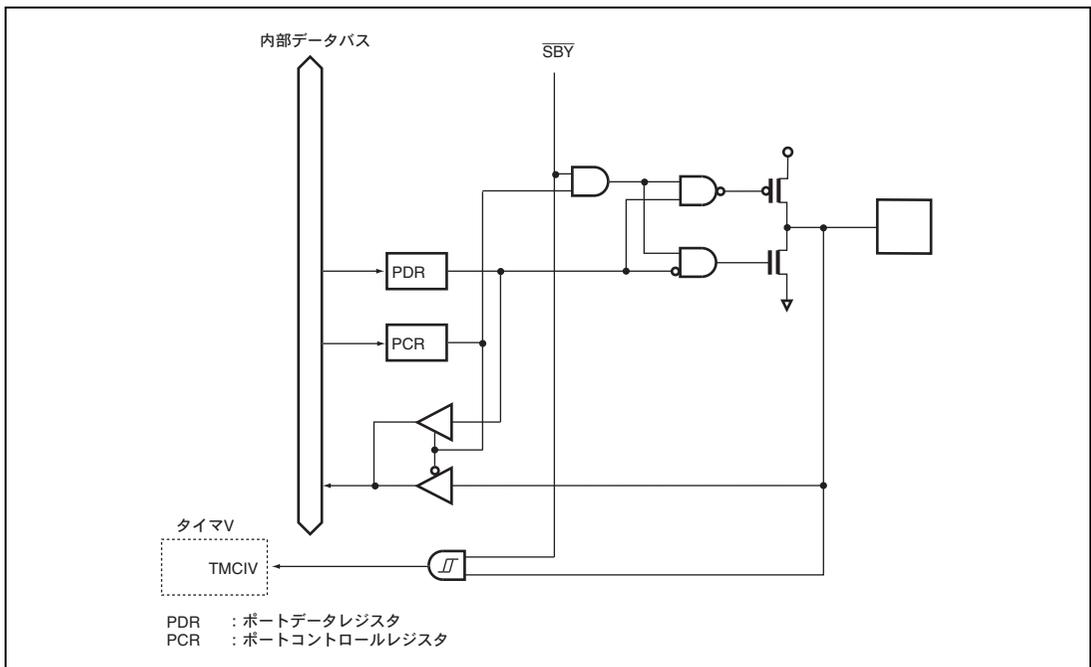


図 B.9 ポート7ブロック図 (P75)

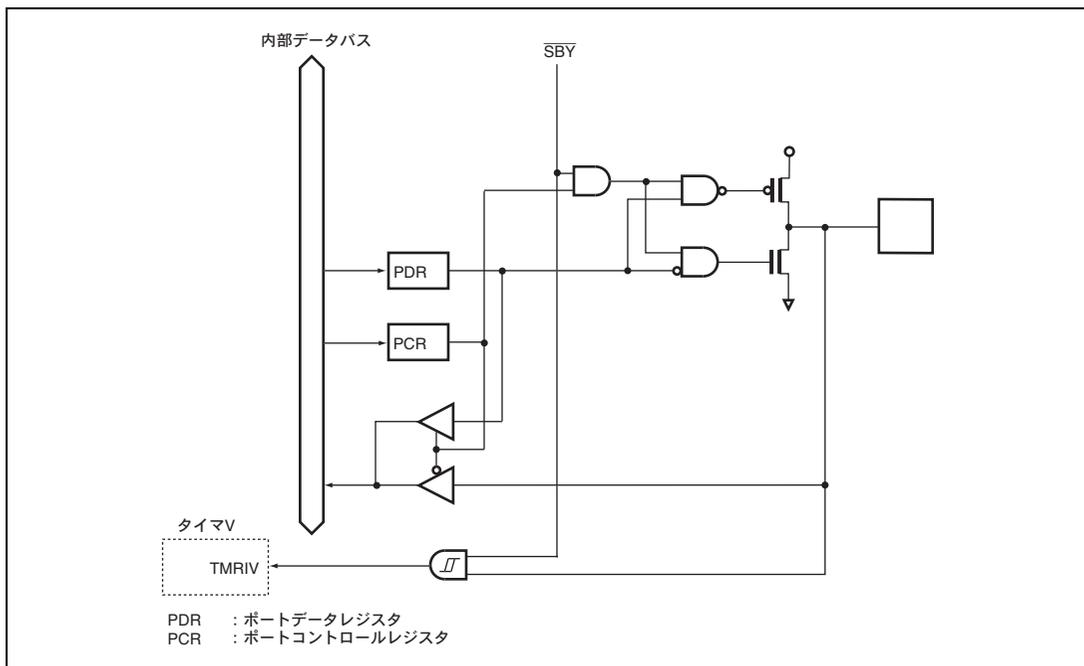


図 B.10 ポート7ブロック図 (P74)

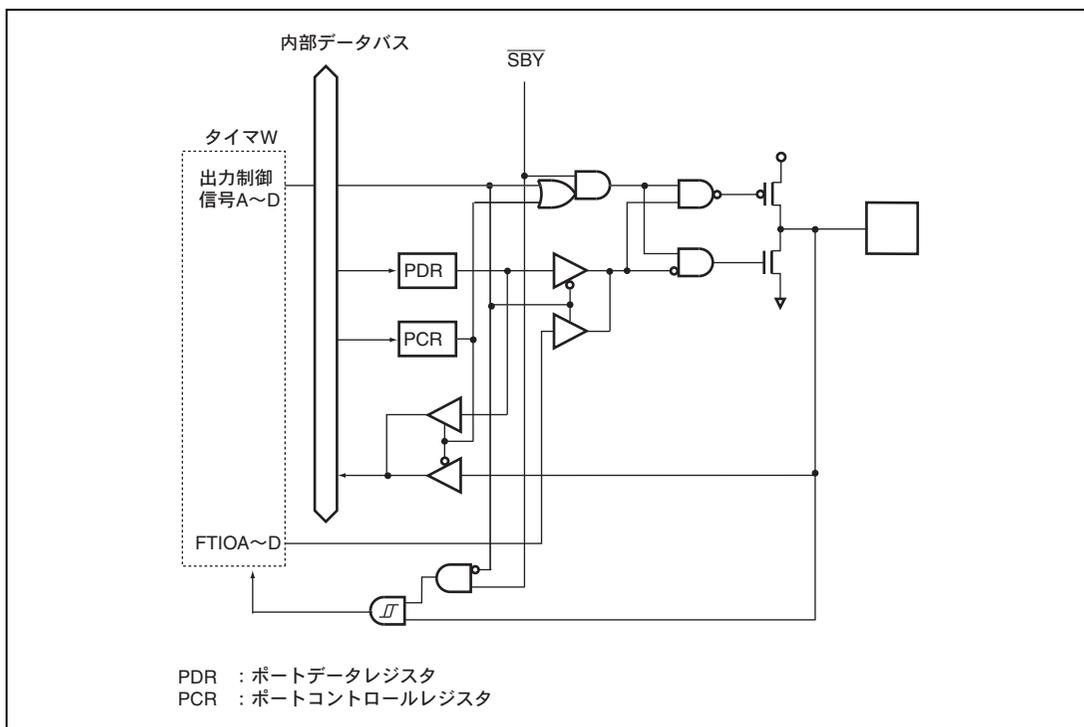


図 B.11 ポート8ブロック図 (P84、P83、P82、P81)

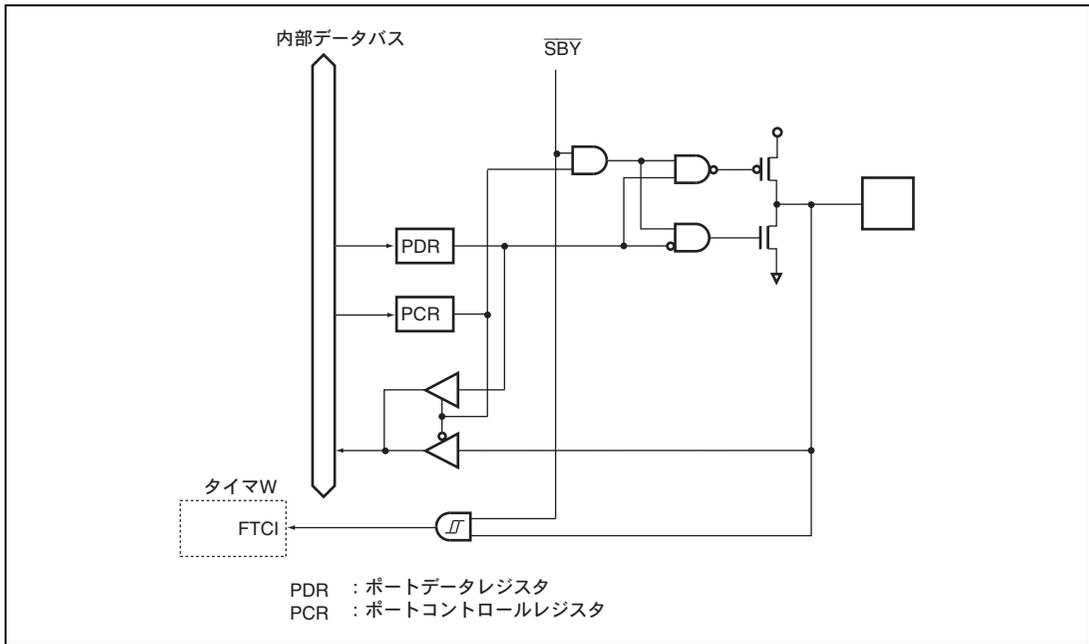


図 B.12 ポート 8 ブロック図 (P80)

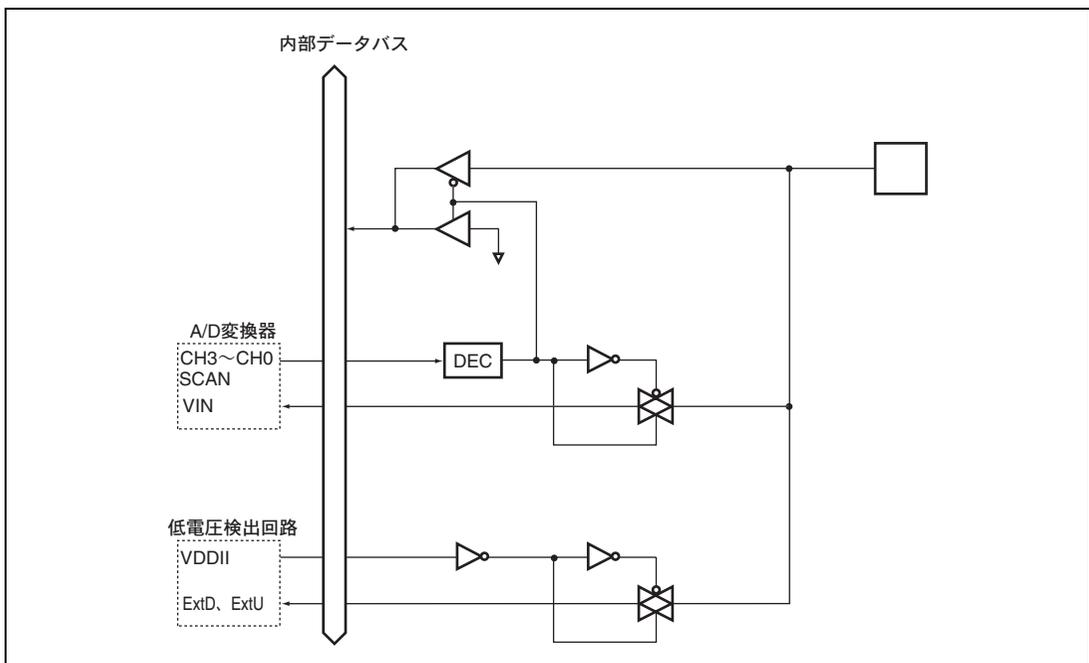


図 B.13 ポート B ブロック図 (PB3、PB2)

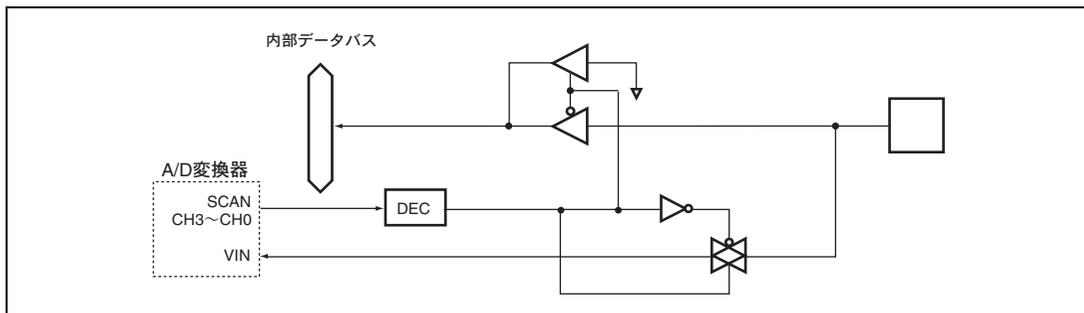


図 B.14 ポート B ブロック図 (PB1、PB0)

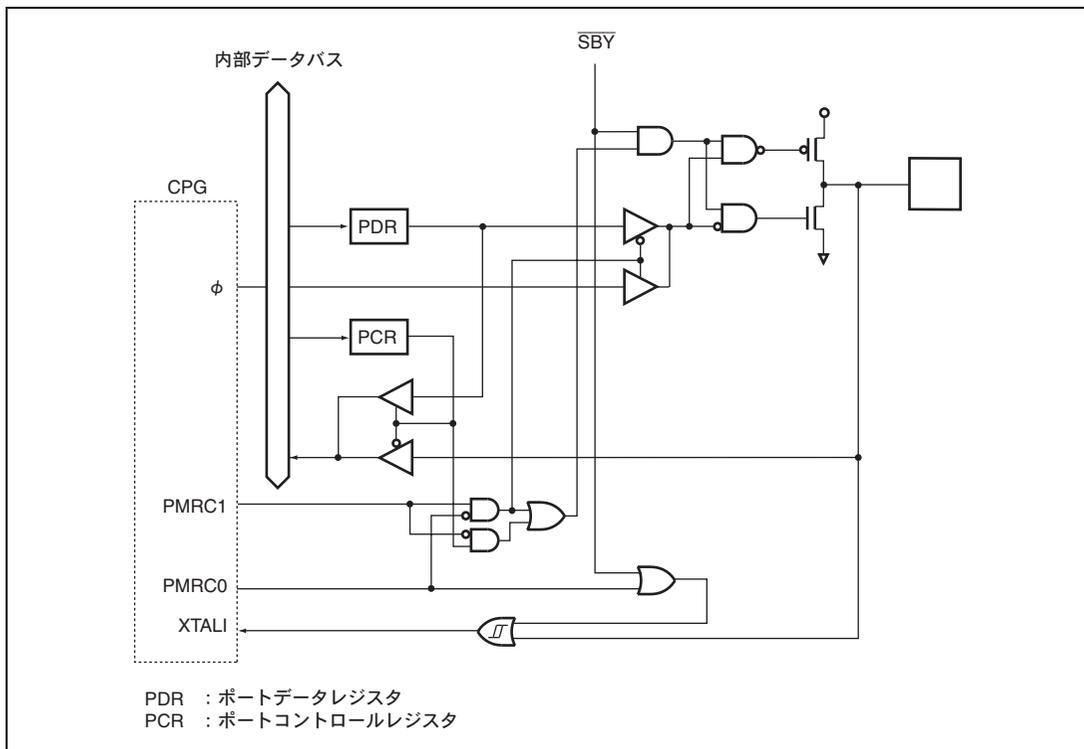


図 B.15 ポート C ブロック図 (PC1)

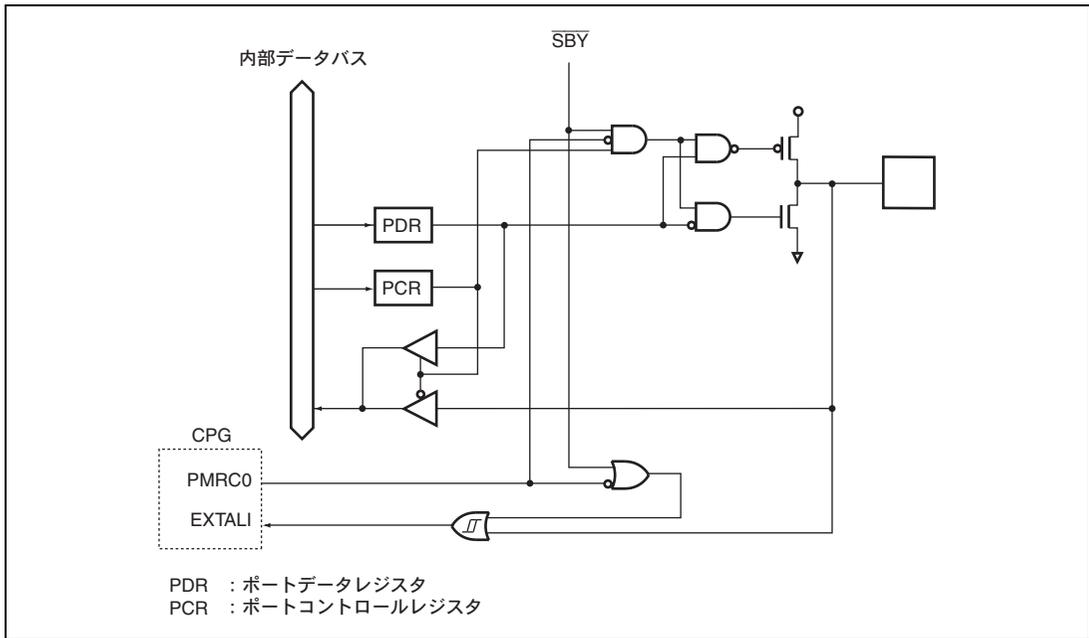


図 B.16 ポート C ブロック図 (PC0)

B.2 各処理状態におけるポートの状態

動作モード	リセット	アクティブ	スリープ	サブスリープ	スタンバイ
P17、P14	ハイインピーダンス	動作	保持	保持	ハイインピーダンス*
P22～P20	ハイインピーダンス	動作	保持	保持	ハイインピーダンス
P57～P55	ハイインピーダンス	動作	保持	保持	ハイインピーダンス*
P76～P74	ハイインピーダンス	動作	保持	保持	ハイインピーダンス
P84～P80	ハイインピーダンス	動作	保持	保持	ハイインピーダンス
PB3～PB0	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	保持	ハイインピーダンス
PC1、PC0	ハイインピーダンス	動作	保持	保持	ハイインピーダンス

【注】 * プルアップ MOS が ON 状態では High 出力となります。

C. 型名一覧

製品分類		製品型名	マーク型名	パッケージ (コード)
H8/36912	フラッシュメモリ版	HD64F36912G	HD64F36912GFH	LQFP-32 (FP-32A)
			HD64F36912GTP	SOP-32 (FP-32D)
			HD64F36912GP	SDIP-32 (32P4B)
	マスク ROM 版	HD64336912G	HD64336912G(***) FH	LQFP-32 (FP-32A)
			HD64336912G(***) TP	SOP-32 (FP-32D)
H8/36911	マスク ROM 版	HD64336911G	HD64336911G(***) FH	LQFP-32 (FP-32A)
			HD64336911G(***) TP	SOP-32 (FP-32D)
H8/36902	フラッシュメモリ版	HD64F36902G	HD64F36902GFH	LQFP-32 (FP-32A)
			HD64F36902GTP	SOP-32 (FP-32D)
			HD64F36902GP	SDIP-32 (32P4B)
	マスク ROM 版	HD64336902G	HD64336902G(***) FH	LQFP-32 (FP-32A)
			HD64336902G(***) TP	SOP-32 (FP-32D)
H8/36901	マスク ROM 版	HD64336901G	HD64336901G(***) FH	LQFP-32 (FP-32A)
			HD64336901G(***) TP	SOP-32 (FP-32D)
H8/36900	マスク ROM 版	HD64336900G	HD64336900G(***) FH	LQFP-32 (FP-32A)
			HD64336900G(***) TP	SOP-32 (FP-32D)

【注】 (***) は ROM コードです。

D. 外形寸法図

外形寸法図については、「ルネサス半導体パッケージデータブック」に掲載されている外形寸法図を優先します。

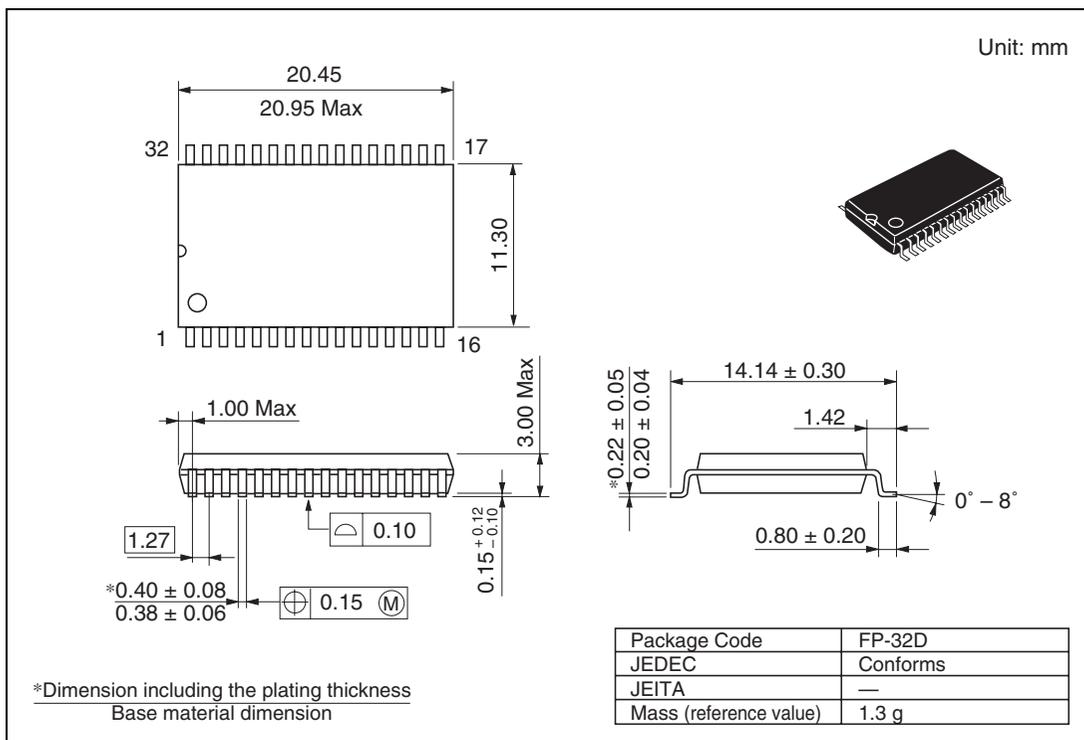


図 D.1 FP-32D 外形寸法図

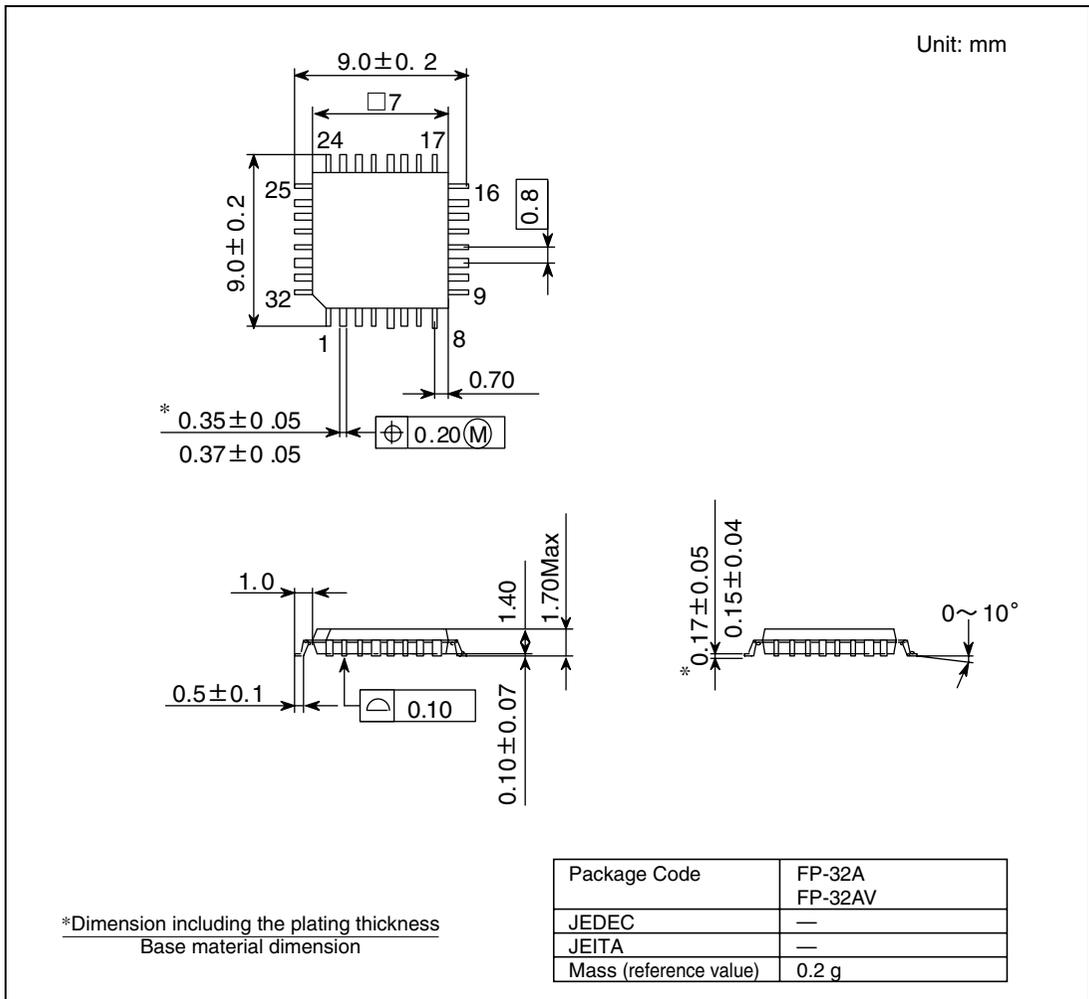


図 D.2 FP-32A 外形寸法図

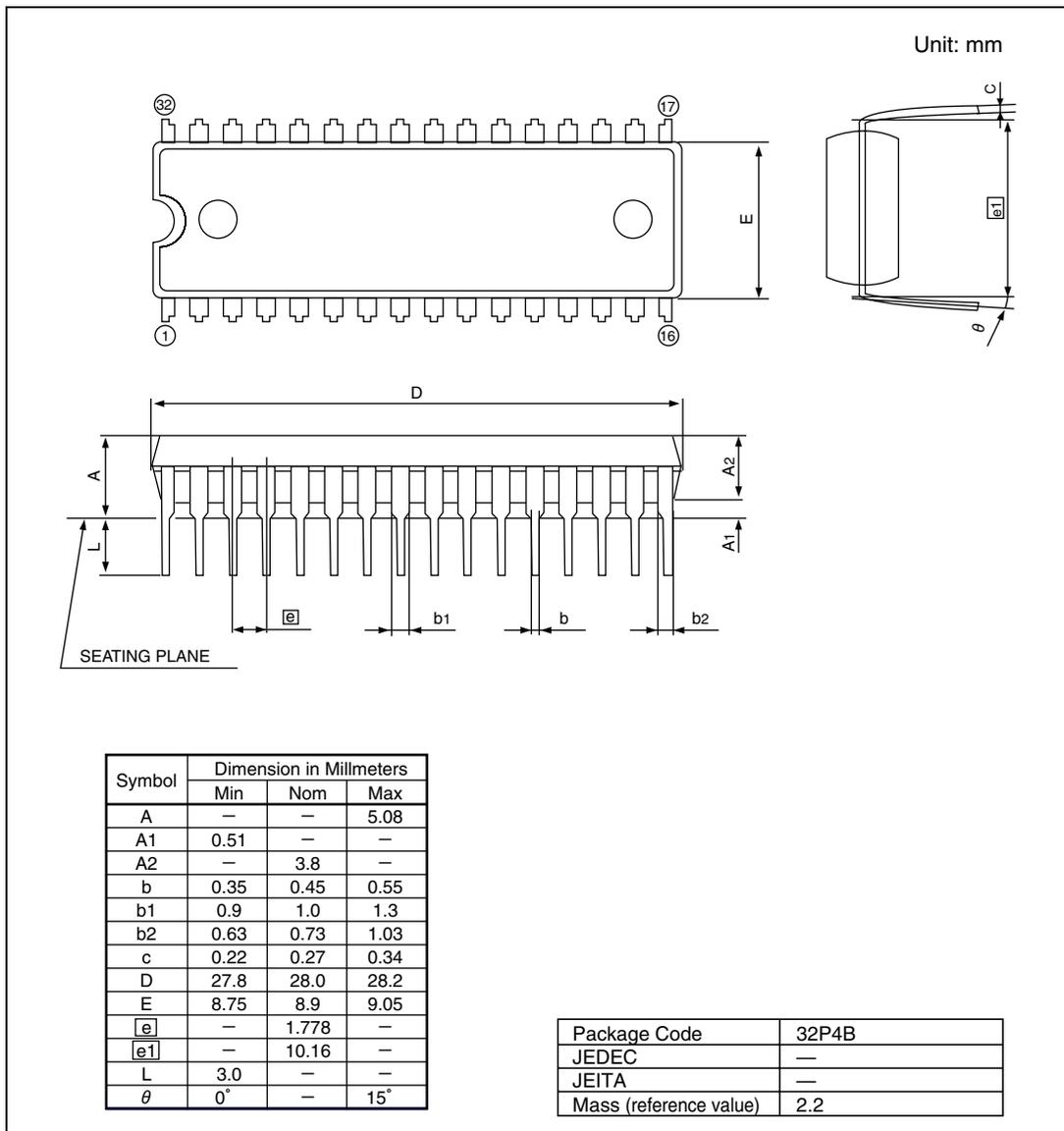


图 D.3 32P4B 外形尺寸图

本版で修正または追加された箇所

H8/36912 グループ、H8/36902 グループハードウェアマニュアル第3版（RJJ09B0085-0300）におきまして、修正および追加した箇所がありますのでご連絡させていただきます。

項 目	ページ	修正箇所																		
はじめに	—	<p>オンチップエミュレータ（E7、E8）を使用して H8/36912 グループ、H8/36902 グループのプログラム開発、デバッグを行う場合、以下の制限事項がありますのでご注意ください。</p> <ol style="list-style-type: none"> NMI 端子は E7、E8 で占有するため使用できません。 アドレス H'2000~H'2FFF 領域は E7、E8 で使用するためユーザはこの領域は使用できません。 アドレス H'F980~H'FD7F 領域は絶対にアクセスしないでください。 E7、E8 を使用する場合、アドレスブレークを E7、E8 が使用するか、ユーザに開放するか設定可能になっています。E7、E8 がアドレスブレークを使用する場合、ユーザはアドレスブレークの制御レジスタをアクセスしないでください。 E7、E8 使用時、NMI 端子は入出力（出力時はオープンドレイン）になります。 																		
1.1 特長	1-1	<ul style="list-style-type: none"> 内蔵メモリ <table border="1" data-bbox="618 1078 1205 1309"> <thead> <tr> <th colspan="2">製品分類</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td rowspan="5">マスク ROM 版</td> <td>H8/36912</td> <td>計画中</td> </tr> <tr> <td>H8/36911</td> <td>計画中</td> </tr> <tr> <td>H8/36902</td> <td>計画中</td> </tr> <tr> <td>H8/36901</td> <td>計画中</td> </tr> <tr> <td>H8/36900</td> <td>計画中</td> </tr> </tbody> </table> 小型パッケージ <table border="1" data-bbox="618 1348 1205 1508"> <thead> <tr> <th>パッケージ</th> </tr> </thead> <tbody> <tr> <td>LQFP-32</td> </tr> <tr> <td>SOP-32</td> </tr> <tr> <td>SDIP-32*</td> </tr> </tbody> </table> <p>【注】* 本パッケージはフラッシュメモリ版のみで、マスク ROM 版はありません。</p>	製品分類		備考	マスク ROM 版	H8/36912	計画中	H8/36911	計画中	H8/36902	計画中	H8/36901	計画中	H8/36900	計画中	パッケージ	LQFP-32	SOP-32	SDIP-32*
製品分類		備考																		
マスク ROM 版	H8/36912	計画中																		
	H8/36911	計画中																		
	H8/36902	計画中																		
	H8/36901	計画中																		
	H8/36900	計画中																		
パッケージ																				
LQFP-32																				
SOP-32																				
SDIP-32*																				

項目	ページ	修正箇所						
図 1.1 H8/36912 グループの内部ブロック図 図 1.2 H8/36902 グループの内部ブロック図	1-3 1-4	<p>【注】* E7、E8も使用できます。</p>						
図 1.3 H8/36912 グループのピン配置図 (FP-32A) 図 1.4 H8/36902 グループのピン配置図 (FP-32A)	1-5 1-6	<p>【注】* E7、E8も使用できます。</p>						
図 1.5 H8/36912 グループのピン配置図 (FP-32D、32P4B) 図 1.6 H8/36902 グループのピン配置図 (FP-32D、32P4B)	1-7 1-8	<p>【注】* E7、E8も使用できます。</p>						
表 1.1 端子機能	1-10	<table border="1"> <thead> <tr> <th>分類</th> <th>記号</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>E7、E8</td> <td>E10T_0 E10T_1 E10T_2</td> <td>E7、E8 エミュレータ用インタフェース端子です。</td> </tr> </tbody> </table>	分類	記号	機能	E7、E8	E10T_0 E10T_1 E10T_2	E7、E8 エミュレータ用インタフェース端子です。
分類	記号	機能						
E7、E8	E10T_0 E10T_1 E10T_2	E7、E8 エミュレータ用インタフェース端子です。						
図 2.1 メモリマップ (1)	2-2							
図 2.1 メモリマップ (2)	2-3							

項 目	ページ	修正箇所																											
表 3.1 例外処理要因とベクタアドレス	3-2	<table border="1"> <thead> <tr> <th>発生元</th> <th>例外処理要因</th> </tr> </thead> <tbody> <tr> <td>IIC2*</td> <td>送信データエンプティ 送信終了 受信エラー</td> </tr> <tr> <td>タイマ B1*</td> <td>オーバフロー</td> </tr> </tbody> </table>	発生元	例外処理要因	IIC2*	送信データエンプティ 送信終了 受信エラー	タイマ B1*	オーバフロー																					
		発生元	例外処理要因																										
IIC2*	送信データエンプティ 送信終了 受信エラー																												
タイマ B1*	オーバフロー																												
【注】* H8/36912 グループのみです。																													
図 5.1 クロック発生回路のブロック図	5-1																												
5.2.1 RC コントロールレジスタ (RCCR)	5-3	<table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>RCPSC1</td> <td>オンチップオシレータの分周比の選択</td> </tr> <tr> <td>0</td> <td>RCPSC0</td> <td>CKCSR の CKSTA=0 時のみライト可能です。本ビット書き替え直後に R_{osc} の分周比が変化します。 0X : R_{osc} 分周しない 10 : R_{osc}/2 11 : R_{osc}/4</td> </tr> </tbody> </table>	ビット	ビット名	説 明	1	RCPSC1	オンチップオシレータの分周比の選択	0	RCPSC0	CKCSR の CKSTA=0 時のみライト可能です。本ビット書き替え直後に R _{osc} の分周比が変化します。 0X : R _{osc} 分周しない 10 : R _{osc} /2 11 : R _{osc} /4																		
ビット	ビット名	説 明																											
1	RCPSC1	オンチップオシレータの分周比の選択																											
0	RCPSC0	CKCSR の CKSTA=0 時のみライト可能です。本ビット書き替え直後に R _{osc} の分周比が変化します。 0X : R _{osc} 分周しない 10 : R _{osc} /2 11 : R _{osc} /4																											
5.2.2 RC トリミングデータプロテクトレジスタ (RCTRMDPR)	5-4	<table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>4</td> <td>TRMDRWE</td> <td>トリミングデータレジスタライト許可 LOCKDW が 0、TRMDRWE が 1 のとき RCTRMDR に対する書き込みが有効となります。 [セット条件] • PRWE が 1 の状態で WRI に 0、TRMDRWE に 1 をライトしたとき [クリア条件] •リセット •PRWE が 1 の状態で WRI に 0、TRMDRWE に 0 をライトしたとき</td> </tr> </tbody> </table>	ビット	ビット名	説 明	4	TRMDRWE	トリミングデータレジスタライト許可 LOCKDW が 0、TRMDRWE が 1 のとき RCTRMDR に対する書き込みが有効となります。 [セット条件] • PRWE が 1 の状態で WRI に 0、TRMDRWE に 1 をライトしたとき [クリア条件] •リセット •PRWE が 1 の状態で WRI に 0、TRMDRWE に 0 をライトしたとき																					
ビット	ビット名	説 明																											
4	TRMDRWE	トリミングデータレジスタライト許可 LOCKDW が 0、TRMDRWE が 1 のとき RCTRMDR に対する書き込みが有効となります。 [セット条件] • PRWE が 1 の状態で WRI に 0、TRMDRWE に 1 をライトしたとき [クリア条件] •リセット •PRWE が 1 の状態で WRI に 0、TRMDRWE に 0 をライトしたとき																											
5.2.3 RC トリミングデータレジスタ (RCTRMDR)	5-4	<table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>TRMD7</td> <td>トリミングデータ</td> </tr> <tr> <td>6</td> <td>TRMD6</td> <td>フラッシュメモリ版では、LSI はリセット直後にフラッシュメモリからトリミングデータがロードされ、このレジスタに書き込まれます。これらのビットをリードすると、不定値が読み出されます。</td> </tr> <tr> <td>5</td> <td>TRMD5</td> <td></td> </tr> <tr> <td>4</td> <td>TRMD4</td> <td></td> </tr> <tr> <td>3</td> <td>TRMD3</td> <td></td> </tr> <tr> <td>2</td> <td>TRMD2</td> <td>マスク ROM 版(計画中)では、これらのビットを書き換えることで、オンチップオシレータをトリミングできます。</td> </tr> <tr> <td>1</td> <td>TRMD1</td> <td></td> </tr> <tr> <td>0</td> <td>TRMD0</td> <td>.....</td> </tr> </tbody> </table>	ビット	ビット名	説 明	7	TRMD7	トリミングデータ	6	TRMD6	フラッシュメモリ版では、LSI はリセット直後にフラッシュメモリからトリミングデータがロードされ、このレジスタに書き込まれます。これらのビットをリードすると、不定値が読み出されます。	5	TRMD5		4	TRMD4		3	TRMD3		2	TRMD2	マスク ROM 版(計画中)では、これらのビットを書き換えることで、オンチップオシレータをトリミングできます。	1	TRMD1		0	TRMD0
ビット	ビット名	説 明																											
7	TRMD7	トリミングデータ																											
6	TRMD6	フラッシュメモリ版では、LSI はリセット直後にフラッシュメモリからトリミングデータがロードされ、このレジスタに書き込まれます。これらのビットをリードすると、不定値が読み出されます。																											
5	TRMD5																												
4	TRMD4																												
3	TRMD3																												
2	TRMD2	マスク ROM 版(計画中)では、これらのビットを書き換えることで、オンチップオシレータをトリミングできます。																											
1	TRMD1																												
0	TRMD0																											

項 目	ページ	修正箇所																																				
表 5.1 水晶発振子のパラメータ	5-13	<table border="1"> <tr> <td>周波数 (MHz)</td> <td>12</td> </tr> <tr> <td>Rs (max)</td> <td>50 Ω</td> </tr> </table>	周波数 (MHz)	12	Rs (max)	50 Ω																																
周波数 (MHz)	12																																					
Rs (max)	50 Ω																																					
7. ROM	7-1	HD64F36912G、HD64F36902G に内蔵されている 12K バイト (内 4K バイトは E7、E8 制御プログラムエリア) のフラッシュメモリの特長は以下のとおりです。																																				
表 7.3 ビットレート自動合わせ込みが可能なシステムクロック周波数	7-7	<table border="1"> <thead> <tr> <th>ホストのビットレート</th> <th>LSI のシステムクロック周波数範囲</th> </tr> </thead> <tbody> <tr> <td>9600bps</td> <td>8MHz (オンチップオシレータクロック)</td> </tr> <tr> <td>4800bps</td> <td>8MHz (オンチップオシレータクロック)</td> </tr> <tr> <td>2400bps</td> <td>8MHz (オンチップオシレータクロック)</td> </tr> </tbody> </table>	ホストのビットレート	LSI のシステムクロック周波数範囲	9600bps	8MHz (オンチップオシレータクロック)	4800bps	8MHz (オンチップオシレータクロック)	2400bps	8MHz (オンチップオシレータクロック)																												
ホストのビットレート	LSI のシステムクロック周波数範囲																																					
9600bps	8MHz (オンチップオシレータクロック)																																					
4800bps	8MHz (オンチップオシレータクロック)																																					
2400bps	8MHz (オンチップオシレータクロック)																																					
8. RAM	8-1	【注】 * E7、E8 使用時は H'F980~H'FD7F 領域は絶対にアクセスしないでください。																																				
9.2.3 端子機能	9-6	<p>• P20/SCK3 端子</p> <table border="1"> <thead> <tr> <th rowspan="2">レジスタ名</th> <th colspan="2">SCR3</th> <th>SMR</th> <th>PCR2</th> <th rowspan="2">機 能</th> </tr> <tr> <th>CKE1</th> <th>CKE0</th> <th>COM</th> <th>PCR20</th> </tr> </thead> <tbody> <tr> <td rowspan="5">設定値</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>P20 入力端子</td> </tr> <tr> <td></td> <td></td> <td></td> <td>1</td> <td>P20 出力端子</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>X</td> <td>SCK3 出力端子</td> </tr> <tr> <td>0</td> <td>1</td> <td>X</td> <td>X</td> <td>SCK3 出力端子</td> </tr> <tr> <td>1</td> <td>X</td> <td>X</td> <td>X</td> <td>SCK3 入力端子</td> </tr> </tbody> </table> <p>【注】 X : Don't care</p>	レジスタ名	SCR3		SMR	PCR2	機 能	CKE1	CKE0	COM	PCR20	設定値	0	0	0	0	P20 入力端子				1	P20 出力端子	0	0	1	X	SCK3 出力端子	0	1	X	X	SCK3 出力端子	1	X	X	X	SCK3 入力端子
レジスタ名	SCR3			SMR	PCR2	機 能																																
	CKE1	CKE0	COM	PCR20																																		
設定値	0	0	0	0	P20 入力端子																																	
				1	P20 出力端子																																	
	0	0	1	X	SCK3 出力端子																																	
	0	1	X	X	SCK3 出力端子																																	
	1	X	X	X	SCK3 入力端子																																	
13.2.1 タイマコントロール/ステータスレジスタ WD (TCSRWD)	13-2	<table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>6</td> <td>TCWE</td> <td>タイマカウンタ WD 書き込み許可 このビットが 1 のとき TCWD がライトイネーブルとなります。このビットにデータを書き込むときはビット 7 の書き込み値は 0 にしてください。</td> </tr> <tr> <td>4</td> <td>TCSRWE</td> <td>タイマコントロール/ステータスレジスタ WD 書き込み許可 このビットが 1 のときこのレジスタのビット 2 およびビット 0 がライトイネーブルとなります。このビットにデータを書き込むときはビット 5 の書き込み値は 0 にしてください。</td> </tr> </tbody> </table>	ビット	ビット名	説 明	6	TCWE	タイマカウンタ WD 書き込み許可 このビットが 1 のとき TCWD がライトイネーブルとなります。このビットにデータを書き込むときはビット 7 の書き込み値は 0 にしてください。	4	TCSRWE	タイマコントロール/ステータスレジスタ WD 書き込み許可 このビットが 1 のときこのレジスタのビット 2 およびビット 0 がライトイネーブルとなります。このビットにデータを書き込むときはビット 5 の書き込み値は 0 にしてください。																											
ビット	ビット名	説 明																																				
6	TCWE	タイマカウンタ WD 書き込み許可 このビットが 1 のとき TCWD がライトイネーブルとなります。このビットにデータを書き込むときはビット 7 の書き込み値は 0 にしてください。																																				
4	TCSRWE	タイマコントロール/ステータスレジスタ WD 書き込み許可 このビットが 1 のときこのレジスタのビット 2 およびビット 0 がライトイネーブルとなります。このビットにデータを書き込むときはビット 5 の書き込み値は 0 にしてください。																																				
14.8.2 マーク状態とブレイクの送出	14-29	差し替え																																				

項 目	ページ	修正箇所																
15.3.5 I ² C バスステータレジスタ (ICSR)	15-11	<table border="1"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>説 明</th> </tr> </thead> <tbody> <tr> <td>3</td> <td>STOP</td> <td> 停止条件検出フラグ [セット条件] <ul style="list-style-type: none"> マスタモード時、フレームの転送の完了後に停止条件を検出したとき スレーブモード時、ゼネラルコール後、および開始条件検出後の第1バイトのスレーブアドレスと SAR に設定したアドレスが一致した後、停止条件を検出したとき </td> </tr> </tbody> </table>	ビット	ビット名	説 明	3	STOP	停止条件検出フラグ [セット条件] <ul style="list-style-type: none"> マスタモード時、フレームの転送の完了後に停止条件を検出したとき スレーブモード時、ゼネラルコール後、および開始条件検出後の第1バイトのスレーブアドレスと SAR に設定したアドレスが一致した後、停止条件を検出したとき 										
ビット	ビット名	説 明																
3	STOP	停止条件検出フラグ [セット条件] <ul style="list-style-type: none"> マスタモード時、フレームの転送の完了後に停止条件を検出したとき スレーブモード時、ゼネラルコール後、および開始条件検出後の第1バイトのスレーブアドレスと SAR に設定したアドレスが一致した後、停止条件を検出したとき 																
図 15.15 受信モード動作タイミング	15-24																	
15.7 使用上の注意事項	15-31	追加																
16.3.1 A/D データレジスタ A~D (ADDRA~D)	16-3	A/D データレジスタは A/D 変換結果を格納……A/D データレジスタをリードする場合は、ワードアクセスするか、バイトアクセス時は上位バイト、下位バイトの順でリードしてください。ADDR の初期値は H'0000 です。																
図 17.2 パワーオンリセット回路および低電圧検出回路ブロック図	17-2																	
20.3 電氣的特性 (マスク ROM 版)	20-16	20.3 電氣的特性 (マスク ROM 版) 【暫定】 マスク ROM 版の電氣的特性における保証値は暫定値です。 20.3.1 電源電圧と動作範囲																
表 20.13 AC 特性	20-24	<table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">記号</th> <th colspan="3">規格値</th> </tr> <tr> <th>Min</th> <th>Typ</th> <th>Max</th> </tr> </thead> <tbody> <tr> <td rowspan="2">オンチップオシレータ 発振周波数</td> <td rowspan="2">frc</td> <td>7.6</td> <td>8.0</td> <td>8.4</td> </tr> <tr> <td>9.4</td> <td>10.0</td> <td>10.6</td> </tr> </tbody> </table>	項目	記号	規格値			Min	Typ	Max	オンチップオシレータ 発振周波数	frc	7.6	8.0	8.4	9.4	10.0	10.6
項目	記号	規格値																
		Min	Typ	Max														
オンチップオシレータ 発振周波数	frc	7.6	8.0	8.4														
		9.4	10.0	10.6														

項目	ページ	修正箇所																																																																																																																																																																																																																																																																																																																																																																																																					
表 A.1 命令セット一覧 (2) 算術演算命令	付録-5	<table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th rowspan="2">ニーモニック</th> <th colspan="12">コンディショニングコード 実行スタート値*</th> </tr> <tr> <th>T</th><th>H</th><th>N</th><th>Z</th><th>V</th><th>C</th><th>ノーマル</th><th>アロバシスト</th><th>ノーマル</th><th>アロバシスト</th><th>ノーマル</th><th>アロバシスト</th> </tr> </thead> <tbody> <tr> <td>ADD</td> <td>—</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>2</td> </tr> <tr> <td>ADD.B #xx,8, Rd</td> <td>—</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>2</td> </tr> <tr> <td>ADD.B Rs, Rd</td> <td>—</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>2</td> </tr> <tr> <td>ADD.W #xx,16, Rd</td> <td>—</td><td>(1)</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>4</td> </tr> <tr> <td>ADD.W Rs, Rd</td> <td>—</td><td>(1)</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>2</td> </tr> <tr> <td>ADD.L #xx,32, ERd</td> <td>—</td><td>(2)</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>6</td> </tr> <tr> <td>ADD.L ERs, ERd</td> <td>—</td><td>(2)</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>2</td> </tr> <tr> <td>ADDX</td> <td>—</td><td>†</td><td>†</td><td>†</td><td>(3)</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>2</td> </tr> <tr> <td>ADDX.B #xx,8, Rd</td> <td>—</td><td>†</td><td>†</td><td>†</td><td>(3)</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>2</td> </tr> <tr> <td>ADDX.B Rs, Rd</td> <td>—</td><td>†</td><td>†</td><td>†</td><td>(3)</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>2</td> </tr> <tr> <td>ADD.SL #1, ERd</td> <td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>2</td> </tr> <tr> <td>ADD.SL #2, ERd</td> <td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>2</td> </tr> <tr> <td>ADD.SL #4, ERd</td> <td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>2</td> </tr> <tr> <td>INC</td> <td>—</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>2</td> </tr> <tr> <td>INC.W #1, Rd</td> <td>—</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>2</td> </tr> <tr> <td>INC.W #2, Rd</td> <td>—</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>2</td> </tr> <tr> <td>INC.L #1, ERd</td> <td>—</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>2</td> </tr> <tr> <td>INC.L #2, ERd</td> <td>—</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>2</td> </tr> <tr> <td>DAA</td> <td>—</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>2</td> </tr> <tr> <td>DAA Rd</td> <td>—</td><td>*</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>2</td> </tr> <tr> <td>SUB</td> <td>—</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>2</td> </tr> <tr> <td>SUB.B Rs, Rd</td> <td>—</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>2</td> </tr> <tr> <td>SUB.W #xx,16, Rd</td> <td>—</td><td>(1)</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>4</td> </tr> <tr> <td>SUB.W Rs, Rd</td> <td>—</td><td>(1)</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>2</td> </tr> <tr> <td>SUB.L #xx,32, ERd</td> <td>—</td><td>(2)</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>6</td> </tr> <tr> <td>SUB.L ERs, ERd</td> <td>—</td><td>(2)</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>2</td> </tr> <tr> <td>SUBX.B #xx,8, Rd</td> <td>—</td><td>†</td><td>†</td><td>†</td><td>(3)</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>2</td> </tr> <tr> <td>SUBX.B Rs, Rd</td> <td>—</td><td>†</td><td>†</td><td>†</td><td>(3)</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>†</td><td>2</td> </tr> </tbody> </table>	ニーモニック	コンディショニングコード 実行スタート値*												T	H	N	Z	V	C	ノーマル	アロバシスト	ノーマル	アロバシスト	ノーマル	アロバシスト	ADD	—	†	†	†	†	†	†	†	†	†	†	2	ADD.B #xx,8, Rd	—	†	†	†	†	†	†	†	†	†	†	2	ADD.B Rs, Rd	—	†	†	†	†	†	†	†	†	†	†	2	ADD.W #xx,16, Rd	—	(1)	†	†	†	†	†	†	†	†	†	4	ADD.W Rs, Rd	—	(1)	†	†	†	†	†	†	†	†	†	2	ADD.L #xx,32, ERd	—	(2)	†	†	†	†	†	†	†	†	†	6	ADD.L ERs, ERd	—	(2)	†	†	†	†	†	†	†	†	†	2	ADDX	—	†	†	†	(3)	†	†	†	†	†	†	2	ADDX.B #xx,8, Rd	—	†	†	†	(3)	†	†	†	†	†	†	2	ADDX.B Rs, Rd	—	†	†	†	(3)	†	†	†	†	†	†	2	ADD.SL #1, ERd	—	—	—	—	—	—	—	—	—	—	—	2	ADD.SL #2, ERd	—	—	—	—	—	—	—	—	—	—	—	2	ADD.SL #4, ERd	—	—	—	—	—	—	—	—	—	—	—	2	INC	—	†	†	†	†	†	†	†	†	†	†	2	INC.W #1, Rd	—	†	†	†	†	†	†	†	†	†	†	2	INC.W #2, Rd	—	†	†	†	†	†	†	†	†	†	†	2	INC.L #1, ERd	—	†	†	†	†	†	†	†	†	†	†	2	INC.L #2, ERd	—	†	†	†	†	†	†	†	†	†	†	2	DAA	—	†	†	†	†	†	†	†	†	†	†	2	DAA Rd	—	*	†	†	†	†	†	†	†	†	†	2	SUB	—	†	†	†	†	†	†	†	†	†	†	2	SUB.B Rs, Rd	—	†	†	†	†	†	†	†	†	†	†	2	SUB.W #xx,16, Rd	—	(1)	†	†	†	†	†	†	†	†	†	4	SUB.W Rs, Rd	—	(1)	†	†	†	†	†	†	†	†	†	2	SUB.L #xx,32, ERd	—	(2)	†	†	†	†	†	†	†	†	†	6	SUB.L ERs, ERd	—	(2)	†	†	†	†	†	†	†	†	†	2	SUBX.B #xx,8, Rd	—	†	†	†	(3)	†	†	†	†	†	†	2	SUBX.B Rs, Rd	—	†	†	†	(3)	†	†	†	†	†	†	2
ニーモニック	コンディショニングコード 実行スタート値*																																																																																																																																																																																																																																																																																																																																																																																																						
	T	H	N	Z	V	C	ノーマル	アロバシスト	ノーマル	アロバシスト	ノーマル	アロバシスト																																																																																																																																																																																																																																																																																																																																																																																											
ADD	—	†	†	†	†	†	†	†	†	†	†	2																																																																																																																																																																																																																																																																																																																																																																																											
ADD.B #xx,8, Rd	—	†	†	†	†	†	†	†	†	†	†	2																																																																																																																																																																																																																																																																																																																																																																																											
ADD.B Rs, Rd	—	†	†	†	†	†	†	†	†	†	†	2																																																																																																																																																																																																																																																																																																																																																																																											
ADD.W #xx,16, Rd	—	(1)	†	†	†	†	†	†	†	†	†	4																																																																																																																																																																																																																																																																																																																																																																																											
ADD.W Rs, Rd	—	(1)	†	†	†	†	†	†	†	†	†	2																																																																																																																																																																																																																																																																																																																																																																																											
ADD.L #xx,32, ERd	—	(2)	†	†	†	†	†	†	†	†	†	6																																																																																																																																																																																																																																																																																																																																																																																											
ADD.L ERs, ERd	—	(2)	†	†	†	†	†	†	†	†	†	2																																																																																																																																																																																																																																																																																																																																																																																											
ADDX	—	†	†	†	(3)	†	†	†	†	†	†	2																																																																																																																																																																																																																																																																																																																																																																																											
ADDX.B #xx,8, Rd	—	†	†	†	(3)	†	†	†	†	†	†	2																																																																																																																																																																																																																																																																																																																																																																																											
ADDX.B Rs, Rd	—	†	†	†	(3)	†	†	†	†	†	†	2																																																																																																																																																																																																																																																																																																																																																																																											
ADD.SL #1, ERd	—	—	—	—	—	—	—	—	—	—	—	2																																																																																																																																																																																																																																																																																																																																																																																											
ADD.SL #2, ERd	—	—	—	—	—	—	—	—	—	—	—	2																																																																																																																																																																																																																																																																																																																																																																																											
ADD.SL #4, ERd	—	—	—	—	—	—	—	—	—	—	—	2																																																																																																																																																																																																																																																																																																																																																																																											
INC	—	†	†	†	†	†	†	†	†	†	†	2																																																																																																																																																																																																																																																																																																																																																																																											
INC.W #1, Rd	—	†	†	†	†	†	†	†	†	†	†	2																																																																																																																																																																																																																																																																																																																																																																																											
INC.W #2, Rd	—	†	†	†	†	†	†	†	†	†	†	2																																																																																																																																																																																																																																																																																																																																																																																											
INC.L #1, ERd	—	†	†	†	†	†	†	†	†	†	†	2																																																																																																																																																																																																																																																																																																																																																																																											
INC.L #2, ERd	—	†	†	†	†	†	†	†	†	†	†	2																																																																																																																																																																																																																																																																																																																																																																																											
DAA	—	†	†	†	†	†	†	†	†	†	†	2																																																																																																																																																																																																																																																																																																																																																																																											
DAA Rd	—	*	†	†	†	†	†	†	†	†	†	2																																																																																																																																																																																																																																																																																																																																																																																											
SUB	—	†	†	†	†	†	†	†	†	†	†	2																																																																																																																																																																																																																																																																																																																																																																																											
SUB.B Rs, Rd	—	†	†	†	†	†	†	†	†	†	†	2																																																																																																																																																																																																																																																																																																																																																																																											
SUB.W #xx,16, Rd	—	(1)	†	†	†	†	†	†	†	†	†	4																																																																																																																																																																																																																																																																																																																																																																																											
SUB.W Rs, Rd	—	(1)	†	†	†	†	†	†	†	†	†	2																																																																																																																																																																																																																																																																																																																																																																																											
SUB.L #xx,32, ERd	—	(2)	†	†	†	†	†	†	†	†	†	6																																																																																																																																																																																																																																																																																																																																																																																											
SUB.L ERs, ERd	—	(2)	†	†	†	†	†	†	†	†	†	2																																																																																																																																																																																																																																																																																																																																																																																											
SUBX.B #xx,8, Rd	—	†	†	†	(3)	†	†	†	†	†	†	2																																																																																																																																																																																																																																																																																																																																																																																											
SUBX.B Rs, Rd	—	†	†	†	(3)	†	†	†	†	†	†	2																																																																																																																																																																																																																																																																																																																																																																																											
C. 型名一覧	付録-40	<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th colspan="2">製品分類</th> <th>マーク 型名</th> <th>パッケージ (コード)</th> </tr> </thead> <tbody> <tr> <td rowspan="3">H8/36912</td> <td rowspan="3">フラッシュ メモリ版</td> <td>HD64F36912GFH</td> <td>LQFP-32 (FP-32A)</td> </tr> <tr> <td>HD64F36912GTP</td> <td>SOP-32 (FP-32D)</td> </tr> <tr> <td>HD64F36912GP</td> <td>SDIP-32 (32P4B)</td> </tr> <tr> <td rowspan="3">H8/36911</td> <td rowspan="3">マスク ROM版</td> <td>HD64336912G(***) FH</td> <td>LQFP-32 (FP-32A)</td> </tr> <tr> <td>HD64336912G(***) TP</td> <td>SOP-32 (FP-32D)</td> </tr> <tr> <td>HD64336912G(***) P</td> <td>SDIP-32 (32P4B)</td> </tr> <tr> <td rowspan="3">H8/36902</td> <td rowspan="3">フラッシュ メモリ版</td> <td>HD64F36902GFH</td> <td>LQFP-32 (FP-32A)</td> </tr> <tr> <td>HD64F36902GTP</td> <td>SOP-32 (FP-32D)</td> </tr> <tr> <td>HD64F36902GP</td> <td>SDIP-32 (32P4B)</td> </tr> <tr> <td rowspan="3">H8/36901</td> <td rowspan="3">マスク ROM版</td> <td>HD64336902G(***) FH</td> <td>LQFP-32 (FP-32A)</td> </tr> <tr> <td>HD64336902G(***) TP</td> <td>SOP-32 (FP-32D)</td> </tr> <tr> <td>HD64336902G(***) P</td> <td>SDIP-32 (32P4B)</td> </tr> <tr> <td rowspan="3">H8/36900</td> <td rowspan="3">マスク ROM版</td> <td>HD64336901G(***) FH</td> <td>LQFP-32 (FP-32A)</td> </tr> <tr> <td>HD64336901G(***) TP</td> <td>SOP-32 (FP-32D)</td> </tr> <tr> <td>HD64336901G(***) P</td> <td>SDIP-32 (32P4B)</td> </tr> <tr> <td rowspan="3">H8/36900</td> <td rowspan="3">マスク ROM版</td> <td>HD64336900G(***) FH</td> <td>LQFP-32 (FP-32A)</td> </tr> <tr> <td>HD64336900G(***) TP</td> <td>SOP-32 (FP-32D)</td> </tr> <tr> <td>HD64336900G(***) P</td> <td>SDIP-32 (32P4B)</td> </tr> </tbody> </table>	製品分類		マーク 型名	パッケージ (コード)	H8/36912	フラッシュ メモリ版	HD64F36912GFH	LQFP-32 (FP-32A)	HD64F36912GTP	SOP-32 (FP-32D)	HD64F36912GP	SDIP-32 (32P4B)	H8/36911	マスク ROM版	HD64336912G(***) FH	LQFP-32 (FP-32A)	HD64336912G(***) TP	SOP-32 (FP-32D)	HD64336912G(***) P	SDIP-32 (32P4B)	H8/36902	フラッシュ メモリ版	HD64F36902GFH	LQFP-32 (FP-32A)	HD64F36902GTP	SOP-32 (FP-32D)	HD64F36902GP	SDIP-32 (32P4B)	H8/36901	マスク ROM版	HD64336902G(***) FH	LQFP-32 (FP-32A)	HD64336902G(***) TP	SOP-32 (FP-32D)	HD64336902G(***) P	SDIP-32 (32P4B)	H8/36900	マスク ROM版	HD64336901G(***) FH	LQFP-32 (FP-32A)	HD64336901G(***) TP	SOP-32 (FP-32D)	HD64336901G(***) P	SDIP-32 (32P4B)	H8/36900	マスク ROM版	HD64336900G(***) FH	LQFP-32 (FP-32A)	HD64336900G(***) TP	SOP-32 (FP-32D)	HD64336900G(***) P	SDIP-32 (32P4B)																																																																																																																																																																																																																																																																																																																																																	
製品分類		マーク 型名	パッケージ (コード)																																																																																																																																																																																																																																																																																																																																																																																																				
H8/36912	フラッシュ メモリ版	HD64F36912GFH	LQFP-32 (FP-32A)																																																																																																																																																																																																																																																																																																																																																																																																				
		HD64F36912GTP	SOP-32 (FP-32D)																																																																																																																																																																																																																																																																																																																																																																																																				
		HD64F36912GP	SDIP-32 (32P4B)																																																																																																																																																																																																																																																																																																																																																																																																				
H8/36911	マスク ROM版	HD64336912G(***) FH	LQFP-32 (FP-32A)																																																																																																																																																																																																																																																																																																																																																																																																				
		HD64336912G(***) TP	SOP-32 (FP-32D)																																																																																																																																																																																																																																																																																																																																																																																																				
		HD64336912G(***) P	SDIP-32 (32P4B)																																																																																																																																																																																																																																																																																																																																																																																																				
H8/36902	フラッシュ メモリ版	HD64F36902GFH	LQFP-32 (FP-32A)																																																																																																																																																																																																																																																																																																																																																																																																				
		HD64F36902GTP	SOP-32 (FP-32D)																																																																																																																																																																																																																																																																																																																																																																																																				
		HD64F36902GP	SDIP-32 (32P4B)																																																																																																																																																																																																																																																																																																																																																																																																				
H8/36901	マスク ROM版	HD64336902G(***) FH	LQFP-32 (FP-32A)																																																																																																																																																																																																																																																																																																																																																																																																				
		HD64336902G(***) TP	SOP-32 (FP-32D)																																																																																																																																																																																																																																																																																																																																																																																																				
		HD64336902G(***) P	SDIP-32 (32P4B)																																																																																																																																																																																																																																																																																																																																																																																																				
H8/36900	マスク ROM版	HD64336901G(***) FH	LQFP-32 (FP-32A)																																																																																																																																																																																																																																																																																																																																																																																																				
		HD64336901G(***) TP	SOP-32 (FP-32D)																																																																																																																																																																																																																																																																																																																																																																																																				
		HD64336901G(***) P	SDIP-32 (32P4B)																																																																																																																																																																																																																																																																																																																																																																																																				
H8/36900	マスク ROM版	HD64336900G(***) FH	LQFP-32 (FP-32A)																																																																																																																																																																																																																																																																																																																																																																																																				
		HD64336900G(***) TP	SOP-32 (FP-32D)																																																																																																																																																																																																																																																																																																																																																																																																				
		HD64336900G(***) P	SDIP-32 (32P4B)																																																																																																																																																																																																																																																																																																																																																																																																				

索引

【A】	【か】
A/D 変換器 16-1	外形寸法図 付録-41
A/D 変換時間 16-6	開始条件 15-13
サンプル&ホールド回路 16-6	型名一覧 付録-40
スキャンモード 16-5	クロック同期式シリアルフォーマット 15-22
外部トリガ入力 16-7	クロック発振器 5-1
単一モード 16-5	システムクロック発振器 5-13
	プリスケラ S 5-14
【C】	コンディションコードレジスタ (CCR) 2-6
CPU 2-1	コンディションフィールド 2-18
【E】	【さ】
EA 拡張部 2-18	実効アドレス 2-21
	シリアルコミュニケーションインタフェース 3
【I】	(SCI3) 14-1
I/O ポート 9-1	オーバランエラー 14-16
ブロック図 付録-29	クロック同期式モード 14-19
I ² C バスインタフェース 2 (IIC2) 15-1	バリティエラー 14-16
I ² C バスフォーマット 15-13	ビットレート 14-7
	ブ레이크 14-29
【P】	フレーミングエラー 14-16
PWM 動作 12-15	マーク状態 14-29
	マルチプロセッサ通信機能 14-25
【あ】	調歩同期式モード 14-12
アクノリッジ 15-13	スタックポインタ (SP) 2-5
アドレスブ레이크 4-1	スレープアドレス 15-13
アドレッシングモード 2-19	絶対最大定格 20-1
イミディエイト 2-21	
ディスプレースメント付きレジスタ間接 2-20	【た】
プリデクリメントレジスタ間接 2-20	大電流ポート 1-2
プログラムカウンタ相対 2-21	タイマ B1 10-1
ポストインクリメントレジスタ間接 2-20	インターバルタイマの動作 10-3
メモリ間接 2-21	オートリロードタイマの動作 10-3
レジスタ間接 2-19	タイマ V 11-1
レジスタ直接 2-19	タイマ W 12-1
絶対アドレス 2-20	停止条件 15-13
ウォッチドッグタイマ 13-1	低消費電力モード 6-1
オペレーションフィールド 2-18	サブスリープモード 6-7
オンボードプログラミング 7-5	スタンバイモード 6-6
	スリープモード 6-6

低電圧検出リセット回路	17-6
低電圧検出回路	17-1
低電圧検出割り込み回路	17-7, 17-8
電気的特性	20-1
転送レート	15-5

【な】

内部電源降圧回路	18-1
ノイズ除去回路	15-24

【は】

パッケージ	1-2
パワーオンリセット	17-1
パワーオンリセット回路	17-5
バンドギャップ回路	17-1
汎用レジスタ	2-4
ビット同期回路	15-30
ピン配置図	1-5
フラッシュメモリ	7-1
イレース/イレースベリファイ	7-12
エラープロテクト	7-14
ソフトウェアプロテクト	7-14
ハードウェアプロテクト	7-14
ブートプログラム	7-5
ブートモード	7-6
プログラム/プログラムベリファイ	7-9
ユーザモードでの書き込み/消去	7-8
書き込みの単位	7-2
消去ブロック	7-2
プログラムカウンタ (PC)	2-5
ベクタアドレス	3-2

【ま】

命令セット	2-10
算術演算命令	2-11
システム制御命令	2-17
シフト命令	2-13
データ転送命令	2-11
ビット操作命令	2-14
ブロック転送命令	2-17
分岐命令	2-16
論理演算命令	2-13
メモリマップ	2-2
モジュールスタンバイ機能	6-7

【ら】

例外処理	3-1
------------	-----

スタックの状態	3-8
トラップ命令による例外処理	3-1
リセット例外処理	3-6

レジスタ

ABRKCR	4-2, 19-3, 19-6, 19-9
ABRKSr	4-3, 19-3, 19-6, 19-9
ADCR	16-5, 19-3, 19-6, 19-9
ADCSR	16-4, 19-3, 19-6, 19-9
ADDRA	16-3, 19-3, 19-6, 19-9
ADDRB	16-3, 19-3, 19-6, 19-9
ADDRc	16-3, 19-3, 19-6, 19-9
ADDRD	16-3, 19-3, 19-6, 19-9
BARH	4-3, 19-3, 19-6, 19-9
BARL	4-3, 19-3, 19-6, 19-9
BDRH	4-4, 19-3, 19-6, 19-9
BDRL	4-4, 19-3, 19-6, 19-9
BRR	14-7, 19-3, 19-6, 19-9
EBR1	7-4, 19-3, 19-6, 19-8
FENR	7-4, 19-3, 19-6, 19-8
FLMCR1	7-3, 19-2, 19-6, 19-8
FLMCR2	7-4, 19-2, 19-6, 19-8
GRA	12-11, 19-2, 19-5, 19-8
GRB	12-11, 19-2, 19-5, 19-8
GRC	12-11, 19-2, 19-5, 19-8
GRD	12-11, 19-2, 19-5, 19-8
ICCR1	15-4, 19-2, 19-5, 19-8
ICCR2	15-5, 19-2, 19-5, 19-8
ICDRR	15-12, 19-2, 19-5, 19-8
ICDRS	15-12
ICDRT	15-12
ICIER	15-8, 19-2, 19-5, 19-8
ICMR	15-7, 19-2, 19-5, 19-8
ICSR	15-10, 19-2, 19-5, 19-8
IEGR1	3-3, 19-4, 19-7, 19-10
IEGR2	3-3, 19-4, 19-7, 19-10
IENR1	3-4, 19-4, 19-7, 19-10
IENR2	3-4, 19-4, 19-7, 19-10
IRR1	3-5, 19-4, 19-7, 19-10
IRR2	3-5, 19-4, 19-7, 19-10
IWPR	3-6, 19-4, 19-7, 19-10
LVDCR	17-3, 19-2, 19-5, 19-8
LVDSR	17-4, 19-2, 19-5, 19-8
MSTCR1	6-4, 19-4, 19-7, 19-10
MSTCR2	6-4, 19-4, 19-7, 19-10
PCDDR	9-17
PCDR	9-17

PCR1	9-3, 19-4, 19-7, 19-9
PCR2	9-5, 19-4, 19-7, 19-9
PCR5	9-8, 19-4, 19-7, 19-9
PCR7	9-10, 19-4, 19-7, 19-9
PCR8	9-12, 19-4, 19-7, 19-9
PDR1	9-3, 19-3, 19-7, 19-9
PDR2	9-6, 19-3, 19-7, 19-9
PDR5	9-8, 19-3, 19-7, 19-9
PDR7	9-11, 19-3, 19-7, 19-9
PDR8	9-13, 19-3, 19-7, 19-9
PDRB	9-15, 19-4, 19-7, 19-9
PMR1	9-2, 19-4, 19-7, 19-9
PMR5	9-7, 19-4, 19-7, 19-9
PUCR1	9-4, 19-3, 19-7, 19-9
PUCR5	9-8, 19-3, 19-7, 19-9
RDR	14-3, 19-3, 19-6, 19-9
RSR	14-3
SAR	15-12, 19-2, 19-5, 19-8
SCR3	14-5, 19-3, 19-6, 19-9
SMR	14-4, 19-3, 19-6, 19-9
SSR	14-6, 19-3, 19-6, 19-9
SYSCR1	6-2, 19-4, 19-7, 19-10
SYSCR2	6-3, 19-4, 19-7, 19-10
TCB1	10-2, 19-2, 19-5, 19-8
TCNT	12-11, 19-2, 19-5, 19-8
TCNTV	11-3, 19-3, 19-6, 19-8
TCORA	11-3, 19-3, 19-6, 19-8

TCORB	11-3, 19-3, 19-6, 19-8
TCRV0	11-4, 19-3, 19-6, 19-8
TCRV1	11-6, 19-3, 19-6, 19-9
TCRW	12-6, 19-2, 19-5, 19-8
TCSR	11-5, 19-3, 19-6, 19-8
TCSRWD	13-2, 19-3, 19-6, 19-9
TCWD	13-3, 19-3, 19-6, 19-9
TDR	14-3, 19-3, 19-6, 19-9
TIERW	12-7, 19-2, 19-5, 19-8
TIOR0	12-9, 19-2, 19-5, 19-8
TIOR1	12-10, 19-2, 19-5, 19-8
TLB1	10-3, 19-2, 19-5, 19-8
TMB1	10-2, 19-2, 19-5, 19-8
TMRW	12-5, 19-2, 19-5, 19-8
TMWD	13-3, 19-3, 19-6, 19-9
TSR	14-3
TSRW	12-7, 19-2, 19-5, 19-8
レジスタフィールド	2-18

【わ】

割り込み要求	
IRQ3、IRQ0 割り込み要求	3-7
NMI 割り込み	3-6
WKP 割り込み要求	3-7
割り込み応答時間	3-9
内部割り込み要求	3-8

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8/36912グループ、H8/36902グループ

発行年月日 2003年9月9日 Rev.1.00
2006年9月8日 Rev.3.00

発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

H8/36912 グループ、H8/36902 グループ
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0085-0300