

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ（フラッシュメモリ・SRAM等）を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

H8/3657 シリーズ

ハードウェアマニュアル

はじめに

H8/300L シリーズは、高速 H8/300L CPU を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。

H8/300L CPU は、H8/300CPU と互換性のある命令体系を備えています。

H8/3657 シリーズは、システム構成に必要な周辺機能として、5 種類のタイマ、14 ビット PWM、2 チャンネルのシリアルコミュニケーションインタフェース、A/D 変換器を内蔵しており、高度な制御システムの組込み用マイコンとして活用できます。

本マニュアルは、H8/3657 シリーズのハードウェアについて記載しています。命令の詳細については、「H8/300L シリーズ プログラミングマニュアル」をあわせてご覧ください。

目次

第1章 概要

1.1	概要	3
1.2	内部ブロック図.....	6
1.3	端子説明.....	7
	1.3.1 ピン配置.....	7
	1.3.2 端子機能.....	9

第2章 CPU

2.1	概要	15
	2.1.1 特長	15
	2.1.2 アドレス空間.....	15
	2.1.3 レジスタ構成	16
2.2	各レジスタの説明	17
	2.2.1 汎用レジスタ	17
	2.2.2 コントロールレジスタ.....	17
	2.2.3 CPU 内部レジスタの初期値.....	19
2.3	データ構成	20
	2.3.1 汎用レジスタのデータ構成	21
	2.3.2 メモリ上でのデータ構成	22
2.4	アドレッシングモード.....	23
	2.4.1 アドレッシングモード.....	23
	2.4.2 実効アドレスの計算方法	25
2.5	命令セット	29
	2.5.1 データ転送命令.....	31
	2.5.2 算術演算命令	33
	2.5.3 論理演算命令	34
	2.5.4 シフト命令	34

2.5.5	ビット操作命令.....	35
2.5.6	分岐命令.....	39
2.5.7	システム制御命令.....	41
2.5.8	ブロック転送命令.....	42
2.6	基本動作タイミング.....	43
2.6.1	内蔵メモリ（RAM、ROM）.....	43
2.6.2	内蔵周辺モジュール.....	44
2.7	CPU の状態.....	46
2.7.1	概要.....	46
2.7.2	プログラム実行状態.....	47
2.7.3	プログラム停止状態.....	47
2.7.4	例外処理状態.....	47
2.8	メモリマップ.....	48
2.9	使用上の注意事項.....	49
2.9.1	データアクセスに関する注意事項.....	49
2.9.2	ビット操作命令使用上の注意事項.....	51
2.9.3	EEPMOV 命令使用上の注意事項.....	57

第3章 例外処理

3.1	概要.....	61
3.2	リセット.....	62
3.2.1	概要.....	62
3.2.2	リセットシーケンス.....	62
3.2.3	リセット直後の割込み.....	64
3.3	割込み.....	65
3.3.1	概要.....	65
3.3.2	各レジスタの説明.....	67
3.3.3	外部割込み.....	76
3.3.4	内部割込み.....	76
3.3.5	割込み動作.....	77
3.3.6	割込み応答時間.....	82
3.4	使用上の注意事項.....	83
3.4.1	スタック領域に関する使用上の注意事項.....	83
3.4.2	ポートモードレジスタを書き換える際の注意事項.....	84

第4章 クロック発振器

4.1	概要	89
4.1.1	ブロック図	89
4.1.2	システムクロックとサブクロック	89
4.2	システムクロック発振器	90
4.3	サブクロック発振器	93
4.4	プリスケアラ	95
4.5	発振子に関する注意事項	96

第5章 低消費電力モード

5.1	概要	99
5.1.1	システムコントロールレジスタ	102
5.2	スリープモード	107
5.2.1	スリープモードへの遷移	107
5.2.2	スリープモードの解除	107
5.2.3	スリープ（中速）モードの動作周波数について	107
5.3	スタンバイモード	108
5.3.1	スタンバイモードへの遷移	108
5.3.2	スタンバイモードの解除	108
5.3.3	スタンバイモード解除後の発振安定時間の設定	109
5.4	ウォッチモード	110
5.4.1	ウォッチモードへの遷移	110
5.4.2	ウォッチモードの解除	110
5.4.3	ウォッチモード解除後の発振安定時間の設定	110
5.5	サブスリープモード	111
5.5.1	サブスリープモードへの遷移	111
5.5.2	サブスリープモードの解除	111
5.6	サブアクティブモード	112
5.6.1	サブアクティブモードへの遷移	112
5.6.2	サブアクティブモードの解除	112
5.6.3	サブアクティブモードの動作周波数について	112
5.7	アクティブ（中速）モード	113
5.7.1	アクティブ（中速）モードへの遷移	113
5.7.2	アクティブ（中速）モードの解除	113
5.7.3	アクティブ（中速）モードの動作周波数について	113
5.8	直接遷移	114

第6章 ROM

6.1	概要	119
6.1.1	ブロック図	119
6.2	PROM モード	120
6.2.1	PROM モードの設定	120
6.2.2	ソケットアダプタの端子対応とメモリマップ	120
6.3	プログラミング	123
6.3.1	書込み / ベリファイ	124
6.3.2	書込み時の注意	126
6.4	書込み後の信頼性	127

第7章 RAM

7.1	概要	131
7.1.1	ブロック図	131

第8章 I/O ポート

8.1	概要	135
8.2	ポート 1	137
8.2.1	概要	137
8.2.2	レジスタの構成と説明	137
8.2.3	端子機能	141
8.2.4	端子状態	142
8.2.5	入力プルアップ MOS	142
8.3	ポート 2	143
8.3.1	概要	143
8.3.2	レジスタの構成と説明	143
8.3.3	端子機能	145
8.3.4	端子状態	145
8.4	ポート 3	146
8.4.1	概要	146
8.4.2	レジスタの構成と説明	146
8.4.3	端子機能	150
8.4.4	端子状態	150
8.4.5	入力プルアップ MOS	151
8.5	ポート 5	152
8.5.1	概要	152

	8.5.2	レジスタの構成と説明.....	152
	8.5.3	端子機能.....	154
	8.5.4	端子状態.....	154
	8.5.5	入力プルアップ MOS.....	155
8.6	ポート 6.....		156
	8.6.1	概要	156
	8.6.2	レジスタの構成と説明.....	156
	8.6.3	端子機能.....	157
	8.6.4	端子状態.....	157
8.7	ポート 7.....		158
	8.7.1	概要	158
	8.7.2	レジスタの構成と説明.....	158
	8.7.3	端子機能.....	160
	8.7.4	端子状態.....	160
8.8	ポート 8.....		161
	8.8.1	概要	161
	8.8.2	レジスタの構成と説明.....	161
	8.8.3	端子機能.....	162
	8.8.4	端子状態.....	163
8.9	ポート 9.....		164
	8.9.1	概要	164
	8.9.2	レジスタの構成と説明.....	164
	8.9.3	端子機能.....	165
	8.9.4	端子状態.....	166
8.10	ポート B.....		167
	8.10.1	概要	167
	8.10.2	レジスタの構成と説明.....	167
	8.10.3	端子機能.....	168
	8.10.4	端子状態.....	168
8.11	使用上の注意事項		168

第9章 タイマ

9.1	概要	171
9.2	タイマ A.....	172
	9.2.1 概要	172
	9.2.2 各レジスタの説明	174
	9.2.3 動作説明.....	176

	9.2.4	タイマ A の動作モード	177
9.3	タイマ B1		178
	9.3.1	概要	178
	9.3.2	各レジスタの説明	179
	9.3.3	動作説明.....	181
	9.3.4	タイマ B1 の動作モード.....	182
9.4	タイマ V.....		183
	9.4.1	概要	183
	9.4.2	各レジスタの説明	186
	9.4.3	動作説明.....	193
	9.4.4	タイマ V の動作モード	197
	9.4.5	割込み要因	197
	9.4.6	タイマ V の使用例.....	198
	9.4.7	使用上の注意事項	199
9.5	タイマ X.....		204
	9.5.1	概要	204
	9.5.2	各レジスタの説明	207
	9.5.3	CPU とのインタフェース.....	220
	9.5.4	動作説明.....	222
	9.5.5	タイマ X の動作モード	229
	9.5.6	割込み要因	229
	9.5.7	タイマ X の使用例.....	230
	9.5.8	使用上の注意事項	231
9.6	ウォッチドッグタイマ.....		236
	9.6.1	概要	236
	9.6.2	各レジスタの説明	237
	9.6.3	動作説明.....	241
	9.6.4	ウォッチドッグタイマの動作モード.....	241

第 10 章 シリアルコミュニケーションインタフェース

10.1	概要	245
10.2	SCI1	246
	10.2.1 概要	246
	10.2.2 各レジスタの説明	248
	10.2.3 クロック同期モード時の動作説明	253
	10.2.4 SSB モード時の動作説明	255
	10.2.5 割込み要因	257

10.3	SCI3	258
	10.3.1 概要	258
	10.3.2 各レジスタの説明	261
	10.3.3 動作概要.....	279
	10.3.4 調歩同期式モード時の動作説明	283
	10.3.5 クロック同期式モード時の動作説明.....	291
	10.3.6 マルチプロセッサ通信機能	298
	10.3.7 割込み要因	303
	10.3.8 使用上の注意事項	304

第 11 章 14 ビット PWM

11.1	概要	311
	11.1.1 特長	311
	11.1.2 ブロック図	311
	11.1.3 端子構成.....	311
	11.1.4 レジスタ構成	312
11.2	各レジスタの説明	313
	11.2.1 PWM コントロールレジスタ (PWCR)	313
	11.2.2 PWM データレジスタ U、L (PWDRU、PWDRL)	314
11.3	動作説明.....	315

第 12 章 A/D 変換器

12.1	概要	319
	12.1.1 特長	319
	12.1.2 ブロック図	319
	12.1.3 端子構成.....	320
	12.1.4 レジスタ構成	320
12.2	各レジスタの説明	321
	12.2.1 A/D リザルトレジスタ (ADRR)	321
	12.2.2 A/D モードレジスタ (AMR)	321
	12.2.3 A/D スタートレジスタ (ADSR)	323
12.3	動作説明.....	324
	12.3.1 A/D 変換動作	324
	12.3.2 外部トリガによる A/D 変換器の起動	324
12.4	割込み要因	325
12.5	使用例	326

12.6	使用上の注意	330
------	--------------	-----

第 13 章 電気的特性

13.1	絶対最大定格	333
13.2	電気的特性	334
13.2.1	電源電圧と動作範囲	334
13.2.2	DC 特性 (HD6473657)	336
13.2.3	AC 特性 (HD6473657)	340
13.2.4	DC 特性 (HD6433657、HD6433656、HD6433655、HD6433654、 HD6433653、HD6433652)	343
13.2.5	AC 特性 (HD6433657、HD6433656、HD6433655、HD6433654、 HD6433653、HD6433652)	347
13.2.6	A/D 変換器特性	350
13.3	動作タイミング	351
13.4	出力負荷回路	354

付録

A.	命令	357
A.1	命令一覧	357
A.2	オペレーションコードマップ	367
A.3	命令実行ステート数	369
B.	内部 I/O レジスタ一覧	375
B.1	アドレス一覧	375
B.2	機能一覧	379
C.	I/O ポートブロック図	426
C.1	ポート 1 ブロック図	426
C.2	ポート 2 ブロック図	430
C.3	ポート 3 ブロック図	433
C.4	ポート 5 ブロック図	435
C.5	ポート 6 ブロック図	437
C.6	ポート 7 ブロック図	438
C.7	ポート 8 ブロック図	440
C.8	ポート 9 ブロック図	444
C.9	ポート B ブロック図	445
D.	各処理状態におけるポートの状態	446
E.	ROM 発注手順	447

	E.1	ROM 書き換え品開発の流れ（発注手順）	447
	E.2	ROM 発注時の注意事項	448
F.		型名一覧	449
G.		外形寸法図	450

1. 概要

第1章 目次

1.1	概要	3
1.2	内部ブロック図.....	6
1.3	端子説明.....	7
	1.3.1 ピン配置.....	7
	1.3.2 端子機能.....	9

1.1 概要

H8/300L シリーズは、高速 H8/300L CPU を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータ（MCU：Microcomputer Unit）です。

H8/3657 シリーズは、UART（Universal Asynchronous Receiver/Transmitter）を内蔵した H8/300L シリーズのシングルチップマイクロコンピュータで、周辺機能として、5 種類のタイマ、14 ビット PWM、2 チャンネルのシリアルコミュニケーションインタフェース、A/D 変換器などを内蔵しており、高度な制御システムの組込み用マイコンに最適な構成となっています。

H8/3657 には、ユーザサイドで自由にプログラムの書込みができる PROM を内蔵した ZTAT[®]*版もあります。

H8/3657 シリーズの特長を表 1.1 に示します。

【注】 * ZTAT は（株）日立製作所の登録商標です。

表 1.1 特長

項目	仕様
CPU	高速 H8/300L CPU (1) 汎用レジスタ方式 ・ 汎用レジスタ：8 ビット×16 本 (16 ビット×8 本としても使用可能) (2) 高速演算 ・ 最高動作周波数：5MHz ・ 加減算：0.4μs (φ = 5MHz 動作時) ・ 乗除算：2.8μs (φ = 5MHz 動作時) ・ 32.768kHz サブクロックによる動作可能 (3) H8/300CPU と互換性のある命令体系 ・ 命令フォーマットは 2 バイトまたは 4 バイト長 ・ 基本演算はレジスタ - レジスタ間で実行 ・ MOV 命令によるメモリ - レジスタ間データ転送 (4) 特長ある命令 ・ 乗算命令 (8 ビット×8 ビット) ・ 除算命令 (16 ビット÷8 ビット) ・ ビットアキュムレータ命令 ・ レジスタ間接指定によりビット位置の指定が可能
割込み	33 種類の割込み要因 ・ 外部割込み要因：12 要因 (IRQ ₃ ~ IRQ ₀ 、INT ₇ ~ INT ₀) ・ 内部割込み要因：21 要因
クロック発振器	2 種類のクロック発振器内蔵 ・ システムクロック発振器：1 ~ 10MHz ・ サブクロック発振器：32.768kHz

1. 概要

項目	仕様
低消費電力モード	7 種類の低消費電力モード ・スリープモード（高速） ・スリープモード（中速） ・スタンバイモード ・ウォッチモード ・サブスリープモード ・サブアクティブモード ・アクティブ（中速）モード
メモリ	大容量メモリ内蔵 H8/3657・ROM：60k バイト・RAM：2k バイト H8/3656・ROM：48k バイト・RAM：2k バイト H8/3655・ROM：40k バイト・RAM：2k バイト H8/3654・ROM：32k バイト・RAM：1k バイト H8/3653・ROM：24k バイト・RAM：1k バイト H8/3652・ROM：16k バイト・RAM：1k バイト
I/O ポート	I/O ポート 67 本 ・入出力端子：59 本 ・入力端子：8 本
タイマ	5 種類のタイマ内蔵 (1) タイマ A：8 ビットのタイマ ・システムクロック (ϕ) * を分周した 8 種類の内部クロックまたは時計用クロック (ϕ_w) * を分周した 4 種類のクロックによりカウントアップ可能 (2) タイマ B1：8 ビットのタイマ ・7 種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ可能 ・オートリロード機能可能 (3) タイマ V：8 ビットのタイマ ・6 種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ可能 ・コンペアマッチ機能による波形出力可能 ・外部トリガ入力によりカウントアップ指定可能 (4) タイマ X：16 ビットのタイマ ・3 種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ可能 ・2 本のアウトプットコンペア出力 ・4 本のインプットキャプチャ入力 (5) ウォッチドッグタイマ ・8 ビットカウンタのオーバフローによりリセット信号を発生

【注】 * ϕ 、 ϕ_w の定義は「第 4 章 クロック発振器」を参照してください。

項目	仕様																																																																																				
シリアル コミュニケーション インタフェース	2チャンネルのシリアルコミュニケーションインタフェース内蔵 (1) SCI1：クロック同期式 ・ 8ビット / 16ビットの転送データを選択可能 (2) SCI3：8ビットクロック同期式 / 調歩同期式 ・ マルチプロセッサ通信機能内蔵																																																																																				
14ビット PWM	リップル低減をはかったパルス分割方式 PWM ・ 外部にローパスフィルタを接続することで 14ビット D/A 変換器として 使用可能																																																																																				
A/D 変換器	抵抗ラダー方式による逐次比較方式の 8ビット A/D 変換器 ・ 8チャンネルのアナログ入力端子 ・ 変換時間：1チャンネル当たり 31/φ または 62/φ																																																																																				
製品ラインアップ	<table><tr><th colspan="2">製品型名</th><th rowspan="2">パッケージ</th><th rowspan="2">ROM / RAM サイズ</th></tr><tr><th>マスクROM版</th><th>ZTAT®版</th></tr><tr><td>HD6433657W</td><td>HD6473657W</td><td>80ピン TQFP (TFP-80C)</td><td rowspan="4">ROM 60kバイト RAM 2kバイト</td></tr><tr><td>HD6433657X</td><td>HD6473657X</td><td>80ピン TQFP (TFP-80F)</td></tr><tr><td>HD6433657H</td><td>HD6473657H</td><td>80ピン QFP (FP-80A)</td></tr><tr><td>HD6433657F</td><td>HD6473657F</td><td>80ピン QFP (FP-80B)</td></tr><tr><td>HD6433656W</td><td>—</td><td>80ピン TQFP (TFP-80C)</td><td rowspan="4">ROM 48kバイト RAM 2kバイト</td></tr><tr><td>HD6433656X</td><td>—</td><td>80ピン TQFP (TFP-80F)</td></tr><tr><td>HD6433656H</td><td>—</td><td>80ピン QFP (FP-80A)</td></tr><tr><td>HD6433656F</td><td>—</td><td>80ピン QFP (FP-80B)</td></tr><tr><td>HD6433655W</td><td>—</td><td>80ピン TQFP (TFP-80C)</td><td rowspan="4">ROM 40kバイト RAM 2kバイト</td></tr><tr><td>HD6433655X</td><td>—</td><td>80ピン TQFP (TFP-80F)</td></tr><tr><td>HD6433655H</td><td>—</td><td>80ピン QFP (FP-80A)</td></tr><tr><td>HD6433655F</td><td>—</td><td>80ピン QFP (FP-80B)</td></tr><tr><td>HD6433654W</td><td>—</td><td>80ピン TQFP (TFP-80C)</td><td rowspan="4">ROM 32kバイト RAM 1kバイト</td></tr><tr><td>HD6433654X</td><td>—</td><td>80ピン TQFP (TFP-80F)</td></tr><tr><td>HD6433654H</td><td>—</td><td>80ピン QFP (FP-80A)</td></tr><tr><td>HD6433654F</td><td>—</td><td>80ピン QFP (FP-80B)</td></tr><tr><td>HD6433653W</td><td>—</td><td>80ピン TQFP (TFP-80C)</td><td rowspan="4">ROM 24kバイト RAM 1kバイト</td></tr><tr><td>HD6433653X</td><td>—</td><td>80ピン TQFP (TFP-80F)</td></tr><tr><td>HD6433653H</td><td>—</td><td>80ピン QFP (FP-80A)</td></tr><tr><td>HD6433653F</td><td>—</td><td>80ピン QFP (FP-80B)</td></tr><tr><td>HD6433652W</td><td>—</td><td>80ピン TQFP (TFP-80C)</td><td rowspan="4">ROM 16kバイト RAM 1kバイト</td></tr><tr><td>HD6433652X</td><td>—</td><td>80ピン TQFP (TFP-80F)</td></tr><tr><td>HD6433652H</td><td>—</td><td>80ピン QFP (FP-80A)</td></tr><tr><td>HD6433652F</td><td>—</td><td>80ピン QFP (FP-80B)</td></tr></table>	製品型名		パッケージ	ROM / RAM サイズ	マスクROM版	ZTAT®版	HD6433657W	HD6473657W	80ピン TQFP (TFP-80C)	ROM 60kバイト RAM 2kバイト	HD6433657X	HD6473657X	80ピン TQFP (TFP-80F)	HD6433657H	HD6473657H	80ピン QFP (FP-80A)	HD6433657F	HD6473657F	80ピン QFP (FP-80B)	HD6433656W	—	80ピン TQFP (TFP-80C)	ROM 48kバイト RAM 2kバイト	HD6433656X	—	80ピン TQFP (TFP-80F)	HD6433656H	—	80ピン QFP (FP-80A)	HD6433656F	—	80ピン QFP (FP-80B)	HD6433655W	—	80ピン TQFP (TFP-80C)	ROM 40kバイト RAM 2kバイト	HD6433655X	—	80ピン TQFP (TFP-80F)	HD6433655H	—	80ピン QFP (FP-80A)	HD6433655F	—	80ピン QFP (FP-80B)	HD6433654W	—	80ピン TQFP (TFP-80C)	ROM 32kバイト RAM 1kバイト	HD6433654X	—	80ピン TQFP (TFP-80F)	HD6433654H	—	80ピン QFP (FP-80A)	HD6433654F	—	80ピン QFP (FP-80B)	HD6433653W	—	80ピン TQFP (TFP-80C)	ROM 24kバイト RAM 1kバイト	HD6433653X	—	80ピン TQFP (TFP-80F)	HD6433653H	—	80ピン QFP (FP-80A)	HD6433653F	—	80ピン QFP (FP-80B)	HD6433652W	—	80ピン TQFP (TFP-80C)	ROM 16kバイト RAM 1kバイト	HD6433652X	—	80ピン TQFP (TFP-80F)	HD6433652H	—	80ピン QFP (FP-80A)	HD6433652F	—	80ピン QFP (FP-80B)
製品型名		パッケージ	ROM / RAM サイズ																																																																																		
マスクROM版	ZTAT®版																																																																																				
HD6433657W	HD6473657W	80ピン TQFP (TFP-80C)	ROM 60kバイト RAM 2kバイト																																																																																		
HD6433657X	HD6473657X	80ピン TQFP (TFP-80F)																																																																																			
HD6433657H	HD6473657H	80ピン QFP (FP-80A)																																																																																			
HD6433657F	HD6473657F	80ピン QFP (FP-80B)																																																																																			
HD6433656W	—	80ピン TQFP (TFP-80C)	ROM 48kバイト RAM 2kバイト																																																																																		
HD6433656X	—	80ピン TQFP (TFP-80F)																																																																																			
HD6433656H	—	80ピン QFP (FP-80A)																																																																																			
HD6433656F	—	80ピン QFP (FP-80B)																																																																																			
HD6433655W	—	80ピン TQFP (TFP-80C)	ROM 40kバイト RAM 2kバイト																																																																																		
HD6433655X	—	80ピン TQFP (TFP-80F)																																																																																			
HD6433655H	—	80ピン QFP (FP-80A)																																																																																			
HD6433655F	—	80ピン QFP (FP-80B)																																																																																			
HD6433654W	—	80ピン TQFP (TFP-80C)	ROM 32kバイト RAM 1kバイト																																																																																		
HD6433654X	—	80ピン TQFP (TFP-80F)																																																																																			
HD6433654H	—	80ピン QFP (FP-80A)																																																																																			
HD6433654F	—	80ピン QFP (FP-80B)																																																																																			
HD6433653W	—	80ピン TQFP (TFP-80C)	ROM 24kバイト RAM 1kバイト																																																																																		
HD6433653X	—	80ピン TQFP (TFP-80F)																																																																																			
HD6433653H	—	80ピン QFP (FP-80A)																																																																																			
HD6433653F	—	80ピン QFP (FP-80B)																																																																																			
HD6433652W	—	80ピン TQFP (TFP-80C)	ROM 16kバイト RAM 1kバイト																																																																																		
HD6433652X	—	80ピン TQFP (TFP-80F)																																																																																			
HD6433652H	—	80ピン QFP (FP-80A)																																																																																			
HD6433652F	—	80ピン QFP (FP-80B)																																																																																			

1.2 内部ブロック図

H8/3657 シリーズの内部ブロック図を図 1.1 に示します。

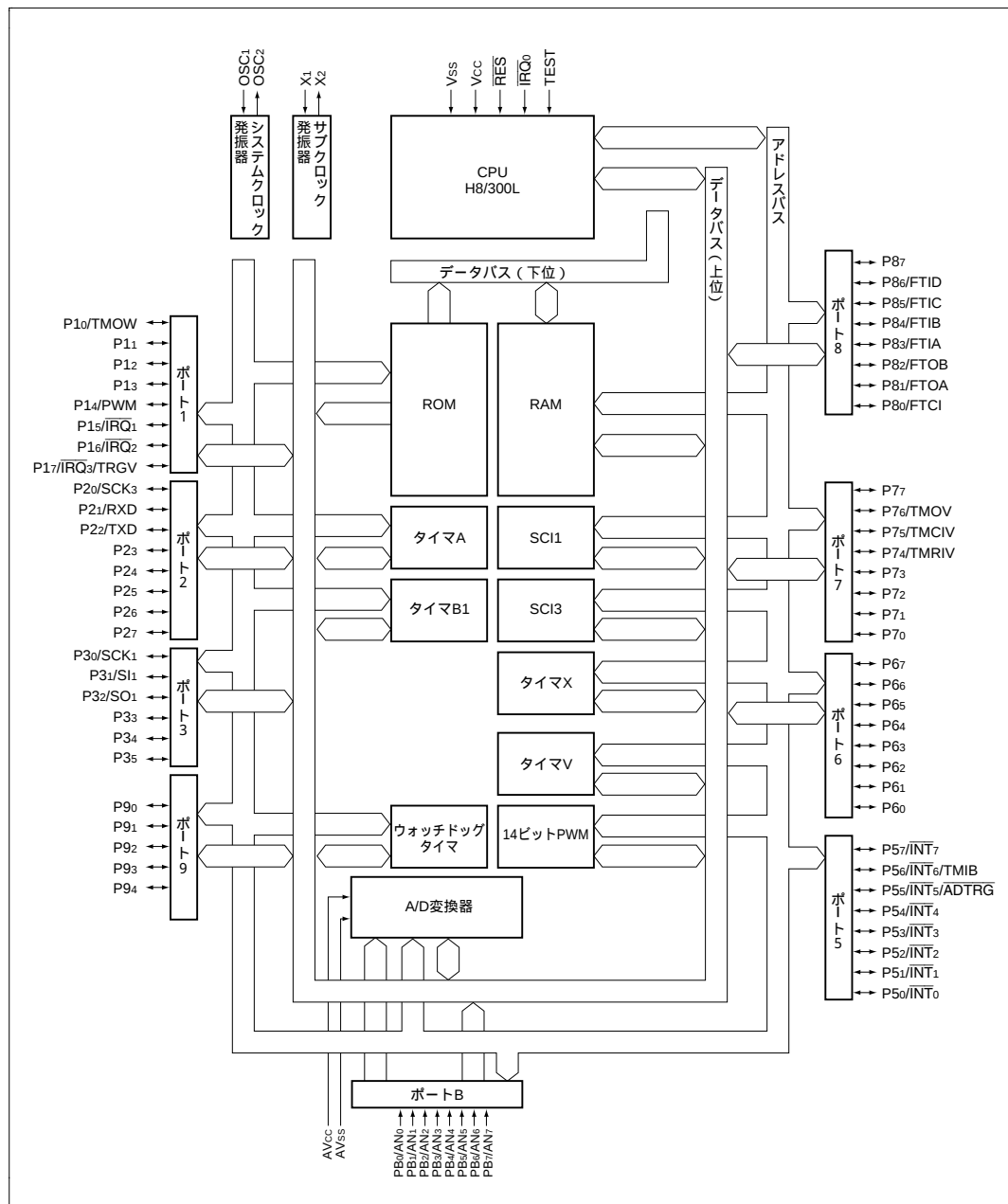


図 1.1 内部ブロック図

1.3 端子説明

1.3.1 ピン配置

H8/3657 シリーズのピン配置図を図 1.2(TFP-80C、TFP-80F、FP-80A)、図 1.3(FP-80B) に示します。

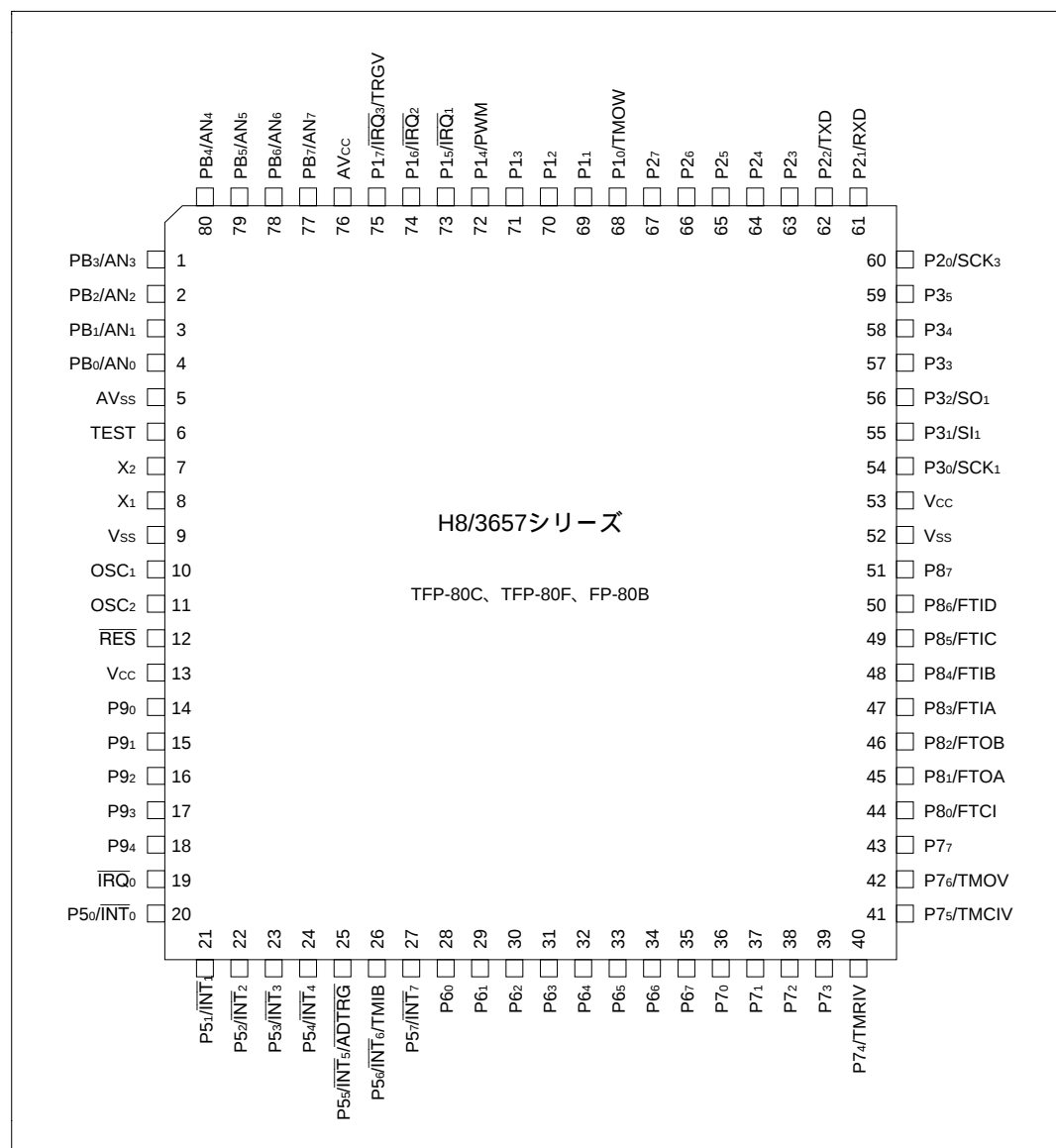


図 1.2 ピン配置図 (TFP-80C、TFP-80F、FP-80A : 上面図)

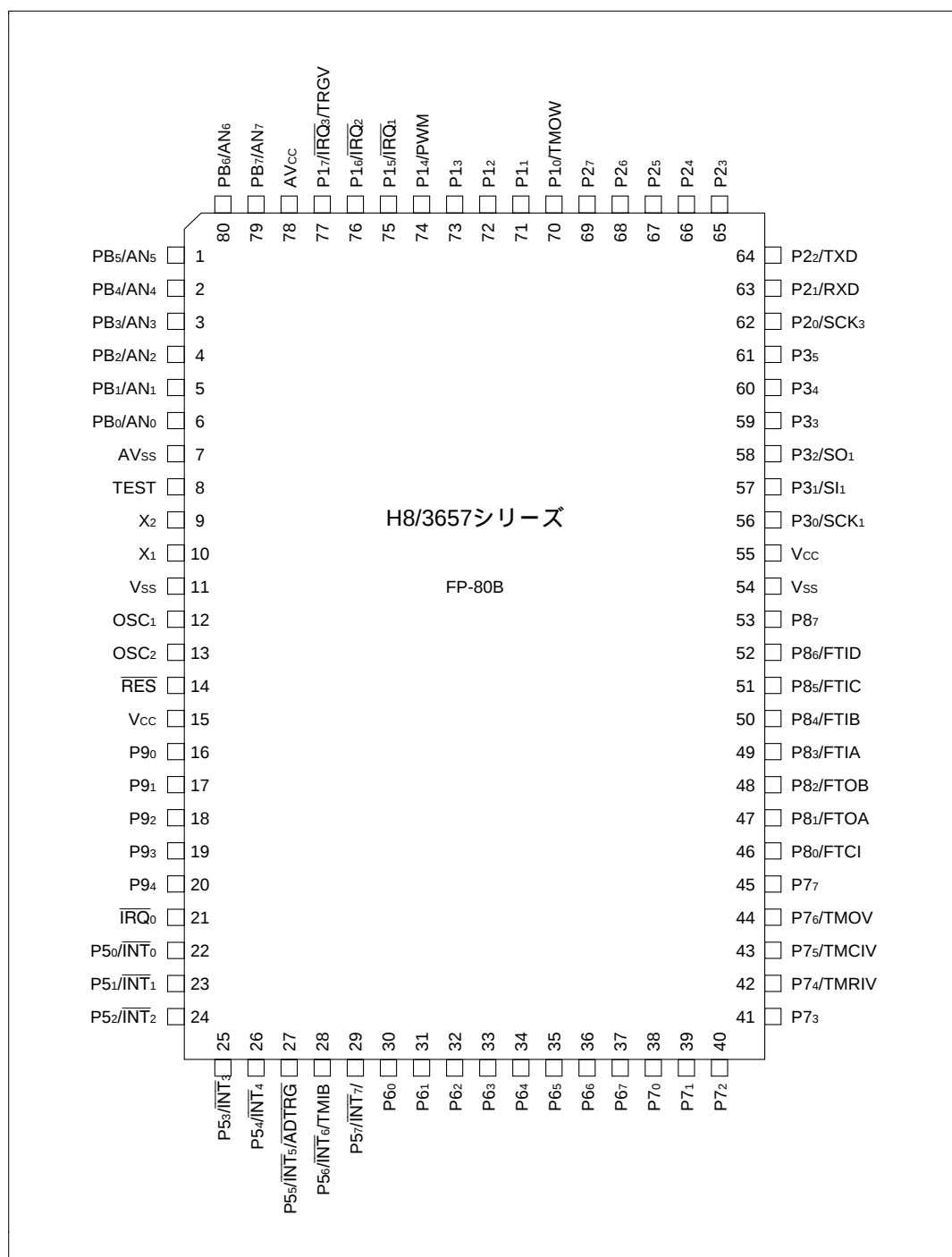


図 1.3 ピン配置図 (FP-80B : 上面図)

1.3.2 端子機能

各端子の機能について表 1.2 に示します。

表 1.2 端子機能

分類	記号	ピン番号		入出力	機能
		TFP-80C TFP-80F FP-80A	FP-80B		
電源	V_{CC}	13、53	15、55	入力	電源 V_{CC} 端子は、全端子、システムの電源（+5V）に接続してください。
	V_{SS}	9、52	11、54	入力	グランド V_{SS} 端子は、全端子、システムの電源（0V）に接続してください。
	AV_{CC}	76	78	入力	アナログ電源 A/D 変換器用電源端子です。A/D 変換器を使用しない場合、システムの電源（+5V）に接続してください。
	AV_{SS}	5	7	入力	アナロググランド A/D 変換器用グランド端子です。システムの電源（0V）に接続してください。
クロック	OSC_1	10	12	入力	水晶発振子またはセラミック発振子を接続します。また、外部クロックを入力することもできます。接続例については「第 4 章 クロック発振器」を参照してください。
	OSC_2	11	13	出力	
	X_1	8	10	入力	
	X_2	7	9	出力	
システム制御	$\overline{RES}$	12	14	入力	リセット この端子を"Low"レベルにすると、リセット状態になります。
	TEST	6	8	入力	テスト端子 ユーザは、使用できません。 V_{SS} 電位に接地してください。
割込み	$\overline{IRQ_0}$	19	21	入力	IRQ 割込み要求 0~3 立上がりエッジセンス / 立下がりエッジセンスを選択可能な外部割込み入力端子です。
	$\overline{IRQ_1}$	73	75		
	$\overline{IRQ_2}$	74	76		
	$\overline{IRQ_3}$	75	77		

1. 概要

分類	記号	ピン番号		入出力	機能
		TFP-80C TFP-80F FP-80A	FP-80B		
割込み	$\overline{\text{INT}}_7 \sim \overline{\text{INT}}_0$	27 ~ 20	29 ~ 22	入力	<u>INT 割込み要求 0 ~ 7</u> 立上がりエッジセンス / 立下がりエッジセンスを選択可能な外部割込み入力端子です。
タイマ	TMOW	68	70	出力	<u>クロック出力</u> タイマ A 出力回路により生成された波形の出力端子です。
	TMIB	26	28	入力	<u>タイマ B1 イベント入力</u> タイマ B1 のカウンタに入力するイベント入力端子です。
	TMOV	42	44	出力	<u>タイマ V 出力</u> タイマ V アウトプットコンペア機能により生成された波形の出力端子です。
	TMCIV	41	43	入力	<u>タイマ V イベント入力</u> タイマ V のカウンタに入力するイベント入力端子です。
	TMRIV	40	42	入力	<u>タイマ V カウンタリセット</u> タイマ V のカウンタリセットの入力端子です。
	TRGV	75	77	入力	<u>タイマ V カウンタ開始トリガ入力</u> タイマ V のカウンタ開始トリガ、およびリアルタイム出力ポートのトリガ入力端子です。
	FTCI	44	46	入力	<u>タイマ X クロック入力</u> タイマ X のカウンタに入力する外部クロック入力端子です。
	FTOA	45	47	出力	<u>タイマ X アウトプットコンペア A 出力</u> タイマ X のアウトプットコンペア A の出力端子です。
	FTOB	46	48	出力	<u>タイマ X アウトプットコンペア B 出力</u> タイマ X のアウトプットコンペア B の出力端子です。
	FTIA	47	49	入力	<u>タイマ X インプットキャップチャ A 入力</u> タイマ X のインプットキャップチャ A の入力端子です。

分類	記号	ピン番号		入出力	機能
		TFP-80C TFP-80F FP-80A	FP-80B		
タイマ	FTIB	48	50	入力	タイマXインプットキャップチャB入力 タイマXのインプットキャップチャBの入力端子です。
	FTIC	49	51	入力	タイマXインプットキャップチャC入力 タイマXのインプットキャップチャCの入力端子です。
	FTID	50	52	入力	タイマXインプットキャップチャD入力 タイマXのインプットキャップチャDの入力端子です。
14 ビット PWM	PWM	72	74	出力	14 ビット PWM 出力 14 ビット PWM により生成された波形の出力端子です。
I/O ポート	PB ₇ ~ PB ₀	77 ~ 80 1 ~ 4	79、80 1 ~ 6	入力	ポート B 8 ビットの入力端子です。
	P1 ₇ ~ P1 ₀	75 ~ 68	77 ~ 70	入出力	ポート 1 8 ビットの入出力端子です。ポートコントロールレジスタ 1 (PCR1) によって、1 ビットごとに入出力を指定できます。
	P2 ₇ ~ P2 ₀	67 ~ 60	69 ~ 62	入出力	ポート 2 8 ビットの入出力端子です。ポートコントロールレジスタ 2 (PCR2) によって、1 ビットごとに入出力を指定できます。
	P3 ₅ ~ P3 ₀	59 ~ 54	61 ~ 56	入出力	ポート 3 6 ビットの入出力端子です。ポートコントロールレジスタ 3 (PCR3) によって、1 ビットごとに入出力を指定できます。
	P5 ₇ ~ P5 ₀	27 ~ 20	29 ~ 22	入出力	ポート 5 8 ビットの入出力端子です。ポートコントロールレジスタ 5 (PCR5) によって、1 ビットごとに入出力を指定できます。
	P6 ₇ ~ P6 ₀	35 ~ 28	37 ~ 30	入出力	ポート 6 8 ビットの入出力端子です。ポートコントロールレジスタ 6 (PCR6) によって、1 ビットごとに入出力を指定できます。

1. 概要

分類	記号	ピン番号		入出力	機能
		TFP-80C TFP-80F FP-80A	FP-80B		
I/O ポート	P7 ₇ ~ P7 ₀	43 ~ 36	45 ~ 38	入出力	<u>ポート 7</u> 8 ビットの入出力端子です。ポートコントロールレジスタ 7 (PCR7) によって、1 ビットごとに入出力を指定できます。
	P8 ₇ ~ P8 ₀	51 ~ 44	53 ~ 46	入出力	<u>ポート 8</u> 8 ビットの入出力端子です。ポートコントロールレジスタ 8 (PCR8) によって、1 ビットごとに入出力を指定できます。
	P9 ₄ ~ P9 ₀	18 ~ 14	20 ~ 16	入出力	<u>ポート 9</u> 5 ビットの入出力端子です。ポートコントロールレジスタ 9 (PCR9) によって、1 ビットごとに入出力を指定できます。
シリアル コミュニ ケーショ ンインタ フェース (SCI)	SI ₁	55	57	入力	<u>SCI1 受信データ入力</u> SCI1 のデータ入力端子です。
	SO ₁	56	58	出力	<u>SCI1 送信データ出力</u> SCI1 のデータ出力端子です。
	SCK ₁	54	56	入出力	<u>SCI1 クロック入出力</u> SCI1 のクロック入出力端子です。
	RXD	61	63	入力	<u>SCI3 受信データ入力</u> SCI3 のデータ入力端子です。
	TXD	62	64	出力	<u>SCI3 送信データ出力</u> SCI3 のデータ出力端子です。
	SCK ₃	60	62	入出力	<u>SCI3 クロック入出力</u> SCI3 のクロック入出力端子です。
A/D 変換器	AN ₇ ~ AN ₀	77 ~ 80 1 ~ 4	79、80 1 ~ 6	入力	<u>アナログ入力 (チャンネル 7 ~ チャンネル 0)</u> A/D 変換器へのアナログデータ入力端子です。
	ADTRG	25	27	入力	<u>A/D 変換器トリガ入力</u> A/D 変換器の外部トリガ入力端子です。

2. CPU

第2章 目次

2.1	概要.....	15
	2.1.1 特長.....	15
	2.1.2 アドレス空間	15
	2.1.3 レジスタ構成	16
2.2	各レジスタの説明.....	17
	2.2.1 汎用レジスタ	17
	2.2.2 コントロールレジスタ	17
	2.2.3 CPU 内部レジスタの初期値	19
2.3	データ構成.....	20
	2.3.1 汎用レジスタのデータ構成	21
	2.3.2 メモリ上でのデータ構成.....	22
2.4	アドレッシングモード.....	23
	2.4.1 アドレッシングモード	23
	2.4.2 実効アドレスの計算方法.....	25
2.5	命令セット.....	29
	2.5.1 データ転送命令	31
	2.5.2 算術演算命令	33
	2.5.3 論理演算命令	34
	2.5.4 シフト命令.....	34
	2.5.5 ビット操作命令	35
	2.5.6 分岐命令	39
	2.5.7 システム制御命令.....	41
	2.5.8 ブロック転送命令.....	42
2.6	基本動作タイミング	43
	2.6.1 内蔵メモリ（RAM、ROM）	43
	2.6.2 内蔵周辺モジュール	44
2.7	CPU の状態	46

2.7.1	概要.....	46
2.7.2	プログラム実行状態	47
2.7.3	プログラム停止状態	47
2.7.4	例外処理状態	47
2.8	メモリマップ	48
2.9	使用上の注意事項.....	49
2.9.1	データアクセスに関する注意事項	49
2.9.2	ビット操作命令使用上の注意事項	51
2.9.3	EEPMOV 命令使用上の注意事項.....	57

2.1 概要

H8/300L CPU は、8 ビット×16 本（または 16 ビット×8 本）の汎用レジスタ、ならびに高速動作に適した簡潔な命令セットを備えた高速 CPU です。

2.1.1 特長

H8/300L CPU には、次の特長があります。

- 汎用レジスタ方式
 - ・ 8 ビット×16 本（16 ビット×8 本としても使用可能）
 - 55 種類の基本命令
 - ・ 乗除算命令
 - ・ 強力なビット操作命令
 - 8 種類のアドレッシングモード
 - ・ レジスタ直接
 - ・ レジスタ間接
 - ・ ディスプレースメント付レジスタ間接
 - ・ ポストインクリメント / プリデクリメントレジスタ間接
 - ・ 絶対アドレス
 - ・ イミディエイト
 - ・ プログラムカウンタ相対
 - ・ メモリ間接
 - 64k バイトのアドレス空間
 - 高速動作
 - ・ 頻出命令をすべて 2～4 ステートで実行
 - ・ 高速演算

8/16 ビットレジスタ間加減算	0.4μs*
8×8 ビット乗算	2.8μs*
16÷8 ビット除算	2.8μs*
- 【注】 * 数値は、φ = 5MHz 時のもの
- 低消費電力動作
 - ・ SLEEP 命令により低消費電力動作可能

2.1.2 アドレス空間

H8/300L CPU がサポートするアドレス空間は、プログラムコードとデータ領域合計で最大 64k バイトです。

メモリマップの詳細は「2.8 メモリマップ」を参照してください。

2.1.3 レジスタ構成

H8/300L CPUの内部レジスタ構成を図 2.1 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの2つに分類することができます。

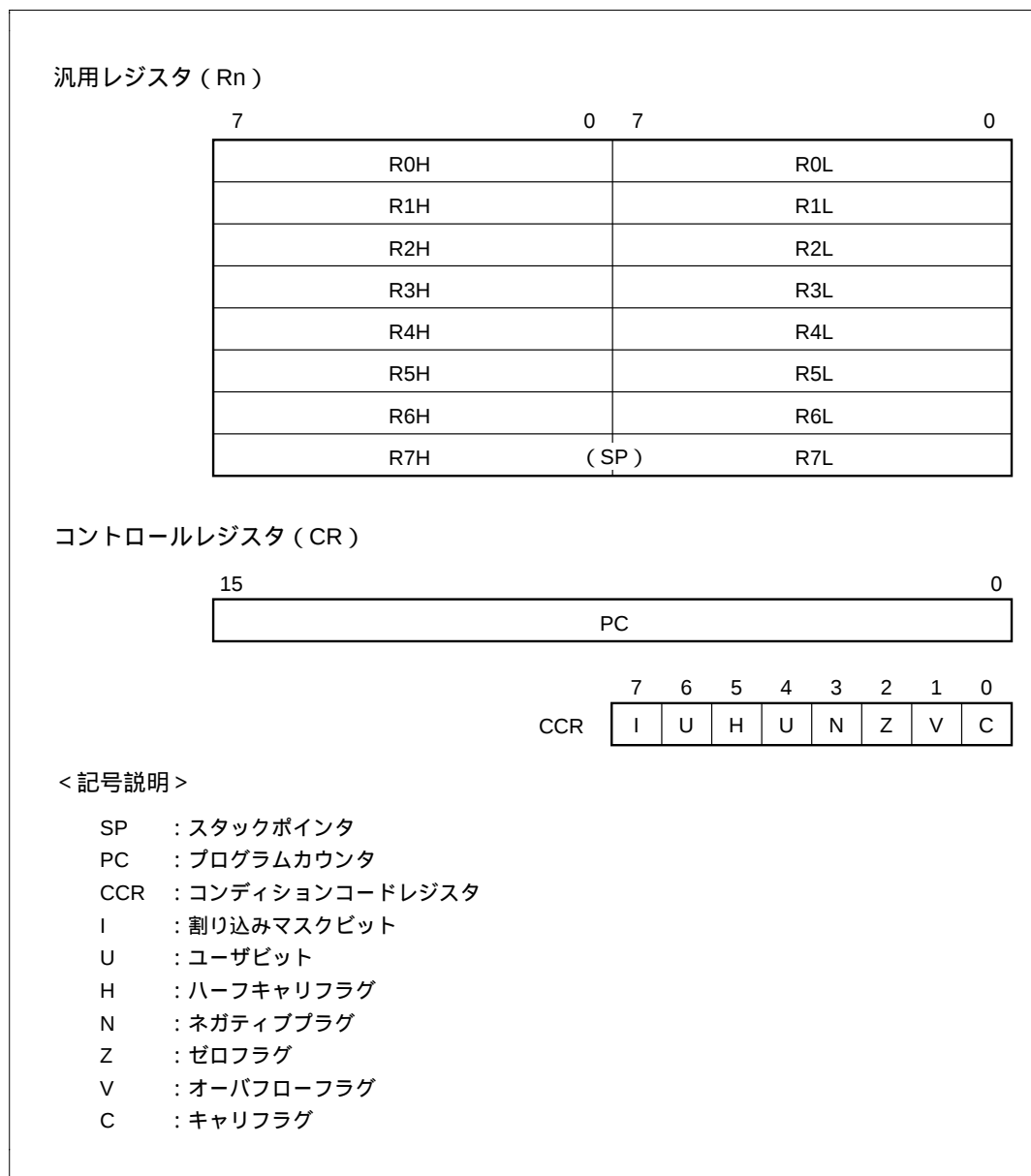


図 2.1 CPU 内部レジスタ構成

2.2 各レジスタの説明

2.2.1 汎用レジスタ

汎用レジスタは、すべて同じ機能をもっており、データレジスタ、アドレスレジスタの区別なく使用できます。

データレジスタとして使用する場合は、8 ビットレジスタとして上位 (R7H~R0H) と下位 (R7L~R0L) を別々に使用することも、また 16 ビットレジスタ (R7~R0) として使用することもできます。

アドレスレジスタとして使用する場合は、16 ビットレジスタ (R7~R0) として使用します。レジスタ R7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチンコールなどで暗黙的に使用されます。このとき、SP は常にスタック領域の先頭を指しています。スタックの状態を図 2.2 に示します。

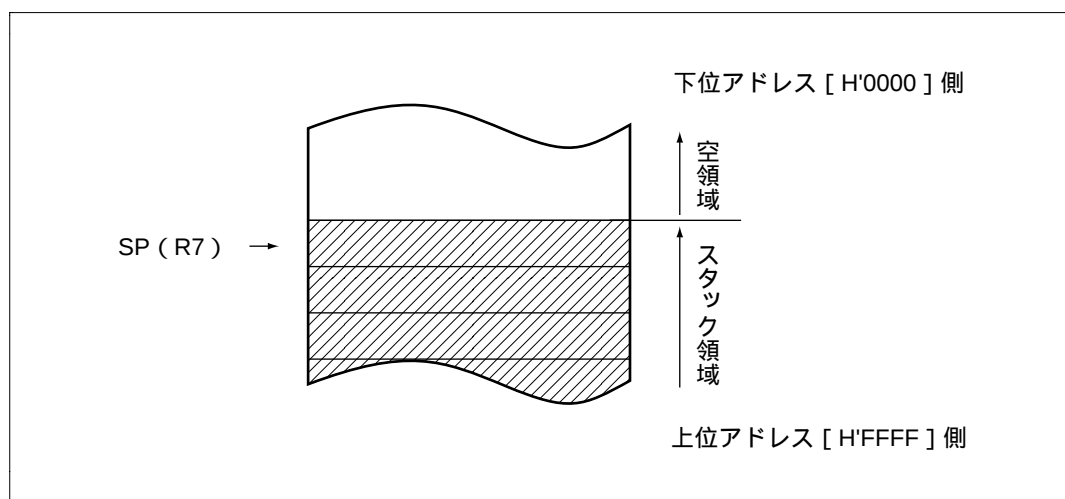


図 2.2 スタックの状態

2.2.2 コントロールレジスタ

コントロールレジスタには、16 ビットのプログラムカウンタ (PC) と 8 ビットのコンディションコードレジスタ (CCR) があります。

(1) プログラムカウンタ (PC)

16 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 16 ビット (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは "0" とみなされます)。

(2) コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。これらのビットは、ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット 7 : 割込みマスクビット (I)

本ビットが "1" にセットされると、割込みがマスクされます。例外処理の実行が開始されたときに "1" にセットされます。本ビットはソフトウェアによりリード/ライトできます。割込みマスクビットの詳細については「3.3 割込み」を参照してください。

ビット 6 : ユーザビット (U)

ユーザが自由に使用できるビットです。

ビット 5 : ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき "1" にセットされ、生じなかったとき "0" にクリアされます。DAA および DAS 命令実行時に、暗黙的に使用されます。ADD.W、SUB.W、CMP.W 命令ではビット 11 にキャリまたはボローが生じたとき "1" にセットされ、生じなかったとき "0" にクリアされます。

ビット 4 : ユーザビット (U)

ユーザが自由に使用できるビットです。

ビット 3 : ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット 2 : ゼロフラグ (Z)

データがゼロのとき "1" にセットされ、ゼロ以外のとき "0" にクリアされます。

ビット 1 : オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき "1" にセットされます。それ以外のとき "0" にクリアされます。

ビット0：キャリフラグ（C）

演算の実行により、キャリが生じたとき"1"にセットされ、生じなかったとき"0"にクリアされます。キャリには次の種類があります。

- ・ 加算結果のキャリ
- ・ 減算結果のボロー
- ・ シフト／ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。

各命令ごとのフラグの変化については、「H8/300L シリーズ プログラミングマニュアル」を参照してください。

2.2.3 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタアドレス（H'0000）のロードにより初期化され、CCR の I ビットは"1"にセットされますが、汎用レジスタおよび CCR の他のビットは初期化されません。レジスタ R7（SP）の初期値も不定です。したがって、リセット直後に、R7 の初期化を行ってください。

2.3 データ構成

H8/300L CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード) のデータを扱うことができます。1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0, 1, 2, \dots, 7$) という形式でアクセスされます。

バイトデータは、ADDS、SUBS 以外の演算命令で扱われます。また、ワードデータは、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU (8 ビット $\times$ 8 ビット)、DIVXU (16 ビット $\div$ 8 ビット) 命令で扱われます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.3.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図 2.3 に示します。

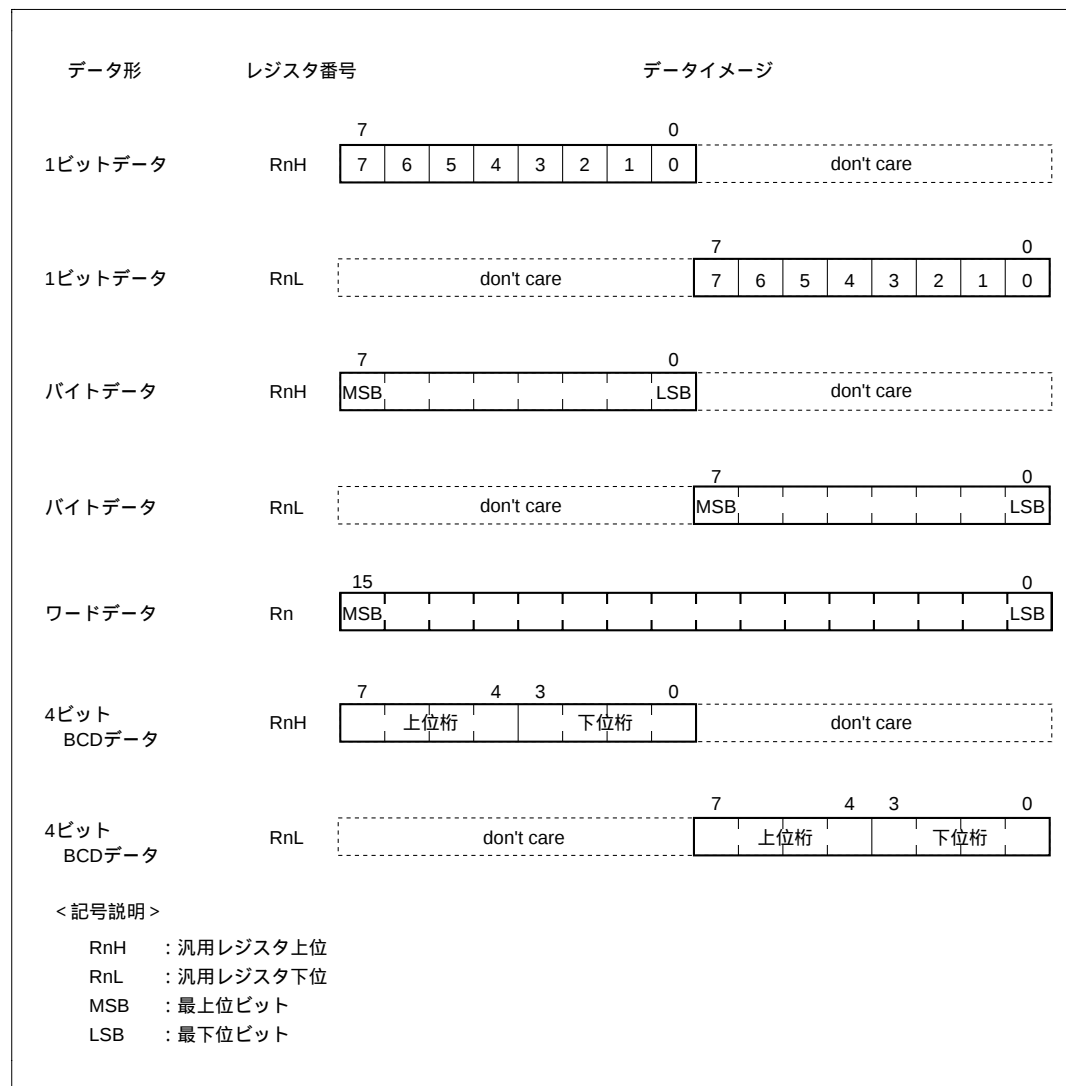


図 2.3 汎用レジスタのデータ構成

2.3.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図 2.4 に示します。H8/300L CPU は、メモリ上のワードデータをアクセスすることができます（MOV.W 命令）が、偶数番地から始まるワードデータに限定されます。奇数番地から始まるワードデータをアクセスした場合、アドレスの最下位ビットは"0"とみなされ、1 番地前から始まるワードデータをアクセスします。命令コードについても同様です。

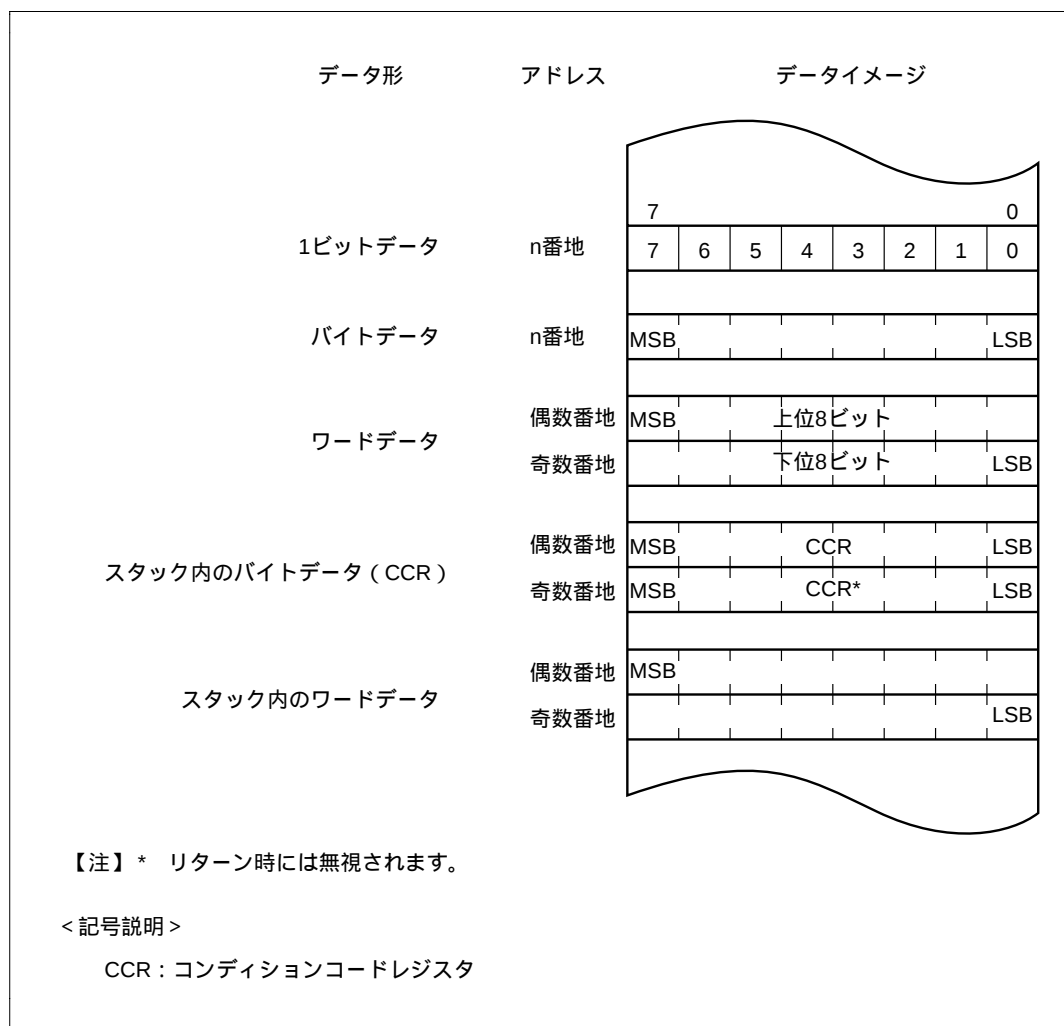


図 2.4 メモリ上でのデータ構成

なお、R7 をアドレスレジスタとして使用し、スタックをアクセスするときは、必ずワードサイズでアクセスしてください。また、CCR は、ワードデータとして上位 8 ビット、下位 8 ビットに同じ値が格納され、リターン時には、下位 8 ビットは無視されます。

2.4 アドレッシングモード

2.4.1 アドレッシングモード

H8/300L CPU は、表 2.1 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

表 2.1 アドレッシングモード一覧表

No.	アドレッシングモード	記号
(1)	レジスタ直接	Rn
(2)	レジスタ間接	@Rn
(3)	ディスプレースメント付レジスタ間接	@(d:16, Rn)
(4)	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@Rn+ @-Rn
(5)	絶対アドレス	@aa:8/@aa:16
(6)	イミディエイト	#xx:8/#xx:16
(7)	プログラムカウンタ相対	@(d:8, PC)
(8)	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ(8ビットまたは16ビット)がオペランドとなります。

16ビットレジスタを使用する命令は、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU(8ビット×8ビット)、DIVXU(16ビット÷8ビット)の各命令です。

(2) レジスタ間接 @Rn

命令コードのレジスタフィールドで指定されるレジスタ(16ビット)の内容をアドレスとしてメモリ上のオペランドを指定します。

(3) ディスプレースメント付レジスタ間接 @(d:16, Rn)

命令コードのレジスタフィールドで指定されるレジスタ(16ビット)の内容に、命令コードの第2ワード(第3、第4バイト)の16ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。

本アドレッシングモードは、MOV命令のみで使用されます。特に、MOV.W命令では、加算結果が偶数となるようにしてください。

(4) ポストインクリメントレジスタ間接 @Rn+ / プリデクリメントレジスタ間接 @-Rn

・ポストインクリメントレジスタ間接 @Rn+

MOV (Load from) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容をアドレスとして、メモリ上のオペランドを指定します。その後、レジスタの内容に 1 または 2 が加算され、加算結果がレジスタに格納されます。MOV.B 命令では 1、MOV.W 命令では 2 がそれぞれ加算されます。MOV.W 命令では、レジスタの内容が偶数になるようにしてください。

・プリデクリメントレジスタ間接 @-Rn

MOV (Store to) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容から 1 または 2 を減算した内容をアドレスとして、メモリ上のオペランドを指定します。その後、減算結果がレジスタに格納されます。MOV.B 命令では 1、MOV.W 命令では 2 がそれぞれ減算されます。MOV.W 命令では、レジスタの内容が偶数となるようにしてください。

(5) 絶対アドレス @aa:8/@aa:16

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

このとき、絶対アドレスは 8 ビット (@aa:8) または 16 ビット (@aa:16) で、8 ビット絶対アドレスは MOV.B、ビット操作命令で、16 ビット絶対アドレスは MOV.B、MOV.W、JMP、JSR の各命令で使用されます。

8 ビット絶対アドレスの場合、上位 8 ビットはすべて "1" (H'FF) となります。したがって、アクセス範囲は 65280 ~ 65535 (H'FF00 ~ H'FFFF) 番地です。

(6) イミディエイト #xx:8/#xx:16

命令コードの第 2 バイト (#xx:8) または第 3、第 4 バイト (#xx:16) を直接オペランドとして使用します。#xx:16 は、MOV.W 命令のみで使用されます。

なお、ADDS および SUBS 命令では、イミディエイトデータ (1 または 2) が命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コードの第 2 または第 4 バイトに含まれる場合があります。

(7) プログラムカウンタ相対 @ (d:8, PC)

Bcc、BSR の各命令で使用されます。

PC の内容に、命令コードの第 2 バイトの 8 ビットディスプレースメントを加算して、分岐アドレスを生成します。加算に際して、ディスプレースメントは 16 ビットに符号拡張され、また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して - 126 ~ + 128 バイト (- 63 ~ + 64 ワード) です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @@aa:8

JMP および JSR 命令で使用されます。

命令コードの第 2 バイトに含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。この場合、8 ビット絶対アドレスの上位 8 ビットはすべて "0" (H'00) とされますので、分岐アドレスを格納できるのは 0 ~ 255 (H'0000 ~ H'00FF) 番地です。ただし、H8/300L シリーズでは、アドレスの下位番地はベクタ領域と共通になっていますから注意してください。ベクタ領域の詳細は「3.3 割込み」を参照してください。

分岐アドレスまたは MOV.W 命令のオペランドアドレスとして奇数アドレスを指定した場合、最下位ビットは "0" とみなされ、1 番地前から始まるワードデータをアクセスします (「2.3.2 メモリ上でのデータ構成」を参照してください)。

2.4.2 実効アドレスの計算方法

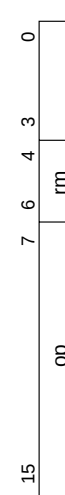
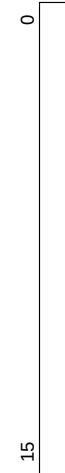
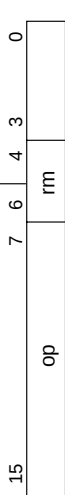
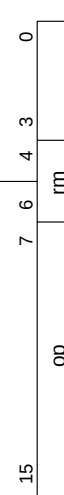
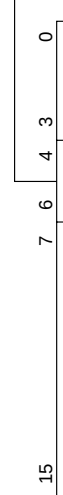
各アドレッシングモードにおける実効アドレス (EA : Effective Address) の計算法を表 2.2 に示します。

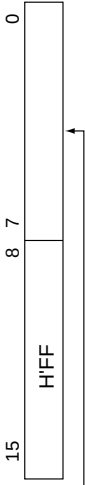
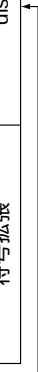
演算命令では、(1) レジスタ直接、および (6) イミディエイト (ADD.B、ADDX、SUBX、CMP.B、AND、OR、XOR の各命令) が使用されます。

転送命令では、(7) プログラムカウンタ相対と (8) メモリ間接を除くすべてのアドレッシングモードが使用可能です。

また、ビット操作命令では、オペランドの指定に (1) レジスタ直接、(2) レジスタ間接および (5) 絶対アドレス (8 ビット) が使用可能です。さらに、オペランド中のビット番号を指定するために (1) レジスタ直接 (BSET、BCLR、BNOT、BTST の各命令) および (6) イミディエイト (3 ビット) が独立して使用可能です。

表 2.2 実行アドレスの計算方法

No.	アドレッシングモード・命令フォーマット	実行アドレス計算方法	実行アドレス (EA)
(1)	レジスタ間接 Rn 		 オペランドはrm/rmが示すレジスタの内容です。
(2)	レジスタ間接 @Rn 		
(3)	ディスプレースメント付レジスタ間接 @ (d : 16, Rn) 		
(4)	ポストインクリメントレジスタ間接 / プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @Rn+  ・プリデクリメントレジスタ間接 @-Rn 	 オペランドサイズがバイトのとき1、ワードのとき2が加減算されます。	

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(5)	絶対アドレス @aa:8		
	@aa:16		
(6)	イミディエイト #xx:8		オペランドはイミディエイトデータの1または2バイトデータです。
	#xx:16		
(7)	プログラムカウンタ相対 @ (d:8, PC)		

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(8)	メモリ間接@aa:8 15870 opabs	15870 H'00abs メモリの内容 (16ビット)	150

< 記号説明 >

- rm、m : レジスタフィールド
- op : オペレーションフィールド
- disp : ディスプレースメント
- IMM : イミディエイトデータ
- abs : 絶対アドレス

2.5 命令セット

H8/300L CPU の命令は合計 55 種類あり、各命令のもつ機能によって、表 2.3 に示すように分類されます。

表 2.3 命令の分類

機能	命令	種類
データ転送命令	MOV、POP ^{*1} 、PUSH ^{*1}	1
算術演算命令	ADD、SUB、ADDX、SUBX、INC、DEC、ADDS、SUBS、DAA、DAS、MULXU、DIVXU、CMP、NEG	14
論理演算命令	AND、OR、XOR、NOT	4
シフト命令	SHAL、SHAR、SHLL、SHLR、ROTL、ROTR、ROTXL、ROTXR	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD、BST、BIST	14
分岐命令	Bcc ^{*2} 、JMP、BSR、JSR、RTS	5
システム制御命令	RTE、SLEEP、LDC、STC、ANDC、ORC、XORC、NOP	8
ブロック転送命令	EEPMOV	1

合計 55 種

【注】 *1 POP Rn、PUSH Rn は、それぞれ MOV.W @SP+, Rn、MOV.W Rn, @-SP と同一です。
機械語についても同一です。

*2 Bcc は条件分岐命令の総称です。

各命令の機能について表 2.4 から表 2.11 に示します。各表で使用しているオペレーションの記号の意味は以下のとおりです。

《オペレーションの記号》

Rd	汎用レジスタ（デスティネーション側）
Rs	汎用レジスタ（ソース側）
Rn	汎用レジスタ
(EAd)、<Ead>	デスティネーションオペランド
(EAs)、<Eas>	ソースオペランド
CCR	コンディションコードレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
−	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
:3	3 ビット長
:8	8 ビット長
:16	16 ビット長
()、< >	オペランドの実効アドレスの内容

2.5.1 データ転送命令

データ転送命令の機能を表 2.4 に示します。

表 2.4 データ転送命令

命令	サイズ*	機能
MOV	B/W	(EAs) → Rd、Rs → (EAd) 汎用レジスタと汎用レジスタまたは汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。 ワードデータは Rn、@Rn、@(d:16, Rn)、@aa:16、#xx:16、@-Rn、@Rn+ の各アドレッシングモードで扱います。@aa:8 はバイトデータのみです。 ただし、@-R7、@R7+を使用する場合は必ずワードサイズを指定してください。
POP	W	@SP+ → Rn スタックから汎用レジスタへデータを復帰します。 本命令は MOV.W @SP+, Rn と同一です。
PUSH	W	Rn → @-SP 汎用レジスタの内容をスタックに退避します。 本命令は MOV.W Rn, @-SP と同一です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

データアクセスに関して使用上の注意事項があります。詳細は「2.9.1 データアクセスに関する注意事項」を参照してください。

データ転送命令の命令フォーマットを図 2.5 に示します。

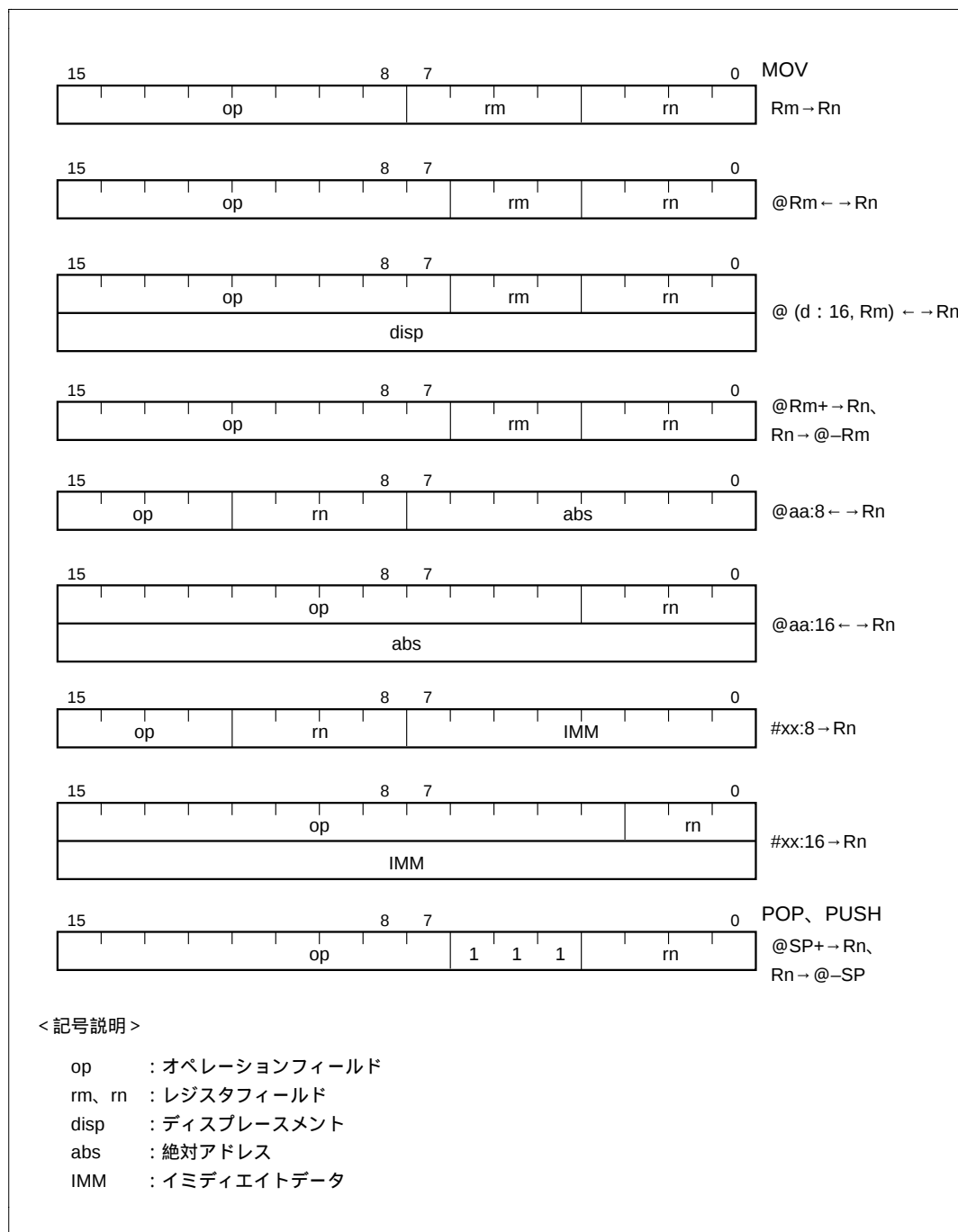


図 2.5 データ転送命令の命令フォーマット

2.5.2 算術演算命令

算術演算命令の機能を表 2.5 に示します。

表 2.5 算術演算命令

命令	サイズ*	機能
ADD SUB	B/W	$Rd \pm Rs \rightarrow Rd$, $Rd + \#IMM \rightarrow Rd$ 汎用レジスタ間の加減算、または汎用レジスタとイミディエイトデータの加算を行います。汎用レジスタとイミディエイトデータの減算はできません。ワードデータは、汎用レジスタ間の加減算のみで扱います。
ADDX SUBX	B	$Rd \pm Rs \pm C \rightarrow Rd$, $Rd \pm \#IMM \pm C \rightarrow Rd$ 汎用レジスタ間のキャリ付の加減算、または汎用レジスタとイミディエイトデータのキャリ付の加減算を行います。
INC DEC	B	$Rd \pm 1 \rightarrow Rd$ 汎用レジスタに 1 を加減算します。
ADDS SUBS	W	$Rd \pm 1 \rightarrow Rd$, $Rd \pm 2 \rightarrow Rd$ 汎用レジスタに 1 または 2 を加減算します。
DAA DAS	B	$Rd (10 \text{ 進補正}) \rightarrow Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B	$Rd \times Rs \rightarrow Rd$ 汎用レジスタ間の符号なし乗算を行います。8 ビット $\times$ 8 ビット $\rightarrow$ 16 ビットの演算が可能です。
DIVXU	B	$Rd \div Rs \rightarrow Rd$ 汎用レジスタ間の符号なし除算を行います。16 ビット $\div$ 8 ビット $\rightarrow$ 商 8 ビット余り 8 ビットの演算が可能です。
CMP	B/W	$Rd - Rs$, $Rd - \#IMM$ 汎用レジスタ間の比較、または汎用レジスタとイミディエイトデータの比較を行い、その結果を CCR に反映します。ワードデータは、汎用レジスタ間の比較のみで扱います。
NEG	B	$0 - Rd \rightarrow Rd$ 汎用レジスタの内容の 2 の補数（算術的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

2.5.3 論理演算命令

論理演算命令の機能を表 2.6 に示します。

表 2.6 論理演算命令

命令	サイズ*	機能
AND	B	$Rd \leftarrow Rs \wedge Rd$ 、 $Rd \leftarrow Rd \wedge \#IMM$ 汎用レジスタ間の論理積、または汎用レジスタとイミディエイトデータの論理積をとります。
OR	B	$Rd \leftarrow Rs \vee Rd$ 、 $Rd \leftarrow Rd \vee \#IMM$ 汎用レジスタ間の論理和、または汎用レジスタとイミディエイトデータの論理和をとります。
XOR	B	$Rd \leftarrow Rs \oplus Rd$ 、 $Rd \leftarrow Rd \oplus \#IMM$ 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B	$Rd \leftarrow \sim Rd$ 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

2.5.4 シフト命令

シフト命令の機能を表 2.7 に示します。

表 2.7 シフト命令

命令	サイズ*	機能
SHAL SHAR	B	$Rd \leftarrow Rd \ll \#IMM$ 、 $Rd \leftarrow Rd \gg \#IMM$ 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B	$Rd \leftarrow Rd \ll \#IMM$ 、 $Rd \leftarrow Rd \gg \#IMM$ 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B	$Rd \leftarrow Rd \ll \#IMM$ 、 $Rd \leftarrow Rd \gg \#IMM$ 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B	$Rd \leftarrow Rd \ll \#IMM$ 、 $Rd \leftarrow Rd \gg \#IMM$ 汎用レジスタの内容を、キャリフラグを含めてローテートします。

【注】 * サイズはオペランドサイズを示します。

B : バイト

算術演算命令、論理演算命令およびシフト命令の命令フォーマットを図 2.6 に示します。

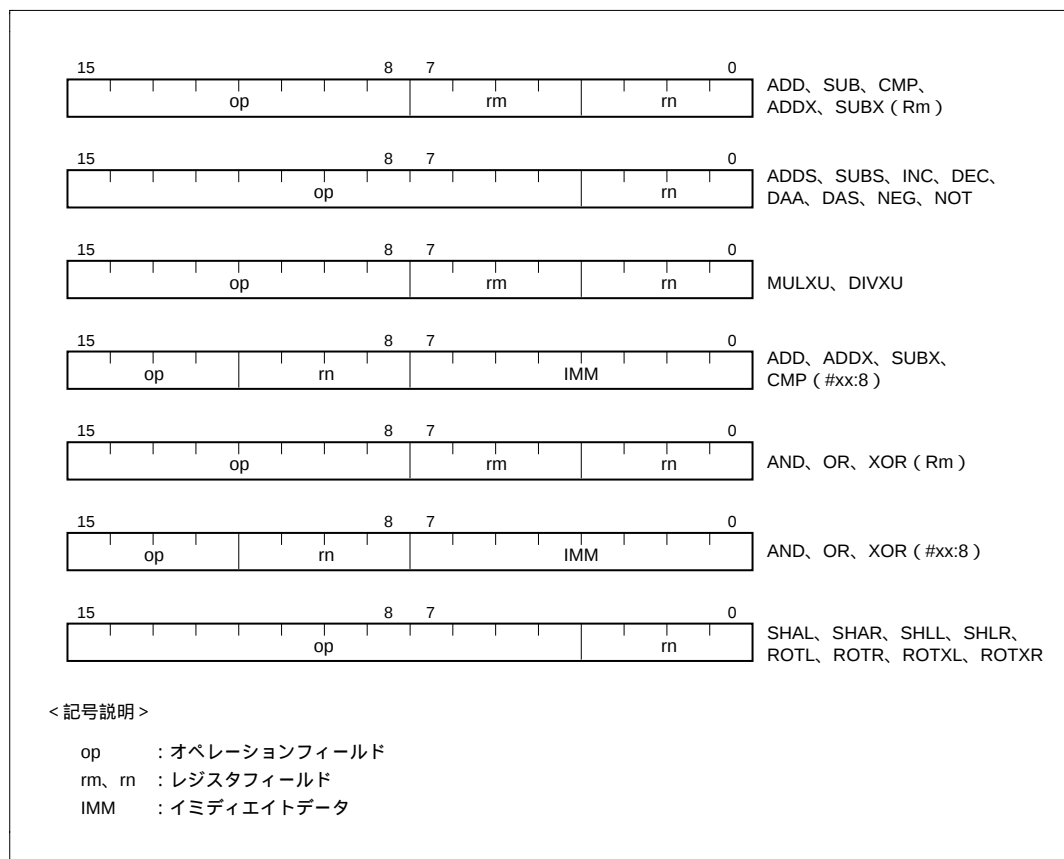


図 2.6 算術演算命令・論理演算命令・シフト命令の命令フォーマット

2.5.5 ビット操作命令

ビット操作命令の機能を表 2.8 に示します。

表 2.8 ビット操作命令

命令	サイズ*	機能
BSET	B	1 → (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを"1"にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BCLR	B	0 → (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを"0"にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。

命令	サイズ*	機能
BNOT	B	$\sim (\text{<ビット番号> of <EAd>}) \rightarrow (\text{<ビット番号> of <EAd>})$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BTST	B	$\sim (\text{<ビット番号> of <EAd>}) \rightarrow Z$ 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
BAND	B	$C (\text{<ビット番号> of <EAd>}) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	$C [\sim (\text{<ビット番号> of <EAd>})] \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定されます。
BOR	B	$C (\text{<ビット番号> of <EAd>}) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
BIOR	B	$C [\sim (\text{<ビット番号> of <EAd>})] \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定されます。
BXOR	B	$C \oplus (\text{<ビット番号> of <EAd>}) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
BIXOR	B	$C \oplus [\sim (\text{<ビット番号> of <EAd>})] \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定されます。
BLD	B	$(\text{<ビット番号> of <EAd>}) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	$\sim (\text{<ビット番号> of <EAd>}) \rightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。ビット番号は、3ビットのイミディエイトデータで指定されます。

命令	サイズ*	機能
BST	B	C → (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	~C → (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、反転されたキャリフラグの内容を転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

ビット操作命令には使用上の注意事項があります。詳細は「2.9.2 ビット操作命令使用上の注意事項」を参照してください。

ビット操作命令の命令フォーマットを図 2.7 に示します。

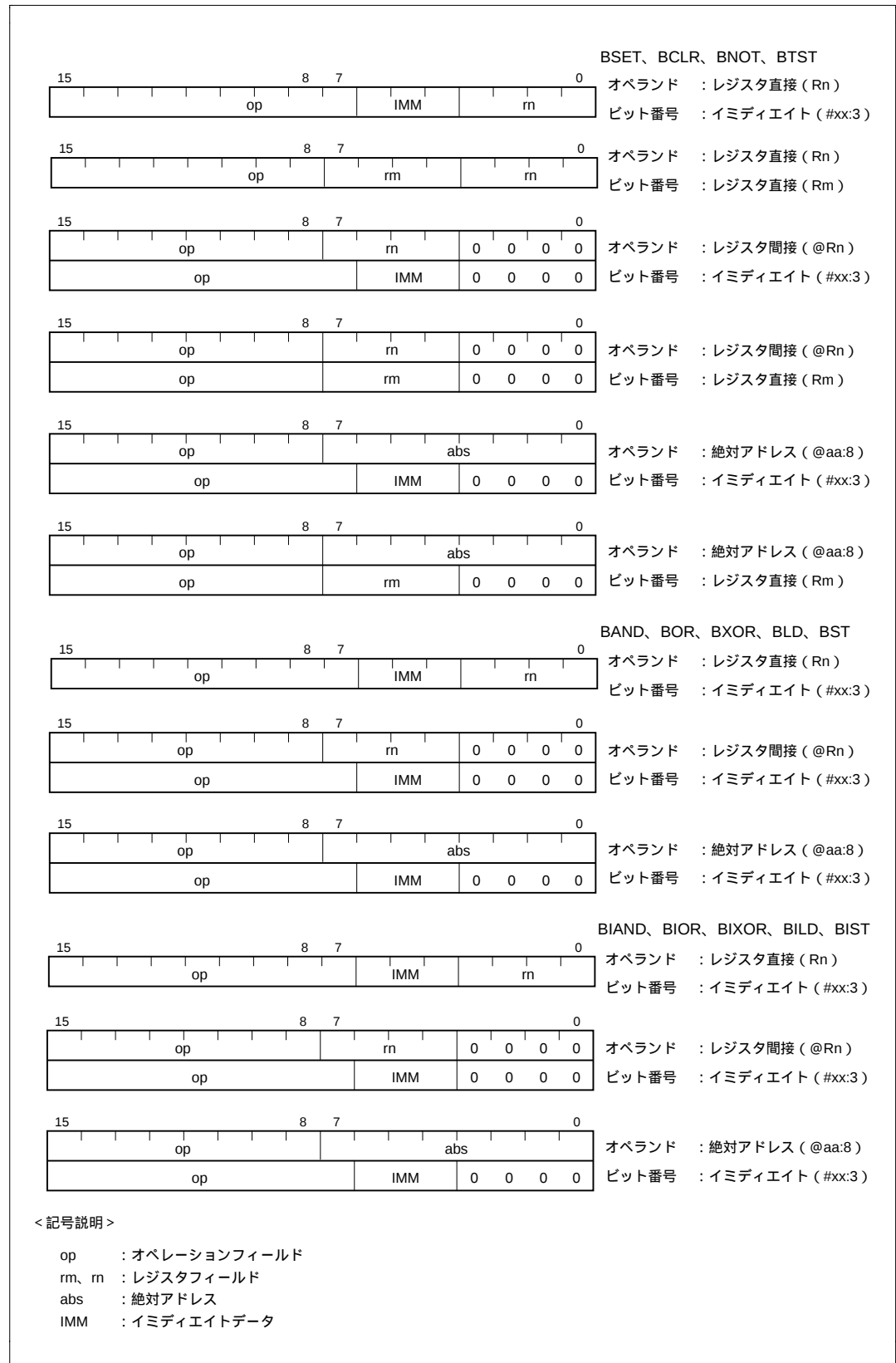


図 2.7 ビット操作命令の命令フォーマット

2.5.6 分岐命令

分岐命令の機能を表 2.9 に示します。

表 2.9 分岐命令

命令	サイズ	機能																																																			
Bcc	—	指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。 <table> <tr> <th>ニーモニック</th><th>説 明</th><th>分 岐 条 件</th></tr> <tr> <td>BRA (BT)</td><td>Always (True)</td><td>Always</td></tr> <tr> <td>BRN (BF)</td><td>Never (False)</td><td>Never</td></tr> <tr> <td>BHI</td><td>High</td><td>C Z = 0</td></tr> <tr> <td>BLS</td><td>Low or Same</td><td>C Z = 1</td></tr> <tr> <td>BCC (BHS)</td><td>Carry Clear (High or Same)</td><td>C = 0</td></tr> <tr> <td>BCS (BLO)</td><td>Carry Set (Low)</td><td>C = 1</td></tr> <tr> <td>BNE</td><td>Not Equal</td><td>Z = 0</td></tr> <tr> <td>BEQ</td><td>Equal</td><td>Z = 1</td></tr> <tr> <td>BVC</td><td>oVerflow Clear</td><td>V = 0</td></tr> <tr> <td>BVS</td><td>oVerflow Set</td><td>V = 1</td></tr> <tr> <td>BPL</td><td>PLus</td><td>N = 0</td></tr> <tr> <td>BMI</td><td>MInus</td><td>N = 1</td></tr> <tr> <td>BGE</td><td>Greater or Equal</td><td>$N \oplus V = 0$</td></tr> <tr> <td>BLT</td><td>Less Than</td><td>$N \oplus V = 1$</td></tr> <tr> <td>BGT</td><td>Greater Than</td><td>$Z \quad (N \oplus V) = 0$</td></tr> <tr> <td>BLE</td><td>Less or Equal</td><td>$Z \quad (N \oplus V) = 1$</td></tr> </table>	ニーモニック	説 明	分 岐 条 件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	C Z = 0	BLS	Low or Same	C Z = 1	BCC (BHS)	Carry Clear (High or Same)	C = 0	BCS (BLO)	Carry Set (Low)	C = 1	BNE	Not Equal	Z = 0	BEQ	Equal	Z = 1	BVC	oVerflow Clear	V = 0	BVS	oVerflow Set	V = 1	BPL	PLus	N = 0	BMI	MInus	N = 1	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z \quad (N \oplus V) = 0$	BLE	Less or Equal	$Z \quad (N \oplus V) = 1$
ニーモニック	説 明	分 岐 条 件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	C Z = 0																																																			
BLS	Low or Same	C Z = 1																																																			
BCC (BHS)	Carry Clear (High or Same)	C = 0																																																			
BCS (BLO)	Carry Set (Low)	C = 1																																																			
BNE	Not Equal	Z = 0																																																			
BEQ	Equal	Z = 1																																																			
BVC	oVerflow Clear	V = 0																																																			
BVS	oVerflow Set	V = 1																																																			
BPL	PLus	N = 0																																																			
BMI	MInus	N = 1																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$Z \quad (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z \quad (N \oplus V) = 1$																																																			
JMP	—	指定されたアドレスへ無条件に分岐します。																																																			
BSR	—	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	—	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	—	サブルーチンから復帰します。																																																			

分岐命令の命令フォーマットを図 2.8 に示します。

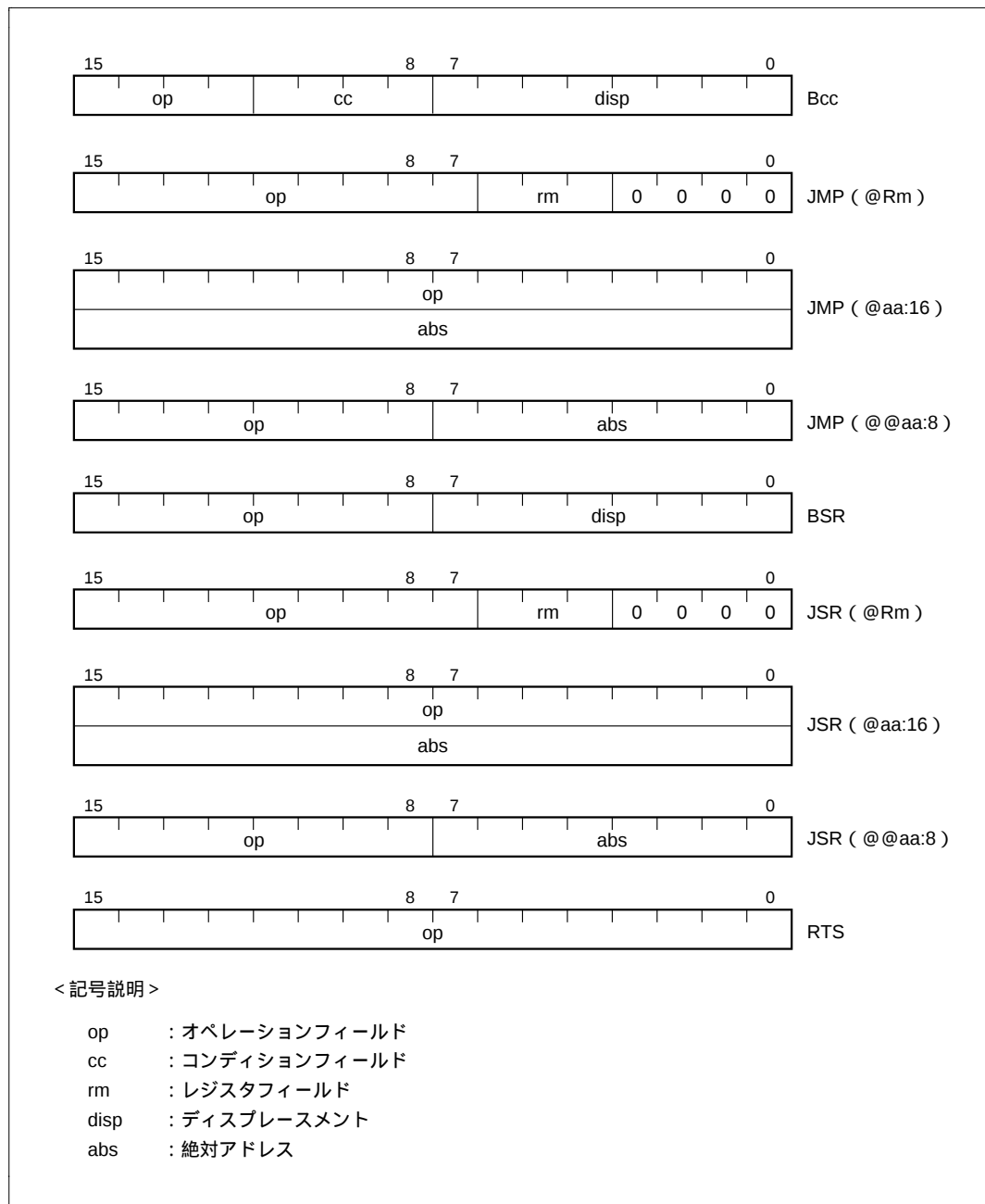


図 2.8 分岐命令の命令フォーマット

2.5.7 システム制御命令

システム制御命令の機能を表 2.10 に示します。

表 2.10 システム制御命令

命令	サイズ*	機能
RTE	—	割込み処理ルーチンから復帰します。
SLEEP	—	アクティブモードで本命令を実行すると、低消費電力モードに遷移します。 詳細は「第 5 章 低消費電力モード」を参照してください。
LDC	B	$R_s \rightarrow CCR$ 、 $\#IMM \rightarrow CCR$ 汎用レジスタの内容、またはイミディエイトデータを CCR に転送します。
STC	B	$CCR \rightarrow R_d$ CCR の内容を汎用レジスタに転送します。
ANDC	B	$CCR \ \#IMM \rightarrow CCR$ CCR とイミディエイトデータの論理積をとります。
ORC	B	$CCR \ \#IMM \rightarrow CCR$ CCR とイミディエイトデータの論理和をとります。
XORC	B	$CCR \oplus \#IMM \rightarrow CCR$ CCR とイミディエイトデータの排他的論理和をとります。
NOP	—	$PC+2 \rightarrow PC$ PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B：バイト

システム制御命令の命令フォーマットを図 2.9 に示します。

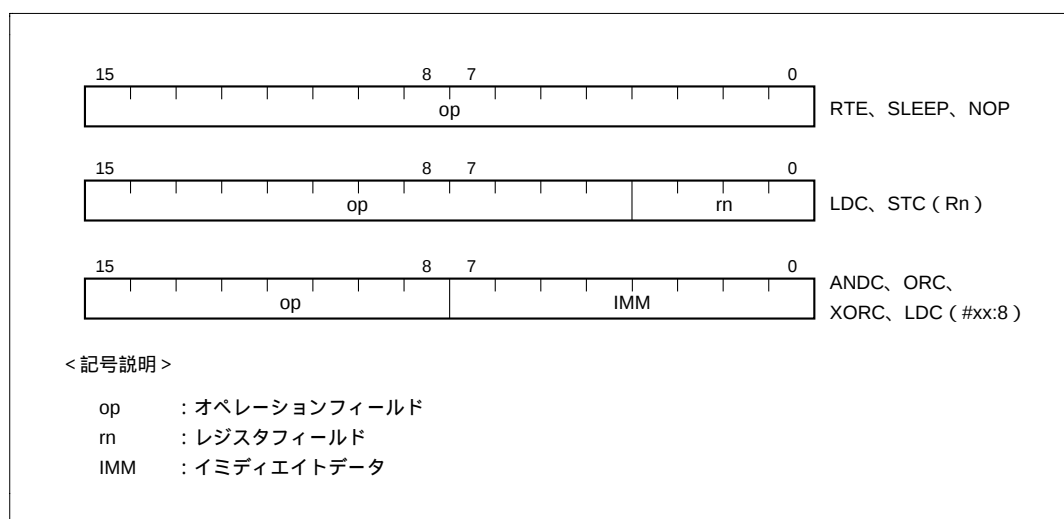


図 2.9 システム制御命令の命令フォーマット

2.5.8 ブロック転送命令

ブロック転送命令の機能を表 2.11 に示します。

表 2.11 ブロック転送命令

命令	サイズ	機能
EEPMOV	—	if R4L ≠ 0 then Repeat @R5+ → @R6+, R4L-1 → R4L Until R4L=0 else next; ブロック転送命令です。R5 で示されるアドレスから始まり、R4L で指定されるバイト数のデータを R6 で示されるアドレスから始まるロケーションへ転送します。転送終了後、次の命令を実行します。

EEPMOV 命令には、使用上の注意事項があります。詳細は「2.9.3 EEPMOV 命令使用上の注意事項」を参照してください。

ブロック転送命令の命令フォーマットを図 2.10 に示します。

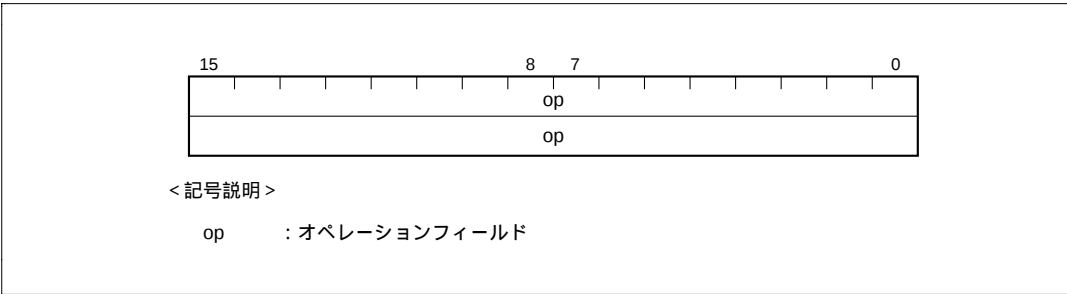


図 2.10 ブロック転送命令の命令フォーマット

2.6 基本動作タイミング

CPUは、システムクロック(ϕ)またはサブクロック(ϕ_{SUB})を基準に動作しています。システムクロック ϕ およびサブクロック ϕ_{SUB} の定義については「第4章 クロック発振器」を参照してください。 ϕ または ϕ_{SUB} の立上がりから次の立上がりまでの1単位をステートと呼びます。バスサイクルは、2ステートまたは3ステートで構成され、内蔵メモリ、内蔵周辺モジュールによって異なるアクセスを行います。

2.6.1 内蔵メモリ (RAM、ROM)

内蔵メモリのアクセスは、2ステートで行われます。このとき、データバス幅は16ビットで、バイトおよびワードサイズアクセスが可能です。

内蔵メモリアクセスサイクルを図2.11に示します。

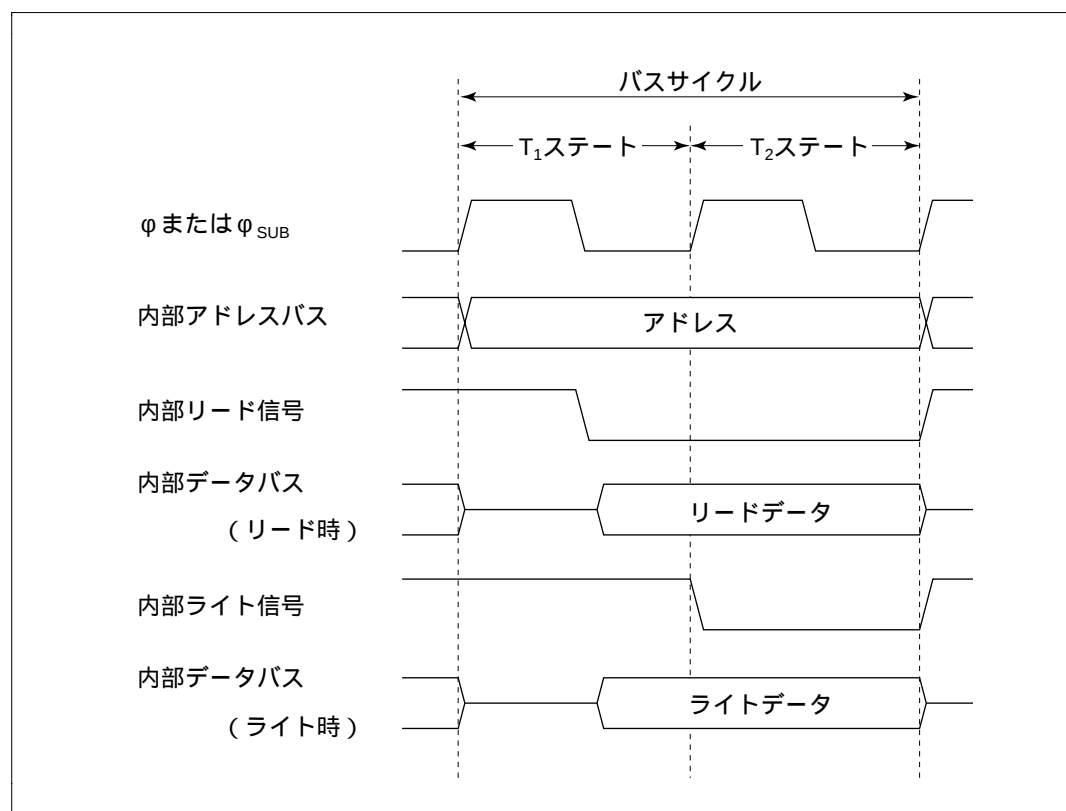


図 2.11 内蔵メモリアクセスサイクル

2.6.2 内蔵周辺モジュール

内蔵周辺モジュールのアクセスは、2 ステートまたは 3 ステートで行われます。このとき、データバス幅は 8 ビットで、バイトサイズアクセスのみ可能です。したがって、ワードデータは、2 命令に分けてアクセスしてください。

(1) 内蔵周辺モジュール 2 ステートアクセス

内蔵周辺モジュールを 2 ステートでアクセスした動作タイミングを図 2.12 に示します。

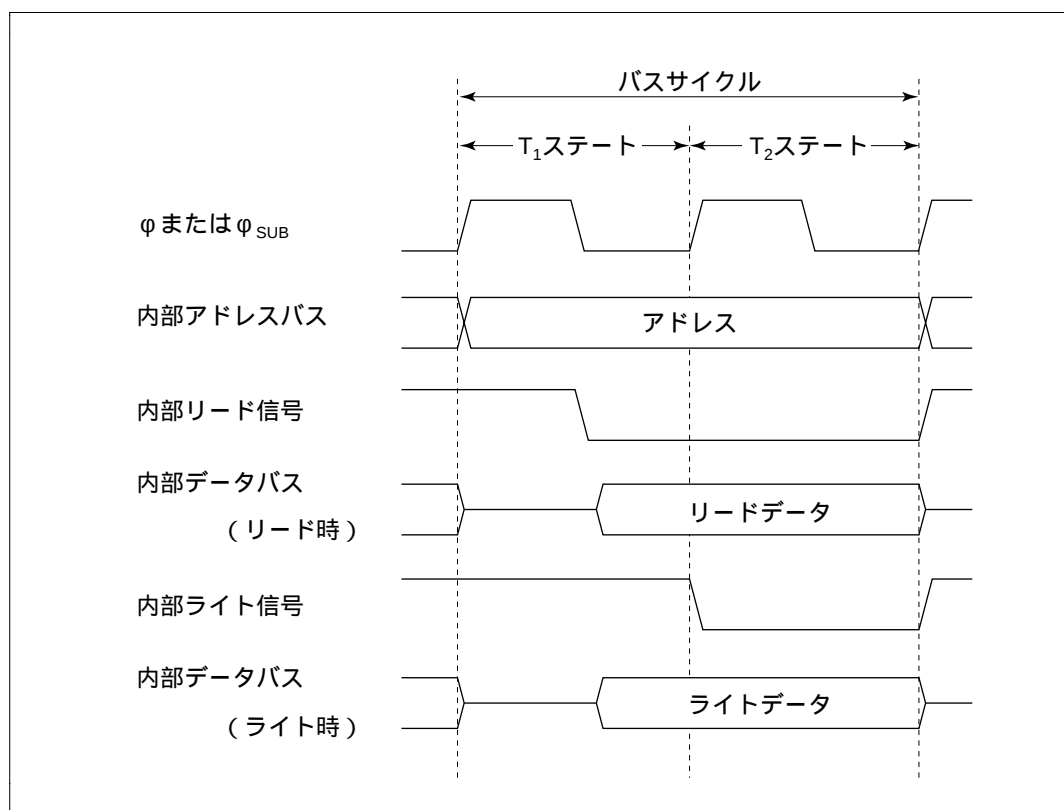


図 2.12 内蔵周辺モジュールアクセスサイクル (2 ステートアクセス)

(2) 内蔵周辺モジュール 3 ステートアクセス

内蔵周辺モジュールを 3 ステートでアクセスした動作タイミングを図 2.13 に示します。

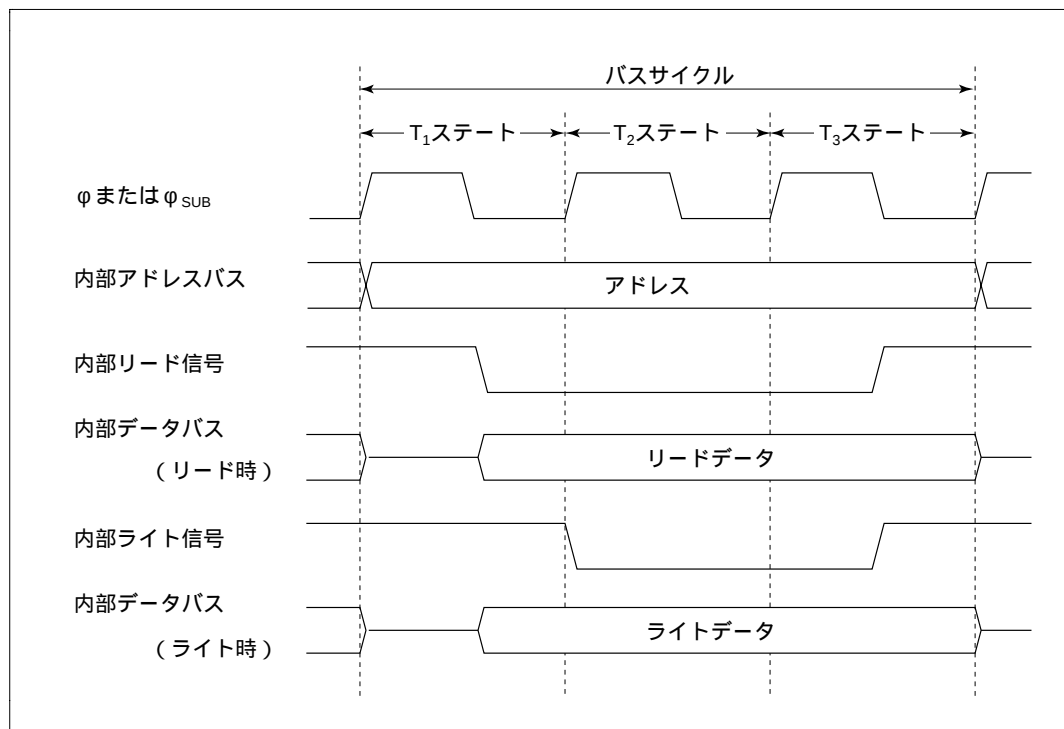


図 2.13 内蔵周辺モジュールアクセスサイクル (3 ステートアクセス)

2.7 CPU の状態

2.7.1 概要

CPU の状態には、リセット状態、プログラム実行状態、プログラム停止状態、例外処理状態の 4 種類があります。プログラム実行状態には、アクティブ（高速、中速）モード、サブアクティブモードがあり、プログラム停止状態には、スリープ（高速、中速）モード、スタンバイモード、ウォッチモード、およびサブスリープモードがあります。

各状態の分類を図 2.14 に、各状態間の遷移を図 2.15 に示します。

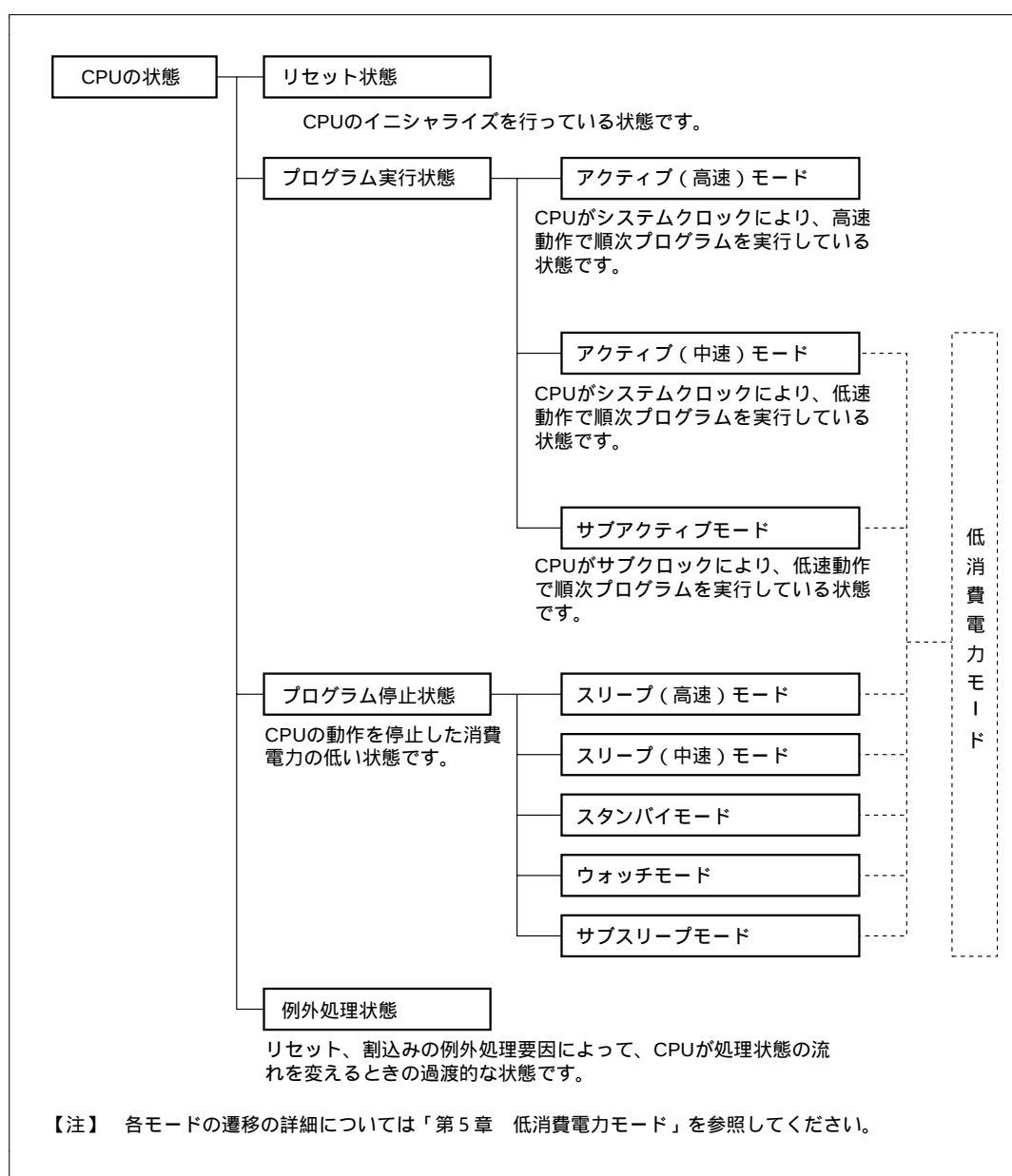


図 2.14 CPU の状態の分類

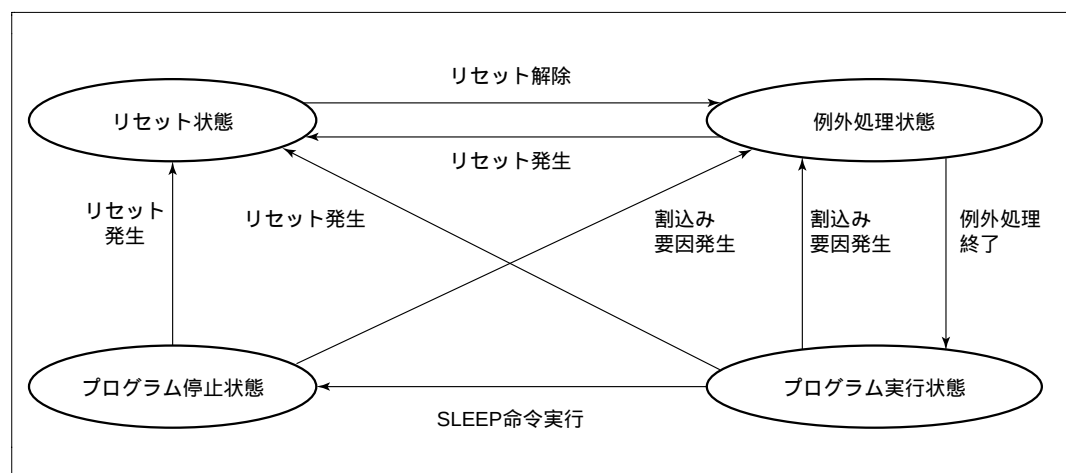


図 2.15 状態遷移図

2.7.2 プログラム実行状態

CPU がプログラムを順次実行している状態です。

CPU がプログラム実行状態には、アクティブ（高速、中速）モードとサブアクティブモードの3つのモードがあります。アクティブ（高速、中速）モードはシステムクロックで、サブアクティブモードはサブクロックで動作します。

これらのモードについての詳細は「第5章 低消費電力モード」を参照してください。

2.7.3 プログラム停止状態

プログラム停止状態には、スリープ（高速、中速）モード、スタンバイモード、ウォッチモードおよびサブスリープモードの5つのモードがあります。

これらのモードについての詳細は「第5章 低消費電力モード」を参照してください。

2.7.4 例外処理状態

リセット、割り込みの例外処理要因によって、CPU が通常の処理状態の流れを変えるときの過渡的な状態です。割り込み要因による例外処理では、SP（R7）を参照して、PC およびCCR の退避を行います。

割り込み処理についての詳細は、「3.3 割り込み」を参照してください。

2.8 メモリマップ

H8/3657 シリーズのメモリマップを図 2.16 に示します。

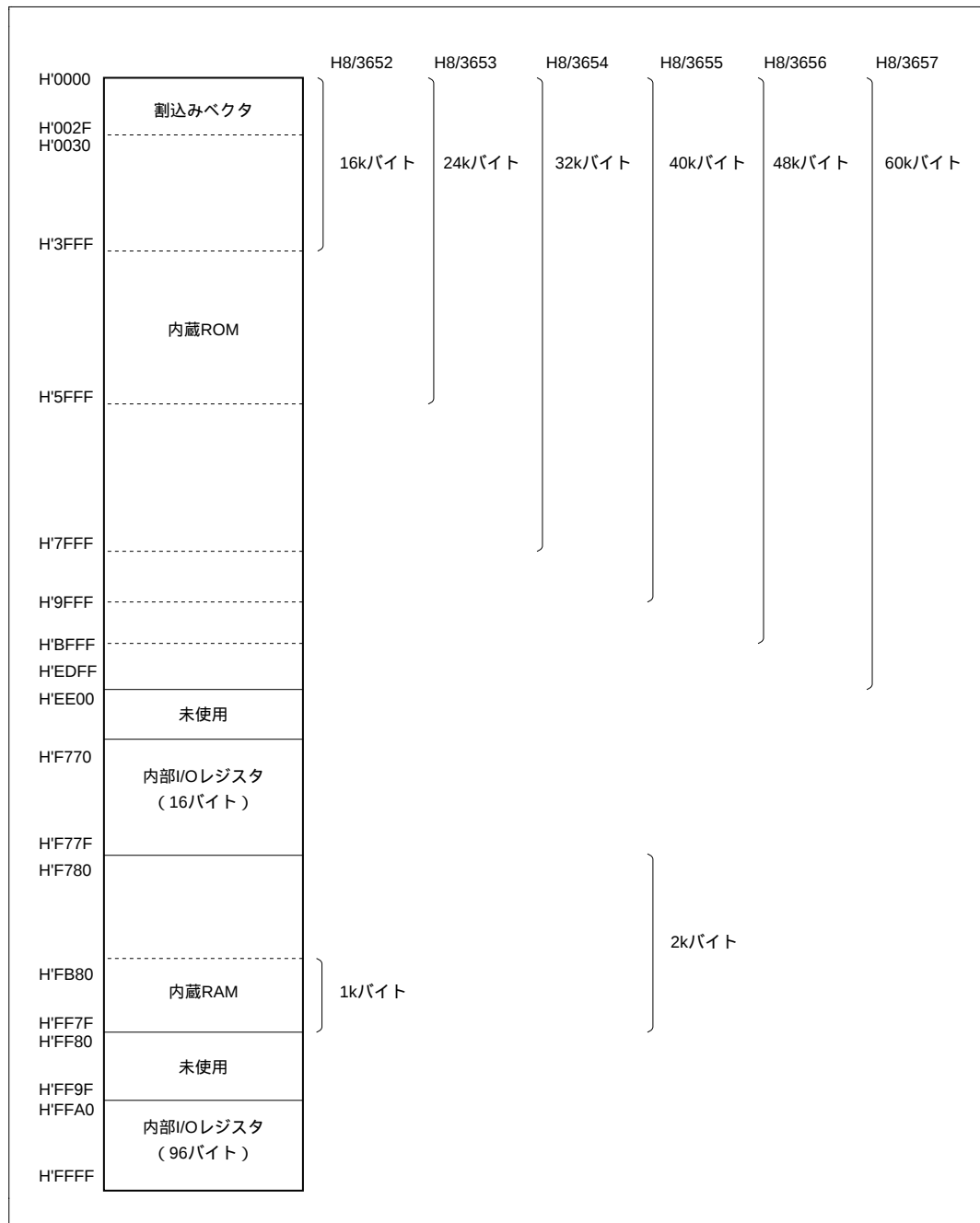


図 2.16 H8/3657 シリーズのメモリマップ

2.9 使用上の注意事項

2.9.1 データアクセスに関する注意事項

(1) 空きエリアへのアクセス

H8/300L CPU のアドレス空間には、ユーザに開放された ROM、RAM、レジスタ以外の空きエリアがあります。プログラムで誤ってこの空きエリアにアクセスを行うと、以下のよう動作します。

<u>CPU から空きエリアへのデータの転送</u>
転送データは失われます。また、CPU 誤動作の原因となる可能性があります。
<u>空きエリアから CPU へのデータの転送</u>
転送データは保証されません。

(2) 内部 I/O レジスタへのアクセス

内蔵 ROM、RAM 領域以外の内蔵周辺モジュールは、内部のデータ転送が 8 ビットで行われます。この領域にワードアクセスを行うと、以下のように動作します。

<u>CPU から I/O レジスタ領域へのワードアクセス</u>
上位バイト : I/O レジスタに書き込まれます。
下位バイト : 転送データは失われます。
<u>内部 I/O レジスタから CPU へのワードアクセス</u>
上位バイト : CPU 内部レジスタ上位に書き込まれます。
下位バイト : CPU 内部レジスタ下位に書き込まれたデータは保証されません。

したがって、内蔵 ROM、RAM 領域以外の I/O レジスタ領域とのデータ転送は、バイトサイズの命令を使用してください。

図 2.17 にアクセスできるデータサイズおよびステート数と内蔵周辺モジュールの対応を示します。

			アクセス		ステート数
			ワード	バイト	
H'0000	割り込みベクタ (48バイト)				
H'002F					
H'0030			○	○	2
	内蔵ROM				
H'EDFF	未使用		—	—	—
H'F770	内部I/Oレジスタ (16バイト)		×	○	3*
H'F77F					
H'F780					
	内蔵RAM	2kバイト	○	○	2
H'FF7F					
H'FF80					
H'FF80	未使用		—	—	—
H'FF9F					
H'FFA0					
	内部I/Oレジスタ (96バイト)		×	○	2 または 3*
H'FFFF					

【注】 H8/3657の例です。

* 内部I/Oレジスタとして定義しているもので、3サイクルアクセスする領域は、タイマX (H'F770～H'F77F)、SCI3 (H'FFA8～H'FFAD)、タイマV (H'FFB8～H'FFBD) です。

図 2.17 アクセスできるデータサイズおよびステート数と内蔵周辺モジュールの対応

2.9.2 ビット操作命令使用上の注意事項

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。

したがって、同一アドレスに2つのレジスタが割り付けられている場合や、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

動作順序		動作内容
1	リード	指定したアドレスのデータ（バイト単位）をリードします。
2	ビット操作	リードしたデータの指定された1ビットを操作します。
3	ライト	指定したアドレスに操作したデータ（バイト単位）をライトします。

（1）同一アドレスに割り付けられた2つのレジスタのビット操作

例1：タイマロードレジスタとタイマカウンタへのビット操作

図 2.18 に同一アドレスに割り付けられた2つのレジスタを持つタイマの構成例を示します。

リロードタイマのタイマロードレジスタとタイマカウンタにビット操作命令を実行した場合、タイマロードレジスタとタイマカウンタはアドレスを共有しているため、次のように動作します。

動作順序		動作内容
1	リード	リードタイマカウンタのデータ（バイト単位）をリードします。
2	ビット操作	CPU は命令で指定された1ビットを操作（セットまたはリセット）します。
3	ライト	ライト操作したデータ（バイト単位）をタイマロードレジスタにライトします。

タイマカウンタは、カウントを続けているのでリードした値がタイマロードレジスタとは必ずしも等しくありません。その結果操作の対象となったビット以外は、タイマカウンタの値がタイマロードレジスタへライトされます。

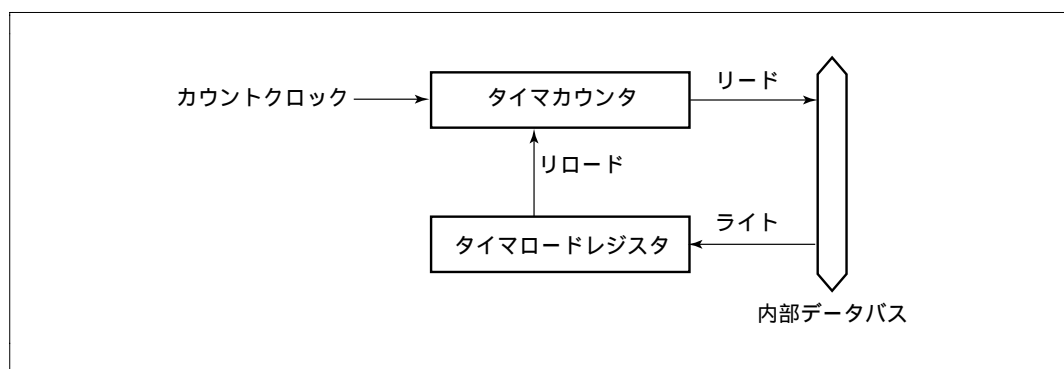


図 2.18 タイマの構成例

例2：ポート3にBSET命令を実行した場合

P3₇、P3₆は入力端子に設定され、それぞれ"Low"レベル、"High"レベルが入力されているとし、P3₅～P3₀は出力端子に設定され、それぞれ"Low"レベル出力状態とします。

以下に、BSET命令でP3₀に"High"レベル出力を行う例を示します。

【A； BSET命令を実行前】

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

【B； BSET命令を実行】

BSET #0, @PDR3

ポート3に対してBSET命令を実行します。

【C； BSET命令を実行後】

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	0	1	0	0	0	0	0	1

【D； BSET命令の動作説明】

BSET命令を実行すると、CPUは、最初にポート3をリードします。

P3₇、P3₆は入力端子であるので、CPUは端子の状態（"Low"レベル、"High"レベル入力）をリードします。P3₅～P3₀は出力端子であるので、CPUはPDR3の値をリードします。したがって、この例では、PDR3はH'80ですが、CPUがリードしたデータはH'40となります。

次に、CPUは、リードしたデータのビット0を"1"にセットして、データをH'41に変更します。

最後に、この値（H'41）をPDR3に書き込んで、BSET命令を終了します。

その結果、PDR3のビット0が"1"になり、P3₀は"High"レベル出力になります。しかし、PDR3のビット7、6が変化してしまいます。

そのため、PDR3と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータをPDR3にライトしてください。

【A ; BSET 命令を実行前】

```
MOV.B    #80, R0L
MOV.B    R0L, @RAM0
MOV.B    R0L, @PDR3
```

PDR3 に書き込む値 (H'80) をあらかじめメモリ上のワークエリア (RAM0) と PDR3 にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

RAM0	1	0	0	0	0	0	0	0
------	---	---	---	---	---	---	---	---

【B ; BSET 命令を実行】

```
BSET     #0, @RAM0
```

PDR3 のワークエリア (RAM0) に対して BSET 命令を実行します。

【C ; BSET 命令を実行後】

```
MOV.B    @RAM0, R0L
MOV.B    R0L, @PDR3
```

ワークエリア (RAM0) の値を PDR3 にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	1

RAM0	1	0	0	0	0	0	0	1
------	---	---	---	---	---	---	---	---

(2) ライト専用ビットを含むレジスタのビット操作

例3：ポート3のPCR3にBCLR命令を実行した場合

P3₇、P3₆は入力端子に設定され、それぞれ"Low"レベル、"High"レベルが入力されているとします。P3₅～P3₀は出力端子に設定され、それぞれ"Low"レベル出力状態とします。

ここで、BCLR 命令で、P3₀を入力ポートにする例を示します。入力端子に設定されたP3₀は"High"レベルが入力されるものとします。

【A； BCLR 命令を実行前】

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

【B； BCLR 命令を実行】

BCLR	#0	, @PCR3
------	----	---------

 PCR3 に対して BCLR 命令を実行します。

【C； BCLR 命令を実行後】

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	出力	出力	出力	出力	出力	出力	出力	入力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	1	1	1	1	1	1	1	0
PDR3	1	0	0	0	0	0	0	0

【D； BCLR 命令の動作説明】

BCLR 命令を実行すると、CPU は、最初に PCR3 をリードします。PCR3 はライト専用レジスタですので、CPU は H'FF をリードします。したがって、この例では PCR3 は H'3F ですが、CPU がリードしたデータは H'FF となります。

次に、CPU は、リードしたデータのビット 0 を"0"にクリアして、データを H'FE に変更します。

最後に、このデータ (H'FE) を PCR3 に書き込んで、BCLR 命令を終了します。

その結果、PCR3 のビット 0 が"0"になり、P3₀は入力ポートになります。しかし、PCR3 のビット 7、ビット 6 が 1 になって、入力ポートであった P3₇、P3₆ は出力ポートに変化してしまいます。

そのため、PCR3 と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータを PCR3 にライトしてください。

【A; BCLR 命令を実行前】

```
MOV.B    #3F, R0L
MOV.B    R0L, @RAM0
MOV.B    R0L, @PCR3
```

PCR3 に書き込む値 (H'3F) をあらかじめメモリ上のワークエリア (RAM0) と PCR3 にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	1
------	---	---	---	---	---	---	---	---

【B; BCLR 命令を実行】

```
BCLR     #0, @RAM0
```

PCR3 のワークエリア (RAM0) に対して BCLR 命令を実行します。

【C; BCLR 命令を実行後】

```
MOV.B    @RAM0,R0L
MOV.B    R0L, @PCR3
```

ワークエリア (RAM0) の値を PCR3 にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	0	0	1	1	1	1	1	0
PDR3	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	0
------	---	---	---	---	---	---	---	---

同一のアドレスに割り付けられた 2 つのレジスタの一覧を表 2.12 に、ライト専用ビットを含むレジスタの一覧を表 2.13 に示します。

表 2.12 同一のアドレスに割り付けられた 2 つのレジスタの一覧

レジスタ名	略称	アドレス
アウトプットコンペアレジスタ AH / アウトプットコンペアレジスタ BH (タイマ X)	OCRAH/OCRBH	H'F774
アウトプットコンペアレジスタ AL / アウトプットコンペアレジスタ BL (タイマ X)	OCRAL/OCRBL	H'F775
タイマカウンタ B1 / タイマロードレジスタ B1 (タイマ B1)	TCB1/TLB1	H'FFB3
ポートデータレジスタ 1*	PDR1	H'FFD4
ポートデータレジスタ 2*	PDR2	H'FFD5
ポートデータレジスタ 3*	PDR3	H'FFD6
ポートデータレジスタ 5*	PDR5	H'FFD8
ポートデータレジスタ 6*	PDR6	H'FFD9
ポートデータレジスタ 7*	PDR7	H'FFDA
ポートデータレジスタ 8*	PDR8	H'FFDB
ポートデータレジスタ 9*	PDR9	H'FFDC

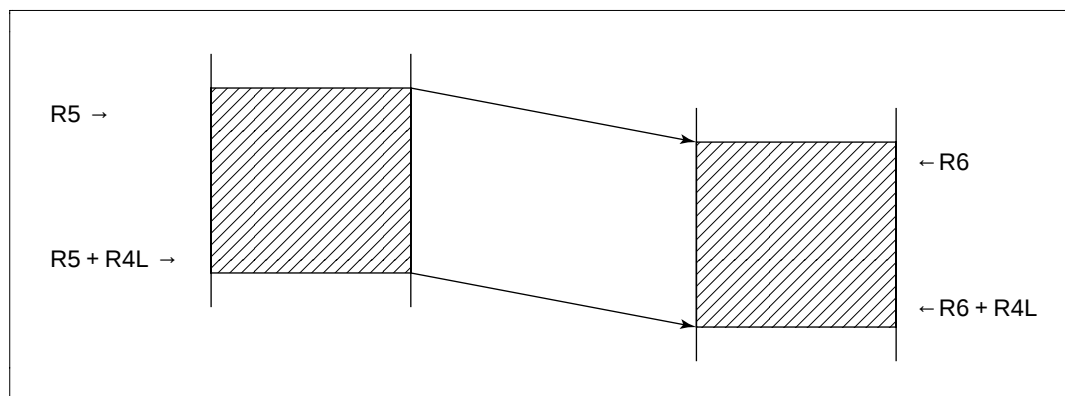
【注】 * ポートデータレジスタと端子入力が兼用になっています。

表 2.13 ライト専用ビットを含むレジスタの一覧

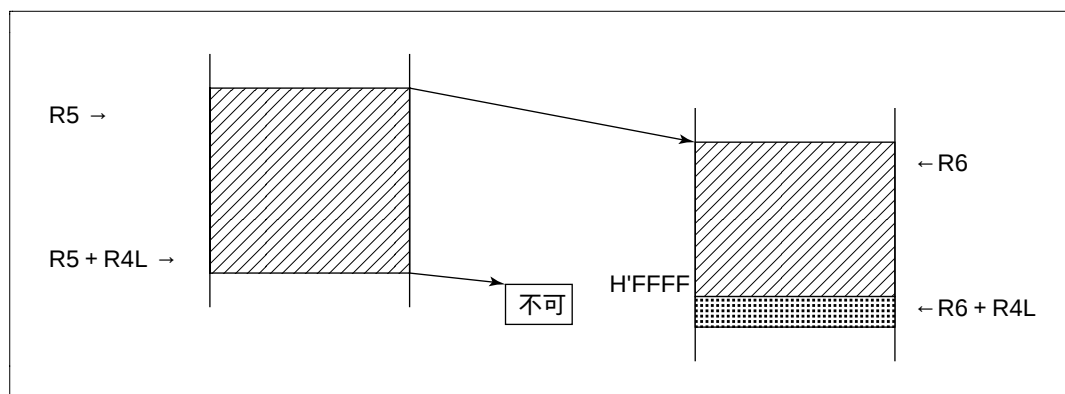
レジスタ名	略称	アドレス
ポートコントロールレジスタ 1	PCR1	H'FFE4
ポートコントロールレジスタ 2	PCR2	H'FFE5
ポートコントロールレジスタ 3	PCR3	H'FFE6
ポートコントロールレジスタ 5	PCR5	H'FFE8
ポートコントロールレジスタ 6	PCR6	H'FFE9
ポートコントロールレジスタ 7	PCR7	H'FFEA
ポートコントロールレジスタ 8	PCR8	H'FFEB
ポートコントロールレジスタ 9	PCR9	H'FFEC
PWM コントロールレジスタ	PWCR	H'FFD0
PWM データレジスタ U	PWDRU	H'FFD1
PWM データレジスタ L	PWDRL	H'FFD2

2.9.3 EEPMOV 命令使用上の注意事項

- (1) EEPMOV 命令はブロック転送命令で、R5 で示されるアドレスから始まる R4L で示されるバイト数のデータを、R6 で示されるアドレスへ転送します。



- (2) 転送先の最終アドレス ($R6 + R4L$ の値) が $H'FFFF$ を超えないように (実行途中で $R6$ の値が $H'FFFF \rightarrow H'0000$ とならないように)、 $R4L$ 、 $R6$ を設定してください。



3. 例外処理

第3章 目次

3.1	概要	61
3.2	リセット	62
	3.2.1 概要	62
	3.2.2 リセットシーケンス	62
	3.2.3 リセット直後の割込み	64
3.3	割込み	65
	3.3.1 概要	65
	3.3.2 各レジスタの説明	67
	3.3.3 外部割込み	76
	3.3.4 内部割込み	76
	3.3.5 割込み動作	77
	3.3.6 割込み応答時間	82
3.4	使用上の注意事項	83
	3.4.1 スタック領域に関する使用上の注意事項	83
	3.4.2 ポートモードレジスタを書き換える際の注意事項	84

3.1 概要

本 LSI の例外処理には、リセットと割込みがあります。表 3.1 に、例外処理の種類と優先度を示します。

表 3.1 例外処理の種類と優先度

優先度	例外処理要因	例外処理開始タイミング
高	リセット	リセットが解除されると例外処理を開始します。
↑ 低	割込み	割込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。

3.2 リセット

3.2.1 概要

リセットは最も優先順位の高い例外処理です。

リセットによって、CPU の内部状態と、内蔵周辺モジュールの各レジスタがイニシャライズされます。

3.2.2 リセットシーケンス

(1) $\overline{\text{RES}}$ 端子によるリセット

$\overline{\text{RES}}$ 端子が"Low"レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時には、クロック発振器の発振安定時間の間、 $\overline{\text{RES}}$ 端子を"Low"レベルに保持してください。また、外部クロック使用時でも電源投入時には、電気的特性 表 13.7 に示すセラミック発振子の発振安定時間と同等の間、 $\overline{\text{RES}}$ 端子を"Low"レベルに保持してください。また、動作中にリセットする場合は、最低 18 システムクロックの間、"Low"レベルに保持してください。

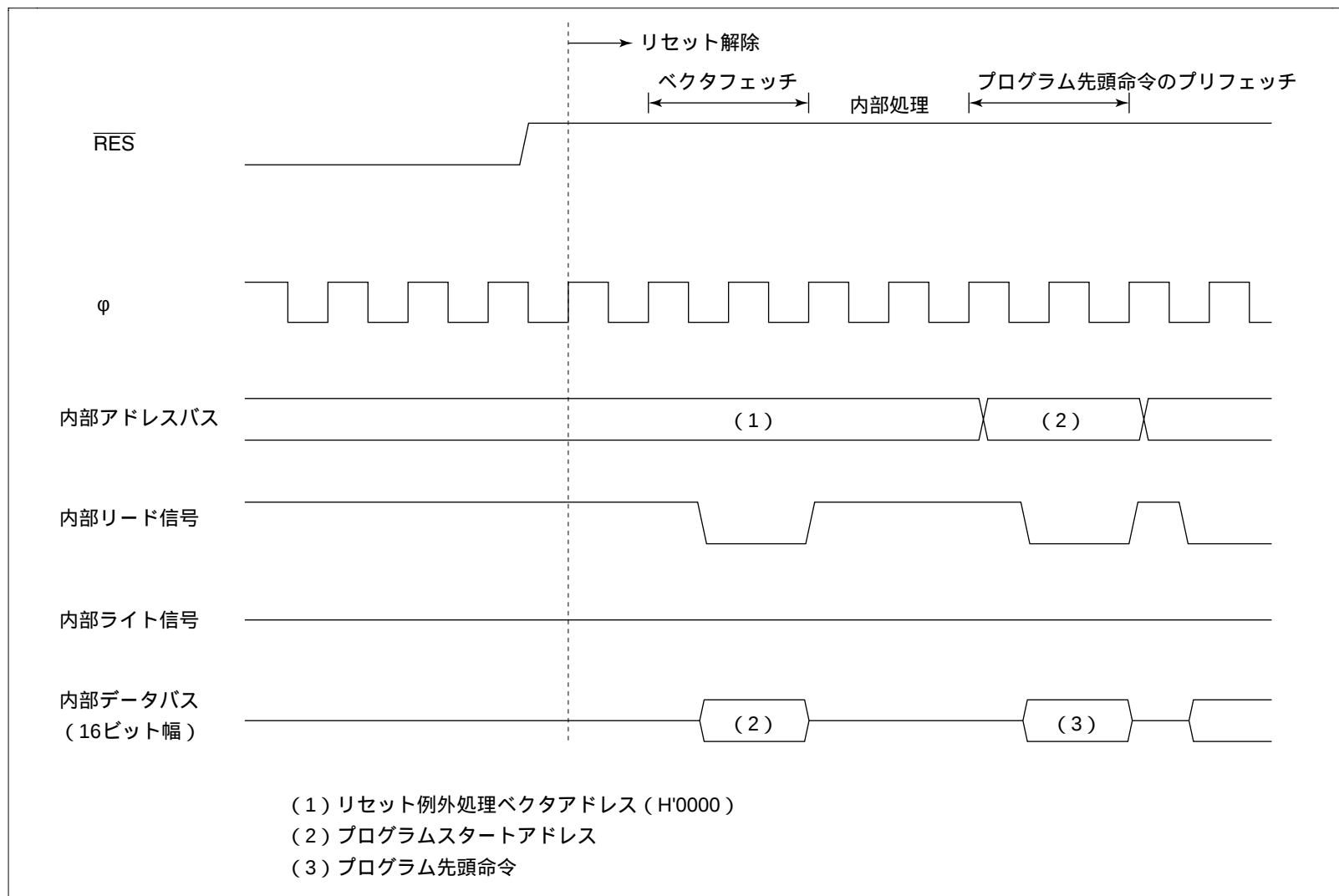
$\overline{\text{RES}}$ 端子が一定期間"Low"レベルの後、"High"レベルになると、リセット例外処理が開始されます。リセット例外処理の動作は以下のとおりです。

- (1) CPU の内部状態と内蔵周辺モジュールの各レジスタのイニシャライズを行い、コンディションコードレジスタ (CCR) の I ビットをセットします。
- (2) リセット例外処理ベクタアドレス (H'0000 ~ H'0001) をリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。

パワーオン / パワーオフ時には、 $\overline{\text{RES}}$ 端子を"Low"レベルにしてください。

$\overline{\text{RES}}$ 端子によるリセットシーケンスを図 3.1 に示します。

図 3.1 リセットシーケンス



(2) ウォッチドッグタイマによるリセット

ウォッチドッグタイマの TCSRW の WDON を "1" にセットすると、TCW はカウントアップを開始します。TCW がオーバーフローすると、本 LSI はリセット状態になり、TCSRW の WRST を "1" にセットします。TCSRW の WRST が "1" にセットされている状態で、TCW が再びオーバーフローすると、本 LSI はリセット状態を解除し、リセット例外処理を開始します。例外処理は、 $\overline{\text{RES}}$ 端子によるリセット例外処理と同一です。ウォッチドッグタイマの詳細は「9.1.1 ウォッチドッグタイマ」を参照してください。

3.2.3 リセット直後の割込み

リセット後、スタックポインタ (SP: R7) をイニシャライズする前に割込みを受け付けると、PC と CCR の退避が正常に行われないため、プログラムの暴走の原因となります。これを防ぐため、リセット例外処理が実行された直後はすべての割込み要求が禁止されています。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラムの先頭命令は、SP をイニシャライズする命令としてください(例: MOV.W #xx:16, SP)。

3.3 割込み

3.3.1 概要

割込み例外処理を開始する要因には、12 の外部割込み要因（ $IRQ_3 \sim IRQ_0$ 、 $INT_7 \sim INT_0$ ）と内蔵モジュールから 21 の内部割込み要因があります。割込み要因と優先度、ならびにベクタアドレスの一覧を表 3.2 に示します。複数の割込み要求が発生したときは、優先度の高い方から処理されます。

これらの割込みには次のような特長があります。

- (1) 内部割込みおよび外部割込みは、CCR の I ビットによりマスクされます。すなわち、CCR の I ビットが "1" にセットされていると、割込み要求フラグはセットされますが、割込みは受け付けられません。
- (2) $IRQ_3 \sim IRQ_0$ 、 $INT_7 \sim INT_0$ は、立上がり / 立下がりエッジセンスのいずれかを各々独立に設定することができます。

[illegible]

3.3.2 各レジスタの説明

割込みを制御するレジスタの一覧を表 3.3 に示します。

表 3.3 割込み制御レジスタ

名称	略称	R/W	初期値	アドレス
割込みエッジセレクトレジスタ 1	IEGR1	R/W	H'70	H'FFF2
割込みエッジセレクトレジスタ 2	IEGR2	R/W	H'00	H'FFF3
割込み許可レジスタ 1	IENR1	R/W	H'10	H'FFF4
割込み許可レジスタ 2	IENR2	R/W	H'00	H'FFF5
割込み許可レジスタ 3	IENR3	R/W	H'00	H'FFF6
割込み要求レジスタ 1	IRR1	R/W*	H'10	H'FFF7
割込み要求レジスタ 2	IRR2	R/W*	H'00	H'FFF8
割込み要求レジスタ 3	IRR3	R/W*	H'00	H'FFF9

【注】 * フラグクリアのための"0"ライトのみ可能です。

(1) 割込みエッジセレクトレジスタ 1 (IEGR1)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	IEG3	IEG2	IEG1	IEG0
初期値:	0	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

IEGR1 は、8 ビットのリード / ライト可能なレジスタで、 $\overline{\text{IRQ}}_3 \sim \overline{\text{IRQ}}_0$ 端子の立上がり / 立下がりエッジセンスを指定します。リセット時、IEGR1 は H'70 にイニシャライズされます。

ビット 7 : リザーブビット

リザーブビットです。リードすると常に"0"が読み出されます。ライトは無効です。

ビット 6 ~ 4 : リザーブビット

リザーブビットです。各ビットはリードすると常に"1"が読み出されます。ライトは無効です。

ビット3：IRQ₃エッジセレクト（IEG3）

$\overline{\text{IRQ}}_3$ 端子の入力センスを選択します。

ビット3	説明
IEG3	
0	$\overline{\text{IRQ}}_3$ 端子入力の立下がりエッジを検出（初期値）
1	$\overline{\text{IRQ}}_3$ 端子入力の立上がりエッジを検出

ビット2：IRQ₂エッジセレクト（IEG2）

$\overline{\text{IRQ}}_2$ 端子の入力センスを選択します。

ビット2	説明
IEG2	
0	$\overline{\text{IRQ}}_2$ 端子入力の立下がりエッジを検出（初期値）
1	$\overline{\text{IRQ}}_2$ 端子入力の立上がりエッジを検出

ビット1：IRQ₁エッジセレクト（IEG1）

$\overline{\text{IRQ}}_1$ 端子の入力センスを選択します。

ビット1	説明
IEG1	
0	$\overline{\text{IRQ}}_1$ 端子入力の立下がりエッジを検出（初期値）
1	$\overline{\text{IRQ}}_1$ 端子入力の立上がりエッジを検出

ビット0：IRQ₀エッジセレクト（IEG0）

$\overline{\text{IRQ}}_0$ 端子の入力センスを選択します。

ビット0	説明
IEG0	
0	$\overline{\text{IRQ}}_0$ 端子入力の立下がりエッジを検出（初期値）
1	$\overline{\text{IRQ}}_0$ 端子入力の立上がりエッジを検出

(2) 割込み許可エッジセレクトレジスタ 2 (IEGR2)

ビット:	7	6	5	4	3	2	1	0
	INTEG7	INTEG6	INTEG5	INTEG4	INTEG3	INTEG2	INTEG1	INTEG0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IEGR2は、8ビットのリード/ライト可能なレジスタで、 $\overline{\text{INT}}_7 \sim \overline{\text{INT}}_0$ 端子、TMIY 端子、TMIB 端子の立上がり/立下がりエッジセンスを指定します。リセット時、IEGR2はH'00にイニシャライズされます。

ビット7: INT_7 エッジセレクト (INTEG7)

$\overline{\text{INT}}_7$ 端子、TMIY 端子の入力センスを選択します。

ビット7	説明
INTEG7	
0	$\overline{\text{INT}}_7$ 端子入力の立下がりエッジを検出 (初期値)
1	$\overline{\text{INT}}_7$ 端子入力の立上がりエッジを検出

ビット6: INT_6 エッジセレクト (INTEG6)

$\overline{\text{INT}}_6$ 端子、TMIB 端子の入力センスを選択します。

ビット6	説明
INTEG6	
0	$\overline{\text{INT}}_6$ 端子、TMIB 端子入力の立下がりエッジを検出 (初期値)
1	$\overline{\text{INT}}_6$ 端子、TMIB 端子入力の立上がりエッジを検出

ビット5: INT_5 エッジセレクト (INTEG5)

$\overline{\text{INT}}_5$ 端子、 $\overline{\text{ADTRG}}$ 端子の入力センスを選択します。

ビット5	説明
INTEG5	
0	$\overline{\text{INT}}_5$ 端子、 $\overline{\text{ADTRG}}$ 端子入力の立下がりエッジを検出 (初期値)
1	$\overline{\text{INT}}_5$ 端子、 $\overline{\text{ADTRG}}$ 端子入力の立上がりエッジを検出

ビット4～0：INT₄～INT₀エッジセレクト（INTEG4～0）

$\overline{\text{INT}}_4 \sim \overline{\text{INT}}_0$ 端子の入力センスを選択します。

ビット n	説明
INTEGn	
0	$\overline{\text{INT}}_n$ 端子入力の立下がりエッジを検出 (初期値)
1	$\overline{\text{INT}}_n$ 端子入力の立上がりエッジを検出

(n = 4 ~ 0)

(3) 割込み許可レジスタ 1 (IENR1)

ビット：	7	6	5	4	3	2	1	0
	IENB1	IENTA	—	—	IEN3	IEN2	IEN1	IEN0
初期値：	0	0	0	1	0	0	0	0
R/W：	R/W	R/W	—	—	R/W	R/W	R/W	R/W

IENR1 は、8 ビットのリード / ライト可能なレジスタで、割込み要求の許可 / 禁止を制御します。リセット時、IENR1 は H'10 にイニシャライズされます。

ビット7：タイマ B1 割込みイネーブル (IENB1)

タイマ B1 オーバフロー割込み要求の許可 / 禁止を制御します。

ビット 7	説明
IENB1	
0	タイマ B1 の割込み要求を禁止 (初期値)
1	タイマ B1 の割込み要求を許可

ビット6：タイマ A 割込みイネーブル (IENTA)

タイマ A オーバフロー割込み要求の許可 / 禁止を制御します。

ビット 6	説明
IENTA	
0	タイマ A の割込み要求を禁止 (初期値)
1	タイマ A の割込み要求を許可

ビット5：リザーブビット

リザーブビットです。リードすると常に"0"が読み出されます。ライトは無効です。

ビット4：リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

ビット3～0：IRQ₃～IRQ₀割込みイネーブル（IEN3～IEN0）

IRQ₃～IRQ₀割込み要求の許可／禁止を制御します。

ビット n	説明
IENn	
0	$\overline{\text{IRQn}}$ 端子の割込み要求を禁止 (初期値)
1	$\overline{\text{IRQn}}$ 端子の割込み要求を許可

(n = 3～0)

(4) 割込み許可レジスタ 2 (IENR2)

ビット：	7	6	5	4	3	2	1	0
	IENDT	IENAD	—	IENS1	—	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	—	R/W	—	—	—	—

IENR2は、8ビットのリード／ライト可能なレジスタで、割込み要求の許可／禁止を制御します。リセット時、IENR2はH'00にイニシャライズされます。

ビット7：直接遷移割込みイネーブル（IENDT）

直接遷移割込み要求の許可／禁止を制御します。

ビット 7	説明
IENDT	
0	直接遷移による割込み要求を禁止 (初期値)
1	直接遷移による割込み要求を許可

ビット6：A/D変換器割込みイネーブル（IENAD）

A/D変換終了割込み要求の許可／禁止を制御します。

ビット 6	説明
IENAD	
0	A/D変換器の割込み要求を禁止 (初期値)
1	A/D変換器の割込み要求を許可

ビット5：リザーブビット

リザーブビットです。リードすると常に"0"が読み出されます。ライトは無効です。

ビット4：SCI1 割込みイネーブル（IENS1）

SCI1 転送完了割込み要求の許可 / 禁止を制御します。

ビット4	説明
IENS1	
0	SCI1 の割込み要求を禁止 (初期値)
1	SCI1 の割込み要求を許可

ビット3～0：リザーブビット

リザーブビットです。リードすると常に"0"が読み出されます。ライトは無効です。

(5) 割込み許可レジスタ3 (IENR3)

ビット:	7	6	5	4	3	2	1	0
	INTEN7	INTEN6	INTEN5	INTEN4	INTEN3	INTEN2	INTEN1	INTEN0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IENR3 は、8 ビットのリード / ライト可能なレジスタで、INT₇～INT₀割込み要求の許可 / 禁止を制御します。リセット時、IENR3 は H'00 にイニシャライズされます。

ビット7～0：INT₇～INT₀割込みイネーブル（INTEN7～INTEN0）

INT₇～INT₀割込み要求の許可 / 禁止を制御します。

ビット n	説明
INTENn	
0	INT _n 端子の割込み要求を禁止 (初期値)
1	INT _n 端子の割込み要求を許可

(n = 7 ~ 0)

(6) 割込み要求レジスタ1 (IRR1)

ビット:	7	6	5	4	3	2	1	0
	IRR1B1	IRR1A	—	—	IRR13	IRR12	IRR11	IRR10
初期値:	0	0	0	1	0	0	0	0
R/W :	R/W*	R/W*	—	—	R/W*	R/W*	R/W*	R/W*

【注】* フラグクリアのための"0"ライトのみ可能です。

IRR1 は、8 ビットのリード / ライト可能なレジスタで、タイマ B1、タイマ A、タイマ Y、IRQ₃～IRQ₀ 割込み要求が発生すると対応するフラグが"1"にセットされます。各フラグは割込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は"0"をライトしてクリアしてください。リセット時、IRR1 は H'10 にイニシャライズされます。

ビット7：タイマ B1 割込み要求フラグ (IRRTB1)

ビット7	説明
IRRTB1	
0	[クリア条件] (初期値) IRRTB1 = "1"の状態 で IRRTB1 に "0"をライトしたとき
1	[セット条件] タイマ B1 のカウンタ値がオーバーフロー (H'FFH'00) したとき

ビット6：タイマ A 割込み要求フラグ (IRRTA)

ビット7	説明
IRRTA	
0	[クリア条件] (初期値) IRRTA = "1"の状態 で IRRTA に "0"をライトしたとき
1	[セット条件] タイマ A のカウンタ値がオーバーフロー (H'FFH'00) したとき

ビット5：リザーブビット

リザーブビットです。リードすると常に"0"が読み出されます。ライトは無効です。

ビット4：リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

ビット3～0：IRQ₃～IRQ₀割込み要求フラグ (IRRI3～IRRI0)

ビット n	説明
IRRI _n	
0	[クリア条件] (初期値) IRRI _n = "1"の状態 で IRRI _n に "0"をライトしたとき
1	[セット条件] IRQ _n 端子が割込み入力に設定されており、かつ当該端子に指定されたエッジが 入力されたとき

(n = 3 ~ 0)

(7) 割込み要求レジスタ 2 (IRR2)

ビット:	7	6	5	4	3	2	1	0
	IRRDT	IRRAD	—	IRRS1	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	—	R/W*	—	—	—	—

【注】* フラグクリアのための"0"ライトのみ可能です。

IRR2 は、8 ビットのリード / ライト可能なレジスタで、直接遷移、A/D 変換器、SCI1 割込み要求が発生すると、対応するフラグが"1"にセットされます。各フラグは割込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は"0"をライトしてクリアしてください。

リセット時、IRR2 は H'00 にイニシャライズされます。

ビット 7 : 直接遷移割込み要求フラグ (IRRDT)

ビット 7	説明
IRRDT	
0	[クリア条件] (初期値) IRRDT = "1"の状態 で IRRDT に"0"をライトしたとき
1	[セット条件] SYSCR2 の DTON に"1"をセットした状態でスリープ命令を実行し直接遷移したとき

ビット 6 : A/D 変換器割込み要求フラグ (IRRAD)

ビット 6	説明
IRRAD	
0	[クリア条件] (初期値) IRRAD = "1"の状態 で IRRAD に"0"をライトしたとき
1	[セット条件] A/D 変換器が変換終了し、ADSR の ADSF が"0"にクリアされたとき

ビット 5 : リザーブビット

リザーブビットです。リードすると常に"0"が読み出されます。ライトは無効です。

ビット4：SCI1 割込み要求フラグ（IRRS1）

ビット4	説明
IRRS1	
0	[クリア条件] IRRS1 = "1"の状態 で IRRS1 に"0"をライトしたとき (初期値)
1	[セット条件] SCI1 が転送完了したとき

ビット3～0：リザーブビット

リザーブビットです。各ビットはリードすると常に"0"が読み出されます。ライトは無効です。

(8) 割込み要求レジスタ3（IRR3）

ビット：	7	6	5	4	3	2	1	0
	INTF7	INTF6	INTF5	INTF4	INTF3	INTF2	INTF1	INTF0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】* フラグクリアのための"0"ライトのみ可能です。

IRR3 は、8 ビットのリード / ライト可能なレジスタで、 $\overline{\text{INT}}_7 \sim \overline{\text{INT}}_0$ 端子にエッジが入力されると、対応するフラグが"1"にセットされます。各フラグは割込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は"0"をライトしてクリアしてください。

リセット時、IRR3 は H'00 にイニシャライズされます。

ビット7～0：INT₇～INT₀割込み要求フラグ（INTF7～INTF0）

ビット n	説明
INTFn	
0	[クリア条件] INTFn が"1"の状態 で INTFn に"0"をライトしたとき (初期値)
1	[セット条件] $\overline{\text{INT}}_n$ 端子に指定されたエッジが入力されたとき

(n = 7 ~ 0)

3.3.3 外部割込み

外部割込みには、 $\text{IRQ}_3 \sim \text{IRQ}_0$ 、 $\text{INT}_7 \sim \text{INT}_0$ 割込みの 12 要因があります。

(1) $\text{IRQ}_3 \sim \text{IRQ}_0$ 割込み

$\text{IRQ}_3 \sim \text{IRQ}_0$ 割込みは、 $\overline{\text{IRQ}}_3 \sim \overline{\text{IRQ}}_0$ 端子の入力信号により要求されます。 $\text{IRQ}_3 \sim \text{IRQ}_0$ 割込みは、立上がり / 立下がりエッジセンスを IEGR1 の IEG3 ~ IEG0 より指定できます。

PMR1 により端子機能が $\overline{\text{IRQ}}_3 \sim \overline{\text{IRQ}}_0$ 端子に選択された状態で指定されたエッジが入力されると、IRR1 の対応するビットが "1" にセットされ、割込み要求が発生します。割込み要求の受け付けは、IENR1 の IEN3 ~ IEN0 を "0" にクリアすることにより、禁止できます。また、CCR の I ビットを "1" にセットすることによりすべての割込みをマスクできます。

$\text{IRQ}_3 \sim \text{IRQ}_0$ 割込みの割込み例外処理が受け付けられると、CCR の I ビットが "1" にセットされます。 $\text{IRQ}_3 \sim \text{IRQ}_0$ 割込み例外処理のベクタ番号は 7 ~ 4 です。優先順位は IRQ_3 (低) → IRQ_0 (高) の順に高くなります。詳細は表 3.2 を参照してください。

(2) INT 割込み

INT 割込みは $\overline{\text{INT}}_7 \sim \overline{\text{INT}}_0$ 端子の入力信号により要求されます。INT 割込みは、立上がり / 立下がりエッジセンスを IEGR2 の INTEG7 ~ INTEG0 により指定できます。

$\overline{\text{INT}}_7 \sim \overline{\text{INT}}_0$ 端子に指定されたエッジが入力されると、IRR3 の対応するビットが "1" にセットされ、割込み要求が発生します。割込み要求の受け付けは、IENR3 の INTEN7 ~ INTEN0 を "0" にクリアすることにより、禁止できます。また、CCR の I ビットを "1" セットすることによりすべての割込みをマスクできます。

INT 割込みの割込み例外処理が受け付けられると、CCR の I ビットが "1" にセットされます。INT 割込み例外処理のベクタ番号は 8 です。8 つの割込み要因が 1 つのベクタ番号に割付けられているため、例外処理ルーチンで要因を判別してください。

【注】 $\overline{\text{INT}}_7 \sim \overline{\text{INT}}_0$ 端子は、ポート 5 との兼用端子です。

本端子をポートとして使用する場合でも、端子にエッジが入力または出力されれば INTFn ビットは "1" にセットされます。

3.3.4 内部割込み

内蔵周辺モジュールからの割込みによる内部割込み要因は、21 要因あります。

内蔵周辺モジュールからの割込み要求が発生すると、IRR1、IRR2 の対応するビットが "1" にセットされます。IENR1、IENR2 の各ビットを "0" にクリアすることにより、各割込み要求の受け付けは禁止できます。また、CCR の I ビットを "1" にセットすることにより、すべての割込みをマスクできます。これらの割込み例外処理が受け付けられると CCR の I ビットは "1" にセットされます。ベクタ番号は 23 ~ 9 です。内蔵周辺モジュールからの割込みの優先順位については表 3.2 を参照してください。

3.3.5 割込み動作

割込みは、割込みコントローラによって制御されます。割込みコントローラのブロック図を図 3.2 に、割込み受け付けまでのフローを図 3.3 に示します。

割込み動作は以下のとおりです。

- (1) 割込み許可レジスタの対応するビットが"1"にセットされている状態で、割込み要因が発生したとき、割込みコントローラに対して割込み要求信号が送られます。
- (2) 割込みコントローラに割込み要求信号が送られると、割込み要求フラグがセットされます。
- (3) 割込み許可フラグが"1"にセットされている割込みの中で、優先順位に従って最高位の割込み要求が選択され、その他は保留となります（表 3.2 参照）。
- (4) CCR の I ビットを参照し、I ビットが"0"にクリアされている場合は、割込み要求は受け付けられますが、I ビットが"1"にセットされている場合は割込み要求は保留となります。
- (5) 割込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、PC と CCR がスタック領域に退避されます。このときのスタックの状態を図 3.4 に示します。
スタックされる PC は、リターン後に実行する最初の命令のアドレスを示しています。
- (6) CCR の I ビットが"1"にセットされます。これにより、すべての割込みはマスクされます。
- (7) 受け付けた割込みに対応するベクタアドレスを生成し、そのアドレスの内容によって示されるアドレスから、割込み処理ルーチンの実行を開始します。
プログラム領域を内蔵 ROM に、スタック領域を内蔵 RAM にとった場合の割込みシーケンスを図 3.5 に示します。

- 【注】 1. 本 LSI では、割込み許可レジスタをクリアすることにより割込みをディスエーブルにする場合、または割込み要求レジスタをクリアする場合は、かならず割込みをマスクした状態（I = "1"）で行ってください。
2. I = "0"の状態で上記の操作を行うと、当該操作命令の実行と当該割込みの発生が競合した場合には、当該操作命令の実行終了時に発生した割込みに対応する例外処理を実行します。

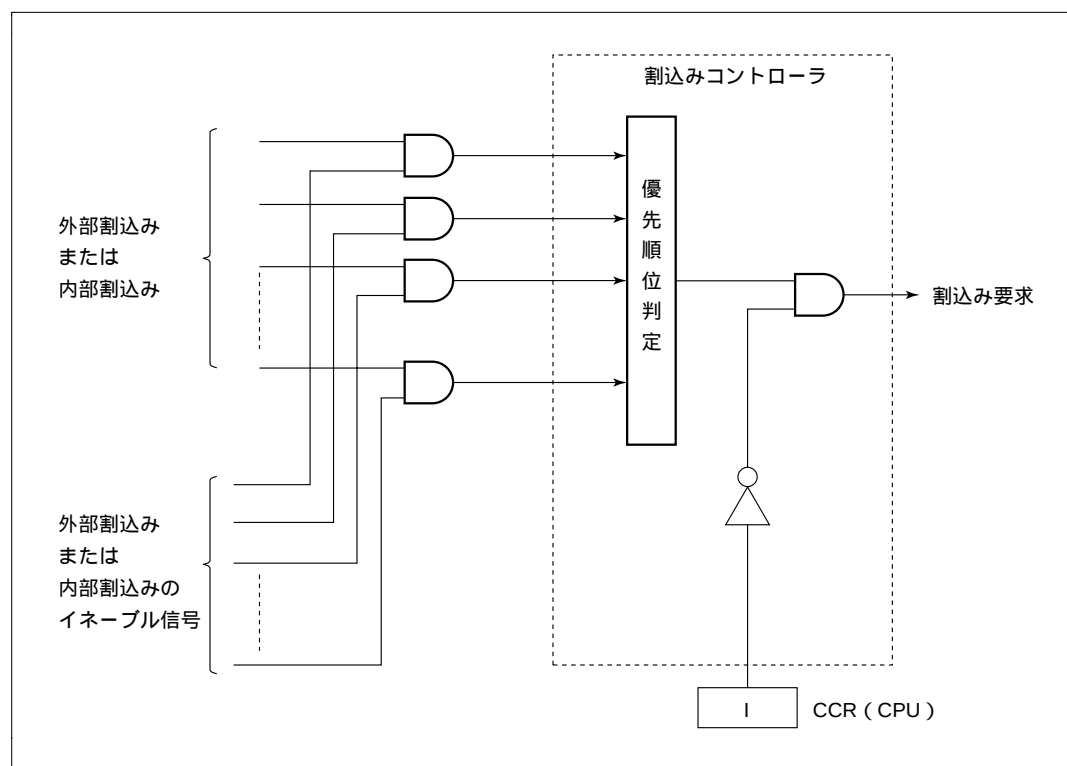


図 3.2 割り込みコントローラのブロック図

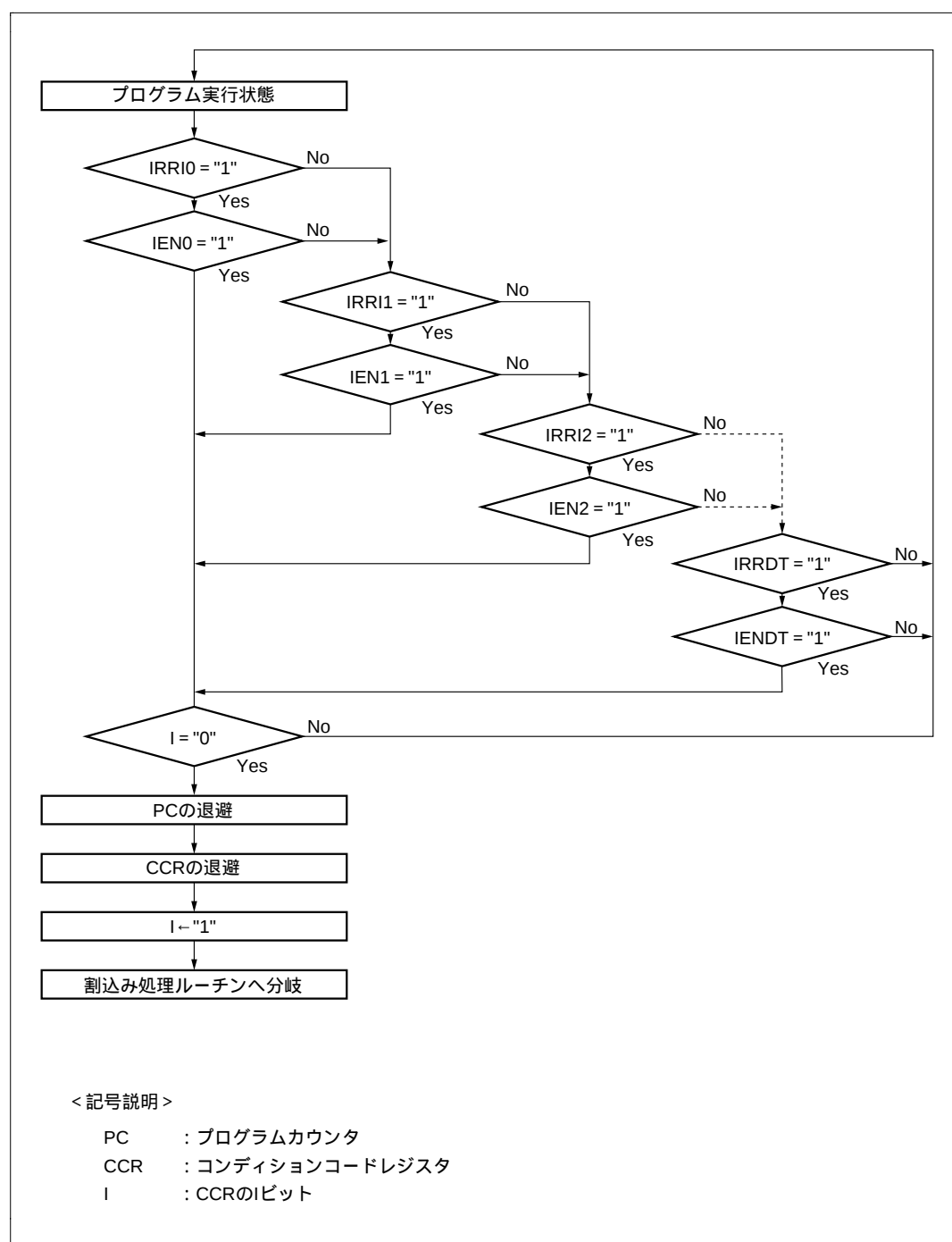


図 3.3 割込み受付けまでのフロー

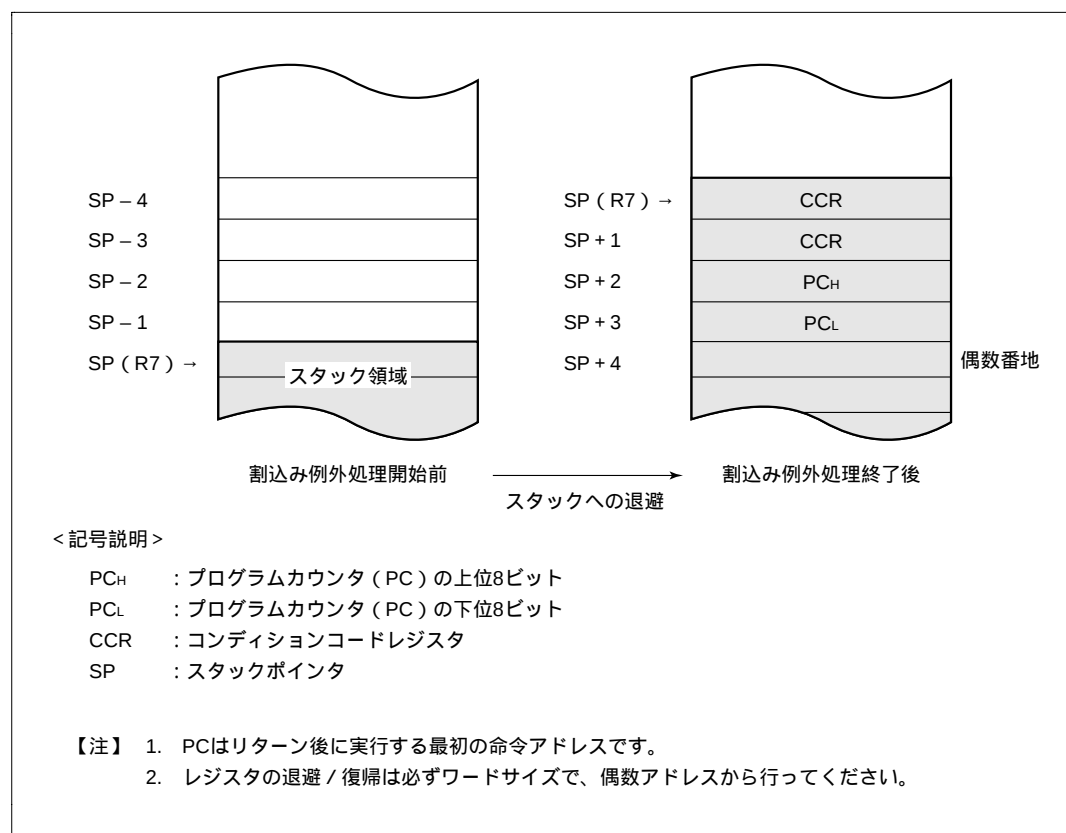


図 3.4 割込み例外処理終了後のスタック状態

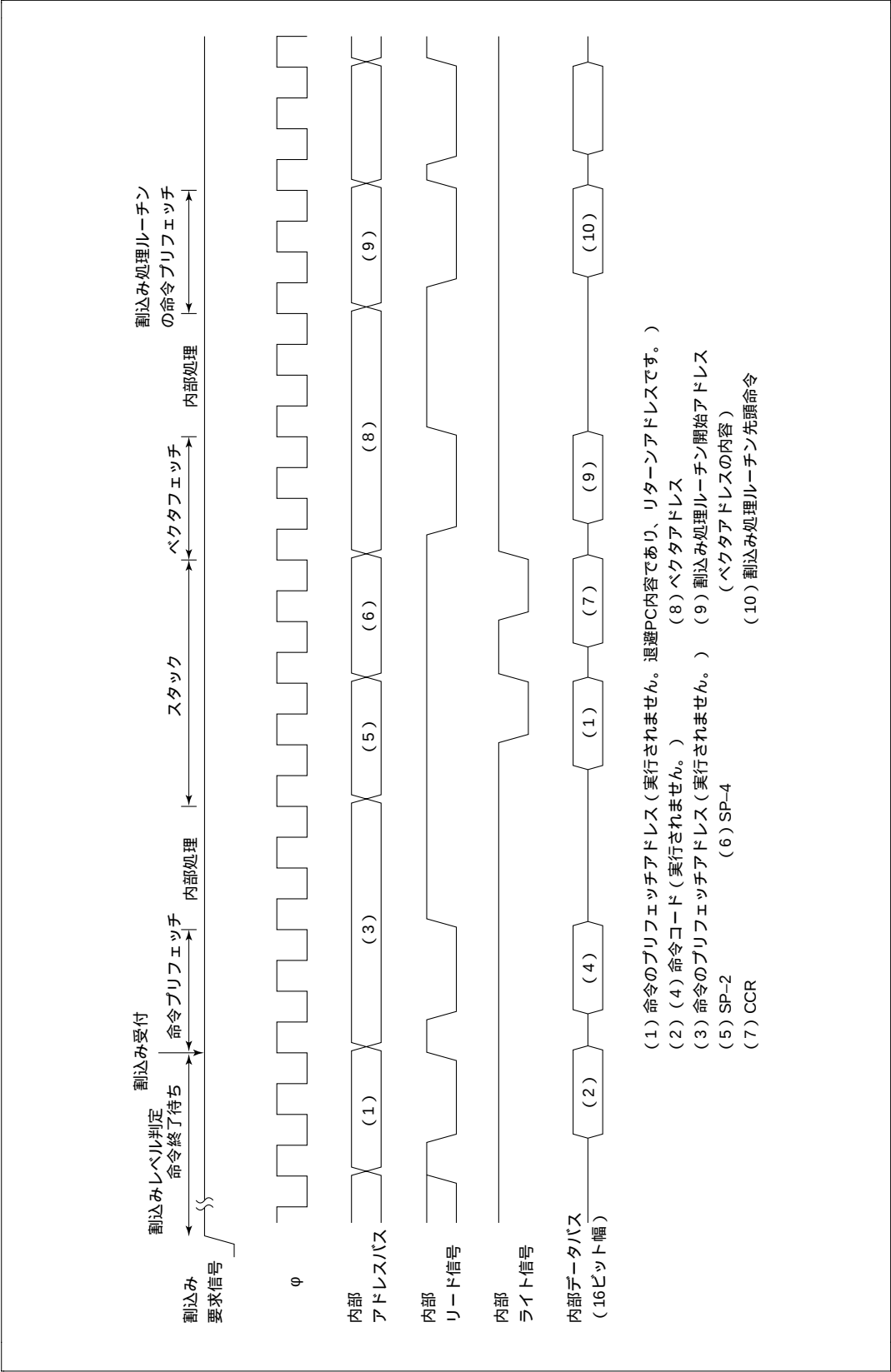


図 3.5 割り込みシーケンス

3.3.6 割込み応答時間

割込み要求フラグがセットされた後、割込み処理ルーチンの先頭命令を実行するまでの待ち状態数を表 3.4 に示します。

表 3.4 割込み待ち状態数

項目	状態数	合計
実行中の命令終了時の待ち時間*	1 ~ 13	15 ~ 27
PC、CCR のスタック	4	
ベクタフェッチ	2	
命令フェッチ	4	
内部処理	4	

【注】 * EEPMOV 命令は除きます。

3.4 使用上の注意事項

3.4.1 スタック領域に関する使用上の注意事項

本 LSI では、ワードデータをアクセスする場合は、アドレスの最下位ビットは"0"とみなされます。スタック領域に対するアクセスは、常にワードサイズで行い、スタックポインタ (SP : R7) の内容は奇数にしないでください。すなわち、レジスタの退避や復帰は、「PUSH Rn (MOV.W Rn, @-SP)」または「POP Rn (MOV.W @SP+, Rn)」を使用してください。

SP に奇数を設定すると、誤動作の原因となります。SP に奇数を設定した場合の動作例を図 3.6 に示します。

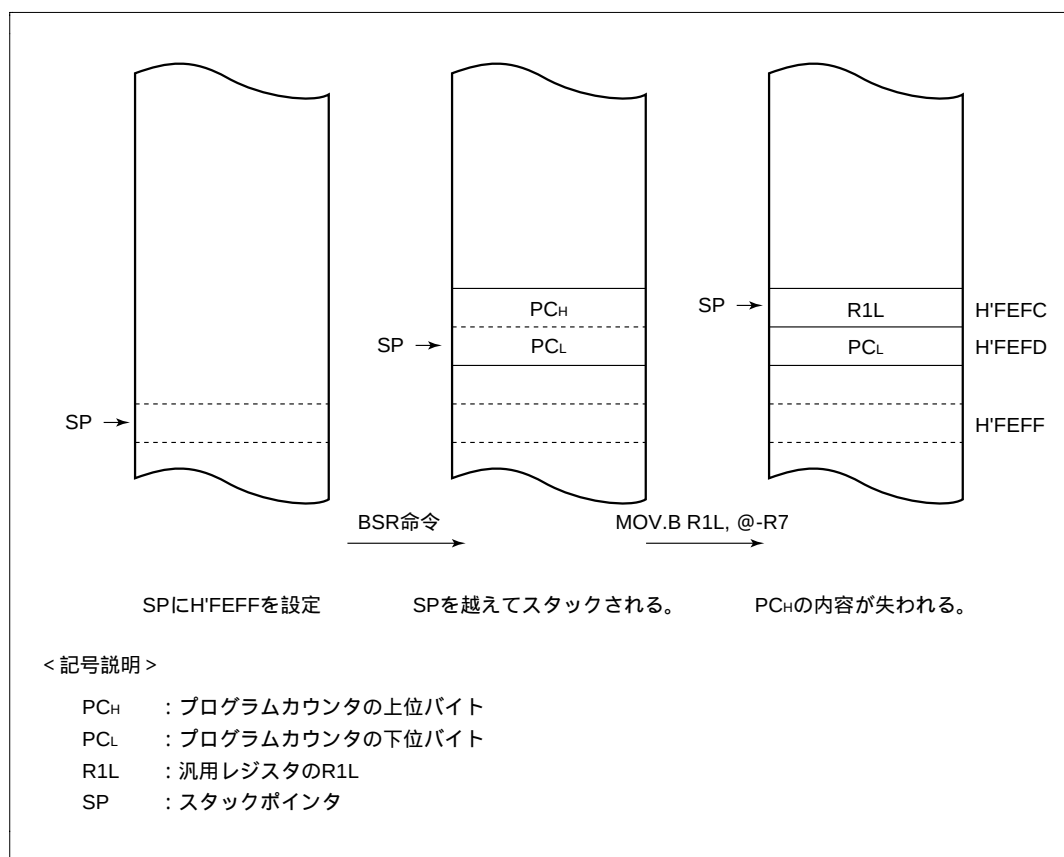


図 3.6 SP に奇数を設定したときの動作

また、割り込み例外処理および RTE 命令実行時の CCR の退避時および復帰時はワードサイズで扱われます。退避時には、ワードサイズデータの上位バイトおよび下位バイトともに CCR の値が退避されます。復帰時には、偶数アドレスの値が CCR に格納され、奇数アドレスの値は無視されます。

3.4.2 ポートモードレジスタを書き換える際の注意事項

外部割込み端子の機能切換えのためにポートモードレジスタを書き換える際には、以下の点に注意してください。

外部割込み端子 $\overline{\text{IRQ}}_3 \sim \overline{\text{IRQ}}_1$ を制御しているポートモードレジスタを書き換えて端子機能を切り換えた場合、端子に有効な割込みが入力されていなくても、端子機能を切り換えた時点で割込み要求フラグが"1"にセットされることがあります。

"1"にセットされる割込み要求フラグとその条件を表 3.5 に示します。

表 3.5 割込み要求フラグが"1"にセットされる条件

"1"にセットされる 割込み要求フラグ		条件
IRR1	IRRI3	・ $\overline{\text{IRQ}}_3$ 端子が"Low"レベルでIEGRのIEG3が"0"の状態、PMR1のIRQ3を"0"から"1"に書き換えたとき ・ $\overline{\text{IRQ}}_3$ 端子が"Low"レベルでIEGRのIEG3が"1"の状態、PMR1のIRQ3を"1"から"0"に書き換えたとき
	IRRI2	・ $\overline{\text{IRQ}}_2$ 端子が"Low"レベルでIEGRのIEG2が"0"の状態、PMR1のIRQ2を"0"から"1"に書き換えたとき ・ $\overline{\text{IRQ}}_2$ 端子が"Low"レベルでIEGRのIEG2が"1"の状態、PMR1のIRQ2を"1"から"0"に書き換えたとき
	IRRI1	・ $\overline{\text{IRQ}}_1$ 端子が"Low"レベルでIEGRのIEG1が"0"の状態、PMR1のIRQ1を"0"から"1"に書き換えたとき ・ $\overline{\text{IRQ}}_1$ 端子が"Low"レベルでIEGRのIEG1が"1"の状態、PMR1のIRQ1を"1"から"0"に書き換えたとき

ポートモードレジスタの操作と割り込み要求フラグのクリアの手順を図 3.7 に示します。

端子機能を切り換える場合は、ポートモードレジスタの操作前に割り込み禁止状態にして、ポートモードレジスタ操作後に、少なくとも 1 命令（NOP 命令で可）実行してから、“1” にセットされた割り込み要求フラグを“0”にクリアしてください。ポートモードレジスタ操作後に 1 命令実行せず割り込み要求フラグを“0”にクリアする命令を実行しても、割り込み要求フラグはクリアされませんので注意してください。

なお、端子機能切換えに伴う割り込み要求フラグのセットを回避する他の方法として、表 3.5 の条件を満たさないように端子を“High”レベルに制御して行う方法もあります。

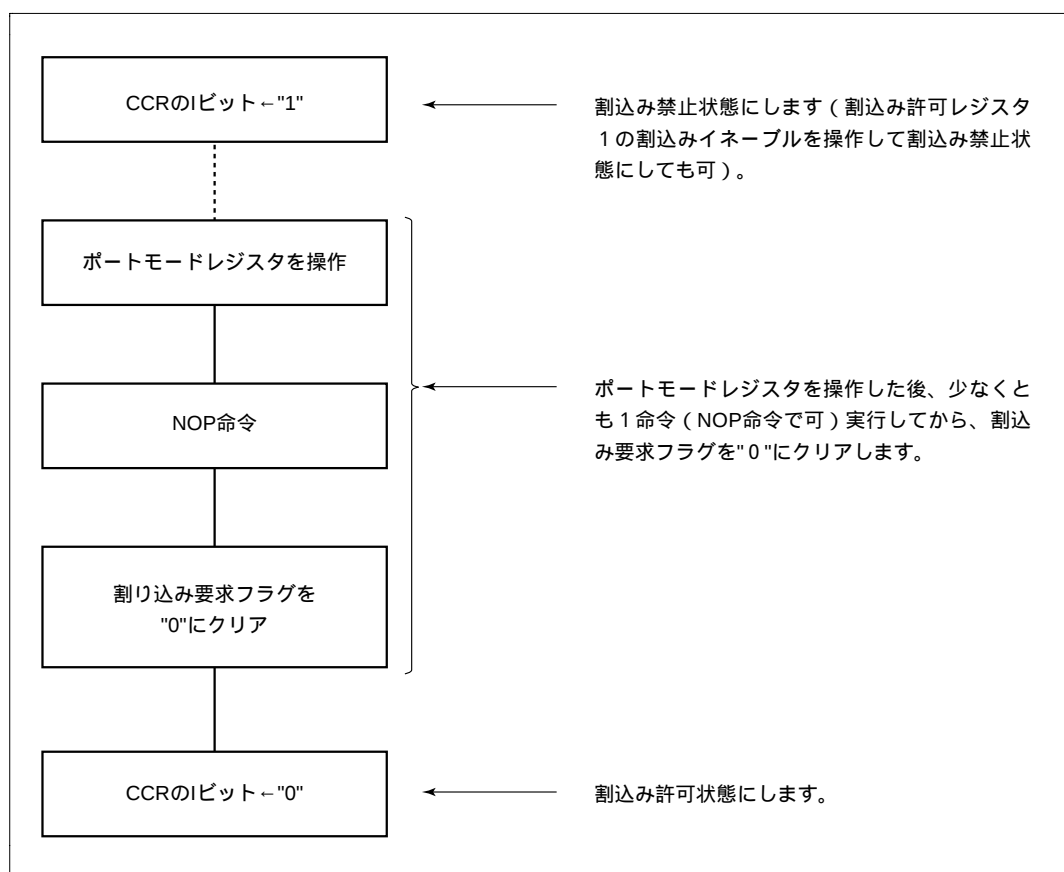


図 3.7 ポートモードレジスタ操作と割り込み要求フラグのクリア手順

4. クロック発振器

第4章 目次

4.1	概要.....	89
	4.1.1 ブロック図.....	89
	4.1.2 システムクロックとサブクロック	89
4.2	システムクロック発振器.....	90
4.3	サブクロック発振器	93
4.4	プリスケータ	95
4.5	発振子に関する注意事項.....	96

4.1 概要

本 LSI は、クロック発生回路（CPG：Clock Pulse Generator）を内蔵しています。

クロック発生回路は、システムクロック発振器、システムクロック分周器からなるシステムクロック発生回路と、サブクロック発振器、サブクロック分周器からなるサブクロック発生回路の 2 つの回路から構成されます。

4.1.1 ブロック図

図 4.1 にクロック発生回路のブロック図を示します。

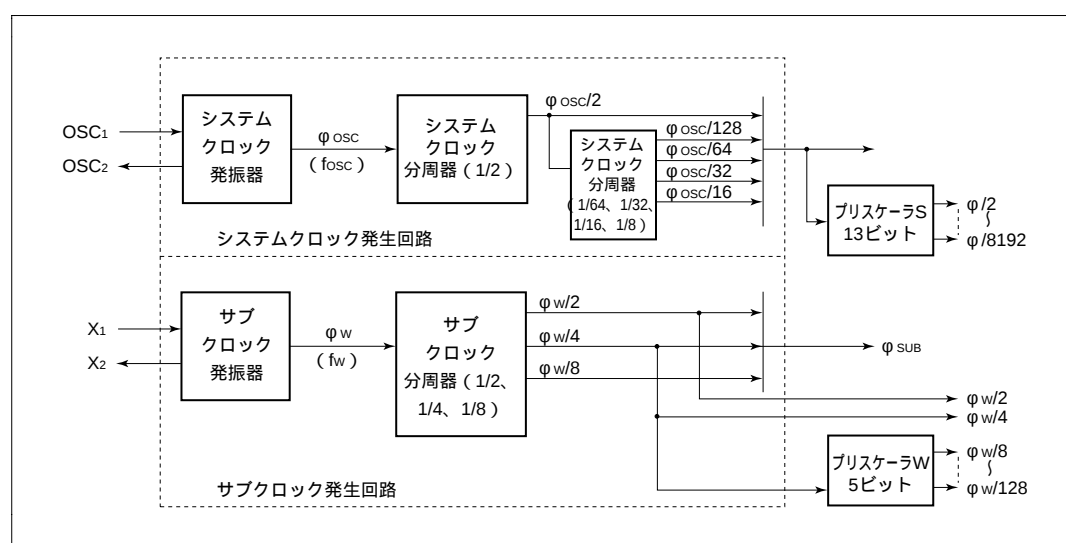


図 4.1 クロック発生回路のブロック図

4.1.2 システムクロックとサブクロック

クロック（ ϕ および ϕ_{SUB} ）は、CPUおよび周辺機能を動作させるための基準クロックです。

ϕ をシステムクロック、 ϕ_{SUB} をサブクロックと呼びます。また、 ϕ_{OSC} をOSCクロック、 ϕ_{W} をウォッチクロックと呼びます。

クロック $\phi/8192$ 、 $\phi/4096$ 、 $\phi/2048$ 、 $\phi/1024$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/128$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$ 、 $\phi/2$ 、 $\phi_{\text{W}}/128$ 、 $\phi_{\text{W}}/64$ 、 $\phi_{\text{W}}/32$ 、 $\phi_{\text{W}}/16$ 、 $\phi_{\text{W}}/8$ 、 $\phi_{\text{W}}/4$ 、 $\phi_{\text{W}}/2$ は、周辺機能で必要とするクロックであり各周辺機能によって異なります。

4.2 システムクロック発振器

システムクロック分周器へクロックを供給する方法には、水晶発振子またはセラミック発振子を接続する方法と、外部クロックを入力する方法があります。

(1) 水晶発振子を接続する方法

水晶発振子の接続例を図 4.2 に示します。

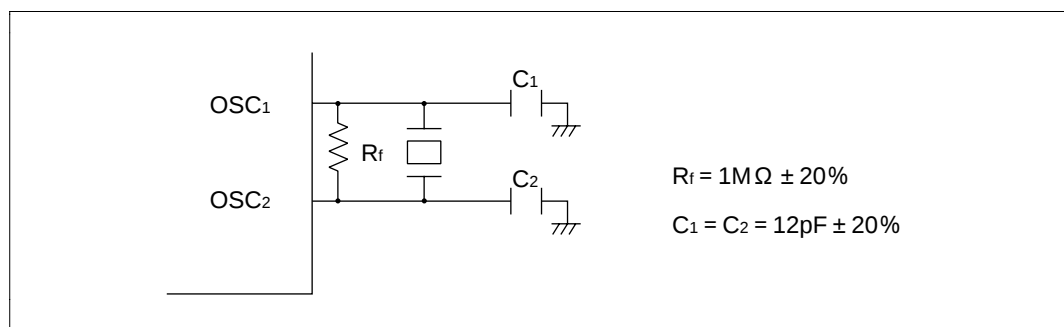


図 4.2 水晶発振子の接続例

図 4.3 に水晶発振子の等価回路を示します。発振子は表 4.1 に示す特性のものを使用してください。

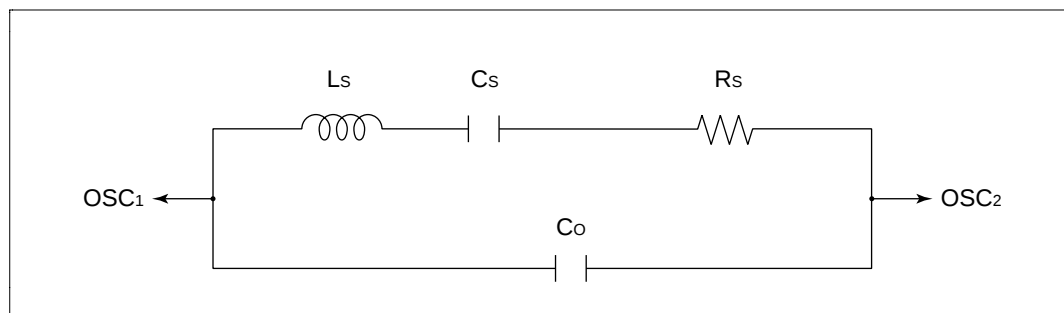


図 4.3 水晶発振子の等価回路

表 4.1 水晶発振子のパラメータ

周波数 (MHz)	2	4	8	10
R_s (max)	500 Ω	100 Ω	50 Ω	30 Ω
C_o (max)	7pF			

(2) セラミック発振子を接続する方法

セラミック発振子の接続例を図 4.4 に示します。

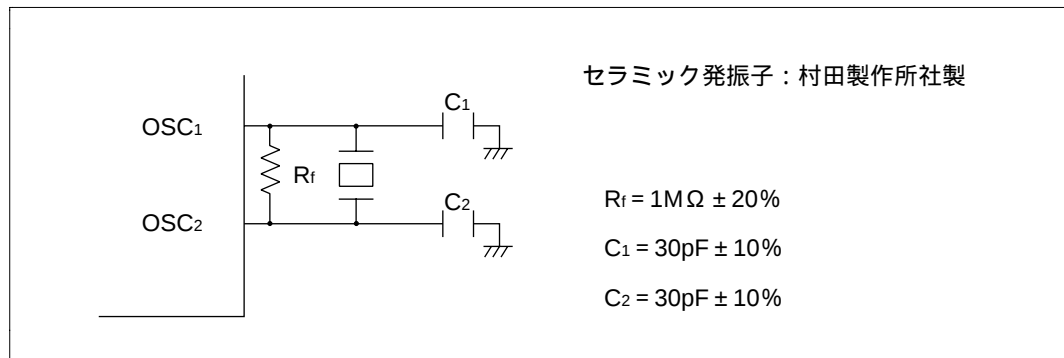


図 4.4 セラミック発振子の接続例

(3) ボード設計上の注意

水晶発振子（セラミック発振子）を接続して発振させる場合、次の点に注意してください。

発振回路部の近くで信号線を通過させないでください。誘導により正しい発振ができなくなる場合があります（図 4.5 参照）。

また、ボード設計に際しては、発振子および負荷容量はできるだけ OSC₁、OSC₂ 端子の近くに配置してください。

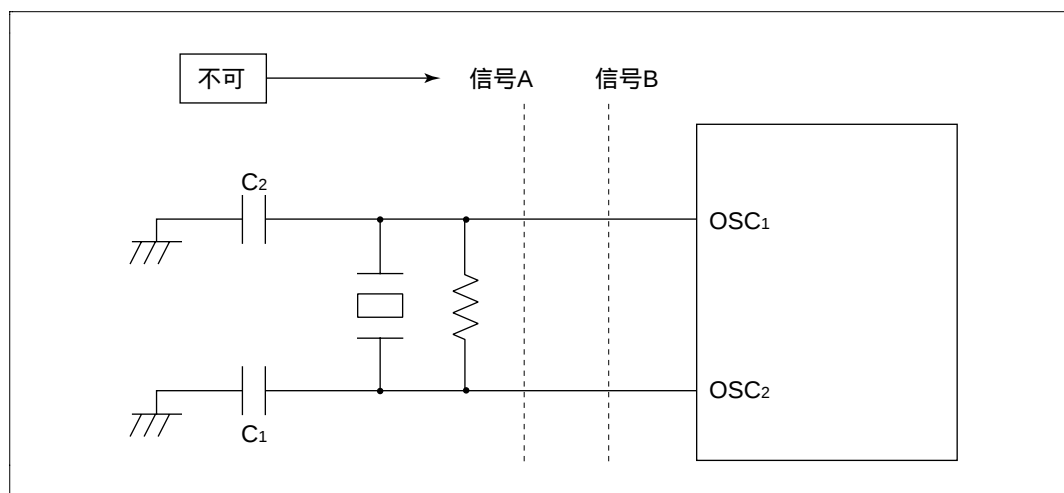


図 4.5 発振回路部のボード設計に関する注意事項

(4) 外部クロックを入力する方法

外部クロックを OSC₁ 端子に接続し、OSC₂ 端子をオープン状態にします。
この場合の接続例を図 4.6 に示します。

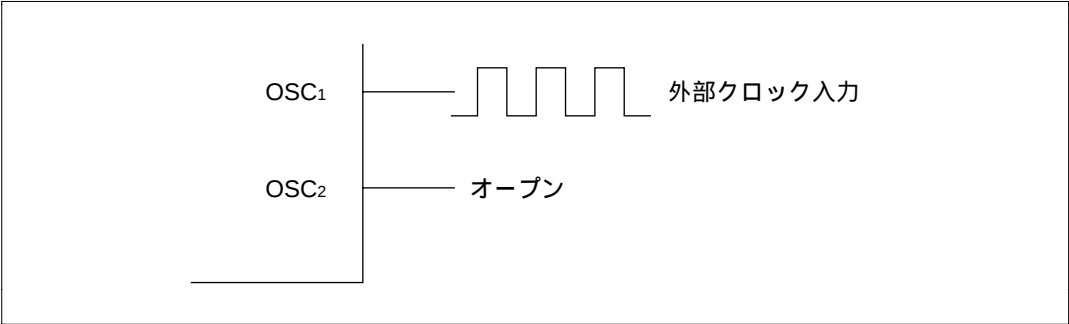


図 4.6 外部クロックを入力する場合の接続例

周波数	OSC クロック (ϕ_{OSC})
duty	45% ~ 55%

4.3 サブクロック発振器

(1) 32.768kHz 水晶発振子を接続する方法

サブクロック分周器へクロックを供給するには、図 4.7 に示すように 32.768kHz の水晶発振子を接続します。接続する場合の注意については、「4.2(3) ボード設計上の注意」と同様です。

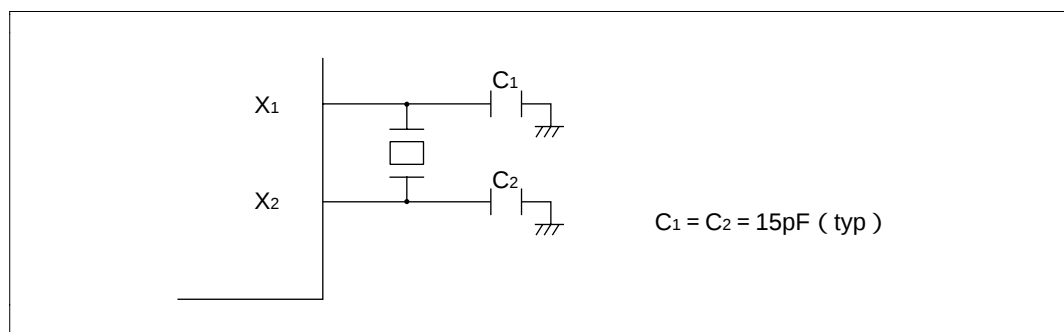


図 4.7 32.768kHz 水晶発振子の接続例

図 4.8 に 32.768kHz 水晶発振子の等価回路を示します。

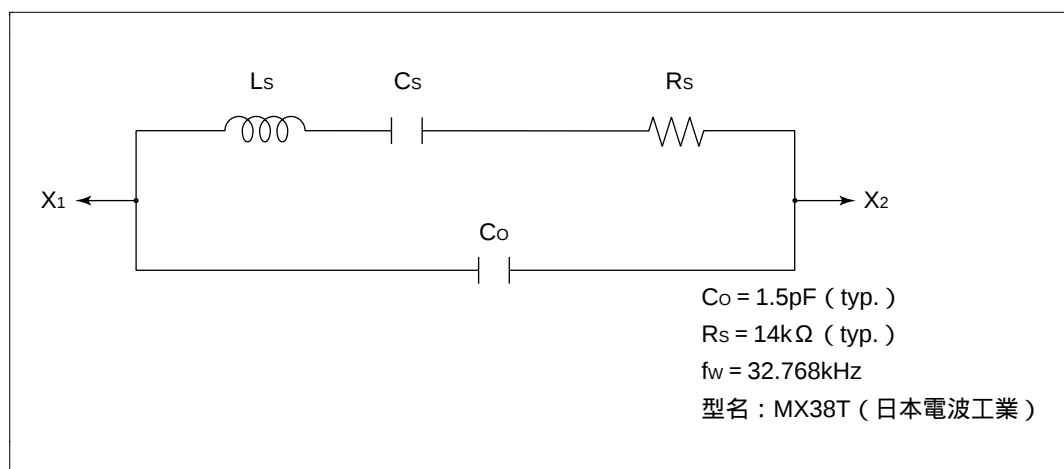


図 4.8 32.768kHz 水晶発振子の等価回路

(2) サブクロックを必要としない場合の端子処理

サブクロックを必要としない場合には、図 4.9 に示すように X_1 端子を V_{CC} に接続し、 X_2 端子をオープンとしてください。

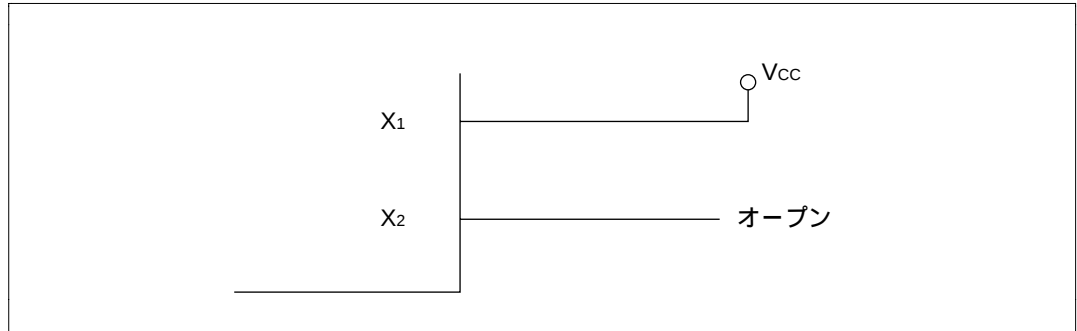


図 4.9 サブクロックを必要としない場合の端子処理

4.4 プリスケアラ

本 LSI は、入力クロックの異なる 2 本のプリスケアラ（プリスケアラ S、プリスケアラ W）を内蔵しています。

プリスケアラ S は、システムクロック（ ϕ ）を入力クロックとする 13 ビットのカウンタで、分周した出力を内蔵周辺モジュールの内部クロックとして使用します。プリスケアラ W は 32.768kHz を 4 分周したクロック（ $\phi_w/4$ ）を入力とする 5 ビットのカウンタで、分周した出力をタイマ A の時計用タイムベース動作に使用します。

（1）プリスケアラ S（PSS）

プリスケアラ S は、システムクロック（ ϕ ）を入力クロックとする 13 ビットのカウンタで、1 サイクルごとにカウントアップします。

リセット時、プリスケアラ S は H'0000 にイニシャライズされ、リセット解除後、カウントアップを開始します。

スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでは、システムクロック発振器が停止するためプリスケアラ S の動作も停止します。このとき、プリスケアラ S は H'0000 にイニシャライズされます。

CPU によるプリスケアラ S のデータリード/ライトはできません。

プリスケアラ S の出力は、各種内蔵周辺機能で共用しており、分周比は各内蔵周辺機能で独立に設定できます。

なお、アクティブ(中速)モードではプリスケアラ S のクロック入力 は SYSCR1 の MA1、MA0 で設定した分周比のクロックとなります。

（2）プリスケアラ W（PSW）

プリスケアラ W は、32.768kHz を 4 分周したクロック（ $\phi_w/4$ ）を入力クロックとする 5 ビットのカウンタです。

リセット時、プリスケアラ W は H'00 にイニシャライズされ、リセット解除後、カウントアップを開始します。

スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードに移行しても、 X_1 、 X_2 端子にクロックが供給されているかぎり、プリスケアラ W は動作を継続します。

プリスケアラ W は、TMA の TMA3、TMA2 を各々"1"、"1"に設定することでリセットできます。

また、プリスケアラ W の出力は、タイマ A のクロックとして使用できます。このとき、タイマ A は時計用タイムベースとして機能します。

4.5 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、マスク ROM 版、ZTAT[®] 版ともにユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと充分ご相談の上決定してください。発振端子に印加される電圧が最大定格を越えないような設計を行ってください。

5. 低消費電力モード

第5章 目次

5.1	概要.....	99
5.1.1	システムコントロールレジスタ.....	102
5.2	スリープモード.....	107
5.2.1	スリープモードへの遷移.....	107
5.2.2	スリープモードの解除.....	107
5.2.3	スリープ（中速）モードの動作周波数について.....	107
5.3	スタンバイモード.....	108
5.3.1	スタンバイモードへの遷移.....	108
5.3.2	スタンバイモードの解除.....	108
5.3.3	スタンバイモード解除後の発振安定時間の設定.....	109
5.4	ウォッチモード.....	110
5.4.1	ウォッチモードへの遷移.....	110
5.4.2	ウォッチモードの解除.....	110
5.4.3	ウォッチモード解除後の発振安定時間の設定.....	110
5.5	サブスリープモード.....	111
5.5.1	サブスリープモードへの遷移.....	111
5.5.2	サブスリープモードの解除.....	111
5.6	サブアクティブモード.....	112
5.6.1	サブアクティブモードへの遷移.....	112
5.6.2	サブアクティブモードの解除.....	112
5.6.3	サブアクティブモードの動作周波数について.....	112
5.7	アクティブ（中速）モード.....	113
5.7.1	アクティブ（中速）モードへの遷移.....	113
5.7.2	アクティブ（中速）モードの解除.....	113
5.7.3	アクティブ（中速）モードの動作周波数について.....	113
5.8	直接遷移.....	114

5.1 概要

本 LSI には、リセット解除後に LSI が動作するモードとして、消費電力を著しく低下させる 7 種類の低消費電力モードを含む、8 種類の動作モードをもっています。

表 5.1 に動作モードの概要を示します。

表 5.1 動作モードの概要

動作モード	説明
アクティブ（高速）モード	CPU およびすべての内蔵周辺機能がシステムクロックで動作可能なモードです。
アクティブ（中速）モード	CPU およびすべての内蔵周辺機能がアクティブ（高速）モードの 1/64、1/32、1/16、1/8*の周波数のシステムクロックで動作可能なモードです。
サブアクティブモード	CPU、タイマ A の時計機能がサブクロックで動作可能なモードです。
スリープ（高速）モード	CPU が動作を停止し、PWM を除く内蔵周辺機能がシステムクロックで動作可能なモードです。
スリープ（中速）モード	CPU が動作を停止し、PWM を除く内蔵周辺機能がスリープ（高速）モードの 1/64、1/32、1/16、1/8*の周波数のシステムクロックで動作可能なモードです。
サブスリープモード	CPU が動作を停止し、タイマ A の時計機能がサブクロックで動作可能なモードです。
ウォッチモード	CPU が動作を停止し、タイマ A の時計機能がサブクロックで動作可能なモードです。
スタンバイモード	CPU およびすべての内蔵周辺機能が動作を停止しているモードです。

【注】 * SYSCR1 の MA1、MA0 で設定した値となります。

上記 8 種類の動作モードのうち、アクティブ（高速）モード以外の動作モードを低消費電力モードと呼びます。また、本章では、アクティブ（高速）モードとアクティブ（中速）モードを総称してアクティブモードと呼び、スリープ（高速）モードとスリープ（中速）モードを総称してスリープモードと呼びます。

図 5.1 にモード遷移図を示します。

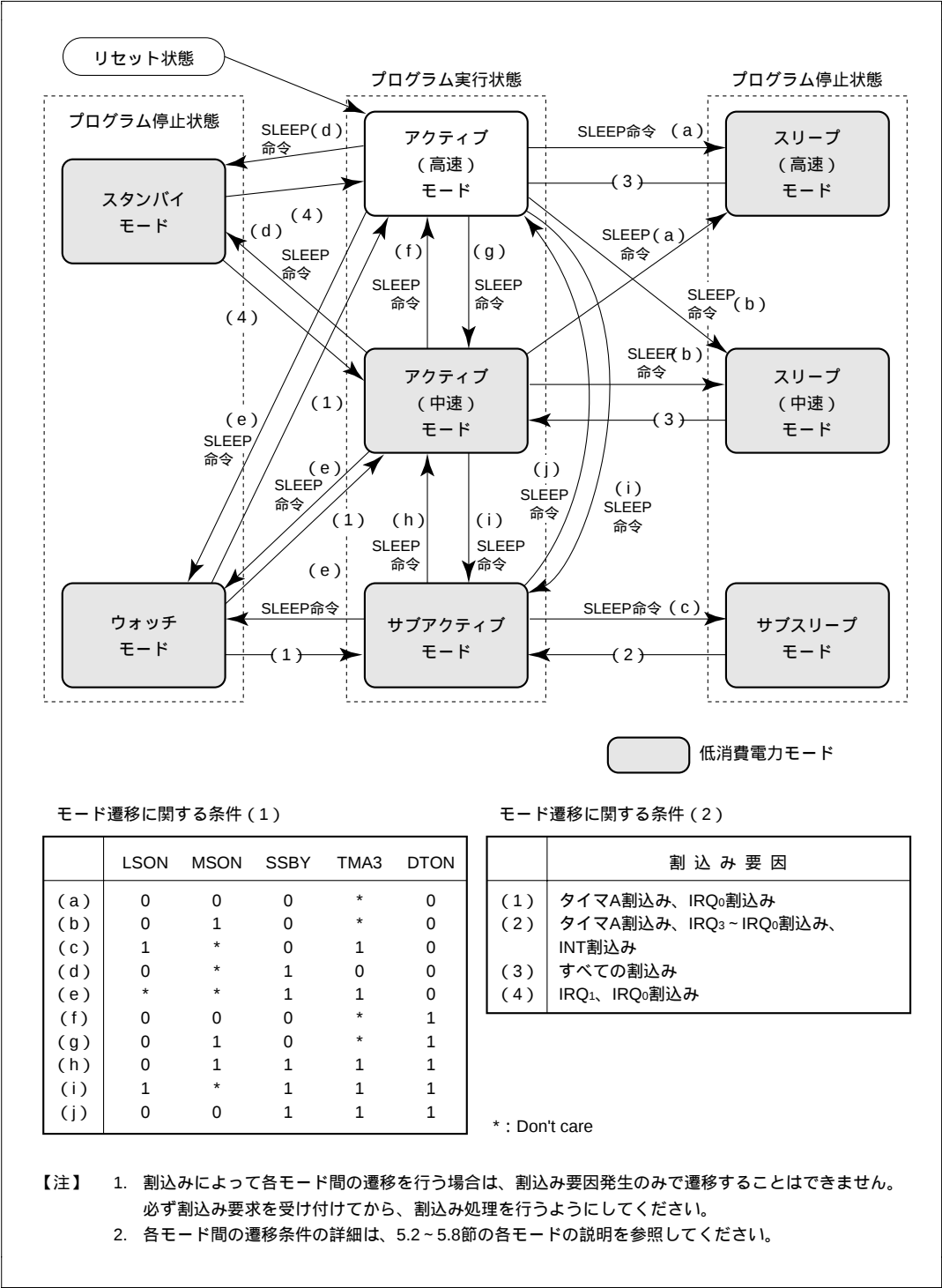


図 5.1 モード遷移図

表 5.2 に各モードでの LSI の内部状態を示します。

表 5.2 各動作モードでの LSI の状態

機能		アクティブ		スリープ		ウォッチ	サブアクティブ	サブスリープ	スタンバイ				
		高速	中速	高速	中速								
システムクロック発振器		動作	動作	動作	動作	停止	停止	停止	停止				
サブクロック発振器		動作	動作	動作	動作	動作	動作	動作	動作				
CPU 動作	命令	動作	動作	停止	停止	停止	動作	停止	停止				
	レジスタ			保持	保持	保持		保持	保持				
	RAM												
	I/O ポート								保持*1				
外部 割込み の動作	IRQ ₀	動作	動作	動作	動作	動作	動作	動作	動作				
	IRQ ₁					保持*2			動作	動作			
	IRQ ₂												
	IRQ ₃												
	INT ₀	動作	動作	動作	動作	保持*2	動作	動作	保持*2				
	INT ₁												
	INT ₂												
	INT ₃												
	INT ₄												
	INT ₅												
	INT ₆												
	INT ₇												
周辺機能 の動作	タイマ A	動作	動作	動作	動作	動作*3	動作*3	動作*3	保持				
	タイマ B1					保持	保持	保持					
	タイマ V					リセット	リセット	リセット	リセット				
	タイマ X												
	ウォッチ ドッグタイマ					動作	動作	動作	動作	保持	保持	保持	保持
	SCI1									リセット	リセット	リセット	リセット
	SCI3												
	PWM												
	A/D 変換器							保持	保持	保持	保持	保持	

【注】 *1 レジスタは保持、出力はハイインピーダンス

*2 外部割込み要求は無視されます。割込み要求レジスタの内容は影響を受けません。

*3 時計用タイムベース機能を選択時に動作

5.1.1 システムコントロールレジスタ

表 5.3 に動作モードを設定するシステムコントロールレジスタを示します。

表 5.3 レジスタ構成

名称	略称	R/W	初期値	アドレス
システムコントロールレジスタ 1	SYSCR1	R/W	H'07	H'FFF0
システムコントロールレジスタ 2	SYSCR2	R/W	H'E0	H'FFF1

(1) システムコントロールレジスタ 1 (SYSCR1)

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	LSON	—	MA1	MA0
初期値:	0	0	0	0	0	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	—	R/W	R/W

SYSCR1 は、8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

SYSCR1 は、リセット時、H'07 にイニシャライズされます。

ビット 7 : ソフトウェアスタンバイ (SSBY)

スタンバイモード、ウォッチモードへの遷移を指定します。

ビット 7	
SSBY	説明
0	アクティブモードで SLEEP 命令実行後、スリープモードに遷移 サブアクティブモードで SLEEP 命令実行後、サブスリープモードに遷移 (初期値)
1	アクティブモードで SLEEP 命令実行後、スタンバイモードあるいはウォッチモードに遷移 サブアクティブモードで SLEEP 命令実行後、ウォッチモードに遷移

ビット6～4：スタンバイタイムセレクト2～0（STS2～STS0）

特定の割込みにより、スタンバイモード、ウォッチモードを解除し、アクティブモードに遷移する場合に、クロックが安定するまで CPU と周辺機能が待機する時間を指定します。動作周波数に応じて待機時間が 10ms 以上となるように指定してください。

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8,192 ステート (初期状態)
0	0	1	待機時間 = 16,384 ステート
0	1	0	待機時間 = 32,768 ステート
0	1	1	待機時間 = 65,536 ステート
1	*	*	待機時間 = 131,072 ステート

* Don't care

ビット3：ロースピードオンフラグ（LSON）

ウォッチモードを解除時に、CPU の動作クロックをシステムクロック（ ϕ ）にするか、サブクロック（ ϕ_{SUB} ）にするかを選択します。他の制御ビット、割込み入力の組合わせで動作モードを決定します。

ビット3	説明
LSON	
0	CPU の動作クロックはシステムクロック（ ϕ ） (初期値)
1	CPU の動作クロックはサブクロック（ ϕ_{SUB} ）

ビット2：リザーブビット

リザーブビットです。本ビットは、リードすると常に"1"が読み出されます。ライトは無効です。

ビット1、0：アクティブ（中速）モードクロックセレクト（MA1、MA0）

アクティブ（中速）モードまたはスリープ（中速）モードの動作クロック（ $\phi_{OSC}/128$ 、 $\phi_{OSC}/64$ 、 $\phi_{OSC}/32$ 、 $\phi_{OSC}/16$ ）を選択します。MA1、MA0の書込みは、アクティブ（高速）モードまたはサブアクティブモードで行ってください。

ビット1	ビット0	説明
MA1	MA0	
0	0	$\phi_{OSC}/16$
0	1	$\phi_{OSC}/32$
1	0	$\phi_{OSC}/64$
1	1	$\phi_{OSC}/128$ (初期値)

(2) システムコントロールレジスタ2 (SYSCR2)

ビット：	7	6	5	4	3	2	1	0
	—	—	—	NESEL	DTON	MSON	SA1	SA0
初期値：	1	1	1	0	0	0	0	0
R/W：	—	—	—	R/W	R/W	R/W	R/W	R/W

SYSCR2は、8ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。

SYSCR2は、リセット時H'E0にイニシャライズされます。

ビット7～5：リザーブビット

リザーブビットです。各ビットは、リードすると常に"1"が読み出されます。ライトは無効です。

ビット4：ノイズ除去サンプリング周波数選択（NESEL）

サブクロック発振器より生成されたウォッチクロック（ ϕ_w ）を、システムクロック発振器より生成されたOSCクロック（ ϕ_{OSC} ）により、サンプリングする周波数を選択します。 $\phi_{OSC} = 2 \sim 10\text{MHz}$ のときは、"0"をセットしてください。

ビット4	説明
NESEL	
0	ϕ_{OSC} の16分周クロックでサンプリング (初期値)
1	ϕ_{OSC} の4分周クロックでサンプリング

ビット3：ダイレクトトランスファオンフラグ（DTON）

アクティブ（高速）モード、アクティブ（中速）モード、サブアクティブモードの各モード間を、SLEEP 命令を実行することにより直接遷移するか否かを指定します。SLEEP 命令実行後に遷移する動作モードは、本ビット以外の制御ビットの組合せで決定します。

ビット3	
DTON	説明
0	・アクティブモードで SLEEP 命令を実行したとき、スタンバイモード、ウォッチモード、またはスリープモードに遷移 ・サブアクティブモードで SLEEP 命令を実行したとき、ウォッチモード、またはサブスリープモードに遷移（初期値）
1	・アクティブ（高速）モードで SLEEP 命令を実行したとき、アクティブ（中速）モード（SSBY="0"、MSON="1"、LSON="0"のとき）、またはサブアクティブモード（SSBY="1"、TMA3="1"、LSON="1"のとき）に直接遷移 ・アクティブ（中速）モードで SLEEP 命令を実行したとき、アクティブ（高速）モード（SSBY="0"、MSON="0"、LSON="0"のとき）、またはサブアクティブモード（SSBY="1"、TMA3="1"、LSON="1"のとき）に直接遷移 ・サブアクティブモードで SLEEP 命令を実行したとき、アクティブ（高速）モード（SSBY="1"、TMA3="1"、LSON="0"、MSON="0"のとき）、またはアクティブ（中速）モード（SSBY="1"、TMA3="1"、LSON="0"、MSON="1"のとき）に直接遷移

ビット2：ミドルスピードオンフラグ（MSON）

スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ（高速）モードまたはスリープ（高速）モードで動作させるか、アクティブ（中速）モードまたはスリープ（中速）モードで動作させるかを選択します。

ビット2	
MSON	説明
0	・スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ（高速）モードで動作 ・アクティブモードで SLEEP 命令を実行したとき、スリープ（高速）モードで動作（初期値）
1	・スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ（中速）モードで動作 ・アクティブモードで SLEEP 命令を実行したとき、スリープ（中速）モードで動作

ビット1、0：サブアクティブモードクロックセレクト（SA1、SA0）

サブアクティブモードのCPUの動作クロック（ $\phi_W/8$ 、 $\phi_W/4$ 、 $\phi_W/2$ ）を選択します。SA1、SA0はサブアクティブモードでライトしても値は更新されません。

ビット1	ビット0	説明
SA1	SA0	
0	0	$\phi_W/8$ (初期値)
0	1	$\phi_W/4$
1	*	$\phi_W/2$

* Don't care

5.2 スリープモード

5.2.1 スリープモードへの遷移

(1) スリープ (高速) モードへの遷移

アクティブモードで、SYSCR1 の SSBY が"0"、LSON が"0"、SYSCR2 の MSON が"0"、DTON が"0"のとき SLEEP 命令を実行すると、スリープ (高速) モードに遷移します。スリープ (高速) モードでは CPU の動作は停止しますが、PWM を除く内蔵周辺モジュールは動作します。なお、CPU のレジスタの内容は保持されます。

(2) スリープ (中速) モードへの遷移

アクティブモードで、SYSCR1 の SSBY が"0"、LSON が"0"、SYSCR2 の MSON が"1"、DTON が"0"のとき SLEEP 命令を実行すると、スリープ (中速) モードに遷移します。スリープ (中速) モードではスリープ (高速) モードと同様、CPU の動作は停止し、PWM を除く内蔵周辺モジュールは動作します。ただし、スリープ (中速) モードでは、SYSCR1 の MA1、MA0 で設定した周波数のクロックによって動作します。CPU のレジスタの内容は保持されます。

5.2.2 スリープモードの解除

スリープモードの解除は、すべての割込み (タイマ A、タイマ B1、タイマ X、タイマ V、IRQ₃ ~ IRQ₀、INT₇ ~ INT₀、SCI3、SCI1、A/D 変換器)、 $\overline{\text{RES}}$ 端子入力によって行われます。

(1) 割込みによる解除

割込み要求が発生すると、スリープモードは解除され、割込み例外処理を開始します。

スリープ (高速) モードからはアクティブ (高速) モードに、スリープ (中速) モードからはアクティブ (中速) モードに遷移します。なお、CCR の I ビットが"1"のとき、あるいは割込み許可レジスタにより当該割込みの受付が禁止されている場合はスリープモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を"Low"レベルにするとリセット状態に遷移し、スリープモードは解除されます。

5.2.3 スリープ (中速) モードの動作周波数について

スリープ (中速) モードは、SYSCR1 の MA1、MA0 で設定した周波数のクロックによって動作します。

5.3 スタンバイモード

5.3.1 スタンバイモードへの遷移

アクティブモードで SYSCR1 の SSBY が "1"、LSON が "0"、および TMA の TMA3 が "0" のとき SLEEP 命令を実行すると、スタンバイモードに遷移します。スタンバイモードではクロック発生回路からのクロック供給を停止するため、CPU および内蔵周辺機能が停止します。規定の電圧が与えられている限り、CPU のレジスタと一部の内蔵周辺機能の内部レジスタ、および内蔵 RAM のデータは保持されています。さらに、RAM データ保持電圧で規定した電圧が与えられているかぎり、内蔵 RAM のデータは保持されています。このとき、I/O ポートはハイインピーダンス状態となります。

5.3.2 スタンバイモードの解除

スタンバイモードの解除は、割込み (IRQ₁、IRQ₀)、 $\overline{\text{RES}}$ 端子入力によって行われます。

(1) 割込みによる解除

割込み要求が発生すると、システムクロックの発振が開始され、SYSCR1 の STS2 ~ STS0 により設定された時間が経過した後、安定したシステムクロックが LSI 全体に供給されて、スタンバイモードは解除され、割込み例外処理を開始します。SYSCR2 の MSON が "0" のときはアクティブ (高速) モードに、"1" のときはアクティブ (中速) モードに遷移します。なお、CCR の I ビットが "1" のとき、あるいは、割込み許可レジスタにより当該割込みの受付が禁止されている場合は、スタンバイモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を "Low" レベルにすると、システムクロックの発振が開始されます。発振安定時間経過後、 $\overline{\text{RES}}$ 端子を "High" レベルにすると、CPU はリセット例外処理を開始します。なお、システムクロックの発振開始と同時に LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は、必ずシステムクロックの発振が安定するまで、"Low" レベルを保持してください。

5.3.3 スタンバイモード解除後の発振安定時間の設定

SYSCR1 の STS2 ~ STS0 の設定は、以下のようになしてください。

(1) 水晶発振の場合

表 5.4 に動作周波数と STS2 ~ STS0 の設定値に対する待機時間を示します。待機時間が 10ms 以上となるように STS2 ~ STS0 を設定してください。

表 5.4 動作周波数と発振安定時間

(単位 : ms)

STS2	STS1	STS0	待機時間	5MHz	4MHz	2MHz	1MHz	0.5MHz
0	0	0	8,192 ステート	1.6	2.0	4.1	8.2	16.4
0	0	1	16,384 ステート	3.2	4.1	8.2	16.4	32.8
0	1	0	32,768 ステート	6.6	8.2	16.4	32.8	65.5
0	1	1	65,536 ステート	13.1	16.4	32.8	65.5	131.1
1	*	*	131,072 ステート	26.2	32.8	65.5	131.1	262.1

* Don't care

(2) 外部クロックの場合

任意の値を選択可能です。通常の場合は、最小時間 (STS2 = STS1 = STS0 = "0") の使用を推奨します。

5.4 ウォッチモード

5.4.1 ウォッチモードへの遷移

アクティブモード、サブアクティブモードで SYSCR1 の SSBY が "1"、TMA の TMA3 が "1" のとき SLEEP 命令を実行すると、ウォッチモードに遷移します。ウォッチモードではタイマ A 以外の内蔵周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺機能の内部レジスタ、および内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

5.4.2 ウォッチモードの解除

ウォッチモードの解除は、割込み (IRQ₀、タイマ A)、 $\overline{\text{RES}}$ 端子入力によって行われます。

(1) 割込みによる解除

タイマ A 割込みまたは IRQ₀ 割込み要求が発生するとウォッチモードは解除され、SYSCR1 の LSON と SYSCR2 の MSON の組合せで、LSON = "0" かつ MSON = "0" のときはアクティブ (高速) モードに、LSON = "0" かつ MSON = "1" のときはアクティブ (中速) モードに、LSON = "1" のときはサブアクティブモードに遷移します。アクティブモードに遷移するときは、SYSCR1 の STS2 ~ STS0 により設定された時間が経過した後、安定したクロックが LSI 全体に供給され、割込み例外処理を開始します。なお、CCR の I ビットが "1" の場合、あるいは割込み許可レジスタにより当該割込みの受付けが禁止されている場合は、ウォッチモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「5.3.2 スタンバイモードの解除 (2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

5.4.3 ウォッチモード解除後の発振安定時間の設定

ウォッチモード解除後の発振安定時間の設定については、「5.3.3 スタンバイモード解除後の発振安定時間の設定」を参照してください。

5.5 サブスリープモード

5.5.1 サブスリープモードへの遷移

サブアクティブモードで SYSCR1 の SSBY が"0"、LSON が"1"、TMA の TMA3 が"1"のとき SLEEP 命令を実行すると、サブスリープモードに遷移します。サブスリープモードでは、タイマ A、タイマ C 以外の内蔵周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺機能の内部レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

5.5.2 サブスリープモードの解除

サブスリープモードの解除は、割込み（タイマ A、IRQ₃ ~ IRQ₀、INT₇ ~ INT₀）、 $\overline{\text{RES}}$ 端子入力によって行われます。

（１）割込みによる解除

割込み要求が発生するとサブスリープモードは解除され、割込み例外処理を開始します。なお、CCR の I ビットが"1"の場合、あるいは割込み許可レジスタにより当該割込みの受付が禁止されている場合は、サブスリープモードは解除されません。

（２） $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「5.3.2 スタンバイモードの解除 （２） $\overline{\text{RES}}$ 端子による解除」を参照してください。

5.6 サブアクティブモード

5.6.1 サブアクティブモードへの遷移

ウォッチモードで割込み（タイマ A、 IRQ_0 ）が発生したとき、SYSCR1 の LSON が"1" ならば、サブアクティブモードに遷移します。また、サブスリープモードで割込み（タイマ A、 $IRQ_3 \sim IRQ_0$ 、 $INT_7 \sim INT_0$ ）が発生したとき、サブアクティブモードに遷移します。なお、CCR の I ビットが"1"の場合、または割込み許可レジスタにより当該割込みの受付が禁止されている場合は、サブアクティブモードに遷移しません。

5.6.2 サブアクティブモードの解除

サブアクティブモードの解除は、SLEEP 命令または $\overline{RES}$ 端子入力により行われます。

（1）SLEEP 命令による解除

SYSCR1 の SSBY が"1"、TMA の TMA3 が"1"の状態では SLEEP 命令を実行すると、サブアクティブモードは解除され、ウォッチモードに遷移します。また、SYSCR1 の SSBY が"0"、LSON が"1"、TMA の TMA3 が"1"の状態では SLEEP 命令を実行すると、サブスリープモードに遷移します。また、直接遷移によってアクティブモードへ遷移します。

直接遷移の詳細は「5.8 直接遷移」を参照してください。

（2） $\overline{RES}$ 端子による解除

$\overline{RES}$ 端子による解除については、「5.3.2 スタンバイモードの解除 （2） $\overline{RES}$ 端子による解除」を参照してください。

5.6.3 サブアクティブモードの動作周波数について

サブアクティブモードの動作周波数は、SYSCR2 の SA1、SA0 により、ウォッチクロック（ ϕ_w ）の 2 分周、4 分周、8 分周から選択できます。

5.7 アクティブ（中速）モード

5.7.1 アクティブ（中速）モードへの遷移

スタンバイモードで割込み（ IRQ_i 、 IRQ_0 ）が発生したとき、ウォッチモードで割込み（タイマ A、 IRQ_0 ）が発生したとき、あるいはスリープ（中速）モードですべての割込みが発生したとき、SYSCR1 の LSON が"0"かつ SYSCR2 の MSON が"1"ならば、アクティブ（中速）モードに遷移します。なお、CCR の I ビットが"1"の場合、または割込み許可レジスタにより当該割込みの受付が禁止されている場合は、アクティブ（中速）モードに遷移しません。

5.7.2 アクティブ（中速）モードの解除

アクティブ（中速）モードの解除は、SLEEP 命令または $\overline{RES}$ 端子入力により行われます。

（1）SLEEP 命令による解除

SYSCR1 の SSBY が"1"、LSON が"0"、TMA の TMA3 が"0"の状態では SLEEP 命令を実行すると、スタンバイモードに遷移します。SYSCR1 の SSBY が"1"、TMA の TMA3 が"1"の状態では SLEEP 命令を実行すると、ウォッチモードに遷移します。

SYSCR1 の SSBY が"0"、LSON が"0"の状態では SLEEP 命令を実行すると、SYSCR2 の MSON が"0"のときスリープ（高速）モードに、MSON が"1"のときスリープ（中速）モードに遷移します。直接遷移によってアクティブ（高速）モード、またはサブアクティブモードへ遷移します。

直接遷移の詳細は「5.8 直接遷移」を参照してください。

（2） $\overline{RES}$ 端子による解除

$\overline{RES}$ 端子を"Low"レベルにすると、リセット状態に遷移し、アクティブ（中速）モードは解除されます。

5.7.3 アクティブ（中速）モードの動作周波数について

アクティブ（中速）モードは、SYSCR1 の MA1、MA0 で設定した周波数のクロックによって動作します。

5.8 直接遷移

CPU がプログラムを実行している動作モードにはアクティブ（高速）モード、アクティブ（中速）モード、サブアクティブモードの3つのモードがあります。この3つの動作モードの間で、プログラムを停止する事なく遷移することを直接遷移と呼びます。直接遷移は SYSCR2 の DTON を"1"にセットし、SLEEP 命令を実行することにより可能です。遷移後は直接遷移割込み例外処理を開始します。なお、割込み許可レジスタ2により直接遷移割込みが禁止されている場合は、スリープモードまたはウォッチモードへ遷移します。また、CCR の I ビットを"1"の状態で行うとスリープモードまたはウォッチモードに遷移し、遷移後のモードから割込みによる解除は不可能となりますので注意してください。

（1）アクティブ（高速）モードからアクティブ（中速）モードへの直接遷移

アクティブ（高速）モードで SYSCR1 の SSBY を"0"、LSON を"0"、SYSCR2 の MSON を"1"、DTON を"1"にセットした状態で SLEEP 命令を実行すると、スリープモードを経由してアクティブ（中速）モードに遷移します。

（2）アクティブ（中速）モードからアクティブ（高速）モードへの直接遷移

アクティブ（中速）モードで SYSCR1 の SSBY を"0"、LSON を"0"、SYSCR2 の MSON を"0"、DTON を"1"にセットした状態で SLEEP 命令を実行すると、スリープモードを経由してアクティブ（高速）モードに遷移します。

（3）アクティブ（高速）モードからサブアクティブモードへの直接遷移

アクティブ（高速）モードで SYSCR1 の SSBY を"1"、LSON を"1"、SYSCR2 の DTON を"1"、TMA の TMA3 を"1"にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

（4）サブアクティブモードからアクティブ（高速）モードへの直接遷移

サブアクティブモードで SYSCR1 の SSBY を"1"、LSON を"0"、SYSCR2 の MSON を"0"、DTON を"1"、TMA の TMA3 を"1"にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由し、SYSCR1 の STS2～STS0 により設定された時間を経過した後、直接、アクティブ（高速）モードに遷移します。

（5）アクティブ（中速）モードからサブアクティブモードへの直接遷移

アクティブ（中速）モードで SYSCR1 の SSBY を"1"、LSON を"1"、SYSCR2 の DTON を"1"、TMA の TMA3 を"1"にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

(6) サブアクティブモードからアクティブ（中速）モードへの直接遷移

サブアクティブモードで SYSCR1 の SSBY を"1"、LSON を"0"、SYSCR2 の MSON を"1"、DTON を"1"、TMA の TMA3 を"1"にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由し、SYSCR1 の STS2～STS0 により設定された時間を経過した後、直接、アクティブ（中速）モードに遷移します。

6. ROM

第 6 章 目次

6.1	概要	119
	6.1.1 ブロック図	119
6.2	PROM モード	120
	6.2.1 PROM モードの設定	120
	6.2.2 ソケットアダプタの端子対応とメモリマップ	120
6.3	プログラミング	123
	6.3.1 書込み / ベリファイ	124
	6.3.2 書込み時の注意	126
6.4	書込み後の信頼性	127

6.1 概要

H8/3657 は 60k バイト、H8/3656 は 48k バイト、H8/3655 は 40k バイト、H8/3654 は 32k バイト、H8/3653 は 24k バイト、H8/3652 は 16k バイトのマスキング ROM を内蔵しています。また、H8/3657 は 60k バイトの PROM を内蔵しています。ROM は 16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータにかかわらず 2 ステートの高速アクセスが可能です。

6.1.1 ブロック図

ROM のブロック図を図 6.1 に示します。

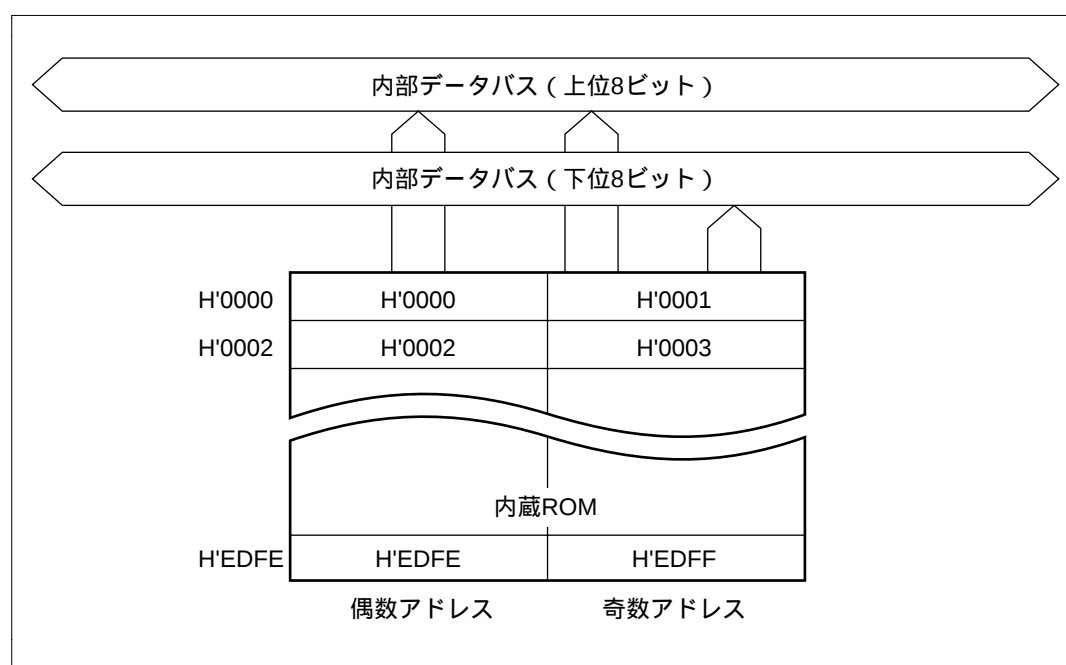


図 6.1 ROM のブロック図 (H8/3657 の場合)

6.2 PROM モード

6.2.1 PROM モードの設定

内蔵 ROM が PROM の場合、PROM モードに設定すると、マイクロコンピュータとしての機能が停止して、HN27C101 と同一の方法で内蔵 PROM のプログラムを行うことができます。

PROM モードの設定方法を、表 6.1 に示します。

表 6.1 PROM モードの設定

端子名	設定
TEST 端子	"High" レベル
PB ₄ /AN ₄ 端子	"Low" レベル
PB ₅ /AN ₅ 端子	
PB ₆ /AN ₆ 端子	"High" レベル

6.2.2 ソケットアダプタの端子対応とメモリマップ

PROM のプログラムは、表 6.2 で示すようにパッケージに対応したソケットアダプタを付けて、32 ピンに変換し、汎用 PROM ライタでプログラミングを行います。

ソケットアダプタの端子対応図を図 6.2 に示します。また、メモリマップを図 6.3 に示します。

表 6.2 ソケットアダプタ

パッケージ名	ソケットアダプタの名称
80 ピン (TFP-80F)	
80 ピン (TFP-80C)	
80 ピン (FP-80A)	
80 ピン (FP-80B)	

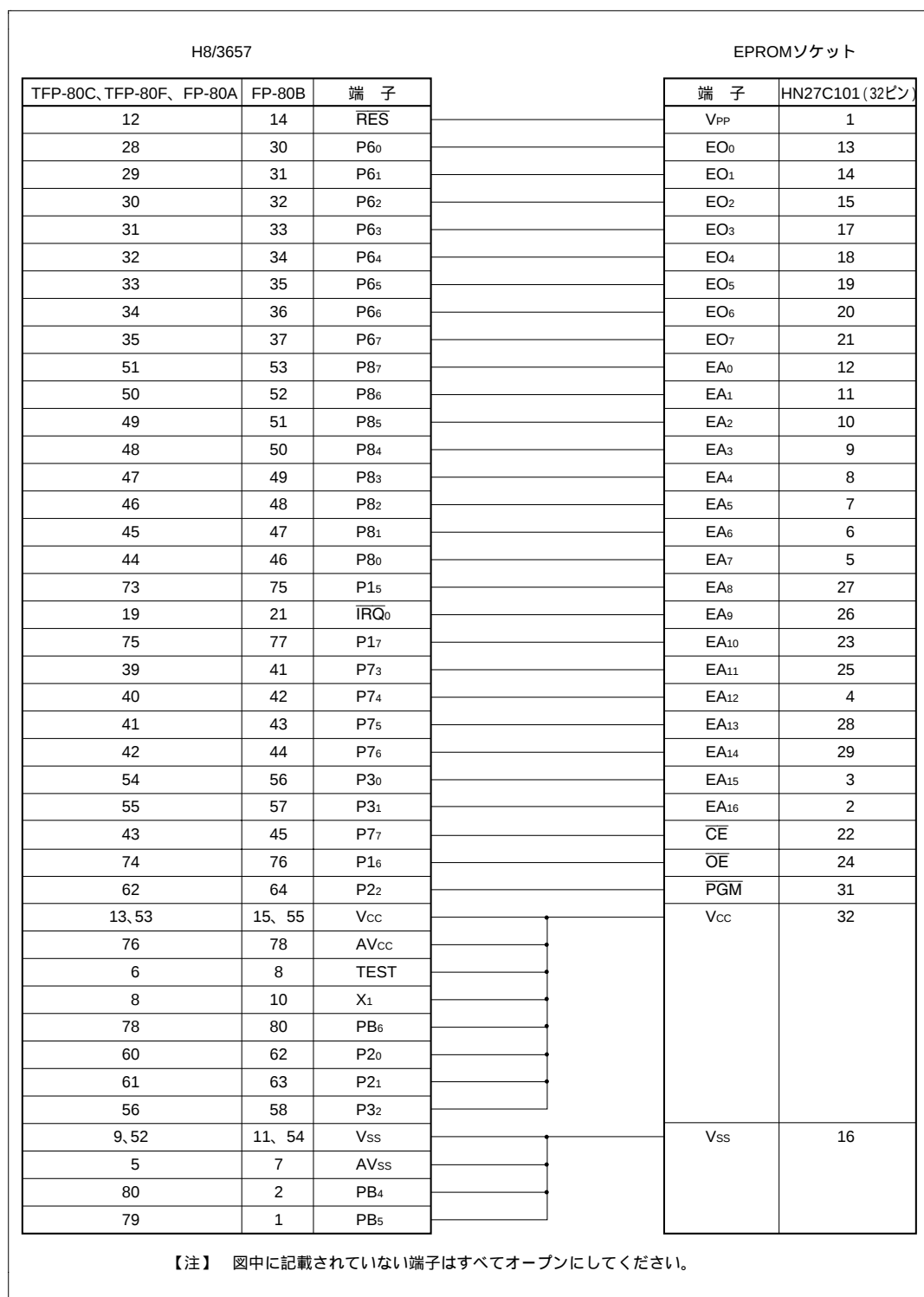


図 6.2 ソケットアダプタの端子対応図 (HN27C101)

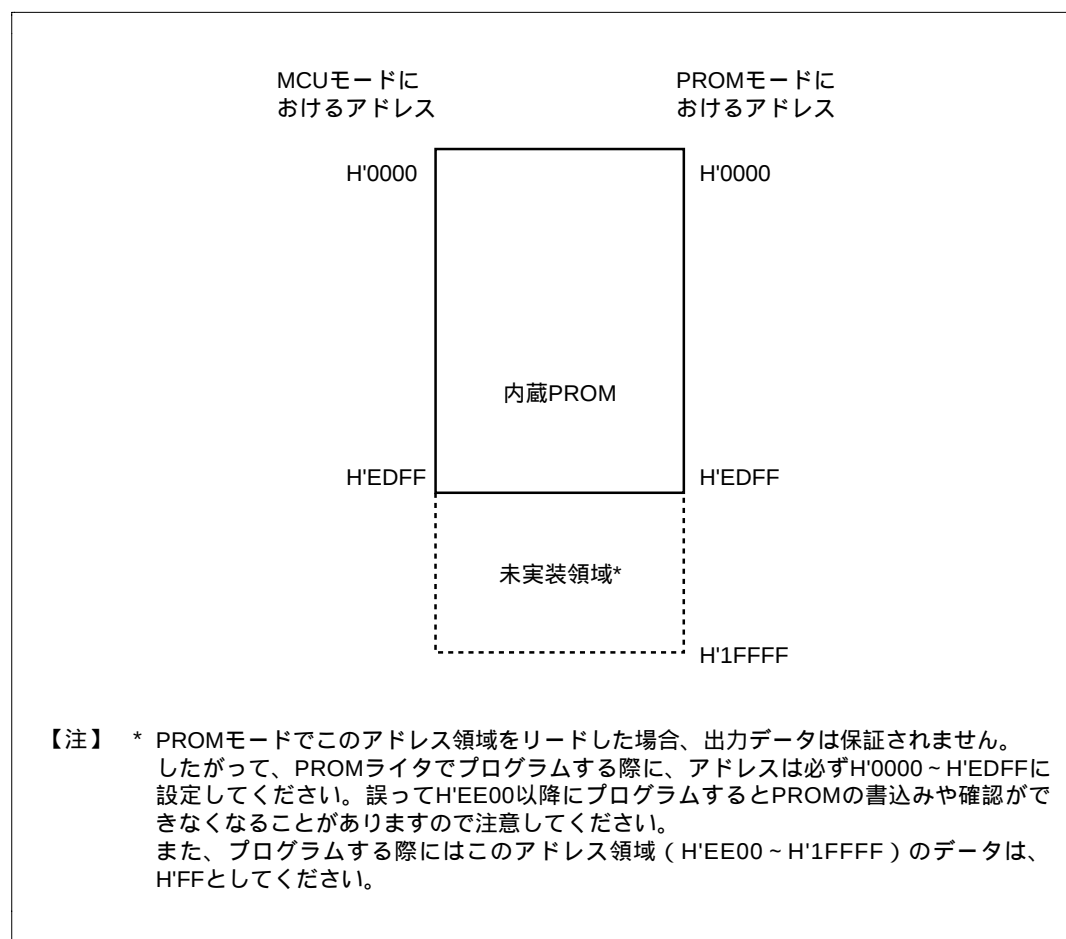


図 6.3 PROM モード時のメモリマップ

6.3 プログラミング

H8/3657 の PROM モード時の書込み、ベリファイなどのモード選択は、表 6.3 に示すような設定により行います。

表 6.3 PROM モード時の書込みモードの選択 (H8/3657)

モード	ピン						
	$\overline{CE}$	$\overline{OE}$	$\overline{PGM}$	V_{pp}	V_{CC}	$EO_7 \sim EO_0$	$EA_{16} \sim EA_0$
書込み	L	H	L	V_{pp}	V_{CC}	データ入力	アドレス入力
ベリファイ	L	L	H	V_{pp}	V_{CC}	データ出力	アドレス入力
プログラミング禁止	L	L	L	V_{pp}	V_{CC}	ハイインピーダンス	アドレス入力
	L	H	H				
	H	L	L				
	H	H	H				

記号説明

L : "Low"レベル

H : "High"レベル

V_{pp} : " V_{pp} "レベル

V_{CC} : " V_{CC} "レベル

なお、書込み、読出しは、標準 EPROM の HN27C101 と同じ仕様になっています。ただし、ページプログラミング方式はサポートしていませんので、ページプログラミングモードに設定しないでください。ページプログラミングモードのみをサポートしている PROM ライタは使用できません。PROM ライタを選択する場合には、1 バイトごとの高速高信頼度プログラミング方式をサポートしていることを確認してください。また、アドレスは必ず H'0000 ~ H'EDFF に設定してください。

6.3.1 書込み / ベリファイ

書込み / ベリファイは効率のよい高速高信頼度プログラミング方式で行うことができます。この方式は、デバイスへの電圧ストレス、あるいは書込みデータの信頼性を損うことなく高速な書込みを行うことができます。

高速高信頼度プログラミングの基本的なフローを図 6.4 に示します。

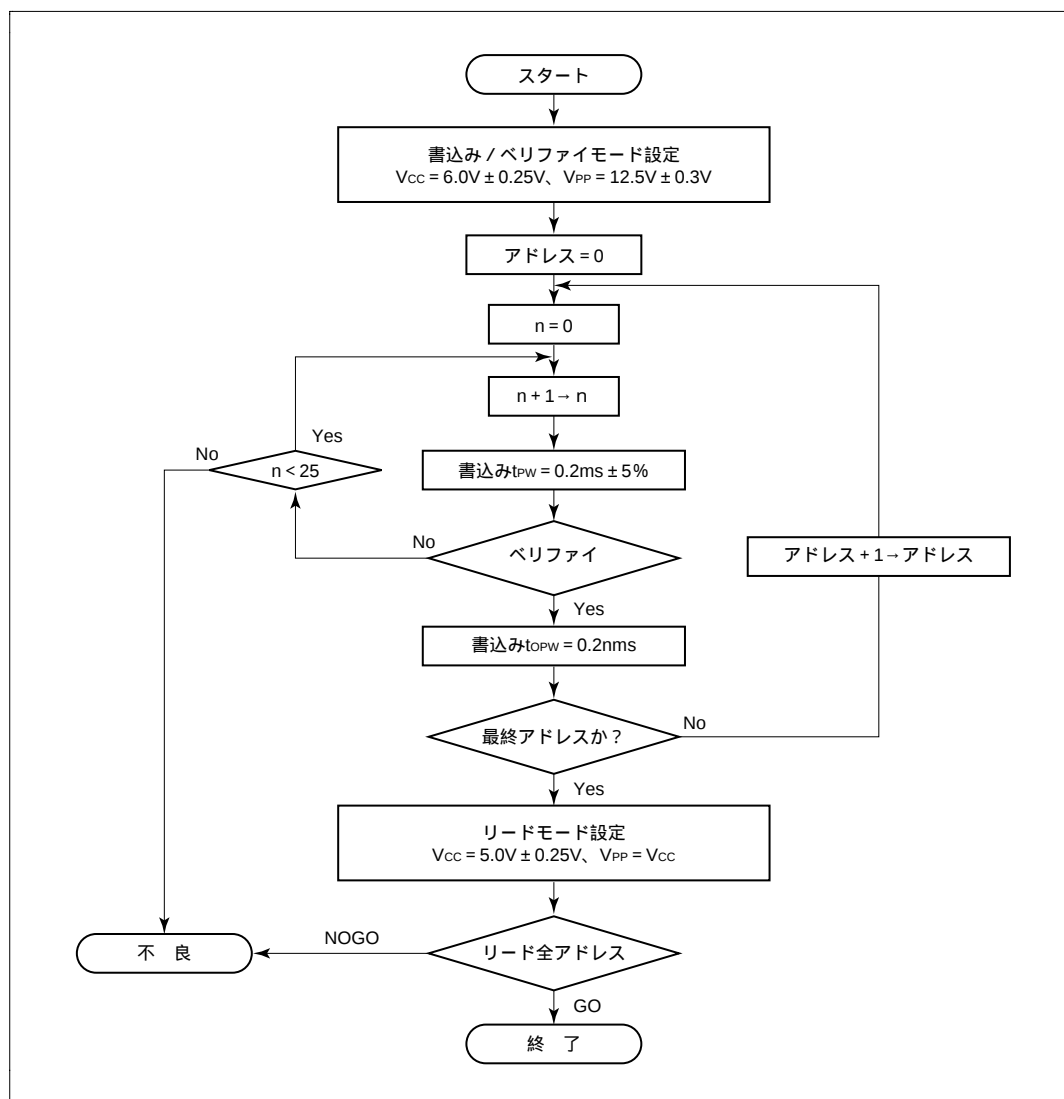


図 6.4 高速高信頼度プログラミングフローチャート

プログラミング時の電気的特性を表 6.4、表 6.5 に示します。

表 6.4 DC 特性

(条件 : $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	min	typ	max	単位	測定条件
入力"High" レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ $\overline{OE}$ 、 $\overline{CE}$ 、 $\overline{PGM}$	V_{IH}	2.4	—	$V_{CC} + 0.3$	V
入力"Low" レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ $\overline{OE}$ 、 $\overline{CE}$ 、 $\overline{PGM}$	V_{IL}	-0.3	—	0.8	V
出力"High" レベル電圧	$EO_7 \sim EO_0$	V_{OH}	2.4	—	—	V $I_{OH} = -200\mu A$
出力"Low" レベル電圧	$EO_7 \sim EO_0$	V_{OL}	—	—	0.45	V $I_{OL} = 0.8mA$
入力 リーク電流	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ $\overline{OE}$ 、 $\overline{CE}$ 、 $\overline{PGM}$	$ I_{LI} $	—	—	2	μA $V_{in} = 5.25V/0.5V$
V_{CC} 電流		I_{CC}	—	—	40	mA
V_{PP} 電流		I_{PP}	—	—	40	mA

表 6.5 AC 特性

(条件 : $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $T_a = 25 \pm 5$)

項目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間	t_{AS}	2	—	—	μs	図 6.5*1
$\overline{OE}$ セットアップ時間	t_{OES}	2	—	—	μs	
データセットアップ時間	t_{DS}	2	—	—	μs	
アドレスホールド時間	t_{AH}	0	—	—	μs	
データホールド時間	t_{DH}	2	—	—	μs	
データ出力ディスエーブル時間	t_{DF}^{*2}	—	—	130	ns	
V_{PP} セットアップ時間	t_{VPS}	2	—	—	μs	
プログラムパルス幅	t_{PW}	0.19	0.20	0.21	ms	
オーバプログラム時の $\overline{PGM}$ パルス幅	t_{OPW}^{*3}	0.19	—	5.25	ms	
V_{CC} セットアップ時間	t_{VCS}	2	—	—	μs	
$\overline{CE}$ セットアップ時間	t_{CES}	2	—	—	μs	
データ出力遅延時間	t_{OE}	0	—	200	ns	

【注】 *1 入力パルスレベル : 0.45 ~ 2.4V

入力立上がり / 立下がり時間 20ns

タイミング参照レベル 入力 : 0.8V、2.0V

出力 : 0.8V、2.0V

*2 t_{DF} は出力が解放状態に達し、出力レベルを参照できなくなった場合で定義します。

*3 t_{OPW} は図 6.4 高速高信頼度プログラミングフローチャートに記載した値で定義されます。

PROM の書込み / ベリファイタイミングを図 6.5 に示します。

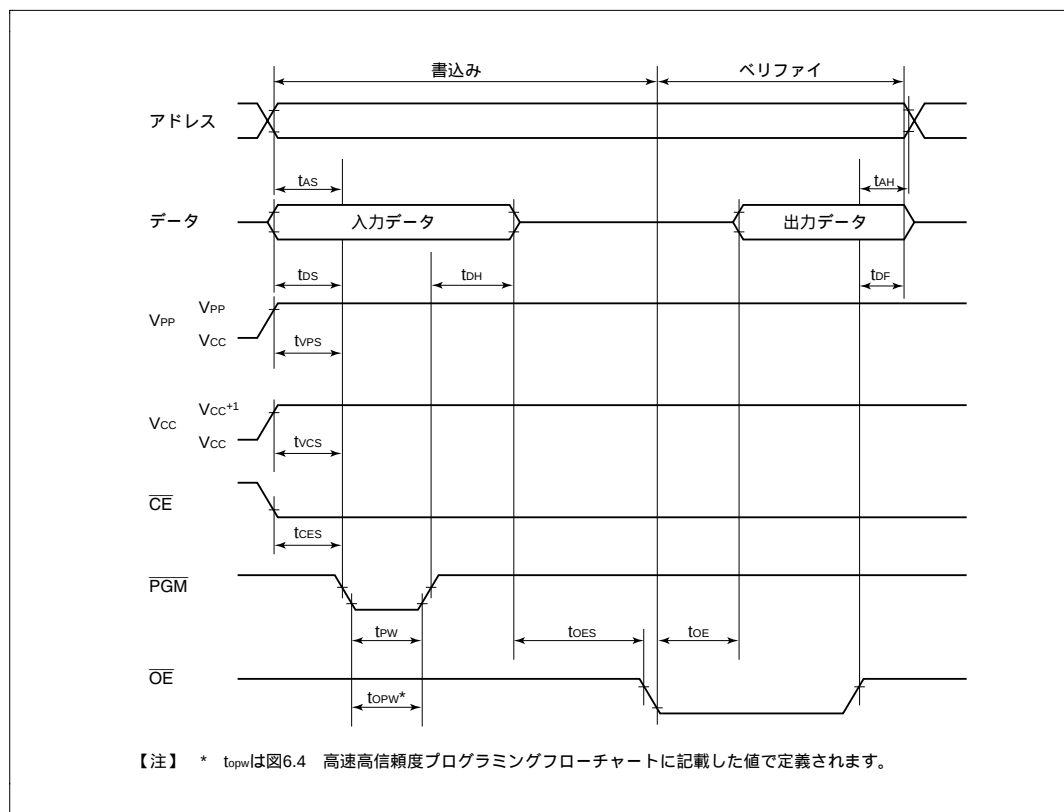


図 6.5 PROM 書込み / ベリファイタイミング

6.3.2 書込み時の注意

- (1) 書込みは規定された電圧、タイミングで行ってください。
PROM モード時のプログラム電圧 (V_{pp}) は 12.5V です。
定格以上の電圧を加えると、製品の永久破壊に至りますので、注意してください。特に PROM ライタのオーバシュートなどには十分注意してください。
PROM ライタの HN27C101 の日立仕様にセットすると、 V_{pp} は 12.5V になります。
- (2) PROM ライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していないと、過剰電流によって製品が破壊することがあります。書込み前に正しく PROM ライタに装着されていることを必ず確認してください。
- (3) 書込み中はソケットアダプタおよび製品には触れないようにしてください。接触不良により書込み不良となる場合があります。
- (4) プログラミングモードは、ページプログラミング方式をサポートしていませんので、プログラミングモードの設定には注意してください。
- (5) PROM ライタでプログラムする際に、アドレスは必ず H'0000 ~ H'EDFF に設定してください。誤って H'EE00 以降にプログラムすると、PROM の書込みや確認ができなくなることがありますので注意してください。またプログラムする際には H'EE00 ~ H'1FFFF のアドレス領域のデータは H'FF としてください。

6.4 書込み後の信頼性

データ書込み後、データ保持特性を向上させるために、150 の高温放置をしてスクリーニングを行うと大変有効です。高温放置は、スクリーニングのひとつであり、PROM メモリセルの初期のデータ保持不良を短時間で除くことができます。

図 6.6 に推奨するスクリーニングフローを示します。

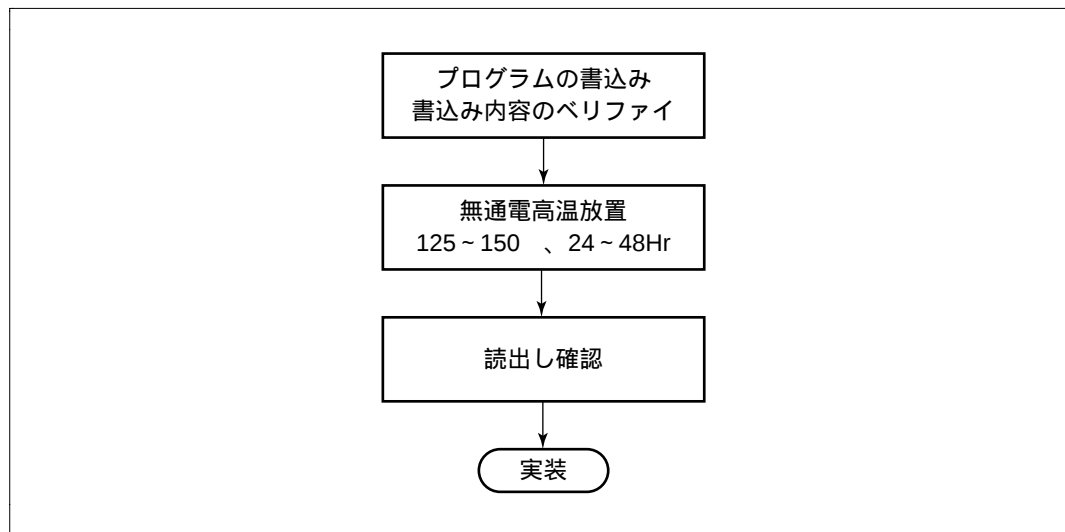


図 6.6 推奨スクリーニングフロー

同じ PROM ライタでプログラミング中、書込み不良が連続して発生した場合には書込みを中止し、PROM ライタ、ソケットアダプタなどに異常がないか確認してください。

なお、書込みあるいは高温放置後のプログラム確認において異常がありましたら、当社技術担当にご連絡ください。

7. RAM

第7章 目次

7.1	概要.....	131
7.1.1	ブロック図.....	131

7.1 概要

H8/3657 シリーズは1kバイトまたは2kバイトの高速スタティックRAMを内蔵しています。RAM は 16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータにかかわらず 2 ステートの高速アクセスが可能です。

7.1.1 ブロック図

RAM のブロック図を図 7.1 に示します。

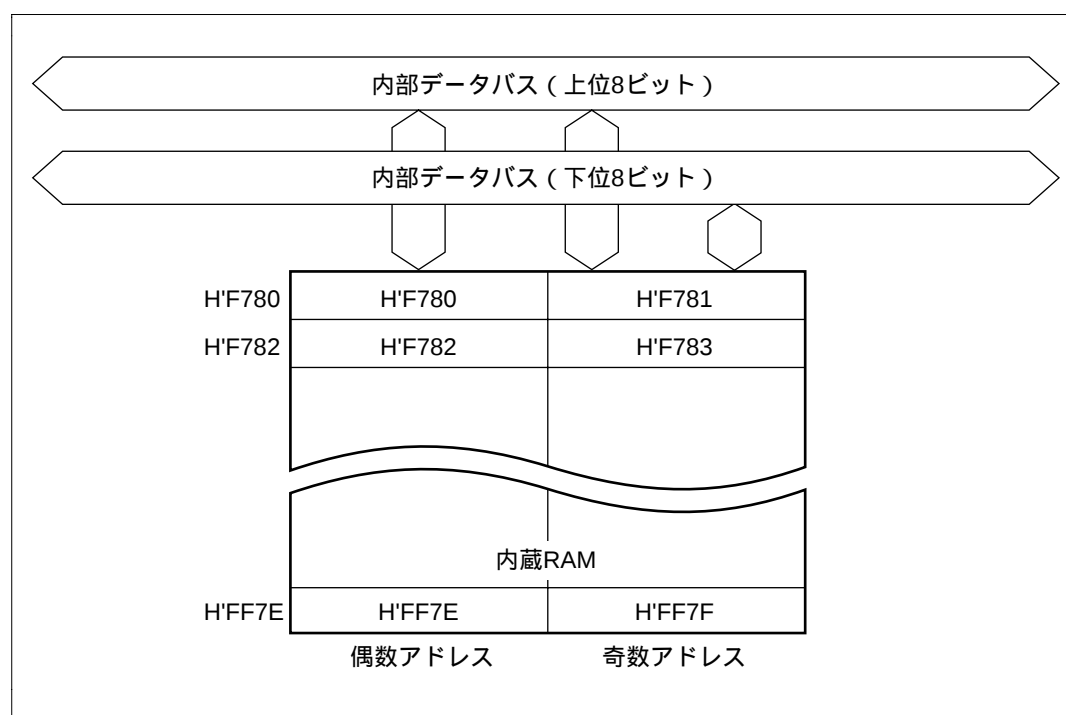


図 7.1 RAM のブロック図（2k バイト ROM の例）

8. I/O ポート

第8章 目次

8.1	概要	135
8.2	ポート 1.....	137
	8.2.1 概要	137
	8.2.2 レジスタの構成と説明.....	137
	8.2.3 端子機能.....	141
	8.2.4 端子状態.....	142
	8.2.5 入力プルアップ MOS.....	142
8.3	ポート 2.....	143
	8.3.1 概要	143
	8.3.2 レジスタの構成と説明.....	143
	8.3.3 端子機能.....	145
	8.3.4 端子状態.....	145
8.4	ポート 3.....	146
	8.4.1 概要	146
	8.4.2 レジスタの構成と説明.....	146
	8.4.3 端子機能.....	150
	8.4.4 端子状態.....	150
	8.4.5 入力プルアップ MOS.....	151
8.5	ポート 5.....	152
	8.5.1 概要	152
	8.5.2 レジスタの構成と説明.....	152
	8.5.3 端子機能.....	154
	8.5.4 端子状態.....	154
	8.5.5 入力プルアップ MOS.....	155
8.6	ポート 6.....	156
	8.6.1 概要	156
	8.6.2 レジスタの構成と説明.....	156

	8.6.3	端子機能.....	157
	8.6.4	端子状態.....	157
8.7	ポート 7.....		158
	8.7.1	概要	158
	8.7.2	レジスタの構成と説明.....	158
	8.7.3	端子機能.....	160
	8.7.4	端子状態.....	160
8.8	ポート 8.....		161
	8.8.1	概要	161
	8.8.2	レジスタの構成と説明.....	161
	8.8.3	端子機能.....	162
	8.8.4	端子状態.....	163
8.9	ポート 9.....		164
	8.9.1	概要	164
	8.9.2	レジスタの構成と説明.....	164
	8.9.3	端子機能.....	165
	8.9.4	端子状態.....	166
8.10	ポート B.....		167
	8.10.1	概要	167
	8.10.2	レジスタの構成と説明.....	167
	8.10.3	端子機能.....	168
	8.10.4	端子状態.....	168
8.11	使用上の注意事項		168

8.1 概要

本 LSI は、8 ビット入出力ポートを 6 本、6 ビット入出力ポートを 1 本、5 ビット入出力ポートを 1 本、8 ビット入力専用ポートを 1 本備えています。

各ポートの機能一覧を表 8.1 に示します。

各ポートは、入出力を制御するポートコントロールレジスタ (PCR) と、出力データを格納するポートデータレジスタ (PDR) から構成され、ビット単位に入出力を制御できます。PCR、PDR に対してのビット操作命令の実行については、「2.9.2 ビット操作命令 使用上の注意事項」を参照してください。

各ポートのブロック図は「付録 C. I/O ポートブロック図」を参照してください。

表 8.1 ポートの機能

ポート	概要	端子	兼用機能	機能切換え 制御レジスタ
ポート 1	・ 8 ビット入出力ポート ・ 入力プルアップ MOS 選択可	P1 ₇ / $\overline{\text{IRQ}}_3$ /TRGV	外部割込み 3、タイマ V トリガ入力	PMR1
		P1 ₆ ~ P1 ₅ / $\overline{\text{IRQ}}_2$ ~ $\overline{\text{IRQ}}_1$	外部割込み 2 ~ 1	
		P1 ₄ /PWM	14 ビット PWM 出力	PMR1
		P1 ₃ ~ P1 ₁		
		P1 ₀ /TMOW	タイマ A クロック出力	PMR1
ポート 2	・ 8 ビット入出力ポート	P2 ₇ ~ P2 ₃		
		P2 ₂ /TXD	SCI3 データ出力	PMR7
		P2 ₁ /RXD	SCI3 データ入力	SCR3
		P2 ₀ /SCK ₁	SCI3 クロック入出力	SCR3、SMR
ポート 3	・ 6 ビット入出力ポート ・ 入力プルアップ MOS 選択可	P3 ₅ ~ P3 ₃		
		P3 ₂ /SO ₁	SCI1 データ出力 (SO ₁)、データ入力	PMR3
		P3 ₁ /SI ₁	(SI ₁)、クロック入出力 (SCK ₁)	
		P3 ₀ /SCK ₁		
ポート 5	・ 8 ビット入出力ポート ・ 入力プルアップ MOS	P5 ₇ / $\overline{\text{INT}}_7$	INT 割込み 7	
		P5 ₆ / $\overline{\text{INT}}_6$ /TMIB	INT 割込み 6 タイマ B1 イベント入力	
		P5 ₅ / $\overline{\text{INT}}_5$ /ADTRG	INT 割込み 5 A/D 変換器外部トリガ入力	
		P5 ₄ ~ P5 ₀ $\overline{\text{INT}}_4$ ~ $\overline{\text{INT}}_0$	INT 割込み 4 ~ 0	
ポート 6	・ 8 ビット入出力ポート	P6 ₇ ~ P6 ₀		
ポート 7	・ 8 ビット入出力ポート	P7 ₇		
		P7 ₆ /TMOV	タイマ V コンペアマッチ出力	TCSRv
		P7 ₅ /TMCIV	タイマ V クロック入力	
		P7 ₄ /TMRIV	タイマ V リセット入力	
		P7 ₃ ~ P7 ₀		
ポート 8	・ 8 ビット入出力ポート	P8 ₇		
		P8 ₆ /FTID	タイマ X インพุットキャップチャ D 入力	
		P8 ₅ /FTIC	タイマ X インพุットキャップチャ C 入力	
		P8 ₄ /FTIB	タイマ X インพุットキャップチャ B 入力	
		P8 ₃ /FTIA	タイマ X インพุットキャップチャ A 入力	
		P8 ₂ /FTOB	タイマ X アウトพุットコンペア B 出力	TOCR
		P8 ₁ /FTOA	タイマ X アウトพุットコンペア A 出力	TOCR
ポート 9	・ 5 ビット入出力ポート	P8 ₀ /FTCI	タイマ X クロック入力	
		P9 ₀ ~ P9 ₄		
ポート B	・ 8 ビット入力ポート	PB ₇ ~ PB ₀ /AN ₇ ~ AN ₀	A/D 変換器のアナログ入力 (AN ₇ ~ AN ₀)	

8.2 ポート 1

8.2.1 概要

ポート 1 は、8 ビットの入出力ポートです。ポート 1 の各端子は、図 8.1 に示す構成になっています。

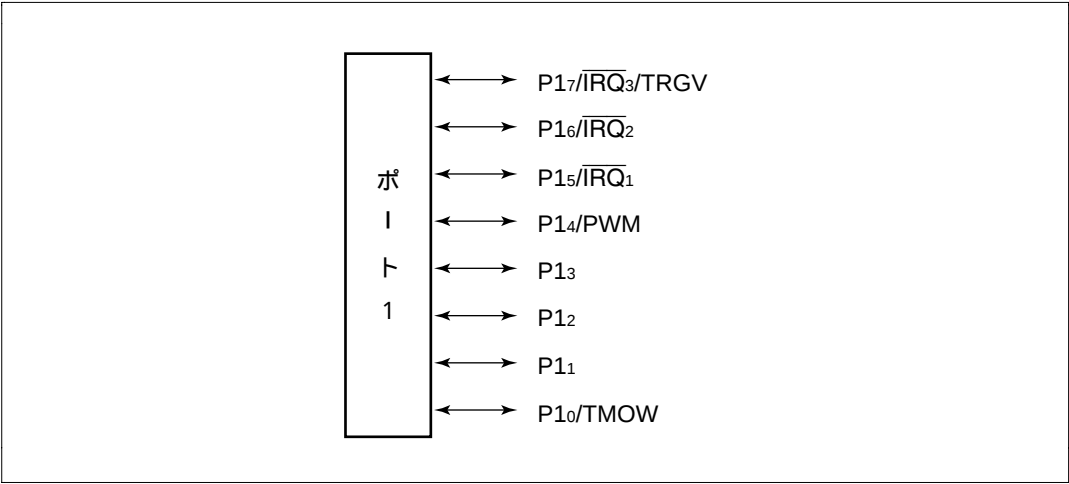


図 8.1 ポート 1 の端子構成

8.2.2 レジスタの構成と説明

表 8.2 にポート 1 のレジスタ構成を示します。

表 8.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 1	PDR1	R/W	H'00	H'FFD4
ポートコントロールレジスタ 1	PCR1	W	H'00	H'FFE4
ポートプルアップコントロールレジスタ 1	PUCR1	R/W	H'00	H'FFED
ポートモードレジスタ 1	PMR1	R/W	H'04	H'FFFC

(1) ポートデータレジスタ 1 (PDR1)

ビット:	7	6	5	4	3	2	1	0
	P17	P16	P15	P14	P13	P12	P11	P10
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR1 は、ポート 1 の各端子 P1₇ ~ P1₀ のデータを格納する 8 ビットのレジスタです。

PCR1 が "1" のとき、ポート 1 のリードを行うと、PDR1 の値を直接リードします。そのため端子状態の影響を受けません。PCR1 が "0" のとき、ポート 1 のリードを行うと、端子状態が読み出されます。

リセット時、PDR1 は H'00 にイニシャライズされます。

(2) ポートコントロールレジスタ 1 (PCR1)

ビット:	7	6	5	4	3	2	1	0
	PCR17	PCR16	PCR15	PCR14	PCR13	PCR12	PCR11	PCR10
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR1 は、ポート 1 の各端子 P1₇ ~ P1₀ の入出力をビットごとに制御します。PCR1 に "1" をセットすると対応する P1₇ ~ P1₀ 端子は出力端子となり、"0" にクリアすると入力端子となります。PMR1 により当該端子が汎用入出力に設定されている場合には、PCR1 および PDR1 の設定が有効となります。

リセット時、PCR1 は H'00 にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に "1" が読み出されます。

(3) ポートプルアップコントロールレジスタ 1 (PUCR1)

ビット:	7	6	5	4	3	2	1	0
	PUCR17	PUCR16	PUCR15	PUCR14	PUCR13	PUCR12	PUCR11	PUCR10
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR1 は、ポート 1 の各端子 P1₇ ~ P1₀ のプルアップ MOS をビットごとに制御します。

PCR1 が "0" の状態で PUCR1 に "1" をセットすると対応するプルアップ MOS は ON 状態となり、"0" にクリアすると OFF 状態となります。

リセット時、PUCR1 は H'00 にイニシャライズされます。

(4) ポートモードレジスタ 1 (PMR1)

ビット:	7	6	5	4	3	2	1	0
	IRQ3	IRQ2	IRQ1	PWM	—	—	—	TMOW
初期値:	0	0	0	0	0	1	0	0
R/W :	R/W	R/W	R/W	R/W	—	—	—	R/W

PMR1 は、8 ビットのリード/ライト可能なレジスタで、ポート 1 の各端子機能の切換えを制御します。

リセット時、PMR1 は H'04 にイニシャライズされます。

ビット 7 : P1₇/IRQ₃/TRGV 端子機能切換え (IRQ3)

P1₇/IRQ₃/TRGV 端子を P1₇ 端子として使用するか、IRQ₃/TRGV 端子として使用するかを設定します。

ビット 7	説明
IRQ3	
0	P1 ₇ 入出力端子として機能 (初期値)
1	IRQ ₃ /TRGV 入力端子として機能

【注】 IRQ₃ 端子は立上がり / 立下がりエッジセンスを選択できます。TRGV 端子は立上がり / 立下がり / 立上がり立下がり両エッジセンスを選択できます。

TRGV 端子の設定については、「9.8.2(5) タイマコントロールレジスタ V1 (TCRV1)」を参照してください。

ビット 6 : P1₆/IRQ₂ 端子機能切換え (IRQ2)

P1₆/IRQ₂ 端子を P1₆ 端子として使用するか、IRQ₂ 端子として使用するかを設定します。

ビット 6	説明
IRQ2	
0	P1 ₆ 入出力端子として機能 (初期値)
1	IRQ ₂ 入力端子として機能

【注】 IRQ₂ 端子は立上がり / 立下がりエッジセンスを選択できます。

ビット 5 : P1₅/IRQ₁ 端子機能切換え (IRQ1)

P1₅/IRQ₁ 端子を P1₅ 端子として使用するか、IRQ₁ 端子として使用するかを設定します。

ビット 5	説明
IRQ1	
0	P1 ₅ 入出力端子として機能 (初期値)
1	IRQ ₁ 入力端子として機能

【注】 IRQ₁ 端子は立上がり / 立下がりエッジセンスを選択できます。

ビット4：P1₄/PWM 端子機能切換え（PWM）

P1₄/PWM 端子を P1₄ 端子として使用するか、PWM 端子として使用するかを設定します。

ビット4	説明
PWM	
0	P1 ₄ 入出力端子として機能（初期値）
1	PWM 出力端子として機能

ビット3：リザーブビット

リザーブビットです。リードすると常に"0"が読み出されます。ライトは無効です。

ビット2：リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

ビット1：リザーブビット

リザーブビットです。リードすると常に"0"が読み出されます。ライトは無効です。

ビット0：P1₀/TMOW 端子機能切換え（TMOW）

P1₀/TMOW 端子を P1₀ 端子として使用するか、TMOW 端子として使用するかを設定します。

ビット0	説明
TMOW	
0	P1 ₀ 入出力端子として機能（初期値）
1	TMOW 出力端子として機能

8.2.3 端子機能

表 8.3 にポート 1 の端子機能を示します。

表 8.3 ポート 1 の端子機能 1

端子	選択方法と端子機能		
P1 ₇ /IRQ ₃ / TRGV	PMR1 の IRQ3 と PCR1 の PCR1 ₇ の組合せで次のように切り換わります。		
	IRQ3	0	1
	PCR1 ₇	0	1
	端 子 機 能	P1 ₇ 入力端子	P1 ₇ 出力端子
P1 ₆ /IRQ ₂ P1 ₅ /IRQ ₁	PMR1 の IRQ2、IRQ1 と PCR1 の PCR1 _n の組合せで次のように切り換わります。 (m = n-4 : n = 6、5)		
	IRQm	0	1
	PCR1 _n	0	1
	端 子 機 能	P1 _n 入力端子	P1 _n 出力端子
P1 ₄ /PWM	PMR1 の PWM と PCR1 の PCR1 ₄ の組合せで、次のように切り換わります。		
	PWM	0	1
	PCR1 ₄	0	1
	端 子 機 能	P1 ₄ 入力端子	P1 ₄ 出力端子
P1 ₃ ~ P1 ₁	PCR1 の PCR1 _n により、次のように切り換わります。 (n = 3 ~ 1)		
	PCR1 _n	0	1
	端 子 機 能	P1 _n 入力端子	P1 _n 出力端子
P1 ₀ /TMOW	PMR1 の TMOW と PCR1 の PCR1 ₀ の組合せで、次のように切り換わります。		
	TMOW	0	1
	PCR1 ₀	0	1
	端 子 機 能	P1 ₀ 入力端子	P1 ₀ 出力端子

* Don't care

8.2.4 端子状態

各動作モードにおけるポート 1 の端子状態を表 8.4 に示します。

表 8.4 ポート 1 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P1 ₇ /IRQ ₃ /TRGV P1 ₆ /IRQ ₂ P1 ₅ /IRQ ₁ P1 ₄ /PWM P1 ₃ ~ P1 ₁ P1 ₀ /TMOW	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	保持	動作	動作

【注】 * プルアップ MOS が ON 状態では"High"レベル出力となります。

8.2.5 入力プルアップ MOS

ポート 1 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR1 が"0"にクリアされている状態で PUCR1 に"1"をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

PCR1 _n	0		1
PUCR1 _n	0	1	*
入力プルアップ MOS	OFF	ON	OFF

(n = 7 ~ 0)

* Don't care

8.3 ポート 2

8.3.1 概要

ポート 2 は、8 ビットの入出力ポートです。ポート 2 の各端子は、図 8.2 に示す構成になっています。

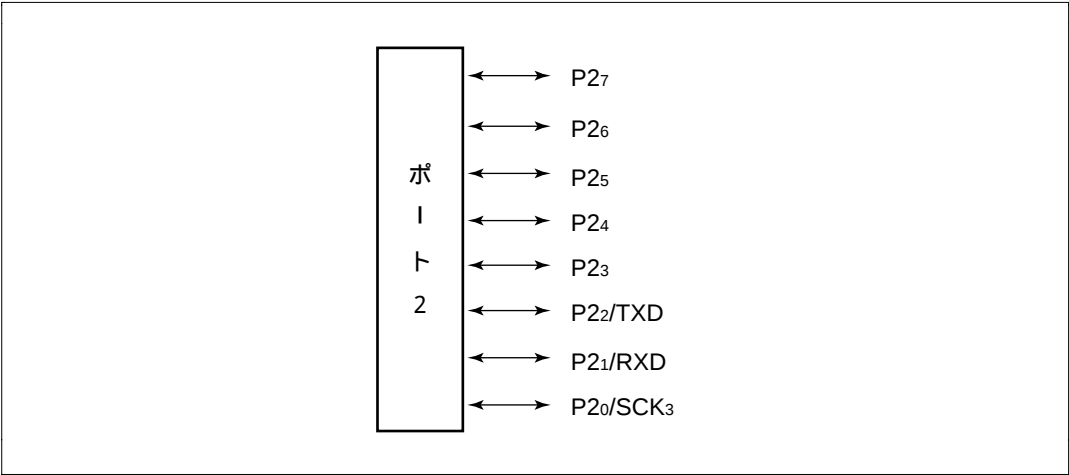


図 8.2 ポート 2 の端子構成

8.3.2 レジスタの構成と説明

表 8.5 にポート 2 のレジスタ構成を示します。

表 8.5 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 2	PDR2	R/W	H'00	H'FFD5
ポートコントロールレジスタ 2	PCR2	W	H'00	H'FFE5

(1) ポートデータレジスタ 2 (PDR2)

ビット:	7	6	5	4	3	2	1	0
	P27	P26	P25	P24	P23	P22	P21	P20
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR2 は、ポート 2 の各端子 P2₇ ~ P2₀ のデータを格納する 8 ビットのレジスタです。

PCR2 が "1" のとき、ポート 2 のリードを行うと、PDR2 の値を直接リードします。そのため端子状態の影響を受けません。PCR2 が "0" のとき、ポート 2 のリードを行うと、端子状態が読み出されます。

リセット時、PDR2 は H'00 にイニシャライズされます。

(2) ポートコントロールレジスタ 2 (PCR2)

ビット:	7	6	5	4	3	2	1	0
	PCR27	PCR26	PCR25	PCR24	PCR23	PCR22	PCR21	PCR20
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR2 は、ポート 2 の各端子 P2₇ ~ P2₀ の入出力をビットごとに制御します。PCR2 に "1" をセットすると対応する P2₇ ~ P2₀ 端子は出力端子となり、"0" にクリアすると入力端子となります。SCR3 により当該端子が汎用入出力に設定されている場合には、PCR2 および PDR2 の設定が有効となります。

リセット時、PCR2 は H'00 にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に "1" が読み出されます。

8.3.3 端子機能

表 8.6 にポート 2 の端子機能を示します。

表 8.6 ポート 2 の端子機能

端子	選択方法と端子機能					
P2 ₇ ~ P2 ₃	PCR2 の PCR2 _n により、次のように切り換わります。					
	(n = 7 ~ 3)					
	PCR2 _n	0	1			
	端 子 機 能	P2 _n 入力端子	P2 _n 出力端子			
P2 ₂ /TXD	PMR7 の TXD と PCR2 の PCR2 ₂ の組合せで、次のように切り換わります。					
	TXD	0		1		
	PCR2 ₂	0	1	*		
	端 子 機 能	P2 ₂ 入力端子	P2 ₂ 出力端子	TXD出力端子		
P2 ₁ /RXD	SCR3 の RE と PCR2 の PCR2 ₁ の組合せで、次のように切り換わります。					
	RE	0		1		
	PCR2 ₁	0	1	*		
	端 子 機 能	P2 ₁ 入力端子	P2 ₁ 出力端子	RXD入力端子		
P2 ₀ /SCK ₃	SCR3 の CKE1、CKE0、SMR の COM、および PCR2 の PCR2 ₀ の組合せで、次のように切り換わります。					
	CKE1	0			1	
	CKE0	0		1	*	
	COM	0		1	*	*
	PCR2 ₀	0	1	*		*
	端 子 機 能	P2 ₀ 入力端子	P2 ₀ 出力端子	SCK ₃ 出力端子	SCK ₃ 入力端子	

* Don't care

8.3.4 端子状態

各動作モードにおけるポート 2 の端子状態を表 8.7 に示します。

表 8.7 ポート 2 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P2 ₇ ~ P2 ₃	ハイ	保持	保持	ハイ	保持	動作	動作
P2 ₂ /TXD	インピー			インピー			
P2 ₁ /RXD	ダンス			ダンス			
P2 ₀ /SCK ₃							

8.4 ポート 3

8.4.1 概要

ポート 3 は、6 ビットの入出力ポートです。ポート 3 の各端子は、図 8.3 に示す構成になっています。

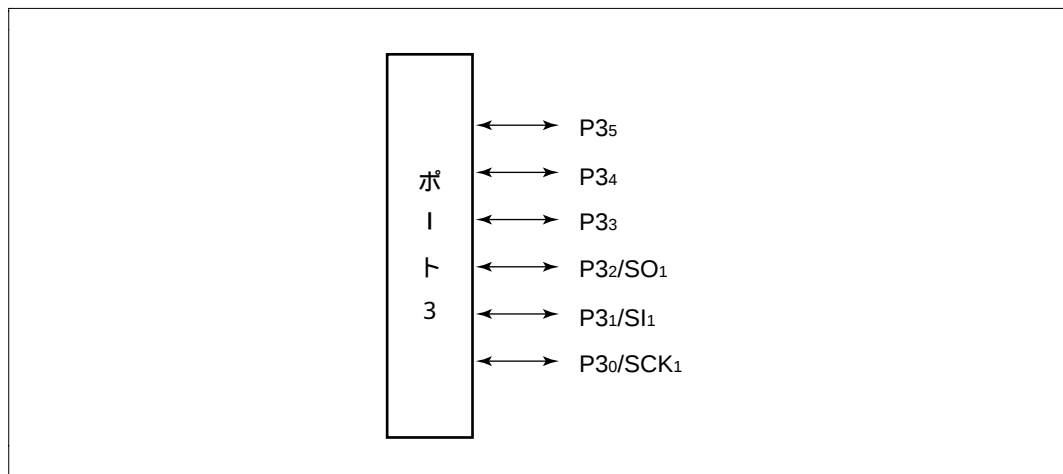


図 8.3 ポート 3 の端子構成

8.4.2 レジスタの構成と説明

表 8.8 にポート 3 のレジスタ構成を示します。

表 8.8 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 3	PDR3	R/W	H'00	H'FFD6
ポートコントロールレジスタ 3	PCR3	W	H'00	H'FFE6
ポートプルアップコントロールレジスタ 3	PUCR3	R/W	H'00	H'FFEE
ポートモードレジスタ 3	PMR3	R/W	H'00	H'FFFD
ポートモードレジスタ 7	PMR7	R/W	H'F8	H'FFFF

(1) ポートデータレジスタ 3 (PDR3)

ビット:	7	6	5	4	3	2	1	0
	—	—	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
初期値:	0*	0*	0	0	0	0	0	0
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

【注】* リザーブビットです。リードすると"0"が読み出されます。ライトは無効です。

PDR3は、ポート3の各端子P3₅～P3₀のデータを格納する8ビットのレジスタです。

PCR3が"1"のとき、ポート3のリードを行うと、PDR3の値を直接リードします。そのため端子状態の影響を受けません。PCR3が"0"のとき、ポート3のリードを行うと、端子状態が読み出されます。

リセット時、PDR3はH'00にイニシャライズされます。

(2) ポートコントロールレジスタ 3 (PCR3)

ビット:	7	6	5	4	3	2	1	0
	—	—	PCR3 ₅	PCR3 ₄	PCR3 ₃	PCR3 ₂	PCR3 ₁	PCR3 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	—	—	W	W	W	W	W	W

PCR3は、ポート3の各端子P3₅～P3₀の入出力をビットごとに制御します。PCR3に"1"をセットすると対応するP3₅～P3₀端子は出力端子となり、"0"にクリアすると入力端子となります。PMR3により当該端子が汎用入出力に設定されている場合には、PCR3およびPDR3の設定が有効となります。

リセット時、PCR3はH'00にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に"1"が読み出されます。

(3) ポートプルアップコントロールレジスタ 3 (PUCR3)

ビット:	7	6	5	4	3	2	1	0
	—	—	PUCR3 ₅	PUCR3 ₄	PUCR3 ₃	PUCR3 ₂	PUCR3 ₁	PUCR3 ₀
初期値:	0*	0*	0	0	0	0	0	0
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

【注】* リザーブビットです。リードすると"0"が読み出されます。ライトは無効です。

PUCR3は、ポート3の各端子P3₅～P3₀のプルアップMOSをビットごとに制御します。

PCR3が"0"の状態でもPUCR3に"1"をセットすると対応するプルアップMOSはON状態となり、"0"にクリアするとOFF状態となります。

リセット時、PUCR3はH'00にイニシャライズされます。

(4) ポートモードレジスタ 3 (PMR3)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	SO1	SI1	SCK1
初期値:	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	R/W	R/W	R/W

PMR3 は、8 ビットのリード/ライト可能なレジスタで、ポート 3 の各端子機能の切換えを制御します。

リセット時、PMR3 は H'00 にイニシャライズされます。

ビット 7～3 : リザーブビット

リザーブビットです。リードすると各ビットは常に"0"が読み出されます。ライトは無効です。

ビット 2 : P3₂/SO₁ 端子機能切換え (SO1)

P3₂/SO₁ 端子を P3₂ 端子として使用するか、SO₁ 端子として使用するかを設定します。

ビット 2	説明
SO1	
0	P3 ₂ 入出力端子として機能 (初期値)
1	SO ₁ 出力端子として機能

ビット 1 : P3₁/SI₁ 端子機能切換え (SI1)

P3₁/SI₁ 端子を P3₁ 端子として使用するか、SI₁ 端子として使用するかを設定します。

ビット 1	説明
SI1	
0	P3 ₁ 入出力端子として機能 (初期値)
1	SI ₁ 入力端子として機能

ビット 0 : P3₀/SCK₁ 端子機能切換え (SCK1)

P3₀/SCK₁ 端子を P3₀ 端子として使用するか、SCK₁ 端子として使用するかを設定します。

ビット 0	説明
SCK1	
0	P3 ₀ 入出力端子として機能 (初期値)
1	SCK ₁ 入出力端子として機能

(5) ポートモードレジスタ 7 (PMR7)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	TXD	—	POF1
初期値:	1	1	1	1	1	0	0	0
R/W :	—	—	—	—	—	R/W	—	R/W

PMR7 は、8 ビットのリード / ライト可能なレジスタで、P3₂/SO₁ 端子の PMOS の ON/OFF を制御します。

リセット時、PMR7 は H'F8 にイニシャライズされます。

ビット 7 ~ 3 : リザーブビット

リザーブビットです。各ビットはリードすると常に"1"が読み出されます。ライトは無効です。

ビット 2 : P2₂/TXD 端子機能切換え (TXD)

P2₂/TXD 端子を P2₂ 端子として使用するか、TXD 端子として使用するかを設定します。

ビット 2	説明
TXD	
0	P2 ₂ 入出力端子として機能 (初期値)
1	TXD 出力端子として機能

ビット 1 : リザーブビット

リザーブビットです。本ビットはリードすると常に"0"が読み出されます。ライトは無効です。

ビット 0 : P3₂/SO₁ 端子 PMOS コントロール (POF1)

P3₂/SO₁ 端子出力バッファの PMOS の ON/OFF を制御します。

ビット 0	説明
POF1	
0	CMOS 出力 (初期値)
1	NMOS オープンドレイン出力

8.4.3 端子機能

表 8.9 にポート 3 の端子機能を示します。

表 8.9 ポート 3 の端子機能

端子	選択方法と端子機能			
P3 ₅ ~ P3 ₃	PCR3 の PCR3 _n により、次のように切り換わります。			
	(n = 5 ~ 3)			
	PCR3 _n	0	1	
	端 子 機 能	P3 _n 入力端子	P3 _n 出力端子	
P3 ₂ /SO ₁	PMR3 の SO1 と PCR3 の PCR3 ₂ の組合せで、次のように切り換わります。			
	SO1	0		1
	PCR3 ₂	0	1	*
	端 子 機 能	P3 ₂ 入力端子	P3 ₂ 出力端子	SO ₁ 出力端子
P3 ₁ /SI ₁	PMR3 の SI1 と PCR3 の PCR3 ₁ の組合せで、次のように切り換わります。			
	SI1	0		1
	PCR3 ₁	0	1	*
	端 子 機 能	P3 ₁ 入力端子	P3 ₁ 出力端子	SI ₁ 入力端子
P3 ₀ /SCK ₁	PMR3 の SCK1、SCR1 の CKS3、および PCR3 の PCR3 ₀ の組合せで、次のように切り換わります。			
	SCK1	0		1
	CKS3	*		0 1
	PCR3 ₀	0	1	* *
	端 子 機 能	P3 ₀ 入力端子	P3 ₀ 出力端子	SCK ₁ 出力端子 SCK ₁ 入力端子

* Don't care

8.4.4 端子状態

各動作モードにおけるポート 3 の端子状態を表 8.10 に示します。

表 8.10 ポート 3 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P3 ₅ ~ P3 ₃	ハイ	保持	保持	ハイ	保持	動作	動作
P3 ₂ /SO ₁	インピー			インピー			
P3 ₁ /SI ₁	ダンス			ダンス*			
P3 ₀ /SCK ₁							

【注】 * ブルアップ MOS が ON 状態では"High"レベル出力となります。

8.4.5 入力プルアップ MOS

ポート 3 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR3 が"0"にクリアされている状態で PUCR3 に"1"をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

PCR3n	0		1
PUCR3n	0	1	*
入力プルアップ MOS	OFF	ON	OFF

(n = 5 ~ 0)

* Don't care

8.5 ポート 5

8.5.1 概要

ポート 5 は、8 ビットの入出力ポートです。ポート 5 の各端子は、図 8.4 に示す構成になっています。

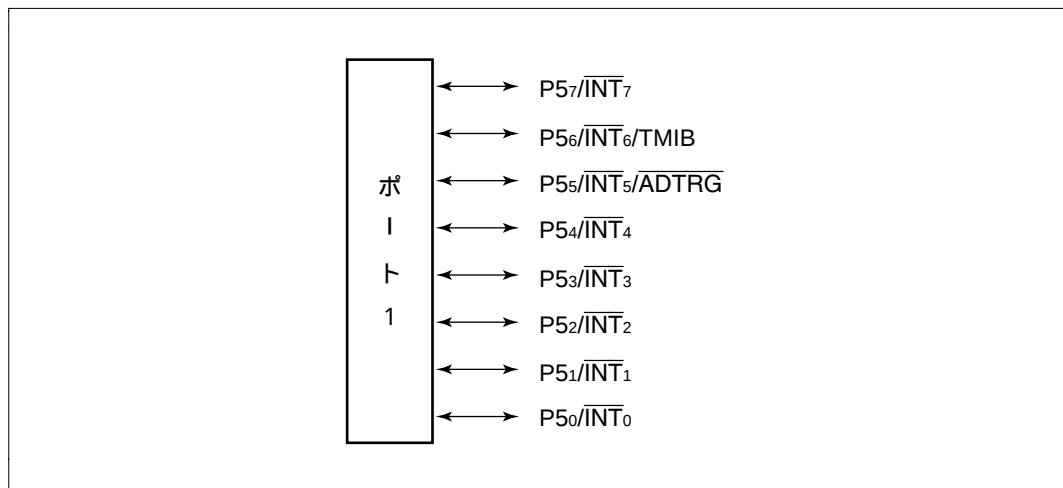


図 8.4 ポート 5 の端子構成

8.5.2 レジスタの構成と説明

表 8.11 にポート 5 のレジスタ構成を示します。

表 8.11 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 5	PDR5	R/W	H'00	H'FFD8
ポートコントロールレジスタ 5	PCR5	W	H'00	H'FFE8
ポートプルアップコントロールレジスタ 5	PUCR5	R/W	H'00	H'FFEF

(1) ポートデータレジスタ 5 (PDR5)

ビット:	7	6	5	4	3	2	1	0
	P5 ₇	P5 ₆	P5 ₅	P5 ₄	P5 ₃	P5 ₂	P5 ₁	P5 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR5 は、ポート 5 の各端子 P5₇ ~ P5₀ のデータを格納する 8 ビットのレジスタです。

PCR5 が "1" のとき、ポート 5 のリードを行うと、PDR5 の値を直接リードします。そのため端子状態の影響を受けません。PCR5 が "0" のとき、ポート 5 のリードを行うと、端子状態が読み出されます。

リセット時、PDR5 は H'00 にイニシャライズされます。

(2) ポートコントロールレジスタ 5 (PCR5)

ビット:	7	6	5	4	3	2	1	0
	PCR5 ₇	PCR5 ₆	PCR5 ₅	PCR5 ₄	PCR5 ₃	PCR5 ₂	PCR5 ₁	PCR5 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR5 は、ポート 5 の各端子 P5₇ ~ P5₀ の入出力をビットごとに制御します。PCR5 に "1" をセットすると対応する P5₇ ~ P5₀ 端子は出力端子となり、"0" にクリアすると入力端子となります。

リセット時、PCR5 は H'00 にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に "1" が読み出されます。

(3) ポートプルアップコントロールレジスタ 5 (PUCR5)

ビット:	7	6	5	4	3	2	1	0
	PUCR5 ₇	PUCR5 ₆	PUCR5 ₅	PUCR5 ₄	PUCR5 ₃	PUCR5 ₂	PUCR5 ₁	PUCR5 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR5 は、ポート 5 の各端子 P5₇ ~ P5₀ のプルアップ MOS をビットごとに制御します。

PCR5 が "0" の状態で PUCR5 に "1" をセットすると対応するプルアップ MOS は ON 状態となり、"0" にクリアすると OFF 状態となります。

リセット時、PUCR5 は H'00 にイニシャライズされます。

8.5.3 端子機能

表 8.12 にポート 5 の端子機能を示します。

表 8.12 ポート 5 の端子機能

端子	選択方法と端子機能		
P5 ₇ /INT ₇	PCR5 の PCR5 ₇ により、次のように切り換わります。		
	PCR5 ₇	0	1
	端 子 機 能	P5 ₇ 入力端子	P5 ₇ 出力端子
		INT ₇ 入力端子	
P5 ₆ /INT ₆ /TMIB	PCR5 の PCR5 ₆ により、次のように切り換わります。		
	PCR5 ₆	0	1
	端 子 機 能	P5 ₆ 入力端子	P5 ₆ 出力端子
		INT ₆ 入力端子、TMIB入力端子	
P5 ₅ /INT ₅ /ADTRG	PCR5 の PCR5 ₅ により、次のように切り換わります。		
	PCR5 ₅	0	1
	端 子 機 能	P5 ₅ 入力端子	P5 ₅ 出力端子
		INT ₅ 入力端子、ADTRG入力端子	
P5 ₄ /INT ₄ ~ P5 ₀ /INT ₀	PCR5 の PCR5 _n により、次のように切り換わります。		
	(n = 4 ~ 0)		
	PCR5 _n	0	1
	端 子 機 能	P5 _n 入力端子	P5 _n 出力端子
INT _n 入力端子			

8.5.4 端子状態

各動作モードにおけるポート 5 の端子状態を表 8.13 に示します。

表 8.13 ポート 5 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P5 ₇ /INT ₇ ~ P5 ₀ /INT ₀	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	保持	動作	動作

【注】 * プルアップ MOS が ON 状態では"High"レベル出力となります。

8.5.5 入力プルアップ MOS

ポート 5 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR5 が"0"にクリアされている状態で PUCR5 に"1"をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

PCR5 _n	0		1
PUCR5 _n	0	1	*
入力プルアップ MOS	OFF	ON	OFF

(n = 7 ~ 0)

* Don't care

8.6 ポート 6

8.6.1 概要

ポート 6 は、8 ビットの入出力ポートです。ポート 6 の各端子は、図 8.5 に示す構成になっています。

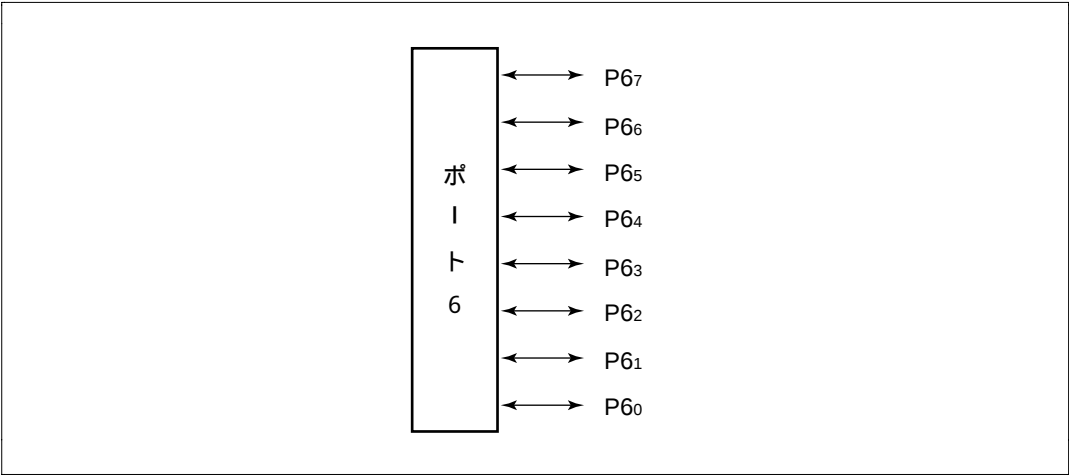


図 8.5 ポート 6 の端子構成

8.6.2 レジスタの構成と説明

表 8.14 にポート 6 のレジスタ構成を示します。

表 8.14 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 6	PDR6	R/W	H'00	H'FFD9
ポートコントロールレジスタ 6	PCR6	W	H'00	H'FFE9

(1) ポートデータレジスタ 6 (PDR6)

ビット:	7	6	5	4	3	2	1	0
	P67	P66	P65	P64	P63	P62	P61	P60
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR6 は、ポート 6 の各端子 P6₇ ~ P6₀ のデータを格納する 8 ビットのレジスタです。
リセット時、PDR6 は H'00 にイニシャライズされます。

(2) ポートコントロールレジスタ 6 (PCR6)

ビット:	7	6	5	4	3	2	1	0
	PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR6 は、ポート 6 の各端子 P6₇ ~ P6₀の入出力をビットごとに制御します。
 リセット時、PCR6 は H'00 にイニシャライズされます。
 本レジスタはライト専用です。リードした場合各ビットは常に"1"が読み出されます。

8.6.3 端子機能

表 8.15 にポート 6 の端子機能を示します。

表 8.15 ポート 6 の端子機能

端子	選択方法と端子機能		
P6 ₇ ~ P6 ₀	PCR6 の PCR6 _n により、次のように切り換わります。		
	(n = 7 ~ 0)		
	PCR6 _n	0	1
	端 子 機 能	P6 _n 入力端子	P6 _n 出力端子

* Don't care

8.6.4 端子状態

各動作モードにおけるポート 6 の端子状態を表 8.16 に示します。

表 8.16 ポート 6 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P6 ₇ ~ P6 ₀	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	保持	動作	動作

【注】 * プルアップ MOS が ON 状態では"High"レベル出力となります。

8.7 ポート 7

8.7.1 概要

ポート 7 は、8 ビットの入出力ポートです。ポート 7 の各端子は、図 8.6 に示す構成になっています。

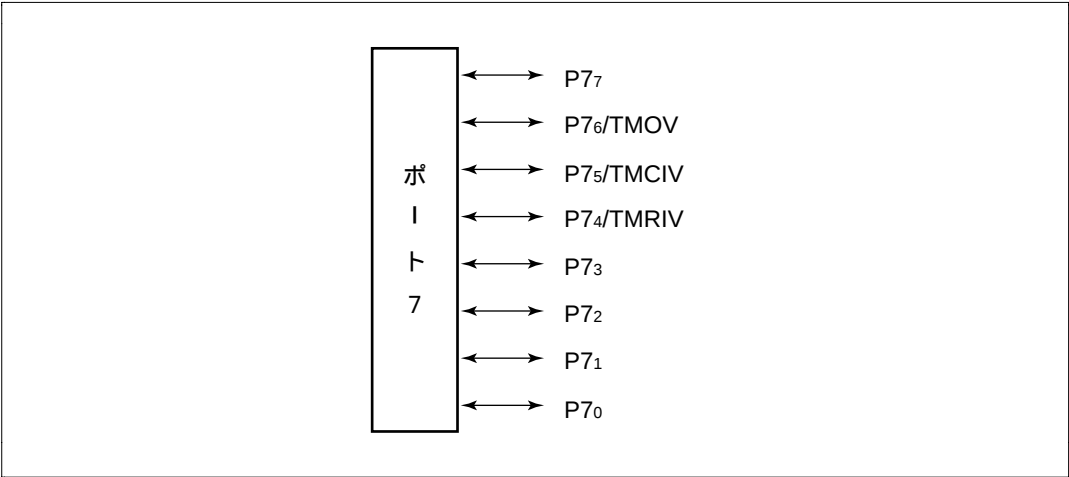


図 8.6 ポート 7 の端子構成

8.7.2 レジスタの構成と説明

表 8.17 にポート 7 のレジスタ構成を示します。

表 8.17 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 7	PDR7	R/W	H'00	H'FFDA
ポートコントロールレジスタ 7	PCR7	W	H'00	H'FFEA

(1) ポートデータレジスタ 7 (PDR7)

ビット:	7	6	5	4	3	2	1	0
	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR7 は、ポート 7 の各端子 P7₇ ~ P7₀ のデータを格納する 8 ビットのレジスタです。

PCR7 が "1" のとき、ポート 7 のリードを行うと、PDR7 の値を直接リードします。そのため端子状態の影響を受けません。PCR7 が "0" のとき、ポート 7 のリードを行うと、端子状態が読み出されます。

リセット時、PDR7 は H'00 にイニシャライズされます。

(2) ポートコントロールレジスタ 7 (PCR7)

ビット:	7	6	5	4	3	2	1	0
	PCR7 ₇	PCR7 ₆	PCR7 ₅	PCR7 ₄	PCR7 ₃	PCR7 ₂	PCR7 ₁	PCR7 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR7 は、ポート 7 の各端子 P7₇ ~ P7₀ の入出力をビットごとに制御します。PCR7 に "1" をセットすると対応する P7₇ ~ P7₀ 端子は出力端子となり、"0" にクリアすると入力端子となります。

リセット時、PCR7 は H'00 にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に "1" が読み出されます。

8.7.3 端子機能

表 8.18 にポート 7 の端子機能を示します。

表 8.18 ポート 7 の端子機能

端子	選択方法と端子機能														
P7 ₇ 、 P7 ₃ ~ P7 ₀	PCR7 の PCR7 _n により、次のように切り換わります。 (n = 7、3 ~ 0) <table><tr><td>PCR7_n</td><td>0</td><td>1</td></tr><tr><td>端 子 機 能</td><td>P7_n入力端子</td><td>P7_n出力端子</td></tr></table>			PCR7 _n	0	1	端 子 機 能	P7 _n 入力端子	P7 _n 出力端子						
PCR7 _n	0	1													
端 子 機 能	P7 _n 入力端子	P7 _n 出力端子													
P7 ₆ /TMOV	PCR7 の PCR7 ₆ と TCSR の OS3 ~ OS0 の組合せで、次のように切り換わります。 <table><tr><td>OS3 ~ OS0</td><td colspan="2">0000</td><td>0000以外</td></tr><tr><td>PCR7₆</td><td>0</td><td>1</td><td>*</td></tr><tr><td>端 子 機 能</td><td>P7₆入力端子</td><td>P7₆出力端子</td><td>TMOV出力端子</td></tr></table>			OS3 ~ OS0	0000		0000以外	PCR7 ₆	0	1	*	端 子 機 能	P7 ₆ 入力端子	P7 ₆ 出力端子	TMOV出力端子
OS3 ~ OS0	0000		0000以外												
PCR7 ₆	0	1	*												
端 子 機 能	P7 ₆ 入力端子	P7 ₆ 出力端子	TMOV出力端子												
P7 ₅ /TMCIV	PCR7 の PCR7 ₅ により、次のように切り換わります。 <table><tr><td>PCR7₅</td><td>0</td><td>1</td></tr><tr><td rowspan="2">端 子 機 能</td><td>P7₅入力端子</td><td>P7₅出力端子</td></tr><tr><td colspan="2">TMCIV入力端子</td></tr></table>			PCR7 ₅	0	1	端 子 機 能	P7 ₅ 入力端子	P7 ₅ 出力端子	TMCIV入力端子					
PCR7 ₅	0	1													
端 子 機 能	P7 ₅ 入力端子	P7 ₅ 出力端子													
	TMCIV入力端子														
P7 ₄ /TMRIV	PCR7 の PCR7 ₄ により、次のように切り換わります。 <table><tr><td>PCR7₄</td><td>0</td><td>1</td></tr><tr><td rowspan="2">端 子 機 能</td><td>P7₄入力端子</td><td>P7₄出力端子</td></tr><tr><td colspan="2">TMRIV入力端子</td></tr></table>			PCR7 ₄	0	1	端 子 機 能	P7 ₄ 入力端子	P7 ₄ 出力端子	TMRIV入力端子					
PCR7 ₄	0	1													
端 子 機 能	P7 ₄ 入力端子	P7 ₄ 出力端子													
	TMRIV入力端子														

* Don't care

8.7.4 端子状態

各動作モードにおけるポート 7 の端子状態を表 8.19 に示します。

表 8.19 ポート 7 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P7 ₇ P7 ₆ /TMOV P7 ₅ /TMCIV P7 ₄ /TMRIV P7 ₃ ~ P7 ₀	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作

8.8 ポート 8

8.8.1 概要

ポート 8 は、8 ビットの入出力ポートです。ポート 8 の各端子は、図 8.7 に示す構成になっています。

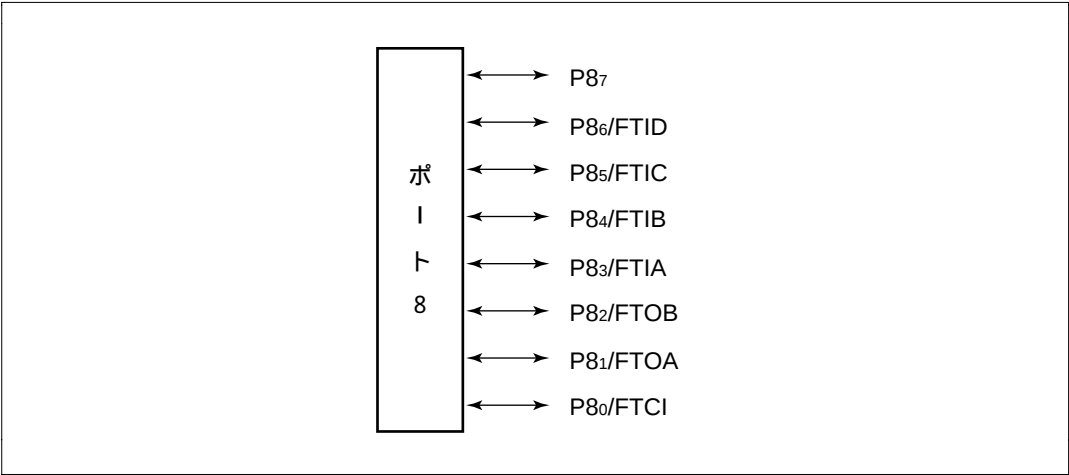


図 8.7 ポート 8 の端子構成

8.8.2 レジスタの構成と説明

表 8.20 にポート 8 のレジスタ構成を示します。

表 8.20 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 8	PDR8	R/W	H'00	H'FFDB
ポートコントロールレジスタ 8	PCR8	W	H'00	H'FFEB

(1) ポートデータレジスタ 8 (PDR8)

ビット:	7	6	5	4	3	2	1	0
	P87	P86	P85	P84	P83	P82	P81	P80
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR8 は、ポート 8 の各端子 P8₇ ~ P8₀ のデータを格納する 8 ビットのレジスタです。

PCR8 が "1" のとき、ポート 8 のリードを行うと、PDR8 の値を直接リードします。そのため端子状態の影響を受けません。PCR8 が "0" のとき、ポート 8 のリードを行うと、端子状態が読み出されます。

リセット時、PDR8 は H'00 にイニシャライズされます。

(2) ポートコントロールレジスタ 8 (PCR8)

ビット:	7	6	5	4	3	2	1	0
	PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR8 は、ポート 8 の各端子 P8₇ ~ P8₀ の入出力をビットごとに制御します。PCR8 に"1" をセットすると対応する P8₇ ~ P8₀ 端子は出力端子となり、"0"にクリアすると入力端子となります。

リセット時、PCR8 は H'00 にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に"1"が読み出されます。

8.8.3 端子機能

表 8.21 にポート 8 の端子機能を示します。

表 8.21 ポート 8 の端子機能

端子	選択方法と端子機能		
P8 ₇	PCR8 の PCR8 ₇ により、次のように切り換わります。		
	PCR8 ₇	0	1
	端 子 機 能	P8 ₇ 入力端子	P8 ₇ 出力端子
P8 ₆ /FTID	PCR8 の PCR8 ₆ により、次のように切り換わります。		
	PCR8 ₆	0	1
	端 子 機 能	P8 ₆ 入力端子	P8 ₆ 出力端子
		FTID入力端子	
P8 ₅ /FTIC	PCR8 の PCR8 ₅ により、次のように切り換わります。		
	PCR8 ₅	0	1
	端 子 機 能	P8 ₅ 入力端子	P8 ₅ 出力端子
		FTIC入力端子	
P8 ₄ /FTIB	PCR8 の PCR8 ₄ により、次のように切り換わります。		
	PCR8 ₄	0	1
	端 子 機 能	P8 ₄ 入力端子	P8 ₄ 出力端子
		FTIB入力端子	

端子	選択方法と端子機能		
P8 ₃ /FTIA	PCR8 の PCR8 ₃ により、次のように切り換わります。		
	PCR8 ₃	0	1
端 子 機 能	P8 ₃ 入力端子	P8 ₃ 出力端子	
	FTIA入力端子		
P8 ₂ /FTOB	PCR8 の PCR8 ₂ と TOCR の OEB の組合せで、次のように切り換わります。		
	OEB	0	1
	PCR8 ₂	0	1
端 子 機 能	P8 ₂ 入力端子	P8 ₂ 出力端子	FTOB出力端子
P8 ₁ /FTOA	PCR8 の PCR8 ₁ と TOCR の OEA の組合せで、次のように切り換わります。		
	OEA	0	1
	PCR8 ₁	0	1
端 子 機 能	P8 ₁ 入力端子	P8 ₁ 出力端子	FTOA出力端子
P8 ₀ /FTCI	PCR8 の PCR8 ₀ により、次のように切り換わります。		
	PCR8 ₀	0	1
端 子 機 能	P8 ₀ 入力端子	P8 ₀ 出力端子	
	FTCI入力端子		

* Don't care

8.8.4 端子状態

各動作モードにおけるポート 8 の端子状態を表 8.22 に示します。

表 8.22 ポート 8 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P8 ₇	ハイ	保持	保持	ハイ	保持	動作	動作
P8 ₆ /FTID	インピーダンス			インピーダンス			
P8 ₅ /FTIC							
P8 ₄ /FTIB							
P8 ₃ /FTIA							
P8 ₂ /FTOB							
P8 ₁ /FTOA							
P8 ₀ /FTCI							

8.9 ポート 9

8.9.1 概要

ポート 9 は、5 ビットの入出力ポートです。ポート 9 の各端子は、図 8.8 に示す構成になっています。

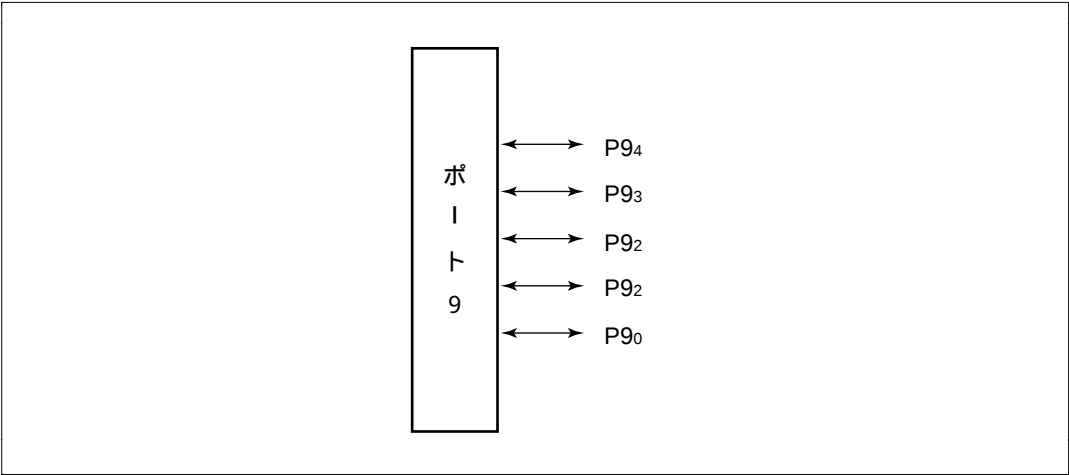


図 8.8 ポート 9 の端子構成

8.9.2 レジスタの構成と説明

表 8.23 にポート 9 のレジスタ構成を示します。

表 8.23 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 9	PDR9	R/W	H'C0	H'FFDC
ポートコントロールレジスタ 9	PCR9	W	H'C0	H'FFEC

(1) ポートデータレジスタ 9 (PDR9)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀
初期値:	1 ^{*1}	1 ^{*1}	0 ^{*2}	0	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

【注】 *1 リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。
 *2 リザーブビットです。リードすると常に"0"が読み出されます。ライトは無効です。

PDR9 は、ポート 9 の各端子 P9₄ ~ P9₀ のデータを格納する 8 ビットのレジスタです。PCR9 が"1"のとき、ポート 9 のリードを行うと、PDR9 の値を直接リードします。そのため端子状態の影響を受けません。PCR9 が"0"のとき、ポート 9 のリードを行うと、端子状態が読み出されます。

リセット時、PDR9 は H'0 にイニシャライズされます。

(2) ポートコントロールレジスタ 9 (PCR9)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	PCR9 ₄	PCR9 ₃	PCR9 ₂	PCR9 ₁	PCR9 ₀
初期値:	1	1	0	0	0	0	0	0
R/W :	—	—	—	W	W	W	W	W

PCR9 は、ポート 9 の各端子 P9₄ ~ P9₀ の入出力をビットごとに制御します。PCR9 に"1"をセットすると対応する P9₄ ~ P9₀ 端子は出力端子となり、"0"にクリアすると入力端子となります。

リセット時、PCR4 は H'0 にイニシャライズされます。

本レジスタはライト専用です。リードした場合各ビットは常に"1"が読み出されます。

8.9.3 端子機能

表 8.24 にポート 9 の端子機能を示します。

表 8.24 ポート 9 の端子機能

端子	選択方法と端子機能		
P9 _n	PCR9 の PCR9 _n により、次のように切り換わります。		
	(n = 4 ~ 0)		
	PCR9 _n	0	1
端 子 機 能		P9 _n 入力端子	P9 _n 出力端子

8.9.4 端子状態

各動作モードにおけるポート 9 の端子状態を表 8.25 に示します。

表 8.25 ポート 9 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P9 ₄ ~ P9 ₀	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作

8.10 ポート B

8.10.1 概要

ポート B は、8 ビットの入力専用ポートです。ポート B の各端子は、図 8.9 に示す構成になっています。

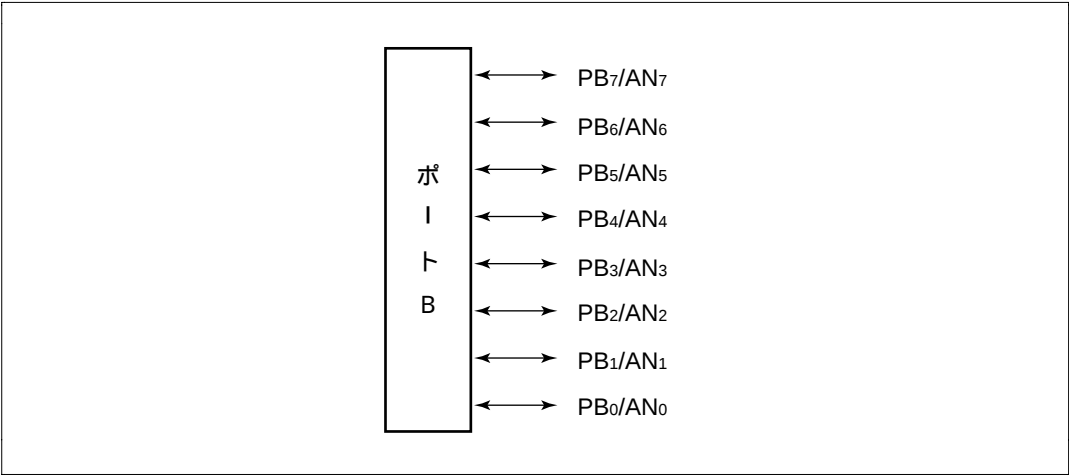


図 8.9 ポート B の端子構成

8.10.2 レジスタの構成と説明

表 8.26 にポート B のレジスタ構成を示します。

表 8.26 レジスタ構成

名称	略称	R/W	アドレス
ポートデータレジスタ B	PDRB	R	H'FFDD

(1) ポートデータレジスタ B (PDRB)

ビット:	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
R/W :	R	R	R	R	R	R	R	R

PDRB をリードすると常に各端子の状態が読み出されます。ただし、A/D 変換器の AMR の CH3 ~ CH0 によりアナログ入力チャネルに指定されている端子をリードすると"0"が読み出されます。

8.10.3 端子機能

表 8.27 にポート B の端子機能を示します。

表 8.27 ポート B の端子機能

端子	選択方法と端子機能		
PB _n /AN _n	常に以下のような状態になっています。 (n = 7 ~ 0) <table border="1"> <tr> <td>端 子 機 能</td><td>PB_n 入力端子、AN_n 入力端子</td></tr> </table>	端 子 機 能	PB _n 入力端子、AN _n 入力端子
端 子 機 能	PB _n 入力端子、AN _n 入力端子		

8.10.4 端子状態

各動作モードにおけるポート B の端子状態を表 8.28 に示します。

表 8.28 ポート B の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
PB ₇ /AN ₇	ハイ	ハイ	ハイ	ハイ	ハイ	ハイ	ハイ
~	インピー	インピー	インピー	インピー	インピー	インピー	インピー
PB ₀ /AN ₀	ダンス	ダンス	ダンス	ダンス	ダンス	ダンス	ダンス

8.11 使用上の注意事項

I/O ポートを使用する際は、以下のことに注意してください。

(1) 入力専用ポートの未使用端子の処理

入力専用ポートの中で、未使用の端子は電源 (V_{CC} 又は V_{SS}) に接続し、端子の状態がフローティング (ハイインピーダンス状態) にならないように注意してください。

(2) 入出力ポートの未使用端子の処理

入出力ポートの中で、未使用の端子は電源 (V_{CC} 又は V_{SS}) に接続するか、または、リセット解除直後にソフトウェアで該当するポートコントロールレジスタに "1" をセットして出力端子に設定し、端子の状態がフローティング (ハイインピーダンス状態) にならないように注意してください。

9. タイマ

第9章 目次

9.1	概要.....	171
9.2	タイマ A	172
	9.2.1 概要.....	172
	9.2.2 各レジスタの説明.....	174
	9.2.3 動作説明.....	176
	9.2.4 タイマ A の動作モード.....	177
9.3	タイマ B1.....	178
	9.3.1 概要.....	178
	9.3.2 各レジスタの説明.....	179
	9.3.3 動作説明.....	181
	9.3.4 タイマ B1 の動作モード.....	182
9.4	タイマ V	183
	9.4.1 概要.....	183
	9.4.2 各レジスタの説明.....	186
	9.4.3 動作説明.....	193
	9.4.4 タイマ V の動作モード.....	197
	9.4.5 割込み要因.....	197
	9.4.6 タイマ V の使用例	198
	9.4.7 使用上の注意事項.....	199
9.5	タイマ X	204
	9.5.1 概要.....	204
	9.5.2 各レジスタの説明.....	207
	9.5.3 CPU とのインタフェース	220
	9.5.4 動作説明.....	222
	9.5.5 タイマ X の動作モード.....	229
	9.5.6 割込み要因.....	229
	9.5.7 タイマ X の使用例	230

9.5.8	使用上の注意事項.....	231
9.6	ウォッチドッグタイマ	236
9.6.1	概要.....	236
9.6.2	各レジスタの説明.....	237
9.6.3	動作説明	241
9.6.4	ウォッチドッグタイマの動作モード	241

9.1 概要

本 LSI は 5 本のタイマ（タイマ A、B1、V、X、ウォッチドッグタイマ）を内蔵しています。

タイマの機能概要を表 9.1 に示します。

表 9.1 タイマの機能概要

タイマ名称	機能	内部クロック	イベント入力端子	波形出力端子	備考
タイマ A	・ 8 ビットのタイマ	$\phi/8 \sim \phi/8192$ (8 種類)	—	—	
	・ インターバル機能				
	・ 時計用タイムベース	$\phi_W/128$ (オーバフロー周期 は 4 種類選択可)	—	—	
	・ クロック出力機能	$\phi/4 \sim \phi/32$ $\phi_W/4 \sim \phi_W/32$ (8 種類)	—	TMOW	
タイマ B1	・ 8 ビットのタイマ ・ インターバル機能 ・ イベントカウント機能	$\phi/4 \sim \phi/8192$ (7 種類)	TMIB	—	
タイマ V	・ 8 ビットのタイマ ・ イベントカウント機能 ・ 2 つのコンペアマッチ要因による出力制御が可能 ・ カウンタクリア指定が可能 ・ 外部トリガ入力によるカウントアップ開始の指定が可能	$\phi/4 \sim \phi/128$ (6 種類)	TMCIV	TMOV	
タイマ X	・ 16 ビットフリーランニングタイマ ・ 2 つのアウトプットコンペア出力 ・ 4 つのインプットキャプチャ入力 ・ カウンタクリア指定が可能 ・ イベントカウント機能	$\phi/2 \sim \phi/32$ (3 種類)	FTCI FTIA FTIB FTIC FTID	FTOA FTOB	
ウォッチドッグタイマ	・ 8 ビットカウンタのオーバフローでリセット信号を発生	$\phi/8192$	—	—	

9.2 タイマ A

9.2.1 概要

タイマ A はインターバル / 時計用タイムベース機能を内蔵した 8 ビットのタイマです。32.768kHz の水晶発振器を接続すると時計用タイムベースとして使用できます。また、TMOW 端子より、32.768kHz を分周したクロック、およびシステムクロックを分周したクロックが出力可能です。

(1) 特長

タイマ A の特長を以下に示します。

- 8 種類の内部クロックを選択可能

8 種類の内部クロック ($\phi/8192$ 、 $\phi/4096$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/128$ 、 $\phi/32$ 、 $\phi/8$) からの選択が可能です。

- 4 種類のオーバーフロー周期を選択可能

時計用タイムベースとして 4 種類のオーバーフロー周期 (1s、0.5s、0.25s、31.25ms) の選択が可能です (32.768kHz 水晶発振器を使用)。

- カウンタのオーバーフローで割込みを発生

- タイマ出力クロックを選択可能

TMOW 端子から出力するクロックとして、32.768kHz の 32、16、8、4 分周したクロック (1kHz、2kHz、4kHz、8kHz)、およびシステムクロックを 32、16、8、4 分周したクロックの計 8 種類の選択が可能です。

(2) ブロック図

タイマ A のブロック図を図 9.1 に示します。

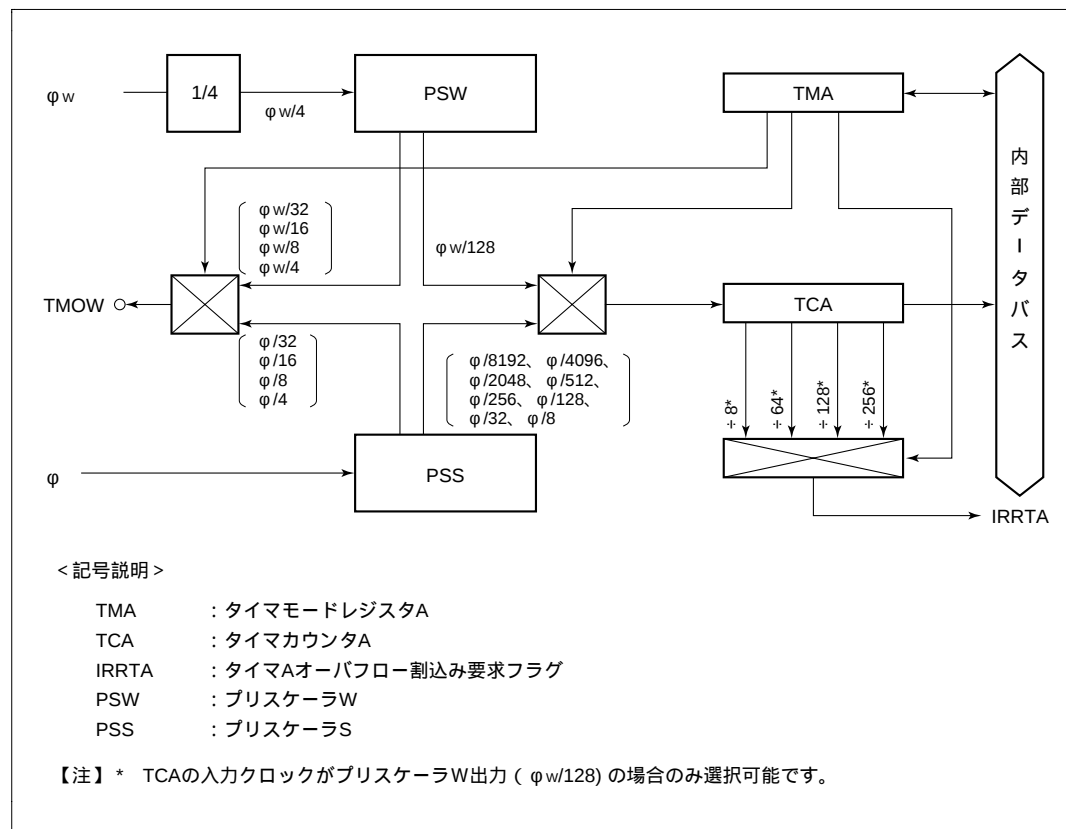


図 9.1 タイマ A ブロック図

(3) 端子構成

タイマ A の端子構成を表 9.2 に示します。

表 9.2 端子構成

名称	略称	入出力	機能
クロック出力	TMOW	出力	タイマ A 出力回路により生成された波形の出力端子

(4) レジスタ構成

タイマ A のレジスタ構成を表 9.3 に示します。

表 9.3 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマモードレジスタ A	TMA	R/W	H'10	H'FFB0
タイマカウンタ A	TCA	R	H'00	H'FFB1

9.2.2 各レジスタの説明

(1) タイマモードレジスタ A (TMA)

ビット:	7	6	5	4	3	2	1	0
	TMA7	TMA6	TMA5	—	TMA3	TMA2	TMA1	TMA0
初期値:	0	0	0	1	0	0	0	0
R/W :	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W

TMA は、8 ビットのリード/ライト可能なレジスタで、プリスケアラ、入力クロック、および出力クロックの選択を行います。

リセット時、TMA は H'10 にイニシャライズされます。

ビット 7～5 : クロック出力セレクト (TMA7～TMA5)

TMOW 端子から出力する 8 種類のクロックを選択します。システムクロックを 32、16、8、4 分周したクロックは、アクティブモード、スリープモードで出力されます。32.768kHz を 32、16、8、4 分周したクロックは、アクティブモード、スリープモード、およびサブアクティブモードで出力されます。

ビット 7	ビット 6	ビット 5	説明
TMA7	TMA6	TMA5	
0	0	0	$\phi/32$ (初期状態)
		1	$\phi/16$
	1	0	$\phi/8$
		1	$\phi/4$
1	0	0	$\phi_W/32$
		1	$\phi_W/16$
	1	0	$\phi_W/8$
		1	$\phi_W/4$

ビット 4 : リザーブビット

リザーブビットです。本ビットはリードすると常に"1"が読み出されます。ライトは無効です。

ビット3～0：内部クロックセレクト（TMA3～TMA0）

TCA に入力するクロックを選択します。

ビット3	ビット2	ビット1	ビット0	説明	
TMA3	TMA2	TMA1	TMA0	プリスケアラ分周比またはオーバフロー周期	機能
0	0	0	0	PSS、 $\phi/8192$ (初期値)	インターバル
			1	PSS、 $\phi/4096$	
		1	0	PSS、 $\phi/2048$	
			1	PSS、 $\phi/512$	
	1	0	0	PSS、 $\phi/256$	
			1	PSS、 $\phi/128$	
		1	0	PSS、 $\phi/32$	
			1	PSS、 $\phi/8$	
1	0	0	0	PSW、1s	時計用 タイムベース
			1	PSW、0.5s	
		1	0	PSW、0.25s	
			1	PSW、0.03125s	
	1	0	0	PSW、TCA リセット	
			1		
		1	0		
			1		

（2）タイマカウンタ A（TCA）

ビット：	7	6	5	4	3	2	1	0
	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

TCA は、8 ビットのリード可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックは TMA の TMA3～TMA0 により選択します。TCA の値は、アクティブモード時は CPU からリードできますが、サブアクティブモード時には TCA をリードすることはできません。TCA がオーバフローすると、割込み要求レジスタ 1（IRR1）の IRRTA が"1"にセットされます。

TCA は TMA の TMA3～TMA2 を"11"にセットすることでクリアできます。

リセット時、TCA は H'00 にイニシャライズされます。

9.2.3 動作説明

(1) インターバル動作

TMA の TMA3 を "0" にセットすると、タイマ A は 8 ビットインターバルタイマとして動作します。

リセット時、TCA は H'00、TMA3 は "0" にクリアされるため、リセット直後はインターバルタイマとして停止することなくカウントアップを続けます。タイマ A の動作クロックは、TMA の TMA2 ~ TMA0 により、プリスケアラ S の出力する 8 種類の内部クロックを選択できます。

TCA のカウンタ値が H'FF になった後、クロックが入力されると、タイマ A はオーバーフローし、IRR1 の IRRTA が "1" にセットされます。このとき、割込み許可レジスタ 1 (IENR1) の IENTA が "1" ならば CPU に割込みを要求します。*

オーバーフロー時には、TCA のカウンタ値は H'00 に戻り、再びカウントアップを開始します。したがって、256 回の入力クロックごとに、オーバーフロー出力を発生するインターバルタイマとして動作します。

【注】 * 割込みについての詳細は、「3.3 割込み」を参照してください。

(2) 時計用タイムベース動作

TMA の TMA3 を "1" にセットすると、タイマ A はプリスケアラ W の出力するクロックをカウントして、時計用タイムベースとして動作します。タイマ A のオーバーフロー周期は、TMA の TMA1、TMA0 により 4 種類選択できます。時計用タイムベース動作時 (TMA3 = "1") に TMA2 を "1" にすると、TCA およびプリスケアラ W は、ともに H'00 にクリアされます。

(3) クロック出力の動作

PMR1 の TMOW を "1" にセットすると、TMOW 端子からクロックが出力されます。端子から出力されるクロックは、TMA の TMA7 ~ TMA5 により、8 種類のクロックが選択できます。システムクロックを 32、16、8、4 分周したクロックは、アクティブモード、スリープモードで出力され、32.768kHz を 32、16、8、4 分周したクロックは、アクティブモード、スリープモード、およびサブアクティブモードで出力されます。

9.2.4 タイマ A の動作モード

タイマ A の動作モードを表 9.4 に示します。

表 9.4 タイマ A の動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCA	インターバル	リセット	動作	動作	停止	停止	停止	停止
	時計用	リセット	動作	動作	動作	動作	動作	停止
	タイムベース							
TMA		リセット	動作	保持	保持	動作	保持	保持

【注】 アクティブモード、スリープモード時に、時計用タイムベース機能を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント同期は最大で $1/\varphi$ (s) の誤差が生じます。

9.3 タイマ B1

9.3.1 概要

タイマ B1 は、入力クロックが入るたびにカウントアップする 8 ビットのタイマです。
タイマ B1 には、インターバル機能、オートリロード機能の 2 種類の機能があります。

(1) 特長

タイマ B1 の特長を以下に示します。

■ 8 種類のクロックを選択可能

7 種類の内部クロック ($\phi/8192$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/64$ 、 $\phi/16$ 、 $\phi/4$)
と外部クロックからの選択が可能です (外部イベントのカウントが可能)。

■ カウンタのオーバーフローで割込みを発生

(2) ブロック図

タイマ B1 のブロック図を図 9.2 に示します。

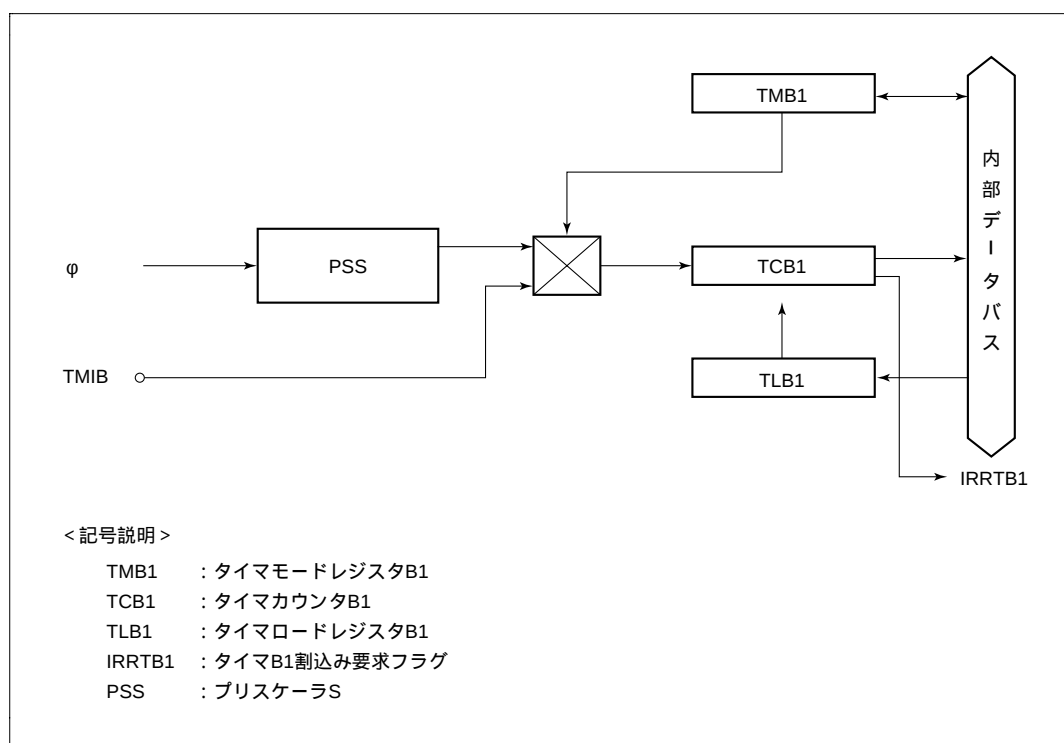


図 9.2 タイマ B1 ブロック図

(3) 端子構成

タイマ B1 の端子構成を表 9.5 に示します。

表 9.5 端子構成

名称	略称	入出力	機能
タイマ B1 イベント入力	TMIB	入力	TCB1 に入力するイベント入力端子

(4) レジスタ構成

タイマ B1 のレジスタ構成を表 9.6 に示します。

表 9.6 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマモードレジスタ B1	TMB1	R/W	H'78	H'FFB2
タイマカウンタ B1	TCB1	R	H'00	H'FFB3
タイマロードレジスタ B1	TLB1	W	H'00	H'FFB3

9.3.2 各レジスタの説明

(1) タイマモードレジスタ B1 (TMB1)

ビット:	7	6	5	4	3	2	1	0
	TMB17	—	—	—	—	TMB12	TMB11	TMB10
初期値:	0	1	1	1	1	0	0	0
R/W :	R/W	—	—	—	—	R/W	R/W	R/W

TMB1 は、8 ビットのリード/ライト可能なレジスタで、オートリロード機能の選択および入力クロックの選択を行います。

リセット時、TMB1 は H'78 にイニシャライズされます。

ビット 7: オートリロード機能選択 (TMB17)

タイマ B1 のオートリロード機能を選択します。

ビット 7	説明
TMB17	
0	インターバル機能を選択 (初期値)
1	オートリロード機能を選択

ビット6～3：リザーブビット

リザーブビットです。各ビットはリードすると常に"1"が読み出されます。ライトは無効です。

ビット2～0：クロックセレクト (TMB12～TMB10)

TCB1 に入力するクロックを選択します。外部からのイベント入力、立上がり / 立下がりエッジの選択が可能です。

ビット2	ビット1	ビット0	説明
TMB12	TMB11	TMB10	
0	0	0	内部クロック $\phi/8192$ でカウント (初期値)
0	0	1	内部クロック $\phi/2048$ でカウント
0	1	0	内部クロック $\phi/512$ でカウント
0	1	1	内部クロック $\phi/256$ でカウント
1	0	0	内部クロック $\phi/64$ でカウント
1	0	1	内部クロック $\phi/16$ でカウント
1	1	0	内部クロック $\phi/4$ でカウント
1	1	1	外部イベント (TMIB) の立上がり / 立下がりエッジでカウント*

【注】 * 外部イベントのエッジ選択は、割込みエッジセレクトレジスタ 2 (IEGR2) の INTEG6 により設定します。詳細は、「3.3.2 (2) 割込みエッジセレクトレジスタ 2 (IEGR2)」を参照してください。

(2) タイマカウンタ B1 (TCB1)

ビット:	7	6	5	4	3	2	1	0
	TCB17	TCB16	TCB15	TCB14	TCB13	TCB12	TCB11	TCB10
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

TCB1 は、8 ビットのリード可能なアップカウンタで、入力する内部クロック / 外部イベントによりカウントアップされます。入力するクロックは、TMB1 の TMB12～TMB10 により選択します。TCB1 の値は、CPU から常にリードできます。

TCB1 がオーバーフロー (H'FF→H'00または H'FF→TLB1 の設定値) すると、IRR1 の IRRTB1 が"1"にセットされます。

TCB1 は、TLB1 と同一のアドレスに割り付けられています。

リセット時、TCB1 は H'00 にイニシャライズされます。

(3) タイマロードレジスタ B1 (TLB1)

ビット:	7	6	5	4	3	2	1	0
	TLB17	TLB16	TLB15	TLB14	TLB13	TLB12	TLB11	TLB10
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

TLB1 は、8 ビットのライト専用のレジスタで、TCB1 のリロード値を設定します。

TLB1 にリロード値を設定すると、同時にその値は TCB1 にもロードされ、TCB1 はその値からカウントアップを開始します。また、オートリロード動作時、TCB1 がオーバーフローすると TCB1 に TLB1 の値がロードされます。したがって、オーバーフロー周期を 1 ~ 256 入力クロックの範囲で設定することができます。

TLB1 は、TCB1 と同一のアドレスに割り付けられています。

リセット時、TLB1 は H'00 にイニシャライズされます。

9.3.3 動作説明

(1) インターバルタイマの動作

TMB1 の TMB17 を "0" にセットすると、タイマ B1 は 8 ビットインターバルタイマとして動作します。

リセット時、TCB1 は H'00、TMB17 は "0" にクリアされるため、リセット直後は、インターバルタイマとして停止することなくカウントアップを続けます。タイマ B1 の動作クロックは、TMB1 の TMB12 ~ TMB10 により、プリスケアラ S の出力する 7 種類の内部クロック、TMIB 入力端子からの外部クロックを選択できます。

TCB1 のカウント値が H'FF になった後、クロックが入力されると、タイマ B1 はオーバーフローし、IRR1 の IRRTB1 が "1" にセットされます。このとき、IENR1 の IENTB1 が "1" ならば CPU に割込みを要求します。*

オーバーフロー時には、TCB1 のカウント値は H'00 に戻り、再びカウントアップを開始します。

インターバルタイマ動作時 (TMB17 = "0") に TLB1 を設定すると、同時に TCB1 にも TLB1 の値をロードします。

【注】 * 割込みについての詳細は、「3.3 割込み」を参照してください。

(2) オートリロードタイマの動作

TMB1 の TMB17 を "1" にセットすると、タイマ B1 は 8 ビットオートリロードタイマとして動作します。TLB1 にリロード値を設定すると、同時にその値が TCB1 にロードされ、TCB1 はその値からカウントアップを開始します。

TCB1 のカウント値が HFF になった後、クロックが入力されると、タイマ B1 はオーバーフローし、TLB1 の値が TCB1 にロードされ、その値からカウントアップを続けます。したがって、TLB1 の値により、オーバーフロー周期を 1 ~ 256 入力クロックの範囲で設定できます。

オートリロード動作時のクロックおよび割込みについてはインターバル動作時と同様です。

オートリロード動作時 (TMB17 = "1") に TLB1 の値を再設定すると、同時に TCB1 にも TLB1 の値をロードします。

(3) イベントカウンタ

タイマ B1 は、TMIB 端子をイベント入力端子とするイベントカウンタとして動作します。

TMB1 の TMB12 ~ TMB10 を "111" に設定すると、外部イベントが選択され、TCB1 は、TMIB 端子入力の立上がり / 立下がりエッジでカウントアップします。

外部イベント入力を使用する場合は、IENR3 の INTEN6 = "0" として INT₆ 割込み要求を禁止してください。

9.3.4 タイマ B1 の動作モード

タイマ B1 の動作モードを表 9.7 に示します。

表 9.7 タイマ B1 の動作モード

	動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCB1	インターバル	リセット	動作	動作	停止	停止	停止	停止
	オートリロード	リセット	動作	動作	停止	停止	停止	停止
	TMB1	リセット	動作	保持	保持	保持	保持	保持

9.4 タイマ V

9.4.1 概要

タイマ V は、8 ビットのカウンタをベースにした 8 ビットタイマです。外部のイベントのカウンタが可能のほか、コンペアマッチ信号によりカウンタのリセット、割込み要求、任意のデューティ比のパルス出力などが可能です。また、TRGV 端子からのトリガ入力によるカウント開始機能を備えていますので、トリガ入力から任意時間経過後にトリガと同期したパルスの出力制御が可能です。

(1) 特長

タイマ V の特長を以下に示します。

- 7 種類のクロックを選択可能

6 種類の内部クロック ($\phi/128$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$) と外部クロックからの選択が可能です (外部イベントのカウンタが可能です)。

- カウンタのクリア指定が可能

コンペアマッチ A、B、または外部リセット信号のうちから選択できます。カウント停止機能を選択しているときは、カウンタクリアと同時にカウントが停止します。

- 2 つのコンペアマッチ信号の組合せでタイマ出力を制御

独立に動作可能な 2 つのコンペアマッチ信号の組合せによって、任意のデューティのパルス出力や PWM 出力など種々の応用が可能です。

- 割込み要因：コンペアマッチ $\times 2$ 要因、オーバフロー $\times 1$ 要因

- トリガ入力によるカウント開始機能

TRGV 端子からのトリガ入力によるカウント開始機能を備えています。TRGV 端子からのトリガ入力は立上がりエッジ、立下がりエッジ、両エッジからの選択が可能です。

(2) ブロック図

タイマVのブロック図を図9.3に示します。

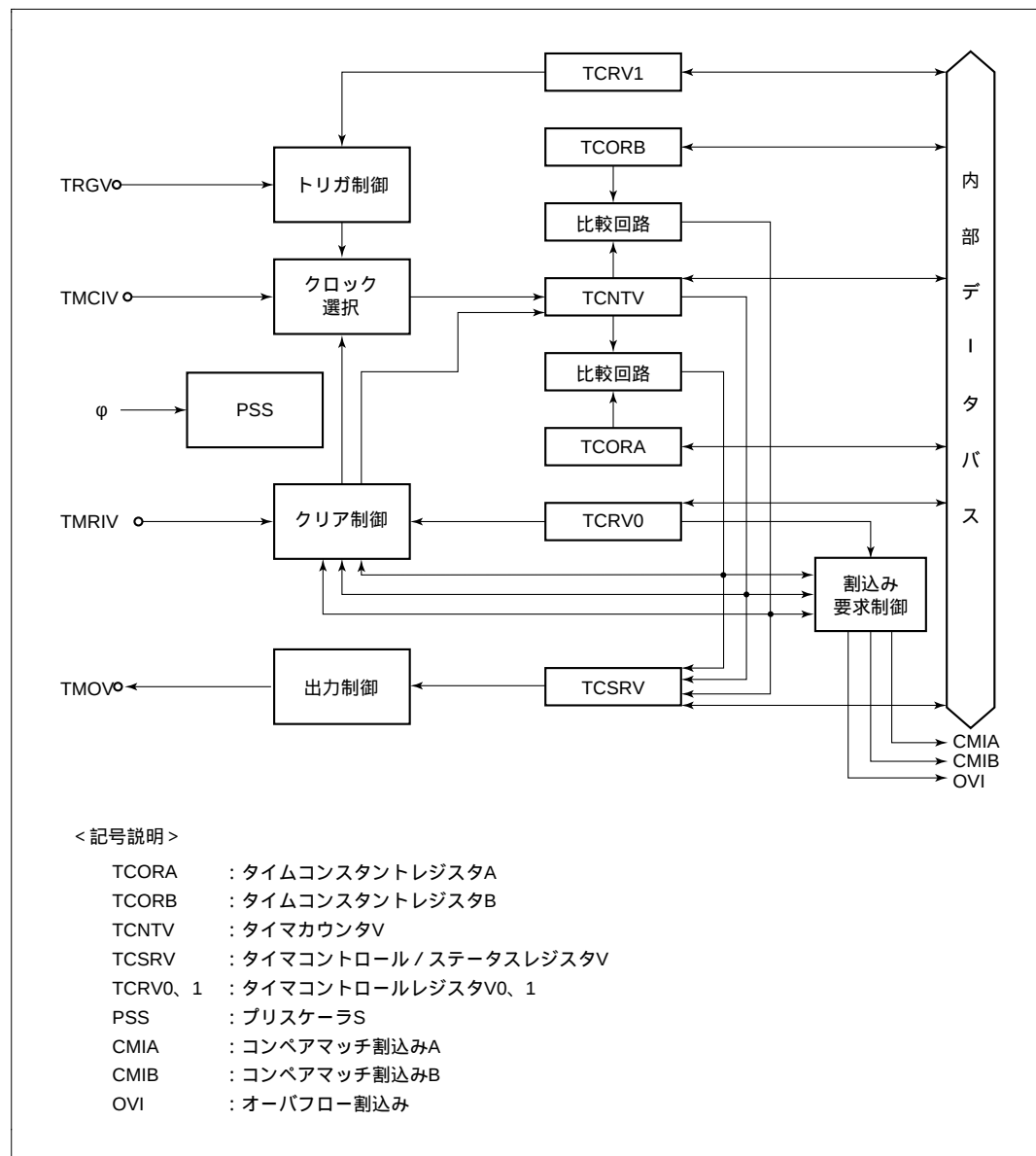


図9.3 タイマVのブロック図

(3) 端子構成

タイマVの端子構成を表9.8に示します。

表 9.8 端子構成

名称	略称	入出力	機能
タイマV出力	TMOV	出力	タイマVの波形出力端子
タイマVクロック入力	TMCIV	入力	TCNTVに入力するクロック入力端子
タイマVリセット入力	TMRIV	入力	TCNTVをリセットする外部入力端子
トリガ入力	TRGV	入力	カウント開始トリガ入力端子

(4) レジスタ構成

タイマVのレジスタ構成を表9.9に示します。

表 9.9 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマコントロールレジスタV0	TCRV0	R/W	H'00	H'FFB8
タイマコントロール/ステータスレジスタV	TCSRv	R/(W)*	H'10	H'FFB9
タイムコンスタントレジスタA	TCORA	R/W	H'FF	H'FFBA
タイムコンスタントレジスタB	TCORB	R/W	H'FF	H'FFBB
タイマカウンタV	TCNTV	R/W	H'00	H'FFBC
タイマコントロールレジスタV1	TCRV1	R/W	H'E2	H'FFBD

【注】 * ビット7～5は、フラグをクリアするための"0"ライトのみ可能です。

9.4.2 各レジスタの説明

(1) タイマカウンタ V (TCNTV)

ビット:	7	6	5	4	3	2	1	0
	TCNTV7	TCNTV6	TCNTV5	TCNTV4	TCNTV3	TCNTV2	TCNTV1	TCNTV0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNTV は、8 ビットのリード/ライト可能なアップカウンタで、入力する内部クロック/外部クロックによりカウントアップされます。入力するクロックは、TCRV0 の CKS2 ~ CKS0 により選択します。TCNTV の値は、CPU から常にリード/ライトできます。

TCNTV は、外部リセット入力信号またはコンペアマッチ信号 (A、B) により、クリアすることができます。いずれの信号でクリアするかは、TCRV0 の CCLR1、CCLR0 により選択します。

また、TCNTV がオーバフロー (H'FF→H'00) すると、TCSR の OVF が "1" にセットされます。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、TCNTV は、H'00 にイニシャライズされます。

(2) タイムコンスタントレジスタ A、B (TCORA、B)

ビット:	7	6	5	4	3	2	1	0
	TCORn7	TCORn6	TCORn5	TCORn4	TCORn3	TCORn2	TCORn1	TCORn0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

n = A または B

TCORA、B は、8 ビットのリード/ライト可能なレジスタです。

TCORA の内容は TCNTV と常に比較されており、両者の値が一致すると、TCSR の CMFA が "1" にセットされます。このとき TCRV0 の CMIEA が "1" ならば CPU に割込みを要求します。ただし、TCORA へのライトサイクルの T₃ ステートでの比較は禁止されています。

また、この一致による信号 (コンペアマッチ) と TCSR の OS3 ~ OS0 の設定により、TMOV 端子からのタイマ出力を自由に制御することができます。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、TCORA は、H'FF にイニシャライズされます。

TCORB についても同様です。

(3) タイマコントロールレジスタ V0 (TCRV0)

ビット:	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCRV0 は、8 ビットのリード/ライト可能なレジスタで、TCNTV の入力クロックの選択、TCNTV のクリア指定、および各割込み要求の許可を行います。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、TCRV0 は、H'00 にイニシャライズされます。

ビット 7: コンペアマッチインタラプトイネーブル B (CMIEB)

TCSR の CMFB が "1" にセットされたとき、CMFB による割込み要求 (CMIB) の許可または禁止を選択します。

ビット 7	
CMIEB	説明
0	CMFB による割込み要求 (CMIB) を禁止 (初期値)
1	CMFB による割込み要求 (CMIB) を許可

ビット 6: コンペアマッチインタラプトイネーブル A (CMIEA)

TCSR の CMFA が "1" にセットされたとき、CMFA による割込み要求 (CMIA) の許可または禁止を選択します。

ビット 6	
CMIEA	説明
0	CMFA による割込み要求 (CMIA) を禁止 (初期値)
1	CMFA による割込み要求 (CMIA) を許可

ビット 5: タイマオーバフローインタラプトイネーブル B (OVIE)

TCSR の OVF が "1" にセットされたとき、OVF による割込み要求 (OVI) の許可または禁止を選択します。

ビット 5	
OVIE	説明
0	OVF による割込み要求 (OVI) を禁止 (初期値)
1	OVF による割込み要求 (OVI) を許可

ビット4～3：カウンタクリア 1、0（CCLR1、CCLR0）

TCNTV をクリアするかしないかを指定します。コンペアマッチ A、B または外部リセット入力から選択します。

クリアを指定しているとき、TCRV1 の TRGE が"1"にセットされていると、TCNTV のクリア動作と同時に TCNTV のカウントアップを停止します。カウントアップの再開は TRGV 入力端子のエッジ入力によって行われます。

TRGE が"0"にクリアされているときは、TCNTV のクリア動作後、継続してカウントアップを行います。

ビット4	ビット3	説明
CCLR1	CCLR0	
0	0	クリアを禁止（初期値）
0	1	コンペアマッチ A によるクリア
1	0	コンペアマッチ B によるクリア
1	1	外部リセット入力の立上がりエッジによるクリア

ビット2～0：クロックセレクト2～0（CKS2～CKS0）

TCRV1のICKS0との組合わせで、TCNTVに入力するクロックを選択します。

内部クロックは、システムクロック（ ϕ ）を分周した6種類のクロックから選択できます。立下がりエッジでカウントします。

外部クロックのとき、入力は立上がり、立下がり、または立上がり / 立下がり両エッジのカウントの3種類から選択できます。

TRGEが"0"にクリアされているときは、TCNTVのクリア動作後、継続してカウントアップを行います。

TCRV0			TCRV1	説明
ビット2	ビット1	ビット0	ビット0	
CKS2	CKS1	CKS0	ICKS0	
0	0	0	—	クロック入力禁止（初期値）
0	0	1	0	内部クロック： $\phi/4$ 立下がりエッジでカウント
0	0	1	1	内部クロック： $\phi/8$ 立下がりエッジでカウント
0	1	0	0	内部クロック： $\phi/16$ 立下がりエッジでカウント
0	1	0	1	内部クロック： $\phi/32$ 立下がりエッジでカウント
0	1	1	0	内部クロック： $\phi/64$ 立下がりエッジでカウント
0	1	1	1	内部クロック： $\phi/128$ 立下がりエッジでカウント
1	0	0	—	クロック入力禁止
1	0	1	—	外部クロック：立上がりエッジでカウント
1	1	0	—	外部クロック：立下がりエッジでカウント
1	1	1	—	外部クロック：立上がり / 立下がり両エッジでカウント

（４）タイマコントロール / ステータスレジスタ V（TCSR V）

ビット：	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0
初期値：	0	0	0	1	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	—	R/W	R/W	R/W	R/W

【注】* フラグをクリアするための"0"ライトのみ可能です。

TCSR Vは、8ビットのレジスタで、コンペアマッチフラグのセット、タイマオーバフローフラグのセット、およびコンペアマッチ出力の制御を行います。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、TCSR VはH'10にイニシャライズされます。

ビット7：コンペアマッチフラグB（CMFB）

TCNTV と TCORB がコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	説明
CMFB	
0	[クリア条件] (初期値) CMFB = "1"の状態、CMFB をリードした後、CMFB に"0"をライトしたとき
1	[セット条件] TCNTV の値と TCORB の値が、コンペアマッチしたとき

ビット6：コンペアマッチフラグA（CMFA）

TCNTV と TCORA がコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット6	説明
CMFA	
0	[クリア条件] (初期値) CMFA = "1"の状態、CMFA をリードした後、CMFA に"0"をライトしたとき
1	[セット条件] TCNTV の値と TCORA の値が、コンペアマッチしたとき

ビット5：タイマオーバーフローフラグ（OVF）

TCNTV がオーバーフロー（H'FF→H'00）したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット5	説明
OVF	
0	[クリア条件] (初期値) OVF = "1"の状態、OVF をリードした後、OVF に"0"をライトしたとき
1	[セット条件] TCNTV の値が H'FF→H'00 になったとき

ビット4：リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

ビット3～0：アウトプットセレクト3～0（OS3～OS0）

TCORA または TCORB と TCNTV のコンペアマッチによる TMOV 端子の出力レベルをどのように変化させるかを選択します。

OS3 と OS2 がコンペアマッチ B による出力レベルを選択し、OS1 と OS0 がコンペアマッチ A による出力レベルを選択し、それぞれ独立に制御することができます。

ただし、トグル出力 > "1"出力 > "0"出力の順で優先順位が高くなるように設定してありますので、コンペアマッチが同時に発生した場合は、優先順位が高い方のコンペアマッチに従って出力が変化します。

なお、OS3～OS0 がすべて"0"の場合にはタイマ出力は禁止されます。

リセット後、最初のコンペアマッチが起こるまでのタイマ出力は"0"です。

ビット3	ビット2	説明
OS3	OS2	
0	0	コンペアマッチ B で変化しない（初期値）
0	1	コンペアマッチ B で"0"出力
1	0	コンペアマッチ B で"1"出力
1	1	コンペアマッチ B ごとに反転出力（トグル出力）

ビット1	ビット0	説明
OS1	OS0	
0	0	コンペアマッチ A で変化しない（初期値）
0	1	コンペアマッチ A で"0"出力
1	0	コンペアマッチ A で"1"出力
1	1	コンペアマッチ A ごとに反転出力（トグル出力）

（5）タイマコントロールレジスタ V1（TCRV1）

ビット：	7	6	5	4	3	2	1	0
	—	—	—	TVEG1	TVEG0	TRGE	—	ICKS0
初期値：	1	1	1	0	0	0	1	0
R/W：	—	—	—	R/W	R/W	R/W	—	R/W

TCRV1 は、8 ビットのリード/ライト可能なレジスタで、TRGV 端子のエッジセレクト、TRGV 入力イネーブル、TCNTV の入力クロックの選択を行います。

リセット、ウォッチモード、サブスリープモード、またはサブアクティブモード時に TCRV1 は H'E2 にイニシャライズされます。

ビット7～5：リザーブビット

リザーブビットです。各ビットはリードすると常に"1"が読み出されます。ライトは無効です。

ビット4、3：TRGV 入力エッジセレクト (TVEG1、TVEG0)

TRGV 端子の入力エッジを選択します。

ビット4	ビット3	説明
TVEG1	TVEG0	
0	0	TRGV からのトリガ入力を禁止 (初期値)
0	1	立上がりエッジを選択
1	0	立下がりエッジを選択
1	1	立上がり / 立下がり両エッジを選択

ビット2：TRGV 入力イネーブル (TRGE)

TRGV 端子入力による TCNTV カウントアップの開始とコンペアマッチによる TCNTV クリア時の TCNTV カウントアップの停止を、許可 / 禁止します。TRGE が"1"にセットされると、TCNTV のカウントアップは停止します。TRGV 端子から、TVEG1、TVEG0 で選択されたエッジが入力されると、TCNTV のカウントアップが開始されます。

ビット2	説明
TRGE	
0	TRGV 端子入力による TCNTV カウントアップの開始とコンペアマッチによる TCNTV クリア時の TCNTV カウントアップの停止を禁止 (初期値)
1	TRGV 端子入力による TCNTV カウントアップの開始とコンペアマッチによる TCNTV クリア時の TCNTV カウントアップの停止を許可

ビット1：リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

ビット0：インターナルクロックセレクト0 (ICKS0)

TCRV0 の CKS2～CKS0 との組合せで、TCNTV に入力するクロックを選択します。詳細は「9.4.2 (3) タイマコントロールレジスタ V0」を参照してください。

9.4.3 動作説明

(1) タイマ V の動作

リセット直後、TCNTV は H'00 に、TCORA、TCORB は H'FF に、TCRV0 は H'00 に、TCSRv は H'10 に、TCRV1 は H'E2 に初期化されます。

タイマ V の動作クロックは、TCRV0 の CKS2 ~ CKS0 と TCRV1 の ICKS0 の組合せにより、プリスケラ S の出力する 6 種類の内部クロックまたは外部クロックを選択できます。外部クロックの入力エッジも CKS2 ~ CKS0 で選択できます。動作クロックを選択すると、この入力により、TCNTV はカウントアップを開始します。

TCNTV の内容は、TCORA、TCORB と常に比較されており、一致すると TCSRv の CMFA、CMFB が "1" にセットされます。このとき TCRV0 の CMIEA、CMIEB が "1" ならば、CPU に割込みを要求します。同時に、TCSRv の OS3 ~ OS0 で選択した出力レベルが TMOV 端子から出力されます。

TCNTV がオーバーフロー (H'FF → H'00) すると、TCRV0 の OVIE が "1" ならば、CPU に割込みを要求します。

TCRV0 の CCLR1、CCLR0 が "01" (コンペアマッチ A によるクリア) または "10" (コンペアマッチ B によるクリア) ならば、対応するコンペアマッチで TCNTV がクリアされます。"11" ならば、TMRIV 端子入力の立上がりエッジで TCNTV がクリアされます。TCRV0 の CCLR1、CCLR0 で選択したカウンタクリア要因が発生すると、TCNTV のクリアと同時にカウントアップも停止します。TRGV 端子から TCRV1 の TVEG1、TVEG0 で選択されたエッジが入力されると、TCNTV のカウントアップが開始されます。

(2) TCNTV のカウントタイミング

TCNTV は、入力されたクロック (内部クロックまたは外部クロック) によりカウントアップされます。

(a) 内部クロック動作の場合

TCRV0 の CKS2 ~ CKS0 および TCRV1 の ICKS0 の設定により、システムクロック (ϕ) を分周して作られる 6 種類の内部クロック ($\phi/128$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$) が選択されます。このタイミングを図 9.4 に示します。

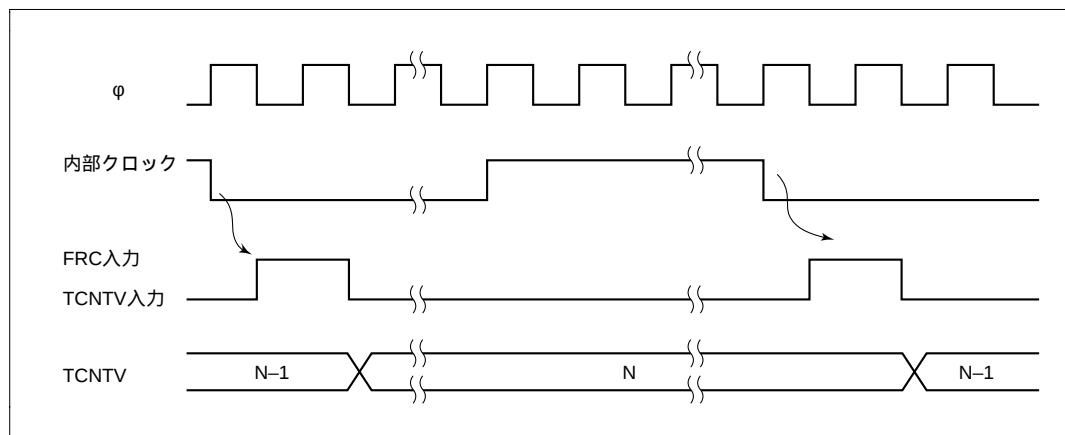


図 9.4 内部クロック動作時のカウントタイミング

(b) 外部クロック動作の場合

TCRV0 の CKS2 ~ CKS0 の設定により、外部クロックの立上がり、立下がり、立上がり / 立下がり両エッジのいずれかによるカウントアップが選択されます。

なお、外部クロックのパルス幅は、単エッジの場合は 1.5 システムクロック (ϕ) 以上、両エッジの場合は 2.5 システムクロック以上必要です。これ以下のパルス幅では、正しく動作しませんので注意してください。

図 9.5 に外部クロックとして、立上がり / 立下がり両エッジの場合のタイミングを示します。

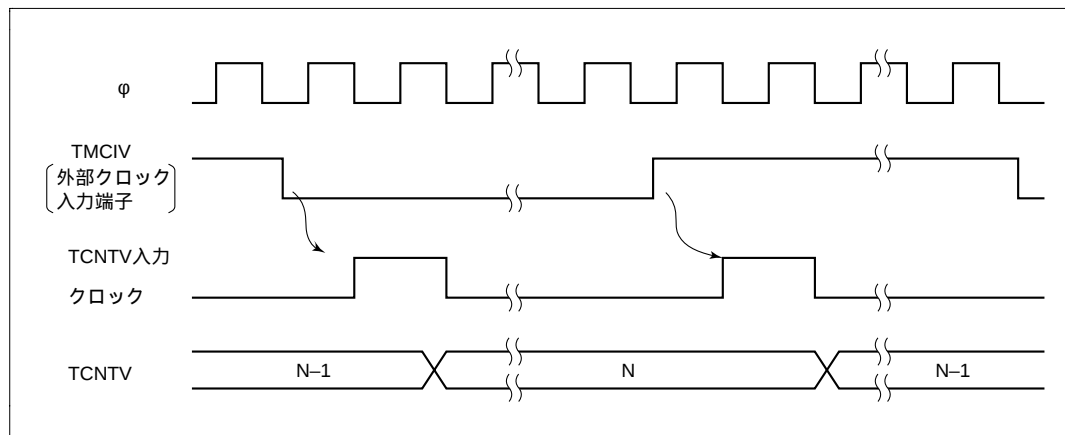


図 9.5 外部クロック動作時のカウントタイミング

(3) オーバフローフラグのセットタイミング

オーバフローフラグ (OVF) は、TCNTV がオーバフロー (H'FF → H'00) したとき "1" にセットされます。

このときのタイミングを図 9.6 に示します。

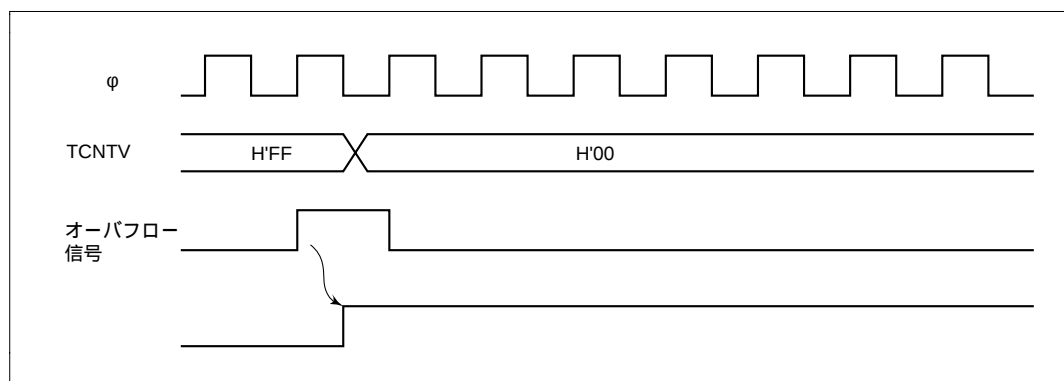


図 9.6 OVF のセットタイミング

(4) コンペアマッチフラグのセットタイミング

コンペアマッチフラグ (CMFA、B) は、TCORA または TCORB と TCNTV のコンペアマッチ時に "1" にセットされます。コンペアマッチ信号は値が一致した最後のステート (TCNTV が一致したカウント値を更新するタイミング) で発生します。TCNTV と TCORA または TCORB が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図 9.7 に示します。

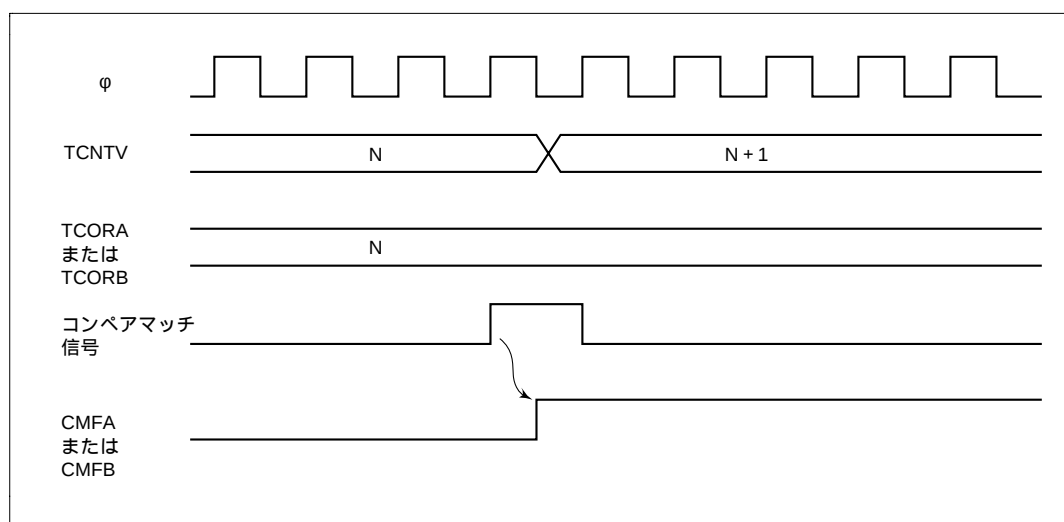


図 9.7 CMFA と CMFB のセットタイミング

(5) TMOV 出力タイミング

TMOV の出力は、コンペアマッチ A または B が発生したとき、TCSR の OS3 ~ OS0 で選択された状態（変化しない、"0"出力、"1"出力、トグル出力）で出力されます。

図 9.8 にコンペアマッチ A 信号によるトグル出力の場合の出力タイミングを示します。

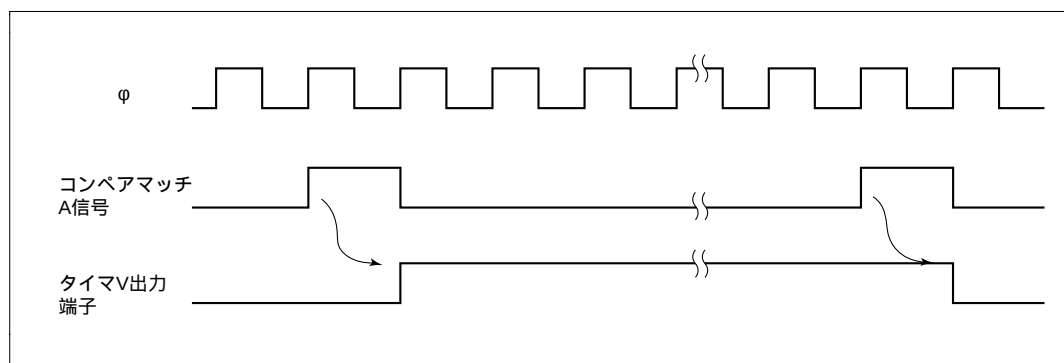


図 9.8 TMOV 出力タイミング

(6) コンペアマッチによる TCNTV クリアタイミング

TCNTV は、TCRV0 の CCLR1、CCLR0 の選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。このクリアされるタイミングを図 9.9 に示します。

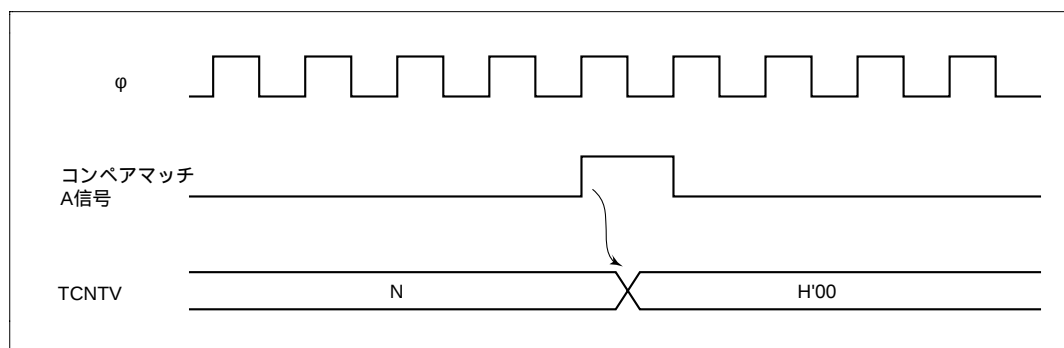


図 9.9 コンペアマッチによるクリアタイミング

(7) TMRIV による TCNTV クリアタイミング

TCNTV は、TCRV0 の CCLR1、CCLR0 の選択により TMRIV 端子からの立上がりエッジでクリアされます。TMRIV 入力のパルス幅は 1.5 システムクロック以上が必要です。このクリアされるタイミングを図 9.10 に示します。

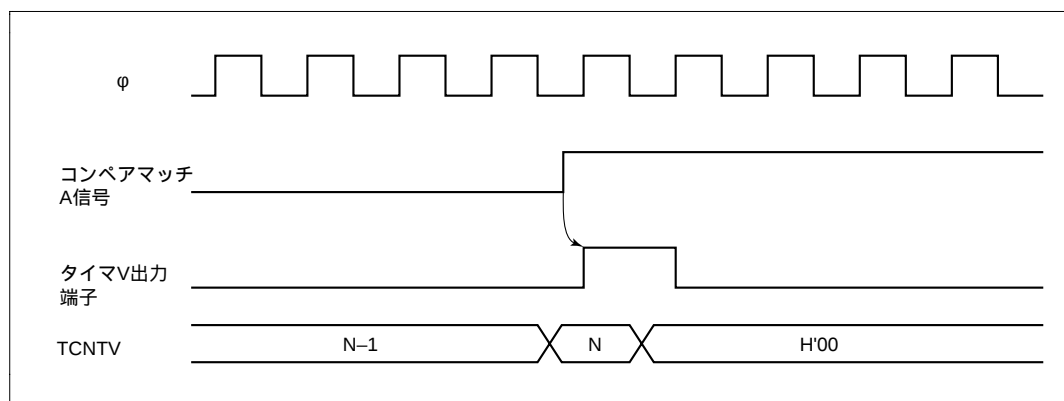


図 9.10 TMRIV 入力によるクリアタイミング

9.4.4 タイマVの動作モード

タイマVの動作モードを表9.10に示します。

表 9.10 タイマ V の動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCNTV	リセット	動作	動作	リセット	リセット	リセット	リセット
TCRV0、TCRV1	リセット	動作	動作	リセット	リセット	リセット	リセット
TCORA、TCORB	リセット	動作	動作	リセット	リセット	リセット	リセット
TCSRV	リセット	動作	動作	リセット	リセット	リセット	リセット

9.4.5 割込み要因

タイマ V の割込み要因は、CMIA、CMIB、OVI の 3 種類があります。表 9.11 に各割込み要因とベクタアドレスを示します。各割込み要因は、TCRV0 の各割込みイネーブルビットにより許可または禁止が設定できます。割込みベクタアドレスは共通ですが、各割込み要因のフラグを備えていますので、ソフトウェアで割込み要因の判定が可能です。

表 9.11 タイマV割込み要因

割込み要因	内容	ベクタアドレス
CMIA	CMFA による割込み	H'0022
CMIB	CMFB による割込み	
QVI	QVF による割込み	

9.4.6 タイマVの使用例

(1) 任意のデューティパルス出力

任意のデューティパルスを出力させた例を図 9.11 に示します。これは次に示すように設定します。

- (1) TCORA のコンペアマッチにより TCNTV がクリアされるように、TCRV0 の CCRLR1 を"0"、CCLR0 を"1"にセットします。
- (2) TCORA のコンペアマッチにより"1"出力、TCORB のコンペアマッチにより"0"出力になるように TCSR の OS3 ~ OS0 を"0110"に設定します。
- (3) TCRV0 の CKS2 ~ CKS0 と TCRV1 の ICKS0 を設定して、所望のクロックソースを選択します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介入なしに出力できます。

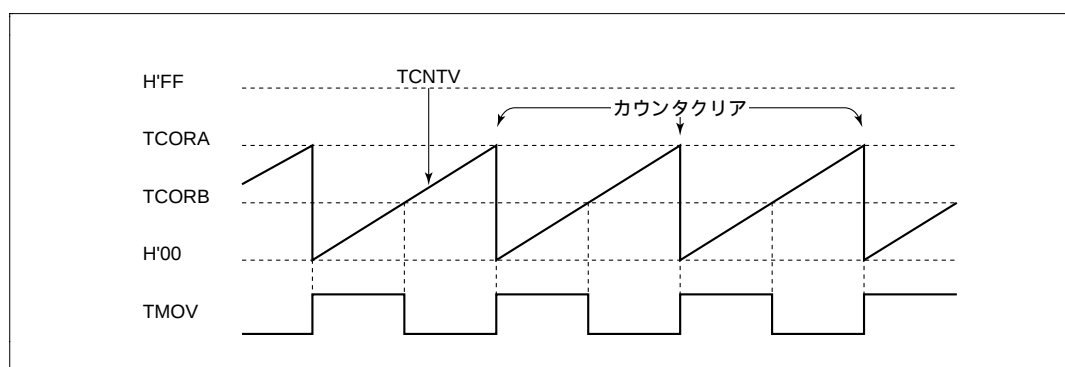


図 9.11 パルス出力例

(2) TRGV 入力から任意の遅延時間のパルス幅のパルス出力

TRGV 入力によるカウントアップ開始機能を用いて、TRGV 入力に対する任意の遅延時間、任意のパルス幅をもつパルスを出力することができます。この出力例を図 9.12 に示します。これは次に示すように設定します。

- (1) TCORB のコンペアマッチにより TCNTV がクリアされるように、TCRV0 の CCRLR1 を"1"、CCLR0 を"0"にセットします。
- (2) TCORA のコンペアマッチにより"1"出力、TCORB のコンペアマッチにより"0"出力になるように TCSR の OS3 ~ OS0 を"0110"に設定します。
- (3) TRGV 入力の立下がりエッジが有効となるように、TCRV1 の TVEG1 ~ TVEG0 を"10"に、TRGE を"1"に設定します。
- (4) TCRV0 の CKS2 ~ CKS0 と TCRV1 の ICKS0 を設定して、所望のクロックソースを選択します。

以上の設定により、TRGV 入力からの遅延時間が TCORA、パルス幅が (TCORB - TCORA) の波形をソフトウェアの介在なしに出力できます。

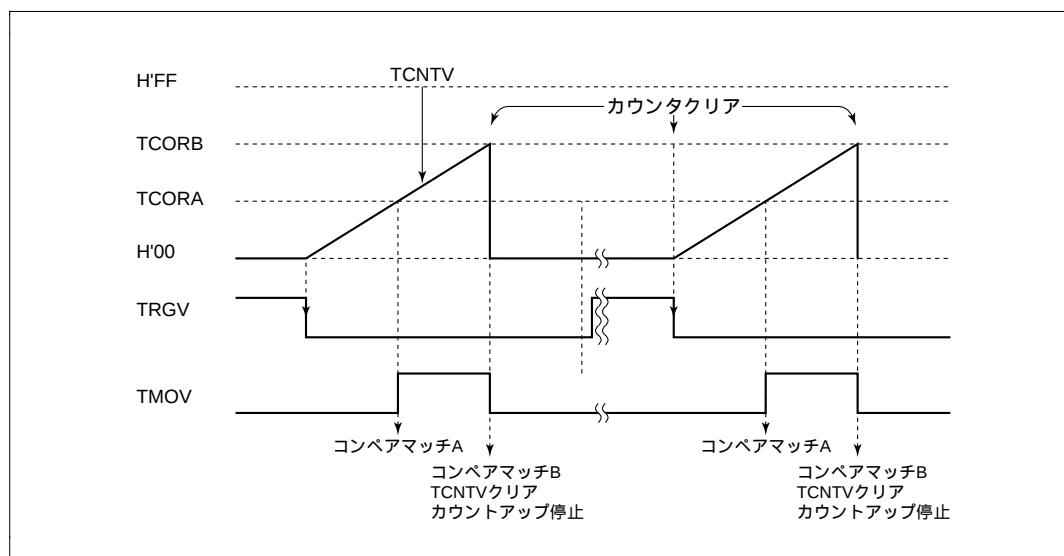


図 9.12 TRGV 入力に周期したパルス出力例

9.4.7 使用上の注意事項

タイマ V の動作中、次のような競合や動作が起こりますので注意してください。

(1) TCNTV のライトとカウンタクリアの競合

TCNTV ライトサイクル中の T_3 ステートで、TCNTV のクリア信号が発生すると、カウンタへのライトは行われず、クリアが優先されます。

このタイミングを図 9.13 に示します。

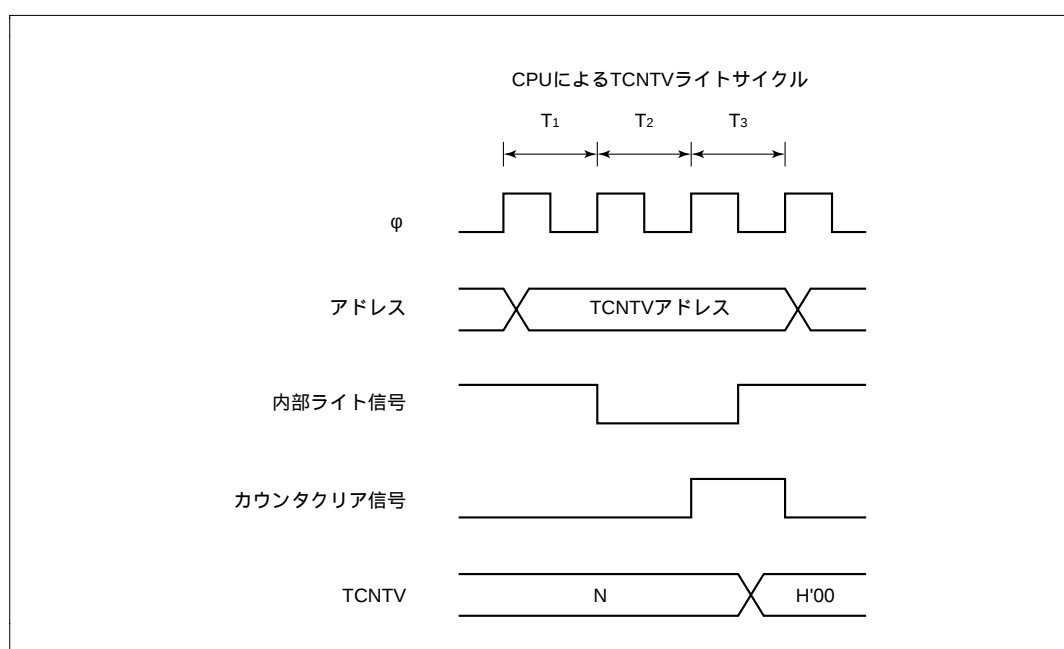


図 9.13 TCNTV のライトとクリアの競合

(2) TCNTV のライトとカウントアップの競合

TCNTV ライトサイクル中の T_3 ステートでカウントアップが発生しても、カウントアップされずライトが優先されます。

このタイミングを図 9.14 に示します。

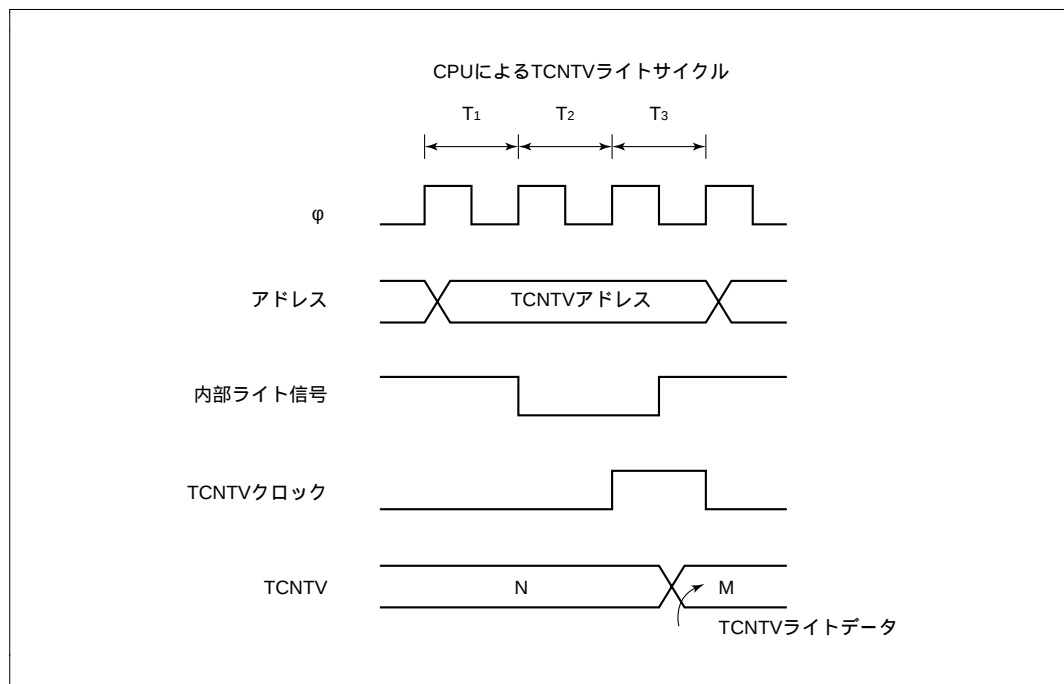


図 9.14 TCNTV のライトとカウントアップの競合

(3) TCOR のライトとコンペアマッチの競合

TCORA、TCORB のライトサイクル中の T_3 ステートでコンペアマッチが発生した場合、TCORA、TCORB へのライトが優先され、コンペアマッチ信号は禁止されます。

このタイミングを図 9.15 に示します。

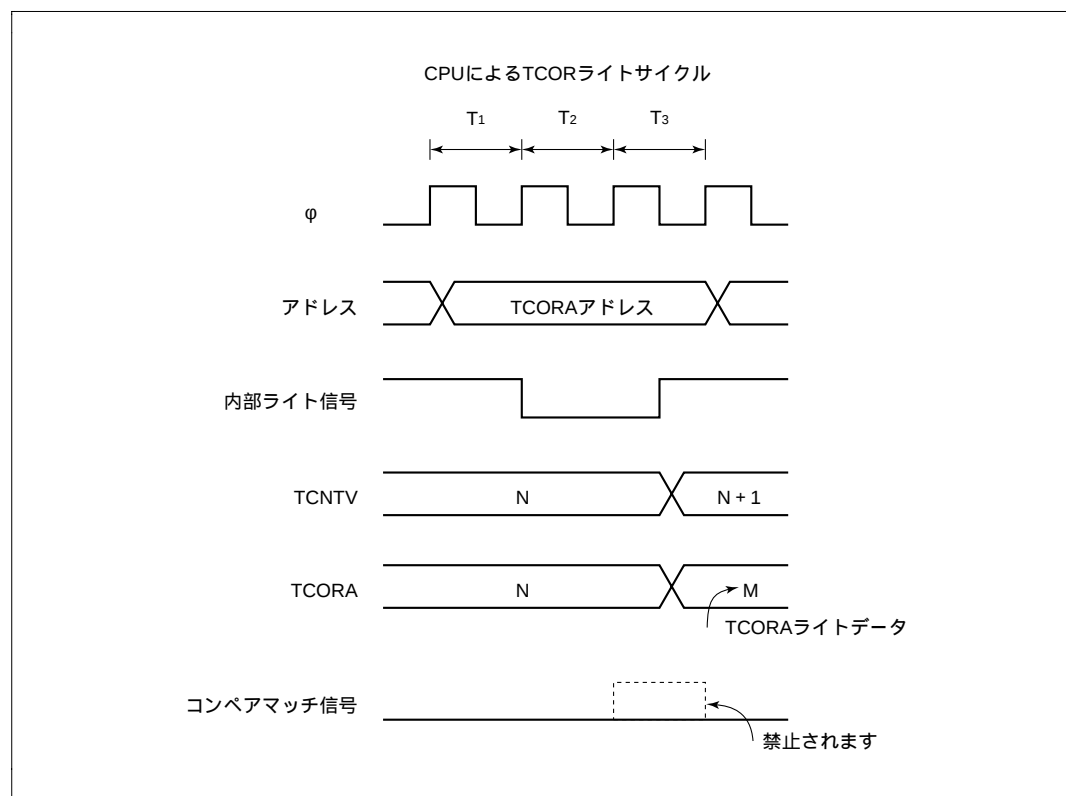


図 9.15 TCORA へのライトとコンペアマッチの競合

(4) コンペアマッチ A、B の競合

コンペアマッチ A、B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 9.12 に示すタイマ出力の優先順位に従って動作します。

表 9.12 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
"1"出力	
"0"出力	
変化しない	

(5) 内部クロックの切替えとカウンタの動作

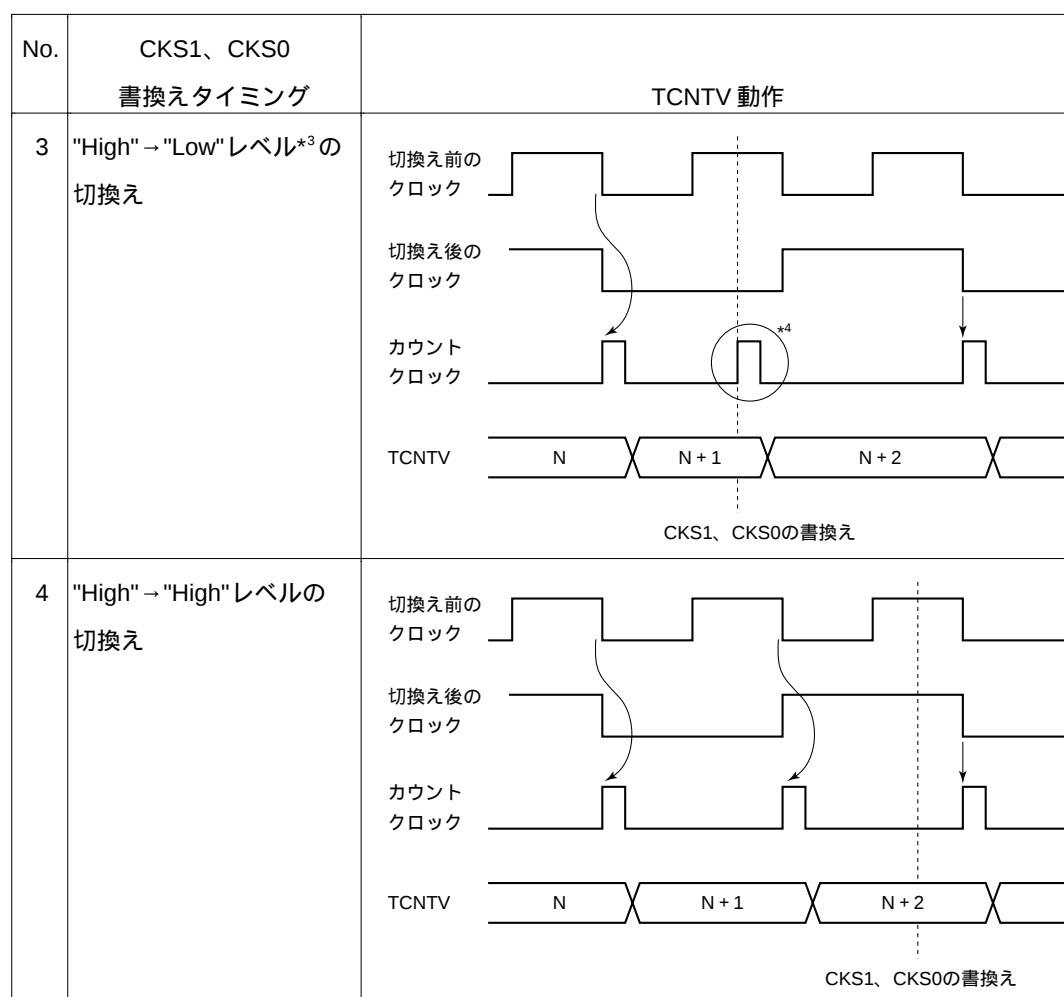
内部クロックを切り換えるタイミングによっては、TCNTV がカウントアップされてしまう場合があります。内部クロックの切換えタイミング(CKS1、CKS0の書換え)とTCNTV動作の関係を表9.13に示します。

内部クロックを使用する場合、システムクロック(ϕ)を分周した内部クロックの立下がりエッジで検出してカウントクロックを発生しています。そのため表9.13のNo.3のように切換え前のタイミングを立下がりエッジとみなしてカウントクロックが発生し、TCNTV がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り換えるときも、TCNTV がカウントアップされることがあります。

表9.13 内部クロックの切換えとTCNTV動作

No.	CKS1、CKS0 書換えタイミング	TCNTV 動作
1	"Low" → "Low" レベル ^{*1} の 切換え	切換え前のクロック 切換え後のクロック カウントクロック TCNTV CKS1、CKS0の書換え
2	"Low" → "High" レベル ^{*2} の 切換え	切換え前のクロック 切換え後のクロック カウントクロック TCNTV CKS1、CKS0の書換え



【注】 *1 "Low"レベル→停止、および停止→"Low"レベルの場合を含みます。

*2 停止→"High"レベルの場合を含みます。

*3 "High"レベル→停止を含みます。

*4 切換えのタイミングを立下がりエッジとみなすために発生し、TCNTV はカウントアップされてしまいます。

9.5 タイマ X

9.5.1 概要

タイマ X は、16 ビットのフリーランニングカウンタ (FRC) をベースにして、2 種類の独立した波形出力が可能であり、また入力パルスの幅や外部クロックの周期を測定することができます。

(1) 特長

タイマ X の特長を以下に示します。

- 4 種類のカウンタ入力クロックを選択可能
3 種類の内部クロック ($\phi/2$ 、 $\phi/8$ 、 $\phi/32$) と外部クロックから選択できます (外部イベントのカウントが可能)。
- 2 本の独立したアウトプットコンペア機能
2 種類の波形出力が可能です。
- 4 本の独立したインプットキャプチャ機能
立上がりエッジ / 立下がりエッジの選択が可能です。バッファ動作を指定できます。
- カウンタのクリア指定が可能
コンペアマッチ A により、カウンタの値をクリアすることができます。
- 7 種類の割込み要因
コンペアマッチ $\times 2$ 要因、インプットキャプチャ $\times 4$ 要因、オーバフロー $\times 1$ 要因があり、それぞれ独立に要求することができます。

(3) 端子構成

タイマ X の端子構成を表 9.14 に示します。

表 9.14 端子構成

名称	略称	入出力	機能
カウンタクロック入力	FTCI	入力	FRC に入力するクロック入力端子
アウトプットコンペア A 出力	FTOA	出力	アウトプットコンペア A の出力端子
アウトプットコンペア B 出力	FTOB	出力	アウトプットコンペア B の出力端子
インプットキャプチャ A 入力	FTIA	入力	インプットキャプチャ A の入力端子
インプットキャプチャ B 入力	FTIB	入力	インプットキャプチャ B の入力端子
インプットキャプチャ C 入力	FTIC	入力	インプットキャプチャ C の入力端子
インプットキャプチャ D 入力	FTID	入力	インプットキャプチャ D の入力端子

(4) レジスタ構成

タイマ X のレジスタ構成を表 9.15 に示します。

表 9.15 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマインタラプトイネーブルレジスタ	TIER	R/W	H'01	H'F770
タイマコントロール / ステータスレジスタ X	TCSRX	R/(W)* ¹	H'00	H'F771
フリーランニングカウンタ H	FRCH	R/W	H'00	H'F772
フリーランニングカウンタ L	FRCL	R/W	H'00	H'F773
アウトプットコンペアレジスタ AH	OCRAH	R/W	H'FF	H'F774* ²
アウトプットコンペアレジスタ AL	OCRAL	R/W	H'FF	H'F775* ²
アウトプットコンペアレジスタ BH	OCRBH	R/W	H'FF	H'F774* ²
アウトプットコンペアレジスタ BL	OCRBL	R/W	H'FF	H'F775* ²
タイマコントロールレジスタ X	TCRX	R/W	H'00	H'F776
タイマアウトプットコンペアコントロール レジスタ	TOCR	R/W	H'E0	H'F777

名称	略称	R/W	初期値	アドレス
インプットキャプチャレジスタ AH	ICRAH	R	H'00	H'F778
インプットキャプチャレジスタ AL	ICRAL	R	H'00	H'F779
インプットキャプチャレジスタ BH	ICRBH	R	H'00	H'F77A
インプットキャプチャレジスタ BL	ICRBL	R	H'00	H'F77B
インプットキャプチャレジスタ CH	ICRCH	R	H'00	H'F77C
インプットキャプチャレジスタ CL	ICRCL	R	H'00	H'F77D
インプットキャプチャレジスタ DH	ICRDH	R	H'00	H'F77E
インプットキャプチャレジスタ DL	ICRDL	R	H'00	H'F77F

【注】 *1 ビット 7～1 はフラグをクリアするための"0"ライトのみ可能です。ビット 0 はリード / ライト可能です。

*2 OCRA と OCRB のアドレスは同一です。これらの切換えは TOCR の OCRS ビットで行います。

9.5.2 各レジスタの説明

(1) フリーランニングカウンタ (FRC)

フリーランニングカウンタ H (FRCH)

フリーランニングカウンタ L (FRCL)

	FRC															
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	FRCH								FRCL							

FRC は、16 ビットのリード / ライト可能なアップカウンタで、入力する内部クロック / 外部クロックによりカウントアップされます。入力するクロックは、TCRX の CKS1、CKS0 により選択します。

TCSRX の CCLRA の設定によりコンペアマッチ A で FRC をクリアすることができます。

FRC がオーバーフロー (H'FFFF→H'0000) すると、TCSRX の OVF が"1"にセットされます。このとき TIER の OVIE が"1"ならば CPU に割込みを要求します。

FRC は、CPU からリード / ライト可能ですが、16 ビットになっているため、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行われます。詳細は、「9.5.3 CPU とのインタフェース」を参照してください。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に FRC は H'0000 に、イニシャライズされます。

(2) アウトプットコンペアレジスタ A、B (OCRA、OCRB)

アウトプットコンペアレジスタ AH、BH (OCRAH、OCRBH)

アウトプットコンペアレジスタ AL、BL (OCRAL、OCRBL)

		OCRA、OCRB															
ビット :		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :		1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
		OCRAH、OCRBH								OCRAL、OCRBL							

OCR は、16 ビットのリード/ライト可能な2本のレジスタ (OCRA、OCRB) から構成されます。OCR の内容はFRC と常に比較されており、両者の値が一致すると、TCSR の OCFA、OCRB が"1"にセットされます。このとき TIER の OCIAE、OCIBE が"1"ならば CPU に割込みを要求します。

コンペアマッチ時、TOCR の OEA、OEB が"1"にセットされていると、TOCR の OLVLA、OLVLB で設定したレベル値が、FTOA、FTOB 端子に出力されます。リセット後、最初のコンペアマッチが起こるまで FTOA、FTOB 端子から"0"が出力されます。

OCR は CPU からリード/ライト可能ですが、16 ビットになっているため、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行われます。詳細は、「9.5.3 CPU とのインタフェース」を参照してください。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、H'FFFF にイニシャライズされます。

(3) インプットキャプチャレジスタ A~D (ICRA ~ ICRD)

インプットキャプチャレジスタ AH~DH (ICRAH ~ ICRDH)

インプットキャプチャレジスタ AL~DL (ICRAL ~ ICRDL)

		ICRA、ICRB、ICRC、ICRD															
ビット :		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :		R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
		ICRAH、ICRBH、ICRCH、ICRDH								ICRAL、ICRBL、ICRCL、ICRDL							

ICR は、16 ビットのリード専用の4本のレジスタ (ICRA ~ ICRD) から構成されます。

インプットキャプチャ入力信号の立下がりエッジが検出されると、そのときの FRC の値が ICRA ~ ICRD に転送されます。このとき同時に、TCSR の ICFA ~ ICFD が"1"にセットされます。このとき同時に、TIER の ICIAE ~ ICIDE が"1"ならば CPU に割込みを要求します。入力信号のエッジは、TCRX の IEDGA ~ IEDGD により選択できます。

また、ICRC、ICRD は、TCRX の BUFEA、BUFEB により、それぞれ ICRA、ICRB のバッファレジスタとして使用し、バッファ動作を行わせることもできます。

ICRC を ICRA のバッファレジスタとして指定した場合(BUFEA = "1")の接続を、図 9.17 に示します。ICRC を ICRA のバッファとして使用した場合、外部入力信号の変化として IEDGA ≠ IEDGC と設定することにより、立上がり / 立下がり両方のエッジを指定することができます。IEDGA = IEDGC の場合には立上がりまたは立下がりエッジのいずれかとなります。入力エッジの選択については、表 9.16 を参照してください。

【注】 FRC から ICR への転送は ICF の値にかかわらず行われます。

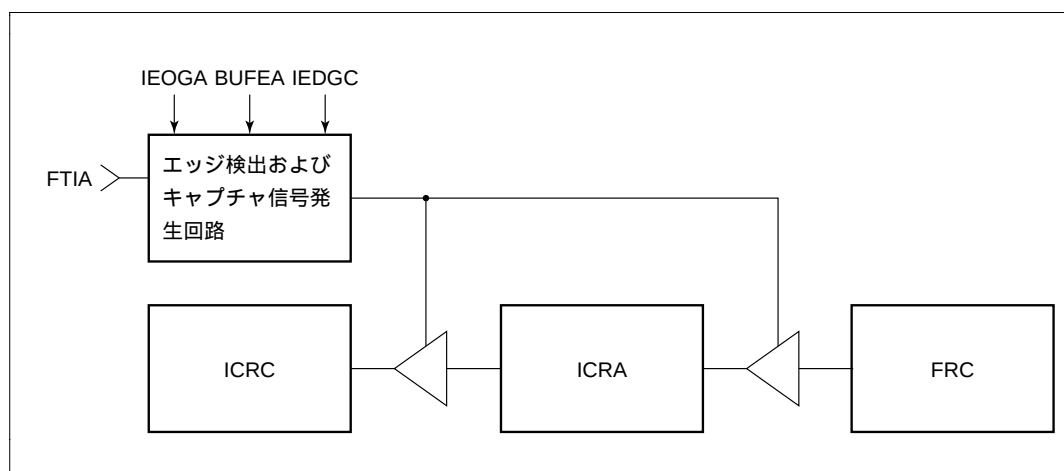


図 9.17 バッファ動作 (例)

表 9.16 バッファ動作時の入力エッジの選択

IEDGA	IEDGC	入力エッジの選択
0	0	インプットキャプチャ入力 A の立下がりエッジでキャプチャ (初期値)
0	1	インプットキャプチャ入力 A の立下がり / 立上がり両エッジでキャプチャ
1	0	
1	1	インプットキャプチャ入力 A の立上がりエッジでキャプチャ

ICR は CPU からリード / ライト可能ですが、16 ビットになっているため、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行われます。詳細は、「9.5.3 CPU とのインタフェース」を参照してください。

インプットキャプチャ動作を確実にを行うために、インプットキャプチャ入力信号のパルス幅は、単エッジの場合 1.5 システムクロック (ϕ) 以上、両エッジの場合 2.5 システムクロック (ϕ) 以上にしてください。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、ICR は H'0000 にイニシャライズされます。

(4) タイマインタラプトイネーブルレジスタ (TIER)

ビット:	7	6	5	4	3	2	1	0
	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	—
初期値:	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—

TIER は、8 ビットのリード/ライト可能なレジスタで、各割込み要求の許可/禁止を制御します。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、TIER は H'01 にイニシャライズされます。

ビット 7: インพุットキャプチャ割込み A イネーブル (ICIAE)

TCSR_X の ICFA が "1" にセットされたとき、ICFA による割込み要求 (ICIA) の許可/禁止を選択します。

ビット 7	説明	
ICIAE		
0	ICFA による割込み要求 (ICIA) を禁止	(初期値)
1	ICFA による割込み要求 (ICIA) を許可	

ビット 6: インพุットキャプチャ割込み B イネーブル (ICIBE)

TCSR_X の ICFB が "1" にセットされたとき、ICFB による割込み要求 (ICIB) の許可/禁止を選択します。

ビット 6	説明	
ICIBE		
0	ICFB による割込み要求 (ICIB) を禁止	(初期値)
1	ICFB による割込み要求 (ICIB) を許可	

ビット 5: インพุットキャプチャ割込み C イネーブル (ICICE)

TCSR_X の ICFC が "1" にセットされたとき、ICFC による割込み要求 (ICIC) の許可/禁止を選択します。

ビット 5	説明	
ICICE		
0	ICFC による割込み要求 (ICIC) を禁止	(初期値)
1	ICFC による割込み要求 (ICIC) を許可	

ビット4：インプットキャプチャDイネーブル（ICIDE）

TCSRXのICFDが"1"にセットされたとき、ICFDによる割込み要求（ICID）の許可／禁止を選択します。

ビット4	説明
ICIDE	
0	ICFDによる割込み要求（ICID）を禁止（初期値）
1	ICFDによる割込み要求（ICID）を許可

ビット3：アウトプットコンペア割込みAイネーブル（OCIAE）

TCSRXのOCFAが"1"にセットされたとき、OCFAによる割込み要求（OCIA）の許可／禁止を選択します。

ビット3	説明
OCIAE	
0	OCFAによる割込み要求（OCIA）を禁止（初期値）
1	OCFAによる割込み要求（OCIA）を許可

ビット2：アウトプットコンペア割込みBイネーブル（OCIBE）

TCSRXのOCFBが"1"にセットされたとき、OCFBによる割込み要求（OCIB）の許可／禁止を選択します。

ビット2	説明
OCIBE	
0	OCFBによる割込み要求（OCIB）を禁止（初期値）
1	OCFBによる割込み要求（OCIB）を許可

ビット1：タイマオーバフロー割込みイネーブル（OVIE）

TCSRXのOVFが"1"にセットされたとき、OVFによる割込み要求（FOVI）の許可／禁止を選択します。

ビット1	説明
OVIE	
0	OVFによる割込み要求（FOVI）を禁止（初期値）
1	OVFによる割込み要求（FOVI）を許可

ビット0：リザーブビット

リザーブビットです。リードすると常に"1"が読み出されます。ライトは無効です。

(5) タイマコントロール/ステータスレジスタ X (TCSR_X)

ビット:	7	6	5	4	3	2	1	0
	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W

【注】* ビット7～1はフラグをクリアするための"0"ライトのみ可能です。

TCSR_X は、8 ビットのレジスタで、カウンタクリアの選択、各割込み要求信号の制御を行います。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、TCSR_X は H'00 にイニシャライズされます。なお、タイミングについては「9.6.3 動作説明」を参照してください。

ビット7: インพุットキャプチャフラグ A (ICFA)

インพุットキャプチャ信号によって、FRC の値が ICRA に転送されたことを示すステータスフラグです。TCRX の BUFEA が "1" にセットされているときは、ICFA は、インพุットキャプチャ信号により、FRC の値が ICRA に転送され、また更新される前の ICRA の値が ICRC に転送されたことを示します。

本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	説明
ICFA	
0	[クリア条件] (初期値) ICFA = "1" の状態で、ICFA をリードした後、ICFA に "0" をライトしたとき
1	[セット条件] インพุットキャプチャ信号により、FRC の値が ICRA に転送されたとき

ビット6：インプットキャプチャフラグB（ICFB）

インプットキャプチャ信号によって、FRCの値がICRBに転送されたことを示すステータスフラグです。TCRXのBUFEBが"1"にセットされているときは、ICRBは、インプットキャプチャ信号により、FRCの値がICRBに転送され、また更新される前のICRBの値がICRCに転送されたことを示します。

本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット6	説明
ICFB	
0	[クリア条件] (初期値) ICFB="1"の状態、ICFBをリードした後、ICFBに"0"をライトしたとき
1	[セット条件] インプットキャプチャ信号により、FRCの値がICRBに転送されたとき

ビット5：インプットキャプチャフラグC（ICFC）

インプットキャプチャ信号によって、FRCの値がICRCに転送されたことを示すステータスフラグです。TCRXのBUFEAが"1"にセットされているときは、インプットキャプチャ信号が発生したとき、ICFCはセットされますが、ICRCへのデータ転送は行われません。したがって、バッファ動作では、ICFCはICICEビットを"1"にセットすることにより、外部割込みとして使用することができます。

本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット5	説明
ICFC	
0	[クリア条件] (初期値) ICFC="1"の状態、ICFCをリードした後、ICFCに"0"をライトしたとき
1	[セット条件] インプットキャプチャ信号が発生したとき

ビット4：インプットキャプチャフラグ（ICFD）

インプットキャプチャ信号によって、FRC の値が ICRD に転送されたことを示すステータスフラグです。TCRX の BUFEB が"1"にセットされているときは、インプットキャプチャ信号が発生したとき、ICFD はセットされますが、ICRD へのデータ転送は行われません。したがって、バッファ動作では、ICFD は ICIDE ビットを"1"にセットすることにより、外部割込みとして使用することができます。

本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット4	説明
ICFD	
0	[クリア条件] (初期値) ICFD = "1"の状態、ICFD をリードした後、ICFD に"0"をライトしたとき
1	[セット条件] インプットキャプチャ信号が発生したとき

ビット3：アウトプットコンペアフラグ A（OCFA）

FRC と OCRA がコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット3	説明
OCFA	
0	[クリア条件] (初期値) OCFA = "1"の状態、OCFA をリードした後、OCFA に"0"をライトしたとき
1	[セット条件] FRC と OCRA がコンペアマッチしたとき

ビット2：アウトプットコンペアフラグ B（OCFB）

FRC と OCRB がコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット2	説明
OCFB	
0	[クリア条件] (初期値) OCFB = "1"の状態、OCFB をリードした後、OCFB に"0"をライトしたとき
1	[セット条件] FRC と OCRB がコンペアマッチしたとき

ビット1：タイマオーバフロー（OVF）

FRC がオーバフロー（H'FFFF→H'0000）したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット1	説明
OVF	
0	[クリア条件] (初期値) OVF = "1"の状態、OVF をリードした後、OVF に"0"をライトしたとき
1	[セット条件] FRC の値が H'FFFF→H'0000 になったとき

ビット0：カウンタクリア A（CCLRA）

コンペアマッチ A（FRC と OCRA の一致信号）により、FRC をクリアするかしないかを選択します。

ビット0	説明
CCLRA	
0	コンペアマッチ A による FRC のクリア禁止 (初期値)
1	コンペアマッチ A による FRC のクリア許可

(6) タイマコントロールレジスタ X (TCRX)

ビット:	7	6	5	4	3	2	1	0
	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCRX は、8 ビットのリード/ライト可能なレジスタです。インプットキャプチャ入力エッジの選択、バッファ動作の指定、FRC の入力クロックの選択を行います。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、TCRX は H'00 にイニシャライズされます。

ビット7: インプットエッジセレクト A (IEDGA)

インプットキャプチャ入力 A (FTIA) の立上がりエッジまたは立下がりエッジを選択します。

ビット7	説明
IEDGA	
0	インプットキャプチャ入力 A の立下がりエッジでキャプチャ (初期値)
1	インプットキャプチャ入力 A の立上がりエッジでキャプチャ

ビット6: インプットエッジセレクト B (IEDGB)

インプットキャプチャ入力 B (FTIB) の立上がりエッジまたは立下がりエッジを選択します。

ビット6	説明
IEDGB	
0	インプットキャプチャ入力 B の立下がりエッジでキャプチャ (初期値)
1	インプットキャプチャ入力 B の立上がりエッジでキャプチャ

ビット5: インプットエッジセレクト C (IEDGC)

インプットキャプチャ入力 C (FTIC) の立上がりエッジまたは立下がりエッジを選択します。

ビット5	説明
IEDGC	
0	インプットキャプチャ入力 C の立下がりエッジでキャプチャ (初期値)
1	インプットキャプチャ入力 C の立上がりエッジでキャプチャ

ビット4：インプットエッジセレクトD (IEDGD)

インプットキャプチャ入力D (FTID) の立上がりエッジまたは立下がりエッジを選択します。

ビット4	説明
IEDGD	
0	インプットキャプチャ入力Dの立下がりエッジでキャプチャ (初期値)
1	インプットキャプチャ入力Dの立上がりエッジでキャプチャ

ビット3：バッファイネーブルA (BUFEA)

ICRC を ICRA のバッファレジスタとして使用するかどうかを選択します。

ビット3	説明
BUFEA	
0	ICRC を ICRA のバッファレジスタとして使用しない (初期値)
1	ICRC を ICRA のバッファレジスタとして使用する

ビット2：バッファイネーブルB (BUFEB)

ICRD を ICRB のバッファレジスタとして使用するかどうかを選択します。

ビット2	説明
BUFEB	
0	ICRD を ICRB のバッファレジスタとして使用しない (初期値)
1	ICRD を ICRB のバッファレジスタとして使用する

ビット1、0：クロックセレクト (CKS1、0)

FRCに入力するクロックを3種類の内部クロックまたは外部クロックから選択します。

外部クロックは、立上がりエッジでカウントします。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	内部クロック： $\phi/2$ でカウント (初期値)
0	1	内部クロック： $\phi/8$ でカウント
1	0	内部クロック： $\phi/32$ でカウント
1	1	外部クロック：立上がりエッジでカウント

(7) タイマアウトプットコンペアコントロールレジスタ (TOCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	OCRS	OEA	OEB	OLVLA	OLVLB
初期値:	1	1	1	0	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

TOCR は、8 ビットのリード/ライト可能なレジスタです。アウトプットコンペア出力レベルの選択、アウトプットコンペア出力の許可、および OCRA、OCRB のアクセスの切換え制御を行います。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、TOCR は H'E0 にイニシャライズされます。

ビット 7～5 : リザーブビット

リザーブビットです。各ビットはリードすると常に"1"が読み出されます。ライトは無効です。

ビット 4 : アウトプットコンペアレジスタセレクト (OCRS)

OCRA と OCRB のアドレスは同一です。OCRS は、このアドレスをリード/ライトする時にどちらのレジスタを選択するかを制御します。OCRA と OCRB の動作には影響を与えません。

ビット 4	説明
OCRS	
0	OCRA レジスタを選択 (初期値)
1	OCRB レジスタを選択

ビット 3 : アウトプットイネーブル A (OEA)

アウトプットコンペア A 出力を制御します。

ビット 3	説明
OEA	
0	アウトプットコンペア A 出力を禁止 (初期値)
1	アウトプットコンペア A 出力を許可

ビット2：アウトプットイネーブルB（OEB）

アウトプットコンペアB出力を制御します。

ビット2	説明
OEB	
0	アウトプットコンペアB出力を禁止（初期値）
1	アウトプットコンペアB出力を許可

ビット1：アウトプットレベルA（OLVLA）

コンペアマッチA（FRCとOCRAの一致による信号）により、FTOA端子に出力する出力レベルを選択します。

ビット1	説明
OLVLA	
0	"Low"レベル（初期値）
1	"High"レベル

ビット0：アウトプットレベルB（OLVLB）

コンペアマッチB（FRCとOCRBの一致による信号）により、FTOB端子に出力する出力レベルを選択します。

ビット0	説明
OLVLB	
0	"Low"レベル（初期値）
1	"High"レベル

9.5.3 CPU とのインタフェース

FRC、OCRA、OCRB、ICRA ~ ICRD は 16 ビットのレジスタで構成されています。一方、CPU と内蔵周辺モジュール間のデータバスは、8 ビット幅となっています。したがって CPU がこれらのレジスタをアクセスする場合、8 ビットのテンポラリレジスタ (TEMP) を介して行います。

アクセスを行うときは、必ず 16 ビット単位 (バイトサイズの MOV 命令を 2 回連続で行う) で行い、かつ上位バイト、下位バイトの順序で行います。上位バイトのみや下位バイトのみのアクセスでは、データは正しく転送されません。

(1) ライト時の動作

上位バイトのライトにより、上位バイトのデータが TEMP に転送されます。

次に下位バイトのライトで、TEMP にあるデータが上位バイトのレジスタへ、下位バイトのデータは直接下位バイトのレジスタへライトされます。

FRC に H'AA55 をライトするときの FRC のライト動作を図 9.18 に示します。

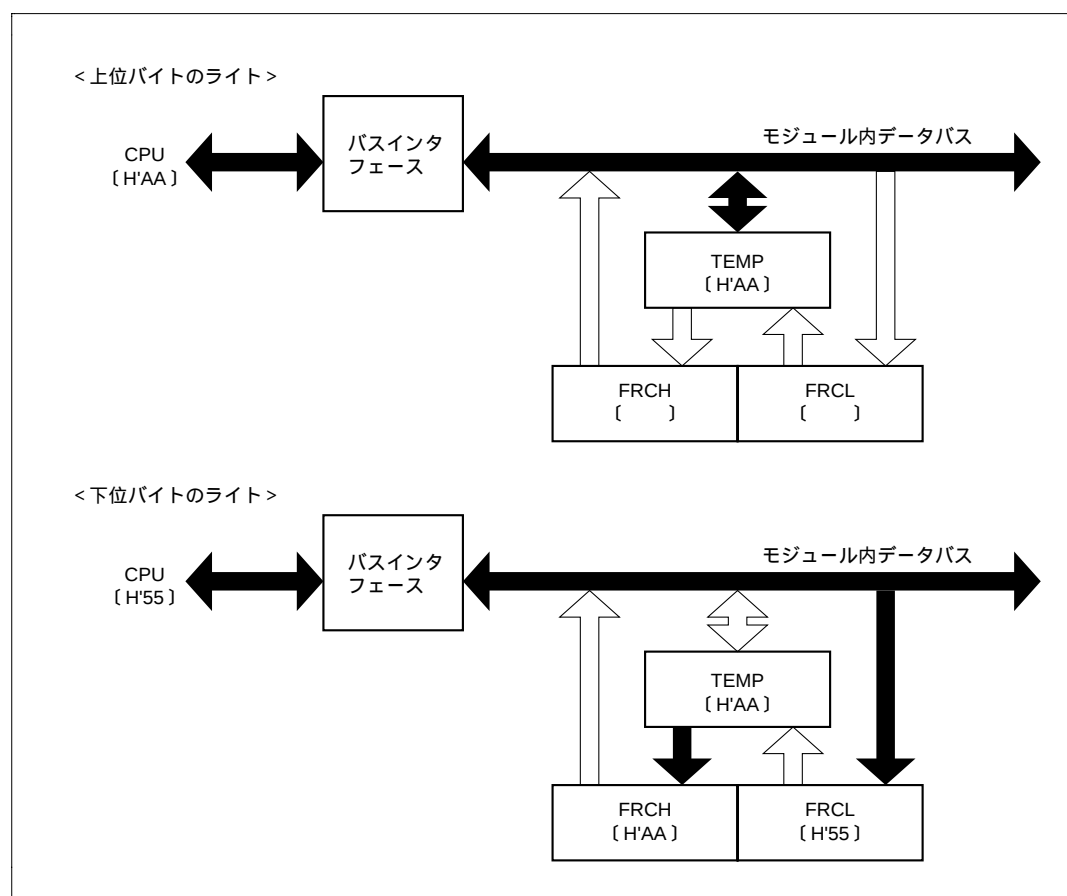


図 9.18 FRC のライト動作 (CPU→FRC)

(2) リード時の動作

FRC、ICRA～ICRD の場合、上位バイトのリードで、上位バイトのデータは直接 CPU に転送され、下位バイトのデータは TEMP に転送されます。

次に下位バイトのリードで、TEMP にある下位バイトのデータが CPU に転送されます。OCRA、OCRB の場合、上位バイトのリードで、上位バイトのデータは直接 CPU に転送されます。下位バイトのリードで、下位バイトのデータは直接 CPU に転送されます。

H'AAFF である FRC をリードしたときの FRC のリード動作を図 9.19 に示します。

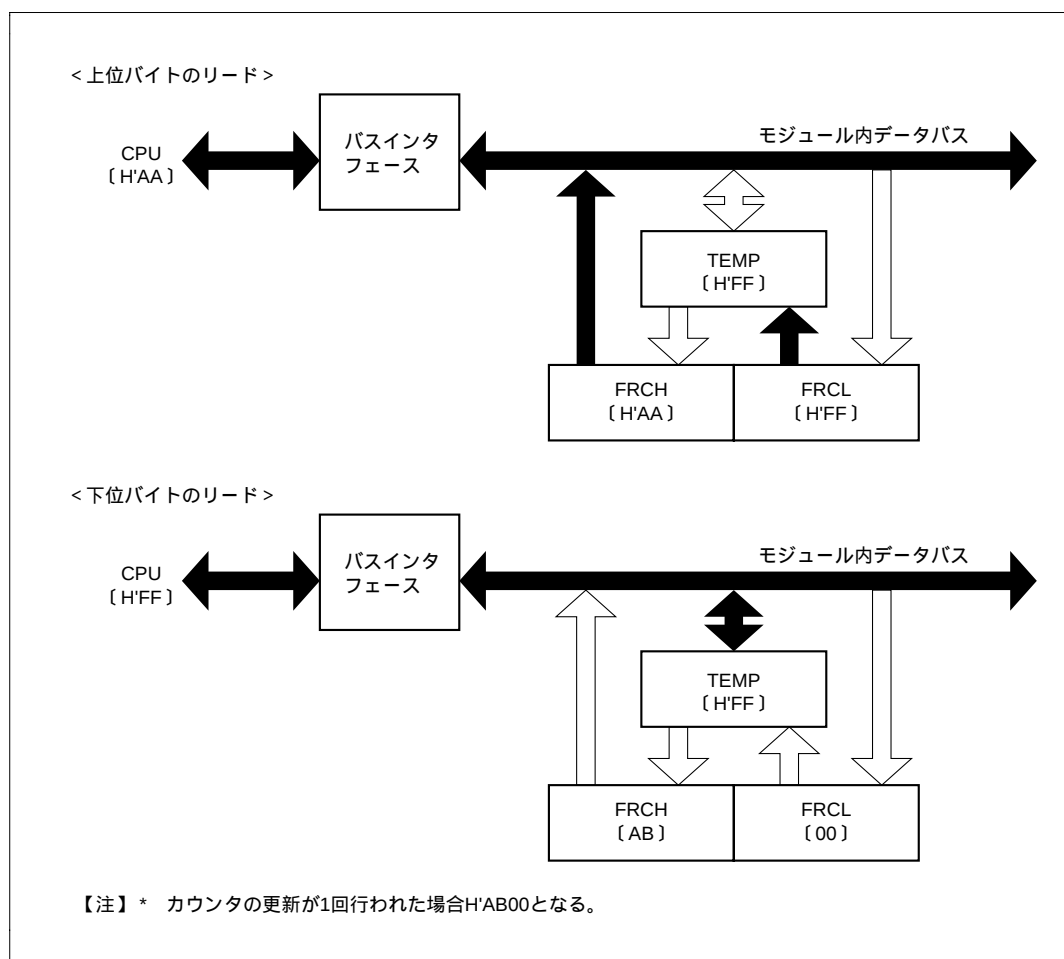


図 9.19 FRC のリード動作 (FRC → CPU)

9.5.4 動作説明

(1) タイマ X の動作

(a) アウトプットコンペア動作

リセット直後、FRC は H'0000 に初期化され、カウントアップを開始します。入力するクロックは、TCRX の CKS1、CKS0 により、3 種類の内部クロックまたは外部クロックから選択できます。FRC の内容は、OCRA、OCRB と常に比較されており、両者の値が一致すると、TOCR の OLVLA、OLVLB で設定したレベルが、FTOA、FTOB 端子に出力されます。リセット後、最初のコンペアマッチが起こるまで、FTOA、FTOB 端子からは、"0" が出力されます。また、TCSR の CCLRA が "1" にセットされていると、コンペアマッチ A により、FRC が H'0000 にクリアされます。

(b) インプットキャプチャ動作

リセット直後、FRC は H'0000 に初期化され、カウントアップを開始します。入力するクロックは、TCRX の CKS1、CKS0 により、3 種類の内部クロックまたは外部クロックから選択できます。FTIA ~ FTID 端子から、TCRX の IEDGA ~ IEDGD で選択したエッジが入力されると、そのときの FRC の値が ICRA ~ ICRD に転送され、同時に TCSR の ICFA ~ ICFD が "1" にセットされます。このとき、TIER の ICIAE ~ ICIDE が "1" ならば、CPU に割込みを要求します。

TCRX の BUFEA、BUFEB を "1" にセットすると、ICRC、ICRD はそれぞれ ICRA、ICRB のバッファレジスタとして動作します。FTIA、FTIB 端子から、TCRX の IEDGA ~ IEDGD で選択したエッジが入力されると、そのときの FRC の値が、ICRA、ICRB に転送され、同時に、更新される前の ICRA、ICRB の値が ICRC、ICRD に転送されます。この時 ICFA、ICFB が "1" にセットされ、TIER の ICIAE、ICIBE が "1" ならば、CPU に割込みを要求します。

(2) FRC のカウントタイミング

FRC は、入力されたクロックによりカウントアップされます。TCRX の CKS1、CKS0 により、3 種類の内部クロック ($\phi/2$ 、 $\phi/8$ 、 $\phi/32$) と外部クロックのうちから選択されます。

(a) 内部クロック動作の場合

TCRX の CKS1、CKS0 ビットの設定により、システムクロック (ϕ) を分周して作られる 3 種類の内部クロック ($\phi/2$ 、 $\phi/8$ 、 $\phi/32$) が選択されます。このときのタイミングを図 9.20 に示します。

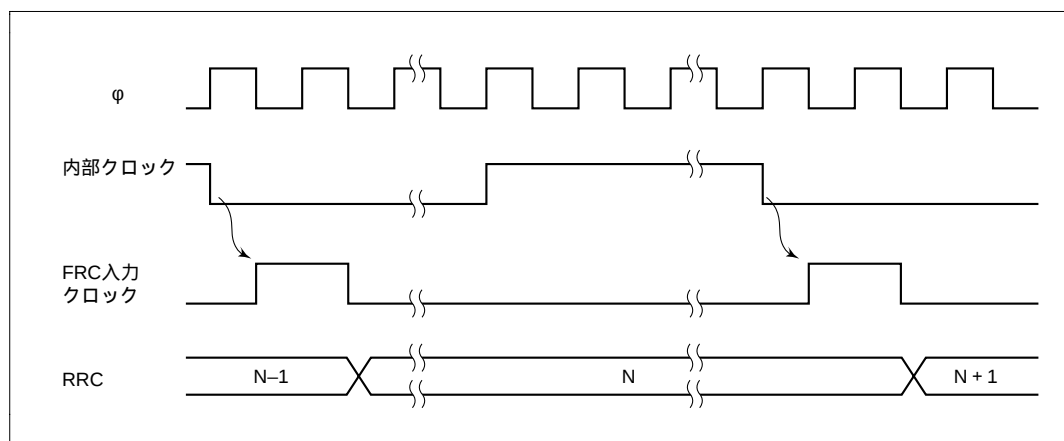


図 9.20 内部クロック動作時のカウントタイミング

(b) 外部クロック動作の場合

TCRX の CKS1、CKS0 を "1" にセットすると、外部クロック入力を選択されます。外部クロックは立上がりエッジでカウントします。なお、外部クロックのパルス幅は、1.5 システムクロック (ϕ) 以上が必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

このときのタイミングを図 9.21 に示します。

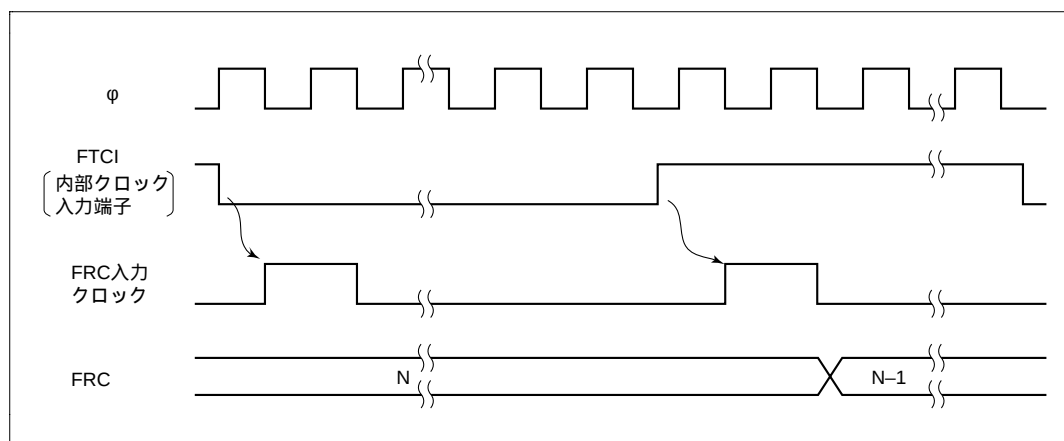


図 9.21 外部クロック動作時のカウントタイミング

(3) アウトプットコンペア出力タイミング

コンペアマッチが発生したとき、TOCR の OLVL で設定される出力レベルがアウトプットコンペア出力端子 (FTOA、FTOB) に出力されます。図 9.22 にアウトプットコンペア A の場合の出力タイミングを示します。

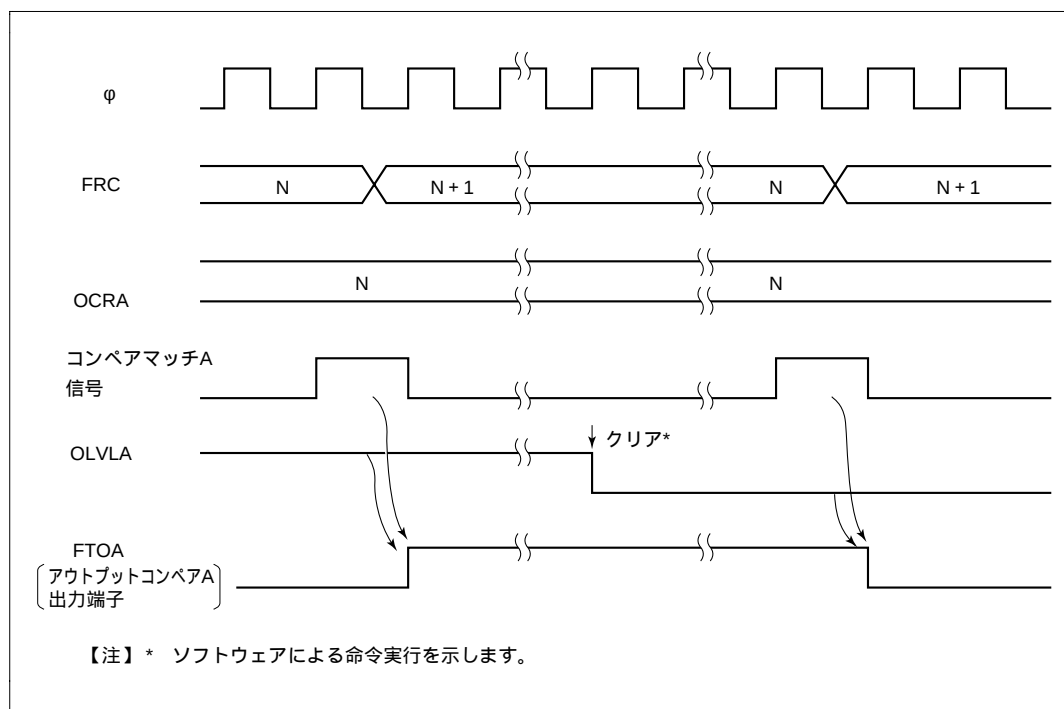


図 9.22 アウトプットコンペア A 出力タイミング

(4) FRC のクリアタイミング

FRC は、コンペアマッチ A でクリアすることができます。このタイミングを図 9.23 に示します。

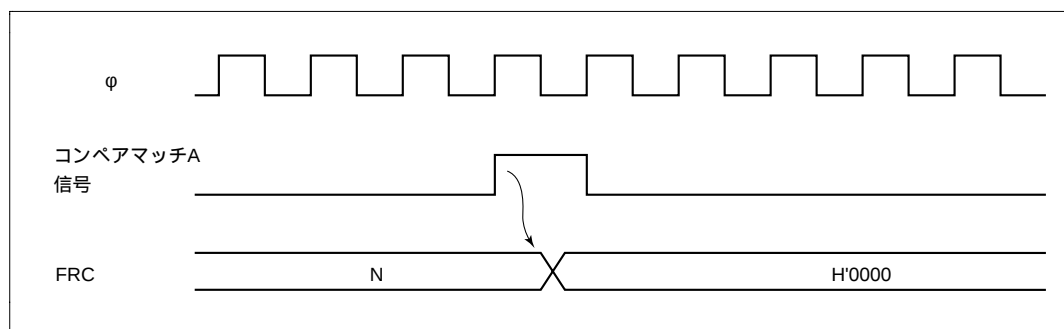


図 9.23 コンペアマッチ A によるクリアタイミング

(5) インพุットキャプチャ入力タイミング

(a) インพุットキャプチャ入力タイミング

インพุットキャプチャ入力、TCRX の IEDGA ~ IEDGD ビットで立上がり / 立下がりエッジを選択します。立上がりエッジを選択した (IEDGA ~ IEDDD = "1") 場合のタイミングを図 9.24 に示します。

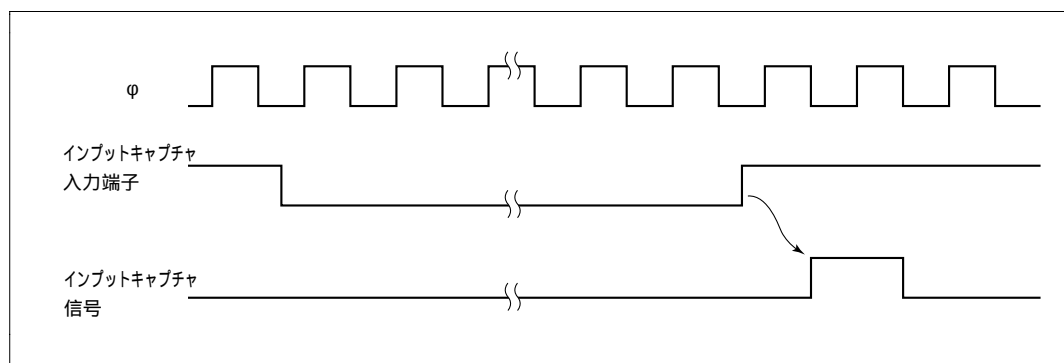


図 9.24 インพุットキャプチャ信号タイミング (通常時)

また、ICRA ~ ICRD の上位バイトのリード時に、対応するインพุットキャプチャ端子から入力するとインพุットキャプチャ信号は 1 システムクロック (φ) 遅延されます。このタイミングを図 9.25 に示します。

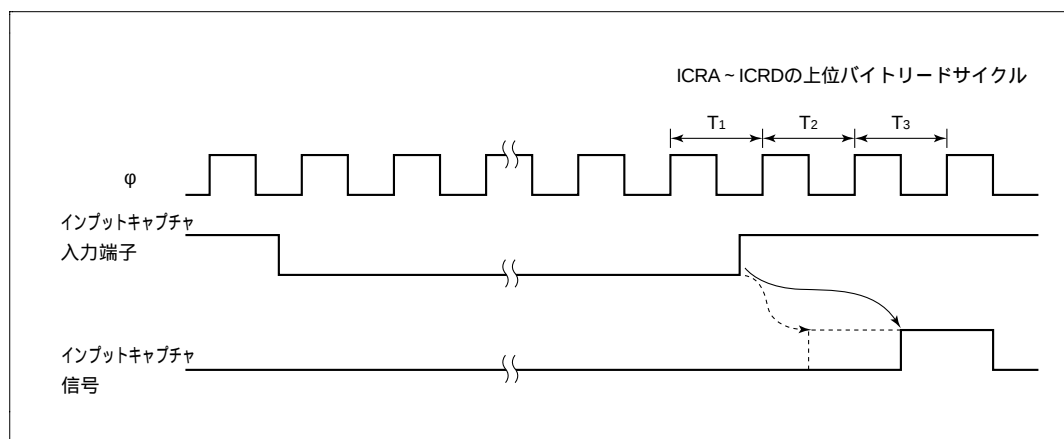


図 9.25 インพุットキャプチャ信号タイミング

(ICRA ~ ICRD のリード時に、インพุットキャプチャから入力した場合)

(b) バッファ動作時のインプットキャプチャ入力タイミング

ICRC または ICRD を、ICRA または ICRB のバッファとしてバッファ動作を行わせることができます。

ICRC を ICRA のバッファレジスタとして使用し (BUFEA = 1)、立上がり / 立下がり両エッジ指定 (IEDGA = 1、IEDGC = 0 または IEDGA = 0、IEDGC = 1) とした場合のインプットキャプチャ入力タイミングを図 9.26 に示します。

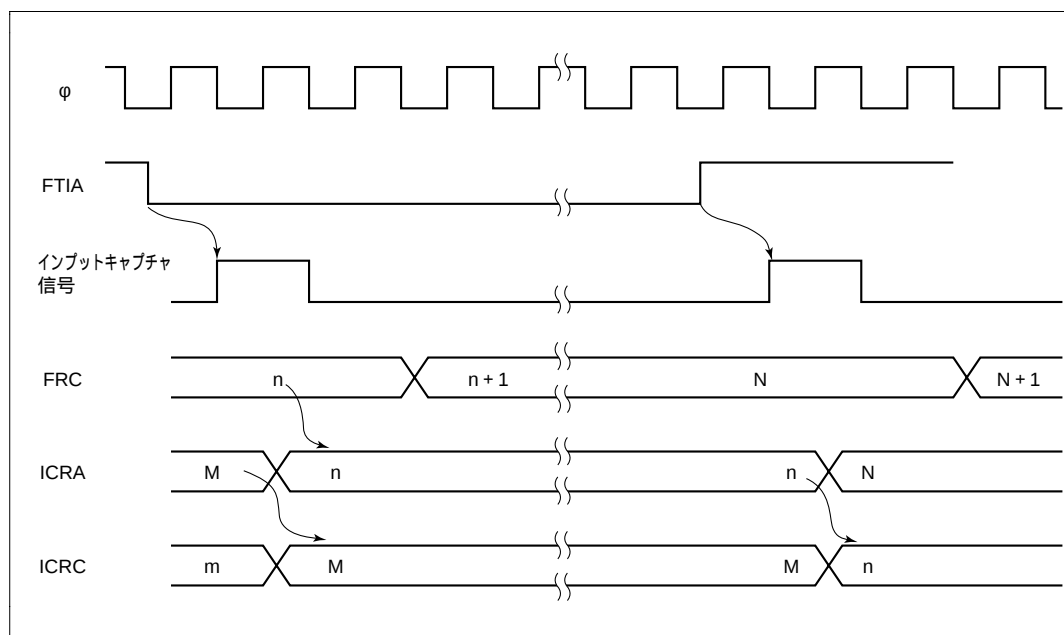
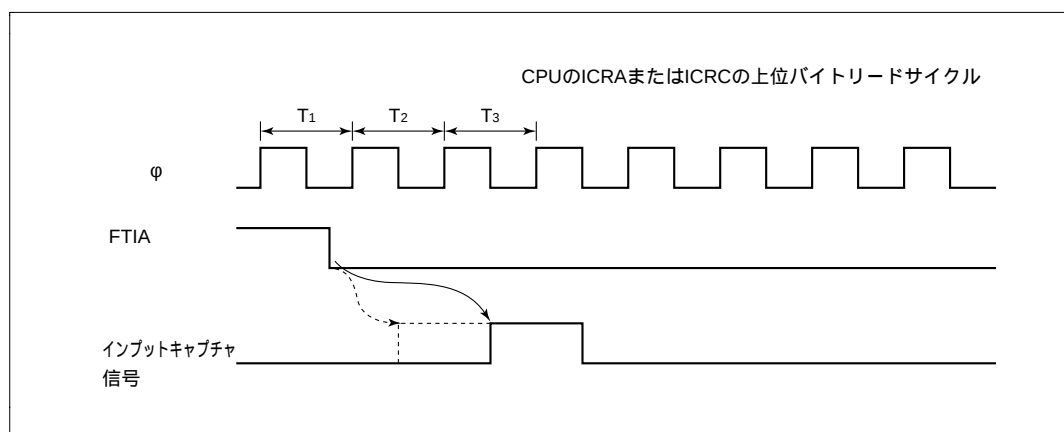


図 9.26 バッファモード時のインプットキャプチャタイミング (通常時)

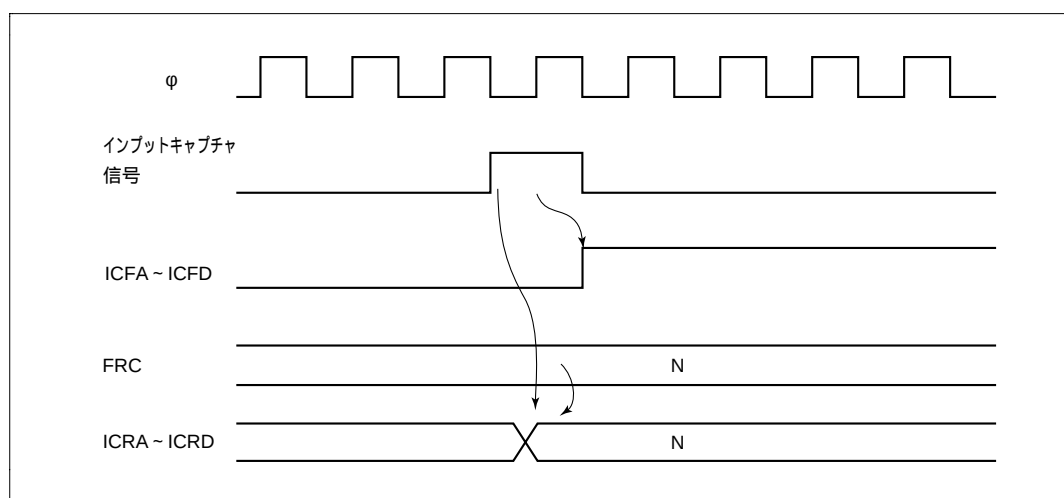
ICRC または ICRD をバッファレジスタとして使用した場合でも、インプットキャプチャフラグは、各インプットキャプチャ入力の指定されたエッジ変化に対応してセットされます。例えば、ICRC を ICRA のバッファレジスタとして使用しているときでも、インプットキャプチャ入力 C に IEDGC ビットで指定したエッジ変化があると ICFC がセットされ、ICIEC ビットがセットされていれば割込み要求が発生します。ただし、この場合は、FRC の値は ICRC には転送されません。

また、バッファ動作の場合も、インプットキャプチャ信号が発生するタイミングで、データ転送が行われるレジスタ (ICRA と ICRC または ICRB と ICRD) の上位バイトのリードが行われると、インプットキャプチャ信号は 1 システムクロック (ϕ) 遅延されます。BUFEA = 1 のタイミングを図 9.27 に示します。



(6) インプットキャプチャフラグ (ICFA ~ ICFD) のセットタイミング

インプットキャプチャ入力により ICFA ~ ICFD は "1" にセットされ、同時に FRC の値が対応する ICRA ~ ICRD に転送されます。このタイミングを図 9.28 に示します。



(7) アウトプットコンペアフラグ (OCFA、OCFB) のセットタイミング

OCFA、OCFB は、OCRA、OCRB と FRC の値が一致したとき出力されるコンペアマッチ信号により"1"にセットされます。コンペアマッチ信号は、値が一致した最後のステート (FRC が一致したカウント値を更新するタイミング) で発生します。

FRC と OCRA、OCRB が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。OCFA、OCFB のセットタイミングを図 9.29 に示します。

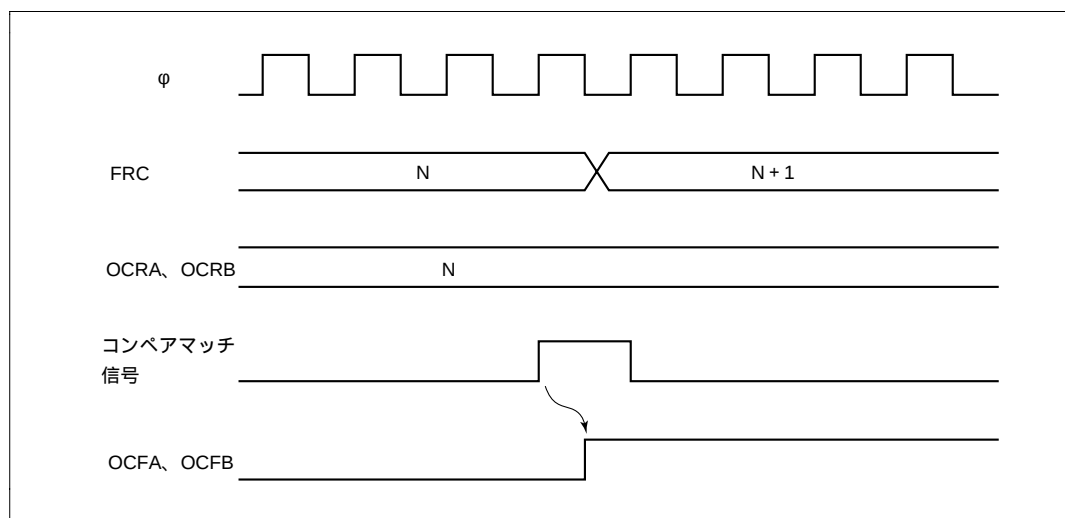


図 9.29 OCF セットタイミング

(8) オーバフローフラグ (OVF) のセットタイミング

OVF は、FRC がオーバーフロー (H'FFFF→H'0000) したとき"1"にセットされます。このときのタイミングを図 9.30 に示します。

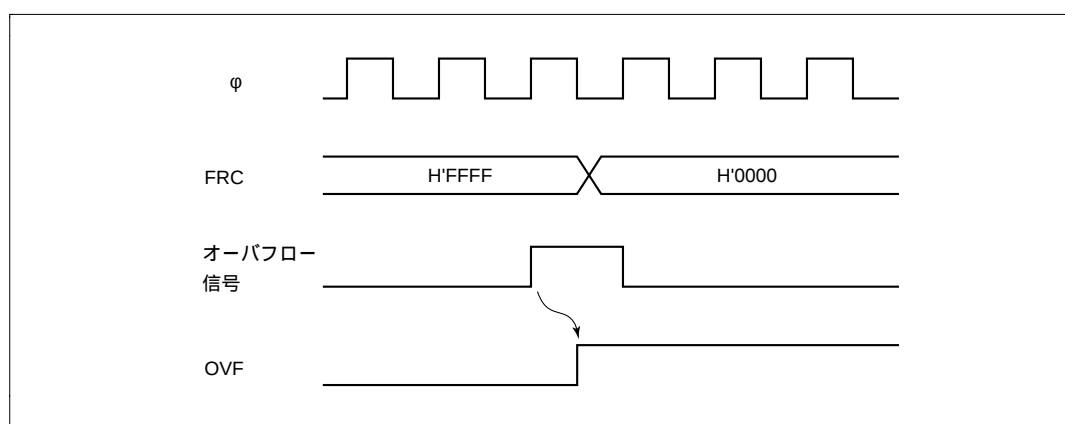


図 9.30 OVF セットタイミング

9.5.5 タイマ X の動作モード

タイマ X の動作モードを表 9.17 に示します。

表 9.17 タイマ X の動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
FRC	リセット	動作	動作	リセット	リセット	リセット	リセット
OCRA、OCRB	リセット	動作	動作	リセット	リセット	リセット	リセット
ICRA ~ ICRD	リセット	動作	動作	リセット	リセット	リセット	リセット
TIER	リセット	動作	動作	リセット	リセット	リセット	リセット
TCRX	リセット	動作	動作	リセット	リセット	リセット	リセット
TOCR	リセット	動作	動作	リセット	リセット	リセット	リセット
TCSRX	リセット	動作	動作	リセット	リセット	リセット	リセット

9.5.6 割込み要因

タイマ X の割込み要因には、ICIA ~ ICID、OCIA、OCIB、および FOVI の 3 種類合計 7 つあります。表 9.18 に各割込み要求の内容を示します。各割込み要求は、TIER の各割込みイネーブルビットにより許可または禁止が設定できます。割込みのベクタアドレスは共通ですが、各割込み要因のフラグを備えていますので、ソフトウェアで割込み要因の判定が可能です。

表 9.18 タイマ X 割込み要因

割込みの略称	内容	ベクタアドレス
ICIA	ICFA による割込み要求	H'0020
ICIB	ICFB による割込み要求	
ICIC	ICFC による割込み要求	
ICID	ICFD による割込み要求	
OCIA	OCFA による割込み要求	
OCIB	OCFB による割込み要求	
FOVI	OVF による割込み要求	

9.5.7 タイマ X の使用例

デューティ 50% のパルスを任意の位相差で出力させた例を図 9.31 に示します。これは次に示すように設定します。

- (1) TCSR の CCLRA ビットを "1" にセットします。
- (2) 各コンペアマッチが発生するたびに OLVLA、OLVLB ビットをソフトウェアにより反転させます。

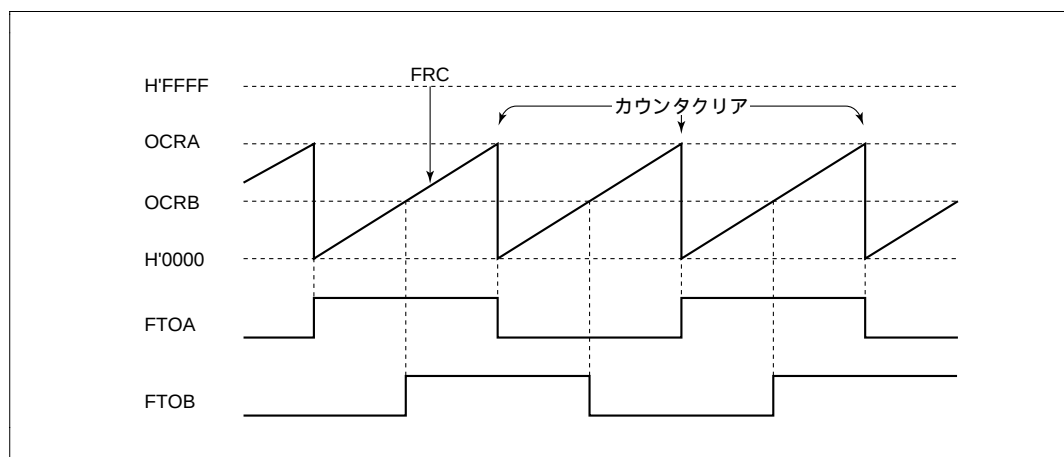


図 9.31 パルス出力例

9.5.8 使用上の注意事項

タイマ X の動作中、次のような競合や動作が起こりますので注意してください。

(1) FRC のライトとクリアの競合

FRC の下位バイトライトサイクル中の T_3 ステートで、カウンタクリア信号が発生すると、FRC への書込みは行われず FRC のクリアが優先されます。

このタイミングを図 9.32 に示します。

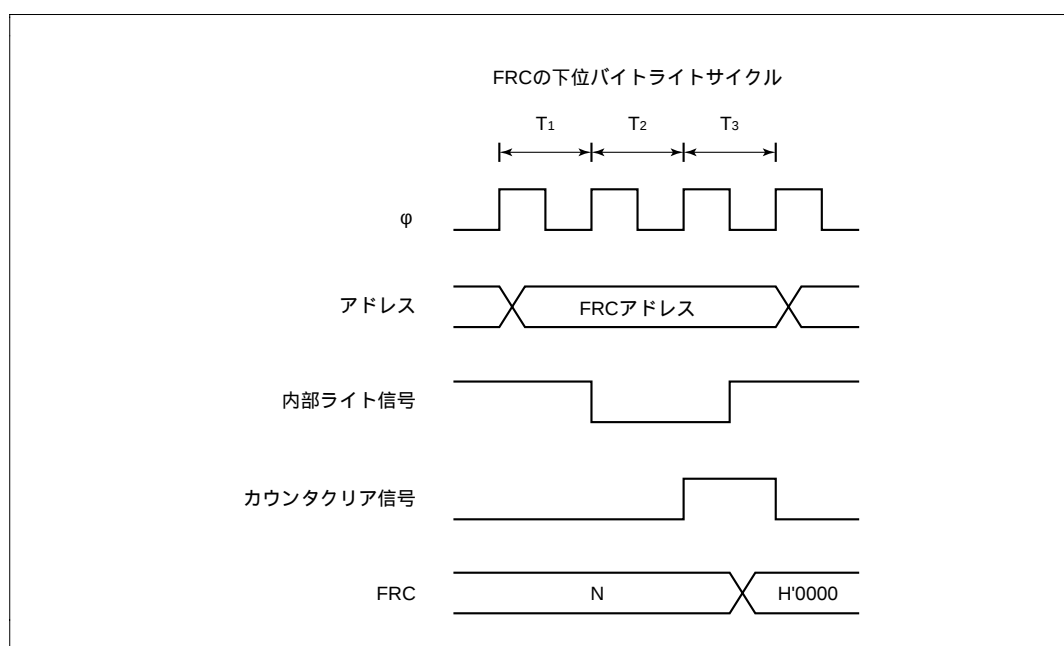


図 9.32 FRC のライトとクリアの競合

(2) FRC のライトとカウントアップの競合

FRC の下位バイトライトサイクル中の T_3 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを図 9.33 に示します。

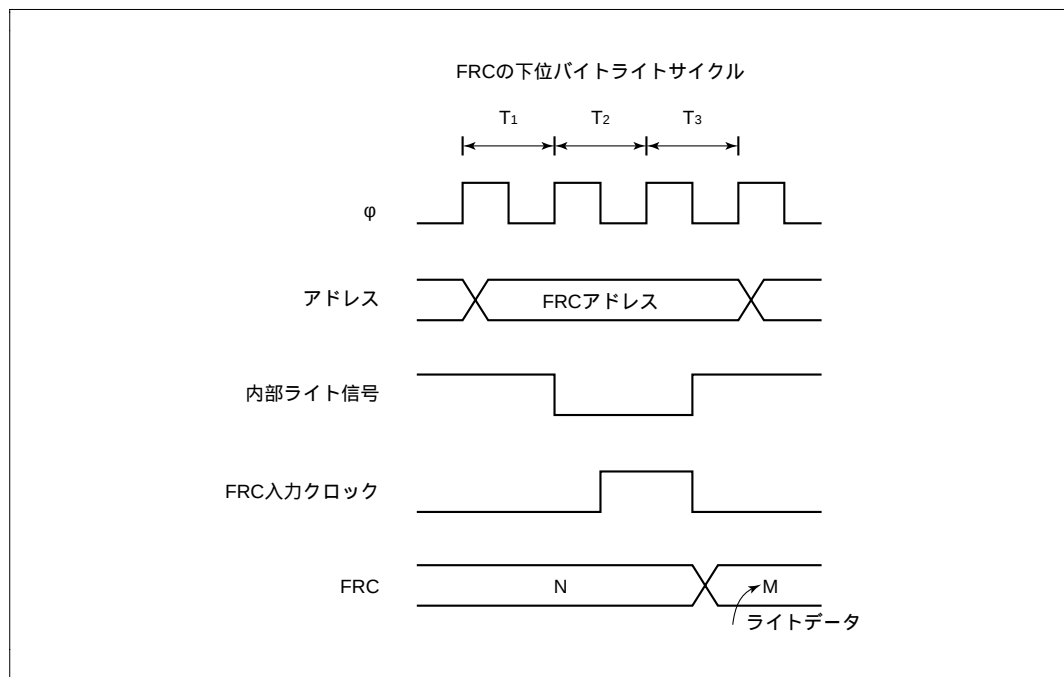


図 9.33 FRC のライトとカウントアップの競合

(3) OCR のライトとコンペアマッチの競合

OCRA、OCR の下位バイトライトサイクル中の T_3 ステートでコンペアマッチが発生した場合、OCR のライトが優先され、コンペアマッチ信号は禁止されます。

このタイミングを図 9.34 に示します。

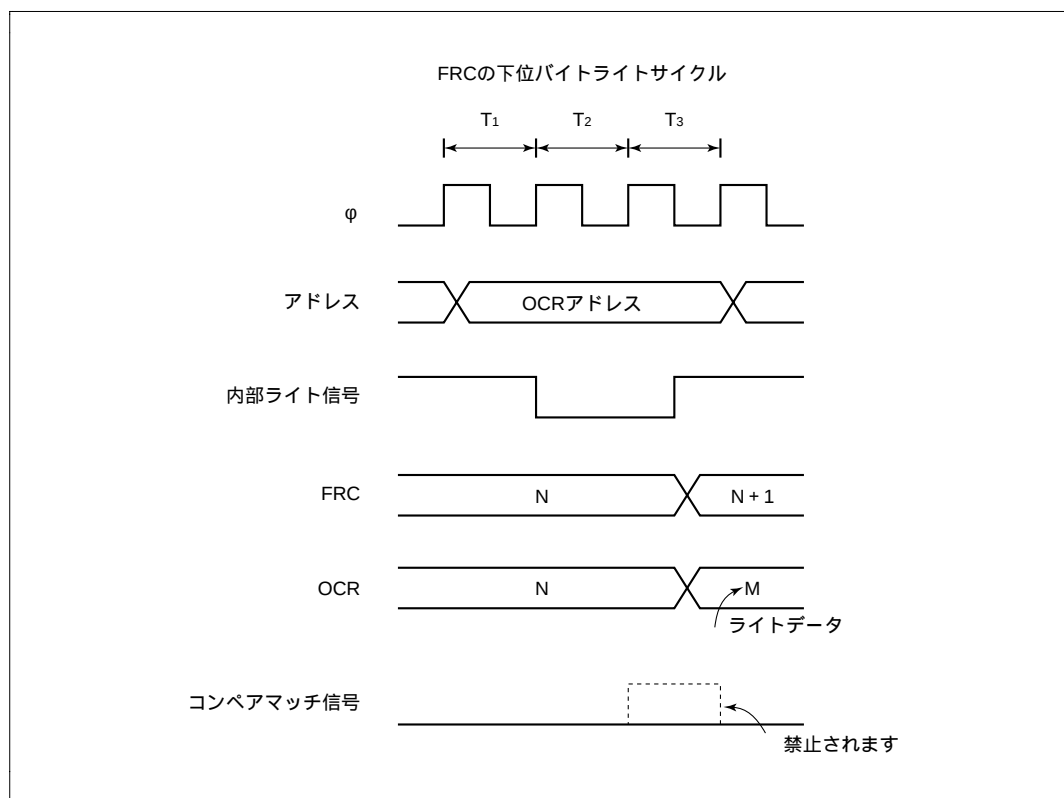


図 9.34 OCR とコンペアマッチの競合

(4) 内部クロックの切替えとカウンタの動作

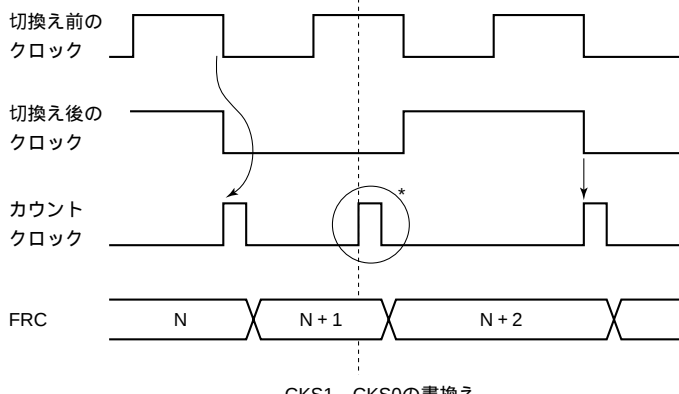
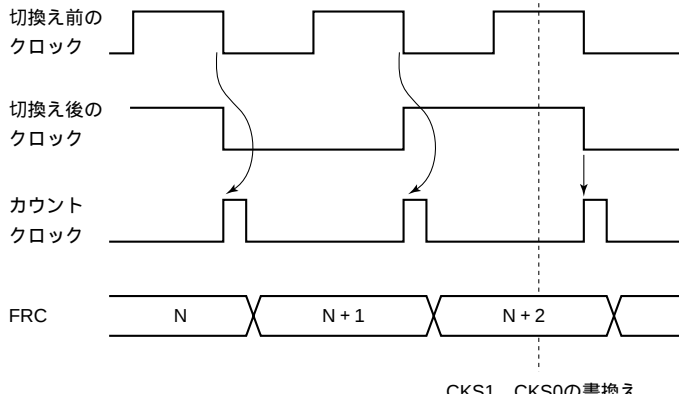
内部クロックを切り換えるタイミングによっては、FRC がカウントアップされてしまう場合があります。内部クロックの切替えタイミング（CKS1、CKS0 の書換え）と FRC 動作の関係を表 9.19 に示します。

内部クロックを使用する場合、システムクロック（ ϕ ）を分周した内部クロックの立下がりエッジで検出してカウントクロックを発生しています。そのため表 9.19 の No.3 のように切替え前のタイミングを立下がりエッジとみなしてカウントクロックが発生し、FRC がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り換えるときも、FRC がカウントアップされることがあります。

表 9.19 内部クロックの切替えと FRC 動作

No.	CKS1、CKS0 書換えタイミング	FRC 動作
1	"Low" → "Low" レベルの 切替え	
2	"Low" → "High" レベルの 切替え	

No.	CKS1、CKS0 書換えタイミング	FRC動作
3	"High" → "Low" レベルの 切換え	 CKS1、CKS0の書換え
4	"High" → "High" レベルの 切換え	 CKS1、CKS0の書換え

【注】 * 切換えのタイミングを立下がりエッジとみなすために発生し、TRC はカウントアップされてしまいます。

9.6 ウォッチドッグタイマ

9.6.1 概要

ウォッチドッグタイマ (Watchdog Timer) は、入力クロックが入るたびに、カウンタアップする 8 ビットのカウンタを備えており、システムの暴走などによりカウンタの値が書き換えられずオーバーフローすると、LSI 内部をリセットできる機能を備えています。

(1) 特長

ウォッチドッグタイマの特長を以下に示します。

- 内部クロック $\phi/8192$ でカウントアップ
- カウンタのオーバーフローでリセット信号を発生

オーバーフロー周期は、 $8192/\phi$ の 1 倍から 256 倍までを設定可能です。

($\phi = 4.19\text{MHz}$ の時、約 $2\text{ms} \sim 500\text{ms}$)

(2) ブロック図

ウォッチドッグタイマのブロック図を図 9.35 に示します。

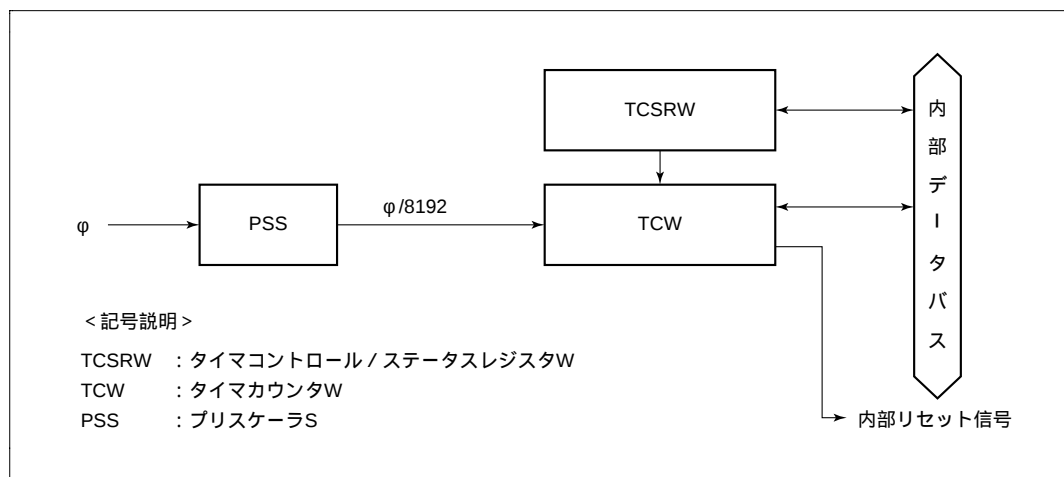


図 9.35 ウォッチドッグタイマのブロック図

(3) レジスタ構成

ウォッチドッグタイマのレジスタ構成を表 9.20 に示します。

表 9.20 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマコントロール / ステータスレジスタ W	TCSRW	R/W	H'AA	H'FFBE
タイマカウンタ W	TCW	R/W	H'00	H'FFBF

9.6.2 各レジスタの説明

(1) タイマコントロール / ステータスレジスタ W (TCSRW)

ビット:	7	6	5	4	3	2	1	0
	B6WI	TCWE	B4WI	TCSRWE	B2WI	WDON	B0WI	WRST
初期値:	1	0	1	0	1	0	1	0
R/W :	R	R/(W)*	R	R/(W)*	R	R/(W)*	R	R/(W)*

【注】* 書き込みの条件が成立している場合にのみ、書き込み可能となります。書き込み条件については、各ビットの説明を参照してください。

TCSRW は、8 ビットのリード / ライト可能なレジスタで TCSRW、TCW の書き込み制御、ウォッチドッグタイマの動作制御、動作状態を示すレジスタです。

ビット 7 : ビット 6 書き込み禁止 (B6WI)

TCSRW のビット 6 へのデータの書き込みを制御します。

ビット 7	説明
B6WI	
0	ビット 6 への書き込みを許可
1	ビット 6 への書き込みを禁止 (初期値)

本ビットはリードすると常に"1"が読み出されます。ライトしても、データは格納されません。

ビット6：タイマカウンタW書込み許可（TCWE）

TCWへの8ビットデータの書込みを制御します。

ビット6	説明
TCWE	
0	TCWへの8ビットデータの書込みを禁止（初期値）
1	TCWへの8ビットデータの書込みを許可

ビット5：ビット4書込み禁止（B4WI）

TCSRWのビット4へのデータの書込みを制御します。

ビット5	説明
B4WI	
0	ビット4への書込みを許可
1	ビット4への書込みを禁止（初期値）

本ビットはリードすると常に"1"が読み出されます。ライトしてもデータは格納されません。

ビット4：タイマコントロール/ステータスレジスタW書込み許可（TCSRWE）

TCSRWのビット2およびビット0へのデータの書込みを制御します。

ビット4	説明
TCSRWE	
0	ビット2およびビット0への書込みを禁止（初期値）
1	ビット2およびビット0への書込みを許可

ビット3：ビット2書込み禁止（B2WI）

TCSRWのビット2へのデータの書込みを制御します。

ビット3	説明
B2WI	
0	ビット2への書込みを許可
1	ビット2への書込みを禁止（初期値）

本ビットはリードすると常に"1"が読み出されます。ライトしてもデータは格納されません。

ビット2：ウォッチドッグタイマオン（WDON）

ウォッチドッグタイマの動作を許可します。

ビット2	説明
WDON	
0	ウォッチドッグタイマの動作を禁止 （初期値） [クリア条件] リセット、または TCSRWE = "1" の状態で B2WI に "0" をライトしながら WDON に "0" をライトしたとき
1	ウォッチドッグタイマの動作を許可 [セット条件] TCSRWE = "1" の状態で B2WI に "0" をライトしながら WDON に "1" をライトしたとき

本ビットを"1"にセットすると、カウントアップを開始します。また、本ビットを"0"にクリアすると、カウントアップを停止します。

ビット1：ビット0 書込み禁止（BOWI）

タイマコントロール/ステータスレジスタ W のビット 0 へのデータの書込みを制御します。

ビット1	説明
BOWI	
0	ビット0への書込みを許可
1	ビット0への書込みを禁止 （初期値）

本ビットはリードすると常に"1"が読み出されます。ライトしてもデータは格納されません。

ビット0：ウォッチドッグタイマリセット（WRST）

TCW がオーバーフローし、内部リセット信号が発生したことを示します。オーバーフローしたことにより発生した内部リセット信号は、LSI 全体をリセットします。

WRST は、 $\overline{\text{RES}}$ 端子によるリセット、またはソフトウェアによる"0"ライトによりクリアされます。

ビット0	説明
WRST	
0	[クリア条件] (初期値) (1) $\overline{\text{RES}}$ 端子によるリセット (2) TCSRWE = "1"の状態 で、B0WI に"0"をライトしながら WRST に"0"をライトしたとき
1	[セット条件] TCW がオーバーフローし、内部リセット信号が発生したとき

(2) タイマカウンタ W (TCW)

ビット：	7	6	5	4	3	2	1	0
	TCW7	TCW6	TCW5	TCW4	TCW3	TCW2	TCW1	TCW0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCW は、8 ビットのリード / ライト可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックは、 $\phi/8192$ です。TCW の値は CPU から常にリード / ライトできます。

TCW がオーバーフロー (H'FF → H'00) すると、内部リセット信号を発生し、TCSRW の WRST が"1"にセットされます。リセット時、TCW は H'00 にイニシャライズされます。

9.6.3 動作説明

ウォッチドッグタイマは、入力クロック（ $\phi/8192$ ）が入るたびにカウントアップする8ビットのカウンタを備えています。TCSRWのTCSRWE="1"の状態ではB2WIに"0"をライトしながらWDONに"1"をライトすると、TCWはカウントアップを開始します。TCWのカウント値が、H'FFになった後、クロックが入力されると、ウォッチドッグタイマはオーバーフローし、内部リセット信号を発生します。内部リセット信号は ϕ_{osc} クロックで512クロック分の時間出力されます。TCWはライト可能なカウンタですので、TCWに値を設定すると、その値からカウントアップを行います。したがって、TCWの値により、オーバーフロー周期を1～256入力クロックの範囲で設定できます。

ウォッチドッグタイマ動作例を図9.36に示します。

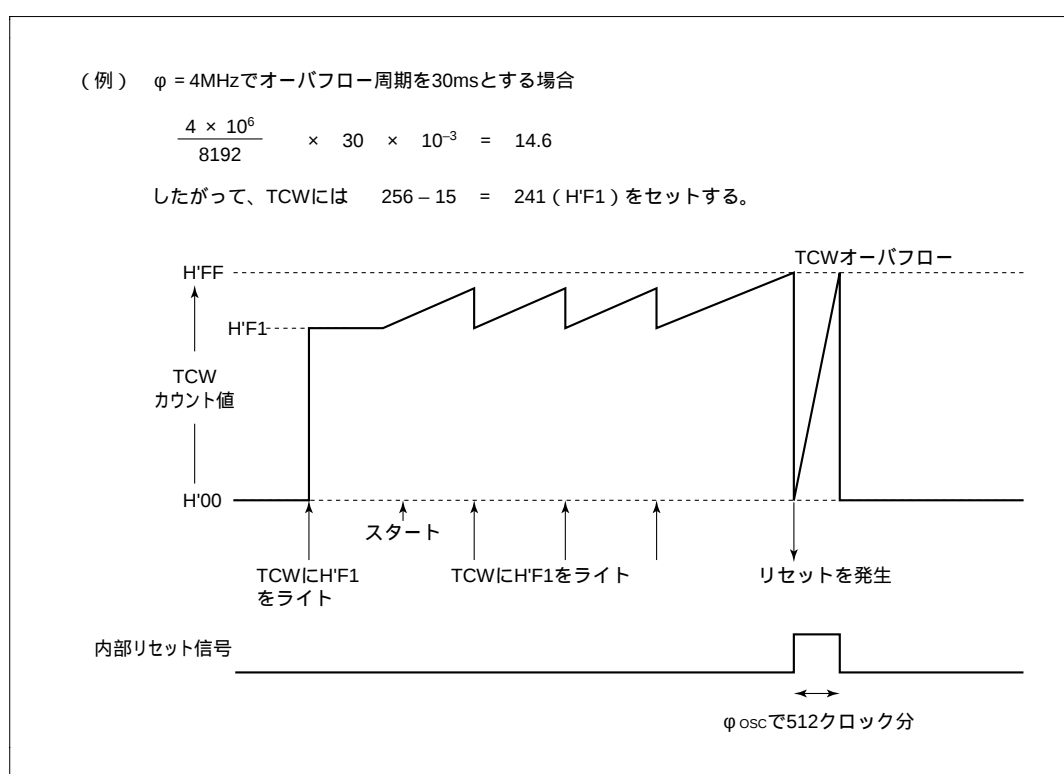


図 9.36 ウォッチドッグタイマの動作例

9.6.4 ウォッチドッグタイマの動作モード

ウォッチドッグタイマの動作モードを表9.21に示します。

表 9.21 ウォッチドッグタイマの動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCW	リセット	動作	動作	停止	停止	停止	停止
TCSRW	リセット	動作	動作	保持	保持	保持	保持

10. シリアルコミュニケーションインタフェース

第 10 章 目次

10.1	概要	245
10.2	SCI1	246
	10.2.1 概要	246
	10.2.2 各レジスタの説明	248
	10.2.3 クロック同期モード時の動作説明	253
	10.2.4 SSB モード時の動作説明	255
	10.2.5 割込み要因	257
10.3	SCI3	258
	10.3.1 概要	258
	10.3.2 各レジスタの説明	261
	10.3.3 動作概要	279
	10.3.4 調歩同期式モード時の動作説明	283
	10.3.5 クロック同期式モード時の動作説明	291
	10.3.6 マルチプロセッサ通信機能	298
	10.3.7 割込み要因	303
	10.3.8 使用上の注意事項	304

10.1 概要

本 LSI は、2 チャンネルのシリアルコミュニケーションインタフェース（SCI：Serial Communication Interface）を備えています。

2 チャンネルの SCI の機能概要を表 10.1 に示します。

表 10.1 SCI の機能概要

SCI の名称	機能	特長
SCI1	<u>クロック同期式シリアル転送機能</u> ・転送データ長を選択可能（8 ビット / 16 ビット） ・クロック連続出力機能	・8 種類の内部クロック（ $\phi/1024 \sim \phi/2$ ）と外部クロックを選択可能 ・オープンドレイン出力可能 ・転送完了で割込み発生
SCI3	<u>クロック同期式シリアル転送機能</u> ・転送データ長 8 ビット ・送信 / 受信 / 同時送受信 <u>調歩同期式シリアル転送機能</u> ・マルチプロセッサ通信機能 ・転送データ長を選択可能（7 ビット / 8 ビット） ・ストップビット長を選択可能（1 ビット / 2 ビット） ・パリティ付加機能	・ボーレートジェネレータ内蔵 ・受信エラーの検出 ・ブレークの検出 ・転送完了またはエラーで割込み発生

10.2 SCI1

10.2.1 概要

SCI1（シリアルコミュニケーションインタフェース1）は、8ビット/16ビットデータのクロック同期式シリアル転送を行います。また、複数のICを制御することができるSSB（Synchronized Serial Bus）という通信方式を備えています。

（1）特長

SCI1の特長を以下に示します。

- 8ビットおよび16ビットの転送データ長を選択可能
- クロックソースとして8種類の内部クロック（ $\phi/1024$ 、 $\phi/256$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$ 、 $\phi/2$ ）と外部クロックが選択可能
- 転送の完了で割込み要求を発生
- SSBモード時、HOLDモード/LATCHモードを選択可能

(2) ブロック図

SCI1 のブロック図を図 10.1 に示します。

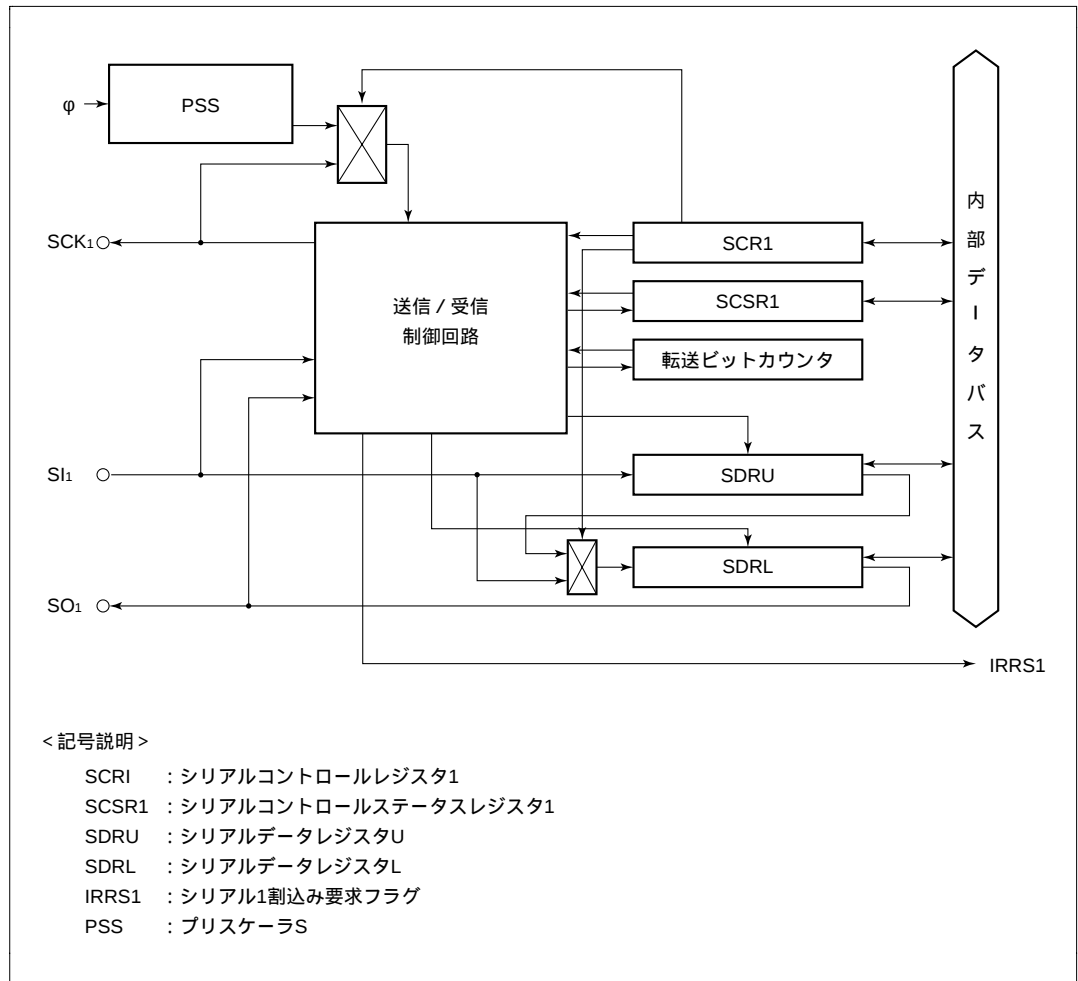


図 10.1 SCI1 のブロック図

(3) 端子構成

SCI1 の端子構成を表 10.2 に示します。

表 10.2 端子構成

名称	略称	入出力	機能
SCI1 クロック	SCK_1	入出力	SCI1 のクロック入出力端子
SCI1 データ入力	SI_1	入力	SCI1 の受信データ入力端子
SCI1 データ出力	SO_1	出力	SCI1 の送信データ出力端子

(4) レジスタ構成

SCI1 のレジスタ構成を表 10.3 に示します。

表 10.3 レジスタ構成

名称	略称	R/W	初期値	アドレス
シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'FFA0
シリアルコントロールステータスレジスタ 1	SCSR1	R/W	H'9C	H'FFA1
シリアルデータレジスタ U	SDRU	R/W	不定	H'FFA2
シリアルデータレジスタ L	SDRL	R/W	不定	H'FFA3

10.2.2 各レジスタの説明

(1) シリアルコントロールレジスタ 1 (SCR1)

ビット:	7	6	5	4	3	2	1	0
	SNC1	SNC0	MRKON	LTCH	CKS3	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR1 は、8 ビットのリード/ライト可能なレジスタで、動作モード、転送クロックソースとプリスケラ分周比を制御します。

リセット時、SCR1 は H'00 にイニシャライズされます。転送中に本レジスタに書き込みを行うと転送を中止します。

ビット 7、6 : 動作モード選択 1、0 (SNC1、SNC0)

動作モードを選択します。

ビット 7	ビット 6	説明
SNC1	SNC0	
0	0	8 ビットモード (初期値)
0	1	16 ビットモード
1	0	クロック連続出力モード* ¹
1	1	リザーブ* ²

【注】 *¹ SI₁、SO₁ 端子はポートとして使用してください。

*² SNC1、SNC0 に "11" を設定しないでください。

ビット5：TAIL MARK 制御（MRKON）

8 ビットまたは 16 ビットデータ転送後、TAIL MARK の出力を制御します。

ビット5	説明
MRKON	
0	TAIL MARK を非出力（クロック同期モード）（初期値）
1	TAIL MARK を出力（SSB モード）

ビット4：LATCH TAIL 選択（LTCH）

MRKON = "1"（SSB モード）の時、TAIL MARK として、LATCH TAIL を出力するか、HOLD TAIL を出力するかを選択します。

ビット4	説明
LTCH	
0	HOLD TAIL を出力（初期値）
1	LATCH TAIL を出力

ビット3：クロックソース選択3（CKS3）

供給するクロックソースの選択と SCK1 端子の入出力の設定を行います。

ビット3	説明
CKS3	
0	クロックソースはプリスケアラ S、SCK ₁ 端子は出力（初期値）
1	クロックソースは外部クロック、SCK ₁ 端子は入力*

【注】 * 外部クロックは $\phi/4$ より低い周波数に相当するクロックを入力してください。

ビット2～0：クロック選択2～0（CKS2～CKS0）

CKS3 が "0" の場合、プリスケアラ分周比と転送クロック周期を選択します。

ビット2	ビット1	ビット0	プリスケアラ分周比	転送クロック周期	
CKS2	CKS1	CKS0		$\phi = 5\text{MHz}$	$\phi = 2.5\text{MHz}$
0	0	0	$\phi/1024$ （初期値）	204.8 μs	409.6 μs
0	0	1	$\phi/256$	51.2 μs	102.4 μs
0	1	0	$\phi/64$	12.8 μs	25.6 μs
0	1	1	$\phi/32$	6.4 μs	12.8 μs
1	0	0	$\phi/16$	3.2 μs	6.4 μs
1	0	1	$\phi/8$	1.6 μs	3.2 μs
1	1	0	$\phi/4$	0.8 μs	1.6 μs
1	1	1	$\phi/2$	—	0.8 μs

(2) シリアルコントロールステータスレジスタ (SCSR1)

ビット:	7	6	5	4	3	2	1	0
	—	SOL	ORER	—	—	—	MTRF	STF
初期値:	1	0	0	1	1	1	0	0
R/W :	—	R/W	R/(W)*	—	—	—	R	R/W

【注】* フラグをクリアするための"0"ライトのみ可能です。

SCSR1は、動作状態、エラー状態などを示す8ビットのレジスタです。

リセット時、SCSR1はH'9C にイニシャライズされます。

ビット7: リザーブビット

リザーブビットです。本ビットはリードすると常に"1"が読み出されます。ライトは無効です。

ビット6: 拡張データビット (SOL)

SOL は SO₁ 端子の出力レベルを設定します。また、リードすると SO₁ 端子の出力レベルが読み出されます。送信完了後の SO₁ 端子の出力は、送信データの最終ビットの値を保持しますが、送信前または送信後に本ビットを操作して、SO₁ 端子の出力レベルを変更することができます。ただし、次の送信が開始すると SOL の設定は無効となります。また SSB モードでの設定も無効となります。したがって送信完了後に SO₁ 端子の出力レベルを変更する場合には送信完了毎に SOL に対するライト操作を行ってください。なお、データ転送中に本レジスタにライトすると誤動作の原因になりますので送信中は操作しないでください。

ビット6	説明	
SOL		
0	リード時	SO ₁ 端子出力が"Low"レベル (初期値)
	ライト時	SO ₁ 端子出力を"Low"レベルに変更
1	リード時	SO ₁ 端子出力が"High"レベル
	ライト時	SO ₁ 端子出力を"High"レベルに変更

ビット5：オーバランエラーフラグ（ORER）

ORER は外部クロック使用時、オーバランエラーが発生したことを示します。転送中に外来雑音などにより正規の転送クロックに余分なパルスが重ね合わされた場合、転送データは保証できません。転送完了後もクロックが入力された場合、オーバラン状態であるとして、本ビットが"1"にセットされます。

ビット5		
ORER	説明	
0	[クリア条件] "1"をリード後、"0"をライトしたとき	（初期値）
1	[セット条件] 外部クロック使用時、転送完了後もクロックが入力されたとき	

ビット4～2：リザーブビット

リザーブビットです。各ビットはリードすると"1"が読み出されます。ライトは無効です。

ビット1：TAIL MARK 送信フラグ（MTRF）

MRKON = "1"の時、TAIL MARK を送信中であることを示します。本ビットはリードのみ可能です。ライトは無効です。

ビット1		
MTRF	説明	
0	転送待ち状態および8ビットまたは16ビットデータ転送中	（初期値）
1	TAIL MARK 送信中	

ビット0：スタートフラグ（STF）

STF は、転送動作の開始を制御します。本ビットに"1"をセットすると SCI1 の転送動作を開始します。

本ビットは、転送中とスタートビット待ち状態時は"1"を保持し、転送終了後に"0"にクリアされます。このため、ビジーフラグとして使用できます。

ビット0			
STF	説明		
0	リード時	転送動作は停止	（初期値）
	ライト時	無効	
1	リード時	転送動作中	
	ライト時	転送動作を開始	

(3) シリアルデータレジスタ U (SDRU)

ビット:	7	6	5	4	3	2	1	0
	SDRU7	SDRU6	SDRU5	SDRU4	SDRU3	SDRU2	SDRU1	SDRU0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SDRU は、8 ビットのリード / ライト可能なレジスタで、16 ビット転送時に上位 8 ビットのデータレジスタとして使用します (SDRL が下位 8 ビット)。

SDRU に書き込まれたデータは、SDRL に LSB ファーストで出力されます。入れ替わりに SI_1 端子より LSB ファーストでデータが入力されて、MSB → LSB 方向にデータがシフトします。

SDRU のリード / ライトは、データの送信 / 受信が完了してから行う必要があります。データの送信 / 受信中にリード / ライトを行うとデータの内容は保証されません。

SDRU のリセット時の値は不定です。

(4) シリアルデータレジスタ L (SDRL)

ビット:	7	6	5	4	3	2	1	0
	SDRL7	SDRL6	SDRL5	SDRL4	SDRL3	SDRL2	SDRL1	SDRL0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SDRL は、8 ビットのリード / ライト可能なレジスタで、8 ビット転送時のデータレジスタ、および 16 ビット転送時の下位 8 ビットのデータレジスタとして使用します (SDRU が上位 8 ビット)。

8 ビット転送時、SDRL に書き込まれたデータは、 SO_1 端子より LSB ファーストで出力されます。入れ替わりに SI_1 端子より LSB ファーストで入力されて、MSB → LSB 方向にデータがシフトします。

16 ビット転送時には、入力データが SDRU より取り込まれることを除けば、8 ビット転送時と同様の動作となります。

SDRL のリード / ライトは、データの送信 / 受信が完了してから行う必要があります。データの送信 / 受信中にリード / ライトを行うとデータの内容は保証されません。

SDRL のリセット時の値は不定です。

10.2.3 クロック同期モード時の動作説明

送信 / 受信フォーマットは 8 ビットおよび 16 ビットの転送データを選択可能です。クロックソースは、内部クロックと外部クロックを選択できます。外部クロック使用時はオーバーランエラーの検出ができます。

(1) クロック

転送クロックは、8 種類の内部クロックと外部クロックから選択できます。内部クロックを選択した場合は、SCK₁ 端子はクロック出力端子となります。クロック連続出力モード(SCR1 の SNC1、SNC0 を "10")に設定すると CKS2 ~ CKS0 で選択したクロック($\phi/1024 \sim \phi/2$)を SCK₁ 端子から連続して出力します。外部クロックを選択した場合は、SCK₁ 端子はクロック入力端子となります。

(2) データ転送フォーマット

SCI1 の転送フォーマットを図 10.2 に示します。データの最下位ビットから送受信される LSB ファースト方式による転送を行います。送信データは転送クロックの立下がりから次の立上がりまで出力されます。また、受信データは転送クロックの立上がりで取り込まれます。

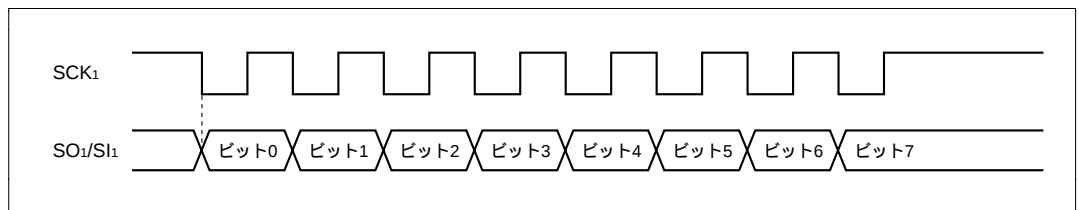


図 10.2 転送フォーマット

(3) データの転送動作

(a) 送信動作

送信動作は次のように行われます。

- (1) PMR3 の SO1 を "1"、SCK1 を "1" としてそれぞれ SO₁ 端子、SCK₁ 端子に設定します。
また、必要に応じて、PMR7 の POF1 により、SO₁ 端子を NMOS オープンドレイン出力とします。
- (2) SCR1 の SNC1 を "0"、SNC0 を "0" または "1"、MRKON を "0" として 8 ビットクロック同期方式か 16 ビットクロック同期方式に設定し、CKS3 ~ CKS0 で転送クロックを選択します。SCR1 の MRKON が "0" の状態で SCR1 ヘデータの書き込みを行うと SCI1 の内部状態はイニシャライズされます。

(3) SDRL、SDRU に転送データを書き込みます。

8 ビット転送モード : SDRL

16 ビット転送モード : 上位バイト SDRU、下位バイト SDRL

(4) SCSR1 の STF を "1" にすると、SCI1 は動作を開始し、SO₁ 端子から送信データが出力されます。

(5) 送信完了後、IRR2 の IRRS1 が "1" にセットされます。

内部クロックを使用する場合は、送信データの出力と同時に SCK₁ 端子から同期クロックが出力されます。送信が終了すると、次にスタートフラグを "1" にセットするまで同期クロックは出力されません。この間、SO₁ 端子は直前のデータの最終ビットの値を出力し続けます。

外部クロックを使用する場合には、SCK₁ 端子から入力されるクロックに同期してデータを送信します。送信終了後、引き続き同期クロックが入力されると、送信動作は行われず、オーバラン状態であるとして、SCSR1 の ORER が "1" にセットされます。

送信停止中の SO₁ 端子の出力値は、SCSR1 の SOL により変更することができます。

(b) 受信動作

受信動作は次のように行われます。

(1) PMR3 の SI1 を "1"、SCK₁ を "1" として、それぞれ SI₁ 端子、SCK₁ 端子に設定します。

(2) SCR1 の SNC1 を "0"、SNC0 を "0" または "1"、MRKON を "0" として 8 ビットクロック同期方式か 16 ビットクロック同期方式に設定し、CKS3 ~ CKS0 で転送クロックを選択します。SCR1 の MRKON が "0" の状態で SCR1 へのデータの書き込みを行うと SCI1 の内部状態はイニシャライズされます。

(3) SCSR1 の STF を "1" にすると、SCI1 は動作を開始し、SI₁ 端子から受信データを取り込みます。

(4) 受信完了後、IRR2 の IRRS1 が "1" にセットされます。

(5) SDRL、SDRU から受信データを読み出します。

8 ビット転送モード : SDRL

16 ビット転送モード : 上位バイト SDRU、下位バイト SDRL

(6) 受信終了後、引き続き同期クロックが入力されると、受信動作は行われず、オーバラン状態であるとして、SCSR1 の ORER が "1" にセットされます。

(c) 同時送受信動作

同時送受信動作は次のように行われます。

(1) PMR3 の SO1 を "1"、SI1 を "1"、SCK₁ を "1" としてそれぞれ SO₁ 端子、SI₁ 端子、SCK₁ 端子に設定します。また、必要に応じて PMR7 の POF1 により、SO1 端子を NMOS オープンドレイン出力とします。

- (2) SCR1 の SNC1 を "0"、SNC0 を "0" または "1"、MRKON を "0" として 8 ビットクロック同期方式か 16 ビットクロック同期方式に設定し、CKS3 ~ CKS0 で転送クロックを選択します。SCR1 の MRKON が "0" の状態で SCR1 へのデータの書き込みを行うと SCI1 の内部状態はイニシャライズされます。
- (3) SDRL、SDRU に転送データを書き込みます。
 8 ビット転送モード : SDRL
 16 ビット転送モード : 上位バイト SDRU、下位バイト SDRL
- (4) SCSR1 の STF を "1" にすると、SCI1 は動作を開始し、SO₁ 端子から送信データが出力され、また SI1 端子から受信データが入力されます。
- (5) 送受信完了後、IRR2 の IRRS1 が "1" にセットされます。
- (6) SDRL、SDRU から受信データを読み出します。
 8 ビット転送モード : SDRL
 16 ビット転送モード : 上位バイト SDRU、下位バイト SDRL

内部クロックを使用する場合は、送信データの出力と同時に SCK₁ 端子から同期クロックが出力されます。送信が終了すると、次にスタートフラグを "1" にセットするまで同期クロックは出力されません。この間、SO₁ 端子は直前のデータの最終ビットの値を出力し続けます。

外部クロックを使用する場合には、SCK₁ 端子から入力されるクロックに同期してデータを送受信します。送受信終了後、引き続き同期クロックが入力されると、送受信動作は行われず、オーバラン状態であるとして、SCSR1 の ORER が "1" にセットされます。

送信停止中の SO₁ 端子の出力値は、SCSR1 の SOL により変更することができます。

10.2.4 SSB モード時の動作説明

SSB 通信方式は SCL (Serial Clock) と SDA (Serial Data) との 2 線で構成され、図 10.3 で示すように接続することで複数の IC を制御することができます。

SSB モードは 8 ビットまたは 16 ビットデータ転送後、TAIL MARK を付加して送信します。TAIL MARK は HOLD TAIL と LATCH TAIL から選択できます。

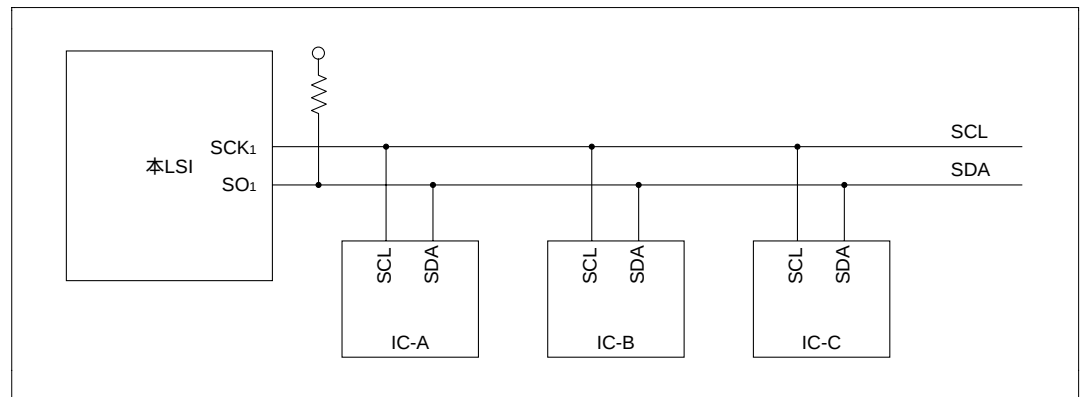


図 10.3 SSB 接続例

(1) クロック

転送クロックは、8種類の内部クロックと外部クロックから選択できますが、本 LSI がクロック出力となるため外部クロックは選択しないでください。また転送レートは、SCR1 の CKS2 ~ CKS0 で選択できますが、TAIL MARK の転送レートと兼ねているため、転送クロック周期が $2\mu\text{s}$ 以上となるように設定してください。

(2) データ転送フォーマット

SCI1 の転送フォーマットを図 10.4 に示します。データ転送は、データの最下位ビットから送信される LSB ファースト方式による転送を行います。8 ビットまたは 16 ビットデータ転送後、TAIL MARK を付加します。

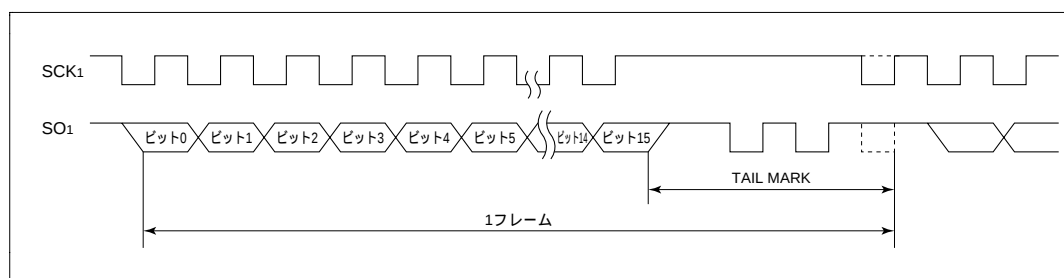


図 10.4 転送フォーマット (SNC1 = 0、SNC0 = 1、MRKON = 1 の時)

(3) TAIL MARK

TAIL MARK には HOLD TAIL と LATCH TAIL があります。HOLDTAIL と LATCHTAIL の出力波形を図 10.5 に示します。図 10.5 中の時間 t は SCR1 の CKS2 ~ CKS0 で設定された転送クロック周期から決まる時間です。

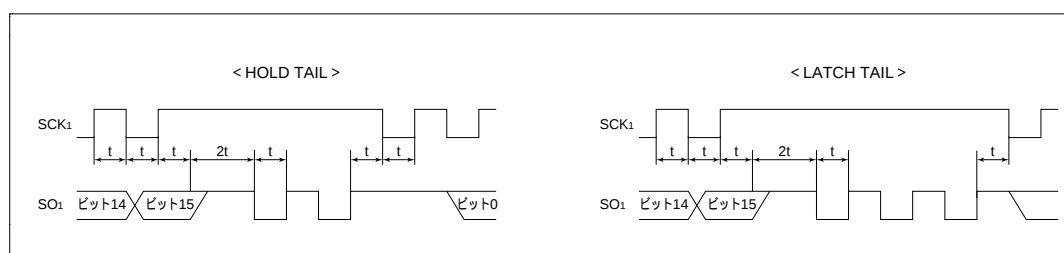


図 10.5 HOLD TAIL と LATCH TAIL の出力波形

(4) 送信動作

送信手順と動作を以下に示します。

- (1) SCSR1 の SOL を "1" にセットします。
- (2) PMR3 の SO1 を "1"、SCK1 を "1" としてそれぞれ SO₁ 端子、SCK₁ 端子に設定します。
また PMR7 の POF1 を "1" にセットし、SO₁ 端子を NMOS オープンドレイン出力とします。
- (3) SCR1 の SNC1 を "0"、SNC0 を "0" または "1" とし、8 ビットモードか 16 ビットモードを設定します。また SCR1 の MRKON を "1" にセットし、SSB モードを選択します。
- (4) SDRL、SDRU に転送データを書き込みます。また SCR1 の LTCH で TAIL MARK を設定します。
8 ビットモード : SDRL
16 ビットモード : 上位バイト SDRU、下位バイト SDRL
- (5) SCSR1 の STF を "1" にすると SCI1 は動作を開始し、SO₁ 端子から送信データが出力されます。
- (6) 8 ビットまたは 16 ビットデータ送信後、SCSR1 の STF は "0" にリセットされ、同時に IRR2 の IRRS1 は "1" にセットされます。またデータ送信に続いて、設定された TAILMARK が出力されます。TAIL MARK 出力中 SCSR1 の MTRF は "1" になります。

(4) ~ (6) を繰り返し行うことにより、連続的にデータを送信することができます。
なお、SCR1 の MRKON を書き換える場合は、転送待ち状態であることを確認してから行ってください。

10.2.5 割込み要因

SCI1 の割込み要因には、転送完了があります。

SCI1 が、転送完了すると、IRR2 の IRRS1 が "1" にセットされます。SCI1 の割込み要求は、IENR2 の IENS1 により許可 / 禁止を選択できます。

詳細は、「3.3 割込み」を参照してください。

10.3 SCI3

10.3.1 概要

SCI3（シリアルコミュニケーションインタフェース3）は、調歩同期式とクロック同期式の2方式のシリアルデータ通信を行います。また、複数のプロセッサ間のシリアルデータ通信機能（マルチプロセッサ通信機能）を備えています。

（1）特長

SCI3の特長を以下に示します。

- シリアルデータ通信モードを調歩同期式モードまたはクロック同期式モードから選択可能

- ・ 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータ通信を行います。

Universal Asynchronous Receiver/Transmitter（UART）や、Asynchronous Communication Interface Adapter（ACIA）などの標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。

また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

通信フォーマットを12種類のフォーマットから選択できます。

データ長	7ビット/8ビット
ストップビット長	1ビット/2ビット
パリティ	偶数パリティ/奇数パリティ/パリティなし
マルチプロセッサビット	"1"/"0"
受信エラーの検出	パリティエラー、オーバランエラーフレーミングエラー
ブレークの検出	フレーミングエラー発生時に RXD 端子のレベルを直接読み出すことでブレークを検出

- ・ クロック同期式モード

クロックに同期してシリアルデータの通信を行います。クロック同期式通信機能をもつ他の LSI とのシリアルデータ通信が可能です。

データ長	8ビット
受信エラーの検出	オーバランエラー

■全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部および受信部ともにダブルバッファ構造になっていますので、連続送信・連続受信ができます。

■内蔵のボーレートジェネレータで任意のビットレートを選択可能

■送受信クロックソースを内部クロック、または外部クロックから選択可能

■6種類の割り込み要因

送信終了、送信データエンプティ、受信データフル、オーバランエラー、フレーミングエラー、パリティエラーの6種類の割り込み要因があります。

(2) ブロック図

SCI3のブロック図を図10.6に示します。

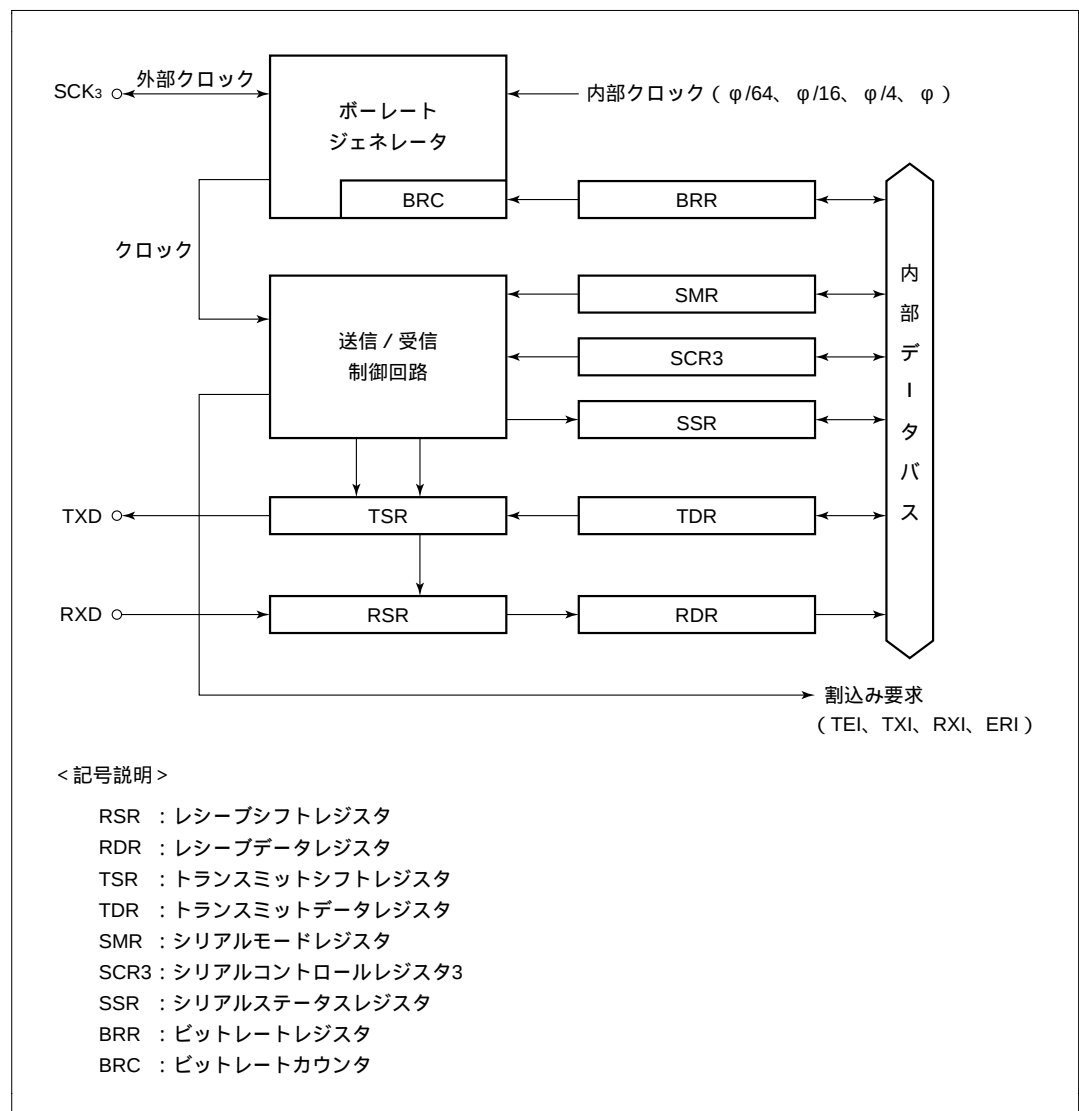


図 10.6 SCI3のブロック図

(3) 端子構成

SCI3 の端子構成を表 10.4 に示します。

表 10.4 端子構成

名称	略称	入出力	機能
SCI3 クロック	SCK ₃	入出力	SCI3 のクロック入出力端子
SCI3 レシーブデータ 入力	RXD	入力	SCI3 の受信データ入力端子
SCI3 トランスミット データ出力	TXD	出力	SCI3 の送信データ出力端子

(4) レジスタ構成

SCI3 のレジスタ構成を表 10.5 に示します。

表 10.5 レジスタ構成

名称	略称	R/W	初期値	アドレス
シリアルモードレジスタ	SMR	R/W	H'00	H'FFA8
ビットレートレジスタ	BRR	R/W	H'FF	H'FFA9
シリアルコントロールレジスタ 3	SCR3	R/W	H'00	H'FFAA
トランスミットデータレジスタ	TDR	R/W	H'FF	H'FFAB
シリアルステータスレジスタ	SSR	R/W	H'84	H'FFAC
レシーブデータレジスタ	RDR	R	H'00	H'FFAD
トランスミットシフトレジスタ	TSR	不可	—	—
レシーブシフトレジスタ	RSR	不可	—	—
ビットレートカウンタ	BRC	不可	—	—

10.3.2 各レジスタの説明

(1) レシーブシフトレジスタ (RSR)

ビット:	7	6	5	4	3	2	1	0
R/W :	—	—	—	—	—	—	—	—

RSR は、シリアルデータを受信するためのレジスタです。RSR に RXD 端子から入力されたシリアルデータを、LSB (ビット 0) から受信した順にセットしパラレルデータに変換します。1 バイトのデータを受信すると、データは自動的に RDR へ転送されます。

CPU から RSR を直接リード/ライトすることはできません。

(2) レシーブデータレジスタ (RDR)

ビット:	7	6	5	4	3	2	1	0
	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

RDR は、受信したシリアルデータを格納する 8 ビットのレジスタです。

1 バイトのデータの受信が終了すると、受信したデータを RSR から RDR へ転送し、受信動作を完了します。その後、RSR は受信可能となります。

RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、受信専用レジスタですので CPU からライトできません。

RDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時に H'00 にイニシャライズされます。

(3) トランスミットシフトレジスタ (TSR)

ビット:	7	6	5	4	3	2	1	0
R/W :	—	—	—	—	—	—	—	—

TSR は、シリアルデータを送信するためのレジスタです。TDR から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TXD 端子に送出することでシリアルデータ送信を行います。1 バイトのデータを送信すると、自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし、TDR にデータが書き込まれていない (TDRE に "1" がセットされている) 場合には TDR から TSR へのデータ転送は行いません。

CPU から TSR を直接リード/ライトすることはできません。

(4) トランスミットデータレジスタ (TDR)

ビット:	7	6	5	4	3	2	1	0
	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TDR は、送信データを格納する 8 ビットのレジスタです。TSR の"空"を検出すると、TDR に書き込まれた送信データを TSR に転送し、シリアルデータ送信を開始します。TSR のシリアルデータ送信中に、TDR に次の送信データをライトしておく、連続送信が可能です。

TDR は、常に CPU によるリード/ライトが可能です。

TDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時に H'FF にイニシャライズされます。

(5) シリアルモードレジスタ (SMR)

ビット:	7	6	5	4	3	2	1	0
	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMR は、シリアルデータ通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR は、常に CPU によるリード/ライトが可能です。

SMR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時に H'00 にイニシャライズされます。

ビット 7: コミュニケーションモード (COM)

COM は、SCI3 を調歩同期式モードとクロック同期式モードのいずれで動作させるかを選択するビットです。

ビット 7	説明
COM	
0	調歩同期式モード (初期値)
1	クロック同期式モード

ビット6：キャラクタレングス（CHR）

CHR は、調歩同期式モード時におけるデータ長を選択するビットです。7 ビットデータと 8 ビットデータのいずれかを選択できます。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットに固定となります。

ビット 6	説明
CHR	
0	8 ビットデータ（初期値）
1	7 ビットデータ*

【注】 * 7 ビットデータを選択した場合、TDR の MSB（ビット 7）は送信されません。

ビット5：パリティイネーブル（PE）

PE は、調歩同期式モードで、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択するビットです。クロック同期式モードでは PE の設定にかかわらずパリティビットの付加およびチェックは行いません。

ビット 5	説明
PE	
0	パリティビットの付加およびチェックを禁止（初期値）
1	パリティビットの付加およびチェックを許可*

【注】 * PE に"1"をセットすると送信時には、PM で指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが PM で指定したパリティになっているかどうかをチェックします。

ビット4：パリティモード（PM）

PM は、パリティの付加やチェックを偶数パリティ、または奇数パリティのどちらかで行うかを選択するビットです。PM の設定は、調歩同期式モードで PE に"1"を設定し、パリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合には PM は無効です。

ビット4	説明
PM	
0	偶数パリティ* ¹ （初期値）
1	奇数パリティ* ²

【注】 *1 偶数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の"1"の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の"1"の数の合計が偶数になるかどうかをチェックします。

*2 奇数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の"1"の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の"1"の数の合計が奇数になるかどうかをチェックします。

ビット3：ストップビットレングス（STOP）

STOP は、調歩同期式モードでのストップビットの長さを選択するビットです。1 ビットまたは 2 ビットのいずれかを選択できます。STOP の設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合にはストップビットは付加されませんので STOP は無効です。

ビット3	説明
STOP	
0	1 ストップビット* ¹ （初期値）
1	2 ストップビット* ²

【注】 *1 送信時には、送信キャラクタの最後尾に 1 ビットの"1"（ストップビット）を付加して送信します。

*2 送信時には、送信キャラクタの最後尾に 2 ビットの"1"（ストップビット）を付加して送信します。

なお、受信時にはSTOPの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が"1"の場合はストップビットとして扱いますが、"0"の場合は次の送信キャラクタのスタートビットとして扱います。

ビット2：マルチプロセッサモード（MP）

MPは、マルチプロセッサ通信機能を許可するビットです。マルチプロセッサ通信機能を許可した場合、PE、およびPMにおけるパリティの設定は無効になります。MPの設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合にはMPを"0"にしてください。

マルチプロセッサ通信機能については「10.3.6 マルチプロセッサ通信機能」を参照してください。

ビット2	説明
MP	
0	マルチプロセッサ通信機能を禁止（初期値）
1	マルチプロセッサ通信機能を許可

ビット1、0：クロックセレクト1、0（CKS1、CKS0）

CKS1、CKS0は、内蔵ボーレートジェネレータのクロックソースを選択するビットです。CKS1、CKS0の組合せによって、 $\phi/64$ 、 $\phi/16$ 、 $\phi/4$ 、 ϕ の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「（8）ビットレートレジスタ（BRR）」を参照してください。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	ϕ クロック（初期値）
0	1	$\phi/4$ クロック
1	0	$\phi/16$ クロック
1	1	$\phi/64$ クロック

(6) シリアルコントロールレジスタ 3 (SCR3)

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR3 は、送信 / 受信動作、調歩同期式モードでのクロック出力、割込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行う 8 ビットのレジスタです。

SCR3 は、常に CPU によるリード / ライトが可能です。

SCR3 は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時に H'00 にイニシャライズされます。

ビット 7: トランスミットインタラプトイネーブル (TIE)

TIE は、TDR から TSR へ送信データが転送され、SSR の TDRE が "1" にセットされたとき、送信データエンプティ割込み要求 (TXI) の許可 / 禁止を選択するビットです。

TXI は、TDRE を "0" にクリアするか、または TIE を "0" にクリアすることで解除できます。

ビット 7	説明
TIE	
0	送信データエンプティ割込み要求 (TXI) の禁止 (初期値)
1	送信データエンプティ割込み要求 (TXI) の許可

ビット 6: レシーブインタラプトイネーブル (RIE)

RIE は、受信データが RSR から RDR へ転送され、SSR の RDRF が "1" にセットされたとき、受信データフル割込み要求 (RXI)、および受信エラー割込み要求 (ERI) の許可 / 禁止を選択するビットです。なお、受信エラーにはオーバーランエラー、フレーミングエラー、パリティエラーの 3 種類があります。

RXI および ERI は、RDRF または、FER、PER、OER のエラーフラグを "0" にクリアするか、RIE を "0" にクリアすることで解除できます。

ビット 6	説明
RIE	
0	受信データフル割込み要求 (RXI)、および受信エラー割込み要求 (ERI) を禁止 (初期値)
1	受信データフル割込み要求 (RXI)、および受信エラー割込み要求 (ERI) を許可

ビット5：トランスミットイネーブル（TE）

TE は、送信動作の開始の許可 / 禁止を選択するビットです。

ビット5	説明
TE	
0	送信動作を禁止 ^{*1} （TXD 端子はトランスミットデータ端子）（初期値）
1	送信動作を許可 ^{*2} （TXD 端子はトランスミットデータ端子）

【注】 *1 SSR の TDRE は"1"に固定されます。送信動作は禁止されますが、TXD 端子はトランスミットデータ端子として機能します。入出力端子として使用する場合には PMR7 の TXD を"0"にしてください。

*2 この状態で、TDR に送信データをライトすると SSR の TDRE が"0"にクリアされシリアルデータ送信を開始します。なお、TE を"1"にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。

ビット4：レシーブイネーブル（RE）

RE は、受信動作の開始の許可 / 禁止を選択するビットです。

ビット4	説明
RE	
0	受信動作を禁止 ^{*1} （RXD 端子は入出力ポート）（初期値）
1	受信動作を許可 ^{*2} （RXD 端子はレシーブデータ端子）

【注】 *1 RE を"0"にクリアしても SSR の RDRF、FER、PER、OER の各フラグは影響を受けず、状態を保持しますので注意してください。

*2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を、それぞれ検出するとシリアルデータ受信を開始します。なお、RE を"1"にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル（MPIE）

MPIE は、マルチプロセッサ割込み要求の許可 / 禁止を選択するビットです。MPIE の設定は、調歩同期式モードで、かつ SMR の MP が"1"に設定されている受信時にのみ有効です。COM が"1"のときや MP が"0"のときには MPIE は無効です。

ビット3	
MPIE	説明
0	マルチプロセッサ割込み要求を禁止（通常の受信動作）（初期値） [クリア条件] マルチプロセッサビットが"1"のデータを受信したとき
1	マルチプロセッサ割込み要求を許可*

【注】 * RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、OER の各ステータスフラグのセットは行いません。マルチプロセッサビットが"1"のデータを受け取るまで、RXI、ERI、および、SSR の RDRF、FER、OER の各フラグのセットを禁止します。マルチプロセッサビットが"1"の受信キャラクタを受け取ると、SSR の MPBR を"1"にセットし、MPIE を自動的に"0"にクリアし、RXI、ERI の発生（SCR の TIE、RIE が"1"にセットされている場合）と RDRF、FER、OER のセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル（TEIE）

TEIE は、MSB データ送出時に有効な送信データが TDR がないとき、送信終了割込み要求（TEI）の許可 / 禁止を選択するビットです。

ビット2	
TEIE	説明
0	送信終了割込み要求（TEI）を禁止（初期値）
1	送信終了割込み要求（TEI）を許可*

【注】 * TEI は、SSR の TDRE を"0"にクリアして TEND を"0"にクリアするか、TEIE を"0"にクリアすることで解除できます。

ビット1、0：クロックイネーブル1、0（CKE1、CKE0）

CKE1、CKE0は、クロックソースの選択、およびSCK₃端子からのクロックの出力の許可/禁止を選択するビットです。CKE1とCKE0の組合せによってSCK₃端子を入出力ポートにするか、クロック出力端子にするか、またはクロック入力端子にするかが決まります。

ただし、CKE0の設定は調歩同期式モードで内部クロック動作時（CKE1="0"）のみ有効です。クロック同期式モードのとき、および外部クロック動作（CKE1="1"）の場合はCKE0に"0"を設定してください。

また、CKE1、CKE0を設定した後にSMRで動作モードを決定してください。

クロックソースの選択についての詳細は「10.3.3 動作概要」の表10.10を参照してください。

ビット1	ビット0	説明		
CKE1	CKE0	コミュニケーションモード	クロックソース	SCK ₃ 端子機能
0	0	調歩同期式	内部クロック	入出力ポート* ¹
		クロック同期式	内部クロック	同期クロック出力* ¹
0	1	調歩同期式	内部クロック	クロック出力* ²
		クロック同期式	リザーブ	
1	0	調歩同期式	外部クロック	クロック入力* ³
		クロック同期式	外部クロック	同期クロック入力
1	1	調歩同期式	リザーブ	
		クロック同期式	リザーブ	

【注】 *1 初期値

*2 ビットレートと同じ周波数のクロックを出力します。

*3 ビットレートの16倍の周波数のクロックを入力してください。

(7) シリアルステータスレジスタ (SSR)

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするための"0"ライトのみ可能です。

SSR は、SCI3 の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。

SSR は常に、CPU からリード/ライトできます。ただし、TDRE、RDRF、OER、PER、FER へ"1"をライトすることはできません。また、これらに"0"をライトしてクリアするためには、あらかじめ"1"をリードしておく必要があります。

また、TEND および MPBR はリード専用であり、ライトすることはできません。

SSR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時に H'84 にイニシャライズされます。

ビット7: トランスミットデータレジスタエンプティ (TDRE)

TDRE は、TDR から TSR に送信データの転送が行われたことを示すビットです。

ビット7	説明
TDRE	
0	TDR にライトされた送信データが TSR に転送されていない 【クリア条件】 (1) TDRE = "1"の状態をリードした後、"0"をライトしたとき (2) 命令で TDR へデータをライトしたとき
1	TDR に送信データがライトされていない、または TDR にライトされた送信データが TSR に転送された 【セット条件】 (1) SCR3 の TE が"0"のとき (2) TDR から TSR にデータ転送が行われたとき (初期値)

ビット6：レシーブデータレジスタフル（RDRF）

RDRF は、受信したデータが RDR に格納されていることを示すビットです。

ビット6	
RDRF	説明
0	RDR に受信データが格納されていない （初期値） [クリア条件] （1）RDRF = "1"の状態をリードした後、"0"をライトしたとき （2）命令で RDR のデータをリードしたとき
1	PDR に受信データが格納されている [セット条件] 受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 * 受信時にエラーを検出したとき、および SCR3 の RE を"0"にクリアしたときには、RDR および RDRF は影響を受けず以前の状態を保持します。RDRF が"1"にセットされたままデータの受信を完了するとオーバランエラー（OER）を発生し、受信データが失われますので注意してください。

ビット5：オーバランエラー（OER）

OER は、受信時にオーバランエラーが発生したことを示すビットです。

ビット5	
OER	説明
0	受信中、または受信を完了した*1 （初期値） [クリア条件] OER = "1"の状態をリードした後、"0"をライトしたとき
1	受信時にオーバランエラーが発生した*2 [セット条件] RDRF が"1"の状態を受信を完了したとき

【注】 *1 SCR3 の RE を"0"にクリアしたときには、OER は影響を受けず以前の状態を保持します。

*2 RDR では、オーバランエラーが発生する前の受信データが保持され、後から受信したデータが失われます。なお、OER が"1"にセットされた状態で、以降の受信を続けることはできません。クロック同期式モードでは送信も続けることができません。

ビット4：フレーミングエラー（FER）

FER は、調歩同期式モードで受信時にフレーミングエラーが発生したことを示すビットです。

ビット4	
FER	説明
0	受信中、または受信を完了した ^{*1} （初期値） [クリア条件] FER = "1"の状態をリードした後、"0"をライトしたとき
1	受信時にフレーミングエラーが発生した [セット条件] 受信終了時に受信データの最後尾のストップビットが"1"であるかどうかをチェックし、ストップビットが"0"であったとき ^{*2}

【注】 *1 SCR3 の RE を"0"にクリアしたときには、FER は影響を受けず以前の状態を保持します。

*2 2ストップビットモード時は、1ビット目のストップビットが"1"であるかどうかのみを判定し、2ビット目のストップビットはチェックをしませんので注意してください。なお、フレーミングエラーが発生したときの受信データは RDR に転送されますが、RDRF はセットされません。さらに、FER が"1"にセットされた状態においては、以降の受信を続けることはできません。また、クロック同期式モードでは、FER が"1"にセットされていると送信および受信はできません。

ビット3：パリティエラー（PER）

PER は、調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生したことを示すビットです。

ビット3	
PER	説明
0	受信中、または受信を完了した* ¹ (初期値) [クリア条件] PER = "1"の状態をリードした後、"0"をライトしたとき
1	受信時にパリティエラーが発生した* ² [セット条件] 受信時に受信データとパリティビットをあわせた"1"の数が SMR の PM で設定したパリティと一致しなかったとき

【注】 *1 SCR3 の RE を"0"にクリアしたときには、PER は影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF はセットされません。なお、PER が"1"にセットされた状態では、以降の受信を続けることはできません。また、クロック同期式モードでは、PER が"1"にセットされていると送信および受信はできません。

ビット2：トランスミットエンド（TEND）

TEND は、送信キャラクタの最後尾ビットを送信時に、TDRE が"1"にセットされていたことを示すビットです。

TEND は、リード専用ですのでライトすることはできません。

ビット2	
TEND	説明
0	送信中 [クリア条件] (1) TDRE = "1"の状態をリードした後、TDRE に"0"をライトしたとき (2) 命令で TDR にデータをライトしたとき
1	送信を終了 (初期値) [セット条件] (1) SCR3 の TE が"0"のとき (2) 送信キャラクタの最後尾ビットの送信時に、TDRE が"1"であったとき

ビット1：マルチプロセッサビットレシーブ（MPBR）

MPBR は、調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信キャラクタ中のマルチプロセッサビットを格納するビットです。

リード専用ですのでライトすることはできません。

ビット1	説明
MPBR	
0	マルチプロセッサビットが"0"のデータを受信した* (初期値)
1	マルチプロセッサビットが"1"のデータを受信した

【注】 * マルチプロセッサフォーマットで SCR3 の RE を"0"にクリアしたときには、MPBR は影響を受けず、以前の状態を保持します。

ビット0：マルチプロセッサビットトランスファ（MPBT）

MPBT は、調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納するビットです。クロック同期式モードを選択しているときやマルチプロセッサ通信機能を禁止しているとき、あるいは送信でないときには MPBT は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビット"0"を送信 (初期値)
1	マルチプロセッサビット"1"を送信

(8) ビットレートレジスタ（BRR）

ビット：	7	6	5	4	3	2	1	0
	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRR は、SMR の CKS1、CKS0 で選択されるボーレートジェネレータの動作クロックとあわせて、送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

BRR は、常に CPU によるリード / ライトが可能です。

BRR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時に H'FF にイニシャライズされます。

調歩同期式モードの BRR の設定例を表 10.6 に示します。表 10.6 はアクティブ（高速）モードでの値を示しています。

表 10.6 ビットレートに対する BRR の設定例〔調歩同期式モード〕（１）

R ビットレート (bit/s)	OSC (MHz)											
	2			2.4576			4			4.194304		
	誤差			誤差			誤差			誤差		
	n	N	(%)	n	N	(%)	n	N	(%)	n	N	(%)
110	1	70	+0.03	1	86	+0.31	1	141	+0.03	1	148	-0.04
150	0	207	+0.16	0	255	0	1	103	+0.16	1	108	+0.21
300	0	103	+0.16	0	127	0	0	207	+0.16	0	217	+0.21
600	0	51	+0.16	0	63	0	0	103	+0.16	0	108	+0.21
1200	0	25	+0.16	0	31	0	0	51	+0.16	0	54	-0.70
2400	0	12	+0.16	0	15	0	0	25	+0.16	0	26	+1.14
4800	—	—	—	0	7	0	0	12	+0.16	0	13	-2.48
9600	—	—	—	0	3	0	—	—	—	0	6	-2.48
19200	—	—	—	0	1	0	—	—	—	—	—	—
31250	0	0	0	—	—	—	0	1	0	—	—	—
38400	—	—	—	0	0	0	—	—	—	—	—	—

表 10.6 ビットレートに対する BRR の設定例〔調歩同期式モード〕（２）

R ビットレート (bit/s)	OSC (MHz)											
	4.9152			6			7.3728			8		
	誤差			誤差			誤差			誤差		
	n	N	(%)	n	N	(%)	n	N	(%)	n	N	(%)
110	1	174	-0.26	1	212	+0.03	2	64	+0.70	2	70	+0.03
150	1	127	0	1	155	+0.16	1	191	0	1	207	+0.16
300	0	255	0	1	77	+0.16	1	95	0	1	103	+0.16
600	0	127	0	0	155	+0.16	0	191	0	0	207	+0.16
1200	0	63	0	0	77	+0.16	0	95	0	0	103	+0.16
2400	0	31	0	0	38	+0.16	0	47	0	0	51	+0.16
4800	0	15	0	0	19	-2.34	0	23	0	0	25	+0.16
9600	0	7	0	0	9	-2.34	0	11	0	0	12	+0.16
19200	0	3	0	0	4	-2.34	0	5	0	—	—	—
31250	—	—	—	0	2	0	—	—	—	0	3	0
38400	0	1	0	—	—	—	0	2	0	—	—	—

表 10.6 ビットレートに対する BRR の設定例〔調歩同期式モード〕(3)

R ビットレート (bit/s)	OSC (MHz)					
	9.8304			10		
	n	N	誤差 (%)	n	N	誤差 (%)
110	2	86	+ 0.31	2	88	- 0.25
150	1	255	0	2	64	+ 0.16
300	1	127	0	1	129	+ 0.16
600	0	255	0	1	64	+ 0.16
1200	0	127	0	0	129	+ 0.16
2400	0	63	0	0	64	+ 0.16
4800	0	31	0	0	32	- 1.36
9600	0	15	0	0	15	+ 1.73
19200	0	7	0	0	7	+ 1.73
31250	0	4	- 1.70	0	4	0
38400	0	3	0	0	3	+ 1.73

- 【注】 1. 誤差は、1%以内となるように設定してください。
2. BRR の設定値は以下の計算式で求められます。

$$N = \frac{\text{OSC}}{64 \times 2^{2n} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 (0 N 255)

OSC : ϕ_{OSC} の値 (MHz)

n : ボーレートジェネレータの入力クロックの No. (n=0、1、2、3)

(n とクロックの関係は表 10.7 を参照)

表 10.7 n とクロックの関係

n	クロック	SMR の設定値	
		CKS1	CKS0
0	ϕ	0	0
1	$\phi/4$	0	1
2	$\phi/16$	1	0
3	$\phi/64$	1	1

3. 表 10.6 の誤差は以下の計算式で求めた値を小数点第 3 位を四捨五入して表示してあります。

$$\text{誤差}(\%) = \frac{B(n, N, \text{OSCから求めたレート}) - R(\text{表10.6左欄のビットレート})}{R(\text{表10.6の左欄のビットレート})} \times 100$$

調歩同期式モードの各周波数における最大ビットレートを表 10.8 に示します。

表 10.8 はアクティブ (高速) モードでの値を示しています。

表 10.8 各周波数における最大ビットレート〔調歩同期式モード〕

OSC (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
2	31250	0	0
2.4576	38400	0	0
4	62500	0	0
4.194304	65536	0	0
4.9152	76800	0	0
6	93750	0	0
7.3728	115200	0	0
8	125000	0	0
9.8304	153600	0	0
10	156250	0	0

クロック同期式モードの BRR の設定例を表 10.9 に示します。表 10.9 はアクティブ (高速) モードでの値を示しています。

表 10.9 ビットレートに対する BRR の設定例〔クロック同期式モード〕

B ビットレート (bit/s)	OSC (MHz)							
	2		4		8		10	
	n	N	n	N	n	N	n	N
110	—	—	—	—	—	—	—	—
250	1	249	2	124	2	249	—	—
500	1	124	1	249	2	124	—	—
1k	0	249	1	124	1	249	—	—
2.5k	0	99	0	199	1	99	1	124
5k	0	49	0	99	0	199	0	249
10k	0	24	0	49	0	99	0	124
25k	0	9	0	19	0	39	0	49
50k	0	4	0	9	0	19	0	24
100k	—	—	0	4	0	9	—	—
250k	0	0*	0	1	0	3	0	4
500k			0	0*	0	1	—	—
1M					0	0*	—	—
2.5M								

空欄：設定不可能です。

—：設定は可能ですが、誤差が出ます。

*：連続送信 / 受信はできません。

【注】 BRR の設定値は以下の計算式で求められます。

$$N = \frac{\text{OSC}}{8 \times 2^{2n} \times B} \times 10^6 - 1$$

B：ビットレート (bit/s)

N：ボーレートジェネレータの BRR の設定値 (0 N 255)

OSC： ϕ_{OSC} の値 (MHz)

n：ボーレートジェネレータの入力クロックの No. (n = 0、1、2、3)

(n とクロックの関係は表 10.10 を参照)

表 10.10 n とクロックの関係

n	クロック	SMR の設定値	
		CKS1	CKS0
0	φ	0	0
1	$\varphi/4$	0	1
2	$\varphi/16$	1	0
3	$\varphi/64$	1	1

10.3.3 動作概要

SCI3 は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式でシリアル通信ができます。

調歩同期式モードとクロック同期式モードの選択、および通信フォーマットの選択は、SMRで行います。これを表 10.11 に示します。

また、SCI3 のクロックソースは、SMR の COM、および SCR3 の CKE1、CKE0 の組合せでできます。これを表 10.12 に示します。

(1) 調歩同期式モード

- ・データ長：7 ビット / 8 ビットから選択可能
- ・パリティの付加、マルチプロセッサビットの付加、および 1 ビットまたは 2 ビットのストップビットの付加を選択可能（これらの組合せで送信 / 受信フォーマット、およびキャラクタ長を決定）
- ・受信時にフレーミングエラー（FER）、パリティエラー（PER）、オーバランエラー（OER）およびブレークの検出が可能
- ・クロックソース：内部クロック / 外部クロックから選択可能
内部クロックを選択した場合：ボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力可能
外部クロックを選択した場合：ビットレートの 16 倍の周波数のクロック入力が必要（内蔵ボーレートジェネレータを使用しない）

(2) クロック同期式モード

- ・送信 / 受信フォーマット：8 ビットデータ固定
- ・受信時にオーバランエラー（OER）の検出が可能
- ・クロックソース：内部クロック / 外部クロックから選択可能
内部クロックを選択した場合：ボーレートジェネレータのクロックで動作し、同期クロックを出力

外部クロックを選択した場合：内蔵ボーレートジェネレータを使用せず、入力された同期クロックで動作

表 10.11 SMR の設定値と送信 / 受信フォーマット

SMR					モード	送信 / 受信フォーマット						
bit7	bit6	bit2	bit5	bit3		データ長	マルチ プロセッサ	パリティ	ストップ			
COM	CHR	MP	PE	STOP			ビット	ビット	ビット長			
0	0	0	0	0	調歩同期式 モード	8ビット データ	なし	なし	1ビット			
				1					2ビット			
			1	0				あり	1ビット			
				1					2ビット			
	1		0	0		7ビット データ		なし	1ビット			
				1					2ビット			
			1	0				あり	1ビット			
				1					2ビット			
	0	1	*	0	調歩同期式	8ビット	あり	なし	1ビット			
				1	モード (マルチ プロセッサフ ォーマット)	データ			2ビット			
			*	0	7ビット	1ビット						
				1	データ	2ビット						
	1	*	0	*	*	クロック同期 式モード			8ビット データ	なし	なし	なし

* Don't care

表 10.12 SMR、SCR3 の設定とクロックソースの選択

SMR		SCR3		モード	送信 / 受信クロック	
bit7	bit6	bit1	bit0		クロック	SCK ₃ 端子の機能
COM	CHR	CKE1	CKE0		ソース	
0	0	0	0	調歩同期式	内部	入出力ポート (SCK ₃ 端子を使用しません)
			1	モード		ビットレートと同じ周波数のクロックを出力
		1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
1	0	0	0	クロック同期	内部	同期クロックを出力
				式モード	外部	同期クロックを入力
0	1	1	1	リザーブ (この組合せは指定しないでください)		
1	0	1	1			
1	1	1	1			

(3) 割込みと連続送信 / 受信

SCI3 は、RXI を使用した連続受信、また TXI を使用した連続送信が可能です。

表 10.13 にこれらの割込みについて示します。

表 10.13 送信 / 受信割込み

割込み	フラグ	割込み発生条件	備考
RXI	RDRF RIE	シリアル受信が正常に行われ、RSR から RDR に受信データが転送されると RDRF が"1"となり、このとき RIE が"1"ならば RXI が許可され割込みが発生します。 (図 10.7 (a) 参照)	RXI の割込み処理ルーチンでは、RDR に転送された受信データを読み出し、RDRF を"0"にクリアします。上記の操作を次回の RSR の受信完了までに行うことで連続受信が可能です。
TXI	TDRE TIE	TSR の空 (前回の送信完了) を検出して、TDR にセットされた送信データが TSR に転送されると TDRE は"1"にセットされます。このとき TIE が"1"ならば TXI が許可され割込みが発生します。 (図 10.7 (b) 参照)	TXI の割込み処理ルーチンでは、次回の送信データを TDR に書き込み、TDRE を"0"にクリアします。上記の操作を TSR に転送したデータが送信終了するまでに行うことで連続送信が可能です。
TEI	TEND TEIE	TSR の送信キャラクタの最後尾ビットを送信したとき、TDRE が"1"ならば TEND は"1"にセットされます。このとき TEIE が"1"ならば TEI が許可され割込みが発生します。 (図 10.7 (c) 参照)	TEI は、TSR の送信キャラクタの最後尾ビットを送信したとき、TDR に次回の送信データが書き込まれていないことを示します。

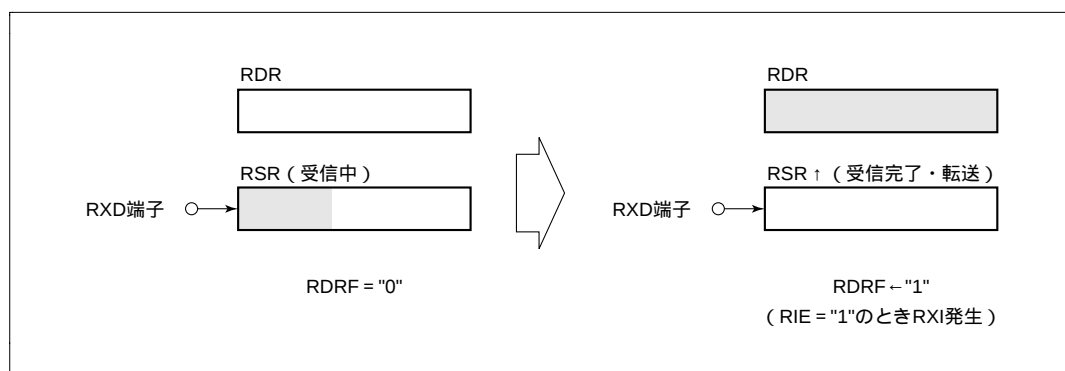


図 10.7 (a) RDRF のセットと RXI 割込み

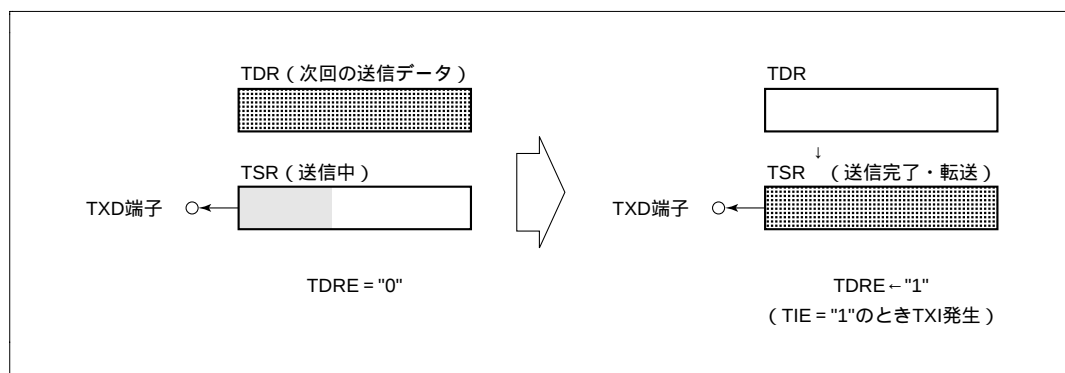


図 10.7 (b) TDRE のセットと TXI 割込み

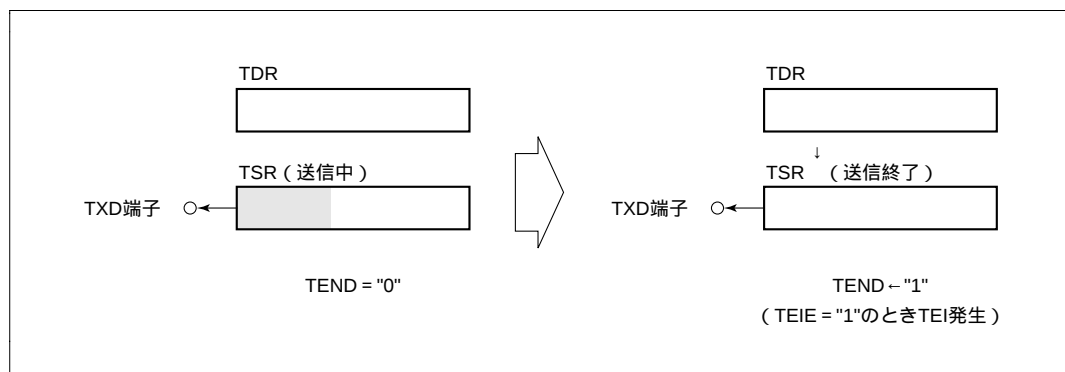


図 10.7 (c) TEND のセットと TEI 割込み

10.3.4 調歩同期式モード時の動作説明

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1 キャラクタ単位で同期を取りながらシリアル通信を行うモードです。

SCI3 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信中にデータのライト、受信中にデータのリードができ、連続送信 / 受信が可能です。

(1) 送信 / 受信フォーマット

調歩同期式通信の通信データの一般的なフォーマットを図 10.8 に示します。

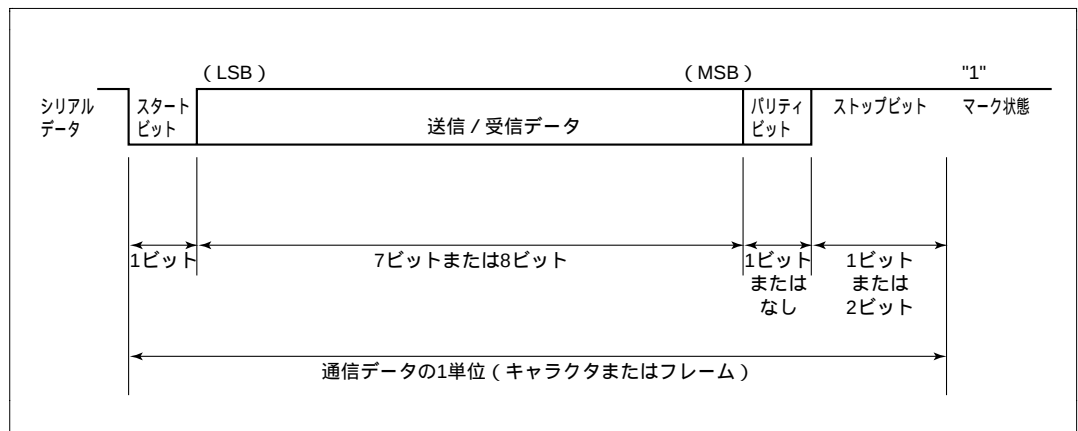


図 10.8 調歩同期式通信のデータフォーマット

調歩同期式通信では、通信回線は通常マーク状態 ("High" レベル) に保たれています。SCI3 は通信回線を監視し、スペース ("Low" レベル) になったところをスタートビットとみなしてシリアルデータ通信を開始します。

通信データの 1 キャラクタは、スタートビット ("Low" レベル) から始まり、送信 / 受信データ (LSB ファースト: 最下位ビットから)、パリティビット ("High" または "Low" レベル)、最後にストップビット ("High" レベル) の順で構成されます。

調歩同期式モードでは、受信時にスタートビットの立下がりエッジで同期化を行います。また、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データを取り込みます。

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 10.14 に示します。
送信 / 受信フォーマットは 12 種類あり、SMR の設定により選択できます。

表 10.14 通信フォーマット (調歩同期式モード)

SMR				シリアル通信フォーマットとフレーム長											
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	0	S	8ビットデータ								STOP		
0	0	0	1	S	8ビットデータ								STOP	STOP	
0	1	0	0	S	8ビットデータ								P	STOP	
0	1	0	1	S	8ビットデータ								P	STOP	STOP
1	0	0	0	S	7ビットデータ							STOP			
1	0	0	1	S	7ビットデータ							STOP	STOP		
1	1	0	0	S	7ビットデータ							P	STOP		
1	1	0	1	S	7ビットデータ							P	STOP	STOP	
0	*	1	0	S	8ビットデータ								MPB	STOP	
0	*	1	1	S	8ビットデータ								MPB	STOP	STOP
1	*	1	0	S	7ビットデータ							MPB	STOP		
1	*	1	1	S	7ビットデータ							MPB	STOP	STOP	

* Don't care

<記号説明>

S : スタートビット
 STOP : ストップビット
 P : パリティビット
 MPB : マルチプロセスビット

(2) クロック

SCI3の送受信クロックは、SMRのCOMとSCR3のCKE1、CKE0の設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK₃端子から入力された外部クロックの2種類から設定できます。クロックソースの選択については表 10.12 を参照してください。

外部クロックをSCK₃端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK3 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 10.9 に示すように送信 / 受信データの各ビットの中央でクロックが立上がります。

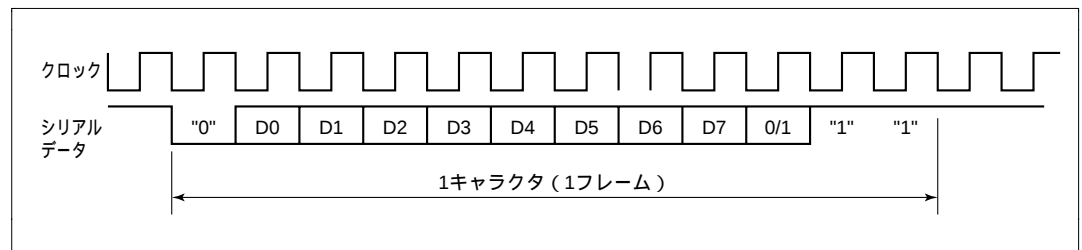


図 10.9 出力クロックと通信データの位相関係 (調歩同期式モード)
(8ビットデータ / パリティあり / 2ストップビットの例)

(3) データの送信 / 受信動作

(a) SCI3のイニシャライズ

データの送信 / 受信前には、まず SCR3 の TE および RE を “0” にクリアした後、以下の手順に従ってイニシャライズしてください。

【注】 動作モードの変更、通信フォーマットの変更などの場合には、かならず TE および RE を “0” にクリアしてから変更してください。TE を “0” にクリアすると、TDRE は “1” にセットされます。RE を “0” にクリアしても、RDRF、PER、FER、OER の各フラグ、および RDR の内容は保持されますので注意してください。

調歩同期式モードで外部クロックを使用している場合には、イニシャライズを含めた動作中にクロックを止めないでください。クロック同期式モードで外部クロックを使用している場合には、イニシャライズを含めた動作中にクロックを供給しないでください。

図 10.10 SCI3 をイニシャライズするときのフローチャートの例を示します。

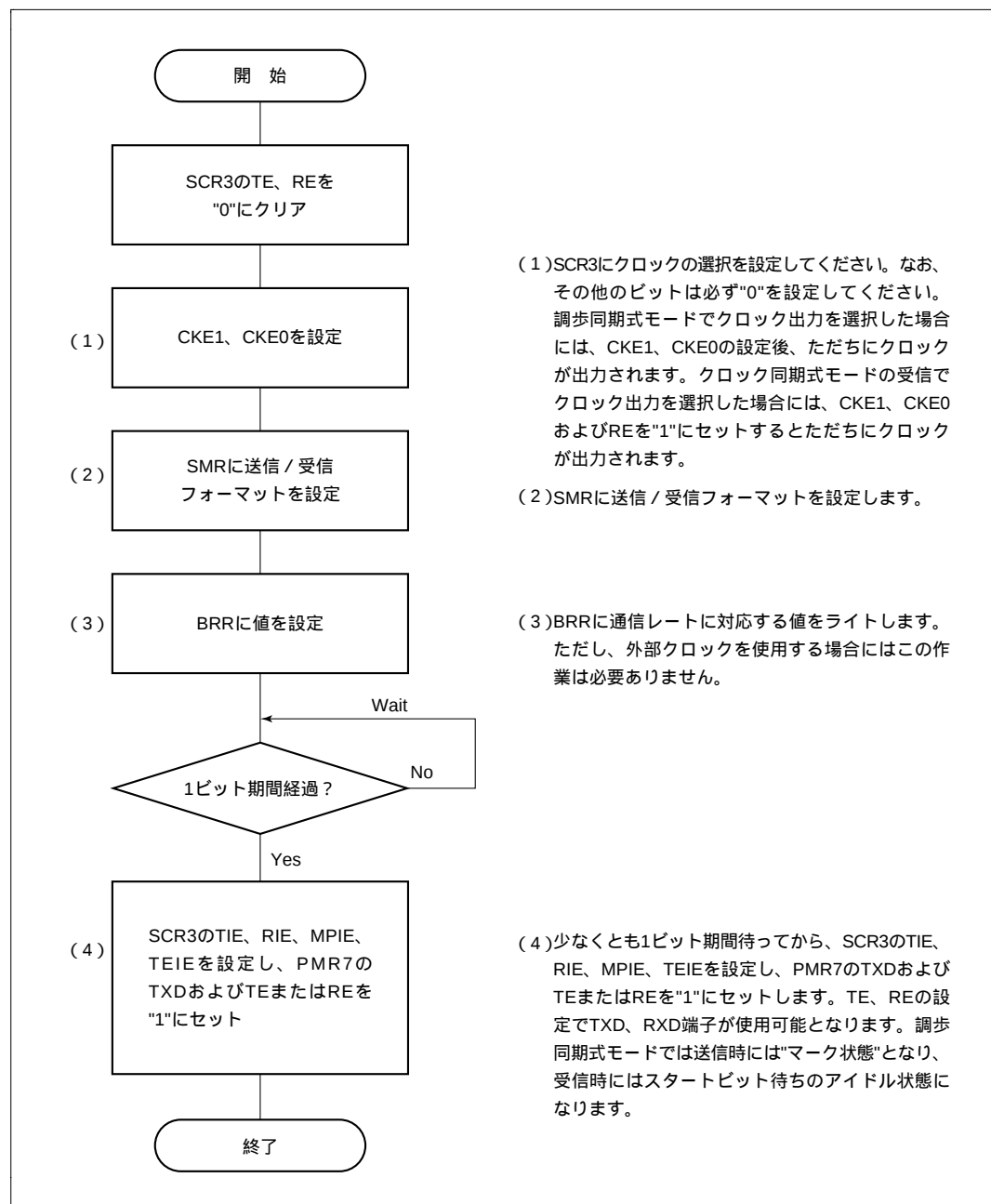


図 10.10 SCI3 をイニシャライズするときのフローチャートの例

(b) データ送信

図 10.11 にデータ送信のフローチャートの例を示します。

データ送信は SCI3 のイニシャライズ後、以下の手順に従って行ってください。

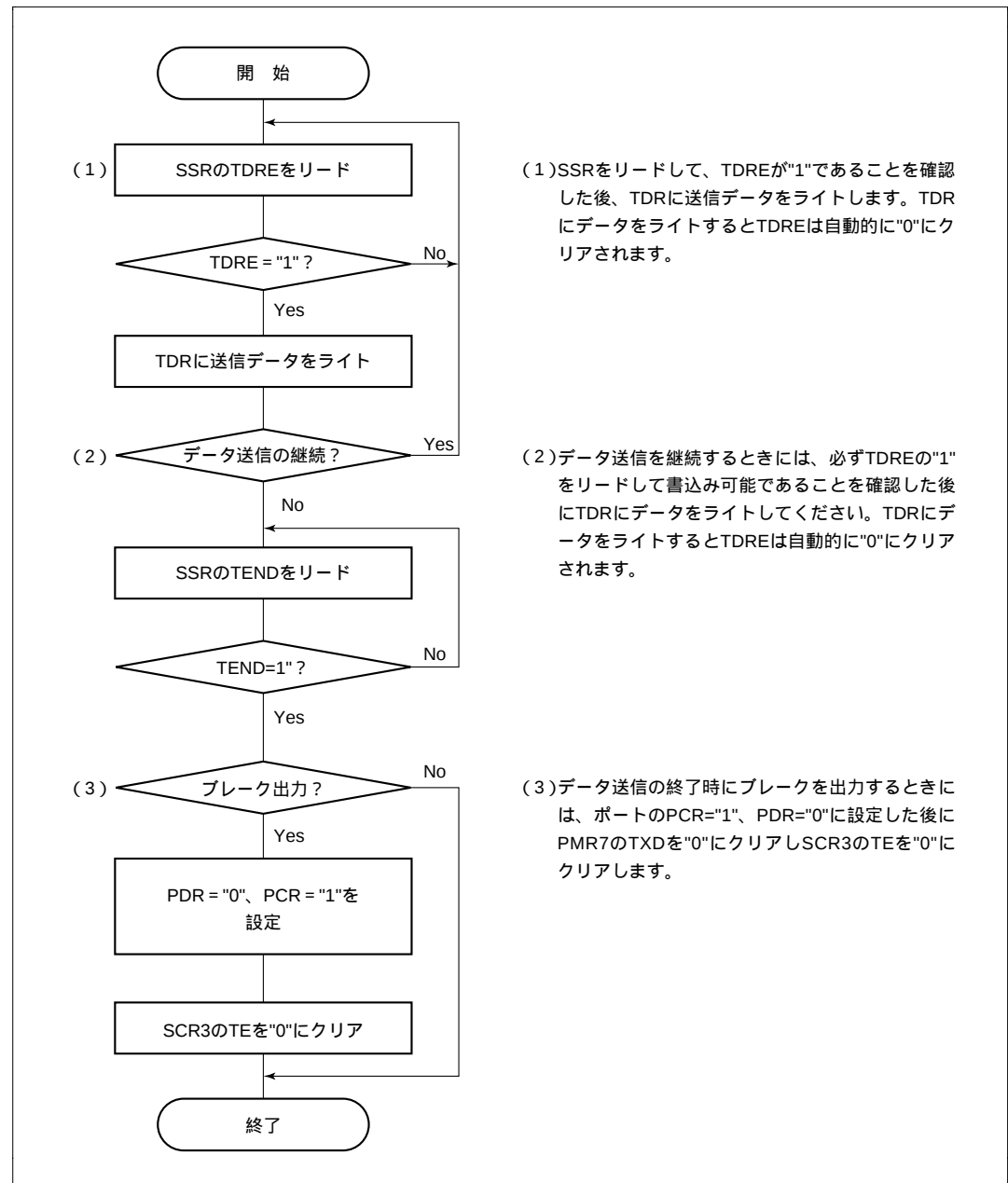


図 10.11 データ送信のフローチャートの例（調歩同期式モード）

SCI3 はデータ送信時に以下のように動作します。

SCI3 は、SSR の TDRE を監視し、"0"であると TDR にデータが書き込まれたと認識し、TDR から TSR にデータを転送します。その後、TDRE を"1"にセットして送信を開始します。このとき、SCR3 の TIE が"1"にセットされていると TXI を発生します。

シリアルデータは、表 10.14 に示す通信フォーマットに従い TXD 端子から送信されます。

その後、ストップビットを送り出すタイミングで TDRE をチェックします。

TDRE が"0"であると TDR から TSR にデータを転送し、ストップビット送出後、次のフレームの送信を開始します。TDRE が"1"であると SSR の TEND に"1"をセットし、ストップビット送出後、"1"を出力する"マーク状態"になります。このとき SCR3 の TEIE が"1"にセットされていると TEI を発生します。

図 10.12 に調歩同期式モードの送信時の動作例を示します。

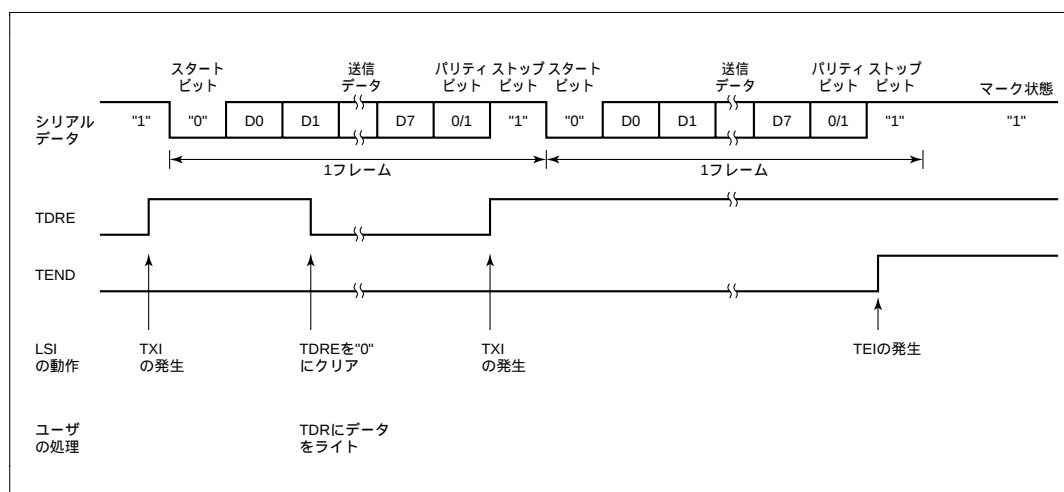


図 10.12 調歩同期式モードの送信時の動作例

(8 ビットデータ / パリティあり / 1 ストップビットの例)

(c) データ受信

図 10.13 にデータ受信のフローチャートの例を示します。

データ受信は SCI3 のイニシャライズ後、以下の手順に従って行ってください。

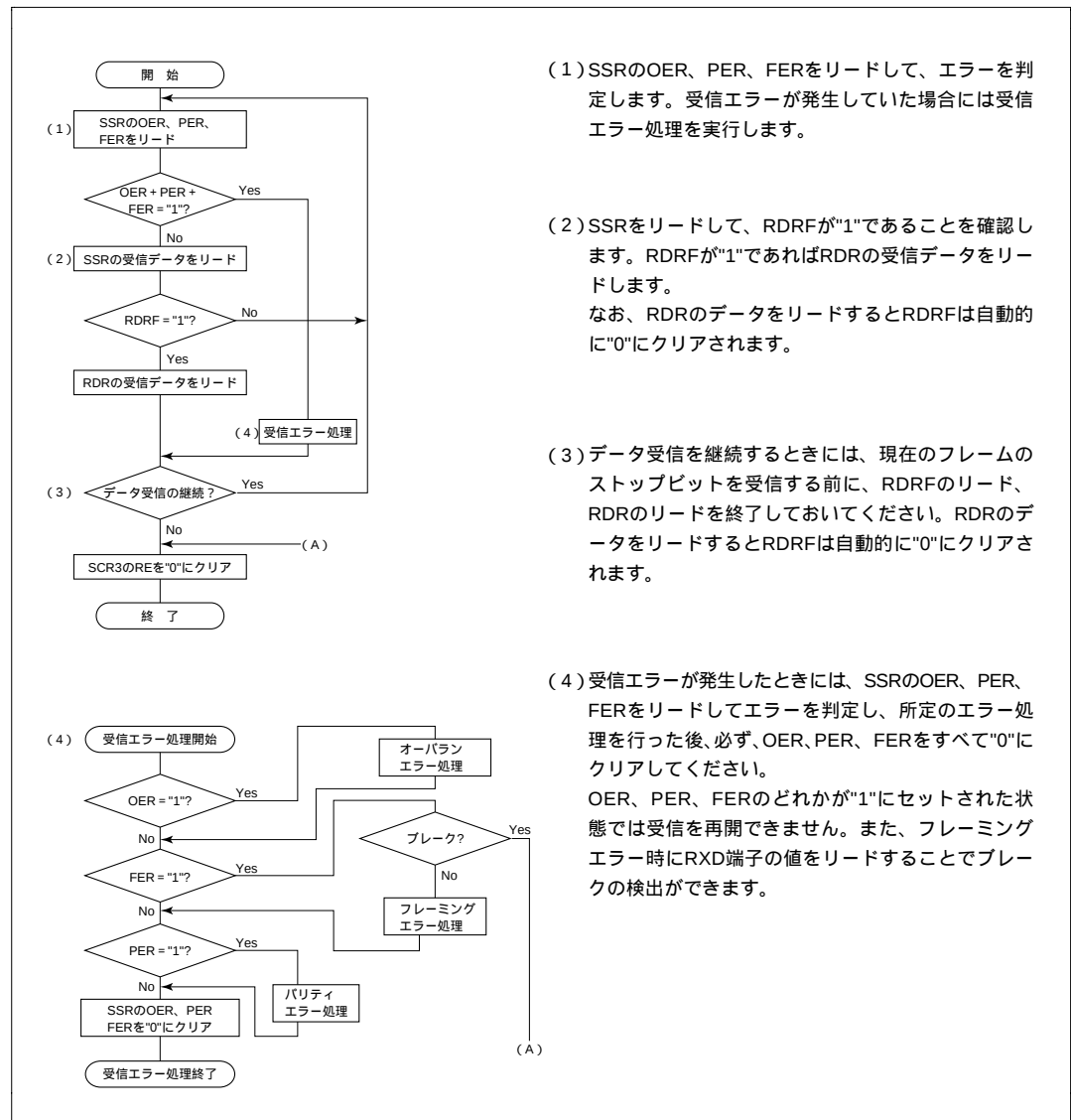


図 10.13 データ受信のフローチャートの例 (調歩同期式モード)

SCI3 は受信時に以下のように動作します。

SCI3 は通信回線を監視し、スタートビットの"0"を検出すると内部を同期化し受信を開始します。受信は表 10.14 に示す通信フォーマットに従い、まず受信したデータを RSR の LSB から MSB の順にセットし、次に、パリティビットおよびストップビットを受信します。受信後、SCI3 は以下のチェックを行います。

- ・パリティチェック：

受信データの"1"の数をチェックし、これが SMR の PM で設定した偶数 / 奇数パリティになっているかをチェックします。

- ・ストップビットチェック：

ストップビットが"1"であるかをチェックします。ただし、2 ストップビットの場合、1 ビット目のストップビットのみをチェックします。

- ・ステータスチェック：

RDRF が"0"であり、受信データを RSR から RDR に転送できる状態であることをチェックします。

以上のチェックの結果受信エラーがなかったとき RDRF が"1"にセットされ、RDR に受信データが格納されます。このとき SCR3 の RIE が"1"にセットされていると RXI を発生します。一方、エラーチェックで受信エラーを検出すると、各エラーに対応して、OER、PER、FER が"1"にセットされます。また RDRF はデータを受信する前の状態を保ちます。このとき、SCR3 の RIE が"1"にセットされていると ERI を発生します。

表 10.15 に受信エラーの検出条件と受信データの処理を示します。

【注】 受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER、および RDRF を"0"にクリアしてください。

表 10.15 受信エラーの検出条件と受信データの処理

受信エラー	略称	検出条件	受信データの処理
オーバランエラー	OER	SSR の RDRF が"1"にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが"0"のとき	RSR から RDR に受信データが転送されます。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されます。

調歩同期式モードの受信時の動作例を図 10.14 に示します。

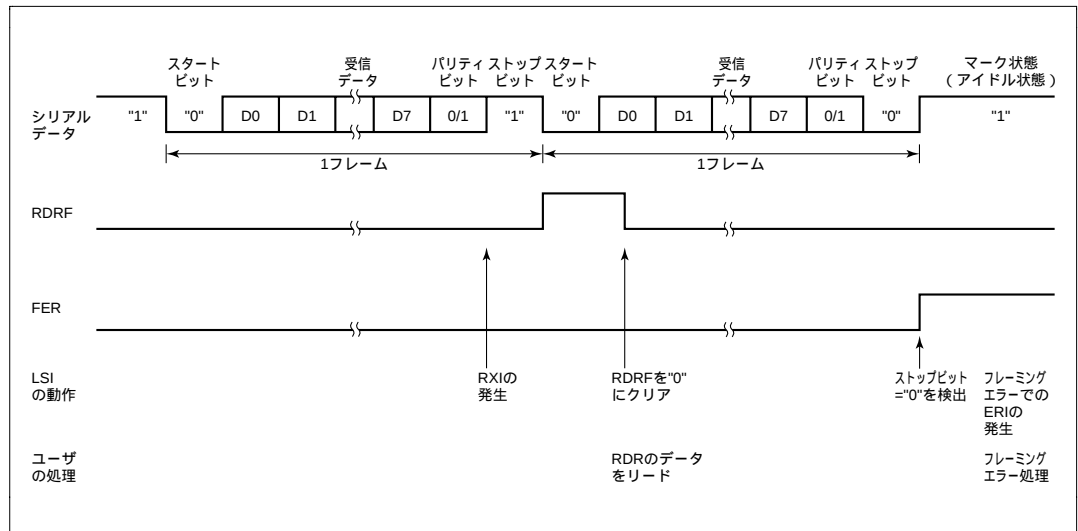


図 10.14 調歩同期式モードの受信時の動作例
(8 ビットデータ / パリティあり / 1 ストップビットの例)

10.3.5 クロック同期式モード時の動作説明

クロック同期式モードは、クロックパルスに同期してデータを送信、または受信するモードです。クロック同期式モードは、高速シリアル通信に適しています。

SCI3 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信を行うことができます。

送信部 / 受信部は共にダブルバッファ構造になっていますので、送信中にデータのライト、受信中にデータのリードができ、連続送信 / 受信が可能です。

(1) 送信 / 受信フォーマット

クロック同期式通信の通信データの一般的なフォーマットを図 10.15 に示します。

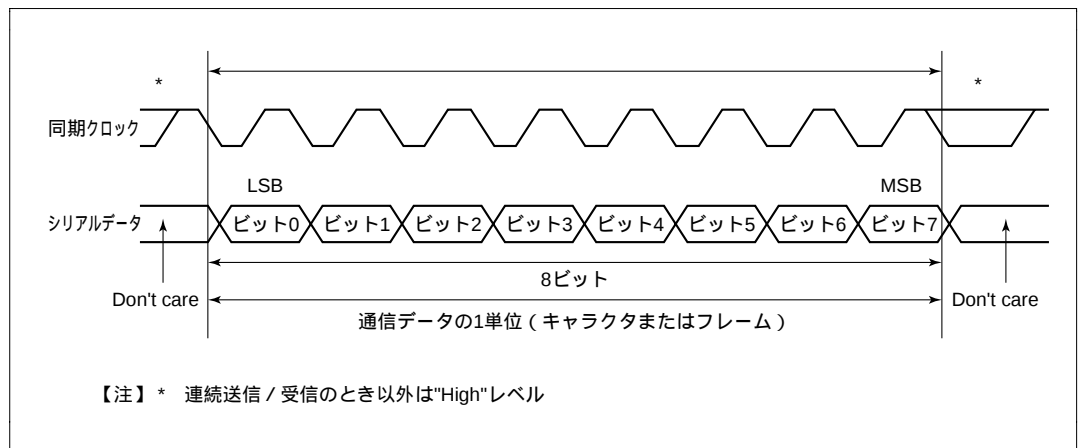


図 10.15 クロック同期式通信のデータフォーマット

クロック同期式通信では、通信回線のデータは同期クロックの立下がりから次の立下がりまで出力されます。また、同期クロックの立上がりエッジでデータの確定が保証されます。

通信データの1キャラクタは、LSBから始まり最後にMSBの順で構成されます。MSB出力後の通信回線はMSBの状態を保ちます。

クロック同期式モードでは、SCI3は、受信時に同期クロックの立上がりに同期してデータを取り込みます。

送信/受信フォーマットは8ビットデータ固定です。パリティビットやマルチプロセスビットの付加はできません。

(2) クロック

SMRのCOMとSCR3のCKE1、CKE0の設定により、内蔵ポーレートジェネレータの生成した内部クロック、またはSCK₃端子から入力された外部同期クロックの2種類から選択できます。クロックソースの選択については表10.12を参照してください。

内部クロックで動作させるとき、SCK₃端子からは同期クロックが出力されます。同期クロックは1キャラクタの送信/受信で8パルス出力され、送信および受信を行わないときには"High"レベルに固定されます。

(3) データの送信/受信動作

(a) SCI3のイニシャライズ

データの送信/受信前には、「10.3.4(3)(a)SCI3のイニシャライズ」の説明および、図10.10の例に従ってSCI3をイニシャライズしてください。

(b) データ送信

図 10.16 にデータ送信のフローチャートの例を示します。

データ送信は SCI3 のイニシャライズ後、以下の手順に従って行ってください。

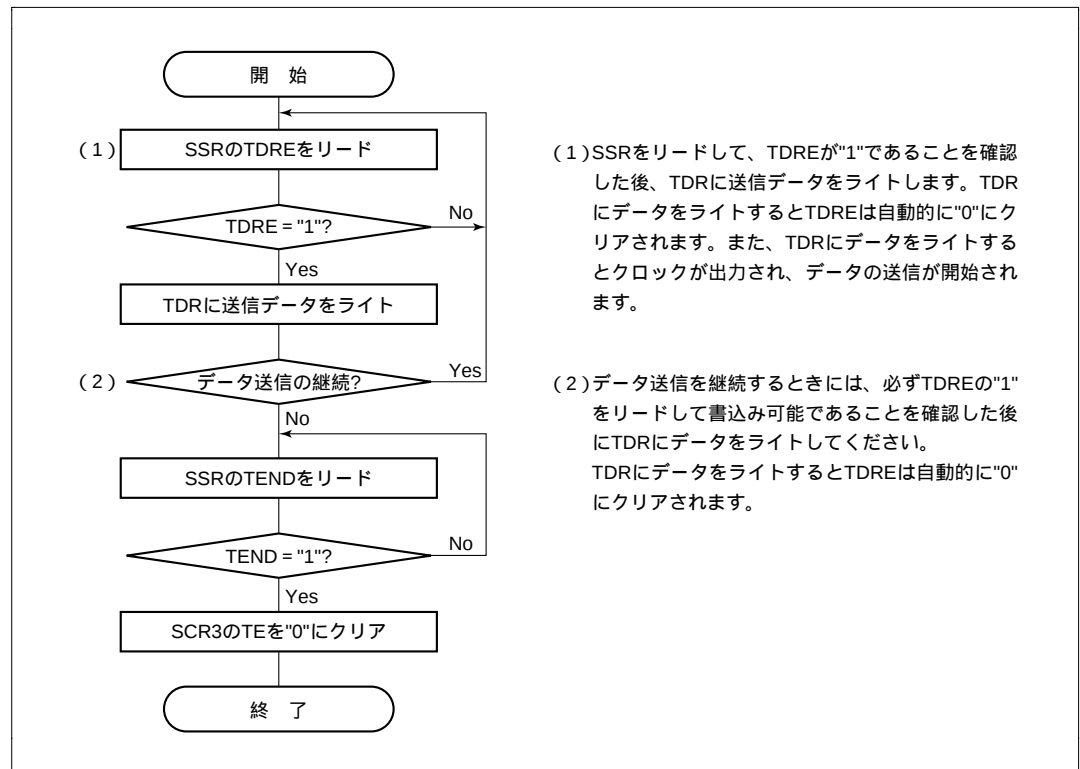


図 10.16 データ送信のフローチャートの例 (クロック同期式モード)

SCI3 はデータ送信時に以下のように動作します。

SCI3 は、SSR の TDRE を監視し、"0"であると TDR にデータが書き込まれたと認識し、TDR から TSR にデータを転送します。その後、TDRE を"1"にセットして送信を開始します。このとき、SCR3 の TIE が"1"にセットされていると TXI を発生します。

クロック出力モードに設定したときには、SCI3 は同期クロックを 8 パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。

シリアルデータは、LSB (ビット 0) から MSB (ビット 7) の順に TXD 端子から送信されます。

その後、MSB (ビット 7) を送り出すタイミングで TDRE をチェックします。

TDRE が"0"であると TDR から TSR にデータを転送し、次のフレームの送信を開始します。TDRE が"1"であると SSR の TEND に"1"をセットし、MSB (ビット 7) 送出後、状態を保持します。このとき SCR3 の TEIE が"1"にセットされていると TEI を発生します。

送信終了後は、SCK₃端子は"High"レベル固定になります。

【注】 データ受信のステータスを示すエラーフラグ (OER、FER、PER) が"1"にセットされた状態では送信は行えませんので、送信の前には、エラーフラグ (OER、FER、PER) が"0"にクリアされていることを確認してください。

図 10.17 にクロック同期式モードの送信時の動作例を示します。

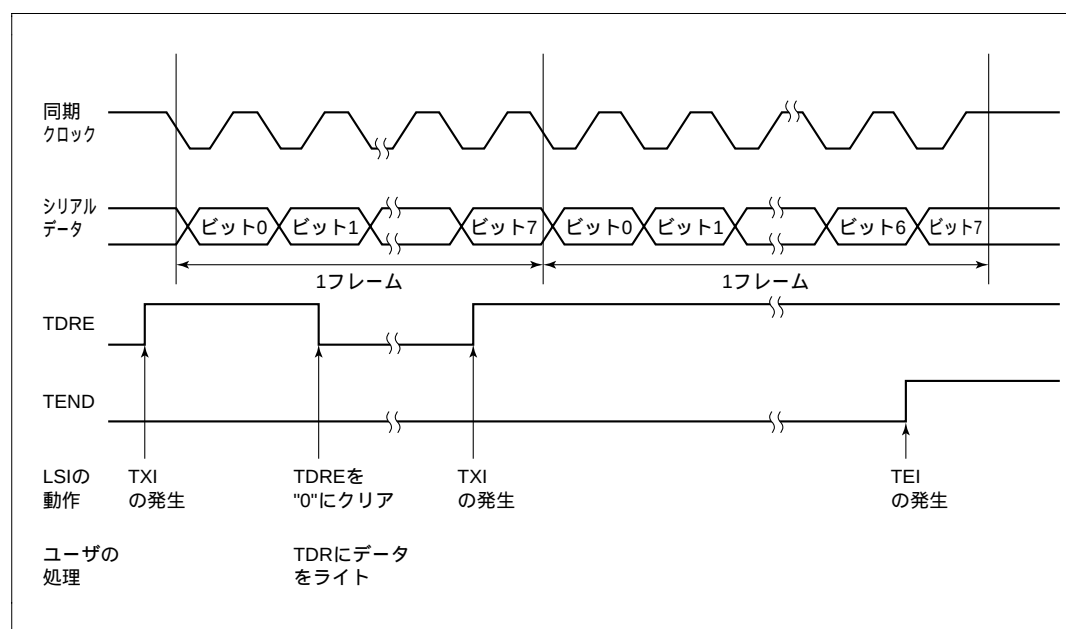


図 10.17 クロック同期式モードの送信時の動作例

(c) データ受信

図 10.18 にデータ受信のフローチャートの例を示します。

データ受信は SCI3 のイニシャライズ後、以下の手順に従って行ってください。

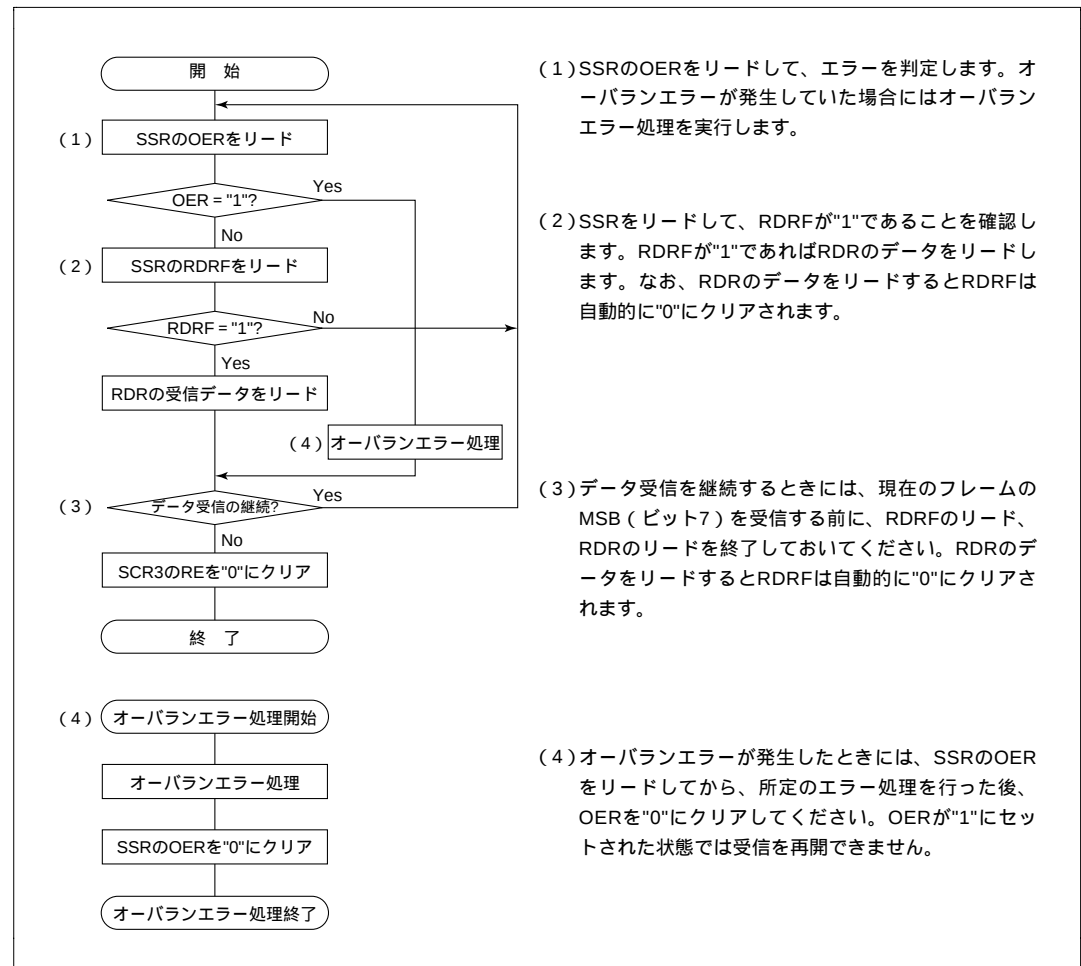


図 10.18 データ受信フローチャートの例 (クロック同期式モード)

SCI3 は受信時に以下のように動作します。

SCI3 は同期クロックの入力または、出力に同期して内部を初期化し、受信を開始します。

受信したデータを RSR の LSB から MSB の順にセットします。

受信後、SCI3 は、RDRF が"0"であり、受信データを RSR から RDR に転送できる状態であるかをチェックします。

このチェックの結果オーバランエラーがなかったとき RDRF が"1"にセットされ、RDR に受信データが格納されます。

このとき、SCR3 の RIE が"1"にセットされていると RXI を発生します。一方、エラーチェックでオーバランエラーを検出すると OER が"1"にセットされます。また、RDRF は"1"にセットされた状態を保ちます。このとき、SCR3 の RIE が"1"にセットされていると ERI を発生します。

オーバランエラーの検出条件と受信データの処理については、表 10.15 を参照してください。

【注】 受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER、および RDRF を"0"にクリアしてください。

図 10.19 にクロック同期式モードの受信時の動作例を示します。

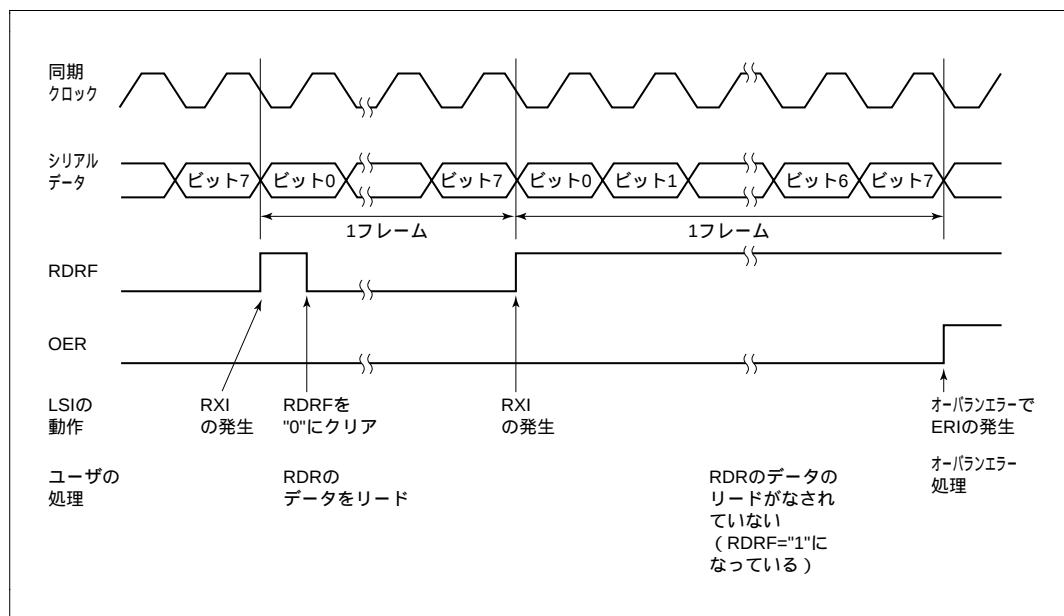


図 10.19 クロック同期式モードの受信時の動作例

(d) データ送受信同時動作

図 10.20 にデータ送受信同時動作のフローチャートの例を示します。

データ送受信同時動作は SCI3 のイニシャライズ後、以下の手順に従って行ってください。

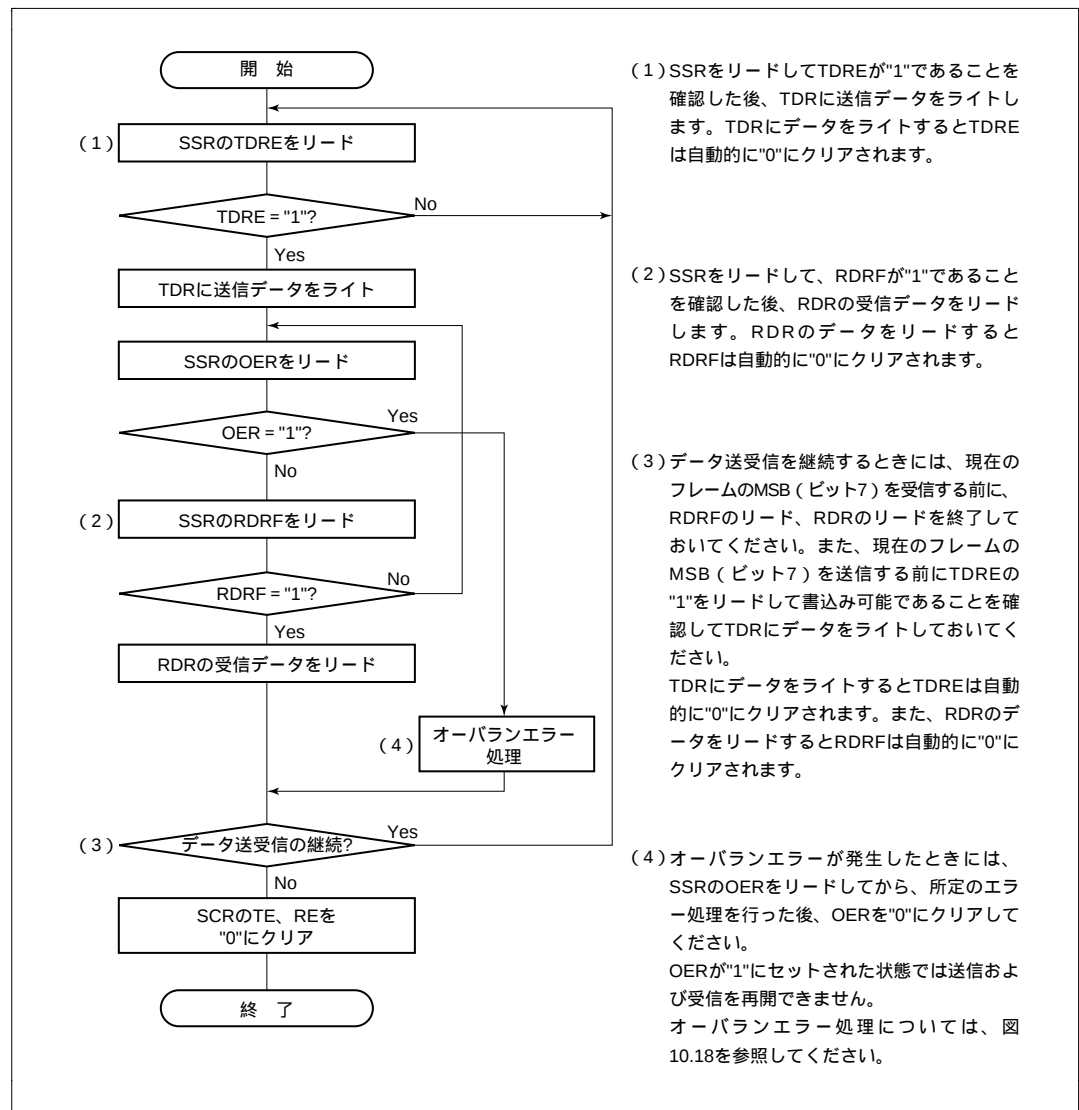


図 10.20 データ送受信同時動作のフローチャートの例 (クロック同期式モード)

- 【注】
1. 送信から同時送受信へ切り換えるときには、SCI3 が送信終了状態であることを、TDRE および TEND が"1"にセットされていることを確認した後、TE を"0"にクリアしてから TE および RE を"1"にセットしてください。
 2. 受信から同時送受信へ切り換えるときには、SCI3 が受信完了状態であることを確認し、RE を"0"にクリアしてから RDRF およびエラーフラグ (OER、FER、PER) が"0"にクリアされていることを確認した後、TE および RE を"1"にセットしてください。

10.3.6 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット（マルチプロセッサフォーマット）でシリアルデータ通信を行うことにより、複数のプロセッサ間で通信回線を共有してデータの送受信を行う機能です。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードが割り付けられています。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局へ通信データを送信するデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。マルチプロセッサビットが"1"のとき ID 送信サイクル、"0"のときデータ送信サイクルとなります。

送信局は、まずシリアルデータ通信を行いたい受信局の ID コードに、マルチプロセッサビット"1"を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット"0"を付加した通信データを送信します。受信局は、マルチプロセッサビットが"1"の通信データを受信すると、自局の ID と比較し一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが"1"の通信データが送信されるまで通信データを読みとばします。

このようにして複数のプロセッサ間のデータ送受信が行われます。

図 10.21 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

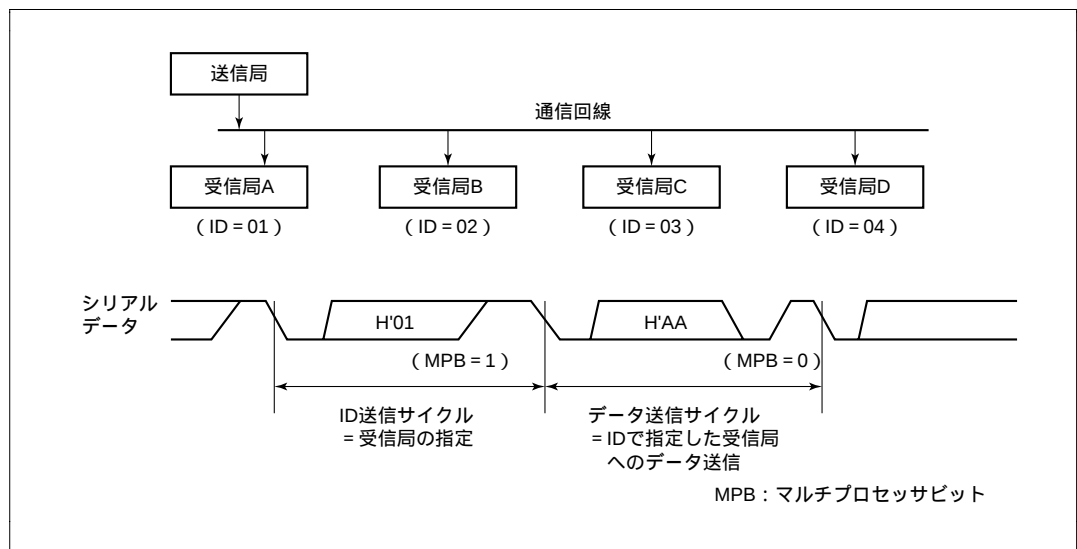


図 10.21 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
（受信局 A へのデータ H'AA の送信の例）

送信 / 受信フォーマットは 4 種類を選択できます。マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。詳細は表 10.14 を参照してください。

マルチプロセッサ通信を行うときのクロックについては、「10.3.4 調歩同期式モード時の動作説明」を参照してください。

(a) マルチプロセッサデータ送信

図 10.22 にマルチプロセッサデータ送信のフローチャートの例を示します。

マルチプロセッサデータ送信は SCI3 をイニシャライズ後、以下の手順に従って行ってください。

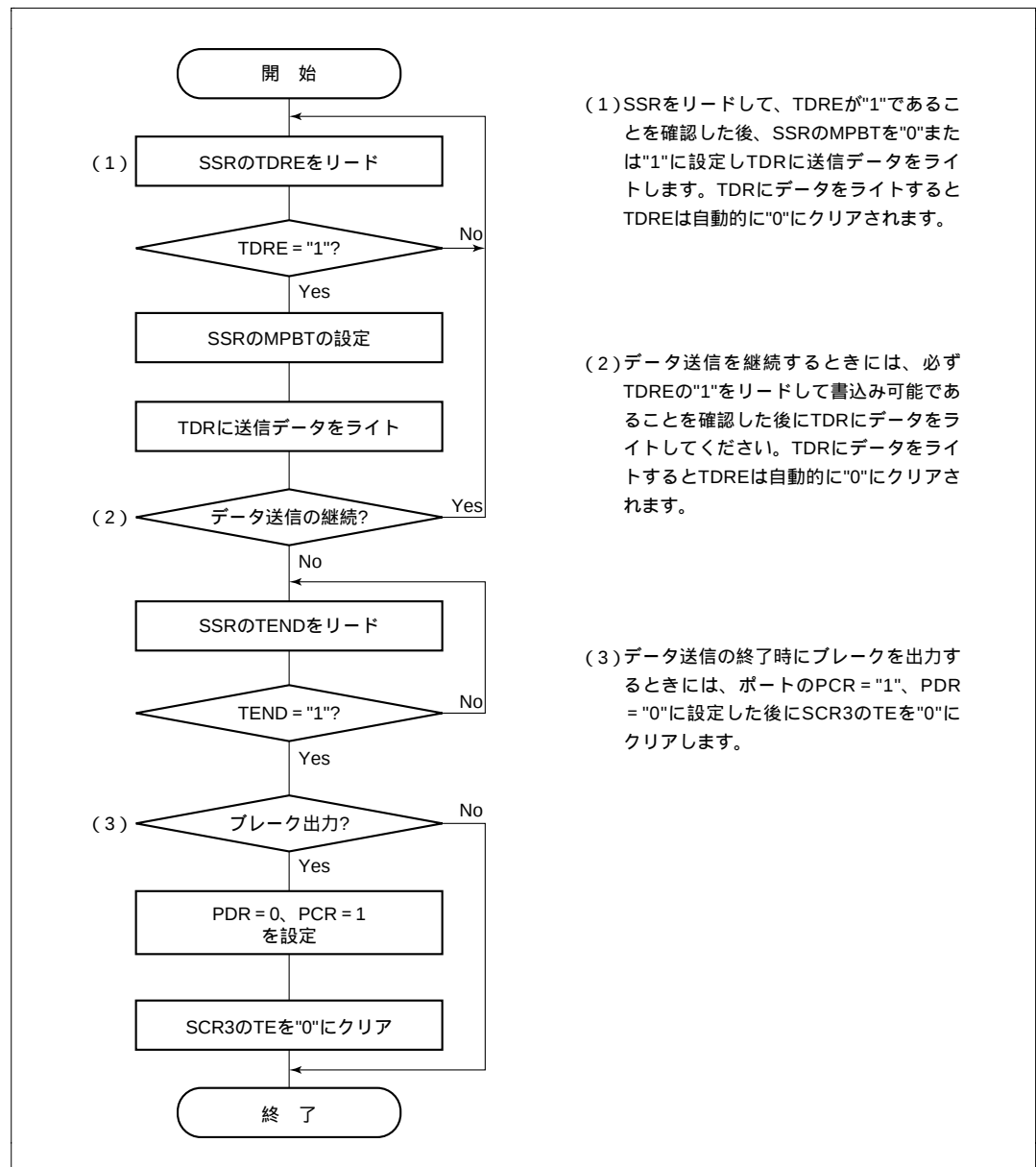


図 10.22 マルチプロセッサデータ送信のフローチャートの例

SCI3 はデータ送信時に以下のように動作します。

SCI3 は、SSR の TDRE を監視し、"0"であると TDR にデータが書き込まれたと認識し、TDR から TSR にデータを転送します。その後、TDRE を"1"にセットして、送信を開始します。このとき、SCR3 の TIE が"1"にセットされていると TXI を発生します。

シリアルデータは、表 10.14 に示す通信フォーマットにしたがい、TXD 端子から送信されます。

その後、ストップビットを送り出すタイミングで TDRE をチェックします。

TDRE が"0"であると TDR から TSR にデータを転送し、ストップビット送出後、次のフレームの送信を開始します。TDRE が"1"であると SSR の TEND に"1"をセットし、ストップビット送出後、"1"を出力する"マーク状態"になります。このとき SCR3 の TEIE が"1"にセットされていると TEI を発生します。

図 10.23 にマルチプロセッサフォーマットの送信時の動作例を示します。

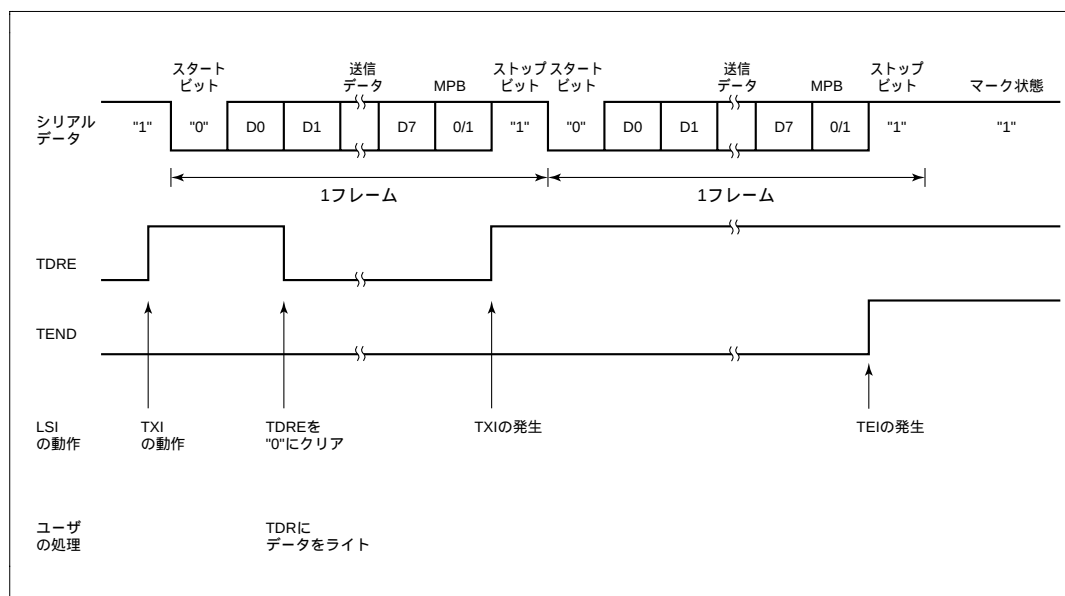


図 10.23 マルチプロセッサフォーマットの送信時の動作例

(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

(b) マルチプロセッサデータ受信

図 10.24 にマルチプロセッサデータ受信のフローチャートの例を示します。

マルチプロセッサデータ受信は SCI3 をイニシャライズ後、以下の手順に従って行ってください。

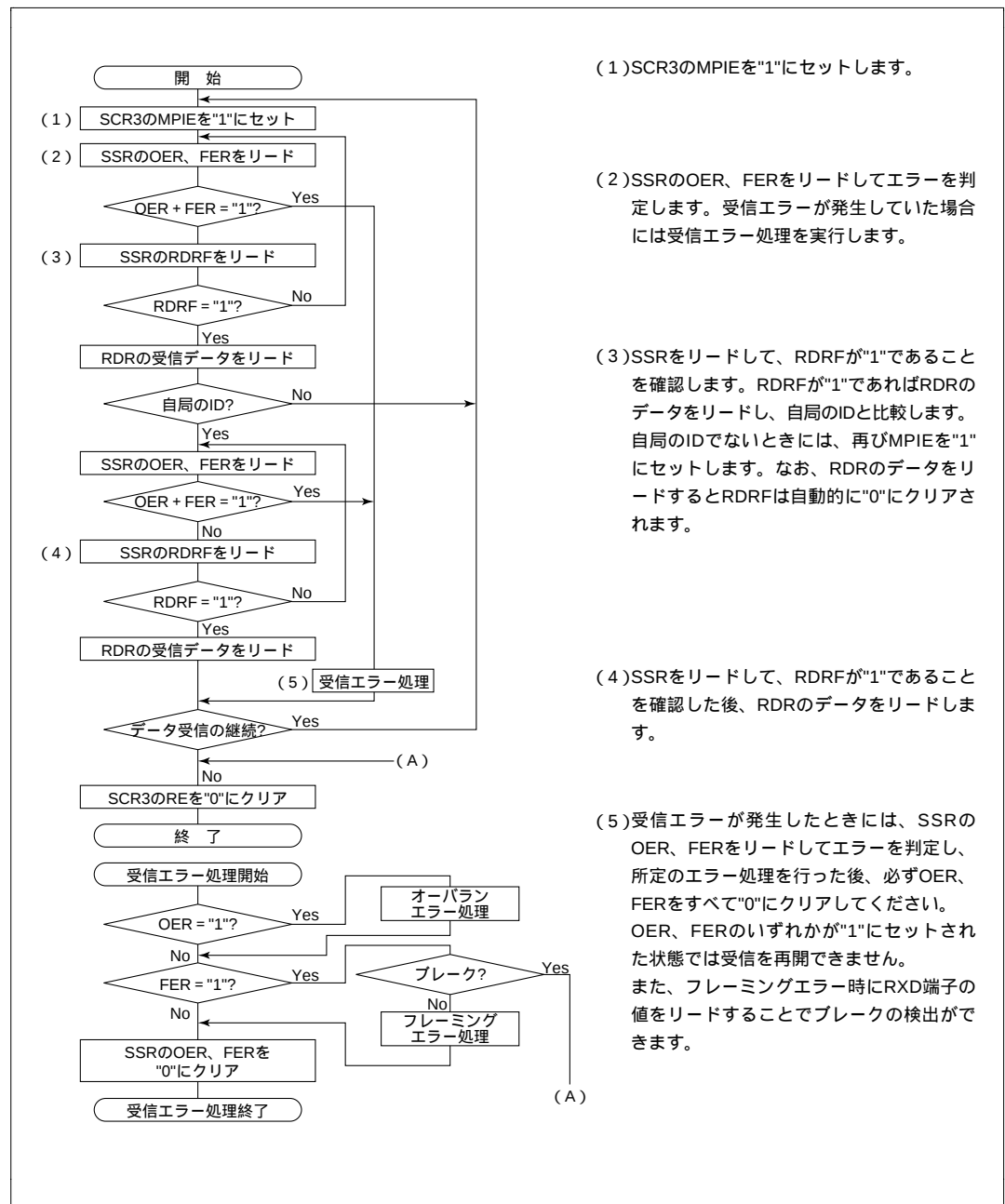


図 10.24 マルチプロセッサデータ受信のフローチャートの例

図 10.25 にマルチプロセッサフォーマットの受信時の動作例を示します。

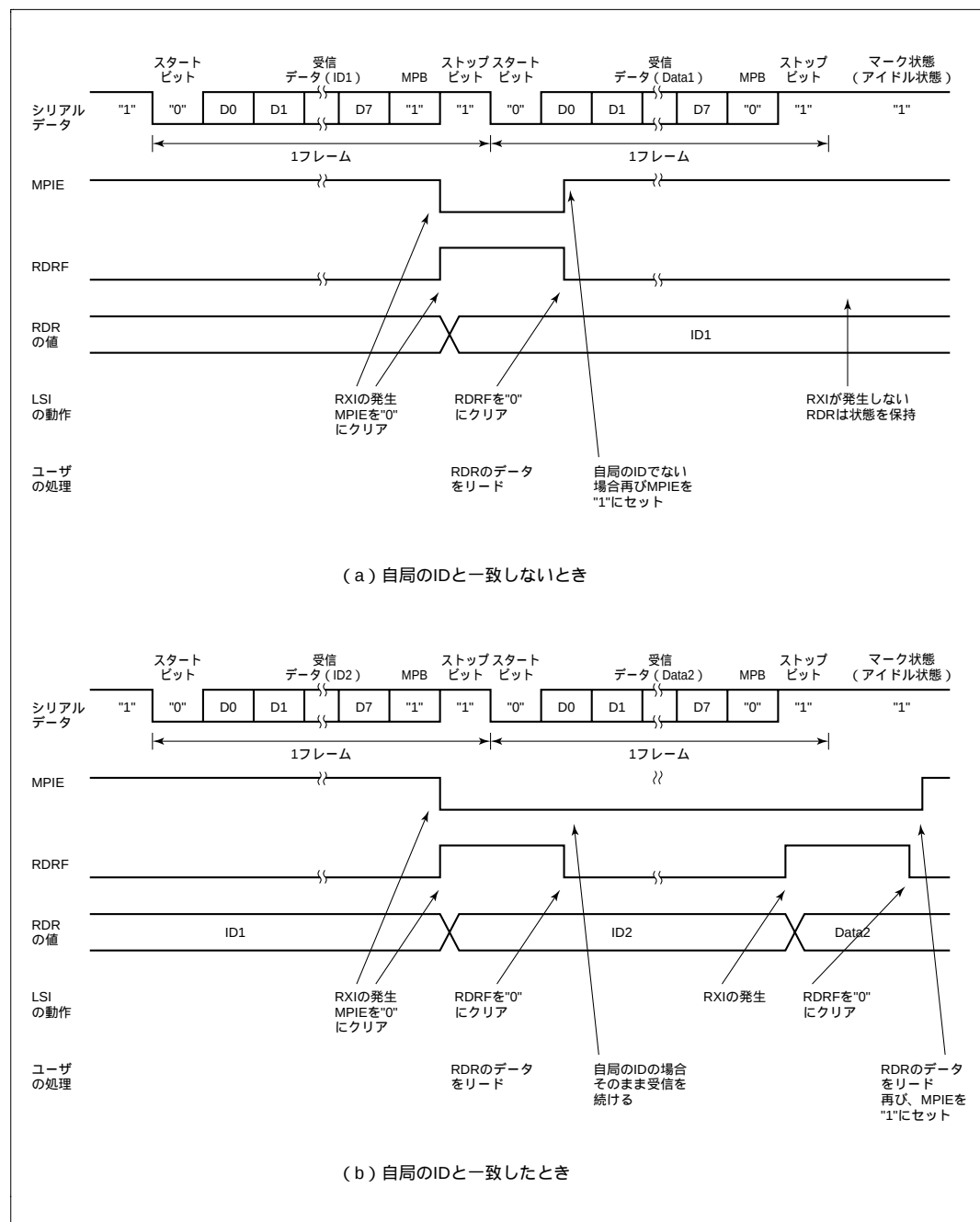


図 10.25 マルチプロセッサフォーマットの受信時の動作例

(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

10.3.7 割込み要因

SCI3 の割込み要因には、送信終了、送信データエンプティ、受信データフルおよび 3 種類の受信エラー（オーバランエラー、フレーミングエラー、パリティエラー）の計 6 種類があり、共通のベクタアドレスが割り付けられています。

表 10.16 に各割込み要求の内容を示します。

表 10.16 SCI3 割込み要求の内容

割込みの略称	割込み要求の内容	ベクタアドレス
RXI	受信データフル（RDRF）による割込み要求	H'0024
TXI	送信データエンプティ（TDRE）による割込み要求	
TEI	送信終了（TEND）による割込み要求	
ERI	受信エラー（OER、FER、PER）による割込み要求	

各割込み要求は、SCR3 の TIE、RIE で許可 / 禁止できます。

SSR の TDRE が"1"にセットされると、TXI が発生します。SSR の TEND が"1"にセットされると、TEI が発生します。この 2 つの割込みは送信時に発生します。

SSR の TDRE は初期値が"1"になっています。したがって送信データを TDR へ転送する前に SCR3 の TIE を"1"にセットして送信データエンプティ割込み要求（TXI）を許可すると、送信データが準備されていなくても TXI が発生します。

また、SSR の TEND は初期値が"1"になっています。したがって、送信データを TDR へ転送する前に SCR3 の TEIE を"1"にセットして送信終了割込み要求（TEI）を許可すると、送信データが送信されていなくても TEI が発生します。

送信データを TDR へ転送する処理を割込み処理ルーチンの中で行うようにすることで、これらの割込み要求を有効に利用できます。

一方、これらの割込み要求（TXI、TEI）の発生を防ぐためには、送信データを TDR へ転送した後に、これらの割込み要求に対応する許可ビット（TIE、TEIE）を"1"にセットしてください。

SSR の RDRF が"1"にセットされると RXI が発生します。OER、PER、FER のいずれかが"1"にセットされると ERI が発生します。この 2 つの割込み要求は受信時に発生します。

割込みに関する詳細は「3.3 割込み」を参照してください。

10.3.8 使用上の注意事項

SCI3 を使用する際は、以下のことに注意してください。

(1) TDR へのライトと TDRE の関係について

SSR の TDRE はシリアル送信するデータが TDR に準備されていないことを示すステータスフラグです。TDR へデータを書き込むと TDRE は自動的に"0"にクリアされます。また SCI3 が TDR から TSR にデータを転送すると、TDRE が"1"にセットされます。

TDR へのデータのライトは、TDRE の状態にかかわらず行うことができますが、TDRE が"0"の状態では新しいデータを TDR に書き込むと、TDR に格納されていた前のデータは、まだ TSR に転送されていない場合失われてしまいます。したがって、シリアル送信を確実に行うために TDR への送信データのライトは、必ず TDRE が"1"にセットされていることを確認してから 1 回だけ行う（2 回以上しない）ようにしてください。

(2) 複数の受信エラーを同時に検出した場合の動作について

複数の受信エラーを同時に検出した場合、SSR の各ステータスフラグの状態は、表 10.17 に示すようにセットされます。オーバランエラーを検出した場合には RSR から RDR へのデータ転送は行われず、受信データは失われます。

表 10.17 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ転送	受信エラーの状態
RDRF*	OER	FER	PER	RSR → RDR	
1	1	0	0	×	オーバランエラー
0	0	1	0	○	フレーミングエラー
0	0	0	1	○	パリティエラー
1	1	1	0	×	オーバランエラー + フレーミングエラー
1	1	0	1	×	オーバランエラー + パリティエラー
0	0	1	1	○	フレーミングエラー + パリティエラー
1	1	1	1	×	オーバランエラー + フレーミングエラー + パリティエラー

○：RSR → RDR に受信データを転送します。

×：RSR → RDR に受信データを転送しません。

【注】 * RDRF は、データ受信前の状態を保持します。

(3) ブレークの検出と処理について

フレーミングエラー検出時に、RXD 端子の値を直接リードすることでブレークを検出できます。ブレークではRXD 端子からの入力が入力がすべて"0"になりますので、FERがセットされ、またPERもセットされる可能性があります。

SCI3 は、ブレークを受信した後も受信動作を続けます。したがってFERを"0"にクリアしてもふたたびFERが"1"にセットされますので注意してください。

(4) マーク状態とブレークの送出

TE が"0"のとき、TXD 端子はPDR とPCR により入出力方向とレベルが決まるI/O ポートになります。これを利用してTXD 端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。

TE を"1"にセットするまで、通信回線をマーク状態("1"の状態)にするためには、PCR = "1"、PDR = "1"を設定します。このとき、TE が"0"にクリアされていますので、TXD 端子はI/O ポートとなっており"1"が出力されます。

一方、データ送信時にブレークを送出したいときは、PCR = "1"、PDR = "0"に設定した後TE を"0"にクリアします。

TE を"0"にクリアすると現在の送信状態とは無関係に送信部は初期化され、TXD 端子はI/O ポートになり、TXD 端子から"0"が出力されます。

(5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ(OER、PER、FER)が"1"にセットされた状態では、TDRE を"0"にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを"0"にクリアしておいてください。

また、RE を"0"にクリアしても受信エラーフラグは"0"にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI3 は転送レートの 16 倍の周波数の基本クロックで動作しています。受信時には SCI3 は、スタートビットの立下がりを基本クロックでサンプリングして内部を同期化します。また、受信データを基本クロックの 8 ヶ目の立上がりエッジで内部に取り込みます。

これを図 10.26 に示します。

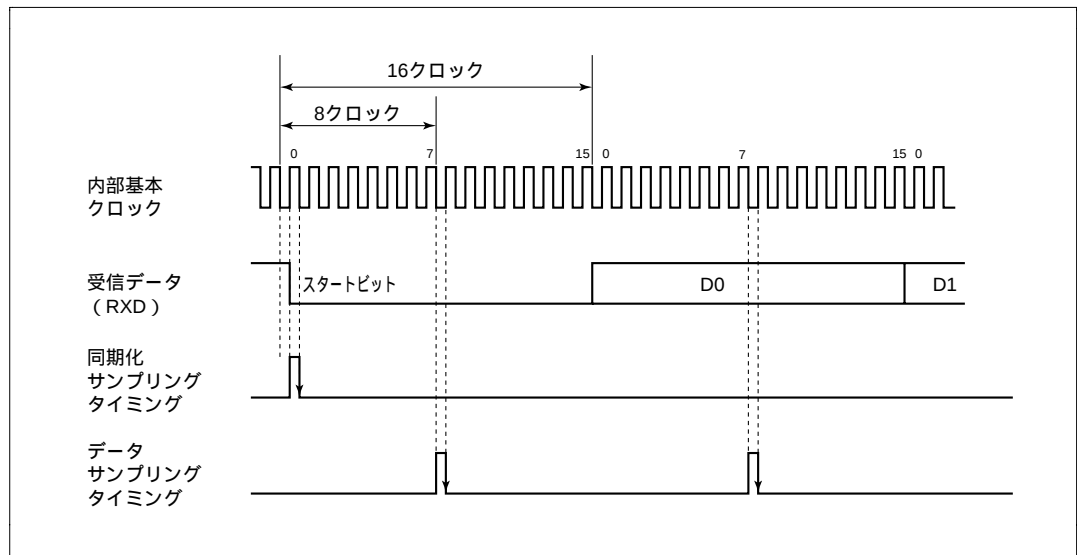


図 10.26 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D - 0.5}{N} - (L - 0.5)F \right\} \times 100 \quad [\%] \quad \dots \text{式 (1)}$$

N : クロックに対するビットレートの比 (N = 16)

D : クロックのデューティ (D = 0.5 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5 とすると、受信マージンは式 (2) より 46.875% となります。

D = 0.5、F = 0 のとき、

$$\begin{aligned} M &= \left\{ 0.5 - \frac{1}{2 \times 16} \right\} \times 100 \quad [\%] \\ &= 46.875\% \quad \dots \text{式 (2)} \end{aligned}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

(7) RDR のリードと RDRF の関係について

SCI3 は受信動作において、RDRF フラグをチェックしながら動作します。1 フレームの受信終了のタイミングで RDRF が"0"にクリアされていれば、通常データ受信を完了します。また RDRF が"1"にセットされていれば、オーバランエラーとなります。

RDR の内容をリードすると、RDRF は自動的に"0"にクリアされます。したがって、RDR のリードを 2 回以上行う場合、2 回目以降のリード操作は RDRF が"0"の状態で行われます。RDRF が"0"の状態で RDR のリードを行うと、リード操作が次のフレームの受信が完了するタイミングと重なった場合、次のフレームのデータが読み出されることがありますので注意してください。これを図 10.27 に示します。

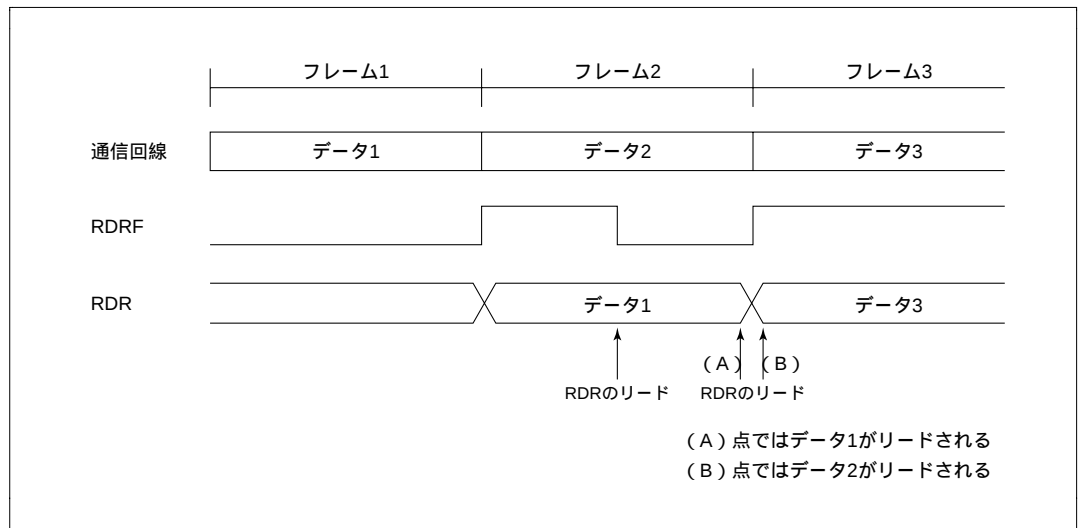


図 10.27 RDR のリードタイミングとデータの関係

この場合、RDR のリード操作は RDRF が"1"にセットされていることを確認してから、1 回のみ行う（2 回以上しない）ようにしてください。2 回以上リードする場合は、1 回リードしたデータを RAM 等に転送し、その内容を使用するようにしてください。また、RDR のリード操作は、次のフレームの受信が完了するまでに余裕をもって行うようにしてください。具体的なタイミングとしては、クロック同期式モードではビット 7 の転送前まで、調歩同期式モードでは STOP ビットの転送前までに RDR のリードを完了してください。

11. 14 ビット PWM

第 11 章 目次

11.1	概要.....	311
	11.1.1 特長.....	311
	11.1.2 ブロック図.....	311
	11.1.3 端子構成.....	311
	11.1.4 レジスタ構成	312
11.2	各レジスタの説明.....	313
	11.2.1 PWM コントロールレジスタ (PWCR)	313
	11.2.2 PWM データレジスタ U、L (PWDRU、PWDRL)	314
11.3	動作説明.....	315

11.1 概要

本 LSI は、14 ビット PWM (Pulse Width Modulation) を内蔵しています。ローパスフィルタを接続することで D/A 変換器として使用できます。

11.1.1 特長

14 ビット PWM の特長を以下に示します。

- 2 種類の変換周期を選択可能
 - 1 変換周期 $32,768/\phi$ 、最小変化幅 $2/\phi$ 、または 1 変換周期 $16,384/\phi$ 、最小変化幅 $1/\phi$ の選択が可能です。
- リップル低減をはかったパルス分割方式

11.1.2 ブロック図

14 ビット PWM のブロック図を図 11.1 に示します。

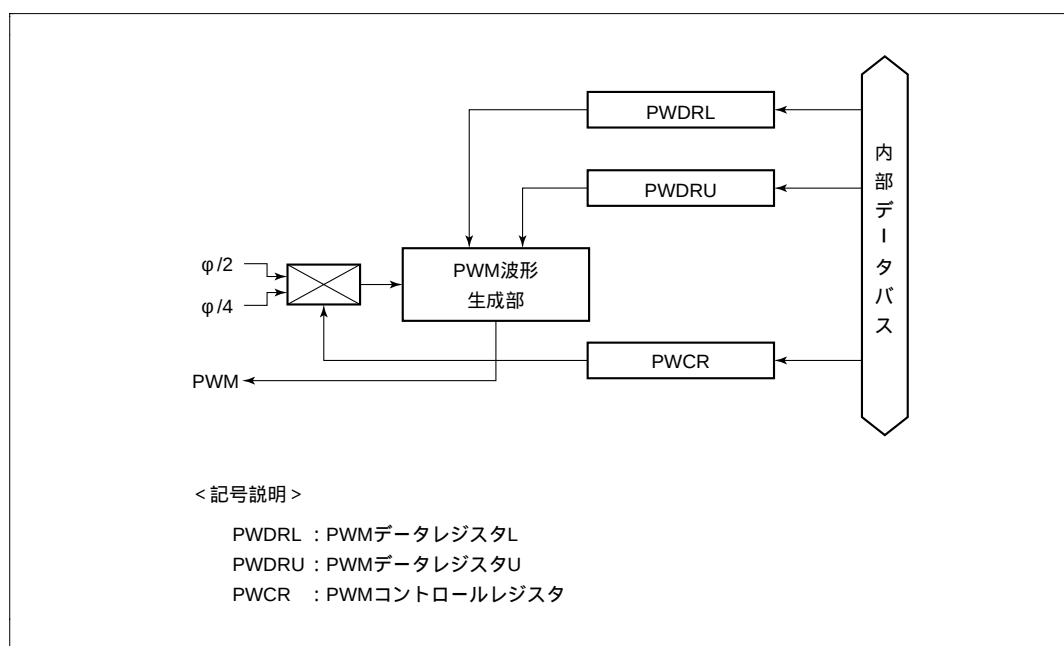


図 11.1 14 ビット PWM のブロック図

11.1.3 端子構成

14 ビット PWM の端子構成を表 11.1 に示します。

表 11.1 端子構成

名称	略称	入出力	機能
PWM 出力	PWM	出力	パルス分割方式 PWM 波形出力端子

11.1.4 レジスタ構成

14ビットPWMのレジスタ構成を表11.2に示します。

表 11.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
PWM コントロールレジスタ	PWCR	W	H'FE	H'FFD0
PWM データレジスタ U	PWDRU	W	H'C0	H'FFD1
PWM データレジスタ L	PWDRL	W	H'00	H'FFD2

11.2 各レジスタの説明

11.2.1 PWM コントロールレジスタ (PWCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PWCR0
初期値:	1	1	1	1	1	1	1	0
R/W :	—	—	—	—	—	—	—	W

PWCR は、8 ビットのライト専用レジスタで、入力クロックの選択を行います。

リセット時、PWCR は H'FE にイニシャライズされます。

ビット 7～1：リザーブビット

リザーブビットです。各ビットはリードすると常に"1"が読み出されます。ライトは無効です。

ビット 0：クロックセレクト 0 (PWCR0)

14 ビット PWM に供給されるクロックを選択します。

本ビットはライト専用なので、リードすると常に"1"が読み出されます。

ビット 0	説明
PWCR0	
0	入力クロック = $\varphi/2$ ($t\varphi^* = 2/\varphi$) (初期値) 1 変換周期 $16,384/\varphi$ 、最小変化幅 $1/\varphi$ の PWM 波形を生成
1	入力クロック = $\varphi/4$ ($t\varphi^* = 4/\varphi$) 1 変換周期 $32,768/\varphi$ 、最小変化幅 $2/\varphi$ の PWM 波形を生成

【注】 * $t\varphi$: PWM 入力クロックの周期

11.2.2 PWM データレジスタ U、L (PWDRU、PWDRL)

ビット:	7	6	5	4	3	2	1	0
PWDRU	—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0
初期値:	1	1	0	0	0	0	0	0
R/W :	—	—	W	W	W	W	W	W

ビット:	7	6	5	4	3	2	1	0
PWDRL	PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PWDRU、PWDRL は、ライト専用の 14 ビットのレジスタで、PWDRU が上位 6 ビット、PWDRL が下位 8 ビットの構成になっています。PWDRU、PWDRL に書き込まれた内容は PWM 波形 1 周期の "High" レベル幅の合計に対応します。

PWDRU、PWDRL に 14 ビットのデータをライトすると、PWDRU、PWDRL の内容が PWM 波形生成部に取り込まれ、PWM 波形生成のデータの更新が行われます。14 ビットデータの設定は必ず以下の順序で行ってください。

- (1) PWDRL へ下位 8 ビットのデータをライトする。
- (2) PWDRU へ上位 6 ビットのデータをライトする。

PWDRU、PWDRL は、ライト専用レジスタです。リードした場合各ビットは常に "1" が読み出されます。

リセット時、PWDRU、PWDRL は H'C000 にイニシャライズされます。

11.3 動作説明

14ビット PWM を使用する場合、以下の順序でレジスタ設定を行ってください。

- (1) PMR1 の PWM に "1" をセットして P1₄/PWM 端子を PWM 出力端子に設定します。
- (2) PWCR の PWCR0 により、1 変換周期を 32,768/ ϕ (PWCR0 = "1") または 16,384/ ϕ (PWCR0 = "0") のいずれかを選択します。
- (3) PWDRU、PWDRL に出力波形データを設定します。このとき、必ず PWDRL → PWDRU の順序で書き込んでください。PWDRL へのライトと同時に PWM 波形生成部にデータが取り込まれ、内部信号と同期をとって PWM 波形生成の更新が行われます。

1 変換周期は図 11.2 に示すように 64 個のパルスで構成され、この 1 変換周期中の "High" レベル幅合計 (T_H) が、PWDRU、PWDRL のデータに対応しています。

この関係は次式で示されます。

$$T_H = (\text{PWDRU、PWDRL のデータ値} + 64) \times t\phi / 2$$

ここで $t\phi$ は、PWM 入力クロックの周期で $2/\phi$ (PWCR0 = "0") または $4/\phi$ (PWCR0 = "1") となります。

(例) 変換周期を 8,192 μ s とするためには、以下のように設定します。

PWCR0 = "0" に設定すると、1 変換周期は 16,384/ ϕ なので、 $\phi = 2\text{MHz}$ となります。

このとき、 $t_m = 128\mu\text{s}$ 、 $1/\phi$ (精度) = 0.5 μs です。

PWCR0 = "1" に設定すると、1 変換周期は 32,768/ ϕ なので、 $\phi = 4\text{MHz}$ となります。

このとき、 $t_m = 128\mu\text{s}$ 、 $2/\phi$ (精度) = 0.5 μs です。

したがって、1 変換周期 8,192 μs とするためには、システムクロック (ϕ) は 2MHz または、4MHz で使用することになります。

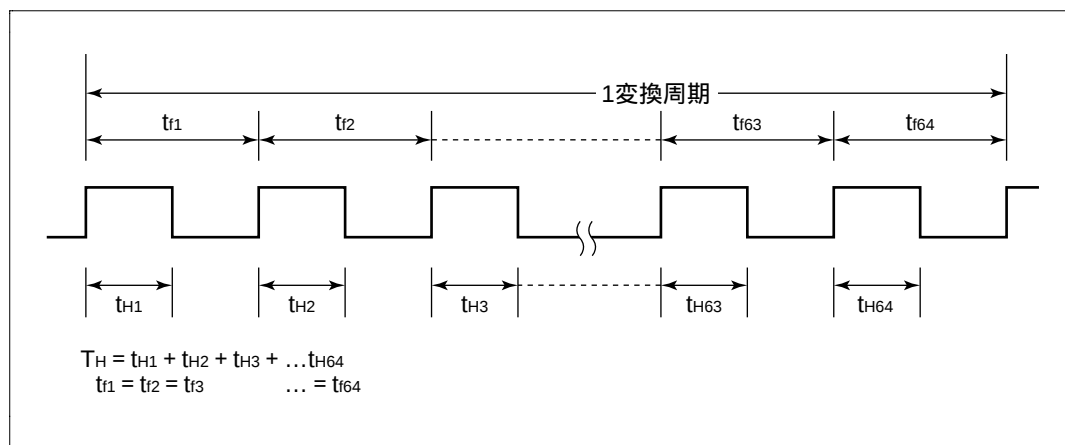


図 11.2 PWM 出力波形

12. A/D 変換器

第 12 章 目次

12.1	概要.....	319
	12.1.1 特長.....	319
	12.1.2 ブロック図.....	319
	12.1.3 端子構成.....	320
	12.1.4 レジスタ構成	320
12.2	各レジスタの説明.....	321
	12.2.1 A/D リザルトレジスタ (ADRR)	321
	12.2.2 A/D モードレジスタ (AMR)	321
	12.2.3 A/D スタートレジスタ (ADSR)	323
12.3	動作説明.....	324
	12.3.1 A/D 変換動作.....	324
	12.3.2 外部トリガによる A/D 変換器の起動.....	324
12.4	割込み要因.....	325
12.5	使用例	326
12.6	使用上の注意	330

12.1 概要

本 LSI は、抵抗ラダー方式による逐次比較型 A/D 変換器を内蔵しており、最大 8 チャンネルのアナログ入力の測定ができます。

12.1.1 特長

A/D 変換器の特長を以下に示します。

- 8 ビットの分解能
- 入力チャンネル：8 チャンネル
- 変換時間：1 チャンネル当たり 12.4 μ s (5MHz 動作時)
- サンプル&ホールド機能
- A/D 変換終了割り込み要求を発生
- 外部トリガ入力により、A/D 変換開始を指定可能

12.1.2 ブロック図

A/D 変換器のブロック図を図 12.1 に示します。

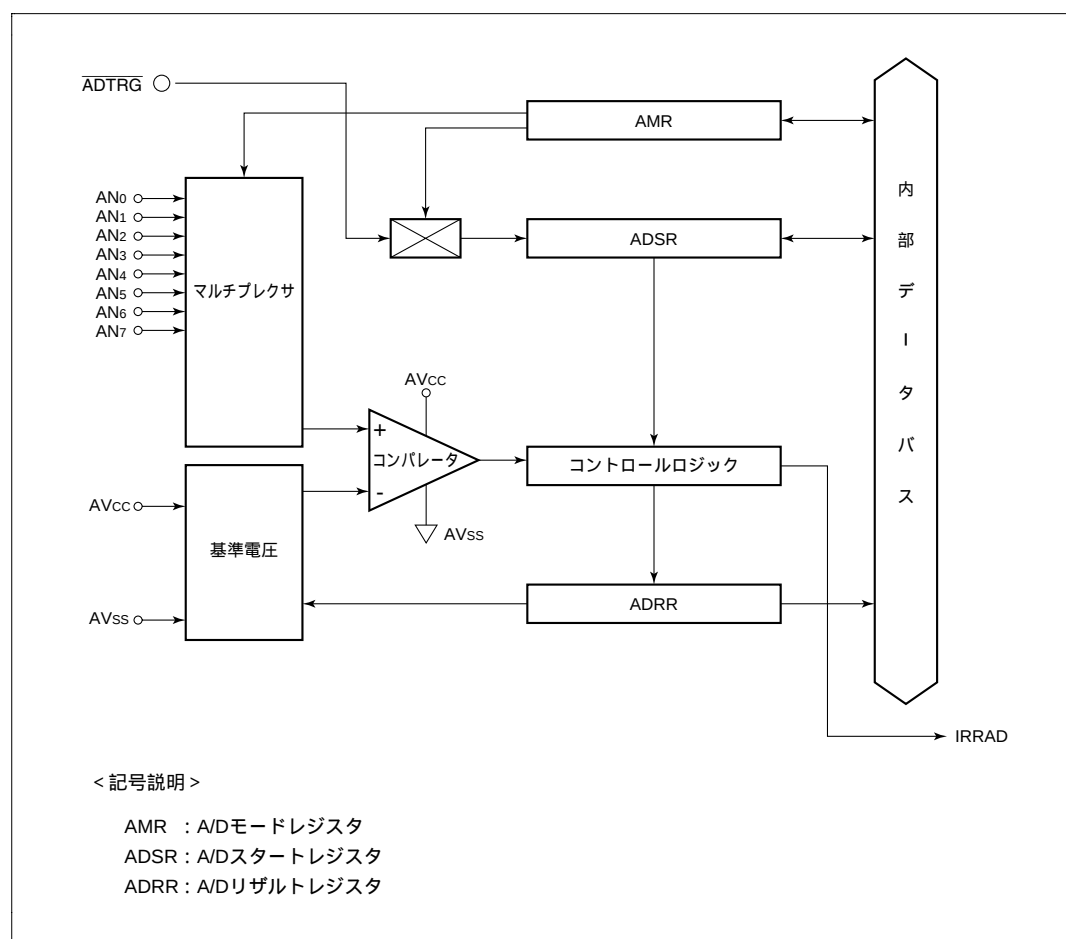


図 12.1 A/D 変換器ブロック図

12.1.3 端子構成

A/D 変換器の端子構成を表 12.1 に示します。

表 12.1 端子構成

名称	略称	入出力	機能
アナログ電源	AV _{CC}	入力	アナログ部の電源および基準電圧端子
アナロググランド	AV _{SS}	入力	アナログ部のグランドおよび基準電圧端子
アナログ入力 0	AN ₀	入力	チャンネル 0 のアナログ入力端子
アナログ入力 1	AN ₁	入力	チャンネル 1 のアナログ入力端子
アナログ入力 2	AN ₂	入力	チャンネル 2 のアナログ入力端子
アナログ入力 3	AN ₃	入力	チャンネル 3 のアナログ入力端子
アナログ入力 4	AN ₄	入力	チャンネル 4 のアナログ入力端子
アナログ入力 5	AN ₅	入力	チャンネル 5 のアナログ入力端子
アナログ入力 6	AN ₆	入力	チャンネル 6 のアナログ入力端子
アナログ入力 7	AN ₇	入力	チャンネル 7 のアナログ入力端子
外部トリガ入力	$\overline{\text{ADTRG}}$	入力	A/D 変換の開始を制御する外部トリガ入力

12.1.4 レジスタ構成

A/D 変換器のレジスタ構成を表 12.2 に示します。

表 12.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
A/D モードレジスタ	AMR	R/W	H'30	H'FFC4
A/D スタートレジスタ	ADSR	R/W	H'7F	H'FFC6
A/D リザルトレジスタ	ADRR	R	不定	H'FFC5

12.2 各レジスタの説明

12.2.1 A/D リザルトレジスタ (ADRR)

ビット:	7	6	5	4	3	2	1	0
	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R	R	R	R	R	R	R	R

ADRR は、A/D 変換された結果を格納する 8 ビットのリード専用レジスタです。

ADRR は常に CPU からリード可能です。A/D 変換中は ADRR の値は不定で、A/D 変換終了時に変換結果の 8 ビットデータが格納され、次の変換開始までこのデータが保持されます。

ADRR は、リセットでクリアされません。

12.2.2 A/D モードレジスタ (AMR)

ビット:	7	6	5	4	3	2	1	0
	CKS	TRGE	—	—	CH3	CH2	CH1	CH0
初期値:	0	0	1	1	0	0	0	0
R/W :	R/W	R/W	—	—	R/W	R/W	R/W	R/W

AMR は、8 ビットのリード/ライト可能なレジスタで、A/D 変換スピードの設定、外部トリガの選択、およびアナログ入力端子の指定を行います。

リセット時、AMR は H'30 にイニシャライズされます。

ビット 7: クロックセレクト (CKS)

A/D 変換スピードの設定を行います。

ビット 7	変換周期	変換時間	
CKS		$\phi = 2\text{MHz}$	$\phi = 5\text{MHz}$
0	$62/\phi$ (初期値)	$31\mu\text{s}$	$12.4\mu\text{s}$
1	$31/\phi$	$15.5\mu\text{s}$	—*

【注】 * $12.4\mu\text{s}$ 以下の変換時間では、動作が保証されません。 $12.4\mu\text{s}$ 以上になるように選択してください。

ビット6：外部トリガセレクト (TRGE)

外部トリガ入力による A/D 変換の開始を許可または禁止します。

ビット6	説明
TRGE	
0	外部トリガによる A/D 変換の開始を禁止 (初期値)
1	外部トリガ (ADTRG) 端子の立上がりエッジ、または立下がりエッジで A/D 変換を開始*

【注】 * 外部トリガ (ADTRG) 端子のエッジ選択は IEGR2 の INTEG5 により設定します。詳細は「3.3.2 (2) 割込みエッジセレクトレジスタ 2 (IEGR2)」を参照してください。

ビット5～4：リザーブビット

リザーブビットです。各ビットはリードすると常に"1"が読み出されます。ライトは無効です。

ビット3～0：チャンネルセレクト3～0 (CH3～CH0)

アナログ入力チャンネルの選択を行います。

チャンネル選択の切換えは、ADSF = "0"の状態で行ってください。

ビット3	ビット2	ビット1	ビット0	アナログ入力チャンネル
CH3	CH2	CH1	CH0	
0	0	*	*	非選択 (初期値)
0	1	0	0	AN ₀
0	1	0	1	AN ₁
0	1	1	0	AN ₂
0	1	1	1	AN ₃
1	0	0	0	AN ₄
1	0	0	1	AN ₅
1	0	1	0	AN ₆
1	0	1	1	AN ₇
1	1	0	0	リザーブ
1	1	0	1	リザーブ
1	1	1	0	リザーブ
1	1	1	1	リザーブ

* Don't care

12.2.3 A/D スタートレジスタ (ADSR)

ビット:	7	6	5	4	3	2	1	0
	ADSF	—	—	—	—	—	—	—
初期値:	0	1	1	1	1	1	1	1
R/W :	R/W	—	—	—	—	—	—	—

ADSR は、8 ビットのリード/ライト可能なレジスタで、A/D 変換の開始または停止を指定します。

ADSF に"1"をライトまたは外部トリガのエッジ入力により、ADSF が"1"にセットされ A/D 変換が開始します。変換が終了すると変換データはADRR にセットされ、同時に ADSF は"0"にクリアされます。

ビット 7 : A/D スタートフラグ (ADSF)

A/D 変換の開始および終了の確認を行います。

ビット 7		
ADSF	説明	
0	リード時	A/D 変換の終了 (初期値)
	ライト時	A/D 変換を強制終了
1	リード時	A/D 変換中
	ライト時	A/D 変換を開始

ビット 6 ~ 0 : リザーブビット

リザーブビットです。各ビットはリードすると常に"1"が読み出されます。ライトは無効です。

12.3 動作説明

12.3.1 A/D 変換動作

A/D 変換器は逐次比較方式で動作し、8 ビットの変換結果が得られます。

ソフトウェアにより ADSF を "1" にセットすると、A/D 変換を開始します。ADSF は、A/D 変換中は "1" を保持しており、変換が終了すると自動的に "0" にクリアされます。

また、変換が終了すると、IRR2 の IRRAD が "1" にセットされます。このとき、IENR2 の IENAD が "1" にセットされていると、A/D 変換終了割込みが発生します。

A/D 変換中に、AMR により変換時間や入力チャネルの切換えを行う場合は、誤動作を避けるために ADSF を "0" にクリアして、A/D 変換を強制終了させて行ってください。

12.3.2 外部トリガによる A/D 変換器の起動

A/D 変換器は外部トリガ入力によって A/D 変換を開始させることができます。

外部トリガは AMR の TRGE が "1" のとき、 $\overline{\text{ADTRG}}$ 入力端子から入力されます。 $\overline{\text{ADTRG}}$ 入力端子から IEGR2 の INTEG5 で指定されたエッジが入力されると、ADSR の ADSF が "1" にセットされ、A/D 変換が開始されます。

このタイミングを図 12.2 に示します。

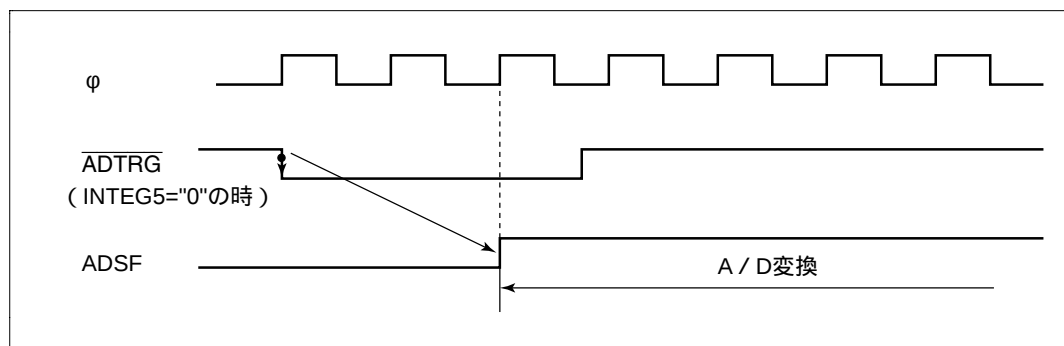


図 12.2 外部トリガ入力タイミング

12.4 割込み要因

A/D 変換終了時 (ADSF = "1" → "0")、IRR2 の IRRAD が "1" にセットされます。

A/D 変換終了割込みは、IENR2 の IENAD により、許可/禁止を指定できます。

詳細は「3.3 割込み」を参照してください。

12.5 使用例

チャンネル 1 (AN_1) をアナログ入力チャンネルに選択した場合の動作例を示します。動作タイミングを図 12.3 に示します。

- (1) 入力チャンネルを AN_1 (AMR の CH3 ~ CH0 を "0101")、IENAD = "1" に設定して、A/D 変換を開始 (ADSF = "1") します。
- (2) A/D 変換が終了すると、IRRAD が "1" にセットされ、A/D 変換結果が ADDR に格納されます。同時に ADSF = "0" となり、A/D 変換器は変換待機となります。
- (3) IENAD = "1" となっているため A/D 変換終了割り込み要求が発生します。
- (4) A/D 割り込み処理ルーチンが開始されます。
- (5) A/D 変換結果を読み出して、処理します。
- (6) A/D 変換処理ルーチンの実行が終了します。

この後、ADSF = "1" にセットすると A/D 変換が開始され (2) ~ (6) を行います。

A/D 変換器の使用手順の概念フローを図 12.4、図 12.5 に示します。

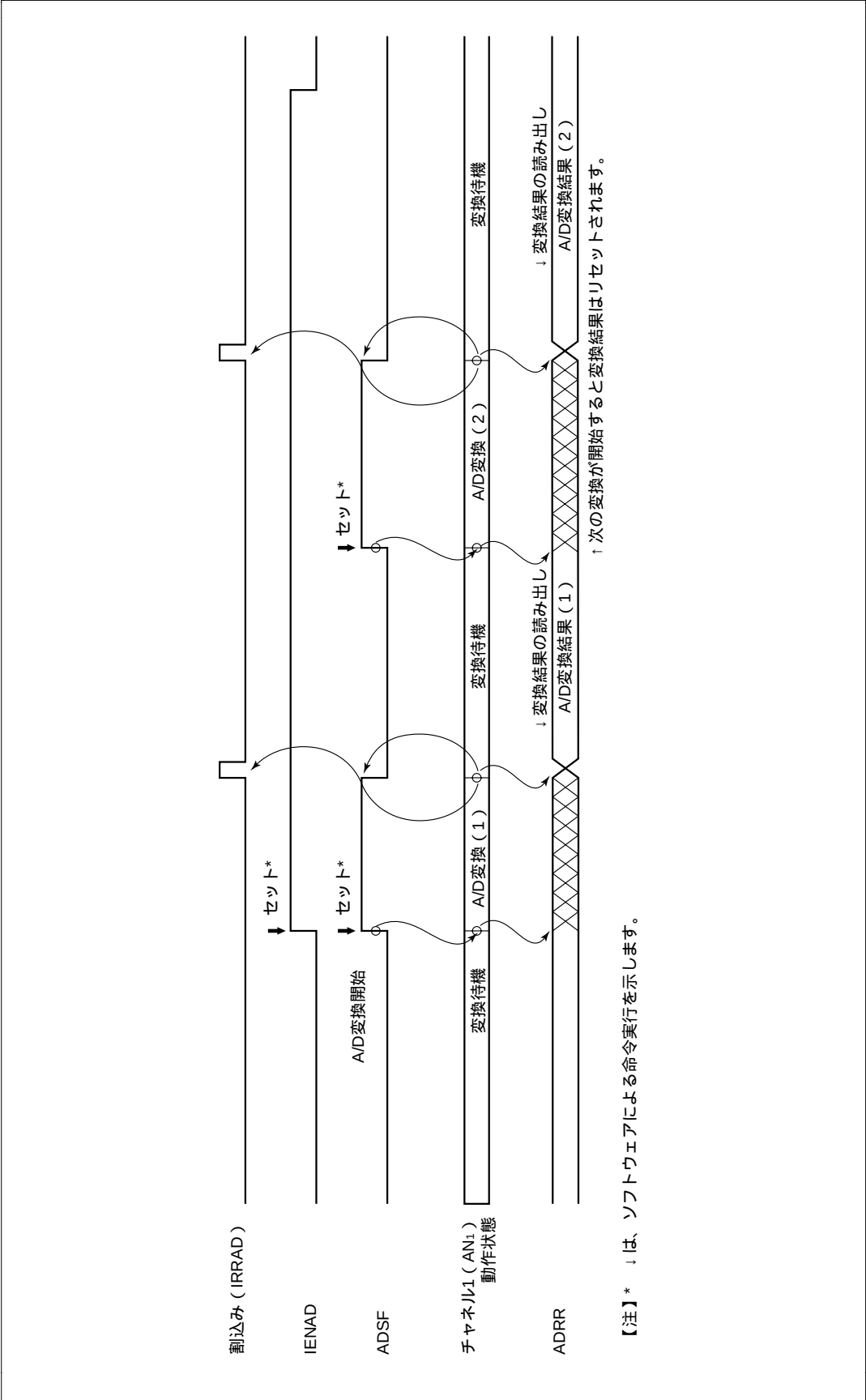


図 12.3 A/D 変換器の動作例

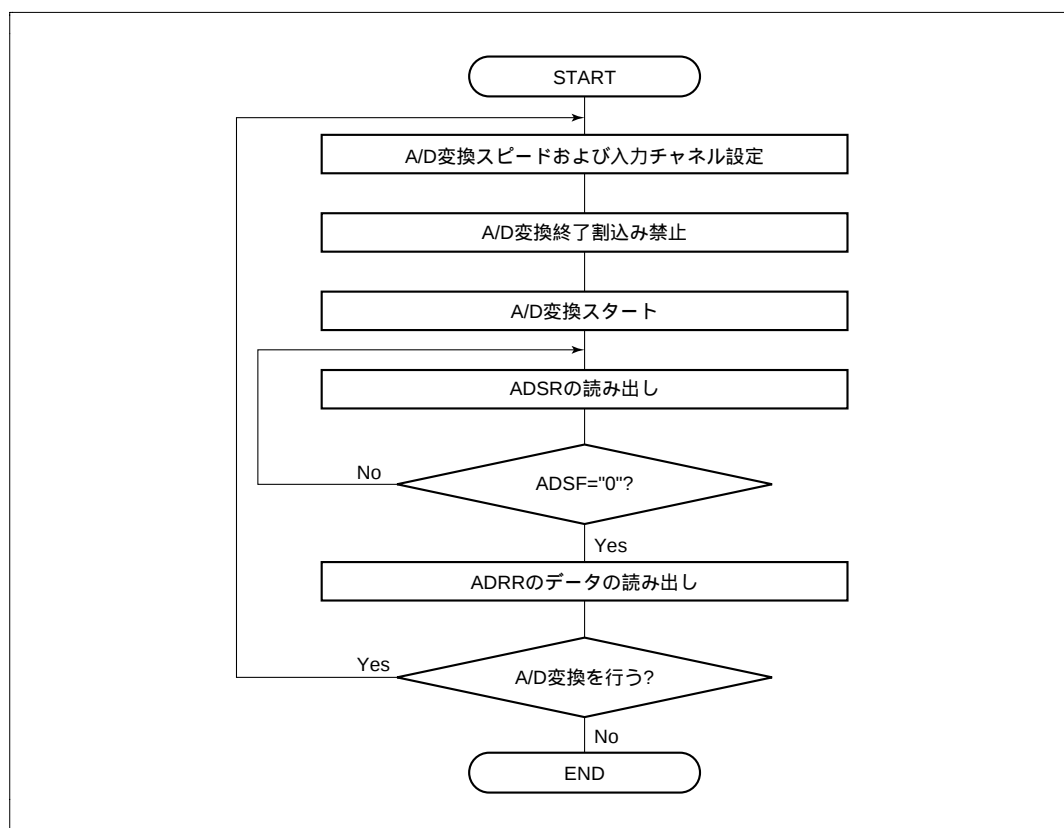


図 12.4 A/D 変換器の使用手順の概念フロー
(ソフトウェアでポーリングする場合)

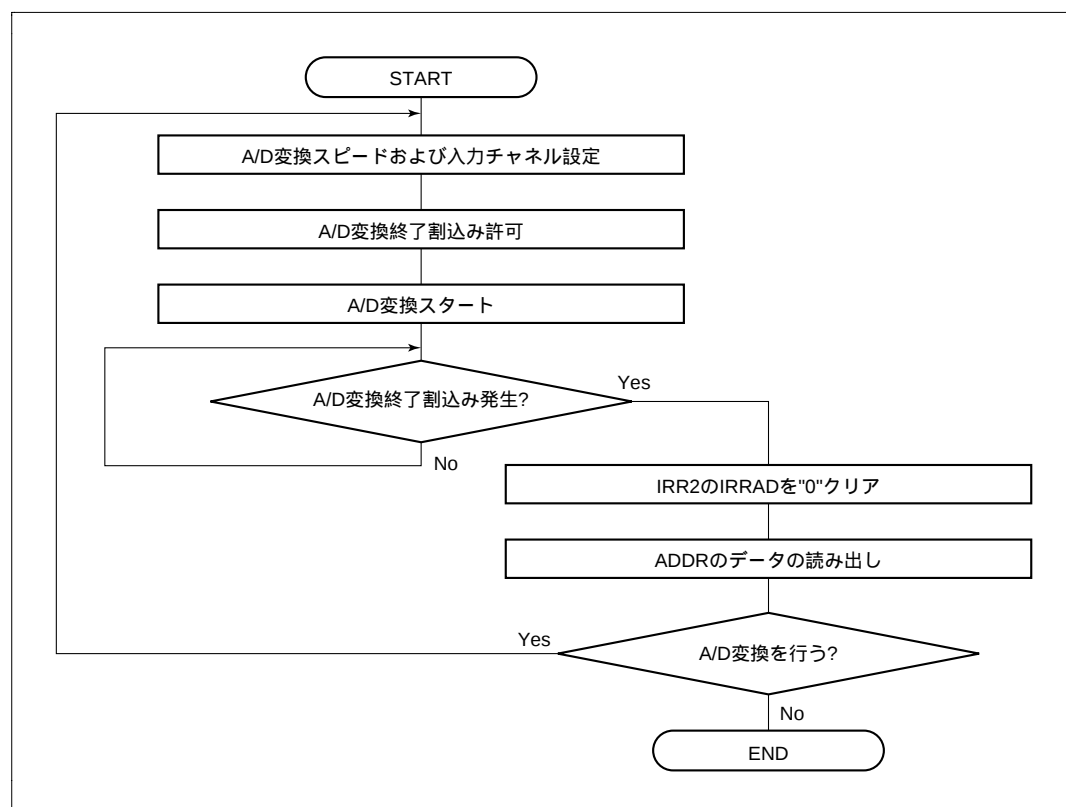


図 12.5 A/D 変換器の使用手順の概念フロー
(割り込みを使用する場合)

12.6 使用上の注意

- (1) ADDR の読出しは、ADSR の ADSF が"0"のときに行ってください。
- (2) A/D 変換中に隣接した端子のデジタル入力信号を変化させると変換精度に悪影響を及ぼします。

13. 電気的特性

第 13 章 目次

13.1	絶対最大定格	333
13.2	電気的特性	334
13.2.1	電源電圧と動作範囲	334
13.2.2	DC 特性 (HD6473657)	336
13.2.3	AC 特性 (HD6473657)	340
13.2.4	DC 特性 (HD6433657、HD6433656、HD6433655、HD6433654、 HD6433653、HD6433652)	343
13.2.5	AC 特性 (HD6433657、HD6433656、HD6433655、HD6433654、 HD6433653、HD6433652)	347
13.2.6	A/D 変換器特性	350
13.3	動作タイミング	351
13.4	出力負荷回路	354

13.1 絶対最大定格

絶対最大定格を表 13.1 に示します。

表 13.1 絶対最大定格

項目		記号	規格値	単位	備考
電源電圧		V_{CC}	- 0.3 ~ + 7.0	V	*
アナログ電源電圧		AV_{CC}	- 0.3 ~ + 7.0	V	
プログラム電圧		V_{PP}	- 0.3 ~ + 13.0	V	
入力電圧	ポート B 以外	V_{in}	- 0.3 ~ $V_{CC} + 0.3$	V	
	ポート B		- 0.3 ~ $AV_{CC} + 0.3$	V	
動作温度		T_{opr}	- 20 ~ + 75		
保存温度		T_{stg}	- 55 ~ + 125		

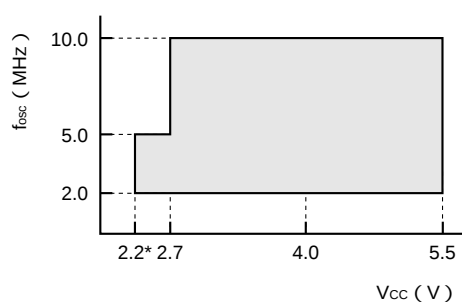
【注】 * 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用する事が望ましく、この条件を超えると LSI の誤動作の原因になるとともに、LSI の信頼性に悪影響をおよぼすことがあります。

13.2 電気的特性

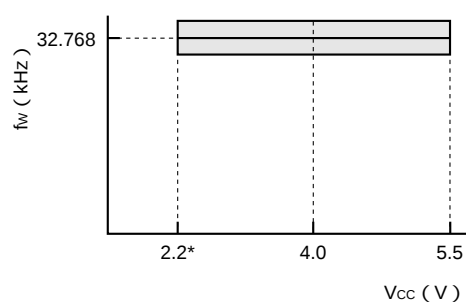
13.2.1 電源電圧と動作範囲

電源電圧と動作範囲（網かけ部）を以下に示します。

（１）電源電圧と発振周波数の範囲



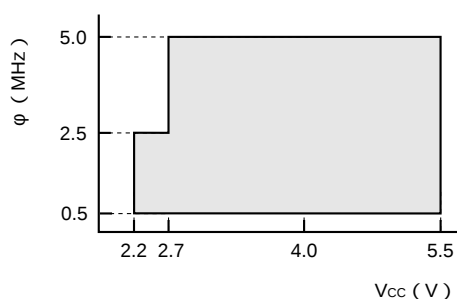
- ・アクティブ（高速）モード
- ・スリープ（高速）モード



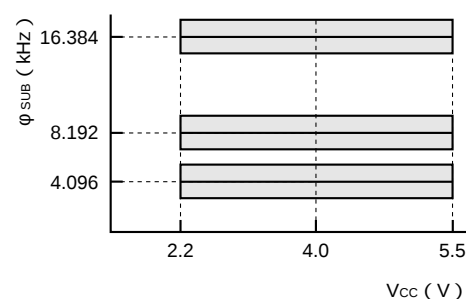
- ・すべての動作モード

【注】*発振開始電圧は2.5Vです。

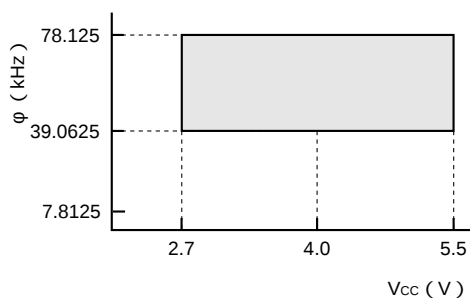
（２）電源電圧と動作周波数の範囲



- ・アクティブ（高速）モード
- ・スリープ（高速）モード（CPUを除く）

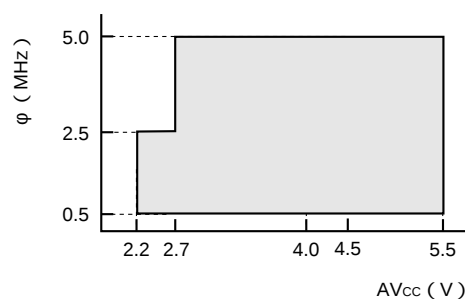


- ・サブアクティブモード
- ・サブスリープモード（CPUを除く）
- ・ウォッチモード（CPUを除く）



- ・アクティブ（中速）モード
- ・スリープ（中速）モード（CPUを除く）

(3) アナログ電源電圧と A/D 変換器の動作範囲



本モードでは使用しないでください。

- ・アクティブ（高速）モード
- ・スリープ（高速）モード

- ・アクティブ（中速）モード
- ・スリープ（中速）モード

13.2.2 DC 特性 (HD6473657)

HD6473657 の DC 特性を表 13.2 に示します。

表 13.2 DC 特性 (1)

(特記なき場合、 $V_{CC} = AV_{CC} = 2.2V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				MIN	TYP	MAX		
入力"High"レベル 電圧	V_{IH}	$\overline{RES}$ $\overline{INT}_0 \sim \overline{INT}_7$ $\overline{IRQ}_0 \sim \overline{IRQ}_3$ $\overline{ADTRG}$ TMIB TMRIV、TMCIV FTCL、FTIA FTIB、FTIC、FTID SCK ₁ 、SCK ₃ TRGV		$0.9V_{CC}$	—	$V_{CC} + 0.3$	V	
		SI ₁ 、RXD P1 ₀ ~ P1 ₇ P2 ₀ ~ P2 ₇ P3 ₀ ~ P3 ₅ P5 ₀ ~ P5 ₇ P6 ₀ ~ P6 ₇ P7 ₀ ~ P7 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₄		$0.8V_{CC}$	—	$V_{CC} + 0.3$	V	
		PB ₀ ~ PB ₇		$0.8V_{CC}$	—	$AV_{CC} + 0.3$		
		OSC ₁	$V_{CC} = 4.0 \sim 5.5V$	$V_{CC} - 0.5$	—	$V_{CC} + 0.3$	V	
				$V_{CC} - 0.3$	—	$V_{CC} + 0.3$		

【注】 TEST 端子は、 V_{SS} に接続してください。

項目	記号	適用端子	測定条件	規格値			単位	備考
				MIN	TYP	MAX		
入力"Low"レベル 電圧	V _{IL}	$\overline{RES}$ $\overline{INT}_0 \sim \overline{INT}_7$ $\overline{IRQ}_0 \sim \overline{IRQ}_3$ $\overline{ADTRG}$ TMIB TMRIV、TMCIV FTCL、FTIA FTIB、FTIC、FTID SCK ₁ 、SCK ₃ TRGV		- 0.3	—	0.1V _{CC}	V	
		SI ₁ 、RXD P1 ₀ ~ P1 ₇ P2 ₀ ~ P2 ₇ P3 ₀ ~ P3 ₅ P5 ₀ ~ P5 ₇ P6 ₀ ~ P6 ₇ P7 ₀ ~ P7 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₄ PB ₀ ~ PB ₇		- 0.3	—	0.2V _{CC}	V	
		OSC ₁	V _{CC} = 4.0 ~ 5.5V	- 0.3	—	0.5	V	
				- 0.3	—	0.3		
出力"High"レベル 電圧	V _{OH}	P1 ₀ ~ P1 ₇	V _{CC} = 4.0 ~ 5.5V	V _{CC} - 1.0	—	—	V	
		P2 ₀ ~ P2 ₇	- I _{OH} = 1.0mA					
		P3 ₀ ~ P3 ₅	V _{CC} = 4.0 ~ 5.5V	V _{CC} - 0.5	—	—		
		P5 ₀ ~ P5 ₇	- I _{OH} = 0.5mA					
出力"Low"レベル 電圧	V _{OL}	P6 ₀ ~ P6 ₇	- I _{OH} = 0.1mA	V _{CC} - 0.4	—	—	V	
		P7 ₀ ~ P7 ₇						
		P8 ₀ ~ P8 ₇						
		P9 ₀ ~ P9 ₄						
		P1 ₀ ~ P1 ₇	V _{CC} = 4.0 ~ 5.5V	—	—	0.6		
		P2 ₀ ~ P2 ₇	I _{OL} = 1.6mA					
		P3 ₀ ~ P3 ₅	I _{OL} = 0.4mA	—	—	0.4		
		P5 ₀ ~ P5 ₇					V	
		P6 ₀ ~ P6 ₇						
		P7 ₀ ~ P7 ₇						
		P8 ₀ ~ P8 ₇						
		P9 ₀ ~ P9 ₄						

13. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				MIN	TYP	MAX		
入出力リーク電流	$ I_{IL} $	OSC ₁ P1 ₀ ~ P1 ₇ P2 ₀ ~ P2 ₇ P3 ₀ ~ P3 ₅ P5 ₀ ~ P5 ₇ P6 ₀ ~ P6 ₇ P7 ₀ ~ P7 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₄	$V_{in} = 0.5V \sim (V_{CC} - 0.5V)$	—	—	1	μA	
		PB ₀ ~ PB ₇	$V_{in} = 0.5V \sim AV_{CC} - 0.5V$	—	—	1		
入力リーク電流	$ I_{IL} $	RES、 $\overline{IRQ_0}$	$V_{in} = 0.5V \sim (V_{CC} - 0.5V)$	—	—	20	μA	
プルアップ MOS 電流	$-I_p$	P1 ₀ ~ P1 ₇	$V_{CC} = 5V, V_{in} = 0V$	50	—	300	μA	参考値
		P3 ₀ ~ P3 ₅ P5 ₀ ~ P5 ₇	$V_{CC} = 2.7V, V_{in} = 0V$	—	25	—		
入力容量	C_{in}	電源、RES 端子を除く全入力端子	$f = 1MHz, V_{in} = 0V, T_a = 25$	—	—	15	pF	
		RES		—	—	60		
		$\overline{IRQ_0}$		—	—	30		
アクティブモード消費電流	I_{OPE1}	V_{CC}	アクティブ (高速) モード $V_{CC} = 5V, f_{osc} = 10MHz$	—	10	15	mA	*1 *2
			$V_{CC} = 2.7V, f_{osc} = 10MHz$	—	5	—		参考値
			$V_{CC} = 2.2V, f_{osc} = 5MHz$	—	2	—		*1 *2
	I_{OPE2}	V_{CC}	アクティブ (中速) モード $V_{CC} = 5V, f_{osc} = 10MHz$ (ϕ OSC/128)	—	1.5	2.5	mA	*1 *2
			$V_{CC} = 2.7V, f_{osc} = 10MHz$ (ϕ OSC/128)	—	0.8	—		参考値 *1
			$V_{CC} = 2.2V, f_{osc} = 5MHz$ (ϕ OSC/128)	—	0.4	—		*2
スリープモード消費電流	I_{SLEEP1}	V_{CC}	スリープ (高速モード) $V_{CC} = 5V, f_{osc} = 10MHz$	—	4.5	6.5	mA	*1 *2
			$V_{CC} = 2.7V, f_{osc} = 10MHz$	—	2.2	—		参考値
			$V_{CC} = 2.2V, f_{osc} = 5MHz$	—	0.9	—		*1 *2
	I_{SLEEP2}	V_{CC}	スリープ (中速モード) $V_{CC} = 5V, f_{osc} = 10MHz$ (ϕ OSC/128)	—	1.4	2.4	mA	*1 *2
			$V_{CC} = 2.7V, f_{osc} = 10MHz$ (ϕ OSC/128)	—	0.7	—		参考値 *1
			$V_{CC} = 2.2V, f_{osc} = 5MHz$ (ϕ OSC/128)	—	0.4	—		*2

項目	記号	適用端子	測定条件	規格値			単位	備考
				MIN	TYP	MAX		
サブアクティブ モード消費電流	I_{SUB}	V_{CC}	$V_{CC} = 2.7V$ 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_W/2$)	—	20	30	μA	*1 *2
			$V_{CC} = 2.2V$ 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_W/2$)	—	15	—		参考値 *1 *2
			$V_{CC} = 2.2V$ 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_W/8$)	—	9	—		
サブスリープモード 消費電流	I_{SUBSP}	V_{CC}	$V_{CC} = 2.7V$ 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_W/2$)	—	10	20	μA	*1 *2
			$V_{CC} = 2.2V$ 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_W/2$)	—	7	—		参考値 *1 *2
ウォッチモード 消費電流	I_{WATCH}	V_{CC}	$V_{CC} = 2.7V$ 32kHz 水晶発振子使用時	—	7.5	9	μA	*1 *2
			$V_{CC} = 2.2V$ 32kHz 水晶発振子使用時	—	6	—		参考値 *1 *2
スタンバイモード 消費電流	I_{STBY}	V_{CC}	32kHz 未使用	—	—	5	μA	*1 *2
RAM データ保持電圧	V_{RAM}	V_{CC}		2	—	—	V	

【注】 *1 消費電流測定時の端子の状態

*2 ブルアップ MOS や出力バッファに流れる電流は除きます。

モード	RES 端子	内部状態	各端子	発振端子
アクティブ (高速) モード	V_{CC}	動作	V_{CC}	システムクロック : セラミック発振子 または水晶発振子
アクティブ (中速) モード		動作 ($\phi_{OSC}/128$)		
スリープ (高速) モード	V_{CC}	タイマのみ動作	V_{CC}	サブクロック : X_1 端子 = V_{CC}
スリープ (中速) モード		タイマのみ動作 ($\phi_{OSC}/128$)		
サブアクティブモード	V_{CC}	動作	V_{CC}	システムクロック : セラミック発振子 または水晶発振子 サブクロック : 水晶発振子
サブスリープモード	V_{CC}	タイマのみ動作 CPU は停止	V_{CC}	
ウォッチモード	V_{CC}	時計用タイム ベースのみ動作 CPU は停止	V_{CC}	
スタンバイモード	V_{CC}	CPU、タイマ ともに停止	V_{CC}	システムクロック : セラミック発振子 または水晶発振子 サブクロック : X_1 端子 = V_{CC}

13. 電気的特性

表 13.2 DC 特性 (2)

(特記なき場合、 $V_{CC} = AV_{CC} = 2.2V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				MIN	TYP	MAX		
出力"Low"レベル許容電流 (1 端子あたり)	I_{OL}	全出力端子	$V_{CC} = 4.0 \sim 5.5V$	—	—	2	mA	
				—	—	0.5		
出力"Low"レベル許容電流 (総和)	ΣI_{OL}	全出力端子	$V_{CC} = 4.0 \sim 5.5V$	—	—	40	mA	
				—	—	20		
出力"High"レベル許容電流 (1 端子あたり)	$-I_{OH}$	全出力端子	$V_{CC} = 4.0 \sim 5.5V$	—	—	2	mA	
				—	—	0.2		
出力"High"レベル許容電流 (総和)	$\Sigma -I_{OH}$	全出力端子	$V_{CC} = 4.0 \sim 5.5V$	—	—	15	mA	
				—	—	10		

13.2.3 AC 特性 (HD6473657)

HD6473657 の制御信号タイミングを表 13.3 に、シリアルインタフェースタイミングを表 13.4、表 13.5 に示します。

表 13.3 制御信号タイミング

(特記なき場合、 $V_{CC} = AV_{CC} = 2.2V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				MIN	TYP	MAX		
システムクロック 発振器発振周波数	f_{OSC}	OSC ₁ 、OSC ₂	$V_{CC} = 2.7 \sim 5.5V$	2	—	10	MHz	
				2	—	5		
OSC クロック (ϕ_{OSC}) サイクル時間	t_{OSC}	OSC ₁ 、OSC ₂	$V_{CC} = 2.7 \sim 5.5V$	100	—	1000	ns	*1 図 13.1
				200	—	1000		
システムクロック (ϕ) サイクル時間	t_{cyc}			2	—	128	t_{OSC}	*1
				—	—	25.5		
サブクロック発振器 発振周波数	f_W	X ₁ 、X ₂		—	32.768	—	kHz	
ウォッチクロック (ϕ_W) サイクル時間	t_W	X ₁ 、X ₂		—	30.5	—	μs	
サブクロック (ϕ_{SUB}) サイクル時間	t_{subcyc}			2	—	8	t_W	*2
インストラクション サイクル時間				2	—	—	t_{cyc} t_{subcyc}	
発振安定時間 (水晶発振器)	t_{rc}	OSC ₁ 、OSC ₂	$V_{CC} = 4.0 \sim 5.5V$	—	—	40	ms	
			$V_{CC} = 2.5 \sim 5.5V$	—	—	60		
発振安定時間 (セラミック発振器)	t_{rc}	OSC ₁ 、OSC ₂	$V_{CC} = 4.0 \sim 5.5V$	—	—	20	ms	
			$V_{CC} = 2.5 \sim 5.5V$	—	—	40		
発振安定時間	t_{rc}	X ₁ 、X ₂	$V_{CC} = 2.5 \sim 5.5V$	—	—	2	s	
外部クロック "High"レベル幅	t_{CPH}	OSC ₁	$V_{CC} = 2.7 \sim 5.5V$	40	—	—	ns	図 13.1
				80	—	—		

項目	記号	適用端子	測定条件	規格値			単位	備考
				MIN	TYP	MAX		
外部クロック "Low"レベル幅	t_{CPL}	OSC ₁	V _{CC} = 2.7 ~ 5.5V	40	—	—	ns	図 13.1
				80	—	—		
外部クロック 立ち上がり時間	t_{CPr}		V _{CC} = 2.7 ~ 5.5V	—	—	15	ns	
				—	—	20		
外部クロック 立ち下がり時間	t_{CPf}		V _{CC} = 2.7 ~ 5.5V	—	—	15	ns	
				—	—	20		
RES 端子 "Low"レベル幅	t_{REL}	$\overline{RES}$		18	—	—	t_{cyc} t_{subcyc}	図 13.2
発振開始電圧	V _{start}	OSC ₁ 、 OSC ₂		2.5	—	—	V	
		X ₁ 、 X ₂		2.5	—	—		
入力端子 "High"レベル幅	t_{IH}	$\overline{IRQ_0} \sim \overline{IRQ_3}$ $\overline{INT_0} \sim \overline{INT_7}$ $\overline{ADTRG}$ TMIB TMCIV TMRIV、 FTIC FTIA、 FTIB FTIC、 FTID TRGV		2	—	—	t_{cyc} t_{subcyc}	図 13.3
入力端子 "Low"レベル幅	t_{IL}	$\overline{IRQ_0} \sim \overline{IRQ_3}$ $\overline{INT_0} \sim \overline{INT_7}$ $\overline{ADTRG}$ TMIB TMCIV TMRIV、 FTIC FTIA、 FTIB FTIC、 FTID TRGV		2	—	—	t_{cyc} t_{subcyc}	図 13.3

【注】 *1 外部クロックを入力する場合は 1 ~ 10MHz となります。

*2 システムコントロールレジスタ 2 (SYSCR2) の SA1、 SA0 の設定により決定します。

13. 電気的特性

表 13.4 シリアルインタフェース (SCI1) タイミング

(特記なき場合、 $V_{CC} = AV_{CC} = 2.2V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				MIN	TYP	MAX		
入力転送クロック サイクル時間	t_{scyc}	SCK_1		4	—	—	t_{cyc}	図 13.4
入力転送クロック "High"レベル幅	t_{SCKH}	SCK_1		0.4	—	—	t_{scyc}	
入力転送クロック "Low"レベル幅	t_{SCKL}	SCK_1		0.4	—	—	t_{scyc}	
入力転送クロック 立ち上がり時間	t_{SCKr}	SCK_1	$V_{CC} = 4.0 \sim 5.5V$	—	—	60	ns	
				—	—	80		
入力転送クロック 立ち下がり時間	t_{SCKf}	SCK_1	$V_{CC} = 4.0 \sim 5.5V$	—	—	60	ns	
				—	—	80		
シリアル出力データ 遅延時間	t_{SOD}	SO_1	$V_{CC} = 4.0 \sim 5.5V$	—	—	200	ns	
				—	—	350		
シリアル入力データ セットアップ時間	t_{SIS}	SI_1	$V_{CC} = 4.0 \sim 5.5V$	200	—	—	ns	
				400	—	—		
シリアル入力 データホールド時間	t_{SIH}	SI_1	$V_{CC} = 4.0 \sim 5.5V$	200	—	—	ns	
				400	—	—		

表 13.5 シリアルインタフェース (SCI3) タイミング

(特記なき場合、 $V_{CC} = AV_{CC} = 2.2V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$)

項目		記号	測定条件	規格値			単位	備考
				MIN	TYP	MAX		
入力 クロックサイクル	調歩同期	t_{scyc}		4	—	—	t_{cyc}	図 13.5
	クロック同期			6	—	—		
入力クロックパルス幅		t_{SCKW}		0.4	—	0.6	t_{scyc}	図 13.5
送信データ遅延時間 (クロック同期)		t_{TXD}	$V_{CC} = 4.0 \sim 5.5V$	—	—	1	t_{cyc}	図 13.6
				—	—	1		
受信データセットアップ時間 (クロック同期)		t_{RXS}	$V_{CC} = 4.0 \sim 5.5V$	200	—	—	ns	図 13.6
				400	—	—		
受信データホールド時間 (クロック同期)		t_{RXH}	$V_{CC} = 4.0 \sim 5.5V$	200	—	—	ns	図 13.6
				400	—	—		

13.2.4 DC 特性 (HD6433657、HD6433656、HD6433655、HD6433654、HD6433653、HD6433652)

HD6433657、HD6433656、HD6433655、HD6433654、HD6433653、HD6433652 の DC 特性を表 13.6 に示します。

表 13.6 DC 特性 (1)

(特記なき場合、 $V_{CC} = AV_{CC} = 2.2V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				MIN	TYP	MAX		
入力"High"レベル 電圧	V_{IH}	$\overline{RES}$ $\overline{INT}_0 \sim \overline{INT}_7$ $\overline{IRQ}_0 \sim \overline{IRQ}_3$ $\overline{ADTRG}$ TMIB TMRIV、TMCIV FTCL、FTIA FTIB、FTIC、FTID SCK ₁ 、SCK ₃ TRGV		$0.9V_{CC}$	—	$V_{CC} + 0.3$	V	
		SI ₁ 、RXD P1 ₀ ~ P1 ₇ P2 ₀ ~ P2 ₇ P3 ₀ ~ P3 ₅ P5 ₀ ~ P5 ₇ P6 ₀ ~ P6 ₇ P7 ₀ ~ P7 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₄		$0.8V_{CC}$	—	$V_{CC} + 0.3$	V	
		PB ₀ ~ PB ₇		$0.8V_{CC}$	—	$AV_{CC} + 0.3$		
		OSC ₁	$V_{CC} = 4.0 \sim 5.5V$	$V_{CC} - 0.5$	—	$V_{CC} + 0.3$	V	
				$V_{CC} - 0.3$	—	$V_{CC} + 0.3$		

【注】 TEST 端子は、 V_{SS} に接続してください。

13. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				MIN	TYP	MAX		
入力"Low"レベル 電圧	V _{IL}	$\overline{RES}$ $\overline{INT}_0 \sim \overline{INT}_7$ $\overline{IRQ}_0 \sim \overline{IRQ}_3$ $\overline{ADTRG}$ TMIB TMRIV、TMCIV FTCL、FTIA FTIB、FTIC、FTID SCK ₁ 、SCK ₃ TRGV		- 0.3	—	0.1V _{CC}	V	
		SI ₁ 、RXD P1 ₀ ~ P1 ₇ P2 ₀ ~ P2 ₇ P3 ₀ ~ P3 ₅ P5 ₀ ~ P5 ₇ P6 ₀ ~ P6 ₇ P7 ₀ ~ P7 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₄ PB ₀ ~ PB ₇		- 0.3	—	0.2V _{CC}	V	
		OSC ₁	V _{CC} = 4.0 ~ 5.5V	- 0.3	—	0.5	V	
				- 0.3	—	0.3		
出力"High"レベル 電圧	V _{OH}	P1 ₀ ~ P1 ₇	V _{CC} = 4.0 ~ 5.5V	V _{CC} - 1.0	—	—	V	
		P2 ₀ ~ P2 ₇	- I _{OH} = 1.0mA					
		P3 ₀ ~ P3 ₅	V _{CC} = 4.0 ~ 5.5V	V _{CC} - 0.5	—	—		
		P5 ₀ ~ P5 ₇	- I _{OH} = 0.5mA					
		P6 ₀ ~ P6 ₇	- I _{OH} = 0.1mA	V _{CC} - 0.4	—	—		
		P7 ₀ ~ P7 ₇						
		P8 ₀ ~ P8 ₇						
		P9 ₀ ~ P9 ₄						
出力"Low"レベル 電圧	V _{OL}	P1 ₀ ~ P1 ₇	V _{CC} = 4.0 ~ 5.5V	—	—	0.6	V	
		P2 ₀ ~ P2 ₇	I _{OL} = 1.6mA					
		P3 ₀ ~ P3 ₅	I _{OL} = 0.4mA	—	—	0.4	V	
		P5 ₀ ~ P5 ₇						
		P6 ₀ ~ P6 ₇						
		P7 ₀ ~ P7 ₇						
		P8 ₀ ~ P8 ₇						
		P9 ₀ ~ P9 ₄						

項目	記号	適用端子	測定条件	規格値			単位	備考
				MIN	TYP	MAX		
入出力リーク電流	$ I_{IL} $	OSC ₁ P1 ₀ ~ P1 ₇ P2 ₀ ~ P2 ₇ P3 ₀ ~ P3 ₅ P5 ₀ ~ P5 ₇ P6 ₀ ~ P6 ₇ P7 ₀ ~ P7 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₄	$V_{in} = 0.5V \sim (V_{CC} - 0.5V)$	—	—	1	μA	
		PB ₀ ~ PB ₇	$V_{in} = 0.5V \sim AV_{CC} - 0.5V$	—	—	1		
入力リーク電流	$ I_{IL} $	RES、 $\overline{IRQ_0}$	$V_{in} = 0.5V \sim (V_{CC} - 0.5V)$	—	—	1	μA	
プルアップ MOS 電流	$-I_p$	P1 ₀ ~ P1 ₇	$V_{CC} = 5V, V_{in} = 0V$	50	—	300	μA	参考値
		P3 ₀ ~ P3 ₅ P5 ₀ ~ P5 ₇	$V_{CC} = 2.7V, V_{in} = 0V$	—	25	—		
入力容量	C_{in}	電源、RES 端子を除く全入力端子	$f = 1MHz, V_{in} = 0V, T_a = 25$	—	—	15	pF	
		RES		—	—	15		
		$\overline{IRQ_0}$		—	—	15		
アクティブモード消費電流	I_{OPE1}	V_{CC}	アクティブ (高速) モード $V_{CC} = 5V, f_{osc} = 10MHz$	—	10	15	mA	*1 *2
			$V_{CC} = 2.7V, f_{osc} = 10MHz$	—	5	—		参考値
			$V_{CC} = 2.2V, f_{osc} = 5MHz$	—	2	—		*1 *2
	I_{OPE2}	V_{CC}	アクティブ (中速) モード $V_{CC} = 5V, f_{osc} = 10MHz$ (ϕ OSC/128)	—	1.5	2.5	mA	*1 *2
			$V_{CC} = 2.7V, f_{osc} = 10MHz$ (ϕ OSC/128)	—	0.8	—		参考値 *1
			$V_{CC} = 2.2V, f_{osc} = 5MHz$ (ϕ OSC/128)	—	0.4	—		*2
スリープモード消費電流	I_{SLEEP1}	V_{CC}	スリープ (高速モード) $V_{CC} = 5V, f_{osc} = 10MHz$	—	4.5	6.5	mA	*1 *2
			$V_{CC} = 2.7V, f_{osc} = 10MHz$	—	2.2	—		参考値
			$V_{CC} = 2.2V, f_{osc} = 5MHz$	—	0.9	—		*1 *2
	I_{SLEEP2}	V_{CC}	スリープ (中速モード) $V_{CC} = 5V, f_{osc} = 10MHz$ (ϕ OSC/128)	—	1.4	2.4	mA	*1 *2
			$V_{CC} = 2.7V, f_{osc} = 10MHz$ (ϕ OSC/128)	—	0.7	—		参考値 *1
			$V_{CC} = 2.2V, f_{osc} = 5MHz$ (ϕ OSC/128)	—	0.4	—		*2

13. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				MIN	TYP	MAX		
サブアクティブ モード消費電流	I_{SUB}	V_{CC}	$V_{CC} = 2.7V$ 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_W/2$)	—	20	30	μA	*1 *2
			$V_{CC} = 2.2V$ 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_W/2$)	—	15	—		参考値 *1 *2
			$V_{CC} = 2.2V$ 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_W/8$)	—	9	—		
サブスリープモード 消費電流	I_{SUBSP}	V_{CC}	$V_{CC} = 2.7V$ 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_W/2$)	—	10	20	μA	*1 *2
			$V_{CC} = 2.2V$ 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_W/2$)	—	7	—		参考値 *1 *2
ウォッチモード 消費電流	I_{WATCH}	V_{CC}	$V_{CC} = 2.7V$ 32kHz 水晶発振子使用時	—	7.5	9	μA	*1 *2
			$V_{CC} = 2.2V$ 32kHz 水晶発振子使用時	—	6	—		参考値 *1 *2
スタンバイモード 消費電流	I_{STBY}	V_{CC}	32kHz 未使用	—	—	5	μA	*1 *2
RAM データ保持電圧	V_{RAM}	V_{CC}		2	—	—	V	

【注】 *1 消費電流測定時の端子の状態

*2 ブルアップ MOS や出力バッファに流れる電流は除きます。

モード	RES 端子	内部状態	各端子	発振端子
アクティブ (高速) モード	V_{CC}	動作	V_{CC}	システムクロック : セラミック発振子 または水晶発振子
アクティブ (中速) モード		動作 ($\phi_{OSC}/128$)		
スリープ (高速) モード	V_{CC}	タイマのみ動作	V_{CC}	サブクロック : X_1 端子 = V_{CC}
スリープ (中速) モード		タイマのみ動作 ($\phi_{OSC}/128$)		
サブアクティブモード	V_{CC}	動作	V_{CC}	システムクロック : セラミック発振子 または水晶発振子 サブクロック : 水晶発振子
サブスリープモード	V_{CC}	タイマのみ動作 CPU は停止	V_{CC}	
ウォッチモード	V_{CC}	時計用タイム ベースのみ動作 CPU は停止	V_{CC}	
スタンバイモード	V_{CC}	CPU、タイマ ともに停止	V_{CC}	システムクロック : セラミック発振子 または水晶発振子 サブクロック : X_1 端子 = V_{CC}

表 13.6 DC 特性 (2)

(特記なき場合、 $V_{CC} = AV_{CC} = 2.2V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				MIN	TYP	MAX		
出力"Low"レベル許容電流 (1 端子あたり)	I_{OL}	全出力端子	$V_{CC} = 4.0 \sim 5.5V$	—	—	2	mA	
				—	—	0.5		
出力"Low"レベル許容電流 (総和)	ΣI_{OL}	全出力端子	$V_{CC} = 4.0 \sim 5.5V$	—	—	40	mA	
				—	—	20		
出力"High"レベル許容電流 (1 端子あたり)	$-I_{OH}$	全出力端子	$V_{CC} = 4.0 \sim 5.5V$	—	—	2	mA	
				—	—	0.2		
出力"High"レベル許容電流 (総和)	$\Sigma -I_{OH}$	全出力端子	$V_{CC} = 4.0 \sim 5.5V$	—	—	15	mA	
				—	—	10		

13.2.5 AC 特性 (HD6433657、HD6433656、HD6433655、HD6433654、HD6433653、HD6433652)

HD6433657、HD6433656、HD6433655、HD6433654、HD6433653、HD6433652 の制御信号タイミングを表 13.7 に、シリアルインタフェースタイミングを表 13.8、表 13.9 に示します。

表 13.7 制御信号タイミング

(特記なき場合、 $V_{CC} = AV_{CC} = 2.2V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				MIN	TYP	MAX		
システムクロック 発振器発振周波数	f_{OSC}	OSC ₁ 、OSC ₂	$V_{CC} = 2.7 \sim 5.5V$	2	—	10	MHz	
				2	—	5		
OSC クロック (ϕ_{OSC}) サイクル時間	t_{OSC}	OSC ₁ 、OSC ₂	$V_{CC} = 2.7 \sim 5.5V$	100	—	1000	ns	*1 図 13.1
				200	—	1000		
システムクロック (ϕ) サイクル時間	t_{cyc}			2	—	128	t_{OSC}	*1
				—	—	25.5	μs	
サブクロック発振器 発振周波数	f_W	X_1 、 X_2		—	32.768	—	kHz	
ウォッチクロック (ϕ_W) サイクル時間	t_W	X_1 、 X_2		—	30.5	—	μs	
サブクロック (ϕ_{SUB}) サイクル時間	t_{subcyc}			2	—	8	t_W	*2
インストラクション サイクル時間				2	—	—	t_{cyc} t_{subcyc}	
発振安定時間 (水晶発振子)	t_{rc}	OSC ₁ 、OSC ₂	$V_{CC} = 4.0 \sim 5.5V$	—	—	40	ms	
			$V_{CC} = 2.5 \sim 5.5V$	—	—	60		
発振安定時間 (セラミック発振子)	t_{rc}	OSC ₁ 、OSC ₂	$V_{CC} = 4.0 \sim 5.5V$	—	—	20	ms	
			$V_{CC} = 2.5 \sim 5.5V$	—	—	40		
発振安定時間	t_{rc}	X_1 、 X_2	$V_{CC} = 2.5 \sim 5.5V$	—	—	2	s	

13. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				MIN	TYP	MAX		
外部クロック "High"レベル幅	t_{CPH}	OSC ₁	V _{CC} = 2.7 ~ 5.5V	40	—	—	ns	図 13.1
				80	—	—		
外部クロック "Low"レベル幅	t_{CPL}	OSC ₁	V _{CC} = 2.7 ~ 5.5V	40	—	—	ns	図 13.1
				80	—	—		
外部クロック 立ち上がり時間	t_{CPr}		V _{CC} = 2.7 ~ 5.5V	—	—	15	ns	
				—	—	20		
外部クロック 立ち下がり時間	t_{CPf}		V _{CC} = 2.7 ~ 5.5V	—	—	15	ns	
				—	—	20		
RES 端子 "Low"レベル幅	t_{REL}	RES		18	—	—	t_{cyc} t_{subcyc}	図 13.2
発振開始電圧	V _{start}	OSC ₁ 、OSC ₂		2.5	—	—	V	
		X ₁ 、X ₂		2.5	—	—		
入力端子 "High"レベル幅	t_{IH}	$\overline{IRQ_0} \sim \overline{IRQ_3}$ $\overline{INT_0} \sim \overline{INT_7}$ $\overline{ADTRG}$ TMIB TMCIV TMRIV、FTCI FTIA、FTIB FTIC、FTID TRGV		2	—	—	t_{cyc} t_{subcyc}	図 13.3
入力端子 "Low"レベル幅	t_{IL}	$\overline{IRQ_0} \sim \overline{IRQ_3}$ $\overline{INT_0} \sim \overline{INT_7}$ $\overline{ADTRG}$ TMIB TMCIV TMRIV、FTCI FTIA、FTIB FTIC、FTID TRGV		2	—	—	t_{cyc} t_{subcyc}	図 13.3

【注】 *1 外部クロックを入力する場合は 1 ~ 10MHz となります。

*2 システムコントロールレジスタ 2 (SYSCR2) の SA1、SA0 の設定により決定します。

表 13.8 シリアルインタフェース (SCI1) タイミング

(特記なき場合、 $V_{CC} = AV_{CC} = 2.2V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				MIN	TYP	MAX		
入力転送クロック サイクル時間	t _{scyc}	SCK ₁		4	—	—	t _{cyc}	図 13.4
入力転送クロック "High"レベル幅	t _{SCKH}	SCK ₁		0.4	—	—	t _{scyc}	
入力転送クロック "Low"レベル幅	t _{SCKL}	SCK ₁		0.4	—	—	t _{scyc}	
入力転送クロック 立ち上がり時間	t _{SCKr}	SCK ₁	V _{CC} = 4.0 ~ 5.5V	—	—	60	ns	
				—	—	80		
入力転送クロック 立ち下がり時間	t _{SCKf}	SCK ₁	V _{CC} = 4.0 ~ 5.5V	—	—	60	ns	
				—	—	80		
シリアル出力データ 遅延時間	t _{SOD}	SO ₁	V _{CC} = 4.0 ~ 5.5V	—	—	200	ns	
				—	—	350		
シリアル入力データ セットアップ時間	t _{SIS}	SI ₁	V _{CC} = 4.0 ~ 5.5V	200	—	—	ns	
				400	—	—		
シリアル入力 データホールド時間	t _{SIH}	SI ₁	V _{CC} = 4.0 ~ 5.5V	200	—	—	ns	
				400	—	—		

表 13.9 シリアルインタフェース (SCI3) タイミング

(特記なき場合、 $V_{CC} = AV_{CC} = 2.2V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$)

項目		記号	測定条件	規格値			単位	備考
				MIN	TYP	MAX		
入力 クロックサイクル	調歩同期	t_{scyc}		4	—	—	t_{cyc}	図 13.5
	クロック同期			6	—	—		
入力クロックパルス幅		t_{SCKW}		0.4	—	0.6	t_{scyc}	図 13.5
送信データ遅延時間 (クロック同期)		t_{TXD}	$V_{CC} = 4.0 \sim 5.5V$	—	—	1	t_{cyc}	図 13.6
				—	—	1		
受信データセットアップ時間 (クロック同期)		t_{RXS}	$V_{CC} = 4.0 \sim 5.5V$	200	—	—	ns	図 13.6
				400	—	—		
受信データホールド時間 (クロック同期)		t_{RXH}	$V_{CC} = 4.0 \sim 5.5V$	200	—	—	ns	図 13.6
				400	—	—		

13.2.6 A/D 変換器特性

HD6473657、HD6433657、HD6433656、HD6433655、HD6433654、HD6433653、HD6433652
の A/D 変換器特性を表 13.10 に示します。

表 13.10 A/D 変換器特性

(特記なき場合、 $V_{CC} = AV_{CC} = 2.2V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$)

項目	記号	適用端子	測定条件	規格値			単位	備考
				MIN	TYP	MAX		
アナログ電源電圧	AV_{CC}	AV_{CC}		2.2	—	5.5	V	*1
アナログ入力電圧	AV_{IN}	$AN_0 \sim AN_7$		$AV_{SS} - 0.3$	—	$AV_{CC} + 0.3$	V	
アナログ電源電流	AI_{OPE}	AV_{CC}	$AV_{CC} = 5.0V$	—	—	1.5	mA	
	AI_{STOP1}	AV_{CC}		—	150	—	μA	*2 参考値
	AI_{STOP2}	AV_{CC}		—	—	5	μA	*3
アナログ入力容量	C_{AIN}	$AN_0 \sim AN_7$		—	—	30	pF	
許容信号源 インピーダンス	R_{AIN}			—	—	5	k Ω	
分解能 (データ長)				—	—	8	ビット	
非直線性誤差				—	—	± 2	LSB	
量子化誤差				—	—	± 0.5	LSB	
絶対精度				—	—	± 2.5	LSB	
変換時間			$AV_{CC} = 2.7 \sim 5.5V$	12.4	—	124	μs	
				24.8	—	124		

【注】 *1 アナログ電源電圧は常に $AV_{CC} = V_{CC}$ としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

*3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

13.3 動作タイミング

動作タイミングを図 13.1 ~ 図 13.6 に示します。

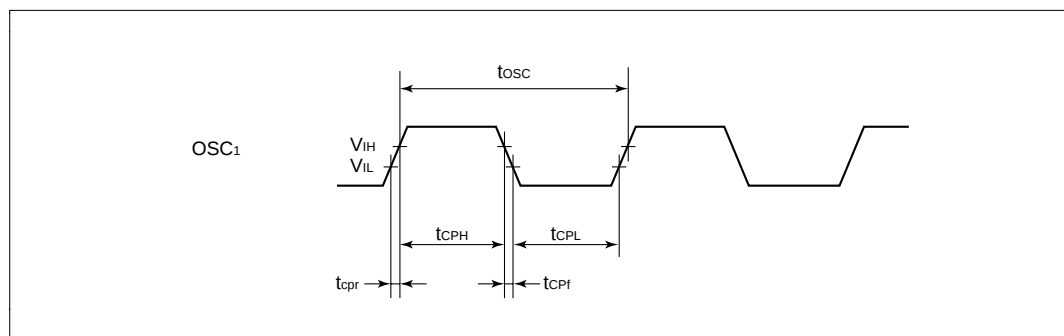


図 13.1 システムクロック入力タイミング

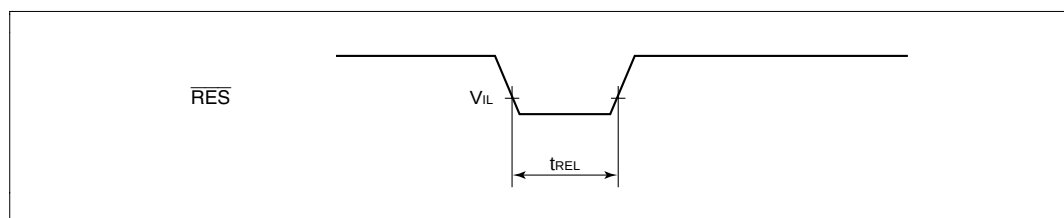


図 13.2 $\overline{\text{RES}}$ 端子"Low"レベル幅タイミング

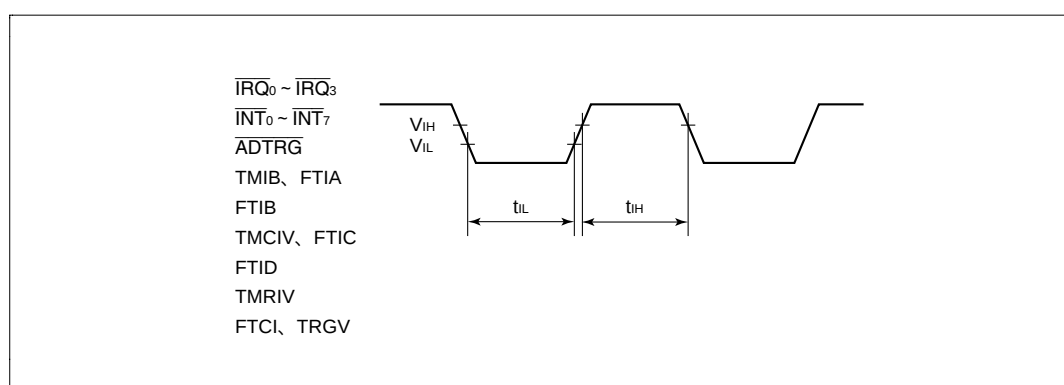


図 13.3 入力タイミング

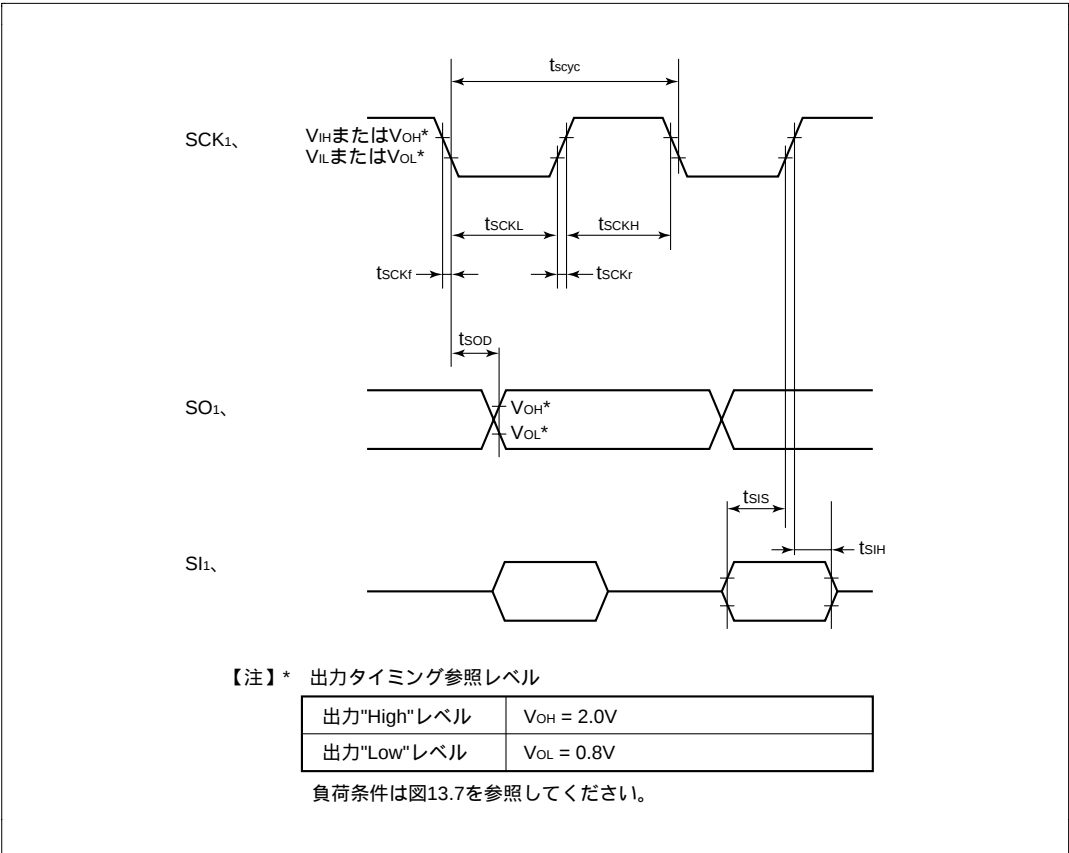


図 13.4 SCI1、SCI2 入出力タイミング

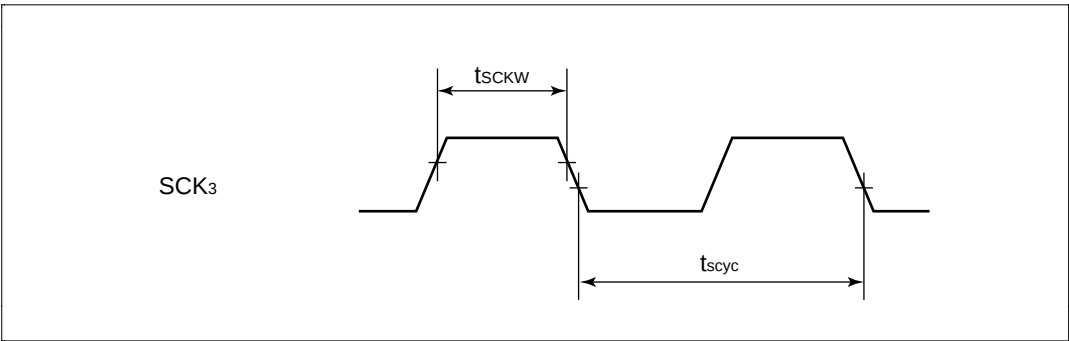


図 13.5 SCK₃入力クロックタイミング

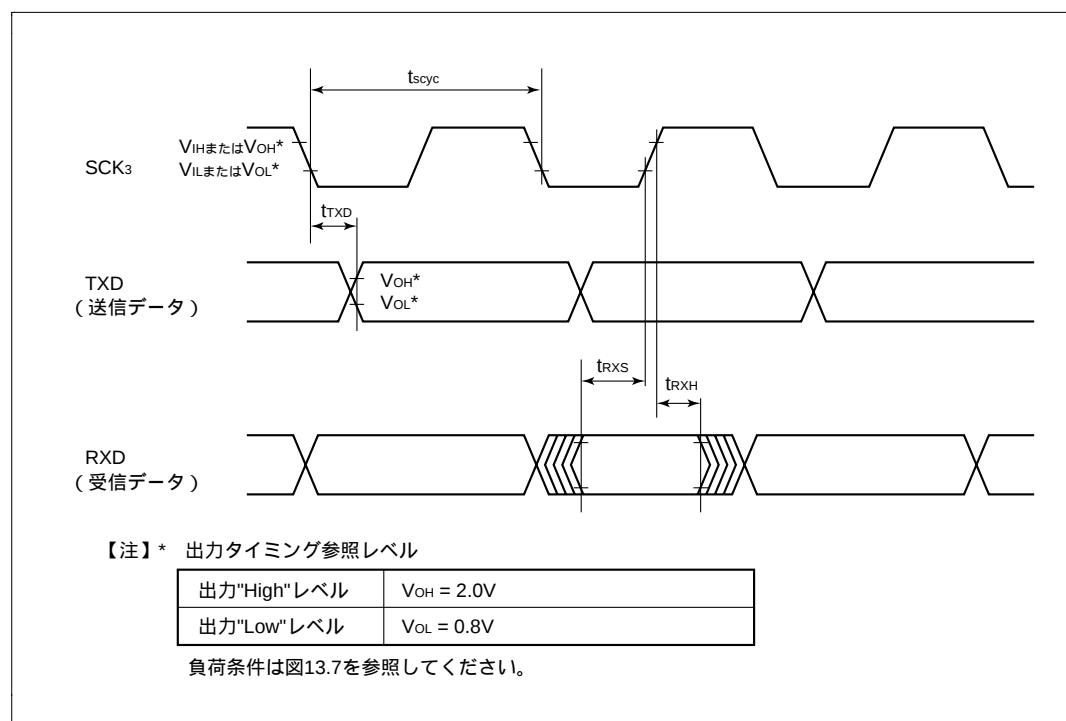


図 13.6 SCI3 クロック同期式モード入出力タイミング

13.4 出力負荷回路

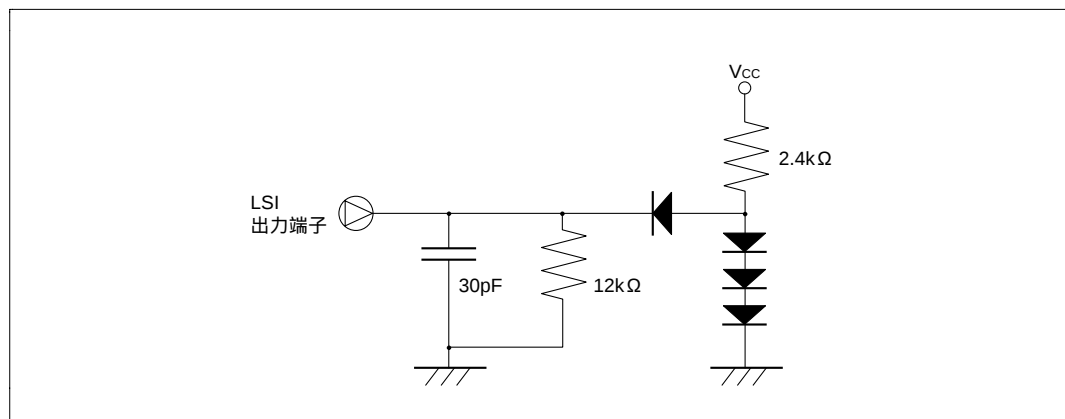


図 13.7 出力負荷条件

付録

付録 目次

A.	命令	357
	A.1 命令一覧.....	357
	A.2 オペレーションコードマップ.....	367
	A.3 命令実行ステート数.....	369
B.	内部 I/O レジスタ一覧.....	375
	B.1 アドレス一覧.....	375
	B.2 機能一覧.....	379
C.	I/O ポートブロック図	426
	C.1 ポート 1 ブロック図	426
	C.2 ポート 2 ブロック図	430
	C.3 ポート 3 ブロック図	433
	C.4 ポート 5 ブロック図	435
	C.5 ポート 6 ブロック図	437
	C.6 ポート 7 ブロック図	438
	C.7 ポート 8 ブロック図	440
	C.8 ポート 9 ブロック図	444
	C.9 ポート B ブロック図.....	445
D.	各処理状態におけるポートの状態.....	446
E.	ROM 発注手順	447
	E.1 ROM 書き換え品開発の流れ（発注手順）	447
	E.2 ROM 発注時の注意事項.....	448
F.	型名一覧.....	449
G.	外形寸法図	450

A. 命令

A.1 命令一覧

《オペレーションの記号》

Rd8/16	汎用レジスタ（デスティネーション側）8ビット / 16ビット
Rs8/16	汎用レジスタ（ソース側）8ビット / 16ビット
Rn8/16	汎用レジスタ 8ビット / 16ビット
CCR	コンディションコードレジスタ
N	CCRのN（ネガティブ）フラグ
Z	CCRのZ（ゼロ）フラグ
V	CCRのV（オーバフロー）フラグ
C	CCRのC（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#xx:3/8/16	イミディエイトデータ 3ビット / 8ビット / 16ビット
d:8/16	ディスプレースメント 8ビット / 16ビット
@aa:8/16	絶対アドレス 8ビット / 16ビット
+	加算
−	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
→	転送
−	論理的補数

《コンディションコードの記号》

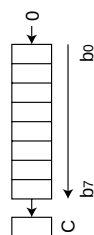
記号	
↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に"0"にクリアされることを表します。
—	実行結果に影響を受けないことを表します。

表 A.1 命令セット一覧

ニーモニック		サイズ	アドレッシングモード / 命令長 (バイト)										オペレーション	コンディショニングコード							実行 ステート 数
			#xx:8/16		Rn	@Rn	@ (d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@ (d:8, PC)	@@aa	I		H	N	Z	V	C			
MOV	MOV.B #xx:8, Rd	B	2									#xx:8 → Rd8	—	—	↑	↑	0	—	2		
	MOV.B Rs, Rd	B		2								Rs8 → Rd8	—	—	↑	↑	0	—	2		
	MOV.B @Rs, Rd	B			2							@Rs16 → Rd8	—	—	↑	↑	0	—	4		
	MOV.B @(d:16, Rs), Rd	B				4						@ (d:16, Rs16) → Rd8	—	—	↑	↑	0	—	6		
	MOV.B @Rs+, Rd	B					2					@Rs16 → Rd8 Rs16+1 → Rs16	—	—	↑	↑	0	—	6		
	MOV.B @aa:8, Rd	B						2				@aa:8 → Rd8	—	—	↑	↑	0	—	4		
	MOV.B @aa:16, Rd	B						4				@aa:16 → Rd8	—	—	↑	↑	0	—	6		
	MOV.B Rs, @Rd	B				2						Rs8 → @Rd16	—	—	↑	↑	0	—	4		
	MOV.B Rs, @(d:16, Rd)	B					4					Rs8 → @ (d:16, Rd16)	—	—	↑	↑	0	—	6		
	MOV.B Rs, @-Rd	B						2				Rd16-1 → Rd16 Rs8 → @Rd16	—	—	↑	↑	0	—	6		
	MOV.B Rs, @aa:8	B						2				Rs8 → @aa:8	—	—	↑	↑	0	—	4		
	MOV.B Rs, @aa:16	B						4				Rs8 → @aa:16	—	—	↑	↑	0	—	6		
	MOV.W #xx:16, Rd	W	4									#xx:16 → Rd	—	—	↑	↑	0	—	4		
	MOV.W Rs, Rd	W		2								Rs16 → Rd16	—	—	↑	↑	0	—	2		
	MOV.W @Rs, Rd	W			2							@Rs16 → Rd16	—	—	↑	↑	0	—	4		
	MOV.W @(d:16, Rs), Rd	W				4						@ (d:16, Rs16) → Rd16	—	—	↑	↑	0	—	6		
	MOV.W @Rs+, Rd	W					2					@Rs16 → Rd16 Rs16+2 → Rs16	—	—	↑	↑	0	—	6		
	MOV.W @aa:16, Rd	W						4				@aa:16 → Rd16	—	—	↑	↑	0	—	6		
	MOV.W Rs, @Rd	W				2						Rs16 → @Rd16	—	—	↑	↑	0	—	4		
	MOV.W Rs, @(d:16, Rd)	W					4					Rs16 → @ (d:16, Rd16)	—	—	↑	↑	0	—	6		

ニーモニック		サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション	コンディショニングコード							実行 スタート 数		
			#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)		@@aa	I	H	N	Z	V	C			
MOV	MOV.W Rs, @Rd	W					2									—	—	—	6	
	MOV.W Rs, @aa:16	W							4							—	—	—	6	
POP	POP Rd	W					2									—	—	—	6	
PUSH	PUSH Rs	W					2									—	—	—	6	
ADD	ADD.B #xx:8, Rd	B	2													—	—	—	2	
	ADD.B Rs, Rd	B		2												—	—	—	2	
ADDX	ADD.W Rs, Rd	W		2												—	—	—	2	
	ADDX.B #xx:8, Rd	B	2													—	—	—	2	
	ADDX.B Rs, Rd	B		2												—	—	—	2	
ADDS	ADDS.W #1, Rd	W		2												—	—	—	2	
	ADDS.W #2, Rd	W		2												—	—	—	2	
INC	INC.B Rd	B		2												—	—	—	2	
DAA	DAA.B Rd	B		2												—	*	↑	(3)	2
SUB	SUB.B Rs, Rd	B		2												—	↑	↑	↑	2
	SUB.W Rs, Rd	W		2												—	↑	↑	↑	2
SUBX	SUBX.B #xx:8, Rd	B	2													—	↑	↑	↑	2
	SUBX.B Rs, Rd	B		2												—	↑	↑	↑	2

ニーモニック		サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディショニングコード						実行 スタート 数			
			#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16		@(d:8, PC)	@@aa	I	H	N	Z		V	C	
SUBS	SUBS.W #1, Rd	W		2									—	—	—	—	2		
	SUBS.W #2, Rd	W		2									—	—	—	—	2		
DEC	DEC.B Rd	B		2									—	—	↑	↑	—	2	
DAS	DAS.B Rd	B		2									*	↑	↑	*	—	2	
NEG	NEG.B Rd	B		2									↑	↑	↑	↑	—	2	
CMP	CMP.B #xx:8, Rd	B	2										↑	↑	↑	↑	—	2	
	CMP.B Rs, Rd	B		2									↑	↑	↑	↑	—	2	
MULXU	CMP.W Rs, Rd	W		2									(1)	↑	↑	↑	—	2	
	MULXU.B Rs, Rd	B		2									—	—	—	—	—	14	
DIVXU	DIVXU.B Rs, Rd	B		2									—	—	(5)	(6)	—	—	14
	AND.B #xx:8, Rd	B	2										—	—	↑	↑	0	—	2
AND	AND.B Rs, Rd	B		2									—	—	↑	↑	0	—	2
	OR.B #xx:8, Rd	B	2										—	—	↑	↑	0	—	2
OR	OR.B Rs, Rd	B		2									—	—	↑	↑	0	—	2
	XOR.B #xx:8, Rd	B	2										—	—	↑	↑	0	—	2
XOR	XOR.B Rs, Rd	B		2									—	—	↑	↑	0	—	2
	NOT.B Rd	B		2									—	—	↑	↑	0	—	2
SHAL	SHAL.B Rd	B		2									—	—	↑	↑	↑	—	2



ニーモニック		サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディショニングコード					実行 ステート 数																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																							
			#xx:8/16	Rn	@Rn	@(d1:16, Rn)	@-Rn/@Rn+	@aa:8/16		@(d1:8, PC)	@@aa	I	H	N		Z	V	C																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																				
SHAR	SHAR.B Rd	B		2																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																		

ニーモニック		サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション	コンディショニングコード					実行 ステート 数	
			#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)		@aa	I	H	N	Z		V
BSET	BSET #xx:3, @aa:8	B							4								8
	BSET Rn, Rd	B		2													2
	BSET Rn, @Rd	B			4												8
	BSET Rn, @aa:8	B							4								8
BCLR	BCLR #xx:3, Rd	B		2													2
	BCLR #xx:3, @Rd	B			4												8
	BCLR #xx:3, @aa:8	B							4								8
	BCLR Rn, Rd	B		2													2
	BCLR Rn, @Rd	B			4												8
	BCLR Rn, @aa:8	B							4								8
BNOT	BNOT #xx:3, Rd	B		2													2
	BNOT #xx:3, @Rd	B			4												8
	BNOT #xx:3, @aa:8	B							4								8
	BNOT Rn, Rd	B		2													2
BTST	BNOT Rn, @Rd	B			4												8
	BNOT Rn, @aa:8	B							4								8
	BTST #xx:3, Rd	B		2													2
	BTST #xx:3, @Rd	B			4												6
	BTST #xx:3, @aa:8	B							4								6
	BTST Rn, Rd	B		2													2

ニーモニック		サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション	コンディショニングコード					実行 スタート 数
			#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)		@aa	I	H	N	Z	
BTST	BTST Rn, @Rd	B			4								↑	—	—	6
	BTST Rn, @aa:8	B							4				↑	—	—	6
BLD	BLD #xx:3, Rd	B		2									—	—	↑	2
	BLD #xx:3, @Rd	B			4								—	—	—	6
	BLD #xx:3, @aa:8	B							4				—	—	↑	6
	BILD #xx:3, Rd	B		2									—	—	↑	2
BILD	BILD #xx:3, @Rd	B			4								—	—	↑	6
	BILD #xx:3, @aa:8	B							4				—	—	↑	6
BST	BST #xx:3, Rd	B		2									—	—	—	2
	BST #xx:3, @Rd	B			4								—	—	—	8
	BST #xx:3, @aa:8	B							4				—	—	—	8
	BIST #xx:3, Rd	B		2									—	—	—	2
BIST	BIST #xx:3, @Rd	B			4								—	—	—	8
	BIST #xx:3, @aa:8	B							4				—	—	—	8
BAND	BAND #xx:3, Rd	B		2									—	—	↑	2
	BAND #xx:3, @Rd	B			4								—	—	↑	6
	BAND #xx:3, @aa:8	B							4				—	—	—	6
	BIAND #xx:3, Rd	B		2									—	—	↑	2
BIAND	BIAND #xx:3, @Rd	B			4								—	—	↑	6
	BIAND #xx:3, @aa:8	B							4				—	—	↑	6
BOR	BOR #xx:3, Rd	B		2									—	—	↑	2
	BOR #xx:3, @Rd	B			4								—	—	↑	6
	BOR #xx:3, @aa:8	B							4				—	—	↑	6

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション		コンディショニングコード							実行 ステート 数
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)	@@aa	—	I	H	N	Z	V	C	
BIOR	BIOR #xx:3, Rd	B	2								—	—	—	—	—	↑	2
	BIOR #xx:3, @Rd	B		4							—	—	—	—	—	↑	6
	BIOR #xx:3, @aa:8	B					4				—	—	—	—	—	↑	6
BXOR	BXOR #xx:3, Rd	B	2								—	—	—	—	—	↑	2
	BXOR #xx:3, @Rd	B		4							—	—	—	—	—	↑	6
	BXOR #xx:3, @aa:8	B					4				—	—	—	—	—	↑	6
BIXOR	BIXOR #xx:3, Rd	B	2								—	—	—	—	—	↑	2
	BIXOR #xx:3, @Rd	B		4							—	—	—	—	—	↑	6
	BIXOR #xx:3, @aa:8	B					4				—	—	—	—	—	↑	6
Bcc	BRA d:8 (BT d:8)	—						2			—	—	—	—	—	—	4
	BRN d:8 (BF d:8)	—						2			—	—	—	—	—	—	4
	BHI d:8	—						2			—	—	—	—	—	—	4
	BLS d:8	—						2			—	—	—	—	—	—	4
	BCC d:8 (BHS d:8)	—						2			—	—	—	—	—	—	4
	BCS d:8 (BLO d:8)	—						2			—	—	—	—	—	—	4
	BNE d:8	—						2			—	—	—	—	—	—	4
	BEQ d:8	—						2			—	—	—	—	—	—	4
	BVC d:8	—						2			—	—	—	—	—	—	4
	BVS d:8	—						2			—	—	—	—	—	—	4
	BPL d:8	—						2			—	—	—	—	—	—	4
	BMI d:8	—						2			—	—	—	—	—	—	4
	BGE d:8	—						2			—	—	—	—	—	—	4
	BLT d:8	—						2			—	—	—	—	—	—	4
	BGT d:8	—						2			—	—	—	—	—	—	4
	BLE d:8	—						2			—	—	—	—	—	—	4
											—	—	—	—	—	—	
											—	—	—	—	—	—	

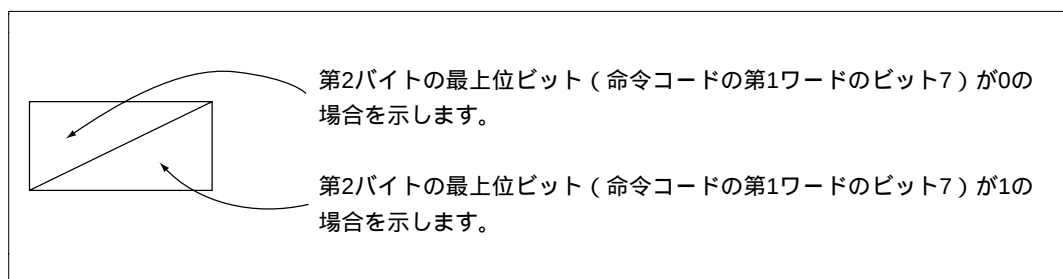
ニーモニック		サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション	コンディショニングコード						実行 ステート 数
			#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)		@@aa	I	H	N	Z	V	
JMP	JMP @Rn	—			2								—	—	—	—	4
	JMP @aa:16	—							4				—	—	—	—	6
	JMP @@aa:8	—									2		—	—	—	—	8
BSR	BSR d:8	—										2		—	—	—	6
JSR	JSR @Rn	—			2								—	—	—	—	6
	JSR @aa:16	—							4				—	—	—	—	8
		—											—	—	—	—	8
											2		—	—	—	—	
	JSR @@aa:8	—											—	—	—	—	
RTS	RTS	—											—	—	—	—	8
RTE	RTE	—											↑↑	↑↑	↑↑	↑↑	10

ニーモニック		サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション		コンディショニングコード							実行 スタート 数
			#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)	@@aa	—	I	H	N	Z	V	C		
SLEEP	SLEEP	—									2	—	—	—	—	—	—	—	2
LDC	LDC #xx:8, CCR	B	2									↑↑	↑↑	↑↑	↑↑	↑↑	↑↑	↑↑	2
	LDC Rs, CCR	B		2								↑↑	↑↑	↑↑	↑↑	↑↑	↑↑	↑↑	2
STC	STC CCR, Rd	B		2								—	—	—	—	—	—	—	2
ANDC	ANDC #xx:8, CCR	B	2									↑↑	↑↑	↑↑	↑↑	↑↑	↑↑	↑↑	2
ORC	ORC #xx:8, CCR	B	2									↑↑	↑↑	↑↑	↑↑	↑↑	↑↑	↑↑	2
XORC	XORC #xx:8, CCR	B	2									↑↑	↑↑	↑↑	↑↑	↑↑	↑↑	↑↑	2
NOP	NOP	—									2	—	—	—	—	—	—	—	2
EEPMOV	EEPMOV	—									4	—	—	—	—	—	—	—	(4)
												オペレーション							
												低消費電力状態に遷移							
												#xx:8 → CCR							
												Rs8 → CCR							
												CCR → Rd8							
												CCR #xx:8 → CCR							
												CCR #xx:8 → CCR							
												CCR ⊕ #xx:8 → CCR							
												PC ← PC+2							
												if R4L ≠ 0							
												Repeat @R5 → @R6							
												R5+1 → R5							
												R6+1 → R6							
												R4L-1 → R4L							
												Until R4L=0							
												else next;							

【注】 (1) : ビット11から桁上がりまたはビット11へ桁下がりが発生したとき"1"にセットされ、それ以外のとき"0"にクリアされます。
(2) : 演算結果がゼロのとき、演算前の値を保持し、それ以外のとき"0"にクリアされます。
(3) : 補正結果に桁上がりが発生したとき"1"にセットされ、それ以外のとき演算前の値を保持します。
(4) : 実行スタート数は、R4Lの設定値が n のとき $4n + 9$ となります。
(5) : 除数が負のとき"1"にセットされ、それ以外のとき"0"にクリアされます。
(6) : 除数がゼロのとき"1"にセットされ、それ以外のとき"0"にクリアされます。

A.2 オペレーションコードマップ

表 A.2 にオペレーションコードマップを示します。表 A.2 では、命令コードの第 1 バイト（第 1 ワードのビット 15～8）についてのみ示しています。



表A.2 オペレーションコードマップ

LO HI	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	SLEEP	STC	LDC	ORC	XORC	ANDC	LDC	ADD		INC	ADDS		MOV	ADDX	DAA
1	SHLL SHAL	SHLR SHAR	ROTXL ROTL	ROTXR ROTR	OR	XOR	AND	NOT NEG	SUB		DEC	SUBS		CMP	SUBX	DAS
2	MOV															
3																
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU			RTS	BSR	RTE			JMP				JSR		
6	BSET	BNOT	BCLR	BTST				BST	MOV*							
7			BCLR		BOR BIOR	BXOR BIXOR	BAND BIAND	BLT BILD		MOV		EEPMOV	ビット操作命令			
8	ADD															
9	ADDX															
A	CMP															
B	SUBX															
C	OR															
D	XOR															
E	AND															
F	MOV															

【注】 * PUSH、POP命令の機械語はMOV命令と同一です。

A.3 命令実行ステート数

H8/300L CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.4 に命令の実行状態として、命令実行中に行われる命令フェッチ、データリード / ライトなどのサイクル数を示し、表 A.3 に各々のサイクルに必要なステート数を示します。命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

■ 実行ステート数計算例

(例) 内蔵 ROM より命令をフェッチし、内蔵 RAM をアクセスした場合

1. BSET #0, @FF00

表 A.4 より

$$I = L = 2, J = K = M = N = 0$$

表 A.3 より

$$S_I = 2, S_L = 2$$

$$\text{実行ステート数} = 2 \times 2 + 2 \times 2 = 8$$

内蔵 ROM より命令をフェッチし、内蔵 ROM より分岐アドレスをリード、スタック領域は内蔵 RAM とした場合

2. JSR @@30

表 A.4 より

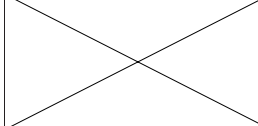
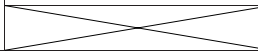
$$I = 2, J = K = 1, L = M = N = 0$$

表 A.3 より

$$S_I = S_J = S_K = 2$$

$$\text{実行ステート数} = 2 \times 2 + 1 \times 2 + 1 \times 2 = 8$$

表 A.3 実行状態 (サイクル) に要するステート数

実行状態（サイクル）		アクセス対象	
		内蔵メモリ	内蔵周辺モジュール
命令フェッチ	S _I	2	
分岐アドレスリード	S _J		
スタック操作	S _K		
バイトデータアクセス	S _L		2 または 3*
ワードデータアクセス	S _M		
内部動作	S _N	1	

【注】 * 内蔵周辺モジュールによって異なります。詳細は、「2.9.1 データアクセスに関する注意事項」を参照してください。

表 A.4 命令の実行状態（サイクル数）

命令	ニーモニック	命令 フェッチ	分岐アドレ スリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W Rs, Rd	1					
ADDS	ADDS.W #1, Rd	1					
	ADDS.W #2, Rd	1					
ADDX	ADDX.B #xx:8, Rd	1					
	ADDX.B Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @Rd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					
	BLE d:8	2					
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @Rd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @Rd	2			2		
	BCLR Rn, @aa:8	2			2		

命令	ニーモニック	命令 フェッチ	分岐アドレ スリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部動作
		I	J	K	L	M	N
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @Rd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @Rd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:3, Rd	1					
	BIOR #xx:3, @Rd	2			1		
	BIOR #xx:3, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @Rd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @Rd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @Rd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @Rd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @Rd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @Rd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @Rd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @Rd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	2		1			
BST	BST #xx:3, Rd	1					
	BST #xx:3, @Rd	2			2		
	BST #xx:3, @aa:8	2			2		

命令	ニーモニック	命令 フェッチ	分岐アドレ スリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部動作
		I	J	K	L	M	N
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @Rd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @Rd	2			1		
	BTST Rn, @aa:8	2			1		
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @Rd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W Rs, Rd	1					
DAA	DAA.B Rd	1					
DAS	DAS.B Rd	1					
DEC	DEC.B Rd	1					
DIVXU	DIVXU.B Rs, Rd	1					12
EEPMOV	EEPMOV	2			2n + 2*		1
INC	INC.B Rd	1					
JMP	JMP @Rn	2					
	JMP @aa:16	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @Rn	2		1			
	JSR @aa:16	2		1			2
	JSR @@aa:8	2	1	1			
LDC	LDC #xx:8, CCR	1					
	LDC Rs, CCR	1					
MOV	MOV.B #xx:8, Rd	1					
	MOV.B Rs, Rd	1					
	MOV.B @Rs, Rd	1		1			
	MOV.B @(d:16, Rs), Rd	2		1			
	MOV.B @Rs+, Rd	1		1			2
	MOV.B @aa:8, Rd	1		1			
	MOV.B @aa:16, Rd	2		1			

命令	ニーモニック	命令 フェッチ	分岐アドレ スリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部動作
命令	ニーモニック	I	J	K	L	M	N
MOV	MOV.B Rs, @Rd	1			1		2
	MOV.B Rs, @(d:16, Rd)	2			1		
	MOV.B Rs, @-Rd	1			1		
	MOV.B Rs, @aa:8	1			1		
	MOV.B Rs, @aa:16	2			1		
	MOV.W #xx:16, Rd	2					
	MOV.W Rs, Rd	1					2
	MOV.W @Rs, Rd	1				1	
	MOV.W @(d:16s), Rd	2				1	
	MOV.W @Rs+, Rd	1				1	
	MOV.W @aa:16, Rd	2				1	
	MOV.W Rs, @Rd	1				1	
	MOV.W Rs, @(d:16d)	2				1	2
	MOV.W Rs, @-Rd	1				1	
	MOV.W Rs, @aa:16	2				1	
MULXU	MULXU.B Rs, Rd	1					12
NEG	NEG.B Rd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
OR	OR.B #xx:8, Rd	1					
	OR.B Rs, Rd	1					
ORC	ORC #xx:8, CCR	1					
ROTL	ROTL.B Rd	1					
ROTR	ROTR.B Rd	1					
ROTXL	ROTXL.B Rd	1					
ROTXR	ROTXR.B Rd	1					
RTE	RTE	2		2			2
RTS	RTS	2		1			2
SHAL	SHAL.B Rd	1					
SHAR	SHAR.B Rd	1					
SHLL	SHLL.B Rd	1					
SHLR	SHLR.B Rd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
SUB	SUB.B Rs, Rd	1					
	SUB.W Rs, Rd	1					
SUBS	SUBS.W #1, Rd	1					
	SUBS.W #2, Rd	1					

命令	ニーモニック	命令 フェッチ	分岐アドレ スリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部動作
		I	J	K	L	M	N
POP	POP Rd	1		1			2
PUSH	PUSH Rs	1		1			2
SUBX	SUBX.B #xx:8, Rd	1					
	SUBX.B Rs, Rd	1					
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
XORC	XORC #xx:8, CCR	1					

【注】 * n は R4L の設定値です。ソース側、デスティネーション側のアクセスが、それぞれ (n + 1) 回行われます。

B. 内部 I/O レジスタ一覧

B.1 アドレス一覧

アドレス	レジスタ名	ビット名								モジュール名
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'F740										
H'F741										
H'F742										
H'F743										
H'F744										
H'F770	TIER	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	—	タイム X
H'F771	TCSRX	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA	
H'F772	FRCH	FRCH7	FRCH6	FRCH5	FRCH4	FRCH3	FRCH2	FRCH1	FRCH0	
H'F773	FRCL	FRCL7	FRCL6	FRCL5	FRCL4	FRCL3	FRCL2	FRCL1	FRCL0	
H'F774	OCRAH/ OCRBH	OCRAH7/ OCRBH7	OCRAH6/ OCRBH6	OCRAH5/ OCRBH5	OCRAH4/ OCRBH4	OCRAH3/ OCRBH3	OCRAH2/ OCRBH2	OCRAH1/ OCRBH1	OCRAH0/ OCRBH0	
H'F775	OCRAL/ OCRBL	OCRAL7/ OCRBL7	OCRAL6/ OCRBL6	OCRAL5/ OCRBL5	OCRAL4/ OCRBL4	OCRAL3/ OCRBL3	OCRAL2/ OCRBL2	OCRAL1/ OCRBL1	OCRAL0/ OCRBL0	
H'F776	TCRX	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0	
H'F777	TOCR	—	—	—	OCRS	OEA	OEB	OLVLA	OLVLB	
H'F778	ICRAH	ICRAH7	ICRAH6	ICRAH5	ICRAH4	ICRAH3	ICRAH2	ICRAH1	ICRAH0	
H'F779	ICRAL	ICRAL7	ICRAL6	ICRAL5	ICRAL4	ICRAL3	ICRAL2	ICRAL1	ICRAL0	
H'F77A	ICRBH	ICRBH7	ICRBH6	ICRBH5	ICRBH4	ICRBH3	ICRBH2	ICRBH1	ICRBH0	
H'F77B	ICRBL	ICRBL7	ICRBL6	ICRBL5	ICRBL4	ICRBL3	ICRBL2	ICRBL1	ICRBL0	
H'F77C	ICRCH	ICRCH7	ICRCH6	ICRCH5	ICRCH4	ICRCH3	ICRCH2	ICRCH1	ICRCH0	
H'F77D	ICRCL	ICRCL7	ICRCL6	ICRCL5	ICRCL4	ICRCL3	ICRCL2	ICRCL1	ICRCL0	
H'F77E	ICRDH	ICRDH7	ICRDH6	ICRDH5	ICRDH4	ICRDH3	ICRDH2	ICRDH1	ICRDH0	
H'F77F	ICRDL	ICRDL7	ICRDL6	ICRDL5	ICRDL4	ICRDL3	ICRDL2	ICRDL1	ICRDL0	
H'FFA0	SCR1	SNC1	SNC0	MRKON	LTCH	CKS3	CKS2	CKS1	CKS0	SCI1
H'FFA1	SCSR1	—	SOL	ORER	—	—	—	MTRF	STF	
H'FFA2	SDRU	SDRU7	SDRU6	SDRU5	SDRU4	SDRU3	SDRU2	SDRU1	SDRU0	
H'FFA3	SDRL	SDRL7	SDRL6	SDRL5	SDRL4	SDRL3	SDRL2	SDRL1	SDRL0	
H'FFA4										
H'FFA5										
H'FFA6										
H'FFA7										

アドレス	レジスタ名	ビット名								モジュール名
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'FFA8	SMR	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	SCI3
H'FFA9	BRR	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	
H'FFAA	SCR3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFAB	TDR	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	
H'FFAC	SSR	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
H'FFAD	RDR	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
H'FFAE										
H'FFAF										
H'FFB0	TMA	TMA7	TMA6	TMA5	—	TMA3	TMA2	TMA1	TMA0	タイマ A
H'FFB1	TCA	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0	
H'FFB2	TMB1	TMB17	—	—	—	—	TMB12	TMB11	TMB10	タイマ B1
H'FFB3	TCB1/TLB1	TCB17/ TLB17	TCB16/ TLB16	TCB15/ TLB15	TCB14/ TLB14	TCB13/ TLB13	TCB12/ TLB12	TCB11/ TLB11	TCB10/ TLB10	
H'FFB4										
H'FFB5										
H'FFB6										
H'FFB7										
H'FFB8	TCRV0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	タイマ V
H'FFB9	TCSRv	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	
H'FFBA	TCORA	TCORA7	TCORA6	TCORA5	TCORA4	TCORA3	TCORA2	TCORA1	TCORA0	
H'FFBB	TCORB	TCORB7	TCORB6	TCORB5	TCORB4	TCORB3	TCORB2	TCORB1	TCORB0	
H'FFBC	TCNTV	TCNTV7	TCNTV6	TCNTV5	TCNTV4	TCNTV3	TCNTV2	TCNTV1	TCNTV0	
H'FFBD	TCRV1	—	—	—	TVEG1	TVEG0	TRGE	—	ICKS0	
H'FFBE	TCSRw	B6WI	TCWE	B4WI	TCSRWE	B2WI	WDON	B0WI	WRST	ウォッチ
H'FFBF	TCW	TCW7	TCW6	TCW5	TCW4	TCW3	TCW2	TCW1	TCW0	ドッグタイマ
H'FFC0										
H'FFC1										
H'FFC2										
H'FFC3										
H'FFC4	AMR	CKS	TRGE	—	—	CH3	CH2	CH1	CH0	A/D 変換器
H'FFC5	ADRR	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0	
H'FFC6	ADSR	ADSF	—	—	—	—	—	—	—	
H'FFC7										
H'FFC8										
H'FFC9										
H'FFCA										
H'FFCB										

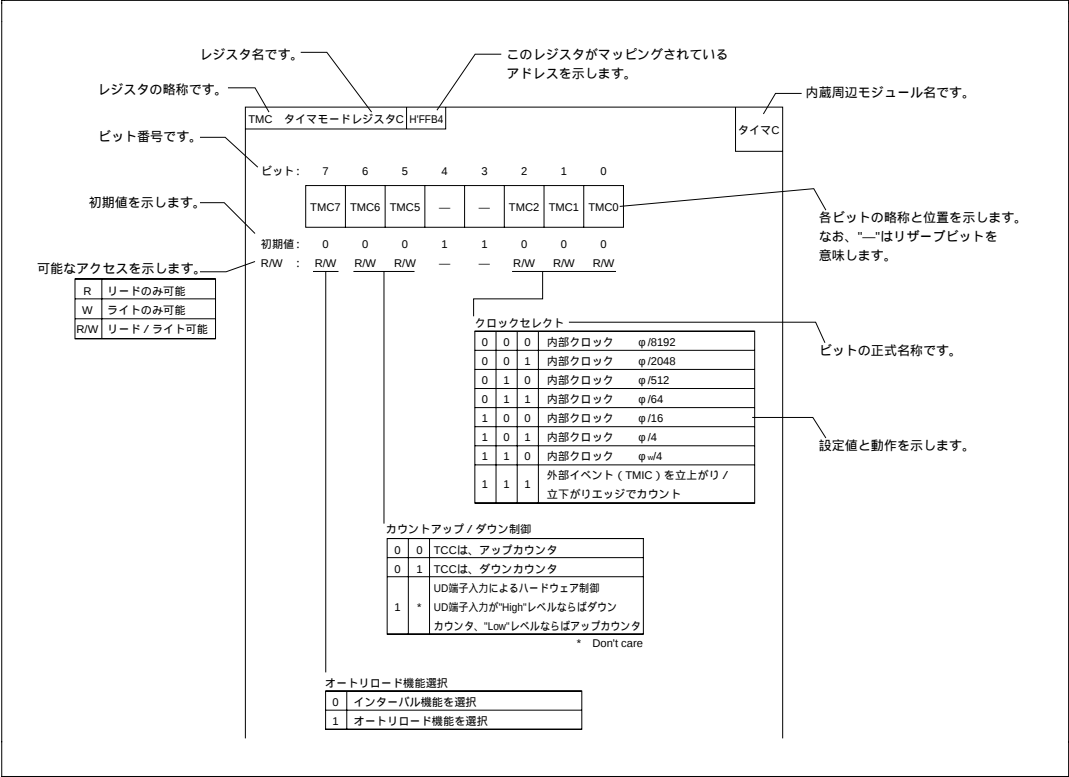
アドレス	レジスタ名	ビット名								モジュール名
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'FFCC										
H'FFCD										
H'FFCE										
H'FFCF										
H'FFD0	PWCR	—	—	—	—	—	—	—	PWCR0	14 ビット
H'FFD1	PWDRU	—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0	PWM
H'FFD2	PWDRL	PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0	
H'FFD3										
H'FFD4	PDR1	P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀	I/O ポート
H'FFD5	PDR2	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀	
H'FFD6	PDR3	—	—	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀	
H'FFD7										
H'FFD8	PDR5	P5 ₇	P5 ₆	P5 ₅	P5 ₄	P5 ₃	P5 ₂	P5 ₁	P5 ₀	
H'FFD9	PDR6	P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀	
H'FFDA	PDR7	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀	
H'FFDB	PDR8	P8 ₇	P8 ₆	P8 ₅	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀	
H'FFDC	PDR9	—	—	—	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀	
H'FFDD	PDRB	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀	
H'FFDE										
H'FFDF										
H'FFE0										I/O ポート
H'FFE1										
H'FFE2										
H'FFE3										
H'FFE4	PCR1	PCR1 ₇	PCR1 ₆	PCR1 ₅	PCR1 ₄	PCR1 ₃	PCR1 ₂	PCR1 ₁	PCR1 ₀	
H'FFE5	PCR2	PCR2 ₇	PCR2 ₆	PCR2 ₅	PCR2 ₄	PCR2 ₃	PCR2 ₂	PCR2 ₁	PCR2 ₀	
H'FFE6	PCR3	—	—	PCR3 ₅	PCR3 ₄	PCR3 ₃	PCR3 ₂	PCR3 ₁	PCR3 ₀	
H'FFE7										
H'FFE8	PCR5	PCR5 ₇	PCR5 ₆	PCR5 ₅	PCR5 ₄	PCR5 ₃	PCR5 ₂	PCR5 ₁	PCR5 ₀	
H'FFE9	PCR6	PCR6 ₇	PCR6 ₆	PCR6 ₅	PCR6 ₄	PCR6 ₃	PCR6 ₂	PCR6 ₁	PCR6 ₀	
H'FFEA	PCR7	PCR7 ₇	PCR7 ₆	PCR7 ₅	PCR7 ₄	PCR7 ₃	PCR7 ₂	PCR7 ₁	PCR7 ₀	
H'FFEB	PCR8	PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀	
H'FFEC	PCR9	—	—	—	PCR9 ₄	PCR9 ₃	PCR9 ₂	PCR9 ₁	PCR9 ₀	
H'FFED	PUCR1	PUCR1 ₇	PUCR1 ₆	PUCR1 ₅	PUCR1 ₄	PUCR1 ₃	PUCR1 ₂	PUCR1 ₁	PUCR1 ₀	
H'FFEE	PUCR3	—	—	PUCR3 ₅	PUCR3 ₄	PUCR3 ₃	PUCR3 ₂	PUCR3 ₁	PUCR3 ₀	
H'FFEF	PUCR5	PUCR5 ₇	PUCR5 ₆	PUCR5 ₅	PUCR5 ₄	PUCR5 ₃	PUCR5 ₂	PUCR5 ₁	PUCR5 ₀	

アドレス	レジスタ名	ビット名								モジュール名
		ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
H'FFF0	SYSCR1	SSBY	STS2	STS1	STS0	LSON	—	MA1	MA0	システム コントロール
H'FFF1	SYSCR2	—	—	—	NESEL	DTON	MSON	SA1	SA0	
H'FFF2	IEGR1	—	—	—	—	IEG3	IEG2	IEG1	IEG0	
H'FFF3	IEGR2	INTEG7	INTEG6	INTEG5	INTEG4	INTEG3	INTEG2	INTEG1	INTEG0	
H'FFF4	IENR1	IENRB1	IENRA	—	—	IEN3	IEN2	IEN1	IEN0	
H'FFF5	IENR2	IENDT	IENAD	—	IENS1	—	—	—	—	
H'FFF6	IENR3	INTEN7	INTEN6	INTEN5	INTEN4	INTEN3	INTEN2	INTEN1	INTEN0	
H'FFF7	IRR1	IRRTB1	IRRTA	—	—	IRRI3	IRRI2	IRRI1	IRRI0	
H'FFF8	IRR2	IRRD1	IRRAD	—	IRRS1	—	—	—	—	
H'FFF9	IRR3	INTF7	INTF6	INTF5	INTF4	INTF3	INTF2	INTF1	INTF0	
H'FFFA										
H'FFFB										
H'FFFC	PMR1	IRQ3	IRQ2	IRQ1	PWM	—	—	—	TMOW	I/O ポート
H'FFFD	PMR3	—	—	—	—	—	SO1	SI1	SCK1	
H'FFFE										
H'FFFF	PMR7	—	—	—	—	—	TXD	—	POF1	I/O ポート

《記号説明》

SCI1 : シリアルコミュニケーションインタフェース 1

B.2 機能一覧



TIER タイマインタラプトイネーブルレジスタ

H'F770

タイマX

ビット : 7 6 5 4 3 2 1 0

ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	—
-------	-------	-------	-------	-------	-------	------	---

初期値 : 0 0 0 0 0 0 0 1

R/W : R/W R/W R/W R/W R/W R/W R/W —

タイマオーバーフロー割込みイネーブル

0	OVFによる割込み要求 (FOVI) を禁止
1	OVFによる割込み要求 (FOVI) を許可

アウトプットコンペア割込みBイネーブル

0	OCFBによる割込み要求 (OCIB) を禁止
1	OCFBによる割込み要求 (OCIB) を許可

アウトプットコンペア割込みAイネーブル

0	OCFAによる割込み要求 (OCIA) を禁止
1	OCFAによる割込み要求 (OCIA) を許可

インプットキャプチャ割込みDイネーブル

0	ICFDによる割込み要求 (ICID) を禁止
1	ICFDによる割込み要求 (ICID) を許可

インプットキャプチャ割込みCイネーブル

0	ICFCによる割込み要求 (ICIC) を禁止
1	ICFCによる割込み要求 (ICIC) を許可

インプットキャプチャ割込みBイネーブル

0	ICFBによる割込み要求 (ICIB) を禁止
1	ICFBによる割込み要求 (ICIB) を許可

インプットキャプチャ割込みAイネーブル

0	ICFAによる割込み要求 (ICIA) を禁止
1	ICFAによる割込み要求 (ICIA) を許可

TCSRX タイマコントロール / ステータスレジスタX					H'F771		タイムX								
ビット： 7 6 5 4 3 2 1 0															
ICFA		ICFB		ICFC		ICFD		OCFA		OCFB		OVF		CCLRA	
初期値： 0 0 0 0 0 0 0 0															
R/W : R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/W															
									カウタクリアA						
									0 コンペアマッチAによるFRCのクリアを禁止						
									1 コンペアマッチAによるFRCのクリアを許可						
									タイマオーバーフロー						
									0 [クリア条件] OVF="1"の状態、OVFをリードした後、OVFに "0"をライトしたとき						
									1 [セット条件] FRCの値がH'FFFF→H'0000になったとき						
									アウトプットコンペアフラグB						
									0 [クリア条件] OCFB="1"の状態、OCFBをリードした後、OCFBに "0"をライトしたとき						
									1 [セット条件] FRCとOCRBがコンペアマッチしたとき						
									アウトプットコンペアフラグA						
									0 [クリア条件] OCFA="1"の状態、OCFAをリードした後、OCFAに "0"をライトしたとき						
									1 [セット条件] FRCとOCRAがAコンペアマッチしたとき						
									インプットキャプチャフラグD						
									0 [クリア条件] ICFD="1"の状態、ICFDをリードした後、ICFDに "0"をライトしたとき						
									1 [セット条件] インプットキャプチャ信号が発生したとき						
									インプットキャプチャフラグC						
									0 [クリア条件] ICFC="1"の状態、ICFCをリードした後、ICFCに "0"をライトしたとき						
									1 [セット条件] インプットキャプチャ信号が発生したとき						
									インプットキャプチャフラグB						
									0 [クリア条件] ICFB="1"の状態、ICFBをリードした後、ICFBに"0"をライト したとき						
									1 [セット条件] インプットキャプチャ信号により、FRCの値がICRBに転送されたとき						
									インプットキャプチャフラグA						
									0 [クリア条件] ICFA="1"の状態、ICFAをリードした後、ICFAに"0"をライト したとき						
									1 [セット条件] インプットキャプチャ信号により、FRCの値がICRAに転送されたとき						
【注】*フラグをクリアする ための"0"ライトのみ 可能です。															

FRCH フリーランニングカウンタH		H'F772	タイマX								
ビット： 7 6 5 4 3 2 1 0 <table><tr><td>FRCH7</td><td>FRCH6</td><td>FRCH5</td><td>FRCH4</td><td>FRCH3</td><td>FRCH2</td><td>FRCH1</td><td>FRCH0</td></tr></table> 初期値： 0 0 0 0 0 0 0 R/W : R/W R/W R/W R/W R/W R/W R/W				FRCH7	FRCH6	FRCH5	FRCH4	FRCH3	FRCH2	FRCH1	FRCH0
FRCH7	FRCH6	FRCH5	FRCH4	FRCH3	FRCH2	FRCH1	FRCH0				

OCRAL アウトプットコンペアレジスタAL		H'F775		タイムX											
ビット： 7 6 5 4 3 2 1 0															
OCRAL7		OCRAL6		OCRAL5		OCRAL4		OCRAL3		OCRAL2		OCRAL1		OCRAL0	
初期値： 1 1 1 1 1 1 1 1															
R/W : R/W R/W R/W R/W R/W R/W R/W															

OCRBL アウトプットコンペアレジスタBL		H'F775		タイムX											
ビット： 7 6 5 4 3 2 1 0															
OCRBL7		OCRBL6		OCRBL5		OCRBL4		OCRBL3		OCRBL2		OCRBL1		OCRBL0	
初期値： 1 1 1 1 1 1 1 1															
R/W : R/W R/W R/W R/W R/W R/W R/W															

TCRX タイマコントロールレジスタX

H'F776

タイマX

ビット： 7 6 5 4 3 2 1 0

IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0
-------	-------	-------	-------	-------	-------	------	------

初期値： 0 0 0 0 0 0 0 0

R/W： R/W R/W R/W R/W R/W R/W R/W

クロックセレクト

0	0	内部クロック：φ/2でカウント
0	1	内部クロック：φ/8でカウント
1	0	内部クロック：φ/32でカウント
1	1	内部クロック：立ち上がりエッジでカウント

バッファイネーブルB

0	ICRDをICRBのバッファレジスタとして使用しない
1	ICRDをOCRBのバッファレジスタとして使用する

バッファイネーブルA

0	ICRCをICRAのバッファレジスタとして使用しない
1	ICRCをOCRAのバッファレジスタとして使用する

インプットエッジセレクトD

0	インプットキャプチャ入力Dの立ち下がりエッジでキャプチャ
1	インプットキャプチャ入力Dの立ち上がりエッジでキャプチャ

インプットエッジセレクトC

0	インプットキャプチャ入力Cの立ち下がりエッジでキャプチャ
1	インプットキャプチャ入力Cの立ち上がりエッジでキャプチャ

インプットエッジセレクトB

0	インプットキャプチャ入力Bの立ち下がりエッジでキャプチャ
1	インプットキャプチャ入力Bの立ち上がりエッジでキャプチャ

インプットエッジセレクトA

0	インプットキャプチャ入力Aの立ち下がりエッジでキャプチャ
1	インプットキャプチャ入力Aの立ち上がりエッジでキャプチャ

TOCR タイマアウトプットコンペアコントロールレジスタ					H'F777			タイマX	
ビット： 7 6 5 4 3 2 1 0									

ICRAH インプットキャプチャレジスタH		H'F778	タイムX								
ビット： 7 6 5 4 3 2 1 0											
<table><tr><td>ICRAH7</td><td>ICRAH6</td><td>ICRAH5</td><td>ICRAH4</td><td>ICRAH3</td><td>ICRAH2</td><td>ICRAH1</td><td>ICRAH0</td></tr></table>				ICRAH7	ICRAH6	ICRAH5	ICRAH4	ICRAH3	ICRAH2	ICRAH1	ICRAH0
ICRAH7	ICRAH6	ICRAH5	ICRAH4	ICRAH3	ICRAH2	ICRAH1	ICRAH0				
初期値： 0 0 0 0 0 0 0 0											
R/W : R R R R R R R R											
ICRAL インプットキャプチャレジスタL		H'F779	タイムX								
ビット： 7 6 5 4 3 2 1 0											
<table><tr><td>ICRAL7</td><td>ICRAL6</td><td>ICRAL5</td><td>ICRAL4</td><td>ICRAL3</td><td>ICRAL2</td><td>ICRAL1</td><td>ICRAL0</td></tr></table>				ICRAL7	ICRAL6	ICRAL5	ICRAL4	ICRAL3	ICRAL2	ICRAL1	ICRAL0
ICRAL7	ICRAL6	ICRAL5	ICRAL4	ICRAL3	ICRAL2	ICRAL1	ICRAL0				
初期値： 0 0 0 0 0 0 0 0											
R/W : R R R R R R R R											
ICRBH インプットキャプチャレジスタBH		H'F77A	タイムX								
ビット： 7 6 5 4 3 2 1 0											
<table><tr><td>ICRBH7</td><td>ICRBH6</td><td>ICRBH5</td><td>ICRBH4</td><td>ICRBH3</td><td>ICRBH2</td><td>ICRBH1</td><td>ICRBH0</td></tr></table>				ICRBH7	ICRBH6	ICRBH5	ICRBH4	ICRBH3	ICRBH2	ICRBH1	ICRBH0
ICRBH7	ICRBH6	ICRBH5	ICRBH4	ICRBH3	ICRBH2	ICRBH1	ICRBH0				
初期値： 0 0 0 0 0 0 0 0											
R/W : R R R R R R R R											
ICRBL インプットキャプチャレジスタBL		H'F77B	タイムX								
ビット： 7 6 5 4 3 2 1 0											
<table><tr><td>ICRBL7</td><td>ICRBL6</td><td>ICRBL5</td><td>ICRBL4</td><td>ICRBL3</td><td>ICRBL2</td><td>ICRBL1</td><td>ICRBL0</td></tr></table>				ICRBL7	ICRBL6	ICRBL5	ICRBL4	ICRBL3	ICRBL2	ICRBL1	ICRBL0
ICRBL7	ICRBL6	ICRBL5	ICRBL4	ICRBL3	ICRBL2	ICRBL1	ICRBL0				
初期値： 0 0 0 0 0 0 0 0											
R/W : R R R R R R R R											

ICRCH インプットキャプチャレジスタCH		H'F77C		タイムX					
ビット：		7	6	5	4	3	2	1	0
		ICRCH7	ICRCH6	ICRCH5	ICRCH4	ICRCH3	ICRCH2	ICRCH1	ICRCH0
初期値：		0	0	0	0	0	0	0	0
R/W：		R	R	R	R	R	R	R	R

ICRCL インプットキャプチャレジスタCL		H'F77D		タイムX					
ビット：		7	6	5	4	3	2	1	0
		ICRCL7	ICRCL6	ICRCL5	ICRCL4	ICRCL3	ICRCL2	ICRCL1	ICRCL0
初期値：		0	0	0	0	0	0	0	0
R/W：		R	R	R	R	R	R	R	R

ICRDH インプットキャプチャレジスタDH		H'F77E		タイムX					
ビット：		7	6	5	4	3	2	1	0
		ICRDH7	ICRDH6	ICRDH5	ICRDH4	ICRDH3	ICRDH2	ICRDH1	ICRDH0
初期値：		0	0	0	0	0	0	0	0
R/W：		R	R	R	R	R	R	R	R

ICRDL インプットキャプチャレジスタDL		H'F77F		タイムX					
ビット：		7	6	5	4	3	2	1	0
		ICRDL7	ICRDL6	ICRDL5	ICRDL4	ICRDL3	ICRDL2	ICRDL1	ICRDL0
初期値：		0	0	0	0	0	0	0	0
R/W：		R	R	R	R	R	R	R	R

SCSR1 シリアルコントロールステータスレジスタ

H'FFA1

SCI1

ビット : 7 6 5 4 3 2 1 0

—	SOL	ORER	—	—	—	MTRF	STF
---	-----	------	---	---	---	------	-----

初期値 : 1 0 0 1 1 1 0 0

R/W : — R/W R/(W)* — — — R R/W

スタートフラグ

0	リード時	転送動作は停止
	ライト時	無効
1	リード時	転送動作中
	ライト時	転送動作を開始

TAIL MARK送信フラグ

0	転送待ち状態および8ビットまたは16ビットデータ転送中
1	TAIL MARK送信中

オーバランエラーフラグ

0	〔クリア条件〕	
	"1"をリード後、"0"をライトしたとき	
1	〔セット条件〕	
	外部クロック使用時、転送完了後もクロックが入力されたとき	

拡張データビット

0	リード時	SO ₁ 端子出力が"Low"レベル
	ライト時	SO ₁ 端子出力を"Low"レベルに変更
1	リード時	SO ₁ 端子出力が"High"レベル
	ライト時	SO ₁ 端子出力を"High"レベルに変更

【注】 * フラグをクリアするための"0"ライトのみ可能

SDRU シリアルデータレジスタU		H'FFA2		SCI1					
ビット：		7	6	5	4	3	2	1	0
		SDRU7	SDRU6	SDRU5	SDRU4	SDRU3	SDRU2	SDRU1	SDRU0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
送信データの設定、受信データの格納に使用 8ビット転送モード：未使用 16ビット転送モード：データレジスタ上位8ビット									

SDRL シリアルデータレジスタL		H'FFA3		SCI1					
ビット：		7	6	5	4	3	2	1	0
		SDRL7	SDRL6	SDRL5	SDRL4	SDRL3	SDRL2	SDRL1	SDRL0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
送信データの設定、受信データの格納に使用 8ビット転送モード：データレジスタ 16ビット転送モード：データレジスタ下位8ビット									

SMR シリアルモードレジスタ					H'FFA8			SCI3									
ビット： 7 6 5 4 3 2 1 0																	
		COM		CHR		PE		PM		STOP		MP		CKS1		CKS0	
初期値：		0		0		0		0		0		0		0		0	
R/W：		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
										クロックセレクト1、0							
										0		0		φ クロック			
										0		1		φ/4クロック			
										1		0		φ/16クロック			
										1		1		φ/64クロック			
										マルチプロセッサモード							
										0		マルチプロセッサ通信機能を禁止					
										1		マルチプロセッサ通信機能を許可					
										ストップビットレングス							
										0		1ストップビット					
										1		2ストップビット					
										パリティモード							
										0		偶数パリティ					
										1		奇数パリティ					
										パリティイネーブル							
										0		パリティビットの付加およびチェックを禁止					
										1		パリティビットの付加およびチェックを許可					
										キャラクタレングス							
										0		8ビットデータ					
										1		7ビットデータ					
										コミュニケーションモード							
										0		調歩同期式モード					
										1		クロック同期式モード					

BRR ビットレートレジスタ					H'FFA9			SCI3									
ビット： 7 6 5 4 3 2 1 0																	
		BRR7		BRR6		BRR5		BRR4		BRR3		BRR2		BRR1		BRR0	
初期値：		1		1		1		1		1		1		1		1	
R/W：		R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	

SCR3 シリアルコントロールレジスタ3

H'FFAA

SCI3

ビット : 7 6 5 4 3 2 1 0

TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
-----	-----	----	----	------	------	------	------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

クロックイネーブル

ビット1	ビット0	説 明		
CKE1	CKE0	コミュニケーションモード	クロックソース	SCK ₃ 端子機能
0	0	調歩同期式	内部クロック	入出力ポート
		クロック同期式	内部クロック	同期クロック出力
0	1	調歩同期式	内部クロック	クロック出力
		クロック同期式	リザーブ (本組み合わせは指定しない)	
1	0	調歩同期式	外部クロック	クロック入力
		クロック同期式	外部クロック	同期クロック入力
1	1	調歩同期式	リザーブ (本組み合わせは指定しない)	
		クロック同期式	リザーブ (本組み合わせは指定しない)	

トランスミットエンドインタラプトイネーブル

0	送信終了割り込み要求 (TEI) を禁止
1	送信終了割り込み要求 (TEI) を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割り込み要求を禁止 (通常の受信動作) 〔クリア条件〕 マルチプロセッサビットが"1"のデータを受信したとき
1	マルチプロセッサ割り込み要求を許可 マルチプロセッサビットが"1"のデータを受け取るまで受信割り込み 要求 (RXI)、受信エラー割り込み要求 (ERI)、および、シリアル ステータスレジスタ (SSR) のRDRF、FER、OERの各フラグ のセットを禁止

レーシブイネーブル

0	信動作を禁止 (RXD端子は入出力ポート)
1	受信動作を許可 (RXD端子はレーシブデータ端子)

トランスミットイネーブル

0	送信動作を禁止 (TXD端子はトランスミットデータ端子)
1	送信動作を許可 (TXD端子はトランスミットデータ端子)

レーシブインタラプトイネーブル

0	受信データフル割り込み要求 (RXI)、および受信エラー割り込み要求 (ERI) を禁止
1	受信データフル割り込み要求 (RXI)、および受信エラー割り込み要求 (ERI) を許可

トランスミットインタラプトイネーブル

0	送信データエンプティ割り込み要求 (TXI) の禁止
1	送信データエンプティ割り込み要求 (TXI) の許可

TDR トランスミットデータレジスタ H'FFAB

SCI3

ビット： 7 6 5 4 3 2 1 0

TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
------	------	------	------	------	------	------	------

初期値： 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W

└───TSRへの転送用データ

SSR シリアルステータスレジスタ					H'FFAC		SCI3			
ビット :		7	6	5	4	3	2	1	0	
		TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
初期値 :		1	0	0	0	0	1	0	0	
R/W :		R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W	
									マルチプロセッサビットトランスファ	
									0	マルチプロセッサビット"0"を送信
									1	マルチプロセッサビット"1"を送信
									マルチプロセッサビットレシーブ	
									0	マルチプロセッサビットが"0"のデータを受信
									1	マルチプロセッサビットが"1"のデータを受信
									トランスミットエンド	
									0	送信中 〔クリア条件〕 (1) TDRE="1"の状態をリードした後、TDREに"0"をライトしたとき (2) 命令でTDRにデータをライトしたとき
									1	送信終了 〔セット条件〕 (1) シリアルコントロールレジスタ3 (SCR3) のTEが"0"のとき (2) 送信キャラクタ最後尾のビットの送信時に、TDREが"1"であったとき
									パリティエラー	
									0	受信中、または正常に受信完了 〔クリア条件〕 PER="1"の状態をリードした後、"0"をライトしたとき
									1	受信時にパリティエラー発生 〔セット条件〕 受信時に受信データとパリティビットをあわせた"1"の数がシリアルモードレジスタ (SMR) のパリティモード (PM) で設定したパリティと一致しなかったとき
									フレーミングエラー	
									0	受信中、または正常に受信完了 〔クリア条件〕 FER="1"の状態をリードした後、"0"をライトしたとき
									1	受信時にフレーミングエラー発生 〔セット条件〕 受信終了時に受信データの最後尾のストップビットが"1"であるかどうかをチェックし、ストップビットが"0"であったとき
									オーバランエラー	
									0	受信中、または受信完了 〔クリア条件〕 OER="1"の状態をリードした後、"0"をライトしたとき
									1	受信時にオーバランエラー発生 〔セット条件〕 RDRFが"1"の状態では次のシリアル受信を完了したとき
									レシーブデータレジスタフル	
									0	RDRに受信データ未格納 〔クリア条件〕 (1) RDRF="1"の状態をリードした後、"0"をライトしたとき (2) 命令でRDRのデータをリードしたとき
									1	RDRに受信データ格納 〔セット条件〕 受信が正常終了し、RSRからRDRへ受信データが転送されたとき
									トランスミットデータレジスタエンpty	
									0	TDRにライトされた送信データがTSRに転送されていない 〔クリア条件〕 (1) TDRE="1"の状態をリードした後、"0"をライトしたとき (2) 命令でTDRへデータをライトしたとき
									1	TDRに送信データがライトされていない、またはTDRにライトされた送信データがTSRに転送された 〔セット条件〕 (1) シリアルコントロールレジスタ3 (SCR3) のTEが"0"のとき (2) TDRからTSRにデータ転送が行われたとき
【注】 * フラグをクリアするための"0"ライトのみ可能										

RDR レシーブデータレジスタ		H'FFAD						SCI3	
ビット： 7 6 5 4 3 2 1 0									
	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
初期値：	0	0	0	0	0	0	0	0	
R/W ：	R	R	R	R	R	R	R	R	

TMA タイマモードレジスタA				H'FFB0				タイマA							
ビット： 7 6 5 4 3 2 1 0															
TMA7		TMA6		TMA5		—		TMA3		TMA2		TMA1		TMA0	
初期値：		0		0		0		1		0		0		0	
R/W：		R/W		R/W		R/W		—		R/W		R/W		R/W	
内部クロックセレクト															
TMA3		TMA2		TMA1		TMA0		プリスケアラ分周比又はオーバフロー周期				機 能			
0		0		0		0		PSS φ/8192				インターバル			
						1		PSS φ/4096							
				1		0		PSS φ/2048							
						1		PSS φ/512							
		1		0		0		PSS φ/256							
						1		PSS φ/128							
				1		0		PSS φ/32							
						1		PSS φ/8							
1		0		0		0		PSW 1s				時計用タイムベース			
						1		PSW 0.5s							
				1		0		PSW 0.25s							
						1		PSW 0.03125s							
		1		0		0		PSW、TCAリセット							
						1									
				1		0									
						1									
クロック出力セレクト															
0		0		0		φ/32									
				1		φ/16									
		1		0		φ/8									
				1		φ/4									
1		0		0		φ w/32									
				1		φ w/16									
		1		0		φ w/8									
				1		φ w/4									

TCA タイマカウンタA		H'FFB1	タイマA						
ビット：		7	6	5	4	3	2	1	0
		TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
初期値：		0	0	0	0	0	0	0	0
R/W		R	R	R	R	R	R	R	R
		カウント値							

TMB1 タイマモードレジスタB1		H'FFB2	タイマB1						
ビット：		7	6	5	4	3	2	1	0
		TMB17	—	—	—	—	TMB12	TMB11	TMB10
初期値：		0	1	1	1	1	0	0	0
R/W		R/W	—	—	—	—	R/W	R/W	R/W
		クロックセレクト							
		0	0	0	内部クロック φ/8192				
		0	0	1	内部クロック φ/2048				
		0	1	0	内部クロック φ/512				
		0	1	1	内部クロック φ/256				
		1	0	0	内部クロック φ/64				
		1	0	1	内部クロック φ/16				
		1	1	0	内部クロック φ/4				
		1	1	1	外部イベント（TMIB）の立上がり／立下がりエッジでカウント				
		オートリロード機能選択							
		0	インターバル機能を選択						
		1	オートリロード機能を選択						

TCB1 タイマカウンタB1	H'FFB3	
----------------	--------	--

タイマB1

ビット： 7 6 5 4 3 2 1 0

TCB17	TCB16	TCB15	TCB14	TCB13	TCB12	TCB11	TCB10
-------	-------	-------	-------	-------	-------	-------	-------

初期値： 0 0 0 0 0 0 0 0

R/W : R R R R R R R R

↑
カウント値

TLB1 タイマロードレジスタB1	H'FFB3	
-------------------	--------	--

タイマB1

ビット： 7 6 5 4 3 2 1 0

TLB17	TLB16	TLB15	TLB14	TLB13	TLB12	TLB11	TLB10
-------	-------	-------	-------	-------	-------	-------	-------

初期値： 0 0 0 0 0 0 0 0

R/W : W W W W W W W W

↑
リロード値設定

TCRV0 タイマコントロールレジスタV0				H'FFB8				タイマV																																																																																																																																																																																																																											
ビット : 7 6 5 4 3 2 1 0																																																																																																																																																																																																																																			
CMIEB		CMIEA		OVIE		CCLR1		CCLR0		CKS2		CKS1		CKS0																																																																																																																																																																																																																					
初期値 : 0		0		0		0		0		0		0		0																																																																																																																																																																																																																					
R/W : R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W																																																																																																																																																																																																																					
クロックセレクト <table><tr><td colspan="4">TCRV0</td><td colspan="2">TCRV1</td><td colspan="6" rowspan="2">説 明</td></tr><tr><td colspan="2">ビット2</td><td colspan="2">ビット1</td><td colspan="2">ビット0</td><td colspan="2">ビット0</td></tr><tr><td colspan="2">CKS2</td><td colspan="2">CKS1</td><td colspan="2">CKS0</td><td colspan="2">ICKS0</td><td colspan="8"></td></tr><tr><td colspan="2">0</td><td colspan="2">0</td><td colspan="2">0</td><td colspan="2">—</td><td colspan="8">クロック入力禁止</td></tr><tr><td colspan="2">0</td><td colspan="2">0</td><td colspan="2">1</td><td colspan="2">0</td><td colspan="8">内部クロック : φ/4立下がりエッジでカウント</td></tr><tr><td colspan="2">0</td><td colspan="2">0</td><td colspan="2">1</td><td colspan="2">1</td><td colspan="8">内部クロック : φ/8立下がりエッジでカウント</td></tr><tr><td colspan="2">0</td><td colspan="2">1</td><td colspan="2">0</td><td colspan="2">0</td><td colspan="8">内部クロック : φ/16立下がりエッジでカウント</td></tr><tr><td colspan="2">0</td><td colspan="2">1</td><td colspan="2">0</td><td colspan="2">1</td><td colspan="8">内部クロック : φ/32立下がりエッジでカウント</td></tr><tr><td colspan="2">0</td><td colspan="2">1</td><td colspan="2">1</td><td colspan="2">0</td><td colspan="8">内部クロック : φ/64立下がりエッジでカウント</td></tr><tr><td colspan="2">0</td><td colspan="2">1</td><td colspan="2">1</td><td colspan="2">1</td><td colspan="8">内部クロック : φ/128立下がりエッジでカウント</td></tr><tr><td colspan="2">1</td><td colspan="2">0</td><td colspan="2">0</td><td colspan="2">—</td><td colspan="8">クロック入力禁止</td></tr><tr><td colspan="2">1</td><td colspan="2">0</td><td colspan="2">1</td><td colspan="2">—</td><td colspan="8">外部クロック : 立上がりエッジでカウント</td></tr><tr><td colspan="2">1</td><td colspan="2">1</td><td colspan="2">0</td><td colspan="2">—</td><td colspan="8">外部クロック : 立下がりエッジでカウント</td></tr><tr><td colspan="2">1</td><td colspan="2">1</td><td colspan="2">1</td><td colspan="2">—</td><td colspan="8">外部クロック : 立上がり/立下がり両エッジでカウント</td></tr></table>																TCRV0				TCRV1		説 明						ビット2		ビット1		ビット0		ビット0		CKS2		CKS1		CKS0		ICKS0										0		0		0		—		クロック入力禁止								0		0		1		0		内部クロック : φ/4立下がりエッジでカウント								0		0		1		1		内部クロック : φ/8立下がりエッジでカウント								0		1		0		0		内部クロック : φ/16立下がりエッジでカウント								0		1		0		1		内部クロック : φ/32立下がりエッジでカウント								0		1		1		0		内部クロック : φ/64立下がりエッジでカウント								0		1		1		1		内部クロック : φ/128立下がりエッジでカウント								1		0		0		—		クロック入力禁止								1		0		1		—		外部クロック : 立上がりエッジでカウント								1		1		0		—		外部クロック : 立下がりエッジでカウント								1		1		1		—		外部クロック : 立上がり/立下がり両エッジでカウント							
TCRV0				TCRV1		説 明																																																																																																																																																																																																																													
ビット2		ビット1		ビット0								ビット0																																																																																																																																																																																																																							
CKS2		CKS1		CKS0		ICKS0																																																																																																																																																																																																																													
0		0		0		—		クロック入力禁止																																																																																																																																																																																																																											
0		0		1		0		内部クロック : φ/4立下がりエッジでカウント																																																																																																																																																																																																																											
0		0		1		1		内部クロック : φ/8立下がりエッジでカウント																																																																																																																																																																																																																											
0		1		0		0		内部クロック : φ/16立下がりエッジでカウント																																																																																																																																																																																																																											
0		1		0		1		内部クロック : φ/32立下がりエッジでカウント																																																																																																																																																																																																																											
0		1		1		0		内部クロック : φ/64立下がりエッジでカウント																																																																																																																																																																																																																											
0		1		1		1		内部クロック : φ/128立下がりエッジでカウント																																																																																																																																																																																																																											
1		0		0		—		クロック入力禁止																																																																																																																																																																																																																											
1		0		1		—		外部クロック : 立上がりエッジでカウント																																																																																																																																																																																																																											
1		1		0		—		外部クロック : 立下がりエッジでカウント																																																																																																																																																																																																																											
1		1		1		—		外部クロック : 立上がり/立下がり両エッジでカウント																																																																																																																																																																																																																											
カウンタクリア <table><tr><td colspan="2">0</td><td colspan="2">0</td><td colspan="12">TCNTVのクリアを禁止</td></tr><tr><td colspan="2">0</td><td colspan="2">1</td><td colspan="12">コンペアマッチAによりTCNTVをクリア</td></tr><tr><td colspan="2">1</td><td colspan="2">0</td><td colspan="12">コンペアマッチBによりTCNTVをクリア</td></tr><tr><td colspan="2">1</td><td colspan="2">1</td><td colspan="12">外部リセット入力信号の立上がりエッジによりTCNTVをクリア</td></tr></table>																0		0		TCNTVのクリアを禁止												0		1		コンペアマッチAによりTCNTVをクリア												1		0		コンペアマッチBによりTCNTVをクリア												1		1		外部リセット入力信号の立上がりエッジによりTCNTVをクリア																																																																																																																																																															
0		0		TCNTVのクリアを禁止																																																																																																																																																																																																																															
0		1		コンペアマッチAによりTCNTVをクリア																																																																																																																																																																																																																															
1		0		コンペアマッチBによりTCNTVをクリア																																																																																																																																																																																																																															
1		1		外部リセット入力信号の立上がりエッジによりTCNTVをクリア																																																																																																																																																																																																																															
タイマオーバフローインタラプトイネーブル <table><tr><td colspan="2">0</td><td colspan="14">OVFによる割込み要求 (OVI) を禁止</td></tr><tr><td colspan="2">1</td><td colspan="14">OVFによる割込み要求 (OVI) を許可</td></tr></table>																0		OVFによる割込み要求 (OVI) を禁止														1		OVFによる割込み要求 (OVI) を許可																																																																																																																																																																																																	
0		OVFによる割込み要求 (OVI) を禁止																																																																																																																																																																																																																																	
1		OVFによる割込み要求 (OVI) を許可																																																																																																																																																																																																																																	
コンペアマッチインタラプトイネーブルA <table><tr><td colspan="2">0</td><td colspan="14">CMFAによる割込み要求 (CMIA) を禁止</td></tr><tr><td colspan="2">1</td><td colspan="14">CMFAによる割込み要求 (CMIA) を許可</td></tr></table>																0		CMFAによる割込み要求 (CMIA) を禁止														1		CMFAによる割込み要求 (CMIA) を許可																																																																																																																																																																																																	
0		CMFAによる割込み要求 (CMIA) を禁止																																																																																																																																																																																																																																	
1		CMFAによる割込み要求 (CMIA) を許可																																																																																																																																																																																																																																	
コンペアマッチインタラプトイネーブルB <table><tr><td colspan="2">0</td><td colspan="14">CMFBによる割込み要求 (CMIB) を禁止</td></tr><tr><td colspan="2">1</td><td colspan="14">CMFBによる割込み要求 (CMIB) を許可</td></tr></table>																0		CMFBによる割込み要求 (CMIB) を禁止														1		CMFBによる割込み要求 (CMIB) を許可																																																																																																																																																																																																	
0		CMFBによる割込み要求 (CMIB) を禁止																																																																																																																																																																																																																																	
1		CMFBによる割込み要求 (CMIB) を許可																																																																																																																																																																																																																																	

TCSR_V タイマコントロールステータスレジスタV					H'FFB9			タイマV									
ビット : 7 6 5 4 3 2 1 0																	
		CMFB		CMFA		OVF		—		OS3		OS2		OS1		OS0	
初期値 :		0		0		0		1		0		0		0		0	
R/W :		R/(W)*		R/(W)*		R/(W)*		—		R/W		R/W		R/W		R/W	

TCORA タイムコンスタントレジスタA		H'FFBA	タイマV								
ビット： 7 6 5 4 3 2 1 0											
<table><tr><td>TCORA7</td><td>TCORA6</td><td>TCORA5</td><td>TCORA4</td><td>TCORA3</td><td>TCORA2</td><td>TCORA1</td><td>TCORA0</td></tr></table>				TCORA7	TCORA6	TCORA5	TCORA4	TCORA3	TCORA2	TCORA1	TCORA0
TCORA7	TCORA6	TCORA5	TCORA4	TCORA3	TCORA2	TCORA1	TCORA0				
初期値： 1 1 1 1 1 1 1											
R/W ： R/W R/W R/W R/W R/W R/W R/W											

TCORB タイムコンスタントレジスタB		H'FFBB	タイマV								
ビット： 7 6 5 4 3 2 1 0											
<table><tr><td>TCORB7</td><td>TCORB6</td><td>TCORB5</td><td>TCORB4</td><td>TCORB3</td><td>TCORB2</td><td>TCORB1</td><td>TCORB0</td></tr></table>				TCORB7	TCORB6	TCORB5	TCORB4	TCORB3	TCORB2	TCORB1	TCORB0
TCORB7	TCORB6	TCORB5	TCORB4	TCORB3	TCORB2	TCORB1	TCORB0				
初期値： 1 1 1 1 1 1 1											
R/W ： R/W R/W R/W R/W R/W R/W R/W											

TCNTV タイムカウンタV		H'FFBC	タイマV								
ビット： 7 6 5 4 3 2 1 0											
<table><tr><td>TCNTV7</td><td>TCNTV6</td><td>TCNTV5</td><td>TCNTV4</td><td>TCNTV3</td><td>TCNTV2</td><td>TCNTV1</td><td>TCNTV0</td></tr></table>				TCNTV7	TCNTV6	TCNTV5	TCNTV4	TCNTV3	TCNTV2	TCNTV1	TCNTV0
TCNTV7	TCNTV6	TCNTV5	TCNTV4	TCNTV3	TCNTV2	TCNTV1	TCNTV0				
初期値： 0 0 0 0 0 0 0											
R/W ： R/W R/W R/W R/W R/W R/W R/W											

TCRV1 タイマコントロールレジスタV1				H'FFBD				タイマV																																																			
ビット：				7	6	5	4	3	2	1	0																																																
				—	—	—	TVEG1	TVEG0	TRGE	—	ICKS0																																																
初期値：				1	1	1	0	0	0	1	0																																																
R/W：				—	—	—	R/W	R/W	R/W	—	R/W																																																
				インターナショナルクロックセレクト TCRV0のCKS2～CKS0との組合せで、TCNTVに入力 するクロックを選択																																																							
				TRGV入力イネーブル <table><tr><td>0</td><td colspan="11">TRGV端子入力によるTCNTVカウントアップ開始とコンペアマッチによるTCNTVクリア時のTCNTVカウントアップの停止を禁止</td></tr><tr><td>1</td><td colspan="11">TRGV端子入力によるTCNTVカウントアップ開始とコンペアマッチによるTCNTVクリア時のTCNTVカウントアップの停止を許可</td></tr></table>								0	TRGV端子入力によるTCNTVカウントアップ開始とコンペアマッチによるTCNTVクリア時のTCNTVカウントアップの停止を禁止											1	TRGV端子入力によるTCNTVカウントアップ開始とコンペアマッチによるTCNTVクリア時のTCNTVカウントアップの停止を許可																																		
0	TRGV端子入力によるTCNTVカウントアップ開始とコンペアマッチによるTCNTVクリア時のTCNTVカウントアップの停止を禁止																																																										
1	TRGV端子入力によるTCNTVカウントアップ開始とコンペアマッチによるTCNTVクリア時のTCNTVカウントアップの停止を許可																																																										
				TRGV入力エッジセレクト <table><tr><td>0</td><td>0</td><td colspan="10">TRGVからのトリガ入力を禁止</td></tr><tr><td>0</td><td>1</td><td colspan="10">立上がりエッジを選択</td></tr><tr><td>1</td><td>0</td><td colspan="10">立下がりエッジを選択</td></tr><tr><td>1</td><td>1</td><td colspan="10">立上がり / 立下がり両エッジを選択</td></tr></table>								0	0	TRGVからのトリガ入力を禁止										0	1	立上がりエッジを選択										1	0	立下がりエッジを選択										1	1	立上がり / 立下がり両エッジを選択									
0	0	TRGVからのトリガ入力を禁止																																																									
0	1	立上がりエッジを選択																																																									
1	0	立下がりエッジを選択																																																									
1	1	立上がり / 立下がり両エッジを選択																																																									

TCSRW タイマコントロール / ステータスレジスタW

H'FFBE

ウォッチドッグ
タイマ

ビット :

7

6

5

4

3

2

1

0

B6WI

TCWE

B4WI

TCSRWE

B2WI

WDON

B0WI

WRST

初期値 :

1

0

1

0

1

0

1

0

R/W :

R

R/(W)*

R

R/(W)*

R

R/(W)*

R

R/(W)*

ウォッチドッグタイマリセット

0

〔クリア条件〕
(1) RES端子によるリセット
(2) TCSRWE="1"の状態ではB0WIに"0"をライトしながらWRSTに"0"をライトしたとき

1

〔セット条件〕
TCWがオーバフローし、内部リセット信号が発生したとき

ビット0書き込み禁止

0

ビット0への書き込みを許可

1

ビット0への書き込みを禁止

ウォッチドッグタイマオン

0

ウォッチドッグタイマの動作を禁止

1

ウォッチドッグタイマの動作を許可

ビット2書き込み禁止

0

ビット2への書き込みを許可

1

ビット2への書き込みを禁止

タイマコントロール / ステータスレジスタW書き込み許可

0

ビット2およびビット0への書き込みを禁止

1

ビット2およびビット0への書き込みを許可

ビット4書き込み禁止

0

ビット4への書き込みを許可

1

ビット4への書き込みを禁止

タイマカウンタW書き込み許可

0

TCWへの8ビットデータの書き込みを禁止

1

TCWへの8ビットデータの書き込みを許可

ビット6書き込み禁止

0

ビット6への書き込みを許可

1

ビット6への書き込みを禁止

【注】

* 書き込み条件が成立している場合にのみライト可能

[illegible]

AMR A/Dモードレジスタ

H'FFC4

A/D変換器

ビット : 7 6 5 4 3 2 1 0

CKS	TRGE	—	—	CH3	CH2	CH1	CH0
-----	------	---	---	-----	-----	-----	-----

初期値 : 0 0 1 1 0 0 0 0

R/W : R/W R/W — — R/W R/W R/W R/W

チャンネルセレクト

ビット3	ビット2	ビット1	ビット0	アナログ入力チャンネル
CH3	CH2	CH1	CH0	
0	0	*	*	非選択
0	1	0	0	AN ₀
0	1	0	1	AN ₁
0	1	1	0	AN ₂
0	1	1	1	AN ₃
1	0	0	0	AN ₄
1	0	0	1	AN ₅
1	0	1	0	AN ₆
1	0	1	1	AN ₇
1	1	0	0	リザーブ
1	1	0	1	リザーブ
1	1	1	0	リザーブ
1	1	1	1	リザーブ

* Don't care

外部トリガセレクト

0	外部トリガによるA/C変換の開始を禁止
1	外部トリガ (ADTRG)端子の立上がりエッジ、または立下がりエッジでA/D変換を開始

クロックセレクト

ビット7 CKS	変換周期	変換時間	
		$\phi = 2\text{MHz}$	$\phi = 5\text{MHz}$
0	62/ ϕ	31 μs	12.4 μs
1	31/ ϕ	15.5 μs	—*

【注】* 12.4 μs 以下の変換時間では、動作が保証されません。12.4 μs 以上になるように選択してください。

ADRR		A/Dリザルトレジスタ		H'FFC5				A/D変換器	
ビット :		7	6	5	4	3	2	1	0
		ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
初期値 :		不定	不定	不定	不定	不定	不定	不定	不定
R/W :		R	R	R	R	R	R	R	R
		A/D変換結果							

ADSR		A/Dスタートレジスタ		H'FFC6				A/D変換器	
ビット :		7	6	5	4	3	2	1	0
		ADSF	—	—	—	—	—	—	—
初期値 :		0	1	1	1	1	1	1	1
R/W :		R/W	—	—	—	—	—	—	—
		A / Dスタートフラグ							
0		リード時	A/D変換の終了						
		ライト時	A/D変換を強制終了						
1		リード時	A/D変換中						
		ライト時	A/D変換を開始						

PWCR	PWMコントロールレジスタ	H'FFD0	14ビットPWM
------	---------------	--------	----------

ビット：76543210

—	—	—	—	—	—	—	PWCR0
---	---	---	---	---	---	---	-------

初期値：11111110

R/W：— — — — — — — W

クロックセレクト

0	入力クロック $\phi/2$ ($t\phi^*=2/\phi$)。1変換周期16384/ ϕ 、最小変化幅1/ ϕ
1	入力クロック $\phi/4$ ($t\phi^*=4/\phi$)。1変換周期32768/ ϕ 、最小変化幅2/ ϕ

【注】 $t\phi$ ：PWM入力クロックの周期

PWDRU	PWMデータレジスタU	H'FFD1	14ビットPWM
-------	-------------	--------	----------

ビット：76543210

—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0
---	---	--------	--------	--------	--------	--------	--------

初期値：11000000

R/W：— — W W W W W W

PWM波形生成用データ上位6ビット

PWDRL	PWMデータレジスタL	H'FFD2	14ビットPWM
-------	-------------	--------	----------

ビット：76543210

PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0
--------	--------	--------	--------	--------	--------	--------	--------

初期値：00000000

R/W：W W W W W W W W

PWM波形生成用データ下位8ビット

PDR1 ポートデータレジスタ1		H'FFD4							I/Oポート
ビット：		7	6	5	4	3	2	1	0
		P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀
初期値：		0	0	0	0	0	0	0	0
R/W：		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR2 ポートデータレジスタ2		H'FFD5							I/Oポート
ビット：		7	6	5	4	3	2	1	0
		P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
初期値：		0	0	0	0	0	0	0	0
R/W：		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR3 ポートデータレジスタ3		H'FFD6							I/Oポート
ビット：		7	6	5	4	3	2	1	0
		—	—	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
初期値：		0	0	0	0	0	0	0	0
R/W：		—	—	R/W	R/W	R/W	R/W	R/W	R/W

PDR5 ポートデータレジスタ5		H'FFD8							I/Oポート
ビット：		7	6	5	4	3	2	1	0
		P5 ₇	P5 ₆	P5 ₅	P5 ₄	P5 ₃	P5 ₂	P5 ₁	P5 ₀
初期値：		0	0	0	0	0	0	0	0
R/W：		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR6 ポートデータレジスタ6		H'FFD9							I/Oポート
ビット：		7	6	5	4	3	2	1	0
		P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀
初期値：		0	0	0	0	0	0	0	0
R/W：		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR7 ポートデータレジスタ7		H'FFDA						I/Oポート
ビット： 7 6 5 4 3 2 1 0								
	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR8 ポートデータレジスタ8		H'FFDB						I/Oポート
ビット： 7 6 5 4 3 2 1 0								
	P8 ₇	P8 ₆	P8 ₅	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR9 ポートデータレジスタ9		H'FFDC						I/Oポート
ビット： 7 6 5 4 3 2 1 0								
	—	—	—	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀
初期値：	0	0	0	0	0	0	0	0
R/W：	—	—	—	R/W	R/W	R/W	R/W	R/W

PDRB ポートデータレジスタB		H'FFDD						I/Oポート
ビット： 7 6 5 4 3 2 1 0								
	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀
R/W：	R	R	R	R	R	R	R	R

PCR1 ポートコントロールレジスタ1		H'FFE4						I/Oポート	
ビット：		7	6	5	4	3	2	1	0
		PCR17	PCR16	PCR15	PCR14	PCR13	PCR12	PCR11	PCR10
初期値：		0	0	0	0	0	0	0	0
R/W：		W	W	W	W	W	W	W	W
						ポート1入出力選択			
						0 入力ポート			
						1 出力ポート			

PCR2 ポートコントロールレジスタ2		H'FFE5						I/Oポート	
ビット：		7	6	5	4	3	2	1	0
		PCR27	PCR26	PCR25	PCR24	PCR23	PCR22	PCR21	PCR20
初期値：		0	0	0	0	0	0	0	0
R/W：		W	W	W	W	W	W	W	W
						ポート2入出力選択			
						0 入力ポート			
						1 出力ポート			

PCR3 ポートコントロールレジスタ3		H'FFE6						I/Oポート	
ビット：		7	6	5	4	3	2	1	0
		—	—	PCR35	PCR34	PCR33	PCR32	PCR31	PCR30
初期値：		0	0	0	0	0	0	0	0
R/W：		—	—	W	W	W	W	W	W

PCR5 ポートコントロールレジスタ5		H'FFE8						I/Oポート	
ビット：		7	6	5	4	3	2	1	0
		PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50
初期値：		0	0	0	0	0	0	0	0
R/W：		W	W	W	W	W	W	W	W
						ポート5入出力選択			
						0 入力ポート			
						1 出力ポート			

PCR6 ポートコントロールレジスタ6		H'FFE9	I/Oポート												
ビット： 7 6 5 4 3 2 1 0 <table><tr><td>PCR6₇</td><td>PCR6₆</td><td>PCR6₅</td><td>PCR6₄</td><td>PCR6₃</td><td>PCR6₂</td><td>PCR6₁</td><td>PCR6₀</td></tr></table> 初期値： 0 0 0 0 0 0 0 R/W : W W W W W W W ポート6入出力選択 <table><tr><td>0</td><td>入力ポート</td></tr><tr><td>1</td><td>出力ポート</td></tr></table>				PCR6 ₇	PCR6 ₆	PCR6 ₅	PCR6 ₄	PCR6 ₃	PCR6 ₂	PCR6 ₁	PCR6 ₀	0	入力ポート	1	出力ポート
PCR6 ₇	PCR6 ₆	PCR6 ₅	PCR6 ₄	PCR6 ₃	PCR6 ₂	PCR6 ₁	PCR6 ₀								
0	入力ポート														
1	出力ポート														
PCR7 ポートコントロールレジスタ7		H'FFEA	I/Oポート												
ビット： 7 6 5 4 3 2 1 0 <table><tr><td>PCR7₇</td><td>PCR7₆</td><td>PCR7₅</td><td>PCR7₄</td><td>PCR7₃</td><td>PCR7₂</td><td>PCR7₁</td><td>PCR7₀</td></tr></table> 初期値： 0 0 0 0 0 0 0 R/W : W W W W W W W ポート7入出力選択 <table><tr><td>0</td><td>入力ポート</td></tr><tr><td>1</td><td>出力ポート</td></tr></table>				PCR7 ₇	PCR7 ₆	PCR7 ₅	PCR7 ₄	PCR7 ₃	PCR7 ₂	PCR7 ₁	PCR7 ₀	0	入力ポート	1	出力ポート
PCR7 ₇	PCR7 ₆	PCR7 ₅	PCR7 ₄	PCR7 ₃	PCR7 ₂	PCR7 ₁	PCR7 ₀								
0	入力ポート														
1	出力ポート														
PCR8 ポートコントロールレジスタ8		H'FFEB	I/Oポート												
ビット： 7 6 5 4 3 2 1 0 <table><tr><td>PCR8₇</td><td>PCR8₆</td><td>PCR8₅</td><td>PCR8₄</td><td>PCR8₃</td><td>PCR8₂</td><td>PCR8₁</td><td>PCR8₀</td></tr></table> 初期値： 0 0 0 0 0 0 0 R/W : W W W W W W W ポート8入出力選択 <table><tr><td>0</td><td>入力ポート</td></tr><tr><td>1</td><td>出力ポート</td></tr></table>				PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀	0	入力ポート	1	出力ポート
PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀								
0	入力ポート														
1	出力ポート														

PCR9 ポートコントロールレジスタ9	H'FFEC	I/Oポート
ビット : 7 6 5 4 3 2 1 0		
	— — — PCR9 ₄ PCR9 ₃ PCR9 ₂ PCR9 ₁ PCR9 ₀	
初期値 : 1 1 0 0 0 0 0 0		
R/W : — — — W W W W W		
	ポート9入出力選択	
	0 入力ポート	
	1 出力ポート	

PUCR1 ポートブルアップコントロールレジスタ1	H'FFED	I/Oポート
ビット : 7 6 5 4 3 2 1 0		
	PUCR1 ₇ PUCR1 ₆ PUCR1 ₅ PUCR1 ₄ PUCR1 ₃ PUCR1 ₂ PUCR1 ₁ PUCR1 ₀	
初期値 : 0 0 0 0 0 0 0 0		
R/W : R/W R/W R/W R/W R/W R/W R/W R/W		

PUCR3 ポートブルアップコントロールレジスタ3	H'FFEE	I/Oポート
ビット : 7 6 5 4 3 2 1 0		
	— — PUCR3 ₅ PUCR3 ₄ PUCR3 ₃ PUCR3 ₂ PUCR3 ₁ PUCR3 ₀	
初期値 : 0 0 0 0 0 0 0 0		
R/W : — — R/W R/W R/W R/W R/W R/W		

PUCR5 ポートブルアップコントロールレジスタ5	H'FFEF	I/Oポート
ビット : 7 6 5 4 3 2 1 0		
	PUCR5 ₇ PUCR5 ₆ PUCR5 ₅ PUCR5 ₄ PUCR5 ₃ PUCR5 ₂ PUCR5 ₁ PUCR5 ₀	
初期値 : 0 0 0 0 0 0 0 0		
R/W : R/W R/W R/W R/W R/W R/W R/W R/W		

SYSCR1 システムコントロールレジスタ1					H'FFF0		システムコントロール						
ビット : 7 6 5 4 3 2 1 0													
SSBY		STS2		STS1		STS0		LSON	—	MA1		MA0	
初期値 :		0		0		0		0		1		1	
R/W :		R/W		R/W		R/W		R/W		—		R/W	
												アクティブ (中速) モードクロックセレクト	
												0 0 $\phi_{osc}/16$	
												0 1 $\phi_{osc}/32$	
												1 0 $\phi_{osc}/64$	
												1 1 $\phi_{osc}/128$	
												ロースピードオンフラグ	
												0 CPUの動作クロックはシステムクロック (ϕ)	
												1 CPUの動作クロックはサブクロック (ϕ_{SUB})	
												スタンバイタイムセレクト	
												0 0 0 待機時間 = 8192ステート	
												0 0 1 待機時間 = 16384ステート	
												0 1 0 待機時間 = 32768ステート	
												0 1 1 待機時間 = 65536ステート	
												1 * * 待機時間 = 131072ステート	
												* Don't care	
												ソフトウェアスタンバイ	
												0	
												・アクティブモードでSLEEP命令実行後、スリープモードに遷移 ・サブアクティブモードでSLEEP命令実行後、サブスリープモードに遷移	
												1	
												・アクティブモードでSLEEP命令実行後、スタンバイモードあるいはウォッチモードに遷移 ・サブアクティブモードでSLEEP命令実行後、ウォッチモードに遷移	

SYSCR2 システムコントロールレジスタ2

H'FFF1

システムコントロール

ビット： 7 6 5 4 3 2 1 0

—

—

—

NESEL

DTON

MSON

SA1

SA0

初期値： 1 1 1 0 0 0 0 0

R/W ： — — — R/W R/W R/W R/W R/W

サブアクティブモードクロックセレクト

0	0	$\phi_{w/8}$
0	1	$\phi_{w/4}$
1	*	$\phi_{w/2}$

* Don't care

ミドルスピードオンフラグ

0	・スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ（高速）モードで動作 ・アクティブモードでSLEEP命令を実行したとき、スリープ（高速）モードで動作
1	・スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ（中速）モードで動作 ・アクティブモードでSLEEP命令を実行したとき、スリープ（中速）モードで動作

ダイレクトトランスファオンフラグ

0	・アクティブモードでSLEEP命令を実行したとき、スタンバイモード、ウォッチモード、またはスリープモードに遷移 ・サブアクティブモードでSLEEP命令を実行したとき、ウォッチモード、またはサブスリープモードに遷移
1	・アクティブ（高速）モードでSLEEP命令を実行したとき、アクティブ（中速）モード（SSBY="0"、MSON="1"、LSON="0"のとき）、またはサブアクティブモード（SSBY="1"、TMA3="1"、LSON="1"のとき）に直接遷移 ・アクティブ（中速）モードでSLEEP命令を実行したとき、アクティブ（高速）モード（SSBY="0"、MSON="0"、LSON="0"のとき）、またはサブアクティブモード（SSBY="1"、TMA3="1"、LSON="1"のとき）に直接遷移 ・サブアクティブモードでSLEEP命令を実行したとき、アクティブ（高速）モード（SSBY="1"、TMA3="1"、LSON="0"、MSON="0"のとき）またはアクティブ（中速）モード（SSBY="1"、TMA3="1"、LSON="0"、MSON="1"のとき）に直接遷移

ノイズ除去サンプリング周波数選択

0	ϕ_{osc} の16分周クロックでサンプリング
1	ϕ_{osc} の4分周クロックでサンプリング

IEGR1 割り込みエッジセレクトレジスタ1				H'FFF2				システムコントロール							
ビット :				7	6	5	4	3	2	1	0				
				—	—	—	—	IEG3	IEG2	IEG1	IEG0				
初期値 :				0	1	1	1	0	0	0	0				
R/W :				—	—	—	—	R/W	R/W	R/W	R/W				
				IRQ0エッジセレクト											
				<table><tr><td>0</td><td>IRQ0端子入力の立下がりエッジを検出</td></tr><tr><td>1</td><td>IRQ0端子入力の立上がりエッジを検出</td></tr></table>								0	IRQ0端子入力の立下がりエッジを検出	1	IRQ0端子入力の立上がりエッジを検出
0	IRQ0端子入力の立下がりエッジを検出														
1	IRQ0端子入力の立上がりエッジを検出														
				IRQ1エッジセレクト											
				<table><tr><td>0</td><td>IRQ1端子入力の立下がりエッジを検出</td></tr><tr><td>1</td><td>IRQ1端子入力の立上がりエッジを検出</td></tr></table>								0	IRQ1端子入力の立下がりエッジを検出	1	IRQ1端子入力の立上がりエッジを検出
0	IRQ1端子入力の立下がりエッジを検出														
1	IRQ1端子入力の立上がりエッジを検出														
				IRQ2エッジセレクト											
				<table><tr><td>0</td><td>IRQ2端子入力の立下がりエッジを検出</td></tr><tr><td>1</td><td>IRQ2端子入力の立上がりエッジを検出</td></tr></table>								0	IRQ2端子入力の立下がりエッジを検出	1	IRQ2端子入力の立上がりエッジを検出
0	IRQ2端子入力の立下がりエッジを検出														
1	IRQ2端子入力の立上がりエッジを検出														
				IRQ3エッジセレクト											
				<table><tr><td>0</td><td>IRQ3端子入力の立下がりエッジを検出</td></tr><tr><td>1</td><td>IRQ3端子入力の立上がりエッジを検出</td></tr></table>								0	IRQ3端子入力の立下がりエッジを検出	1	IRQ3端子入力の立上がりエッジを検出
0	IRQ3端子入力の立下がりエッジを検出														
1	IRQ3端子入力の立上がりエッジを検出														

IEGR2 割込みエッジセレクトレジスタ2		H'FFF3	システムコントロール
-----------------------	--	--------	------------

ビット : 7 6 5 4 3 2 1 0

INTEG7	INTEG6	INTEG5	INTEG4	INTEG3	INTEG2	INTEG1	INTEG0
--------	--------	--------	--------	--------	--------	--------	--------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

INT4 ~ INT0

0	INT _n 端子入力の立下がりエッジを検出
1	INT _n 端子入力の立上がりエッジを検出

INT5エッジセレクト

0	INT ₅ 端子ADTRG端子入力の立下がりエッジを検出
1	INT ₅ 端子ADTRG端子入力の立上がりエッジを検出

(n = 5 ~ 0)

INT6エッジセレクト

0	INT ₆ 端子、TMIB端子入力の立下がりエッジを検出
1	INT ₆ 端子、TMIB端子入力の立上がりエッジを検出

INT7エッジセレクト

0	INT ₇ 端子、TMIY端子入力の立下がりエッジを検出
1	INT ₇ 端子、TMIY端子入力の立上がりエッジを検出

IENR1 割り込み許可レジスタ1H'FFF4

システムコントロール

ビット : 76543210

IENRB1	IENRA	—	—	IEN3	IEN2	IEN1	IEN0
--------	-------	---	---	------	------	------	------

初期値 : 00010000

R/W : R/W R/W — — R/W R/W R/W R/W

タイマB1割り込みイネーブル

0	タイマB1の割り込み要求を禁止
1	タイマB1の割り込み要求を許可

タイマA割り込みイネーブル

0	タイマA割り込み要求を禁止
1	タイマA割り込み要求を許可

IRQ₃ ~ IRQ₀割り込みイネーブル

0	IRQ ₃ ~ IRQ ₀ 端子の割り込み要求を禁止
1	IRQ ₃ ~ IRQ ₀ 端子の割り込み要求を許可

0	SCI1の割込み要求を禁止
1	SCI1の割込み要求を許可

0	A/D変換器の割込み要求を禁止
1	A/D変換器の割込み要求を許可

直接遷移割り込みイネーブル	
0	直接遷移による割り込み要求を禁止
1	直接遷移による割り込み要求を許可

IENR3 割込み許可レジスタ3		H'FFF6		システムコントロール											
ビット :															
7		6		5		4		3		2		1		0	
INTEN7		INTEN6		INTEN5		INTEN4		INTEN3		INTEN2		INTEN1		INTEN0	
初期値 :		0		0		0		0		0		0		0	
R/W :		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
INT ₇ ~ INT ₀ 割込みイネーブル															
0		INT ₇ ~ INT ₀ 端子の割込み要求を禁止													
1		INT ₇ ~ INT ₀ 端子の割込み要求を許可													

IRR1 割り込み要求レジスタ1	H'FFF7	システムコントロール
------------------	--------	------------

ビット：76543210

IRR1B1	IRR1A	—	—	IRR13	IRR12	IRR11	IRR10
--------	-------	---	---	-------	-------	-------	-------

初期値：00010000

R/W：R/W*R/W*—R/W*R/W*R/W*R/W*

IRQ3 ~ IRQ0割り込み要求フラグ

0	〔クリア条件〕 IRR1n = "1"の状態 でIRR1nに"0"をライトしたとき
1	〔セット条件〕 IRQn端子が割り込み入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき

(n = 3 ~ 0)

タイマA割り込み要求フラグ

0	〔クリア条件〕 IRR1A = "1"の状態 でIRR1Aに"0"をライトしたとき
1	〔セット条件〕 タイマAのカウンタ値がオーバーフロー (H'FF → H'00) したとき

タイマB1割り込み要求フラグ

0	〔クリア条件〕 IRR1B1 = "1"の状態 でIRR1B1に"0"をライトしたとき
1	〔セット条件〕 タイマB1のカウンタ値がオーバーフロー (H'FF → H'00) したとき

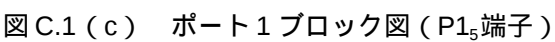
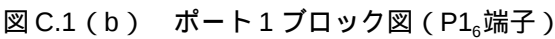
【注】 * フラグクリアのための"0"ライトのみ可能

IRR3 割り込み要求レジスタ3		H'FFF9	システムコントロール									
ビット：	7	6	5	4	3	2	1	0				
	INTF7	INTF6	INTF5	INTF4	INTF3	INTF2	INTF1	INTF0				
初期値：	0	0	0	0	0	0	0	0				
R/W：	R/W*	R/W*	R/W*	R/W	R/W*	R/W*	R/W*	R/W*				
				INT ₇ ～INT ₀ 割り込み要求フラグ								
				<table><tr><td>0</td><td>〔クリア条件〕 INTF_n = "1"の状態 でINTF_nに"0"をライトしたとき</td></tr><tr><td>1</td><td>〔セット条件〕 INT_n端子に指定されたエッジが入力されたとき</td></tr></table>					0	〔クリア条件〕 INTF _n = "1"の状態 でINTF _n に"0"をライトしたとき	1	〔セット条件〕 INT _n 端子に指定されたエッジが入力されたとき
0	〔クリア条件〕 INTF _n = "1"の状態 でINTF _n に"0"をライトしたとき											
1	〔セット条件〕 INT _n 端子に指定されたエッジが入力されたとき											
				(n = 7 ～ 0)								
【注】				* フラグクリアのための"0"ライトのみ可能								

PMR1 ポートモードレジスタ1				H'FFFC				I/Oポート				
ビット： 7 6 5 4 3 2 1 0												
		IRQ3		IRQ2		IRQ1		PWM	—	—	—	TMOW
初期値：		0		0		0		0	0	1	0	0
R/W：		R/W		R/W		R/W		R/W	—	—	—	R/W

PMR3 ポートモードレジスタ3						H'FFFD		I/Oポート	
ビット：		7	6	5	4	3	2	1	0
		—	—	—	—	—	SO1	SI1	SCK1
初期値：		0	0	0	0	0	0	0	0
R/W：		—	—	—	—	—	R/W	R/W	R/W
							P30/SCK1端子機能切換え		
							0	P30入出力端子として機能	
							1	SCK1入出力端子として機能	
							P31/SI1端子機能切換え		
							0	P31入出力端子として機能	
							1	SI1入力端子として機能	
							P32/SO1端子機能切換え		
							0	P32入出力端子として機能	
							1	SO1出力端子として機能	

PMR7 ポートモードレジスタ7						H'FFFF		I/Oポート					
ビット：		7	6	5	4	3	2	1	0				
		—	—	—	—	—	TXD	—	POF1				
初期値：		1	1	1	1	1	0	0	0				
R/W：		—	—	—	—	—	R/W	—	R/W				
		P3₂/SO₁端子PMOSコントロール <table><tr><td>0</td><td>CMOS出力</td></tr><tr><td>1</td><td>NMOSオープンドレイン出力</td></tr></table>								0	CMOS出力	1	NMOSオープンドレイン出力
0	CMOS出力												
1	NMOSオープンドレイン出力												
		P2₂/TXD端子機能切換え（TXD） <table><tr><td>0</td><td>P2₂入出力端子として機能</td></tr><tr><td>1</td><td>TXD出力端子として機能</td></tr></table>								0	P2 ₂ 入出力端子として機能	1	TXD出力端子として機能
0	P2 ₂ 入出力端子として機能												
1	TXD出力端子として機能												



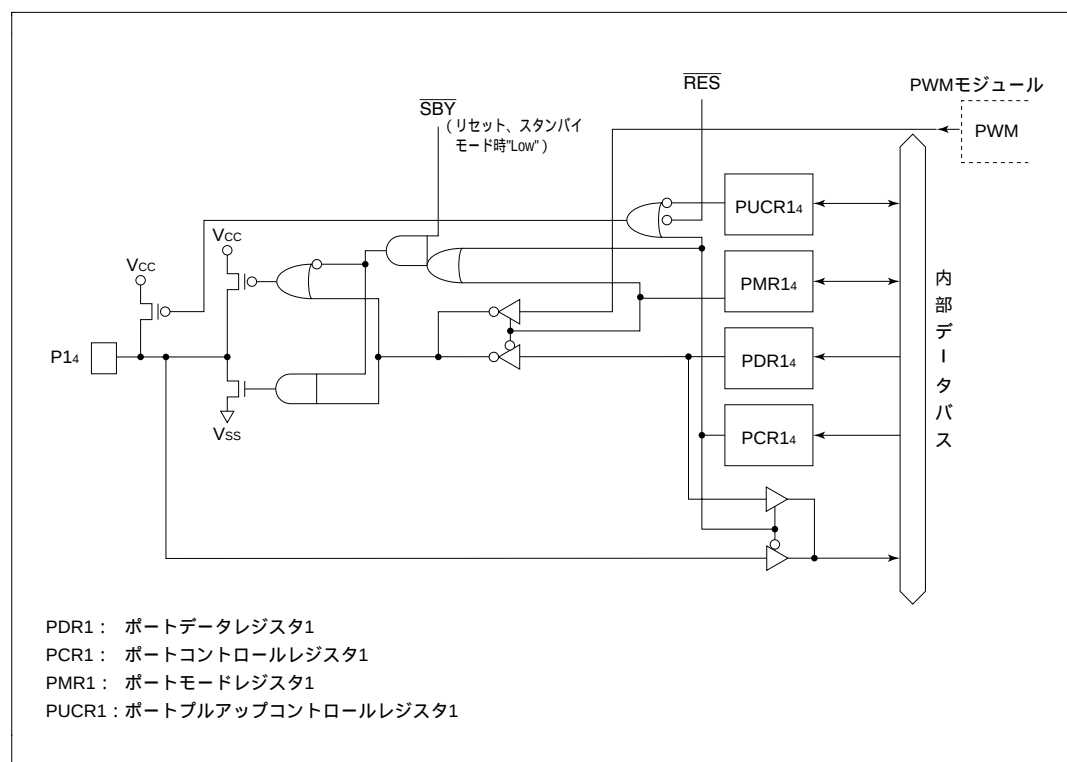


図 C.1 (d) ポート 1 ブロック図 (P1₄端子)

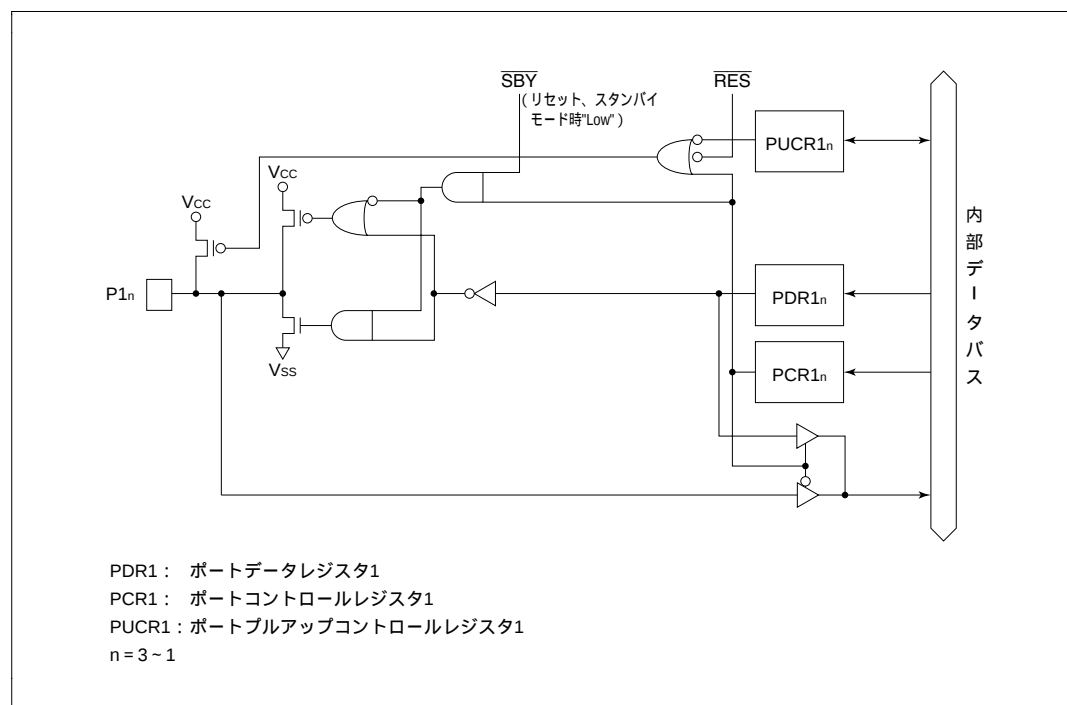
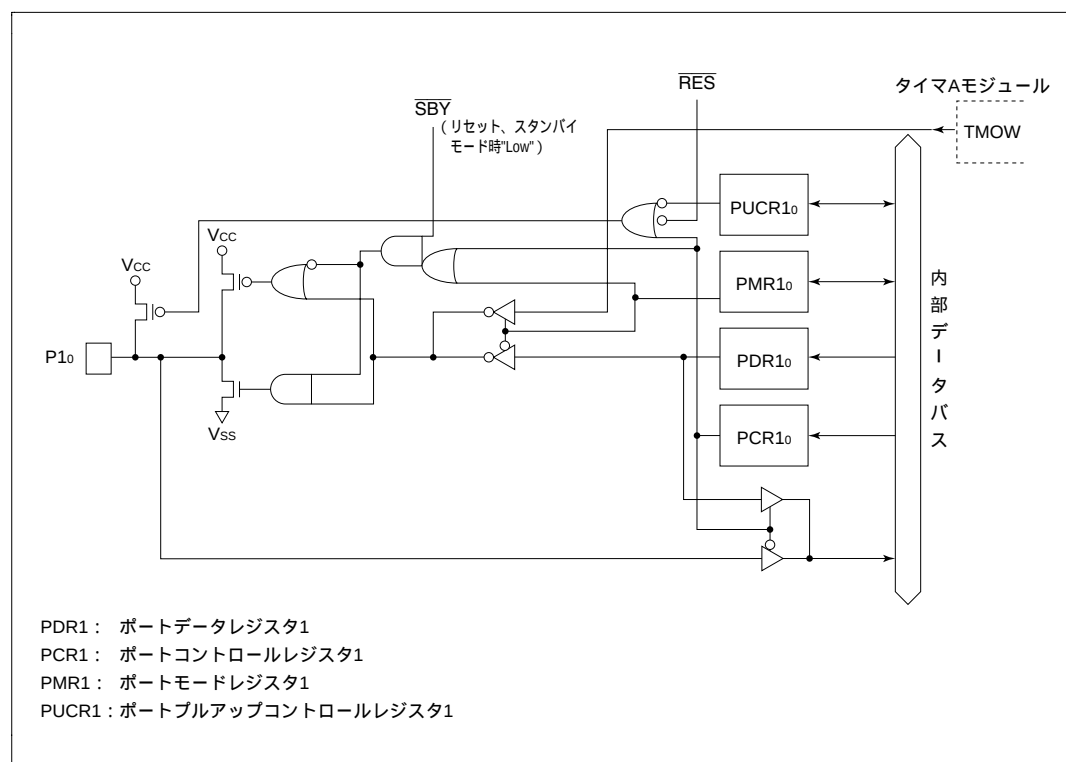


図 C.1 (e) ポート 1 ブロック図 (P1₃ ~ P1₁ 端子)

図 C.1 (f) ポート1 ブロック図 (P1₀端子)

C.2 ポート2ブロック図

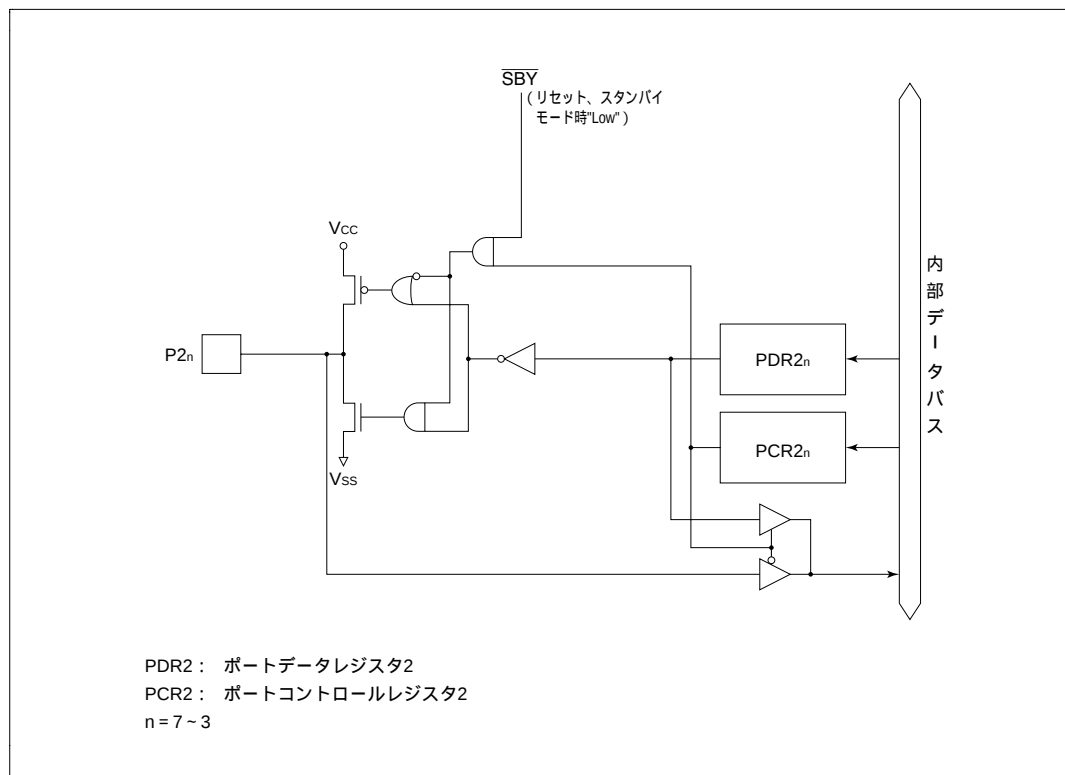


図 C.2 (a) ポート2ブロック図 (P2₇ ~ P2₃端子)

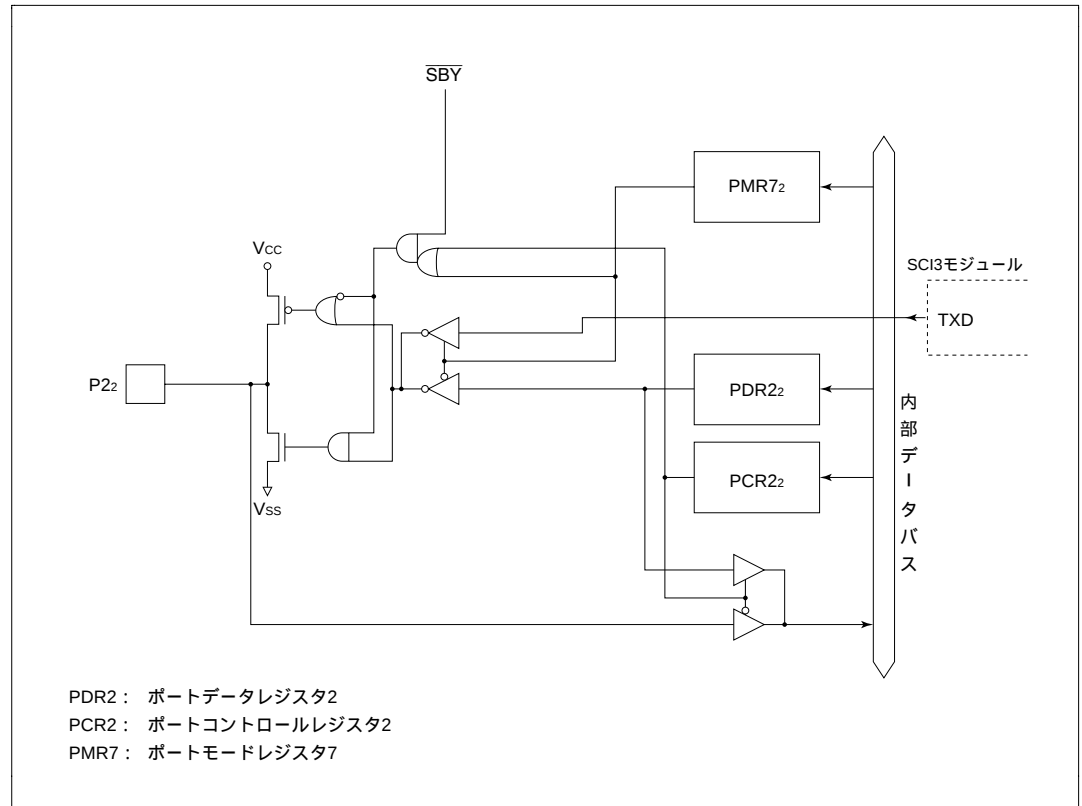


図 C.2 (b) ポート2 ブロック図 (P2₂端子)

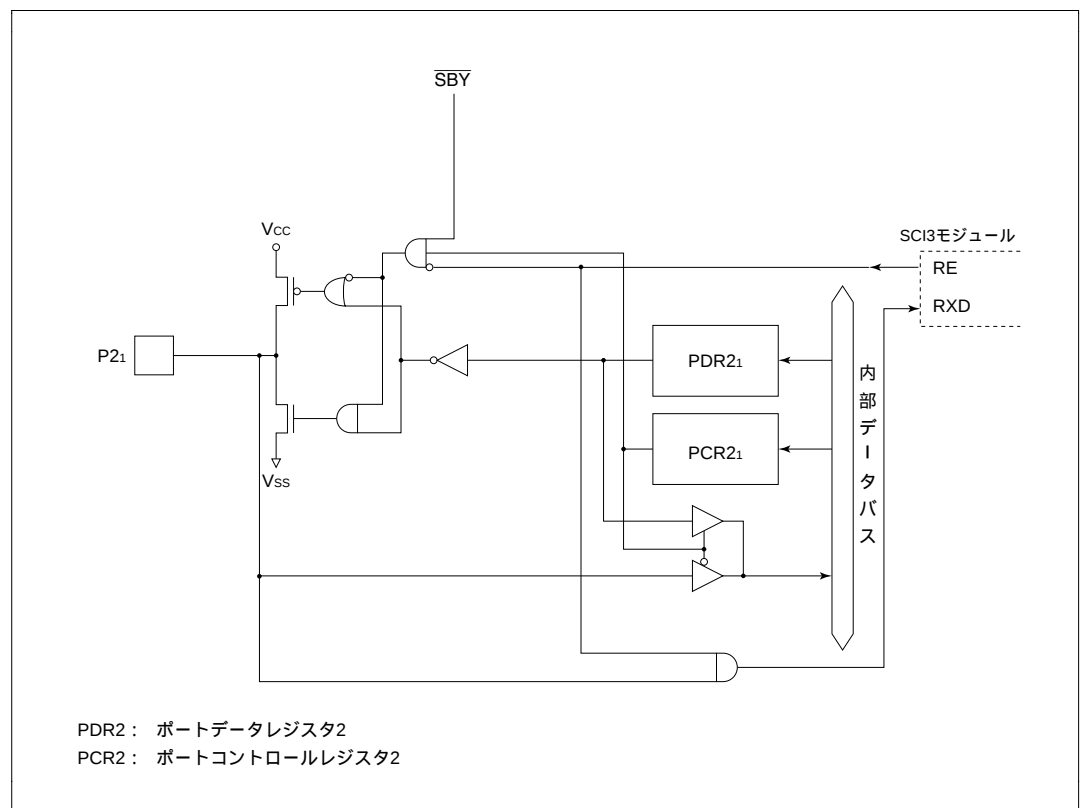


図 C.2 (c) ポート2 ブロック図 (P2₁端子)

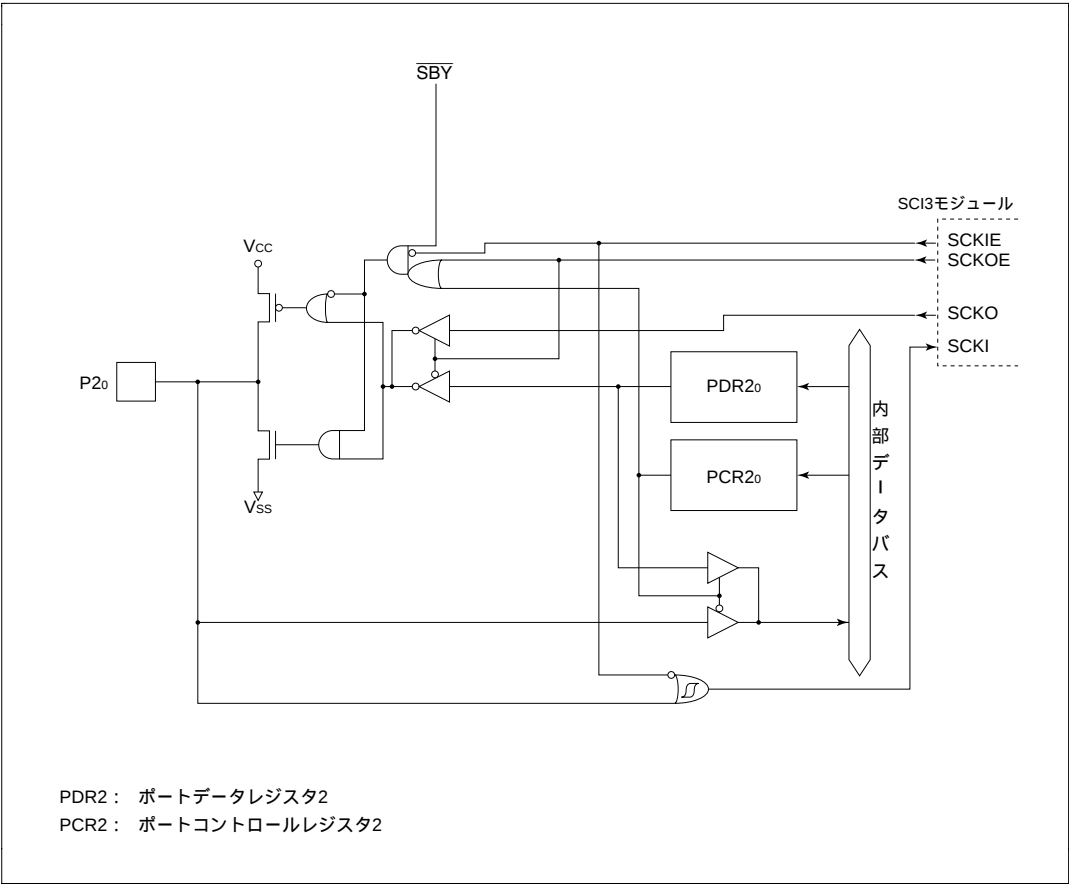
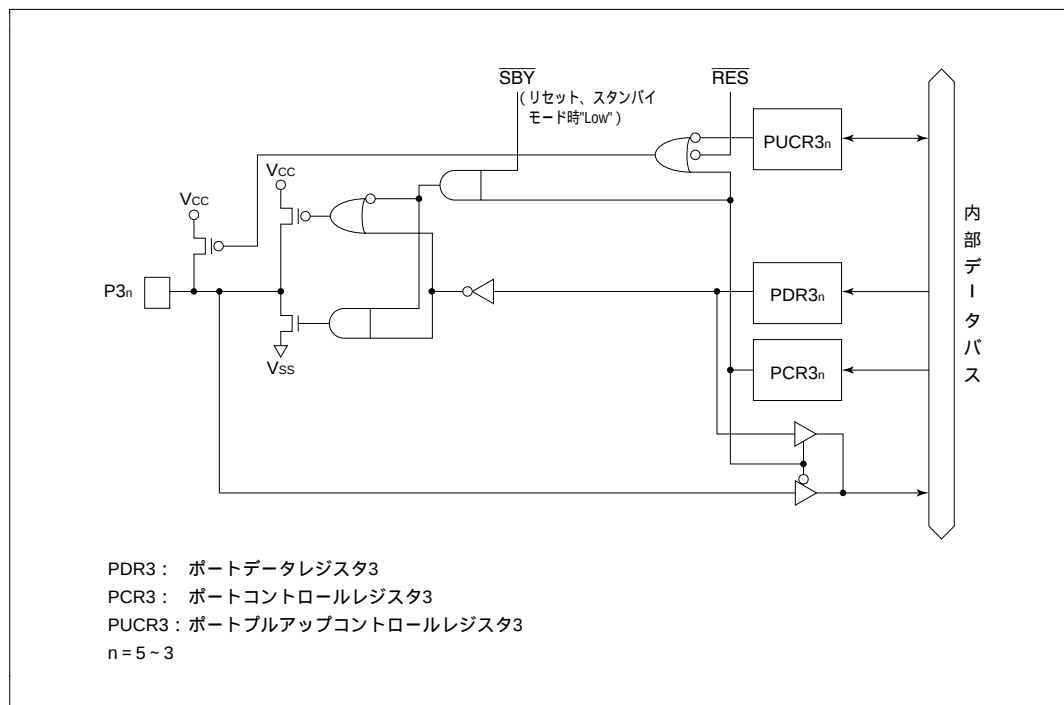
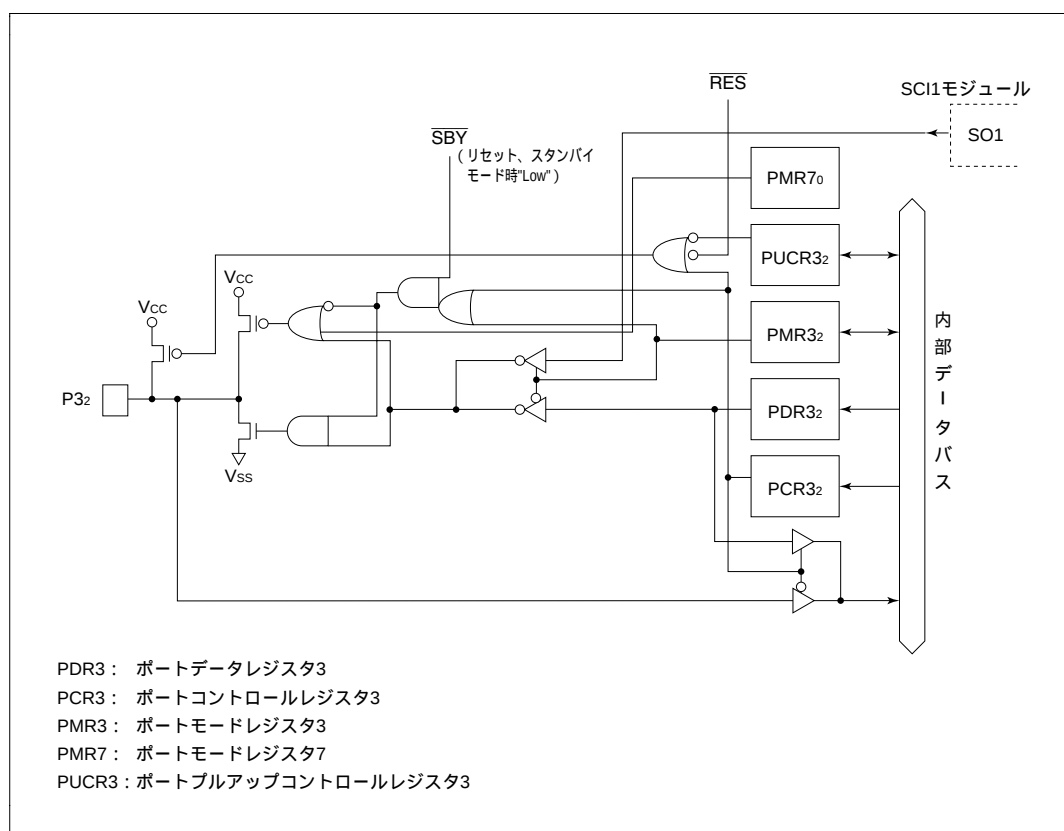


図 C.2 (d) ポート2 ブロック図 (P2₀端子)

C.3 ポート3ブロック図

図 C.3 (a) ポート3ブロック図 (P3₅ ~ P3₃端子)図 C.3 (b) ポート3ブロック図 (P3₂端子)

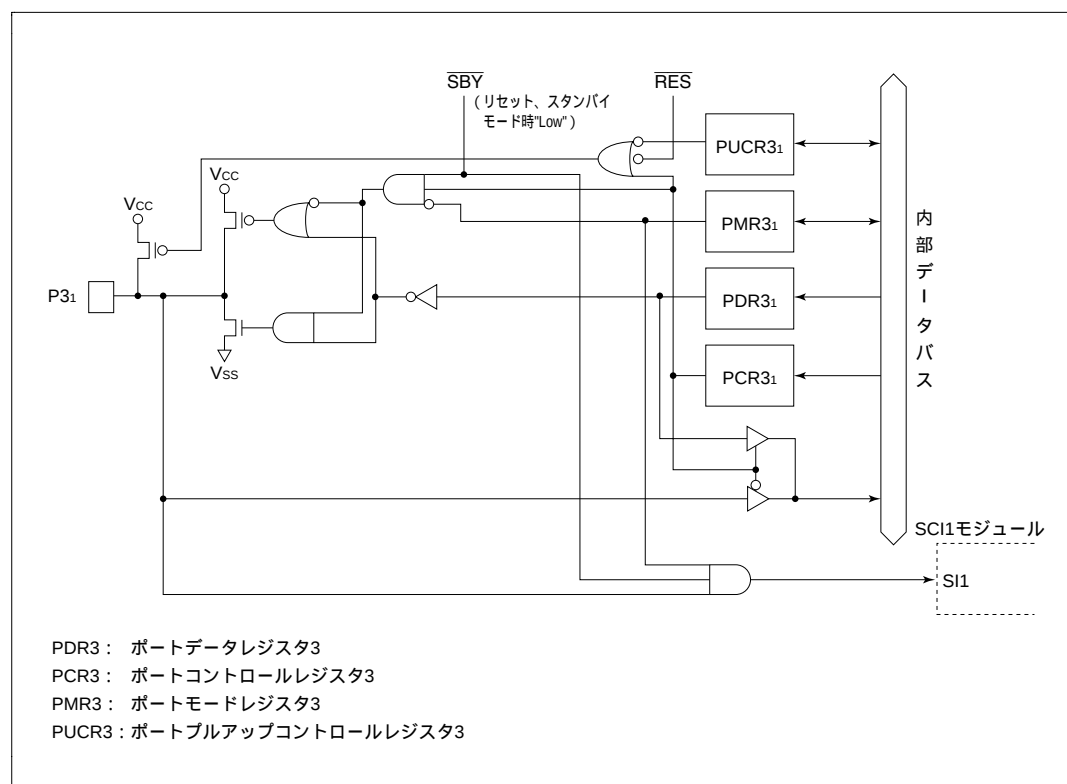


図 C.3 (c) ポート 3 ブロック図 (P₃₁ 端子)

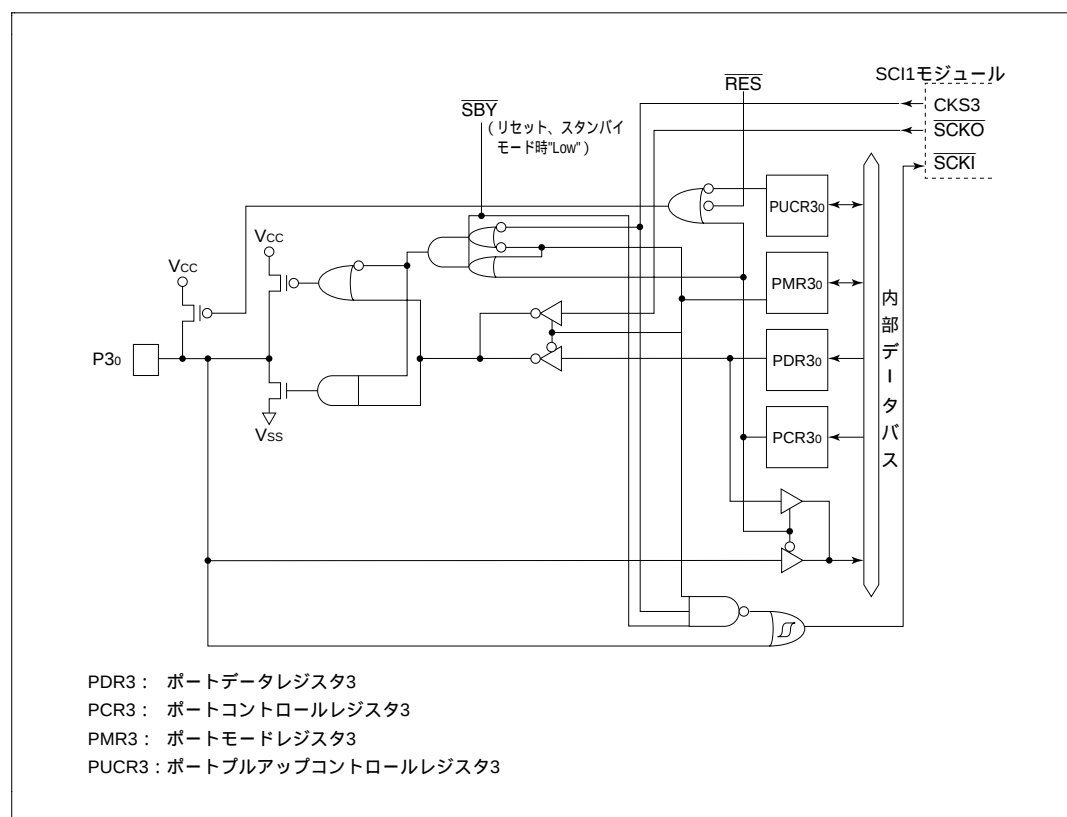
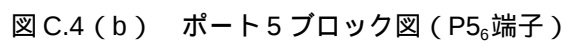
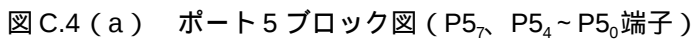


図 C.3 (d) ポート 3 ブロック図 (P₃₀ 端子)



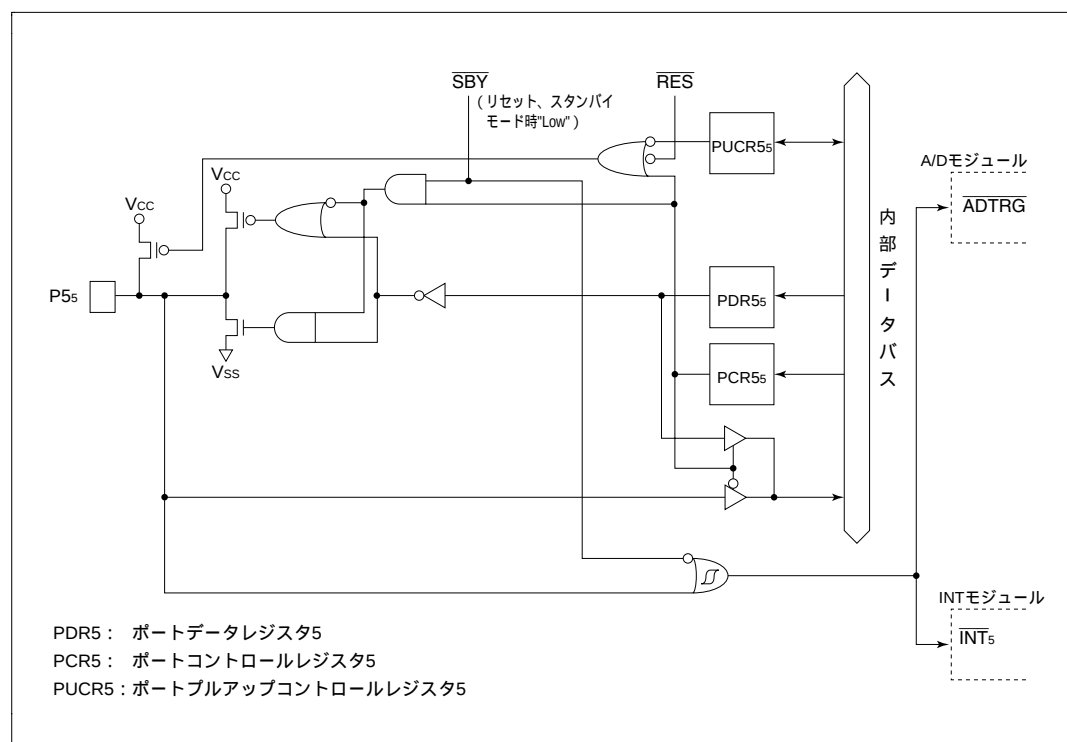
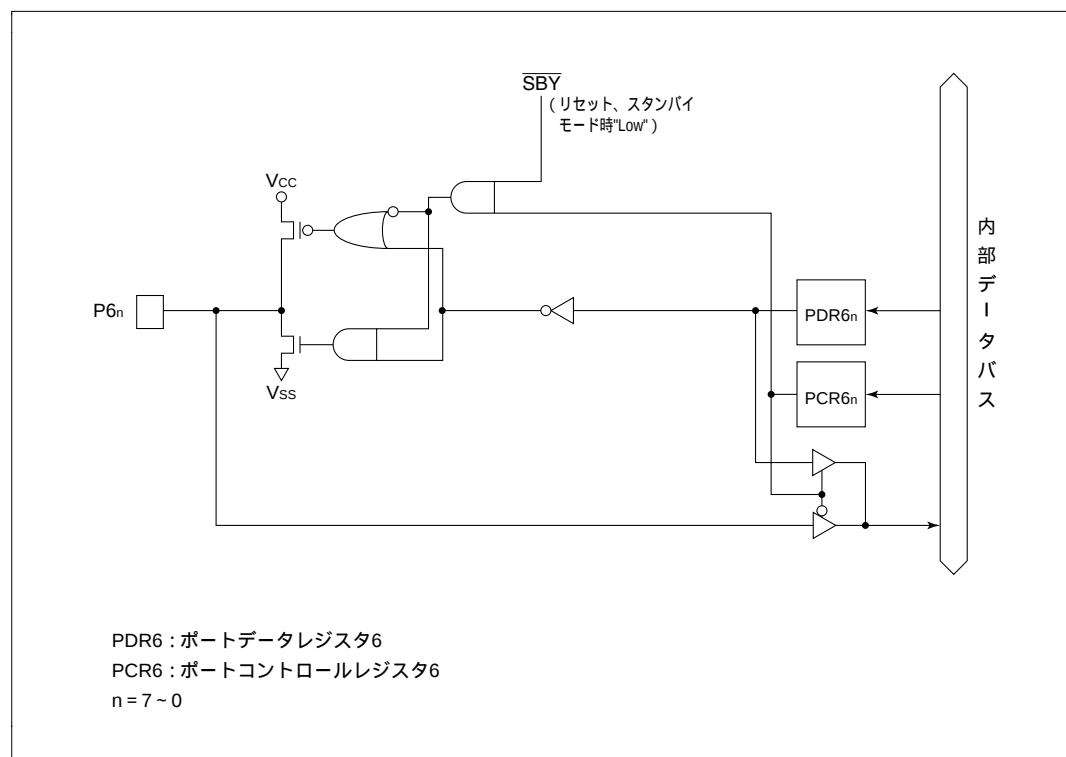


図 C.4 (c) ポート 5 ブロック図 (P5₅端子)

C.5 ポート 6 ブロック図

図 C.5 ポート 6 ブロック図 (P6₇ ~ P6₀端子)

C.6 ポート7ブロック図

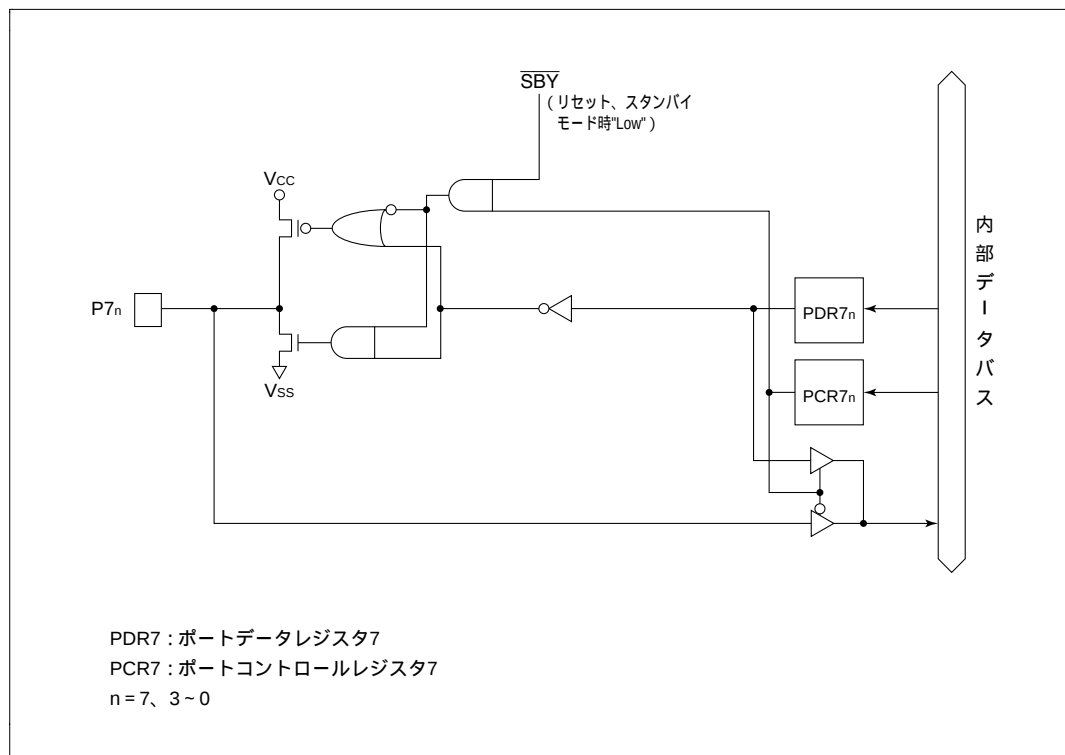


図 C.6 (a) ポート7ブロック図 ($P7_7$, $P7_3 \sim P7_0$ 端子)

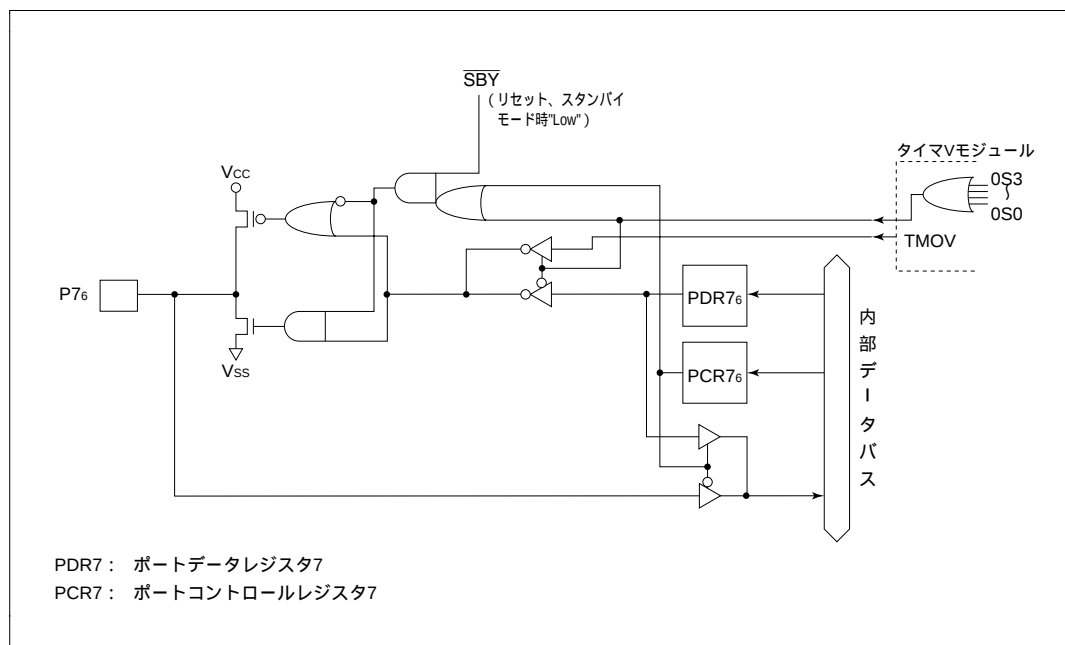


図 C.6 (b) ポート7ブロック図 ($P7_6$ 端子)

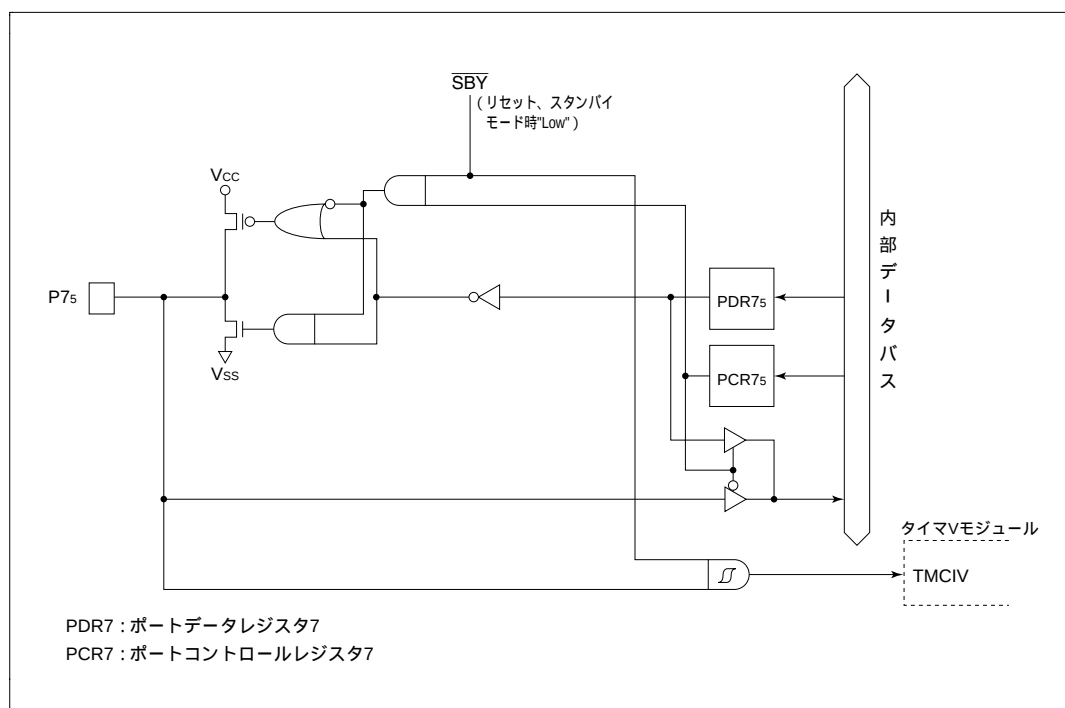


図 C.6 (c) ポート7 ブロック図 (P7₅端子)

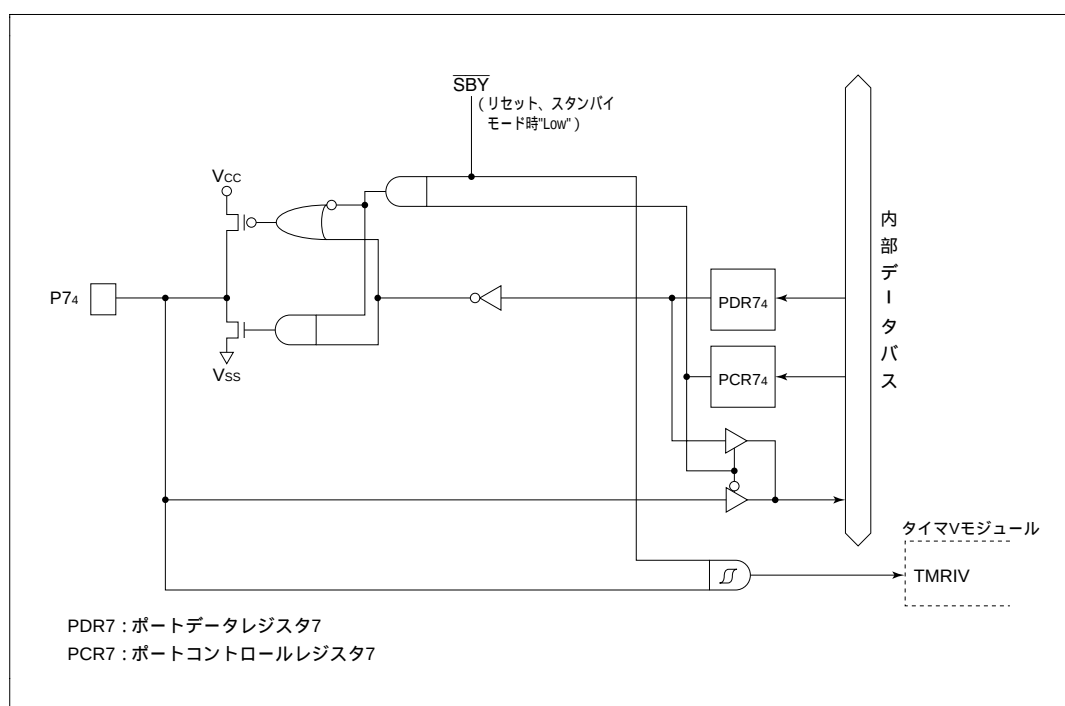


図 C.6 (d) ポート7 ブロック図 (P7₄端子)

C.7 ポート 8 ブロック図

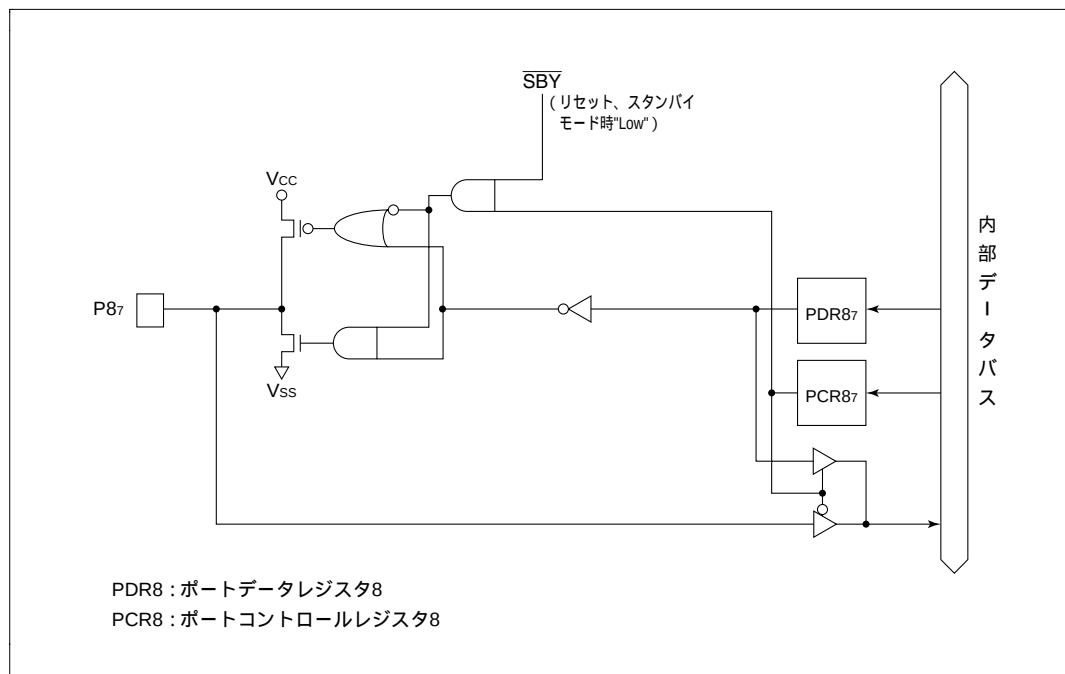


図 C.7 (a) ポート 8 ブロック図 (P8₇端子)

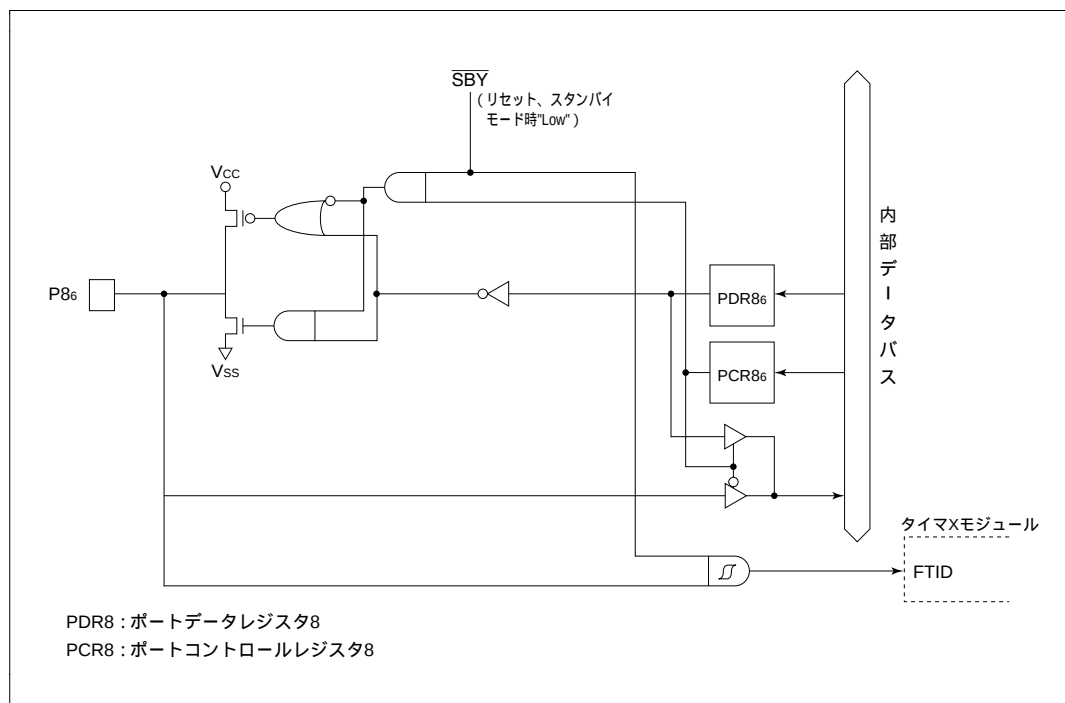


図 C.7 (b) ポート 8 ブロック図 (P8₆端子)

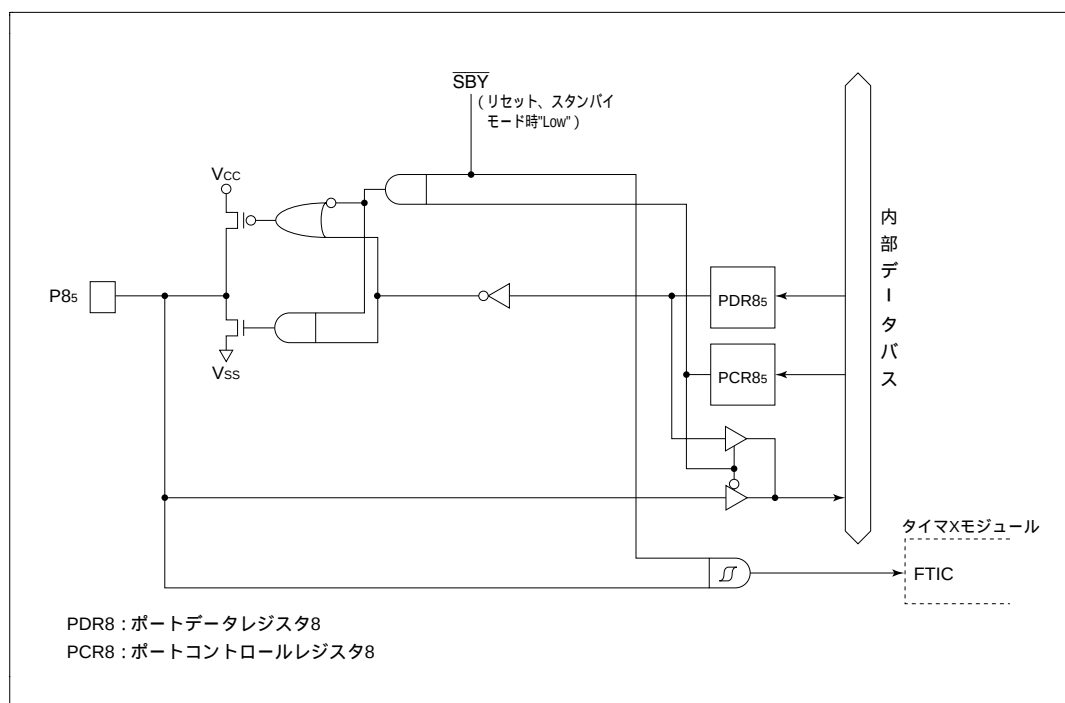


図 C.7 (c) ポート 8 ブロック図 (P8₅端子)

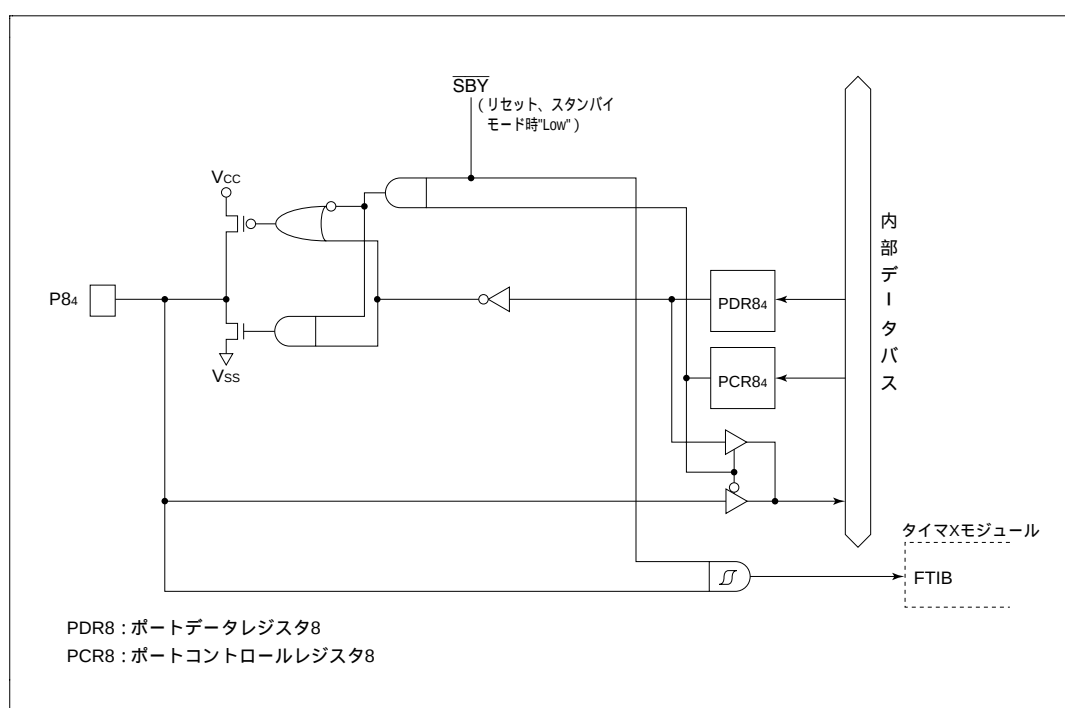
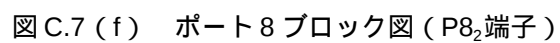
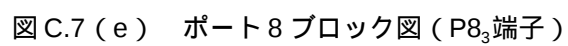


図 C.7 (d) ポート 8 ブロック図 (P8₄端子)



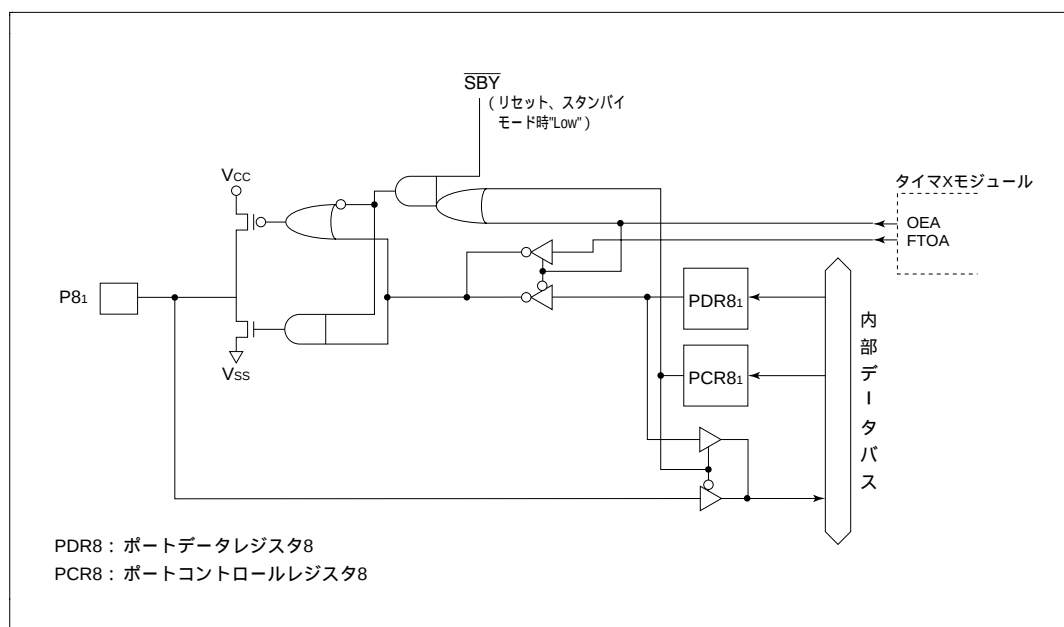


図 C.7 (g) ポート 8 ブロック図 (P8₁端子)

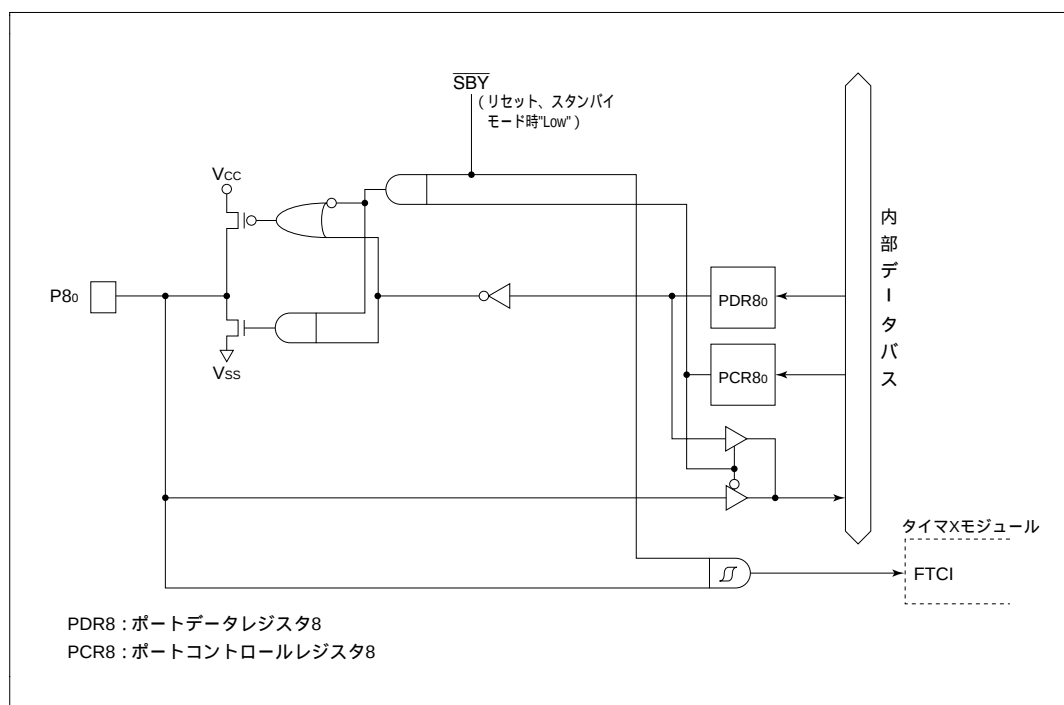


図 C.7 (h) ポート 8 ブロック図 (P8₀端子)

C.8 ポート9ブロック図

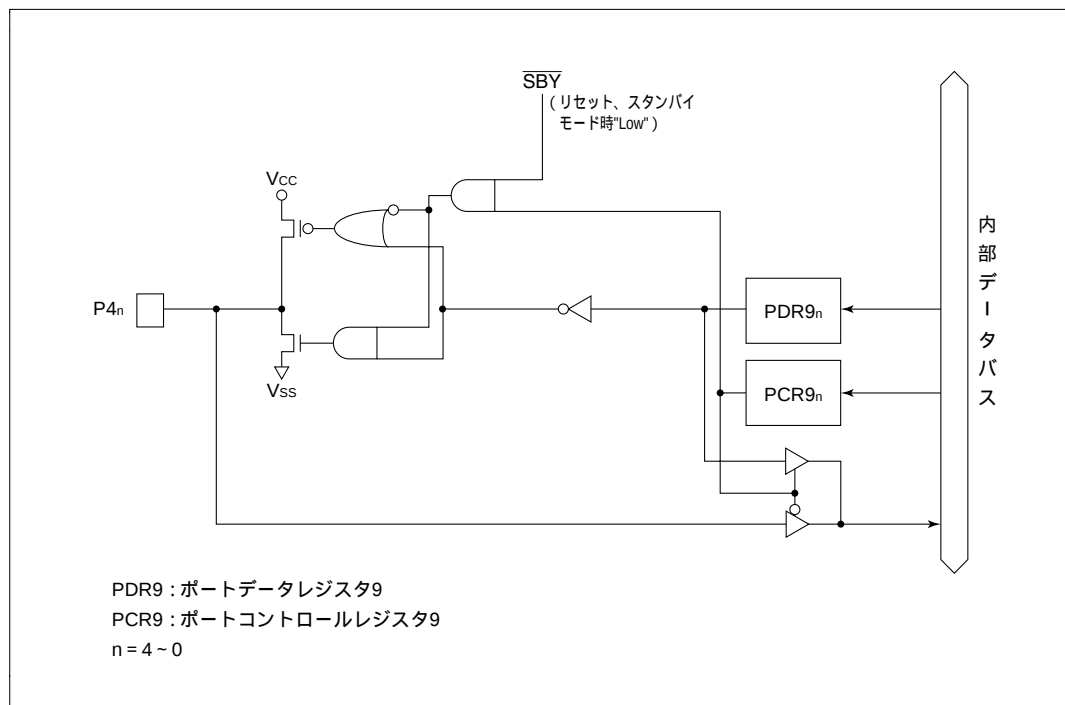


図 C.8 ポート9ブロック図 (P9₄ ~ P9₀端子)

C.9 ポート B ブロック図

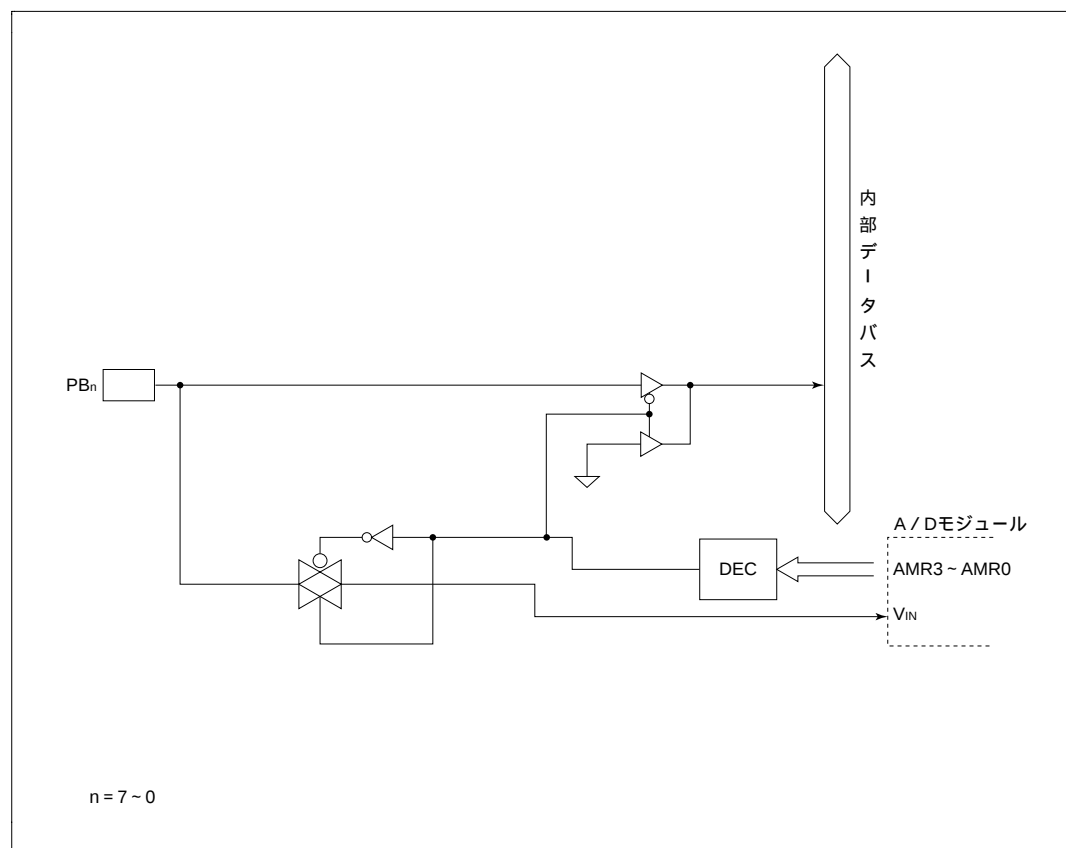


図 C.9 ポート B ブロック図 (PB₇~PB₀端子)

D. 各処理状態におけるポートの状態

表 D.1 各ポートの状態一覧

動作モード	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P1 ₇ ~ P1 ₀	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	保持	動作	動作
P2 ₇ ~ P2 ₀	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作
P3 ₅ ~ P3 ₀	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	保持	動作	動作
P5 ₇ ~ P5 ₀	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	保持	動作	動作
P6 ₇ ~ P6 ₀	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作
P7 ₇ ~ P7 ₀	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作
P8 ₇ ~ P8 ₀	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作
P9 ₄ ~ P9 ₀	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作
PB ₇ ~ PB ₀	ハイ インピー ダンス	ハイ インピー ダンス	ハイ インピー ダンス	ハイ インピー ダンス	ハイ インピー ダンス	ハイ インピー ダンス	ハイ インピー ダンス

【注】 * ブルアップ MOS が ON 状態では"High"レベル出力となります。

E. ROM 発注手順

E.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2 組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、弊社では図 E.1 の流れ図に沿って ROM 書き換え品の開発を行います。

表 E.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社担当営業へお問い合わせください。

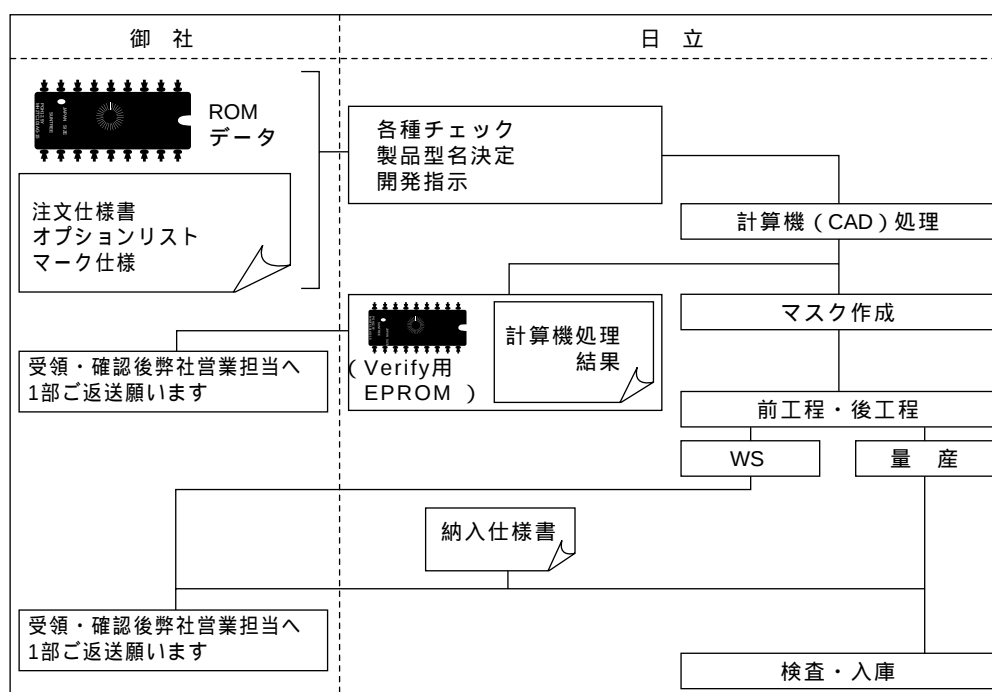


図 E.1 ROM 書き換え品開発の流れ

表 E.1 ROM 発注時に必要な提出物

発注媒体	EPROM または ZTAT [®] マイコン
提出物	ROM データ
	注文仕様書
	オプションリスト ^{*1}
	マーク仕様例 ^{*2}

【注】 ^{*1} 製品シリーズにより必要ないものがあります。また、内容も異なります。

^{*2} 特別仕様の場合には、提出してください。

E.2 ROM 発注時の注意事項

提出していただく ROM データは、次の注意事項にしたがって、EPROM または ZTAT® マイコンで提出してください。なお、EPROM または ZTAT® マイコン以外の媒体（フロッピーディスク等）では対応できませんのでご注意ください。

- (1) EPROM に ROM データを書き込む際は、事前にデータを充分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用 EPROM において、ROM データの未使用（NOT USED）領域またはリザーブ領域には、必ず'FF'を書き込んでください。
- (3) 提出していただく EPROM には遮光ラベルを貼り、御社の品番等を記入してください。
- (4) EPROM に書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導伝性のシートに梱包するなど取り扱いに充分注意してください（アルミ箔、発泡スチロール等は不可）。なお、これらによるデータの読み取りエラーに備え、同一内容の EPROM を 2 組以上提出してください。

F. 型名一覧

表 F.1 H8/3657 シリーズ型名一覧

製品分類			製品型名	マーク型名	パッケージ (日立パッケージコード)
H8/3657	ZTAT 版	標準品	HD6473657W	HD6473657W	80 ピン TQFP (TFP-80C)
			HD6473657X	HD6473657X	80 ピン TQFP (TFP-80F)
			HD6473657H	HD6473657H	80 ピン QFP (FP-80A)
			HD6473657F	HD6473657F	80 ピン QFP (FP-80B)
	マスク ROM 版		HD6433657W	HD6433657 (***) W	80 ピン TQFP (TFP-80C)
			HD6433657X	HD6433657 (***) X	80 ピン TQFP (TFP-80F)
			HD6433657H	HD6433657 (***) H	80 ピン QFP (FP-80A)
			HD6433657F	HD6433657 (***) F	80 ピン QFP (FP-80B)
H8/3656	マスク ROM 版	標準品	HD6433656W	HD6433656 (***) W	80 ピン TQFP (TFP-80C)
			HD6433656X	HD6433656 (***) X	80 ピン TQFP (TFP-80F)
			HD6433656H	HD6433656 (***) H	80 ピン QFP (FP-80A)
			HD6433656F	HD6433656 (***) F	80 ピン QFP (FP-80B)
H8/3655	マスク ROM 版		HD6433655W	HD6433655 (***) W	80 ピン TQFP (TFP-80C)
			HD6433655X	HD6433655 (***) X	80 ピン TQFP (TFP-80F)
			HD6433655H	HD6433655 (***) H	80 ピン QFP (FP-80A)
			HD6433655F	HD6433655 (***) F	80 ピン QFP (FP-80B)
H8/3654	マスク ROM 版		HD6433654W	HD6433654 (***) W	80 ピン TQFP (TFP-80C)
			HD6433654X	HD6433654 (***) X	80 ピン TQFP (TFP-80F)
			HD6433654H	HD6433654 (***) H	80 ピン QFP (FP-80A)
			HD6433654F	HD6433654 (***) F	80 ピン QFP (FP-80B)
H8/3653	マスク ROM 版		HD6433653W	HD6433653 (***) W	80 ピン TQFP (TFP-80C)
			HD6433653X	HD6433653 (***) X	80 ピン TQFP (TFP-80F)
			HD6433653H	HD6433653 (***) H	80 ピン QFP (FP-80A)
			HD6433653F	HD6433653 (***) F	80 ピン QFP (FP-80B)
H8/3652	マスク ROM 版		HD6433652W	HD6433652 (***) W	80 ピン TQFP (TFP-80C)
			HD6433652X	HD6433652 (***) X	80 ピン TQFP (TFP-80F)
			HD6433652H	HD6433652 (***) H	80 ピン QFP (FP-80A)
			HD6433652F	HD6433652 (***) F	80 ピン QFP (FP-80B)

【注】 マスク ROM 版の (***) は ROM コードです。

G. 外形寸法図

H8/3657 シリーズの外形寸法図 TFP-80C を図 G.1 に、TFP-80F を図 G.2 に、FP-80A を図 G.3 に、FP-80B を図 G.4 に示します。

【注】 外形寸法図については、「日立半導体パッケージ」に掲載されている寸法図を優先します。

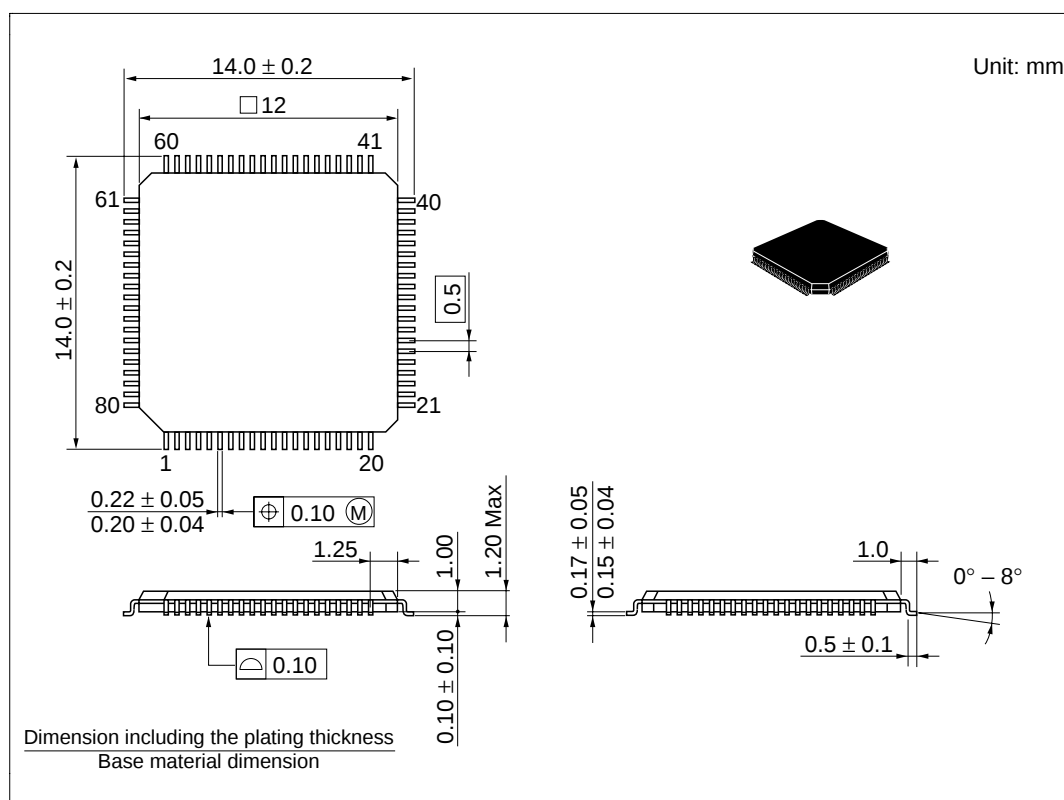


図 G.1 外形寸法図〔TFP-80C〕

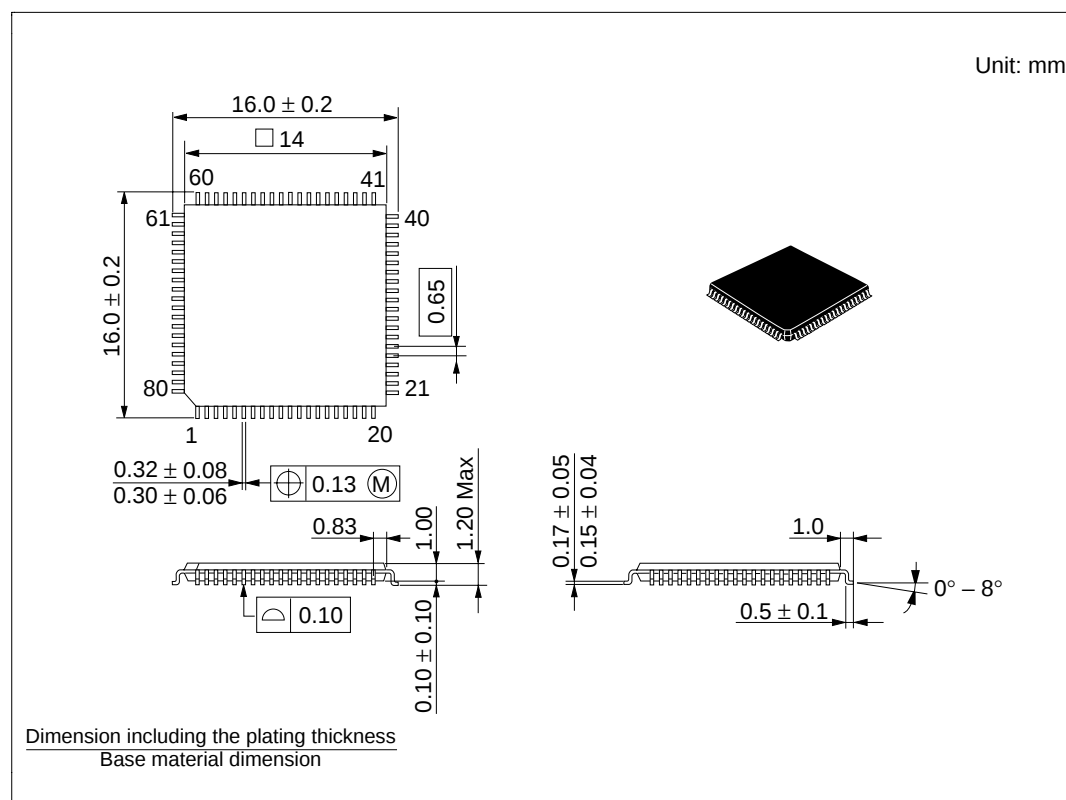


図 G.2 外形寸法図〔TFP-80F〕

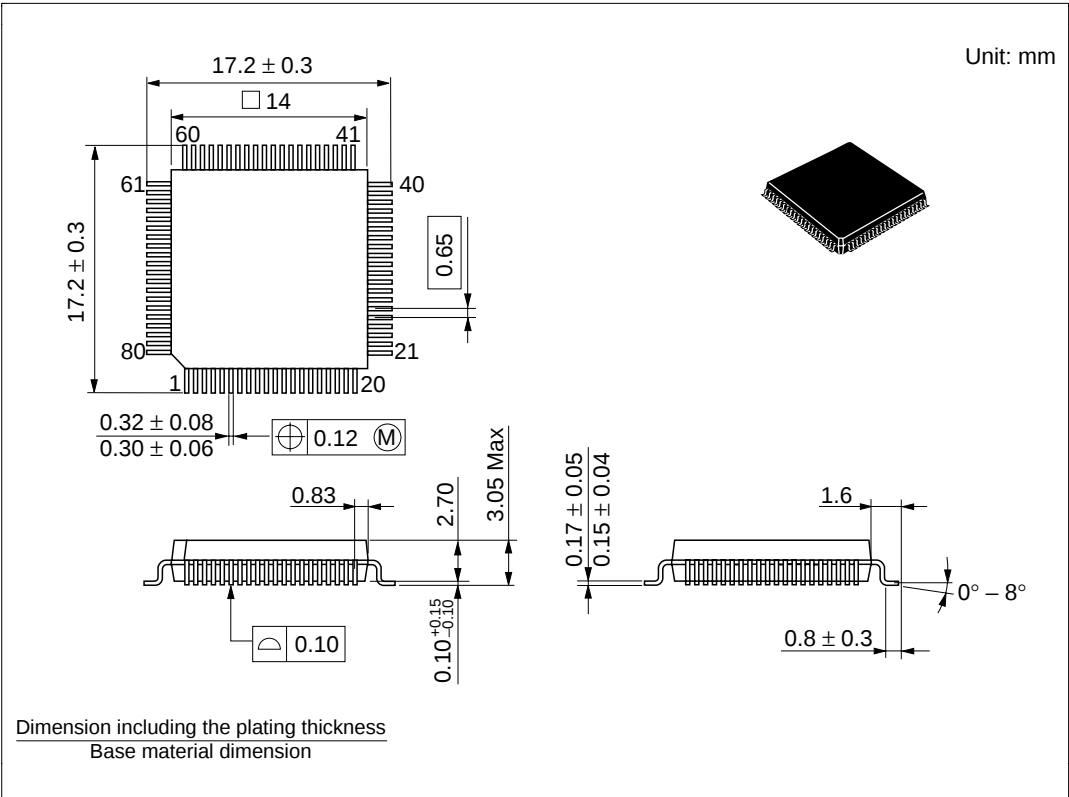


図 G.3 外形寸法図〔FP-80A〕

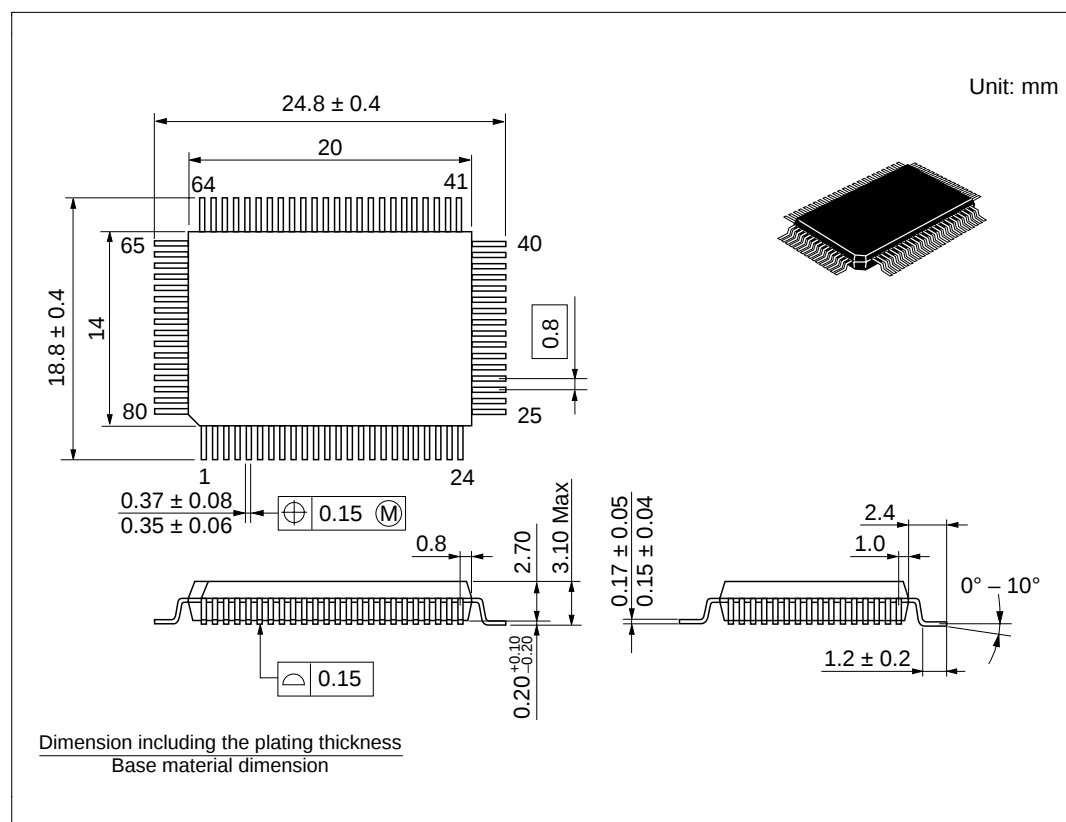


図 G.4 外形寸法図〔FP-80B〕

H8/3657 シリーズ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668