

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

H8/3644 グループ、H8/3644R グループ、 H8/3644F-ZTAT™、H8/3643F-ZTAT™、 H8/3642AF-ZTAT™

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
H8ファミリ／H8/300Lシリーズ

H8/3644	HD6473644、HD6433644
H8/3644R	HD6473644R、HD6433644R
H8/3643	HD6433643
H8/3643R	HD6433643R
H8/3642	HD6433642
H8/3642R	HD6433642R
H8/3641	HD6433641
H8/3641R	HD6433641R
H8/3640	HD6433640
H8/3640R	HD6433640R
H8/3644F-ZTAT™	HD64F3644
H8/3643F-ZTAT™	HD64F3643
H8/3642AF-ZTAT™	HD64F3642A

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますとは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC 端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC 端子には、何も接続しないようにしてください。接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】未使用の入力端子はハイまたはローレベルに固定してください。

CMOS 製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

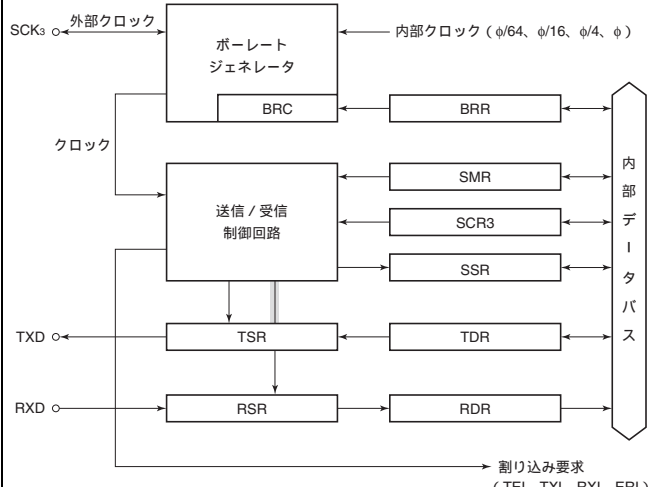
はじめに

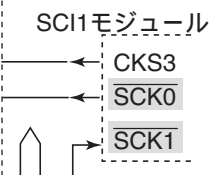
H8/300L シリーズは、高速 H8/300L CPU を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。H8/300L CPU は、H8/300 CPU と互換性のある命令体系を備えています。

H8/3644 グループは、システム構成に必要な周辺機能として、5 種類のタイマ、14 ビット PWM、2 チャンネルのシリアルコミュニケーションインタフェース、A/D 変換器を内蔵しており、高度な制御システムの組み込み用マイコンとして活用できます。

本マニュアルは、H8/3644 グループのハードウェアについて記載しています。命令の詳細については、「H8/300L シリーズ プログラミングマニュアル」をあわせてご覧ください。

本版で改訂された箇所

修正項目	ページ	修正箇所																								
全体	-	社名変更による変更 (修正前) 日立製作所 → (修正後) ルネサス テクノロジ 呼称変更による変更 (修正前) H8/3644 シリーズ → (修正後) H8/3644 グループ (修正前) H8/3644R シリーズ → (修正後) H8/3644R グループ																								
6.2.2 メモリマップ 表 6.2 ソケットアダプタ 図 6.2 ソケットアダプタの端子対応図 (ZTAT)	-	ソケットアダプタの記述を削除																								
6.8.2 メモリマップ 表 6.14 ソケットアダプタ型名 図 6.19 ソケットアダプタの端子対応図 (F-ZTAT)	-	ソケットアダプタの記述を削除																								
10.3.1 概要 (2) ブロック図 図 10.6 SCI3 のブロック図	10-14	図を修正  <p>外部クロック (SCK3) → ポーレートジェネレータ (BRC) ← 内部クロック (φ/64, φ/16, φ/4, φ)</p> <p>クロック → 送信/受信制御回路</p> <p>送信/受信制御回路 ↔ (SMR, SCR3, SSR) ↔ 内部データバス</p> <p>送信/受信制御回路 ↔ (TSR, RSR, TDR, RDR) ↔ 内部データバス</p> <p>TXD ← TSR</p> <p>RXD → RSR</p> <p>割り込み要求 (TEI, TXI, RXI, ERI)</p>																								
A.1 命令一覧 表 A.1 命令セット一覧	付録-5	表を修正 <table border="1" data-bbox="631 1487 1166 1680"> <thead> <tr> <th colspan="2">ニーモニック</th> <th colspan="6">コンディションコード</th> </tr> <tr> <th>SHLR</th> <th>SHLR.B Rd</th> <th>I</th> <th>H</th> <th>N</th> <th>Z</th> <th>V</th> <th>C</th> </tr> </thead> <tbody> <tr> <td></td> <td></td> <td>-</td> <td>-</td> <td>↓</td> <td>↓</td> <td>0</td> <td>↓</td> </tr> </tbody> </table>	ニーモニック		コンディションコード						SHLR	SHLR.B Rd	I	H	N	Z	V	C			-	-	↓	↓	0	↓
ニーモニック		コンディションコード																								
SHLR	SHLR.B Rd	I	H	N	Z	V	C																			
		-	-	↓	↓	0	↓																			

修正項目	ページ	修正箇所
C.3 ポート3ブロック図 図 C.3(c) ポート3ブロック 図 (P3 ₀ 端子)	付録-80	図を修正  <p>The diagram shows the SCI1 module connected to the P3₀ pin. The module is enclosed in a dashed box and labeled 'SCI1モジュール'. Three pins are shown: CKS3, SCK0, and SCK1. Arrows indicate the following connections: CKS3 is connected to P3₀ (indicated by a downward arrow from the pin to the label); SCK0 is connected to P3₀ (indicated by a downward arrow from the pin to the label); SCK1 is connected to P3₁ (indicated by an upward arrow from the label to the pin).</p>

目次

第1章 概要

1.1	概要	1-1
1.2	内部ブロック図	1-4
1.3	端子説明	1-5
1.3.1	ピン配置	1-5
1.3.2	端子機能	1-8

第2章 CPU

2.1	概要	2-1
2.1.1	特長	2-1
2.1.2	アドレス空間	2-2
2.1.3	レジスタ構成	2-2
2.2	各レジスタの説明	2-3
2.2.1	汎用レジスタ	2-3
2.2.2	コントロールレジスタ	2-3
2.2.3	CPU 内部レジスタの初期値	2-5
2.3	データ構成	2-6
2.3.1	汎用レジスタのデータ構成	2-7
2.3.2	メモリ上でのデータ構成	2-8
2.4	アドレッシングモード	2-9
2.4.1	アドレッシングモード	2-9
2.4.2	実効アドレスの計算方法	2-11
2.5	命令セット	2-15
2.5.1	データ転送命令	2-17
2.5.2	算術演算命令	2-19
2.5.3	論理演算命令	2-20
2.5.4	シフト命令	2-20
2.5.5	ビット操作命令	2-22
2.5.6	分岐命令	2-25
2.5.7	システム制御命令	2-27
2.5.8	ブロック転送命令	2-28
2.6	基本動作タイミング	2-29
2.6.1	内蔵メモリ (RAM、ROM)	2-29
2.6.2	内蔵周辺モジュール	2-30
2.7	CPU の状態	2-32
2.7.1	概要	2-32
2.7.2	プログラム実行状態	2-33
2.7.3	プログラム停止状態	2-33

2.7.4	例外処理状態	2-33
2.8	メモリマップ	2-34
2.9	使用上の注意事項	2-35
2.9.1	データアクセスに関する注意事項	2-35
2.9.2	ビット操作命令使用上の注意事項	2-37
2.9.3	EEMOV 命令使用上の注意事項	2-43

第 3 章 例外処理

3.1	概要	3-1
3.2	リセット	3-1
3.2.1	概要	3-1
3.2.2	リセットシーケンス	3-1
3.2.3	リセット直後の割り込み	3-3
3.3	割り込み	3-4
3.3.1	概要	3-4
3.3.2	各レジスタの説明	3-6
3.3.3	外部割り込み	3-14
3.3.4	内部割り込み	3-14
3.3.5	割り込み動作	3-15
3.3.6	割り込み応答時間	3-20
3.4	使用上の注意事項	3-21
3.4.1	スタック領域に関する使用上の注意事項	3-21
3.4.2	ポートモードレジスタを書き換える際の注意事項	3-22

第 4 章 クロック発振器

4.1	概要	4-1
4.1.1	ブロック図	4-1
4.1.2	システムクロックとサブクロック	4-1
4.2	システムクロック発振器	4-2
4.3	サブクロック発振器	4-5
4.4	プリスケアラ	4-7
4.5	発振子に関する注意事項	4-8

第 5 章 低消費電力モード

5.1	概要	5-1
5.1.1	システムコントロールレジスタ	5-4
5.2	スリープモード	5-8
5.2.1	スリープモードへの遷移	5-8
5.2.2	スリープモードの解除	5-8
5.2.3	スリープ(中速)モードの動作周波数について	5-8
5.3	スタンバイモード	5-9
5.3.1	スタンバイモードへの遷移	5-9
5.3.2	スタンバイモードの解除	5-9
5.3.3	スタンバイモード解除後の発振安定時間の設定	5-10

5.4	ウォッチモード	5-11
5.4.1	ウォッチモードへの遷移	5-11
5.4.2	ウォッチモードの解除	5-11
5.4.3	ウォッチモード解除後の発振安定時間の設定	5-11
5.5	サブスリープモード	5-12
5.5.1	サブスリープモードへの遷移	5-12
5.5.2	サブスリープモードの解除	5-12
5.6	サブアクティブモード	5-13
5.6.1	サブアクティブモードへの遷移	5-13
5.6.2	サブアクティブモードの解除	5-13
5.6.3	サブアクティブモードの動作周波数について	5-13
5.7	アクティブ(中速)モード	5-14
5.7.1	アクティブ(中速)モードへの遷移	5-14
5.7.2	アクティブ(中速)モードの解除	5-14
5.7.3	アクティブ(中速)モードの動作周波数について	5-14
5.8	直接遷移	5-15
第6章 ROM		
6.1	概要	6-1
6.1.1	ブロック図	6-1
6.2	PROMモード	6-2
6.2.1	PROMモードの設定	6-2
6.2.2	メモリマップ	6-2
6.3	プログラミング	6-3
6.3.1	書き込み/ベリファイ	6-4
6.3.2	書き込み時の注意	6-6
6.3.3	書き込み後の信頼性	6-7
6.4	フラッシュメモリの概要	6-8
6.4.1	フラッシュメモリの動作原理	6-8
6.4.2	モード端子の設定とROM空間	6-9
6.4.3	特長	6-9
6.4.4	ブロック図	6-10
6.4.5	端子構成	6-11
6.4.6	レジスタ構成	6-11
6.5	フラッシュメモリ各レジスタの説明	6-12
6.5.1	フラッシュメモリコントロールレジスタ (FLMCR)	6-12
6.5.2	消去ブロック指定レジスタ 1 (EBR1)	6-14
6.5.3	消去ブロック指定レジスタ 2 (EBR2)	6-15
6.6	オンボードプログラミングモード	6-18
6.6.1	ブートモード	6-18
6.6.2	ユーザプログラムモード	6-23
6.7	フラッシュメモリの書き込み/消去	6-25
6.7.1	書き込みモード	6-25
6.7.2	書き込みベリファイモード	6-25
6.7.3	書き込みのフローチャートとプログラム例	6-26

6.7.4	消去モード	6-29
6.7.5	消去ベリファイモード	6-29
6.7.6	消去のフローチャートとプログラム例	6-30
6.7.7	プレライトベリファイモード	6-44
6.7.8	プロテクトモード	6-45
6.7.9	フラッシュメモリへの書き込み / 消去時の割り込み処理	6-46
6.8	フラッシュメモリの PROM モード (H8/3644F、H8/3643F、H8/3642AF)	6-47
6.8.1	PROM モードの設定	6-47
6.8.2	メモリマップ	6-47
6.8.3	PROM モードの動作	6-48
6.9	フラッシュメモリの書き込み / 消去時の注意	6-56
第7章 RAM		
7.1	概要	7-1
7.1.1	ブロック図	7-1
第8章 I/Oポート		
8.1	概要	8-1
8.2	ポート 1	8-3
8.2.1	概要	8-3
8.2.2	レジスタの構成と説明	8-3
8.2.3	端子機能	8-7
8.2.4	端子状態	8-8
8.2.5	入力プルアップ MOS	8-8
8.3	ポート 2	8-9
8.3.1	概要	8-9
8.3.2	レジスタの構成と説明	8-9
8.3.3	端子機能	8-10
8.3.4	端子状態	8-11
8.4	ポート 3	8-12
8.4.1	概要	8-12
8.4.2	レジスタの構成と説明	8-12
8.4.3	端子機能	8-16
8.4.4	端子状態	8-16
8.4.5	入力プルアップ MOS	8-17
8.5	ポート 5	8-18
8.5.1	概要	8-18
8.5.2	レジスタの構成と説明	8-18
8.5.3	端子機能	8-20
8.5.4	端子状態	8-20
8.5.5	入力プルアップ MOS	8-21
8.6	ポート 6	8-22
8.6.1	概要	8-22
8.6.2	レジスタの構成と説明	8-22
8.6.3	端子機能	8-23
8.6.4	端子状態	8-23

8.7	ポート 7	8-24
8.7.1	概要.....	8-24
8.7.2	レジスタの構成と説明	8-24
8.7.3	端子機能.....	8-25
8.7.4	端子状態.....	8-26
8.8	ポート 8	8-27
8.8.1	概要.....	8-27
8.8.2	レジスタの構成と説明	8-27
8.8.3	端子機能.....	8-28
8.8.4	端子状態.....	8-29
8.9	ポート 9	8-30
8.9.1	概要.....	8-30
8.9.2	レジスタの構成と説明	8-30
8.9.3	端子機能.....	8-31
8.9.4	端子状態.....	8-32
8.10	ポート B	8-33
8.10.1	概要.....	8-33
8.10.2	レジスタの構成と説明	8-33
8.10.3	端子機能.....	8-34
8.10.4	端子状態.....	8-34

第 9 章 タイマ

9.1	概要	9-1
9.2	タイマ A	9-2
9.2.1	概要.....	9-2
9.2.2	各レジスタの説明	9-4
9.2.3	動作説明.....	9-6
9.2.4	タイマ A の動作モード	9-6
9.3	タイマ B1	9-7
9.3.1	概要.....	9-7
9.3.2	各レジスタの説明	9-8
9.3.3	動作説明.....	9-10
9.3.4	タイマ B1 の動作モード.....	9-11
9.4	タイマ V	9-12
9.4.1	概要.....	9-12
9.4.2	各レジスタの説明	9-14
9.4.3	動作説明.....	9-20
9.4.4	タイマ V の動作モード	9-25
9.4.5	割り込み要因.....	9-25
9.4.6	タイマ V の使用例	9-26
9.4.7	使用上の注意事項	9-28
9.5	タイマ X	9-34
9.5.1	概要.....	9-34
9.5.2	各レジスタの説明	9-37
9.5.3	CPU とのインタフェース	9-49

9.5.4	動作説明	9-51
9.5.5	タイマ X の動作モード	9-58
9.5.6	割り込み要因	9-58
9.5.7	タイマ X の使用例	9-59
9.5.8	使用上の注意事項	9-60
9.6	ウォッチドッグタイマ	9-65
9.6.1	概要	9-65
9.6.2	各レジスタの説明	9-66
9.6.3	動作説明	9-69
9.6.4	ウォッチドッグタイマの動作モード	9-70
第 10 章 シリアルコミュニケーションインタフェース		
10.1	概要	10-1
10.2	SCI1	10-2
10.2.1	概要	10-2
10.2.2	各レジスタの説明	10-4
10.2.3	クロック同期モード時の動作説明	10-9
10.2.4	SSB モード時の動作説明	10-11
10.2.5	割り込み要因	10-12
10.3	SCI3	10-13
10.3.1	概要	10-13
10.3.2	各レジスタの説明	10-15
10.3.3	動作概要	10-30
10.3.4	調歩同期式モード時の動作説明	10-33
10.3.5	クロック同期式モード時の動作説明	10-41
10.3.6	マルチプロセッサ通信機能	10-48
10.3.7	割り込み要因	10-53
10.3.8	使用上の注意事項	10-53
第 11 章 14 ビット PWM		
11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	ブロック図	11-1
11.1.3	端子構成	11-2
11.1.4	レジスタ構成	11-2
11.2	各レジスタの説明	11-3
11.2.1	PWM コントロールレジスタ (PWCR)	11-3
11.2.2	PWM データレジスタ U、L (PWDRU、PWDRL)	11-4
11.3	動作説明	11-5
第 12 章 A/D 変換器		
12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-2
12.1.3	端子構成	12-3
12.1.4	レジスタ構成	12-3

12.2	各レジスタの説明	12-4
12.2.1	A/D リザルトレジスタ (ADRR)	12-4
12.2.2	A/D モードレジスタ (AMR)	12-4
12.2.3	A/D スタートレジスタ (ADSR)	12-6
12.3	動作説明	12-7
12.3.1	A/D 変換動作	12-7
12.3.2	外部トリガによる A/D 変換器の起動	12-7
12.4	割り込み要因	12-8
12.5	使用例	12-8
12.6	使用上の注意	12-12
第 13 章 電気的特性		
13.1	絶対最大定格	13-1
13.2	電気的特性 (ZTAT 版、マスク ROM 版)	13-2
13.2.1	電源電圧と動作範囲	13-2
13.2.2	DC 特性 (HD6473644)	13-4
13.2.3	AC 特性 (HD6473644)	13-8
13.2.4	DC 特性 (HD6433644、HD6433643、HD6433642、HD6433641、 HD6433640)	13-11
13.2.5	AC 特性 (HD6433644、HD6433643、HD6433642、HD6433641、 HD6433640)	13-15
13.2.6	A/D 変換器特性	13-17
13.3	電気的特性 (ZTAT 版、マスク ROM 版の R 版)	13-18
13.3.1	電源電圧と動作範囲	13-18
13.3.2	DC 特性 (HD6473644R)	13-20
13.3.3	AC 特性 (HD6473644R)	13-24
13.3.4	DC 特性 (HD6433644R、HD6433643R、HD6433642R、HD6433641R、 HD6433640R)	13-27
13.3.5	AC 特性 (HD6433644R、HD6433643R、HD6433642R、HD6433641R、 HD6433640R)	13-31
13.3.6	A/D 変換器特性	13-33
13.4	電気的特性 (F-ZTAT™ 版)	13-34
13.4.1	電源電圧と動作範囲	13-34
13.4.2	DC 特性 (HD64F3644、HD64F3643、HD64F3642A)	13-36
13.4.3	AC 特性 (HD64F3644、HD64F3643、HD64F3642A)	13-40
13.4.4	A/D 変換器特性	13-42
13.5	動作タイミング	13-43
13.6	出力負荷回路	13-46
付録		
A.	命令	付録-1
A.1	命令一覧	付録-1
A.2	オペレーションコードマップ	付録-11
A.3	命令実行ステート数	付録-13

B.	内蔵 I/O レジスタ一覧.....	付録-18
B.1	アドレス一覧.....	付録-18
B.2	機能一覧.....	付録-22
C.	I/O ポートブロック図.....	付録-71
C.1	ポート 1 ブロック図.....	付録-71
C.2	ポート 2 ブロック図.....	付録-75
C.3	ポート 3 ブロック図.....	付録-78
C.4	ポート 5 ブロック図.....	付録-81
C.5	ポート 6 ブロック図.....	付録-84
C.6	ポート 7 ブロック図.....	付録-85
C.7	ポート 8 ブロック図.....	付録-88
C.8	ポート 9 ブロック図.....	付録-94
C.9	ポート B ブロック図.....	付録-95
D.	各処理状態におけるポートの状態.....	付録-96
E.	型名一覧.....	付録-97
F.	外形寸法図.....	付録-99

1. 概要

1.1 概要

H8/300L シリーズは、高速 H8/300L CPU を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータ (MCU : Microcomputer Unit) です。

H8/3644 グループは、UART (Universal Asynchronous Receiver/Transmitter) を内蔵した H8/300L シリーズの製品で、周辺機能として、5 種類のタイマ、14 ビット PWM、2 チャンネルのシリアルコミュニケーションインタフェース、A/D 変換器などを内蔵しており、高度な制御システムの組み込み用マイコンに最適な構成となっています。

H8/3644 グループにはマスク ROM 版のほか、ユーザサイドで自由にプログラムの書き込みができる PROM を内蔵した ZTAT[®]*¹ 版、またオンボードプログラミングが可能なフラッシュメモリを内蔵した F-ZTAT[™]*² 版があります。

H8/3644 グループの特長を表 1.1 に示します。

【注】*1 ZTAT は (株) ルネサス テクノロジーの登録商標です。

*2 F-ZTAT は (株) ルネサス テクノロジーの商標です。

表 1.1 特長

項目	仕様
CPU	<p>高速 H8/300L CPU</p> <p>(1) 汎用レジスタ方式</p> <ul style="list-style-type: none">汎用レジスタ : 8 ビット × 16 本 (16 ビット × 8 本としても使用可能) <p>(2) 高速演算</p> <ul style="list-style-type: none">最高動作周波数 : 5MHz (マスク ROM 版、ZTAT 版) 8MHz (F-ZTAT 版および ZTAT 版の R 版、 マスク ROM 版の R 版のみに対応)加減算 : 0.4μs (φ = 5MHz 動作時) 0.25μs (φ = 8MHz 動作時)*¹乗除算 : 2.8μs (φ = 5MHz 動作時) 1.75μs (φ = 8MHz 動作時)*¹32.768kHz サブクロックによる動作可能 <p>(3) H8/300 CPU と互換性のある命令体系</p> <ul style="list-style-type: none">命令フォーマットは 2 バイトまたは 4 バイト長基本演算はレジスタ - レジスタ間で実行MOV 命令によるメモリ - レジスタ間データ転送 <p>(4) 特長ある命令</p> <ul style="list-style-type: none">乗算命令 (8 ビット × 8 ビット)除算命令 (16 ビット ÷ 8 ビット)ビットアキュムレータ命令レジスタ間接指定によりビット位置の指定が可能

1. 概要

項目	仕様
割り込み	33 種類の割り込み要因 <ul style="list-style-type: none"> 外部割り込み要因：12 要因 (IRQ₃ ~ IRQ₀、INT₇ ~ INT₀) 内部割り込み要因：21 要因
クロック発振器	2 種類のクロック発振器内蔵 <ul style="list-style-type: none"> システムクロック発振器：1 ~ 10MHz (1 ~ 16MHz^{*1}) <ul style="list-style-type: none"> 水晶、セラミック発振器：2 ~ 10MHz (2 ~ 16MHz^{*1}) 外部クロック入力：1 ~ 10MHz (1 ~ 16MHz^{*1}) サブクロック発振器：32.768kHz
低消費電力モード	7 種類の低消費電力モード <ul style="list-style-type: none"> スリープモード (高速) スリープモード (中速) スタンバイモード ウォッチモード サブスリープモード サブアクティブモード アクティブ (中速) モード
メモリ	大容量メモリ内蔵 <ul style="list-style-type: none"> H8/3644：ROM 32K バイト、RAM 1K バイト H8/3643：ROM 24K バイト、RAM 1K バイト H8/3642：ROM 16K バイト、RAM 512 バイト (F-ZTAT 版：RAM 1K バイト) H8/3641：ROM 12K バイト、RAM 512 バイト H8/3640：ROM 8K バイト、RAM 512 バイト
I/O ポート	I/O ポート 53 本 <ul style="list-style-type: none"> 入出力端子：45 本 入力端子：8 本
タイマ	5 種類のタイマ内蔵 <p>(1) タイマ A：8 ビットのタイマ</p> <ul style="list-style-type: none"> システムクロック(ϕ)^{*2}を分周した 8 種類の内部クロックまたは時計用クロック(ϕ_w)^{*2}を分周した 4 種類のクロックによりカウントアップ可能 <p>(2) タイマ B1：8 ビットのタイマ</p> <ul style="list-style-type: none"> 7 種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ可能 オートリロード機能可能 <p>(3) タイマ V：8 ビットのタイマ</p> <ul style="list-style-type: none"> 6 種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ可能 コンペアマッチ機能による波形出力可能 外部トリガ入力によりカウントアップ指定可能 <p>(4) タイマ X：16 ビットのタイマ</p> <ul style="list-style-type: none"> 3 種類の内部クロックまたは外部端子からのイベント入力によりカウントアップ可能 2 本のアウトプットコンペア出力 4 本のインプットキャプチャ入力 <p>(5) ウォッチドッグタイマ</p> <ul style="list-style-type: none"> 8 ビットカウンタのオーバーフローによりリセット信号を発生

項目	仕様				
シリアル コミュニケーション インタフェース	2チャンネルのシリアルコミュニケーションインタフェース内蔵 (1) SCI1: クロック同期式 • 8ビット/16ビットの転送データを選択可能 (2) SCI3: 8ビットクロック同期式/調歩同期式 • マルチプロセッサ通信機能内蔵				
14ビットPWM	リップル低減をはかったパルス分割方式PWM • 外部にローパスフィルタを接続することで14ビットD/A変換器として使用可能				
A/D変換器	抵抗ラダー方式による逐次比較方式の8ビットA/D変換器 • 8チャンネルのアナログ入力端子 • 変換時間: 1チャンネル当たり31 ϕ または62 ϕ				
製品ラインアップ	製品型名			パッケージ	ROM/RAM サイズ
	マスクROM版	ZTAT [®] 版	F-ZTAT [™] 版		
	HD6433644H HD6433644RH	HD6473644H HD6473644RH	HD64F3644H	64ピン QFP (FP-64A)	ROM32Kバイト
	HD6433644P HD6433644RP	HD6473644P HD6473644RP	HD64F3644P	64ピン SDIP (DP-64S)	RAM1Kバイト
	HD6433644W HD6433644RW	HD6473644W HD6473644RW	HD64F3644W	80ピン TQFP (TFP-80C)	
	HD6433643H HD6433643RH	—	HD64F3643H	64ピン QFP (FP-64A)	ROM24Kバイト
	HD6433643P HD6433643RP	—	HD64F3643P	64ピン SDIP (DP-64S)	RAM1Kバイト
	HD6433643W HD6433643RW	—	HD64F3643W	80ピン TQFP (TFP-80C)	
	HD6433642H HD6433642RH	—	HD64F3642AH	64ピン QFP (FP-64A)	ROM16Kバイト
	HD6433642P HD6433642RP	—	HD64F3642AP	64ピン SDIP (DP-64S)	RAM512バイト
	HD6433642W HD6433642RW	—	HD64F3642AW	80ピン TQFP (TFP-80C)	(F-ZTAT版: RAM 1Kバイト)
	HD6433641H HD6433641RH	—	—	64ピン QFP (FP-64A)	ROM12Kバイト
	HD6433641P HD6433641RP	—	—	64ピン SDIP (DP-64S)	RAM512バイト
	HD6433641W HD6433641RW	—	—	80ピン TQFP (TFP-80C)	
	HD6433640H HD6433640RH	—	—	64ピン QFP (FP-64A)	ROM8Kバイト
	HD6433640P HD6433640RP	—	—	64ピン SDIP (DP-64S)	RAM512バイト
	HD6433640W HD6433640RW	—	—	80ピン TQFP (TFP-80C)	

【注】 *1 ()内はF-ZTAT版およびZTAT版のR版、マスクROM版のR版のみに対応

*2 ϕ 、 ϕ_w の定義は「第4章 クロック発振器」を参照してください。

1. 概要

1.2 内部ブロック図

H8/3644 グループの内部ブロック図を図 1.1 に示します。

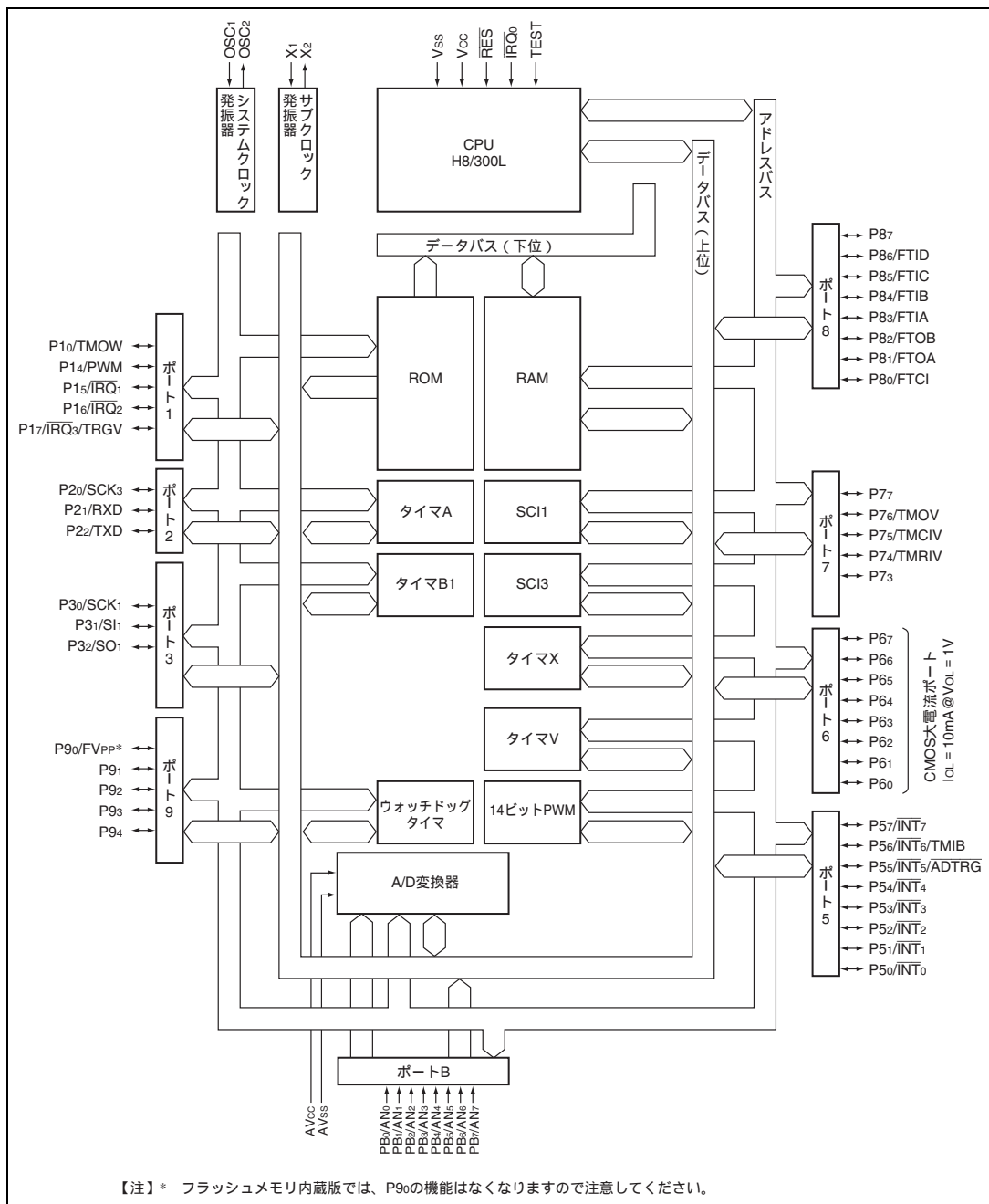


図 1.1 内部ブロック図

1.3 端子説明

1.3.1 ピン配置

H8/3644 グループのピン配置図を図 1.2 (FP-64A)、図 1.3 (DP-64S)、図 1.4 (TFP-80C) に示します。

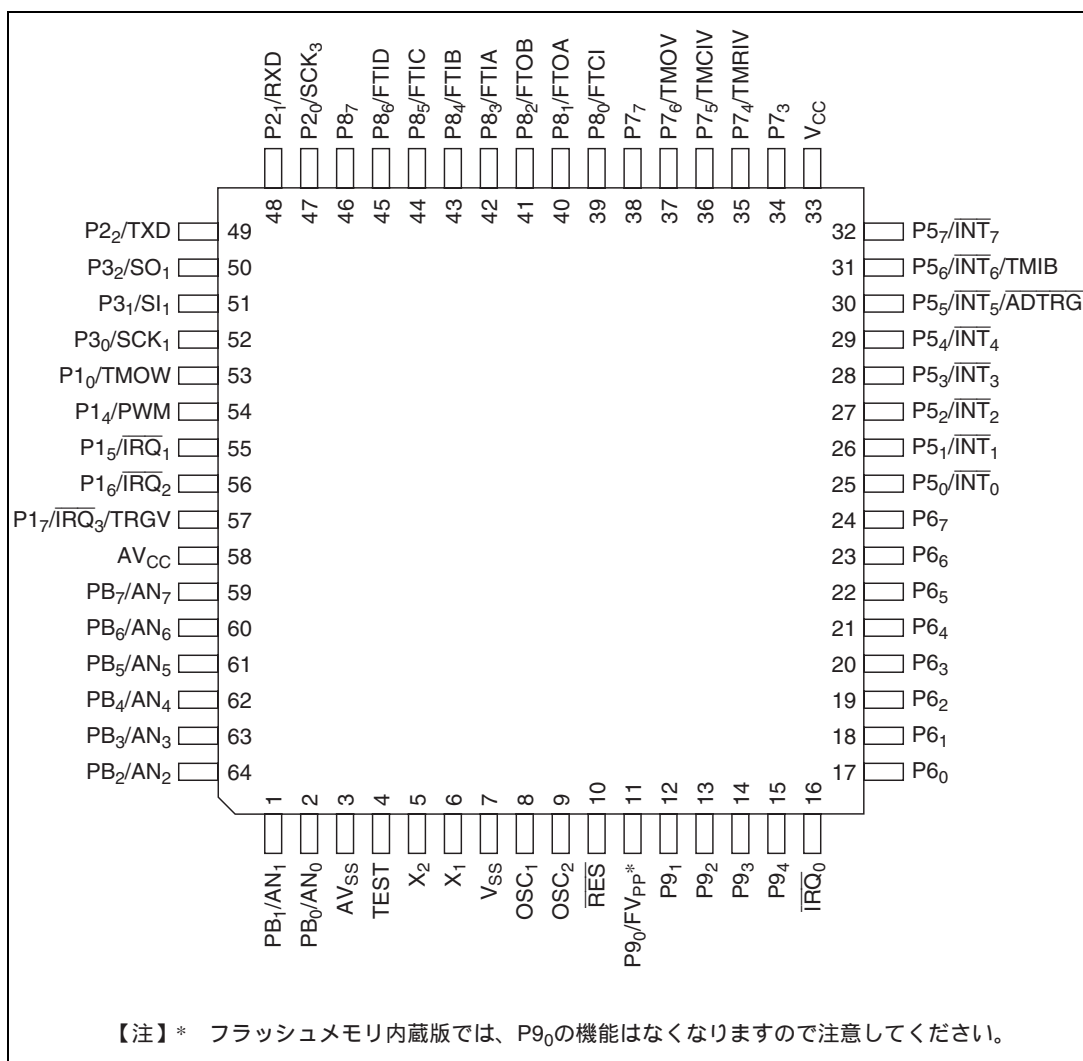


図 1.2 ピン配置図 (FP-64A : 上面図)

1. 概要

P1 ₇ /IRQ ₃ /TRGV	<input type="checkbox"/>	1	64	<input type="checkbox"/>	P1 ₆ /IRQ ₂
AV _{CC}	<input type="checkbox"/>	2	63	<input type="checkbox"/>	P1 ₅ /IRQ ₁
PB ₇ /AN ₇	<input type="checkbox"/>	3	62	<input type="checkbox"/>	P1 ₄ /PWM
PB ₆ /AN ₆	<input type="checkbox"/>	4	61	<input type="checkbox"/>	P1 ₀ /TMOW
PB ₅ /AN ₅	<input type="checkbox"/>	5	60	<input type="checkbox"/>	P3 ₀ /SCK ₁
PB ₄ /AN ₄	<input type="checkbox"/>	6	59	<input type="checkbox"/>	P3 ₁ /SI ₁
PB ₃ /AN ₃	<input type="checkbox"/>	7	58	<input type="checkbox"/>	P3 ₂ /SO ₁
PB ₂ /AN ₂	<input type="checkbox"/>	8	57	<input type="checkbox"/>	P2 ₂ /TXD
PB ₁ /AN ₁	<input type="checkbox"/>	9	56	<input type="checkbox"/>	P2 ₁ /RXD
PB ₀ /AN ₀	<input type="checkbox"/>	10	55	<input type="checkbox"/>	P2 ₀ /SCK ₃
AV _{SS}	<input type="checkbox"/>	11	54	<input type="checkbox"/>	P8 ₇
TEST	<input type="checkbox"/>	12	53	<input type="checkbox"/>	P8 ₆ /FTID
X ₂	<input type="checkbox"/>	13	52	<input type="checkbox"/>	P8 ₅ /FTIC
X ₁	<input type="checkbox"/>	14	51	<input type="checkbox"/>	P8 ₄ /FTIB
V _{SS}	<input type="checkbox"/>	15	50	<input type="checkbox"/>	P8 ₃ /FTIA
OSC ₁	<input type="checkbox"/>	16	49	<input type="checkbox"/>	P8 ₂ /FTOB
OSC ₂	<input type="checkbox"/>	17	48	<input type="checkbox"/>	P8 ₁ /FTOA
RES	<input type="checkbox"/>	18	47	<input type="checkbox"/>	P8 ₀ /FTCI
P9 ₀ /FV _{PP} *	<input type="checkbox"/>	19	46	<input type="checkbox"/>	P7 ₇
P9 ₁	<input type="checkbox"/>	20	45	<input type="checkbox"/>	P7 ₆ /TMOV
P9 ₂	<input type="checkbox"/>	21	44	<input type="checkbox"/>	P7 ₅ /TMCIV
P9 ₃	<input type="checkbox"/>	22	43	<input type="checkbox"/>	P7 ₄ /TMRIV
P9 ₄	<input type="checkbox"/>	23	42	<input type="checkbox"/>	P7 ₃
IRQ ₀	<input type="checkbox"/>	24	41	<input type="checkbox"/>	V _{CC}
P6 ₀	<input type="checkbox"/>	25	40	<input type="checkbox"/>	P5 ₇ /INT ₇
P6 ₁	<input type="checkbox"/>	26	39	<input type="checkbox"/>	P5 ₆ /INT ₆ /TMIB
P6 ₂	<input type="checkbox"/>	27	38	<input type="checkbox"/>	P5 ₅ /INT ₅ /ADTRG
P6 ₃	<input type="checkbox"/>	28	37	<input type="checkbox"/>	P5 ₄ /INT ₄
P6 ₄	<input type="checkbox"/>	29	36	<input type="checkbox"/>	P5 ₃ /INT ₃
P6 ₅	<input type="checkbox"/>	30	35	<input type="checkbox"/>	P5 ₂ /INT ₂
P6 ₆	<input type="checkbox"/>	31	34	<input type="checkbox"/>	P5 ₁ /INT ₁
P6 ₇	<input type="checkbox"/>	32	33	<input type="checkbox"/>	P5 ₀ /INT ₀

【注】* フラッシュメモリ内蔵版では、P9₀の機能はなくなりますので注意してください。

図 1.3 ピン配置図 (DP-64S : 上面図)

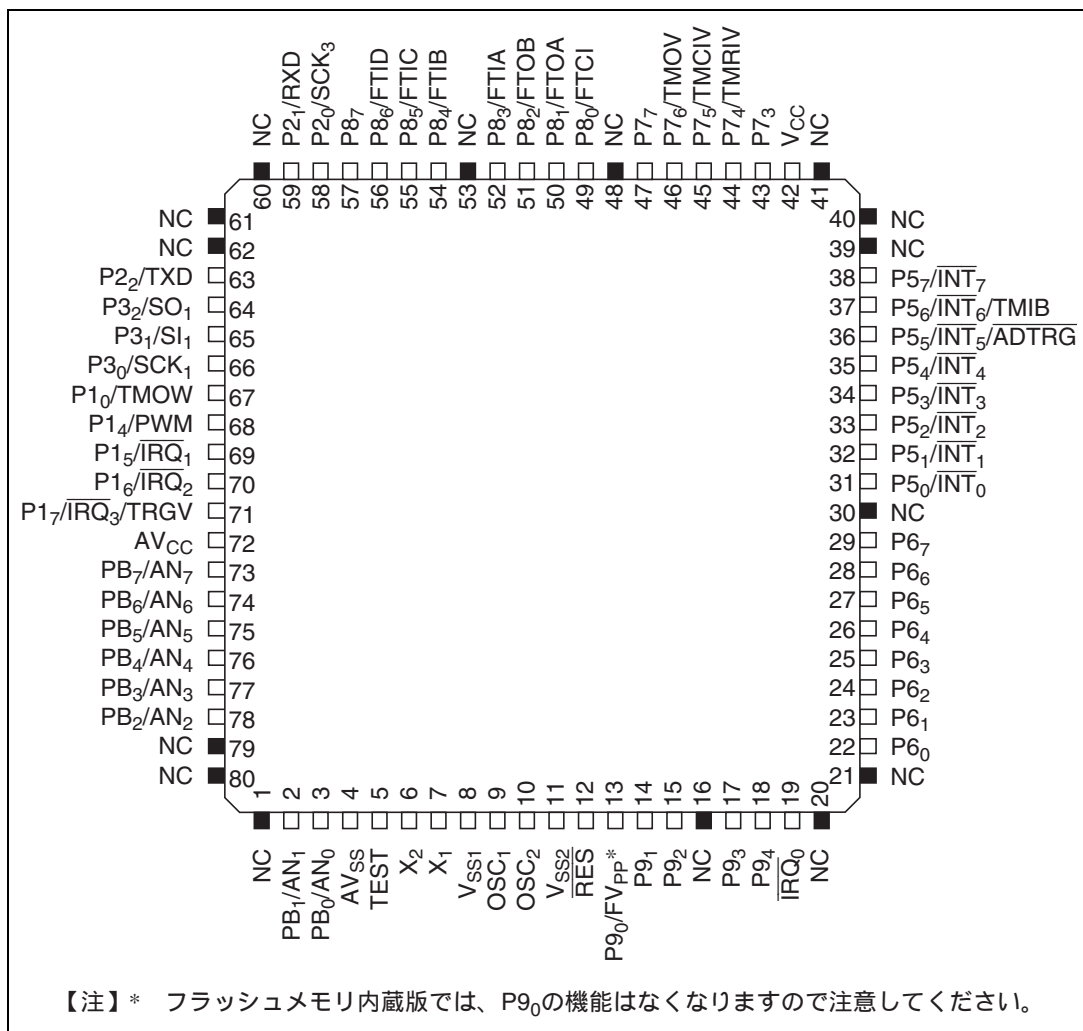


図 1.4 ピン配置図 (TFP-80C : 上面図)

1. 概要

1.3.2 端子機能

各端子の機能について表 1.2 に示します。

表 1.2 端子機能

分類	記号	ピン番号			入出力	機能
		FP-64A	DP-64S	TFP-80C		
電源	V_{CC}	33	41	42	入力	電源 V_{CC} 端子は、全端子、ユーザシステム V_{CC} に接続してください。
	V_{SS}	7	15	8、11	入力	グランド V_{SS} 端子は、全端子、ユーザシステム GND に接続してください。
	AV_{CC}	58	2	72	入力	アナログ電源 A/D 変換器用電源端子です。A/D 変換器を使用しない場合、ユーザシステム V_{CC} に接続してください。
	AV_{SS}	3	11	4	入力	アナロググランド A/D 変換器用グランド端子です。ユーザシステム GND に接続してください。
クロック	OSC_1	8	16	9	入力	システムクロック発振器 水晶発振子またはセラミック発振子を接続します。また、外部クロックを入力することもできます。接続例については「第 4 章 クロック発振器」を参照してください。
	OSC_2	9	17	10	出力	
	X_1	6	14	7	入力	サブクロック発振器 32.768kHz の水晶発振子を接続します。接続例については「第 4 章 クロック発振器」を参照してください。
	X_2	5	13	6	出力	
システム制御	RES	10	18	12	入力	リセット この端子を Low レベルにすると、リセット状態になります。
	TEST	4	12	5	入力	テスト端子 ユーザは、使用できません。 V_{SS} 電位に接地してください。
割り込み	\overline{IRQ}_0	16	24	19	入力	IRQ 割り込み要求 0~3 立ち上がりエッジセンス / 立ち下がりエッジセンスを選択可能な外部割り込み入力端子です。
	\overline{IRQ}_1	55	63	69		
	\overline{IRQ}_2	56	64	70		
	\overline{IRQ}_3	57	1	71		
	$\overline{INT}_7 \sim \overline{INT}_0$	32 ~ 25	40 ~ 33	38 ~ 31	入力	INT 割り込み要求 0~7 立ち上がりエッジセンス / 立ち下がりエッジセンスを選択可能な外部割り込み入力端子です。

分類	記号	ピン番号			入出力	機能
		FP-64A	DP-64S	TFP-80C		
タイマ	TMOW	53	61	67	出力	クロック出力 タイマ A 出力回路により生成された波形の出力端子です。
	TMIB	31	39	37	入力	タイマ B1 イベント入力 タイマ B1 のカウンタに入力するイベント入力端子です。
	TMOV	37	45	46	出力	タイマ V 出力 タイマ V アウトプットコンペア機能により生成された波形の出力端子です。
	TMCIV	36	44	45	入力	タイマ V イベント入力 タイマ V のカウンタに入力するイベント入力端子です。
	TMRIV	35	43	44	入力	タイマ V カウンタリセット タイマ V のカウンタリセットの入力端子です。
	TRGV	57	1	71	入力	タイマ V カウンタ開始トリガ入力 タイマ V のカウンタ開始トリガ、およびリアルタイム出力ポートのトリガ入力端子です。
	FTCI	39	47	49	入力	タイマ X クロック入力 タイマ X のカウンタに入力する外部クロック入力端子です。
	FTOA	40	48	50	出力	タイマ X アウトプットコンペア A 出力 タイマ X のアウトプットコンペア A の出力端子です。
	FTOB	41	49	51	出力	タイマ X アウトプットコンペア B 出力 タイマ X のアウトプットコンペア B の出力端子です。
	FTIA	42	50	52	入力	タイマ X インพุットキャップチャ A 入力 タイマ X のインพุットキャップチャ A の入力端子です。
	FTIB	43	51	54	入力	タイマ X インพุットキャップチャ B 入力 タイマ X のインพุットキャップチャ B の入力端子です。
	FTIC	44	52	55	入力	タイマ X インพุットキャップチャ C 入力 タイマ X のインพุットキャップチャ C の入力端子です。
	FTID	45	53	56	入力	タイマ X インพุットキャップチャ D 入力 タイマ X のインพุットキャップチャ D の入力端子です。

1. 概要

分類	記号	ピン番号			入出力	機能
		FP-64A	DP-64S	TFP-80C		
14ビット PWM	PWM	54	62	68	出力	14ビットPWM出力 14ビットPWMにより生成された波形の出力端子です。
I/Oポート	PB ₇ ~PB ₀	59~64、 1、2	3~10	73~78、 2、3	入力	ポートB 8ビットの入力端子です。
	P1 ₇ ~P1 ₄ 、 P1 ₀	57~53	1、 64~61	71~67	入出力	ポート1 5ビットの入出力端子です。ポートコントロールレジスタ1(PCR1)によって、1ビットごとに入出力を指定できます。
	P2 ₂ ~P2 ₀	49~47	57~55	63、59、 58	入出力	ポート2 3ビットの入出力端子です。ポートコントロールレジスタ2(PCR2)によって、1ビットごとに入出力を指定できます。
	P3 ₂ ~P3 ₀	50~52	58~60	64~66	入出力	ポート3 3ビットの入出力端子です。ポートコントロールレジスタ3(PCR3)によって、1ビットごとに入出力を指定できます。
	P5 ₇ ~P5 ₀	32~25	40~33	38~31	入出力	ポート5 8ビットの入出力端子です。ポートコントロールレジスタ5(PCR5)によって、1ビットごとに入出力を指定できます。
	P6 ₇ ~P6 ₀	24~17	32~25	29~22	入出力	ポート6 8ビットの入出力端子です。ポートコントロールレジスタ6(PCR6)によって、1ビットごとに入出力を指定できます。
	P7 ₇ ~P7 ₃	38~34	46~42	47~43	入出力	ポート7 5ビットの入出力端子です。ポートコントロールレジスタ7(PCR7)によって、1ビットごとに入出力を指定できます。
	P8 ₇ ~P8 ₀	46~39	54~47	57~54、 52~49	入出力	ポート8 8ビットの入出力端子です。ポートコントロールレジスタ8(PCR8)によって、1ビットごとに入出力を指定できます。
	P9 ₄ ~P9 ₀	15~11	23~19	18、17、 15~13	入出力	ポート9 5ビットの入出力端子です。ポートコントロールレジスタ9(PCR9)によって、1ビットごとに入出力を指定できます。 【注】フラッシュメモリ内蔵版では、P9 ₀ はFV _{pp} 端子として使用され、P9 ₀ の機能はなくなりますので注意してください。

分類	記号	ピン番号			入出力	機能
		FP-64A	DP-64S	TFP-80C		
シリアル コミュニケーション インタ フェース (SCI)	SI ₁	51	59	65	入力	SCI1 受信データ入力 SCI1 のデータ入力端子です。
	SO ₁	50	58	64	出力	SCI1 送信データ出力 SCI1 のデータ出力端子です。
	SCK ₁	52	60	66	入出力	SCI1 クロック入出力 SCI1 のクロック入出力端子です。
	RXD	48	56	59	入力	SCI3 受信データ入力 SCI3 のデータ入力端子です。
	TXD	49	57	63	出力	SCI3 送信データ出力 SCI3 のデータ出力端子です。
	SCK ₃	47	55	58	入出力	SCI3 クロック入出力 SCI3 のクロック入出力端子です。
A/D 変換器	AN ₇ ~ AN ₀	59 ~ 64、 1、2	3 ~ 10	73 ~ 78、 2、3	入力	アナログ入力 (チャンネル 11 ~ チャンネル 0) A/D 変換器へのアナログデータ入力端子です。
	ADTRG	30	38	36	入力	A/D 変換器トリガ入力 A/D 変換器の外部トリガ入力端子です。
フラッシュ メモリ	FV _{pp}	11	19	13	入力	オンボード書き込み用プログラム電源 フラッシュメモリへの書き込み用電源 (+12V) に接続します。書き込み時以外は、 ユーザシステム V _{cc} に接続してください。 本端子は、フラッシュメモリ内蔵版以外は P9 ₀ となります。
その他	NC	-	-	1、16、20、 21、30、 39、40、 41、48、 53、 60 ~ 62、 79、80	-	ノンコネクタピン これらの端子には、絶対に何も接続しないでください。

1. 概要

2. CPU

2.1 概要

H8/300L CPU は、8 ビット×16 本（または 16 ビット×8 本）の汎用レジスタ、ならびに高速動作に適した簡潔な命令セットを備えた高速 CPU です。

2.1.1 特長

H8/300L CPU には、次の特長があります。

汎用レジスタ方式

- 8 ビット×16 本（16 ビット×8 本としても使用可能）

55 種類の基本命令

- 乗除算命令
- 強力なビット操作命令

8 種類のアドレッシングモード

- レジスタ直接
- レジスタ間接
- ディスプレースメント付きレジスタ間接
- ポストインクリメント/プリデクリメントレジスタ間接
- 絶対アドレス
- イミディエイト
- プログラムカウンタ相対
- メモリ間接

64K バイトのアドレス空間

高速動作

- 頻出命令をすべて 2~4 ステートで実行
- 高速演算
 - 8/16ビットレジスタ間加減算：0.4 μ s（ ϕ = 5MHz動作時）
0.25 μ s（ ϕ = 8MHz動作時）*
 - 8×8ビット乗算：2.8 μ s（ ϕ = 5MHz動作時）
1.75 μ s（ ϕ = 8MHz動作時）*
 - 16÷8ビット除算：2.8 μ s（ ϕ = 5MHz動作時）
1.75 μ s（ ϕ = 8MHz動作時）*

【注】* F-ZTAT 版および ZTAT 版の R 版、マスク ROM 版の R 版のみに対応

低消費電力動作

- SLEEP 命令により低消費電力動作可能

2.2 各レジスタの説明

2.2.1 汎用レジスタ

汎用レジスタは、すべて同じ機能をもっており、データレジスタ、アドレスレジスタの区別なく使用できます。

データレジスタとして使用する場合は、8ビットレジスタとして上位 (R7H~R0H) と下位 (R7L~R0L) を別々に使用することも、また16ビットレジスタ (R7~R0) として使用することもできます。

アドレスレジスタとして使用する場合は、16ビットレジスタ (R7~R0) として使用します。レジスタ R7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチンコールなどで暗黙的に使用されます。このとき、SP (R7) は常にスタック領域の先頭を指しています。スタックの状態を図 2.2 に示します。

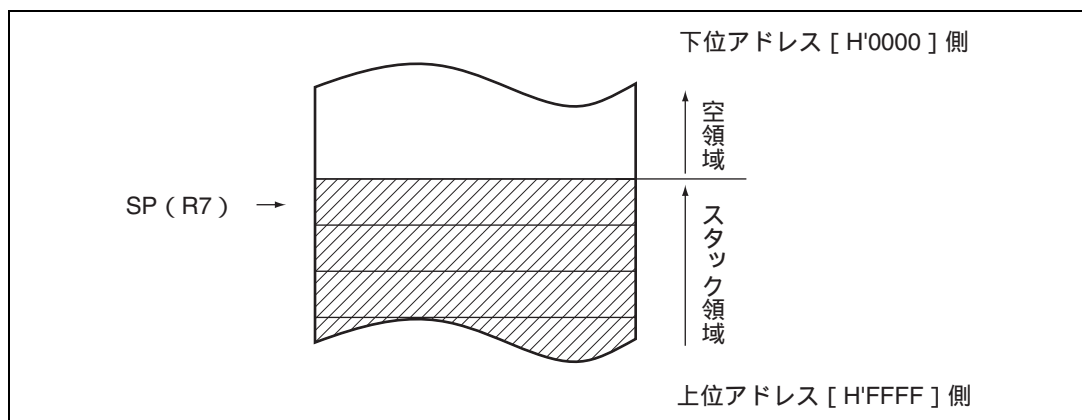


図 2.2 スタックの状態

2.2.2 コントロールレジスタ

コントロールレジスタには、16ビットのプログラムカウンタ (PC) と8ビットのコンディションコードレジスタ (CCR) があります。

(1) プログラムカウンタ (PC)

16ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて16ビット (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは0とみなされます)。

(2) コンディションコードレジスタ (CCR)

8ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む8ビットで構成されています。これらのビットは、ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

2. CPU

ビット7：割り込みマスクビット (I)

本ビットが1にセットされると、割り込みがマスクされます。例外処理の実行が開始されたときに1にセットされます。本ビットはソフトウェアによりリード/ライトできます。割り込みマスクビットの詳細については「3.3 割り込み」を参照してください。

ビット6：ユーザビット (U)

ユーザが自由に使用できるビットです。

ビット5：ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B命令の実行により、ビット3にキャリまたはポローが生じたとき1にセットされ、生じなかったとき0にクリアされます。DAAおよびDAS命令実行時に、暗黙的に使用されます。ADD.W、SUB.W、CMP.W命令ではビット11にキャリまたはポローが生じたとき1にセットされ、生じなかったとき0にクリアされます。

ビット4：ユーザビット (U)

ユーザが自由に使用できるビットです。

ビット3：ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット2：ゼロフラグ (Z)

データがゼロのとき1にセットされ、ゼロ以外るとき0にクリアされます。

ビット1：オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき1にセットされます。それ以外るとき0にクリアされます。

ビット0：キャリフラグ (C)

演算の実行により、キャリが生じたとき1にセットされ、生じなかったとき0にクリアされます。キャリには次の種類があります。

- 加算結果のキャリ
- 減算結果のポロー
- シフト/ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。

各命令ごとのフラグの変化については、「H8/300L シリーズ プログラミングマニュアル」を参照してください。

2.2.3 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタアドレス (H'0000) のロードにより初期化され、CCR の I ビットは 1 にセットされますが、汎用レジスタおよび CCR のほかのビットは初期化されません。レジスタ R7 (SP) の初期値も不定です。したがって、リセット直後に、R7 の初期化を行ってください。

2.3 データ構成

H8/300L CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード) のデータを扱うことができます。1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0, 1, 2, \dots, 7$) という形式でアクセスされます。

バイトデータは、ADDS、SUBS 以外の演算命令で扱われます。また、ワードデータは、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU (8 ビット \times 8 ビット)、DIVXU (16 ビット \div 8 ビット) 命令で扱われます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.3.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図 2.3 に示します。

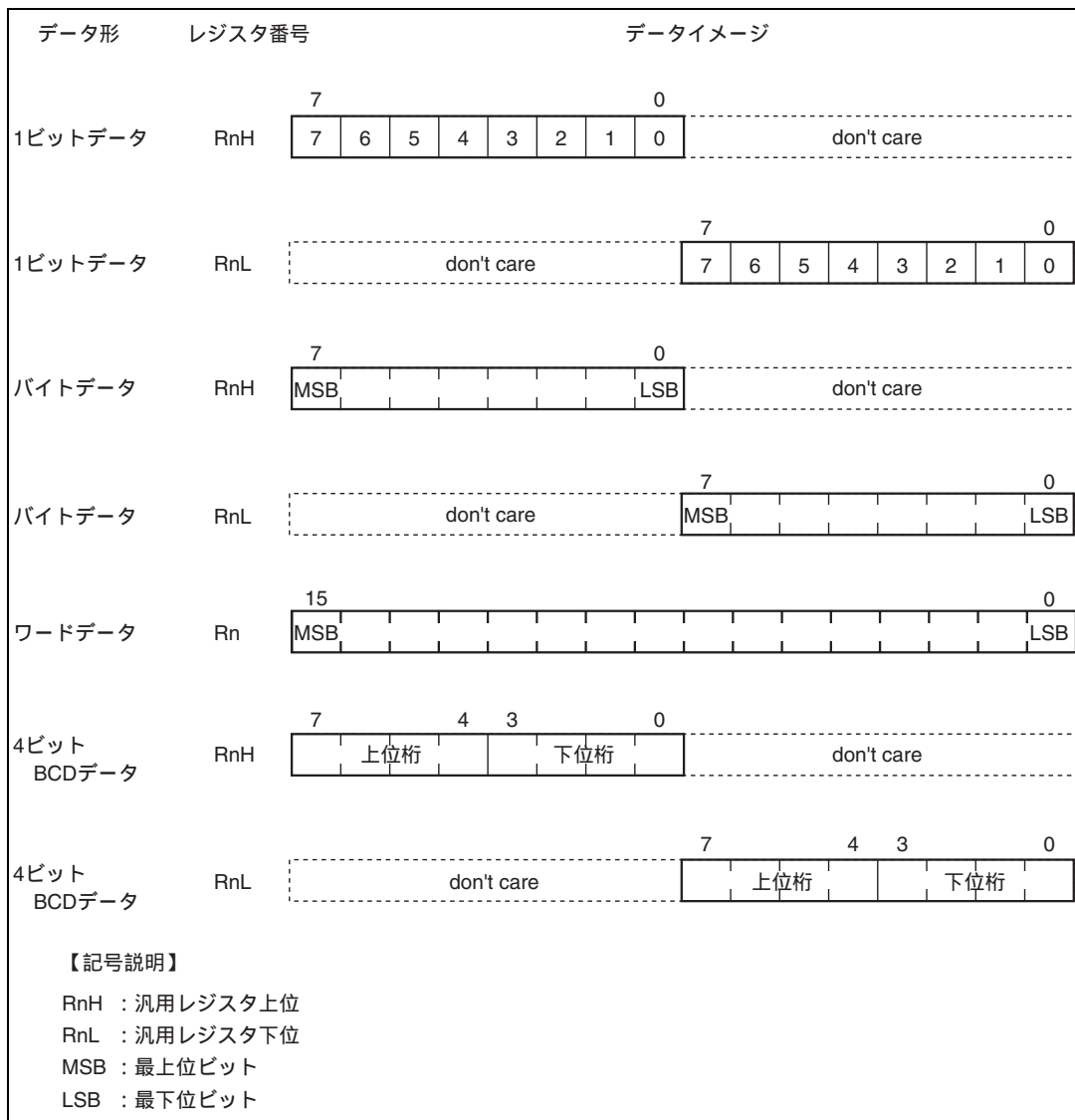


図 2.3 汎用レジスタのデータ構成

2.3.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図 2.4 に示します。H8/300L CPU は、メモリ上のワードデータをアクセスすることができます (MOV.W 命令) が、偶数番地から始まるワードデータに限定されます。奇数番地から始まるワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるワードデータをアクセスします。命令コードについても同様です。

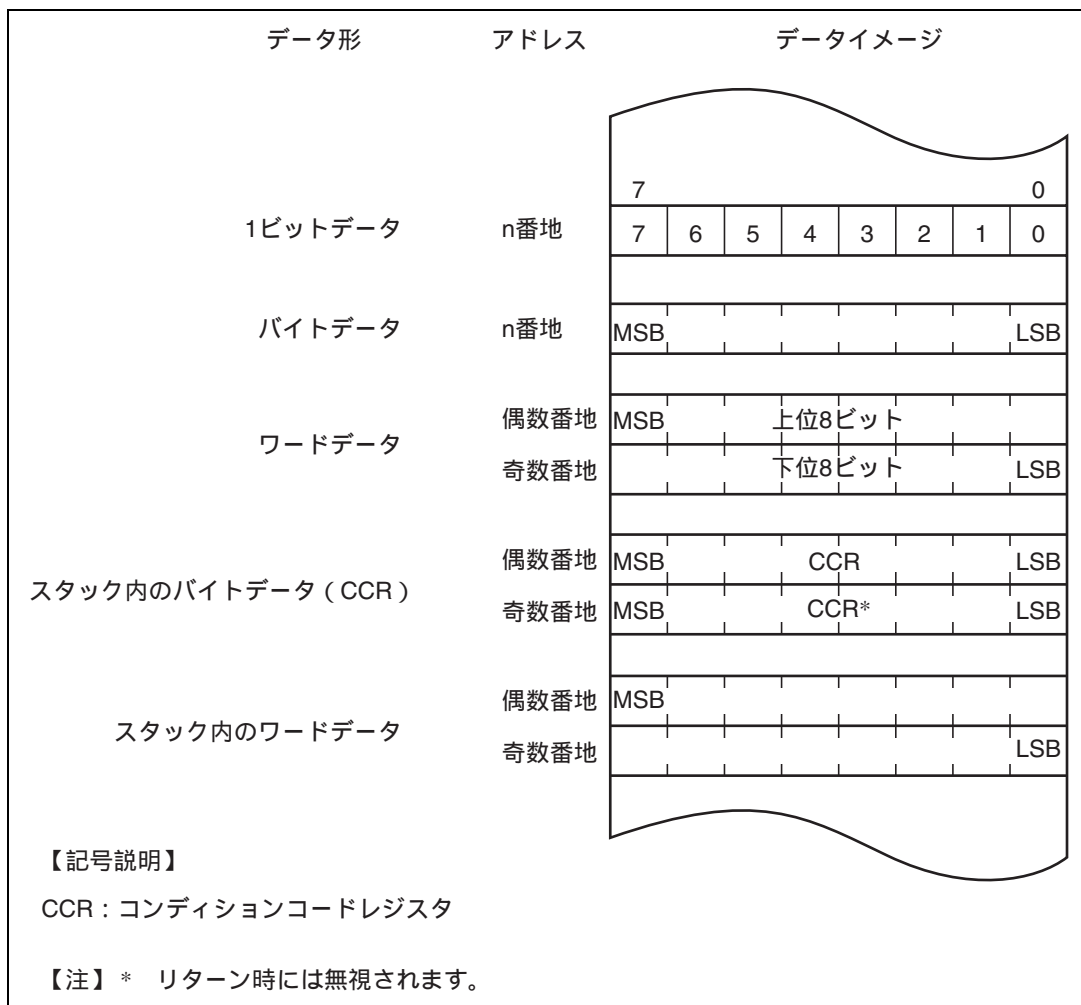


図 2.4 メモリ上でのデータ構成

なお、R7 をアドレスレジスタとして使用し、スタックをアクセスするときは、必ずワードサイズでアクセスしてください。また、CCR は、ワードデータとして上位 8 ビット、下位 8 ビットに同じ値が格納され、リターン時には、下位 8 ビットは無視されます。

2.4 アドレッシングモード

2.4.1 アドレッシングモード

H8/300L CPU は、表 2.1 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

表 2.1 アドレッシングモード一覧表

No.	アドレッシングモード	記号
(1)	レジスタ直接	Rn
(2)	レジスタ間接	@Rn
(3)	ディスプレースメント付きレジスタ間接	@(d:16, Rn)
(4)	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@Rn+ @-Rn
(5)	絶対アドレス	@aa:8/@aa:16
(6)	イミディエイト	#xx:8/#xx:16
(7)	プログラムカウンタ相対	@(d:8, PC)
(8)	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビットまたは 16 ビット) がオペランドとなります。

16 ビットレジスタを使用する命令は、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU (8 ビット×8 ビット)、DIVXU (16 ビット÷8 ビット) の各命令です。

(2) レジスタ間接 @Rn

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容をアドレスとしてメモリ上のオペランドを指定します。

(3) ディスプレースメント付きレジスタ間接 @(d:16, Rn)

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容に、命令コードの第 2 ワード (第 3、第 4 バイト) の 16 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。

本アドレッシングモードは、MOV 命令のみで使用されます。特に、MOV.W 命令では、加算結果が偶数となるようにしてください。

(4) ポストインクリメントレジスタ間接 @Rn+ / プリデクリメントレジスタ間接 @-Rn

- ポストインクリメントレジスタ間接 @Rn+

MOV (Load from) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容をアドレスとして、メモリ上のオペランドを指定します。その後、レジスタの内容に 1 または 2 が加算され、加算結果がレジスタに格納されます。MOV.B 命令では 1、MOV.W 命令では 2 がそれぞれ加算されます。MOV.W 命令では、レジスタの内容が偶数になるようにしてください。

- プリデクリメントレジスタ間接 @-Rn

MOV (Store to) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ (16ビット) の内容から1または2を減算した内容をアドレスとして、メモリ上のオペランドを指定します。その後、減算結果がレジスタに格納されます。MOV.B命令では1、MOV.W命令では2がそれぞれ減算されます。MOV.W命令では、レジスタの内容が偶数となるようにしてください。

- (5) 絶対アドレス @aa:8/@aa:16

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

このとき、絶対アドレスは8ビット (@aa:8) または16ビット (@aa:16) で、8ビット絶対アドレスはMOV.B、ビット操作命令で、16ビット絶対アドレスはMOV.B、MOV.W、JMP、JSRの各命令で使用されます。

8ビット絶対アドレスの場合、上位8ビットはすべて1 (H'FF) となります。したがって、アクセス範囲は65280 ~ 65535 (H'FF00 ~ H'FFFF) 番地です。

- (6) イミディエイト #xx:8/#xx:16

命令コードの第2バイト (#xx:8) または第3、第4バイト (#xx:16) を直接オペランドとして使用します。#xx:16は、MOV.W命令のみで使用されます。

なお、ADDSおよびSUBS命令では、イミディエイトデータ (1または2) が命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが、命令コードの第2または第4バイトに含まれる場合があります。

- (7) プログラムカウンタ相対 @(d:8, PC)

Bcc、BSRの各命令で使用されます。

PCの内容に、命令コードの第2バイトの8ビットディスプレースメントを加算して、分岐アドレスを生成します。加算に際して、ディスプレースメントは16ビットに符号拡張され、また加算されるPCの内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126 ~ +128 バイト (-63 ~ +64 ワード) です。このとき、加算結果が偶数となるようにしてください。

- (8) メモリ間接 @@aa:8

JMPおよびJSR命令で使用されます。

命令コードの第2バイトに含まれる8ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。この場合、8ビット絶対アドレスの上位8ビットはすべて0 (H'00) とされますので、分岐アドレスを格納できるのは0 ~ 255 (H'0000 ~ H'00FF) 番地です。ただし、H8/300Lシリーズでは、アドレスの下位番地はベクタ領域と共通になっていますから注意してください。ベクタ領域の詳細は「3.3 割り込み」を参照してください。

分岐アドレスまたはMOV.W命令のオペランドアドレスとして奇数アドレスを指定した場合、最下位ビットは0とみなされ、1番地前から始まるワードデータをアクセスします (「2.3.2 メモリ上でのデータ構成」を参照してください)。

2.4.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス (EA : Effective Address) の計算法を表 2.2 に示します。


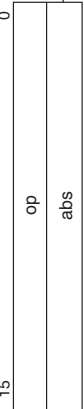
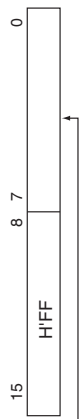
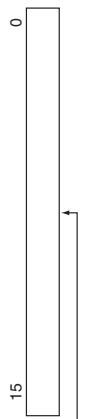


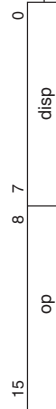


演算命令では、(1)レジスタ直接、および(6)イミディエイト(ADD.B、ADDX、SUBX、CMP.B、AND、OR、XOR の各命令)が使用されます。


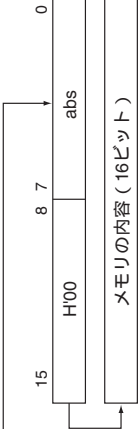

転送命令では、(7)プログラムカウンタ相対と(8)メモリ間接を除くすべてのアドレッシングモードが使用可能です。

また、ビット操作命令では、オペランドの指定に(1)レジスタ直接、(2)レジスタ間接および(5)絶対アドレス(8ビット)が使用可能です。さらに、オペランド中のビット番号を指定するために(1)レジスタ直接(BSET、BCLR、BNOT、BTSTの各命令)および(6)イミディエイト(3ビット)が独立して使用可能です。

表 2.2 実効アドレスの計算方法

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(1)	レジスタ間接 Rn 		<p>オペランドはrm/mが示すレジスタの内容です。</p>
(2)	レジスタ間接 @Rn 		
(3)	ディスプレースメント付きレジスタ間接 @ (d: 16, Rn) 		
(4)	ポストインクリメントレジスタ間接 / プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @Rn+ ・プリデクリメントレジスタ間接 @D Rn 	<p>オペランドサイズがバイトのとき1、ワードのとき2が加減算されます。</p>	

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(5)	絶対アドレス @aa:8  @aa:16 		 
(6)	イミディエイト #xx:8  #xx:16 		オペランドはイミディエイトデータの1または2バイトデータです。
(7)	プログラムカウンタ相対 @ (dt8, PC) 		

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(8)	メモリ間接@aa:8 		

【記号説明】

- rm, m : レジスタフィールド
- op : オペレーションフィールド
- disp : ディスプレースメント
- IMM : イミディエイトデータ
- abs : 絶対アドレス

2.5 命令セット

H8/300L CPU の命令は合計 55 種類あり、各命令のもつ機能によって、表 2.3 に示すように分類されます。

表 2.3 命令の分類

機能	命令	種類
データ転送命令	MOV、POP ^{*1} 、PUSH ^{*1}	1
算術演算命令	ADD、SUB、ADDX、SUBX、INC、DEC、ADDS、SUBS、DAA、DAS、MULXU、DIVXU、CMP、NEG	14
論理演算命令	AND、OR、XOR、NOT	4
シフト命令	SHAL、SHAR、SHLL、SHLR、ROTL、ROTR、ROTXL、ROTXR	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD、BST、BIST	14
分岐命令	Bcc ^{*2} 、JMP、BSR、JSR、RTS	5
システム制御命令	RTE、SLEEP、LDC、STC、ANDC、ORC、XORC、NOP	8
ブロック転送命令	EEPMOV	1

合計 55 種

【注】 *1 POP Rn、PUSH Rn は、それぞれ MOV.W @SP+, Rn、MOV.W Rn, @-SP と同一です。機械語についても同一です。

*2 Bcc は条件分岐命令の総称です。

2. CPU

各命令の機能について表 2.4～表 2.11 に示します。各表で使用しているオペレーションの記号の意味は以下のとおりです。

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側)
Rs	汎用レジスタ (ソース側)
Rn	汎用レジスタ
(EAd)、<Ead>	デスティネーションオペランド
(EAs)、<Eas>	ソースオペランド
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
x	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
→	転送
~	反転論理 (論理的補数)
: 3	3 ビット長
: 8	8 ビット長
: 16	16 ビット長
()、< >	オペランドの実効アドレスの内容

2.5.1 データ転送命令

データ転送命令の機能を表 2.4 に示します。

表 2.4 データ転送命令

命令	サイズ*	機能
MOV	B/W	(EAs) → Rd, Rs → (EAd) 汎用レジスタと汎用レジスタまたは汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。 ワードデータは Rn、@Rn、@(d:16, Rn)、@aa:16、#xx:16、@-Rn、@Rn+の各アドレッシングモードで扱います。@aa:8 はバイトデータのみです。 ただし、@-R7、@R7+を使用する場合は必ずワードサイズを指定してください。
POP	W	@SP+ → Rn スタックから汎用レジスタへデータを復帰します。 本命令は MOV.W @SP+, Rn と同一です。
PUSH	W	Rn → @-SP 汎用レジスタの内容をスタックに退避します。 本命令は MOV.W Rn, @-SP と同一です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

データアクセスに関して使用上の注意事項があります。詳細は「2.9.1 データアクセスに関する注意事項」を参照してください。

2. CPU

データ転送命令の命令フォーマットを図 2.5 に示します。

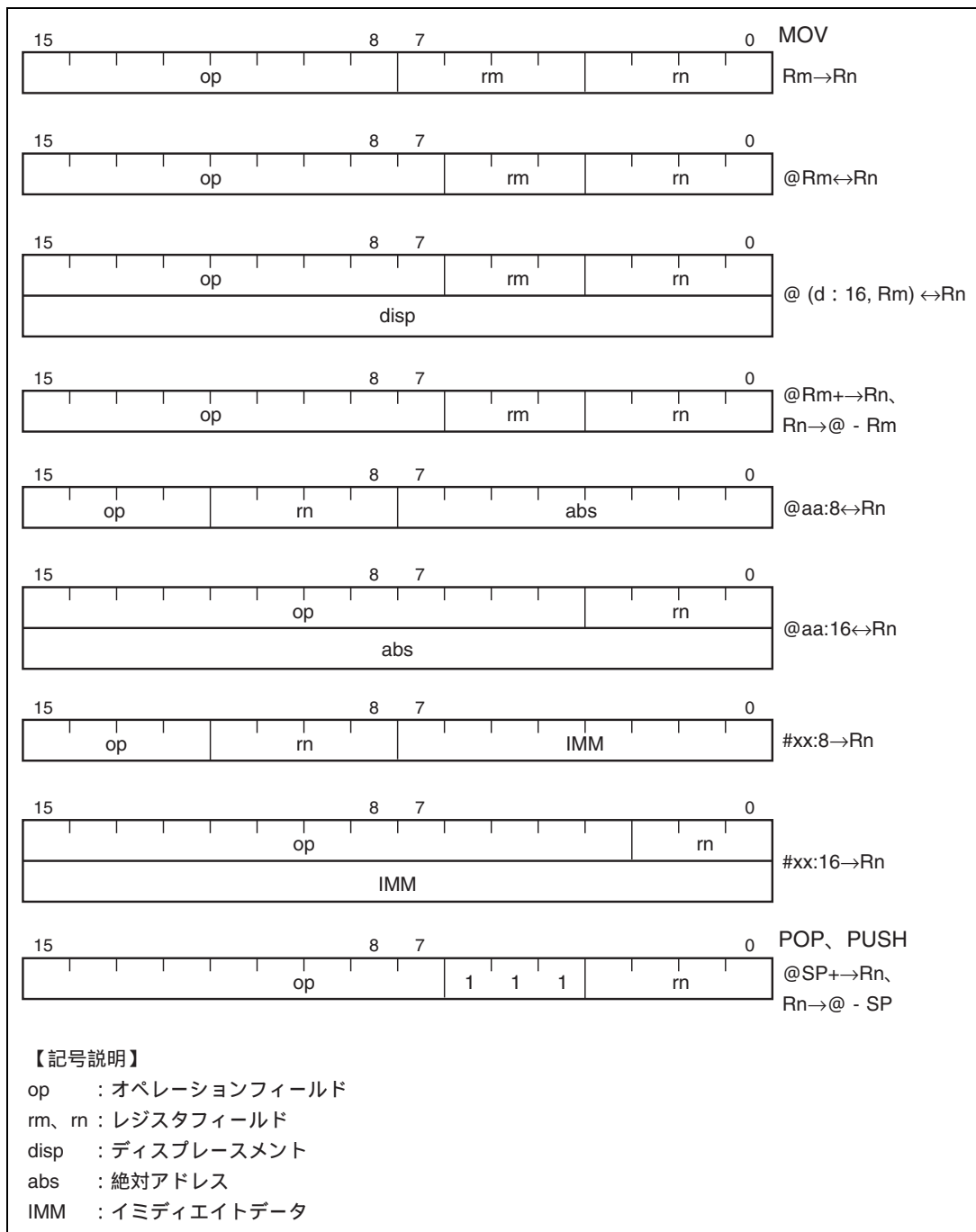


図 2.5 データ転送命令の命令フォーマット

2.5.2 算術演算命令

算術演算命令の機能を表 2.5 に示します。

表 2.5 算術演算命令

命令	サイズ*	機能
ADD SUB	B/W	$Rd \pm Rs \rightarrow Rd$, $Rd + \#IMM \rightarrow Rd$ 汎用レジスタ間の加減算、または汎用レジスタとイミディエイトデータの加算を行います。汎用レジスタとイミディエイトデータの減算はできません。 ワードデータは、汎用レジスタ間の加減算のみで扱います。
ADDX SUBX	B	$Rd \pm Rs \pm C \rightarrow Rd$, $Rd \pm \#IMM \pm C \rightarrow Rd$ 汎用レジスタ間のキャリ付きの加減算、または汎用レジスタとイミディエイトデータのキャリ付きの加減算を行います。
INC DEC	B	$Rd \pm 1 \rightarrow Rd$ 汎用レジスタに 1 を加減算します。
ADDS SUBS	W	$Rd \pm 1 \rightarrow Rd$, $Rd \pm 2 \rightarrow Rd$ 汎用レジスタに 1 または 2 を加減算します。
DAA DAS	B	$Rd (10 \text{ 進補正}) \rightarrow Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B	$Rd \times Rs \rightarrow Rd$ 汎用レジスタ間の符号なし乗算を行います。8 ビット \times 8 ビット \rightarrow 16 ビットの演算が可能です。
DIVXU	B	$Rd \div Rs \rightarrow Rd$ 汎用レジスタ間の符号なし除算を行います。16 ビット \div 8 ビット \rightarrow 商 8 ビット 余り 8 ビットの演算が可能です。
CMP	B/W	$Rd - Rs$, $Rd - \#IMM$ 汎用レジスタ間の比較、または汎用レジスタとイミディエイトデータの比較を行い、その結果を CCR に反映します。ワードデータは、汎用レジスタ間の比較のみで扱います。
NEG	B	$0 - Rd \rightarrow Rd$ 汎用レジスタの内容の 2 の補数（算術的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

2.5.3 論理演算命令

論理演算命令の機能を表 2.6 に示します。

表 2.6 論理演算命令

命令	サイズ*	機能
AND	B	$Rd\ Rs \rightarrow Rd, Rd\ \#IMM \rightarrow Rd$ 汎用レジスタ間の論理積、または汎用レジスタとイミディエイトデータの論理積をとります。
OR	B	$Rd\ Rs \rightarrow Rd, Rd\ \#IMM \rightarrow Rd$ 汎用レジスタ間の論理和、または汎用レジスタとイミディエイトデータの論理和をとります。
XOR	B	$Rd\ \oplus Rs \rightarrow Rd, Rd\ \oplus\ \#IMM \rightarrow Rd$ 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B	$\sim Rd \rightarrow Rd$ 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

2.5.4 シフト命令

シフト命令の機能を表 2.7 に示します。

表 2.7 シフト命令

命令	サイズ*	機能
SHAL SHAR	B	$Rd\ (\text{シフト処理}) \rightarrow Rd$ 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B	$Rd\ (\text{シフト処理}) \rightarrow Rd$ 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B	$Rd\ (\text{ローテート処理}) \rightarrow Rd$ 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B	$Rd\ (\text{ローテート処理}) \rightarrow Rd$ 汎用レジスタの内容を、キャリフラグを含めてローテートします。

【注】 * サイズはオペランドサイズを示します。

B : バイト

算術演算命令、論理演算命令およびシフト命令の命令フォーマットを図 2.6 に示します。

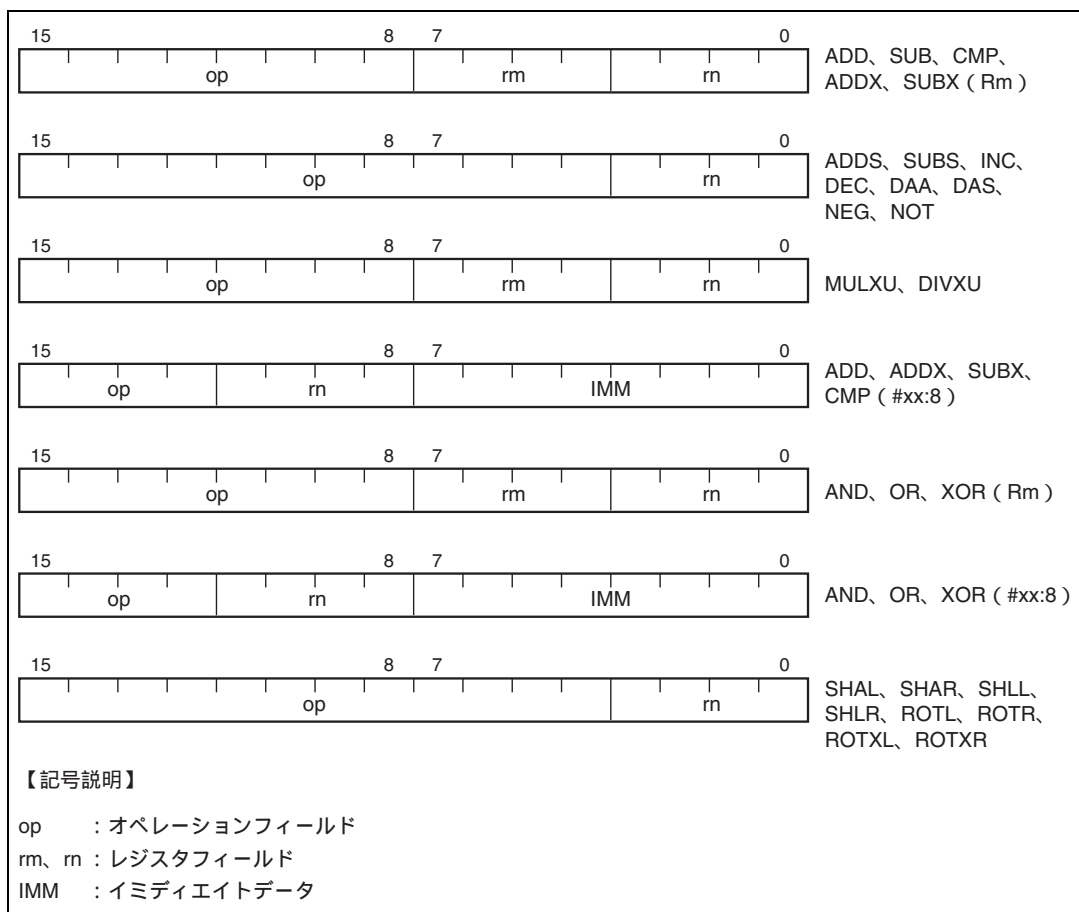


図 2.6 算術演算命令・論理演算命令・シフト命令の命令フォーマット

2.5.5 ビット操作命令

ビット操作命令の機能を表 2.8 に示します。

表 2.8 ビット操作命令

命令	サイズ*	機能
BSET	B	1 → (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BCLR	B	0 → (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。 ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BNOT	B	~ (<ビット番号> of <EAd>) → (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~ (<ビット番号> of <EAd>) → Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C (<ビット番号> of <EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	C [~ (<ビット番号> of <EAd>)] → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	C (<ビット番号> of <EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
BIOR	B	C [~ (<ビット番号> of <EAd>)] → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BXOR	B	C ⊕ (<ビット番号> of <EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
BIXOR	B	C ⊕ [~ (<ビット番号> of <EAd>)] → C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

命令	サイズ*	機能
BLD	B	(<ビット番号> of <EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	~ (<ビット番号> of <EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BST	B	C → (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグの内容を転送します。
BIST	B	~C → (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

ビット操作命令には使用上の注意事項があります。詳細は「2.9.2 ビット操作命令使用上の注意事項」を参照してください。

ビット操作命令の命令フォーマットを図 2.7 に示します。

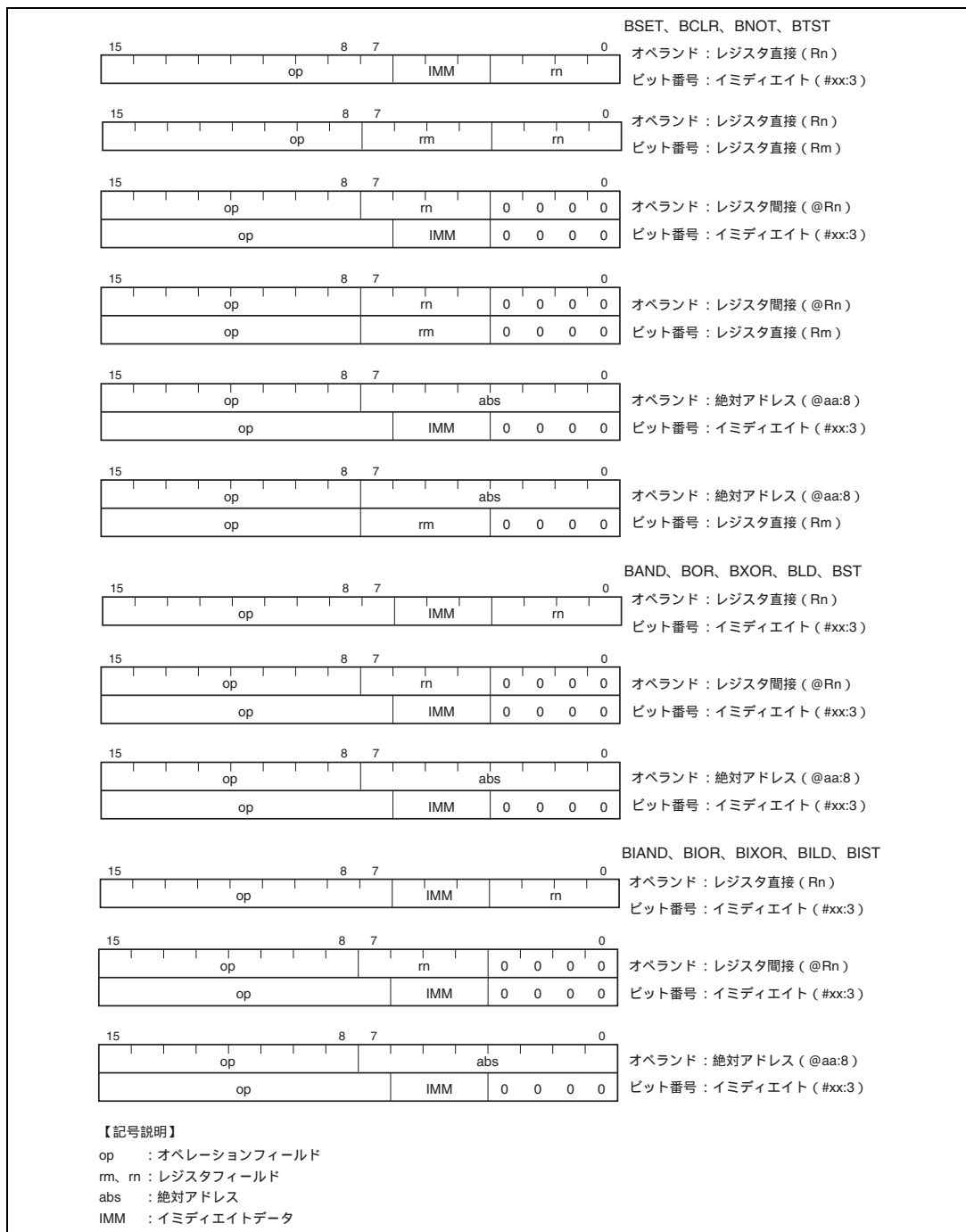


図 2.7 ビット操作命令の命令フォーマット

2.5.6 分岐命令

分岐命令の機能を表 2.9 に示します。

表 2.9 分岐命令

命令	サイズ	機能		
Bcc		指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。		
		二ーモニツク	説 明	分 岐 条 件
		BRA (BT)	Always (True)	Always
		BRN (BF)	Never (False)	Never
		BHI	High	C Z = 0
		BLS	Low or Same	C Z = 1
		BCC (BHS)	Carry Clear (High or Same)	C = 0
		BCS (BLO)	Carry Set (LOW)	C = 1
		BNE	Not Equal	Z = 0
		BEQ	Equal	Z = 1
		BVC	oVerflow Clear	V = 0
		BVS	oVerflow Set	V = 1
		BPL	PLus	N = 0
		BMI	MInus	N = 1
		BGE	Greater or Equal	$N \oplus V = 0$
		BLT	Less Than	$N \oplus V = 1$
BGT	Greater Than	$Z (N \oplus V) = 0$		
BLE	Less or Equal	$Z (N \oplus V) = 1$		
JMP		指定されたアドレスへ無条件に分岐します。		
BSR		指定されたアドレスへサブルーチン分岐します。		
JSR		指定されたアドレスへサブルーチン分岐します。		
RTS		サブルーチンから復帰します。		

2. CPU

分岐命令の命令フォーマットを図 2.8 に示します。

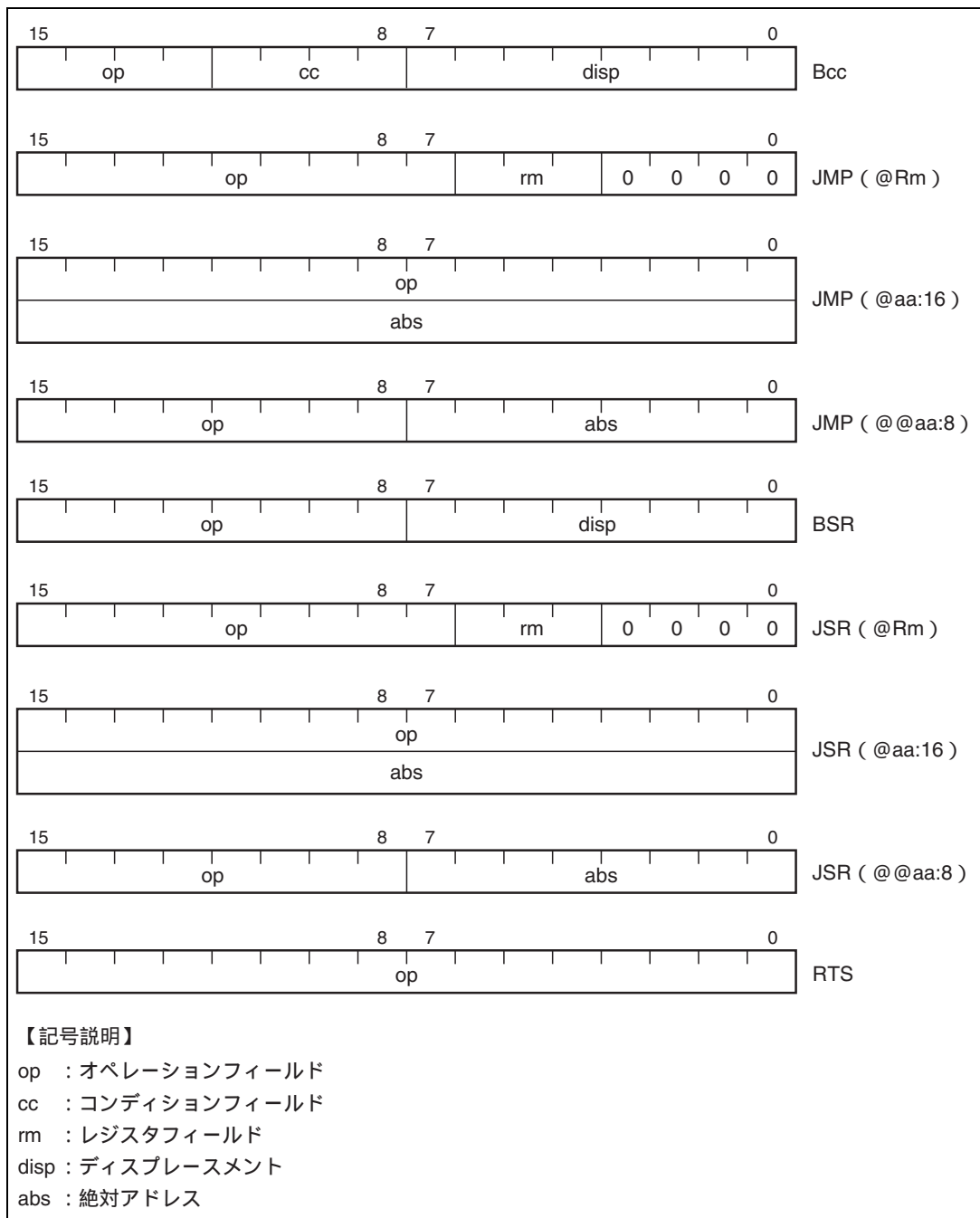


図 2.8 分岐命令の命令フォーマット

2.5.7 システム制御命令

システム制御命令の機能を表 2.10 に示します。

表 2.10 システム制御命令

命令	サイズ*	機能
RTE		割り込み処理ルーチンから復帰します。
SLEEP		アクティブモードで本命令を実行すると、低消費電力モードに遷移します。 詳細は「第 5 章 低消費電力モード」を参照してください。
LDC	B	Rs → CCR、#IMM → CCR 汎用レジスタの内容、またはイミディエイトデータを CCR に転送します。
STC	B	CCR → Rd CCR の内容を汎用レジスタに転送します。
ANDC	B	CCR #IMM → CCR CCR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM → CCR CCR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM → CCR CCR とイミディエイトデータの排他的論理和をとります。
NOP		PC+2 → PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

システム制御命令の命令フォーマットを図 2.9 に示します。

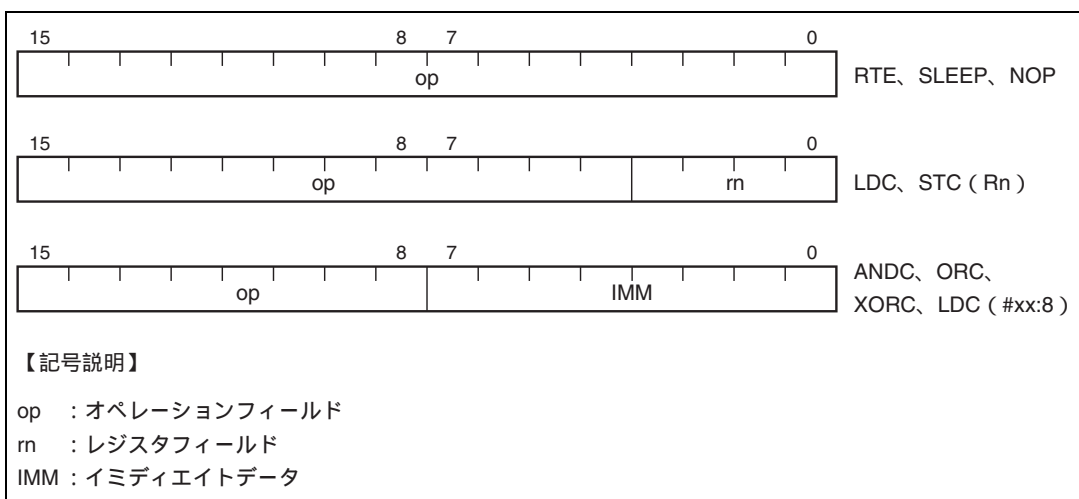


図 2.9 システム制御命令の命令フォーマット

2.5.8 ブロック転送命令

ブロック転送命令の機能を表 2.11 に示します。

表 2.11 ブロック転送命令

命令	サイズ	機能
EEPMOV		<pre>if R4L = 0 then Repeat @R5+ → @R6+, R4L-1 → R4L Until R4L=0 else next;</pre> ブロック転送命令です。R5 で示されるアドレスから始まり、R4L で指定されるバイト数のデータを R6 で示されるアドレスから始まるロケーションへ転送します。転送終了後、次の命令を実行します。

EEPMOV 命令には、使用上の注意事項があります。詳細は「2.9.3 EEPMOV 命令使用上の注意事項」を参照してください。

ブロック転送命令の命令フォーマットを図 2.10 に示します。

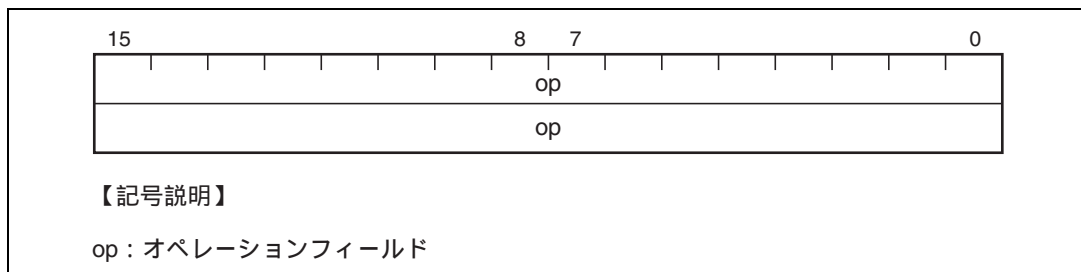


図 2.10 ブロック転送命令の命令フォーマット

2.6 基本動作タイミング

CPU は、システムクロック (ϕ) またはサブクロック (ϕ_{SUB}) を基準に動作しています。システムクロック ϕ およびサブクロック ϕ_{SUB} の定義については「第 4 章 クロック発振器」を参照してください。 ϕ または ϕ_{SUB} の立ち上がりから次の立ち上がりまでの 1 単位をステートと呼びます。バスサイクルは、2 ステートまたは 3 ステートで構成され、内蔵メモリ、内蔵周辺モジュールによって異なるアクセスを行います。

2.6.1 内蔵メモリ (RAM、ROM)

内蔵メモリのアクセスは、2 ステートで行われます。このとき、データバス幅は 16 ビットで、バイトおよびワードサイズアクセスが可能です。

内蔵メモリアクセスサイクルを図 2.11 に示します。

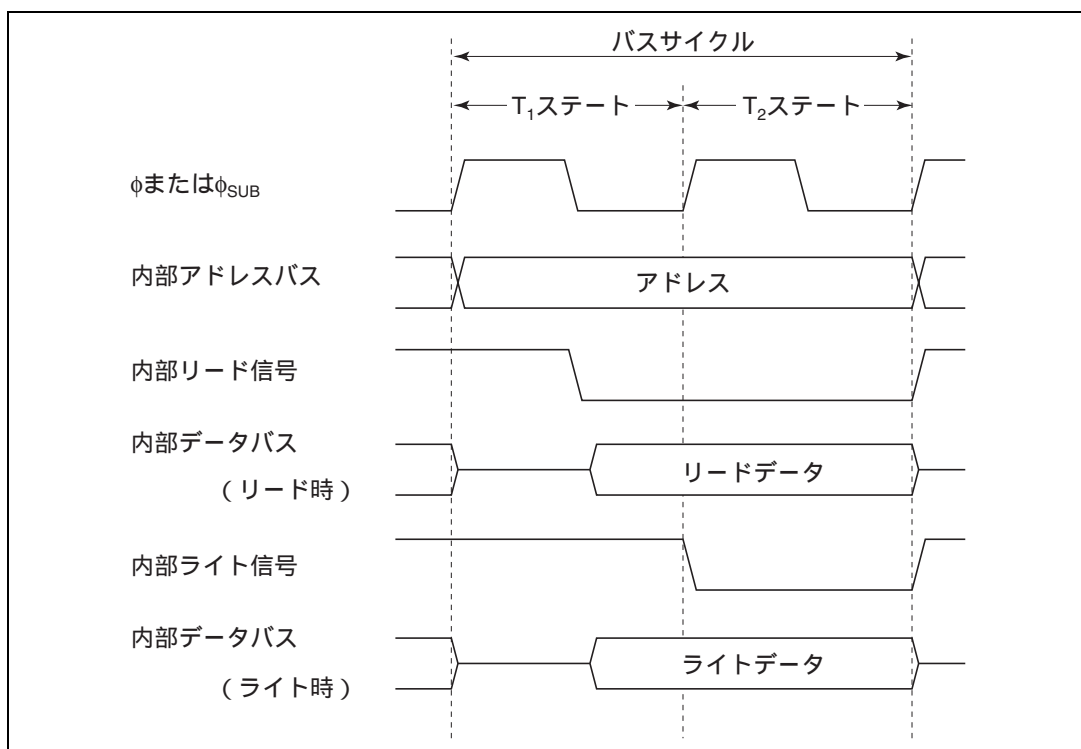


図 2.11 内蔵メモリアクセスサイクル

2.6.2 内蔵周辺モジュール

内蔵周辺モジュールのアクセスは、2 ステートまたは3 ステートで行われます。このとき、データバス幅は8ビットで、バイトサイズアクセスのみ可能です。したがって、ワードデータは、2 命令に分けてアクセスしてください。

(1) 内蔵周辺モジュール2 ステートアクセス

内蔵周辺モジュールを2ステートでアクセスした動作タイミングを図 2.12 に示します。

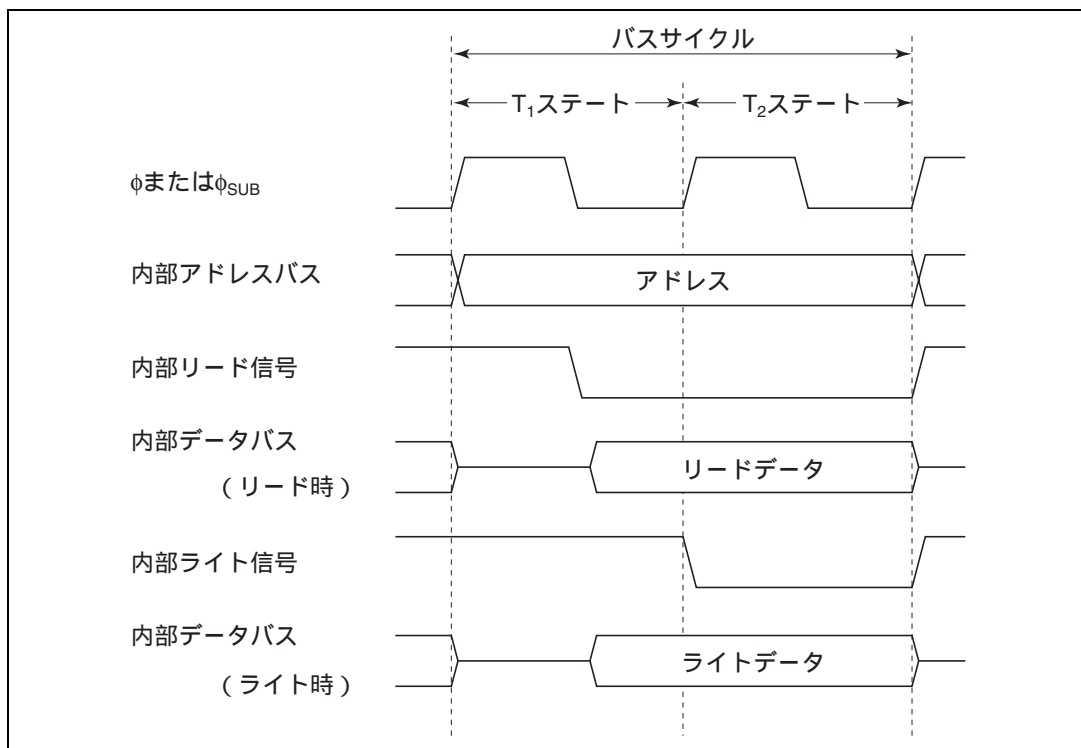


図 2.12 内蔵周辺モジュールアクセスサイクル (2 ステートアクセス)

(2) 内蔵周辺モジュール 3 ステートアクセス

内蔵周辺モジュールを 3 ステートでアクセスした動作タイミングを図 2.13 に示します。

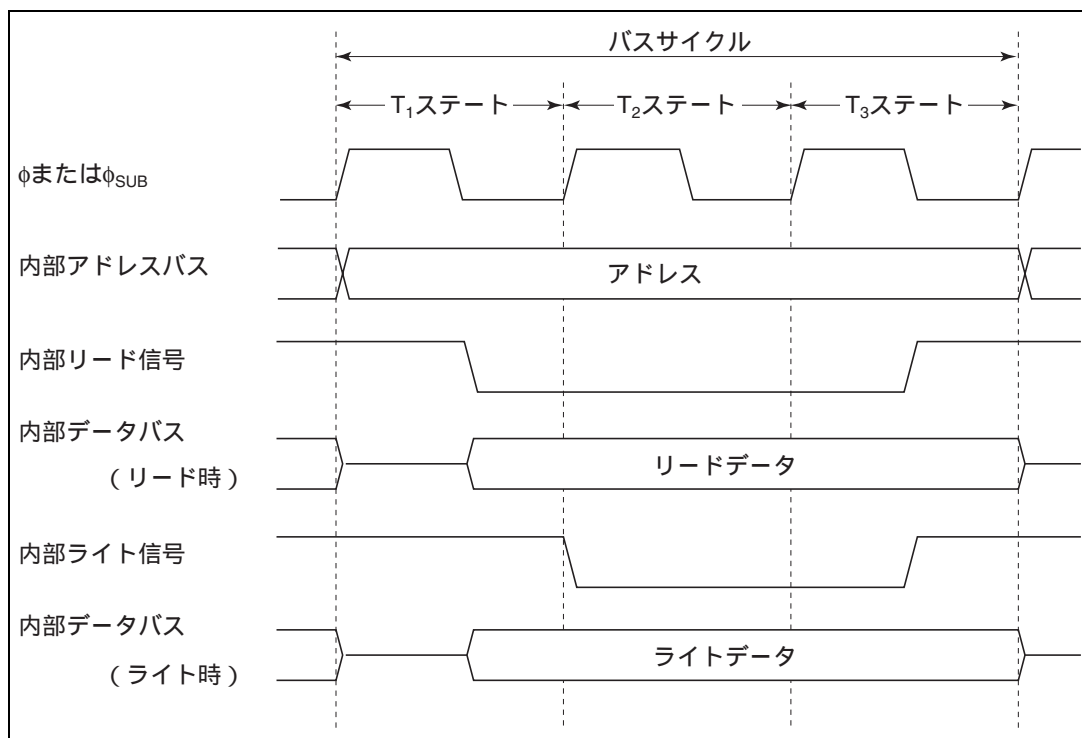


図 2.13 内蔵周辺モジュールアクセスサイクル (3 ステートアクセス)

2.7 CPU の状態

2.7.1 概要

CPU の状態には、リセット状態、プログラム実行状態、プログラム停止状態、例外処理状態の 4 種類があります。プログラム実行状態には、アクティブ（高速、中速）モード、サブアクティブモードがあり、プログラム停止状態には、スリープ（高速、中速）モード、スタンバイモード、ウォッチモード、およびサブスリープモードがあります。

各状態の分類を図 2.14 に、各状態間の遷移を図 2.15 に示します。

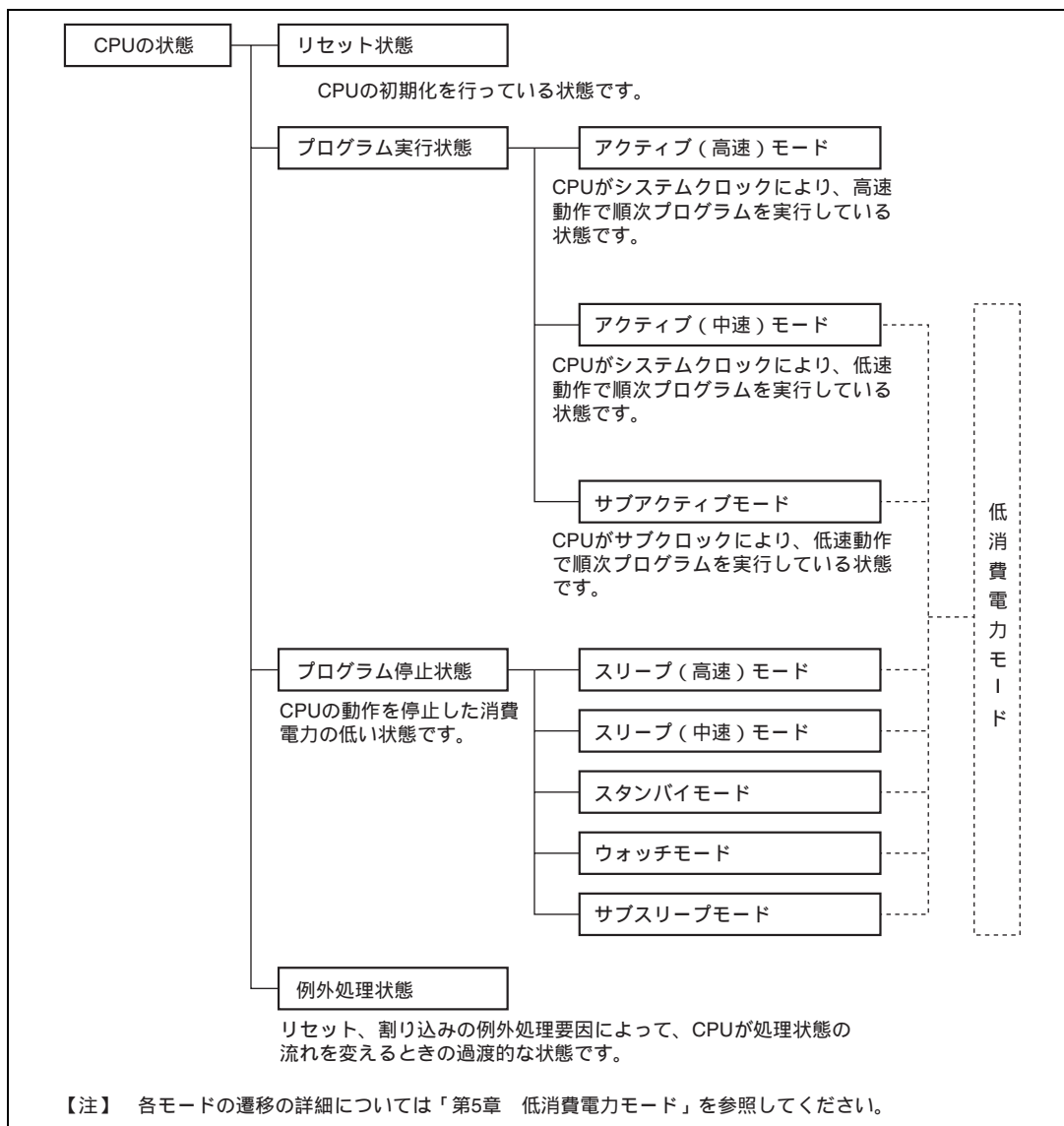


図 2.14 CPU の状態の分類

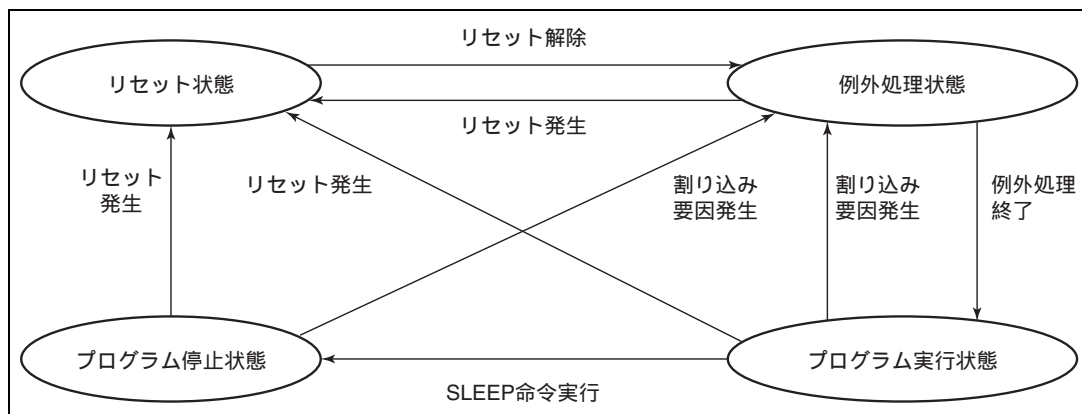


図 2.15 状態遷移図

2.7.2 プログラム実行状態

CPU がプログラムを順次実行している状態です。

CPU がプログラム実行状態には、アクティブ（高速、中速）モードとサブアクティブモードの 3 つのモードがあります。アクティブ（高速、中速）モードはシステムクロックで、サブアクティブモードはサブクロックで動作します。

これらのモードについての詳細は「第 5 章 低消費電力モード」を参照してください。

2.7.3 プログラム停止状態

プログラム停止状態には、スリープ（高速、中速）モード、スタンバイモード、ウォッチモードおよびサブスリープモードの 5 つのモードがあります。

これらのモードについての詳細は「第 5 章 低消費電力モード」を参照してください。

2.7.4 例外処理状態

リセット、割り込みの例外処理要因によって、CPU が通常の処理状態の流れを変えるとときの過渡的な状態です。割り込み要因による例外処理では、SP (R7) を参照して、PC および CCR の退避を行います。

割り込み処理についての詳細は、「3.3 割り込み」を参照してください。

2.8 メモリマップ

H8/3644 グループのメモリマップを図 2.16 に示します。

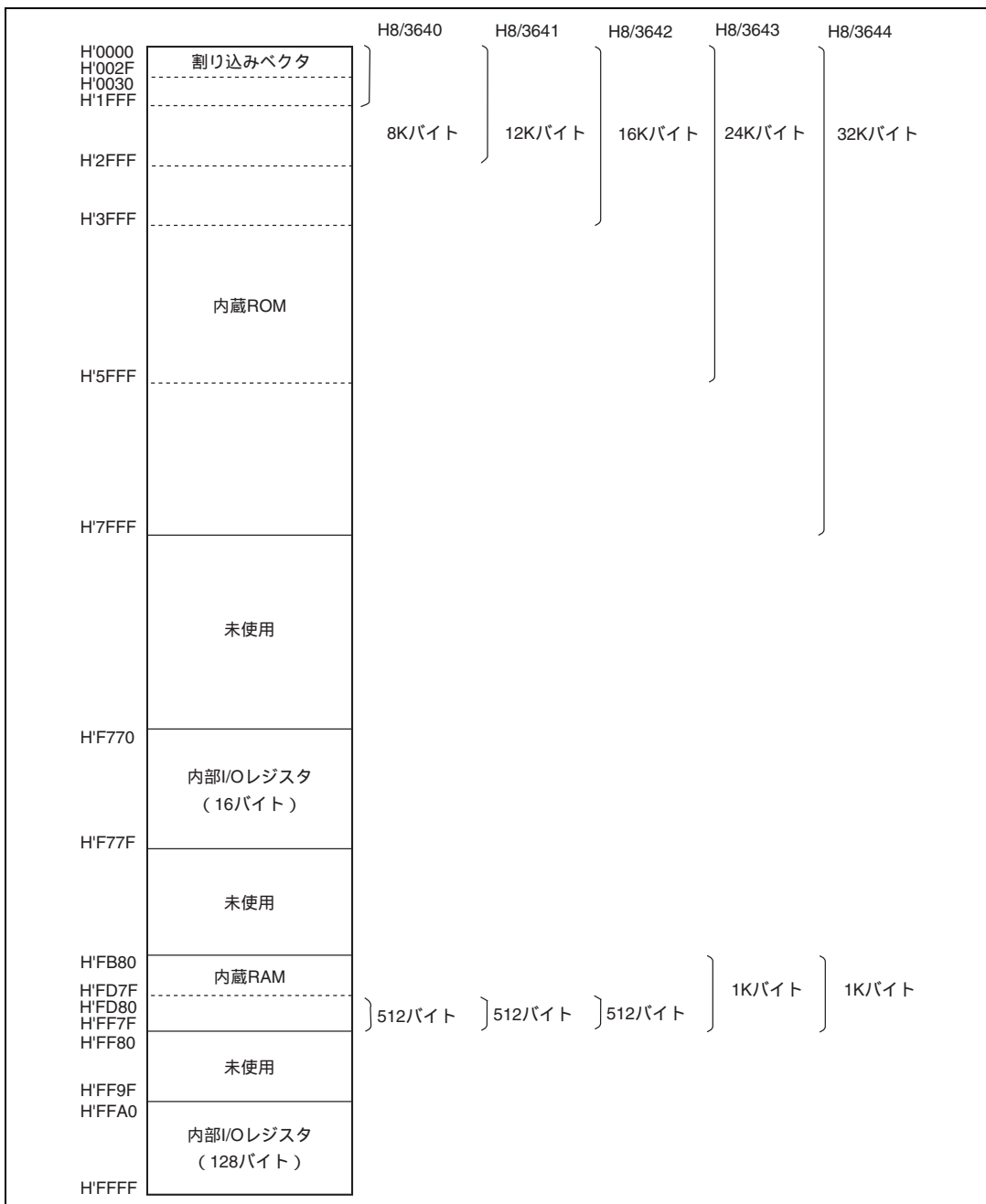


図 2.16 H8/3644 グループのメモリマップ

2.9 使用上の注意事項

2.9.1 データアクセスに関する注意事項

(1) 空きエリアへのアクセス

H8/300L CPU のアドレス空間には、ユーザに開放された ROM、RAM、レジスタ以外の空きエリアがあります。プログラムで誤ってこの空きエリアにアクセスを行うと、以下のように動作します。

CPU から空きエリアへのデータの転送

転送データは失われます。また、CPU 誤動作の原因となる可能性があります。

空きエリアから CPU へのデータの転送

転送データは保証されません。

(2) 内部 I/O レジスタへのアクセス

内蔵 ROM、RAM 領域以外の内蔵周辺モジュールは、内部のデータ転送が 8 ビットで行われます。この領域にワードアクセスを行うと、以下のように動作します。

CPU から I/O レジスタ領域へのワードアクセス

上位バイト : I/O レジスタに書き込まれます。

下位バイト : 転送データは失われます。

内部 I/O レジスタから CPU へのワードアクセス

上位バイト : CPU 内部レジスタ上位に書き込まれます。

下位バイト : CPU 内部レジスタ下位に書き込まれたデータは保証されません。

したがって、内蔵 ROM、RAM 領域以外の I/O レジスタ領域とのデータ転送は、バイトサイズの命令を使用してください。

図 2.17 にアクセスできるデータサイズおよびステート数と内蔵周辺モジュールの対応を示します。

		アクセス		ステート数
		ワード	バイト	
H'0000	割り込みベクタ (48バイト)			2
H'002F				
H'0030	内蔵ROM			2
H'7FFF				
		未使用	—	
H'F770	内部I/Oレジスタ (16バイト)	x		3*
H'F77F				
	未使用	—	—	
H'FB80	内蔵RAM			2
H'FF7F				
H'FF80	未使用	—	—	—
H'FF9F				
H'FFA0				
H'FFFA0	内部I/Oレジスタ (96バイト)	x		2 または 3*
H'FFFF				

1024バイト

【注】 H8/3644の例です。
* 内部I/Oレジスタとして定義しているもので、3サイクルアクセスする領域は、タイマX (H'F770 ~ H'F77F)、SCI3 (H'FFA8 ~ H'FFAD)、タイマV (H'FFB8 ~ H'FFBD) です。

図 2.17 アクセスできるデータサイズおよびステート数と内蔵周辺モジュールの対応

2.9.2 ビット操作命令使用上の注意事項

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。

したがって、同一アドレスに2つのレジスタが割り付けられている場合や、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

動作順序		動作内容
1	リード	指定したアドレスのデータ (バイト単位) をリードします。
2	ビット操作	リードしたデータの指定された1ビットを操作します。
3	ライト	指定したアドレスに操作したデータ (バイト単位) をライトします。

(1) 同一アドレスに割り付けられた2つのレジスタのビット操作

例1: タイマロードレジスタとタイマカウンタへのビット操作

図 2.18 に同一アドレスに割り付けられた2つのレジスタを持つタイマの構成例を示します。

リロードタイマのタイマロードレジスタとタイマカウンタにビット操作命令を実行した場合、タイマロードレジスタとタイマカウンタはアドレスを共有しているため、次のように動作します。

動作順序		動作内容
1	リード	リードタイマカウンタのデータ (バイト単位) をリードします。
2	ビット操作	CPU は命令で指定された1ビットを操作 (セットまたはリセット) します。
3	ライト	ライト操作したデータ (バイト単位) をタイマロードレジスタにライトします。

タイマカウンタは、カウントを続けているのでリードした値がタイマロードレジスタとは必ずしも等しくありません。その結果操作の対象となったビット以外は、タイマカウンタの値がタイマロードレジスタへライトされます。

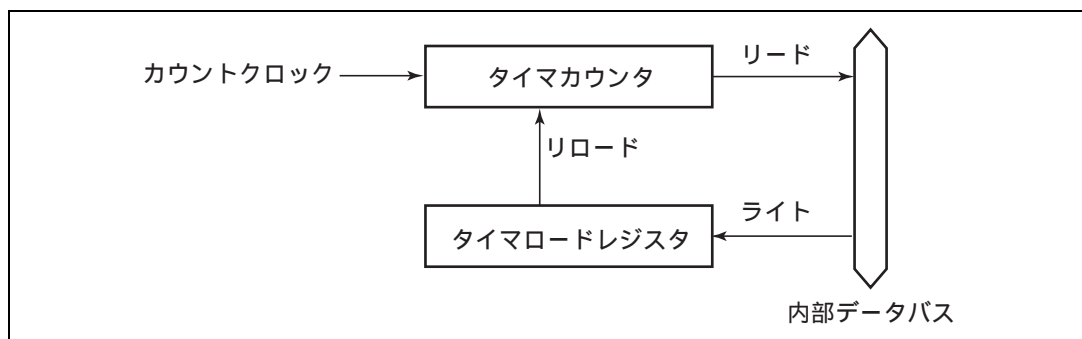


図 2.18 タイマの構成例

2. CPU

例 2 : ポート 3 に BSET 命令を実行した場合

P3₇、P3₆は入力端子に設定され、それぞれ Low レベル、High レベルが入力されているとし、P3₅~P3₀は出力端子に設定され、それぞれ Low レベル出力状態とします。

以下に、BSET 命令で P3₀に High レベル出力を行う例を示します。

【A ; BSET 命令を実行前】

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

【B ; BSET 命令を実行】

BSET	#0,	@PDR3
------	-----	-------

 ポート 3 に対して BSET 命令を実行します。

【C ; BSET 命令を実行後】

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	0	1	0	0	0	0	0	1

【D ; BSET 命令の動作説明】

BSET 命令を実行すると、CPU は、最初にポート 3 をリードします。

P3₇、P3₆は入力端子であるので、CPU は端子の状態 (Low レベル、High レベル入力) をリードします。P3₅~P3₀は出力端子であるので、CPU は PDR3 の値をリードします。したがって、この例では、PDR3 は H'80 ですが、CPU がリードしたデータは H'40 となります。

次に、CPU は、リードしたデータのビット 0 を 1 にセットして、データを H'41 に変更します。

最後に、この値 (H'41) を PDR3 に書き込んで、BSET 命令を終了します。

その結果、PDR3 のビット 0 が 1 になり、P3₀は High レベル出力になります。しかし、PDR3 のビット 7、6 が変化してしまいます。

そのため、PDR3 と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータを PDR3 にライトしてください。

【A ; BSET 命令を実行前】

MOV.B	#80.	R0L
MOV.B	R0L.	@RAM0
MOV.B	R0L.	@PDR3

PDR3 に書き込む値 (H'80) をあらかじめメモリ上のワークエリア (RAM0) と PDR3 にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

RAM0	1	0	0	0	0	0	0	0
------	---	---	---	---	---	---	---	---

【B ; BSET 命令を実行】

BSET	#0	, @RAM0
------	----	---------

PDR3 のワークエリア (RAM0) に対して BSET 命令を実行します。

【C ; BSET 命令を実行後】

MOV.B	@RAM0, R0L
MOV.B	R0L. @PDR3

ワークエリア (RAM0) の値を PDR3 にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	1

RAM0	1	0	0	0	0	0	0	1
------	---	---	---	---	---	---	---	---

(2) ライト専用ビットを含むレジスタのビット操作

例 3 : ポート 3 の PCR3 に BCLR 命令を実行した場合

P3₇、P3₆ は入力端子に設定され、それぞれ Low レベル、High レベルが入力されているとします。
P3₅ ~ P3₀ は出力端子に設定され、それぞれ Low レベル出力状態とします。

ここで、BCLR 命令で、P3₀ を入力ポートにする例を示します。入力端子に設定された P3₀ は High レベルが入力されるものとします。

2. CPU

【A ; BCLR 命令を実行前】

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

【B ; BCLR 命令を実行】

`BCLR #0, @PCR3` PCR3 に対して BCLR 命令を実行します。

【C ; BCLR 命令を実行後】

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	出力	出力	出力	出力	出力	出力	出力	入力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	1	1	1	1	1	1	1	0
PDR3	1	0	0	0	0	0	0	0

【D ; BCLR 命令の動作説明】

BCLR 命令を実行すると、CPU は、最初に PCR3 をリードします。PCR3 はライト専用レジスタですので、CPU は H'FF をリードします。したがって、この例では PCR3 は H'3F ですが、CPU がリードしたデータは H'FF となります。

次に、CPU は、リードしたデータのビット 0 を 0 にクリアして、データを H'FE に変更します。

最後に、このデータ (H'FE) を PCR3 に書き込んで、BCLR 命令を終了します。

その結果、PCR3 のビット 0 が 0 になり、P3₀ は入力ポートになります。しかし、PCR3 のビット 7、ビット 6 が 1 になって、入力ポートであった P3₇、P3₆ は出力ポートに変化してしまいます。

そのため、PCR3 と同じデータをメモリ上のワークエリアに格納し、ワークエリア上のデータに対しビット操作を行った後、このデータを PCR3 にライトしてください。

【A ; BCLR 命令を実行前】

MOV.B	#3F.	R0L
MOV.B	R0L.	@RAM0
MOV.B	R0L.	@PCR3

PCR3 に書き込む値 (H'3F) をあらかじめメモリ上のワークエリア (RAM0) と PCR3 にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
PCR3	0	0	1	1	1	1	1	1
PDR3	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	1
------	---	---	---	---	---	---	---	---

【B ; BCLR 命令を実行】

BCLR	#0	, @RAM0
------	----	---------

PCR3 のワークエリア (RAM0) に対して BCLR 命令を実行します。

【C ; BCLR 命令を実行後】

MOV.B	@RAM0,R0L
MOV.B	R0L. @PCR3

ワークエリア (RAM0) の値を PCR3 にライトします。

	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
PCR3	0	0	1	1	1	1	1	0
PDR3	1	0	0	0	0	0	0	0

RAM0	0	0	1	1	1	1	1	0
------	---	---	---	---	---	---	---	---

2. CPU

同一のアドレスに割り付けられた2つのレジスタの一覧を表 2.12 に、ライト専用ビットを含むレジスタの一覧を表 2.13 に示します。

表 2.12 同一のアドレスに割り付けられた2つのレジスタの一覧

レジスタ名	略称	アドレス
アウトプットコンペアレジスタ AH / アウトプットコンペアレジスタ BH (タイマ X)	OCRAH/OCRBH	H'F774
アウトプットコンペアレジスタ AL / アウトプットコンペアレジスタ BL (タイマ X)	OCRAL/OCRBL	H'F775
タイマカウンタ B1 / タイマロードレジスタ B1 (タイマ B1)	TCB1/TLB1	H'FFB3
ポートデータレジスタ 1*	PDR1	H'FFD4
ポートデータレジスタ 2*	PDR2	H'FFD5
ポートデータレジスタ 3*	PDR3	H'FFD6
ポートデータレジスタ 5*	PDR5	H'FFD8
ポートデータレジスタ 6*	PDR6	H'FFD9
ポートデータレジスタ 7*	PDR7	H'FFDA
ポートデータレジスタ 8*	PDR8	H'FFDB
ポートデータレジスタ 9*	PDR9	H'FFDC

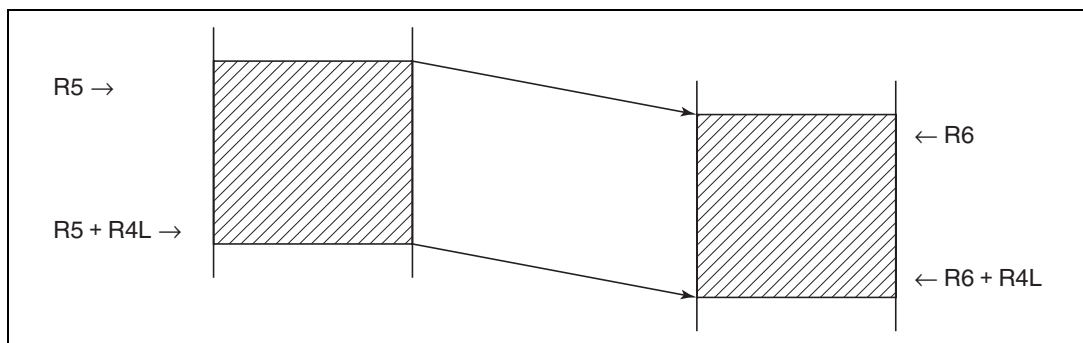
【注】 * ポートデータレジスタと端子入力が兼用になっています。

表 2.13 ライト専用ビットを含むレジスタの一覧

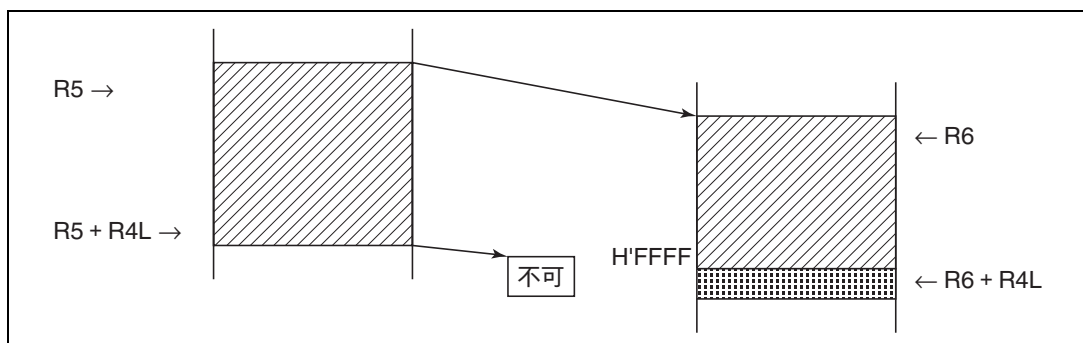
レジスタ名	略称	アドレス
ポートコントロールレジスタ 1	PCR1	H'FFE4
ポートコントロールレジスタ 2	PCR2	H'FFE5
ポートコントロールレジスタ 3	PCR3	H'FFE6
ポートコントロールレジスタ 5	PCR5	H'FFE8
ポートコントロールレジスタ 6	PCR6	H'FFE9
ポートコントロールレジスタ 7	PCR7	H'FFEA
ポートコントロールレジスタ 8	PCR8	H'FFEB
ポートコントロールレジスタ 9	PCR9	H'FFEC
PWM コントロールレジスタ	PWCR	H'FFD0
PWM データレジスタ U	PWDRU	H'FFD1
PWM データレジスタ L	PWDRL	H'FFD2

2.9.3 EEPMOV 命令使用上の注意事項

- (1) EEPMOV命令はブロック転送命令で、R5で示されるアドレスから始まるR4Lで示されるバイト数のデータを、R6で示されるアドレスへ転送します。



- (2) 転送先の最終アドレス (R6 + R4Lの値) がH'FFFFを超えないように (実行途中でR6の値がH'FFFF→H'0000とならないように)、R4L、R6を設定してください。



3. 例外処理

3.1 概要

本 LSI の例外処理には、リセットと割り込みがあります。表 3.1 に、例外処理の種類と優先度を示します。

表 3.1 例外処理の種類と優先度

優先度	例外処理要因	例外処理開始タイミング
高 ↑ 低	リセット	リセットが解除されると例外処理を開始します。
	割り込み	割り込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。

3.2 リセット

3.2.1 概要

リセットは最も優先順位の高い例外処理です。

リセットによって、CPU の内部状態と、内蔵周辺モジュールの各レジスタが初期化されます。

3.2.2 リセットシーケンス

(1) $\overline{\text{RES}}$ 端子によるリセット

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時には、クロック発振器の発振安定時間の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中にリセットする場合は、最低 10 システムクロックの間、Low レベルに保持してください。

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後、High レベルになると、リセット例外処理が開始されます。リセット例外処理の動作は以下のとおりです。

- (1) CPU の内部状態と内蔵周辺モジュールの各レジスタの初期化を行い、コンディションコードレジスタ (CCR) の I ビットをセットします。
- (2) リセット例外処理ベクタアドレス (H'0000、H'0001) をリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。
パワーオン / パワーオフ時には、 $\overline{\text{RES}}$ 端子を Low レベルにしてください。

$\overline{\text{RES}}$ 端子によるリセットシーケンスを図 3.1 に示します。

3. 例外処理

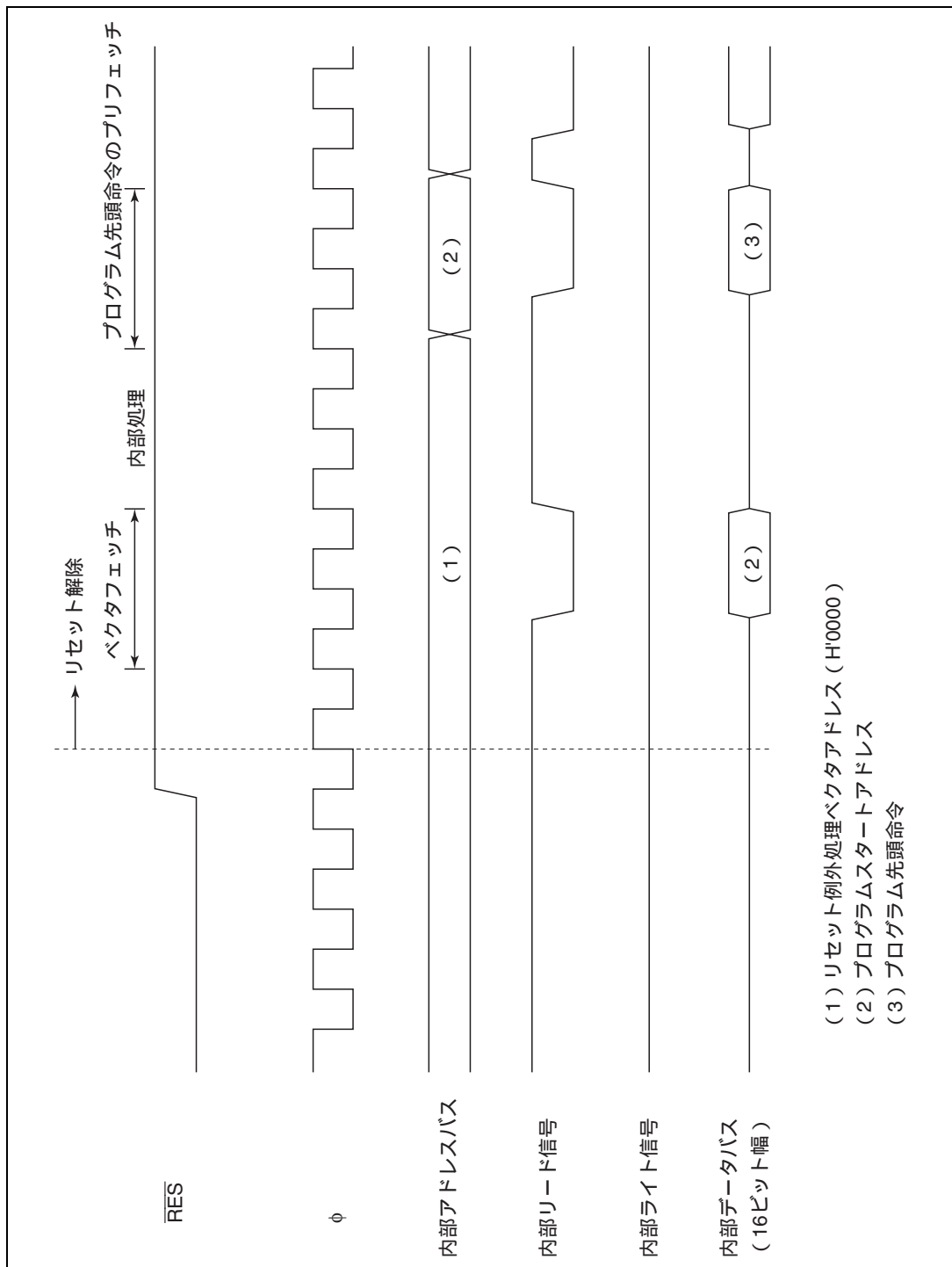


図 3.1 リセットシーケンス

(2) ウォッチドッグタイマによるリセット

ウォッチドッグタイマの TCSRW の WDN を 1 にセットすると、TCW はカウントアップを開始します。TCW がオーバーフローすると、本 LSI はリセット状態になり、TCSRW の WRST を 1 にセットします。TCSRW の WRST が 1 にセットされている状態で、TCW が再びオーバーフローすると、本 LSI はリセット状態を解除し、リセット例外処理を開始します。例外処理は、 $\overline{\text{RES}}$ 端子によるリセット例外処理と同一です。ウォッチドッグタイマの詳細は「9.6 ウォッチドッグタイマ」を参照してください。

3.2.3 リセット直後の割り込み

リセット後、スタックポインタ (SP : R7) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走の原因となります。これを防ぐため、リセット例外処理が実行された直後はすべての割り込み要求が禁止されています。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラムの先頭命令は、SP を初期化する命令としてください (例 : MOV.W #xx:16, SP)。

3.3 割り込み

3.3.1 概要

割り込み例外処理を開始する要因には、12の外部割り込み要因 ($IRQ_3 \sim IRQ_0$ 、 $INT_7 \sim INT_0$) と内蔵モジュールから21の内部割り込み要因があります。割り込み要因と優先度、ならびにベクタアドレスの一覧表を表3.2に示します。複数の割り込み要求が発生したときは、優先度の高い方から処理されます。

これらの割り込みには次のような特長があります。

- (1) 内部割り込みおよび外部割り込みは、CCRのIビットによりマスクされます。すなわち、CCRのIビットが1にセットされていると、割り込み要求フラグはセットされますが、割り込みは受け付けられません。
- (2) $IRQ_3 \sim IRQ_0$ 、 $INT_7 \sim INT_0$ は、立ち上がり / 立ち下がりエッジセンスのいずれかをその独自の設定することができます。

3. 例外処理

3.3.2 各レジスタの説明

割り込みを制御するレジスタの一覧を表 3.3 に示します。

表 3.3 割り込み制御レジスタ

名称	略称	R/W	初期値	アドレス
割り込みエッジセレクトレジスタ 1	IEGR1	R/W	H'70	H'FFF2
割り込みエッジセレクトレジスタ 2	IEGR2	R/W	H'00	H'FFF3
割り込み許可レジスタ 1	IENR1	R/W	H'10	H'FFF4
割り込み許可レジスタ 2	IENR2	R/W	H'00	H'FFF5
割り込み許可レジスタ 3	IENR3	R/W	H'00	H'FFF6
割り込み要求レジスタ 1	IRR1	R/W*	H'10	H'FFF7
割り込み要求レジスタ 2	IRR2	R/W*	H'00	H'FFF8
割り込み要求レジスタ 3	IRR3	R/W*	H'00	H'FFF9

【注】 * フラグクリアのための 0 ライトのみ可能です。

(1) 割り込みエッジセレクトレジスタ 1 (IEGR1)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	IEG3	IEG2	IEG1	IEG0
初期値:	0	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

IEGR1 は、8 ビットのリード/ライト可能なレジスタで、 $\overline{IRQ}_3 \sim \overline{IRQ}_0$ 端子の立ち上がり/立ち下がりがエッジセンスを指定します。リセット時、IEGR1 は H'70 に初期化されます。

ビット 7: リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 6~4: リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット 3: \overline{IRQ}_3 エッジセレクト (IEG3)

\overline{IRQ}_3 端子の入力センスを選択します。

ビット 3	説明
IEG3	
0	\overline{IRQ}_3 端子入力の立ち下がりエッジを検出 (初期値)
1	\overline{IRQ}_3 端子入力の立ち上がりエッジを検出

ビット2：IRQ₂エッジセレクト (IEG2)

$\overline{\text{IRQ}}_2$ 端子の入力センスを選択します。

ビット2	説 明
IEG2	
0	$\overline{\text{IRQ}}_2$ 端子入力の立ち下がりエッジを検出 (初期値)
1	IRQ ₂ 端子入力の立ち上がりエッジを検出

ビット1：IRQ₁エッジセレクト (IEG1)

$\overline{\text{IRQ}}_1$ 端子の入力センスを選択します。

ビット1	説 明
IEG1	
0	$\overline{\text{IRQ}}_1$ 端子入力の立ち下がりエッジを検出 (初期値)
1	IRQ ₁ 端子入力の立ち上がりエッジを検出

ビット0：IRQ₀エッジセレクト (IEG0)

$\overline{\text{IRQ}}_0$ 端子の入力センスを選択します。

ビット0	説 明
IEG0	
0	$\overline{\text{IRQ}}_0$ 端子入力の立ち下がりエッジを検出 (初期値)
1	IRQ ₀ 端子入力の立ち上がりエッジを検出

(2) 割り込みエッジセレクトレジスタ2 (IEGR2)

ビット:	7	6	5	4	3	2	1	0
	INTEG7	INTEG6	INTEG5	INTEG4	INTEG3	INTEG2	INTEG1	INTEG0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IEGR2は、8ビットのリード/ライト可能なレジスタで、 $\overline{\text{INT}}_7 \sim \overline{\text{INT}}_0$ 端子、TMIB端子の立ち上がり/立ち下がりエッジセンスを指定します。リセット時、IEGR2はH'00に初期化されます。

ビット7：INT₇エッジセレクト (INTEG7)

$\overline{\text{INT}}_7$ 端子の入力センスを選択します。

ビット7	説 明
INTEG7	
0	$\overline{\text{INT}}_7$ 端子入力の立ち下がりエッジを検出 (初期値)
1	INT ₇ 端子入力の立ち上がりエッジを検出

3. 例外処理

ビット 6 : $\overline{\text{INT}}_6$ エッジセレクト (INTEG6)

$\overline{\text{INT}}_6$ 端子、TMIB 端子の入力センスを選択します。

ビット 6	説明
INTEG6	
0	$\overline{\text{INT}}_6$ 端子、TMIB 端子入力の立ち下がりエッジを検出 (初期値)
1	$\overline{\text{INT}}_6$ 端子、TMIB 端子入力の立ち上がりエッジを検出

ビット 5 : $\overline{\text{INT}}_5$ エッジセレクト (INTEG5)

$\overline{\text{INT}}_5$ 端子、 $\overline{\text{ADTRG}}$ 端子の入力センスを選択します。

ビット 5	説明
INTEG5	
0	$\overline{\text{INT}}_5$ 端子、 $\overline{\text{ADTRG}}$ 端子入力の立ち下がりエッジを検出 (初期値)
1	$\overline{\text{INT}}_5$ 端子、 $\overline{\text{ADTRG}}$ 端子入力の立ち上がりエッジを検出

ビット 4~0 : $\overline{\text{INT}}_4 \sim \overline{\text{INT}}_0$ エッジセレクト (INTEG4~0)

$\overline{\text{INT}}_4 \sim \overline{\text{INT}}_0$ 端子の入力センスを選択します。

ビット n	説明
INTEGn	
0	$\overline{\text{INT}}_n$ 端子入力の立ち下がりエッジを検出 (初期値)
1	$\overline{\text{INT}}_n$ 端子入力の立ち上がりエッジを検出

(n = 4 ~ 0)

(3) 割り込み許可レジスタ 1 (IENR1)

ビット:	7	6	5	4	3	2	1	0
	IENB1	IENTA	—	—	IEN3	IEN2	IEN1	IEN0
初期値:	0	0	0	1	0	0	0	0
R/W :	R/W	R/W	—	—	R/W	R/W	R/W	R/W

IENR1 は、8 ビットのリード/ライト可能なレジスタで、割り込み要求の許可/禁止を制御します。リセット時、IENR1 は H'10 に初期化されます。

ビット 7 : タイマ B1 割り込みイネーブル (IENB1)

タイマ B1 オーバフロー割り込み要求の許可/禁止を制御します。

ビット 7	説明
IENB1	
0	タイマ B1 の割り込み要求を禁止 (初期値)
1	タイマ B1 の割り込み要求を許可

ビット6：タイマ A 割り込みイネーブル (IENTA)

タイマ A オーバフロー割り込み要求の許可 / 禁止を制御します。

ビット 6	説明
IENTA	
0	タイマ A の割り込み要求を禁止 (初期値)
1	タイマ A の割り込み要求を許可

ビット5：リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット4：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット3~0：IRQ₃~IRQ₀割り込みイネーブル (IEN3~IEN0)

IRQ₃~IRQ₀ 割り込み要求の許可 / 禁止を制御します。

ビット n	説明
IENn	
0	IRQn 端子の割り込み要求を禁止 (初期値)
1	IRQn 端子の割り込み要求を許可

(n=3~0)

(4) 割り込み許可レジスタ 2 (IENR2)

ビット:	7	6	5	4	3	2	1	0
	IENDT	IENAD	—	IENS1	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	—	R/W	—	—	—	—

IENR2は、8ビットのリード/ライト可能なレジスタで、割り込み要求の許可/禁止を制御します。リセット時、IENR2はH'00に初期化されます。

ビット7：直接遷移割り込みイネーブル (IENDT)

直接遷移割り込み要求の許可 / 禁止を制御します。

ビット 7	説明
IENDT	
0	直接遷移による割り込み要求を禁止 (初期値)
1	直接遷移による割り込み要求を許可

3. 例外処理

ビット 6 : A/D 変換器割り込みイネーブル (IENAD)

A/D 変換終了割り込み要求の許可 / 禁止を制御します。

ビット 6	説明
IENAD	
0	A/D 変換器の割り込み要求を禁止 (初期値)
1	A/D 変換器の割り込み要求を許可

ビット 5 : リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 4 : SCI1 割り込みイネーブル (IENS1)

SCI1 転送完了割り込み要求の許可 / 禁止を制御します。

ビット 4	説明
IENS1	
0	SCI1 の割り込み要求を禁止 (初期値)
1	SCI1 の割り込み要求を許可

ビット 3~0 : リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

(5) 割り込み許可レジスタ 3 (IENR3)

ビット:	7	6	5	4	3	2	1	0
	INTEN7	INTEN6	INTEN5	INTEN4	INTEN3	INTEN2	INTEN1	INTEN0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IENR3 は、8 ビットのリード / ライト可能なレジスタで、INT₇ ~ INT₀ 割り込み要求の許可 / 禁止を制御します。リセット時、IENR3 は H'00 に初期化されます。

ビット 7~0 : INT₇ ~ INT₀ 割り込みイネーブル (INTEN7 ~ INTEN0)

INT₇ ~ INT₀ 割り込み要求の許可 / 禁止を制御します。

ビット n	説明
INTENn	
0	INT _n 端子の割り込み要求を禁止 (初期値)
1	INT _n 端子の割り込み要求を許可

(n = 7 ~ 0)

(6) 割り込み要求レジスタ 1 (IRR1)

ビット:	7	6	5	4	3	2	1	0
	IRRTB1	IRRTA	—	—	IRRI3	IRRI2	IRRI1	IRRI0
初期値:	0	0	0	1	0	0	0	0
R/W :	R/W*	R/W*	—	—	R/W*	R/W*	R/W*	R/W*

【注】* フラグクリアのための0ライトのみ可能です。

IRR1 は、8 ビットのリード/ライト可能なレジスタで、タイマ B1、タイマ A、IRQ₃ ~ IRQ₀ 割り込み要求が発生すると対応するフラグが 1 にセットされます。各フラグは割り込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は 0 をライトしてクリアしてください。リセット時、IRR1 は H'10 に初期化されます。

ビット 7 : タイマ B1 割り込み要求フラグ (IRRTB1)

ビット 7	説明
IRRTB1	
0	[クリア条件] IRRTB1 = 1 の状態で IRRTB1 に 0 をライトしたとき (初期値)
1	[セット条件] タイマ B1 のカウンタ値がオーバーフロー (H'FF→H'00) したとき

ビット 6 : タイマ A 割り込み要求フラグ (IRRTA)

ビット 7	説明
IRRTA	
0	[クリア条件] IRRTA = 1 の状態で IRRTA に 0 をライトしたとき (初期値)
1	[セット条件] タイマ A のカウンタ値がオーバーフロー (H'FF→H'00) したとき

ビット 5 : リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット 4 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

3. 例外処理

ビット 3~0 : IRQ₃ ~ IRQ₀ 割り込み要求フラグ (IRRI3 ~ IRRI0)

ビット n	説明
IRRI _n	
0	[クリア条件] (初期値) IRRI _n = 1 の状態で IRRIn に 0 をライトしたとき
1	[セット条件] IRQ _n 端子が割り込み入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき

(n = 3 ~ 0)

(7) 割り込み要求レジスタ 2 (IRR2)

ビット:	7	6	5	4	3	2	1	0
	IRRDT	IRRAD	—	IRRS1	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	—	R/W*	—	—	—	—

【注】 * フラグクリアのための0ライトのみ可能です。

IRR2 は、8 ビットのリード/ライト可能なレジスタで、直接遷移、A/D 変換器、SCI1 割り込み要求が発生すると、対応するフラグが 1 にセットされます。各フラグは割り込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は 0 をライトしてクリアしてください。

リセット時、IRR2 は H'00 に初期化されます。

ビット 7 : 直接遷移割り込み要求フラグ (IRRDT)

ビット 7	説明
IRRD _T	
0	[クリア条件] (初期値) IRRD _T = 1 の状態で IRRDT に 0 をライトしたとき
1	[セット条件] SYSCR2 の DTON に 1 をセットした状態でスリープ命令を実行し直接遷移したとき

ビット 6 : A/D 変換器割り込み要求フラグ (IRRAD)

ビット 6	説明
IRRAD	
0	[クリア条件] (初期値) IRRAD = 1 の状態で IRRAD に 0 をライトしたとき
1	[セット条件] A/D 変換器が変換終了し、ADSR の ADSF が 0 にクリアされたとき

ビット5：リザーブビット

リザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット4：SCI1 割り込み要求フラグ (IRRS1)

ビット4	説明
IRRS1	
0	[クリア条件] IRRS1=1の状態ではIRRS1に0をライトしたとき (初期値)
1	[セット条件] SCI1が転送完了したとき

ビット3~0：リザーブビット

リザーブビットです。各ビットはリードすると常に0が読み出されます。ライトは無効です。

(8) 割り込み要求レジスタ3 (IRR3)

ビット:	7	6	5	4	3	2	1	0
	INTF7	INTF6	INTF5	INTF4	INTF3	INTF2	INTF1	INTF0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】* フラグクリアのための0ライトのみ可能です。

IRR3は、8ビットのリード/ライト可能なレジスタで、 $\overline{INT}_7 \sim \overline{INT}_0$ 端子にエッジが入力されると、対応するフラグが1にセットされます。各フラグは割り込みが受け付けられてもオートクリアされません。各フラグをクリアする場合は0をライトしてクリアしてください。

リセット時、IRR3はH'00に初期化されます。

ビット7~0：INT₇~INT₀割り込み要求フラグ (INTF7~INTF0)

ビットn	説明
INTFn	
0	[クリア条件] INTFnが1の状態ではINTFnに0をライトしたとき (初期値)
1	[セット条件] INTn端子に指定されたエッジが入力されたとき

(n=7~0)

3.3.3 外部割り込み

外部割り込みには、 $IRQ_3 \sim IRQ_0$ 、 $INT_7 \sim INT_0$ 割り込みの 12 要因があります。

(1) $IRQ_3 \sim IRQ_0$ 割り込み

$IRQ_3 \sim IRQ_0$ 割り込みは、 $\overline{IRQ_3} \sim \overline{IRQ_0}$ 端子の入力信号により要求されます。 $IRQ_3 \sim IRQ_0$ 割り込みは、立ち上がり / 立ち下がりエッジセンスを IEGR1 の IEG3 ~ IEG0 より指定できます。

PMR1 により端子機能が $\overline{IRQ_3} \sim \overline{IRQ_0}$ 端子に選択された状態で指定されたエッジが入力されると、IRR1 の対応するビットが 1 にセットされ、割り込み要求が発生します。割り込み要求の受け付けは、IENR1 の IEN3 ~ IEN0 を 0 にクリアすることにより、禁止できます。また、CCR の I ビットを 1 にセットすることによりすべての割り込みをマスクできます。

$IRQ_3 \sim IRQ_0$ 割り込みの割り込み例外処理が受け付けられると、CCR の I ビットが 1 にセットされます。 $IRQ_3 \sim IRQ_0$ 割り込み例外処理のベクタ番号は 7~4 です。優先順位は IRQ_3 (低) → IRQ_0 (高) の順に高くなります。詳細は表 3.2 を参照してください。

(2) INT 割り込み

INT 割り込みは $\overline{INT_7} \sim \overline{INT_0}$ 端子の入力信号により要求されます。INT 割り込みは、立ち上がり / 立ち下がりエッジセンスを IEGR2 の INTEG7 ~ INTEG0 より指定できます。

$\overline{INT_7} \sim \overline{INT_0}$ 端子に指定されたエッジが入力されると、IRR3 の対応するビットが 1 にセットされ、割り込み要求が発生します。割り込み要求の受け付けは、IENR3 の INTEN7 ~ INTEN0 を 0 にクリアすることにより、禁止できます。また、CCR の I ビットを 1 セットすることによりすべての割り込みをマスクできます。

INT 割り込みの割り込み例外処理が受け付けられると、CCR の I ビットが 1 にセットされます。INT 割り込み例外処理のベクタ番号は 8 です。8 つの割り込み要因が 1 つのベクタ番号に割り付けられているため、例外処理ルーチンで要因を判別してください。

【注】 $\overline{INT_7} \sim \overline{INT_0}$ 端子は、ポート 5 との兼用端子です。

本端子をポートとして使用する場合でも、端子にエッジが入力または出力されれば INTFn ビットは 1 にセットされます。

3.3.4 内部割り込み

内蔵周辺モジュールからの割り込みによる内部割り込み要因は、21 要因あります。

内蔵周辺モジュールからの割り込み要求が発生すると、IRR1、IRR2 の対応するビットが 1 にセットされます。IENR1、IENR2 の各ビットを 0 にクリアすることにより、各割り込み要求の受け付けは禁止できます。また、CCR の I ビットを 1 にセットすることにより、すべての割り込みをマスクできます。これらの割り込み例外処理が受け付けられると CCR の I ビットは 1 にセットされます。ベクタ番号は 23 ~ 9 です。内蔵周辺モジュールからの割り込みの優先順位については表 3.2 を参照してください。

3.3.5 割り込み動作

割り込みは、割り込みコントローラによって制御されます。割り込みコントローラのブロック図を図 3.2 に、割り込み受け付けまでのフローを図 3.3 に示します。

割り込み動作は以下のとおりです。

- (1) 割り込み許可レジスタの対応するビットが1にセットされている状態で、割り込み要因が発生したとき、割り込みコントローラに対して割り込み要求信号が送られます。
- (2) 割り込みコントローラに割り込み要求信号が送られると、割り込み要求フラグがセットされます。
- (3) 割り込み許可フラグが1にセットされている割り込みの中で、優先順位に従って最高位の割り込み要求が選択され、その他は保留となります（表3.2参照）。
- (4) CCRのIビットを参照し、Iビットが0にクリアされている場合は、割り込み要求は受け付けられませんが、Iビットが1にセットされている場合は割り込み要求は保留となります。
- (5) 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、PCとCCRがスタック領域に退避されます。このときのスタックの状態を図3.4に示します。スタックされるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- (6) CCRのIビットが1にセットされます。これにより、すべての割り込みはマスクされます。
- (7) 受け付けた割り込みに対応するベクタアドレスを生成し、そのアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行を開始します。

プログラム領域を内蔵ROMに、スタック領域を内蔵RAMにとった場合の割り込みシーケンスを図3.5に示します。

- 【注】
1. 本 LSI では、割り込み許可レジスタをクリアすることにより割り込みをディスエーブルにする場合、または割り込み要求レジスタをクリアする場合は、かならず割り込みをマスクした状態（I=1）で行ってください。
 2. I=0 の状態で上記の操作を行うと、当該操作命令の実行と当該割り込みの発生が競合した場合には、当該操作命令の実行終了時に発生した割り込みに対応する例外処理を実行します。

3. 例外処理

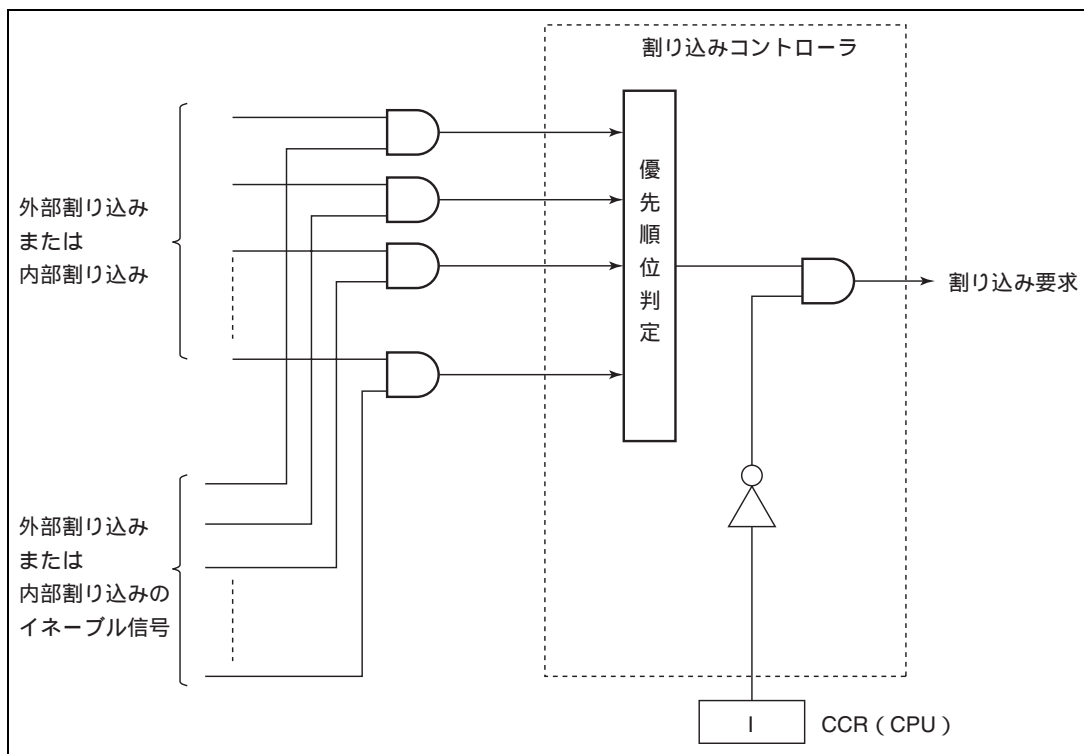


図 3.2 割り込みコントローラのブロック図

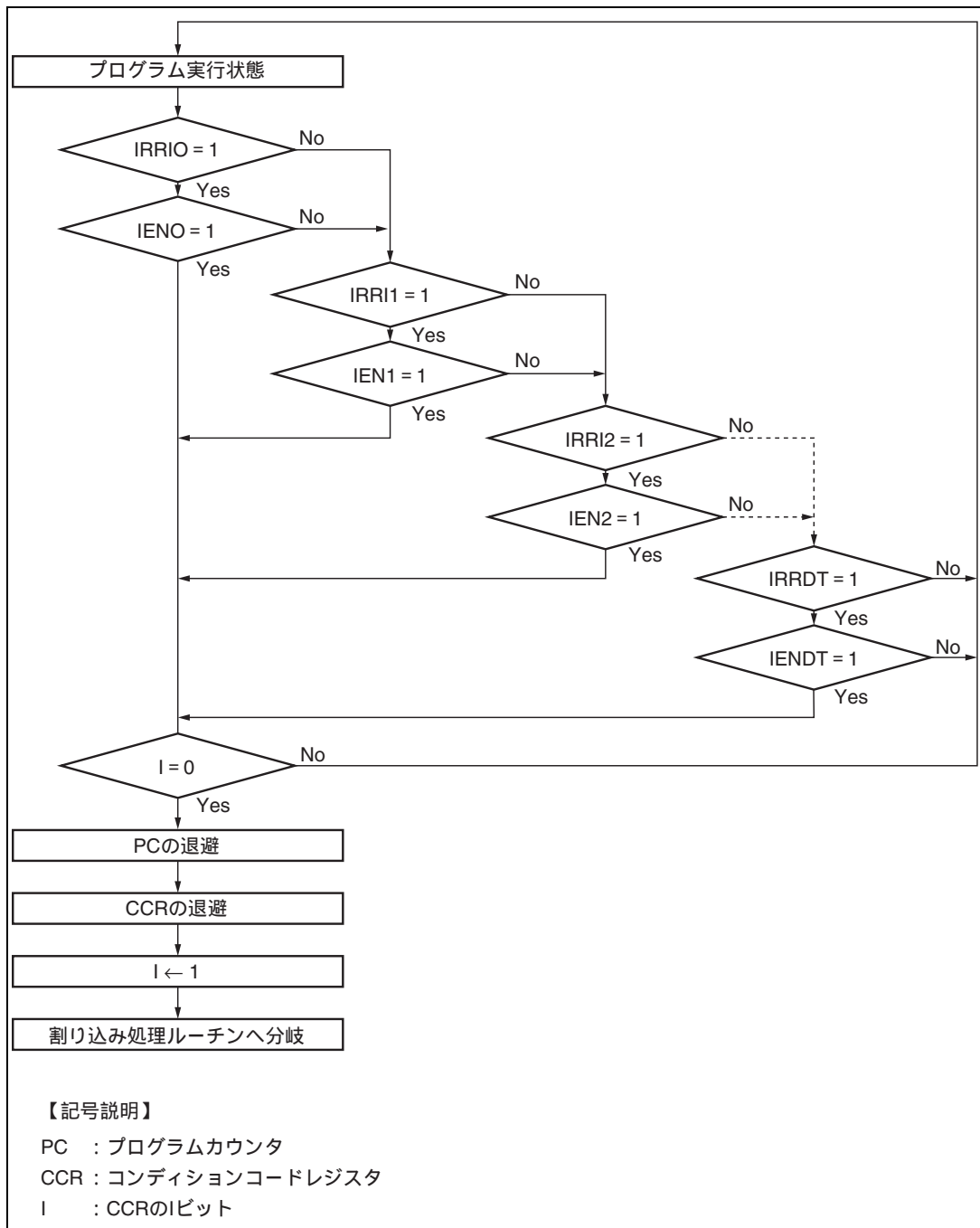


図 3.3 割り込み受け付けまでのフロー

3. 例外処理

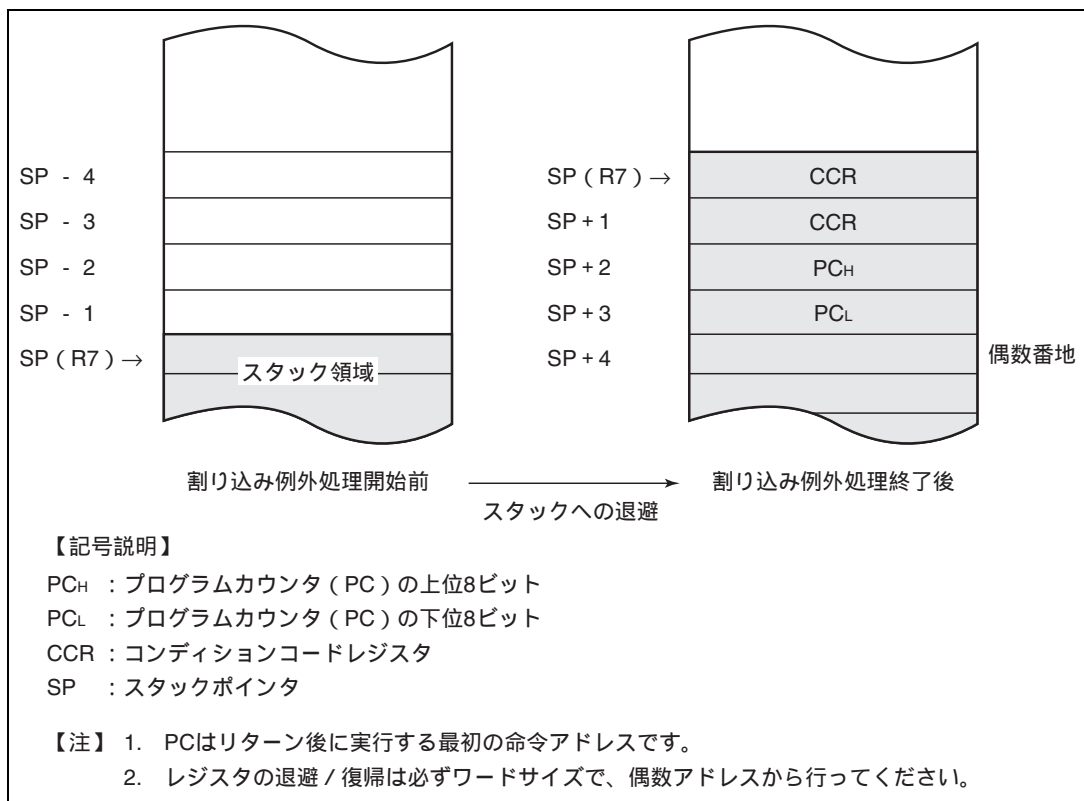


図 3.4 割り込み例外処理終了後のスタック状態

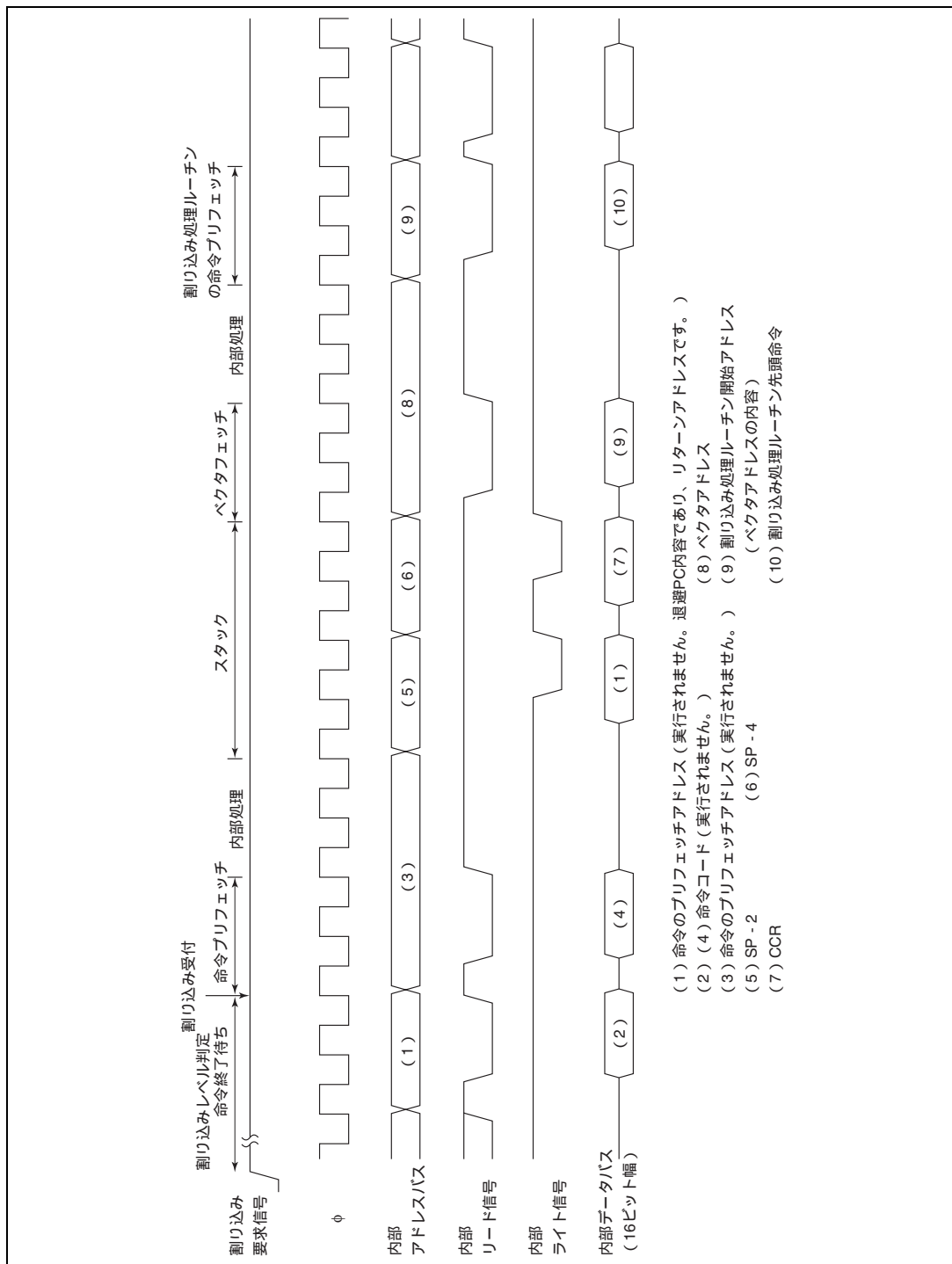


図 3.5 割り込みシーケンス

3. 例外処理

3.3.6 割り込み応答時間

割り込み要求フラグがセットされた後、割り込み処理ルーチンの先頭命令を実行するまでの待ちステート数を表 3.4 に示します。

表 3.4 割り込み待ちステート数

項目	ステート数	合計
実行中の命令終了時の待ち時間*	1 ~ 13	15 ~ 27
PC、CCR のスタック	4	
ベクタフェッチ	2	
命令フェッチ	4	
内部処理	4	

【注】 * EEPMOV 命令は除きます。

3.4 使用上の注意事項

3.4.1 スタック領域に関する使用上の注意事項

本 LSI では、ワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズで行い、スタックポインタ (SP : R7) の内容は奇数にしないでください。すなわち、レジスタの退避や復帰は、「PUSH Rn (MOV.W Rn, @-SP)」または「POP Rn (MOV.W @SP+, Rn)」を使用してください。

SP に奇数を設定すると、誤動作の原因となります。SP に奇数を設定した場合の動作例を図 3.6 に示します。

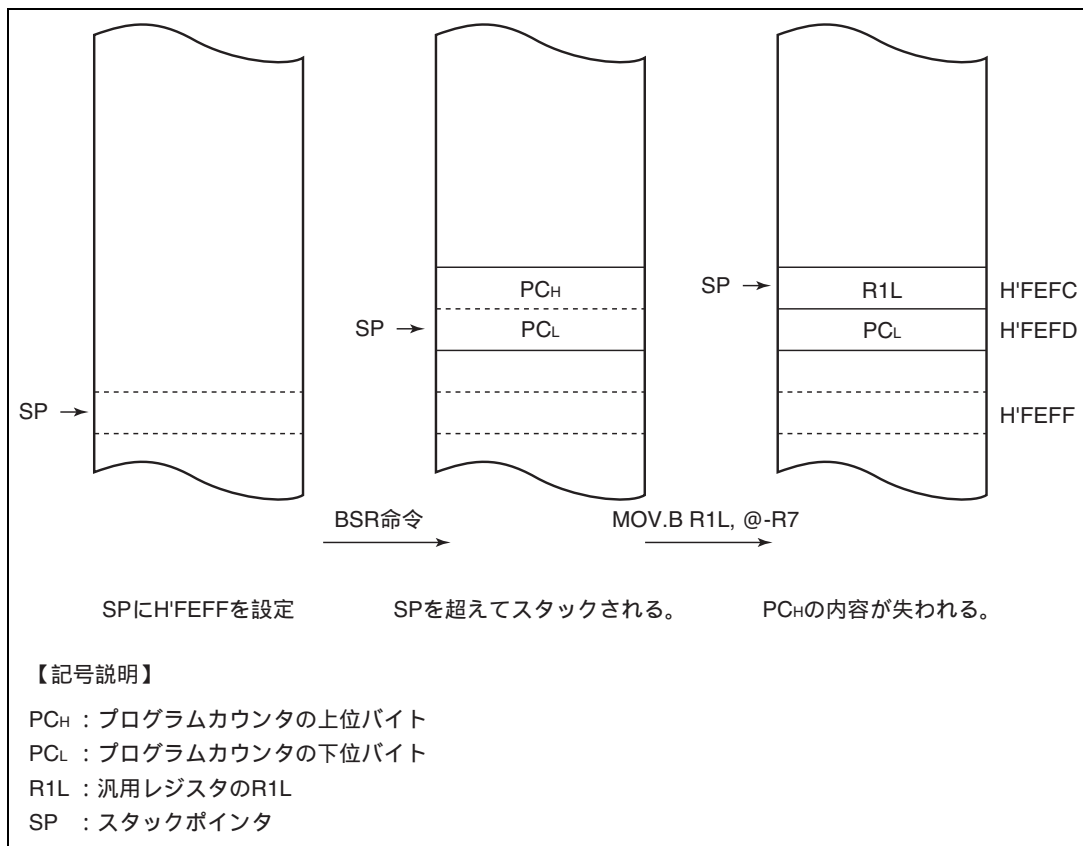


図 3.6 SP に奇数を設定したときの動作

また、割り込み例外処理および RTE 命令実行時の CCR の退避時および復帰時はワードサイズで扱われます。退避時には、ワードサイズデータの上位バイトおよび下位バイトともに CCR の値が退避されます。復帰時には、偶数アドレスの値が CCR に格納され、奇数アドレスの値は無視されます。

3. 例外処理

3.4.2 ポートモードレジスタを書き換える際の注意事項

外部割り込み端子の機能切り替えのためにポートモードレジスタを書き換える際には、以下の点に注意してください。

外部割り込み端子 $\overline{IRQ}_3 \sim \overline{IRQ}_1$ を制御しているポートモードレジスタを書き換えて端子機能を切り替えた場合、端子に有効な割り込みが入力されていなくても、端子機能を切り替えた時点で割り込み要求フラグが 1 にセットされることがあります。

1 にセットされる割り込み要求フラグとその条件を表 3.5 に示します。

表 3.5 割り込み要求フラグが 1 にセットされる条件

1 にセットされる 割り込み要求フラグ		条件
IRR1	IRRI3	<ul style="list-style-type: none">• \overline{IRQ}_3 端子が Low レベルで IEGR の IEG3 が 0 の状態で、PMR1 の IRQ3 を 0 から 1 に書き換えたとき• \overline{IRQ}_3 端子が Low レベルで IEGR の IEG3 が 1 の状態で、PMR1 の IRQ3 を 1 から 0 に書き換えたとき
	IRRI2	<ul style="list-style-type: none">• \overline{IRQ}_2 端子が Low レベルで IEGR の IEG2 が 0 の状態で、PMR1 の IRQ2 を 0 から 1 に書き換えたとき• \overline{IRQ}_2 端子が Low レベルで IEGR の IEG2 が 1 の状態で、PMR1 の IRQ2 を 1 から 0 に書き換えたとき
	IRRI1	<ul style="list-style-type: none">• \overline{IRQ}_1 端子が Low レベルで IEGR の IEG1 が 0 の状態で、PMR1 の IRQ1 を 0 から 1 に書き換えたとき• \overline{IRQ}_1 端子が Low レベルで IEGR の IEG1 が 1 の状態で、PMR1 の IRQ1 を 1 から 0 に書き換えたとき

ポートモードレジスタの操作と割り込み要求フラグのクリアの手順を図 3.7 に示します。

端子機能を切り替える場合は、ポートモードレジスタの操作前に割り込み禁止状態にして、ポートモードレジスタ操作後に、少なくとも 1 命令 (NOP 命令で可) 実行してから、1 にセットされた割り込み要求フラグを 0 にクリアしてください。ポートモードレジスタ操作後に 1 命令実行せず割り込み要求フラグを 0 にクリアする命令を実行しても、割り込み要求フラグはクリアされませんので注意してください。

なお、端子機能切り替えに伴う割り込み要求フラグのセットを回避するほかの方法として、表 3.5 の条件を満たさないように端子を High レベルに制御して行う方法もあります。

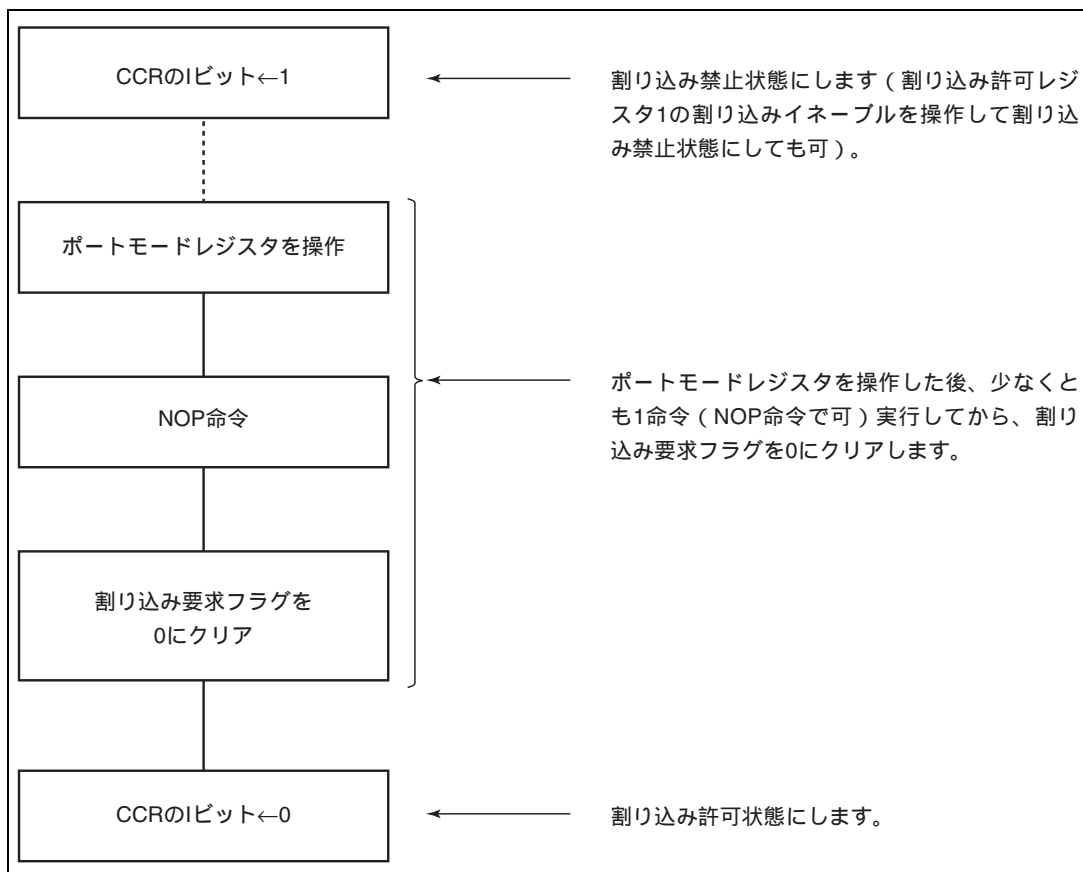


図 3.7 ポートモードレジスタ操作と割り込み要求フラグのクリア手順

3. 例外处理

4. クロック発振器

4.1 概要

本 LSI は、クロック発生回路 (CPG : Clock Pulse Generator) を内蔵しています。

クロック発生回路は、システムクロック発振器、システムクロック分周器からなるシステムクロック発生回路と、サブクロック発振器、サブクロック分周器からなるサブクロック発生回路の 2 つの回路から構成されます。

4.1.1 ブロック図

図 4.1 にクロック発生回路のブロック図を示します。

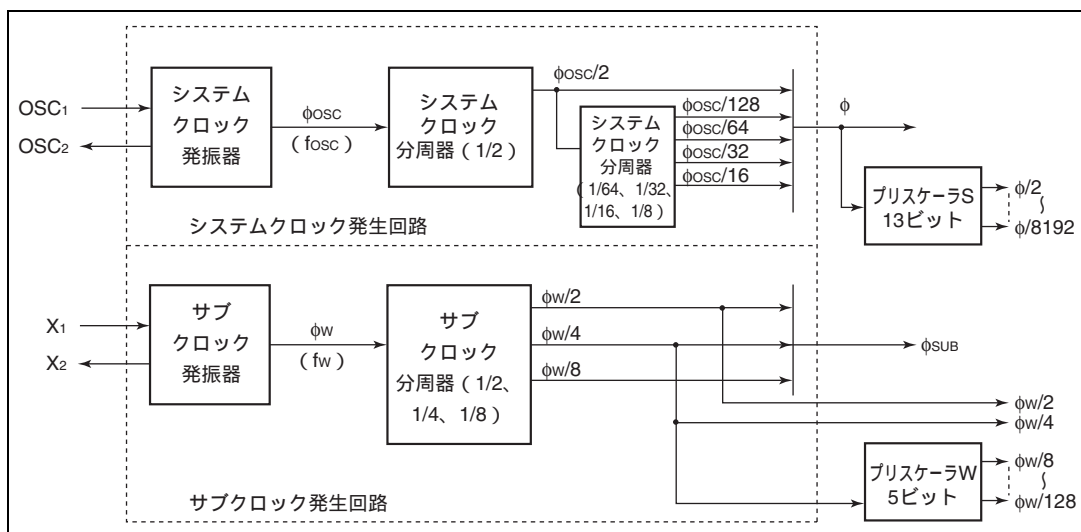


図 4.1 クロック発生回路のブロック図

4.1.2 システムクロックとサブクロック

クロック (ϕ および ϕ_{SUB}) は、CPU および周辺機能を動作させるための基準クロックです。

ϕ をシステムクロック、 ϕ_{SUB} をサブクロックと呼びます。また、 ϕ_{OSC} をOSCクロック、 ϕ_w をウォッチクロックと呼びます。

クロック $\phi/8192$ 、 $\phi/4096$ 、 $\phi/2048$ 、 $\phi/1024$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/128$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$ 、 $\phi/2$ 、 $\phi_w/128$ 、 $\phi_w/64$ 、 $\phi_w/32$ 、 $\phi_w/16$ 、 $\phi_w/8$ 、 $\phi_w/4$ 、 $\phi_w/2$ は、周辺機能で必要とするクロックであり各周辺機能によって異なります。

4.2 システムクロック発振器

システムクロック分周器へクロックを供給する方法には、水晶発振器またはセラミック発振器を接続する方法と、外部クロックを入力する方法があります。

(1) 水晶発振器を接続する方法

水晶発振器の接続例を図 4.2 に示します。

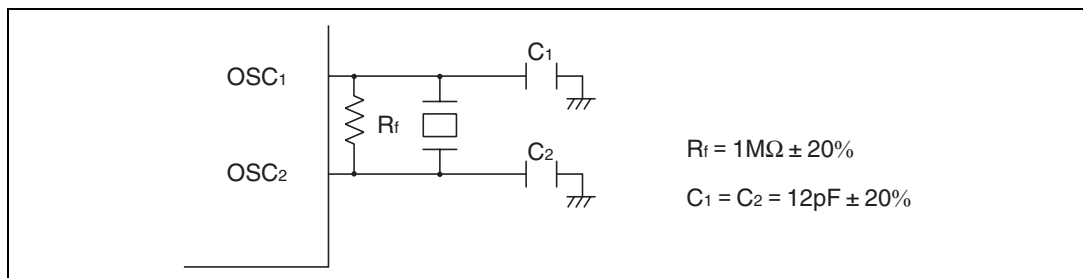


図 4.2 水晶発振器の接続例

図 4.3 に水晶発振器の等価回路を示します。発振器は表 4.1 に示す特性のものを使用してください。

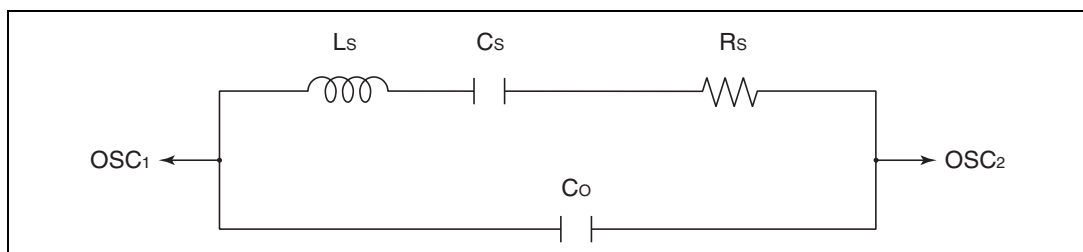


図 4.3 水晶発振器の等価回路

表 4.1 水晶発振器のパラメータ

周波数 (MHz)	2	4	8	10
R_s (max)	500 Ω	100 Ω	50 Ω	30 Ω
C_o (max)	7pF			

(2) セラミック発振子を接続する方法

セラミック発振子の接続例を図 4.4 に示します。

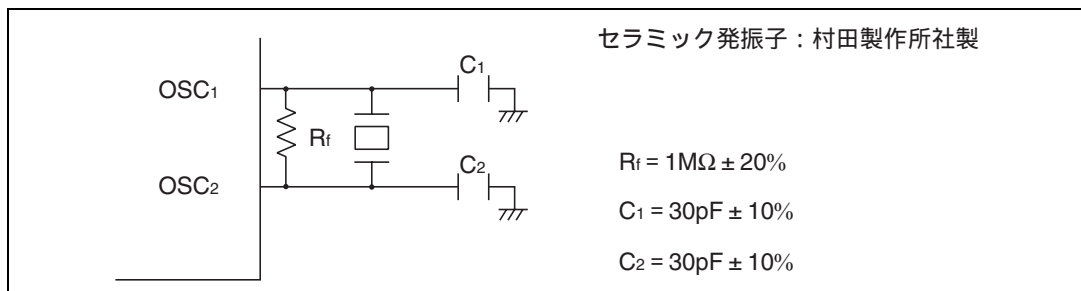


図 4.4 セラミック発振子の接続例

(3) ボード設計上の注意

水晶発振子（セラミック発振子）を接続して発振させる場合、次の点に注意してください。

発振回路部の近くで信号線を通過させないでください。誘導により正しい発振ができなくなる場合があります（図 4.5 参照）。

また、ボード設計に際しては、発振子および負荷容量はできるだけ OSC_1 、 OSC_2 端子の近くに配置してください。

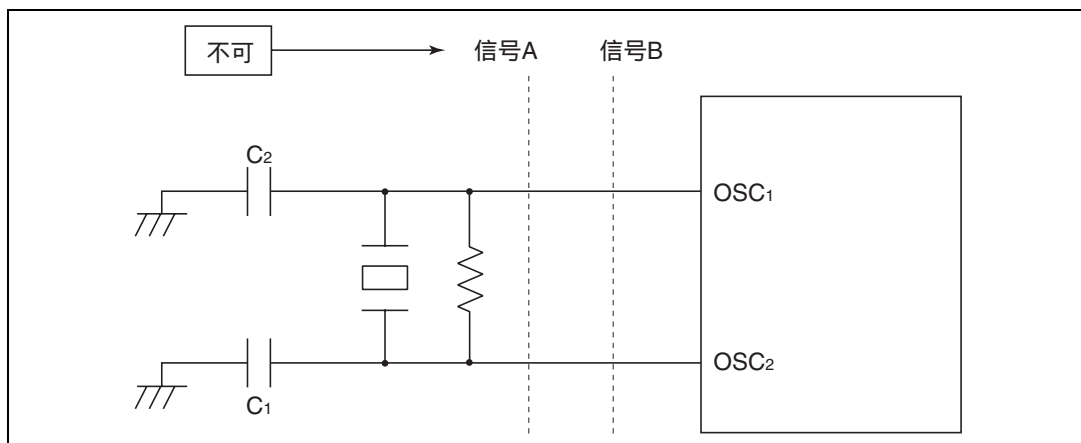


図 4.5 発振回路部のボード設計に関する注意事項

4. クロック発振器

(4) 外部クロックを入力する方法

外部クロックを OSC₁ 端子に接続し、OSC₂ 端子をオープン状態にします。
この場合の接続例を図 4.6 に示します。

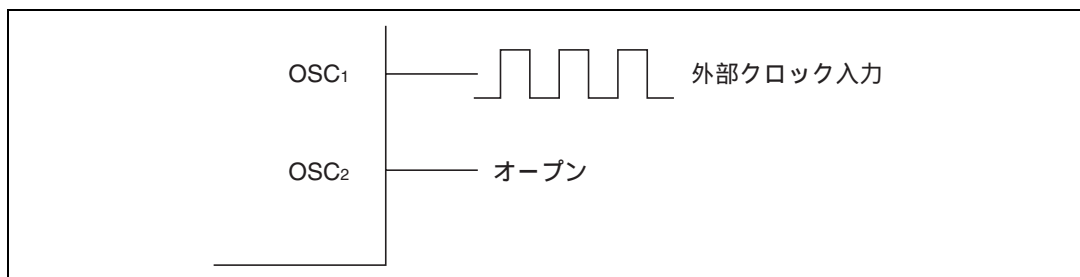


図 4.6 外部クロックを入力する場合の接続例

周波数	OSC クロック (φOSC)
duty	45% ~ 55%

4.3 サブクロック発振器

(1) 32.768kHz 水晶発振子を接続する方法

サブクロック分周器へクロックを供給するには、図 4.7 に示すように 32.768kHz の水晶発振子を接続します。接続する場合の注意については、「4.2 システムクロック発振器 (3) ボード設計上の注意」と同様です。

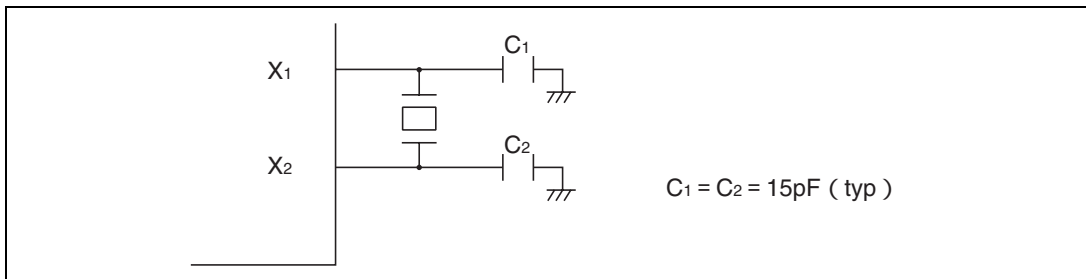


図 4.7 32.768kHz 水晶発振子の接続例

図 4.8 に 32.768kHz 水晶発振子の等価回路を示します。

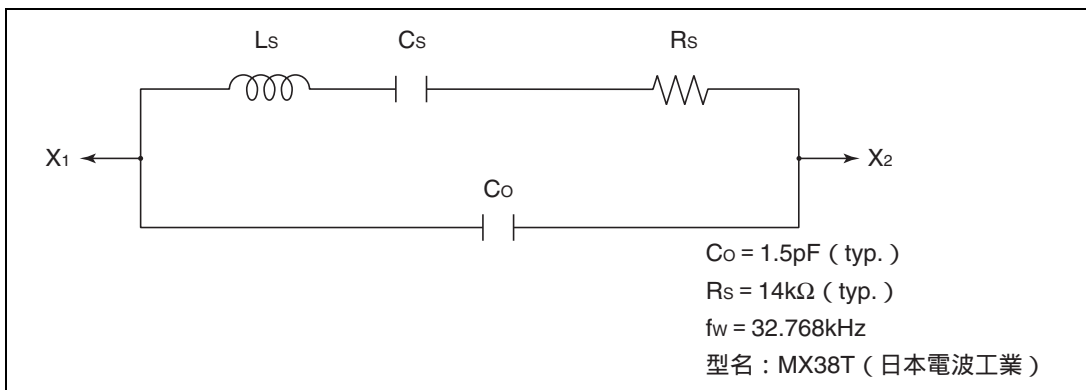


図 4.8 32.768kHz 水晶発振子の等価回路

4. クロック発振器

(2) サブクロックを必要としない場合の端子処理

サブクロックを必要としない場合には、図 4.9 に示すように X_1 端子を V_{CC} に接続し、 X_2 端子をオープンとしてください。

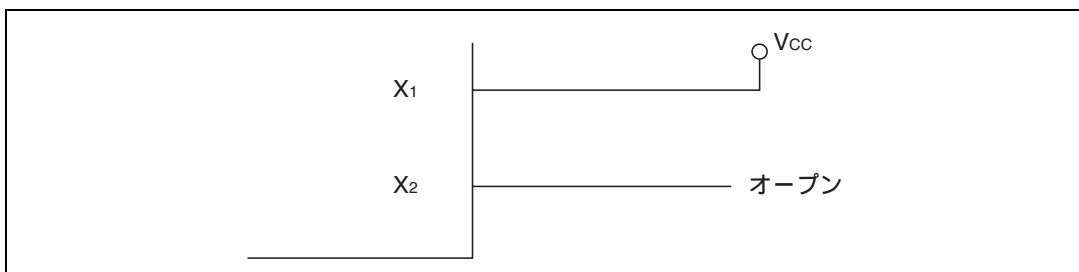


図 4.9 サブクロックを必要としない場合の端子処理

4.4 プリスケーラ

本 LSI は、入力クロックの異なる 2 本のプリスケーラ (プリスケーラ S、プリスケーラ W) を内蔵しています。

プリスケーラ S は、システムクロック (ϕ) を入力クロックとする 13 ビットのカウンタで、分周した出力を内蔵周辺モジュールの内部クロックとして使用します。プリスケーラ W は 32.768kHz を 4 分周したクロック ($\phi_w/4$) を入力とする 5 ビットのカウンタで、分周した出力をタイマ A の時計用タイムベース動作に使用します。

(1) プリスケーラ S (PSS)

プリスケーラ S は、システムクロック (ϕ) を入力クロックとする 13 ビットのカウンタで、1 サイクルごとにカウントアップします。

リセット時、プリスケーラ S は H'0000 に初期化され、リセット解除後、カウントアップを開始します。

スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでは、システムクロック発振器が停止するためプリスケーラ S の動作も停止します。このとき、プリスケーラ S は H'0000 に初期化されます。

CPU によるプリスケーラ S のデータリード/ライトはできません。

プリスケーラ S の出力は、各種内蔵周辺機能で共用しており、分周比は各内蔵周辺機能で独立に設定できます。

なお、アクティブ (中速) モードではプリスケーラ S のクロック入力は SYSCR1 の MA1、MA0 で設定した分周比のシステムクロックとなります。

(2) プリスケーラ W (PSW)

プリスケーラ W は、32.768kHz を 4 分周したクロック ($\phi_w/4$) を入力クロックとする 5 ビットのカウントです。

リセット時、プリスケーラ W は H'00 に初期化され、リセット解除後、カウントアップを開始します。

スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードに移行しても、 X_1 、 X_2 端子にクロックが供給されているかぎり、プリスケーラ W は動作を継続します。

プリスケーラ W は、TMA の TMA3、TMA2 をおのおの 1、1 に設定することでリセットできます。

また、プリスケーラ W の出力は、タイマ A のクロックとして使用できます。このとき、タイマ A は時計用タイムベースとして機能します。

4.5 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定格は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないような設計を行ってください。

5. 低消費電力モード

5.1 概要

本 LSI には、リセット解除後に LSI が動作するモードとして、消費電力を著しく低下させる 7 種類の低消費電力モードを含む、8 種類の動作モードをもっています。

表 5.1 に動作モードの概要を示します。

表 5.1 動作モードの概要

動作モード	説明
アクティブ(高速)モード	CPU およびすべての内蔵周辺機能がシステムクロックで動作可能なモードです。
アクティブ(中速)モード	CPU およびすべての内蔵周辺機能がアクティブ(高速)モードの 1/64、1/32、1/16、1/8*の周波数のシステムクロックで動作可能なモードです。
サブアクティブモード	CPU、タイマ A の時計機能がサブクロックで動作可能なモードです。
スリープ(高速)モード	CPU が動作を停止し、PWM を除く内蔵周辺機能がシステムクロックで動作可能なモードです。
スリープ(中速)モード	CPU が動作を停止し、PWM を除く内蔵周辺機能がスリープ(高速)モードの 1/64、1/32、1/16、1/8*の周波数のシステムクロックで動作可能なモードです。
サブスリープモード	CPU が動作を停止し、タイマ A の時計機能がサブクロックで動作可能なモードです。
ウォッチモード	CPU が動作を停止し、タイマ A の時計機能がサブクロックで動作可能なモードです。
スタンバイモード	CPU およびすべての内蔵周辺機能が動作を停止しているモードです。

【注】 * SYSCR1 の MA1、MA0 で設定した値となります。

上記 8 種類の動作モードのうち、アクティブ(高速)モード以外の動作モードを低消費電力モードと呼びます。また、本章では、アクティブ(高速)モードとアクティブ(中速)モードを総称してアクティブモードと呼び、スリープ(高速)モードとスリープ(中速)モードを総称してスリープモードと呼びます。

5. 低消費電力モード

図 5.1 にモード遷移図を示します。

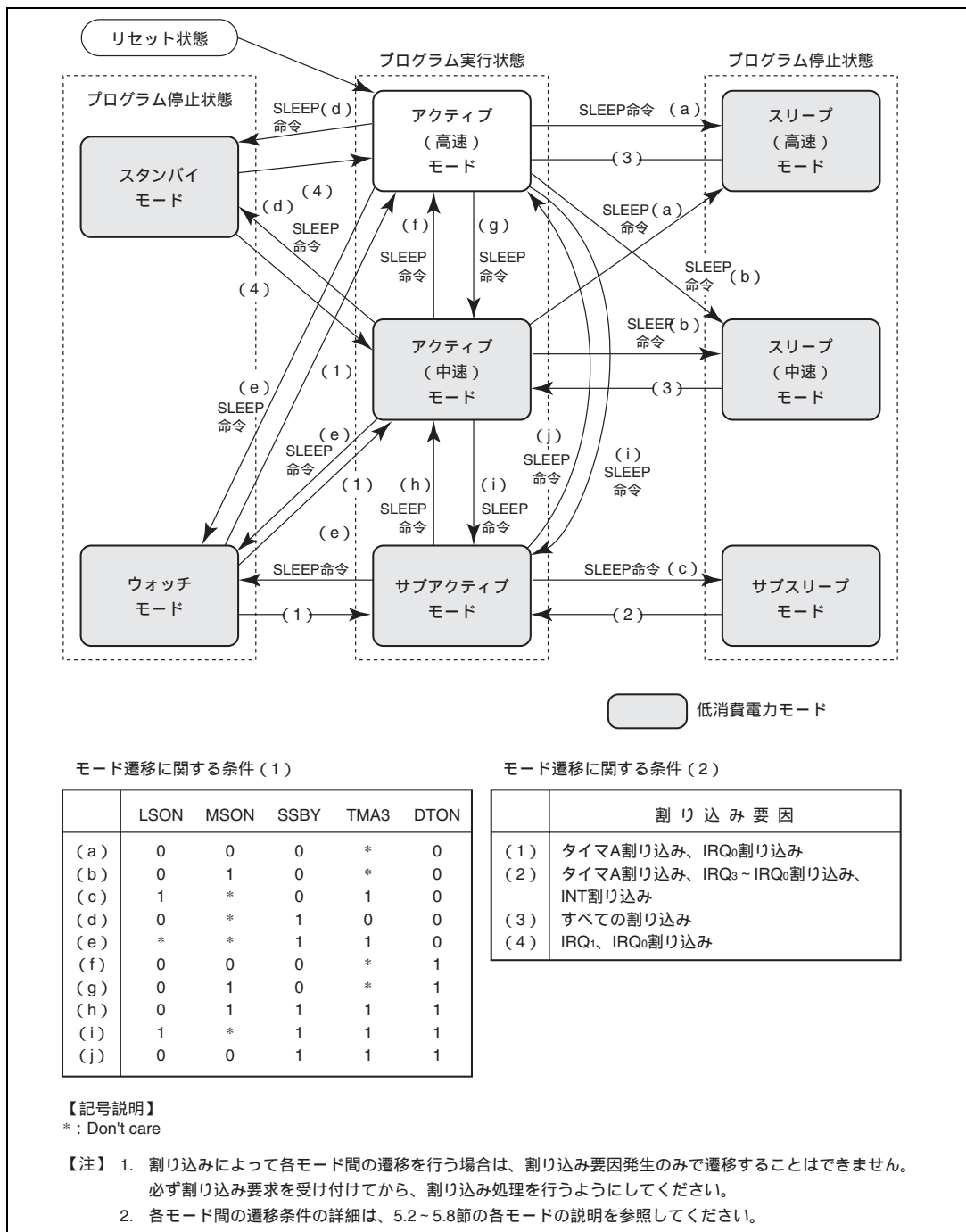


図 5.1 モード遷移図

表 5.2 に各モードでの LSI の内部状態を示します。

表 5.2 各動作モードでの LSI の状態

機能		アクティブ		スリープ		ウォッチ	サブアクティブ	サブスリープ	スタンバイ		
		高速	中速	高速	中速						
システムクロック発振器		動作	動作	動作	動作	停止	停止	停止	停止		
サブクロック発振器		動作	動作	動作	動作	動作	動作	動作	動作		
CPU 動作	命令	動作	動作	停止	停止	停止	動作	停止	停止		
	レジスタ			保持	保持	保持		保持			
	RAM			保持 ^{*1}							
	I/O ポート										
外部 割り込み の動作	IRQ ₀	動作	動作	動作	動作	動作	動作	動作	動作		
	IRQ ₁					保持 ^{*2}					
	IRQ ₂										
	IRQ ₃										
	INT ₀	動作	動作	動作	動作	保持 ^{*2}	動作	動作	保持 ^{*2}		
	INT ₁										
	INT ₂										
	INT ₃										
	INT ₄										
	INT ₅										
INT ₆											
INT ₇											
周辺機能 の動作	タイマ A	動作	動作	動作	動作	動作 ^{*3}	動作 ^{*3}	動作 ^{*3}	保持		
	タイマ B1					保持					
	タイマ V					リセット					
	タイマ X					保持					
	ウォッチ ドッグタイマ										
	SCI1										
	SCI3					リセット					
	PWM					保持			保持	保持	保持
	A/D 変換器					動作			動作	保持	保持

【注】 *1 レジスタは保持、出力はハイインピーダンス

*2 外部割り込み要求は無視されます。割り込み要求レジスタの内容は影響を受けません。

*3 時計用タイムベース機能を選択時に動作

5. 低消費電力モード

5.1.1 システムコントロールレジスタ

表 5.3 に動作モードを設定するシステムコントロールレジスタを示します。

表 5.3 レジスタ構成

名称	略称	R/W	初期値	アドレス
システムコントロールレジスタ 1	SYSCR1	R/W	H'07	H'FFF0
システムコントロールレジスタ 2	SYSCR2	R/W	H'E0	H'FFF1

(1) システムコントロールレジスタ 1 (SYSCR1)

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	LSON	—	MA1	MA0
初期値:	0	0	0	0	0	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	—	R/W	R/W

SYSCR1 は、8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。
SYSCR1 は、リセット時、H'07 に初期化されます。

ビット 7: ソフトウェアスタンバイ (SSBY)

スタンバイモード、ウォッチモードへの遷移を指定します。

ビット 7	説明
SSBY	
0	アクティブモードで SLEEP 命令実行後、スリープモードに遷移 サブアクティブモードで SLEEP 命令実行後、サブスリープモードに遷移 (初期値)
1	アクティブモードで SLEEP 命令実行後、スタンバイモードあるいはウォッチモードに遷移 サブアクティブモードで SLEEP 命令実行後、ウォッチモードに遷移

ビット6～4：スタンバイタイムセレクト2～0 (STS2～STS0)

特定の割り込みにより、スタンバイモード、ウォッチモードを解除し、アクティブモードに遷移する場合に、クロックが安定するまでCPUと周辺機能が待機する時間を指定します。動作周波数に応じて待機時間が10ms以上となるように指定してください。

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8,192 ステート (初期値)
		1	待機時間 = 16,384 ステート
	1	0	待機時間 = 32,768 ステート
		1	待機時間 = 65,536 ステート
1	*	*	待機時間 = 131,072 ステート

【記号説明】

* : Don't care

ビット3：ロースピードオンフラグ (LSON)

ウォッチモードを解除時に、CPUの動作クロックをシステムクロック(ϕ)にするか、サブクロック(ϕ_{SUB})にするかを選択します。他の制御ビット、割り込み入力のみ組み合わせで動作モードを決定します。

ビット3	説明
LSON	
0	CPUの動作クロックはシステムクロック(ϕ) (初期値)
1	CPUの動作クロックはサブクロック(ϕ_{SUB})

ビット2：リザーブビット

リザーブビットです。本ビットは、リードすると常に1が読み出されます。ライトは無効です。

ビット1、0：アクティブ(中速)モードクロックセレクト(MA1、MA0)

アクティブ(中速)モードまたはスリープ(中速)モードの動作クロック($\phi_{OSC}/128$ 、 $\phi_{OSC}/64$ 、 $\phi_{OSC}/32$ 、 $\phi_{OSC}/16$)を選択します。MA1、MA0の書き込みは、アクティブ(高速)モードまたはサブアクティブモードで行ってください。

ビット1	ビット0	説明
MA1	MA0	
0	0	$\phi_{OSC}/16$
	1	$\phi_{OSC}/32$
1	0	$\phi_{OSC}/64$
	1	$\phi_{OSC}/128$ (初期値)

5. 低消費電力モード

(2) システムコントロールレジスタ 2 (SYSCR2)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	NESEL	DTON	MSON	SA1	SA0
初期値:	1	1	1	0	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

SYSCR2 は、8 ビットのリード/ライト可能なレジスタで、低消費電力モードの制御を行います。SYSCR2 は、リセット時 H'E0 に初期化されます。

ビット 7~5: リザーブビット

リザーブビットです。各ビットは、リードすると常に 1 が読み出されます。ライトは無効です。

ビット 4: ノイズ除去サンプリング周波数選択 (NESEL)

サブクロック発振器より生成されたウォッチクロック (ϕ_w) を、システムクロック発振器より生成された OSC クロック (ϕ_{osc}) により、サンプリングする周波数を選択します。 $\phi_{osc} = 2 \sim 10\text{MHz}$ のときは、0 をセットしてください。

ビット 4	説明
NESEL	
0	ϕ_{osc} の 16 分周クロックでサンプリング (初期値)
1	ϕ_{osc} の 4 分周クロックでサンプリング

ビット 3: ダイレクトトランスファオンフラグ (DTON)

アクティブ (高速) モード、アクティブ (中速) モード、サブアクティブモードの各モード間を、SLEEP 命令を実行することにより直接遷移するかどうかを指定します。SLEEP 命令実行後に遷移する動作モードは、本ビット以外の制御ビットの組み合わせで決定します。

ビット 3	説明
DTON	
0	<ul style="list-style-type: none"> アクティブモードで SLEEP 命令を実行したとき、スタンバイモード、ウォッチモード、またはスリープモードに遷移 サブアクティブモードで SLEEP 命令を実行したとき、ウォッチモード、またはサブスリープモードに遷移 (初期値)
1	<ul style="list-style-type: none"> アクティブ (高速) モードで SLEEP 命令を実行したとき、アクティブ (中速) モード (SSBY=0、MSON=1、LSON=0 のとき)、またはサブアクティブモード (SSBY=1、TMA3=1、LSON=1 のとき) に直接遷移 アクティブ (中速) モードで SLEEP 命令を実行したとき、アクティブ (高速) モード (SSBY=0、MSON=0、LSON=0 のとき)、またはサブアクティブモード (SSBY=1、TMA3=1、LSON=1 のとき) に直接遷移 サブアクティブモードで SLEEP 命令を実行したとき、アクティブ (高速) モード (SSBY=1、TMA3=1、LSON=0、MSON=0 のとき)、またはアクティブ (中速) モード (SSBY=1、TMA3=1、LSON=0、MSON=1 のとき) に直接遷移

ビット2：ミドルスピードオンフラグ (MSON)

スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ (高速) モードまたはスリープ (高速) モードで動作させるか、アクティブ (中速) モードまたはスリープ (中速) モードで動作させるかを選択します。

ビット2	説明
MSON	
0	<ul style="list-style-type: none"> スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ (高速) モードで動作 アクティブモードで SLEEP 命令を実行したとき、スリープ (高速) モードで動作 (初期値)
1	<ul style="list-style-type: none"> スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ (中速) モードで動作 アクティブモードで SLEEP 命令を実行したとき、スリープ (中速) モードで動作

ビット1、0：サブアクティブモードクロックセレクト (SA1、SA0)

サブアクティブモードの CPU の動作クロック ($\phi_w/8$ 、 $\phi_w/4$ 、 $\phi_w/2$) を選択します。SA1、SA0 はサブアクティブモードでライトしても値は更新されません。

ビット1	ビット0	説明
SA1	SA0	
0	0	$\phi_w/8$ (初期値)
	1	$\phi_w/4$
1	*	$\phi_w/2$

【記号説明】

* : Don't care

5.2 スリープモード

5.2.1 スリープモードへの遷移

(1) スリープ（高速）モードへの遷移

アクティブモードで、SYSCR1 の SSBY が 0、LSON が 0、SYSCR2 の MSON が 0、DTON が 0 のとき SLEEP 命令を実行すると、スリープ（高速）モードに遷移します。スリープ（高速）モードでは CPU の動作は停止しますが、PWM を除く内蔵周辺モジュールは動作します。なお、CPU のレジスタの内容は保持されます。

(2) スリープ（中速）モードへの遷移

アクティブモードで、SYSCR1 の SSBY が 0、LSON が 0、SYSCR2 の MSON が 1、DTON が 0 のとき SLEEP 命令を実行すると、スリープ（中速）モードに遷移します。スリープ（中速）モードではスリープ（高速）モードと同様、CPU の動作は停止し、PWM を除く内蔵周辺モジュールは動作します。ただし、スリープ（中速）モードでは、SYSCR1 の MA1、MA0 で設定した周波数のクロックによって動作します。CPU のレジスタの内容は保持されます。

5.2.2 スリープモードの解除

スリープモードの解除は、すべての割り込み（タイマ A、タイマ B1、タイマ X、タイマ V、IRQ₃ ~ IRQ₀、INT₇ ~ INT₀、SCI3、SCI1、A/D 変換器）、RES 端子入力によって行われます。

(1) 割り込みによる解除

割り込み要求が発生すると、スリープモードは解除され、割り込み例外処理を開始します。

スリープ（高速）モードからはアクティブ（高速）モードに、スリープ（中速）モードからはアクティブ（中速）モードに遷移します。なお、CCR の I ビットが 1 のとき、あるいは割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合はスリープモードは解除されません。

(2) RES 端子による解除

RES 端子を Low レベルにするとリセット状態に遷移し、スリープモードは解除されます。

5.2.3 スリープ（中速）モードの動作周波数について

スリープ（中速）モードは、SYSCR1 の MA1、MA0 で設定した周波数のクロックによって動作します。

5.3 スタンバイモード

5.3.1 スタンバイモードへの遷移

アクティブモードで SYSCR1 の SSBY が 1、LSON が 0、および TMA の TMA3 が 0 のとき SLEEP 命令を実行すると、スタンバイモードに遷移します。スタンバイモードではクロック発生回路からのクロック供給を停止するため、CPU および内蔵周辺機能が停止します。規定の電圧が与えられている限り、CPU のレジスタと一部の内蔵周辺機能の内部レジスタ、および内蔵 RAM のデータは保持されています。さらに、RAM データ保持電圧で規定した電圧が与えられているかぎり、内蔵 RAM のデータは保持されています。このとき、I/O ポートはハイインピーダンス状態となります。

5.3.2 スタンバイモードの解除

スタンバイモードの解除は、割り込み (IRQ₁、IRQ₀)、 $\overline{\text{RES}}$ 端子入力によって行われます。

(1) 割り込みによる解除

割り込み要求が発生すると、システムクロックの発振が開始され、SYSCR1 の STS2 ~ STS0 により設定された時間が経過した後、安定したシステムクロックが LSI 全体に供給されて、スタンバイモードは解除され、割り込み例外処理を開始します。SYSCR2 の MSON が 0 のときはアクティブ (高速) モードに、1 のときはアクティブ (中速) モードに遷移します。なお、CCR の I ビットが 1 のとき、あるいは、割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、スタンバイモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、システムクロックの発振が開始されます。発振安定時間経過後、 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。なお、システムクロックの発振開始と同時に LSI 全体にシステムクロックが供給されます。 $\overline{\text{RES}}$ 端子は、必ずシステムクロックの発振が安定するまで、Low レベルを保持してください。

5. 低消費電力モード

5.3.3 スタンバイモード解除後の発振安定時間の設定

SYSCR1 の STS2 ~ STS0 の設定は、以下のようにしてください。

(1) 水晶発振の場合

表 5.4 に動作周波数と STS2 ~ STS0 の設定値に対する待機時間を示します。待機時間が 10ms 以上となるように STS2 ~ STS0 を設定してください。

表 5.4 動作周波数と発振安定時間

(単位 : ms)

STS2	STS1	STS0	待機時間	5MHz	4MHz	2MHz	1MHz	0.5MHz
0	0	0	8,192 ステート	1.6	2.0	4.1	8.2	16.4
0	0	1	16,384 ステート	3.2	4.1	8.2	16.4	32.8
0	1	0	32,768 ステート	6.6	8.2	16.4	32.8	65.5
0	1	1	65,536 ステート	13.1	16.4	32.8	65.5	131.1
1	*	*	131,072 ステート	26.2	32.8	65.5	131.1	262.1

【記号説明】

* : Don't care

(2) 外部クロックの場合

任意の値を選択可能です。通常の場合は、最小時間 (STS2 = STS1 = STS0 = 0) の使用を推奨しません。

5.4 ウォッチモード

5.4.1 ウォッチモードへの遷移

アクティブモード、サブアクティブモードでSYSCR1のSSBYが1、TMAのTMA3が1のときSLEEP命令を実行すると、ウォッチモードに遷移します。ウォッチモードではタイマA以外の内蔵周辺機能は動作を停止します。規定の電圧が与えられている限り、CPUと一部の内蔵周辺機能の内部レジスタ、および内蔵RAMの内容は保持され、I/Oポートは遷移前の状態を保持します。

5.4.2 ウォッチモードの解除

ウォッチモードの解除は、割り込み（IRQ₀、タイマA）、 $\overline{\text{RES}}$ 端子入力によって行われます。

(1) 割り込みによる解除

タイマA割り込みまたはIRQ₀割り込み要求が発生するとウォッチモードは解除され、SYSCR1のLSONとSYSCR2のMSONの組み合わせで、LSON=0かつMSON=0のときはアクティブ（高速）モードに、LSON=0かつMSON=1のときはアクティブ（中速）モードに、LSON=1のときはサブアクティブモードに遷移します。アクティブモードに遷移するときは、SYSCR1のSTS2～STS0により設定された時間が経過した後、安定したクロックがLSI全体に供給され、割り込み例外処理を開始します。なお、CCRのIビットが1の場合、あるいは割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、ウォッチモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「5.3.2 スタンバイモードの解除 (2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

5.4.3 ウォッチモード解除後の発振安定時間の設定

ウォッチモード解除後の発振安定時間の設定については、「5.3.3 スタンバイモード解除後の発振安定時間の設定」を参照してください。

5.5 サブスリープモード

5.5.1 サブスリープモードへの遷移

サブアクティブモードで SYSCR1 の SSBY が 0、LSON が 1、TMA の TMA3 が 1 のとき SLEEP 命令を実行すると、サブスリープモードに遷移します。サブスリープモードでは、タイマ A 以外の内蔵周辺機能は動作を停止します。規定の電圧が与えられている限り、CPU と一部の内蔵周辺機能の内部レジスタ、内蔵 RAM の内容は保持され、I/O ポートは遷移前の状態を保持します。

5.5.2 サブスリープモードの解除

サブスリープモードの解除は、割り込み (タイマ A、IRQ₃ ~ IRQ₀、INT₇ ~ INT₀)、 $\overline{\text{RES}}$ 端子入力によって行われます。

(1) 割り込みによる解除

割り込み要求が発生するとサブスリープモードは解除され、割り込み例外処理を開始します。なお、CCR の I ビットが 1 の場合、あるいは割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、サブスリープモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「5.3.2 スタンバイモードの解除 (2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

5.6 サブアクティブモード

5.6.1 サブアクティブモードへの遷移

ウォッチモードで割り込み（タイマ A、IRQ₀）が発生したとき、SYSCR1 の LSON が 1 ならば、サブアクティブモードに遷移します。また、サブスリープモードで割り込み（タイマ A、IRQ₃ ~ IRQ₀、INT₇ ~ INT₀）が発生したとき、サブアクティブモードに遷移します。なお、CCR の I ビットが 1 の場合、または割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、サブアクティブモードに遷移しません。

5.6.2 サブアクティブモードの解除

サブアクティブモードの解除は、SLEEP 命令または $\overline{\text{RES}}$ 端子入力により行われます。

(1) SLEEP 命令による解除

SYSCR1 の SSBY が 1、TMA の TMA3 が 1 の状態で SLEEP 命令を実行すると、サブアクティブモードは解除され、ウォッチモードに遷移します。また、SYSCR1 の SSBY が 0、LSON が 1、TMA の TMA3 が 1 の状態で SLEEP 命令を実行すると、サブスリープモードに遷移します。また、直接遷移によってアクティブモードへ遷移します。

直接遷移の詳細は「5.8 直接遷移」を参照してください。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「5.3.2 スタンバイモードの解除 (2) $\overline{\text{RES}}$ 端子による解除」を参照してください。

5.6.3 サブアクティブモードの動作周波数について

サブアクティブモードの動作周波数は、SYSCR2 の SA1、SA0 により、ウォッチクロック (ϕ_w) の 2 分周、4 分周、8 分周から選択できます。

5.7 アクティブ（中速）モード

5.7.1 アクティブ（中速）モードへの遷移

スタンバイモードで割り込み（ IRQ_1 、 IRQ_0 ）が発生したとき、ウォッチモードで割り込み（タイマ A、 IRQ_0 ）が発生したとき、あるいはスリープ（中速）モードですべての割り込みが発生したとき、SYSCR1 の LSON が 0 かつ SYSCR2 の MSON が 1 ならば、アクティブ（中速）モードに遷移します。なお、CCR の I ビットが 1 の場合、または割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、アクティブ（中速）モードに遷移しません。

5.7.2 アクティブ（中速）モードの解除

アクティブ（中速）モードの解除は、SLEEP 命令または \overline{RES} 端子入力により行われます。

(1) SLEEP 命令による解除

SYSCR1 の SSBY が 1、LSON が 0、TMA の TMA3 が 0 の状態で SLEEP 命令を実行すると、スタンバイモードに遷移します。SYSCR1 の SSBY が 1、TMA の TMA3 が 1 の状態で SLEEP 命令を実行すると、ウォッチモードに遷移します。

SYSCR1 の SSBY が 0、LSON が 0 の状態で SLEEP 命令を実行すると、SYSCR2 の MSON が 0 のときスリープ（高速）モードに、MSON が 1 のときスリープ（中速）モードに遷移します。直接遷移によってアクティブ（高速）モード、またはサブアクティブモードへ遷移します。

直接遷移の詳細は「5.8 直接遷移」を参照してください。

(2) \overline{RES} 端子による解除

\overline{RES} 端子を Low レベルにすると、リセット状態に遷移し、アクティブ（中速）モードは解除されます。

5.7.3 アクティブ（中速）モードの動作周波数について

アクティブ（中速）モードは、SYSCR1 の MA1、MA0 で設定した周波数のクロックによって動作します。

5.8 直接遷移

CPU がプログラムを実行している動作モードにはアクティブ（高速）モード、アクティブ（中速）モード、サブアクティブモードの3つのモードがあります。この3つの動作モードの間で、プログラムを停止することなく遷移することを直接遷移と呼びます。直接遷移は SYSCR2 の DTON を 1 にセットし、SLEEP 命令を実行することにより可能です。遷移後は直接遷移割り込み例外処理を開始します。なお、割り込み許可レジスタ 2 により直接遷移割り込みが禁止されている場合は、スリープモードまたはウォッチモードへ遷移します。また、CCR の I ビットを 1 の状態で直接遷移を行うとスリープモードまたはウォッチモードに遷移し、遷移後のモードから割り込みによる解除は不可能となりますので注意してください。

(1) アクティブ（高速）モードからアクティブ（中速）モードへの直接遷移

アクティブ（高速）モードで SYSCR1 の SSBY を 0、LSON を 0、SYSCR2 の MSON を 1、DTON を 1 にセットした状態で SLEEP 命令を実行すると、スリープモードを経由してアクティブ（中速）モードに遷移します。

(2) アクティブ（中速）モードからアクティブ（高速）モードへの直接遷移

アクティブ（中速）モードで SYSCR1 の SSBY を 0、LSON を 0、SYSCR2 の MSON を 0、DTON を 1 にセットした状態で SLEEP 命令を実行すると、スリープモードを経由してアクティブ（高速）モードに遷移します。

(3) アクティブ（高速）モードからサブアクティブモードへの直接遷移

アクティブ（高速）モードで SYSCR1 の SSBY を 1、LSON を 1、SYSCR2 の DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

(4) サブアクティブモードからアクティブ（高速）モードへの直接遷移

サブアクティブモードで SYSCR1 の SSBY を 1、LSON を 0、SYSCR2 の MSON を 0、DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由し、SYSCR1 の STS2 ~ STS0 により設定された時間を経過した後、直接、アクティブ（高速）モードに遷移します。

(5) アクティブ（中速）モードからサブアクティブモードへの直接遷移

アクティブ（中速）モードで SYSCR1 の SSBY を 1、LSON を 1、SYSCR2 の DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由してサブアクティブモードに遷移します。

(6) サブアクティブモードからアクティブ（中速）モードへの直接遷移

サブアクティブモードで SYSCR1 の SSBY を 1、LSON を 0、SYSCR2 の MSON を 1、DTON を 1、TMA の TMA3 を 1 にセットした状態で SLEEP 命令を実行すると、ウォッチモードを経由し、SYSCR1 の STS2 ~ STS0 により設定された時間を経過した後、直接、アクティブ（中速）モードに遷移します。

6. ROM

6.1 概要

H8/3644 は 32K バイト (マスク ROM、PROM またはフラッシュメモリ)、H8/3643 は 24K バイト (マスク ROM またはフラッシュメモリ)、H8/3642 は 16K バイト (マスク ROM またはフラッシュメモリ)、H8/3641 は 12K バイト、H8/3640 は 8K バイトの ROM を内蔵しています。ROM は 16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータにかかわらず 2 ステートの高速アクセスが可能です。

なお、PROM 版 (H8/3644 ZTAT) およびフラッシュメモリ版 (H8/3644 F-ZTAT、H8/3643 F-ZTAT、H8/3642AF-ZTAT) は、汎用 PROM ライタでプログラムの書き込み・消去ができます。また、フラッシュメモリ版は、オンボードでのプログラムの書き込み・消去ができます。

6.1.1 ブロック図

ROM のブロック図を図 6.1 に示します。

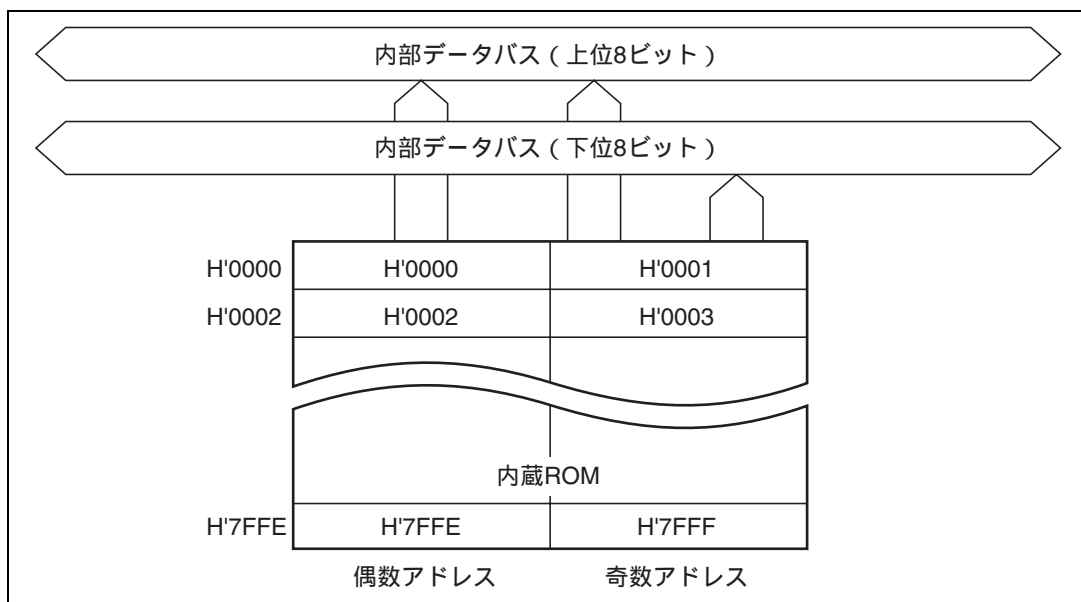


図 6.1 ROM のブロック図 (H8/3644 の場合)

6.2 PROM モード

6.2.1 PROM モードの設定

内蔵 ROM が PROM の場合、PROM モードに設定すると、マイクロコンピュータとしての機能が停止して、HN27C256 と同一の方法で内蔵 PROM のプログラムを行うことができます。

PROM モードの設定方法を、表 6.1 に示します。

表 6.1 PROM モードの設定

端子名	設定
TEST 端子	High レベル
PB ₄ /AN ₄ 端子	Low レベル
PB ₅ /AN ₅ 端子	
PB ₆ /AN ₆ 端子	High レベル

6.2.2 メモリマップ

メモリマップを図 6.2 に示します。

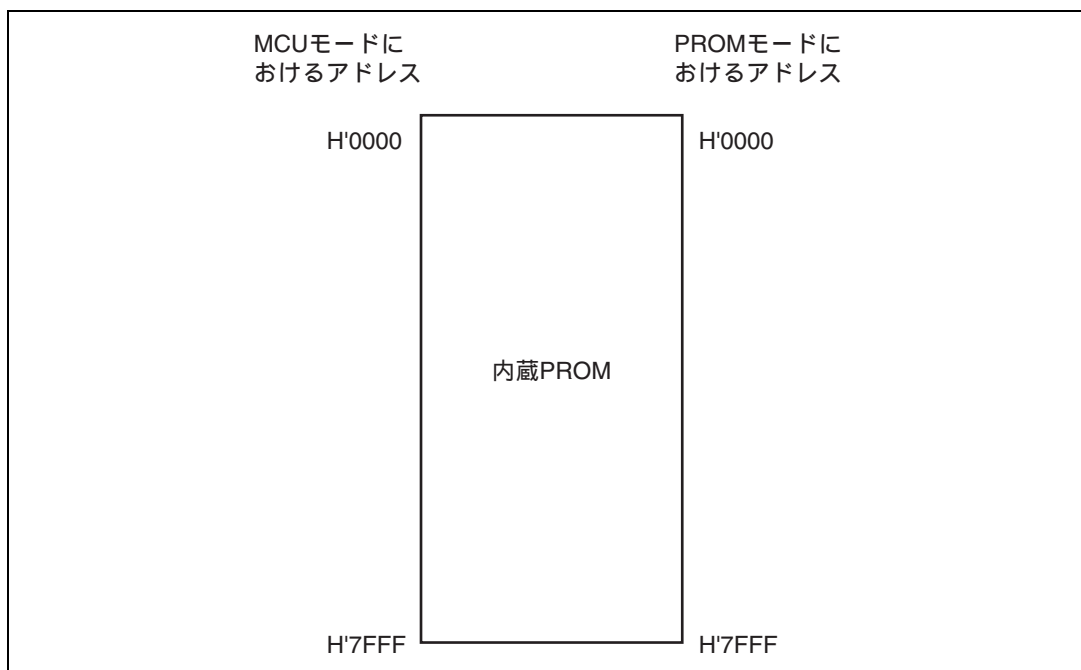


図 6.2 H8/3644 の PROM モード時のメモリマップ

PROM ライタでプログラムする際に、アドレスは必ず H'0000 ~ H'7FFF に設定してください。

6.3 プログラミング

H8/3644 の PROM モード時の書き込み、ベリファイなどのモード選択は、表 6.2 に示すような設定により行います。

表 6.2 PROM モード時の書き込みモードの選択 (H8/3644)

モード	ピン					
	\overline{CE}	\overline{OE}	V_{PP}	V_{CC}	$EO_7 \sim EO_0$	$EA_{14} \sim EA_0$
書き込み	L	H	V_{PP}	V_{CC}	データ入力	アドレス入力
ベリファイ	H	L	V_{PP}	V_{CC}	データ出力	アドレス入力
プログラミング禁止	H	H	V_{PP}	V_{CC}	ハイインピーダンス	アドレス入力

【記号説明】

L : Low レベル

H : High レベル

V_{PP} : V_{PP} レベル

V_{CC} : V_{CC} レベル

なお、書き込み、読み出しは、標準 EPROM の HN27C256 と同じ仕様になっています。

6.3.1 書き込み / ベリファイ

書き込み / ベリファイは効率のよい高性能プログラミング方式で行うことができます。この方式は、デバイスへの電圧ストレス、あるいは書き込みデータの信頼性を損うことなく高速な書き込みを行うことができます。未使用のアドレス領域のデータは H'FF です。

高性能プログラミングの基本的なフローを図 6.3 に示します。

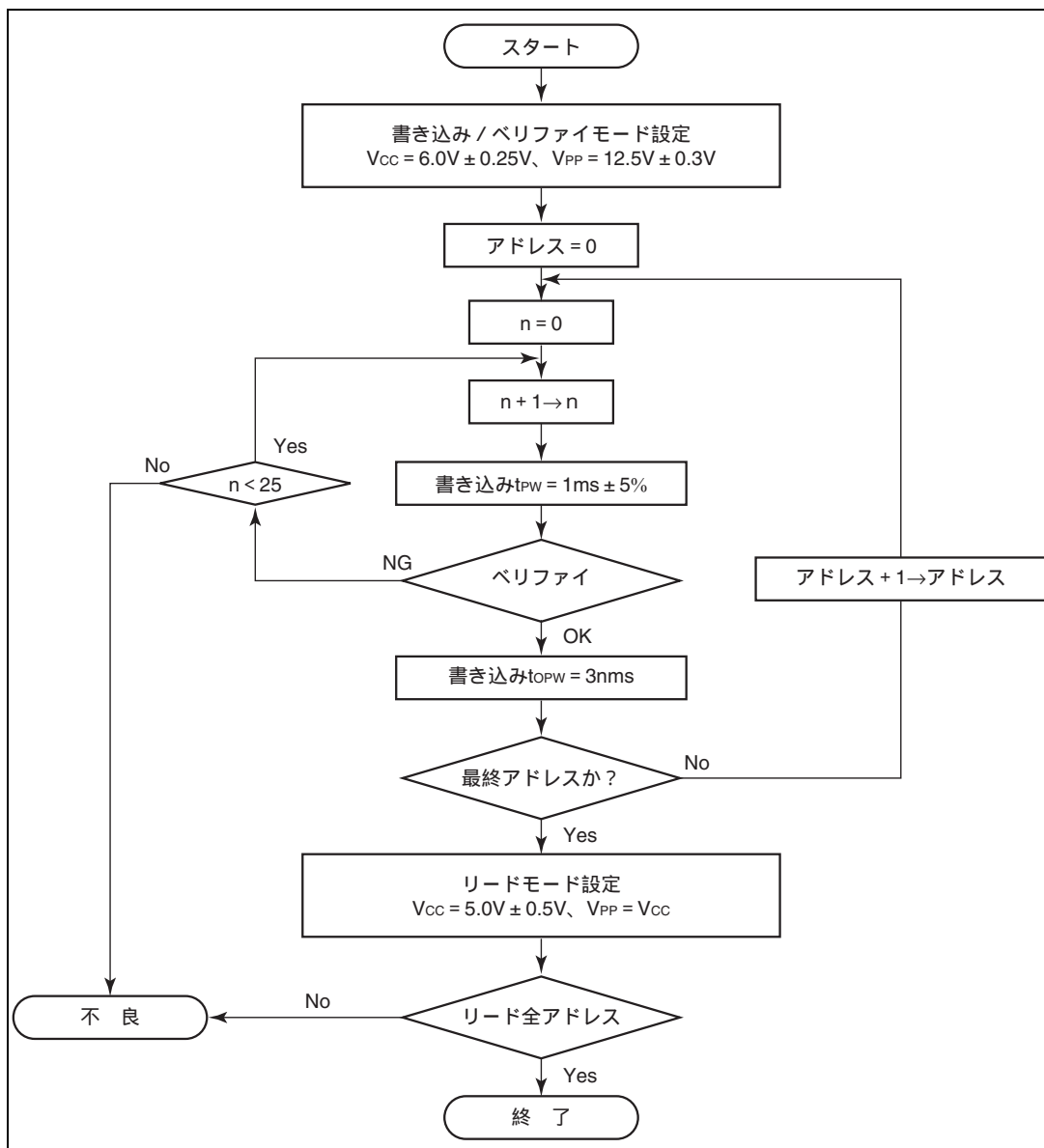


図 6.3 高性能プログラミングフローチャート

プログラミング時の電気的特性を表 6.3、表 6.4 に示します。

表 6.3 DC 特性

条件： $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	min	typ	max	単位	測定条件
入力 High レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{14} \sim EA_0$ OE、CE	V_{IH}	2.4		$V_{CC} + 0.3$	V
入力 Low レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{14} \sim EA_0$ OE、CE	V_{IL}	-0.3		0.8	V
出力 High レベル電圧	$EO_7 \sim EO_0$	V_{OH}	2.4			V $I_{OH} = -200\mu A$
出力 Low レベル電圧	$EO_7 \sim EO_0$	V_{OL}			0.45	V $I_{OL} = 0.8mA$
入力 リーク電流	$EO_7 \sim EO_0$ 、 $EA_{14} \sim EA_0$ OE、CE	$ I_L $			2	μA $V_{in} = 5.25V/0.5V$
V_{CC} 電流		I_{CC}			40	mA
V_{PP} 電流		I_{PP}			40	mA

表 6.4 AC 特性

条件： $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $T_a = 25 \pm 5$

項目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間	t_{AS}	2			μs	図 6.4*1
OE セットアップ時間	t_{OES}	2			μs	
データセットアップ時間	t_{DS}	2			μs	
アドレスホールド時間	t_{AH}	0			μs	
データホールド時間	t_{DH}	2			μs	
データ出力ディスエーブル時間	t_{DF}^{*2}	0		130	ns	
V_{PP} セットアップ時間	t_{VPS}	2			μs	
プログラムパルス幅	t_{PW}	0.95	1.0	1.05	ms	
オーバプログラム時の CE パルス幅	t_{OPW}^{*3}	2.85		78.7	ms	
V_{CC} セットアップ時間	t_{VCS}	2			μs	
データ出力遅延時間	t_{OE}	0		500	ns	

【注】 *1 入力パルスレベル：0.8～2.2V

入力立ち上がり/立ち下がり時間 20ns

タイミング参照レベル 入力：1.0V、2.0V

出力：0.8V、2.0V

*2 t_{DF} は出力が解放状態に達し、出力レベルを参照できなくなった場合で定義します。

*3 t_{OPW} はプログラミングフローチャートに記載した値で定義されます。

6. PROM

PROMの書き込み/ベリファイタイミングを図6.4に示します。

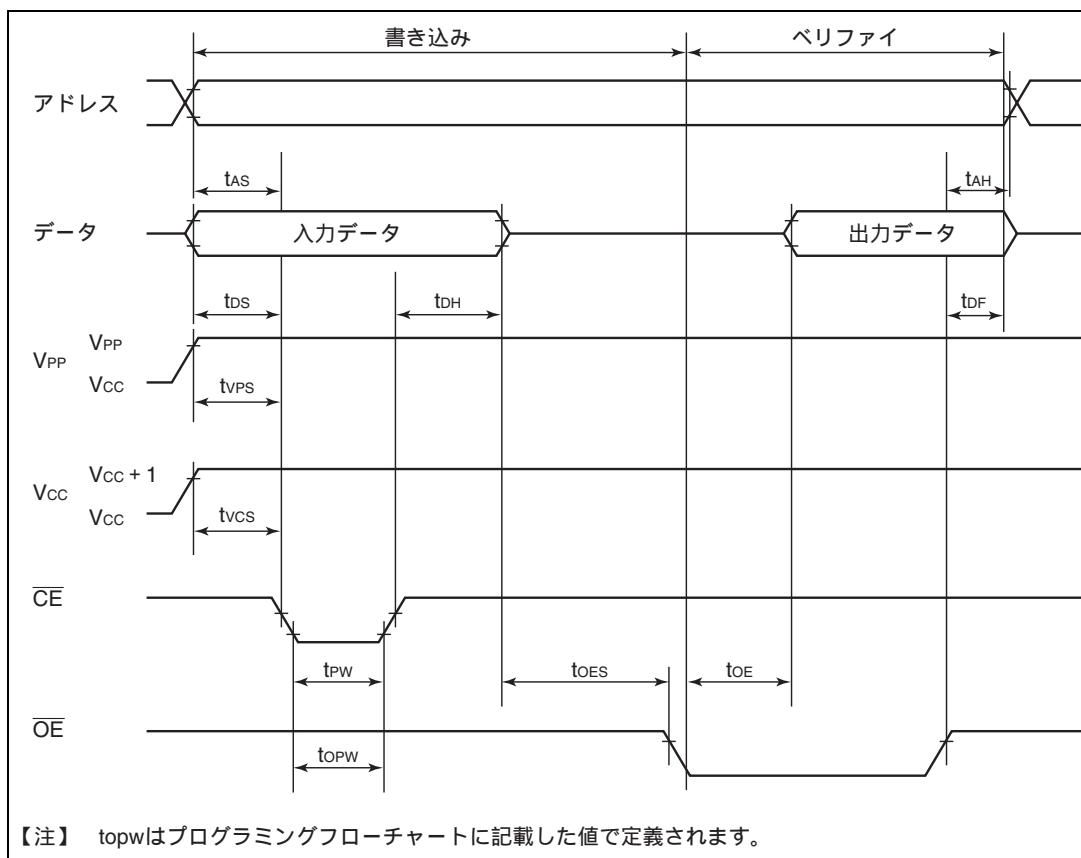


図 6.4 PROM 書き込み/ベリファイタイミング

6.3.2 書き込み時の注意

- (1) 書き込みは規定された電圧、タイミングで行ってください。
PROMモード時のプログラム電圧 (V_{PP}) は12.5Vです。
定格以上の電圧を加えると、製品の永久破壊に至りますので、注意してください。特にPROMライタのオーバシュートなどには十分注意してください。
PROMライタのHN27C256のルネサス仕様にセットすると、 V_{PP} は12.5Vになります。
- (2) PROMライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していないと、過剰電流によって製品が破壊することがあります。書き込み前に正しくPROMライタに装着されていることを必ず確認してください。
- (3) 書き込み中はソケットアダプタおよび製品には触れないようにしてください。接触不良により書き込み不良となる場合があります。

6.3.3 書き込み後の信頼性

データ書き込み後、データ保持特性を向上させるために、150 の高温放置をしてスクリーニングを行うと大変有効です。高温放置は、スクリーニングの1つであり、PROM メモリセルの初期のデータ保持不良を短時間で除くことができます。

図 6.5 に推奨するスクリーニングフローを示します。

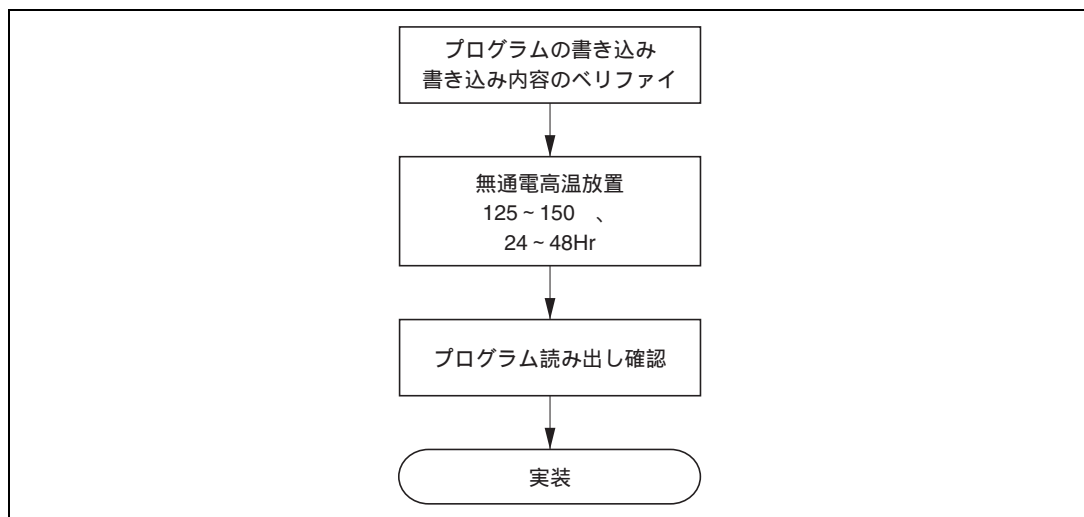


図 6.5 推奨スクリーニングフロー

同じ PROM ライタでプログラミング中、書き込み不良が連続して発生した場合には書き込みを中止し、窓付きパッケージ EPROM 内蔵マイコンを利用するなどして、PROM ライタ、ソケットアダプタなどに異常がないか確認してください。

なお、書き込みあるいは高温放置後のプログラム確認において異常がありましたら、弊社技術担当にご連絡ください。

6.4 フラッシュメモリの概要

6.4.1 フラッシュメモリの動作原理

H8/3644F、H8/3643F、H8/3642AF に内蔵するフラッシュメモリの動作原理を表 6.5 に示します。

フラッシュメモリの書き込みは、EPROM と同様、ゲートおよびドレインに高電圧をかけ、ドレインの近くで発生したホットエレクトロンをフローティングゲートに吸い上げることにより行われます。その結果、書き込み後のしきい値電圧は、消去時に比べ高くなります。消去は、ゲートを接地し、ソースに高電圧をかけ、トンネル効果によりフローティングゲートに蓄積した電子を引き抜くことにより行われます。消去後、しきい値電圧は低下します。読み出しは、EPROM と同様にゲートに高レベルの電圧を加え、しきい値電圧の高低に応じたドレイン電流量を検出することによって行われます。消去しすぎるとしきい値電圧が負になり、メモリセルが正常に動作しない場合があるので、消去時には注意が必要となります。

「6.7.6 消去のフローチャートとプログラム例」に消去制御に最適なフローチャートとプログラム例を示します。

表 6.5 メモリセル動作原理

	書き込み	消去	読み出し
メモリセル			
メモリアレイ			

6.4.2 モード端子の設定と ROM 空間

H8/3644F は 32K バイト、H8/3643F は 24K バイト、H8/3642AF は 16K バイトのフラッシュメモリを内蔵しています。ROM は CPU と 16 ビットデータバスで接続されています。CPU は、命令サイズがバイト/ワードにかかわらず、フラッシュメモリを 2 ステートでアクセスします。

フラッシュメモリは、H8/3644F ではアドレス H'0000 ~ H'7FFF に、H8/3643F ではアドレス H'0000 ~ H'5FFF に、H8/3642AF ではアドレス H'0000 ~ H'3FFF に割り当てられています。

6.4.3 特長

フラッシュメモリの特長を以下に示します。

フラッシュメモリの 5 種類の動作状態

フラッシュメモリの動作状態として、書き込みモード、書き込みベリファイモード、消去モード、消去ベリファイモード、プレライトベリファイモードがあります。

消去ブロックの指定

フラッシュメモリ空間の消去対象とするブロックを、対応するビットの設定により指定できます。大ブロックエリア (4K ~ 8K バイトの 4 ブロック) と小ブロックエリア (128 バイト ~ 1K バイトの 8 ブロック) があります。

書き込み、消去時間

フラッシュメモリの 1 バイトあたりの書き込み時間は、50 μ s (typ)、消去時間は、1s (typ) です。

書き換え回数

フラッシュメモリの書き換えは、100 回まで可能です。

オンボードプログラミングモード

フラッシュメモリの書き込み、消去、ベリファイを行うモードです。2 種類の動作モード (ブートモード、ユーザプログラムモード) があります。

ビットレート自動合わせ込み

ブートモードのデータ転送時、ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みができます。(max : 9600bps)

PROM モード

プログラムの書き込み、消去可能なモードとして、オンボードプログラミングモード以外に PROM モードがあり、汎用 PROM ライタを用いてフラッシュメモリに自由にプログラムを書き込むことができます。書き込み / 消去 / ベリファイなどの仕様は、標準のフラッシュメモリ HN28F101 と同じです。

6.4.4 ブロック図

フラッシュメモリのブロック図を図 6.6 に示します。

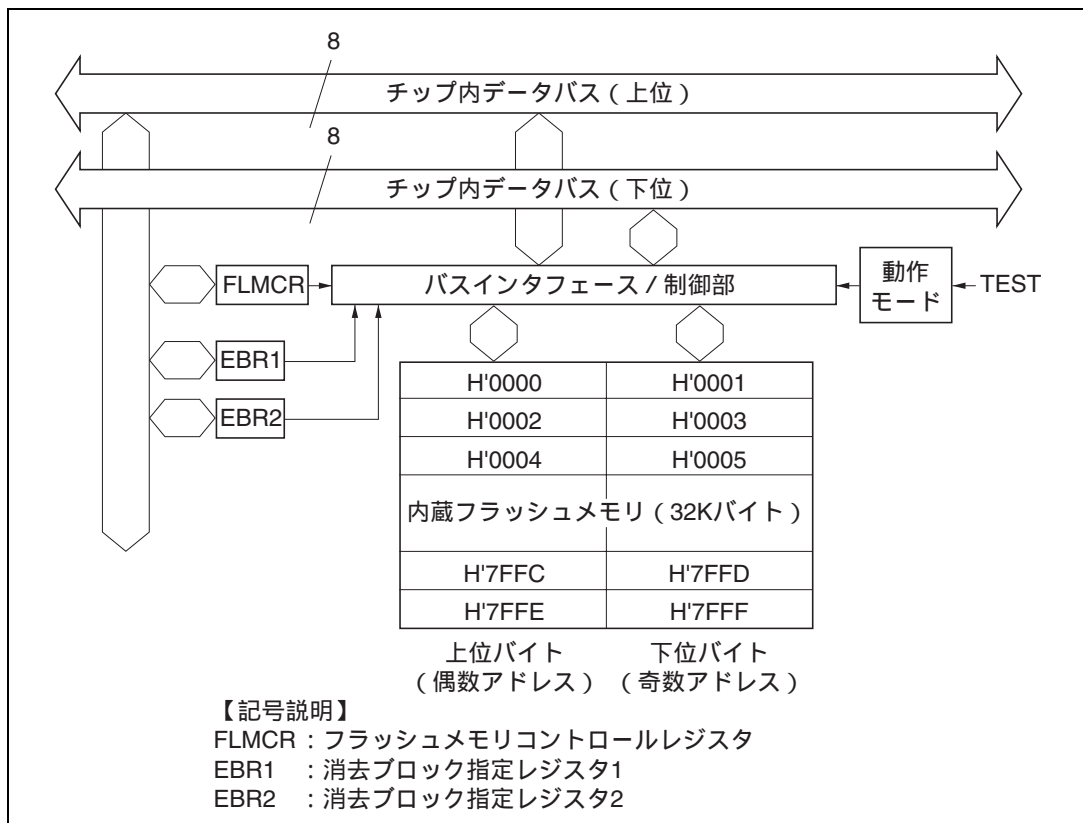


図 6.6 フラッシュメモリのブロック図 (H8/3644F の場合)

6.4.5 端子構成

フラッシュメモリは表 6.6 に示す端子により制御されます。

表 6.6 端子構成

端子名	記号	入出力	機能
プログラム電源	FV _{PP}	電源	12.0V を印加
モード端子	TEST	入力	動作モードを設定
トランスミットデータ	TXD	出力	SCI3 送信データ出力
レシーブデータ	RXD	入力	SCI3 受信データ入力

トランスミットデータ端子とレシーブデータ端子はブートモード時に使用します。

6.4.6 レジスタ構成

フラッシュメモリは表 6.7 に示すレジスタにより制御されます。

表 6.7 レジスタ構成

名称	略称	R/W	初期値	アドレス
フラッシュメモリコントロールレジスタ	FLMCR	R/W	H'00	H'FF80
消去ブロック指定レジスタ 1	EBR1	R/W	H'F0	H'FF82
消去ブロック指定レジスタ 2	EBR2	R/W	H'00	H'FF83

FLMCR、EBR1、EBR2 は、フラッシュメモリの書き込み / 消去時のみ有効なレジスタです。FV_{PP} 端子に 12V が印加されている場合のみアクセス可能です。アドレス H'FF80 ~ H'FF83 は、FV_{PP} 端子に 12V が印加されていない状態ではリードすると常に H'FF が読み出され、書き込みは無効となります。

6.5 フラッシュメモリ各レジスタの説明

6.5.1 フラッシュメモリコントロールレジスタ (FLMCR)

フラッシュメモリコントロールレジスタ (FLMCR) は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。ビットをセットすることにより、プログラムモード、イレースモード、プログラムベリファイモード、イレースベリファイモードに遷移できます。FLMCR はリセット、またはスリープモード、サブスリープモード、ウォッチモード、スタンバイモード時、あるいは FV_{PP} に 12V が印加されていないとき、H'00 に初期化されます。ただし、 FV_{PP} 端子に 12V が印加されているときのリセットモード時は、H'80 になります。

ビット :	7	6	5	4	3	2	1	0
	V_{PP}	-	-	-	EV	PV	E	P
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	-	-	-	R/W*	R/W*	R/W*	R/W*

【注】 * 本レジスタへのアクセスについては「6.9 フラッシュメモリの書き込み / 消去時の注意」の (11) を参照してください。

ビット 7 : プログラム電源 (V_{PP})

プログラム電源ビット (V_{PP}) は、 FV_{PP} 端子に 12V が印加されていることを示すステータスフラグです。使用時の注意は「6.9 フラッシュメモリの書き込み / 消去時の注意」の (5) を参照してください。

ビット 7	説 明	
V_{PP}		
0	[クリア条件] FV_{PP} 端子に 12V が印加されていないとき	(初期値)
1	[セット条件] FV_{PP} 端子に 12V が印加されているとき	

ビット 3 : イレースベリファイモード (EV) *

イレースベリファイモードへの遷移、または解除を選択するビットです。

ビット 3	説 明	
EV		
0	イレースベリファイモードを解除	(初期値)
1	イレースベリファイモードに遷移	

【注】 * 複数のビットを同時にセットしないでください。
ビットをセットした状態で V_{CC} 、 V_{PP} 電源を解除 / 切断しないでください。

ビット2：プログラムベリファイモード (PV)*

プログラムベリファイモードへの遷移、または解除を選択するビットです。

ビット2	
PV	説 明
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移

【注】* 複数のビットを同時にセットしないでください。
ビットをセットした状態で V_{CC} 、 V_{PP} 電源を解除 / 切断しないでください。

ビット1：イレースモード (E)*¹*²

イレースモードへの遷移、または解除を選択するビットです。

ビット1	
E	説 明
0	イレースモードを解除 (初期値)
1	イレースモードに遷移

【注】*1 複数のビットを同時にセットしないでください。
ビットをセットした状態で V_{CC} 、 V_{PP} 電源を解除 / 切断しないでください。
*2 Pビット、Eビットのセットは「6.7 フラッシュメモリの書き込み / 消去」に示す書き込み、消去アルゴリズムに従ってください。
ビットをセットした時間が規定以上の時間を誤って超えないよう、あらかじめウォッチドッグタイマの設定を行ってください。
使用時の注意は、「6.9 フラッシュメモリの書き込み / 消去時の注意」を参照してください。

ビット0：プログラムモード (P)*¹*²

プログラムモードへの遷移、または解除を選択するビットです。

ビット0	
P	説 明
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移

【注】*1 複数のビットを同時にセットしないでください。
ビットをセットした状態で V_{CC} 、 V_{PP} 電源を解除 / 切断しないでください。
*2 Pビット、Eビットのセットは「6.7 フラッシュメモリの書き込み / 消去」に示す書き込み、消去アルゴリズムに従ってください。
ビットをセットした時間が規定以上の時間を誤って超えないよう、あらかじめウォッチドッグタイマの設定を行ってください。
使用時の注意は、「6.9 フラッシュメモリの書き込み / 消去時の注意」を参照してください。

6.5.2 消去ブロック指定レジスタ 1 (EBR1)

消去ブロック指定レジスタ 1 (EBR1) はフラッシュメモリの書き込みおよび消去の対象となる大ブロックを選択する 8 ビットのレジスタです。リセット、またはスリープモード、サブスリープモード、ウォッチモード、スタンバイモード時、あるいは FV_{pp} 端子に 12V 印加されていないとき、H'F0 に初期化されます。EBR1 のビットを 1 にセットすると対応するブロックが選択され、書き込みおよび消去対象ブロックになります。消去ブロックの分割を図 6.7 に、消去ブロックの分割と対応するビットを表 6.8 に示します。

ビット :	7	6	5	4	3	2	1	0
	-	-	-	-	LB3	LB2	LB1	LB0
初期値 :	1	1	1	1	0	0	0	0
R/W :	-	-	-	-	R/W*	R/W*	R/W*	R/W*

【注】* 本レジスタはワードアクセスはできませんので、バイトアクセスしてください。本レジスタへのアクセスについては「6.9 フラッシュメモリの書き込み / 消去時の注意」の (11) を参照してください。
H8/3643FではLB3、H8/3642AFではLB3、LB2は無効となります。

ビット 7~4 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 3~0 : ラージブロック 3~0 (LB3~LB0)

ラージブロック 3~0 (LB3~LB0) ブロックを書き込みおよび消去対象ブロックとして選択するビットです。

ビット 3~0	説明
LB3~LB0	
0	LB3~LB0 ブロックを選択していないとき (初期値)
1	LB3~LB0 ブロックを選択しているとき

6.5.3 消去ブロック指定レジスタ 2 (EBR2)

消去ブロック指定レジスタ 2 (EBR2) はフラッシュメモリの書き込みおよび消去の対象となる小ブロックを選択する 8 ビットのレジスタです。リセット、またはスリープモード、サブスリープモード、ウォッチモード、スタンバイモード時、あるいは FV_{pp} 端子に 12V 印加されていないとき、H'00 に初期化されます。EBR2 のビットを 1 にセットすると対応するブロックが選択され、書き込みおよび消去対象ブロックになります。消去ブロックの分割を図 6.7 に、消去ブロックの分割と対応するビットを表 6.8 に示します。

ビット :	7	6	5	4	3	2	1	0
	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】* 本レジスタはワードアクセスはできませんので、バイトアクセスしてください。本レジスタへのアクセスについては「6.9 フラッシュメモリの書き込み/消去時の注意」の(11)を参照してください。

ビット 7~0 : スモールブロック 7~0 (SB7~SB0)

スモールブロック 7~0 (SB7~SB0) ブロックを書き込みおよび消去対象ブロックとして選択するビットです。

ビット 7~0 SB7~SB0	説明
0	SB7~SB0 ブロックを選択していないとき (初期値)
1	SB7~SB0 ブロックを選択しているとき

6. ROM

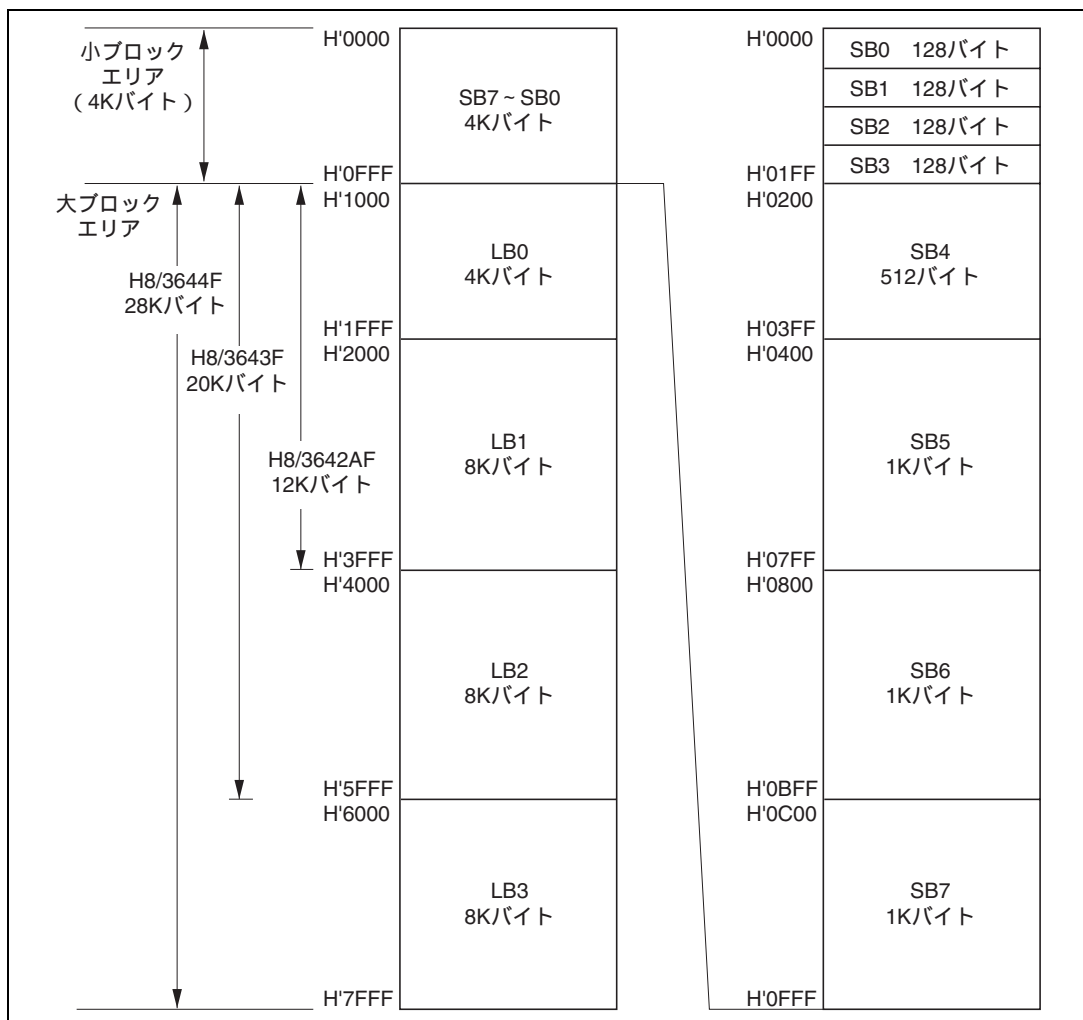


図 6.7 消去ブロックの分割

表 6.8 消去ブロックの分割と対応するビット

レジスタ	ビット	ブロック	アドレス	サイズ
EBR1	0	LB0	H'1000 ~ H'1FFF	4K バイト
	1	LB1	H'2000 ~ H'3FFF	8K バイト
	2	LB2	H'4000 ~ H'5FFF	8K バイト
	3	LB3	H'6000 ~ H'7FFF	8K バイト

レジスタ	ビット	ブロック	アドレス	サイズ
EBR2	0	SB0	H'0000 ~ H'007F	128 バイト
	1	SB1	H'0080 ~ H'00FF	128 バイト
	2	SB2	H'0100 ~ H'017F	128 バイト
	3	SB3	H'0180 ~ H'01FF	128 バイト
	4	SB4	H'0200 ~ H'03FF	512 バイト
	5	SB5	H'0400 ~ H'07FF	1K バイト
	6	SB6	H'0800 ~ H'0BFF	1K バイト
	7	SB7	H'0C00 ~ H'0FFF	1K バイト

6.6 オンボードプログラミングモード

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリのプログラム、消去、ベリファイを行うことができます。本モードには、2種類の動作モード（ブートモード、ユーザプログラムモード）があります。これらのモードは、モード端子（TEST）、 FV_{PP} 端子により設定します。表 6.9 にオンボードプログラミングモードの設定方法を示します。

V_{PP} の印加 / 切断時の注意については「6.9 フラッシュメモリの書き込み / 消去時の注意」の（5）を参照してください。

表 6.9 オンボードプログラミングモードの設定

モード設定	FV_{PP}	TEST	備考
ブートモード	12V*	12V*	
ユーザプログラムモード		V_{SS}	

【注】 * 12V 印加のタイミングについては、「6.6.1 ブートモード（4）ブートモード使用時の注意事項」の（6）～（8）を参照してください。

6.6.1 ブートモード

ブートモードを使用する場合には、あらかじめフラッシュメモリの書き込み消去用のユーザプログラムをホスト側のパソコン等に準備しておく必要があります。また、使用する SCI3 は、調歩同期式モードに設定されています。H8/3644F、H8/3643F、および H8/3642AF をブートモードに設定すると、リセット解除後、あらかじめ組み込まれているブートプログラムが起動され、ホストから送信されるデータの Low 期間をまず測定し、ビットレートレジスタ（BRR）の値を決定します。次に、内蔵のシリアルコミュニケーションインタフェース（SCI3）を用いて外部からのユーザプログラムの受信が可能となり、受信されたユーザプログラムは、RAM に書き込まれます。

書き込み終了後、内蔵 RAM の先頭アドレス（HFBE0）に分岐し、RAM 上に書き込まれたプログラムを実行し、フラッシュメモリの書き込み、消去が可能となります。ブートモードの実行手順を図 6.9 に示します。

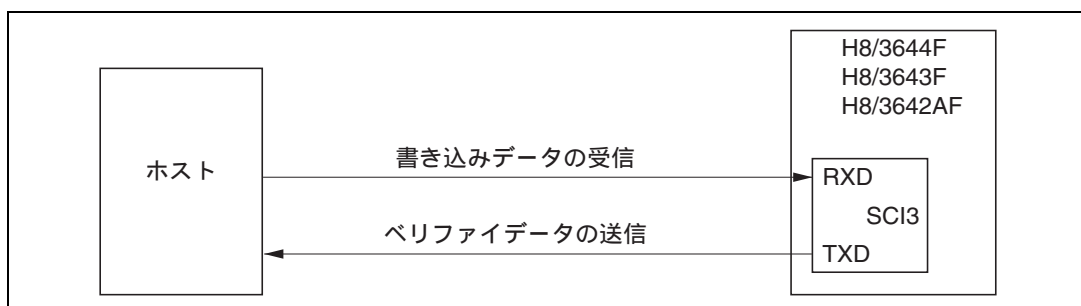


図 6.8 ブートモードシステム構成図

(1) ブートモードの実行手順

ブートモードの実行手順を以下に示します。

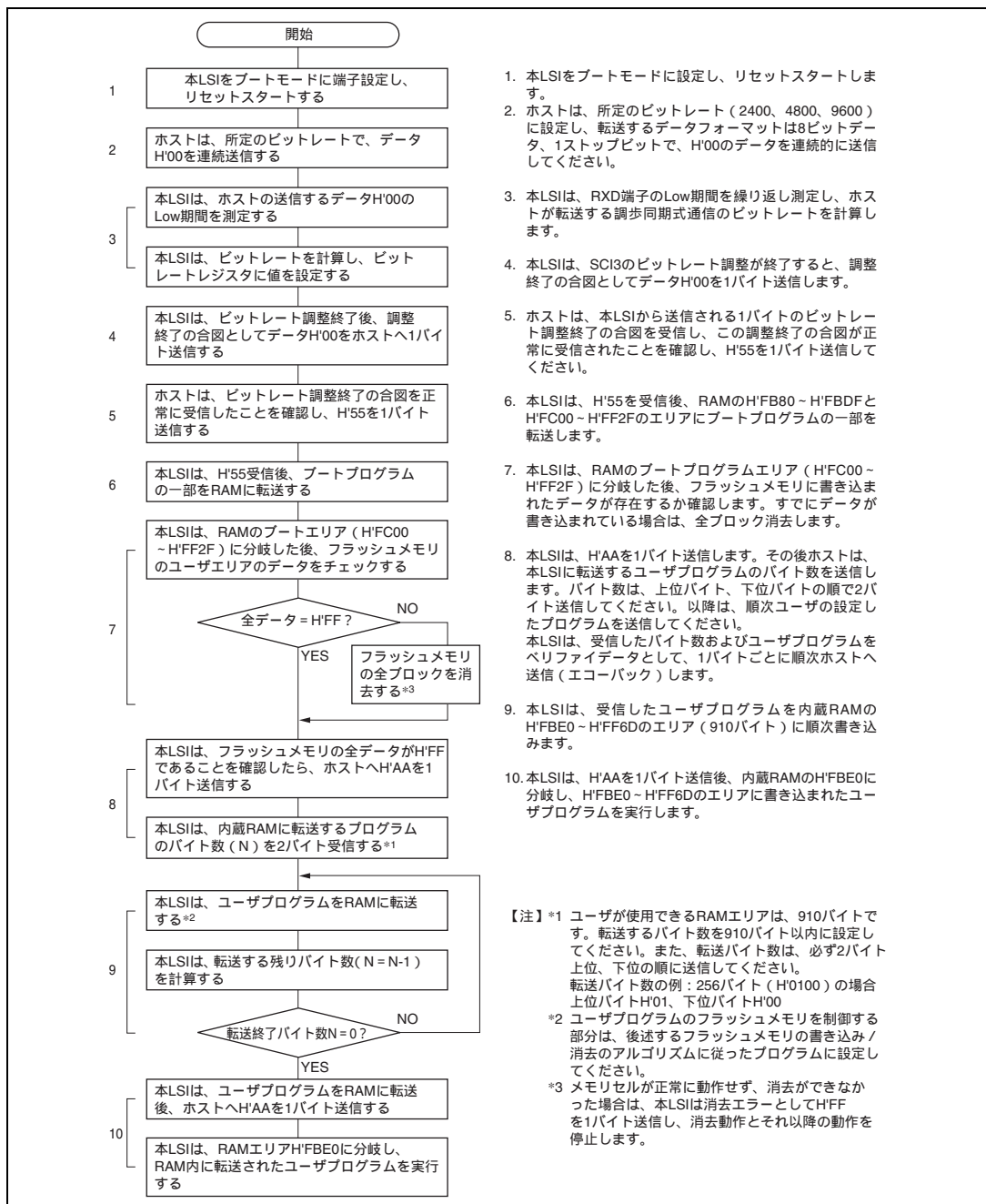


図 6.9 ブートモードの動作フローチャート

(2) SCI ビットレートの自動合わせ込み動作

ブートモードを起動すると、H8/3644F、H8/3643F、および H8/3642AF は、ホストより送信される調歩同期式 SCI 通信データの Low 期間を測定します（図 6.10）。このデータフォーマットは、8 ビットデータ 1 ストップビット、パリティなしのフォーマットです。H8/3644F、H8/3643F、および H8/3642AF は、測定した Low 期間（9 ビット）よりホストの送信ビットレートを計算します。H8/3644F、H8/3643F、および H8/3642AF は、ビットレートの調整が終わると、ビット調整終了合図としてホストへ 1 バイトの H'00 データを送信します。ホストは、この調整終了合図を正常に受信したことを確認し、H8/3644F、H8/3643F、および H8/3642AF へ H'55 を 1 バイト送信してください。受信が正常に行われない場合は、再度ブートモードでリセット起動し、Low 期間の測定を実行してください。ホストが送信するビットレート、および H8/3644F、H8/3643F、および H8/3642AF のシステムクロックの発振周波数 (f_{osc}) によってホストと H8/3644F、H8/3643F、および H8/3642AF のビットレートに誤差が発生します。正常に SCI 動作を行うために、ホストの転送ビットレートを 2400、4800、9600bps^{*1} に設定してください。ホストの代表的な転送ビットレートと H8/3644F、H8/3643F、および H8/3642AF のビットレートの自動合わせ込みが可能なシステムクロックの発振周波数を表 6.10 に示します。このシステムクロックの発振周波数の範囲内でブートモードを実行してください。^{*2}

【注】*1 ホストのビットレートは 2400、4800、9600bps の設定のみで、それ以外の設定は使用しないでください。

- *2 H8/3644F、H8/3643F、および H8/3642AF は表 6.10 に示すビットレートとシステムクロックの発振周波数の組み合わせ以外でも、自動合わせ込みを行う場合がありますが、ホストと H8/3644F、H8/3643F、および H8/3642AF とのビットレートに誤差が生じ、その後の転送が正常に行われません。そのためブートモードの実行は表 6.10 に示す転送ビットレートとシステムクロックの発振周波数の組み合わせの範囲内で必ず行ってください。

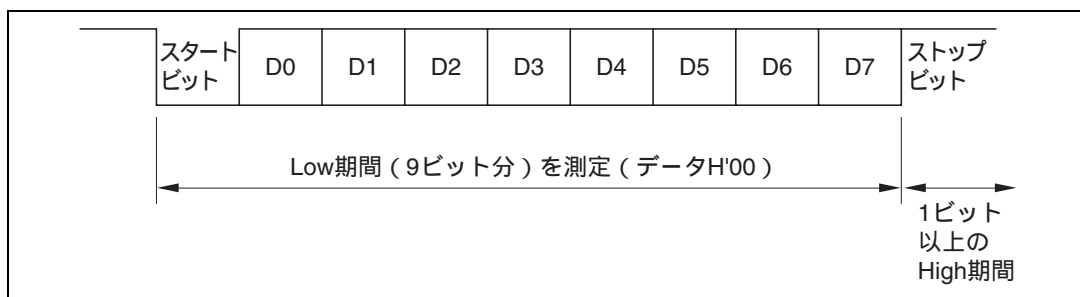


図 6.10 ホスト送信データの Low 期間の測定

表 6.10 H8/3644F、H8/3643F、および H8/3642AF のビットレートの自動合わせ込みが可能なシステムクロックの発振周波数

ホストのビットレート*	H8/3644F、H8/3643F、および H8/3642AF のビットレートの自動合わせ込みが可能なシステムクロックの発振周波数 (f_{osc})
9600bps	8MHz ~ 16MHz
4800bps	4MHz ~ 16MHz
2400bps	2MHz ~ 16MHz

【注】* ホストのビットレートは 2400、4800、9600bps の設定のみで、それ以外の設定は使用しないでください。

(3) ブートモード時のRAMエリアの分割

ブートモードでは、H'FB80～H'FBDFの96バイトとH'FF6E～H'FF7Fの18バイトは、図6.11に示すようにブートプログラムで使用するエリアとしてリザーブされています。ユーザのプログラムを転送するエリアはH'FBE0～H'FF6D(910バイト)です。ブートプログラムのエリアは、RAM内に転送したユーザプログラムの実行状態に遷移すると使用できます。スタックエリアはユーザプログラム内で必要に応じて設定してください。

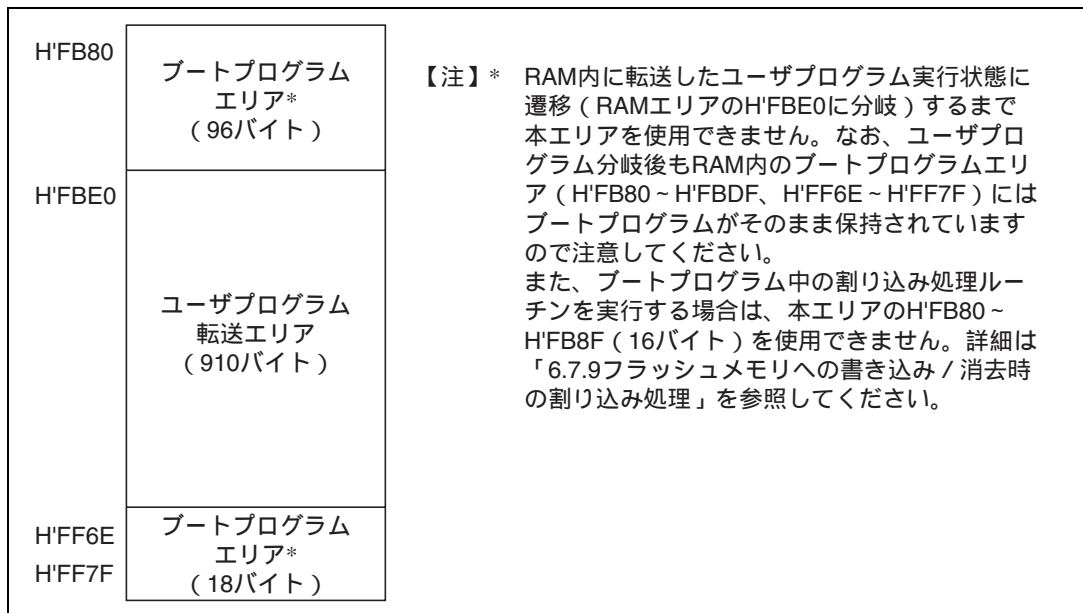


図 6.11 ブートモード時のRAMエリア

(4) ブートモード使用時の注意事項

- (1) H8/3644F、H8/3643F、およびH8/3642AFは、ブートモードでリセット解除すると、SCI3のRXD端子のLow期間を測定します。RXD端子がHighの状態ではリセット解除してください。リセット解除後、RXD端子から入力されるLow期間を測定できるようになるまで、H8/3644F、H8/3643F、およびH8/3642AFは約100ステート必要です。
- (2) ブートモードは、フラッシュメモリに書き込まれているデータがある場合（全データがH'FFでないとき）、フラッシュメモリの全ブロックを消去します。本モードを実行する場合は、オンボード状態での初期の書き込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰等に使用してください。
- (3) フラッシュメモリのプログラム中、あるいは消去中に割り込みを使用することはできません。
- (4) RXD端子およびTXD端子は、ボード上でプルアップして使用してください。

- (5) H8/3644F、H8/3643F、およびH8/3642AFは、ユーザプログラム（RAMエリアのH'FBEO）に分岐するとき内蔵SCI3の送受信動作を終了（シリアルコントロールレジスタのSCRのRE=0、TE=0）しますが、ビットレートレジスタBRRには、合わせ込んだビットレートの値を保持しています。このときトランスミットデータ出力端子TXDは、Highレベル出力状態（ポート2コントロールレジスタのPCR₂=1、ポート2データレジスタのP₂=1）となっています。また、このときCPU内蔵の汎用レジスタの値は不定です。このためユーザプログラムに分岐した直後に汎用レジスタの初期化を必ず行ってください。特にスタックポインタ（SP）はサブルーチンコール時などに、暗黙的に使用されますので、ユーザプログラムで使用するスタックエリアを必ず指定してください。

上記以外の内蔵レジスタについては初期値が変更されるものではありません。

- (6) ブートモードへの遷移は表6.9のモード設定条件に従って、TEST端子とFV_{pp}端子に12Vを印加後にリセットスタートすることにより可能です。このときV_{pp}電源投入に注意が必要です。

H8/3644F、H8/3643F、およびH8/3642AFはリセット解除時（Lowレベル→Highレベルの立ち上がり）にTEST端子とFV_{pp}端子に12Vが印加されているかどうかを判定し、ブートモードの設定であることを検出するとその状態を内部で保持します。その際の印加電圧判定レベル（しきい値電圧）は約V_{cc}+2V～11.4Vの範囲になっているため、プログラム、イレースを実行するのに十分な電圧（11.4V～12.6V）が印加されていなくてもブートモードに遷移します。したがって、ブートプログラム実行時は図6.22に示すようにRAMエリアに分岐するまでにV_{pp}電源を11.4V～12.6Vの範囲内に安定させなければなりません。

プログラム電圧V_{pp}は、ブートモードへの遷移時（リセット解除タイミング）は12.6Vを超えないように、またブートモード動作中は12V±0.6Vの範囲を超えないようにしてください。これを超えるとブートモードは正しく実行されません。また、ブートプログラム実行中やフラッシュメモリへの書き込み、消去中にV_{pp}を解除/切断しないでください。*

ブートモードを解除するためには、リセット端子をLowレベルにしてから最低10システムクロック経過後、TEST端子とFV_{pp}端子への12V印加を解除し、TEST端子はV_{ss}にしてリセット解除することにより可能です。ただし、ブートモード動作中に外部端子の設定を変更しないでください。

ブートモードの途中でTEST端子への12V印加を解除した場合は、ブートモード状態は保持されませんので注意が必要です。また、このブートモード状態でウォッチドッグタイマリセットが発生した場合、マイコン内部のモード状態は解除されず、内蔵のブートプログラムが再起動されます。

- (7) リセット中（ $\overline{\text{RES}}$ 端子にLowレベルを入力している期間）にTEST端子の入力レベルを変化（たとえば0V→5V→12V）させると、マイコンの動作モードが切り替わるによりポートの状態が変化します。このため、これらの端子はリセット中に出力信号とならないような端子設定にするか、マイコン外部の信号と衝突しないように注意してください。
- (8) FV_{pp}およびTEST端子への12V印加は、オーバシュートのピークが最大定格の13Vを超えないようにしてください。また、FV_{pp}およびTEST端子には必ずバイパスコンデンサを接続してください。

【注】* V_{pp}の印加/解除/切断の注意については「6.9 フラッシュメモリへの書き込み/消去時の注意」の（5）を参照してください。

6.6.2 ユーザプログラムモード

H8/3644F、H8/3643F、および H8/3642AF をユーザプログラムモードに設定すると、ユーザプログラムによるフラッシュメモリの消去、書き込みが可能になります。したがって、あらかじめ基板上に V_{pp} 供給手段、および書き換えデータ供給手段を設け、プログラムエリアの一部にオンボード書き換えプログラムを内蔵させておくことにより、内蔵フラッシュメモリのオンボード書き換えを行うことができます。

本モードの設定は、リセット中もしくは、リセットが確実に行われた後（リセット解除後）、フラッシュメモリをアクセスしていない状態で、 FV_{pp} 端子に 12V 印加して行います。

なお、プログラム、イレースを行っている間、フラッシュメモリを読み出すことはできませんので、オンボード書き換えプログラム、またはフラッシュメモリ書き換えルーチンを RAM エリアに転送し、RAM エリア内でオンボード書き換えを実行してください。

(1) ユーザプログラムモード実行手順例*¹

RAM 内で実行する場合のユーザプログラムモード実行手順を以下に示します。

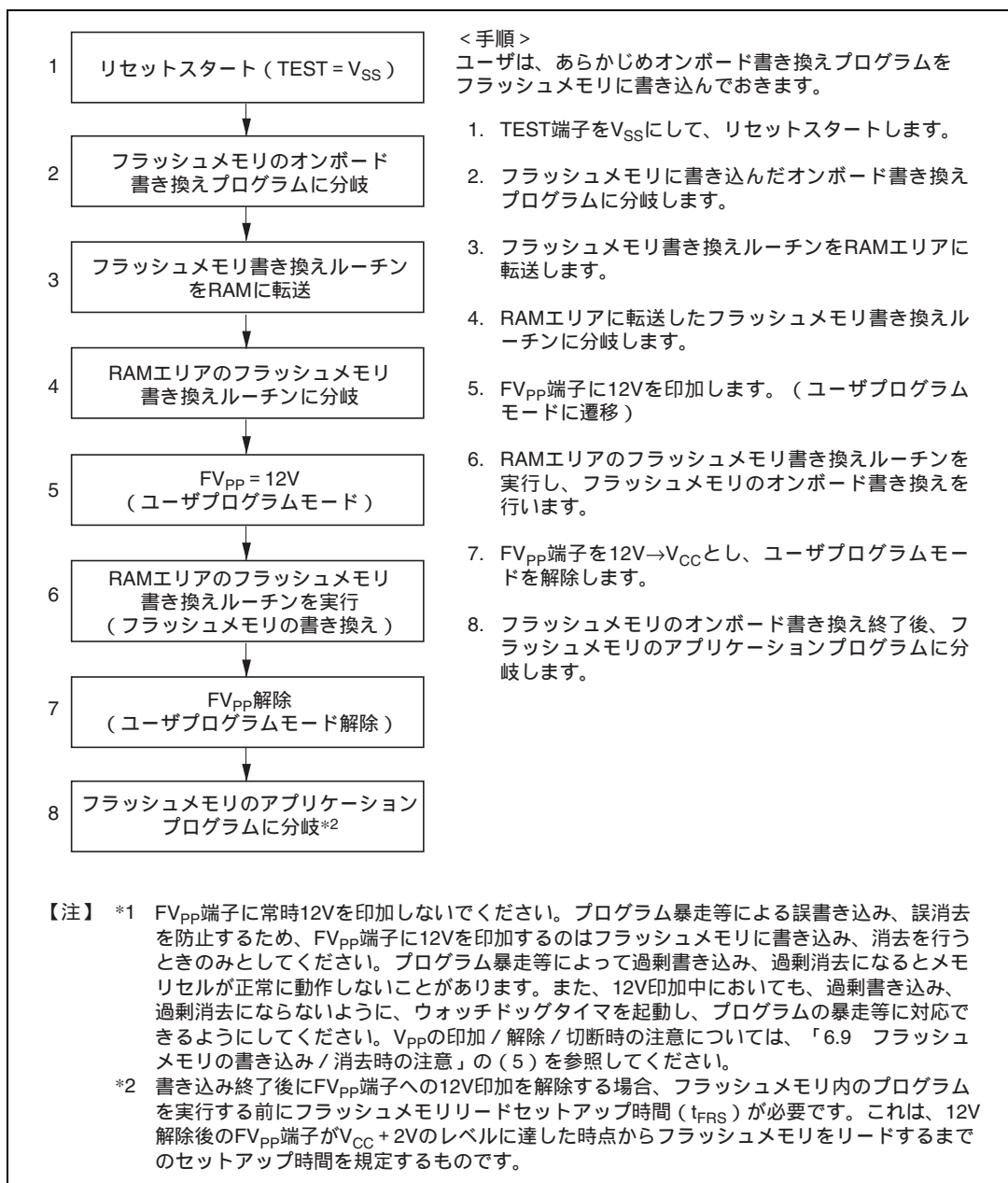


図 6.12 ユーザプログラムモード動作例

6.7 フラッシュメモリの書き込み / 消去

H8/3644F、H8/3643F、および H8/3642AF に内蔵するフラッシュメモリは、CPU を用いてソフトウェアで書き込み、消去を行う方式を採用しています。フラッシュメモリの動作モードとしては、書き込みモード、消去モード、書き込みベリファイモード、消去ベリファイモード、プレライトベリファイモードがあります。フラッシュメモリコントロールレジスタ (FLMCR) の P ビット、E ビット、PV ビット、EV ビットのいずれかのビットをセットすることにより各動作モードに遷移することができます。

フラッシュメモリは、書き込み、あるいは消去を行っている間読み出すことはできません。フラッシュメモリの書き込み、消去を制御するプログラムは、内蔵 RAM あるいは外部メモリ上に置き、実行してください。以下に各動作モードの説明と、推奨する書き込みフロー、消去フローおよびプログラム例を示します。

書き込み、消去時の注意は「6.9 フラッシュメモリの書き込み / 消去時の注意」を参照してください。

6.7.1 書き込みモード

フラッシュメモリへのデータの書き込みは、図 6.13 に示す書き込みアルゴリズムに従って行ってください。この書き込みアルゴリズムは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく、書き込みを行うことができます。

データの書き込みは、フラッシュメモリの書き込むエリアを消去ブロック指定レジスタ 1、2 (EBR1、EBR2) で設定し、書き込むアドレスに RAM と同様にデータをライトします。フラッシュメモリは、プログラムアドレスと、プログラムデータをアドレスラッチ、データラッチにおのおのラッチします。FLMCR の P ビットをセットし、動作モードをプログラムモードに設定します。P ビットをセットしている時間が書き込み時間になります。トータル書き込み時間は 1ms を超えないように設定してください。また、プログラムの暴走等により、過剰時間書き込みをするとデバイスにダメージを与えます。プログラムモードに設定する前に、あらかじめウォッチドッグタイマを設定し、過剰に書き込みを起こすことのないようにしてください。

書き込み方法の詳細については、「6.7.3 書き込みのフローチャートとプログラム例」を参照してください。

6.7.2 書き込みベリファイモード

書き込みベリファイモードは、書き込みモードでデータを書き込んだ後、そのデータを読み出し、正常に書き込まれているかを確認するモードです。

書き込み時間経過後、書き込みモードを解除 (P ビット=0) し、書き込みベリファイモード (PV ビット=1) に設定してください。書き込みベリファイモードは、ラッチしたアドレスのメモリセルに書き込みベリファイ電圧を印加します。この状態で、フラッシュメモリをリードするとラッチしたアドレスのデータが読み出されます。リード動作は、書き込みベリファイモードに設定後、4 μ s 以上の待機時間を置いて行ってください。書き込んだデータとベリファイデータを比較し、一致した場合、書き込みベリファイモードを解除し、次のアドレスの書き込みを行ってください。一致しなかった場合は、再度書き込みモードに設定し、同様に書き込み、書き込みベリファイシーケンスを繰り返します。ただし、同一ビットに対する書き込み、書き込みベリファイシーケンスの繰り返しは、6 回*を超えないでください。

【注】* トータル書き込み時間が 1ms を超えないように回数を設定してください。

6.7.3 書き込みのフローチャートとプログラム例

(1) 1バイト書き込みのフローチャート

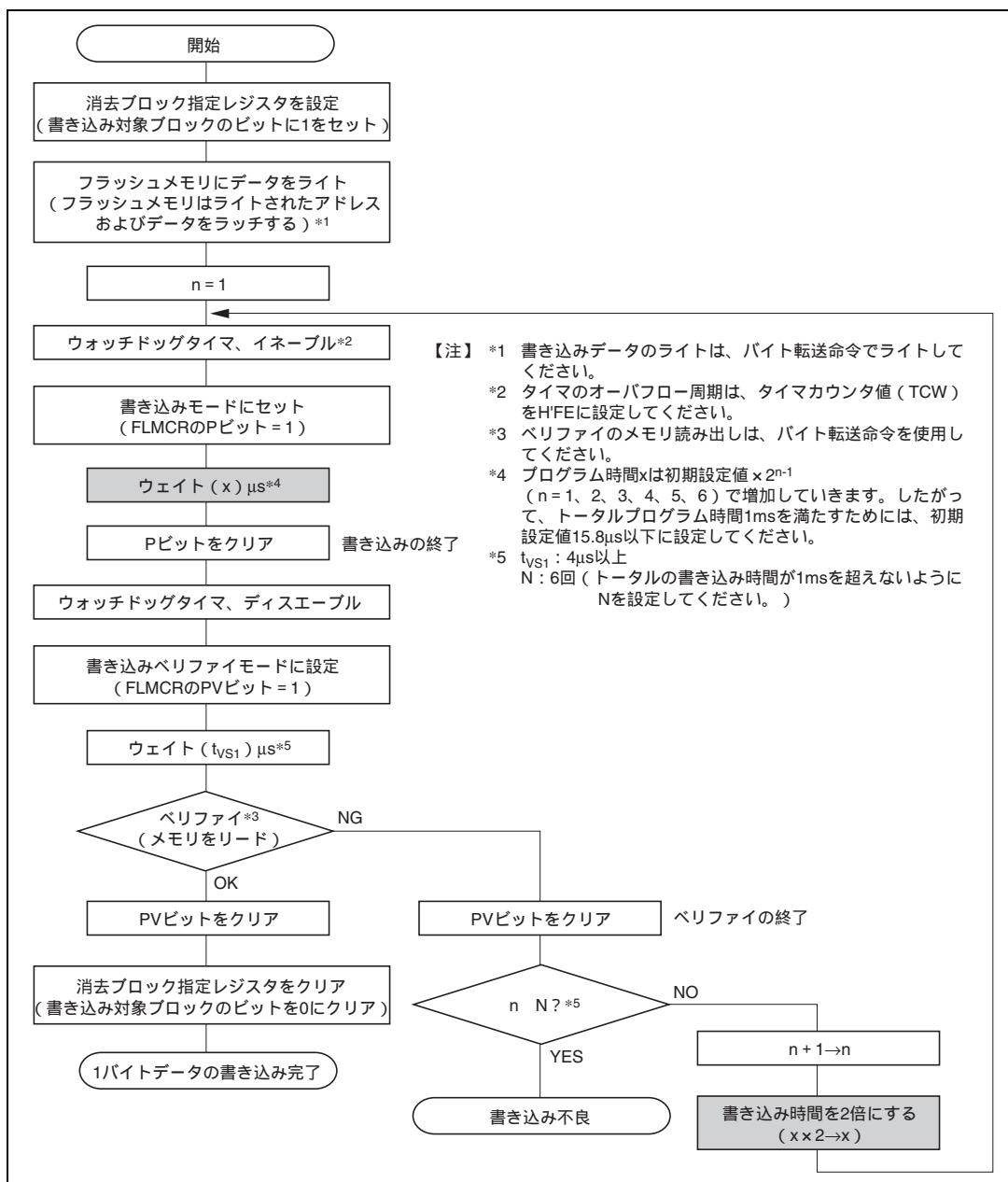


図 6.13 書き込みフローチャート

(2) 1バイト書き込みのプログラム例

使用レジスタと使用方法

R0H : イレースブロックの指定に用います。

R1H : プログラムデータを格納します。

R1L : リードデータを格納します。

R3 : プログラムアドレスを格納します。アドレス設定は H'0000 ~ H'7FFF が有効となります。

R4 : プログラムおよびプログラムベリファイのループカウンタ値の設定に用います。
また、レジスタの設定値を格納します。

R5 : プログラムループカウンタ値の設定に用います。

R6L : プログラムベリファイフェイルカウントに用います。

R3 (プログラムアドレス) および R1H (プログラムデータ) の値を設定することにより、任意のデータを任意のアドレスに書き込むことが可能です。

#a および #b の値は動作周波数によって設定が異なります。表 6.11 に従い設定してください。

```

FLMCR:      .EQU      H'FF80
EBR1:       .EQU      H'FF82
EBR2:       .EQU      H'FF83
TCSRW:     .EQU      H'FFBE
TCW:       .EQU      H'FFBF
            .ALIGN    2
PRGM:      MOV.B      #H'**,      R0H          ;
            MOV.B      R0H,      @EBR*:8      ;EBR*セット

            MOV.B      #H'00,      R6L          ;プログラムベリファイフェイルカウンタ
            MOV.W      #H'a,      R5          ;プログラムループカウンタの設定
            MOV.B      R1H,      @R3          ;ダミーライト
PRGMS:     INC        R6L          ;プログラムベリファイフェイルカウンタ
            +1→R6L

            MOV.W      #H'FE5A, R4          ;
            MOV.B      R4L,      @TCSRW:8      ;
            MOV.B      R4H,      @TCW:8        ;
            MOV.B      #H'36,      R4L          ;
            MOV.B      R4L,      @TCSRW:8      ;WDT スタート
            MOV.W      R5,      R4          ;プログラムループカウンタの設定
            BSET      #0,      @FLMCR:8      ;P ビットセット
LOOP1:     SUBS      #1,      R4          ;
            MOV.W      R4,      R4          ;
            BNE      LOOP1          ;WAIT ループ
            BCLR      #0,      @FLMCR:8      ;P ビットクリア
            MOV.B      #H'50,      R4L          ;

```

6. ROM

```
MOV.B    R4L,    @TCSRW:8    ;WDT ストップ

MOV.B    #H'b,   R4H        ;プログラムベリファイルーブカウンタの設定
BSET     #2,     @FLMCR:8    ;PV ビットセット
LOOP2:   DEC     R4H        ;
        BNE     LOOP2      ;WAIT ループ
MOV.B    @R3,    R1L        ;プログラムデータリード
CMP.B    R1H,    R1L        ;プログラムデータとリードデータの比較
BEQ      PVOK    ;プログラムベリファイの判定
BCLR     #2,     @FLMCR:8    ;PV ビットクリア

CMP.B    #H'06,  R6L        ;プログラムベリファイ 6 回実行?
BEQ      NGEND    ;プログラムベリファイ 6 回実行ならば NGEND
                に分岐
ADD.W    R5,     R5        ;プログラム時間×2
BRA      PRGMS    ;再書き込み処理

PVOK:    BCLR     #2,     @FLMCR:8    ;PV ビットクリア
MOV.B    #H'00,  R6L        ;
MOV.B    R6L,    @EBR*:8    ;EBR*クリア
```

1 バイトデータの書き込み完了

NGEND: 書き込み不良

6.7.4 消去モード

フラッシュメモリの消去は、図 6.14 に示す消去アルゴリズムに従い行ってください。この消去アルゴリズムは、デバイスへの電圧ストレス、あるいはプログラムデータの信頼性を損なうことなく、消去を行うことができます。

フラッシュメモリの消去では、消去を開始する前に消去するブロックの全メモリデータが書き込まれた状態（全メモリデータ：H'00）にしてください。全メモリデータが書き込まれた状態でない場合は、後述するシーケンスに従いメモリデータに 0 を書き込んでください。フラッシュメモリの消去するエリアの指定は、消去ブロック指定レジスタ 1、2（EBR1、EBR2）で設定します。FLMCR の E ビットをセットし、動作モードを消去モードに設定します。E ビットをセットしている時間が消去時間になります。消去は、過剰消去にならないよう、1 回の消去時間をソフトウェアタイマで分割し、その合計が 30s を超えないようにしてください。1 回の消去時間は「6.7.6 消去のフローチャートとプログラム例」を参照してください。プログラムの暴走等により、消去し過ぎるとときい値電圧が負になりメモリセルが動作しなくなりますので、消去モードに設定する前に、あらかじめウォッチドッグタイマを設定し、過剰消去を起こすことのないようにしてください。

6.7.5 消去ベリファイモード

消去ベリファイモードは、消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。消去時間経過後、消去モードを解除（E ビット=0）し、消去ベリファイモード（EV ビット=1）に設定してください。消去ベリファイモードは、リードする前にリードするアドレスにデータ H'FF をダミーライトしてください。このダミーライトにより、ラッチしたアドレスのメモリセルに消去ベリファイ電圧が印加されます。この状態でフラッシュメモリをリードするとラッチしたアドレスのデータが読み出されます。リード動作は、ダミーライト後、2 μ s 以上の待機時間を経過した後行ってください。また、最初のダミーライトは消去ベリファイモードに設定後、4 μ s 以上の待機時間を経過した後行ってください。読み出したデータが消去されていた場合、次のアドレスの消去ベリファイ（ダミーライトし、2 μ s 以上の待機時間後、リード）を行います。読み出したデータが未消去の場合は、再度消去モードに設定し、同様に消去、消去ベリファイシーケンスを最終アドレスまで繰り返します。ただし、この消去、消去ベリファイシーケンスの繰り返しは、602 回を超えない範囲で全メモリデータが 1 になるまで行ってください。

6.7.6 消去のフローチャートとプログラム例

(1) 1ブロック消去のフローチャート

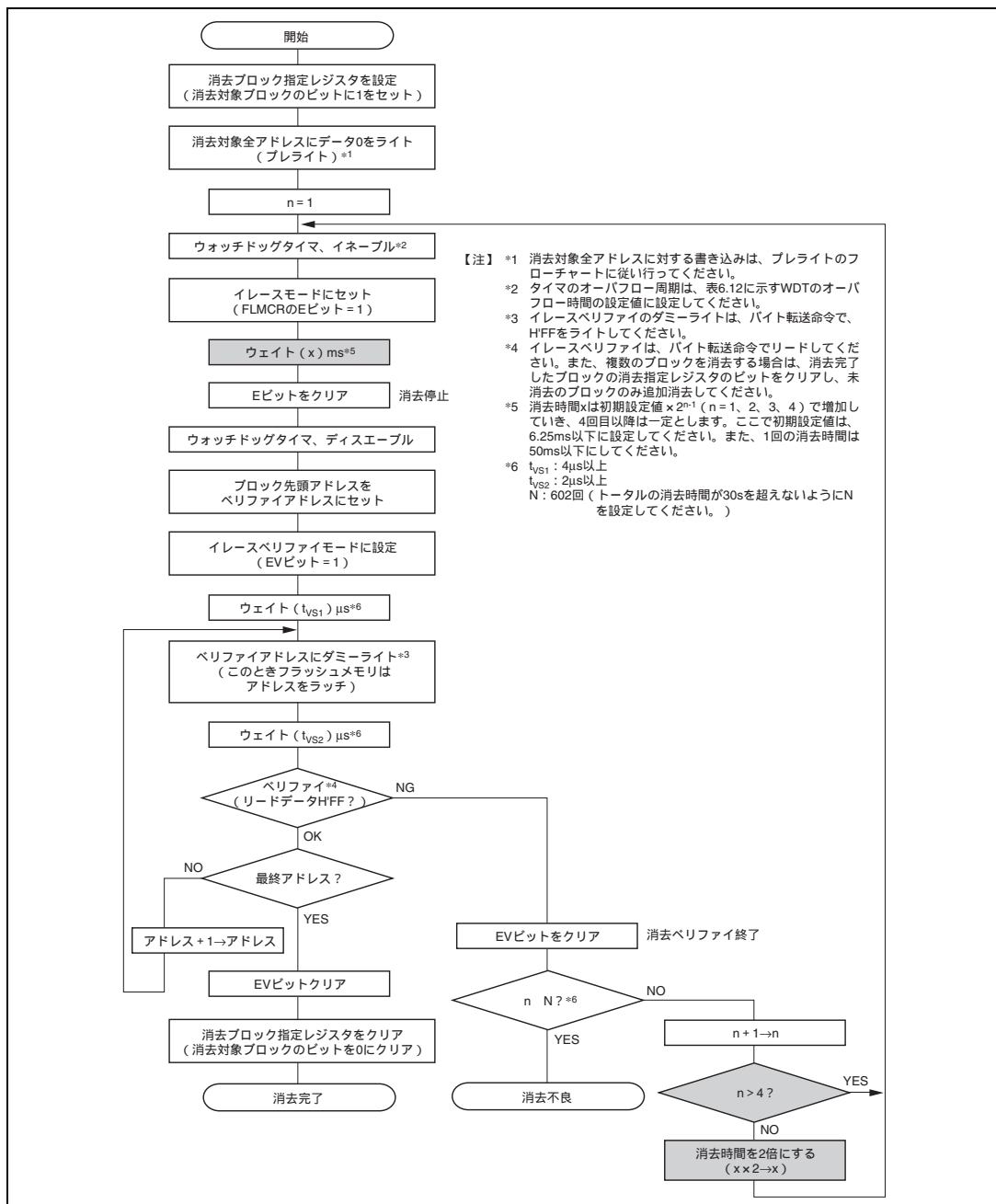


図 6.14 消去フローチャート

(2) プレライトのフローチャート

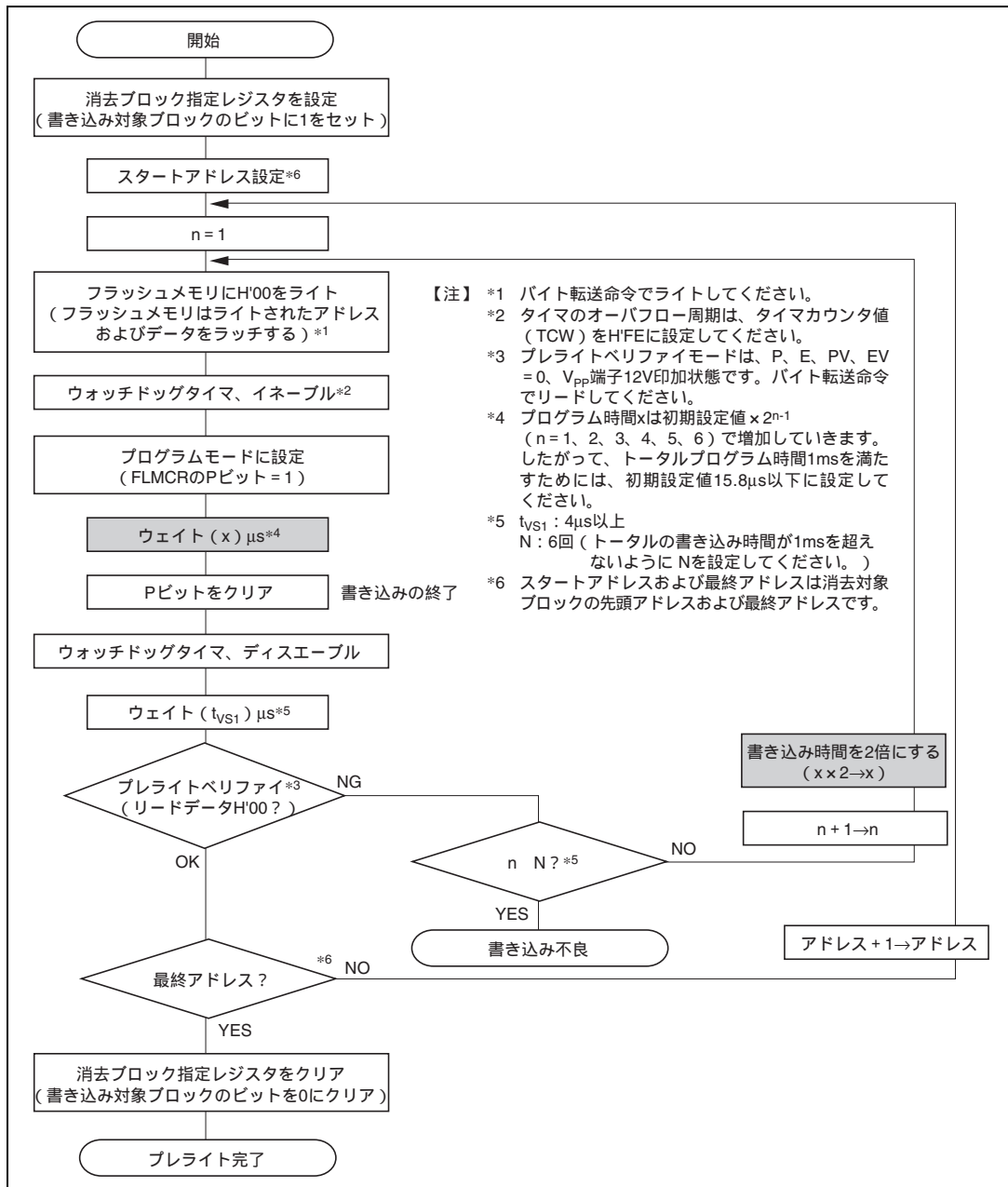


図 6.15 プレライトフローチャート

(3) 1 ブロック消去のプログラム例

使用レジスタと使用方法

- R0 : イレースブロックの指定に用います。
 また、プレライトおよびイレースベリファイに用いるアドレスを格納します。
- R1H : リードデータを格納します。また、ダミーライト時に用います。
- R2 : 消去対象ブロックの最終アドレスを格納します。
- R3 : プレライトおよびイレースベリファイに用いるアドレスを格納します。
- R4 : プレライト、プレライトベリファイ、イレースおよびイレースベリファイのループカウンタ値の設定に用います。また、レジスタの設定値を格納します。
- R5 : プレライトおよびイレースループカウンタ値の設定に用います。
- R6L : プレライトベリファイおよびイレースベリファイフェイルカウントに用います。

プログラム中の#a、#b、#c、#d、#eの値は動作周波数によって設定が異なります。表 6.11 および表 6.12 に従い設定してください。消去ブロック指定レジスタ (EBR1、EBR2) の設定は「6.5.2 消去ブロック指定レジスタ 1 (EBR1)」、「6.5.3 消去ブロック指定レジスタ 2 (EBR2)」に従い設定してください。#BLKSTR、#BLKEND は、設定した消去ブロック指定レジスタに対応する先頭アドレスおよび最終アドレスを、図 6.7 に従い設定してください。

```

FLMCR:      .EQU   H'FF80
EBR1:       .EQU   H'FF82
EBR2:       .EQU   H'FF83
TCSRW:     .EQU   H'FFBE
TCW:       .EQU   H'FFBF

                .ALIGN 2
MOV.B #H'**,      R0H      ;
MOV.B R0H,        @EBR*:8  ; EBR*セット

; #BLKSTR は消去するブロックの先頭アドレスを設定してください。
; #BLKEND は消去するブロックの最終アドレスを設定してください。
MOV.W #BLKSTR,    R0      ; 消去対象ブロックの先頭アドレス
MOV.W #BLKEND,    R2      ; 消去対象ブロックの最終アドレス
ADDS #1,          R2      ; 消去対象ブロック最終アドレス + 1 → R2

; プレライト実行
MOV.W R0,         R3      ; 消去対象ブロックの先頭アドレス
PREWRT: MOV.B #H'00,    R6L    ; プレライトベリファイフェイルカウンタ
MOV.W #H'a,       R5      ; プレライトループカウンタの設定
PREWRS: INC R6L        ; プレライトベリファイフェイルカウンタ +
                        1 → R6L
MOV.B #H'00,      R1H      ;

```

```

MOV.B R1H, @R3 ; H'00 をライト
MOV.W #H'FE5A, R4 ;
MOV.B R4L, @TCSRW:8 ;
MOV.B R4H, @TCW:8 ;
MOV.B #H'36, R4L ;
MOV.B R4L, @TCSRW:8 ; WDT スタート
MOV.W R5, R4 ; プレライトループカウンタの設定
BSET #0, @FLMCR:8 ; P ビットセット
LOOPR1: SUBS #1, R4 ;
MOV.W R4, R4 ;
BNE LOOPR1 ; WAIT ループ
BCLR #0, @FLMCR:8 ; P ビットクリア
MOV.B #H'50, R4L ;
MOV.B R4L, @TCSRW:8 ; WDT ストップ
MOV.B #H'c, R4H ; プレライトベリファイループカウンタの設定
LOOPR2: DEC R4H ;
BNE LOOPR2 ; WAIT ループ
MOV.B @R3, R1H ; リードデータ = H'00 ?
BEQ PWVFOK ; リードデータ = H'00 ならば PWVFOK に分岐
CMP.B #H'06, R6L ; プレライトベリファイ 6 回実行 ?
BEQ ABEND1 ; プレライトベリファイ 6 回実行ならば
ABEND1 に分岐
ADD.W R5, R5 ; プログラム時間 × 2
BRA PREWRS ; 再プレライト処理

ABEND1: 書き込み不良

PWVFOK: ADDS #1, R3 ; アドレス + 1 → R3
CMP.W R2, R3 ; 最終アドレス ?
BNE PREWRT ; 最終アドレスでなければ次のアドレスの
プレライト

; イレース実行
ERASES: MOV.W #H'0000, R6 ; イレースベリファイフェイルカウンタ
MOV.W #H'd, R5 ; イレースループカウンタの設定
ERASE: ADDS #1, R6 ; イレースベリファイフェイルカウンタ
+ 1 → R6
MOV.W #H'e5A, R4 ;
MOV.B R4L, @TCSRW:8 ;
MOV.B R4H, @TCW:8 ;

```

6. ROM

```

MOV.B #H'36, R4L ;
MOV.B R4L, @TCSRW:8 ; WDT スタート
MOV.W R5, R4 ; イレースループカウンタの設定
BSET #1, @FLMCR:8 ; E ビットセット
LOOPE: NOP
NOP
NOP
NOP
SUBS #1, R4 ;
MOV.W R4, R4 ;
BNE LOOPE ; WAIT ループ
BCLR #1, @FLMCR:8 ; E ビットクリア
MOV.B #H'50, R4L ;
MOV.B R4L, @TCSRW:8 ; WDT ストップ

; イレースベリファイ実行
MOV.W R0, R3 ; 消去対象ブロックの先頭アドレス
MOV.B #H'b, R4H ; イレースベリファイループカウンタの設定
BSET #3, @FLMCR:8 ; EV ビットセット
LOOPEV: DEC R4H ;
BNE LOOPEV ; WAIT ループ
EVR2: MOV.B #H'FF, R1H ;
MOV.B R1H, @R3 ; ダミーライト
MOV.B #H'c, R4H ; イレースベリファイループカウンタの設定
LOOPDW: DEC R4H ;
BNE LOOPDW ; WAIT ループ
MOV.B @R3+, R1H ; リード
CMP.B #H'FF, R1H ; リードデータ = H'FF?
BNE RERASE ; リードデータ H'FF ならば RERASE に分岐
CMP.W R2, R3 ; ブロック最終アドレス?
BNE EVR2 ;
BRA OKEND ;

RERASE: BCLR #3, @FLMCR:8 ; EV ビットクリア
SUBS #1, R3 ; イレースベリファイアドレス - 1→R3
MOV.W #H'0004, R4 ;
CMP.W R4, R6 ; イレースベリファイフェイルカウント 4 回
実行?
BPL BRER ; R6 4 ならば BRER に分岐 (R6 = 4 ~ 602
まで分岐)

```

```
ADD.W R5, R5 ; R6 < 4 ならばイレース時間×2 (R6 = 1, 2, 3
              のみ実行)

BRER: MOV.W #H'025A, R4 ;
      CMP.W R4, R6 ; イレースベリファイ 602 回実行?
      BNE ERASE ; イレースベリファイ 602 回実行してなければ
                再消去
      BRA ABEND2 ; イレースベリファイ 602 回実行ならば
                ABEND2 に分岐

OKEND: BCLR #3, @FLMCR:8 ; EV ビットクリア
       MOV.B #H'00, R6L ;
       MOV.B R6L, @EBR*:8 ; EBR*クリア
```

1 ブロック消去完了

ABEND2: 消去不良

(4) 複数ブロック消去のフローチャート

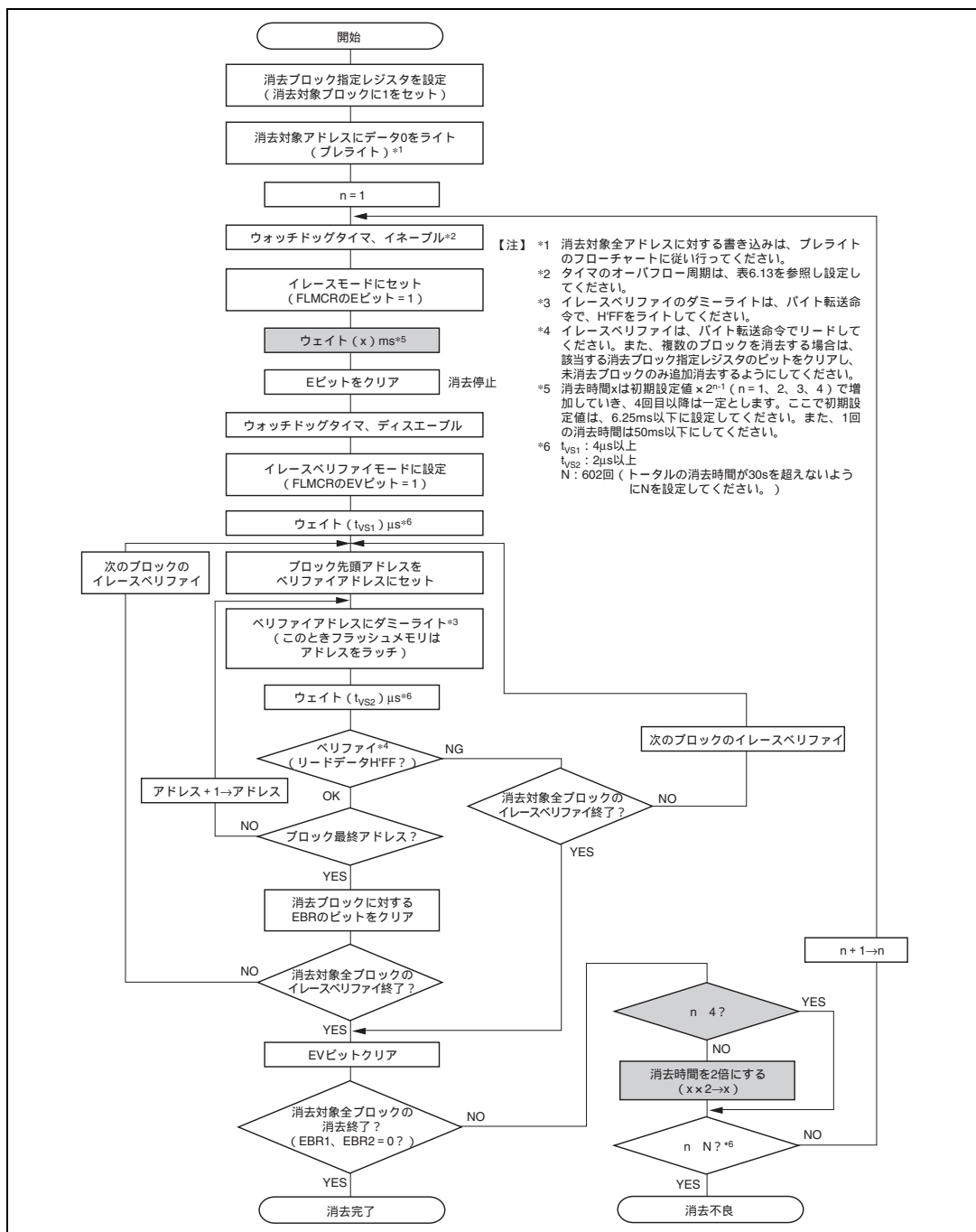


図 6.16 複数ブロック消去フローチャート

(5) 複数ブロック消去のプログラム例

使用レジスタと使用方法

- R0 : イレースブロックの指定に用います。(後述の説明に従い設定してください。)
 また、プレライトおよびイレースベリファイに用いるアドレスを格納します。
- R1H : R0の8ビットから11ビットをテストするのに使用します。
 リードデータを格納し、ダミーライト時に用います。
- R1L : R0の0ビットから11ビットをテストするのに使用します。
- R2 : プレライトおよびイレースベリファイに用いるアドレス格納番地を指定します。
- R3 : プレライトおよびイレースベリファイに用いるアドレスを格納します。
- R4 : 消去対象ブロックの最終アドレスを格納します。
- R5 : プレライトおよびイレースループカウンタ値の設定に用います。
- R6L : プレライトベリファイおよびイレースベリファイフェイルカウントに用います。

R0に設定する値により、任意のブロックを消去することが可能です。R0の設定はワード転送命令でライトしてください。

R0の各ビットと、消去するブロックの対応とその具体例を以下に示します。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	LB3	LB2	LB1	LB0	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0
	EBR1に対応します								EBR2に対応します							

【注】ビット15～12には0を設定してください。

【具体例】LB2、SB7、SB0を消去する場合

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	LB3	LB2	LB1	LB0	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0
	EBR1に対応します								EBR2に対応します							
	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0	1

R0の設定は次のようになります。

```
MOV.W    #H'0481,    R0
MOV.B    R0H,        @EBR1
MOV.B    R0L,        @EBR2
```

プログラム中の#a、#b、#c、#d、#eの値は動作周波数によって設定が異なります。表6.11および表6.12に従い設定してください。

- 【注】1. 本プログラム例ではスタックポインタ(SP)をH'FF80番地に設定しています。スタック領域として内蔵RAMのH'FF7E番地とH'FF7F番地を使用しています。したがって、本プログラム例を実行する場合、H'FF7E番地とH'FF7F番地は使用しないでください。また、内蔵RAMをディスエーブルしないでください。
2. 本プログラム例は、ROM領域に書かれた本プログラムを、一度RAM領域に転送し、転送先のRAM領域内で実行されることを前提としています。プログラム例中の#RAMSTR

6. ROM

は転送先である RAM 領域の先頭アドレスをいれてください。また、#RAMSTR は必ず偶数に設定してください。

```
FLMCR:      .EQU    H'FF80
EBR1:       .EQU    H'FF82
EBR2:       .EQU    H'FF83
TCSRW:     .EQU    H'FFBE
TCW:       .EQU    H'FFBF
STACK:     .EQU    H'FF80

                .ALIGN 2
START:      MOV.W   #STACK,    SP        ; スタックポインタの設定

; 前ページの説明に従い R0 の値を設定してください。本プログラムは全ブロック消去
; の例となっています。
                MOV.W   #H'0FFF,    R0        ; 消去するブロックの選択 (R0:EBR1/EBR2)
                MOV.B   R0H,        @EBR1    ; EBR1 セット
                MOV.B   R0L,        @EBR2    ; EBR2 セット

; #RAMSTR はプログラム転送先の先頭アドレス (RAM) を入れてください。
; #RAMSTR は偶数に設定してください。
                MOV.W   #RAMSTR,    R2        ; 転送先の先頭アドレス (RAM)
                MOV.W   #ERVADR,    R3        ;
                ADD.W   R3,          R2        ; #RAMSTR + #ERVADR → R2
                MOV.W   #START,    R3        ;
                SUB.W   R3,          R2        ; RAM 内で用いるデータ領域のアドレス

                MOV.B   #H'00,      R1L      ; R0 の R1L ビットをテストするのに用いる
PRETST:     CMP.B   #H'0C,      R1L      ; R1L = H'0C ?
                BEQ     ERASES      ; R0 の全ビットチェック終了なら ERASES に
                ; 分岐
                CMP.B   #H'08,      R1L      ;
                BMI     EBR2PW      ; R1L ≥ 8 なら EBR1、R1L < 8 なら EBR2 の
                ; テスト
                MOV.B   R1L,        R1H      ;
                SUBX   #H'08,      R1H      ; R1L - 8 → R1H
                BTST   R1H,        R0H      ; EBR1 (R0H) の R1H ビットをテスト
                BNE     PREWRT      ; EBR1(R0H) の R1H ビットが 1 ならば PREWRT
                ; に分岐
```



```

        BRA                PWADD1        ; EBR1(R0H)のR1Hビットが0ならばPWADD1
                                         ; に分岐
EBR2PW:  BTST             R1L,          R0L        ; EBR2 (R0L)のR1Lビットをテスト
        BNE             PREWRT          ; EBR2(R0L)のR1Lビットが1ならばPREWRT
                                         ; に分岐
PWADD1:  INC             R1L            ; R1L+1→R1L
        MOV.W          @R2+,          R3          ; R2のダミーインクリメント
        BRA             PRETST          ;

; プレライト実行
PREWRT:  MOV.W          @R2+,          R3          ; プレライトスタートアドレス
PREW:    MOV.B          #H'00,         R6L        ; プレライトベリファイフェイルカウンタ
        MOV.W          #H'a,          R5          ; プレライトループカウンタの設定
PREWRS:  INC             R6L            ; プレライトベリファイフェイルカウンタ
                                         ; +1→R6H
        MOV.B          #H'00          R1H        ;
        MOV.B          R1H,          @R3        ; H'00をライト
        MOV.W          #H'FE5A,       R4          ;
        MOV.B          R4L,          @TCSRW:8   ;
        MOV.B          R4H,          @TCW:8     ;
        MOV.B          #H'36,         R4L        ;
        MOV.B          R4L,          @TCSRW:8   ; WDTスタート
        MOV.W          R5,            R4          ; プレライトループカウンタの設定
        BSET          #0,            @FLMCR:8   ; Pビットセット

LOOPR1:  SUBS          #1,            R4          ;
        MOV.W          R4,            R4          ;
        BNE             LOOPR1          ; WAITループ
        BCLR          #0,            @FLMCR:8   ; Pビットクリア
        MOV.B          #H'50,         R4L        ;
        MOV.B          R4L,          @TCSRW:8   ; WDTストップ
        MOV.B          #H'b,         R4H        ; プレライトベリファイループカウンタの設定

LOOPR2:  DEC             R4H            ;
        BNE             LOOPR2          ; WAITループ
        MOV.B          @R3,          R1H        ; リードデータ=H'00?
        BEQ             PWVFOK        ; リードデータ=H'00ならばPWVFOKに分岐
        CMP.B          #H'06,         R6L        ; プレライトベリファイ6回実行?
        BEQ             ABEND1        ; プレライトベリファイ6回実行ならば
                                         ; ABEND1に分岐

```

6. ROM

```

ADD.W   R5,          R5          ; プログラム時間×2
BRA     PREWRS      ; 再ブレライト処理

ABEND1: ;書き込み不良

PWVFOK: ADDS   #1,          R3          ; アドレス+1→R3
        MOV.W  @R2,        R4          ; 次ブロック先頭アドレス
        CMP.W  R4,          R3          ; 最終アドレス?
        BNE   PREW          ; 最終アドレスでなければ次アドレスの
                           ; ブレライト

PWADD2: INC    R1L          ; R0 の R1L+1 ビットをテストするのに用いる
        BRA   PRETST      ; PRETST に分岐

; イレース実行
ERASES: MOV.W  #H'0000,    R6          ; イレースベリファイフェイルカウンタ
        MOV.W  #H'd,      R5          ; イレースループカウンタの設定
ERASE:  ADDS   #1,          R6          ; イレースベリファイフェイルカウンタ
                           ; +1→R6
        MOV.W  #H'e5A,    R4          ;
        MOV.B  R4L,        @TCSRW:8   ;
        MOV.B  R4H,        @TCW:8     ;
        MOV.B  #H'36,     R4L          ;
        MOV.B  R4L,        @TCSRW:8   ; WDT スタート
        MOV.W  R5,          R4          ; イレースループカウンタの設定
        BSET  #1,          @FLMCR:8   ; E ビットセット
LOOPE:  NOP
        NOP
        NOP
        NOP
        SUBS  #1,          R4          ;
        MOV.W  R4,          R4          ;
        BNE   LOOPE        ; WAIT ループ
        BCLR  #1,          @FLMCR:8   ; E ビットクリア
        MOV.B  #H'50,     R4L          ;
        MOV.B  R4L,        @TCSRW:8   ; WDT ストップ

; イレースベリファイ実行
EVR:    MOV.W  #RAMSTR, R2 ; 転送先の先頭アドレス (RAM)
        MOV.W  #ERVADR, R3 ;

```

	ADD.W	R3,	R2	; #RAMSTR + #ERVADR→R2
	MOV.W	#START,	R3	;
	SUB.W	R3,	R2	; RAM 内で用いるデータ領域のアドレス
	MOV.B	#H'00,	R1L	; R0 の R1L ビットをテストするのに用いる
	MOV.B	#H'b,	R4H	; イレースベリファイループカウンタの設定
	BSET	#3,	@FLMCR:8	; EV ビットセット
LOOPEV:	DEC	R4H		;
	BNE	LOOPEV		; WAIT ループ
EBRTST:	CMP.B	#H'0C,	R1L	; R1L=H'0C?
	BEQ	HANTEI		; R0 の全ビットチェック終了なら HANTEI に分岐
	CMP.B	#H'08,	R1L	;
	BMI	EBR2EV		; R1L 8 なら EBR1、R1L<8 なら EBR2 のテスト
	MOV.B	R1L,	R1H	;
	SUBX	#H'08,	R1H	; R1L - 8→R1H
	BTST	R1H,	R0H	; EBR1 (R0H) の R1H ビットをテスト
	BNE	ERSEVF		; EBR1(R0H) の R1H ビットが 1 ならば ERSEVF に分岐
	BRA	ADD01		; EBR1(R0H) の R1H ビットが 0 ならば ADD01 に分岐
EBR2EV:	BTST	R1L,	R0L	; EBR2 (R0L) の R1L ビットをテスト
	BNE	ERSEVF		; EBR2(R0L) の R1L ビットが 1 ならば ERSEVF に分岐
ADD01:	INC	R1L		; R1L + 1→R1L
	MOV.W	@R2+,	R3	; R2 のダミーインクリメント
	BRA	EBRTST		;
ERASE1:	BRA	ERASE		; ERASE1 経由で ERASE へ分岐
ERSEVF:	MOV.W	@R2+,	R3	; イレースベリファイするブロック先頭アドレス
EVR2:	MOV.B	#H'FF,	R1H	;
	MOV.B	R1H,	@R3	; ダミーライト
	MOV.B	#H'c,	R4H	; イレースベリファイループカウンタの設定
LOOPEP:	DEC	R4H		;
	BNE	LOOPEP		; WAIT ループ
	MOV.B	@R3+,	R1H	; リード
	CMP.B	#H'FF,	R1H	; リードデータ = H'FF?
	BNE	BLKAD		; リードデータ H'FF ならば BLKAD に分岐

6. ROM

```

MOV.W  @R2,      R4      ; 次ブロック先頭アドレス
CMP.W  R4,       R3      ; ブロック最終アドレス?
BNE    EVR2      ;

CMP.B  #H'08,    R1L     ;
BMI    SBCLR     ; R1L 8 なら EBR1、R1L<8 なら EBR2 の
                   テスト
MOV.B  R1L,      R1H     ;
SUBX   #H'08,    R1H     ; R1L - 8→R1H
BCLR   R1H,      R0H     ; EBR1 (R0H) の R1H ビットのクリア
BRA    BLKAD     ;
SBCLR: BCLR   R1L,    R0L     ; EBR2 (R0L) の R1L ビットのクリア
BLKAD: INC    R1L      ; R1L + 1→R1L
BRA    EBRTST    ;

HANTEI: BCLR   #3,     @FLMCR:8 ; EV ビットクリア
MOV.B  R0H,      @EBR1:8 ;
MOV.B  R0L,      @EBR2:8 ;
MOV.W  R0,       R4      ;
BEQ    EOWARI    ; EBR1/EBR2 がすべて 0 ならば消去正常終了
MOV.W  #H'0004,  R4      ;
CMP.W  R4,       R6      ; イレースベリファイフェイルカウント 4 回
                   実行?
BPL    BRER      ; R6 4 ならば BRER に分岐 (R6 = 4 ~ 602
                   まで分岐)
ADD.W  R5,       R5      ; R6 < 4 ならばイレース時間 × 2 (R6 = 1, 2, 3
                   のみ実行)

BRER:  MOV.W  #H'025A, R4      ;
CMP.W  R4,       R6      ; イレースベリファイ 602 回実行?
BNE    ERASE1    ; イレースベリファイ 602 回実行してなければ
                   再消去
BRA    ABEND2    ; イレースベリファイ 602 回実行ならば
                   ABEND2 に分岐

```

;****<イレースベリファイ時のブロックアドレステーブル>****

```

.ALIGN      2
ERVADR:  .DATA.W  H'0000      ; SB0
         .DATA.W  H'0080      ; SB1
         .DATA.W  H'0100      ; SB2

```

```

.DATA.W          H'0180      ; SB3
.DATA.W          H'0200      ; SB4
.DATA.W          H'0400      ; SB5
.DATA.W          H'0800      ; SB6
.DATA.W          H'0C00      ; SB7
.DATA.W          H'1000      ; LB0
.DATA.W          H'2000      ; LB1
.DATA.W          H'4000      ; LB2
.DATA.W          H'6000      ; LB3
.DATA.W          H'8000      ; FLASH END

```

```

EOWARI:          ;消去完了
ABEND2:         ;消去不良

```

(6) プログラム中のループカウンタ値および WDT オーバフロー時間の設定

プログラム例中の#a、#b、#c、#d、#e は動作周波数によって設定が変わります。代表的な動作周波数に対するループカウンタの設定例を表 6.11 に示します。ただし、#e に関しては表 6.12 のように設定をしてください。

ソフトウェアループを使用しているため、誤差を含んでおり計算値と実時間が一致しない場合があります。したがって、書き込み時間は合計で 1ms、消去時間は合計で 30s を超えないように設定しています。

プログラム例中の書き込み最大回数は N=6 に設定してあります。

プログラム例中の#a、#b、#c、#d を表 6.11 に従い設定することにより、フローチャートに従った書き込みおよび消去が実現されます。#e に関しては表 6.12 に従って設定してください。

本プログラム例ではウェイトステートの挿入を禁止しています。ウェイトステートを使用する場合は、本プログラムが終了後に設定してください。

ウォッチドッグタイマ (WDT) のオーバフロー時間の設定値は、WDT スタートからストップまでの間の書き込み時間、消去時間を含んだ命令数で計算されています。このため、このプログラム例中の WDT スタートからストップまでの間にさらに命令を追加しないでください。

表 6.11 プログラム例が内蔵メモリ (RAM) で実行される場合の、代表的な動作周波数に対する #a、#b、#c、#d の設定値

変数の意味		設定時間	発振周波数			
			$f_{osc} = 16\text{MHz}$	$f_{osc} = 10\text{MHz}$	$f_{osc} = 8\text{MHz}$	$f_{osc} = 2\text{MHz}$
			動作周波数			
			$\phi = 8\text{MHz}$	$\phi = 5\text{MHz}$	$\phi = 4\text{MHz}$	$\phi = 1\text{MHz}$
			カウンタ設定値	カウンタ設定値	カウンタ設定値	カウンタ設定値
a (ϕ)	プログラム時間 (初期設定値)	15.8 μs	H'000F	H'0009	H'0007	H'0001
b (ϕ)	tv _{s1}	4 μs	H'06	H'04	H'03	H'01
c (ϕ)	tv _{s2}	2 μs	H'03	H'02	H'01	H'01
d (ϕ)	消去時間 (初期設定値)	6.25ms	H'0C34	H'07A1	H'061A	H'0186

計算式

表 6.11 以外の動作周波数を用いる場合は、以下の計算式に従い算出してください。計算は動作周波数 $\phi = 5\text{MHz}$ を基準とします。

$a(\phi)$ および $d(\phi)$ はそれぞれ $15.8\mu\text{s}$ 以下、 6.25ms 以下になるよう、10 進で計算後、小数点第一位を切り捨ててから 16 進に変換してください。

$b(\phi)$ および $c(\phi)$ はそれぞれ $4\mu\text{s}$ 以上、 $2\mu\text{s}$ 以上になるよう、10 進で計算後、小数点第一位を切り上げてから 16 進に変換してください。

$$a(\phi) \sim d(\phi) = \frac{\text{動作周波数 [MHz]}}{5} \times a(\phi = 5) \sim d(\phi = 5)$$

計算例

プログラム例を内蔵メモリ (RAM)、動作周波数 6MHz で実行する場合の計算例

$$a(\phi) = \frac{6}{5} \times 9 = 10.8 \quad 10 = \text{H}'000\text{A}$$

$$b(\phi) = \frac{6}{5} \times 4 = 4.8 \quad 5 = \text{H}'05$$

$$c(\phi) = \frac{6}{5} \times 2 = 2.4 \quad 3 = \text{H}'03$$

$$d(\phi) = \frac{6}{5} \times 1953 = 2343.6 \quad 2343 = \text{H}'0927$$

表 6.12 WDT オーバフロー時間の設定 (動作周波数による#e の設定値)

変数	発振周波数			
	$f_{\text{osc}} = 16\text{MHz}$	$f_{\text{osc}} = 10\text{MHz}$	$f_{\text{osc}} = 8\text{MHz}$	$f_{\text{osc}} = 2\text{MHz}$
	動作周波数			
	$\phi = 8\text{MHz}$	$\phi = 5\text{MHz}$	$\phi = 4\text{MHz}$	$\phi = 1\text{MHz}$
$e(\phi)$	H'9B	H'DF	H'E5	H'F7

6.7.7 プレライトベリファイモード

プレライトベリファイモードは、消去前にしきい値電圧をそろえるため、全ビットの書き込みに使用するベリファイモードです。

図 6.15 に示すプレライトのアルゴリズムに従って H'00 を書き込み、フラッシュメモリの全データを H'00 にしてください。所定の書き込み時間経過後、書き込みモードを解除 (P ビット=0) し、プレライトベリファイモード (P、E、PV、EV ビット=0) に設定してください。プレライトベリファイモードは、リードしたアドレスのメモリセルにプレライトベリファイ電圧を印加します。この状態でフラッシュメモリをリードすると、リードしたアドレスのデータが読み出されます。リード動作は、プレライトベリファイモードに設定後 $4\mu\text{s}$ 以上の待機時間を置いてください。

【注】 プレライトのプログラム例は、消去フローのプログラム例のプレライトサブルーチンを参照してください。

6.7.8 プロテクトモード

フラッシュメモリに対する書き込み / 消去プロテクトはソフトウェアプロテクトとハードウェアプロテクトの二つのモードがあります。以下にこのプロテクトモードについて解説します。

(1) ソフトウェアプロテクト

ソフトウェアプロテクトではフラッシュメモリコントロールレジスタ (FLMCR) の P ビットおよび E ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。

このプロテクトの詳細を以下に示します。

項目	説明	機能		
		書き込み	消去	ベリファイ*
ブロック指定プロテクト	消去ブロック指定レジスタ (EBR1、EBR2) によりブロック別に書き込み・消去プロテクトの設定が可能。 EBR1 を H'F0、および EBR2 を H'00 に設定すると全ブロックが書き込み・消去プロテクト状態となります。	不可	不可	可

【注】 * プログラムベリファイ、イレースベリファイ、プレライトベリファイの3つのモード。

(2) ハードウェアプロテクト

ハードウェアプロテクトはフラッシュメモリに対する書き込み、消去が強制的に中断、禁止された状態です。このときフラッシュメモリコントロールレジスタ (FLMCR) および消去ブロック指定レジスタ (EBR1、EBR2) の設定はリセットされます。

このハードウェアプロテクト状態の詳細を以下に示します。

項目	説明	機能		
		書き込み	消去	ベリファイ* ¹
プログラム電圧 (V_{pp}) プロテクト	FV_{pp} 端子に 12V が印加されていないときには、FLMCR、EBR1、EBR2 は初期化され、書き込み、消去が禁止された状態になります。このプロテクト状態にするためには V_{pp} 電圧が電源電圧 V_{cc} を超えないようにしてください。 ^{*3}	不可	不可 ^{*2}	不可
リセット、スタンバイプロテクト	リセット (ウォッチドッグタイマリセットを含む) およびスリープ、サブスリープ、ウォッチ、スタンバイ時は FLMCR、EBR1、EBR2 は初期化され、書き込み、消去が禁止された状態になります。ただし、RES 端子によるリセットでは電源投入時は最低 20ms (発振安定時間) ^{*4} の間、RES 端子を Low レベルに保持しないと確実にリセット状態になりません。また、動作中のリセットは最低 10 システムクロック (10 ϕ) サイクルの間 RES 端子を Low レベルに保持する必要があります。	不可	不可 ^{*2}	不可

【注】 *¹ プログラムベリファイ、イレースベリファイ、プレライトベリファイの3つのモード。

*² 全ブロックが消去不可となり、ブロック別の指定はできません。

*³ 詳細については「6.9 フラッシュメモリの書き込み / 消去時の注意」を参照してください。

*⁴ 詳細については「第 13 章 電気的特性」の AC 特性を参照してください。

6.7.9 フラッシュメモリへの書き込み / 消去時の割り込み処理

フラッシュメモリへの書き込み、消去中 (FLMCR の P ビットまたは E ビットがセット) に割り込みが発生すると以下のような動作状態に陥ることがあります。

- (1) 書き込み / 消去中の割り込み例外処理ではベクタリードが正常にできないため、結果としてマイコンが暴走してしまう。
フラッシュメモリへの書き込み、消去中に割り込みが発生しないようにすべての割り込み要因をマスクして使用してください。

6.8 フラッシュメモリの PROM モード (H8/3644F、H8/3643F、H8/3642AF)

6.8.1 PROM モードの設定

内蔵 ROM がフラッシュメモリの H8/3644F、H8/3643F、および H8/3642AF では、フラッシュメモリのプログラム、消去可能なモードとして、オンボードプログラミングモード以外に PROM モードがあります。PROM モードでは、汎用 PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。

6.8.2 メモリマップ

図 6.17 に PROM モード時のメモリマップを示します。

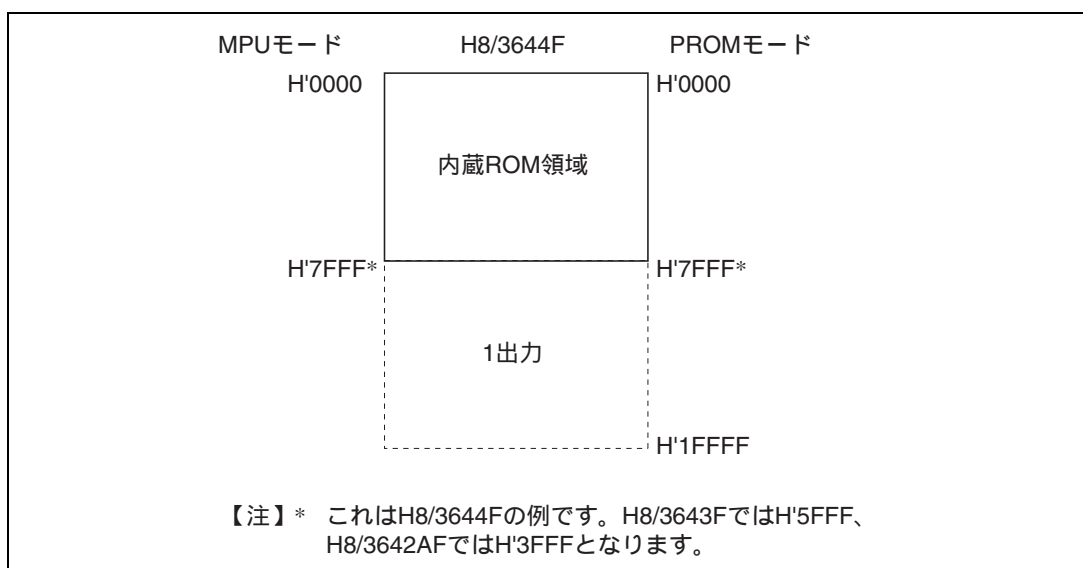


図 6.17 PROM モード時のメモリマップ

6.8.3 PROM モードの動作

PROM モードの書き込み / 消去 / ベリファイなどの仕様は、標準のフラッシュメモリ HN28F101 と同じです。ただし、H8/3644F、H8/3643F、および H8/3642AF は製品識別モードをサポートしていませんのでプログラムにデバイス名を自動設定することができません。表 6.13 に PROM モード時の各動作モードの設定方法を示します。

表 6.13 PROM モード時の各動作モードの設定方法

モード		ピン						
		FV _{PP}	V _{CC}	\overline{CE}	\overline{OE}	\overline{WE}	D ₇ ~D ₀	A ₁₆ ~A ₀
読み出し	読み出し	V _{CC} *	V _{CC}	L	L	H	データ出力	アドレス入力
	アウトプット ディスエーブル	V _{CC} *	V _{CC}	L	H	H	ハイインピー ダンス	
	スタンバイ	V _{CC} *	V _{CC}	H	X	X	ハイインピー ダンス	
コマンド 書き込み	読み出し	V _{PP}	V _{CC}	L	L	H	データ出力	
	アウトプット ディスエーブル	V _{PP}	V _{CC}	L	H	H	ハイインピー ダンス	
	スタンバイ	V _{PP}	V _{CC}	H	X	X	ハイインピー ダンス	
	書き込み	V _{PP}	V _{CC}	L	H	L	データ入力	

【記号説明】

L : Low レベル

H : High レベル

V_{PP} : V_{PP} レベルV_{CC} : V_{CC} レベル

X : 任意

【注】 * これらの状態では FV_{PP} 端子を必ず V_{CC} としてください。V_H : 11.5V V_H 12.5V

表 6.14 PROM モード時の各コマンド

コマンド	サイクル数	第 1 サイクル			第 2 サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出し	1	書き込み	X	H'00	読み出し	RA	Dout
消去設定 / 消去	2	書き込み	X	H'20	書き込み	X	H'20
消去ベリファイ	2	書き込み	EA	H'A0	読み出し	X	EVD
自動消去設定 / 自動消去	2	書き込み	X	H'30	書き込み	X	H'30
プログラム設定 / プログラム	2	書き込み	X	H'40	書き込み	PA	PD
プログラムベリファイ	2	書き込み	X	H'C0	読み出し	X	PVD
リセット	2	書き込み	X	H'FF	書き込み	X	H'FF

【記号説明】

PA = プログラムアドレス、EA = 消去ベリファイアドレス

RA = リードアドレス、PD = プログラムデータ

PVD = プログラムベリファイ出力データ、EVD = 消去ベリファイ出力データ

(1) 高速高信頼度プログラミング

H8/3644F、H8/3643F、および H8/3642AF のフラッシュメモリの未使用領域のデータ(初期値)は、H'FF です。H8/3644F、H8/3643F、および H8/3642AF のフラッシュメモリは、高速高信頼度プログラミング方式を適用しています。この方法は、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく、より高速な書き込みを行うことができます。

図 6.18 に高速高信頼度プログラミング方式の基本的なフローチャートを示します。
また、表 6.15、表 6.16 にプログラミング時の電気的特性表を示します。

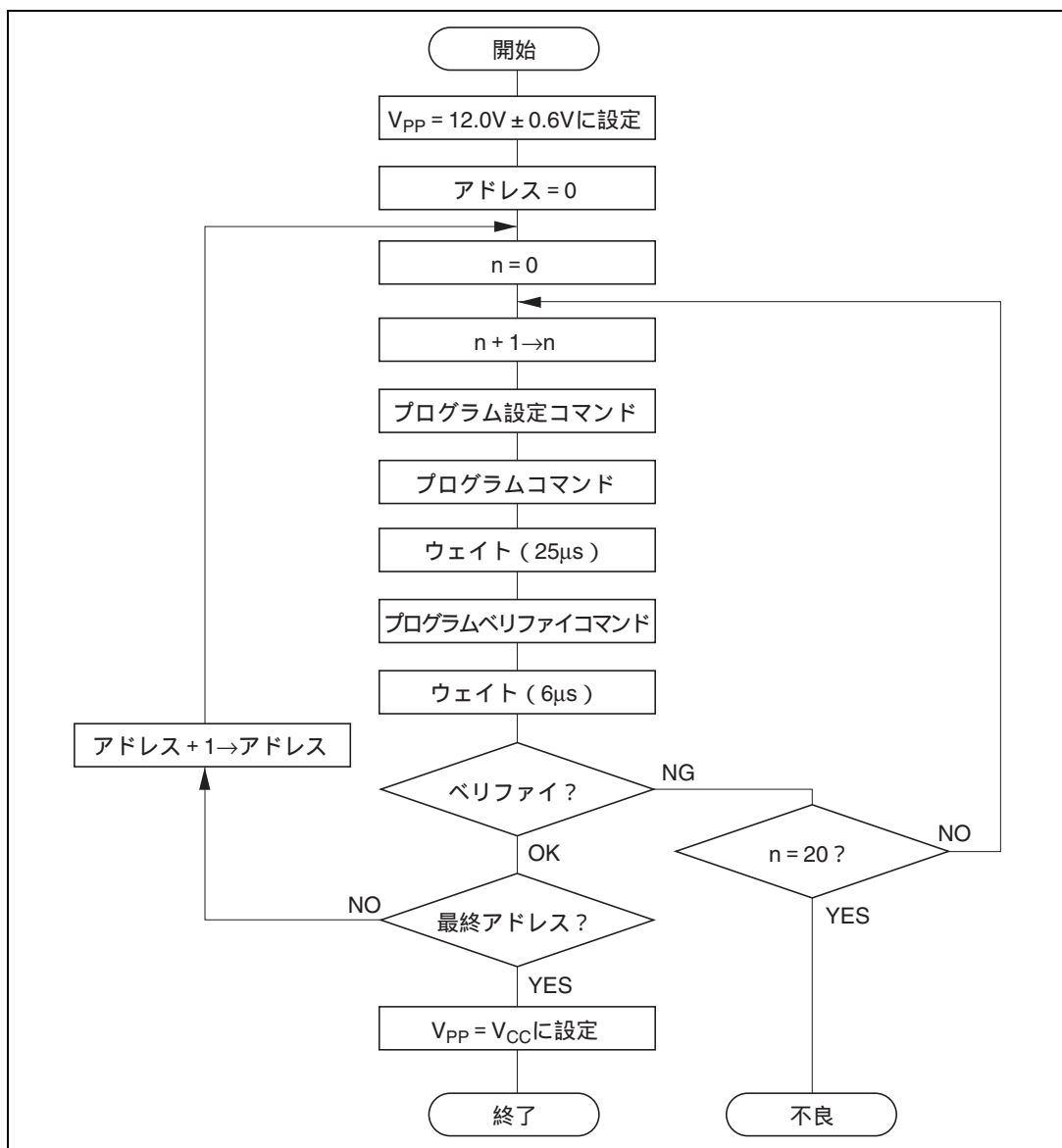


図 6.18 高速高信頼度プログラミング

(2) 高速高信頼度消去

H8/3644F、H8/3643F、およびH8/3642AFのフラッシュメモリは、高速高信頼度消去方式を適用しています。この方法は、デバイスへの電圧ストレスあるいはデータの信頼性を損なうことなく、より高速な消去を行うことができます。

図 6.19 に高速高信頼度消去方式の基本的なフローチャートを示します。

また、表 6.15、表 6.16 に消去時の電気的特性表を示します。

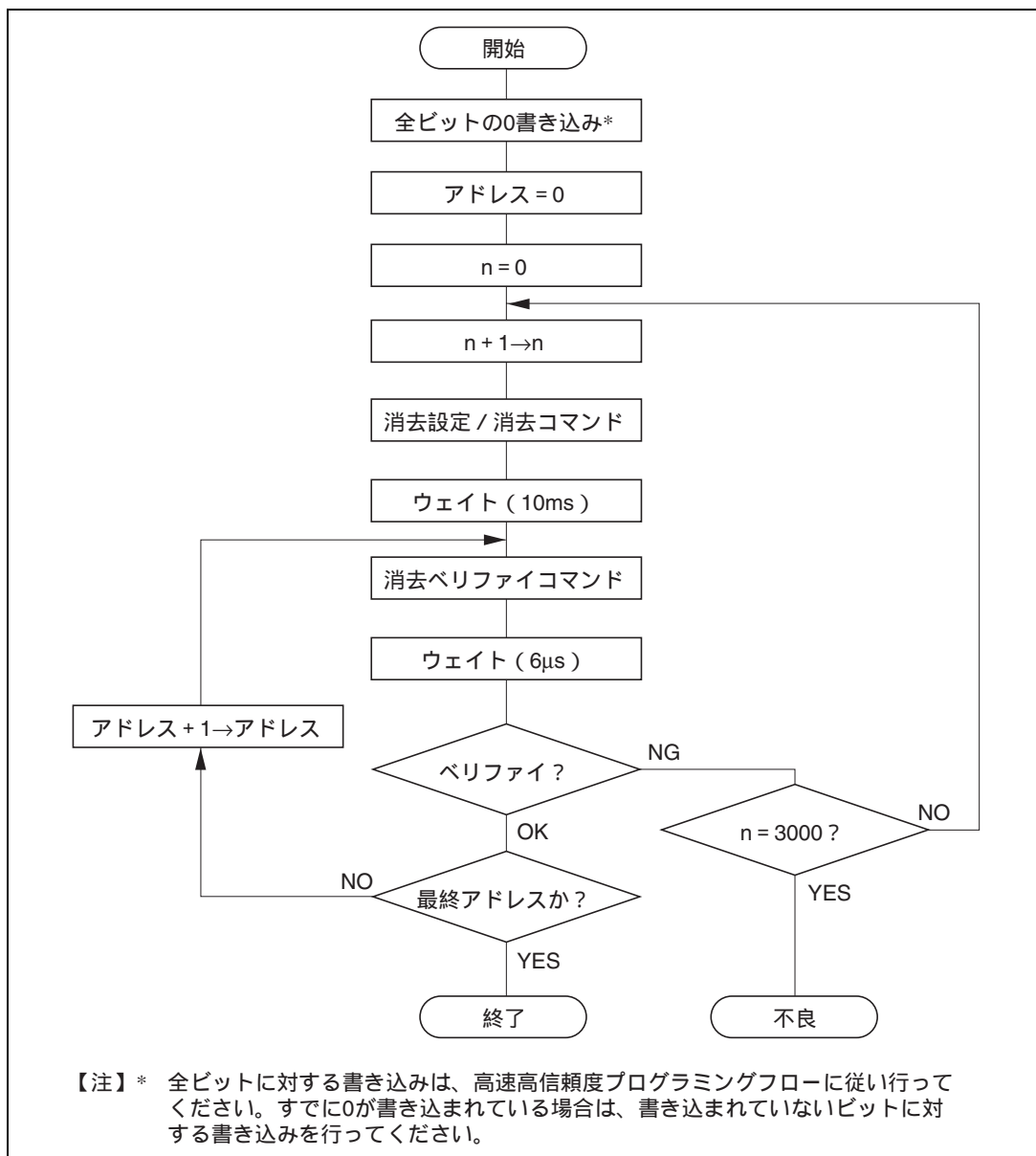


図 6.19 高速高信頼度消去

表 6.15 PROM モード時の DC 特性

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{PP} = 12.0V \pm 0.6V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	min	typ	max	単位	測定条件	
入力 High レベル電圧	$\overline{FO}_7 \sim \overline{FO}_0$ 、 $\overline{FA}_{16} \sim \overline{FA}_0$ 、 \overline{OE} 、 \overline{CE} 、 \overline{WE}	V_{IH}	2.2	-	$V_{CC} + 0.3$	V	
入力 Low レベル電圧	$\overline{FO}_7 \sim \overline{FO}_0$ 、 $\overline{FA}_{16} \sim \overline{FA}_0$ 、 \overline{OE} 、 \overline{CE} 、 \overline{WE}	V_{IL}	-0.3	-	0.8	V	
出力 High レベル電圧	$\overline{FO}_7 \sim \overline{FO}_0$	V_{OH}	2.4	-	-	V $I_{OH} = -200\mu A$	
出力 Low レベル電圧	$\overline{FO}_7 \sim \overline{FO}_0$	V_{OL}	-	-	0.45	V $I_{OL} = 1.6mA$	
入力リーク電流	$\overline{FO}_7 \sim \overline{FO}_0$ 、 $\overline{FA}_{16} \sim \overline{FA}_0$ 、 \overline{OE} 、 \overline{CE} 、 \overline{WE}	$ I_L $	-	-	2	μA $V_{in} = 0 \sim V_{CC}$	
V_{CC} 電流	読み出し時	I_{CC}	-	40	80	mA	
	プログラム時	I_{CC}	-	40	80	mA	
	消去時	I_{CC}	-	40	80	mA	
V_{PP} 電流	読み出し時	I_{PP}	-	-	10	μA	$V_{PP} = 2.7 \sim 5.5V$
			-	10	20	mA	$V_{PP} = 12.6V$
	プログラム時	I_{PP}	-	20	40	mA	$V_{PP} = 12.6V$
	消去時	I_{PP}	-	20	40	mA	$V_{PP} = 12.6V$

6. ROM

表 6.16 PROM モード時の AC 特性

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{PP} = 12.0V \pm 0.6V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	min	typ	max	単位	測定条件
コマンド書き込みサイクル	t_{CWC}	120	-	-	ns	図 6.20
アドレスセットアップ時間	t_{AS}	0	-	-	ns	図 6.21*
アドレスホールド時間	t_{AH}	60	-	-	ns	図 6.22
データセットアップ時間	t_{DS}	50	-	-	ns	
データホールド時間	t_{DH}	10	-	-	ns	
CE セットアップ時間	t_{CES}	0	-	-	ns	
CE ホールド時間	t_{CEH}	0	-	-	ns	
V_{PP} セットアップ時間	t_{VPS}	100	-	-	ns	
V_{PP} ホールド時間	t_{VPH}	100	-	-	ns	
WE 書き込みパルス幅	t_{WEP}	70	-	-	ns	
WE 書き込みパルス High 時間	t_{WEH}	40	-	-	ns	
コマンド書き込み前 \overline{OE} セットアップ時間	t_{OEPS}	0	-	-	ns	
ベリファイ前の \overline{OE} セットアップ時間	t_{OERS}	6	-	-	μs	
ベリファイアクセス時間	t_{VA}	-	-	500	ns	
ステータスポーリング前の \overline{OE} セットアップ時間	t_{OEPS}	120	-	-	ns	
ステータスポーリングアクセス時間	t_{SPA}	-	-	120	ns	
プログラム時の待機時間	t_{PPW}	25	-	-	μs	
消去時の待機時間	t_{ET}	9	-	11	ms	
出力ディエーブル時間	t_{DF}	0	-	40	ns	
自動消去時のトータル時間	t_{AET}	0.5	-	30	s	

【注】 V_{PP} が 5V から 12V に、または、12V から 5V に遷移中は、 \overline{CE} 、 \overline{OE} 、WE ピンは、High レベルにしてください。

- * 入力パルスレベル : 0.45 ~ 2.4V
 入力立ち上がり / 立ち下がり時間 : 10ns
 タイミング参照レベル (入力 : 0.8V、2.0V / 出力 : 0.8V、2.0V)

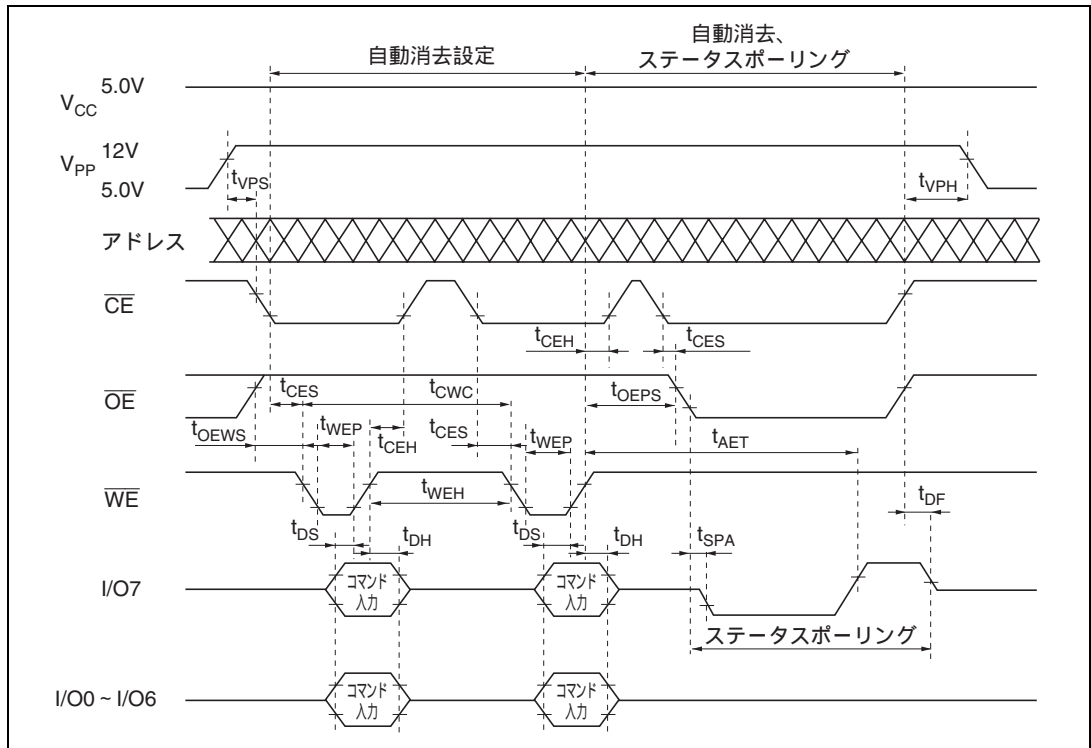


図 6.20 自動消去タイミング

6. ROM

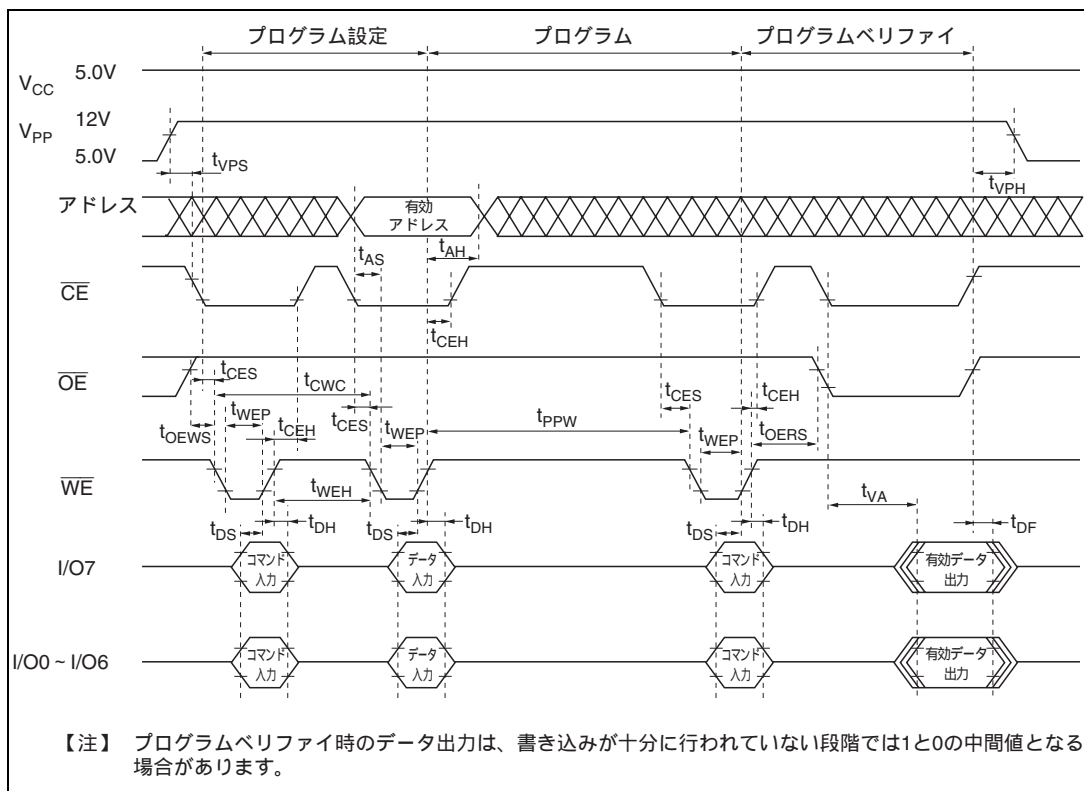


図 6.21 高速高信頼度プログラムタイミング

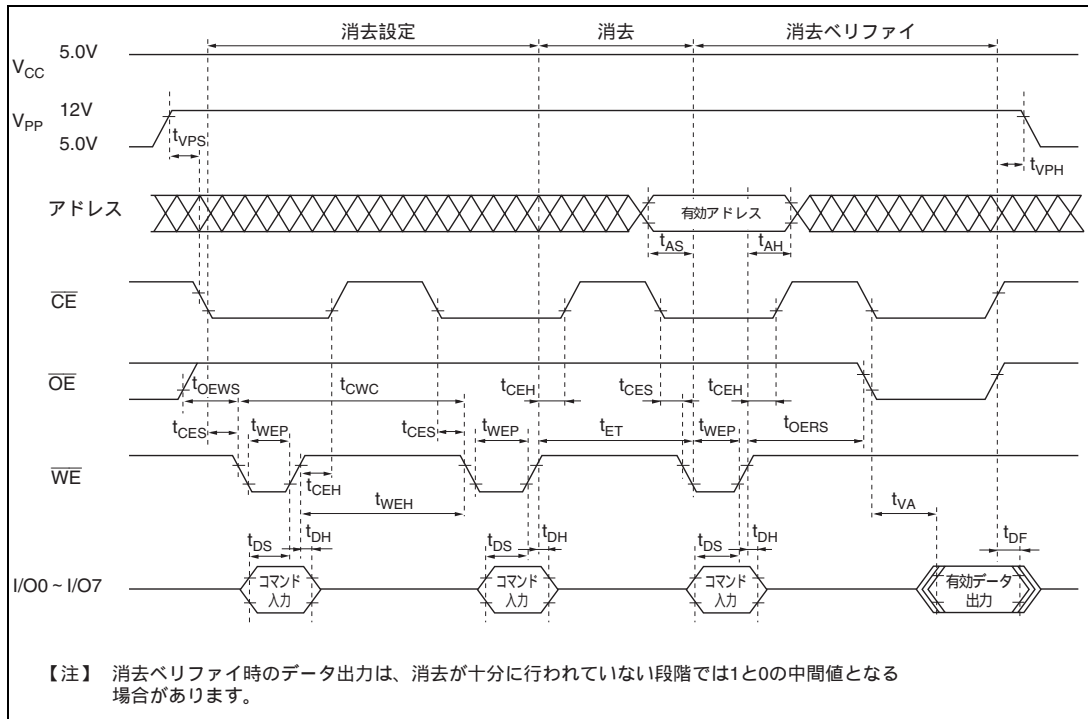


図 6.22 消去タイミング

6.9 フラッシュメモリの書き込み / 消去時の注意

PROM モード、オンボードプログラミングモード使用時の注意事項を示します。

- (1) 規定された電圧、タイミングで書き込みをしてください。
フラッシュメモリの定格プログラム電圧 (V_{pp}) は、12.0Vです。
PROMライタの設定をHN28F101にセットすると V_{pp} を12.0Vにセットできます。
定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。特にPROMライタのオーバシュートのピークが最大定格の13Vを超えないように十分注意してください。
- (2) 書き込み前に、必ず、正しくPROMライタに装着されていることを確認してください。
PROMライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊されることがあります。
- (3) 書き込み中はソケットアダプタや製品に手を触れないでください。
接触不良などにより、書き込み不良となることがあります。
- (4) PROMライタのバッファデータの次のアドレス領域をH'FFにしてください。
H8/3644F : H'8000 ~ H'1FFFF
H8/3643F : H'6000 ~ H'1FFFF
H8/3642AF : H'4000 ~ H'1FFFF

H8/3644FのPROM領域は32Kバイト、H8/3643Fは24Kバイト、H8/3642AFは16Kバイトです。
上記のアドレス領域は常にH'FFなので、ライタのデータをH'FFにしないと、ブロックエラーが発生します。

- (5) プログラム電圧 (V_{pp}) の印加 / 解除 / 切断*時の注意
 - (a) プログラム電圧 (V_{pp}) の印加は V_{cc} 確定後に、 V_{pp} の解除は V_{cc} を切断する前に行ってください。
この電源投入および解除タイミングは、フラッシュメモリへの誤書き込み、誤消去を防止するため V_{pp} の印加 / 解除 / 切断時に以下に示すような状態 (マイコン動作の確定状態) を満足する必要があります。

マイコン動作確定状態

- V_{CC} 電圧が定格電圧 ($V_{CC} = 2.7V \sim 5.5V$) の範囲で安定している状態
マイコンの V_{CC} 電圧が定格電圧 ($V_{CC} = 2.7V \sim 5.5V$) を満足しない状態 ($V_{CC} = 0V$ の状態も含む) で V_{PP} 電圧を印加 / 解除 / 切断すると、マイコン動作が不確定の状態であることから、フラッシュメモリに誤って書き込み / 消去を行ってしまう可能性があります。また、 V_{PP} 印加時は、 V_{CC} 電圧の変動がないようバイパス・コンデンサ挿入等の電源対策を十分に行ってください。
- 発振が安定している状態 (発振安定時間経過後) および、発振が停止していない状態
 V_{CC} 電源投入では、発振安定時間*2 ($t_c = 20ms$) の間、 \overline{RES} 端子を Low レベルに保持した後、 V_{PP} を印加してください。
- リセット中もしくは、リセットが確実に実行された後 (リセット解除後) で、フラッシュメモリをアクセスしていない状態
 V_{PP} の印加 / 解除はリセット中もしくは、CPU がフラッシュメモリをアクセスしていない状態 (内蔵 RAM および外部メモリ空間でのプログラム実行状態) で行ってください。 V_{PP} の印加 / 解除の瞬間にフラッシュメモリのデータを正常に読み出すことができないため、 V_{PP} の印加 / 解除時はフラッシュメモリをリードしないでください。
動作中のリセットでは、最低 10 システムクロック (10ϕ) サイクルの間、 \overline{RES} 端子を Low レベルに保持した後、 V_{PP} の印加 / 解除を行ってください。
- フラッシュメモリコントロールレジスタ (FLMCR) の P ビット、E ビットをクリアした状態
 V_{PP} の印加 / 解除時に、誤って P ビット、E ビットをセットしないでください。
- プログラムが暴走していない状態
 V_{PP} の印加時は、ウォッチドッグタイマ等でプログラム実行状態を監視することが必要です。

この V_{CC} 、 V_{PP} 電源投入および解除タイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。このタイミングが守られない場合には、マイコンの暴走等によって過剰書き込み、過剰消去となりメモリセルが正常に動作しなくなることがありますので十分注意してください。

- (b) V_{PP} フラグは、 FV_{PP} 端子に印加される電圧を判定し、セット / クリアされます。この判定レベル (しきい値電圧) は約 $V_{CC} + 2V \sim 11.4V$ の範囲になっています。
フラグがセットされた時点でフラッシュメモリコントロールレジスタ (FLMCR)、消去ブロック指定レジスタ (EBR1、EBR2) へのライトは可能になりますが、 V_{PP} 電源投入時では V_{PP} 電圧がプログラム電圧 $12.0 \pm 0.6V$ の範囲に確定していない場合があります。このため V_{PP} がプログラム電圧範囲に確定するまでは、実際の書き込み、消去を行わないようにしてください。
書き込み、消去時のプログラム電圧範囲は $12.0 \pm 0.6V$ ($11.4 \sim 12.6V$) です。この範囲を超えると正しい書き込み、消去を行うことはできません。また、書き込み、消去を行わない場合は、誤書き込み、誤消去を防止するため V_{PP} 電圧は電源電圧 V_{CC} を超えないようにしてください。

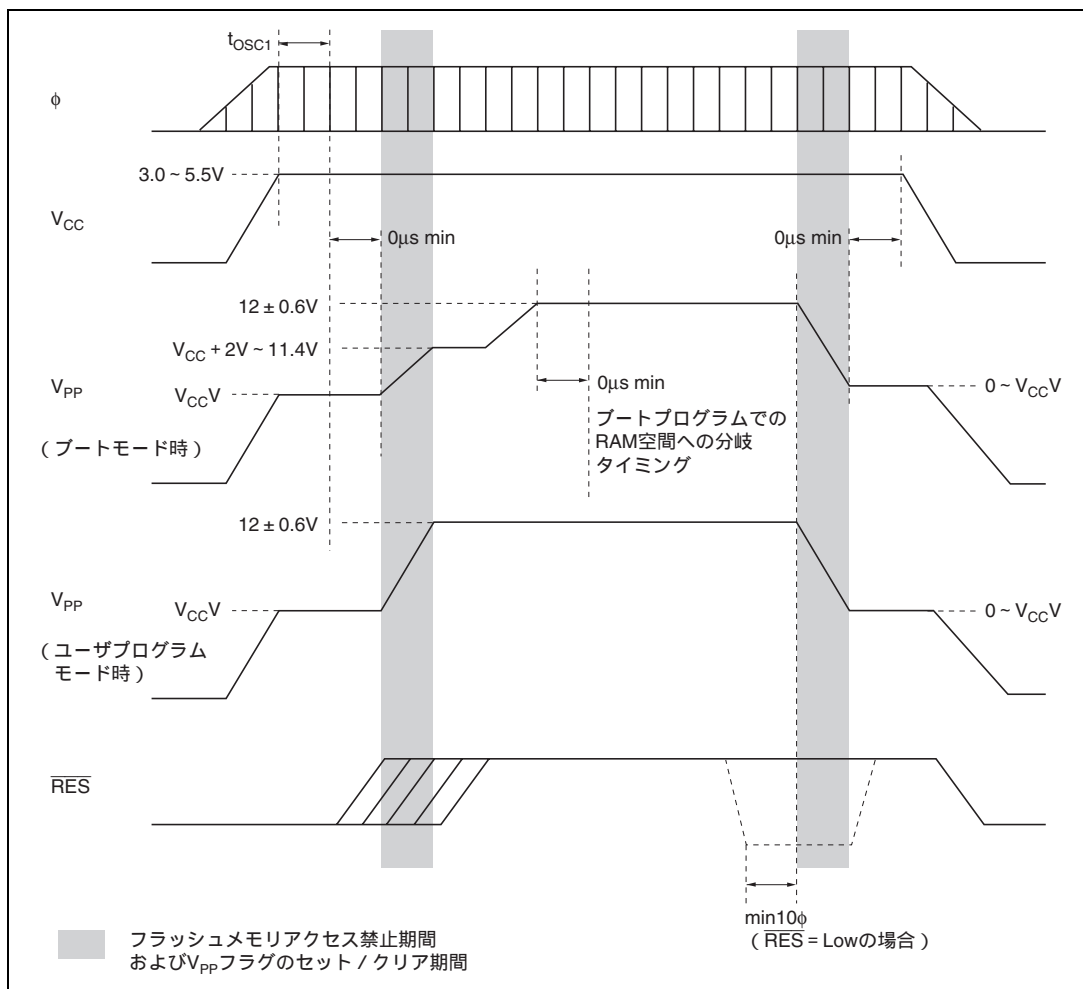
【注】*1 ここで、 V_{PP} の印加 / 解除 / 切断を以下のように定義します。

印加：電圧を V_{CC} から $12 \pm 0.6V$ に上げる。

解除：電圧を $12 \pm 0.6V$ から V_{CC} に下げる。

切断：電圧印加を取りやめる (フローティング状態)。

*2 発振子により時間が異なりますので電気的特性を参照してください。

図 6.23 V_{pp} 電源投入および切断タイミング

- (6) FV_{pp} 端子に常時12Vを印加しないでください。
プログラム暴走等による誤書き込み、誤消去を防止するため、 FV_{pp} 端子に12Vを印加するのは、フラッシュメモリに書き込み、消去を行うときのみとしてください。プログラム暴走等によって過剰書き込み、過剰消去となるとメモリセルが正常に動作しないことがあります。このため、 FV_{pp} 端子に常時12Vを印加するようなシステム構成は避けてください。また、12V印加中においても、過剰書き込み、過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走等に対応できるようにしてください。
- (7) プログラム電圧 (V_{pp}) の電源設計は、電流に余裕をみた回路設計を行ってください。書き込み、消去時の V_{pp} は、 $12.0 \pm 0.6V$ ($11.4V \sim 12.6V$) の範囲を超えないようにしてください。これを超えると消去および書き込みが行えなくなる場合がありますので注意してください。

- (8) FV_{pp} およびTEST端子は、オーバシュートのピークが定格を超えないようにしてください。また、 FV_{pp} およびTEST端子は、できる限り端子の近くにバイパスコンデンサを接続してください。
ブートモード投入時はTEST端子についても同様にバイパスコンデンサを接続してください。

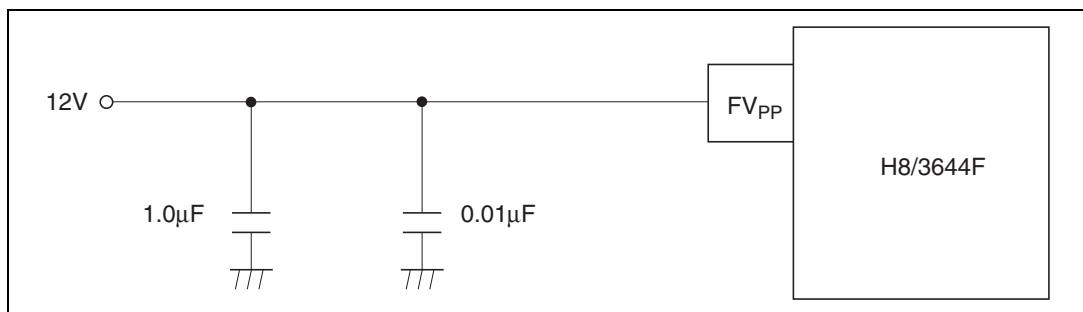


図 6.24 V_{pp} 電源回路設計例

- (9) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。このアルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。
また、フラッシュメモリコントロールレジスタ (FLMCR) のプログラム (P) ビット、およびイレース (E) ビットをセットするときは、規定以上の時間を超えてセットしないよう、あらかじめウォッチドッグタイマを設定してください。
- (10) フラッシュメモリの書き込み中または、消去中の割り込み処理については、「6.7.9 フラッシュメモリへの書き込み / 消去時の割り込み処理」を参照してください。
- (11) フラッシュメモリ制御レジスタ、アクセス時の注意事項
- 各動作モードにおけるフラッシュメモリ制御レジスタへのアクセス状態
H8/3644F、H8/3643F、およびH8/3642AFは、フラッシュメモリの制御レジスタをアドレスH'FF80 (FLMCR)、H'FF82 (EBR1)、H'FF83 (EBR2) に配置しており、これらのレジスタはフラッシュメモリプログラム電源端子 FV_{pp} に12Vが印加された場合にアクセス可能となります。
 - ユーザモードで12V印加 / 非印加を確認する場合
ユーザモードでアドレスH'FF80をアクセスすると、 $FV_{pp} = 12V$ 印加時はFLMCRをリード / ライトリセット後の初期値はH'80となります。一方、12V非印加時はリードすると常にH'FFが読み出され、書き込みは無効となります。このときビット7 (V_{pp} ビットに相当) は、 $FV_{pp} = 12V$ 印加時 / 非印加時いずれの場合も1となるため、このビットのみの1/0判定では $FV_{pp} = 12V$ 印加 / 解除を検出することができません。
12V印加 / 非印加を確認する際は必ずバイトデータを比較し、判定してください。具体的には下記プログラムをご参照ください。

6. ROM

```

      .
      .
      LABEL1: MOV.B  @H'FF80, R1L
              CMP.B  #H'FF, R1L
              BEQ   LABEL1
      .
      .
      .
      FVPP = 12V 印加検出のプログラム例 (ユーザモード)
  
```

表 6.17 フラッシュメモリの DC 特性

条件: $V_{CC} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、 $AV_{REF} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $V_{PP} = 12.0V \pm 0.6V$
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲品)

項目	記号	min	typ	max	単位	測定条件	
高電圧 (12V) 印加判定レベル*	FV_{PP} 、TEST	V_H	$V_{CC} + 2$	-	11.4	V	
FV_{PP} 電流	読み出し時	I_{PP}	-	-	10	μA	$V_{PP} = 2.7 \sim 5.5V$
			-	10	20	mA	$V_{PP} = 12.6V$
	プログラム時		-	20	40	mA	
	消去時		-	20	40	mA	

【注】 * 高電圧印加の判定レベルは、上記の電圧となりますが、ブートモードおよびフラッシュメモリの書き込み/消去時は、 $12.0 \pm 0.6V$ に設定してください。

表 6.18 フラッシュメモリの AC 特性

条件: $V_{CC} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、 $AV_{REF} = 3.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $V_{PP} = 12.0V \pm 0.6V$
 $T_a = -20 \sim +75$ (通常仕様品)、 $T_a = -40 \sim +85$ (広温度範囲品)

項目	記号	min	typ	max	単位	測定条件
書き込み時間* ¹ * ²	t_p	-	50	1000	μs	
消去時間* ¹ * ³	t_E	-	1	30	s	
書き換え回数	N_{WEC}	-	-	100	回	
ベリファイセットアップ時間 1* ¹	t_{VS1}	4	-	-	μs	
ベリファイセットアップ時間 2* ¹	t_{VS2}	2	-	-	μs	
フラッシュメモリリード セットアップ時間* ⁴	t_{FRS}	50	-	-	μs	$V_{CC} = 4.5V$
		100	-	-		$V_{CC} < 4.5V$

- 【注】 *¹ 各時間の設定は、6章に示す書き込み、消去のアルゴリズムに従い、行ってください。
*² バイト当たりの書き込み時間 (フラッシュメモリコントロールレジスタ (FLMCR) の P ビットをセットしている期間) を示します。書き込みベリファイ時間は含まれません。
*³ 全ブロック (32KB) を消去する時間 (フラッシュメモリコントロールレジスタ (FLMCR) の E ビットをセットしている期間) を示します。消去前のプレライト時間と消去ベリファイ時間は含まれません。
*⁴ 外部クロック使用時の電源投入後とプログラム電圧 (V_{PP}) を 12V から V_{CC} 切り替え時は、フラッシュメモリをリードする前にリードセットアップ時間以上置いてからリードしてください。
 V_{PP} 解除時では、 V_{PP} 電圧が $V_{CC} + 2V$ のレベルに達した時点からフラッシュメモリをリードするまでのセットアップ時間を規定します。

7. RAM

7.1 概要

H8/3644 グループは1Kバイトおよび512バイトの高速スタティックRAMを内蔵しています。RAMは16ビット幅のデータバスでCPUと接続されており、バイトデータおよびワードデータにかかわらず2ステートの高速アクセスが可能です。

7.1.1 ブロック図

RAMのブロック図を図7.1に示します。

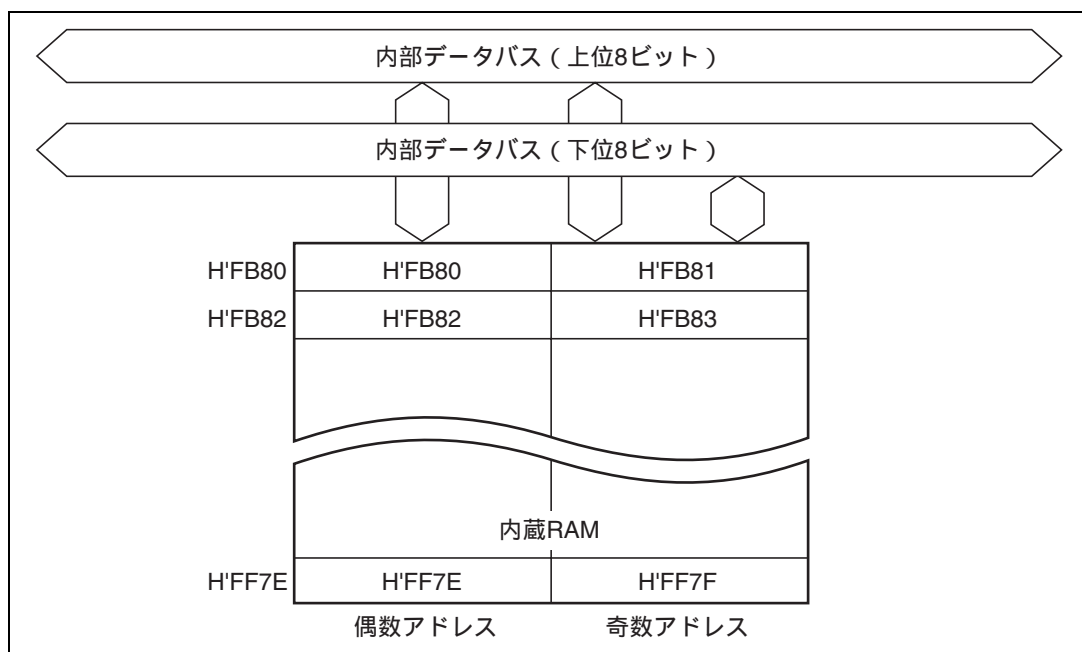


図 7.1 RAMのブロック図

8. I/O ポート

8.1 概要

本 LSI は、8 ビット入出力ポートを 3 本、5 ビット入出力ポートを 3 本、3 ビット入出力ポートを 2 本、8 ビット入力専用ポートを 1 本備えています。

各ポートの機能一覧を表 8.1 に示します。

各ポートは、入出力を制御するポートコントロールレジスタ (PCR) と、出力データを格納するポートデータレジスタ (PDR) から構成され、ビット単位に入出力を制御できます。PCR、PDR に対してのビット操作命令の実行については、「2.9.2 ビット操作命令使用上の注意事項」を参照してください。

各ポートのブロック図は「C. I/O ポートブロック図」を参照してください。

8. I/O ポート

表 8.1 ポートの機能

ポート	概要	端子	兼用機能	機能切り替え 制御レジスタ
ポート 1	<ul style="list-style-type: none"> 5 ビット入出力ポート 入力プルアップ MOS 選択可 	P1 ₇ /IRQ ₃ /TRGV	外部割り込み 3、タイマ V トリガ入力	PMR1
		P1 ₆ 、P1 ₅ /IRQ ₂ 、 IRQ ₁	外部割り込み 2、1	
		P1 ₄ /PWM	14 ビット PWM 出力	
ポート 2	<ul style="list-style-type: none"> 3 ビット入出力ポート 	P1 ₀ /TMOW	タイマ A クロック出力	PMR1
		P2 ₇ /TxD	SCI3 データ出力	PMR7
		P2 ₆ /RxD	SCI3 データ入力	SCR3
ポート 3	<ul style="list-style-type: none"> 3 ビット入出力ポート 入力プルアップ MOS 選択可 	P2 ₅ /SCK ₁	SCI3 クロック入出力	SCR3、SMR
		P3 ₂ /SO ₁	SCI1 データ出力 (SO ₁)、データ入力 (SI ₁)、 クロック入出力 (SCK ₁)	PMR3
		P3 ₁ /SI ₁ P3 ₀ /SCK ₁		
ポート 5	<ul style="list-style-type: none"> 8 ビット入出力ポート 入力プルアップ MOS 	P5 ₇ /INT ₇	INT 割り込み 7	
		P5 ₆ /INT ₆ /TMIB	INT 割り込み 6 タイマ B1 イベント入力	
		P5 ₅ /INT ₅ / ADTRG	INT 割り込み 5 A/D 変換器外部トリガ入力	
		P5 ₄ ~ P5 ₀ /INT ₄ ~ INT ₀	INT 割り込み 4 ~ 0	
ポート 6	<ul style="list-style-type: none"> 8 ビット入出力ポート 大電流ポート 	P6 ₇ ~ P6 ₀		
ポート 7	<ul style="list-style-type: none"> 5 ビット入出力ポート 	P7 ₇		
		P7 ₆ /TMOV	タイマ V コンペアマッチ出力	TCSRv
		P7 ₅ /TMCIV	タイマ V クロック入力	
		P7 ₄ /TMRIV	タイマ V リセット入力	
		P7 ₃		
ポート 8	<ul style="list-style-type: none"> 8 ビット入出力ポート 	P8 ₇		
		P8 ₆ /FTID	タイマ X インพุットキャップチャ D 入力	
		P8 ₅ /FTIC	タイマ X インพุットキャップチャ C 入力	
		P8 ₄ /FTIB	タイマ X インพุットキャップチャ B 入力	
		P8 ₃ /FTIA	タイマ X インพุットキャップチャ A 入力	
		P8 ₂ /FTOB	タイマ X アウトプットコンペア B 出力	TOCR
		P8 ₁ /FTOA	タイマ X アウトプットコンペア A 出力	TOCR
P8 ₀ /FTCI	タイマ X クロック入力			
ポート 9	<ul style="list-style-type: none"> 5 ビット入出力ポート 	P9 ₀ * ~ P9 ₄		
ポート B	<ul style="list-style-type: none"> 8 ビット入力ポート 	PB ₇ ~ PB ₀ /AN ₇ ~ AN ₀	A/D 変換器のアナログ入力 (AN ₇ ~ AN ₀)	

【注】 * フラッシュメモリ内蔵版では、P9₀は FV_{pp} 端子として使用され、P9₀の機能はなくなりますので注意してください。

8.2 ポート 1

8.2.1 概要

ポート 1 は、5 ビットの入出力ポートです。ポート 1 の各端子は、図 8.1 に示す構成になっています。

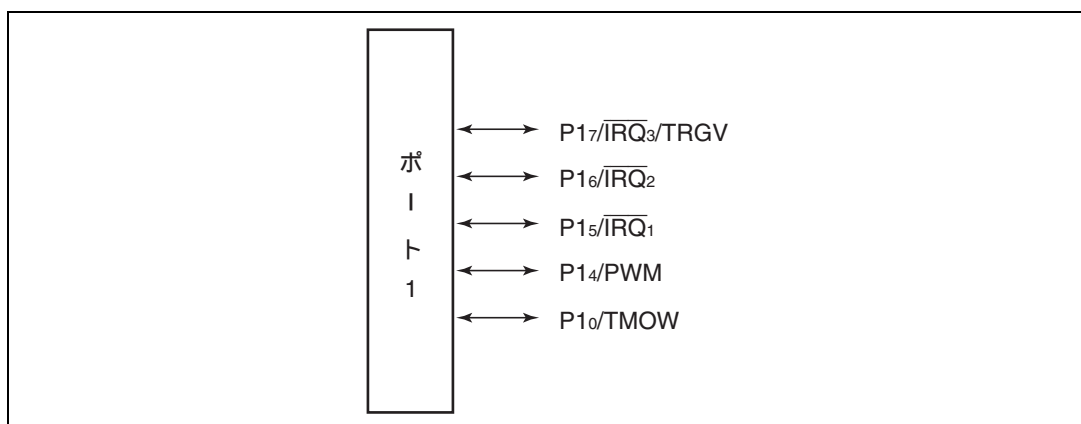


図 8.1 ポート 1 の端子構成

8.2.2 レジスタの構成と説明

表 8.2 にポート 1 のレジスタ構成を示します。

表 8.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 1	PDR1	R/W	H'00	H'FFD4
ポートコントロールレジスタ 1	PCR1	W	H'00	H'FFE4
ポートプルアップコントロールレジスタ 1	PUCR1	R/W	H'00	H'FFED
ポートモードレジスタ 1	PMR1	R/W	H'04	H'FFFC

(1) ポートデータレジスタ 1 (PDR1)

ビット:	7	6	5	4	3	2	1	0
	P17	P16	P15	P14	—	—	—	P10
初期値:	0	0	0	0	0*	0*	0*	0
R/W :	R/W	R/W	R/W	R/W	—	—	—	R/W

【注】* リザーブビットです。リードすると0が読み出されます。ライトは無効です。

PDR1 は、ポート 1 の各端子 P1₇ ~ P1₄、P1₀ のデータを格納する 8 ビットのレジスタです。PCR1 が 1 のとき、ポート 1 のリードを行うと、PDR1 の値を直接リードします。そのため端子状

8. I/O ポート

態の影響を受けません。PCR1 が 0 のとき、ポート 1 のリードを行うと、端子状態が読み出されます。
リセット時、PDR1 は H'00 に初期化されます。

(2) ポートコントロールレジスタ 1 (PCR1)

ビット:	7	6	5	4	3	2	1	0
	PCR17	PCR16	PCR15	PCR14	—	—	—	PCR10
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	—	—	—	W

PCR1 は、ポート 1 の各端子 $P1_7 \sim P1_4$ 、 $P1_0$ の入出力をビットごとに制御します。PCR1 に 1 をセットすると対応する $P1_7 \sim P1_4$ 、 $P1_0$ 端子は出力端子となり、0 にクリアすると入力端子となります。PMR1 により当該端子が汎用入出力に設定されている場合には、PCR1 および PDR1 の設定が有効となります。

リセット時、PCR1 は H'00 に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

(3) ポートプルアップコントロールレジスタ 1 (PUCR1)

ビット:	7	6	5	4	3	2	1	0
	PUCR17	PUCR16	PUCR15	PUCR14	—	—	—	PUCR10
初期値:	0	0	0	0	0*	0*	0*	0
R/W :	R/W	R/W	R/W	R/W	—	—	—	R/W

【注】* リザーブビットです。リードすると 0 が読み出されます。ライトは無効です。

PUCR1 は、ポート 1 の各端子 $P1_7 \sim P1_4$ 、 $P1_0$ のプルアップ MOS をビットごとに制御します。

PCR1 が 0 の状態で PUCR1 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。

リセット時、PUCR1 は H'00 に初期化されます。

(4) ポートモードレジスタ 1 (PMR1)

ビット:	7	6	5	4	3	2	1	0
	IRQ3	IRQ2	IRQ1	PWM	—	—	—	TMOW
初期値:	0	0	0	0	0	1	0	0
R/W :	R/W	R/W	R/W	R/W	—	—	—	R/W

PMR1 は、8 ビットのリード/ライト可能なレジスタで、ポート 1 の各端子機能の切り替えを制御します。

リセット時、PMR1 は H'04 に初期化されます。

ビット 7 : P1₇/IRQ₃/TRGV 端子機能切り替え (IRQ3)

P1₇/IRQ₃/TRGV 端子を P1₇ 端子として使用するか、IRQ₃/TRGV 端子として使用するかを設定します。

ビット 7	説 明
IRQ3	
0	P1 ₇ 入出力端子として機能 (初期値)
1	IRQ ₃ /TRGV 入力端子として機能

【注】 IRQ₃ 端子は立ち上がり / 立ち下がりエッジセンスを選択できます。TRGV 端子は立ち上がり / 立ち下がり / 立ち上がり立ち下がり両エッジセンスを選択できます。

TRGV 端子の設定については、「9.4.2 各レジスタの説明 (5) タイマコントロールレジスタ V1 (TCRV1)」を参照してください。

ビット 6 : P1₆/IRQ₂ 端子機能切り替え (IRQ2)

P1₆/IRQ₂ 端子を P1₆ 端子として使用するか、IRQ₂ 端子として使用するかを設定します。

ビット 6	説 明
IRQ2	
0	P1 ₆ 入出力端子として機能 (初期値)
1	IRQ ₂ 入力端子として機能

【注】 IRQ₂ 端子は立ち上がり / 立ち下がりエッジセンスを選択できます。

ビット 5 : P1₅/IRQ₁ 端子機能切り替え (IRQ1)

P1₅/IRQ₁ 端子を P1₅ 端子として使用するか、IRQ₁ 端子として使用するかを設定します。

ビット 5	説 明
IRQ1	
0	P1 ₅ 入出力端子として機能 (初期値)
1	IRQ ₁ 入力端子として機能

【注】 IRQ₁ 端子は立ち上がり / 立ち下がりエッジセンスを選択できます。

ビット 4 : P1₄/PWM 端子機能切り替え (PWM)

P1₄/PWM 端子を P1₄ 端子として使用するか、PWM 端子として使用するかを設定します。

ビット 4	説 明
PWM	
0	P1 ₄ 入出力端子として機能 (初期値)
1	PWM 出力端子として機能

8. I/Oポート

ビット3：リザーブビット

リザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット2：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット1：リザーブビット

リザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット0：P1₀/TMOW 端子機能切り替え (TMOW)

P1₀/TMOW 端子を P1₀端子として使用するか、TMOW 端子として使用するかを設定します。

ビット0	説 明
TMOW	
0	P1 ₀ 入出力端子として機能 (初期値)
1	TMOW 出力端子として機能

8.2.3 端子機能

表 8.3 にポート 1 の端子機能を示します。

表 8.3 ポート 1 の端子機能 1

端子	選択方法と端子機能			
P1 ₇ /IRQ ₃ / TRGV	PMR1 の IRQ3 と PCR1 の PCR1 ₇ の組み合わせで次のように切り替わります。			
	IRQ3	0	1	
	PCR1 ₇	0	1	*
	端子機能	P1 ₇ 入力端子	P1 ₇ 出力端子	IRQ ₃ 入力端子 TRGV入力端子
P1 ₆ /IRQ ₂ / P1 ₅ /IRQ ₁	PMR1 の IRQ2、IRQ1 と PCR1 の PCR1 _n の組み合わせで次のように切り替わります。			
	IRQ _m	0	1	
	PCR1 _n	0	1	*
	端子機能	P1 _n 入力端子	P1 _n 出力端子	IRQ _m 入力端子
(m = n - 4 : n = 6, 5)				
P1 ₄ /PWM	PMR1 の PWM と PCR1 の PCR1 ₄ の組み合わせで、次のように切り替わります。			
	PWM	0	1	
	PCR1 ₄	0	1	*
	端子機能	P1 ₄ 入力端子	P1 ₄ 出力端子	PWM出力端子
P1 ₀ /TMOW	PMR1 の TMOW と PCR1 の PCR1 ₀ の組み合わせで、次のように切り替わります。			
	TMOW	0	1	
	PCR1 ₀	0	1	*
	端子機能	P1 ₀ 入力端子	P1 ₀ 出力端子	TMOW出力端子

【記号説明】

* : Don't care

8. I/O ポート

8.2.4 端子状態

各動作モードにおけるポート 1 の端子状態を表 8.4 に示します。

表 8.4 ポート 1 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P1 ₇ /IRQ ₃ / TRGV P1 ₆ /IRQ ₂ P1 ₅ /IRQ ₁ P1 ₄ /PWM P1 ₀ /TMOW	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	保持	動作	動作

【注】 * プルアップ MOS が ON 状態では High レベル出力となります。

8.2.5 入力プルアップ MOS

ポート 1 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR1 が 0 にクリアされている状態で PUCR1 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

PCR1 _n	0		1
PUCR1 _n	0	1	*
入力プルアップ MOS	OFF	ON	OFF

【記号説明】

* : Don't care

【注】 n = 7 ~ 4、0

8.3 ポート 2

8.3.1 概要

ポート 2 は、3 ビットの入出力ポートです。ポート 2 の各端子は、図 8.2 に示す構成になっています。

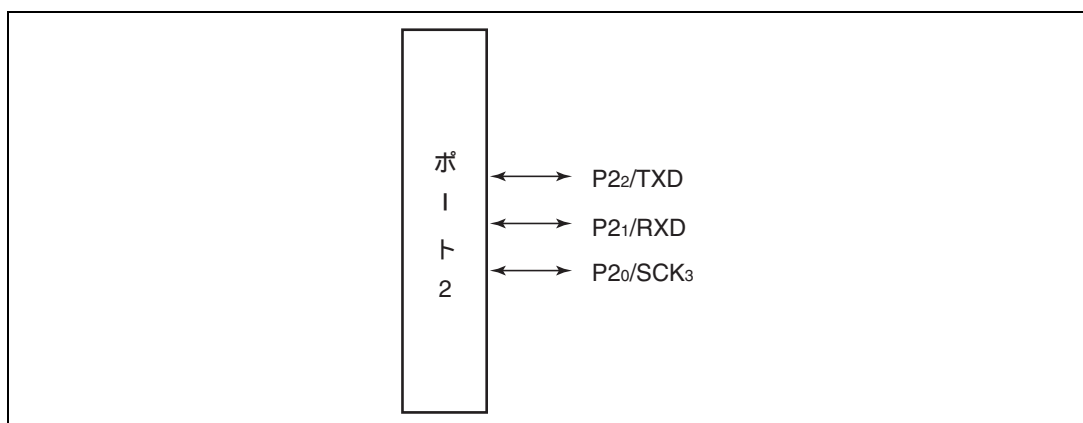


図 8.2 ポート 2 の端子構成

8.3.2 レジスタの構成と説明

表 8.5 にポート 2 のレジスタ構成を示します。

表 8.5 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 2	PDR2	R/W	H'00	H'FFD5
ポートコントロールレジスタ 2	PCR2	W	H'00	H'FFE5

(1) ポートデータレジスタ 2 (PDR2)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	P22	P21	P20
初期値:	0*	0*	0*	0*	0*	0	0	0
R/W :	—	—	—	—	—	R/W	R/W	R/W

【注】* リザーブビットです。リードすると0が読み出されます。ライトは無効です。

PDR2 は、ポート 2 の各端子 P2₂ ~ P2₀ のデータを格納する 8 ビットのレジスタです。

PCR2 が 1 のとき、ポート 2 のリードを行うと、PDR2 の値を直接リードします。そのため端子状態の影響を受けません。PCR2 が 0 のとき、ポート 2 のリードを行うと、端子状態が読み出されます。

リセット時、PDR2 は H'00 に初期化されます。

8. I/Oポート

(2) ポートコントロールレジスタ 2 (PCR2)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	PCR2 ₂	PCR2 ₁	PCR2 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	W	W	W

PCR2 は、ポート 2 の各端子 P2₂ ~ P2₀ の入出力をビットごとに制御します。PCR2 に 1 をセットすると対応する P2₂ ~ P2₀ 端子は出力端子となり、0 にクリアすると入力端子となります。SCR3 により当該端子が汎用入出力に設定されている場合には、PCR2 および PDR2 の設定が有効となります。

リセット時、PCR2 は H'00 に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

8.3.3 端子機能

表 8.6 にポート 2 の端子機能を示します。

表 8.6 ポート 2 の端子機能

端子	選択方法と端子機能					
P2 ₂ /TXD	PMR7 の TXD と PCR2 の PCR2 ₂ の組み合わせで、次のように切り替わります。					
	TXD	0		1		
	PCR2 ₂	0	1	*		
	端子機能	P2 ₂ 入力端子	P2 ₂ 出力端子	TXD出力端子		
P2 ₁ /RXD	SCR3 の RE と PCR2 の PCR2 ₁ の組み合わせで、次のように切り替わります。					
	RE	0		1		
	PCR2 ₁	0	1	*		
	端子機能	P2 ₁ 入力端子	P2 ₁ 出力端子	RXD入力端子		
P2 ₀ /SCK ₃	SCR3 の CKE1、CKE0、SMR の COM、および PCR2 の PCR2 ₀ の組み合わせで、次のように切り替わります。					
	CKE1	0		1		
	CKE0	0		1	*	
	COM	0		1	*	*
	PCR2 ₀	0	1	*		*
	端子機能	P2 ₀ 入力端子	P2 ₀ 出力端子	SCK ₃ 出力端子	SCK ₃ 入力端子	

【記号説明】

* : Don't care

8.3.4 端子状態

各動作モードにおけるポート2の端子状態を表8.7に示します。

表 8.7 ポート2の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P2 ₂ /TXD P2 ₁ /RXD P2 ₀ /SCK ₃	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作

8.4 ポート 3

8.4.1 概要

ポート 3 は、8 ビットの入出力ポートです。ポート 3 の各端子は、図 8.3 に示す構成になっています。

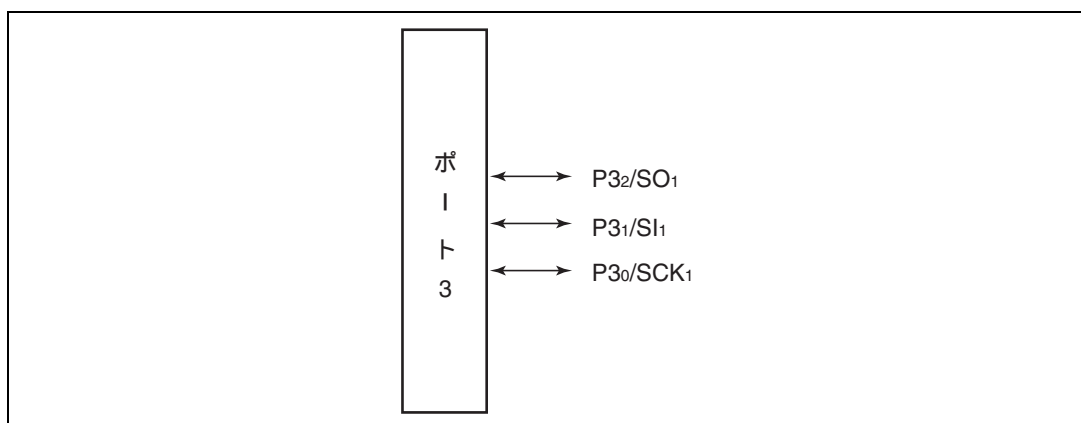


図 8.3 ポート 3 の端子構成

8.4.2 レジスタの構成と説明

表 8.8 にポート 3 のレジスタ構成を示します。

表 8.8 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 3	PDR3	R/W	H'00	H'FFD6
ポートコントロールレジスタ 3	PCR3	W	H'00	H'FFE6
ポートプルアップコントロールレジスタ 3	PUCR3	R/W	H'00	H'FFEE
ポートモードレジスタ 3	PMR3	R/W	H'00	H'FFFD
ポートモードレジスタ 7	PMR7	R/W	H'F8	H'FFFF

(1) ポートデータレジスタ 3 (PDR3)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	P32	P31	P30
初期値:	0*	0*	0*	0*	0*	0	0	0
R/W :	—	—	—	—	—	R/W	R/W	R/W

【注】* リザーブビットです。リードすると0が読み出されます。ライトは無効です。

PDR3 は、ポート 3 の各端子 P3₂ ~ P3₀ のデータを格納する 8 ビットのレジスタです。

PCR3 が 1 のとき、ポート 3 のリードを行うと、PDR3 の値を直接リードします。そのため端子状態の影響を受けません。PCR3 が 0 のとき、ポート 3 のリードを行うと、端子状態が読み出されます。

リセット時、PDR3 は H'00 に初期化されます。

(2) ポートコントロールレジスタ 3 (PCR3)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	PCR3 ₂	PCR3 ₁	PCR3 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	W	W	W

PCR3 は、ポート 3 の各端子 P3₂ ~ P3₀ の入出力をビットごとに制御します。PCR3 に 1 をセットすると対応する P3₂ ~ P3₀ 端子は出力端子となり、0 にクリアすると入力端子となります。PMR3 により当該端子が汎用入出力に設定されている場合には、PCR3 および PDR3 の設定が有効となります。

リセット時、PCR3 は H'00 に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

(3) ポートブルアップコントロールレジスタ 3 (PUCR3)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	PUCR3 ₂	PUCR3 ₁	PUCR3 ₀
初期値:	0*	0*	0*	0*	0*	0	0	0
R/W :	—	—	—	—	—	R/W	R/W	R/W

【注】* リザーブビットです。リードすると 0 が読み出されます。ライトは無効です。

PUCR3 は、ポート 3 の各端子 P3₂ ~ P3₀ のブルアップ MOS をビットごとに制御します。

PCR3 が 0 の状態で PUCR3 に 1 をセットすると対応するブルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。

リセット時、PUCR3 は H'00 に初期化されます。

(4) ポートモードレジスタ 3 (PMR3)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	SO1	SI1	SCK1
初期値:	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	R/W	R/W	R/W

PMR3 は、8 ビットのリード/ライト可能なレジスタで、ポート 3 の各端子機能の切り替えを制御します。

リセット時、PMR3 は H'00 に初期化されます。

8. I/Oポート

ビット7~3：リザーブビット

リザーブビットです。リードすると各ビットは常に0が読み出されます。ライトは無効です。

ビット2：P3₂/SO₁端子機能切り替え（SO1）

P3₂/SO₁端子をP3₂端子として使用するか、SO₁端子として使用するかを設定します。

ビット2	説明
SO1	
0	P3 ₂ 入出力端子として機能 (初期値)
1	SO ₁ 出力端子として機能

ビット1：P3₁/SI₁端子機能切り替え（SI1）

P3₁/SI₁端子をP3₁端子として使用するか、SI₁端子として使用するかを設定します。

ビット1	説明
SI1	
0	P3 ₁ 入出力端子として機能 (初期値)
1	SI ₁ 入力端子として機能

ビット0：P3₀/SCK₁端子機能切り替え（SCK1）

P3₀/SCK₁端子をP3₀端子として使用するか、SCK₁端子として使用するかを設定します。

ビット0	説明
SCK1	
0	P3 ₀ 入出力端子として機能 (初期値)
1	SCK ₁ 入出力端子として機能

(5) ポートモードレジスタ7（PMR7）

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	TXD	—	POF1
初期値：	1	1	1	1	1	0	0	0
R/W：	—	—	—	—	—	R/W	—	R/W

PMR7は、8ビットのリード/ライト可能なレジスタで、P3₂/SO₁端子のPMOSのON/OFFを制御します。

リセット時、PMR7はH'F8に初期化されます。

ビット7~3：リザーブビット

リザーブビットです。各ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット 2 : P2₂/TXD 端子機能切り替え (TXD)

P2₂/TXD 端子を P2₂ 端子として使用するか、TXD 端子として使用するかを設定します。

ビット 2	説 明	
TXD		
0	P2 ₂ 入出力端子として機能	(初期値)
1	TXD 出力端子として機能	

ビット 1 : リザーブビット

リザーブビットです。本ビットはリードすると常に 0 が読み出されます。ライトは無効です。

ビット 0 : P3₂/SO₁ 端子 PMOS コントロール (POF1)

P3₂/SO₁ 端子出力バッファの PMOS の ON/OFF を制御します。

ビット 0	説 明	
POF1		
0	CMOS 出力	(初期値)
1	NMOS オープンドレイン出力	

8. I/Oポート

8.4.3 端子機能

表 8.9 にポート 3 の端子機能を示します。

表 8.9 ポート 3 の端子機能

端子	選択方法と端子機能				
P3 ₂ /SO ₁	PMR3 の SO1 と PCR3 の PCR3 ₂ の組み合わせで、次のように切り替わります。				
	SO1	0		1	
	PCR3 ₂	0	1	*	
	端子機能	P3 ₂ 入力端子	P3 ₂ 出力端子	SO ₁ 出力端子	
P3 ₁ /SI ₁	PMR3 の SI1 と PCR3 の PCR3 ₁ の組み合わせで、次のように切り替わります。				
	SI1	0		1	
	PCR3 ₁	0	1	*	
	端子機能	P3 ₁ 入力端子	P3 ₁ 出力端子	SI ₁ 入力端子	
P3 ₀ /SCK ₁	PMR3 の SCK1、SCR1 の CKS3、および PCR3 の PCR3 ₀ の組み合わせで、次のように切り替わります。				
	SCK1	0		1	
	CKS3	*		0	1
	PCR3 ₀	0	1	*	*
	端子機能	P3 ₀ 入力端子	P3 ₀ 出力端子	SCK ₁ 出力端子	SCK ₁ 入力端子

【記号説明】

* : Don't care

8.4.4 端子状態

各動作モードにおけるポート 3 の端子状態を表 8.10 に示します。

表 8.10 ポート 3 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P3 ₂ /SO ₁ P3 ₁ /SI ₁ P3 ₀ /SCK ₁	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	保持	動作	動作

【注】 * プルアップ MOS が ON 状態では High レベル出力となります。

8.4.5 入力プルアップ MOS

ポート 3 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR3 が 0 にクリアされている状態で PUCR3 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

PCR3n	0		1
PUCR3n	0	1	*
入力プルアップ MOS	OFF	ON	OFF

【記号説明】

* : Don't care

【注】 n = 2 ~ 0

8.5 ポート 5

8.5.1 概要

ポート 5 は、8 ビットの入出力ポートです。ポート 5 の各端子は、図 8.4 に示す構成になっています。

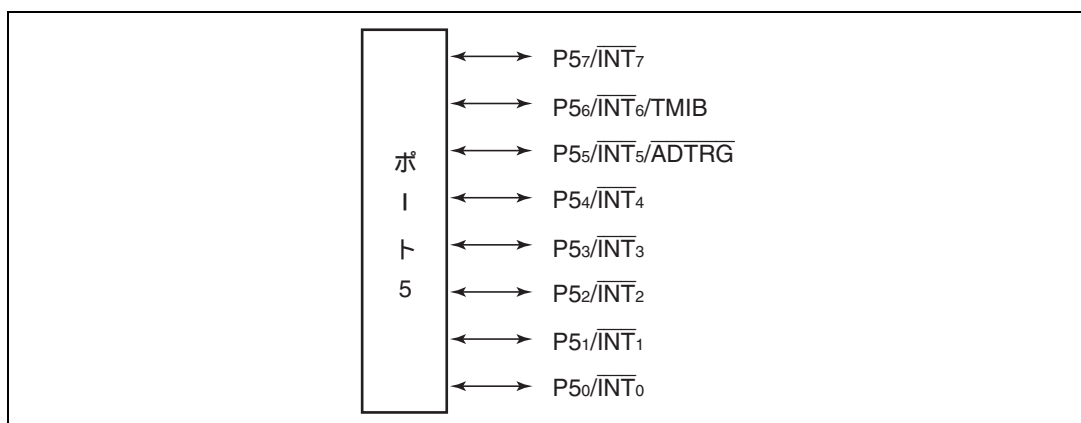


図 8.4 ポート 5 の端子構成

8.5.2 レジスタの構成と説明

表 8.11 にポート 5 のレジスタ構成を示します。

表 8.11 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 5	PDR5	R/W	H'00	H'FFD8
ポートコントロールレジスタ 5	PCR5	W	H'00	H'FFE8
ポートブルアップコントロールレジスタ 5	PUCR5	R/W	H'00	H'FFEF

(1) ポートデータレジスタ 5 (PDR5)

ビット:	7	6	5	4	3	2	1	0
	P57	P56	P55	P54	P53	P52	P51	P50
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR5 は、ポート 5 の各端子 P5₇ ~ P5₀ のデータを格納する 8 ビットのレジスタです。

PCR5 が 1 のとき、ポート 5 のリードを行うと、PDR5 の値を直接リードします。そのため端子状態の影響を受けません。PCR5 が 0 のとき、ポート 5 のリードを行うと、端子状態が読み出されます。

リセット時、PDR5 は H'00 に初期化されます。

(2) ポートコントロールレジスタ 5 (PCR5)

ビット:	7	6	5	4	3	2	1	0
	PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR5 は、ポート 5 の各端子 P5₇ ~ P5₀ の入出力をビットごとに制御します。PCR5 に 1 をセットすると対応する P5₇ ~ P5₀ 端子は出力端子となり、0 にクリアすると入力端子となります。

リセット時、PCR5 は H'00 に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

(3) ポートプルアップコントロールレジスタ 5 (PUCR5)

ビット:	7	6	5	4	3	2	1	0
	PUCR57	PUCR56	PUCR55	PUCR54	PUCR53	PUCR52	PUCR51	PUCR50
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PUCR5 は、ポート 5 の各端子 P5₇ ~ P5₀ のプルアップ MOS をビットごとに制御します。

PCR5 が 0 の状態で PUCR5 に 1 をセットすると対応するプルアップ MOS は ON 状態となり、0 にクリアすると OFF 状態となります。

リセット時、PUCR5 は H'00 に初期化されます。

8. I/O ポート

8.5.3 端子機能

表 8.12 にポート 5 の端子機能を示します。

表 8.12 ポート 5 の端子機能

端子	選択方法と端子機能		
P5 ₇ /INT ₇	PCR5 の PCR5 ₇ により、次のように切り替わります。		
	PCR5 ₇	0	1
	端子機能	P5 ₇ 入力端子	P5 ₇ 出力端子
INT ₇ 入力端子			
P5 ₆ /INT ₆ /TMIB	PCR5 の PCR5 ₆ により、次のように切り替わります。		
	PCR5 ₆	0	1
	端子機能	P5 ₆ 入力端子	P5 ₆ 出力端子
INT ₆ 入力端子、TMIB入力端子			
P5 ₅ /INT ₅ /ADTRG	PCR5 の PCR5 ₅ により、次のように切り替わります。		
	PCR5 ₅	0	1
	端子機能	P5 ₅ 入力端子	P5 ₅ 出力端子
INT ₅ 入力端子、ADTRG入力端子			
P5 ₄ /INT ₄ ~ P5 ₀ /INT ₀	PCR5 の PCR5 _n により、次のように切り替わります。		
	PCR5 _n	0	1
	端子機能	P5 _n 入力端子	P5 _n 出力端子
INT _n 入力端子			
(n = 4 ~ 0)			

8.5.4 端子状態

各動作モードにおけるポート 5 の端子状態を表 8.13 に示します。

表 8.13 ポート 5 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P5 ₇ /INT ₇ ~ P5 ₀ /INT ₀	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス*	保持	動作	動作

【注】 * プルアップ MOS が ON 状態では High レベル出力となります。

8.5.5 入力プルアップ MOS

ポート 5 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。PCR5 が 0 にクリアされている状態で PUCR5 に 1 をセットすると入力プルアップ MOS は ON 状態となります。また、入力プルアップ MOS はリセット時、OFF 状態になります。

PCR5 _n	0		1
PUCR5 _n	0	1	*
入力プルアップ MOS	OFF	ON	OFF

【記号説明】

* : Don't care

【注】 n = 7 ~ 0

8.6 ポート 6

8.6.1 概要

ポート 6 は、8 ビットの大電流入出力ポートです。シンク電流は 10mA max となっています。ポート 6 の各端子は、図 8.5 に示す構成になっています。

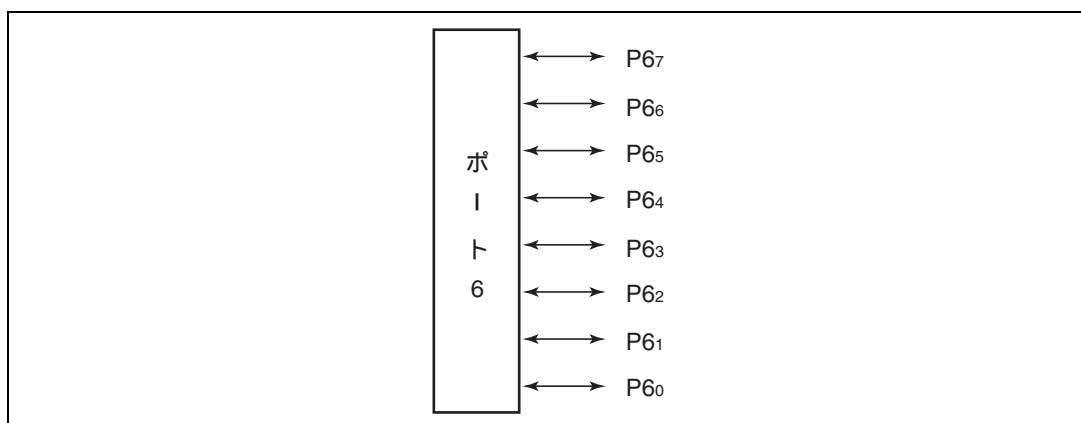


図 8.5 ポート 6 の端子構成

8.6.2 レジスタの構成と説明

表 8.14 にポート 6 のレジスタ構成を示します。

表 8.14 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 6	PDR6	R/W	H'00	H'FFD9
ポートコントロールレジスタ 6	PCR6	W	H'00	H'FFE9

(1) ポートデータレジスタ 6 (PDR6)

ビット:	7	6	5	4	3	2	1	0
	P67	P66	P65	P64	P63	P62	P61	P60
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR6 は、ポート 6 の各端子 P6₇ ~ P6₀ のデータを格納する 8 ビットのレジスタです。

PCR6 が 1 のとき、ポート 6 のリードを行うと PDR6 の値を直接リードします。そのため端子状態の影響を受けません。PCR6 が 0 のとき、ポート 6 のリードを行うと端子状態が読み出されます。

リセット時、PDR6 は H'00 に初期化されます。

(2) ポートコントロールレジスタ 6 (PCR6)

ビット:	7	6	5	4	3	2	1	0
	PCR67	PCR66	PCR65	PCR64	PCR63	PCR62	PCR61	PCR60
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR6 は、ポート 6 の各端子 $P6_7 \sim P6_0$ の入出力をビットごとに制御します。
 PCR6 に 1 をセットすると、対応する $P6_7 \sim P6_0$ 端子は出力端子となります。
 リセット時、PCR6 は H'00 に初期化されます。
 本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

8.6.3 端子機能

表 8.15 にポート 6 の端子機能を示します。

表 8.15 ポート 6 の端子機能

端子	選択方法と端子機能		
$P6_7 \sim P6_0$	PCR6 の PCR6 _n により、次のように切り替わります。		
	PCR6 _n	0	1
	端子機能	P6 _n 入力端子	P6 _n 出力端子
(n = 7 ~ 0)			

8.6.4 端子状態

各動作モードにおけるポート 6 の端子状態を表 8.16 に示します。

表 8.16 ポート 6 の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
$P6_7 \sim P6_0$	ハイインピーダンス	保持	保持	ハイインピーダンス*	保持	動作	動作

【注】 * プルアップ MOS が ON 状態では High レベル出力となります。

8.7 ポート7

8.7.1 概要

ポート7は、8ビットの入出力ポートです。ポート7の各端子は、図8.6に示す構成になっています。

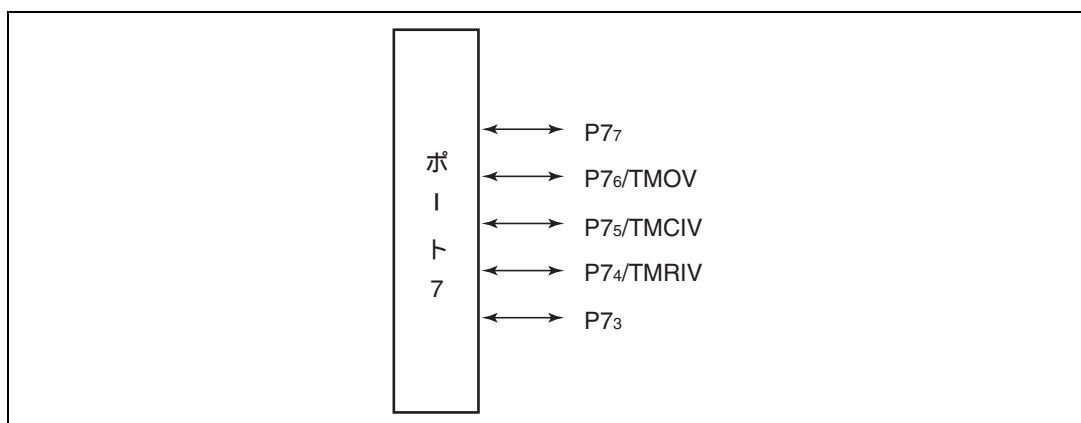


図 8.6 ポート7の端子構成

8.7.2 レジスタの構成と説明

表 8.17 にポート7のレジスタ構成を示します。

表 8.17 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ7	PDR7	R/W	H'00	H'FFDA
ポートコントロールレジスタ7	PCR7	W	H'00	H'FFEA

(1) ポートデータレジスタ7 (PDR7)

ビット:	7	6	5	4	3	2	1	0
	P77	P76	P75	P74	P73	—	—	—
初期値:	0	0	0	0	0	0*	0*	0*
R/W :	R/W	R/W	R/W	R/W	R/W	—	—	—

【注】* リザーブビットです。リードすると0が読み出されます。ライトは無効です。

PDR7は、ポート7の各端子P7₇~P7₃のデータを格納する8ビットのレジスタです。

PCR7が1のとき、ポート7のリードを行うと、PDR7の値を直接リードします。そのため端子状態の影響を受けません。PCR7が0のとき、ポート7のリードを行うと、端子状態が読み出されます。

リセット時、PDR7はH'00に初期化されます。

(2) ポートコントロールレジスタ7 (PCR7)

ビット:	7	6	5	4	3	2	1	0
	PCR7 ₇	PCR7 ₆	PCR7 ₅	PCR7 ₄	PCR7 ₃	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	—	—	—

PCR7は、ポート7の各端子P_{7₇}~P_{7₃}の入出力をビットごとに制御します。PCR7に1をセットすると対応するP_{7₇}~P_{7₃}端子は出力端子となり、0にクリアすると入力端子となります。

リセット時、PCR7はH'00に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に1が読み出されます。

8.7.3 端子機能

表 8.18 にポート7の端子機能を示します。

表 8.18 ポート7の端子機能

端子	選択方法と端子機能			
P _{7₇} 、P _{7₃}	PCR7のPCR7 _n により、次のように切り替わります。			
	PCR7 _n	0	1	
	端子機能	P _{7n} 入力端子	P _{7n} 出力端子	
(n = 7, 3)				
P _{7₆} /TMOV	PCR7のPCR7 ₆ とTCSRのOS3~OS0の組み合わせで、次のように切り替わります。			
	OS3~OS0	0000		0000以外
	PCR7 ₆	0	1	*
端子機能	P ₇₆ 入力端子	P ₇₆ 出力端子	TMOV出力端子	
P _{7₅} /TMCIV	PCR7のPCR7 ₅ により、次のように切り替わります。			
	PCR7 ₅	0	1	
	端子機能	P ₇₅ 入力端子	P ₇₅ 出力端子	
TMCIV入力端子				
P _{7₄} /TMRIV	PCR7のPCR7 ₄ により、次のように切り替わります。			
	PCR7 ₄	0	1	
	端子機能	P ₇₄ 入力端子	P ₇₄ 出力端子	
TMRIV入力端子				

【記号説明】

* : Don't care

8. I/Oポート

8.7.4 端子状態

各動作モードにおけるポート7の端子状態を表8.19に示します。

表 8.19 ポート7の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P7 ₇ ~P7 ₃	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作

8.8 ポート 8

8.8.1 概要

ポート 8 は、8 ビットの入出力ポートです。ポート 8 の各端子は、図 8.7 に示す構成になっています。

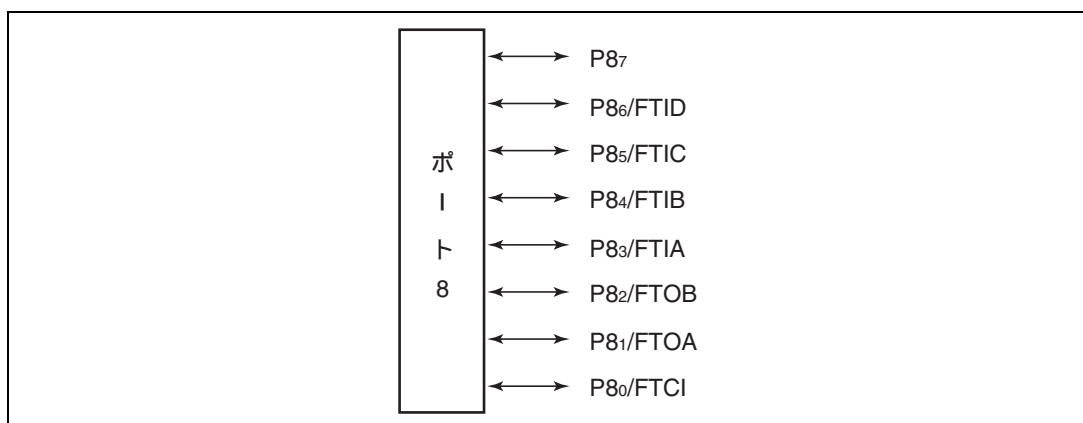


図 8.7 ポート 8 の端子構成

8.8.2 レジスタの構成と説明

表 8.20 にポート 8 のレジスタ構成を示します。

表 8.20 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ 8	PDR8	R/W	H'00	H'FFDB
ポートコントロールレジスタ 8	PCR8	W	H'00	H'FFEB

(1) ポートデータレジスタ 8 (PDR8)

ビット:	7	6	5	4	3	2	1	0
	P87	P86	P85	P84	P83	P82	P81	P80
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR8 は、ポート 8 の各端子 P8₇ ~ P8₀ のデータを格納する 8 ビットのレジスタです。

PCR8 が 1 のとき、ポート 8 のリードを行うと、PDR8 の値を直接リードします。そのため端子状態の影響を受けません。PCR8 が 0 のとき、ポート 8 のリードを行うと、端子状態が読み出されます。

リセット時、PDR8 は H'00 に初期化されます。

8. I/O ポート

(2) ポートコントロールレジスタ 8 (PCR8)

ビット:	7	6	5	4	3	2	1	0
	PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PCR8 は、ポート 8 の各端子 P8₇ ~ P8₀ の入出力をビットごとに制御します。PCR8 に 1 をセットすると対応する P8₇ ~ P8₀ 端子は出力端子となり、0 にクリアすると入力端子となります。

リセット時、PCR8 は H'00 に初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に 1 が読み出されます。

8.8.3 端子機能

表 8.21 にポート 8 の端子機能を示します。

表 8.21 ポート 8 の端子機能

端子	選択方法と端子機能		
P8 ₇	PCR8 の PCR8 ₇ により、次のように切り替わります。		
	PCR8 ₇	0	1
	端子機能	P8 ₇ 入力端子	P8 ₇ 出力端子
P8 ₆ /FTID	PCR8 の PCR8 ₆ により、次のように切り替わります。		
	PCR8 ₆	0	1
	端子機能	P8 ₆ 入力端子	P8 ₆ 出力端子
	FTID入力端子		
P8 ₅ /FTIC	PCR8 の PCR8 ₅ により、次のように切り替わります。		
	PCR8 ₅	0	1
	端子機能	P8 ₅ 入力端子	P8 ₅ 出力端子
	FTIC入力端子		
P8 ₄ /FTIB	PCR8 の PCR8 ₄ により、次のように切り替わります。		
	PCR8 ₄	0	1
	端子機能	P8 ₄ 入力端子	P8 ₄ 出力端子
	FTIB入力端子		

端子	選択方法と端子機能		
P8 ₇ /FTIA	PCR8のPCR8 ₃ により、次のように切り替わります。		
	PCR8 ₃	0	1
	端子機能	P8 ₃ 入力端子	P8 ₃ 出力端子
	FTIA入力端子		
P8 ₂ /FTOB	PCR8のPCR8 ₂ とTOCRのOEBの組み合わせで、次のように切り替わります。		
	OEB	0	1
	PCR8 ₂	0	1
端子機能	P8 ₂ 入力端子	P8 ₂ 出力端子	FTOB出力端子
P8 ₁ /FTOA	PCR8のPCR8 ₁ とTOCRのOEAの組み合わせで、次のように切り替わります。		
	OEA	0	1
	PCR8 ₁	0	1
端子機能	P8 ₁ 入力端子	P8 ₁ 出力端子	FTOA出力端子
P8 ₀ /FTCI	PCR8のPCR8 ₀ により、次のように切り替わります。		
	PCR8 ₀	0	1
	端子機能	P8 ₀ 入力端子	P8 ₀ 出力端子
	FTCI入力端子		

【記号説明】

* : Don't care

8.8.4 端子状態

各動作モードにおけるポート8の端子状態を表8.22に示します。

表 8.22 ポート8の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P8 ₇ ~ P8 ₀ /FTCI	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作

8.9 ポート9

8.9.1 概要

ポート9は、5ビットの入出力ポートです。ポート9の各端子は、図8.8に示す構成になっています。

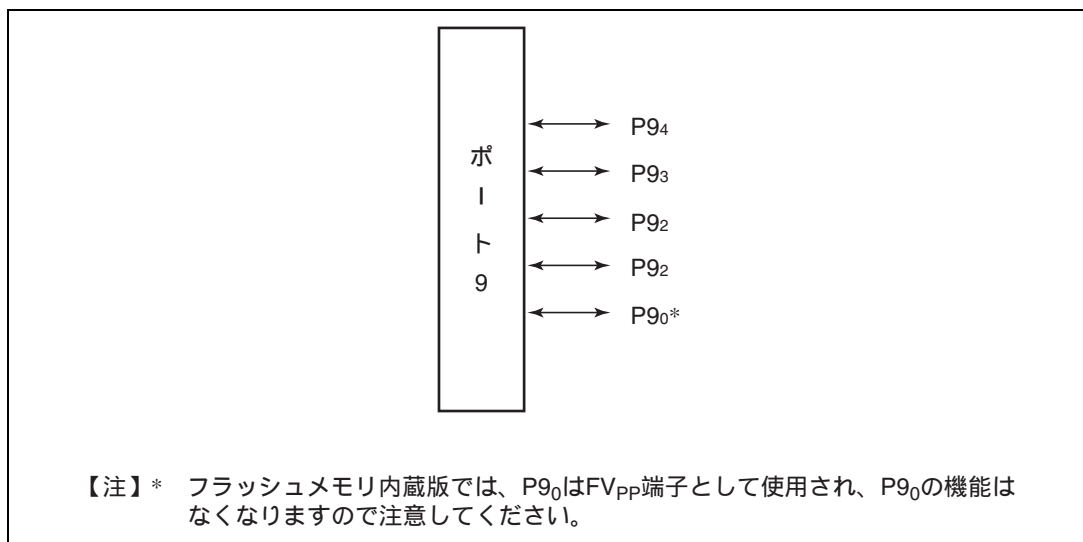


図 8.8 ポート9の端子構成

8.9.2 レジスタの構成と説明

表 8.23 にポート9のレジスタ構成を示します。

表 8.23 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートデータレジスタ9	PDR9	R/W	H'00	H'FFDC
ポートコントロールレジスタ9	PCR9	W	H'00	H'FFEC

(1) ポートデータレジスタ9 (PDR9)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀ * ³
初期値:	1* ¹	1* ¹	0* ²	0	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

- 【注】 *1 リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。
 *2 リザーブビットです。リードすると常に0が読み出されます。ライトは無効です。
 *3 フラッシュメモリ内蔵版では、リードすると常に0が読み出されます。ライトは無効です。

PDR9は、ポート9の各端子P9₄~P9₀のデータを格納する8ビットのレジスタです。PCR9が1のとき、ポート9のリードを行うと、PDR9の値を直接リードします。そのため端子状態の影響を受けません。PCR9が0のとき、ポート9のリードを行うと、端子状態が読み出されます。

リセット時、PDR9はH'COに初期化されます。

(2) ポートコントロールレジスタ9 (PCR9)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	PCR9 ₄	PCR9 ₃	PCR9 ₂	PCR9 ₁	PCR9 ₀
初期値:	1	1	0	0	0	0	0	0
R/W :	—	—	—	W	W	W	W	W

PCR9は、ポート9の各端子P9₄~P9₀の入出力をビットごとに制御します。PCR9に1をセットすると対応するP9₄~P9₀端子は出力端子となり、0にクリアすると入力端子となります。

リセット時、PCR9はH'COに初期化されます。

本レジスタはライト専用です。リードした場合各ビットは常に1が読み出されます。

8.9.3 端子機能

表 8.24 にポート9の端子機能を示します。

表 8.24 ポート9の端子機能

端子	選択方法と端子機能		
P9 _n	PCR9のPCR9 _n により、次のように切り替わります。		
	PCR9 _n	0	1
	端子機能	P9 _n 入力端子	P9 _n 出力端子
(n = 4 ~ 0)			

8. I/Oポート

8.9.4 端子状態

各動作モードにおけるポート9の端子状態を表8.25に示します。

表 8.25 ポート9の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P9 ₄ ~ P9 ₆	ハイ インピー ダンス	保持	保持	ハイ インピー ダンス	保持	動作	動作

8.10 ポート B

8.10.1 概要

ポート B は、8 ビットの入力専用ポートです。ポート B の各端子は、図 8.9 に示す構成になっています。

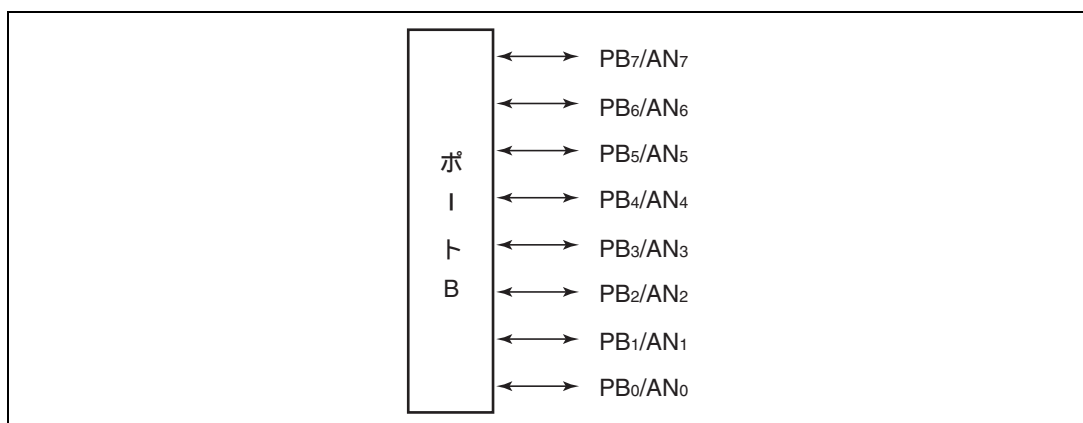


図 8.9 ポート B の端子構成

8.10.2 レジスタの構成と説明

表 8.26 にポート B のレジスタ構成を示します。

表 8.26 レジスタ構成

名称	略称	R/W	アドレス
ポートデータレジスタ B	PDRB	R	H'FFDD

(1) ポートデータレジスタ B (PDRB)

ビット:	7	6	5	4	3	2	1	0
	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
R/W :	R	R	R	R	R	R	R	R

PDRB をリードすると常に各端子の状態が読み出されます。ただし、A/D 変換器の AMR の CH3 ~ CH0 によりアナログ入力チャンネルに指定されている端子をリードすると 0 が読み出されます。

8. I/O ポート

8.10.3 端子機能

表 8.27 にポート B の端子機能を示します。

表 8.27 ポート B の端子機能

端子	選択方法と端子機能		
PB _n /AN _n	常に以下のような状態になっています。 <table border="1" data-bbox="303 504 875 556"><tr><td>端子機能</td><td>PB_n 入力端子、AN_n 入力端子</td></tr></table> (n = 7 ~ 0)	端子機能	PB _n 入力端子、AN _n 入力端子
端子機能	PB _n 入力端子、AN _n 入力端子		

8.10.4 端子状態

各動作モードにおけるポート B の端子状態を表 8.28 に示します。

表 8.28 ポート B の端子状態

端子名	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
PB _n /AN _n	ハイ インピー ダンス	ハイ インピー ダンス	ハイ インピー ダンス	ハイ インピー ダンス	ハイ インピー ダンス	ハイ インピー ダンス	ハイ インピー ダンス

(n = 7 ~ 0)

9. タイマ

9.1 概要

本 LSI は 5 本のタイマ (タイマ A、B1、V、X、ウォッチドッグタイマ) を内蔵しています。
タイマの機能概要を表 9.1 に示します。

表 9.1 タイマの機能概要

タイマ名称	機能	内部クロック	イベント入力端子	波形出力端子	備考	
タイマ A	<ul style="list-style-type: none"> 8 ビットのタイマ インターバル機能 	$\phi/8 \sim \phi/8192$ (8 種類)				
	<ul style="list-style-type: none"> 時計用タイムベース 					$\phi_w/128$ (オーバフロー周期は 4 種類選択可)
	<ul style="list-style-type: none"> クロック出力機能 	$\phi/4 \sim \phi/32$ $\phi_w/4 \sim \phi_w/32$ (8 種類)				TMOW
タイマ B1	<ul style="list-style-type: none"> 8 ビットのタイマ インターバル機能 イベントカウント機能 	$\phi/4 \sim \phi/8192$ (7 種類)	TMIB			
タイマ V	<ul style="list-style-type: none"> 8 ビットのタイマ イベントカウント機能 2 つのコンペアマッチ要因による出力制御が可能 カウンタクリア指定が可能 外部トリガ入力によるカウントアップ開始の指定が可能 	$\phi/4 \sim \phi/128$ (6 種類)	TMCIV	TMOV		
タイマ X	<ul style="list-style-type: none"> 16 ビットフリーランニングタイマ 2 つのアウトプットコンペア出力 4 つのインプットキャプチャ入力 カウンタクリア指定が可能 イベントカウント機能 	$\phi/2 \sim \phi/32$ (3 種類)	FTCI FTIA FTIB FTIC FTID	FTOA FTOB		
ウォッチドッグタイマ	<ul style="list-style-type: none"> 8 ビットカウンタのオーバーフローでリセット信号を発生 	$\phi/8192$				

9.2 タイマ A

9.2.1 概要

タイマ A はインターバル/時計用タイムベース機能を内蔵した 8 ビットのタイマです。32.768kHz の水晶発振器を接続すると時計用タイムベースとして使用できます。また、TMOW 端子より、32.768kHz を分周したクロック、およびシステムクロックを分周したクロックが出力可能です。

(1) 特長

タイマ A の特長を以下に示します。

8 種類の内部クロックを選択可能

8 種類の内部クロック ($\phi/8192$ 、 $\phi/4096$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/128$ 、 $\phi/32$ 、 $\phi/8$) からの選択が可能です。

4 種類のオーバーフロー周期を選択可能

時計用タイムベースとして 4 種類のオーバーフロー周期 (1s、0.5s、0.25s、31.25ms) の選択が可能です (32.768kHz 水晶発振器を使用)。

カウンタのオーバーフローで割り込みを発生

タイマ出力クロックを選択可能

TMOW 端子から出力するクロックとして、32.768kHz の 32、16、8、4 分周したクロック (1kHz、2kHz、4kHz、8kHz)、およびシステムクロックを 32、16、8、4 分周したクロックの計 8 種類の選択が可能です。

(2) ブロック図

タイマ A のブロック図を図 9.1 に示します。

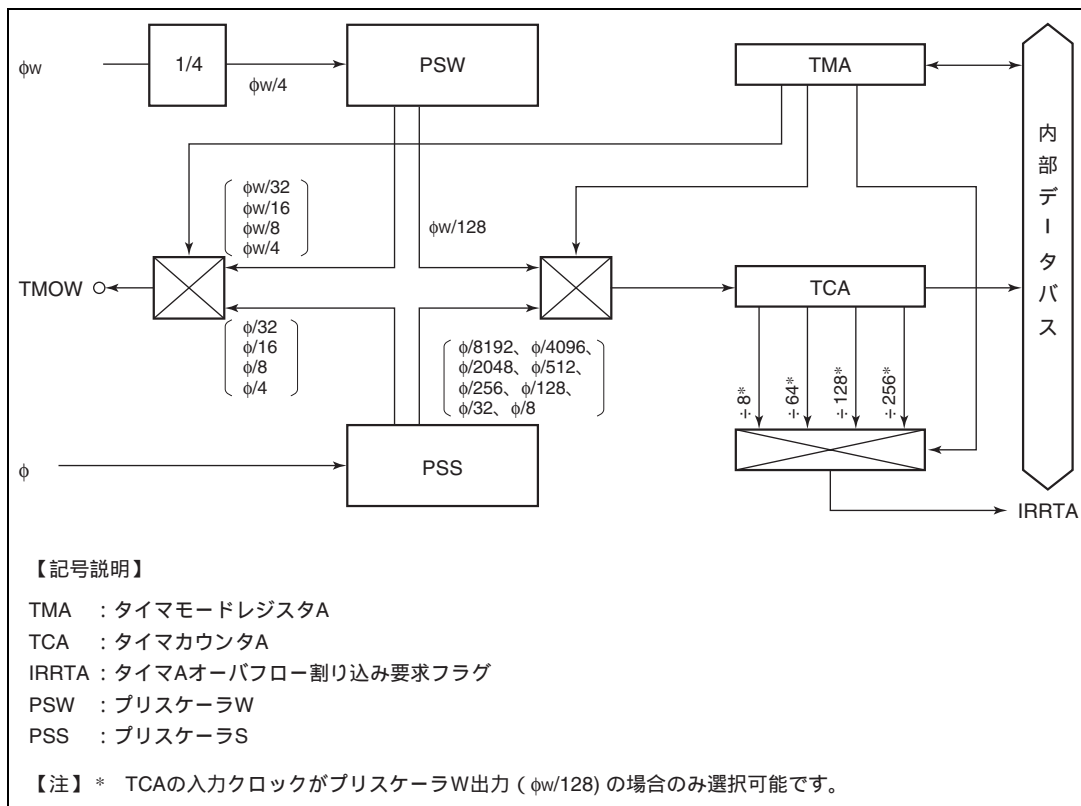


図 9.1 タイマ A ブロック図

(3) 端子構成

タイマ A の端子構成を表 9.2 に示します。

表 9.2 端子構成

名称	略称	入出力	機能
クロック出力	TMOW	出力	タイマ A 出力回路により生成された波形の出力端子

9. タイマ

(4) レジスタ構成

タイマ A のレジスタ構成を表 9.3 に示します。

表 9.3 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマモードレジスタ A	TMA	R/W	H'10	H'FFB0
タイマカウンタ A	TCA	R	H'00	H'FFB1

9.2.2 各レジスタの説明

(1) タイマモードレジスタ A (TMA)

ビット:	7	6	5	4	3	2	1	0
	TMA7	TMA6	TMA5	—	TMA3	TMA2	TMA1	TMA0
初期値:	0	0	0	1	0	0	0	0
R/W :	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W

TMA は、8 ビットのリード/ライト可能なレジスタで、プリスケアラ、入力クロック、および出力クロックの選択を行います。

リセット時、TMA は H'10 に初期化されます。

ビット 7~5 : クロック出力セレクト (TMA7~TMA5)

TMOW 端子から出力する 8 種類のクロックを選択します。システムクロックを 32、16、8、4 分周したクロックは、アクティブモード、スリープモードで出力されます。32.768kHz を 32、16、8、4 分周したクロックは、アクティブモード、スリープモード、およびサブアクティブモードで出力されます。

ビット 7	ビット 6	ビット 5	説明
TMA7	TMA6	TMA5	
0	0	0	$\phi/32$ (初期値)
		1	$\phi/16$
	1	0	$\phi/8$
		1	$\phi/4$
1	0	0	$\phi_w/32$
		1	$\phi_w/16$
	1	0	$\phi_w/8$
		1	$\phi_w/4$

ビット 4 : リザーブビット

リザーブビットです。本ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット3~0：内部クロックセレクト（TMA3~TMA0）

TCA に入力するクロックを選択します。

ビット3	ビット2	ビット1	ビット0	説明	
TMA3	TMA2	TMA1	TMA0	プリスケラ分周比またはオーバフロー周期	機能
0	0	0	0	PSS、 $\phi/8192$ (初期値)	インターバル
			1	PSS、 $\phi/4096$	
		1	0	PSS、 $\phi/2048$	
			1	PSS、 $\phi/512$	
	1	0	0	PSS、 $\phi/256$	
			1	PSS、 $\phi/128$	
		1	0	PSS、 $\phi/32$	
			1	PSS、 $\phi/8$	
1	0	0	0	PSW、1s	時計用 タイムベース
			1	PSW、0.5s	
		1	0	PSW、0.25s	
			1	PSW、0.03125s	
	1	0	0	PSW、TCA リセット	
			1		
		1	0		
			1		

(2) タイマカウンタ A (TCA)

ビット：	7	6	5	4	3	2	1	0
	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

TCA は、8 ビットのリード可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックは TMA の TMA3 ~ TMA0 により選択します。TCA の値は、アクティブモード時は CPU からリードできますが、サブアクティブモード時では TCA をリードすることはできません。TCA がオーバフローすると、割り込み要求レジスタ 1 (IRR1) の IRRTA が 1 にセットされます。

TCA は TMA の TMA3、TMA2 を 11 にセットすることでクリアできます。

リセット時、TCA は H'00 に初期化されます。

9.2.3 動作説明

(1) インターバル動作

TMA の TMA3 を 0 にセットすると、タイマ A は 8 ビットインターバルタイマとして動作します。リセット時、TCA は H'00、TMA3 は 0 にクリアされるため、リセット直後はインターバルタイマとして停止することなくカウントアップを続けます。タイマ A の動作クロックは、TMA の TMA2 ~ TMA0 により、プリスケラ S の出力する 8 種類の内部クロックを選択できます。

TCA のカウンタ値が H'FF になった後、クロックが入力されると、タイマ A はオーバフローし、IRR1 の IRRTA が 1 にセットされます。このとき、割り込み許可レジスタ 1 (IENR1) の IENTA が 1 ならば CPU に割り込みを要求します。*

オーバフロー時には、TCA のカウント値は H'00 に戻り、再びカウントアップを開始します。したがって、256 回の入力クロックごとに、オーバフロー出力を発生するインターバルタイマとして動作します。

【注】* 割り込みについての詳細は、「3.3 割り込み」を参照してください。

(2) 時計用タイムベース動作

TMA の TMA3 を 1 にセットすると、タイマ A はプリスケラ W の出力するクロックをカウントして、時計用タイムベースとして動作します。タイマ A のオーバフロー周期は、TMA の TMA1、TMA0 により 4 種類選択できます。時計用タイムベース動作時 (TMA3 = 1) に TMA2 を 1 にすると、TCA およびプリスケラ W は、ともに H'00 にクリアされます。

(3) クロック出力の動作

PMR1 の TMOW を 1 にセットすると、TMOW 端子からクロックが出力されます。端子から出力されるクロックは、TMA の TMA7 ~ TMA5 により、8 種類のクロックが選択できます。システムクロックを 32、16、8、4 分周したクロックは、アクティブモード、スリープモードで出力され、32.768kHz を 32、16、8、4 分周したクロックは、アクティブモード、スリープモード、およびサブアクティブモードで出力されます。

9.2.4 タイマ A の動作モード

タイマ A の動作モードを表 9.4 に示します。

表 9.4 タイマ A の動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCA	インターバル	リセット	動作	動作	停止	停止	停止	停止
	時計用タイムベース	リセット	動作	動作	動作	動作	動作	停止
TMA		リセット	動作	保持	保持	動作	保持	保持

【注】 アクティブモード、スリープモード時に、時計用タイムベース機能を選択した場合、システムクロックと内部クロックとが非同期であるため同期回路で同期をとっています。これにより、カウント同期は最大で $1/\phi$ (s) の誤差が生じます。

9.3 タイマ B1

9.3.1 概要

タイマ B1 は、入力クロックが入るたびにカウントアップする 8 ビットのタイマです。タイマ B1 には、インターバル機能、オートリロード機能の 2 種類の機能があります。

(1) 特長

タイマ B1 の特長を以下に示します。

8 種類のクロックを選択可能

7 種類の内部クロック ($\phi/8192$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/64$ 、 $\phi/16$ 、 $\phi/4$) と外部クロックからの選択が可能です (外部イベントのカウントが可能)。

カウンタのオーバーフローで割り込みを発生

(2) ブロック図

タイマ B1 のブロック図を図 9.2 に示します。

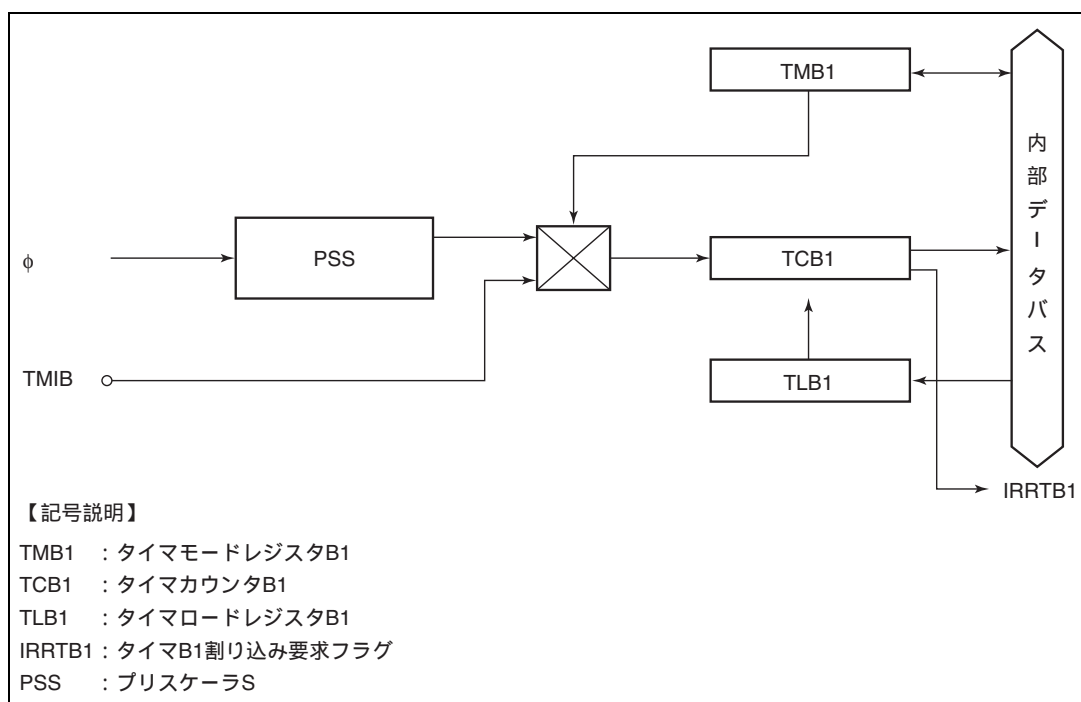


図 9.2 タイマ B1 ブロック図

9. タイマ

(3) 端子構成

タイマ B1 の端子構成を表 9.5 に示します。

表 9.5 端子構成

名称	略称	入出力	機能
タイマ B1 イベント入力	TMIB	入力	TCB1 に入力するイベント入力端子

(4) レジスタ構成

タイマ B1 のレジスタ構成を表 9.6 に示します。

表 9.6 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマモードレジスタ B1	TMB1	R/W	H'78	H'FFB2
タイマカウンタ B1	TCB1	R	H'00	H'FFB3
タイマロードレジスタ B1	TLB1	W	H'00	H'FFB3

9.3.2 各レジスタの説明

(1) タイマモードレジスタ B1 (TMB1)

ビット:	7	6	5	4	3	2	1	0
	TMB17	—	—	—	—	TMB12	TMB11	TMB10
初期値:	0	1	1	1	1	0	0	0
R/W :	R/W	—	—	—	—	R/W	R/W	R/W

TMB1 は、8 ビットのリード/ライト可能なレジスタで、オートリロード機能の選択および入力クロックの選択を行います。

リセット時、TMB1 は H'78 に初期化されます。

ビット 7: オートリロード機能選択 (TMB17)

タイマ B1 のオートリロード機能を選択します。

ビット 7	説明
TMB17	
0	インターバル機能を選択 (初期値)
1	オートリロード機能を選択

ビット 6~3: リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット2~0：クロックセレクト (TMB12~TMB10)

TCB1 に入力するクロックを選択します。外部からのイベント入力は、立ち上がり / 立ち下がりエッジの選択が可能です。

ビット2	ビット1	ビット0	説 明
TMB12	TMB11	TMB10	
0	0	0	内部クロック ϕ /8192 でカウント (初期値)
		1	内部クロック ϕ /2048 でカウント
	1	0	内部クロック ϕ /512 でカウント
		1	内部クロック ϕ /256 でカウント
1	0	0	内部クロック ϕ /64 でカウント
		1	内部クロック ϕ /16 でカウント
	1	0	内部クロック ϕ /4 でカウント
		1	外部イベント (TMIB) の立ち上がり / 立ち下がりエッジでカウント*

【注】 * 外部イベントのエッジ選択は、割り込みエッジセレクトレジスタ 2 (IEGR2) の INTEG6 により設定します。詳細は、「3.3.2 各レジスタの説明 (2) 割り込みエッジセレクトレジスタ 2 (IEGR2)」を参照してください。

(2) タイマカウンタ B1 (TCB1)

ビット:	7	6	5	4	3	2	1	0
	TCB17	TCB16	TCB15	TCB14	TCB13	TCB12	TCB11	TCB10
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

TCB1 は、8 ビットのリード可能なアップカウンタで、入力する内部クロック / 外部イベントによりカウントアップされます。入力するクロックは、TMB1 の TMB12 ~ TMB10 により選択します。TCB1 の値は、CPU から常にリードできます。

TCB1 がオーバーフロー (H'FF→H'00 または H'FF→TLB1 の設定値) すると、IRR1 の IRRTB1 が 1 にセットされます。

TCB1 は、TLB1 と同一のアドレスに割り付けられています。

リセット時、TCB1 は H'00 に初期化されます。

(3) タイマロードレジスタ B1 (TLB1)

ビット:	7	6	5	4	3	2	1	0
	TLB17	TLB16	TLB15	TLB14	TLB13	TLB12	TLB11	TLB10
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

TLB1 は、8 ビットのライト専用のレジスタで、TCB1 のリロード値を設定します。

TLB1 にリロード値を設定すると、同時にその値は TCB1 にもロードされ、TCB1 はその値からカウントアップを開始します。また、オートリロード動作時、TCB1 がオーバーフローすると TCB1 に TLB1

の値がロードされます。したがって、オーバフロー周期を 1~256 入力クロックの範囲で設定することができます。

TLB1 は、TCB1 と同一のアドレスに割り付けられています。

リセット時、TLB1 は H'00 に初期化されます。

9.3.3 動作説明

(1) インターバルタイマの動作

TMB1 の TMB17 を 0 にセットすると、タイマ B1 は 8 ビットインターバルタイマとして動作します。

リセット時、TCB1 は H'00、TMB17 は 0 にクリアされるため、リセット直後は、インターバルタイマとして停止することなくカウントアップを続けます。タイマ B の動作クロックは、TMB1 の TMB12~TMB10 により、プリスケアラ S の出力する 7 種類の内部クロック、TMIB 入力端子からの外部クロックを選択できます。

TCB1 のカウント値が H'FF になった後、クロックが入力されると、タイマ B1 はオーバフローし、IRR1 の IRRTB1 が 1 にセットされます。このとき、IENR1 の IENTB1 が 1 ならば CPU に割り込みを要求します。*

オーバフロー時には、TCB1 のカウント値は H'00 に戻り、再びカウントアップを開始します。

インターバルタイマ動作時 (TMB17=0) に TLB1 を設定すると、同時に TCB1 にも TLB1 の値をロードします。

【注】* 割り込みについての詳細は、「3.3 割り込み」を参照してください。

(2) オートリロードタイマの動作

TMB1 の TMB17 を 1 にセットすると、タイマ B1 は 8 ビットオートリロードタイマとして動作します。TLB1 にリロード値を設定すると、同時にその値が TCB1 にロードされ、TCB1 はその値からカウントアップを開始します。

TCB1 のカウント値が H'FF になった後、クロックが入力されると、タイマ B1 はオーバフローし、TLB1 の値が TCB1 にロードされ、その値からカウントアップを続けます。したがって、TLB1 の値により、オーバフロー周期を 1~256 入力クロックの範囲で設定できます。

オートリロード動作時のクロックおよび割り込みについてはインターバル動作時と同様です。

オートリロード動作時 (TMB17=1) に TLB1 の値を再設定すると、同時に TCB1 にも TLB1 の値をロードします。

(3) イベントカウンタ

タイマ B1 は、TMIB 端子をイベント入力端子とするイベントカウンタとして動作します。

TMB1 の TMB12~TMB10 を 111 に設定すると、外部イベントが選択され、TCB1 は、TMIB 端子入力の立ち上がり / 立ち下がりエッジでカウントアップします。

外部イベント入力を使用する場合は、IENR3 の INTEN6 = 0 として INT₆ 割り込み要求を禁止してください。

9.3.4 タイマ B1 の動作モード

タイマ B1 の動作モードを表 9.7 に示します。

表 9.7 タイマ B1 の動作モード

動作モード		リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCB1	インターバル	リセット	動作	動作	停止	停止	停止	停止
	オートリロード	リセット	動作	動作	停止	停止	停止	停止
TMB1		リセット	動作	保持	保持	保持	保持	保持

9.4 タイマ V

9.4.1 概要

タイマ V は、8 ビットのカウンタをベースにした 8 ビットタイマです。外部のイベントのカウンタが可能のほか、コンペアマッチ信号によりカウンタのリセット、割り込み要求、任意のデューティ比のパルス出力などが可能です。また、TRGV 端子からのトリガ入力によるカウント開始機能を備えていますので、トリガ入力から任意時間経過後にトリガと同期したパルスの出力制御が可能です。

(1) 特長

タイマ V の特長を以下に示します。

7 種類のクロックを選択可能

6 種類の内部クロック ($\phi/128$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$) と外部クロックからの選択が可能です (外部イベントのカウンタが可能)。

カウンタのクリア指定が可能

コンペアマッチ A、B、または外部リセット信号のうちから選択できます。カウント停止機能を選択しているときは、カウンタクリアと同時にカウントが停止します。

2 つのコンペアマッチ信号の組み合わせでタイマ出力を制御

独立に動作可能な 2 つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力や PWM 出力など種々の応用が可能です。

割り込み要因：コンペアマッチ $\times 2$ 要因、オーバフロー $\times 1$ 要因

トリガ入力によるカウント開始機能

TRGV 端子からのトリガ入力によるカウント開始機能を備えています。TRGV 端子からのトリガ入力は立ち上がりエッジ、立ち下がりエッジ、両エッジからの選択が可能です。

(2) ブロック図

タイマVのブロック図を図9.3に示します。

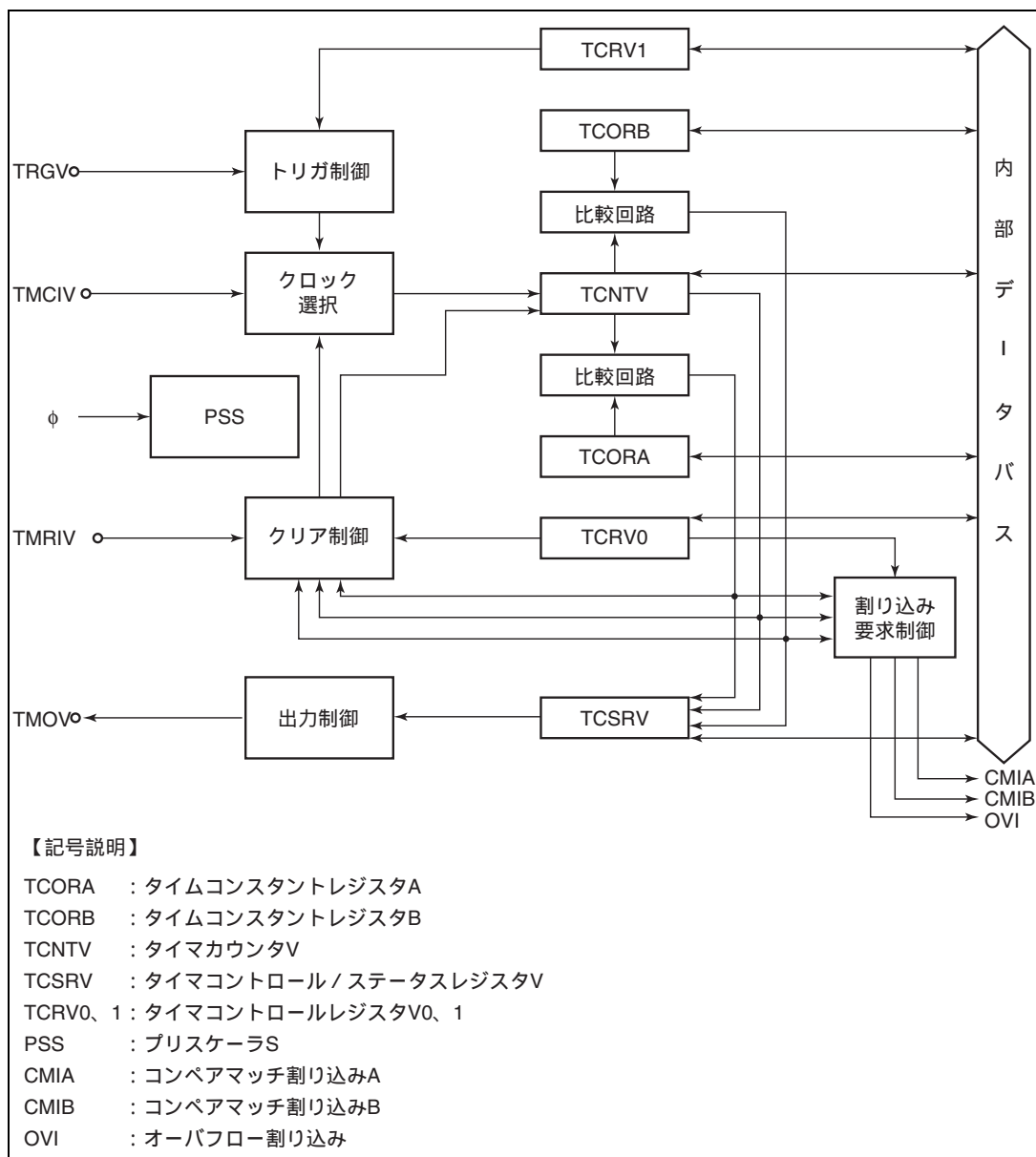


図9.3 タイマVのブロック図

9. タイマ

(3) 端子構成

タイマ V の端子構成を表 9.8 に示します。

表 9.8 端子構成

名称	略称	入出力	機能
タイマ V 出力	TMOV	出力	タイマ V の波形出力端子
タイマ V クロック入力	TMCIV	入力	TCNTV に入力するクロック入力端子
タイマ V リセット入力	TMRIV	入力	TCNTV をリセットする外部入力端子
トリガ入力	TRGV	入力	カウント開始トリガ入力端子

(4) レジスタ構成

タイマ V のレジスタ構成を表 9.9 に示します。

表 9.9 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマコントロールレジスタ V0	TCRV0	R/W	H'00	H'FFB8
タイマコントロール/ステータスレジスタ V	TCSRV	R/(W)*	H'10	H'FFB9
タイムコンスタントレジスタ A	TCORA	R/W	H'FF	H'FFBA
タイムコンスタントレジスタ B	TCORB	R/W	H'FF	H'FFBB
タイマカウンタ V	TCNTV	R/W	H'00	H'FFBC
タイマコントロールレジスタ V1	TCRV1	R/W	H'E2	H'FFBD

【注】 * ビット 7~5 は、フラグをクリアするための 0 ライトのみ可能です。

9.4.2 各レジスタの説明

(1) タイマカウンタ V (TCNTV)

ビット:	7	6	5	4	3	2	1	0
	TCNTV ₇	TCNTV ₆	TCNTV ₅	TCNTV ₄	TCNTV ₃	TCNTV ₂	TCNTV ₁	TCNTV ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNTV は、8 ビットのリード/ライト可能なアップカウンタで、入力する内部クロック/外部クロックによりカウントアップされます。入力するクロックは、TCRV0 の CKS2 ~ CKS0 により選択します。TCNTV の値は、CPU から常にリード/ライトできます。

TCNTV は、外部リセット入力信号またはコンペアマッチ信号 (A、B) により、クリアすることができます。いずれの信号でクリアするかは、TCRV0 の CCLR1、CCLR0 により選択します。

また、TCNTV がオーバフロー (H'FF→H'00) すると、TCSRV の OVF が 1 にセットされます。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、TCNTV は、H'00 に初期化されます。

(2) タイムコンスタントレジスタ A、B (TCORA、TCORB)

ビット:	7	6	5	4	3	2	1	0
	TCORn7	TCORn6	TCORn5	TCORn4	TCORn3	TCORn2	TCORn1	TCORn0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 n=AまたはB

TCORA、B は、8 ビットのリード/ライト可能なレジスタです。

TCORA の内容は TCNTV と常に比較されており、両者の値が一致すると、TCSR の CMFA が 1 にセットされます。このとき TCRV0 の CMIEA が 1 ならば CPU に割り込みを要求します。ただし、TCORA へのライトサイクルの T₃ ステートでの比較は禁止されています。

また、この一致による信号 (コンペアマッチ) と TCSR の OS3 ~ OS0 の設定により、TMOV 端子からのタイマ出力を自由に制御することができます。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、TCORA は、H'FF に初期化されます。

TCORB についても同様です。

(3) タイマコントロールレジスタ V0 (TCRV0)

ビット:	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCRV0 は、8 ビットのリード/ライト可能なレジスタで、TCNTV の入力クロックの選択、TCNTV のクリア指定、および各割り込み要求の許可を行います。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、TCRV0 は、H'00 に初期化されます。

ビット 7: コンペアマッチインタラプトイネーブル B (CMIEB)

TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。

ビット 7	説明
CMIEB	
0	CMFB による割り込み要求 (CMIB) を禁止 (初期値)
1	CMFB による割り込み要求 (CMIB) を許可

9. タイマ

ビット 6 : コンペアマッチインタラプトイネーブル A (CMIEA)

TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求 (CMIA) の許可または禁止を選択します。

ビット 6	説 明
CMIEA	
0	CMFA による割り込み要求 (CMIA) を禁止 (初期値)
1	CMFA による割り込み要求 (CMIA) を許可

ビット 5 : タイマオーバフローインタラプトイネーブル B (OVIE)

TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求 (OVI) の許可または禁止を選択します。

ビット 5	説 明
OVIE	
0	OVF による割り込み要求 (OVI) を禁止 (初期値)
1	OVF による割り込み要求 (OVI) を許可

ビット 4、3 : カウンタクリア 1、0 (CCLR1、CCLR0)

TCNTV をクリアするかしないかを指定します。コンペアマッチ A、B または外部リセット入力から選択します。

クリアを指定しているとき、TCRV1 の TRGE が 1 にセットされていると、TCNTV のクリア動作と同時に TCNTV のカウントアップを停止します。カウントアップの再開は TRGV 入力端子のエッジ入力によって行われます。

TRGE が 0 にクリアされているときは、TCNTV のクリア動作後、継続してカウントアップを行います。

ビット 4	ビット 3	説 明
CCLR1	CCLR0	
0	0	クリアを禁止 (初期値)
	1	コンペアマッチ A によるクリア
1	0	コンペアマッチ B によるクリア
	1	外部リセット入力の立ち上がりエッジによるクリア

ビット2~0：クロックセレクト2~0 (CKS2~CKS0)

TCRV1 の ICKS0 との組み合わせで、TCNTV に入力するクロックを選択します。

内部クロックは、システムクロック (ϕ) を分周した 6 種類のクロックから選択できます。立ち下がりエッジでカウントします。

外部クロックのとき、入力立ち上がり、立ち下がり、または立ち上がり / 立ち下がり両エッジのカウントの 3 種類から選択できます。

TRGE が 0 にクリアされているときは、TCNTV のクリア動作後、継続してカウントアップを行います。

TCRV0			TCRV1	説 明	
ビット2	ビット1	ビット0	ビット0		
CKS2	CKS1	CKS0	ICKS0		
0	0	0		クロック入力禁止 (初期値)	
		1	0	内部クロック： $\phi/4$ 立ち下がりエッジでカウント	
	1	0	1	1	内部クロック： $\phi/8$ 立ち下がりエッジでカウント
			0	0	内部クロック： $\phi/16$ 立ち下がりエッジでカウント
		1	0	1	内部クロック： $\phi/32$ 立ち下がりエッジでカウント
			1	0	内部クロック： $\phi/64$ 立ち下がりエッジでカウント
1	0	0		クロック入力禁止	
		1		外部クロック：立ち上がりエッジでカウント	
	1	0	0		外部クロック：立ち下がりエッジでカウント
			1		外部クロック：立ち上がり / 立ち下がり両エッジでカウント
		1	0		
			1		

(4) タイマコントロール / ステータスレジスタ V (TCSR V)

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF		OS3	OS2	OS1	OS0
初期値:	0	0	0	1	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*		R/W	R/W	R/W	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

TCSR V は、8 ビットのレジスタで、コンペアマッチフラグのセット、タイマオーバフローフラグのセット、およびコンペアマッチ出力の制御を行います。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、TCSR V は H'10 に初期化されます。

9. タイマ

ビット7：コンペアマッチフラグ B (CMFB)

TCNTV と TCORB がコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	説明
CMFB	
0	[クリア条件] (初期値) CMFB=1の状態、CMFBをリードした後、CMFBに0をライトしたとき
1	[セット条件] TCNTVの値とTCORBの値が、コンペアマッチしたとき

ビット6：コンペアマッチフラグ A (CMFA)

TCNTV と TCORA がコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット6	説明
CMFA	
0	[クリア条件] (初期値) CMFA=1の状態、CMFAをリードした後、CMFAに0をライトしたとき
1	[セット条件] TCNTVの値とTCORAの値が、コンペアマッチしたとき

ビット5：タイマオーバフローフラグ (OVF)

TCNTV がオーバフロー (H'FF→H'00) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット5	説明
OVF	
0	[クリア条件] (初期値) OVF=1の状態、OVFをリードした後、OVFに0をライトしたとき
1	[セット条件] TCNTVの値がH'FF→H'00になったとき

ビット4：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット3~0: アウトプットセレクト3~0 (OS3~OS0)

TCORA または TCORB と TCNTV のコンペアマッチによる TOMV 端子の出力レベルをどのように変化させるかを選択します。

OS3 と OS2 がコンペアマッチ B による出力レベルを選択し、OS1 と OS0 がコンペアマッチ A による出力レベルを選択し、それぞれ独立に制御することができます。

ただし、トグル出力 > 1 出力 > 0 出力の順で優先順位が高くなるように設定してありますので、コンペアマッチが同時に発生した場合は、優先順位が高い方のコンペアマッチに従って出力が変化します。

なお、OS3 ~ OS0 がすべて 0 の場合にはタイマ出力は禁止されます。

リセット後、最初のコンペアマッチが起こるまでのタイマ出力は 0 です。

ビット3	ビット2	説 明
OS3	OS2	
0	0	コンペアマッチ B で変化しない (初期値)
	1	コンペアマッチ B で 0 出力
1	0	コンペアマッチ B で 1 出力
	1	コンペアマッチ B ごとに反転出力 (トグル出力)

ビット1	ビット0	説 明
OS1	OS0	
0	0	コンペアマッチ A で変化しない (初期値)
	1	コンペアマッチ A で 0 出力
1	0	コンペアマッチ A で 1 出力
	1	コンペアマッチ A ごとに反転出力 (トグル出力)

(5) タイマコントロールレジスタ V1 (TCRV1)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	TVEG1	TVEG0	TRGE	—	ICKS0
初期値:	1	1	1	0	0	0	1	0
R/W :	—	—	—	R/W	R/W	R/W	—	R/W

TCRV1 は、8 ビットのリード/ライト可能なレジスタで、TRGV 端子のエッジセレクト、TRGV 入力イネーブル、TCNTV の入力クロックの選択を行います。

リセット、ウォッチモード、サブスリープモード、またはサブアクティブモード時に TCRV1 は HE2 に初期化されます。

ビット7~5: リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

9. タイマ

ビット4、3：TRGV入力エッジセレクト (TVEG1、TVEG0)

TRGV 端子の入力エッジを選択します。

ビット4	ビット3	説 明
TVEG1	TVEG0	
0	0	TRGV からのトリガ入力を禁止 (初期値)
	1	立ち上がりエッジを選択
1	0	立ち下がりエッジを選択
	1	立ち上がり / 立ち下がり両エッジを選択

ビット2：TRGV入力イネーブル (TRGE)

TRGV 端子入力による TCNTV カウントアップの開始とコンペアマッチによる TCNTV クリア時の TCNTV カウントアップの停止を、許可 / 禁止します。TRGE が1にセットされると、TCNTV のカウントアップは停止します。TRGV 端子から、TVEG1、TVEG0 で選択されたエッジが入力されると、TCNTV のカウントアップが開始されます。

ビット2	説 明
TRGE	
0	TRGV 端子入力による TCNTV カウントアップの開始とコンペアマッチによる TCNTV クリア時の TCNTV カウントアップの停止を禁止 (初期値)
1	TRGV 端子入力による TCNTV カウントアップの開始とコンペアマッチによる TCNTV クリア時の TCNTV カウントアップの停止を許可

ビット1：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット0：インターナルクロックセレクト0 (ICKS0)

TCRV0のCKS2～CKS0との組み合わせで、TCNTVに入力するクロックを選択します。詳細は「9.4.2 各レジスタの説明 (3) タイマコントロールレジスタ V0 (TCRV0)」を参照してください。

9.4.3 動作説明

(1) タイマVの動作

リセット直後、TCNTV は H'00 に、TCORA、TCORB は H'FF に、TCRV0 は H'00 に、TCSR V は H'10 に、TCRV1 は H'E2 に初期化されます。

タイマVの動作クロックは、TCRV0のCKS2～CKS0とTCRV1のICKS0の組み合わせにより、プリスケアラSの出力する6種類の内部クロックまたは外部クロックを選択できます。外部クロックの入力エッジもCKS2～CKS0で選択できます。動作クロックを選択すると、この入力により、TCNTVはカウントアップを開始します。

TCNTVの内容は、TCORA、TCORBと常に比較されており、一致するとTCSR VのCMFA、CMFBが1にセットされます。このときTCRV0のCMIEA、CMIEBが1ならば、CPUに割り込みを要求します。同時に、TCSR VのOS3～OS0で選択した出力レベルがTMOV端子から出力されます。

TCNTV がオーバーフロー (H'FF→H'00) すると、TCRV0 の OVIE が 1 ならば、CPU に割り込みを要求します。

TCRV0 の CCLR1、CCLR0 が 01 (コンペアマッチ A によるクリア) または 10 (コンペアマッチ B によるクリア) ならば、対応するコンペアマッチで TCNTV がクリアされます。11 ならば、TMRIV 端子入力の立ち上がりエッジで TCNTV がクリアされます。TCRV0 の CCLR1、CCLR0 で選択したカウンタクリア要因が発生すると、TCNTV のクリアと同時にカウントアップも停止します。TRGV 端子から TCRV1 の TVEG1、TVEG0 で選択されたエッジが入力されると、TCNTV のカウントアップが開始されます。

(2) TCNTV のカウントタイミング

TCNTV は、入力されたクロック (内部クロックまたは外部クロック) によりカウントアップされます。

(a) 内部クロック動作の場合

TCRV0 の CKS2 ~ CKS0 および TCRV1 の ICKS0 の設定により、システムクロック (ϕ) を分周して作られる 6 種類の内部クロック ($\phi/128$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$) が選択されます。このタイミングを図 9.4 に示します。

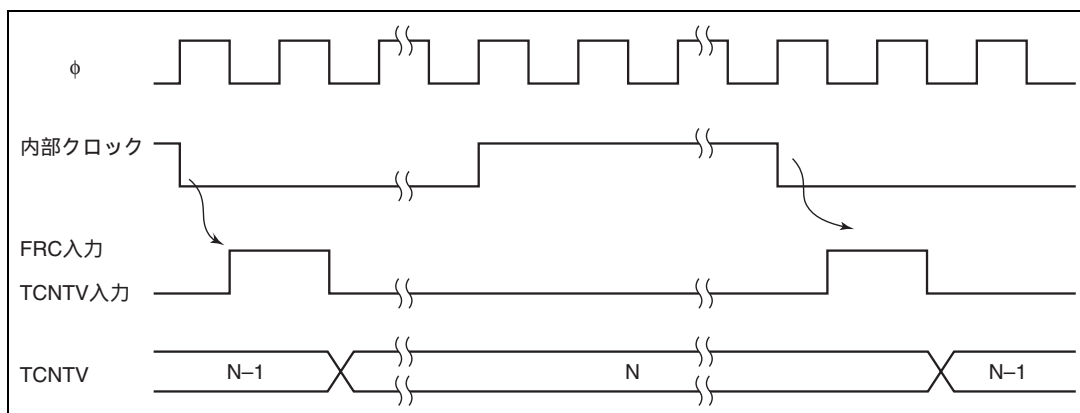


図 9.4 内部クロック動作時のカウントタイミング

9. タイマ

(b) 外部クロック動作の場合

TCRV0 の CKS2 ~ CKS0 の設定により、外部クロックの立ち上がり、立ち下がり、立ち上がり / 立ち下がり両エッジのいずれかによるカウントアップが選択されます。

なお、外部クロックのパルス幅は、単エッジの場合は 1.5 システムクロック (ϕ) 以上、両エッジの場合は 2.5 システムクロック以上必要です。これ以下のパルス幅では、正しく動作しませんので注意してください。

図 9.5 に外部クロックとして、立ち上がり / 立ち下がり両エッジの場合のタイミングを示します。

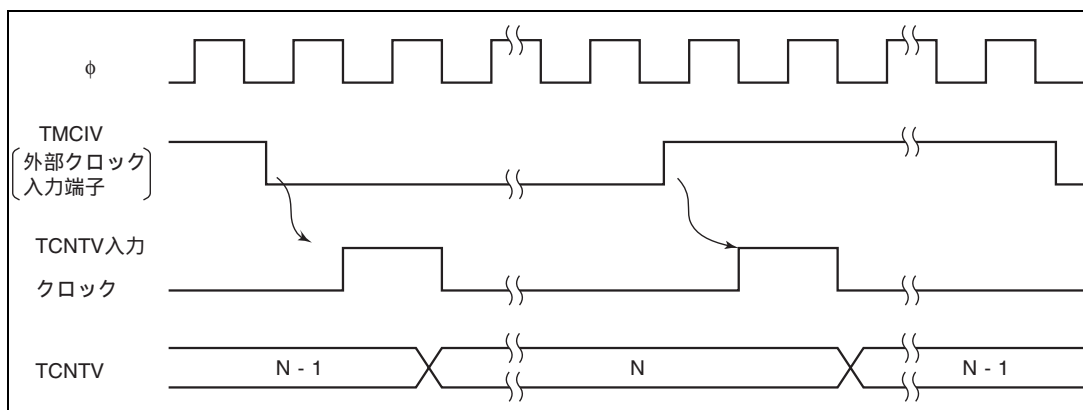


図 9.5 外部クロック動作時のカウントタイミング

(3) オーバフローフラグのセットタイミング

オーバフローフラグ (OVF) は、TCNTV がオーバフロー (H'FF→H'00) したとき 1 にセットされます。

このときのタイミングを図 9.6 に示します。

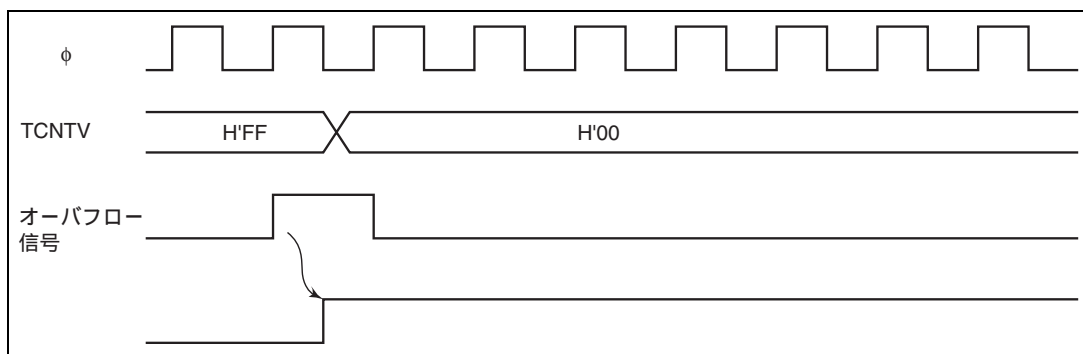


図 9.6 OVF のセットタイミング

(4) コンペアマッチフラグのセットタイミング

コンペアマッチフラグ (CMFA、B) は、TCORA または TCORB と TCNTV のコンペアマッチ時に 1 にセットされます。コンペアマッチ信号は値が一致した最後のステート (TCNTV が一致したカウント値を更新するタイミング) で発生します。TCNTV と TCORA または TCORB が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図 9.7 に示します。

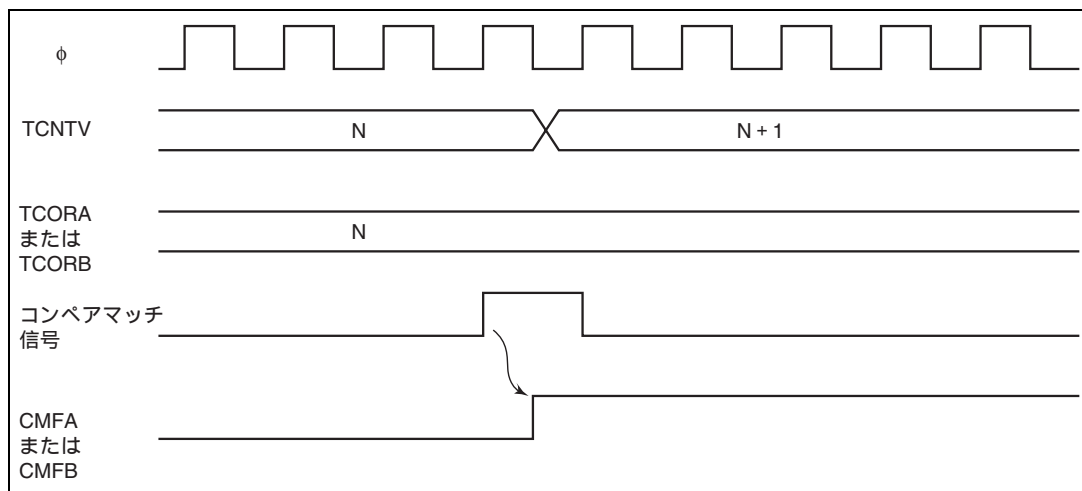


図 9.7 CMFA と CMFB のセットタイミング

(5) TMOV 出力タイミング

TMOV の出力は、コンペアマッチ A または B が発生したとき、TCSR の OS3 ~ OS0 で選択された状態 (変化しない、0 出力、1 出力、トグル出力) で出力されます。

図 9.8 にコンペアマッチ A 信号によるトグル出力の場合の出力タイミングを示します。

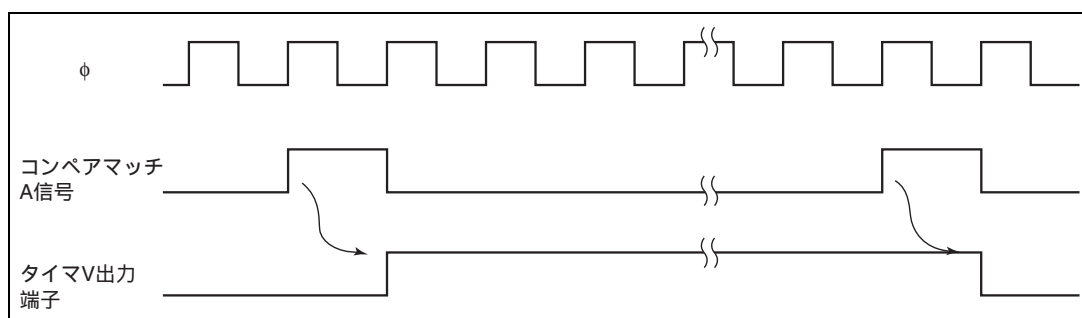


図 9.8 TMOV 出力タイミング

9. タイマ

(6) コンペアマッチによる TCNTV クリアタイミング

TCNTV は、TCRV0 の CCLR1、CCLR0 の選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。このクリアされるタイミングを図 9.9 に示します。

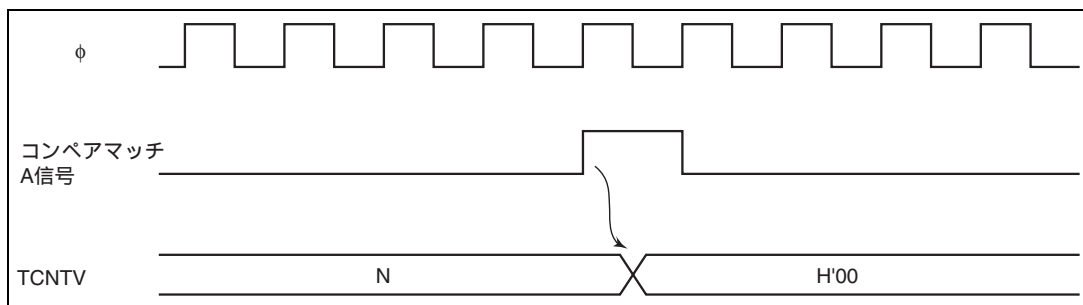


図 9.9 コンペアマッチによるクリアタイミング

(7) TMRIV による TCNTV クリアタイミング

TCNTV は、TCRV0 の CCLR1、CCLR0 の選択により TMRIV 端子からの立ち上がりエッジでクリアされます。TMRIV 入力のパルス幅は 1.5 システムクロック以上必要です。このクリアされるタイミングを図 9.10 に示します。

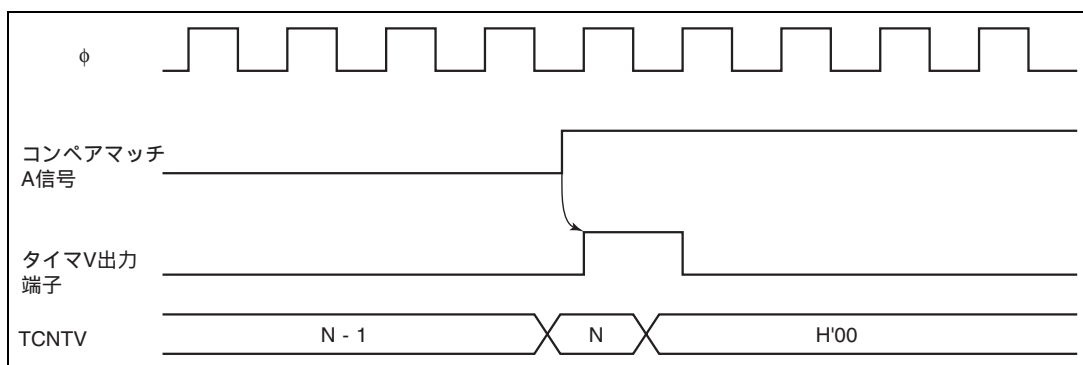


図 9.10 TMRIV 入力によるクリアタイミング

9.4.4 タイマVの動作モード

タイマVの動作モードを表9.10に示します。

表 9.10 タイマVの動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCNTV	リセット	動作	動作	リセット	リセット	リセット	リセット
TCRV0、TCRV1	リセット	動作	動作	リセット	リセット	リセット	リセット
TCORA、TCORB	リセット	動作	動作	リセット	リセット	リセット	リセット
TCSRv	リセット	動作	動作	リセット	リセット	リセット	リセット

9.4.5 割り込み要因

タイマVの割り込み要因は、CMIA、CMIB、OVIの3種類があります。表9.11に各割り込み要因とベクタアドレスを示します。各割り込み要因は、TCRV0の各割り込みイネーブルビットにより許可または禁止が設定できます。割り込みベクタアドレスは共通ですが、各割り込み要因のフラグを備えていますので、ソフトウェアで割り込み要因の判定が可能です。

表 9.11 タイマV 割り込み要因

割り込み要因	内容	ベクタアドレス
CMIA	CMFAによる割り込み	H'0022
CMIB	CMFBによる割り込み	
OVI	OVFによる割り込み	

9.4.6 タイマVの使用例

(1) 任意のデューティパルス出力

任意のデューティパルスを出力させた例を図 9.11 に示します。これは次に示すように設定します。

- (1) TCORAのコンペアマッチによりTCNTVがクリアされるように、TCRV0のCCCLR1を0、CCLR0を1にセットします。
- (2) TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRVのOS3～OS0を0110に設定します。
- (3) TCRV0のCKS2～CKS0とTCRV1のICKS0を設定して、所望のクロックソースを選択します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介在なしに出力できます。

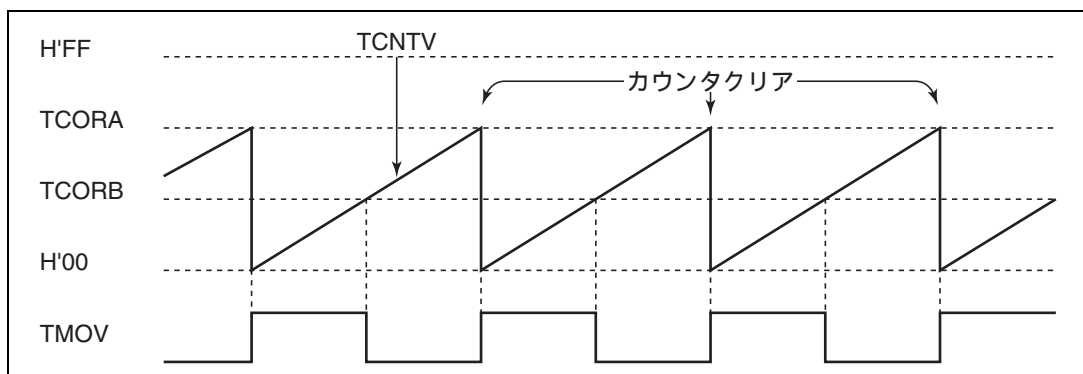


図 9.11 パルス出力例

(2) TRGV 入力から任意の遅延時間のパルス幅のパルス出力

TRGV 入力によるカウントアップ開始機能を用いて、TRGV 入力に対する任意の遅延時間、任意のパルス幅をもつパルスを出力することができます。この出力例を図 9.12 に示します。これは次に示すように設定します。

- (1) TCORBのコンペアマッチによりTCNTVがクリアされるように、TCRV0のCCRLR1を1、CCLR0を0にセットします。
- (2) TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSR0VのOS3～OS0を0110に設定します。
- (3) TRGV入力の立ち下がりエッジが有効となるように、TCRV1のTVEG1、TVEG0を10に、TRGEを1に設定します。
- (4) TCRV0のCKS2～CKS0とTCRV1のICKS0を設定して、所望のクロックソースを選択します。

以上の設定により、TRGV 入力からの遅延時間が TCORA、パルス幅が (TCORB - TCORA) の波形をソフトウェアの介入なしに出力できます。

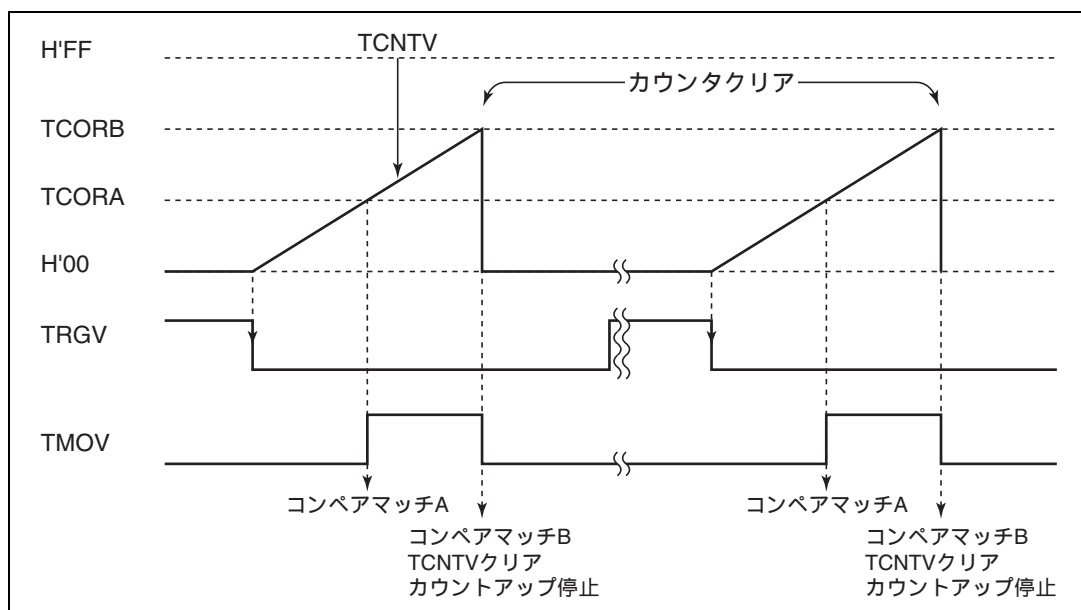


図 9.12 TRGV 入力に同期したパルス出力例

9.4.7 使用上の注意事項

タイマ V の動作中、次のような競合や動作が起こりますので注意してください。

(1) TCNTV のライトとカウンタクリアの競合

TCNTV ライトサイクル中の T_3 ステートで、TCNTV のクリア信号が発生すると、カウンタへのライトは行われず、クリアが優先されます。

このタイミングを図 9.13 に示します。

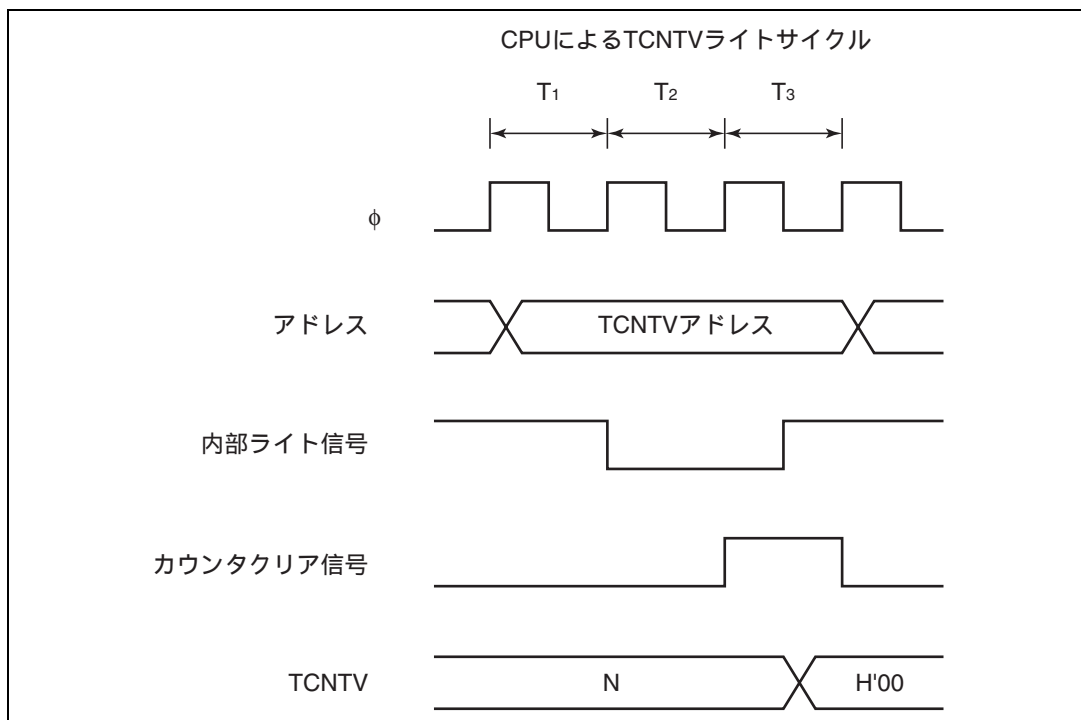


図 9.13 TCNTV のライトとクリアの競合

(2) TCNTV のライトとカウントアップの競合

TCNTV ライトサイクル中の T_3 ステートでカウントアップが発生しても、カウントアップされずライトが優先されます。

このタイミングを図 9.14 に示します。

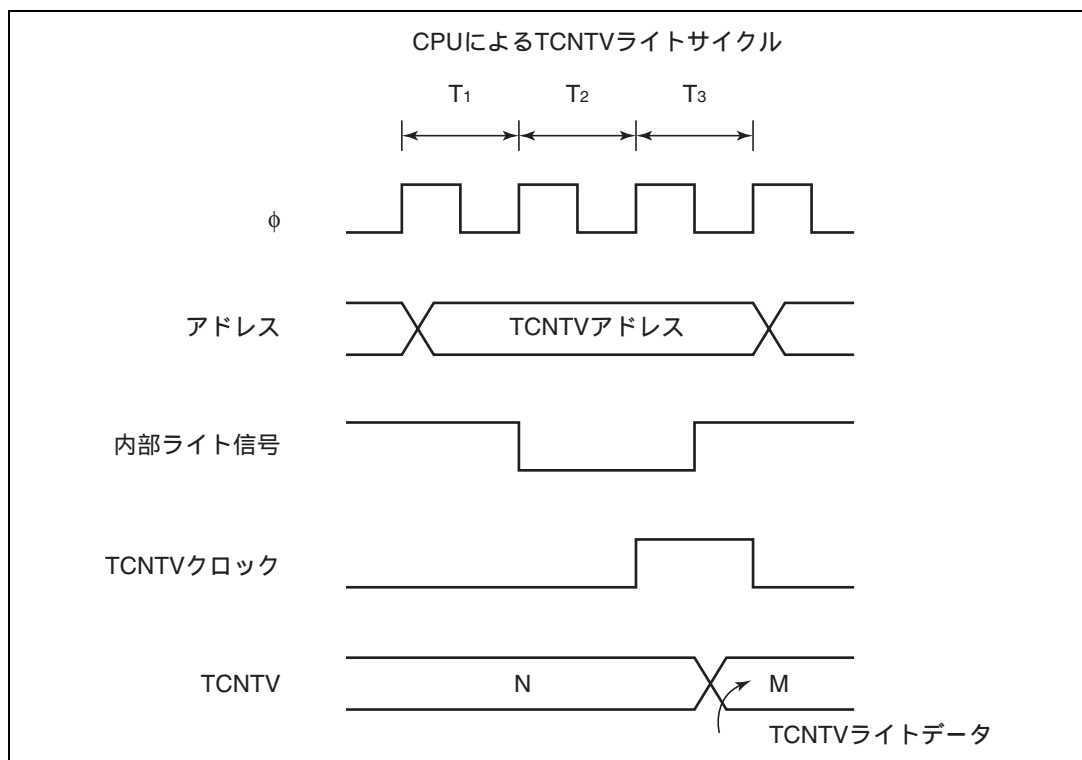


図 9.14 TCNTV のライトとカウントアップの競合

9. タイマ

(3) TCOR のライトとコンペアマッチの競合

TCORA、TCORB のライトサイクル中の T_3 ステートでコンペアマッチが発生した場合、TCORA、TCORB へのライトが優先され、コンペアマッチ信号は禁止されます。

このタイミングを図 9.15 に示します。

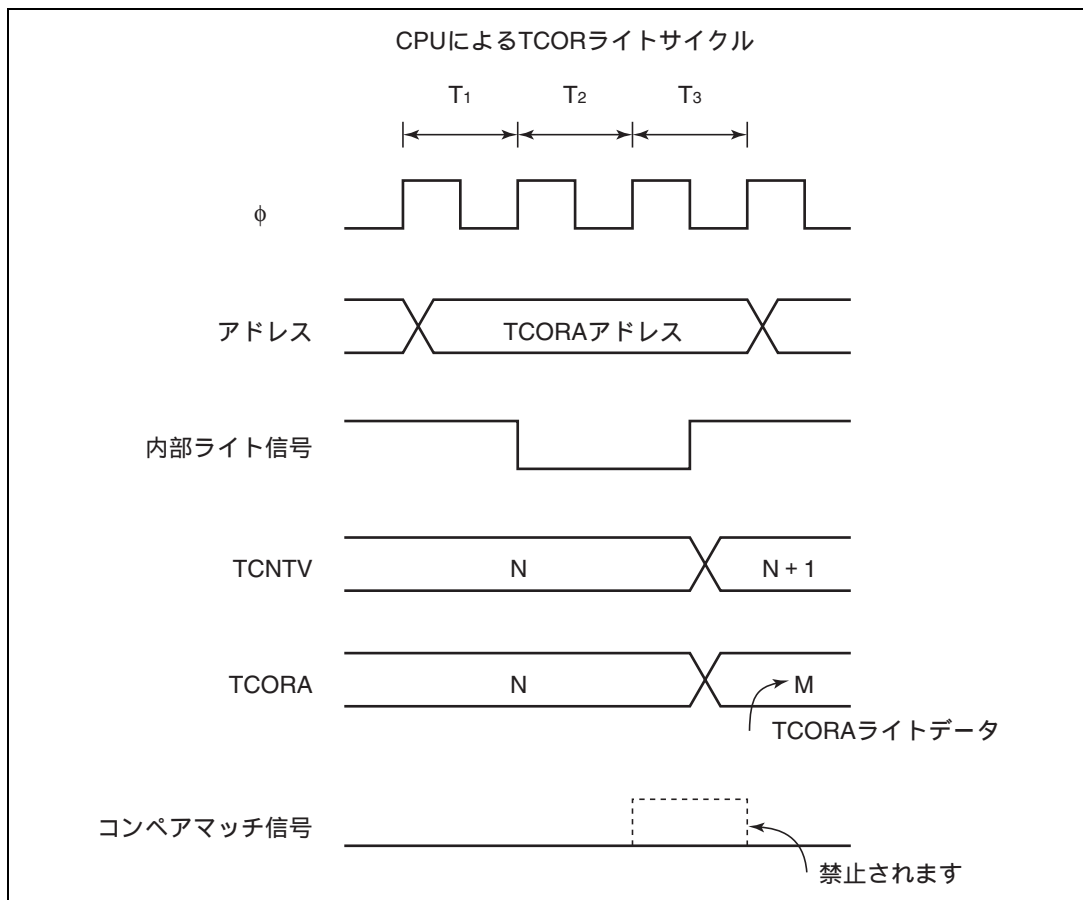


図 9.15 TCORA へのライトとコンペアマッチの競合

(4) コンペアマッチ A、B の競合

コンペアマッチ A、B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 9.12 に示すタイマ出力の優先順位に従って動作します。

表 9.12 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
1 出力	
0 出力	
変化しない	

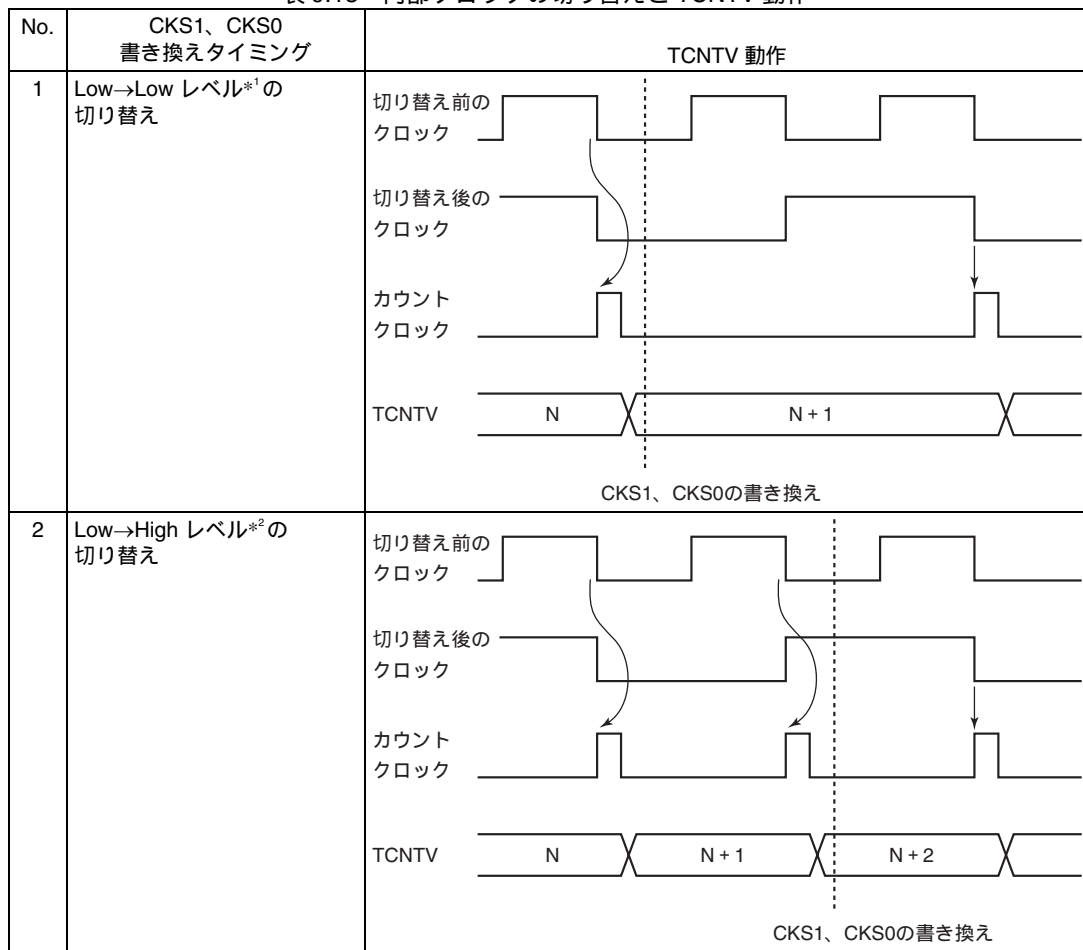
(5) 内部クロックの切り替えとカウンタの動作

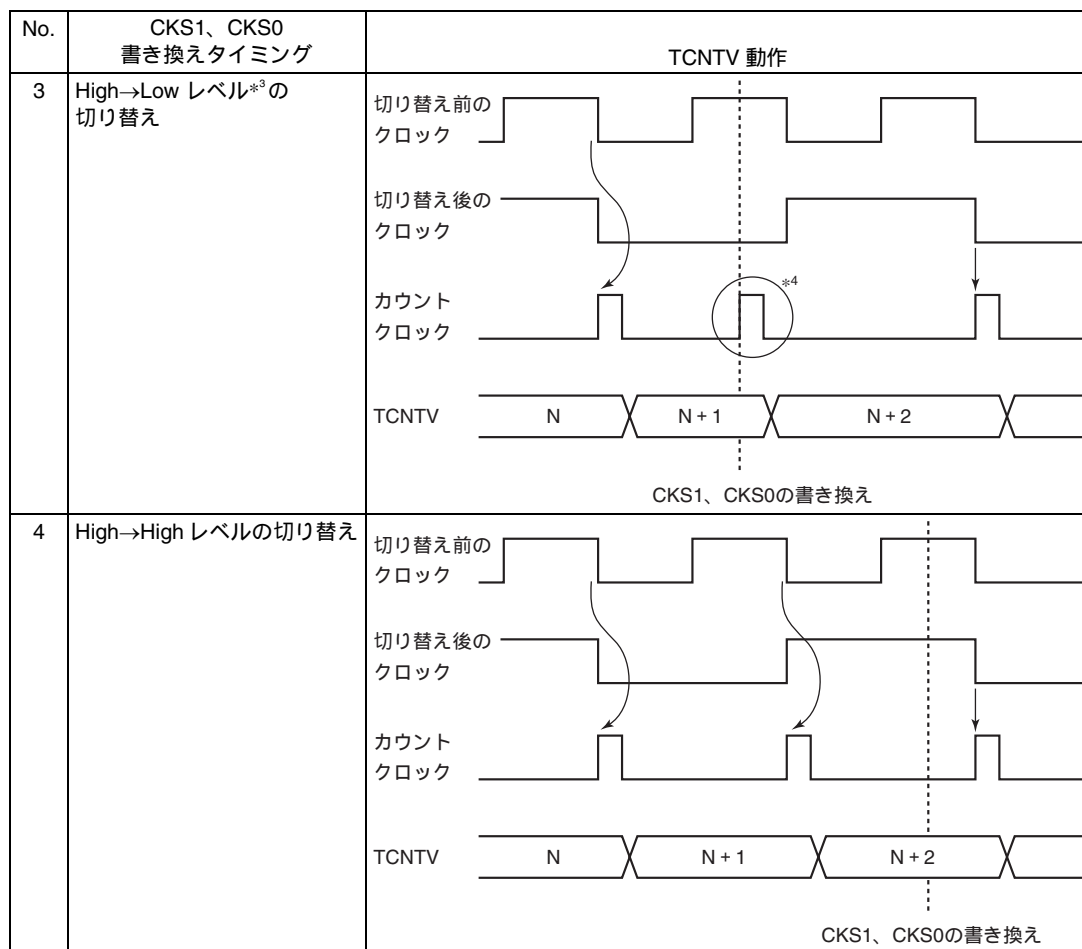
内部クロックを切り替えるタイミングによっては、TCNTV がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (CKS1、CKS0 の書き換え) と TCNTV 動作の関係を表 9.13 に示します。

内部クロックを使用する場合、システムクロック (ϕ) を分周した内部クロックの立ち下がりエッジで検出してカウントクロックを発生しています。そのため表 9.13 の No.3 のように切り替え前のタイミングを立ち下がりエッジとみなしてカウントクロックが発生し、TCNTV がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNTV がカウントアップされることがあります。

表 9.13 内部クロックの切り替えと TCNTV 動作





【注】 *1 Low レベル→停止、および停止→Low レベルの場合を含みます。

*2 停止→High レベルの場合を含みます。

*3 High レベル→停止を含みます。

*4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNTV はカウントアップされてしまいます。

9.5 タイマ X

9.5.1 概要

タイマ X は、16 ビットのフリーランニングカウンタ (FRC) をベースにして、2 種類の独立した波形出力が可能であり、また入力パルスの幅や外部クロックの周期を測定することができます。

(1) 特長

タイマ X の特長を以下に示します。

4 種類のカウンタ入力クロックを選択可能

3 種類の内部クロック ($\phi/2$ 、 $\phi/8$ 、 $\phi/32$) と外部クロックから選択できます (外部イベントのカウントが可能)。

2 本の独立したアウトプットコンペア機能

2 種類の波形出力が可能です。

4 本の独立したインプットキャプチャ機能

立ち上がりエッジ / 立ち下がりエッジの選択が可能です。バッファ動作を指定できます。

カウンタのクリア指定が可能

コンペアマッチ A により、カウンタの値をクリアすることができます。

7 種類の割り込み要因

コンペアマッチ $\times 2$ 要因、インプットキャプチャ $\times 4$ 要因、オーバフロー $\times 1$ 要因があり、それぞれ独立に要求することができます。

(2) ブロック図

タイマ X のブロック図を図 9.16 に示します。

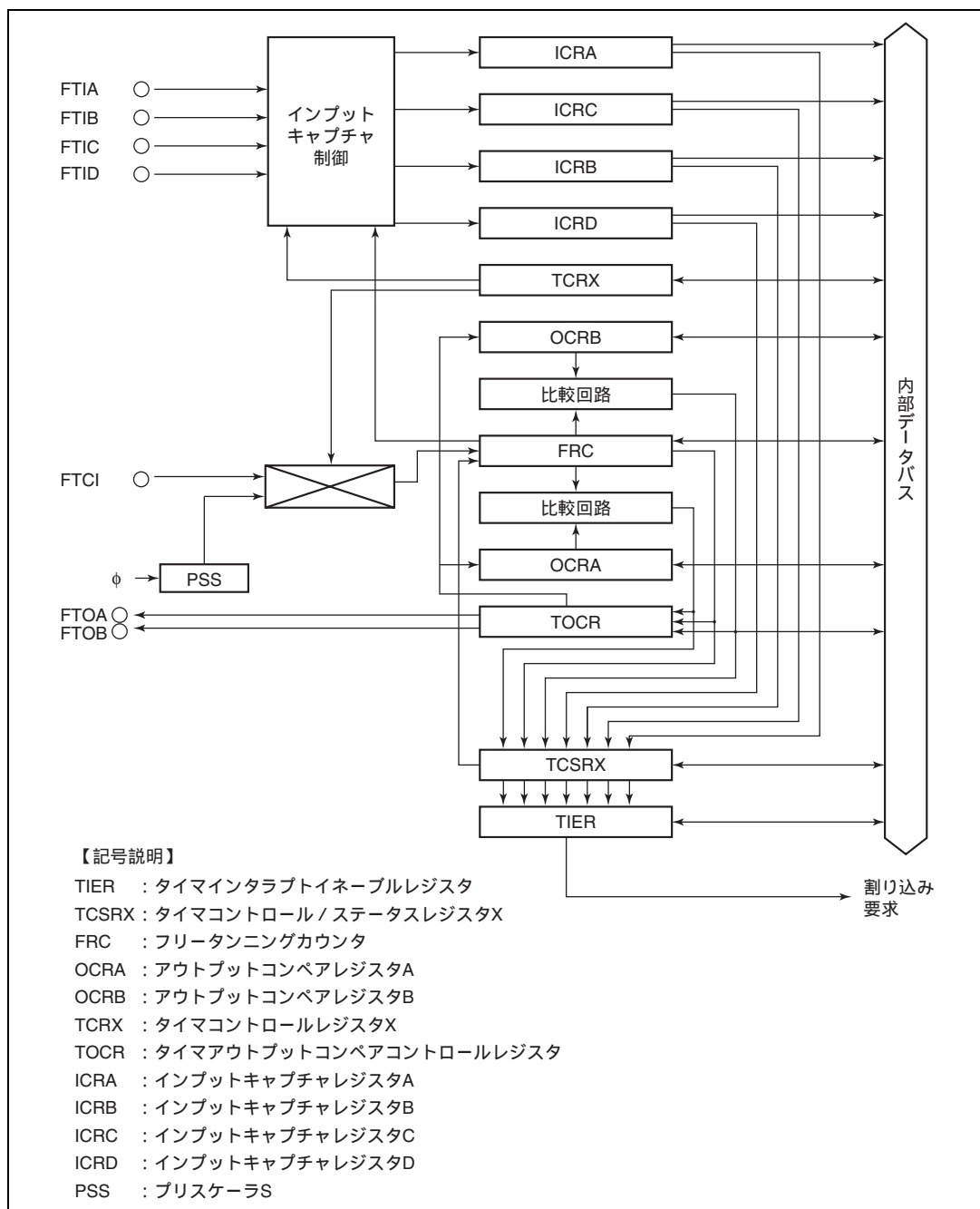


図 9.16 タイマ X のブロック図

9. タイマ

(3) 端子構成

タイマ X の端子構成を表 9.14 に示します。

表 9.14 端子構成

名称	略称	入出力	機能
カウンタクロック入力	FTCI	入力	FRC に入力するクロック入力端子
アウトプットコンペア A 出力	FTOA	出力	アウトプットコンペア A の出力端子
アウトプットコンペア B 出力	FTOB	出力	アウトプットコンペア B の出力端子
インプットキャプチャ A 入力	FTIA	入力	インプットキャプチャ A の入力端子
インプットキャプチャ B 入力	FTIB	入力	インプットキャプチャ B の入力端子
インプットキャプチャ C 入力	FTIC	入力	インプットキャプチャ C の入力端子
インプットキャプチャ D 入力	FTID	入力	インプットキャプチャ D の入力端子

(4) レジスタ構成

タイマ X のレジスタ構成を表 9.15 に示します。

表 9.15 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマインタラプトイネーブルレジスタ	TIER	R/W	H'01	H'F770
タイマコントロール/ステータスレジスタ X	TCSRX	R/(W)* ¹	H'00	H'F771
フリーランニングカウンタ H	FRCH	R/W	H'00	H'F772
フリーランニングカウンタ L	FRCL	R/W	H'00	H'F773
アウトプットコンペアレジスタ AH	OCRAH	R/W	H'FF	H'F774* ²
アウトプットコンペアレジスタ AL	OCRAL	R/W	H'FF	H'F775* ²
アウトプットコンペアレジスタ BH	OCRBH	R/W	H'FF	H'F774* ²
アウトプットコンペアレジスタ BL	OCRBL	R/W	H'FF	H'F775* ²
タイマコントロールレジスタ X	TCRX	R/W	H'00	H'F776
タイマアウトプットコンペアコントロールレジスタ	TOCR	R/W	H'E0	H'F777
インプットキャプチャレジスタ AH	ICRAH	R	H'00	H'F778
インプットキャプチャレジスタ AL	ICRAL	R	H'00	H'F779
インプットキャプチャレジスタ BH	ICRBH	R	H'00	H'F77A
インプットキャプチャレジスタ BL	ICRBL	R	H'00	H'F77B
インプットキャプチャレジスタ CH	ICRCH	R	H'00	H'F77C
インプットキャプチャレジスタ CL	ICRCL	R	H'00	H'F77D
インプットキャプチャレジスタ DH	ICRDH	R	H'00	H'F77E
インプットキャプチャレジスタ DL	ICRDL	R	H'00	H'F77F

【注】 *1 ビット 7~1 はフラグをクリアするための 0 ライトのみ可能です。ビット 0 はリード/ライト可能です。

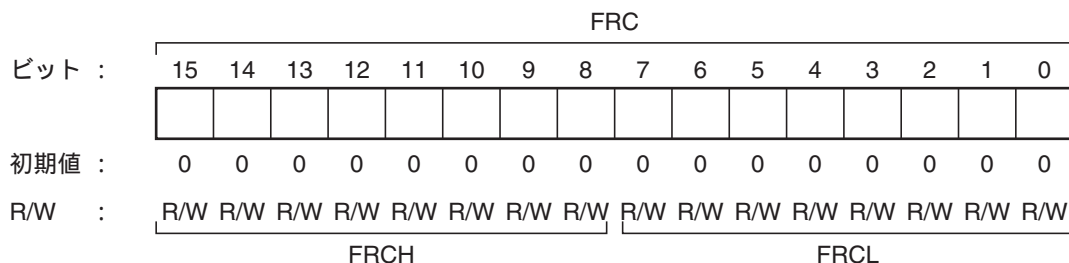
*2 OCRA と OCRB のアドレスは同一です。これらの切り替えは TOCR の OCRS ビットで行います。

9.5.2 各レジスタの説明

(1) フリーランニングカウンタ (FRC)

フリーランニングカウンタ H (FRCH)

フリーランニングカウンタ L (FRCL)



FRC は、16 ビットのリード/ライト可能なアップカウンタで、入力する内部クロック/外部クロックによりカウントアップされます。入力するクロックは、TCRX の CKS1、CKS0 により選択します。

TCSRX の CCLRA の設定によりコンペアマッチ A で FRC をクリアすることができます。

FRC がオーバーフロー (H'FFFF→H'0000) すると、TCSRX の OVF が 1 にセットされます。このとき TIER の OVIE が 1 ならば CPU に割り込みを要求します。

FRC は、CPU からリード/ライト可能ですが、16 ビットになっているため、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行われます。詳細は、「9.5.3 CPU とのインタフェース」を参照してください。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に FRC は H'0000 に、初期化されます。

9. タイマ

(2) アウトプットコンペアレジスタ A、B (OCRA、OCRB)

アウトプットコンペアレジスタ AH、BH (OCRAH、OCRBH)

アウトプットコンペアレジスタ AL、BL (OCRAL、OCRBL)

		OCRA、OCRB															
ビット :		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :		1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
		OCRAH、OCRBH								OCRAL、OCRBL							

OCR は、16 ビットのリード/ライト可能な 2 本のレジスタ (OCRA、OCRB) から構成されます。OCR の内容は FRC と常に比較されており、両者の値が一致すると、TCSR の OCFA、OCRB が 1 にセットされます。このとき TIER の OCIAE、OCIBE が 1 ならば CPU に割り込みを要求します。

コンペアマッチ時、TOCR の OEA、OEB が 1 にセットされていると、TOCR の OLVLA、OLVLB で設定したレベル値が、FTOA、FTOB 端子に出力されます。リセット後、最初のコンペアマッチが起こるまで FTOA、FTOB 端子から 0 が出力されます。

OCR は CPU からリード/ライト可能ですが、16 ビットになっているため、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行われます。詳細は、「9.5.3 CPU とのインタフェース」を参照してください。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、H'FFFF に初期化されます。

- (3) インプットキャプチャレジスタ A~D (ICRA ~ ICRD)
 インプットキャプチャレジスタ AH~DH (ICRAH ~ ICRDH)
 インプットキャプチャレジスタ AL~DL (ICRAL ~ ICRDL)

		ICRA、ICRB、ICRC、ICRD															
ビット :		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :		R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
		ICRAH、ICRBH、ICRCH、ICRDH								ICRAL、ICRBL、ICRCL、ICRDL							

ICR は、16 ビットのリード専用の 4 本のレジスタ (ICRA ~ ICRD) から構成されます。

インプットキャプチャ入力信号の立ち下がりエッジが検出されると、そのときの FRC の値が ICRA ~ ICRD に転送されます。このとき同時に、TCSRX の ICFA ~ ICFD が 1 にセットされます。このとき同時に、TCRX の IDIAE ~ ICIDE が 1 ならば CPU に割り込みを要求します。入力信号のエッジは、TCRX の IEDGA ~ IEDGD により選択できます。

また、ICRC、ICRD は、TCRX の BUFEA、BUFEB により、それぞれ ICRA、ICRB のバッファレジスタとして使用し、バッファ動作を行わせることもできます。

ICRC を ICRA のバッファレジスタとして指定した場合 (BUFEA = 1) の接続を、図 9.17 に示します。ICRC を ICRA のバッファとして使用した場合、外部入力信号の変化として IEDGA ~ IEDGC と設定することにより、立ち上がり / 立ち下がり両方のエッジを指定することができます。IEDGA = IEDGC の場合には立ち上がりまたは立ち下がりエッジのいずれかとなります。入力エッジの選択については、表 9.16 を参照してください。

【注】 FRC から ICR への転送は ICF の値にかかわらず行われます。

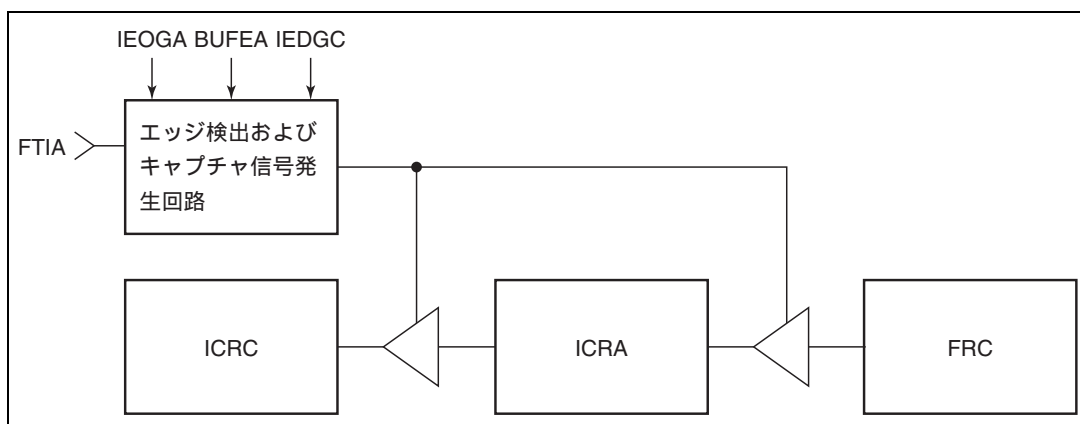


図 9.17 バッファ動作 (例)

9. タイマ

表 9.16 バッファ動作時の入力エッジの選択

IEDGA	IEDGC	入力エッジの選択
0	0	インพุットキャブチャ入力 A の立ち下がりエッジでキャブチャ (初期値)
	1	インพุットキャブチャ入力 A の立ち下がり / 立ち上がり両エッジでキャブチャ
1	0	
	1	インพุットキャブチャ入力 A の立ち上がりエッジでキャブチャ

ICR は CPU からリード / ライト可能ですが、16 ビットになっているため、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行われます。詳細は、「9.5.3 CPU とのインタフェース」を参照してください。

インพุットキャブチャ動作を確実にを行うために、インพุットキャブチャ入力信号のパルス幅は、単エッジの場合 1.5 システムクロック (ϕ) 以上、両エッジの場合 2.5 システムクロック (ϕ) 以上にしてください。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、ICR は H'0000 に初期化されます。

(4) タイマインタラプトイネーブルレジスタ (TIER)

ビット:	7	6	5	4	3	2	1	0
	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	
初期値:	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

TIER は、8 ビットのリード / ライト可能なレジスタで、各割り込み要求の許可 / 禁止を制御します。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、TIER は H'01 に初期化されます。

ビット 7: インพุットキャブチャ割り込み A イネーブル (ICIAE)

TCSR の ICFA が 1 にセットされたとき、ICFA による割り込み要求 (ICIA) の許可 / 禁止を選択します。

ビット 7	説明
ICIAE	
0	ICFA による割り込み要求 (ICIA) を禁止 (初期値)
1	ICFA による割り込み要求 (ICIA) を許可

ビット6：インプットキャプチャ割り込みBイネーブル (ICIBE)

TCSRXのICFBが1にセットされたとき、ICFBによる割り込み要求(ICIB)の許可/禁止を選択します。

ビット6	説 明
ICIBE	
0	ICFBによる割り込み要求(ICIB)を禁止 (初期値)
1	ICFBによる割り込み要求(ICIB)を許可

ビット5：インプットキャプチャ割り込みCイネーブル (ICICE)

TCSRXのICFCが1にセットされたとき、ICFCによる割り込み要求(ICIC)の許可/禁止を選択します。

ビット5	説 明
ICICE	
0	ICFCによる割り込み要求(ICIC)を禁止 (初期値)
1	ICFCによる割り込み要求(ICIC)を許可

ビット4：インプットキャプチャDイネーブル (ICIDE)

TCSRXのICFDが1にセットされたとき、ICFDによる割り込み要求(ICID)の許可/禁止を選択します。

ビット4	説 明
ICIDE	
0	ICFDによる割り込み要求(ICID)を禁止 (初期値)
1	ICFDによる割り込み要求(ICID)を許可

ビット3：アウトプットコンペア割り込みAイネーブル (OCIAE)

TCSRXのOCFAが1にセットされたとき、OCFAによる割り込み要求(OCIA)の許可/禁止を選択します。

ビット3	説 明
OCIAE	
0	OCFAによる割り込み要求(OCIA)を禁止 (初期値)
1	OCFAによる割り込み要求(OCIA)を許可

9. タイマ

ビット2：アウトプットコンペア割り込みBイネーブル（OCIBE）

TCSRXのOCFBが1にセットされたとき、OCFBによる割り込み要求（OCIB）の許可/禁止を選択します。

ビット2	説明
OCIBE	
0	OCFBによる割り込み要求（OCIB）を禁止（初期値）
1	OCFBによる割り込み要求（OCIB）を許可

ビット1：タイマオーバフロー割り込みイネーブル（OVIE）

TCSRXのOVFが1にセットされたとき、OVFによる割り込み要求（FOVI）の許可/禁止を選択します。

ビット1	説明
OVIE	
0	OVFによる割り込み要求（FOVI）を禁止（初期値）
1	OVFによる割り込み要求（FOVI）を許可

ビット0：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

(5) タイマコントロール/ステータスレジスタX（TCSRX）

ビット：	7	6	5	4	3	2	1	0
	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W

【注】* ビット7～1はフラグをクリアするための0ライトのみ可能です。

TCSRXは、8ビットのレジスタで、カウンタクリアの選択、各割り込み要求信号の制御を行います。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、TCSRXはH'00に初期化されます。なお、タイミングについては「9.6.3 動作説明」を参照してください。

ビット7：インプットキャプチャフラグA（ICFA）

インプットキャプチャ信号によって、FRCの値がICRAに転送されたことを示すステータスフラグです。TCRXのBUFEAが1にセットされているときは、ICFAは、インプットキャプチャ信号により、FRCの値がICRAに転送され、また更新される前のICRAの値がICRCに転送されたことを示します。

本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	説 明
ICFA	
0	[クリア条件] ICFA = 1 の状態で、ICFA をリードした後、ICFA に 0 をライトしたとき (初期値)
1	[セット条件] インプットキャプチャ信号により、FRC の値が ICRA に転送されたとき

ビット6：インプットキャプチャフラグ B (ICFB)

インプットキャプチャ信号によって、FRC の値が ICRB に転送されたことを示すステータスフラグです。TCRX の BUFEB が 1 にセットされているときは、ICRB は、インプットキャプチャ信号により、FRC の値が ICRB に転送され、また更新される前の ICRB の値が ICRC に転送されたことを示します。

本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット6	説 明
ICFB	
0	[クリア条件] ICFB = 1 の状態で、ICFB をリードした後、ICFB に 0 をライトしたとき (初期値)
1	[セット条件] インプットキャプチャ信号により、FRC の値が ICRB に転送されたとき

ビット5：インプットキャプチャフラグ C (ICFC)

インプットキャプチャ信号によって、FRC の値が ICRC に転送されたことを示すステータスフラグです。TCRX の BUFEA が 1 にセットされているときは、インプットキャプチャ信号が発生したとき、ICFC はセットされますが、ICRC へのデータ転送は行われません。したがって、バッファ動作では、ICFC は ICICE ビットを 1 にセットすることにより、外部割り込みとして使用することができます。

本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット5	説 明
ICFC	
0	[クリア条件] ICFC = 1 の状態で、ICFC をリードした後、ICFC に 0 をライトしたとき (初期値)
1	[セット条件] インプットキャプチャ信号が発生したとき

ビット4：インプットキャプチャフラグ (ICFD)

インプットキャプチャ信号によって、FRC の値が ICRD に転送されたことを示すステータスフラグです。TCRX の BUFEB が 1 にセットされているときは、インプットキャプチャ信号が発生したとき、ICFD はセットされますが、ICRD へのデータ転送は行われません。したがって、バッファ動作では、ICFD は ICIDE ビットを 1 にセットすることにより、外部割り込みとして使用することができます。

本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

9. タイマ

ビット 4	説 明
ICFD	
0	[クリア条件] ICFD = 1 の状態で、ICFD をリードした後、ICFD に 0 をライトしたとき (初期値)
1	[セット条件] インプットキャプチャ信号が発生したとき

ビット 3 : アウトプットコンペアフラグ A (OCFA)

FRC と OCRA がコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 3	説 明
OCFA	
0	[クリア条件] OCFA = 1 の状態で、OCFA をリードした後、OCFA に 0 をライトしたとき (初期値)
1	[セット条件] FRC と OCRA がコンペアマッチしたとき

ビット 2 : アウトプットコンペアフラグ B (OCFB)

FRC と OCRB がコンペアマッチしたことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 2	説 明
OCFB	
0	[クリア条件] OCFB = 1 の状態で、OCFB をリードした後、OCFB に 0 をライトしたとき (初期値)
1	[セット条件] FRC と OCRB がコンペアマッチしたとき

ビット 1 : タイマオーバフロー (OVF)

FRC がオーバフロー (H'FFFF→H'0000) したことを示すステータスフラグです。本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 1	説 明
OVF	
0	[クリア条件] OVF = 1 の状態で、OVF をリードした後、OVF に 0 をライトしたとき (初期値)
1	[セット条件] FRC の値が H'FFFF→H'0000 になったとき

ビット0：カウンタクリア A (CCLRA)

コンペアマッチ A (FRC と OCRA の一致信号) により、FRC をクリアするかないかを選択します。

ビット0	説明
CCLRA	
0	コンペアマッチ A による FRC のクリア禁止 (初期値)
1	コンペアマッチ A による FRC のクリア許可

(6) タイマコントロールレジスタ X (TCRX)

ビット:	7	6	5	4	3	2	1	0
	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCRX は、8 ビットのリード/ライト可能なレジスタです。インプットキャプチャ入力エッジの選択、バッファ動作の指定、FRC の入力クロックの選択を行います。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、TCRX は H'00 に初期化されます。

ビット7：インプットエッジセレクト A (IEDGA)

インプットキャプチャ入力 A (FTIA) の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット7	説明
IEDGA	
0	インプットキャプチャ入力 A の立ち下がりエッジでキャプチャ (初期値)
1	インプットキャプチャ入力 A の立ち上がりエッジでキャプチャ

ビット6：インプットエッジセレクト B (IEDGB)

インプットキャプチャ入力 C (FTIB) の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット6	説明
IEDGB	
0	インプットキャプチャ入力 B の立ち下がりエッジでキャプチャ (初期値)
1	インプットキャプチャ入力 B の立ち上がりエッジでキャプチャ

9. タイマ

ビット5：インプットエッジセレクト C (IEDGC)

インプットキャプチャ入力 C (FTIC) の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット5	説 明	
IEDGC		
0	インプットキャプチャ入力 C の立ち下がりエッジでキャプチャ	(初期値)
1	インプットキャプチャ入力 C の立ち上がりエッジでキャプチャ	

ビット4：インプットエッジセレクト D (IEDGD)

インプットキャプチャ入力 D (FTID) の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット4	説 明	
IEDGD		
0	インプットキャプチャ入力 D の立ち下がりエッジでキャプチャ	(初期値)
1	インプットキャプチャ入力 D の立ち上がりエッジでキャプチャ	

ビット3：バッファイネーブル A (BUFEA)

ICRC を ICRA のバッファレジスタとして使用するかどうかを選択します。

ビット3	説 明	
BUFEA		
0	ICRC を ICRA のバッファレジスタとして使用しない	(初期値)
1	ICRC を ICRA のバッファレジスタとして使用する	

ビット2：バッファイネーブル B (BUFEB)

ICRD を ICRB のバッファレジスタとして使用するかどうかを選択します。

ビット2	説 明	
BUFEB		
0	ICRD を ICRB のバッファレジスタとして使用しない	(初期値)
1	ICRD を ICRB のバッファレジスタとして使用する	

ビット1、0：クロックセレクト (CKS1、0)

FRC に入力するクロックを 3 種類の内部クロックまたは外部クロックから選択します。
外部クロックは、立ち上がりエッジでカウントします。

ビット1	ビット0	説 明	
CKS1	CKS0		
0	0	内部クロック： $\phi/2$ でカウント	(初期値)
	1	内部クロック： $\phi/8$ でカウント	
1	0	内部クロック： $\phi/32$ でカウント	
	1	外部クロック：立ち上がりエッジでカウント	

(7) タイマアウトプットコンペアコントロールレジスタ (TOCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	OCRS	OEA	OEB	OLVLA	OLVLB
初期値:	1	1	1	0	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

TOCR は、8 ビットのリード/ライト可能なレジスタです。アウトプットコンペア出力レベルの選択、アウトプットコンペア出力の許可、および OCRA、OCRB のアクセスの切り替え制御を行います。

リセット、スタンバイモード、ウォッチモード、サブスリープモード、またはサブアクティブモード時に、TOCR は H'E0 に初期化されます。

ビット7~5: リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット4: アウトプットコンペアレジスタセレクト (OCRS)

OCRA と OCRB のアドレスは同一です。OCRS は、このアドレスをリード/ライトするときどちらのレジスタを選択するかを制御します。OCRA と OCRB の動作には影響を与えません。

ビット4	説明	
OCRS		
0	OCRA レジスタを選択	(初期値)
1	OCRB レジスタを選択	

ビット3: アウトプットイネーブル A (OEA)

アウトプットコンペア A 出力を制御します。

ビット3	説明	
OEA		
0	アウトプットコンペア A 出力を禁止	(初期値)
1	アウトプットコンペア A 出力を許可	

ビット2: アウトプットイネーブル B (OEB)

アウトプットコンペア B 出力を制御します。

ビット2	説明	
OEB		
0	アウトプットコンペア B 出力を禁止	(初期値)
1	アウトプットコンペア B 出力を許可	

9. タイマ

ビット1：アウトプットレベルA (OLVLA)

コンペアマッチ A (FRC と OCRA の一致による信号) により、FTOA 端子に出力する出力レベルを選択します。

ビット1	説明
OLVLA	
0	Low レベル (初期値)
1	High レベル

ビット0：アウトプットレベルB (OLVLB)

コンペアマッチ B (FRC と OCRB の一致による信号) により、FTOB 端子に出力する出力レベルを選択します。

ビット0	説明
OLVLB	
0	Low レベル (初期値)
1	High レベル

9.5.3 CPU とのインタフェース

FRC、OCRA、OCRB、ICRA～ICRDは16ビットのレジスタで構成されています。一方、CPUと内蔵周辺モジュール間のデータバスは、8ビット幅となっています。したがってCPUがこれらのレジスタをアクセスする場合、8ビットのテンポラリレジスタ（TEMP）を介して行います。

アクセスを行うときは、必ず16ビット単位（バイトサイズのMOV命令を2回連続して行う）で行い、かつ上位バイト、下位バイトの順序で行います。上位バイトのみや下位バイトのみのアクセスでは、データは正しく転送されません。

(1) ライト時の動作

上位バイトのライトにより、上位バイトのデータがTEMPに転送されます。

次に下位バイトのライトで、TEMPにあるデータが上位バイトのレジスタへ、下位バイトのデータは直接下位バイトのレジスタへライトされます。

FRCにH'AA55をライトするときのFRCのライト動作を図9.18に示します。

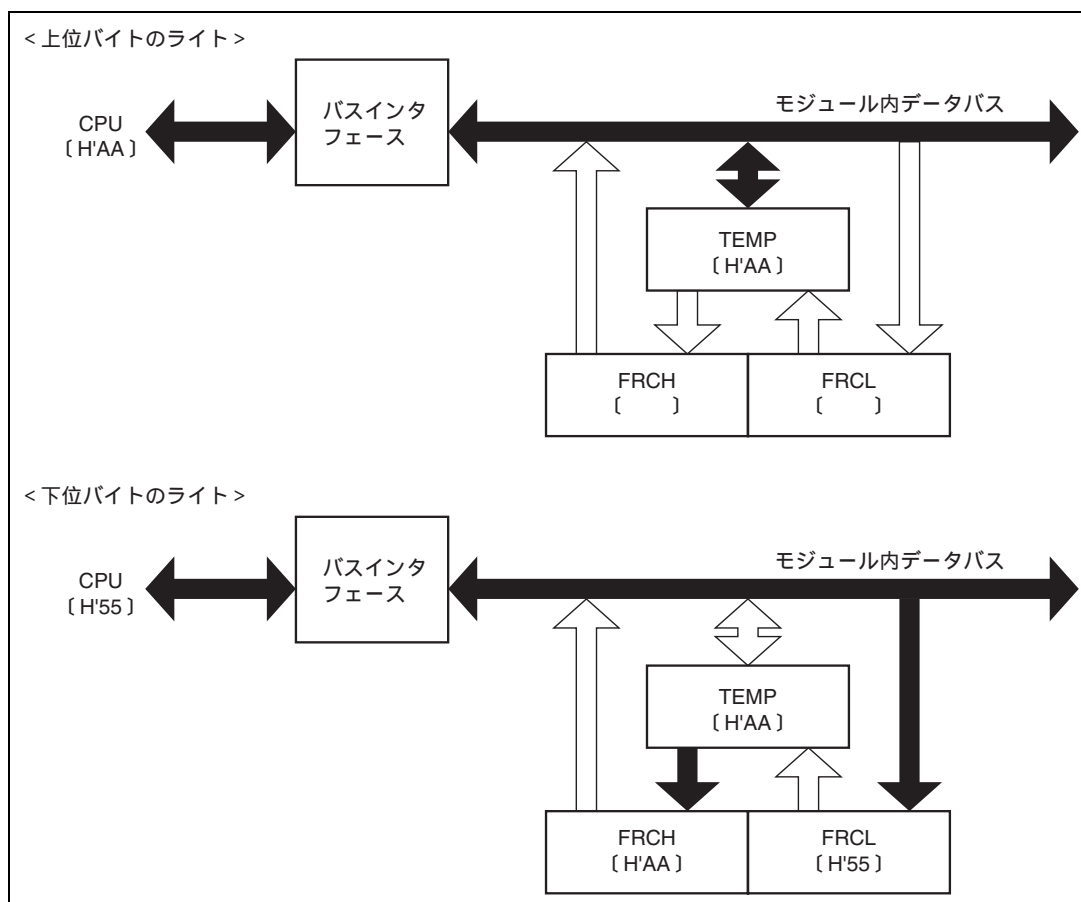


図 9.18 FRC のライト動作 (CPU→FRC)

9. タイマ

(2) リード時の動作

FRC、ICRA～ICRDの場合、上位バイトのリードで、上位バイトのデータは直接CPUに転送され、下位バイトのデータはTEMPに転送されます。

次に下位バイトのリードで、TEMPにある下位バイトのデータがCPUに転送されます。OCRA、OCRBの場合、上位バイトのリードで、上位バイトのデータは直接CPUに転送されます。下位バイトのリードで、下位バイトのデータは直接CPUに転送されます。

H'AAFFであるFRCをリードしたときのFRCのリード動作を図9.19に示します。

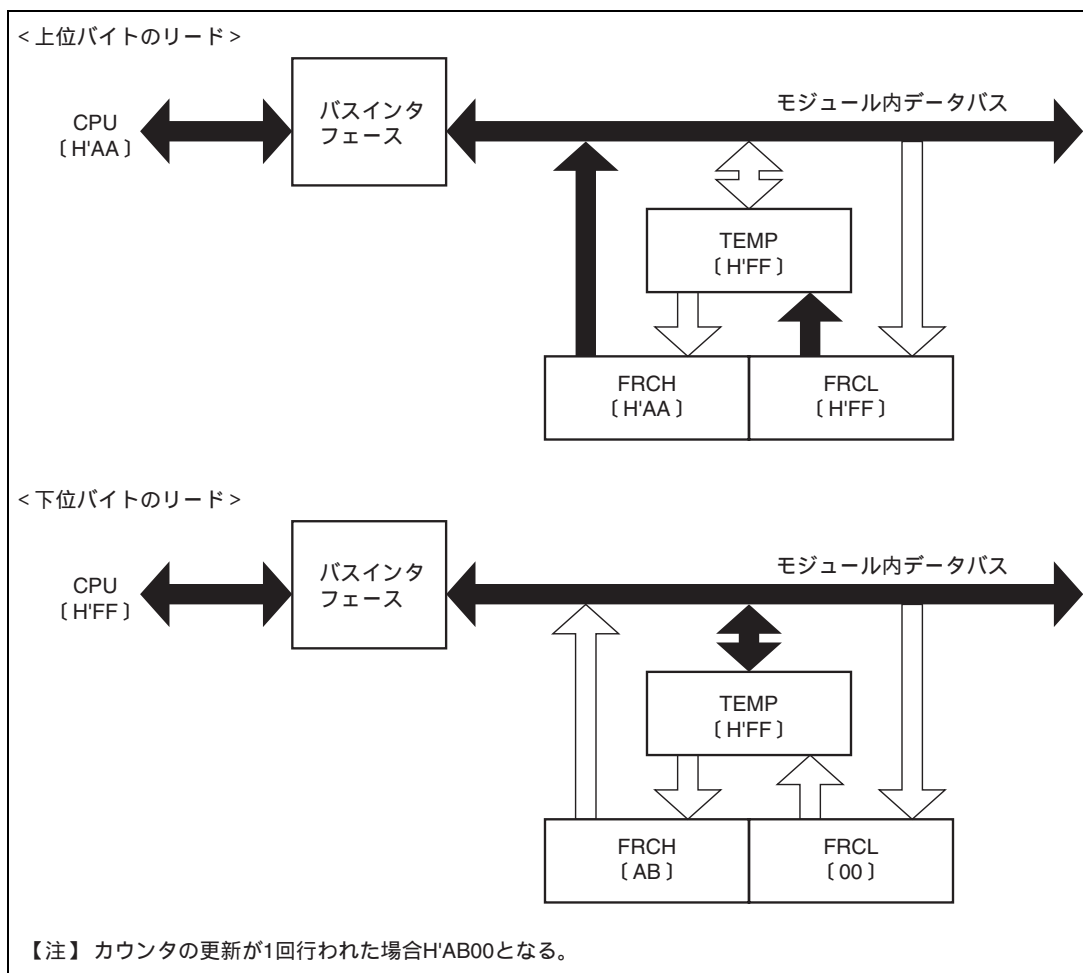


図 9.19 FRC のリード動作 (FRC→CPU)

9.5.4 動作説明

(1) タイマ X の動作

(a) アウトプットコンペア動作

リセット直後、FRC は H'0000 に初期化され、カウントアップを開始します。入力するクロックは、TCRX の CKS1、CKS0 により、3 種類の内部クロックまたは外部クロックから選択できます。FRC の内容は、OCRA、OCRB と常に比較されており、両者の値が一致すると、TOCR の OLVLA、OLVLB で設定したレベルが、FTOA、FTOB 端子に出力されます。リセット後、最初のコンペアマッチが起こるまで、FTOA、FTOB 端子からは、0 が出力されます。また、TCSR の CCLRA が 1 にセットされていると、コンペアマッチ A により、FRC が H'0000 にクリアされます。

(b) インプットキャプチャ動作

リセット直後、FRC は H'0000 に初期化され、カウントアップを開始します。入力するクロックは、TCRX の CKS1、CKS0 により、3 種類の内部クロックまたは外部クロックから選択できます。FTIA ~ FTID 端子から、TCRX の IEDGA ~ IEDGD で選択したエッジが入力されると、そのときの FRC の値が ICRA ~ ICRD に転送され、同時に TCSR の ICFA ~ ICFD が 1 にセットされます。このとき、TIER の ICIAE ~ ICIDE が 1 ならば、CPU に割り込みを要求します。

TCRX の BUFEA、BUFEB を 1 にセットすると、ICRC、ICRD はそれぞれ ICRA、ICRB のバッファレジスタとして動作します。FTIA、FTIB 端子から、TCRX の IEDGA ~ IEDGD で選択したエッジが入力されると、そのときの FRC の値が、ICRA、ICRB に転送され、同時に、更新される前の ICRA、ICRB の値が ICRC、ICRD に転送されます。このとき ICFA、ICFB が 1 にセットされ、TIER の ICIAE、ICIBE が 1 ならば、CPU に割り込みを要求します。

9. タイマ

(2) FRC のカウントタイミング

FRC は、入力されたクロックによりカウントアップされます。TCRX の CKS1、CKS0 により、3 種類の内部クロック ($\phi/2$ 、 $\phi/8$ 、 $\phi/32$) と外部クロックのうちから選択されます。

(a) 内部クロック動作の場合

TCRX の CKS1、CKS0 ビットの設定により、システムクロック (ϕ) を分周して作られる 3 種類の内部クロック ($\phi/2$ 、 $\phi/8$ 、 $\phi/32$) が選択されます。このときのタイミングを図 9.20 に示します。

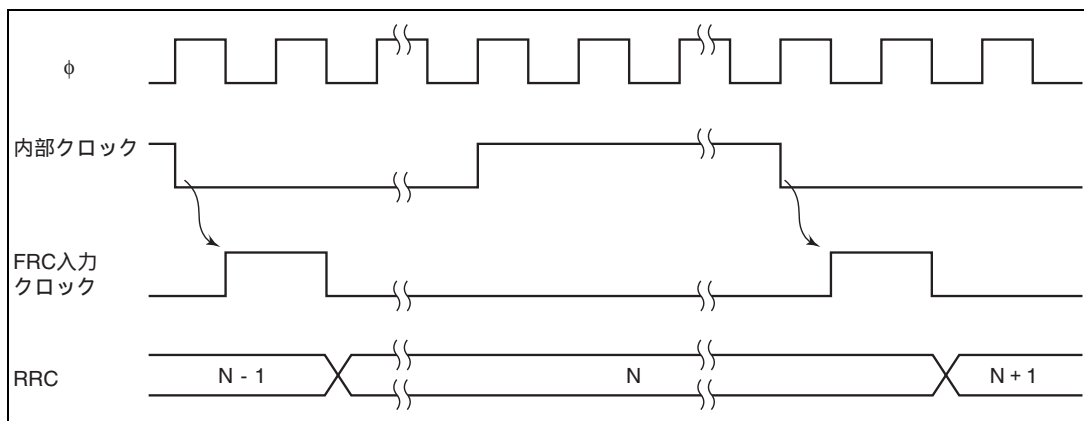


図 9.20 内部クロック動作時のカウントタイミング

(b) 外部クロック動作の場合

TCRX の CKS1、CKS0 を 1 にセットすると、外部クロック入力を選択されます。外部クロックは立ち上がりエッジでカウントします。なお、外部クロックのパルス幅は、1.5 システムクロック (ϕ) 以上が必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

このときのタイミングを図 9.21 に示します。

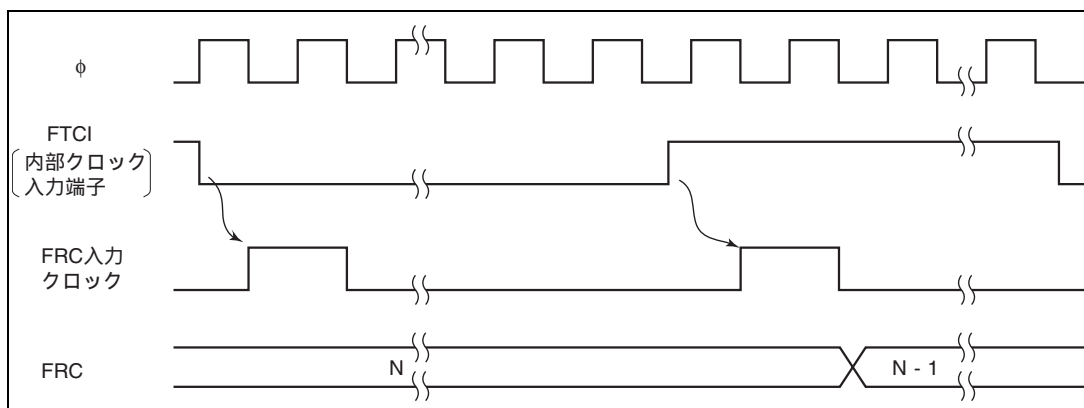


図 9.21 外部クロック動作時のカウントタイミング

(3) アウトプットコンペア出力タイミング

コンペアマッチが発生したとき、TOCR の OLVL で設定される出力レベルがアウトプットコンペア出力端子 (FTOA、FTOB) に出力されます。図 9.22 にアウトプットコンペア A の場合の出力タイミングを示します。

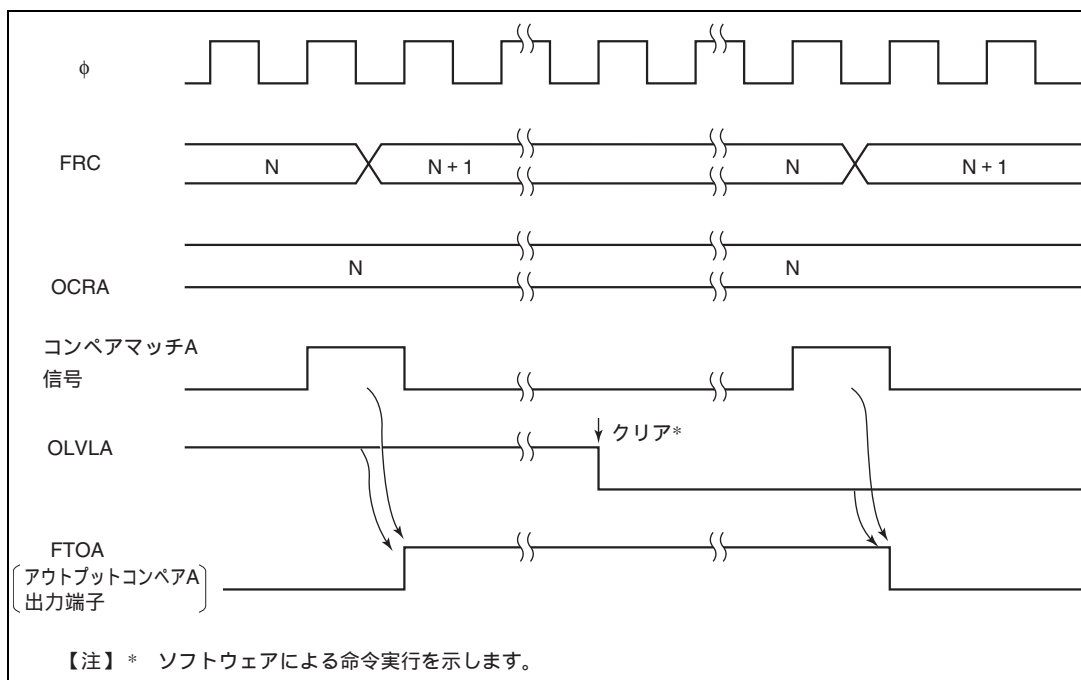


図 9.22 アウトプットコンペア A 出力タイミング

(4) FRC のクリアタイミング

FRC は、コンペアマッチ A でクリアすることができます。このタイミングを図 9.23 に示します。

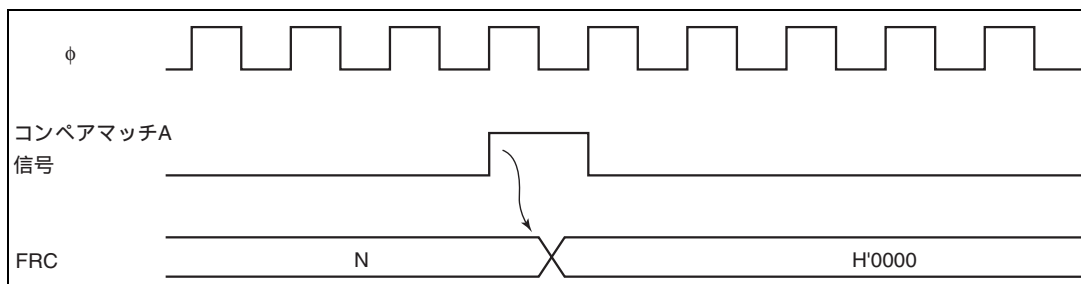


図 9.23 コンペアマッチ A によるクリアタイミング

9. タイマ

(5) インพุットキャプチャ入力タイミング

(a) インพุットキャプチャ入力タイミング

インพุットキャプチャ入力は、TCRX の IEDGA ~ IEDGD ビットで立ち上がり / 立ち下がりエッジを選択します。立ち上がりエッジを選択した (IEDGA ~ IEDD = 1) 場合のタイミングを図 9.24 に示します。

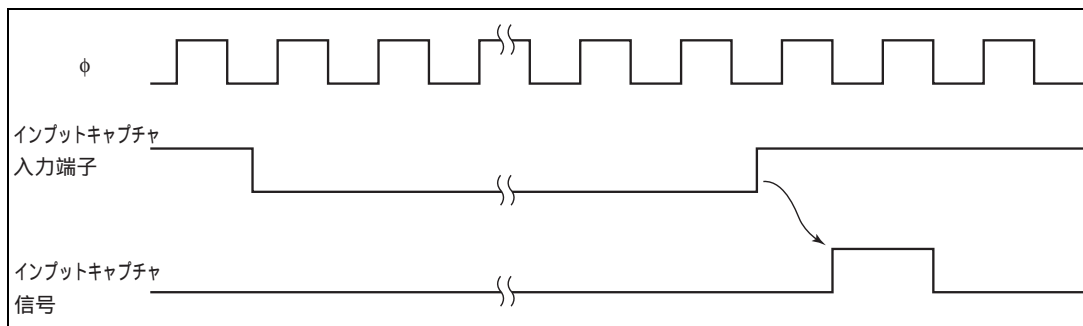


図 9.24 インพุットキャプチャ信号タイミング (通常時)

また、ICRA ~ ICRD の上位バイトのリード時に、対応するインพุットキャプチャ端子から入力するとインพุットキャプチャ信号は 1 システムクロック (ϕ) 遅延されます。このタイミングを図 9.25 に示します。

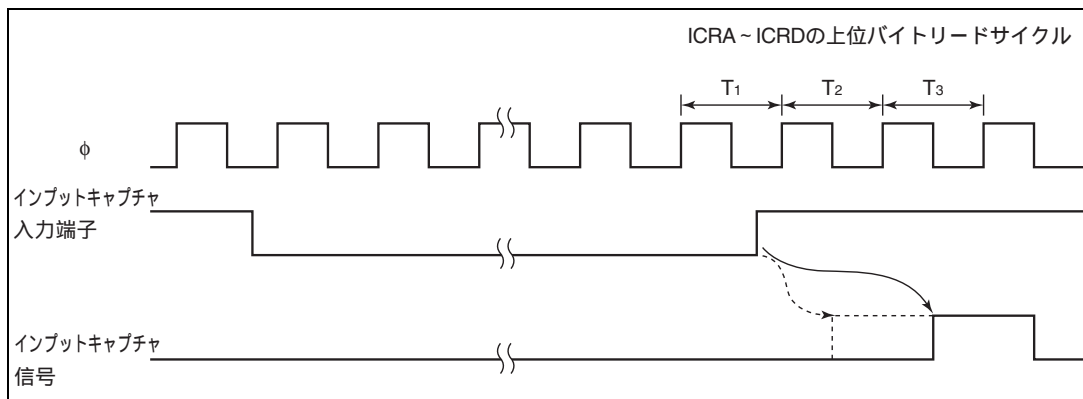


図 9.25 インพุットキャプチャ信号タイミング
(ICRA ~ ICRD のリード時に、インพุットキャプチャから入力した場合)

(b) バッファ動作時のインプットキャプチャ入力タイミング

ICRC または ICRD を、ICRA または ICRB のバッファとしてバッファ動作を行わせることができます。

ICRC を ICRA のバッファレジスタとして使用し (BUFEA = 1)、立ち上がり / 立ち下がり両エッジ指定 (IEDGA = 1、IEDGC = 0 または IEDGA = 0、IEDGC = 1) とした場合のインプットキャプチャ入力タイミングを図 9.26 に示します。

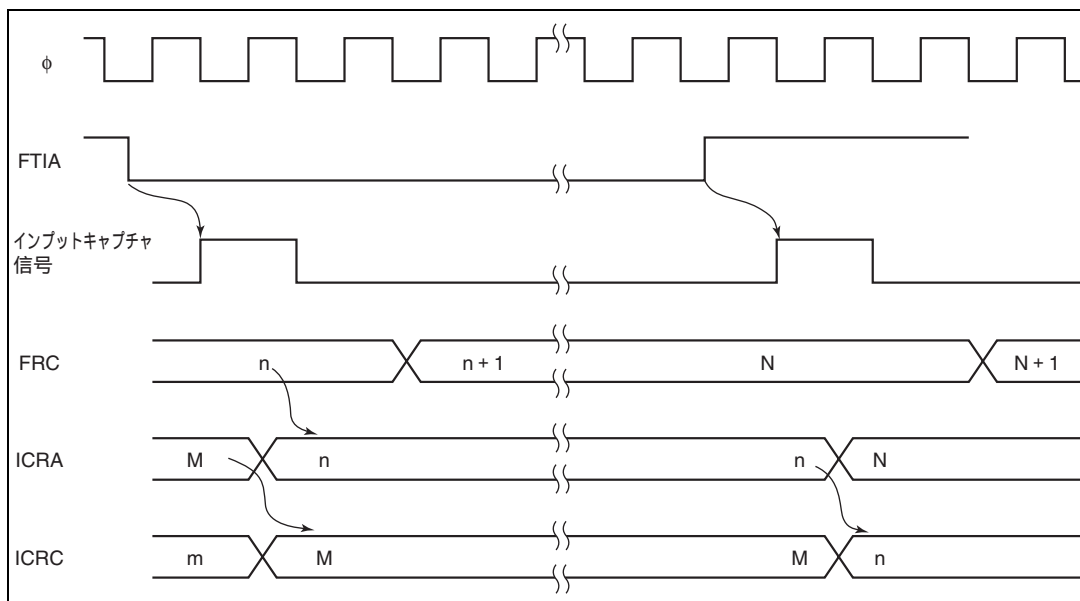


図 9.26 バッファモード時のインプットキャプチャタイミング (通常時)

ICRC または ICRD をバッファレジスタとして使用した場合でも、インプットキャプチャフラグは、各インプットキャプチャ入力の指定されたエッジ変化に対応してセットされます。たとえば、ICRC を ICRA のバッファレジスタとして使用しているときでも、インプットキャプチャ入力 C に IEDGC ビットで指定したエッジ変化があると ICFC がセットされ、ICIEC ビットがセットされていれば割り込み要求が発生します。ただし、この場合は、FRC の値は ICRC には転送されません。

また、バッファ動作の場合も、インプットキャプチャ信号が発生するタイミングで、データ転送が行われるレジスタ (ICRA と ICRC または ICRB と ICRD) の上位バイトのリードが行われると、インプットキャプチャ信号は 1 システムクロック (ϕ) 遅延されます。BUFEA = 1 のタイミングを図 9.27 に示します。

9. タイマ

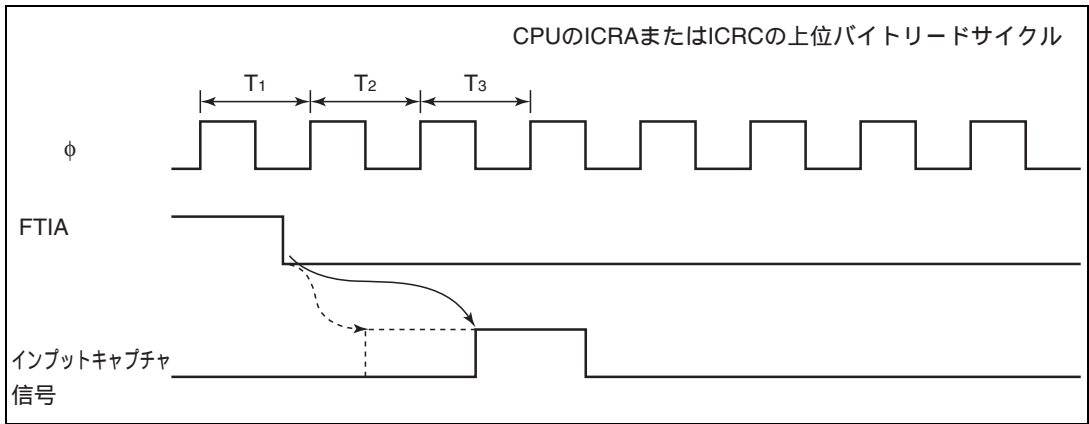


図 9.27 バッファレジスタ動作時の入力キャプチャタイミング
(ICRA または ICRD のリード時に、入力キャプチャから入力した場合)

(6) インputキャプチャフラグ (ICFA ~ ICFD) のセットタイミング

入力キャプチャ入力により ICFA ~ ICFD は 1 にセットされ、同時に FRC の値が対応する ICRA ~ ICRD に転送されます。このタイミングを図 9.28 に示します。

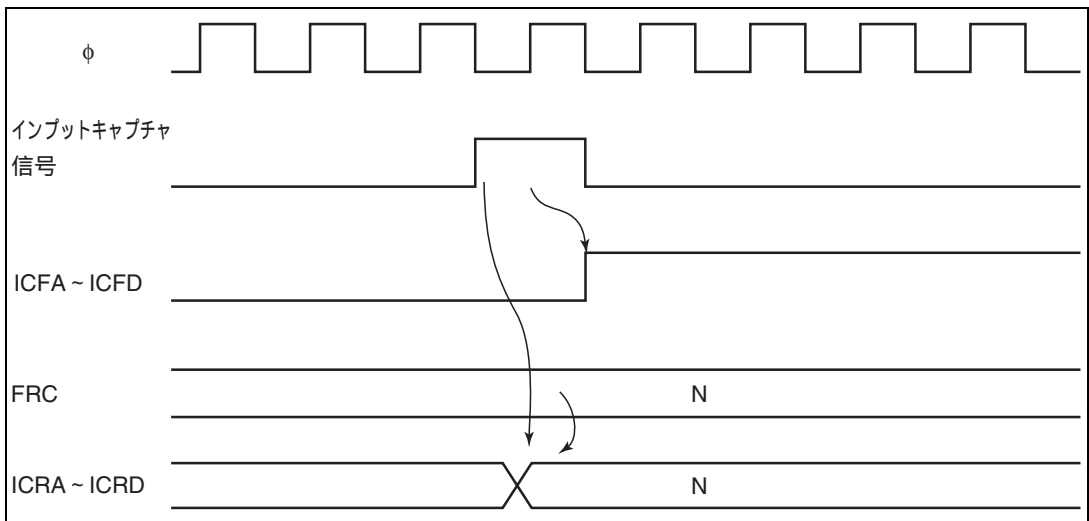


図 9.28 ICFA ~ ICFD のセットタイミング

(7) アウトプットコンペアフラグ (OCFA、OCFB) のセットタイミング

OCFA、OCFB は、OCRA、OCRB と FRC の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、値が一致した最後のステート (FRC が一致したカウント値を更新するタイミング) で発生します。

FRC と OCRA、OCRB が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。OCFA、OCFB のセットタイミングを図 9.29 に示します。

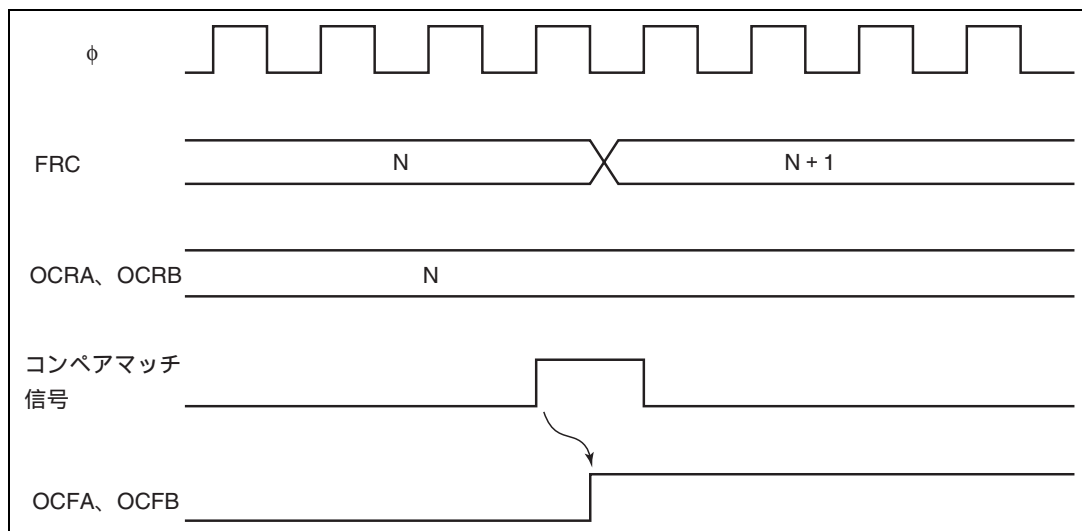


図 9.29 OCF セットタイミング

(8) オーバフローフラグ (OVF) のセットタイミング

OVF は、FRC がオーバフロー (H'FFFF→H'0000) したとき 1 にセットされます。このときのタイミングを図 9.30 に示します。

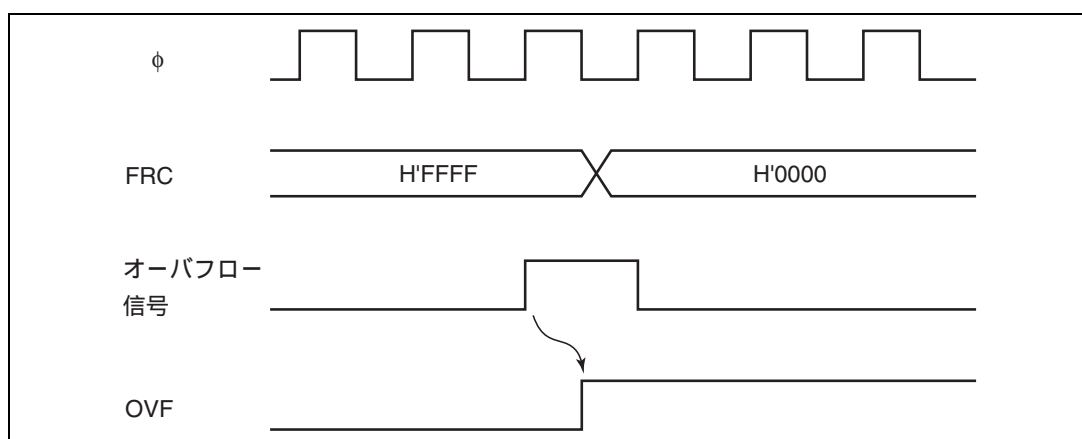


図 9.30 OVF セットタイミング

9. タイマ

9.5.5 タイマ X の動作モード

タイマ X の動作モードを表 9.17 に示します。

表 9.17 タイマ X の動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
FRC	リセット	動作	動作	リセット	リセット	リセット	リセット
OCRA、OCRB	リセット	動作	動作	リセット	リセット	リセット	リセット
ICRA ~ ICRD	リセット	動作	動作	リセット	リセット	リセット	リセット
TIER	リセット	動作	動作	リセット	リセット	リセット	リセット
TCRX	リセット	動作	動作	リセット	リセット	リセット	リセット
TOCR	リセット	動作	動作	リセット	リセット	リセット	リセット
TCSRX	リセット	動作	動作	リセット	リセット	リセット	リセット

9.5.6 割り込み要因

タイマ X の割り込み要因には、ICIA ~ ICID、OCIA、OCIB、および FOVI の 3 種類合計 7 つあります。表 9.18 に各割り込み要求の内容を示します。各割り込み要求は、TIER の各割り込みイネーブルビットにより許可または禁止が設定できます。割り込みのベクタアドレスは共通ですが、各割り込み要因のフラグを備えていますので、ソフトウェアで割り込み要因の判定が可能です。

表 9.18 タイマ X 割り込み要因

割り込みの略称	内容	ベクタアドレス
ICIA	ICFA による割り込み要求	H'0020
ICIB	ICFB による割り込み要求	
ICIC	ICFC による割り込み要求	
ICID	ICFD による割り込み要求	
OCIA	OCFA による割り込み要求	
OCIB	OCFB による割り込み要求	
FOVI	OVF による割り込み要求	

9.5.7 タイマ X の使用例

デューティ 50% のパルスを任意の位相差で出力させた例を図 9.31 に示します。これは次に示すように設定します。

- (1) TCSR の CCLRA ビットを 1 にセットします。
- (2) 各コンペアマッチが発生するたびに OLVLA、OLVLB ビットをソフトウェアにより反転させます。

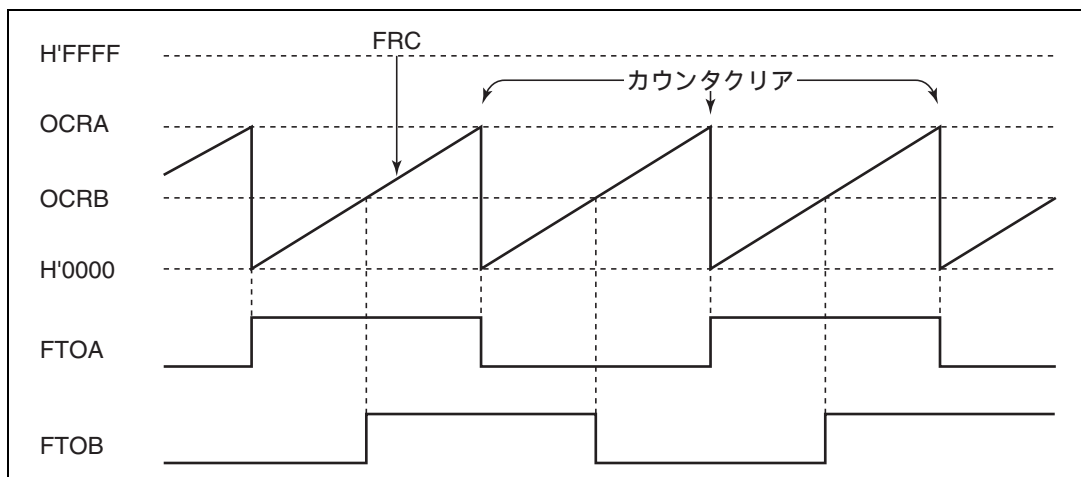


図 9.31 パルス出力例

9.5.8 使用上の注意事項

タイマ X の動作中、次のような競合や動作が起こりますので注意してください。

(1) FRC のライトとクリアの競合

FRC の下位バイトライトサイクル中の T_3 ステートで、カウンタクリア信号が発生すると、FRC への書き込みは行われず FRC のクリアが優先されます。

このタイミングを図 9.32 に示します。

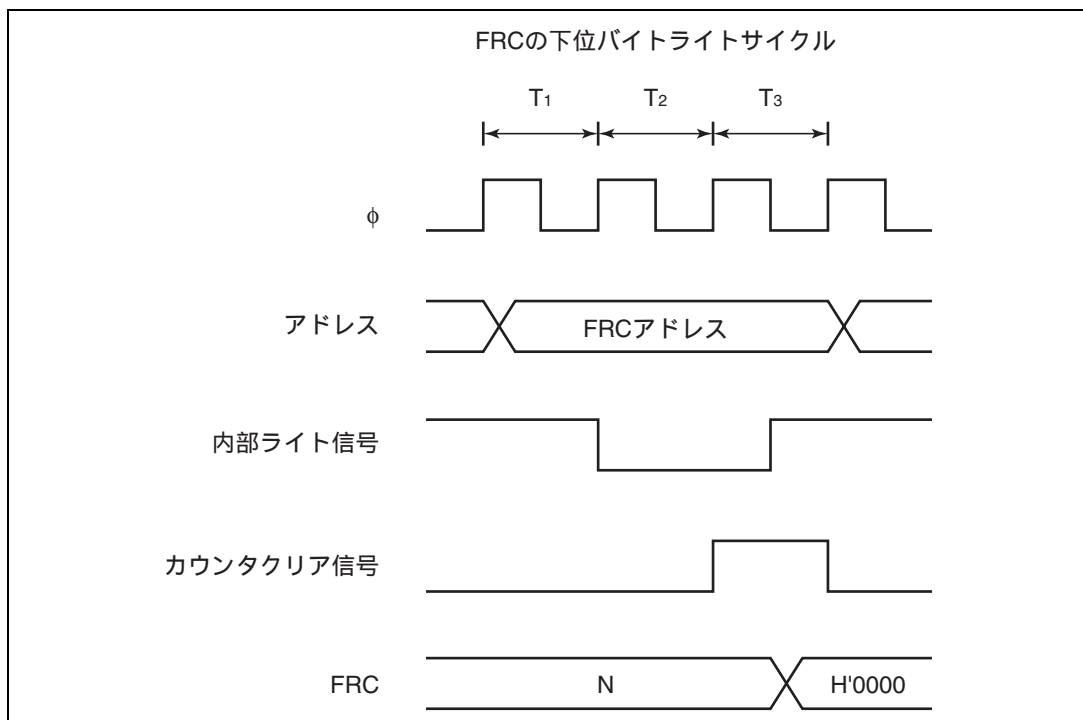


図 9.32 FRC のライトとクリアの競合

(2) FRC のライトとカウントアップの競合

FRC の下位バイトライトサイクル中の T_3 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを図 9.33 に示します。

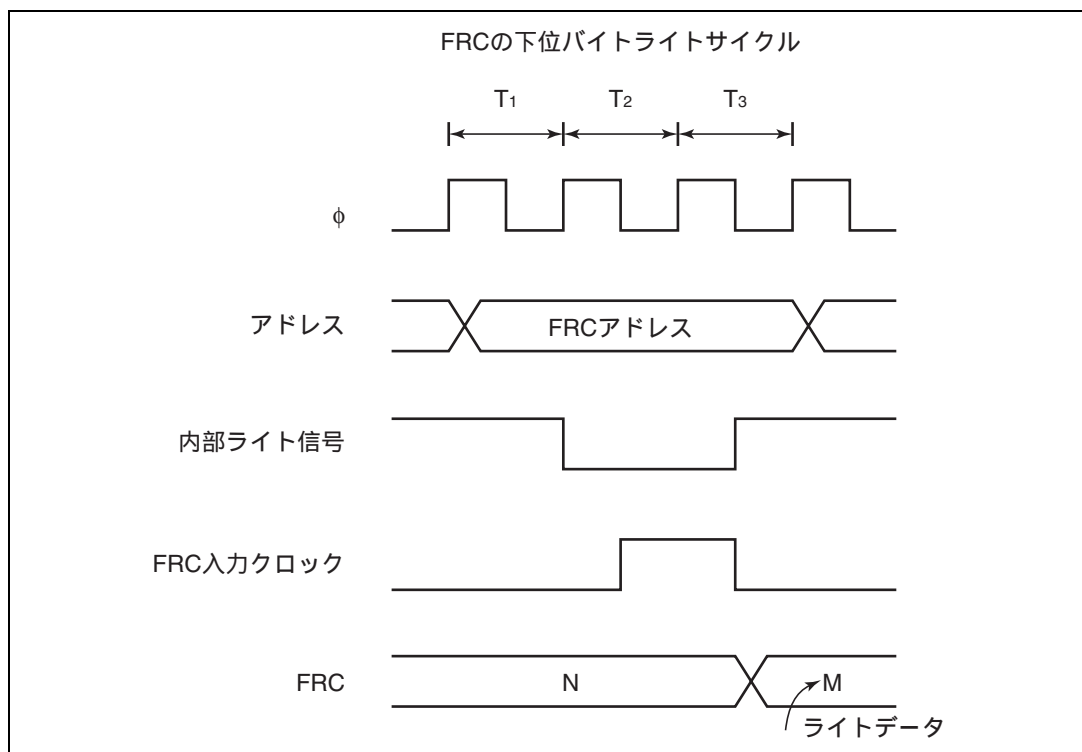


図 9.33 FRC のライトとカウントアップの競合

(3) OCR のライトとコンペアマッチの競合

OCRA、OCR の下位バイトライトサイクル中の T_3 ステートでコンペアマッチが発生した場合、OCR のライトが優先され、コンペアマッチ信号は禁止されます。

このタイミングを図 9.34 に示します。

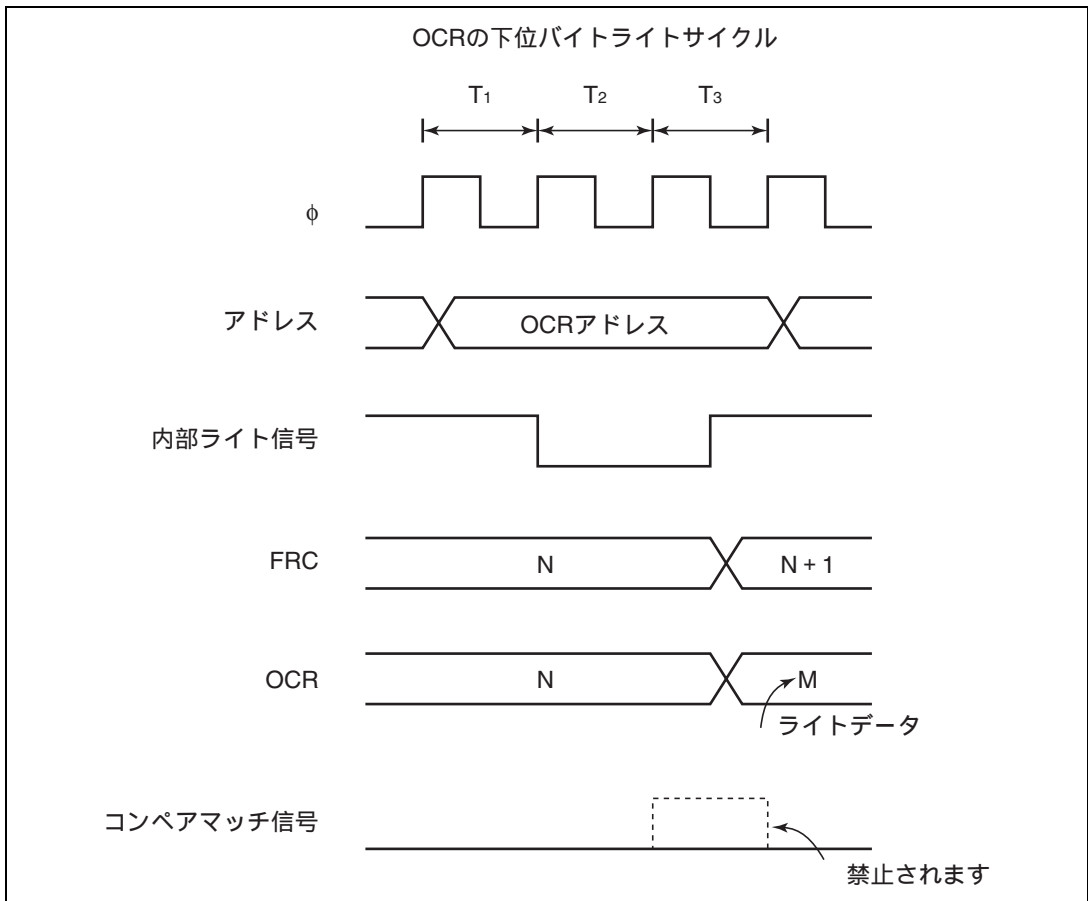


図 9.34 OCR とコンペアマッチの競合

(4) 内部クロックの切り替えとカウンタの動作

内部クロックを切り替えるタイミングによっては、FRC がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング(CKS1、CKS0の書き換え)とFRC動作の関係を表9.19に示します。

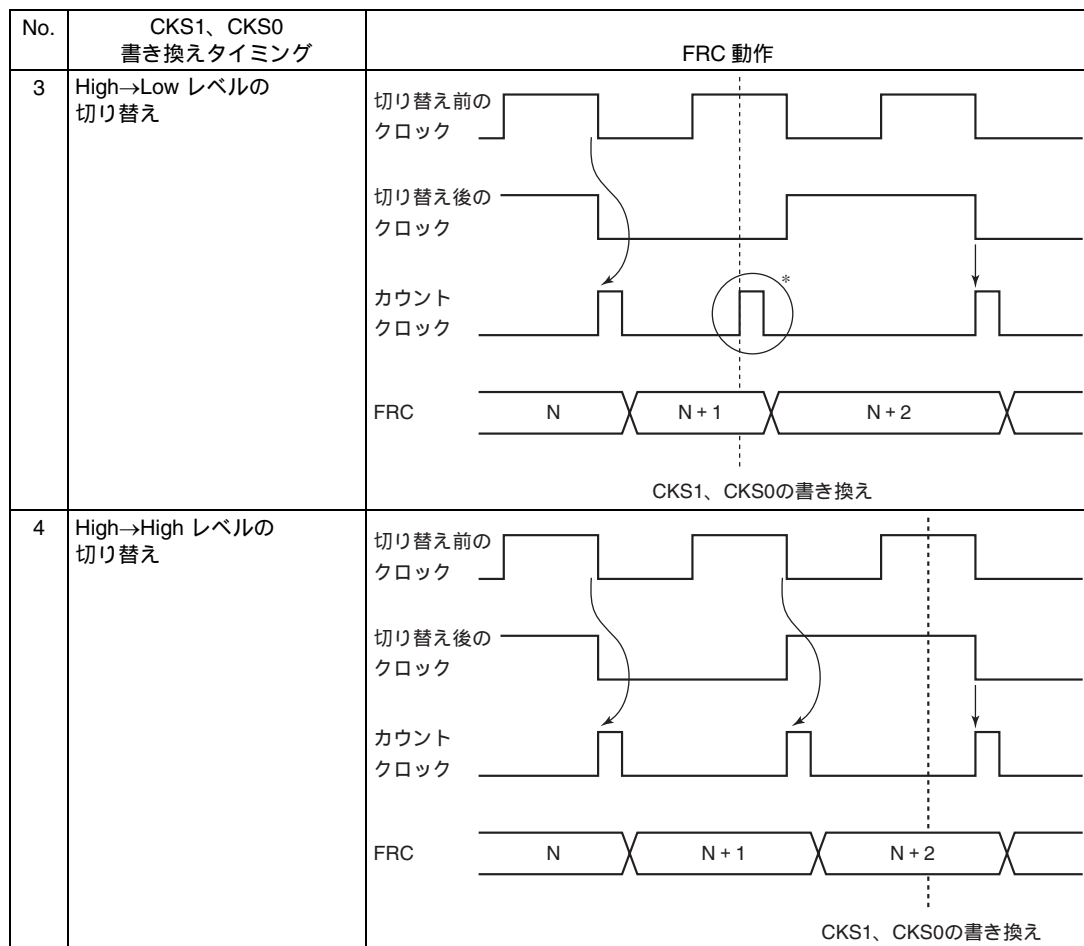
内部クロックを使用する場合、システムクロック(ϕ)を分周した内部クロックの立ち下がりエッジで検出してカウントクロックを発生しています。そのため表9.19のNo.3のように切り替え前のタイミングを立ち下がりエッジとみなしてカウントクロックが発生し、FRCがカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、FRCがカウントアップされることがあります。

表9.19 内部クロックの切り替えとFRC動作

No.	CKS1、CKS0 書き換えタイミング	FRC動作
1	Low→Lowレベルの 切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>カウントクロック</p> <p>FRC</p> <p>N N+1</p> <p>CKS1、CKS0の書き換え</p>
2	Low→Highレベルの 切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>カウントクロック</p> <p>FRC</p> <p>N N+1 N+2</p> <p>CKS1、CKS0の書き換え</p>

9. タイマ



【注】 * 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TRCはカウントアップされてしまいます。

9.6 ウォッチドッグタイマ

9.6.1 概要

ウォッチドッグタイマ (Watchdog Timer) は、入力クロックが入るたびに、カウンタアップする 8 ビットのカウンタを備えており、システムの暴走などによりカウンタの値が書き換えられずオーバーフローすると、LSI 内部をリセットできる機能を備えています。

(1) 特長

ウォッチドッグタイマの特長を以下に示します。

内部クロック $\phi/8192$ でカウントアップ

カウンタのオーバーフローでリセット信号を発生

オーバーフロー周期は、 $8192/\phi$ の 1 倍から 256 倍までを設定可能です。

($\phi = 4.19\text{MHz}$ のとき、約 $2\text{ms} \sim 500\text{ms}$)

(2) ブロック図

ウォッチドッグタイマのブロック図を図 9.35 に示します。

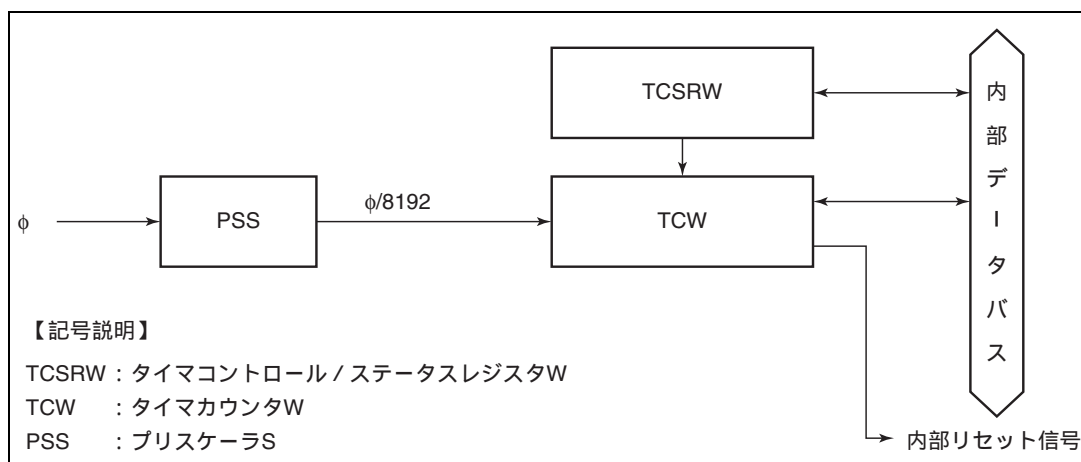


図 9.35 ウォッチドッグタイマのブロック図

(3) レジスタ構成

ウォッチドッグタイマのレジスタ構成を表 9.20 に示します。

表 9.20 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマコントロール/ステータスレジスタW	TCSRW	R/W	H'AA	H'FFBE
タイマカウンタW	TCW	R/W	H'00	H'FFBF

9. タイマ

9.6.2 各レジスタの説明

(1) タイマコントロール/ステータスレジスタ W (TCSRW)

ビット:	7	6	5	4	3	2	1	0
	B6WI	TCWE	B4WI	TCSRWE	B2WI	WDON	B0WI	WRST
初期値:	1	0	1	0	1	0	1	0
R/W :	R	R/(W)*	R	R/(W)*	R	R/(W)*	R	R/(W)*

【注】* 書き込みの条件が成立している場合にのみ、書き込み可能となります。書き込み条件については、各ビットの説明を参照してください。

TCSRW は、8 ビットのリード/ライト可能なレジスタで TCSRW、TCW の書き込み制御、ウォッチドッグタイマの動作制御、動作状態を示すレジスタです。

ビット7：ビット6 書き込み禁止 (B6WI)

TCSRW のビット 6 へのデータの書き込みを制御します。

本ビットはリードすると常に 1 が読み出されます。ライトしても、データは格納されません。

ビット7	説明
B6WI	
0	ビット 6 への書き込みを許可
1	ビット 6 への書き込みを禁止 (初期値)

ビット6：タイマカウンタ W 書き込み許可 (TCWE)

TCW への 8 ビットデータの書き込みを制御します。

ビット6	説明
TCWE	
0	TCW への 8 ビットデータの書き込みを禁止 (初期値)
1	TCW への 8 ビットデータの書き込みを許可

ビット5：ビット4 書き込み禁止 (B4WI)

TCSRW のビット 4 へのデータの書き込みを制御します。

本ビットはリードすると常に 1 が読み出されます。ライトしてもデータは格納されません。

ビット5	説明
B4WI	
0	ビット 4 への書き込みを許可
1	ビット 4 への書き込みを禁止 (初期値)

ビット4：タイマコントロール/ステータスレジスタ W 書き込み許可 (TCSRWE)

TCSRW のビット2 およびビット0 へのデータの書き込みを制御します。

ビット4	説明
TCSRWE	
0	ビット2 およびビット0 への書き込みを禁止 (初期値)
1	ビット2 およびビット0 への書き込みを許可

ビット3：ビット2 書き込み禁止 (B2WI)

TCSRW のビット2 へのデータの書き込みを制御します。

本ビットはリードすると常に1 が読み出されます。ライトしてもデータは格納されません。

ビット3	説明
B2WI	
0	ビット2 への書き込みを許可
1	ビット2 への書き込みを禁止 (初期値)

ビット2：ウォッチドッグタイマオン (WDON)

ウォッチドッグタイマの動作を許可します。

本ビットを1 にセットすると、カウントアップを開始します。また、本ビットを0 にクリアすると、カウントアップを停止します。

ビット2	説明
WDON	
0	ウォッチドッグタイマの動作を禁止 (初期値) [クリア条件] リセット、または TCSRWE = 1 の状態で B2WI に 0 をライトしながら WDON に 0 をライトしたとき
1	ウォッチドッグタイマの動作を許可 [セット条件] TCSRWE = 1 の状態で B2WI に 0 をライトしながら WDON に 1 をライトしたとき

ビット1：ビット0 書き込み禁止 (B0WI)

タイマコントロール/ステータスレジスタ W のビット0 へのデータの書き込みを制御します。

本ビットはリードすると常に1 が読み出されます。ライトしてもデータは格納されません。

ビット1	説明
B0WI	
0	ビット0 への書き込みを許可
1	ビット0 への書き込みを禁止 (初期値)

9. タイマ

ビット0：ウォッチドッグタイマリセット（WRST）

TCW がオーバーフローし、内部リセット信号が発生したことを示します。オーバーフローしたことにより発生した内部リセット信号は、LSI 全体をリセットします。

WRST は、 $\overline{\text{RES}}$ 端子によるリセット、またはソフトウェアによる 0 ライトによりクリアされます。

ビット0	説明
WRST	
0	[クリア条件] (初期値) (1) $\overline{\text{RES}}$ 端子によるリセット (2) TCSRWE = 1 の状態で、BOWI に 0 をライトしながら WRST に 0 をライトしたとき
1	[セット条件] TCW がオーバーフローし、内部リセット信号が発生したとき

(2) タイマカウンタ W (TCW)

ビット:	7	6	5	4	3	2	1	0
	TCW7	TCW6	TCW5	TCW4	TCW3	TCW2	TCW1	TCW0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCW は、8 ビットのリード/ライト可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックは、 $\phi/8192$ です。TCW の値は CPU から常にリード/ライトできます。

TCW がオーバーフロー（H'FF→H'00）すると、内部リセット信号を発生し、TCSRW の WRST が 1 にセットされます。リセット時、TCW は H'00 に初期化されます。

9.6.3 動作説明

ウォッチドッグタイマは、入力クロック ($\phi/8192$) が入るたびにカウントアップする 8 ビットのカウンタを備えています。TCSRW の TCSRWE = 1 の状態で B2WI に 0 をライトしながら WDON に 1 をライトすると、TCW はカウントアップを開始します (ウォッチドッグタイマを動作させるためには、TCSRW へ 2 回ライトアクセスが必要となります)。TCW のカウント値が H'FF になった後、クロックが入力されるとウォッチドッグタイマはオーバーフローし、内部リセット信号を発生します。内部リセット信号は ϕ_{osc} クロックで 512 クロック分の時間出力されます。TCW はライト可能なカウンタですので、TCW に値を設定すると、その値からカウントアップを行います。したがって、TCW の値により、オーバーフロー周期を 1~256 入力クロックの範囲で設定できます。

ウォッチドッグタイマ動作例を図 9.36 に示します。

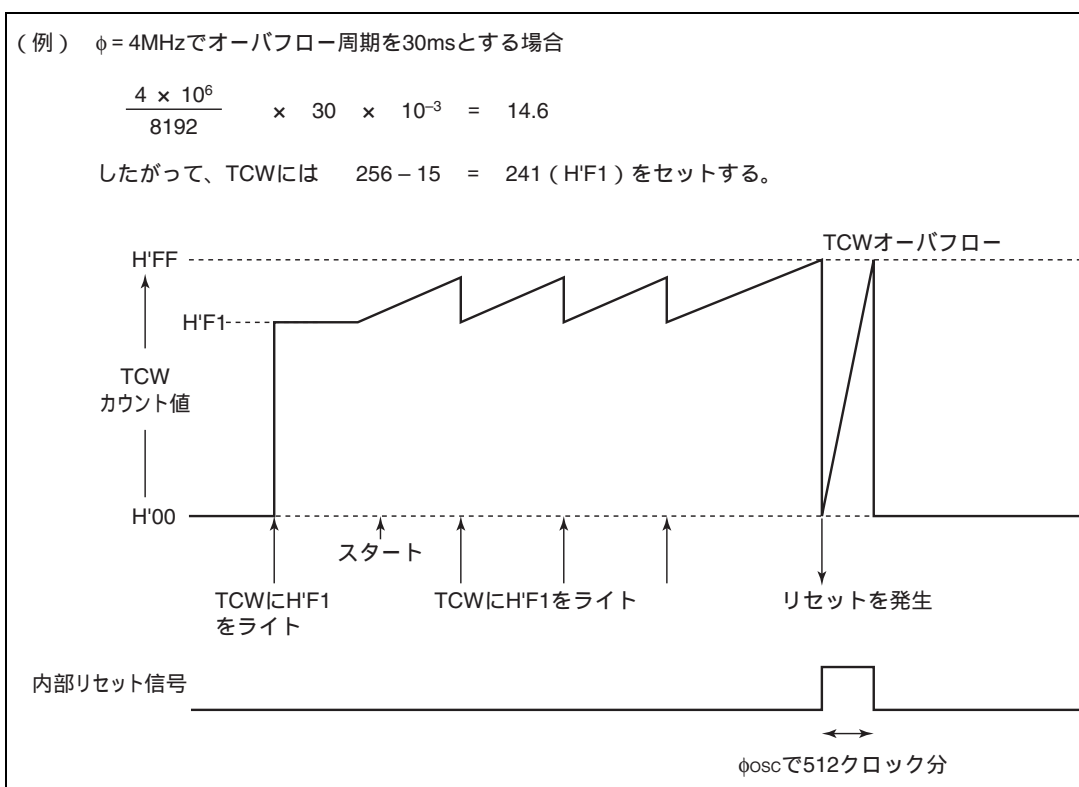


図 9.36 ウォッチドッグタイマの動作例

9. タイマ

9.6.4 ウォッチドッグタイマの動作モード

ウォッチドッグタイマの動作モードを表 9.21 に示します。

表 9.21 ウォッチドッグタイマの動作モード

動作モード	リセット	アクティブ	スリープ	ウォッチ	サブアクティブ	サブスリープ	スタンバイ
TCW	リセット	動作	動作	停止	停止	停止	停止
TCSRW	リセット	動作	動作	保持	保持	保持	保持

10. シリアルコミュニケーションインタフェース

10.1 概要

本 LSI は、2 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。

2 チャンネルの SCI の機能概要を表 10.1 に示します。

表 10.1 SCI の機能概要

SCI の名称	機能	特長
SCI1	クロック同期式シリアル転送機能 <ul style="list-style-type: none">転送データ長を選択可能 (8 ビット / 16 ビット)クロック連続出力機能	<ul style="list-style-type: none">8 種類の内部クロック ($\phi/1024 \sim \phi/2$) と外部クロックを選択可能オープンドレイン出力可能転送完了で割り込み発生
SCI3	クロック同期式シリアル転送機能 <ul style="list-style-type: none">転送データ長 8 ビット送信 / 受信 / 同時送受信 調歩同期式シリアル転送機能 <ul style="list-style-type: none">マルチプロセッサ通信機能転送データ長を選択可能 (7 ビット / 8 ビット)ストップビット長を選択可能 (1 ビット / 2 ビット)パリティ付加機能	<ul style="list-style-type: none">ボーレートジェネレータ内蔵受信エラーの検出ブレークの検出転送完了またはエラーで割り込み発生

10.2 SCI1

10.2.1 概要

SCI1 (シリアルコミュニケーションインタフェース 1) は、8 ビット / 16 ビットデータのクロック同期式シリアル転送を行います。また、複数の IC を制御することができる SSB (Synchronized Serial Bus) という通信方式を備えています。

(1) 特長

SCI1 の特長を以下に示します。

8 ビットおよび 16 ビットの転送データ長を選択可能

クロックソースとして 8 種類の内部クロック ($\phi/1024$ 、 $\phi/256$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$ 、 $\phi/2$) と外部クロックが選択可能

転送の完了で割り込み要求を発生

SSB モード時、HOLD モード / LATCH モードを選択可能

(2) ブロック図

SCI1 のブロック図を図 10.1 に示します。

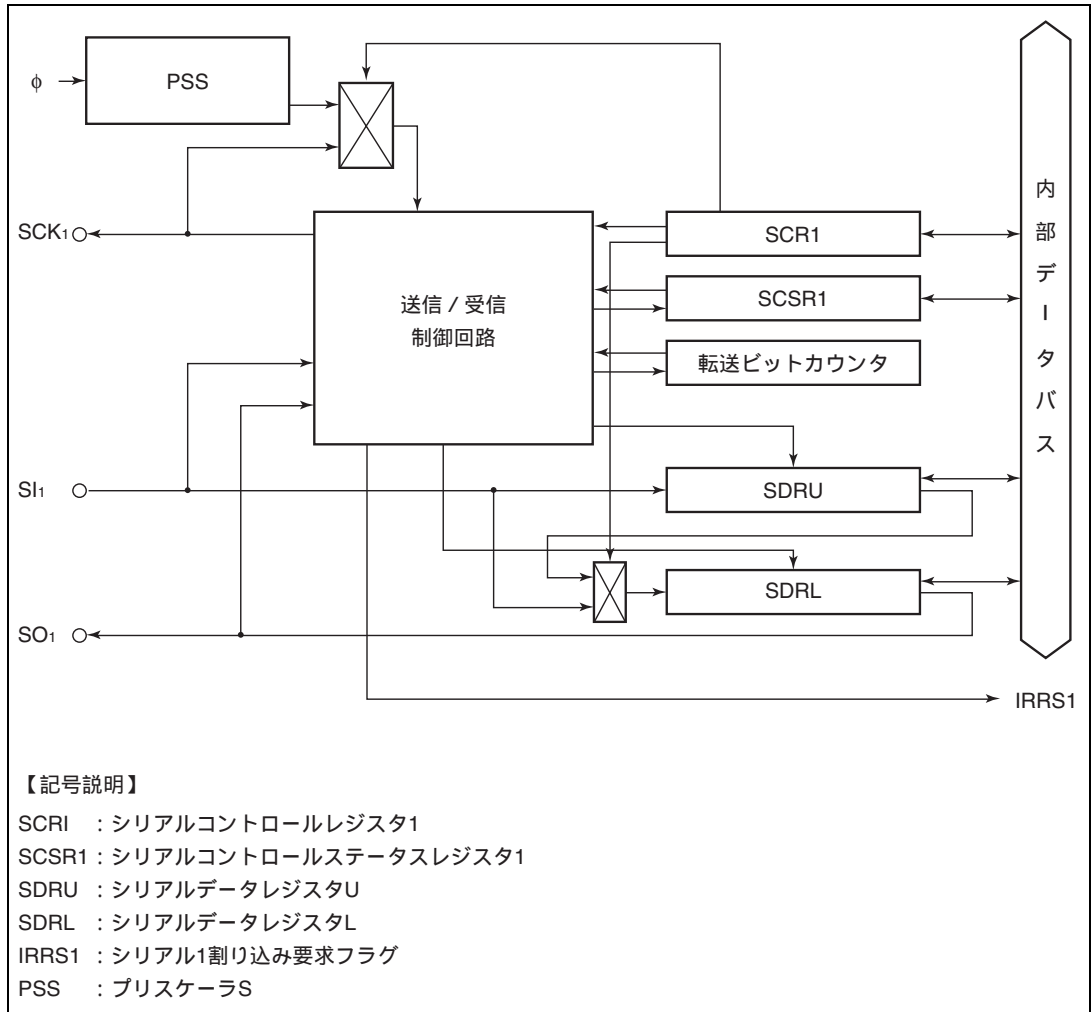


図 10.1 SCI1 のブロック図

10. シリアルコミュニケーションインタフェース

(3) 端子構成

SCI1 の端子構成を表 10.2 に示します。

表 10.2 端子構成

名称	略称	入出力	機能
SCI1 クロック	SCK _i	入出力	SCI1 のクロック入出力端子
SCI1 データ入力	SI _i	入力	SCI1 の受信データ入力端子
SCI1 データ出力	SO _i	出力	SCI1 の送信データ出力端子

(4) レジスタ構成

SCI1 のレジスタ構成を表 10.3 に示します。

表 10.3 レジスタ構成

名称	略称	R/W	初期値	アドレス
シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'FFA0
シリアルコントロールステータスレジスタ 1	SCSR1	R/W	H'9C	H'FFA1
シリアルデータレジスタ U	SDRU	R/W	不定	H'FFA2
シリアルデータレジスタ L	SDRL	R/W	不定	H'FFA3

10.2.2 各レジスタの説明

(1) シリアルコントロールレジスタ 1 (SCR1)

ビット:	7	6	5	4	3	2	1	0
	SNC1	SNC0	MRKON	LTCH	CKS3	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR1 は、8 ビットのリード/ライト可能なレジスタで、動作モード、転送クロックソースとプリスケアラ分周比を制御します。

リセット時、SCR1 は H'00 に初期化されます。転送中に本レジスタに書き込みを行うと転送を中止します。

ビット7、6：動作モード選択 1、0 (SNC1、SNC0)

動作モードを選択します。

ビット7	ビット6	説 明
SNC1	SNC0	
0	0	8ビットモード (初期値)
	1	16ビットモード
1	0	クロック連続出力モード* ¹
	1	リザーブ* ²

【注】 *¹ SI_i、SO_i端子はポートとして使用してください。

*² SNC1、SNC0に11を設定しないでください。

ビット5：TAIL MARK 制御 (MRKON)

8ビットまたは16ビットデータ転送後、TAIL MARK の出力を制御します。

ビット5	説 明
MRKON	
0	TAIL MARK を非出力 (クロック同期モード) (初期値)
1	TAIL MARK を出力 (SSB モード)

ビット4：LATCH TAIL 選択 (LTCH)

MRKON=1 (SSB モード) のとき、TAIL MARK として、LATCH TAIL を出力するか、HOLD TAIL を出力するかを選択します。

ビット4	説 明
LTCH	
0	HOLD TAIL を出力 (初期値)
1	LATCH TAIL を出力

ビット3：クロックソース選択3 (CKS3)

供給するクロックソースの選択と SCK1 端子の入出力の設定を行います。

ビット3	説 明
CKS3	
0	クロックソースはプリスケアラ S、SCK _i 端子は出力 (初期値)
1	クロックソースは外部クロック、SCK _i 端子は入力

10. シリアルコミュニケーションインタフェース

ビット2~0：クロック選択2~0 (CKS2~CKS0)

CKS3が0の場合、プリスケアラ分周比と転送クロック周期を選択します。

ビット2 CKS2	ビット1 CKS1	ビット0 CKS0	プリスケアラ分周比	転送クロック周期	
				$\phi = 5\text{MHz}$	$\phi = 2.5\text{MHz}$
0	0	0	$\phi/1024$ (初期値)	204.8 μs	409.6 μs
		1	$\phi/256$	51.2 μs	102.4 μs
	1	0	$\phi/64$	12.8 μs	25.6 μs
		1	$\phi/32$	6.4 μs	12.8 μs
1	0	0	$\phi/16$	3.2 μs	6.4 μs
		1	$\phi/8$	1.6 μs	3.2 μs
	1	0	$\phi/4$	0.8 μs	1.6 μs
		1	$\phi/2$		0.8 μs

(2) シリアルコントロールステータスレジスタ (SCSR1)

ビット:	7	6	5	4	3	2	1	0
	—	SOL	ORER	—	—	—	MTRF	STF
初期値:	1	0	0	1	1	1	0	0
R/W :	—	R/W	R/(W)*	—	—	—	R	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

SCSR1は、動作状態、エラー状態などを示す8ビットのレジスタです。
リセット時、SCSR1はH'9Cに初期化されます。

ビット7：リザーブビット

リザーブビットです。本ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット6：拡張データビット（SOL）

SOL は SO_i 端子の出力レベルを設定します。また、リードすると SO_i 端子の出力レベルが読み出されます。送信完了後の SO_i 端子の出力は、送信データの最終ビットの値を保持しますが、送信前または送信後に本ビットを操作して、SO_i 端子の出力レベルを変更することができます。ただし、次の送信が開始すると SOL の設定は無効となります。また SSB モードでの設定も無効となります。したがって送信完了後に SO_i 端子の出力レベルを変更する場合には送信完了ごとに SOL に対するライト操作を行ってください。なお、データ転送中に本レジスタにライトすると誤動作の原因になりますので送信中は操作しないでください。

ビット6	説明	
SOL		
0	リード時	SO _i 端子出力が Low レベル (初期値)
	ライト時	SO _i 端子出力を Low レベルに変更
1	リード時	SO _i 端子出力が High レベル
	ライト時	SO _i 端子出力を High レベルに変更

ビット5：オーバランエラーフラグ（ORER）

ORER は外部クロック使用時、オーバランエラーが発生したことを示します。転送中に外来雑音などにより正規の転送クロックに余分なパルスが重ね合わされた場合、転送データは保証できません。転送完了後もクロックが入力された場合、オーバラン状態であるとして、本ビットが1にセットされます。

ビット5	説明	
ORER		
0	[クリア条件] 1 をリード後、0 をライトしたとき	(初期値)
1	[セット条件] 外部クロック使用時、転送完了後もクロックが入力されたとき	

ビット4～2：リザーブビット

リザーブビットです。各ビットはリードすると1が読み出されます。ライトは無効です。

ビット1：TAIL MARK 送信フラグ（MTRF）

MRKON = 1 のとき、TAIL MARK を送信中であることを示します。本ビットはリードのみ可能です。ライトは無効です。

ビット1	説明	
MTRF		
0	転送待ち状態および8ビットまたは16ビットデータ転送中	(初期値)
1	TAIL MARK 送信中	

10. シリアルコミュニケーションインタフェース

ビット0：スタートフラグ（STF）

STFは、転送動作の開始を制御します。本ビットに1をセットするとSCI1の転送動作を開始します。本ビットは、転送中とスタートビット待ち状態時は1を保持し、転送終了後に0にクリアされます。このため、ビジーフラグとして使用できます。

ビット0	説明	
STF		
0	リード時	転送動作は停止 (初期値)
	ライト時	無効
1	リード時	転送動作中
	ライト時	転送動作を開始

(3) シリアルデータレジスタU（SDRU）

ビット：	7	6	5	4	3	2	1	0
	SDRU7	SDRU6	SDRU5	SDRU4	SDRU3	SDRU2	SDRU1	SDRU0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SDRUは、8ビットのリード/ライト可能なレジスタで、16ビット転送時に上位8ビットのデータレジスタとして使用します（SDRLが下位8ビット）。

SDRUに書き込まれたデータは、SDRLにLSBファーストで出力されます。入れ替わりにSI₁端子よりLSBファーストでデータが入力されて、MSB→LSB方向にデータがシフトします。

SDRUのリード/ライトは、データの送信/受信が完了してから行う必要があります。データの送信/受信中にリード/ライトを行うとデータの内容は保証されません。

SDRUのリセット時の値は不定です。

(4) シリアルデータレジスタL（SDRL）

ビット：	7	6	5	4	3	2	1	0
	SDRL7	SDRL6	SDRL5	SDRL4	SDRL3	SDRL2	SDRL1	SDRL0
初期値：	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SDRLは、8ビットのリード/ライト可能なレジスタで、8ビット転送時のデータレジスタ、および16ビット転送時の下位8ビットのデータレジスタとして使用します（SDRUが上位8ビット）。

8ビット転送時、SDRLに書き込まれたデータは、SO₁端子よりLSBファーストで出力されます。入れ替わりにSI₁端子よりLSBファーストで入力されて、MSB→LSB方向にデータがシフトします。

16ビット転送時には、入力データがSDRUより取り込まれることを除けば、8ビット転送時と同様の動作となります。

SDRLのリード/ライトは、データの送信/受信が完了してから行う必要があります。データの送信/受信中にリード/ライトを行うとデータの内容は保証されません。

SDRLのリセット時の値は不定です。

10.2.3 クロック同期モード時の動作説明

送信 / 受信フォーマットは 8 ビットおよび 16 ビットの転送データを選択可能です。クロックソースは、内部クロックと外部クロックを選択できます。外部クロック使用時はオーバランエラーの検出ができます。

(1) クロック

転送クロックは、8 種類の内部クロックと外部クロックから選択できます。内部クロックを選択した場合は、SCK_i 端子はクロック出力端子となります。クロック連続出力モード (SCR1 の SNC1、SNC0 を 10) に設定すると CKS2 ~ CKS0 で選択したクロック ($\phi/1024 \sim \phi/2$) を SCK_i 端子から連続して出力します。外部クロックを選択した場合は、SCK_i 端子はクロック入力端子となります。

(2) データ転送フォーマット

SCI1 の転送フォーマットを図 10.2 に示します。データの最下位ビットから送受信される LSB ファースト方式による転送を行います。送信データは転送クロックの立ち下がりから次の立ち上がりまで出力されます。また、受信データは転送クロックの立ち上がりで取り込まれます。

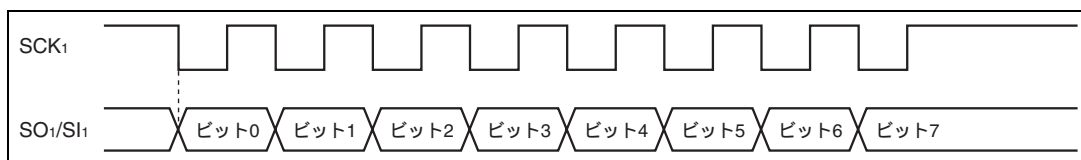


図 10.2 転送フォーマット

(3) データの転送動作

(a) 送信動作

送信動作は次のように行われます。

- (1) PMR3のSO1を1、SCK1を1としてそれぞれSO_i端子、SCK_i端子に設定します。
また、必要に応じて、PMR7のPOF1により、SO_i端子をNMOSオープンドレイン出力とします。
- (2) SCR1のSNC1を0、SNC0を0または1、MRKONを0として8ビットクロック同期方式か16ビットクロック同期方式に設定し、CKS3 ~ CKS0で転送クロックを選択します。SCR1のMRKONが0の状態ではSCR1へデータの書き込みを行うとSCI1の内部状態は初期化されます。
- (3) SDRL、SDRUに転送データを書き込みます。
8ビット転送モード : SDRL
16ビット転送モード : 上位バイトSDRU、下位バイトSDRL
- (4) SCSR1のSTFを1にすると、SCI1は動作を開始し、SO_i端子から送信データが出力されます。
- (5) 送信完了後、IRR2のIRRS1が1にセットされます。

内部クロックを使用する場合は、送信データの出力と同時に SCK_i 端子から同期クロックが出力されます。送信が終了すると、次にスタートフラグを 1 にセットするまで同期クロックは出力されません。この間、SO_i 端子は直前のデータの最終ビットの値を出力し続けます。

外部クロックを使用する場合には、SCK_i 端子から入力されるクロックに同期してデータを送信します。送信終了後、引き続き同期クロックが入力されると、送信動作は行われず、オーバラン状態で

あるとして、SCSR1のORERが1にセットされます。

送信停止中のSO_i端子の出力値は、SCSR1のSOLにより変更することができます。

(b) 受信動作

受信動作は次のように行われます。

- (1) PMR3のSI1を1、SCK1を1として、それぞれSI_i端子、SCK_i端子に設定します。
- (2) SCR1のSNC1を0、SNC0を0または1、MRKONを0として8ビットクロック同期方式か16ビットクロック同期方式に設定し、CKS3～CKS0で転送クロックを選択します。SCR1のMRKONが0の状態ではSCR1へのデータの書き込みを行うとSCI1の内部状態は初期化されます。
- (3) SCSR1のSTFを1にすると、SCI1は動作を開始し、SI_i端子から受信データを取り込みます。
- (4) 受信完了後、IRR2のIRRS1が1にセットされます。
- (5) SDRL、SDRUから受信データを読み出します。
8ビット転送モード : SDRL
16ビット転送モード : 上位バイトSDRU、下位バイトSDRL
- (6) 受信終了後、引き続き同期クロックが入力されると、受信動作は行われず、オーバラン状態であるとして、SCSR1のORERが1にセットされます。

(c) 同時送受信動作

同時送受信動作は次のように行われます。

- (1) PMR3のSO1を1、SI1を1、SCK1を1としてそれぞれSO_i端子、SI_i端子、SCK_i端子に設定します。また、必要に応じてPMR7のPOF1により、SO_i端子をNMOSオープンドレイン出力とします。
- (2) SCR1のSNC1を0、SNC0を0または1、MRKONを0として8ビットクロック同期方式か16ビットクロック同期方式に設定し、CKS3～CKS0で転送クロックを選択します。SCR1のMRKONが0の状態ではSCR1へのデータの書き込みを行うとSCI1の内部状態は初期化されます。
- (3) SDRL、SDRUに転送データを書き込みます。
8ビット転送モード : SDRL
16ビット転送モード : 上位バイトSDRU、下位バイトSDRL
- (4) SCSR1のSTFを1にすると、SCI1は動作を開始し、SO_i端子から送信データが出力され、またSI_i端子から受信データが入力されます。
- (5) 送受信完了後、IRR2のIRRS1が1にセットされます。
- (6) SDRL、SDRUから受信データを読み出します。
8ビット転送モード : SDRL
16ビット転送モード : 上位バイトSDRU、下位バイトSDRL

内部クロックを使用する場合は、送信データの出力と同時にSCK_i端子から同期クロックが出力されます。送信が終了すると、次にスタートフラグを1にセットするまで同期クロックは出力されません。この間、SO_i端子は直前のデータの最終ビットの値を出力し続けます。

外部クロックを使用する場合には、SCK_i端子から入力されるクロックに同期してデータを送受信します。送受信終了後、引き続き同期クロックが入力されると、送受信動作は行われず、オーバラン状態であるとして、SCSR1のORERが1にセットされます。

送信停止中のSO_i端子の出力値は、SCSR1のSOLにより変更することができます。

10.2.4 SSB モード時の動作説明

SSB 通信方式は SCL (Serial Clock) と SDA (Serial Data) との 2 線で構成され、図 10.3 で示すように接続することで複数の IC を制御することができます。

SSB モードは 8 ビットまたは 16 ビットデータ転送後、TAIL MARK を付加して送信します。TAIL MARK は HOLD TAIL と LATCH TAIL から選択できます。

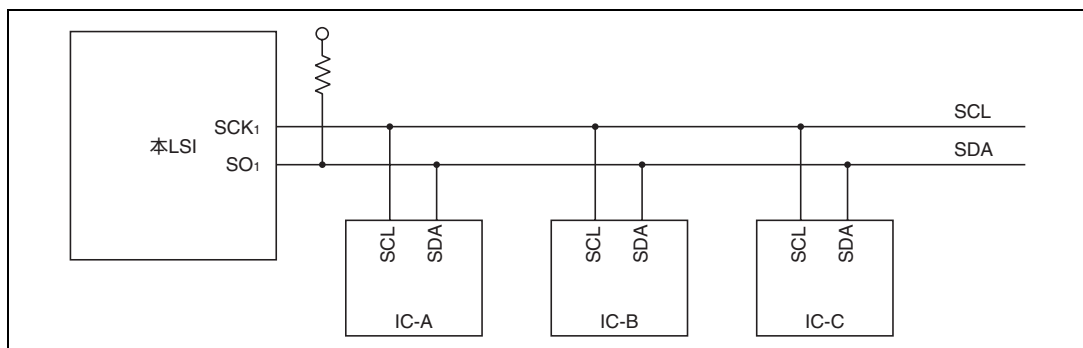


図 10.3 SSB 接続例

(1) クロック

転送クロックは、8 種類の内部クロックと外部クロックから選択できますが、本 LSI がクロック出力となるため外部クロックは選択しないでください。また転送レートは、SCR1 の CKS2 ~ CKS0 で選択できますが、TAIL MARK の転送レートと兼ねているため、転送クロック周期が $2\mu\text{s}$ 以上となるように設定してください。

(2) データ転送フォーマット

SC11 の転送フォーマットを図 10.4 に示します。データ転送は、データの最下位ビットから送信される LSB ファースト方式による転送を行います。8 ビットまたは 16 ビットデータ転送後、TAIL MARK を付加します。

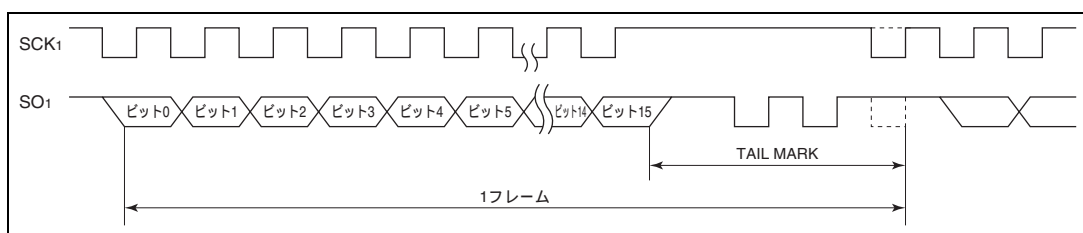


図 10.4 転送フォーマット (SNC1 = 0、SNC0 = 1、MRKON = 1 のとき)

(3) TAIL MARK

TAIL MARK には HOLD TAIL と LATCH TAIL があります。HOLDTAIL と LATCH TAIL の出力波形を図 10.5 に示します。図 10.5 中の時間 t は SCR1 の CKS2 ~ CKS0 で設定された転送クロック周期から決まる時間です。

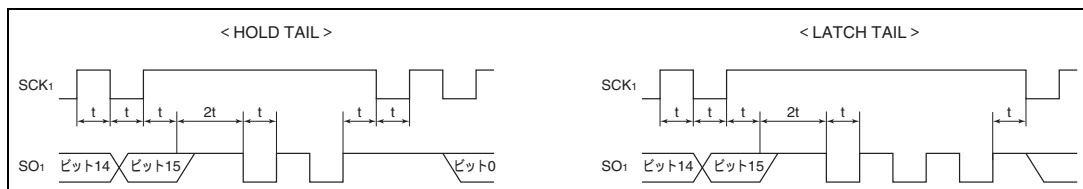


図 10.5 HOLD TAIL と LATCH TAIL の出力波形

(4) 送信動作

送信手順と動作を以下に示します。

- (1) SCSR1のSOLを1にセットします。
- (2) PMR3のSO1を1、SCK1を1としてそれぞれSO₁端子、SCK₁端子に設定します。またPMR7のPOF1を1にセットし、SO₁端子をNMOSオープンドレイン出力とします。
- (3) SCR1のSNC1を0、SNC0を0または1とし、8ビットモードか16ビットモードを設定します。またSCR1のMRKONを1にセットし、SSBモードを選択します。
- (4) SDRL、SDRUに転送データを書き込みます。またSCR1のLTCHでTAIL MARKを設定します。
8ビットモード : SDRL
16ビットモード : 上位バイトSDRU、下位バイトSDRL
- (5) SCSR1のSTFを1にするとSCH1は動作を開始し、SO₁端子から送信データが出力されます。
- (6) 8ビットまたは16ビットデータ送信後、SCSR1のSTFは0にリセットされ、同時にIRR2のIRRS1は1にセットされます。またデータ送信に続いて、設定されたTAILMARKが出力されます。TAIL MARK出力中SCSR1のMTRFは1になります。

(4) ~ (6) を繰り返し行うことにより、連続的にデータを送信することができます。なお、SCR1のMRKONを書き換える場合は、転送待ち状態であることを確認してから行ってください。

10.2.5 割り込み要因

SCH1の割り込み要因には、転送完了があります。

SCH1が、転送完了すると、IRR2のIRRS1が1にセットされます。SCH1の割り込み要求は、IENR2のIENS1により許可/禁止を選択できます。

詳細は、「3.3 割り込み」を参照してください。

10.3 SCI3

10.3.1 概要

SCI3 (シリアルコミュニケーションインタフェース 3) は、調歩同期式とクロック同期式の 2 方式のシリアルデータ通信を行います。また、複数のプロセッサ間のシリアルデータ通信機能 (マルチプロセッサ通信機能) を備えています。

(1) 特長

SCI3 の特長を以下に示します。

シリアルデータ通信モードを調歩同期式モードまたはクロック同期式モードから選択可能

- 調歩同期式モード

キャラクタ単位で同期をとる調歩同期方式でシリアルデータ通信を行います。

Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアルデータ通信ができます。また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

通信フォーマットを 12 種類のフォーマットから選択できます。

データ長	7 ビット / 8 ビット
ストップビット長	1 ビット / 2 ビット
パリティ	偶数パリティ / 奇数パリティ / パリティなし
マルチプロセッサビット	1/0
受信エラーの検出	パリティエラー、オーバランエラー、フレーミングエラー
ブレークの検出	フレーミングエラー発生時に RXD 端子のレベルを直接読み出すことでブレークを検出

- クロック同期式モード

クロックに同期してシリアルデータの通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。

データ長	8 ビット
受信エラーの検出	オーバランエラー

全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部および受信部ともにダブルバッファ構造になっていますので、連続送信・連続受信ができます。

内蔵のボーレートジェネレータで任意のビットレートを選択可能

送受信クロックソースを内部クロック、または外部クロックから選択可能

10. シリアルコミュニケーションインタフェース

6種類の割り込み要因

送信終了、送信データエンプティ、受信データフル、オーバランエラー、フレーミングエラー、パリティエラーの6種類の割り込み要因があります。

(2) ブロック図

SCI3のブロック図を図10.6に示します。

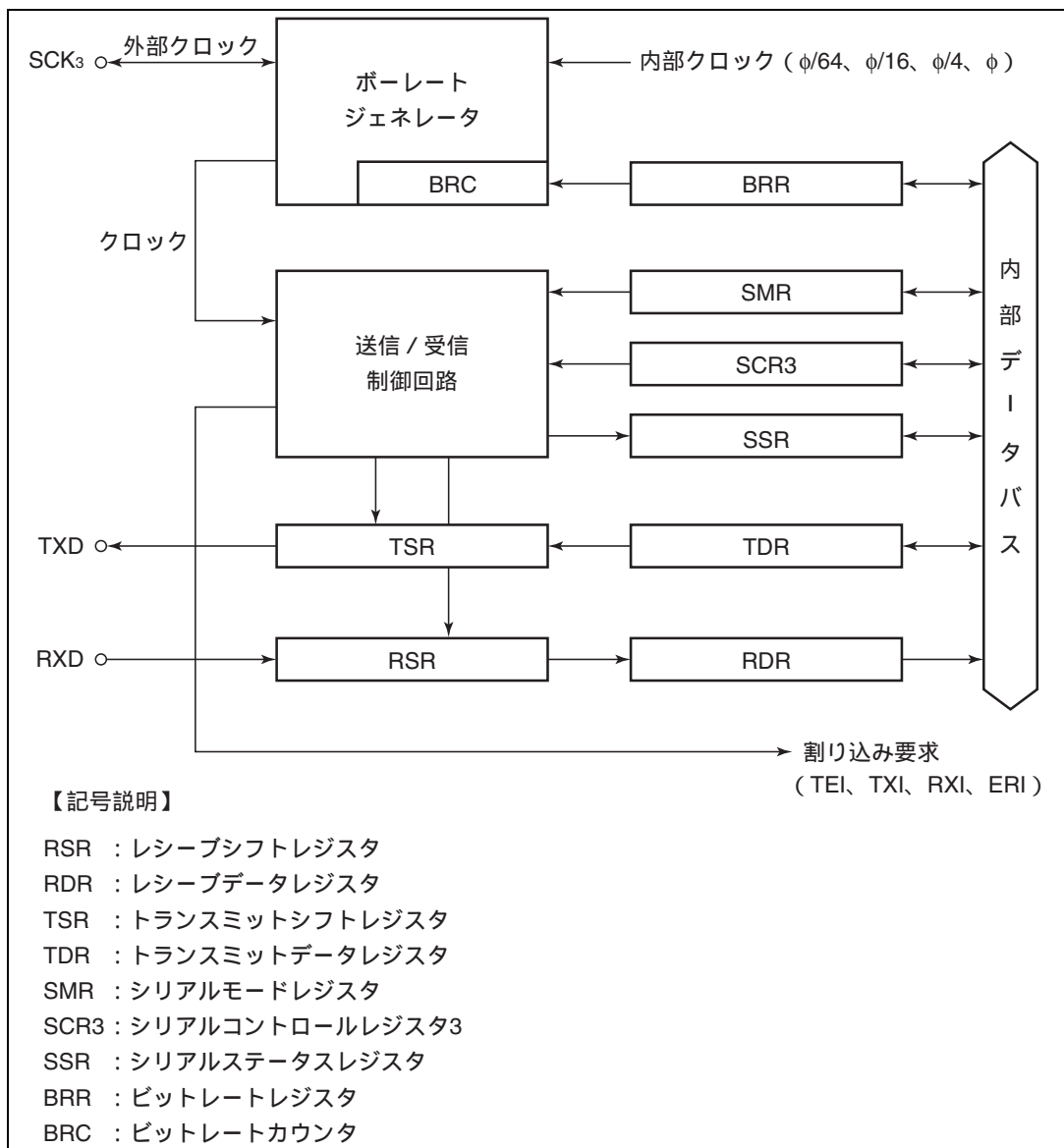


図 10.6 SCI3のブロック図

(3) 端子構成

SCI3 の端子構成を表 10.4 に示します。

表 10.4 端子構成

名称	略称	入出力	機能
SCI3 クロック	SCK ₃	入出力	SCI3 のクロック入出力端子
SCI3 レシーブデータ入力	RXD	入力	SCI3 の受信データ入力端子
SCI3 トランスミットデータ出力	TXD	出力	SCI3 の送信データ出力端子

(4) レジスタ構成

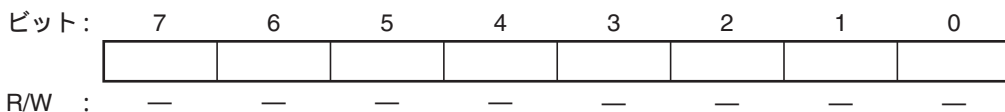
SCI3 のレジスタ構成を表 10.5 に示します。

表 10.5 レジスタ構成

名称	略称	R/W	初期値	アドレス
シリアルモードレジスタ	SMR	R/W	H'00	H'FFA8
ビットレートレジスタ	BRR	R/W	H'FF	H'FFA9
シリアルコントロールレジスタ 3	SCR3	R/W	H'00	H'FFAA
トランスミットデータレジスタ	TDR	R/W	H'FF	H'FFAB
シリアルステータスレジスタ	SSR	R/W	H'84	H'FFAC
レシーブデータレジスタ	RDR	R	H'00	H'FFAD
トランスミットシフトレジスタ	TSR	不可		
レシーブシフトレジスタ	RSR	不可		
ビットレートカウンタ	BRC	不可		

10.3.2 各レジスタの説明

(1) レシーブシフトレジスタ (RSR)



RSR は、シリアルデータを受信するためのレジスタです。RSR に RXD 端子から入力されたシリアルデータを、LSB (ビット 0) から受信した順にセットしパラレルデータに変換します。1 バイトのデータを受信すると、データは自動的に RDR へ転送されます。

CPU から RSR を直接リード/ライトすることはできません。

10. シリアルコミュニケーションインタフェース

(2) レシーブデータレジスタ (RDR)

ビット:	7	6	5	4	3	2	1	0
	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
初期値:	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

RDR は、受信したシリアルデータを格納する 8 ビットのレジスタです。

1 バイトのデータの受信が終了すると、受信したデータを RSR から RDR へ転送し、受信動作を完了します。その後、RSR は受信可能となります。

RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、受信専用レジスタですので CPU からライトできません。

RDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時に H'00 に初期化されます。

(3) トランスミットシフトレジスタ (TSR)

ビット:	7	6	5	4	3	2	1	0
R/W :	—	—	—	—	—	—	—	—

TSR は、シリアルデータを送信するためのレジスタです。TDR から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TXD 端子に送出することでシリアルデータ送信を行います。1 バイトのデータを送信すると、自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし、TDR にデータが書き込まれていない (TDRE に 1 がセットされている) 場合には TDR から TSR へのデータ転送は行いません。

CPU から TSR を直接リード/ライトすることはできません。

(4) トランスミットデータレジスタ (TDR)

ビット:	7	6	5	4	3	2	1	0
	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TDR は、送信データを格納する 8 ビットのレジスタです。TSR の空を検出すると、TDR に書き込まれた送信データを TSR に転送し、シリアルデータ送信を開始します。TSR のシリアルデータ送信中に、TDR に次の送信データをライトしておく、連続送信が可能です。

TDR は、常に CPU によるリード/ライトが可能です。

TDR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時に H'FF に初期化されます。

(5) シリアルモードレジスタ (SMR)

ビット:	7	6	5	4	3	2	1	0
	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMR は、シリアルデータ通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR は、常に CPU によるリード/ライトが可能です。

SMR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時に H'00 に初期化されます。

ビット 7: コミュニケーションモード (COM)

COM は、SC13 を調歩同期式モードとクロック同期式モードのいずれで動作させるかを選択するビットです。

ビット 7	説明
COM	
0	調歩同期式モード (初期値)
1	クロック同期式モード

ビット 6: キャラクターレングス (CHR)

CHR は、調歩同期式モード時におけるデータ長を選択するビットです。7 ビットデータと 8 ビットデータのいずれかを選択できます。クロック同期式モードでは、CHR の設定にかかわらず、データ長は 8 ビットに固定となります。

ビット 6	説明
CHR	
0	8 ビットデータ (初期値)
1	7 ビットデータ*

【注】 * 7 ビットデータを選択した場合、TDR の MSB (ビット 7) は送信されません。

10. シリアルコミュニケーションインタフェース

ビット5：パリティイネーブル（PE）

PEは、調歩同期式モードで、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択するビットです。クロック同期式モードではPEの設定にかかわらずパリティビットの付加およびチェックは行いません。

ビット5	PE	説 明
0		
1	パリティビットの付加およびチェックを許可*	

【注】 * PEに1をセットすると送信時には、PMで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがPMで指定したパリティになっているかどうかをチェックします。

ビット4：パリティモード（PM）

PMは、パリティの付加やチェックを偶数パリティ、または奇数パリティのどちらかで行うかを選択するビットです。PMの設定は、調歩同期式モードでPEに1を設定し、パリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや調歩同期式モードでパリティの付加やチェックを禁止している場合にはPMは無効です。

ビット4	PM	説 明
0		
1	奇数パリティ* ²	

【注】 *¹ 偶数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の1の数の合計が偶数になるかどうかをチェックします。

*² 奇数パリティに設定すると、送信時にはパリティビットと送信データを合わせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。受信時には、パリティビットと受信データを合わせて、その中の1の数の合計が奇数になるかどうかをチェックします。

ビット3：ストップビットレングス（STOP）

STOPは、調歩同期式モードでのストップビットの長さを選択するビットです。1ビットまたは2ビットのいずれかを選択できます。STOPの設定は調歩同期式モードでのみ有効です。クロック同期式モードに設定した場合にはストップビットは付加されませんのでSTOPは無効です。

ビット3	STOP	説 明
0		
1	2ストップビット* ²	

【注】 *¹ 送信時には、送信キャラクタの最後尾に1ビットの1（ストップビット）を付加して送信します。

*² 送信時には、送信キャラクタの最後尾に2ビットの1（ストップビット）を付加して送信します。

なお、受信時には STOP の設定にかかわらず、受信したストップビットの 1 ビット目のみをチェックします。ストップビットの 2 ビット目が 1 の場合はストップビットとして扱いますが、0 の場合は次の送信キャラクタのスタートビットとして扱います。

ビット 2：マルチプロセッサモード (MP)

MP は、マルチプロセッサ通信機能を許可するビットです。マルチプロセッサ通信機能を許可した場合、PE、および PM におけるパリティの設定は無効になります。MP の設定は調歩同期式モードのみ有効です。クロック同期式モードに設定した場合には MP を 0 にしてください。

マルチプロセッサ通信機能については「10.3.6 マルチプロセッサ通信機能」を参照してください。

ビット 2	説明
MP	
0	マルチプロセッサ通信機能を禁止 (初期値)
1	マルチプロセッサ通信機能を許可

ビット 1、0：クロックセレクト 1、0 (CKS1、CKS0)

CKS1、CKS0 は、内蔵ボーレートジェネレータのクロックソースを選択するビットです。CKS1、CKS0 の組み合わせによって、 $\phi/64$ 、 $\phi/16$ 、 $\phi/4$ 、 ϕ の 4 種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「(8) ビットレートレジスタ (BRR)」を参照してください。

ビット 1	ビット 0	説明
CKS1	CKS0	
0	0	ϕ クロック (初期値)
	1	$\phi/4$ クロック
1	0	$\phi/16$ クロック
	1	$\phi/64$ クロック

(6) シリアルコントロールレジスタ 3 (SCR3)

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR3 は、送信 / 受信動作、調歩同期式モードでのクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行う 8 ビットのレジスタです。

SCR3 は、常に CPU によるリード / ライトが可能です。

SCR3 は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時に H'00 に初期化されます。

10. シリアルコミュニケーションインタフェース

ビット7：トランスミットインタラプトイネーブル（TIE）

TIE は、TDR から TSR へ送信データが転送され、SSR の TDRE が 1 にセットされたとき、送信データエンpty割り込み要求（TXI）の許可 / 禁止を選択するビットです。

TXI は、TDRE を 0 にクリアするか、または TIE を 0 にクリアすることで解除できます。

ビット7	説明
TIE	
0	送信データエンpty割り込み要求（TXI）の禁止 (初期値)
1	送信データエンpty割り込み要求（TXI）の許可

ビット6：レシーブインタラプトイネーブル（RIE）

RIE は、受信データが RSR から RDR へ転送され、SSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求（RXI）、および受信エラー割り込み要求（ERI）の許可 / 禁止を選択するビットです。なお、受信エラーにはオーバランエラー、フレーミングエラー、パリティエラーの 3 種類があります。

RXI および ERI は、RDRF または、FER、PER、OER のエラーフラグを 0 にクリアするか、RIE を 0 にクリアすることで解除できます。

ビット6	説明
RIE	
0	受信データフル割り込み要求（RXI）、および受信エラー割り込み要求（ERI）を禁止 (初期値)
1	受信データフル割り込み要求（RXI）、および受信エラー割り込み要求（ERI）を許可

ビット5：トランスミットイネーブル（TE）

TE は、送信動作の開始の許可 / 禁止を選択するビットです。

ビット5	説明
TE	
0	送信動作を禁止* ¹ （TXD 端子はトランスミットデータ端子）* ³ (初期値)
1	送信動作を許可* ² （TXD 端子はトランスミットデータ端子）* ³

【注】 *¹ SSR の TDRE は 1 に固定されます。

*² この状態で、TDR に送信データをライトすると SSR の TDRE が 0 にクリアされシリアルデータ送信を開始します。なお、TE を 1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。

*³ PMR7 の TXD ビットを 1 にセットした場合、TXD ビットが 0 の場合は TE ビットにかかわらず TXD 端子は入出力ポートとなります。

ビット4：レシーブイネーブル（RE）

RE は、受信動作の開始の許可 / 禁止を選択するビットです。

ビット4	説明
RE	
0	受信動作を禁止* ¹ （RXD 端子は入出力ポート） （初期値）
1	受信動作を許可* ² （RXD 端子はレシーブデータ端子）

【注】 *¹ RE を 0 にクリアしても SSR の RDRF、FER、PER、OER の各フラグは影響を受けず、状態を保持しますので注意してください。

*² この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力を、それぞれ検出するとシリアルデータ受信を開始します。なお、RE を 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル（MPIE）

MPIE は、マルチプロセッサ割り込み要求の許可 / 禁止を選択するビットです。MPIE の設定は、調歩同期式モードで、かつ SMR の MP が 1 に設定されている受信時にのみ有効です。COM が 1 のときや MP が 0 のときには MPIE は無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込み要求を禁止（通常の実受信動作） （初期値） [クリア条件] マルチプロセッサビットが1のデータを受信したとき
1	マルチプロセッサ割り込み要求を許可*

【注】 * RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、OER の各ステータスフラグのセットは行いません。マルチプロセッサビットが1のデータを受け取るまで、RXI、ERI、および、SSR の RDRF、FER、OER の各フラグのセットを禁止します。マルチプロセッサビットが1の実受信キャラクタを受け取ると、SSR の MPBR を 1 にセットし、MPIE を自動的に 0 にクリアし、RXI、ERI の発生（SCR の TIE、RIE が 1 にセットされている場合）と RDRF、FER、OER のセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル（TEIE）

TEIE は、MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み要求（TEI）の許可 / 禁止を選択するビットです。

ビット2	説明
TEIE	
0	送信終了割り込み要求（TEI）を禁止 （初期値）
1	送信終了割り込み要求（TEI）を許可*

【注】 * TEI は、SSR の TDRE を 0 にクリアして TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。

10. シリアルコミュニケーションインタフェース

ビット 1, 0 : クロックイネーブル 1, 0 (CKE1, CKE0)

CKE1, CKE0 は、クロックソースの選択、および SCK₃ 端子からのクロックの出力の許可 / 禁止を選択するビットです。CKE1 と CKE0 の組み合わせによって SCK₃ 端子を入出力ポートにするか、クロック出力端子にするか、またはクロック入力端子にするかが決まります。

ただし、CKE0 の設定は調歩同期式モードで内部クロック動作時 (CKE1 = 0) のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1 = 1) の場合は CKE0 に 0 を設定してください。

また、CKE1, CKE0 を設定した後に SMR で動作モードを決定してください。

クロックソースの選択についての詳細は表 10.12 を参照してください。

ビット 1 CKE1	ビット 0 CKE0	説明		
		コミュニケーションモード	クロックソース	SCK ₃ 端子機能
0	0	調歩同期式	内部クロック	入出力ポート*1
		クロック同期式	内部クロック	同期クロック出力*1
	1	調歩同期式	内部クロック	クロック出力*2
		クロック同期式	リザーブ	
1	0	調歩同期式	外部クロック	クロック入力*3
		クロック同期式	外部クロック	同期クロック入力
	1	調歩同期式	リザーブ	
		クロック同期式	リザーブ	

【注】 *1 初期値

*2 ビットレートと同じ周波数のクロックを出力します。

*3 ビットレートの 16 倍の周波数のクロックを入力してください。

(7) シリアルステータスレジスタ (SSR)

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするための 0 ライトのみ可能です。

SSR は、SCI3 の動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した 8 ビットのレジスタです。

SSR は常に、CPU からリード / ライトできます。ただし、TDRE、RDRF、OER、PER、FER へ 1 をライトすることはできません。また、これらに 0 をライトしてクリアするためには、あらかじめ 1 をリードしておく必要があります。

また、TEND および MPBR はリード専用であり、ライトすることはできません。

SSR は、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時に H'84 に初期化されます。

ビット7：トランスミットデータレジスタエンブティ (TDRE)

TDRE は、TDR から TSR に送信データの転送が行われたことを示すビットです。

ビット7	説明
TDRE	
0	TDR にライトされた送信データが TSR に転送されていない [クリア条件] (1) TDRE = 1 の状態をリードした後、0 をライトしたとき (2) 命令で TDR ヘッダをライトしたとき
1	TDR に送信データがライトされていない、または TDR にライトされた送信データが TSR に転送された [セット条件] (1) SCR3 の TE が 0 のとき (2) TDR から TSR にデータ転送が行われたとき (初期値)

ビット6：レシーブデータレジスタフル (RDRF)

RDRF は、受信したデータが RDR に格納されていることを示すビットです。

ビット6	説明
RDRF	
0	RDR に受信データが格納されていない [クリア条件] (1) RDRF = 1 の状態をリードした後、0 をライトしたとき (2) 命令で RDR のデータをリードしたとき (初期値)
1	DR に受信データが格納されている [セット条件] 受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、および SCR3 の RE を 0 にクリアしたときには、RDR および RDRF は影響を受けず以前の状態を保持します。RDRF が 1 にセットされたままデータの受信を完了するとオーバーランエラー (OER) を発生し、受信データが失われますので注意してください。

10. シリアルコミュニケーションインタフェース

ビット5：オーバランエラー（OER）

OER は、受信時にオーバランエラーが発生したことを示すビットです。

ビット5	説明
OER	
0	受信中、または受信を完了した* ¹ (初期値) [クリア条件] OER=1の状態をリードした後、0をライトしたとき
1	受信時にオーバランエラーが発生した* ² [セット条件] RDRFが1の状態を受信を完了したとき

【注】 *1 SCR3のREを0にクリアしたときには、OERは影響を受けず以前の状態を保持します。

*2 RDRでは、オーバランエラーが発生する前の受信データが保持され、後から受信したデータが失われます。なお、OERが1にセットされた状態で、以降の受信を続けることはできません。クロック同期式モードでは送信も続けることができません。

ビット4：フレーミングエラー（FER）

FER は、調歩同期式モードで受信時にフレーミングエラーが発生したことを示すビットです。

ビット4	説明
FER	
0	受信中、または受信を完了した* ¹ (初期値) [クリア条件] FER=1の状態をリードした後、0をライトしたとき
1	受信時にフレーミングエラーが発生した [セット条件] 受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき* ²

【注】 *1 SCR3のREを0にクリアしたときには、FERは影響を受けず以前の状態を保持します。

*2 2ストップビットモード時は、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックをしませんので注意してください。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFはセットされません。さらに、FERが1にセットされた状態においては、以降の受信を続けることはできません。また、クロック同期式モードでは、FERが1にセットされていると送信および受信はできません。

ビット3：パリティエラー（PER）

PER は、調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生したことを示すビットです。

ビット3	説明
PER	
0	受信中、または受信を完了した* ¹ (初期値) [クリア条件] PER=1の状態をリードした後、0をライトしたとき
1	受信時にパリティエラーが発生した* ² [セット条件] 受信時に受信データとパリティビットをあわせた1の数がSMRのPMで設定したパリティと一致しなかったとき

【注】 *1 SCR3のREを0にクリアしたときには、PERは影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFはセットされません。なお、PERが1にセットされた状態では、以降の受信を続けることはできません。また、クロック同期式モードでは、PERが1にセットされていると送信および受信はできません。

ビット2：トランスミットエンド（TEND）

TEND は、送信キャラクタの最後尾ビットを送信時に、TDREが1にセットされていたことを示すビットです。

TEND は、リード専用ですのでライトすることはできません。

ビット2	説明
TEND	
0	送信中 [クリア条件] (1) TDRE=1の状態をリードした後、TDREに0をライトしたとき (2) 命令でTDRにデータをライトしたとき
1	送信を終了 (初期値) [セット条件] (1) SCR3のTEが0のとき (2) 送信キャラクタの最後尾ビットの送信時に、TDREが1であったとき

ビット1：マルチプロセッサビットレシーブ（MPBR）

MPBR は、調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信キャラクタ中のマルチプロセッサビットを格納するビットです。

リード専用ですのでライトすることはできません。

ビット1	説明
MPBR	
0	マルチプロセッサビットが0のデータを受信した* (初期値)
1	マルチプロセッサビットが1のデータを受信した

【注】 * マルチプロセッサフォーマットでSCR3のREを0にクリアしたときには、MPBRは影響を受けず、以前の状態を保持します。

10. シリアルコミュニケーションインタフェース

ビット0：マルチプロセッサビットトランスファ（MPBT）

MPBTは、調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納するビットです。クロック同期式モードを選択しているときやマルチプロセッサ通信機能を禁止しているとき、あるいは送信でないときにはMPBTは無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビット0を送信 (初期値)
1	マルチプロセッサビット1を送信

(8) ビットレートレジスタ（BRR）

ビット：	7	6	5	4	3	2	1	0
	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRRは、SMRのCKS1、CKS0で選択されるボーレートジェネレータの動作クロックとあわせて、送信/受信のビットレートを設定する8ビットのレジスタです。

BRRは、常にCPUによるリード/ライトが可能です。

BRRは、リセット、スタンバイモード、ウォッチモード、サブアクティブモード、またはサブスリープモード時にH'FFに初期化されます。

調歩同期式モードのBRRの設定例を表10.6に示します。表10.6はアクティブ（高速）モードでの値を示しています。

表 10.6 ビットレートに対するBRRの設定例〔調歩同期式モード〕

Rビットレート (bit/s)	OSC (MHz)											
	2			2.4576			4			4.194304		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	70	+0.03	1	86	+0.31	1	141	+0.03	1	148	-0.04
150	0	207	+0.16	0	255	0	1	103	+0.16	1	108	+0.21
300	0	103	+0.16	0	127	0	0	207	+0.16	0	217	+0.21
600	0	51	+0.16	0	63	0	0	103	+0.16	0	108	+0.21
1200	0	25	+0.16	0	31	0	0	51	+0.16	0	54	-0.70
2400	0	12	+0.16	0	15	0	0	25	+0.16	0	26	+1.14
4800				0	7	0	0	12	+0.16	0	13	-2.48
9600				0	3	0				0	6	-2.48
19200				0	1	0						
31250	0	0	0				0	1	0			
38400				0	0	0						

10. シリアルコミュニケーションインタフェース

R ビットレート (bit/s)	OSC (MHz)											
	4.9152			6			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	174	- 0.26	1	212	+ 0.03	2	64	+ 0.70	2	70	+ 0.03
150	1	127	0	1	155	+ 0.16	1	191	0	1	207	+ 0.16
300	0	255	0	1	77	+ 0.16	1	95	0	1	103	+ 0.16
600	0	127	0	0	155	+ 0.16	0	191	0	0	207	+ 0.16
1200	0	63	0	0	77	+ 0.16	0	95	0	0	103	+ 0.16
2400	0	31	0	0	38	+ 0.16	0	47	0	0	51	+ 0.16
4800	0	15	0	0	19	- 2.34	0	23	0	0	25	+ 0.16
9600	0	7	0	0	9	- 2.34	0	11	0	0	12	+ 0.16
19200	0	3	0	0	4	- 2.34	0	5	0			
31250				0	2	0				0	3	0
38400	0	1	0				0	2	0			

R ビットレート (bit/s)	OSC (MHz)					
	9.8304			10		
	n	N	誤差 (%)	n	N	誤差 (%)
110	2	86	+ 0.31	2	88	- 0.25
150	1	255	0	2	64	+ 0.16
300	1	127	0	1	129	+ 0.16
600	0	255	0	1	64	+ 0.16
1200	0	127	0	0	129	+ 0.16
2400	0	63	0	0	64	+ 0.16
4800	0	31	0	0	32	- 1.36
9600	0	15	0	0	15	+ 1.73
19200	0	7	0	0	7	+ 1.73
31250	0	4	- 1.70	0	4	0
38400	0	3	0	0	3	+ 1.73

- 【注】 1. 誤差は、1%以内となるように設定してください。
 2. BRR の設定値は以下の計算式で求められます。

$$N = \frac{OSC}{64 \times 2^{2n} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ポーレートジェネレータの BRR の設定値 (0 N 255)

OSC : ϕ_{osc} の値 (MHz)

n : ポーレートジェネレータの入力クロックの No. (n=0、1、2、3)
 (n とクロックの関係は表 10.7 を参照)

10. シリアルコミュニケーションインタフェース

表 10.7 n とクロックの関係

n	クロック	SMR の設定値	
		CKS1	CKS0
0	ϕ	0	0
1	$\phi/4$	0	1
2	$\phi/16$	1	0
3	$\phi/64$	1	1

3. 表 10.6 の誤差は以下の計算式で求めた値を小数点第 3 位を四捨五入して表示してあります。

$$\text{誤差 (\%)} = \frac{B(n, N, \text{OSCから求めたレート}) - R(\text{表10.6左欄のビットレート})}{R(\text{表10.6の左欄のビットレート})} \times 100$$

調歩同期モードの各周波数における最大ビットレートを表 10.8 に示します。

表 10.8 はアクティブ (高速) モードでの値を示しています。

表 10.8 各周波数における最大ビットレート [調歩同期モード]

OSC (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
2	31250	0	0
2.4576	38400	0	0
4	62500	0	0
4.194304	65536	0	0
4.9152	76800	0	0
6	93750	0	0
7.3728	115200	0	0
8	125000	0	0
9.8304	153600	0	0
10	156250	0	0

クロック同期式モードの BRR の設定例を表 10.9 に示します。表 10.9 はアクティブ（高速）モードでの値を示しています。

表 10.9 ビットレートに対する BRR の設定例〔クロック同期式モード〕

B ビットレート (bit/s)	OSC (MHz)							
	2		4		8		10	
	n	N	n	N	n	N	n	N
110								
250	1	249	2	124	2	249		
500	1	124	1	249	2	124		
1k	0	249	1	124	1	249		
2.5k	0	99	0	199	1	99	1	124
5k	0	49	0	99	0	199	0	249
10k	0	24	0	49	0	99	0	124
25k	0	9	0	19	0	39	0	49
50k	0	4	0	9	0	19	0	24
100k			0	4	0	9		
250k	0	0*	0	1	0	3	0	4
500k			0	0*	0	1		
1M					0	0*		
2.5M								

【記号説明】

空欄：設定不可能です。

：設定は可能ですが、誤差が出ます。

*：連続送信 / 受信はできません。

【注】 BRR の設定値は以下の計算式で求められます。

$$N = \frac{\text{OSC}}{8 \times 2^{2n} \times B} \times 10^6 - 1$$

B：ビットレート (bit/s)

N：ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255)

OSC： ϕ_{osc} の値 (MHz)

n：ボーレートジェネレータの入カクロックの No. (n=0、1、2、3)
(n とクロックの関係は表 10.10 を参照)

表 10.10 n とクロックの関係

n	クロック	SMR の設定値	
		CKS1	CKS0
0	ϕ	0	0
1	$\phi/4$	0	1
2	$\phi/16$	1	0
3	$\phi/64$	1	1

10.3.3 動作概要

SCI3 は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式でシリアル通信ができます。

調歩同期式モードとクロック同期式モードの選択、および通信フォーマットの選択は、SMR で行います。これを表 10.11 に示します。

また、SCI3 のクロックソースは、SMR の COM、および SCR3 の CKE1、CKE0 の組み合わせで決まります。これを表 10.12 に示します。

(1) 調歩同期式モード

- データ長：7 ビット / 8 ビットから選択可能
- パリティの付加、マルチプロセッサビットの付加、および 1 ビットまたは 2 ビットのストップビットの付加を選択可能（これらの組み合わせで送信 / 受信フォーマット、およびキャラクタ長を決定）
- 受信時にフレーミングエラー（FER）、パリティエラー（PER）、オーバランエラー（OER）およびブレークの検出が可能
- クロックソース：内部クロック / 外部クロックから選択可能
内部クロックを選択した場合：ボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力可能
外部クロックを選択した場合：ビットレートの16倍の周波数のクロック入力が必要（内蔵ボーレートジェネレータを使用しない）

(2) クロック同期式モード

- 送信 / 受信フォーマット : 8 ビットデータ固定
- 受信時にオーバーランエラー (OER) の検出が可能
- クロックソース : 内部クロック / 外部クロックから選択可能
 内部クロックを選択した場合 : ボーレートジェネレータのクロックで動作し、同期クロックを出力
 外部クロックを選択した場合 : 内蔵ボーレートジェネレータを使用せず、入力された同期クロックで動作

表 10.11 SMR の設定値と送信 / 受信フォーマット

SMR					モード	送信 / 受信フォーマット						
ビット7	ビット6	ビット2	ビット5	ビット3		データ長	マルチプロセッサビット	パリティビット	ストップビット長			
COM	CHR	MP	PE	STOP								
0	0	0	0	0	調歩同期式モード	8ビットデータ	なし	なし	1ビット			
				1					2ビット			
			1	0					1ビット			
				1					2ビット			
			1	0					1ビット			
				1					2ビット			
	1	0	1	*		0	調歩同期式モード (マルチプロセッサフォーマット)	8ビットデータ	あり	なし	1ビット	
				*		1					2ビット	
				*		0					1ビット	
		1		*		1		2ビット				
				0		0		0			7ビットデータ	1ビット
								1				2ビット
1	0	0	0	1ビット								
			1	2ビット								
1	*	0	*	*	クロック同期式モード	8ビットデータ	なし	なし	なし			

【記号説明】

* : Don't care

表 10.12 SMR、SCR3 の設定とクロックソースの選択

SMR	SCR3		モード	送信 / 受信クロック	
	ビット7	ビット1		ビット0	クロックソース
COM	CKE1	CKE0			
0	0	0	調歩同期式モード	内部	入出力ポート (SCK ₃ 端子を使用しません)
		1			ビットレートと同じ周波数のクロックを出力
		0		外部	ビットレートの 16 倍の周波数のクロックを入力
1	0	0	クロック同期式モード	内部	同期クロックを出力
				外部	同期クロックを入力
0	1	1	リザーブ (この組み合わせは指定しないでください)		
1	0				
		1			

10. シリアルコミュニケーションインタフェース

(3) 割り込みと連続送信 / 受信

SCI3 は、RXI を使用した連続受信、また TXI を使用した連続送信が可能です。
表 10.13 にこれらの割り込みについて示します。

表 10.13 送信 / 受信割り込み

割り込み	フラグ	割り込み発生条件	備考
RXI	RDRF RIE	シリアル受信が正常に行われ、RSR から RDR に受信データが転送されると RDRF が 1 となり、このとき RIE が 1 ならば RXI が許可され割り込みが発生します。(図 10.7 (a) 参照)	RXI の割り込み処理ルーチンでは、RDR に転送された受信データを読み出し、RDRF を 0 にクリアします。上記の操作を次回の RSR の受信完了までに行うことで連続受信が可能です。
TXI	TDRE TIE	TSR の空 (前回の送信完了) を検出して、TDR にセットされた送信データが TSR に転送されると TDRE は 1 にセットされます。このとき TIE が 1 ならば TXI が許可され割り込みが発生します。(図 10.7 (b) 参照)	TXI の割り込み処理ルーチンでは、次回の送信データを TDR に書き込み、TDRE を 0 にクリアします。上記の操作を TSR に転送したデータが送信終了するまでに行うことで連続送信が可能です。
TEI	TEND TEIE	TSR の送信キャラクタの最後尾ビットを送信したとき、TDRE が 1 ならば TEND は 1 にセットされます。このとき TEIE が 1 ならば TEI が許可され割り込みが発生します。(図 10.7 (c) 参照)	TEI は、TSR の送信キャラクタの最後尾ビットを送信したとき、TDR に次回の送信データが書き込まれていないことを示します。

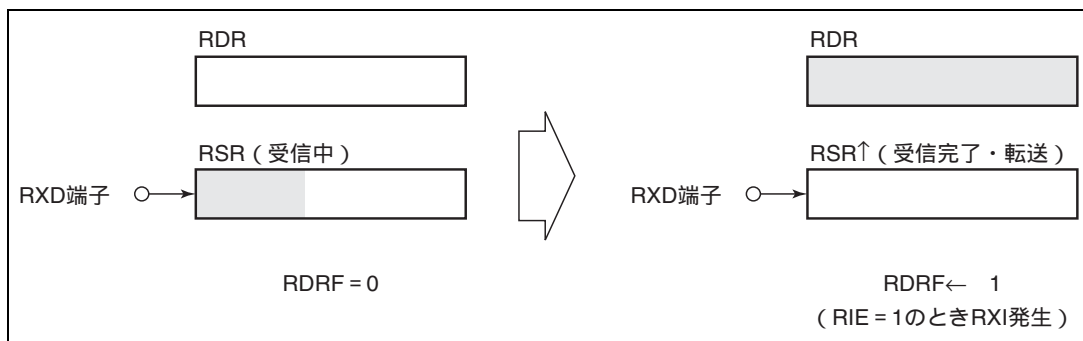


図 10.7 (a) RDRF のセットと RXI 割り込み

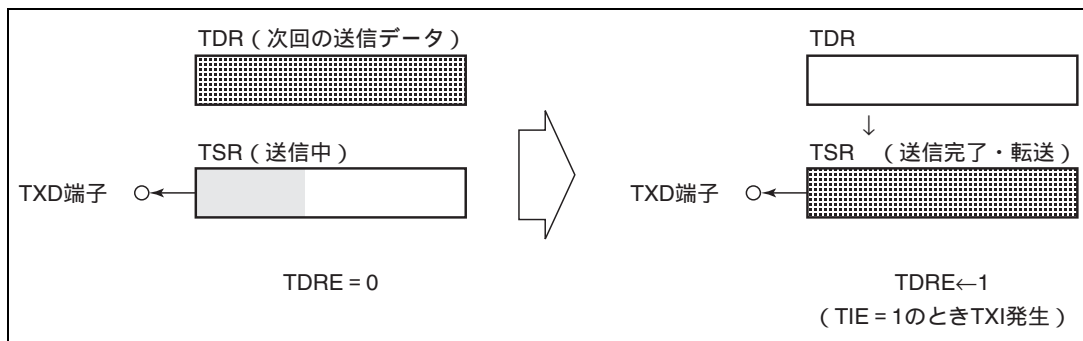


図 10.7 (b) TDRE のセットと TXI 割り込み

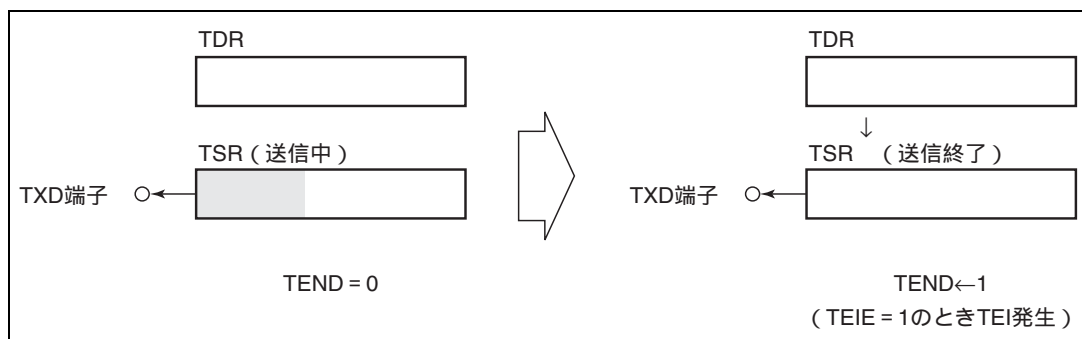


図 10.7 (c) TEND のセットと TEI 割り込み

10.3.4 調歩同期式モード時の動作説明

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1キャラクタ単位で同期を取りながらシリアル通信を行うモードです。

SCI3 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部がともにダブルバッファ構造になっていますので、送信中にデータのライト、受信中にデータのリードができ、連続送信 / 受信が可能です。

(1) 送信 / 受信フォーマット

調歩同期式通信の通信データの一般的なフォーマットを図 10.8 に示します。

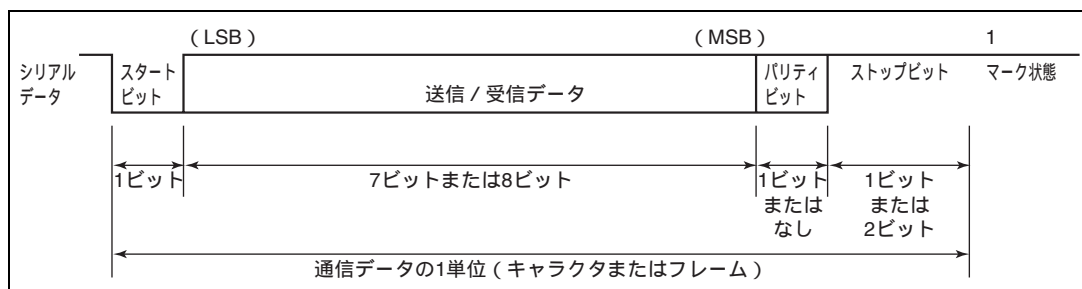


図 10.8 調歩同期式通信のデータフォーマット

調歩同期式通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI3 は通信回線を監視し、スペース (Low レベル) になったところをスタートビットとみなしてシリアルデータ通信を開始します。

通信データの 1キャラクタは、スタートビット (Low レベル) から始まり、送信 / 受信データ (LSB ファースト : 最下位ビットから)、パリティビット (High または Low レベル)、最後にストップビット (High レベル) の順で構成されます。

調歩同期式モードでは、受信時にスタートビットの立ち下がりエッジで同期化を行います。また、データを 1ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データを取り込みます。

10. シリアルコミュニケーションインタフェース

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 10.14 に示します。
送信 / 受信フォーマットは 12 種類あり、SMR の設定により選択できます。

表 10.14 通信フォーマット (調歩同期式モード)

SMR				シリアル通信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	*	1	0	S	8ビットデータ								MPB	STOP		
0	*	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	*	1	0	S	7ビットデータ							MPB	STOP			
1	*	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセッサビット

* : Don't care

(2) クロック

SCI3 の送受信クロックは、SMR の COM と SCR3 の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK₃ 端子から入力された外部クロックの 2 種類から設定できます。クロックソースの選択については表 10.12 を参照してください。

外部クロックを SCK₃ 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK3 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 10.9 に示すように送信 / 受信データの各ビットの中央でクロックが立ち上がります。

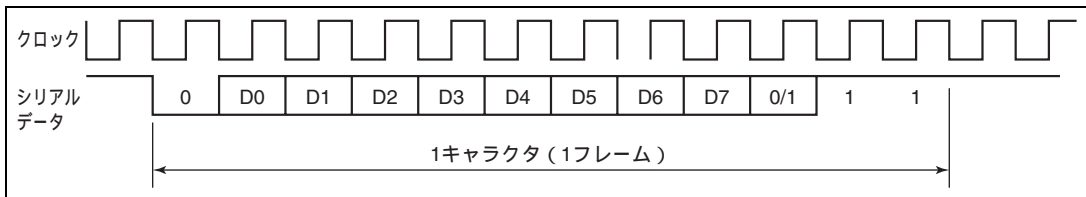


図 10.9 出力クロックと通信データの位相関係 (調歩同期式モード)
(8 ビットデータ / パリティあり / 2 ストップビットの例)

(3) データの送信 / 受信動作

(a) SCI3 の初期化

データの送信 / 受信前には、まず SCR3 の TE および RE を 0 にクリアした後、以下の手順に従って初期化してください。

【注】 動作モードの変更、通信フォーマットの変更などの場合には、かならず TE および RE を 0 にクリアしてから変更してください。TE を 0 にクリアすると、TDRE は 1 にセットされます。RE を 0 にクリアしても、RDRF、PER、FER、OER の各フラグ、および RDR の内容は保持されますので注意してください。

調歩同期式モードで外部クロックを使用している場合には、初期化を含めた動作中にクロックを止めないでください。クロック同期式モードで外部クロックを使用している場合には、初期化を含めた動作中にクロックを供給しないでください。

図 10.10 に SCI3 を初期化するときのフローチャートの例を示します。

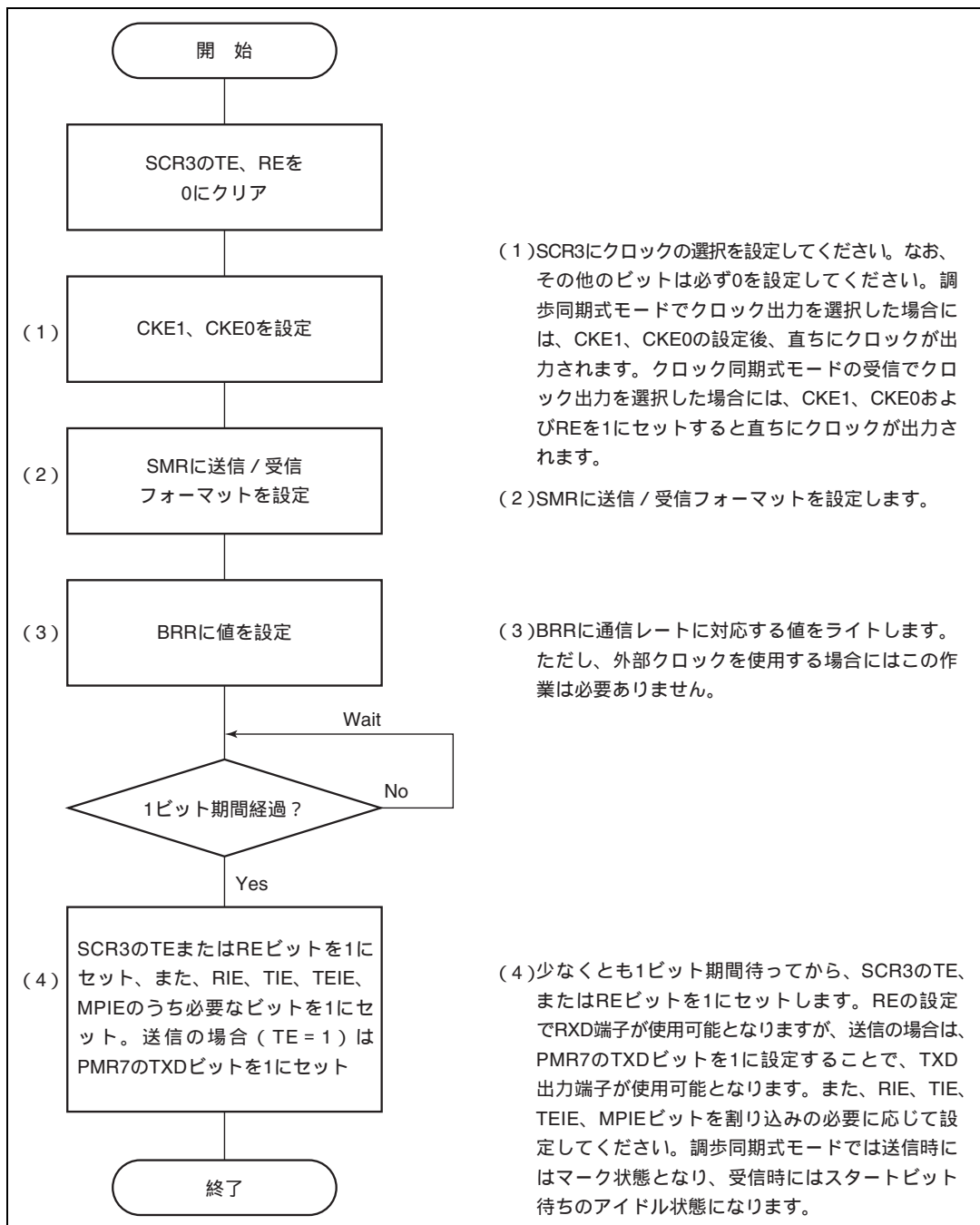


図 10.10 SCI3 を初期化するときのフローチャートの例

(b) データ送信

図 10.11 にデータ送信のフローチャートの例を示します。
データ送信は SCI3 の初期化後、以下の手順に従って行ってください。

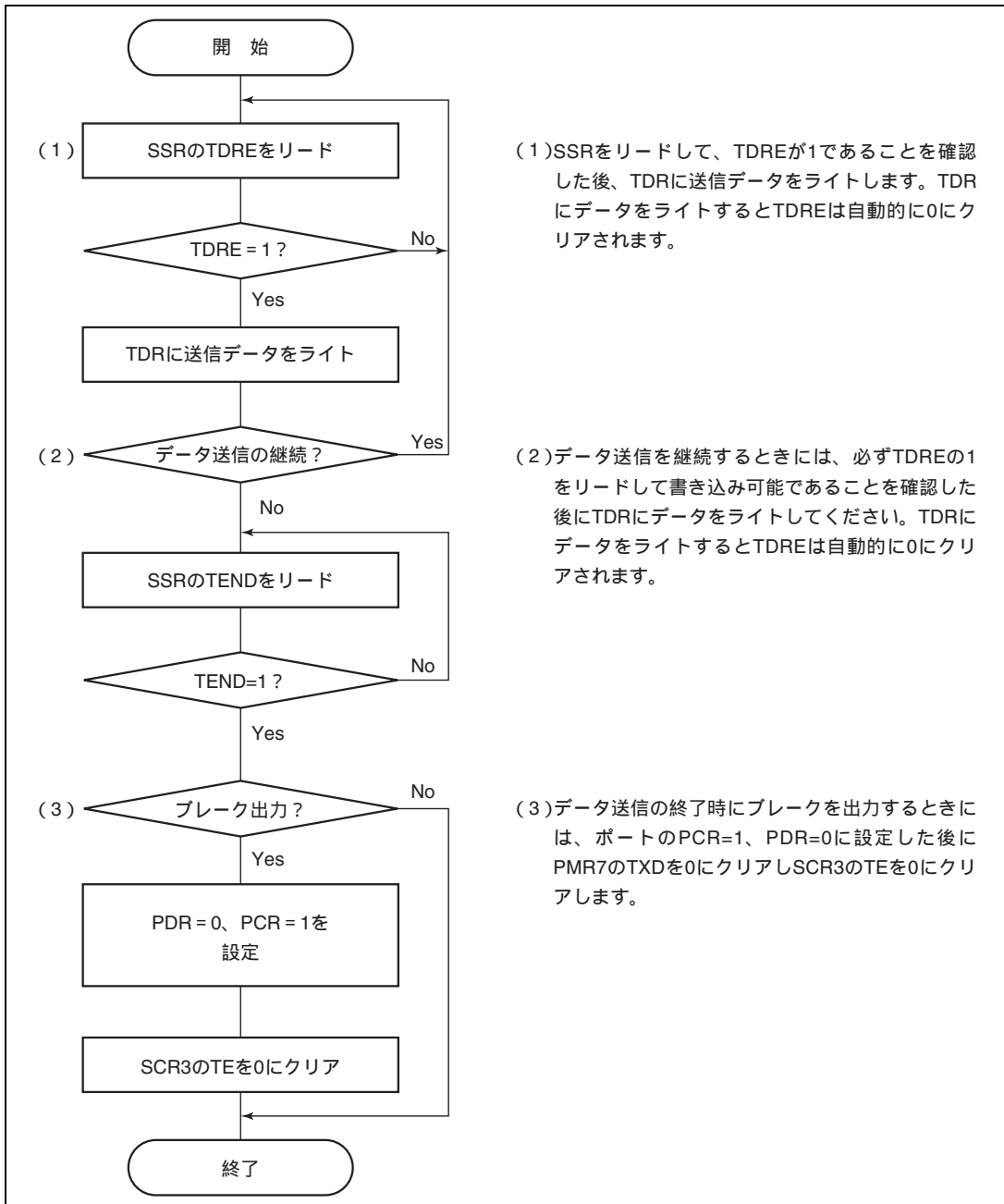


図 10.11 データ送信のフローチャートの例 (調歩同期式モード)

10. シリアルコミュニケーションインタフェース

SCI3 はデータ送信時に以下のように動作します。

SCI3 は、SSR の TDRE を監視し、0 であると TDR にデータが書き込まれたと認識し、TDR から TSR にデータを転送します。その後、TDRE を 1 にセットして送信を開始します。このとき、SCR3 の TIE が 1 にセットされていると TXI を発生します。

シリアルデータは、表 10.14 に示す通信フォーマットに従い TXD 端子から送信されます。

その後、ストップビットを送り出すタイミングで TDRE をチェックします。

TDRE が 0 であると TDR から TSR にデータを転送し、ストップビット送出後、次のフレームの送信を開始します。TDRE が 1 であると SSR の TEND に 1 をセットし、ストップビット送出後、1 を出力するマーク状態になります。このとき SCR3 の TEIE が 1 にセットされていると TEI を発生します。

図 10.12 に調歩同期式モードの送信時の動作例を示します。

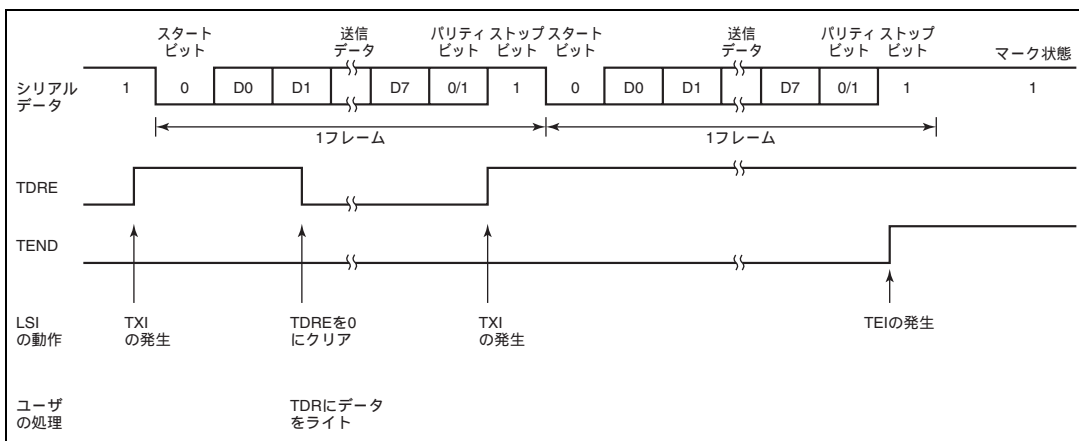


図 10.12 調歩同期式モードの送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

(c) データ受信

図 10.13 にデータ受信のフローチャートの例を示します。

データ受信は SCI3 の初期化後、以下の手順に従って行ってください。

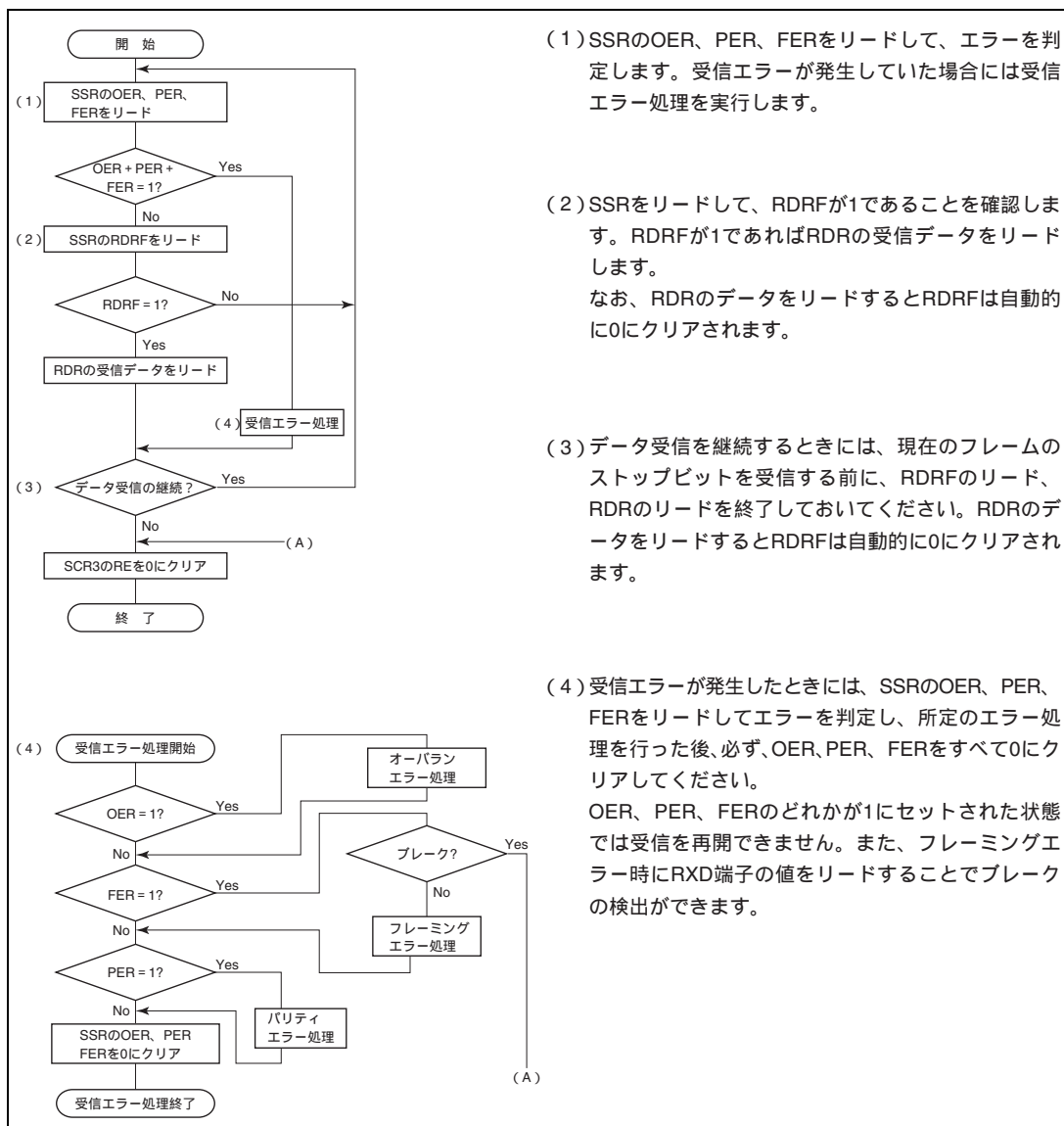


図 10.13 データ受信のフローチャートの例 (調歩同期式モード)

SCI3 は受信時に以下のように動作します。

SCI3 は通信回線を監視し、スタートビットの 0 を検出すると内部を同期化し受信を開始します。受信は表 10.14 に示す通信フォーマットに従い、まず受信したデータを RSR の LSB から MSB の順にセットし、次に、パリティビットおよびストップビットを受信します。受信後、SCI3 は以下のチェックを行います。

- パリティチェック：
受信データの 1 の数をチェックし、これが SMR の PM で設定した偶数 / 奇数パリティになっているかをチェックします。
- ストップビットチェック：
ストップビットが 1 であるかをチェックします。ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- ステータスチェック：
RDRF が 0 であり、受信データを RSR から RDR に転送できる状態であるかをチェックします。

以上のチェックの結果受信エラーがなかったとき RDRF が 1 にセットされ、RDR に受信データが格納されます。このとき SCR3 の RIE が 1 にセットされていると RXI を発生します。一方、エラーチェックで受信エラーを検出すると、各エラーに対応して、OER、PER、FER が 1 にセットされます。また RDRF はデータを受信する前の状態を保ちます。このとき、SCR3 の RIE が 1 にセットされていると ERI を発生します。

表 10.15 に受信エラーの検出条件と受信データの処理を示します。

【注】 受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER、および RDRF を 0 にクリアしてください。

表 10.15 受信エラーの検出条件と受信データの処理

受信エラー	略称	検出条件	受信データの処理
オーバランエラー	OER	SSR の RDRF が 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データが転送されます。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されます。

調歩同期式モードの受信時の動作例を図 10.14 に示します。

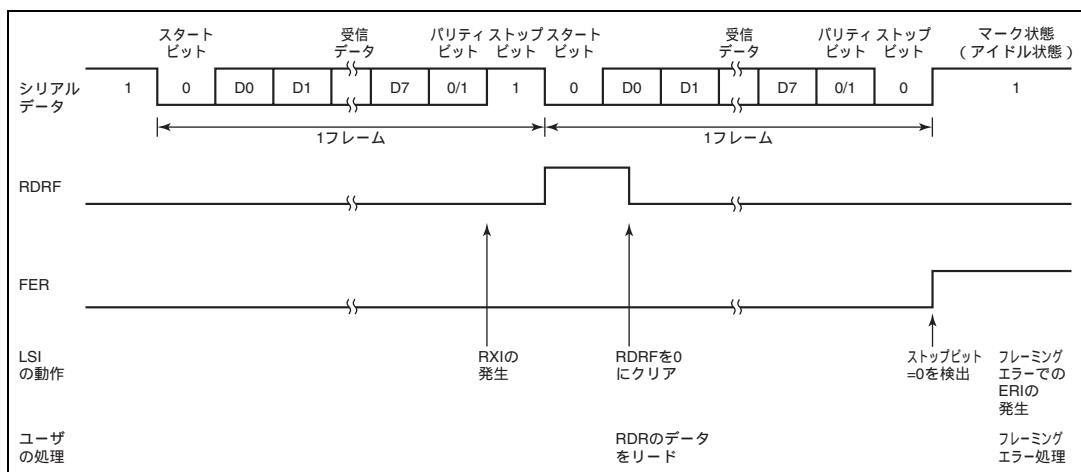


図 10.14 調歩同期式モードの受信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

10.3.5 クロック同期式モード時の動作説明

クロック同期式モードは、クロックパルスに同期してデータを送信、または受信するモードです。クロック同期式モードは、高速シリアル通信に適しています。

SCI3 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信を行うことができます。

送信部/受信部はともにダブルバッファ構造になっていますので、送信中にデータのライト、受信中にデータのリードができ、連続送信/受信が可能です。

(1) 送信/受信フォーマット

クロック同期式通信の通信データの一般的なフォーマットを図 10.15 に示します。

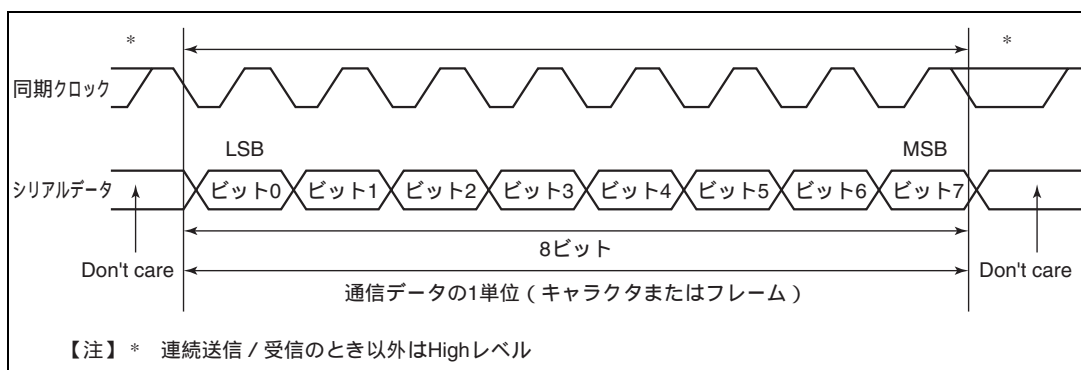


図 10.15 クロック同期式通信のデータフォーマット

10. シリアルコミュニケーションインタフェース

クロック同期式通信では、通信回線のデータは同期クロックの立ち上がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりエッジでデータの確定が保証されます。

通信データの1キャラクタは、LSB から始まり最後にMSBの順で構成されます。MSB出力後の通信回線はMSBの状態を保ちます。

クロック同期式モードでは、SCI3は、受信時に同期クロックの立ち上がりに同期してデータを取り込みます。

送信/受信フォーマットは8ビットデータ固定です。パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRのCOMとSCR3のCKE1、CKE0の設定により、内蔵ポーレートジェネレータの生成した内部クロック、またはSCK₃端子から入力された外部同期クロックの2種類から選択できます。クロックソースの選択については表10.12を参照してください。

内部クロックで動作させるとき、SCK₃端子からは同期クロックが出力されます。同期クロックは1キャラクタの送信/受信で8パルス出力され、送信および受信を行わないときにはHighレベルに固定されます。

(3) データの送信/受信動作

(a) SCI3の初期化

データの送信/受信前には、「10.3.4 調歩同期式モード時の動作説明 (3) データの送信/受信動作 (a) SCI3の初期化」の説明および、図10.10の例に従ってSCI3を初期化してください。

(b) データ送信

図10.16にデータ送信のフローチャートの例を示します。

データ送信はSCI3の初期化後、以下の手順に従って行ってください。

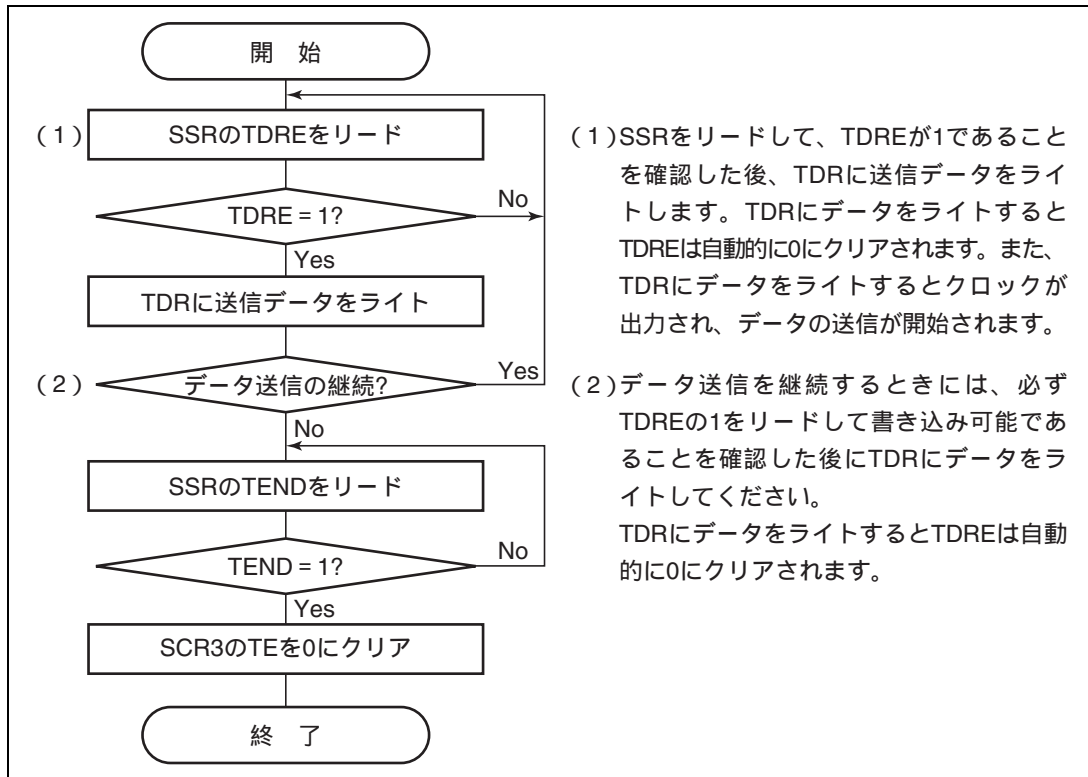


図 10.16 データ送信のフローチャートの例 (クロック同期式モード)

SCI3 はデータ送信時に以下のように動作します。

SCI3 は、SSR の TDRE を監視し、0 であると TDR にデータが書き込まれたと認識し、TDR から TSR にデータを転送します。その後、TDRE を 1 にセットして送信を開始します。このとき、SCR3 の TIE が 1 にセットされていると TXI を発生します。

クロック出力モードに設定したときには、SCI3 は同期クロックを 8 パルス出力します。外部クロックに設定したときには、入力クロックに同期してデータを出力します。

シリアルデータは、LSB (ビット 0) から MSB (ビット 7) の順に TXD 端子から送信されます。

その後、MSB (ビット 7) を送り出すタイミングで TDRE をチェックします。

TDRE が 0 であると TDR から TSR にデータを転送し、次のフレームの送信を開始します。TDRE が 1 であると SSR の TEND に 1 をセットし、MSB (ビット 7) 送出後、状態を保持します。このとき SCR3 の TEIE が 1 にセットされていると TEI を発生します。

送信終了後は、SCK₃ 端子は High レベル固定になります。

【注】 データ受信のステータスを示すエラーフラグ (OER、FER、PER) が 1 にセットされた状態では送信は行えませんので、送信の前には、エラーフラグ (OER、FER、PER) が 0 にクリアされていることを確認してください。

10. シリアルコミュニケーションインタフェース

図 10.17 にクロック同期式モードの送信時の動作例を示します。

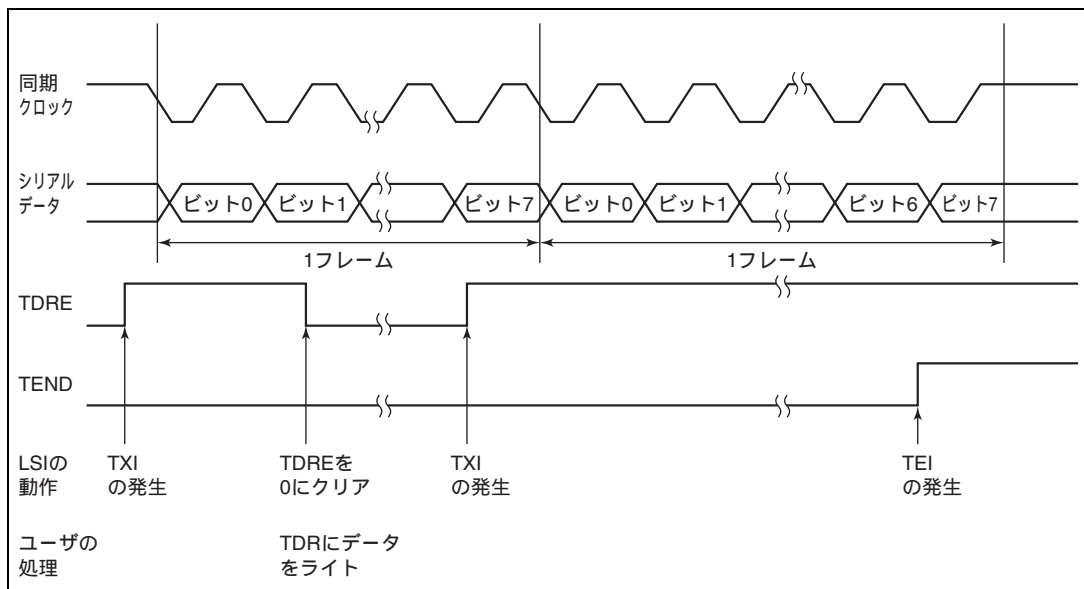


図 10.17 クロック同期式モードの送信時の動作例

(c) データ受信

図 10.18 にデータ受信のフローチャートの例を示します。

データ受信は SCI3 の初期化後、以下の手順に従って行ってください。

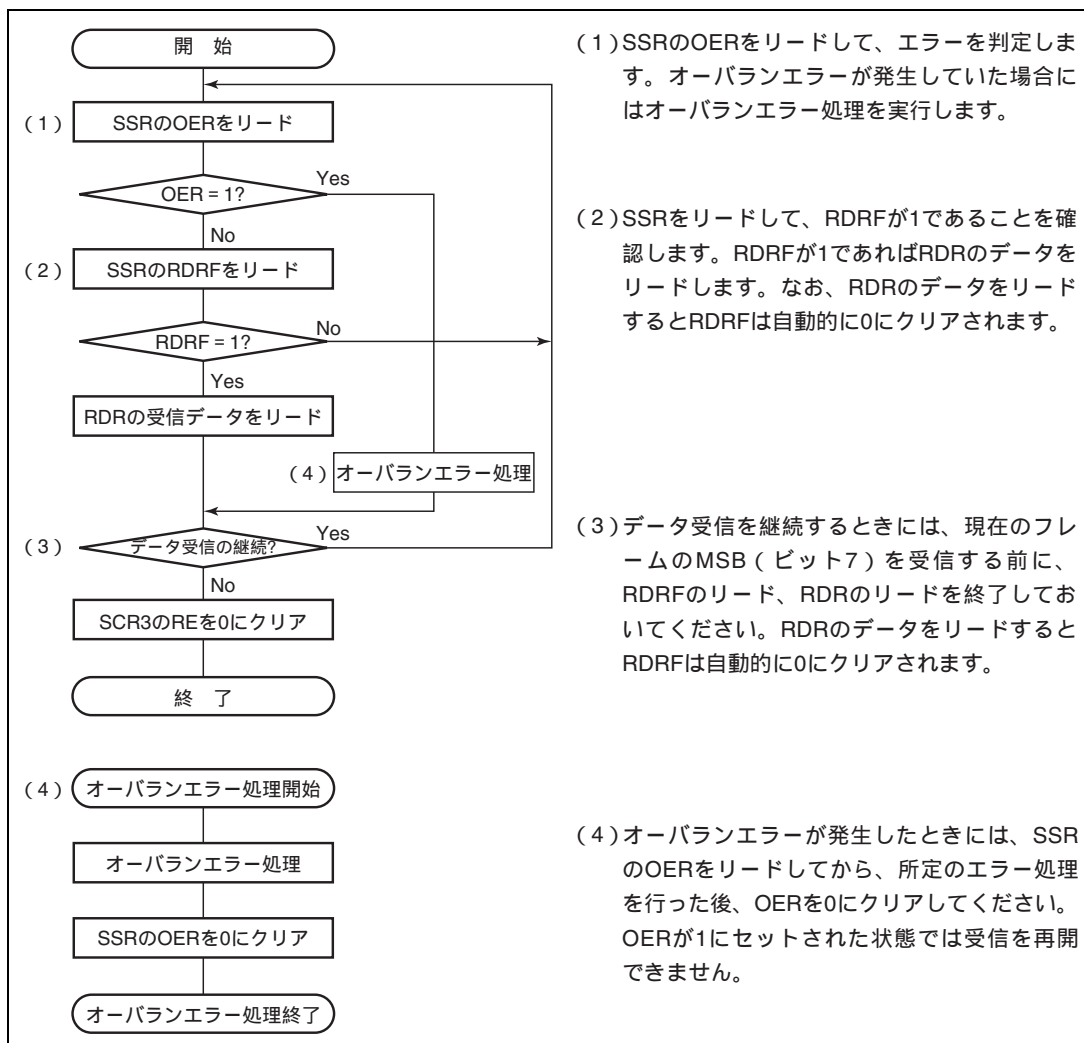


図 10.18 データ受信フローチャートの例（クロック同期式モード）

10. シリアルコミュニケーションインタフェース

SCI3 は受信時に以下のように動作します。

SCI3 は同期クロックの入力または、出力に同期して内部を初期化し、受信を開始します。

受信したデータを RSR の LSB から MSB の順にセットします。

受信後、SCI3 は、RDRF が 0 であり、受信データを RSR から RDR に転送できる状態であるかをチェックします。

このチェックの結果オーバーランエラーがなかったとき RDRF が 1 にセットされ、RDR に受信データが格納されます。

このとき、SCR3 の RIE が 1 にセットされていると RXI を発生します。一方、エラーチェックでオーバーランエラーを検出すると OER が 1 にセットされます。また、RDRF は 1 にセットされた状態を保ちます。このとき、SCR3 の RIE が 1 にセットされていると ERI を発生します。

オーバーランエラーの検出条件と受信データの処理については、表 10.15 を参照してください。

【注】 受信エラーがセットされた状態では、以後の受信動作ができません。したがって、受信を継続する前に必ず OER、FER、PER、および RDRF を 0 にクリアしてください。

図 10.19 にクロック同期式モードの受信時の動作例を示します。

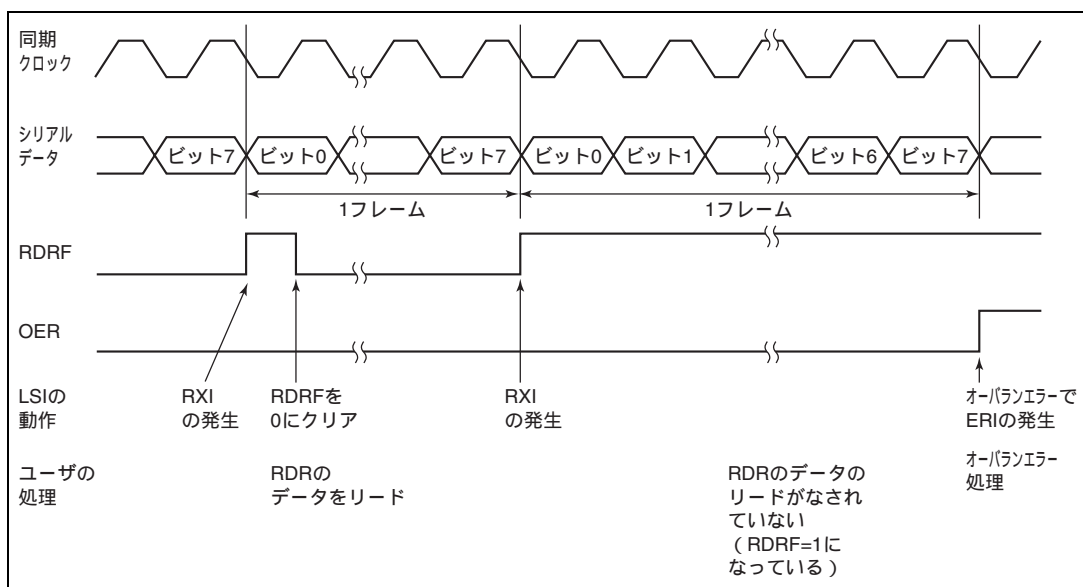


図 10.19 クロック同期式モードの受信時の動作例

(d) データ送受信同時動作

図 10.20 にデータ送受信同時動作のフローチャートの例を示します。

データ送受信同時動作は SCI3 の初期化後、以下の手順に従って行ってください。

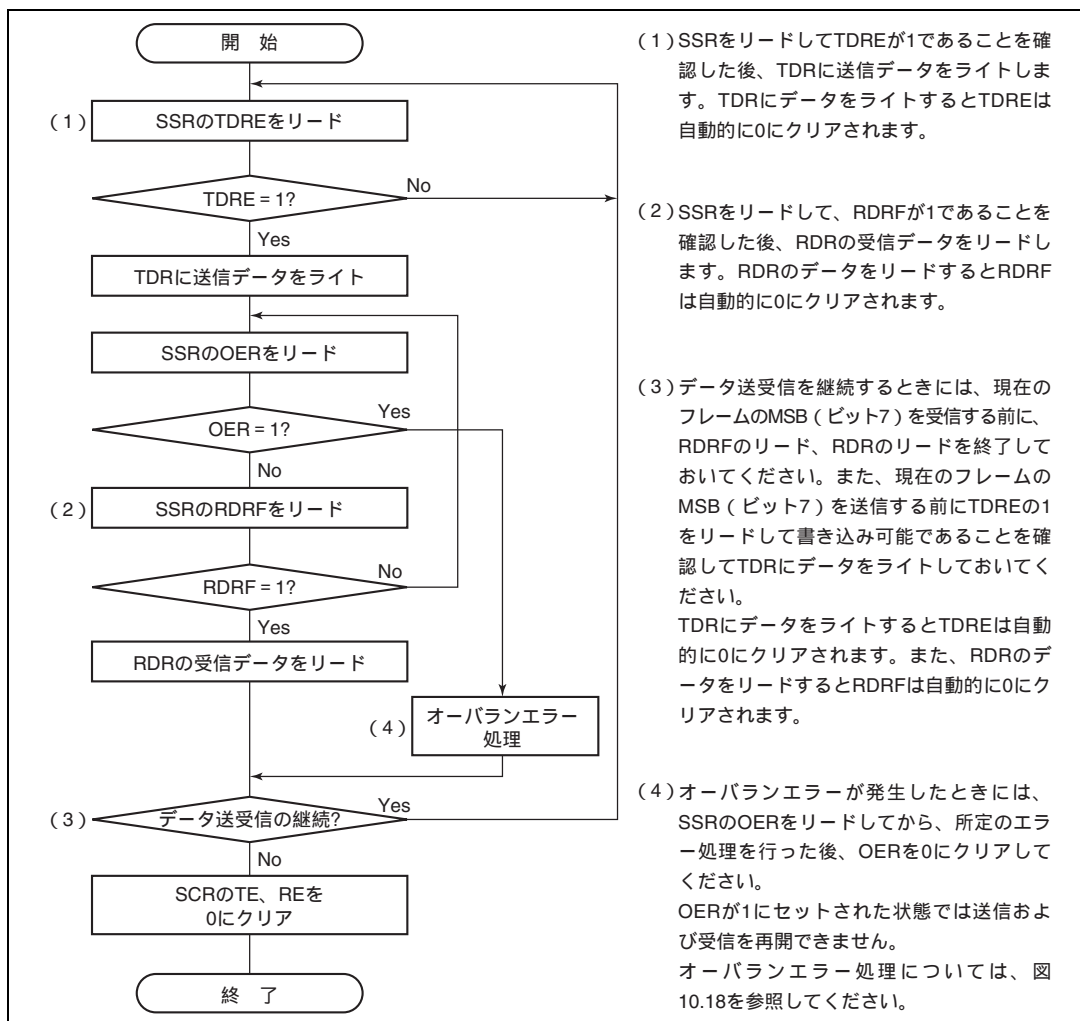


図 10.20 データ送受信同時動作のフローチャートの例 (クロック同期式モード)

- 【注】 1. 送信から同時送受信へ切り替えるときには、SCI3 が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。
2. 受信から同時送受信へ切り替えるときには、SCI3 が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (OER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

10.3.6 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット（マルチプロセッサフォーマット）でシリアルデータ通信を行うことにより、複数のプロセッサ間で通信回線を共有してデータの送受信を行う機能です。

マルチプロセッサ通信を行うとき、受信局はおのおの固有の ID コードが割り付けられています。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局へ通信データを送信するデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。

送信局は、まずシリアルデータ通信を行いたい受信局の ID コードに、マルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると、自局の ID と比較し一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データが送信されるまで通信データを読みとばします。

このようにして複数のプロセッサ間のデータ送受信が行われます。

図 10.21 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

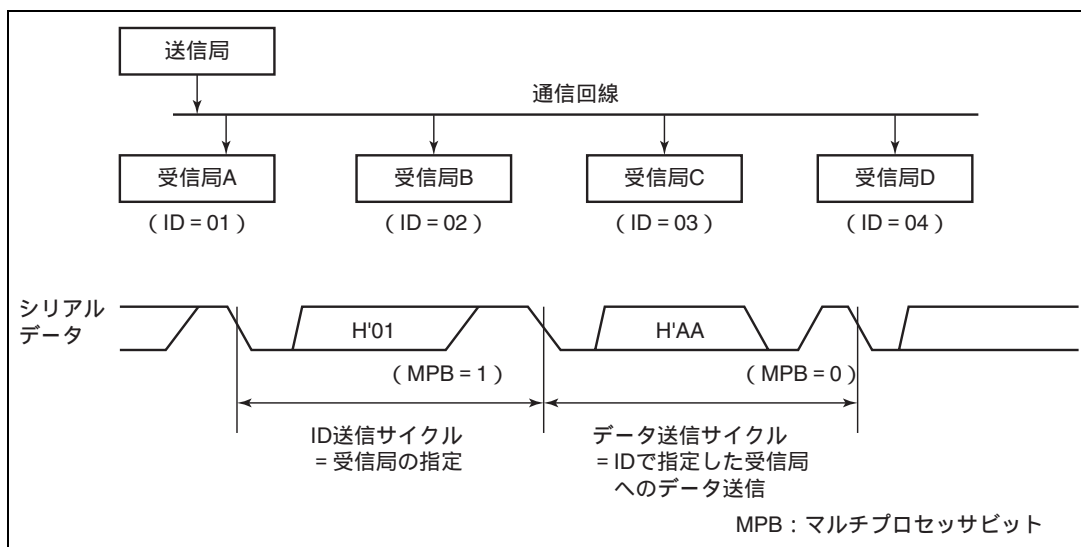


図 10.21 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

送信 / 受信フォーマットは 4 種類を選択できます。マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。詳細は表 10.14 を参照してください。

マルチプロセッサ通信を行うときのクロックについては、「10.3.4 調歩同期式モード時の動作説明」を参照してください。

(a) マルチプロセッサデータ送信

図 10.22 にマルチプロセッサデータ送信のフローチャートの例を示します。

マルチプロセッサデータ送信は SCI3 を初期化後、以下の手順に従って行ってください。

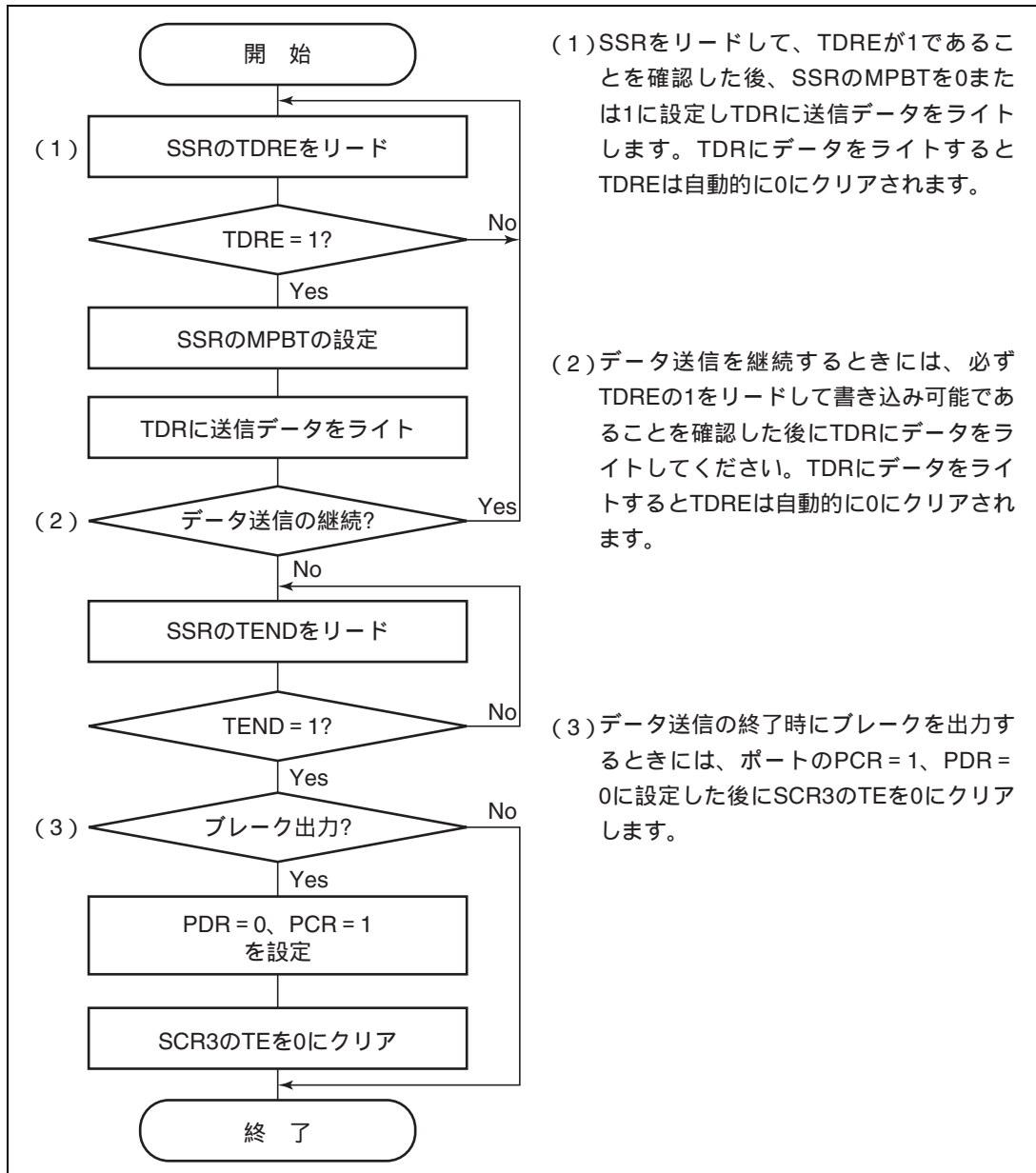


図 10.22 マルチプロセッサデータ送信のフローチャートの例

10. シリアルコミュニケーションインタフェース

SCI3 はデータ送信時に以下のように動作します。

SCI3 は、SSR の TDRE を監視し、0 であると TDR にデータが書き込まれたと認識し、TDR から TSR にデータを転送します。その後、TDRE を 1 にセットして、送信を開始します。このとき、SCR3 の TIE が 1 にセットされていると TXI を発生します。

シリアルデータは、表 10.14 に示す通信フォーマットに従い、TXD 端子から送信されます。

その後、ストップビットを送り出すタイミングで TDRE をチェックします。

TDRE が 0 であると TDR から TSR にデータを転送し、ストップビット送出後、次のフレームの送信を開始します。TDRE が 1 であると SSR の TEND に 1 をセットし、ストップビット送出後、1 を出力するマーク状態になります。このとき SCR3 の TEIE が 1 にセットされていると TEI を発生します。

図 10.23 にマルチプロセッサフォーマットの送信時の動作例を示します。

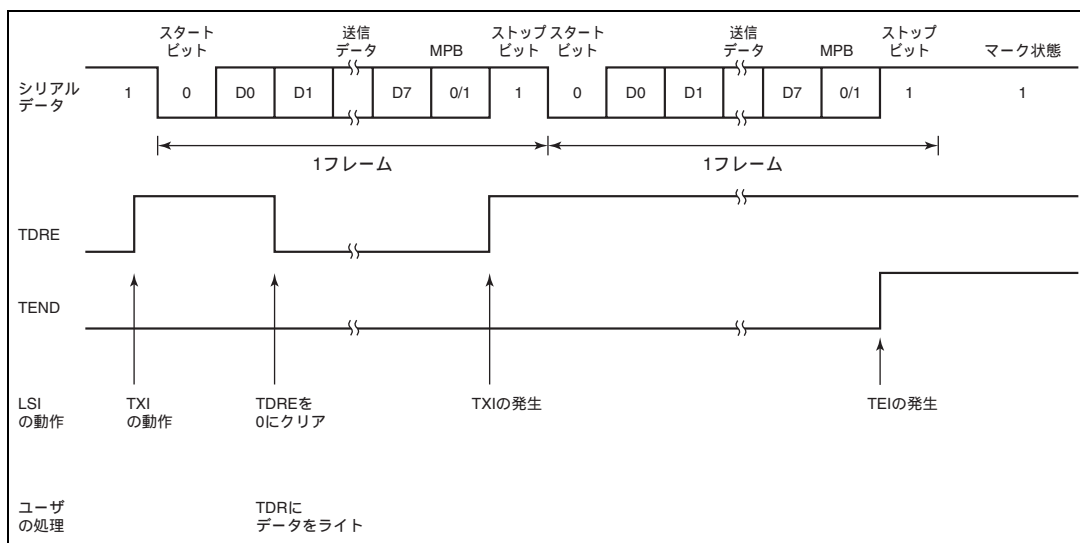


図 10.23 マルチプロセッサフォーマットの送信時の動作例
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

(b) マルチプロセッサデータ受信

図 10.24 にマルチプロセッサデータ受信のフローチャートの例を示します。
 マルチプロセッサデータ受信は SCI3 を初期化後、以下の手順に従って行ってください。

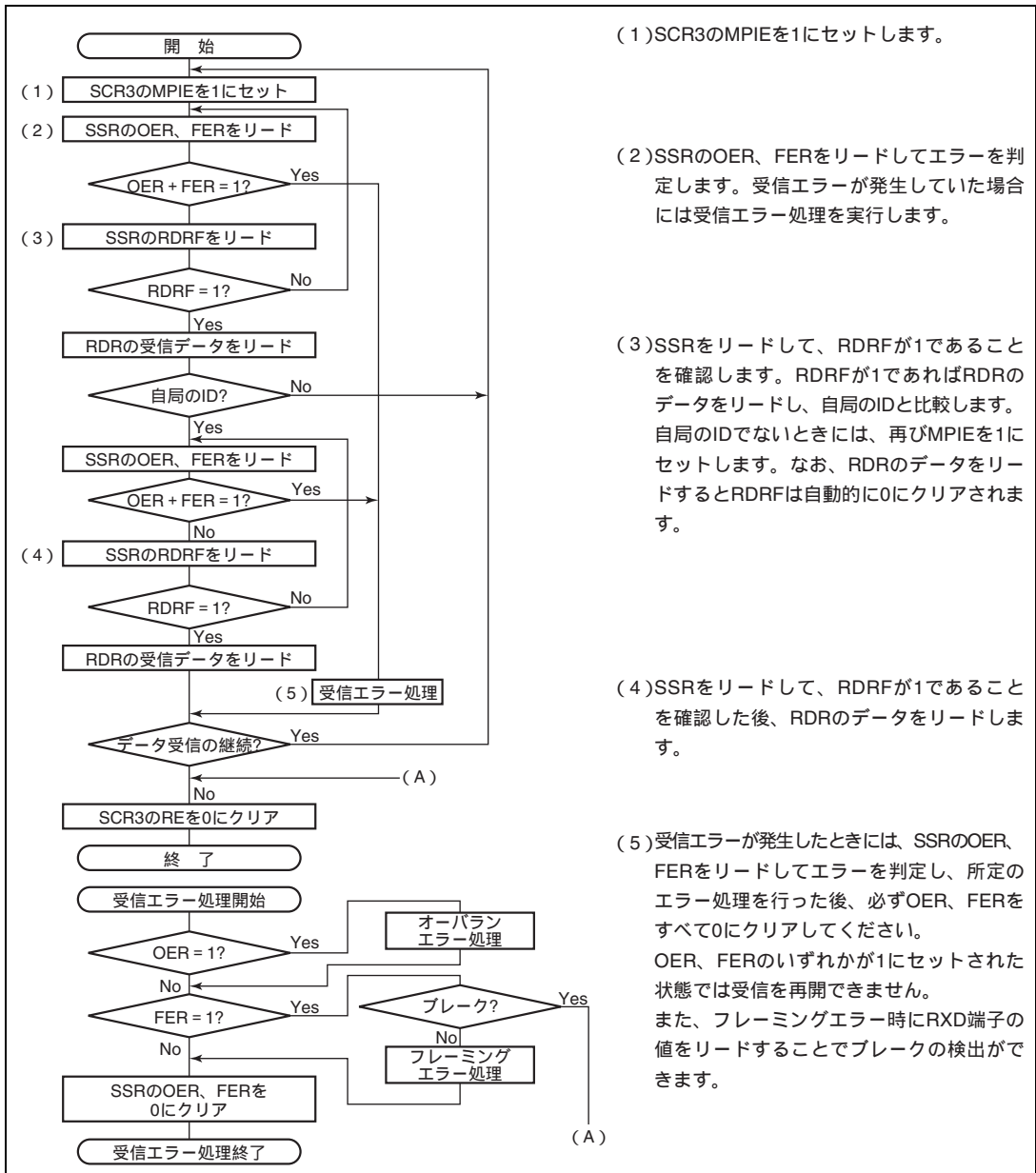


図 10.24 マルチプロセッサデータ受信のフローチャートの例

10. シリアルコミュニケーションインタフェース

図 10.25 にマルチプロセッサフォーマットの受信時の動作例を示します。

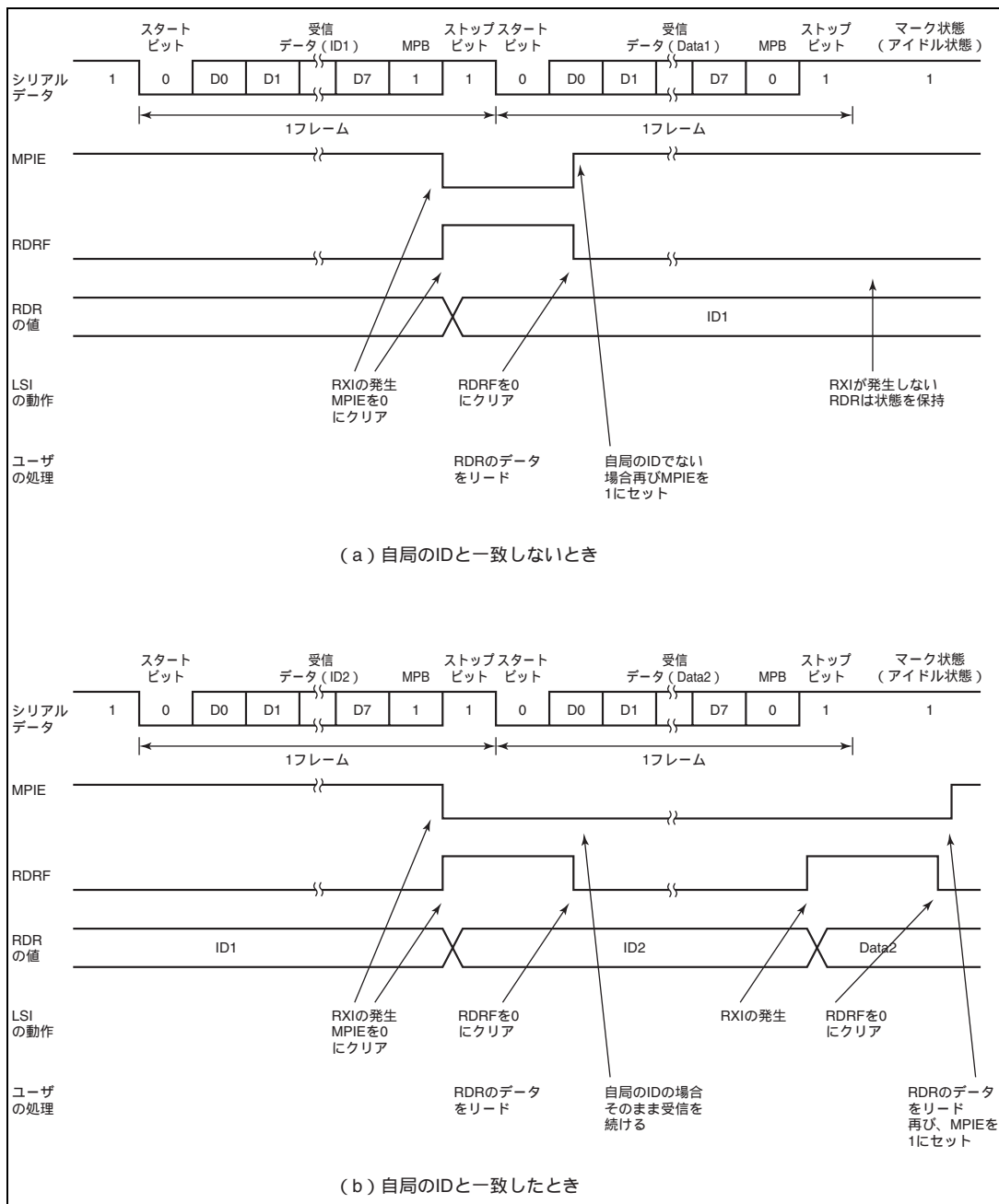


図 10.25 マルチプロセッサフォーマットの受信時の動作例
(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

10.3.7 割り込み要因

SCI3 の割り込み要因には、送信終了、送信データエンプティ、受信データフルおよび 3 種類の受信エラー（オーバランエラー、フレーミングエラー、パリティエラー）の計 6 種類があり、共通のベクタアドレスが割り付けられています。

表 10.16 に各割り込み要求の内容を示します。

表 10.16 SCI3 割り込み要求の内容

割り込みの略称	割り込み要求の内容	ベクタアドレス
RXI	受信データフル (RDRF) による割り込み要求	H'002A
TXI	送信データエンプティ (TDRE) による割り込み要求	
TEI	送信終了 (TEND) による割り込み要求	
ERI	受信エラー (OER、FER、PER) による割り込み要求	

各割り込み要求は、SCR3 の TIE、RIE で許可 / 禁止できます。

SSR の TDRE が 1 にセットされると、TXI が発生します。SSR の TEND が 1 にセットされると、TEI が発生します。この 2 つの割り込みは送信時に発生します。

SSR の TDRE は初期値が 1 になっています。したがって送信データを TDR へ転送する前に SCR3 の TIE を 1 にセットして送信データエンプティ割り込み要求 (TXI) を許可すると、送信データが準備されていなくても TXI が発生します。

また、SSR の TEND は初期値が 1 になっています。したがって、送信データを TDR へ転送する前に SCR3 の TEIE を 1 にセットして送信終了割り込み要求 (TEI) を許可すると、送信データが送信されていなくても TEI が発生します。

送信データを TDR へ転送する処理を割り込み処理ルーチンの中で行うようにすることで、これらの割り込み要求を有効に利用できます。

一方、これらの割り込み要求 (TXI、TEI) の発生を防ぐためには、送信データを TDR へ転送した後に、これらの割り込み要求に対応する許可ビット (TIE、TEIE) を 1 にセットしてください。

SSR の RDRF が 1 にセットされると RXI が発生します。OER、PER、FER のいずれかが 1 にセットされると ERI が発生します。この 2 つの割り込み要求は受信時に発生します。

割り込みに関する詳細は「3.3 割り込み」を参照してください。

10.3.8 使用上の注意事項

SCI3 を使用する際は、以下のことに注意してください。

(1) TDR へのライトと TDRE の関係について

SSR の TDRE はシリアル送信するデータが TDR に準備されていないことを示すステータスフラグです。TDR へデータを書き込むと TDRE は自動的に 0 にクリアされます。また SCI3 が TDR から TSR にデータを転送すると、TDRE が 1 にセットされます。

TDR へのデータのライトは、TDRE の状態にかかわらず行うことができますが、TDRE が 0 の状態で新しいデータを TDR に書き込むと、TDR に格納されていた前のデータは、まだ TSR に転送されていない場合失われてしまいます。したがって、シリアル送信を確実にを行うために TDR への送信データのライトは、必ず TDRE が 1 にセットされていることを確認してから 1 回だけ行う (2 回以上しない) ようにしてください。

(2) 複数の受信エラーを同時に検出した場合の動作について

複数の受信エラーを同時に検出した場合、SSR の各ステータスフラグの状態は、表 10.17 に示すようにセットされます。オーバランエラーを検出した場合には RSR から RDR へのデータ転送は行われず、受信データは失われます。

表 10.17 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ転送	受信エラーの状態
RDRF*	OER	FER	PER	RSR→RDR	
1	1	0	0	x	オーバランエラー
0	0	1	0		フレーミングエラー
0	0	0	1		パリティエラー
1	1	1	0	x	オーバランエラー + フレーミングエラー
1	1	0	1	x	オーバランエラー + パリティエラー
0	0	1	1		フレーミングエラー + パリティエラー
1	1	1	1	x	オーバランエラー + フレーミングエラー + パリティエラー

【記号説明】

: RSR→RDR に受信データを転送します。

x : RSR→RDR に受信データを転送しません。

【注】 * RDRF は、データ受信前の状態を保持します。

(3) ブレークの検出と処理について

フレーミングエラー検出時に、RXD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RXD 端子からの入力がすべて 0 になりますので、FER がセットされ、また PER もセットされる可能性があります。

SCI3 は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしてもふたたび FER が 1 にセットされますので注意してください。

(4) マーク状態とブレークの送出

TE が 0 のとき、TXD 端子は PDR と PCR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TXD 端子をマーク状態にしたりデータ送信時にブレークの送出をすることができます。

TE を 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、PCR = 1、PDR = 1 を設定します。このとき、TE が 0 にクリアされていますので、TXD 端子は I/O ポートとなっており 1 が出力されます。

一方、データ送信時にブレークを送出したいときは、PCR = 1、PDR = 0 に設定した後 TE を 0 にクリアします。

TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TXD 端子は I/O ポートになり、TXD 端子から 0 が出力されます。

(5) 受信エラーフラグと送信動作について（クロック同期式モードのみ）

受信エラーフラグ（OER、PER、FER）が1にセットされた状態では、TDREを0にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを0にクリアしておいてください。
また、REを0にクリアしても受信エラーフラグは0にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI3は転送レートの16倍の周波数の基本クロックで動作しています。受信時にはSCI3は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、受信データを基本クロックの8ヶ目の立ち上がりエッジで内部に取り込みます。これを図10.26に示します。

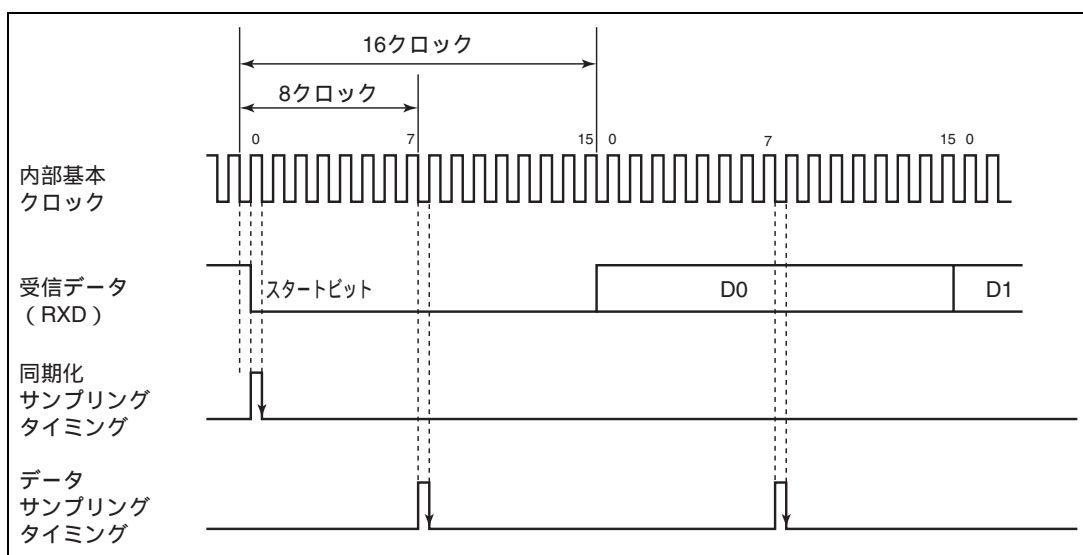


図 10.26 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D - 0.5}{N} - (L - 0.5)F \right\} \times 100 \quad [\%] \quad \dots \text{式(1)}$$

N : クロックに対するビットレートの比 (N=16)

D : クロックのデューティ (D=0.5~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式(1)で、F(クロック周波数の偏差の絶対値)=0、D(クロックのデューティ)=0.5とすると、受信マージンは式(2)より46.875%となります。

D=0.5、F=0のとき、

$$M = \left\{ 0.5 - 1 / (2 \times 16) \right\} \times 100 \quad [\%] \\ = 46.875\% \quad \dots \text{式(2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20～30%の余裕を持たせてください。

(7) RDR のリードと RDRF の関係について

SCI3 は受信動作において、RDRF フラグをチェックしながら動作します。1 フレームの受信終了のタイミングで RDRF が 0 にクリアされていれば、通常のデータ受信を完了します。また RDRF が 1 にセットされていれば、オーバランエラーとなります。

RDR の内容をリードすると、RDRF は自動的に 0 にクリアされます。したがって、RDR のリードを 2 回以上行う場合、2 回目以降のリード操作は RDRF が 0 の状態で行われます。RDRF が 0 の状態で RDR のリードを行うと、リード操作が次のフレームの受信が完了するタイミングと重なった場合、次のフレームのデータが読み出されることがありますので注意してください。これを図 10.27 に示します。

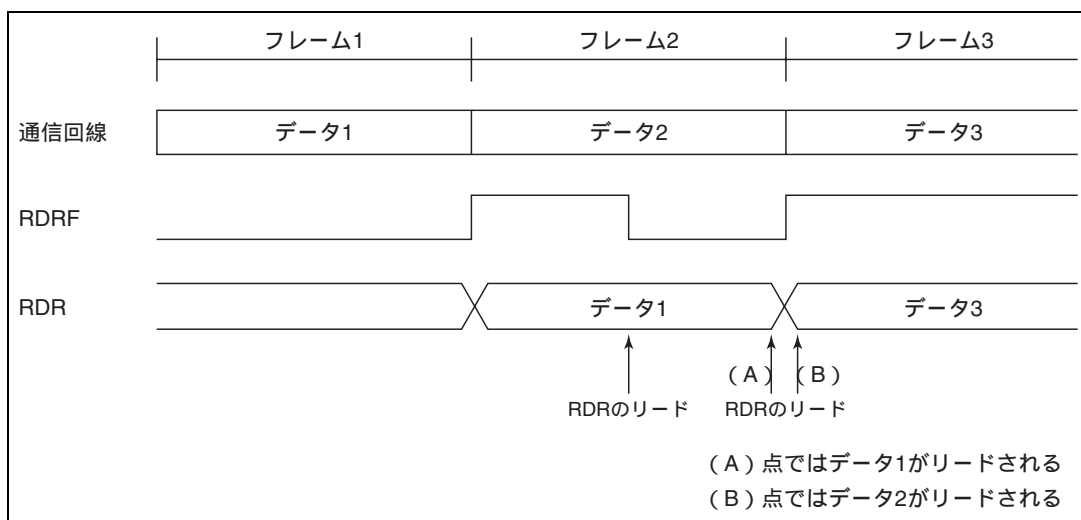


図 10.27 RDR のリードタイミングとデータの関係

この場合、RDR のリード操作は RDRF が 1 にセットされていることを確認してから、1 回のみ行う(2 回以上しない)ようにしてください。2 回以上リードする場合は、1 回リードしたデータを RAM 等に転送し、その内容を使用するようにしてください。また、RDR のリード操作は、次のフレームの受信が完了するまでに余裕をもって行うようにしてください。具体的なタイミングとしては、クロック同期式モードではビット 7 の転送前まで、調歩同期式モードでは STOP ビットの転送前までに RDR のリードを完了してください。

11. 14ビットPWM

11.1 概要

本 LSI は、14 ビット PWM (Pulse Width Modulation) を内蔵しています。ローパスフィルタを接続することで D/A 変換器として使用できます。

11.1.1 特長

14 ビット PWM の特長を以下に示します。

2 種類の変換周期を選択可能

1 変換周期 $32,768/\phi$ 、最小変化幅 $2/\phi$ 、または 1 変換周期 $16,384/\phi$ 、最小変化幅 $1/\phi$ の選択が可能です。

リップル低減をはかったパルス分割方式

11.1.2 ブロック図

14 ビット PWM のブロック図を図 11.1 に示します。

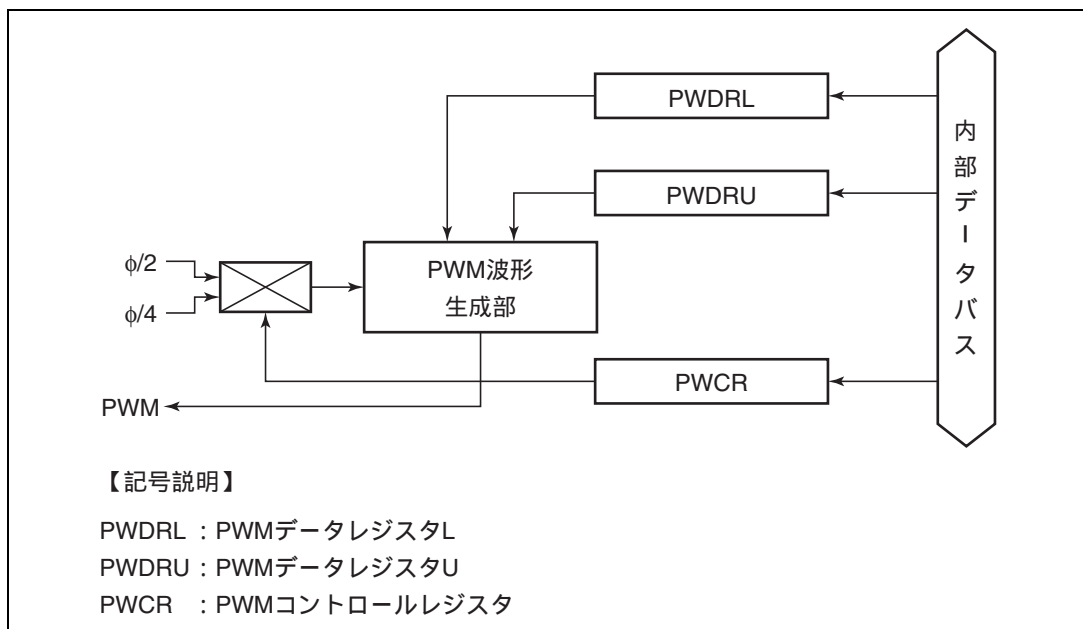


図 11.1 14 ビット PWM のブロック図

11. 14ビットPWM

11.1.3 端子構成

14ビットPWMの端子構成を表11.1に示します。

表 11.1 端子構成

名称	略称	入出力	機能
PWM出力	PWM	出力	パルス分割方式PWM波形出力端子

11.1.4 レジスタ構成

14ビットPWMのレジスタ構成を表11.2に示します。

表 11.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
PWMコントロールレジスタ	PWCR	W	H'FE	H'FFD0
PWMデータレジスタU	PWDRU	W	H'C0	H'FFD1
PWMデータレジスタL	PWDRL	W	H'00	H'FFD2

11.2 各レジスタの説明

11.2.1 PWM コントロールレジスタ (PWCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PWCR0
初期値:	1	1	1	1	1	1	1	0
R/W :	—	—	—	—	—	—	—	W

PWCR は、8 ビットのライト専用レジスタで、入力クロックの選択を行います。
リセット時、PWCR は H'FE に初期化されます。

ビット7~1: リザーブビット

リザーブビットです。各ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット0: クロックセレクト0 (PWCR0)

14ビットPWMに供給されるクロックを選択します。
本ビットはライト専用なので、リードすると常に1が読み出されます。

ビット0	説明
PWCR0	
0	入力クロック = $\phi/2$ ($t\phi^* = 2/\phi$) 1変換周期 $16,384/\phi$ 、最小変化幅 $1/\phi$ のPWM波形を生成 (初期値)
1	入力クロック = $\phi/4$ ($t\phi^* = 4/\phi$) 1変換周期 $32,768/\phi$ 、最小変化幅 $2/\phi$ のPWM波形を生成

【注】 * $t\phi$: PWM入力クロックの周期

11.2.2 PWM データレジスタ U、L (PWDRU、PWDRL)

ビット:	7	6	5	4	3	2	1	0
PWDRU	—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0
初期値:	1	1	0	0	0	0	0	0
R/W :	—	—	W	W	W	W	W	W

ビット:	7	6	5	4	3	2	1	0
PWDRL	PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PWDRU、PWDRL は、ライト専用の 14 ビットのレジスタで、PWDRU が上位 6 ビット、PWDRL が下位 8 ビットの構成になっています。PWDRU、PWDRL に書き込まれた内容は PWM 波形 1 周期の High レベル幅の合計に対応します。

PWDRU、PWDRL に 14 ビットのデータをライトすると、PWDRU、PWDRL の内容が PWM 波形生成部に取り込まれ、PWM 波形生成のデータの更新が行われます。14 ビットデータの設定は必ず以下の順序で行ってください。

- (1) PWDRL へ下位 8 ビットのデータをライトする。
- (2) PWDRU へ上位 6 ビットのデータをライトする。

PWDRU、PWDRL は、ライト専用レジスタです。リードした場合各ビットは常に 1 が読み出されます。

リセット時、PWDRU、PWDRL は H'C000 に初期化されます。

11.3 動作説明

14 ビット PWM を使用する場合、以下の順序でレジスタ設定を行ってください。

- (1) PMR1のPWMに1をセットしてP1₄/PWM端子をPWM出力端子に設定します。
- (2) PWCRのPWCR0により、1変換周期を32,768/φ (PWCR0 = 1) または16,384/φ (PWCR0 = 0) のいずれかを選択します。
- (3) PWDRL、PWDRLに出力波形データを設定します。このとき、必ずPWDRL→PWDRLの順序で書き込んでください。PWDRLへのライトと同時にPWM波形生成部にデータが取り込まれ、内部信号と同期をとってPWM波形生成の更新が行われます。

1変換周期は図 11.2 に示すように 64 個のパルスで構成され、この1変換周期中の High レベル幅合計 (T_H) が、PWDRL、PWDRL のデータに対応しています。

この関係は次式で示されます。

$$T_H = (\text{PWDRL、PWDRL のデータ値} + 64) \times t\phi/2$$

ここで $t\phi$ は、PWM 入力クロックの周期で $2/\phi$ (PWCR0 = 0) または $4/\phi$ (PWCR0 = 1) となります。

(例) 変換周期を8,192 μ sとするためには、以下のように設定します。

PWCR0 = 0に設定すると、1変換周期は16,384/φなので、φ = 2MHzとなります。

このとき、 $t_n = 128\mu$ s、 $1/\phi$ (精度) = 0.5 μ sです。

PWCR0 = 1に設定すると、1変換周期は32,768/φなので、φ = 4MHzとなります。

このとき、 $t_n = 128\mu$ s、 $2/\phi$ (精度) = 0.5 μ sです。

したがって、1変換周期8,192 μ sとするためには、システムクロック(φ)は2MHzまたは、4MHzで使用することになります。

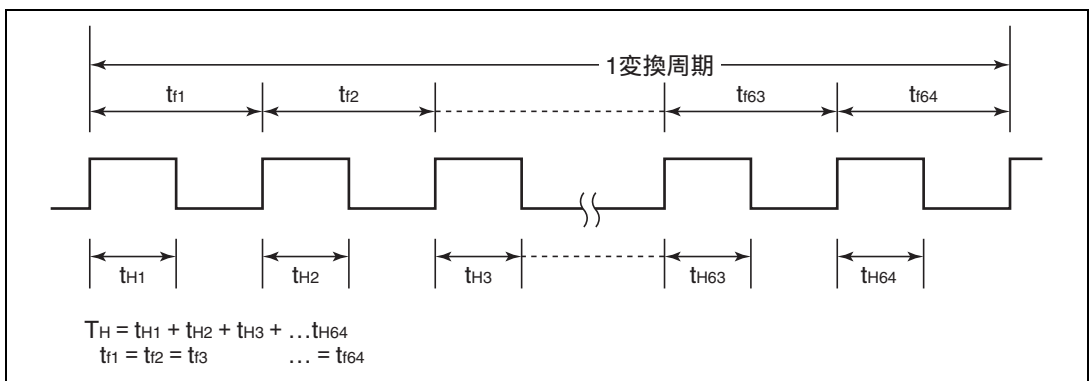


図 11.2 PWM 出力波形

12. A/D 変換器

12.1 概要

本 LSI は、抵抗ラダー方式による逐次比較型 A/D 変換器を内蔵しており、最大 8 チャンネルのアナログ入力の測定ができます。

12.1.1 特長

A/D 変換器の特長を以下に示します。

8 ビットの分解能

入力チャンネル：8 チャンネル

変換時間：1 チャンネル当たり 12.4 μ s (5MHz 動作時)

サンプル&ホールド機能

A/D 変換終了割り込み要求を発生

外部トリガ入力により、A/D 変換開始を指定可能

12.1.2 ブロック図

A/D 変換器のブロック図を図 12.1 に示します。

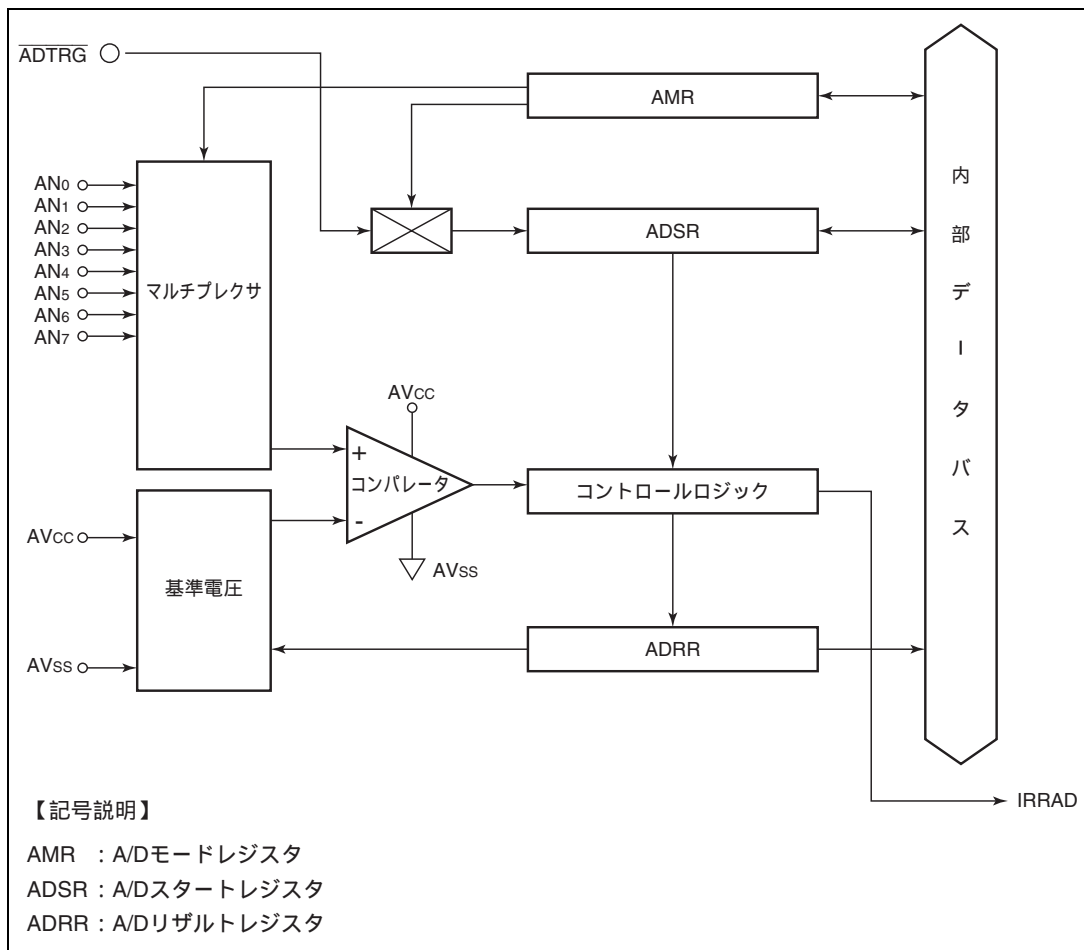


図 12.1 A/D 変換器ブロック図

12.1.3 端子構成

A/D 変換器の端子構成を表 12.1 に示します。

表 12.1 端子構成

名称	略称	入出力	機能
アナログ電源	AV _{CC}	入力	アナログ部の電源および基準電圧端子
アナロググランド	AV _{SS}	入力	アナログ部のグランドおよび基準電圧端子
アナログ入力 0	AN ₀	入力	チャンネル 0 のアナログ入力端子
アナログ入力 1	AN ₁	入力	チャンネル 1 のアナログ入力端子
アナログ入力 2	AN ₂	入力	チャンネル 2 のアナログ入力端子
アナログ入力 3	AN ₃	入力	チャンネル 3 のアナログ入力端子
アナログ入力 4	AN ₄	入力	チャンネル 4 のアナログ入力端子
アナログ入力 5	AN ₅	入力	チャンネル 5 のアナログ入力端子
アナログ入力 6	AN ₆	入力	チャンネル 6 のアナログ入力端子
アナログ入力 7	AN ₇	入力	チャンネル 7 のアナログ入力端子
外部トリガ入力	ADTRG	入力	A/D 変換の開始を制御する外部トリガ入力

12.1.4 レジスタ構成

A/D 変換器のレジスタ構成を表 12.2 に示します。

表 12.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
A/D モードレジスタ	AMR	R/W	H'30	H'FFC4
A/D スタートレジスタ	ADSR	R/W	H'7F	H'FFC6
A/D リザルトレジスタ	ADRR	R	不定	H'FFC5

12.2 各レジスタの説明

12.2.1 A/D リザルトレジスタ (ADRR)

ビット:	7	6	5	4	3	2	1	0
	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R	R	R	R	R	R	R	R

ADRR は、A/D 変換された結果を格納する 8 ビットのリード専用レジスタです。

ADRR は常に CPU からリード可能です。A/D 変換中は ADRR の値は不定で、A/D 変換終了時に変換結果の 8 ビットデータが格納され、次の変換開始までこのデータが保持されます。

ADRR は、リセットでクリアされません。

12.2.2 A/D モードレジスタ (AMR)

ビット:	7	6	5	4	3	2	1	0
	CKS	TRGE	—	—	CH3	CH2	CH1	CH0
初期値:	0	0	1	1	0	0	0	0
R/W :	R/W	R/W	—	—	R/W	R/W	R/W	R/W

AMR は、8 ビットのリード/ライト可能なレジスタで、A/D 変換スピードの設定、外部トリガの選択、およびアナログ入力端子の指定を行います。

リセット時、AMR は H'30 に初期化されます。

ビット 7: クロックセレクト (CKS)

A/D 変換スピードの設定を行います。

ビット 7	CKS	変換周期	変換時間		
			$\phi = 2\text{MHz}$	$\phi = 5\text{MHz}$	$\phi = 8\text{MHz}^{*2}$
0	0	$62/\phi$ (初期値)	$31\mu\text{s}$	$12.4\mu\text{s}$	$7.75\mu\text{s}$
1	1	$31/\phi$	$15.5\mu\text{s}$	*1	

【注】 *1 12.4 μs 以下の変換時間では、動作が保証されません。12.4 μs 以上になるように選択してください。

*2 F-ZTAT 版および ZTAT 版の R 版、マスク ROM 版の R 版のみに対応します。

ビット 6 : 外部トリガセレクト (TRGE)

外部トリガ入力による A/D 変換の開始を許可または禁止します。

ビット 6	説 明
TRGE	
0	外部トリガによる A/D 変換の開始を禁止 (初期値)
1	外部トリガ (ADTRG) 端子の立ち上がりエッジ、または立ち下がりエッジで A/D 変換を開始*

【注】 * 外部トリガ (ADTRG) 端子のエッジ選択は IEGR2 の INTEG5 により設定します。詳細は「3.3.2 各レジスタの説明 (2) 割り込みエッジセレクトレジスタ 2 (IEGR2)」を参照してください。

ビット 5、4 : リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット 3~0 : チャネルセレクト 3~0 (CH3~CH0)

アナログ入力チャネルの選択を行います。

チャネル選択の切り替えは、ADSF = 0 の状態で行ってください。

ビット 3	ビット 2	ビット 1	ビット 0	アナログ入力チャネル	
CH3	CH2	CH1	CH0		
0	0	*	*	非選択 (初期値)	
				0	AN ₀
	1	0	0	AN ₁	
			1	AN ₂	
1	0	0	0	AN ₄	
			1	AN ₅	
		1	0	AN ₆	
			1	AN ₇	
	1	0	0	0	リザーブ
				1	リザーブ
		1	0	0	リザーブ
				1	リザーブ

【記号説明】

* : Don't care

12.2.3 A/D スタートレジスタ (ADSR)

ビット:	7	6	5	4	3	2	1	0
	ADSF	—	—	—	—	—	—	—
初期値:	0	1	1	1	1	1	1	1
R/W :	R/W	—	—	—	—	—	—	—

ADSR は、8 ビットのリード/ライト可能なレジスタで、A/D 変換の開始または停止を指定します。

ADSF に 1 をライトまたは外部トリガのエッジ入力により、ADSF が 1 にセットされ A/D 変換が開始します。変換が終了すると変換データは ADDR にセットされ、同時に ADSF は 0 にクリアされません。

ビット 7 : A/D スタートフラグ (ADSF)

A/D 変換の開始および終了の確認を行います。

ビット 7		説明
ADSF		
0	リード時	A/D 変換の終了 (初期値)
	ライト時	A/D 変換を強制終了
1	リード時	A/D 変換中
	ライト時	A/D 変換を開始

ビット 6~0 : リザーブビット

リザーブビットです。各ビットはリードすると常に 1 が読み出されます。ライトは無効です。

12.3 動作説明

12.3.1 A/D 変換動作

A/D 変換器は逐次比較方式で動作し、8 ビットの変換結果が得られます。

ソフトウェアにより ADSF を 1 にセットすると、A/D 変換を開始します。ADSF は、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、IRR2 の IRRAD が 1 にセットされます。このとき、IENR2 の IENAD が 1 にセットされていると、A/D 変換終了割り込みが発生します。

A/D 変換中に、AMR により変換時間や入力チャネルの切り替えを行う場合は、誤動作を避けるために ADSF を 0 にクリアして、A/D 変換を強制終了させて行ってください。

12.3.2 外部トリガによる A/D 変換器の起動

A/D 変換器は外部トリガ入力によって A/D 変換を開始させることができます。

外部トリガは AMR の TRGE が 1 のとき、 $\overline{\text{ADTRG}}$ 入力端子から入力されます。 $\overline{\text{ADTRG}}$ 入力端子から IEGR2 の INTEG5 で指定されたエッジが入力されると、ADSR の ADSF が 1 にセットされ、A/D 変換が開始されます。

このタイミングを図 12.2 に示します。

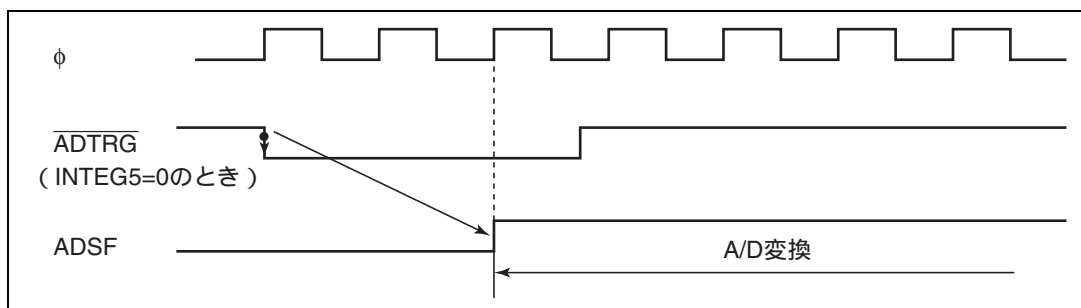


図 12.2 外部トリガ入力タイミング

12.4 割り込み要因

A/D 変換終了時 (ADSF = 1→0)、IRR2 の IRRAD が 1 にセットされます。

A/D 変換終了割り込みは、IENR2 の IENAD により、許可 / 禁止を指定できます。

詳細は「3.3 割り込み」を参照してください。

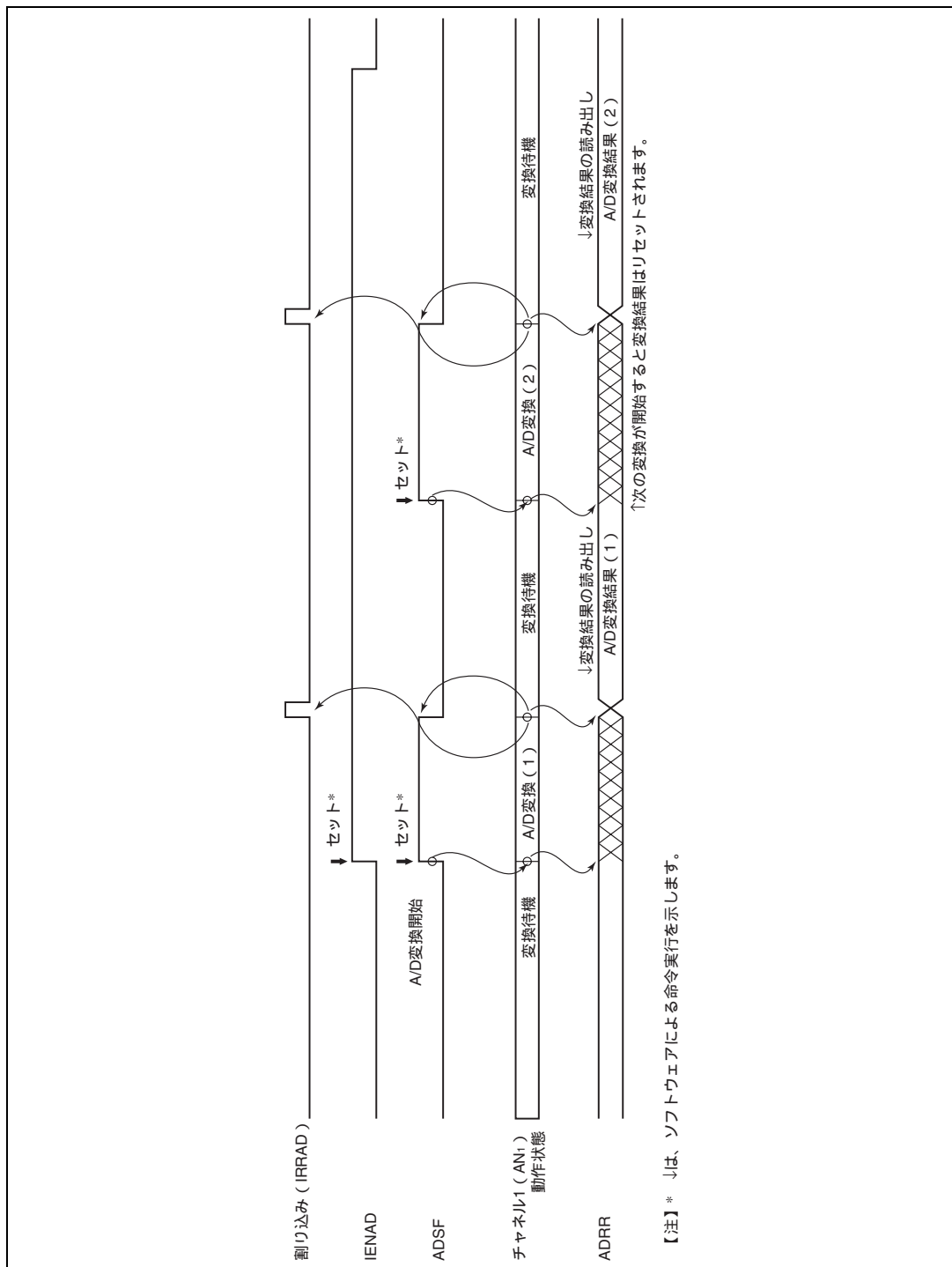
12.5 使用例

チャンネル 1 (AN₁) をアナログ入力チャンネルに選択した場合の動作例を示します。動作タイミングを図 12.3 に示します。

- (1) 入力チャンネルを AN₁ (AMR の CH3 ~ CH0 を 0101)、IENAD = 1 に設定して、A/D 変換を開始 (ADSF = 1) します。
- (2) A/D 変換が終了すると、IRRAD が 1 にセットされ、A/D 変換結果が ADRR に格納されます。同時に ADSF = 0 となり、A/D 変換器は変換待機となります。
- (3) IENAD = 1 となっているため A/D 変換終了割り込み要求が発生します。
- (4) A/D 割り込み処理ルーチンが開始されます。
- (5) A/D 変換結果を読み出して、処理します。
- (6) A/D 変換処理ルーチンの実行が終了します。

この後、ADSF = 1 にセットすると A/D 変換が開始され (2) ~ (6) を行います。

A/D 変換器の使用手順の概念フローを図 12.4、図 12.5 に示します。



【注】* ↓は、ソフトウェアによる命令実行を示します。

図 12.3 A/D 変換器の動作例

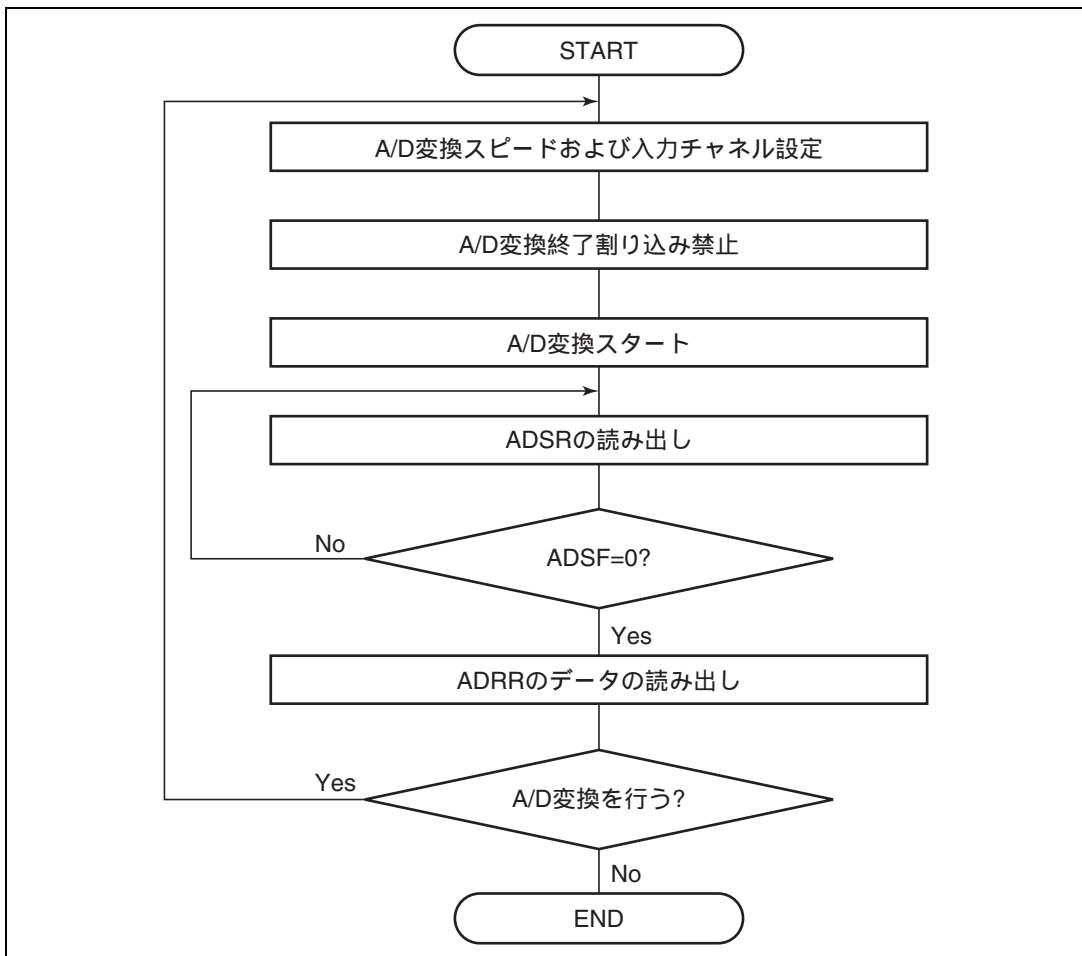


図 12.4 A/D 変換器の使用手順の概念フロー (1) (ソフトウェアでポーリングする場合)

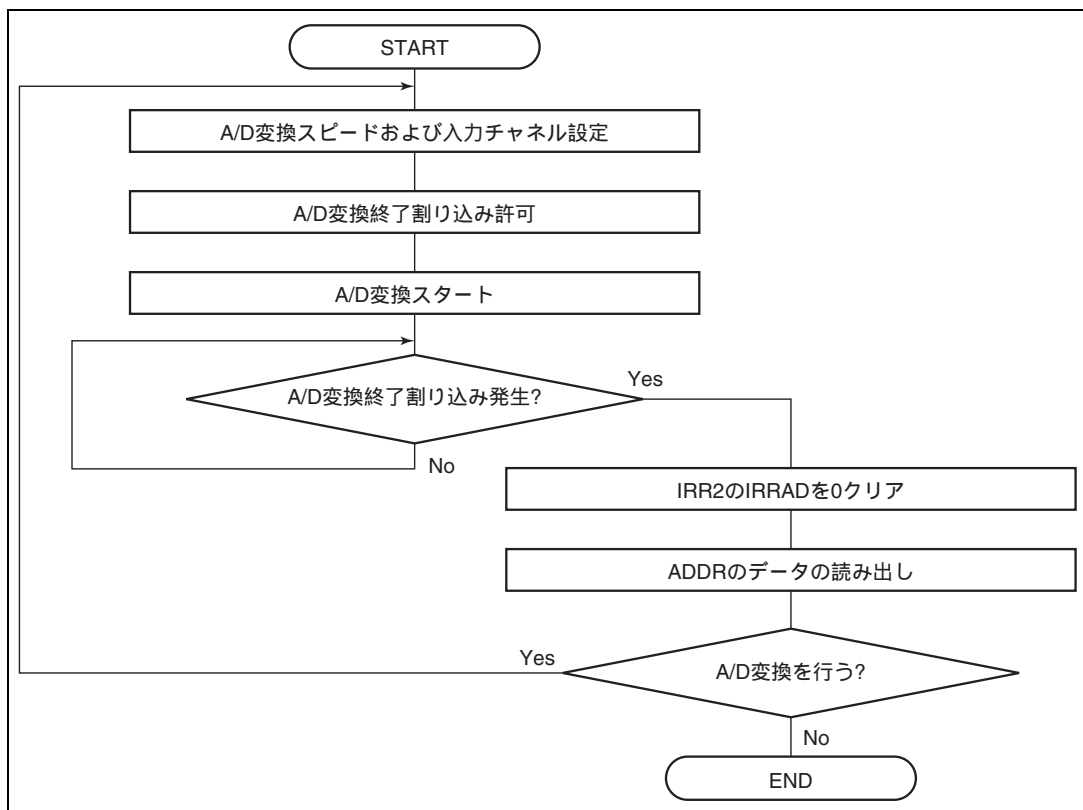


図 12.5 A/D 変換器の使用手順の概念フロー（2）（割り込みを使用する場合）

12.6 使用上の注意

- (1) ADRRの読み出しは、ADSRのADSFが0のときに行ってください。
- (2) A/D変換中に隣接した端子のデジタル入力信号を変化させると変換精度に悪影響を及ぼします。

13. 電気的特性

13.1 絶対最大定格

絶対最大定格を表 13.1 に示します。

表 13.1 絶対最大定格*¹

項目	記号	規格値	単位	備考	
電源電圧	V_{CC}	- 0.3 ~ + 7.0	V		
アナログ電源電圧	AV_{CC}	- 0.3 ~ + 7.0	V		
プログラム 電圧	HD6473644	V_{PP}	- 0.3 ~ + 13.0	V	
	HD64F3644、HD64F3643、 HD64F3642A	FV_{PP}	- 0.3 ~ + 13.0	V * ²	
入力電圧	ポート B 以外	V_{in}	- 0.3 ~ $V_{CC} + 0.3$	V	
	ポート B		- 0.3 ~ $AV_{CC} + 0.3$	V	
	TEST(HD64F3644、HD64F3643、 HD64F3642A)	- 0.3 ~ + 13.0	V	* ²	
動作温度	T_{opr}	- 20 ~ + 75			
保存温度	T_{stg}	- 55 ~ + 125			

【注】 *¹ 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。また、通常動作では、「電気的特性」の条件で使用することが望ましく、この条件を超えると LSI の誤動作の原因になるとともに、LSI の信頼性に悪影響を及ぼすことがあります。

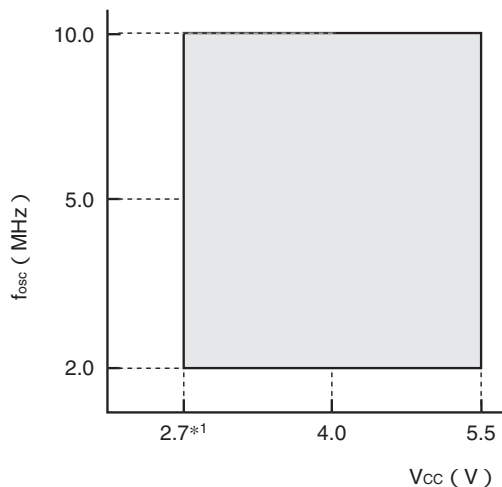
*² オーバシュートのピークを含めて、 FV_{PP} 、TEST は 13V 以下にしてください。

13.2 電気的特性 (ZTAT 版、マスク ROM 版)

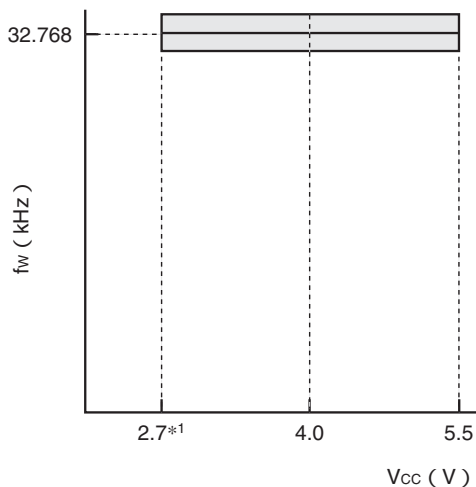
13.2.1 電源電圧と動作範囲

電源電圧と動作範囲 (網かけ部) を以下に示します。

(1) 電源電圧と発振周波数の範囲

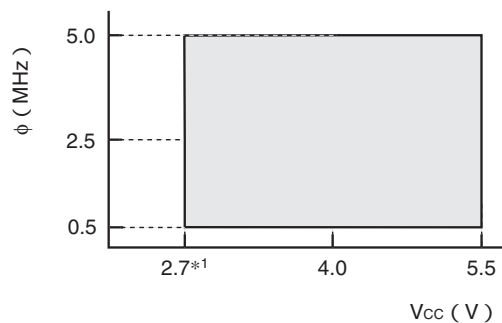


- ・アクティブ (高速) モード
- ・スリープ (高速) モード

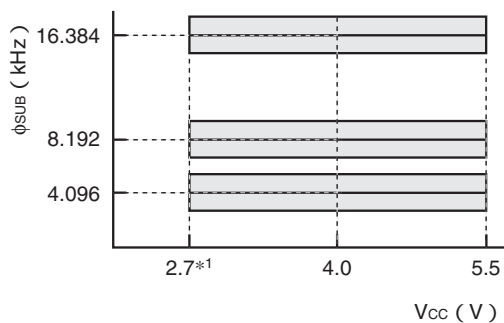


- ・すべての動作モード

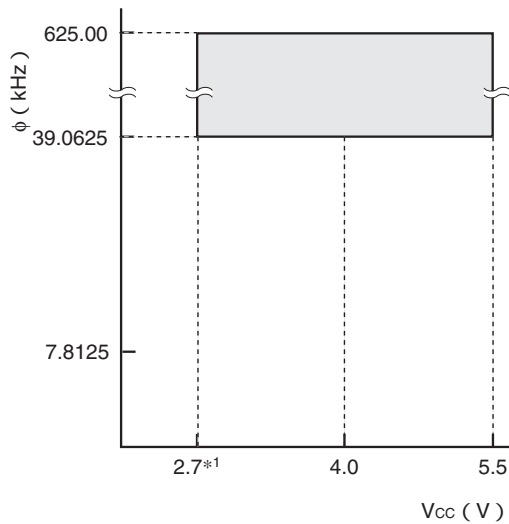
(2) 電源電圧と動作周波数の範囲



- ・アクティブ (高速) モード
- ・スリープ (高速) モード (CPUを除く)

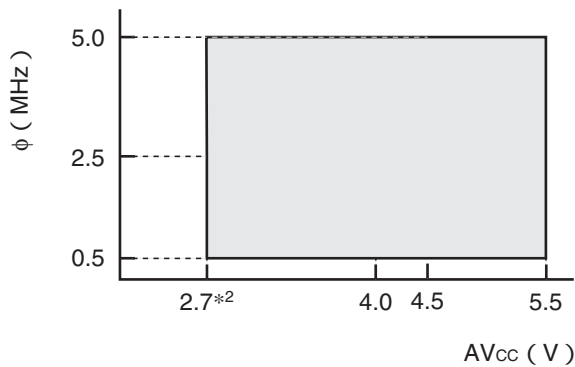


- ・サブアクティブモード
- ・サブスリープモード (CPUを除く)
- ・ウォッチモード (CPUを除く)



- ・アクティブ（中速）モード
- ・スリープ（中速）モード（CPUを除く）

(3) アナログ電源電圧と A/D 変換器の精度保証範囲



変換時間の最大値以内で
使用してください。

- ・アクティブ（高速）モード
- ・スリープ（高速）モード
- ・アクティブ（中速）モード
- ・スリープ（中速）モード

【注】 *1 HD6433644、HD6433643、HD6433642、HD6433641、HD6433640 は 2.5 (V) です。
*2 A/D 変換動作保証は 2.5 (V) となります。

13. 電氣的特性

13.2.2 DC 特性 (HD6473644)

HD6473644 の DC 特性を表 13.2 に示します。

表 13.2 DC 特性 (1)

条件：特記なき場合、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
入力 High レベル 電圧	V_{IH}	RES $\overline{INT}_0 \sim \overline{INT}_7$ $\overline{IRQ}_0 \sim \overline{IRQ}_3$ ADTRG TMIB TMRIV、TMCIV FTCI、FTIA FTIB、TIC、FTID SCK ₁ 、SCK ₃ TRGV	$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	$0.8V_{CC}$		$V_{CC} + 0.3$	V	
			$0.9V_{CC}$		$V_{CC} + 0.3$			
		SI ₁ 、RXD P1 ₀ 、P1 ₄ ~ P1 ₇ P2 ₀ ~ P2 ₂ P3 ₀ ~ P3 ₂ P5 ₀ ~ P5 ₇ P6 ₀ ~ P6 ₇ P7 ₃ ~ P7 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₄	$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	$0.7V_{CC}$		$V_{CC} + 0.3$	V	
			$0.8V_{CC}$		$V_{CC} + 0.3$			
		PB ₀ ~ PB ₇		$0.7V_{CC}$		$AV_{CC} + 0.3$	V	
			$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	$0.8V_{CC}$		$AV_{CC} + 0.3$		
		OSC ₁		$V_{CC} - 0.5$		$V_{CC} + 0.3$	V	
	$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	$V_{CC} - 0.3$		$V_{CC} + 0.3$				
入力 Low レベル 電圧	V_{IL}	RES $\overline{INT}_0 \sim \overline{INT}_7$ $\overline{IRQ}_0 \sim \overline{IRQ}_3$ ADTRG TMIB TMRIV、TMCIV FTCI、FTIA FTIB、FTIC、FTID SCK ₁ 、SCK ₃ TRGV	$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	- 0.3		$0.2V_{CC}$	V	
			- 0.3		$0.1V_{CC}$			

13. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
入力 Low レベル 電圧	V_{IL}	SI ₁ 、RXD P1 ₀ 、P1 ₄ ~P1 ₇ P2 ₀ ~P2 ₂ P3 ₀ ~P3 ₂ P5 ₀ ~P5 ₇ P6 ₀ ~P6 ₇ P7 ₃ ~P7 ₇ P8 ₀ ~P8 ₇ P9 ₀ ~P9 ₄ PB ₀ ~PB ₇	$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	- 0.3		$0.3V_{CC}$	V	
				- 0.3		$0.2V_{CC}$	V	
		OSC ₁		- 0.3		0.5	V	
			$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	- 0.3		0.3	V	
出力 High レベル 電圧	V_{OH}	P1 ₀ 、P1 ₄ ~P1 ₇ P2 ₀ ~P2 ₂ P3 ₀ ~P3 ₂ P5 ₀ ~P5 ₇ P6 ₀ ~P6 ₇ P7 ₃ ~P7 ₇ P8 ₀ ~P8 ₇ P9 ₀ ~P9 ₄	- $I_{OH} = 1.5mA$	$V_{CC} - 1.0$			V	
			$V_{CC} = 2.7 \sim 5.5V$ - $I_{OH} = 0.1mA$	$V_{CC} - 0.5$				
出力 Low レベル 電圧	V_{OL}	P1 ₀ 、P1 ₄ ~P1 ₇ P2 ₀ ~P2 ₂ P3 ₀ ~P3 ₂ P5 ₀ ~P5 ₇ P7 ₃ ~P7 ₇ P8 ₀ ~P8 ₇ P9 ₀ ~P9 ₄	$I_{OL} = 1.6mA$			0.6	V	
			$V_{CC} = 2.7 \sim 5.5V$ $I_{OL} = 0.4mA$			0.4	V	
						0.4	V	
		P6 ₀ ~P6 ₇	$I_{OL} = 10.0mA$ $I_{OL} = 1.6mA$ $V_{CC} = 2.7 \sim 5.5V$ $I_{OL} = 0.4mA$			1.0 0.4 0.4	V	
入出力リーク電流	$ I_{IL} $	OSC ₁ P1 ₀ 、P1 ₄ ~P1 ₇ P2 ₀ ~P2 ₂ P3 ₀ ~P3 ₂ P5 ₀ ~P5 ₇ P6 ₀ ~P6 ₇ P7 ₃ ~P7 ₇ P8 ₀ ~P8 ₇ P9 ₀ ~P9 ₄ PB ₀ ~PB ₇	$V_{in} = 0.5V \sim (V_{CC} - 0.5V)$			1.0	μA	
			$V_{in} = 0.5V \sim (AV_{CC} - 0.5V)$			1.0	μA	
入力リーク電流	$ I_{IL} $	RES、 $\overline{IRQ_0}$	$V_{in} = 0.5V \sim (V_{CC} - 0.5V)$			20	μA	

13. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
ブルアップ MOS 電流	-I _p	P1 ₀ 、P1 ₄ ~P1 ₇ P3 ₀ ~P3 ₂ P5 ₀ ~P5 ₇	V _{CC} = 5V、V _{in} = 0V	50		300	μA	参考値
			V _{CC} = 2.7V、V _{in} = 0V		25			
入力容量	C _{in}	電源 RES 端子を除く 全入力端子	f = 1MHz、V _{in} = 0V、 T _a = 25			15.0	pF	
		RES			60.0			
		IRQ ₀			30.0			
アクティブモード 消費電流	I _{OPe1}	V _{CC}	アクティブ (高速) モード V _{CC} = 5V、f _{osc} = 10MHz		10	15	mA	* ¹ * ² 参考値
			V _{CC} = 2.7V、f _{osc} = 10MHz		5			* ¹ * ²
	I _{OPe2}	V _{CC}	アクティブ (中速) モード V _{CC} = 5V、f _{osc} = 10MHz		2	3	mA	* ¹ * ² 参考値
			V _{CC} = 2.7V、f _{osc} = 10MHz		1			* ¹ * ²
スリープモード 消費電流	I _{SLEEP1}	V _{CC}	スリープ (高速) モード V _{CC} = 5V、f _{osc} = 10MHz		5	7	mA	* ¹ * ² 参考値
			V _{CC} = 2.7V、f _{osc} = 10MHz		2			* ¹ * ²
	I _{SLEEP2}	V _{CC}	スリープ (中速) モード V _{CC} = 5V、f _{osc} = 10MHz		2	3	mA	* ¹ * ² 参考値
			V _{CC} = 2.7V、f _{osc} = 10MHz		1			* ¹ * ²
サブアクティブ モード消費電流	I _{SUB}	V _{CC}	V _{CC} = 2.7V 32kHz 水晶発振子使用時 (φ _{SUB} = φ _W /2)		10	20	μA	* ¹ * ² 参考値
			V _{CC} = 2.7V 32kHz 水晶発振子使用時 (φ _{SUB} = φ _W /8)		10			* ¹ * ²
サブスリープ モード消費電流	I _{SUBSP}	V _{CC}	V _{CC} = 2.7V 32kHz 水晶発振子使用時 (φ _{SUB} = φ _W /2)		5	10	μA	* ¹ * ²
ウォッチモード 消費電流	I _{WATCH}	V _{CC}	V _{CC} = 2.7V 32kHz 水晶発振子使用時			6	μA	* ¹ * ²
スタンバイモード 消費電流	I _{STBY}	V _{CC}	32kHz 水晶発振子未使用 時			5	μA	* ¹ * ²
RAM データ 保持電圧	V _{RAM}	V _{CC}		2			V	

【注】 TEST 端子は、 V_{SS} に接続してください。

*1 消費電流測定時の端子状態

モード	RES 端子	内部状態	各端子	発振端子
アクティブ(高速)モード	V_{CC}	動作	V_{CC}	メインクロック： セラミック発振子 または水晶発振子 サブクロック： X_1 端子= V_{CC}
アクティブ(中速)モード		動作(ϕ OSC/128)		
スリープ(高速)モード	V_{CC}	タイマのみ動作	V_{CC}	
スリープ(中速)モード		タイマのみ動作 (ϕ OSC/128)		
サブアクティブモード	V_{CC}	動作	V_{CC}	メインクロック： セラミック発振子 または水晶発振子 サブクロック：水晶発振子
サブスリープモード	V_{CC}	タイマのみ動作 CPUは停止	V_{CC}	
ウォッチモード	V_{CC}	時計用タイムベースのみ 動作 CPUは停止	V_{CC}	
スタンバイモード	V_{CC}	CPU、タイマともに停止	V_{CC}	メインクロック： セラミック発振子 または水晶発振子 サブクロック： X_1 端子= V_{CC}

*2 プルアップMOSや出力バッファに流れる電流は除きます。

表 13.2 DC 特性 (2)

条件：特記なき場合、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目		記号	規格値			単位
			min	typ	max	
出力 Low レベル許容電流 (1 端子あたり)	ポート 6 以外の出力端子	I_{OL}			2	mA
	ポート 6				10	
出力 Low レベル許容電流 (総和)	ポート 6 以外の出力端子	ΣI_{OL}			40	mA
	ポート 6				80	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$			2	mA
出力 High レベル許容電流 (総和)	全出力端子	$\Sigma(-I_{OH})$			30	mA

13. 電気的特性

13.2.3 AC 特性 (HD6473644)

HD6473644 の制御信号タイミングを表 13.3 に、シリアルインタフェースタイミングを表 13.4、表 13.5 に示します。

表 13.3 制御信号タイミング

条件：特記なき場合、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
システムクロック 発振器発振周波数	f_{OSC}	OSC ₁ 、OSC ₂	$V_{CC} = 2.7 \sim 5.5V$	2		10	MHz	
OSC クロック (ϕ_{OSC}) サイクル時間	t_{OSC}	OSC ₁ 、OSC ₂	$V_{CC} = 2.7 \sim 5.5V$	100		1000	ns	* ¹ 図 13.1
システムクロック (ϕ) サイクル時間	t_{CYC}		$V_{CC} = 2.7 \sim 5.5V$	2		128 25.6	t_{OSC} μs	* ¹
サブクロック発振器 発振周波数	f_W	X ₁ 、X ₂	$V_{CC} = 2.7 \sim 5.5V$		32.768		kHz	
ウォッチクロック (ϕ_W) サイクル時間	t_W	X ₁ 、X ₂	$V_{CC} = 2.7 \sim 5.5V$		30.5		μs	
サブクロック (ϕ_{SUB}) サイクル時間	t_{SUBCYC}		$V_{CC} = 2.7 \sim 5.5V$	2		8	t_W	* ²
インストラクション サイクル時間			$V_{CC} = 2.7 \sim 5.5V$	2			t_{CYC} t_{SUBCYC}	
発振安定時間 (水晶発振子)	t_{TC}	OSC ₁ 、OSC ₂	$V_{CC} = 2.7 \sim 5.5V$			40 60	ms	
発振安定時間 (セラミック発振子)	t_{TC}	OSC ₁ 、OSC ₂	$V_{CC} = 2.7 \sim 5.5V$			20 40	ms	
発振安定時間	t_{TC}	X ₁ 、X ₂	$V_{CC} = 2.7 \sim 5.5V$			2	s	
外部クロック High レベル幅	t_{CPH}	OSC ₁	$V_{CC} = 2.7 \sim 5.5V$	40			ns	図 13.1
外部クロック Low レベル幅	t_{CPL}	OSC ₁	$V_{CC} = 2.7 \sim 5.5V$	40			ns	図 13.1
外部クロック 立ち上がり時間	t_{CPr}		$V_{CC} = 2.7 \sim 5.5V$			15	ns	図 13.1
外部クロック 立ち下がり時間	t_{CPH}		$V_{CC} = 2.7 \sim 5.5V$			15	ns	図 13.1
RES 端子 Low レベル幅	t_{REL}	RES	$V_{CC} = 2.7 \sim 5.5V$	10			t_{CYC}	図 13.2

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
入力端子 High レベル幅	t_{IH}	$\overline{IRQ}_0 \sim \overline{IRQ}_3$ $\overline{INT}_0 \sim \overline{INT}_7$ ADTRG TMIB TMCIV TMRIV、FTCI FTIA、FTIB FTIC、FTID TRGV		2			t_{cyc} t_{subcyc}	図 13.3
入力端子 Low レベル幅	t_{IL}	$\overline{IRQ}_0 \sim \overline{IRQ}_3$ $\overline{INT}_0 \sim \overline{INT}_7$ ADTRG TMIB TMCIV TMRIV、FTCI FTIA、FTIB FTIC、FTID TRGV	$V_{CC} = 2.7 \sim 5.5V$	2			t_{cyc} t_{subcyc}	図 13.3

【注】 *1 外部クロックを入力する場合は 1~10MHz となります。

*2 システムコントロールレジスタ 2 (SYSCR2) の SA1、SA0 の設定により決定します。

表 13.4 シリアルインタフェース (SCI1) タイミング

条件：特記なき場合、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
転送クロックサイクル タイミング	t_{sosc}	SCK ₁	$V_{CC} = 2.7 \sim 5.5V$	2			t_{cyc}	図 13.4
転送クロック High レベル幅	t_{SCKH}	SCK ₁	$V_{CC} = 2.7 \sim 5.5V$	0.4			t_{sosc}	
転送クロック Low レベル幅	t_{SCKL}	SCK ₁	$V_{CC} = 2.7 \sim 5.5V$	0.4			t_{sosc}	
転送クロック 立ち上がり時間	t_{SCKr}	SCK ₁				60	ns	
			$V_{CC} = 2.7 \sim 5.5V$			80		
転送クロック 立ち下がり時間	t_{SCKf}	SCK ₁				60	ns	
			$V_{CC} = 2.7 \sim 5.5V$			80		
シリアル出力データ 遅延時間	t_{SOD}	SO ₁				200	ns	
			$V_{CC} = 2.7 \sim 5.5V$			350		
シリアル入力データ セットアップ時間	t_{SIS}	SI ₁		180			ns	
			$V_{CC} = 2.7 \sim 5.5V$	360				
シリアル入力 データホールド時間	t_{SIH}	SI ₁		180			ns	
			$V_{CC} = 2.7 \sim 5.5V$	360				

13. 電気的特性

表 13.5 シリアルインタフェース (SCI3) タイミング

条件：特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	測定条件	規格値			単位	備考
			min	typ	max		
入力 クロックサイクル	t_{syc}		4			t_{syc}	図 13.5
			6				
入力クロックパルス幅	t_{SCKW}		0.4		0.6	t_{syc}	図 13.5
送信データ遅延時間 (クロック同期)	t_{TXD}	$V_{CC} = 4.0 \sim 5.5V$			1	t_{syc}	図 13.6
					1		
受信データセットアップ時間 (クロック同期)	t_{RXS}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 13.6
			400.0				
受信データホールド時間 (クロック同期)	t_{RXH}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 13.6
			400.0				

13.2.4 DC 特性 (HD6433644、HD6433643、HD6433642、HD6433641、HD6433640)

HD6433644、HD6433643、HD6433642、HD6433641、HD6433640 の DC 特性を表 13.6 に示します。

表 13.6 DC 特性 (1)

条件：特記なき場合、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
入力 High レベル 電圧	V_{IH}	RES		$0.8V_{CC}$		$V_{CC} + 0.3$	V	
		$\overline{INT}_0 \sim \overline{INT}_7$ $\overline{IRQ}_0 \sim \overline{IRQ}_3$ ADTRG TMIB TMRIV、TMCIV FTCI、FTIA FTIB、FTIC、FTID SCK_1 、 SCK_3 TRGV	$V_{CC} = 2.5 \sim 5.5V$ サブアクティブを含む	$0.9V_{CC}$		$V_{CC} + 0.3$		
		SI_1 、RXD		$0.7V_{CC}$		$V_{CC} + 0.3$	V	
		$P1_0$ 、 $P1_1 \sim P1_7$ $P2_0 \sim P2_2$ $P3_0 \sim P3_2$ $P5_0 \sim P5_7$ $P6_0 \sim P6_7$ $P7_3 \sim P7_7$ $P8_0 \sim P8_7$ $P9_0 \sim P9_4$	$V_{CC} = 2.5 \sim 5.5V$ サブアクティブを含む	$0.8V_{CC}$		$V_{CC} + 0.3$		
		$PB_0 \sim PB_7$		$0.7V_{CC}$		$AV_{CC} + 0.3$	V	
			$V_{CC} = 2.5 \sim 5.5V$ サブアクティブを含む	$0.8V_{CC}$		$AV_{CC} + 0.3$		
		OSC_1		$V_{CC} - 0.5$		$V_{CC} + 0.3$	V	
	$V_{CC} = 2.5 \sim 5.5V$ サブアクティブを含む	$V_{CC} - 0.3$		$V_{CC} + 0.3$				
入力 Low レベル 電圧	V_{IL}	RES		-0.3		$0.2V_{CC}$	V	
		$\overline{INT}_0 \sim \overline{INT}_7$ $\overline{IRQ}_0 \sim \overline{IRQ}_3$ ADTRG TMIB TMRIV、TMCIV FTCI、FTIA FTIB、FTIC、FTID SCK_1 、 SCK_3 TRGV	$V_{CC} = 2.5 \sim 5.5V$ サブアクティブを含む	-0.3		$0.1V_{CC}$		

13. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
入力 Low レベル 電圧	V_{IL}	SI ₁ , RXD P1 ₀ , P1 ₄ ~ P1 ₇ , P2 ₀ ~ P2 ₂ , P3 ₀ ~ P3 ₂ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₃ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₄ , PB ₀ ~ PB ₇	$V_{CC} = 2.5 \sim 5.5V$ サブアクティブを含む	- 0.3		$0.3V_{CC}$	V	
		OSC ₁	$V_{CC} = 2.5 \sim 5.5V$ サブアクティブを含む	- 0.3		0.5	V	
出力 High レベル 電圧	V_{OH}	P1 ₀ , P1 ₄ ~ P1 ₇ , P2 ₀ ~ P2 ₂ , P3 ₀ ~ P3 ₂ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₃ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₄	- $I_{OH} = 1.5mA$ $V_{CC} = 2.5 \sim 5.5V$ - $I_{OH} = 0.1mA$	$V_{CC} - 1.0$			V	
				$V_{CC} - 0.5$				
出力 Low レベル 電圧	V_{OL}	P1 ₀ , P1 ₄ ~ P1 ₇ , P2 ₀ ~ P2 ₂ , P3 ₀ ~ P3 ₂ , P5 ₀ ~ P5 ₇ , P7 ₃ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₄	$I_{OL} = 1.6mA$ $V_{CC} = 2.5 \sim 5.5V$ $I_{OL} = 0.4mA$			0.6	V	
						0.4	V	
		P6 ₀ ~ P6 ₇	$I_{OL} = 10.0mA$ $I_{OL} = 1.6mA$ $V_{CC} = 2.5 \sim 5.5V$ $I_{OL} = 0.4mA$			1.0	V	
						0.4		
入出力リーク電流	$ I_{IL} $	OSC ₁ P1 ₀ , P1 ₄ ~ P1 ₇ , P2 ₀ ~ P2 ₂ , P3 ₀ ~ P3 ₂ , P5 ₀ ~ P5 ₇ , P6 ₀ ~ P6 ₇ , P7 ₃ ~ P7 ₇ , P8 ₀ ~ P8 ₇ , P9 ₀ ~ P9 ₄	$V_{in} = 0.5V \sim (V_{CC} - 0.5V)$			1.0	μA	
		PB ₀ ~ PB ₇	$V_{in} = 0.5V \sim (AV_{CC} - 0.5V)$			1.0	μA	
入力リーク電流	$ I_{IL} $	RES, $\overline{IRQ_0}$	$V_{in} = 0.5V \sim (V_{CC} - 0.5V)$			1	μA	

13. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
ブルアップ MOS 電流	$-I_p$	P1 ₀ 、P1 ₄ ~P1 ₇ P3 ₀ ~P3 ₂ P5 ₀ ~P5 ₇	$V_{CC} = 5V$ 、 $V_{in} = 0V$	50		300	μA	参考値
			$V_{CC} = 2.7V$ 、 $V_{in} = 0V$		25			
入力容量	C_{in}	電源 RES 端子を除く全入力端子	$f = 1MHz$ 、 $V_{in} = 0V$ 、 $T_a = 25$			15.0	pF	
		RES				15.0		
		IRQ ₀				15.0		
アクティブモード消費電流	I_{OPE1}	V_{CC}	アクティブ (高速) モード $V_{CC} = 5V$ 、 $f_{osc} = 10MHz$		10	15	mA	*1 *2
			$V_{CC} = 2.5V$ 、 $f_{osc} = 10MHz$		5			参考値 *1 *2
	I_{OPE2}	V_{CC}	アクティブ (中速) モード $V_{CC} = 5V$ 、 $f_{osc} = 10MHz$		2	3	mA	*1 *2
			$V_{CC} = 2.5V$ 、 $f_{osc} = 10MHz$		1			参考値 *1 *2
スリープモード消費電流	I_{SLEEP1}	V_{CC}	スリープ (高速) モード $V_{CC} = 5V$ 、 $f_{osc} = 10MHz$		5	7	mA	*1 *2
			$V_{CC} = 2.5V$ 、 $f_{osc} = 10MHz$		2			参考値 *1 *2
	I_{SLEEP2}	V_{CC}	スリープ (中速) モード $V_{CC} = 5V$ 、 $f_{osc} = 10MHz$		2	3	mA	*1 *2
			$V_{CC} = 2.5V$ 、 $f_{osc} = 10MHz$		1			参考値 *1 *2
サブアクティブモード消費電流	I_{SUB}	V_{CC}	$V_{CC} = 2.5V$ 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_W/2$)		10	20	μA	*1 *2
			$V_{CC} = 2.5V$ 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_W/8$)		10			μA 参考値 *1 *2
サブスリープモード消費電流	I_{SUBSP}	V_{CC}	$V_{CC} = 2.5V$ 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_W/2$)		5	10	μA	*1 *2
ウォッチモード消費電流	I_{WATCH}	V_{CC}	$V_{CC} = 2.5V$ 32kHz 水晶発振子使用時			6	μA	*1 *2
スタンバイモード消費電流	I_{STBY}	V_{CC}	32kHz 水晶発振子未使用時			5	μA	*1 *2
RAM データ保持電圧	V_{RAM}	V_{CC}		2			V	

13. 電氣的特性

【注】 TEST 端子は、 V_{SS} に接続してください。

*1 消費電流測定時の端子状態

モード	RES 端子	内部状態	各端子	発振端子
アクティブ (高速) モード	V_{CC}	動作	V_{CC}	メインクロック : セラミック発振子 または水晶発振子 サブクロック : X_1 端子 = V_{CC}
アクティブ (中速) モード		動作 ($\phi OSC/128$)		
スリープ (高速) モード	V_{CC}	タイマのみ動作	V_{CC}	
スリープ (中速) モード		タイマのみ動作 ($\phi OSC/128$)		
サブアクティブモード	V_{CC}	動作	V_{CC}	メインクロック : セラミック発振子 または水晶発振子 サブクロック : 水晶発振子
サブスリープモード	V_{CC}	タイマのみ動作 CPU は停止	V_{CC}	
ウォッチモード	V_{CC}	時計用タイムベースのみ 動作 CPU は停止	V_{CC}	
スタンバイモード	V_{CC}	CPU、タイマともに停止	V_{CC}	メインクロック : セラミック発振子 または水晶発振子 サブクロック : X_1 端子 = V_{CC}

*2 ブルアップ MOS や出力バッファに流れる電流は除きます。

表 13.6 DC 特性 (2)

条件 : 特記なき場合、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	規格値			単位
		min	typ	max	
出力 Low レベル許容電流 (1 端子あたり)	ポート 6 以外の出力端子			2	mA
	ポート 6			10	
出力 Low レベル許容電流 (総和)	ポート 6 以外の出力端子	ΣI_{OL}		40	mA
	ポート 6			80	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$		2	mA
出力 High レベル許容電流 (総和)	全出力端子	$\Sigma (-I_{OH})$		30	mA

13.2.5 AC 特性 (HD6433644、HD6433643、HD6433642、HD6433641、HD6433640)

HD6433644、HD6433643、HD6433642、HD6433641、HD6433640 の制御信号タイミングを表 13.7 に、シリアルインタフェースタイミングを表 13.8、表 13.9 に示します。

表 13.7 制御信号タイミング

条件：特記なき場合、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
システムクロック 発振器発振周波数	f_{OSC}	OSC ₁ 、OSC ₂		2		10	MHz	
			$V_{CC} = 2.5 \sim 5.5V$	2		5		
OSC クロック (ϕ_{OSC}) サイクル時間	t_{OSC}	OSC ₁ 、OSC ₂		100		1000	ns	*1 図 13.1
			$V_{CC} = 2.5 \sim 5.5V$	200		1000		
システムクロック (ϕ) サイクル時間	t_{OYC}		$V_{CC} = 2.5 \sim 5.5V$			128	t_{OSC}	*1
						25.6		
サブクロック発振器 発振周波数	f_W	X ₁ 、X ₂	$V_{CC} = 2.5 \sim 5.5V$		32.768		kHz	
ウォッチクロック (ϕ_W) サイクル時間	t_W	X ₁ 、X ₂	$V_{CC} = 2.5 \sim 5.5V$		30.5		μs	
サブクロック (ϕ_{SUB}) サイクル時間	t_{subcyc}		$V_{CC} = 2.5 \sim 5.5V$	2		8	t_W	*2
インストラクション サイクル時間			$V_{CC} = 2.5 \sim 5.5V$	2			t_{OYC} t_{subcyc}	
発振安定時間 (水晶発振器)	t_{TC}	OSC ₁ 、OSC ₂				40	ms	
			$V_{CC} = 2.5 \sim 5.5V$			60		
発振安定時間 (セラミック発振器)	t_{TC}	OSC ₁ 、OSC ₂				20	ms	
			$V_{CC} = 2.5 \sim 5.5V$			40		
発振安定時間	t_{TC}	X ₁ 、X ₂	$V_{CC} = 2.5 \sim 5.5V$			2	s	
外部クロック High レベル幅	t_{CPH}	OSC ₁		40			ns	図 13.1
			$V_{CC} = 2.5 \sim 5.5V$	80				
外部クロック Low レベル幅	t_{CPL}	OSC ₁		40			ns	図 13.1
			$V_{CC} = 2.5 \sim 5.5V$	80				
外部クロック 立ち上がり時間	t_{CPI}					15	ns	図 13.1
			$V_{CC} = 2.5 \sim 5.5V$			20		
外部クロック 立ち下がり時間	t_{CPI}					15	ns	図 13.1
			$V_{CC} = 2.5 \sim 5.5V$			20		
RES 端子 Low レベル幅	t_{REL}	RES	$V_{CC} = 2.5 \sim 5.5V$	10			t_{OYC}	図 13.2

13. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
入力端子 High レベル幅	t_{IH}	$\overline{IRQ}_0 \sim \overline{IRQ}_3$ $\overline{INT}_0 \sim \overline{INT}_7$ ADTRG TMIB TMCIV TMRIV、FTCI FTIA、FTIB FTIC、FTID TRGV	$V_{CC} = 2.5 \sim 5.5V$	2			t_{cyc} t_{subcyc}	図 13.3
入力端子 Low レベル幅	t_{IL}	$\overline{IRQ}_0 \sim \overline{IRQ}_3$ $\overline{INT}_6 \sim \overline{INT}_7$ ADTRG TMIB TMCIV TMRIV、FTCI FTIA、FTIB FTIC、FTID TRGV	$V_{CC} = 2.5 \sim 5.5V$	2			t_{cyc} t_{subcyc}	図 13.3

【注】 *1 外部クロックを入力する場合は 1~10MHz となります。

*2 システムコントロールレジスタ 2 (SYSCR2) の SA1、SA0 の設定により決定します。

表 13.8 シリアルインタフェース (SCI1) タイミング

条件：特記なき場合、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
転送クロックサイクル タイミング	t_{scl}	SCK ₁	$V_{CC} = 2.5 \sim 5.5V$	2			t_{cyc}	図 13.4
転送クロック High レベル幅	t_{SCKH}	SCK ₁	$V_{CC} = 2.5 \sim 5.5V$	0.4			t_{scl}	
転送クロック Low レベル幅	t_{SCKL}	SCK ₁	$V_{CC} = 2.5 \sim 5.5V$	0.4			t_{scl}	
転送クロック 立ち上がり時間	t_{SCKr}	SCK ₁	$V_{CC} = 2.5 \sim 5.5V$			60	ns	
転送クロック 立ち下がり時間	t_{SCKf}	SCK ₁	$V_{CC} = 2.5 \sim 5.5V$			60	ns	
シリアル出力データ 遅延時間	t_{SOD}	SO ₁	$V_{CC} = 2.5 \sim 5.5V$			200	ns	
シリアル入力データ セットアップ時間	t_{SIS}	SI ₁	$V_{CC} = 2.5 \sim 5.5V$	180			ns	
シリアル入力 データホールド時間	t_{SIH}	SI ₁	$V_{CC} = 2.5 \sim 5.5V$	180			ns	

表 13.9 シリアルインタフェース (SCI3) タイミング

条件：特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	測定条件	規格値			単位	備考
			min	typ	max		
入力 クロックサイクル	調歩同期	t_{SCYC}	4			t_{SCYC}	図 13.5
	クロック同期		6				
入力クロックパルス幅	t_{SCKW}		0.4		0.6	t_{SCYC}	図 13.5
送信データ遅延時間 (クロック同期)	t_{TXD}	$V_{CC} = 4.0 \sim 5.5V$			1	t_{SCYC}	図 13.6
					1		
受信データセットアップ時間 (クロック同期)	t_{RXS}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 13.6
			400.0				
受信データホールド時間 (クロック同期)	t_{RXH}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 13.6
			400.0				

13.2.6 A/D 変換器特性

HD6473644、HD6433644、HD6433643、HD6433642、HD6433641、HD6433640 の A/D 変換器特性を表 13.10 に示します。

表 13.10 A/D 変換器特性

条件：特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
アナログ電源電圧	AV_{CC}	AV_{CC}		2.7		5.5	V	*1
アナログ入力電圧	AV_{in}	$AN_b \sim AN_7$		$AV_{SS} - 0.3$		$AV_{SS} + 0.3$	V	
アナログ電源電流	AI_{OPE}	AV_{CC}	$AV_{CC} = 5.0V$			1.5	mA	
	AI_{STOP1}	AV_{CC}			150.0		μA	*2 参考値
	AI_{STOP2}	AV_{CC}				5.0	μA	*3
アナログ入力容量	C_{Ain}	$AN_b \sim AN_7$				30.0	pF	
許容信号源 インピーダンス	R_{Ain}					5.0	k Ω	
分解能 (データ長)						8	ビット	
非直線性誤差						± 2.0	LSB	
量子化誤差						± 0.5	LSB	
絶対精度						± 2.5	LSB	
変換時間				12.4		124	μs	

【注】 *1 A/D 変換器を使用しない場合は $AV_{CC} = V_{CC}$ としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

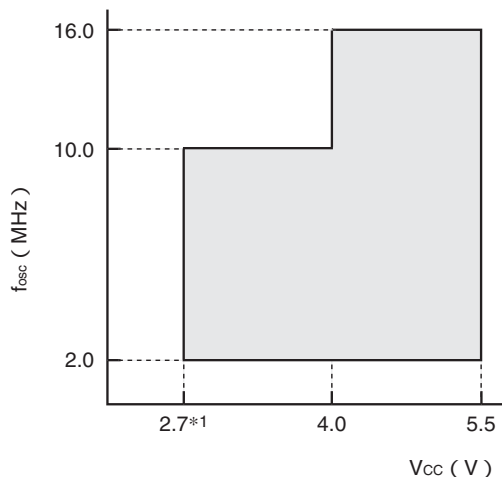
*3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

13.3 電気的特性 (ZTAT 版、マスク ROM 版の R 版)

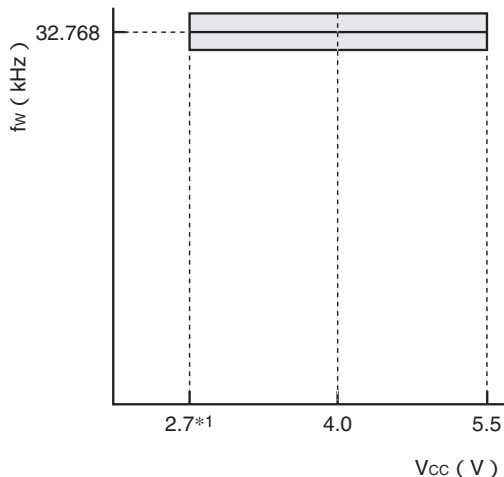
13.3.1 電源電圧と動作範囲

電源電圧と動作範囲 (網かけ部) を以下に示します。

(1) 電源電圧と発振周波数の範囲

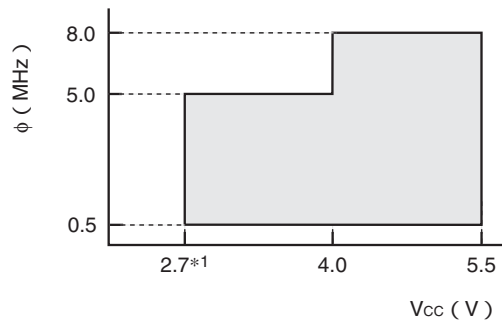


- ・アクティブ (高速) モード
- ・スリープ (高速) モード

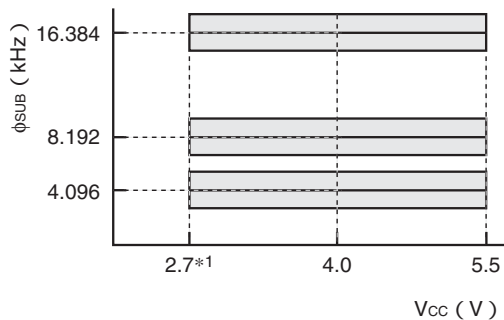


- ・すべての動作モード

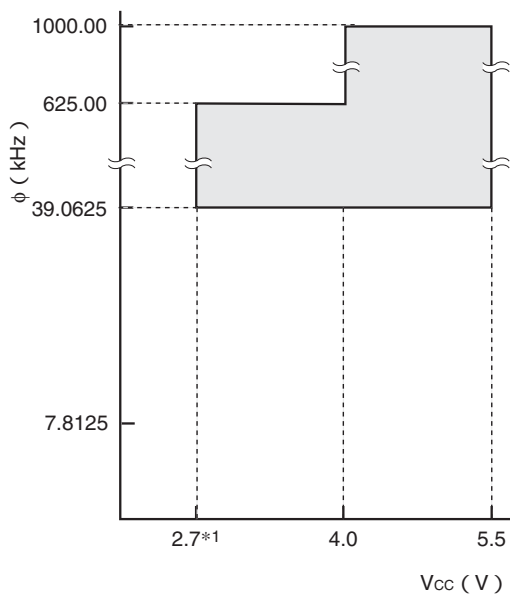
(2) 電源電圧と動作周波数の範囲



- ・アクティブ (高速) モード
- ・スリープ (高速) モード (CPUを除く)

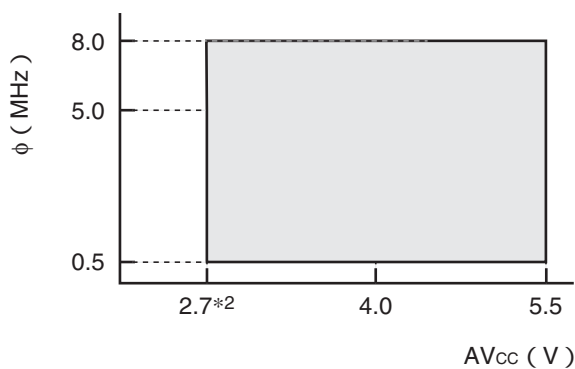


- ・サブアクティブモード
- ・サブスリープモード (CPUを除く)
- ・ウォッチモード (CPUを除く)



- ・アクティブ（中速）モード
- ・スリープ（中速）モード（CPUを除く）

(3) アナログ電源電圧と A/D 変換器の精度保証範囲



変換時間の最大値以内で使用してください。

- ・アクティブ（高速）モード
- ・スリープ（高速）モード
- ・アクティブ（中速）モード
- ・スリープ（中速）モード

【注】*1 HD6433644R、HD6433643R、HD6433642R、HD6433641R、HD6433640R は 2.5 (V) です。

*2 A/D 変換動作保証は 2.5 (V) となります。

13. 電氣的特性

13.3.2 DC 特性 (HD6473644R)

HD6473644R の DC 特性を表 13.11 に示します。

表 13.11 DC 特性 (1)

条件：特記なき場合、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	備考			
				min	typ	max					
入力 High レベル 電圧	V_{IH}	RES $\overline{INT}_0 \sim \overline{INT}_7$ $\overline{IRQ}_0 \sim \overline{IRQ}_3$ ADTRG TMIB TMRIV、TMCIV FTCI、FTIA FTIB、TIC、FTID SCK ₁ 、SCK ₃ TRGV	$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	$0.8V_{CC}$		$V_{CC} + 0.3$	V				
			$0.9V_{CC}$		$V_{CC} + 0.3$						
		SI ₁ 、RXD P1 ₀ 、P1 ₄ ~ P1 ₇ P2 ₀ ~ P2 ₂ P3 ₀ ~ P3 ₂ P5 ₀ ~ P5 ₇ P6 ₀ ~ P6 ₇ P7 ₃ ~ P7 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₄	$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	$0.7V_{CC}$		$V_{CC} + 0.3$	V				
			$0.8V_{CC}$		$V_{CC} + 0.3$						
		PB ₀ ~ PB ₇		$0.7V_{CC}$		$AV_{CC} + 0.3$	V				
			$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	$0.8V_{CC}$		$AV_{CC} + 0.3$					
		OSC ₁		$V_{CC} - 0.5$		$V_{CC} + 0.3$	V				
			$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	$V_{CC} - 0.3$		$V_{CC} + 0.3$					
		入力 Low レベル 電圧	V_{IL}	RES $\overline{INT}_0 \sim \overline{INT}_7$ $\overline{IRQ}_0 \sim \overline{IRQ}_3$ ADTRG TMIB TMRIV、TMCIV FTCI、FTIA FTIB、FTIC、FTID SCK ₁ 、SCK ₃ TRGV	$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	- 0.3			$0.2V_{CC}$	V	
					- 0.3		$0.1V_{CC}$				

13. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
入力 Low レベル 電圧	V_{IL}	SI ₁ , RXD P1 ₀ , P1 ₄ ~ P1 ₇ P2 ₀ ~ P2 ₂ P3 ₀ ~ P3 ₂ P5 ₀ ~ P5 ₇ P6 ₀ ~ P6 ₇ P7 ₃ ~ P7 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₄ PB ₀ ~ PB ₇	$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	- 0.3		$0.3V_{CC}$	V	
				- 0.3		$0.2V_{CC}$	V	
		OSC ₁		- 0.3		0.5	V	
			$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	- 0.3		0.3	V	
出力 High レベル 電圧	V_{OH}	P1 ₀ , P1 ₄ ~ P1 ₇ P2 ₀ ~ P2 ₂ P3 ₀ ~ P3 ₂ P5 ₀ ~ P5 ₇ P6 ₀ ~ P6 ₇ P7 ₃ ~ P7 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₄	- $I_{OH} = 1.5mA$	$V_{CC} - 1.0$			V	
			$V_{CC} = 2.7 \sim 5.5V$ - $I_{OH} = 0.1mA$	$V_{CC} - 0.5$				
出力 Low レベル 電圧	V_{OL}	P1 ₀ , P1 ₄ ~ P1 ₇ P2 ₀ ~ P2 ₂ P3 ₀ ~ P3 ₂ P5 ₀ ~ P5 ₇ P7 ₃ ~ P7 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₄	$I_{OL} = 1.6mA$			0.6	V	
			$V_{CC} = 2.7 \sim 5.5V$ $I_{OL} = 0.4mA$			0.4	V	
		P6 ₀ ~ P6 ₇	$I_{OL} = 10.0mA$			1.0	V	
			$I_{OL} = 1.6mA$ $V_{CC} = 2.7 \sim 5.5V$ $I_{OL} = 0.4mA$			0.4	V	
入出力リーク電流	$ I_{IL} $	OSC ₁ P1 ₀ , P1 ₄ ~ P1 ₇ P2 ₀ ~ P2 ₂ P3 ₀ ~ P3 ₂ P5 ₀ ~ P5 ₇ P6 ₀ ~ P6 ₇ P7 ₃ ~ P7 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₄ PB ₀ ~ PB ₇	$V_{in} = 0.5V \sim (V_{CC} - 0.5V)$			1.0	μA	
			$V_{in} = 0.5V \sim (AV_{CC} - 0.5V)$			1.0	μA	
入力リーク電流	$ I_{IL} $	RES, \overline{IRQ}_0	$V_{in} = 0.5V \sim (V_{CC} - 0.5V)$			20	μA	

13. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
ブルアップ MOS 電流	$-I_p$	P1 ₀ 、P1 ₄ ~ P1 ₇ P3 ₀ ~ P3 ₂ P5 ₀ ~ P5 ₇	$V_{CC} = 5V$ 、 $V_{in} = 0V$	50		300	μA	参考値
			$V_{CC} = 2.7V$ 、 $V_{in} = 0V$		25			
入力容量	C_{in}	電源 RES 端子を除く全入力端子	$f = 1MHz$ 、 $V_{in} = 0V$ 、 $T_a = 25$			15.0	pF	
		RES				60.0		
		IRQ ₀				30.0		
アクティブモード消費電流	I_{OPE1}	V_{CC}	アクティブ (高速) モード $V_{CC} = 5V$ 、 $f_{osc} = 16MHz$		15	20	mA	*1 *2
			$V_{CC} = 2.7V$ 、 $f_{osc} = 10MHz$		5			参考値 *1 *2
	I_{OPE2}	V_{CC}	アクティブ (中速) モード $V_{CC} = 5V$ 、 $f_{osc} = 16MHz$		3	5	mA	*1 *2
			$V_{CC} = 2.7V$ 、 $f_{osc} = 10MHz$		1			参考値 *1 *2
スリープモード消費電流	I_{SLEEP1}	V_{CC}	スリープ (高速) モード $V_{CC} = 5V$ 、 $f_{osc} = 16MHz$		6	10	mA	*1 *2
			$V_{CC} = 2.7V$ 、 $f_{osc} = 10MHz$		2			参考値 *1 *2
	I_{SLEEP2}	V_{CC}	スリープ (中速) モード $V_{CC} = 5V$ 、 $f_{osc} = 16MHz$		2	4	mA	*1 *2
			$V_{CC} = 2.7V$ 、 $f_{osc} = 10MHz$		1			参考値 *1 *2
サブアクティブモード消費電流	I_{SUB}	V_{CC}	$V_{CC} = 2.7V$ 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_W/2$)		10	20	μA	*1 *2
			$V_{CC} = 2.7V$ 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_W/8$)		10			μA
サブスリープモード消費電流	I_{SUBSP}	V_{CC}	$V_{CC} = 2.7V$ 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_W/2$)		5	10	μA	*1 *2
ウォッチモード消費電流	I_{WATCH}	V_{CC}	$V_{CC} = 2.7V$ 32kHz 水晶発振子使用時			6	μA	*1 *2
スタンバイモード消費電流	I_{STBY}	V_{CC}	32kHz 水晶発振子未使用時			5	μA	*1 *2
RAM データ保持電圧	V_{RAM}	V_{CC}		2			V	

【注】 TEST 端子は、 V_{SS} に接続してください。

*1 消費電流測定時の端子状態

モード	RES 端子	内部状態	各端子	発振端子
アクティブ (高速) モード	V_{CC}	動作	V_{CC}	メインクロック : セラミック発振子 または水晶発振子 サブクロック : X, 端子 = V_{CC}
アクティブ (中速) モード		動作 (ϕ OSC/128)		
スリープ (高速) モード	V_{CC}	タイマのみ動作	V_{CC}	
スリープ (中速) モード		タイマのみ動作 (ϕ OSC/128)		
サブアクティブモード	V_{CC}	動作	V_{CC}	メインクロック : セラミック発振子 または水晶発振子 サブクロック : 水晶発振子
サブスリープモード	V_{CC}	タイマのみ動作 CPU は停止	V_{CC}	
ウォッチモード	V_{CC}	時計用タイムベースのみ 動作 CPU は停止	V_{CC}	
スタンバイモード	V_{CC}	CPU、タイマともに停止	V_{CC}	メインクロック : セラミック発振子 または水晶発振子 サブクロック : X, 端子 = V_{CC}

*2 ブルアップ MOS や出力バッファに流れる電流は除きます。

表 13.11 DC 特性 (2)

条件 : 特記なき場合、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	規格値			単位
		min	typ	max	
出力 Low レベル許容電流 (1 端子あたり)	ポート 6 以外の出力端子			2	mA
	ポート 6			10	
出力 Low レベル許容電流 (総和)	ポート 6 以外の出力端子	ΣI_{OL}		40	mA
	ポート 6			80	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$		2	mA
出力 High レベル許容電流 (総和)	全出力端子	$\Sigma (-I_{OH})$		30	mA

13. 電氣的特性

13.3.3 AC 特性 (HD6473644R)

HD6473644R の制御信号タイミングを表 13.12 に、シリアルインタフェースタイミングを表 13.13、表 13.14 に示します。

表 13.12 制御信号タイミング

条件：特記なき場合、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
システムクロック 発振器発振周波数	f_{OSC}	OSC ₁ 、OSC ₂		2		16	MHz	
			$V_{CC} = 2.7 \sim 5.5V$	2		10		
OSC クロック (ϕ_{OSC}) サイクル時間	t_{OSC}	OSC ₁ 、OSC ₂		62.5		1000	ns	* ¹ 図 13.1
			$V_{CC} = 2.7 \sim 5.5V$	100		1000		
システムクロック (ϕ) サイクル時間	t_{CYC}		$V_{CC} = 2.7 \sim 5.5V$	2		128	t_{OSC} μs	* ¹
						25.6		
サブクロック発振器 発振周波数	f_W	X ₁ 、X ₂	$V_{CC} = 2.7 \sim 5.5V$		32.768		kHz	
ウォッチクロック (ϕ_W) サイクル時間	t_W	X ₁ 、X ₂	$V_{CC} = 2.7 \sim 5.5V$		30.5		μs	
サブクロック (ϕ_{SUB}) サイクル時間	t_{SUBCYC}		$V_{CC} = 2.7 \sim 5.5V$	2		8	t_W	* ²
インストラクション サイクル時間			$V_{CC} = 2.7 \sim 5.5V$	2			t_{CYC} t_{SUBCYC}	
発振安定時間 (水晶発振子)	t_{IC}	OSC ₁ 、OSC ₂				40	ms	
			$V_{CC} = 2.7 \sim 5.5V$			60		
発振安定時間 (セラミック発振子)	t_{IC}	OSC ₁ 、OSC ₂				20	ms	
			$V_{CC} = 2.7 \sim 5.5V$			40		
発振安定時間	t_{IC}	X ₁ 、X ₂	$V_{CC} = 2.7 \sim 5.5V$			2	s	
外部クロック High レベル幅	t_{CPH}	OSC ₁		20			ns	図 13.1
			$V_{CC} = 2.7 \sim 5.5V$	40				
外部クロック Low レベル幅	t_{CPL}	OSC ₁		20			ns	図 13.1
			$V_{CC} = 2.7 \sim 5.5V$	40				
外部クロック 立ち上がり時間	t_{CPr}		$V_{CC} = 2.7 \sim 5.5V$			15	ns	図 13.1
外部クロック 立ち下がり時間	t_{CPH}		$V_{CC} = 2.7 \sim 5.5V$			15	ns	図 13.1
RES 端子 Low レベル幅	t_{REL}	RES	$V_{CC} = 2.7 \sim 5.5V$	10			t_{CYC}	図 13.2

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
入力端子 High レベル幅	t_{IH}	$\overline{IRQ}_0 \sim \overline{IRQ}_3$ $\overline{INT}_0 \sim \overline{INT}_7$ ADTRG TMIB TMCIV TMRIV、FTCI FTIA、FTIB FTIC、FTID TRGV		2			t_{cyc} t_{subcyc}	図 13.3
入力端子 Low レベル幅	t_{IL}	$\overline{IRQ}_0 \sim \overline{IRQ}_3$ $\overline{INT}_6 \sim \overline{INT}_7$ ADTRG TMIB TMCIV TMRIV、FTCI FTIA、FTIB FTIC、FTID TRGV	$V_{CC} = 2.7 \sim 5.5V$	2			t_{cyc} t_{subcyc}	図 13.3

【注】 *1 外部クロックを入力する場合は 1~10MHz となります。

*2 システムコントロールレジスタ 2 (SYSCR2) の SA1、SA0 の設定により決定します。

表 13.13 シリアルインタフェース (SCI1) タイミング

条件：特記なき場合、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
転送クロックサイクル タイミング	t_{sosc}	SCK_1	$V_{CC} = 2.7 \sim 5.5V$	2			t_{cyc}	図 13.4
転送クロック High レベル幅	t_{SCKH}	SCK_1	$V_{CC} = 2.7 \sim 5.5V$	0.4			t_{sosc}	
転送クロック Low レベル幅	t_{SCKL}	SCK_1	$V_{CC} = 2.7 \sim 5.5V$	0.4			t_{sosc}	
転送クロック 立ち上がり時間	t_{SCKr}	SCK_1	$V_{CC} = 2.7 \sim 5.5V$			60	ns	
転送クロック 立ち下がり時間	t_{SCKf}	SCK_1	$V_{CC} = 2.7 \sim 5.5V$			60	ns	
シリアル出力データ 遅延時間	t_{SOD}	SO_1	$V_{CC} = 2.7 \sim 5.5V$			200	ns	
シリアル入力データ セットアップ時間	t_{SIS}	SI_1	$V_{CC} = 2.7 \sim 5.5V$	180			ns	
シリアル入力 データホールド時間	t_{SIH}	SI_1	$V_{CC} = 2.7 \sim 5.5V$	180			ns	

13. 電気的特性

表 13.14 シリアルインタフェース (SCI3) タイミング

条件：特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	測定条件	規格値			単位	備考
			min	typ	max		
入力クロックサイクル	t_{syc}		4			t_{syc}	図 13.5
			6				
入力クロックパルス幅	t_{sckw}		0.4		0.6	t_{sckw}	図 13.5
送信データ遅延時間 (クロック同期)	t_{TXD}	$V_{CC} = 4.0 \sim 5.5V$			1	t_{syc}	図 13.6
					1		
受信データセットアップ時間 (クロック同期)	t_{RXS}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 13.6
			400.0				
受信データホールド時間 (クロック同期)	t_{RXH}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 13.6
			400.0				

13.3.4 DC 特性 (HD6433644R、HD6433643R、HD6433642R、HD6433641R、HD6433640R)

HD6433644R、HD6433643R、HD6433642R、HD6433641R、HD6433640R の DC 特性を表 13.15 に示します。

表 13.15 DC 特性 (1)

条件：特記なき場合、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	備考	
				min	typ	max			
入力 High レベル 電圧	V_{IH}	RES		$0.8V_{CC}$		$V_{CC} + 0.3$	V		
		$INT_0 \sim INT_7$ $IRQ_0 \sim IRQ_3$	$V_{CC} = 2.5 \sim 5.5V$ サブアクティブを含む	$0.9V_{CC}$		$V_{CC} + 0.3$			
		ADTRG TMIB TMRIV、TMCIV FTCI、FTIA FTIB、FTIC、FTID SCK_1 、 SCK_3 TRGV							
		SI_1 、RXD		$0.7V_{CC}$		$V_{CC} + 0.3$			V
		$P1_0$ 、 $P1_1 \sim P1_7$ $P2_0 \sim P2_2$ $P3_0 \sim P3_2$ $P5_0 \sim P5_7$ $P6_0 \sim P6_7$ $P7_3 \sim P7_7$ $P8_0 \sim P8_7$ $P9_0 \sim P9_4$	$V_{CC} = 2.5 \sim 5.5V$ サブアクティブを含む	$0.8V_{CC}$		$V_{CC} + 0.3$			
		$PB_0 \sim PB_7$		$0.7V_{CC}$		$AV_{CC} + 0.3$			V
	$V_{CC} = 2.5 \sim 5.5V$ サブアクティブを含む	$0.8V_{CC}$		$AV_{CC} + 0.3$					
入力 Low レベル 電圧	V_{IL}	OSC ₁		$V_{CC} - 0.5$		$V_{CC} + 0.3$	V		
			$V_{CC} = 2.5 \sim 5.5V$ サブアクティブを含む	$V_{CC} - 0.3$		$V_{CC} + 0.3$			
入力 Low レベル 電圧	V_{IL}	RES		-0.3		$0.2V_{CC}$	V		
		$INT_0 \sim INT_7$ $IRQ_0 \sim IRQ_3$	$V_{CC} = 2.5 \sim 5.5V$ サブアクティブを含む	-0.3		$0.1V_{CC}$			
		ADTRG TMIB TMRIV、TMCIV FTCI、FTIA FTIB、FTIC、FTID SCK_1 、 SCK_3 TRGV							

13. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
入力 Low レベル 電圧	V_{IL}	SI ₁ 、RXD P1 ₀ 、P1 ₄ ~P1 ₇ P2 ₀ ~P2 ₂ P3 ₀ ~P3 ₂ P5 ₀ ~P5 ₇ P6 ₀ ~P6 ₇ P7 ₃ ~P7 ₇ P8 ₀ ~P8 ₇ P9 ₀ ~P9 ₄ PB ₀ ~PB ₇	$V_{CC} = 2.5 \sim 5.5V$ サブアクティブを含む	- 0.3		0.3 V_{CC}	V	
		OSC ₁	$V_{CC} = 2.5 \sim 5.5V$ サブアクティブを含む	- 0.3		0.5	V	
出力 High レベル 電圧	V_{OH}	P1 ₀ 、P1 ₄ ~P1 ₇ P2 ₀ ~P2 ₂ P3 ₀ ~P3 ₂ P5 ₀ ~P5 ₇ P6 ₀ ~P6 ₇ P7 ₃ ~P7 ₇ P8 ₀ ~P8 ₇ P9 ₀ ~P9 ₄	- $I_{OH} = 1.5mA$ $V_{CC} = 2.5 \sim 5.5V$ - $I_{OH} = 0.1mA$	$V_{CC} - 1.0$			V	
				$V_{CC} - 0.5$				
出力 Low レベル 電圧	V_{OL}	P1 ₀ 、P1 ₄ ~P1 ₇ P2 ₀ ~P2 ₂ P3 ₀ ~P3 ₂ P5 ₀ ~P5 ₇ P7 ₃ ~P7 ₇ P8 ₀ ~P8 ₇ P9 ₀ ~P9 ₄	$I_{OL} = 1.6mA$ $V_{CC} = 2.5 \sim 5.5V$ $I_{OL} = 0.4mA$			0.6	V	
						0.4	V	
		P6 ₀ ~P6 ₇	$I_{OL} = 10.0mA$ $I_{OL} = 1.6mA$ $V_{CC} = 2.5 \sim 5.5V$ $I_{OL} = 0.4mA$			1.0	V	
						0.4		
入出力リーク電流	$ I_{IL} $	OSC ₁ P1 ₀ 、P1 ₄ ~P1 ₇ P2 ₀ ~P2 ₂ P3 ₀ ~P3 ₂ P5 ₀ ~P5 ₇ P6 ₀ ~P6 ₇ P7 ₃ ~P7 ₇ P8 ₀ ~P8 ₇ P9 ₀ ~P9 ₄	$V_{in} = 0.5V \sim (V_{CC} - 0.5V)$			1.0	μA	
		PB ₀ ~PB ₇	$V_{in} = 0.5V \sim (AV_{CC} - 0.5V)$			1.0	μA	
入力リーク電流	$ I_{IL} $	RES、 $\overline{IRQ_0}$	$V_{in} = 0.5V \sim (V_{CC} - 0.5V)$			1	μA	

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
ブルアップ MOS 電流	$-I_p$	P1 ₀ 、P1 ₄ ~P1 ₇ P3 ₀ ~P3 ₂ P5 ₀ ~P5 ₇	$V_{CC} = 5V$ 、 $V_{in} = 0V$	50		300	μA	参考値
			$V_{CC} = 2.5V$ 、 $V_{in} = 0V$		25			
入力容量	C_{in}	電源 RES 端子を除く全入力端子	$f = 1MHz$ 、 $V_{in} = 0V$ 、 $T_a = 25$			15.0	pF	
		RES				15.0		
		IRQ ₀				15.0		
アクティブモード消費電流	I_{OPE1}	V_{CC}	アクティブ (高速) モード $V_{CC} = 5V$ 、 $f_{osc} = 16MHz$		15	20	mA	*1 *2 参考値 *1 *2
			$V_{CC} = 2.5V$ 、 $f_{osc} = 10MHz$		5			
	I_{OPE2}	V_{CC}	アクティブ (中速) モード $V_{CC} = 5V$ 、 $f_{osc} = 16MHz$		3	5	mA	*1 *2 参考値 *1 *2
			$V_{CC} = 2.5V$ 、 $f_{osc} = 10MHz$		1			
スリープモード消費電流	I_{SLEEP1}	V_{CC}	スリープ (高速) モード $V_{CC} = 5V$ 、 $f_{osc} = 16MHz$		6	10	mA	*1 *2 参考値 *1 *2
			$V_{CC} = 2.5V$ 、 $f_{osc} = 10MHz$		2			
	I_{SLEEP2}	V_{CC}	スリープ (中速) モード $V_{CC} = 5V$ 、 $f_{osc} = 16MHz$		2	4	mA	*1 *2 参考値 *1 *2
			$V_{CC} = 2.5V$ 、 $f_{osc} = 10MHz$		1			
サブアクティブモード消費電流	I_{SUB}	V_{CC}	$V_{CC} = 2.5V$ 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_W/2$)		10	20	μA	*1 *2 参考値 *1 *2
			$V_{CC} = 2.5V$ 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_W/8$)		10			
サブスリープモード消費電流	I_{SUBSP}	V_{CC}	$V_{CC} = 2.5V$ 32kHz 水晶発振子使用時 ($\phi_{SUB} = \phi_W/2$)		5	10	μA	*1 *2
ウォッチモード消費電流	I_{WATCH}	V_{CC}	$V_{CC} = 2.5V$ 32kHz 水晶発振子使用時			6	μA	*1 *2
スタンバイモード消費電流	I_{STBY}	V_{CC}	32kHz 水晶発振子未使用時			5	μA	*1 *2
RAM データ保持電圧	V_{RAM}	V_{CC}		2			V	

13. 電気的特性

【注】 TEST 端子は、 V_{SS} に接続してください。

*1 消費電流測定時の端子状態

モード	\overline{RES} 端子	内部状態	各端子	発振端子
アクティブ (高速) モード	V_{CC}	動作	V_{CC}	メインクロック : セラミック発振子 または水晶発振子 サブクロック : X, 端子 = V_{CC}
アクティブ (中速) モード		動作 ($\phi OSC/128$)		
スリープ (高速) モード	V_{CC}	タイマのみ動作	V_{CC}	
スリープ (中速) モード		タイマのみ動作 ($\phi OSC/128$)		
サブアクティブモード	V_{CC}	動作	V_{CC}	メインクロック : セラミック発振子 または水晶発振子 サブクロック : 水晶発振子
サブスリープモード	V_{CC}	タイマのみ動作 CPU は停止	V_{CC}	
ウォッチモード	V_{CC}	時計用タイムベースのみ 動作 CPU は停止	V_{CC}	
スタンバイモード	V_{CC}	CPU、タイマともに停止	V_{CC}	メインクロック : セラミック発振子 または水晶発振子 サブクロック : X, 端子 = V_{CC}

*2 ブルアップ MOS や出力バッファに流れる電流は除きます。

表 13.15 DC 特性 (2)

条件 : 特記なき場合、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	規格値			単位
		min	typ	max	
出力 Low レベル許容電流 (1 端子あたり)	ポート 6 以外の出力端子			2	mA
	ポート 6			10	
出力 Low レベル許容電流 (総和)	ポート 6 以外の出力端子	ΣI_{OL}		40	mA
	ポート 6			80	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$		2	mA
出力 High レベル許容電流 (総和)	全出力端子	$\Sigma (-I_{OH})$		30	mA

13.3.5 AC 特性 (HD6433644R、HD6433643R、HD6433642R、HD6433641R、HD6433640R)

HD6433644R、HD6433643R、HD6433642R、HD6433641R、HD6433640R の制御信号タイミングを表 13.16 に、シリアルインタフェースタイミングを表 13.17、表 13.18 に示します。

表 13.16 制御信号タイミング

条件：特記なき場合、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
システムクロック 発振器発振周波数	f_{OSC}	OSC ₁ 、OSC ₂		2		16	MHz	
			$V_{CC} = 2.5 \sim 5.5V$	2		10		
OSC クロック (ϕ_{OSC}) サイクル時間	t_{OSC}	OSC ₁ 、OSC ₂		62.5		1000	ns	*1 図 13.1
			$V_{CC} = 2.5 \sim 5.5V$	100		1000		
システムクロック (ϕ) サイクル時間	t_{OYC}		$V_{CC} = 2.5 \sim 5.5V$	2		128	t_{OSC} μs	*1
						25.6		
サブクロック発振器 発振周波数	f_W	X ₁ 、X ₂	$V_{CC} = 2.5 \sim 5.5V$		32.768		kHz	
ウォッチクロック (ϕ_W) サイクル時間	t_W	X ₁ 、X ₂	$V_{CC} = 2.5 \sim 5.5V$		30.5		μs	
サブクロック (ϕ_{SUB}) サイクル時間	t_{subcyc}		$V_{CC} = 2.5 \sim 5.5V$	2		8	t_W	*2
インストラクション サイクル時間			$V_{CC} = 2.5 \sim 5.5V$	2			t_{OYC} t_{subcyc}	
発振安定時間 (水晶発振子)	t_{rc}	OSC ₁ 、OSC ₂				40	ms	
			$V_{CC} = 2.5 \sim 5.5V$			60		
発振安定時間 (セラミック発振子)	t_{rc}	OSC ₁ 、OSC ₂				20	ms	
			$V_{CC} = 2.5 \sim 5.5V$			40		
発振安定時間	t_{rc}	X ₁ 、X ₂	$V_{CC} = 2.5 \sim 5.5V$			2	s	
外部クロック High レベル幅	t_{CPH}	OSC ₁		20			ns	図 13.1
			$V_{CC} = 2.5 \sim 5.5V$	40				
外部クロック Low レベル幅	t_{CPL}	OSC ₁		20			ns	図 13.1
			$V_{CC} = 2.5 \sim 5.5V$	40				
外部クロック 立ち上がり時間	t_{CPr}		$V_{CC} = 2.5 \sim 5.5V$			15	ns	図 13.1
外部クロック 立ち下がり時間	t_{CPf}		$V_{CC} = 2.5 \sim 5.5V$			15	ns	図 13.1
RES 端子 Low レベル幅	t_{REL}	RES	$V_{CC} = 2.5 \sim 5.5V$	10			t_{OYC}	図 13.2

13. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
入力端子 High レベル幅	t_{IH}	$\overline{IRQ}_0 \sim \overline{IRQ}_3$ $\overline{INT}_0 \sim \overline{INT}_7$ \overline{ADTRG} TMIB TMCIV TMRIV、FTCI FTIA、FTIB FTIC、FTID TRGV	$V_{CC} = 2.5 \sim 5.5V$	2			t_{cyc} t_{subcyc}	図 13.3
入力端子 Low レベル幅	t_{IL}	$\overline{IRQ}_0 \sim \overline{IRQ}_3$ $\overline{INT}_6 \sim \overline{INT}_7$ \overline{ADTRG} TMIB TMCIV TMRIV、FTCI FTIA、FTIB FTIC、FTID TRGV	$V_{CC} = 2.5 \sim 5.5V$	2			t_{cyc} t_{subcyc}	図 13.3

【注】 *1 外部クロックを入力する場合は 1~10MHz となります。

*2 システムコントロールレジスタ 2 (SYSCR2) の SA1、SA0 の設定により決定します。

表 13.17 シリアルインタフェース (SCI1) タイミング

条件：特記なき場合、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
転送クロックサイクル タイミング	t_{sosc}	SCK_1	$V_{CC} = 2.5 \sim 5.5V$	2			t_{cyc}	図 13.4
転送クロック High レベル幅	t_{SCKH}	SCK_1	$V_{CC} = 2.5 \sim 5.5V$	0.4			t_{sosc}	
転送クロック Low レベル幅	t_{SCKL}	SCK_1	$V_{CC} = 2.5 \sim 5.5V$	0.4			t_{sosc}	
転送クロック 立ち上がり時間	t_{SCKr}	SCK_1				60	ns	
			$V_{CC} = 2.5 \sim 5.5V$			80		
転送クロック 立ち下がり時間	t_{SCKf}	SCK_1				60	ns	
			$V_{CC} = 2.5 \sim 5.5V$			80		
シリアル出力データ 遅延時間	t_{SOD}	SO_1				200	ns	
			$V_{CC} = 2.5 \sim 5.5V$			350		
シリアル入力データ セットアップ時間	t_{SIS}	SI_1		180			ns	
			$V_{CC} = 2.5 \sim 5.5V$	360				
シリアル入力 データホールド時間	t_{SIH}	SI_1		180			ns	
			$V_{CC} = 2.5 \sim 5.5V$	360				

表 13.18 シリアルインタフェース (SCI3) タイミング

条件：特記なき場合、 $V_{CC} = 2.5 \sim 5.5V$ 、 $AV_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	測定条件	規格値			単位	備考
			min	typ	max		
入力クロックサイクル	調歩同期	t_{SCYC}	4			t_{SCYC}	図 13.5
	クロック同期		6				
入力クロックパルス幅		t_{SCKW}	0.4		0.6	t_{SCKW}	図 13.5
送信データ遅延時間 (クロック同期)		t_{TXD}	$V_{CC} = 4.0 \sim 5.5V$		1	t_{TXD}	図 13.6
					1		
受信データセットアップ時間 (クロック同期)		t_{RXS}	$V_{CC} = 4.0 \sim 5.5V$		200.0	ns	図 13.6
					400.0		
受信データホールド時間 (クロック同期)		t_{RXH}	$V_{CC} = 4.0 \sim 5.5V$		200.0	ns	図 13.6
					400.0		

13.3.6 A/D 変換器特性

HD6473644R、HD6433644R、HD6433643R、HD6433642R、HD6433641R、HD6433640R の A/D 変換器特性を表 13.19 に示します。

表 13.19 A/D 変換器特性

条件：特記なき場合、 $V_{CC} = 2.7 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
アナログ電源電圧	AV_{CC}	AV_{CC}		2.7		5.5	V	*1
アナログ入力電圧	AV_{in}	$AN_0 \sim AN_7$		$AV_{SS} - 0.3$		$AV_{SS} + 0.3$	V	
アナログ電源電流	AI_{OPE}	AV_{CC}	$AV_{CC} = 5.0V$			1.5	mA	
	AI_{STOP1}	AV_{CC}			150.0		μA	*2 参考値
	AI_{STOP2}	AV_{CC}				5.0	μA	*3
アナログ入力容量	C_{Ain}	$AN_0 \sim AN_7$				30.0	pF	
許容信号源インピーダンス	R_{Ain}					5.0	k Ω	
分解能 (データ長)						8	ビット	
非直線性誤差						± 2.0	LSB	
量子化誤差						± 0.5	LSB	
絶対精度						± 2.5	LSB	
変換時間				7.75		124	μs	

【注】 *1 A/D 変換器を使用しない場合は $AV_{CC} = V_{CC}$ としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

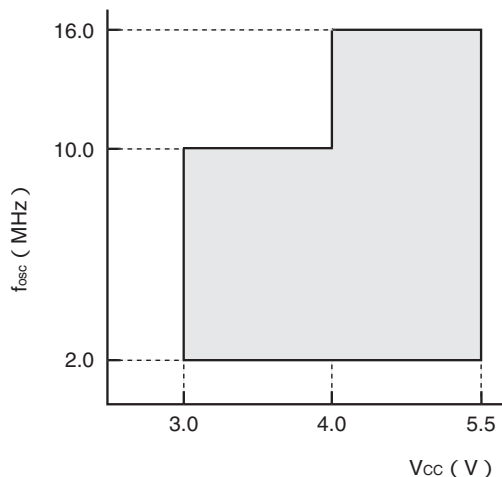
*3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

13.4 電気的特性 (F-ZTAT™版)

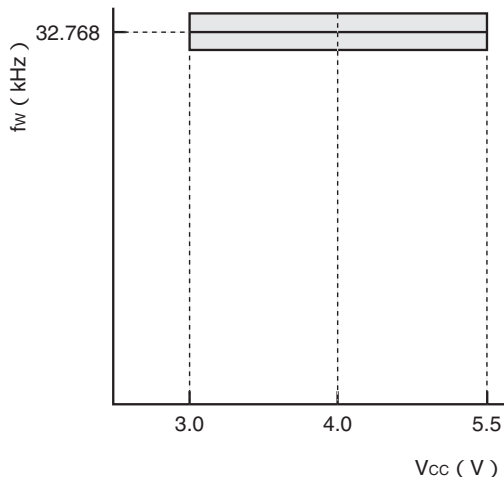
13.4.1 電源電圧と動作範囲

電源電圧と動作範囲 (網かけ部) を以下に示します。

(1) 電源電圧と発振周波数の範囲

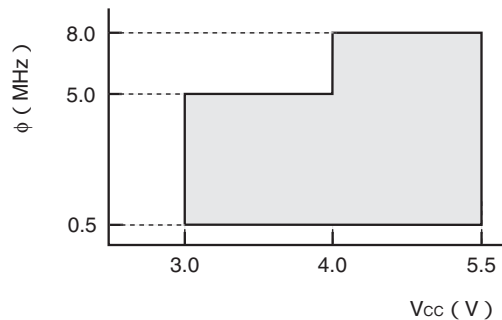


- ・アクティブ (高速) モード
- ・スリープ (高速) モード

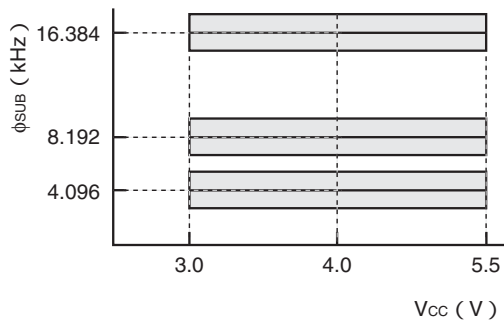


- ・すべての動作モード

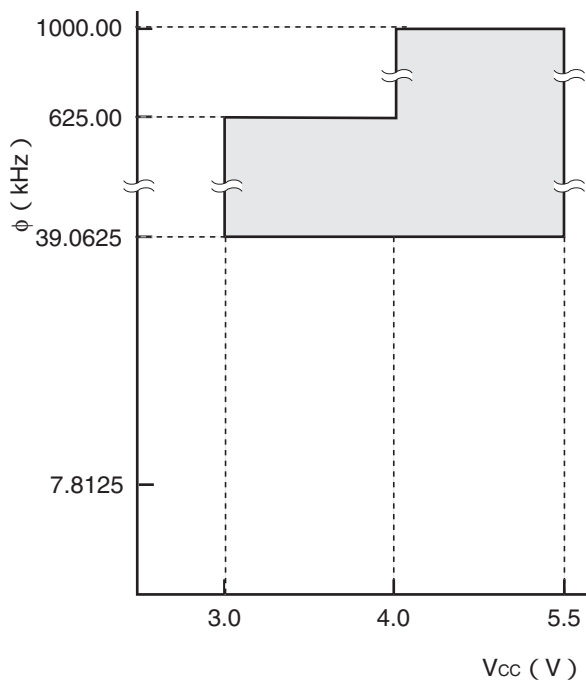
(2) 電源電圧と動作周波数の範囲



- ・アクティブ (高速) モード
- ・スリープ (高速) モード (CPUを除く)

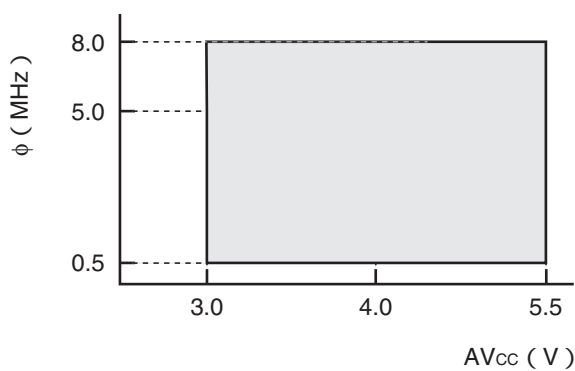


- ・サブアクティブモード
- ・サブスリープモード (CPUを除く)
- ・ウォッチモード (CPUを除く)



- ・アクティブ（中速）モード
- ・スリープ（中速）モード（CPUを除く）

(3) アナログ電源電圧と A/D 変換器の精度保証範囲



変換時間の最大値以内で
使用してください。

- ・アクティブ（高速）モード
- ・スリープ（高速）モード

- ・アクティブ（中速）モード
- ・スリープ（中速）モード

13. 電氣的特性

13.4.2 DC 特性 (HD64F3644、HD64F3643、HD64F3642A)

HD64F3644、HD64F3643、HD64F3642A の DC 特性を表 13.20 に示します。

表 13.20 DC 特性 (1)

条件：特記なき場合、 $V_{cc} = 4.0 \sim 5.5V$ 、 $V_{ss} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
入力 High レベル 電圧	V_{IH}	RES $\overline{INT}_0 \sim \overline{INT}_7$ $\overline{IRQ}_0 \sim \overline{IRQ}_3$ ADTRG TMIB TMRIV、TMCIV FTCI、FTIA FTIB、TIC、FTID SCK ₁ 、SCK ₃ TRGV	$V_{cc} = 3.0 \sim 5.5V$ サブアクティブを含む	0.8 V_{cc}		$V_{cc} + 0.3$	V	
			0.9 V_{cc}		$V_{cc} + 0.3$			
		SI ₁ 、RXD P1 ₀ 、P1 ₄ ~ P1 ₇ P2 ₀ ~ P2 ₂ P3 ₀ ~ P3 ₂ P5 ₀ ~ P5 ₇ P6 ₀ ~ P6 ₇ P7 ₃ ~ P7 ₇ P8 ₀ ~ P8 ₇ P9 ₁ ~ P9 ₄	$V_{cc} = 3.0 \sim 5.5V$ サブアクティブを含む	0.7 V_{cc}		$V_{cc} + 0.3$	V	
			0.8 V_{cc}		$V_{cc} + 0.3$			
		PB ₀ ~ PB ₇		0.7 V_{cc}		$AV_{cc} + 0.3$	V	
			$V_{cc} = 3.0 \sim 5.5V$ サブアクティブを含む	0.8 V_{cc}		$AV_{cc} + 0.3$		
		OSC ₁		$V_{cc} - 0.5$		$V_{cc} + 0.3$	V	
	$V_{cc} = 3.0 \sim 5.5V$ サブアクティブを含む	$V_{cc} - 0.3$		$V_{cc} + 0.3$				
入力 Low レベル 電圧	V_{IL}	RES $\overline{INT}_0 \sim \overline{INT}_7$ $\overline{IRQ}_0 \sim \overline{IRQ}_3$ ADTRG TMIB TMRIV、TMCIV FTCI、FTIA FTIB、FTIC、FTID SCK ₁ 、SCK ₃ TRGV	$V_{cc} = 3.0 \sim 5.5V$ サブアクティブを含む	- 0.3		0.2 V_{cc}	V	
			- 0.3		0.1 V_{cc}			

13. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
入力 Low レベル 電圧	V_{IL}	SI ₁ 、RXD P1 ₀ 、P1 ₄ ~P1 ₇ P2 ₀ ~P2 ₂ P3 ₀ ~P3 ₂ P5 ₀ ~P5 ₇ P6 ₀ ~P6 ₇ P7 ₃ ~P7 ₇ P8 ₀ ~P8 ₇ P9 ₁ ~P9 ₄ PB ₀ ~PB ₇	$V_{CC} = 3.0 \sim 5.5V$ サブアクティブを含む	- 0.3		$0.3V_{CC}$	V	
				- 0.3		$0.2V_{CC}$	V	
		OSC ₁		- 0.3		0.5	V	
		$V_{CC} = 3.0 \sim 5.5V$ サブアクティブを含む	- 0.3		0.3	V		
出力 High レベル 電圧	V_{OH}	P1 ₀ 、P1 ₄ ~P1 ₇ P2 ₀ ~P2 ₂ P3 ₀ ~P3 ₂ P5 ₀ ~P5 ₇ P6 ₀ ~P6 ₇ P7 ₃ ~P7 ₇ P8 ₀ ~P8 ₇ P9 ₁ ~P9 ₄	- $I_{OH} = 1.5mA$	$V_{CC} - 1.0$			V	
			$V_{CC} = 3.0 \sim 5.5V$ - $I_{OH} = 0.1mA$	$V_{CC} - 0.5$				
出力 Low レベル 電圧	V_{OL}	P1 ₀ 、P1 ₄ ~P1 ₇ P2 ₀ ~P2 ₂ P3 ₀ ~P3 ₂ P5 ₀ ~P5 ₇ P7 ₃ ~P7 ₇ P8 ₀ ~P8 ₇ P9 ₁ ~P9 ₄	$I_{OL} = 1.6mA$			0.6	V	
			$V_{CC} = 3.0 \sim 5.5V$ $I_{OL} = 0.4mA$			0.4	V	
		P6 ₀ ~P6 ₇	$I_{OL} = 10.0mA$			1.0	V	
			$I_{OL} = 1.6mA$ $V_{CC} = 2.7 \sim 5.5V$ $I_{OL} = 0.4mA$			0.4	V	
入出力リーク電流	$ I_{IL} $	OSC ₁ 、 \bar{RES} P1 ₀ 、P1 ₄ ~P1 ₇ P2 ₀ ~P2 ₂ P3 ₀ ~P3 ₂ P5 ₀ ~P5 ₇ P6 ₀ ~P6 ₇ P7 ₃ ~P7 ₇ P8 ₀ ~P8 ₇ P9 ₁ ~P9 ₄	$V_{in} = 0.5V \sim (V_{CC} - 0.5V)$			1.0	μA	
		PB ₀ ~PB ₇	$V_{in} = 0.5V \sim AV_{CC} - 0.5V$			1.0	μA	
入力リーク電流	$ I_{IL} $	IRQ ₀ 、TEST	$V_{in} = 0.5V \sim (V_{CC} - 0.5V)$			20	μA	

13. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
ブルアップ MOS 電流	- I _p	P1 ₀ 、P1 ₄ ~ P1 ₇ P3 ₀ ~ P3 ₂ P5 ₀ ~ P5 ₇	V _{CC} = 5V、V _{in} = 0V	50		300	μA	参考値
			V _{CC} = 3.0V、V _{in} = 0V		35			
入力容量	C _{in}	電源 TEST 端子を除く 全入力端子 IRQ ₀ 、TEST	f = 1MHz、V _{in} = 0V、 T _a = 25			15.0	pF	
						30.0		
アクティブモード消費電流	I _{OPE1}	V _{CC}	アクティブ (高速) モード V _{CC} = 5V、f _{osc} = 16MHz		15	25	mA	* ¹ * ² 参考値
			V _{CC} = 3.0V、f _{osc} = 10MHz		8.5			* ¹ * ²
	I _{OPE2}	V _{CC}	アクティブ (中速) モード V _{CC} = 5V、f _{osc} = 16MHz		3	5	mA	* ¹ * ² 参考値
			V _{CC} = 3.0V、f _{osc} = 10MHz		2			* ¹ * ²
スリープモード消費電流	I _{SLEEP1}	V _{CC}	スリープ (高速) モード V _{CC} = 5V、f _{osc} = 16MHz		6	10	mA	* ¹ * ² 参考値
			V _{CC} = 3.0V、f _{osc} = 10MHz		3.5			* ¹ * ²
	I _{SLEEP2}	V _{CC}	スリープ (中速) モード V _{CC} = 5V、f _{osc} = 16MHz		2	4	mA	* ¹ * ² 参考値
			V _{CC} = 3.0V、f _{osc} = 10MHz		1			* ¹ * ²
サブアクティブモード消費電流	I _{SUB}	V _{CC}	V _{CC} = 3.0V 32kHz 水晶発振子使用時 (φ _{SUB} = φ _W /2)		1	2	mA	* ¹ * ² 参考値
			V _{CC} = 3.0V 32kHz 水晶発振子使用時 (φ _{SUB} = φ _W /8)		1			* ¹ * ²
サブスリープモード消費電流	I _{SUBSP}	V _{CC}	V _{CC} = 3.0V 32kHz 水晶発振子使用時 (φ _{SUB} = φ _W /2)		5	10	μA	* ¹ * ²
ウォッチモード消費電流	I _{WATCH}	V _{CC}	V _{CC} = 3.0V 32kHz 水晶発振子使用時			8	μA	* ¹ * ²
スタンバイモード消費電流	I _{STBY}	V _{CC}	32kHz 水晶発振子未使用時			5	μA	* ¹ * ²
RAM データ保持電圧	V _{RAM}	V _{CC}		2			V	

【注】 TEST 端子はブートモード以外、 V_{SS} に接続してください。

*1 消費電流測定時の端子状態

モード	RES 端子	内部状態	各端子	発振端子
アクティブ (高速) モード	V_{CC}	動作	V_{CC}	メインクロック : セラミック発振子 または水晶発振子 サブクロック : X, 端子 = V_{CC}
アクティブ (中速) モード		動作 ($\phi OSC/128$)		
スリープ (高速) モード	V_{CC}	タイマのみ動作	V_{CC}	
スリープ (中速) モード		タイマのみ動作 ($\phi OSC/128$)		
サブアクティブモード	V_{CC}	動作	V_{CC}	メインクロック : セラミック発振子 または水晶発振子 サブクロック : 水晶発振子
サブスリープモード	V_{CC}	タイマのみ動作 CPU は停止	V_{CC}	
ウォッチモード	V_{CC}	時計用タイムベースのみ 動作 CPU は停止	V_{CC}	
スタンバイモード	V_{CC}	CPU、タイマともに停止	V_{CC}	メインクロック : セラミック発振子 または水晶発振子 サブクロック : X, 端子 = V_{CC}

*2 ブルアップ MOS や出力バッファに流れる電流は除きます。

表 13.20 DC 特性 (2)

条件 : 特記なき場合、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	規格値			単位
		min	typ	max	
出力 Low レベル許容電流 (1 端子あたり)	ポート 6 以外の出力端子	I_{OL}			mA
	ポート 6			2	
出力 Low レベル許容電流 (総和)	ポート 6 以外の出力端子	ΣI_{OL}			mA
	ポート 6			10	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$		2	mA
出力 High レベル許容電流 (総和)	全出力端子	$\Sigma (-I_{OH})$		30	mA

13. 電気的特性

13.4.3 AC 特性 (HD64F3644、HD64F3643、HD64F3642A)

HD64F3644、HD64F3643、HD64F3642A の制御信号タイミングを表 13.21 に、シリアルインタフェースタイミングを表 13.22、表 13.23 に示します。

表 13.21 制御信号タイミング

条件：特記なき場合、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
システムクロック 発振器発振周波数	f_{OSC}	OSC ₁ 、OSC ₂		2		16	MHz	
			$V_{CC} = 3.0 \sim 5.5V$	2		10		
OSC クロック (ϕ_{OSC}) サイクル時間	t_{OSC}	OSC ₁ 、OSC ₂		62.5		1000	ns	* ¹ 図 13.1
			$V_{CC} = 3.0 \sim 5.5V$	100		1000		
システムクロック (ϕ) サイクル時間	t_{CYC}		$V_{CC} = 3.0 \sim 5.5V$	2		128	t_{OSC} μs	* ¹
						25.6		
サブクロック発振器 発振周波数	f_W	X ₁ 、X ₂	$V_{CC} = 3.0 \sim 5.5V$		32.768		kHz	
ウォッチクロック (ϕ_W) サイクル時間	t_W	X ₁ 、X ₂	$V_{CC} = 3.0 \sim 5.5V$		30.5		μs	
サブクロック (ϕ_{SUB}) サイクル時間	t_{SUBCYC}		$V_{CC} = 3.0 \sim 5.5V$	2		8	t_W	* ²
インストラクション サイクル時間			$V_{CC} = 3.0 \sim 5.5V$	2			t_{CYC} t_{SUBCYC}	
発振安定時間 (水晶発振子)	t_{IC}	OSC ₁ 、OSC ₂				40	ms	
			$V_{CC} = 3.0 \sim 5.5V$			60		
発振安定時間 (セラミック発振子)	t_{IC}	OSC ₁ 、OSC ₂				20	ms	
			$V_{CC} = 3.0 \sim 5.5V$			40		
発振安定時間	t_{IC}	X ₁ 、X ₂	$V_{CC} = 3.0 \sim 5.5V$			2	s	
外部クロック High レベル幅	t_{CPH}	OSC ₁		20			ns	図 13.1
			$V_{CC} = 3.0 \sim 5.5V$	40				
外部クロック Low レベル幅	t_{CPL}	OSC ₁		20			ns	図 13.1
			$V_{CC} = 3.0 \sim 5.5V$	40				
外部クロック 立ち上がり時間	t_{CPr}		$V_{CC} = 3.0 \sim 5.5V$			15	ns	図 13.1
外部クロック 立ち下がり時間	t_{CPH}		$V_{CC} = 3.0 \sim 5.5V$			15	ns	図 13.1
RES 端子 Low レベル幅	t_{REL}	RES	$V_{CC} = 3.0 \sim 5.5V$	10			t_{CYC}	図 13.2

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
入力端子 High レベル幅	t_{IH}	$\overline{IRQ}_0 \sim \overline{IRQ}_3$ $\overline{INT}_0 \sim \overline{INT}_7$ ADTRG TMIB TMCIV TMRIV、FTCI FTIA、FTIB FTIC、FTID TRGV	$V_{CC} = 3.0 \sim 5.5V$	2			t_{cyc} t_{subcyc}	図 13.3
入力端子 Low レベル幅	t_{IL}	$\overline{IRQ}_0 \sim \overline{IRQ}_3$ $\overline{INT}_6 \sim \overline{INT}_7$ ADTRG TMIB TMCIV TMRIV、FTCI FTIA、FTIB FTIC、FTID TRGV	$V_{CC} = 3.0 \sim 5.5V$	2			t_{cyc} t_{subcyc}	図 13.3

【注】 *1 外部クロックを入力する場合は 1~10MHz となります。

*2 システムコントロールレジスタ 2 (SYSCR2) の SA1、SA0 の設定により決定します。

表 13.22 シリアルインタフェース (SCI1) タイミング

条件：特記なき場合、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
転送クロックサイクル タイミング	t_{sosc}	SCK_1	$V_{CC} = 3.0 \sim 5.5V$	2			t_{cyc}	図 13.4
転送クロック High レベル幅	t_{SCKH}	SCK_1	$V_{CC} = 3.0 \sim 5.5V$	0.4			t_{sosc}	
転送クロック Low レベル幅	t_{SCKL}	SCK_1	$V_{CC} = 3.0 \sim 5.5V$	0.4			t_{sosc}	
転送クロック 立ち上がり時間	t_{SCKr}	SCK_1	$V_{CC} = 3.0 \sim 5.5V$			60	ns	
転送クロック 立ち下がり時間	t_{SCKf}	SCK_1	$V_{CC} = 3.0 \sim 5.5V$			60	ns	
シリアル出力データ 遅延時間	t_{SOD}	SO_1	$V_{CC} = 3.0 \sim 5.5V$			200	ns	
シリアル入力データ セットアップ時間	t_{SIS}	SI_1	$V_{CC} = 3.0 \sim 5.5V$	180			ns	
シリアル入力 データホールド時間	t_{SIH}	SI_1	$V_{CC} = 3.0 \sim 5.5V$	180			ns	

13. 電気的特性

表 13.23 シリアルインタフェース (SCI3) タイミング

条件：特記なき場合、 $V_{CC} = 3.0 \sim 5.5V$ 、 $AV_{CC} = 3.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	測定条件	規格値			単位	備考
			min	typ	max		
入力クロックサイクル	調歩同期		4			t_{cyc}	図 13.5
	クロック同期		6				
入力クロックパルス幅	t_{SCKW}		0.4		0.6	t_{cyc}	図 13.5
送信データ遅延時間 (クロック同期)	t_{TXD}	$V_{CC} = 4.0 \sim 5.5V$			1	t_{cyc}	図 13.6
					1		
受信データセットアップ時間 (クロック同期)	t_{RXS}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 13.6
			400.0				
受信データホールド時間 (クロック同期)	t_{RXH}	$V_{CC} = 4.0 \sim 5.5V$	200.0			ns	図 13.6
			400.0				

13.4.4 A/D 変換器特性

HD64F3644、HD64F3643、HD64F3642A の A/D 変換器特性を表 13.24 に示します。

表 13.24 A/D 変換器特性

条件：特記なき場合、 $V_{CC} = 3.0 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	備考
				min	typ	max		
アナログ電源電圧	AV_{CC}	AV_{CC}		3.0		5.5	V	*1
アナログ入力電圧	AV_{in}	$AN_0 \sim AN_7$		$AV_{SS} - 0.3$		$AV_{SS} + 0.3$	V	
アナログ電源電流	AI_{OPE}	AV_{CC}	$AV_{CC} = 5.0V$			1.5	mA	
	AI_{STOP1}	AV_{CC}			150.0		μA	*2 参考値
	AI_{STOP2}	AV_{CC}				5.0	μA	*3
アナログ入力容量	C_{Ain}	$AN_0 \sim AN_7$				30.0	pF	
許容信号源インピーダンス	R_{Ain}					5.0	k Ω	
分解能 (データ長)						8	ビット	
非直線性誤差						± 2.0	LSB	
量子化誤差						± 0.5	LSB	
絶対精度						± 2.5	LSB	
変換時間				7.75		124	μs	

【注】 *1 A/D 変換器を使用しない場合は $AV_{CC} = V_{CC}$ としてください。

*2 AI_{STOP1} はアクティブモード、スリープモードでの A/D 変換待機時の電流値です。

*3 AI_{STOP2} はリセット、スタンバイモード、ウォッチモード、サブアクティブモード、およびサブスリープモードでの A/D 変換待機時の電流値です。

13.5 動作タイミング

動作タイミングを図 13.1 ~ 図 13.6 に示します。

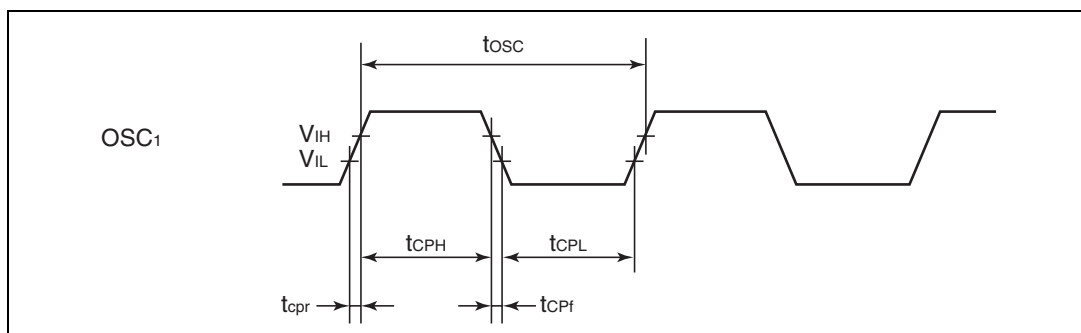


図 13.1 システムクロック入力タイミング

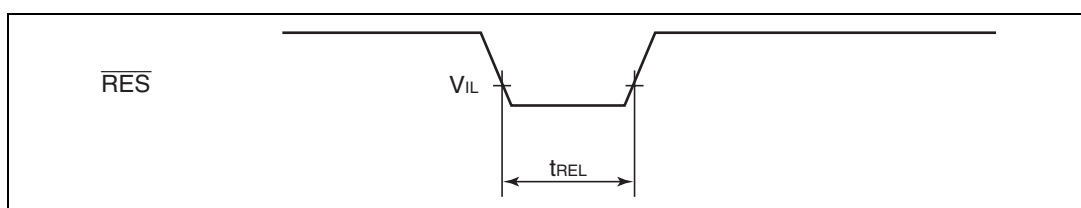


図 13.2 \overline{RES} 端子 Low レベル幅タイミング

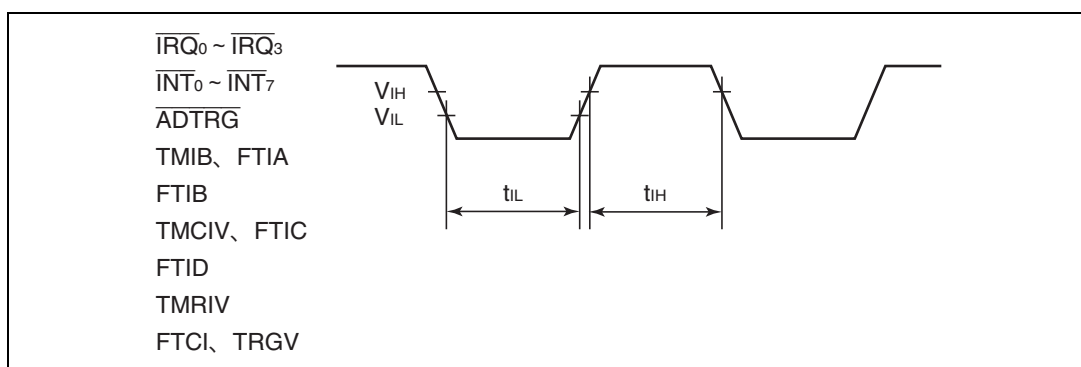


図 13.3 入力タイミング

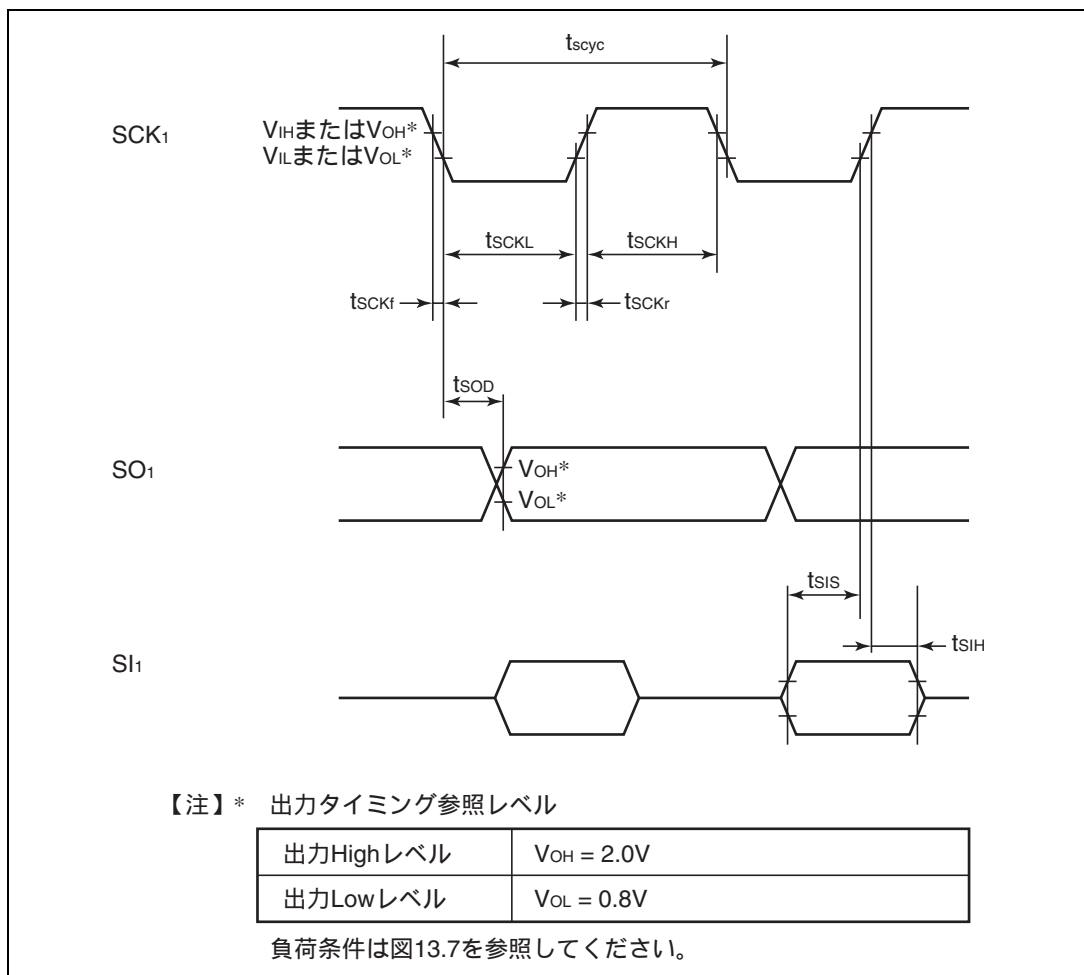


図 13.4 SCI1 入出力タイミング

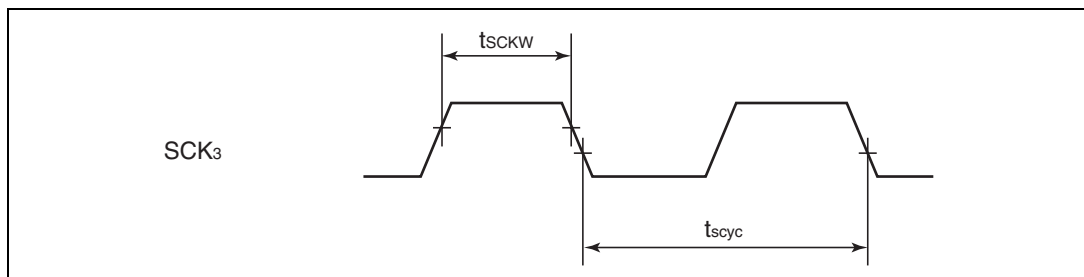


図 13.5 SCK₃ 入力クロックタイミング

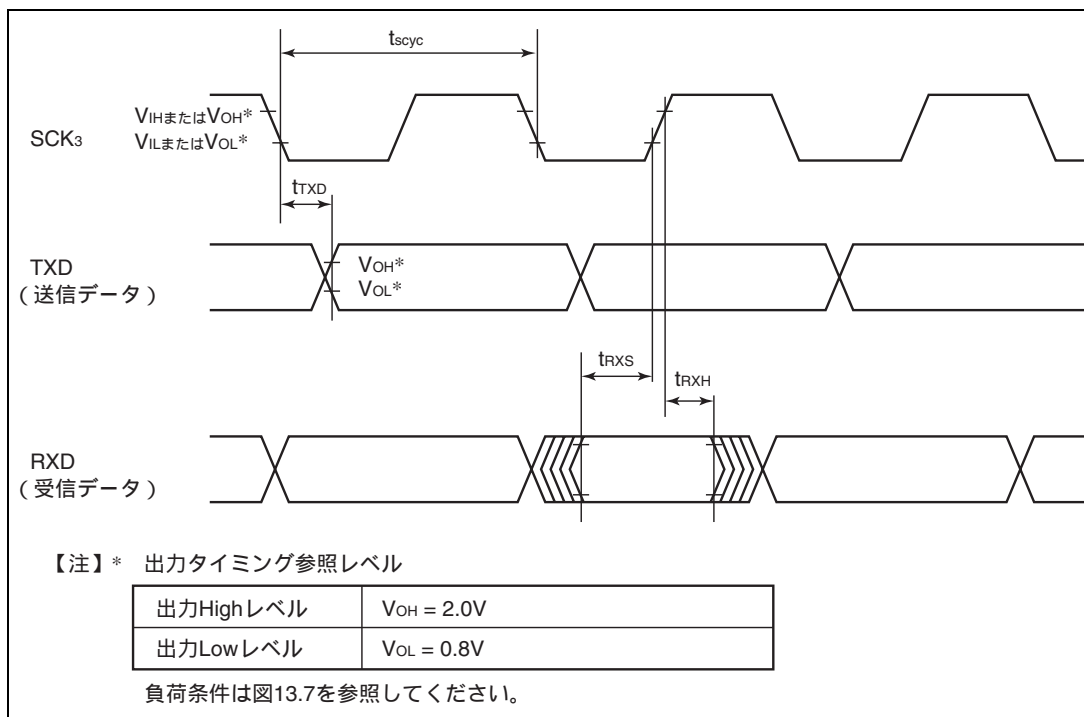


図 13.6 SCI3 クロック同期式モード入出力タイミング

13.6 出力負荷回路

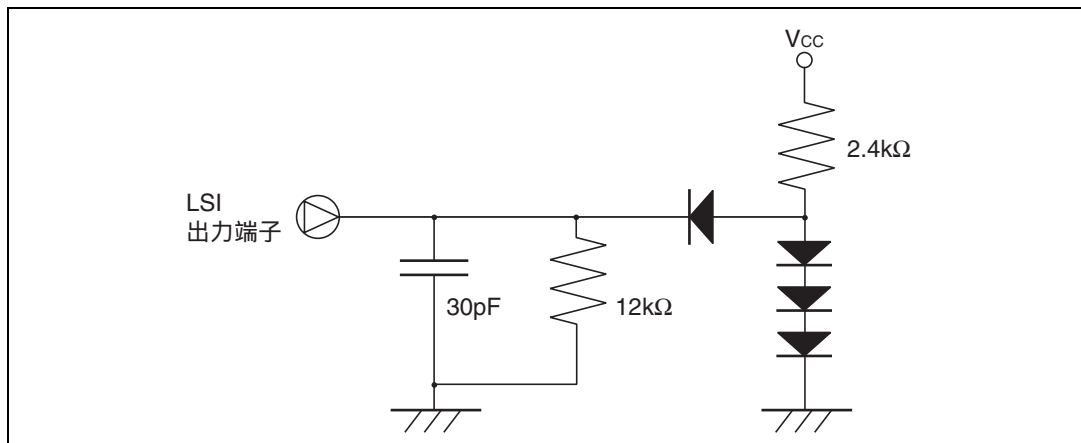


图 13.7 出力負荷条件

付録

A. 命令

A.1 命令一覧

《オペレーションの記号》

Rd8/16	汎用レジスタ (デスティネーション側) 8 ビット / 16 ビット
Rs8/16	汎用レジスタ (ソース側) 8 ビット / 16 ビット
Rn8/16	汎用レジスタ 8 ビット / 16 ビット
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#xx:3/8/16	イミディエイトデータ 3 ビット / 8 ビット / 16 ビット
d:8/16	ディスプレイメント 8 ビット / 16 ビット
@aa:8/16	絶対アドレス 8 ビット / 16 ビット
+	加算
-	減算
x	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
→	転送
	論理的補数

《コンディションコードの記号》

記号	
↓	実行結果に従って変化することを表します。
*	不確定であることを表します (値を保証しません)。
0	常に 0 にクリアされることを表します。
	実行結果に影響を受けないことを表します。

表 A.1 命令セット一覧

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション	コンディションコード							実行 ステート 数
		#xx8/16	Rn	@Rn	@(d:16, Rn) @-Rn/@Rn+ @aa:8/16 @(d:8, PC)		I	H	N	Z	V	C		
MOV	B	2				#xx:8→Rd8	—	—	↑	↑	0	—	2	
	B	2	2			R _s 8→Rd8	—	—	↑	↑	0	—	2	
	B		2			@R _s 16→Rd8	—	—	↑	↑	0	—	4	
	B		4			@(d:16, R _s 16)→Rd8	—	—	↑	↑	0	—	6	
	B			2		@R _s 16→Rd8 R _s 16+1→R _s 16	—	—	↑	↑	0	—	6	
	B				2	@aa:8→Rd8	—	—	↑	↑	0	—	4	
	B				4	@aa:16→Rd8	—	—	↑	↑	0	—	6	
	B		2			R _s 8→@Rd16	—	—	↑	↑	0	—	4	
	B		4			R _s 8→@(d:16, Rd16)	—	—	↑	↑	0	—	6	
	B				2	Rd16-1→Rd16 R _s 8→@Rd16	—	—	↑	↑	0	—	6	
	B				2	R _s 8→@aa:8	—	—	↑	↑	0	—	4	
	B				4	R _s 8→@aa:16	—	—	↑	↑	0	—	6	
	W	4				#xx:16→Rd	—	—	↑	↑	0	—	4	
	W		2			R _s 16→Rd16	—	—	↑	↑	0	—	2	
	W			2		@R _s 16→Rd16	—	—	↑	↑	0	—	4	
	W			4		@(d:16, R _s 16)→Rd16	—	—	↑	↑	0	—	6	
	W				2	@R _s 16→Rd16 R _s 16+2→R _s 16	—	—	↑	↑	0	—	6	
	W				4	@aa:16→Rd16	—	—	↑	↑	0	—	6	
	W		2			R _s 16→@Rd16	—	—	↑	↑	0	—	4	
	W		4			R _s 16→@(d:16, Rd16)	—	—	↑	↑	0	—	6	

二モードック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション	コンディションコード							実行 ステート 数
		#xx:8/16	Rn @Rn	@(d:16, Rn) @-Rn/@Rn+ @aa:8/16	@(d:8, PC) @aa		I	H	N	Z	V	C		
MOV	MOV.W Rs, @-Rd			2		Rd16-2→Rd16	-	-	↑	↑	0	-	6	
	MOV.W Rs, @aa:16			4		Rd16→@Rd16	-	-	↑	↑	0	-	6	
POP	POP Rd			2		@SP→Rd16	-	-	↑	↑	0	-	6	
	PUSH Rs			2		SP+2→SP	-	-	↑	↑	0	-	6	
	ADD.B #xx:8, Rd	B	2			SP-2→SP	-	-	↑	↑	0	-	6	
	ADD.B Rs, Rd	B	2			Rs16→@SP	-	↑	↑	↑	↑	↑	2	
	ADD.W Rs, Rd	B	2			Rd8+#xx:8→Rd8	-	↑	↑	↑	↑	↑	2	
ADDX	ADDX.B #xx:8, Rd	B	2			Rd8+Rs8→Rd8	-	(1)	↑	↑	↑	↑	2	
	ADDX.B Rs, Rd	B	2			Rd16+Rs16→Rd16	-	↑	↑	(2)	↑	↑	2	
ADDS	ADDS.W #1, Rd	W	2			Rd8+#xx:8+C→Rd8	-	↑	↑	(2)	↑	↑	2	
	ADDS.W #2, Rd	W	2			Rd16+1→Rd16	-	-	-	-	-	-	2	
INC	INC.B Rd	B	2			Rd16+2→Rd16	-	-	-	-	-	-	2	
DAA	DAA.B Rd	B	2			Rd8+1→Rd8	-	-	↑	↑	↑	-	2	
SUB	SUB.B Rs, Rd	B	2			Rd8 10進補正→Rd8	-	*	↑	↑	*	(3)	2	
	SUB.W Rs, Rd	W	2			Rd8-Rs8→Rd8	-	↑	↑	↑	↑	↑	2	
	SUBX.B #xx:8, Rd	B	2			Rd16-Rs16→Rd16	-	(1)	↑	↑	↑	↑	2	
	SUBX.B Rs, Rd	B	2			Rd8+#xx:8-C→Rd8	-	↑	↑	(2)	↑	↑	2	
		B	2			Rd8-Rs8-C→Rd8	-	↑	↑	(2)	↑	↑	2	

オペレーション	アドレッシングモード / 命令長 (バイト)						コンディショニングコード							実行 ステート 数	
	#xx8/16	Rn	@Rn	@(d:16, Rn)	@-Rn@Rn+	@aa8/16	@(d3, PC)	@@aa	I	H	N	Z	V		C
SUBS	W	2													2
SUBS.W #1, Rd	W	2													2
DEC	B	2													2
DEC.B Rd	B	2													2
DAS	B	2													2
DAS.B Rd	B	2													2
NEG	B	2													2
NEG.B Rd	B	2													2
CMP	B	2													2
CMP.B #xx:8, Rd	B	2													2
CMP.B Rs, Rd	B	2													2
CMP.W Rs, Rd	W	2													2
MULXU	B	2													14
MULXU.B Rs, Rd	B	2													14
DIVXU	B	2													14
DIVXU.B Rs, Rd	B	2													14
AND	B	2													2
AND.B #xx:8, Rd	B	2													2
AND.B Rs, Rd	B	2													2
OR	B	2													2
OR.B #xx:8, Rd	B	2													2
OR.B Rs, Rd	B	2													2
XOR	B	2													2
XOR.B #xx:8, Rd	B	2													2
XOR.B Rs, Rd	B	2													2
NOT	B	2													2
NOT.B Rd	B	2													2
SHAL	B	2													2
SHAL.B Rd	B	2													2



二モニック		サイズ	アドレッシングモード/命令長(バイト)				オペレーション		コンディションコード						実行 ステップ 数	
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)	@@aa	I	H	N	Z	V	C	
BSET	BSET #xx:3, @aa:8						4			—	—	—	—	—	—	8
	BSET Rn, Rd		2							—	—	—	—	—	—	2
	BSET Rn, @Rd			4						—	—	—	—	—	—	8
	BSET Rn, @aa:8					4				—	—	—	—	—	—	8
BCLR	BCLR #xx:3, Rd		2							—	—	—	—	—	—	2
	BCLR #xx:3, @Rd			4						—	—	—	—	—	—	8
	BCLR #xx:3, @aa:8					4				—	—	—	—	—	—	8
	BCLR Rn, Rd		2							—	—	—	—	—	—	2
	BCLR Rn, @Rd			4						—	—	—	—	—	—	8
	BCLR Rn, @aa:8					4				—	—	—	—	—	—	8
	BNOT #xx:3, Rd		2							—	—	—	—	—	—	2
	BNOT #xx:3, @Rd			4						—	—	—	—	—	—	8
BNOT	BNOT #xx:3, @aa:8						4			—	—	—	—	—	—	8
	BNOT Rn, Rd									—	—	—	—	—	—	2
	BNOT Rn, @Rd			4						—	—	—	—	—	—	8
	BNOT Rn, @aa:8					4				—	—	—	—	—	—	8
	BTST #xx:3, Rd		2							—	—	—	—	—	—	2
	BTST #xx:3, @Rd			4						—	—	—	—	—	—	6
	BTST #xx:3, @aa:8					4				—	—	—	—	—	—	6
	BTST Rn, Rd		2							—	—	—	—	—	—	2

二モードック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション	コンディションコード							実行 ステート 数
		#xx:8/16	Rn	@Rn	@(d:16, Rn) @-Rn/@Rn+ @aa:8/16 @aa:8/16 @PC)		I	H	N	Z	V	C		
BTST	B		4			(Rn8 of @Rd16)→Z	—	—	—	↑	—	—	—	6
BTST	B				4	(Rn8 of @aa:8)→Z	—	—	—	↑	—	—	—	6
BLD	B	2				(#xx:3 of Rd8)→C	—	—	—	—	—	—	↑	2
BLD	B		4			(#xx:3 of @Rd16)→C	—	—	—	—	—	—	↑	6
BLD	B				4	(#xx:3 of @aa:8)→C	—	—	—	—	—	—	↑	6
BILD	B	2				(#xx:3 of Rd8)→C	—	—	—	—	—	—	↑	2
BILD	B		4			(#xx:3 of @Rd16)→C	—	—	—	—	—	—	↑	6
BILD	B				4	(#xx:3 of @aa:8)→C	—	—	—	—	—	—	↑	6
BST	B	2				C→(#xx:3 of Rd8)	—	—	—	—	—	—	—	2
BST	B		4			C→(#xx:3 of @Rd16)	—	—	—	—	—	—	—	8
BST	B				4	C→(#xx:3 of @aa:8)	—	—	—	—	—	—	—	8
BIST	B	2				C→(#xx:3 of Rd8)	—	—	—	—	—	—	—	2
BIST	B		4			C→(#xx:3 of @Rd16)	—	—	—	—	—	—	—	8
BIST	B				4	C→(#xx:3 of @aa:8)	—	—	—	—	—	—	—	8
BAND	B	2				C (#xx:3 of Rd8)→C	—	—	—	—	—	—	↑	2
BAND	B		4			C (#xx:3 of @Rd16)→C	—	—	—	—	—	—	↑	6
BAND	B				4	C (#xx:3 of @aa:8)→C	—	—	—	—	—	—	↑	6
BIAND	B	2				C (#xx:3 of Rd8)→C	—	—	—	—	—	—	↑	2
BIAND	B		4			C (#xx:3 of @Rd16)→C	—	—	—	—	—	—	↑	6
BIAND	B				4	C (#xx:3 of @aa:8)→C	—	—	—	—	—	—	↑	6
BOR	B	2				C (#xx:3 of Rd8)→C	—	—	—	—	—	—	↑	2
BOR	B		4			C (#xx:3 of @Rd16)→C	—	—	—	—	—	—	↑	6
BOR	B				4	C (#xx:3 of @aa:8)→C	—	—	—	—	—	—	↑	6

二ーモニック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディションコード							実行 ステート 数						
		#xx8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa8/16		@(d:8, PC)	@@aa	I	H	N	Z	V		C					
JMP	JMP @Rn	—	2																		4	
	JMP @aa:16	—					4															6
	JMP @ @aa:8	—							2													8
BSR	BSR d:8	—							2													6
	BSR @Rn	—	2																			6
	BSR @aa:16	—					4															8
JSR	JSR @aa:8	—										2										8
	JSR @Rn	—	2																			6
	JSR @aa:16	—					4															8
RTS	RTS	—																				8
	RTS	—																				8
	RTS	—																				8
RTE	RTE	—																				10
	RTE	—																				10
	RTE	—																				10

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション	コンディションコード							実行 ステート 数			
		#xx:8/16	Rn	@Rn	@(Rn/16, Rn)		@-Rn/16	@(Rn/16, Rn)	@(dt:8, PC)	@aa	—	I	H		N	Z	V
SLEEP	—																2
LDC	B	2															2
	B		2														2
STC	B		2														2
ANDC	B	2															2
ORC	B	2															2
XORC	B	2															2
NOP	—																2
EEMOV	—																4

- 【注】 (1) : ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
 (2) : 演算結果がゼロのとき、演算前の値を保持し、それ以外のとき0にクリアされます。
 (3) : 補正結果に桁上がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
 (4) : 実行ステート数は、R4Lの設定値がnのとき4n+9となります。
 (5) : 除数が真のとき1にセットされ、それ以外のとき0にクリアされます。
 (6) : 除数がゼロのとき1にセットされ、それ以外のとき0にクリアされます。

A.2 オペレーションコードマップ

表 A.2 にオペレーションコードマップを示します。表 A.2 では、命令コードの第 1 バイト（第 1 ワードのビット 15~8）についてのみ示しています。

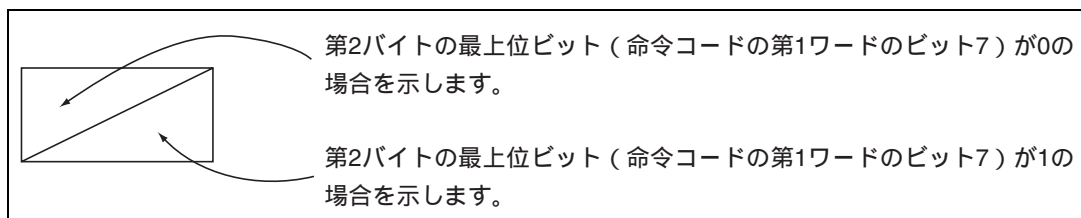


表 A.2 オペレーションコードマップ

LO HI	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	SLEEP	STC	LDC	ORC	XORC	ANDC	LDC	ADD	ADD	INC	ADDS	MOV	ADDX	DAA	
1	SHLL SHAL	SHLR SHAR	ROTXL ROTL	ROXR ROTR	OR	XOR	AND	NOT	NEG	SUB	DEC	SUBS	CMP	SUBX	DAS	
2	MOV															
3	MOV															
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIWXU			RTS	BSR	RTE				JMP				JSR	
6	BSET	BNOT	BCLR	BTST	BOR	BOXOR BIOR	BAND BIAND	BST BLT	BIST BILD	MOV		EEPMOV				ビット操作命令
7	MOV*															
8	ADD															
9	ADDX															
A	CMP															
B	SUBX															
C	OR															
D	XOR															
E	AND															
F	MOV															

【注】 * PUSH、POP命令の機構語はMOV命令と同一です。

A.3 命令実行ステート数

H8/300L CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.4 に命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライトなどのサイクル数を示し、表 A.3 におおののサイクルに必要なステート数を示します。命令の実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \times S_I + J \times S_J + K \times S_K + L \times S_L + M \times S_M + N \times S_N$$

実行ステート数計算例

(例) 内蔵 ROM より命令をフェッチし、内蔵 RAM をアクセスした場合

1. BSET #0, @FF00
表A.4より
 $I = L = 2$ 、 $J = K = M = N = 0$
表A.3より
 $S_I = 2$ 、 $S_L = 2$
実行ステート数 $= 2 \times 2 + 2 \times 2 = 8$
内蔵ROMより命令をフェッチし、内蔵ROMより分岐アドレスをリード、スタック領域は内蔵RAMとした場合
2. JSR @@30
表A.4より
 $I = 2$ 、 $J = K = 1$ 、 $L = M = N = 0$
表A.3より
 $S_I = S_J = S_K = 2$
実行ステート数 $= 2 \times 2 + 1 \times 2 + 1 \times 2 = 8$

表 A.3 実行状態 (サイクル) に要するステート数

実行状態 (サイクル)		アクセス対象		
		内蔵メモリ	内蔵周辺モジュール	
命令フェッチ	S_I	2	X	
分岐アドレスリード	S_J			
スタック操作	S_K			
バイトデータアクセス	S_L			2 または 3*
ワードデータアクセス	S_M			X
内部動作	S_N	1		

【注】 * 内蔵周辺モジュールによって異なります。詳細は、「2.9.1 データアクセスに関する注意事項」を参照してください。

表 A.4 命令の実行状態 (サイクル数)

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W Rs, Rd	1					
ADDS	ADDS.W #1, Rd	1					
	ADDS.W #2, Rd	1					
ADDX	ADDX.B #xx:8, Rd	1					
	ADDX.B Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @Rd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					
BLE d:8	2						
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @Rd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @Rd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @Rd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @Rd	2			1		
	BILD #xx:3, @aa:8	2			1		

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
BIOR	BIOR #xx:3, Rd	1					
	BIOR #xx:3, @Rd	2			1		
	BIOR #xx:3, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @Rd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @Rd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @Rd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @Rd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @Rd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @Rd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @Rd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @Rd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	2		1			
BST	BST #xx:3, Rd	1					
	BST #xx:3, @Rd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @Rd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @Rd	2			1		
	BTST Rn, @aa:8	2			1		
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @Rd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W Rs, Rd	1					

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
DAA	DAA.B Rd	1					
DAS	DAS.B Rd	1					
DEC	DEC.B Rd	1					
DIVXU	DIVXU.B Rs, Rd	1					12
EEMOV	EEMOV	2			2n + 2*		1
INC	INC.B Rd	1					
JMP	JMP @Rn	2					
	JMP @aa:16	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @Rn	2		1			
	JSR @aa:16	2		1			2
	JSR @@aa:8	2	1	1			
LDC	LDC #xx:8, CCR	1					
	LDC Rs, CCR	1					
MOV	MOV.B #xx:8, Rd	1					
	MOV.B Rs, Rd	1					
	MOV.B @Rs, Rd	1		1			
	MOV.B @(d:16, Rs), Rd	2		1			
	MOV.B @Rs+, Rd	1		1			2
	MOV.B @aa:8, Rd	1		1			
	MOV.B @aa:16, Rd	2		1			
	MOV.B Rs, @Rd	1			1		
	MOV.B Rs, @(d:16, Rd)	2			1		
	MOV.B Rs, @-Rd	1			1		2
	MOV.B Rs, @aa:8	1			1		
	MOV.B Rs, @aa:16	2			1		
	MOV.W #xx:16, Rd	2					
	MOV.W Rs, Rd	1					
	MOV.W @Rs, Rd	1				1	
	MOV.W @(d:16, Rs), Rd	2				1	
	MOV.W @Rs+, Rd	1				1	2
	MOV.W @aa:16, Rd	2				1	
	MOV.W Rs, @Rd	1				1	
	MOV.W Rs, @(d:16d)	2				1	
MOV.W Rs, @-Rd	1				1	2	
MOV.W Rs, @aa:16	2				1		
MULXU	MULXU.B Rs, Rd	1					12
NEG	NEG.B Rd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
OR	OR.B #xx:8, Rd	1					
	OR.B Rs, Rd	1					

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
ORC	ORC #xx:8, CCR	1					
ROTL	ROTL.B Rd	1					
ROTR	ROTR.B Rd	1					
ROTXL	ROTXL.B Rd	1					
ROTXR	ROTXR.B Rd	1					
RTE	RTE	2		2			2
RTS	RTS	2		1			2
SHAL	SHAL.B Rd	1					
SHAR	SHAR.B Rd	1					
SHLL	SHLL.B Rd	1					
SHLR	SHLR.B Rd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
SUB	SUB.B Rs, Rd	1					
	SUB.W Rs, Rd	1					
SUBS	SUBS.W #1, Rd	1					
	SUBS.W #2, Rd	1					
POP	POP Rd	1		1			2
PUSH	PUSH Rs	1		1			2
SUBX	SUBX.B #xx:8, Rd	1					
	SUBX.B Rs, Rd	1					
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
XORC	XORC #xx:8, CCR	1					

【注】 * n は R4L の設定値です。ソース側、デスティネーション側のアクセスが、それぞれ (n+1) 回行われます。

B. 内蔵 I/O レジスタ一覧

B.1 アドレス一覧

アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'F740										
H'F741										
H'F742										
H'F743										
H'F744										
H'F770	TIER	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE		タイム X
H'F771	TCSRX	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA	
H'F772	FRCH	FRCH7	FRCH6	FRCH5	FRCH4	FRCH3	FRCH2	FRCH1	FRCH0	
H'F773	FRCL	FRCL7	FRCL6	FRCL5	FRCL4	FRCL3	FRCL2	FRCL1	FRCL0	
H'F774	OCRAH/ OCRBH	OCRAH7/ OCRBH7	OCRAH6/ OCRBH6	OCRAH5/ OCRBH5	OCRAH4/ OCRBH4	OCRAH3/ OCRBH3	OCRAH2/ OCRBH2	OCRAH1/ OCRBH1	OCRAH0/ OCRBH0	
H'F775	OCRAL/ OCRBL	OCRAL7/ OCRBL7	OCRAL6/ OCRBL6	OCRAL5/ OCRBL5	OCRAL4/ OCRBL4	OCRAL3/ OCRBL3	OCRAL2/ OCRBL2	OCRAL1/ OCRBL1	OCRAL0/ OCRBL0	
H'F776	TCRX	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0	
H'F777	TOCR				OCRS	OEA	OEB	OLVLA	OLVLB	
H'F778	ICRAH	ICRAH7	ICRAH6	ICRAH5	ICRAH4	ICRAH3	ICRAH2	ICRAH1	ICRAH0	
H'F779	ICRAL	ICRAL7	ICRAL6	ICRAL5	ICRAL4	ICRAL3	ICRAL2	ICRAL1	ICRAL0	
H'F77A	ICRBH	ICRBH7	ICRBH6	ICRBH5	ICRBH4	ICRBH3	ICRBH2	ICRBH1	ICRBH0	
H'F77B	ICRBL	ICRBL7	ICRBL6	ICRBL5	ICRBL4	ICRBL3	ICRBL2	ICRBL1	ICRBL0	
H'F77C	ICRCH	ICRCH7	ICRCH6	ICRCH5	ICRCH4	ICRCH3	ICRCH2	ICRCH1	ICRCH0	
H'F77D	ICRCL	ICRCL7	ICRCL6	ICRCL5	ICRCL4	ICRCL3	ICRCL2	ICRCL1	ICRCL0	
H'F77E	ICRDH	ICRDH7	ICRDH6	ICRDH5	ICRDH4	ICRDH3	ICRDH2	ICRDH1	ICRDH0	
H'F77F	ICRDL	ICRDL7	ICRDL6	ICRDL5	ICRDL4	ICRDL3	ICRDL2	ICRDL1	ICRDL0	
H'FF80	FLMCR	V _{pp}				EV	PV	E	P	フラッシュ メモリ (フラ ッシュメモリ 内蔵版のみ)
H'FF81										
H'FF82	EBR1					LB3	LB2	LB1	LB0	
H'FF83	EBR2	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0	
H'FFA0	SCR1	SNC1	SNC0	MRKON	LTCH	CKS3	CKS2	CKS1	CKS0	SCI1
H'FFA1	SCSR1		SOL	ORER				MTRF	STF	
H'FFA2	SDRU	SDRU7	SDRU6	SDRU5	SDRU4	SDRU3	SDRU2	SDRU1	SDRU0	
H'FFA3	SDRL	SDRL7	SDRL6	SDRL5	SDRL4	SDRL3	SDRL2	SDRL1	SDRL0	
H'FFA4										
H'FFA5										
H'FFA6										
H'FFA7										
H'FFA8	SMR	COM	CHR	PE	PM	STOP	MP	CKS1	CKS0	SCI3
H'FFA9	BRR	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0	
H'FFAA	SCR3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	

アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFAB	TDR	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0	SCI3
H'FFAC	SSR	TDRE	RDRF	OER	FER	PER	TEND	MPBR	MPBT	
H'FFAD	RDR	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0	
H'FFAE										
H'FFAF										
H'FFB0	TMA	TMA7	TMA6	TMA5		TMA3	TMA2	TMA1	TMA0	タイマ A
H'FFB1	TCA	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0	
H'FFB2	TMB1	TMB17					TMB12	TMB11	TMB10	タイマ B1
H'FFB3	TCB1/ TLB1	TCB17/ TLB17	TCB16/ TLB16	TCB15/ TLB15	TCB14/ TLB14	TCB13/ TLB13	TCB12/ TLB12	TCB11/ TLB11	TCB10/ TLB10	
H'FFB4										
H'FFB5										
H'FFB6										
H'FFB7										
H'FFB8	TCRV0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	タイマ V
H'FFB9	TCSRv	CMFB	CMFA	OVF		OS3	OS2	OS1	OS0	
H'FFBA	TCORA	TCORA7	TCORA6	TCORA5	TCORA4	TCORA3	TCORA2	TCORA1	TCORA0	
H'FFBB	TCORB	TCORB7	TCORB6	TCORB5	TCORB4	TCORB3	TCORB2	TCORB1	TCORB0	
H'FFBC	TCNTV	TCNTV7	TCNTV6	TCNTV5	TCNTV4	TCNTV3	TCNTV2	TCNTV1	TCNTV0	
H'FFBD	TCRV1				TVEG1	TVEG0	TRGE		ICKS0	
H'FFBE	TCSRw	B6WI	TCWE	B4WI	TCSRWE	B2WI	WDON	B0WI	WRST	ウォッチ ドッグタイマ
H'FFBF	TCW	TCW7	TCW6	TCW5	TCW4	TCW3	TCW2	TCW1	TCW0	
H'FFC0										
H'FFC1										
H'FFC2										
H'FFC3										
H'FFC4	AMR	CKS	TRGE			CH3	CH2	CH1	CH0	A/D 変換器
H'FFC5	ADDR	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0	
H'FFC6	ADSR	ADSF								
H'FFC7										
H'FFC8										
H'FFC9										
H'FFCA										
H'FFCB										
H'FFCC										
H'FFCD										
H'FFCE										
H'FFCF										
H'FFD0	PWCR								PWCR0	14 ビット PWM
H'FFD1	PWDRU			PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0	
H'FFD2	PWDRl	PWDRl7	PWDRl6	PWDRl5	PWDRl4	PWDRl3	PWDRl2	PWDRl1	PWDRl0	

付録

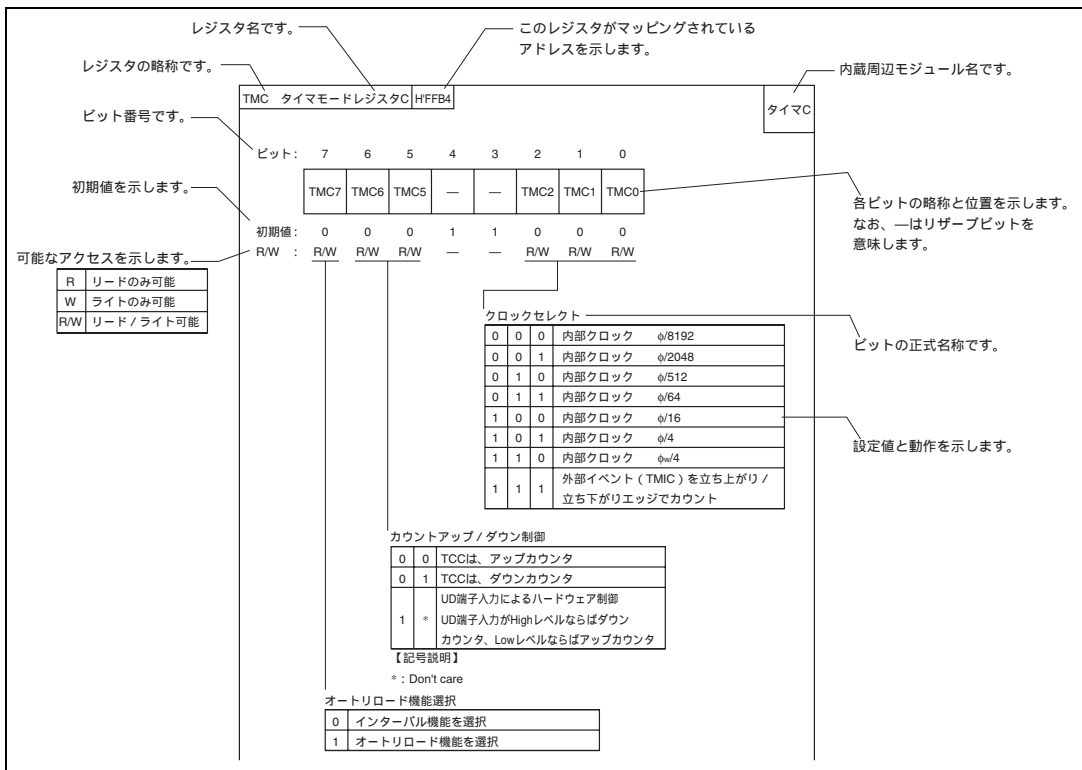
アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFD3										
H'FFD4	PDR1	P1 ₇	P1 ₆	P1 ₅	P1 ₄				P1 ₀	I/O ポート
H'FFD5	PDR2						P2 ₂	P2 ₁	P2 ₀	
H'FFD6	PDR3						P3 ₂	P3 ₁	P3 ₀	
H'FFD7										
H'FFD8	PDR5	P5 ₇	P5 ₆	P5 ₅	P5 ₄	P5 ₃	P5 ₂	P5 ₁	P5 ₀	
H'FFD9	PDR6	P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀	
H'FFDA	PDR7	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃				
H'FFDB	PDR8	P8 ₇	P8 ₆	P8 ₅	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀	
H'FFDC	PDR9				P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀	
H'FFDD	PDRB	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀	
H'FFDE										
H'FFDF										
H'FFE0										I/O ポート
H'FFE1										
H'FFE2										
H'FFE3										
H'FFE4	PCR1	PCR1 ₇	PCR1 ₆	PCR1 ₅	PCR1 ₄				PCR1 ₀	
H'FFE5	PCR2						PCR2 ₂	PCR2 ₁	PCR2 ₀	
H'FFE6	PCR3						PCR3 ₂	PCR3 ₁	PCR3 ₀	
H'FFE7										
H'FFE8	PCR5	PCR5 ₇	PCR5 ₆	PCR5 ₅	PCR5 ₄	PCR5 ₃	PCR5 ₂	PCR5 ₁	PCR5 ₀	
H'FFE9	PCR6	PCR6 ₇	PCR6 ₆	PCR6 ₅	PCR6 ₄	PCR6 ₃	PCR6 ₂	PCR6 ₁	PCR6 ₀	
H'FFEA	PCR7	PCR7 ₇	PCR7 ₆	PCR7 ₅	PCR7 ₄	PCR7 ₃				
H'FFEB	PCR8	PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀	
H'FFEC	PCR9				PCR9 ₄	PCR9 ₃	PCR9 ₂	PCR9 ₁	PCR9 ₀	
H'FFED	PUCR1	PUCR1 ₇	PUCR1 ₆	PUCR1 ₅	PUCR1 ₄				PUCR1 ₀	
H'FFEE	PUCR3						PUCR3 ₂	PUCR3 ₁	PUCR3 ₀	
H'FFEF	PUCR5	PUCR5 ₇	PUCR5 ₆	PUCR5 ₅	PUCR5 ₄	PUCR5 ₃	PUCR5 ₂	PUCR5 ₁	PUCR5 ₀	
H'FFF0	SYSCR1	SSBY	STS2	STS1	STS0	LSON		MA1	MA0	システム コントロール
H'FFF1	SYSCR2				NESEL	DTON	MSON	SA1	SA0	
H'FFF2	IEGR1					IEG3	IEG2	IEG1	IEG0	
H'FFF3	IEGR2	INTEG7	INTEG6	INTEG5	INTEG4	INTEG3	INTEG2	INTEG1	INTEG0	
H'FFF4	IENR1	IENRB1	IENRA			IEN3	IEN2	IEN1	IEN0	
H'FFF5	IENR2	IENDT	IENAD		IENS1					
H'FFF6	IENR3	INTEN7	INTEN6	INTEN5	INTEN4	INTEN3	INTEN2	INTEN1	INTEN0	
H'FFF7	IRR1	IRRTB1	IRRTA			IRRI3	IRRI2	IRRI1	IRRI0	
H'FFF8	IRR2	IRRD1	IRRAD		IRRS1					
H'FFF9	IRR3	INTF7	INTF6	INTF5	INTF4	INTF3	INTF2	INTF1	INTF0	
H'FFFA										
H'FFFB										

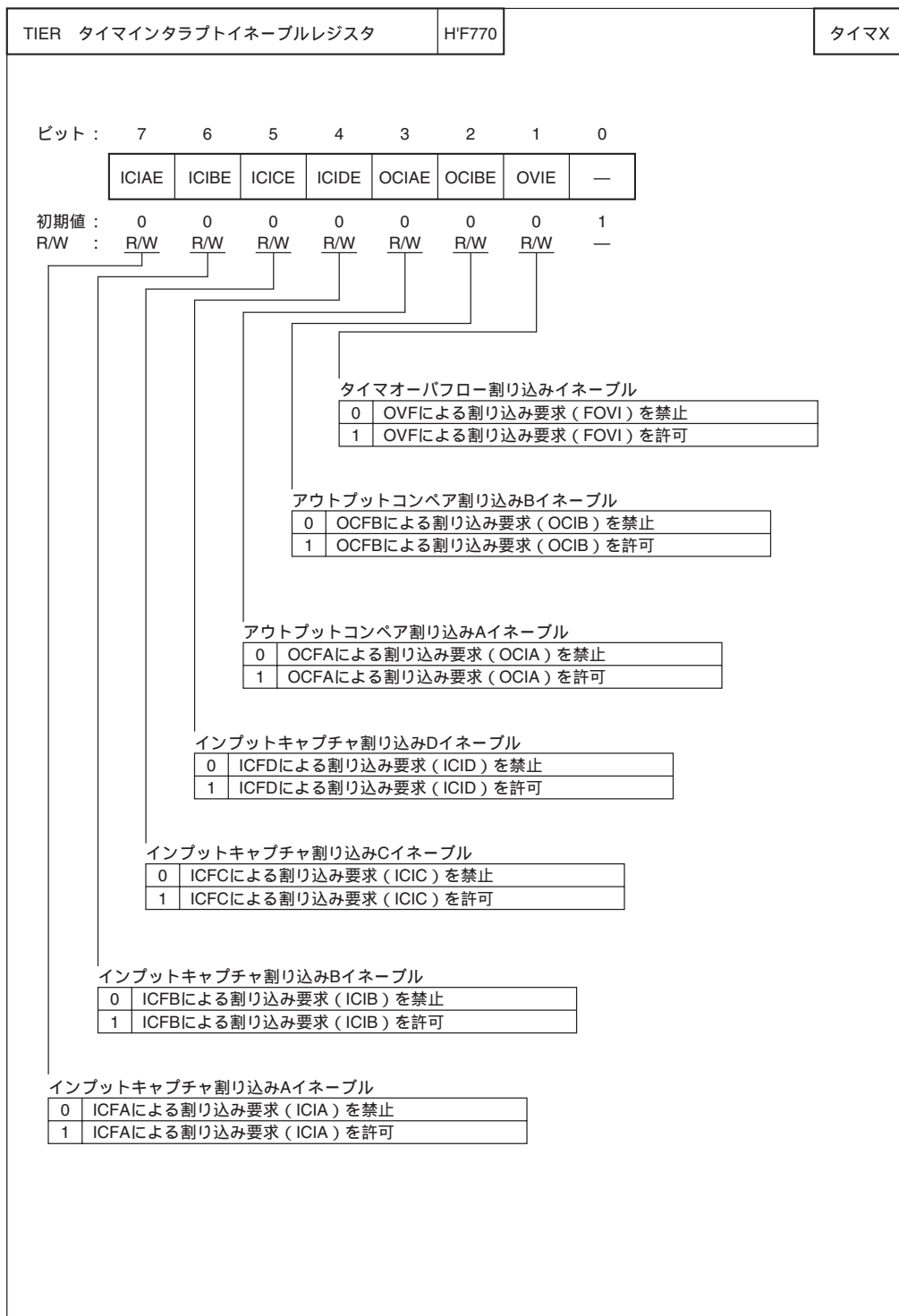
アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFC	PMR1	IRQ3	IRQ2	IRQ1	PWM				TMOW	I/Oポート
H'FFFD	PMR3						SO1	SI1	SCK1	
H'FFFE										
H'FFFF	PMR7						TXD		POF1	I/Oポート

【記号説明】

SCI1 : シリアルコミュニケーションインタフェース 1

B.2 機能一覧



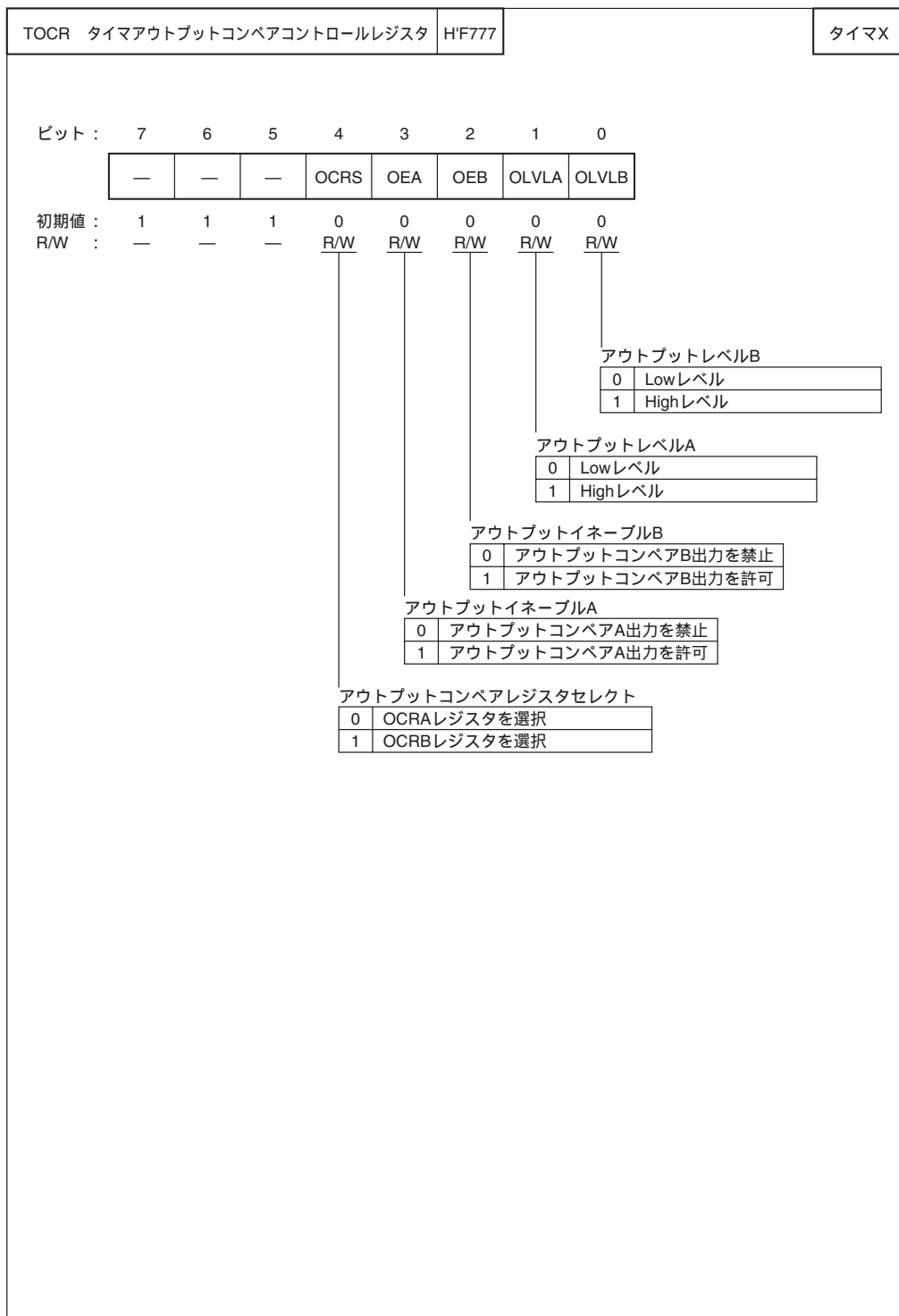


TCSRX タイマコントロール/ステータスレジスタX	HF771	タイマX																																																																				
<p>ビット: 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">ICFA</td> <td style="padding: 2px 5px;">ICFB</td> <td style="padding: 2px 5px;">ICFC</td> <td style="padding: 2px 5px;">ICFD</td> <td style="padding: 2px 5px;">OCFA</td> <td style="padding: 2px 5px;">OCFB</td> <td style="padding: 2px 5px;">OVF</td> <td style="padding: 2px 5px;">CCLRA</td> </tr> </table> <p>初期値: 0 0 0 0 0 0 0 0</p> <p>R/W: R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/W</p> <div style="margin-top: 10px;"> <p>カウタクリア</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">0</td> <td>コンペアマッチAによるFRCのクリアを禁止</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td>コンペアマッチAによるFRCのクリアを許可</td> </tr> </table> <p>タイマオーバーフロー</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td colspan="2" style="padding: 2px 5px;">[クリア条件]</td> </tr> <tr> <td style="padding: 2px 5px;">0</td> <td>OVF=1の状態、OVFをリードした後、OVFに0をライトしたとき</td> </tr> <tr> <td colspan="2" style="padding: 2px 5px;">[セット条件]</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td>FRCの値がH'FFFF→H'0000になったとき</td> </tr> </table> <p>アウトプットコンペアフラグB</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td colspan="2" style="padding: 2px 5px;">[クリア条件]</td> </tr> <tr> <td style="padding: 2px 5px;">0</td> <td>OCFB=1の状態、OCFBをリードした後、OCFBに0をライトしたとき</td> </tr> <tr> <td colspan="2" style="padding: 2px 5px;">[セット条件]</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td>FRCとOCRBがコンペアマッチしたとき</td> </tr> </table> <p>アウトプットコンペアフラグA</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td colspan="2" style="padding: 2px 5px;">[クリア条件]</td> </tr> <tr> <td style="padding: 2px 5px;">0</td> <td>OCFA=1の状態、OCFAをリードした後、OCFAに0をライトしたとき</td> </tr> <tr> <td colspan="2" style="padding: 2px 5px;">[セット条件]</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td>FRCとOCRAがAコンペアマッチしたとき</td> </tr> </table> <p>インプットキャプチャフラグD</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td colspan="2" style="padding: 2px 5px;">[クリア条件]</td> </tr> <tr> <td style="padding: 2px 5px;">0</td> <td>ICFD=1の状態、ICFDをリードした後、ICFDに0をライトしたとき</td> </tr> <tr> <td colspan="2" style="padding: 2px 5px;">[セット条件]</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td>インプットキャプチャ信号が発生したとき</td> </tr> </table> <p>インプットキャプチャフラグC</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td colspan="2" style="padding: 2px 5px;">[クリア条件]</td> </tr> <tr> <td style="padding: 2px 5px;">0</td> <td>ICFC=1の状態、ICFCをリードした後、ICFCに0をライトしたとき</td> </tr> <tr> <td colspan="2" style="padding: 2px 5px;">[セット条件]</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td>インプットキャプチャ信号が発生したとき</td> </tr> </table> <p>インプットキャプチャフラグB</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td colspan="2" style="padding: 2px 5px;">[クリア条件]</td> </tr> <tr> <td style="padding: 2px 5px;">0</td> <td>ICFB=1の状態、ICFBをリードした後、ICFBに0をライトしたとき</td> </tr> <tr> <td colspan="2" style="padding: 2px 5px;">[セット条件]</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td>インプットキャプチャ信号により、FRCの値がICRBに転送されたとき</td> </tr> </table> <p>インプットキャプチャフラグA</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td colspan="2" style="padding: 2px 5px;">[クリア条件]</td> </tr> <tr> <td style="padding: 2px 5px;">0</td> <td>ICFA=1の状態、ICFAをリードした後、ICFAに0をライトしたとき</td> </tr> <tr> <td colspan="2" style="padding: 2px 5px;">[セット条件]</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td>インプットキャプチャ信号により、FRCの値がICRAに転送されたとき</td> </tr> </table> </div>			ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA	0	コンペアマッチAによるFRCのクリアを禁止	1	コンペアマッチAによるFRCのクリアを許可	[クリア条件]		0	OVF=1の状態、OVFをリードした後、OVFに0をライトしたとき	[セット条件]		1	FRCの値がH'FFFF→H'0000になったとき	[クリア条件]		0	OCFB=1の状態、OCFBをリードした後、OCFBに0をライトしたとき	[セット条件]		1	FRCとOCRBがコンペアマッチしたとき	[クリア条件]		0	OCFA=1の状態、OCFAをリードした後、OCFAに0をライトしたとき	[セット条件]		1	FRCとOCRAがAコンペアマッチしたとき	[クリア条件]		0	ICFD=1の状態、ICFDをリードした後、ICFDに0をライトしたとき	[セット条件]		1	インプットキャプチャ信号が発生したとき	[クリア条件]		0	ICFC=1の状態、ICFCをリードした後、ICFCに0をライトしたとき	[セット条件]		1	インプットキャプチャ信号が発生したとき	[クリア条件]		0	ICFB=1の状態、ICFBをリードした後、ICFBに0をライトしたとき	[セット条件]		1	インプットキャプチャ信号により、FRCの値がICRBに転送されたとき	[クリア条件]		0	ICFA=1の状態、ICFAをリードした後、ICFAに0をライトしたとき	[セット条件]		1	インプットキャプチャ信号により、FRCの値がICRAに転送されたとき
ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA																																																															
0	コンペアマッチAによるFRCのクリアを禁止																																																																					
1	コンペアマッチAによるFRCのクリアを許可																																																																					
[クリア条件]																																																																						
0	OVF=1の状態、OVFをリードした後、OVFに0をライトしたとき																																																																					
[セット条件]																																																																						
1	FRCの値がH'FFFF→H'0000になったとき																																																																					
[クリア条件]																																																																						
0	OCFB=1の状態、OCFBをリードした後、OCFBに0をライトしたとき																																																																					
[セット条件]																																																																						
1	FRCとOCRBがコンペアマッチしたとき																																																																					
[クリア条件]																																																																						
0	OCFA=1の状態、OCFAをリードした後、OCFAに0をライトしたとき																																																																					
[セット条件]																																																																						
1	FRCとOCRAがAコンペアマッチしたとき																																																																					
[クリア条件]																																																																						
0	ICFD=1の状態、ICFDをリードした後、ICFDに0をライトしたとき																																																																					
[セット条件]																																																																						
1	インプットキャプチャ信号が発生したとき																																																																					
[クリア条件]																																																																						
0	ICFC=1の状態、ICFCをリードした後、ICFCに0をライトしたとき																																																																					
[セット条件]																																																																						
1	インプットキャプチャ信号が発生したとき																																																																					
[クリア条件]																																																																						
0	ICFB=1の状態、ICFBをリードした後、ICFBに0をライトしたとき																																																																					
[セット条件]																																																																						
1	インプットキャプチャ信号により、FRCの値がICRBに転送されたとき																																																																					
[クリア条件]																																																																						
0	ICFA=1の状態、ICFAをリードした後、ICFAに0をライトしたとき																																																																					
[セット条件]																																																																						
1	インプットキャプチャ信号により、FRCの値がICRAに転送されたとき																																																																					
		<p>【注】* フラグをクリアするための0ライトのみ可能です。</p>																																																																				

FRCH フリーランニングカウンタH	H'F772	タイマX								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>FRCH7</td><td>FRCH6</td><td>FRCH5</td><td>FRCH4</td><td>FRCH3</td><td>FRCH2</td><td>FRCH1</td><td>FRCH0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0 R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;"> カウント値</p>			FRCH7	FRCH6	FRCH5	FRCH4	FRCH3	FRCH2	FRCH1	FRCH0
FRCH7	FRCH6	FRCH5	FRCH4	FRCH3	FRCH2	FRCH1	FRCH0			
FRCL フリーランニングカウンタL	H'F773	タイマX								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>FRCL7</td><td>FRCL6</td><td>FRCL5</td><td>FRCL4</td><td>FRCL3</td><td>FRCL2</td><td>FRCL1</td><td>FRCL0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0 R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;"> カウント値</p>			FRCL7	FRCL6	FRCL5	FRCL4	FRCL3	FRCL2	FRCL1	FRCL0
FRCL7	FRCL6	FRCL5	FRCL4	FRCL3	FRCL2	FRCL1	FRCL0			
OCRAH アウトプットコンペアレジスタH	H'F774	タイマX								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>OCRAH7</td><td>OCRAH6</td><td>OCRAH5</td><td>OCRAH4</td><td>OCRAH3</td><td>OCRAH2</td><td>OCRAH1</td><td>OCRAH0</td> </tr> </table> <p>初期値 : 1 1 1 1 1 1 1 1 R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p>			OCRAH7	OCRAH6	OCRAH5	OCRAH4	OCRAH3	OCRAH2	OCRAH1	OCRAH0
OCRAH7	OCRAH6	OCRAH5	OCRAH4	OCRAH3	OCRAH2	OCRAH1	OCRAH0			
OCRBH アウトプットコンペアレジスタBH	H'F774	タイマX								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>OCRBH7</td><td>OCRBH6</td><td>OCRBH5</td><td>OCRBH4</td><td>OCRBH3</td><td>OCRBH2</td><td>OCRBH1</td><td>OCRBH0</td> </tr> </table> <p>初期値 : 1 1 1 1 1 1 1 1 R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p>			OCRBH7	OCRBH6	OCRBH5	OCRBH4	OCRBH3	OCRBH2	OCRBH1	OCRBH0
OCRBH7	OCRBH6	OCRBH5	OCRBH4	OCRBH3	OCRBH2	OCRBH1	OCRBH0			

OCRAL	アウトプットコンペアレジスタL	H'F775	タイムX								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>OCRAL7</td> <td>OCRAL6</td> <td>OCRAL5</td> <td>OCRAL4</td> <td>OCRAL3</td> <td>OCRAL2</td> <td>OCRAL1</td> <td>OCRAL0</td> </tr> </table> <p>初期値： 1 1 1 1 1 1 1 1</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p>				OCRAL7	OCRAL6	OCRAL5	OCRAL4	OCRAL3	OCRAL2	OCRAL1	OCRAL0
OCRAL7	OCRAL6	OCRAL5	OCRAL4	OCRAL3	OCRAL2	OCRAL1	OCRAL0				
OCRBL	アウトプットコンペアレジスタBL	H'F775	タイムX								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>OCRBL7</td> <td>OCRBL6</td> <td>OCRBL5</td> <td>OCRBL4</td> <td>OCRBL3</td> <td>OCRBL2</td> <td>OCRBL1</td> <td>OCRBL0</td> </tr> </table> <p>初期値： 1 1 1 1 1 1 1 1</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p>				OCRBL7	OCRBL6	OCRBL5	OCRBL4	OCRBL3	OCRBL2	OCRBL1	OCRBL0
OCRBL7	OCRBL6	OCRBL5	OCRBL4	OCRBL3	OCRBL2	OCRBL1	OCRBL0				

TCRX タイマコントロールレジスタX		H'F776		タイムX											
ビット : 7 6 5 4 3 2 1 0															
IEDGA		IEDGB		IEDGC		IEDGD		BUFEA		BUFEB		CKS1		CKS0	
初期値 : 0		0		0		0		0		0		0		0	
R/W : R/W		R/W		R/W		R/W		R/W		R/W		R/W		R/W	
						クロックセレクト									
						0 0 内部クロック : $\phi/2$ でカウント									
						0 1 内部クロック : $\phi/8$ でカウント									
						1 0 内部クロック : $\phi/32$ でカウント									
						1 1 内部クロック : 立ち上がりエッジでカウント									
						バッファイネーブルB									
						0 ICRCをICRBのバッファレジスタとして使用しない									
						1 ICRCをOCRBのバッファレジスタとして使用する									
						バッファイネーブルA									
						0 ICRCをICRAのバッファレジスタとして使用しない									
						1 ICRCをOCRAのバッファレジスタとして使用する									
						インプットエッジセレクトD									
						0 インプットキャプチャ入力Dの立ち上がりエッジでキャプチャ									
						1 インプットキャプチャ入力Dの立ち下がりエッジでキャプチャ									
						インプットエッジセレクトC									
						0 インプットキャプチャ入力Cの立ち上がりエッジでキャプチャ									
						1 インプットキャプチャ入力Cの立ち下がりエッジでキャプチャ									
						インプットエッジセレクトB									
						0 インプットキャプチャ入力Bの立ち上がりエッジでキャプチャ									
						1 インプットキャプチャ入力Bの立ち下がりエッジでキャプチャ									
						インプットエッジセレクトA									
						0 インプットキャプチャ入力Aの立ち上がりエッジでキャプチャ									
						1 インプットキャプチャ入力Aの立ち下がりエッジでキャプチャ									



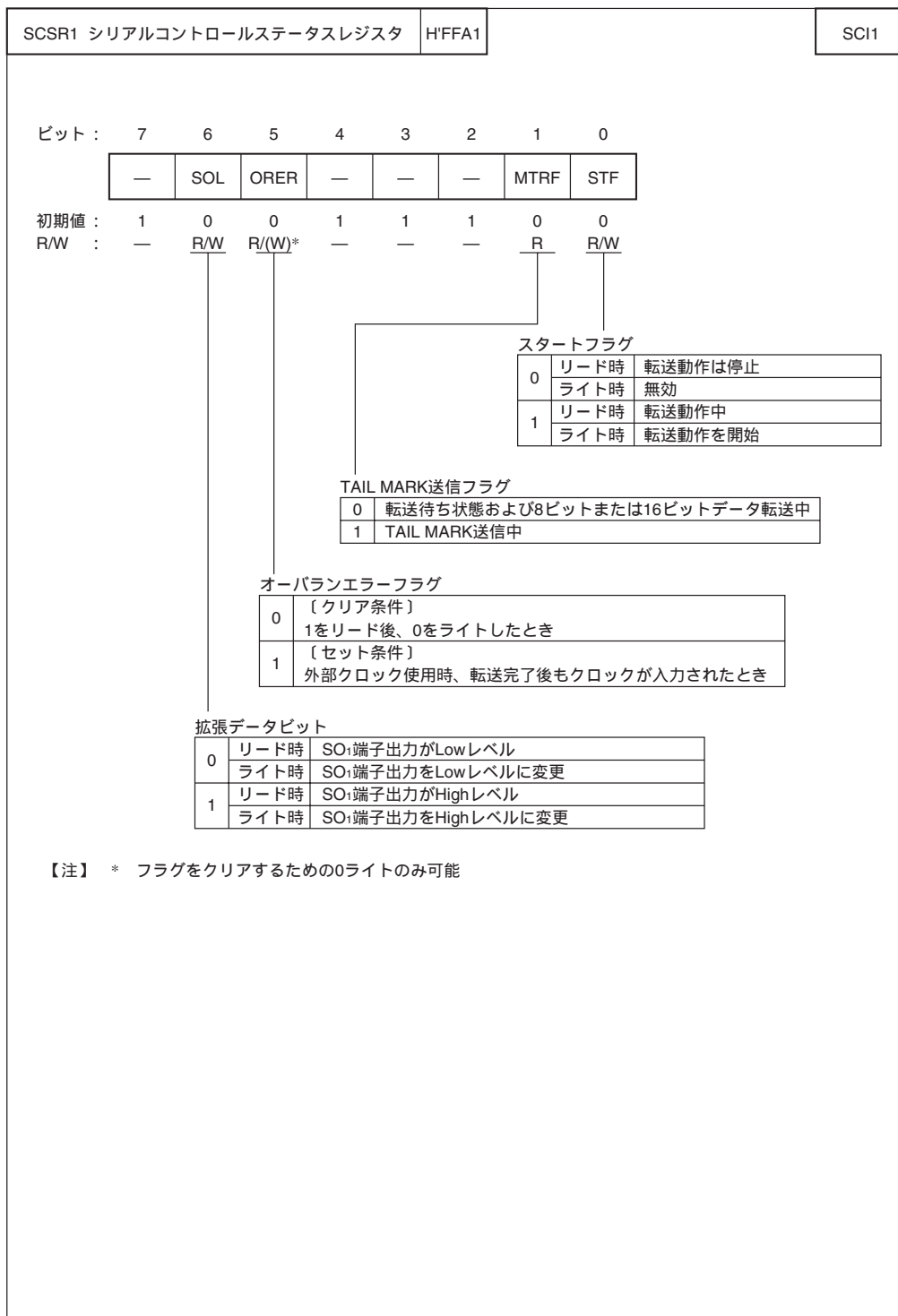
ICRAH	インプットキャプチャレジスタH	H'F778	タイムX								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>ICRAH7</td> <td>ICRAH6</td> <td>ICRAH5</td> <td>ICRAH4</td> <td>ICRAH3</td> <td>ICRAH2</td> <td>ICRAH1</td> <td>ICRAH0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0 R/W : R R R R R R R R</p>				ICRAH7	ICRAH6	ICRAH5	ICRAH4	ICRAH3	ICRAH2	ICRAH1	ICRAH0
ICRAH7	ICRAH6	ICRAH5	ICRAH4	ICRAH3	ICRAH2	ICRAH1	ICRAH0				
ICRAL	インプットキャプチャレジスタL	H'F779	タイムX								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>ICRAL7</td> <td>ICRAL6</td> <td>ICRAL5</td> <td>ICRAL4</td> <td>ICRAL3</td> <td>ICRAL2</td> <td>ICRAL1</td> <td>ICRAL0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0 R/W : R R R R R R R R</p>				ICRAL7	ICRAL6	ICRAL5	ICRAL4	ICRAL3	ICRAL2	ICRAL1	ICRAL0
ICRAL7	ICRAL6	ICRAL5	ICRAL4	ICRAL3	ICRAL2	ICRAL1	ICRAL0				
ICRBH	インプットキャプチャレジスタBH	H'F77A	タイムX								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>ICRBH7</td> <td>ICRBH6</td> <td>ICRBH5</td> <td>ICRBH4</td> <td>ICRBH3</td> <td>ICRBH2</td> <td>ICRBH1</td> <td>ICRBH0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0 R/W : R R R R R R R R</p>				ICRBH7	ICRBH6	ICRBH5	ICRBH4	ICRBH3	ICRBH2	ICRBH1	ICRBH0
ICRBH7	ICRBH6	ICRBH5	ICRBH4	ICRBH3	ICRBH2	ICRBH1	ICRBH0				
ICRBL	インプットキャプチャレジスタBL	H'F77B	タイムX								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>ICRBL7</td> <td>ICRBL6</td> <td>ICRBL5</td> <td>ICRBL4</td> <td>ICRBL3</td> <td>ICRBL2</td> <td>ICRBL1</td> <td>ICRBL0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0 R/W : R R R R R R R R</p>				ICRBL7	ICRBL6	ICRBL5	ICRBL4	ICRBL3	ICRBL2	ICRBL1	ICRBL0
ICRBL7	ICRBL6	ICRBL5	ICRBL4	ICRBL3	ICRBL2	ICRBL1	ICRBL0				

FLMCR フラッシュメモリコントロールレジスタ				H'FF80				フラッシュメモリ (フラッシュメモリ内蔵版のみ)								
ビット:	7	6	5	4	3	2	1	0								
	V _{PP}	—	—	—	EV	PV	E	P								
初期値:	0	0	0	0	0	0	0	0								
R/W:	R	—	—	—	R/W	R/W	R/W	R/W								
									プログラムモード							
									<table border="1"> <tr> <td>0</td> <td>プログラムモードを解除</td> </tr> <tr> <td>1</td> <td>プログラムモードに遷移</td> </tr> </table>				0	プログラムモードを解除	1	プログラムモードに遷移
0	プログラムモードを解除															
1	プログラムモードに遷移															
									イレースモード							
									<table border="1"> <tr> <td>0</td> <td>イレースモードを解除</td> </tr> <tr> <td>1</td> <td>イレースモードに遷移</td> </tr> </table>				0	イレースモードを解除	1	イレースモードに遷移
0	イレースモードを解除															
1	イレースモードに遷移															
									プログラムベリファイモード							
									<table border="1"> <tr> <td>0</td> <td>プログラムベリファイモードを解除</td> </tr> <tr> <td>1</td> <td>プログラムベリファイモードに遷移</td> </tr> </table>				0	プログラムベリファイモードを解除	1	プログラムベリファイモードに遷移
0	プログラムベリファイモードを解除															
1	プログラムベリファイモードに遷移															
									イレースベリファイモード							
									<table border="1"> <tr> <td>0</td> <td>イレースベリファイモードを解除</td> </tr> <tr> <td>1</td> <td>イレースベリファイモードに遷移</td> </tr> </table>				0	イレースベリファイモードを解除	1	イレースベリファイモードに遷移
0	イレースベリファイモードを解除															
1	イレースベリファイモードに遷移															
									プログラム電源							
									<table border="1"> <tr> <td>0</td> <td>FV_{PP}端子に12Vが印加されていない</td> </tr> <tr> <td>1</td> <td>FV_{PP}端子に12Vが印加されている</td> </tr> </table>				0	FV _{PP} 端子に12Vが印加されていない	1	FV _{PP} 端子に12Vが印加されている
0	FV _{PP} 端子に12Vが印加されていない															
1	FV _{PP} 端子に12Vが印加されている															

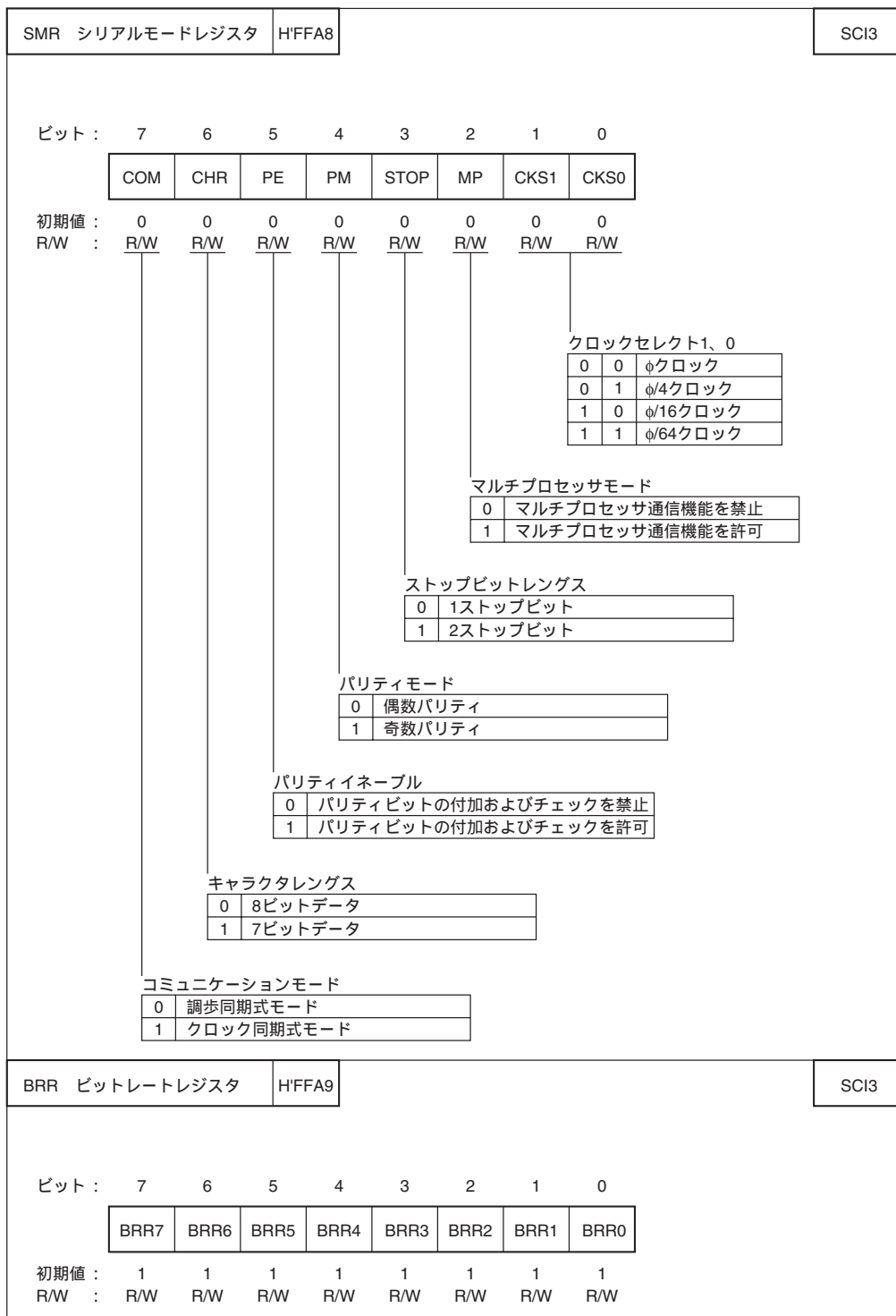
EBR1 消去ブロック指定レジスタ1	H'FF82	フラッシュメモリ (フラッシュメモリ内蔵版のみ)												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">—</td><td style="width: 20px;">LB3</td><td style="width: 20px;">LB2</td><td style="width: 20px;">LB1</td><td style="width: 20px;">LB0</td> </tr> </table> <p>初期値： 1 1 1 1 0 0 0 0</p> <p>R/W : — — — — R/W R/W R/W R/W</p> <div style="margin-left: 300px; margin-top: 20px;"> <p>ラージブロック3~0</p> <table border="1" style="border-collapse: collapse;"> <tr><td style="width: 20px;">0</td><td>非選択</td></tr> <tr><td>1</td><td>選択</td></tr> </table> </div>			—	—	—	—	LB3	LB2	LB1	LB0	0	非選択	1	選択
—	—	—	—	LB3	LB2	LB1	LB0							
0	非選択													
1	選択													
EBR2 消去ブロック指定レジスタ2	H'FF83	フラッシュメモリ (フラッシュメモリ内蔵版のみ)												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 40px; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">SB7</td><td style="width: 20px;">SB6</td><td style="width: 20px;">SB5</td><td style="width: 20px;">SB4</td><td style="width: 20px;">SB3</td><td style="width: 20px;">SB2</td><td style="width: 20px;">SB1</td><td style="width: 20px;">SB0</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p> <div style="margin-left: 300px; margin-top: 20px;"> <p>スモールブロック7~0</p> <table border="1" style="border-collapse: collapse;"> <tr><td style="width: 20px;">0</td><td>非選択</td></tr> <tr><td>1</td><td>選択</td></tr> </table> </div>			SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0	0	非選択	1	選択
SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0							
0	非選択													
1	選択													

ICRCH	インプットキャプチャレジスタCH	H'F77C	タイムX								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>ICRCH7</td> <td>ICRCH6</td> <td>ICRCH5</td> <td>ICRCH4</td> <td>ICRCH3</td> <td>ICRCH2</td> <td>ICRCH1</td> <td>ICRCH0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0 R/W : R R R R R R R R</p>				ICRCH7	ICRCH6	ICRCH5	ICRCH4	ICRCH3	ICRCH2	ICRCH1	ICRCH0
ICRCH7	ICRCH6	ICRCH5	ICRCH4	ICRCH3	ICRCH2	ICRCH1	ICRCH0				
ICRCL	インプットキャプチャレジスタCL	H'F77D	タイムX								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>ICRCL7</td> <td>ICRCL6</td> <td>ICRCL5</td> <td>ICRCL4</td> <td>ICRCL3</td> <td>ICRCL2</td> <td>ICRCL1</td> <td>ICRCL0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0 R/W : R R R R R R R R</p>				ICRCL7	ICRCL6	ICRCL5	ICRCL4	ICRCL3	ICRCL2	ICRCL1	ICRCL0
ICRCL7	ICRCL6	ICRCL5	ICRCL4	ICRCL3	ICRCL2	ICRCL1	ICRCL0				
ICRDH	インプットキャプチャレジスタDH	H'F77E	タイムX								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>ICRDH7</td> <td>ICRDH6</td> <td>ICRDH5</td> <td>ICRDH4</td> <td>ICRDH3</td> <td>ICRDH2</td> <td>ICRDH1</td> <td>ICRDH0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0 R/W : R R R R R R R R</p>				ICRDH7	ICRDH6	ICRDH5	ICRDH4	ICRDH3	ICRDH2	ICRDH1	ICRDH0
ICRDH7	ICRDH6	ICRDH5	ICRDH4	ICRDH3	ICRDH2	ICRDH1	ICRDH0				
ICRDL	インプットキャプチャレジスタDL	H'F77F	タイムX								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>ICRDL7</td> <td>ICRDL6</td> <td>ICRDL5</td> <td>ICRDL4</td> <td>ICRDL3</td> <td>ICRDL2</td> <td>ICRDL1</td> <td>ICRDL0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0 R/W : R R R R R R R R</p>				ICRDL7	ICRDL6	ICRDL5	ICRDL4	ICRDL3	ICRDL2	ICRDL1	ICRDL0
ICRDL7	ICRDL6	ICRDL5	ICRDL4	ICRDL3	ICRDL2	ICRDL1	ICRDL0				

SCR1 シリアルコントロールレジスタ1	H'FFA0	SCI1																																																																																														
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">SNC1</td> <td style="padding: 2px;">SNC0</td> <td style="padding: 2px;">MRKON</td> <td style="padding: 2px;">LTCH</td> <td style="padding: 2px;">CKS3</td> <td style="padding: 2px;">CKS2</td> <td style="padding: 2px;">CKS1</td> <td style="padding: 2px;">CKS0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 1</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p> <div style="margin-top: 10px;"> <p>クロック選択2-0</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <thead> <tr> <th rowspan="2">ビット2 CKS2</th> <th rowspan="2">ビット1 CKS1</th> <th rowspan="2">ビット0 CKS0</th> <th rowspan="2">プリスケアラ 分周比</th> <th colspan="2">転送クロック周期</th> </tr> <tr> <th colspan="2">クロック同期</th> </tr> <tr> <th colspan="4"></th> <th>$\phi = 5\text{MHz}$</th> <th>$\phi = 2.5\text{MHz}$</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>$\phi/1024$</td><td>204.8μs</td><td>409.6μs</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>$\phi/256$</td><td>51.2μs</td><td>102.4μs</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>$\phi/64$</td><td>12.8μs</td><td>25.6μs</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>$\phi/32$</td><td>6.4μs</td><td>12.8μs</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>$\phi/16$</td><td>3.2μs</td><td>6.4μs</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>$\phi/8$</td><td>1.6μs</td><td>3.2μs</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>$\phi/4$</td><td>0.8μs</td><td>1.6μs</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>$\phi/2$</td><td>—</td><td>0.8μs</td></tr> </tbody> </table> <p>クロックソース選択3</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr><td>0</td><td>クロックソースはプリスケアラS、SCK_i端子は出力</td></tr> <tr><td>1</td><td>クロックソースは外部クロック、SCK_i端子は入力</td></tr> </table> <p>LATCH TAIL選択</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr><td>0</td><td>HOLD TAILを出力</td></tr> <tr><td>1</td><td>LATCH TAILを出力</td></tr> </table> <p>TAIL MARK制御</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr><td>0</td><td>TAIL MARKを非出力 (クロック同期モード)</td></tr> <tr><td>1</td><td>TAIL MARKを出力 (SSBモード)</td></tr> </table> <p>動作モード選択1、0</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr><td>0</td><td>0</td><td>8ビットモード</td></tr> <tr><td>0</td><td>1</td><td>16ビットモード</td></tr> <tr><td>1</td><td>0</td><td>クロック連続出力モード</td></tr> <tr><td>1</td><td>1</td><td>リザーブ</td></tr> </table> </div>			SNC1	SNC0	MRKON	LTCH	CKS3	CKS2	CKS1	CKS0	ビット2 CKS2	ビット1 CKS1	ビット0 CKS0	プリスケアラ 分周比	転送クロック周期		クロック同期						$\phi = 5\text{MHz}$	$\phi = 2.5\text{MHz}$	0	0	0	$\phi/1024$	204.8 μs	409.6 μs	0	0	1	$\phi/256$	51.2 μs	102.4 μs	0	1	0	$\phi/64$	12.8 μs	25.6 μs	0	1	1	$\phi/32$	6.4 μs	12.8 μs	1	0	0	$\phi/16$	3.2 μs	6.4 μs	1	0	1	$\phi/8$	1.6 μs	3.2 μs	1	1	0	$\phi/4$	0.8 μs	1.6 μs	1	1	1	$\phi/2$	—	0.8 μs	0	クロックソースはプリスケアラS、SCK _i 端子は出力	1	クロックソースは外部クロック、SCK _i 端子は入力	0	HOLD TAILを出力	1	LATCH TAILを出力	0	TAIL MARKを非出力 (クロック同期モード)	1	TAIL MARKを出力 (SSBモード)	0	0	8ビットモード	0	1	16ビットモード	1	0	クロック連続出力モード	1	1	リザーブ
SNC1	SNC0	MRKON	LTCH	CKS3	CKS2	CKS1	CKS0																																																																																									
ビット2 CKS2	ビット1 CKS1	ビット0 CKS0	プリスケアラ 分周比	転送クロック周期																																																																																												
				クロック同期																																																																																												
				$\phi = 5\text{MHz}$	$\phi = 2.5\text{MHz}$																																																																																											
0	0	0	$\phi/1024$	204.8 μs	409.6 μs																																																																																											
0	0	1	$\phi/256$	51.2 μs	102.4 μs																																																																																											
0	1	0	$\phi/64$	12.8 μs	25.6 μs																																																																																											
0	1	1	$\phi/32$	6.4 μs	12.8 μs																																																																																											
1	0	0	$\phi/16$	3.2 μs	6.4 μs																																																																																											
1	0	1	$\phi/8$	1.6 μs	3.2 μs																																																																																											
1	1	0	$\phi/4$	0.8 μs	1.6 μs																																																																																											
1	1	1	$\phi/2$	—	0.8 μs																																																																																											
0	クロックソースはプリスケアラS、SCK _i 端子は出力																																																																																															
1	クロックソースは外部クロック、SCK _i 端子は入力																																																																																															
0	HOLD TAILを出力																																																																																															
1	LATCH TAILを出力																																																																																															
0	TAIL MARKを非出力 (クロック同期モード)																																																																																															
1	TAIL MARKを出力 (SSBモード)																																																																																															
0	0	8ビットモード																																																																																														
0	1	16ビットモード																																																																																														
1	0	クロック連続出力モード																																																																																														
1	1	リザーブ																																																																																														



SDRU シリアルデータレジスタU		H'FFA2							SCI1							
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>SDRU7</td><td>SDRU6</td><td>SDRU5</td><td>SDRU4</td><td>SDRU3</td><td>SDRU2</td><td>SDRU1</td><td>SDRU0</td> </tr> </table> <p>初期値： 不定 不定 不定 不定 不定 不定 不定 不定 R/W： R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>送信データの設定、受信データの格納に使用 8ビット転送モード：未使用 16ビット転送モード：データレジスタ上位8ビット</p>									SDRU7	SDRU6	SDRU5	SDRU4	SDRU3	SDRU2	SDRU1	SDRU0
SDRU7	SDRU6	SDRU5	SDRU4	SDRU3	SDRU2	SDRU1	SDRU0									
SDRL シリアルデータレジスタL		H'FFA3							SCI1							
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>SDRL7</td><td>SDRL6</td><td>SDRL5</td><td>SDRL4</td><td>SDRL3</td><td>SDRL2</td><td>SDRL1</td><td>SDRL0</td> </tr> </table> <p>初期値： 不定 不定 不定 不定 不定 不定 不定 不定 R/W： R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>送信データの設定、受信データの格納に使用 8ビット転送モード：データレジスタ 16ビット転送モード：データレジスタ下位8ビット</p>									SDRL7	SDRL6	SDRL5	SDRL4	SDRL3	SDRL2	SDRL1	SDRL0
SDRL7	SDRL6	SDRL5	SDRL4	SDRL3	SDRL2	SDRL1	SDRL0									



SCR3 シリアルコントロールレジスタ3	H'FFAA	SCI3
----------------------	--------	------

ビット : 7 6 5 4 3 2 1 0

TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
-----	-----	----	----	------	------	------	------

初期値 : 0 0 0 0 0 0 0 0
R/W : R/W R/W R/W R/W R/W R/W R/W R/W

クロックイネーブル

ビット1	ビット0	説 明		
CKE1	CKE0	コミュニケーションモード	クロックソース	SCK ₃ 端子機能
0	0	調歩同期式	内部クロック	入出力ポート
		クロック同期式	内部クロック	同期クロック出力
0	1	調歩同期式	内部クロック	クロック出力
		クロック同期式	リザーブ (本組み合わせは指定しない)	
1	0	調歩同期式	外部クロック	クロック入力
		クロック同期式	外部クロック	同期クロック入力
1	1	調歩同期式	リザーブ (本組み合わせは指定しない)	
		クロック同期式	リザーブ (本組み合わせは指定しない)	

トランスミットエンドインタラプトイネーブル

0	送信終了割り込み要求 (TEI) を禁止
1	送信終了割り込み要求 (TEI) を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割り込み要求を禁止 (通常の受信動作) [クリア条件] マルチプロセッサビットが1のデータを受信したとき
1	マルチプロセッサ割り込み要求を許可 マルチプロセッサビットが1のデータを受け取るまで受信割り込み要求 (RXI)、受信エラー割り込み要求 (ERI)、および、シリアルステータスレジスタ (SSR) のRDRF、FER、OERの各フラグのセットを禁止

レーシブイネーブル

0	受信動作を禁止 (RXD端子は入出力ポート)
1	受信動作を許可 (RXD端子はレーシブデータ端子)

トランスミットイネーブル

0	送信動作を禁止 (TXD端子はトランスミットデータ端子)*1
1	送信動作を許可 (TXD端子はトランスミットデータ端子)*1

【注】 *1 PMR7のTXDビットに1をセットした場合

レーシブインタラプトイネーブル

0	受信データフル割り込み要求 (RXI)、および受信エラー割り込み要求 (ERI) を禁止
1	受信データフル割り込み要求 (RXI)、および受信エラー割り込み要求 (ERI) を許可

トランスミットインタラプトイネーブル

0	送信データエンpty割り込み要求 (TXI) の禁止
1	送信データエンpty割り込み要求 (TXI) の許可

SSR シリアルステータスレジスタ		H'FFAC						SCI3	
ビット : 7 6 5 4 3 2 1 0									
TDRE		RDRF		OER		FER		PER	
TEND		MPBR		MPBT					
初期値 : 1 0 0 0 0 1 0 0									
R/W : R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R R R/W									
マルチプロセッサビットトランスファ									
0 マルチプロセッサビット0を送信									
1 マルチプロセッサビット1を送信									
マルチプロセッサビットレシープ									
0 マルチプロセッサビットが0のデータを受信									
1 マルチプロセッサビットが1のデータを受信									
トランスミットエンド									
0 送信中 [クリア条件] (1) TDRE=1の状態をリードした後、TDREに0をライトしたとき (2) 命令でTDRにデータをライトしたとき									
1 送信終了 [セット条件] (1) シリアルコントロールレジスタ3 (SCR3) のTEが0のとき (2) 送信キャラクタ最後尾のビットの送信時に、TDREが1であったとき									
パリティエラー									
0 受信中、または正常に受信完了 [クリア条件] PER=1の状態をリードした後、0をライトしたとき									
1 受信時にパリティエラー発生 [セット条件] 受信時に受信データとパリティビットをあわせて1の数がシリアルモードレジスタ (SMR) のパリティモード (PM) で設定したパリティと一致しなかったとき									
フレーミングエラー									
0 受信中、または正常に受信完了 [クリア条件] FER=1の状態をリードした後、0をライトしたとき									
1 受信時にフレーミングエラー発生 [セット条件] 受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき									
オーバランエラー									
0 受信中、または受信完了 [クリア条件] OER=1の状態をリードした後、0をライトしたとき									
1 受信時にオーバランエラー発生 [セット条件] RDRFが1の状態下次のシリアル受信を完了したとき									
レシープデータレジスタフル									
0 RDRに受信データ未格納 [クリア条件] (1) RDRF=1の状態をリードした後、0をライトしたとき (2) 命令でRDRのデータをリードしたとき									
1 RDRに受信データ格納 [セット条件] 受信が正常終了し、RSRからRDRへ受信データが転送されたとき									
トランスミットデータレジスタエンpty									
0 TDRにライトされた送信データがTSRに転送されていない [クリア条件] (1) TDRE=1の状態をリードした後、0をライトしたとき (2) 命令でTDRへデータをライトしたとき									
1 TDRに送信データがライトされていない、またはTDRにライトされた送信データがTSRに転送された [セット条件] (1) シリアルコントロールレジスタ3 (SCR3) のTEが0のとき (2) TDRからTSRにデータ転送が行われたとき									
【注】 * フラグをクリアするための0ライトのみ可能									

RDR レシーブデータレジスタ		H'FFAD						SCI3
ビット :	7	6	5	4	3	2	1	0
	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

TMA タイマモードレジスタ	H'FFB0	タイマA
----------------	--------	------

ビット： 7 6 5 4 3 2 1 0

TMA7	TMA6	TMA5	—	TMA3	TMA2	TMA1	TMA0
------	------	------	---	------	------	------	------

初期値： 0 0 0 1 0 0 0 0

R/W： R/W R/W R/W — R/W R/W R/W R/W

内部クロックセレクト

TMA3	TMA2	TMA1	TMA0	プリスケアラ分周比またはオーバフロー周期	機 能		
0	0	0	0	PSS	$\phi/8192$	インターバル	
			1	PSS	$\phi/4096$		
		1	0	PSS	$\phi/2048$		
			1	PSS	$\phi/512$		
	1	0	0	PSS	$\phi/256$		
			1	PSS	$\phi/128$		
		1	0	PSS	$\phi/32$		
			1	PSS	$\phi/8$		
1	0	0	0	PSW	1s	時計用タイムベース	
			1	PSW	0.5s		
		1	0	PSW	0.25s		
			1	PSW	0.03125s		
	1	1	0	PSW、TCAリセット	1		
			1				
			0				
			1				

クロック出力セレクト

0	0	0	$\phi/32$
		1	$\phi/16$
	1	0	$\phi/8$
		1	$\phi/4$
1	0	0	$\phi_w/32$
		1	$\phi_w/16$
	1	0	$\phi_w/8$
		1	$\phi_w/4$

TCA タイマカウンタA	H'FFB1	タイマA																																																				
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: auto; border-collapse: collapse;"> <tr> <td style="width: 20px;">TCA7</td> <td style="width: 20px;">TCA6</td> <td style="width: 20px;">TCA5</td> <td style="width: 20px;">TCA4</td> <td style="width: 20px;">TCA3</td> <td style="width: 20px;">TCA2</td> <td style="width: 20px;">TCA1</td> <td style="width: 20px;">TCA0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0 R/W : R R R R R R R R</p> <p style="text-align: center;">└───┬───┘ カウント値</p>			TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0																																												
TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0																																															
TMB1 タイマモードレジスタB1	H'FFB2	タイマB1																																																				
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: auto; border-collapse: collapse;"> <tr> <td style="width: 20px;">TMB17</td> <td style="width: 20px;">—</td> <td style="width: 20px;">—</td> <td style="width: 20px;">—</td> <td style="width: 20px;">—</td> <td style="width: 20px;">TMB12</td> <td style="width: 20px;">TMB11</td> <td style="width: 20px;">TMB10</td> </tr> </table> <p>初期値 : 0 1 1 1 1 0 0 0 R/W : R/W — — — — R/W R/W R/W</p> <div style="margin-top: 10px;"> <p style="text-align: center;">クロックセレクト</p> <table border="1" style="margin: auto; border-collapse: collapse;"> <tr><td>0</td><td>0</td><td>0</td><td>内部クロック</td><td>φ/8192</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>内部クロック</td><td>φ/2048</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>内部クロック</td><td>φ/512</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>内部クロック</td><td>φ/256</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>内部クロック</td><td>φ/64</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>内部クロック</td><td>φ/16</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>内部クロック</td><td>φ/4</td></tr> <tr><td>1</td><td>1</td><td>1</td><td colspan="2">外部イベント (TMIB) の立ち上がり / 立ち下がりエッジでカウント</td></tr> </table> </div> <div style="margin-top: 10px;"> <p>オートリロード機能選択</p> <table border="1" style="margin: auto; border-collapse: collapse;"> <tr><td>0</td><td>インターバル機能を選択</td></tr> <tr><td>1</td><td>オートリロード機能を選択</td></tr> </table> </div>			TMB17	—	—	—	—	TMB12	TMB11	TMB10	0	0	0	内部クロック	φ/8192	0	0	1	内部クロック	φ/2048	0	1	0	内部クロック	φ/512	0	1	1	内部クロック	φ/256	1	0	0	内部クロック	φ/64	1	0	1	内部クロック	φ/16	1	1	0	内部クロック	φ/4	1	1	1	外部イベント (TMIB) の立ち上がり / 立ち下がりエッジでカウント		0	インターバル機能を選択	1	オートリロード機能を選択
TMB17	—	—	—	—	TMB12	TMB11	TMB10																																															
0	0	0	内部クロック	φ/8192																																																		
0	0	1	内部クロック	φ/2048																																																		
0	1	0	内部クロック	φ/512																																																		
0	1	1	内部クロック	φ/256																																																		
1	0	0	内部クロック	φ/64																																																		
1	0	1	内部クロック	φ/16																																																		
1	1	0	内部クロック	φ/4																																																		
1	1	1	外部イベント (TMIB) の立ち上がり / 立ち下がりエッジでカウント																																																			
0	インターバル機能を選択																																																					
1	オートリロード機能を選択																																																					

TCB1 タイマカウンタB1			H'FFB3					タイムB1								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>TCB17</td><td>TCB16</td><td>TCB15</td><td>TCB14</td><td>TCB13</td><td>TCB12</td><td>TCB11</td><td>TCB10</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R R R R R R R R</p> <p style="text-align: center;"> カウント値</p>									TCB17	TCB16	TCB15	TCB14	TCB13	TCB12	TCB11	TCB10
TCB17	TCB16	TCB15	TCB14	TCB13	TCB12	TCB11	TCB10									
TLB1 タイマロードレジスタB1			H'FFB3					タイムB1								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1"> <tr> <td>TLB17</td><td>TLB16</td><td>TLB15</td><td>TLB14</td><td>TLB13</td><td>TLB12</td><td>TLB11</td><td>TLB10</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : W W W W W W W W</p> <p style="text-align: center;"> リロード値設定</p>									TLB17	TLB16	TLB15	TLB14	TLB13	TLB12	TLB11	TLB10
TLB17	TLB16	TLB15	TLB14	TLB13	TLB12	TLB11	TLB10									

TCRV0 タイマコントロールレジスタV0	H'FFB8	タイムV																																																																																																					
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px;">CMIEB</td> <td style="padding: 2px;">CMIEA</td> <td style="padding: 2px;">OVIE</td> <td style="padding: 2px;">CCLR1</td> <td style="padding: 2px;">CCLR0</td> <td style="padding: 2px;">CKS2</td> <td style="padding: 2px;">CKS1</td> <td style="padding: 2px;">CKS0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p> <div style="margin-top: 10px;"> <p>クロックセレクト</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th colspan="2">TCRV0</th> <th colspan="2">TCRV1</th> <th rowspan="2">説 明</th> </tr> <tr> <th>ビット2</th> <th>ビット1</th> <th>ビット0</th> <th>ビット0</th> </tr> <tr> <th>CKS2</th> <th>CKS1</th> <th>CKS0</th> <th>ICKS0</th> <th></th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>—</td><td>クロック入力禁止</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>内部クロック : φ/4立ち下がりエッジでカウント</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>内部クロック : φ/8立ち下がりエッジでカウント</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>内部クロック : φ/16立ち下がりエッジでカウント</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>内部クロック : φ/32立ち下がりエッジでカウント</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>内部クロック : φ/64立ち下がりエッジでカウント</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>内部クロック : φ/128立ち下がりエッジでカウント</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>—</td><td>クロック入力禁止</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>—</td><td>外部クロック : 立ち上がりエッジでカウント</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>—</td><td>外部クロック : 立ち下がりエッジでカウント</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>—</td><td>外部クロック : 立ち上がり/立ち下がり両エッジでカウント</td></tr> </tbody> </table> <p>カウンタクリア</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr><td>0</td><td>0</td><td>TCNTVのクリアを禁止</td></tr> <tr><td>0</td><td>1</td><td>コンペアマッチAによりTCNTVをクリア</td></tr> <tr><td>1</td><td>0</td><td>コンペアマッチBによりTCNTVをクリア</td></tr> <tr><td>1</td><td>1</td><td>外部リセット入力信号の立ち上がりエッジによりTCNTVをクリア</td></tr> </table> <p>タイマオーバーフローインタラプトイネーブル</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr><td>0</td><td>OVFによる割り込み要求 (OVI) を禁止</td></tr> <tr><td>1</td><td>OVFによる割り込み要求 (OVI) を許可</td></tr> </table> <p>コンペアマッチインタラプトイネーブルA</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr><td>0</td><td>CMFAによる割り込み要求 (CMIA) を禁止</td></tr> <tr><td>1</td><td>CMFAによる割り込み要求 (CMIA) を許可</td></tr> </table> <p>コンペアマッチインタラプトイネーブルB</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr><td>0</td><td>CMFBによる割り込み要求 (CMIB) を禁止</td></tr> <tr><td>1</td><td>CMFBによる割り込み要求 (CMIB) を許可</td></tr> </table> </div>			CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TCRV0		TCRV1		説 明	ビット2	ビット1	ビット0	ビット0	CKS2	CKS1	CKS0	ICKS0		0	0	0	—	クロック入力禁止	0	0	1	0	内部クロック : φ/4立ち下がりエッジでカウント	0	0	1	1	内部クロック : φ/8立ち下がりエッジでカウント	0	1	0	0	内部クロック : φ/16立ち下がりエッジでカウント	0	1	0	1	内部クロック : φ/32立ち下がりエッジでカウント	0	1	1	0	内部クロック : φ/64立ち下がりエッジでカウント	0	1	1	1	内部クロック : φ/128立ち下がりエッジでカウント	1	0	0	—	クロック入力禁止	1	0	1	—	外部クロック : 立ち上がりエッジでカウント	1	1	0	—	外部クロック : 立ち下がりエッジでカウント	1	1	1	—	外部クロック : 立ち上がり/立ち下がり両エッジでカウント	0	0	TCNTVのクリアを禁止	0	1	コンペアマッチAによりTCNTVをクリア	1	0	コンペアマッチBによりTCNTVをクリア	1	1	外部リセット入力信号の立ち上がりエッジによりTCNTVをクリア	0	OVFによる割り込み要求 (OVI) を禁止	1	OVFによる割り込み要求 (OVI) を許可	0	CMFAによる割り込み要求 (CMIA) を禁止	1	CMFAによる割り込み要求 (CMIA) を許可	0	CMFBによる割り込み要求 (CMIB) を禁止	1	CMFBによる割り込み要求 (CMIB) を許可
CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0																																																																																																
TCRV0		TCRV1		説 明																																																																																																			
ビット2	ビット1	ビット0	ビット0																																																																																																				
CKS2	CKS1	CKS0	ICKS0																																																																																																				
0	0	0	—	クロック入力禁止																																																																																																			
0	0	1	0	内部クロック : φ/4立ち下がりエッジでカウント																																																																																																			
0	0	1	1	内部クロック : φ/8立ち下がりエッジでカウント																																																																																																			
0	1	0	0	内部クロック : φ/16立ち下がりエッジでカウント																																																																																																			
0	1	0	1	内部クロック : φ/32立ち下がりエッジでカウント																																																																																																			
0	1	1	0	内部クロック : φ/64立ち下がりエッジでカウント																																																																																																			
0	1	1	1	内部クロック : φ/128立ち下がりエッジでカウント																																																																																																			
1	0	0	—	クロック入力禁止																																																																																																			
1	0	1	—	外部クロック : 立ち上がりエッジでカウント																																																																																																			
1	1	0	—	外部クロック : 立ち下がりエッジでカウント																																																																																																			
1	1	1	—	外部クロック : 立ち上がり/立ち下がり両エッジでカウント																																																																																																			
0	0	TCNTVのクリアを禁止																																																																																																					
0	1	コンペアマッチAによりTCNTVをクリア																																																																																																					
1	0	コンペアマッチBによりTCNTVをクリア																																																																																																					
1	1	外部リセット入力信号の立ち上がりエッジによりTCNTVをクリア																																																																																																					
0	OVFによる割り込み要求 (OVI) を禁止																																																																																																						
1	OVFによる割り込み要求 (OVI) を許可																																																																																																						
0	CMFAによる割り込み要求 (CMIA) を禁止																																																																																																						
1	CMFAによる割り込み要求 (CMIA) を許可																																																																																																						
0	CMFBによる割り込み要求 (CMIB) を禁止																																																																																																						
1	CMFBによる割り込み要求 (CMIB) を許可																																																																																																						

TCSR_V タイマコントロールステータスレジスタV	H'FFB9	タイマV
----------------------------	--------	------

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0
初期値:	0	0	0	1	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	—	R/W	R/W	R/W	R/W

0	0	コンペアマッチAで変化しない
0	1	コンペアマッチAで0出力
1	0	コンペアマッチAで1出力
1	1	コンペアマッチAごとに反転出力(トグル出力)

0	0	コンペアマッチBで変化しない
0	1	コンペアマッチBで0出力
1	0	コンペアマッチBで1出力
1	1	コンペアマッチBごとに反転出力(トグル出力)

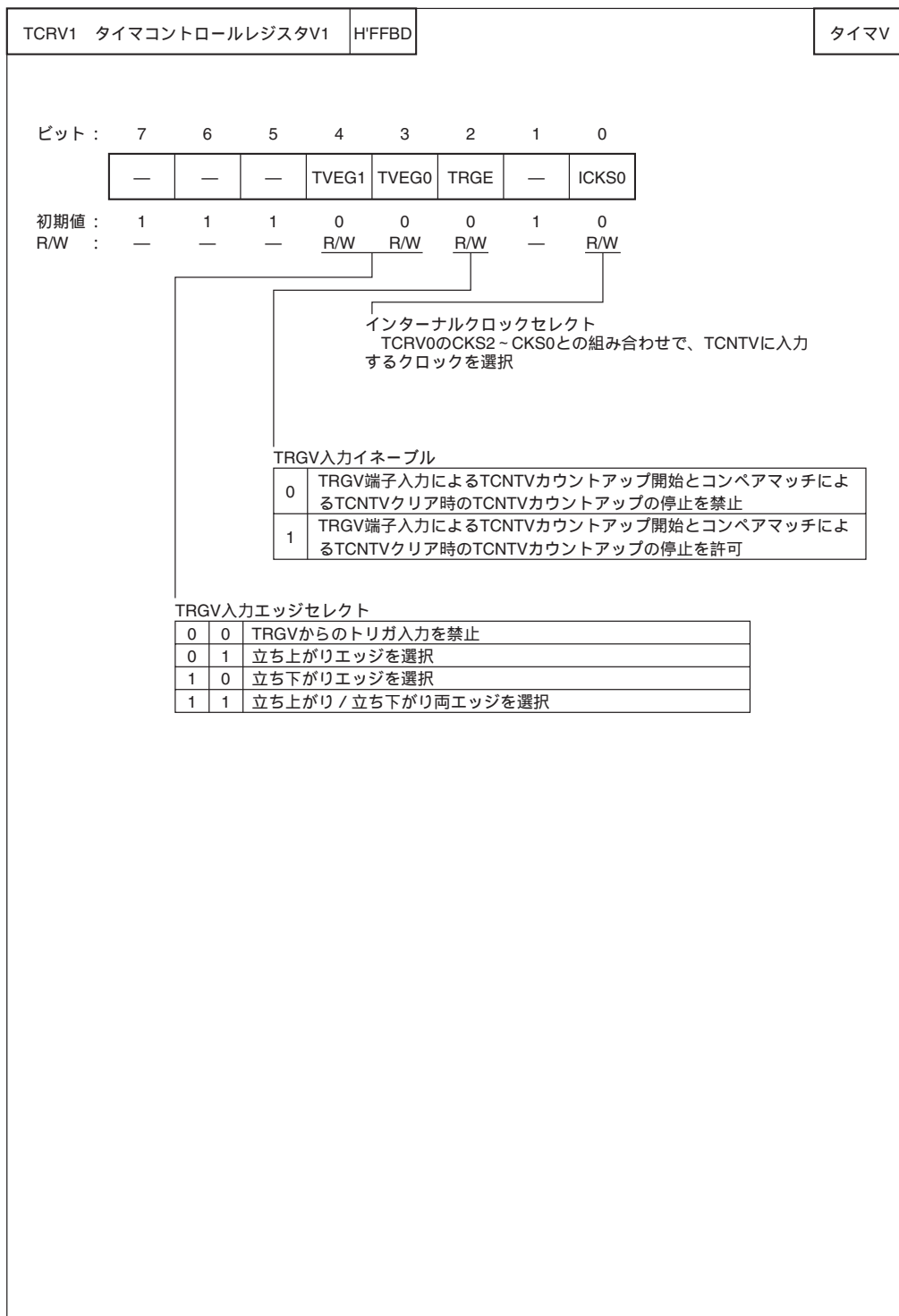
0	[クリア条件] OVF=1の状態、OVFをリードした後、OVFに0をライトしたとき
1	[セット条件] TCNTVの値が、H'FF→H'00になったとき

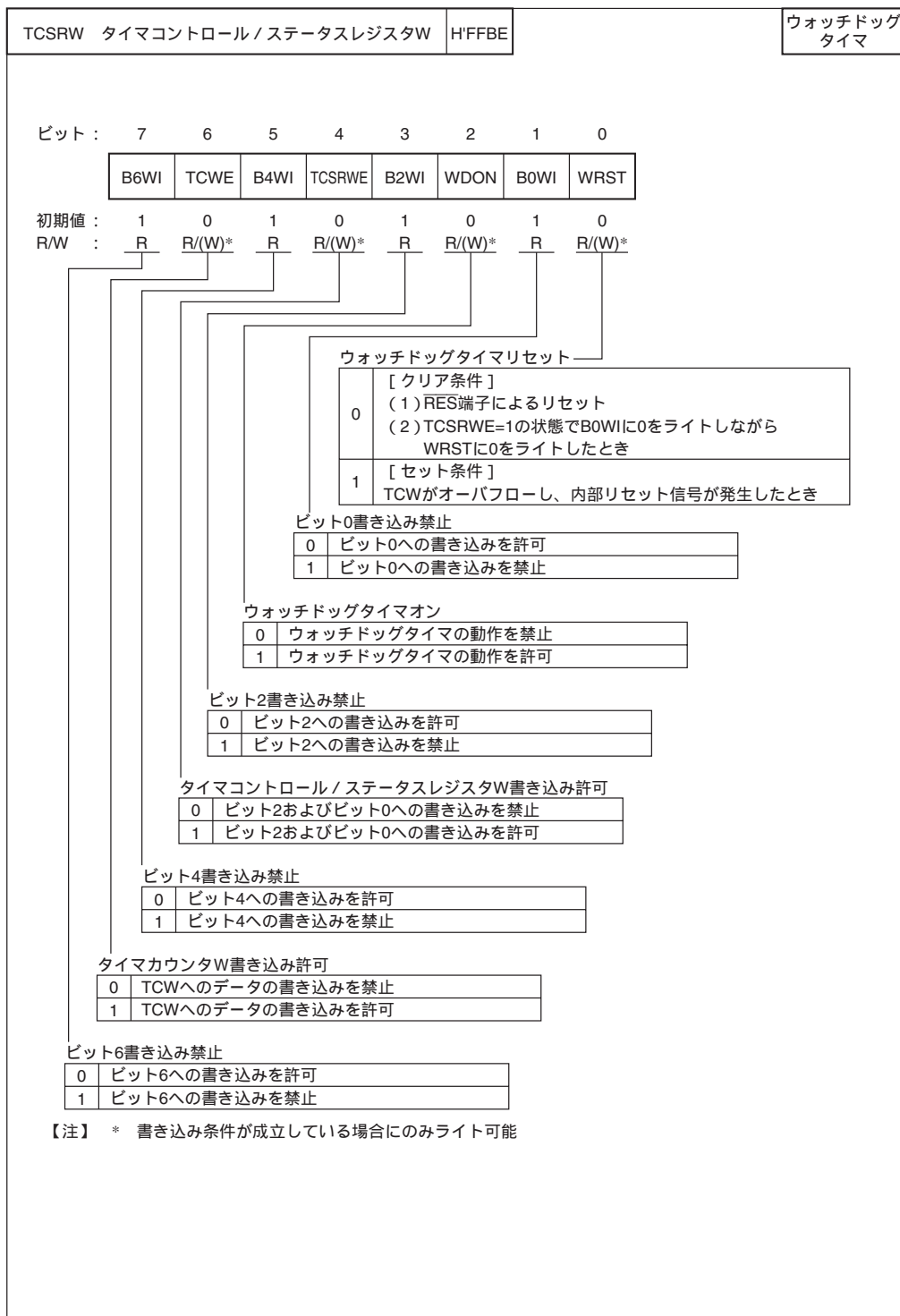
0	[クリア条件] CMFA=1の状態、CMFAをリードした後、CMFAに0をライトしたとき
1	[セット条件] TCNTVの値とTCORAの値がコンペアマッチしたとき

0	[クリア条件] CMFB=1の状態、CMFBをリードした後、CMFBに0をライトしたとき
1	[セット条件] TCNTVの値とTCORBの値がコンペアマッチしたとき

【注】* フラグをクリアするための0ライトのみ可能

TCORA タイムコンスタントレジスタA	H'FFBA	タイムV								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 5px;">TCORA7</td> <td style="padding: 2px 5px;">TCORA6</td> <td style="padding: 2px 5px;">TCORA5</td> <td style="padding: 2px 5px;">TCORA4</td> <td style="padding: 2px 5px;">TCORA3</td> <td style="padding: 2px 5px;">TCORA2</td> <td style="padding: 2px 5px;">TCORA1</td> <td style="padding: 2px 5px;">TCORA0</td> </tr> </table> <p>初期値 : 1 1 1 1 1 1 1 1</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p>			TCORA7	TCORA6	TCORA5	TCORA4	TCORA3	TCORA2	TCORA1	TCORA0
TCORA7	TCORA6	TCORA5	TCORA4	TCORA3	TCORA2	TCORA1	TCORA0			
TCORB タイムコンスタントレジスタB	H'FFBB	タイムV								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 5px;">TCORB7</td> <td style="padding: 2px 5px;">TCORB6</td> <td style="padding: 2px 5px;">TCORB5</td> <td style="padding: 2px 5px;">TCORB4</td> <td style="padding: 2px 5px;">TCORB3</td> <td style="padding: 2px 5px;">TCORB2</td> <td style="padding: 2px 5px;">TCORB1</td> <td style="padding: 2px 5px;">TCORB0</td> </tr> </table> <p>初期値 : 1 1 1 1 1 1 1 1</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p>			TCORB7	TCORB6	TCORB5	TCORB4	TCORB3	TCORB2	TCORB1	TCORB0
TCORB7	TCORB6	TCORB5	TCORB4	TCORB3	TCORB2	TCORB1	TCORB0			
TCNTV タイムカウンタV	H'FFBC	タイムV								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="padding: 2px 5px;">TCNTV7</td> <td style="padding: 2px 5px;">TCNTV6</td> <td style="padding: 2px 5px;">TCNTV5</td> <td style="padding: 2px 5px;">TCNTV4</td> <td style="padding: 2px 5px;">TCNTV3</td> <td style="padding: 2px 5px;">TCNTV2</td> <td style="padding: 2px 5px;">TCNTV1</td> <td style="padding: 2px 5px;">TCNTV0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p>			TCNTV7	TCNTV6	TCNTV5	TCNTV4	TCNTV3	TCNTV2	TCNTV1	TCNTV0
TCNTV7	TCNTV6	TCNTV5	TCNTV4	TCNTV3	TCNTV2	TCNTV1	TCNTV0			





TCW タイマカウンタW	H'FFBF	ウォッチドッグ タイマ								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">TCW7</td> <td style="padding: 2px 5px;">TCW6</td> <td style="padding: 2px 5px;">TCW5</td> <td style="padding: 2px 5px;">TCW4</td> <td style="padding: 2px 5px;">TCW3</td> <td style="padding: 2px 5px;">TCW2</td> <td style="padding: 2px 5px;">TCW1</td> <td style="padding: 2px 5px;">TCW0</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W： R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center; margin-left: 100px;"> カウント値</p>			TCW7	TCW6	TCW5	TCW4	TCW3	TCW2	TCW1	TCW0
TCW7	TCW6	TCW5	TCW4	TCW3	TCW2	TCW1	TCW0			

AMR A/Dモードレジスタ	H'FFC4		A/D変換器																																																																																																					
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">CKS</td> <td style="width: 20px; text-align: center;">TRGE</td> <td style="width: 20px; text-align: center;">—</td> <td style="width: 20px; text-align: center;">—</td> <td style="width: 20px; text-align: center;">CH3</td> <td style="width: 20px; text-align: center;">CH2</td> <td style="width: 20px; text-align: center;">CH1</td> <td style="width: 20px; text-align: center;">CH0</td> </tr> </table> <p>初期値 : 0 0 1 1 0 0 0 0</p> <p>R/W : R/W R/W — — R/W R/W R/W R/W</p> <div style="margin-left: 100px;"> <p>チャンネルセレクト</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 15%;">ビット3</th> <th style="width: 15%;">ビット2</th> <th style="width: 15%;">ビット1</th> <th style="width: 15%;">ビット0</th> <th style="width: 40%;">アナログ入力チャンネル</th> </tr> <tr> <th>CH3</th> <th>CH2</th> <th>CH1</th> <th>CH0</th> <th></th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>*</td><td>*</td><td>非選択</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>AN₀</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>AN₁</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>AN₂</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>AN₃</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>AN₄</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>AN₅</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>AN₆</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>AN₇</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>リザーブ</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>リザーブ</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>リザーブ</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>リザーブ</td></tr> </tbody> </table> <p>【記号説明】 * : Don't care</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <caption>外部トリガセレクト</caption> <tr> <td style="width: 20px; text-align: center;">0</td> <td>外部トリガによるA/D変換の開始を禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>外部トリガ (ADTRG)端子の立ち上がりエッジ、または立ち下がりエッジでA/D変換を開始</td> </tr> </table> <p>クロックセレクト</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <thead> <tr> <th rowspan="2" style="width: 15%;">ビット7</th> <th rowspan="2" style="width: 15%;">変換周期</th> <th colspan="2" style="width: 70%;">変換時間</th> </tr> <tr> <th style="width: 35%;">φ = 2MHz</th> <th style="width: 35%;">φ = 5MHz</th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">62/φ</td> <td style="text-align: center;">31μs</td> <td style="text-align: center;">12.4μs</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">31/φ</td> <td style="text-align: center;">15.5μs</td> <td style="text-align: center;">—*</td> </tr> </tbody> </table> </div>				CKS	TRGE	—	—	CH3	CH2	CH1	CH0	ビット3	ビット2	ビット1	ビット0	アナログ入力チャンネル	CH3	CH2	CH1	CH0		0	0	*	*	非選択	0	1	0	0	AN ₀	0	1	0	1	AN ₁	0	1	1	0	AN ₂	0	1	1	1	AN ₃	1	0	0	0	AN ₄	1	0	0	1	AN ₅	1	0	1	0	AN ₆	1	0	1	1	AN ₇	1	1	0	0	リザーブ	1	1	0	1	リザーブ	1	1	1	0	リザーブ	1	1	1	1	リザーブ	0	外部トリガによるA/D変換の開始を禁止	1	外部トリガ (ADTRG)端子の立ち上がりエッジ、または立ち下がりエッジでA/D変換を開始	ビット7	変換周期	変換時間		φ = 2MHz	φ = 5MHz	0	62/φ	31μs	12.4μs	1	31/φ	15.5μs	—*
CKS	TRGE	—	—	CH3	CH2	CH1	CH0																																																																																																	
ビット3	ビット2	ビット1	ビット0	アナログ入力チャンネル																																																																																																				
CH3	CH2	CH1	CH0																																																																																																					
0	0	*	*	非選択																																																																																																				
0	1	0	0	AN ₀																																																																																																				
0	1	0	1	AN ₁																																																																																																				
0	1	1	0	AN ₂																																																																																																				
0	1	1	1	AN ₃																																																																																																				
1	0	0	0	AN ₄																																																																																																				
1	0	0	1	AN ₅																																																																																																				
1	0	1	0	AN ₆																																																																																																				
1	0	1	1	AN ₇																																																																																																				
1	1	0	0	リザーブ																																																																																																				
1	1	0	1	リザーブ																																																																																																				
1	1	1	0	リザーブ																																																																																																				
1	1	1	1	リザーブ																																																																																																				
0	外部トリガによるA/D変換の開始を禁止																																																																																																							
1	外部トリガ (ADTRG)端子の立ち上がりエッジ、または立ち下がりエッジでA/D変換を開始																																																																																																							
ビット7	変換周期	変換時間																																																																																																						
		φ = 2MHz	φ = 5MHz																																																																																																					
0	62/φ	31μs	12.4μs																																																																																																					
1	31/φ	15.5μs	—*																																																																																																					
<p>【注】* 12.4μs以下の変換時間では、動作が保証されません。12.4μs以上になるように選択してください。</p>																																																																																																								

ADRR A/Dリザルトレジスタ	H'FFC5	A/D変換器								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">ADR7</td> <td style="padding: 2px 5px;">ADR6</td> <td style="padding: 2px 5px;">ADR5</td> <td style="padding: 2px 5px;">ADR4</td> <td style="padding: 2px 5px;">ADR3</td> <td style="padding: 2px 5px;">ADR2</td> <td style="padding: 2px 5px;">ADR1</td> <td style="padding: 2px 5px;">ADR0</td> </tr> </table> <p>初期値： 不定 不定 不定 不定 不定 不定 不定 不定</p> <p>R/W： R R R R R R R R</p> <p style="text-align: center; margin-top: 10px;">A/D変換結果</p>			ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0			

ADSR A/Dスタートレジスタ	H'FFC6	A/D変換器																		
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">ADSF</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> </tr> </table> <p>初期値： 0 1 1 1 1 1 1 1</p> <p>R/W： R/W — — — — — —</p> <p style="margin-top: 10px;">A/Dスタートフラグ</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td rowspan="2" style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">リード時</td> <td style="padding: 2px 5px;">A/D変換の終了</td> </tr> <tr> <td style="padding: 2px 5px;">ライト時</td> <td style="padding: 2px 5px;">A/D変換を強制終了</td> </tr> <tr> <td rowspan="2" style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">リード時</td> <td style="padding: 2px 5px;">A/D変換中</td> </tr> <tr> <td style="padding: 2px 5px;">ライト時</td> <td style="padding: 2px 5px;">A/D変換を開始</td> </tr> </table>			ADSF	—	—	—	—	—	—	—	0	リード時	A/D変換の終了	ライト時	A/D変換を強制終了	1	リード時	A/D変換中	ライト時	A/D変換を開始
ADSF	—	—	—	—	—	—	—													
0	リード時	A/D変換の終了																		
	ライト時	A/D変換を強制終了																		
1	リード時	A/D変換中																		
	ライト時	A/D変換を開始																		

PWCR PWMコントロールレジスタ	H'FFD0	14ビットPWM												
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 20px; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">—</td> <td style="width: 20px;">—</td> <td style="width: 20px;">—</td> <td style="width: 20px;">—</td> <td style="width: 20px;">—</td> <td style="width: 20px;">—</td> <td style="width: 20px;">—</td> <td style="width: 20px;">PWCR0</td> </tr> </table> <p>初期値 : 1 1 1 1 1 1 1 0 R/W : — — — — — — — W</p> <p style="margin-left: 40px;">クロックセレクト _____</p> <table border="1" style="margin-left: 40px; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">0</td> <td style="width: 20px;">入力クロック /2 ($t\phi^* = 2/$)。1変換周期16384/ϕ、最小変化幅1/ϕ</td> </tr> <tr> <td>1</td> <td>入力クロック /4 ($t\phi^* = 4/$)。1変換周期32768/ϕ、最小変化幅2/ϕ</td> </tr> </table> <p>【注】 * PWM入力クロックの周期</p>			—	—	—	—	—	—	—	PWCR0	0	入力クロック /2 ($t\phi^* = 2/$)。1変換周期16384/ ϕ 、最小変化幅1/ ϕ	1	入力クロック /4 ($t\phi^* = 4/$)。1変換周期32768/ ϕ 、最小変化幅2/ ϕ
—	—	—	—	—	—	—	PWCR0							
0	入力クロック /2 ($t\phi^* = 2/$)。1変換周期16384/ ϕ 、最小変化幅1/ ϕ													
1	入力クロック /4 ($t\phi^* = 4/$)。1変換周期32768/ ϕ 、最小変化幅2/ ϕ													
PWDRU PWMデータレジスタU	H'FFD1	14ビットPWM												
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 20px; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">—</td> <td style="width: 20px;">—</td> <td style="width: 20px;">PWDRU5</td> <td style="width: 20px;">PWDRU4</td> <td style="width: 20px;">PWDRU3</td> <td style="width: 20px;">PWDRU2</td> <td style="width: 20px;">PWDRU1</td> <td style="width: 20px;">PWDRU0</td> </tr> </table> <p>初期値 : 1 1 0 0 0 0 0 0 R/W : — — W W W W W W</p> <p style="margin-left: 40px;">PWM波形生成用データ上位6ビット</p>			—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0				
—	—	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0							
PWDRL PWMデータレジスタL	H'FFD2	14ビットPWM												
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: 20px; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">PWDRL7</td> <td style="width: 20px;">PWDRL6</td> <td style="width: 20px;">PWDRL5</td> <td style="width: 20px;">PWDRL4</td> <td style="width: 20px;">PWDRL3</td> <td style="width: 20px;">PWDRL2</td> <td style="width: 20px;">PWDRL1</td> <td style="width: 20px;">PWDRL0</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0 R/W : W W W W W W W W</p> <p style="margin-left: 40px;">PWM波形生成用データ下位8ビット</p>			PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0				
PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0							

PDR1 ポートデータレジスタ1	H'FFD4	I/Oポート						
ビット :	7	6	5	4	3	2	1	0
	P17	P16	P15	P14	—	—	—	P10
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	—	—	—	R/W
PDR2 ポートデータレジスタ2	H'FFD5	I/Oポート						
ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	P22	P21	P20
初期値 :	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	R/W	R/W	R/W
PDR3 ポートデータレジスタ3	H'FFD6	I/Oポート						
ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	P32	P31	P30
初期値 :	0	0	0	0	0	0	0	0
R/W :	—	—	—	—	—	R/W	R/W	R/W
PDR5 ポートデータレジスタ5	H'FFD8	I/Oポート						
ビット :	7	6	5	4	3	2	1	0
	P57	P56	P55	P54	P53	P52	P51	P50
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PDR6 ポートデータレジスタ6	H'FFD9	I/Oポート						
ビット :	7	6	5	4	3	2	1	0
	P67	P66	P65	P64	P63	P62	P61	P60
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR7 ポートデータレジスタ7		H'FFDA						I/Oポート							
ビット :								7	6	5	4	3	2	1	0
P77		P76		P75		P74		P73		—		—		—	
初期値 :								0	0	0	0	0	0	0	0
R/W :								R/W	R/W	R/W	R/W	R/W	—	—	—
PDR8 ポートデータレジスタ8		H'FFDB						I/Oポート							
ビット :								7	6	5	4	3	2	1	0
P87		P86		P85		P84		P83		P82		P81		P80	
初期値 :								0	0	0	0	0	0	0	0
R/W :								R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
PDR9 ポートデータレジスタ9		H'FFDC						I/Oポート							
ビット :								7	6	5	4	3	2	1	0
—		—		—		P94		P93		P92		P91		P90	
初期値 :								0	0	0	0	0	0	0	0
R/W :								—	—	—	R/W	R/W	R/W	R/W	R/W
PDRB ポートデータレジスタB		H'FFDD						I/Oポート							
ビット :								7	6	5	4	3	2	1	0
PB7		PB6		PB5		PB4		PB3		PB2		PB1		PB0	
R/W :								R	R	R	R	R	R	R	R

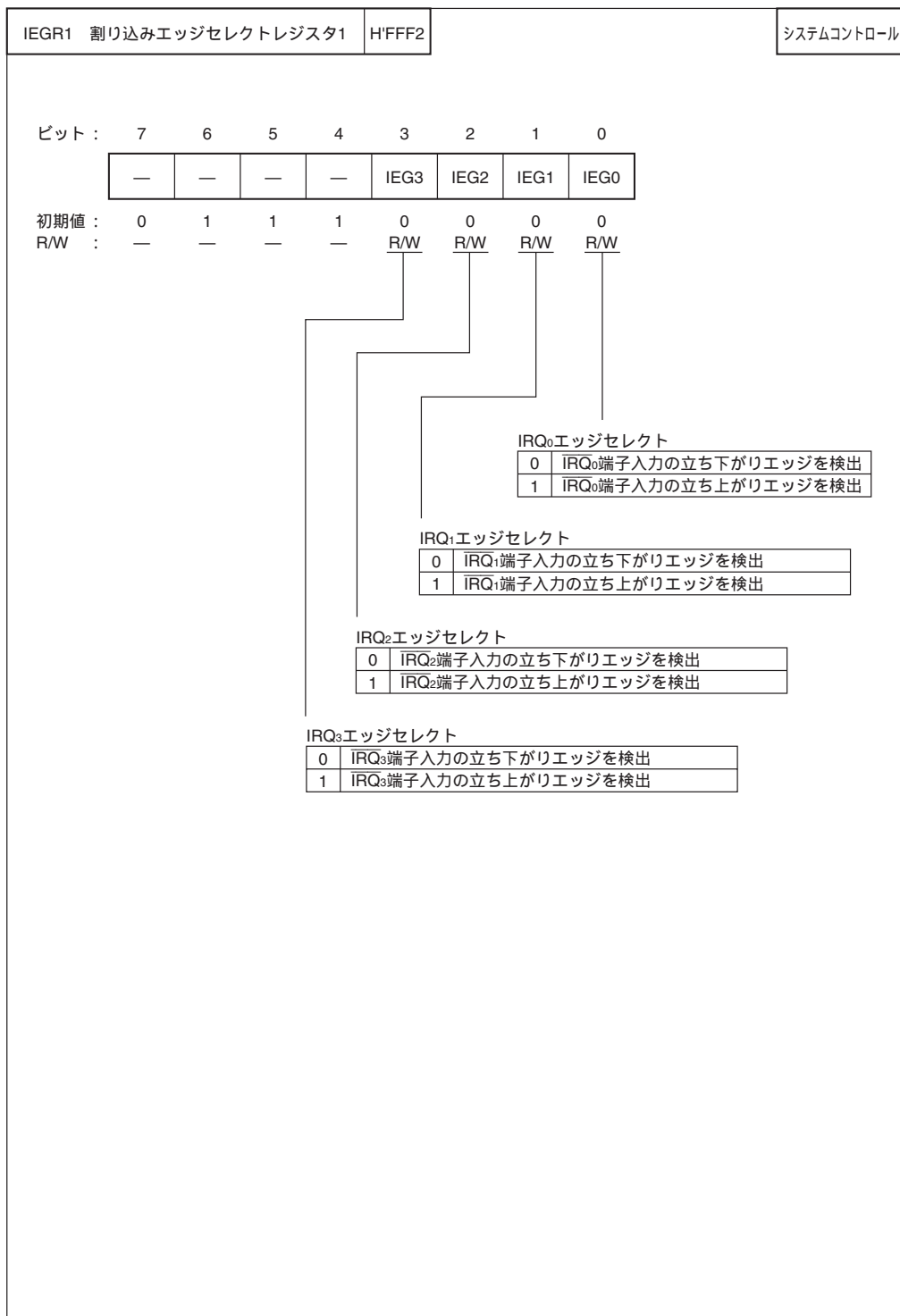
PCR1	ポートコントロールレジスタ1	H'FFE4	I/Oポート									
ビット :	7	6	5	4	3	2	1	0				
	PCR17	PCR16	PCR15	PCR14	—	—	—	PCR10				
初期値 :	0	0	0	0	0	0	0	0				
R/W :	W	W	W	W	—	—	—	W				
 ボート1入出力選択 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>0</td><td>入力ポート</td></tr> <tr><td>1</td><td>出力ポート</td></tr> </table>									0	入力ポート	1	出力ポート
0	入力ポート											
1	出力ポート											
PCR2	ポートコントロールレジスタ2	H'FFE5	I/Oポート									
ビット :	7	6	5	4	3	2	1	0				
	—	—	—	—	—	PCR22	PCR21	PCR20				
初期値 :	0	0	0	0	0	0	0	0				
R/W :	—	—	—	—	—	W	W	W				
 ボート2入出力選択 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>0</td><td>入力ポート</td></tr> <tr><td>1</td><td>出力ポート</td></tr> </table>									0	入力ポート	1	出力ポート
0	入力ポート											
1	出力ポート											
PCR3	ポートコントロールレジスタ3	H'FFE6	I/Oポート									
ビット :	7	6	5	4	3	2	1	0				
	—	—	—	—	—	PCR32	PCR31	PCR30				
初期値 :	0	0	0	0	0	0	0	0				
R/W :	—	—	—	—	—	W	W	W				
 ボート3入出力選択 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>0</td><td>入力ポート</td></tr> <tr><td>1</td><td>出力ポート</td></tr> </table>									0	入力ポート	1	出力ポート
0	入力ポート											
1	出力ポート											
PCR5	ポートコントロールレジスタ5	H'FFE8	I/Oポート									
ビット :	7	6	5	4	3	2	1	0				
	PCR57	PCR56	PCR55	PCR54	PCR53	PCR52	PCR51	PCR50				
初期値 :	0	0	0	0	0	0	0	0				
R/W :	W	W	W	W	W	W	W	W				
 ボート5入出力選択 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>0</td><td>入力ポート</td></tr> <tr><td>1</td><td>出力ポート</td></tr> </table>									0	入力ポート	1	出力ポート
0	入力ポート											
1	出力ポート											

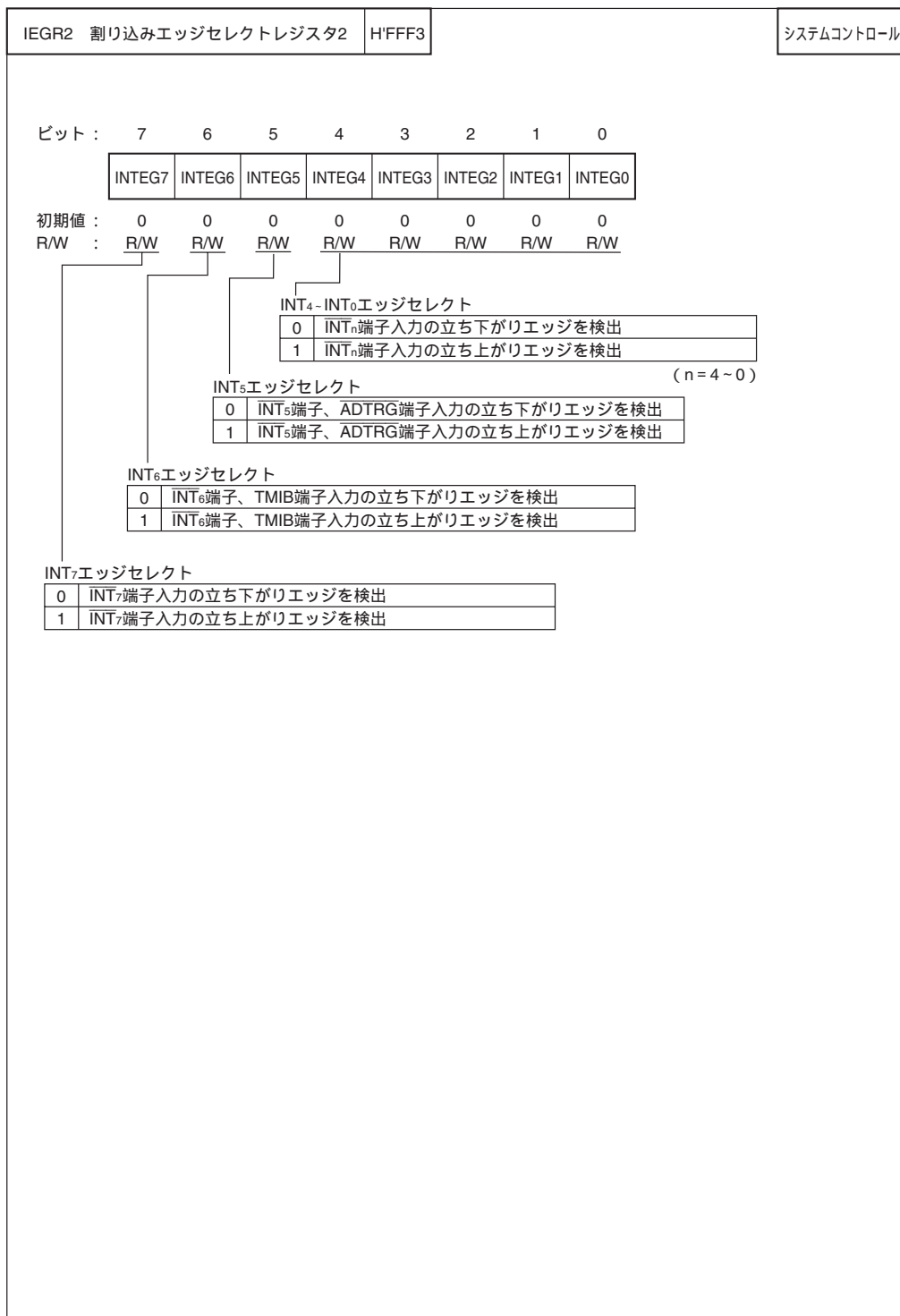
PCR6 ポートコントロールレジスタ6	H'FFE9	I/Oポート												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">PCR6₇</td> <td style="padding: 2px 5px;">PCR6₆</td> <td style="padding: 2px 5px;">PCR6₅</td> <td style="padding: 2px 5px;">PCR6₄</td> <td style="padding: 2px 5px;">PCR6₃</td> <td style="padding: 2px 5px;">PCR6₂</td> <td style="padding: 2px 5px;">PCR6₁</td> <td style="padding: 2px 5px;">PCR6₀</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W： W W W W W W W W</p> <div style="text-align: center; margin-top: 10px;"> ポート6入出力選択 <table border="1" style="border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">入力ポート</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">出力ポート</td> </tr> </table> </div>			PCR6 ₇	PCR6 ₆	PCR6 ₅	PCR6 ₄	PCR6 ₃	PCR6 ₂	PCR6 ₁	PCR6 ₀	0	入力ポート	1	出力ポート
PCR6 ₇	PCR6 ₆	PCR6 ₅	PCR6 ₄	PCR6 ₃	PCR6 ₂	PCR6 ₁	PCR6 ₀							
0	入力ポート													
1	出力ポート													
PCR7 ポートコントロールレジスタ7	H'FFEA	I/Oポート												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">PCR7₇</td> <td style="padding: 2px 5px;">PCR7₆</td> <td style="padding: 2px 5px;">PCR7₅</td> <td style="padding: 2px 5px;">PCR7₄</td> <td style="padding: 2px 5px;">PCR7₃</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> <td style="padding: 2px 5px;">—</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W： W W W W W — — —</p> <div style="text-align: center; margin-top: 10px;"> ポート7入出力選択 <table border="1" style="border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">入力ポート</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">出力ポート</td> </tr> </table> </div>			PCR7 ₇	PCR7 ₆	PCR7 ₅	PCR7 ₄	PCR7 ₃	—	—	—	0	入力ポート	1	出力ポート
PCR7 ₇	PCR7 ₆	PCR7 ₅	PCR7 ₄	PCR7 ₃	—	—	—							
0	入力ポート													
1	出力ポート													
PCR8 ポートコントロールレジスタ8	H'FFEB	I/Oポート												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">PCR8₇</td> <td style="padding: 2px 5px;">PCR8₆</td> <td style="padding: 2px 5px;">PCR8₅</td> <td style="padding: 2px 5px;">PCR8₄</td> <td style="padding: 2px 5px;">PCR8₃</td> <td style="padding: 2px 5px;">PCR8₂</td> <td style="padding: 2px 5px;">PCR8₁</td> <td style="padding: 2px 5px;">PCR8₀</td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0</p> <p>R/W： W W W W W W W W</p> <div style="text-align: center; margin-top: 10px;"> ポート8入出力選択 <table border="1" style="border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">入力ポート</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">出力ポート</td> </tr> </table> </div>			PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀	0	入力ポート	1	出力ポート
PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀							
0	入力ポート													
1	出力ポート													

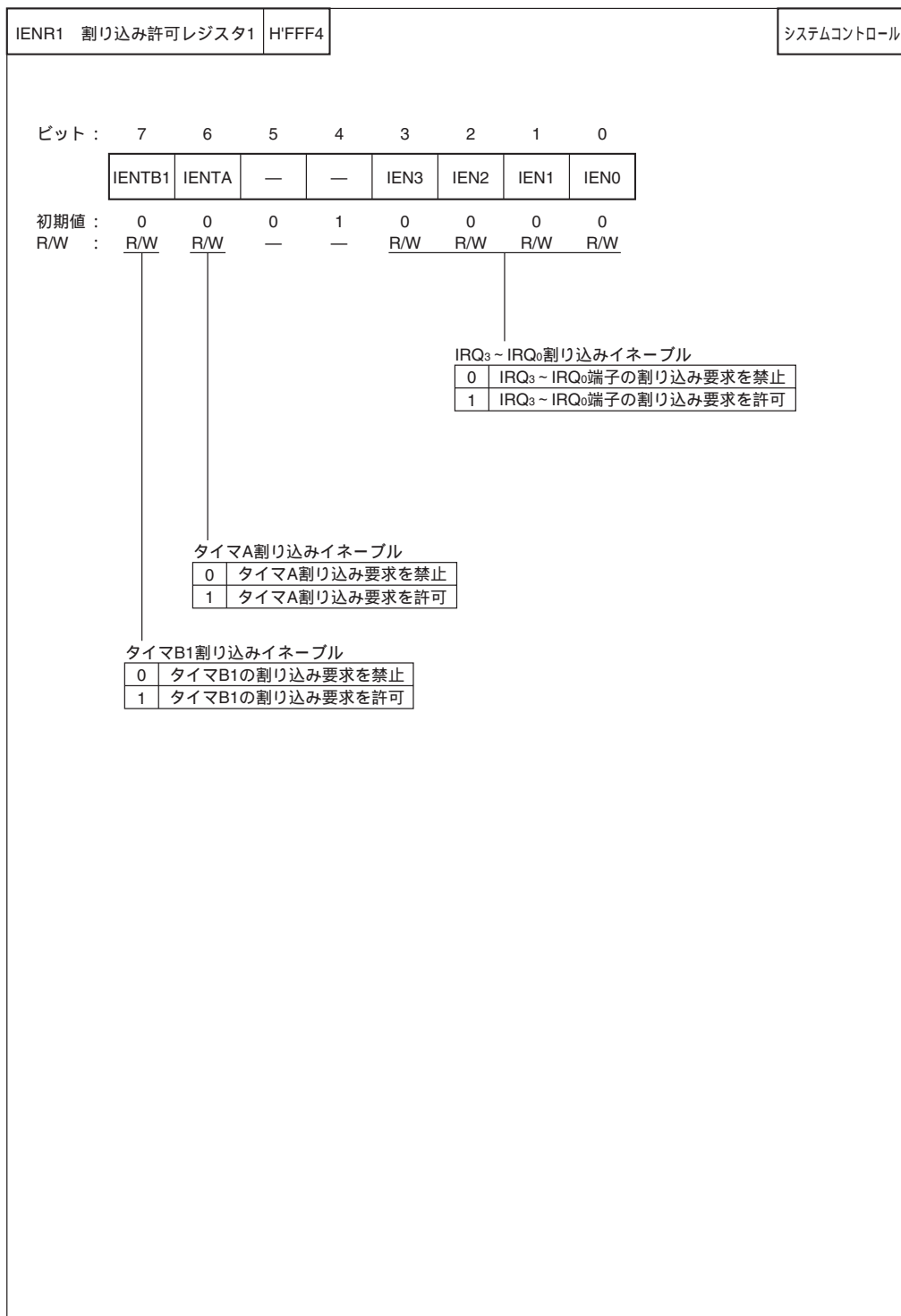
PCR9	ポートコントロールレジスタ9	H'FFEC							I/Oポート			
ビット :	7	6	5	4	3	2	1	0				
	—	—	—	PCR9 ₄	PCR9 ₃	PCR9 ₂	PCR9 ₁	PCR9 ₀				
初期値 :	1	1	0	0	0	0	0	0				
R/W :	—	—	—	W	W	W	W	W				
ポート9入出力選択 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>									0	入力ポート	1	出力ポート
0	入力ポート											
1	出力ポート											
PUCR1	ポートブルアップコントロールレジスタ1	H'FFED							I/Oポート			
ビット :	7	6	5	4	3	2	1	0				
	PUCR1 ₇	PUCR1 ₆	PUCR1 ₅	PUCR1 ₄	—	—	—	PUCR1 ₀				
初期値 :	0	0	0	0	0	0	0	0				
R/W :	R/W	R/W	R/W	R/W	—	—	—	R/W				
PUCR3	ポートブルアップコントロールレジスタ3	H'FFEE							I/Oポート			
ビット :	7	6	5	4	3	2	1	0				
	—	—	—	—	—	PUCR3 ₂	PUCR3 ₁	PUCR3 ₀				
初期値 :	0	0	0	0	0	0	0	0				
R/W :	—	—	—	—	—	R/W	R/W	R/W				
PUCR5	ポートブルアップコントロールレジスタ5	H'FFEF							I/Oポート			
ビット :	7	6	5	4	3	2	1	0				
	PUCR5 ₇	PUCR5 ₆	PUCR5 ₅	PUCR5 ₄	PUCR5 ₃	PUCR5 ₂	PUCR5 ₁	PUCR5 ₀				
初期値 :	0	0	0	0	0	0	0	0				
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W				

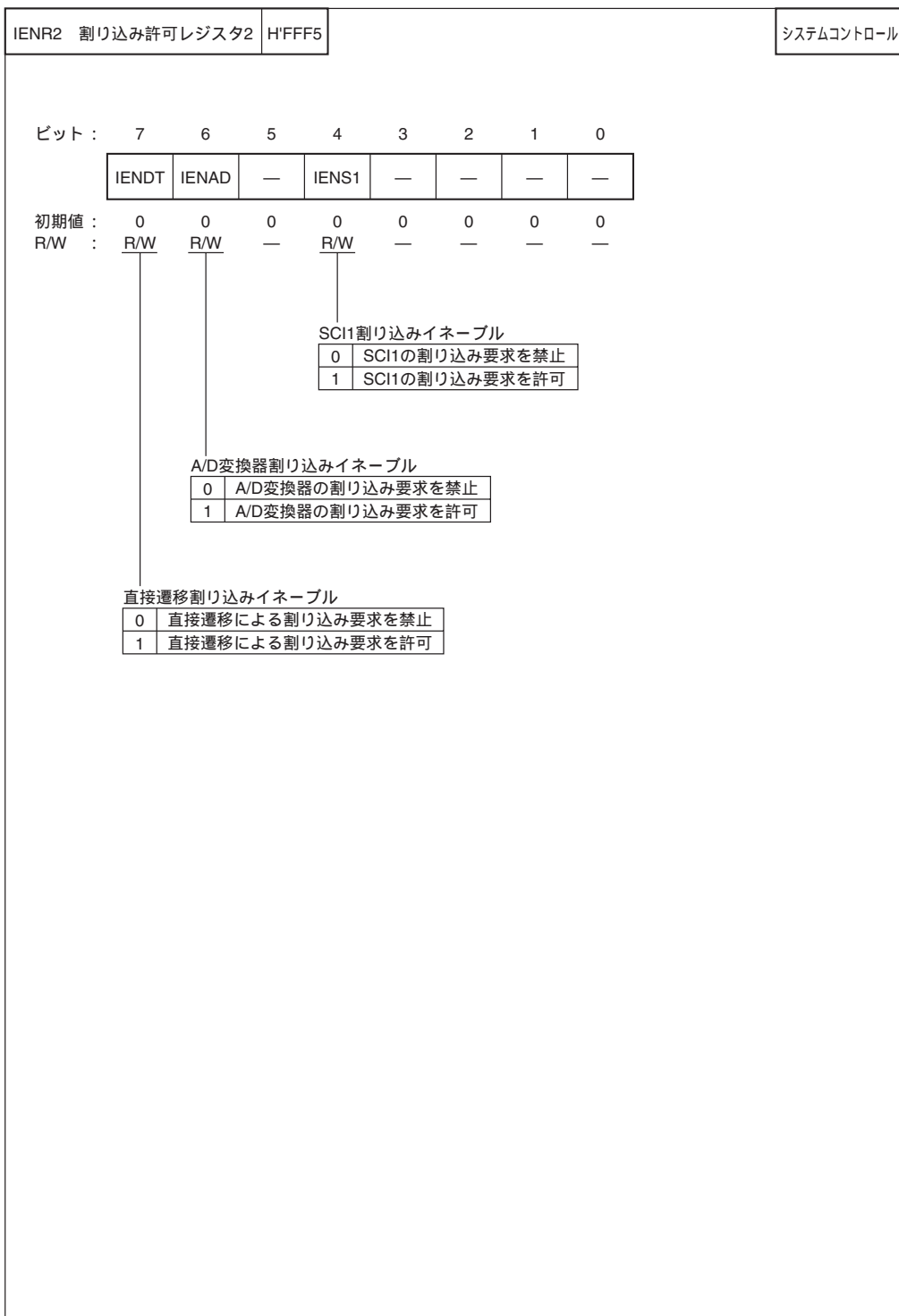
SYSCR1 システムコントロールレジスタ1	H'FFFF	システムコントロール																																																
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="width: 20px;">SSBY</td> <td style="width: 20px;">STS2</td> <td style="width: 20px;">STS1</td> <td style="width: 20px;">STS0</td> <td style="width: 20px;">LSON</td> <td style="width: 20px;">—</td> <td style="width: 20px;">MA1</td> <td style="width: 20px;">MA0</td> </tr> </table> <p>初期値： 0 0 0 0 0 1 1 1</p> <p>R/W： R/W R/W R/W R/W — R/W R/W</p> <div style="margin-top: 10px;"> <p style="text-align: right;">アクティブ（中速）モードクロックセレクト</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr><td>0</td><td>0</td><td>φ_{osc}/16</td></tr> <tr><td>0</td><td>1</td><td>φ_{osc}/32</td></tr> <tr><td>1</td><td>0</td><td>φ_{osc}/64</td></tr> <tr><td>1</td><td>1</td><td>φ_{osc}/128</td></tr> </table> </div> <div style="margin-top: 10px;"> <p style="text-align: center;">ロースピードオンフラグ</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr><td>0</td><td>CPUの動作クロックはシステムクロック（φ）</td></tr> <tr><td>1</td><td>CPUの動作クロックはサブクロック（φ_{SUB}）</td></tr> </table> </div> <div style="margin-top: 10px;"> <p style="text-align: center;">スタンバイタイムセレクト</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr><td>0</td><td>0</td><td>0</td><td>待機時間 = 8192ステート</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>待機時間 = 16384ステート</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>待機時間 = 32768ステート</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>待機時間 = 65536ステート</td></tr> <tr><td>1</td><td>*</td><td>*</td><td>待機時間 = 131072ステート</td></tr> </table> </div> <p style="text-align: center;">【記号説明】 * : Don't care</p> <p>ソフトウェアスタンバイ</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td> <ul style="list-style-type: none"> ・アクティブモードでSLEEP命令実行後、スリープモードに遷移 ・サブアクティブモードでSLEEP命令実行後、サブスリープモードに遷移 </td> </tr> <tr> <td style="text-align: center;">1</td> <td> <ul style="list-style-type: none"> ・アクティブモードでSLEEP命令実行後、スタンバイモードあるいはウォッチモードに遷移 ・サブアクティブモードでSLEEP命令実行後、ウォッチモードに遷移 </td> </tr> </table>			SSBY	STS2	STS1	STS0	LSON	—	MA1	MA0	0	0	φ _{osc} /16	0	1	φ _{osc} /32	1	0	φ _{osc} /64	1	1	φ _{osc} /128	0	CPUの動作クロックはシステムクロック（φ）	1	CPUの動作クロックはサブクロック（φ _{SUB} ）	0	0	0	待機時間 = 8192ステート	0	0	1	待機時間 = 16384ステート	0	1	0	待機時間 = 32768ステート	0	1	1	待機時間 = 65536ステート	1	*	*	待機時間 = 131072ステート	0	<ul style="list-style-type: none"> ・アクティブモードでSLEEP命令実行後、スリープモードに遷移 ・サブアクティブモードでSLEEP命令実行後、サブスリープモードに遷移 	1	<ul style="list-style-type: none"> ・アクティブモードでSLEEP命令実行後、スタンバイモードあるいはウォッチモードに遷移 ・サブアクティブモードでSLEEP命令実行後、ウォッチモードに遷移
SSBY	STS2	STS1	STS0	LSON	—	MA1	MA0																																											
0	0	φ _{osc} /16																																																
0	1	φ _{osc} /32																																																
1	0	φ _{osc} /64																																																
1	1	φ _{osc} /128																																																
0	CPUの動作クロックはシステムクロック（φ）																																																	
1	CPUの動作クロックはサブクロック（φ _{SUB} ）																																																	
0	0	0	待機時間 = 8192ステート																																															
0	0	1	待機時間 = 16384ステート																																															
0	1	0	待機時間 = 32768ステート																																															
0	1	1	待機時間 = 65536ステート																																															
1	*	*	待機時間 = 131072ステート																																															
0	<ul style="list-style-type: none"> ・アクティブモードでSLEEP命令実行後、スリープモードに遷移 ・サブアクティブモードでSLEEP命令実行後、サブスリープモードに遷移 																																																	
1	<ul style="list-style-type: none"> ・アクティブモードでSLEEP命令実行後、スタンバイモードあるいはウォッチモードに遷移 ・サブアクティブモードでSLEEP命令実行後、ウォッチモードに遷移 																																																	

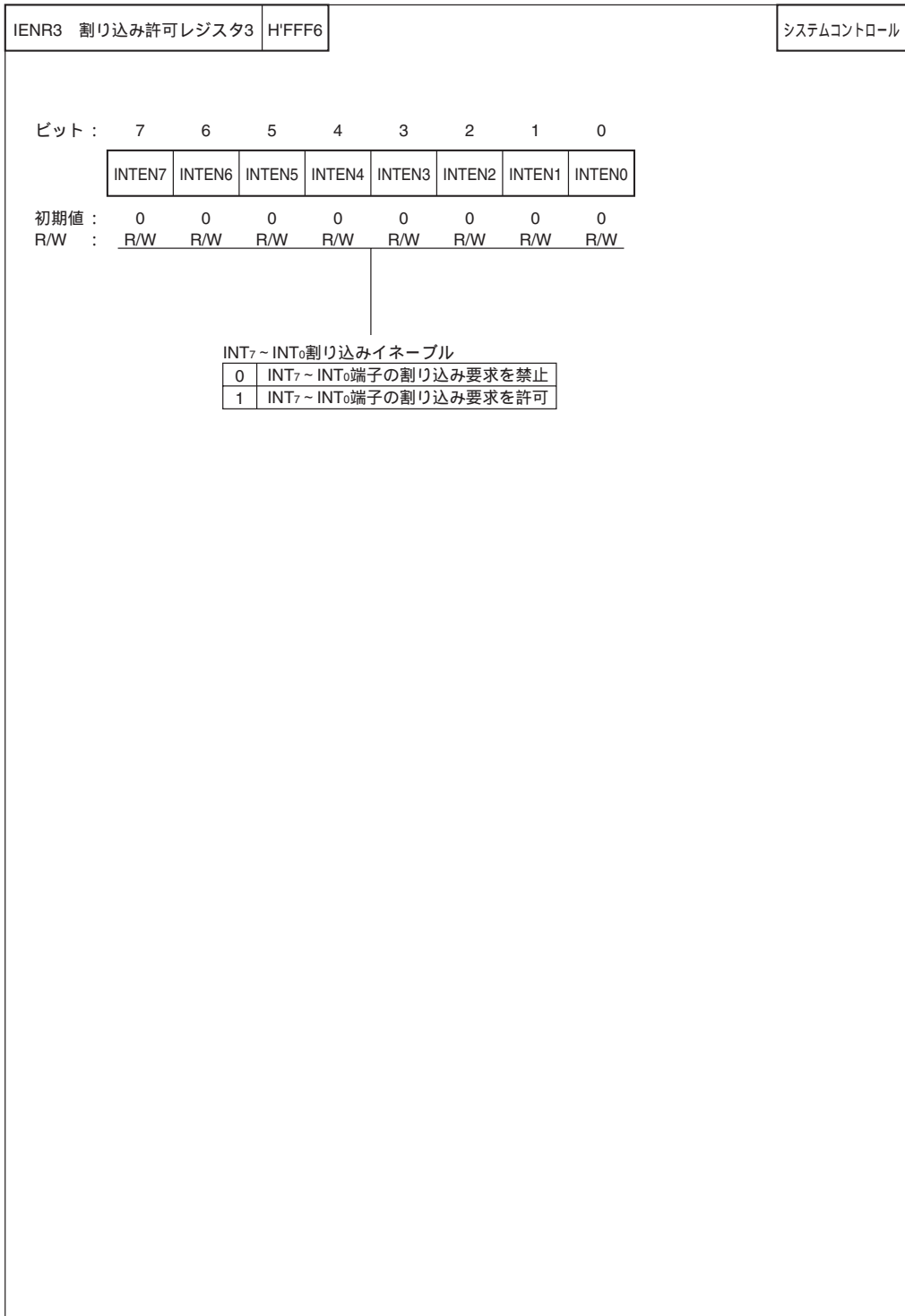
SYSCR2 システムコントロールレジスタ2		H'FFF1						システムコントロール										
ビット:	7	6	5	4	3	2	1	0										
	—	—	—	NESEL	DTON	MSON	SA1	SA0										
初期値:	1	1	1	0	0	0	0	0										
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W										
				サブアクティブモードクロックセレクト														
				<table border="1"> <tr> <td>0</td> <td>0</td> <td>$\phi_w/8$</td> </tr> <tr> <td>0</td> <td>1</td> <td>$\phi_w/4$</td> </tr> <tr> <td>1</td> <td>*</td> <td>$\phi_w/2$</td> </tr> </table>					0	0	$\phi_w/8$	0	1	$\phi_w/4$	1	*	$\phi_w/2$	
0	0	$\phi_w/8$																
0	1	$\phi_w/4$																
1	*	$\phi_w/2$																
				【記号説明】														
				*: Don't care														
				ミドルスピードオンフラグ														
				<table border="1"> <tr> <td>0</td> <td> <ul style="list-style-type: none"> スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ（高速）モードで動作 アクティブモードでSLEEP命令を実行したとき、スリープ（高速）モードで動作 </td> </tr> <tr> <td>1</td> <td> <ul style="list-style-type: none"> スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ（中速）モードで動作 アクティブモードでSLEEP命令を実行したとき、スリープ（中速）モードで動作 </td> </tr> </table>					0	<ul style="list-style-type: none"> スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ（高速）モードで動作 アクティブモードでSLEEP命令を実行したとき、スリープ（高速）モードで動作 	1	<ul style="list-style-type: none"> スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ（中速）モードで動作 アクティブモードでSLEEP命令を実行したとき、スリープ（中速）モードで動作 						
0	<ul style="list-style-type: none"> スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ（高速）モードで動作 アクティブモードでSLEEP命令を実行したとき、スリープ（高速）モードで動作 																	
1	<ul style="list-style-type: none"> スタンバイモード、ウォッチモード、スリープモード解除後、アクティブ（中速）モードで動作 アクティブモードでSLEEP命令を実行したとき、スリープ（中速）モードで動作 																	
				ダイレクトトランスファオンフラグ														
				<table border="1"> <tr> <td>0</td> <td> <ul style="list-style-type: none"> アクティブモードでSLEEP命令を実行したとき、スタンバイモード、ウォッチモード、またはスリープモードに遷移 サブアクティブモードでSLEEP命令を実行したとき、ウォッチモード、またはサブスリープモードに遷移 </td> </tr> <tr> <td>1</td> <td> <ul style="list-style-type: none"> アクティブ（高速）モードでSLEEP命令を実行したとき、アクティブ（中速）モード（SSBY=0、MSON=1、LSON=0のとき）、またはサブアクティブモード（SSBY=1、TMA3=1、LSON=1のとき）に直接遷移 アクティブ（中速）モードでSLEEP命令を実行したとき、アクティブ（高速）モード（SSBY=0、MSON=0、LSON=0のとき）、またはサブアクティブモード（SSBY=1、TMA3=1、LSON=1のとき）に直接遷移 サブアクティブモードでSLEEP命令を実行したとき、アクティブ（高速）モード（SSBY=1、TMA3=1、LSON=0、MSON=0のとき）またはアクティブ（中速）モード（SSBY=1、TMA3=1、LSON=0、MSON=1のとき）に直接遷移 </td> </tr> </table>					0	<ul style="list-style-type: none"> アクティブモードでSLEEP命令を実行したとき、スタンバイモード、ウォッチモード、またはスリープモードに遷移 サブアクティブモードでSLEEP命令を実行したとき、ウォッチモード、またはサブスリープモードに遷移 	1	<ul style="list-style-type: none"> アクティブ（高速）モードでSLEEP命令を実行したとき、アクティブ（中速）モード（SSBY=0、MSON=1、LSON=0のとき）、またはサブアクティブモード（SSBY=1、TMA3=1、LSON=1のとき）に直接遷移 アクティブ（中速）モードでSLEEP命令を実行したとき、アクティブ（高速）モード（SSBY=0、MSON=0、LSON=0のとき）、またはサブアクティブモード（SSBY=1、TMA3=1、LSON=1のとき）に直接遷移 サブアクティブモードでSLEEP命令を実行したとき、アクティブ（高速）モード（SSBY=1、TMA3=1、LSON=0、MSON=0のとき）またはアクティブ（中速）モード（SSBY=1、TMA3=1、LSON=0、MSON=1のとき）に直接遷移 						
0	<ul style="list-style-type: none"> アクティブモードでSLEEP命令を実行したとき、スタンバイモード、ウォッチモード、またはスリープモードに遷移 サブアクティブモードでSLEEP命令を実行したとき、ウォッチモード、またはサブスリープモードに遷移 																	
1	<ul style="list-style-type: none"> アクティブ（高速）モードでSLEEP命令を実行したとき、アクティブ（中速）モード（SSBY=0、MSON=1、LSON=0のとき）、またはサブアクティブモード（SSBY=1、TMA3=1、LSON=1のとき）に直接遷移 アクティブ（中速）モードでSLEEP命令を実行したとき、アクティブ（高速）モード（SSBY=0、MSON=0、LSON=0のとき）、またはサブアクティブモード（SSBY=1、TMA3=1、LSON=1のとき）に直接遷移 サブアクティブモードでSLEEP命令を実行したとき、アクティブ（高速）モード（SSBY=1、TMA3=1、LSON=0、MSON=0のとき）またはアクティブ（中速）モード（SSBY=1、TMA3=1、LSON=0、MSON=1のとき）に直接遷移 																	
				ノイズ除去サンプリング周波数選択														
				<table border="1"> <tr> <td>0</td> <td>ϕ_{osc}の16分周クロックでサンプリング</td> </tr> <tr> <td>1</td> <td>ϕ_{osc}の4分周クロックでサンプリング</td> </tr> </table>					0	ϕ_{osc} の16分周クロックでサンプリング	1	ϕ_{osc} の4分周クロックでサンプリング						
0	ϕ_{osc} の16分周クロックでサンプリング																	
1	ϕ_{osc} の4分周クロックでサンプリング																	











IRR1 割り込み要求レジスタ1		H'FFF7						システムコントロール							
ビット :															
		7	6	5	4	3	2	1	0						
		IRRTB1	IRRTA	—	—	IRRI3	IRRI2	IRRI1	IRRI0						
初期値 :		0	0	0	1	0	0	0	0						
R/W :		R/W*	R/W*	—	—	R/W*	R/W*	R/W*	R/W*						
<table border="1"> <thead> <tr> <th colspan="2">IRQ₃ ~ IRQ₀割り込み要求フラグ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>[クリア条件] IRRI_n = 1の状態 でIRRI_nに0をライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] IRQ_n端子が割り込み入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき</td> </tr> </tbody> </table> <p style="text-align: right;">(n = 3 ~ 0)</p>										IRQ ₃ ~ IRQ ₀ 割り込み要求フラグ		0	[クリア条件] IRRI _n = 1の状態 でIRRI _n に0をライトしたとき	1	[セット条件] IRQ _n 端子が割り込み入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき
IRQ ₃ ~ IRQ ₀ 割り込み要求フラグ															
0	[クリア条件] IRRI _n = 1の状態 でIRRI _n に0をライトしたとき														
1	[セット条件] IRQ _n 端子が割り込み入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき														
<table border="1"> <thead> <tr> <th colspan="2">タイマA割り込み要求フラグ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>[クリア条件] IRRTA = 1の状態 でIRRTAに0をライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] タイマAのカウント値がオーバーフロー (H'FF→H'00) したとき</td> </tr> </tbody> </table>										タイマA割り込み要求フラグ		0	[クリア条件] IRRTA = 1の状態 でIRRTAに0をライトしたとき	1	[セット条件] タイマAのカウント値がオーバーフロー (H'FF→H'00) したとき
タイマA割り込み要求フラグ															
0	[クリア条件] IRRTA = 1の状態 でIRRTAに0をライトしたとき														
1	[セット条件] タイマAのカウント値がオーバーフロー (H'FF→H'00) したとき														
<table border="1"> <thead> <tr> <th colspan="2">タイマB1割り込み要求フラグ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>[クリア条件] IRRTB1 = 1の状態 でIRRTB1に0をライトしたとき</td> </tr> <tr> <td>1</td> <td>[セット条件] タイマB1のカウント値がオーバーフロー (H'FF→H'00) したとき</td> </tr> </tbody> </table>										タイマB1割り込み要求フラグ		0	[クリア条件] IRRTB1 = 1の状態 でIRRTB1に0をライトしたとき	1	[セット条件] タイマB1のカウント値がオーバーフロー (H'FF→H'00) したとき
タイマB1割り込み要求フラグ															
0	[クリア条件] IRRTB1 = 1の状態 でIRRTB1に0をライトしたとき														
1	[セット条件] タイマB1のカウント値がオーバーフロー (H'FF→H'00) したとき														
【注】 * フラグクリアのための0ライトのみ可能															

IRR2 割り込み要求レジスタ2	H'FFF8	システムコントロール																				
<p>ビット : 7 6 5 4 3 2 1 0</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">IRRDT</td> <td style="width: 20px;">IRRAD</td> <td style="width: 20px;">—</td> <td style="width: 20px;">IRRS1</td> <td style="width: 20px;">—</td> <td style="width: 20px;">—</td> <td style="width: 20px;">—</td> <td style="width: 20px;">—</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : R/W* R/W* — R/W* — — — —</p> <div style="margin-top: 20px;"> <p style="text-align: center;">SCI1割り込み要求フラグ</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">0</td> <td>[クリア条件] IRRS1 = 1の状態 でIRRS1に0をライトしたとき</td> </tr> <tr> <td style="width: 20px;">1</td> <td>[セット条件] SCI1が転送完了したとき</td> </tr> </table> <p style="margin-top: 20px; text-align: center;">A/D変換器割り込み要求フラグ</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">0</td> <td>[クリア条件] IRRAD = 1の状態 でIRRADに0をライトしたとき</td> </tr> <tr> <td style="width: 20px;">1</td> <td>[セット条件] A/D変換器が変換終了し、ADSRのADSFが0にクリアされたとき</td> </tr> </table> <p style="margin-top: 20px; text-align: center;">直接遷移割り込み要求フラグ</p> <table border="1" style="margin-left: auto; margin-right: auto; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 20px;">0</td> <td>[クリア条件] IRRDT = 1の状態 でIRRDTに0をライトしたとき</td> </tr> <tr> <td style="width: 20px;">1</td> <td>[セット条件] SYSCR2のDTONIに1をセットした状態でスリープ命令を実行し直接遷移したとき</td> </tr> </table> <p>【注】 * フラグクリアのための0ライトのみ可能</p> </div>			IRRDT	IRRAD	—	IRRS1	—	—	—	—	0	[クリア条件] IRRS1 = 1の状態 でIRRS1に0をライトしたとき	1	[セット条件] SCI1が転送完了したとき	0	[クリア条件] IRRAD = 1の状態 でIRRADに0をライトしたとき	1	[セット条件] A/D変換器が変換終了し、ADSRのADSFが0にクリアされたとき	0	[クリア条件] IRRDT = 1の状態 でIRRDTに0をライトしたとき	1	[セット条件] SYSCR2のDTONIに1をセットした状態でスリープ命令を実行し直接遷移したとき
IRRDT	IRRAD	—	IRRS1	—	—	—	—															
0	[クリア条件] IRRS1 = 1の状態 でIRRS1に0をライトしたとき																					
1	[セット条件] SCI1が転送完了したとき																					
0	[クリア条件] IRRAD = 1の状態 でIRRADに0をライトしたとき																					
1	[セット条件] A/D変換器が変換終了し、ADSRのADSFが0にクリアされたとき																					
0	[クリア条件] IRRDT = 1の状態 でIRRDTに0をライトしたとき																					
1	[セット条件] SYSCR2のDTONIに1をセットした状態でスリープ命令を実行し直接遷移したとき																					

IRR3 割り込み要求レジスタ3	H'FFF9	システムコントロール
------------------	--------	------------

ビット : 7 6 5 4 3 2 1 0

INTF7	INTF6	INTF5	INTF4	INTF3	INTF2	INTF1	INTF0
-------	-------	-------	-------	-------	-------	-------	-------

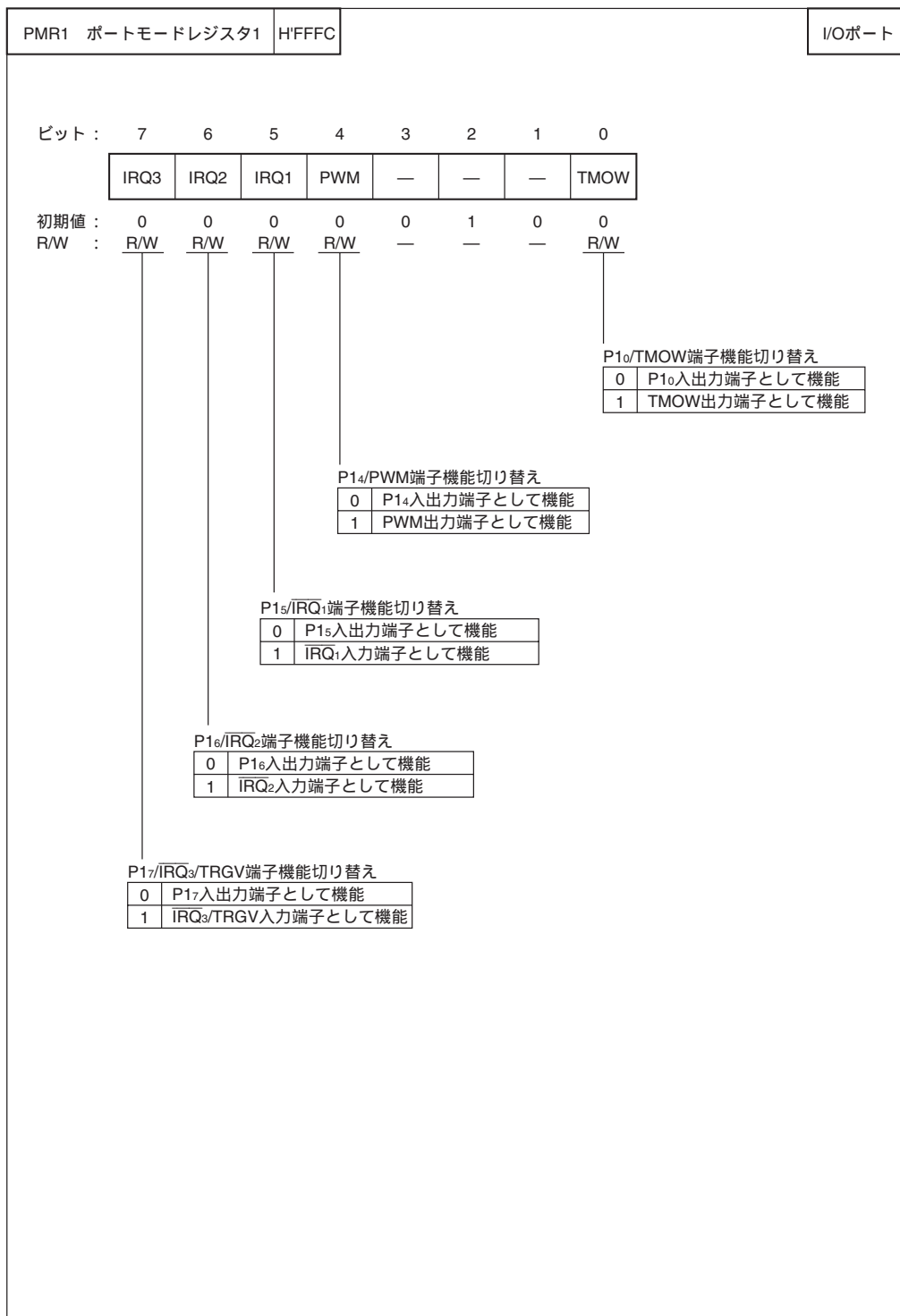
初期値 : 0 0 0 0 0 0 0 0
R/W : R/W* R/W* R/W* R/W R/W* R/W* R/W* R/W*

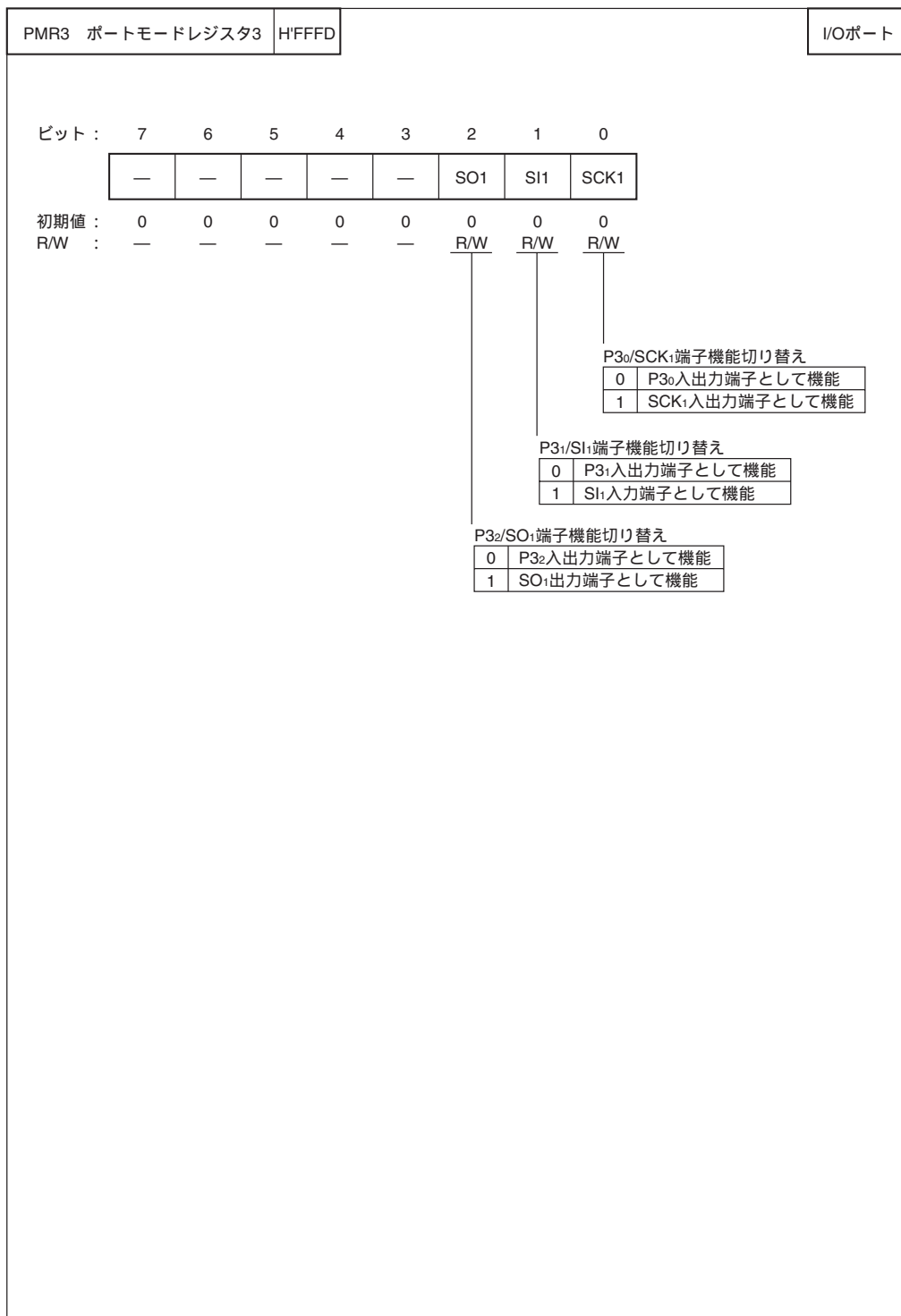
INT₇ ~ INT₀割り込み要求フラグ

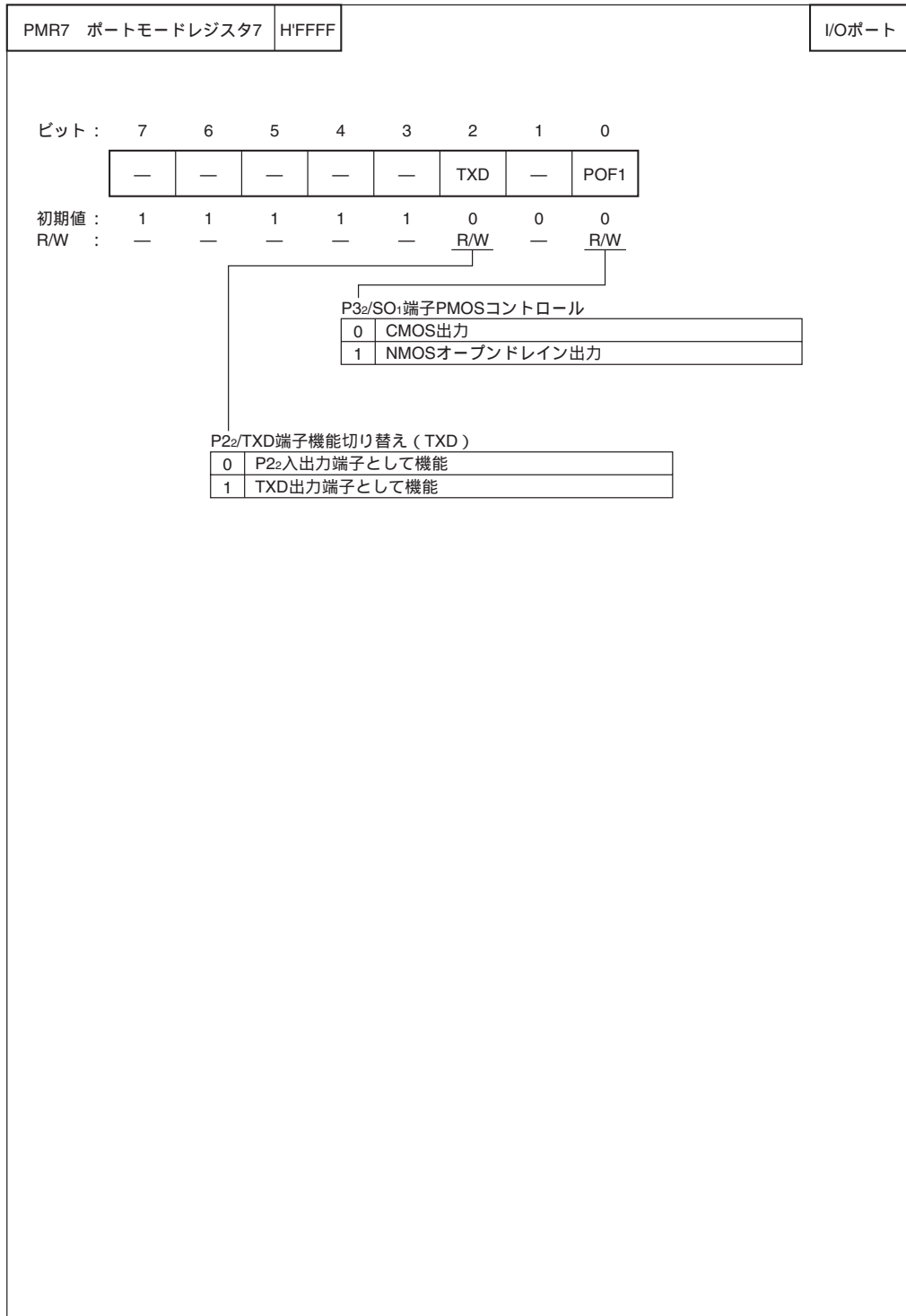
0	[クリア条件] INTF _n = 1の状態 でINTF _n に0をライトしたとき
1	[セット条件] INT _n 端子に指定されたエッジが入力されたとき

(n = 7 ~ 0)

【注】* フラグクリアのための0ライトのみ可能







C. I/Oポートブロック図

C.1 ポート1ブロック図

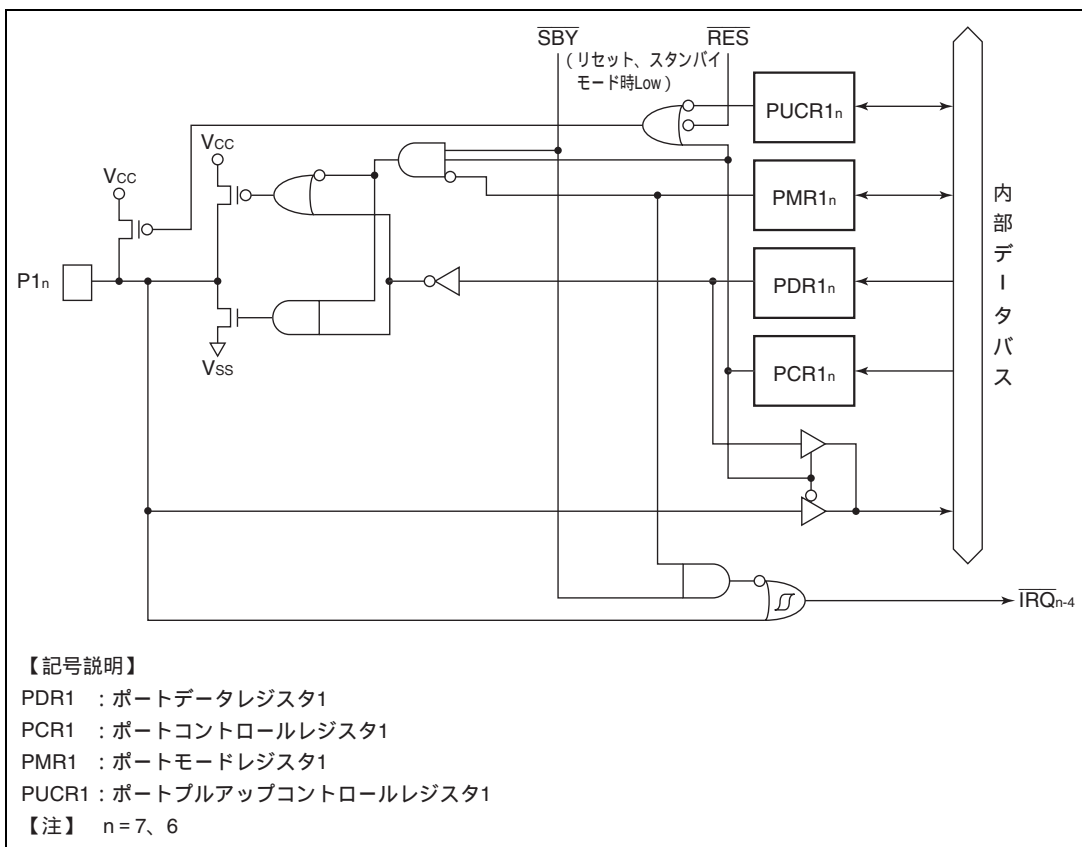


図 C.1 (a) ポート1ブロック図 (P1₇, P1₆端子)

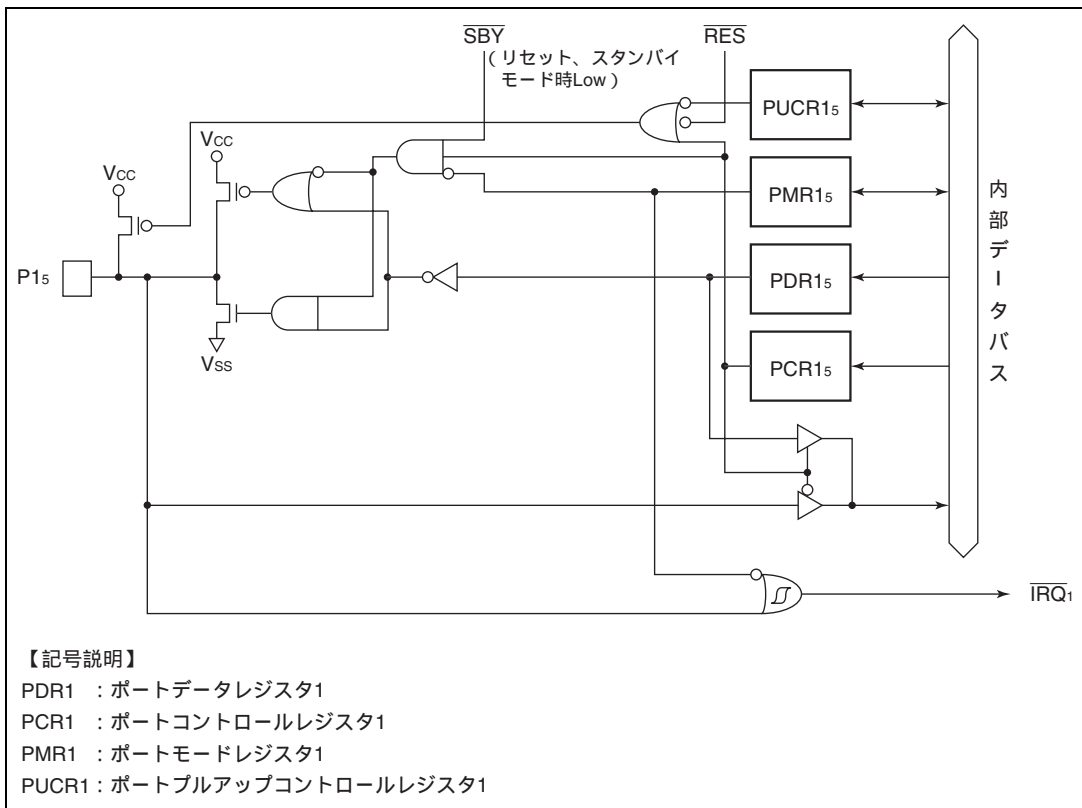


図 C.1 (b) ポート1 ブロック図 (P1s 端子)

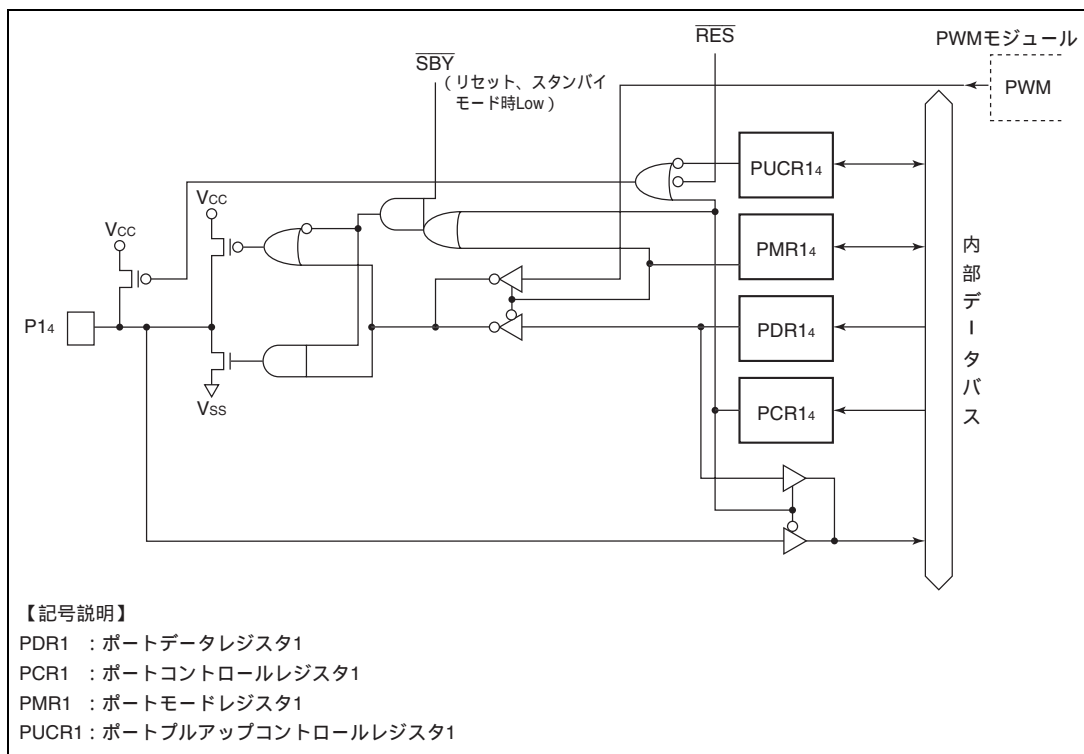


図 C.1 (c) ポート1 ブロック図 (P1₄端子)

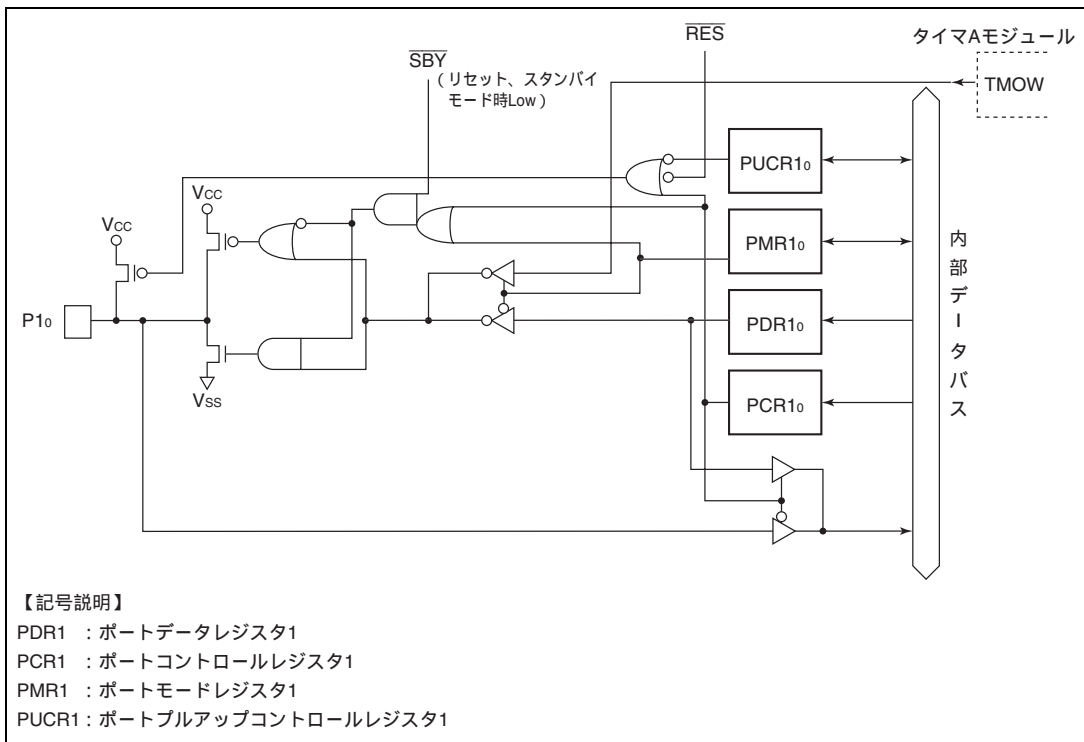


図 C.1 (d) ポート1 ブロック図 (P1₀端子)

C.2 ポート2ブロック図

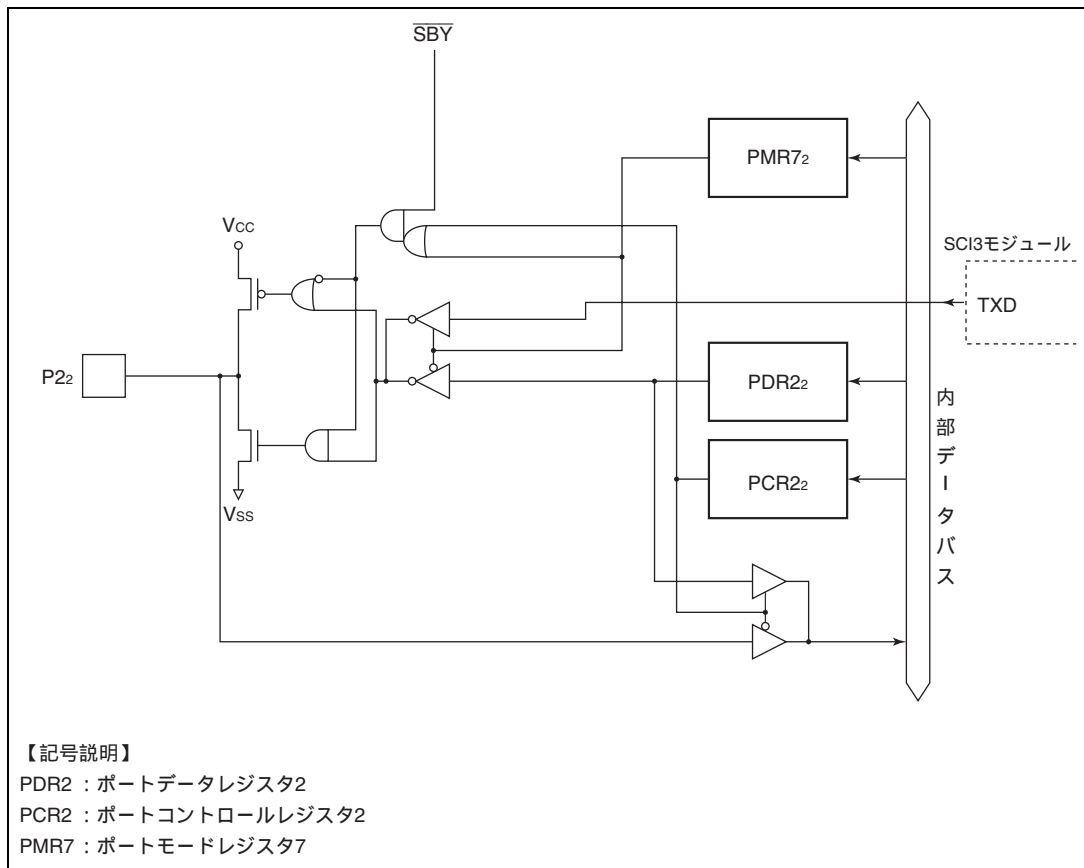


図 C.2 (a) ポート2 ブロック図 (P2₂端子)

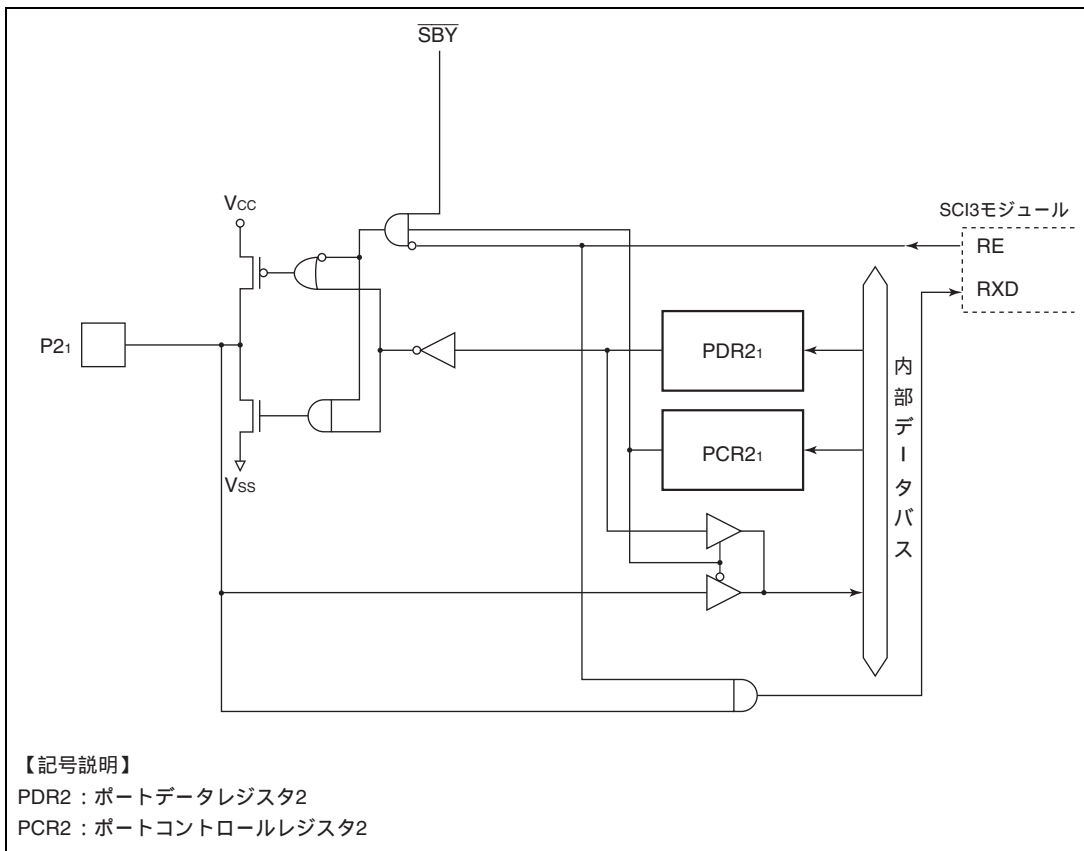


図 C.2 (b) ポート2 ブロック図 (P2, 端子)

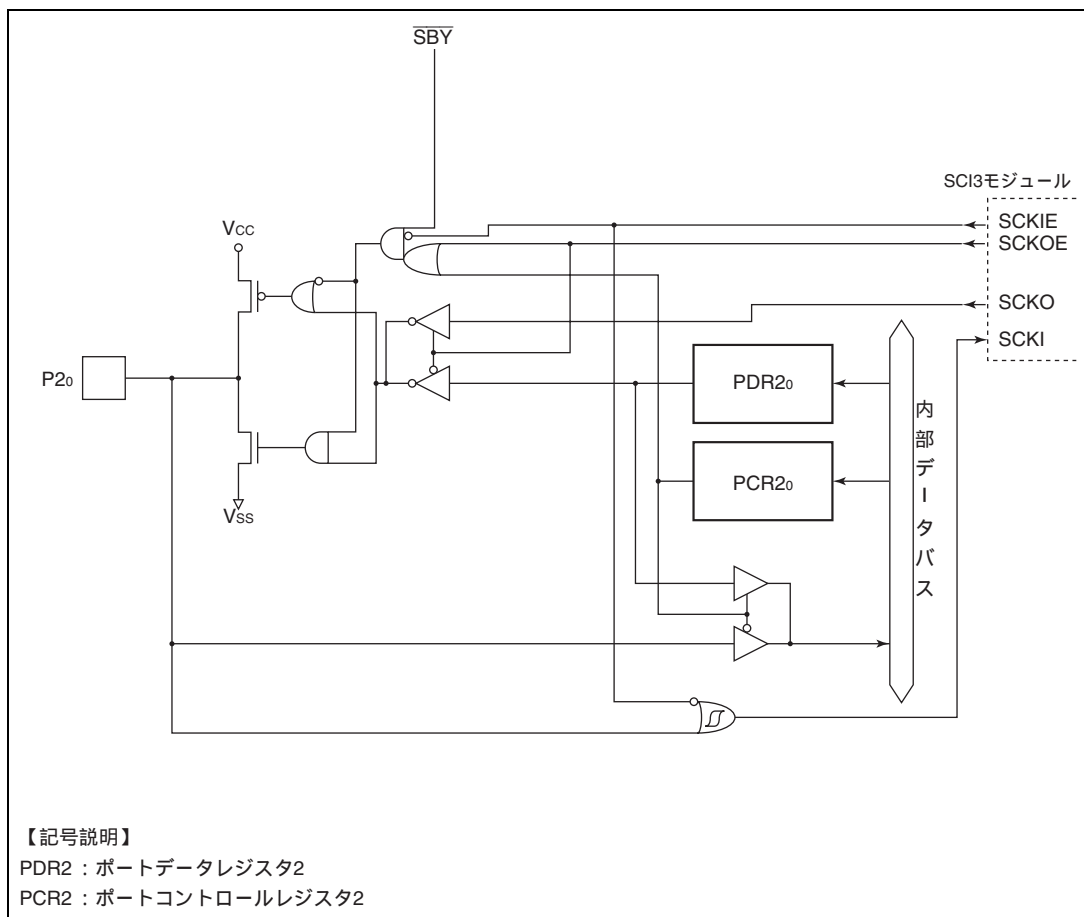


図 C.2 (c) ポート2 ブロック図 (P2₀ 端子)

C.3 ポート 3 ブロック図

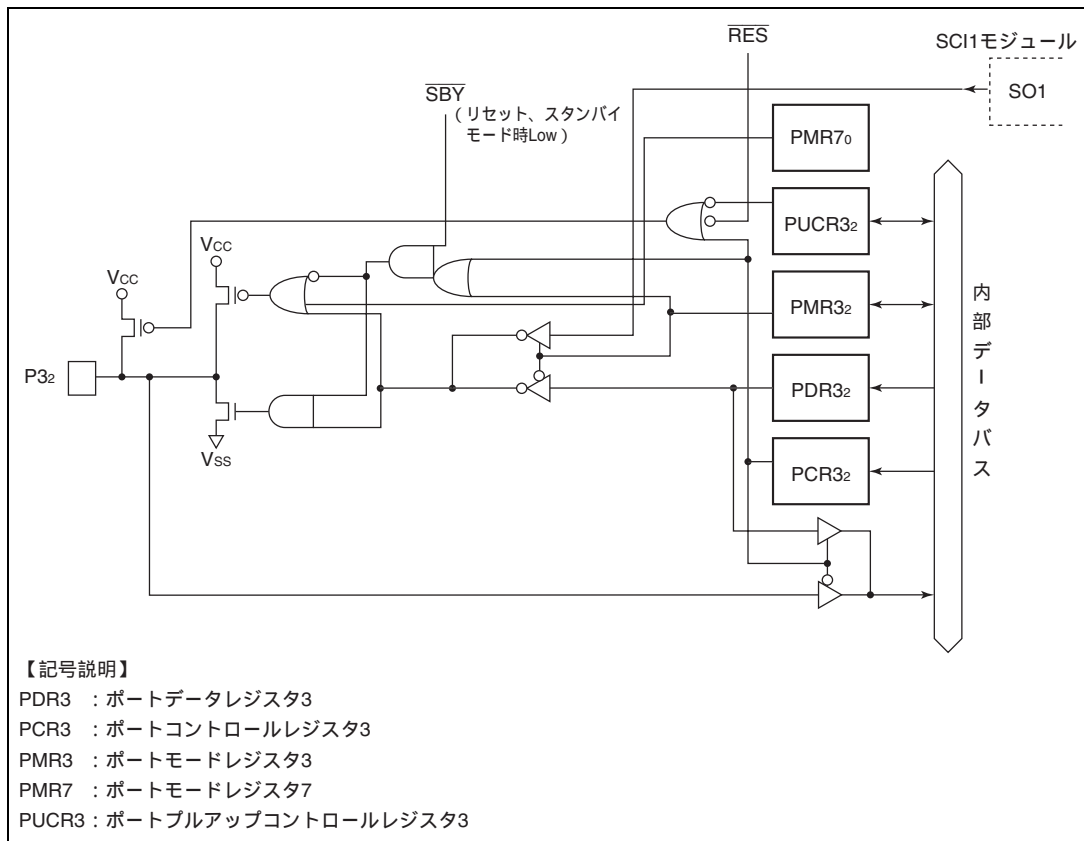


図 C.3 (a) ポート 3 ブロック図 (P3₂端子)

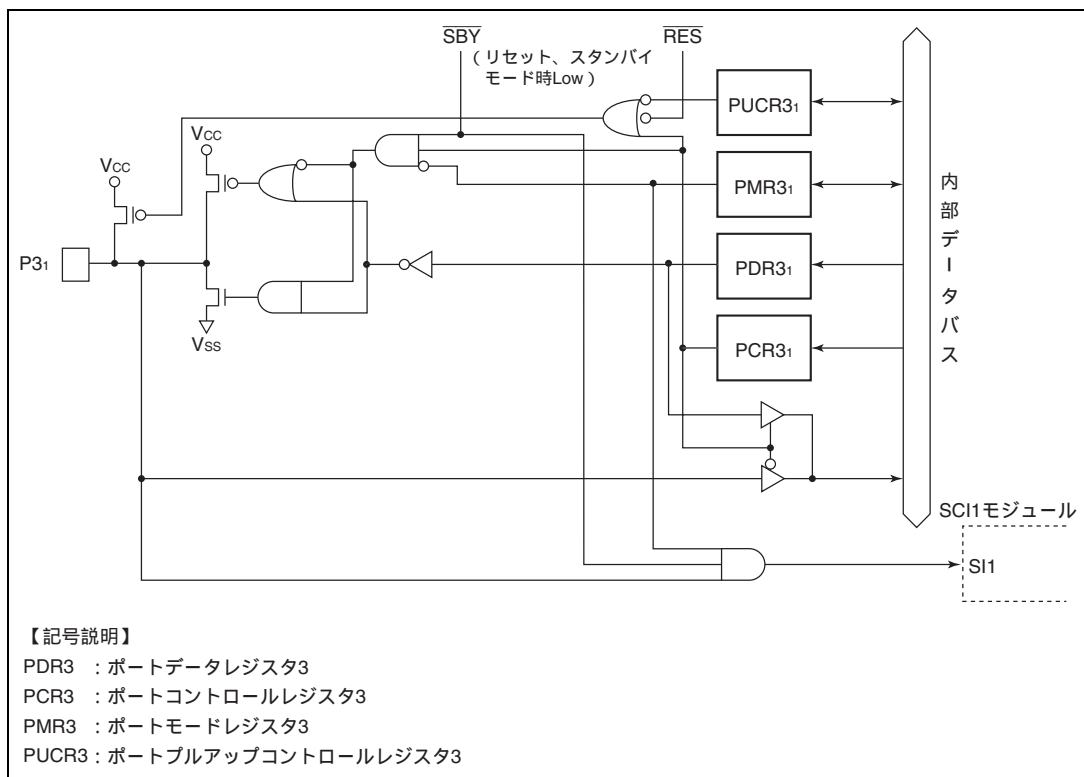


図 C.3 (b) ポート 3 ブロック図 (P3₁端子)

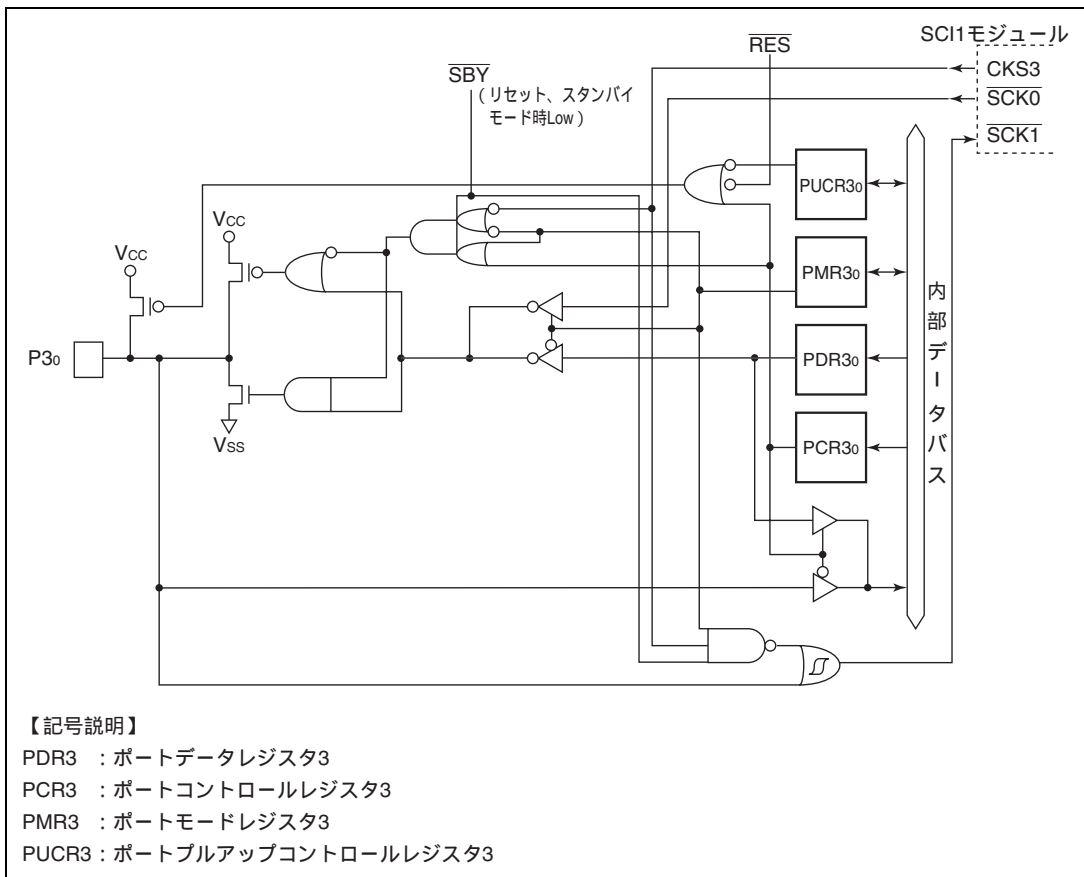
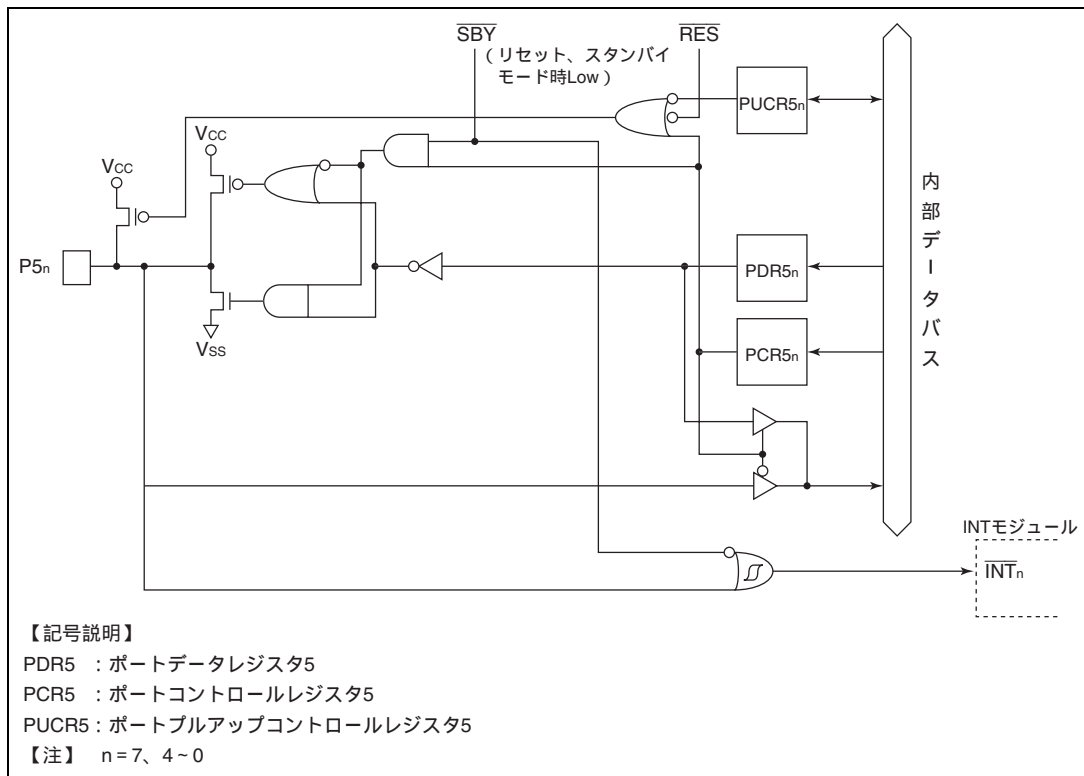


図 C.3 (c) ポート3 ブロック図 (P3₀端子)

C.4 ポート5ブロック図

図 C.4 (a) ポート5ブロック図 (P5₇、P5₄~P5₀端子)

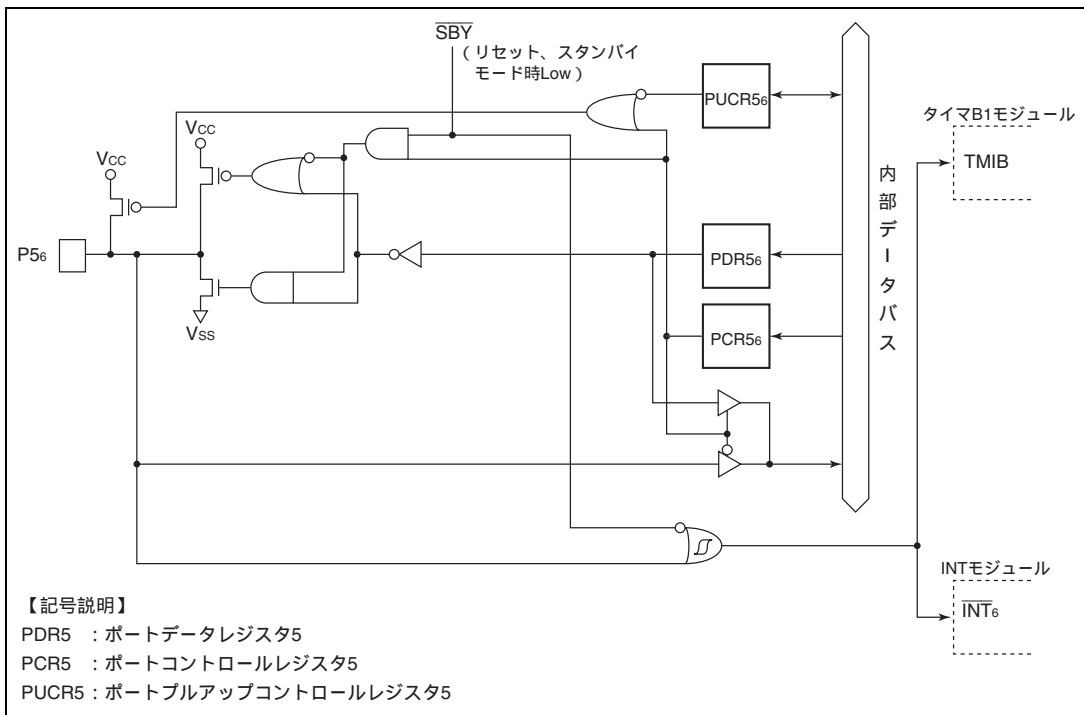


図 C.4 (b) ポート 5 ブロック図 (P5₆端子)

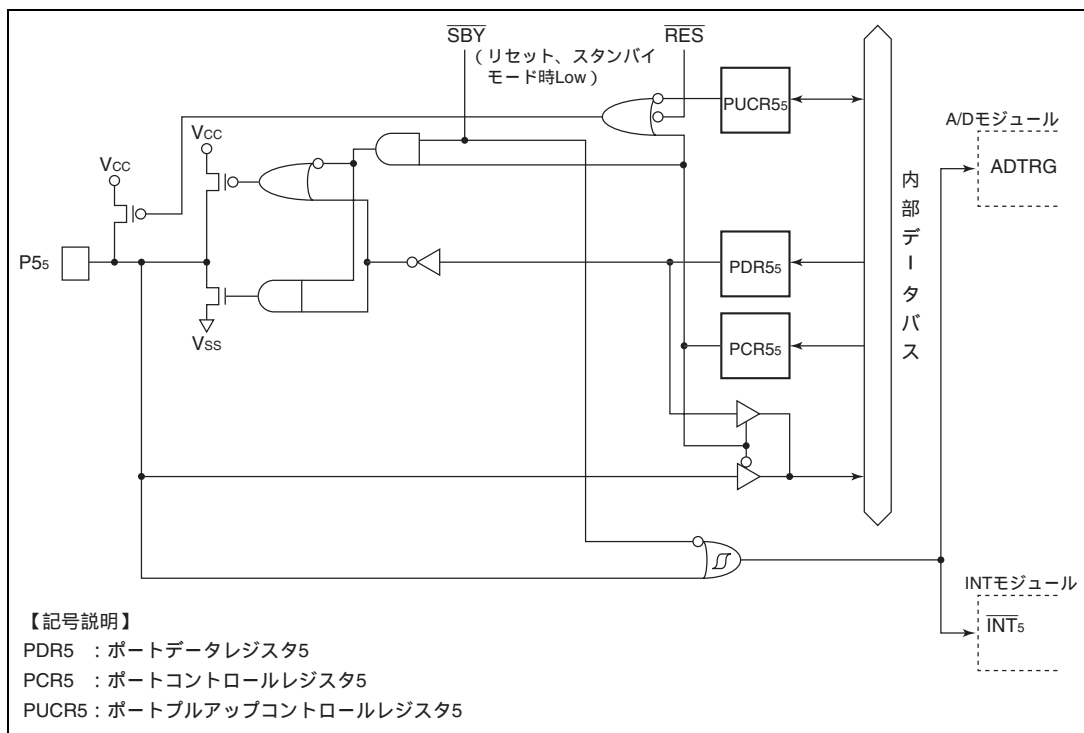


図 C.4 (c) ポート 5 ブロック図 (P5_s端子)

C.5 ポート6ブロック図

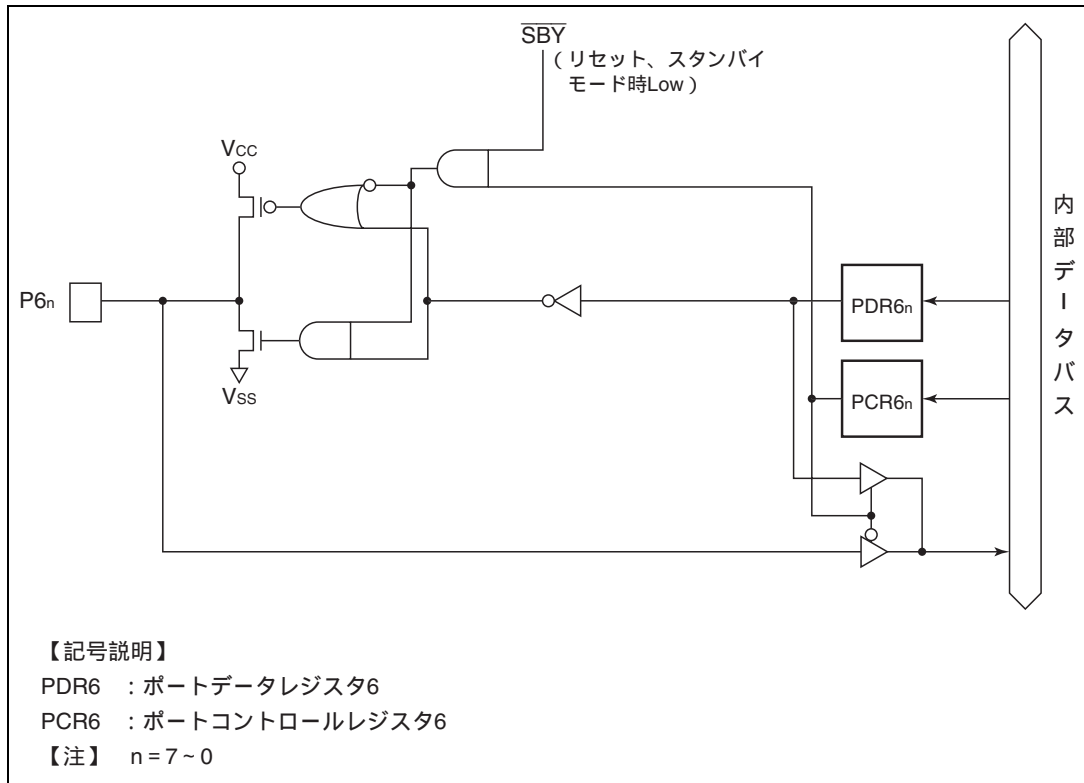
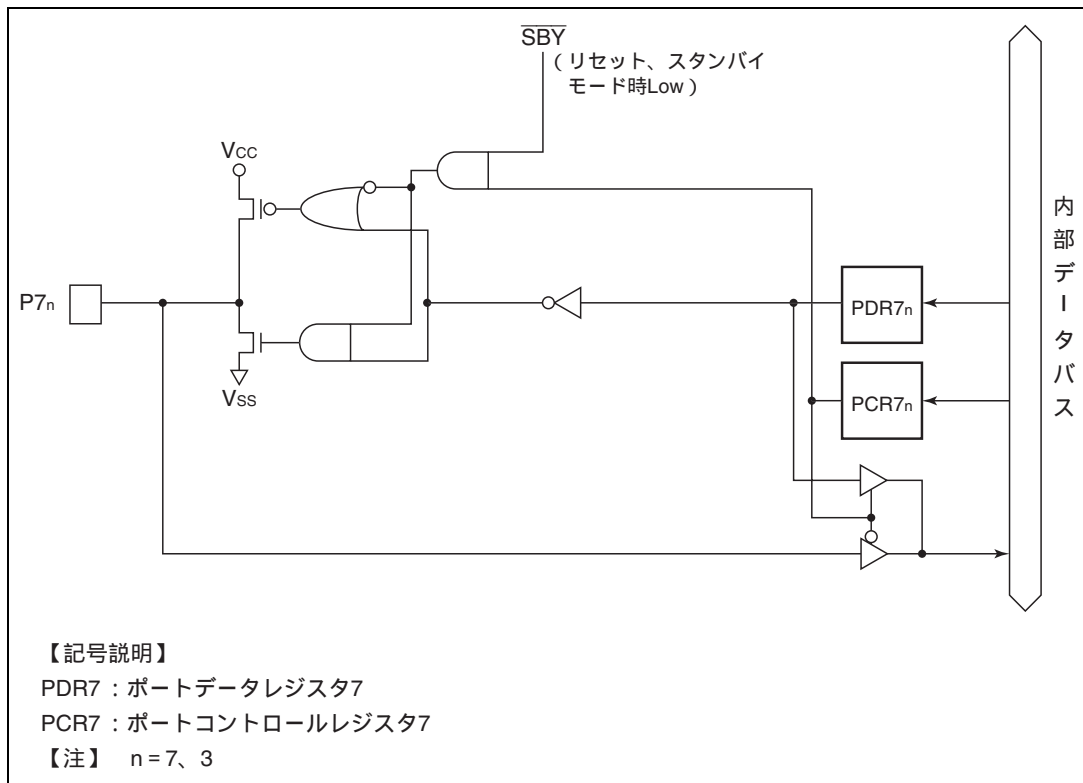


図 C.5 ポート6 ブロック図 (P6₇ ~ P6₀端子)

C.6 ポート7ブロック図

図 C.6 (a) ポート7 ブロック図 (P7₇、P7₃端子)

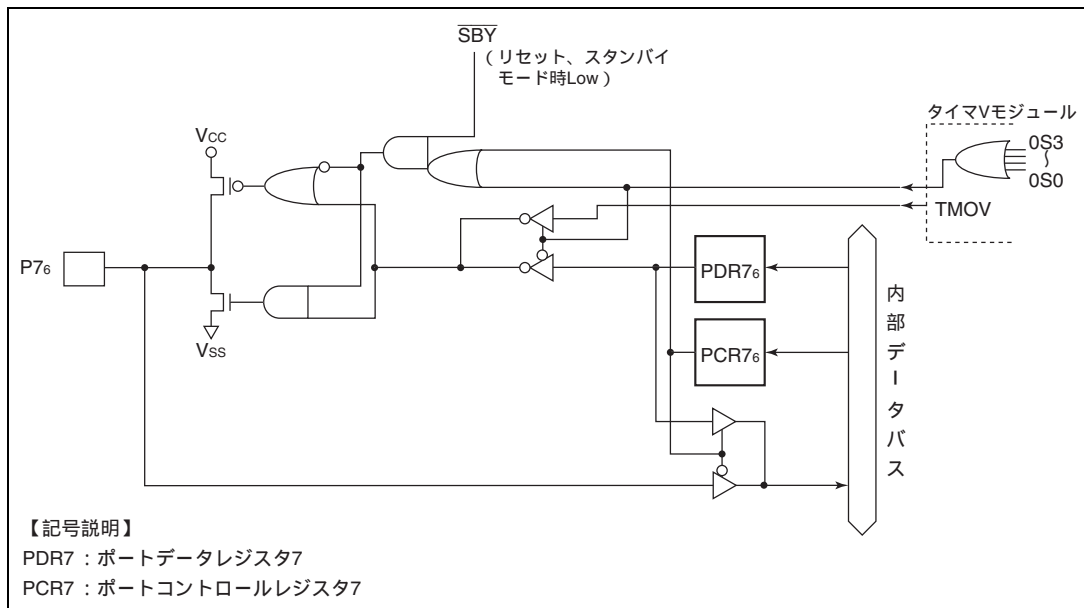


図 C.6 (b) ポート7ブロック図 (P7₆端子)

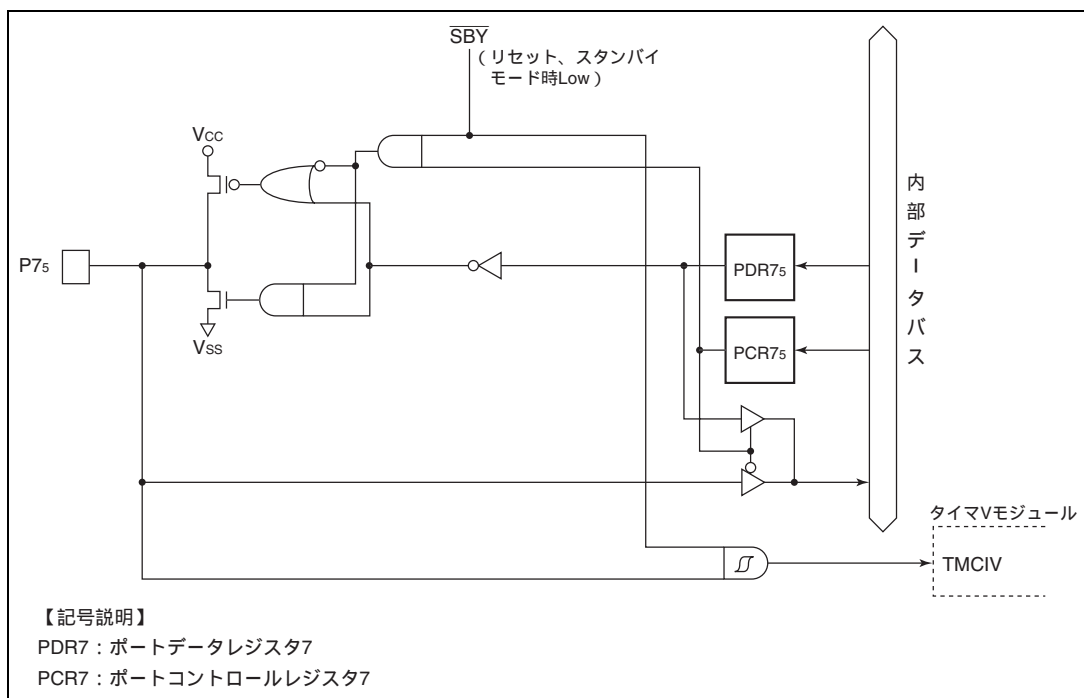


図 C.6 (c) ポート7ブロック図 (P7₅端子)

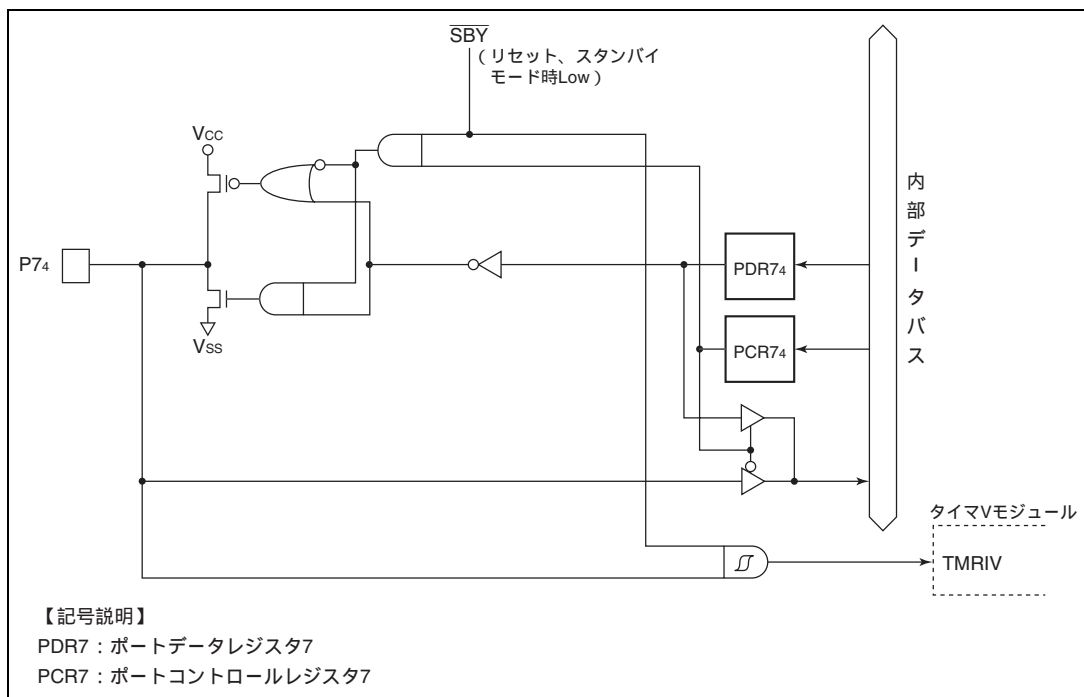


図 C.6 (d) ポート7ブロック図 (P7₄端子)

C.7 ポート 8 ブロック図

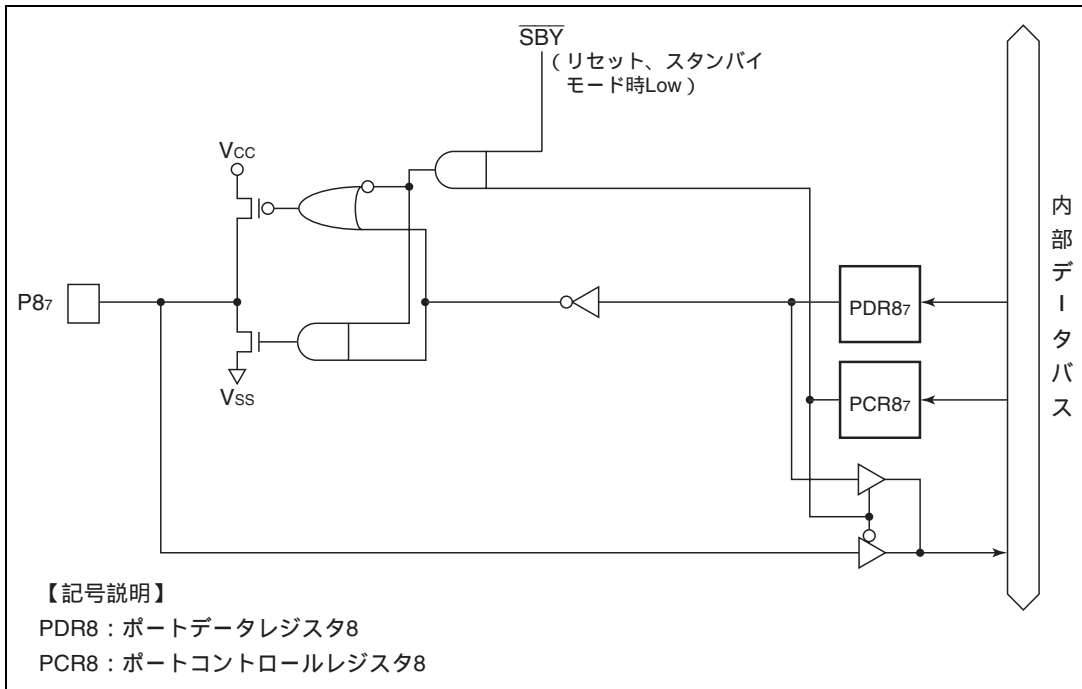


図 C.7 (a) ポート 8 ブロック図 (P8₇端子)

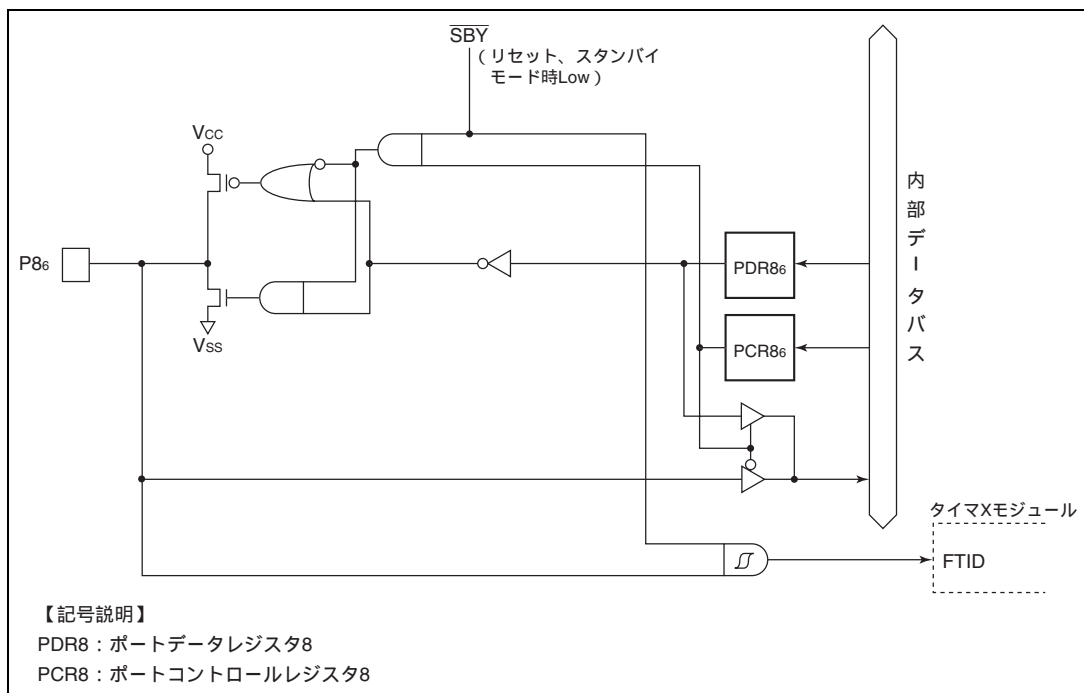


図 C.7 (b) ポート 8 ブロック図 (P8_e 端子)

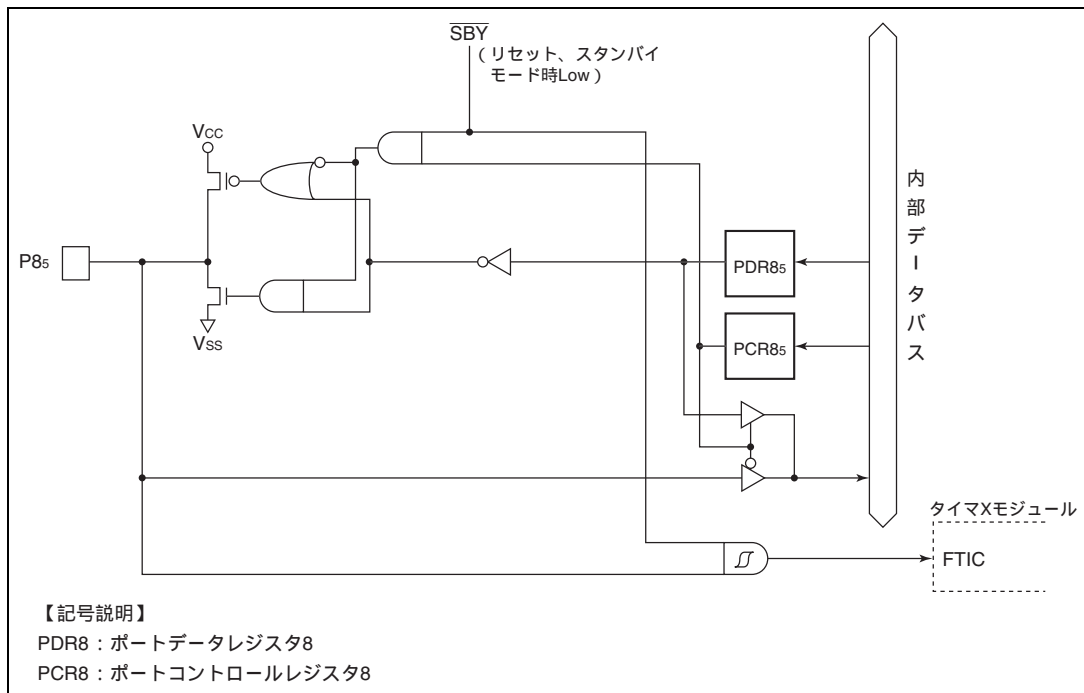


図 C.7 (c) ポート 8 ブロック図 (P8_s 端子)

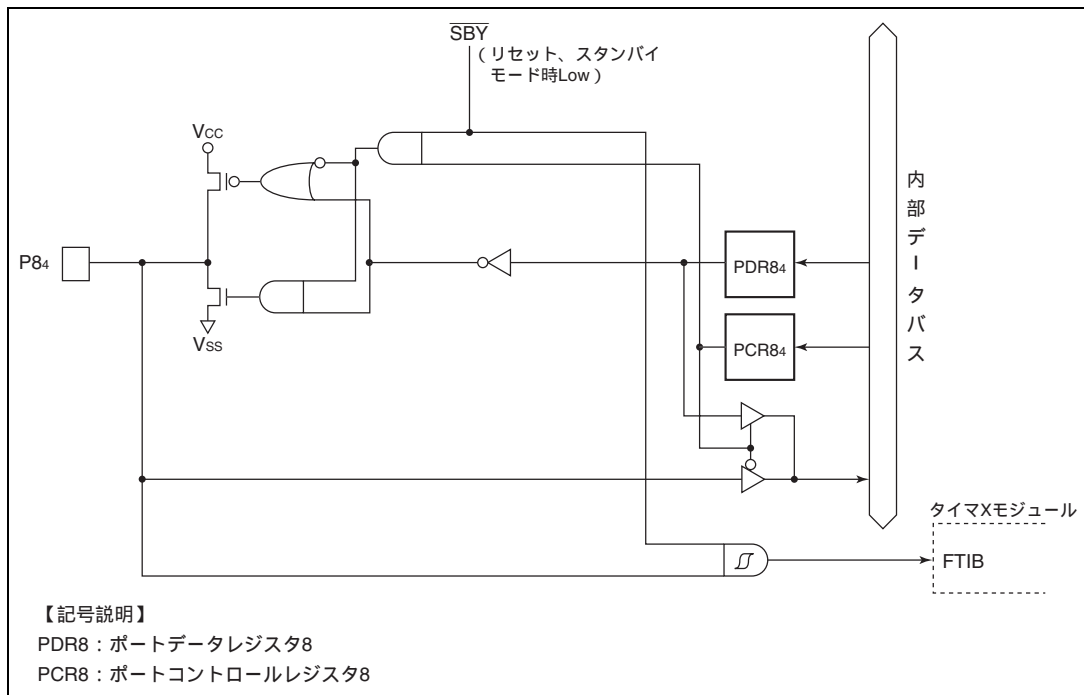


図 C.7 (d) ポート 8 ブロック図 (P8₄端子)

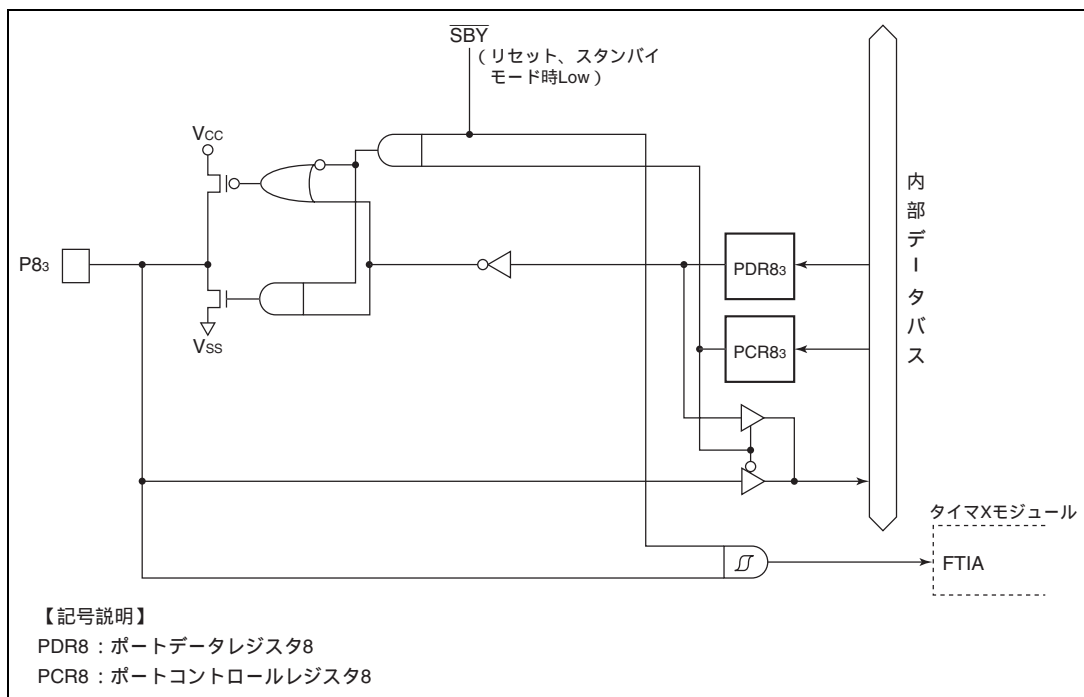


図 C.7 (e) ポート 8 ブロック図 (P8₃端子)

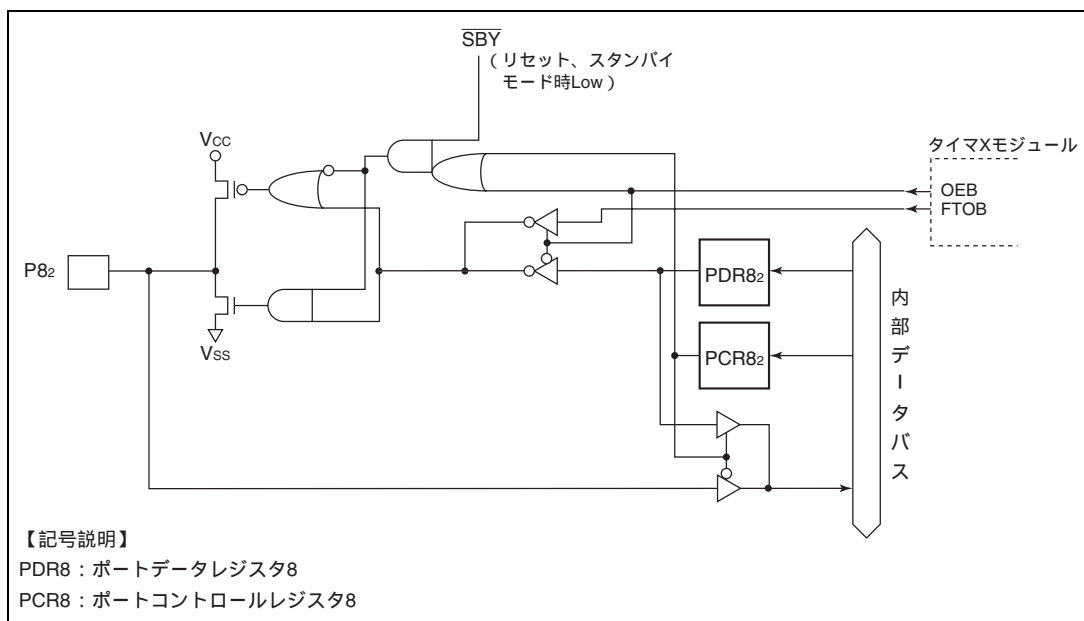


図 C.7 (f) ポート 8 ブロック図 (P8₂端子)

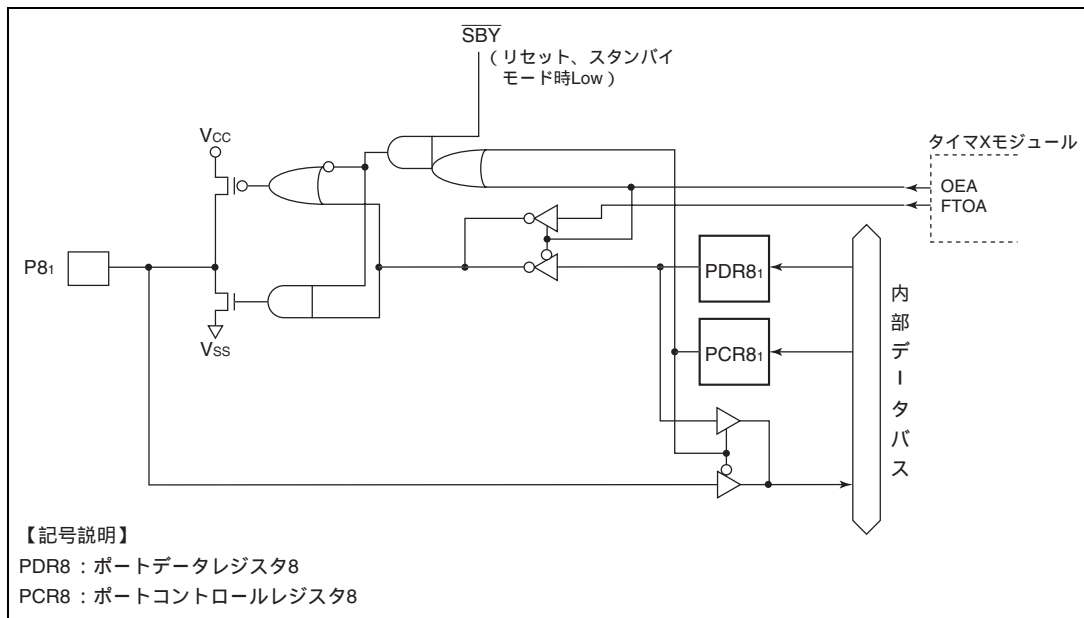


図 C.7 (g) ポート8 ブロック図 (P8_i端子)

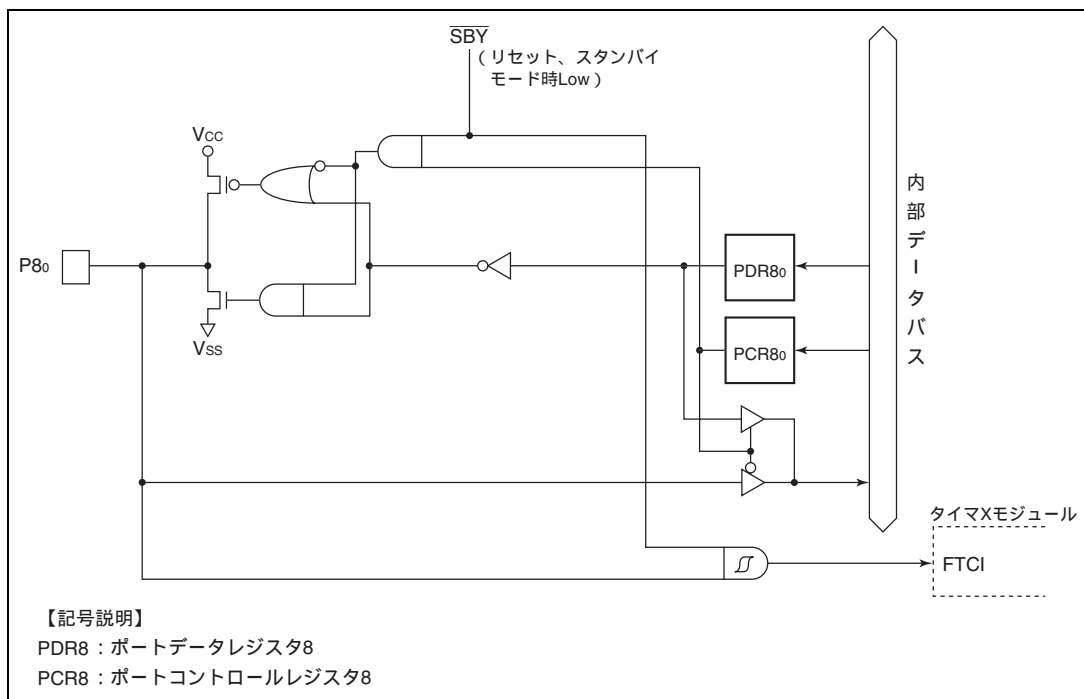


図 C.7 (h) ポート8 ブロック図 (P8_o端子)

C.8 ポート9ブロック図

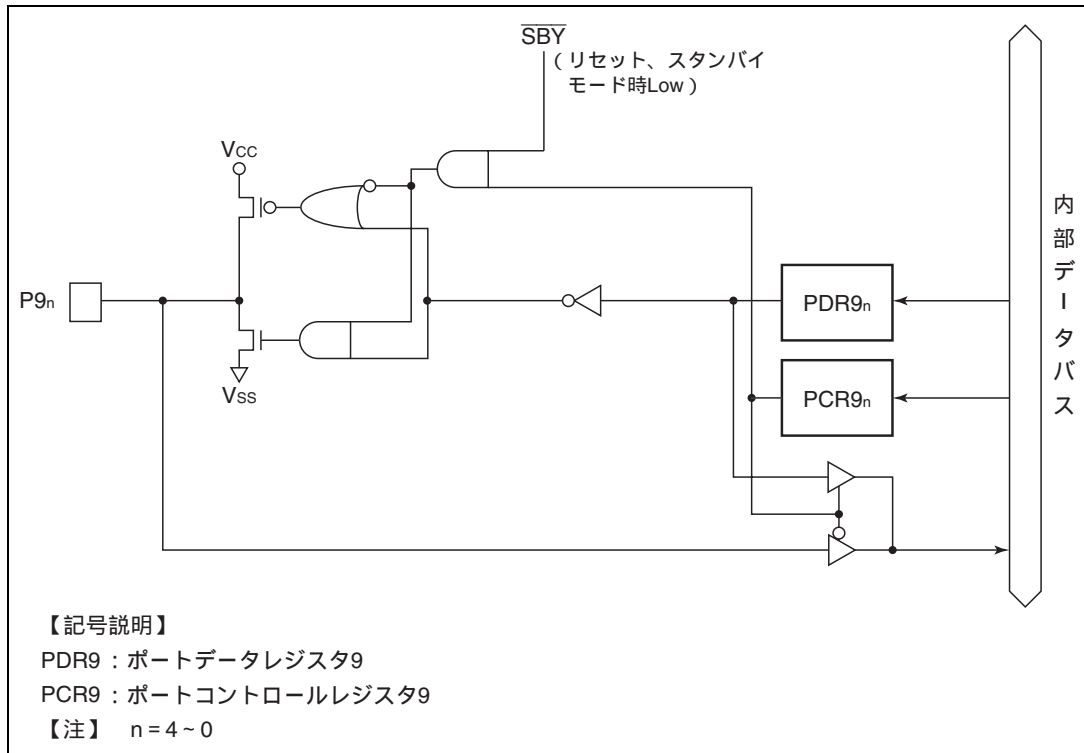


図 C.8 ポート9ブロック図 (P9₄ ~ P9₀端子)

C.9 ポート B ブロック図

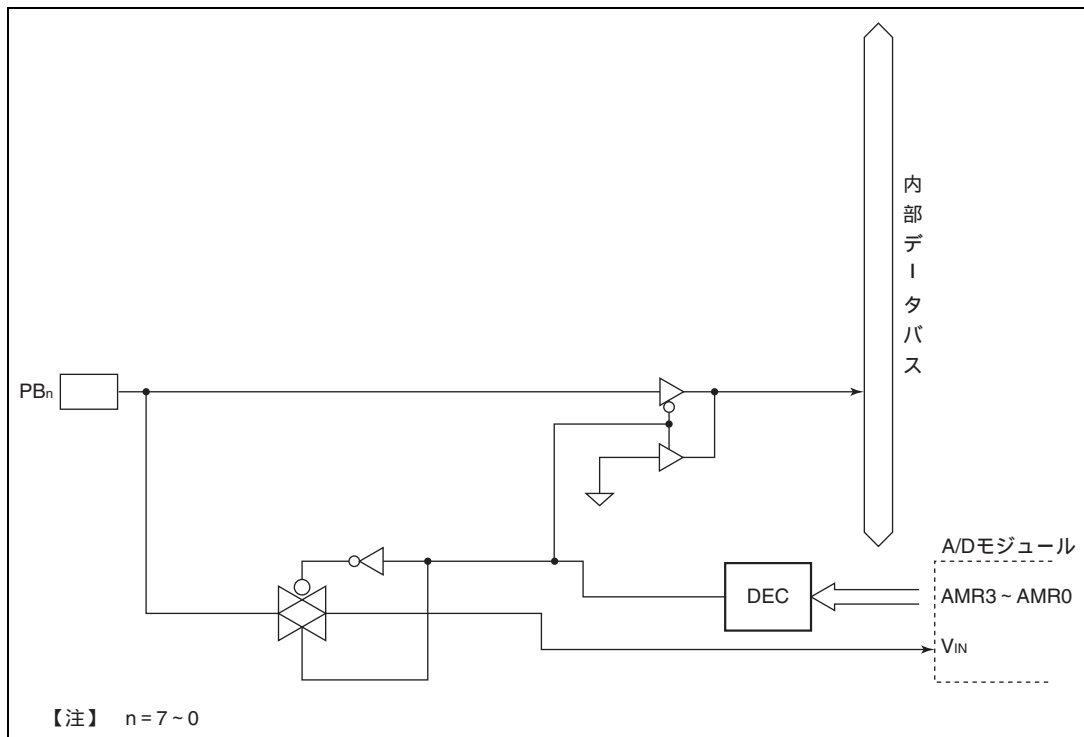


図 C.9 ポート B ブロック図 (PB₇ ~ PB₀ 端子)

D. 各処理状態におけるポートの状態

表 D.1 各ポートの状態一覧

動作モード	リセット	スリープ	サブスリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P1 ₇ ~ P1 ₄ 、P1 ₀	ハイインピーダンス	保持	保持	ハイインピーダンス*	保持	動作	動作
P2 ₂ ~ P2 ₀	ハイインピーダンス	保持	保持	ハイインピーダンス	保持	動作	動作
P3 ₂ ~ P3 ₀	ハイインピーダンス	保持	保持	ハイインピーダンス*	保持	動作	動作
P5 ₇ ~ P5 ₀	ハイインピーダンス	保持	保持	ハイインピーダンス*	保持	動作	動作
P6 ₇ ~ P6 ₀	ハイインピーダンス	保持	保持	ハイインピーダンス	保持	動作	動作
P7 ₇ ~ P7 ₃	ハイインピーダンス	保持	保持	ハイインピーダンス	保持	動作	動作
P8 ₇ ~ P8 ₀	ハイインピーダンス	保持	保持	ハイインピーダンス	保持	動作	動作
P9 ₄ ~ P9 ₀	ハイインピーダンス	保持	保持	ハイインピーダンス	保持	動作	動作
PB ₇ ~ PB ₀	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス

【注】 * プルアップ MOS が ON 状態では High レベル出力となります。

E. 型名一覧

表 E.1 H8/3644 グループ型名一覧

製品分類			製品型名	マーク型名	パッケージ (パッケージコード)	
H8/3644	ZTAT	標準品	HD6473644H HD6473644RH	HD6473644H	64 ピン QFP (FP-64A)	
			HD6473644P HD6473644RP	HD6473644P	64 ピン SDIP (DP-64S)	
			HD6473644W HD6473644RW	HD6473644W	80 ピン TQFP (TFP-80C)	
	FLASH		HD64F3644H	HD64F3644H	64 ピン QFP (FP-64A)	
			HD64F3644P	HD64F3644P	64 ピン SDIP (DP-64S)	
			HD64F3644W	HD64F3644W	80 ピン TQFP (TFP-80C)	
	マスク ROM 版		HD6433644H HD6433644RH	HD6433644 (***) H	64 ピン QFP (FP-64A)	
			HD6433644P HD6433644RP	HD6433644 (***) P	64 ピン SDIP (DP-64S)	
			HD6433644W HD6433644RW	HD6433644 (***) W	80 ピン TQFP (TFP-80C)	
	H8/3643	FLASH	標準品	HD64F3643H	HD64F3643H	64 ピン QFP (FP-64A)
				HD64F3643P	HD64F3643P	64 ピン SDIP (DP-64S)
				HD64F3643W	HD64F3643W	80 ピン TQFP (TFP-80C)
マスク ROM 版		HD6433643H HD6433643RH		HD6433643 (***) H	64 ピン QFP (FP-64A)	
		HD6433643P HD6433643RP		HD6433643 (***) P	64 ピン SDIP (DP-64S)	
		HD6433643W HD6433643RW		HD6433643 (***) W	80 ピン TQFP (TFP-80C)	
		H8/3642	FLASH	標準品	HD64F3642AH	HD64F3642AH
HD64F3642AP	HD64F3642AP				64 ピン SDIP (DP-64S)	
HD64F3642AW	HD64F3642AW				80 ピン TQFP (TFP-80C)	
マスク ROM 版	HD6433642H HD6433642RH		HD6433642 (***) H		64 ピン QFP (FP-64A)	
	HD6433642P HD6433642RP		HD6433642 (***) P		64 ピン SDIP (DP-64S)	
	HD6433642W HD6433642RW		HD6433642 (***) W		80 ピン TQFP (TFP-80C)	
H8/3641	マスク ROM 版	標準品	HD6433641H HD6433641RH	HD6433641 (***) H	64 ピン QFP (FP-64A)	
			HD6433641P HD6433641RP	HD6433641 (***) P	64 ピン SDIP (DP-64S)	
			HD6433641W HD6433641RW	HD6433641 (***) W	80 ピン TQFP (TFP-80C)	

製品分類			製品型名	マーク型名	パッケージ (パッケージコード)
H8/3640	マスク ROM 版	標準品	HD6433640H	HD6433640 (***) H	64 ピン QFP (FP-64A)
			HD6433640RH		
			HD6433640P	HD6433640 (***) P	64 ピン SDIP (DP-64S)
			HD6433640RP		
HD6433640W	HD6433640 (***) W	80 ピン TQFP (TFP-80C)			
HD6433640RW					

【注】 マスク ROM 版の (***) は ROM コードです。

F. 外形寸法図

H8/3644 シリーズの外形寸法図 FP-64A を図 F.1 に、DP-64S を図 F.2 に、TFP-80C を図 F.3 に示します。

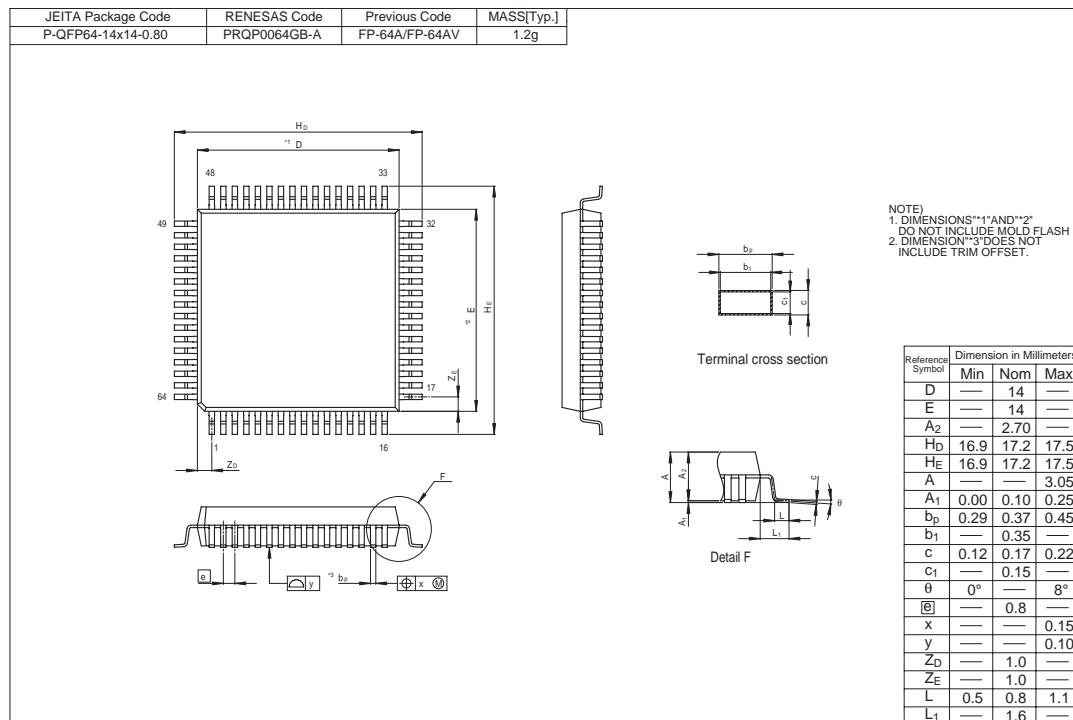


図 F.1 外形寸法図 (FP-64A)

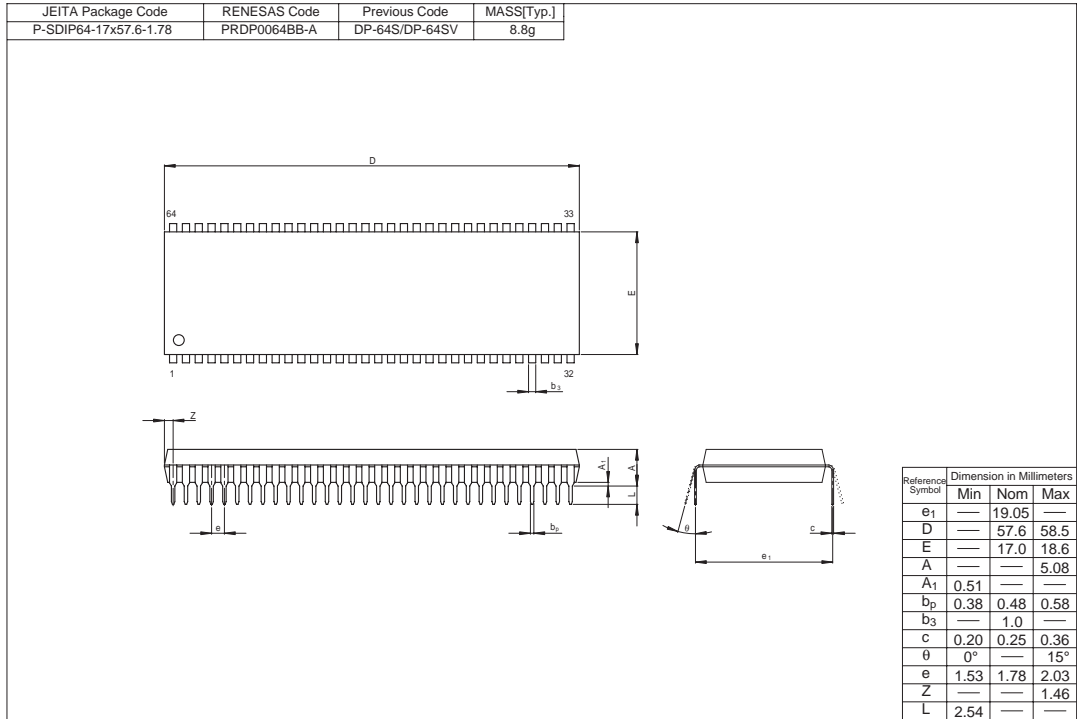


図 F.2 外形寸法図 (DP-64S)

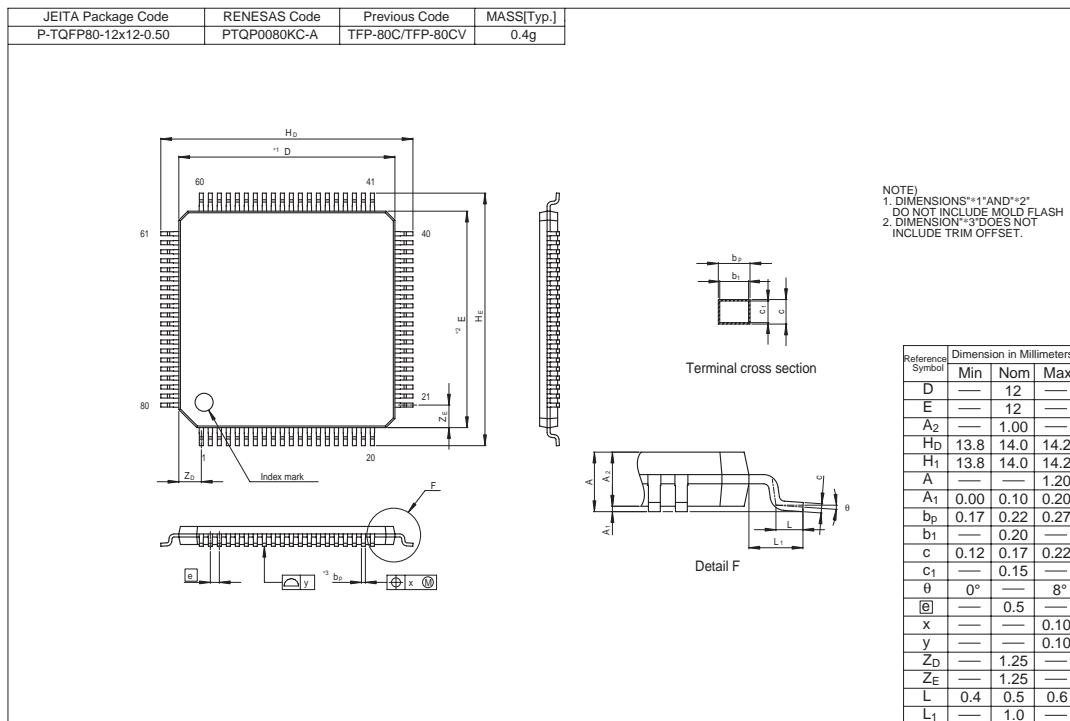


図 F.3 外形寸法図 (TFP-80C)

【注】 外形寸法図については、「パッケージデータブック」に掲載されている寸法図を優先します。

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8/3644 グループ、H8/3644R グループ、
H8/3644F-ZTATTM、H8/3643F-ZTATTM、H8/3642AF-ZTATTM

発行年月日 1996年12月 第1版
2006年9月7日 Rev.6.00
発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	京	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

H8/3644 グループ、H8/3644R グループ、H8/3644F-ZTAT™
H8/3643F-ZTAT™、H8/3642AF-ZTAT™
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0363-0600