

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様にかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

H8/3614グループ

ハードウェアマニュアル

ルネサスシングルチップマイクロコンピュータ

H8ファミリ／H8/300Lシリーズ

H8/3614	HD6473614
	HD6433614
H8/3613	HD6433613
H8/3612	HD6433612

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりますとは、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC 端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC 端子には、何も接続しないようにしてください。接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】未使用の入力端子はハイまたはローレベルに固定してください。

CMOS 製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

はじめに

H8/3614 グループは、H8/300L CPU を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。

このマニュアルは、H8/3614 グループの CPU アーキテクチャ、周辺機能、電気的特性および外形寸法図について記載しています。

命令の詳細については、「H8/300L シリーズ ソフトウェアマニュアル (資料 No.RJJ09B0342)」をご覧ください。

本版で改訂された箇所

修正項目	ページ	修正箇所
全体	-	社名変更による変更 (修正前) 日立製作所 (修正後) ルネサス テクノロジ 呼称変更による変更 (修正前) H8/3614 シリーズ (修正後) H8/3614 グループ

目次

第1章 概要

1.1	概要	1-1
1.2	内部ブロック図	1-4
1.3	端子説明	1-6
1.3.1	ピン配置	1-6
1.3.2	端子機能	1-10

第2章 CPU

2.1	概要	2-1
2.1.1	特長	2-1
2.1.2	アドレス空間	2-2
2.1.3	レジスタ構成	2-3
2.2	各レジスタの説明	2-4
2.2.1	汎用レジスタ	2-4
2.2.2	コントロールレジスタ	2-4
2.2.3	CPU 内部レジスタの初期値	2-6
2.3	データ構成	2-6
2.3.1	汎用レジスタのデータ構成	2-7
2.3.2	メモリ上でのデータ構成	2-8
2.4	アドレッシングモード	2-9
2.4.1	アドレッシングモード	2-9
2.4.2	実効アドレスの計算方法	2-11
2.5	命令セット	2-15
2.5.1	データ転送命令	2-17
2.5.2	算術演算命令	2-19
2.5.3	論理演算命令	2-20
2.5.4	シフト命令	2-20
2.5.5	ビット操作命令	2-22
2.5.6	分岐命令	2-26
2.5.7	システム制御命令	2-28
2.5.8	ブロック転送命令	2-29
2.6	CPU の状態	2-30
2.6.1	概要	2-30
2.6.2	プログラム実行状態	2-31
2.6.3	プログラム停止状態	2-31
2.6.4	例外処理状態	2-31
2.7	基本動作タイミング	2-32

2.7.1	内蔵メモリ (RAM、ROM)	2-32
2.7.2	内蔵周辺モジュール.....	2-33
2.8	使用上の注意事項	2-34
2.8.1	データアクセスに関する注意事項	2-34
2.8.2	ビット操作命令使用上の注意事項	2-36

第3章 システムコントロール

3.1	概要.....	3-1
3.2	例外処理.....	3-1
3.2.1	リセット	3-1
3.2.2	割り込み	3-3
3.2.3	割り込み制御レジスタ	3-4
3.2.4	外部割り込み	3-12
3.2.5	内部割り込み	3-12
3.2.6	割り込み動作	3-13
3.2.7	割り込み復帰動作	3-17
3.2.8	割り込み応答時間.....	3-17
3.2.9	各モードにおける有効な割り込み要因	3-18
3.2.10	スタック領域に関する使用上の注意	3-19
3.2.11	割り込み要求レジスタのクリアに関する使用上の注意	3-19
3.3	システムのモード	3-20
3.3.1	概要	3-20
3.3.2	アクティブモード.....	3-21
3.3.3	スリープモード.....	3-21
3.3.4	スタンバイモード.....	3-22
3.3.5	ウォッチモード.....	3-23
3.3.6	サブアクティブモード.....	3-23
3.3.7	使用上の注意事項.....	3-24
3.4	システムコントロールレジスタ	3-25
3.4.1	システムコントロールレジスタ 1 (SYSCR1)	3-25
3.4.2	システムコントロールレジスタ 2 (SYSCR2)	3-26

第4章 クロック発振器

4.1	概要.....	4-1
4.1.1	ブロック図.....	4-1
4.2	システムクロック発振器	4-2
4.3	サブクロック発振器	4-4

第5章 I/O ポート

5.1	概要.....	5-1
5.1.1	端子のオプション.....	5-2
5.1.2	プルアップ MOS	5-3
5.2	ポート 0.....	5-4

5.2.1	概要	5-4
5.2.2	レジスタの構成と説明	5-4
5.2.3	端子機能	5-5
5.2.4	端子状態	5-5
5.3	ポート 1	5-6
5.3.1	概要	5-6
5.3.2	レジスタの構成と説明	5-6
5.3.3	端子機能	5-11
5.3.4	端子状態	5-11
5.4	ポート 2	5-12
5.4.1	概要	5-12
5.4.2	レジスタの構成と説明	5-12
5.4.3	端子機能	5-13
5.4.4	端子状態	5-13
5.5	ポート 4	5-14
5.5.1	概要	5-14
5.5.2	レジスタの構成と説明	5-14
5.5.3	端子機能	5-15
5.5.4	端子状態	5-15
5.6	ポート 8	5-15
5.6.1	概要	5-15
5.6.2	レジスタの構成と説明	5-16
5.6.3	端子機能	5-16
5.6.4	端子状態	5-17
5.7	ポート 9	5-17
5.7.1	概要	5-17
5.7.2	レジスタの構成と説明	5-17
5.7.3	端子機能	5-20
5.7.4	端子状態	5-22
5.8	ポート A	5-23
5.8.1	概要	5-23
5.8.2	レジスタの構成と説明	5-23
5.8.3	端子機能	5-24
5.8.4	端子状態	5-24

第 6 章 タイマ

6.1	概要	6-1
6.1.1	プリスケアラの動作	6-2
6.2	タイマ A	6-3
6.2.1	概要	6-3
6.2.2	各レジスタの説明	6-4
6.2.3	動作説明	6-6
6.3	タイマ B	6-6
6.3.1	概要	6-6

6.3.2	各レジスタの説明	6-8
6.3.3	動作説明	6-9
6.4	タイマ C	6-10
6.4.1	概要	6-10
6.4.2	各レジスタの説明	6-12
6.4.3	動作説明	6-14
6.5	タイマ D	6-15
6.5.1	概要	6-15
6.5.2	各レジスタの説明	6-17
6.5.3	動作説明	6-18
6.6	タイマ E	6-18
6.6.1	概要	6-18
6.6.2	各レジスタの説明	6-20
6.6.3	動作説明	6-22
6.7	割り込み要因	6-24
6.8	使用上の注意事項	6-24

第7章 14ビットPWM

7.1	概要	7-1
7.1.1	特長	7-1
7.1.2	ブロック図	7-1
7.1.3	端子構成	7-2
7.1.4	レジスタ構成	7-2
7.2	各レジスタの説明	7-2
7.2.1	PWM コントロールレジスタ (PWCR)	7-2
7.2.2	PWM データレジスタ U、L (PWDRU、PWDRL)	7-3
7.3	動作説明	7-3

第8章 シリアルコミュニケーションインタフェース1 (SCI1)

8.1	概要	8-1
8.1.1	特長	8-1
8.1.2	ブロック図	8-2
8.1.3	端子構成	8-2
8.1.4	レジスタ構成	8-3
8.2	各レジスタの説明	8-3
8.2.1	シリアルモードレジスタ1 (SMR1)	8-3
8.2.2	シリアルデータレジスタ U1 (SDRU1)	8-4
8.2.3	シリアルデータレジスタ L1 (SDRL1)	8-4
8.2.4	シリアルポートレジスタ1 (SPR1)	8-5
8.2.5	ポートモードレジスタ2 (PMR2)	8-6
8.2.6	ポートモードレジスタ3 (PMR3)	8-7
8.3	動作説明	8-7
8.3.1	概要	8-7

8.3.2	データ転送フォーマット.....	8-8
8.3.3	クロック.....	8-8
8.3.4	データの送信または受信動作.....	8-9
8.3.5	SCI1 の動作状態遷移.....	8-11
8.3.6	転送クロックエラーの検出例.....	8-12
8.3.7	割り込み要因.....	8-12

第9章 シリアルコミュニケーションインタフェース2 (SCI2)

9.1	概要.....	9-1
9.1.1	特長.....	9-1
9.1.2	ブロック図.....	9-2
9.1.3	端子構成.....	9-3
9.1.4	レジスタ構成.....	9-3
9.2	各レジスタの説明.....	9-3
9.2.1	先頭アドレスレジスタ (STAR).....	9-3
9.2.2	終了アドレスレジスタ (EDAR).....	9-4
9.2.3	シリアルコントロールレジスタ2 (SCR2).....	9-4
9.2.4	ステータスレジスタ (STSR).....	9-5
9.2.5	ポートモードレジスタ3 (PMR3).....	9-7
9.3	動作説明.....	9-8
9.3.1	概要.....	9-8
9.3.2	クロック.....	9-9
9.3.3	データ転送フォーマット.....	9-9
9.3.4	データの送信または受信動作.....	9-11
9.4	割り込み要因.....	9-12
9.5	使用上の注意事項.....	9-12

第10章 A/D変換器

10.1	概要.....	10-1
10.1.1	特長.....	10-1
10.1.2	ブロック図.....	10-2
10.1.3	端子構成.....	10-3
10.1.4	レジスタ構成.....	10-3
10.2	各レジスタの説明.....	10-3
10.2.1	A/Dリザルトレジスタ (ADRR).....	10-3
10.2.2	A/Dモードレジスタ (AMR).....	10-4
10.2.3	A/Dスタートレジスタ (ADSR).....	10-6
10.2.4	ポートモードレジスタ0 (PMR0).....	10-6
10.3	動作説明.....	10-7
10.4	割り込み要因.....	10-7
10.5	使用例.....	10-7
10.6	使用上の注意.....	10-10

第 11 章 RAM

11.1 概要.....	11-1
11.1.1 ブロック図.....	11-1

第 12 章 ROM

12.1 概要.....	12-1
12.1.1 ブロック図.....	12-1
12.2 PROM モード.....	12-2
12.2.1 PROM モードの設定.....	12-2
12.2.2 ソケットアダプタの端子対応とメモリマップ.....	12-2
12.3 プログラミング.....	12-4
12.3.1 書き込みとベリファイ.....	12-5
12.3.2 書き込み時の注意.....	12-7
12.3.3 書き込み後の信頼性.....	12-8

第 13 章 電気的特性

13.1 絶対最大定格.....	13-1
13.2 HD6473614 の電気的特性.....	13-1
13.2.1 HD6473614 の DC 特性.....	13-1
13.2.2 HD6473614 の AC 特性.....	13-4
13.2.3 HD6473614 の A/D 変換器特性.....	13-6
13.3 HD6433613、HD6433614 の電気的特性.....	13-7
13.3.1 HD6433613、HD6433614 の DC 特性.....	13-7
13.3.2 HD6433613、HD6433614 の AC 特性.....	13-10
13.3.3 HD6433613、HD6433614 の A/D 変換器特性.....	13-12
13.4 HD6433612 の電気的特性.....	13-12
13.4.1 HD6433612 の DC 特性.....	13-12
13.4.2 HD6433612 の AC 特性.....	13-15
13.4.3 HD6433612 の A/D 変換器特性.....	13-17
13.5 動作タイミング.....	13-18
13.6 マスク ROM 版と ZTAT 版の電気的特性の相違点.....	13-21

付録

A. 命令.....	付録-1
A.1 命令一覧.....	付録-1
A.2 オペレーションコードマップ.....	付録-2
A.3 命令実行スタート数.....	付録-3
B. レジスター一覧.....	付録-7
B.1 I/O レジスター一覧 (1).....	付録-7
B.2 I/O レジスター一覧 (2).....	付録-10
C. I/O ポートブロック図.....	付録-37
C.1 ポート 0 ブロック図.....	付録-37

C.2	ポート1ブロック図.....	付録-38
C.3	ポート2ブロック図.....	付録-42
C.4	ポート4ブロック図.....	付録-43
C.5	ポート8ブロック図.....	付録-44
C.6	ポート9ブロック図.....	付録-45
C.7	ポートAブロック図.....	付録-51
D.	各処理状態におけるポートの状態.....	付録-52
E.	マスクオプションリスト.....	付録-53
F.	外形寸法図.....	付録-54

1. 概要

1.1 概要

H8/300L シリーズは、高速 H8/300L CPU を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータです。

H8/3614 グループは H8/300L シリーズのシングルチップマイクロコンピュータで、周辺機能として 5 種類のタイマ、14 ビット PWM、2 チャンネルのシリアルコミュニケーションインタフェース、A/D 変換器などを内蔵しています。ただし、H8/3612 は 14 ビット PWM を内蔵していません。H8/3614 グループには、16K バイトの ROM、512 バイトの RAM を内蔵した H8/3612、24K バイトの ROM、1024 バイトの RAM を内蔵した H8/3613、32K バイトの ROM、1024 バイトの RAM を内蔵した H8/3614 があります。

H8/3614 にはユーザサイドで自由にプログラムの書き込みができる PROM を内蔵した ZTAT 版もあります。

本 LSI の特長を表 1.1 に示します。

【注】* ZTAT (Zero Turn Around Time) は (株) ルネサス テクノロジーの登録商標です。

表 1.1 特長

項目	仕様
CPU	高速 H8/300L CPU (1) 汎用レジスタマシン • 汎用レジスタ : 8 ビット × 16 本 (16 ビット × 8 本としても使用可能) (2) 動作速度 • 最高動作周波数 : 4.19MHz • 加減算 : 0.5μs (φ = 4MHz 動作時) • 乗除算 : 3.5μs (φ = 4MHz 動作時) • 32kHz サブクロックによる動作可能 (3) H8/300CPU と互換性のある命令体系 • 2 バイトまたは 4 バイト長の命令 • レジスタ - レジスタ間の基本演算 • MOV 命令によるメモリ - レジスタ間データ転送 (4) 特長ある命令 • 乗算命令 (8 ビット × 8 ビット) • 除算命令 (16 ビット ÷ 8 ビット) • ビットアキュムレータ命令 • レジスタ間接指定によりビット位置の指定が可能
割り込み	15 種類の割り込み要因 • 外部割り込み端子 6 本 : $\overline{IRQ}_5 \sim \overline{IRQ}_0$ • 内部割り込み要因 9 要因

1. 概要

項目	仕様
低消費電力モード	4種類の低消費電力モード <ul style="list-style-type: none"> • スリープモード • スタンバイモード • ウォッチモード • サブアクティブモード
クロック発振器	2種類のクロック発振器内蔵 <ul style="list-style-type: none"> • システムクロック発振器 : 1~8.4MHz • サブクロック発振器 : 32.768kHz
I/Oポート	I/Oポート 54本 <ul style="list-style-type: none"> • PMOS オープンドレイン入出力端子 6本 • 入出力端子 38本 • 入力端子 10本
タイマ	5種類のタイマ内蔵 <ol style="list-style-type: none"> (1) タイマA : 8ビットインターバルタイマ <ul style="list-style-type: none"> • システムクロック(ϕ)^{*1}を分周した8種類の内部クロックまたはサブクロック(ϕ_{SUB})を分周した4種類のクロックによりカウントアップ可能 • サブクロック動作とすることで時計用タイムベースとして使用可能 (2) タイマB : 8ビットリロードタイマ <ul style="list-style-type: none"> • 7種類の内部クロックまたはP1₇/IRQ₀端子からのイベント入力によるカウントアップ可能 (3) タイマC : 8ビットリロードタイマ <ul style="list-style-type: none"> • 7種類の内部クロックまたはP1₇/IRQ₁端子からのイベント入力によるカウントアップ/ダウン可能 (4) タイマD : 8ビットイベントカウンタ <ul style="list-style-type: none"> • P1₇/EVENT端子からのイベント入力によるカウントアップ (5) タイマE : 8ビットリロードタイマ <ul style="list-style-type: none"> • 8種類の内部クロックによるカウントアップ可能 • P1₇/IRQ₀/TMOE端子より固定周波数出力、またはタイマEのオーバフローによるデューティ50%の方形波出力可能
14ビットPWM ^{*2}	リップル低減を図ったパルス分割方式PWM <ul style="list-style-type: none"> • 外部にローパスフィルタを接続することで14ビットD/A交換器として使用可能
シリアルコミュニケーションインタフェース(SCI)	2チャンネルのシリアルコミュニケーションインタフェース内蔵 <ol style="list-style-type: none"> (1) SCI1 : クロック同期式 <ul style="list-style-type: none"> • 8ビットまたは16ビットの転送データを選択可能 (2) SCI2 : 8ビットクロック同期式 <ul style="list-style-type: none"> • 32バイトのデータを自動的に転送可能
A/D変換器	抵抗ラダー方式による逐次比較方式の8ビットA/D変換器 <ul style="list-style-type: none"> • 8チャンネルのアナログ入力端子 • 変換時間 : 1チャンネル当たり 31 / ϕ または 62 / ϕ
メモリ	大容量メモリ内蔵 <p>ROM 16Kバイト、RAM 512バイト版 (H8/3612)</p> <p>ROM 24Kバイト、RAM 1024バイト版 (H8/3613)</p> <p>ROM 32Kバイト、RAM 1024バイト版 (H8/3614)</p> <p>PROM 32Kバイト、RAM 1024バイト版 (H8/3614ZTAT)</p>

項目	仕様			
製品ラインアップ	製品型名		パッケージ	ROM/RAMサイズ
	マスクROM版	ZTAT版		
	HD6433612H	-	64ピンQFP (FP-64A)	ROM 16Kバイト
	HD6433612P	-	64ピンSDIP (DP-64S)	RAM 512バイト
	HD6433613H	-	64ピンQFP (FP-64A)	ROM 24Kバイト
	HD6433613P	-	64ピンSDIP (DP-64S)	RAM 1024バイト
	HD6433614H	HD6473614H	64ピンQFP (FP-64A)	ROM 32Kバイト
	HD6433614P	HD6473614P	64ピンSDIP (DP-64S)	RAM 1024バイト

【注】 *1 φは、原発振を1/2分周したクロックを示します。

*2 H8/3612には本機能はありません。

1. 概要

1.2 内部ブロック図

H8/3612 の内部ブロック図を図 1.1 に、H8/3613 および H8/3614 の内部ブロック図を図 1.2 に示します。

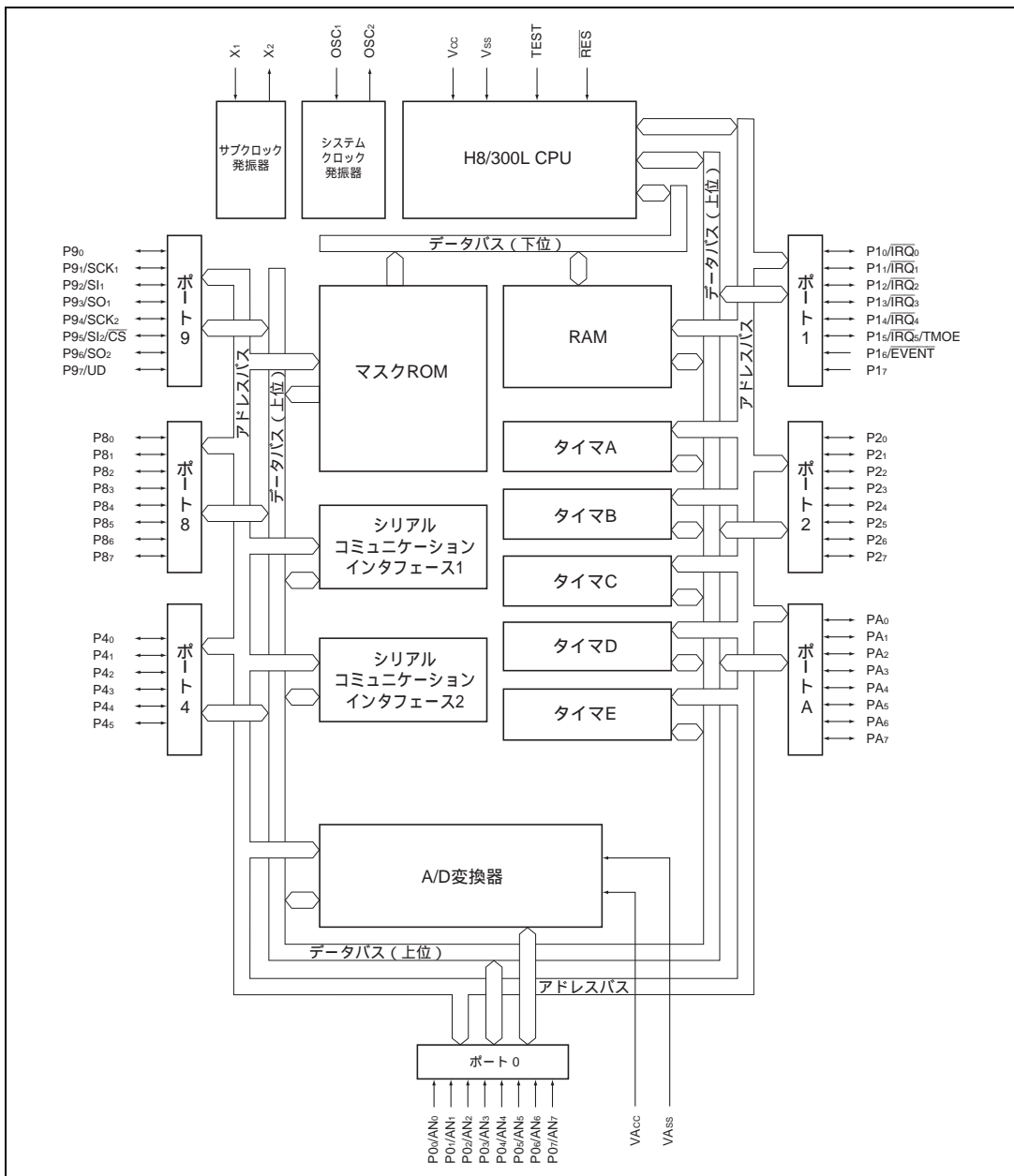


図 1.1 内部ブロック図 (H8/3612 の場合)

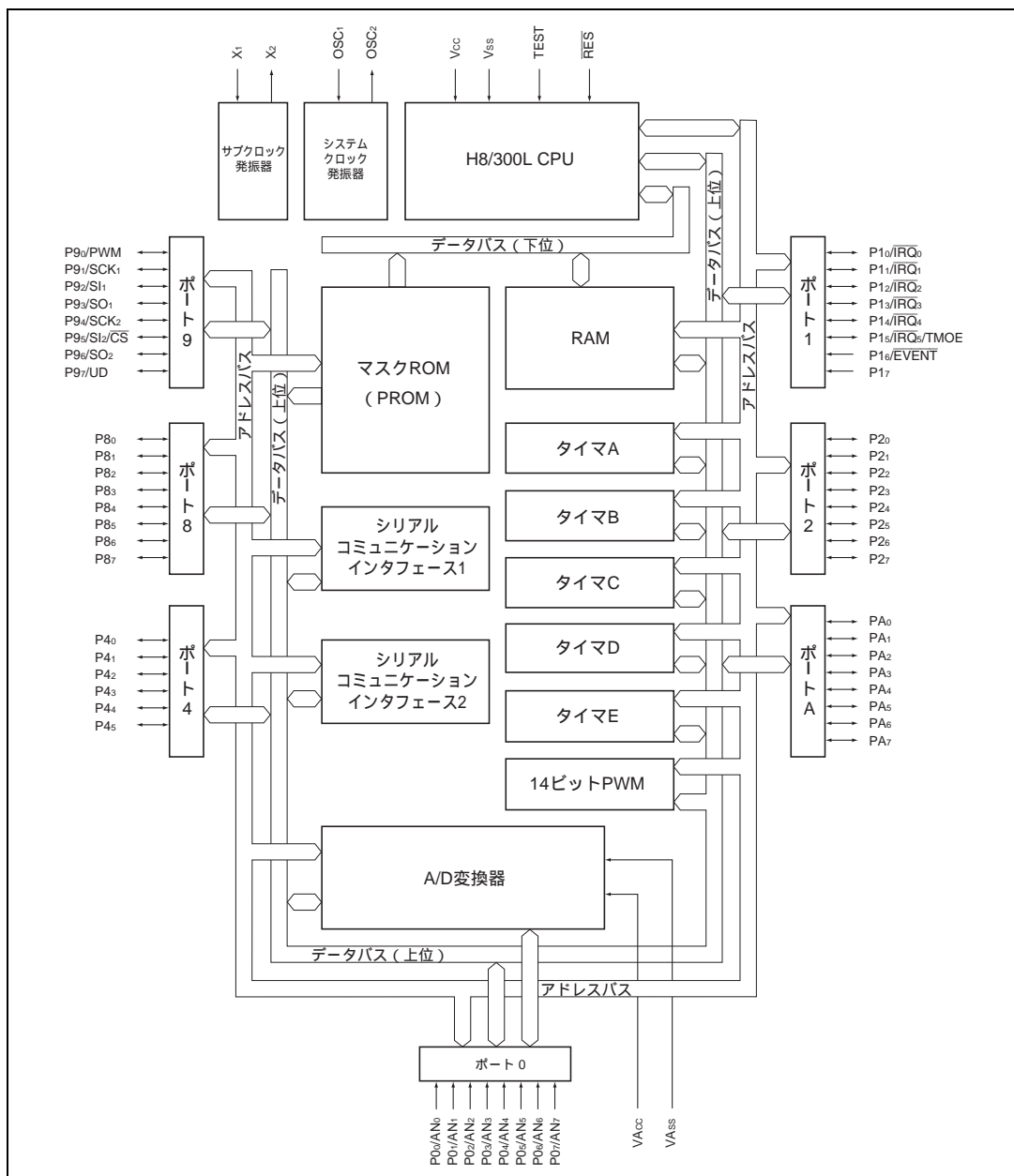


図 1.2 内部ブロック図 (H8/3613、H8/3614 の場合)

1. 概要

1.3 端子説明

1.3.1 ピン配置

H8/3612 のピン配置図を図 1.3、図 1.4、H8/3613 および H8/3614 のピン配置図を図 1.5、図 1.6 に示します。

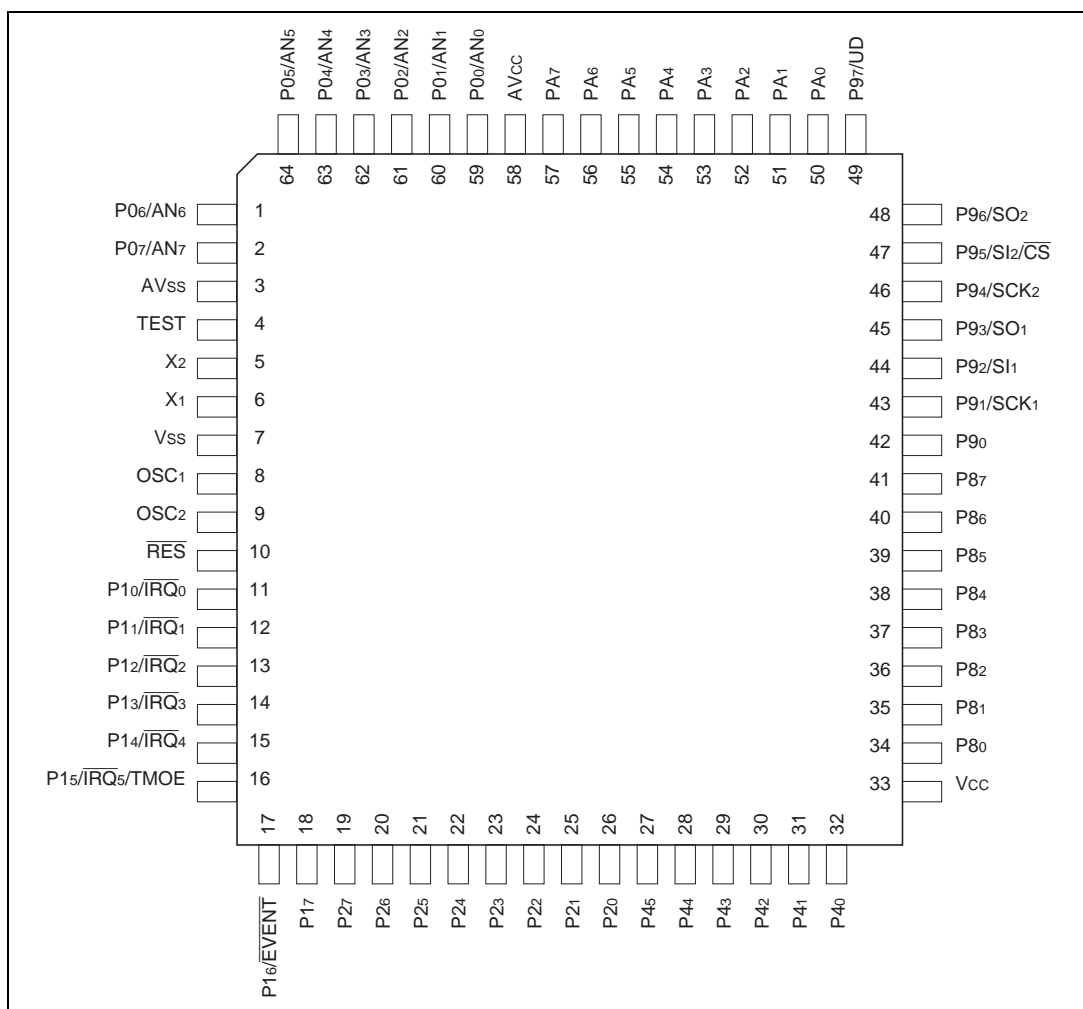


図 1.3 H8/3612 のピン配置図 (FP-64A : 上面図)

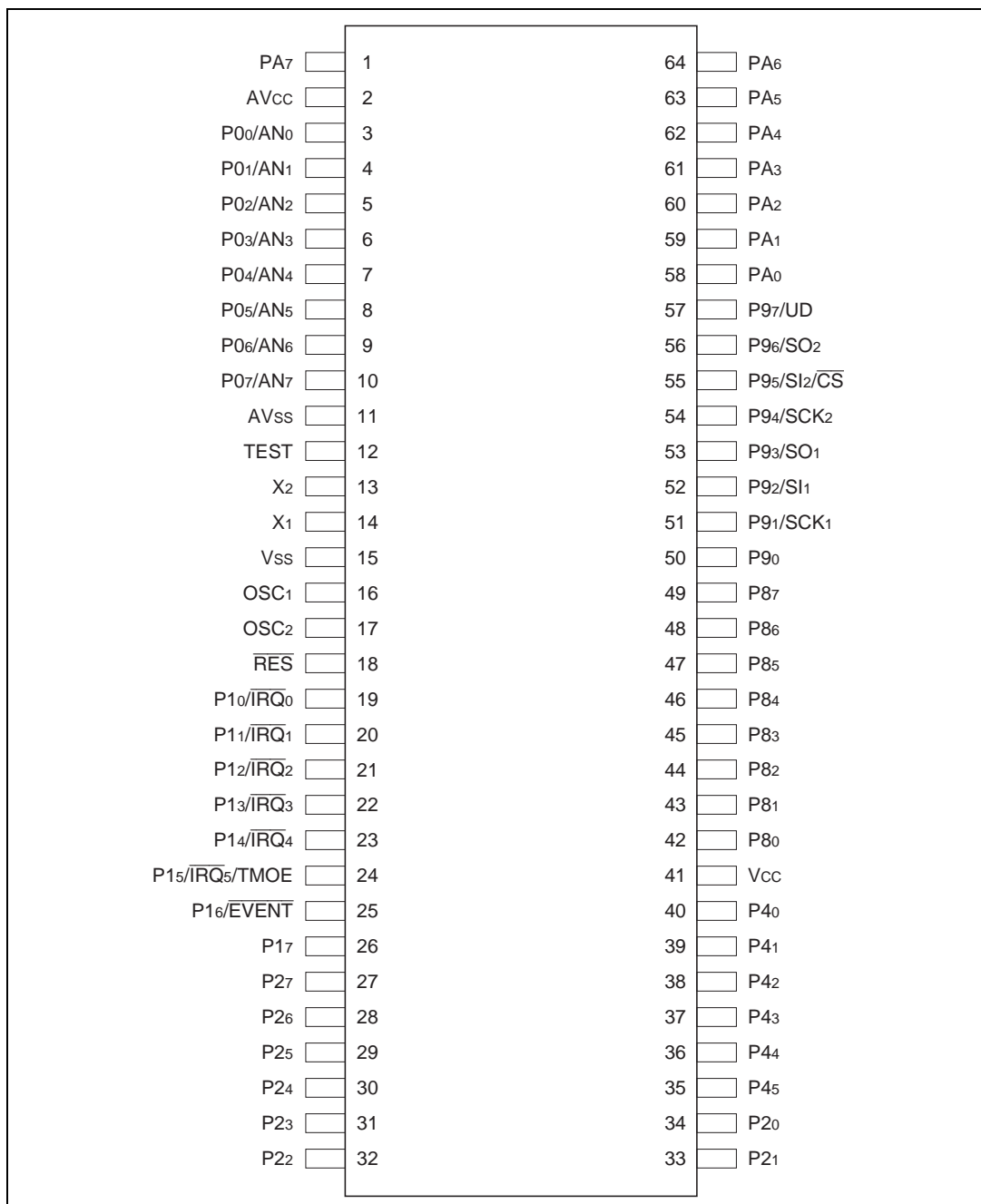


図 1.4 H8/3612 のピン配置図 (DP-64S : 上面図)

1. 概要

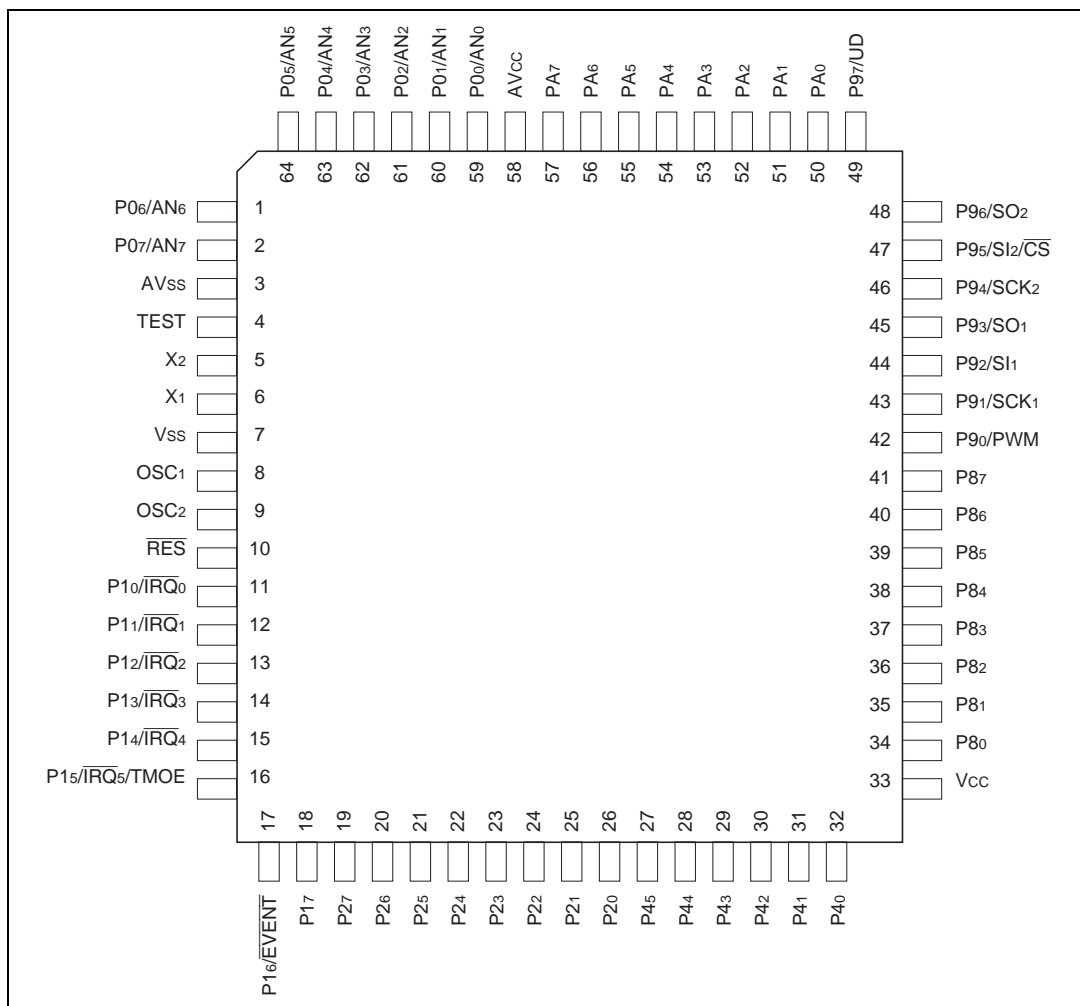


図 1.5 H8/3613、H8/3614 のピン配置図 (FP-64A : 上面図)

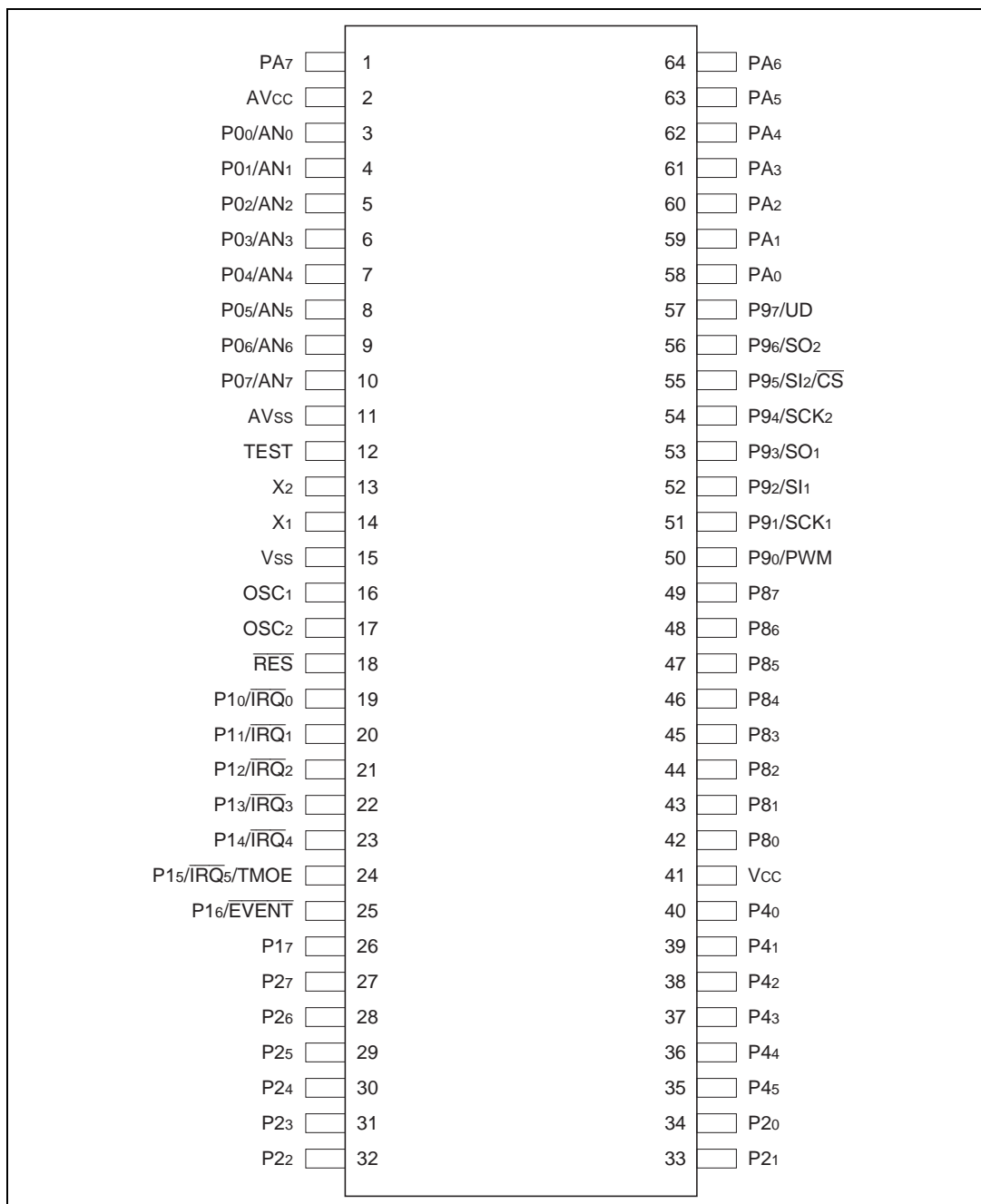


図 1.6 H8/3613、H8/3614 のピン配置図 (DP-64S : 上面図)

1. 概要

1.3.2 端子機能

各端子の機能について表 1.3 に示します。

表 1.3 端子機能

分類	記号	ピン番号		入出力	機能
		FP-64A	DP-64S		
電源	V_{CC}	33	41	入力	電源 V_{CC} 端子は、システムの電源 (+5V) に接続してください。
	V_{SS}	7	15	入力	グランド V_{SS} 端子は、システムの電源 (0V) に接続してください。
	AV_{CC}	58	2	入力	アナログ電源 A/D 変換器用電源端子です。A/D 変換器を使用しない場合、システムの電源 (+5V) に接続してください。
	AV_{SS}	3	11	入力	アナロググランド A/D 変換器のグランド端子です。システムの電源 (0V) に接続してください。
クロック	OSC_1	8	16	入力	水晶発振子またはセラミック発振子を接続します。また、外部クロックを入力することもできます。接続例については「第 4 章 クロック発振器」を参照してください。
	OSC_2	9	17	出力	水晶発振子またはセラミック発振子を接続します。
	X_1	6	14	入力	32.768kHz の水晶発振子を接続します。接続例については「第 4 章 クロック発振器」を参照してください。
	X_2	5	13	出力	32.768kHz の水晶発振子を接続します。
システム コントロール	\overline{RES}	10	18	入力	リセット この端子が Low レベルになると、リセット状態になります。
	TEST	4	12	入力	テスト端子 ユーザは使用できません。 V_{SS} 電位に接地してください。
割り込み	\overline{IRQ}_0	11	19	入力	外部割り込み要求 0 立ち上がり / 立ち下がりエッジセンスを選択可能な外部割り込み入力端子です。低消費電力モードの解除に使用できます。 タイマ B のイベント入力端子として使用することもできます。 また、ノイズキャンセル機能を備えています。
	\overline{IRQ}_1	12	20	入力	外部割り込み要求 1 立ち上がり / 立ち下がりエッジセンスを選択可能な外部割り込み入力端子です。低消費電力モードの解除に使用できます。 タイマ C のイベント入力端子として使用することもできます。

分類	記号	ピン番号		入出力	機能
		FP-64A	DP-64S		
割り込み	$\overline{\text{IRQ}}_2$	13	21	入力	<u>外部割り込み要求 2</u> 立ち下がりがエッジセンスの外部割り込み入力端子です。
	$\overline{\text{IRQ}}_3$	14	22	入力	<u>外部割り込み要求 3</u> 立ち下がりがエッジセンスの外部割り込み入力端子です。
	$\overline{\text{IRQ}}_4$	15	23	入力	<u>外部割り込み要求 4</u> 立ち上がり / 立ち下がりがエッジセンスを選択可能な外部割り込み入力端子です。
	$\overline{\text{IRQ}}_5$	16	24	入力	<u>外部割り込み要求 5</u> 立ち下がりがエッジセンスの外部割り込み入力端子です。
タイマ	$\overline{\text{IRQ}}_0$	11	19	入力	<u>タイマ B イベントカウンタ入力</u> タイマ B のカウンタに入力するイベント入力端子です。
	$\overline{\text{IRQ}}_1$	12	20	入力	<u>タイマ C イベントカウンタ入力</u> タイマ C のカウンタに入力するイベント入力端子です。
	UD	49	57	入力	<u>タイマ C アップ / ダウンセレクト</u> タイマ C のカウンタのアップカウント / ダウンカウントを選択します。High レベル印加でダウンカウンタ、Low レベル印加でアップカウンタとして動作します。 この端子への入力はタイマモードレジスタ C (TMC) の TMC6 ビットが 1 のとき有効となります。
	EVENT	17	25	入力	<u>タイマ D イベントカウンタ入力</u> タイマ D のカウンタに入力するイベント入力端子です。
	TMOE	16	24	出力	<u>タイマ E 出力</u> タイマ E 出力回路により生成された波形の出力端子です。
14 ビット PWM*	PWM	42	50	出力	<u>14 ビット PWM 出力</u> 14 ビット PWM により生成された波形の出力端子です。
シリアルコミュニケーションインターフェイス (SCI)	SO ₁	45	53	出力	<u>シリアル送信データ出力 (チャンネル 1、2)</u> SCI のデータ出力端子です。
	SO ₂	48	56	出力	
	SI ₁	44	52	入力	<u>シリアル受信データ入力 (チャンネル 1、2)</u> SCI のデータ入力端子です。
	SI ₂	47	55	入力	
	SCK ₁	43	51	入出力	<u>シリアルクロック入出力 (チャンネル 1、2)</u> SCI のクロック入出力端子です。
	SCK ₂	46	54	入出力	
	CS	47	55	出力	<u>チップセレクト出力</u> SCI2 が送信モードで、かつ転送クロックが内部クロックのとき Low レベルとなります。 本機能は、ポートモードレジスタ 2 (PMR2) の SI2 ビット = 1 かつ PMR3 の CS ビット = 1 のとき有効となります。

1. 概要

分類	記号	ピン番号		入出力	機能
		FP-64A	DP-64S		
I/O ポート	P0 ₇ ~ P0 ₀	2、1、 64 ~ 59	10 ~ 3	入力	<u>ポート0</u> 8ビットの入力専用端子です。
	P1 ₇	18	26	入力	<u>ポート1(ビット7)</u> 1ビットの入力専用端子です。
	P1 ₆	17	25	入力	<u>ポート1(ビット6)</u> 1ビットの入力専用端子です。
	P1 ₅ ~ P1 ₀	16 ~ 11	24 ~ 19	入出力	<u>ポート1</u> 6ビットの入出力端子です。ポートコントロールレジスタ1(PCR1)によって、1ビットごとに入出力を指定できます。
	P2 ₇ ~ P2 ₀	19 ~ 26	27 ~ 34	入出力	<u>ポート2</u> 8ビットの入出力端子です。
	P4 ₅ ~ P4 ₀	27 ~ 32	35 ~ 40	入出力	<u>ポート4</u> 6ビットの入出力端子です。
	P8 ₇ ~ P8 ₀	41 ~ 34	49 ~ 42	入出力	<u>ポート8</u> 8ビットの入出力端子です。PCR8によって、1ビットごとに入出力を指定できます。
	P9 ₇ ~ P9 ₀	49 ~ 42	57 ~ 50	入出力	<u>ポート9</u> 8ビットの入出力端子です。PCR9によって、1ビットごとに入出力を指定できます。
	PA ₇ ~ PA ₀	57 ~ 50	1、 64 ~ 58	入出力	<u>ポートA</u> 8ビットの入出力端子です。PCRAによって、1ビットごとに入出力を指定できます。
A/D 変換器	AN ₇ ~ AN ₀	2、1、 64 ~ 59	10 ~ 3	入力	<u>アナログ入力チャンネル7~0</u> A/D変換器へのアナログデータ入力端子です。

【注】 * H8/3612 に本機能はありません。

2. CPU

2.1 概要

H8/300L CPU は、8 ビット×16 本（または 16 ビット×8 本）の汎用レジスタ、ならびに高速動作に適した簡潔な命令セットを備えた CPU です。

2.1.1 特長

H8/300L CPU には、次の特長があります。

汎用レジスタ方式

8 ビット×16 本（16 ビット×8 本としても使用可能）

55 種類の基本命令

- 乗除算命令
- 強力なビット操作命令

8 種類のアドレッシングモード

- レジスタ直接（Rn）
- レジスタ間接（@Rn）
- ディスプレースメント付きレジスタ間接（@（d:16, Rn））
- ポストインクリメント/プリデクリメントレジスタ間接（@Rn+ / @-Rn）
- 絶対アドレス（@aa:8 / @aa:16）
- イミディエイト（#xx:8 / #xx:16）
- プログラムカウンタ相対（@（d:8, PC））
- メモリ間接（@@aa:8）

64K バイトのアドレス空間

高速動作

- 頻出命令をすべて 2~4 ステートで実行
- 高速演算
 - 8 / 16 ビットレジスタ間加減算 0.5 μ s*
 - 8 × 8 ビット乗算 3.5 μ s*
 - 16 ÷ 8 ビット除算 3.5 μ s*

【注】* 数値は、 $\phi = 4\text{MHz}$ 時のもの

低消費電力動作

SLEEP 命令により低消費電力動作可能

2.1.2 アドレス空間

H8/300L CPU がサポートするアドレス空間は、プログラムコードとデータ領域合計で最大 64K バイトです。

メモリマップはROM 容量により異なります。H8/3614 グループのメモリマップを図 2.1 に示します。

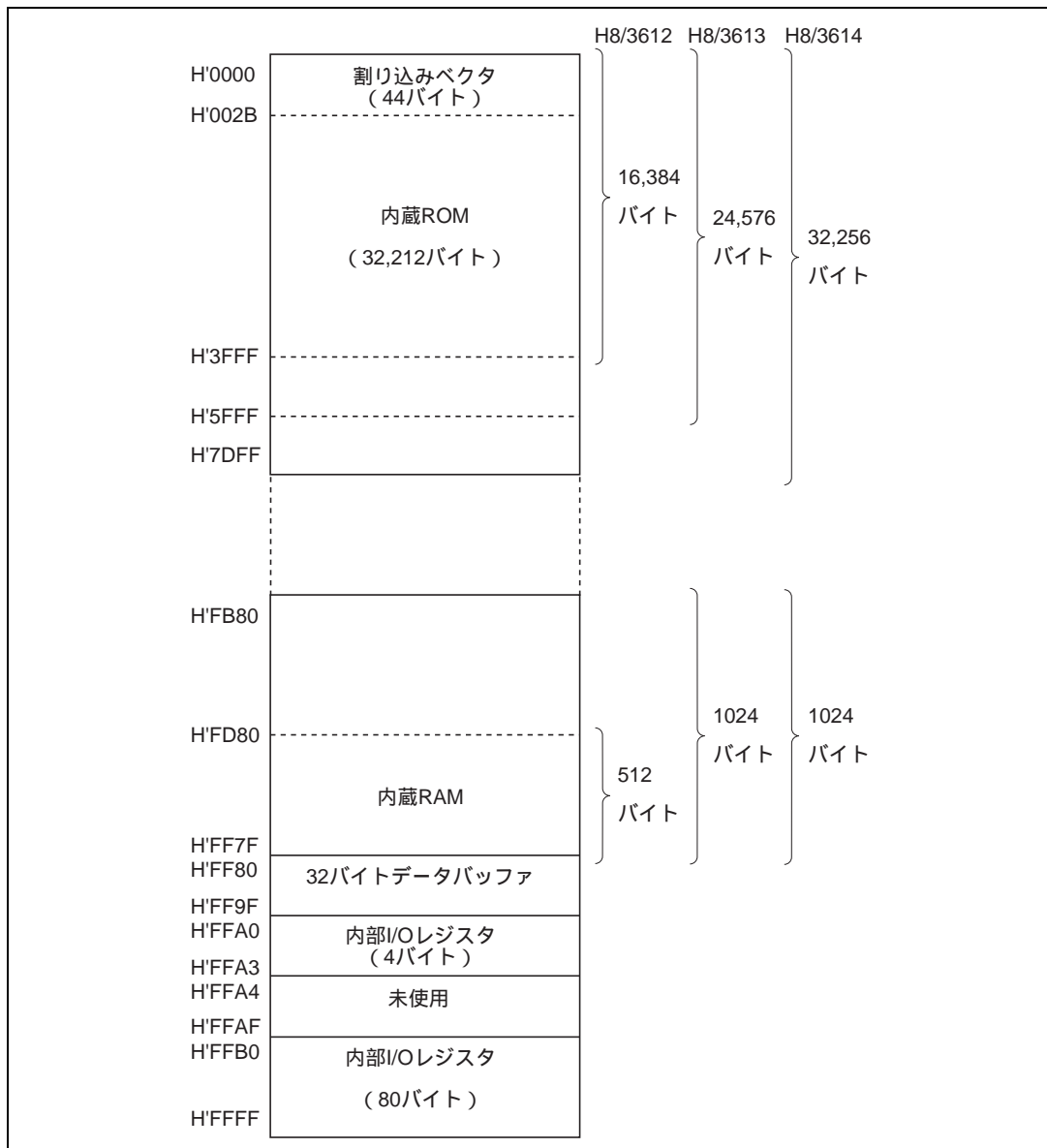


図 2.1 メモリマップ

2.1.3 レジスタ構成

H8/300L CPU の内部レジスタ構成を図 2.2 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。

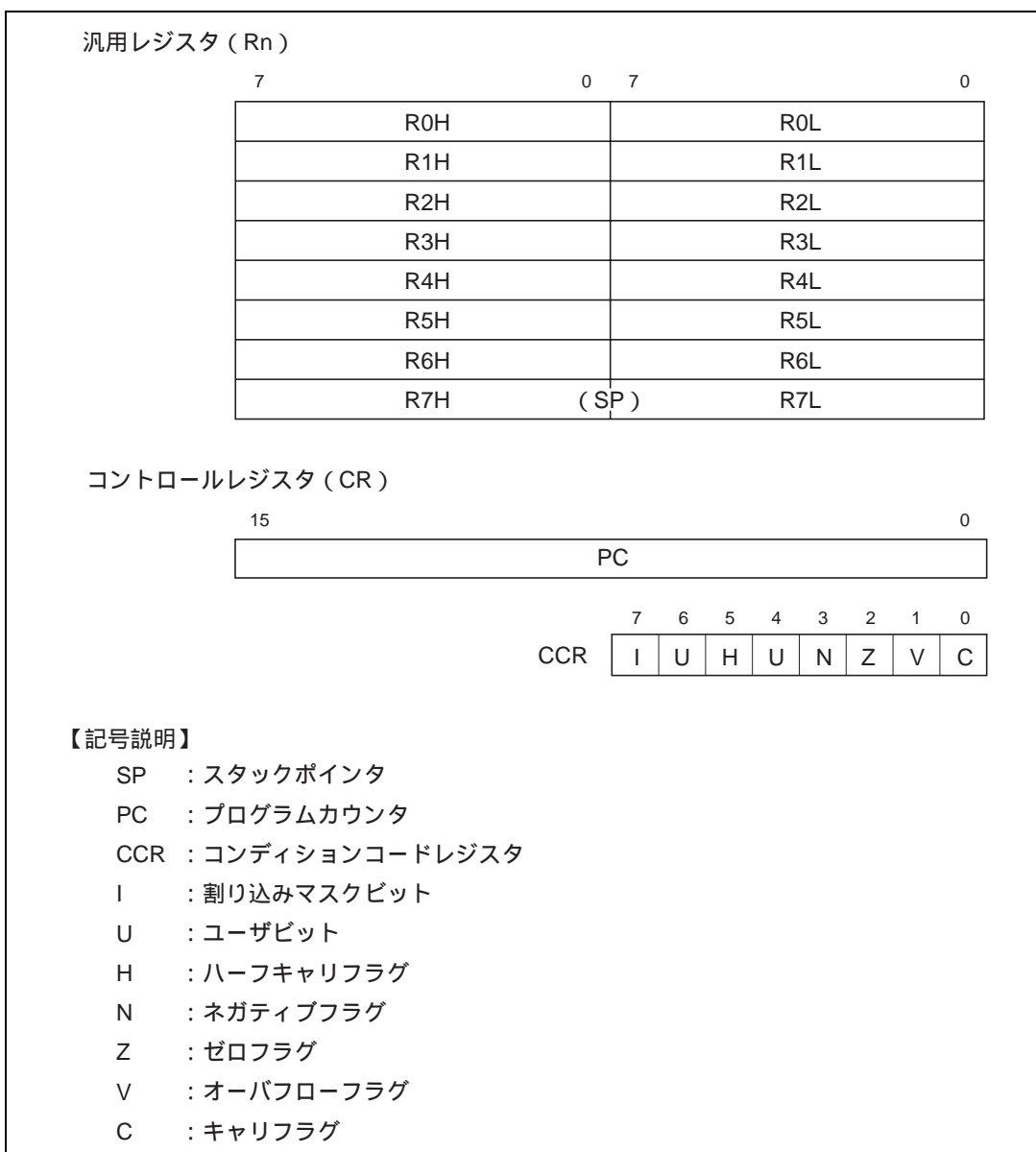


図 2.2 CPU 内部レジスタ構成

2.2 各レジスタの説明

2.2.1 汎用レジスタ

汎用レジスタは、すべて同じ機能をもっており、データレジスタ、アドレスレジスタの区別なく使用できます。

データレジスタとして使用する場合は、8ビットレジスタとして上位 (R0H~R7H) と下位 (R0L~R7L) を別々に使用することも、また 16ビットレジスタ (R0~R7) として使用することもできます。

アドレスレジスタとして使用する場合は、16ビットレジスタ (R0~R7) として使用します。

レジスタ R7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチンコールなどで暗黙的に使用されます。このとき、SP は常にスタック領域の先頭を指しています。スタックの状態を図 2.3 に示します。

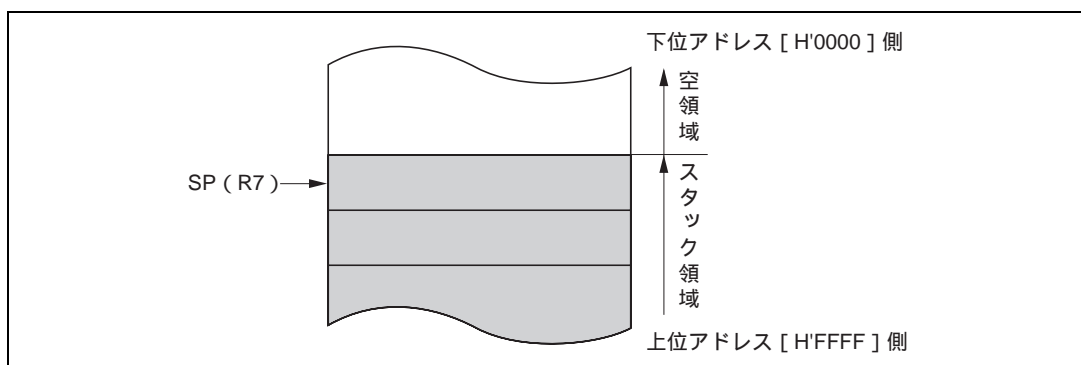


図 2.3 スタックの状態

2.2.2 コントロールレジスタ

コントロールレジスタには、16ビットのプログラムカウンタ (PC) と 8ビットのコンディションコードレジスタ (CCR) があります。

(1) プログラムカウンタ (PC)

16ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 16ビット (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは 0 とみなされます)。

(2) コンディションコードレジスタ (CCR)

8ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8ビットで構成されています。

ビット7：割り込みマスクビット (I)

本ビットが1にセットされると、割り込みがマスクされます。

例外処理の実行が開始されたときに1にセットされます。本ビットはソフトウェアによりリード/ライトできます。割り込みマスクビットの詳細については「3.2.2 割り込み」を参照してください。

ビット6：ユーザビット (U)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。

ビット5：ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット3にキャリまたはポローが生じたとき1にセットされ、生じなかったとき0にクリアされます。

DAA および DAS 命令実行時に、暗黙的に使用されます。

ADD.W、SUB.W、CMP.W 命令ではビット11にキャリまたはポローが生じたとき1にセットされ、生じなかったとき0にクリアされます。

ビット4：ユーザビット (U)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。

ビット3：ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット2：ゼロフラグ (Z)

データがゼロのとき1にセットされ、ゼロ以外のとき0にクリアされます。

ビット1：オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき1にセットされます。それ以外のとき0にクリアされます。

ビット0：キャリフラグ (C)

演算の実行により、キャリが生じたとき1にセットされ、生じなかったとき0にクリアされます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のポロー
- (c) シフト/ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。CCRは、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、Cの各フラグは、条件分岐命令 (Bcc) で使用されます。

各命令ごとのフラグの変化については、「H8/300L シリーズ ソフトウェアマニュアル」を参照してください。

2.2.3 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタアドレス (H'0000) のロードにより初期化され、CCR の I ビットは 1 にセットされますが、汎用レジスタおよび CCR の他のビットは初期化されません。レジスタ R7 (SP) の初期値も不定です。したがって、リセット直後に、R7 の初期化を行ってください。

2.3 データ構成

H8/300L CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード) のデータを扱うことができます。1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0, 1, 2, \dots, 7$) という形式でアクセスされます。

バイトデータは、ADDS、SUBS 以外の演算命令で扱われます。また、ワードデータは、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU (8 ビット \times 8 ビット)、DIVXU (16 ビット \div 8 ビット) 命令で扱われます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.3.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図 2.4 に示します。

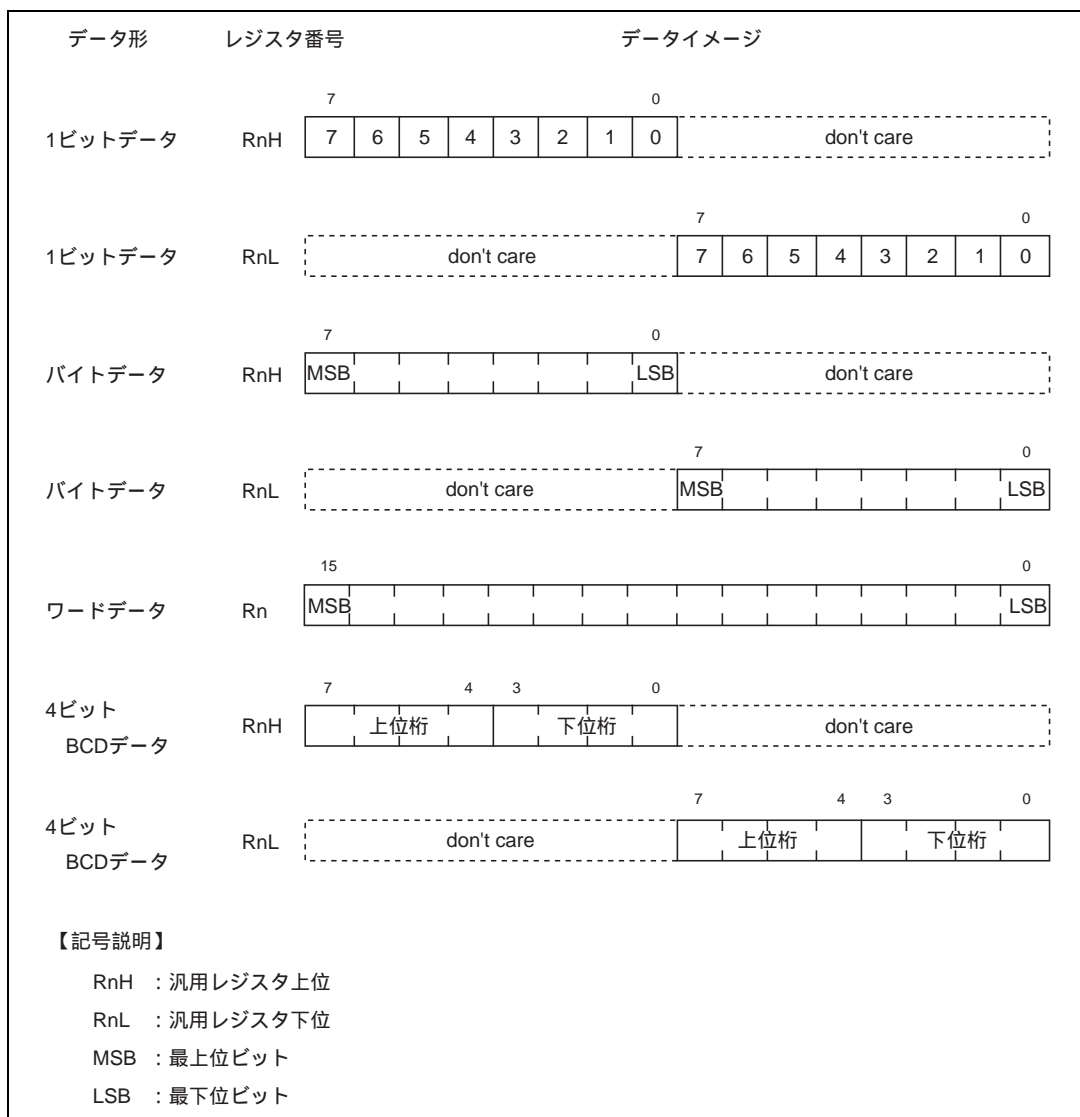


図 2.4 汎用レジスタのデータ構成

2.3.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図 2.5 に示します。H8/300L CPU は、メモリ上のワードデータをアクセスすることができます (MOV.W 命令) が、偶数番地から始まるワードデータに限定されます。奇数番地から始まるワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるワードデータをアクセスします。命令コードについても同様です。

ROM および RAM の領域のみワードアクセスが可能です。詳細については、「2.8.1 データアクセスに関する注意事項」を参照してください。

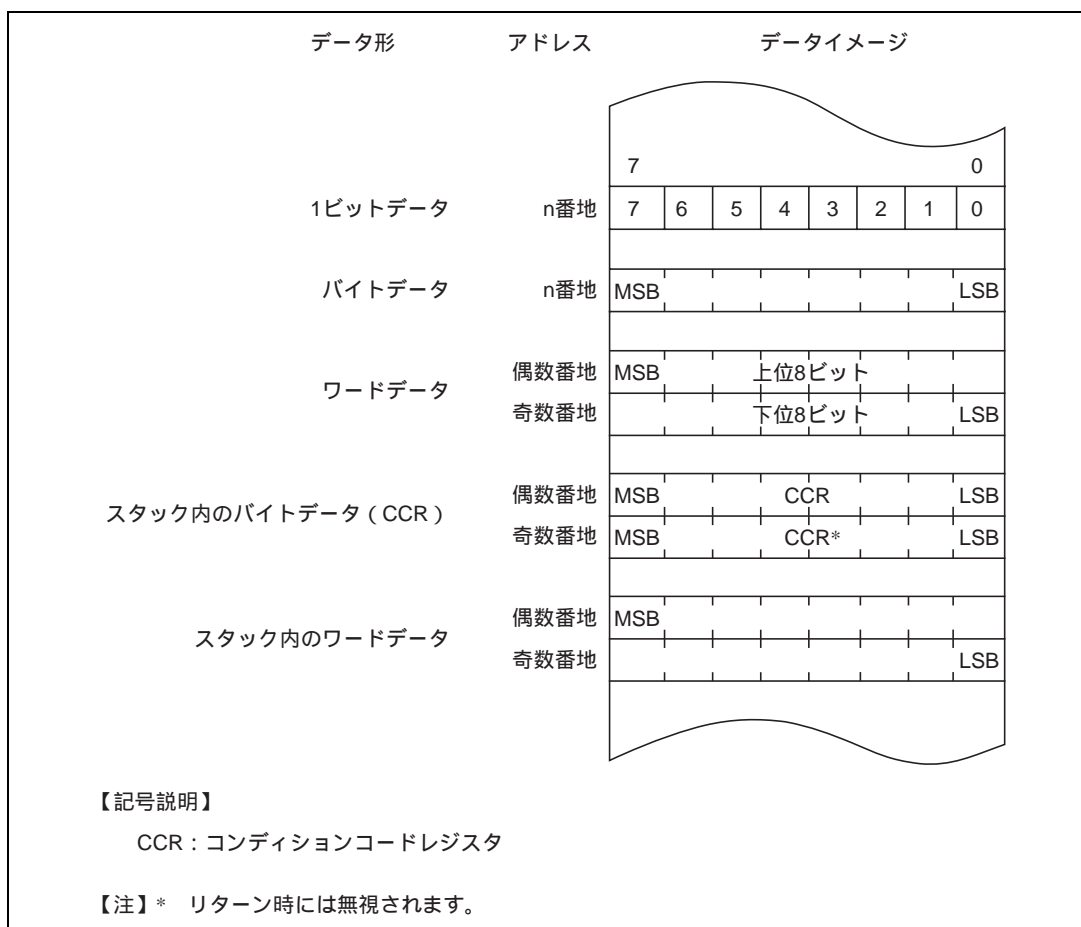


図 2.5 メモリ上でのデータ構成

なお、R7 をアドレスレジスタとして使用し、スタックをアクセスするときは、必ずワードサイズでアクセスしてください。詳細については、「3.2.10 スタック領域に関する使用上の注意」を参照してください。また、CCR は、ワードデータとして上位 8 ビット、下位 8 ビットに同じ値が格納され、リターン時には、下位 8 ビットは無視されます。

2.4 アドレッシングモード

2.4.1 アドレッシングモード

H8/300L CPU は、表 2.1 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

表 2.1 アドレッシングモード一覧表

No.	アドレッシングモード	記号
	レジスタ直接	Rn
	レジスタ間接	@Rn
	ディスプレースメント付きレジスタ間接	@(d:16, Rn)
	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@Rn+ @-Rn
	絶対アドレス	@aa:8 / @aa:16
	イミディエイト	#xx:8 / #xx:16
	プログラムカウンタ相対	@(d:8, PC)
	メモリ間接	@@aa:8

レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ（8 ビットまたは 16 ビット）がオペランドとなります。

16 ビットレジスタを使用する命令は、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU（8 ビット×8 ビット）、DIVXU（16 ビット÷8 ビット）の各命令です。

レジスタ間接 @Rn

命令コードのレジスタフィールドで指定されるレジスタ（16 ビット）の内容をアドレスとしてメモリ上のオペランドを指定します。

ディスプレースメント付きレジスタ間接 @(d:16, Rn)

命令コードのレジスタフィールドで指定されるレジスタ（16 ビット）の内容に、命令コードの第 2 ワード（第 3、第 4 バイト）の 16 ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。

本アドレッシングモードは、MOV 命令のみで使用されます。特に、MOV.W 命令では、加算結果が偶数となるようにしてください。

ポストインクリメントレジスタ間接 @Rn+ / プリデクリメントレジスタ間接 @-Rn

・ポストインクリメントレジスタ間接 @Rn+

MOV (Load from) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ（16 ビット）の内容をアドレスとして、メモリ上のオペランドを指定します。その後、レジスタの内容に 1 または 2 が加算され、加算結果がレジスタに格納されます。MOV.B 命令では 1、MOV.W 命令では 2 がそれぞれ加算されます。MOV.W 命令では、レジスタの内容が偶数になるようにしてください。

・プリデクリメントレジスタ間接 @-Rn

MOV (Store to) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容から 1 または 2 を減算した内容をアドレスとして、メモリ上のオペランドを指定します。その後、減算結果がレジスタに格納されます。MOV.B 命令では 1、MOV.W 命令では 2 がそれぞれ減算されます。MOV.W 命令では、レジスタの内容が偶数となるようにしてください。

絶対アドレス @aa:8 / @aa:16

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

このとき、絶対アドレスは 8 ビット (@aa:8) または 16 ビット (@aa:16) で、8 ビット絶対アドレスは MOV.B、ビット操作命令で、16 ビット絶対アドレスは MOV.B、MOV.W、JMP、JSR の各命令で使用されます。

8 ビット絶対アドレスの場合、上位 8 ビットはすべて 1 (H'FF) となります。したがって、アクセス範囲は 65280 ~ 65535 (H'FF00 ~ H'FFFF) 番地です。

イミディエイト #xx:8 / #xx:16

命令コードの第 2 バイト (#xx:8) または第 3、第 4 バイト (#xx:16) を直接オペランドとして使用します。#xx:16 は、MOV.W 命令のみで使用されます。

なお、ADDS および SUBS 命令では、イミディエイトデータ (1 または 2) が命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コードの第 2 または第 4 バイトに含まれる場合があります。

プログラムカウンタ相対 @(d:8, PC)

Bcc、BSR の各命令で使用されます。PC の内容に、命令コードの第 2 バイトの 8 ビットディスプレースメントを加算して、分岐アドレスを生成します。加算に際して、ディスプレースメントは 16 ビットに符号拡張され、また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126 ~ +128 バイト (-63 ~ +64 ワード) です。このとき、加算結果が偶数となるようにしてください。

メモリ間接 @@aa:8

JMP および JSR 命令で使用されます。

命令コードの第 2 バイトに含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。この場合、8 ビット絶対アドレスの上位 8 ビットはすべて 0 (H'00) とされますので、分岐アドレスを格納できるのは 0 ~ 255 (H'0000 ~ H'00FF) 番地です。ただし、H8/300L シリーズでは、アドレスの下位番地はベクタ領域と共通になっていますから注意してください。

分岐アドレスまたは MOV.W 命令のオペランドアドレスとして奇数アドレスを指定した場合、最下位ビットは 0 とみなされ、1 番地前から始まるワードデータをアクセスします (「2.3.2 メモリ上でのデータ構成」を参照してください)。

2.4.2 実効アドレスの計算方法

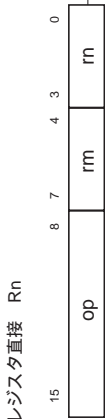



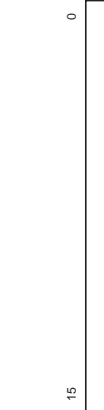
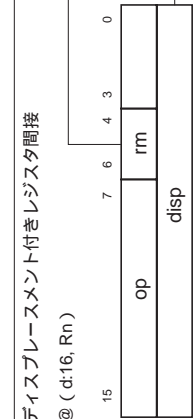
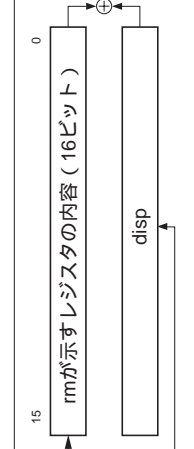
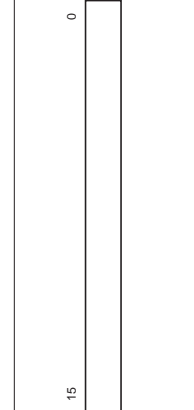

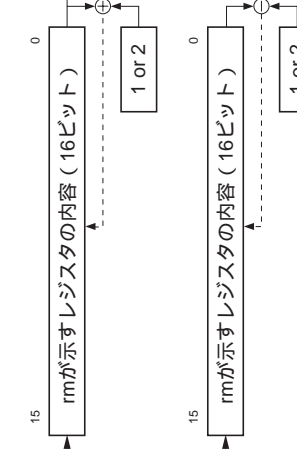
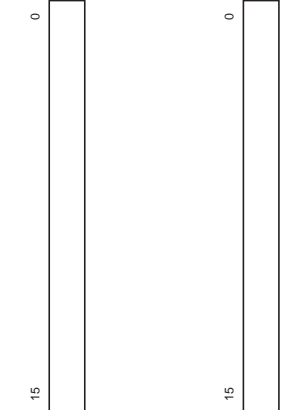
各アドレッシングモードにおける実効アドレス (EA : Effective Address) の計算法を表 2.2 に示します。

演算命令では、レジスタ直接、および イミディエイト (ADD.B、ADDDX、SUBX、CMP.B、AND、OR、XOR の各命令) が使用されます。

転送命令では、プログラムカウンタ相対と メモリ間接を除くすべてのアドレッシングモードが使用可能です。


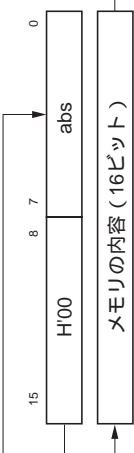

また、ビット操作命令では、オペランドの指定に レジスタ直接、レジスタ間接および 絶対アドレス (8 ビット) が使用可能です。さらに、オペランド中のビット番号を指定するために レジスタ直接 (BSET、BCLR、BNOT、BTST の各命令) および イミディエイト (3 ビット) が独立して使用可能です。

表2.2 実効アドレスの計算方法

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
	レジスタ直接 Rn 		 <p>オペランドはrm/rmが示すレジスタの内容です。</p>
	レジスタ間接 @Rn 		
	ディスプレースメント付きレジスタ間接 @ (di:16, Rn) 		
	ポストア_INCREMENTレジスタ間接 / プリデクリメントレジスタ間接 <ul style="list-style-type: none"> •ポストア_INCREMENTレジスタ間接 @Rn+ •プリデクリメントレジスタ間接 @-Rn 		

オペランドサイズがバイトのとき1、ワードのとき2が加減算されます。

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
	絶対アドレス @aa:8 15 8 7 0 op abs		15 8 7 0 HIFF ↑
	@aa:16 15 0 op abs		15 0 ↑
	イミディエイト #xx:8 15 8 7 0 op IMM		オペランドはイミディエイトデータの1または2バイトデータです。
	#xx:16 15 0 op IMM		
	プログラムカウンタ相対 @ (d:8, PC) 15 8 7 0 op disp	PCの内容 15 0 符号拡張 disp ⊕	15 0 ↑

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
	メモリ間接 @@aa:8 		

【記号説明】

- rm, m : レジスタフィールド
- op : オペレーションフィールド
- disp : ディスプレースメント
- IMM : イミディエイトデータ
- abs : 絶対アドレス

2.5 命令セット

H8/300L CPU の命令は合計 55 種類あり、各命令のもつ機能によって、表 2.3 に示すように分類されます。

表 2.3 命令の分類

機能	命 令	種類
データ転送命令	MOV, POP* ¹ , PUSH* ¹	1
算術演算命令	ADD, SUB, ADDX, SUBX, INC, DEC, ADDS, SUBS, DAA, DAS, MULXU, DIVXU, CMP, NEG	14
論理演算命令	AND, OR, XOR, NOT	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR, BLD, BILD, BST, BIST	14
分岐命令	Bcc* ² , JMP, BSR, JSR, RTS	5
システム制御命令	RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	8
ブロック転送命令	EEPMOV	1

合計 55 種

【注】 *1 POP Rn、PUSH Rn は、それぞれ MOV.W @SP+, Rn、MOV.W Rn,@-SP と同一です。機械語についても同一です。

*2 Bcc は条件分岐命令の総称です。

2. CPU

各命令の機能について表 2.4～表 2.11 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側)
Rs	汎用レジスタ (ソース側)
Rn	汎用レジスタ
(EAd)、<EAd>	デスティネーションオペランド
(EAs)、<EAs>	ソースオペランド
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバーフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
x	乗算
÷	除算
^	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理 (論理的補数)
:3	3 ビット長
:8	8 ビット長
:16	16 ビット長
(), < >	オペランドの実効アドレスの内容

2.5.1 データ転送命令

データ転送命令の機能を表 2.4 に示します。

表 2.4 データ転送命令

命令	サイズ*	機能
MOV	B/W	(EAs)→Rd、Rs→(EAd) 汎用レジスタと汎用レジスタまたは汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。 ワードデータは Rn、@Rn、@(d:16, Rn)、@aa:16、#xx:16、@-Rn、@Rn+の各アドレッシングモードで扱います。@aa:8 はバイトデータのみです。 ただし、@-R7、@R7+を使用する場合は必ずワードサイズを指定してください。
POP	W	@SP+→Rn スタックから汎用レジスタへデータを復帰します。 本命令は MOV.W @SP+, Rn と同一です。
PUSH	W	Rn→@-SP 汎用レジスタの内容をスタックに退避します。 本命令は MOV.W Rn, @-SP と同一です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

データアクセスに関して使用上の注意事項があります。詳細は「2.8.1 データアクセスに関する注意事項」を参照してください。

データ転送命令の命令フォーマットを図 2.6 に示します。

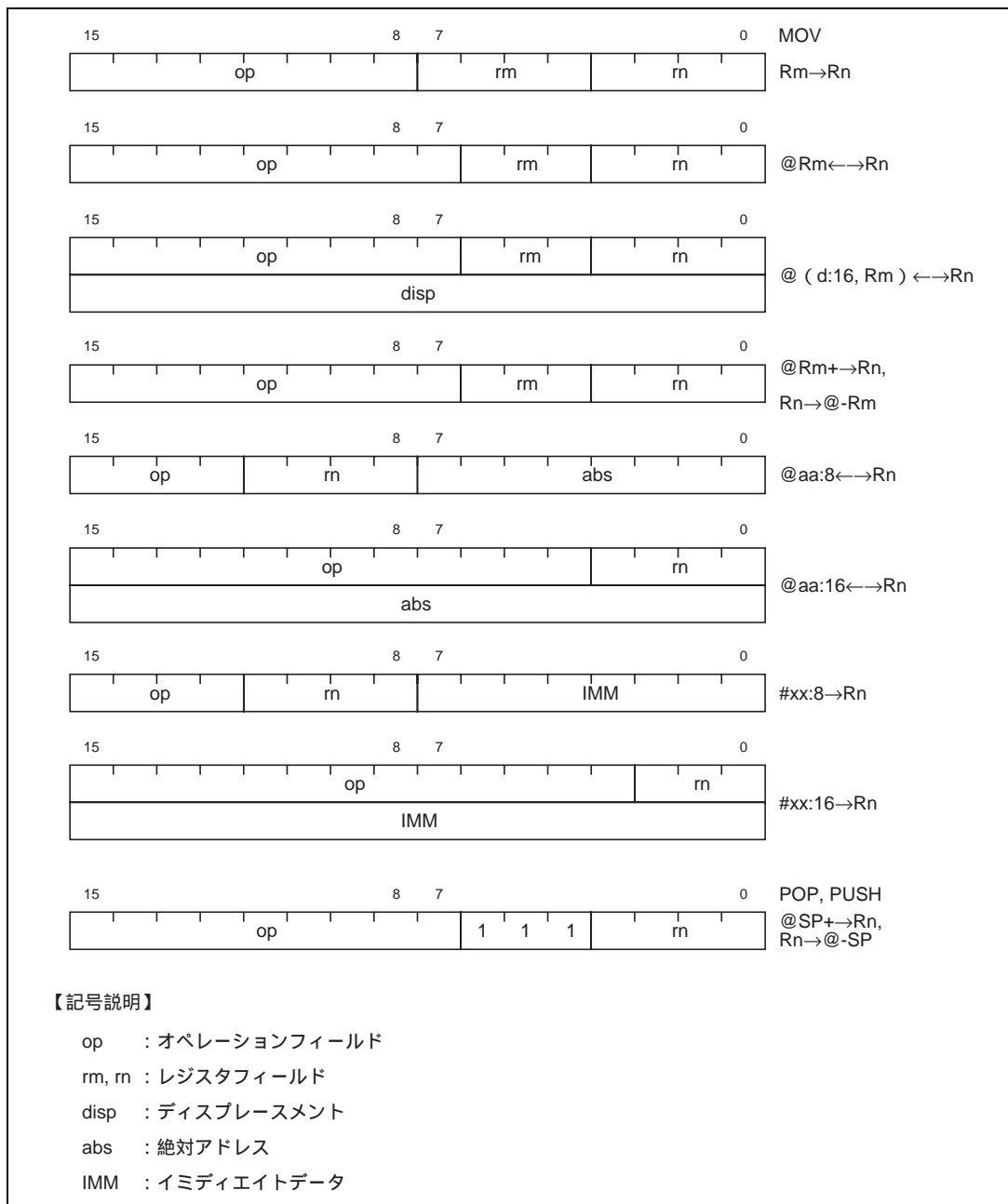


図 2.6 データ転送命令の命令フォーマット

2.5.2 算術演算命令

算術演算命令の機能を表 2.5 に示します。

表 2.5 算術演算命令

命令	サイズ*	機能
ADD SUB	B/W	$Rd \pm Rs \rightarrow Rd$, $Rd + \#IMM \rightarrow Rd$ 汎用レジスタ間の加減算、または汎用レジスタとイミディエイトデータの加算を行います。汎用レジスタとイミディエイトデータの減算はできません。 ワードデータは、汎用レジスタ間の加減算のみで扱います。
ADDX SUBX	B	$Rd \pm Rs \pm C \rightarrow Rd$, $Rd \pm \#IMM \pm C \rightarrow Rd$ 汎用レジスタ間のキャリ付きの加減算、または汎用レジスタとイミディエイトデータのキャリ付きの加減算を行います。
INC DEC	B	$Rd \pm 1 \rightarrow Rd$ 汎用レジスタに 1 を加減算します。
ADDS SUBS	W	$Rd \pm 1 \rightarrow Rd$, $Rd \pm 2 \rightarrow Rd$ 汎用レジスタに 1 または 2 を加減算します。
DAA DAS	B	$Rd(10 \text{ 進補正}) \rightarrow Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B	$Rd \times Rs \rightarrow Rd$ 汎用レジスタ間の符号なし乗算を行います。8 ビット \times 8 ビット \rightarrow 16 ビットの演算が可能です。
DIVXU	B	$Rd \div Rs \rightarrow Rd$ 汎用レジスタ間の符号なし除算を行います。16 ビット \div 8 ビット \rightarrow 商 8 ビット 余り 8 ビットの演算が可能です。
CMP	B/W	$Rd - Rs$, $Rd - \#IMM$ 汎用レジスタ間の比較、または汎用レジスタとイミディエイトデータの比較を行い、その結果を CCR に反映します。 ワードデータは、汎用レジスタ間の比較のみで扱います。
NEG	B	$0 - Rd \rightarrow Rd$ 汎用レジスタの内容の 2 の補数（算術的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

2.5.3 論理演算命令

論理演算命令の機能を表 2.6 に示します。

表 2.6 論理演算命令

命令	サイズ*	機能
AND	B	$Rd \wedge Rs \rightarrow Rd$, $Rd \wedge \#IMM \rightarrow Rd$ 汎用レジスタ間の論理積、または汎用レジスタとイミディエイトデータの論理積をとります。
OR	B	$Rd \vee Rs \rightarrow Rd$, $Rd \vee \#IMM \rightarrow Rd$ 汎用レジスタ間の論理和、または汎用レジスタとイミディエイトデータの論理和をとります。
XOR	B	$Rd \oplus Rs \rightarrow Rd$, $Rd \oplus \#IMM \rightarrow Rd$ 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B	$\sim Rd \rightarrow Rd$ 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

2.5.4 シフト命令

シフト命令の機能を表 2.7 に示します。

表 2.7 シフト命令

命令	サイズ*	機能
SHAL SHAR	B	$Rd(\text{シフト処理}) \rightarrow Rd$ 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B	$Rd(\text{シフト処理}) \rightarrow Rd$ 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B	$Rd(\text{ローテート処理}) \rightarrow Rd$ 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B	$Rd(\text{ローテート処理}) \rightarrow Rd$ 汎用レジスタの内容を、キャリフラグを含めてローテートします。

【注】 * サイズはオペランドサイズを示します。

B : バイト

算術演算命令、論理演算命令およびシフト命令の命令フォーマットを図 2.7 に示します。

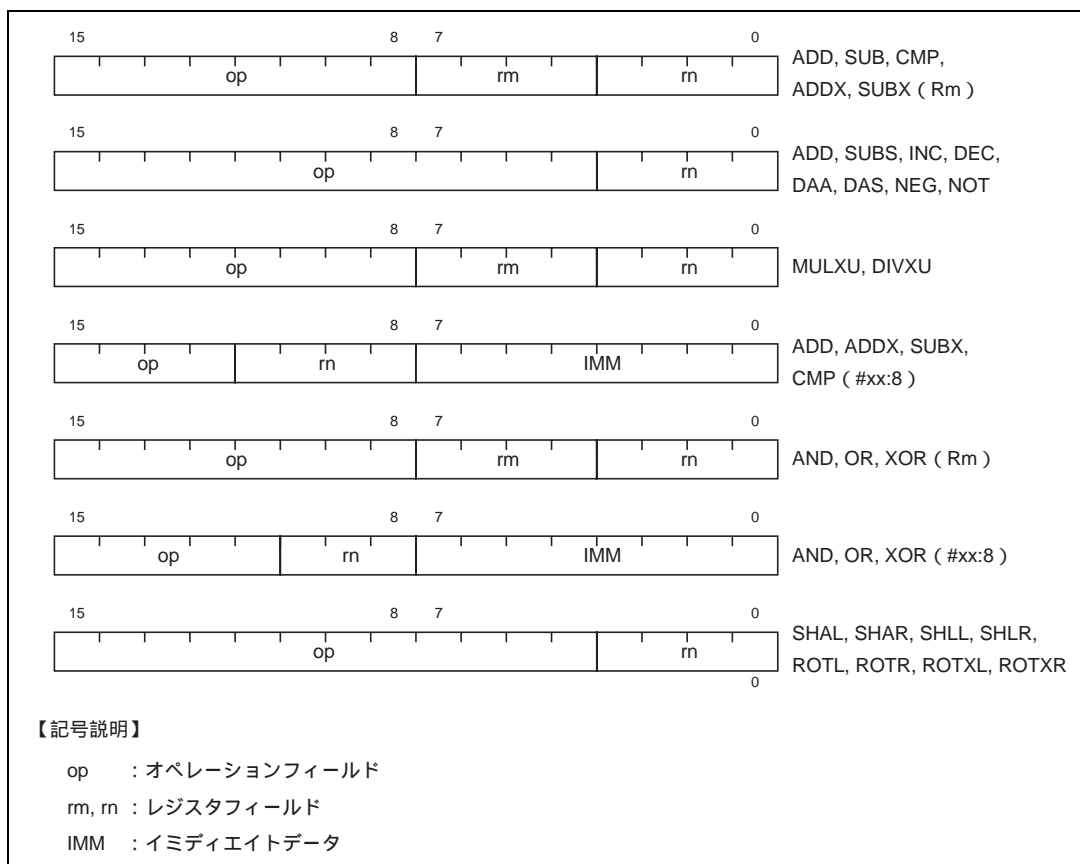


図 2.7 算術演算命令・論理演算命令・シフト命令の命令フォーマット

2.5.5 ビット操作命令

ビット操作命令の機能を表 2.8 に示します。

表 2.8 ビット操作命令

命令	サイズ*	機 能
BSET	B	1→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BCLR	B	0→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BNOT	B	~(<ビット番号>of<EAd>)→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~(<ビット番号>of<EAd>)→Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C^(<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	C^ [~(<ビット番号>of<EAd>)] →C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BOR	B	Cv(<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
BIOR	B	Cv [~(<ビット番号>of<EAd>)] →C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BXOR	B	C⊕(<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
BIXOR	B	C⊕ [~(<ビット番号>of<EAd>)] →C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

命令	サイズ*	機能
BLD	B	(<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	~(<ビット番号>of<EAd>)→C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
BST	B	C→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグの内容を転送します。
BIST	B	~C→(<ビット番号>of<EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B : バイト

ビット操作命令には、いくつかの使用上の注意事項があります。詳細は「2.8.2 ビット操作命令使用上の注意事項」を参照してください。

ビット操作命令の命令フォーマットを図 2.8 に示します。

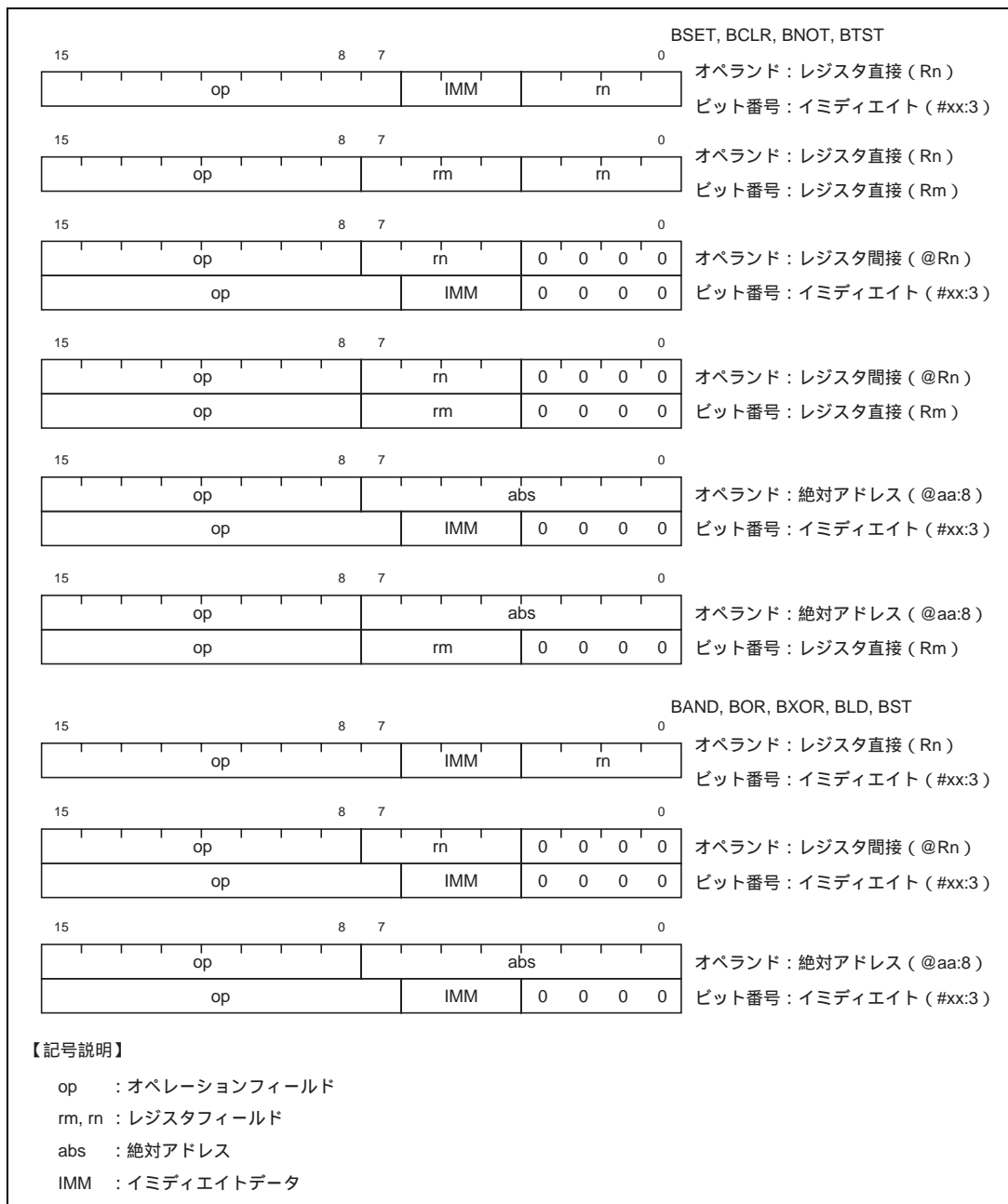


図 2.8 ビット操作命令の命令フォーマット (1)

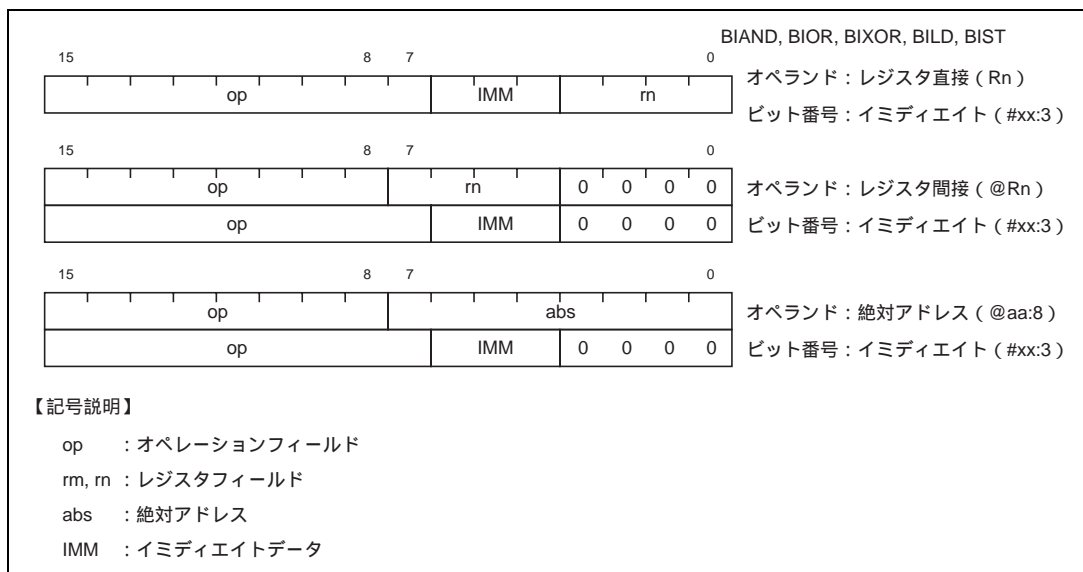


図 2.8 ビット操作命令の命令フォーマット (2)

2.5.6 分岐命令

分岐命令の機能を表 2.9 に示します。

表 2.9 分岐命令

命令	サイズ	機 能																																																			
Bcc	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>二一モニツク</th> <th>説 明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>$C \vee Z = 0$</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>$C \vee Z = 1$</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>$C = 0$</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (LOW)</td> <td>$C = 1$</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>$Z = 0$</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>$Z = 1$</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>$V = 0$</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>$V = 1$</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>$N = 0$</td> </tr> <tr> <td>BMI</td> <td>Minus</td> <td>$N = 1$</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V = 0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V = 1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>$Z \vee (N \oplus V) = 0$</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>$Z \vee (N \oplus V) = 1$</td> </tr> </tbody> </table>	二一モニツク	説 明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	$C \vee Z = 0$	BLS	Low or Same	$C \vee Z = 1$	BCC (BHS)	Carry Clear (High or Same)	$C = 0$	BCS (BLO)	Carry Set (LOW)	$C = 1$	BNE	Not Equal	$Z = 0$	BEQ	Equal	$Z = 1$	BVC	oVerflow Clear	$V = 0$	BVS	oVerflow Set	$V = 1$	BPL	PLus	$N = 0$	BMI	Minus	$N = 1$	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z \vee (N \oplus V) = 0$	BLE	Less or Equal	$Z \vee (N \oplus V) = 1$
二一モニツク	説 明	分岐条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	$C \vee Z = 0$																																																			
BLS	Low or Same	$C \vee Z = 1$																																																			
BCC (BHS)	Carry Clear (High or Same)	$C = 0$																																																			
BCS (BLO)	Carry Set (LOW)	$C = 1$																																																			
BNE	Not Equal	$Z = 0$																																																			
BEQ	Equal	$Z = 1$																																																			
BVC	oVerflow Clear	$V = 0$																																																			
BVS	oVerflow Set	$V = 1$																																																			
BPL	PLus	$N = 0$																																																			
BMI	Minus	$N = 1$																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$Z \vee (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V) = 1$																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

分岐命令の命令フォーマットを図 2.9 に示します。

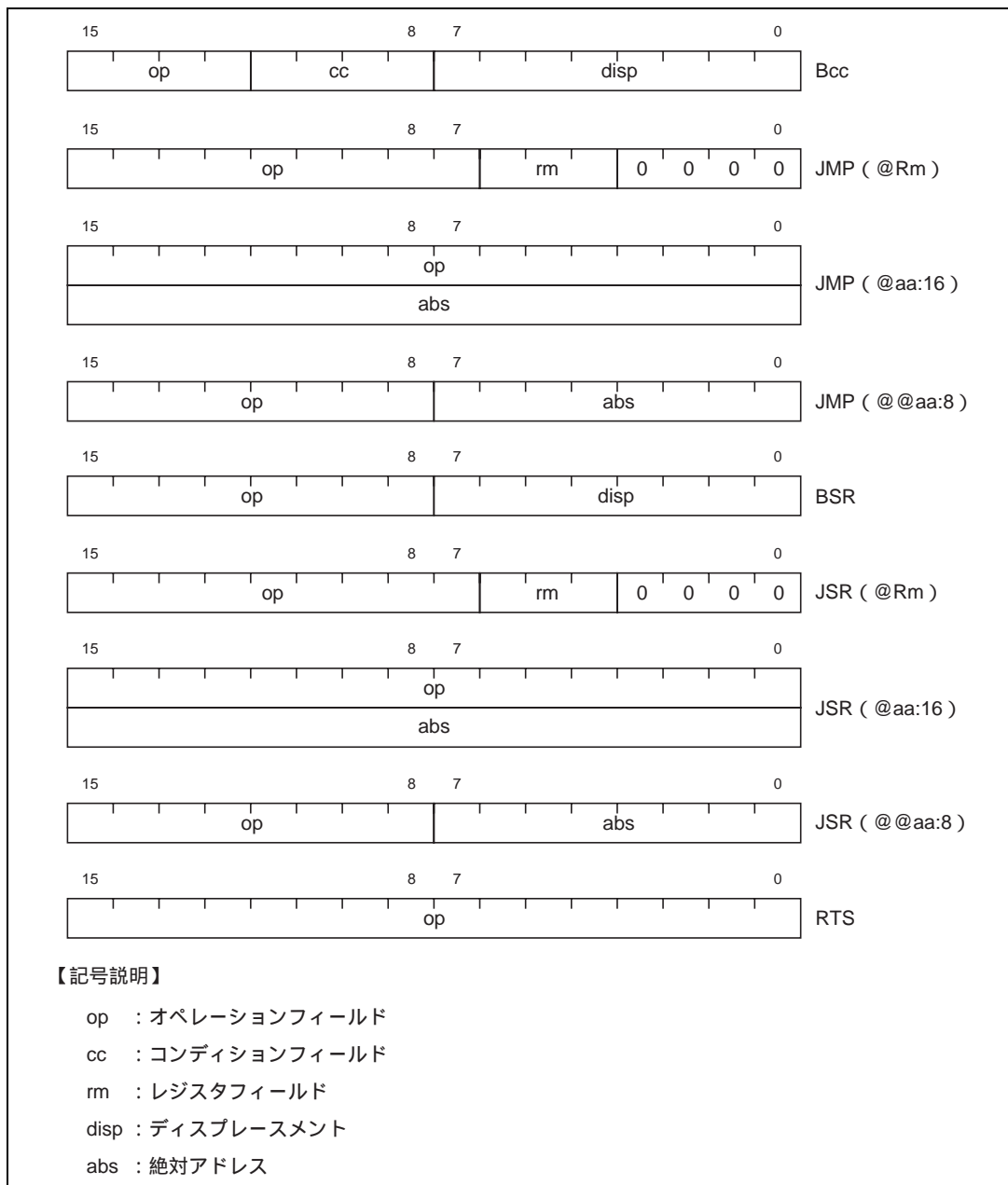


図 2.9 分岐命令の命令フォーマット

2.5.7 システム制御命令

システム制御命令の機能を表 2.10 に示します。

表 2.10 システム制御命令

命令	サイズ*	機 能
RTE	-	割り込み処理ルーチンから復帰します。
SLEEP	-	アクティブモードで本命令を実行すると、低消費電力モード（スリープモード、スタンバイモード、ウォッチモード）に遷移します。また、サブアクティブモードで本命令を実行すると、ウォッチモードへの遷移、またはウォッチモードを経由してアクティブモードへの復帰を行います。 詳細は「3.3 システムのモード」を参照してください。
LDC	B	$R_s \rightarrow CCR$ 、 $\#IMM \rightarrow CCR$ 汎用レジスタの内容、またはイミディエイトデータを CCR に転送します。
STC	B	$CCR \rightarrow R_d$ CCR の内容を汎用レジスタに転送します。
ANDC	B	$CCR \wedge \#IMM \rightarrow CCR$ CCR とイミディエイトデータの論理積をとります。
ORC	B	$CCR \vee \#IMM \rightarrow CCR$ CCR とイミディエイトデータの論理和をとります。
XORC	B	$CCR \oplus \#IMM \rightarrow CCR$ CCR とイミディエイトデータの排他的論理和をとります。
NOP	-	$PC+2 \rightarrow PC$ PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

システム制御命令の命令フォーマットを図 2.10 に示します。

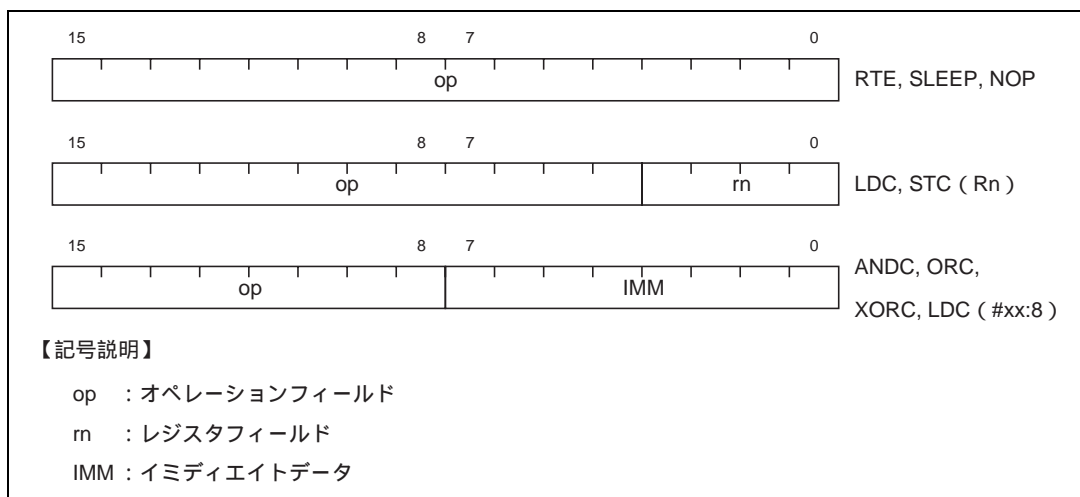


図 2.10 システム制御命令の命令フォーマット

2.5.8 ブロック転送命令

ブロック転送命令の機能を表 2.11 に示します。

表 2.11 ブロック転送命令

命令	サイズ	機 能
EEPMOV	-	if R4L = 0 then Repeat @R5+→@R6+, R4L-1→R4L Until R4L = 0 else next ; ブロック転送命令です。R5 で示されるアドレスから始まり、R4L で指定されるバイト数のデータを R6 で示されるアドレスから始まるロケーションへ転送します。転送終了後、次の命令を実行します。

ブロック転送命令の命令フォーマットを図 2.11 に示します。

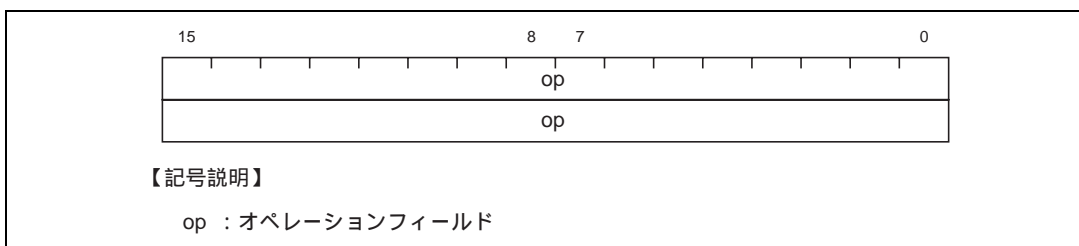
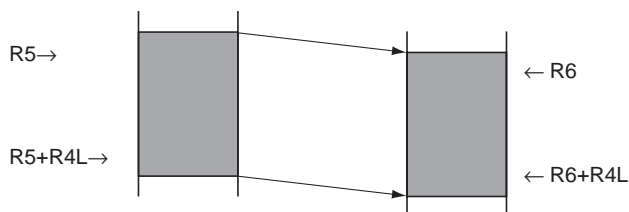


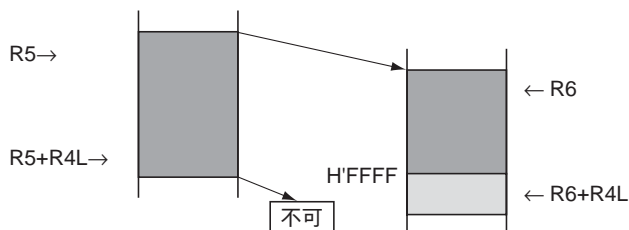
図 2.11 ブロック転送命令の命令フォーマット

〔EEPMOV 命令使用上の注意〕

- (1) EEPMOV命令はブロック転送命令で、R5で示されるアドレスから始まり、R4Lで示されるバイト数のデータを、R6で示されるアドレスへ転送します。



- (2) 転送先の最終アドレス (R6 + R4Lの値) がH'FFFFを超えないように (実行途中でR6の値がH'FFFF→H'0000とならないように)、R4L、R6を設定してください。



2.6 CPU の状態

2.6.1 概要

CPU の状態には、プログラム実行状態、プログラム停止状態、例外処理状態の 3 種類があります。プログラム実行状態には、アクティブモード、サブアクティブモードがあり、プログラム停止状態には、スリープモード、スタンバイモード、ウォッチモードがあります。各状態の分類を図 2.12 に、各状態間の遷移を図 2.13 に示します。

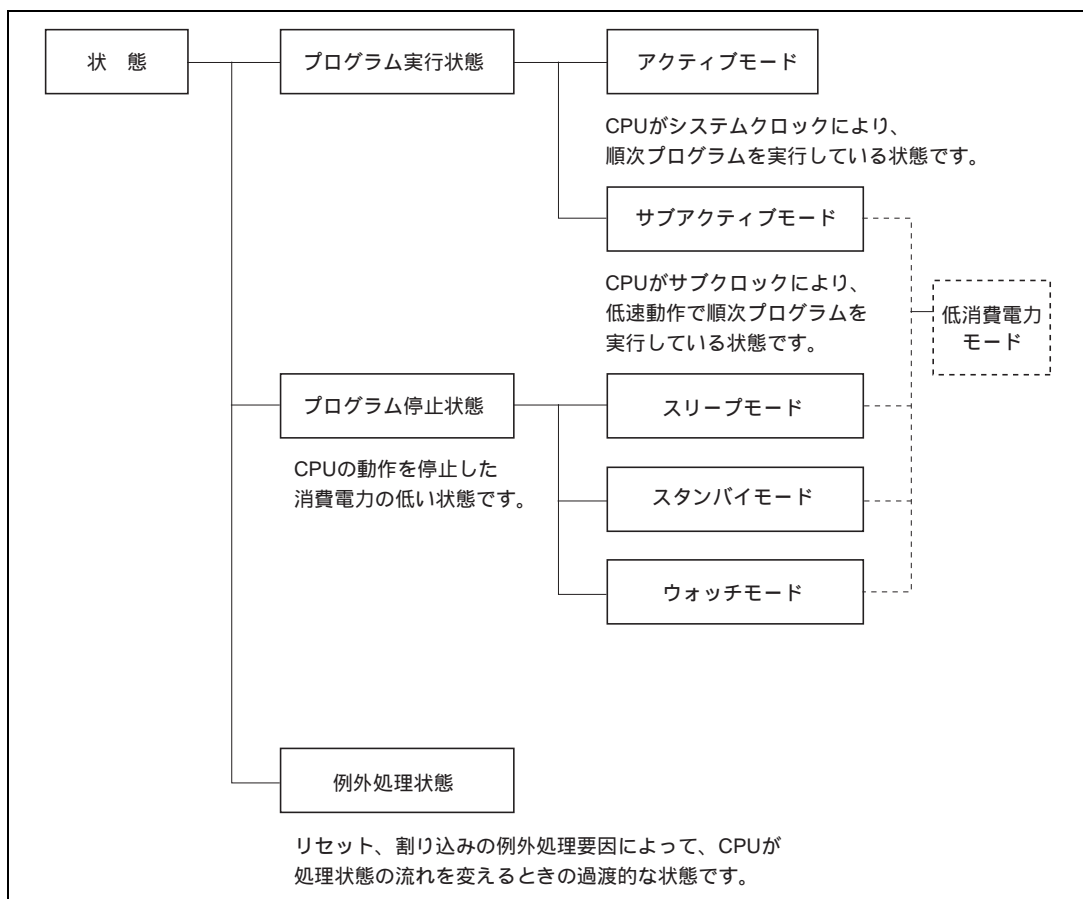


図 2.12 CPU の状態

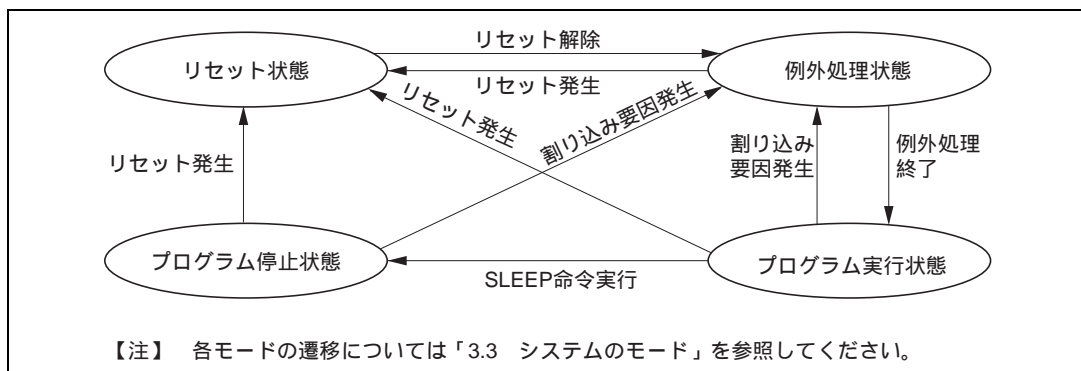


図 2.13 状態遷移図

2.6.2 プログラム実行状態

CPU がプログラムを順次実行している状態です。

プログラム実行状態には、アクティブモードとサブアクティブモードの 2 つのモードがあります。アクティブモードはシステムクロックで、サブアクティブモードはサブクロックで動作します。これらのモードについての詳細は「3.3 システムのモード」を参照してください。

2.6.3 プログラム停止状態

プログラム停止状態には、スリープモード、スタンバイモード、ウォッチモードの 3 つのモードがあります。

各モードについての詳細は、「3.3 システムのモード」を参照してください。

2.6.4 例外処理状態

リセット、割り込みの例外処理要因によって、CPU が通常の処理状態の流れを変えるときは過渡的な状態です。割り込み要因による例外処理では、SP (R7) を参照して、PC および CCR の退避を行います。

割り込み処理についての詳細は、「3.2.2 割り込み」を参照してください。

2.7 基本動作タイミング

CPU は、クロック (ϕ_i) を基準に動作しています。 ϕ_i はクロック発生回路で生成された ϕ または ϕ_{SUB} を示します。すなわちアクティブモードでは ϕ を意味し、サブアクティブモードでは ϕ_{SUB} を意味します。詳しくは「第4章 クロック発振器」を参照してください。 ϕ_i の立ち上がりから次の立ち上がりまでの1単位をステートと呼びます。メモリサイクルまたはバスサイクルは、2ステートで構成され、内蔵メモリ、内蔵周辺モジュールのアクセスはすべて2ステートで行われます。

2.7.1 内蔵メモリ (RAM、ROM)

内蔵メモリのアクセスは、2ステートで行われます。このとき、データバス幅は16ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアクセスサイクルを図2.14に示します。

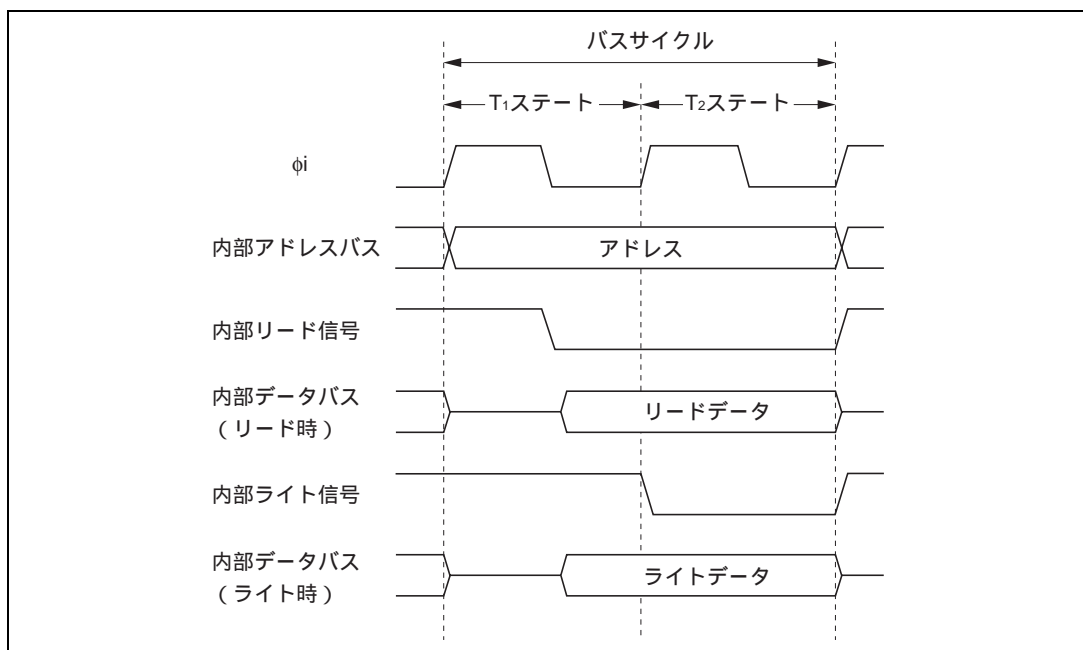


図 2.14 内蔵メモリアクセスサイクル

2.7.2 内蔵周辺モジュール

内蔵周辺モジュールのアクセスは、2 ステートで行われます。このとき、データバス幅は 8 ビットで、バイトサイズアクセスのみ可能です。したがって、ワードデータは、2 命令に分けてアクセスしてください。内蔵周辺モジュールアクセスサイクルを図 2.15 に示します。

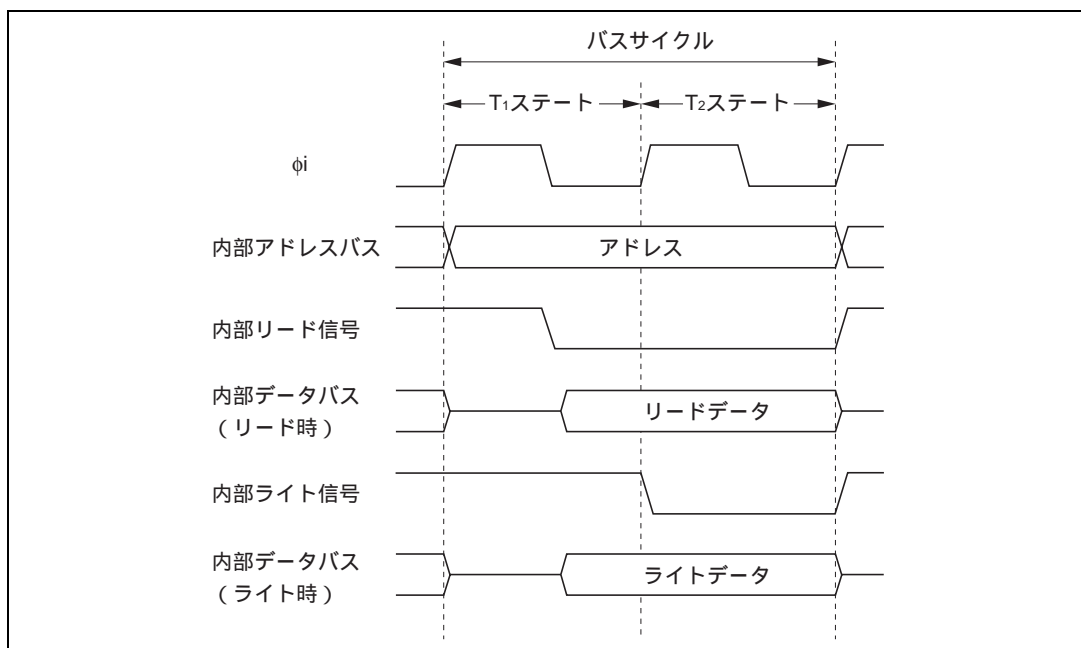


図 2.15 内蔵周辺モジュールアクセスサイクル

2.8 使用上の注意事項

2.8.1 データアクセスに関する注意事項

以下に H8/300L CPU の使用上の注意事項を示します。

- (1) H8/300L CPUのアドレス空間には、ユーザに開放されたROM、RAM、レジスタ以外の空きエリアがあります。プログラムで誤まってこの空きエリアにアクセスを行うと、以下のように動作します。

CPU → 空きエリアへの転送
転送データは失われます。また、CPU誤動作の原因となる可能性があります。
空きエリア → CPUへの転送
転送データは保証されません。

- (2) 内蔵ROM、RAM領域以外の内蔵周辺モジュールは、内部のデータ転送が8ビットで行われます。

この領域にワードアクセスした場合は、以下のように動作します。

CPU → I/Oレジスタ領域へのワードアクセス
上位バイト：I/Oレジスタに書き込まれます。
下位バイト：転送データは失われます。
I/Oレジスタ → CPUへのワードアドレス
上位バイト：CPU内部レジスタ上位に書き込まれます。
下位バイト：CPU内部レジスタ下位に書き込まれたデータは保証されません。

したがって、内蔵ROM、RAM領域以外のI/Oレジスタ領域とのデータ転送は、バイトサイズの命令を使用してください。アクセスできるデータサイズと内蔵周辺モジュールの対応を図 2.16 に示します。

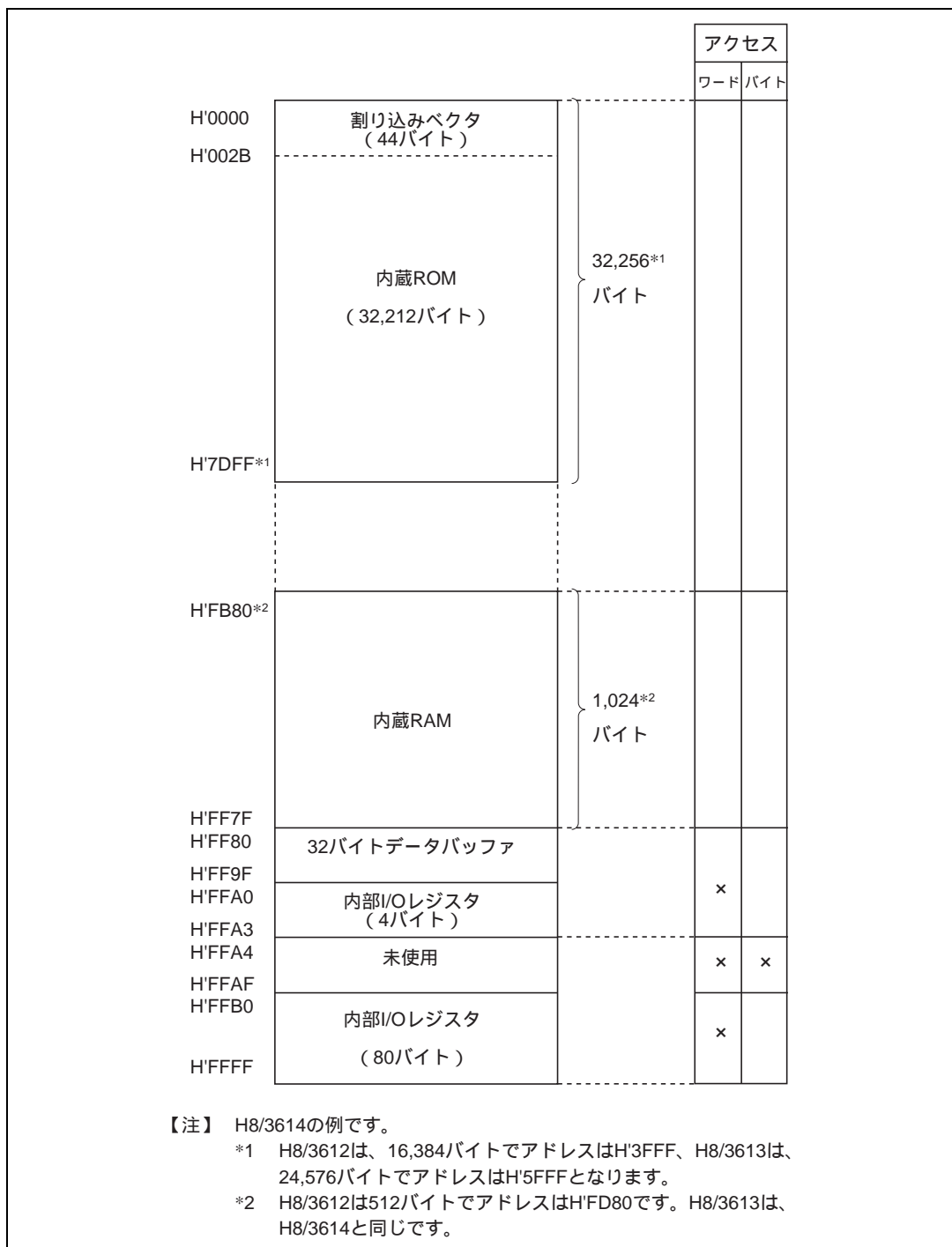


図 2.16 アクセスできるデータサイズと周辺モジュールの対応

2.8.2 ビット操作命令使用上の注意事項

H8/300L CPU は、ビット操作命令をリード→モディファイ→ライトの順に、8ビット単位で実行します。以下のようなレジスタはビット操作命令を使用するとき、該当ビット以外の内容が書き換わることがありますので注意が必要です。

(1) 同一アドレスに2つのレジスタが割り付けられている場合（ソースとデスティネーションが異なる場合）

(a) タイマロードレジスタ/タイマカウンタの場合の例

オートリロードタイマのタイマロードレジスタ/タイマカウンタをビット操作する場合を以下に述べます。

タイマロードレジスタとタイマカウンタはアドレスを共有しているので、

- タイマカウンタのその時点の値をリードする。
- CPU は該当ビットをセットまたはリセットする。（該当しないビットはそのままの値）（モディファイ）
- モディファイしたデータをタイマロードレジスタにライトする。

タイマカウンタは、システムクロック ϕ によりカウントを続けているので、リードした値がタイマロードレジスタとは必ずしも等しくありません。その結果該当ビット以外は異なった値がライトされることがあります。

リロードタイマの構成を図 2.17 に示します。

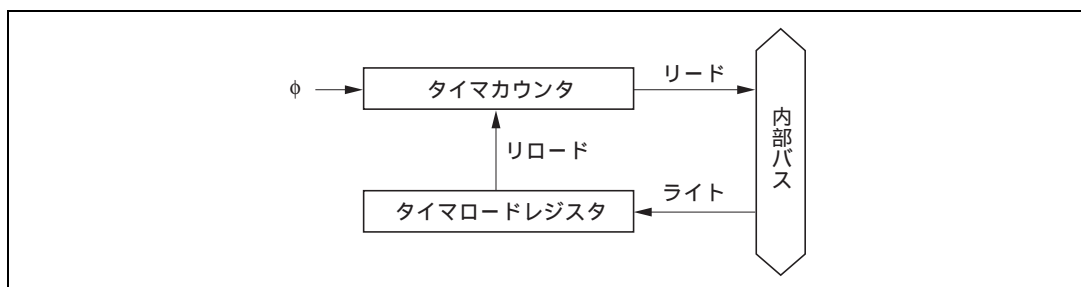


図 2.17 リロードタイマの構成

(b) ポートデータレジスタの場合の例

ポートデータレジスタに対してビット操作命令を実行する場合、ビット操作命令を行うポートの該当ビット以外の端子の入出力の状態、またはデータレジスタの内容が、変化する可能性がありますので注意が必要です。

H8/300L CPU は、リード→モディファイ→ライトの順に8ビット単位でビット操作命令を実行します。I/Oポートのデータレジスタと端子入力のリード部が同一アドレスになっているため、ポートに対するビット操作命令は下記の動作をします。

- (1) PMOSオープンドレイン端子でビット操作の対象となるビット以外の端子
- 入力端子に設定されているとき（データレジスタ=0）

端子の入力レベルを読み込み（リード）、該当ビットをセットまたはリセットし（該当ビット以外はそのまま）（モディファイ）、その値をデータレジスタに書き込む（ライト）。
入力レベルがHighレベル（リードデータが1）であると、データレジスタに1が書き込まれ、入力端子が出力端子（Highレベル出力）に変化する。

入力レベルがLowレベルであれば、変化は起こらない。

- 出力端子に設定されているとき（データレジスタ=1、Highレベル出力）
出力レベルが入力Highレベル（ V_{IH} ）より上であれば変化しない。
出力レベルが入力Lowレベル（ V_{IL} ）より下であればデータレジスタに0が書き込まれ、PMOSバッファがオフハイインピーダンスとなる。

負荷により出力レベルがダウンし中間レベルとなっているときでは、状態は不定となります。

(2) 入出力端子でビット操作の対象となるビット以外の端子

- 入力端子に設定されているとき
端子の入力レベルを読み込み、その値をデータレジスタに書き込む（データレジスタの内容が変化することがある）。
- 出力端子に設定されているとき
データレジスタを読み込むので、変化は起こらない。

(2) ライト専用レジスタの場合

（例）PWM データレジスタなど

（ビットごとにリードとライトが異なるものがあるので注意してください。）

この場合リードすべきレジスタ（ソース側）が存在しないので、該当ビット以外は1となります。

同一アドレスを兼用しているレジスタ一覧を表 2.12 に、ライト専用レジスタ一覧を表 2.13 に示します。

表 2.12 同一アドレスを兼用しているレジスタ一覧

レジスタ名称	略称	アドレス
タイマロードレジスタ B / タイマカウンタ B	TLB / TCB	H'FFC3
タイマロードレジスタ C / タイマカウンタ C	TLC / TCC	H'FFC5
タイマロードレジスタ E / タイマカウンタ E	TLE / TCE	H'FFC9
ポートデータレジスタ 1*	PDR1	H'FFD1
ポートデータレジスタ 2*	PDR2	H'FFD2
ポートデータレジスタ 4*	PDR4	H'FFD4
ポートデータレジスタ 8*	PDR8	H'FFDB
ポートデータレジスタ 9*	PDR9	H'FFD9
ポートデータレジスタ A*	PDRA	H'FFDA

【注】 * ポートデータレジスタと端子入力が兼用になっています。

表 2.13 ライト専用レジスタ一覧

レジスタ名称	略称	アドレス
シリアルモードレジスタ	SMR1	H'FFB0
PWM コントロールレジスタ* ¹	PWCR	H'FFCC
PWM データレジスタ U* ¹	PWDRU	H'FFCD
PWM データレジスタ L* ¹	PWDRL	H'FFCE
ポートコントロールレジスタ 1	PCR1	H'FFE1
ポートコントロールレジスタ 2	PCR2	H'FFE2
ポートコントロールレジスタ 8	PCR8	H'FFE8
ポートコントロールレジスタ 9	PCR9	H'FFE9
ポートコントロールレジスタ A	PCRA	H'FFEA
ポートモードレジスタ 0	PMR0	H'FFEF
タイマモードレジスタ D* ²	TMD	H'FFC6
システムコントロールレジスタ 2* ³	SYSCR2	H'FFF1

【注】 *1 H8/3612 にはありません。

*2 CLR ビット (ビット 7) のみはライト専用です。

*3 DTON ビット (ビット 3) は、サブアクティブモード時のみライト専用です。アクティブモード時は、リードもライトもできません。

3. システムコントロール

3.1 概要

本章では、リセット状態、例外処理、システムの動作モードについて説明します。

3.2 例外処理

例外処理には、リセット例外処理と割り込み例外処理があります。表 3.1 に、各例外処理の要因と優先度を示します。リセット例外処理は最も優先度の高い例外処理です。

表 3.1 例外処理の種類と優先度

優先度	例外処理要因	例外処理開始タイミング
高 ↑ 低	リセット	$\overline{\text{RES}}$ 端子が Low レベルから High レベルに変化すると、直ちにリセット例外処理を開始します。
	割り込み	割り込み要求が発生すると、現在の命令の実行終了時に割り込み例外処理を開始します。

3.2.1 リセット

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、リセット状態になります。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。また、コンディションコードレジスタ (CCR) の I ビットがセットされ、すべての割り込みはマスクされます。

$\overline{\text{RES}}$ 端子が Low レベルから、High レベルになると、リセット例外処理が開始されます。リセット例外処理では、リセット例外処理ベクタアドレス (H'0000 ~ H'0001) の示す内容をリードして、プログラムカウンタ (PC) に転送します。その後、PC で示されるアドレスからプログラムの実行を開始します。リセットシーケンスを図 3.1 に示します。

- 【注】
1. リセットを確実にするために、電源投入時には、電源立ち上がり後、最低 20ms (セラミック発振子) または 40ms (水晶発振子) の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。
 2. 動作中にリセットする場合は、最低 10 システムクロックの間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。
 3. リセット後、スタックポインタ (SP: R7) を初期設定する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走の原因となります。これを防ぐため、リセット例外処理が実行された直後はすべての割り込み要求が禁止されています。したがって、プログラム作成に際しては SP を初期設定した後、割り込み要求禁止を解除するようにしてください。なお、SP には必ず偶数番地をセットしてください。プログラムの先頭命令は、SP を初期設定する命令とすることを推奨します (例: MOV.W #xx:16, SP)。

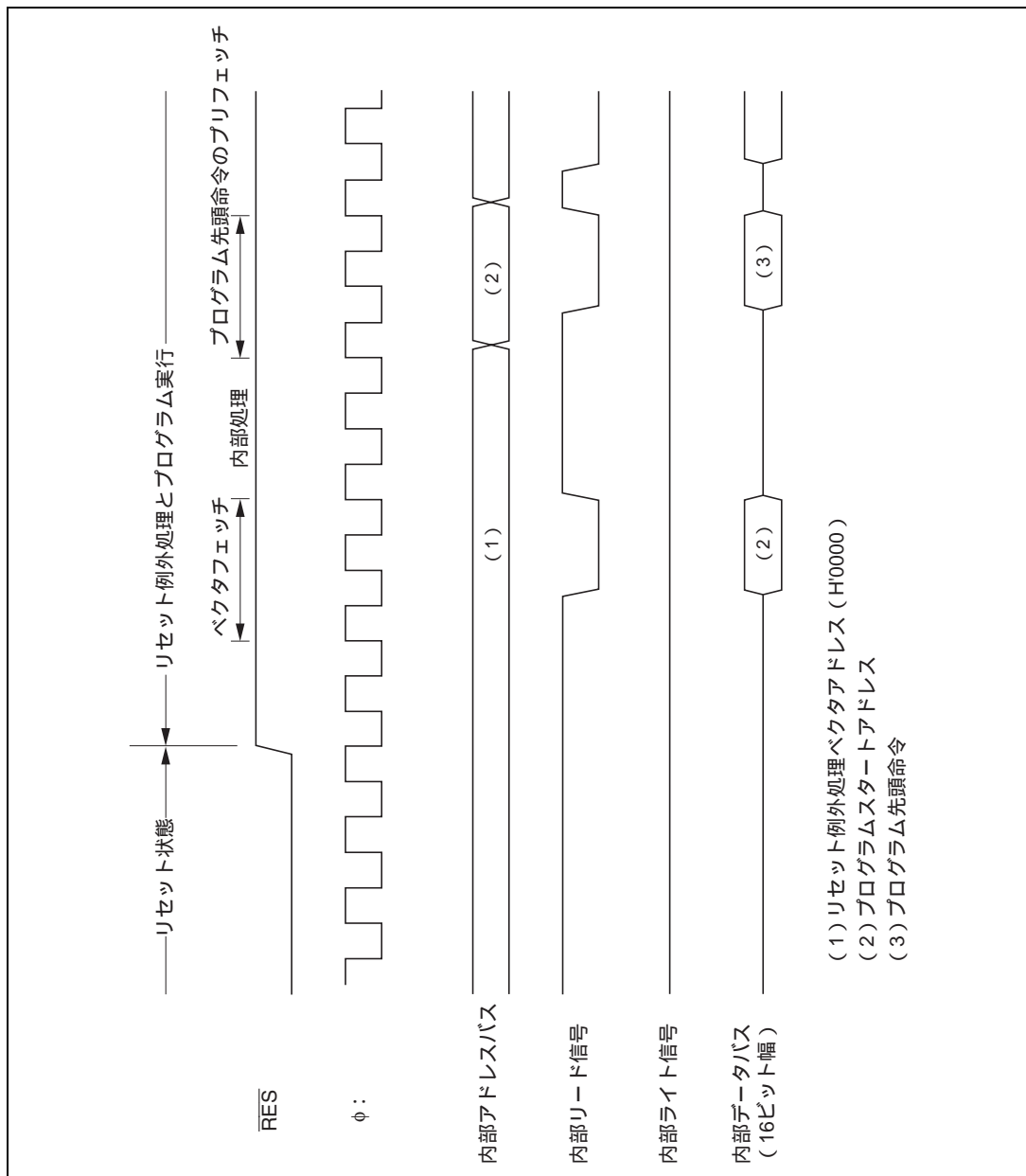


図 3.1 リセットシーケンス

3.2.3 割り込み制御レジスタ

割り込みを制御するレジスタの一覧を表 3.3 に示します。

表 3.3 割り込み制御レジスタ

名 称	略称	R/W	初期値	アドレス
ポートモードレジスタ 1	PMR1	R/W	H'00	H'FFEB
IRQ エッジセレクトレジスタ	IEGR	R/W	H'EC	H'FFF2
割り込み許可レジスタ 1	IENR1	R/W	H'C0	H'FFF3
割り込み許可レジスタ 2	IENR2	R/W	H'00	H'FFF4
割り込み許可レジスタ 3	IENR3	R/W	H'3C	H'FFF5
割り込み要求レジスタ 1	IRR1	R/W*	H'C0	H'FFF6
割り込み要求レジスタ 2	IRR2	R/W*	H'00	H'FFF7
割り込み要求レジスタ 3	IRR3	R/W*	H'3C	H'FFF8

【注】 * フラグクリアのための 0 ライトのみ可能です。

(1) ポートモードレジスタ 1 (PMR1)

ビット:	7	6	5	4	3	2	1	0
	NOISE CANCEL	EVENT	IRQC5	IRQC4	IRQC3	IRQC2	IRQC1	IRQC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR1 は、8 ビットのリードとライトが可能なレジスタで、ポート 1 の各端子を入出力ポート機能として使用するか、外部割り込み用入力端子として使用するかを選択します。また、 $\overline{IRQ_0}$ 端子のノイズキャンセル機能の ON または OFF を設定します。

【注】 PMR1 の IRQ5 ~ IRQ0 ビットにより、端子機能を切り替える場合は、割り込み許可フラグを割り込み禁止とした状態で行ってください。また、端子機能を切り替えた後、一命令おいて当該割り込み要求フラグを 0 にクリアしてください。

(プログラム例)

```

:
:
MOV.B R0L,@IENR1 ..... 割り込みマスク
MOV.B R0L,@PMR1 ..... 端子機能変更
NOP ..... 任意の一命令
MOV.B R0L,@IRR1 ..... 当該割り込みクリア
MOV.B R1L,@IENR1 ..... 割り込みイネーブル
:
:

```


ビット7：ノイズキャンセル（NOISE CANCEL）

$\overline{\text{IRQ}}_0$ 端子のノイズキャンセル機能の ON または OFF を設定します。

ビット7	説明
NOISE CANCEL	
0	$\overline{\text{IRQ}}_0$ 端子のノイズキャンセル機能を OFF (初期値)
1	$\overline{\text{IRQ}}_0$ 端子のノイズキャンセル機能を ON 入力を 256 ステートの間隔で二度サンプリング(入力値が異なっていればノイズとみなします。)

ビット6： $\text{P1}_6/\overline{\text{EVENT}}$ 端子機能切り替え（EVENT）

ビット6	説明
EVENT	
0	$\text{P1}_6/\overline{\text{EVENT}}$ 端子は、 P1_6 端子として機能 (初期値)
1	$\text{P1}_6/\overline{\text{EVENT}}$ 端子は、 $\overline{\text{EVENT}}$ 端子として機能

ビット5： $\text{P1}_5/\overline{\text{IRQ}}_5/\text{TMOE}$ 端子機能切り替え（IRQC5）

ビット5	説明
IRQC5	
0	$\text{P1}_5/\overline{\text{IRQ}}_5/\text{TMOE}$ 端子は、 $\text{P1}_5/\text{TMOE}$ 端子として機能* (初期値)
1	$\text{P1}_5/\overline{\text{IRQ}}_5/\text{TMOE}$ 端子は、 $\overline{\text{IRQ}}_5$ 端子として機能

【注】 * TMOE 端子としての使用については「5.3.2(4) ポートモードレジスタ4(PMR4)」を参照してください。

ビット4： $\text{P1}_4/\overline{\text{IRQ}}_4$ 端子機能切り替え（IRQC4）

ビット4	説明
IRQC4	
0	$\text{P1}_4/\overline{\text{IRQ}}_4$ 端子は、 P1_4 端子として機能 (初期値)
1	$\text{P1}_4/\overline{\text{IRQ}}_4$ 端子は、 $\overline{\text{IRQ}}_4$ 端子として機能

ビット3： $\text{P1}_3/\overline{\text{IRQ}}_3$ 端子機能切り替え（IRQC3）

ビット3	説明
IRQC3	
0	$\text{P1}_3/\overline{\text{IRQ}}_3$ 端子は、 P1_3 端子として機能 (初期値)
1	$\text{P1}_3/\overline{\text{IRQ}}_3$ 端子は、 $\overline{\text{IRQ}}_3$ 端子として機能

3. システムコントロール

ビット 2 : $P1_2/\overline{IRQ}_2$ 端子機能切り替え (IRQC2)

ビット 2	説明
IRQC2	
0	$P1_2/\overline{IRQ}_2$ 端子は、 $P1_2$ 端子として機能 (初期値)
1	$P1_2/\overline{IRQ}_2$ 端子は、 \overline{IRQ}_2 端子として機能

ビット 1 : $P1_1/\overline{IRQ}_1$ 端子機能切り替え (IRQC1)

ビット 1	説明
IRQC1	
0	$P1_1/\overline{IRQ}_1$ 端子は、 $P1_1$ 端子として機能 (初期値)
1	$P1_1/\overline{IRQ}_1$ 端子は、 \overline{IRQ}_1 端子として機能

ビット 0 : $P1_0/\overline{IRQ}_0$ 端子機能切り替え (IRQC0)

ビット 0	説明
IRQC0	
0	$P1_0/\overline{IRQ}_0$ 端子は、 $P1_0$ 端子として機能 (初期値)
1	$P1_0/\overline{IRQ}_0$ 端子は、 \overline{IRQ}_0 端子として機能

(2) IRQ エッジセレクトレジスタ (IEGR)

ビット :	7	6	5	4	3	2	1	0
				IEG4			IEG1	IEG0
初期値 :	1	1	1	0	1	1	0	0
R/W :				R/W			R/W	R/W

IEGR は、8 ビットのリードとライトが可能なレジスタで、 \overline{IRQ}_0 、 \overline{IRQ}_1 、および \overline{IRQ}_4 端子の立ち上がりエッジセンスまたは立ち下がりエッジセンスを指定します。

ビット 7~5 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 4 : \overline{IRQ}_4 端子入力エッジ選択 (IEG4)

ビット 4	説明
IEG4	
0	\overline{IRQ}_4 端子入力の立ち下がりエッジを検出 (初期値)
1	\overline{IRQ}_4 端子入力の立ち上がりエッジを検出

ビット3、2：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット1： $\overline{\text{IRQ}}_1$ 端子入力エッジ選択 (IEG1)

ビット1	説明
IEG1	
0	$\overline{\text{IRQ}}_1$ 端子入力の立ち下がりエッジを検出 (初期値)
1	$\overline{\text{IRQ}}_1$ 端子入力の立ち上がりエッジを検出

ビット0： $\overline{\text{IRQ}}_0$ 端子入力エッジ選択 (IEG0)

ビット0	説明
IEG0	
0	$\overline{\text{IRQ}}_0$ 端子入力の立ち下がりエッジを検出 (初期値)
1	$\overline{\text{IRQ}}_0$ 端子入力の立ち上がりエッジを検出

(3) 割り込み許可レジスタ1 (IENR1)

ビット：	7	6	5	4	3	2	1	0
			IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
初期値：	1	1	0	0	0	0	0	0
R/W：			R/W	R/W	R/W	R/W	R/W	R/W

IENR1は、8ビットのリードとライトが可能なレジスタで、外部割り込み要求の許可または禁止を制御します。

ビット7、6：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット5~0： $\text{IRQ}_5 \sim \text{IRQ}_0$ 割り込み許可 (IEN5~IEN0)

ビットn	説明
IENn	
0	IRR1のIRRInフラグによる割り込み要求を禁止 (初期値)
1	IRR1のIRRInフラグによる割り込み要求を許可

(n=5~0)

3. システムコントロール

(4) 割り込み許可レジスタ 2 (IENR2)

ビット:	7	6	5	4	3	2	1	0
			IENDT	IENTE	IENDT	IENTC	IENB	IENTA
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IENR2 は、8 ビットのリードとライトが可能なレジスタで、ダイレクト遷移割り込み、タイマ A ~ E のオーバフロー割り込みの許可または禁止を制御します。

ビット 7、6: リザーブビット

リザーブビットです。リードとライトが可能です。

ビット 5: ダイレクト遷移割り込み許可 (IENDT)

ビット 5	説明
IENDT	
0	IRR2 の IRRDT フラグによる割り込み要求ダイレクト遷移を禁止 (初期値)
1	IRR2 の IRRDT フラグによる割り込み要求を許可

ビット 4~0: タイマ E ~ A 割り込み許可 (IENTE ~ IENTA)

ビット 4~0	説明
IENTE ~ IENTA	
0	IRR2 の IRRTE ~ IRRTA フラグによる割り込み要求を禁止 (初期値)
1	IRR2 の IRRTE ~ IRRTA フラグによる割り込み要求を許可

(5) 割り込み許可レジスタ 3 (IENR3)

ビット:	7	6	5	4	3	2	1	0
	IENAD						IENS2	IENS1
初期値:	0	0	1	1	1	1	0	0
R/W:	R/W	R/W					R/W	R/W

IENR3 は、8 ビットのリードとライトが可能なレジスタで、A/D 変換終了割り込み、シリアルコミュニケーションインタフェース 2、1 割り込みの許可または禁止を制御します。

ビット7：A/D 変換終了割り込み許可（IENAD）

ビット7	説明
IENAD	
0	IRR3 の IRRAD フラグによる割り込み要求を禁止 (初期値)
1	IRR3 の IRRAD フラグによる割り込み要求を許可

ビット6：リザーブビット

リザーブビットです。リードとライトが可能です。

ビット5～2：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット1、0：シリアルコミュニケーションインタフェース2、1 割り込み許可（IENS2、IENS1）

ビット1、0	説明
IENS2、IENS1	
0	IRR3 の IRRS2、IRRS1 フラグによる割り込み要求を禁止 (初期値)
1	IRR3 の IRRS2、IRRS1 フラグによる割り込み要求を許可

(6) 割り込み要求レジスタ1（IRR1）

ビット：	7	6	5	4	3	2	1	0
			IRRI5	IRRI4	IRRI3	IRRI2	IRRI1	IRRI0
初期値：	1	1	0	0	0	0	0	0
R/W：			R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * フラグクリアのための0ライトのみ可能です。

IRRI は、8 ビットのリードとライトが可能なレジスタで、外部割り込み要求が発生すると1にセットされます。

ビット7、6：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

3. システムコントロール

ビット 5~0 : IRQ₅ ~ IRQ₀ 割り込み要求 (IRR15 ~ IRR10)

ビット n	説明
IRRIn	
0	IRQn 端子による割り込み要求なし (初期値)
1	[セット条件] PMR1 により $\overline{\text{IRQn}}$ 端子が割り込み入力に設定されており、かつ当該端子に指定されたエッジが入力されたとき [クリア方法] 当該フラグにソフトウェアで 0 をライトしてクリア (割り込みが受け付けられても自動的にクリアされません。)

(n = 5 ~ 0)

(7) 割り込み要求レジスタ 2 (IRR2)

ビット :	7	6	5	4	3	2	1	0
			IRRDT	IRRTE	IRRTD	IRRTC	IRRTB	IRRTA
初期値 :	0	0	0	0	0	0	0	0
R/W :			R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * フラグクリアのための 0 ライトのみ可能です。

IRR2 は、8 ビットのリードとライトが可能なレジスタで、ダイレクト遷移割り込み要求、タイマ A ~ E のオーバフロー割り込み要求が発生すると対応するフラグが 1 にセットされます。

ビット 7、6 : リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは 0 のみ可能です。

ビット 5 : ダイレクト遷移割り込み要求 (IRRDT)

ビット 4	説明
IRRDT	
0	ダイレクト遷移割り込み要求なし (初期値)
1	[セット条件] サブアクティブモード時、システムコントロールレジスタ 2 (SYSCR2) の DTON ビット = 1、かつシステムコントロールレジスタ 1 (SYSCR1) の LSON ビット = 0、かつ割り込み許可レジスタ 2 (IENR2) の IENDT ビット = 1 の状態で、SLEEP 命令を実行すると、ウォッチモードを経由してアクティブモードにダイレクト遷移します。このとき、ダイレクト遷移割り込みが要求され、当該フラグは 1 にセット [クリア方法] 当該フラグにソフトウェアで 0 をライトしてクリア (割り込みが受け付けられても自動的にクリアされません。)

ビット4~0：タイマE~A 割り込み要求（IRRTE~IRRTA）

ビット4~0	説明
IRR _{Tn}	
0	対応するタイマ n によるオーバフロー割り込み要求なし (初期値)
1	[セット条件] タイマ n により、オーバフロー割り込みが要求されたとき、対応する IRR _{Tn} フラグは 1 にセットされます。 [クリア方法] 当該フラグにソフトウェアで 0 をライトしてクリア (割り込みが受け付けられても自動的にクリアされません。)

(n=E~A)

(8) 割り込み要求レジスタ3（IRR3）

ビット：	7	6	5	4	3	2	1	0
	IRRAD						IRRS2	IRRS1
初期値：	0	0	1	1	1	1	0	0
R/W：	R/W*						R/W*	R/W*

【注】 * フラグクリアのための0ライトのみ可能です。

ビット7：A/D 変換終了割り込み要求（IRRAD）

ビット7	説明
IRRAD	
0	A/D 変換終了割り込み要求なし (初期値)
1	[セット条件] A/D 変換器による A/D 変換終了後、割り込み要求が発生し 1 にセット [クリア方法] 当該フラグにソフトウェアで 0 をライトしてクリア (割り込みが受け付けられても自動的にクリアされません。)

ビット6：リザーブビット

リザーブビットです。リードすると常に0が読み出されます。ライトは0のみ可能です。

ビット5~2：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

3. システムコントロール

ビット 1、0：シリアルコミュニケーションインタフェース 2、1 割り込み要求 (IRRS2、IRRS1)

ビット 1、0	説明
IRRS2、IRRS1	
0	対応するシリアルコミュニケーションインタフェースによる転送完了、またはエラー割り込み要求なし (初期値)
1	[セット条件] 対応するシリアルコミュニケーションインタフェースが転送完了、エラーにより割り込みを要求したとき、当該フラグは 1 にセット [クリア方法] 当該フラグにソフトウェアで 0 をライトしてクリア (割り込みが受け付けられても自動的にクリアされません。)

3.2.4 外部割り込み

外部割り込みには、 $IRQ_5 \sim \overline{IRQ_0}$ 割り込みの 6 要因があります。

$IRQ_5 \sim \overline{IRQ_0}$ 割り込みは、 $\overline{IRQ_5} \sim \overline{IRQ_0}$ 端子の入力信号により要求されます。

IRQ_4 、 IRQ_1 および IRQ_0 割り込みは、立ち上がりエッジセンスまたは立ち下がりエッジセンスを IEGR の IEG4、IEG1、IEG0 ビットにより指定することができます。これ以外の外部割り込み IRQ_5 、 IRQ_2 および IRQ_3 は、立ち下がりエッジセンス固定となっています。なお、外部割り込み入力を有効とするためには、PMR1 の対応するビットをあらかじめ 1 にセットしておく必要があります。

$\overline{IRQ_5} \sim \overline{IRQ_0}$ 端子に所定のエッジが入力されると、IRR1 の対応するビットが 1 にセットされます。割り込み受け付け後にも、一度セットされたフラグは自動的にクリアされませんので、割り込み処理ルーチン中で 0 にクリアしてください。また、対応する割り込み許可フラグを 0 にクリアすることにより当該割り込み要求の受け付けはマスク (保留) されます。

$IRQ_5 \sim \overline{IRQ_0}$ 割り込みは、IENR1 の IEN5 ~ IEN0 ビットを 1 にセットすることにより、割り込み要求を許可します。また、CCR の I ビットを 1 にセットすることにより、すべての割り込みをマスク (保留) できます。

$IRQ_5 \sim \overline{IRQ_0}$ 割り込みの割り込み要求が受け付けられると、I ビットは 1 にセットされます。優先順位は、 IRQ_5 (低) → $\overline{IRQ_0}$ (高) の順に高くなります。詳細は表 3.2 を参照してください。

IRQ_0 割り込みは、ノイズキャンセル回路により 256 ステートの間隔で二度サンプリングし、入力値が異なる場合にノイズとみなして受け付けられないようにすることができます。

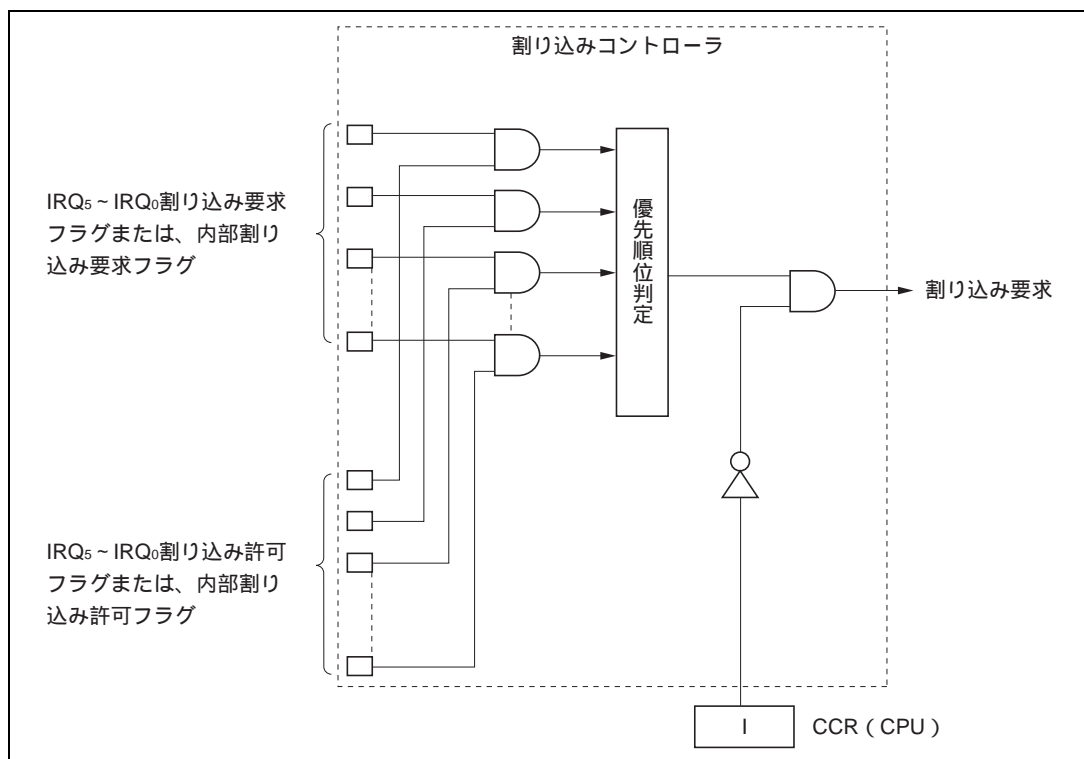
3.2.5 内部割り込み

内蔵周辺モジュールからの割り込みによる内部割り込み要因は 9 要因あります。いずれの割り込みも CCR の I ビットを 1 にセットすることによりマスク (保留) されます。これらの割り込み要求が受け付けられ割り込み例外処理が実行されると、I ビットは 1 にセットされます。内蔵周辺モジュールからの割り込みの優先順位については、表 3.2 を参照してください。

3.2.6 割り込み動作

割り込みは、割り込みコントローラによって制御されます。

割り込みコントローラのブロック図を図 3.2 に、割り込み受け付けまでのフローを図 3.3 に示します。



3. システムコントロール

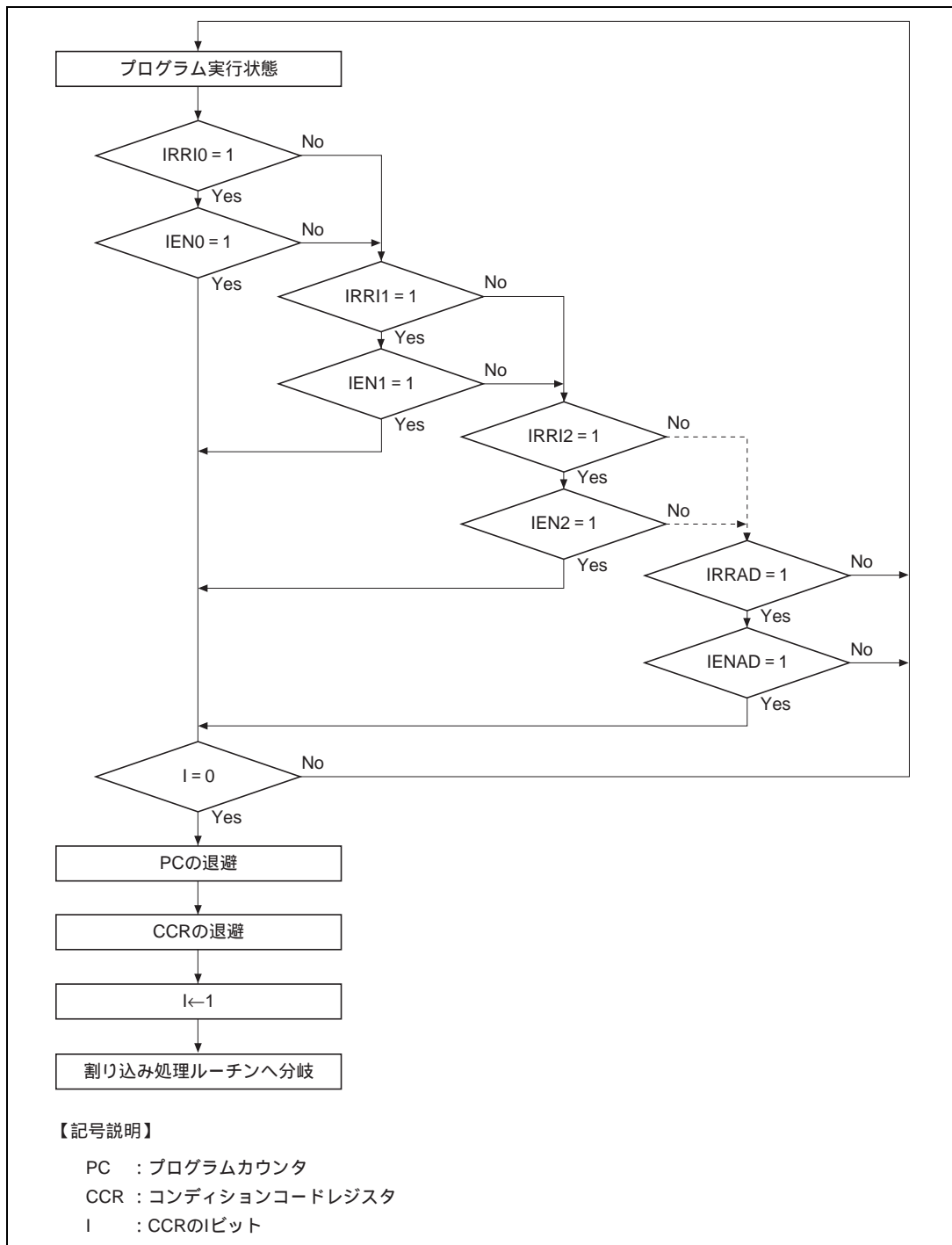


図 3.3 割り込み受け付けまでのフロー

割り込み動作を以下に示します。

- (1) 外部割り込み端子入力、および周辺モジュールにより割り込み要因が発生すると、割り込みコントローラに対して割り込み要求信号が送られます。
 - (2) 割り込みコントローラは、割り込み要求信号が送られてくると割り込み要求フラグをセットします。
 - (3) 対応する割り込み許可フラグが1にセットされている割り込みの中で、最も優先順位の高い割り込み要求が選択され、その他は保留となります（表3.2を参照してください）。
 - (4) CCRのIビットを参照し、Iビットが0にクリアされているときは、最も優先順位の高い割り込み要求が受け付けられます。Iビットが1にセットされている場合は、割り込み要求は保留となります。
 - (5) 割り込み要求が受け付けられると、実行中の命令が終了した後、PCとCCRがスタック領域に退避されます。このときのスタックの状態を図3.4に示します。スタックされるPCは、リターン後に実行する最初の命令のアドレスを示しています。
 - (6) CCRのIビットが1にセットされます。これによりすべての割り込みは禁止されます。
 - (7) 受け付けた割り込みに対応するベクタアドレスを生成し、そのアドレスが示す内容をリードし、PCに転送します。その後PCで示されるアドレスからプログラムの実行を開始します。
- 【注】 ORC、ANDC、XORC、LDC 命令終了時には割り込み要因の検出を行いません。

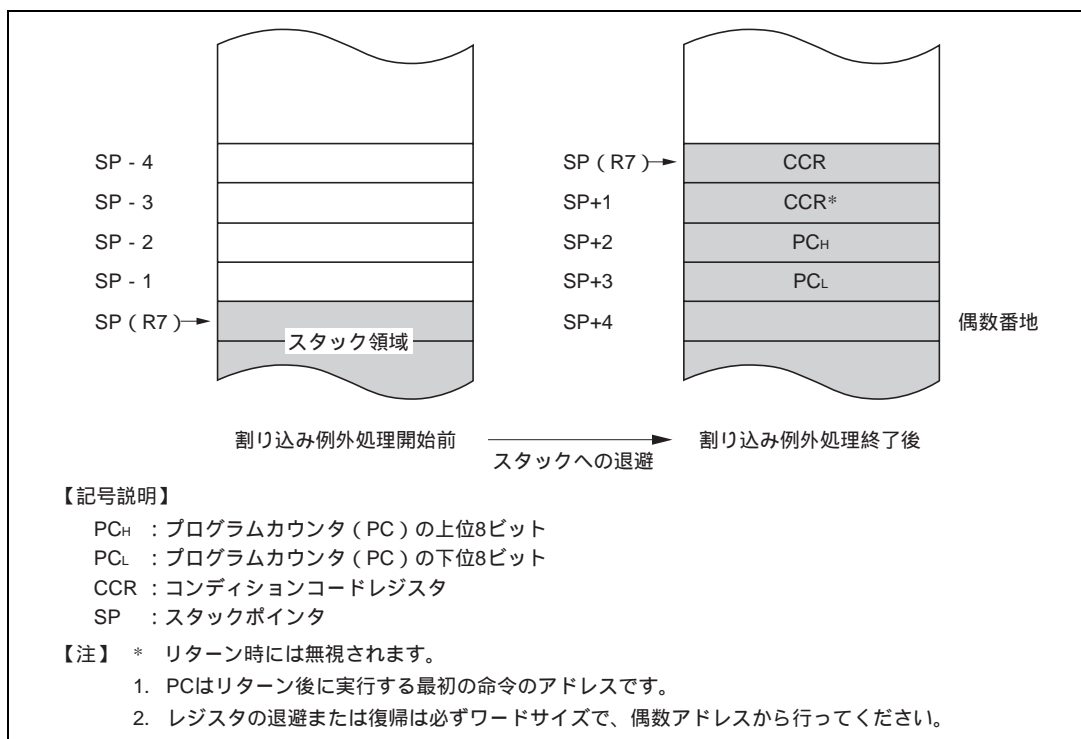


図 3.4 割り込み例外処理終了後のスタック状態

割り込みシーケンスを図 3.5 に示します。

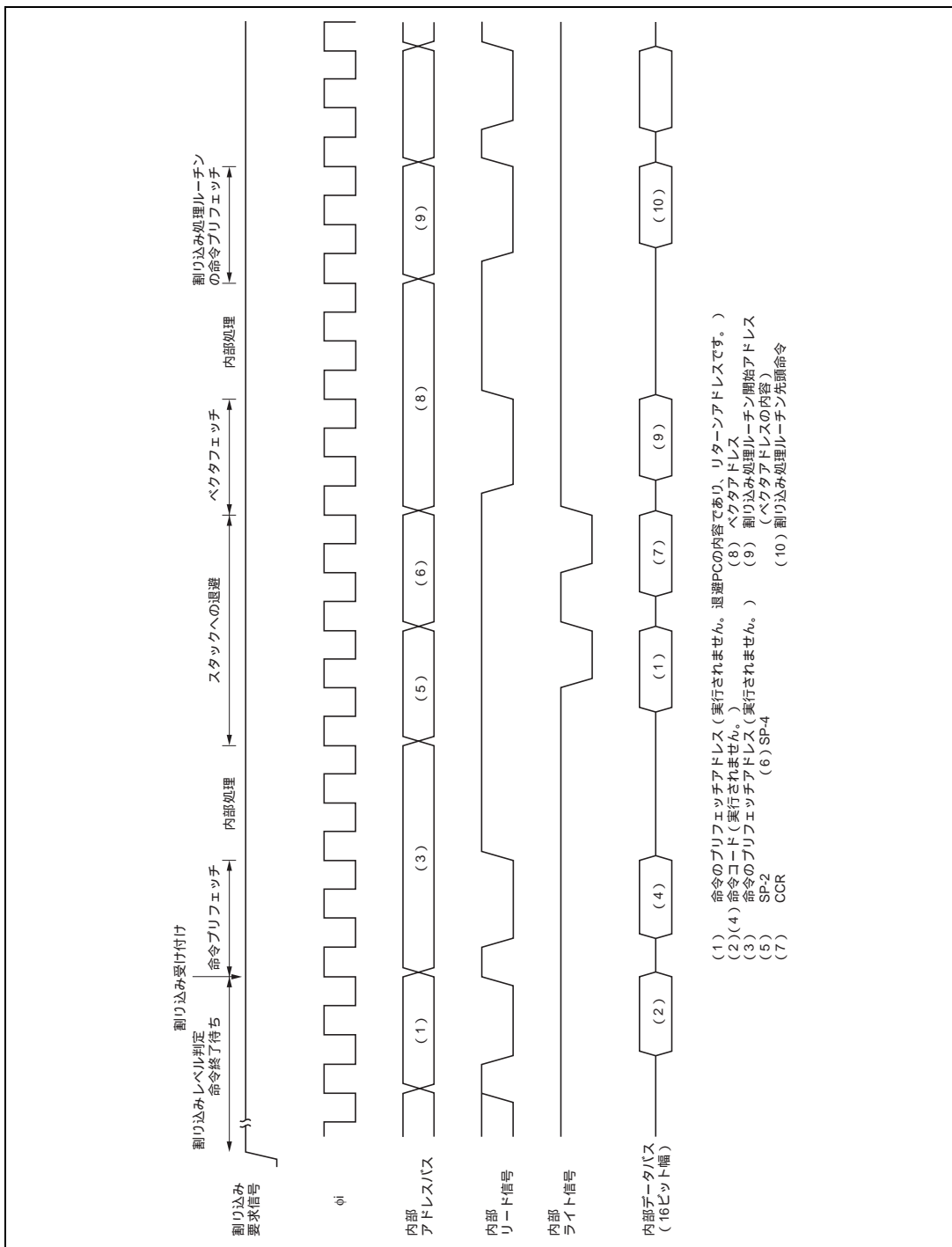


図 3.5 割り込みシーケンス

3.2.7 割り込み復帰動作

割り込み処理終了後、割り込み処理ルーチンの最後で RTE 命令を実行して、割り込み前のルーチンに復帰します。RTE 命令を実行すると図 3.6 に示すように、スタック領域に退避されていた内容が CCR および PC に戻されます。戻された PC の示すアドレスから命令の実行が再開されます。

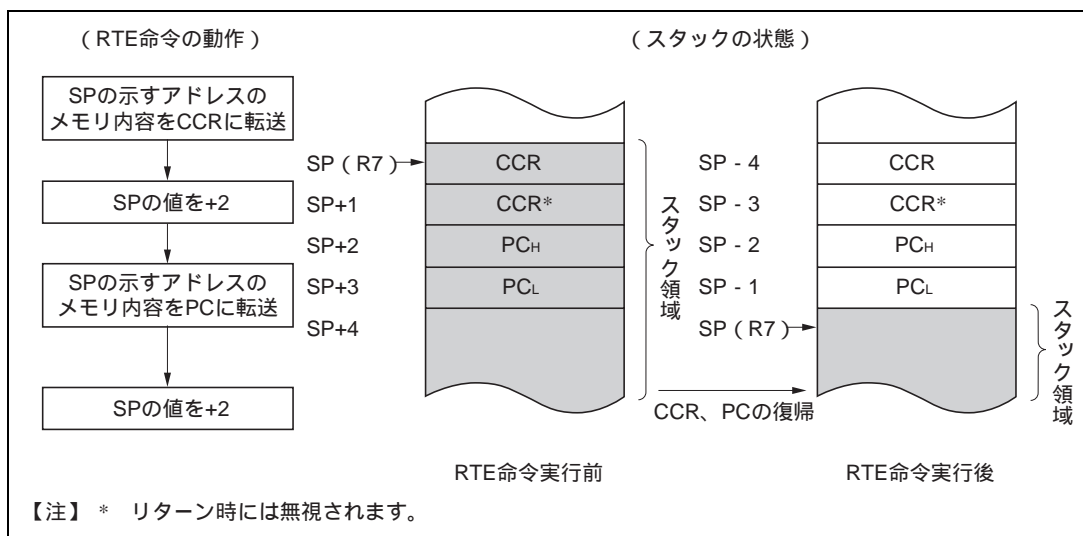


図 3.6 RTE 命令実行のスタック状態

3.2.8 割り込み応答時間

割り込み要求フラグセット後、割り込み処理ルーチンの先頭命令を実行するまでの、待ちステート数を表 3.4 に示します。

表 3.4 割り込み待ちステート数

No.	項目	ステート数
1	実行中の命令終了時の待ち時間*	1 ~ 13
2	PC、CCR のスタック	4
3	ベクタフェッチ	2
4	命令フェッチ	4
5	内部処理	4
	合計	15 ~ 27

【注】 * EEPMOV 命令は除きます。

3. システムコントロール

3.2.9 各モードにおける有効な割り込み要因

各モードにおける有効な割り込み要因を表 3.5 に示します。各モードの詳細は、「3.3 システムのモード」を参照してください。

表 3.5 各モードにおける有効な割り込み要因

要 因 \ モード	アクティブ	スリープ	スタンバイ	ウォッチ	サブアクティブ
IRQ ₀					
IRQ ₁				×	×
IRQ ₂		×	×	×	×
IRQ ₃		×	×	×	×
IRQ ₄		×	×	×	×
IRQ ₅		×	×	×	×
タイマ A オーバフロー			×		
タイマ B オーバフロー		×	×	×	×
タイマ C オーバフロー		×	×	×	×
タイマ D オーバフロー		×	×	×	×
タイマ E オーバフロー		×	×	×	×
ダイレクト遷移	×	×	×	×	
SCI1 転送完了、エラー		×	×	×	×
SCI2 転送完了、エラー		×	×	×	×
A/D 変換終了		×	×	×	×

【記号説明】

- ：割り込み要求フラグをセットし、CCR の I ビット = 0 かつ当該割り込み許可ビット = 1 のとき、割り込み例外処理を開始します。ただし、スリープモード、スタンバイモードまたはウォッチモード時は、モード遷移後割り込み例外処理を開始します。
- ：SYSCR2 の DTON ビット = 1 かつ SYSCR1 の LSON ビット = 0 の状態で、SLEEP 命令を実行すると、ウォッチモードへ遷移し、サブクロックに同期して割り込み要求フラグがセットされます。割り込み要求フラグがセットされると、当該割り込み許可ビット = 1 かつ CCR の I ビット = 0 のとき、アクティブモードへ遷移し、割り込み例外処理を開始します。
- ×：割り込み要求フラグはセットされず、モード遷移も行われません。

【注】 本表はモード遷移途中に発生した割り込みは含みません。

3.2.10 スタック領域に関する使用上の注意

H8/300L シリーズでは、ワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは、常にワードサイズで行い、スタックポインタ (SP : R7) の内容は奇数にしないでください。すなわち、レジスタの退避や復帰は、「PUSH Rn (MOV.W Rn, @-SP)」または「POP Rn (MOV.W @SP+, Rn)」を使用してください。

SP に奇数を設定すると、誤動作の原因となります。SP に奇数を設定した場合の動作例を図 3.7 に示します。

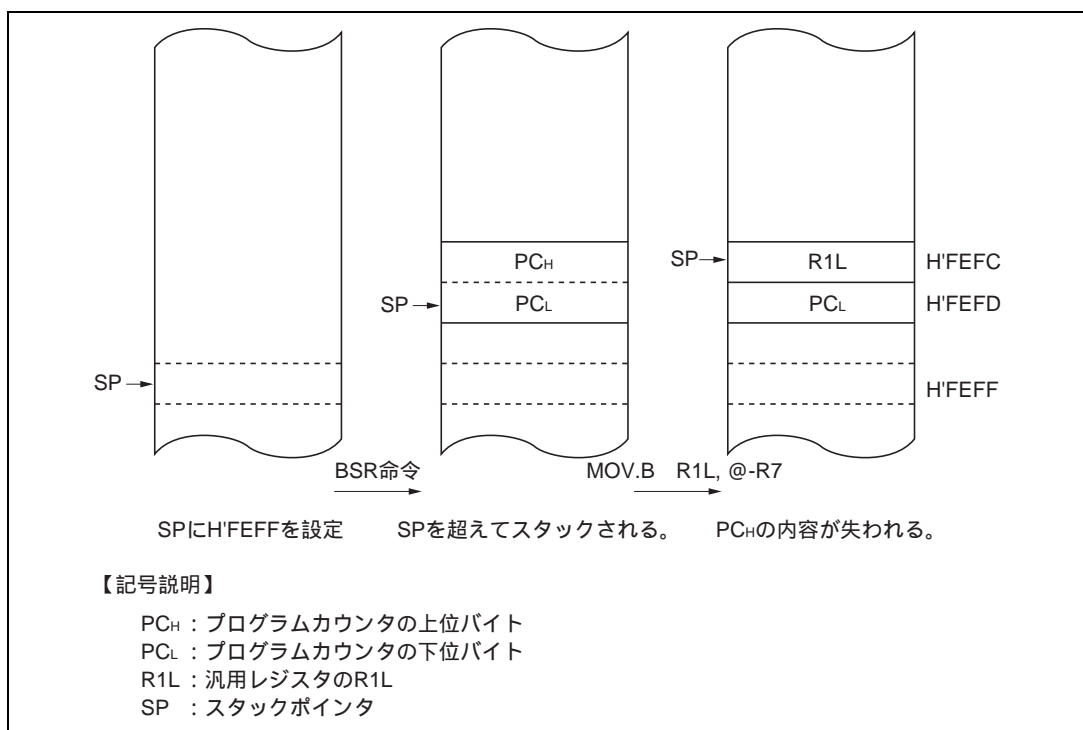


図 3.7 SP に奇数を設定したときの動作

また、割り込み例外処理および RTE 命令実行時の CCR の退避時および復帰時はワードサイズで扱われます。退避時には、ワードサイズデータの上位バイトおよび下位バイトともに CCR の値が退避されます。復帰時には、偶数アドレスの値が CCR に格納され、奇数アドレスの値は無視されます。

3.2.11 割り込み要求レジスタのクリアに関する使用上の注意

IRR1、IRR2、IRR3 の各ビットをクリアする場合、クリアする命令の実行中に、割り込み要求が発生すると割り込み要求フラグのセットが優先されますので注意してください。

3.3 システムのモード

3.3.1 概要

本LSIには、次の5種類のモードがあり、消費電力を低下させる低消費電力モードを備えています。モードの概要を表 3.6 に示します。

表 3.6 モードの概要

モード	説明	
アクティブモード	CPU がシステムクロックで、プログラムを順次実行しているモードです。	
低消費電力モード	スリープモード	CPU が動作を停止し、タイマ A の時計機能がシステムクロックで動作しているモードです。
	スタンバイモード	CPU およびすべての内蔵周辺モジュールが動作を停止しているモードです。
	ウォッチモード	CPU が動作を停止し、タイマ A の時計機能がサブクロックで動作しているモードです。
	サブアクティブモード	CPU およびタイマ A の時計機能がサブクロックで動作しているモードです。

図 3.8 にモード遷移図を示します。

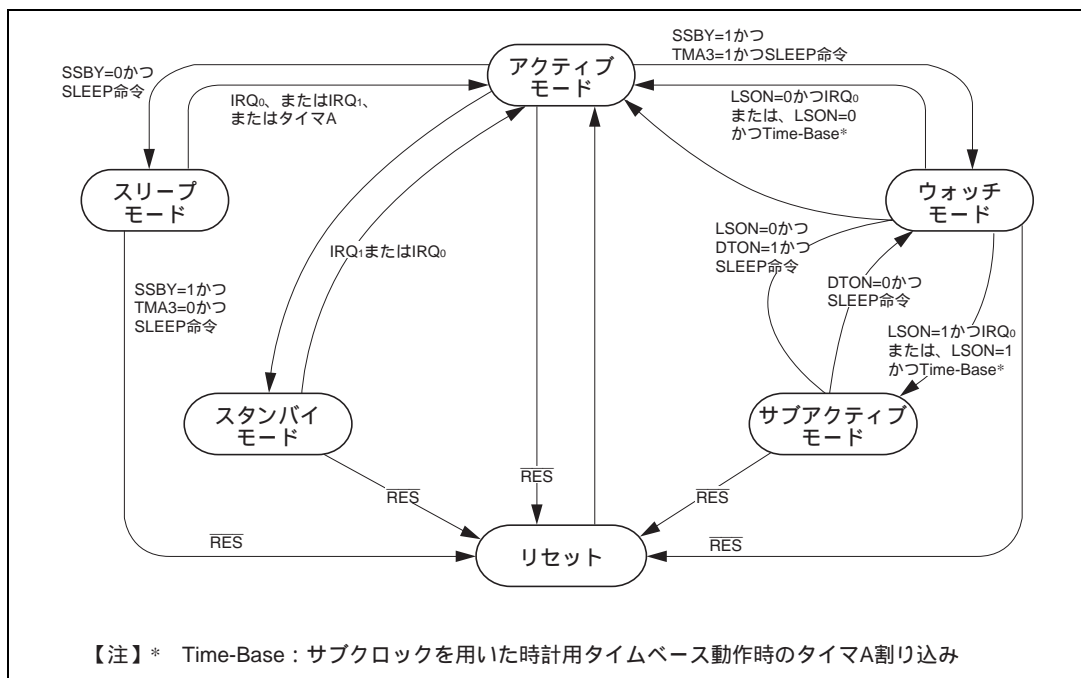


図 3.8 モード遷移図

各モードの内部状態について表 3.7 に示します。

表 3.7 各モード時の内部状態

機能		アクティブ	スリープ	スタンバイ	ウォッチ	サブアクティブ
システムクロック		動作	動作	停止	停止	停止
サブクロック		動作	動作	動作	動作	動作
CPU 動作	命令	動作	停止	停止	停止	動作
	RAM	動作	保持	保持	保持	動作
	レジスタ	動作	保持	保持	保持	動作
	I/O	動作	保持	保持 ^{*1}	保持 ^{*1}	動作 ^{*2}
周辺機能 割り込み	IRQ ₀	動作	動作	動作	動作	動作
	IRQ ₁	動作	動作	動作	保持	保持
	IRQ ₂ ~ IRQ ₅	動作	保持	保持	保持	保持
	タイマ A	動作	動作	保持	動作 ^{*3}	動作 ^{*3}
	タイマ B	動作	保持	保持	保持	保持
	タイマ C	動作	保持	保持	保持	保持
	タイマ D	動作	保持	保持	保持	保持
	タイマ E	動作	保持	保持	保持	保持
	SCI _{1, 2}	動作	保持	保持	保持	保持
	PWM	動作	保持	保持	保持	保持
A/D	動作	保持	保持	保持	保持	

【注】 *1 レジスタは保持、出力はハイインピーダンス。

*2 レジスタは保持、出力はハイインピーダンス。ポートのリードは可能。

*3 時計機能を選択時に動作。

3.3.2 アクティブモード

CPU がシステムクロックで、プログラムを順次実行しているモードです。

3.3.3 スリープモード

(1) スリープモードへの遷移

アクティブモードで、SYSCR1 の SSBY ビット = 0 のときに、SLEEP 命令を実行すると、アクティブモード状態からスリープモードに遷移します。スリープモードでは、CPU の動作は停止しますが、レジスタ、RAM、ポートの内容は保持されます。発振器は動作し、外部割り込み (IRQ₁、IRQ₀)、タイマ A も動作します。

(2) スリープモードの解除

スリープモードの解除は、割り込み (IRQ₁、IRQ₀、タイマ A)、または $\overline{\text{RES}}$ 端子入力によって行われます。

(a) 割り込みによる解除

IRQ₁、IRQ₀、またはタイマ A 割り込み要求が発生すると、スリープモードは解除され、割り込み例外処理を開始します。なお、コンディションコードレジスタ (CCR) の I ビット = 1 の場合と、割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、スリープ状態は解除されません。

また、スリープモードに遷移する前に、他の割り込みは禁止としてください。

(b) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、リセット状態に遷移し、スリープモードは解除されます。

3.3.4 スタンバイモード

(1) スタンバイモードへの遷移

アクティブモードで、SYSCR1 の SSBY ビット = 1 かつタイマモードレジスタ A (TMA) の TMA3 ビット = 0 のときに、SLEEP 命令を実行すると、スタンバイモードに遷移します。スタンバイモードでは、発振器が停止するため、CPU および内蔵周辺モジュールの機能が停止します。規定の電圧が与えられている限り、CPU のレジスタと内蔵 RAM のデータは保持されています。また、I/O ポートはハイインピーダンス状態になります。

(2) スタンバイモードの解除

スタンバイモードの解除は、外部割り込み (IRQ₁、IRQ₀)、または $\overline{\text{RES}}$ 端子入力により行われません。

(a) 割り込みによる解除

割り込み要求が発生するとクロックの発振が開始され、SYSCR1 の STS2 ~ STS0 ビットにより設定された時間が経過した後、安定したクロックが LSI 全体に供給されて、スタンバイモードは解除され、割り込み例外処理を開始します。この場合、スタンバイモードに遷移する前に他の割り込みは禁止としてください。なお、CCR の I ビットが 1 の場合と割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、スタンバイモードは解除されません。

(b) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロックの発振を開始し、スタンバイモードは解除されます。

発振安定時間経過後、 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU は例外処理を開始します。

なお、クロックの発振開始と同時に、LSI 全体にクロックが供給されるため、クロックの発振が安定するまで $\overline{\text{RES}}$ 端子は Low レベルに保持してください。

3.3.5 ウォッチモード

(1) ウォッチモードへの遷移

アクティブモードで、SYSCR1 の SSBY ビット = 1 かつ TMA の TMA3 ビット = 1 のときに SLEEP 命令を実行すると、ウォッチモードに遷移します。また、サブアクティブモードで、SYSCR2 の DTON ビット = 0 のとき SLEEP 命令を実行した場合にもウォッチモードに遷移します。ウォッチモードでは、システムクロック発振器をはじめ内蔵周辺モジュール(タイマ A の時計機能を除く)は動作を停止します。内蔵周辺モジュールによる出力はリセット状態になりますが、規定の電圧が与えられている限り、CPU と内蔵周辺モジュールの内部レジスタ、および内蔵 RAM の内容は保持され、I/O ポートはハイインピーダンス状態になります。

(2) ウォッチモードの解除

ウォッチモードの解除は、タイマ A の時計機能割り込み (Time-Base)、IRQ₀ 割り込み、または $\overline{\text{RES}}$ 端子入力により行われます。

(a) タイマ A の時計機能割り込み (Time-Base)、IRQ₀ 割り込みによる解除

時計機能動作中のタイマ A がオーバーフローするか、IRQ₀ 割り込み要求信号が入力されると、SYSCR1 の LSON ビット = 0 のときはクロック発振が開始され、SYSCR1 の STS2 ~ STS0 ビットにより設定された時間が経過した後、安定したクロックが LSI 全体に供給されて、ウォッチモードは解除され、割り込み例外処理を開始します。LSON ビット = 1 のときにはサブアクティブモードに遷移します。

ウォッチモードでは、サブクロック (ϕ_{SUB}) を分周したクロックがタイマ A に供給されます。このとき、タイマ A は時計機能動作 (Time-Base) となります。

ウォッチモードに遷移する前に他の外部割り込みは禁止としてください。なお、CCR の I ビット = 1 の場合と、割り込み許可レジスタにより当該割り込みの受け付けが禁止されている場合は、ウォッチモードから他のモードには遷移しません。

(b) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「3.3.4 スタンバイモード (2) スタンバイモードの解除 (b) $\overline{\text{RES}}$ 端子による解除」を参照してください。

3.3.6 サブアクティブモード

(1) サブアクティブモードへの遷移

ウォッチモードで、タイマ A の時計機能割り込み、または IRQ₀ 割り込み要求が発生したときに SYSCR1 の LSON ビット = 1 ならば、サブアクティブモードに遷移します。

サブアクティブモードでは、CPU はサブクロック (ϕ_{SUB}) で動作します。内蔵周辺モジュール(タイマ A の時計機能は除く)は動作を停止します。内蔵周辺モジュールによる出力はリセット状態になりますが、規定の電圧が与えられている限り、内蔵周辺モジュールの内部レジスタの内容は保持されます。また、I/O ポートはハイインピーダンス状態になります。

(2) サブアクティブモードの解除

サブアクティブモードの解除は、SLEEP 命令、または $\overline{\text{RES}}$ 端子入力により行われます。

3. システムコントロール

(a) SLEEP 命令による解除

サブアクティブモードの状態、SLEEP 命令を実行するとサブアクティブモードは解除されます。SLEEP 命令実行時、SYSCR2 の DTON ビット = 0 のときは、ウォッチモードに遷移します。また DTON = 1 かつ LSON = 0 のときは、ダイレクト遷移割り込み要求が発生し、クロックの発振が開始されず。SYSCR1 の STS2 ~ STS0 ビットにより設定された時間が経過した後、安定したクロックが LSI 全体に供給されて、アクティブモードへ遷移します。

この場合、アクティブモードに遷移する前に他の割り込みは禁止としてください。なお、CCR の I ビットが 1 の場合と割り込み許可レジスタによりダイレクト遷移割り込みの受け付けが禁止されている場合は、サブアクティブモードからアクティブモードへのダイレクト遷移は行われません。

(b) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子による解除については、「3.3.4 スタンバイモード (2) スタンバイモードの解除 (b) $\overline{\text{RES}}$ 端子による解除」を参照してください。

3.3.7 使用上の注意事項

(1) スタンバイモード、ウォッチモードの解除、およびサブアクティブモードからのアクティブモードへのダイレクト遷移では、発振安定時間を確保するために SYSCR1 の STS2 ~ STS0 ビットの設定を以下のようにしてください。

(a) 水晶 (セラミック) 発振の場合

待機時間が 10ms 以上となるように STS2 ~ STS0 ビットを設定してください (図 3.9 参照)。詳細は「3.4.1 システムコントロールレジスタ 1 (SYSCR1)」を参照してください。

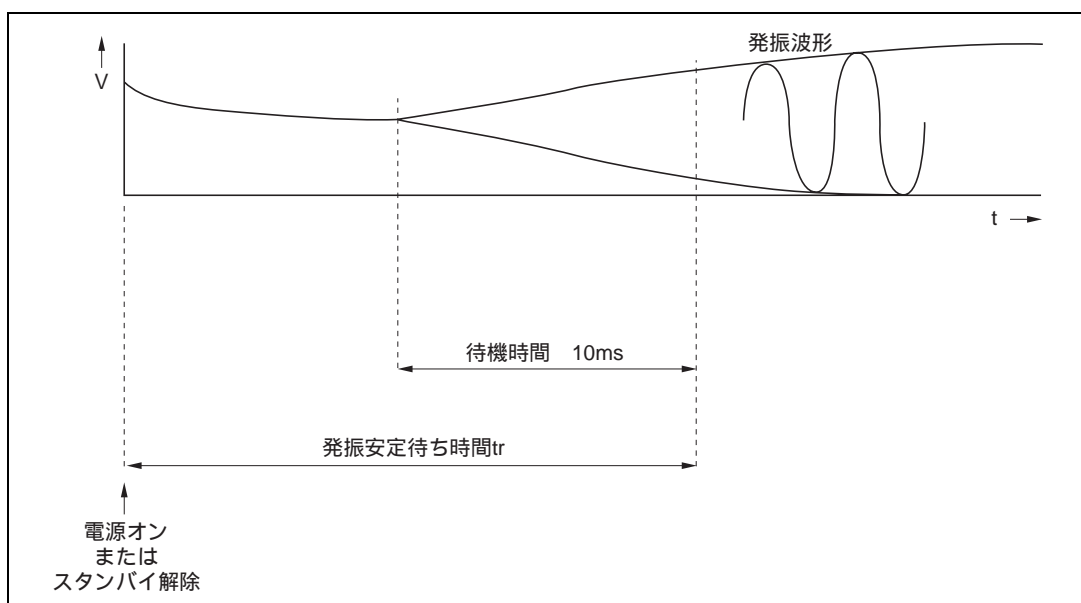


図 3.9 待機時間

- (b) 外部クロックの場合
任意の値を選択可能です。通常の場合は、最小時間 (STS2 = STS1 = STS0 = 0) の使用を推奨します。
- (2) サブアクティブモードからアクティブモードへの遷移は、SYSCR1のLSONビット=0かつSYSCR2のDTON=1の状態で行ってください。LSONビット=1でダイレクト遷移はできません。

3.4 システムコントロールレジスタ

システムコントロールレジスタ (SYSCR1、SYSCR2) の構成を表 3.7 に示します。この 2 本のレジスタは低消費電力モードの制御を行います。

表 3.7 レジスタ構成

名 称	略称	R/W	初期値	アドレス
システムコントロールレジスタ 1	SYSCR1	R/W	H'00	H'FFF0
システムコントロールレジスタ 2	SYSCR2	R/W	H'F4	H'FFF1

3.4.1 システムコントロールレジスタ 1 (SYSCR1)

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	LSON			
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W	R/W	R/W	R/W	R/W		

【注】 * アクティブモード時のみライト可能です。

SYSCR1 は、8 ビットのリードとライトが可能なレジスタで、低消費電力モードを制御します。

ビット 7: スタンバイ (SSBY)

スタンバイモードまたはウォッチモードの遷移を指定します。

なお、外部割り込みによりスタンバイモードが解除され、アクティブモードに遷移したとき、このビットは 1 にセットされたままです。クリアする場合は 0 をライトしてください。ライトは、アクティブモード時のみ可能です。

ビット 7	説 明
SSBY	
0	SLEEP 命令実行後、スリープモードに遷移 (初期値)
1	SLEEP 命令実行後、スタンバイモードまたはウォッチモードに遷移

3. システムコントロール

ビット6~4：スタンバイタイムセレクト2~0 (STS2~STS0)

システムクロックが停止するスタンバイモード、ウォッチモード、サブアクティブモードを解除する場合に、クロックが安定するまでCPUと内蔵周辺モジュールが待機する時間を指定します。動作周波数に応じて待機時間が10ms以上となるように指定してください。

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8,192 ステート (初期値)
		1	待機時間 = 16,384 ステート
	1	0	待機時間 = 32,768 ステート
		1	待機時間 = 65,536 ステート
1	*	*	待機時間 = 131,072 ステート

【記号説明】

* : Don't care

ビット3：ロースピードオンフラグ (LSON)

ウォッチモード解除時にCPUの動作クロックをシステムクロック(ϕ)にするか、サブクロック(ϕ_{SUB})にするかを選択します。モード間の遷移に関係するため、他の制御ビット、割り込み入力との組み合わせで機能します。

ビット3	説明
LSON	
0	CPUはシステムクロック(ϕ)で動作 (初期値)
1	CPUはサブクロック(ϕ_{SUB})で動作

ビット2：リザーブビット

リザーブビットです。リードとライトが可能です。

ビット1、0：リザーブビット

リザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

3.4.2 システムコントロールレジスタ2 (SYSCR2)

ビット:	7	6	5	4	3	2	1	0
					DTON			
初期値:	1	1	1	1	0	1	0	0
R/W:					W*			

【注】 * サブアクティブモードのみライト可能です。

SYSCR2は、8ビットのリードとライトが可能なレジスタで、サブアクティブモードからアクティブモードへのダイレクト遷移を指定します。

ビット7~4：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット3：ダイレクトトランスファオンフラグ (DTON)

サブアクティブモード時に SLEEP 命令を実行したとき、アクティブモードに遷移するか、ウォッチモードに遷移するかを選択します。アクティブモード遷移を選択した場合、発振安定時間を確保するためウォッチモードを経由してアクティブモードに遷移します。

ビット3	説明
DTON	
0	サブアクティブモード時、SLEEP 命令を実行するとウォッチモードに遷移 (初期値)
1	サブアクティブモード時、SYSCR1 の LSON ビット = 0 の状態で SLEEP 命令を実行すると、ダイレクト遷移割り込み要求を発生し、ウォッチモードを経由してアクティブモードに遷移

ビット2：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット1、0：リザーブビット

リザーブビットです。リードすると常に0が読み出されます。ライトは禁止です。

3. システムコントロール

4. クロック発振器

4.1 概要

本 LSI はクロック発生回路 (CPG: Clock Pulse Generator) を内蔵しています。クロック発生回路は、システムクロック発生回路およびサブクロック発生回路から構成されます。システムクロック発生回路は、システムクロック発振器、システムクロック分周器、内蔵周辺モジュール用クロック分周器 (プリスケアラ S) から構成されます。

サブクロック発振器は、サブクロック発振器、サブクロック分周器、タイムベース用サブクロック分周器 (プリスケアラ W) から構成されます。

4.1.1 ブロック図

クロック発生回路のブロック図を図 4.1 に示します。

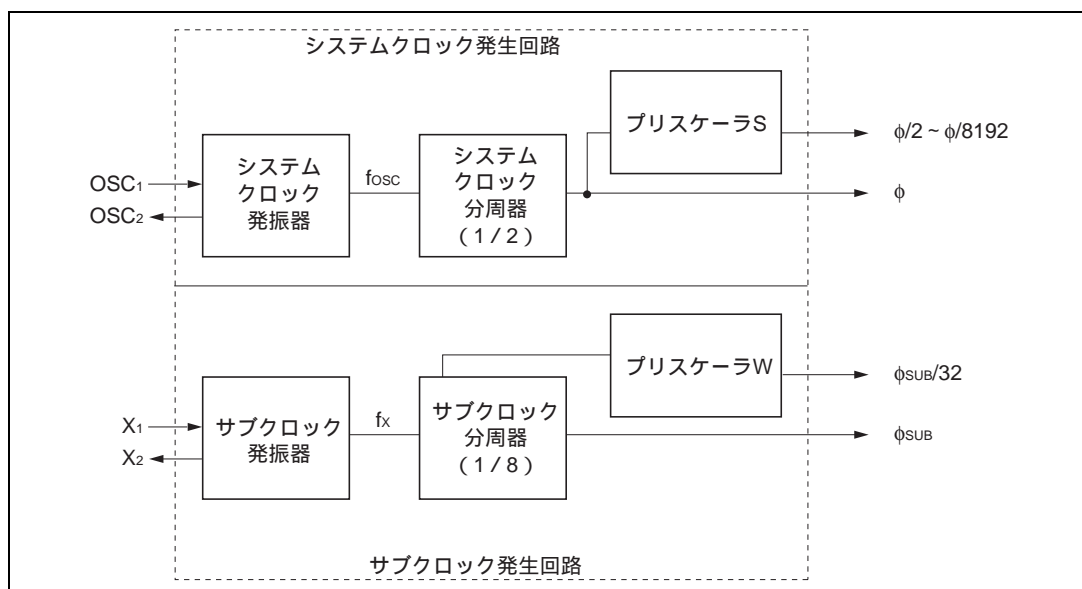


図 4.1 クロック発生回路のブロック図

4.2 システムクロック発振器

システムクロック分周器へクロックを供給する方法には、水晶発振子またはセラミック発振子を接続する方法と外部クロックを入力する方法の2通りがあります。

(1) 水晶発振子を接続する方法

(a) 回路構成

水晶発振子の接続例を図 4.2 に示します。

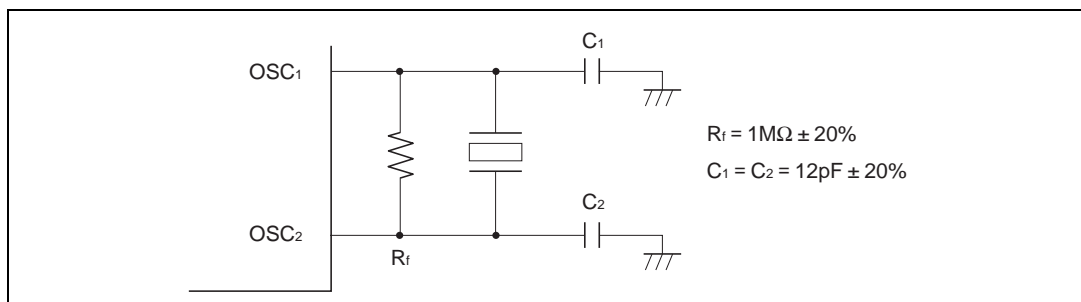


図 4.2 水晶発振子の接続例

(b) 水晶発振子

水晶発振子の等価回路を図 4.3 に示します。発振子は表 4.1 に示す特性のものを使用してください。

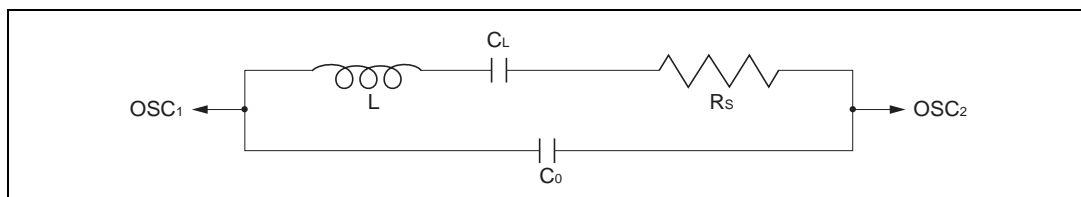


図 4.3 水晶発振子の等価回路

表 4.1 水晶発振子のパラメータ

周波数 (MHz)	2MHz	4	8
R_s max (Ω)	500	100	50
C_o max (pF)	7		

(2) セラミック発振子を接続する方法

(a) 回路構成

セラミック発振子の接続例を図 4.4 に示します。

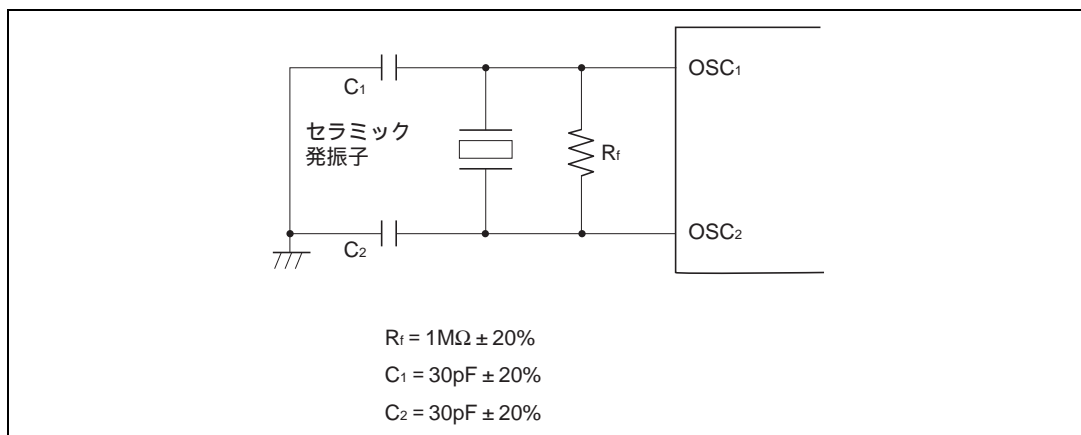


図 4.4 セラミック発振子の接続例

(3) ボード設計上の注意

水晶発振子（セラミック発振子）を接続して発振させる場合、次の点に注意してください。

発振回路部の近くで信号線を通させないでください。誘導により正しい発振ができなくなる場合があります（図 4.5 参照）。

また、ボード設計に際しては、発振子および負荷容量はできるだけ OSC_1 、 OSC_2 端子の近くに配置してください。

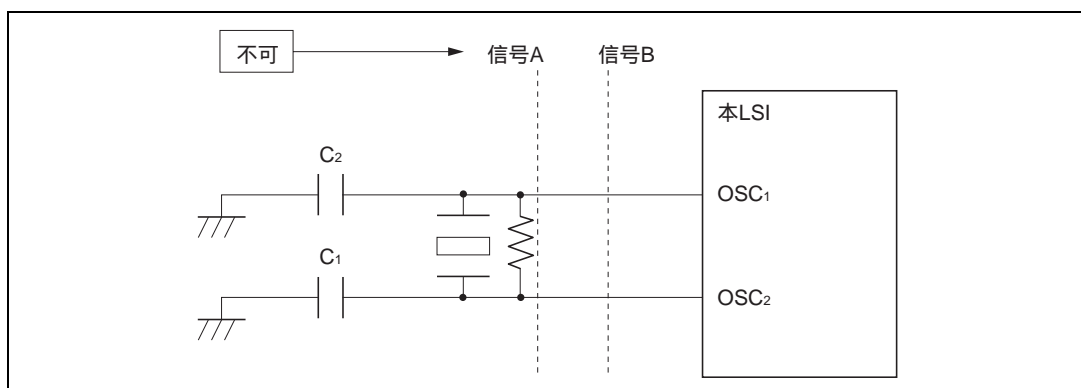


図 4.5 発振回路部のボード設計に関する注意事項

4. クロック発振器

(4) 外部クロックを入力する方法

(a) 回路構成

外部クロック入力の場合は、OSC₁端子に入力します。OSC₂端子はオープンとしてください。
この場合の接続例を図 4.6 に示します。

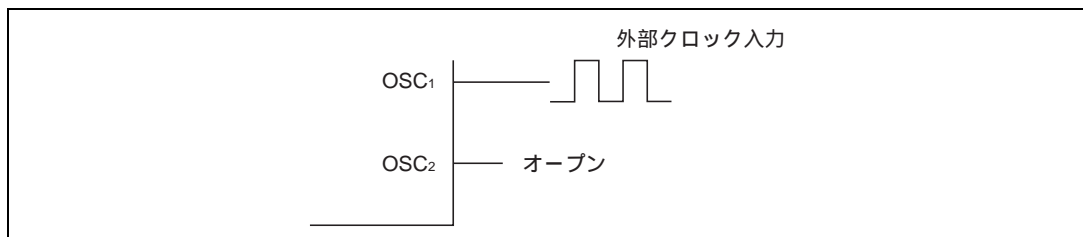


図 4.6 外部クロックを入力する場合の接続例

(b) 外部クロック

周波数	クロック (ϕ) の 2 倍
duty	45% ~ 55%

4.3 サブクロック発振器

(1) 32.768kHz 水晶発振子を接続する方法

サブクロック分周器へクロックを供給するには、図 4.7 に示すように 32.768kHz の水晶発振子を接続します。接続する場合の注意については、前項と同様です。

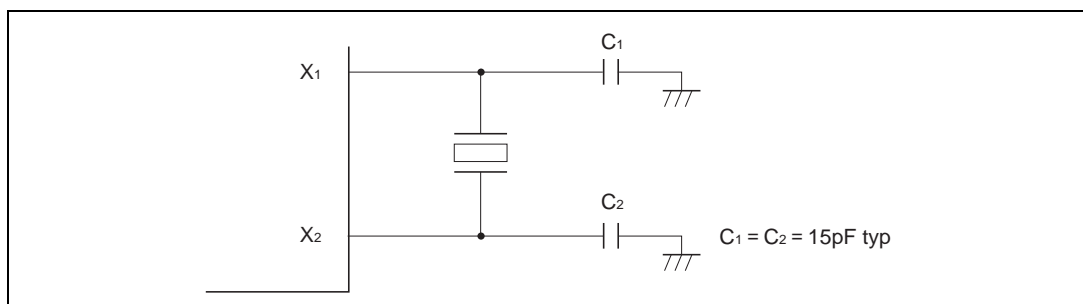


図 4.7 水晶発振子の接続例 (サブクロック)

水晶発振子の等価回路を図 4.8 に示します。

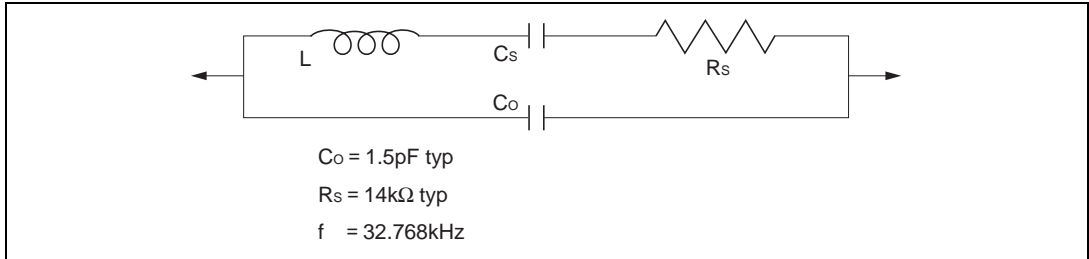


図 4.8 水晶発振子の等価回路

(2) サブクロックを使用しない場合の端子処理

サブクロックを使用しない場合には、図 4.9 に示すように X_1 端子を V_{CC} に接続し、 X_2 端子をオープンとしてください。

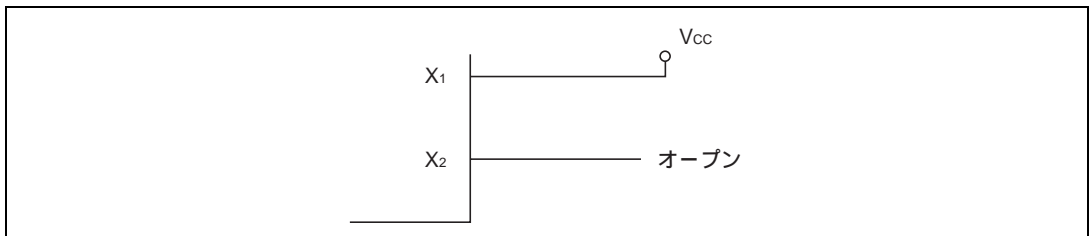


図 4.9 サブクロックを使用しない場合の端子処理

4. クロック発振器

5. I/O ポート

5.1 概要

本 LSI は、8 ビット CMOS 入出力ポートを 5 本*、6 ビット PMOS オープンドレイン入出力ポートを 1 本、8 ビット入力専用ポートを 1 本備えています。各ポートの機能一覧を表 5.1 に示します。

ポート 1、2、8、9、A は CMOS 入出力ポートで、入出力を制御するポートコントロールレジスタ (PCR) と出力データを格納するポートデータレジスタ (PDR) とで構成され、ビット単位に入出力を制御できます。

ポート 4 は PMOS オープンドレイン入出力ポートで、出力データを格納する PDR で構成され、ビット単位に出力を制御できます。

【注】* ポート 1 の P1₇、P1₆ 端子は入力専用端子です。

ポートをリードすると、次のように動作します。

(1) CMOS 入出力ポートのリード

- (a) PCR = 0 のとき、汎用ポートをリードすると、端子のレベルを読み出されます。
- (b) PCR = 1 のとき、汎用ポートをリードすると、PDR の当該ビットの値を読み出されます。
- (c) 内蔵周辺機能用端子に設定された端子をリードすると、端子のレベルを読み出されます。

(2) PMOS オープンドレイン入出力ポートのリード

- (a) 端子をリードすると、端子のレベルを読み出されます。

表 5.1 ポートの機能

ポート	概要	端子	兼用機能	機能切り替え制御レジスタ
ポート 0	• 8 ビット入力専用ポート	P0 ₇ ~ P0 ₀ / AN ₇ ~ AN ₀	アナログデータ入力チャンネル 7 ~ 0	ポートモードレジスタ 0 (PMR0)
ポート 1	• P1 ₇ 、P1 ₆ 2 ビット入力専用ポート	P1 ₇	なし	なし
		P1 ₆ /EVENT	タイマ D イベント入力	ポートモードレジスタ 1 (PMR1)
ポート 1	• P1 ₅ 、P1 ₄ 、P1 ₃ 、P1 ₂ 、 P1 ₁ 、P1 ₀ 6 ビット CMOS 入出力ポート	P1 ₅ /IRQ ₅ / TMOE	外部割り込み 5 タイマ E 出力	PMR1、ポートモードレジスタ 4 (PMR4)
		P1 ₄ /IRQ ₄ 、 P1 ₃ /IRQ ₃ 、 P1 ₂ /IRQ ₂ 、 P1 ₁ /IRQ ₁ 、 P1 ₀ /IRQ ₀	外部割り込み 4、3、2、1、0	PMR1
ポート 2	• 8 ビット CMOS 入出力ポート	P2 ₇ ~ P2 ₀	なし	なし
ポート 4	• 6 ビット PMOS オープンドレイン入出力ポート	P4 ₅ ~ P4 ₀	なし	なし
ポート 8	• 8 ビット CMOS 入出力ポート	P8 ₇ ~ P8 ₀	なし	なし

5. I/Oポート

ポート	概要	端子	兼用機能	機能切り替え制御レジスタ
ポート9	● 8ビットCMOS入出力ポート	P9 ₇ /UD	タイマCカウントアップ/ダウン選択	ポートモードレジスタ2 (PMR2) ポートモードレジスタ3 (PMR3)
		P9 ₆ /SO ₂	シリアルコミュニケーションインタフェース2 (SCI2) のデータ出力	
		P9 ₅ /SI ₂	SCI2 のデータ入力	
		P9 ₄ /SCK ₂	SCI2 のクロック入出力	
		P9 ₃ /SO ₁	シリアルコミュニケーションインタフェース1 (SCI1) のデータ出力	
		P9 ₂ /SI ₁	SCI1 のデータ入力	
		P9 ₁ /SCK ₁	SCI1 のクロック入出力	
ポートA	● 8ビットCMOS入出力ポート	PA ₇ ~ PA ₀	なし	なし

【注】 * H8/3612 に本機能はありません。

5.1.1 端子のオプション

各入出力端子のオプションの選択による状態を表 5.2 に示します。

リセット時には、PDR、PCR および PMR が初期化されて周辺機能選択が解除されます。

表 5.2 オプション選択

分類	端子	ブルアップ MOS 付き	ブルアップ MOS なし
入出力共通端子	P1 ₅ ~ P1 ₀ 、P2 ₇ ~ P2 ₀ 、P8 ₇ ~ P8 ₀ 、 P9 ₇ ~ P9 ₀ 、PA ₇ ~ PA ₀		
入力専用端子	P1 ₆		
	P1 ₇	×	
内蔵周辺機能入出力端子	SCK ₁ 、SCK ₂ (出力) *		
内蔵周辺機能出力端子	SO ₁ 、SO ₂ 、TMOE、PWM		
内蔵周辺機能入力端子	SI ₁ 、SI ₂ 、UD、EVENT、IRQ ₅ ~ IRQ ₀		

【記号説明】

: 選択可能です。

×: 選択できません。

【注】 * ポート0とポート4は、「ブルアップ MOS なし」オプションが固定となっています。シリアルコミュニケーションインタフェース使用時に、クロックソースに外部クロックを選択した場合、SCK₂、SCK₁端子は入力専用となります。

マスク ROM 版のマスクオプションは表 5.3 に示すように選択可能です。マスク ROM 版では、全端子ブルアップ MOS なしオプション選択時のみ ZTAT とコンパチブルになります。

表 5.3 マスク ROM 版と ZTAT 版の対応

分類	ブルアップ MOS 付き	ブルアップ MOS なし
マスク ROM	オプション	
ZTAT	-	固定

5.1.2 プルアップ MOS

ポート 1、2、8、9、A は、マスクオプションによりプルアップ MOS 付きまたはプルアップ MOS なし (CMOS) 出力を選択できます (ZTAT 版を除く)。ただし、P1₇端子は、プルアップ MOS 付きを選択できません。

プルアップ MOS の回路構成を図 5.1 に示します。

マスクオプションでプルアップ MOS 付きを選択した場合には、ポートデータレジスタ (PDR) とポートコントロールレジスタ (PCR) の値にかかわらずプルアップ MOS は常時 ON しています。プルアップ MOS の制御を表 5.4 に示します。

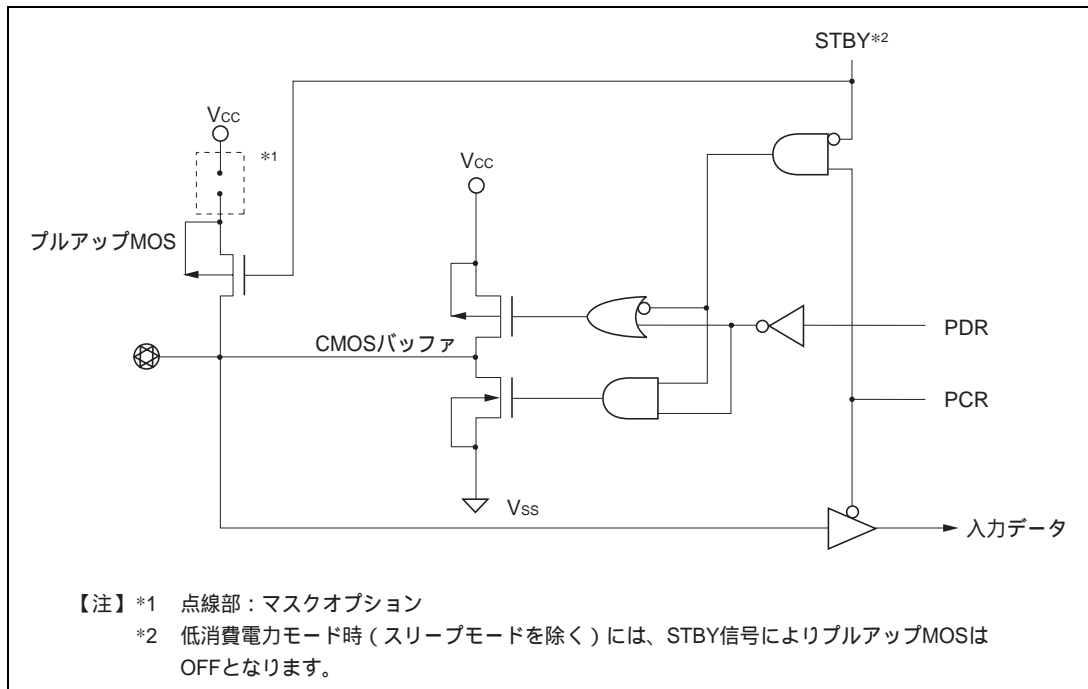


図 5.1 プルアップ MOS の回路構成

表 5.4 プルアップ MOS の制御

マスクオプション		プルアップ MOS 付き				プルアップ MOS なし			
		0		1		0		1	
PCR									
PDR		0	1	0	1	0	1	0	1
CMOS バッファ	PMOS	OFF	OFF	OFF	ON	OFF	OFF	OFF	ON
	NMOS	OFF	OFF	ON	OFF	OFF	OFF	ON	OFF
プルアップ MOS		ON	ON	ON	ON	-	-	-	-

5. I/Oポート

5.2 ポート 0

5.2.1 概要

ポート 0 は 8 ビットの入力専用ポートで、図 5.2 に示す構成となっています。

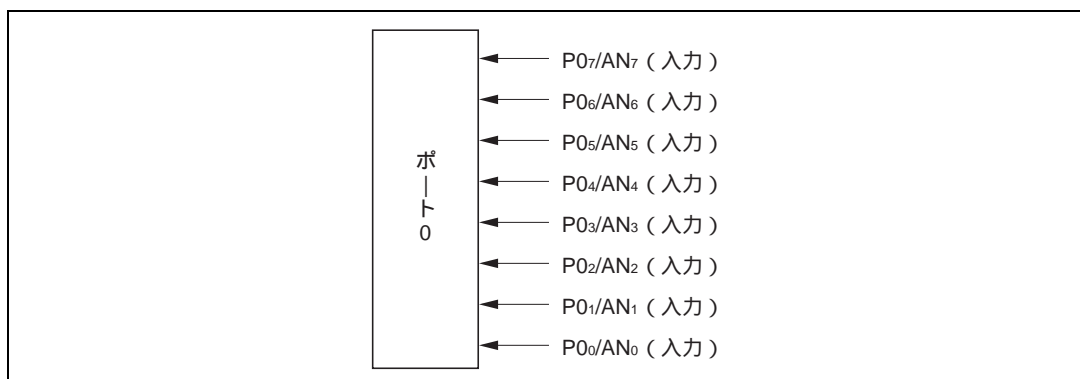


図 5.2 ポート 0 の端子構成

5.2.2 レジスタの構成と説明

ポート 0 のレジスタ構成を表 5.5 に示します。

表 5.5 ポート 0 レジスタ構成

名 称	略称	R/W	初期値	アドレス
ポートモードレジスタ 0	PMR0	W	H'00	H'FFEF
ポートデータレジスタ 0	PDR0	R	-	H'FFD0

(1) ポートモードレジスタ 0 (PMR0)

ビット:	7	6	5	4	3	2	1	0
	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PMR0 は、8 ビットのレジスタで P0_n/AN_n ~ P0₀/AN₀ 端子の機能切り替えを制御します。
リセット時、PMR0 は H'00 に初期化されます。

ビット n	説 明
ANn	
0	P0 _n /AN _n 端子は、P0 _n 入力端子 (初期値)
1	P0 _n /AN _n 端子は、AN _n 入力端子

(n=7~0)

(2) ポートデータレジスタ 0 (PDR0)

ビット:	7	6	5	4	3	2	1	0
	PDR0 ₇	PDR0 ₆	PDR0 ₅	PDR0 ₄	PDR0 ₃	PDR0 ₂	PDR0 ₁	PDR0 ₀
初期値:								
R/W:	R	R	R	R	R	R	R	R

PMR0 の対応するビットが 0 のとき、PDR0 をリードすると端子の状態が読み出されます。PMR0 の対応するビットが 1 のとき、PDR0 をリードすると 1 が読み出されます。

5.2.3 端子機能

ポート 0 の端子機能を表 5.6 に示します。

表 5.6 ポート 0 の端子機能

端 子	選択方法と端子機能						
P0 ₇ /AN ₇ ~ P0 ₀ /AN ₀	PMR0 の AN ₇ ~ AN ₀ ビットにより次のように切り替わります。 <table border="1" style="margin: 10px auto; border-collapse: collapse;"> <thead> <tr> <th style="width: 20%;">AN_n</th> <th style="width: 40%;">0</th> <th style="width: 40%;">1</th> </tr> </thead> <tbody> <tr> <td>端子機能</td> <td style="text-align: center;">P0_n入力端子</td> <td style="text-align: center;">AN_n入力端子</td> </tr> </tbody> </table> <div style="text-align: right; margin-top: 5px;">(n = 7 ~ 0)</div>	AN _n	0	1	端子機能	P0 _n 入力端子	AN _n 入力端子
AN _n	0	1					
端子機能	P0 _n 入力端子	AN _n 入力端子					

5.2.4 端子状態

ポート 0 の各モードにおける端子状態を表 5.7 に示します。

表 5.7 ポート 0 端子状態

端子名	リセット	スリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P0 ₇ /AN ₇ ~ P0 ₀ /AN ₀	ハイインピーダンス	保持	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	動作

5.3 ポート 1

5.3.1 概要

ポート 1 は、6 ビットの入出力ポート、2 ビットの入力専用ポートにより構成されます。
ポート 1 の各端子は、図 5.3 に示す構成となっています。

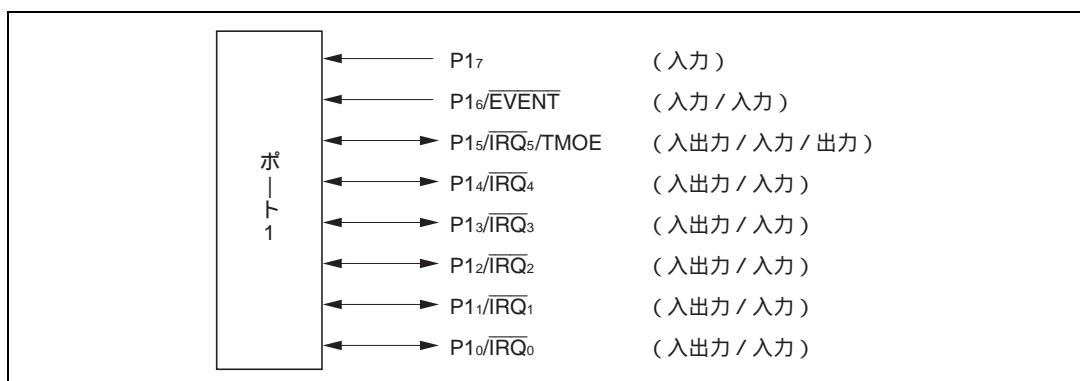


図 5.3 ポート 1 の端子構成

5.3.2 レジスタの構成と説明

ポート 1 のレジスタ構成を表 5.8 に示します。

表 5.8 ポート 1 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートモードレジスタ 1	PMR1	R/W	H'00	H'FFEB
ポートコントロールレジスタ 1	PCR1	W	H'C0	H'FFE1
ポートデータレジスタ 1	PDR1	R/W	不定	H'FFD1
ポートモードレジスタ 4	PMR4	R/W	H'0F	H'FFEE

(1) ポートモードレジスタ 1 (PMR1)

ビット:	7	6	5	4	3	2	1	0
	NOISE CANCEL	EVENT	IRQC5	IRQC4	IRQC3	IRQC2	IRQC1	IRQC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR1 は 8 ビットのリードとライトが可能なレジスタで、 $P1_6/\overline{EVENT}$ 端子、 $P1_5/\overline{IRQ}_5 \sim P1_0/\overline{IRQ}_0$ 端子の機能切り替えおよび \overline{IRQ}_0 端子のノイズキャンセル機能の ON または OFF を制御します。

PMR1 は、リセット時、H'00 に初期化されます。

ビット7：ノイズキャンセル（NOISE CANCEL）

$\overline{\text{IRQ}}_0$ 端子のノイズキャンセル機能の ON または OFF を設定します。スタンバイモード、ウォッチモード、およびサブアクティブモード時は、本ビットの設定にかかわらず、ノイズキャンセル機能は OFF の状態となります。

ビット7	説明
NOISE CANCEL	
0	ノイズキャンセル機能 OFF (初期値)
1	ノイズキャンセル機能 ON ($\overline{\text{IRQ}}_0$ 端子の入力を 256 ステートの間隔で 2 度サンプリングします。入力値が異なっていればノイズとみなします。)

ビット6： $P1_6/\overline{\text{EVENT}}$ 端子機能切り替え（EVENT）

$P1_6/\overline{\text{EVENT}}$ 端子を $P1_6$ 端子として使用するか、 $\overline{\text{EVENT}}$ 端子として使用するかを設定します。

ビット6	説明
EVENT	
0	$P1_6/\overline{\text{EVENT}}$ 端子は、 $P1_6$ 入力端子*として機能 (初期値)
1	$P1_6/\overline{\text{EVENT}}$ 端子は、 $\overline{\text{EVENT}}$ 入力端子（タイマ D のイベント入力）として機能

【注】* $P1_6/\overline{\text{EVENT}}$ 端子を $P1_6$ 端子として使用する場合でも、 $P1_6$ 端子をリードしたときにタイマカウンタ D がカウントアップされることがあります。タイマ D を使用する場合には、タイマモードレジスタ D（TMD）の CLR ビットにより、タイマカウンタ D を必ずクリアしてください。

ビット5： $P1_5/\overline{\text{IRQ}}_5/\text{TMOE}$ 端子機能切り替え（IRQC5）

$P1_5/\overline{\text{IRQ}}_5/\text{TMOE}$ 端子を $P1_5/\text{TMOE}$ 端子として使用するか、 $\overline{\text{IRQ}}_5$ 端子として使用するかを設定します。

ビット5	説明
IRQC5	
0	$P1_5/\overline{\text{IRQ}}_5/\text{TMOE}$ 端子は、 $P1_5/\text{TMOE}$ 端子として機能 (初期値)
1	$P1_5/\overline{\text{IRQ}}_5/\text{TMOE}$ 端子は、 $\overline{\text{IRQ}}_5$ 入力端子として機能

ビット4： $P1_4/\overline{\text{IRQ}}_4$ 端子機能切り替え（IRQC4）

$P1_4/\overline{\text{IRQ}}_4$ 端子を $P1_4$ 端子として使用するか、 $\overline{\text{IRQ}}_4$ 端子として使用するかを設定します。

ビット4	説明
IRQC4	
0	$P1_4/\overline{\text{IRQ}}_4$ 端子は、 $P1_4$ 端子として機能 (初期値)
1	$P1_4/\overline{\text{IRQ}}_4$ 端子は、 $\overline{\text{IRQ}}_4$ *入力端子として機能

【注】* $\overline{\text{IRQ}}_4$ 端子は立ち上がりエッジセンスまたは立ち下がりエッジセンスを選択できます。詳細は、「3.2.3 (2) IRQ エッジセレクトレジスタ (IEGR)」を参照してください。

5. I/O ポート

ビット 3 : $P1_3/\overline{IRQ}_3$ 端子機能切り替え (IRQC3)

$P1_3/\overline{IRQ}_3$ 端子を $P1_3$ 端子として使用するか、 \overline{IRQ}_3 端子として使用するかを設定します。

ビット 3	説明
IRQC3	
0	$P1_3/\overline{IRQ}_3$ 端子は、 $P1_3$ 端子として機能 (初期値)
1	$P1_3/\overline{IRQ}_3$ 端子は、 \overline{IRQ}_3 入力端子として機能

ビット 2 : $P1_2/\overline{IRQ}_2$ 端子機能切り替え (IRQC2)

$P1_2/\overline{IRQ}_2$ 端子を $P1_2$ 端子として使用するか、 \overline{IRQ}_2 端子として使用するかを設定します。

ビット 2	説明
IRQC2	
0	$P1_2/\overline{IRQ}_2$ 端子は、 $P1_2$ 端子として機能 (初期値)
1	$P1_2/\overline{IRQ}_2$ 端子は、 \overline{IRQ}_2 入力端子として機能

ビット 1 : $P1_1/\overline{IRQ}_1$ 端子機能切り替え (IRQC1)

$P1_1/\overline{IRQ}_1$ 端子を $P1_1$ 端子として使用するか、 \overline{IRQ}_1 端子として使用するかを設定します。

ビット 1	説明
IRQC1	
0	$P1_1/\overline{IRQ}_1$ 端子は、 $P1_1$ 端子として機能 (初期値)
1	$P1_1/\overline{IRQ}_1$ 端子は、 \overline{IRQ}_1 *入力端子として機能

【注】 * \overline{IRQ}_1 端子は立ち上がりエッジセンスまたは立ち下がりエッジセンスを選択できます。詳細は、「3.2.3 (2) IRQ エッジセレクトレジスタ (IEGR)」を参照してください。

ビット 0 : $P1_0/\overline{IRQ}_0$ 端子機能切り替え (IRQC0)

$P1_0/\overline{IRQ}_0$ 端子を $P1_0$ 端子として使用するか、 \overline{IRQ}_0 端子として使用するかを設定します。

ビット 0	説明
IRQC0	
0	$P1_0/\overline{IRQ}_0$ 端子は、 $P1_0$ 出力端子として機能 (初期値)
1	$P1_0/\overline{IRQ}_0$ 端子は、 \overline{IRQ}_0 *入力端子として機能

【注】 * \overline{IRQ}_0 端子は立ち上がりエッジセンスまたは立ち下がりエッジセンスを選択できます。詳細は、「3.2.3 (2) IRQ エッジセレクトレジスタ (IEGR)」を参照してください。

(2) ポートコントロールレジスタ 1 (PCR1)

ビット:	7	6	5	4	3	2	1	0
			PCR1 ₅	PCR1 ₄	PCR1 ₃	PCR1 ₂	PCR1 ₁	PCR1 ₀
初期値:	1	1	0	0	0	0	0	0
R/W:			W	W	W	W	W	W

PCR1 は、8 ビットのレジスタで、ポート 1 の各端子 P1₅ ~ P1₀ の入出力をビットごとに制御します。PCR1 に 1 をセットすると対応する P1₅ ~ P1₀ 端子は出力端子となり、0 にクリアすると入力端子となります。PCR1 はライト専用ですが、リードした場合は常に 1 が読み出されます。ビット 7、6 はリザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

PMR1 により当該端子が入出力端子に設定されている場合に PCR1 および PDR1 の設定が有効となります。

PCR1 は、リセット時、H'CO にイニシャライズされます。

(3) ポートデータレジスタ 1 (PDR1)

ビット:	7	6	5	4	3	2	1	0
			PDR1 ₅	PDR1 ₄	PDR1 ₃	PDR1 ₂	PDR1 ₁	PDR1 ₀
初期値:	*	*	0	0	0	0	0	0
R/W:			R/W	R/W	R/W	R/W	R/W	R/W

【注】 * P1₇、P1₆ 端子は入力専用のため、PDR1 をリードすると常に P1₇、P1₆ 端子のレベルが読み出されません。

PDR1 は、ポート 1 の各端子 P1₅ ~ P1₀ のデータを格納する 8 ビットのレジスタです。PCR1 が 1 のとき、ポート 1 のリードを行うと、PDR1 の値を直接リードします。そのため端子の状態の影響を受けません。PCR1 が 0 のときポート 1 のリードを行うと、端子の状態が読み出されます。

(4) ポートモードレジスタ 4 (PMR4)

ビット:	7	6	5	4	3	2	1	0
	TEO	TEO ON	FREQ	VRFR				
初期値:	0	0	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W				

PMR4 は、8 ビットのリードとライトが可能なレジスタで、P1₅/IRQ₅/TMOE 端子の機能切り替え、TMOE 端子の波形出力を制御します。ビット 3 ~ 0 は、リザーブビットです。リードすると常に 1 が読み出されます。

PMR4 は、リセット時、H'0F に初期化されます。

5. I/O ポート

ビット7：タイマ E 出力機能選択 (TEO)

ビット6：タイマ E 出力 ON/OFF (TEO ON)

ビット5：固定周波数選択 (FREQ)

ビット4：任意周波数選択 (VRFR)

PMR4 のビット 7~4、および PMR1 の IRQ5 ビットにより、 $P1_5/\overline{IRQ_5}$ /TMOE 端子機能は以下のように切り替わります。

PMR1	PMR4				端子機能	
	ビット5	ビット7	ビット6	ビット5		
IRQ5	TEO	TEO ON	FREQ	VRFR		
0	0	0	0	0	P1 ₅ 入出力端子 (初期値)	
		*	*	*	P1 ₅ 入出力端子	
	1	0	*	*	TMOE 出力端子 (OFF)	Low レベル出力
			1	0	0	TMOE 出力端子 (ON)
		1	1	1	固定周波数出力：(φ / 1024) 3.9kHz (φ = 4MHz) 1.95kHz (φ = 2MHz)	
*	*	*	1	任意周波数出力：タイマ E オーバフローによるトグル出力		
1	*	*	*	*	$\overline{IRQ_5}$ 入力端子	外部割り込み入力

【記号説明】

* : Don't care

5.3.3 端子機能

ポート 1 の端子機能を表 5.9 に示します。

表 5.9 ポート 1 の端子機能

端子	選択方法と端子機能												
P1 ₇	P1 ₇ 入力端子として機能します。												
P1 ₆ /EVENT	PMR1 の EVENT ビットにより、次のように切り替わります。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>EVENT</th> <th>0</th> <th>1</th> </tr> </thead> <tbody> <tr> <td>端子機能</td> <td>P1₆入力端子</td> <td>EVENT入力端子*</td> </tr> </tbody> </table> <p>【注】 * タイマ D イベント入力。</p>	EVENT	0	1	端子機能	P1 ₆ 入力端子	EVENT入力端子*						
EVENT	0	1											
端子機能	P1 ₆ 入力端子	EVENT入力端子*											
P1 ₅ /IRQ ₅ /TMOE、 P1 ₄ /IRQ ₄ ~ P1 ₀ /IRQ ₀	PMR1 の IRQC5 ~ IRQC0 ビット*と PCR1n ビットの組み合わせで、次のように切り替わります。 <table border="1" style="margin: 10px auto;"> <thead> <tr> <th>PMR1</th> <th colspan="2">0</th> <th>1</th> </tr> <tr> <th>PCR1n</th> <th>0</th> <th>1</th> <th>—</th> </tr> </thead> <tbody> <tr> <td>端子機能</td> <td>P1n入力端子</td> <td>P1n出力端子</td> <td>IRQ_n入力端子</td> </tr> </tbody> </table> <p style="text-align: right;">(n = 5 ~ 0)</p> <p>【注】 TMOE 機能については、「5.3.2 (4) ポートモードレジスタ 4 (PMR4)」を参照してください。 IRQ₄、IRQ₃、IRQ₀入力端子は立ち上がりエッジセンスまたは立ち下がりエッジセンスを IEGR により選択できます。詳細は「3.2.3 (2) IRQ エッジセレクトレジスタ (IEGR)」を参照してください。 IRQ₀入力端子はタイマ B、また IRQ₃入力端子はタイマ C のイベント入力端子として使用できます。詳細は「第 6 章 タイマ」を参照してください。</p> <ol style="list-style-type: none"> PMR1 の IRQ5 ~ IRQ0 ビットにより、端子機能を切り替える場合は、割り込み許可フラグを割り込み禁止とした状態で行ってください。また、端子機能を切り替えた後、一命令において当該割り込み要求フラグを 0 にクリアしてください。 「3.2.3 (1) ポートモードレジスタ (PMR1)」を参照してください。 低消費電力モードに入る前に PMR1 の IRQC5 ~ 0 ビットにより、外部割り込み入力に設定されている端子は、外部でフローティングにならないようにするか、または遷移前に PMR1 により入出力ポートの設定にしてください。 	PMR1	0		1	PCR1n	0	1	—	端子機能	P1n入力端子	P1n出力端子	IRQ _n 入力端子
PMR1	0		1										
PCR1n	0	1	—										
端子機能	P1n入力端子	P1n出力端子	IRQ _n 入力端子										

5.3.4 端子状態

ポート 1 の各モードにおける端子状態を表 5.10 に示します。

表 5.10 ポート 1 の端子状態

端子名	リセット	スリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P1 ₇	ハイインピーダンス	保持	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	動作
P1 ₆ /EVENT、 P1 ₅ /IRQ ₅ /TMOE、 P1 ₄ /IRQ ₄ ~ P1 ₀ /IRQ ₀	ハイインピーダンスまたはプルアップ					

5.4 ポート 2

5.4.1 概要

ポート 2 は、8 ビットの入出力ポートです。ポート 2 の構成を図 5.4 に示します。

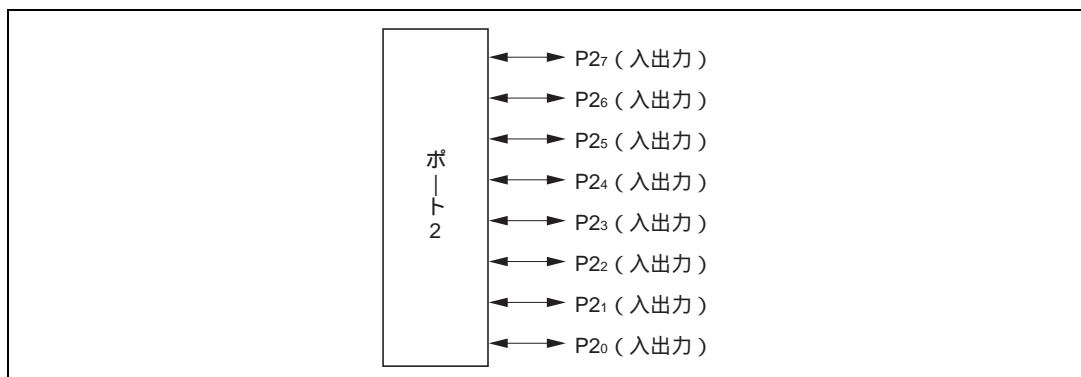


図 5.4 ポート 2 の端子構成

5.4.2 レジスタの構成と説明

ポート 2 のレジスタ構成を表 5.11 に示します。

表 5.11 ポート 2 レジスタ構成

名 称	略称	R/W	初期値	アドレス
ポートコントロールレジスタ 2	PCR2	W	H'00	H'FFE2
ポートデータレジスタ 2	PDR2	R/W	H'00	H'FFD2

(1) ポートコントロールレジスタ 2 (PCR2)

ビット:	7	6	5	4	3	2	1	0
	PCR2 ₇	PCR2 ₆	PCR2 ₅	PCR2 ₄	PCR2 ₃	PCR2 ₂	PCR2 ₁	PCR2 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PDR2 は、8 ビットのレジスタで、ポート 2 の各端子 P2₇ ~ P2₀ の入出力をビットごとに制御します。PCR2 に 1 をセットすると対応する P2₇ ~ P2₀ 端子は出力端子となり、0 にクリアすると入力端子となります。

PCR2 はライト専用ですが、リードした場合は常に 1 が読み出されます。

PCR2 は、リセット時、H'00 に初期化されます。

(2) ポートデータレジスタ2 (PDR2)

ビット:	7	6	5	4	3	2	1	0
	PDR2 ₇	PDR2 ₆	PDR2 ₅	PDR2 ₄	PDR2 ₃	PDR2 ₂	PDR2 ₁	PDR2 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR2は、ポート2の各端子P2₇~P2₀のデータを格納する8ビットのレジスタです。

PCR2が1のとき、ポート2のリードを行うと、PDR2の値を直接リードします。そのため端子の状態の影響を受けません。PCR2が0のときポート2のリードを行うと、端子の状態が読み出されず。

PDR2は、リセット時、H'00に初期化されます。

5.4.3 端子機能

ポート2の端子機能を表5.12に示します。

表5.12 ポート2の端子機能

端子	選択方法と端子機能	
P2 ₇ ~P2 ₀	PCR2の各ビットにより次のように切り替わります。	
	PCR2 _n	0
	端子機能	P2 _n 入力端子
		1
		P2 _n 出力端子
		(n=7~0)

5.4.4 端子状態

ポート2の各モードにおける端子状態を表5.13に示します。

表5.13 ポート2の端子状態

端子名	リセット	スリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P2 ₇ ~P2 ₀	ハイインピーダンスまたはプルアップ	保持	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	動作

5.5 ポート 4

5.5.1 概要

ポート 4 は、6 ビットの PMOS オープンドレイン入出力ポートです。ポート 4 の構成を図 5.5 に示します。

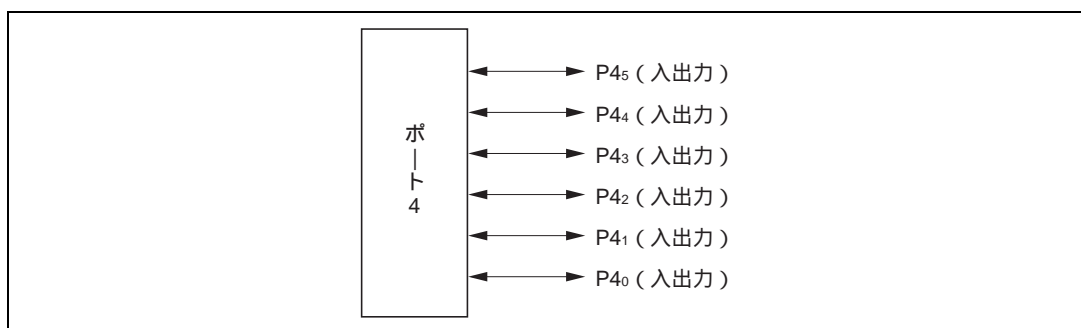


図 5.5 ポート 4 の端子構成

5.5.2 レジスタの構成と説明

ポート 4 のレジスタ構成を表 5.14 に示します。

表 5.14 ポート 4 レジスタ構成

名 称	略称	R/W	初期値	アドレス
ポートデータレジスタ 4	PDR4	R/W	H'00	H'FFD4

(1) ポートデータレジスタ 4 (PDR4)

ビット:	7	6	5	4	3	2	1	0
			PDR4 ₅	PDR4 ₄	PDR4 ₃	PDR4 ₂	PDR4 ₁	PDR4 ₀
初期値:	1	1	0	0	0	0	0	0
R/W:			R/W	R/W	R/W	R/W	R/W	R/W

PDR4 は、6 ビットのレジスタで、ポート 4 の各端子 P4₅ ~ P4₀ のデータを格納します。

ビット 7、6 はリザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。PDR4 は、リセット時、H'00 に初期化されます。

5.5.3 端子機能

ポート 4 の端子機能を表 5.15 に示します。

表 5.15 ポート 4 の端子機能

端子	選択方法と端子機能	
P4 ₅ ~ P4 ₀	PMOS オープンドレイン入出力端子です。PDR4 の各ビットにより、次のように切り替わります。	
	PDR4 _n	
	0	1
	端子機能	出力端子
	端子状態	Highレベル
		(n=5~0)

5.5.4 端子状態

ポート 4 の各モードにおける端子状態を表 5.16 に示します。

表 5.16 ポート 4 の端子状態

端子名	リセット	スリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P4 ₀ ~ P4 ₅	ハイインピーダンス	保持	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	動作

5.6 ポート 8

5.6.1 概要

ポート 8 は、8 ビットの入出力ポートです。ポート 8 の構成を図 5.6 に示します。

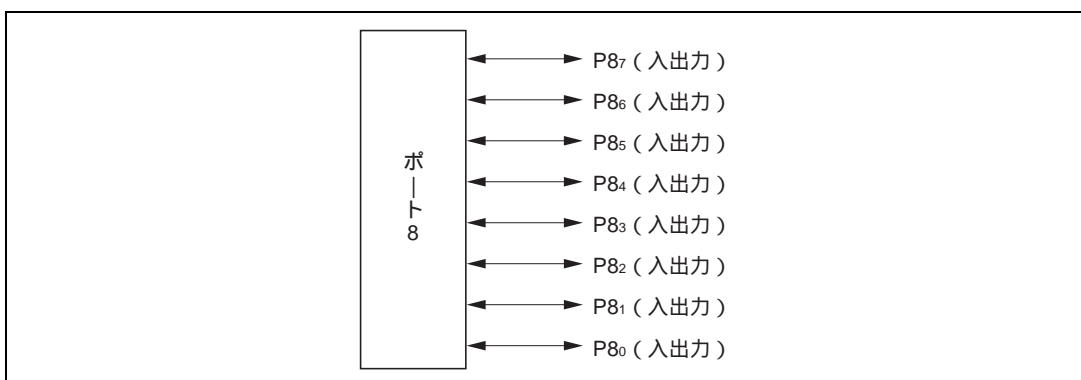


図 5.6 ポート 8 の端子構成

5. I/Oポート

5.6.2 レジスタの構成と説明

ポート8のレジスタ構成を表5.17に示します。

表 5.17 ポート8レジスタ構成

名 称	略称	R/W	初期値	アドレス
ポートコントロールレジスタ8	PCR8	W	H'00	H'FFE8
ポートデータレジスタ8	PDR8	R/W	H'00	H'FFD8

(1) ポートコントロールレジスタ8 (PCR8)

ビット:	7	6	5	4	3	2	1	0
	PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR8は、8ビットのレジスタで、ポート8の各端子P8₇~P8₀の入出力をビットごとに制御します。PCR8に1をセットすると対応するP8₇~P8₀端子は出力端子となり、0にクリアすると入力端子となります。

PCR8はライト専用ですが、リードした場合は常に1が読み出されます。

PCR8は、リセット時、H'00に初期化されます。

(2) ポートデータレジスタ8 (PDR8)

ビット:	7	6	5	4	3	2	1	0
	PDR8 ₇	PDR8 ₆	PDR8 ₅	PDR8 ₄	PDR8 ₃	PDR8 ₂	PDR8 ₁	PDR8 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR8は、8ビットのレジスタで、ポート8の各端子P8₇~P8₀のデータを格納します。

PCR8が1のとき、ポート8のリードを行うと、PDR8の値を直接リードします。そのため端子の状態の影響を受けません。PCR8が0のときポート1のリードを行うと、端子の状態が読み出されます。

PDR8は、リセット時、H'00に初期化されます。

5.6.3 端子機能

ポート8の端子機能を表5.18に示します。

表 5.18 ポート8の端子機能

端 子	選択方法と端子機能						
P8 ₇ ~P8 ₀	PCR8の各ビットにより次のように切り替わります。 <table border="1" style="margin-left: 20px;"> <tr> <td>PCR8_n</td> <td>0</td> <td>1</td> </tr> <tr> <td>端子機能</td> <td>P8_n入力端子</td> <td>P8_n出力端子</td> </tr> </table> <p style="text-align: right;">(n=7~0)</p>	PCR8 _n	0	1	端子機能	P8 _n 入力端子	P8 _n 出力端子
PCR8 _n	0	1					
端子機能	P8 _n 入力端子	P8 _n 出力端子					

5.6.4 端子状態

ポート 8 の各モードにおける端子状態を表 5.19 に示します。

表 5.19 ポート 8 の端子状態

端子名	リセット	スリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P8 ₇ ~ P8 ₀	ハイインピーダンスまたはプルアップ	保持	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	動作

5.7 ポート 9

5.7.1 概要

ポート 9 は、8 ビットの入出力ポートです。ポート 9 の構成を図 5.7 に示します。

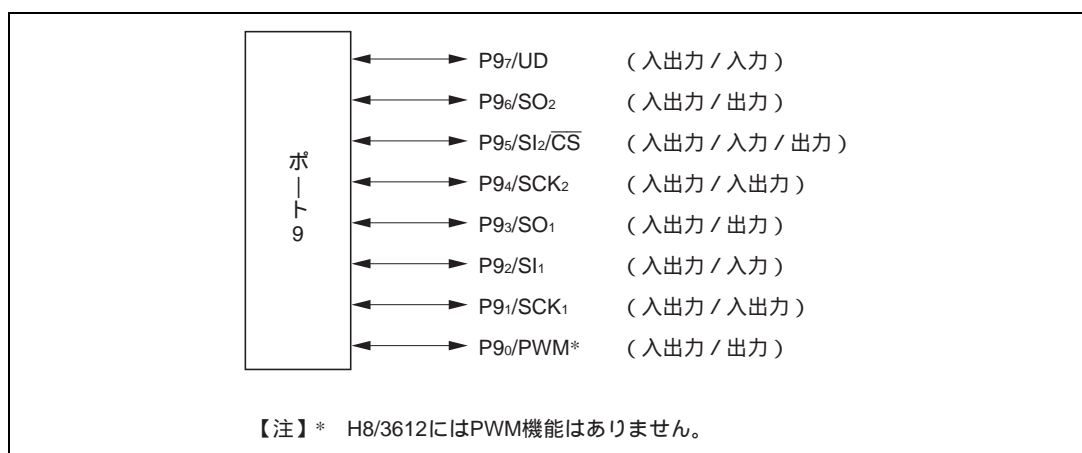


図 5.7 ポート 9 の端子構成

5.7.2 レジスタの構成と説明

ポート 9 のレジスタ構成を表 5.20 に示します。

表 5.20 ポート 9 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポートモードレジスタ 2	PMR2	R/W	H'00	H'FFEC
ポートコントロールレジスタ 9	PCR9	W	H'00	H'FFE9
ポートデータレジスタ 9	PDR9	R/W	H'00	H'FFD9

5. I/O ポート

(1) ポートモードレジスタ 2 (PMR2)

ビット:	7	6	5	4	3	2	1	0
	UP/DOWN	SO ₂	SI ₂	SCK ₂	SO ₁	SI ₁	SCK ₁	PWM*
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * H8/3612 には PWM 機能はありません。

PMR2 は 8 ビットのリードとライトが可能なレジスタで、ポート 9 の各端子機能の切り替えを制御します。

PMR2 は、リセット時、H'00 に初期化されます。

ビット 7 : P9₇/UD 端子機能切り替え (UP/DOWN)

P9₇/UD 端子を P9₇ 入出力端子として使用するか、UD 入力端子として使用するかを設定します。本ビットの設定は、タイマモードレジスタ C (TMC) の TMC6 ビット = 1 で、端子によるアップ/ダウン制御が指定されているときに有効となります。

ビット 7	説明
UP/DOWN	
0	P9 ₇ /UD 端子は、P9 ₇ 入出力端子として機能 (初期値)
1	P9 ₇ /UD 端子は、UD 入力端子として機能 (TMC の TMC6 ビットが 1 のとき、UD 端子が High レベルならばタイマ C はダウンカウンタ、Low レベルならばアップカウンタとして動作します。)

ビット 6 : P9₆/SO₂ 端子機能切り替え (SO₂)

P9₆/SO₂ 端子を P9₆ 入出力端子として使用するか、SO₂ 出力端子として使用するかを設定します。

ビット 6	説明
SO ₂	
0	P9 ₆ /SO ₂ 端子は、P9 ₆ 入出力端子として機能 (初期値)
1	P9 ₆ /SO ₂ 端子は、SO ₂ 出力端子として機能

ビット 5 : P9₅/SI₂/CS 端子機能切り替え (SI₂)

P9₅/SI₂/CS 端子を P9₅ 入出力端子として使用するか、SI₂ 入力端子または CS 出力端子として使用するかを設定します。SI₂ 入力端子と CS 出力端子の切り替えについては、「9.2.5 ポートモードレジスタ 3 (PMR3)」を参照してください。

ビット 5	説明
SI ₂	
0	P9 ₅ /SI ₂ /CS 端子は、P9 ₅ 入出力端子として機能 (初期値)
1	P9 ₅ /SI ₂ /CS 端子は、SI ₂ 入力端子または CS 出力端子として機能

ビット 4 : P9₄/SCK₂ 端子機能切り替え (SCK2)

P9₄/SCK₂ 端子を P9₄ 入出力端子として使用するか、SCK₂ 入出力端子として使用するかを設定します。

ビット 4	説 明
SCK2	
0	P9 ₄ /SCK ₂ 端子は、P9 ₄ 入出力端子として機能 (初期値)
1	P9 ₄ /SCK ₂ 端子は、SCK ₂ 入出力端子として機能 (クロック入出力の方向、分周比はシリアルモードレジスタ 2 (SMR2) の設定によります。)

ビット 3 : P9₃/SO₁ 端子機能切り替え (SO1)

P9₃/SO₁ 端子を P9₃ 入出力端子として使用するか、SO₁ 出力端子として使用するかを設定します。

ビット 3	説 明
SO1	
0	P9 ₃ /SO ₁ 端子は、P9 ₃ 入出力端子として機能 (初期値)
1	P9 ₃ /SO ₁ 端子は、SO ₁ 出力端子として機能

ビット 2 : P9₂/SI₁ 端子機能切り替え (SI1)

P9₂/SI₁ 端子を P9₂ 入出力端子として使用するか、SI₁ 入力端子として使用するかを設定します。

ビット 2	説 明
SI1	
0	P9 ₂ /SI ₁ 端子は、P9 ₂ 入出力端子として機能 (初期値)
1	P9 ₂ /SI ₁ 端子は、SI ₁ 入力端子として機能

ビット 1 : P9₁/SCK₁ 端子機能切り替え (SCK1)

P9₁/SCK₁ 端子を P9₁ 入出力端子として使用するか、SCK₁ 入出力端子として使用するかを設定します。

ビット 1	説 明
SCK1	
0	P9 ₁ /SCK ₁ 端子は、P9 ₁ 入出力端子として機能 (初期値)
1	P9 ₁ /SCK ₁ 端子は、SCK ₁ 入出力端子として機能 (クロック入出力の方向、分周比はシリアルモードレジスタ 1 (SMR1) の設定によります。)

ビット 0 : P9₀/PWM 端子機能切り替え (PWM) *

P9₀/PWM 端子を P9₀ 入出力端子として使用するか、PWM 出力端子として使用するかを設定します。

ビット 0	説 明
PWM	
0	P9 ₀ /PWM 端子は、P9 ₀ 入出力端子として機能 (初期値)
1	P9 ₀ /PWM 端子は、PWM 出力端子として機能

【注】 * H8/3612 には PWM 機能はありません。

5. I/O ポート

(2) ポートコントロールレジスタ 9 (PCR9)

ビット:	7	6	5	4	3	2	1	0
	PCR9 ₇	PCR9 ₆	PCR9 ₅	PCR9 ₄	PCR9 ₃	PCR9 ₂	PCR9 ₁	PCR9 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCR9 は、8 ビットのレジスタで、ポート 9 の各端子 P9₇ ~ P9₀ の入出力をビットごとに制御します。PCR9 に 1 をセットすると対応する P9₇ ~ P9₀ 端子は出力端子となり、0 にクリアすると入力端子となります。PMR2 により当該端子が入出力端子に設定されている場合に PCR9 および PDR9 の設定が有効となります。

PCR9 はライト専用ですが、リードした場合は常に 1 が読み出されます。

PCR9 は、リセット時、H'00 に初期化されます。

(3) ポートデータレジスタ 9 (PDR9)

ビット:	7	6	5	4	3	2	1	0
	PDR9 ₇	PDR9 ₆	PDR9 ₅	PDR9 ₄	PDR9 ₃	PDR9 ₂	PDR9 ₁	PDR9 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR9 は、8 ビットのレジスタで、ポート 9 の各端子 P9₇ ~ P9₀ のデータを格納します。

PCR9 が 1 のときポート 9 のリードを行うと PDR9 の値を直接リードします。そのため端子の状態の影響を受けません。PCR9 が 0 のときポート 9 のリードを行うと端子の状態が読み出されます。

PDR9 は、リセット時、H'00 に初期化されます。

5.7.3 端子機能

ポート 9 の端子機能を表 5.21 に示します。

表 5.21 ポート 9 端子機能

端 子	選択方法と端子機能		
P9 ₇ /UD	PMR2 の UP/DOWN ビット*、および PCR9 の PCR9 ₇ ビットにより次のように切り替わります。		
	UP/DOWN	0	
	PCR9 ₇	0	1
	端子機能	P9 ₇ 入力端子	P9 ₇ 出力端子
<p>【注】 * 低消費電力モードに入る前に PMR2 の UP/DOWN ビットにより、UD 入力端子に設定されている場合には、外部でフローティングにならないようするか、または遷移前に UP/DOWN ビットを 0 として入出力端子の設定にしてください。</p>			

端 子	選択方法と端子機能			
P9 ₆ /SO ₂ *	PMR2のSO2ビット、PCR9のPCR9 ₆ ビットにより次のように切り替わります。			
	0		1	
SO2				
PCR9 ₆	0	1	—	
端子機能	P9 ₆ 入力端子	P9 ₆ 出力端子	SO ₂ 出力端子	
	【注】 * P9 ₆ /SO ₂ 端子は、PMR3のSO ₂ PMOSビットにより、PMOSのON/OFFを制御できます。詳細は、「9.2.5 ポートモードレジスタ3(PMR3)」を参照してください。			
P9 ₅ /SI ₂ /CS	PMR2のSI2ビット*、PMR3のCSビット、PCR9のPCR9 ₅ ビットにより次のように切り替わります。			
	0		1	
SI2				
CS	—		0	1
PCR9 ₅	0	1	—	—
端子機能	P9 ₅ 入力端子	P9 ₅ 出力端子	SI ₂ 入力端子	CS出力端子
	【注】 * 低消費電力モードに入る前にPMR2のSI2ビットにより、SI ₂ 入力端子が設定されている場合には、外部でフローティングにならないようにするか、または遷移前にSI2ビットを0として入出力端子の設定にしてください。			
P9 ₄ /SCK ₂	PMR2のSCK2ビット*、シリアルコントロールレジスタ2(SCR2)のPS1、0ビット*、およびPCR9のPCR9 ₄ ビットにより次のように切り替わります。			
	0		1	
SCK2				
PS1、0	—		11以外	11
PCR9 ₄	0	1	—	—
端子機能	P9 ₄ 入力端子	P9 ₄ 出力端子	SCK ₂ 出力端子	SCK ₂ 入力端子
	【注】 SCR2のPS1、0ビットの設定については、「9.2.3 シリアルコントロールレジスタ2(SCR2)」を参照してください。 * 低消費電力モードに入る前にPMR2のSCK2ビット、SCR2のPS1、0ビットにより、SCK ₂ 入力端子に設定されている場合には、外部でフローティングにならないようにするか、または遷移前にSCK2ビット、PS1、0ビットを書き換えてSCK ₂ 入力端子以外の設定にしてください。			
P9 ₃ /SO ₁ *	PMR2のSO1ビット、PCR9のPCR9 ₃ ビットにより次のように切り替わります。			
	0		1	
SO1				
PCR9 ₃	0	1	—	
端子機能	P9 ₃ 入力端子	P9 ₃ 出力端子	SO ₁ 出力端子	
	【注】 * P9 ₃ /SO ₁ 端子は、PMR3のSO1PMOSビットにより、PMOSのON/OFFを制御できます。詳細は、「8.2.6 ポートモードレジスタ3(PMR3)」を参照してください。			

5. I/O ポート

端子	選択方法と端子機能																				
P9 ₂ /SI ₁	PMR2のSI1ビット*、PCR9のPCR9 ₂ ビットにより次のように切り替わります。 <table border="1" style="margin: 10px auto;"> <tr> <td>SI1</td> <td colspan="2">0</td> <td>1</td> </tr> <tr> <td>PCR9₂</td> <td>0</td> <td>1</td> <td>—</td> </tr> <tr> <td>端子機能</td> <td>P9₂入力端子</td> <td>P9₂出力端子</td> <td>SI₁入力端子</td> </tr> </table> <p>【注】 * 低消費電力モードに入る前にPMR2のSI1ビットにより、SI₁入力端子に設定されている場合には、外部でフローティングにならないようにするか、または遷移前にSI1ビットを0として入出力端子の設定にしてください。</p>	SI1	0		1	PCR9 ₂	0	1	—	端子機能	P9 ₂ 入力端子	P9 ₂ 出力端子	SI ₁ 入力端子								
SI1	0		1																		
PCR9 ₂	0	1	—																		
端子機能	P9 ₂ 入力端子	P9 ₂ 出力端子	SI ₁ 入力端子																		
P9 ₁ /SCK ₁	PMR2のSCK1ビット*、SMR1のSMR3~0ビット*、およびPCR9のPCR9 ₁ ビットにより次のように切り替わります。 <table border="1" style="margin: 10px auto;"> <tr> <td>SCK1</td> <td colspan="2">0</td> <td colspan="2">1</td> </tr> <tr> <td>SMR13~10</td> <td colspan="2">—</td> <td>1111以外</td> <td>1111</td> </tr> <tr> <td>PCR9₁</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> </tr> <tr> <td>端子機能</td> <td>P9₁入力端子</td> <td>P9₁出力端子</td> <td>SCK₁出力端子</td> <td>SCK₁入力端子</td> </tr> </table> <p>【注】 SMR1のSMR13~10ビットの設定については、「8.2.1 シリアルモードレジスタ1(SMR1)」を参照してください。</p> <p>* 低消費電力モードに入る前にPMR2のSCK1ビット、SMR1のSMR13~10ビットにより、SCK₁入力端子に設定されている場合には、外部でフローティングにならないようにするか、または遷移前にSCK1ビット、SMR13~10ビットを書き換えてSCK₁入力端子以外の設定にしてください。</p>	SCK1	0		1		SMR13~10	—		1111以外	1111	PCR9 ₁	0	1	—	—	端子機能	P9 ₁ 入力端子	P9 ₁ 出力端子	SCK ₁ 出力端子	SCK ₁ 入力端子
SCK1	0		1																		
SMR13~10	—		1111以外	1111																	
PCR9 ₁	0	1	—	—																	
端子機能	P9 ₁ 入力端子	P9 ₁ 出力端子	SCK ₁ 出力端子	SCK ₁ 入力端子																	
P9 ₀ /PWM*	PMR2のPWMビット、およびPCR9のPCR9 ₀ ビットにより次のように切り替わります。 <table border="1" style="margin: 10px auto;"> <tr> <td>PWM</td> <td colspan="2">0</td> <td>1</td> </tr> <tr> <td>PCR9₀</td> <td>0</td> <td>1</td> <td>—</td> </tr> <tr> <td>端子機能</td> <td>P9₀入力端子</td> <td>P9₀出力端子</td> <td>PWM出力端子</td> </tr> </table> <p>【注】 * H8/3612にはPWM機能はありません。</p>	PWM	0		1	PCR9 ₀	0	1	—	端子機能	P9 ₀ 入力端子	P9 ₀ 出力端子	PWM出力端子								
PWM	0		1																		
PCR9 ₀	0	1	—																		
端子機能	P9 ₀ 入力端子	P9 ₀ 出力端子	PWM出力端子																		

5.7.4 端子状態

ポート9の各モードにおける端子状態を表5.22に示します。

表 5.22 ポート9の端子状態

端子名	リセット	スリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P9 ₇ /UD、 P9 ₆ /SO ₂ 、 P9 ₅ /SI ₂ /CS、 P9 ₄ /SCK ₂ 、 P9 ₃ /SO ₁ 、 P9 ₂ /SI ₁ 、 P9 ₁ /SCK ₁ 、 P9 ₀ /PWM	ハイインピーダンスまたはプルアップ	保持	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	動作

5.8 ポート A

5.8.1 概要

ポート A は、8 ビットの入出力ポートです。ポート A の構成を図 5.8 に示します。

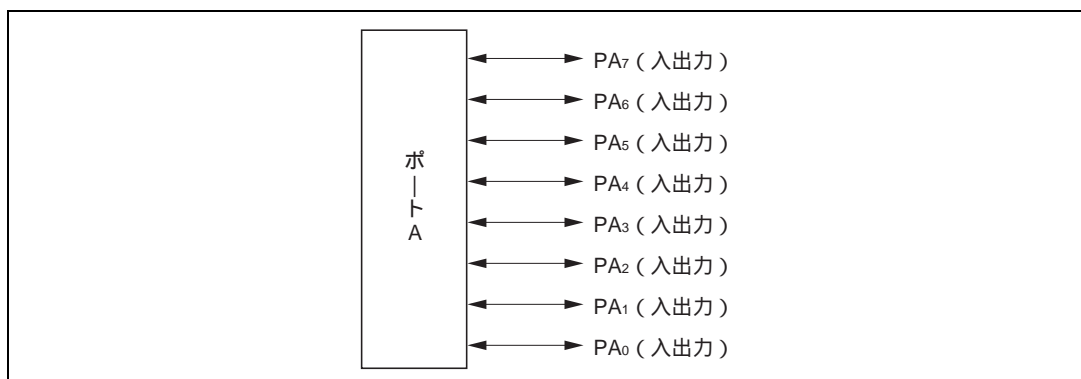


図 5.8 ポート A の端子構成

5.8.2 レジスタの構成と説明

ポート A のレジスタ構成を表 5.23 に示します。

表 5.23 ポート A レジスタ構成

名 称	略称	R/W	初期値	アドレス
ポートコントロールレジスタ A	PCRA	W	H'00	H'FFEA
ポートデータレジスタ A	PDRA	R/W	H'00	H'FFDA

(1) ポートコントロールレジスタ A (PCRA)

ビット:	7	6	5	4	3	2	1	0
	PCRA ₇	PCRA ₆	PCRA ₅	PCRA ₄	PCRA ₃	PCRA ₂	PCRA ₁	PCRA ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PCRA は、8 ビットのレジスタで、ポート A の各端子 PA₇ ~ PA₀ の入出力をビットごとに制御します。PCRA に 1 をセットすると対応する PA₇ ~ PA₀ 端子は出力端子となり、0 にクリアすると入力端子となります。

PCRA はライト専用ですが、リードした場合は常に 1 が読み出されます。

PCRA は、リセット時、H'00 に初期化されます。

5. I/O ポート

(2) ポートデータレジスタ A (PDRA)

ビット:	7	6	5	4	3	2	1	0
	PDRA ₇	PDRA ₆	PDRA ₅	PDRA ₄	PDRA ₃	PDRA ₂	PDRA ₁	PDRA ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDRA は、ポート A の各端子 PA₇ ~ PA₀ のデータを格納する 8 ビットのレジスタです。

PCRA が 1 のとき、ポート A のリードを行うと、PDRA の値を直接リードします。そのため端子の状態の影響を受けません。PCRA が 0 のときポート A のリードを行うと、端子の状態が読み出されず。

PDRA は、リセット時、H'00 に初期化されます。

5.8.3 端子機能

ポート A の端子機能を表 5.24 に示します。

表 5.24 ポート A の端子機能

端 子	選択方法と端子状態	
PA ₇ ~ PA ₀	PCRA の各ビットにより次のように切り替わります。	
	PCRA _n	0
	端子機能	PA _n 入力端子
		1
		PA _n 出力端子
		(n=7~0)

5.8.4 端子状態

ポート A の各モードにおける端子状態を表 5.25 に示します。

表 5.25 ポート A の端子状態

端子名	リセット	スリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
PA ₇ ~ PA ₀	ハイインピーダンスまたはプルアップ	保持	ハイインピーダンス	ハイインピーダンス	ハイインピーダンス	動作

6. タイマ

6.1 概要

本 LSI は、入力クロックの異なる 2 本のプリスケラ（プリスケラ S、プリスケラ W）と 5 本のタイマ（タイマ A～E）を内蔵しています。

プリスケラ S はシステムクロック ($\phi = f_{OSC} / 2$) を入力クロックとする 13 ビットのカウンタで、分周した出力をタイマ A～C、タイマ E の動作クロックとして使用します。

プリスケラ W はサブクロック ($\phi_{SUB} = f_x / 8$) を入力クロックとする 5 ビットのカウンタで、分周した出力をタイマ A の時計用タイムベース動作に使用します。

タイマ A～E の機能概要を表 6.1 に示します。

表 6.1 タイマ A～E の機能概要

タイマ名称	機能	内部クロック	イベント 入力端子	波形 出力端子	備考
タイマ A	<ul style="list-style-type: none"> 8 ビットインターバルタイマ機能 時計用タイムベース機能 	$\phi / 8 \sim \phi / 8192$ (8 種類) ----- $\phi_{SUB} / 32$ (オーバフロー周期は 4 種類選択可能)	-	-	
タイマ B	<ul style="list-style-type: none"> 8 ビットオートリロードタイマ機能 8 ビットインターバルタイマ機能 イベントカウント機能 	$\phi / 8 \sim \phi / 8192$ (7 種類)	$P1_7 / \overline{IRQ}_0$	-	
タイマ C	<ul style="list-style-type: none"> 8 ビットオートリロードタイマ機能 8 ビットインターバルタイマ機能 イベントカウント機能 カウントアップ/ダウン制御可能 	$\phi / 8 \sim \phi / 8192$ (7 種類)	$P1_7 / \overline{IRQ}_1$	-	カウントアップ/ダウンは、ソフトウェア制御、ハードウェア制御とも可能
タイマ D	<ul style="list-style-type: none"> 8 ビットイベントカウンタ機能 	-	$P1_6 / \overline{EVENT}$	-	
タイマ E	<ul style="list-style-type: none"> 8 ビットオートリロードタイマ機能 8 ビットインターバルタイマ機能 	$\phi / 8 \sim \phi / 8192$ (8 種類)	-	$P1_6 / \overline{IRQ}_5 / TMOE$	デューティ 50% の方形波を出力可能

6.1.1 プリスケーラの動作

(1) プリスケーラ S (PSS)

PSS はシステムクロック ($\phi = f_{osc} / 2$) を入力クロックとする 13 ビットのカウンタで、1 サイクルごとにカウントアップします。

リセット時、プリスケーラ S は H'0000 に初期化され、アクティブモード遷移後、カウントアップを開始します。

スタンバイモード、ウォッチモード、およびサブアクティブモードでは、システムクロック (ϕ) 発振器が停止するため、PSS の動作も停止します。このとき、その値は H'0000 にリセットされます。

CPU から PSS のデータをリードまたはライトすることはできません。

PSS の出力は、タイマ A~C、E およびシリアルコミュニケーションインタフェース 1、2 (SCI1、2) で共用しており、分周比は各内蔵周辺機能で独立に設定できます。

(2) プリスケーラ W (PSW)

PSW はサブクロック ($\phi_{SUB} = f_x / 8$) を入力クロックとする 5 ビットのカウンタです。

リセット時、PSW は H'00 に初期化され、アクティブモード遷移後、カウントアップを開始します。

スタンバイモード、ウォッチモード、およびサブアクティブモードに移行しても、 X_1 、 X_2 端子によりクロックが供給されているかぎり、PSW は動作を継続します。

PSW は、タイマモードレジスタ A (TMA) の TMA3、2 ビットをそれぞれ 1 に設定することでリセットできます。

PSW の出力は、タイマ A の動作クロックとして使用できます。このとき、タイマ A は時計用タイムベースとして機能します。

PSS、PSW による周辺機能へのクロック供給を図 6.1 に示します。

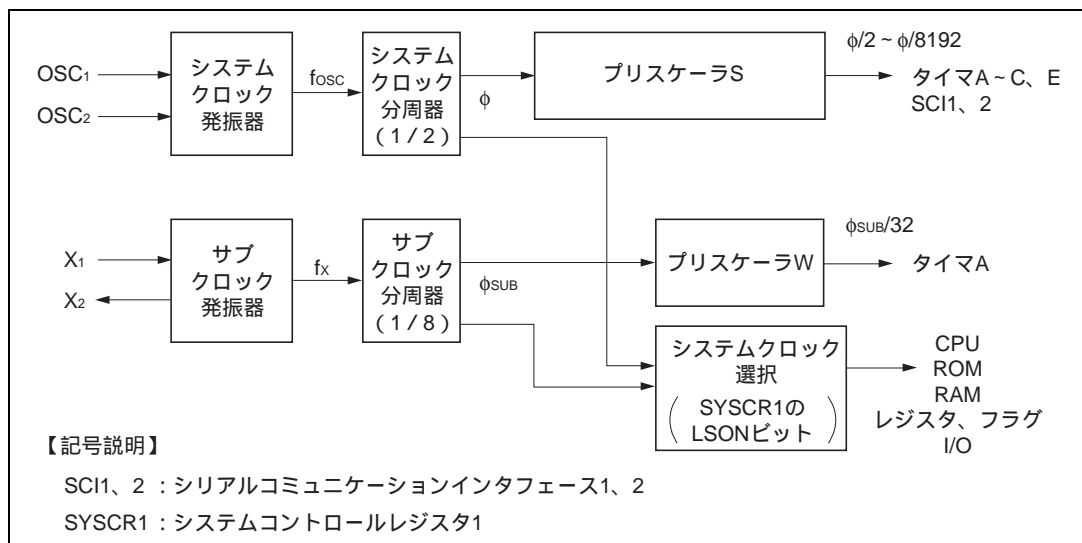


図 6.1 クロック供給

6.2 タイマ A

6.2.1 概要

タイマ A は 8 ビットのインターバルタイマです。32.768kHz の水晶発振器を接続すると時計用タイムベースとして使用できます。

(1) 特長

タイマ A の特長を以下に示します。

8 種類の内部クロックを選択可能

8 種類の内部クロック ($\phi/8192$ 、 $\phi/4096$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/128$ 、 $\phi/32$ 、 $\phi/8$) が選択可能です。

4 種類のオーバーフロー周期を選択可能

時計用タイムベースとして 4 種類のオーバーフロー周期 (2s、1s、0.5s、125ms) が選択可能です (32.768kHz 水晶発振子を使用)。

カウンタのオーバーフローで割り込み要求を発生

(2) ブロック図

タイマ A のブロック図を図 6.2 に示します。

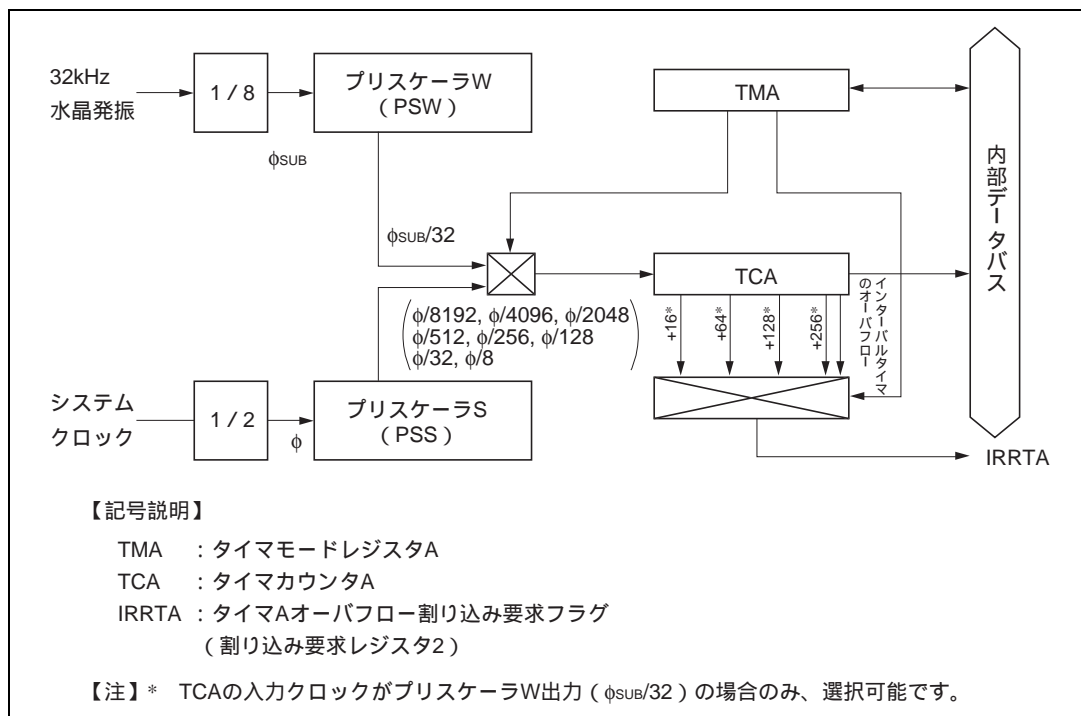


図 6.2 タイマ A ブロック図

6. タイマ

(3) レジスタ構成

タイマ A のレジスタ構成を表 6.2 に示します。

表 6.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス
タイマモードレジスタ A	TMA	R/W	H'F0	H'FFC0
タイマカウンタ A	TCA	R	H'00	H'FFC1

6.2.2 各レジスタの説明

(1) タイマモードレジスタ A (TMA)

ビット:	7	6	5	4	3	2	1	0
					TMA3	TMA2	TMA1	TMA0
初期値:	1	1	1	1	0	0	0	0
R/W:					R/W	R/W	R/W	R/W

TMA は、8 ビットのリードとライトが可能なレジスタで、プリスケアラおよび入力クロックの選択を行います。

TMA は、リセット時、H'F0 に初期化されます。

ビット 7~4: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 3: クロック入力元プリスケアラ選択 (TMA3)

タイマ A のクロック入力元を PSS とするか PSW とするかを選択します。

ビット 3	説 明
TMA3	
0	タイマ A のクロック入力元は PSS (初期値)
1	タイマ A のクロック入力元は PSW

ビット2~0: クロックセレクト (TMA2~0)

TCA に入力するクロックを選択します。TMA3 ビットとの組み合わせで以下ようになります。

ビット3	ビット2	ビット1	ビット0	説 明	
TMA3	TMA2	TMA1	TMA0	プリスケラ分周比 (インターバルタイマ) またはオーバーフロー周期 (時計用タイムベース)	機能
0	0	0	0	PSS、 $\phi / 8192$ (初期値)	インターバル タイマ
			1	PSS、 $\phi / 4096$	
		1	0	PSS、 $\phi / 2048$	
			1	PSS、 $\phi / 512$	
	1	0	0	PSS、 $\phi / 256$	
			1	PSS、 $\phi / 128$	
		1	0	PSS、 $\phi / 32$	
			1	PSS、 $\phi / 8$	
1	0	0	0	PSW、2s	時計用タイム ベース
			1	PSW、1s	
		1	0	PSW、0.5s	
			1	PSW、125ms	
	1	0	0	PSW、TCA を H'00 にクリア	
			1		
		1	0		
			1		

【注】 $\phi = f_{osc} / 2$

(2) タイマカウンタ A (TCA)

ビット:	7	6	5	4	3	2	1	0
	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

TCA は、8 ビットのリード可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックは、TMA の TMA3~0 ビットにより選択します。TCA の値は、CPU から常にリードできます。

TCA は、TMA の TMA3、2 ビットをそれぞれ 1 にセットすることで H'00 にクリアできます。

TCA がオーバーフローすると、割り込み要求レジスタ 2 (IRR2) の IRRTA ビットが 1 にセットされます。

TCA は、リセット時、H'00 に初期化されます。

6.2.3 動作説明

タイマ A は 8 ビットのタイマで、インターバルタイマとして、また、32.768kHz 水晶発振器を接続すると、時計用タイムベースとして使用できます。

(1) インターバルタイマの動作

TMA の TMA3 ビットを 0 にクリアすると、タイマ A は 8 ビットインターバルタイマとして動作します。

リセット時、TCA は H'00 に、また TMA3 ビットは 0 にクリアされるため、リセット直後は、インターバルカウンタとして停止することなくカウントアップを続けます。タイマ A の動作クロックは、TMA の TMA2 ~ 0 ビットにより、PSS の出力する 8 種類の内部クロックを選択できます。

TCA のカウント値が H'FF になった後、クロックが入力されると、タイマ A はオーバーフローし、IRR2 の IRRTA ビットが 1 にセットされます。このとき、割り込み許可レジスタ 2 (IENR2) の IENTA ビット = 1 ならば CPU に割り込みを要求します。*

オーバーフロー時には、TCA のカウント値は H'00 に戻り、再びカウントアップを開始します。したがって、256 回の入力クロックごとに、周期的にオーバーフロー出力を発生するインターバルタイマとして動作します。

インターバルタイマ動作時 (TMA3 ビット = 0) に TCA をクリアすることはできません。

【注】* 割り込みについての詳細は、「3.2.2 割り込み」を参照してください。

(2) 時計用タイムベースの動作

TMA の TMA3 ビットを 1 にセットすると、タイマ A は時計用タイムベースとして動作します。

タイマ A のオーバーフロー周期は、TMA の TMA1、0 ビットにより、PSW の出力するクロックをカウントして 4 種類を選択できます。時計用タイムベース動作時 (TMA3 ビット = 1) に TMA2 ビットを 1 にセットすると、TCA および PSW は、ともに H'00 にクリアされます。

6.3 タイマ B

6.3.1 概要

タイマ B は、入力クロックが入るたびにカウントアップする 8 ビットのアップカウンタです。タイマ B には、インターバル機能、オートリロード機能の 2 種類の機能があります。また、イベントカウンタとしても機能します。

(1) 特長

タイマ B の特長を以下に示します。

8 種類のクロックを選択可能

7 種類の内部クロック ($\phi / 8192$ 、 $\phi / 2048$ 、 $\phi / 512$ 、 $\phi / 256$ 、 $\phi / 128$ 、 $\phi / 32$ 、 $\phi / 8$) と外部クロックのうちから選択が可能です (外部イベントのカウントが可能)。

カウンタのオーバーフローで割り込み要求を発生

(2) ブロック図

タイマBのブロック図を図6.3に示します。

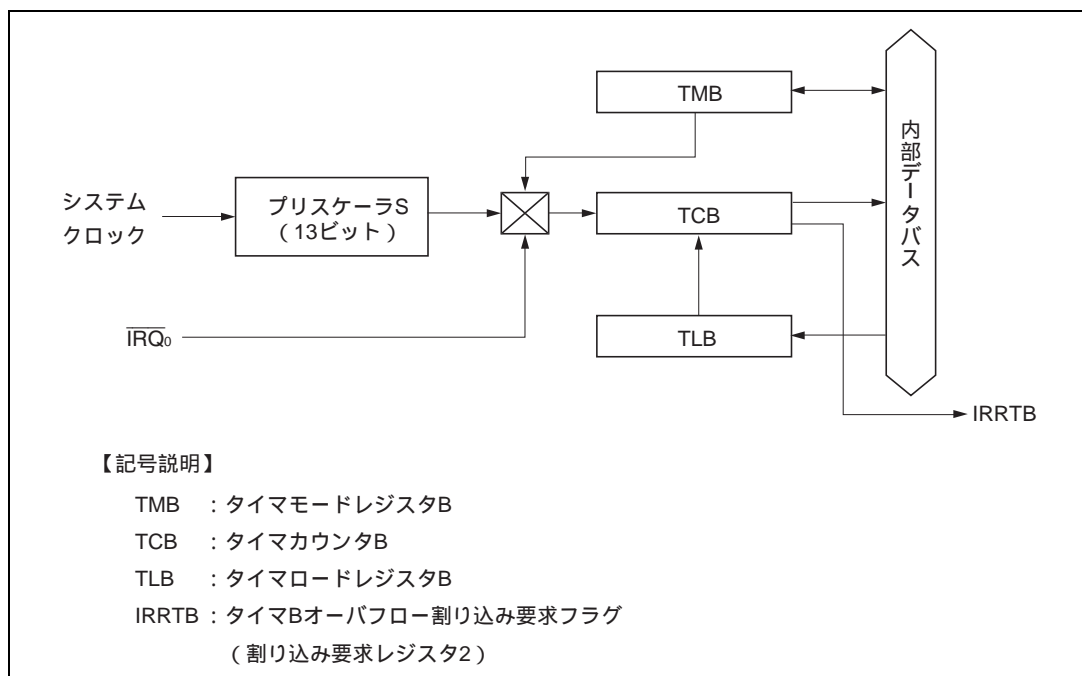


図 6.3 タイマB ブロック図

(3) 端子構成

タイマBの端子構成を表6.3に示します。

表 6.3 端子構成

名 称	略称	入出力	機 能
イベント入力端子	P1 ₀ /IRQ ₀	入力	タイマB イベント入力

(4) レジスタ構成

タイマBのレジスタ構成を表6.4に示します。

表 6.4 レジスタ構成

名 称	略称	R/W	初期値	アドレス
タイマモードレジスタB	TMB	R/W	H'78	H'FFC2
タイマカウンタB	TCB	R	H'00	H'FFC3
タイマロードレジスタB	TLB	W	H'00	H'FFC3

6. タイマ

6.3.2 各レジスタの説明

(1) タイマモードレジスタ B (TMB)

ビット:	7	6	5	4	3	2	1	0
	TMB7					TMB2	TMB1	TMB0
初期値:	0	1	1	1	1	0	0	0
R/W:	R/W					R/W	R/W	R/W

TMB は、8 ビットのリードとライトが可能なレジスタで、オートリロード機能の選択および入力クロックの選択を行います。

TMB は、リセット時、H'78 に初期化されます。

ビット7: オートリロード機能選択 (TMB7)

タイマ B のオートリロード機能を選択します。

ビット7	説明
TMB7	
0	インターバルタイマ機能を選択 (初期値)
1	オートリロード機能を選択

ビット6~3: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット2~0: クロックセレクト (TMB2~0)

TCB に入力するクロックを選択します。外部イベントによるカウントは、立ち上がりエッジまたは立ち下がりエッジの選択が可能です。

ビット2	ビット1	ビット0	説明
TMB2	TMB1	TMB0	
0	0	0	内部クロック: $\phi / 8192$ でカウント (初期値)
		1	内部クロック: $\phi / 2048$ でカウント
	1	0	内部クロック: $\phi / 512$ でカウント
		1	内部クロック: $\phi / 256$ でカウント
1	0	0	内部クロック: $\phi / 128$ でカウント
		1	内部クロック: $\phi / 32$ でカウント
	1	0	内部クロック: $\phi / 8$ でカウント
		1	外部イベント ($P1_0/\overline{IRQ_0}$): 立ち上がりエッジまたは立ち下がりエッジでカウント*

【注】 * 外部イベントのエッジの選択は、IRQ エッジセレクトレジスタ (IEGR) の IEG0 ビットにより設定します。詳細は、「3.2.3 (2) IRQ エッジセレクトレジスタ (IEGR)」を参照してください。なお、外部イベントをカウントする場合には、ポートモードレジスタ 1 (PMR1) の IRQC0 ビットを 1 にセットしてください。

(2) タイマカウンタ B (TCB)

ビット:	7	6	5	4	3	2	1	0
	TCB7	TCB6	TCB5	TCB4	TCB3	TCB2	TCB1	TCB0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

TCB は、8 ビットのリード可能なアップカウンタで、入力する内部クロックまたは外部クロックによりカウントアップされます。入力するクロックは、TMB の TMB2~0 ビットにより選択します。TCB の値は、CPU から常にリードできます。

TCB がオーバフロー (H'FF→H'00 または H'FF→TLB の設定値) すると、IRR2 の IRRTB ビットが 1 にセットされます。

TCB は、TLB と同一のアドレスに割り付けられています。

TCB は、リセット時、H'00 に初期化されます。

(3) タイマロードレジスタ B (TLB)

ビット:	7	6	5	4	3	2	1	0
	TLB7	TLB6	TLB5	TLB4	TLB3	TLB2	TLB1	TLB0
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

TLB は、8 ビットのライト専用のレジスタで、TCB のリロード値を設定します。

TLB にリロード値を設定すると、同時にその値は TCB にもロードされ、TCB はその値からカウントアップを開始します。また、オートリロード動作時、TCB がオーバフローすると、TCB に TLB の値がロードされます。したがって、オーバフロー周期を 1~256 入力クロックの範囲で設定することができます。

TLB は、TCB と同一のアドレスに割り付けられています。

TLB は、リセット時、H'00 に初期化されます。

6.3.3 動作説明

タイマ B は 8 ビットの多機能タイマでインターバルタイマおよびオートリロードタイマとして機能します。さらに、イベントカウンタとして使用することもできます。

(1) インターバルタイマの動作

TMB の TMB7 ビットを 0 にクリアすると、タイマ B は 8 ビットインターバルタイマとして動作します。

リセット時、TCB は H'00 に、TMB7 ビットは 0 にクリアされるため、リセット直後は、インターバルタイマとして停止することなくカウントアップを続けます。タイマ B の動作クロックは、TMB の TMB2~0 ビットにより、PSS の出力する 7 種類の内部クロックまたは、P1₀/IRQ₀ 入力端子からの外部クロックを選択できます。

TCB のカウント値が H'FF になった後、クロックが入力されると、タイマ B はオーバフローし、IRR2 の IRRTB ビットが 1 にセットされます。このとき、IENR2 の IENTB ビットが 1 ならば CPU に割り込みを要求します。*

6. タイマ

オーバーフロー時には、TCB のカウント値は H'00 に戻り、再びカウントアップを開始します。

インターバル動作時 (TMB7 ビット = 0) に TLB を設定すると、同時に TCB にも TLB の値がロードされます。

【注】* 割り込みについての詳細は、「3.2.2 割り込み」を参照してください。

(2) オートリロードタイマの動作

TMB の TMB7 ビットを 1 にセットすると、タイマ B は 8 ビットオートリロードタイマとして動作します。TLB にリロード値を設定すると、同時にその値が TCB にロードされ、TCB はその値からカウントアップを開始します。

TCB のカウント値が H'FF になった後、クロックが入力されると、タイマ B はオーバーフローし、TLB の値が TCB にロードされ、その値からカウントアップを継続します。したがって、TLB の値により、オーバーフロー周期を 1 ~ 256 入力クロックの範囲で設定できます。

オートリロード動作時の動作クロックおよび割り込みについてはインターバル動作時と同様です。

オートリロード動作時 (TMB7 ビット = 1) に、TLB の値を再設定すると、同時に TCB にも TLB の値がロードされます。

(3) イベントカウンタ

タイマ B は、 $P1_0/\overline{IRQ}_0$ 端子をイベント入力端子とするイベントカウンタとして動作します。TMB の TMB2 ~ 0 ビットをそれぞれ 1 に設定すると、外部イベントが選択され、TCB は、 $P1_0/\overline{IRQ}_0$ 端子入力の立ち上がりエッジまたは立ち下がりエッジでカウントアップします。

外部イベント入力を使用する場合は、ポートモードレジスタ 1 (PMR1) の IRQC0 ビットを 1 にセットし、かつ割り込み許可レジスタ 1 (IENR1) の IEN0 ビットを 0 にクリアして IRQ_0 割り込み要求を禁止してください。

6.4 タイマ C

6.4.1 概要

タイマ C は、入力クロックが入るたびにカウントアップまたはカウントダウンする 8 ビットのアップ/ダウンカウンタです。タイマ C には、インターバル機能、オートリロード機能の 2 種類の機能があります。また、イベントカウンタとしても機能します。

(1) 特長

タイマ C の特長を以下に示します。

8 種類のクロックを選択可能

7 種類の内部クロック ($\phi/8192$ 、 $\phi/2048$ 、 $\phi/512$ 、 $\phi/256$ 、 $\phi/128$ 、 $\phi/32$ 、 $\phi/8$) と外部クロックのうちから選択が可能です (外部イベントカウントが可能)。

カウンタのオーバーフローで割り込みを発生

ハードウェアまたはソフトウェア制御により、アップカウンタ/ダウンカウンタの切り替えが可能

(2) ブロック図

タイマCのブロック図を図6.4に示します。

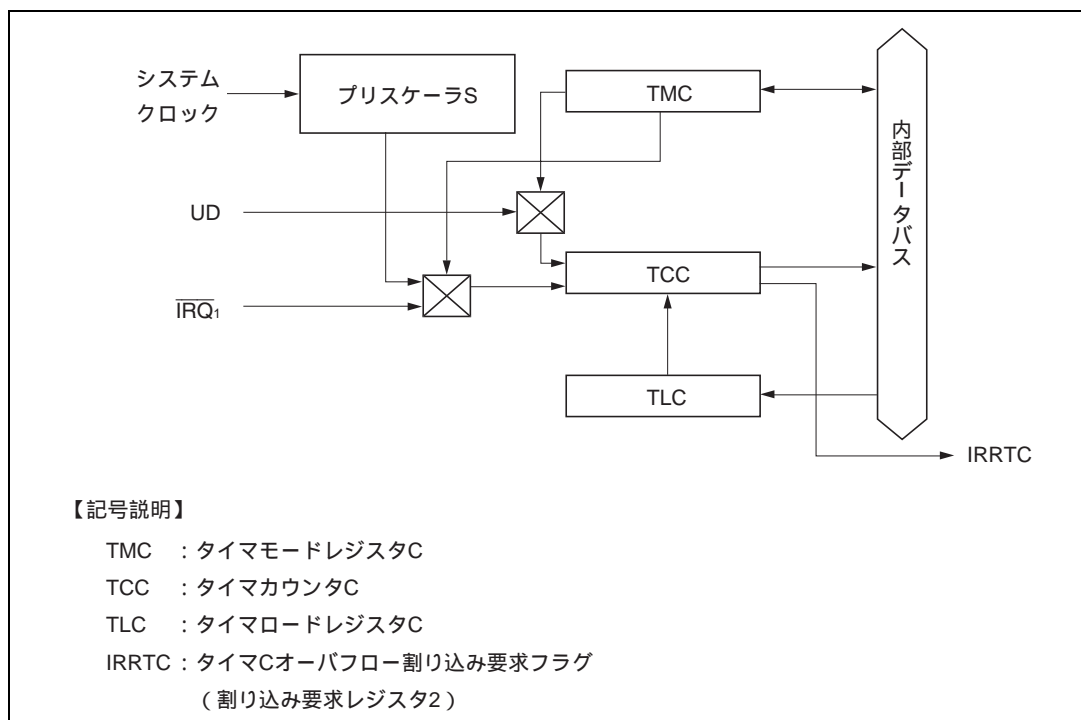


図 6.4 タイマCブロック図

(3) 端子構成

タイマCの端子構成を表6.5に示します。

表 6.5 端子構成

名 称	略称	入出力	機 能
イベント入力端子	P1 ₁ /IRQ ₁	入力	タイマCイベント入力
アップ/ダウンカウント選択端子	P9 ₁ /UD	入力	タイマCアップ/ダウン制御

(4) レジスタ構成

タイマCのレジスタ構成を表6.6に示します。

表 6.6 レジスタ構成

名 称	略称	R/W	初期値	アドレス
タイマモードレジスタC	TMC	R/W	H'18	H'FFC4
タイマカウンタC	TCC	R	H'00	H'FFC5
タイマロードレジスタC	TLC	W	H'00	H'FFC5

6. タイマ

6.4.2 各レジスタの説明

(1) タイマモードレジスタ C (TMC)

ビット:	7	6	5	4	3	2	1	0
	TMC7	TMC6	TMC5			TMC2	TMC1	TMC0
初期値:	0	0	0	1	1	0	0	0
R/W:	R/W	R/W	R/W			R/W	R/W	R/W

TMC は、8 ビットのリードとライトが可能なレジスタで、オートリロード機能の選択、カウンタのアップ/ダウン制御、および入力クロックの選択を行います。

TMC は、リセット時、H'18 に初期化されます。

ビット7: オートリロード機能選択 (TMC7)

タイマ C のオートリロード機能を選択します。

ビット7	説明
TMC7	
0	インターバルタイマ機能を選択 (初期値)
1	オートリロード機能を選択

ビット6、5: カウンタアップ/ダウン制御 (TMC6、TMC5)

TCC のアップ/ダウン制御を P9_{UD} 端子入力によるハードウェア制御とするか、アップカウンタとするか、ダウンカウンタとするかを選択します。

ビット6	ビット5	説明
TMC6	TMC5	
0	0	TCC はアップカウンタ (初期値)
	1	TCC はダウンカウンタ
1	*	P9 _{UD} 端子入力によるハードウェア制御 UD 端子入力が High レベル: ダウンカウンタ UD 端子入力が Low レベル: アップカウンタ

【記号説明】

*: Don't care

ビット4、3: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット2~0：クロックセレクト（TMC2~0）

TCC に入力するクロックを選択します。外部クロックによるカウントは、立ち上がりエッジまたは立ち下がりエッジの選択が可能です。

ビット2	ビット1	ビット0	説明
TMC2	TMC1	TMC0	
0	0	0	内部クロック： $\phi/8192$ でカウント (初期値)
		1	内部クロック： $\phi/2048$ でカウント
	1	0	内部クロック： $\phi/512$ でカウント
		1	内部クロック： $\phi/256$ でカウント
1	0	0	内部クロック： $\phi/128$ でカウント
		1	内部クロック： $\phi/32$ でカウント
	1	0	内部クロック： $\phi/8$ でカウント
		1	外部クロック ($P1_i/\overline{IRQ}_i$)：立ち上がりエッジまたは立ち下がりエッジでカウント*

【注】* 外部イベントのエッジの選択は、IRQ エッジセレクトレジスタ (IEGR) の IEG1 ビットにより設定します。詳細は、「3.2.3 (2) IRQ エッジセレクトレジスタ (IEGR)」を参照してください。なお、TMC2~TMC0 ビットをすべて 1 にセットする場合には、あらかじめポートモードレジスタ 1 (PMR1) の IRQC1 ビットを 1 にセットしておいてください。

(2) タイマカウンタ C (TCC)

ビット：	7	6	5	4	3	2	1	0
	TCC7	TCC6	TCC5	TCC4	TCC3	TCC2	TCC1	TCC0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R

TCC は、8 ビットのリード可能なアップ/ダウンカウンタで、入力する内部クロックまたは外部クロックによりカウンタアップまたはカウンタダウンされます。入力するクロックは、TMC の TMC2~0 ビットにより選択します。TCC の値は、CPU から常にリードできます。

TCC がオーバフロー ($H'FF \rightarrow H'00$ または $H'FF \rightarrow TLC$ の設定値) またはアンダフロー ($H'00 \rightarrow H'FF$ または $H'00 \rightarrow TLC$ の設定値) すると、IRR2 の IRRTC ビットが 1 にセットされます。

TCC は、TLC と同一のアドレスに割り付けられています。

TCC は、リセット時、H'00 に初期化されます。

6. タイマ

(3) タイマロードレジスタ C (TLC)

ビット:	7	6	5	4	3	2	1	0
	TLC7	TLC6	TLC5	TLC4	TLC3	TLC2	TLC1	TLC0
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

TLC は、8 ビットのライト専用のレジスタで、TCC のリロード値を設定します。

TLC にリロード値を設定すると、同時にその値は TCC にもロードされ、TCC はその値からカウントアップ/ダウンを開始します。また、オートリロード動作時、TCC がオーバフローまたはアンダフローすると、TCC に TLC の値がロードされます。したがって、オーバフローまたはアンダフロー周期を 1~256 入力クロックの範囲で設定することができます。

TLC は、TCC と同一のアドレスに割り付けられています。

TLC は、リセット時、H'00 に初期化されます。

6.4.3 動作説明

タイマ C は 8 ビットの多機能タイマで、インターバルタイマおよびオートリロードタイマとして機能します。さらに、イベントカウンタとして使用することもできます。

(1) インターバルタイマの動作

TMC の TMC7 ビットを 0 にクリアすると、タイマ C は 8 ビットインターバルタイマとして動作します。

リセット時、TCC は H'00 に、また TMC は H'18 に初期化されるため、リセット直後は、インターバルのアップカウンタとして停止することなくカウントアップを続けます。タイマ C の動作クロックは、TMC の TMC2~0 ビットにより、PSS の出力する 7 種類の内部クロックまたは、 PI_1/IRQ_1 入力端子からの外部クロックを選択できます。

また、TCC のカウントアップ/ダウン制御は、TMC の TMC6、5 ビットにより、ソフトウェア制御またはハードウェア制御のいずれかが選択可能です。

TCC のカウント値が H'FF (H'00) になった後、クロックが入力されると、タイマ C はオーバフロー（アンダフロー）し、IRR2 の IRRTC ビットが 1 にセットされます。このとき、IENR2 の IENTC ビットが 1 ならば CPU に割り込みを要求します。*

オーバフロー（アンダフロー）時には、TCC のカウント値は H'00 (H'FF) に戻り、再びカウントアップ/ダウンを開始します。

インターバル動作時 (TMC7 ビット=0) に TLC を設定すると、同時に TCC にも TLC の値がロードされます。

【注】* 割り込みについての詳細は、「3.2.2 割り込み」を参照してください。

(2) オートリロードタイマの動作

TMC の TMC7 ビットを 1 にセットすると、タイマ C は 8 ビットオートリロードタイマとして動作します。

TLC にリロード値を設定すると、同時にその値が TCC にロードされ、TCC はその値からカウントアップ/ダウンを開始します。TCC のカウント値が H'FF (H'00) になった後、クロックが入力されると、タイマ C はオーバフロー (アンダフロー) し、TLC の値が TCC にロードされ、その値からカウントアップ (ダウン) を継続します。したがって、TLC の値により、オーバフロー (アンダフロー) 周期を 1 ~ 256 入力クロックの範囲で設定できます。

オートリロード動作時のクロック、アップ/ダウン制御、割り込みについてはインターバル動作時と同様です。

オートリロード動作時 (TMC7 ビット = 1) に、TLC の値を再設定すると、同時に TCC にも TLC の値がロードされます。

(3) イベントカウンタ

タイマ C は、P1_i/IRQ_i 端子をイベント入力端子とするイベントカウンタとして動作します。TMC の TMC2 ~ 0 ビットをそれぞれ 1 に設定すると、外部イベントが選択され、TCC は、P1_i/IRQ_i 端子入力の立ち上がりエッジまたは立ち下がりエッジでカウントアップまたはカウントダウンします。

外部イベント入力を使用する場合は、PMR1 の IRQC1 ビットを 1 にセットし、かつ IENR1 の IEN1 ビットを 0 にクリアして IRQ_i 割り込み要求を禁止してください。

(4) ハードウェアによる TCC アップ/ダウン制御

タイマ C は、P9_i/UD 端子入力による TCC のカウントアップ/ダウン制御ができます。TMC の TMC6 ビット = 1 とすると、UD 端子入力 = High ならばダウンカウンタ、UD 端子入力 = Low ならばアップカウンタとして動作します。

UD 端子入力を使用する場合は、ポートモードレジスタ 2 (PMR2) の UP/DOWN ビットを 1 にセットしてください。

6.5 タイマ D

6.5.1 概要

タイマ D は、外部イベントが入るたびにカウントアップする 8 ビットのイベントカウンタです。外部からのイベント入力は立ち上がりエッジまたは立ち下がりエッジを選択できます。

(1) 特長

タイマ D の特長を以下に示します。

外部からのイベント入力は、立ち上がりエッジまたは立ち下がりエッジを選択可能
カウンタのオーバフローで割り込み要求を発生

6. タイマ

(2) ブロック図

タイマDのブロック図を図6.5に示します。

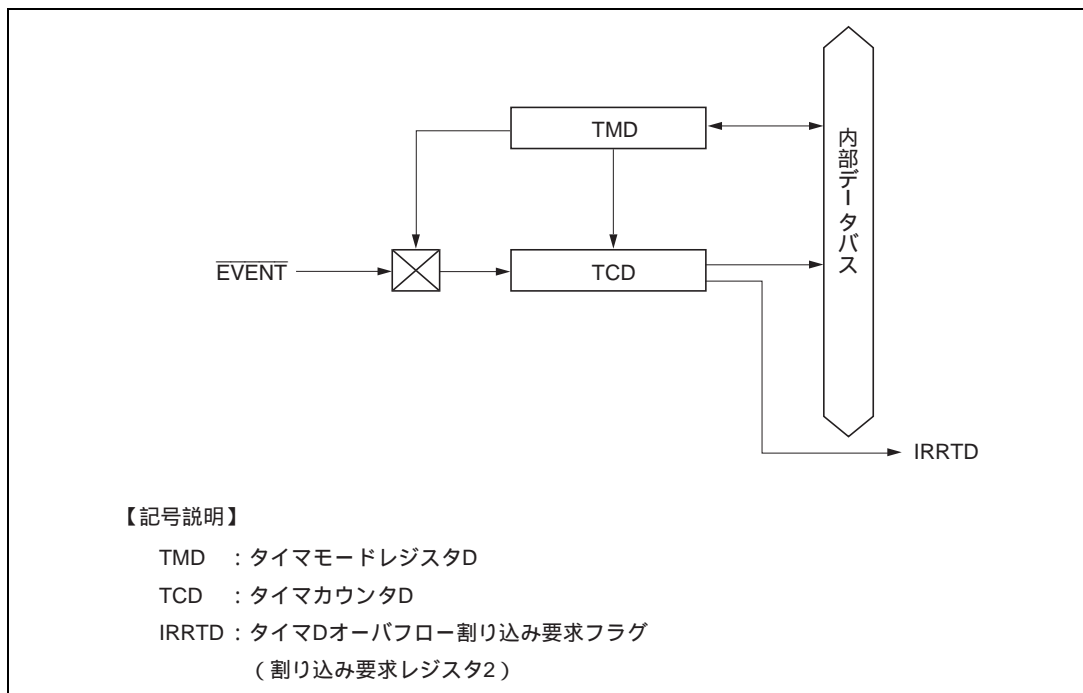


図 6.5 タイマDブロック図

(3) 端子構成

タイマDの端子構成を表6.7に示します。

表 6.7 端子構成

名 称	略称	入出力	機 能
イベント入力端子	P1 ₇ /EVENT	入力	タイマDイベント入力

(4) レジスタ構成

タイマDのレジスタ構成を表6.8に示します。

表 6.8 レジスタ構成

名 称	略称	R/W	初期値	アドレス
タイマモードレジスタD	TMD	R/W*	H'7E	H'FFC6
タイマカウンタD	TCD	R	H'00	H'FFC7

【注】 * TMDのビット7は、カウンタクリアのための1ライトのみ可能です。

6.5.2 各レジスタの説明

(1) タイマモードレジスタ D (TMD)

ビット:	7	6	5	4	3	2	1	0
	CLR							EDG
初期値:	0	1	1	1	1	1	1	0
R/W:	W							R/W

TMD は、リードとライトが可能な 8 ビットのレジスタで、TCD のクリア、外部イベント端子入力の立ち上がりエッジまたは立ち下がりエッジの選択を行います。

ビット 7: カウンタクリア (CLR)

TCD を H'00 に初期化します。本ビットに 1 をライトすると TCD は H'00 に初期化されます。

ビット 7	説明
CLR	
0	TCD は継続動作 (初期値)
1	TCD を H'00 に初期化 (TCD の初期化後自動的に 0 にクリアされます。)

【注】 * カウンタクリアのための 1 ライトのみ可能です。0 のライトはカウンタの動作に影響を与えません。

ビット 6~1: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 0: エッジ選択 (EDG)

外部イベント入力端子 ($P1_0/\overline{\text{EVENT}}$) の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット 0	説明
EDG	
0	$P1_0/\overline{\text{EVENT}}$ 端子入力の立ち下がりエッジで TCD はカウントアップ (初期値)
1	$P1_0/\overline{\text{EVENT}}$ 端子入力の立ち上がりエッジで TCD はカウントアップ

(2) タイマカウンタ D (TCD)

ビット:	7	6	5	4	3	2	1	0
	TCD7	TCD6	TCD5	TCD4	TCD3	TCD2	TCD1	TCD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

6. タイマ

TCD は、8 ビットのリード可能なアップカウンタで、入力する外部クロック ($P1_{\overline{EVENT}}$ 端子入力) によりカウントアップされます。入力するクロックのエッジは、TMD の EDG ビットにより選択します。TCD の値は、CPU から常にリードできます。

TCD がオーバーフロー (H'FF→H'00) すると、IRR2 の IRRTD ビットが 1 にセットされます。

TCD は、リセット時、H'00 に初期化されます。

6.5.3 動作説明

タイマ D は、 $P1_{\overline{EVENT}}$ 端子をイベント入力端子とするイベントカウンタとして動作します。TMD の EDG ビットを設定することにより、立ち上がりエッジまたは立ち下がりエッジを選択することができます。

TCD のカウント値が H'FF になった後、クロックが入力されると、タイマ D はオーバーフローし、IRR2 の IRRTD ビットが 1 にセットされます。このとき、IENR2 の IENTD ビットが 1 ならば CPU に割り込みを要求します。*

オーバーフロー時には、TCD のカウント値は H'00 に戻り、再びカウントアップを開始します。

TCD は、TMD の CLR ビットを 1 にセットすることでクリアできます。

外部イベント入力を使用する場合は、PMR1 の EVENT ビットを 1 にセットしてください。

【注】* 割り込みについての詳細は、「3.2.2 割り込み」を参照してください。

6.6 タイマ E

6.6.1 概要

タイマ E は、入力クロックが入るたびにカウントアップする 8 ビットのアップカウンタです。タイマ E には、インターバル機能、オートリロード機能の 2 種類の機能があります。また、オーバーフロー信号または PSS の信号を用いてデューティ 50% の方形波を出力することができます。

(1) 特長

タイマ E の特長を以下に示します。

8 種類の内部クロックを選択可能

8 種類の内部クロック ($\phi / 8192$ 、 $\phi / 4096$ 、 $\phi / 2048$ 、 $\phi / 512$ 、 $\phi / 256$ 、 $\phi / 128$ 、 $\phi / 32$ 、 $\phi / 8$) が選択可能です。

カウンタのオーバーフローで割り込み要求を発生

プリスケアラの分周によりデューティ 50% の固定周波数出力が可能

$\phi = 4\text{MHz}$ のとき 1.95kHz、または 3.9kHz

$\phi = 2\text{MHz}$ のとき 0.98kHz、または 1.95kHz

オーバーフロー信号を使用して、デューティ 50% の任意周波数の方形波を出力することが可能

(2) ブロック図

タイマEのブロック図を図6.6に示します。

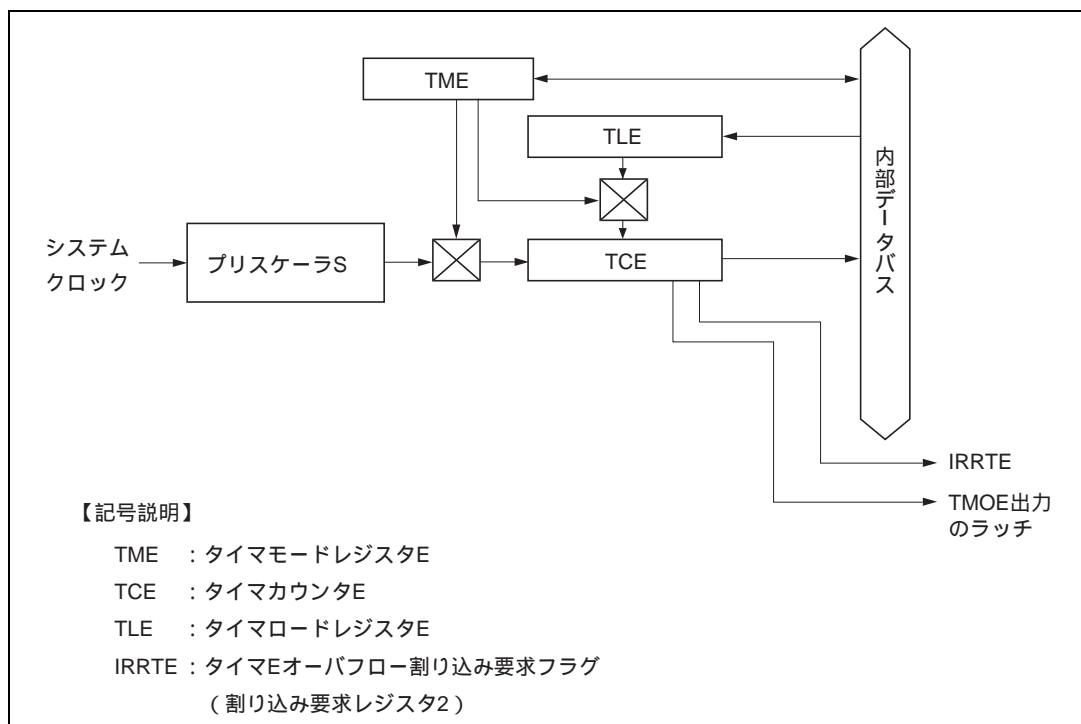


図 6.6 タイマE ブロック図

(3) 端子構成

タイマEの端子構成を表6.9に示します。

表 6.9 端子構成

名 称	略称	入出力	機 能
タイマEの波形出力端子	P1 _y /IRQ _y /TMOE	出力	タイマE出力

(4) レジスタ構成

タイマEのレジスタ構成を表6.10に示します。

表 6.10 レジスタ構成

名 称	略称	R/W	初期値	アドレス
タイマモードレジスタE	TME	R/W	H'78	H'FFC8
タイマカウンタE	TCE	R	H'00	H'FFC9
タイマロードレジスタE	TLE	W	H'00	H'FFC9
ポートモードレジスタ4	PMR4	R/W	H'0F	H'FFEE

6. タイマ

6.6.2 各レジスタの説明

(1) タイマモードレジスタ E (TME)

ビット:	7	6	5	4	3	2	1	0
	TME7					TME2	TME1	TME0
初期値:	0	1	1	1	1	0	0	0
R/W:	R/W					R/W	R/W	R/W

TME は、8 ビットのリードとライトが可能なレジスタで、オートリロード機能の選択および入力クロックの選択を行います。

TME は、リセット時、H'78 に初期化されます。

ビット7: オートリロード機能選択 (TME7)

タイマ E のオートリロード機能を選択します。

ビット7	説明
TME7	
0	インターバルタイマ機能を選択 (初期値)
1	オートリロード機能を選択

ビット6~3: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット2~0: クロックセレクト (TME2~0)

TCE に入力するクロックを選択します。

ビット2	ビット1	ビット0	説明
TME2	TME1	TME0	
0	0	0	内部クロック : $\phi / 8192$ でカウント (初期値)
		1	内部クロック : $\phi / 4096$ でカウント
	1	0	内部クロック : $\phi / 2048$ でカウント
		1	内部クロック : $\phi / 512$ でカウント
1	0	0	内部クロック : $\phi / 256$ でカウント
		1	内部クロック : $\phi / 128$ でカウント
	1	0	内部クロック : $\phi / 32$ でカウント
		1	内部クロック : $\phi / 8$ でカウント

(2) タイマカウンタ E (TCE)

ビット:	7	6	5	4	3	2	1	0
	TCE7	TCE6	TCE5	TCE4	TCE3	TCE2	TCE1	TCE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

TCE は、8 ビットのリード可能なアップカウンタで、入力する内部クロックによりカウントアップされます。入力するクロックは、TME の TME2~0 ビットにより選択します。TCE の値は、CPU から常にリードできます。

TCE がオーバフロー (H'FF→H'00 または H'FF→TLE の設定値) すると、IRR2 の IRRTE ビットが 1 にセットされます。

TCE は、TLE と同一のアドレスに割り付けられています。

TCE は、リセット時、H'00 に初期化されます。

(3) タイマロードレジスタ E (TLE)

ビット:	7	6	5	4	3	2	1	0
	TLE7	TLE6	TLE5	TLE4	TLE3	TLE2	TLE1	TLE0
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

TLE は、8 ビットのライト専用のレジスタで、TCE のリロード値を設定します。

TLE にリロード値を設定すると、同時にその値は TCE にもロードされ、TCE はその値からカウントアップを開始します。また、オートリロードモード時、TCE がオーバフローすると、TCE に TLE の値がロードされます。したがって、オーバフロー周期を 1~256 入力クロックの範囲で設定することができます。

TLE は、TCE と同一のアドレスに割り付けられています。

TLE は、リセット時、H'00 に初期化されます。

(4) ポートモードレジスタ 4 (PMR4)

ビット:	7	6	5	4	3	2	1	0
	TEO	TEO ON	FREQ	VRFR				
初期値:	0	0	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W				

PMR4 は、8 ビットのリードとライトが可能なレジスタで、PI₅/IRQ₅/TMOE 端子の機能切り替え、TMOE 端子の波形出力を制御します。

PMR4 は、リセット時、H'0F に初期化されます。

6. タイマ

ビット7：タイマ E 出力機能選択 (TEO)

ビット6：タイマ E 出力 ON/OFF (TEO ON)

ビット5：固定周波数選択 (FREQ)

ビット4：任意周波数選択 (VRFR)

PMR4 のビット 7~4、および PMR1 の IRQC5 ビットにより、P1₅/IRQ₅/TMOE 端子機能は以下のよう
に切り替わります。

PMR1	PMR4				端子機能	
ビット5	ビット7	ビット6	ビット5	ビット4		
IRQC5	TEO	TEO ON	FREQ	VRFR		
0	0	0	0	0	P1 ₅ 入出力端子 (初期値)	
		*	*	*	P1 ₅ 入出力端子	
	1	0	*	*	TMOE 出力端子 (OFF)	Low レベル出力
		1	0	0	TMOE 出力端子 (ON)	固定周波数出力：(φ / 2048) 1.95kHz (φ = 4MHz) 0.98kHz
			1			固定周波数出力：(φ / 1024) 3.9kHz (φ = 4MHz) 1.95kHz (φ = 2MHz)
*	1		任意周波数出力：タイマ E オーバフローによるトグル出力			
1	*	*	*	*	IRQ ₅ 入力端子	外部割り込み入力

【記号説明】

* : Don't care

ビット3~0：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

6.6.3 動作説明

タイマ E は、インターバルタイマ、オートリロードタイマの2種類の機能があります。また、デューティ 50%の方形波を出力することができます。

(1) インターバルタイマの動作

TME の TME7 ビットを0にクリアすると、タイマ E は8ビットインターバルタイマとして動作します。

リセット時、TCE は H'00 に、TME7 ビットは0にクリアされるため、リセット直後は、インターバルタイマとして停止することなくカウントアップを続けます。タイマ E の動作クロックは、TME の TME2~0 ビットにより、PSS の出力する8種類の内部クロックを選択できます。

TCE のカウント値が H'FF になった後、クロックが入力されると、タイマ E はオーバフローし、IRR2 の IRRTE ビットが1にセットされます。このとき、IENR2 の IENTE ビットが1ならば CPU に割り

込みを要求します。*

オーバーフロー時には、TCEのカウンタ値はH'00に戻り、再びカウンタアップを開始します。

インターバル動作時(TME7ビット=0)にTLEを設定すると、同時にTCEにもTLEの値がロードされます。

【注】* 割り込みについての詳細は、「3.2.2 割り込み」を参照してください。

(2) オートリロードタイマの動作

TMEのTME7ビットを1にすると、タイマEは8ビットオートリロードタイマとして動作します。

TLEにリロード値を設定すると、同時にその値がTCEにロードされ、TCEはその値からカウンタアップを開始します。TCEのカウンタ値がH'FFになった後、クロックが入力されると、タイマEはオーバーフローし、TLEの値がTCEにロードされ、その値からカウンタアップを続けます。したがって、TLEの値により、オーバーフロー周期を1~256入力クロックの範囲で設定できます。

オートリロード動作時の動作クロックおよび割り込みについてはインターバル動作時と同様です。

オートリロード動作時(TME7ビット=1)には、TLEの値を再設定すると、同時にTCEにもTLEの値がロードされます。

(3) 方形波出力

PMR1のIRQC5ビットおよびPMR4の設定により、 $P1/\overline{IRQ}_5/TMOE$ 端子からデューティ50%の方形波を出力することができます。PMR4のVRFRビット=0のときはFREQビットにより指定される固定周波数の波形が出力されます。出力される固定周波数については、「6.6.2(4) ポートモードレジスタ4(PMR4)」を参照してください。

VRFRビット=1のときは、タイマEのオーバーフローにより、Lowレベル、Highレベルが交互に切り替わるトグル出力となります(図6.7参照)。タイマEをオートリロード動作(TME7ビット=1)としてTLEによりオーバーフロー周期を選択し、またTME2~0ビットにより動作クロックを選択することで、表6.11に示す範囲で任意の周波数の波形を生成できます。

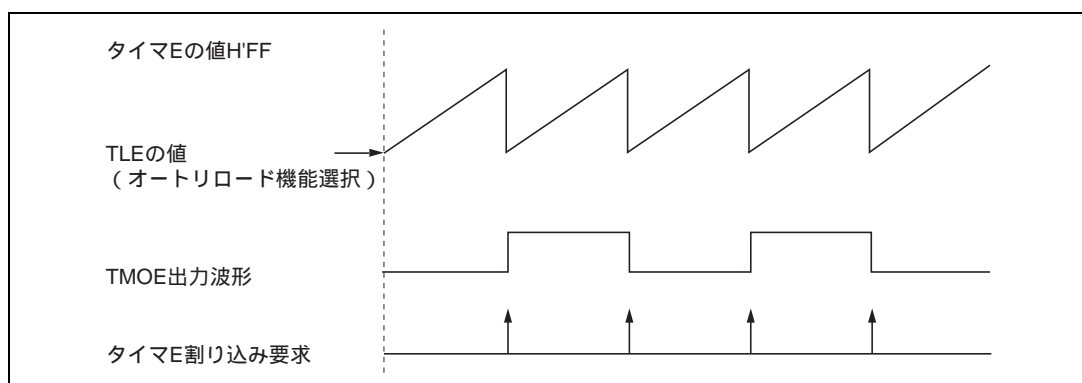


図 6.7 タイマ E オーバフローによる波形出力

6. タイマ

表 6.11 タイマ E オーバフローによる出力波形の周波数

内部クロック	出力波形 ($\phi = 2\text{MHz}$)				
	1 カウント (TLE = H'FF) $\times 2$		~	256 カウント (TLE = H'00) $\times 2$	
	カウント時間	出力周波数		カウント時間	出力周波数
$\phi / 8$ (250kHz)	8 μs	125kHz	~	2024 μs	488.3Hz
$\phi / 32$ (62.5kHz)	32 μs	31.25kHz	~	8192 μs	122.1Hz
$\phi / 128$ (15.62kHz)	128 μs	7.8125kHz	~	32.768ms	30.5Hz
$\phi / 256$ (7.8125kHz)	256 μs	3.9063kHz	~	65.536ms	15.3Hz
$\phi / 512$ (3.9062kHz)	512 μs	1.9531kHz	~	131.072ms	7.63Hz
$\phi / 2048$ (976.5Hz)	2.048ms	488.3Hz	~	524.288ms	1.91Hz
$\phi / 4096$ (488.2Hz)	4.096ms	244.1Hz	~	1048.576ms	0.95Hz
$\phi / 8192$ (244.1Hz)	8.192ms	122.1Hz	~	2097.152ms	0.477Hz

内部クロック	出力波形 ($\phi = 4\text{MHz}$)				
	1 カウント (TLE = H'FF) $\times 2$		~	256 カウント (TLE = H'00) $\times 2$	
	カウント時間	出力周波数		カウント時間	出力周波数
$\phi / 8$ (500kHz)	4 μs	250kHz	~	1024 μs	976.6Hz
$\phi / 32$ (125kHz)	16 μs	62.5kHz	~	4096 μs	244.1Hz
$\phi / 128$ (31.25kHz)	64 μs	15.625kHz	~	16.384ms	61.0Hz
$\phi / 256$ (15.625kHz)	128 μs	7.8125kHz	~	32.768ms	30.5Hz
$\phi / 512$ (7.8125kHz)	256 μs	3.9063kHz	~	65.536ms	15.3Hz
$\phi / 2048$ (1.963Hz)	1.024ms	976.6Hz	~	262.144ms	3.8Hz
$\phi / 4096$ (976.52Hz)	2.048ms	488.3Hz	~	524.288ms	1.91Hz
$\phi / 8192$ (488.2Hz)	4.096ms	244.1Hz	~	1048.576ms	0.95Hz

6.7 割り込み要因

タイマ A~E の割り込み要因は、各タイマのオーバフロー（アンダフロー）であり、おのおの独立のベクタアドレスが割り付けられています。タイマ間での割り込み優先順位は、タイマ A（高）→タイマ E（低）となっています。

詳細は、「3.2.2 割り込み」の表 3.2 を参照してください。

タイマ A~E でオーバフローが発生すると IRR2 の IRRTA ~ IRRTE ビットが 1 にセットされます。これらの割り込み要求フラグは、割り込みが受け付けられてもオートクリアされません。割り込み処理ルーチンの中でソフトウェアにより、0 にクリアしてください。

各タイマ割り込みは、IENR2 の IENTA ~ IENTE ビットにより、おのおの独立に許可または禁止を指定できます。

詳細は、「3.2.3 割り込み制御レジスタ」を参照してください。

6.8 使用上の注意事項

PMR1 の EVENT ビットにより、 $P1_0/\overline{\text{EVENT}}$ 端子を $P1_0$ 端子として設定した場合でも、 $P1_0$ 端子をリードしたときに、タイマ D がカウントアップされることがあります。

タイマ D を使用する場合には、TMD の CLR ビットにより、TCD を必ず H'00 に初期化してください。

7. 14ビットPWM

7.1 概要

H8/3614、H8/3613*は14ビットPWM (Pulse Width Modulation) を内蔵しており、ローパスフィルタを接続することでD/A交換器として使用できます。

【注】* H8/3612には本機能はありません。

7.1.1 特長

14ビットPWMの特長を以下に示します。

2種類の変換周期を選択可能

1変換周期 $32768 / \phi$ 、最小変化幅 $2 / \phi$ 、または1変換周期 $16384 / \phi$ 、最小変化幅 $1 / \phi$ の選択が可能です。

リップル低減を図ったパルス分割方式

7.1.2 ブロック図

14ビットPWMのブロック図を図7.1に示します。

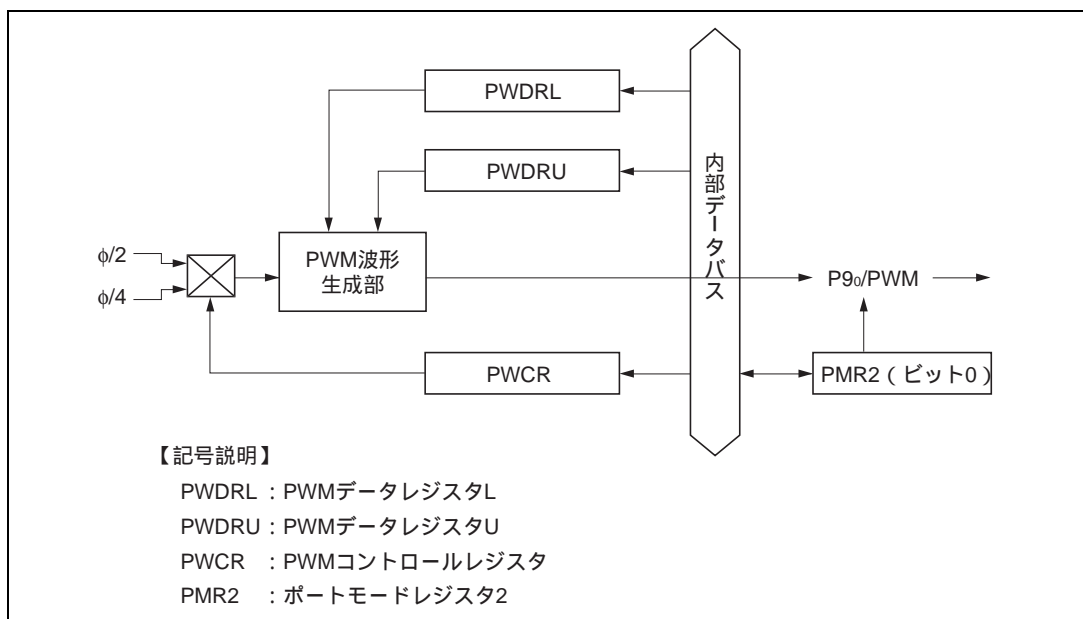


図 7.1 14ビットPWMのブロック図

7. 14ビットPWM

7.1.3 端子構成

14ビットPWMの端子構成を表7.1に示します。

表7.1 端子構成

名 称	略称	入出力	機 能
PWM 方形波出力端子	PWM	出力	PWM 方形波出力

7.1.4 レジスタ構成

14ビットPWMのレジスタ構成を表7.2に示します。

表7.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス
PWM コントロールレジスタ	PWCR	W	H'FE	H'FFCC
PWM データレジスタU	PWDRU	W	H'C0	H'FFCD
PWM データレジスタL	PWDR L	W	H'00	H'FFCE

7.2 各レジスタの説明

7.2.1 PWM コントロールレジスタ (PWCR)

ビット:	7	6	5	4	3	2	1	0
								PWCR0
初期値:	1	1	1	1	1	1	1	0
R/W:								W

PWCRは、8ビットのライト専用のレジスタで、入力クロックの選択を行います。
PWCRは、リセット時、H'FEに初期化されます。

ビット7~1: リザーブセット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット0: クロックセレクト (PWCR0)

14ビットPWMに供給されるクロックを選択します。
本ビットはライト専用なので、リードすると常に1が読み出されます。

ビット0	説 明
PWCR0	
0	入力クロックは $\phi/2$ ($t\phi^* = 2/\phi$) (1変換周期 $16384/\phi$ 、最小変化幅 $1/\phi$ のPWM波形を生成します。) (初期値)
1	入力クロックは $\phi/4$ ($t\phi^* = 4/\phi$) (1変換周期 $32768/\phi$ 、最小変化幅 $2/\phi$ のPWM波形を生成します。)

【注】 * $t\phi$: PWM入力クロックの周期

7.2.2 PWM データレジスタ U、L (PWDRU、PWDRL)

ビット:	7	6	5	4	3	2	1	0
PWDRU			PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0
初期値:	1	1	0	0	0	0	0	0
R/W:			W	W	W	W	W	W

ビット:	7	6	5	4	3	2	1	0
PWDRL	PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PWDRU、Lは、ライト専用の14ビットのレジスタで、PWDRUが上位6ビット、PWDRLが下位8ビットの構成になっています。PWDRU、Lに書き込まれた内容はPWM波形1周期のHighレベル幅の合計に対応します。

PWDRU、Lに14ビットのデータをライトすると、PWDRU、Lの内容がPWM波形生成部に取り込まれ、PWM波形生成のデータの更新が行われます。14ビットデータの設定は次のように行ってください。

- (1) PWDRLへ下位8ビットのデータをライトする。
- (2) PWDRUへ上位6ビットのデータをライトする。

上記のように、データの設定は、必ずPWDRL→PWDRUの順序で行ってください。

PWDRU、Lは、ライト専用レジスタですが、リードした場合には、常に1が読み出されます。PWDRU、Lは、リセット時、H'000に初期化されます。

7.3 動作説明

14ビットPWMを使用する場合、以下の順序でレジスタ設定を行ってください。

- (1) ポートモードレジスタ2(PMR2)のPWMビットを1にセットしてP9₀/PWM端子をPWM出力端子に設定します。
- (2) PWMコントロールレジスタ(PWCR)のPWCR0ビットにより、1変換周期を $32768 / \phi$ (PWCR0ビット=1)、 $16384 / \phi$ (PWCR0ビット=0)から選択します。
- (3) PWMデータレジスタU、L(PWDRU、L)に出力波形データを設定します。このとき、必ずPWDRL→PWDRUの順序で書き込んでください。PWDRUへのライトと同時にPWM波形生成部にデータが取り込まれ、内部信号と同期をとってPWM波形生成の更新が行われます。

1変換周期は図7.2に示すように64個のパルスで構成され、この1変換周期中のHighレベル幅合計(T_H)が、PWDRU、Lのデータに対応しています。この関係は次式で示されます。

$$T_H = (\text{PWMDRU、Lのデータ値} + 64) \times t\phi / 2$$

ここで $t\phi$ は、PWM入カクロックの周期で $2 / \phi$ (PWCR0ビット=0)または $4 / \phi$ (PWCR0ビット=1)となります。

PWDRU、Lのデータ値がH'3FC0~H'3FFFではPWM出力はHighレベルとなります。

7. 14ビットPWM

(例) 変換周期を $8192\mu\text{s}$ とするためには、以下のように設定します。

PWCR0 ビットを 0 に設定すると、1 変換周期は $16384 / \phi$ なので、 $\phi = 2\text{MHz}$ となります。
このとき、 $t_{in} = 128\mu\text{s}$ 、 $1 / \phi$ (精度) = $0.5\mu\text{s}$ です。

PWCR0 ビットを 1 に設定すると、1 変換周期は $32768 / \phi$ なので、 $\phi = 4\text{MHz}$ となります。
このとき、 $t_{in} = 128\mu\text{s}$ 、 $2 / \phi$ (精度) = $0.5\mu\text{s}$ です。

したがって 1 変換周期を $8192\mu\text{s}$ とするためには、クロック (ϕ) は 2MHz または、 4MHz で使用することになります。

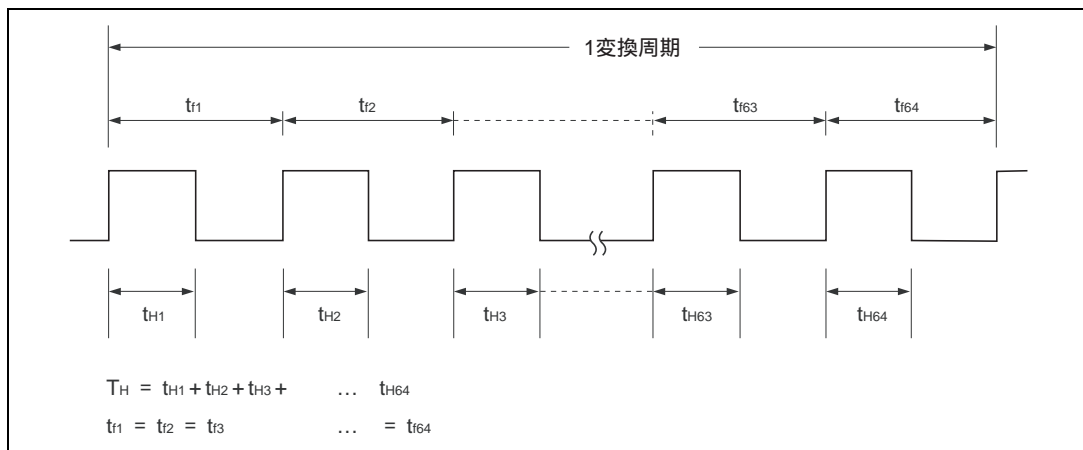


図 7.2 PWM 出力波形

8. シリアルコミュニケーションインタフェース 1 (SCI1)

8.1 概要

シリアルコミュニケーションインタフェース 1 (SCI1) は、8 ビットまたは 16 ビットデータのクロック同期式シリアル転送を行います。

8.1.1 特長

SCI1 の特長を以下に示します。

8 ビットおよび 16 ビットの転送データを選択可能

クロックソースとして 8 種類の内部クロック ($\phi/1024$ 、 $\phi/256$ 、 $\phi/64$ 、 $\phi/32$ 、 $\phi/16$ 、 $\phi/8$ 、 $\phi/4$ 、 $\phi/2$) と外部クロックが選択可能

転送の完了、またはエラーで割り込み要求を発生

8. シリアルコミュニケーションインタフェース 1 (SCI1)

8.1.2 ブロック図

SCI1 のブロック図を図 8.1 に示します。

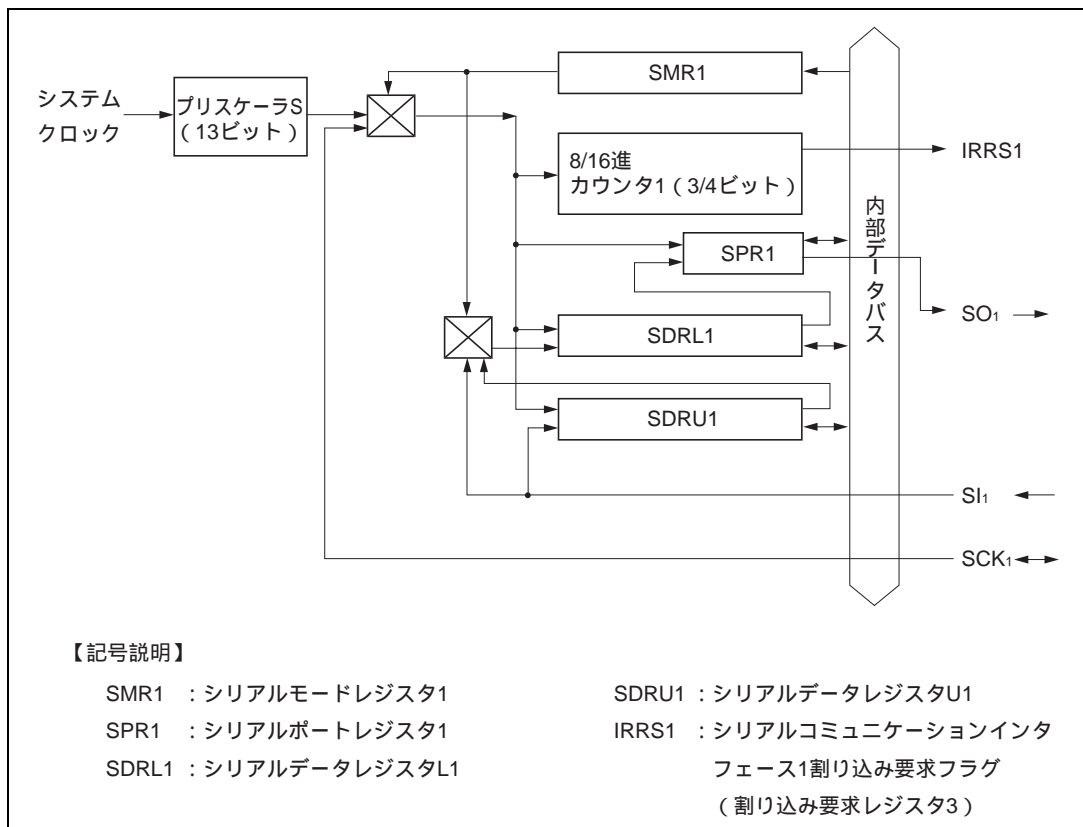


図 8.1 SCI1 のブロック図

8.1.3 端子構成

SCI1 の端子構成を表 8.1 に示します。

表 8.1 端子構成

名 称	略称	入出力	機 能
SCI1 クロック端子	P9 ₇ /SCK ₁	入出力	SCI1 のクロック入出力端子
SCI1 データ入力端子	P9 ₂ /SI ₁	入力	SCI1 の受信データ入力端子
SCI1 データ出力端子	P9 ₃ /SO ₁	出力	SCI1 の送信データ出力端子

8.1.4 レジスタ構成

SCI1 のレジスタ構成を表 8.2 に示します。

表 8.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス
シリアルモードレジスタ 1	SMR1	W	H'80	H'FFB0
シリアルデータレジスタ U1	SDRU1	R/W	不定	H'FFB1
シリアルデータレジスタ L1	SDRL1	R/W	不定	H'FFB2
シリアルポートレジスタ 1	SPR1	R/W	不定	H'FFB3
ポートモードレジスタ 2	PMR2	R/W	H'00	H'FFEC
ポートモードレジスタ 3	PMR3	R/W	H'97	H'FFED

8.2 各レジスタの説明

8.2.1 シリアルモードレジスタ 1 (SMR1)

ビット:	7	6	5	4	3	2	1	0
		SMR16	SMR15	SMR14	SMR13	SMR12	SMR11	SMR10
初期値:	1	0	0	0	0	0	0	0
R/W:		W	W	W	W	W	W	W

SMR1 は 8 ビットのライト専用のレジスタで、モードとプリスケール分周比の選択を行います。また、SMR1 への書き込みには、シリアルインタフェースの内部状態を初期設定する機能があります。

SMR1 への書き込みによって、SDRU1、SDRL1 および 8 / 16 進カウンタへの転送クロックの供給が止められ、8 / 16 進カウンタが H'00 にリセットされます。したがって、シリアルインタフェースの動作中にシリアルモードレジスタへの書き込みを行うと、データの送信または受信が途中で打ち切られて、割り込み要求レジスタ 3 (IRR3) の IRRS1 フラグが 1 にセットされます。

SMR1 は、リセット時、H'80 に初期化されます。

ビット 7: リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 6~4: モード選択 (SMR16~14)

SCI1 のモードを指定します。

ビット 6	ビット 5	ビット 4	説 明
SMR16	SMR15	SMR14	
0	0	0	クロック連続出力モード (初期値)
	SMR15、SMR14 は 00 以外の値を設定		8 ビット転送モード
1	0	0	クロック連続出力モード
	SMR15、SMR14 は 00 以外の値を設定		16 ビット転送モード

8. シリアルコミュニケーションインタフェース 1 (SCI1)

ビット 3~0 : クロックセレクト (SMR13~10)

SCI1 に供給するクロックを設定します。

ビット3 SMR13	ビット2 SMR12	ビット1 SMR11	ビット0 SMR10	SCK _i 端子	クロックソース	プリスケアラ 分周比	転送クロック周期 (μs)	
							φ = 4MHz	φ = 2MHz
0	0	0	0	SCK _i 出力	プリスケアラ S	φ / 1024 (初期値)	256	512
			1				64	128
		1	0				16	32
			1				8	16
	1	0	0				4	8
			1				2	4
			0				1	2
		1	0				-	1
			1				-	-
			1				-	-
1	0	0	0	未使用				
	∴	∴	∴					
	1	1	0					
	1	1	1	SCK _i 入力	外部クロック	-	-	-

8.2.2 シリアルデータレジスタ U1 (SDRU1)

ビット :	7	6	5	4	3	2	1	0
	SDRU17	SDRU16	SDRU15	SDRU14	SDRU13	SDRU12	SDRU11	SDRU10
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SDRU1 は、8 ビットのリードとライトが可能なレジスタで、16 ビット転送時に上位 8 ビットのデータレジスタとして使用します (SDRL1 が下位 8 ビット)。

SDRU1 に書き込まれたデータは、転送クロックの立ち下がりに同期して SDRL1 に LSB ファーストで出力されます。また、入れ代わりに転送クロックの立ち上がりに同期して S_i 端子より LSB ファーストでデータが入力されて、MSB→LSB 方向にデータがシフトします。

SDRU1 のリードとライトは、データの送信または受信が完了してから行う必要があります。データの送信または受信中にリードまたはライトを行うとデータの内容は保証されません。

SDRU1 のリセット時の値は不定です。

8.2.3 シリアルデータレジスタ L1 (SDRL1)

ビット :	7	6	5	4	3	2	1	0
	SDRL17	SDRL16	SDRL15	SDRL14	SDRL13	SDRL12	SDRL11	SDRL10
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SDRL1 は、8 ビットのリードとライトが可能なレジスタで、8 ビット転送時のデータレジスタ、および 16 ビット転送時の下位 8 ビットのデータレジスタとして使用します (SDRU1 が上位 8 ビット)。

8 ビット転送時、SDRL1 に書き込まれたデータは、転送クロックの立ち下がりに同期して SO₁ 端子より LSB ファーストで出力されます。また、入れ代わりに転送クロックの立ち上がりに同期して SI₁ 端子より LSB ファーストでデータが入力されて、MSB→LSB 方向にデータがシフトします。

16 ビット転送時には、入力データが SDRU1 より取り込まれることを除けば、8 ビット転送時と同様の動作となります。

SDRL1 のリードとライトは、データの送信または受信が完了してから行う必要があります。データの送信または受信中にリードまたはライトを行うとデータの内容は保証されません。

SDRL1 のリセット時の値は不定です。

8.2.4 シリアルポートレジスタ 1 (SPR1)

ビット:	7	6	5	4	3	2	1	0
	SO1 LAST BIT							
初期値:	不定	1	1	1	1	1	1	1
R/W:	R/W							

SPR1 は、8 ビットのリードとライトが可能なレジスタでビット 7 は SDRL1 の最終出力段に接続されています。

SPR1 のリセット時の値は不定です。

ビット 7: 拡張データビット (SO1 LAST BIT)

送信終了後、送信データの最終ビットの値を保持します。

送信前または送信後に本ビットを操作して、SO₁ 端子の出力をソフトウェアで変更することができます。

データ送信中に本ビットにライトした場合、データの内容は保証されません。

ビット 7	説明
SO1 LAST BIT	
0	SO ₁ 端子出力は、Low レベル (初期値)
1	SO ₁ 端子出力は、High レベル

ビット 6~0: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

8. シリアルコミュニケーションインタフェース 1 (SCI1)

8.2.5 ポートモードレジスタ 2 (PMR2)

ビット:	7	6	5	4	3	2	1	0
	UP/DOWN	SO2	SI2	SCK2	SO1	SI1	SCK1	PWM
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMR2 は、8 ビットのリードとライトが可能なレジスタで、ポート 9 の各端子機能の切り替えを制御します。また、ビット 3~1 は、SMR1 との組み合わせにより、SCI1 のモードの設定を制御します。

PMR2 は、リセット時、H'00 に初期化されます。

ここでは、ビット 3~1 について説明します。ビット 7~4、およびビット 0 については「5.7.2 (1) ポートモードレジスタ 2 (PMR2)」を参照してください。

ビット 3 : P9₃/SO₁ 端子機能切り替え (SO1)

P9₃/SO₁ 端子を P9₃ 入出力端子として使用するか、SO₁ 出力端子として使用するかを設定します。

ビット 3	説明
SO1	
0	P9 ₃ /SO ₁ 端子は、P9 ₃ 入出力端子として機能 (初期値)
1	P9 ₃ /SO ₁ 端子は、SO ₁ 端子として機能 (SCK1 ビット = 1、SI1 ビット = 0 の設定で SCI1 は送信モードとなります。)

ビット 2 : P9₂/SI₁ 端子機能切り替え (SI1)

P9₂/SI₁ 端子を P9₂ 入出力端子として使用するか、SI₁ 出力端子として使用するかを設定します。

ビット 2	説明
SI1	
0	P9 ₂ /SI ₁ 端子は、P9 ₂ 入出力端子として機能 (初期値)
1	P9 ₂ /SI ₁ 端子は、SI ₁ 端子として機能 (SCK1 ビット = 1、SO1 ビット = 0 の設定で SCI1 は受信モードとなります。)

ビット 1 : P9₁/SCK₁ 端子機能切り替え (SCK1)

P9₁/SCK₁ 端子を P9₁ 入出力端子として使用するか、SCK₁ 入出力端子として使用するかを設定します。

ビット 1	説明
SCK1	
0	P9 ₁ /SCK ₁ 端子は、P9 ₁ 入出力端子として機能 (初期値)
1	P9 ₁ /SCK ₁ 端子は、SCK ₁ 入出力端子として機能 (クロック入出力の方向、プリスケアラ分周比は SMR1 の設定によります。)

8.2.6 ポートモードレジスタ 3 (PMR3)

ビット:	7	6	5	4	3	2	1	0
		SO2 PMOS	CS		SO1 PMOS			
初期値:	1	0	0	1	0	1	1	1
R/W:		R/W	R/W		R/W			

PMR3 は、8 ビットのリードとライトが可能なレジスタで、SCI1、SCI2 データ出力端子 (SO₁ 端子、SO₂ 端子) の PMOS バッファの ON または OFF、および SCI2 のチップセレクト出力 (SI₂/CS 端子) を制御します。

PMR3 は、リセット時、H'97 に初期化されます。

ここでは、ビット 3 について説明します。ビット 6、5 については「9.2.5 ポートモードレジスタ 3 (PMR3)」を参照してください。

ビット 3 : SO₁ 端子 PMOS オン / オフ (SO1PMOS)

P9₃/SO₁ 端子の PMOS の ON または OFF を制御します。

ビット	説明
SO1PMOS	
0	P9 ₃ /SO ₁ 端子の PMOS バッファは ON (CMOS 出力となります。) (初期値)
1	P9 ₃ /SO ₁ 端子の PMOS バッファは OFF (NMOS オープンドレイン出力となります。)

8.3 動作説明

8.3.1 概要

SCI1 はクロックパルスに同期させてデータを送信および受信します。

SCI1 のモードの設定は、SMR1 のビット 6~4 および PMR2 のビット 3~1 の組み合わせで表 8.3 に示すようになります。

表 8.3 モードの設定

SMR1			PMR2			モード
SMR16	SMR15	SMR14	PMR23	PMR22	PMR21	
*	*	*	0	0	0	シリアル動作禁止
*	0	0	0	0	1	クロック連続出力モード
0	SMR15 と SMR14 の組み合わせは 00 以外の値を設定		1	0	1	8 ビット送信モード
			0	1	1	8 ビット受信モード
			1	1	1	8 ビット送信 / 受信モード
1	SMR15 と SMR14 の組み合わせは 00 以外の値を設定		1	0	1	16 ビット送信モード
			0	1	1	16 ビット受信モード
			1	1	1	16 ビット送信 / 受信モード

【記号説明】

* : Don't care

8. シリアルコミュニケーションインタフェース 1 (SCI1)

SMR1 にデータを書き込むことによって、SCK₁ 端子と転送クロックが制御されます。

SDRU1、SDRL1 は送信データの設定および受信データの格納に使用し、ソフトウェアによるリードとライトが可能です。このデータを、転送クロックによりシフトして、SI₁ 端子と SO₁ 端子からデータの入力または出力を行います。

SCI1 の動作は、SMR1 のダミーリードにより開始されます。8 / 16 進カウンタは、SMR1 のダミーリードにより H'0 にクリアされ、転送クロックの立ち下がり (SCK₁ 端子) でカウントを開始し、転送クロックの立ち上がりで 1 ずつインクリメントします。転送クロックが 8 または 16 クロック入力されカウンタがオーバーフローした場合、またはデータの送信および受信が途中で打ち切られた場合には、8 / 16 進カウンタは H'0 にクリアされます。このとき同時に IRR3 の IRRS1 フラグが 1 にセットされます。

【注】 割り込みについての詳細は、「3.2.2 割り込み」を参照してください。

8.3.2 データ転送フォーマット

クロック同期式データ転送フォーマットを図 8.2 に示します。送信および受信できるデータ長は、8 または 16 ビットです。データの最下位ビットから送信または受信される LSB ファースト方式による転送を行います。送信データは、転送クロックの立ち下がりから次の立ち上がりまで出力されます。また、受信データは転送クロックの立ち上がりで取り込まれます。

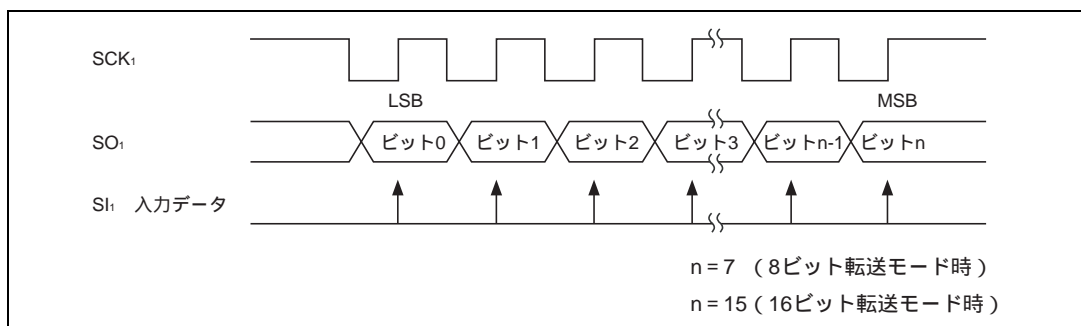


図 8.2 クロック同期式データ転送フォーマット

8.3.3 クロック

転送クロックは、8 種類の内部クロックまたは外部クロックから選択できます。内部クロックを選択した場合には、SCK₁ 端子はクロック出力端子となります。

8.3.4 データの送信または受信動作

(1) SCI1 の初期設定

データの送信または受信を行うには、まず SCI1 をソフトウェアによって初期設定します。初期設定は SMR1 に希望する転送条件をライトすることにより実行されます。

(2) データ送信

送信動作は次のように行われます。

- (1) PMR2のSO1ビットを1、SCK1ビットを1として、それぞれSO_i端子、SCK_i端子に設定します。また、必要に応じてPMR3のSO1PMOSビットにより、SO_i端子をNMOSオープンドレイン出力とします。
- (2) SMR1のSMR16ビットを0または1とし、SMR15、SMR14ビットを00以外の値として8 / 16ビット転送モードに設定し、SMR13 ~ SMR10ビットで転送クロックを選択します。SMR1へのデータ書き込みを行うとSCI1の内部状態は初期設定されます。
- (3) SDRL1、SDRU1に転送データを書き込みます。
8ビット転送モード : SDRL1
16ビット転送モード : 上位バイトSDRU1、下位バイトSDRL1
- (4) SMR1のダミーリードを実行します。SCI1は動作を開始し、SO_i端子より送信データが出力されます。
- (5) 送信完了後、IRR3のIRRS1フラグが1にセットされます。

内部クロックソースを使用する場合は、送信データが出力されると、同時に SCK_i 端子から同期クロックが出力されます。送信が終了すると次回の SMR1 のダミーリードまで同期クロックは出力されません。この間、SO_i 端子は、直前のデータの最終ビットの値を出力し続けます。

外部クロックソースを使用する場合には、SCK_i 端子から入力されるクロックに同期してデータを送信します。送信終了後、引き続き同期クロックが入力されると、再び送信動作を行います。

送信間の SO_i 端子の出力値は、SPR1 の SO1 LAST BIT ビットにより変更することができます。

送信動作中に、SMR1 のダミーリードを実行すると送信エラーとなり、IRR3 の IRRS1 フラグが 1 にセットされます。

(3) データ受信

受信動作は次のように行います。

- (1) PMR2のSI1ビットを1、SCK1ビットを1として、それぞれSI_i端子、SCK_i端子に設定します。
- (2) SMR1のSMR16ビットを0または1とし、SMR15、SMR14ビットを00以外の値として8 / 16ビット転送モードに設定し、SMR13 ~ SMR10ビットで転送クロックを選択します。SMR1へのデータライトを行うとSCI1の内部状態は初期設定されます。
- (3) SMR1のダミーリードを実行します。SCI1は動作を開始し、SI_i端子より受信データが入力されます。
- (4) 受信完了後、IRR3のIRRS1ビットが1にセットされます。
- (5) SDRL1、SDRU1の受信データを読み出します。
8ビット転送モード : SDRL1
16ビット転送モード : 上位バイトSDRU1、下位バイトSDRL1

8. シリアルコミュニケーションインタフェース 1 (SCI1)

内部クロックソースで受信を行う場合は、SMR1 をダミーリードするとすぐに受信動作を開始します。このとき SCK_i 端子から同期クロックが出力されます。

外部クロックソースを使用する場合は、SMR1 をダミーリードした後、SCK_i 端子から入力されるクロックに同期してデータを受信します。受信完了後、引き続きクロックが入力されると、再び受信動作を行います。

受信動作中に、SMR1 のダミーリードを実行すると受信エラーとなり、IRR3 の IRRS1 フラグが 1 にセットされます。

(4) 送受信同時動作

送受信同時動作は次のように行われます。

- (1) PMR2のSO1ビットを1、SI1ビットを1、SCK1ビットを1として、それぞれSO_i端子、SI_i端子、SCK_i端子に設定します。また、必要に応じてPMR3のSO1PMOSビットにより、SO_i端子をNMOSオープンドレイン出力とします。
- (2) SMR1のSMR16ビットを0または1とし、SMR15、SMR14ビットを00以外の値として8 / 16ビット転送モードに設定し、SMR13～SMR10ビットで転送クロックを選択します。SMR1へのデータをライトするとSCI1の内部状態は初期設定されます。
- (3) SDRL1、SDRU1に転送データを書き込みます。
8ビット転送モード : SDRL1
16ビット転送モード : 上位バイトSDRU1、下位バイトSDRL1
- (4) SMR1のダミーリードを実行します。SCI1は動作を開始し、SO_i端子より送信データが出力され、またSI_i端子より受信データが入力されます。
- (5) 送受信完了後、IRR3のIRRS1フラグが1にセットされます。
- (6) SDRL1、SDRU1の受信データを読み出します。
8ビット転送モード : SDRL1
16ビット転送モード : 上位バイトSDRU1、下位バイトSDRL1

送受信同時動作は、前項のデータ送信とデータ受信を同時に行うものです。詳細は、「8.3.4 (2) データ送信」、「8.3.4 (3) データ受信」を参照してください。

送受信動作中に、SMR1 のダミーリードを実行すると送受信エラーとなり、IRR3 の IRRS1 フラグが 1 にセットされます。

8.3.5 SCI1 の動作状態遷移

SCI1 には図 8.3 に示す 3 つの内部動作状態があります。

シリアルスタート待ち状態は、SCI1 の内部状態が初期設定された状態です。この状態では、転送クロックが印加されても SCI1 は動作しません。ここで SMR1 のダミーリードが実行されると、転送クロック待ち状態になります。

転送クロック待ち状態において転送クロックが印加されると、8 / 16 進カウンタのカウンタアップとシリアルデータレジスタのシフトが開始され、転送状態になります。ただし、クロック連続出力モードが選択されると、転送状態にならずに、転送クロックが連続的に出力されます。

転送状態において、転送クロックが 8 または 16 クロック入力されるか、あるいは SMR1 のダミーリードおよび SMR1 書き込みが実行されると、8 / 16 進カウンタが H'0 になり、転送クロック待ち状態になります。また、転送状態において SMR1 のライトを行うと、8 / 16 進カウンタが H'0 になり、シリアルスタート待ち状態になります。転送状態から他の状態への遷移が起こると、8 / 16 進カウンタが H'0 になることによって IRR3 の IRRS1 フラグが 1 にセットされます。

内部転送クロックが選択されている場合には、SMR1 のダミーリードの実行によって転送クロックの出力が起動され、8 または 16 クロック出力後に停止します。

転送クロック待ち状態または転送状態で SMR1 書き込みを行った場合、再度 SMR1 書き込みを行い SCI1 の内部状態を初期設定してください。SMR1 書き込み後はシリアルスタート待ち状態になります。

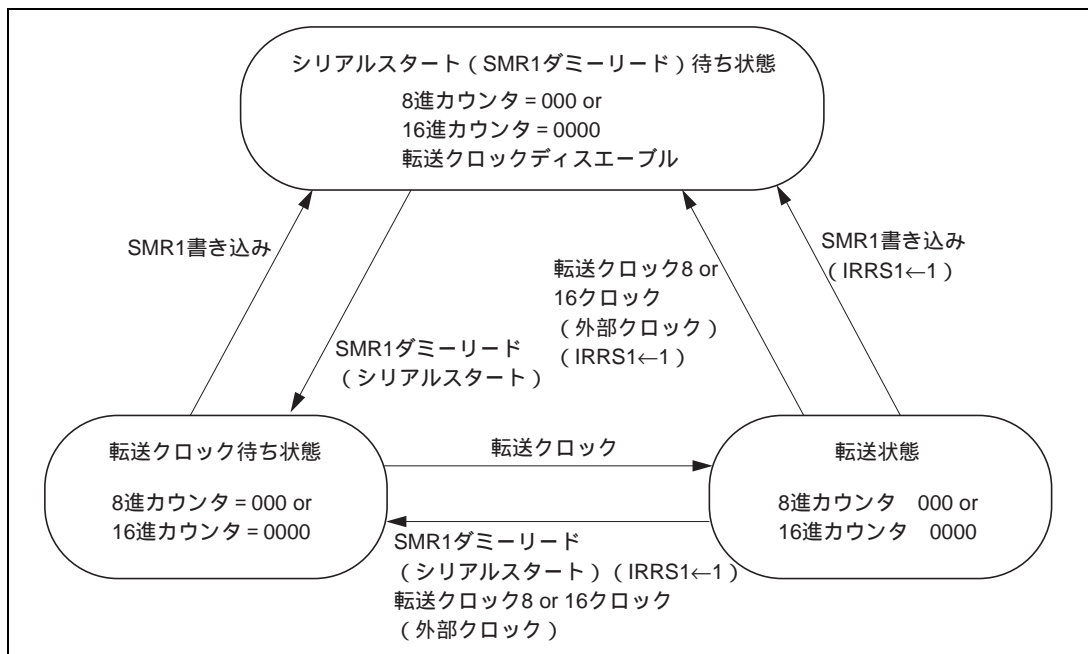


図 8.3 SCI1 動作状態遷移図

8.3.6 転送クロックエラーの検出例

転送状態において、外来の雑音などによって正規の転送クロックに余分なパルスが重ね合わされた場合、SCI1 は誤動作します。この場合は、図 8.4 に示す手順によって転送クロックのエラーを知ることができます。

転送クロック待ち状態に、誤って 8 または 16 クロックを超える転送クロックが入力されると SCI1 の動作状態は、転送状態、転送クロック待ち状態、転送状態の順に遷移します。IRR3 の IRRS1 フラグを 0 にクリアした後、SMR1 に値をライトしてシリアルスタート待ち状態にすると、再び IRRS1 フラグが 1 にセットされます。

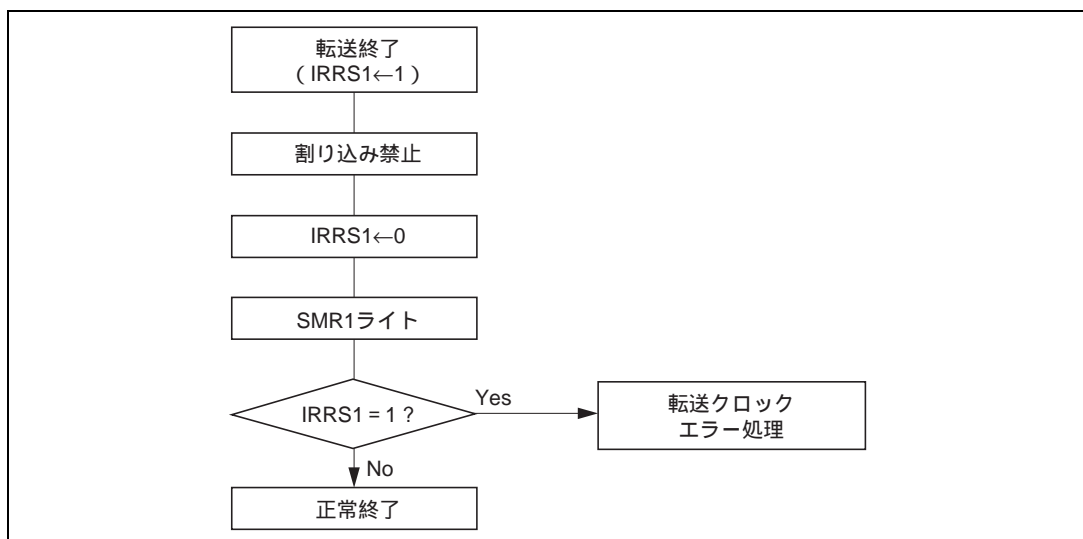


図 8.4 転送クロックエラーの検出フロー

8.3.7 割り込み要因

SCI1 の割り込み要因には、転送完了、送受信エラーがあり、共通のベクタアドレスが割り付けられています。

SCI1 が、転送完了または送受信エラーにより途中終了すると、IRR3 の IRRS1 フラグが 1 にセットされます。SCI1 の割り込み要求は、IENR3 の IENS1 フラグにより許可または禁止を指定できます。

詳細は、「3.2.2 割り込み」を参照してください。

9. シリアルコミュニケーションインタフェース 2 (SCI2)

9.1 概要

シリアルコミュニケーションインタフェース 2 (SCI2) は、32 バイトのデータバッファを持ち、1 回の操作で 1 ~ 32 バイト分のクロック同期式シリアル転送を行います。

9.1.1 特長

SCI2 の特長を以下に示します。

最大 32 バイトのデータを自動的に転送可能

クロックソースとして 3 種類の内部クロック ($\phi/8$ 、 $\phi/4$ 、 $\phi/2$) と外部クロックが選択可能

転送の完了、またはエラーで割り込み要求を発生

9. シリアルコミュニケーションインタフェース2 (SCI2)

9.1.2 ブロック図

SCI2のブロック図を図9.1に示します。

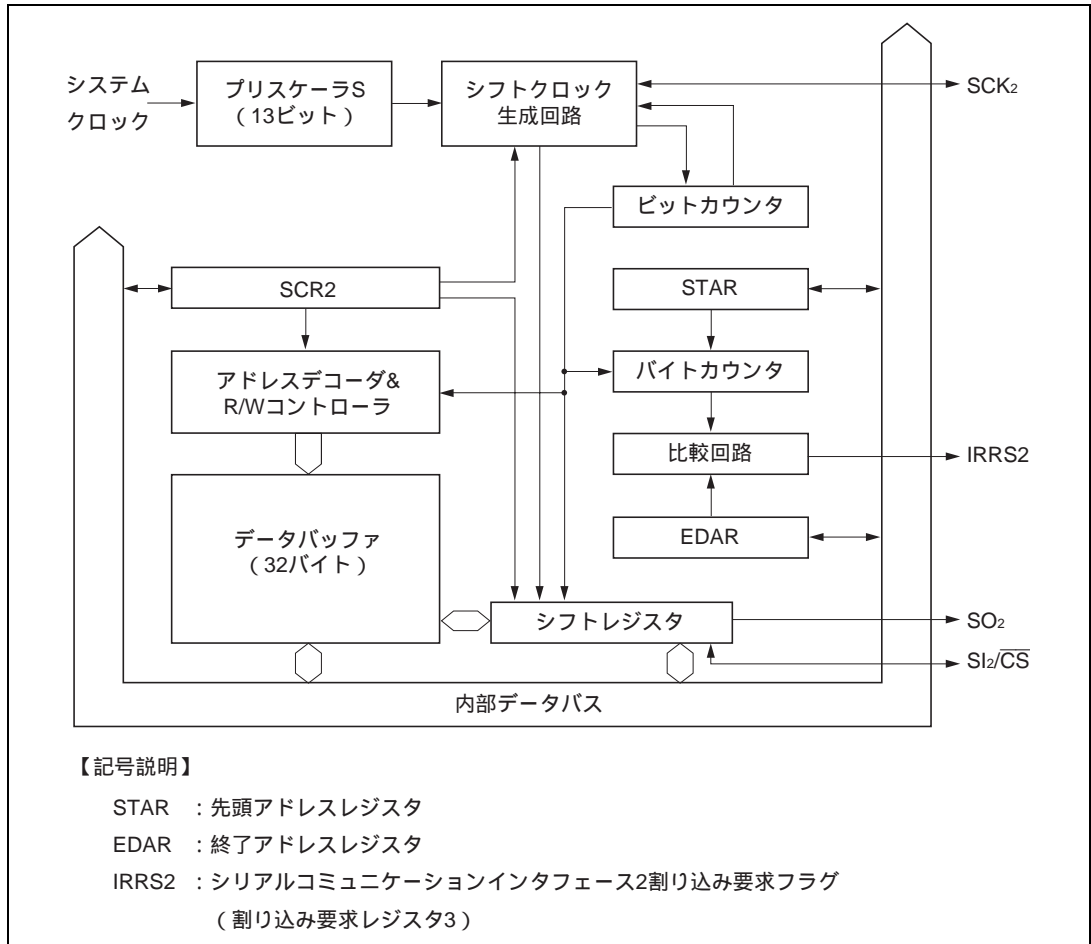


図 9.1 SCI2のブロック図

9.1.3 端子構成

SCI2 の端子構成を表 9.1 に示します。

表 9.1 端子構成

名 称	略称	入出力	機 能
SCI2 クロック端子	SCK ₂	入出力	SCI2 のクロック入出力端子
SCI2 データ入力端子	SI ₂	入力	SCI2 の受信データ入力端子
SCI2 データ出力端子	SO ₂	出力	SCI2 の送信データ出力端子
SCI2 チップセレクト出力端子	\overline{CS}	出力	SCI2 チップセレクト出力端子

【注】 P9/SCK₂ 端子、P9/SI₂/ \overline{CS} 端子、P9/SO₂ 端子の機能切り替えは、ポートモードレジスタ 2 (PMR2)、ポートモードレジスタ 3 (PMR3) により行います。

PMR2 については、「5.7.2 (1) ポートモードレジスタ 2 (PMR2)」を参照してください。

9.1.4 レジスタ構成

SCI2 のレジスタ構成を表 9.2 に示します。

表 9.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス
32 バイトデータバッファ	-	R/W	不定	H'FF80 ~ H'FF9F
先頭アドレスレジスタ	STAR	R/W	H'E0	H'FFA0
終了アドレスレジスタ	EDAR	R/W	H'E0	H'FFA1
シリアルコントロールレジスタ 2	SCR2	R/W	H'E0	H'FFA2
ステータスレジスタ	STSR	R/W	H'E0/H'E8	H'FFA3
ポートモードレジスタ 2	PMR2	R/W	H'00	H'FFEC
ポートモードレジスタ 3	PMR3	R/W	H'97	H'FFED

9.2 各レジスタの説明

9.2.1 先頭アドレスレジスタ (STAR)

ビット:	7	6	5	4	3	2	1	0
				STA4	STA3	STA2	STA1	STA0
初期値:	1	1	1	0	0	0	0	0
R/W:				R/W	R/W	R/W	R/W	R/W

STAR は、8 ビットのリードとライトが可能なレジスタで、32 バイトのデータバッファが割り付けられているアドレス空間 H'FF80 ~ H'FF9F 中の転送開始アドレスを指定します。

STAR の下位 5 ビット (STA4 ~ 0 ビット) により指定される H'00 ~ H'1F の 32 バイトがアドレス空間 H'FF80 ~ H'FF9F に対応しています。

STAR と EDAR で指定された領域を使用して、データの連続送信または受信を行います。

ビット 7 ~ 5 は、リザーブビットであり、ライトは無効です。リードすると常に 1 が読み出されます。

STAR は、リセット時、H'E0 に初期化されます。

9. シリアルコミュニケーションインタフェース 2 (SCI2)

9.2.2 終了アドレスレジスタ (EDAR)

ビット:	7	6	5	4	3	2	1	0
				EDA4	EDA3	EDA2	EDA1	EDA0
初期値:	1	1	1	0	0	0	0	0
R/W:				R/W	R/W	R/W	R/W	R/W

EDAR は、8 ビットのリードとライトが可能なレジスタで、32 バイトのデータバッファが割り付けられているアドレス空間 H'FF80 ~ H'FF9F 中の転送終了アドレスを指定します。

EDAR の下位 5 ビット (EDA4 ~ 0 ビット) により指定される H'00 ~ H'1F の 32 バイトが、アドレス空間 H'FF80 ~ H'FF9F に対応しています。

STAR と EDAR で指定された領域を使用して、データの連続送信または受信を行います。

STAR と EDAR が同じ値で転送を開始すると、その 1 バイトのデータのみ転送を行います。

ビット 7 ~ 5 は、リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

EDAR は、リセット時、H'E0 に初期化されます。

9.2.3 シリアルコントロールレジスタ 2 (SCR2)

ビット:	7	6	5	4	3	2	1	0
				I/O	GAP2	GAP1	PS1	PS0
初期値:	1	1	1	0	0	0	0	0
R/W:				R/W	R/W	R/W	R/W	R/W

SCR2 は、8 ビットのリードとライトが可能なレジスタで、SCI2 の送信または受信、連続転送中のギャップ挿入、および転送クロックを選択します。

SCR2 はリセット時、H'E0 に初期化されます。

ビット 7 ~ 5 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 4 : 送信 / 受信選択 (I/O)

SCI2 の送信または受信を選択します。

ビット 4	説明
I/O	
0	SCI2 は、受信モード (初期値)
1	SCI2 は、送信モード

ビット 3、2 : ギャップ挿入 (GAP2、GAP1)

データの連続送信または受信時に、データの区切りでの転送クロックの High レベル期間を指定します。本ビットの設定は、転送クロックに内部クロックが選択 (PS1、0 ビット 11) されているときに有効となります。

また、データの区切り位置は、STSR の GIT ビットにより 8 ビットまたは 16 ビットごとに選択できます。

ビット 3	ビット 2	説明
GAP2	GAP1	
0	0	転送クロックは同一のデューティ (初期値)
	1	転送クロックの High レベル期間 : 1 クロック分
1	0	転送クロックの High レベル期間 : 2 クロック分
	1	転送クロックの High レベル期間 : 8 クロック分

ビット 1、0 : 転送クロック選択 (PS1、PS0)

転送クロックを、内部クロック 3 種類または外部クロックから選択します。

ビット 1	ビット 0	SCK ₂ 端子	クロックソース	プリスケアラ 分周比	転送クロック周期		
					$\phi = 4\text{MHz}$	$\phi = 2\text{MHz}$	$\phi = 1\text{MHz}$
0	0	SCK ₂ 出力	プリスケアラ S	$\phi / 2$ (初期値)	*	1 μs	2 μs
	1			$\phi / 4$	1 μs	2 μs	4 μs
1	0	SCK ₂ 入力	外部クロック	$\phi / 8$	2 μs	4 μs	8 μs
	1			-	-	-	-

【記号説明】

* : Don't care

9.2.4 ステータスレジスタ (STSR)

ビット :	7	6	5	4	3	2	1	0
				SO2 LAST BIT	OVR	WT	GIT	STF
初期値 :	1	1	1	0	不定	0	0	0
R/W :				R/W	R/W*	R/W*	R/W	R/W

【注】 * STSR へのライト動作により 0 にクリアされます。

STSR は、SCI2 の動作状態、エラー状態などを示す 8 ビットのレジスタです。

データ送信中に本レジスタにライトすると誤動作の原因となります。

STSR は、リセット時、H'E0 または H'E8 に初期化されます。

ビット 7~5 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

9. シリアルコミュニケーションインタフェース 2 (SCI2)

ビット 4：拡張データビット (SO2 LAST BIT)

送信終了後、送信データの最終ビットの値を保持します。

送信前または送信後に本ビットを操作して、SO₂ 端子の出力をソフトウェアで変更することができます。

データ送信中に本ビットにライトすると誤動作の原因となります。

ビット 4	説 明
SO2 LAST BIT	
0	SO ₂ 端子出力は、Low レベル (初期値)
1	SO ₂ 端子出力は、High レベル

ビット 3：オーバランフラグ (OVR)

設定されたバッファサイズ以上のデータが転送された場合、または外来の雑音などにより正規の転送クロックに余分なパルスが重ね合わされた場合、SCI2 はオーバラン状態となり、本ビットが 1 にセットされます。初期値は不定です。

ビット 3	説 明
OVR	
0	[クリア条件] STSR にライト動作を行ったとき
1	[セット条件] オーバラン状態になったとき

ビット 2：ウェイトングフラグ (WT)

転送中は 32 バイトのデータバッファにリードまたはライト命令を実行しても、その命令は無視され、割り込み要求レジスタ 3 (IRR3) の IRRS2 フラグとともに本フラグが 1 にセットされます。

ビット 2	説 明
WT	
0	[クリア条件] STSR にライト動作を行ったとき (初期値)
1	[セット条件] 転送中に、32 バイトのデータバッファへのリード/ライトを行ったとき

ビット 1：GAP インターバルフラグ (GIT)

SCR2 の GAP2、1 ビットにより指定される転送クロックの High レベル期間の引き伸ばしを、8 ビットごとに行うか 16 ビットごとに行うかを指定します。本ビットの設定は、内部クロック動作時のみ有効となります。

ビット 1	説 明
GIT	
0	16 ビットごとに GAP2、1 ビットの設定が有効 (初期値)
1	8 ビットごとに GAP2、1 ビットの設定が有効

ビット0：スタート/ビジーフラグ (STF)

本ビットに1をセットすると、SCI2の転送動作が開始します。本ビットは、転送中は1を保持し、転送終了後に0にクリアされます。このため、ビジーフラグとして使用できます。

転送中に本ビットに0をライトすると、転送は途中で打ち切られます。このとき、32バイトデータバッファおよびSTSR以外の内部レジスタの内容は保持されます。なお、本ビットを1にセットして、転送動作を開始した場合、STARで示すデータから転送します。

ビット0	説明	
STF		
0	リード時	転送動作は停止 (初期値)
	ライト時	転送を強制終了
1	リード時	転送動作中
	ライト時	転送を開始

9.2.5 ポートモードレジスタ3 (PMR3)

ビット：	7	6	5	4	3	2	1	0
		SO2 PMOS	CS		SO1 PMOS			
初期値：	1	0	0	1	0	1	1	1
R/W：		R/W	R/W		R/W			

PMR3は、8ビットのリードとライトが可能なレジスタで、SCI1、SCI2データ出力端子(P9₅/SO₁端子、P9₆/SO₂端子)のPMOSバッファのONまたはOFF、およびSCI2のチップセレクト出力(SI₂/CS端子)を制御します。

PMR3は、リセット時、H'97に初期化されます。

ビット3については、「8.2.6 ポートモードレジスタ3 (PMR3)」を参照してください。

ビット7：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット6：SO₂端子PMOS オン/オフ (SO2PMOS)

P9₆/SO₂端子のPMOSのONまたはOFFを制御します。

ビット6	説明
SO2PMOS	
0	P9 ₆ /SO ₂ 端子のPMOSバッファはON (CMOS出力となります。) (初期値)
1	P9 ₆ /SO ₂ 端子のPMOSバッファはOFF (NMOSオーブンドレイン出力となります。)

9. シリアルコミュニケーションインタフェース 2 (SCI2)

ビット 5 : チップセレクト出力選択 (CS)

P9₅/SI₂/CS 端子を CS 出力端子に設定します。本ビットの設定は、PMR2 の SI2 ビットとの組み合わせで機能します。また、CS 出力端子機能は、転送クロックに内部クロックが選択されており、かつ送信モードのとき有効となります。

PMR2	PMR3	説明
ビット 5	ビット 5	
SI2	CS	
0	*	P9 ₅ /SI ₂ /CS 端子は、P9 ₅ 入出力端子として機能 (初期値)
1	0	P9 ₅ /SI ₂ /CS 端子は、SI ₂ 入力端子として機能
	1	P9 ₅ /SI ₂ /CS 端子は、CS 出力端子として機能

【記号説明】

* : Don't care

ビット 4、2~0 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

9.3 動作説明

9.3.1 概要

SCI2 は、32 バイトのデータバッファをもち、1 回の操作で最大 32 バイトのデータを連続転送できます。SCI2 は、クロックパルスに同期させてデータを送信または受信します。

送信または受信モード、転送クロックの選択などは、SCR2 により設定します。

STAR と EDAR は、32 バイトデータバッファ内の転送データの格納領域を指定します。データバッファの割り付けられているアドレス空間は H'FF80 ~ H'FF9F であり、STAR と EDAR の下位 5 ビットで転送データ領域の先頭位置と終了位置を指定します。

PMR2、PMR3、SCR2、STAR、EDAR の各レジスタを設定後、STSR の STF フラグを 1 にセットすると、SCI2 は転送動作を開始します。STF フラグは、転送中は 1 を保持し、転送が終了すると 0 にクリアされます。したがって、STF フラグをビジーフラグとして使用することができます。また、転送中に STF フラグを 0 にクリアすると、転送動作は途中で打ち切られます。このとき、データバッファおよび内部レジスタの内容は保持されます。

転送中は、CPU からデータバッファにリードまたはライトすることはできません。ライト命令を実行しても無視され、ステート数はかかりますが NOP 命令を実行したのと同じになります。また、リード命令を実行すると H'FF が読み出されます。

転送終了時、または転送中のデータバッファのリードまたはライトが発生したとき、IRR3 の IRRS2 フラグが 1 にセットされます。また、オーバランエラー、転送中のデータバッファのリードまたはライトでは、STSR の OVR フラグ、WT フラグがそれぞれ 1 にセットされます。

【注】 先頭アドレス > 終了アドレスで操作させた場合、図 9.2 に示すように H'FF9F 番地のデータを転送後、H'FF80 番地にもどり、終了アドレスまで転送を行います。

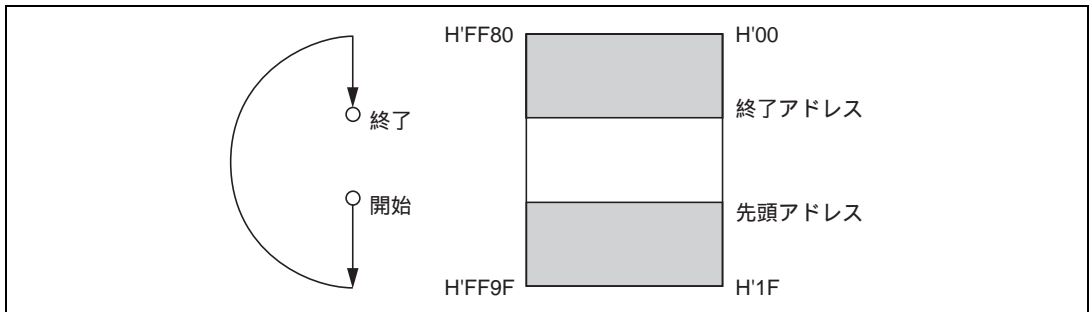


図 9.2 先頭アドレス > 終了アドレスの場合の動作

9.3.2 クロック

転送クロックは、3種類の内部クロックまたは外部クロックから選択できます。内部クロックを選択した場合は、SCK₂端子はクロック出力端子となります。

9.3.3 データ転送フォーマット

SCI2の通信フォーマットを図9.3に示します。データの最下位ビットから送信または受信される、LSBファースト方式による転送を行います。送信データは転送クロックの立ち下がりから次の立ち上がりまで出力されます。また、受信データは転送クロックの立ち上がりで取り込まれます。

SCI2が内部クロック動作で、かつ送信モード時には、データの区切り(8ビットごとまたは16ビットごと)にギャップを挿入することができます。ギャップ期間では、転送クロックが指定されたクロック分だけ High レベルを保持します(図9.4~図9.6参照)。 \overline{CS} 出力はギャップ期間中も Low のままです。

ギャップの挿入、およびギャップ長の選択は、SCR2のGAP2、GAP1ビットで設定します。また、データの区切り間隔を8ビットごとにするか16ビットごとにするかは、STSRのGITビットにより設定します。

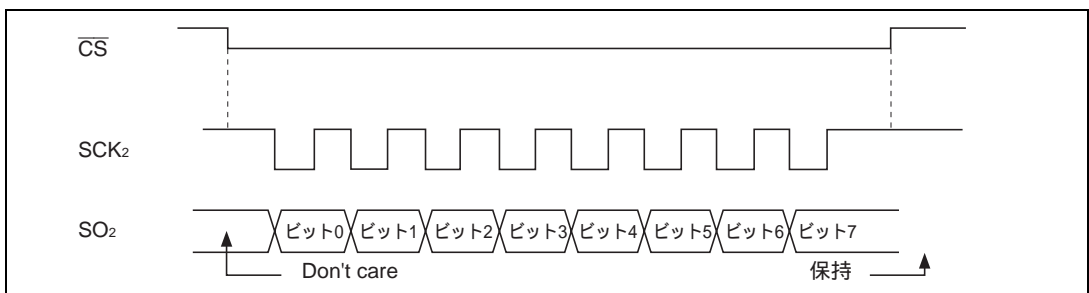


図 9.3 クロック同期式通信の転送

9. シリアルコミュニケーションインタフェース 2 (SCI2)

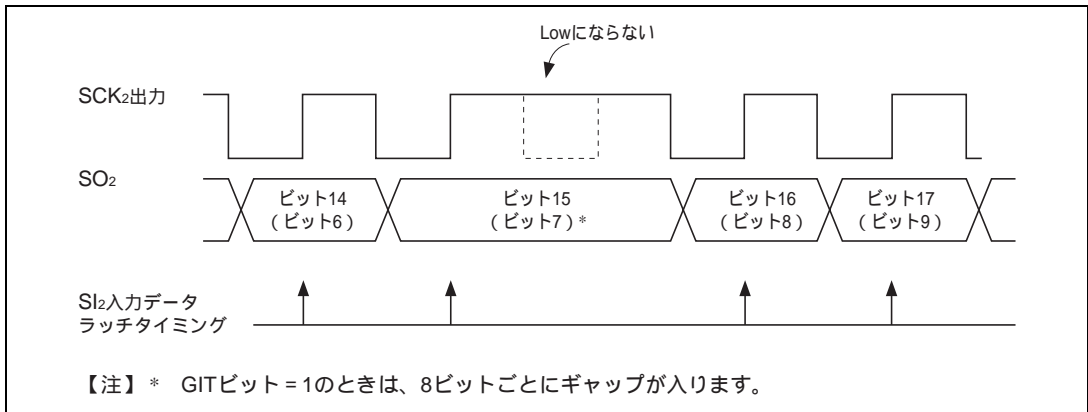


図 9.4 1クロック長のギャップ挿入 (GAP2、GAP1 ビット = 01)

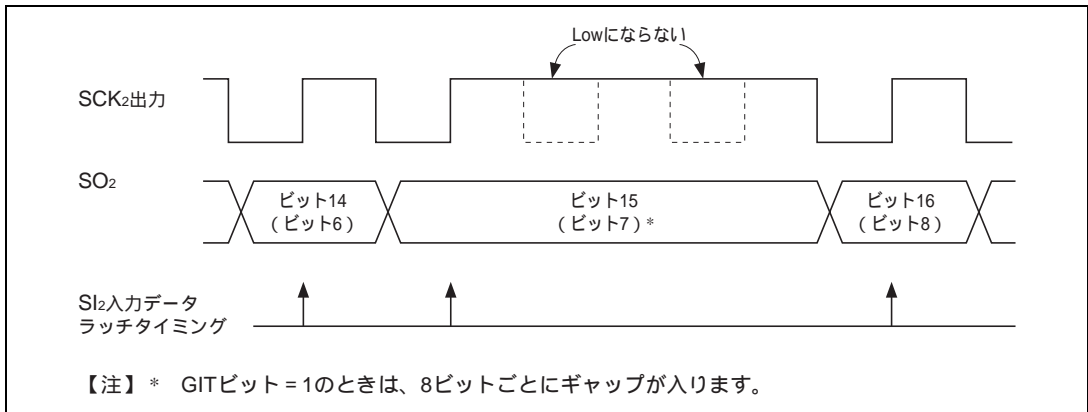


図 9.5 2クロック長のギャップ挿入 (GAP2、GAP1 ビット = 10)

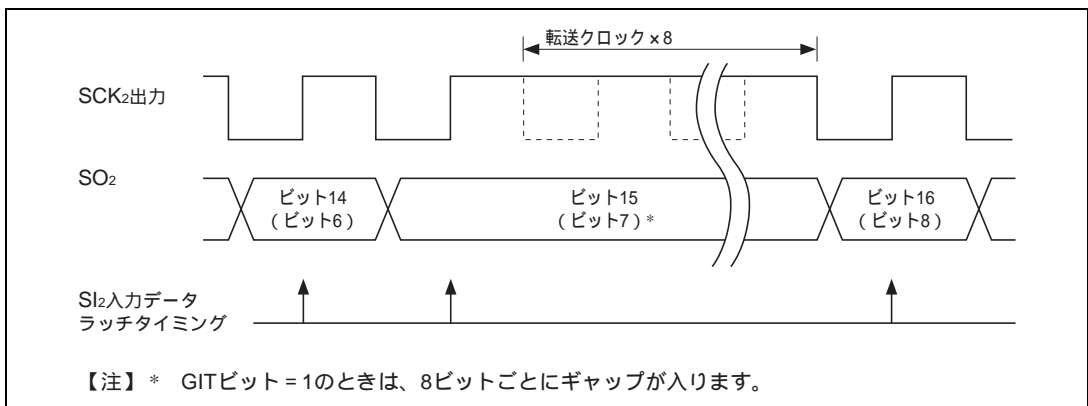


図 9.6 8クロック長のギャップ挿入 (GAP2、GAP1 ビット = 11)

9.3.4 データの送信または受信動作

(1) SCI2の初期設定

データの送信または受信を行うには、まずSCI2をソフトウェアによって初期設定します。

初期設定は、STSRのSTFフラグが0にクリアされた状態で、PMR2、PMR3、STAR、EDAR、およびSCR2を設定することで行います。

(2) データ送信

送信動作は次のように行います。

- (1) PMR2のSO2ビットを1として、SO₂端子に設定します。また、必要に応じてPMR3のSO2PMOSビット、CSビットにより、SO₂端子のNMOSオープンドレイン出力、P9₃/SI₂/CS端子のチップセレクト出力を選択します。
- (2) 32バイトデータバッファ(H'FF80~H'FF9F)に送信するデータをライトします。
- (3) STARに転送先頭アドレスの下位5ビットを設定します。
- (4) EDARに転送終了アドレスの下位5ビットを設定します。
- (5) SCR2により、送信モード(I/Oビット=1、転送クロック、およびギャップの挿入(内部クロック動作時のみ))を設定します。
- (6) STSRのGITビットによりデータの区切りを設定し、STFフラグを1にセットします。STFフラグのセットにより送信動作が開始されます。
- (7) 送信完了後、IRR3のIRRS2フラグが1にセットされます。また、STSRのSTFフラグは0にクリアされます。

内部クロックソースを使用する場合は、送信データが出力されると、同時にSCK₂端子から同期クロックが出力されます。送信が終了すると次のSTFフラグのセットまで同期クロックは出力されません。この間、SO₂端子は、直前のデータの最終ビットの値を出力し続けます。

外部クロックソースを使用する場合には、SCK₂端子から入力されるクロックに同期してデータを送信します。送信終了後、引き続き同期クロックが入力されても送信動作は行われず、SO₂端子は、直前のデータの最終ビットの値を出力し続けます。

送信間のSO₂端子の出力値は、STSRのSO2ビットにより変更することができます。

送信動作中に、転送中のデータバッファのリードまたはライトが発生したとき、IRR3のIRRS2フラグが1にセットされます。また、STSRのWTフラグも1にセットされます。

(3) データ受信

受信動作は以下のように行われます。

- (1) PMR2のSI2ビットを1として、SI₂端子に設定します。
- (2) 32バイトデータバッファ内に受信データ格納領域を設け、STARに転送先頭アドレスの下位5ビットを設定します。
- (3) EDARに転送終了アドレスの下位5ビットを設定します。
- (4) SCR2により、受信モード(I/Oビット=0)と転送クロックを設定します。
- (5) STSRのSTFフラグを1にセットすると受信動作が開始されます。
- (6) 受信終了後、IRR3のIRRS2フラグが1にセットされます。また、STSRのSTFフラグは、0にクリアされます。
- (7) データバッファ内に格納された受信データをリードします。

内部クロックソースで受信を行う場合は、STSR の STF フラグを 1 にセットするとすぐに受信動作を開始します。このとき SCK_i 端子から同期クロックが出力されます。

外部クロックソースを使用する場合は、STF フラグがセットされた後、SCK_i 端子から入力されるクロックに同期してデータを受信します。受信完了後、引き続き同期クロックが入力されても、再び STF フラグがセットされるまで受信動作は行いません。

受信動作中に、転送中のデータバッファのリードまたはライトが発生したとき、IRR3 の IRRS2 フラグが 1 にセットされます。また、オーバランエラー、転送中のデータバッファのリードまたはライトでは、STSR の OVR ビット、WT フラグがおのの 1 にセットされます。

SCI2 が内部クロック動作で、かつ送信モード時には、データの区切り (8 ビットごとまたは 16 ビットごと) にギャップを挿入することができます。ギャップ期間では、転送クロックが指定されたクロック分だけ High レベルを保持します (図 9.4 ~ 図 9.6 参照)。

ギャップの挿入、およびギャップ長の選択は、SCR2 の GAP2、GAP1 ビットで設定します。また、データの区切り間隔を 8 ビットごとにするか 16 ビットごとにするかは、STSR の GIT ビットにより設定します。

9.4 割り込み要因

SCI2 の割り込み要因は、転送完了と転送中のデータバッファのリードまたはライトであり、共通のベクタアドレスが割り付けられています。

SCI2 に、上記の条件が発生すると、IRR3 の IRRS2 フラグが 1 にセットされます。SCI2 の割り込み要求は、割り込み許可レジスタ 3 (IENR3) の IENS2 ビットにより許可または禁止を指定できます。詳細は、「3.2.2 割り込み」を参照してください。

また、オーバランエラーが発生した場合、または転送中のデータバッファのリードまたはライトを行った場合には、STSR の OVR フラグ、WT フラグがおのの 1 にセットされます。これらのビットによりエラー要因の判別ができます。

9.5 使用上の注意事項

- (1) 転送中 (STSR の STF フラグ = 1) は、各レジスタにライトしないでください。誤動作の原因となります。
- (2) 受信時には、必ず SI2 ビット = 1、CS ビット = 0 として SI_i 端子機能を設定してください。PMR2 の SI2 ビット = 1、および PMR3 の CS ビット = 1 として、CS 端子機能を選択して、受信動作を行うと受信データは不定となります。

10. A/D 変換器

10.1 概要

本 LSI は、抵抗ラダー方式による逐次比較方式の A/D 変換器を内蔵しており、最大 8 チャンネルのアナログ入力の測定ができます。

10.1.1 特長

A/D 変換器の特長を以下に示します。

8 ビットの分解能

入力チャンネル：8 チャンネル

変換時間：1 チャンネル当たり最小 14.8 μ s ($f_{osc} = 8.38$ MHz 時)

サンプル&ホールド機能

A/D 変換終了割り込み要求を発生

10.1.2 ブロック図

A/D 変換器のブロック図を図 10.1 に示します。

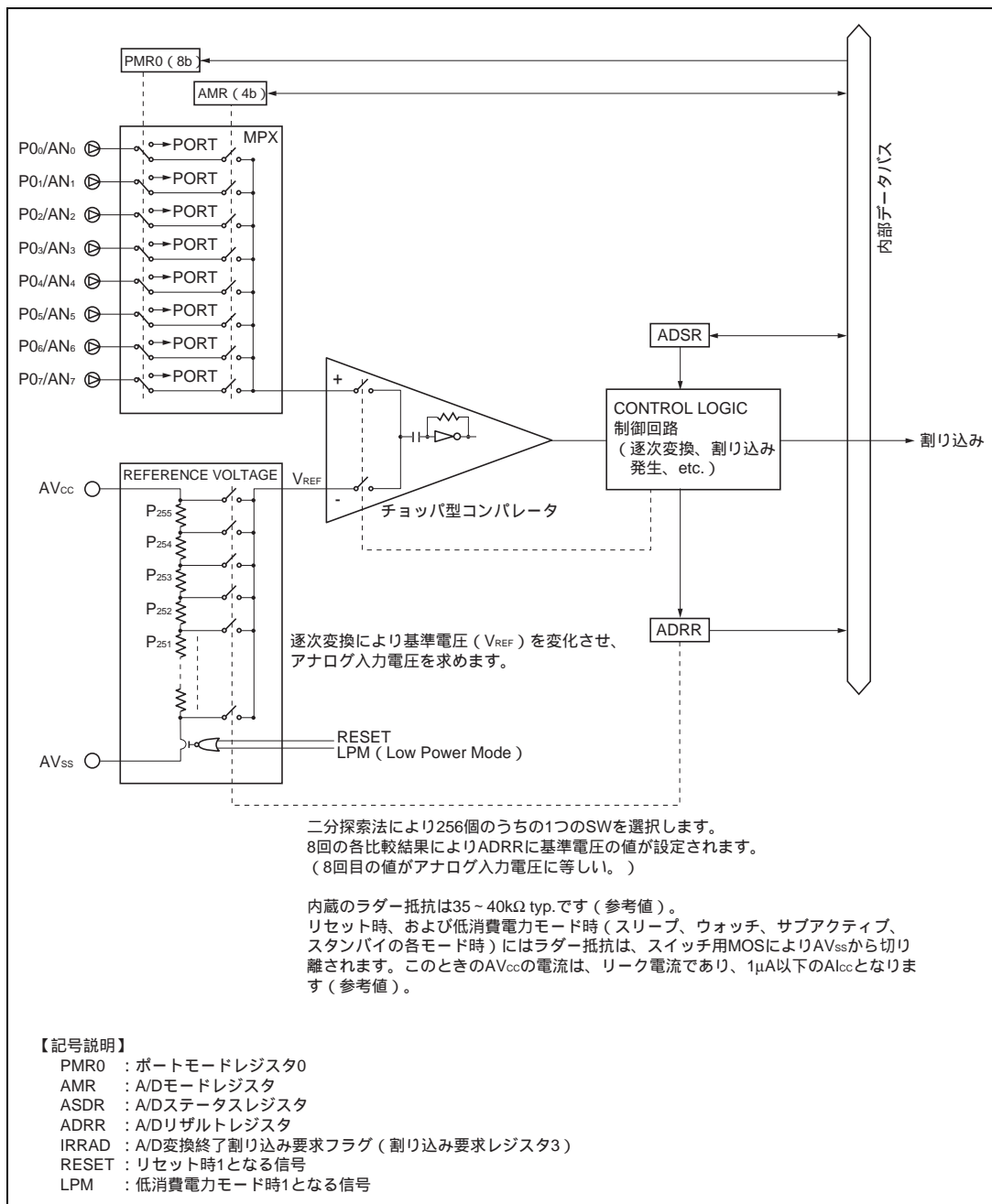


図 10.1 A/D 変換器のブロック図

10.1.3 端子構成

A/D 変換器の端子構成を表 10.1 に示します。

表 10.1 端子構成

名 称	略称	入出力	機 能
アナログ電源端子	AV _{CC}	入力	アナログ部の電源および基準電圧
アナロググランド端子	AV _{SS}	入力	アナログ部のグランドおよび基準電圧
アナログ入力端子 0	AN ₀	入力	アナログ入力チャンネル 0
アナログ入力端子 1	AN ₁	入力	アナログ入力チャンネル 1
アナログ入力端子 2	AN ₂	入力	アナログ入力チャンネル 2
アナログ入力端子 3	AN ₃	入力	アナログ入力チャンネル 3
アナログ入力端子 4	AN ₄	入力	アナログ入力チャンネル 4
アナログ入力端子 5	AN ₅	入力	アナログ入力チャンネル 5
アナログ入力端子 6	AN ₆	入力	アナログ入力チャンネル 6
アナログ入力端子 7	AN ₇	入力	アナログ入力チャンネル 7

10.1.4 レジスタ構成

A/D 変換器のレジスタ構成を表 10.2 に示します。

表 10.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス
A/D モードレジスタ	AMR	R/W	H'78	H'FFBC
A/D スタートレジスタ	ADSR	R/W	H'7F	H'FFBE
A/D リザルトレジスタ	ADRR	R	不定	H'FFBD
ポートモードレジスタ 0	PMR0	W	H'00	H'FFEF

10.2 各レジスタの説明

10.2.1 A/D リザルトレジスタ (ADRR)

ビット:	7	6	5	4	3	2	1	0
	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R

ADRR は、A/D 変換された結果を格納する 8 ビットのリード専用レジスタです。

ADRR は、常に CPU からリード可能です。A/D 変換中は ADRR の値は不定で、A/D 変換終了時に変換結果の 8 ビットデータが ADRR へ転送され、次の変換開始までこのデータが保持されます。

ADRR は、リセットでクリアされません。

10.2.2 A/D モードレジスタ (AMR)

ビット:	7	6	5	4	3	2	1	0
	AMR7					AMR2	AMR1	AMR0
初期値:	0	1	1	1	1	0	0	0
R/W:	R/W					R/W	R/W	R/W

AMR は、8 ビットのリードとライトが可能なレジスタで、A/D 変換スピードの設定、アナログ入力端子の指定を行います。

AMR の書き込みは ADSR の ADSF フラグが 0 の状態で行ってください。

AMR は、リセット時、H'78 に初期化されます。

ビット 7: クロックセレクト (AMR7)

A/D 変換スピードの設定*¹を行います。

ビット 7	変換周期* ²	$\phi = 2\text{MHz}$	$\phi = 4.19\text{MHz}$	(初期値)
AMR7				
0	$62 / \phi$	$31\mu\text{s}$	$14.8\mu\text{s}$	
1	$31 / \phi$	$15.5\mu\text{s}$	- * ¹	

【注】 *1 14.8 μs 以下の変換時間では、動作が保証されません。14.8 μs 以上になるように選択してください。

*2 ADSR の ADSF フラグに 1 をライトしてから A/D 変換がスタートします。変換周期はスタートフラグがセットされてから、変換終了によりリセットされるまでの時間を変換周期としています。実際にサンプル&ホールドを繰り返す期間は、図 10.2 に示す変換期間で実行されます。

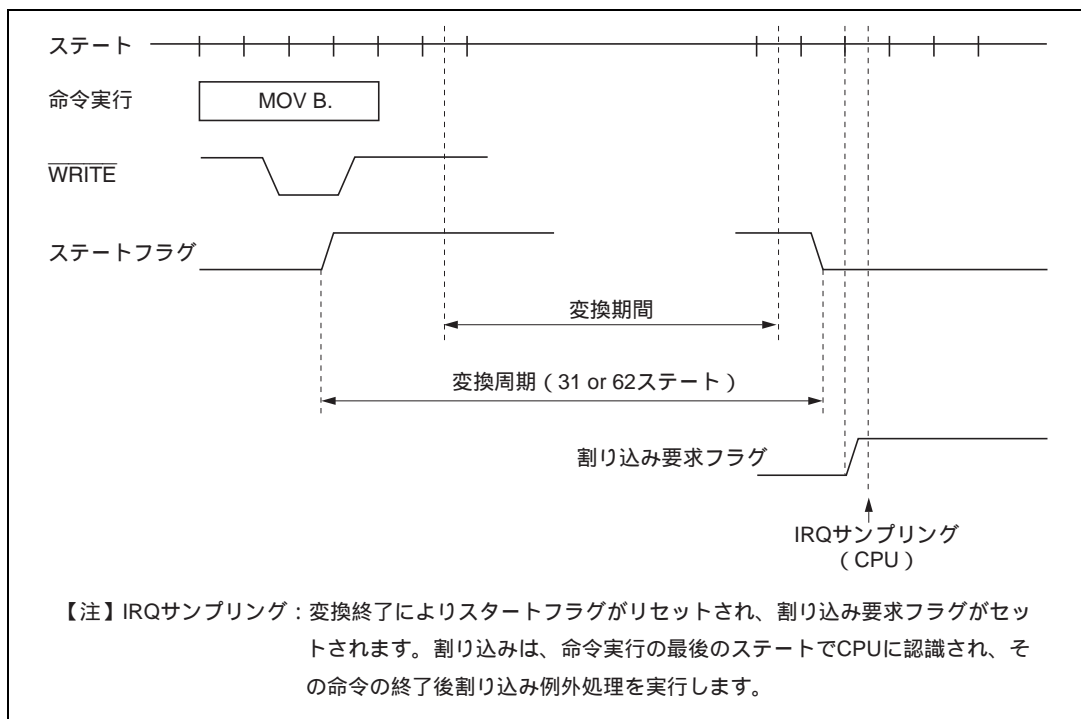


図 10.2 A/D 変換器の内部動作

ビット 6～3：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 2～0：チャンネルセレクト (AMR2～0)

アナログ入力チャンネルの選択を行います。

同時に PMR0 により該当チャンネルの設定を行ってください。チャンネルの設定に関しては、「10.2.4 ポートモードレジスタ 0 (PMR0)」を参照してください。

ビット 2	ビット 1	ビット 0	アナログ入力チャンネル	
AMR2	AMR1	AMR0		
0	0	0	AN ₀	(初期値)
		1	AN ₁	
	1	0	AN ₂	
		1	AN ₃	
1	0	0	AN ₄	
		1	AN ₅	
	1	0	AN ₆	
		1	AN ₇	

10. A/D 変換器

10.2.3 A/D スタートレジスタ (ADSR)

ビット:	7	6	5	4	3	2	1	0
	ADSF							
初期値:	0	1	1	1	1	1	1	1
R/W:		R/W						

ADSR は、8 ビットのリードとライトが可能なレジスタで、A/D 変換の開始または停止を指定します。

ADSF に 1 をライトすることにより A/D 変換が開始します。変換が終了すると変換データは ADDR にセットされ、同時に ADSF は 0 にクリアされます。

ビット 7: A/D スタートフラグ (ADSF)

A/D 変換のスタートおよび、終了の確認または制御を行います。

ビット 7	説明	
ADSF		
0	リード時	A/D 変換の停止または終了 (初期値)
	ライト時	A/D 変換を強制終了
1	リード時	A/D 変換実行中
	ライト時	A/D 変換を開始

ビット 6~0: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

10.2.4 ポートモードレジスタ 0 (PMR0)

ビット:	7	6	5	4	3	2	1	0
	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

PMR0 は、8 ビットのライト専用のレジスタでポート 0 の各端子を入力端子として使用するか、A/D 変換器へのアナログ入力チャネルとして使用するかをビット単位に指定します。

PMR0 は、リセット時、H'00 に初期化されます。

ビット n	説明	
ANn		
0	P0n/ANn 端子は、P0n 入力端子として機能	(初期値)
1	P0n/ANn 端子は、ANn 入力端子として機能	

(n=7~0)

10.3 動作説明

A/D 変換器は逐次比較方式で動作し、8 ビットの変換結果が得られます。

ソフトウェアにより ADSF フラグを 1 にセットすると、A/D 変換を開始します。ADSF フラグは、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、割り込み要求レジスタ 3 (IRR3) の IRRAD ビットが 1 にセットされます。このとき、割り込み許可レジスタ 3 (IENR3) の IENAD ビットが 1 にセットされていると、A/D 変換終了割り込みが発生します。

A/D 変換中に、AMR により変換時間や入力チャネルの切り替えを行う場合は、誤動作を避けるために ADSF フラグを 0 にクリアして、A/D 変換を強制終了させて行ってください。

10.4 割り込み要因

A/D 変換終了時 (ADSF = 1 → 0)、IRR3 の IRRAD ビットが 1 にセットされます。

A/D 変換終了割り込みは、IENR3 の IENAD ビットにより、許可または禁止を指定できます。

詳細は、「3.2.2 割り込み」を参照してください。

10.5 使用例

チャンネル 1 (AN₁) をアナログ入力チャネルに選択した場合の動作例を示します。このときの動作タイミングを図 10.3 に示します。

- (1) 入力チャネルを AN₁ に (AMR の AMR2 ~ 0 ビットを 001、PMR0 の AN7 ~ 0 ビットを 00000010)、A/D 割り込み要求のクリア (IRRAD = 0)、A/D 割り込みを許可 (IENAD = 1) に設定して、A/D 変換を開始 (ADSF = 1) します。
- (2) A/D 変換が終了すると、IRRAD ビットが 1 にセットされ、A/D 変換結果が ADRR に転送されます。同時に ADSF = 0 となり、A/D 変換器は変換待機となります。
- (3) IENAD = 1 となっているため、A/D 変換終了割り込み要求が発生します。
- (4) A/D 割り込み処理ルーチンが開始されます。
- (5) A/D 変換結果を読み出して、処理します。
- (6) A/D 変換処理ルーチンの実行が終了します。

この後、ADSF = 1 にセットすると A/D 変換が開始され (2) ~ (6) を行います。

A/D 変換器の使用手順の概念フローを図 10.4、図 10.5 に示します。

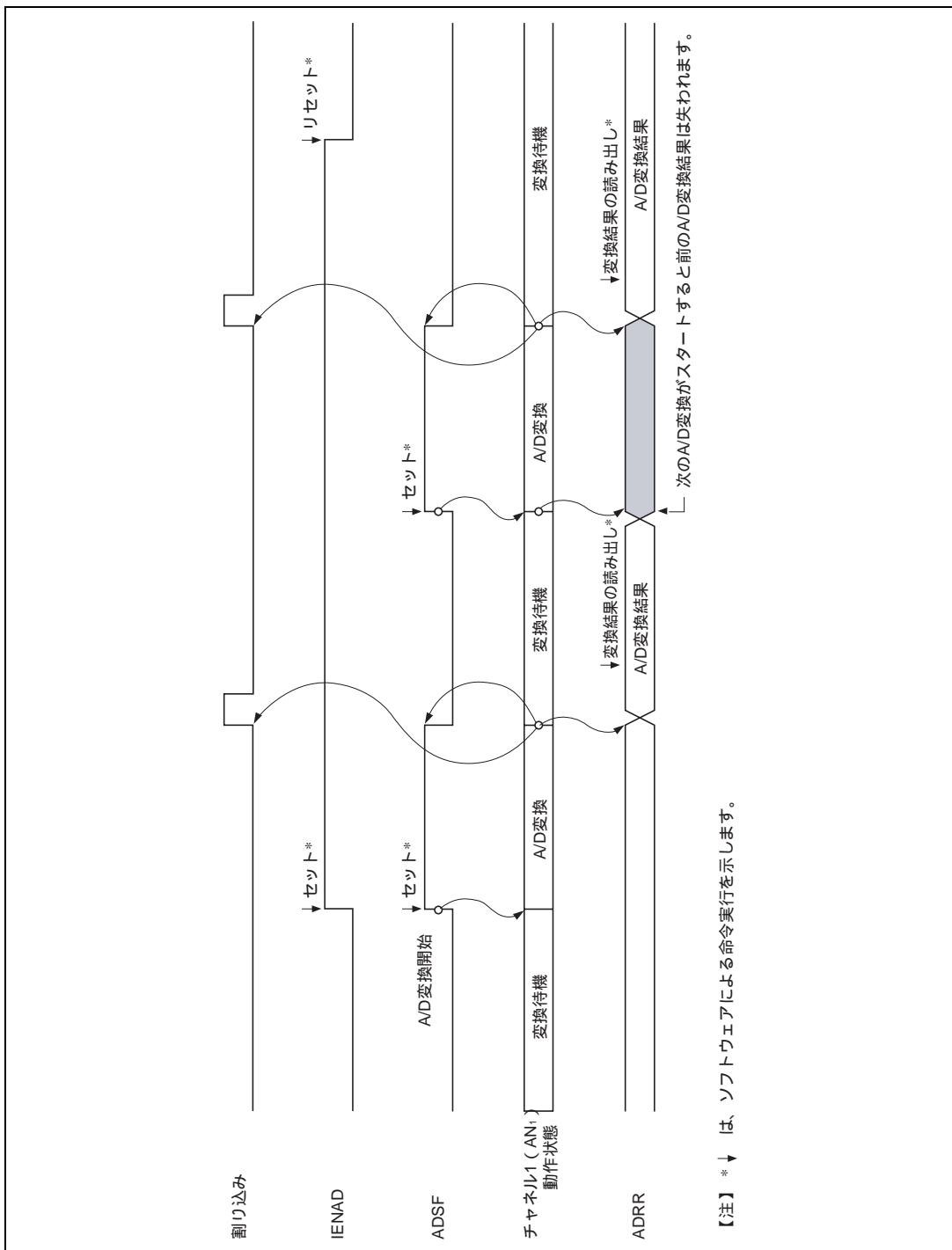


図 10.3 A/D 変換器の動作例

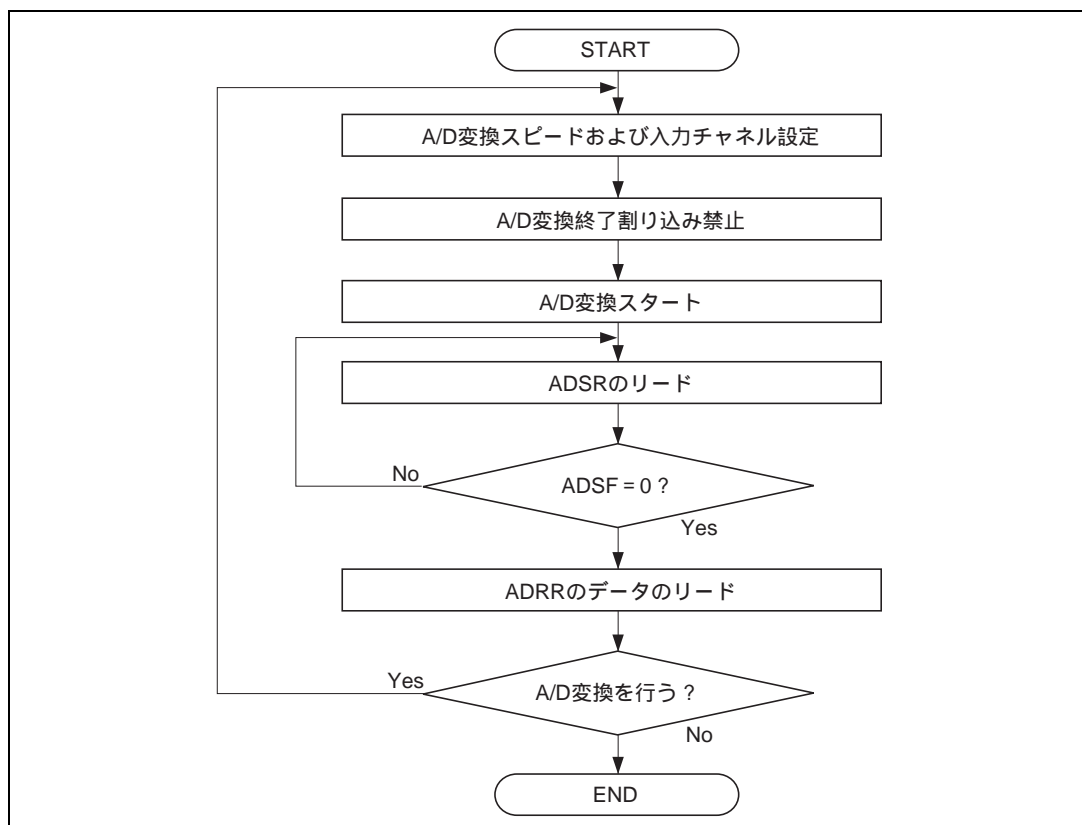


図 10.4 A/D 変換器の使用手順の概念フロー (1)
(ソフトウェアでポーリングする場合)

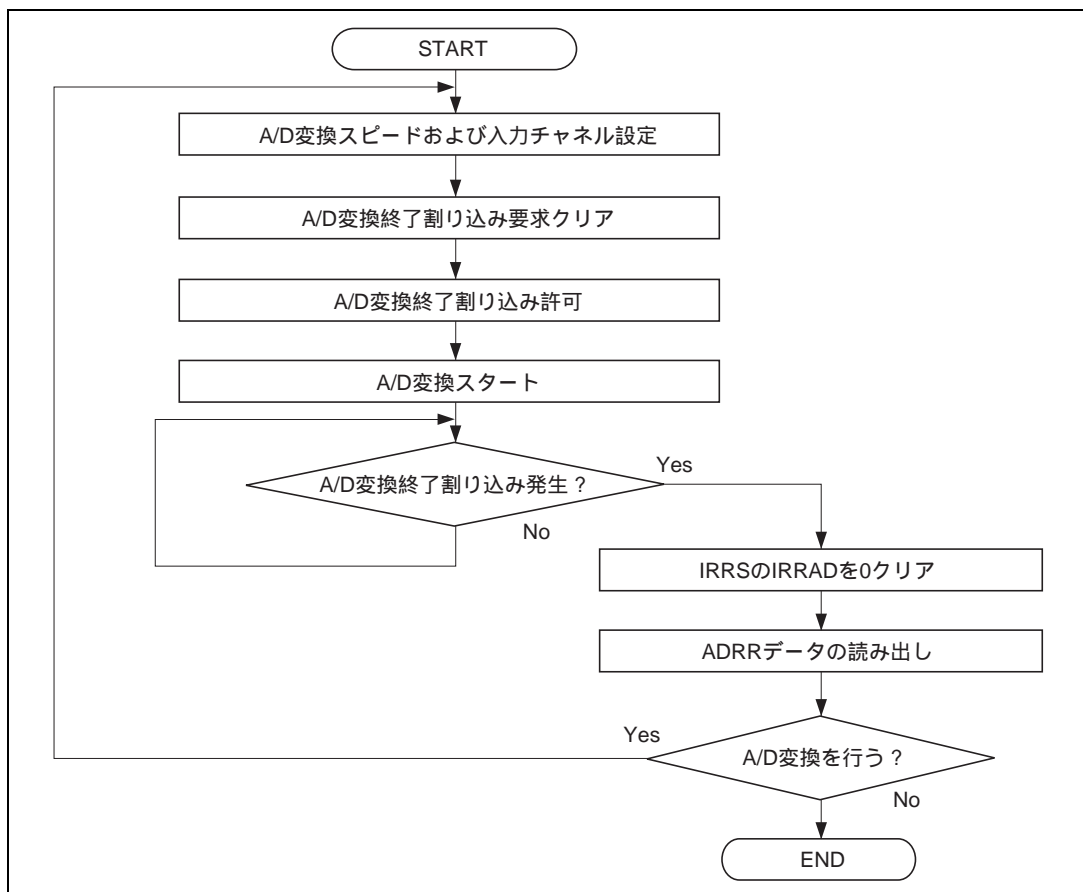


図 10.5 A/D 変換器の使用手順の概念フロー (2)
(割り込みを使用する場合)

10.6 使用上の注意

- (1) ADRRの読み出しはADSRのADSFフラグが0のときに行ってください。
- (2) A/D変換中に隣接した端子のデジタル入力信号を変化させると変換精度に悪影響を及ぼします。
- (3) AMRでアナログ入力チャンネルとして設定された端子は、PMR0でアナログ入力チャンネルに設定する必要があります。

11. RAM

11.1 概要

H8/3612 は 512 バイト、H8/3613 および H8/3614 は 1024 バイトの高速スタティック RAM を内蔵しています。RAM は、16 ビット幅のデータバスで CPU と接続されており、バイトデータ、ワードデータにかかわらず 2 ステートの高速アクセスが可能です。

11.1.1 ブロック図

RAM のブロック図を図 11.1 に示します。

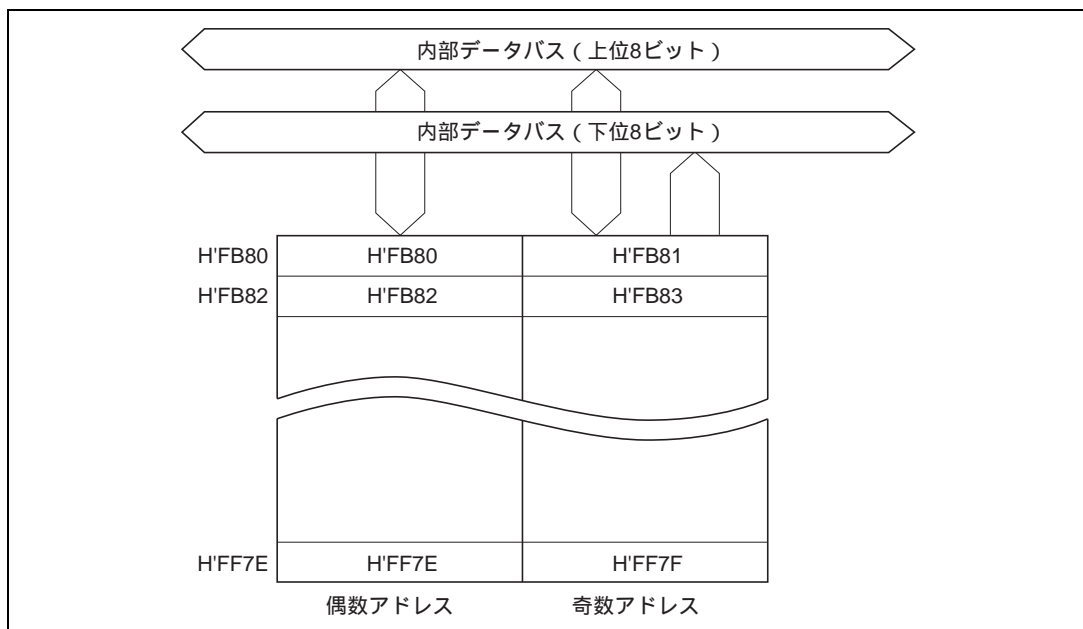


図 11.1 RAM のブロック図 (H8/3614 の場合)

11. RAM

12. ROM

12.1 概要

H8/3612 は 16K バイト、H8/3613 は 24K バイト、H8/3614 は 32K バイトの ROM (マスク ROM) を内蔵しています。ROM は、16 ビット幅のデータバスで CPU と接続されており、バイトデータおよびワードデータにかかわらず 2 ステートの高速アクセスが可能です。H8/3614ZTAT 版があり、32K バイトの PROM を備えています。

12.1.1 ブロック図

ROM のブロック図を図 12.1 に示します。

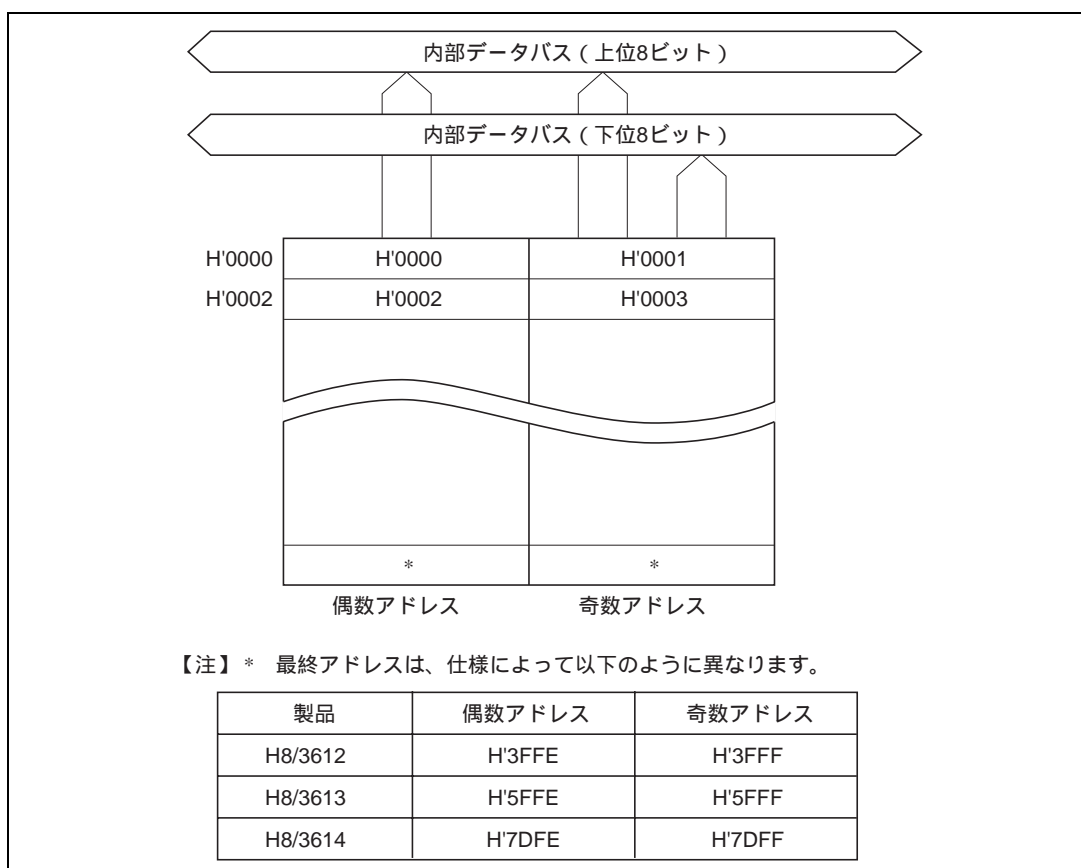


図 12.1 ROM のブロック図

12.2 PROM モード

12.2.1 PROM モードの設定

内蔵 ROM が PROM の場合、PROM モードに設定すると、マイクロコンピュータとしての機能が停止して、HN27C256H と同一の方法で内蔵 PROM のプログラムを行うことができます。

PROM モードの設定方法を表 12.1 に示します。

表 12.1 PROM モードの設定

端子名	設 定
テスト端子 TEST	High レベル
モード端子 MD ₀ (P4 ₀)	Low レベル
モード端子 MD ₁ (P4 ₁)	
モード端子 MD ₂ (P1 ₇)	High レベル

12.2.2 ソケットアダプタの端子対応とメモリマップ

PROM のプログラムは、表 12.2 に示すようにパッケージに対応したソケットアダプタを付けて、28 ピンに変換し、汎用 PROM ライタでプログラムを行います。

ソケットアダプタの端子対応図を図 12.2 に示します。また、メモリマップを図 12.3 に示します。

表 12.2 ソケットアダプタ

パッケージ名	ソケットアダプタの名称
64 ピン QFP (FP-64A)	HS3614ESH01H
64 ピン SDIP (DP-64S)	HS3614ESS01H

H8/3614			EPROMソケット	
FP-64A	DP-64S	端子	端子	HN27C256H
10	18	RES	V _{PP}	1
42	50	P9 ₀	E0 ₀	11
43	51	P9 ₁	E0 ₁	12
44	52	P9 ₂	E0 ₂	13
45	53	P9 ₃	E0 ₃	15
46	54	P9 ₄	E0 ₄	16
47	55	P9 ₅	E0 ₅	17
48	56	P9 ₆	E0 ₆	18
49	57	P9 ₇	E0 ₇	19
26	34	P2 ₀	EA ₀	10
25	33	P2 ₁	EA ₁	9
24	32	P2 ₂	EA ₂	8
23	31	P2 ₃	EA ₃	7
22	30	P2 ₄	EA ₄	6
21	29	P2 ₅	EA ₅	5
20	28	P2 ₆	EA ₆	4
19	27	P2 ₇	EA ₇	3
50	58	PA ₀	EA ₈	25
17	25	P1 ₆	EA ₉	24
52	60	PA ₂	EA ₁₀	21
53	61	PA ₃	EA ₁₁	23
54	62	PA ₄	EA ₁₂	2
55	63	PA ₅	EA ₁₃	26
56	64	PA ₆	EA ₁₄	27
57	1	PA ₇	CEN	20
51	59	PA ₁	OEN	22
29	37	P4 ₃	V _{CC}	28
30	38	P4 ₂	V _{CC}	28
18	26	P1 ₇	V _{CC}	28
31	39	P4 ₁	V _{SS}	14
32	40	PA ₀	V _{SS}	14
33, 58	41, 2	V _{CC} , AV _{CC}	V _{CC}	28
7, 3	15, 11	V _{SS} , AV _{SS}	V _{SS}	14
4, 6	12, 14	TEST, X1	V _{CC}	28
8	16	OSC1	V _{SS}	14

【注】 図中に記載されていない端子はすべてオープンにしてください。

図 12.2 ソケットアダプタの端子対応図

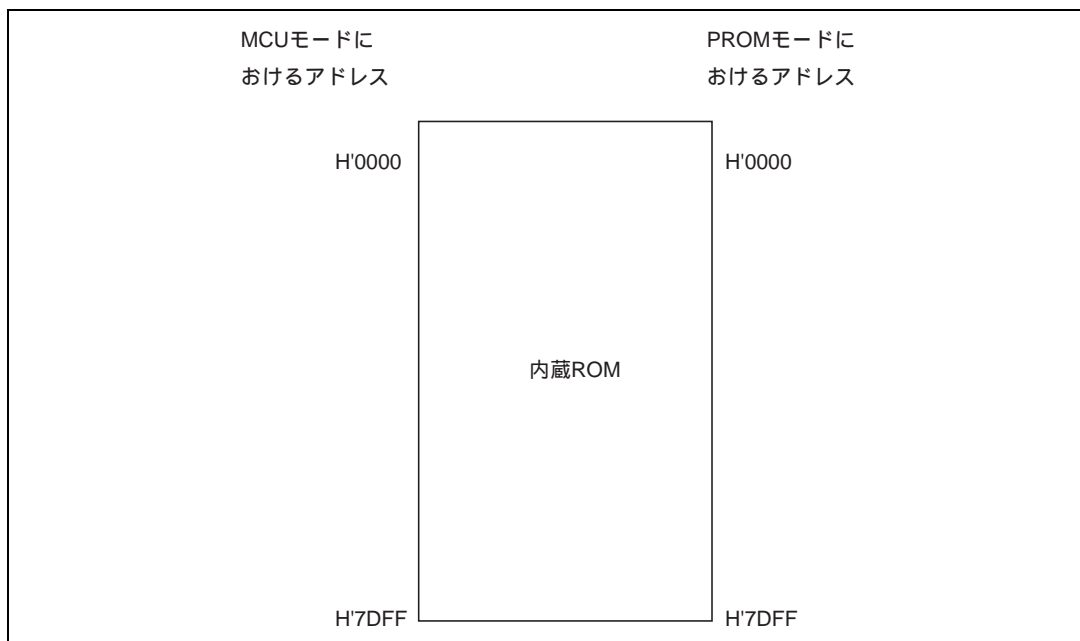


図 12.3 PROM モード時のメモリマップ

12.3 プログラミング

PROM モード時の書き込み、ベリファイなどのモード選択は、表 12.3 に示すような設定により行います。

表 12.3 PROM モード時の書き込みモードの選択

モード \ ピン	\overline{CE}	\overline{OE}	V_{PP}	V_{CC}	$E0_7 \sim E0_0$	$EA_{14} \sim EA_0$
書き込み	L	H	V_{PP}	V_{CC}	データ入力	アドレス入力
ベリファイ	H	L	V_{PP}	V_{CC}	データ出力	アドレス入力
プログラミング禁止	H	H	V_{PP}	V_{CC}	ハイインピーダンス	アドレス入力

【記号説明】

- L : Low レベル
- H : High レベル
- V_{PP} : V_{PP} レベル
- V_{CC} : V_{CC} レベル

なお、書き込み、読み出しは、標準 EPROM の HN27C256H と同じ仕様になっています。

12.3.1 書き込みとベリファイ

書き込みとベリファイは効率のよい高速プログラミング方式で行うことができます。この方式は、デバイスへの電圧ストレス、あるいは書き込みデータの信頼性を損なうことなく高速な書き込みを行うことができます。未使用のアドレス領域のデータは、H'FF です。

高速プログラミングの基本的なフローを図 12.4 に示します。

また、プログラミング時の電気的特性を表 12.4、表 12.5 に、タイミングを図 12.5 に示します。

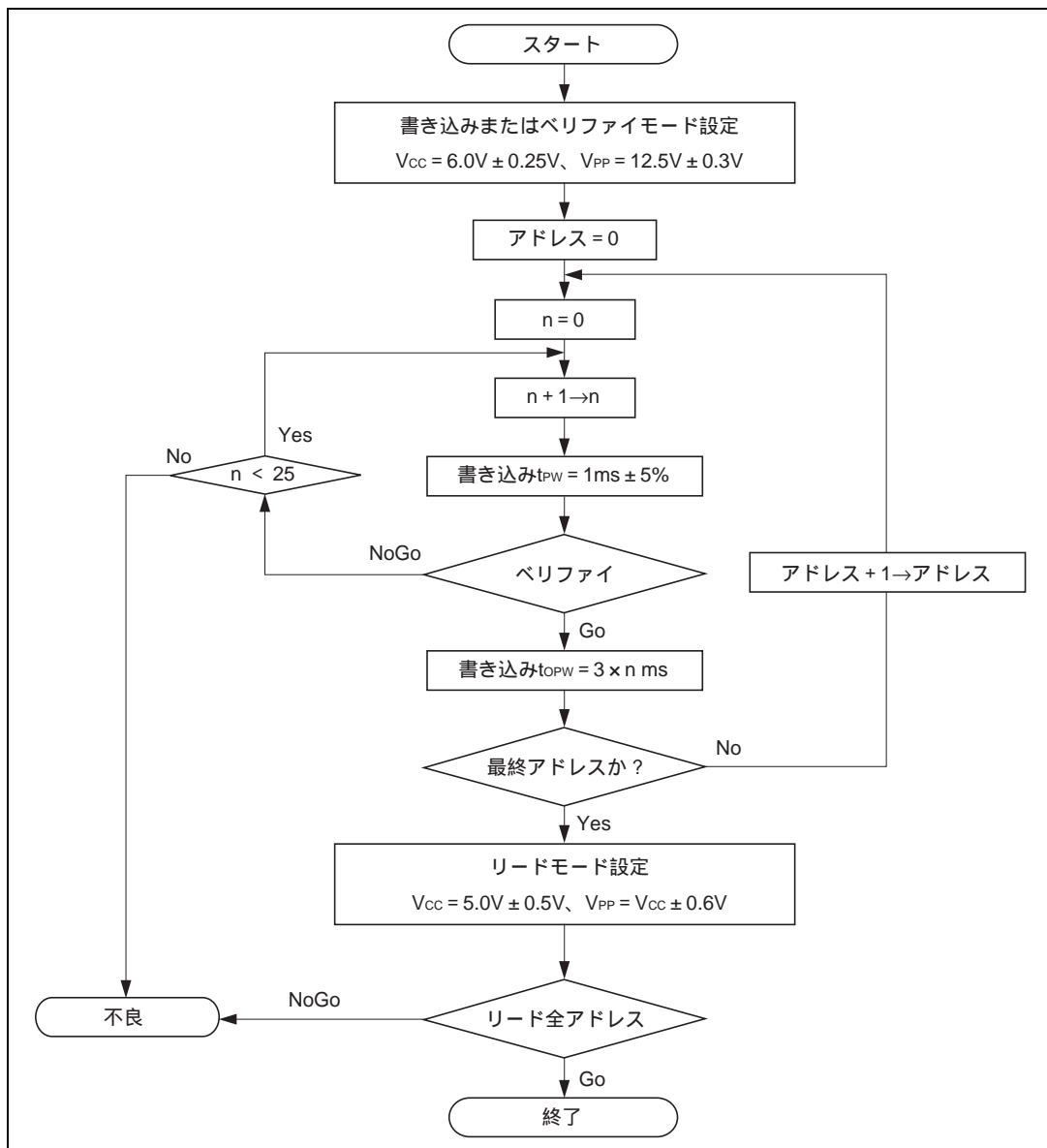


図 12.4 高速プログラミングフローチャート

12. ROM

表 12.4 DC 特性

条件 : $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $V_{SS} = 0.0V$ 、 $T_a = 25 \pm 5$

項目	記号	min	typ	max	単位	測定条件
入力 High レベル電圧	$EA_{14} \sim EA_0$ 、 $E0_7 \sim E0_0$ OE、CE	V_{IH}	2.4	-	$V_{CC} + 0.3$	V
入力 Low レベル電圧	$EA_{14} \sim EA_0$ 、 $E0_7 \sim E0_0$ OE、CE	V_{IL}	-0.3	-	0.8	V
出力 High レベル電圧	$E0_7 \sim E0_0$	V_{OH}	2.4	-	-	V $I_{OH} = -200\mu A$
出力 Low レベル電圧	$E0_7 \sim E0_0$	V_{OL}	-	-	0.45	V $I_{OL} = 1.6mA$
入力リーク電流	$E0_7 \sim E0_0$ 、 $EA_{14} \sim EA_0$ OE、CE	$ I_{Li} $	-	-	2	μA $V_{in} = 5.25V / 0.5V$
V_{CC} 電流		I_{CC}	-	-	40	mA
V_{PP} 電流		I_{PP}	-	-	40	mA

表 12.5 AC 特性

条件 : $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $V_{SS} = 0.0V$ 、 $T_a = 25 \pm 5$

項目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間	t_{AS}	2	-	-	μs	図 12.5*
OE セットアップ時間	t_{OES}	2	-	-	μs	
データセットアップ時間	t_{DS}	2	-	-	μs	
アドレスホールド時間	t_{AH}	0	-	-	μs	
データホールド時間	t_{DH}	2	-	-	μs	
データ出力ディスエーブル時間	t_{DF}	0	-	130	ns	
V_{PP} セットアップ時間	t_{VPS}	2	-	-	μs	
プログラムパルス幅	t_{PW}	0.95	1.0	1.05	ms	
オーバプログラム時の CE パルス幅	t_{OPW}	2.85	-	78.75	ms	
V_{CC} セットアップ時間	t_{VCS}	2	-	-	μs	
データ出力遅延時間	t_{OE}	0	-	500	ns	

【注】 * 入力パルスレベル : 0.8 ~ 2.2V
 入力立ち上がり / 立ち下がり時間 20ns
 タイミング参照レベル 入力 : 1.0V、2.0V
 出力 : 0.8V、2.0V

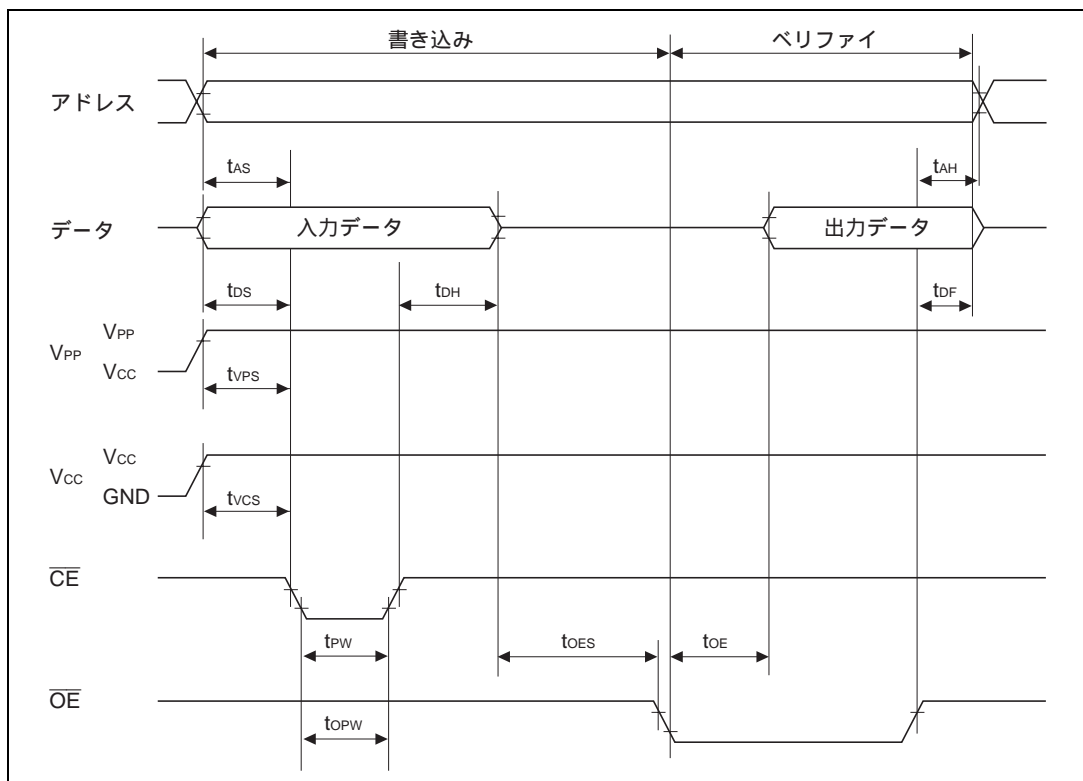


図 12.5 PROM 書き込み / ベリファイタイミング

12.3.2 書き込み時の注意

- (1) 書き込みは規定された電圧、タイミングで行ってください。
PROMモード時のプログラム電圧 (V_{pp}) は12.5Vです。
定格以上の電圧を加えると、製品の永久破壊に至りますので、注意してください。特にPROMライタのオーバシュートなどには十分注意してください。
PROMライタのHN27C256Hのルネサス仕様またはインテル仕様にセットすると、 V_{pp} は12.5Vになります。
- (2) PROMライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していないと、過剰電流によって製品が破壊することがあります。書き込み前に正しくPROMライタに装着されていることを必ず確認してください。
- (3) 書き込み中はソケットアダプタおよび製品には触れないようにしてください。接触不良により書き込み不良となる場合があります。

12.3.3 書き込み後の信頼性

データ書き込み後、データ保持特性を向上させるために、150 の高温放置をしてスクリーニングを行うと大変有効です。高温放置は、スクリーニングの1つであり、PROM メモリセルの初期のデータ保持不良を短時間で除くことができます。

図 12.6 に推奨するスクリーニングフローを示します。

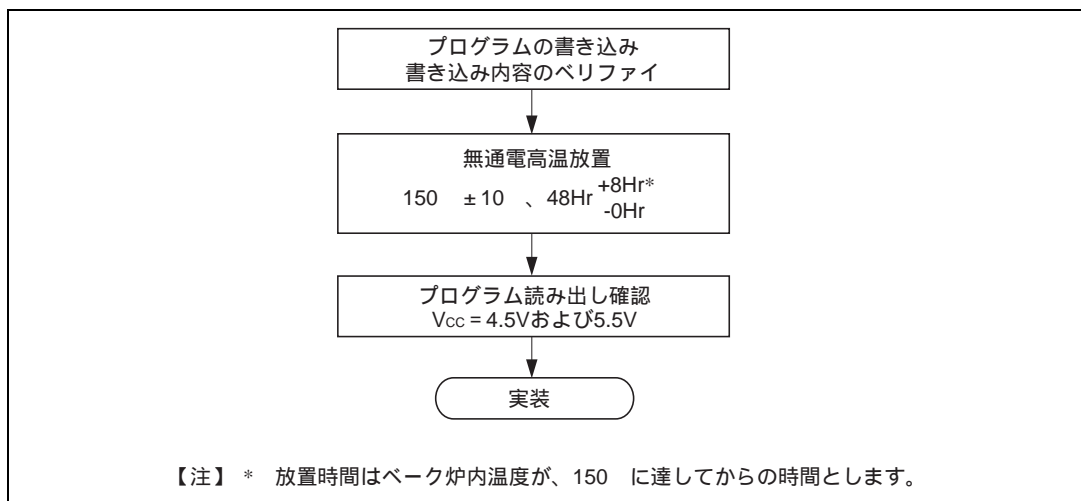


図 12.6 推奨スクリーニングフロー

同じ PROM ライタでプログラミング中、書き込み不良が連続して発生した場合には書き込みを中止し、PROM ライタ、ソケットアダプタなどに異常がないか確認してください。

なお、書き込みあるいは高温放置後のプログラム確認において異常がありましたら、弊社技術担当にご連絡ください。

13. 電気的特性

13.1 絶対最大定格

絶対最大定格を表 13.1 に示します。

表 13.1 絶対最大定格

項目	記号	規格値	単位	注記
電源電圧	V_{CC}	-0.3 ~ +7.0	V	1、2
プログラム電圧	V_{PP}	-0.3 ~ +14.0	V	1、2、3
アナログ電源電圧	AV_{CC}	-0.3 ~ +7.0	V	1、2
アナログ入力電圧	AV_{in}	-0.3 ~ $AV_{CC}+0.3$	V	1、2
端子電圧	V_T	-0.3 ~ $V_{CC}+0.3$	V	1、2
動作温度	T_{OP}	-20 ~ +75		1、2
保存温度	T_{sig}	-55 ~ +125		1、2

- 【注】
1. 絶対最大定格を超えて使用した場合、LSI の永久破壊となることがあります。また、通常動作は、「電気的特性」の条件で使用することが望ましく、この条件を超えると LSI の誤動作の原因になるとともに、LSI の信頼性に悪影響を及ぼすことがあります。
 2. 電圧はすべて V_{SS} を基準とした値です。
 3. ZTAT 版に適用します。

13.2 HD6473614 の電気的特性

13.2.1 HD6473614 の DC 特性

HD6473614 の出力許容電流値を表 13.2 に、DC 特性を表 13.3 に示します。

表 13.2 出力許容電流値

条件： $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	規格値	単位	注記
許容入力電流 (LSI への流入)	I_o	2	mA	1、2
許容出力電流 (LSI からの流出)	$-I_o$	2	mA	2、3
許容出力電流 (LSI からの流出)	$-I_o$	20	mA	3、4
許容総入力電流 (LSI への流入)	ΣI_o	50	mA	5
許容総出力電流 (LSI からの流出)	$-\Sigma I_o$	150	mA	6

- 【注】
1. 許容入力電流とは、各入出力端子から V_{SS} へ流し込める電流の最大値です。
 2. 標準端子に適用します。
 3. 許容出力電流とは、 V_{CC} から各入出力端子へ流し出せる電流の最大値です。
 4. PMOS オープンドレイン端子に適用します。
 5. 許容総入力電流とは、同時に全入出力端子から V_{SS} へ流し込める電流の総和です。
 6. 許容総出力電流とは、 V_{CC} から全入出力端子へ流し出せる電流の総和です。

13. 電気的特性

表 13.3 DC 特性

条件：特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力 High レベル	V_{IH}	RES、 IRQ ₀ ~ IRQ ₅ SCK ₁ 、 SCK ₂ SI ₁ 、 SI ₂		0.8V _{CC}	-	V _{CC} +0.3	V	
			$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	0.9V _{CC}	-	V _{CC} +0.3		
		EVENT、 UD	$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	0.7V _{CC}	-	V _{CC} +0.3	V	
		OSC ₁		V _{CC} -0.5	-	V _{CC} +0.3	V	
			$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	V _{CC} -0.3	-	V _{CC} +0.3		
		P0 ₀ ~ P0 ₇ P1 ₀ ~ P1 ₇ P2 ₀ ~ P2 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₇ PA ₀ ~ PA ₇	$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	0.7V _{CC}	-	V _{CC} +0.3	V	
		P4 ₀ ~ P4 ₅	$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	0.7V _{CC}	-	V _{CC} +0.3	V	
入力 Low レベル	V_{IL}	RES、 SCK ₁ 、 SCK ₂ IRQ ₀ ~ IRQ ₅ SI ₁ 、 SI ₂		-0.3	-	0.2V _{CC}	V	
			$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	-0.3	-	0.1V _{CC}		
		EVENT、 UD	$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	-0.3	-	0.3V _{CC}	V	
		OSC ₁		-0.3	-	0.5	V	
			$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	-0.3	-	0.3		
		P0 ₀ ~ P0 ₇ P1 ₀ ~ P1 ₇ P2 ₀ ~ P2 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₇ PA ₀ ~ PA ₇	$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	-0.3	-	0.3V _{CC}	V	
		P4 ₀ ~ P4 ₅	$V_{CC} = 2.7 \sim 5.5V$ サブアクティブを含む	-0.3	-	0.3V _{CC}	V	
出力 High レベル	V_{OH}	P1 ₀ ~ P1 ₅ P2 ₀ ~ P2 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₇ PWM、 SO ₁ 、 SO ₂ SCK ₁ 、 SCK ₂ PA ₀ ~ PA ₇	-I _{OH} = 1.0mA	V _{CC} -1.0	-	-	V	
			-I _{OH} = 0.5mA	V _{CC} -0.5	-	-		
			$V_{CC} = 2.7 \sim 5.5V$ -I _{OH} = 0.3mA	V _{CC} -0.5	-	-		

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
出力 High レベル	V_{OH}	P4 ₀ ~ P4 ₅	$-I_{OH} = 15\text{mA}$	$V_{CC}-3.0$	-	-	V	
			$-I_{OH} = 10\text{mA}$	$V_{CC}-2.0$	-	-		
			$-I_{OH} = 4\text{mA}$	$V_{CC}-1.0$	-	-		
			$V_{CC} = 2.7 \sim 5.5\text{V}$ $-I_{OH} = 4\text{mA}$	-	$V_{CC}-1.0$	-	V	参考値
出力 Low レベル	V_{OL}	P1 ₀ ~ P1 ₅ P2 ₀ ~ P2 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₇ PWM、SO ₁ 、SO ₂ SCK ₁ 、SCK ₂ PA ₀ ~ PA ₇	$V_{CC} = 4.0 \sim 5.5\text{V}$ $I_{OL} = 1.6\text{mA}$	-	-	0.4	V	
			$V_{CC} = 2.7 \sim 5.5\text{V}$ $I_{OL} = 0.5\text{mA}$	-	0.4	-	V	参考値
入力リーク電流	$ I_{IL} $	RES	$V_{IN} = 0 \sim V_{CC}$	-	-	40	μA	
入出力リーク電流	$ I_{IL} $	TEST SCK ₁ 、SCK ₂ SI ₁ 、SI ₂ IRQ ₀ ~ IRQ ₅ EVENT、UD、 OSC ₁ P0 ₀ ~ P0 ₇ P1 ₀ ~ P1 ₆ P2 ₀ ~ P2 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₇ PA ₀ ~ PA ₇	$V_{IN} = 0.0 \sim V_{CC}$	-	-	1	μA	
		P4 ₀ ~ P4 ₅ P1 ₇	$V_{IN} = 0.0 \sim V_{CC}$	-	-	2	μA	
入力容量	C_{IN}	電源端子を除く 入力端子および 入出力端子	$f = 1\text{MHz}$ 、 $V_{IN} = 0\text{V}$ $T_a = 25$	-	-	20	pF	
		P1 ₀ /EVENT		-	-	35		
		RES		-	-	70		
アクティブモード CPU動作時 消費電流	I_{OPE}	V_{CC}	$V_{CC} = 5\text{V}$ 、 $f_{OSC} = 8\text{MHz}$	-	17	-	mA	参考値 1
			$V_{CC} = 5\text{V}$ 、 $f_{OSC} = 4\text{MHz}$	-	9	-		
			$V_{CC} = 3\text{V}$ 、 $f_{OSC} = 4\text{MHz}$	-	6	-		
アクティブモード リセット時 消費電流	I_{RES}	V_{CC}	$V_{CC} = 5\text{V}$ 、 $f_{OSC} = 8\text{MHz}$	-	6	9	mA	1
			$V_{CC} = 5\text{V}$ 、 $f_{OSC} = 4\text{MHz}$	-	3	5		
			$V_{CC} = 3\text{V}$ 、 $f_{OSC} = 4\text{MHz}$	-	1.5	-		
スリープモード 消費電流	I_{SLEEP}	V_{CC}	$V_{CC} = 5\text{V}$ 、 $f_{OSC} = 8\text{MHz}$	-	2.5	3.5	mA	1
			$V_{CC} = 5\text{V}$ 、 $f_{OSC} = 4\text{MHz}$	-	1.5	2.0		
			$V_{CC} = 3\text{V}$ 、 $f_{OSC} = 4\text{MHz}$	-	1.0	-		
サブアクティブ モード消費電流	I_{SUB}	V_{CC}	$V_{CC} = 2.7\text{V}$ 32kHz 水晶発振子使用時	-	6	20	μA	
			$V_{CC} = 5.0\text{V}$ 32kHz 水晶発振子使用時	-	11	-		
			$V_{CC} = 2.7\text{V}$ 32kHz 水晶発振子使用時	-	16	-	μA	参考値
			$V_{CC} = 5.0\text{V}$ 32kHz 水晶発振子使用時	-	22	-	μA	2

13. 電氣的特性

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
ウォッチモード消費電流	I_{WATCH}	V_{CC}	$V_{CC} = 2.7V$ 32kHz 水晶発振器使用時	-	3.2	6	μA	
				-	3.8	-	μA	2
			$V_{CC} = 5.0V$ 32kHz 水晶発振器使用時	-	10	-	μA	参考値
				-	12	-	μA	2
スタンバイモード消費電流	I_{STBY}	V_{CC}	32kHz 未使用 $X_1 = V_{CC}$	-	-	10	μA	
スタンバイ時RAMデータ保持電圧	V_{STBY}	V_{CC}	32kHz 未使用 $X_1 = V_{CC}$	2	-	-	V	

【注】 TEST 端子は、 V_{SS} に接続してください。

1. 出力バッファに流れる電流は除きます。
2. $V_{CC} - V_{SS}$ 間にバイパス・コンデンサ 47 μF を接続した場合の参考値です。

13.2.2 HD6473614 の AC 特性

HD6473614 の AC 特性として表 13.4 に制御信号タイミングを、表 13.5 にシリアルインタフェースタイミングを示します。

表 13.4 制御信号タイミング

条件：特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min	typ	max		
クロック発振周波数	f_{OSC}	OSC ₁ 、 OSC ₂	$V_{CC} = 2.7 \sim 5.5V$	2	-	8.4	MHz	
			$V_{CC} = 2.7 \sim 5.5V$	2	-	4.2		
クロックサイクル時間	t_{CYC}	OSC ₁ 、 OSC ₂	$V_{CC} = 2.7 \sim 5.5V$	119	-	500	ns	図 13.1
			$V_{CC} = 2.7 \sim 5.5V$	238	-	500		
インストラクションサイクル時間	ϕ		$V_{CC} = 2.7 \sim 5.5V$	238	-	1000	ns	
			$V_{CC} = 2.7 \sim 5.5V$	476	-	1000		
サブクロック発振周波数	f_X	X ₁ 、X ₂	$V_{CC} = 2.7 \sim 5.5V$	-	32.768	-	kHz	
サブクロックサイクル時間	t_{subcyc}	X ₁ 、X ₂	$V_{CC} = 2.7 \sim 5.5V$	-	30.5	-	μs	
サブアクティブインストラクションサイクル時間	ϕ_{SUB}		$V_{CC} = 2.7 \sim 5.5V$	-	244.14	-	μs	
発振安定時間（水晶発振器）	t_{TC}	OSC ₁ 、 OSC ₂	$V_{CC} = 2.7 \sim 5.5V$	-	-	40	ms	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	60		
発振安定時間（セラミック発振器）	t_{TC}	OSC ₁ 、 OSC ₂	$V_{CC} = 2.7 \sim 5.5V$	-	-	20	ms	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	40		
発振安定時間	t_{TC}	X ₁ 、X ₂	$V_{CC} = 2.7 \sim 5.5V$	-	-	2	s	
外部クロック High レベル幅	t_{CPH}	OSC ₁	$V_{CC} = 2.7 \sim 5.5V$	40	-	-	ns	図 13.1
			$V_{CC} = 2.7 \sim 5.5V$	100	-	-		
外部クロック Low レベル幅	t_{CPL}	OSC ₁	$V_{CC} = 2.7 \sim 5.5V$	40	-	-	ns	
			$V_{CC} = 2.7 \sim 5.5V$	100	-	-		
外部クロック立ち上がり時間	t_{CPr}	OSC ₁	$V_{CC} = 2.7 \sim 5.5V$	-	-	20	ns	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	20		

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min	typ	max		
外部クロック立ち下がり時間	t_{CP1}	OSC ₁		-	-	20	ns	図 13.1
			$V_{CC} = 2.7 \sim 5.5V$	-	-	20		
RES 端子 Low レベル幅	t_{REL}	RES	$V_{CC} = 2.7 \sim 5.5V$	10	-	-	ϕ	図 13.2
IRQ 端子 High レベル幅	t_{IH}	IRQ ₀ ~ IRQ ₅	$V_{CC} = 2.7 \sim 5.5V$	2	-	-	ϕ	図 13.3
							ϕ_{SUB}	
IRQ 端子 Low レベル幅	t_{IL}	IRQ ₀ ~ IRQ ₅	$V_{CC} = 2.7 \sim 5.5V$	2	-	-	ϕ	図 13.3
							ϕ_{SUB}	
EVENT 端子 High レベル幅	t_{EVH}	EVENT	$V_{CC} = 2.7 \sim 5.5V$	2	-	-	ϕ	図 13.4
EVENT 端子 Low レベル幅	t_{EVL}	EVENT	$V_{CC} = 2.7 \sim 5.5V$	2	-	-	ϕ	
UD 端子最小変化幅	t_{UDH} t_{UDL}	UD	$V_{CC} = 2.7 \sim 5.5V$	2	-	-	ϕ	図 13.5
							ϕ	

表 13.5 シリアルインタフェースタイミング

条件：特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min	typ	max		
出力転送クロックサイクルタイミ ング	t_{scyc}	SCK ₁ 、 SCK ₂	$V_{CC} = 2.7 \sim 5.5V$	2	-	-	ϕ	図 13.6
出力転送クロック High レベル幅	t_{SCKH}	SCK ₁ 、 SCK ₂	$V_{CC} = 2.7 \sim 5.5V$	0.4	-	-	t_{scyc}	
出力転送クロック Low レベル幅	t_{SCKL}	SCK ₁ 、 SCK ₂	$V_{CC} = 2.7 \sim 5.5V$	0.4	-	-	t_{scyc}	
出力転送クロック立ち上がり時間	t_{SCKr}	SCK ₁ 、 SCK ₂		-	-	60	ns	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	80		
出力転送クロック立ち下がり時間	t_{SCKf}	SCK ₁ 、 SCK ₂		-	-	60	ns	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	80		
入力転送クロックサイクルタイミ ング	t_{scyc}	SCK ₁ 、 SCK ₂	$V_{CC} = 2.7 \sim 5.5V$	1	-	-	ϕ	
入力転送クロック High レベル幅	t_{SCKH}	SCK ₁ 、 SCK ₂	$V_{CC} = 2.7 \sim 5.5V$	0.4	-	-	t_{scyc}	
入力転送クロック Low レベル幅	t_{SCKL}	SCK ₁ 、 SCK ₂	$V_{CC} = 2.7 \sim 5.5V$	0.4	-	-	t_{scyc}	
入力転送クロック立ち上がり時間	t_{SCKr}	SCK ₁ 、 SCK ₂		-	-	60	ns	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	80		
入力転送クロック立ち下がり時間	t_{SCKf}	SCK ₁ 、 SCK ₂		-	-	60	ns	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	80		
シリアル出力データ遅延時間	t_{sSO}	SO ₁ 、 SO ₂		-	-	200	ns	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	350		
シリアル入力データセットアップ 時間	t_{sSI}	SI ₁ 、 SI ₂		230	-	-	ns	
			$V_{CC} = 2.7 \sim 5.5V$	470	-	-		
シリアル入力データホールド時間	t_{hSI}	SI ₁ 、 SI ₂		230	-	-	ns	
			$V_{CC} = 2.7 \sim 5.5V$	470	-	-		

13. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min	typ	max		
転送保留時間	t_{SCK2}	SCK ₂	SCK ₂ が入力の時	0.2	-	40	μs	図 13.7
			SCK ₂ が入力の時 $V_{CC} = 2.7 \sim 5.5V$	0.4	-	40		
			SCK ₂ が出力の時 $V_{CC} = 2.7 \sim 5.5V$	-	-	1	t_{scyc}	
転送終了確認時間	t_{CS}	CS	$V_{CC} = 2.7 \sim 5.5V$	3	-	4	φ	

13.2.3 HD6473614 の A/D 変換器特性

表 13.6 に HD6473614 の A/D 変換器特性を示します。

表 13.6 A/D 変換器特性

条件：特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
アナログ電源電圧	AV_{CC}	AV_{CC}		$V_{CC}-0.3$	V_{CC}	$V_{CC}+0.3$	V	
アナログ入力電圧	AV_{IN}	$AN_0 \sim AN_7$		AV_{SS}	-	AV_{CC}	V	
アナログ電源電流	AI_{CC}	AV_{CC}	$AV_{CC} = 5V$	-	-	200	μA	
	AI_{STOP}		リセットおよび 低消費電力モード時	-	-	10	μA	
アナログ入力容量	C_{AIN}	$AN_0 \sim AN_7$		-	-	30	pF	
許容信号源 インピーダンス	R_{AIN}	$AN_0 \sim AN_7$		-	-	10	kΩ	
分解能				-	-	8	ビット	
絶対精度			$V_{CC} = AV_{CC} = 5V$	-	-	±2.5	LSB	参考値
			$V_{CC} = AV_{CC} = 4.0 \sim 5.5V$	-	±2.5	-		
変換時間				31	15.5	14.8	μs	

13.3 HD6433613、HD6433614 の電氣的特性

13.3.1 HD6433613、HD6433614 の DC 特性

HD6433613、HD6433614 の出力許容電流値を表 13.7 に、DC 特性を表 13.8 に示します。

表 13.7 出力許容電流値

条件： $V_{cc} = 4.0 \sim 5.5V$ 、 $V_{ss} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	規格値	単位	注記
許容入力電流 (LSI への流入)	I_o	2	mA	1、2
許容出力電流 (LSI からの流出)	$-I_o$	2	mA	2、3
許容出力電流 (LSI からの流出)	$-I_o$	20	mA	3、4
許容総入力電流 (LSI への流入)	ΣI_o	50	mA	5
許容総出力電流 (LSI からの流出)	$-\Sigma I_o$	150	mA	6

- 【注】
- 許容入力電流とは、各入出力端子から V_{ss} へ流し込める電流の最大値です。
 - 標準端子に適用します。
 - 許容出力電流とは、 V_{cc} から各入出力端子へ流し出せる電流の最大値です。
 - PMOS オープンドレイン端子に適用します。
 - 許容総入力電流とは、同時に全入出力端子から V_{ss} へ流し込める電流の総和です。
 - 許容総出力電流とは、 V_{cc} から全入出力端子へ流し出せる電流の総和です。

表 13.8 DC 特性

条件：特記なき場合は、 $V_{cc} = 4.0 \sim 5.5V$ 、 $V_{ss} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力 High レベル	V_{IH}	RES、 IRQ ₀ ~ IRQ ₅ SCK ₁ 、SCK ₂ SI ₁ 、SI ₂	$V_{cc} = 2.5 \sim 5.5V$ サブアクティブを含む	0.8 V_{cc}	-	$V_{cc} + 0.3$	V	
		EVENT、UD	$V_{cc} = 2.5 \sim 5.5V$ サブアクティブを含む	0.7 V_{cc}	-	$V_{cc} + 0.3$		
		OSC ₁		$V_{cc} - 0.5$	-	$V_{cc} + 0.3$	V	
			$V_{cc} = 2.5 \sim 5.5V$ サブアクティブを含む	$V_{cc} - 0.3$	-	$V_{cc} + 0.3$		
		P0 ₀ ~ P0 ₇ P1 ₀ ~ P1 ₆ P2 ₀ ~ P2 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₇ PA ₀ ~ PA ₇	$V_{cc} = 2.5 \sim 5.5V$ サブアクティブを含む	0.7 V_{cc}	-	$V_{cc} + 0.3$	V	
		P4 ₀ ~ P4 ₅ P1 ₇	$V_{cc} = 2.5 \sim 5.5V$ サブアクティブを含む	0.7 V_{cc}	-	$V_{cc} + 0.3$	V	
入力 Low レベル	V_{IL}	RES、 SCK ₁ 、SCK ₂ IRQ ₀ ~ IRQ ₅ SI ₁ 、SI ₂		-0.3	-	0.2 V_{cc}	V	
		$V_{cc} = 2.5 \sim 5.5V$ サブアクティブを含む	-0.3	-	0.1 V_{cc}			

13. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力 Low レベル	V _{IL}	EVENT、UD	V _{CC} = 2.5 ~ 5.5V サブアクティブを含む	-0.3	-	0.3V _{CC}	V	
		OSC ₁		-0.3	-	0.5	V	
			V _{CC} = 2.5 ~ 5.5V サブアクティブを含む	-0.3	-	0.3		
		P0 ₀ ~ P0 ₇ P1 ₀ ~ P1 ₆ P2 ₀ ~ P2 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₇ PA ₀ ~ PA ₇	V _{CC} = 2.5 ~ 5.5V サブアクティブを含む	-0.3	-	0.3V _{CC}	V	
P4 ₀ ~ P4 ₅ P1 ₇	V _{CC} = 2.5 ~ 5.5V サブアクティブを含む	-0.3	-	0.3V _{CC}	V			
出力 High レベル	V _{OH}	P1 ₀ ~ P1 ₅ P2 ₀ ~ P2 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₇ PWM、SO ₁ 、SO ₂ PA ₀ ~ PA ₇	-I _{OH} = 1.0mA	V _{CC} -1.0	-	-	V	
			-I _{OH} = 0.5mA	V _{CC} -0.5	-	-		
			V _{CC} = 2.7 ~ 5.5V -I _{OH} = 0.3mA	V _{CC} -0.5	-	-		
		P4 ₀ ~ P4 ₅	-I _{OH} = 15mA	V _{CC} -3.0	-	-	V	
			-I _{OH} = 10mA	V _{CC} -2.0	-	-		
			-I _{OH} = 4mA	V _{CC} -1.0	-	-		
			V _{CC} = 2.7 ~ 5.5V -I _{OH} = 4mA	-	V _{CC} -1.0	-	V	参考値
出力 Low レベル	V _{OL}	P1 ₀ ~ P1 ₅ P2 ₀ ~ P2 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₇ PWM、SO ₁ 、SO ₂ PA ₀ ~ PA ₇	V _{CC} = 4.0 ~ 5.5V I _{OL} = 1.6mA	-	-	0.4	V	
			V _{CC} = 2.7 ~ 5.5V I _{OL} = 0.5mA	-	0.4	-	V	参考値
入力リーク電流	I _{IL}	RES	マスク ROM 版 V _{IN} = 0.0 ~ V _{CC}	-	-	1	μA	
入出力リーク電流	I _{IL}	TEST SCK ₁ 、SCK ₂ SI ₁ 、SI ₂ IRQ ₀ ~ IRQ ₅ EVENT、UD、 OSC ₁ P0 ₀ ~ P0 ₇ P2 ₀ ~ P2 ₇ P1 ₀ ~ P1 ₆ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₇ PA ₀ ~ PA ₇	V _{IN} = 0.0 ~ V _{CC}	-	-	1	μA	
			P4 ₀ ~ P4 ₇ P1 ₇	V _{IN} = 0.0 ~ V _{CC}	-	-	2	μA

項目	記号	適用端子	測定条件	規格値			単位	注記		
				min	typ	max				
ブルアップ MOS 電流	-I _P	P1 ₀ ~ P1 ₆ P2 ₀ ~ P2 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₇ PA ₀ ~ PA ₇	V _{CC} = 5V、V _{IN} = 0V	50	-	300	μA	参考値		
			V _{CC} = 2.7V、V _{IN} = 0V	-	25	-				
入力容量	C _{IN}	電源端子を除く 入力端子および 入出力端子 P1 ₇	f = 1MHz、V _{IN} = 0V T _a = 25	-	-	15	pF			
				-	-	30				
アクティブモード CPU 動作時消費 電流	I _{OPE}	V _{CC}	V _{CC} = 5V、f _{OSC} = 8MHz	-	15	-	mA	参考値 1		
			V _{CC} = 5V、f _{OSC} = 4MHz	-	8	-				
			V _{CC} = 3V、f _{OSC} = 4MHz	-	5	-				
アクティブモード リセット時消費 電流	I _{RES}	V _{CC}	V _{CC} = 5V、f _{OSC} = 8MHz	-	5	8	mA	1		
			V _{CC} = 5V、f _{OSC} = 4MHz	-	2.5	4				
			V _{CC} = 3V、f _{OSC} = 4MHz	-	1.3	-				
スリープモード 消費電流	I _{SLEEP}	V _{CC}	V _{CC} = 5V、f _{OSC} = 8MHz	-	2	3	mA	1		
			V _{CC} = 5V、f _{OSC} = 4MHz	-	1	1.5				
			V _{CC} = 3V、f _{OSC} = 4MHz	-	0.6	-				
サブアクティブ モード消費電流	I _{SUB}	V _{CC}	V _{CC} = 2.5V 32kHz 水晶発振子使用時	-	5	20	μA	2		
			V _{CC} = 5.0V 32kHz 水晶発振子使用時	-	9	-			μA	参考値
			V _{CC} = 5.0V 32kHz 水晶発振子使用時	-	13	-			μA	2
ウォッチモード 消費電流	I _{WATCH}	V _{CC}	V _{CC} = 2.5V 32kHz 水晶発振子使用時	-	2.2	5	μA	2		
			V _{CC} = 5.0V 32kHz 水晶発振子使用時	-	2.8	-			μA	参考値
			V _{CC} = 5.0V 32kHz 水晶発振子使用時	-	6	-			μA	2
スタンバイ モード消費電流	I _{STBY}	V _{CC}	32kHz 水晶発振子未使用 X ₁ = V _{CC}	-	-	5	μA			
スタンバイ時 RAM データ 保持電圧	V _{STBY}	V _{CC}	32kHz 水晶発振子未使用 X ₁ = V _{CC}	2	-	-	V			

【注】 TEST 端子は、V_{SS} に接続してください。

1. ブルアップ MOS や出力バッファに流れる電流は除きます。
2. V_{CC} - V_{SS} 間にバイパス・コンデンサ 47μF を接続した場合の参考値です。

13. 電気的特性

13.3.2 HD6433613、HD6433614 の AC 特性

HD6433613、HD6433614 の AC 特性として表 13.9 に制御信号タイミングを、表 13.10 にシリアルインタフェースタイミングを示します。

表 13.9 制御信号タイミング

条件：特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min	typ	max		
クロック発振周波数	f_{OSC}	OSC ₁ 、 OSC ₂		2	-	8.4	MHz	
			$V_{CC} = 2.7 \sim 5.5V$	2	-	4.2		
クロックサイクル時間	t_{CYC}	OSC ₁ 、 OSC ₂		119	-	500	ns	図 13.1
			$V_{CC} = 2.7 \sim 5.5V$	238	-	500		
インストラクションサイクル時間	ϕ			238	-	1000	ns	
			$V_{CC} = 2.7 \sim 5.5V$	476	-	1000		
サブクロック発振周波数	f_X	X ₁ 、X ₂	$V_{CC} = 2.5 \sim 5.5V$	-	32.768	-	kHz	
サブクロックサイクル時間	t_{subcyc}	X ₁ 、X ₂	$V_{CC} = 2.5 \sim 5.5V$	-	30.5	-	μs	
サブアクティブインストラクション サイクル時間	ϕ_{SUB}		$V_{CC} = 2.5 \sim 5.5V$	-	244.14	-	μs	
発振安定時間（水晶発振子）	t_{IC}	OSC ₁ 、 OSC ₂		-	-	40	ms	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	60		
発振安定時間（セラミック発振子）	t_{IC}	OSC ₁ 、 OSC ₂		-	-	20	ms	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	40		
発振安定時間	t_{IC}	X ₁ 、X ₂	$V_{CC} = 2.7 \sim 5.5V$	-	-	2	s	
外部クロック High レベル幅	t_{CPH}	OSC ₁		40	-	-	ns	図 13.1
			$V_{CC} = 2.7 \sim 5.5V$	100	-	-		
外部クロック Low レベル幅	t_{CPL}	OSC ₁		40	-	-	ns	
			$V_{CC} = 2.7 \sim 5.5V$	100	-	-		
外部クロック立ち上がり時間	t_{CPr}	OSC ₁		-	-	20	ns	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	20		
外部クロック立ち下がり時間	t_{CPf}	OSC ₁		-	-	20	ns	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	20		
RES 端子 Low レベル幅	t_{REL}	RES	$V_{CC} = 2.7 \sim 5.5V$	10	-	-	ϕ	図 13.2
IRQ 端子 High レベル幅	t_{IH}	IRQ ₀ ~ IRQ ₅	$V_{CC} = 2.7 \sim 5.5V$	2	-	-	ϕ	図 13.3
							ϕ_{SUB}	
IRQ 端子 Low レベル幅	t_{IL}	IRQ ₀ ~ IRQ ₅	$V_{CC} = 2.7 \sim 5.5V$	2	-	-	ϕ	
							ϕ_{SUB}	
EVENT 端子 High レベル幅	t_{EVH}	EVENT	$V_{CC} = 2.7 \sim 5.5V$	2	-	-	ϕ	図 13.4
EVENT 端子 Low レベル幅	t_{EVL}	EVENT	$V_{CC} = 2.7 \sim 5.5V$	2	-	-	ϕ	
UD 端子最小変化幅	t_{UDH} t_{UDL}	UD	$V_{CC} = 2.7 \sim 5.5V$	2	-	-	ϕ	図 13.5

表 13.10 シリアルインタフェースタイミング

条件：特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min	typ	max		
出力転送クロックサイクルタイミング	t_{sck}	SCK ₁ 、 SCK ₂	$V_{CC} = 2.7 \sim 5.5V$	2	-	-	ϕ	図 13.6
出力転送クロック High レベル幅	t_{sckH}	SCK ₁ 、 SCK ₂	$V_{CC} = 2.7 \sim 5.5V$	0.4	-	-	t_{sck}	
出力転送クロック Low レベル幅	t_{sckL}	SCK ₁ 、 SCK ₂	$V_{CC} = 2.7 \sim 5.5V$	0.4	-	-	t_{sck}	
出力転送クロック立ち上がり時間	t_{sckr}	SCK ₁ 、 SCK ₂		-	-	60	ns	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	80		
出力転送クロック立ち下がり時間	t_{sckf}	SCK ₁ 、 SCK ₂		-	-	60	ns	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	80		
入力転送クロックサイクルタイミング	t_{sck}	SCK ₁ 、 SCK ₂	$V_{CC} = 2.7 \sim 5.5V$	1	-	-	ϕ	
入力転送クロック High レベル幅	t_{sckH}	SCK ₁ 、 SCK ₂	$V_{CC} = 2.7 \sim 5.5V$	0.4	-	-	t_{sck}	
入力転送クロック Low レベル幅	t_{sckL}	SCK ₁ 、 SCK ₂	$V_{CC} = 2.7 \sim 5.5V$	0.4	-	-	t_{sck}	
入力転送クロック立ち上がり時間	t_{sckr}	SCK ₁ 、 SCK ₂		-	-	60	ns	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	80		
入力転送クロック立ち下がり時間	t_{sckf}	SCK ₁ 、 SCK ₂		-	-	60	ns	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	80		
シリアル出力データ遅延時間	t_{dSO}	SO ₁ 、SO ₂		-	-	200	ns	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	350		
シリアル入力データセットアップ時間	t_{sSI}	SI ₁ 、SI ₂		230	-	-	ns	
			$V_{CC} = 2.7 \sim 5.5V$	470	-	-		
シリアル入力データホールド時間	t_{hSI}	SI ₁ 、SI ₂		230	-	-	ns	
			$V_{CC} = 2.7 \sim 5.5V$	470	-	-		
転送保留時間	t_{sck2}	SCK ₂	SCK ₂ が入力時	0.2	-	40	μs	図 13.7
			SCK ₂ が出力時 $V_{CC} = 2.7 \sim 5.5V$	0.4	-	40		
			SCK ₂ が出力時 $V_{CC} = 2.7 \sim 5.5V$	-	-	1		
転送終了確認時間	t_{CS}	\overline{CS}	$V_{CC} = 2.7 \sim 5.5V$	3	-	4	ϕ	

13. 電気的特性

13.3.3 HD6433613、HD6433614 の A/D 変換器特性

表 13.11 に A/D 変換器特性を示します。

表 13.11 A/D 変換器特性

条件：特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
アナログ電源電圧	AV_{CC}	AV_{CC}		$V_{CC}-0.3$	V_{CC}	$V_{CC}+0.3$	V	
アナログ入力電圧	AV_{IN}	$AN_0 \sim AN_7$		AV_{SS}	-	AV_{CC}	V	
アナログ電源電流	AI_{CC}	AV_{CC}	$AV_{CC} = 5V$	-	-	200	μA	
	AI_{STOP}		リセットおよび 低消費電力モード時	-	-	10	μA	
アナログ入力容量	C_{AIN}	$AN_0 \sim AN_7$		-	-	30	pF	
許容信号源 インピーダンス	R_{AIN}	$AN_0 \sim AN_7$		-	-	10	k Ω	
分解能				-	-	8	ビット	
絶対精度			$V_{CC} = AV_{CC} = 5V$	-	-	± 2.5	LSB	参考値
			$V_{CC} = AV_{CC} = 4.0 \sim 5.5V$	-	± 2.5	-		
変換時間				31	15.5	14.8	μs	

13.4 HD6433612 の電気的特性

13.4.1 HD6433612 の DC 特性

HD6433612 の出力許容電流値を表 13.12 に、DC 特性を表 13.13 に示します。

表 13.12 出力許容電流値

条件： $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	規格値	単位	注記
許容入力電流 (LSI への流入)	I_o	2	mA	1、2
許容出力電流 (LSI からの流出)	$-I_o$	2	mA	2、3
許容出力電流 (LSI からの流出)	$-I_o$	20	mA	3、4
許容総入力電流 (LSI への流入)	ΣI_o	50	mA	5
許容総出力電流 (LSI からの流出)	$-\Sigma I_o$	150	mA	6

- 【注】
1. 許容入力電流とは、各入出力端子から V_{SS} へ流し込める電流の最大値です。
 2. 標準端子に適用します。
 3. 許容出力電流とは、 V_{CC} から各入出力端子へ流し出せる電流の最大値です。
 4. PMOS オープンドレイン端子に適用します。
 5. 許容総入力電流とは、同時に全入出力端子から V_{SS} へ流し込める電流の総和です。
 6. 許容総出力電流とは、 V_{CC} から全入出力端子へ流し出せる電流の総和です。

表 13.13 DC 特性

条件：特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
入力 High レベル	V_{IH}	RES、 IRQ ₀ ~ IRQ ₅ SCK ₁ 、 SCK ₂ SI ₁ 、 SI ₂		0.8V _{CC}	-	V _{CC} +0.3	V	
			V _{CC} = 2.5 ~ 5.5V サブアクティブを含む	0.9V _{CC}	-	V _{CC} +0.3		
		EVENT、 UD	V _{CC} = 2.5 ~ 5.5V サブアクティブを含む	0.7V _{CC}	-	V _{CC} +0.3	V	
		OSC ₁		V _{CC} -0.5	-	V _{CC} +0.3	V	
			V _{CC} = 2.5 ~ 5.5V サブアクティブを含む	V _{CC} -0.3	-	V _{CC} +0.3		
		P0 ₀ ~ P0 ₇ P1 ₀ ~ P1 ₆ P2 ₀ ~ P2 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₇ PA ₀ ~ PA ₇	V _{CC} = 2.5 ~ 5.5V サブアクティブを含む	0.7V _{CC}	-	V _{CC} +0.3	V	
		P4 ₀ ~ P4 ₅ P1 ₇	V _{CC} = 2.5 ~ 5.5V サブアクティブを含む	0.7V _{CC}	-	V _{CC} +0.3	V	
入力 Low レベル	V_{IL}	RES、 SCK ₁ 、 SCK ₂ IRQ ₀ ~ IRQ ₅ SI ₁ 、 SI ₂		-0.3	-	0.2V _{CC}	V	
			V _{CC} = 2.5 ~ 5.5V サブアクティブを含む	-0.3	-	0.1V _{CC}		
		EVENT、 UD	V _{CC} = 2.5 ~ 5.5V サブアクティブを含む	-0.3	-	0.3V _{CC}	V	
		OSC ₁		-0.3	-	0.5	V	
			V _{CC} = 2.5 ~ 5.5V サブアクティブを含む	-0.3	-	0.3		
		P0 ₀ ~ P0 ₇ P1 ₀ ~ P1 ₆ P2 ₀ ~ P2 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₇ PA ₀ ~ PA ₇	V _{CC} = 2.5 ~ 5.5V サブアクティブを含む	-0.3	-	0.3V _{CC}	V	
		P4 ₀ ~ P4 ₅ P1 ₇	V _{CC} = 2.5 ~ 5.5V サブアクティブを含む	-0.3	-	0.3V _{CC}	V	
出力 High レベル	V_{OH}	P1 ₀ ~ P1 ₅ P2 ₀ ~ P2 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₇ SO ₁ 、 SO ₂ SCK ₁ 、 SCK ₂ PA ₀ ~ PA ₇	-I _{OH} = 1.0mA	V _{CC} -1.0	-	-	V	
			-I _{OH} = 0.5mA	V _{CC} -0.5	-	-		
			V _{CC} = 2.7 ~ 5.5V -I _{OH} = 0.3mA	V _{CC} -0.5	-	-		

13. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
出力 High レベル	V_{OH}	P4 ₀ ~ P4 ₅	$-I_{OH} = 15\text{mA}$	$V_{CC}-3.0$	-	-	V	
			$-I_{OH} = 10\text{mA}$	$V_{CC}-2.0$	-	-		
			$-I_{OH} = 4\text{mA}$	$V_{CC}-1.0$	-	-		
			$V_{CC} = 2.7 \sim 5.5\text{V}$ $-I_{OH} = 4\text{mA}$	-	$V_{CC}-1.0$	-	V	参考値
出力 Low レベル	V_{OL}	P1 ₀ ~ P1 ₅ P2 ₀ ~ P2 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₇ SO ₁ 、SO ₂ SCK ₁ 、SCK ₂ PA ₀ ~ PA ₇	$V_{CC} = 4.0 \sim 5.5\text{V}$ $I_{OL} = 1.6\text{mA}$	-	-	0.4	V	
			$V_{CC} = 2.7 \sim 5.5\text{V}$ $I_{OL} = 0.5\text{mA}$	-	0.4	-	V	参考値
入力リーク電流	$ I_{IL} $	RES	マスク ROM 版 $V_{IN} = 0.0 \sim V_{CC}$	-	-	1	μA	
入出力リーク電流	$ I_{IL} $	TEST SCK ₁ 、SCK ₂ SI ₁ 、SI ₂ IRO ₀ ~ IRO ₅ EVENT、UD、 OSC ₁ P0 ₀ ~ P0 ₇ P2 ₀ ~ P2 ₇ P1 ₀ ~ P1 ₆ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₇ PA ₀ ~ PA ₇	$V_{IN} = 0.0 \sim V_{CC}$	-	-	1	μA	
		P4 ₀ ~ P4 ₅ P1 ₇	$V_{IN} = 0.0 \sim V_{CC}$	-	-	2	μA	
ブルアップ MOS 電流	$-I_P$	P1 ₀ ~ P1 ₆ P2 ₀ ~ P2 ₇ P8 ₀ ~ P8 ₇ P9 ₀ ~ P9 ₇ PA ₀ ~ PA ₇	$V_{CC} = 5\text{V}$ 、 $V_{IN} = 0\text{V}$	50	-	300	μA	参考値
			$V_{CC} = 2.7\text{V}$ 、 $V_{IN} = 0\text{V}$	-	25	-		
入力容量	C_{IN}	電源端子を除く 入力端子および 入出力端子	$f = 1\text{MHz}$ 、 $V_{IN} = 0\text{V}$ $T_a = 25$	-	-	15	pF	
		P1 ₇		-	-	30		
アクティブモード* CPU 動作時消費 電流	I_{OPE}	V_{CC}	$V_{CC} = 5\text{V}$ 、 $f_{OSC} = 8\text{MHz}$	-	15	-	mA	参考値 1
			$V_{CC} = 5\text{V}$ 、 $f_{OSC} = 4\text{MHz}$	-	8	-		
			$V_{CC} = 3\text{V}$ 、 $f_{OSC} = 4\text{MHz}$	-	5	-		
アクティブモード* リセット時 消費電流	I_{RES}	V_{CC}	$V_{CC} = 5\text{V}$ 、 $f_{OSC} = 8\text{MHz}$	-	5	8	mA	1
			$V_{CC} = 5\text{V}$ 、 $f_{OSC} = 4\text{MHz}$	-	2.5	4		
			$V_{CC} = 3\text{V}$ 、 $f_{OSC} = 4\text{MHz}$	-	1.3	-		
スリープモード 消費電流	I_{SLEEP}	V_{CC}	$V_{CC} = 5\text{V}$ 、 $f_{OSC} = 8\text{MHz}$	-	2	3	mA	1
			$V_{CC} = 5\text{V}$ 、 $f_{OSC} = 4\text{MHz}$	-	1	1.5		
			$V_{CC} = 3\text{V}$ 、 $f_{OSC} = 4\text{MHz}$	-	0.6	-		

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
サブアクティブモード消費電流	I_{SUB}	V_{CC}	$V_{CC} = 2.5V$ 32kHz 水晶発振器使用時	-	5	20	μA	
			$V_{CC} = 5.0V$ 32kHz 水晶発振器使用時	-	9	-	μA	2
			$V_{CC} = 2.5V$ 32kHz 水晶発振器使用時	-	13	-	μA	参考値
			$V_{CC} = 5.0V$ 32kHz 水晶発振器使用時	-	20	-	μA	2
ウォッチモード消費電流	I_{WATCH}	V_{CC}	$V_{CC} = 2.5V$ 32kHz 水晶発振器使用時	-	2.2	5	μA	
			$V_{CC} = 5.0V$ 32kHz 水晶発振器使用時	-	2.8	-	μA	2
			$V_{CC} = 2.5V$ 32kHz 水晶発振器使用時	-	6	-	μA	参考値
			$V_{CC} = 5.0V$ 32kHz 水晶発振器使用時	-	8	-	μA	2
スタンバイモード消費電流	I_{STBY}	V_{CC}	32kHz 水晶発振器未使用 $X_1 = V_{CC}$	-	-	5	μA	
スタンバイ時RAMデータ保持電圧	V_{STBY}	V_{CC}	32kHz 水晶発振器未使用 $X_1 = V_{CC}$	2	-	-	V	

【注】 TEST 端子は、 V_{SS} に接続してください。

1. プルアップ MOS や出力バッファに流れる電流は除きます。
2. $V_{CC} - V_{SS}$ 間にバイパス・コンデンサ 47 μF を接続した場合の参考値です。

13.4.2 HD6433612 の AC 特性

HD6433612 の AC 特性として表 13.14 に制御信号タイミングを、表 13.15 にシリアルインタフェースタイミングを示します。

表 13.14 制御信号タイミング

条件：特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min	typ	max		
クロック発振周波数	f_{OSC}	OSC ₁ 、 OSC ₂		2	-	8.4	MHz	
			$V_{CC} = 2.7 \sim 5.5V$	2	-	4.2		
クロックサイクル時間	t_{CYC}	OSC ₁ 、 OSC ₂		119	-	500	ns	図 13.1
			$V_{CC} = 2.7 \sim 5.5V$	238	-	500		
インストラクションサイクル時間	ϕ			238	-	1000	ns	
			$V_{CC} = 2.7 \sim 5.5V$	476	-	1000		
サブクロック発振周波数	f_X	X ₁ 、 X ₂	$V_{CC} = 2.5 \sim 5.5V$	-	32.768	-	kHz	
サブクロックサイクル時間	t_{subcyc}	X ₁ 、 X ₂	$V_{CC} = 2.5 \sim 5.5V$	-	30.5	-	μs	
サブアクティブインストラクションサイクル時間	ϕ_{SUB}		$V_{CC} = 2.5 \sim 5.5V$	-	244.14	-	μs	
発振安定時間（水晶発振器）	t_{tc}	OSC ₁ 、 OSC ₂		-	-	40	ms	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	60		
発振安定時間（セラミック発振器）	t_{tc}	OSC ₁ 、 OSC ₂		-	-	20	ms	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	40		
発振安定時間	t_{tc}	X ₁ 、 X ₂	$V_{CC} = 2.7 \sim 5.5V$	-	-	2	s	

13. 電気的特性

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min	typ	max		
外部クロック High レベル幅	t_{CPH}	OSC ₁		40	-	-	ns	図 13.1
			$V_{CC} = 2.7 \sim 5.5V$	100	-	-		
外部クロック Low レベル幅	t_{CPL}	OSC ₁		40	-	-	ns	
			$V_{CC} = 2.7 \sim 5.5V$	100	-	-		
外部クロック立ち上がり時間	t_{CPr}	OSC ₁		-	-	20	ns	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	20		
外部クロック立ち下がり時間	t_{CPf}	OSC ₁		-	-	20	ns	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	20		
RES 端子 Low レベル幅	t_{REL}	RES	$V_{CC} = 2.7 \sim 5.5V$	10	-	-	ϕ	図 13.2
IRQ 端子 High レベル幅	t_{IH}	IRQ ₀ ~ IRQ ₅	$V_{CC} = 2.7 \sim 5.5V$	2	-	-	ϕ	図 13.3
IRQ 端子 Low レベル幅	t_{IL}	IRQ ₀ ~ IRQ ₅	$V_{CC} = 2.7 \sim 5.5V$	2	-	-	ϕ_{SUB}	
EVENT 端子 High レベル幅	t_{EVH}	EVENT	$V_{CC} = 2.7 \sim 5.5V$	2	-	-	ϕ	図 13.4
EVENT 端子 Low レベル幅	t_{EVL}	EVENT	$V_{CC} = 2.7 \sim 5.5V$	2	-	-	ϕ	
UD 端子最小変化幅	t_{UDH} t_{UDL}	UD	$V_{CC} = 2.7 \sim 5.5V$	2	-	-	ϕ	図 13.5

表 13.15 シリアルインタフェースタイミング

条件：特記なき場合は、 $V_{CC} = 4.0 \sim 5.5V$ 、 $V_{SS} = 0.0V$ 、 $T_a = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min	typ	max		
出力転送クロックサイクルタイミ ング	t_{syc}	SCK ₁ 、 SCK ₂	$V_{CC} = 2.7 \sim 5.5V$	2	-	-	ϕ	図 13.6
出力転送クロック High レベル幅	t_{SCKH}	SCK ₁ 、 SCK ₂	$V_{CC} = 2.7 \sim 5.5V$	0.4	-	-	t_{syc}	
出力転送クロック Low レベル幅	t_{SCKL}	SCK ₁ 、 SCK ₂	$V_{CC} = 2.7 \sim 5.5V$	0.4	-	-	t_{syc}	
出力転送クロック立ち上がり時間	t_{SCKr}	SCK ₁ 、 SCK ₂		-	-	60	ns	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	80		
出力転送クロック立ち下がり時間	t_{SCKf}	SCK ₁ 、 SCK ₂		-	-	60	ns	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	80		
入力転送クロックサイクルタイミ ング	t_{syc}	SCK ₁ 、 SCK ₂	$V_{CC} = 2.7 \sim 5.5V$	1	-	-	ϕ	
入力転送クロック High レベル幅	t_{SCKH}	SCK ₁ 、 SCK ₂	$V_{CC} = 2.7 \sim 5.5V$	0.4	-	-	t_{syc}	
入力転送クロック Low レベル幅	t_{SCKL}	SCK ₁ 、 SCK ₂	$V_{CC} = 2.7 \sim 5.5V$	0.4	-	-	t_{syc}	
入力転送クロック立ち上がり時間	t_{SCKr}	SCK ₁ 、 SCK ₂		-	-	60	ns	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	80		
入力転送クロック立ち下がり時間	t_{SCKf}	SCK ₁ 、 SCK ₂		-	-	60	ns	
			$V_{CC} = 2.7 \sim 5.5V$	-	-	80		

項目	記号	適用端子	測定条件	規格値			単位	参照図
				min	typ	max		
シリアル出力データ遅延時間	t_{dSO}	SO ₁ 、SO ₂		-	-	200	ns	図 13.6
			$V_{\text{CC}} = 2.7 \sim 5.5\text{V}$	-	-	350		
シリアル入力データセットアップ時間	t_{sSI}	SI ₁ 、SI ₂		230	-	-	ns	
			$V_{\text{CC}} = 2.7 \sim 5.5\text{V}$	470	-	-		
シリアル入力データホールド時間	t_{hSI}	SI ₁ 、SI ₂		230	-	-	ns	
			$V_{\text{CC}} = 2.7 \sim 5.5\text{V}$	470	-	-		
転送保留時間	t_{SCK2}	SCK ₂	SCK ₂ が入力時	0.2	-	40	μs	図 13.7
			SCK ₂ が入力時 $V_{\text{CC}} = 2.7 \sim 5.5\text{V}$	0.4	-	40		
			SCK ₂ が出力時 $V_{\text{CC}} = 2.7 \sim 5.5\text{V}$	-	-	1		
転送終了確認時間	t_{CS}	$\overline{\text{CS}}$	$V_{\text{CC}} = 2.7 \sim 5.5\text{V}$	3	-	4	ϕ	

13.4.3 HD6433612 の A/D 変換器特性

表 13.16 に A/D 変換器特性を示します。

表 13.16 A/D 変換器特性

条件：特記なき場合は、 $V_{\text{CC}} = 4.0 \sim 5.5\text{V}$ 、 $V_{\text{SS}} = 0.0\text{V}$ 、 $T_{\text{a}} = -20 \sim +75$

項目	記号	適用端子	測定条件	規格値			単位	注記
				min	typ	max		
アナログ電源電圧	AV _{CC}	AV _{CC}		$V_{\text{CC}} - 0.3$	V_{CC}	$V_{\text{CC}} + 0.3$	V	
アナログ入力電圧	AV _{IN}	AN ₀ ~ AN ₇		AV _{SS}	-	AV _{CC}	V	
アナログ電源電流	AI _{CC}	AV _{CC}	AV _{CC} = 5V	-	-	200	μA	
	AI _{STOP}		リセットおよび 低消費電力モード時	-	-	10	μA	
アナログ入力容量	C _{AIN}	AN ₀ ~ AN ₇		-	-	30	pF	
許容信号源 インピーダンス	R _{AIN}	AN ₀ ~ AN ₇		-	-	10	k Ω	
分解能				-	-	8	ビット	
絶対精度			$V_{\text{CC}} = \text{AV}_{\text{CC}} = 5\text{V}$	-	-	± 2.5	LSB	参考値
			$V_{\text{CC}} = \text{AV}_{\text{CC}} = 4.0 \sim 5.5\text{V}$	-	± 2.5	-		
変換時間				31	15.5	14.8	μs	

13.5 動作タイミング

動作タイミングを図 13.1 ~ 図 13.8 に示します。

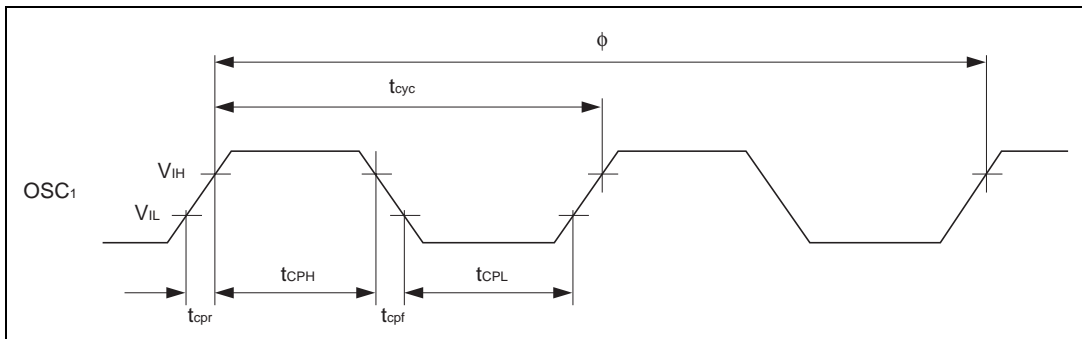


図 13.1 システムクロック入力タイミング

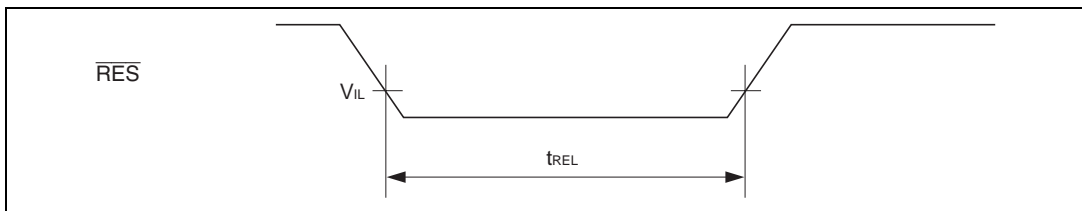


図 13.2 RES 端子 Low レベル幅

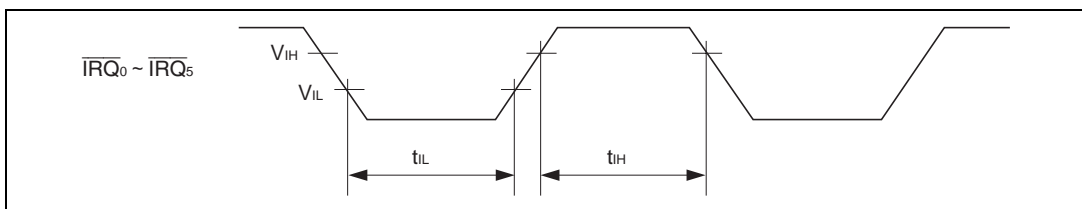


図 13.3 IRQ 端子入力タイミング

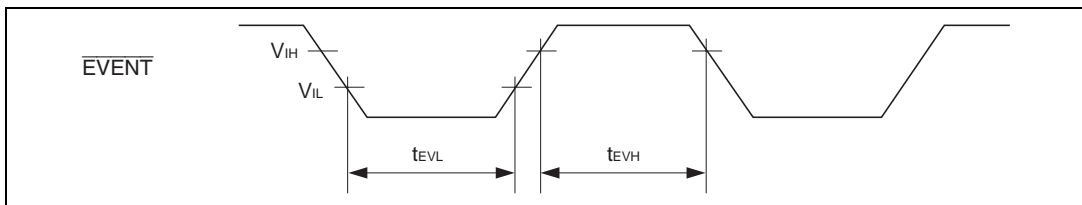


図 13.4 EVENT 端子最小パルス幅

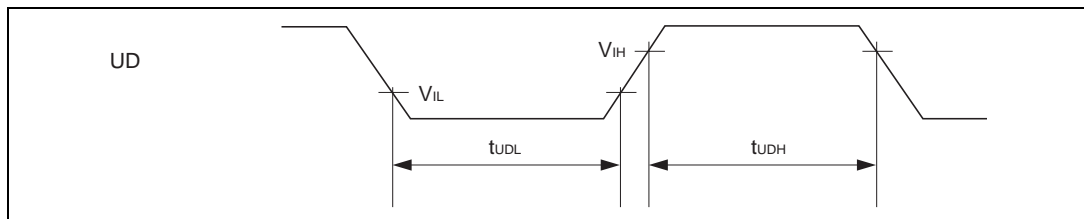


図 13.5 UD 端子最小変化幅

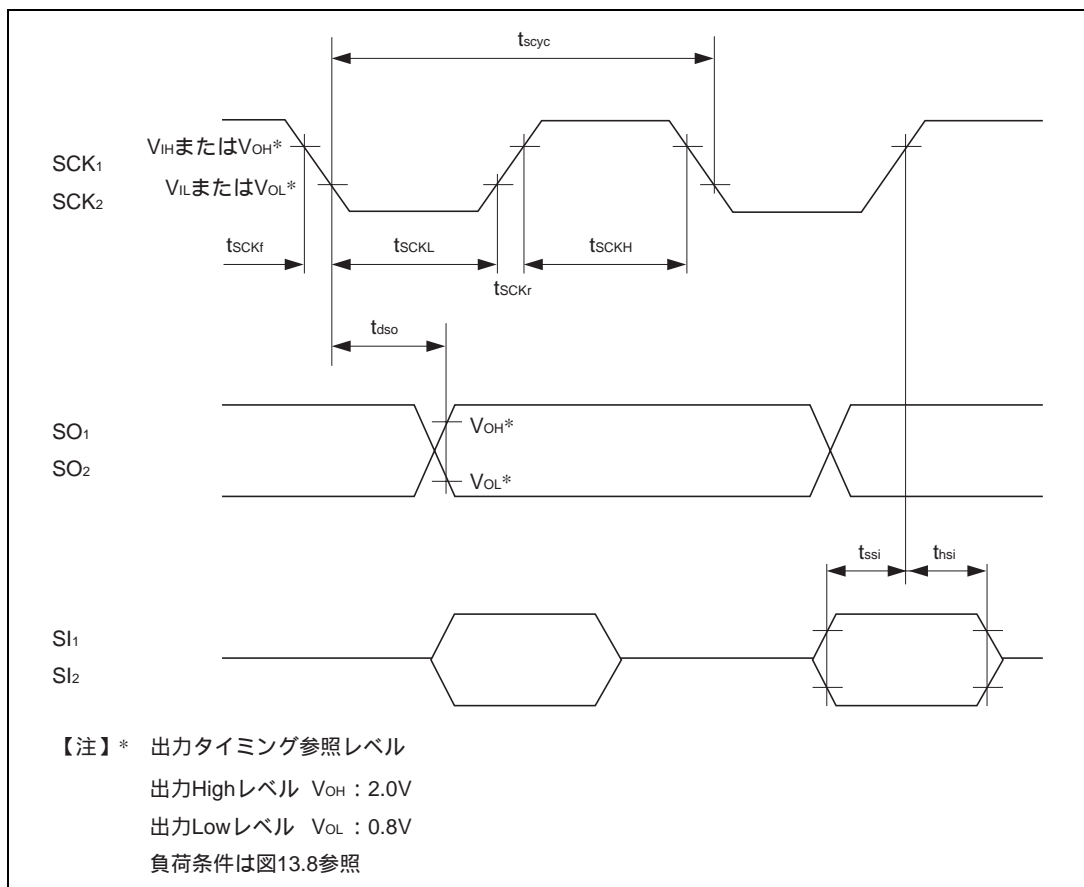


図 13.6 SCI 入出力タイミング

13. 電気的特性

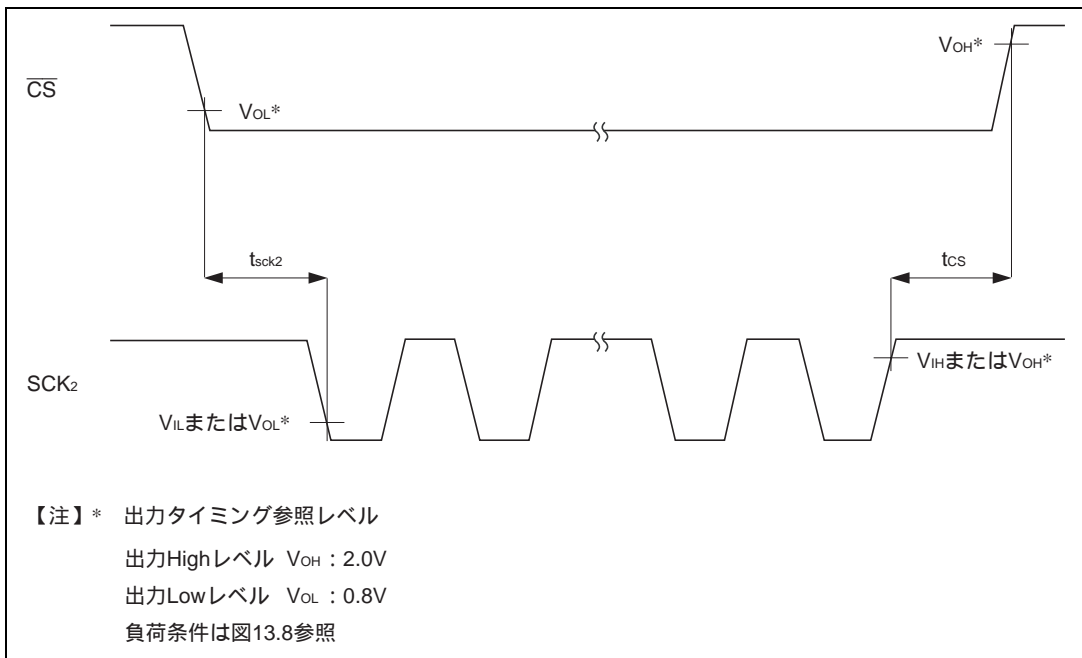


図 13.7 SCI2 チップセレクトタイミング

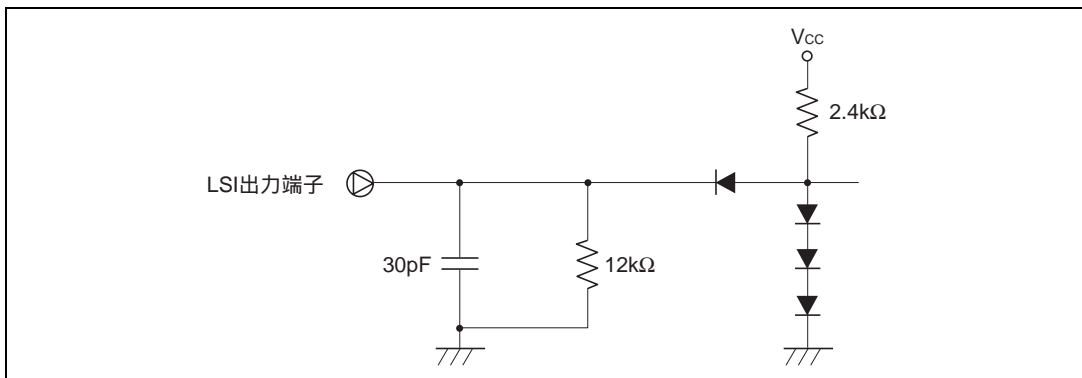


図 13.8 出力負荷条件

13.6 マスク ROM 版と ZTAT 版の電氣的特性の相違点

HD6473614 と HD6433612、HD6433613、HD6433614 の電氣的特性の相違点を表 13.17 に示します。

表 13.17 マスク ROM 版と ZTAT 版の電氣的特性の相違点

項目	記号	端子	測定条件	マスクROM版			ZTAT版			単位
				MIN	TYP	MAX	MIN	TYP	MAX	
サブアクティブの動作範囲		V _{CC}		2.5	-	5.5	2.7	-	5.5	V
入力リーク電流	I _{IL}	RES		-	-	1	-	-	40	μA
入力容量	C _{IN}	P16/EVENT		-	-	15	-	-	35	pF
		P17		-	-	30	-	-	20	
アクティブモードCPU動作時消費電流	I _{OPV}	RES		-	-	15	-	-	70	
		V _{CC}	V _{CC} =5V, f _{osc} =8MHz	-	15	-	-	-	17	mA
		V _{CC}	V _{CC} =5V, f _{osc} =4MHz	-	8	-	-	-	9	
アクティブモードリセット時消費電流	I _{RES}	V _{CC}	V _{CC} =3V, f _{osc} =4MHz	-	5	-	-	-	6	
		V _{CC}	V _{CC} =5V, f _{osc} =8MHz	-	5	8	-	-	6	mA
		V _{CC}	V _{CC} =5V, f _{osc} =4MHz	-	2.5	4	-	-	3	
スリープモード消費電流	I _{SLEEP}	V _{CC}	V _{CC} =3V, f _{osc} =4MHz	-	1.3	-	-	-	1.5	
		V _{CC}	V _{CC} =5V, f _{osc} =8MHz	-	2	3	-	-	2.5	3.5
		V _{CC}	V _{CC} =5V, f _{osc} =4MHz	-	1	1.5	-	-	1.5	2
サブアクティブモード消費電流	I _{SUB}	V _{CC}	V _{CC} =3V, f _{osc} =4MHz	-	0.6	-	-	-	1	
		V _{CC}	V _{CC} =2.5V(バスコン無)	-	5	20	-	-	-	μA
		V _{CC}	V _{CC} =2.5V(バスコン47μF)	-	9	-	-	-	-	
		V _{CC}	V _{CC} =2.7V(バスコン無)	-	-	-	-	6	20	
		V _{CC}	V _{CC} =2.7V(バスコン47μF)	-	-	-	-	11	-	
		V _{CC}	V _{CC} =5V(バスコン無)	-	13	-	-	16	-	
ウォッチモード消費電流	I _{WATCH}	V _{CC}	V _{CC} =5V(バスコン47μF)	-	20	-	-	-	22	
		V _{CC}	V _{CC} =2.5V(バスコン無)	-	2.2	5	-	-	-	μA
		V _{CC}	V _{CC} =2.5V(バスコン47μF)	-	2.8	-	-	-	-	
		V _{CC}	V _{CC} =2.7V(バスコン無)	-	-	-	-	3.2	6	
		V _{CC}	V _{CC} =2.7V(バスコン47μF)	-	-	-	-	3.8	-	
		V _{CC}	V _{CC} =5V(バスコン無)	-	6	-	-	10	-	
スタンバイモード消費電流	I _{STBY}	V _{CC}	V _{CC} =5V(バスコン47μF)	-	8	-	-	-	12	
		V _{CC}		-	-	5	-	-	10	μA

付録

A. 命令

A.1 命令一覧

《オペレーションの記号》

Rd 8/16	汎用レジスタ (デスティネーション側) 8 ビット / 16 ビット
Rs 8/16	汎用レジスタ (ソース側) 8 ビット / 16 ビット
Rn 8/16	汎用レジスタ 8 ビット / 16 ビット
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#xx:3/8/16	イミディエイトデータ 3 ビット / 8 ビット / 16 ビット
d:8/16	ディスプレイメント 8 ビット / 16 ビット
@aa:8/16	絶対アドレス 8 ビット / 16 ビット
+	加算
-	減算
x	乗算
÷	除算
^	論理積
v	論理和
⊕	排他的論理和
→	転送
-	論理的補数


《コンディションコードの記号》

記号	
↓	実行結果に従って変化することを表します。
*	不確定であることを表します (値を保証しません)。
0	常に 0 にクリアされることを表します。
-	実行結果に影響を受けないことを表します。

A.2 オペレーションコードマップ

表 A.1 にオペレーションコードマップを示します。表 A.1 では、命令コードの第 1 バイト（第 1 ワードのビット 15~8）についてのみ示しています。

表 A.1 オペレーションコードマップ



HI	LO	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
	0	NOP	SLEEP*2	STC	LDC	ORC	XORC	ANDC	LDC	ADD	INC	ADDS	ADDX	MOV	ADDX	DAA	
	1	SHLL	SHLR	ROTL	ROTR	OR	XOR	AND	NOT	NEG	SUB	DEC	SUBS	CMP	SUBX	DAS	
	2	MOV															
	3	MOV															
	4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
	5	MULXU	DIVXU			RTS	BSR	RTE				JMP				JSR	
	6	BSET	BNOT	BCLR	BTST	BOR	BXOR	BAND	BST	BISL							
	7					BIOR	BIXOR	BIAND	BILD	BIBD	MOV		EEPMOV				ビット操作命令
	8	ADD															
	9	ADDX															
	A	CMP															
	B	SUBX															
	C	OR															
	D	XOR															
	E	AND															
	F	MOV															

【注】 *1 PUSH、POP命令の機構語はMOV命令と同一です。

*2 SLEEP命令は使用しないでください。

A.3 命令実行ステート数

表 A.2 命令セット一覧

二ノモニック	サイズ	アドレッシングモード/命令長(バイト)								オペレーション	コンディションコード						実行ステート数
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)	@@aa		I	H	N	Z	V	C	
MOV	MOV.B #xx:8,Rd	B	2							#xx:8→Rd8						0	2
	MOV.B Rs,Rd	B	2							Rs8→Rd8						0	2
	MOV.B @Rs,Rd	B		2						@Rs16→Rd8						0	4
	MOV.B @(d:16,Rs),Rd	B			4					@(d:16,Rs16)→Rd8						0	6
	MOV.B @Rs+,Rd	B				2				@Rs16→Rd8,Rs16+1→Rs16						0	6
	MOV.B @aa:8,Rd	B					2			@aa:8→Rd8						0	4
	MOV.B @aa:16,Rd	B						4		@aa:16→Rd8						0	6
	MOV.B Rs,@Rd	B		2						Rs8→@Rd16						0	4
	MOV.B Rs,@(d:16,Rd)	B			4					Rs8→@(d:16,Rd16)						0	6
	MOV.B Rs,@-Rd	B				2				Rd16-1→Rd16,Rs8→@Rd16						0	6
	MOV.B Rs,@aa:8	B					2			Rs8→@aa:8						0	4
	MOV.B Rs,@aa:16	B						4		Rs8→@aa:16						0	6
	MOV.W #xx:16,Rd	W	4							#xx:16→Rd						0	4
	MOV.W Rs,Rd	W		2						Rs16→Rd16						0	2
	MOV.W @Rs,Rd	W			2					@Rs16→Rd16						0	4
	MOV.W @(d:16,Rs),Rd	W				4				@(d:16,Rs16)→Rd16						0	6
	MOV.W @Rs+,Rd	W					2			@Rs16→Rd16,Rs16+2→Rs16						0	6
	MOV.W @aa:16,Rd	W						4		@aa:16→Rd16						0	6
	MOV.W Rs,@Rd	W		2						Rs16→@Rd16						0	4
MOV.W Rs,@(d:16,Rd)	W				4				Rs16→@(d:16,Rd16)						0	6	
MOV.W Rs,@-Rd	W					2			Rd16-2→Rd16,Rs16→@Rd16						0	6	
MOV.W Rs,@aa:16	W						4		Rs16→@aa:16						0	6	
POP	POP Rd	W				2			@SP→Rd16,SP+2→SP						0	6	
PUSH	PUSH Rs	W					2		SP-2→SP,Rs16→@SP						0	6	
ADD	ADD.B #xx:8,Rd	B	2							Rd8+#x:8→Rd8						2	2
	ADD.B Rs,Rd	B		2						Rd8+Rs8→Rd8						2	2
	ADD.W Rs,Rd	W		2						Rd16+Rs16→Rd16						2	2
ADDX	ADDX.B #xx:8,Rd	B	2							Rd8+#x:8+C→Rd8						2	2
	ADDX.B Rs,Rd	B		2						Rd8+Rs8+C→Rd8						2	2
ADDS	ADDS.W #1,Rd	W		2						Rd16+1→Rd16						2	2
	ADDS.W #2,Rd	W		2						Rd16+2→Rd16						2	2
INC	INC.B Rd	B		2						Rd8+1→Rd8						2	2
DAA	DAA.B Rd	B		2						Rd8 10進補正→Rd8	*					*	2
SUB	SUB.B Rs,Rd	B		2						Rd8-Rs8→Rd8						2	2
	SUB.W Rs,Rd	W		2						Rd16-Rs16→Rd16						2	2
SUBX	SUBX.B #xx:8,Rd	B	2							Rd8-#x:8-C→Rd8						2	2
	SUBX.B Rs,Rd	B		2						Rd8-Rs8-C→Rd8						2	2
SUBS	SUBS.W #1,Rd	W		2						Rd16-1→Rd16						2	2
	SUBS.W #2,Rd	W		2						Rd16-2→Rd16						2	2
DEC	DEC.B Rd	B		2						Rd8-1→Rd8						2	2
DAS	DAS.B Rd	B		2						Rd8 10進補正→Rd8	*					*	2
NEG	NEG.B Rd	B		2						0-Rd→Rd						2	2
CMP	CMP.B #xx:8,Rd	B	2							Rd8-#x:8						2	2
	CMP.B Rs,Rd	B		2						Rd8-Rs8						2	2
	CMP.W Rs,Rd	W		2						Rd16-Rs16						2	2
MULXU	MULXU.B Rs,Rd	B		2						Rd8×Rs8→Rd16						14	14
DIVXU	DIVXU.B Rs,Rd	B		2						Rd16÷Rs8→Rd16 (RdH:余U、RdL:商)						14	14
AND	AND.B #xx:8,Rd	B	2							Rd8∧#x:8→Rd8						0	2
	AND.B Rs,Rd	B		2						Rd8∧Rs8→Rd8						0	2
OR	OR.B #xx:8,Rd	B	2							Rd8∨#x:8→Rd8						0	2
	OR.B Rs,Rd	B		2						Rd8∨Rs8→Rd8						0	2
XOR	XOR.B #xx:8,Rd	B	2							Rd8⊕#x:8→Rd8						0	2
	XOR.B Rs,Rd	B		2						Rd8⊕Rs8→Rd8						0	2
NOT	NOT.B Rd	B		2						Rd→Rd						0	2

付 録

ニーモニック		サイズ	アドレッシングモード / 命令長 (バイト)								オペレーション	コンディションコード					実行 ステート数	
			#xx:8/16	Rn	@Rn	@ (d:16, Rn)	@-Rn / @Rn+	@aa:8/16	@ (d:8, PC)	@aa		I	H	N	Z	V		C
SHAL	SHAL.B Rd	B		2									↑	↑	↑		2	
SHAR	SHAR.B Rd	B		2									↑	↑	0	↑	2	
SHLL	SHLL.B Rd	B		2									↑	↑	0	↑	2	
SHLR	SHLR.B Rd	B		2								0	↑	0	↑		2	
ROTXL	ROTXL.B Rd	B		2									↑	↑	0	↑	2	
ROTXR	ROTXR.B Rd	B		2									↑	↑	0	↑	2	
ROTL	ROTL.B Rd	B		2									↑	↑	0	↑	2	
ROTR	ROTR.B Rd	B		2									↑	↑	0	↑	2	
BSET	BSET #xx:3,Rd	B		2													2	
	BSET #xx:3,@Rd	B		4													8	
	BSET #xx:3,@aa:8	B					4										8	
	BSET Rn,Rd	B		2													2	
	BSET Rn,@Rd	B		4													8	
	BSET Rn,@aa:8	B					4										8	
BCLR	BCLR #xx:3,Rd	B		2													2	
	BCLR #xx:3,@Rd	B		4													8	
	BCLR #xx:3,@aa:8	B					4										8	
	BCLR Rn,Rd	B		2													2	
	BCLR Rn,@Rd	B		4													8	
	BCLR Rn,@aa:8	B					4										8	
BNOT	BNOT #xx:3,Rd	B		2													2	
	BNOT #xx:3,@Rd	B		4													8	
	BNOT #xx:3,@aa:8	B					4										8	
	BNOT Rn,Rd	B		2													2	
	BNOT Rn,@Rd	B		4													8	
	BNOT Rn,@aa:8	B					4										8	
BTST	BTST #xx:3,Rd	B		2									↑				2	
	BTST #xx:3,@Rd	B		4									↑				6	
	BTST #xx:3,@aa:8	B					4						↑				6	
	BTST Rn,Rd	B		2									↑				2	
	BTST Rn,@Rd	B		4									↑				6	
	BTST Rn,@aa:8	B					4						↑				6	

付 録

ニーモニック		サイズ	アドレッシングモード / 命令長 (バイト)								オペレーション	コンディションコード					実行 ステート数		
			#xx:8/16	Rn	@Rn	@ (d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@ (d:8, PC)	@@aa									
																			I
NOP	NOP										2	PC←PC+2							2
EEPMOV	EEPMOV										4	if R4L = 0 Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4L-1→R4L Until R4L=0 else next;							

- 【注】
- : ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
 - : 演算結果がゼロのとき、演算前の値を保持し、それ以外のとき0にクリアされます。
 - : 補正結果に桁上がりが発生したとき1にセットされ、それ以外のとき演算前の値を保持します。
 - : 実行ステート数は、R4Lの設定値がnのとき4n+9となります。
 - : 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。
 - : 除数がゼロのとき1にセットされ、それ以外のとき0にクリアされます。

B. レジスタ一覧

B.1 I/O レジスタ一覧(1)

下位 アドレス	レジスタ 名	ビット名								モジュール 名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'A0	STAR	-	-	-	STA4	STA3	STA2	STA1	STA0	SCI2
H'A1	EDAR	-	-	-	EDA4	EDA3	EDA2	EDA1	EDA0	
H'A2	SCR2	-	-	-	I/O	GAP2	GAP1	PS1	PS0	
H'A3	STSR	-	-	-	SO2 LAST BIT	OVR	WT	GIT	STF	
H'A4~ H'AF	-	未使用								-
H'B0	SMR1	-	SMR16	SMR15	SMR14	SMR13	SMR12	SMR11	SMR10	SCI1
H'B1	SDRU1	SDRU17	SDRU16	SDRU15	SDRU14	SDRU13	SDRU12	SDRU11	SDRU10	
H'B2	SDRL1	SDRL17	SDRL16	SDRL15	SDRL14	SDRL13	SDRL12	SDRL11	SDRL10	
H'B3	SPR1	SO1 LAST BIT	-	-	-	-	-	-	-	
H'B4	-	-	-	-	-	-	-	-	-	-
H'B5	-	-	-	-	-	-	-	-	-	
H'B6	-	-	-	-	-	-	-	-	-	
H'B7	-	-	-	-	-	-	-	-	-	
H'B8	-	-	-	-	-	-	-	-	-	
H'B9	-	-	-	-	-	-	-	-	-	
H'BA	-	-	-	-	-	-	-	-	-	
H'BB	-	-	-	-	-	-	-	-	-	
H'BC	AMR	AMR7	-	-	-	-	AMR2	AMR1	AMR0	A/D 変換器
H'BD	ADRR	ADR7	ADR6	ADR5	ADR4	ADR3	ADR2	ADR1	ADR0	
H'BE	ADSR	ADSF	-	-	-	-	-	-	-	
H'BF	-	-	-	-	-	-	-	-	-	
H'C0	TMA	-	-	-	-	TMA3	TMA2	TMA1	TMA0	タイマ A
H'C1	TCA	TCA7	TCA6	TCA5	TCA4	TCA3	TCA2	TCA1	TCA0	タイマ B
H'C2	TMB	TMB7	-	-	-	-	TMB2	TMB1	TMB0	
H'C3	TLB/TCB	TLB7/TCB7	TLB6/TCB6	TLB5/TCB5	TLB4/TCB4	TLB3/TCB3	TLB2/TCB2	TLB1/TCB1	TLB0/TCB0	タイマ C
H'C4	TMC	TMC7	TMC6	TMC5	-	-	TMC2	TMC1	TMC0	
H'C5	TLC/TCC	TLC7/TCC7	TLC6/TCC6	TLC5/TCC5	TLC4/TCC4	TLC3/TCC3	TLC2/TCC2	TLC1/TCC1	TLC0/TCC0	タイマ D
H'C6	TMD	CLR	-	-	-	-	-	-	EDG	
H'C7	TCD	TCD7	TCD6	TCD5	TCD4	TCD3	TCD2	TCD1	TCD0	タイマ E
H'C8	TME	TME7	-	-	-	-	TME2	TME1	TME0	
H'C9	TLE/TCE	TLE7/TCE7	TLE6/TCE6	TLE5/TCE5	TLE4/TCE4	TLE3/TCE3	TLE2/TCE2	TLE1/TCE1	TLE0/TCE0	
H'CA	-	-	-	-	-	-	-	-	-	
H'CB	-	-	-	-	-	-	-	-	-	

付 録

下位 アドレス	レジスタ 名	ビット名								モジュール 名	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'CC	PWCR*	-	-	-	-	-	-	-	-	PWCR0	14ビット PWM
H'CD	PWDRU*	-	-	PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0		
H'CE	PWDRL*	PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0		
H'CF	-	-	-	-	-	-	-	-	-		
H'D0	PDR0	PDR0 ₇	PDR0 ₆	PDR0 ₅	PDR0 ₄	PDR0 ₃	PDR0 ₂	PDR0 ₁	PDR0 ₀		I/Oポート
H'D1	PDR1	-	-	PDR1 ₅	PDR1 ₄	PDR1 ₃	PDR1 ₂	PDR1 ₁	PDR1 ₀		
H'D2	PDR2	PDR2 ₇	PDR2 ₆	PDR2 ₅	PDR2 ₄	PDR2 ₃	PDR2 ₂	PDR2 ₁	PDR2 ₀		
H'D3	-	-	-	-	-	-	-	-	-		
H'D4	PDR4	-	-	PDR4 ₅	PDR4 ₄	PDR4 ₃	PDR4 ₂	PDR4 ₁	PDR4 ₀		
H'D5	-	-	-	-	-	-	-	-	-		
H'D6	-	-	-	-	-	-	-	-	-		
H'D7	-	-	-	-	-	-	-	-	-		
H'D8	PDR8	PDR8 ₇	PDR8 ₆	PDR8 ₅	PDR8 ₄	PDR8 ₃	PDR8 ₂	PDR8 ₁	PDR8 ₀		
H'D9	PDR9	PDR9 ₇	PDR9 ₆	PDR9 ₅	PDR9 ₄	PDR9 ₃	PDR9 ₂	PDR9 ₁	PDR9 ₀		
H'DA	PDRA	PDRA ₇	PDRA ₆	PDRA ₅	PDRA ₄	PDRA ₃	PDRA ₂	PDRA ₁	PDRA ₀		
H'DB	-	-	-	-	-	-	-	-	-		
H'DC	-	-	-	-	-	-	-	-	-		
H'DD	-	-	-	-	-	-	-	-	-		
H'DE	-	-	-	-	-	-	-	-	-		
H'DF	-	-	-	-	-	-	-	-	-		
H'E0	-	-	-	-	-	-	-	-	-		
H'E1	PCR1	-	-	PCR1 ₅	PCR1 ₄	PCR1 ₃	PCR1 ₂	PCR1 ₁	PCR1 ₀		
H'E2	PCR2	PCR2 ₇	PCR2 ₆	PCR2 ₅	PCR2 ₄	PCR2 ₃	PCR2 ₂	PCR2 ₁	PCR2 ₀		
H'E3	-	-	-	-	-	-	-	-	-		
H'E4	-	-	-	-	-	-	-	-	-		
H'E5	-	-	-	-	-	-	-	-	-		
H'E6	-	-	-	-	-	-	-	-	-		
H'E7	-	-	-	-	-	-	-	-	-		
H'E8	PCR8	PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀		
H'E9	PCR9	PCR9 ₇	PCR9 ₆	PCR9 ₅	PCR9 ₄	PCR9 ₃	PCR9 ₂	PCR9 ₁	PCR9 ₀		
H'EA	PCRA	PCRA ₇	PCRA ₆	PCRA ₅	PCRA ₄	PCRA ₃	PCRA ₂	PCRA ₁	PCRA ₀		
H'EB	PMR1	NOISE CANCEL	EVENT	IRQC5	IRQC4	IRQC3	IRQC2	IRQC1	IRQC0		
H'EC	PMR2	UP/DOWN	SO2	SI2	SCK2	SO1	SI1	SCK1	PWM*1		
H'ED	PMR3	-	SO2 PMOS	CS	-	SO1 PMOS	-	-	-		
H'EE	PMR4	TEO	TEO ON	FREQ	VRFR	-	-	-	-		
H'EF	PMR0	AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0		

下位 アドレス	レジスタ 名	ビット名								モジュール 名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
HF0	SYSCR1	SSBY	STS2	STS1	STS0	LSON	-	-	-	システムコ ントロール
HF1	SYSCR2	-	-	-	-	DTON	-	-	-	
HF2	IEGR	-	-	-	IEG4	-	-	IEG1	IEG0	
HF3	IENR1	-	-	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0	
HF4	IENR2	-	-	IENDT	IENTE	IENDT	IENTC	IENTB	IENTA	
HF5	IENR3	IENAD	-	-	-	-	-	IENS2	IENS1	
HF6	IRR1	-	-	IRRI5	IRRI4	IRRI3	IRRI2	IRRI1	IRRI0	
HF7	IRR2	-	-	IRRDT	IRRTE	IRRTD	IRRTC	IRRTB	IRRTA	
HF8	IRR3	IRRAD	-	-	-	-	-	IRRS2	IRRS1	
HF9	-	-	-	-	-	-	-	-	-	
HFA	-	-	-	-	-	-	-	-	-	
HFB	-	-	-	-	-	-	-	-	-	
HFC	-	-	-	-	-	-	-	-	-	
HFD	-	-	-	-	-	-	-	-	-	
HFE	-	-	-	-	-	-	-	-	-	
HFF	-	-	-	-	-	-	-	-	-	

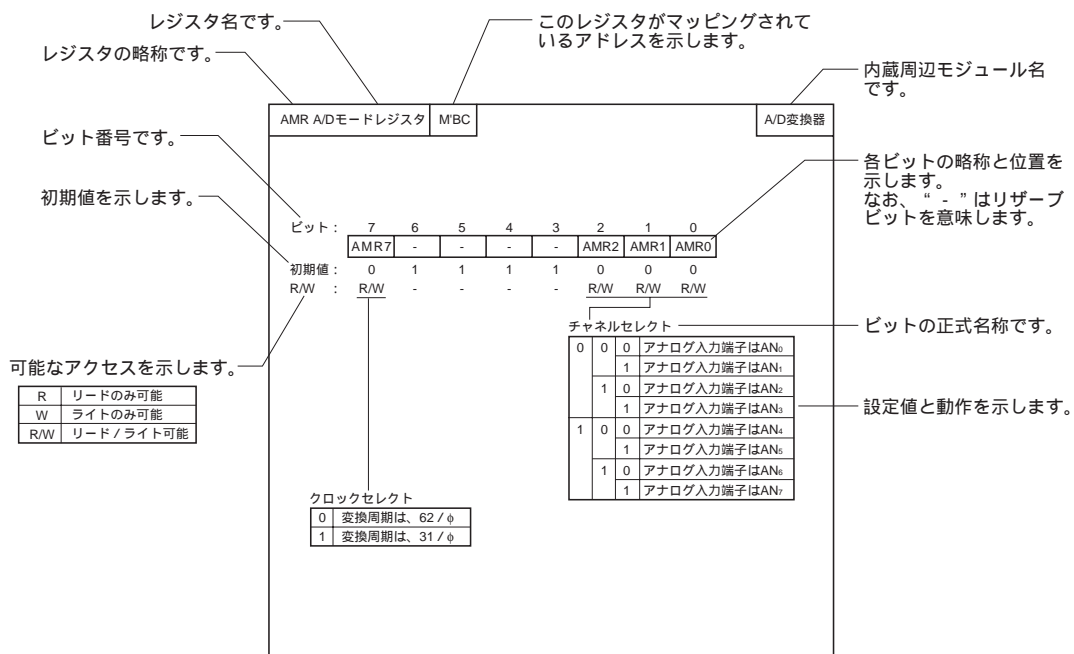
【記号説明】

SCI1 : シリアルコミュニケーションインタフェース 1

SCI2 : シリアルコミュニケーションインタフェース 2

【注】 * H8/3612 は使用できません。

B.2 I/O レジスタ一覧 (2)



STAR 先頭アドレスレジスタ	H'A0	SCI2																				
ビット： 7 6 5 4 3 2 1 0																						
		STA4 STA3 STA2 STA1 STA0																				
初期値： 1 1 1 0 0 0 0 0																						
R/W：		R/W R/W R/W R/W R/W																				
アドレス空間H'FF80～H'FF9F中の 転送開始アドレスを指定																						
EDAR 終了アドレスレジスタ	H'A1	SCI2																				
ビット： 7 6 5 4 3 2 1 0																						
		EDA4 EDA3 EDA2 EDA1 EDA0																				
初期値： 1 1 1 0 0 0 0 0																						
R/W：		R/W R/W R/W R/W R/W																				
アドレス空間H'FF80～H'FF9F中の 転送終了アドレスを指定																						
SCR2 シリアルコントロールレジスタ	H'A2	SCI2																				
ビット： 7 6 5 4 3 2 1 0																						
		I/O GAP2 GAP1 PS1 PS0																				
初期値： 1 1 1 0 0 0 0 0																						
R/W：		R/W R/W R/W R/W R/W																				
<table border="1"> <tr><td colspan="2">送信 / 受信選択</td></tr> <tr><td>0</td><td>受信モード</td></tr> <tr><td>1</td><td>送信モード</td></tr> </table>		送信 / 受信選択		0	受信モード	1	送信モード	<table border="1"> <tr><td colspan="2">転送クロック選択</td></tr> <tr><td>0</td><td>0</td><td>$\phi/2$、SCK₂端子は出力</td></tr> <tr><td>0</td><td>1</td><td>$\phi/4$、SCK₂端子は出力</td></tr> <tr><td>1</td><td>0</td><td>$\phi/8$、SCK₂端子は出力</td></tr> <tr><td>1</td><td>1</td><td>外部クロック、SCK₂端子は入力</td></tr> </table>	転送クロック選択		0	0	$\phi/2$ 、SCK ₂ 端子は出力	0	1	$\phi/4$ 、SCK ₂ 端子は出力	1	0	$\phi/8$ 、SCK ₂ 端子は出力	1	1	外部クロック、SCK ₂ 端子は入力
送信 / 受信選択																						
0	受信モード																					
1	送信モード																					
転送クロック選択																						
0	0	$\phi/2$ 、SCK ₂ 端子は出力																				
0	1	$\phi/4$ 、SCK ₂ 端子は出力																				
1	0	$\phi/8$ 、SCK ₂ 端子は出力																				
1	1	外部クロック、SCK ₂ 端子は入力																				
ギャップ挿入																						
<table border="1"> <tr><td>0</td><td>0</td><td>ギャップの挿入なし</td></tr> <tr><td>0</td><td>1</td><td>1クロック分のギャップ挿入</td></tr> <tr><td>1</td><td>0</td><td>2クロック分のギャップ挿入</td></tr> <tr><td>1</td><td>1</td><td>8クロック分のギャップ挿入</td></tr> </table>			0	0	ギャップの挿入なし	0	1	1クロック分のギャップ挿入	1	0	2クロック分のギャップ挿入	1	1	8クロック分のギャップ挿入								
0	0	ギャップの挿入なし																				
0	1	1クロック分のギャップ挿入																				
1	0	2クロック分のギャップ挿入																				
1	1	8クロック分のギャップ挿入																				

SMR1 シリアルモードレジスタ 1								H'B0	SCI1
ビット： 7 6 5 4 3 2 1 0									
		SMR16	SMR15	SMR14	SMR13	SMR12	SMR11	SMR10	
初期値：	1	0	0	0	0	0	0	0	
R/W：		W	W	W	W	W	W	W	
動作モード選択				クロックセレクト					
0	0	0	0	クロック連続出力モード					
		00以外		8ビット転送モード					
1	0	0		クロック連続出力モード					
		00以外		16ビット転送モード					
0	0	0	0	φ / 1024、SCK _i 端子は出力					
			1	φ / 256、SCK _i 端子は出力					
	1	0	0	φ / 64、SCK _i 端子は出力					
			1	φ / 32、SCK _i 端子は出力					
	1	0	0	φ / 16、SCK _i 端子は出力					
			1	φ / 8、SCK _i 端子は出力					
	1	0	0	φ / 4、SCK _i 端子は出力					
			1	φ / 2、SCK _i 端子は出力					
	1	0	0	未使用					
			1	未使用					
	1	0	0	未使用					
			1	未使用					
	1	0	0	未使用					
			1	外部クロック、SCK _i 端子は入力					

SDRU1 シリアルデータレジスタ U1								H'B1	SCI1
ビット： 7 6 5 4 3 2 1 0									
		SDRU17	SDRU16	SDRU15	SDRU14	SDRU13	SDRU12	SDRU11	SDRU10
初期値：	不定	不定	不定	不定	不定	不定	不定	不定	不定
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
送信データの設定、受信データの格納に使用									
8ビット転送モード：未使用									
16ビット転送モード：データレジスタ上位8ビット									

SDRL1 シリアルデータレジスタ L1	H'B2		SCI1												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">SDRL17</td> <td style="padding: 2px 5px;">SDRL16</td> <td style="padding: 2px 5px;">SDRL15</td> <td style="padding: 2px 5px;">SDRL14</td> <td style="padding: 2px 5px;">SDRL13</td> <td style="padding: 2px 5px;">SDRL12</td> <td style="padding: 2px 5px;">SDRL11</td> <td style="padding: 2px 5px;">SDRL10</td> </tr> </table> <p>初期値： 不定 不定 不定 不定 不定 不定 不定 不定</p> <p>R/W ： R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center;">送信データの設定、受信データの格納に使用 8ビット転送モード ： データレジスタ 16ビット転送モード ： データレジスタ下位8ビット</p>				SDRL17	SDRL16	SDRL15	SDRL14	SDRL13	SDRL12	SDRL11	SDRL10				
SDRL17	SDRL16	SDRL15	SDRL14	SDRL13	SDRL12	SDRL11	SDRL10								
SPR1 シリアルポートレジスタ 1	H'B3		SCI1												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">SO1 LAST BIT</td> <td style="width: 20px;"></td> <td style="width: 20px;"></td> <td style="width: 20px;"></td> <td style="width: 20px;"></td> <td style="width: 20px;"></td> <td style="width: 20px;"></td> <td style="width: 20px;"></td> </tr> </table> <p>初期値： 不定 1 1 1 1 1 1 1</p> <p>R/W ： R/W</p> <p style="text-align: center;">拡張データビット</p> <table border="1" style="margin: 0 auto; border-collapse: collapse;"> <tr> <td style="padding: 2px 5px;">0</td> <td style="padding: 2px 5px;">SO₁端子は、Lowレベル出力</td> </tr> <tr> <td style="padding: 2px 5px;">1</td> <td style="padding: 2px 5px;">SO₁端子は、Highレベル出力</td> </tr> </table>				SO1 LAST BIT								0	SO ₁ 端子は、Lowレベル出力	1	SO ₁ 端子は、Highレベル出力
SO1 LAST BIT															
0	SO ₁ 端子は、Lowレベル出力														
1	SO ₁ 端子は、Highレベル出力														

ADSR A/D スタートレジスタ H'BE	A/D 変換器																																																																							
<p>ビット： 7 6 5 4 3 2 1 0</p> <table style="margin: auto; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; padding: 2px 10px;">ADSF</td> <td style="border: 1px solid black; width: 20px;"></td> <td style="border: 1px solid black; width: 20px;"></td> <td style="border: 1px solid black; width: 20px;"></td> <td style="border: 1px solid black; width: 20px;"></td> <td style="border: 1px solid black; width: 20px;"></td> <td style="border: 1px solid black; width: 20px;"></td> <td style="border: 1px solid black; width: 20px;"></td> </tr> </table> <p>初期値： 0 1 1 1 1 1 1 1</p> <p>R/W : R/W</p> <div style="margin-left: 40px;"> <p>└─┬─┘</p> <p>A/Dスタートフラグ</p> <table border="1" style="margin-left: 20px; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td>[リード時] A/D変換は停止 / 終了 [ライト時] A/D変換の強制終了</td> </tr> <tr> <td style="text-align: center;">1</td> <td>[リード時] A/D変換実行中 [ライト時] 変換開始指示</td> </tr> </table> </div>		ADSF								0	[リード時] A/D変換は停止 / 終了 [ライト時] A/D変換の強制終了	1	[リード時] A/D変換実行中 [ライト時] 変換開始指示																																																											
ADSF																																																																								
0	[リード時] A/D変換は停止 / 終了 [ライト時] A/D変換の強制終了																																																																							
1	[リード時] A/D変換実行中 [ライト時] 変換開始指示																																																																							
TMA タイマモードレジスタ H'CO	タイマ A																																																																							
<p>ビット： 7 6 5 4 3 2 1 0</p> <table style="margin: auto; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; width: 20px;"></td> <td style="border: 1px solid black; width: 20px;"></td> <td style="border: 1px solid black; width: 20px;"></td> <td style="border: 1px solid black; width: 20px;"></td> <td style="border: 1px solid black; width: 20px; text-align: center;">TMA3</td> <td style="border: 1px solid black; width: 20px; text-align: center;">TMA2</td> <td style="border: 1px solid black; width: 20px; text-align: center;">TMA1</td> <td style="border: 1px solid black; width: 20px; text-align: center;">TMA0</td> </tr> </table> <p>初期値： 1 1 1 1 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W</p> <div style="margin-left: 40px;"> <p>└─┬─┘</p> <p>クロックセレクト</p> <table border="1" style="margin-left: 20px; border-collapse: collapse;"> <tr> <td rowspan="2" style="width: 20px; text-align: center;">0</td> <td rowspan="2" style="width: 20px; text-align: center;">0</td> <td rowspan="2" style="width: 20px; text-align: center;">0</td> <td style="width: 20px; text-align: center;">0</td> <td style="width: 20px; text-align: center;">0</td> <td rowspan="2" style="width: 20px; text-align: center;">1</td> <td rowspan="2" style="width: 20px; text-align: center;">0</td> <td rowspan="2" style="width: 20px; text-align: center;">0</td> <td style="width: 20px; text-align: center;">0</td> <td>入力元PSW、$\phi / 8192$</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>入力元PSW、$\phi / 4096$</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td rowspan="2" style="text-align: center;">0</td> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td rowspan="2" style="text-align: center;">1</td> <td rowspan="2" style="text-align: center;">0</td> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>入力元PSW、$\phi / 2048$</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>入力元PSW、$\phi / 512$</td> </tr> <tr> <td rowspan="4" style="text-align: center;">1</td> <td rowspan="4" style="text-align: center;">0</td> <td rowspan="4" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td rowspan="4" style="text-align: center;">1</td> <td rowspan="4" style="text-align: center;">0</td> <td rowspan="4" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>入力元PSW、$\phi / 256$</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>入力元PSW、$\phi / 128$</td> </tr> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>入力元PSW、$\phi / 32$</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td style="text-align: center;">1</td> <td>入力元PSW、$\phi / 8$</td> </tr> <tr> <td colspan="9"></td> <td style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>PSW、TCAリセット</td> </tr> </table> </div>						TMA3	TMA2	TMA1	TMA0	0	0	0	0	0	1	0	0	0	入力元PSW、 $\phi / 8192$	1	1	入力元PSW、 $\phi / 4096$	1	0	0	1	0	1	0	0	0	入力元PSW、 $\phi / 2048$	1	1	1	入力元PSW、 $\phi / 512$	1	0	0	0	0	1	0	0	0	入力元PSW、 $\phi / 256$	1	1	1	入力元PSW、 $\phi / 128$	0	1	0	入力元PSW、 $\phi / 32$	1	1	1	入力元PSW、 $\phi / 8$										1	0	0	0	PSW、TCAリセット
				TMA3	TMA2	TMA1	TMA0																																																																	
0	0	0	0	0	1	0	0	0	入力元PSW、 $\phi / 8192$																																																															
			1	1				入力元PSW、 $\phi / 4096$																																																																
1	0	0	1	0	1	0	0	0	入力元PSW、 $\phi / 2048$																																																															
			1	1				1	入力元PSW、 $\phi / 512$																																																															
1	0	0	0	0	1	0	0	0	入力元PSW、 $\phi / 256$																																																															
			1	1				1	入力元PSW、 $\phi / 128$																																																															
			0	1				0	入力元PSW、 $\phi / 32$																																																															
			1	1				1	入力元PSW、 $\phi / 8$																																																															
									1	0	0	0	PSW、TCAリセット																																																											

TMC タイマモードレジスタ C		HC4						タイマ C																																					
ビット: 7 6 5 4 3 2 1 0																																													
TMC7		TMC6		TMC5																																									
TMC2		TMC1		TMC0																																									
初期値: 0 0 0 1 1 0 0 0																																													
R/W: R/W R/W R/W R/W R/W R/W																																													
<div style="display: flex; justify-content: space-between;"> <div style="width: 30%;"> <p>オートリロード機能選択</p> <table border="1"> <tr><td>0</td><td>インターバルタイマ</td></tr> <tr><td>1</td><td>オートリロードタイマ</td></tr> </table> </div> <div style="width: 40%;"> <p>カウンタアップ/ダウン制御</p> <table border="1"> <tr><td>0</td><td>0</td><td>アップカウンタ</td></tr> <tr><td></td><td>1</td><td>ダウンカウンタ</td></tr> <tr><td>1</td><td>*</td><td>P9₇/UD端子によるハードウェア制御。Highでダウン、Lowでアップ</td></tr> </table> <p style="text-align: right;">*: Don't care</p> </div> <div style="width: 25%;"> <p>クロックセレクト</p> <table border="1"> <tr><td rowspan="4">0</td><td rowspan="2">0</td><td>0</td><td>内部クロック: $\phi / 8192$</td></tr> <tr><td>1</td><td>内部クロック: $\phi / 2048$</td></tr> <tr><td rowspan="2">1</td><td>0</td><td>内部クロック: $\phi / 512$</td></tr> <tr><td>1</td><td>内部クロック: $\phi / 256$</td></tr> <tr><td rowspan="3">1</td><td rowspan="2">0</td><td>0</td><td>内部クロック: $\phi / 128$</td></tr> <tr><td>1</td><td>内部クロック: $\phi / 32$</td></tr> <tr><td>1</td><td>0</td><td>内部クロック: $\phi / 8$</td></tr> <tr><td></td><td>1</td><td>内部クロック: 立ち上がり / 立ち下がりエッジ選択可能</td></tr> </table> </div> </div>										0	インターバルタイマ	1	オートリロードタイマ	0	0	アップカウンタ		1	ダウンカウンタ	1	*	P9 ₇ /UD端子によるハードウェア制御。Highでダウン、Lowでアップ	0	0	0	内部クロック: $\phi / 8192$	1	内部クロック: $\phi / 2048$	1	0	内部クロック: $\phi / 512$	1	内部クロック: $\phi / 256$	1	0	0	内部クロック: $\phi / 128$	1	内部クロック: $\phi / 32$	1	0	内部クロック: $\phi / 8$		1	内部クロック: 立ち上がり / 立ち下がりエッジ選択可能
0	インターバルタイマ																																												
1	オートリロードタイマ																																												
0	0	アップカウンタ																																											
	1	ダウンカウンタ																																											
1	*	P9 ₇ /UD端子によるハードウェア制御。Highでダウン、Lowでアップ																																											
0	0	0	内部クロック: $\phi / 8192$																																										
		1	内部クロック: $\phi / 2048$																																										
	1	0	内部クロック: $\phi / 512$																																										
		1	内部クロック: $\phi / 256$																																										
1	0	0	内部クロック: $\phi / 128$																																										
		1	内部クロック: $\phi / 32$																																										
	1	0	内部クロック: $\phi / 8$																																										
	1	内部クロック: 立ち上がり / 立ち下がりエッジ選択可能																																											
<div style="display: flex; justify-content: space-between;"> <div style="width: 30%;"> <p>オートリロード機能選択</p> <table border="1"> <tr><td>0</td><td>インターバルタイマ</td></tr> <tr><td>1</td><td>オートリロードタイマ</td></tr> </table> </div> <div style="width: 40%;"> <p>カウンタアップ/ダウン制御</p> <table border="1"> <tr><td>0</td><td>0</td><td>アップカウンタ</td></tr> <tr><td></td><td>1</td><td>ダウンカウンタ</td></tr> <tr><td>1</td><td>*</td><td>P9₇/UD端子によるハードウェア制御。Highでダウン、Lowでアップ</td></tr> </table> <p style="text-align: right;">*: Don't care</p> </div> <div style="width: 25%;"> <p>クロックセレクト</p> <table border="1"> <tr><td rowspan="4">0</td><td rowspan="2">0</td><td>0</td><td>内部クロック: $\phi / 8192$</td></tr> <tr><td>1</td><td>内部クロック: $\phi / 2048$</td></tr> <tr><td rowspan="2">1</td><td>0</td><td>内部クロック: $\phi / 512$</td></tr> <tr><td>1</td><td>内部クロック: $\phi / 256$</td></tr> <tr><td rowspan="3">1</td><td rowspan="2">0</td><td>0</td><td>内部クロック: $\phi / 128$</td></tr> <tr><td>1</td><td>内部クロック: $\phi / 32$</td></tr> <tr><td>1</td><td>0</td><td>内部クロック: $\phi / 8$</td></tr> <tr><td></td><td>1</td><td>内部クロック: 立ち上がり / 立ち下がりエッジ選択可能</td></tr> </table> </div> </div>										0	インターバルタイマ	1	オートリロードタイマ	0	0	アップカウンタ		1	ダウンカウンタ	1	*	P9 ₇ /UD端子によるハードウェア制御。Highでダウン、Lowでアップ	0	0	0	内部クロック: $\phi / 8192$	1	内部クロック: $\phi / 2048$	1	0	内部クロック: $\phi / 512$	1	内部クロック: $\phi / 256$	1	0	0	内部クロック: $\phi / 128$	1	内部クロック: $\phi / 32$	1	0	内部クロック: $\phi / 8$		1	内部クロック: 立ち上がり / 立ち下がりエッジ選択可能
0	インターバルタイマ																																												
1	オートリロードタイマ																																												
0	0	アップカウンタ																																											
	1	ダウンカウンタ																																											
1	*	P9 ₇ /UD端子によるハードウェア制御。Highでダウン、Lowでアップ																																											
0	0	0	内部クロック: $\phi / 8192$																																										
		1	内部クロック: $\phi / 2048$																																										
	1	0	内部クロック: $\phi / 512$																																										
		1	内部クロック: $\phi / 256$																																										
1	0	0	内部クロック: $\phi / 128$																																										
		1	内部クロック: $\phi / 32$																																										
	1	0	内部クロック: $\phi / 8$																																										
	1	内部クロック: 立ち上がり / 立ち下がりエッジ選択可能																																											
TCC タイマカウンタ C		HC5						タイマ C																																					
ビット: 7 6 5 4 3 2 1 0																																													
TCC7		TCC6		TCC5		TCC4		TCC3																																					
TCC2		TCC1		TCC0																																									
初期値: 0 0 0 0 0 0 0 0																																													
R/W: R R R R R R R R																																													
カウント値																																													

TME タイマモードレジスタ E								H'C8		タイム E																							
ビット :		7	6	5	4	3	2	1	0																								
		TME7					TME2	TME1	TME0																								
初期値 :		0	1	1	1	1	0	0	0																								
R/W :		R/W				R/W		R/W	R/W																								
		クロックセレクト <table border="1" style="margin-left: 20px;"> <tbody> <tr> <td rowspan="4">0</td> <td rowspan="2">0</td> <td>0</td> <td>内部クロック : $\phi / 8192$</td> </tr> <tr> <td>1</td> <td>内部クロック : $\phi / 4096$</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>内部クロック : $\phi / 2048$</td> </tr> <tr> <td>1</td> <td>内部クロック : $\phi / 512$</td> </tr> <tr> <td rowspan="4">1</td> <td rowspan="2">0</td> <td>0</td> <td>内部クロック : $\phi / 256$</td> </tr> <tr> <td>1</td> <td>内部クロック : $\phi / 128$</td> </tr> <tr> <td rowspan="2">1</td> <td>0</td> <td>内部クロック : $\phi / 32$</td> </tr> <tr> <td>1</td> <td>内部クロック : $\phi / 8$</td> </tr> </tbody> </table>										0	0	0	内部クロック : $\phi / 8192$	1	内部クロック : $\phi / 4096$	1	0	内部クロック : $\phi / 2048$	1	内部クロック : $\phi / 512$	1	0	0	内部クロック : $\phi / 256$	1	内部クロック : $\phi / 128$	1	0	内部クロック : $\phi / 32$	1	内部クロック : $\phi / 8$
0	0	0	内部クロック : $\phi / 8192$																														
		1	内部クロック : $\phi / 4096$																														
	1	0	内部クロック : $\phi / 2048$																														
		1	内部クロック : $\phi / 512$																														
1	0	0	内部クロック : $\phi / 256$																														
		1	内部クロック : $\phi / 128$																														
	1	0	内部クロック : $\phi / 32$																														
		1	内部クロック : $\phi / 8$																														
		オートリロード機能選択 <table border="1" style="margin-left: 20px;"> <tbody> <tr> <td>0</td> <td>インターバルタイマ</td> </tr> <tr> <td>1</td> <td>オートリロードタイマ</td> </tr> </tbody> </table>										0	インターバルタイマ	1	オートリロードタイマ																		
0	インターバルタイマ																																
1	オートリロードタイマ																																

PWDRU PWM データレジスタ U H'CD 14 ビット PWM

ビット:	7	6	5	4	3	2	1	0
			PWDRU5	PWDRU4	PWDRU3	PWDRU2	PWDRU1	PWDRU0
初期値:	1	1	0	0	0	0	0	0
R/W :			W	W	W	W	W	W

PWM波形生成用データ上位6ビット

【注】 H8/3612は使用できません。

PWDRL PWM データレジスタ L H'CE 14 ビット PWM

ビット:	7	6	5	4	3	2	1	0
	PWDRL7	PWDRL6	PWDRL5	PWDRL4	PWDRL3	PWDRL2	PWDRL1	PWDRL0
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PWM波形生成用データ下位8ビット

【注】 H8/3612は使用できません。

PDR0 ポートデータレジスタ 0	H'D0		I/O ポート								
<p style="margin-left: 40px;">ビット： 7 6 5 4 3 2 1 0</p> <table style="margin-left: 80px; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR0₇</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR0₆</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR0₅</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR0₄</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR0₃</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR0₂</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR0₁</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR0₀</td> </tr> </table> <p style="margin-left: 40px;">初期値： R/W : R R R R R R R R</p>				PDR0 ₇	PDR0 ₆	PDR0 ₅	PDR0 ₄	PDR0 ₃	PDR0 ₂	PDR0 ₁	PDR0 ₀
PDR0 ₇	PDR0 ₆	PDR0 ₅	PDR0 ₄	PDR0 ₃	PDR0 ₂	PDR0 ₁	PDR0 ₀				
PDR1 ポートデータレジスタ 1	H'D1		I/O ポート								
<p style="margin-left: 40px;">ビット： 7 6 5 4 3 2 1 0</p> <table style="margin-left: 80px; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; width: 30px;"></td> <td style="border: 1px solid black; width: 30px;"></td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR1₅</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR1₄</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR1₃</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR1₂</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR1₁</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR1₀</td> </tr> </table> <p style="margin-left: 40px;">初期値： * * 0 0 0 0 0 0</p> <p style="margin-left: 40px;">R/W : R/W R/W R/W R/W R/W R/W R/W</p> <p style="margin-left: 40px;">【注】* P1₆、P1₇端子は、入力専用のため、リードすると常に端子のレベルが読み出されます。</p>						PDR1 ₅	PDR1 ₄	PDR1 ₃	PDR1 ₂	PDR1 ₁	PDR1 ₀
		PDR1 ₅	PDR1 ₄	PDR1 ₃	PDR1 ₂	PDR1 ₁	PDR1 ₀				
PDR2 ポートデータレジスタ 2	H'D2		I/O ポート								
<p style="margin-left: 40px;">ビット： 7 6 5 4 3 2 1 0</p> <table style="margin-left: 80px; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR2₇</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR2₆</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR2₅</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR2₄</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR2₃</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR2₂</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR2₁</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR2₀</td> </tr> </table> <p style="margin-left: 40px;">初期値： 0 0 0 0 0 0 0 0</p> <p style="margin-left: 40px;">R/W : R/W R/W R/W R/W R/W R/W R/W R/W</p>				PDR2 ₇	PDR2 ₆	PDR2 ₅	PDR2 ₄	PDR2 ₃	PDR2 ₂	PDR2 ₁	PDR2 ₀
PDR2 ₇	PDR2 ₆	PDR2 ₅	PDR2 ₄	PDR2 ₃	PDR2 ₂	PDR2 ₁	PDR2 ₀				
PDR4 ポートデータレジスタ 4	H'D4		I/O ポート								
<p style="margin-left: 40px;">ビット： 7 6 5 4 3 2 1 0</p> <table style="margin-left: 80px; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; width: 30px;"></td> <td style="border: 1px solid black; width: 30px;"></td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR4₅</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR4₄</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR4₃</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR4₂</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR4₁</td> <td style="border: 1px solid black; width: 30px; text-align: center;">PDR4₀</td> </tr> </table> <p style="margin-left: 40px;">初期値： 1 1 0 0 0 0 0 0</p> <p style="margin-left: 40px;">R/W : R/W R/W R/W R/W R/W R/W R/W</p>						PDR4 ₅	PDR4 ₄	PDR4 ₃	PDR4 ₂	PDR4 ₁	PDR4 ₀
		PDR4 ₅	PDR4 ₄	PDR4 ₃	PDR4 ₂	PDR4 ₁	PDR4 ₀				

PDR8 ポートデータレジスタ 8		H'D8						I/O ポート	
ビット :		7	6	5	4	3	2	1	0
		PDR8 ₇	PDR8 ₆	PDR8 ₅	PDR8 ₄	PDR8 ₃	PDR8 ₂	PDR8 ₁	PDR8 ₀
初期値 :		0	0	0	0	0	0	0	0
R/W :		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PDR9 ポートデータレジスタ 9		H'D9						I/O ポート	
ビット :		7	6	5	4	3	2	1	0
		PDR9 ₇	PDR9 ₆	PDR9 ₅	PDR9 ₄	PDR9 ₃	PDR9 ₂	PDR9 ₁	PDR9 ₀
初期値 :		0	0	0	0	0	0	0	0
R/W :		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

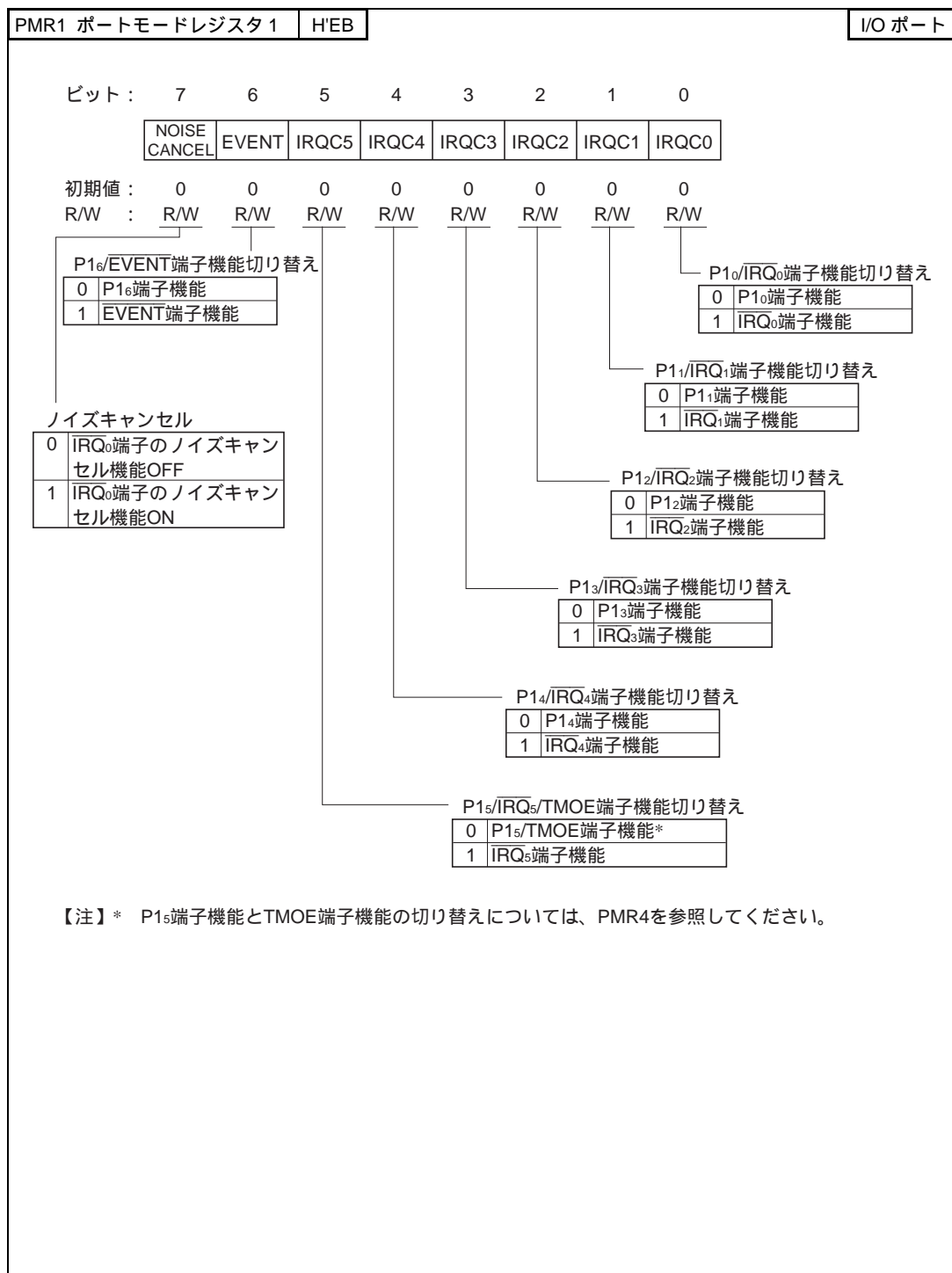
PDRA ポートデータレジスタ A		H'DA						I/O ポート	
ビット :		7	6	5	4	3	2	1	0
		PDRA ₇	PDRA ₆	PDRA ₅	PDRA ₄	PDRA ₃	PDRA ₂	PDRA ₁	PDRA ₀
初期値 :		0	0	0	0	0	0	0	0
R/W :		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

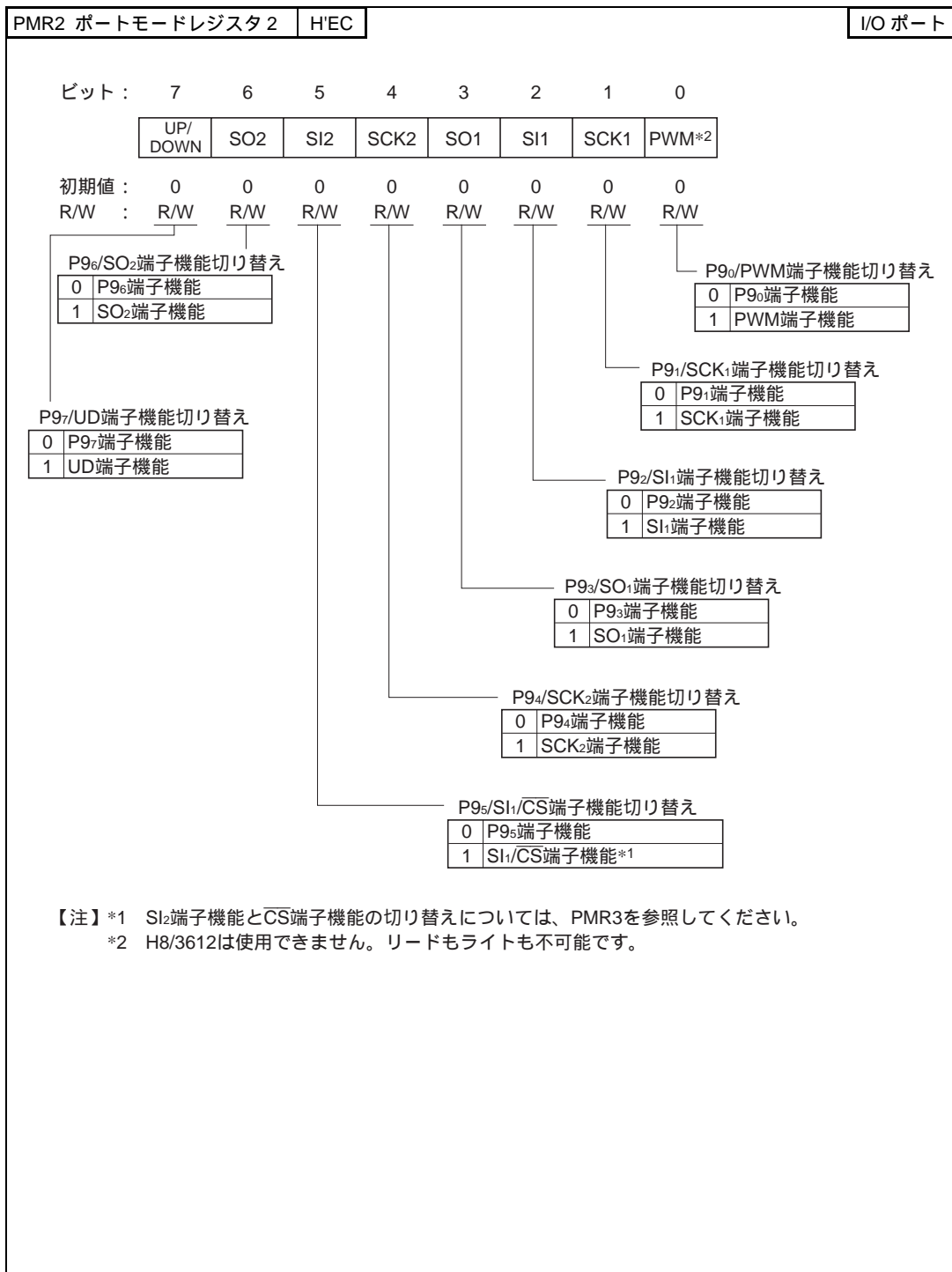
PCR1 ポートコントロールレジスタ 1	H'E1	I/O ポート										
ビット :	7	6	5	4	3	2	1	0				
			PCR1 ₅	PCR1 ₄	PCR1 ₃	PCR1 ₂	PCR1 ₁	PCR1 ₀				
初期値 :	1	1	0	0	0	0	0	0				
R/W :			W	W	W	W	W	W				
ポート1入出力選択												
<table border="1"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>									0	入力ポート	1	出力ポート
0	入力ポート											
1	出力ポート											

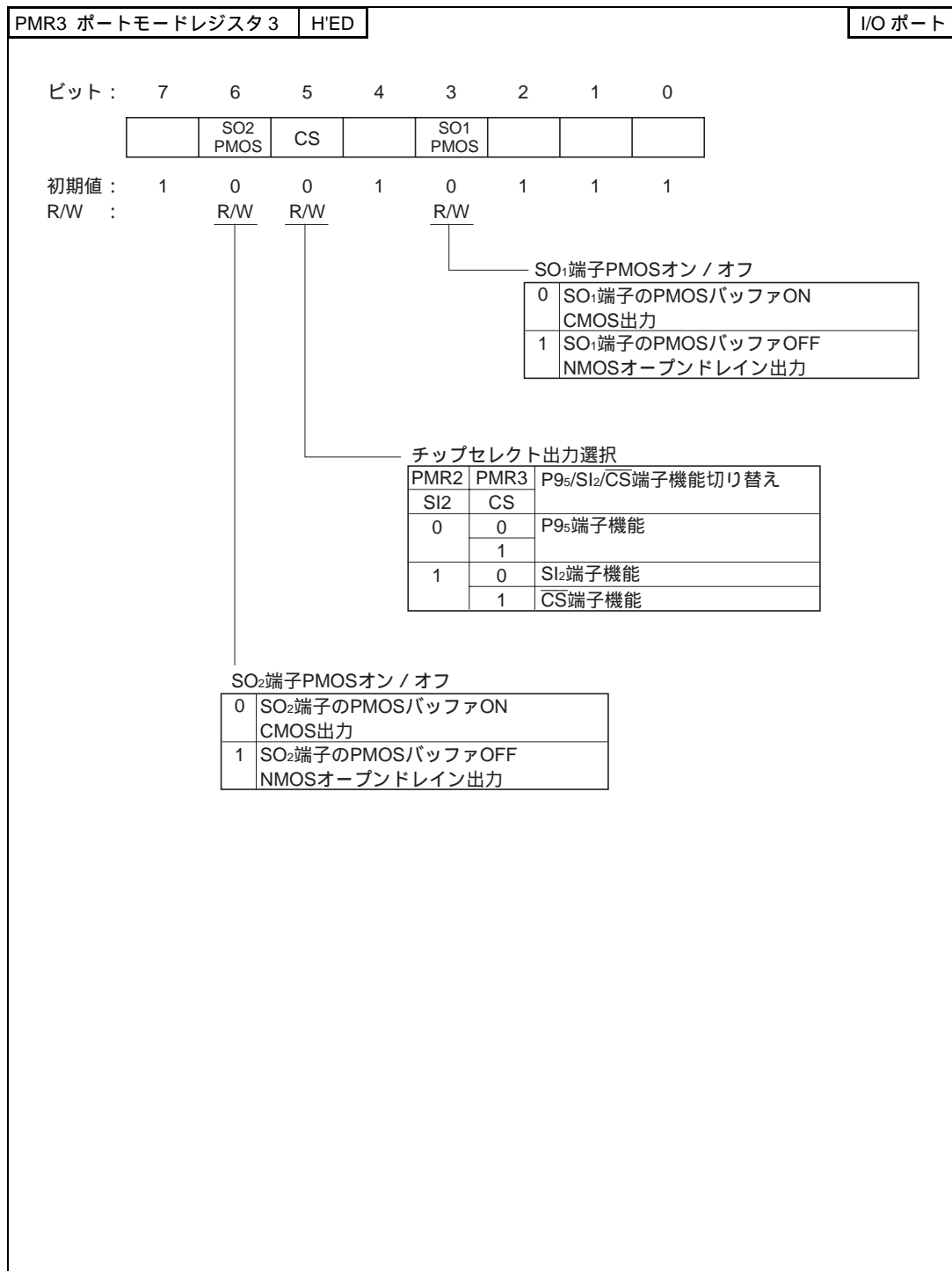
PCR2 ポートコントロールレジスタ 2	H'E2	I/O ポート										
ビット :	7	6	5	4	3	2	1	0				
	PCR2 ₇	PCR2 ₆	PCR2 ₅	PCR2 ₄	PCR2 ₃	PCR2 ₂	PCR2 ₁	PCR2 ₀				
初期値 :	0	0	0	0	0	0	0	0				
R/W :	W	W	W	W	W	W	W	W				
ポート2入出力選択												
<table border="1"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>									0	入力ポート	1	出力ポート
0	入力ポート											
1	出力ポート											

PCR8 ポートコントロールレジスタ 8	H'E8	I/O ポート										
ビット :	7	6	5	4	3	2	1	0				
	PCR8 ₇	PCR8 ₆	PCR8 ₅	PCR8 ₄	PCR8 ₃	PCR8 ₂	PCR8 ₁	PCR8 ₀				
初期値 :	0	0	0	0	0	0	0	0				
R/W :	W	W	W	W	W	W	W	W				
ポート8入出力選択												
<table border="1"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>									0	入力ポート	1	出力ポート
0	入力ポート											
1	出力ポート											

PCR9 ポートコントロールレジスタ 9		H'E9						I/O ポート				
ビット:	7	6	5	4	3	2	1	0				
	PCR9 ₇	PCR9 ₆	PCR9 ₅	PCR9 ₄	PCR9 ₃	PCR9 ₂	PCR9 ₁	PCR9 ₀				
初期値:	0	0	0	0	0	0	0	0				
R/W:	W	W	W	W	W	W	W	W				
ポート9入出力選択 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>									0	入力ポート	1	出力ポート
0	入力ポート											
1	出力ポート											
PCRA ポートコントロールレジスタ A		H'EA						I/O ポート				
ビット:	7	6	5	4	3	2	1	0				
	PCRA ₇	PCRA ₆	PCRA ₅	PCRA ₄	PCRA ₃	PCRA ₂	PCRA ₁	PCRA ₀				
初期値:	0	0	0	0	0	0	0	0				
R/W:	W	W	W	W	W	W	W	W				
ポートA入出力選択 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>									0	入力ポート	1	出力ポート
0	入力ポート											
1	出力ポート											







PMR4 ポートモードレジスタ 4 H'EE I/O ポート

ビット： 7 6 5 4 3 2 1 0

TEO	TEO ON	FREQ	VRFR				
-----	--------	------	------	--	--	--	--

初期値： 0 0 0 0 1 1 1 1

R/W： R/W R/W R/W R/W

タイムアウト制御

PMR1	PMR4				P15/IRQ5/TMOE 端子機能切り替え	端子の状態
IRQ5	TEO	TEO ON	FREQ	VRFR		
0	0	*	*	*	P15端子機能	入出力端子
	1	0	*	*	TMOE端子機能 (OFF)	Lowレベル出力
			1	0	TMOE端子機能 (ON)	固定周波数出力： $\phi / 2048$
		1	1	*	TMOE端子機能 (ON)	固定周波数出力： $\phi / 1024$
			*	1	TMOE端子機能 (ON)	任意周波数出力：タイムアウトオーバーフローによるトグル出力
1	*	*	*	*	IRQ5端子機能	外部割り込み入力

* : Don't care

PMR0 ポートモードレジスタ 0 H'EF I/O ポート

ビット： 7 6 5 4 3 2 1 0

AN7	AN6	AN5	AN4	AN3	AN2	AN1	AN0
-----	-----	-----	-----	-----	-----	-----	-----

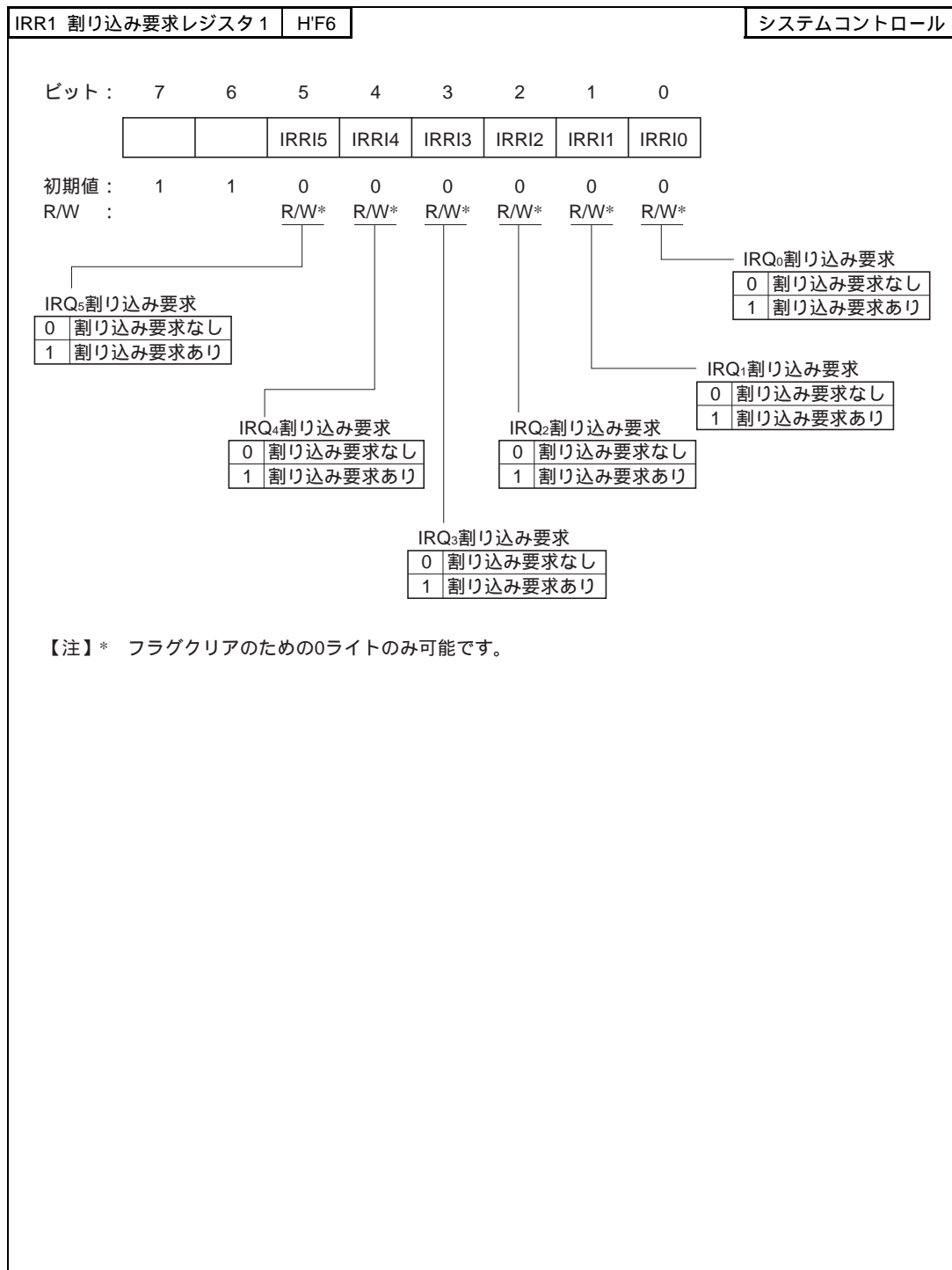
初期値： 0 0 0 0 0 0 0 0

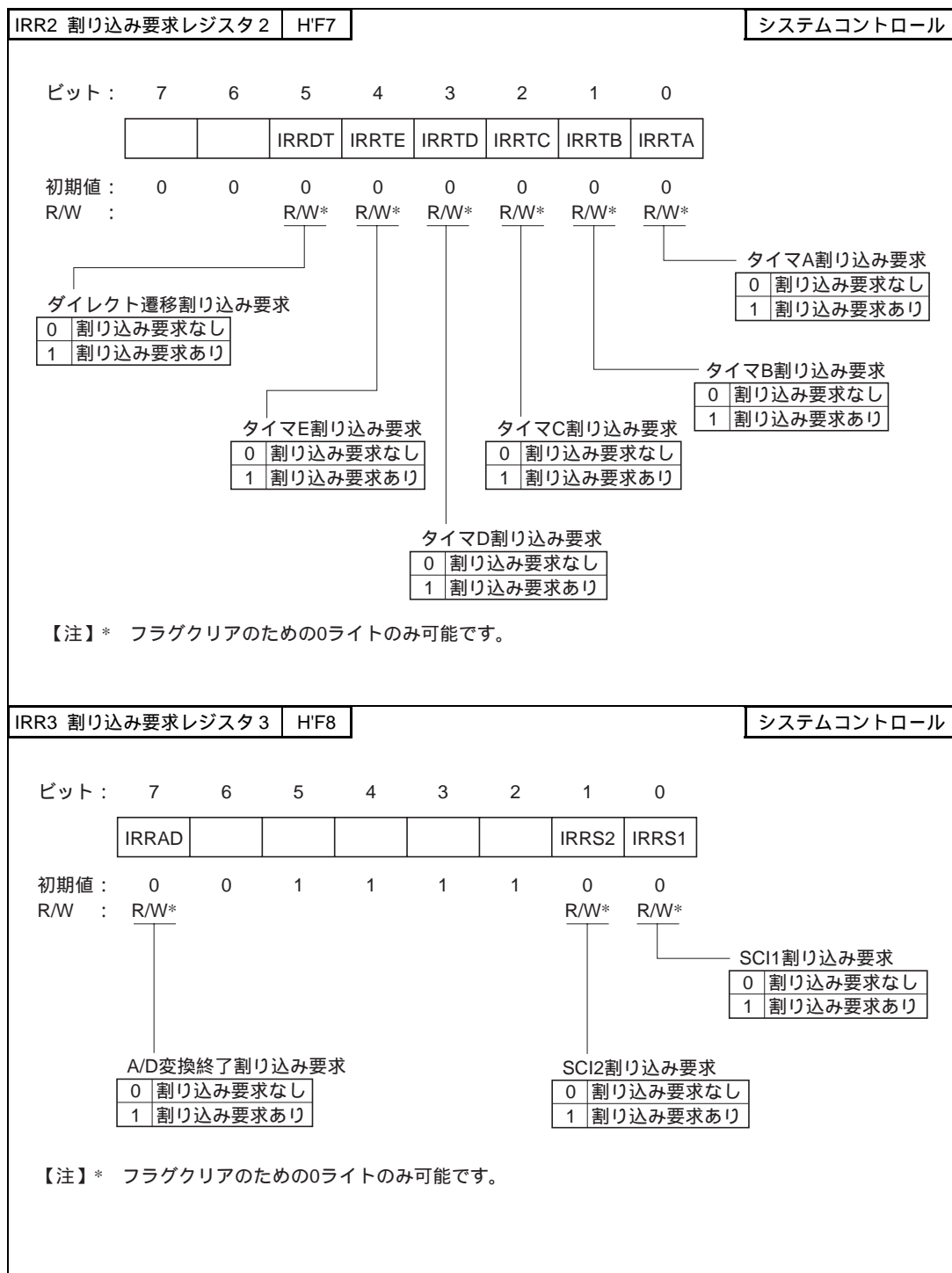
R/W： W W W W W W W W

アナログ入力選択

0	PO _n 入力端子
1	AN _n 入力端子

SYSCR1 システムコントロールレジスタ 1				HF0		システムコントロール																	
ビット: 7 6 5 4 3 2 1 0																							
SSBY		STS2	STS1	STS0	LSON																		
初期値: 0 0 0 0 0 0 0 0																							
R/W: R/W*1		R/W	R/W	R/W	R/W	R/W	R/W																
				ロースピードオンフラグ*2 0 CPUの動作クロックはシステムクロック (ϕ) 1 CPUの動作クロックはサブクロック (ϕ_{SUB})																			
				スタンバイタイムセレクト <table border="1"> <tr> <td rowspan="2">0</td> <td rowspan="2">0</td> <td>0</td> <td>待機時間 = 8,192ステート</td> </tr> <tr> <td>1</td> <td>待機時間 = 16,384ステート</td> </tr> <tr> <td rowspan="2">1</td> <td rowspan="2">0</td> <td>0</td> <td>待機時間 = 32,768ステート</td> </tr> <tr> <td>1</td> <td>待機時間 = 65,536ステート</td> </tr> <tr> <td>1</td> <td>*</td> <td>*</td> <td>待機時間 = 131,072ステート</td> </tr> </table> *: Don't care				0	0	0	待機時間 = 8,192ステート	1	待機時間 = 16,384ステート	1	0	0	待機時間 = 32,768ステート	1	待機時間 = 65,536ステート	1	*	*	待機時間 = 131,072ステート
0	0	0	待機時間 = 8,192ステート																				
		1	待機時間 = 16,384ステート																				
1	0	0	待機時間 = 32,768ステート																				
		1	待機時間 = 65,536ステート																				
1	*	*	待機時間 = 131,072ステート																				
				スタンバイ <table border="1"> <tr> <td>0</td> <td>SLEEP命令実行後、スリープモードに遷移</td> </tr> <tr> <td>1</td> <td>SLEEP命令実行後、スタンバイモードまたはウォッチモードに遷移</td> </tr> </table>				0	SLEEP命令実行後、スリープモードに遷移	1	SLEEP命令実行後、スタンバイモードまたはウォッチモードに遷移												
0	SLEEP命令実行後、スリープモードに遷移																						
1	SLEEP命令実行後、スタンバイモードまたはウォッチモードに遷移																						
【注】*1 アクティブモード時のみ、ライト可能です。 *2 動作モード遷移に関係するため、他の制御ビット、割り込みとの組み合わせで機能します。 詳細は、「3.3 システムのモード」を参照してください。																							
SYSCR2 システムコントロールレジスタ 2				HF1		システムコントロール																	
ビット: 7 6 5 4 3 2 1 0																							
				DTON																			
初期値: 1 1 1 1 0 1 0 0																							
R/W:				W*																			
				ダイレクトトランスファオンフラグ <table border="1"> <tr> <td>0</td> <td>サブアクティブモード時、SLEEP命令を実行するとウォッチモードに遷移</td> </tr> <tr> <td>1</td> <td>サブアクティブモード時、LSONビット=0の状態ではSLEEP命令を実行するとウォッチモードを経由してアクティブモードに遷移</td> </tr> </table>				0	サブアクティブモード時、SLEEP命令を実行するとウォッチモードに遷移	1	サブアクティブモード時、LSONビット=0の状態ではSLEEP命令を実行するとウォッチモードを経由してアクティブモードに遷移												
0	サブアクティブモード時、SLEEP命令を実行するとウォッチモードに遷移																						
1	サブアクティブモード時、LSONビット=0の状態ではSLEEP命令を実行するとウォッチモードを経由してアクティブモードに遷移																						
【注】* サブアクティブモード時のみ、ライト可能です。																							





C. I/O ポートブロック図

C.1 ポート0ブロック図

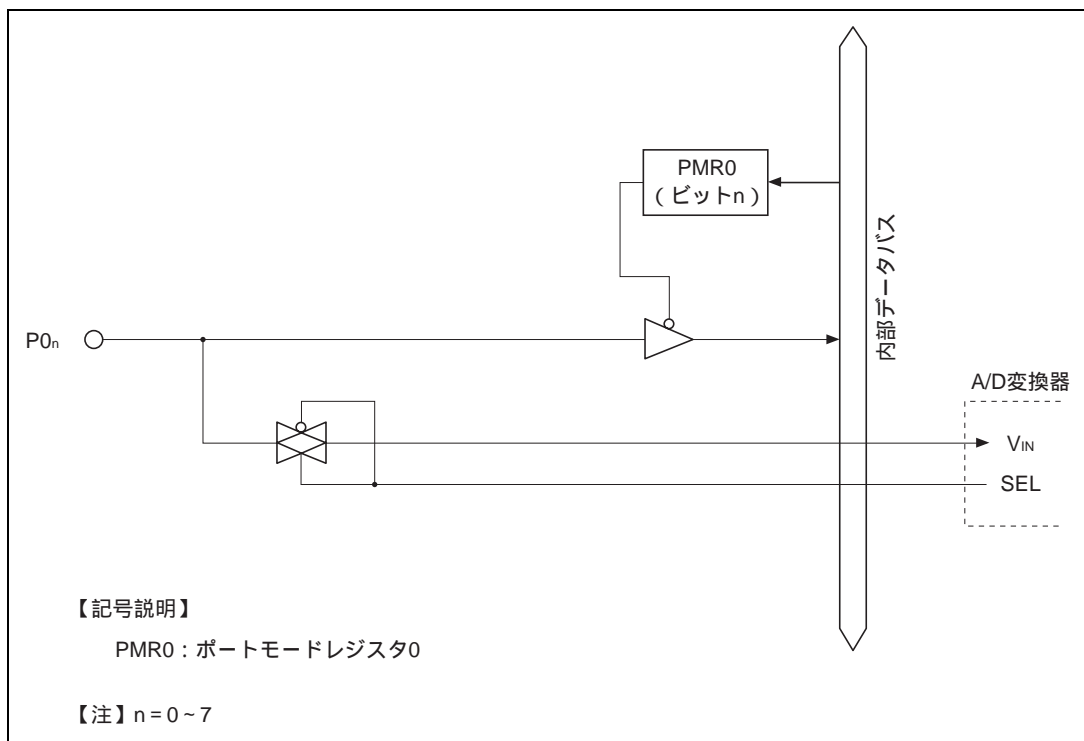


図 C.1 ポート0ブロック図

C.2 ポート 1 ブロック図

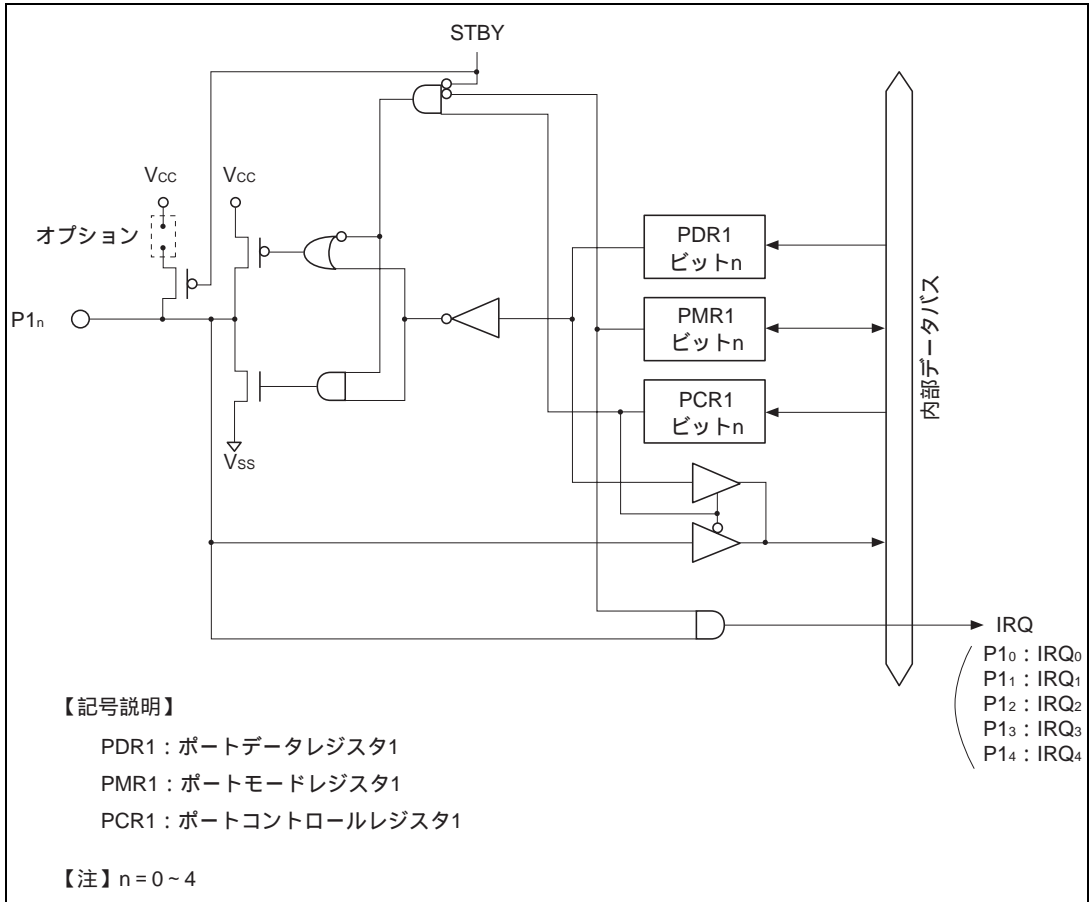


図 C.2 (a) ポート 1 ブロック図 (P1₀ ~ P1₄端子)

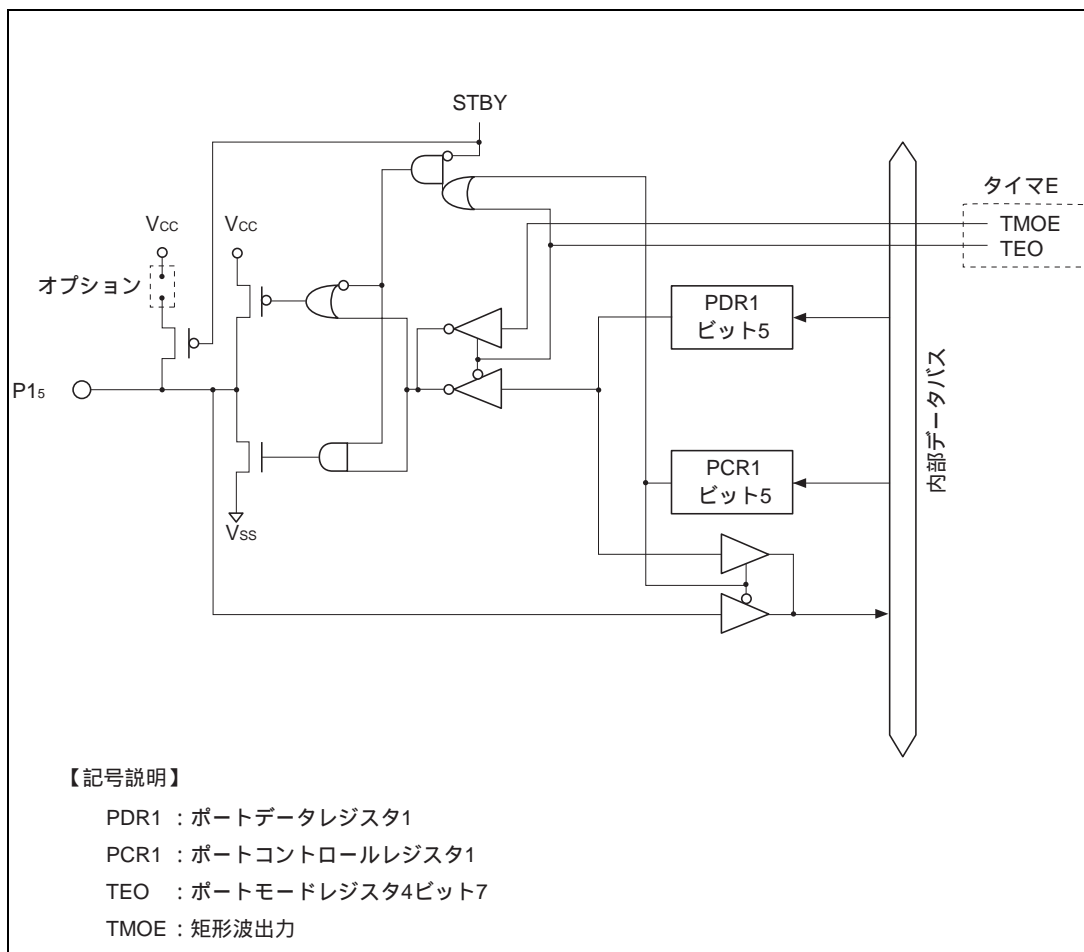


図 C.2 (b) ポート1ブロック図 (P1₅端子)

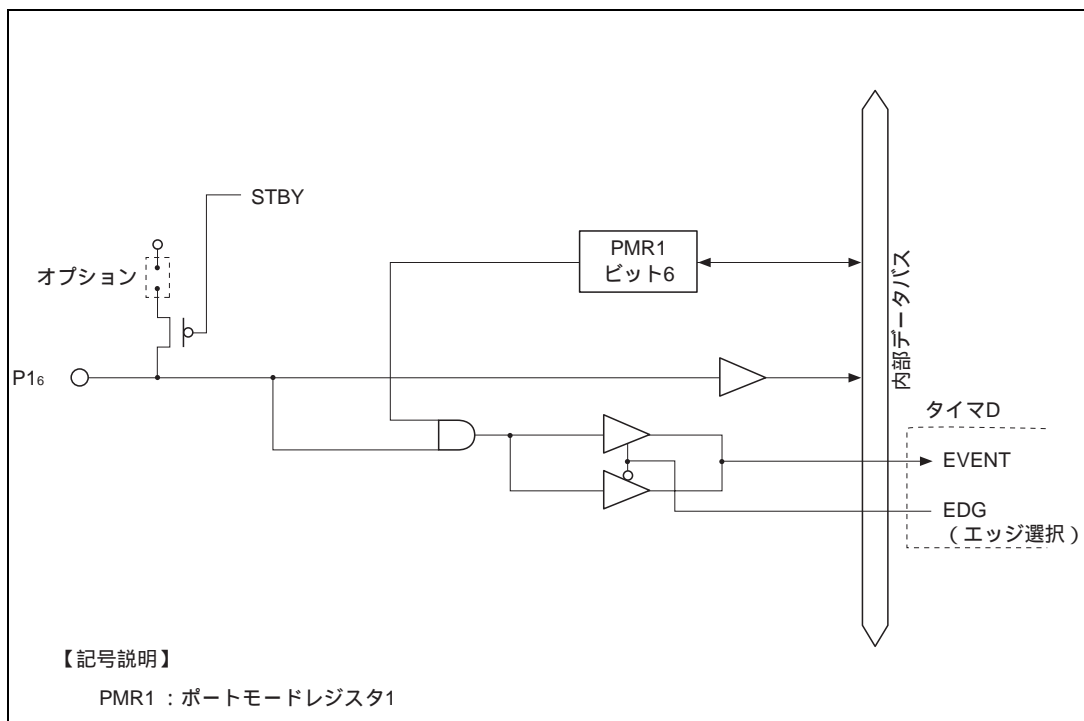


図 C.2 (c) ポート 1 ブロック図 (P1₆端子)

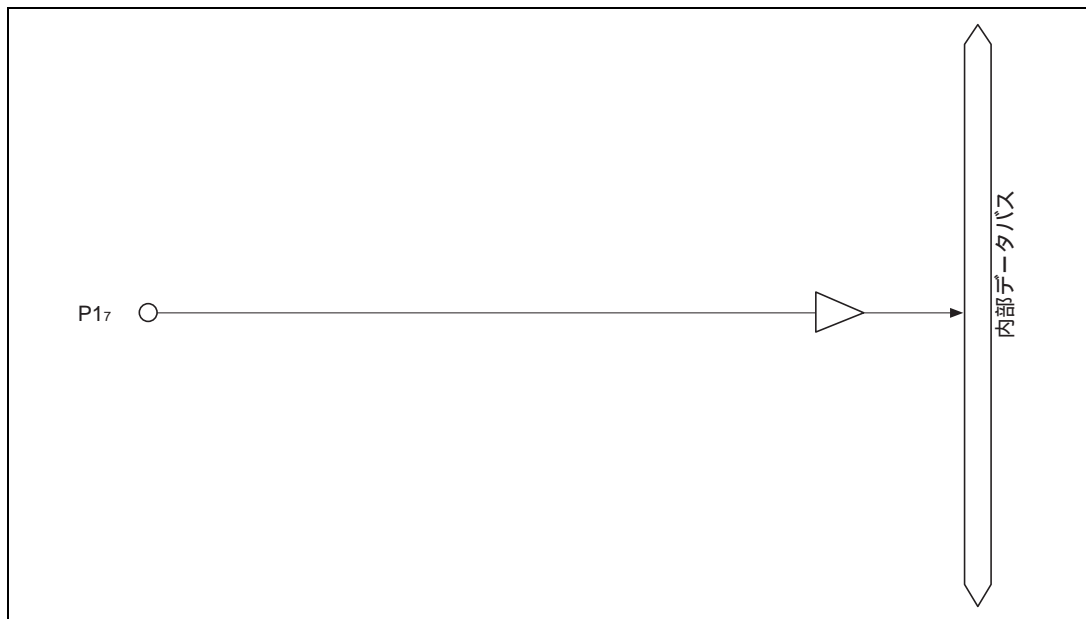


図 C.2 (d) ポート1ブロック図 (P1₇端子)

C.3 ポート 2 ブロック図

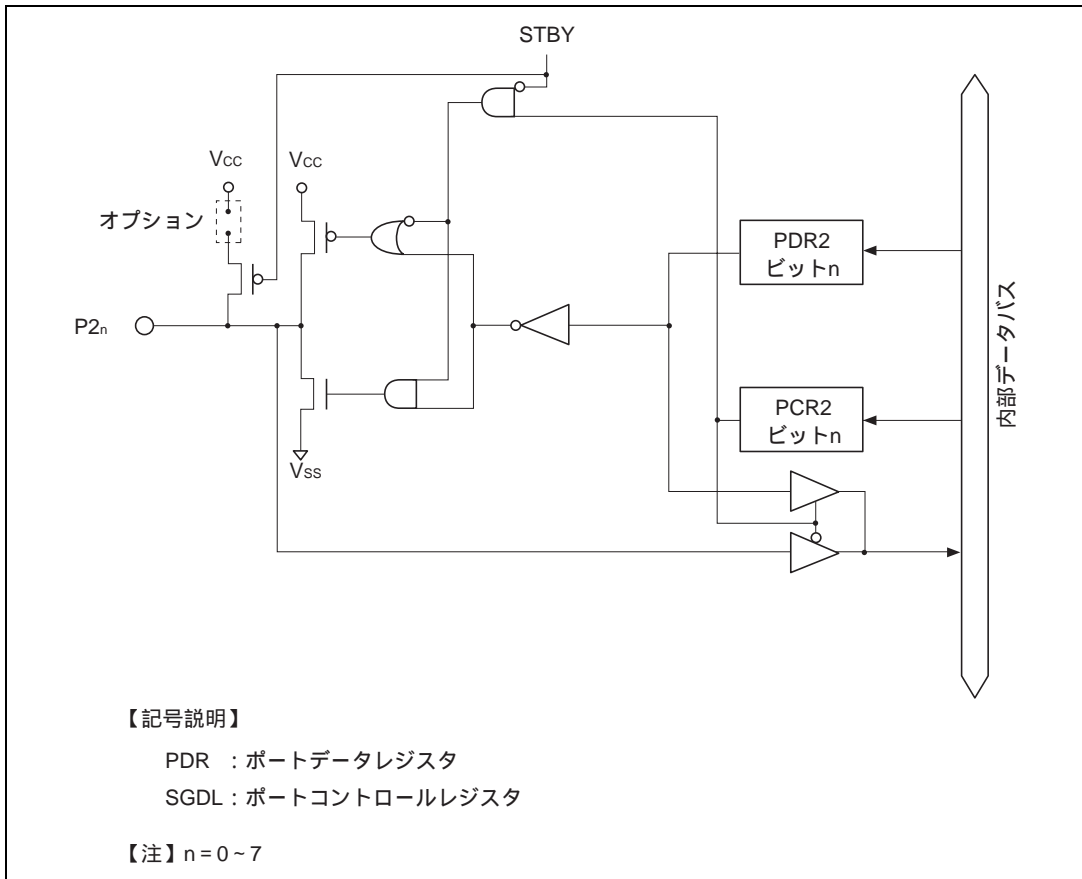


図 C.3 ポート 2 ブロック図

C.4 ポート4ブロック図

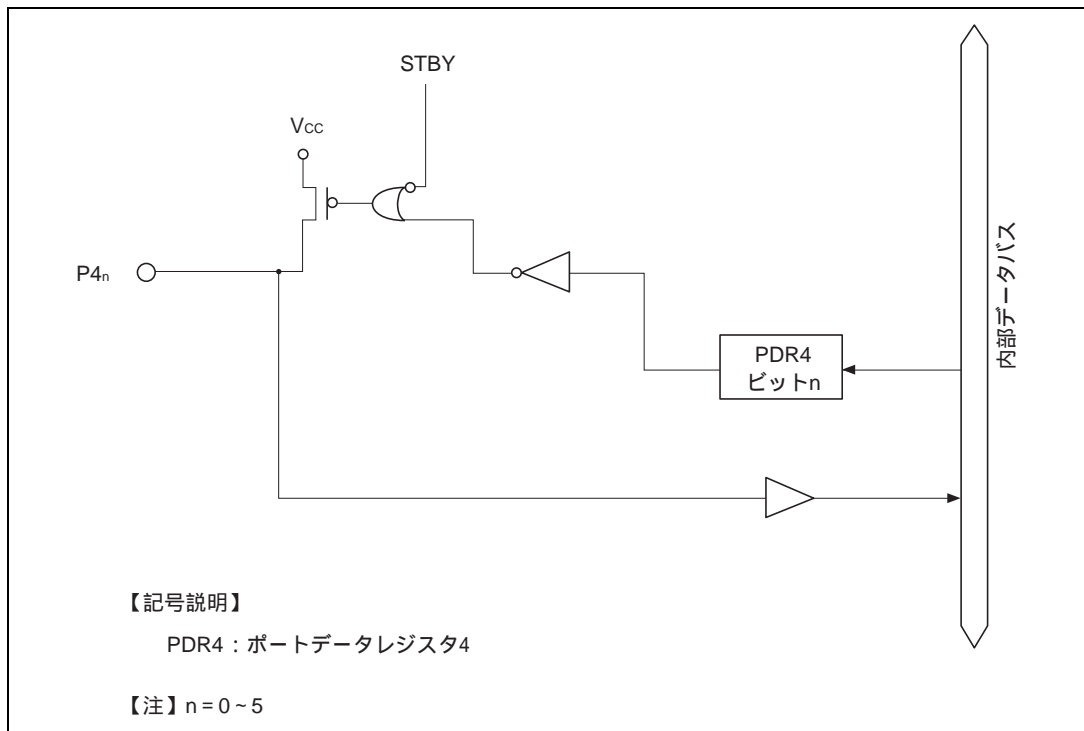
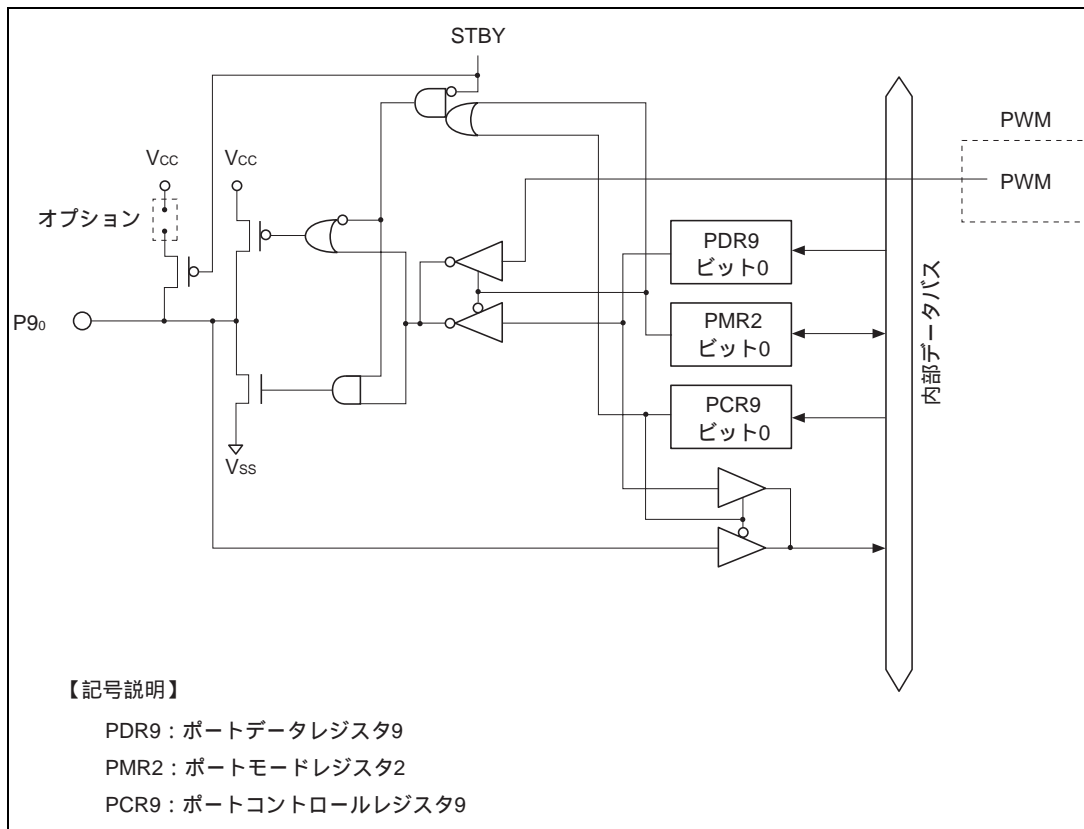


図 C.4 ポート4ブロック図

C.6 ポート9ブロック図

図 C.6 (a) ポート9ブロック図 (P9₀端子)

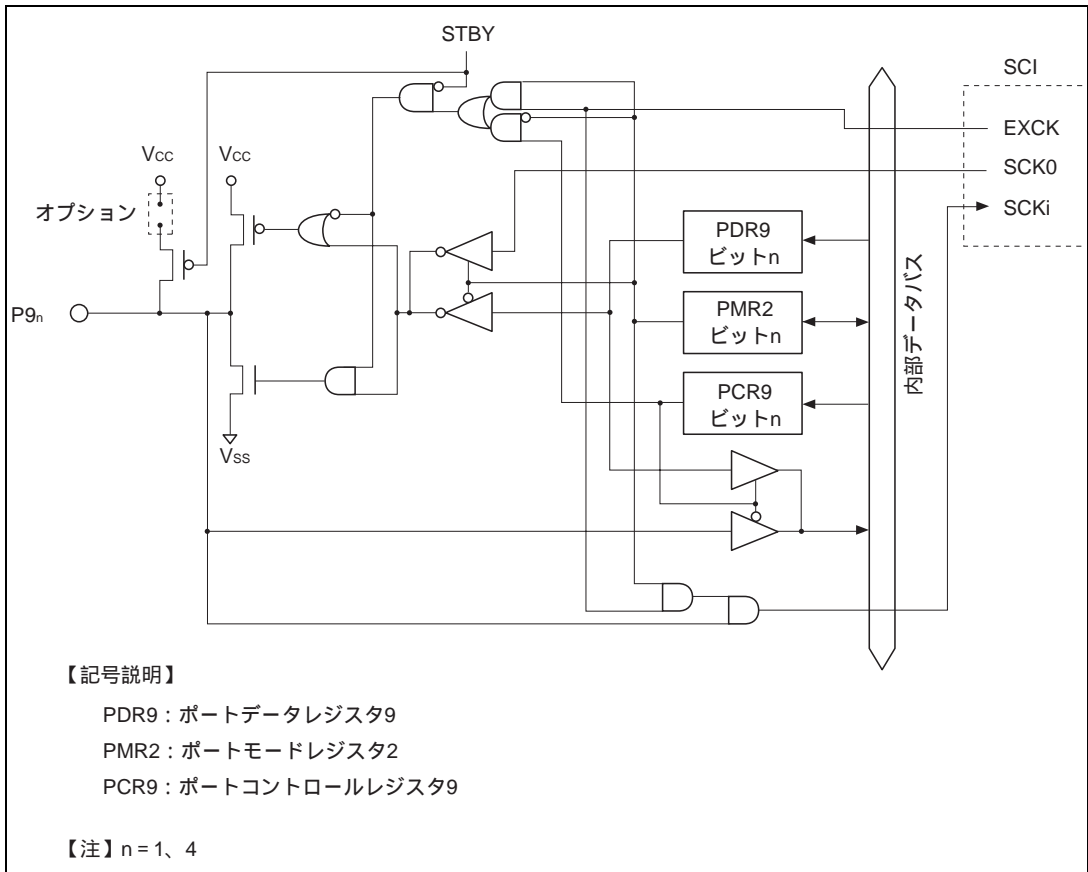
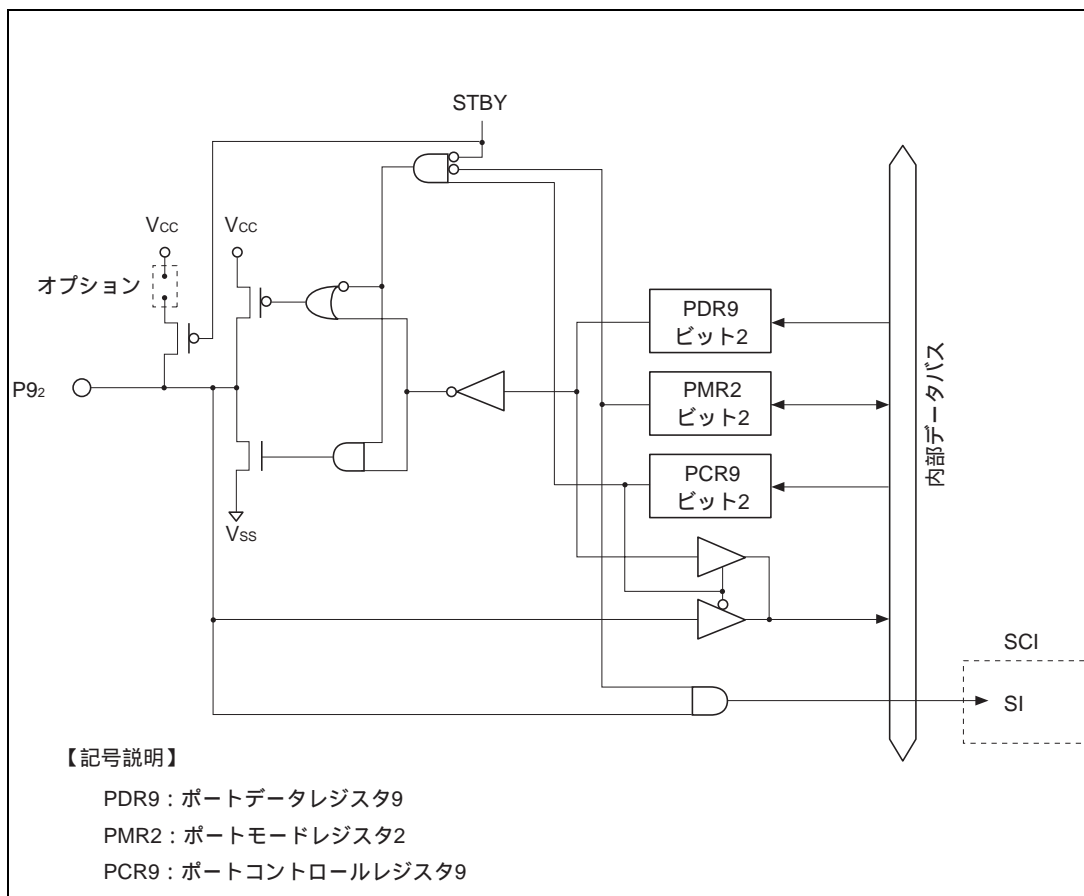


図 C.6 (b) ポート9 ブロック図 (P9₁、P9₄端子)

図 C.6 (c) ポート9 ブロック図 (P9₂端子)

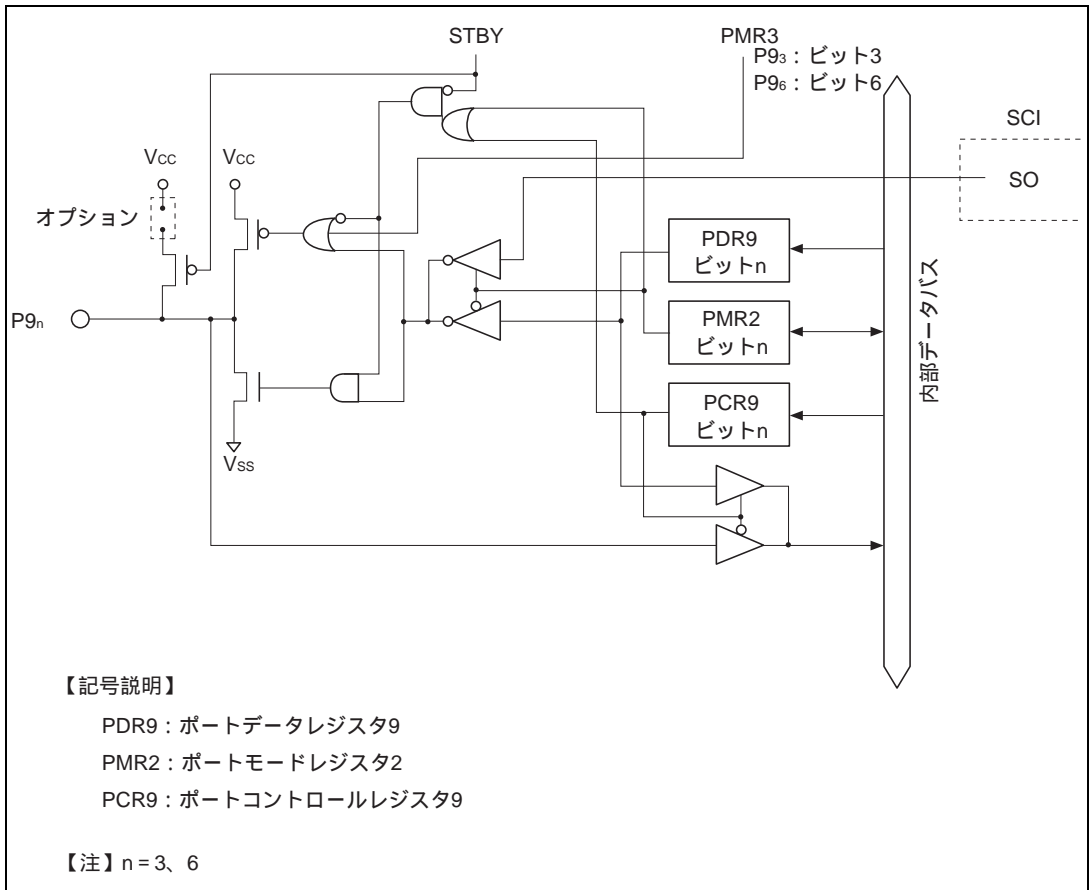
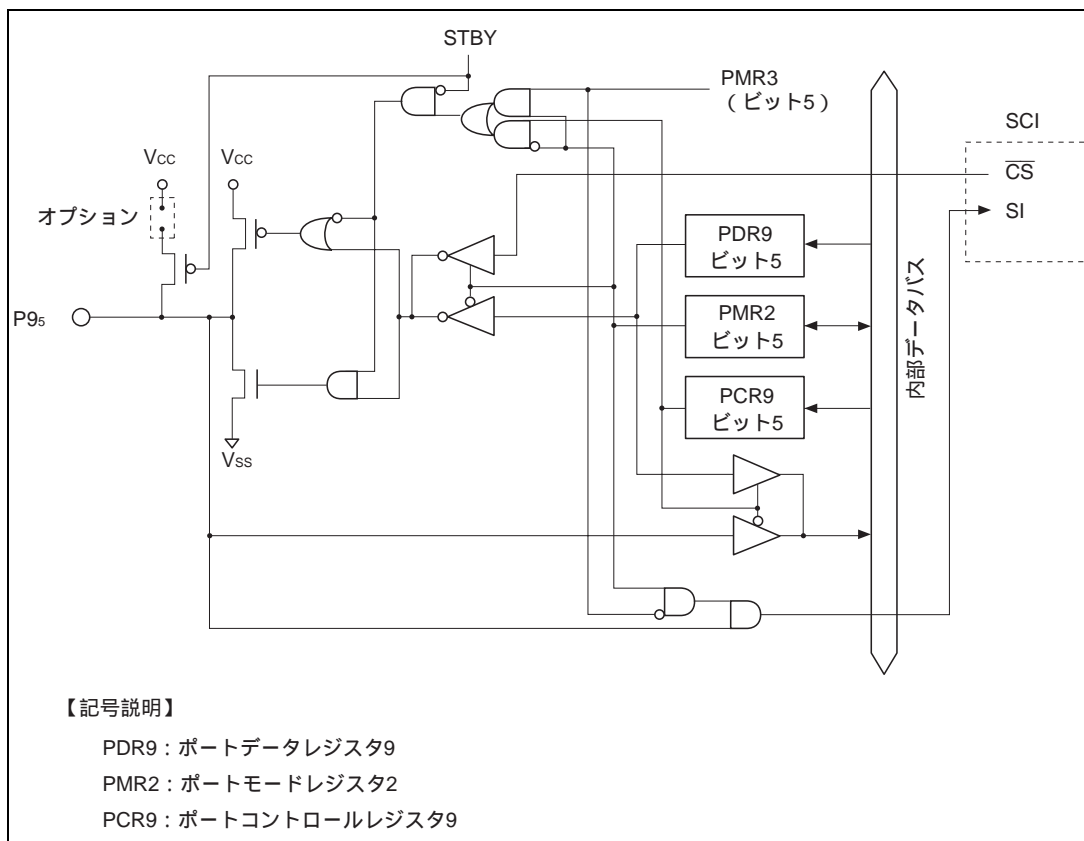


図 C.6 (d) ポート 9 ブロック図 (P9₃、P9₆ 端子)

図 C.6 (e) ポート 9 ブロック図 (P9_s 端子)

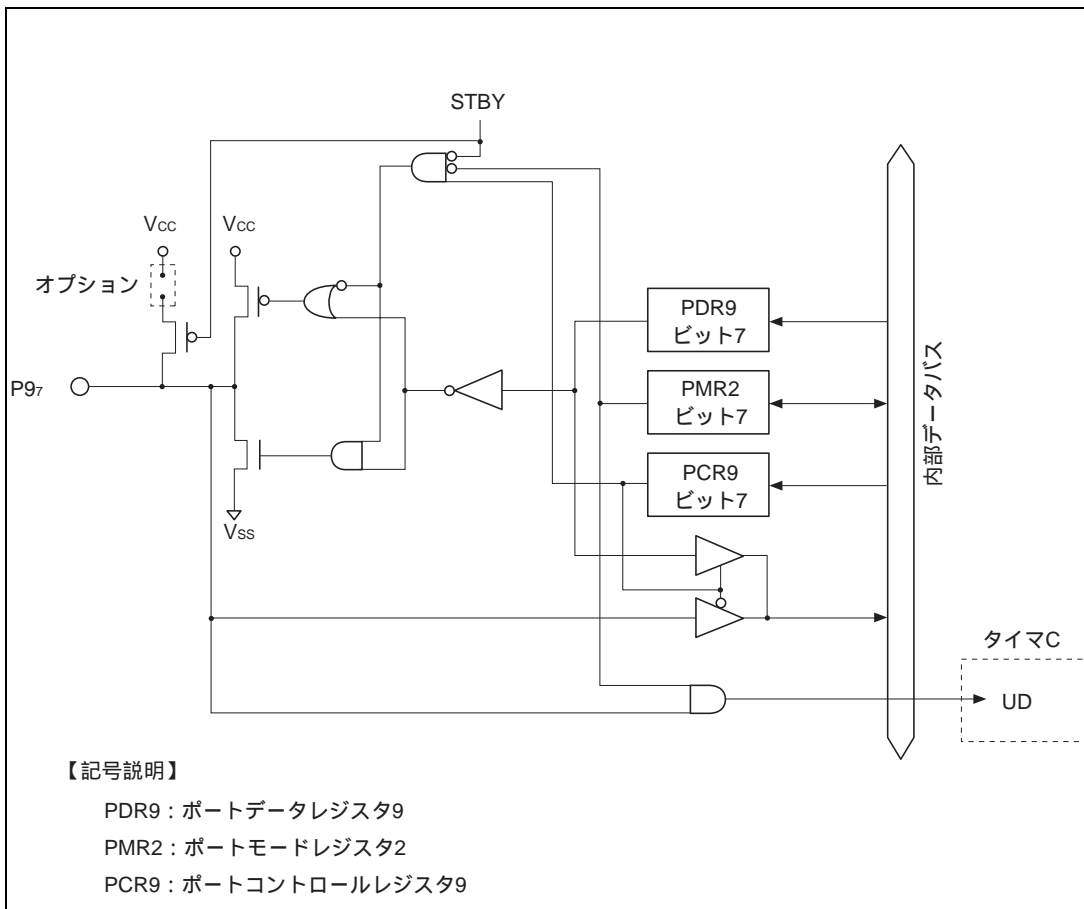


図 C.6 (f) ポート9 ブロック図 (P9₇端子)

C.7 ポート A ブロック図

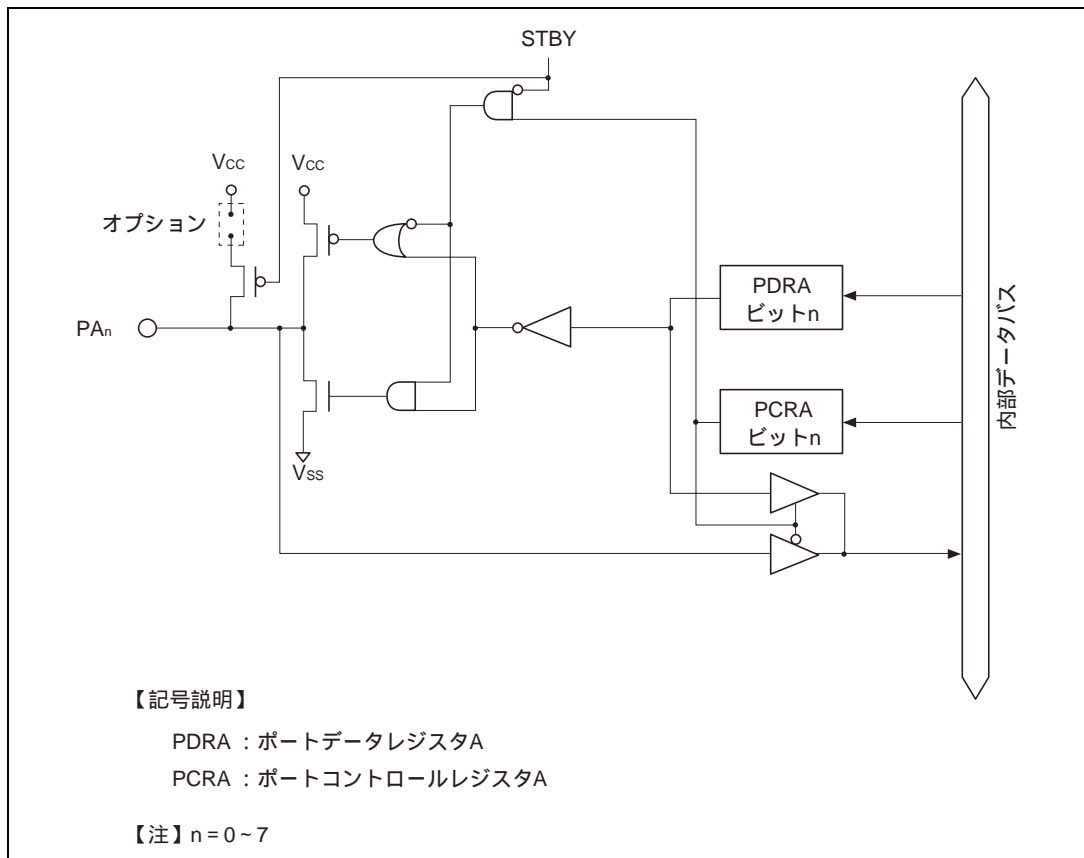


図 C.7 ポート A ブロック図

D. 各処理状態におけるポートの状態

表 D.1 各ポートの状態一覧

ポート名	リセット	モード				
		スリープ	スタンバイ	ウォッチ	サブアクティブ	アクティブ
P0 ₇ ~ P0 ₀	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	入力ポート
P1 ₇	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	入力ポート
P1 ₆	Hi-Z または プルアップ	Hi-Z または プルアップ	Hi-Z	Hi-Z	Hi-Z	入力ポート
P1 ₅ ~ P1 ₀	Hi-Z または プルアップ	keep	Hi-Z	Hi-Z	Hi-Z	入出力ポート
P4 ₅ ~ P4 ₀	Hi-Z	keep	Hi-Z	Hi-Z	Hi-Z	入出力ポート
P2 ₇ ~ P2 ₀	Hi-Z または プルアップ	keep	Hi-Z	Hi-Z	Hi-Z	入出力ポート
P8 ₇ ~ P8 ₀	Hi-Z または プルアップ	keep	Hi-Z	Hi-Z	Hi-Z	入出力ポート
P9 ₇ ~ P9 ₀	Hi-Z または プルアップ	keep	Hi-Z	Hi-Z	Hi-Z	入出力ポート
PA ₇ ~ PA ₀	Hi-Z または プルアップ	keep	Hi-Z	Hi-Z	Hi-Z	入出力ポート

【記号説明】

Hi-Z : ハイインピーダンス

keep : 入力ポートはハイインピーダンス、出力ポートは保持。

Hi-Z またはプルアップ : マスクオプションによりプルアップ MOS 付きとなっているポートはプルアップ状態、プルアップ MOS なしのポートはハイインピーダンスとなります。

- 【注】 1. プルアップ MOS (マスクオプション) は、ポートコントロールレジスタ (PCR)、ポートデータレジスタ (PDR) の設定と無関係にアクティブモード、スリープモードでは常時 ON しています。スリープモード以外の低消費電力モードでは、プルアップ MOS は OFF します。
2. 低消費電力モードに遷移しても、周辺機能入力に設定された端子の入力ゲートは ON したままです。したがって、入力レベルを固定しておかないと消費電力が増大します。

E. マスクオプションリスト

HD6433612、HD6433613、HD6433614

* 選択する仕様に対し 内にチェック印 (、× または√) を付けてください。

部の選択はできません。

(1) I/Oオプション

B : プルアップMOS付き

C : プルアップMOSなし

発注年月日	年 月 日	
貴社名		
所 属		
御 芳 名		
ROMコード名		
LSI型名	HD6433612	HD6433613
	HD6433614	

端子名	I/O	I/Oオプション	
		B	C
P1 ₀ /IRQ ₀	I/O		
P1 ₁ /IRQ ₁	I/O		
P1 ₂ /IRQ ₂	I/O		
P1 ₃ /IRQ ₃	I/O		
P1 ₄ /IRQ ₄	I/O		
P1 ₅ /TMOE/IRQ ₅	I/O		
P1 ₆ /EVENT	I		
P1 ₇	I	<input type="checkbox"/>	
P2 ₀	I/O		
P2 ₁	I/O		
P2 ₂	I/O		
P2 ₃	I/O		
P2 ₄	I/O		
P2 ₅	I/O		
P2 ₆	I/O		
P2 ₇	I/O		

(2) P4₀ ~ P4₅はPMOSオープンドレイン端子です。

(3) パッケージ

FP-64A
DP-64S

(4) OSC₁-OSC₂発振器

水晶発振子	fosc =	MHz
セラミック発振子	fosc =	MHz
外部クロック	fosc =	MHz

端子名	I/O	I/Oオプション	
		B	C
P8 ₀	I/O		
P8 ₁	I/O		
P8 ₂	I/O		
P8 ₃	I/O		
P8 ₄	I/O		
P8 ₅	I/O		
P8 ₆	I/O		
P8 ₇	I/O		
P9 ₀ /PWM*	I/O		
P9 ₁ /SCK ₁	I/O		
P9 ₂ /SI ₁	I/O		
P9 ₃ /SO ₁	I/O		
P9 ₄ /SCK ₂	I/O		
P9 ₅ /SI ₂	I/O		
P9 ₆ /SO ₂	I/O		
P9 ₇ /UD	I/O		
PA ₀	I/O		
PA ₁	I/O		
PA ₂	I/O		
PA ₃	I/O		
PA ₄	I/O		
PA ₅	I/O		
PA ₆	I/O		
PA ₇	I/O		

【注】 * H8/3612にはPWMはありません。

(5) X₁-X₂発振器

使用	fx = 32.768kHz
未使用	X ₁ = V _{cc}

【注】 1. 広域温度仕様、I仕様は特別仕様となります。また、J仕様は設定されておられませんのでご注意ください。

詳細は弊社担当営業にお問い合わせください。

2. お客様が提出するEPROMのROMデータはLSI型名のメモリマップに従って、必ずH'0000番地から入れてください。メモリマップのROM領域以外のデータはH'FFとしてください。

F. 外形寸法図

H8/3614 グループの外形寸法図 FP-64A を図 F.1、DP-64S を図 F.2 に示します。

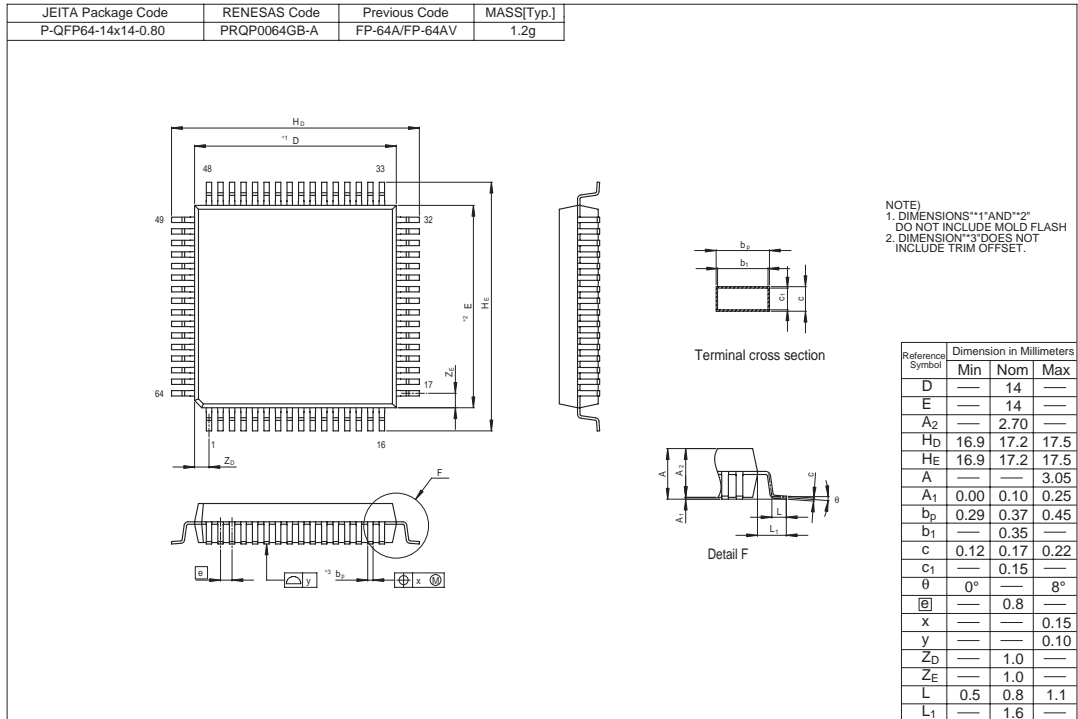


図 F.1 外形寸法図 (FP-64A) 単位 : mm

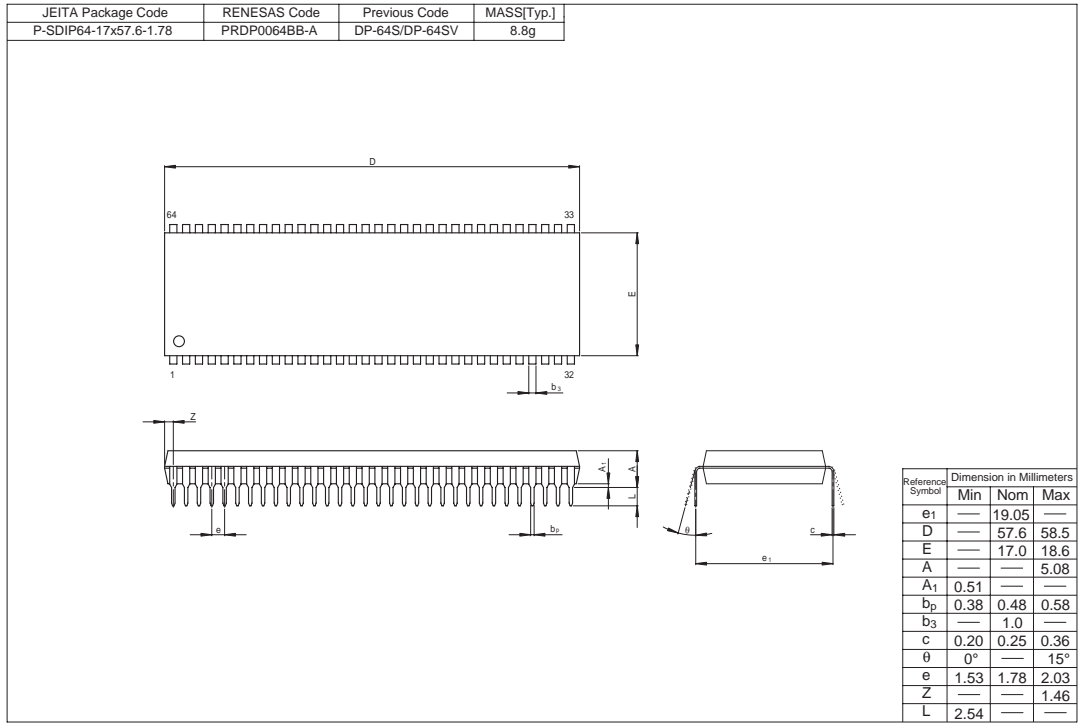


図 F.2 外形寸法図 (DP-64S) 単位 : mm

ルネサスシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8/3614グループ

発行年月日 1993年12月 第1版

2006年8月8日 Rev.2.00

発行 株式会社ルネサステクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル

営業お問合せ窓口
株式会社ルネサス販売

RENESAS

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	京	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	き	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

H8/3614 グループ
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0355-0200