

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パソコン機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等

8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエーペンギング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日

株式会社ルネサス テクノロジ
カスタマサポート部

ご注意

安全設計に関するお願い

- 弊社は品質、信頼性の向上に努めていますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

- 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
- 本資料に記載した情報は、正確を期すため、慎重に制作したものですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
- 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任は負いません。
- 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
- 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
- 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。



H8/3534、H8/3522

ハードウェアマニュアル
ルネサスシングルチップマイクロコンピュータ

H8/3534	HD6433534
H8/3522	HD6433522

1. 本資料に記載された製品及び製品の仕様は、予告なく変更されることがあります
2. 本資料に記載された内容は、正確かつ信頼し得るものであります。ただし、これら掲載された情報、製品または回路の使用に起因する損害または特許権その他権利の侵害に関しては、(株)日立製作所は一切その責任を負いません
3. 本資料によって第三者または(株)日立製作所の特許権その他権利の実施権を許諾するものではありません
4. 本資料の一部または全部を当社に無断で転載または複製することを堅くお断りいたします
5. 日立半導体は、人命にかかる装置用として特別に開発したものは用意しておりません。ライフサポート関連の医療機器用として日立半導体の採用をお考えのお客様は、当社営業窓口へお客様にてシステム設計上の対策をして頂けるかを是非ご連絡頂きますようお願い致します

はじめに

H8／3534、H8／3522は、高速H8／300CPUを核に機器組込み制御用に最適な周辺機能を内蔵した高性能シングルチップマイクロコンピュータです。

H8／3534は、80ピン版で、周辺機能として、32kバイトのROM、1kバイトのRAM、4種類のタイマ、シリアルコミュニケーションインターフェース、A/D変換器、I/Oポートなど、制御システムの構成に必要な機能を内蔵し、高性能かつ小型のシステムを容易に実現できます。

H8／3522は64ピン版で、16kバイトのROM、512バイトのRAMを内蔵し、H8／3534から周辺機能を削除したサブセット版です。

H8／3534、H8／3522のプログラム開発には、それぞれ上位の機能をもつH8／3394、H8／3292をサポートする開発ツールを利用して下さい。

また、H8／3534とH8／3522には、それぞれの上位の機能をもつH8／3334YとH8／3294のZTAT[®]*1(Zero Turn Around Time)版があり、プログラム開発時や量産初期に有效地に利用することができます。

H8／3534とH8／3522には、それぞれ上位の機能をもつH8／3397シリーズとH8／3297シリーズがあります。機能面での相違点は、ROM/RAMのラインアップがそれぞれ1種類であること、最大動作周波数が10MHzであること、低消費電力状態のひとつであるスタンバイモードの消費電流値保証がないことです。

H8／3534、H8／3522は、民生用途向けのシングルチップマイクロコンピュータです。ZTAT[®]版やF-ZTAT^{TM*2}版が必要な場合、より大きなROM/RAMが必要な場合、最大16MHzの高速な処理が必要な場合、携帯用途などでスタンバイモードにより消費電力を著しく低減したい場合、自動車用途や産業用途などで高い信頼性が要求される場合などには、H8／3397シリーズおよびH8／3297シリーズをご利用ください。

本マニュアルでは、H8／3534とH8／3522のハードウェアについて説明しています。命令の詳細については、「H8／300シリーズ プログラミングマニュアル」を、ZTAT[®]版を含む上位の製品シリーズについては、「H8／3397シリーズ、H8／3337シリーズ、H8／3334Y F-ZTATハードウェアマニュアル」「H8／3297シリーズハードウェアマニュアル」を併せてご覧ください。

【注】*1 ZTAT[®](Zero Turn Around Time)は株日立製作所の登録商標です。

*2 F-ZTATTM(Flexible-ZTAT)は株日立製作所の商標です。

三 次

〈第1章〉 概要

1. 1	概要	3
1. 2	内部ブロック図	7
1. 3	端子説明	9
1. 3. 1	ピン配置	9
1. 3. 2	端子機能	12

〈第2章〉 C P U

2. 1	概要	25
2. 1. 1	特長	25
2. 1. 2	アドレス空間	26
2. 1. 3	レジスタ構成	26
2. 2	各レジスタの説明	27
2. 2. 1	汎用レジスタ	27
2. 2. 2	コントロールレジスタ	27
2. 2. 3	C P U 内部レジスタの初期値	29
2. 3	データ構成	29
2. 3. 1	汎用レジスタのデータ構成	30
2. 3. 2	メモリ上でのデータ構成	31
2. 4	アドレッシングモード	32
2. 4. 1	アドレッシングモード	32
2. 4. 2	実効アドレスの計算方法	34
2. 5	命令セット	38
2. 5. 1	データ転送命令	40
2. 5. 2	算術演算命令	42
2. 5. 3	論理演算命令	43
2. 5. 4	シフト命令	43
2. 5. 5	ビット操作命令	45
2. 5. 6	分岐命令	51
2. 5. 7	システム制御命令	53
2. 5. 8	ブロック転送命令	54
2. 6	処理状態	55
2. 6. 1	概要	55
2. 6. 2	プログラム実行状態	56
2. 6. 3	例外処理状態	56

2. 6. 4	低消費電力状態	56
2. 7	基本動作タイミング	57
2. 7. 1	内蔵メモリ（RAM、ROM）	57
2. 7. 2	内蔵周辺モジュール／外部デバイス	58

〈第3章〉MCU動作モード

3. 1	概要	63
3. 1. 1	動作モードの選択	63
3. 1. 2	レジスタ構成	63
3. 2	システムコントロールレジスタ（SYSCTR）	64
3. 3	モードコントロールレジスタ（MDCTR）	66
3. 4	各動作モードのメモリマップ	67

〈第4章〉例外処理

4. 1	概要	71
4. 2	リセット	71
4. 2. 1	概要	71
4. 2. 2	リセットシーケンス	71
4. 2. 3	リセット直後の割込み	74
4. 3	割込み	74
4. 3. 1	概要	74
4. 3. 2	各レジスタの説明	77
4. 3. 3	外部割込み	81
4. 3. 4	内部割込み	82
4. 3. 5	割込み動作	82
4. 3. 6	割込み応答時間	87
4. 3. 7	使用上の注意	88
4. 4	スタック領域に関する使用上の注意	89

〈第5章〉ウェイト制御

5. 1	概要	93
5. 1. 1	特長	93
5. 1. 2	ブロック図	93
5. 1. 3	端子構成	94
5. 1. 4	レジスタ構成	94
5. 2	各レジスタの説明	94
5. 2. 1	ウェイトステートコントロールレジスタ（WSCR）	94
5. 3	ウェイトモード	96

〈第 6 章〉 クロック発振器

6. 1	概要	101
6. 1. 1	ブロック図	101
6. 1. 2	ウェイトステートコントロールレジスタ (W S C R)	101
6. 2	発振器	103
6. 3	デューティ補正回路	106
6. 4	プリスケーラ	106

〈第 7 章〉 I / O ポート

7. 1	概要	109
7. 2	ポート 1	112
7. 2. 1	概要	112
7. 2. 2	レジスタの構成と説明	112
7. 2. 3	モード別端子機能	115
7. 2. 4	入力プルアップM O S	117
7. 3	ポート 2	118
7. 3. 1	概要	118
7. 3. 2	レジスタの構成と説明	118
7. 3. 3	モード別端子機能	120
7. 3. 4	入力プルアップM O S	122
7. 4	ポート 3	123
7. 4. 1	概要	123
7. 4. 2	レジスタの構成と説明	123
7. 4. 3	モード別端子機能	125
7. 4. 4	入力プルアップM O S	126
7. 5	ポート 4【H 8 / 3 5 3 4】	127
7. 5. 1	概要	127
7. 5. 2	レジスタの構成と説明	127
7. 5. 3	端子機能	129
7. 6	ポート 5	131
7. 6. 1	概要	131
7. 6. 2	レジスタの構成と説明	131
7. 6. 3	端子機能	133
7. 7	ポート 6	134
7. 7. 1	概要	134
7. 7. 2	レジスタの構成と説明	135
7. 7. 3	端子機能	137
7. 7. 4	入力プルアップM O S【H 8 / 3 5 3 4】	141
7. 8	ポート 7	142

7.8.1	概要	142
7.8.2	レジスタの構成と説明	142
7.9	ポート8【H8／3534】	143
7.9.1	概要	143
7.9.2	レジスタの構成と説明	144
7.9.3	端子機能	145
7.10	ポート9【H8／3534】・ポート4【H8／3522】	146
7.10.1	概要	146
7.10.2	レジスタの構成と説明	147
7.10.3	端子機能	149

〈第8章〉 16ビットフリーランニングタイマ

8.1	概要	153
8.1.1	特長	153
8.1.2	ブロック図	154
8.1.3	端子構成	155
8.1.4	レジスタ構成	155
8.2	各レジスタの説明	156
8.2.1	フリーランニングカウンタ(FRC)	156
8.2.2	アウトプットコンペアレジスタA、B(OCRA、B)	156
8.2.3	インプットキャプチャレジスタA～D(ICRA～D)	157
8.2.4	タイマインタラプトイネーブルレジスタ(TIER)	158
8.2.5	タイマコントロール／ステータスレジスタ(TCSR)	160
8.2.6	タイマコントロールレジスタ(TCR)	163
8.2.7	タイマアウトプットコンペアコントロールレジスタ (TOCR)	165
8.3	CPUとのインターフェース	167
8.4	動作説明	170
8.4.1	FRCのカウントタイミング	170
8.4.2	アウトプットコンペア出力タイミング	171
8.4.3	FRCのクリアタイミング	171
8.4.4	インプットキャプチャ入力タイミング	172
8.4.5	インプットキャプチャフラグ(ICFA～D)の セットタイミング	174
8.4.6	アウトプットコンペアフラグ(OCFA、B)の セットタイミング	175
8.4.7	タイマオーバーフロー flag(OVF)の セットタイミング	175
8.5	割込み要因	176

8.6	F R T の使用例	176
8.7	使用上の注意	177

〈第9章〉 8ビットタイマ

9.1	概要	183
9.1.1	特長	183
9.1.2	ブロック図	184
9.1.3	端子構成	185
9.1.4	レジスタ構成	185
9.2	各レジスタの説明	186
9.2.1	タイマカウンタ (T C N T)	186
9.2.2	タイムコンスタントレジスタ A、B (T C O R A、B)	186
9.2.3	タイマコントロールレジスタ (T C R)	187
9.2.4	タイマコントロール／ステータスレジスタ (T C S R)	190
9.2.5	シリアルタイマコントロールレジスタ (S T C R)	192
9.3	動作説明	193
9.3.1	T C N T のカウントタイミング	193
9.3.2	コンペアマッチタイミング	194
9.3.3	T C N T の外部リセットタイミング	196
9.3.4	オーバフローフラグ (O V F) のセットタイミング	196
9.4	割込み要因	197
9.5	8ビットタイマの使用例	197
9.6	使用上の注意	198
9.6.1	T C N T のライトとカウンタクリアの競合	198
9.6.2	T C N T のライトとカウントアップの競合	199
9.6.3	T C O R のライトとコンペアマッチの競合	200
9.6.4	コンペアマッチ A、B の競合	200
9.6.5	内部クロックの切換えと T C N T の動作	201

〈第10章〉 PWMタイマ【H 8／3534のみに内蔵】

10.1	概要	205
10.1.1	特長	205
10.1.2	ブロック図	205
10.1.3	端子機能	206
10.1.4	レジスタ構成	206
10.2	各レジスタの説明	207
10.2.1	タイマカウンタ (T C N T)	207
10.2.2	デューティレジスタ (D T R)	207
10.2.3	タイマコントロールレジスタ (T C R)	208

10.3	PWMタイマの動作	210
10.3.1	タイマカウンタ入力タイミング	210
10.3.2	PWM動作タイミング	210
10.4	使用上の注意	212

〈第11章〉 ウォッチドッグタイマ

11.1	概要	215
11.1.1	特長	215
11.1.2	ブロック図	216
11.1.3	レジスタ構成	216
11.2	各レジスタの説明	217
11.2.1	タイマカウンタ (T C N T)	217
11.2.2	タイマコントロール／ステータスレジスタ (T C S R)	217
11.2.3	レジスタ書き換え時の注意	220
11.3	動作説明	221
11.3.1	ウォッチドッグタイマモード時の動作	221
11.3.2	インターバルタイマモード時の動作	222
11.3.3	オーバフローフラグ (O V F) のセットタイミング	222
11.4	使用上の注意	223

〈第12章〉 シリアルコミュニケーションインターフェース

【H 8／3 5 3 4は2チャネル、H 8／3 5 2 2は1チャネル内蔵】

12.1	概要	227
12.1.1	特長	227
12.1.2	ブロック図	228
12.1.3	端子構成	229
12.1.4	レジスタ構成	229
12.2	各レジスタの説明	230
12.2.1	レシーブシフトレジスタ (R S R)	230
12.2.2	レシーブデータレジスタ (R D R)	230
12.2.3	トランスマットシフトレジスタ (T S R)	230
12.2.4	トランスマットデータレジスタ (T D R)	231
12.2.5	シリアルモードレジスタ (S M R)	231
12.2.6	シリアルコントロールレジスタ (S C R)	233
12.2.7	シリアルステータスレジスタ (S S R)	236
12.2.8	ビットレートレジスタ (B R R)	239
12.2.9	シリアルタイマコントロールレジスタ (S T C R)	244

12.3	動作説明	245
12.3.1	概要	245
12.3.2	調歩同期式モード時の動作	247
12.3.3	クロック同期式モード時の動作	259
12.4	S C I 割込み	267
12.5	使用上の注意	268

〈第13章〉 A／D 変換器

13.1	概要	273
13.1.1	特長	273
13.1.2	ブロック図	274
13.1.3	端子構成	275
13.1.4	レジスタ構成	276
13.2	各レジスタの説明	277
13.2.1	A／Dデータレジスタ A～D (ADDRA～D)	277
13.2.2	A／Dコントロール／ステータスレジスタ (ADCSR)	278
13.2.3	A／Dコントロールレジスタ (ADCR)	280
13.3	C P Uとのインターフェース	281
13.4	動作説明	282
13.4.1	単一モード (SCAN = "0")	282
13.4.2	スキャンモード (SCAN = "1")	284
13.4.3	入力サンプリングとA／D変換時間	286
13.4.4	外部トリガ入力タイミング	287
13.5	割込み	288
13.6	使用上の注意	288

〈第14章〉 R A M

14.1	概要	291
14.1.1	ブロック図	291
14.1.2	システムコントロールレジスタ (SYSCTR) の RAMイネーブルビット (RAME)	292
14.2	動作説明	292
14.2.1	拡張モード (モード1、2)	292
14.2.2	シングルチップモード (モード3)	292

〈第15章〉 R O M

15.1	概要	295
15.1.1	ブロック図	295

〈第16章〉 低消費電力状態

16.1 概要	299
16.1.1 システムコントロールレジスタ (SYSCR)	300
16.2 スリープモード	301
16.2.1 スリープモードへの遷移	301
16.2.2 スリープモードの解除	301
16.3 ソフトウェアスタンバイモード	302
16.3.1 ソフトウェアスタンバイモードへの遷移	302
16.3.2 ソフトウェアスタンバイモードの解除	302
16.3.3 ソフトウェアスタンバイモード解除後の 発振安定待機時間の設定	302
16.3.4 ソフトウェアスタンバイモードの応用例	303
16.3.5 使用上の注意	303
16.4 ハードウェアスタンバイモード	304
16.4.1 ハードウェアスタンバイモードへの遷移	304
16.4.2 ハードウェアスタンバイモードの解除	304
16.4.3 ハードウェアスタンバイモードのタイミング	304

〈第17章〉 電気的特性

17.1 絶対最大定格	307
17.2 電気的特性	307
17.2.1 DC特性	307
17.2.2 AC特性	311
17.2.3 A/D変換器特性	314
17.3 MCU動作タイミング	315
17.3.1 バスタイミング	315
17.3.2 制御信号タイミング	317
17.3.3 16ビットフリーランニングタイマタイミング	320
17.3.4 8ビットタイマタイミング	320
17.3.5 PWMタイマタイミング【H8/3534】	321
17.3.6 SCIタイミング	322
17.3.7 I/Oポートタイミング	322
17.3.8 外部クロック出力タイミング	323

〈付録〉

A. 命令	327
A.1 命令一覧	327
A.2 オペレーションコードマップ	337
A.3 命令実行ステート数	338

B.	I/Oレジスター一覧	344
B.1	I/Oレジスター一覧(1)	344
B.1.1	H 8/3534のI/Oレジスター一覧	344
B.1.2	H 8/3522のI/Oレジスター一覧	348
B.2	I/Oレジスター一覧(2)	352
C.	I/Oポートブロック図	399
C.1	ポート1ブロック図	399
C.2	ポート2ブロック図	399
C.3	ポート3ブロック図	400
C.4	ポート4ブロック図【H 8/3534】	401
C.5	ポート5ブロック図	402
C.6	ポート6ブロック図	404
C.7	ポート7ブロック図	410
C.8	ポート8ブロック図【H 8/3534のみ】	411
C.9	ポート9ブロック図【H 8/3534】 ポート4ブロック図【H 8/3522】	413
D.	各処理状態におけるポートの状態	416
E.	ハードウェアスタンバイモード遷移/復帰時のタイミングについて	418
F.	型名一覧	419
G.	外形寸法図	420

1. 概要

1

第1章 目次

1. 1	概要	3
1. 2	内部ブロック図	7
1. 3	端子説明	9
1. 3. 1	ピン配置	9
1. 3. 2	端子機能	12

1.1 概要

H8/3534、H8/3522は、H8/300CPUを核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータ（MCU：Microcomputer Unit）です。

CPUは命令実行速度が高く、強力なビット操作命令を有しており、リアルタイム制御などへの応用に最適です。H8/3534は80ピン版で、システム構成に必要な周辺機能として、32kバイトのROM、1kバイトのRAM、4種類のタイマ（16ビットフリーランニングタイマ、8ビットタイマ2チャネル、PWMタイマ2チャネル、ウォッチドッグタイマ）、シリアルコミュニケーションインターフェース（SCI）を2チャネル、A/D変換器、I/Oポートなどを内蔵しています。H8/3522は64ピン版で、16kバイトのROM、512バイトのRAMを内蔵し、H8/3534からPWMタイマ2チャネル、SCI1チャネル除いたサブセット版です。

動作モードは、シングルチップモードと2種類の拡張モードがあり、使用するシステムに応じて使い分けることができます。

H8/3534、H8/3522のプログラム開発には、それぞれ上位の機能をもつH8/3394、H8/3292をサポートする開発ツールを利用して下さい。ZTAT®*1としては、H8/3334Y、H8/3294のZTAT®を利用して下さい。

この際、上位の機能に関するレジスタ等はアクセスしないで下さい。特に、SYSCTRのIEビット、STCRのIICS、IICD、IICX、IICE、STACビット、WSCRのRAMS、RAM0ビットには“1”をライトしないで下さい。

【注】*1 ZTAT®(Zero Turn Around Time)は株日立製作所の登録商標です。

本LSIの特長を表1.1に示します。

表1.1 特長(1)

項目	仕様
CPU	<p>汎用レジスタマシン</p> <ul style="list-style-type: none"> 汎用レジスタ : 8ビット×16本 (16ビット×8本としても使用可能) <p>高速動作</p> <ul style="list-style-type: none"> 最高動作周波数 : 10MHz / 5V 8 / 16ビットレジスタ間加減算 : 200ns (10MHz動作時) 8 × 8 ビット乗算 : 1400ns (10MHz動作時) 16 ÷ 8 ビット除算 : 1400ns (10MHz動作時) <p>高速動作に適した簡潔な命令セット</p> <ul style="list-style-type: none"> 2バイトまたは4バイト長の命令 レジスター-レジスタ間の基本演算 MOV命令によるメモリ-レジスタ間データ転送 <p>特長ある命令</p> <ul style="list-style-type: none"> 乗算命令 (8ビット×8ビット) 除算命令 (16ビット÷8ビット) ビットアキュムレータ命令 レジスタ間接指定によりビット位置の指定が可能
メモリ	<ul style="list-style-type: none"> H8 / 3534 ROM : 32kバイト、RAM : 1kバイト H8 / 3522 ROM : 16kバイト、RAM : 512バイト
16ビットフリーランニングタイマ(FRT) ×1チャネル	<ul style="list-style-type: none"> 16ビットフリーランニングカウンタ×1 (外部イベントカウント可能) アウトプットコンペア出力×2 インプットキャプチャ入力×4 (バッファ動作可能)
8ビットタイマ ×2チャネル	<p>1チャネル当たり</p> <ul style="list-style-type: none"> 8ビットアップカウンタ×1 (外部イベントカウント可能) タイムコンスタントレジスタ×2
PWMタイマ ×2チャネル 【H8 / 3534 のみに内蔵】	<ul style="list-style-type: none"> デューティ : 0 ~ 100% のデューティパルス設定可能 分解能 : 1/250
ウォッチドッグタイマ(WDT) ×1チャネル	<ul style="list-style-type: none"> オーバフローによりリセットまたはNMI割込みを発生 インターバルタイマモードに切換え可能

表 1.1 特長(2)

項目	仕様
シリアルコミュニケーションインターフェース(SCI) 【H8/3534は 2チャネル、 H8/3522は 1チャネル内蔵】	<ul style="list-style-type: none"> 調歩同期式／クロック同期式モードの選択可能 送受信同時動作（全二重動作）可能 専用のボーレートジェネレータ内蔵
キーボードコントローラ【H8/3534 のみに内蔵】	<ul style="list-style-type: none"> マトリクスキーボードを、ウェイクアップ割込み付きキーボードスキャンおよびセンスポートの構成で制御
A/D変換器	<ul style="list-style-type: none"> 分解能：10ビット 8チャネル：單一モード／スキャンモード選択可能 外部トリガによるA/D変換開始可能 サンプル&ホールド機能付
I/Oポート 【H8/3534】	<ul style="list-style-type: none"> 入出力端子 58本（内16本は、LED駆動可能） 入力専用端子 8本
I/Oポート 【H8/3522】	<ul style="list-style-type: none"> 入出力端子 43本（内16本は、LED駆動可能） 入力専用端子 8本
割込み 【H8/3534】	<ul style="list-style-type: none"> 外部割込み端子 9本：<u>NMI</u>、<u>IRQ₀</u>～<u>IRQ₇</u> 内部割込み要因 26要因
割込み 【H8/3522】	<ul style="list-style-type: none"> 外部割込み端子 4本：<u>NMI</u>、<u>IRQ₀</u>～<u>IRQ₂</u> 内部割込み要因 19要因
ウェイト制御	<ul style="list-style-type: none"> 3種類のウェイトモードを設定可能
動作モード	<ul style="list-style-type: none"> 内蔵ROM無効拡張モード（モード1） 内蔵ROM有効拡張モード（モード2） シングルチップモード（モード3）
低消費電力状態	<ul style="list-style-type: none"> スリープモード ソフトウェアスタンバイモード ハードウェアスタンバイモード
その他	<ul style="list-style-type: none"> クロック発振器内蔵

表 1.1 特長(3)

項 目	仕 様			
製品ラインアップ	製品名	製品型名	パッケージ	ROM
	H8/3534	HD6433534F10	80ピンQFP(FP-80A)	マスク ROM
	H8/3522	HD6433522F10	64ピンQFP(FP-64A)	
		HD6433522P10	64ピンシュリンク DIP(DP-64S)	

1.2 内部ブロック図

H 8 / 3 5 3 4 の内部ブロック図を図 1.1 に、H 8 / 3 5 2 2 の内部ブロック図を図 1.2 に示します。

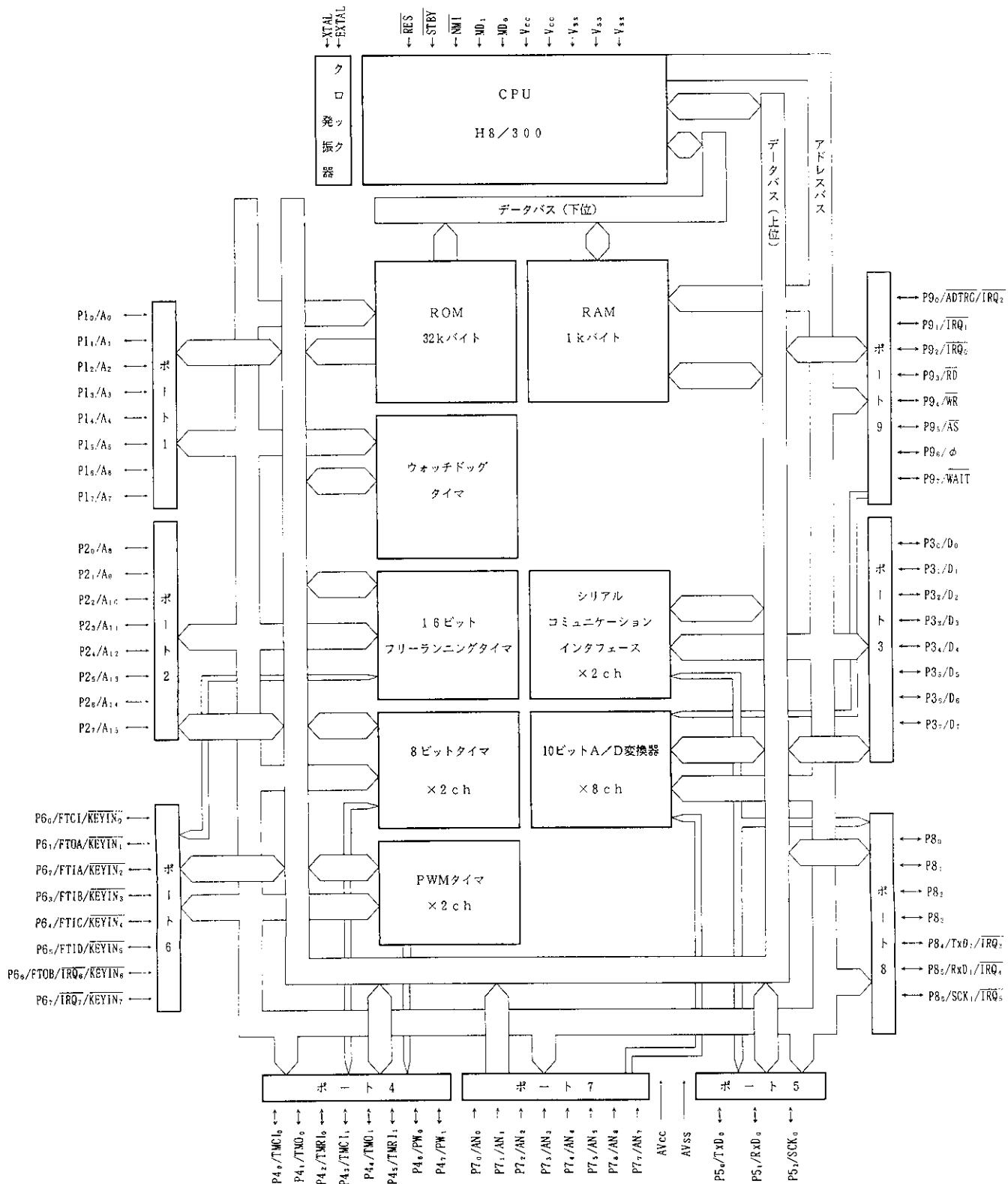


図 1.1 H 8 / 3 5 3 4 の内部ブロック図

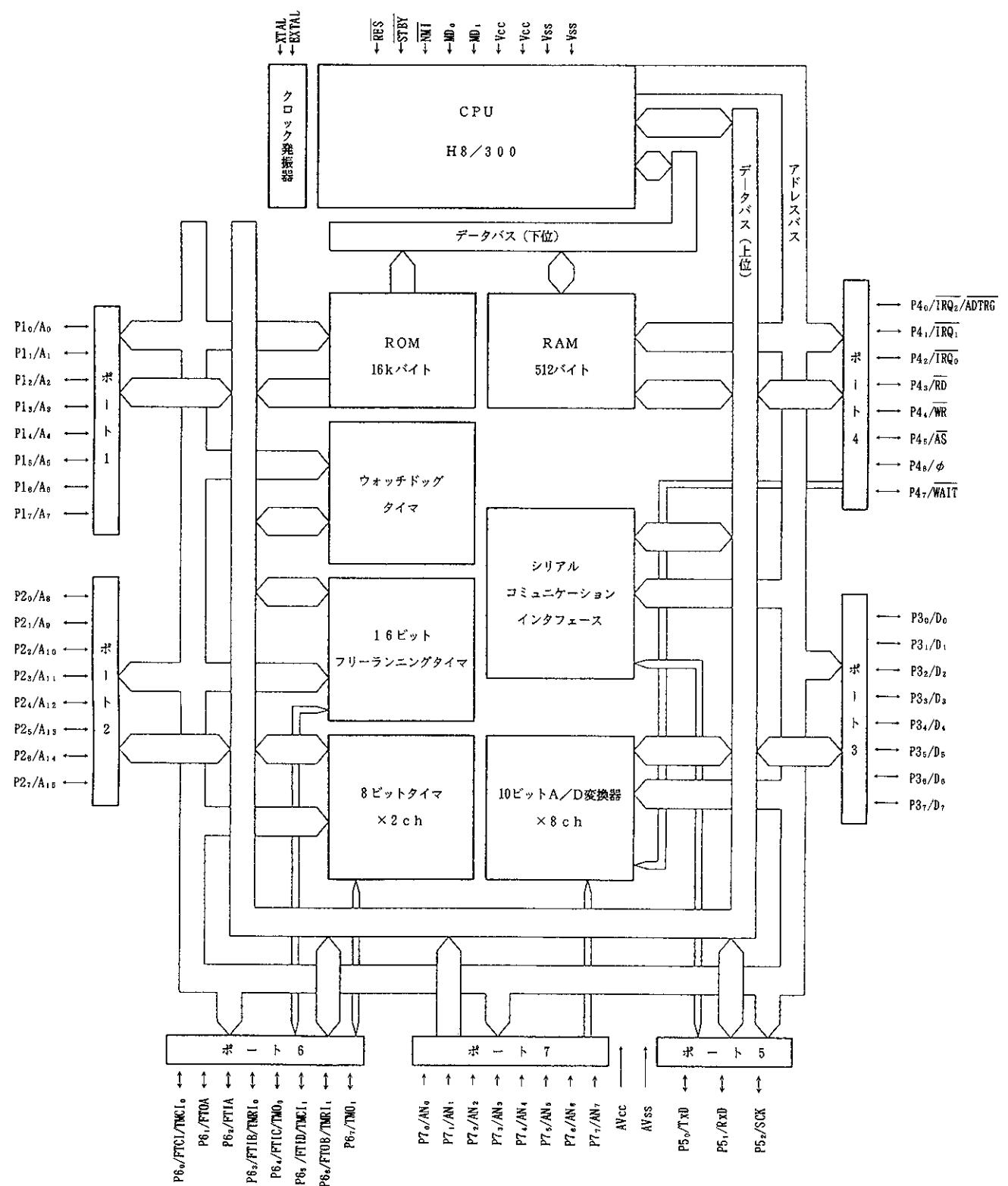


図1.2 H8/3522の内部ブロック図

1.3 端子説明

1.3.1 ピン配置

H 8 / 3 5 3 4 のピン配置図 F P - 80A を図 1.3 に、H 8 / 3 5 2 2 のピン配置図 F P - 64A を図 1.4 、D P - 64S を図 1.5 に示します。

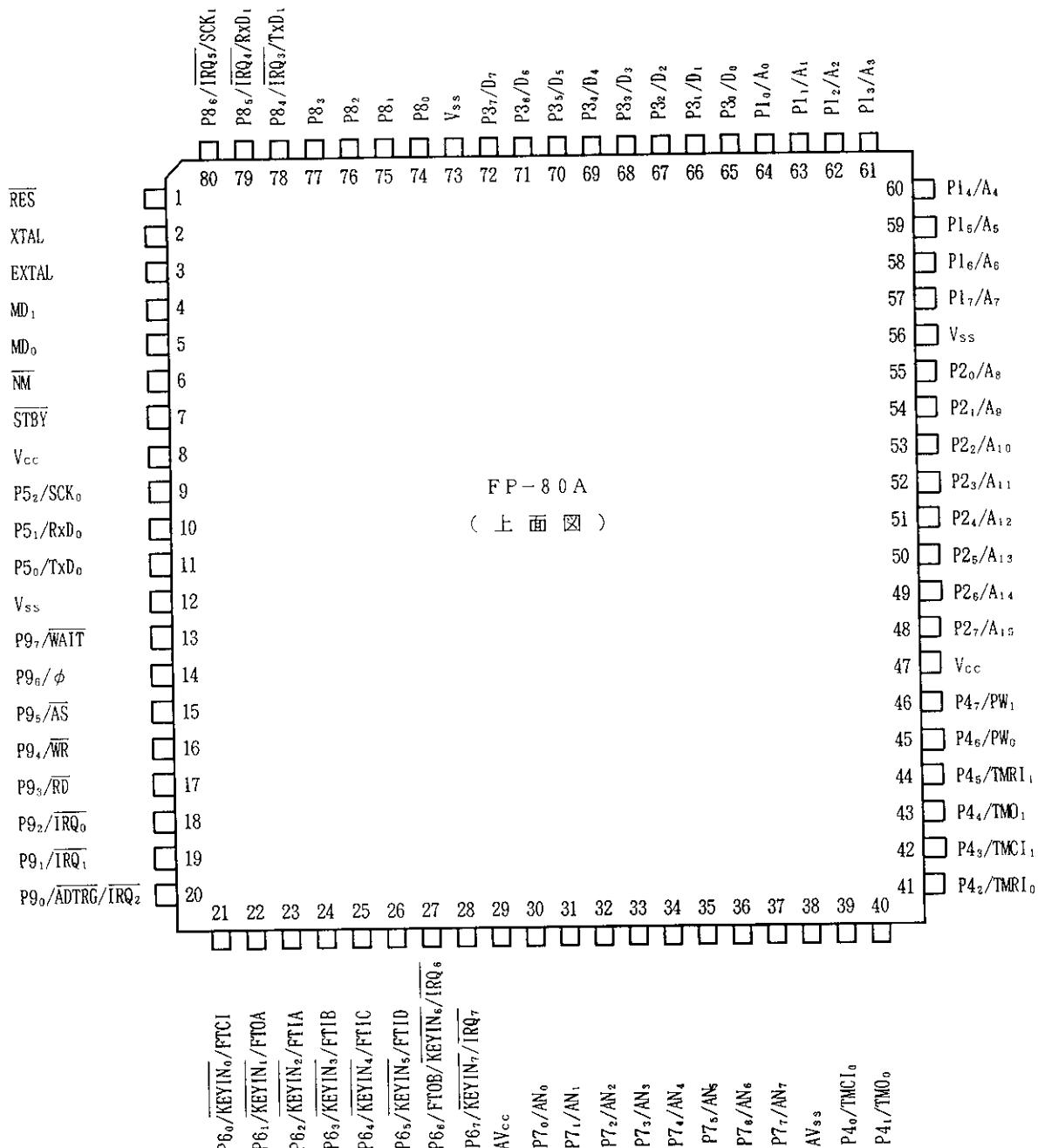


図 1.3 H 8 / 3 5 3 4 のピン配置 (F P - 80A : 上面図)

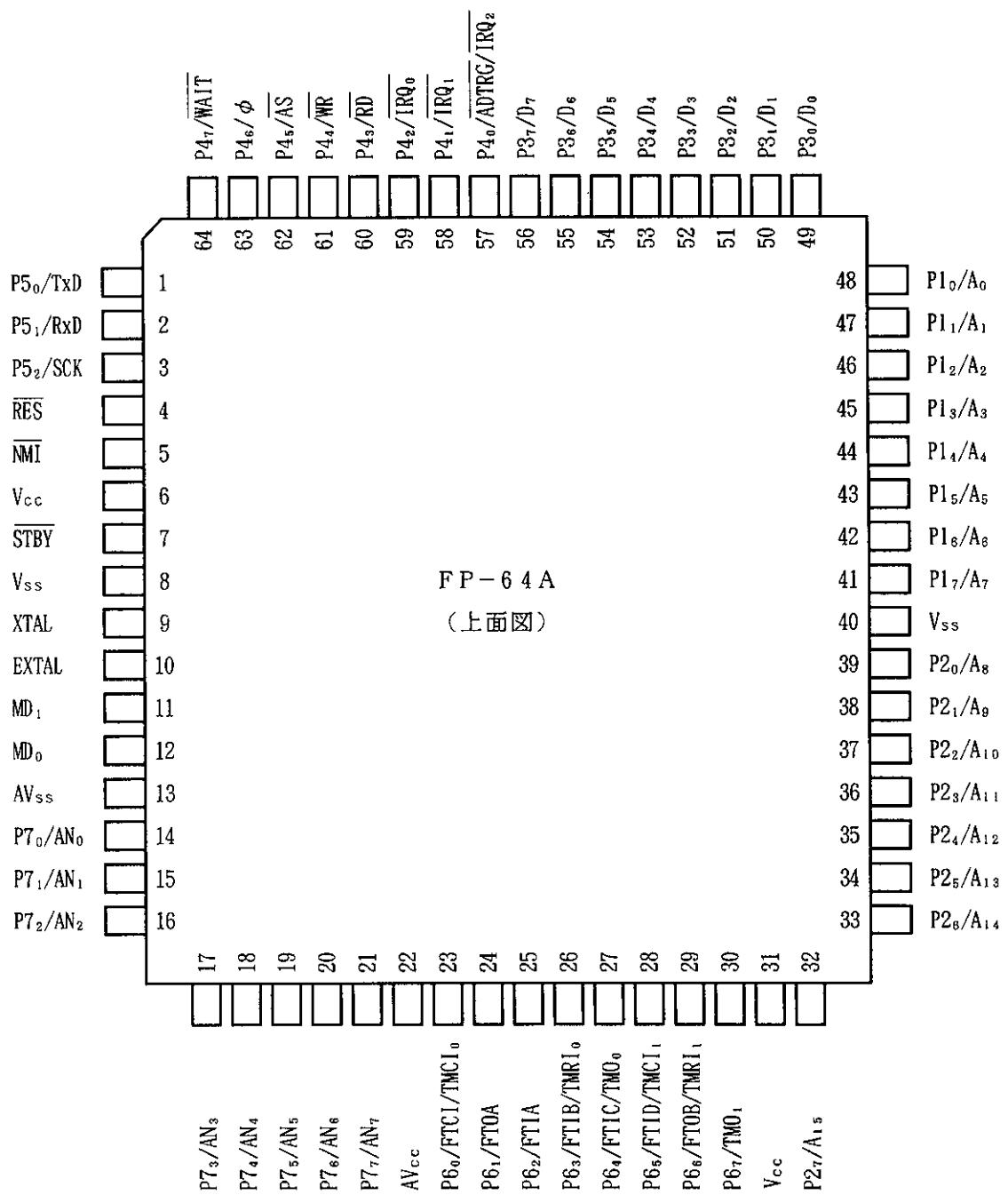


図 1.4 H8/3522 のピン配置 (F P - 64A : 上面図)

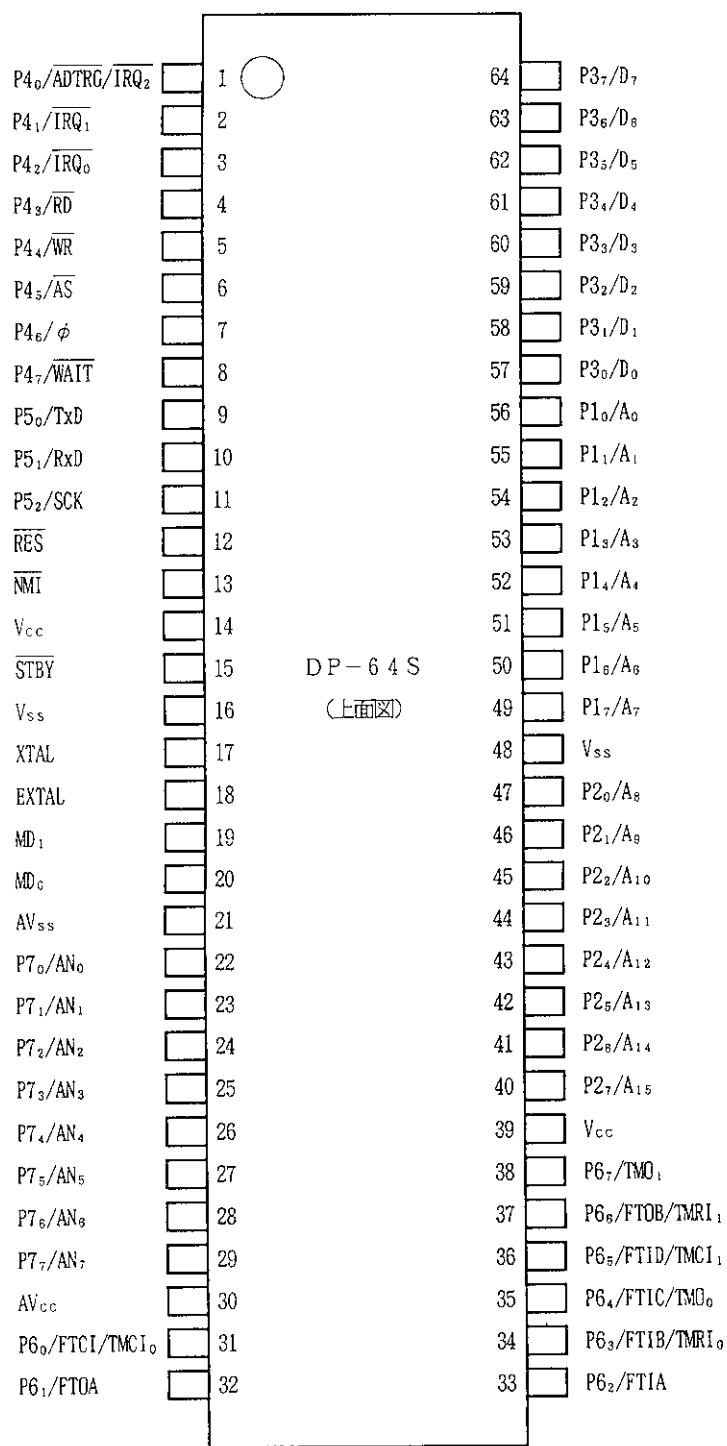


図 1.5 H8/3522 のピン配置 (DP-64S : 上面図)

1.3.2 端子機能

(1) モード別配置一覧

H 8 / 3 5 3 4 の F P - 80A のモード別ピン配置一覧を表 1. 2 に、H 8 / 3 5 2 2 の F P - 64A、D P - 64S のモード別ピン配置一覧を表 1. 3 に示します。

表 1. 2 H 8 / 3 5 3 4 のモード別ピン配置一覧(1)

ピン番号	端 子 名		
	拡張モード		シングルチップモード
FP-80A	モード1	モード2	モード3
1	RES	RES	RES
2	XTAL	XTAL	XTAL
3	EXTAL	EXTAL	EXTAL
4	MD ₁	MD ₁	MD ₁
5	MD ₀	MD ₀	MD ₀
6	NMI	NMI	NMI
7	STBY	STBY	STBY
8	V _{cc}	V _{cc}	V _{cc}
9	P5 ₂ /SCK ₀	P5 ₂ /SCK ₀	P5 ₂ /SCK ₀
10	P5 ₁ /RXD ₀	P5 ₁ /RXD ₀	P5 ₁ /RXD ₀
11	P5 ₀ /TXD ₀	P5 ₀ /TXD ₀	P5 ₀ /TXD ₀
12	V _{ss}	V _{ss}	V _{ss}
13	P9 ₇ /WAIT	P9 ₇ /WAIT	P9 ₇
14	φ	φ	P9 ₆ /φ
15	AS	AS	P9 ₅
16	WR	WR	P9 ₄
17	RD	RD	P9 ₃
18	P9 ₂ /IRQ ₀	P9 ₂ /IRQ ₀	P9 ₂ /IRQ ₀
19	P9 ₁ /IRQ ₁	P9 ₁ /IRQ ₁	P9 ₂ /IRQ ₁
20	P9 ₀ /ADTRG/IRQ ₂	P9 ₀ /ADTRG/IRQ ₂	P9 ₀ /ADTRG/IRQ ₂
21	P6 ₀ /KEYIN ₀ /FTCI	P6 ₀ /KEYIN ₀ /FTCI	P6 ₀ /KEYIN ₀ /FTCI
22	P6 ₁ /KEYIN ₁ /FTOA	P6 ₁ /KEYIN ₁ /FTOA	P6 ₁ /KEYIN ₁ /FTOA
23	P6 ₂ /KEYIN ₂ /FTIA	P6 ₂ /KEYIN ₂ /FTIA	P6 ₂ /KEYIN ₂ /FTIA
24	P6 ₃ /KEYIN ₃ /FTIB	P6 ₃ /KEYIN ₃ /FTIB	P6 ₃ /KEYIN ₃ /FTIB
25	P6 ₄ /KEYIN ₄ /FTIC	P6 ₄ /KEYIN ₄ /FTIC	P6 ₄ /KEYIN ₄ /FTIC
26	P6 ₅ /KEYIN ₅ /FTID	P6 ₅ /KEYIN ₅ /FTID	P6 ₅ /KEYIN ₅ /FTID
27	P6 ₆ /FTOB/KEYIN ₆ /IRQ ₆	P6 ₆ /FTOB/KEYIN ₆ /IRQ ₆	P6 ₆ /FTOB/KEYIN ₆ /IRQ ₆
28	P6 ₇ /KEYIN ₇ /IRQ ₇	P6 ₇ /KEYIN ₇ /IRQ ₇	P6 ₇ /KEYIN ₇ /IRQ ₇

表1.2 H8/3534のモード別ピン配置一覧(2)

ピン番号	端子名		
	拡張モード		シングルチップモード
FP-80A	モード1	モード2	モード3
29	AV _{cc}	AV _{cc}	AV _{cc}
30	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀
31	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁
32	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂
33	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃
34	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄
35	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅
36	P7 ₆ /AN ₆	P7 ₆ /AN ₆	P7 ₆ /AN ₆
37	P7 ₇ /AN ₇	P7 ₇ /AN ₇	P7 ₇ /AN ₇
38	AV _{ss}	AV _{ss}	AV _{ss}
39	P4 ₀ /TMC1 ₀	P4 ₀ /TMC1 ₀	P4 ₀ /TMC1 ₀
40	P4 ₁ /TMO ₀	P4 ₁ /TMO ₀	P4 ₁ /TMO ₀
41	P4 ₂ /TMRI ₀	P4 ₂ /TMRI ₀	P4 ₂ /TMRI ₀
42	P4 ₃ /TMC1 ₁	P4 ₃ /TMC1 ₁	P4 ₃ /TMC1 ₁
43	P4 ₄ /TMO ₁	P4 ₄ /TMO ₁	P4 ₄ /TMO ₁
44	P4 ₅ /TMRI ₁	P4 ₅ /TMRI ₁	P4 ₅ /TMRI ₁
45	P4 ₆ /PW ₀	P4 ₆ /PW ₀	P4 ₆ /PW ₀
46	P4 ₇ /PW ₁	P4 ₇ /PW ₁	P4 ₇ /PW ₁
47	V _{cc}	V _{cc}	V _{cc}
48	A ₁₅	P2 ₇ /A ₁₅	P2 ₇
49	A ₁₄	P2 ₆ /A ₁₄	P2 ₆
50	A ₁₃	P2 ₅ /A ₁₃	P2 ₅
51	A ₁₂	P2 ₄ /A ₁₂	P2 ₄
52	A ₁₁	P2 ₃ /A ₁₁	P2 ₃
53	A ₁₀	P2 ₂ /A ₁₀	P2 ₂
54	A ₉	P2 ₁ /A ₉	P2 ₁
55	A ₈	P2 ₀ /A ₈	P2 ₀
56	V _{ss}	V _{ss}	V _{ss}

表 1.2 H 8 / 3 5 3 4 のモード別ピン配置一覧(3)

ピン番号	端子名		
	拡張モード		シングルチップモード
FP-80A	モード1	モード2	モード3
57	A ₇	P1 ₇ /A ₇	P1 ₇
58	A ₆	P1 ₆ /A ₆	P1 ₆
59	A ₅	P1 ₅ /A ₅	P1 ₅
60	A ₄	P1 ₄ /A ₄	P1 ₄
61	A ₃	P1 ₃ /A ₃	P1 ₃
62	A ₂	P1 ₂ /A ₂	P1 ₂
63	A ₁	P1 ₁ /A ₁	P1 ₁
64	A ₀	P1 ₀ /A ₀	P1 ₀
65	D ₀	D ₀	P3 ₀
66	D ₁	D ₁	P3 ₁
67	D ₂	D ₂	P3 ₂
68	D ₃	D ₃	P3 ₃
69	D ₄	D ₄	P3 ₄
70	D ₅	D ₅	P3 ₅
71	D ₆	D ₆	P3 ₆
72	D ₇	D ₇	P3 ₇
73	V _{ss}	V _{ss}	V _{ss}
74	P8 ₀	P8 ₀	P8 ₀
75	P8 ₁	P8 ₁	P8 ₁
76	P8 ₂	P8 ₂	P8 ₂
77	P8 ₃	P8 ₃	P8 ₃
78	P8 ₄ /IRQ ₃ /TxD ₁	P8 ₄ /IRQ ₃ /TxD ₁	P8 ₄ /IRQ ₃ /TxD ₁
79	P8 ₅ /IRQ ₄ /RxD ₁	P8 ₅ /IRQ ₄ /RxD ₁	P8 ₅ /IRQ ₄ /RxD ₁
80	P8 ₆ /IRQ ₅ /SCK ₁	P8 ₆ /IRQ ₅ /SCK ₁	P8 ₆ /IRQ ₅ /SCK ₁

表 1.3 H8/3522 のモード別ピン配置一覧(1)

ピン番号		拡張モード		シングルチップモード
DP-64S	FP-64A	モード1	モード2	モード3
1	57	P4 ₀ /ADTRG/IRQ ₂	P4 ₀ /ADTRG/IRQ ₂	P4 ₀ /ADTRG/IRQ ₂
2	58	P4 ₁ /IRQ ₁	P4 ₁ /IRQ ₁	P4 ₁ /IRQ ₁
3	59	P4 ₂ /IRQ ₀	P4 ₂ /IRQ ₀	P4 ₂ /IRQ ₀
4	60	RD	RD	P4 ₃
5	61	WR	WR	P4 ₄
6	62	AS	AS	P4 ₅
7	63	φ	φ	P4 ₆ /φ
8	64	P4 ₇ /WAIT	P4 ₇ /WAIT	P4 ₇
9	1	P5 ₀ /TxD	P5 ₀ /TxD	P5 ₀ /TxD
10	2	P5 ₁ /RxD	P5 ₁ /RxD	P5 ₁ /RxD
11	3	P5 ₂ /SCK	P5 ₂ /SCK	P5 ₂ /SCK
12	4	RES	RES	RES
13	5	NMI	NMI	NMI
14	6	V _{cc}	V _{cc}	V _{cc}
15	7	STBY	STBY	STBY
16	8	V _{ss}	V _{ss}	V _{ss}
17	9	XTAL	XTAL	XTAL
18	10	EXTAL	EXTAL	EXTAL
19	11	MD ₁	MD ₁	MD ₁
20	12	MD ₀	MD ₀	MD ₀
21	13	AV _{ss}	AV _{ss}	AV _{ss}
22	14	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀
23	15	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁
24	16	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂
25	17	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃
26	18	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄
27	19	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅
28	20	P7 ₆ /AN ₆	P7 ₆ /AN ₆	P7 ₆ /AN ₆
29	21	P7 ₇ /AN ₇	P7 ₇ /AN ₇	P7 ₇ /AN ₇
30	22	AV _{cc}	AV _{cc}	AV _{cc}

表1.3 H8/3522のモード別ピン配置一覧(2)

ピン番号		拡張モード		シングルチップモード
DP-64S	FP-64A	モード1	モード2	モード3
31	23	P6 ₀ /FTCI/TMCI ₀	P6 ₀ /FTCI/TMCI ₀	P6 ₀ /FTCI/TMCI ₀
32	24	P6 ₁ /FTOA	P6 ₁ /FTOA	P6 ₁ /FTOA
33	25	P6 ₂ /FTIA	P6 ₂ /FTIA	P6 ₂ /FTIA
34	26	P6 ₃ /FTIB/TMRI ₀	P6 ₃ /FTIB/TMRI ₀	P6 ₃ /FTIB/TMRI ₀
35	27	P6 ₄ /FTIC/TMO ₀	P6 ₄ /FTIC/TMO ₀	P6 ₄ /FTIC/TMO ₀
36	28	P6 ₅ /FTID/TMCI ₁	P6 ₅ /FTID/TMCI ₁	P6 ₅ /FTID/TMCI ₁
37	29	P6 ₆ /FTOB/TMRI ₁	P6 ₆ /FTOB/TMRI ₁	P6 ₆ /FTOB/TMRI ₁
38	30	P6 ₇ /TMO ₁	P6 ₇ /TMO ₁	P6 ₇ /TMO ₁
39	31	V _{cc}	V _{cc}	V _{cc}
40	32	A ₁₅	P2 ₇ /A ₁₅	P2 ₇
41	33	A ₁₄	P2 ₆ /A ₁₄	P2 ₆
42	34	A ₁₃	P2 ₅ /A ₁₃	P2 ₅
43	35	A ₁₂	P2 ₄ /A ₁₂	P2 ₄
44	36	A ₁₁	P2 ₃ /A ₁₁	P2 ₃
45	37	A ₁₀	P2 ₂ /A ₁₀	P2 ₂
46	38	A ₉	P2 ₁ /A ₉	P2 ₁
47	39	A ₈	P2 ₀ /A ₈	P2 ₀
48	40	V _{ss}	V _{ss}	V _{ss}
49	41	A ₇	P1 ₇ /A ₇	P1 ₇
50	42	A ₆	P1 ₆ /A ₆	P1 ₆
51	43	A ₅	P1 ₅ /A ₅	P1 ₅
52	44	A ₄	P1 ₄ /A ₄	P1 ₄
53	45	A ₃	P1 ₃ /A ₃	P1 ₃
54	46	A ₂	P1 ₂ /A ₂	P1 ₂
55	47	A ₁	P1 ₁ /A ₁	P1 ₁
56	48	A ₀	P1 ₀ /A ₀	P1 ₀
57	49	D ₀	D ₀	P3 ₀
58	50	D ₁	D ₁	P3 ₁
59	51	D ₂	D ₂	P3 ₂
60	52	D ₃	D ₃	P3 ₃
61	53	D ₄	D ₄	P3 ₄
62	54	D ₅	D ₅	P3 ₅
63	55	D ₆	D ₆	P3 ₆
64	56	D ₇	D ₇	P3 ₇

(2) 端子機能

各端子の機能について表1.4に示します。

表1.4 端子機能(1)

分類	記号	ピン番号			入出力	名称および機能
		H8/3534		H8/3522		
		FP-80A	FP-64A	DP-64S		
電源	V _{cc}	8、47	6、31	14、39	入力	<u>電源</u> 電源に接続します。 V _{cc} 端子は、全端子をシステムの電源に接続してください。
	V _{ss}	12、56、 73	8、40	16、48	入力	<u>グランド</u> 電源(0V)に接続します。 V _{ss} 端子は、全端子をシステムの電源(0V)に接続してください。
クロック	XTAL	2	9	17	入力	水晶発振子を接続します。周波数は、システムクロックと同じものを使用してください。 EXTAL端子から外部クロックを入力するときは、XTAL端子に逆相クロックを入力してください。
	EXTAL	3	10	18	入力	水晶発振子を接続します。また、EXTAL端子は外部クロックを入力することもできます。外部クロック入力の周波数は、システムクロックと同じものを使用してください。 水晶発振子を接続する場合、および外部クロック入力の場合の接続例については「第6章 クロック発振器」を参照してください。
	φ	14	63	7	出力	<u>システムクロック</u> 周辺デバイスにシステムクロックを供給します。
システム制御	RES	1	4	12	入力	<u>リセット</u> この端子を“Low”レベルにすると、リセット状態になります。

表 1.4 端子機能(2)

分類	記号	ピン番号			入出力	名称および機能
		H8/3534		H8/3522		
		FP-80A	FP-64A	DP-64S		
システム制御	<u>STBY</u>	7	7	15	入力	<u>スタンバイ</u> ハードウェアスタンバイモードに遷移するための入力端子です。 <u>STBY</u> 端子を“Low”レベルにするとハードウェアスタンバイモードに遷移します。
アドレスバス	A ₁₅ ~ A ₀	48~55、 57~64	32~39 41~48	40~47 49~56	出力	<u>アドレスバス</u> アドレスを出力する端子です。
データバス	D ₇ ~D ₀	72~65	56~49	64~57	入出力	<u>データバス</u> 8ビットの双方向データバスです。
バス制御	<u>WAIT</u>	13	64	8	入力	<u>ウェイト</u> CPUが外部アドレスをアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。
	<u>RD</u>	17	60	4	出力	<u>リード</u> この端子が“Low”レベルのとき、CPUは外部アドレスのリード状態であることを示します。
	<u>WR</u>	16	61	5	出力	<u>ライト</u> この端子が“Low”レベルのとき、CPUは外部アドレスのライト状態であることを示します。
	<u>AS</u>	15	62	6	出力	<u>アドレスストローブ</u> この端子が“Low”レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
割込み	<u>NMI</u>	6	5	13	入力	<u>ノンマスクブル割込み</u> マスク不可能な割込みを要求する端子です。 システムコントロールレジスタ(SYS CR)によって立上がりエッジ/立下がりエッジのどちらで受け付けられるかを選択します。

表 1.4 端子機能(3)

分類	記号	ピン番号			入出力	名称および機能																
		H8/3534		H8/3522																		
		FP-80A	FP-64A	DP-64S																		
割込み	<u>IRQ₀</u> ～ <u>IRQ₇</u> 、 <u>IRQ₀</u> ～ <u>IRQ₂</u>	18~20、 78~80 27、28	59~57	3~1	入力	<u>割込み要求 0～7【H8/3534】</u> <u>0～2【H8/3522】</u> マスク可能な割込みを要求する端子です。																
動作モードコントロール	MD ₁ MD ₀	4 5	11 12	19 20	入力	<u>モード端子</u> 本LSIの動作モードを設定する端子です。MD ₁ 、MD ₀ 端子と動作モードの関係は次の通りです。 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <th>MD₁</th> <th>MD₀</th> <th>動作モード</th> <th>内 容</th> </tr> <tr> <td>0</td> <td>1</td> <td>モード1</td> <td>内蔵ROM無効拡張モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>モード2</td> <td>内蔵ROM有効拡張モード</td> </tr> <tr> <td>1</td> <td>1</td> <td>モード3</td> <td>シングルチップモード</td> </tr> </table>	MD ₁	MD ₀	動作モード	内 容	0	1	モード1	内蔵ROM無効拡張モード	1	0	モード2	内蔵ROM有効拡張モード	1	1	モード3	シングルチップモード
MD ₁	MD ₀	動作モード	内 容																			
0	1	モード1	内蔵ROM無効拡張モード																			
1	0	モード2	内蔵ROM有効拡張モード																			
1	1	モード3	シングルチップモード																			
16ビットフリーランニングタイマ(FRT)	FTCI FTOA FTOB FTIA FTIB FTIC FTID	21 22 27 23 24 25 26 28	23 24 29 25 26 27 28	31 32 37 33 34 35 36	入力 出力 出力 入力 入力 入力 入力	<u>FRTカウンタクロック入力</u> フリーランニングカウンタ(FRC)に入力する外部クロックの入力端子です。 <u>FRTアウトプットコンペアA出力</u> アウトプットコンペアAの出力端子です。 <u>FRTアウトプットコンペアB出力</u> アウトプットコンペアBの出力端子です。 <u>FRTインプットキャプチャA入力</u> インプットキャプチャAの入力端子です。 <u>FRTインプットキャプチャB入力</u> インプットキャプチャBの入力端子です。 <u>FRTインプットキャプチャC入力</u> インプットキャプチャCの入力端子です。 <u>FRTインプットキャプチャD入力</u> インプットキャプチャDの入力端子です。																
8ビットタイマ	TM0 ₀ TM0 ₁ TMCI ₀ TMCI ₁	40 43 39 42	27 30 23 28	35 38 31 36	出力 出力 入力 入力	<u>8ビットタイマ出力(チャネル0,1)</u> 8ビットタイマのコンペアマッチ出力端子です。 <u>8ビットタイマクロック入力(チャネル0,1)</u> 8ビットタイマのカウンタに入力する外部クロックの入力端子です。																

表 1.4 端子機能(4)

分類	記号	ピン番号			入出力	名称および機能
		H8/3534		H8/3522		
		FP-80A	FP-64A	DP-64S		
8ビット タイマ	TMRI ₀ TMRI ₁	41	26	34	入力	<u>8ビットタイマカウンタリセット入力</u> (チャネル0,1) 8ビットタイマのカウンタリセット入力端子です。
		44	29	37		
PWM タイマ 【H8/3534 のみ】	PW ₀	45	—	—	出力	<u>PWMタイマ出力</u> (チャネル0,1) PWMタイマのパルス出力端子です。
	PW ₁	46	—	—		
シリアル コミュニケ ンション インターフェース (SCI)	TxD ₀	11	1	9	出力	<u>送信データ出力</u> (チャネル0,1) SCIのデータ出力端子です。
	TxD ₁	78	—	—		
キーボー ドコント ロール 【H8/3534 のみ】	RxD ₀	10	2	10	入力	<u>受信データ入力</u> (チャネル0,1) SCIのデータ入力端子です。
	RxD ₁	79	—	—		
A/D 変換器	SCK ₀	9	3	11	入出力	<u>シリアルクロック入出力</u> (チャネル0,1) SCIのクロック入出力端子です。
	SCK ₁	80	—	—		
A/D 変換器	KEYIN ₀ ～ KEYIN ₇	21~28	—	—	入力	<u>キーボード入力</u> マトリクスキーボードのための入力端子です(通常はP1 ₀ ～P1 ₇ とP2 ₀ ～P2 ₇ をキーボードスキャン用出力として使用します。これにより、最大16出力×8入力、128キーのマトリックスが構成できます。他のポート出力を用いてキー数を増すことも可能です)。
	AN ₇ ～ AN ₀	37~30	21~14	29~22		<u>アナログ入力</u> A/D変換器のアナログ入力端子です。
	ADTRG	20	57	1	入力	<u>A/D変換外部トリガ入力</u> A/D変換開始のための外部トリガ信号入力端子です。

表 1.4 端子機能(5)

分類	記号	ピン番号			入出力	名称および機能
		H8/3534		H8/3522		
		FP-80A	FP-64A	DP-64S		
A/D 変換器	AV _{cc}	29	22	30	入力	<u>アナログ電源</u> A/D 変換器のアナログ部電源端子です。 A/D 変換器を使用しない場合、システムの電源 (V _{cc}) に接続してください。
	AV _{ss}	38	13	21	入力	<u>アナロググランド</u> A/D 変換器のグランド端子です。 システムの電源 (0V) に接続してください。
I/O ポート	P _{1,~10}	57~64	41~48	49~56	入出力	<u>ポート 1</u> 8 ビットの入出力端子です。ポート 1 DDR によって、1 ビットごとに入出力を指定できます。入力プルアップMOS が内蔵されています。また、LED 駆動が可能です。
	P _{2,~10}	48~55	32~39	40~47	入出力	<u>ポート 2</u> 8 ビットの入出力端子です。P 2 DDR によって、1 ビットごとに入出力を指定できます。入力プルアップMOS が内蔵されています。また、LED 駆動が可能です。
	P _{3,~10}	72~65	56~49	64~57	入出力	<u>ポート 3</u> 8 ビットの入出力端子です。P 3 DDR によって、1 ビットごとに入出力を指定できます。入力プルアップMOS が内蔵されています。
	P _{4,~10}	46~39	—	—	入出力	<u>ポート 4</u> 【H 8 / 3 5 3 4】 8 ビットの入出力端子です。P 4 DDR によって、1 ビットごとに入出力を指定できます。

表 1.4 端子機能(6)

分類	記号	ピン番号			入出力	名称および機能		
		H8/3534	H8/3522					
		FP-80A	FP-64A	DP-64S				
I/O ポート	P5 ₂ ~P5 ₀	9~11	3~1	11~9	入出力	<u>ポート5</u> 3ビットの入出力端子です。P5DDRによって、1ビットごとに入出力を指定できます。		
	P6 ₇ ~P6 ₀	28~21	30~23	38~31	入出力	<u>ポート6</u> 8ビットの入出力端子です。P6DDRによって、1ビットごとに入出力を指定できます。 入力プルアップMOSが内蔵されています。【H8/3534のみ】		
	P7 ₇ ~P7 ₀	37~30	21~14	29~22	入力	<u>ポート7</u> 8ビットの入力端子です。		
	P8 ₆ ~P8 ₀	80~74	—	—	入出力	<u>ポート8</u> 7ビットの入出力端子です。P8DDRによって、1ビットごとに入出力を指定できます。		
	P9 ₇ ~P9 ₀ 【H8/3534】 P4 ₇ ~P4 ₀ 【H8/3522】	13~20	64~57	8~1	入出力	<u>ポート9【H8/3534】</u> 8ビットの入出力端子です。P9DDRによって、1ビットごとに入出力を指定できます(P9 ₆ を除く)。 <u>ポート4【H8/3522】</u> 8ビットの入出力端子です。P4DDRによって、1ビットごとに入出力を指定できます(P4 ₆ を除く)。		

2. C P U

2

第2章 目次

2. 1 概要	25
2. 1. 1 特長	25
2. 1. 2 アドレス空間	26
2. 1. 3 レジスタ構成	26
2. 2 各レジスタの説明	27
2. 2. 1 汎用レジスタ	27
2. 2. 2 コントロールレジスタ	27
2. 2. 3 C P U 内部レジスタの初期値	29
2. 3 データ構成	29
2. 3. 1 汎用レジスタのデータ構成	30
2. 3. 2 メモリ上でのデータ構成	31
2. 4 アドレッシングモード	32
2. 4. 1 アドレッシングモード	32
2. 4. 2 実効アドレスの計算方法	34
2. 5 命令セット	38
2. 5. 1 データ転送命令	40
2. 5. 2 算術演算命令	42
2. 5. 3 論理演算命令	43
2. 5. 4 シフト命令	43
2. 5. 5 ビット操作命令	45
2. 5. 6 分岐命令	51
2. 5. 7 システム制御命令	53
2. 5. 8 ブロック転送命令	54

2. 6	処理状態	55
2. 6. 1	概要	55
2. 6. 2	プログラム実行状態	56
2. 6. 3	例外処理状態	56
2. 6. 4	低消費電力状態	56
2. 7	基本動作タイミング	57
2. 7. 1	内蔵メモリ（RAM、ROM）	57
2. 7. 2	内蔵周辺モジュール／外部デバイス	58

2.1 概要

H8/300CPUは、8ビット×16本（または16ビット×8本）の汎用レジスタ、ならびに高速動作に適した簡潔な命令セットを備えた高速CPUです。

2.1.1 特長

H8/300CPUには、次の特長があります。

■汎用レジスタ方式

- 8ビット×16本（16ビット×8本としても使用可能）

■57種類の基本命令

- 乗除算命令
- 強力なビット操作命令

■8種類のアドレッシングモード

- レジスタ直接（Rn）
- レジスタ間接（@Rn）
- ディスプレースメント付レジスタ間接（@(d:16, Rn)）
- ポストインクリメント／プリデクリメントレジスタ間接（@Rn+／@-Rn）
- 絶対アドレス（@aa:8／@aa:16）
- イミディエイト（#xx:8／#xx:16）
- プログラムカウンタ相対（@(d:8, PC)）
- メモリ間接（@@aa:8）

■64kバイトのアドレス空間

■高速動作

- 頻出命令をすべて2～4ステートで実行
- 最高動作周波数：10MHz／5V（φクロック）

8／16ビットレジスタ間加減算	200ns (10MHz動作時)
8×8ビット乗算	1400ns (10MHz動作時)
16÷8ビット除算	1400ns (10MHz動作時)

■低消費電力動作

SLEEP命令により低消費電力状態に遷移

2.1.2 アドレス空間

H8/300 CPUがサポートするアドレス空間は、プログラムコードとデータ領域合計で最大64kバイトです。

メモリマップはモード（モード1、2、3）別に異なります。詳細は、「3.4 各動作モードのメモリマップ」を参照してください。

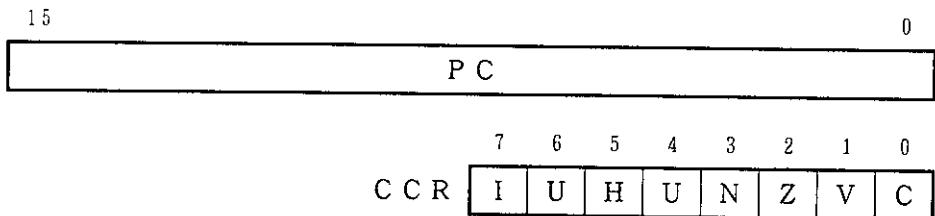
2.1.3 レジスタ構成

H8/300 CPUの内部レジスタ構成を図2.1に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの2つに分類することができます。

汎用レジスタ (Rn)

7	0	7	0
R0H		R0L	
R1H		R1L	
R2H		R2L	
R3H		R3L	
R4H		R4L	
R5H		R5L	
R6H		R6L	
R7H	(S.P.)	R7L	

コントロールレジスタ (CR)



〈記号説明〉

S P : スタックポインタ

P C : プログラムカウンタ

CCR : コンディションコードレジスタ

I : 割込みマスクビット

U : ユーザビット

H : ハーフキャリフラグ

N : ネガティブフラグ

Z : ゼロフラグ

V : オーバフローフラグ

C : キャリフラグ

図2.1 CPU内部レジスタ構成

2.2 各レジスタの説明

2.2.1 汎用レジスタ

汎用レジスタは、すべて同じ機能をもっており、データレジスタ、アドレスレジスタの区別なく使用できます。

データレジスタとして使用する場合は、8ビットレジスタとして上位（R0H～R7H）と下位（R0L～R7L）を別々に使用することも、また16ビットレジスタ（R0～R7）として使用することもできます。

アドレスレジスタとして使用する場合は、16ビットレジスタ（R0～R7）として使用します。

レジスタR7には、汎用レジスタとしての機能に加えて、スタックポインタ（S P）としての機能が割り当てられており、例外処理やサブルーチンコールなどで暗黙的に使用されます。このとき、S Pは常にスタック領域の先頭を指しています。スタックの状態を図2.2に示します。

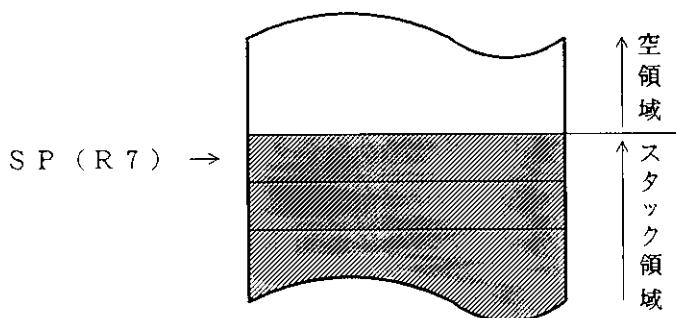


図2.2 スタックの状態

2.2.2 コントロールレジスタ

コントロールレジスタには、16ビットのプログラムカウンタ（P C）と8ビットのコンディションコードレジスタ（C C R）があります。

(1) プログラムカウンタ（P C）

16ビットのカウンタで、C P Uが次に実行する命令のアドレスを示しています。C P Uの命令は、すべて16ビット（ワード）を単位としているため、最下位ビットは無効です（命令コードのリード時には最下位ビットは“0”とみなされます）。

(2) コンディションコードレジスタ（C C R）

8ビットのレジスタで、C P Uの内部状態を示しています。割込みマスクビット（I）とハーフキャリ（H）、ネガティブ（N）、ゼロ（Z）、オーバフロー（V）、キャリ（C）の各フラグを含む8ビットで構成されています。

ビット7：割込みマスクビット(1)

本ビットが“1”にセットされると、割込みがマスクされます。ただし、NMIはIビットに関係なく常に受付けられます。例外処理の実行が開始されたときに“1”にセットされます。

ビット6：ユーザビット(U)

ソフトウェア(LDC、STC、ANDC、ORC、XORC命令)でリード／ライトできます。

ビット5：ハーフキャリフラグ(H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B命令の実行により、ビット3にキャリまたはボローが生じたとき“1”にセットされ、生じなかったとき“0”にクリアされます。

DAAおよびDAS命令実行時に、暗黙的に使用されます。

ADD.W、SUB.W、CMP.W命令ではビット11にキャリまたはボローが生じたとき“1”にセットされ、生じなかったとき“0”にクリアされます。

ビット4：ユーザビット(U)

ソフトウェア(LDC、STC、ANDC、ORC、XORC命令)でリード／ライトできます。

ビット3：ネガティブフラグ(N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット2：ゼロフラグ(Z)

データがゼロのとき“1”にセットされ、ゼロ以外のとき“0”にクリアされます。

ビット1：オーバフローフラグ(V)

算術演算命令の実行により、オーバフローが生じたとき“1”にセットされます。それ以外のとき“0”にクリアされます。

ビット0：キャリフラグ(C)

演算の実行により、キャリが生じたとき“1”にセットされ、生じなかったとき“0”にクリアされます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のボロー
- (c) シフト／ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。CCRは、LDC、STC、ANDC、ORC、XORC命令で操作することができます。また、N、Z、V、Cの各フラグは、条件分岐命令(Bcc)で使用されます。

各命令ごとのフラグの変化については、「H8/300シリーズ プログラミングマニュアル」を参照してください。

2.2.3 CPU内部レジスタの初期値

リセット例外処理によって、CPU内部レジスタのうち、PCはベクタからロードすることにより初期化され、CCRのIビットは“1”にセットされますが、汎用レジスタおよびCCRの他のビットは初期化されません。レジスタR7(SP)の初期値も不定です。したがって、リセット直後に、CCRの初期化およびR7の初期化を行ってください。

2.3 データ構成

H8/300CPUは、1ビット、4ビットBCD、8ビット(バイト)、16ビット(ワード)のデータを扱うことができます。

1ビットデータはビット操作命令で扱われ、オペランドデータ(バイト)の第nビット($n = 0, 1, 2, \dots, 7$)という形式でアクセスされます。

バイトデータは、ADD.S、SUB.S以外の演算命令で扱われます。また、ワードデータは、MOV.W、ADD.W、SUB.W、CMP.W、ADD.S、SUB.S、MULXU(8ビット×8ビット)、DIVXU(16ビット÷8ビット)命令で扱われます。

なお、DAAおよびDASの10進補正命令では、バイトデータは2桁の4ビットBCDデータとなります。

2.3.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図2.3に示します。

データ形	レジスタ番号	データイメージ
1ビットデータ	RnH	7 6 5 4 3 2 1 0 don't care
1ビットデータ	RnL	don't care 7 6 5 4 3 2 1 0
バイトデータ	RnH	7 MSB 0 LSB don't care
バイトデータ	RnL	don't care 7 MSB 0 LSB
ワードデータ	Rn	15 MSB 0 LSB
4ビット BCDデータ	RnH	7 上位桁 4 3 下位桁 0 don't care
4ビット BCDデータ	RnL	don't care 7 上位桁 4 3 下位桁 0

〈記号説明〉

RnH : 汎用レジスタ上位

RnL : 汎用レジスタ下位

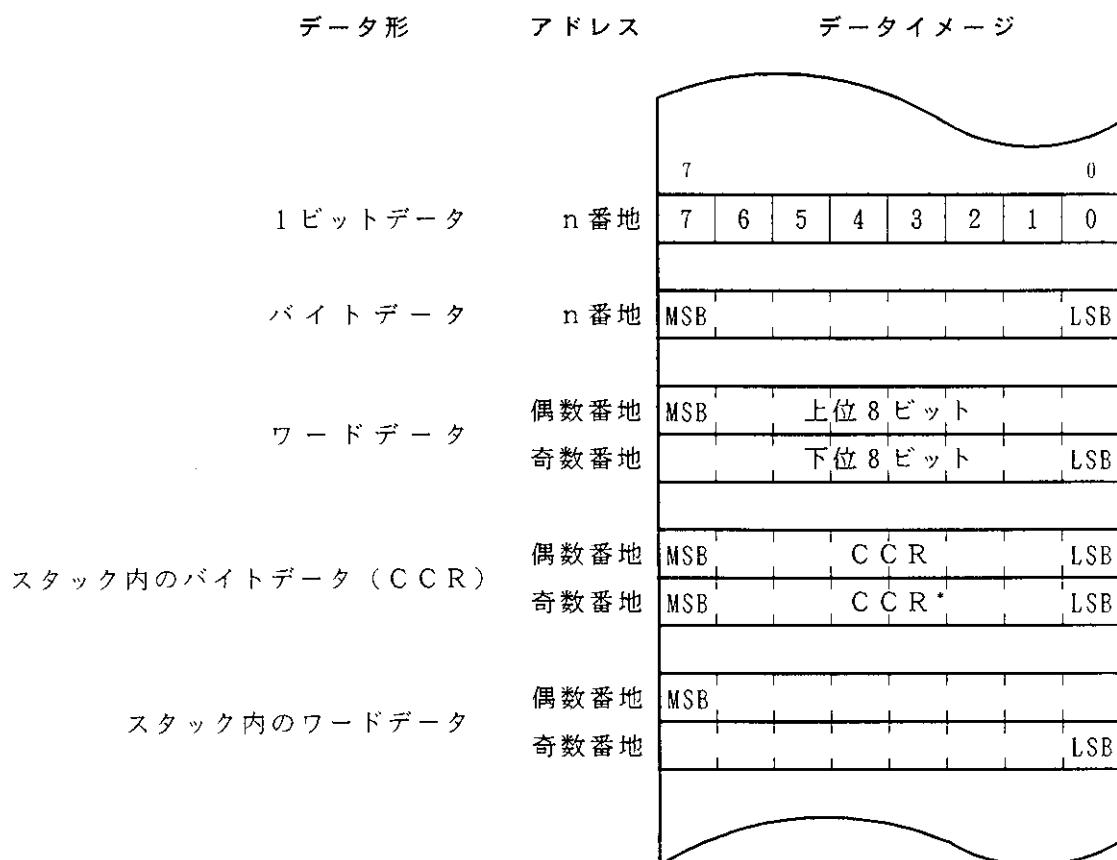
MSB : 最上位ビット

LSB : 最下位ビット

図2.3 汎用レジスタのデータ構成

2.3.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図2.4に示します。H8/300CPUは、メモリ上のワードデータをアクセスすることができます(MOV.W命令)が、偶数番地から始まるワードデータに限定されます。奇数番地から始まるワードデータをアクセスした場合、アドレスの最下位ビットは“0”とみなされ、1番地前から始まるワードデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。



【注】* リターン時には無視されます。

〈記号説明〉

CCR : コンディションコードレジスタ

図2.4 メモリ上でのデータ構成

なお、R7をスタックアドレスとしてアクセスするときは、必ずワードサイズでアクセスしてください。また、CCRは、ワードデータとして上位8ビット、下位8ビットに同じ値が格納されますが、リターン時には、下位8ビットは無視されます。

2.4 アドレッシングモード

2.4.1 アドレッシングモード

H8/300CPUは、表2.1に示すように、8種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

表2.1 アドレッシングモード一覧表

No.	アドレッシングモード	記号
①	レジスタ直接	Rn
②	レジスタ間接	@Rn
③	ディスプレースメント付レジスタ間接	@(d:16, Rn)
④	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@Rn+ @-Rn
⑤	絶対アドレス	@aa:8 / @aa:16
⑥	イミディエイト	#xx:8 / #xx:16
⑦	プログラムカウンタ相対	@(d:8, PC)
⑧	メモリ間接	@@aa:8

① レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ（8ビットまたは16ビット）がオペランドとなります。

16ビットレジスタを使用する命令は、MOV.W、ADD.W、SUB.W、CMP.W、ADD.S、SUB.S、MUL.XU（8ビット×8ビット）、DIV.XU（16ビット÷8ビット）の各命令です。

② レジスタ間接 @Rn

命令コードのレジスタフィールドで指定されるレジスタ（16ビット）の内容をアドレスとしてメモリ上のオペランドを指定します。

③ ディスプレースメント付レジスタ間接 @(d:16, Rn)

命令コードのレジスタフィールドで指定されるレジスタ（16ビット）の内容に、命令コードの第2ワード（第3、第4バイト）の16ビットディスプレースメントを加算した内容をアドレスとして、メモリ上のオペランドを指定します。

本アドレッシングモードは、MOV命令のみで使用されます。特に、MOV.W命令では、加算結果が偶数となるようにしてください。

④ ポストインクリメントレジスタ間接 @Rn+ / プリデクリメントレジスタ間接 @-Rn

・ポストインクリメントレジスタ間接 @Rn+

MOV (Load from)命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ（16ビット）の内容をアドレスとして、メモリ上のオペランドを指定します。その後、レジスタの内容に1または2が加算され、加算結果がレジスタに格納されます。MOV.B命令では1、MOV.W命令では2がそれぞれ

加算されます。MOV.W命令では、レジスタの内容が偶数になるようにしてください。

• プリデクリメントレジスタ間接 @-R n

MOV(Store to)命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ(16ビット)の内容から1または2を減算した内容をアドレスとして、メモリ上のオペランドを指定します。その後、減算結果がレジスタに格納されます。MOV.B命令では1、MOV.W命令では2がそれぞれ減算されます。MOV.W命令では、レジスタの内容が偶数となるようにしてください。

⑤ 絶対アドレス @aa:8/@aa:16

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

このとき、絶対アドレスは8ビット(@aa:8)または16ビット(@aa:16)で、8ビット絶対アドレスはMOV.B、ビット操作命令で、16ビット絶対アドレスはMOV.B、MOV.W、JMP、JSRの各命令で使用されます。

8ビット絶対アドレスの場合、上位8ビットはすべて“1”(H'FF)となります。したがって、アクセス範囲は65280～65535(H'FF00～H'FFFF)番地です。

⑥ イミディエイト #xx:8/#xx:16

命令コードの第2バイト(#xx:8)または第3、第4バイト(#xx:16)を直接オペランドとして使用します。#xx:16は、MOV.W命令のみで使用されます。

なお、ADD.SおよびSUB.S命令では、イミディエイトデータ(1または2)が命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが、命令コードの第2または第4バイトに含まれる場合があります。

⑦ プログラムカウンタ相対 @(d:8, PC)

BCC、BSRの各命令で使用されます。PCの内容に、命令コードの第2バイトの8ビットディスプレースメントを加算して、分岐アドレスを生成します。加算に際して、ディスプレースメントは16ビットに符号拡張され、また加算されるPCの内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して-126～+128バイト(-63～+64ワード)です。このとき、加算結果が偶数となるようにしてください。

⑧ メモリ間接 @@aa:8

JMPおよびJSR命令で使用されます。

命令コードの第2バイトに含まれる8ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。この場合、8ビット絶対アドレスの上位8ビットはすべて“0”(H'00)となります。分岐アドレスを格納できるのは0～255(H'0000～H'00FF)番地です。ただし、この領域の一部はベクタ領域と共通になっていますから注意してください。
(「3.4 各動作モードのメモリマップ」を参照してください)

分岐アドレスまたはMOV.W命令のオペランドアドレスとして奇数アドレスを指定した場合、最下位ビットは“0”とみなされ、1番地前から始まるワードデータをアクセスします(「2.3.2. メモリ上でのデータ構成」を参照してください)。

2.4.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA : Effective Address）の計算法を表2.2に示します。

演算命令では、①レジスタ直接、および⑥イミディエイト（ADD, B, ADDX, SUBX, CMP, B, AND, OR, XORの各命令）が使用されます。

転送命令では、⑦プログラムカウンタ相対と⑧メモリ間接を除くすべてのアドレッシングモードが使用可能です。

また、ビット操作命令では、オペランドの指定に①レジスタ直接、②レジスタ間接および⑤絶対アドレス（8ビット）が使用可能です。さらに、オペランド中のビット番号を指定するために①レジスタ直接（BSET, BCLR, BNOP, BTSTの各命令）および⑥イミディエイト（3ビット）が独立して使用可能です。

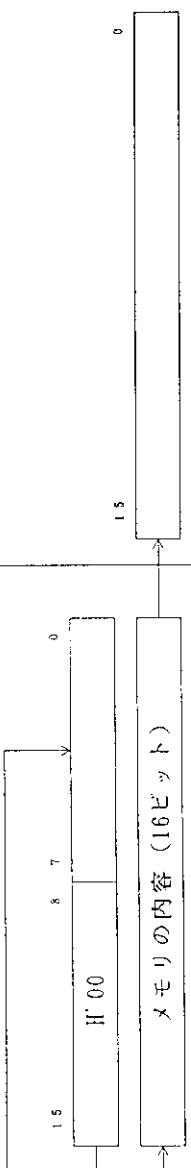
表 2.2 実効アドレスの計算方法(1)

No	アドレスシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス(EA)
①	レジスタ直接 R n 15 8 7 4 3 0 0p reg reg		3 0 3 0 reg reg
②	レジスタ間接 @ R n 15 7 6 4 3 0 0p reg	オペランドは reg/n の内容です。 0 15 reg の内容 (16ビット)	0 15
③	ディスプレースメント付レジスタ間接 @ (d:16, R n) 15 7 6 4 3 0 0p reg disp	0 15 reg の内容 (16ビット)	0 15
④	#ストイクリメントレジスタ間接 / #リデクリメントレジスタ間接 • #ストイクリメントレジスタ間接 @ R n + 15 7 6 4 3 0 0p reg 1 or 2 • #リデクリメントレジスタ間接 @ - R n 15 7 6 4 3 0 0p reg	0 15 reg の内容 (16ビット) 0 15 reg の内容 (16ビット) 0 15 1 or 2 0 15 reg の内容 (16ビット) 0 15 1 or 2	0 15

表2.2 実効アドレスの計算方法(2)

No	アドレスシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス(EA)
⑤ 絶対アドレス @aa:8	15 8 7 0 0p abs		15 8 7 0 H FF
@aa:16	15 0 0p abs		15 0
⑥ イミディエイト #xx:8	15 8 7 0 0p IMM	オペランドはイミディエイトデータの1または2バイトデータです。	15 8 7 0
#xx:16	15 0 0p IMM		15 0
⑦ プログラムカウンタ相対 @(d:8, PC)	15 8 7 0 0p disp	PCの内容 符号拡張 disp	15 0

表2.2 実効アドレスの計算方法(3)

No.	アドレスシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス(EA)
⑧	メモリ間接@ @ aa:8		

<記号説明>

reg、regm、regn: 汎用レジスター
 op : オペレーショントラブルド
 disp: ディスプレースメント
 IMM: イミディエイトデータ
 abs: 絶対アドレス

2.5 命令セット

H 8 / 300 CPU の命令は合計57種類あり、各命令のもつ機能によって、表2.3に示すように分類されます。

表2.3 命令の分類

機能	命令	種類
データ転送命令	MOV, MOVFPE ^{*3} , MOVTPE ^{*3} , POP ^{*1} , PUSH ^{*1}	3
算術演算命令	ADD, SUB, ADDX, SUBX, INC, DEC, ADDS, SUBS, DAA, DAS, MULXU, DIVXU, CMP, NEG	14
論理演算命令	AND, OR, XOR, NOT	4
シフト命令	SHAL, SHAR, SHLL, SHLR, ROTL, ROTR, ROTXL, ROTXR	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR, BLD, BILD, BST, BIST	14
分岐命令	Bcc ^{*2} , JMP, BSR, JSR, RTS	5
システム制御命令	RTE, SLEEP, LDC, STC, ANDC, ORC, XORC, NOP	8
ブロック転送命令	EEPMOV	1

合計57種

【注】^{*1} POP Rn, PUSH Rn は、それぞれMOV.W @SP+, Rn, MOV.W Rn, @-SP と同一です。

^{*2} Bcc は条件分岐命令の総称です。

^{*3} 本LSIでは使用できません。

各命令の機能について表2.4～表2.11に示します。各表で使用しているオペレーションの記号の意味は次の通りです。

《オペレーションの記号》

R d	汎用レジスタ（デスティネーション側）
R s	汎用レジスタ（ソース側）
R n	汎用レジスタ
(E A d)	デスティネーションオペランド
(E A s)	ソースオペランド
C C R	コンディションコードレジスタ
N	C C RのN（ネガティブ）フラグ
Z	C C RのZ（ゼロ）フラグ
V	C C RのV（オーバフロー）フラグ
C	C C RのC（キャリ）フラグ
P C	プログラムカウンタ
S P	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスペリースメント
+	加算
-	減算
×	乗算
÷	除算
^	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
:3/:8/:16	3/8/16ビット長

2.5.1 データ転送命令

データ転送命令の機能を表2.4に示します。

表2.4 データ転送命令

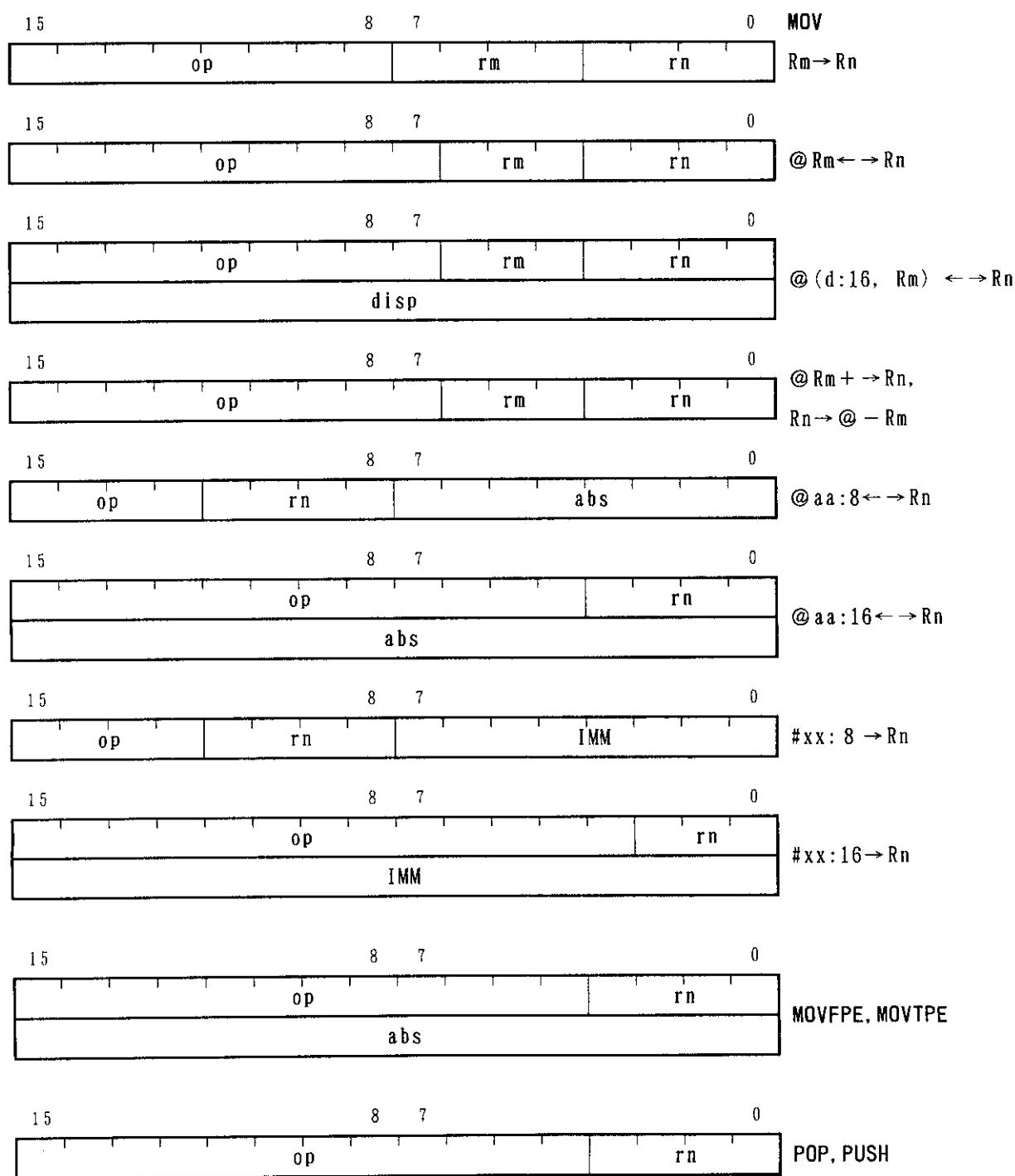
命 令	サ イ ズ*	機 能
MOV	B / W	(E A s) —→ R d、R s —→ (E A d) 汎用レジスタと汎用レジスタまたは汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。 ワードデータはR n、@R n、@(d:16, R n)、@aa:16、#xx:16、@-R n、@R n+の各アドレッシングモードで扱います。@aa:8はバイトデータのみです。 ただし、@-R 7、@R 7+を使用する場合は必ずワードサイズを指定してください。
MOV F P E	B	本LSIでは使用できません。
MOV T P E	B	本LSIでは使用できません。
POP	W	@S P + —→ R n スタックから汎用レジスタへデータを復帰します。 本命令はMOV.W @S P +, R nと同一です。
PUSH	W	R n —→ @-S P 汎用レジスタの内容をスタックに退避します。 本命令はMOV.W R n, @-S Pと同一です。

【注】* サイズはオペランドサイズを示します。

B : バイト

W : ワード

データ転送命令の命令フォーマットを図2.5に示します。



〈記号説明〉

- op : オペレーションフィールド
- rm, rn : レジスタフィールド
- disp : ディスプレースメント
- abs : 絶対アドレス
- IMM : イミディエイトデータ

図2.5 データ転送命令の命令フォーマット

2.5.2 算術演算命令

算術演算命令の機能を表2.5に示します。

表2.5 算術演算命令

命 令	サ イ ズ*	機 能
ADD SUB	B／W	$R_d \pm R_s \longrightarrow R_d$ 、 $R_d + \#IMM \longrightarrow R_d$ 汎用レジスタ間の加減算、または汎用レジスタとイミディエイトデータの加算を行います。汎用レジスタとイミディエイトデータの減算はできません。 ワードデータは、汎用レジスタ間の加減算のみで扱います。
ADDX SUBX	B	$R_d \pm R_s \pm C \longrightarrow R_d$ 、 $R_d \pm \#IMM \pm C \longrightarrow R_d$ 汎用レジスタ間のキャリ付の加減算、または汎用レジスタとイミディエイトデータのキャリ付の加減算を行います。
INC DEC	B	$R_d \pm 1 \longrightarrow R_d$ 汎用レジスタに1を加減算します。
ADDS SUBS	W	$R_d \pm 1 \longrightarrow R_d$ 、 $R_d \pm 2 \longrightarrow R_d$ 汎用レジスタに1または2を加減算します。
DAA DAS	B	R_d (10進補正) $\longrightarrow R_d$ 汎用レジスタ上の加減算結果をCCRを参照して4ビットBCDデータに補正します。
MULXU	B	$R_d \times R_s \longrightarrow R_d$ 汎用レジスタ間の符号なし乗算を行います。8ビット×8ビット→16ビットの演算が可能です。
DIVXU	B	$R_d \div R_s \longrightarrow R_d$ 汎用レジスタ間の符号なし除算を行います。16ビット÷8ビット→商8ビット余り8ビットの演算が可能です。
CMP	B／W	$R_d - R_s$ 、 $R_d - \#IMM$ 汎用レジスタ間の比較、または汎用レジスタとイミディエイトデータの比較を行い、その結果をCCRに反映します。 ワードデータは、汎用レジスタ間の比較のみで扱います。
NEG	B	$0 - R_d \longrightarrow R_d$ 汎用レジスタの内容の2の補数(算術的補数)をとります。

【注】* サイズはオペランドサイズを示します。

B : バイト
W : ワード

2.5.3 論理演算命令

論理演算命令の機能を表2.6に示します。

表2.6 論理演算命令

命 令	サ イ ズ*	機 能
A N D	B	R d \wedge R s \longrightarrow R d、R d \wedge #IMM \longrightarrow R d 汎用レジスタ間の論理積、または汎用レジスタとイミディエイトデータの論理積をとります。
O R	B	R d \vee R s \longrightarrow R d、R d \vee #IMM \longrightarrow R d 汎用レジスタ間の論理和、または汎用レジスタとイミディエイトデータの論理和をとります。
X O R	B	R d \oplus R s \longrightarrow R d、R d \oplus #IMM \longrightarrow R d 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
N O T	B	\sim R d \longrightarrow R d 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】* サイズはオペランドサイズを示します。
B : バイト

2.5.4 シフト命令

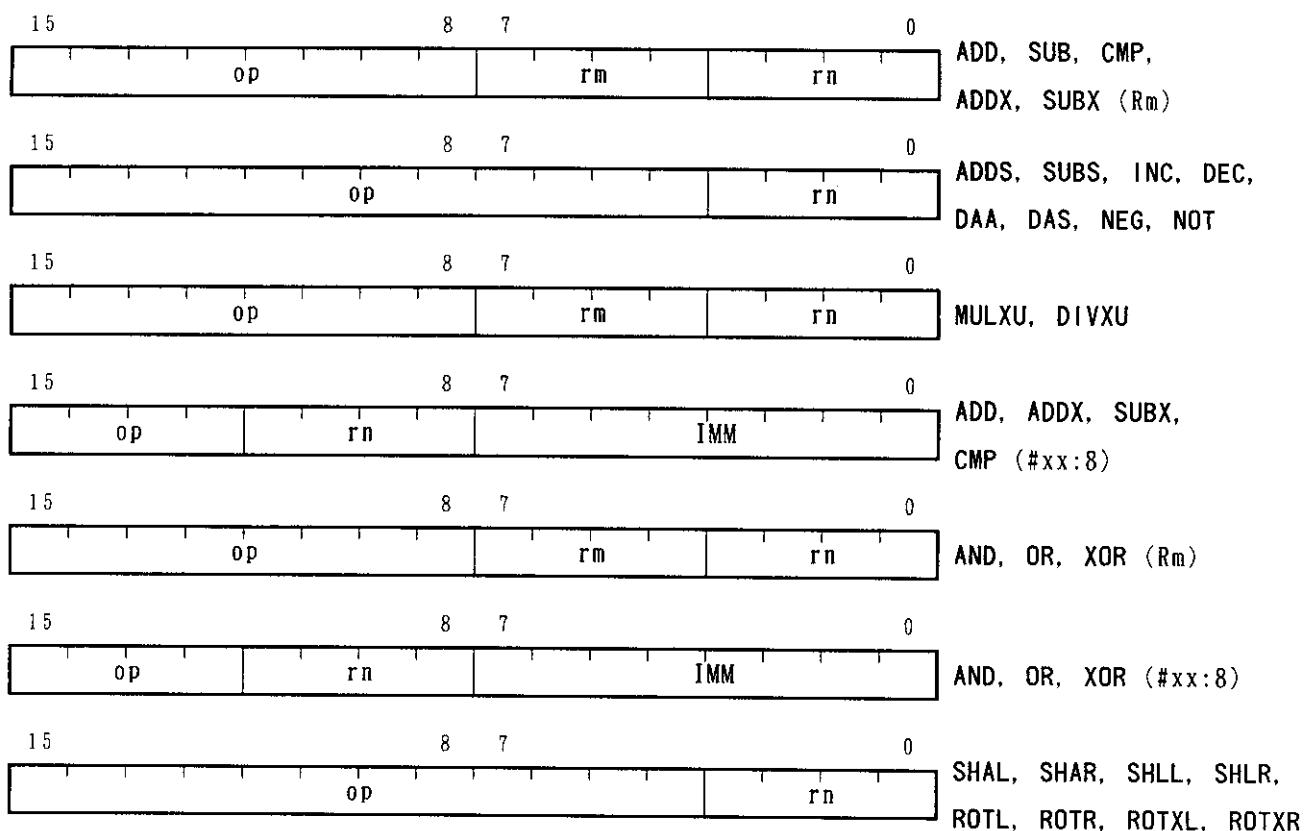
シフト命令の機能を表2.7に示します。

表2.7 シフト命令

命 令	サ イ ズ*	機 能
S H A L	B	R d (シフト処理) \longrightarrow R d 汎用レジスタの内容を算術的にシフトします。
S H A R	B	R d (シフト処理) \longrightarrow R d 汎用レジスタの内容を論理的にシフトします。
S H L L	B	R d (シフト処理) \longrightarrow R d 汎用レジスタの内容を論理的にシフトします。
S H L R	B	R d (ローテート処理) \longrightarrow R d 汎用レジスタの内容をローテートします。
R O T L	B	R d (ローテート処理) \longrightarrow R d 汎用レジスタの内容をローテートします。
R O T R	B	R d (ローテート処理) \longrightarrow R d 汎用レジスタの内容を、キャリフラグを含めてローテートします。
R O T X L	B	R d (ローテート処理) \longrightarrow R d 汎用レジスタの内容を、キャリフラグを含めてローテートします。
R O T X R	B	R d (ローテート処理) \longrightarrow R d 汎用レジスタの内容を、キャリフラグを含めてローテートします。

【注】* サイズはオペランドサイズを示します。
B : バイト

算術演算命令、論理演算命令およびシフト命令の命令フォーマットを図2.6に示します。



〈記号説明〉

op : オペレーションフィールド

rm, rn : レジスタフィールド

IMM : イミディエイトデータ

図2.6 算術演算命令・論理演算命令・シフト命令の命令フォーマット

2.5.5 ビット操作命令

ビット操作命令の機能を表2.8に示します。

表2.8 ビット操作命令(1)

命 令	サ イ ズ	機 能
B S E T	B	$1 \longrightarrow (<\text{ビット番号}> \text{ of } <\text{E A d}>)$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを“1”にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
B C L R	B	$0 \longrightarrow (<\text{ビット番号}> \text{ of } <\text{E A d}>)$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを“0”にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
B N O T	B	$\sim (<\text{ビット番号}> \text{ of } <\text{E A d}>)$ $\longrightarrow (<\text{ビット番号}> \text{ of } <\text{E A d}>)$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
B T S T	B	$\sim (<\text{ビット番号}> \text{ of } <\text{E A d}>) \longrightarrow Z$ 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定されます。
B A N D	B	$C \wedge (<\text{ビット番号}> \text{ of } <\text{E A d}>) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
B I A N D	B	$C \wedge [\sim (<\text{ビット番号}> \text{ of } <\text{E A d}>)] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】* サイズはオペラントサイズを示します。
B : バイト

表 2.8 ビット操作命令(2)

命 令	サ イ ズ*	機 能
B O R	B	$C \vee (<\text{ビット番号}> \text{ of } <\text{E A d}>) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
B I O R	B	$C \vee [\sim (<\text{ビット番号}> \text{ of } <\text{E A d}>)] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
B X O R	B	$C \oplus (<\text{ビット番号}> \text{ of } <\text{E A d}>) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
B I X O R	B	$C \oplus [\sim (<\text{ビット番号}> \text{ of } <\text{E A d}>)] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3ビットのイミディエイトデータで指定されます。
B L D	B	$(<\text{ビット番号}> \text{ of } <\text{E A d}>) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
B I L D	B	$\sim (<\text{ビット番号}> \text{ of } <\text{E A d}>) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】* サイズはオペランドサイズを示します。
B : バイト

表 2.8 ビット操作命令(3)

命 令	サ イ ズ*	機 能
B S T	B	C ————— (<ビット番号> of <EA d>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、キャリフラグの内容を転送します。
B I S T	B	~C ————— (<ビット番号> of <EA d>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】* サイズはオペランドサイズを示します。
B : バイト

[ビット操作命令使用上の注意]

B S E T、B C L R、B N O T、B S T、B I S Tの各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。

したがって、ライト専用ビットを含むレジスタ、または、ポートに対してこれらの命令を使用する場合には注意が必要です。

動 作 順 序	動 作 内 容
1 リード	指定したアドレスのデータ（バイト単位）をリードします。
2 ビット操作	リードしたデータの指定された1ビットを操作します。
3 ライト	指定したアドレスに操作したデータ（バイト単位）をライトします。

(例)

ポート4のDDRに、BCLR命令を実行した例を示します。

P4₇、P4₆は入力端子に設定され、それぞれ“Low”レベル、“High”レベルが入力されているとします。

P4₅～P4₀は出力端子に設定され、それぞれ“Low”レベル出力状態とします。

ここで、BCLR命令で、P4₀を入力ポートにする例を示します。

【A； BCLR命令を実行前】

	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
DDR	0	0	1	1	1	1	1	1
DR	1	0	0	0	0	0	0	0

【B； BCLR命令を実行】

BCLR #0, @P4DDR

DDRに対してBCLR命令を実行します。

【C； BCLR命令を実行後】

	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
入出力	出力	入力						
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
DDR	1	1	1	1	1	1	1	0
DR	1	0	0	0	0	0	0	0

【D； BCLR命令の動作説明】

BCLR命令を実行すると、CPUは、最初にP4DDRをリードします。

P4DDRはライト専用レジスタですので、CPUはH'FFをリードします。

したがって、この例では、DDRはH'3Fですが、CPUがリードしたデータはH'FFとなります。

つぎに、CPUは、リードしたデータのビット0を“0”にクリアして、データをH'FEに変更します。

最後に、このデータ(H'FE)をDDRに書き込んで、BCLR命令を終了します。

その結果、P4₀は、DDRが“0”になり、入力ポートになります。しかし、入力ポートであったビット7、6のDDRが1になって、出力ポートに変化してしまいます。

ビット操作命令の命令フォーマットを図2.7に示します。

15				8 7				0
op			IMM			rn		

15	8 7		BAND, BIOR, BIXOR, BILD, BIST
		op	0
		IMM	rn
			オペランド : レジスタ直接 (Rn)
			ビット番号 : イミディエイト (#xx:3)
15	8 7		0
		op	rn
		op	IMM
			オペランド : レジスタ間接 (@Rn)
			ビット番号 : イミディエイト (#xx:3)
15	8 7		0
		op	abs
		op	IMM
			オペランド : 絶対アドレス (@aa:8)
			ビット番号 : イミディエイト (#xx:3)

〈記号説明〉

op : オペレーションフィールド

rn、rm : レジスタフィールド

abs : 絶対アドレス

IMM : イミディエイトデータ

図 2.7 ビット操作命令の命令フォーマット(2)

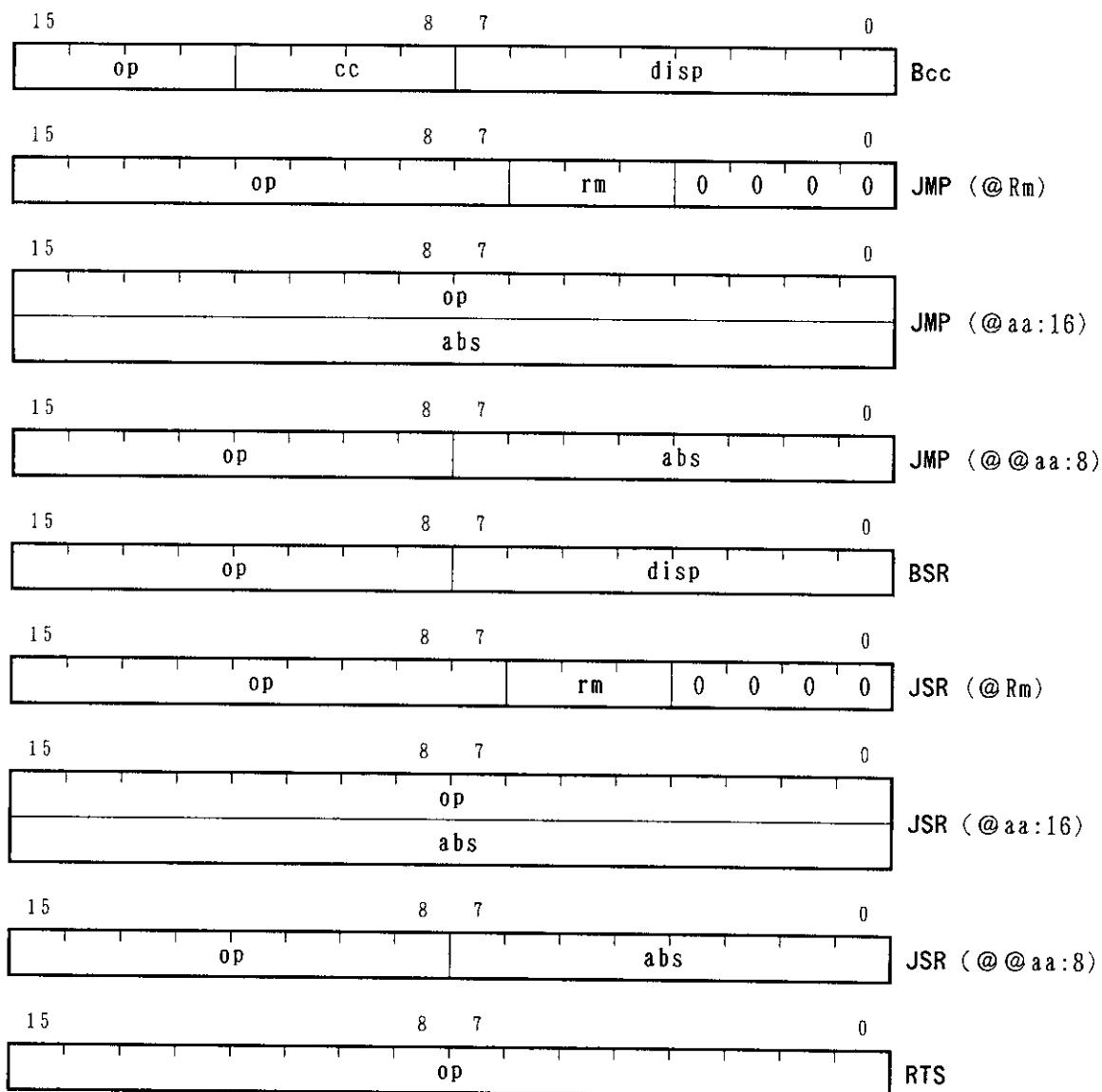
2.5.6 分岐命令

分岐命令の機能を表2.9に示します。

表2.9 分岐命令

命 令	サ イ ズ	機 能																																																			
B C C	-	<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th><th>説 明</th><th>分 岐 条 件</th></tr> </thead> <tbody> <tr> <td>BRA (BT)</td><td>Always (True)</td><td>Always</td></tr> <tr> <td>BRN (BF)</td><td>Never (False)</td><td>Never</td></tr> <tr> <td>BHI</td><td>HIGH</td><td>$C \vee Z = 0$</td></tr> <tr> <td>BLS</td><td>Low or Same</td><td>$C \vee Z = 1$</td></tr> <tr> <td>BCC (BHS)</td><td>Carry Clear (High or Same)</td><td>$C = 0$</td></tr> <tr> <td>BCS (BLO)</td><td>Carry Set (Low)</td><td>$C = 1$</td></tr> <tr> <td>BNE</td><td>Not Equal</td><td>$Z = 0$</td></tr> <tr> <td>BEQ</td><td>EQual</td><td>$Z = 1$</td></tr> <tr> <td>BVC</td><td>oVerflow Clear</td><td>$V = 0$</td></tr> <tr> <td>BVS</td><td>oVerflow Set</td><td>$V = 1$</td></tr> <tr> <td>BPL</td><td>Plus</td><td>$N = 0$</td></tr> <tr> <td>BMI</td><td>Minus</td><td>$N = 1$</td></tr> <tr> <td>BGE</td><td>Greater or Equal</td><td>$N \oplus V = 0$</td></tr> <tr> <td>BLT</td><td>Less Than</td><td>$N \oplus V = 1$</td></tr> <tr> <td>BGT</td><td>Greater Than</td><td>$Z \vee (N \oplus V) = 0$</td></tr> <tr> <td>BLE</td><td>Less or Equal</td><td>$Z \vee (N \oplus V) = 1$</td></tr> </tbody> </table>	ニーモニック	説 明	分 岐 条 件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	HIGH	$C \vee Z = 0$	BLS	Low or Same	$C \vee Z = 1$	BCC (BHS)	Carry Clear (High or Same)	$C = 0$	BCS (BLO)	Carry Set (Low)	$C = 1$	BNE	Not Equal	$Z = 0$	BEQ	EQual	$Z = 1$	BVC	oVerflow Clear	$V = 0$	BVS	oVerflow Set	$V = 1$	BPL	Plus	$N = 0$	BMI	Minus	$N = 1$	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z \vee (N \oplus V) = 0$	BLE	Less or Equal	$Z \vee (N \oplus V) = 1$
ニーモニック	説 明	分 岐 条 件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	HIGH	$C \vee Z = 0$																																																			
BLS	Low or Same	$C \vee Z = 1$																																																			
BCC (BHS)	Carry Clear (High or Same)	$C = 0$																																																			
BCS (BLO)	Carry Set (Low)	$C = 1$																																																			
BNE	Not Equal	$Z = 0$																																																			
BEQ	EQual	$Z = 1$																																																			
BVC	oVerflow Clear	$V = 0$																																																			
BVS	oVerflow Set	$V = 1$																																																			
BPL	Plus	$N = 0$																																																			
BMI	Minus	$N = 1$																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$Z \vee (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V) = 1$																																																			
J M P	-	指定されたアドレスへ無条件に分岐します。																																																			
B S R	-	指定されたアドレスへサブルーチン分岐します。																																																			
J S R	-	指定されたアドレスへサブルーチン分岐します。																																																			
R T S	-	サブルーチンから復帰します。																																																			

分岐命令の命令フォーマットを図2.8に示します。



〈記号説明〉

op : オペレーションフィールド

cc : コンディションフィールド

rm : レジスタフィールド

disp : ディスプレースメント

abs : 絶対アドレス

図2.8 分岐命令の命令フォーマット

2.5.7 システム制御命令

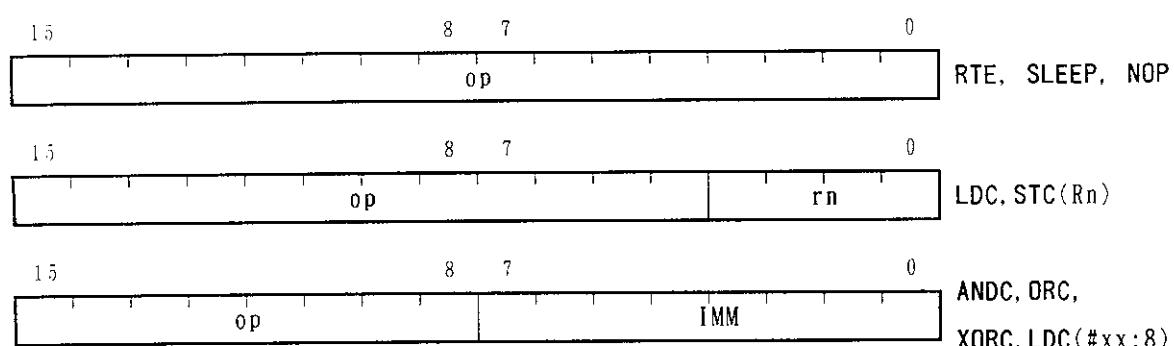
システム制御命令の機能を表2.10に示します。

表2.10 システム制御命令

命 令	サ イ ズ*	機 能
R T E	-	例外処理ルーチンから復帰します。
S L E E P	-	低消費電力状態に遷移します。
L D C	B	R s ——> C C R、#IMM ——> C C R 汎用レジスタの内容、またはイミディエイトデータを C C R に転送します。
S T C	B	C C R ——> R d C C R の内容を汎用レジスタに転送します。
A N D C	B	C C R \wedge #IMM ——> C C R C C R とイミディエイトデータの論理積をとります。
O R C	B	C C R \vee #IMM ——> C C R C C R とイミディエイトデータの論理和をとります。
X O R C	B	C C R \oplus #IMM ——> C C R C C R とイミディエイトデータの排他的論理和をとります。
N O P	-	P C + 2 ——> P C P C のインクリメントだけを行います。

【注】* サイズはオペランドサイズを示します。
B : バイト

システム制御命令の命令フォーマットを図2.9に示します。



〈記号説明〉

op : オペレーションフィールド

rn : レジスタフィールド

IMM : イミディエイトデータ

図2.9 システム制御命令の命令フォーマット

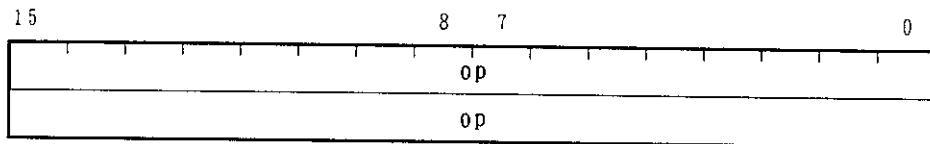
2.5.8 ブロック転送命令

ブロック転送命令の機能を表2.11に示します。

表2.11 ブロック転送命令

命 令	サ イ ズ	機 能
E E P M O V	-	<pre> if R 4 L ≠ 0 then Repeat @R 5 + → @R 6 +, R 4 L - 1 → R 4 L Until R 4 L = 0 else next; </pre> <p>ブロック転送命令です。R 5 で示されるアドレスから始まり、R 4 L で指定されるバイト数のデータをR 6 で示されるアドレスから始まるロケーションへ転送します。転送終了後、次の命令を実行します。</p>

ブロック転送命令の命令フォーマットを図2.10に示します。



〈記号説明〉

op : オペレーションフィールド

図2.10 ブロック転送命令の命令フォーマット

[E E P M O V命令使用上の注意]

- (1) E E P M O V命令はブロック転送命令で、R 5 で示されるアドレスから始まる、R 4 L で示されるバイト数のデータを、R 6 で示されるアドレスへ転送します。



- (2) 転送先の最終アドレス (R 6 + R 4 L の値) がH' FFFFを超えないように (実行途中にR 6 の値がH' FFFF→H' 0000とならないように)、R 4 L、R 6 を設定してください。



2.6 処理状態

2.6.1 概要

CPUの処理状態には、プログラム実行状態、例外処理状態、低消費電力状態の3種類があります。さらに、低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモードがあります。処理状態の分類を図2.11に、各状態間の遷移を図2.12に示します。

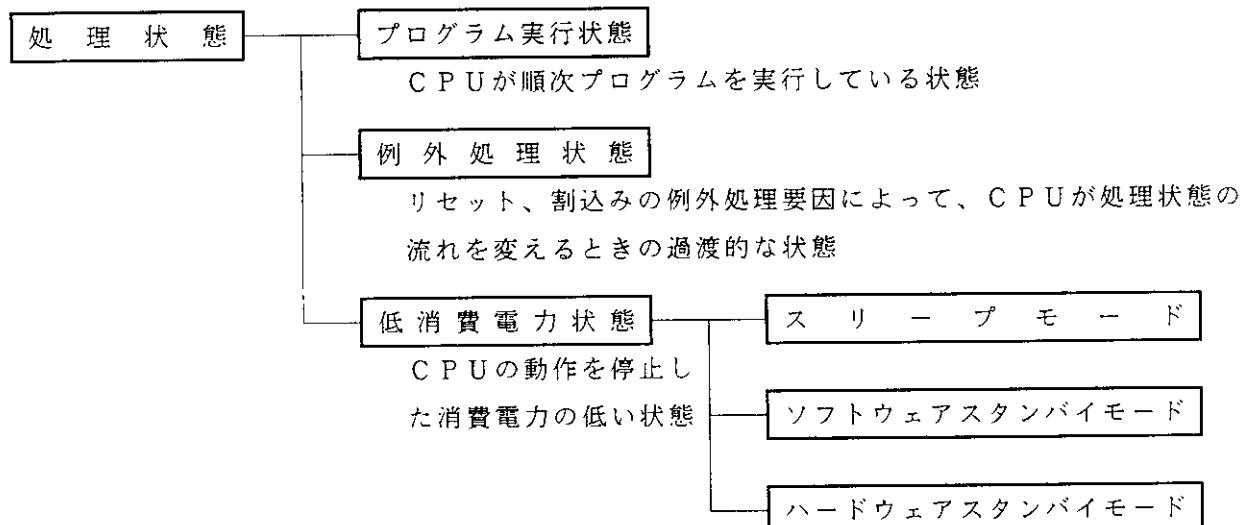
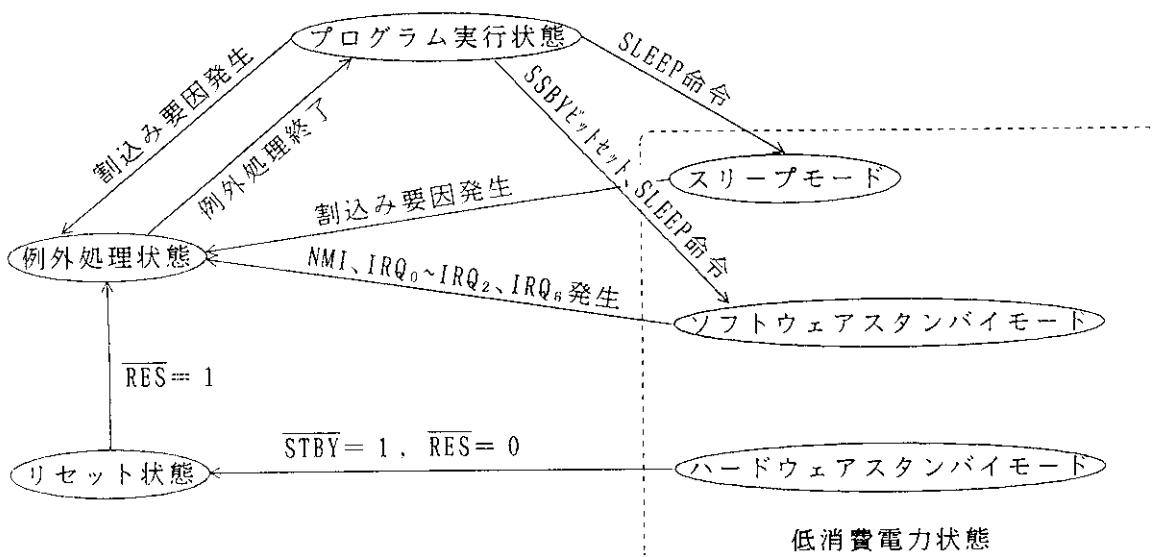


図2.11 処理状態の分類



- 【注】
1. ハードウェアスタンバイモードを除くすべての状態においてRES端子が“Low”レベルになるとリセット状態に遷移します。
 2. すべての状態においてSTBY端子を“Low”レベルにすると、ハードウェアスタンバイモードに遷移します。

図2.12 状態遷移図

2.6.2 プログラム実行状態

CPUがプログラムを順次実行している状態です。

2.6.3 例外処理状態

リセット、割込みの例外処理要因によって、CPUが通常の処理状態の流れをえるときの過渡的な状態です。割込み例外処理では、SP(R7)を参照して、PCおよびCCRの逃避を行います。

例外処理についての詳細は、「第4章 例外処理」を参照してください。

2.6.4 低消費電力状態

低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモードの3つのモードがあります。

(1) スリープモード

スリープモードは、SLEEP命令を実行することによって遷移するモードです。CPUの動作は、SLEEP命令実行直後で停止します。CPUの内部レジスタの内容は保持されます。

(2) ソフトウェアスタンバイモード

ソフトウェアスタンバイモードは、システムコントロールレジスタ(SYSCR)のSSBY(ソフトウェアスタンバイ)ビットを“1”にセット後、SLEEP命令を実行することによって遷移するモードです。

CPUおよびクロックをはじめ内蔵周辺モジュールのすべての動作が停止します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限りCPUの内部レジスタの内容および内蔵RAMの内容は保持されます。また、I/Oポートの状態も保持されます。

(3) ハードウェアスタンバイモード

ハードウェアスタンバイモードは、STBY端子を“Low”レベルにすることによって遷移するモードです。ソフトウェアスタンバイモードと同様に、CPUおよびすべてのクロックは停止し内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵RAMの内容は保持されます。

低消費電力状態についての詳細は、「第19章 低消費電力状態」を参照してください。

2.7 基本動作タイミング

CPUは、システムクロック(ϕ)をタイムベースに動作しており、システムクロックの立上がりから次の立上がりまでの1単位をステートと呼びます。メモリサイクルまたはバスサイクルは、2または3ステートで構成され、内蔵メモリ、内蔵周辺モジュール、外部デバイスによってそれぞれ異なるアクセスを行います。

2.7.1 内蔵メモリ (RAM、ROM)

内蔵メモリのアクセスは、高速処理を行うために2ステートアクセスを行います。このとき、データバス幅は16ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアクセスサイクルを図2.13に、端子状態を図2.14に示します。

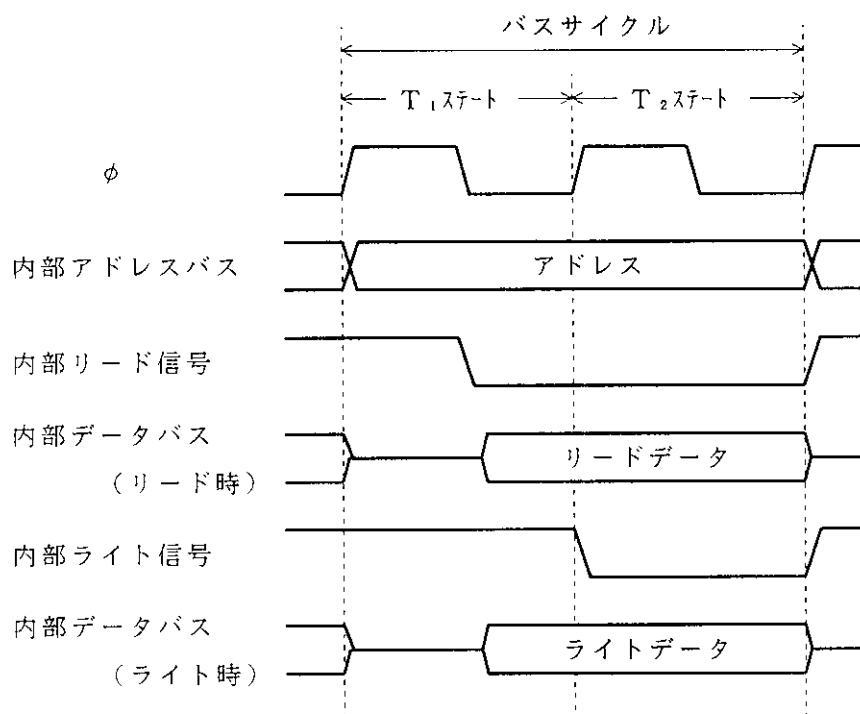


図2.13 内蔵メモリアクセスサイクル

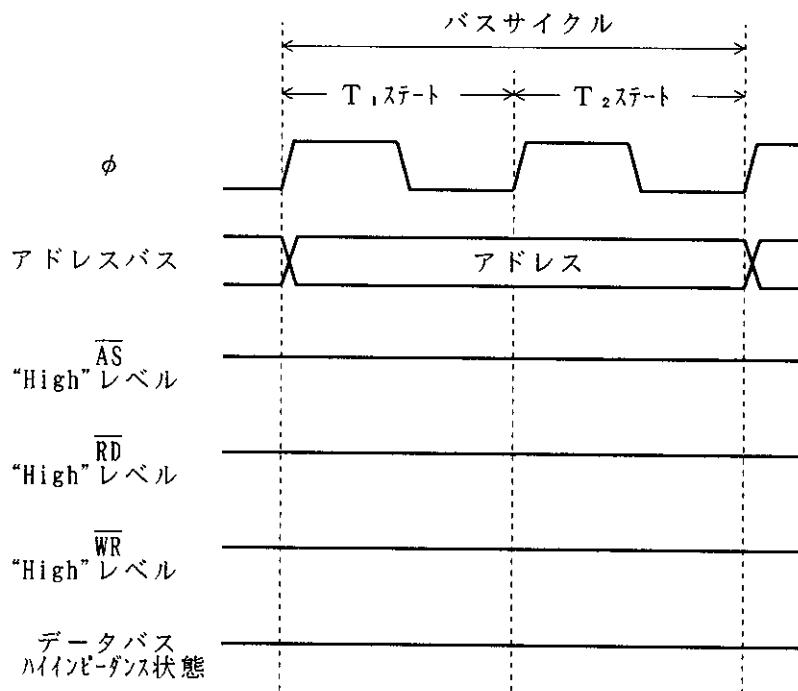


図 2.14 内蔵メモリアクセス時の端子状態

2.7.2 内蔵周辺モジュール／外部デバイス

内蔵周辺モジュールおよび外部デバイスのアクセスは、3ステートで行われます。このとき、データバス幅は8ビットで、ワードデータおよび命令コードは、1バイトずつ2回に分けてアクセスされます。内蔵周辺モジュールアクセスサイクル、端子状態を図2.15、図2.16に、外部デバイスマセスタイミングを図2.17に示します。

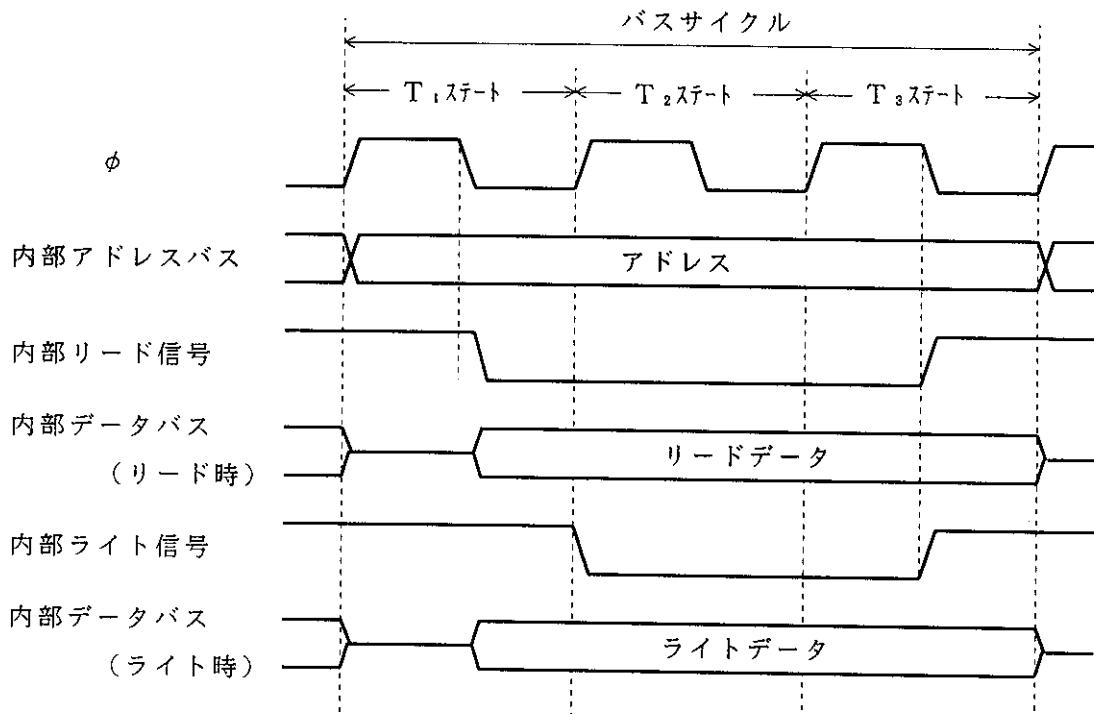


図 2.15 内蔵周辺モジュールアクセスサイクル

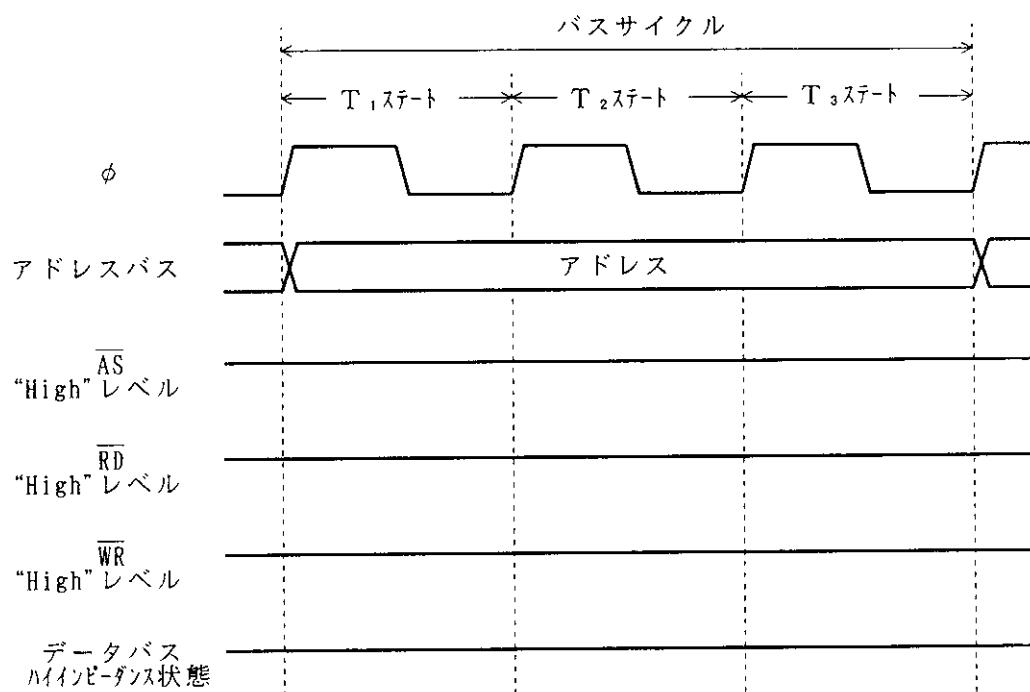


図 2.16 内蔵周辺モジュールアクセス時の端子状態

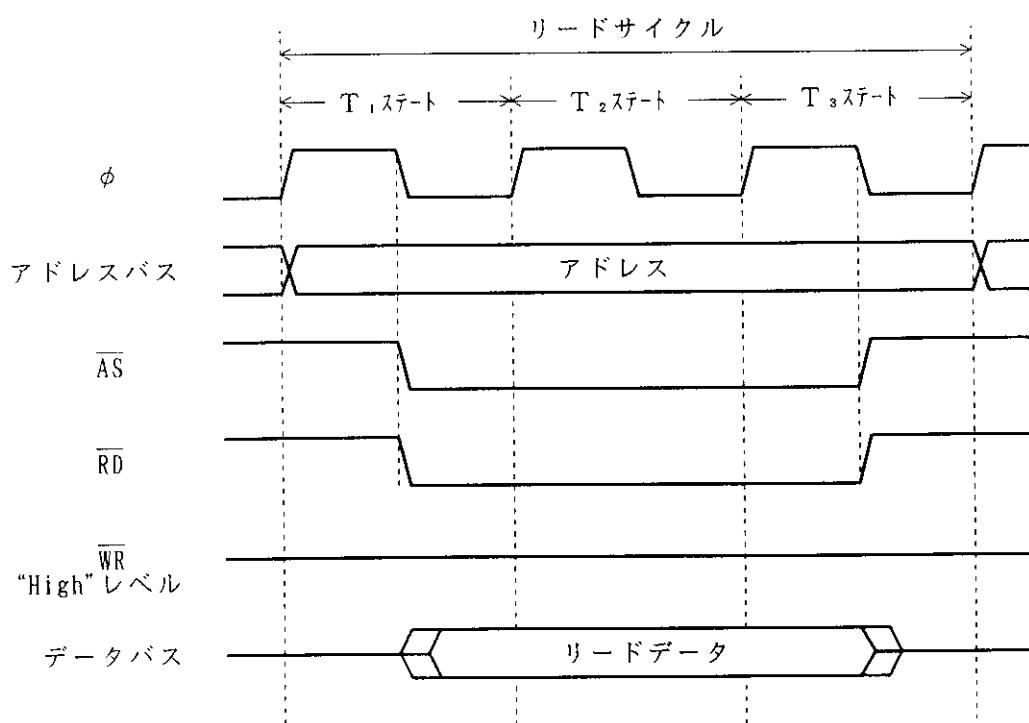


図 2.17(a) 外部デバイスアクセスタイミング (リード時)

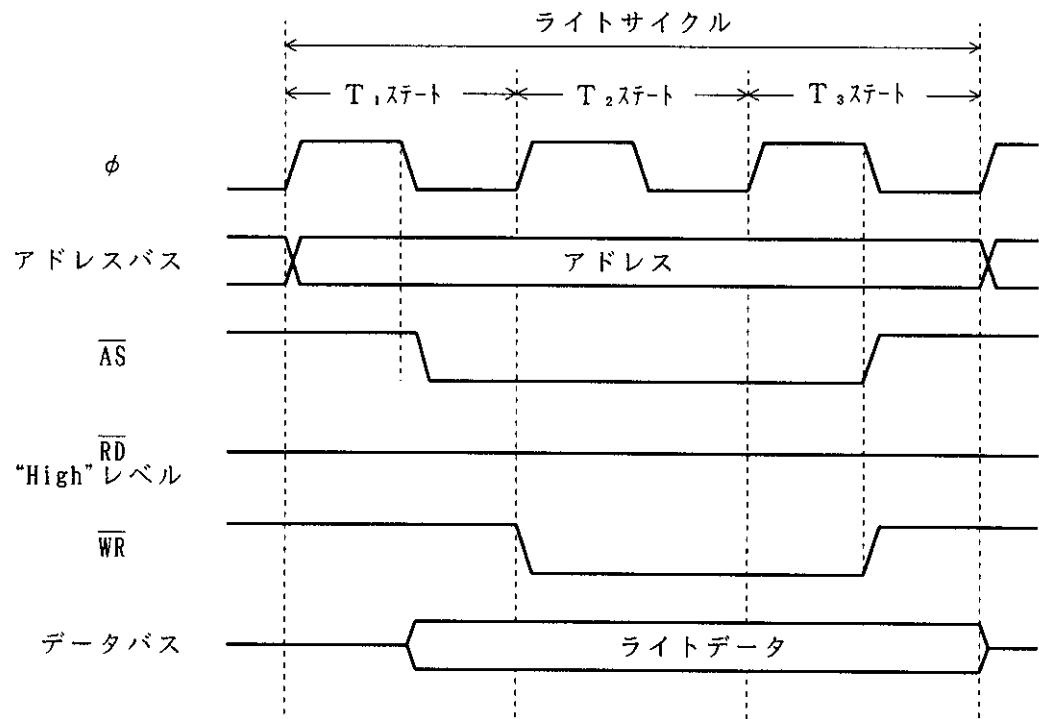


図 2.17(b) 外部デバイスアクセスタイミング (ライト時)

3. M C U 動作モード

第3章 目次

3. 1 概要	63
3. 1. 1 動作モードの選択	63
3. 1. 2 レジスタ構成	63
3. 2 システムコントロールレジスタ (SYSCR)	64
3. 3 モードコントロールレジスタ (MDCR)	66
3. 4 各動作モードのメモリマップ	67

3.1 概要

3.1.1 動作モードの選択

本LSIには、3種類の動作モード（モード1、2、3）があります。これらのモードは、モード端子（MD₁、MD₀）を表3.1のように設定することによって選択します。

表3.1 動作モードの選択

MCU動作モード	MD ₁	MD ₀	内 容	内蔵ROM	内蔵RAM
モード0	0	0	——	——	——
モード1	0	1	内蔵ROM無効拡張モード	無効	有効*
モード2	1	0	内蔵ROM有効拡張モード	有効	有効*
モード3	1	1	シングルチップモード	有効	有効

〈記号説明〉

0：“Low”レベル

1：“High”レベル

—：使用不可

【注】* システムコントロールレジスタ（SYSCR）のRAMEビットを“0”にクリアすることにより、外部アドレスとすることができます。

モード1、2（内蔵ROM無効拡張モード、内蔵ROM有効拡張モード）は、外部メモリおよび周辺デバイスをアクセスすることができる拡張モードです。外部拡張モードでサポートするアドレス空間は、最大64kバイトです。

モード3（シングルチップモード）は、内蔵ROMとRAM、内部I/Oレジスタで動作するモードです。すべてのポートを使用することができます。

モード0は、本LSIでは使用できません。モード端子をモード0となるようには設定しないでください。

3.1.2 レジスタ構成

本LSIの動作を制御するレジスタとして、表3.2に示すシステムコントロールレジスタ（SYSCR）と、モード端子MD₁、MD₀の状態が反映されるモードコントロールレジスタ（MDCR）があります。

表3.2 レジスタ構成

名 称	略 称	R/W	アドレス
システムコントロールレジスタ	SYSCR	R/W	H'FFC4
モードコントロールレジスタ	MDCR	R	H'FFC5

3.2 システムコントロールレジスタ (SYSCR)

ビット:	7	6	5	4	3	2	1	0
【H 8 / 3534】	SSBY	STS2	STS1	STS0	XRST	NMIEG	(HIE)	RAME

初期値: 0 0 0 0 1 0 0 1
R/W: R/W R/W R/W R/W R R/W R/W R/W R/W

ビット:	7	6	5	4	3	2	1	0
【H 8 / 3522】	SSBY	STS2	STS1	STS0	XRST	NMIEG	—	RAME

初期値: 0 0 0 0 1 0 1 1
R/W: R/W R/W R/W R/W R R/W — R/W

SYSCRは、本LSIの動作を制御する8ビットのレジスタです。

ビット7: ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します（ソフトウェアスタンバイモードについては「第16章 低消費電力状態」を参照してください）。

なお、外部割込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したとき、このビットは“1”にセットされたままです。クリアする場合は、“0”をライトしてください。

ビット7	説明
S S B Y	
0	SLEEP命令実行後、スリープモードに遷移 (初期値)
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移

ビット6～4: スタンバイタイマセレクト2～0 (STS2～0)

外部割込みによって、ソフトウェアスタンバイモードを解除する場合に、内部クロックが安定するまでCPUと内蔵周辺モジュールが待機する時間を指定します。

動作周波数に応じて待機時間が8ms以上となるように指定してください。

待機時間の設定については、「16.3.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定」を参照してください。

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192ステート (初期値)
0	0	1	待機時間 = 16384ステート
0	1	0	待機時間 = 32768ステート
0	1	1	待機時間 = 65536ステート
1	0	—	待機時間 = 131072ステート
1	1	—	使用禁止

ビット3：外部リセット（X R S T）

X R S Tはリセット要因を表わすビットです。リセットは、外部リセット入力に加えて、ウォッチドッグタイマを利用しているときには、ウォッチドッグタイマオーバフローにより発生できます。X R S Tビットはリード専用です。外部リセットにより“1”にセット、ウォッチドッグタイマオーバフローにより“0”にクリアされます。

ビット3	説明
X R S T	
0	リセットがウォッチドッグタイマのオーバフローで発生
1	リセットが外部リセット入力で発生 (初期値)

ビット2：NMIエッジ（N M I E G）

NMI端子の入力エッジ選択を行います。

ビット2	説明
N M I E G	
0	NMI入力の立下がりエッジ（↑）で割込み要求を発生 (初期値)
1	NMI入力の立上がりエッジ（↓）で割込み要求を発生

ビット1：ホストインターフェースイネーブル（H I E）【H 8／3534】

リザーブビットです。“1”にセットしないでください。

ビット1：リザーブビット【H 8／3522】

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット0：RAMイネーブル（R A M E）

内蔵RAMのイネーブル／ディスエーブルを選択します。R A M Eビットは、RES端子の立上がりエッジでイニシャライズされます。ソフトウェアスタンバイモードでは、イニシャライズされません。

ビット0	説明
R A M E	
0	内蔵RAM無効
1	内蔵RAM有効 (初期値)

3.3 モードコントロールレジスタ (MDCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	MDS1	MDS0
初期値:	1	1	1	0	0	1	—*	—*
R/W:	—	—	—	—	—	—	R	R

【注】* モード端子 (MD₁、MD₀) により決定されます。

MDCRは、8ビットのレジスタであり、本LSIの現在の動作モードをモニタするのに用います。

ビット7～5：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット4、3：リザーブビット

リザーブビットです。リードすると常に“0”が読み出されます。ライトは無効です。

ビット2：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット1、0：モードセレクト1、0 (MDS1、0)

モード端子 (MD₁、MD₀) のレベルを反映した値 (現在の動作モード) を示します。MDS1、MDS0ビットは、MD₁端子、MD₀端子にそれぞれ対応します。これらのビットは、リード専用でライトは無効です。MDCRをリードするとモード端子 (MD₁、MD₀) のレベルがこれらのビットにラッチされます。

3.4 各動作モードのメモリマップ

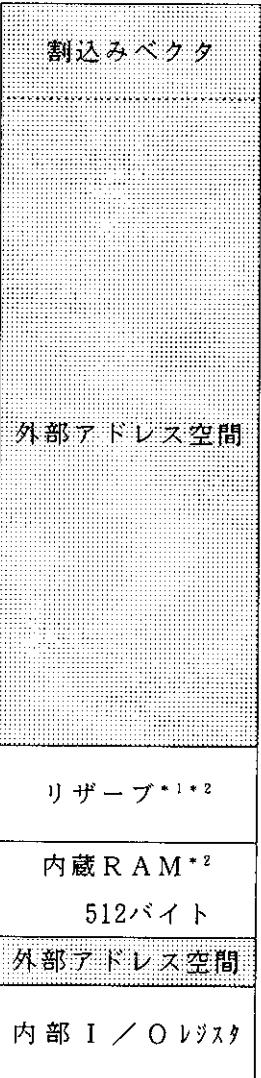
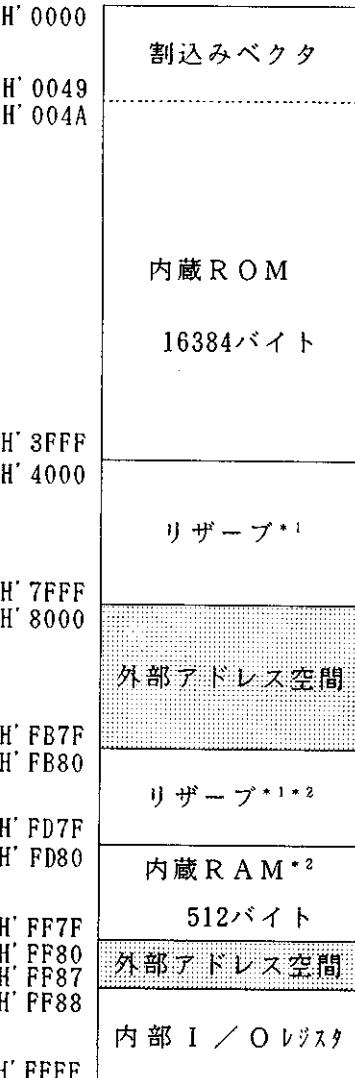
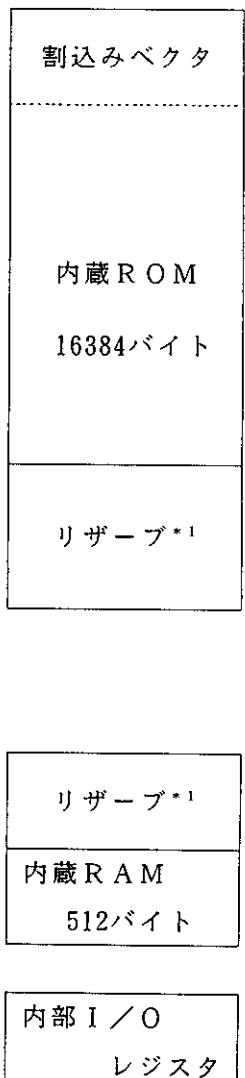
H8/3534、H8/3522のモード1、2、3のメモリマップを図3.1、図3.2に示します。

モード1	モード2	モード3
内蔵ROM無効拡張モード	内蔵ROM有効拡張モード	シングルチップモード
H'0000 割込みベクタ H'004B H'004C 外部アドレス空間 H'F77F H'F780 リザーブ*1*2 H'FB7F H'FB80 内蔵RAM*2 1024バイト H'FF7F H'FF80 H'FF87 H'FF88 内部I/Oレジスタ H'FFFF	H'0000 割込みベクタ H'004B H'004C 内蔵ROM 32768バイト H'7FFF H'8000 H'EF7F H'EF80 外部アドレス空間 H'F77F H'F780 リザーブ*1*2 H'FB7F H'FB80 内蔵RAM*2 1024バイト H'FF7F H'FF80 H'FF87 H'FF88 外部アドレス空間 H'FFFF 内部I/Oレジスタ	H'0000 割込みベクタ H'004B H'004C 内蔵ROM 32768バイト H'7FFF H'8000 リザーブ*1 H'F77F H'F780 リザーブ*1*2 H'FB7F H'FB80 内蔵RAM*2 1024バイト H'FF7F H'FF88 内部I/Oレジスタ H'FFFF

【注】*1 リザーブ領域はアクセスしないでください。

*2 SYSCRのRAMEビットを“0”にクリアすることにより外部アドレスとすることができます。

図3.1 H8/3534の各動作モードのメモリマップ

モード 1	モード 2	モード 3
内蔵 R O M 無効拡張モード	内蔵 R O M 有効拡張モード	シングルチップモード
H' 0000 H' 0049 H' 004A  割込みベクタ 外部アドレス空間 リザーブ *1 *2 内蔵 R A M *2 512バイト 外部アドレス空間 内部 I / O レジスタ	H' 0000 H' 0049 H' 004A  割込みベクタ 内蔵 R O M 16384バイト リザーブ *1 外部アドレス空間 リザーブ *1 *2 内蔵 R A M *2 512バイト 外部アドレス空間 内部 I / O レジスタ	H' 0000 H' 0049 H' 004A  割込みベクタ 内蔵 R O M 16384バイト リザーブ *1 リザーブ *1 *2 内蔵 R A M 512バイト 内部 I / O レジスタ

【注】*1 リザーブ領域はアクセスしないでください。

*2 SYSCR の RAME ビットを“0”にクリアすることにより外部アドレスとすることができます。

図 3.2 H 8 / 3522 の各動作モードのメモリマップ

4. 例外処理

第4章 目次

4. 1	概要	71
4. 2	リセット	71
4. 2. 1	概要	71
4. 2. 2	リセットシーケンス	71
4. 2. 3	リセット直後の割込み	74
4. 3	割込み	74
4. 3. 1	概要	74
4. 3. 2	各レジスタの説明	77
4. 3. 3	外部割込み	81
4. 3. 4	内部割込み	82
4. 3. 5	割込み動作	82
4. 3. 6	割込み応答時間	87
4. 3. 7	使用上の注意	88
4. 4	スタック領域に関する使用上の注意	89

4.1 概要

本LSIの例外処理には、リセットと割込みがあります。表4.1に、例外処理の種類と優先度を示します。

表4.1 例外処理の種類と優先度

優先度 ↑ ↓ 低	例外処理要因	検出タイミング	例外処理開始タイミング
高	リセット	クロック同期	RES端子が“Low”レベルから“High”レベルに変化すると、ただちに例外処理を開始します。
	割込み	命令の実行終了時*	割込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。

【注】* ANDC、ORC、XORC、LDC命令では検出しません。

4.2 リセット

4.2.1 概要

リセットは最も優先順位の高い例外処理です。RES端子が“Low”レベルになるか、ウォッチドッグリセット（リセットオプションを選択したウォッチドッグタイマオーバフロー）が開始されると、実行中の処理はすべて打ち切られ、本LSIはリセット状態になります。リセットによって、CPUの内部状態と、内蔵周辺モジュールの各レジスタがイニシャライズされます。RES端子が“Low”レベルから“High”レベルになるか、またはウォッチドッグリセットパルスが終了すると、リセット例外処理が開始されます。

4.2.2 リセットシーケンス

RES端子が“Low”レベルになるか、またはウォッチドッグリセットが発生すると、本LSIはリセット状態になります。

本LSIを確実にリセットするために、電源投入時には、最低20msの間RES端子を“Low”レベルに保持してください。また、動作中にリセットする場合は、最低10システムクロックの間、“Low”レベルを保持してください。ウォッチドッグリセットパルス幅は常に518システムクロックとなります。リセット時の端子の状態は「付録D. 各処理状態におけるポートの状態」を参照してください。

リセット例外処理が開始されると、本LSIは次のように動作します。

- (1) CPUの内部状態と内蔵周辺モジュールの各レジスタの初期化を行い、CCRのIビットをセットします。
- (2) リセット例外処理ベクタアドレス(H'0000~H'0001)をリードして、PCに転送した後、PCで示されるアドレスから、プログラムの実行を開始します。

パワーオン/パワーオフ時には、RES端子を“Low”レベルにしてください。

モード2、3の場合のリセットシーケンスを図4.1に、モード1の場合のリセットシーケンスを図4.2に示します。

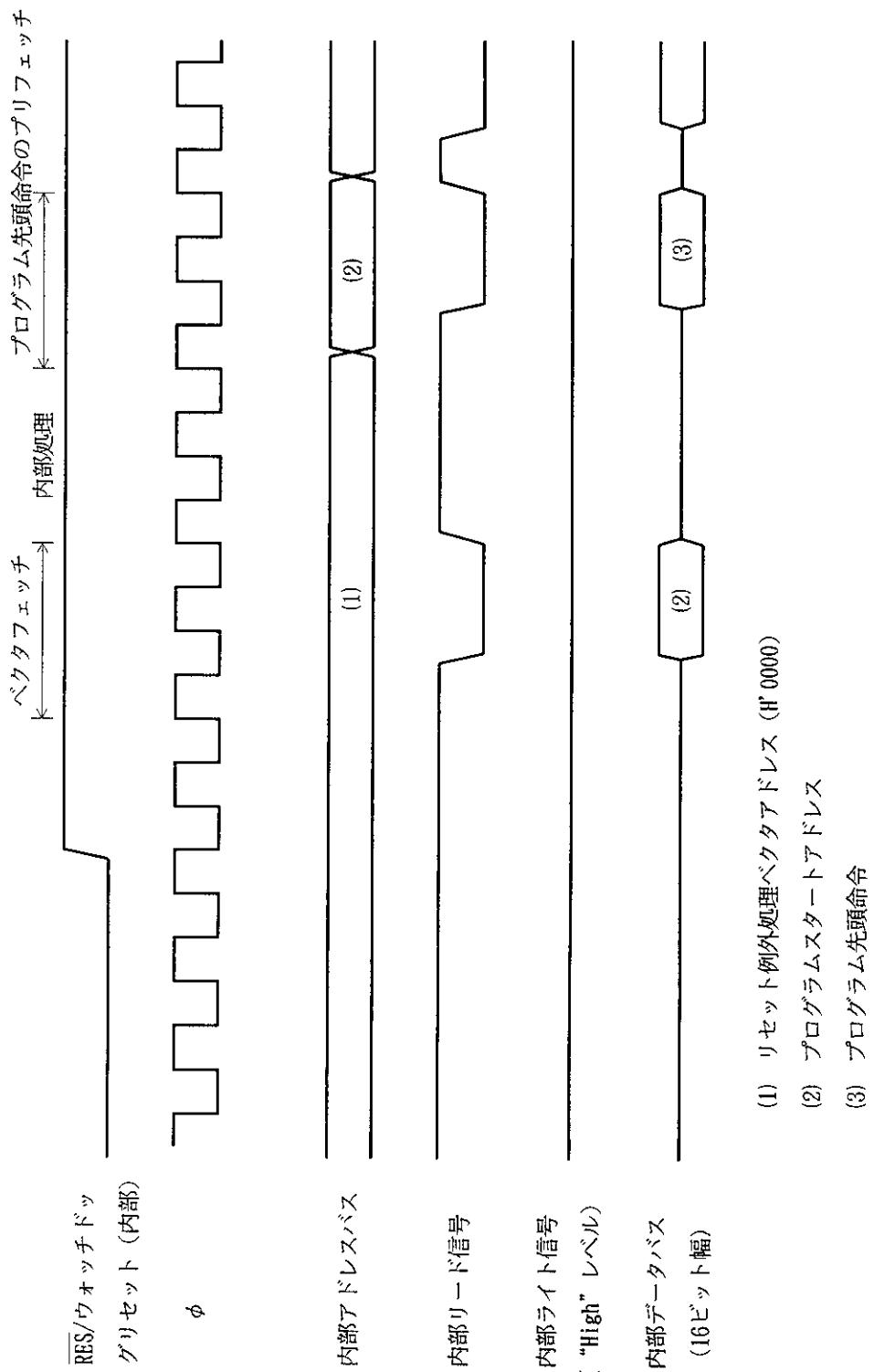
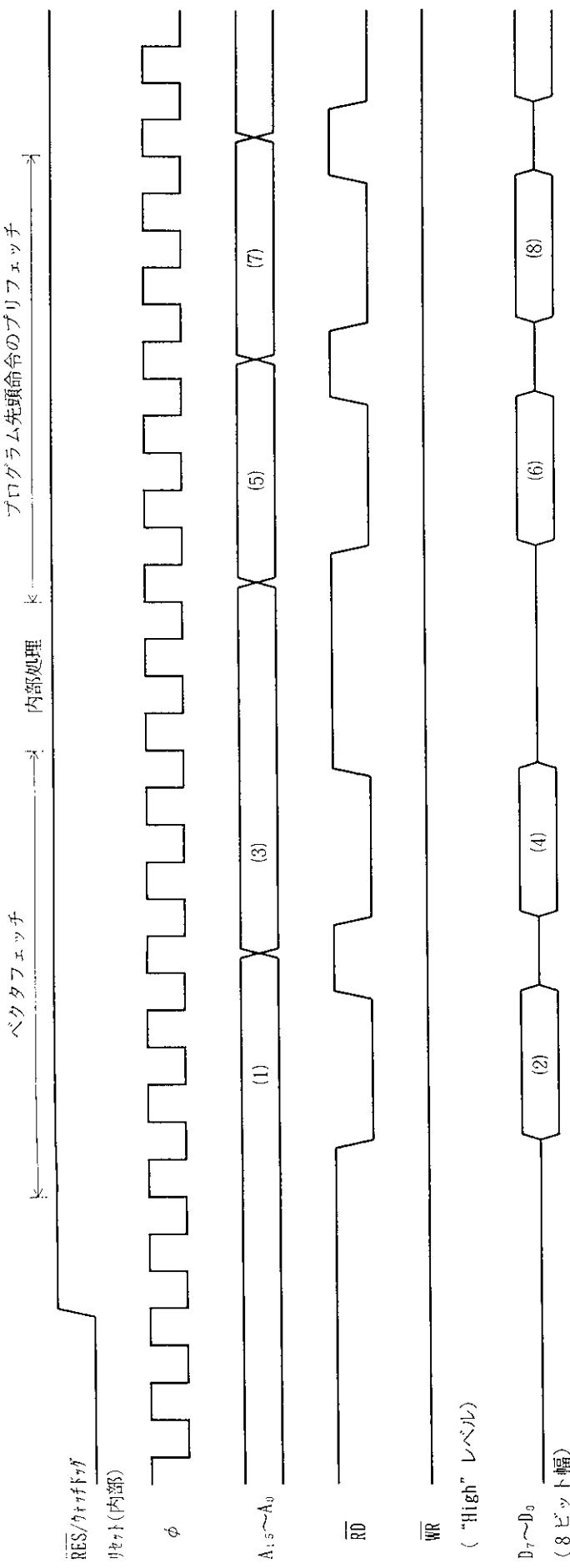


図4.1 リセットシーケンス（モード2、3：プログラム領域を内蔵ROMに設けた場合）



- (1)(3) リセット例外処理ベクタアドレス ((1)=H'0000、(3)=H'0001)
- (2)(4) スタートアドレス (リセット例外処理ベクタアドレスの内容) (2)=上位バイト、(4)=下位バイト
- (5)(7) スタートアドレス ((5)=(2)(4)、(7)=(2)(4)+1)
- (6)(8) プログラム先頭命令 ((6)=第1バイト、(8)=第2バイト)

図4.2 リセットシーケンス (モード1)

4.2.3 リセット直後の割込み

リセット後、スタックポインタ（S P : R 7）をイニシャライズする前に割込みを受け付けると、P C と C C R の退避が正常に行われないため、プログラムの暴走の原因となります。これを防ぐため、リセット例外処理が実行された直後は N M I を含めたすべての割込み要求が禁止されています。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラムの先頭命令は、S P をイニシャライズする命令としてください（例：M O V . W # x x : 1 6 , S P）。

リセット例外処理後、C C R の内容を確定しておくために、S P をイニシャライズする命令の前に C C R 操作命令を実行することができます。C C R 操作命令を実行した直後には、N M I を含めたすべての割込み要求が禁止されています。これに続く命令を、S P をイニシャライズする命令としてください。

4.3 割込み

4.3.1 概要

割込み例外処理を開始する要因には、H 8 / 3 5 3 4 は、23の入力端子からの 9 つの外部要因（N M I 、I R Q₀～I R Q₇、K E Y I N₀～K E Y I N₇）と内蔵周辺モジュールからの要求による 2 3 の内部要因があります。H 8 / 3 5 2 2 は、4 つの外部要因（N M I 、I R Q₀～I R Q₂）と内蔵周辺モジュールからの要求による 1 9 の内部要因があります。割込み要因と優先度ならびにベクタアドレスの一覧表を表 4.2 に示します。複数の割込み要求が発生したときは、優先度の高い方から処理されます。

これらの割込みには次のような特長があります。

- (1) N M I は最優先の割込みで、常に受け付けられます。N M I を除く、内部割込みおよび外部割込みは、C C R の I ビットによりマスクされます。すなわち、C C R の I ビットが “1” にセットされていると、N M I 以外の割込みは受け付けられません。
- (2) I R Q₀～I R Q₇【H 8 / 3 5 3 4】/ I R Q₀～I R Q₂【H 8 / 3 5 2 2】は、立下がりエッジセンス/レベルセンスのいずれかに、各々独立に設定することができます。N M I は、立上がりエッジセンス/立下がりエッジセンスのいずれかに設定することができます。
- (3) すべての割込み要因は、それぞれ独立にベクタアドレスが割り当てられています。このため、割込み処理ルーチンで要因を判定する必要はありません。
- (4) I R Q₆【H 8 / 3 5 3 4】は 8 本の外部要因（K E Y I N₀～K E Y I N₇）と兼用になります。

K E Y I N₀～K E Y I N₇は、それぞれユーザプログラムによりマスクできます。

- (5) ウォッチドッグタイマでは、用途に応じてN M I 割込みかO V F 割込みのいずれかを発生させることができます。詳細は「第11章 ウォッチドッグタイマ」を参照してください。

表4.2(a) H8/3534の割込み要因一覧表

割込み要因		ベクタ番号	ベクタアドレス	優先度
NMI		3	H'0006～H'0007	高↑
IRQ ₀		4	H'0008～H'0009	
IRQ ₁		5	H'000A～H'000B	
IRQ ₂		6	H'000C～H'000D	
IRQ ₃		7	H'000E～H'000F	
IRQ ₄		8	H'0010～H'0011	
IRQ ₅		9	H'0012～H'0013	
IRQ ₆		10	H'0014～H'0015	
IRQ ₇		11	H'0016～H'0017	
16ビットフリー ランニングタイマ	I CIA (インプットキャプチャA)	12	H'0018～H'0019	
	I CIB (インプットキャプチャB)	13	H'001A～H'001B	
	I CIC (インプットキャプチャC)	14	H'001C～H'001D	
	I CID (インプットキャプチャD)	15	H'001E～H'001F	
	O CIA (アウトプットコンペアA)	16	H'0020～H'0021	
	O CIB (アウトプットコンペアB)	17	H'0022～H'0023	
	F O V I (オーバフロー)	18	H'0024～H'0025	
8ビットタイマ0	C MI 0 A (コンペアマッチA)	19	H'0026～H'0027	
	C MI 0 B (コンペアマッチB)	20	H'0028～H'0029	
	O V I 0 (オーバフロー)	21	H'002A～H'002B	
8ビットタイマ1	C MI 1 A (コンペアマッチA)	22	H'002C～H'002D	
	C MI 1 B (コンペアマッチB)	23	H'002E～H'002F	
	O V I 1 (オーバフロー)	24	H'0030～H'0031	
リザーブ		25	H'0032～H'0033	
		26	H'0034～H'0035	
シリアル コミュニケーション インターフェース0	E RI 0 (受信エラー)	27	H'0036～H'0037	
	R XI 0 (受信完了)	28	H'0038～H'0039	
	T XI 0 (TDRエンディ)	29	H'003A～H'003B	
	T EI 0 (TSRエンディ)	30	H'003C～H'003D	
シリアル コミュニケーション インターフェース1	E RI 1 (受信エラー)	31	H'003E～H'003F	
	R XI 1 (受信完了)	32	H'0040～H'0041	
	T XI 1 (TDRエンディ)	33	H'0042～H'0043	
	T EI 1 (TSRエンディ)	34	H'0044～H'0045	
A/D変換器	ADI (変換終了)	35	H'0046～H'0047	
ウォッチドッグタイマ	W O V F (WDTオーバフロー)	36	H'0048～H'0049	低

【注】1. H'0000～H'0001はリセットベクタです。

2. H'0002～H'0005は、本LSIではリザーブされており、ユーザは使用できません。

表4.2(b) H'8/3522の割込み要因一覧表

割込み要因		ベクタ番号	ベクタアドレス	優先度
N M I		3	H'0006～H'0007	高↑
I R Q ₀		4	H'0008～H'0009	
I R Q ₁		5	H'000A～H'000B	
I R Q ₂		6	H'000C～H'000D	
リザーブ		7	H'000E～H'000F	
		8	H'0010～H'0011	
		9	H'0012～H'0013	
		10	H'0014～H'0015	
		11	H'0016～H'0017	
16ビットフリー ランニングタイマ	I C I A (インバットキャプチャA)	12	H'0018～H'0019	
	I C I B (インバットキャプチャB)	13	H'001A～H'001B	
	I C I C (インバットキャプチャC)	14	H'001C～H'001D	
	I C I D (インバットキャプチャD)	15	H'001E～H'001F	
	O C I A (アウトプットコンペアA)	16	H'0020～H'0021	
	O C I B (アウトプットコンペアB)	17	H'0022～H'0023	
	F O V I (オーバフロー)	18	H'0024～H'0025	
8ビットタイマ0	C M I 0 A (コンペアマッチA)	19	H'0026～H'0027	
	C M I 0 B (コンペアマッチB)	20	H'0028～H'0029	
	O V I 0 (オーバフロー)	21	H'002A～H'002B	
8ビットタイマ1	C M I 1 A (コンペアマッチA)	22	H'002C～H'002D	
	C M I 1 B (コンペアマッチB)	23	H'002E～H'002F	
	O V I 1 (オーバフロー)	24	H'0030～H'0031	
リザーブ		25	H'0032～H'0033	
		26	H'0034～H'0035	
シリアル コミュニケーション インターフェース	E R I (受信エラー)	27	H'0036～H'0037	
	R X I (受信完了)	28	H'0038～H'0039	
	T X I (TDRエンディ)	29	H'003A～H'003B	
	T E I (TSRエンディ)	30	H'003C～H'003D	
リザーブ		31	H'003E～H'003F	
		32	H'0040～H'0041	
		33	H'0042～H'0043	
		34	H'0044～H'0045	
A/D変換器	A D I (変換終了)	35	H'0046～H'0047	
ウォッチドッグタイマ	W O V F (WDTオーバフロー)	36	H'0048～H'0049	↓低

【注】1. H'0000～H'0001はリセットベクタです。

2. H'0002～H'0005は、本L S Iではリザーブされており、ユーザは使用できません。

4.3.2 各レジスタの説明

割込みを制御するレジスタとして、システムコントロールレジスタ（SYSCR）、IRQセンスコントロールレジスタ（ISCR）、IRQイネーブルレジスタ（IER）、およびキーボードマトリクス割込みマスクレジスタ（KIMR）があります。

表4.3 割込み制御レジスタ

名 称	略 称	R/W	アドレス
システムコントロールレジスタ	SYSCR	R/W	H'FFC4
IRQセンスコントロールレジスタ	ISCR	R/W	H'FFC6
IRQイネーブルレジスタ	IER	R/W	H'FFC7
キーボードマトリクス割込みマスクレジスタ	KIMR	R/W	H'FFF1

(1) システムコントロールレジスタ（SYSCR）

ビット :	7	6	5	4	3	2	1	0
【H'8 / 3534】	SSBY	STS2	STS1	STS0	XRST	NMIEG	(HIE)	RAME
初期値 :	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
【H'8 / 3522】	SSBY	STS2	STS1	STS0	XRST	NMIEG	—	RAME
初期値 :	0	0	0	0	1	0	1	1
R/W :	R/W	R/W	R/W	R/W	R	R/W	—	R/W

SYSCRのビット2のNMIEGで、NMI端子の入力エッジを制御します。

ビット2 : NMIエッジセレクト (NMIEG)

NMI端子の入力エッジ選択を行います。

ビット2	説 明	
NMIEG	NMI入力の立下がりエッジ(↑)で割込み要求を発生	(初期値)
0	NMI入力の立上がりエッジ(↓)で割込み要求を発生	

なお、SYSCRのその他のビットについての詳細は、「3.2 システムコントロールレジスタ」を参照してください。

(2) IRQ センスコントロールレジスタ (I SCR)

ビット :	7	6	5	4	3	2	1	0
【H 8 / 3534】	IRQ7SC	IRQ6SC	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC
初期値 :	0	0	0	0	0	0	0	0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット :	7	6	5	4	3	2	1	0
【H 8 / 3522】	—	—	—	—	—	IRQ2SC	IRQ1SC	IRQ0SC
初期値 :	1	1	1	1	1	0	0	0

R/W : — — — — — R/W R/W R/W

【H 8 / 3534】

ビット 0 ~ 7 : IRQ 0 ~ 7 センスコントロール (IRQ0SC ~ IRQ7SC)

IRQ₀ ~ IRQ₇ 端子の入力のレベルセンスまたは立下がりエッジセンスを選択します。

ビット 0 ~ 7	説明	
IRQ0SC ~ IRQ7SC		
0	IRQ ₀ ~ IRQ ₇ 入力の "Low" レベルで割込み要求を発生	(初期値)
1	IRQ ₀ ~ IRQ ₇ 入力の立下がりエッジ (↑) で割込み要求を発生	

【H 8 / 3522】

ビット 3 ~ 7 : リザーブビット

リザーブビットです。リードすると常に "1" が読み出されます。ライトは無効です。

ビット 0 ~ 2 : IRQ 0 ~ 2 センスコントロール (IRQ0SC ~ IRQ2SC)

IRQ₀ ~ IRQ₂ 端子の入力のレベルセンスまたは立下がりエッジセンスを選択します。

ビット 0 ~ 2	説明	
IRQ0SC ~ IRQ2SC		
0	IRQ ₀ ~ IRQ ₂ 入力の "Low" レベルで割込み要求を発生	(初期値)
1	IRQ ₀ ~ IRQ ₂ 入力の立下がりエッジ (↑) で割込み要求を発生	

(3) IRQ イネーブルレジスタ (IER)

ビット :	7	6	5	4	3	2	1	0
【H 8 / 3534】	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値 :	0	0	0	0	0	0	0	0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット：	7	6	5	4	3	2	1	0
【H 8 / 3 5 2 2】	—	—	—	—	—	IRQ2E	IRQ1E	IRQ0E
初期値：	1	1	1	1	1	0	0	0

R/W：

—	—	—	—	—	R/W	R/W	R/W
---	---	---	---	---	-----	-----	-----

【H 8 / 3 5 3 4】

ビット 0～7：IRQ 0～7イネーブル (IRQ0E～IRQ7E)

IRQ₀～IRQ₇割込みの許可または禁止を制御します。

ビット 0～7	説明	
IRQ0E～IRQ7E		
0	IRQ ₀ ～IRQ ₇ 割込みを禁止	(初期値)
1	IRQ ₀ ～IRQ ₇ 割込みを許可	

【H 8 / 3 5 2 2】

ビット 3～7：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット 0～2：IRQ 0～2イネーブル (IRQ0E～IRQ2E)

IRQ₀～IRQ₂割込みの許可または禁止を制御します。

ビット 0～2	説明	
IRQ0E～IRQ2E		
0	IRQ ₀ ～IRQ ₂ 割込みを禁止	(初期値)
1	IRQ ₀ ～IRQ ₂ 割込みを許可	

なお、エッジセンス (IRQ0SC～IRQ7SCビット*=“1”) では、対応する IRQ0E～IRQ7E ビット*が“0”（割込み禁止）であっても割込み処理を実行する場合があります。

IRQ0E～IRQ7E ビットが“1”（割込み許可）の場合に要求された割込み要因は、対応する割込み処理が実行されるまで保持されています。割込み要因は、対応する IRQ0E～IRQ7E ビットが“0”（割込み禁止）となると新たには発生しませんが、既に要求されたものはクリアされず、マスクもされません。この状態でCCRのIビットが“0”となれば割込み処理が実行されます。

このような割込み処理が実行されると不都合な場合は、次の手順で割込み要因をクリアすることができます。

① CCRのIビットを“1”にして割込みを禁止します。

割込み処理ルーチンにベクタジャンプした後は自動的に“1”となっています。

② IRQ0E～IRQ7E の対応するビットを“0”にクリアし、新たな割込み要因を禁止します。

③ IRQ0SC～IRQ7SC の対応するビットを“0”にクリアし、再び“1”にセットし

ます。CCRのIビット = “1”、IRQnSC = “0”、IRQnE = “0”的条件で割込み要因はクリアされます。

【注】* H8/3522では、それぞれ“IRQ0SC～IRQ2SCビット”、“IRQ0E～IRQ2Eビット”となります。

(4) キーボードマトリクス割込みマスクレジスタ (KMIMR) 【H8/3534のみ】

キーボードマトリクス割込みマスクのためのレジスタには、KMIMRがあり、 16×8 のマトリクスキー ボードのためのキーセンス入力端子KEYIN₀～KEYIN₇の割込みを制御します。KMIMRのKMIMR0～KMIMR7ビットが、キーセンス入力KEYIN₀～KEYIN₇に対応します。

割込みマスクビットの初期値は、IRQ₆／KEYIN₆端子に対応するKMIMR6ビットが、割込み要求を許可する状態になっており、他のマスクビットは割込みを禁止する状態になっています。

KMIMRは、キーボードマトリクスキャン／センス用のリード／ライト可能な8ビットレジスタです。本レジスタはIRQ₆端子からの入力のみが許可された状態に初期化されます。キーボードマトリクスキャン／センスに際して複数の端子入力からのキーセンス入力割込みを許可する場合、対応するマスクビットを“0”にクリアしてください。

ビット：	7	6	5	4	3	2	1	0
【H8/3534】	KMIMR7	KMIMR6	KMIMR5	KMIMR4	KMIMR3	KMIMR2	KMIMR1	KMIMR0
初期値：	1	0	1	1	1	1	1	1
R/W：	R/W							

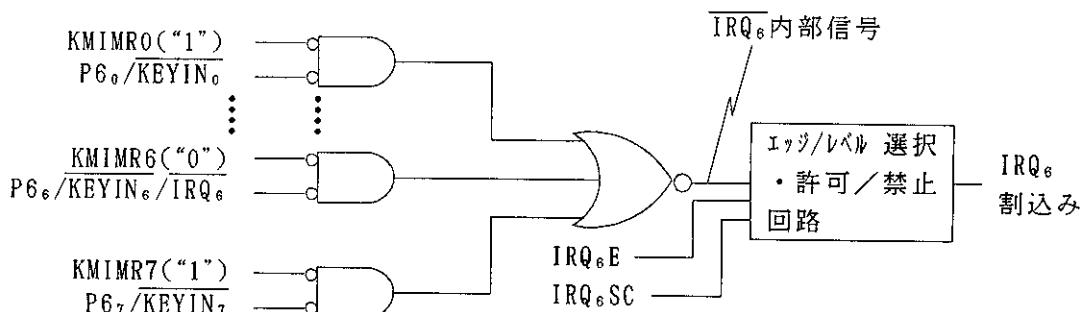
ビット0～7：キーボードマトリクス割込みマスク (KMIMR0～KMIMR7)

キーセンス入力割込み要求 (KEYIN₀～KEYIN₇)を制御します。

ビット0～7	説明
KMIMR0～KMIMR7	
0	キーセンス入力割込み要求を許可
1	キーセンス入力割込み要求を禁止 (初期値)*

【注】* ただしKMIMR6の初期値は0です。

図4.3にIRQ₆割込みとKMIMRとの関係を示します。



() 内は初期値

図4.3 KMIMRとIRQ₆割込み

4.3.3 外部割込み

外部割込みには、NMI、IRQ₀～IRQ₇割込みの9要因【H8/3534】、NMI、IRQ₀～IRQ₂割込みの4要因【H8/3522】があります。このうち、NMIとIRQ₀～IRQ₂、IRQ₆は、ソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI割込み

NMIは、最優先の割込みで、CCRのIビットの値にかかわらず、常に受け付けられます。NMI端子からの割込みはエッジセンスです。SYSCRのNMIEGビットにより立上がりエッジまたは立下がりエッジを指定できます。NMI割込み例外処理のベクタ番号は3です。この例外処理により、CCRのIビットが“1”にセットされます。

(2) IRQ₀～IRQ₇割込み

IRQ₀～IRQ₇割込み*は、IRQ₀～IRQ₇端子*の入力信号により要求されます。IRQ₀～IRQ₇割込みは、立下がりエッジまたはレベルをISCRのIRQ0SC～IRQ7SCビット*により指定でき、IERのIRQ0E～IRQ7Eビット*を“1”にセットすることにより割込み要求を許可します。また、CCRのIビットを“1”にセットすることにより割込みをマスクできます。H8/3534において、IRQ₆入力信号はキーセンス入力信号と内部的に論理和をとることが可能です。KEYIN₀～KEYIN₇(P6₀～P6₇)端子をキーセンス入力として使用する場合、対応するKIMRビットは、そのキーセンス入力割込みを許可するために、“0”にクリアしてください。残りの使用していないキーセンス入力のKIMRビットはその割込みを禁止するために“1”にセットしてください。これら8本のキーセンス入力割込みはすべて单一のIRQ₆割込みとなります。

IRQ₀～IRQ₇割込み*の割込み例外処理が受け付けられると、Iビットが“1”にセットされます。IRQ₀～IRQ₇割込み*例外処理のベクタ番号は4～11です。優先順位は、IRQ₇(低)→IRQ₀(高)の順に高くなります。詳細は表4.2を参照してください。

IRQ₀～IRQ₇割込み*は、IRQ₀～IRQ₇端子*が入力端子として使用されているか、出力端子として使用されているかには依存しません。

外部信号により、IRQ₀～IRQ₇割込み*を要求する場合、対応するポートのDDRを“0”とし、タイマ、シリアルコミュニケーションインターフェース、A/D変換器の入出力端子としては使用しないでください。

【注】* H8/3522では、それぞれ“IRQ₀～IRQ₂割込み”、“IRQ₀～IRQ₂端子”、“IRQ0SC～IRQ2SCビット”、“IRQ0E～IRQ2Eビット”となります。

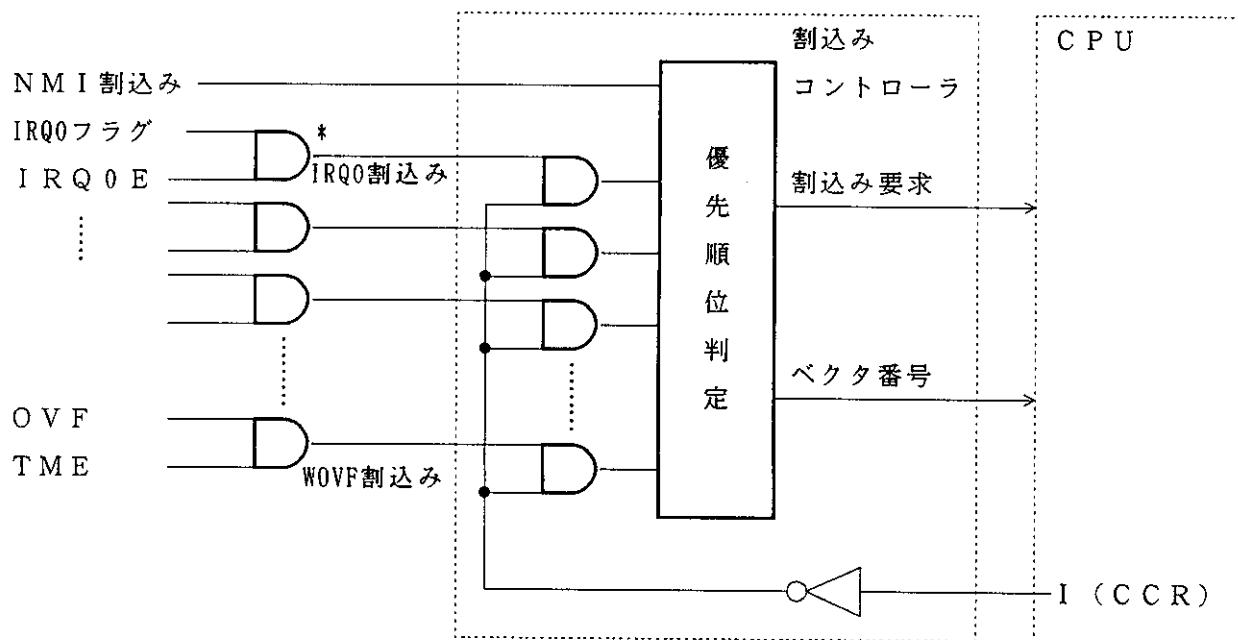
4.3.4 内部割込み

内蔵周辺モジュールからの割込みによる内部割込み要因は、23要因【H 8 / 3534】、19要因【H 8 / 3522】あります。

各要因別にそれぞれ割込み例外処理ベクタ番号が割り当てられているため、例外処理ルーチンで要因を判定する必要はありません。いずれの割込みもCCRのIビットを“1”にセットすることによりマスクされます。これらの割込み例外処理が受け付けられると、Iビットは“1”にセットされ、その後のNMIを除く割込みをマスクします。ベクタ番号は12～36です。内蔵周辺モジュールからの割込みの優先順位については、表4.2を参照してください。

4.3.5 割込み動作

割込みは、割込みコントローラにより制御されます。割込みコントローラは多重割込みを調整し、CPUに割込み例外処理の起動を要求すると共にベクタ番号を指示します。割込みコントローラのブロック図を図4.4に示します。



【注】* エッジセンスの場合、当該ANDゲートは次の回路に変わります。

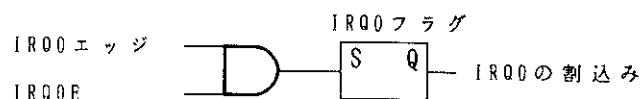


図4.4 割込みコントローラのブロック図

I R Q 割込みまたは内蔵周辺モジュール（リセットを選択したウォッチドッグタイマを除きます）の割込みは、それぞれの割込みに対応したイネーブルビットがあります。このイネーブルビットを“0”にクリアするとその割込みの割込み信号は、割込みコントローラに送られませんので、その割込みは無視されます。また、これらの割込みはC P Uの割込みマスク（I）ビットを“1”にセットすることにより一括して禁止することができます。すなわち、これらの割込みはイネーブルビットを“1”にセットし、かつIビットを“0”にクリアしたときに許可状態になります。

N M I 割込みは、リセット状態、ハードウェアスタンバイ状態を除き、常に受付けられます。

N M I 割込みまたは許可状態にある割込みが発生すると、割込みコントローラはC P Uに対し割込み要求を行い、またベクタ番号（複数の割込みが発生している場合は最も優先順位の高い割込みのベクタ番号）を指示します。C P Uの命令の終了時点、または例外処理の終了時点で割込み要求があるとC P Uは割込み例外処理を起動し、ベクタ番号をラッチします。

割込みの動作フローを図4.5に、タイミングチャート（プログラム領域を内蔵R O Mに、スタック領域を内蔵R A Mにとった場合）を図4.7に示します。

- (1) N M I 割込みが発生したとき、または対応するイネーブルビットが“1”にセットされている状態で、I R Q 割込みまたは内蔵周辺モジュールの割込みが発生したとき、割込みコントローラに対して割込み要求が送られます。
- (2) C C R の I ビットを参照し、I ビットが“0”にクリアされている場合は、割込みは受け付けられます。I ビットが“1”にセットされている場合はN M I 割込みのみ受け付けられ、他の割込み要求は保留となります。
- (3) 割込みコントローラは、受け付けた割込みの内から、優先順位に従って、最高位の割込み要求を選択し、C P Uに対し割込み要求を行います。その他の割込みは保留となります。
- (4) 割込み要求があると、その時実行中の命令または例外処理が終了した後、C P Uは割込み例外処理を起動し、ベクタ番号をラッチします。
- (5) C P Uは割込み例外処理によって、まずP CとC C Rがスタック領域に退避されます。このときのスタック状態を図4.6に示します。退避されるP Cは、リターン後に実行する最初の命令のアドレスを示しています。
- (6) 次にC P UはIビットを“1”にセットします。これにより、N M I を除く割込みはマスクされます。
- (7) (4)でラッチしたベクタ番号に対応するベクタアドレスを生成し、そのベクタアドレスから取り出した内容が示すアドレスに分岐します。分岐したアドレスから割込み処理ルーチンの実行を開始します。

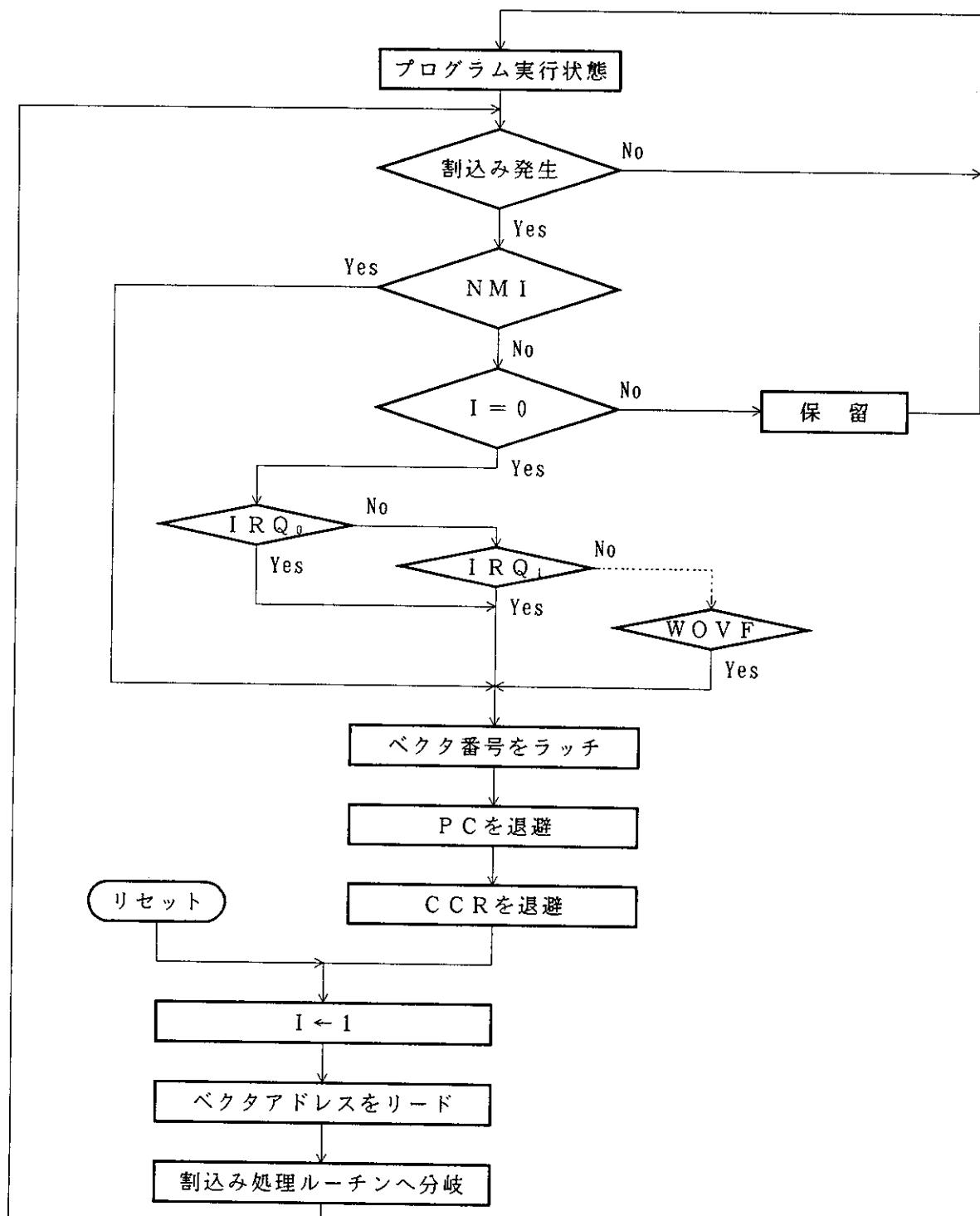
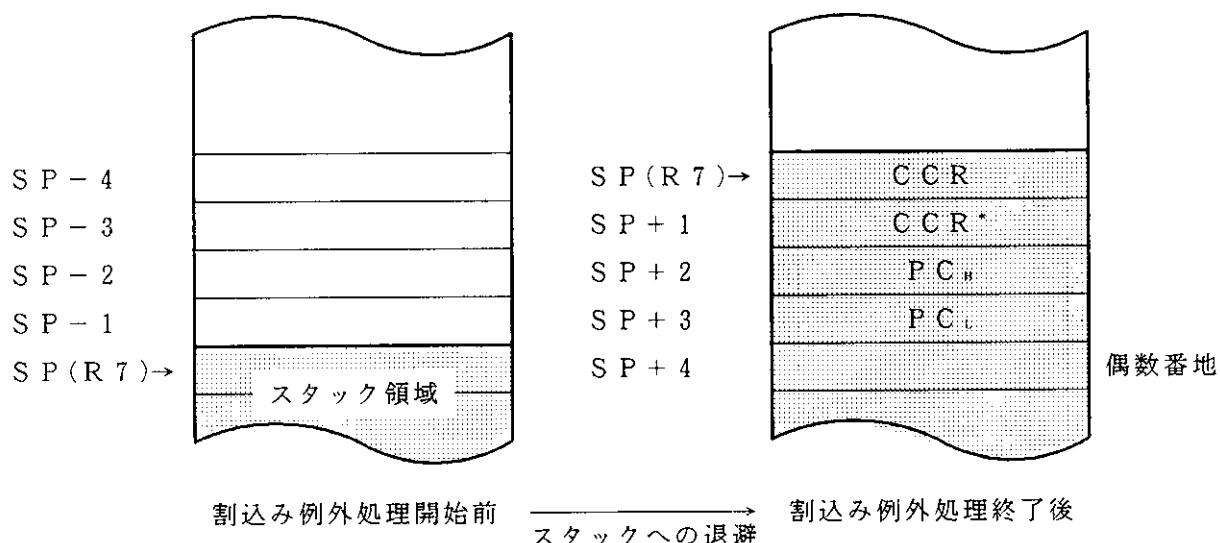


図 4.5 割込み受付けまでのフロー



〈記号説明〉

PC_H : プログラムカウンタ (PC) の上位 8 ビット

PC_L : プログラムカウンタ (PC) の下位 8 ビット

CCR : コンディションコードレジスタ

SP : スタックポインタ

【注】 1. PC はリターン後に実行する最初の命令のアドレスです。

2. レジスタの退避／復帰は必ずワードサイズで、偶数アドレスから行ってください。

* リターン時には無視されます。

図 4.6 割込み例外処理終了後のスタック状態

CCR は 1 バイトですが、スタックへ退避時はワードデータとして扱われます。割込み処理においては、1 ワードとするように CCR の同じ内容の 2 バイトがスタックに退避されます。RET 命令によりスタックから復帰したときには CCR は偶数アドレスに格納されているバイトからロードされ、奇数アドレスに格納されているバイトは無視されます。

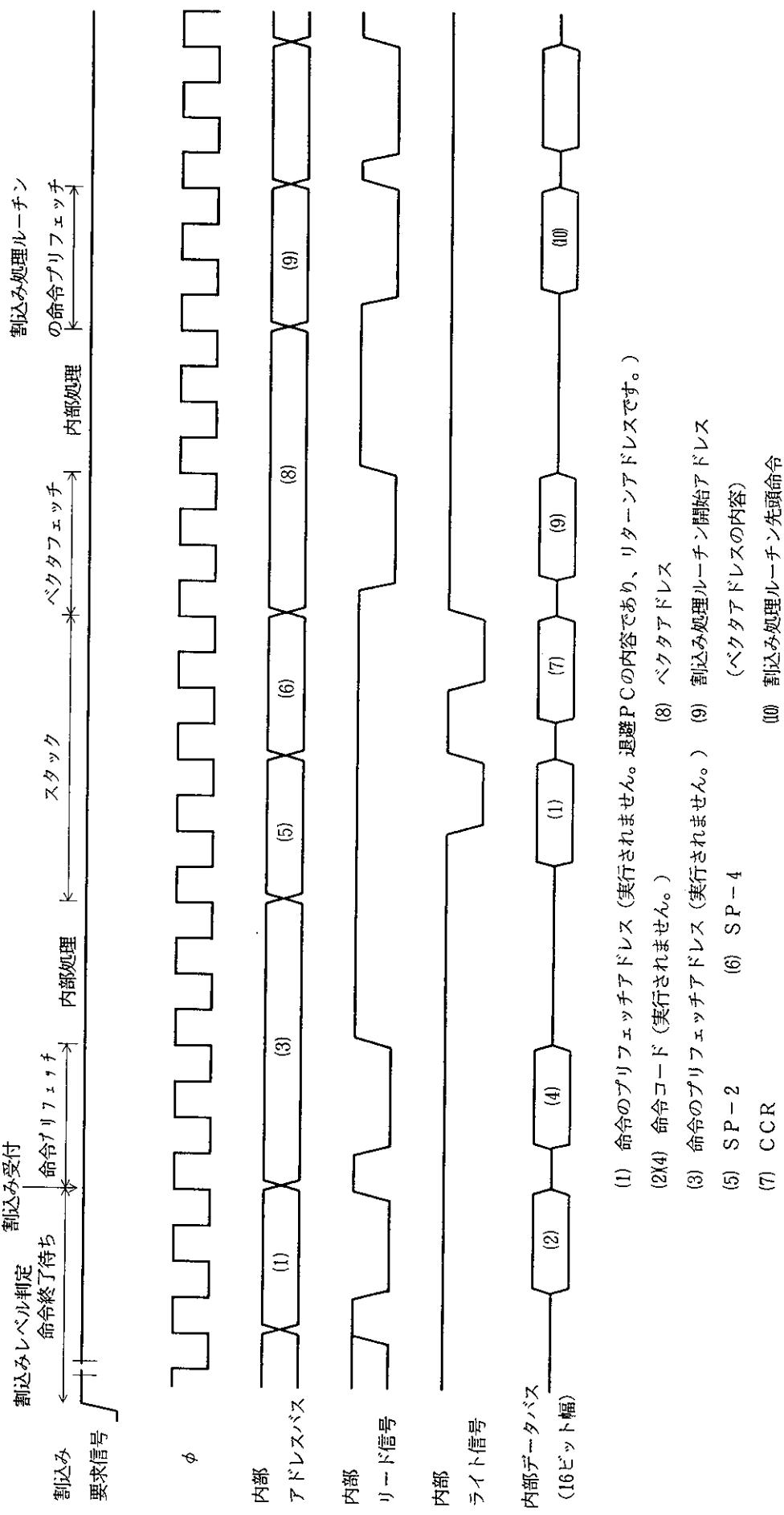


図4.7 割込みシーケンス

4.3.6 割込み応答時間

割込み要求発生後、割込み処理ルーチンの先頭命令を実行するまでの、待ちステート数を表4.4に示します。本LSIでは、内蔵メモリに対する高速ワードアクセスを可能としており、プログラム領域を内蔵ROMに、スタック領域を内蔵RAMに設けることにより、処理速度の向上が図れます。

表4.4 割込み待ちステート数

No.	項目	ス テ ー ト 数	
		内蔵メモリ使用	外部メモリ使用
1	割込み優先順位判定		2 * ³
2	実行中の命令終了時の待ち時間 ^{*1}	1～13	5～17 ^{*2}
3	P C、CCRのスタック	4	12 ^{*2}
4	ベクタフェッチ	2	6 ^{*2}
5	命令フェッチ	4	12 ^{*2}
6	内部処理	4	
	合 計	17～29	41～53 ^{*2}

【注】^{*1} E E P M O V 命令は除きます。

^{*2} 外部メモリアクセス時にウェイトが挿入される場合には、待ちステート数が増加します。

^{*3} 内部割込みのときとなります。

4.3.7 使用上の注意

割込み動作に関して次のような競合や動作が起りますので注意してください。

割込みのイネーブルビットを“0”にクリアして割込みを禁止する場合、割込みの禁止はその命令実行終了後に有効になります。すなわち、B C L R、M O V 命令などで、イネーブルビットを“0”にクリアする場合、命令実行中にその割込みが発生すると、命令実行終了時点では許可状態にあるため、命令実行終了後にその割込みの例外処理を実行します。ただし、その割込みより優先順位の高い割込み要求がある場合には、優先順位の高い割込み例外処理を実行し、その割込みは無視されます。

割込み要因フラグを“0”にクリアする場合も同様です。

O C I A E ビットを“0”にクリアする場合の例を図4.8に示します。

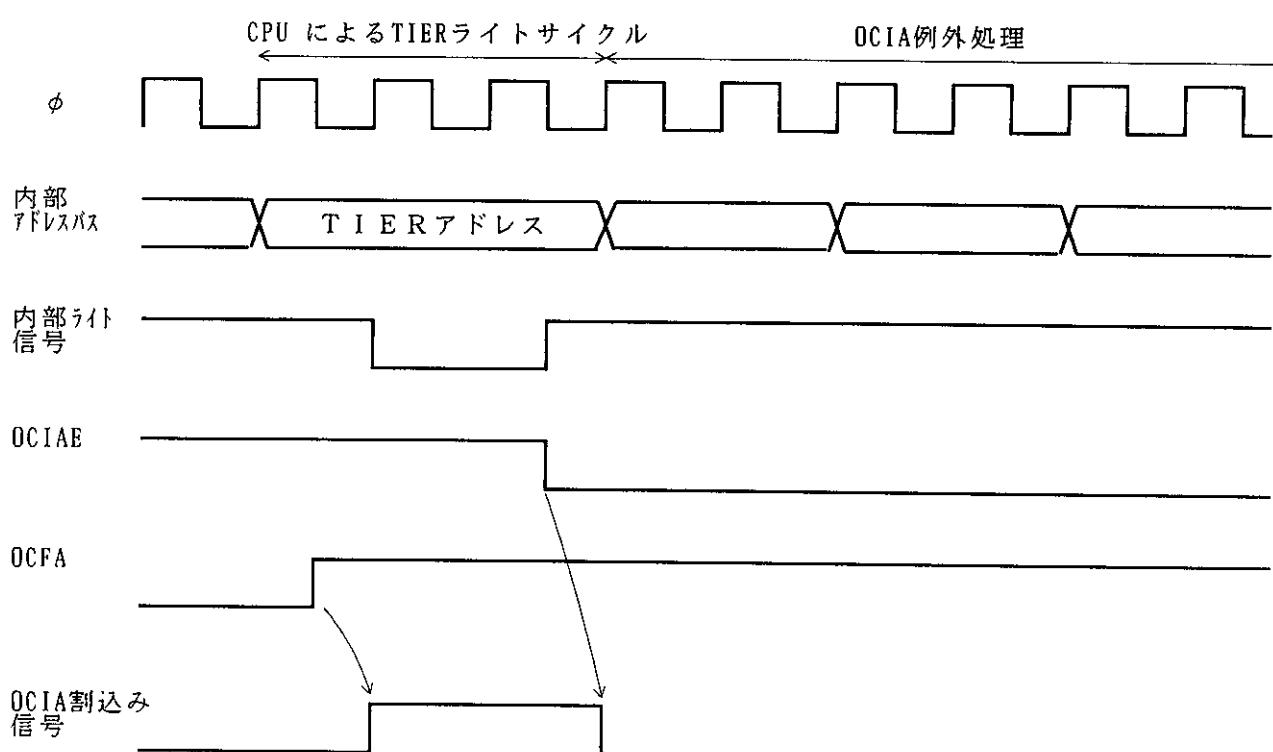


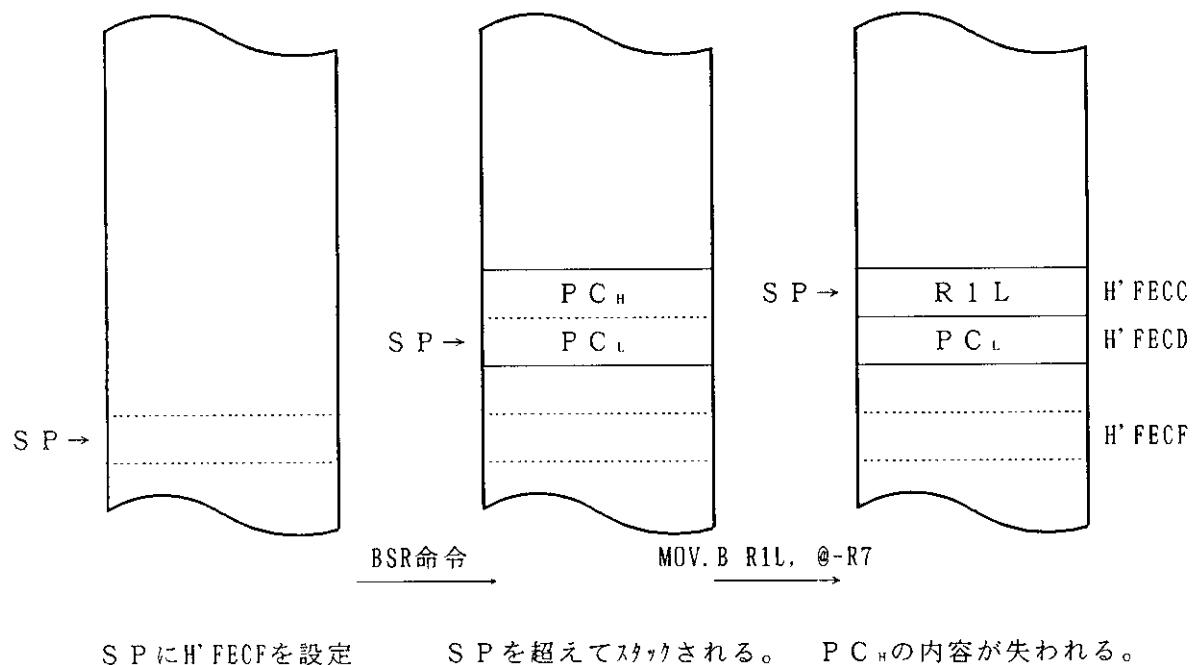
図4.8 割込みの発生とディスエーブルの競合

なお、割込みをマスクした状態 ($I = “1”$) で、イネーブルビットまたは割込み要因フラグを“0”にクリアすれば上記の競合は発生しません。

4.4 スタック領域に関する使用上の注意

本LSIでは、ワードデータをアクセスする場合は、アドレスの最下位ビットは“0”とみなされます。スタック領域に対するアクセスは、常にワードサイズで行い、スタックポインタ(S P : R7)の内容は奇数にしないでください。すなわち、レジスタの退避や復帰は、「P U S H R n (M O V . W R n, @ - S P)」または「P O P R n (M O V . W @ S P +, R n)」を使用してください。

S Pに奇数を設定すると、誤動作の原因となります。S Pに奇数を設定した場合の動作例を図4.9に示します。



〈記号説明〉

PC_H：プログラムカウンタの上位バイト

PC_L：プログラムカウンタの下位バイト

R1L：汎用レジスタのR1L

S P：スタックポインタ

図4.9 S Pに奇数を設定したときの動作

5. ウェイト制御

5

第5章 目次

5. 1 概要	93
5. 1. 1 特長	93
5. 1. 2 ブロック図	93
5. 1. 3 端子構成	94
5. 1. 4 レジスタ構成	94
5. 2 各レジスタの説明	94
5. 2. 1 ウェイトステートコントロールレジスタ (WSCR)	94
5. 3 ウェイトモード	96

5.1 概要

本LSIはウェイットステートコントローラを内蔵しており、低速外部デバイスとのインターフェースのために、バスサイクルにウェイットステートを挿入することが可能です。

5.1.1 特長

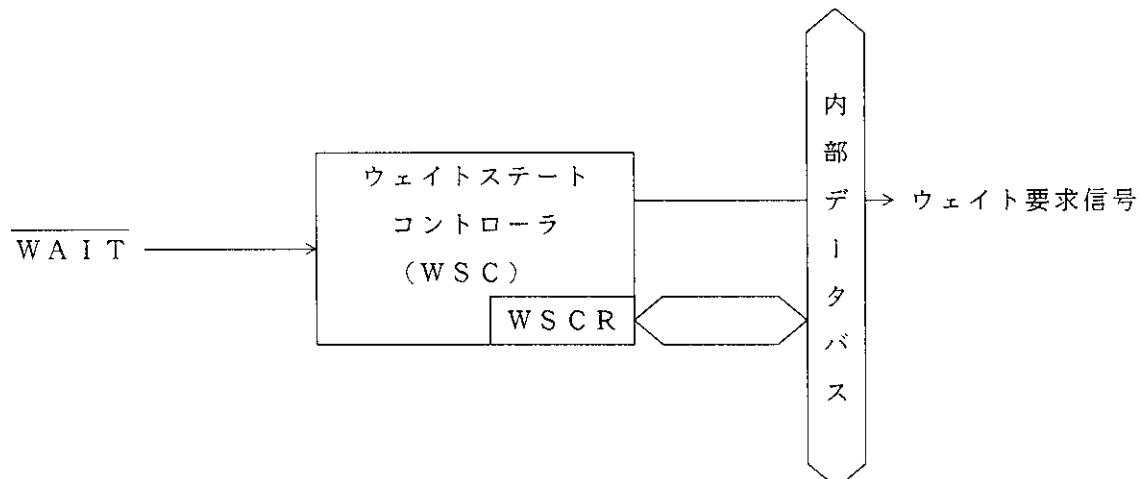
ウェイットステートコントローラの特長を次に示します。

■ 3種類のウェイットモード

- ・プログラマブルウェイットモード、端子オートウェイットモード、端子ウェイットモードを選択可能
- ・0～3ステートのウェイットステートを自動的に挿入可能

5.1.2 ブロック図

ウェイットステートコントローラのブロック図を図5.1に示します。



<記号説明>

WSCR: ウェイットステートコントロールレジスタ

図5.1 ウェイットステートコントローラのブロック図

5.1.3 端子構成

ウェイットステートコントローラの入出力端子を表5.1に示します。

表5.1 端子構成

名 称	略 称	入出力	機 能
ウェイト	WAIT	入 力	外部空間をアクセスするときのウェイト要求信号

5.1.4 レジスタ構成

ウェイットステートコントローラのレジスタ構成を表5.2に示します。

表5.2 レジスタ構成

アドレス		略 称	R/W	初期値
H'FFC2	ウェイットステートコントロールレジスタ	WSCR	R/W	H'08

5.2 各レジスタの説明

5.2.1 ウェイットステートコントロールレジスタ (WSCR)

WSCRは8ビットのリード／ライト可能なレジスタで、ウェイットステートコントローラ(WSC)のウェイトモードとウェイトステート数を設定します。また周辺モジュールへのクロックの分周を制御します。

ビット :	7	6	5	4	3	2	1	0
【H 8 / 3 5 3 4】	(RAMS)	(RAM0)	CKDBL	—	WMS1	WMS0	WC1	WC0
初期値 :	0	0	0	0	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	7	6	5	4	3	2	1	0
【H 8 / 3 5 2 2】	—	—	CKDBL	—	WMS1	WMS0	WC1	WC0
初期値 :	0	0	0	0	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

WSCRはリセット、またはハードウェアスタンバイモード時にH'08にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット7：RAMセレクト（RAMS）【H8／3534】

ビット6：RAMエリア設定（RAM0）【H8／3534】

リザーブビットです。“1”にセットしないでください。

ビット7、6：リザーブビット【H8／3522】

リザーブビットです。リード／ライト可能で初期値は“0”です。

ビット5：クロック分周（CKDBL）

周辺モジュールへ供給するクロック分周を制御します。詳しくは「第6章 クロック発振器」を参照してください。

ビット4：リザーブビット

リザーブビットです。リード／ライト可能で、初期値は“0”です。

ビット3、2：ウェイトモードセレクト1、0（WMS1、0）

ウェイトモードを設定します。

ビット3	ビット2	説	明
WMS1	WMS0		
0	0	プログラマブルウェイトモード	
	1	WSCによるウェイトを禁止	
1	0	端子ウェイトモード	(初期値)
	1	端子オートウェイトモード	

ビット1、0：ウェイトカウント1、0（WC1、0）

外部空間をアクセスするときに、自動的に挿入するウェイトステート数を設定します。

ビット1	ビット0	説	明
WC1	WC0		
0	0	WSCによるウェイトの自動的な挿入を禁止	(初期値)
	1	1ステート挿入	
1	0	2ステート挿入	
	1	3ステート挿入	

5.3 ウェイトモード

(1) プログラマブルウェイトモード

プログラマブルウェイトモードでは、外部空間をアクセスすると、常に WC1、0ビットにより設定されたステート数だけ T_w が挿入されます。

このタイミングを図 5.2 に示します。図 5.2 は、ウェイトカウントが 1 の場合 (WC1 = “0”、WC0 = “1”) です。

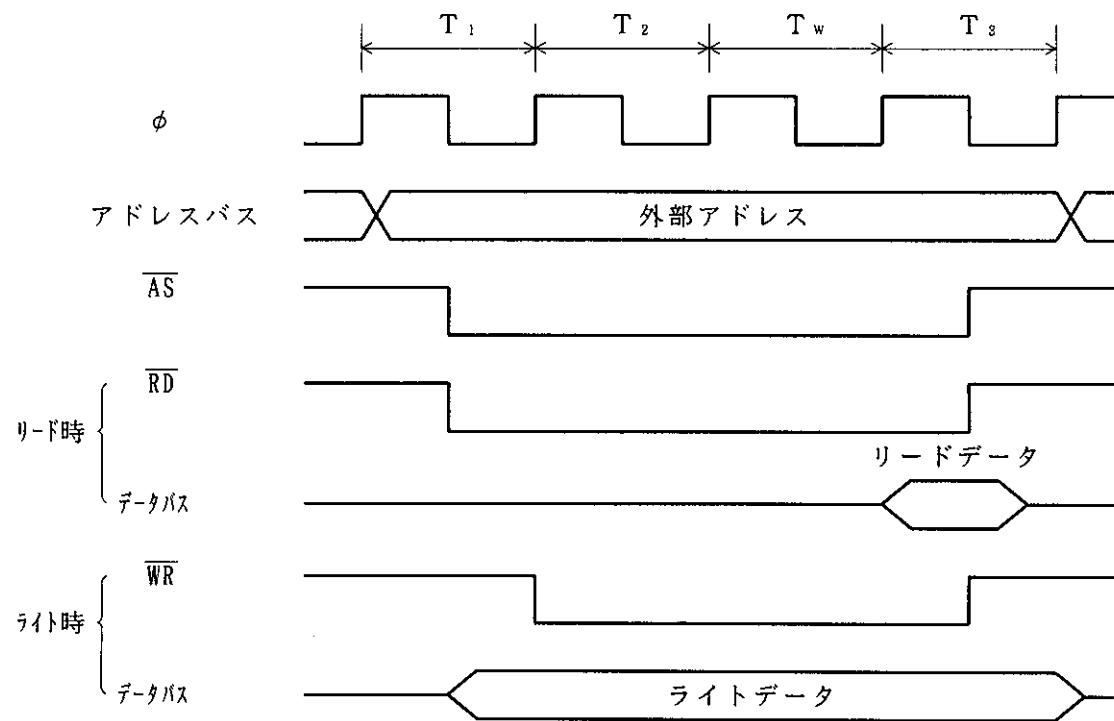


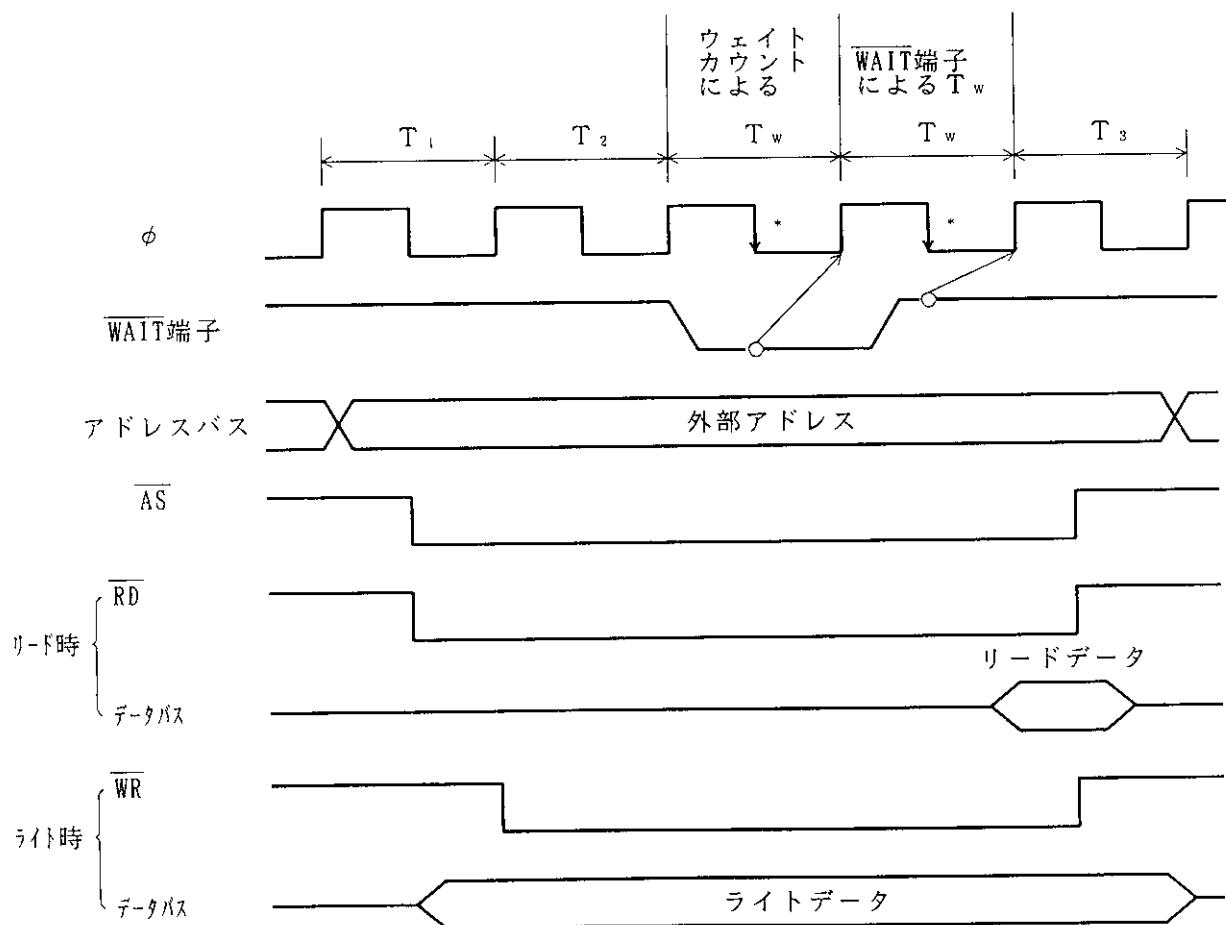
図 5.2 プログラマブルウェイトモード

(2) 端子ウェイトモード

端子ウェイトモードでは、外部空間をアクセスすると、常にWC1、0ビットにより設定されたステート数だけ T_w が挿入されます。この最後の T_w の ϕ の立下がりのタイミングでWAIT端子を“Low”レベルにすることで、さらに T_w を挿入することができます。WAIT端子が“Low”レベルに保持されると、WAIT端子が“High”レベルに立上がるまで T_w が挿入されます。

端子ウェイトモードは、4ステート以上の T_w を挿入する場合や、外部デバイスごとに挿入する T_w 数を変える場合などに有効です。

ウェイトカウントが1 (WC1 = “0”、WC0 = “1”) で、かつWAIT端子入力による T_w が1ステートの場合のタイミングを図5.3に示します。



【注】* 矢印はWAIT端子のサンプリングタイミングを示します。

図5.3 端子ウェイトモード

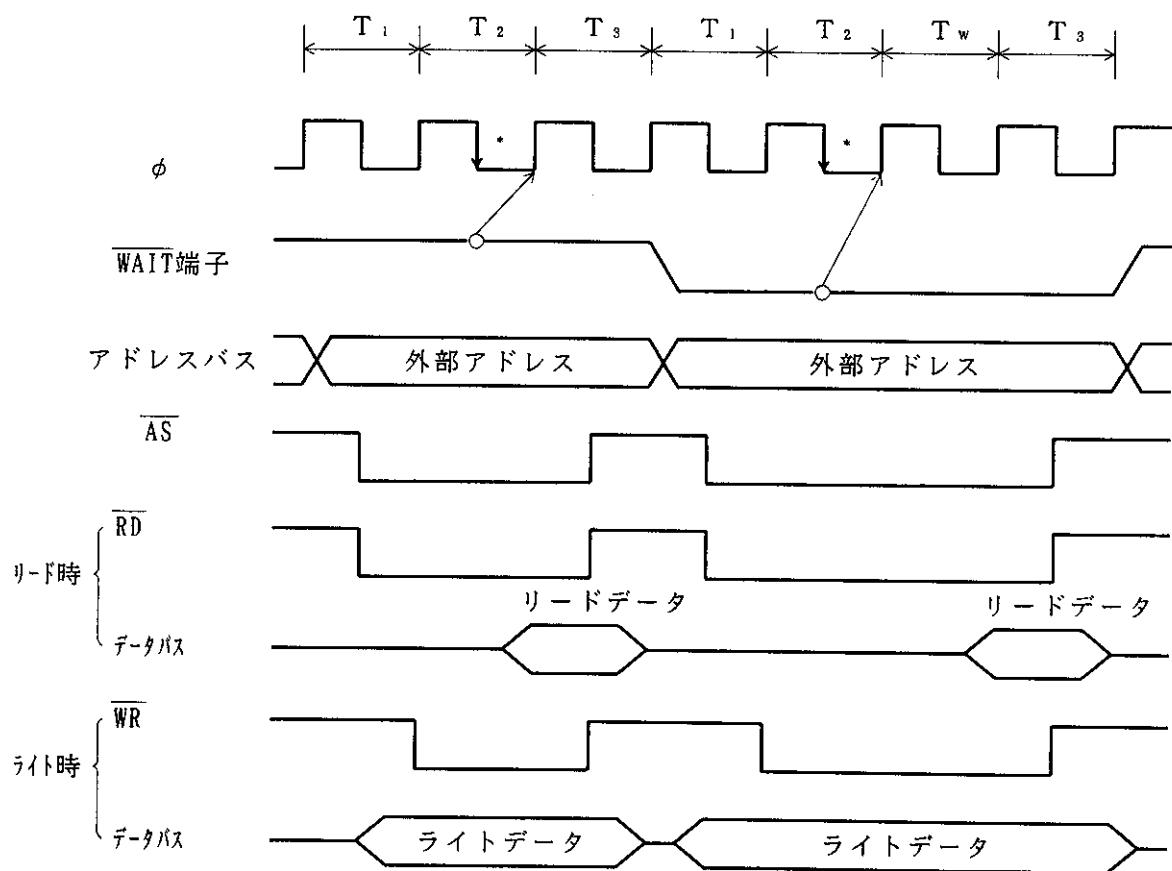
(3) 端子オートウェイトモード

端子オートウェイトモードでは、WAIT端子が“Low”レベルのとき、WC1、0ビットで設定されたTw数が挿入されます。

端子オートウェイトモードでは、T₂ステートのゆき立下がりのタイミングでWAIT端子が“Low”レベルであればWC1、0ビットによって設定された数だけTwを挿入します。

WAIT端子を“Low”レベルに保持しても、設定された数を超えるTwは挿入されません。端子オートウェイトモードを用いるとチップセレクト信号をWAIT端子に入力するだけで、低速メモリと容易にインターフェースすることができます。

このタイミングを図5.4に示します。図5.4は、ウェイトカウントが1の場合です。



【注】* 矢印はWAIT端子のサンプリングタイミングを示します。

図5.4 端子オートウェイトモード

6. クロック発振器

第6章 目次

6. 1 概要	101
6. 1. 1 ブロック図	101
6. 1. 2 ウェイトステートコントロールレジスタ (WSCR)	101
6. 2 発振器	103
6. 3 デューティ補正回路	106
6. 4 プリスケーラ	106

6.1 概要

本LSIはクロック発振器(CPG:Clock Pulse Generator)を内蔵しています。クロック発振器は、発振器、デューティ補正回路、内蔵周辺モジュール用クロック分周器、プリスケーラから構成されます。

6.1.1 ブロック図

図6.1にクロック発振器のブロック図を示します。

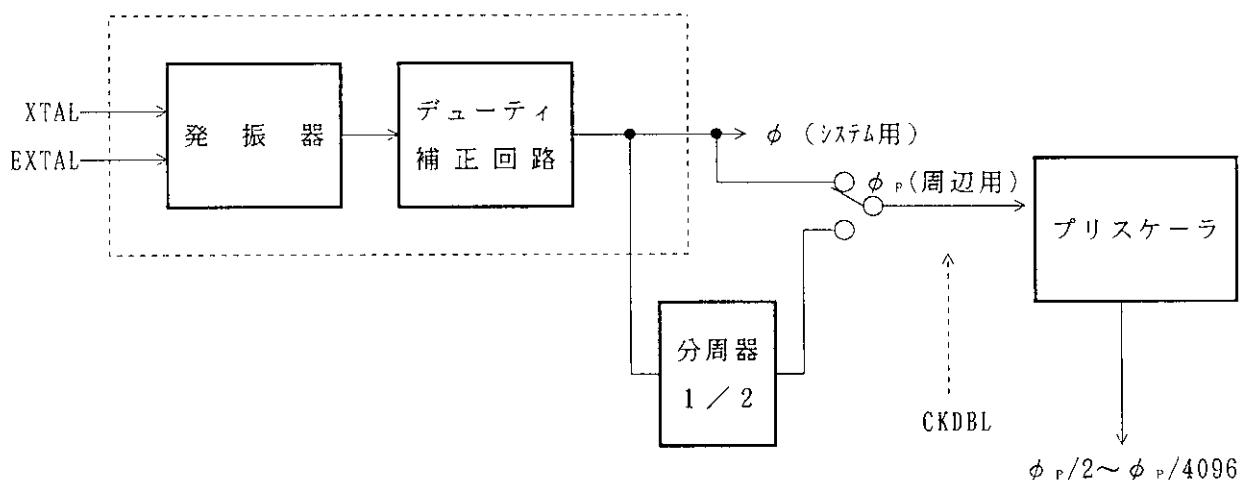


図6.1 クロック発振器のブロック図

EXTAL端子に外部クロックを入力するか、またはXTAL端子とEXTAL端子に水晶振動子を接続します。システムクロック(ϕ)の周波数は、発振周波数と同一になります。タイマ等の周辺機能に供給するクロック(ϕ_p)は、CKDBLビットをソフトウェアで制御し、分周なしまだ2分周を選択できます。

6.1.2 ウェイットステートコントロールレジスタ (WSCR)

ウェイットステートコントロールレジスタ(WSCR)は8ビットのリード/ライト可能なレジスタで、周辺モジュールへ供給するクロックの分周を制御します。また、ウェイットステートコントローラのウェイトの制御と、フラッシュメモリ用のRAMエリア設定を制御します。

WSCRはリセットまたはハードウェアスタンバイモード時にH'08にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット :	7	6	5	4	3	2	1	0
【H 8／3534】	(RAMS)	(RAM0)	CKDBL	—	WMS1	WMS0	WC1	WC0
初期値 :	0	0	0	0	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	7	6	5	4	3	2	1	0
【H 8／3522】	—	—	CKDBL	—	WMS1	WMS0	WC1	WC0
初期値 :	0	0	0	0	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット7 : RAMセレクト (RAMS) 【H 8／3534】

ビット6 : RAMエリア設定 (RAM0) 【H 8／3534】

リザーブビットです。“1”にセットしないでください。

ビット7、6 : リザーブビット【H 8／3522】

リザーブビットです。リード/ライト可能で、初期値は“0”です。

ビット5 : クロック分周 (CKDBL)

周辺モジュールへ供給するシステムクロックの分周を制御します。

ビット5 CKDBL	説	明
0	周辺モジュールへのクロック (ϕ_p) はシステムクロック (ϕ) を分周しない	(初期値)
1	周辺モジュールへのクロック (ϕ_p) はシステムクロック (ϕ) を2分周する	

ビット4 : リザーブビット

リザーブビットです。リード/ライト可能で、初期値は“0”です。

ビット3、2 : ウェイトモードセレクト1、0 (WMS1、0)

ビット1、0 : ウェイトカウント1、0 (WC1、0)

ウェイターステートコントローラのウェイトを制御します。詳しくは「第5章 ウェイト制御」を参照してください。

6. 2 発振器

クロック発振器へクロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2通りがあります。

(1) 水晶発振子を接続する方法

① 回路構成

水晶発振子を接続する場合の接続例を図6.2に示します。水晶発振子は、ATカット並列共振形を使用してください。

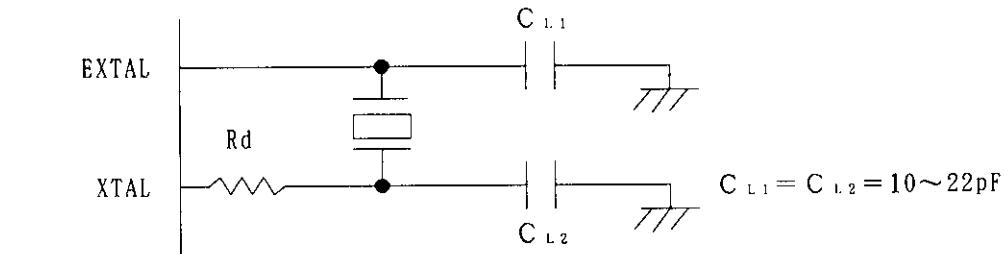


図6.2 水晶発振子を接続する場合の接続例

表6.1 ダンピング抵抗値

周波数 (MHz)	4	8	10
Rd (Ω)	500	200	0

② 水晶発振子

図6.3に水晶発振子の等価回路を示します。水晶発振子は表6.2に示す特性のものを使用してください。

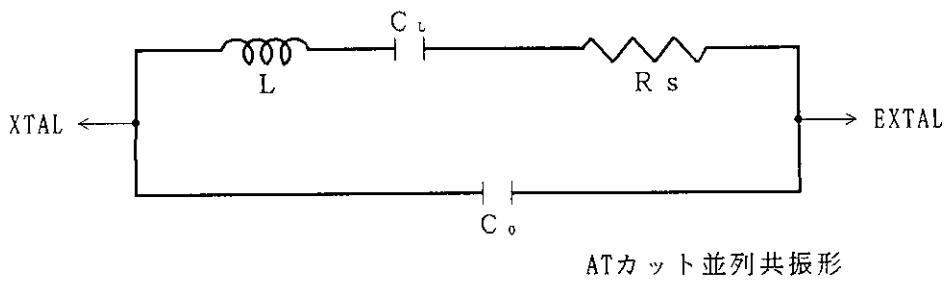


図6.3 水晶発振子の等価回路

表6.2 水晶発振子のパラメータ

周波数 (MHz)	4	8	10
R_s max (Ω)	120	80	70
C_0 (pF)	7 pF max		

水晶発振子は、システムクロック (ϕ) と同一の周波数のものを使用してください。

③ ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くに信号線を通過させないでください。誘導により正しい発振ができないことがあります（図6.4）。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけXTAL、EXTAL端子の近くに配置してください。

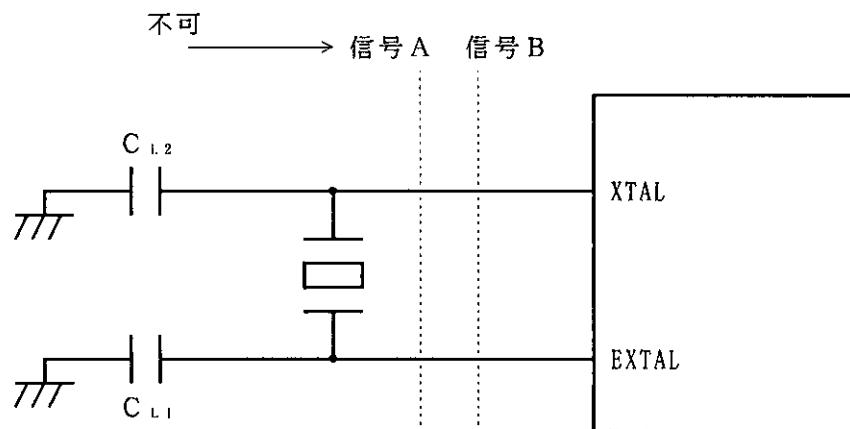


図6.4 発振回路部のボード設計に関する注意事項

(2) 外部クロックを入力する方法

① 回路構成

外部クロック入力の接続例を図6.5に示します。図6.5(b)の場合、スタンバイ時には外部クロックが“High”レベルとなるようにしてください。

XTAL端子をオープン状態にする場合は、寄生容量が10pF以下としてください。

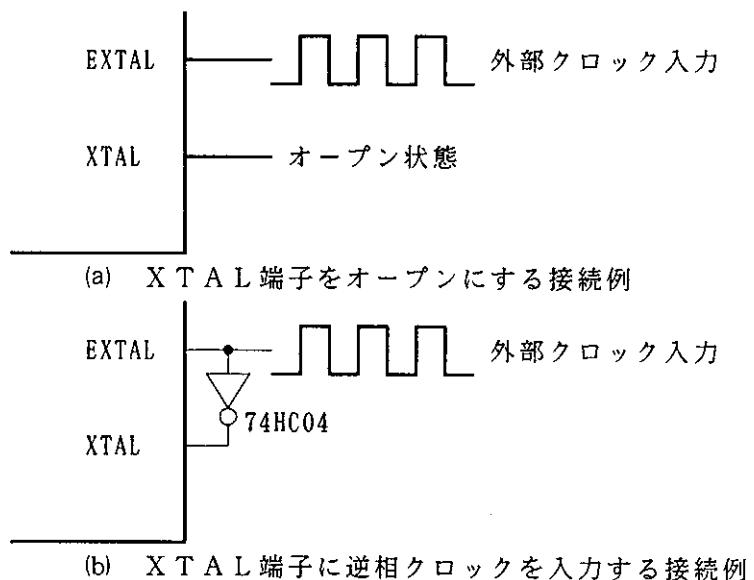


図6.5 外部クロックを入力する場合の接続例

② 外部クロック

外部クロックの周波数は、分周器によって分周しないときの周波数と同一にしてください。

表 6. 3 にクロックタイミング、図 6. 6 に外部クロック入力タイミングを示します。

表 6. 3 クロックタイミング

項 目	記号	$V_{cc} = 5.0V \pm 10\%$		単位	測 定 条 件
		min	max		
外部クロック入力 パルス幅 "Low" レベル	t_{EXL}	40	—	ns	図 6. 6
外部クロック入力 パルス幅 "High" レベル	t_{EXH}	40	—	ns	
外部クロック 立上がり時間	t_{EXr}	—	10	ns	図 6. 6
外部クロック 立下がり時間	t_{EXT}	—	10	ns	
クロックパルス幅 "Low" レベル	t_{CL}	0.3	0.7	t_{cyc}	$\phi \geq 5 \text{ MHz}$
		0.4	0.6	t_{cyc}	$\phi < 5 \text{ MHz}$
クロックパルス幅 "High" レベル	t_{CH}	0.3	0.7	t_{cyc}	$\phi \geq 5 \text{ MHz}$
		0.4	0.6	t_{cyc}	$\phi < 5 \text{ MHz}$

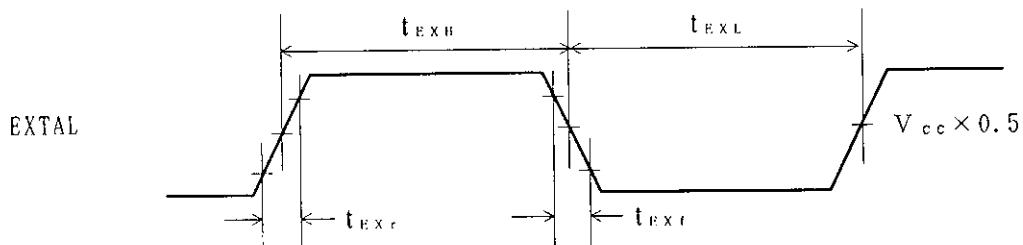


図 6. 6 外部クロック入力タイミング

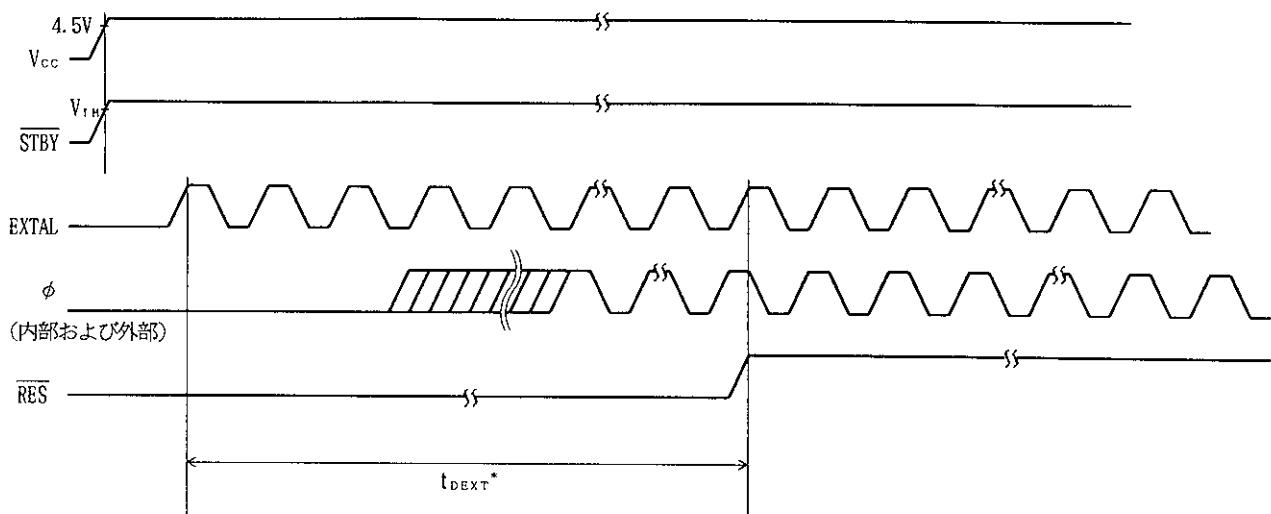
表6.4に外部クロック出力安定遅延時間、図6.7に外部クロック出力安定遅延時間タイミングを示します。発振器とデューティ補正回路は、EXTAL端子に入力した外部クロック入力の波形を調整する機能を持っています。EXTAL端子に規定のクロック信号を入力すると、外部クロック出力安定遅延時間(t_{DEXT})経過後に内部クロック信号出力が確定します。 t_{DEXT} 期間中はクロック信号出力が確定していないので、リセット信号を“Low”にし、リセット状態に保持してください。

表6.4 外部クロック出力安定遅延時間

[条件: $V_{CC}=4.5V \sim 5.5V$, $AV_{CC}=4.5V \sim 5.5V$, $V_{SS}=AV_{SS}=0V$]

項目	記号	min.	max.	単位	備考
外部クロック出力安定遅延時間	t_{DEXT}^*	500	—	μs	図6.7

【注】*: t_{DEXT} は、RESパルス幅(t_{RESW})を10 t_{cyc} 含みます。



【注】*: t_{DEXT} は、RESパルス幅(t_{RESW})を10 t_{cyc} 含みます。

図6.7 外部クロック出力安定遅延時間タイミング

6.3 デューティ補正回路

デューティ補正回路は、周波数5MHz以上の発振に対し発振器からのクロックのデューティを補正し、システムクロック(φ)を生成します。

6.4 プリスケーラ

1/2分周器は、CKDBLビットの設定に従って、システムクロック(φ)から周辺モジュール用クロック(φ_P)を生成します。

プリスケーラは、φ_Pを分周し、内部クロック(φ_P/2 ~ φ_P/4096)を生成します。

7. I/O ポート

第7章 目次

7. 1	概要	109
7. 2	ポート 1	112
7. 2. 1	概要	112
7. 2. 2	レジスタの構成と説明	112
7. 2. 3	モード別端子機能	115
7. 2. 4	入力プルアップMOS	117
7. 3	ポート 2	118
7. 3. 1	概要	118
7. 3. 2	レジスタの構成と説明	118
7. 3. 3	モード別端子機能	120
7. 3. 4	入力プルアップMOS	122
7. 4	ポート 3	123
7. 4. 1	概要	123
7. 4. 2	レジスタの構成と説明	123
7. 4. 3	モード別端子機能	125
7. 4. 4	入力プルアップMOS	126
7. 5	ポート 4【H 8 / 3 5 3 4】	127
7. 5. 1	概要	127
7. 5. 2	レジスタの構成と説明	127
7. 5. 3	端子機能	129
7. 6	ポート 5	131
7. 6. 1	概要	131
7. 6. 2	レジスタの構成と説明	131
7. 6. 3	端子機能	133
7. 7	ポート 6	134
7. 7. 1	概要	134
7. 7. 2	レジスタの構成と説明	135

7.7.3	端子機能	137
7.7.4	入力プルアップMOS【H8／3534】	141
7.8	ポート7	142
7.8.1	概要	142
7.8.2	レジスタの構成と説明	142
7.9	ポート8【H8／3534】	143
7.9.1	概要	143
7.9.2	レジスタの構成と説明	144
7.9.3	端子機能	145
7.10	ポート9【H8／3534】・ポート4【H8／3522】	146
7.10.1	概要	146
7.10.2	レジスタの構成と説明	147
7.10.3	端子機能	149

7.1 概要

H 8 / 3534 は、8ビット入出力ポートを6本、7ビット入出力ポートを1本、3ビット入出力ポートを1本、8ビット入力専用ポートを1本備えています。H 8 / 3522 は、8ビット入出力ポートを5本、3ビット入出力ポートを1本、8ビット入力専用ポートを1本備えています。

各ポートの動作モード別機能一覧を表7.1に示します。表7.1に示すように、各ポートは兼用端子になっています。また各ポートの端子機能は動作モードにより異なります。

各ポートは、入出力を制御するデータディレクションレジスタ（DDR）と、出力データを格納するデータレジスタ（DR）から構成されています。ポートのDDRに対してビット操作命令を実行する場合には、「2.5.5 ビット操作命令」の【ビット操作命令使用上の注意】を参照してください。

ポート1～4、6、9は1個のTTL負荷と90pFの容量負荷を駆動することができ、ポート5、8は1個のTTL負荷と30pFの容量負荷を駆動することができます。また、ポート1、2は、LEDを駆動（シンク電流10mA）することができます。

ポート1～6、8、9はダーリントントランジスタを駆動することができます。ポート1～3、6には入力プルアップMOSが内蔵されています。

各ポートのブロック図は「付録C. I/Oポートブロック図」を参照してください。

表 7.1(a) H8/3534 のポートの機能一覧

ポート	概要	端子	拡張モード		シングルチップモード
			モード1	モード2	
			モード3	マスタモード	
ポート1	• 8ビットの入出力ポート • LED駆動可能 • 入力プルアップMOS内蔵	P1 ₇ ～P1 ₀ /A ₇ ～A ₀	下位アドレス(A ₇ ～A ₀) 出力端子	入力ポートまたは 下位アドレス(A ₇ ～A ₀) 出力端子	入出力ポート (キースキャン用出力ポートとして使用可能)
ポート2	• 8ビットの入出力ポート • LED駆動可能 • 入力プルアップMOS内蔵	P2 ₇ ～P2 ₀ /A ₁₅ ～A ₈	上位アドレス(A ₁₅ ～A ₈) 出力端子	入力ポートまたは 上位アドレス(A ₁₅ ～A ₈) 出力端子	入出力ポート (キースキャン用出力ポートとして使用可能)
ポート3	• 8ビットの入出力ポート • 入力プルアップMOS内蔵	P3 ₇ ～P3 ₀ /D ₇ ～D ₀	データバス(D ₇ ～D ₀)		入出力ポート
ポート4	• 8ビットの入出力ポート	P4 ₇ /PW ₁ P4 ₆ /PW ₀	PWMタイマ0、1の出力(PW ₀ 、PW ₁)と入出力ポートの兼用		
		P4 ₅ /TMRI ₁ P4 ₄ /TMO ₁ P4 ₃ /TMCI ₁	8ビットタイマ1の入出力(TMCI ₁ 、TMO ₁ 、TMRI ₁)と入出力ポートの兼用		
		P4 ₂ /TMRI ₀ P4 ₁ /TMO ₀ P4 ₀ /TMCI ₀	8ビットタイマ0の入出力(TMCI ₀ 、TMO ₀ 、TMRI ₀)と入出力ポートの兼用		
ポート5	• 3ビットの入出力ポート	P5 ₂ /SCK ₀ P5 ₁ /RxD ₀ P5 ₀ /TxD ₀	シリアルコミュニケーションインターフェース0の入出力(TxD ₀ 、RxD ₀ 、SCK ₀)と入出力ポートの兼用		
ポート6	• 8ビットの入出力ポート • 入力プルアップMOS内蔵	P6 ₇ /IRQ ₇ /KEYIN ₇ P6 ₆ /FTOB/IRQ ₆ /KEYIN ₆ P6 ₅ /FTID/KEYIN ₅ P6 ₄ /FTIC/KEYIN ₄ P6 ₃ /FTIB/KEYIN ₃ P6 ₂ /FTIA/KEYIN ₂ P6 ₁ /FTOA/KEYIN ₁ P6 ₀ /FTCI/KEYIN ₀	16ビットフリーランニングタイマの入出力(FTCI、FTOA、FTOB、FTIA、FTIB、FTIC、FTID)、キーセンス割込み(KEYIN ₇ ～KEYIN ₀)および外部割込み(IRQ ₇ 、IRQ ₆)と入出力ポートの兼用		
ポート7	• 8ビットの入力ポート	P7 ₇ ～P7 ₀ / AN ₇ ～AN ₀	A/D変換器のアナログ入力(AN ₇ ～AN ₀)と入力ポートの兼用		
ポート8	• 7ビットの入出力ポート	P8 ₆ /IRQ ₅ /SCK ₁ P8 ₅ /IRQ ₄ /RxD ₁ P8 ₄ /IRQ ₃ /TxD ₁	シリアルコミュニケーションインターフェース1の入出力(TxD ₁ 、RxD ₁ 、SCK ₁)、IRQ ₅ ～IRQ ₃ 入力端子と入出力ポートの兼用		
		P8 ₃ P8 ₂ P8 ₁ P8 ₀	入出力ポート		
ポート9	• 8ビットの入出力ポート	P9 ₇ /WAIT	拡張データバス制御入力(WAIT)と入出力ポートの兼用		入出力ポート
		P9 ₆ /φ	システムクロック(φ)出力		φ出力または入力ポート
		P9 ₅ /AS	拡張データバス制御出力(RD、WR、AS)		入出力ポート
		P9 ₄ /WR			
		P9 ₃ /RD			
		P9 ₂ /IRQ ₀	外部割込み(IRQ ₀ 、IRQ ₁)と入出力ポートの兼用		
		P9 ₁ /IRQ ₁			
		P9 ₀ /ADTRG/ IRQ ₂	A/D変換器の外部トリガ入力(ADTRG)および外部割込み(IRQ ₂)と入出力ポートの兼用		

表 7. 1 (b) H 8 / 3 5 2 2 のポートの機能一覧

ポート	概要	端子	拡張モード		シングルチップモード	
			モード1	モード2		
ポート1	• 8ビットの入出力ポート • 入力プルアップMOS内蔵 • LED駆動可能	P1 ₇ ~P1 ₀ / A ₇ ~A ₀	下位アドレス(A ₇ ~A ₀) 出力端子	DDR="0" のとき(リセット後)入力ポート DDR="1" のとき 下位アドレス(A ₇ ~A ₀) 出力端子	入出力ポート	
ポート2	• 8ビットの入出力ポート • 入力プルアップMOS内蔵 • LED駆動可能	P2 ₇ ~P2 ₀ / A ₁₅ ~A ₈	上位アドレス(A ₁₅ ~A ₈) 出力端子	DDR="0" のとき(リセット後)入力ポート DDR="1" のとき 上位アドレス(A ₁₅ ~A ₈) 出力端子	入出力ポート	
ポート3	• 8ビットの入出力ポート • 入力プルアップMOS内蔵	P3 ₇ ~P3 ₀ / D ₇ ~D ₀	データバス(D ₇ ~D ₀)		入出力ポート	
ポート4	• 8ビットの入出力ポート	P4 ₇ /WAIT	拡張データバス制御入力(WAIT)と入出力ポートの兼用		入出力ポート	
		P4 ₆ /φ	システムクロック(φ)出力		DDR="0" のとき(リセット後)入力ポート DDR="1" のとき φ出力端子	
		P4 ₅ /AS	拡張データバス制御出力(RD、WR、AS)		入出力ポート	
		P4 ₄ /WR				
		P4 ₃ /RD	外部割込み(IRQ ₀ 、IRQ ₁)と入出力ポートの兼用		入出力ポート	
		P4 ₂ /IRQ ₀				
ポート5	• 3ビットの入出力ポート	P4 ₁ /IRQ ₁	A/D変換器の外部トリガ入力(ADTRG)および外部割込み(IRQ ₂)と入出力ポートの兼用		入出力ポート	
		P4 ₀ /IRQ ₂ /ADTRG				
ポート5	• 3ビットの入出力ポート	P5 ₂ /SCK P5 ₁ /RxD P5 ₀ /TxD	シリアルコミュニケーションインターフェースの入出力(TxD、RxD、SCK)と3ビット入出力ポートの兼用			
ポート6	• 8ビットの入出力ポート	P6 ₇ /TM0 ₁ P6 ₆ /FTOB/TMRI ₁ P6 ₅ /FTID/TMC1 ₁ P6 ₄ /FTIC/TM0 ₀ P6 ₃ /FTIB/TMRI ₀ P6 ₂ /FTIA P6 ₁ /FTOA P6 ₀ /FTC1/TMC1 ₀	16ビットフリーランニングタイマの入出力(FTCI、FTOA、FTOB、FTIA、FTIB、FTIC、FTID)、8ビットタイマ0、1の入出力(TMCI ₀ 、TMRI ₀ 、TM0 ₀ 、TMC1 ₁ 、TMRI ₁ 、TM0 ₁)と8ビット入出力ポートの兼用			
ポート7	• 8ビットの入力ポート	P7 ₇ ~P7 ₀ / AN ₇ ~AN ₀	A/D変換器のアナログ入力(AN ₇ ~AN ₀)と8ビット入力ポートの兼用			

7.2 ポート1

7.2.1 概要

ポート1は、8ビットの入出力ポートです。ポート1の各端子は、図7.1に示す構成になっています。図7.1に示すように、各端子の機能は、動作モードによって切り換わります。

ポート1には、プログラムで制御可能な入力プルアップMOSが内蔵されており、モード2、3で使用できます。

また、ポート1は、1個のTTL負荷と90pFの容量負荷を駆動することができます。また、LED、ダーリントントランジスタを駆動することも可能です。

モード1					
(内蔵ROM無効拡張モード)		モード2		モード3	
ポート1端子	時の端子機能	モード	時の端子機能	モード	時の端子機能
P1 ₇	P1 ₇ /A ₇	A ₇ (出力)	A ₇ (出力) / P1 ₇ (入力)	P1 ₇ (入出力)	
P1 ₆	P1 ₆ /A ₆	A ₆ (出力)	A ₆ (出力) / P1 ₆ (入力)	P1 ₆ (入出力)	
P1 ₅	P1 ₅ /A ₅	A ₅ (出力)	A ₅ (出力) / P1 ₅ (入力)	P1 ₅ (入出力)	
P1 ₄	P1 ₄ /A ₄	A ₄ (出力)	A ₄ (出力) / P1 ₄ (入力)	P1 ₄ (入出力)	
P1 ₃	P1 ₃ /A ₃	A ₃ (出力)	A ₃ (出力) / P1 ₃ (入力)	P1 ₃ (入出力)	
P1 ₂	P1 ₂ /A ₂	A ₂ (出力)	A ₂ (出力) / P1 ₂ (入力)	P1 ₂ (入出力)	
P1 ₁	P1 ₁ /A ₁	A ₁ (出力)	A ₁ (出力) / P1 ₁ (入力)	P1 ₁ (入出力)	
P1 ₀	P1 ₀ /A ₀	A ₀ (出力)	A ₀ (出力) / P1 ₀ (入力)	P1 ₀ (入出力)	

図7.1 ポート1の端子構成

7.2.2 レジスタの構成と説明

表7.2にポート1のレジスタ構成を示します。

表7.2 ポート1レジスタ構成

名 称	略 称	R/W	初 期 値		アドレス
			モード1	モード2、3	
ポート1データディレクションレジスタ	P1DDR	W	H'FF	H'00	H'FFB0
ポート1データレジスタ	P1DR	R/W	H'00		H'FFB2
ポート1入力ガルアップMOSコントロールレジスタ	P1PCR	R/W	H'00		H'FFAC

(1) ポート1データディレクションレジスタ (P1DDR)

ビット:	7	6	5	4	3	2	1	0
	P1 ₇ DDR	P1 ₆ DDR	P1 ₅ DDR	P1 ₄ DDR	P1 ₃ DDR	P1 ₂ DDR	P1 ₁ DDR	P1 ₀ DDR
モード1 { 初期値:	1	1	1	1	1	1	1	1
	R/W:	—	—	—	—	—	—	—
モード2、3 { 初期値:	0	0	0	0	0	0	0	0
	R/W:	W	W	W	W	W	W	W

P1DDRは、ポート1の各端子の入出力をビットごとに制御します。

(a) モード1

P1DDRは、“1”に固定され、ポート1は下位アドレス出力端子になります。P1DDRへのリード／ライトは無効です。リードすると“1”が読み出されます。

ハードウェアスタンバイモード時は、アドレスバスはハイインピーダンス状態となります。

(b) モード2

P1DDRに“1”をセットすると対応するポート1の端子はアドレス出力端子になり、“0”にクリアすると入力端子になります。

(c) モード3

P1DDRに“1”をセットすると対応するポート1の端子は出力端子になり、“0”にクリアすると入力端子になります。

モード2、3ではP1DDRは、ライト専用レジスタですからリードは無効です。リードすると“1”が読み出されます。P1DDRはリセットまたはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には直前のP1DDRの状態を保持しています。そのため、P1DDRが“1”にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート1データレジスタ (P1DR)

ビット:	7	6	5	4	3	2	1	0
	P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

P1DRは、ポート1の各端子P1₇～P1₀のデータを格納する8ビットのレジスタです。P1DRが“1”的とき、ポート1のリードを行うと、P1DRの値を直接リードします。そのため端子の状態の影響を受けません。P1DDRが“0”的ときポート1のリードを行うと、端子の状態が読み出されます。

リセットまたはハードウェアスタンバイモード時に、P1DRは、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

(3) ポート1入力プルアップMOSコントロールレジスタ (P1PCR)

ビット:	7	6	5	4	3	2	1	0
	P1 ₇ PCR	P1 ₆ PCR	P1 ₅ PCR	P1 ₄ PCR	P1 ₃ PCR	P1 ₂ PCR	P1 ₁ PCR	P1 ₀ PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

P1PCRは8ビットのリード/ライト可能なレジスタでポート1に内蔵した入力プルアップMOSをビットごとに制御します。P1DDRを“0”にクリアした(入力ポートの)状態でP1PCRを“1”にセットすると入力プルアップMOSはONします。

リセットまたはハードウェアスタンバイモード時に、P1PCRはH'00にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

7.2.3 モード別端子機能

ポート1は、モード別に、各端子の機能が異なります。以下に動作モード別に説明します。

(1) モード1の端子機能

モード1(内蔵ROM無効拡張モード)の時、ポート1は自動的に下位アドレス出力端子($A_7 \sim A_0$)になります。

モード1の端子機能を図7.2に示します。

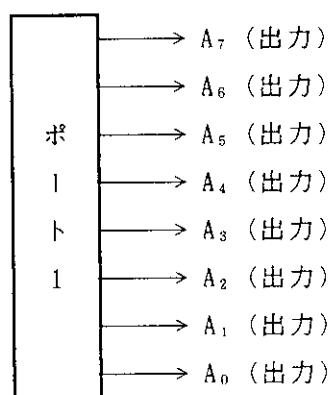


図7.2 モード1の端子機能（ポート1）

(2) モード 2

モード 2（内蔵ROM有効拡張モード）の時、ポート1は、下位アドレス出力端子と入力ポートとの兼用になります。各端子はビット単位でP1DDRを“1”にセットすると下位アドレス出力端子となり、“0”にクリアすると入力端子になります。リセット後は入力端子になっています。したがって、アドレス出力端子として使用する場合は、P1DDRを“1”にセットしてください。モード2の端子機能を図7.3に示します。

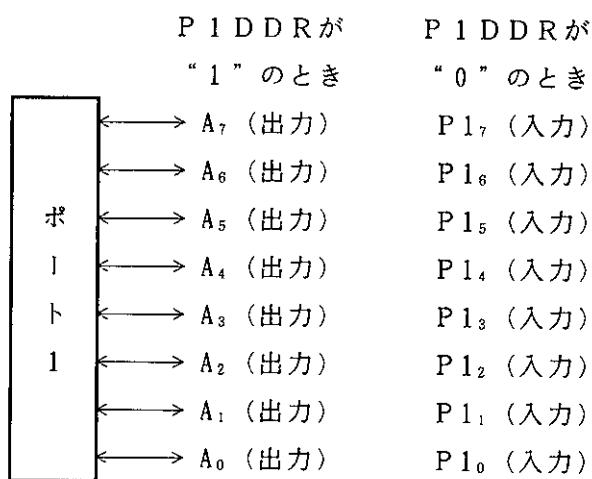


図7.3 モード2の端子機能（ポート1）

(3) モード3

モード3（シングルチップモード）の時、各端子はビット単位で入出力を指定可能です。P1DDRの各ビットを“1”にセットすると対応する端子は出力端子になり、“0”にクリアすると対応する端子は入力端子になります。

モード3の端子機能を図7.4に示します。

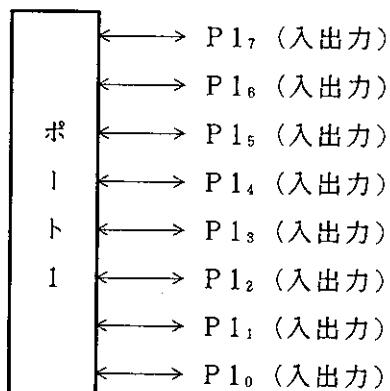


図7.4 モード3の端子機能（ポート1）

7.2.4 入力プルアップMOS

ポート1は、プログラムで制御可能な入力プルアップMOSを内蔵しています。この入力プルアップMOSは、モード2、3のとき使用でき、ビット単位でON/OFFを指定できます。

モード2、3のとき、P1PCRが“1”にセットかつP1DDRを“0”にクリアすると、入力プルアップMOSはONとなります。リセットまたはハードウェアスタンバイモード時にはP1PCRが“0”にクリアされるため、入力プルアップMOSはOFFします。ソフトウェアスタンバイモード時には直前の状態を保持します。

各動作モードでの、入力プルアップMOSの状態を表7.3に示します。

表7.3 入力プルアップMOSの状態（ポート1）

モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
1	OFF	OFF	ON/OFF	OFF
2				
3				

〈記号説明〉

OFF : 入力プルアップMOSは、常にOFF状態です。

ON/OFF : P1PCR = “1”かつ、P1DDR = “0”的きON状態、その他の時はOFF状態です。

7.3 ポート2

7.3.1 概要

ポート2は、8ビットの入出力ポートです。ポート2の各端子は、図7.5に示す構成になっています。図7.5に示すように、各端子の機能は、動作モードによって切り換わります。

ポート2には、プログラムで制御可能な入力プルアップMOSが内蔵されており、モード2、3で使用できます。

また、ポート2は、1個のTTL負荷と90pFの容量負荷を駆動することができます。また、LED、ダーリントントランジスタを駆動することも可能です。

モード1 (内蔵ROM無効拡張モード)		モード2 (内蔵ROM有効拡張モード)	モード3 (シングルチップモード)
ポート2端子	時の端子機能	時の端子機能	時の端子機能
P	P2 ₇ /A ₁₅	A ₁₅ (出力)	A ₁₅ (出力) / P2 ₇ (入力)
1	P2 ₆ /A ₁₄	A ₁₄ (出力)	A ₁₄ (出力) / P2 ₆ (入力)
2	P2 ₅ /A ₁₃	A ₁₃ (出力)	A ₁₃ (出力) / P2 ₅ (入力)
3	P2 ₄ /A ₁₂	A ₁₂ (出力)	A ₁₂ (出力) / P2 ₄ (入力)
4	P2 ₃ /A ₁₁	A ₁₁ (出力)	A ₁₁ (出力) / P2 ₃ (入力)
5	P2 ₂ /A ₁₀	A ₁₀ (出力)	A ₁₀ (出力) / P2 ₂ (入力)
6	P2 ₁ /A ₉	A ₉ (出力)	A ₉ (出力) / P2 ₁ (入力)
7	P2 ₀ /A ₈	A ₈ (出力)	A ₈ (出力) / P2 ₀ (入力)

図7.5 ポート2の端子構成

7.3.2 レジスタの構成と説明

表7.4にポート2のレジスタ構成を示します。

表7.4 ポート2レジスタ構成

名 称	略 称	R/W	初 期 値		アドレス
			モ - F1	モ - F2、3	
ポート2データディレクションレジスタ	P2DDR	W	H'FF	H'00	H'FFB1
ポート2データレジスタ	P2DR	R/W	H'00		H'FFB3
ポート2入力プルアップMOSコントロールレジスタ	P2PCR	R/W	H'00		H'FFAD

(1) ポート 2 データディレクションレジスタ (P2DDR)

ビット:	7	6	5	4	3	2	1	0
	P2 ₇ DDR	P2 ₆ DDR	P2 ₅ DDR	P2 ₄ DDR	P2 ₃ DDR	P2 ₂ DDR	P2 ₁ DDR	P2 ₀ DDR
モード 1 {	初期値:	1	1	1	1	1	1	1
	R/W:	—	—	—	—	—	—	—
モード 2、3 {	初期値:	0	0	0	0	0	0	0
	R/W:	W	W	W	W	W	W	W

P2DDRは、ポート2の各端子の入出力をビットごとに制御します。

(a) モード 1

P2DDRは、“1”に固定され、ポート2は上位アドレス出力端子になります。P2DDRへのリード／ライトは無効です。リードすると“1”が読み出されます。

ハードウェアスタンバイモード時は、アドレスバスはハイインピーダンス状態となります。

(b) モード 2

P2DDRに“1”をセットすると対応するポート2の端子はアドレス出力端子になり、“0”にクリアすると入力端子になります。

(c) モード 3

P2DDRに“1”をセットすると対応するポート2の端子は出力端子になり、“0”にクリアすると入力端子になります。

モード2、3ではP2DDRは、ライト専用レジスタですからリードは無効です。リードすると“1”が読み出されます。P2DDRはリセットまたはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には直前のP2DDRの状態を保持しています。そのため、P2DDRが“1”にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート 2 データレジスタ (P2DR)

ビット:	7	6	5	4	3	2	1	0
	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

P2DRは、ポート2の各端子P2₇～P2₀のデータを格納する8ビットのレジスタです。P2DDRが“1”的とき、ポート2のリードを行うと、P2DRの値を直接リードします。そのため端子の状態の影響を受けません。P2DDRが“0”的ときポート2のリードを行うと、端子の状態が読み出されます。

リセットまたはハードウェアスタンバイモード時にP2DRは、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

(3) ポート 2 入力プルアップMOSコントロールレジスタ (P2PCR)

ビット:	7	6	5	4	3	2	1	0
	P2 ₇ PCR	P2 ₆ PCR	P2 ₅ PCR	P2 ₄ PCR	P2 ₃ PCR	P2 ₂ PCR	P2 ₁ PCR	P2 ₀ PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

P2PCRは8ビットのリード/ライト可能なレジスタでポート2に内蔵した入力プルアップMOSをビットごとに制御します。

P2DDRを“0”にクリアした(入力ポートの)状態でP2PCRを“1”にセットすると入力プルアップMOSはONします。

リセットまたはハードウェアスタンバイモード時に、P2PCRはH'00にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

7.3.3 モード別端子機能

ポート2は、モード別に、各端子の機能が異なります。以下に動作モード別に説明します。

(1) モード1の端子機能

モード1(内蔵ROM無効拡張モード)の時、ポート2は自動的に上位アドレス出力端子(A₁₅~A₈)になります。

モード1の端子機能を図7.6に示します。

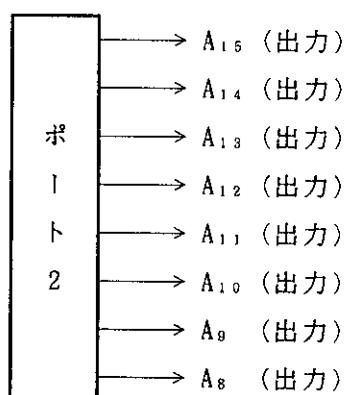


図7.6 モード1の端子機能(ポート2)

(2) モード 2

モード 2（内蔵ROM有効拡張モード）の時、ポート2は、上位アドレス出力端子と入力ポートとの兼用になります。各端子は、ビット単位でP2DDRを“1”にセットすると上位アドレス出力端子となり、“0”にクリアすると入力端子になります。リセット後は入力端子になっています。したがって、アドレス出力端子として使用する場合は、P2DDRを“1”にセットしてください。

モード2の端子機能を図7.7に示します。

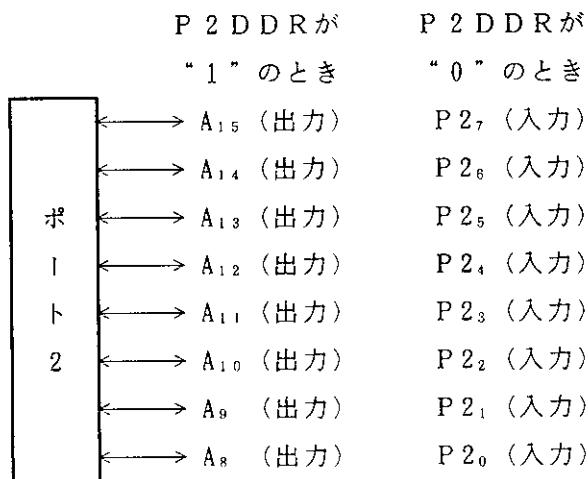


図7.7 モード2の端子機能（ポート2）

(3) モード3

モード3（シングルチップモード）の時、各端子はビット単位で入出力を指定可能です。P2DDRの各ビットを“1”にセットすると対応する端子は出力端子になり、“0”にクリアすると対応する端子は入力端子になります。

モード3の端子機能を図7.8に示します。

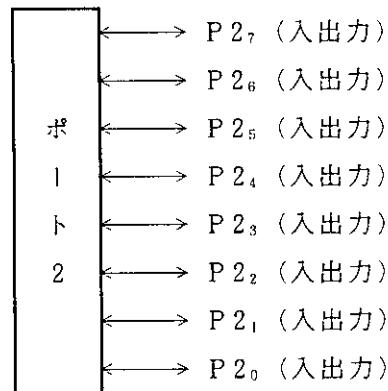


図7.8 モード3の端子機能（ポート2）

7.3.4 入力プルアップMOS

ポート2は、プログラムで制御可能な入力プルアップMOSを内蔵しています。この入力プルアップMOSは、モード2、3のとき使用でき、ビット単位でON/OFFを指定できます。

モード2、3のとき、P2PCRを“1”にセットかつP2DDRを“0”にクリアすると、入力プルアップMOSはONとなります。リセットまたはハードウェアスタンバイモード時にはP2PCRが“0”にクリアされるため、入力プルアップMOSはOFFします。ソフトウェアスタンバイモード時には直前の状態を保持します。

各動作モードでの、入力プルアップMOSの状態を表7.5に示します。

表7.5 入力プルアップMOSの状態（ポート2）

モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
1				OFF
2		OFF		
3				ON/ OFF

〈記号説明〉

OFF : 入力プルアップMOSは、常にOFF状態です。

ON/OFF : P2PCR = “1”かつP2DDR = “0”的きON状態、その他の時はOFF状態です。

7.4 ポート3

7.4.1 概要

ポート3は、8ビットの入出力ポートです。ポート3の各端子は、図7.9に示す構成になっています。図7.9に示すように、各端子の機能は、動作モードによって切り換わります。

ポート3にはプログラムで制御可能な入力プルアップMOSが内蔵されており、モード3で使用できます。

ポート3は、1個のTTL負荷と90pFの容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

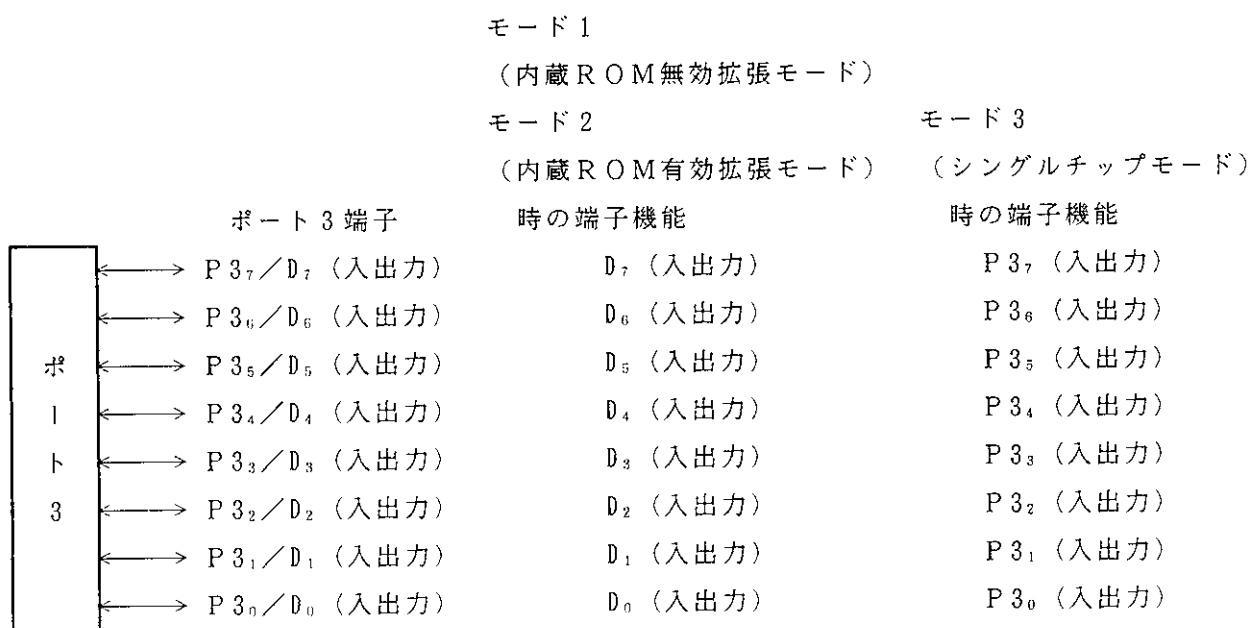


図7.9 ポート3の端子構成

7.4.2 レジスタの構成と説明

表7.6にポート3のレジスタ構成を示します。

表7.6 ポート3レジスタ構成

名 称	略 称	R/W	初期値	アドレス
ポート3データディレクションレジスタ	P3DDR	W	H'00	H'FFB4
ポート3データレジスタ	P3DR	R/W	H'00	H'FFB6
ポート3入力プルアップMOSコントロールレジスタ	P3PCR	R/W	H'00	H'FFAE

(1) ポート 3 データディレクションレジスタ (P3DDR)

ビット:	7	6	5	4	3	2	1	0
	P3 ₇ DDR	P3 ₆ DDR	P3 ₅ DDR	P3 ₄ DDR	P3 ₃ DDR	P3 ₂ DDR	P3 ₁ DDR	P3 ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

P3DDRは8ビットのレジスタで、ポート3の各端子の入出力をビットごとに制御します。P3DDRはライト専用レジスタで、リードは無効です。リードすると“1”が読み出されます。

(a) モード1、2

モード1（内蔵ROM無効拡張モード）、モード2（内蔵ROM有効拡張モード）では、P3DDRによる入出力の方向は無視され、ポート3は自動的に8ビットデータバス入出力端子(D₇～D₀)になります。

また、リセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時には、データバスはハイインピーダンス状態になります。

(b) モード3

P3DDRに“1”をセットすると対応するポート3の端子は出力端子になり、“0”にクリアすると入力端子になります。リセットまたはハードウェアスタンバイモード時、P3DDRはH'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前のP3DDRの状態を保持しています。そのため、P3DDRが“1”にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート3データレジスタ (P3DR)

ビット:	7	6	5	4	3	2	1	0
	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

P3DRは、ポート3の各端子P3₇～P3₀のデータを格納する8ビットのレジスタです。

P3DDRが“1”的とき、ポート3のリードを行うと、P3DRの値を直接リードします。そのため端子の状態の影響を受けません。P3DDRが“0”的とき、ポート3のリードを行うと、端子の状態が読み出されます。リセットまたはハードウェアスタンバイモード時に、P3DRは、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

(3) ポート3入力プルアップMOSコントロールレジスタ (P3PCR)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

P3PCRは8ビットのリード/ライト可能なレジスタでポート3に内蔵した入力プルアップMOSをビットごとに制御します。

P3DDRを“0”にクリアした(入力ポートの)状態でP3PCRを“1”にセットすると入力プルアップMOSはONします。

リセットまたはハードウェアスタンバイモード時に、P3PCRはH'00にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

7.4.3 モード別端子機能

ポート3は、モード別に、各端子の機能が異なります。以下に動作モード別に説明します。

(1) モード1、2の端子機能

モード1(内蔵ROM無効拡張モード)、モード2(内蔵ROM有効拡張モード)の時、ポート3は自動的に8ビットデータバス入出力端子(D₇~D₀)になります。

モード1、2の端子機能を図7.10に示します。

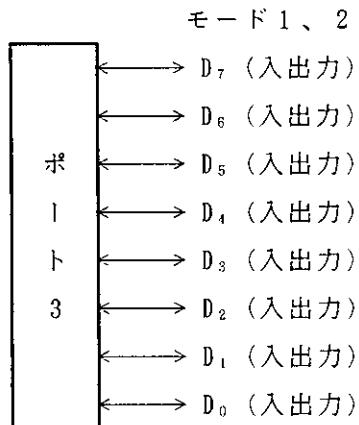


図7.10 モード1、2の端子機能(ポート3)

(2) モード 3

モード 3（シングルチップモード）の時、各端子はビット単位で入出力を指定可能です。P 3 D R の各ビットを“1”にセットすると対応する端子は出力端子になり、“0”にクリアすると対応する端子は入力端子になります。

モード 3 の端子機能を図 7.11 に示します。

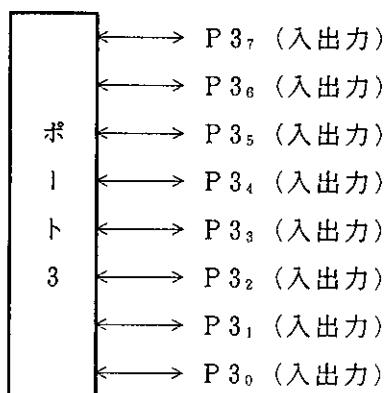


図 7.11 モード 3 の端子機能（ポート 3）

7.4.4 入力プルアップMOS

ポート 3 は、プログラムで制御可能な入力プルアップMOS を内蔵しています。この入力プルアップMOS は、モード 3 のとき、使用でき、ビット単位で ON / OFF を指定できます。

モード 3 の時、P 3 P C R を“1”にセットかつ P 3 D D R を“0”にクリアすると、入力プルアップMOS は ON となります。

また、入力プルアップMOS はリセットまたはハードウェアスタンバイモード時に OFF になります。ソフトウェアスタンバイモード時には直前の状態を保持します。

各動作モードでの、入力プルアップMOS の状態を表 7.7 に示します。

表 7.7 入力プルアップMOS の状態（ポート 3）

モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
1				OFF
2		OFF		OFF
3				ON / OFF

〈記号説明〉

OFF : 入力プルアップMOS は、常に OFF 状態です。

ON / OFF : P 3 P C R = “1”かつ P 3 D D R = “0”的き ON 状態、その他のときは OFF 状態です。

7.5 ポート4【H8/3534】

7.5.1 概要

ポート4は、8ビットの入出力ポートです。ポート4は、8ビットタイマ0、1の入出力端子($TMRI_0$ 、 $TMRI_1$ 、 $TMCI_0$ 、 $TMCI_1$ 、 TMO_0 、 TMO_1)およびPWMタイマ0、1の出力端子(PW_0 、 PW_1)と兼用になっています。ポート4の端子機能は、いずれの動作モードでも共通です。

ポート4の端子構成を図7.12に示します。

ポート4は、1個のTTL負荷と90pFの容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

なお、H8/3522のポート4は、H8/3534のポート9と同じ機能をもっています。詳細については「7.10 ポート9【H8/3534】・ポート4【H8/3522】」を参照してください。

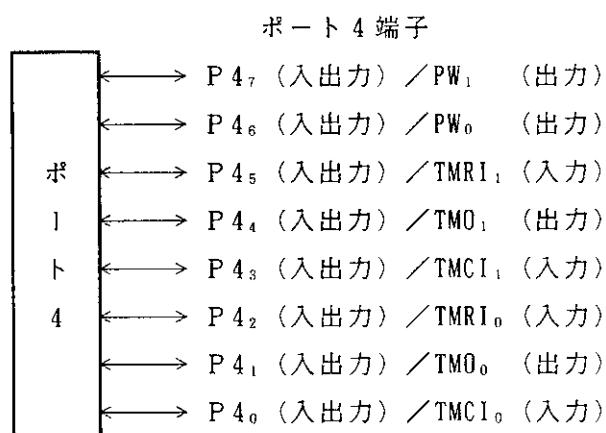


図7.12 ポート4の端子構成

7.5.2 レジスタの構成と説明

表7.8にポート4のレジスタ構成を示します。

表7.8 ポート4レジスタ構成

名 称	略 称	R/W	初期値	アドレス
ポート4データディレクションレジスタ	P4DDR	W	H'00	H'FFB5
ポート4データレジスタ	P4DR	R/W	H'00	H'FFB7

(1) ポート4データディレクションレジスタ (P4DDR)

ビット:	7	6	5	4	3	2	1	0
	P4 ₇ DDR	P4 ₆ DDR	P4 ₅ DDR	P4 ₄ DDR	P4 ₃ DDR	P4 ₂ DDR	P4 ₁ DDR	P4 ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

P4DDRは8ビットのレジスタで、ポート4の各端子の入出力をビットごとに制御します。P4DDRに“1”をセットすると対応するポート4の端子は出力端子に、“0”にクリアすると入力端子になります。

P4DDRは、ライト専用レジスタで、リードは無効です。リードすると“1”が読み出されます。

リセットまたはハードウェアスタンバイモード時、P4DDRはH'00にイニシャライズされます。ソフトウェアスタンバイモード時には直前のP4DDRの状態を保持しています。そのためP4DRが“1”にセットされた状態で、ソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

また、ポート4を内蔵周辺モジュールの端子（たとえば8ビットタイマの出力端子）として使用しているとき、ソフトウェアスタンバイモードに遷移すると、内蔵周辺モジュールがイニシャライズされるため、ポート4はP4DDRとP4DRで制御される入出力ポートに切り換わります。

(2) ポート4データレジスタ (P4DR)

ビット:	7	6	5	4	3	2	1	0
	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

P4DRは、ポート4の各端子P4₇～P4₀のデータを格納する8ビットのレジスタです。

P4DDRが“1”的とき、ポート4のリードを行うと、P4DRの値を直接リードします。そのため端子の状態の影響を受けません。P4DDRが“0”的とき、ポート4のリードを行うと、端子の状態が読み出されます。内蔵周辺モジュールの端子として使用している場合も同様です。

リセットまたはハードウェアスタンバイモード時に、P4DRはH'00にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

7.5.3 端子機能

ポート4の端子機能は、スレーブモード時とそれ以外のモード時では異なります。ポート4の端子機能について表7.9に示します。

表7.9 ポート4の端子機能(1)

端子	選択方法と端子機能			
P4 ₇ /PW ₁	PWMタイマ1のTCRのOEビットとP4 ₇ DDRビットの組合せにより、次のように切り換わります。			
		OE	0	1
		P4 ₇ DDR	0	1
		端子機能	P4 ₇ 入力端子	P4 ₇ 出力端子
				PW ₁ 出力端子
P4 ₆ /PW ₀	PWMタイマ0のTCRのOEビットとP4 ₆ DDRビットの組合せにより、次のように切り換わります。			
		OE	0	1
		P4 ₆ DDR	0	1
		端子機能	P4 ₆ 入力端子	P4 ₆ 出力端子
				PW ₀ 出力端子
P4 ₅ /TMRI ₁	P4 ₅ DDR			
		0	1	
		端子機能	P4 ₅ 入力端子	P4 ₅ 出力端子
				TMRI ₁ 入力端子
8ビットタイマ1のTCRのCCLR1、0ビットがいずれも“1”にセットした場合に、TMRI ₁ 入力端子として使用できます。				
P4 ₄ /TMO ₁	8ビットタイマ1のTCRのOS3～0ビットとP4 ₄ DDRビットの組合せにより、次のように切り換わります。			
		OS3～0	すべてが0	いずれかが1
		P4 ₄ DDR	0	1
		端子機能	P4 ₄ 入力端子	P4 ₄ 出力端子
				TMO ₁ 出力端子
P4 ₃ /TMCI ₁	P4 ₃ DDR			
		0	1	
		端子機能	P4 ₃ 入力端子	P4 ₃ 出力端子
				TMCI ₁ 入力端子
8ビットタイマ1のTCRのCKS2～0ビットで外部のクロックを選択した場合に、TMCI ₁ 入力端子として使用できます。				

表 7.9 ポート 4 の端子機能(2)

端 子	選 択 方 法 と 端 子 機 能		
P _{4₂} / TMRI ₀	P _{4₂} D D R	0	1
	端 子 機 能	P _{4₂} 入力端子	P _{4₂} 出力端子
		TMRI ₀ 入力端子	
	8 ビットタイマ 0 の T C R の C C L R 1、0 ビットがいずれも “1” にセットした場合に、TMRI ₀ 入力端子として使用できます。		
P _{4₁} / TM0 ₀	8 ビットタイマ 0 の T C S R の O S 3 ~ 0 ビットと P _{4₁} D D R のビットの組合せにより、次のように切り換わります。		
	O S 3 ~ 0	すべてが 0	いずれかが 1
	P _{4₁} D D R	0	1
	端 子 機 能	P _{4₁} 入力端子	P _{4₁} 出力端子
P _{4₀} / TMCI ₀	P _{4₀} D D R	0	1
	端 子 機 能	P _{4₀} 入力端子	P _{4₀} 出力端子
		TMCI ₀ 入力端子	
	8 ビットタイマ 0 の T C R の C K S 2 ~ 0 ビットで外部のクロックを選択した場合に、TMCI ₀ 入力端子として使用できます。		

7.6 ポート5

7.6.1 概要

ポート5は、3ビットの入出力ポートです。ポート5は、シリアルコミュニケーションインターフェース0 (SCI0) の入出力端子 ($\text{Tx}D_0$ 、 $\text{Rx}D_0$ 、 SCK_0) 【H 8／3534】、または ($\text{Tx}D$ 、 $\text{Rx}D$ 、 SCK) 【H 8／3522】と兼用になっています。ポート5の端子機能は、いずれの動作モードでも共通です。

ポート5の端子構成を図7.13に示します。

ポート5は、1個のTTL負荷と30pFの容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

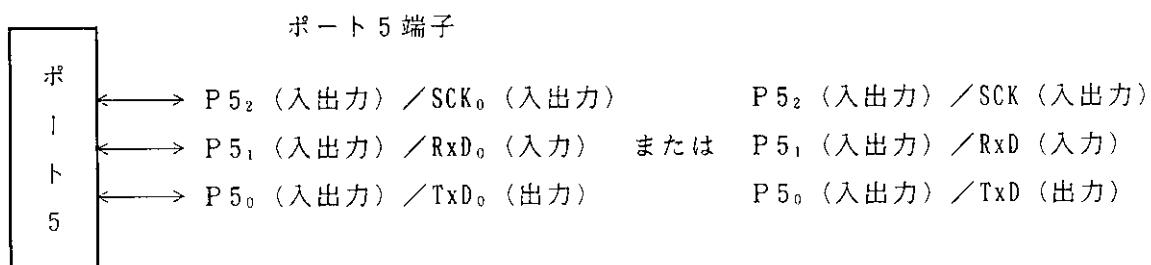


図7.13 ポート5の端子構成

7.6.2 レジスタの構成と説明

表7.10にポート5のレジスタ構成を示します。

表7.10 ポート5レジスタ構成

名 称	略 称	R/W	初期値	アドレス
ポート5データディレクションレジスタ	P5DDR	W	H'F8	H'FFB8
ポート5データレジスタ	P5DR	R/W	H'F8	H'FFBA

(1) ポート5データディレクションレジスタ (P5DDR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	P5 ₂ DDR	P5 ₁ DDR	P5 ₀ DDR
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	W	W	W

P5DDRは、8ビットのレジスタで、ポート5の各端子の入出力をビットごとに制御します。P5DDRに“1”をセットすると対応するポート5の端子は出力端子に、“0”にクリアすると

入力端子になります。

P5DDRは、ライト専用レジスタで、リードは無効です。ビット7～3はリザーブビットです。リードすると、“1”が読み出されます。

リセットまたはハードウェアスタンバイモード時に、P5DDRは、H'F8にイニシャライズされます。ソフトウェアスタンバイモード時には直前のP5DDRの状態を保持しています。そのためP5DDRが“1”にセットされた状態で、ソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

また、ポート5をSCIの端子として使用しているとき、ソフトウェアスタンバイモードに遷移すると、SCIがイニシャライズされるため、ポート5はP5DDRとP5DRで制御される入出力ポートに切り換わります。

(2) ポート5データレジスタ (P5DR)

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	P5 ₂	P5 ₁	P5 ₀
初期値：	1	1	1	1	1	0	0	0
R/W：	—	—	—	—	—	R/W	R/W	R/W

P5DRは、ポート5の各端子P5₂～P5₀のデータを格納する8ビットのレジスタです。

ビット7～3は、リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

P5DDRが“1”的とき、ポート5のリードを行うと、P5DRの値を直接リードします。そのため端子の状態の影響を受けません。P5DDRが“0”的ときポート5のリードを行うと端子の状態が読み出されます。SCIの端子として使用している場合も同様です。

リセットまたはハードウェアスタンバイモード時に、P5DRは、H'F8にイニシャライズされます。ソフトウェアスタンバイモード時は、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

7.6.3 端子機能

ポート5は、いずれの動作モードにおいても端子機能は同じです。各端子は、SCIの入出力端子と兼用になっています。

ポート5の端子機能について表7.11に示します。

表7.11 ポート5の端子機能

端子	選択方法と端子機能				
P _{5₂} /SCK ₀ または P _{5₂} /SCK	SCI0のSMRのC/Aビット、SCRのCKE0、1ビットとP _{5₂} DDRビットの組合せにより、次のように切り換わります。				
	CKE1	0	1		
	C/A	0	1	—	—
	CKE0	0	1	—	—
	P _{5₂} DDR	0	1	—	—
	端子機能	P _{5₂} 入力端子	P _{5₂} 出力端子	SCK ₀ (SCK)出力端子	SCK ₀ (SCK)出力端子
P _{5₁} /RXD ₀ または P _{5₁} /RXD	SCI0のSCRのREビットとP _{5₁} DDRビットの組合せにより、次のように切り換わります。				
	RE	0	1	—	—
	P _{5₁} DDR	0	1	—	—
	端子機能	P _{5₁} 入力端子	P _{5₁} 出力端子	RXD ₀ (RXD)入力端子	—
P _{5₀} /TXD ₀ または P _{5₀} /TXD	SCI0のSCRのTEビットとP _{5₀} DDRビットの組合せにより、次のように切り換わります。				
	TE	0	1	—	—
	P _{5₀} DDR	0	1	—	—
	端子機能	P _{5₀} 入力端子	P _{5₀} 出力端子	TxD ₀ (TXD)出力端子	—

7.7 ポート 6

7.7.1 概要

ポート 6 は、8 ビットの入出力ポートです。ポート 6 は、16 ビットフリーランニングタイマ(FRT) の入出力端子(FTOA, FTOB, FTIA~D, FTCI)、キーセンス入力端子(KEYIN₀~KEYIN₇)【H 8 / 3 5 3 4】、IRQ₆, IRQ₇ 入力端子【H 8 / 3 5 3 4】、ならびに 8 ビットタイマ 0, 1 の入出力端子(TMCI₀, TMRI₀, TM0₀, TMCI₁, TMRI₁, TM0₁)【H 8 / 3 5 2 2】と兼用になっています。ポート 6 の端子機能は、いずれの動作モードでも共通です。

ポート 6 の端子構成を図 7.14 に示します。

ポート 6 には、プログラムで制御可能な入力プルアップMOSが内蔵されています。【H 8 / 3 5 3 4】

ポート 6 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。



図 7.14(a) H 8 / 3 5 3 4 のポート 6 の端子構成



図 7.14(b) H 8 / 3 5 2 2 のポート 6 の端子構成

7.7.2 レジスタの構成と説明

表7.12にポート6のレジスタ構成を示します。

表7.12(a) H8/3534のポート6レジスタ構成

名 称	略 称	R/W	初期値	アドレス
ポート6データディレクションレジスタ	P6DDR	W	H'00	H'FFB9
ポート6データレジスタ	P6DR	R/W	H'00	H'FFBB
ポート6入力カセットMOSコントロールレジスタ	KMPCR	R/W	H'00	H'FFF2

表7.12(b) H8/3522のポート6レジスタ構成

名 称	略 称	R/W	初期値	アドレス
ポート6データディレクションレジスタ	P6DDR	W	H'00	H'FFB9
ポート6データレジスタ	P6DR	R/W	H'00	H'FFBB

(1) ポート6データディレクションレジスタ (P6DDR)

ビット:	7	6	5	4	3	2	1	0
	P6 ₇ DDR	P6 ₆ DDR	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

P6DDRは、8ビットのレジスタで、ポート6の各端子の入出力をビットごとに制御します。P6DDRに“1”をセットすると対応するポート6の端子は出力端子に、“0”にクリアすると入力端子になります。

P6DDRは、ライト専用レジスタで、リードは無効です。リードすると“1”が読み出されます。

リセットまたはハードウェアスタンバイモード時、P6DDRは、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には直前のP6DDRの状態を保持しています。そのためP6DDRが“1”にセットされた状態で、ソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

また、ポート6をFRTやタイマの端子として使用しているときに、ソフトウェアスタンバイモードに遷移すると、FRTやタイマがイニシャライズされるため、ポート6はP6DDRとP6DRで制御される入出力ポートに切り換わります。

(2) ポート 6 データレジスタ (P 6 D R)

ビット :	7	6	5	4	3	2	1	0
	P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

P 6 D R は、ポート 6 の各端子 P6₇～P6₀のデータを格納する 8 ビットのレジスタです。

P 6 D D R が “1” のとき、ポート 6 のリードを行うと、P 6 D R の値を直接リードします。そのため端子の状態の影響を受けません。P 6 D D R が “0” のとき、ポート 6 のリードを行うと、端子の状態が読み出されます。F R T やタイマの端子として使用している場合も同様です。

リセットまたはハードウェアスタンバイモード時に、P 6 D R は、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

(3) ポート 6 入力プルアップM O S コントロールレジスタ (K M P C R) 【H 8 / 3 5 3 4】

ビット :	7	6	5	4	3	2	1	0
	KM ₇ PCR	KM ₆ PCR	KM ₅ PCR	KM ₄ PCR	KM ₃ PCR	KM ₂ PCR	KM ₁ PCR	KM ₀ PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

K M P C R は 8 ビットのリード／ライト可能なレジスタでポート 6 に内蔵した入力プルアップM O S をビットごとに制御します。

P 6 D D R を “0” にクリアした（入力ポートの）状態でK M P C R を “1” にセットすると入力プルアップM O S はONします。

リセットまたはハードウェアスタンバイモード時に、K M P C R はH'00にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

7.7.3 端子機能

ポート6は、いずれの動作モードにおいても端子機能は同じです。各端子は、FRTの入出力端子、キーセンス入力端子、IRQ₇、IRQ₇入力端子【H8/3534】、およびタイマ0、1【H8/3522】の入出力端子と兼用になっています。

ポート6の端子機能について、表7.13に示します。

表7.13(a) H8/3534のポート6の端子機能(1)

端子	選択方法と端子機能		
P6 ₇ /IRQ ₇ /KEYIN ₇	P6 ₇ DDR	0	1
	端子機能	P6 ₇ 入力端子	P6 ₇ 出力端子
		IRQ ₇ 入力端子またはKEYIN ₇ 入力端子	
IERのIRQ7Eビットを“1”にセットした場合に、IRQ ₇ 入力端子として使用します。			
P6 ₆ /FTOB/IRQ ₆ /KEYIN ₆	FRTのTOCRのOEBビットとP6 ₆ DDRビットの組合せにより、次のように切り換わります。		
	OEB	0	1
	P6 ₆ DDR	0	1
	端子機能	P6 ₆ 入力端子	P6 ₆ 出力端子
		IRQ ₆ 入力端子またはKEYIN ₆ 入力端子	FTOB出力端子
IERのIRQ6Eビットを“1”にセットした場合に、IRQ ₆ 入力端子として使用します。			
P6 ₅ /FTID/KEYIN ₅	P6 ₅ DDR	0	1
	端子機能	P6 ₅ 入力端子	P6 ₅ 出力端子
		FTID入力端子またはKEYIN ₅ 入力端子	
P6 ₄ /FTIC/KEYIN ₄	P6 ₄ DDR	0	1
	端子機能	P6 ₄ 入力端子	P6 ₄ 出力端子
		FTIC入力端子またはKEYIN ₄ 入力端子	
P6 ₃ /FTIB/KEYIN ₃	P6 ₃ DDR	0	1
	端子機能	P6 ₃ 入力端子	P6 ₃ 出力端子
		FTIB入力端子またはKEYIN ₃ 入力端子	
P6 ₂ /FTIA/KEYIN ₂	P6 ₂ DDR	0	1
	端子機能	P6 ₂ 入力端子	P6 ₂ 出力端子
		FTIA入力端子またはKEYIN ₂ 入力端子	

表 7.13(a) H 8 / 3 5 3 4 のポート6の端子機能(2)

端 子	選 択 方 法 と 端 子 機 能																								
P 6 ₁ /FTOA/ KEYIN ₁	F R T の T O C R の O E A ビットと P 6 ₁ D D R ビットの組合せにより、次のように切り換わります。																								
	<table border="1"> <tr> <td>O E A</td> <td colspan="2">0</td> <td colspan="2">1</td> </tr> <tr> <td>P 6₁ D D R</td> <td>0</td> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>端 子 機 能</td> <td>P 6₁入力端子</td> <td>P 6₁出力端子</td> <td colspan="2">FTOA出力端子</td> </tr> <tr> <td></td> <td></td> <td></td> <td colspan="2">KEYIN₁入力端子</td> </tr> </table>					O E A	0		1		P 6 ₁ D D R	0	1	0	1	端 子 機 能	P 6 ₁ 入力端子	P 6 ₁ 出力端子	FTOA出力端子					KEYIN ₁ 入力端子	
O E A	0		1																						
P 6 ₁ D D R	0	1	0	1																					
端 子 機 能	P 6 ₁ 入力端子	P 6 ₁ 出力端子	FTOA出力端子																						
			KEYIN ₁ 入力端子																						
P 6 ₀ /FTCI/ KEYIN ₀	P 6 ₀ D D R	0	1																						
	端 子 機 能	P 6 ₀ 入力端子	P 6 ₀ 出力端子																						
	F R T の T C R の C K S 1 ~ 0 ビットで外部クロックを選択した場合に、FTCI 入力端子として使用します。																								

表7.13(b) H 8 / 3 5 2 2 のポート6の端子機能(1)

端 子	選 択 方 法 と 端 子 機 能				
P ₆ ₇ /TMO ₁	8ビットタイマ1のTCSCRのOS3~0ビットとP ₆ ₇ DDRビットの組合せにより、次のように切り換わります。				
		OS3~0	すべてが“0”		
		P ₆ ₇ DDR	0 1		
端 子 機 能		P ₆ ₇ 入力端子	P ₆ ₇ 出力端子		
			TMO ₁ 出力端子		
P ₆ ₆ /FTOB/ TMRI ₁	FRTのTOCRのOEBビットとP ₆ ₆ DDRビットの組合せにより、次のように切り換わります。				
		OEB	0 1		
		P ₆ ₆ DDR	0 1		
端 子 機 能		P ₆ ₆ 入力端子	P ₆ ₆ 出力端子		
			FTOB出力端子		
		TMRI ₁ 入力端子			
8ビットタイマ1のTCRのCCLR1、0ビットをいずれも“1”にセットした場合に、TMRI ₁ 入力端子として使用します。					
P ₆ ₅ /FTID/ TMCI ₁	8ビットタイマ1のTCRのCKS2~0ビットで、外部クロックを選択した場合に、TMCI ₁ 入力端子として使用します。				
		P ₆ ₅ DDR	0 1		
		端 子 機 能	P ₆ ₅ 入力端子 P ₆ ₅ 出力端子		
		FTID入力端子、TMCI ₁ 入力端子			
P ₆ ₄ /FTIC/ TMO ₀	8ビットタイマ0のTCSCRのOS3~0ビットとP ₆ ₄ DDRビットの組合せにより、次のように切り換わります。				
		OS3~0	すべてが“0”		
		P ₆ ₄ DDR	0 1		
端 子 機 能		P ₆ ₄ 入力端子	P ₆ ₄ 出力端子		
			TMO ₀ 出力端子		
		FTIC入力端子			

表 7.13(b) H 8 / 3 5 2 2 のポート6の端子機能(2)

端子	選択方法と端子機能					
P6 ₃ /FTIB/ TMRI ₀	P6 ₃ DDR	0	1			
	端子機能	P6 ₃ 入力端子	P6 ₃ 出力端子			
	FTIB入力端子、TMRI ₀ 入力端子					
8ビットタイマ0のTCRのCCLR1、0ビットをいずれも“1”にセットした場合に、TMRI ₀ 入力端子として使用します。						
P6 ₂ /FTIA	P6 ₂ DDR	0	1			
	端子機能	P6 ₂ 入力端子	P6 ₂ 出力端子			
	FTIA入力端子					
P6 ₁ /FTOA	FRTのTOCRのOEAビットとP6 ₁ DDRビットの組合せにより、次のように切り換わります。					
	OEA	0	1			
	P6 ₁ DDR	0	1			
	端子機能	P6 ₁ 入力端子	P6 ₁ 出力端子			
	FTOA出力端子					
P6 ₀ /FTCI/ TMCI ₀	P6 ₀ DDR	0	1			
	端子機能	P6 ₀ 入力端子	P6 ₀ 出力端子			
	FTCI入力端子、TMCI ₀ 入力端子					
FRTのTCRのCKS1、0ビットで外部クロックを選択した場合に、FTCI入力端子として使用します。						
8ビットタイマ0のTCRのCSK2～0ビットで外部クロックを選択した場合に、TMCI ₀ 入力端子として使用します。						

7.7.4 入力プルアップMOS【H8/3534】

ポート6は、プログラムで制御可能な入力プルアップMOSを内蔵しています。この入力プルアップMOSは、ビット単位でON/OFFを指定できます。

KMPCRを“1”にセットかつP6DDRを“0”にクリアすると、入力プルアップMOSはONとなります。リセットまたはハードウェアスタンバイモード時にはKMPCRが“0”にクリアされるため、入力プルアップMOSはOFFします。ソフトウェアスタンバイモード時には直前の状態を保持します。

各動作モードでの、入力プルアップMOSの状態を表7.14に示します。

表7.14 入力プルアップMOSの状態（ポート6）

モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
1				
2		OFF		ON/ OFF
3				

〈記号説明〉

OFF : 入力プルアップMOSは、常にOFF状態です。

ON/OFF : KMPCR = “1”かつ、P6DDR = “0”的きON状態、その他の時はOFF状態です。

7.8 ポート7

7.8.1 概要

ポート7は、8ビットの入力専用ポートです。ポート7は、A/D変換器のアナログ入力端子と兼用になっています。これらの端子機能は、いずれの動作モードでも共通です。ポート7の端子構成を図7.15に示します。

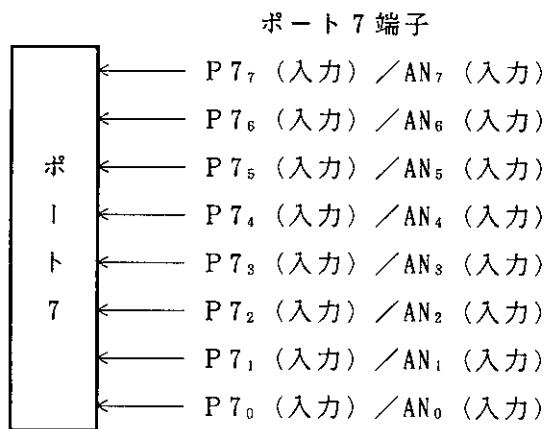


図7.15 ポート7の端子構成

7.8.2 レジスタの構成と説明

表7.15にポート7のレジスタ構成を示します。ポート7は、入力専用ポートでありデータディレクションレジスタはありません。

表7.15 ポート7レジスタ構成

名 称	略 称	R/W	初期値	アドレス
ポート7入力データレジスタ	P7PIN	R	不定	H'FFBE

(1) ポート7入力データレジスタ (P7PIN)

ビット:	7	6	5	4	3	2	1	0
	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀
初期値:	—*	—*	—*	—*	—*	—*	—*	—*
R/W:	R	R	R	R	R	R	R	R

【注】 * P7₇～P7₀端子により決定されます。

P7PINのリードを行うと、常に端子の状態が読み出されます。

7.9 ポート8【H8/3534】

7.9.1 概要

ポート8は、7ビットの入出力ポートです。シリアルコミュニケーションインターフェース1（S C I 1）の入出力端子（ TxD_1 、 RxD_1 、 SCK_1 ）、 $\overline{\text{IRQ}_6} \sim \overline{\text{IRQ}_3}$ 入力端子と兼用になっています。ポート8の端子機能は、いずれの動作モードでも共通です。

ポート8の端子構成を図7.16に示します。ポート8は、1個のTTL負荷と30pFの容量負荷を駆動することができます。また、ダーリントトランジスタを駆動することができます。

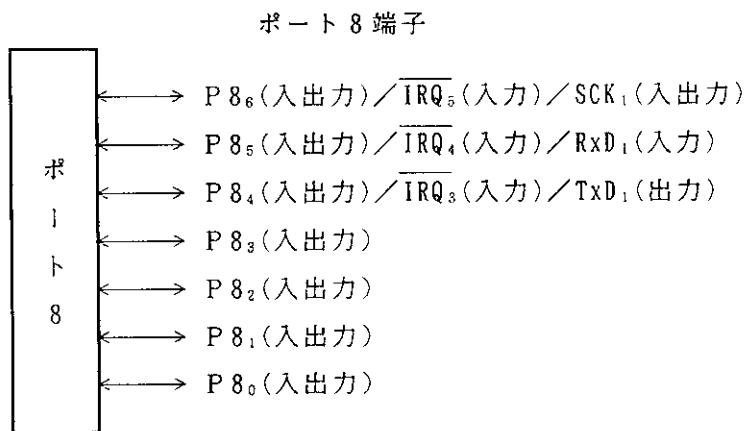


図7.16 ポート8の端子構成

7.9.2 レジスタの構成と説明

表7.16にポート8のレジスタ構成を示します。

表7.16 ポート8レジスタ構成

名 称	略 称	R/W	初期値	アドレス
ポート8データディレクションレジスタ	P8DDR	W	H'80	H'FFBD
ポート8データレジスタ	P8DR	R/W	H'80	H'FFBF

(1) ポート8データディレクションレジスタ (P8DDR)

ビット:	7	6	5	4	3	2	1	0
	—	P8 ₆ DDR	P8 ₅ DDR	P8 ₄ DDR	P8 ₃ DDR	P8 ₂ DDR	P8 ₁ DDR	P8 ₀ DDR
初期値:	1	0	0	0	0	0	0	0
R/W:	—	W	W	W	W	W	W	W

P8DDRは、8ビットのレジスタで、ポート8の各端子の入出力をビットごとに制御します。P8DDRに“1”をセットすると対応するポート8端子は出力端子に、“0”にクリアすると入力端子になります。P8DDRは、ライト専用レジスタで、リードは無効です。ビット7はリザーブビットです。リードすると“1”が読み出されます。

リセットまたはハードウェアスタンバイモード時、P8DDRはH'80にイニシャライズされます。ソフトウェアスタンバイモード時には、直前のP8DDRの状態を保持しています。そのためP8DDRが“1”にセットされた状態で、ソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート8データレジスタ (P8DR)

ビット:	7	6	5	4	3	2	1	0
	—	P8 ₆	P8 ₅	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀
初期値:	1	0	0	0	0	0	0	0
R/W:	—	R/W						

P8DRは、ポート8の各端子P8₆～P8₀のデータを格納する8ビットのレジスタです。ビット7はリザーブビットです。リードすると常に“1”が読み出されます。

P8DDRが“1”的とき、ポート8のリードを行うと、P8DRの値を直接リードします。そのため端子の状態の影響を受けません。P8DDRが“0”的とき、ポート8のリードを行うと、端子の状態が読み出されます。内蔵周辺モジュールの端子として使用している場合も同様です。

リセットまたはハードウェアスタンバイモード時、P8DRはH'80にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

7.9.3 端子機能

P_{8_6}～P_{8_4}端子は、SCI1の入出力端子、IRQ₅～IRQ₃入力端子と兼用になっています。

P_{8_6}～P_{8_4}端子の端子機能について表7.17に示します。

表7.17 ポート8 (P_{8_6}～P_{8_4}端子) の端子機能

端子	選択方法と端子機能				
P _{8_6} ／IRQ ₅ ／SCK ₁	SCI1のSMRのC/Aビット、SCRのCKE0、1ビットとP _{8_6} DDRとの組合せにより次のように切り換わります。				
	CKE1	0	1		
	C/A	0	1	—	—
	CKE0	0	1	—	—
	P _{8_6} DDR	0	1	—	—
	端子機能	P _{8_6} 入力端子	P _{8_6} 出力端子	SCK ₁ 出力端子	SCK ₁ 出力端子
				IRQ ₅ 入力端子	
	IERのIRQ5Eビットを“1”にセットした場合にIRQ ₅ 入力端子として使用します。				
P _{8_5} ／IRQ ₄ ／RXD ₁	SCI1のSCRのREビットとP _{8_5} DDRとの組合せにより、次のように切り換わります。				
	RE	0	1		
	P _{8_5} DDR	0	1	—	—
	端子機能	P _{8_5} 入力端子	P _{8_5} 出力端子	RXD ₁ 入力端子	—
			IRQ ₄ 入力端子		
	IERのIRQ4Eビットを“1”にセットした場合にIRQ ₄ 入力端子として使用します。				
P _{8_4} ／IRQ ₃ ／TXD ₁	SCI1のSCRのTEビットとP _{8_4} DDRとの組合せにより、次のように切り換わります。				
	TE	0	1		
	P _{8_4} DDR	0	1	—	—
	端子機能	P _{8_4} 入力端子	P _{8_4} 出力端子	TxD ₁ 出力端子	—
			IRQ ₃ 入力端子		
	IERのIRQ3Eビットを“1”にセットした場合にIRQ ₃ 入力端子として使用します。				

7.10 ポート9【H8/3534】・ポート4【H8/3522】

7.10.1 概要

H8/3534のポート9とH8/3522のポート4は、DRとDDRのアドレスが異なる以外は同一機能のポートです。以下、H8/3534のポート9を代表として説明します。

ポート9は、8ビットの入出力ポートです。ポート9は、IRQ₀～IRQ₂入力端子、バス制御信号の入出力端子(RD、WR、AS、WAIT)、A/D変換器の入力端子(ADTRG)、システムクロック(ϕ)出力端子と兼用になっています。P_{9₂}～P_{9₀}の端子機能はいずれの動作モードでも共通です。P_{9₇}～P_{9₃}の端子機能は動作モードによって切り換わります。ポート9の端子構成を図7.17に示します。

ポート9は、1個のTTL負荷と90pFの容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

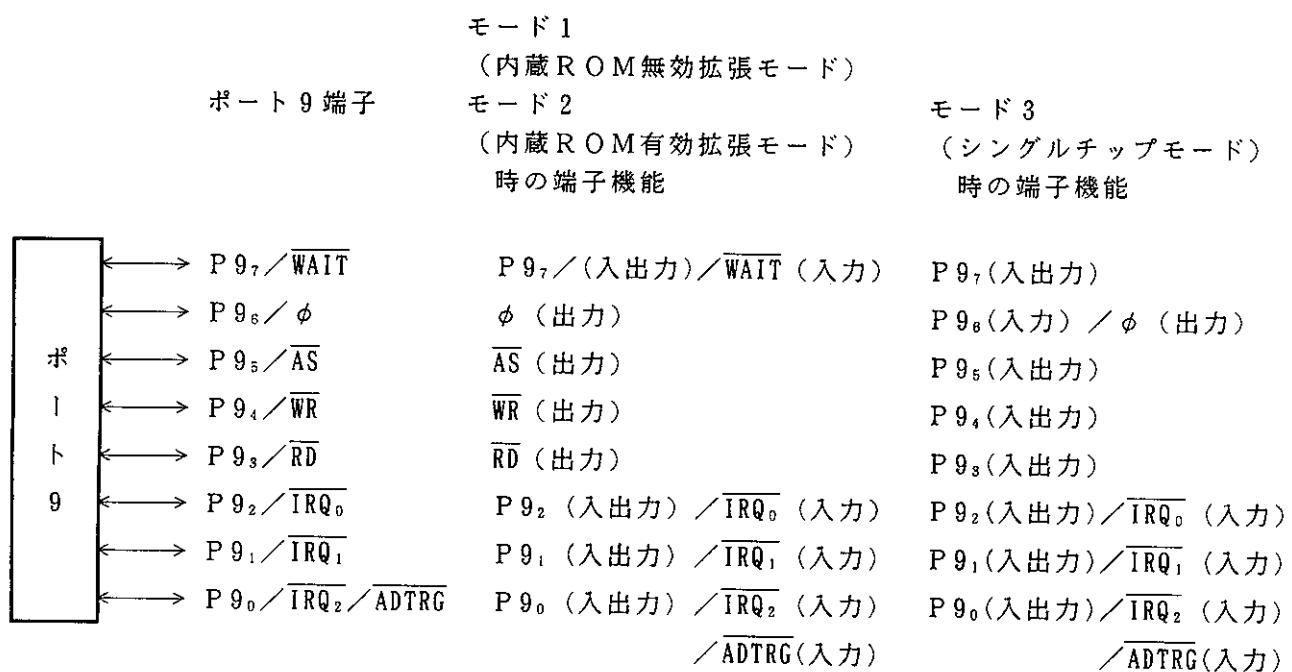


図7.17 ポート9の端子構成

7.10.2 レジスタの構成と説明

表7.18にポート9のレジスタ構成を示します。

表7.18(a) H'8 / 3534のポート9レジスタ構成

名 称	略 称	R/W	初 期 値		アドレス
			モード1、2	モード3	
ポート9データディレクションレジスタ	P9DDR	W	H'40	H'00	H'FFC0
ポート9データレジスタ	P9DR	R/W ^{*1}	不定 ^{*2}		H'FFC1

表7.18(b) H'8 / 3522のポート4レジスタ構成

名 称	略 称	R/W	初 期 値		アドレス
			モード1、2	モード3	
ポート4データディレクションレジスタ	P4DDR	W	H'40	H'00	H'FFB5
ポート4データレジスタ	P4DR	R/W ^{*1}	不定 ^{*2}		H'FFB7

【注】^{*1}ビット6はリードのみです。

^{*2}ビット6のみ不定です。その他のビットは“0”です。

(1) ポート9データディレクションレジスタ (P9DDR)

ビット:	7	6	5	4	3	2	1	0
	P9 ₇ DDR	P9 ₆ DDR	P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR
モード1、2	{ 初期値:	0	1	0	0	0	0	0
	R/W:	W	—	W	W	W	W	W
モード3	{ 初期値:	0	0	0	0	0	0	0
	R/W:	W	W	W	W	W	W	W

P9DDRは、8ビットのレジスタで、ポート9の各端子の入出力をビットごとに制御します。P9DDRに“1”をセットすると対応するポート9端子は出力に、“0”にクリアすると入力端子になります。ただし、モード1、2ではP9₆DDRは“1”に固定され、ライトは無効です。

P9DDRは、ライト専用レジスタで、リードは無効です。リードすると“1”が読み出されます。

リセットまたはハードウェアスタンバイモード時、P9DDRは、モード1、2ではH'40に、モード3ではH'00にイニシャライズされます。ソフトウェアスタンバイモード時には、P9DDRは直前の状態を保持しています。そのため、P9DDRが“1”にセットされた状態で、ソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート 9 データレジスタ (P9DR)

ビット:	7	6	5	4	3	2	1	0
	P9 ₇	P9 ₆	P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀
初期値:	0	—*	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

【注】* P9₆端子により決定されます。

P9DRは、ポート9の各端子P9₇～P9₀のデータを格納する8ビットのレジスタです。P9₆以外ではP9DDRが“1”的ときポート9のリードを行うと、P9DRの値が直接読み出されます。そのため端子の状態の影響を受けません。P9DDRが“0”的とき、ポート9のリードを行うと端子の状態が読み出されます。P9₆のリードを行うと常に端子の状態が読み出されます。内蔵周辺モジュールの端子、バス制御の端子として使用している場合も同様です。

リセットまたはハードウェアスタンバイモード時に、P9DRは、P9₆を除き“0”にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

7.10.3 端子機能

ポート9の端子機能はモード1、2とモード3で異なります。各端子は $\overline{\text{IRQ}_0}$ ～ $\overline{\text{IRQ}_2}$ 入力端子、バス制御信号の入出力端子、A/D変換器の入力端子、システムクロック(ϕ)出力端子と兼用になっています。ポート9の端子機能について表7.19に示します。

表7.19 ポート9の端子機能(1)

端子	選択方法と端子機能																												
P ₉ ₇ /WAIT	動作モードとWS _C Rによって決まるウェイトモードとP ₉ ₇ DDRビットの組合せにより次のように切り換わります。																												
	<table border="1"> <thead> <tr> <th>動作モード</th><th colspan="2">モード1、2</th><th colspan="3">モード3</th></tr> </thead> <tbody> <tr> <td>ウェイトモード</td><td>WAIT使用</td><td>WAIT不使用</td><td colspan="3">—</td></tr> <tr> <td>P₉₇DDR</td><td>—</td><td>0</td><td>1</td><td>0</td><td>1</td></tr> <tr> <td>端子機能</td><td>WAIT 入力端子</td><td>P₉₇ 入力端子</td><td>P₉₇ 出力端子</td><td>P₉₇ 入力端子</td><td>P₉₇ 出力端子</td></tr> </tbody> </table>					動作モード	モード1、2		モード3			ウェイトモード	WAIT使用	WAIT不使用	—			P ₉ ₇ DDR	—	0	1	0	1	端子機能	WAIT 入力端子	P ₉ ₇ 入力端子	P ₉ ₇ 出力端子	P ₉ ₇ 入力端子	P ₉ ₇ 出力端子
動作モード	モード1、2		モード3																										
ウェイトモード	WAIT使用	WAIT不使用	—																										
P ₉ ₇ DDR	—	0	1	0	1																								
端子機能	WAIT 入力端子	P ₉ ₇ 入力端子	P ₉ ₇ 出力端子	P ₉ ₇ 入力端子	P ₉ ₇ 出力端子																								
P ₉ ₆ /φ	動作モードとP ₉ ₆ DDRの組合せにより次のように切り換わります。																												
	<table border="1"> <thead> <tr> <th>動作モード</th><th colspan="2">モード1、2</th><th colspan="3">モード3</th></tr> </thead> <tbody> <tr> <td>P₉₆DDR</td><td colspan="2">1(固定)</td><td>0</td><td>1</td><td></td></tr> <tr> <td>端子機能</td><td colspan="2">φ出力端子</td><td>P₉₆入力端子</td><td colspan="2" rowspan="3">φ出力端子</td></tr> </tbody> </table>						動作モード	モード1、2		モード3			P ₉ ₆ DDR	1(固定)		0	1		端子機能	φ出力端子		P ₉ ₆ 入力端子	φ出力端子						
動作モード	モード1、2		モード3																										
P ₉ ₆ DDR	1(固定)		0	1																									
端子機能	φ出力端子		P ₉ ₆ 入力端子	φ出力端子																									
P ₉ ₅ /AS	動作モードとP ₉ ₅ DDRビットの組合せにより次のように切り換わります。																												
	<table border="1"> <thead> <tr> <th>動作モード</th><th colspan="2">モード1、2</th><th colspan="3">モード3</th></tr> </thead> <tbody> <tr> <td>P₉₅DDR</td><td colspan="2">—</td><td>0</td><td>1</td><td></td></tr> <tr> <td>端子機能</td><td colspan="2">AS出力端子</td><td>P₉₅入力端子</td><td colspan="2" rowspan="3">P₉₅出力端子</td></tr> </tbody> </table>						動作モード	モード1、2		モード3			P ₉ ₅ DDR	—		0	1		端子機能	AS出力端子		P ₉ ₅ 入力端子	P ₉ ₅ 出力端子						
動作モード	モード1、2		モード3																										
P ₉ ₅ DDR	—		0	1																									
端子機能	AS出力端子		P ₉ ₅ 入力端子	P ₉ ₅ 出力端子																									
P ₉ ₄ /WR	動作モードとP ₉ ₄ DDRビットの組合せにより次のように切り換わります。																												
	<table border="1"> <thead> <tr> <th>動作モード</th><th colspan="2">モード1、2</th><th colspan="3">モード3</th></tr> </thead> <tbody> <tr> <td>P₉₄DDR</td><td colspan="2">—</td><td>0</td><td>1</td><td></td></tr> <tr> <td>端子機能</td><td colspan="2">WR出力端子</td><td>P₉₄入力端子</td><td colspan="2">P₉₄出力端子</td></tr> </tbody> </table>						動作モード	モード1、2		モード3			P ₉ ₄ DDR	—		0	1		端子機能	WR出力端子		P ₉ ₄ 入力端子	P ₉ ₄ 出力端子						
動作モード	モード1、2		モード3																										
P ₉ ₄ DDR	—		0	1																									
端子機能	WR出力端子		P ₉ ₄ 入力端子	P ₉ ₄ 出力端子																									

表 7.19 ポート 9 の端子機能(2)

端 子	選 択 方 法 と 端 子 機 能				
P 9 ₃ / RD	動作モードと P 9 ₃ D D R ビットの組合せにより次のように切り換わります。				
	動作モード	モード 1、2	モード 3		
	P 9 ₃ D D R	—	0 1		
	端 子 機 能	RD出力端子	P 9 ₃ 入力端子 P 9 ₃ 出力端子		
P 9 ₂ / IRQ ₀	P 9 ₂ D D R	0	1		
	端 子 機 能	P 9 ₂ 入力端子	P 9 ₂ 出力端子		
		IRQ ₀ 入力端子			
	I E R の I R Q 0 E ビットを “1” にセットした場合に、IRQ ₀ 入力端子として使用します。				
P 9 ₁ / IRQ ₁	P 9 ₁ D D R	0	1		
	端 子 機 能	P 9 ₁ 入力端子	P 9 ₁ 出力端子		
		IRQ ₁ 入力端子			
	I E R の I R Q 1 E ビットを “1” にセットした場合に、IRQ ₁ 入力端子として使用します。				
P 9 ₀ / IRQ ₂ / ADTRG	P 9 ₀ D D R	0	1		
	端 子 機 能	P 9 ₀ 入力端子	P 9 ₀ 出力端子		
		IRQ ₂ 入力端子、ADTRG入力端子			
	I E R の I R Q 2 E ビットを “1” にセットした場合に、IRQ ₂ 入力端子として使用します。				
	A / D 変換器の A D C R の T R G E ビットを “1” にセットした場合に ADTRG 入力端子として使用します。				

8. 16 ビットフリー
ランニングタイム

第8章 目次

8. 1	概要	153
8. 1. 1	特長	153
8. 1. 2	ブロック図	154
8. 1. 3	端子構成	155
8. 1. 4	レジスタ構成	155
8. 2	各レジスタの説明	156
8. 2. 1	フリーランニングカウンタ (F R C)	156
8. 2. 2	アウトプットコンペアレジスタ A、B (O C R A、B)	156
8. 2. 3	インプットキャプチャレジスタ A～D (I C R A～D)	157
8. 2. 4	タイマインタラプトイネーブルレジスタ (T I E R)	158
8. 2. 5	タイマコントロール／ステータスレジスタ (T C S R)	160
8. 2. 6	タイマコントロールレジスタ (T C R)	163
8. 2. 7	タイマアウトプットコンペアコントロールレジスタ (T O C R)	165
8. 3	C P Uとのインターフェース	167
8. 4	動作説明	170
8. 4. 1	F R Cのカウントタイミング	170
8. 4. 2	アウトプットコンペア出力タイミング	171
8. 4. 3	F R Cのクリアタイミング	171
8. 4. 4	インプットキャプチャ入力タイミング	172
8. 4. 5	インプットキャプチャフラグ (I C F A～D) の セットタイミング	174
8. 4. 6	アウトプットコンペアフラグ (O C F A、B) の セットタイミング	175
8. 4. 7	タイマオーバーフロー flag (O V F) の セットタイミング	175

8. 5	割込み要因	176
8. 6	F R T の使用例	176
8. 7	使用上の注意	177

8.1 概要

本LSIは、16ビットフリーランニングタイマ（FRT：Free Running Timer）を1チャネル内蔵しています。

FRTは、16ビットのフリーランニングカウンタ（FRC）をベースにして、2種類の独立した波形出力が可能であり、また入力パルスの幅や外部クロックの周期を測定することができます。

8.1.1 特長

FRTの特長を以下に示します。

■ 4種類のカウンタ入力クロックを選択可能

3種類の内部クロック ($\phi_P/2$ 、 $\phi_P/8$ 、 $\phi_P/32$) と外部クロックのうちから選択できます
(外部イベントのカウントが可能)。

■ 2本の独立したコンパレータ

2種類の波形出力が可能です。

■ 4本の独立したインプットキャプチャ

立上がりエッジ／立下がりエッジの選択が可能です。

バッファ動作を指定できます。

■ カウンタのクリア指定が可能

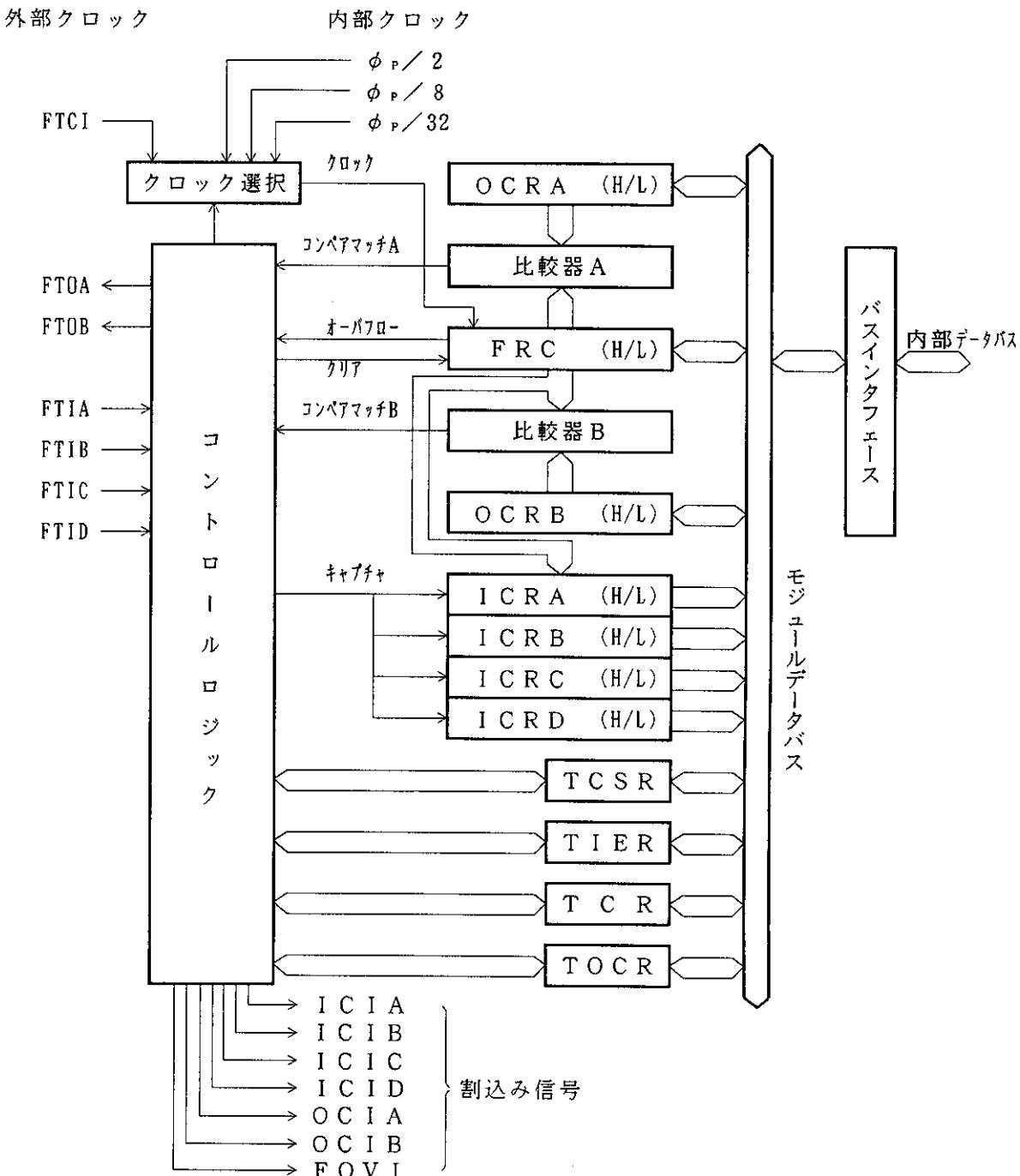
コンペアマッチAにより、カウンタの値をクリアすることができます。

■ 7種類の割込み要因

コンペアマッチ×2要因、インプットキャプチャ×4要因、オーバフロー×1要因があり、それぞれ独立に要求することができます。

8.1.2 ブロック図

FRTのブロック図を図8.1に示します。



記号説明

- OCRA、B : アウトプットコンペアレジスタ A、B (16ビット)
- FRC : フリーランニングカウンタ (16ビット)
- ICRA～D : インプットキャプチャレジスタ A～D (16ビット)
- TCSR : タイマコントロール／ステータスレジスタ (8ビット)
- TIER : タイマインタラプトイネーブルレジスタ (8ビット)
- TCR : タイマコントロールレジスタ (8ビット)
- TOCR : タイマアウトプットコンペアコントロールレジスタ (8ビット)

図8.1 FRTのブロック図

8.1.3 端子構成

FRTの入出力端子を表8.1に示します。

表8.1 端子構成

名 称	略 称	入出力	機 能
カウンタクロック入力端子	FTCI	入力	FRCのカウンタクロック入力
アウトプットコンペアA出力端子	FTOA	出力	アウトプットコンペアAの出力
アウトプットコンペアB出力端子	FTOB	出力	アウトプットコンペアBの出力
インプットキャプチャA入力端子	FTIA	入力	インプットキャプチャAの入力
インプットキャプチャB入力端子	FTIB	入力	インプットキャプチャBの入力
インプットキャプチャC入力端子	FTIC	入力	インプットキャプチャCの入力
インプットキャプチャD入力端子	FTID	入力	インプットキャプチャDの入力

8.1.4 レジスタ構成

FRTのレジスタ構成を表8.2に示します。

表8.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
タイマインタラプトイネーブルレジスタ	TIER	R/W	H'01	H'FF90
タイマコントロール/ステータスレジスタ	TCSR	R/(W) ^{*1}	H'00	H'FF91
フリーランニングカウンタ H	FRC H	R/W	H'00	H'FF92
フリーランニングカウンタ L	FRC L	R/W	H'00	H'FF93
アウトプットコンペアレジスタ A H	OCRA H	R/W	H'FF	H'FF94 ^{*2}
アウトプットコンペアレジスタ A L	OCRA L	R/W	H'FF	H'FF95 ^{*2}
アウトプットコンペアレジスタ B H	OCRB H	R/W	H'FF	H'FF94 ^{*2}
アウトプットコンペアレジスタ B L	OCRB L	R/W	H'FF	H'FF95 ^{*2}
タイマコントロールレジスタ	TCR	R/W	H'00	H'FF96
タイマアウトプットコンペアコントロールレジスタ	TOCR	R/W	H'E0	H'FF97
インプットキャプチャレジスタ A H	ICRA H	R	H'00	H'FF98
インプットキャプチャレジスタ A L	ICRA L	R	H'00	H'FF99
インプットキャプチャレジスタ B H	ICRB H	R	H'00	H'FF9A
インプットキャプチャレジスタ B L	ICRB L	R	H'00	H'FF9B
インプットキャプチャレジスタ C H	ICRC H	R	H'00	H'FF9C
インプットキャプチャレジスタ C L	ICRC L	R	H'00	H'FF9D
インプットキャプチャレジスタ D H	ICRD H	R	H'00	H'FF9E
インプットキャプチャレジスタ D L	ICRD L	R	H'00	H'FF9F

【注】^{*1} ビット7～1はリード専用で、フラグをクリアするための“0”ライトのみ可能です。

ビット0はリード／ライト可能です。

^{*2} OCRAとOCRBのアドレスは同一です。これらの切換えはTOCRのOCRSビットで行います。

8.2 各レジスタの説明

8.2.1 フリーランニングカウンタ (FRC)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W															

FRCは、16ビットのリード／ライト可能なアップカウンタで、入力したクロックによりカウントアップされます。入力するクロックは、TCRのクロックセレクト1、0ビット(CKS1、0)で選択します。

また、FRCはコンペアマッチAによりクリアすることができます。

FRCがオーバフロー(H'FFFF→H'0000)すると、TCSRのオーバフローフラグ(OVF)が“1”にセットされます。

FRCは、CPUからリード／ライト可能ですが、16ビットになっているため、CPUとのデータ転送はテンポラリレジスタ(TEMP)を介して行われます。詳細は、「8.3 CPUとのインターフェース」を参照してください。

FRCは、リセットまたはスタンバイモード時にH'0000に、イニシャライズされます。

8.2.2 アウトプットコンペアレジスタA、B (OCRA、B)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W															

OCRは、16ビットのリード／ライト可能な2本のレジスタ(OCRA、B)から構成されます。OCRの内容は、FRCの値と常に比較されています。両者の値が一致すると、TCSRのアウトプットコンペアフラグ(OCFA、B)が“1”にセットされます。

さらに、OCRの値とFRCの値が一致した(コンペアマッチ)とき、TOCRのアウトプットイネーブルビット(OEA、B)が“1”にセットされていると、TOCRのアウトプットレベルビット(OLVLA、B)で設定した出力レベルの値が、アウトプットコンペア出力端子(FTOA、FTOB)に出力されます。リセット後、最初のコンペアマッチが起こるまでFTOA、FTOB出力は“0”出力です。

また、OCRは16ビットになっているため、CPUとのデータ転送はTEMPを介して行われます。詳細は、「8.3 CPUとのインターフェース」を参照してください。

OCRは、リセットまたはスタンバイモード時にH'FFFFにイニシャライズされます。

8.2.3 インプットキャプチャレジスタA～D (ICRA～D)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ICRは、16ビットのリード専用の4本のレジスタ (ICRA～D) から構成されます。インプットキャプチャ信号入力端子 (FTIA～D) の立上がりまたは立下がりエッジが検出されると、そのときのFRCの値がICRA～Dに転送*されます。このとき同時に、TCRのインプットキャプチャフラグ (ICFA～D) が“1”にセットされます。入力信号のエッジは、TCRのインプットエッジセレクトビット (IEDGA～D) により選択できます。

また、ICRC、ICRDは、TCRのバッファイネーブルA、Bビット (BUFEA、B) により、それぞれICRA、ICRBのバッファレジスタとして使用し、バッファ動作を行わせることもできます。

ICRCをICRAのバッファレジスタとして指定した場合 (BUFEA = “1”) の接続を、図8.2に示します。ICRCをICRAのバッファとして使用した場合、外部入力信号の変化としてIEDGA ≠ IEDGCと設定することにより、立上がり／立下がり両方のエッジを指定することができます。IEDGA = IEDGCの場合には立上がりまたは立下がりエッジのいずれかとなります。表8.3を参照してください。

【注】* FRCからICRへの転送はICFの値にかかわらず行われます。

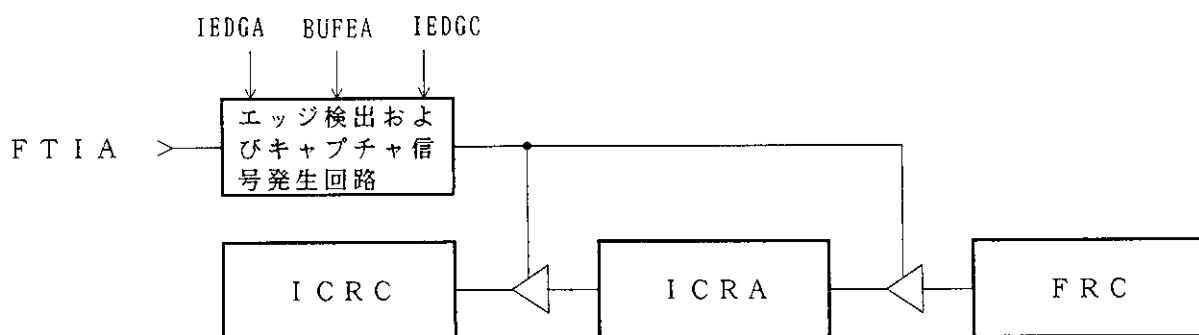


図8.2 バッファ動作 (例)

表8.3 バッファ動作時の入力エッジの選択 (例)

		入力エッジの選択
IEDGA	IEDGC	
0	0	インプットキャプチャ入力A (FTIA) の立下がりエッジ (↑) でキャプチャ (初期値)
0	1	インプットキャプチャ入力A (FTIA) の立下がり／立上 り両方のエッジ (↑、↓) でキャプチャ
1	0	インプットキャプチャ入力A (FTIA) の立上がりエッジ (↓) でキャプチャ
1	1	インプットキャプチャ入力A (FTIA) の立上がりエッジ (↓) でキャプチャ

ICRは16ビットのため、CPUとのデータ転送はTEMPを介して行われます。詳細は、「8.3 CPUとのインターフェース」を参照してください。

インプットキャプチャ動作を確実に行うために、インプットキャプチャ入力信号のパルス幅は、単エッジの場合1.5システムクロック(φ)以上、両エッジの場合2.5システムクロック(φ)以上にしてください。

ICRは、リセットまたはスタンバイモード時に、H'0000にイニシャライズされます。

8.2.4 タイマインタラプトイネーブルレジスタ(TIER)

ビット:	7	6	5	4	3	2	1	0
	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	—
初期値:	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—

TIERは、8ビットのリード/ライト可能なレジスタで、各割込み要求の許可を制御します。

TIERは、リセットまたはスタンバイモード時に、H'01にイニシャライズされます。

ビット7: インプットキャプチャインタラプトAイネーブル(ICIAE)

TCSRのインプットキャプチャフラグA(ICFA)が“1”にセットされたとき、ICFAによる割込み(ICIA)の許可または禁止を選択します。

ビット7	説明	
ICIAE	ICFAによる割込み要求(ICIA)を禁止	(初期値)
1	ICFAによる割込み要求(ICIA)を許可	

ビット6: インプットキャプチャインタラプトBイネーブル(ICIBE)

TCSRのインプットキャプチャフラグB(ICFB)が“1”にセットされたとき、ICFBによる割込み(ICIB)の許可または禁止を選択します。

ビット6	説明	
ICIBE	ICFBによる割込み要求(ICIB)を禁止	(初期値)
1	ICFBによる割込み要求(ICIB)を許可	

ビット 5 : インプットキャプチャインタラプトCイネーブル (I C I C E)

TCSRのインプットキャプチャフラグC (I C F C) が“1”にセットされたとき、I C F Cによる割込み (I C I C) の許可または禁止を選択します。

ビット 5	説明
I C I C E	
0	I C F Cによる割込み要求 (I C I C) を禁止 (初期値)
1	I C F Cによる割込み要求 (I C I C) を許可

ビット 4 : インプットキャプチャインタラプトDイネーブル (I C I D E)

TCSRのインプットキャプチャフラグD (I C F D) が“1”にセットされたとき、I C F Dによる割込み (I C I D) の許可または禁止を選択します。

ビット 4	説明
I C I D E	
0	I C F Dによる割込み要求 (I C I D) を禁止 (初期値)
1	I C F Dによる割込み要求 (I C I D) を許可

ビット 3 : アウトプットコンペアインタラプトAイネーブル (O C I A E)

TCSRのアウトプットコンペアフラグA (O C F A) が“1”にセットされたとき、O C F Aによる割込み要求 (O C I A) の許可または禁止を選択します。

ビット 3	説明
O C I A E	
0	O C F Aによる割込み要求 (O C I A) を禁止 (初期値)
1	O C F Aによる割込み要求 (O C I A) を許可

ビット 2 : アウトプットコンペアインタラプトBイネーブル (O C I B E)

TCSRのアウトプットコンペアフラグB (O C F B) が“1”にセットされたとき、O C F Bによる割込み要求 (O C I B) の許可または禁止を選択します。

ビット 2	説明
O C I B E	
0	O C F Bによる割込み要求 (O C I B) を禁止 (初期値)
1	O C F Bによる割込み要求 (O C I B) を許可

ビット1：タイマオーバフローインタラプトイネーブル（O V I E）

T C S Rのオーバフローフラグ（O V F）が“1”にセットされたとき、O V Fによる割込み（F O V I）の許可または禁止を選択します。

ビット1	説明	
O V I E		
0	O V Fによる割込み要求（F O V I）を禁止	（初期値）
1	O V Fによる割込み要求（F O V I）を許可	

ビット0：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

8.2.5 タイマコントロール／ステータスレジスタ（T C S R）

ビット：	7	6	5	4	3	2	1	0
	I C F A	I C F B	I C F C	I C F D	O C F A	O C F B	O V F	C C L R A

初期値： 0 0 0 0 0 0 0 0 0

R/W： R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R/W

【注】* ビット7～1はフラグをクリアするための“0”ライトのみ可能です。

T C S Rは、8ビットのレジスタで、カウンタクリアの選択、各割込み要求信号の制御を行います。

T C S Rは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

なお、タイミングについては「8.4 動作説明」を参照してください。

ビット7：インプットキャプチャフラグA（I C F A）

インプットキャプチャ信号によって、F R Cの値がI C R Aに転送されたことを示すステータスフラグです。B U F E Aビットが“1”にセットされているときは、I C F Aは、インプットキャプチャ信号により、F R Cの値がI C R Aに転送されたことを、また更新される前のI C R Aの値がI C R Cに転送されたことを示します。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	説明	
I C F A		
0	[クリア条件]	（初期値）
	I C F A = “1”的状態で、I C F Aをリードした後、I C F Aに“0”をライトしたとき	
1	[セット条件]	
	インプットキャプチャ信号により、F R Cの値がI C R Aに転送されたとき	

ビット 6 : インプットキャプチャフラグB (ICFB)

インプットキャプチャ信号によって、FRCの値がICRBに転送されたことを示すステータスフラグです。BUFEAビットが“1”にセットされているときは、ICFBは、インプットキャプチャ信号により、FRCの値がICRBに転送されたことを、また更新される前のICRBの値がICRDに転送されたことを示します。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 6	説明
ICFB	
0	〔クリア条件〕 ICFB = “1”の状態で、ICFBをリードした後、ICFBに“0”をライトしたとき (初期値)
1	〔セット条件〕 インプットキャプチャ信号により、FRCの値がICRBに転送されたとき

ビット 5 : インプットキャプチャフラグC (ICFC)

インプットキャプチャ信号によって、FRCの値がICRCに転送されたことを示すステータスフラグです。BUFEAビットが“1”にセットされているときは、FTICにIEDGCビットで指定された信号変化（インプットキャプチャ信号）が発生したとき、ICFCはセットされますが、ICRCへのデータ転送は行われません。したがって、バッファ動作では、ICFCはICICEビットを“1”にセットすることにより、外部割込みとして使用することができます。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット 5	説明
ICFC	
0	〔クリア条件〕 ICFC = “1”の状態で、ICFCをリードした後、ICFCに“0”をライトしたとき (初期値)
1	〔セット条件〕 インプットキャプチャ信号が発生したとき

ビット4：インプットキャプチャフラグD（ICFD）

インプットキャプチャ信号によって、FRCの値がICRDに転送されたことを示すステータスフラグです。BUFE Bビットが“1”にセットされているときは、FTIDにIEDGDビットで指定された信号変化（インプットキャプチャ信号）が発生したとき、ICFDはセットされますが、ICRDへのデータ転送は行われません。したがって、バッファ動作では、ICFDはICIDEビットを“1”にセットすることにより、外部割込みとして使用することができます。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット4	説明
ICFD	
0	〔クリア条件〕 ICFD = “1”の状態で、ICFDをリードした後、ICFDに“0”をライトしたとき
1	〔セット条件〕 インプットキャプチャ信号が発生したとき

ビット3：アウトプットコンペアフラグA（OCFA）

FRCとOCRAの値が一致したことを示すステータスフラグです。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット3	説明
OCFA	
0	〔クリア条件〕 OCFA = “1”の状態で、OCFAをリードした後、OCFAに“0”をライトしたとき
1	〔セット条件〕 FRC = OCRAになったとき

ビット2：アウトプットコンペアフラグB（OCFB）

FRCとOCRBの値が一致したことを示すステータスフラグです。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット2	説明
OCFB	
0	〔クリア条件〕 OCFB = “1”の状態で、OCFBをリードした後、OCFBに“0”をライトしたとき
1	〔セット条件〕 FRC = OCRBになったとき

ビット1：タイマオーバフロー（O V F）

F R Cがオーバフロー ($H'FFFF \rightarrow H'0000$) したことを示すステータスフラグです。

本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット1	説明
O V F	
0	〔クリア条件〕 O V F = “1”の状態で、O V Fをリードした後、O V Fに“0”をライトしたとき (初期値)
1	〔セット条件〕 F R Cの値が、 $H'FFFF \rightarrow H'0000$ になったとき

ビット0：カウンタクリアA（C C L R A）

コンペアマッチA（F R CとO C R Aの一一致信号）により、F R Cをクリアするか、しないかを選択します。

ビット0	説明
C C L R A	
0	F R Cのクリアを禁止 (初期値)
1	コンペアマッチAによりF R Cをクリア

8.2.6 タイマコントロールレジスタ（T C R）

ビット：	7	6	5	4	3	2	1	0
	I E D G A	I E D G B	I E D G C	I E D G D	B U F E A	B U F E B	C K S 1	C K S 0
初期値：	0	0	0	0	0	0	0	0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

T C Rは、8ビットのリード／ライト可能なレジスタです。インプットキャプチャ入力エッジの選択、バッファ動作の指定、F R Cの入力クロックの選択を行います。

T C Rは、リセットまたはスタンバイモード時に、 $H'00$ にイニシャライズされます。

ビット7：インプットエッジセレクトA（I E D G A）

インプットキャプチャ入力A（F T I A）の立上がりエッジまたは立下がりエッジを選択します。

ビット7	説明
I E D G A	
0	インプットキャプチャ入力Aの立下がりエッジ（ \downarrow ）でキャプチャ（初期値）
1	インプットキャプチャ入力Aの立上がりエッジ（ \uparrow ）でキャプチャ

ビット6：インプットエッジセレクトB (IEDGB)

インプットキャプチャ入力B (FTIB) の立上がりエッジまたは立下がりエッジを選択します。

ビット6	説明
IEDGB	
0	インプットキャプチャ入力Bの立下がりエッジ (F) でキャプチャ (初期値)
1	インプットキャプチャ入力Bの立上がりエッジ (I) でキャプチャ

ビット5：インプットエッジセレクトC (IEDGC)

インプットキャプチャ入力C (FTIC) の立上がりエッジまたは立下がりエッジを選択します。

ビット5	説明
IEDGC	
0	インプットキャプチャ入力Cの立下がりエッジ (F) でキャプチャ (初期値)
1	インプットキャプチャ入力Cの立上がりエッジ (I) でキャプチャ

ビット4：インプットエッジセレクトD (IEDGD)

インプットキャプチャ入力D (FTID) の立上がりエッジまたは立下がりエッジを選択します。

ビット4	説明
IEDGD	
0	インプットキャプチャ入力Dの立下がりエッジ (F) でキャプチャ (初期値)
1	インプットキャプチャ入力Dの立上がりエッジ (I) でキャプチャ

ビット3：バッファイネーブルA (BUFEA)

ICRCをICRAのバッファレジスタとして使用するかしないかを選択します。

ビット3	説明
BUFEA	
0	ICRCをICRAのバッファレジスタとして使用しない (初期値)
1	ICRCをICRAのバッファレジスタとして使用する

ビット2：バッファイネーブルB (BUFEB)

ICRDをICRBのバッファレジスタとして使用するかしないかを選択します。

ビット2	説明
BUFEB	
0	ICRDをICRBのバッファレジスタとして使用しない (初期値)
1	ICRDをICRBのバッファレジスタとして使用する

ビット1、0：クロックセレクト (CKS1、0)

FRCに入力するクロックを内部クロック3種類または外部クロックから選択します。

外部クロックは、外部クロック入力端子 (FTCI) の立上がりエッジでカウントします。

ビット1 CKS1	ビット0 CKS0	説明
0	0	内部クロック： $\phi_p/2$ でカウント (初期値)
0	1	内部クロック： $\phi_p/8$ でカウント
1	0	内部クロック： $\phi_p/32$ でカウント
1	1	外部クロック：立上がりエッジ (↑) でカウント

8.2.7 タイマアウトプットコンペアコントロールレジスタ (TOCR)

ビット：	7	6	5	4	3	2	1	0
	—	—	—	OCRS	OEA	OEB	OLVLA	OLVLB
初期値：	1	1	1	0	0	0	0	0

R/W : — — — R/W R/W R/W R/W R/W R/W

TOCRは、8ビットのリード/ライト可能なレジスタです。アウトプットコンペア出力レベルの選択、アウトプットコンペア出力の許可、およびアウトプットコンペアレジスタA、Bのアクセスの切換え制御を行います。

TOCRは、リセットまたはスタンバイモード時に、HE0にイニシャライズされます。

ビット7～5：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット4：アウトプットコンペアレジスタセレクト (OCRS)

OCRAとOCRBのアドレスは同一です。OCRSビットは、このアドレスをリード/ライトする時にどちらのレジスタを選択するかを制御します。OCRAとOCRBの動作には影響を与えません。

ビット4 OCRS	説明
0	OCRAレジスタを選択 (初期値)
1	OCRBレジスタを選択

ビット3：アウトプットイネーブルA（OEA）

アウトプットコンペアA出力端子（FTOA）を制御します。

ビット3	説明
OEA	
0	アウトプットコンペアA出力を禁止 (初期値)
1	アウトプットコンペアA出力を許可

ビット2：アウトプットイネーブルB（OEB）

アウトプットコンペアB出力端子（FTOB）を制御します。

ビット2	説明
OEB	
0	アウトプットコンペアB出力を禁止 (初期値)
1	アウトプットコンペアB出力を許可

ビット1：アウトプットレベルA（OLVLA）

コンペアマッチA（FRCとOCR Aの一致による信号）により、アウトプットコンペアA出力端子（FTOA）に出力する出力レベルを選択します。

ビット1	説明
OLVLA	
0	コンペアマッチAにより“0”出力 (初期値)
1	コンペアマッチAにより“1”出力

ビット0：アウトプットレベルB（OLVLB）

コンペアマッチB（FRCとOCR Bの一致による信号）により、アウトプットコンペアB出力端子（FTOB）に出力する出力レベルを選択します。

ビット0	説明
OLVLB	
0	コンペアマッチBにより“0”出力 (初期値)
1	コンペアマッチBにより“1”出力

8.3 CPUとのインターフェース

FRC、OCRA、B、ICRA～Dは、16ビットのレジスタです。一方、CPUと内蔵周辺モジュールの間の、データバスは8ビット幅です。したがって、CPUがこれら3種類のレジスタをアクセスするには、8ビットのテンポラリレジスタ（TEMP）を介して行います。

各レジスタのリード／ライトは次のような動作で行われます。

■レジスタへのライト時の動作

上位バイトのライトにより、上位バイトのデータがTEMPにストアされます。次に下位バイトのライトで、TEMPにある上位バイトの値とあわせて16ビットデータとしてレジスタにライトされます。

■レジスタからのリード時の動作

上位バイトのリードで、上位バイトの値はCPUに転送され、下位バイトの値はTEMPに転送されます。次に下位バイトのリードで、TEMPにある下位バイトの値がCPUに転送されます。

これら3種類のレジスタをアクセスするときは、常に16ビット単位（バイトアクセスを2回行うこともあります）で行い、かつ上位バイト、下位バイトの順序で行ってください。上位バイトのみや下位バイトのみのアクセスでは、データは正しく転送されませんので注意してください。

図8.3にFRCをアクセスする場合のデータの流れを示します。他のレジスタの場合も同様な動作になります。ただし、OCRA、Bのリード時には、上位バイト、下位バイトともTEMPを介さずに直接CPUにデータを転送します。

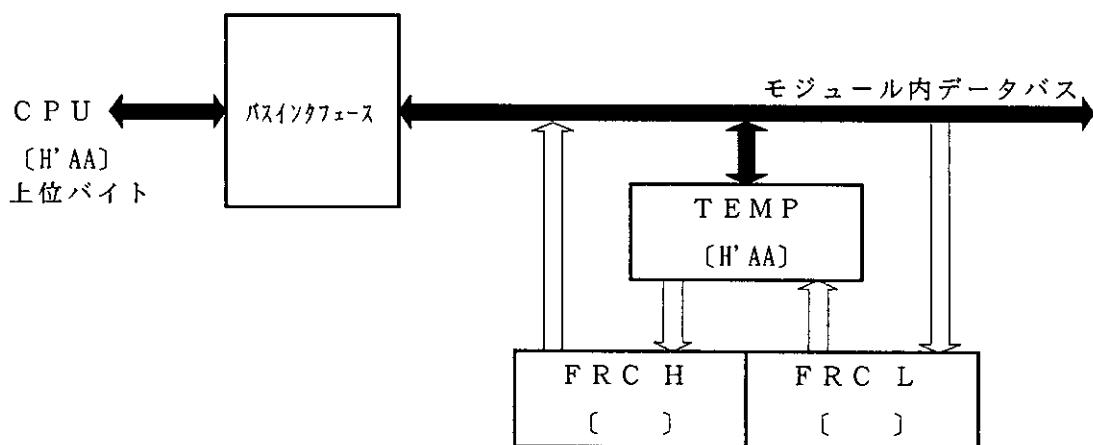
例1 OCRAへのライト

MOV.W R0, @OCRA FRTのOCRAへR0の内容をライト

例2 ICRAのリード

MOV.W @ICRA, R0 FRTのICRAをR0へ転送

〈上位バイトのライト〉



〈下位バイトのライト〉

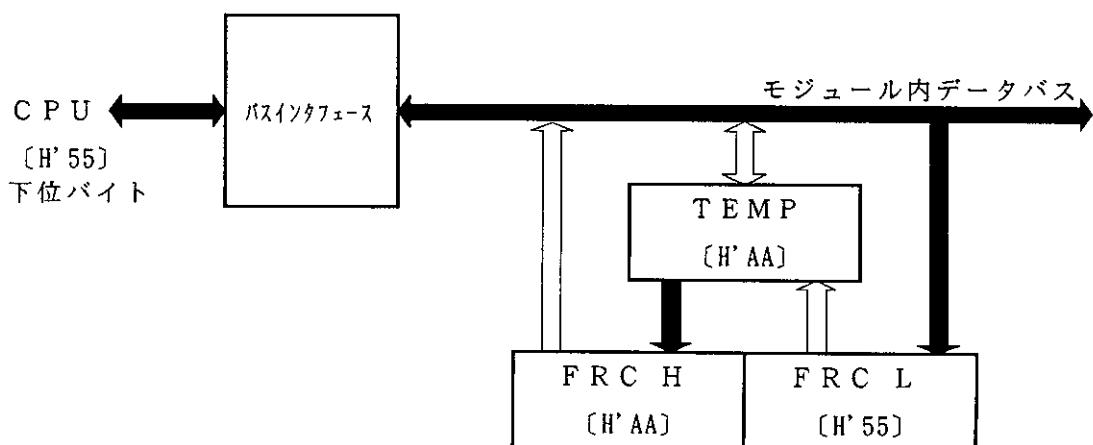
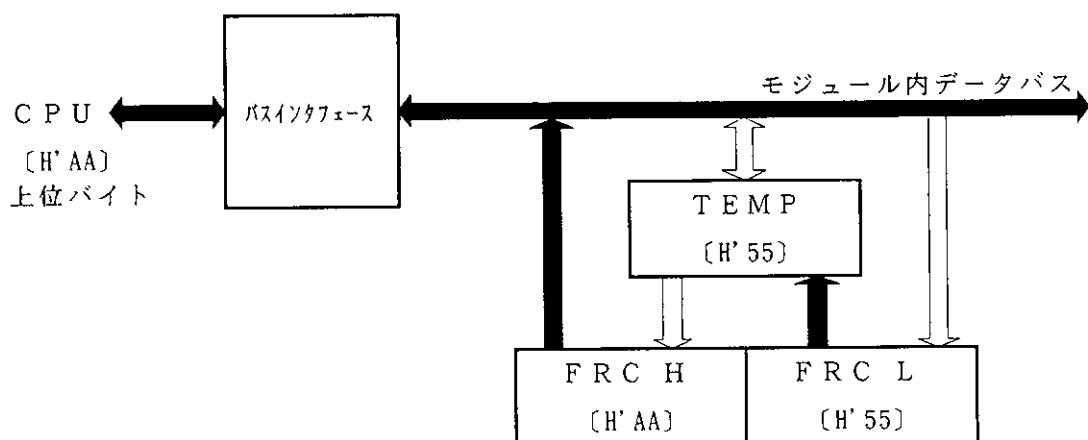


図 8. 3 (a) F R C のアクセス動作 (C P U → F R C [H' AA55] ライト時)

〈上位バイトのリード〉



〈下位バイトのリード〉

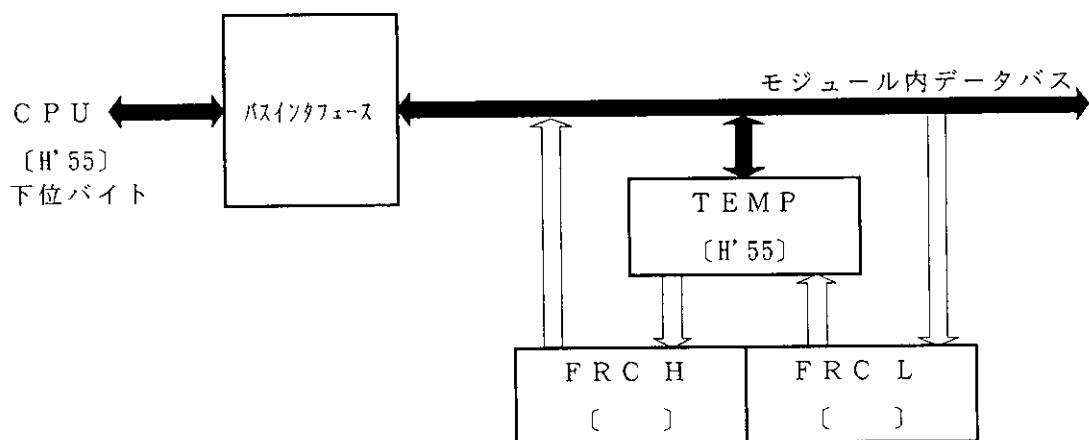


図 8. 3 (b) FRC のアクセス動作 (FRC → CPU [H'AA55] リード時)

8.4 動作説明

8.4.1 FRC のカウントタイミング

FRC は、入力されたクロック（内部クロックまたは外部クロック）によりカウントアップされます。

(1) 内部クロック動作の場合

TCR の CKS1、0 ビットの設定により、システムクロック (ϕ) を分周して作られる 3 種類の内部クロック ($\phi_p/2$ 、 $\phi_p/8$ 、 $\phi_p/32$) が選択されます。このときのタイミングを図 8.4 に示します。

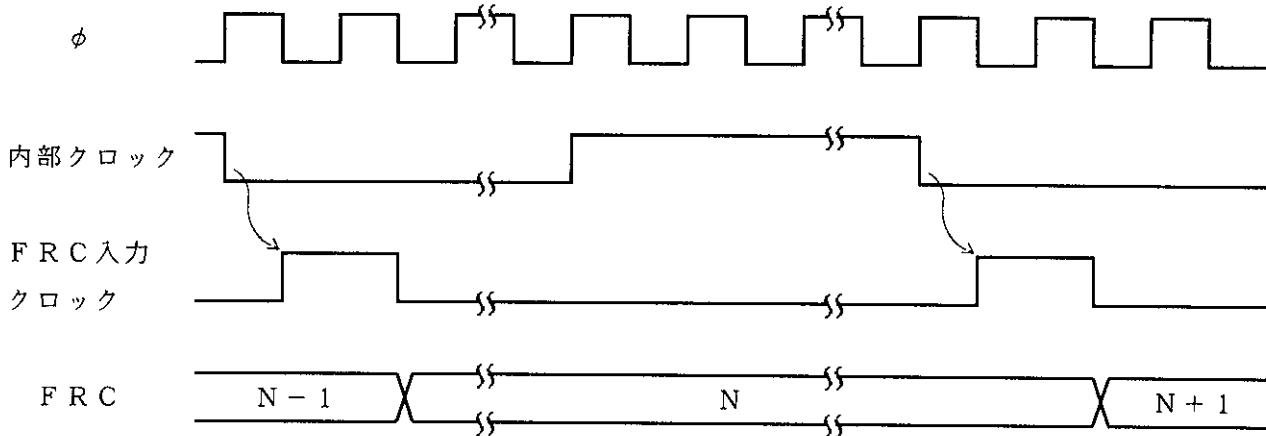


図 8.4 内部クロック動作時のカウントタイミング

(2) 外部クロック動作の場合

TCR の CKS1、0 ビットの設定により、外部クロック入力が選択されます。外部クロックは立上がりエッジでカウントします。なお、外部クロックのパルス幅は、1.5 システムクロック (ϕ) 以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

このときのタイミングを図 8.5 に示します。

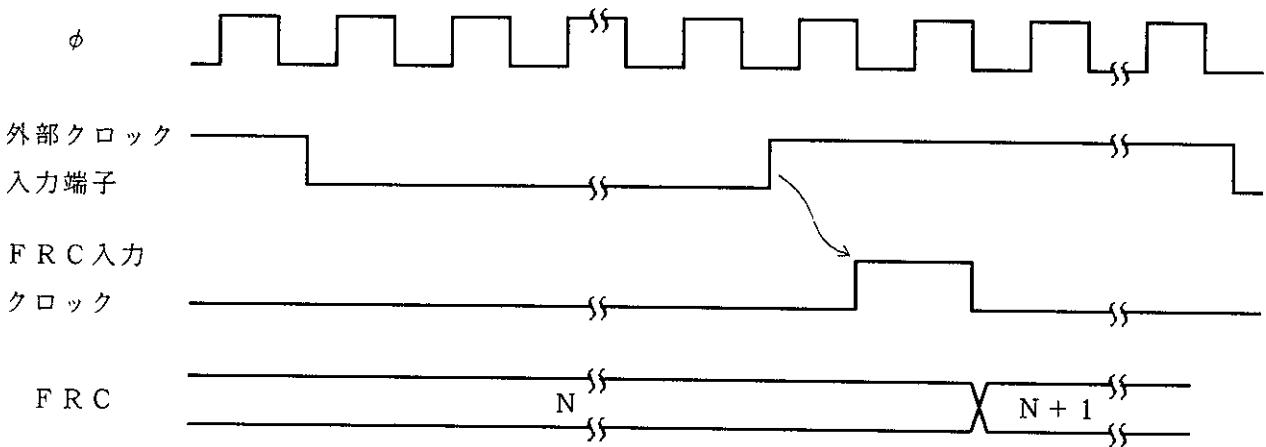
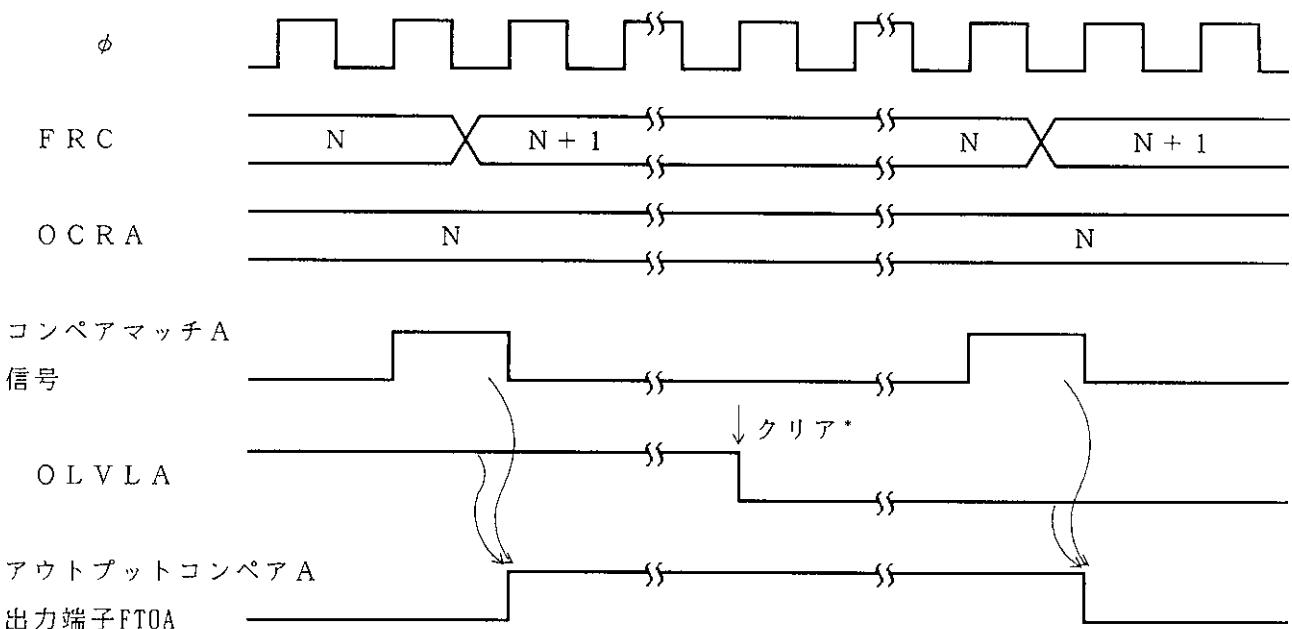


図 8.5 外部クロック動作時のカウントタイミング

8.4.2 アウトプットコンペア出力タイミング

コンペアマッチが発生したとき、TOCRのOLVLビットで設定される出力レベルがアウトプットコンペア出力端子(FTOA、FTOB)に出力されます。図8.6にアウトプットコンペアAの場合の出力タイミングを示します。



【注】* はソフトウェアによる命令実行を示します。

図8.6 アウトプットコンペアA出力タイミング

8.4.3 FRCのクリアタイミング

FRCは、コンペアマッチAでクリアすることができます。このタイミングを図8.7に示します。

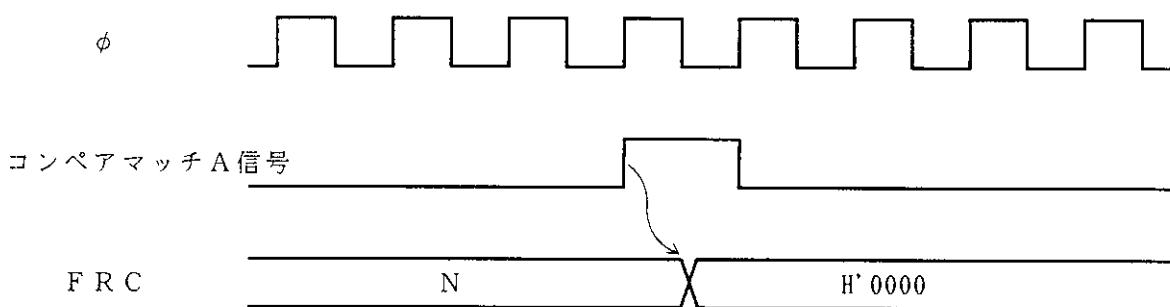


図8.7 コンペアマッチAによるクリアタイミング

8.4.4 インプットキャプチャ入力タイミング

(1) インプットキャプチャ入力タイミング

インプットキャプチャ入力は、TCRのIEDGA～Dビットで立上がりエッジ／立下がりエッジを選択します。立上がりエッジを選択した（IEDGA～D = “1”）場合のタイミングを図8.8に示します。

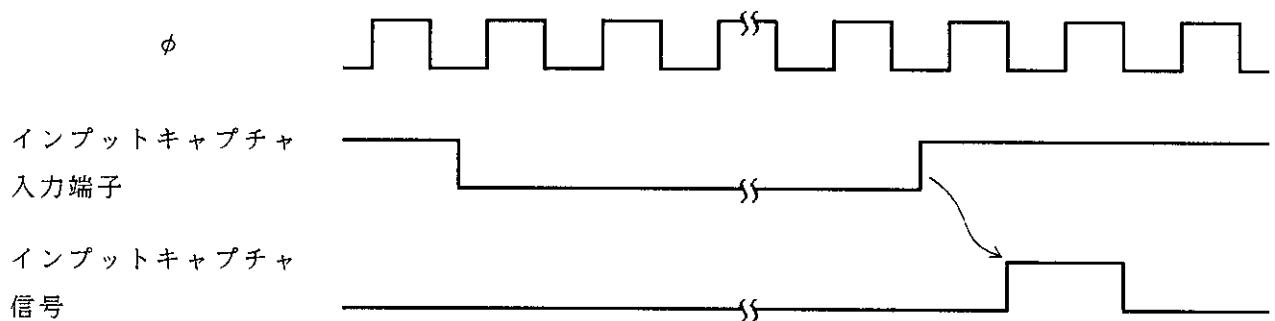


図8.8 インプットキャプチャ信号タイミング（通常時）

また、ICRA～Dのリード（上位バイトのリード）時に、対応するインプットキャプチャ入力を入力するとインプットキャプチャ信号は1システムクロック（φ）遅延されます。このタイミングを図8.9に示します。

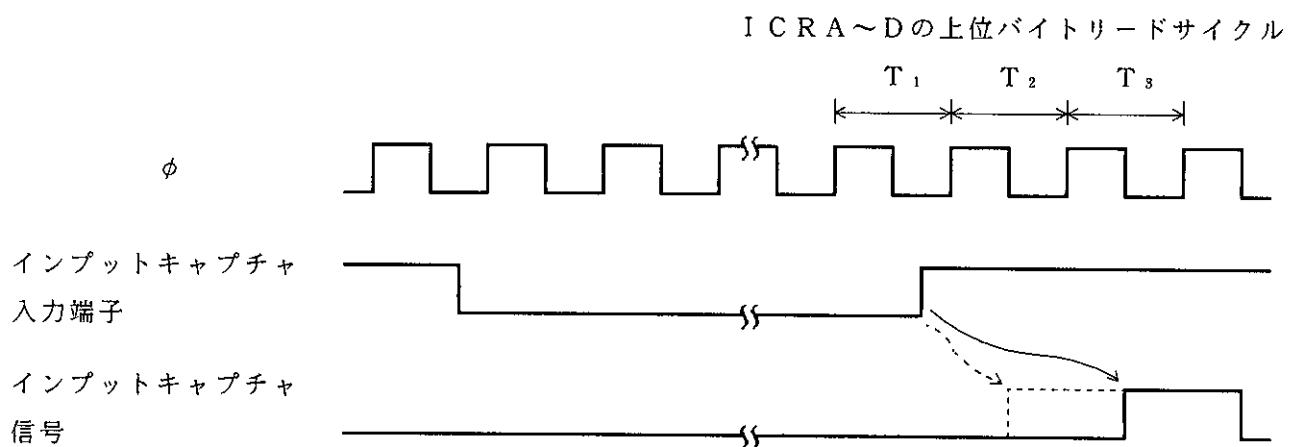


図8.9 インプットキャプチャ信号タイミング
(ICRA～D のリード時に、インプットキャプチャ入力を
入力した場合)

(2) バッファ動作時のインプットキャプチャ入力タイミング

ICRCまたはICRDを、ICRAまたはICRBのバッファとして動作させることができます。

ICRCをICRAのバッファレジスタとして使用し(BUF EA = 1)、立上がり／立下がり両エッジ指定(I ED GA = 1、I ED GC = 0 または I ED GA = 0、I ED GC = 1)とした場合のインプットキャプチャ入力タイミングを図8.10に示します。

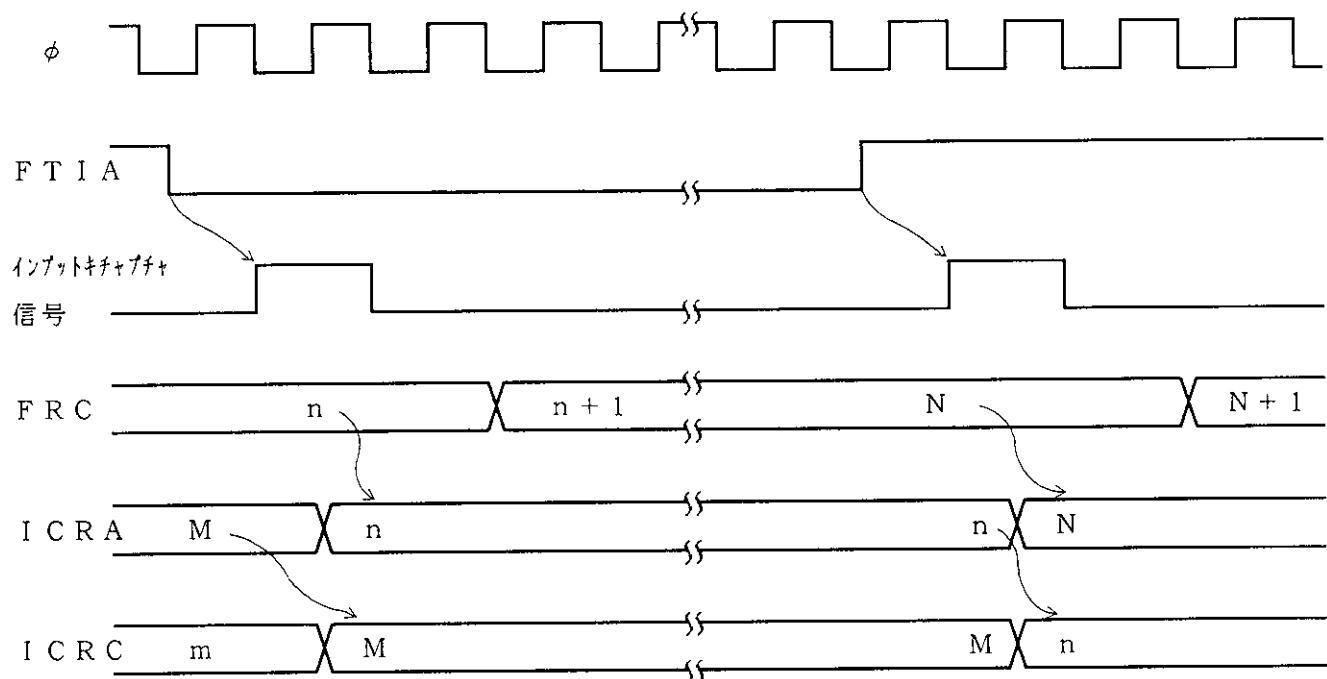


図 8.10 バッファモード時のインプットキャプチャタイミング（通常時）

ICRCまたはICRDをバッファレジスタとして使用した場合でも、インプットキャプチャフラグは、各インプットキャプチャ入力の指定されたエッジ変化に対応してセットされます。例えば、ICRCをICRAのバッファレジスタとして使用しているときでも、インプットキャプチャ入力にIED GCビットで指定したエッジ変化があるとICFCがセットされ、ICI ECビットがセットされていれば割込み要求が発生します。ただし、この場合は、FRCの値はICRCには転送されません。

また、バッファ動作の場合も、インプットキャプチャ信号が発生するタイミングで、データ転送が行われるレジスタ(ICRA と ICRC または IC RB と IC RD) の上位バイトのリードが行われると、インプットキャプチャ信号は、1システムクロック(φ)遅延されます。BUF EA = 1 の時のタイミングを図8.11に示します。

CPUのICRAまたはICRCの上位バイトリードサイクル

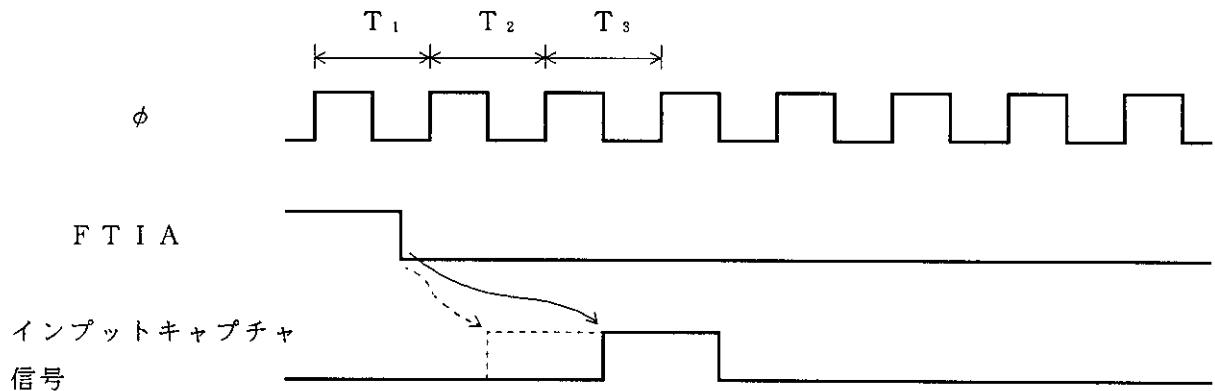


図 8.11 バッファレジスタ動作時のインプットキャプチャタイミング
(ICRAまたはICRCのリード時に、インプットキャプチャ入力を
入力した場合)

8.4.5 インプットキャプチャフラグ (ICFA~D) のセットタイミング

インプットキャプチャ入力により ICFA~D は “1” にセットされ、同時に FRC の値が対応する ICRA~D に転送されます。このタイミングを図 8.12 に示します。

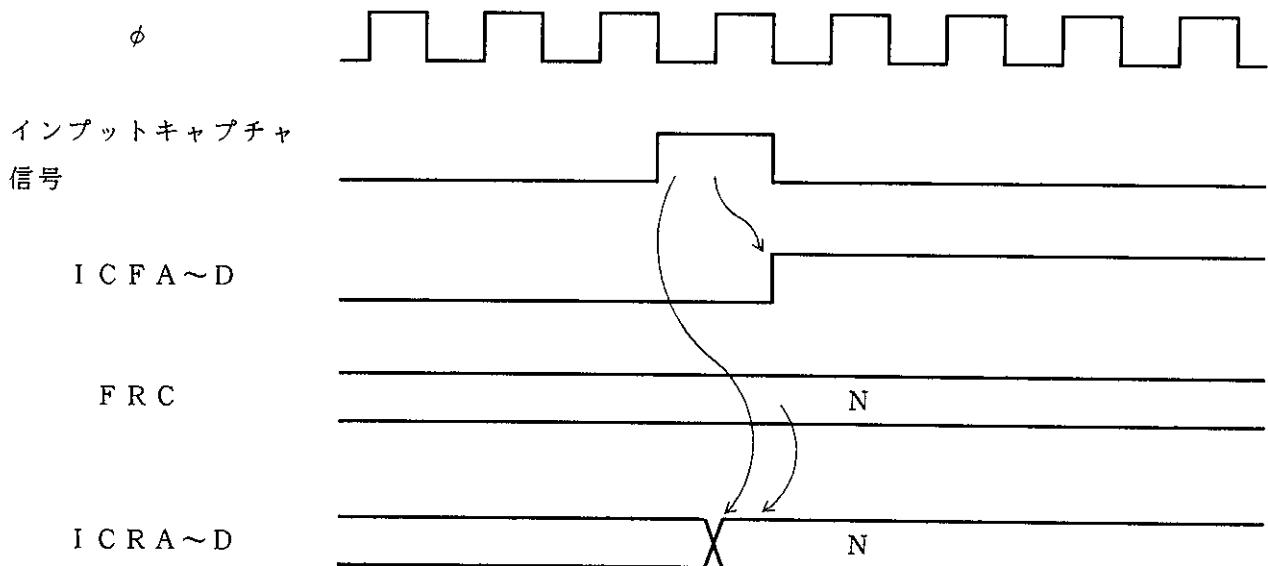


図 8.12 ICFA~D のセットタイミング

8.4.6 アウトプットコンペアフラグ（O C F A、B）のセットタイミング

O C F A、Bは、O C R A、BとF R Cの値が一致したとき出力されるコンペアマッチ信号により“1”にセットされます。コンペアマッチ信号は、値が一致した最後のステート（F R Cが一致したカウント値を更新するタイミング）で発生します。

F R CとO C R A、Bが一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。O C F A、Bのセットタイミングを図8.13に示します。

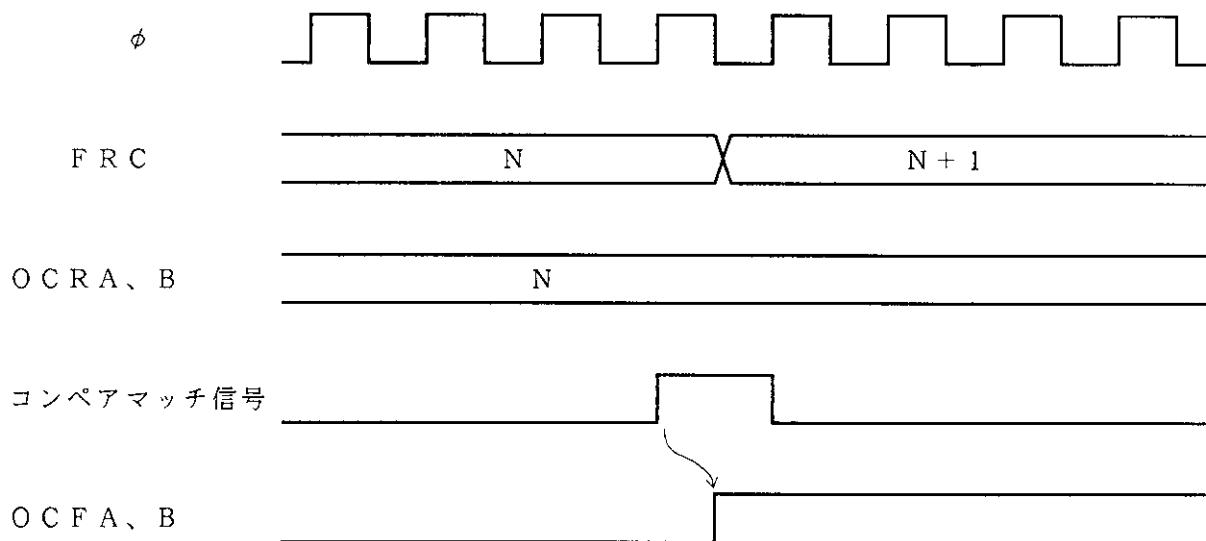


図8.13 OCFセットタイミング

8.4.7 タイマオーバフローフラグ（O V F）のセットタイミング

O V Fは、F R Cがオーバフロー ($H' FFFF \rightarrow H' 0000$) したとき“1”にセットされます。このときのタイミングを図8.14に示します。

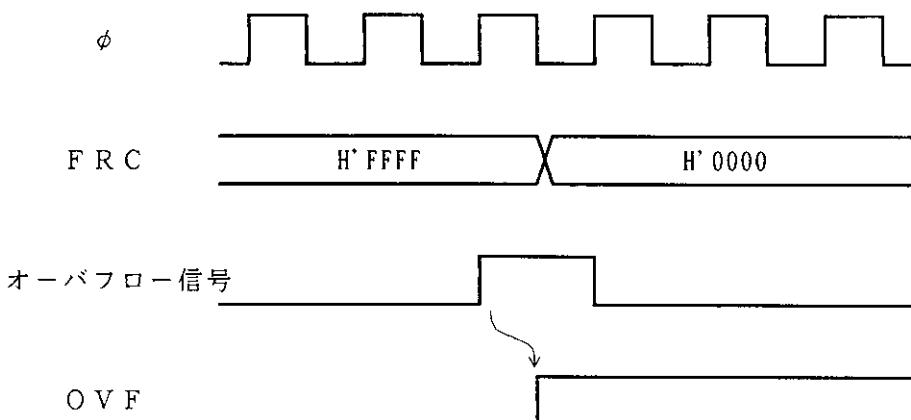


図8.14 OVFのセットタイミング

8.5 割込み要因

FRTの割込み要因は、ICIA～D、OCIA、OCIBおよびFOVIの3種類合計7つあります。表8.4に各割込み要因と優先順位を示します。各割込み要因は、TIERの各割込みイネーブルビットで許可または禁止され、それぞれ独立に割込みコントローラに送られます。

表8.4 FRT割込み要因

割込み要因	内 容	割込み優先順位
ICIA	ICFAによる割込み	高 ↑
ICIB	ICFBによる割込み	
ICIC	ICFCによる割込み	
ICID	ICFDによる割込み	
OCIA	OCFAによる割込み	
OCIB	OCFBによる割込み	
FOVI	OVFによる割込み	

8.6 FRTの使用例

デューティ50%のパルスを任意の位相差で出力させた例を図8.15に示します。これは次に示すように設定します。

- ① TCSRのCCLR Aビットを“1”にセットします。
- ② 各コンペアマッチが発生するたびにOLVLA、Bビットをソフトウェアにより反転させます。

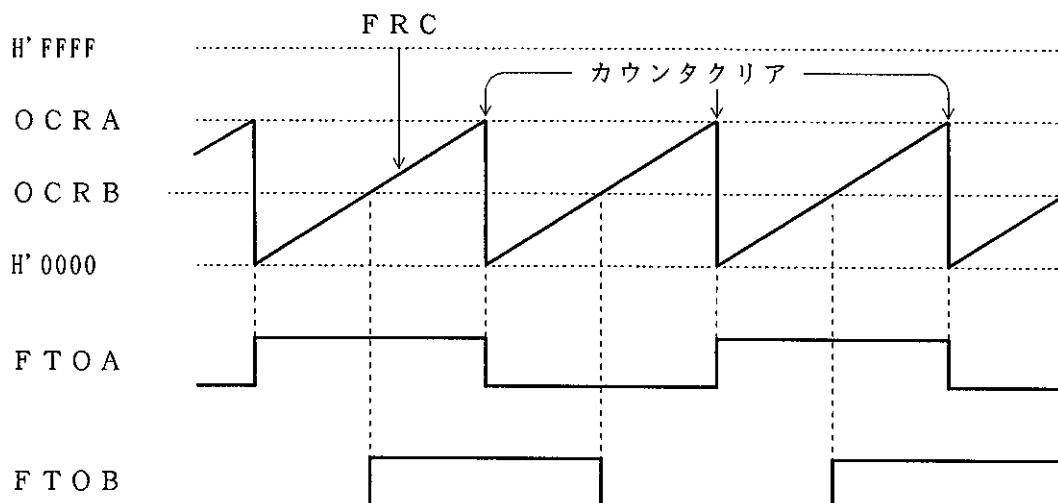


図8.15 パルス出力例

8.7 使用上の注意

FRTの動作中、次のような競合や動作が起こりますので、注意してください。

(1) FRCのライトとクリアの競合

FRCの下位バイトライトサイクル中のT₃ステートで、カウンタクリア信号が発生すると、FRCへの書き込みは行われずFRCのクリアが優先されます。

このタイミングを図8.16に示します。

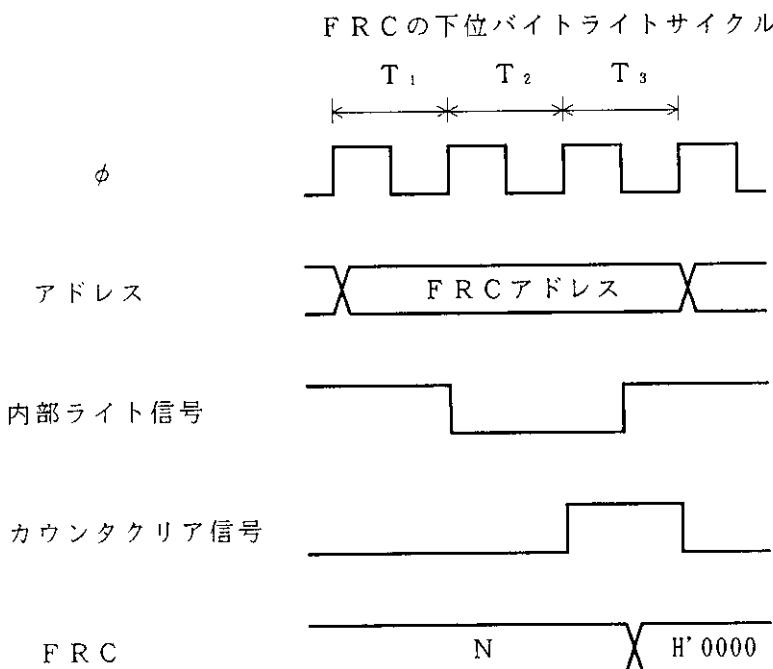


図8.16 FRCのライトとクリアの競合

(2) FRCのライトとカウントアップの競合

FRCの下位バイトライトサイクル中のT₃ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを図8.17に示します。

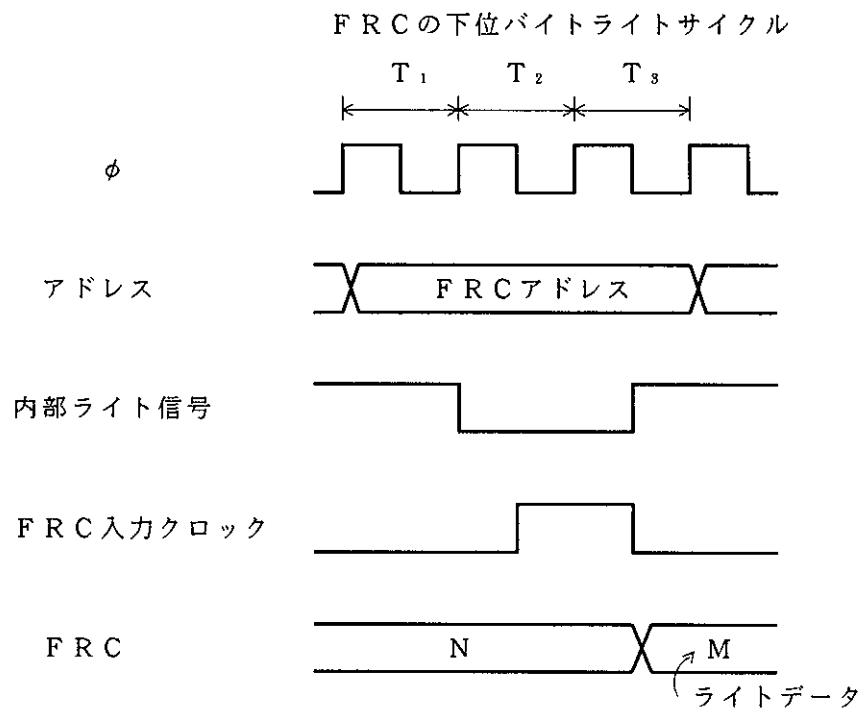


図 8.17 F R C のライトとカウントアップの競合

(3) O C R のライトとコンペアマッチの競合

O C R A、B の下位バイトライトサイクル中の T_3 ステートでコンペアマッチが発生した場合、O C R のライトが優先され、コンペアマッチ信号は禁止されます。このタイミングを図 8.18 に示します。

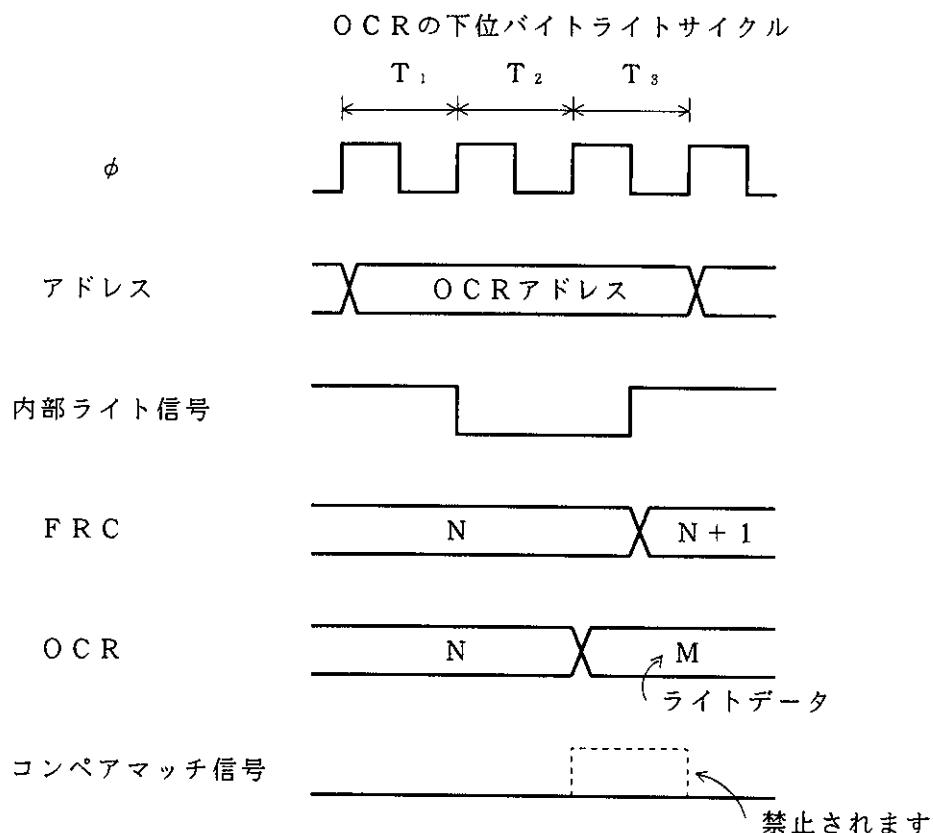


図 8.18 O C R とコンペアマッチの競合

(4) 内部クロックの切換えとカウンタの動作

内部クロックを切り換えるタイミングによっては、FRCがカウントアップされてしまう場合があります。内部クロックの切換えタイミング（CKS1、0ビットの書換え）とFRC動作の関係を表8.5に示します。

内部クロックを使用する場合、システムクロック（ ϕ ）を分周した内部クロックの立下がりエッジを検出してFRCクロックを生成しています。そのため表8.5のNo.3のように切換え前のクロック“High”→切換え後のクロック“Low”レベルになるようなクロックの切換えを行うと、切換えタイミングを立下がりエッジとみなしてFRCクロックが発生し、FRCがカウントアップされてしまいます。

また、内部クロックと外部クロックを切り換えるときも、FRCがカウントアップされることがあります。

表8.5 内部クロックの切換えとFRC動作(1)

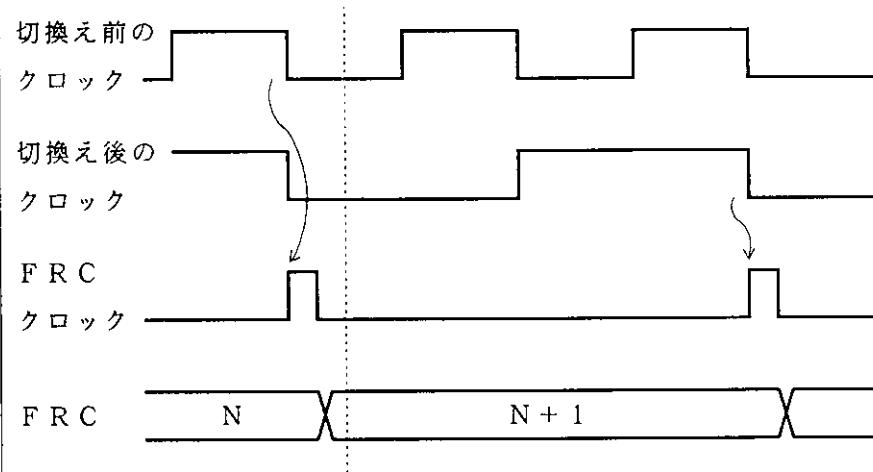
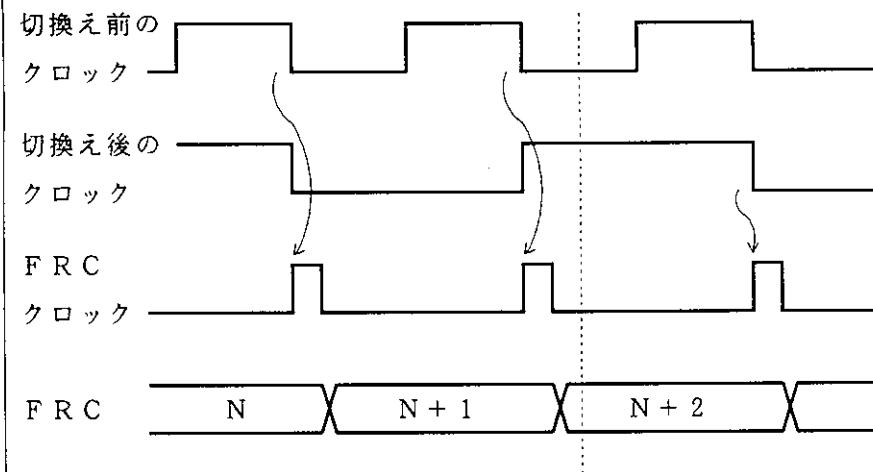
No.	CKS1、0ビット 書換えタイミング	F R C 動 作
1	“Low” → “Low” レベルの 切換え	 <p style="text-align: center;">CKSビットの書換え</p>
2	“Low” → “High” レベルの 切換え	 <p style="text-align: center;">CKSビットの書換え</p>

表8.5 内部クロックの切換えとFRC動作(2)

No.	C K S 1、0ビット 書換えタイミング	F R C 動作
3	"High"→"Low"レベルの 切換え	<p>CKSビットの書換え</p>
4	"High"→"High"レベルの 切換え	<p>CKSビットの書換え</p>

【注】* 切換えのタイミングを立下がりエッジとみなすために発生し、FRCはカウントアップされます。

9. 8 ビット タイマ

第9章 目次

9. 1	概要	183
9. 1. 1	特長	183
9. 1. 2	ブロック図	184
9. 1. 3	端子構成	185
9. 1. 4	レジスタ構成	185
9. 2	各レジスタの説明	186
9. 2. 1	タイマカウンタ (T C N T)	186
9. 2. 2	タイムコンスタントレジスタ A、B (T C O R A、B)	186
9. 2. 3	タイマコントロールレジスタ (T C R)	187
9. 2. 4	タイマコントロール／ステータスレジスタ (T C S R)	190
9. 2. 5	シリアルタイマコントロールレジスタ (S T C R)	192
9. 3	動作説明	193
9. 3. 1	T C N T のカウントタイミング	193
9. 3. 2	コンペアマッチタイミング	194
9. 3. 3	T C N T の外部リセットタイミング	196
9. 3. 4	オーバフローフラグ (O V F) のセットタイミング	196
9. 4	割込み要因	197
9. 5	8 ビットタイマの使用例	197
9. 6	使用上の注意	198
9. 6. 1	T C N T のライトとカウンタクリアの競合	198
9. 6. 2	T C N T のライトとカウントアップの競合	199
9. 6. 3	T C O R のライトとコンペアマッチの競合	200
9. 6. 4	コンペアマッチ A、B の競合	200
9. 6. 5	内部クロックの切換えと T C N T の動作	201

9.1 概要

本LSIは、8ビットのカウンタをベースにした2チャネルの8ビットタイマ0、1を内蔵しています。2チャネルの8ビットタイマには、それぞれタイマカウンタ(TCNT)のほかに8ビットのタイムコンスタントレジスタA、B(TCORA、B)があり、TCNTとTCORの値の一致によるコンペアマッチ信号により、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

9.1.1 特長

■ 7種類のカウンタ入力クロックを選択可能

6種類の内部クロックと、外部クロックのうちから選択できます（外部イベントのカウントが可能）。

■ カウンタのクリア指定が可能

コンペアマッチA、B、または外部リセット信号のうちから選択できます。

■ 2つのコンペアマッチ信号の組合せでタイマ出力を制御

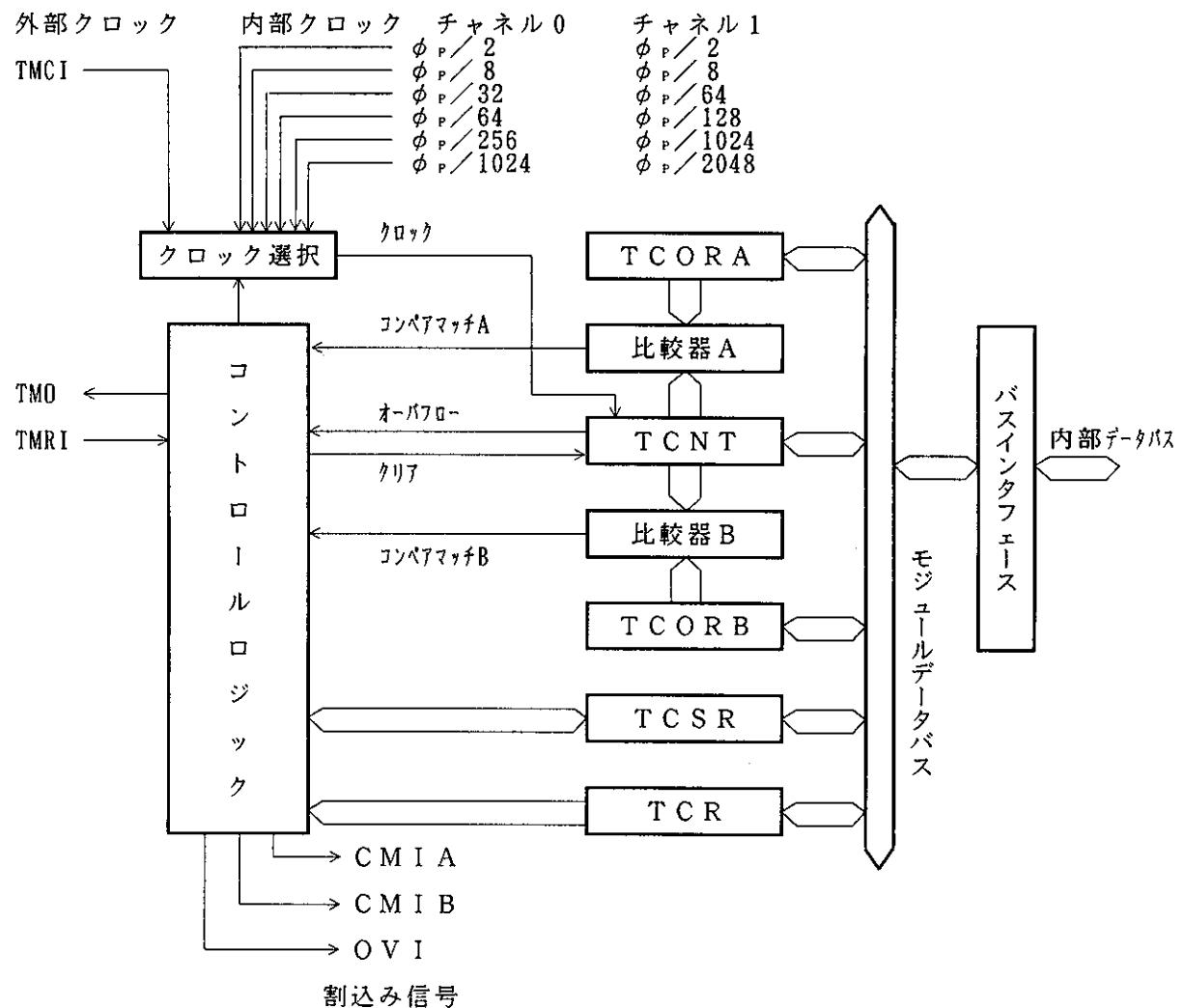
独立に動作可能な2つのコンペアマッチ信号の組合せによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能です。

■ 3種類の割込み要因

コンペアマッチ×2要因、オーバフロー×1要因があり、それぞれ独立に要求することができます。

9.1.2 ブロック図

8ビットタイマのブロック図（1チャネル）を図9.1に示します。



〈記号説明〉

TCORA：タイムコンスタントレジスタ A

TCORB：タイムコンスタントレジスタ B

T C N T : タイマカウンタ

TCSR : タイマコントロール／ステータスレジスタ

TCR : タイマヨントロニルレジスタ

図 9.1 8 ビットタイマのブロック図（1 チャネル）

9.1.3 端子構成

8ビットタイマの入出力端子を表9.1に示します。

表9.1 端子構成

チャネル	名 称	略 称*	入出力	機 能
0	タイマ出力端子	TMO ₀	出 力	コンペアマッチ出力
	タイマクロック入力端子	TMCI ₀	入 力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI ₀	入 力	カウンタ外部リセット入力
1	タイマ出力端子	TMO ₁	出 力	コンペアマッチ出力
	タイマクロック入力端子	TMCI ₁	入 力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI ₁	入 力	カウンタ外部リセット入力

【注】* 本文中ではチャネルを省略し、それぞれTMO、TMCI、TMRIと略称します。

9.1.4 レジスタ構成

8ビットタイマのレジスタ構成を表9.2に示します。

表9.2 レジスタ構成

チャネル	名 称	略 称	R/W	初期値	アドレス
0	タイマコントロールレジスタ	TCR	R/W	H'00	H'FFC8
	タイマコントロール/ステータスレジスタ	TC SR	R/(W)*	H'10	H'FFC9
	タイムコンスタントレジスタA	TCORA	R/W	H'FF	H'FFCA
	タイムコンスタントレジスタB	TCORB	R/W	H'FF	H'FFCB
	タイマカウンタ	TCNT	R/W	H'00	H'FFCC
1	タイマコントロールレジスタ	TCR	R/W	H'00	H'FFD0
	タイマコントロール/ステータスレジスタ	TC SR	R/(W)*	H'10	H'FFD1
	タイムコンスタントレジスタA	TCORA	R/W	H'FF	H'FFD2
	タイムコンスタントレジスタB	TCORB	R/W	H'FF	H'FFD3
	タイマカウンタ	TCNT	R/W	H'00	H'FFD4
0、1	シリアルタイマコントロールレジスタ	STCR	R/W	H'00	H'FFC3

【注】* ビット7～5は、フラグをクリアするための“0”ライトのみ可能です。

9.2 各レジスタの説明

9.2.1 タイマカウンタ (T C N T)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W							

T C N T は、8ビットのリード／ライト可能なアップカウンタで、入力する内部または外部クロックによりカウントアップされます。入力するクロックは、T C R のクロックセレクト 2～0 ビット (C K S 2～0) で選択します。T C N T の値は、C P U から常にリード／ライト可能です。

T C N T は、外部リセット入力信号またはコンペアマッチ信号 (A、B) により、クリアすることができます。いずれの信号でクリアするかは、T C R のカウンタクリアビット (C C L R 1、0) で選択します。

また、T C N T がオーバフロー (H'FF→H'00) すると、T C S R のオーバフローフラグ (O V F) が“1”にセットされます。

T C N T は、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

9.2.2 タイムコンスタントレジスタ A、B (T C O R A、B)

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							

T C O R A、B は、8ビットのリード／ライト可能なレジスタです。

T C O R と T C N T の値は常に比較されており、両方の値が一致すると T C S R のコンペアマッチフラグ (C M F A、B) が“1”にセットされます。ただし、T C O R へのライトサイクルのT₃ステートでの比較は禁止されています。

また、この一致による信号 (コンペアマッチ) と T C S R のアウトプットセレクトビット (O S 3～0) の設定により、タイマ出力を自由に制御することができます。

T C O R は、リセットまたはスタンバイモード時に、H'FFにイニシャライズされます。

9.2.3 タイマコントロールレジスタ (T C R)

ビット :	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVI E	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

T C Rは、8ビットのリード／ライト可能なレジスタで、T C N Tの入力クロックの選択、T C N Tのクリア指定、および各割込み要求の許可を制御します。

T C Rは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

なお、タイミングについては、「9.3 動作説明」を参照してください。

ビット7：コンペアマッチインタラプトイネーブルB (C M I E B)

T C S RのC M F Bが“1”にセットされたとき、C M F Bによる割込み要求 (C M I B) の許可または禁止を選択します。

ビット7	説明
C M I E B	
0	C M F Bによる割込み要求 (C M I B) を禁止 (初期値)
1	C M F Bによる割込み要求 (C M I B) を許可

ビット6：コンペアマッチインタラプトイネーブルA (C M I E A)

T C S RのC M F Aが“1”にセットされたとき、C M F Aによる割込み要求 (C M I A) の許可または禁止を選択します。

ビット6	説明
C M I E A	
0	C M F Aによる割込み要求 (C M I A) を禁止 (初期値)
1	C M F Aによる割込み要求 (C M I A) を許可

ビット5：タイマオーバフローインタラプトイネーブル (O V I E)

T C S RのO V Fが“1”にセットされたとき、O V Fによる割込み要求 (O V I) の許可または禁止を選択します。

ビット5	説明
O V I E	
0	O V Fによる割込み要求 (O V I) を禁止 (初期値)
1	O V Fによる割込み要求 (O V I) を許可

ビット4、3：カウンタクリア1、0 (CCLR1、0)

TCNTのクリアを指定します。クリアは、コンペアマッチA、Bまたは外部リセット入力端子(TMRI)から選択します。

ビット4 CCLR1	ビット3 CCLR0	説明
0	0	クリアを禁止 (初期値)
0	1	コンペアマッチAによりクリア
1	0	コンペアマッチBによりクリア
1	1	外部リセット入力の立上がりエッジ(↑)によりクリア

ビット2～0：クロックセレクト2～0 (CKS2～0)

STCRのICKS0、ICKS1ビットと共にTCNTに入力するクロックを、内部クロックまたは外部クロックから選択します。

内部クロックは、各チャネルそれぞれシステムクロック(ϕ)を分周した6種類のクロックから選択できます。これら内部クロックは、立下がりエッジでカウントします。

外部クロックのとき、クロック入力は外部クロック入力端子(TMC1)の立上がり、立下がり、または立上がり／立下がり両エッジのカウントの3種類から選択できます。

チャネル	TCR			STCR		説明
	ビット2	ビット1	ビット0	ビット1	ビット0	
	CKS2	CKS1	CKS0	ICKS1	ICKS0	
0	0	0	0	-	-	クロック入力を禁止 (初期値)
	0	0	1	-	0	内部クロック： $\phi_p/8$ 立下がりエッジ(モ)でカウント
	0	0	1	-	1	内部クロック： $\phi_p/2$ 立下がりエッジ(モ)でカウント
	0	1	0	-	0	内部クロック： $\phi_p/64$ 立下がりエッジ(モ)でカウント
	0	1	0	-	1	内部クロック： $\phi_p/32$ 立下がりエッジ(モ)でカウント
	0	1	1	-	0	内部クロック： $\phi_p/1024$ 立下がりエッジ(モ)でカウント
	0	1	1	-	1	内部クロック： $\phi_p/256$ 立下がりエッジ(モ)でカウント
	1	0	0	-	-	クロック入力を禁止
	1	0	1	-	-	外部クロック：立上がりエッジ(フ)でカウント
	1	1	0	-	-	外部クロック：立下がりエッジ(モ)でカウント
	1	1	1	-	-	外部クロック：立上がり／立下がり(フ・モ)両エッジでカウント
1	0	0	0	-	-	クロック入力を禁止 (初期値)
	0	0	1	0	-	内部クロック： $\phi_p/8$ 立下がりエッジ(モ)でカウント
	0	0	1	1	-	内部クロック： $\phi_p/2$ 立下がりエッジ(モ)でカウント
	0	1	0	0	-	内部クロック： $\phi_p/64$ 立下がりエッジ(モ)でカウント
	0	1	0	1	-	内部クロック： $\phi_p/128$ 立下がりエッジ(モ)でカウント
	0	1	1	0	-	内部クロック： $\phi_p/1024$ 立下がりエッジ(モ)でカウント
	0	1	1	1	-	内部クロック： $\phi_p/2048$ 立下がりエッジ(モ)でカウント
	1	0	0	-	-	クロック入力を禁止
	1	0	1	-	-	外部クロック：立上がりエッジ(フ)でカウント
	1	1	0	-	-	外部クロック：立下がりエッジ(モ)でカウント
	1	1	1	-	-	外部クロック：立上がり／立下がり(フ・モ)両エッジでカウント

9.2.4 タイマコントロール／ステータスレジスタ (TCSR)

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0
初期値:	0	0	0	1	0	0	0	0
R/W:	R/(W)	R/(W)	R/(W)	—	R/W	R/W	R/W	R/W

【注】* ビット7～5は、フラグをクリアするための“0”ライトのみ可能です。

TCSRは、8ビットのレジスタで、コンペアマッチやタイマオーバフローのステータスの表示、およびコンペアマッチ出力の制御を行います。

TCSRは、リセットまたはスタンバイモード時に、H'10にイニシャライズされます。

ビット7: コンペアマッチフラグB (CMFB)

TCNTとTCORBの値が一致したことを示すステータスフラグです。

なお、本フラグのクリアは、ソフトウェアによって行われます。また、本フラグのセットは、ハードウェアで行われ、ソフトウェアでセットすることはできません。

ビット7 CMFB	説	明
0	[クリア条件] CMFB = “1”的状態で、CMFBをリードした後、CMFBに“0”をライトしたとき	(初期値)
1	[セット条件] TCNT = TCORBになったとき	

ビット6: コンペアマッチフラグA (CMFA)

TCNTとTCORAの値が一致したことを示すステータスフラグです。

なお、本フラグのクリアは、ソフトウェアによって行われます。また、本フラグのセットは、ハードウェアで行われ、ソフトウェアでセットすることはできません。

ビット6 CMFA	説	明
0	[クリア条件] CMFA = “1”的状態で、CMFAをリードした後、CMFAに“0”をライトしたとき	(初期値)
1	[セット条件] TCNT = TCORAになったとき	

ビット5：タイマオーバーフローフラグ（OVF）

T C N T がオーバーフロー ($H'FF \rightarrow H'00$) したことを示すステータスフラグです。

なお、本フラグのクリアは、ソフトウェアによって行われます。また、本フラグのセットは、ハードウェアで行われ、ソフトウェアでセットすることはできません。

ビット5	説明
O V F	
0	〔クリア条件〕 O V F = “1” の状態で、O V F をリードした後、O V F に “0” をライトしたとき (初期値)
1	〔セット条件〕 T C N T が $H'FF \rightarrow H'00$ になったとき

ビット4：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット3～0：アウトプットセレクト3～0 (OS3～0)

T C O R と T C N T のコンペアマッチによるタイマ出力端子 (T M O) のレベルをどのように変化させるかを選択します。

O S 3 と O S 2 がコンペアマッチ B による出力レベルを選択し、O S 1 と O S 0 がコンペアマッチ A による出力レベルを選択し、それぞれ独立に制御することができます。

ただし、トグル出力 > “1” 出力 > “0” 出力の順で優先順位が高くなるように設定してありますので、コンペアマッチが同時に発生した場合は、優先順位が高い方のコンペアマッチにしたがって出力が変化します。

なお、O S 3～0 ビットがすべて “0” の場合にはタイマ出力は禁止されます。

リセット後、最初のコンペアマッチが起こるまでのタイマ出力は “0” です。

ビット3	ビット2	説明
O S 3	O S 2	
0	0	コンペアマッチ B で変化しない (初期値)
0	1	コンペアマッチ B で “0” 出力
1	0	コンペアマッチ B で “1” 出力
1	1	コンペアマッチ B ごとに反転出力 (トグル出力)

ビット1	ビット0	説明
O S 1	O S 0	
0	0	コンペアマッチ A で変化しない (初期値)
0	1	コンペアマッチ A で “0” 出力
1	0	コンペアマッチ A で “1” 出力
1	1	コンペアマッチ A ごとに反転出力 (トグル出力)

9.2.5 シリアルタイマコントロールレジスタ (S T C R)

ビット :	7	6	5	4	3	2	1	0
【H'8／3534】	(IIC\$)	(IICD)	(IICX)	(IICE)	(STAC)	MPE	ICKS1	ICKS0
初期値 :	0	0	0	0	0	0	0	0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット :	7	6	5	4	3	2	1	0
【H'8／3522】	—	—	—	—	—	MPE	ICKS1	ICKS0
初期値 :	1	1	1	1	1	0	0	0

R/W : — — — — — R/W R/W R/W

S T C R は 8 ビットのリード／ライト可能なレジスタで、S C I の動作モードの制御とT C N T の入力クロックの選択を行います。

S T C R はリセット時にH'00【H'8／3534】／H'F8【H'8／3522】にイニシャライズされます。

ビット7～4：I²Cコントロール (IIC\$、IICD、IICX、IICE) 【H'8／3534】

リザーブビットです。“1”にセットしないでください。

ビット3：スレーブ入力切り替え (STAC) 【H'8／3534】

リザーブビットです。“1”にセットしないでください。

ビット7～3：リザーブビット【H'8／3522】

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット2：マルチプロセッサネーブル (MPE)

S C I 0、1の動作モードの制御を行ないます。詳細は「第12章 シリアルコミュニケーションインターフェース」を参照してください。

ビット1、0：インターナルクロックソースセレクト1、0 (ICKS1、ICKS0)

T C R のC K S 2～0ビットと共に、T C N T に入力するクロックを選択します。詳細は「9.2.3 タイマコントロールレジスタ」を参照してください。

9.3 動作説明

9.3.1 T C N T のカウントタイミング

T C N T は、入力されたクロック（内部クロックまたは外部クロック）によりカウントアップされます。

(1) 内部クロック動作の場合

T C R の C K S 2 ~ 0 ビットの設定により、システムクロック (ϕ) を分周して作られる 6 種類の内部クロックが選択されます。このタイミングを図 9.2 に示します。

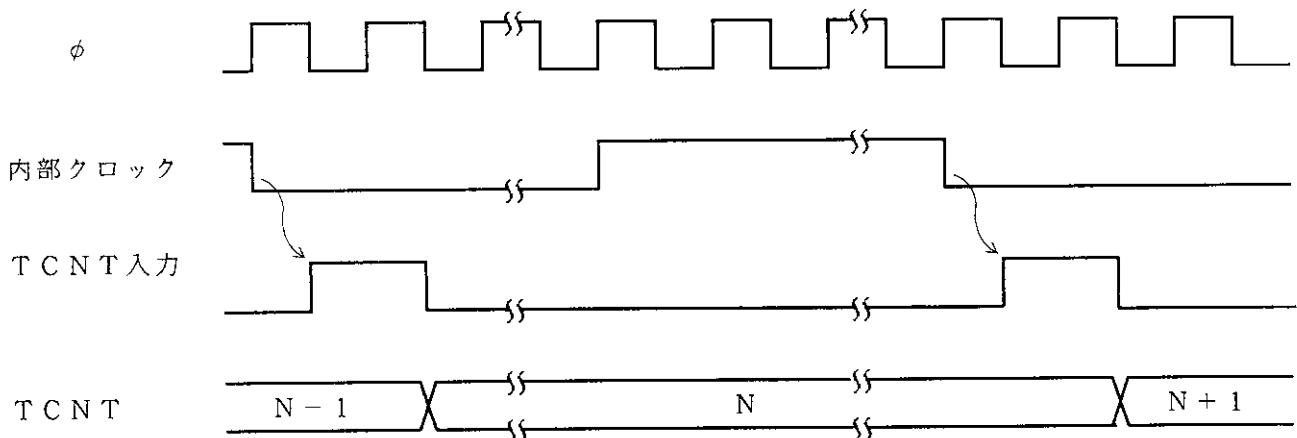


図 9.2 内部クロック動作時のカウントタイミング

(2) 外部クロック動作の場合

T C R の C K S 2 ~ 0 ビットの設定により、外部クロックの立上がり、立下がり、立上がり／立下がり両エッジのいずれかによるカウントアップが選択されます。

なお、外部クロックのパルス幅は、単エッジの場合は 1.5 システムクロック (ϕ) 以上、両エッジの場合は 2.5 システムクロック (ϕ) 以上必要です。これ以下のパルス幅では、正しく動作しませんので注意してください。

図 9.3 に、外部クロックとして、立上がり／立下がり両エッジの場合のタイミングを示します。

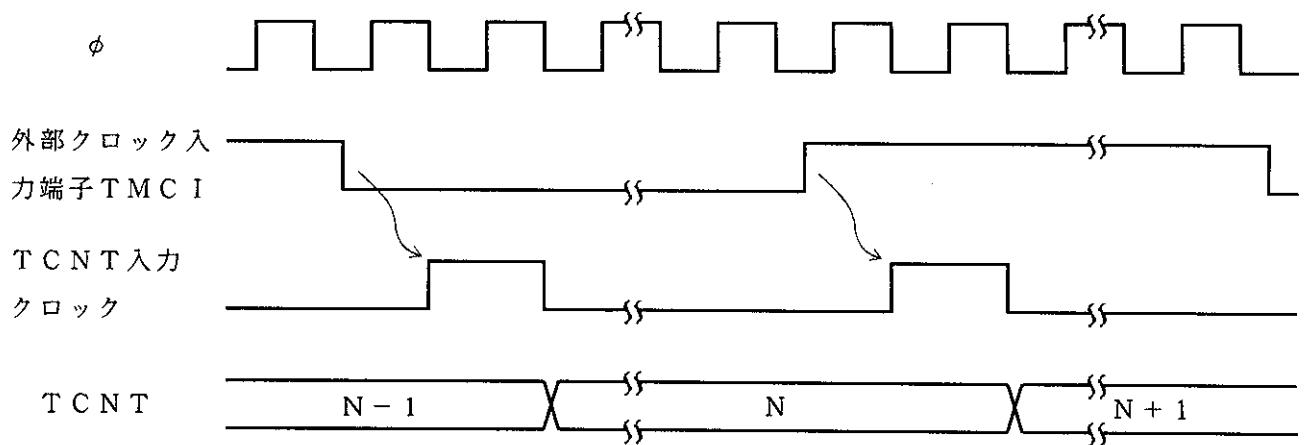


図 9.3 外部クロック動作時のカウントタイミング

9.3.2 コンペアマッチタイミング

(1) コンペアマッチフラグ A、B (CMFA、B) のセットタイミング

TCSRのCMFA、Bは、TCORとTCNTの値が一致したとき出力されるコンペアマッチ信号により“1”にセットされます。コンペアマッチ信号は一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）で発生します。

したがって、TCNTとTCORが一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図9.4に示します。

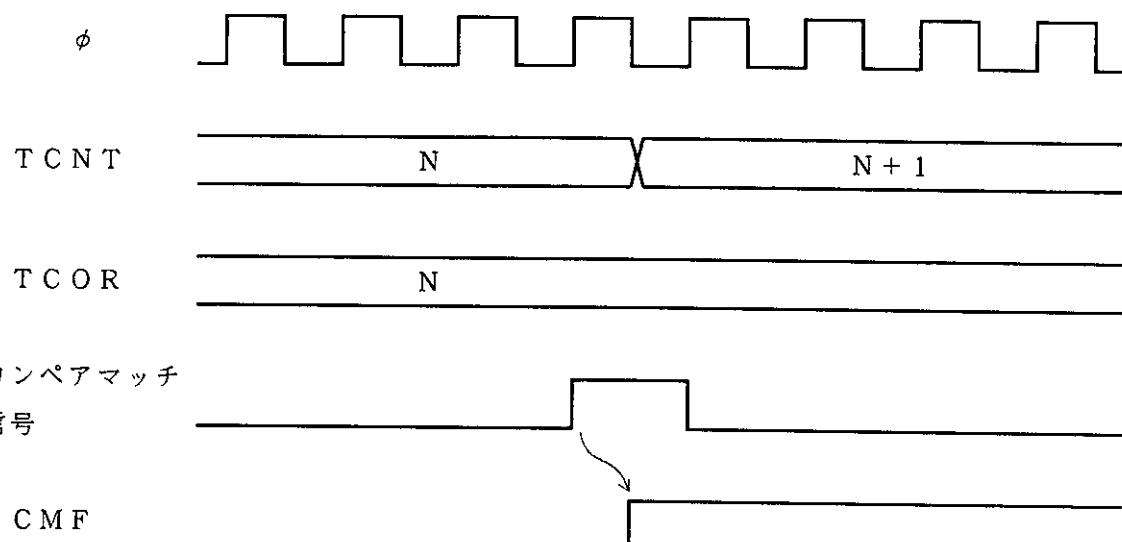


図 9.4 CMF セットタイミング

(2) タイマ出力タイミング

タイマ出力はコンペアマッチA、Bが発生したとき、TCSRのOS3～0ビットで選択された状態（変化しない、“0”出力、“1”出力、トグル出力）で出力されます。

図9.5にコンペアマッチA信号によるトグル出力の場合の出力タイミングを示します。

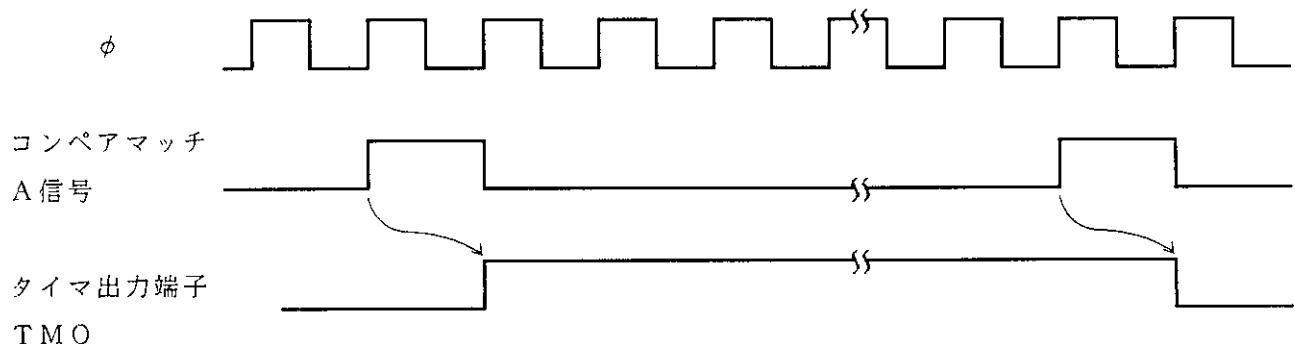


図9.5 タイマ出力タイミング

(3) コンペアマッチによるクリア

TCNTは、TCRのCCLR1、0ビットの選択によりコンペアマッチAまたはコンペアマッチBでクリアされます。このクリアされるタイミングを図9.6に示します。

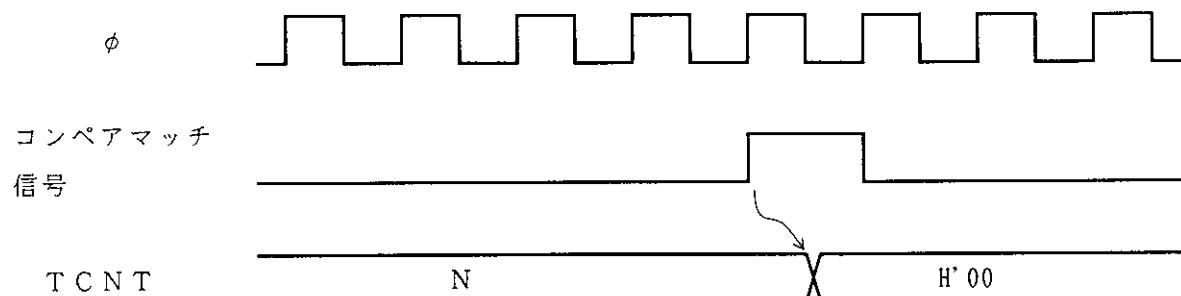


図9.6 コンペアマッチによるクリアタイミング

9.3.3 T C N T の外部リセットタイミング

T C N T は、T C R のC C L R 1、0ビットの選択により外部リセット入力の立上がりエッジでクリアされます。外部リセット信号のパルス幅は1.5システムクロック (ϕ) 以上必要となります。このクリアされるタイミングを図9.7に示します。

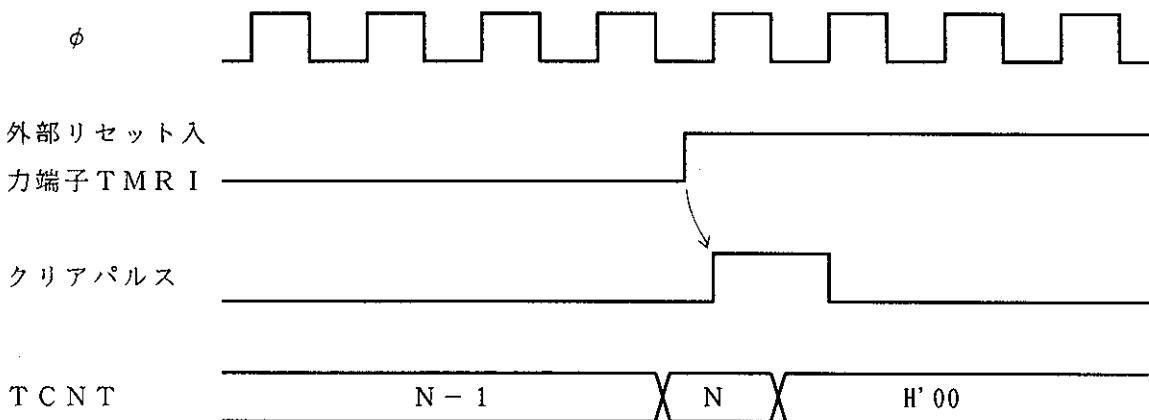


図9.7 外部リセット入力によるクリアタイミング

9.3.4 オーバフローフラグ (O V F) のセットタイミング

T C S R のO V F は、T C N T がオーバフロー ($H'FF \rightarrow H'00$) したとき出力されるオーバフロー信号により “1” にセットされます。

このときのタイミングを図9.8に示します。

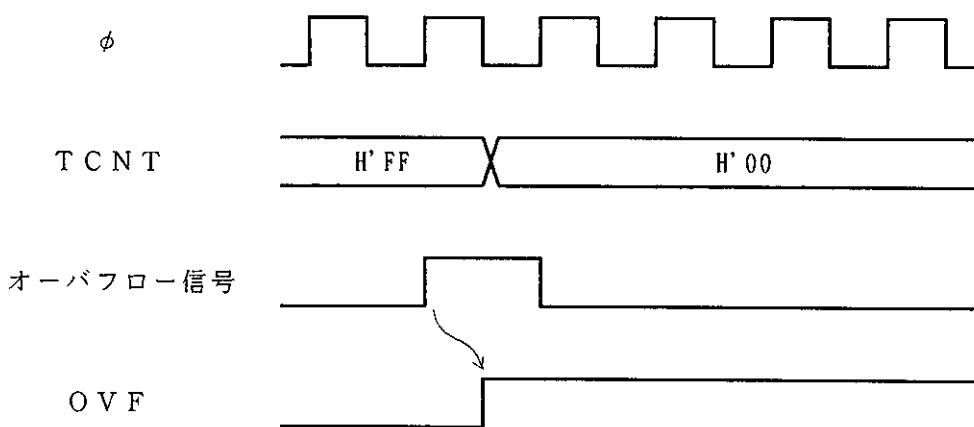


図9.8 O V F のセットタイミング

9.4 割込み要因

8ビットタイマの割込み要因は、CMIA、CMIB、OVIの3種類があります。表9.3に各割込み要因と優先順位を示します。各割込み要因は、TCRの各割込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割込みコントローラに送られます。

表9.3 8ビットタイマ割込み要因

割込み要因	内 容	割込み優先順位
CMIA	CMFAによる割込み	↑ 高 ↓ 低
CMIB	CMFBによる割込み	
OVI	OVFによる割込み	

9.5 8ビットタイマの使用例

任意のデューティパルスを出力させた例を図9.9に示します。これは次に示すように設定します。

- ① TCORAのコンペアマッチによりTCNTがクリアされるように、TCRのCCLR1ビットを“0”、CCLR0ビットを“1”にセットします。
- ② TCORAのコンペアマッチにより“1”出力、TCORBのコンペアマッチにより“0”出力になるようにTCSRのOS3～0ビットを“0110”に設定します。

以上の設定により周期がTCORA、パルス幅がTCORBの波形をソフトウェアの介在なしに出力できます。

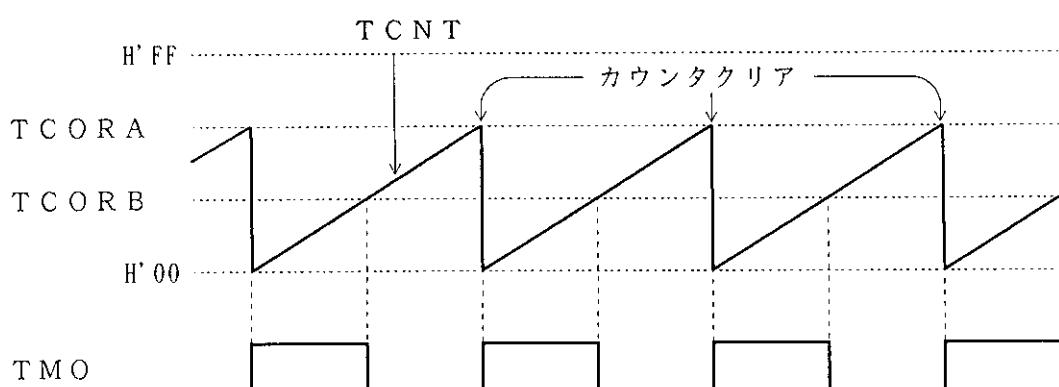


図9.9 パルス出力例

9.6 使用上の注意

8ビットタイマの動作中、次のような競合や動作が起こるので注意してください。

9.6.1 T C N T のライトとカウンタクリアの競合

T C N T のライトサイクル中の T_3 ステートで、カウンタクリアが発生すると、カウンタへのライトは行われず、クリアが優先されます。

これを図 9.10 に示します。

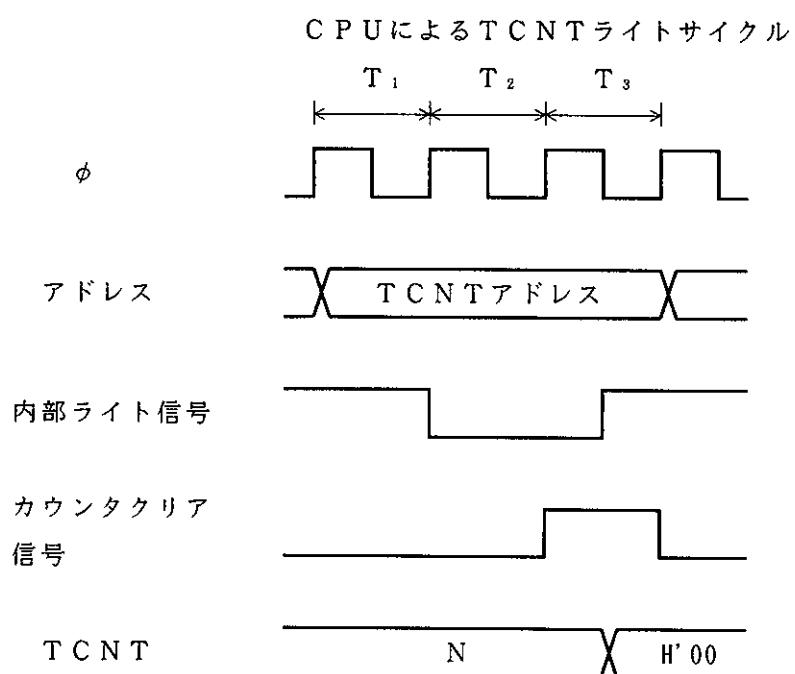


図 9.10 T C N T のライトとクリアの競合

9.6.2 T C N T のライトとカウントアップの競合

T C N T のライトサイクル中の T₃ステートでカウントアップが発生しても、カウントアップされず、カウンタライトが優先されます。

これを図 9.11 に示します。

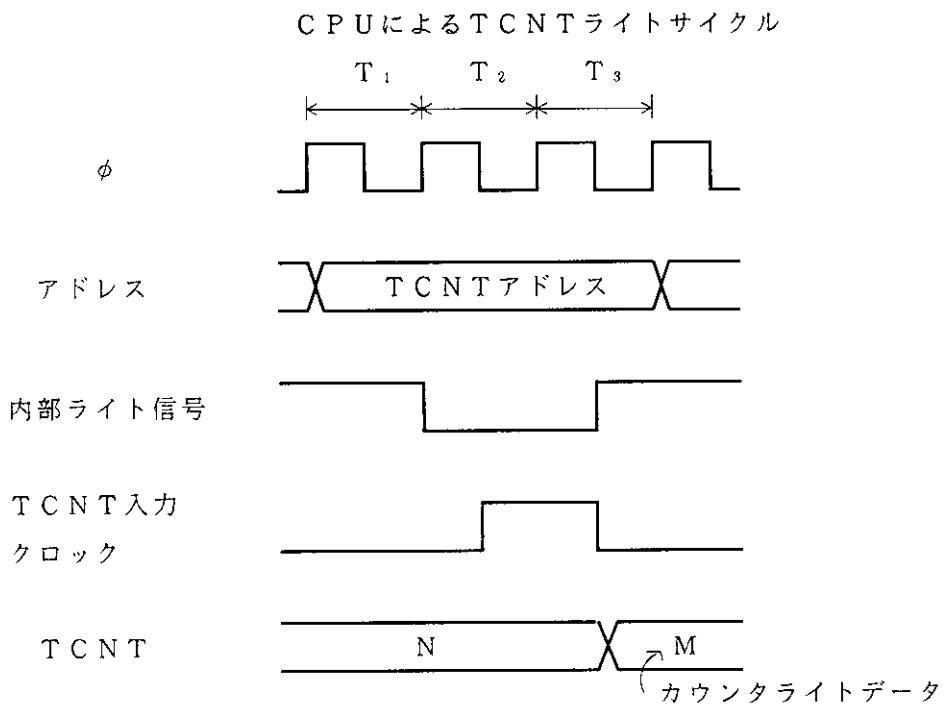


図 9.11 T C N T のライトとカウントアップの競合

9.6.3 T C O R のライトとコンペアマッチの競合

T C O R のライトサイクル中の T_3 ステートで、コンペアマッチが発生しても、T C O R のライトが優先され、コンペアマッチ信号は禁止されます。これを図 9.12 に示します。

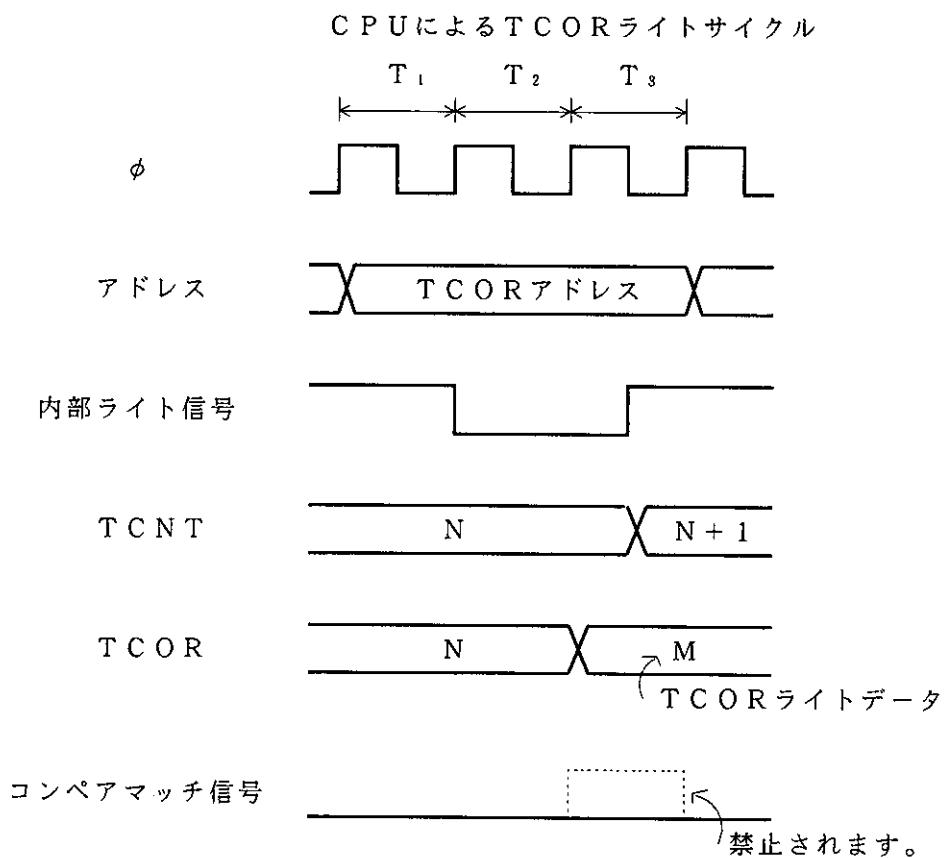


図 9.12 T C O R のライトとコンペアマッチの競合

9.6.4 コンペアマッチ A、B の競合

コンペアマッチ A、B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 9.4 に示すタイマ出力の優先順位にしたがって動作します。

表 9.4 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高
“1”出力	
“0”出力	
変化しない	低

9.6.5 内部クロックの切換えとT C N Tの動作

内部クロックを切り換えるタイミングによっては、T C N Tがカウントアップされてしまう場合があります。内部クロックの切換えタイミング（C K S 1、0ビットの書換え）とT C N T動作の関係を表9.5に示します。

内部クロックからT C N Tクロックを生成する場合、内部クロックの立下がりエッジで検出しています。そのため表9.5のNo.3のように、“High”→“Low”レベルになるようなクロックの切換えを行うと、切換えタイミングを立下がりエッジとみなしてT C N Tクロックが発生し、T C N Tがカウントアップされてしまいます。

また、内部クロックと外部クロックを切り換えるときも、T C N Tがカウントアップされることがあります。

表9.5 内部クロックの切換えとT C N Tの動作(1)

No.	C K S 1、0ビット 書換えタイミング	T C N Tクロックの動作
1	“Low”→“Low”レベル ^{*1} の切換え	<p>切換え前の クロック</p> <p>切換え後 の クロック</p> <p>T C N T クロック</p> <p>T C N T N N + 1</p> <p>CK S ビット書換え</p>
2	“Low”→“High”レベル ^{*2} の切換え	<p>切換え前の クロック</p> <p>切換え後 の クロック</p> <p>T C N T クロック</p> <p>T C N T N N + 1 N + 2</p> <p>CK S ビット書換え</p>

【注】^{*1} “Low”レベル→停止、および停止→“Low”レベルの場合を含みます。

^{*2} 停止→“High”レベルの場合を含みます。

表9.5 内部クロックの切換えとT C N Tの動作(2)

No.	C K S 1、0ビット 書換えタイミング	T C N T クロックの動作
3	"High" → "Low" レベル ^{*3} の切換え	<p style="text-align: center;">C K S ビット書換え</p>
4	"High" → "High" レベル の切換え	<p style="text-align: center;">C K S ビット書換え</p>

【注】^{*3} "High" レベル→停止を含みます。

^{*4} 切換えのタイミングを立下がりエッジとみなすために発生し、T C N T はカウントアップされます。

10. PWM タイマ

【H8／3534のみに内蔵】

第10章 目次

10

10.1 概要	205
10.1.1 特長	205
10.1.2 ブロック図	205
10.1.3 端子機能	206
10.1.4 レジスタ構成	206
10.2 各レジスタの説明	207
10.2.1 タイマカウンタ (T C N T)	207
10.2.2 デューティレジスタ (D T R)	207
10.2.3 タイマコントロールレジスタ (T C R)	208
10.3 PWMタイマの動作	210
10.3.1 タイマカウンタ入力タイミング	210
10.3.2 PWM動作タイミング	210
10.4 使用上の注意	212

10.1 概要

本LSIは、2チャネルの独立したPWM(Pulse Width Modulation)タイマ0、1を内蔵しています。各チャネルごとに、8ビットタイマカウンタ(TCNT)と8ビットデューティレジスタ(DTR)があり、DTRに設定する値によって、0~100%の任意のデューティパルスを得ることができます。

10.1.1 特長

PWMタイマの特長を以下に示します。

- 8種類のカウンタ入力クロックを選択可能
- デューティ0~100%を1/250の分解能で設定可能
- PWM出力のイネーブル/ディスエーブルの切換え、直接出力/反転出力の切換えが可能

10.1.2 ブロック図

PWMタイマのブロック図(1チャネル)を図10.1に示します。

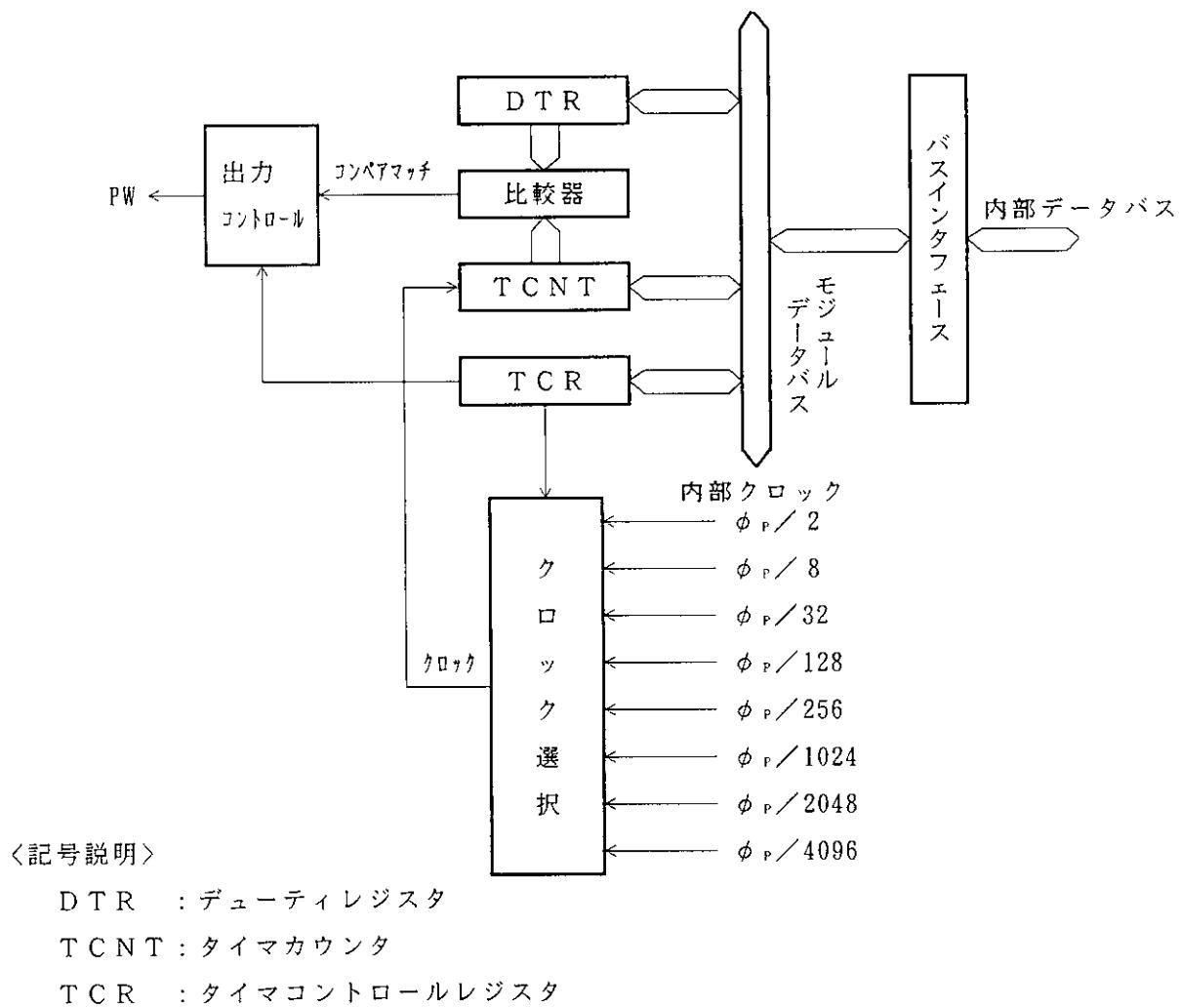


図10.1 PWMタイマのブロック図(1チャネル)

10.1.3 端子機能

PWMタイマの出力端子を表10.1に示します。

表10.1 端子構成

チャネル	名 称	略称	入出力	機 能
0	PWM 0 出力端子	PW ₀	出 力	PWMタイマ 0 パルス出力
1	PWM 1 出力端子	PW ₁	出 力	PWMタイマ 1 パルス出力

10.1.4 レジスタ構成

PWMタイマのレジスタ構成を表10.2に示します。

表10.2 レジスタ構成

チャネル	名 称	略 称	R/W	初期値	アドレス
0	タイマコントロールレジスタ	T C R	R/W	H'38	H'FFA0
	デューティレジスタ	D T R	R/W	H'FF	H'FFA1
	タイマカウンタ	T C N T	R/W	H'00	H'FFA2
1	タイマコントロールレジスタ	T C R	R/W	H'38	H'FFA4
	デューティレジスタ	D T R	R/W	H'FF	H'FFA5
	タイマカウンタ	T C N T	R/W	H'00	H'FFA6

10.2 各レジスタの説明

10.2.1 タイマカウンタ (T C N T)

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

T C N T は、8ビットのリード／ライト可能なアップカウンタです。T C R のアウトプットイネーブルビット (O E) を “1” にセットすると、クロックセレクト 2～0ビット (C K S 2～0) で指定された内部クロックにより、カウントアップを開始し、H'00～H'F9までカウントを行うと、再びH'00からカウントを始めます。T C N T がH'00からH'01に変化したとき、P W M 出力を “1” 出力します。ただし、D T R = H'00のときは、デューティが 0 % に相当するので、P W M 出力は “0” 出力のままでです。

T C N T は、リセット、スタンバイモード時、またはO E = “0”的き、H'00にイニシャライズされます。

10.2.2 デューティレジスタ (D T R)

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W							

D T R は、8ビットのリード／ライト可能なレジスタで、出力するパルスのデューティ比を指定します。D T R に設定する値により、0～100%の任意のデューティ比パルスを出力することができます。出力するパルスは、1/250の分解能で、D T R に 0 (H'00) を設定すると 0 %、125 (H'7D) を設定すると 50%、250 (H'FA) を設定すると 100% デューティのパルスを出力することができます。

D T R の値はT C N T の値と常に比較されており、値が一致すると P W M 出力を “0” 出力します。

D T R はダブルバッファ構成となっているため、D T R にライトされた値は、T C N T がH'F9からH'00に変化した後から有効となります。ただし、T C R のO E ビットが “0”的間は、ライトした後、ただちに有効となります。D T R をリードすると、ライトした値ではなく、リード時に有効になっている値がリードされます。

D T R は、リセットまたはスタンバイモード時に、H'FFにイニシャライズされます。

10.2.3 タイマコントロールレジスタ (T C R)

ビット:	7	6	5	4	3	2	1	0
	OE	OS	—	—	—	CKS2	CKS1	CKS0
初期値:	0	0	1	1	1	0	0	0
R/W:	R/W	R/W	—	—	—	R/W	R/W	R/W

T C R は、8 ビットのリード／ライト可能なレジスタで、T C N T に入力するクロックの選択、P W M 出力の制御を行います。

T C R は、リセットまたはスタンバイモード時に、H'38にイニシャライズされます。

ビット 7 : アウトプットイネーブル (O E)

T C N T の開始と P W M 出力を制御します。

ビット 7	説明
O E	
0	P W M 出力を禁止 T C N T の値はH'00にイニシャライズされて停止
1	P W M 出力を許可 T C N T はカウントアップ

ビット 6 : アウトプットセレクト (O S)

P W M 出力の直接出力または反転出力を選択します。

ビット 6	説明
O S	
0	P W M 直接出力
1	P W M 反転出力

ビット 5～3 : リザーブビット

リザーブビットです。リードすると常に “1” が読み出されます。ライトは無効です。

ビット2～0：クロックセレクト (CKS2～0)

システムクロック (ϕ) を分周して得られる8種類の内部クロックから、T C N Tに入力するクロックを選択します。

ビット2	ビット1	ビット0	説明
CKS2	CKS1	CKS0	
0	0	0	$\phi_p / 2$ (初期値)
0	0	1	$\phi_p / 8$
0	1	0	$\phi_p / 32$
0	1	1	$\phi_p / 128$
1	0	0	$\phi_p / 256$
1	0	1	$\phi_p / 1024$
1	1	0	$\phi_p / 2048$
1	1	1	$\phi_p / 4096$

PWMの分解能、周期および周波数は、選択した内部クロックにより、次の式で求めることができます。

$$\text{分解能} = 1 / \text{内部クロック周波数}$$

$$\text{PWM周期} = \text{分解能} \times 250$$

$$\text{PWM周波数} = 1 / \text{PWM周期}$$

したがって、周辺用クロック (ϕ_p) が10MHzの場合の分解能、PWM周期、周波数は次のようにになります。

表10.3 PWM周期と分解能

内部クロック周波数	分解能	PWM周期	PWM周波数
$\phi_p / 2$	200ns	50μs	20kHz
$\phi_p / 8$	800ns	200μs	5kHz
$\phi_p / 32$	3.2μs	800μs	1.25kHz
$\phi_p / 128$	12.8μs	3.2ms	312.5Hz
$\phi_p / 256$	25.6μs	6.4ms	156.3Hz
$\phi_p / 1024$	102.4μs	25.6ms	39.1Hz
$\phi_p / 2048$	204.8μs	51.2ms	19.5Hz
$\phi_p / 4096$	409.6μs	102.4ms	9.8Hz

10.3 PWMタイマの動作

10.3.1 タイマカウンタ入力タイミング

T C N T のカウントクロックは、T C R の C K S 2 ~ 0 により、システムクロック (ϕ) を分周して作られる 8 種類の内部クロックが選択されます。このタイミングを図10.2に示します。

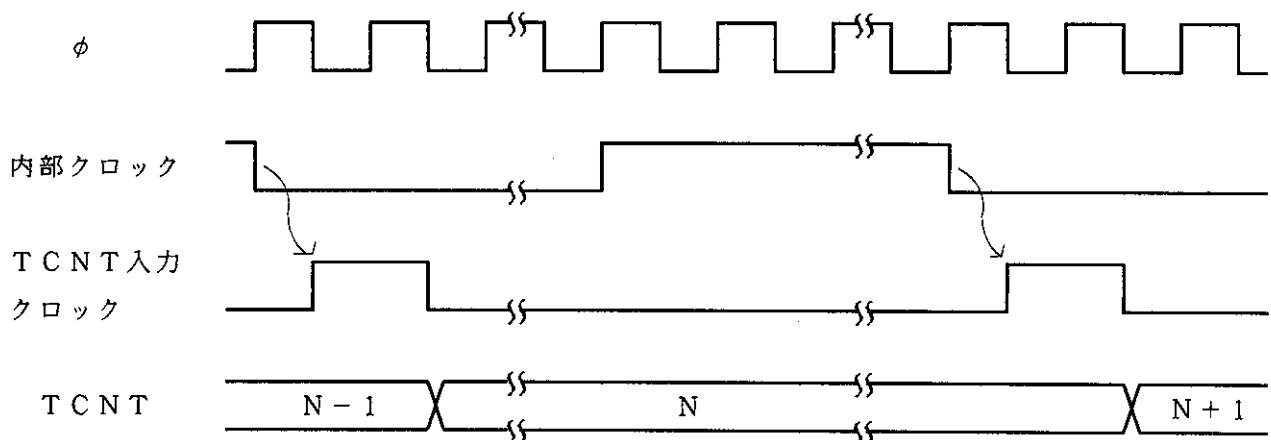


図10.2 T C N T入力タイミング

10.3.2 PWM動作タイミング

PWMタイマの動作を以下に示します。また、動作タイミングを図10.3に示します。

(1) 直接出力 (O S = “0”)

① O E = “0” のとき (図10.3の(a))

T C N T の値は、H'00に固定されており、PWM出力は禁止されています（ポートのデータレジスタ（D R）とデータディレクションレジスタ（D D R）によって決められる状態になります）。このとき、D T Rにライト（この場合は“N”をライト）すると、ライトされた値は、ただちに有効になります。

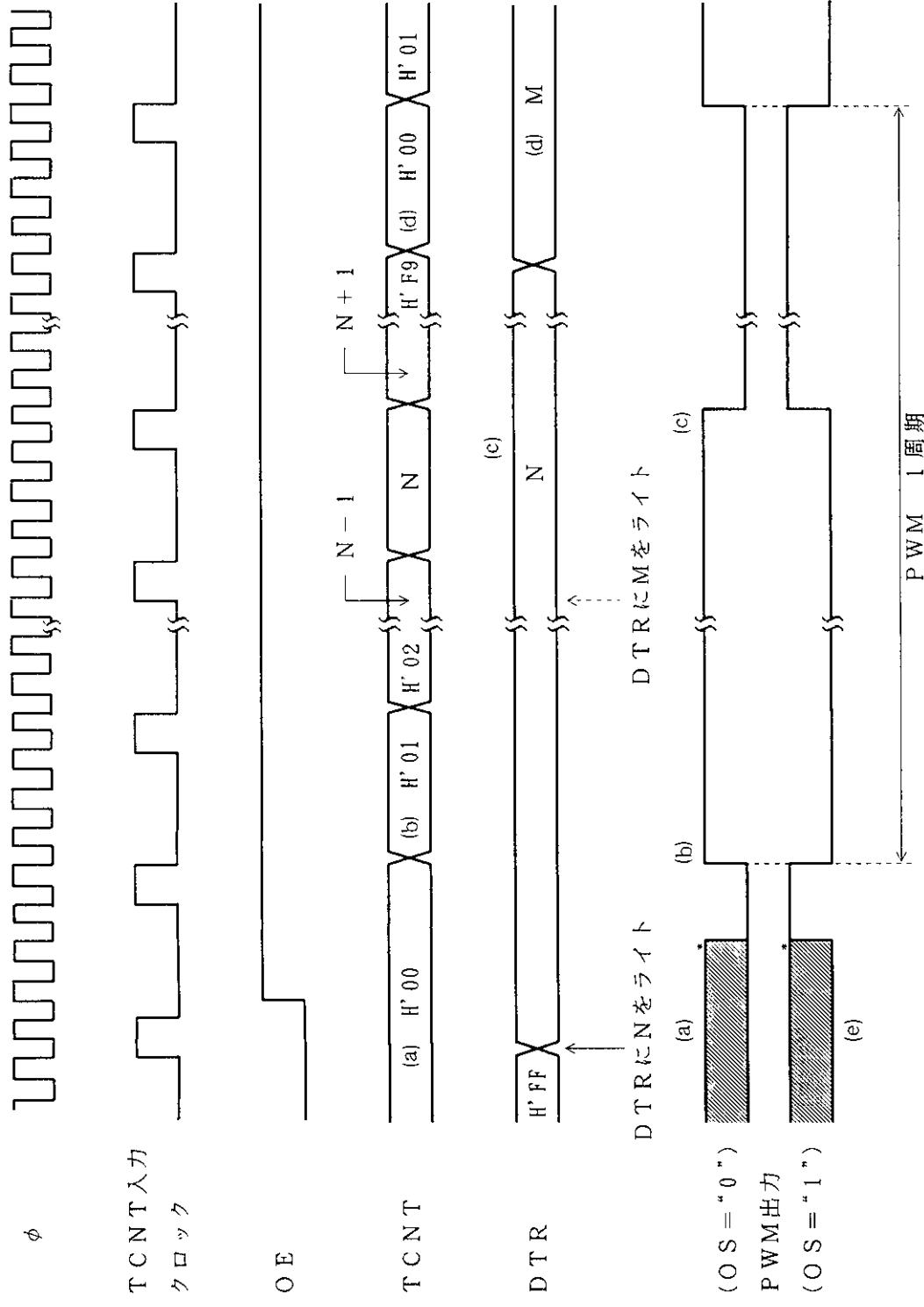
② O E = “1” にセットすると

- T C N T は、カウントアップを開始し、PWM出力は“1”出力になります（図10.3の(b))。
- T C N T と D T R の値が一致すると、PWM出力は“0”出力になります（図10.3の(c))。
- D T R の値を変更（D T R に“M”をライト）すると、T C N T がH'F9→H'00に変化した後から、ライトした値は有効になります（図10.3の(d))。

なお、D R、D D Rについての詳細は、「第7章 I/Oポート」を参照してください。

(2) 反転出力 (O S = “1”)

反転出力のときは、PWM出力は逆の出力になります（図10.3の(e))。



【注】・ 8bitのD RとD D Rによって決められる状態です。

図10.3 PWM動作タイミング

10.4 使用上の注意

PWMタイマを使用するときは、次のことに注意してください。

- (1) CKS₂～0ビット、OSビットの切換えは、OEビットを“1”にセットする前に行ってください。
- (2) DTRの値がH'00のときはPWM出力のデューティが0%（常に“0”出力）となります。また、H'FA～H'FFのとき、デューティは100%（常に“1”出力）となります。
ただし反転出力の場合は逆になります。

11. ウオッチドッグタイマ

第11章 目次

11.1 概要	215
11.1.1 特長	215
11.1.2 ブロック図	216
11.1.3 レジスタ構成	216
11.2 各レジスタの説明	217
11.2.1 タイマカウンタ (T C N T)	217
11.2.2 タイマコントロール／ステータスレジスタ (T C S R)	217
11.2.3 レジスタ書換え時の注意	220
11.3 動作説明	221
11.3.1 ウォッチドッグタイマモード時の動作	221
11.3.2 インターバルタイマモード時の動作	222
11.3.3 オーバフローフラグ (O V F) のセットタイミング	222
11.4 使用上の注意	223

11.1 概要

本LSIは、ウォッチドッグタイマ(WDT:Watch Dog Timer)を1チャネル内蔵しており、システムの監視を行うことができます。ウォッチドッグタイマはシステムの暴走などにより、タイマカウンタの値が書き換えられずオーバフローすると、CPUに対してリセットまたはNMI割込みを発生します。

また、ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマモードのときは、カウンタがオーバフローするごとにOVF割込みを発生します。

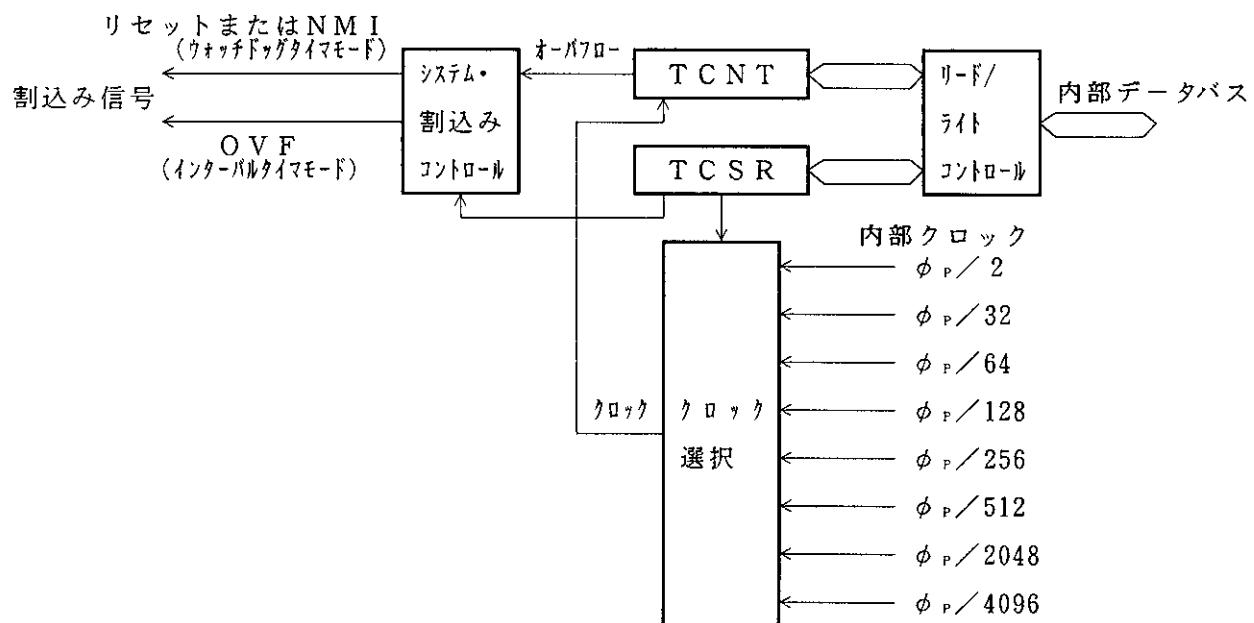
11.1.1 特長

WDTの特長を以下に示します。

- 8種類のカウンタ入力クロックを選択可能
 - インターバルタイマモードに切換える可能
 - タイマカウンタがオーバフローするとリセットまたは割込みが発生
- ウォッチドッグタイマモード時にはリセットまたはNMI割込み、インターバルタイマモード時には、OVF割込みが発生します。

11.1.2 ブロック図

WDTのブロック図を図11.1に示します。



〈記号説明〉

T C N T : タイマカウンタ

T C S R : タイマコントロール／ステータスレジスタ

図11.1 WDTのブロック図

11.1.3 レジスタ構成

WDTには表11.1に示すレジスタがあります。

表11.1 レジスタ構成

名 称	略 称	R/W	初期値	アドレス	
				ライト時	リード時
タイマコントロール／ステータスレジスタ	TCSR	R/(W)	H'18	H'FFA8	H'FFA8
タイマカウンタ	TCNT	R/W	H'00		H'FFA9

【注】* ビット7は、フラグをクリアするための“0”ライトのみ可能です。

11.2 各レジスタの説明

11.2.1 タイマカウンタ (T C N T)

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W							

T C N Tは、8ビットのリード／ライト*可能なアップカウンタです。T C S Rのタイマイネーブルビット (T M E) を“1”にセットすると、T C S Rのクロックセレクト2～0ビット (C K S 2～0) で選択された内部クロックにより、カウントアップを開始します。また、T C N Tの値がオーバフロー (H'FF→H'00) すると、T C S Rのオーバフローフラグ (O V F) が“1”にセットされます。

また、T C N Tはリセット、あるいはT M E = “0”的き、H'00にイニシャライズされます。

【注】* T C N Tは、容易に書き換えられないようにライト方法が一般的のレジスタと異なっています。詳細は「11.2.3 レジスタ書き換え時の注意」を参照してください。

11.2.2 タイマコントロール／ステータスレジスタ (T C S R)

ビット :	7	6	5	4	3	2	1	0
	O V F	WT/IT	T M E	—	RST/NM I	C K S 2	C K S 1	C K S 0
初期値 :	0	0	0	1	0	0	0	0
R/W :	R/(W)* ¹	R/W	R/W	—	R/W	R/W	R/W	R/W

T C S Rは、8ビットのリード／ライト*可能なレジスタで、T C N Tに入力するクロックの選択およびモードの選択などを行います。

ビット7～5、3は、リセットまたはスタンバイモード時に“0”にイニシャライズされます。ビット2～0は、リセット時のみ“0”にイニシャライズされますが、スタンバイモード時には、イニシャライズされずに前の値を保持します。

【注】* フラグをクリアするための“0”ライトのみ可能です。

*² T C S Rは、容易に書き換えられないようにライト方法が一般的のレジスタと異なっています。詳細は「11.2.3 レジスタ書き換え時の注意」を参照してください。

ビット7：オーバフローフラグ（OVF）

T C N Tがオーバフロー ($H'FF \rightarrow H'00$) したことを示すステータスフラグです。

ビット7	説明
O V F	
0	[クリア条件] O V F = “1”の状態で、O V Fをリード後、O V Fに“0”をライトしたとき (初期値)
1	[セット条件] T C N Tが $H'FF \rightarrow H'00$ に変化したとき

ビット6：タイマモードセレクト (WT / IT)

ウォッチドッグタイマとして使用するか、またはインターバルタイマとして使用するかを選択します。

この選択によってT C N Tがオーバフローしたとき、C P Uに要求する割込みは、インターバルタイマモード時はO V F割込みを、ウォッチドッグタイマモード時はリセットまたはN M I割込みを要求します。

ビット6	説明
WT / IT	
0	インターバルタイマモード (O V F割込み要求) (初期値)
1	ウォッチドッグタイマモード (リセットまたはN M I割込み要求)

ビット5：タイマイネーブル (TME)

動作の許可または禁止を選択します。

ビット5	説明
T M E	
0	タイマディスエーブル：T C N Tを $H'00$ にイニシャライズし、カウントアップを停止 (初期値)
1	タイマイネーブル：T C N Tがカウントアップを開始し、T C N TがオーバフローするとリセットまたはC P Uへの割込み要求を許可

ビット4：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット3：リセットまたはNMI ($\overline{\text{RST/NMI}}$)

ウォッチドッグタイマのオーバフロー時に、内部リセットかNMI機能かを選択します。

ビット3	説明
RST/NMI	
0	NMI機能有効 (初期値)
1	リセット機能有効

ビット2～0：クロックセレクト2～0 (CKS2～0)

システムクロック (ϕ) を分周して得られる8種類の内部クロックからT C N Tに入力するクロックを選択します。

オーバフロー周期は、T C N TがH'00からカウントを開始し、オーバフローするまでの時間です。インターバルタイマモードではこのオーバフロー周期ごとにOVF割込みを発生させることができます。

ビット2	ビット1	ビット0	カウント・クロック	説明 オーバフロー周期 ($\phi_p = 10\text{MHz}$ の場合)
CKS2	CKS1	CKS0	$\phi_p / 2$	51.2 μs (初期値)
0	0	1	$\phi_p / 32$	819.2 μs
0	1	0	$\phi_p / 64$	1.6ms
0	1	1	$\phi_p / 128$	3.3ms
1	0	0	$\phi_p / 256$	6.6ms
1	0	1	$\phi_p / 512$	13.1ms
1	1	0	$\phi_p / 2048$	52.4ms
1	1	1	$\phi_p / 4096$	104.9ms

11.2.3 レジスタ書換え時の注意

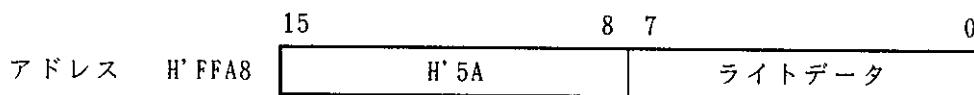
ウォッチドッグタイマのTCNTとTCSRのレジスタは、容易に書き換えられないように、ライト方法が一般的のレジスタと異なっています。リード／ライトは次の方法で行ってください。

(1) TCNT、TCSRへのライト

ライトする場合、必ずワード転送命令を使用してください。バイト転送命令では、ライトすることができます。

ライト時のアドレスは、TCNT、TCSRとも同一アドレスになっています。そのため、TCNT、TCSRへライトするときは、下位バイトをライトデータに、上位バイトをH'5A (TCNTのとき) またはH'A5 (TCSRのとき) にしてワード転送を行います。これを図11.2に示します。このようなデータ転送により、下位バイトのデータがTCNTまたはTCSRへライトされます。

<TCNTライト時>



<TCSRライト時>

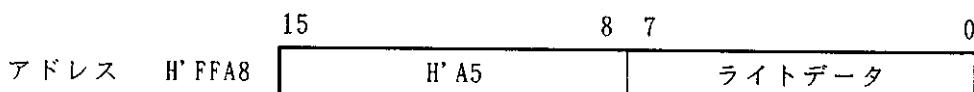


図11.2 TCNT、TCSRへのライトデータ

(2) TCNT、TCSRのリード

リードの場合、アドレスH'FFA8にTCSR、H'FFA9にTCNTが割り当てられています。これを表11.2に示します。

したがって、一般的のレジスタと同様にリードしてください。リードの場合は、バイト転送命令を使用することができます。

表11.2 TCNT、TCSRのリード

アドレス	レジスタ
H'FFA8	TCSR
H'FFA9	TCNT

11.3 動作説明

11.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用する場合は、 $WT/\overline{IT} = "1"$ 、 $TME = "1"$ に設定します。

プログラムではTCNTがオーバフローする前に、ソフトウェアでTCNTの値を書き換えて（通常はH'00をライト）、常にオーバフローが発生しないようにします。システムの暴走等により、TCNTの値が書き換えられず、オーバフローすると、518システムクロック(518φ)の間、本LSIをリセットするか、またはNMI割込み要求を発生します。これを図11.3に示します。

また、ウォッチドッグタイマからのNMI要求とNMI端子からの割込み要求は、同一ベクタです。WDTからのNMI要求とNMI端子からの割込み要求を同時に扱うことは避けてください。

ウォッチドッグタイマからのリセットとRES端子からのリセットは、同一ベクタです。リセット要因は、SYSCTRのX_RSTビットの内容によって判別できます。

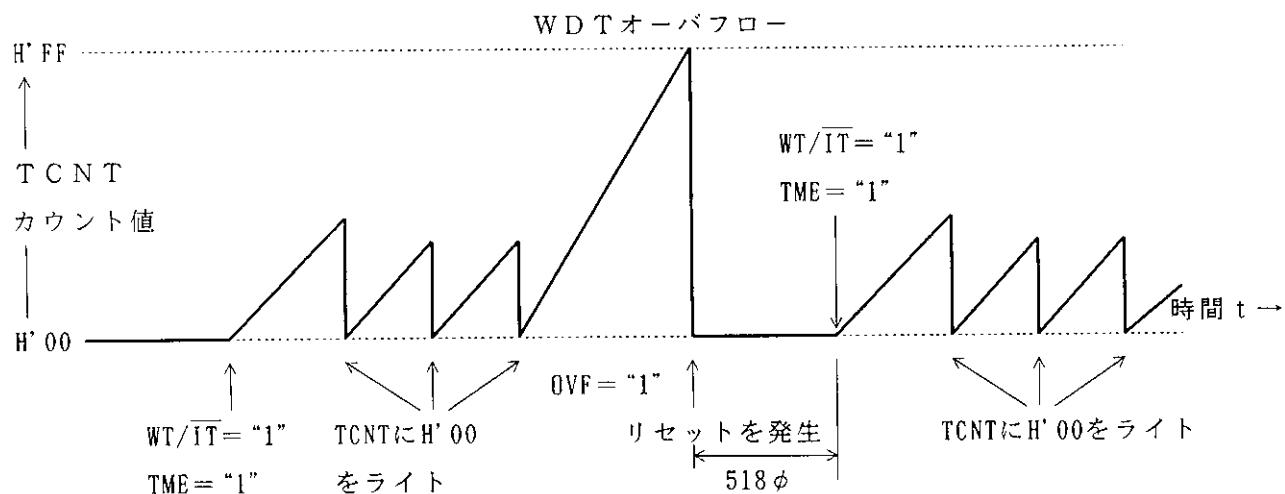


図11.3 ウォッチドッグタイマモード時の動作

11.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するには、 $WT / IT = "0"$ 、 $TME = "1"$ に設定します。インターバルタイマとして動作しているときは、TCNTがオーバフローするごとに、OVF割込み要求が発生します。これにより、一定時間ごとにOVF割込みを発生させることができます。これを図11.4に示します。

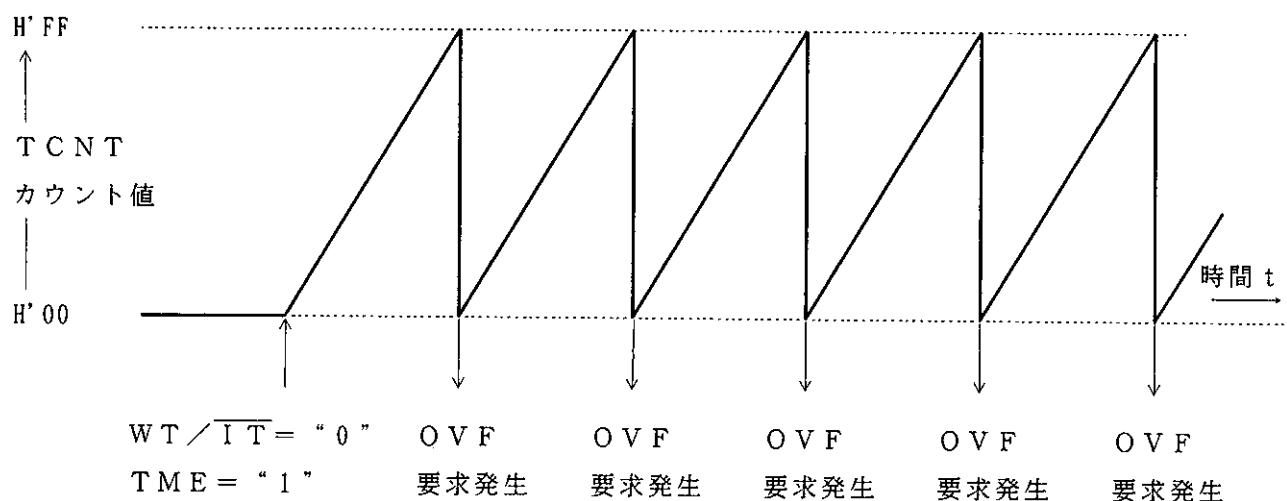


図11.4 インターバルタイマモード時の動作

11.3.3 オーバフローフラグ（OVF）のセットタイミング

OVFは、TCNTがオーバフローすると“1”にセットされます。このとき同時に、NMIまたはOVFの割込みが要求されます。このタイミングを図11.5に示します。

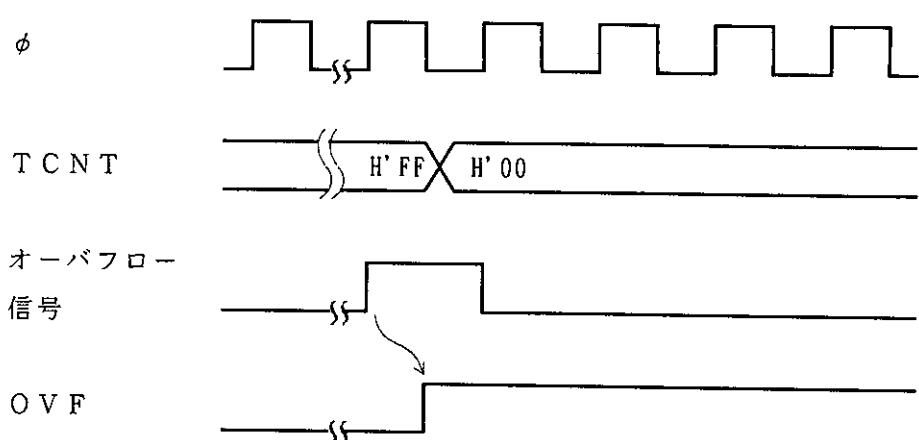


図11.5 OVFのセットタイミング

11.4 使用上の注意

WDTを使用するときは、次のことに注意してください。

(1) T C N T のライトとカウントアップの競合

T C N T のライトサイクル中のT₃ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。これを図11.6に示します。

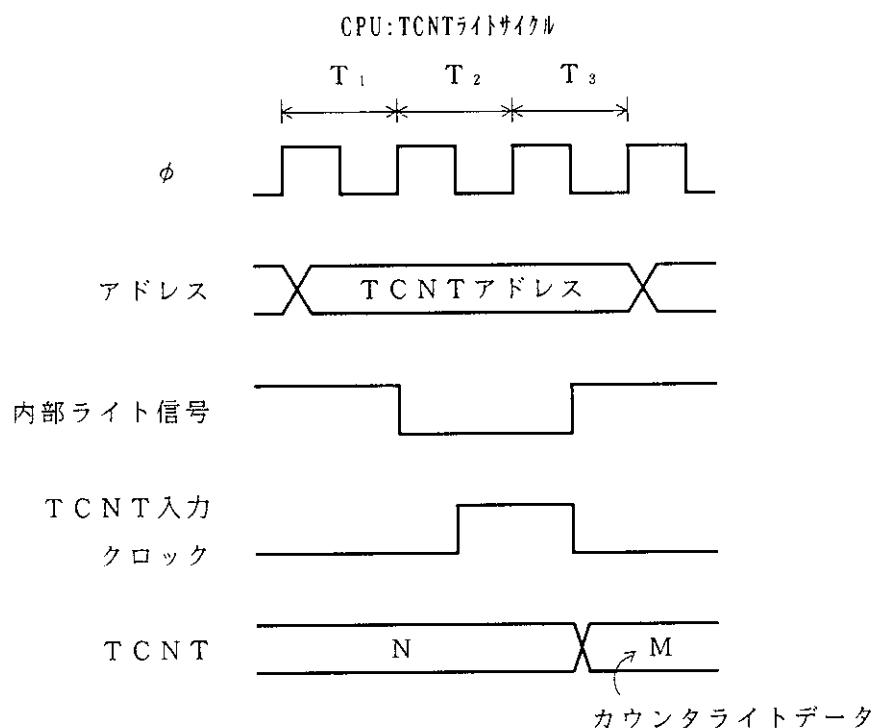


図11.6 T C N T のライトとカウントアップの競合

(2) C K S 2～0ビットの書き換え

WDTが動作中にC K S 2～0ビットを書き換えると、カウントアップが正しく行なわれない場合があります。

C K S 2～0ビットを書き換えるときは、必ずWDTを停止させてから（T M E = “0”の状態にしてから）行ってください。

(3) ソフトウェアスタンバイモードからの復帰

本LSIがソフトウェアスタンバイモードから復帰すると、ビット0～2をのぞくT C S RビットとT C N Tカウンタがリセットされます。ウォッチドッグタイマが通常の動作状態になるように再び初期化してください。

12. シリアルコミュニケーション インターフェース

【H8/3534は2チャネル、H8/3522は1チャネル内蔵】

第12章 目次

12.1 概要	227
12.1.1 特長	227
12.1.2 ブロック図	228
12.1.3 端子構成	229
12.1.4 レジスタ構成	229
12.2 各レジスタの説明	230
12.2.1 レシーブシフトレジスタ (R S R)	230
12.2.2 レシーブデータレジスタ (R D R)	230
12.2.3 トランスマットシフトレジスタ (T S R)	230
12.2.4 トランスマットデータレジスタ (T D R)	231
12.2.5 シリアルモードレジスタ (S M R)	231
12.2.6 シリアルコントロールレジスタ (S C R)	233
12.2.7 シリアルステータスレジスタ (S S R)	236
12.2.8 ビットレートレジスタ (B R R)	239
12.2.9 シリアルタイマコントロールレジスタ (S T C R)	244
12.3 動作説明	245
12.3.1 概要	245
12.3.2 調歩同期式モード時の動作	247
12.3.3 クロック同期式モード時の動作	259
12.4 S C I 割込み	267
12.5 使用上の注意	268

12.1 概要

H8/3534は、2チャネルのシリアルコミュニケーションインターフェース0、1(SCI: Serial Communication Interface)を、H8/3522は、1チャネルのSCIを内蔵しています。

SCIは、他のLSIとシリアルデータの通信を行う内蔵周辺モジュールで、調歩同期式モードとクロック同期式モードの選択が可能です。

12.1.1 特長

SCIの特長を以下に示します。

■通信モードは調歩同期式モードとクロック同期式モードから選択可能

(a) 調歩同期式モード

調歩同期式通信を行うモードです。UART(Universal Asynchronous Receiver/Transmitter)やACIA(Asynchronous Communication Interface Adapter)などの標準の調歩同期式通信用LSIとの通信が可能です。また複数のプロセッサと通信を行うことができるマルチプロセッサ間通信機能を備えています。

データ送信／受信フォーマットは12種類のフォーマットから選択可能です。

- データ長：7ビットまたは8ビット
- ストップビット長：1ビットまたは2ビット
- パリティ：偶数パリティ、奇数パリティまたはパリティなし
- マルチプロセッサビット：“1”または“0”
- エラー検出：パリティエラー、オーバランエラー、フレーミングエラー
- ブレークの検出：フレーミングエラー発生時にRXD端子のレベルを直接読み出すことでブレークを検出できます。

(b) クロック同期式モード

クロックに同期させてシリアルデータの通信を行うモードです。クロック同期式通信機能をもつ他のLSIとの通信が可能です。

- データ長：8ビット
- エラー検出：オーバランエラー

■全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時にすることができます。

また、送信部および受信部ともにダブルバッファ構成になっているので、データの連続転送を行うことができます。

■ボーレートジェネレータを内蔵

ボーレートジェネレータにより任意のビットレートを選択することができます。

■内部／外部のクロックソースを選択可能

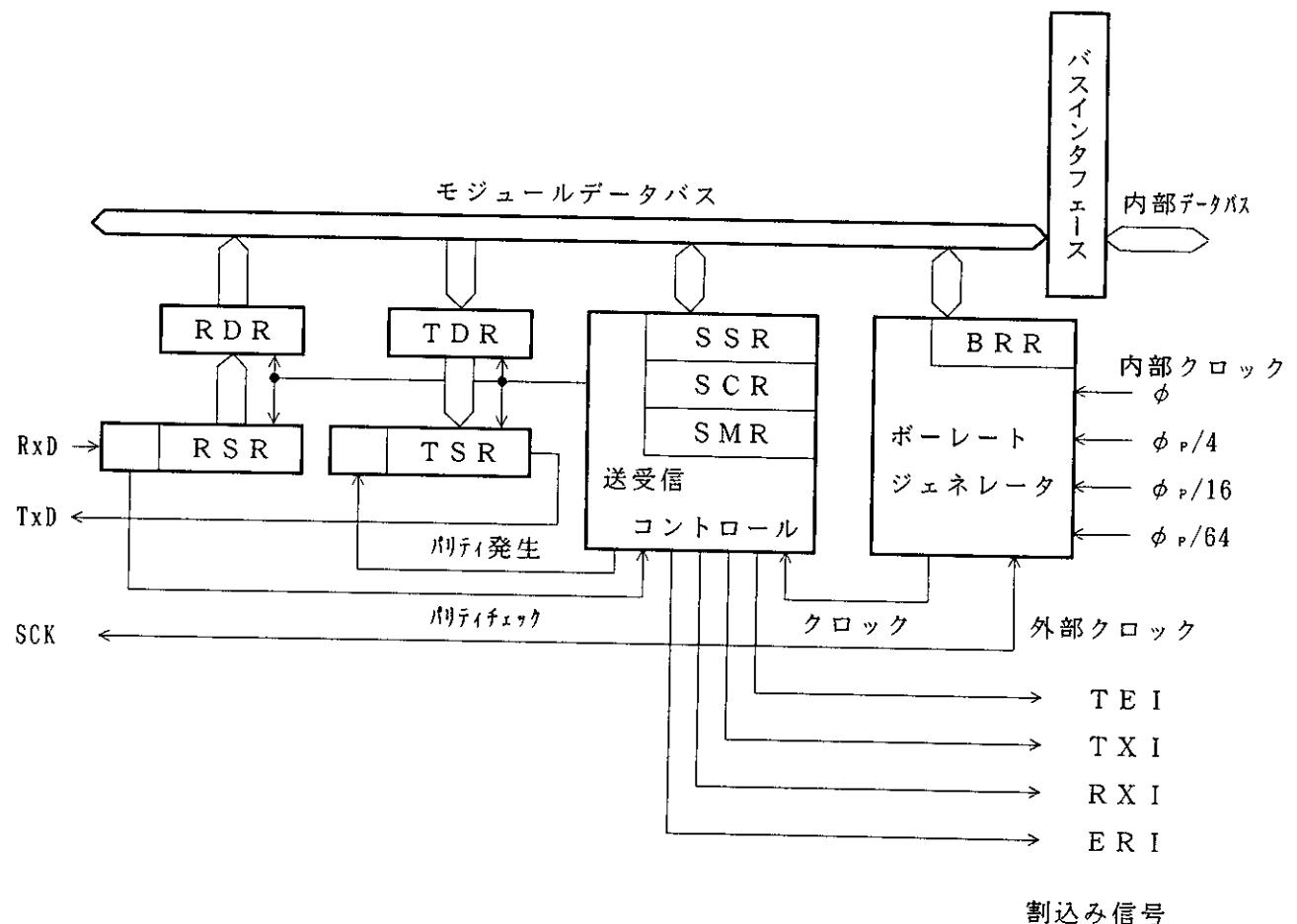
クロックソースは、ボーレートジェネレータからの内部クロックまたはSCK端子からの外部クロックから選択することができます。

■ 4種類の割込み要因

TDRエンプティ、TSRエンプティ、受信完了、受信エラーがあり、それぞれ独立に要求することができます。

12.1.2 ブロック図

図12.1にSCIのブロック図を示します。



〈記号説明〉

RDR : レシーブデータレジスタ

RSR : レシーブシフトレジスタ

TDR : トランスマットデータレジスタ

TSR : トランスマットシフトレジスタ

SSR :シリアルステータスレジスタ

SCR :シリアルコントロールレジスタ

SMR :シリアルモードレジスタ

BRR :ビットレートレジスタ

割込み信号

図12.1 SCIのブロック図

12.1.3 端子構成

S C I は、表12.1に示すシリアル端子を備えています。

表12.1 端子構成

チャネル	名 称	略 称*	入出力	機 能
0	シリアルクロック入出力端子	SCK ₀ (SCK)	入出力	S C I 0 クロック入出力
	レシーブデータ入力端子	RxD ₀ (RxD)	入 力	S C I 0 受信データ入力
	トランスミットデータ出力端子	TxD ₀ (TxD)	出 力	S C I 0 送信データ出力
1 【H8/35340n】	シリアルクロック入出力端子	SCK ₁	入出力	S C I 1 クロック入出力
	レシーブデータ入力端子	RxD ₁	入 力	S C I 1 受信データ入力
	トランスミットデータ出力端子	TxD ₁	出 力	S C I 1 送信データ出力

【注】* 本文中ではチャネルを省略し、それぞれ S C K 、 R x D 、 T x D と略称します。

12.1.4 レジスタ構成

S C I には、表12.2に示す内部レジスタがあります。これらのレジスタにより動作モード（調歩同期式／クロック同期式）の指定、データフォーマットの指定、ビットレートの設定、および送信部／受信部の制御などを行います。

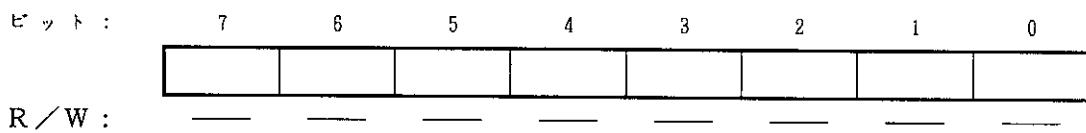
表12.2 レジスタ構成

チャネル	名 称	略 称	R / W	初期値	アドレス
0	レシーブシフトレジスタ	R S R	不 可	—	—
	レシーブデータレジスタ	R D R	R	H' 00	H' FFDD
	トランスミットシフトレジスタ	T S R	不 可	—	—
	トランスミットデータレジスタ	T D R	R / W	H' FF	H' FFDB
	シリアルモードレジスタ	S M R	R / W	H' 00	H' FFD8
	シリアルコントロールレジスタ	S C R	R / W	H' 00	H' FFDA
	シリアルステータスレジスタ	S S R	R / (W) **	H' 84	H' FFDC
	ビットレートレジスタ	B R R	R / W	H' FF	H' FFD9
1 【H8/35340n】	レシーブシフトレジスタ	R S R	不 可	—	—
	レシーブデータレジスタ	R D R	R	H' 00	H' FF8D
	トランスミットシフトレジスタ	T S R	不 可	—	—
	トランスミットデータレジスタ	T D R	R / W	H' FF	H' FF8B
	シリアルモードレジスタ	S M R	R / W	H' 00	H' FF88
	シリアルコントロールレジスタ	S C R	R / W	H' 00	H' FF8A
	シリアルステータスレジスタ	S S R	R / (W) **	H' 84	H' FF8C
	ビットレートレジスタ	B R R	R / W	H' FF	H' FF89
0、1	シリアルタイマコントロールレジスタ	S T C R	R / W	H' 00	H' FFC3

【注】* 1 ビット 7 ~ 3 はフラグをクリアするための“0”ライトのみ可能です。

12.2 各レジスタの説明

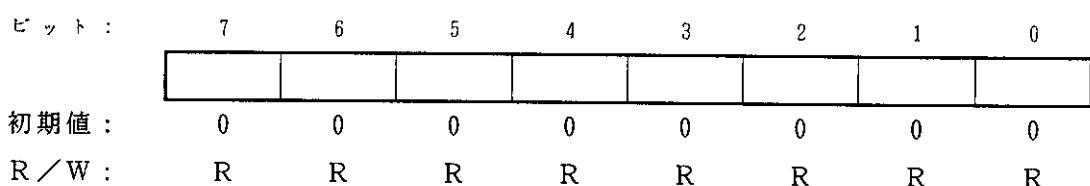
12.2.1 レシーブシフトレジスタ (R S R)



R S Rは、受信したシリアルデータをパラレルデータに変換するためのシフトレジスタです。1キャラクタの受信が終了すると、データはR D Rに転送されます。

R S Rは、C P Uから直接リード／ライトできません。

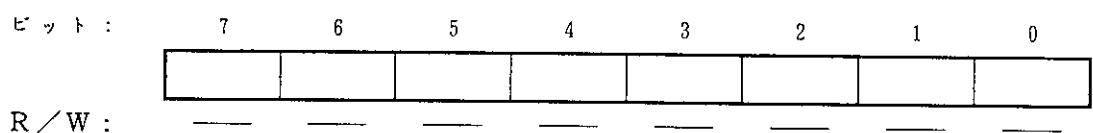
12.2.2 レシーブデータレジスタ (R D R)



R D Rは、受信データを格納するレジスタで、受信が完了すると、R S Rからデータが転送されます。これにより、R S Rは次のデータの受信が可能になり、データを連続的に受信することができます。

R D Rはリード専用です。R D Rは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

12.2.3 トランスマットシフトレジスタ (T S R)



T S Rは、パラレルデータをシリアルデータに変換して送信するためのシフトレジスタです。1キャラクタのデータの送信が終了すると、次に送信するデータがT D Rから転送され、送信を開始します。ただし、T D R Eビットが“1”にセットされたままの場合には、転送は行われません。

T S Rは、C P Uから直接リード／ライトすることはできません。

12.2.4 トランスマットデータレジスタ (TDR)

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W							

TDRは、送信するデータを格納するリード／ライト可能な8ビットのレジスタです。TDRにライトされたデータは、TSRがデータを送信して“空”になるとTSRへ転送されます。

TSRがデータ送信中に、TDRに次のデータをライトしておくことによって、データを連続的に送信することができます。

TDRは、リセットまたはスタンバイモード時に、H'FFにイニシャライズされます。

12.2.5 シリアルモードレジスタ (SMR)

ビット:	7	6	5	4	3	2	1	0
	C/A	CHR	PE	0/E	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMRは、SCIの送信／受信フォーマットの設定と、内蔵ボーレートジェネレータのクロックソースの選択を行うリード／ライト可能な8ビットのレジスタです。SMRは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

なお、SMRの設定と送信／受信フォーマットについては、「12.3 動作説明」表12.5および表12.7を参照してください。

ビット7: コミュニケーションモード (C/A)

SCIの動作モードを選択します。

ビット7	説明
C/A	
0	調歩同期式モード (初期値)
1	クロック同期式モード

ビット6: キャラクタレンジス (CHR)

調歩同期式モードでのデータ長を指定します。

クロック同期式モードでは無効です。CHRビットの設定にかかわらず、データ長は8ビットデータ固定です。

ビット6	説明
CHR	
0	8ビットデータ (初期値)
1	7ビットデータ (TDR、RDRのビット0～6を送信／受信に用います)

ビット5：パリティイネーブル（P E）

調歩同期式モードで、パリティビットの付加／チェックを設定します。

クロック同期式モードおよびマルチプロセッサフォーマットでは無効です。

ビット5	説明	
P E		
0	1)送信時：パリティビットを付加しない 2)受信時：パリティビットのチェックを行わない	(初期値)
1	1)送信時：パリティビットを付加する 2)受信時：パリティビットのチェックを行う	

ビット4：パリティモード（O／E）

調歩同期式モードで、パリティビットの付加／チェックを設定したとき（P Eビットが“1”的とき）、付加／チェックするパリティビットの偶数パリティまたは奇数パリティを指定します。

偶数パリティでは、パリティビットと送受信キャラクタをあわせて、その中の1の数の合計が偶数個になるようにパリティビットが決定されます。同様に、奇数パリティでは、キャラクタとパリティビットをあわせて、その中の1の数の合計が奇数個になるようにパリティビットを決定します。

P Eビットが“0”的とき、およびクロック同期式モード、ならびにマルチプロセッサフォーマットでは無効です。

ビット4	説明	
O／E		
0	偶数パリティ	(初期値)
1	奇数パリティ	

ビット3：ストップビットレンジス（S T O P）

調歩同期式モードでのストップビットの長さを指定します。

クロック同期式モードでは無効です。

ビット3	説明	
S T O P		
0	1ストップビット	1)送信時：ストップビットを1ビット付加 2)受信時：ストップビットを1ビットチェックしフレーミングエラーを判定
1	2ストップビット	1)送信時：ストップビットを2ビット付加 2)受信時：ストップビットの1ビット目をチェックしフレーミングエラーを判定。2ビット目がスペース（“0”）の場合は次のスタートビットとして扱う

ビット2：マルチプロセッサモード（M P）

調歩同期式モードでマルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、パリティイネーブル（P E）、および、パリティモード（O / E）で設定したパリティの設定は無効になります。クロック同期式モードでは無効です。

M Pビットは、S T C RのM P Eビットを“1”にセットしたとき有効となります。M P Eビットを“0”にクリアすると、M Pビットの値にかかわらずマルチプロセッサ機能は禁止されます。

ビット2	説明
M P	
0	マルチプロセッサ機能を禁止 （初期値）
1	マルチプロセッサフォーマットを選択

ビット1、0：クロックセレクト1、0（C K S 1、0）

内蔵ボーレートジェネレータのクロックソースを選択します。

ビット1	ビット0	説明
C K S 1	C K S 0	
0	0	φクロック （初期値）
0	1	φ _P /4クロック
1	0	φ _P /16クロック
1	1	φ _P /64クロック

12.2.6 シリアルコントロールレジスタ（S C R）

ビット：	7	6	5	4	3	2	1	0
TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKEO	
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

S C Rは、S C Iの動作の制御を行うリード／ライト可能な8ビットのレジスタです。リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

ビット7：トランスマットインターラプトイネーブル（T I E）

S S Rのトランスマットデータレジスタエンプティ（T D R E）が“1”にセットされたときに、T D Rエンプティ割込み要求（T X I）の許可または禁止を選択します。

ビット7	説明
T I E	
0	T D Rエンプティ割込み要求（T X I）を禁止 （初期値）
1	T D Rエンプティ割込み要求（T X I）を許可

ビット 6 : レシーブインタラプトイネーブル (R I E)

S S R のレシーブデータレジスタフル (R D R F) が “1” にセットされたときに、受信完了割込み要求 (R X I) の許可または禁止、ならびにオーバランエラー (O R E R) またはフレーミングエラー (F E R) 、パリティエラー (P E R) が “1” にセットされたときに受信エラー割込み要求 (E R I) の許可または禁止を選択します。

ビット 6	説明
R I E	
0	受信完了割込み要求 (R X I) 、受信エラー割込み要求 (E R I) を禁止 (初期値)
1	受信完了割込み要求 (R X I) 、受信エラー割込み要求 (E R I) を許可

ビット 5 : トランスマッティネーブル (T E)

送信動作の許可または禁止を選択します。送信可能状態のとき、TxD端子は自動的に出力端子になりますが、送信動作禁止の状態ではTxD端子は入出力ポートとして使用できます。

ビット 5	説明
T E	
0	送信動作を禁止 (TxD端子は入出力ポートとして使用可) (初期値)
1	送信可能状態 (TxD端子は出力端子)

ビット 4 : レシーブイネーブル (R E)

受信動作の許可または禁止を選択します。受信可能状態のとき、RxD端子は自動的に入力端子になりますが、受信動作禁止の状態ではRxD端子は入出力ポートとして使用できます。

ビット 4	説明
R E	
0	受信動作を禁止 (RxD端子は入出力ポートとして使用可) (初期値)
1	受信可能状態 (RxD端子は入力端子)

ビット 3 : マルチプロセッサインタラプトイネーブル (M P I E)

マルチプロセッサフォーマットを使用してシリアル受信をするときに、マルチプロセッサビットの “1” を含む受信データを受け取るまでの受信動作 (受信完了割込み要求 (R X I) 、受信エラー割込み要求 (E R I) 、R S R からR D Rへの受信データの転送および、S S R のR D R F 、F E R 、P E R 、O R E R ビットの動作) の許可または禁止を選択します。

マルチプロセッサフォーマットでないとき、ならびにクロック同期式モードでは無効です。

M P I E ビットを “0” にクリアするとマルチプロセッサ割込み禁止状態になります。この状態では、受信データに付加されたマルチプロセッサビットの値にかかわらず受信動作をします。

M P I E ビットを “1” にセットするとマルチプロセッサ割込み許可状態になります。この状態

では受信データに付加されたマルチプロセッサビットが“0”の場合受信完了割込み要求（R XI）および、受信エラー割込み要求（ERI）は禁止されます。また、RSRからRDRへの受信データの転送および、SSRのRDRF、FER、PER、ORERビットの動作は禁止されます。マルチプロセッサビットが“1”的場合、SSRのMPBビットを“1”にセットし、MPIEビットを“0”にクリアします。RSRからRDRへの受信データの転送および、SSRのRDRF、FER、PER、ORERビットの動作は許可され、受信完了割込み（R XI）と受信エラー割込み（ERI）は許可されます。

ビット3 MPIE	説明
0	マルチプロセッサ割込みを禁止（通常の受信動作を行います。）（初期値）
1	<p>マルチプロセッサ割込みを許可</p> <p>マルチプロセッサビットが“1”的データを受け取るまで受信割込み要求（R XI）、受信エラー割込み要求（ERI）、および、RSRからRDRへの受信データの転送を禁止します。また、SSRのRDRF、FER、PER、ORERビットのセットを禁止します。また、RSRからRDRへの受信データの転送を禁止します。</p> <p>[クリア条件]</p> <p>(1) MPIEに“0”をライトしたとき</p> <p>(2) マルチプロセッサビットが“1”的データを受信したとき</p>

ビット2：トランスマットエンドインタラプトイネーブル（TIE）

SSRのトランスマットエンド（TEND）が“1”にセットされたときに、TSRエンプティ割込み要求（TEI）の許可または禁止を選択します。

ビット2 TIE	説明
0	TSRエンプティ割込み要求（TEI）を禁止
1	TSRエンプティ割込み要求（TEI）を許可

ビット1：クロックイネーブル1（CKE1）

SCIのクロックソースを、内蔵ボーレートジェネレータによる内部クロック、またはSCK端子からの外部クロックから選択します。外部クロックを選択したとき、SCK端子は自動的に入力端子になります。

ビット1 CKE1	説明
0	<p>内部クロックを選択</p> <p>(C/A = “1”的ときSCK端子は出力端子、C/A = “0”的ときはクロックイネーブル0（CKE0）による)</p>
1	外部クロックを選択（SCK端子は入力端子）

ビット 0 : クロックイネーブル 0 (C K E 0)

調歩同期式モードで内部クロックを使用する場合に、SCK端子からのクロック出力の許可または禁止を指定します。

外部クロックを使用する場合、およびクロック同期式モードでは無効です。

S C I のクロックソースの選択についての詳細は、「12.3 動作説明」表12.6を参照してください。

ビット 0	説 明	
C K E 0		
0	SCK端子を使用しない (SCK端子は入出力ポートとして使用可) (初期値)	
1	SCK端子を出力端子としてクロック出力	

12.2.7 シリアルステータスレジスタ (S S R)

ビット :	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0

R / W : R / (W)* R R R R / W

【注】* フラグをクリアするための“0”ライトのみ可能です。

S S R は、S C I の動作状態を示す 8 ビットのレジスタです。

S S R は、リセットまたはスタンバイモード時に、H'84にイニシャライズされます。

ビット 7 : トランスマットデータレジスタエンプティ (T D R E)

T D R に送信データをライトすることが可能であることを示すビットです。

ビット 7	説 明
T D R E	
0	[クリア条件] T D R E = “1”的状態で、T D R E をリードした後、T D R E に“0”をライトしたとき
1	[セット条件] (初期値) (1) T D R から T S R へデータの転送が行われたとき (2) T E を“0”にクリアしたとき

ビット6：レシーブデータレジスタフル（R D R F）

データの受信が完了し、受信したデータがR D Rに入っていることを示すビットです。

ビット6	説明
R D R F	
0	〔クリア条件〕 R D R F = “1”の状態で、R D R Fをリードした後、R D R Fに“0”をライトしたとき （初期値）
1	〔セット条件〕 データが正常に受信され、R S RからR D Rへデータが転送されたとき

ビット5：オーバランエラー（O R E R）

受信時にオーバランエラーが発生したことを示すビットです。

ビット5	説明
O R E R	
0	〔クリア条件〕 O R E R = “1”の状態で、O R E Rをリードした後、O R E Rに“0”をライトしたとき （初期値）
1	〔セット条件〕 オーバランエラーが発生したとき (R D R F = “1”的状態で次のデータの受信が完了したとき)

ビット4：フレーミングエラー（F E R）

調歩同期式モードで、受信時にフレーミングエラーが発生したことを示すビットです。クロック同期式モードでは、F E Rビットは無効です。

ビット4	説明
F E R	
0	〔クリア条件〕 F E R = “1”的状態で、F E Rをリードした後、F E Rに“0”をライトしたとき （初期値）
1	〔セット条件〕 フレーミングエラーが発生したとき（ストップビットが“0”的場合）

ビット3：パリティエラー（P E R）

調歩同期式モードで、パリティ付のデータフォーマットで受信するときに、パリティエラーが発生したことを示すビットです。

パリティなしのデータフォーマットの場合およびクロック同期式モードでは、P E Rビットは無効です。

ビット3 P E R	説明
0	[クリア条件] P E R = “1” の状態で、P E Rをリードした後、P E Rに“0”をライトしたとき (初期値)
1	[セット条件] パリティエラーが発生したとき (受信したデータのパリティがS M RのO/E ビットで設定したパリティと一致しなかったとき)

ビット2：トランスマットエンド（T E N D）

送信キャラクタの最終ビットの送信時にT D Rに有効なデータがなく、送信を終了したことを示すビットです。

シリアルコントロールレジスタ（S C R）のT Eビットが“0”的きにもT E N Dは“1”にセットされます。

T E N Dビットはリード専用ですので、ライトできません。T E I割込みを利用する場合は、データ送信を開始してT E N Dを“0”とした後にT E I Eを“1”にセットして割込み許可してください。

ビット2 T E N D	説明
0	[クリア条件] T D R E = “1” の状態をリードした後、T D R Eに“0”をライトしたとき (初期値)
1	[セット条件] (1) T E が“0”的き (2) 送信キャラクタの最終ビット送信時に、T D R Eが“1”であったとき

ビット1：マルチプロセッサビット (M P B)

調歩同期式モードで、マルチプロセッサフォーマットで受信するときに、受信データ中のマルチプロセッサビットを格納するビットです。クロック同期式モードやマルチプロセッサフォーマットでないとき、およびマルチプロセッサフォーマットでR Eビットを“0”にクリアしたときには、直前の状態を保持します。

M P Bビットは、リード専用であり、ライトできません。

ビット1	説明
M P B	
0	マルチプロセッサビットが“0”的データを受信したことを表示 (初期値)
1	マルチプロセッサビットが“1”的データを受信したことを表示

ビット0：マルチプロセッサビットトランスマスク (M P B T)

調歩同期式モードでマルチプロセッサフォーマットで送信するときに、送信データに付加するマルチプロセッサビットを格納するビットです。M P B TビットはT S R、T D Rと同様にダブルバッファ構成になっています。クロック同期式モードやマルチプロセッサフォーマットでないときはM P B Tビットは無効です。

ビット0	説明
M P B T	
0	マルチプロセッサビット“0”を送信 (初期値)
1	マルチプロセッサビット“1”を送信

12.2.8 ビットトレートレジスタ (B R R)

ビット	7	6	5	4	3	2	1	0
初期値	1	1	1	1	1	1	1	1
R/W								

B R Rは、SMRのC K S 1、0ビットとの組合せでビットトレートを設定する8ビットのレジスタです。

リセットまたはスタンバイモード時に、H'FFにイニシャライズされます。

B R Rの設定例を表12.3および表12.4に示します。

表12.3 ビットレートに対するBRR設定値例 ($\phi_p = \phi$ の場合) [調歩同期式モード] (1)

ϕ (MHz) ビットレート (bit/s)	2			2.097152		
	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	+0.03	1	148	-0.04
150	1	103	+0.16	1	108	+0.21
300	0	207	+0.16	0	217	+0.21
600	0	103	+0.16	0	108	+0.21
1200	0	51	+0.16	0	54	-0.70
2400	0	25	+0.16	0	26	+1.14
4800	0	12	+0.16	0	13	-2.48
9600	-	-	-	0	6	-2.48
19200	-	-	-	-	-	-
31250	0	1	0	-	-	-
38400	-	-	-	-	-	-

ϕ (MHz) ビットレート (bit/s)	2.4576			3			3.6864			4		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	174	-0.26	2	52	+0.50	2	64	+0.70	2	70	+0.03
150	1	127	0	1	155	+0.16	1	191	0	1	207	+0.16
300	0	255	0	1	77	+0.16	1	95	0	1	103	+0.16
600	0	127	0	0	155	+0.16	0	191	0	0	207	+0.16
1200	0	63	0	0	77	+0.16	0	95	0	0	103	+0.16
2400	0	31	0	0	38	+0.16	0	47	0	0	51	+0.16
4800	0	15	0	0	19	-2.34	0	23	0	0	25	+0.16
9600	0	7	0	0	9	-2.34	0	11	0	0	12	+0.16
19200	0	3	0	0	4	-2.34	0	5	0	-	-	-
31250	-	-	-	0	2	0	-	-	-	0	3	0
38400	0	1	0	-	-	-	0	2	0	-	-	-

【注】 誤差はなるべく1%以内となるように設定してください。

部の設定では、 $\phi_p = \phi / 2$ とするとビットレートが $\frac{1}{2}$ となります。この設定の場合は、システムクロック (ϕ) の周波数表示が、実際のシステムクロック (ϕ) の $\frac{1}{2}$ 倍の欄で目的のビットレートを選択してください。

表12.3 ビットレートに対するBRR設定値例 ($\phi_p = \phi$ の場合) [調歩同期式モード] (2)

ϕ (MHz) ビットレート (bit/s)	4.9152			5			6			6.144		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	86	+0.31	2	88	-0.25	2	106	-0.44	2	108	+0.08
150	1	255	0	2	64	+0.16	2	77	+0.16	2	79	0
300	1	127	0	1	129	+0.16	1	155	+0.16	1	159	0
600	0	255	0	1	64	+0.16	1	77	+0.16	1	79	0
1200	0	127	0	0	129	+0.16	0	155	+0.16	0	159	0
2400	0	63	0	0	64	+0.16	0	77	+0.16	0	79	0
4800	0	31	0	0	32	-1.36	0	38	+0.16	0	39	0
9600	0	15	0	0	15	+1.73	0	19	-2.34	0	19	0
19200	0	7	0	0	7	+1.73	0	9	-2.34	0	9	0
31250	0	4	-1.70	0	4	0	0	5	0	0	5	+2.40
38400	0	3	0	0	3	+1.73	0	4	-2.34	0	4	0

ϕ (MHz) ビットレート (bit/s)	7.3728			8			9.8304			10		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	130	-0.07	2	141	+0.03	2	174	-0.26	2	177	-0.25
150	2	95	0	2	103	+0.16	2	127	0	2	129	+0.16
300	1	191	0	1	207	+0.16	1	255	0	2	64	+0.16
600	1	95	0	1	103	+0.16	1	127	0	1	129	+0.16
1200	0	191	0	0	207	+0.16	0	255	0	1	64	+0.16
2400	0	95	0	0	103	+0.16	0	127	0	0	129	+0.16
4800	0	47	0	0	51	+0.16	0	63	0	0	64	+0.16
9600	0	23	0	0	25	+0.16	0	31	0	0	32	-1.36
19200	0	11	0	0	12	+0.16	0	15	0	0	15	+1.73
31250	-	-	-	0	7	0	0	9	-1.70	0	9	0
38400	0	5	0	-	-	-	0	7	0	0	7	+1.73

【注】 誤差はなるべく1%以内となるように設定してください。

部の設定では、 $\phi_p = \phi / 2$ とするとビットレートが $\frac{1}{2}$ となります。この設定の場合は、システムクロック (ϕ) の周波数表示が、実際のシステムクロック (ϕ) の $\frac{1}{2}$ 倍の欄で目的のビットレートを選択してください。

$$B = \frac{F}{64 \times 2^{2n-1} \times (N+1)} \times 10^8 \Rightarrow N = \frac{F}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータのBRRの値 $0 \leq N \leq 255$

F : $n \neq 0$ のとき ϕ_p の値 (MHz)、 $n = 0$ のとき ϕ の値 (MHz)

n : ボーレートジェネレータ入力クロック $n = 0, 1, 2, 3$

(nとクロックの関係は下表を参照してください。)

n	CKS1	CKS0	クロック
0	0	0	ϕ
1	0	1	$\phi_p / 4$
2	1	0	$\phi_p / 16$
3	1	1	$\phi_p / 64$

ビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{F \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表12.4 ビットレートに対するBRR設定値例 ($\phi_p = \phi$ の場合) [クロック同期式モード]

ϕ (MHz) ビットレート (bit/s)	2		4		5		8		10	
	n	N	n	N	n	N	n	N	n	N
100	—	—	—	—	—	—	—	—	—	—
250	2	124	2	249	—	—	3	124	—	—
500	1	249	2	124	—	—	2	249	—	—
1k	1	124	1	249	—	—	2	124	—	—
2.5k	0	199	1	99	1	124	1	199	1	249
5k	0	99	0	199	0	249	1	99	1	124
10k	0	49	0	99	0	124	0	199	0	249
25k	0	19	0	39	0	49	0	79	0	99
50k	0	9	0	19	0	24	0	39	0	49
100k	0	4	0	9	—	—	0	19	0	24
250k	0	1	0	3	0	4	0	7	0	9
500k	0	0*	0	1	—	—	0	3	0	4
1M			0	0*	—	—	0	1	—	—
2.5M									0	0*
4M										

【注】 ■ 部の設定では、 $\phi_p = \phi / 2$ とするとビットレートが $\frac{1}{2}$ となります。この設定の場合は、システムクロック (ϕ) の周波数表示が、実際のシステムクロックの $\frac{1}{2}$ 倍の欄で目的のビットレートを選択してください。

〈記号説明〉

空欄：設定不可能です。

—：設定は可能ですが、誤差が出ます。

*：連続転送はできません。

$$B = \frac{F}{8 \times 2^{2n-1} \times (N+1)} \times 10^6 \quad \Rightarrow \quad N = \frac{F}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータのBRRの値 $0 \leq N \leq 255$

F : $n \neq 0$ のとき ϕ_p の値 (MHz)、 $n = 0$ のとき ϕ の値 (MHz)

n : ボーレートジェネレータ入力クロック $n = 0, 1, 2, 3$

(n とクロックの関係は下表を参照してください。)

n	CKS1	CKS0	クロック
0	0	0	ϕ
1	0	1	$\phi_p / 4$
2	1	0	$\phi_p / 16$
3	1	1	$\phi_p / 64$

12.2.9 シリアルタイマコントロールレジスタ (S T C R)

ビット :	7	6	5	4	3	2	1	0
【H'8 / 3534】	(IIC\$)	(IICD)	(IICX)	(IICE)	(STAC)	MPE	ICKS1	ICKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	7	6	5	4	3	2	1	0
【H'8 / 3522】	—	—	—	—	—	MPE	ICKS1	ICKS0
初期値 :	1	1	1	1	1	0	0	0
R/W :	—	—	—	—	—	R/W	R/W	R/W

S T C R は 8 ビットのリード／ライト可能なレジスタで、S C I の動作モードの制御と 8 ビットタイマのT C N T の入力クロックの選択を行います。

S T C R はリセット時にH'00【H'8 / 3534】/H'F8【H'8 / 3522】にイニシャライズされます。

ビット7～4 : I²Cコントロール (IIC\$、IICD、IICX、IICE)【H'8 / 3534】
リザーブビットです。“1”にセットしないでください。

ビット3 : スレーブモード制御入力切り換え (STAC) 【H'8 / 3534】
リザーブビットです。“1”にセットしないでください。

ビット7～3 : リザーブビット【H'8 / 3522】

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット2 : マルチプロセッサネーブル (MPE)

S C I 0、1の動作モードの制御を行います。マルチプロセッサ間通信機能を有効とするか無効とするかを制御します。

ビット2	説明	
MPE		
0	マルチプロセッサ機能を禁止 (SMRのMPビットの値にかかわらずマルチプロセッサ機能を禁止します。)	(初期値)
1	マルチプロセッサ機能を許可 (SMRのMPビットを“1”にセットすることにより、マルチプロセッサフォーマットを選択できます。)	

ビット1、0：インターナルクロックソースセレクト1、0（I C K S 1、0）

8ビットタイマ0、1のT C N Tに入力するクロックを選択します。詳しくは「第9章 8ビットタイマ」を参照してください。

12.3 動作説明

12.3.1 概要

S C Iは、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、シリアルモードレジスタ（S M R）で行います。これを表12.5に示します。また、S C Iのクロックソースは、シリアルモードレジスタ（S M R）のC/Aビットおよびシリアルコントロールレジスタ（S C R）のC K E 1、C K E 0ビットの組合せでできます。これを表12.6に示します。

(1) 調歩同期式モード

- データ長：7ビット／8ビットから選択可能
- パリティの付加、マルチプロセッサビットの付加、および、1または2ビットのストップビットの付加を選択可能（これらの組合せで転送フォーマットおよび、キャラクタ長を決定）
- フレーミングエラー（F E R）、パリティエラー（P E R）、オーバランエラー（O R E R）およびブレークの検出が可能（受信時）
- S C Iのクロックソース：内部クロック／外部クロックから選択可能
 - ・内部クロックを選択した場合：S C Iはボーレートジェネレータのクロックで動作ビットレートと同じ周波数のクロックを出力することが可能
 - ・外部クロックを選択した場合：ビットレートの16倍の周波数のクロック入力が必要（内蔵ボーレートジェネレータを使用しない）

(2) クロック同期式モード

- 転送フォーマット：8ビットデータ固定
- 受信時にオーバランエラー（O R E R）の検出可能
- S C Iのクロックソース：内部クロック／外部クロックから選択可能
 - ・内部クロックを選択した場合：S C Iはボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
 - ・外部クロックを選択した場合：内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

表12.5 シリアルモードレジスタ (SMR) の設定値とSCIの送信／受信フォーマット

SMRの設定値					モード	SCIの送信／受信フォーマット				
bit7 C/A	bit6 CHR	bit2 MP	bit5 PE	bit3 STOP		データ長	マルチプロセッサビット	パリティビット	ストップビット長	
0	0	0	0	0	調歩同期式モード	8ビットデータ	なし	なし	1ビット	
			1	1				あり	2ビット	
			0	0				なし	1ビット	
			1	1				あり	2ビット	
			0	0		7ビットデータ	なし	なし	1ビット	
			1	1				あり	2ビット	
			0	0				なし	1ビット	
			1	1				あり	2ビット	
			—	0	調歩同期式モード (マルチプロセッサフォーマット)	8ビットデータ	あり	なし	1ビット	
			—	1				なし	2ビット	
1	1	1	—	0		7ビットデータ		なし	1ビット	
			—	1				なし	2ビット	
			—	—	クロック同期式モード	8ビットデータ	なし	なし	なし	

表12.6 SMR、SCRの設定とSCIのクロックソースの選択

SMR	SCRの設定		モード	SCIの送信／受信クロック		
	bit7 C/A	bit1 CKE1		クロックソース	SCK端子の機能	
0	0	0	調歩同期式モード	内部	入出力ポート(SCIは、SCK端子を使用しません)	
		1			ビットレートと同じ周波数のクロックを出力	
	1	0		外部	ビットレートの16倍の周波数のクロックを入力	
		1				
1	0	0	クロック同期式モード	内部	同期クロックを出力	
		1				
	1	0		外部	同期クロックを入力	
		1				

12.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信／受信し、1キャラクタ単位で同期を取りながらシリアル通信を行うモードです。

S C I 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信／受信中にデータのリード／ライトができるので、連続送信／受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図12.2に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク（“High”レベル）に保たれています。S C I は通信回線を監視し、スペース（“Low”レベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット（“Low”レベル）から始まり、データ（L S B ファースト：最下位ビットから）、パリティビット（“High”または“Low”レベル）、最後にストップビット（“High”レベル）の順で構成されています。

調歩同期式モードでは、S C I は受信時にスタートビットの立下りエッジで同期化を行います。またS C I は、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

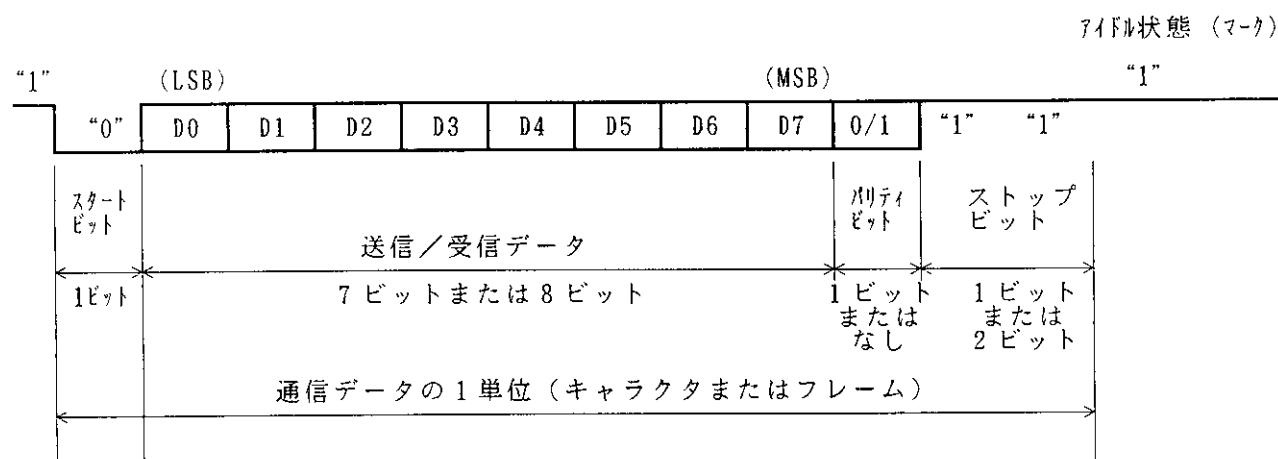


図12.2 調歩同期式通信のデータフォーマット
(8ビットデータ／パリティあり／2ストップビットの例)

(1) 送信／受信フォーマット

調歩同期式モードで設定できる送信／受信フォーマットを、表12.7に示します。

送信／受信フォーマットは12種類あり、シリアルモードレジスタ（SMR）の設定により選択できます。

表12.7 SCIの送信／受信フォーマット（調歩同期式モード）

SMRの設定				シリアル通信フォーマットとフレーム長											
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	0	S	8ビットデータ								STOP		
0	0	0	1	S	8ビットデータ								STOP	STOP	
0	1	0	0	S	8ビットデータ								P	STOP	
0	1	0	1	S	8ビットデータ								P	STOP	STOP
1	0	0	0	S	7ビットデータ								STOP		
1	0	0	1	S	7ビットデータ								STOP	STOP	
1	1	0	0	S	7ビットデータ								P	STOP	
1	1	0	1	S	7ビットデータ								P	STOP	STOP
0	—	1	0	S	8ビットデータ								MPB	STOP	
0	—	1	1	S	8ビットデータ								MPB	STOP	STOP
1	—	1	0	S	7ビットデータ								MPB	STOP	
1	—	1	1	S	7ビットデータ								MPB	STOP	STOP

〈記号説明〉

SMR：シリアルモードレジスタ

P：パリティビット

S：スタートビット

MPB：マルチプロセッサビット

STOP：ストップビット

(2) クロック

S C I の送受信クロックは、シリアルモードレジスタ（S M R）のC/Aビットとシリアルコントロールレジスタ（S C R）のCKE1、CKE0ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは、SCK端子から入力された外部クロックの2種類から選択できます。S C I のクロックソースの選択については表12.6を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図12.3に示すように送信データの中央にクロックの立上りエッジがくるようになります。

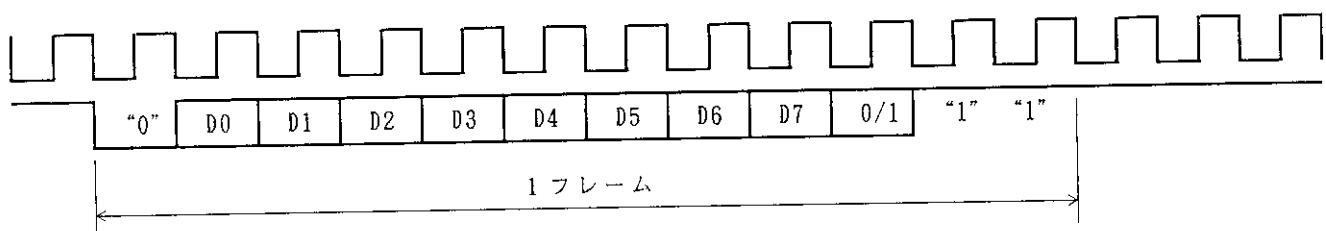


図12.3 出力クロックと通信データの位相関係（調歩同期式モード）

(3) データの送信／受信動作

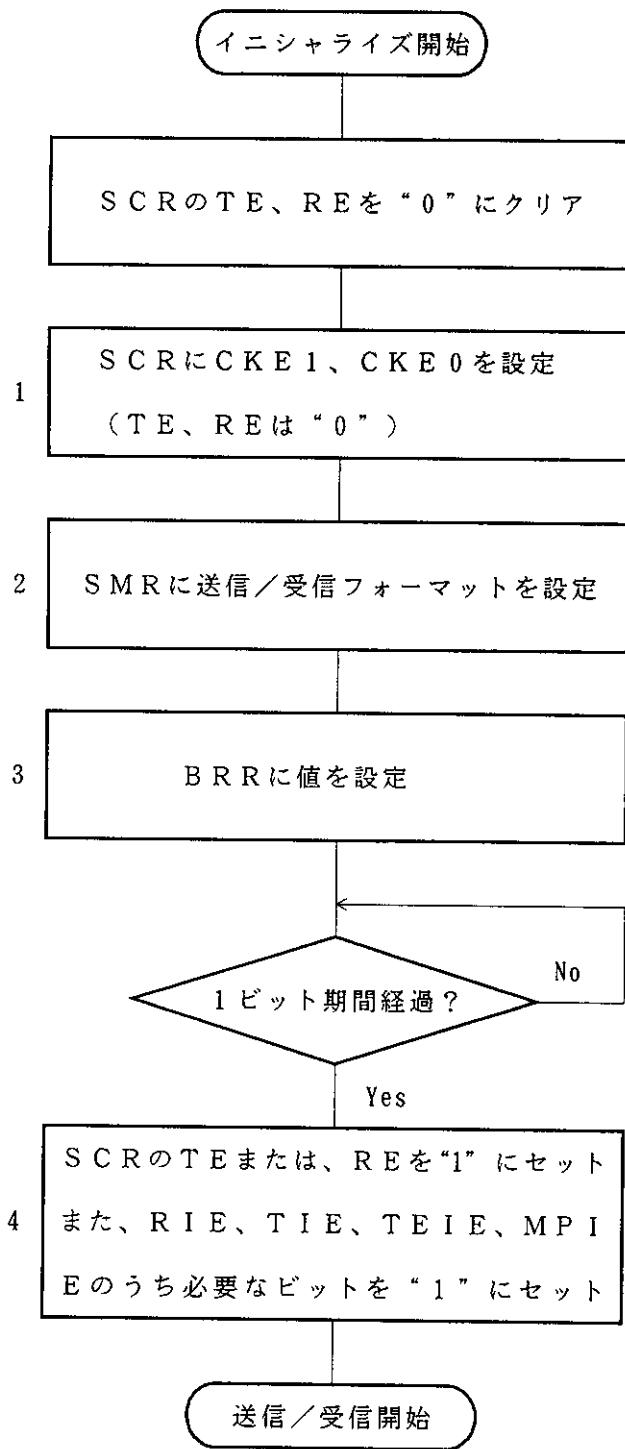
■ S C I のイニシャライズ

データの送信／受信前には、まずシリアルコントロールレジスタ（S C R）のT Eビットおよび、R Eビットを“0”にクリアした後、図12.4の手順でS C I をイニシャライズしてください。

[注意事項]

動作モードの変更、通信フォーマットの変更などの場合には必ず、T EビットおよびR Eビットを“0”にクリアしてから下記手順で変更を行ってください。T Eビットを“0”にクリアするとT D R Eビットは“1”にセットされ、トランスマットシフトレジスタ（T S R）がイニシャライズされます。R Eビットを“0”にクリアしても、R D R F、P E R、F E R、O R E Rの各ビットおよび、レシーブデータレジスタ（R D R）の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますのでイニシャライズを含めた動作中にクロックを止めないでください。

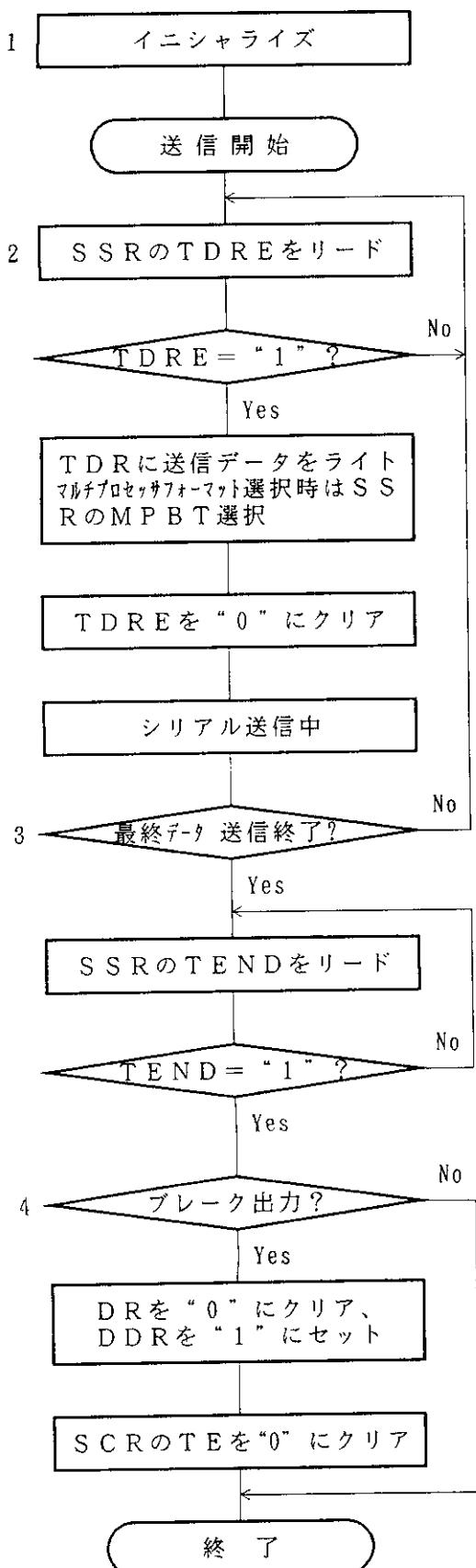


- 1 シリアルコントロールレジスタ（S C R）にクロックの選択を設定してください。
なお、T E ビット、R E ビットは必ず“0”にクリアしてください。
調歩同期式モードでクロック出力を選択した場合には、S C Rの設定後、ただちに出力されます。
- 2 シリアルモードレジスタ（S M R）に送信／受信フォーマットを設定します。
- 3 ビットレートレジスタ（B R R）に通信レートに対応する値をライトします。ただし、外部クロックを使用する場合には必要ありません。
- 4 少なくとも1ビット期間、シリアルコントロールレジスタ（S C R）のT E ビットとR E ビットを“0”に保ってください。
その後、T E ビット、R E ビットを設定することによりTxD、RxD端子が使用可能となります。
また、R I E 、T I E 、T E I E 、M P I E のうち必要なビットを割込み許可となるよう設定してください。
送信時には“マーク状態”となり、受信時にはスタートビット待ちのアイドル状態になります。

図12.4 SCIのイニシャライズフローチャートの例

■ シリアルデータ送信

シリアルデータ送信は図12.5の手順にしたがってください。



- 1 SCIをイニシャライズ：
TxD端子は自動的にシリアルデータ送信端子になります。
- 2 SCIの状態を確認して、送信データをライト：
シリアルステータスレジスタ(SSR)をリードして、TDREビットが“1”であることを確認した後、トランスマットデータレジスタ(TDR)に送信データを書き込み、TDREビットを“0”にクリアします。
また、マルチプロセッサフォーマットを選択している場合には、送信データの書き込みに続いてSSRのマルチプロセッサビットトランスマット(MPBT)に“0”または“1”をライトください。TDREが“0”から“1”に変化したことは、TXI割込みによっても知ることができます。
- 3 (a)シリアル送信の継続手順：
シリアル送信を続けるときには、必ずTDREビットの“1”をリードして書き込み可能であることを確認した後にTDRにデータをライトし、続けてTDREビットを“0”にクリアしてください。
(b)シリアル送信の終了手順：
最終データの送信終了はTENDビットが“0”から“1”に変化したことによって確認できます。これはTEI割込みによって知ることができます。
- 4 シリアル送信の終了時にブレークを出力：
シリアル送信時にブレークを出力するときには、ポートのDRを“0”にクリア、DDRを“1”にセットした後にSCRのTEビットを“0”にクリアします。

図12.5 シリアルデータ送信のフローチャートの例

SCIはシリアル送信時に以下のように動作します。

- ① SCIは、SSRのTDREをビット監視し、“0”であるとトランスマルチプロセッサレジスタ（TDR）にデータが書き込まれたと認識し、TDRからトランスマルチプロセッサレジスタ（TSR）にデータを転送します。
- ② TDRからTSRへデータを転送した後にTDREビットを“1”にセットし、送信を開始します。
このとき、SCRのTIE（TDRエンプティ割込みイネーブル）が“1”にセットされているとTXI（TDRエンプティ）割込み要求を発生します。

シリアル送信データは、以下の順にTxD端子から送出されます。

- (a) スタートビット：1ビットの“0”が出力されます。
 - (b) 送信データ：8ビットまたは、7ビットのデータがLSBから順に出力されます。
 - (c) パリティビットまたはマルチプロセッサビット：1ビットのパリティビット（偶数パリティ、または、奇数パリティ）または1ビットのマルチプロセッサビットが出力されます。
なお、パリティビットまたは、マルチプロセッサビットを出力しないフォーマットも選択できます。
 - (d) ストップビット：1ビットまたは2ビットの“1”（ストップビット）が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送出するまで“1”を出力し続けます。
- ③ SCIは、ストップビットを送出するタイミングでTDREビットをチェックします。
TDREビットが“0”であるとTDRからTSRにデータを転送し、ストップビット送出後、次フレームのシリアル送信を開始します。
TDREビットが“1”であるとSSRのTENDビットに“1”をセットし、ストップビット送出後、“1”を出力する“マーク状態”になります。このときSCRのTEIE（TSRエンプティ割込みイネーブル）が“1”にセットされているとTEI（TSRエンプティ）割込み要求を発生します。

調歩同期式モード・送信時のSCIの動作例を図12.6に示します。

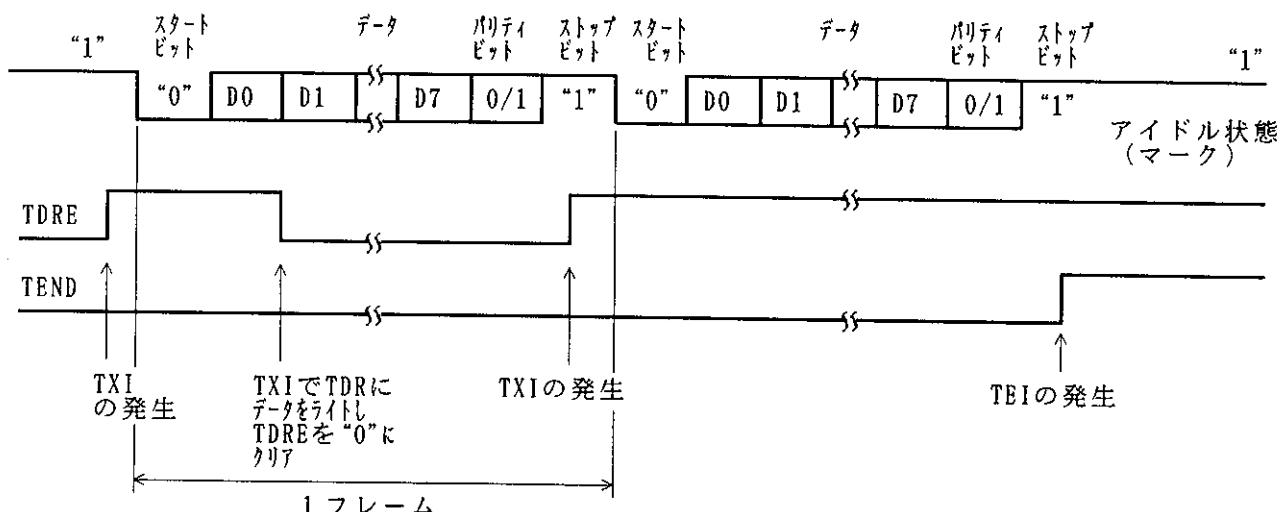


図12.6 SCIの送信時の動作例（8ビットデータ／パリティあり／1ストップビットの例）

■ シリアルデータ受信

シリアルデータ受信は図12.7の手順にしたがってください。

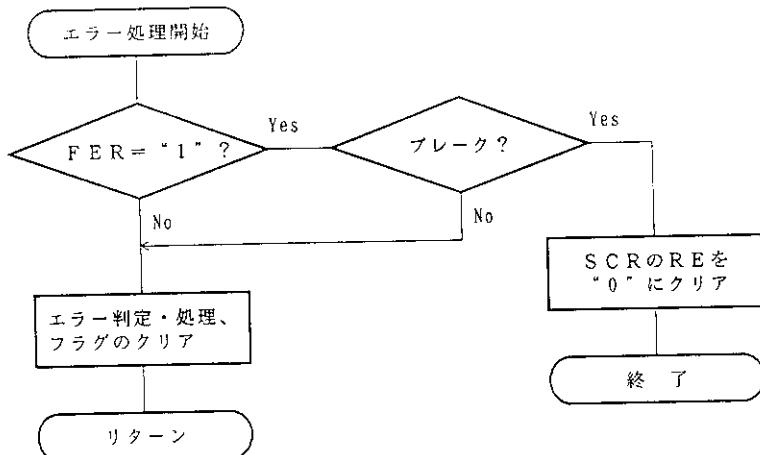
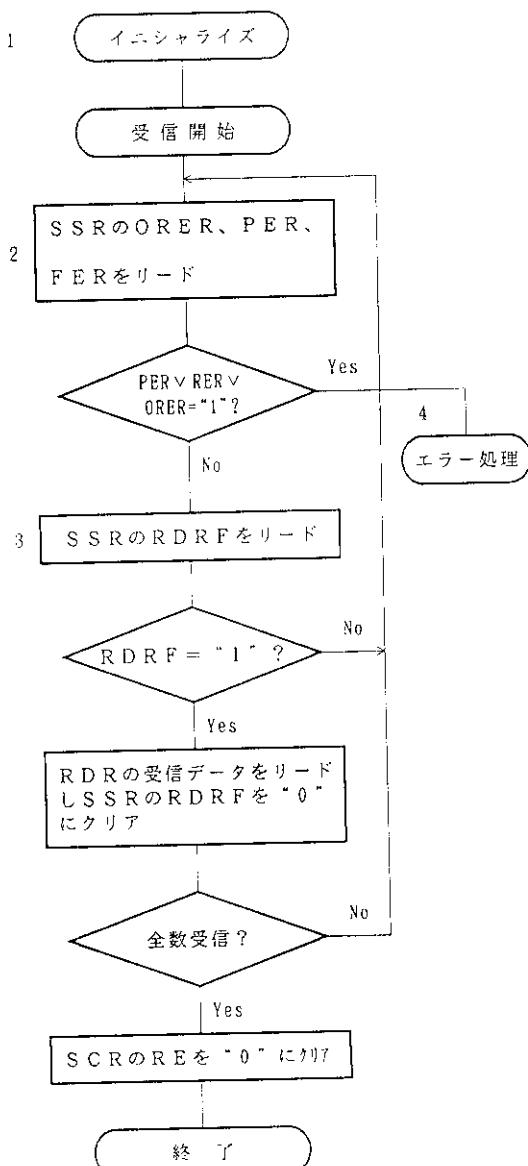


図12.7 シリアル受信データフローチャートの例

S C I は受信時に以下のように動作します。

- ① S C I は通信回線を監視し、スタートビットの“0”を検出すると内部を同期化します。
- ② 受信したデータをR S R のL S B からM S B の順にセットします。
- ③ パリティビットおよび、ストップビットを受信します。

受信後、S C I は以下のチェックを行います。

- (a) パリティチェック：受信データの“1”的数をチェックし、これがS M R のO/E ビットで設定した偶数／奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが“1”であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：R D R F ビットが“0”であり、受信データをR S R からR D R に転送できる状態であるかをチェックします。

以上のチェックが全てパスしたときR D R F ビットが“1”にセットされ、R D R に受信データが格納されます。

エラーチェックで受信エラーを発生すると表12.8のようになります。

【注】受信エラーがセットされた状態では、以後の受信動作ができません。

また、受信時にR D R F が“1”にセットされませんので、必ずフラグをクリアしてください。

④ R D R F ビットが“1”になったとき、S C R のR I E (受信完了割込みイネーブル) が“1”にセットされているとR X I (受信完了) 割込みを発生します。

また、O R E R 、P E R 、F E R ビットのどれかが“1”になったとき、S C R のR I E (受信完了割込みイネーブル) が“1”にセットされているとE R I (受信エラー) 割込みを発生します。

調歩同期式モードの受信時の動作例を図12.8に示します。

表12.8 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	O R E R	S S R のR D R F が“1”にセットされたまま次のデータ受信を完了したとき	R S R からR D R に受信データは転送されません。
フレーミングエラー	F E R	ストップビットが“0”的とき	R S R からR D R に受信データが転送されます。
パリティエラー	P E R	S M R で設定した偶数／奇数パリティの設定と受信したデータが異なるとき	R S R からR D R に受信データが転送されます。

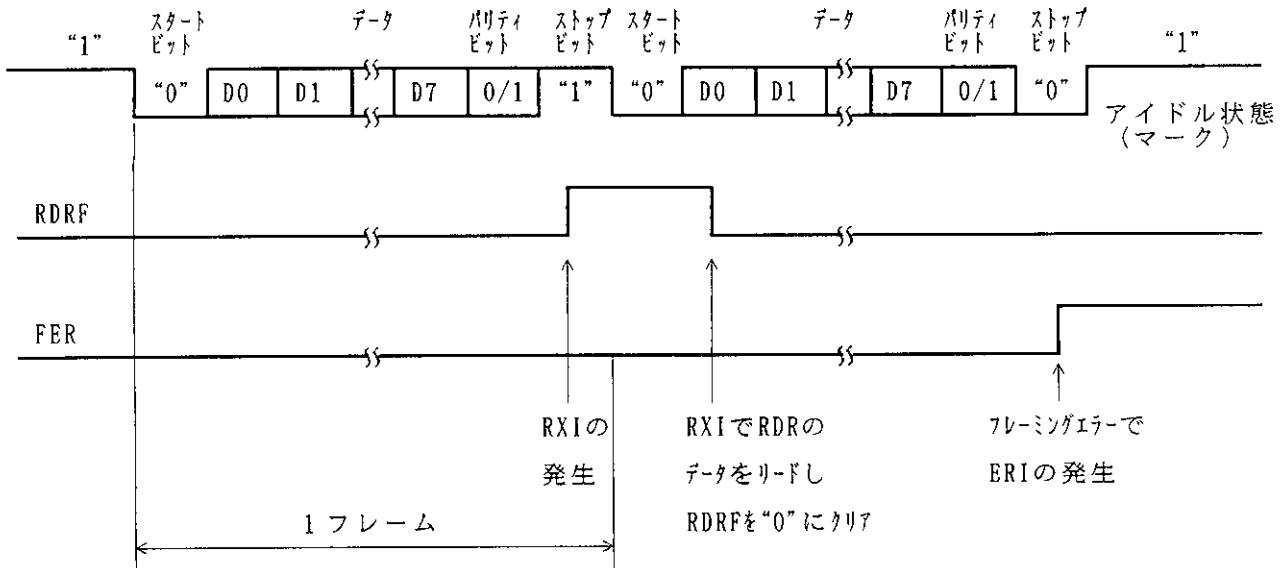


図12.8 SCIの受信時の動作例（8ビットデータ／parityあり／1ストップビットの例）

(4) マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット（マルチプロセッサフォーマット）でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有のIDコードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定するID送信サイクルとデータ送信サイクルの2つから構成されます。このID送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局のIDを、マルチプロセッサビット“1”を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット“0”を付加したデータにして送信します。

受信局は、マルチプロセッサビット“1”的データが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット“1”的データを受信すると、自局のIDと比較し、一致した局は続いて送信されるデータを受信します。このようにして複数のプロセッサ間のデータ送受信が行われます。

マルチプロセッサフォーマットを指定した場合の送信／受信フォーマットは4種類あります。いずれのフォーマットでもparityビットの指定は無効になります。詳細は表12.7を参照してください。

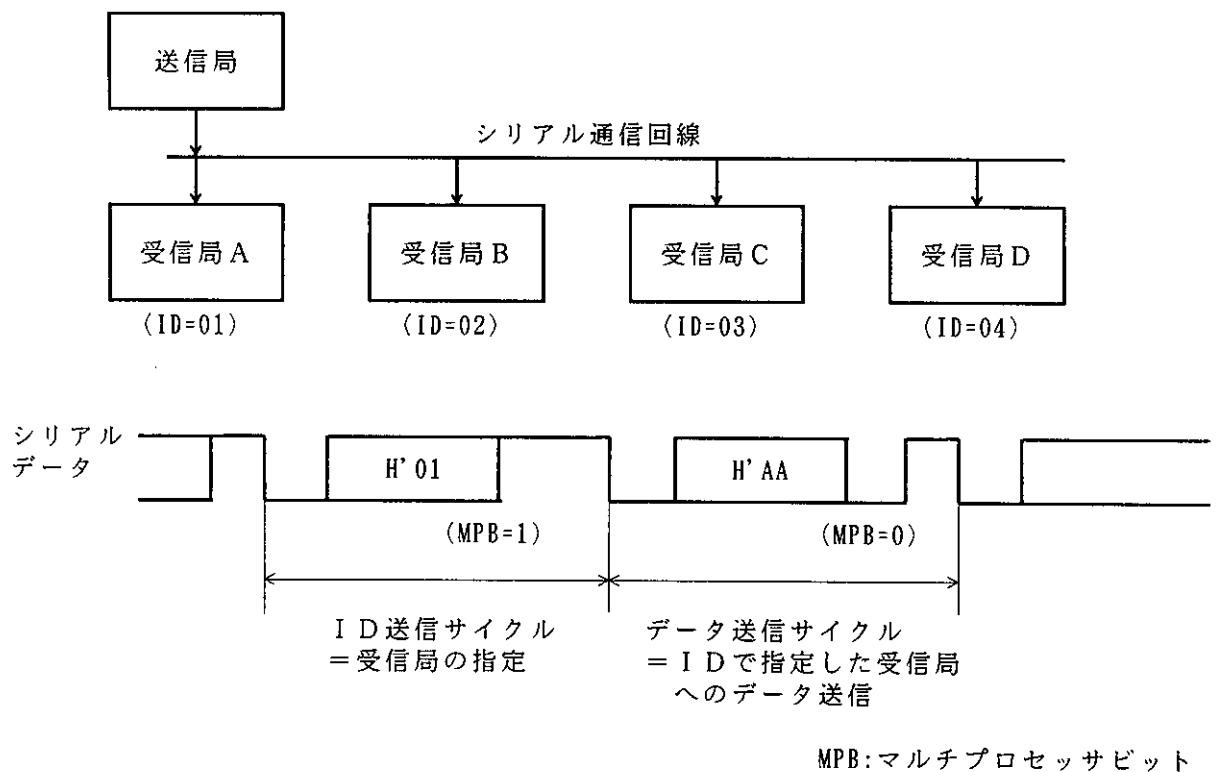


図12.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 AへのデータH'AAの送信の例)

■ マルチプロセッサシリアルデータ送信

図12.5、図12.6を参照してください。

■マルチプロセッサシリアルデータ受信

マルチプロセッサシリアルデータ受信は、図12.10の手順にしたがってください。

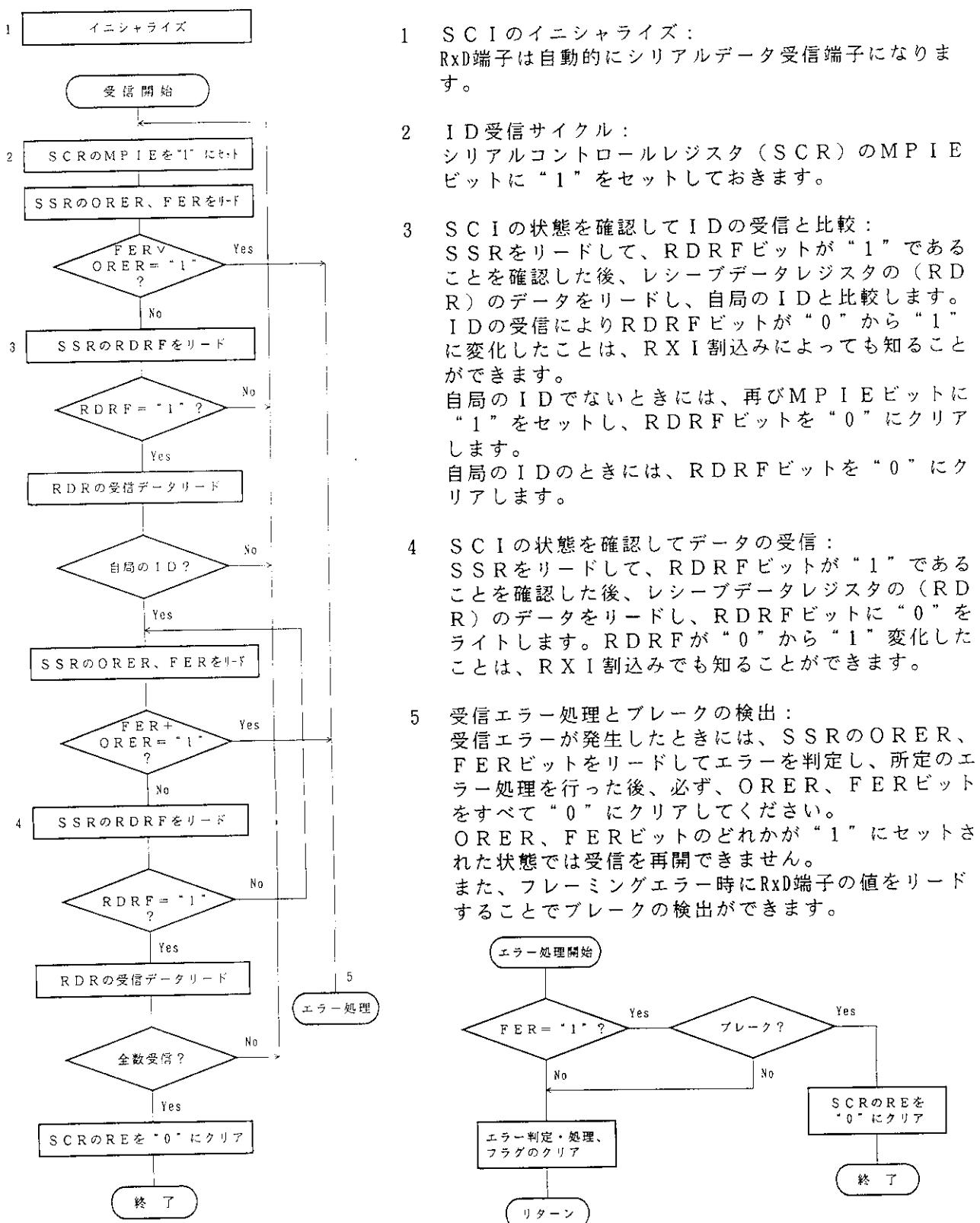


図12.10 マルチプロセッサシリアルデータ受信のフローチャートの例

図12.11にS C Iの受信時の動作例（8ビットデータ／マルチプロセッサビットあり／1ストップビットの例）を示します。

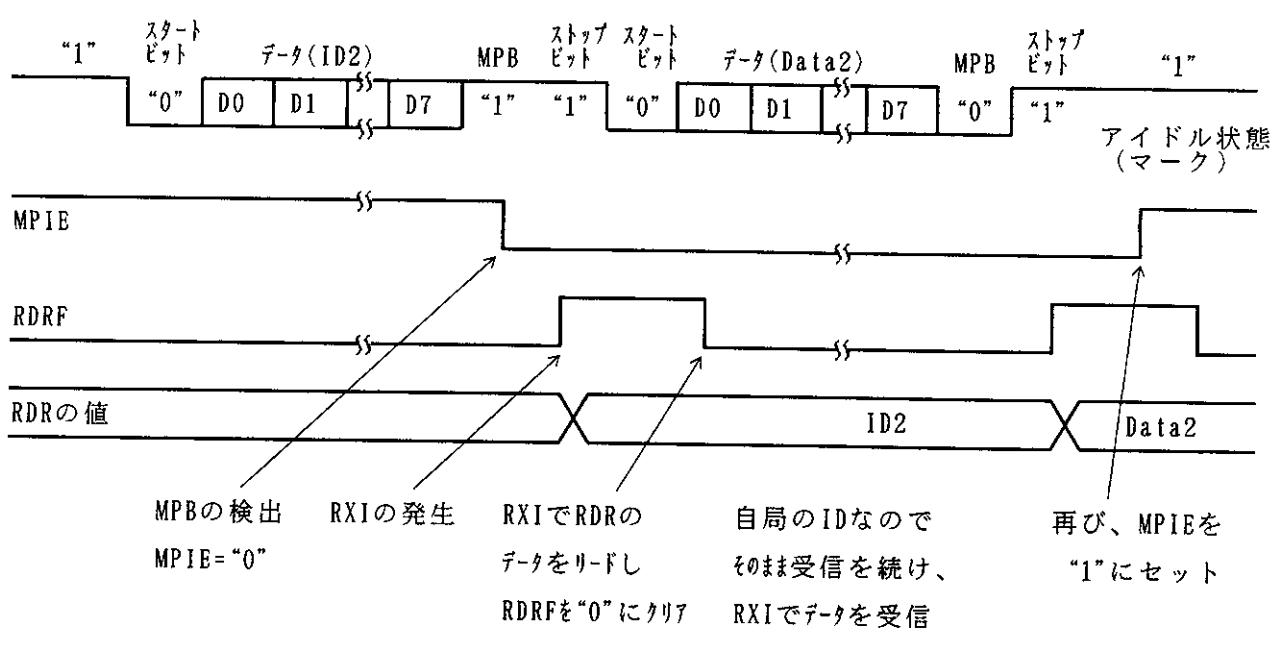
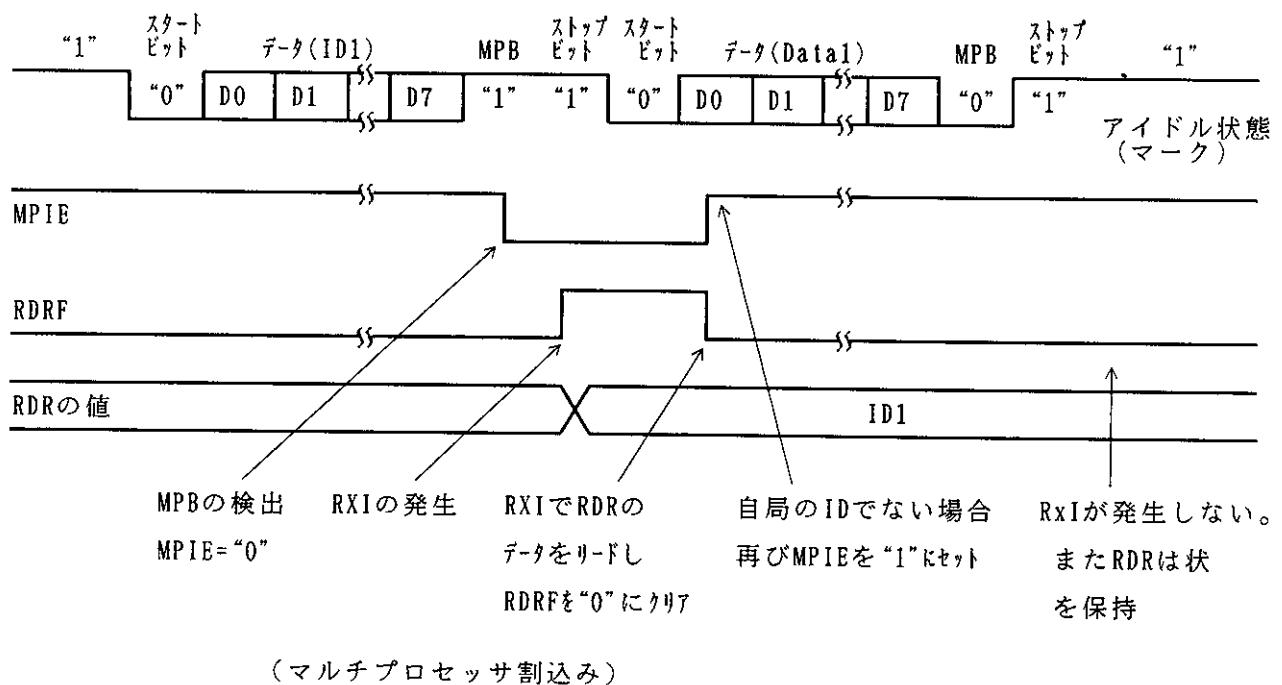


図12.11 S C Iの受信時の動作例
(8ビットデータ／マルチプロセッサビットあり／1ストップビットの例)

12.3.3 クロック同期式モード時の動作

(1) 概要

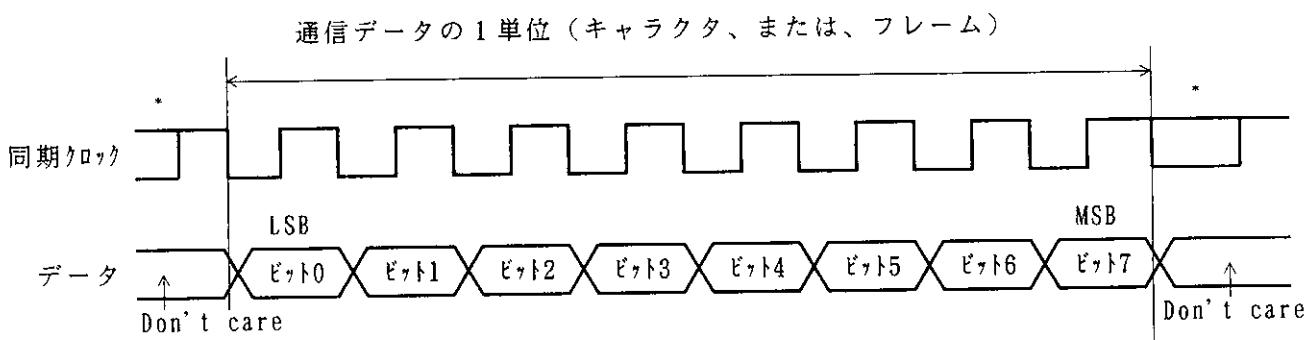
クロック同期式モードは、クロックパルスに同期してデータを送信／受信するモードです。

クロック同期式モードは、高速シリアル通信に適しています。

SCI内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部／受信部が共にダブルバッファ構造になっていますので送信／受信中にデータのリード／ライトができるので、連続送信／受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図12.12に示します。



【注】* 連続送信／受信のとき以外は“High”レベル

図12.12 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立下がりから次の立下がりまで出力されます。また、同期クロックの立上がりに同期してデータを受信します。

シリアル通信の1キャラクタは、データの LSB から始まり最後に MSB が出力されます。通信回線のデータは、次の同期クロックが立下がるまで、MSB 出力に保たれます。

■ 送信／受信フォーマット：8ビットデータ固定

parityビットやマルチプロセッサビットの付加はできません。

■ クロック：シリアルモードレジスタ（SMR）のC/Aビットとシリアルコントロールレジスタ（SCR）のCKE1、CKE0ビットの設定により内蔵ボーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表12.6を参照してください。

内部クロックで動作させるとき、SCK端子からは同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信／受信を行わない時には“High”レベルに固定されます。

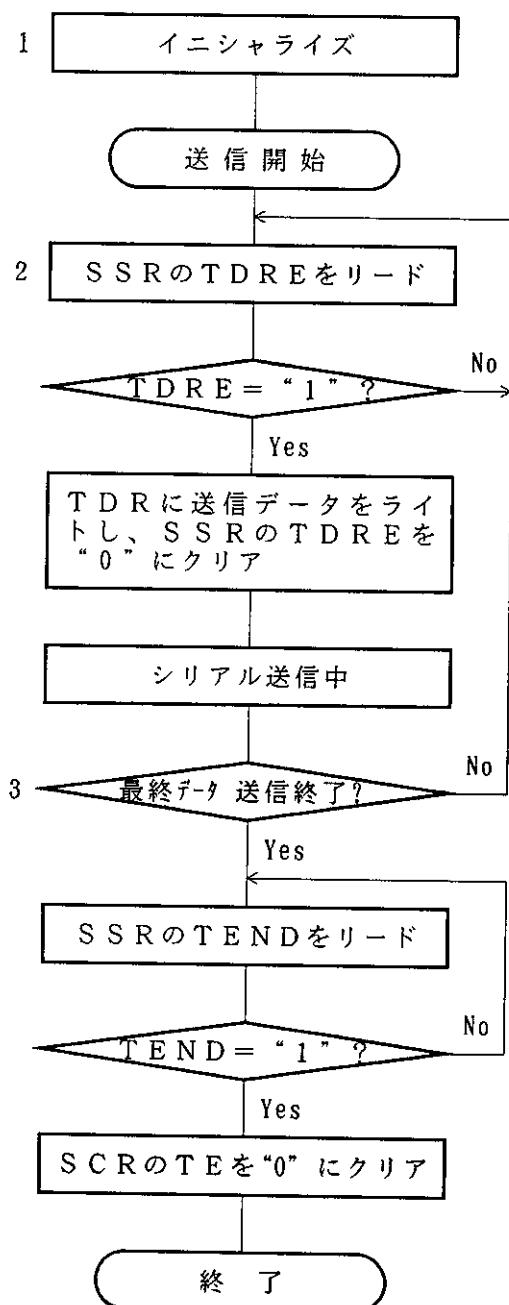
(2) データの送信／受信動作

■ S C I のイニシャライズ

調歩同期式モードと同様にイニシャライズします。図12.4を参照してください。動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ずO R E R、F E R、P E Rビットが“0”にクリアされていることを確認してください。O R E R、F E R、P E Rビットが“1”にセットされていると送信／受信動作を開始できません。

■ シリアルデータ送信

シリアルデータ送信は図12.13の手順にしたがってください。



- 1 S C I をイニシャライズ：
Tx D 端子は自動的にシリアルデータ送信端子になります。
- 2 S C I の状態を確認して、送信データをライト：シリアルステータスレジスタ (S S R) をリードして、T D R E ビットが “1” であることを確認した後、トランスマットデータレジスタ (T D R) に送信データを書き込み、T D R E ビットを “0” にクリアします。
T D R E ビットが “0” から “1” に変化したことは、T X I 割込みによっても知ることができます。
- 3 (a)シリアル送信の継続手順：
シリアル送信を続けるときには、必ずT D R E ビットの “1” をリードして書き込み可能であることを確認した後にT D R にデータをライトし、続けてT D R E ビットを “0” にクリアしてください。
(b)シリアル送信終了手順：
最終データの送信終了はT E N D ビットが “0” から “1” に変化したことによって確認できます。これはT E I 割込みによっても知ることができます。

図12.13 シリアルデータ送信のフローチャートの例

S C I はシリアル送信時に以下のように動作します。

- ① S C I は、S S R の T D R E ビットを監視し、“0”であるとトランスマルチレジスタ（T M R ）にデータが書き込まれたと認識し、T M R からトランスマルチシフトレジスタ（T M R ）にデータを転送します。
- ② T M R からT M R へデータを転送した後にT D R E ビットを“1”にセットし、送信を開始します。

このとき、S C R のT I E ビット（T M R エンプティ割込みイネーブル）が“1”にセットされているとT X I （T M R エンプティ）割込み要求を発生します。

クロック出力モードに設定したときには、T D R E ビットが“0”にクリアされたことをトリガとして、S C I はデータに同期したクロックを8パルス出力します。

外部クロックに設定したときには、入力クロックに同期してデータを出力します。

シリアル送信データは、L S B （ビット0）～M S B （ビット7）の順にTxD端子から送出されます。

- ③ S C I は、M S B （ビット7）を送出するタイミングでT D R E ビットをチェックします。

T D R E ビットが“0”であるとT M R からT M R にデータを転送し、次フレームのシリアル送信を開始します。

T D R E ビットが“1”であるとS S R のT E N D ビットに“1”をセットし、M S B （ビット7）送出後、状態を保持します。このときS C R のT E I E （T M R エンプティ割込みイネーブル）が“1”にセットされているとT E I （T M R エンプティ）割込み要求を発生します。

- ④ シリアル送信終了後は、SCK端子は“High”レベル固定になります。

図12.14 にS C Iの送信時の動作例を示します。

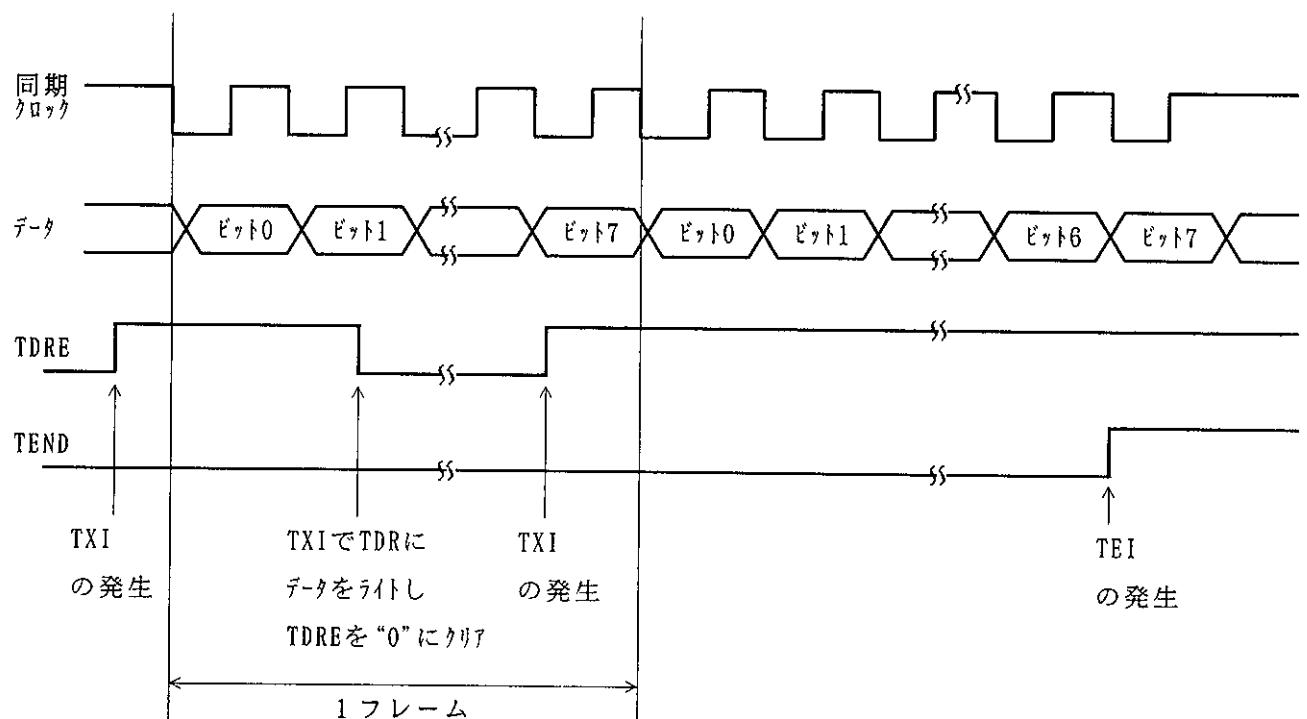


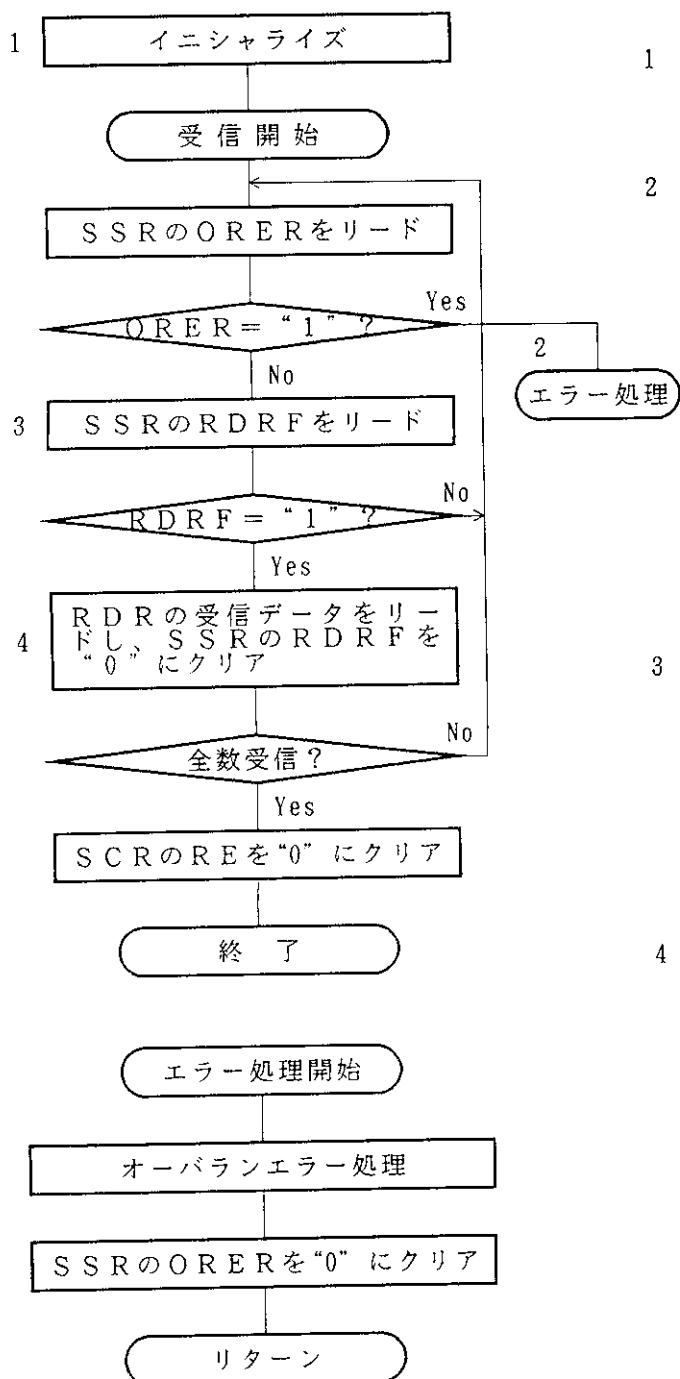
図12.14 S C Iの送信時の動作例

■ シリアルデータ受信

シリアルデータ受信は図12.15の手順にしたがってください。

動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、F E R、P E Rビットが“0”にクリアされていることを確認してください。

F E R、P E Rビットが“1”にセットされているとR D R Fビットがセットされません。また、送信／受信動作が行えません。



- 1 SCIのイニシャライズ：
RxD端子は自動的にシリアルデータ受信端子になります。
- 2 受信エラー処理：
受信エラーが発生したときには、SSRのORERビットをリードしてから、所定のエラー処理を行った後、ORERビットを“0”にクリアしてください。
ORERビット“1”にセットされた状態では送信／受信を再開できません。
クロック出力モードを設定したときには、受信を一時停止するため、1バイトのダミー受信を行ってオーバランエラーを発生させる方法があります。この場合、次のデータの受信準備ができた段階でORERビットを“0”にクリアしてください。これにより受信が再開されるので、フローチャートの2の処理に戻ってください。
- 3 SCIの状態を確認して、受信データのリード：
シリアルステータスレジスタ(SSR)をリードして、RDRFビットが“1”であることを確認した後、レシーブデータレジスタ(RDR)の受信データをリードし、RDRFビットを“0”にクリアします。RDRFビットが“0”から“1”に変化したことは、RXI割込みによっても知ることができます。
- 4 シリアル受信の継続手順：
シリアル受信を続けるときには、現在のフレームのMSB(ビット7)を受信する前に、RDRのデータをリードし、RDRFビットを“0”にクリアしておいてください。

図12.15 シリアルデータ受信フローチャートの例

SCIは受信時に以下のように動作します。

① 外部クロックに設定したときには、入力クロックに同期してデータを入力します。クロック出力モードに設定したときには、SCIはREビットを“1”にセットするとただちに同期クロックを出力しデータを入力します。また、ORERビットが“1”にセットされて同期クロックが停止している場合、ORERビットを“0”にクリアするとただちに同期クロックの出力を再開しデータを入力します。

② 受信したデータをRSRのLSBからMSBの順にセットします。

受信後、SCIは、RDRFビットが“0”であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

このチェックがパスしたときRDRFビットが“1”にセットされ、RDRに受信データが格納されます。

エラーチェックで受信エラーを発生すると表12.8のように動作します。

【注】 受信エラーがセットされた状態では、以後の送信・受信動作が行えません。

また、受信時にRDRFビットが“1”にセットされませんので必ずフラグをクリアしてください。

③ RDRFビットが“1”になったとき、SCRのRIE（受信完了割込みイネーブル）ビットが“1”にセットされているとRXI（受信完了）割込みを発生します。

また、ORERビットが“1”になったとき、SCRのRIE（受信完了割込みイネーブル）ビットが“1”にセットされているとERI（受信エラー）割込みを発生します。

クロック出力モードに設定したときには、クロックはREビットを“0”にクリアしたとき、またはORERビットが“1”にセットされたときに停止します。クロック数のカウントずれを発生させないためには、1バイトのダミー受信を行ってオーバランエラーを発生させる方法が確実です。

図12.16 に S C I の受信時の動作例を示します。

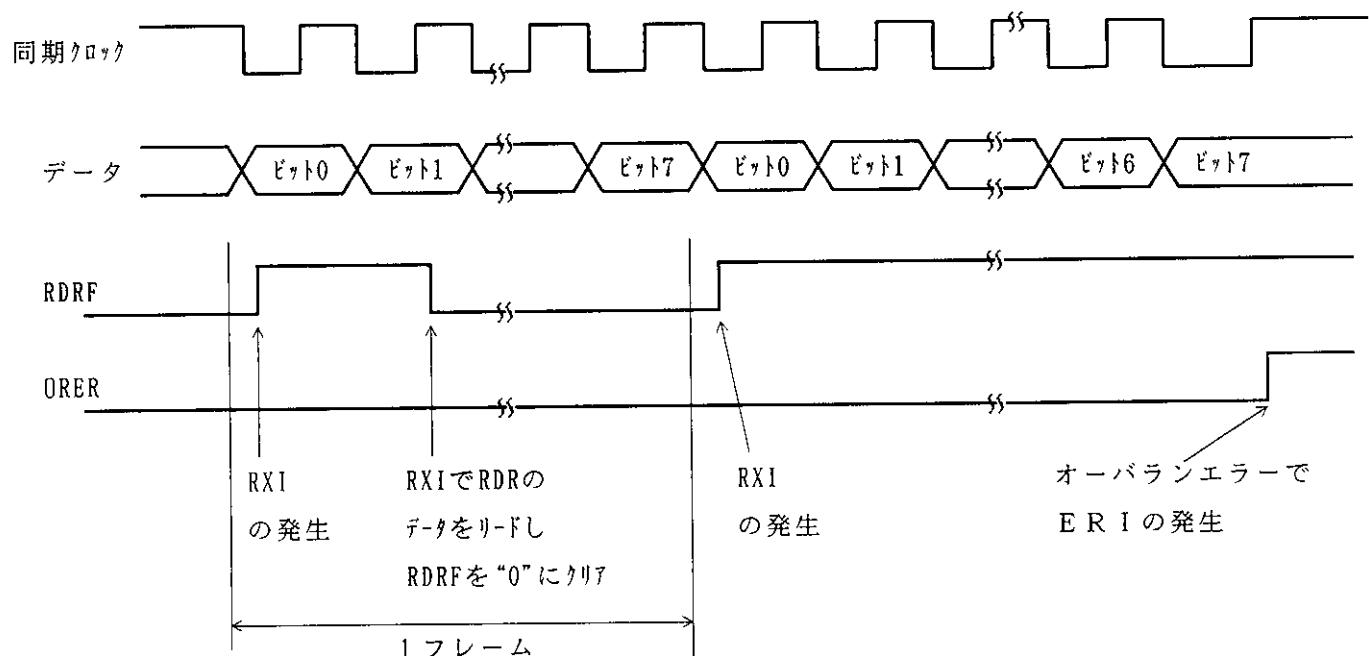
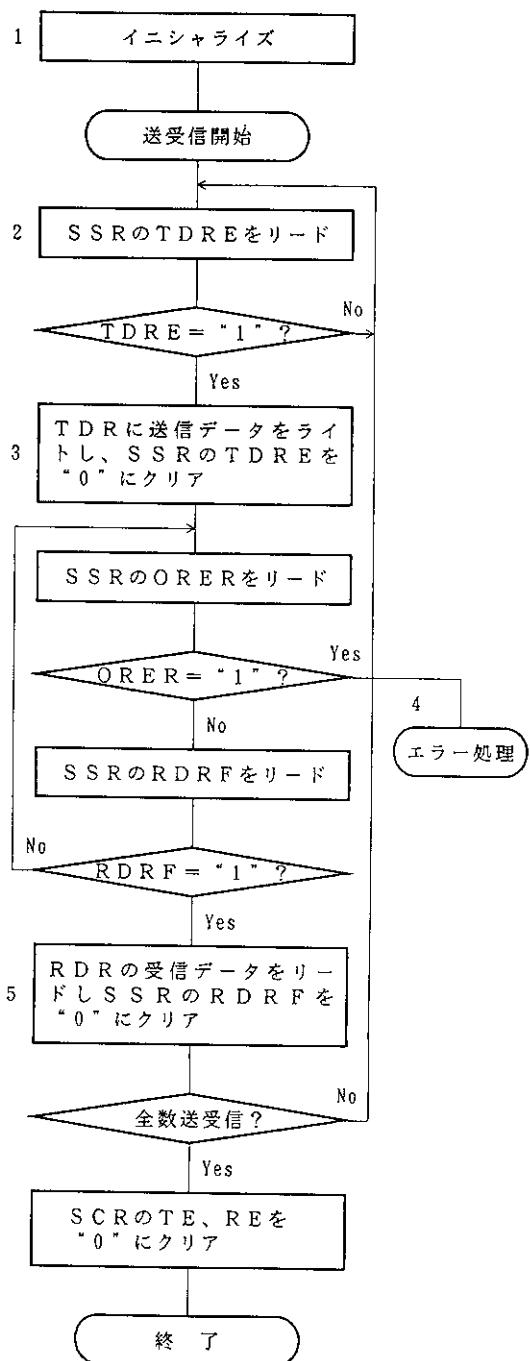


図12.16 S C I の受信時の動作例

■ シリアルデータ送受信同時動作

シリアルデータ送受信同時動作は、図12.17の手順にしたがってください。クロック出力モードを設定したときには、シリアル送信時と同じタイミングで同期クロックが出力されます。



- 1 イニシャライズ：
TxD端子はシリアルデータ送信端子に、RxD端子はシリアルデータ受信端子になり送受信同時動作可能状態になります。
- 2 SCIの状態確認と送信データのライト：
シリアルステータスレジスタ（SSR）をリードしてTDREビットが“1”であることを確認した後、トランスマットデータレジスタ（TDR）に送信データを書込み、TDREビットを“0”にクリアします。
TDREビットが“0”から“1”に変化したことは、TXI割込みによっても知ることができます。
- 3 SCIの状態を確認して受信データのリード：
シリアルステータスレジスタ（SSR）をリードして、RDRFビットが“1”であることを確認した後、レシーブデータレジスタ（RDR）の受信データをリードし、RDRFビットを“0”にクリアします。
RDRFビットが“0”から“1”に変化したことは、RXI割込みによっても知ることができます。
- 4 受信エラー処理：
受信エラーが発生したときには、SSRのORERビットをリードしてから、所定のエラー処理を行った後、ORERビットを“0”にクリアしてください。
ORERビット“1”にセットされた状態では送信／受信を再開できません。
- 5 シリアル送受信の継続手順：
シリアル送受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前に、RDRをリードしRDRFビットを“0”にクリアしておいてください。

また、現在のフレームのMSB（ビット7）を送信する前にTDREビットの“1”をリードして書き込み可能であることを確認してTDRにデータをライドしTDREビットを“0”にクリアしておいてください。

図12.17 シリアル送受信同時動作のフローチャートの例

【注】送信、または受信動作から同時送受信に切り換えるときには、TEビットとREビットを“0”にクリアしてからTEビットとREビットを“1”にセットしてください。

12.4 SCI 割込み

SCI の割込み要因は、ERI、RXI、TXI および TEI の 4 種類があります。表12.9に各割込み要因と優先順位を示します。各割込み要因は、SCR の TIE ビット、RIE ビットおよび TIE ビットで、許可または禁止され、それぞれ独立に割込みコントローラに送られます。ただし、受信エラー割込み（ERI）だけは、3 種類のエラー要因（オーバランエラー、フレーミングエラー、パリティエラー）の論理和です。

なお、TXI 割込みは送信データをライト可能なことを示し、TEI 割込みは送信動作が終了したことを示しています。

表12.9 SCI 割込み要因

割込み要因	内 容	優先順位
ERI	受信エラー (ORER、FER、PER) による割込み	高 ↑
RXI	受信完了 (RDRF) による割込み	
TXI	TDR エンプティ (TDRE) による割込み	
TEI	TSR エンプティ (TEND) による割込み	低

12.5 使用上の注意

S C I を使用するうえで以下のことに注意してください。

(1) T D Rへのライト動作

S S R の T D R E ビットは、T D R のデータが T S R へ転送されたことを示すビットです。T D R へのライトは T D R E ビットの値にかかわらず行うことができます。このため T D R E ビットが “0” のとき T D R へライトすると、T D R から T S R への転送が行われる前に T D R のデータが書き換えられることになります。したがって、T D R E ビットが “1” にセットされてから T D R へ転送データをライトしてください。

(2) 受信エラーが複数発生した場合の動作

複数の受信エラーが同時に発生した場合、各ビットの状態および R S R から R D R へのデータの転送は、表12.10に示すようになります。

表12.10 S S R のビットの状態および R S R から R D R への
データ転送（複数の受信エラー発生時）

受信エラー	S S R のビット				R S R から R D R への転送 ^{*2}
	R D R F	O R E R	F E R	P E R	
オーバランエラー	1 ^{*1}	1	0	0	×
フレーミングエラー	0	0	1	0	○
パリティエラー	0	0	0	1	○
オーバラン+フレーミング エラー	1 ^{*1}	1	1	0	×
オーバラン+パリティ エラー	1 ^{*1}	1	0	1	×
フレーミング+パリティ エラー	0	0	1	1	○
オーバラン+フレーミング +パリティエラー	1 ^{*1}	1	1	1	×

【注】^{*1} オーバランエラーの発生以前に “1” にセットされています。

^{*2} ○：転送することを示します。
×：転送しないことを示します。

(3) ブレークの検出

RxD 端子からの入力がすべて “0”（ブレーク状態）になると、S C I はストップビットが “0” になるためフレーミングエラーを発生し、そのときの R S R の値 (H'00) を R D R に転送します。これによりブレークの検出ができます。

また、データ受信動作は継続して行われるため、F E R ビットを “0” にクリアすると再びフレーミングエラーが発生します。

(4) 調歩同期式のサンプリングタイミングと受信マージン

調歩同期式の基本クロックは転送レートの16倍になっています。フレームの同期化は、スタートビットの立下がりを基本クロックの立下がりエッジでサンプリングして行います。また、受信データ（スタートビット、トップビット、パリティビット、マルチプロセッサビットを含む）は、各ビットの中央を基本クロックの立上がりエッジでサンプリングします。これを図12.18に示します。

これにより受信マージンは式(1)のように表すことができます。

ここで、 $F = 0$ 、 $D = 0.5$ とすると受信マージンは式(2)のようになります。受信データはこの値まで歪んでも受信可能ということになります。ただし、この計算式は理論的な値ですので、システムを設計する場合には20~30%の余裕をもたせてください。

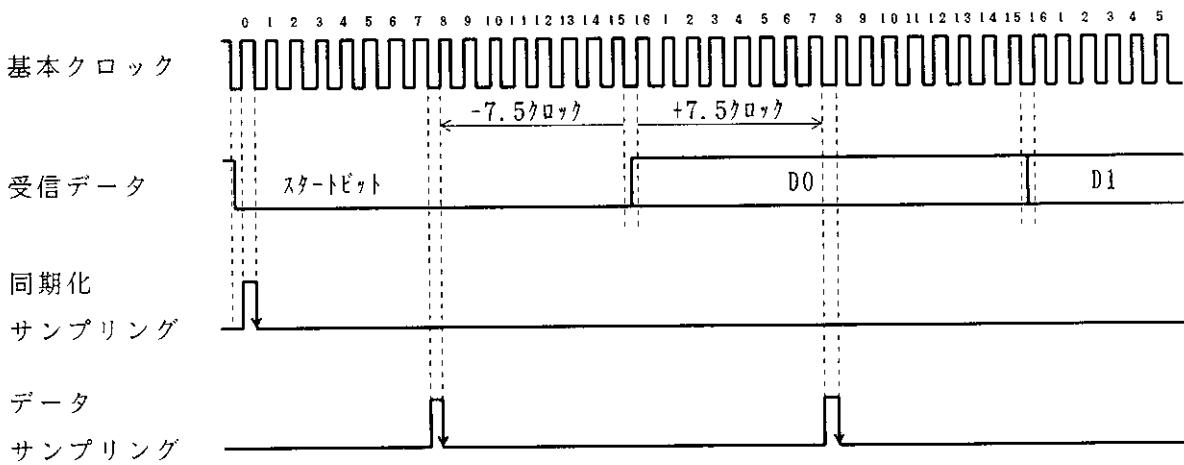


図12.18 サンプリングタイミング（調歩同期式）

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D - 0.5}{N} - (L - 0.5)F \right\} \times 100 [\%] \quad \cdots \cdots (1) \text{式}$$

M : 受信マージン

N : クロックに対するビットレートの比 ($N = 16$)

D : クロックの“High”レベルと“Low”レベルの長い方のデューティ (0.5~1.0)

L : フレーム長 (9~12)

F : クロック周波数の偏差の絶対値

$D = 0.5$ 、 $F = 0$ のとき

$$\begin{aligned} M &= (0.5 - 1/2 \times 16) \times 100 [\%] \\ &= 46.875 \% \end{aligned} \quad \cdots \cdots (2) \text{式}$$

13. A／D 変換器

第13章 目次

13.1 概要	273
13.1.1 特長	273
13.1.2 ブロック図	274
13.1.3 端子構成	275
13.1.4 レジスタ構成	276
13.2 各レジスタの説明	277
13.2.1 A／DデータレジスタA～D (ADDRA～D)	277
13.2.2 A／Dコントロール／ステータスレジスタ (ADCSR)	278
13.2.3 A／Dコントロールレジスタ (ADCR)	280
13.3 CPUとのインターフェース	281
13.4 動作説明	282
13.4.1 単一モード (SCAN = "0")	282
13.4.2 スキャンモード (SCAN = "1")	284
13.4.3 入力サンプリングとA／D変換時間	286
13.4.4 外部トリガ入力タイミング	287
13.5 割込み	288
13.6 使用上の注意	288

13.1 概要

本LSIには、逐次比較方式で動作する10ビットのA/D変換器が内蔵されており、最大8チャネルのアナログ入力を選択することができます。

13.1.1 特長

A/D変換器の特長を以下に示します。

- 10ビットの分解能
- 入力チャネル： 8チャネル
- 高速変換

変換時間： 1チャネル当たり最小 $13.4\mu s$ (10MHz動作時)

- 単一モード/スキャンモードの2種類の動作モードから選択可能

单一モード： 1チャネルのA/D変換

スキャンモード： 1～4チャネルの連続A/D変換

- 4本の16ビットデータレジスタ

A/D変換された結果は、各チャネルに対応したデータレジスタに転送され、保持されます。

- サンプル&ホールド機能

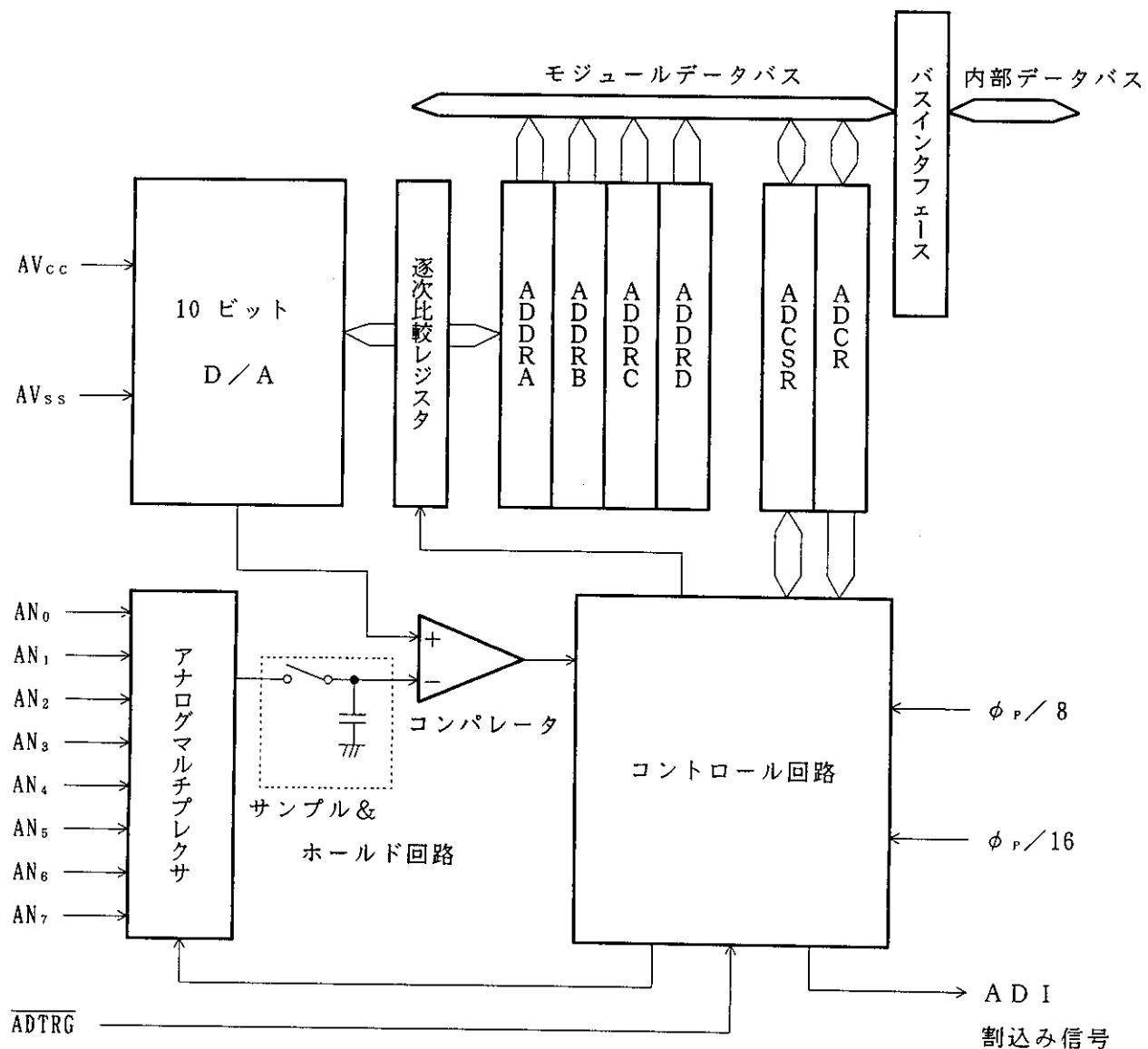
- 外部トリガ信号による、A/D変換の開始が可能

- A/D変換終了割込み要求を発生

A/D変換終了時には、A/D変換終了割込み(ADI)要求を発生させることができます。

13.1.2 ブロック図

A/D変換器のブロック図を図13.1に示します。



《記号説明》

- A D C R : A/Dコントロールレジスタ
- A D C S R : A/Dコントロール/ステータスレジスタ
- A D D R A : A/DデータレジスタA
- A D D R B : A/DデータレジスタB
- A D D R C : A/DデータレジスタC
- A D D R D : A/DデータレジスタD

図13.1 A/D変換器のブロック図

13.1.3 端子構成

A／D変換器で使用する入力端子を表13.1に示します。

8本のアナログ入力端子は2グループに分類されており、アナログ入力端子0～3(AN₀～AN₃)がグループ0、アナログ入力端子4～7(AN₄～AN₇)がグループ1になっています。

AV_{cc}、AV_{ss}端子は、A／D変換器内のアナログ部の電源です。

表13.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AV _{cc}	入力	アナログ部の電源および基準電圧
アナロググランド端子	AV _{ss}	入力	アナログ部のグランドおよび基準電圧
アナログ入力端子0	AN ₀	入力	グループ0のアナログ入力
アナログ入力端子1	AN ₁	入力	
アナログ入力端子2	AN ₂	入力	
アナログ入力端子3	AN ₃	入力	
アナログ入力端子4	AN ₄	入力	グループ1のアナログ入力
アナログ入力端子5	AN ₅	入力	
アナログ入力端子6	AN ₆	入力	
アナログ入力端子7	AN ₇	入力	
A／D外部トリガ入力端子	ADTRG	入力	A／D変換時間のための外部トリガ入力

13.1.4 レジスタ構成

A/D変換器のレジスタ構成を表13.2に示します。

表13.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
A/DデータレジスタAH	ADDRAH	R	H'00	H'FFE0
A/DデータレジスタAL	ADDRAL	R	H'00	H'FFE1
A/DデータレジスタBH	ADDRBH	R	H'00	H'FFE2
A/DデータレジスタBL	ADDRBL	R	H'00	H'FFE3
A/DデータレジスタCH	ADDRCH	R	H'00	H'FFE4
A/DデータレジスタCL	ADDRCL	R	H'00	H'FFE5
A/DデータレジスタDH	ADDRDH	R	H'00	H'FFE6
A/DデータレジスタDL	ADDRDL	R	H'00	H'FFE7
A/Dコントロール/ステータスレジスタ	ADCSR	R/(W)*	H'00	H'FFE8
A/Dコントロールレジスタ	ADCR	R/W	H'7F	H'FFE9

【注】* ビット7は、フラグをクリアするための“0”ライトのみ可能です。

13.2 各レジスタの説明

13.2.1 A/Dデータレジスタ A～D (ADDRA～ADD RD)

ビット	: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0
ADD R n :	[AD9] [AD8] [AD7] [AD6] [AD5] [AD4] [AD3] [AD2] [AD1] [AD0] [—] [—] [—] [—] [—] [—]
初期値	: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W	: R R R R R R R R R R R R R R R R
(n = A～D)	

ADD Rは、A/D変換された結果を格納する16ビットのリード専用レジスタで、ADD RA～ADD RDの4本があります。

A/D変換されたデータは10ビットデータで、選択されたチャネルのADD Rに転送され、保持されます。A/D変換されたデータの上位8ビットがADD Rの上位バイトに、また下位2ビットが下位バイトに対応します。ADD Rの下位バイトのビット5～0はリザーブビットで、リードすると常に“0”が読み出されます。アナログ入力チャネルとADD Rの対応を表13.3に示します。

ADD Rは、常にCPUからリード可能です。上位バイトは直接リードできますが、下位バイトはテンポラリレジスタ(TEMP)を介してデータ転送が行われます。詳細は「13.3 CPUとのインターフェース」を参照してください。

ADD Rは、リセットまたはスタンバイモード時に、H'0000にイニシャライズされます。

表13.3 アナログ入力チャネルとADD RA～ADD RDの対応

アナログ入力チャネル		A/Dデータレジスタ
グループ0	グループ1	
AN ₀	AN ₄	ADD RA
AN ₁	AN ₅	ADD RB
AN ₂	AN ₆	ADD RC
AN ₃	AN ₇	ADD RD

13.2.2 A/Dコントロール/ステータスレジスタ (ADC S R)

ビット	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CHO
初期値	0	0	0	0	0	0	0	0
R/W	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグをクリアするための“0”ライトのみ可能です。

ADC S Rは、8ビットのリード/ライト可能なレジスタで、モードの選択などA/D変換器の動作を制御します。

ADC S Rは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

ビット7 : A/Dエンドフラグ (ADF)

A/D変換の終了を示すステータスフラグです。

ビット7 A D F	説明
0	[クリア条件] (初期値) A D F = “1”的状態で、A D F フラグをリードした後、A D F フラグに“0”をライトしたとき
1	[セット条件] (1)単一モード：A/D変換が終了したとき (2)スキャンモード：設定されたすべてのチャネルのA/D変換が終了したとき

ビット6 : A/Dインタラプトイネーブル (ADIE)

A/D変換の終了による割込み (ADI) 要求の許可/禁止を選択します。

ビット6 A D I E	説明
0	A/D変換終了による割込み (ADI) 要求を禁止 (初期値)
1	A/D変換終了による割込み (ADI) 要求を許可

ビット5：A/Dスタート（ADST）

A/D変換の開始／停止を選択します。

A/D変換中は“1”を保持します。また、ADSTビットはA/D外部トリガ入力端子(ADTRG)により“1”にセットすることもできます。

ビット5	説明
ADST	
0	A/D変換を停止 (初期値)
1	(1) 単一モード：A/D変換を開始し、変換が終了すると自動的に“0”にクリア (2) スキャンモード：A/D変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって“0”にクリアされるまで選択されたチャネルを順次連続変換

ビット4：スキャンモード（SCAN）

A/D変換の動作モードを、単一モード／スキャンモードから選択します。単一モード／スキャンモード時の動作については、「13.4 動作説明」を参照してください。モードの切換えは、ADST = “0”的状態で行ってください。

ビット4	説明
SCAN	
0	単一モード (初期値)
1	スキャンモード

ビット3：クロックセレクト（CKS）

A/D変換時間の設定を行います。 $\phi_p = \phi / 2$ の場合、変換時間は2倍になります。

変換時間の切換えは、ADST = “0”的状態で行ってください。

ビット3	説明
CKS	
0	変換時間 = 266ステート(max) ($\phi_p = \phi$ の場合) (初期値)
1	変換時間 = 134ステート(max) ($\phi_p = \phi$ の場合)

ビット 2～0：チャネルセレクト 2～0 (CH 2～0)

SCANビットとともにアナログ入力チャネルを選択します。

チャネル選択と切換えは、ADST = “0”的状態で行ってください。

グループ選択	チャネル選択		説明	
CH 2	CH 1	CH 0	单一モード	スキャンモード
0	0	0	AN ₀ (初期値)	AN ₀
	0	1	AN ₁	AN ₀ 、AN ₁
	1	0	AN ₂	AN ₀ ～AN ₂
	1	1	AN ₃	AN ₀ ～AN ₃
1	0	0	AN ₄	AN ₄
	0	1	AN ₅	AN ₄ 、AN ₅
	1	0	AN ₆	AN ₄ ～AN ₆
	1	1	AN ₇	AN ₄ ～AN ₇

13.2.3 A/Dコントロールレジスタ (ADC R)

ビット	7	6	5	4	3	2	1	0
TRGE	—	—	—	—	—	—	—	—
初期値	0	1	1	1	1	1	1	1
R/W	R/W	—	—	—	—	—	—	—

ADC Rは、8ビットのリード／ライト可能なレジスタで、外部トリガ入力によるA/D変換の開始の許可／禁止を選択します。

ADC Rは、リセットまたはスタンバイモード時、H'7Fにイニシャライズされます。

ビット7：トリガイネーブル (TRGE)

外部トリガ入力によるA/D変換の開始の許可／禁止を選択します。

ビット7	説明
TRGE	外部トリガ入力 (ADTRG) によるA/D変換の開始を禁止 (初期値)
0	外部トリガ端子 (ADTRG) によるA/D変換の開始を許可 (A/D変換の開始は外部トリガおよびソフトウェアのいずれによっても可能)
1	

ビット6～0：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

13.3 CPUとのインターフェース

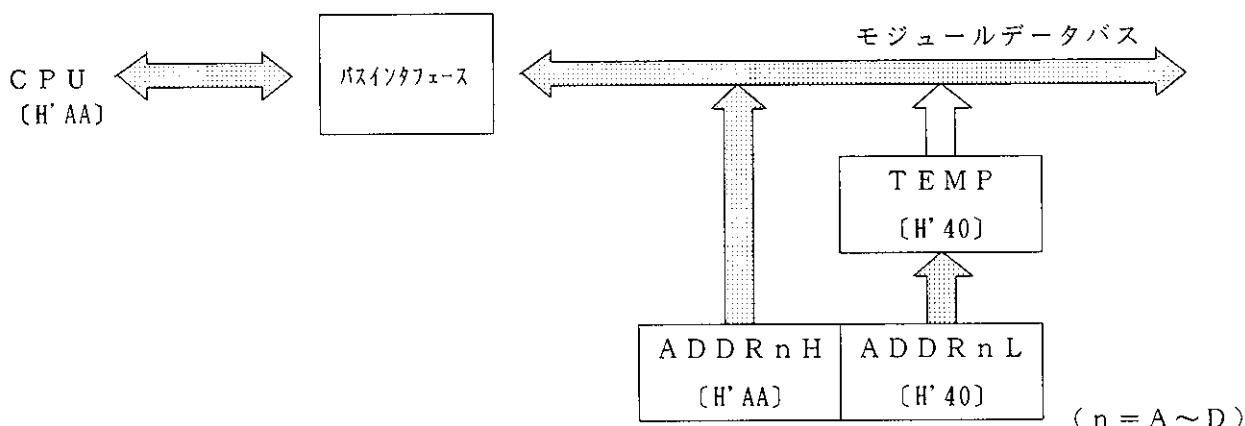
ADDRA～ADDRDはそれぞれ16ビットのレジスタですが、CPUとの間のデータバスは8ビット幅です。そのため、CPUからのアクセスは上位バイトは直接行われますが、下位バイトは8ビットのテンポラリレジスタ（TEMP）を介して行います。

ADDRからのデータのリードは、次のように行われます。上位バイトのリードで上位バイトの値はCPUへ、下位バイトの値はTEMPへ転送されます。次に下位バイトのリードでTEMPの内容がCPUへ転送されます。

ADDRをリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図13.2に、ADDRのアクセス時のデータの流れを示します。

<上位バイトのリード>



<下位バイトのリード>

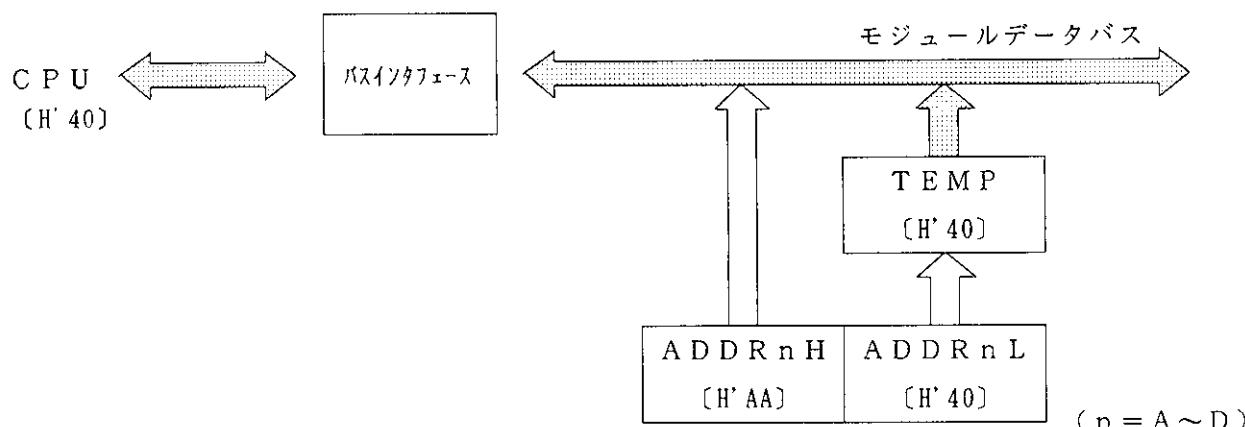


図13.2 ADDRのアクセス動作 ([H'AA40] リード時)

13.4 動作説明

A/D変換器は逐次比較方式で動作し、10ビットの分解能をもっています。単一モードとスキャンモードの各モードの動作についての説明をします。

13.4.1 単一モード (SCAN = "0")

单一モードは、1チャネルのみのA/D変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によってADSTビットが“1”にセットされると、A/D変換を開始します。ADSTビットは、A/D変換中は“1”を保持しており、変換が終了すると自動的に“0”にクリアされます。

また、変換が終了すると、ADFフラグが“1”にセットされます。このとき、ADI Eビットが“1”にセットされていると、ADI割込み要求が発生します。

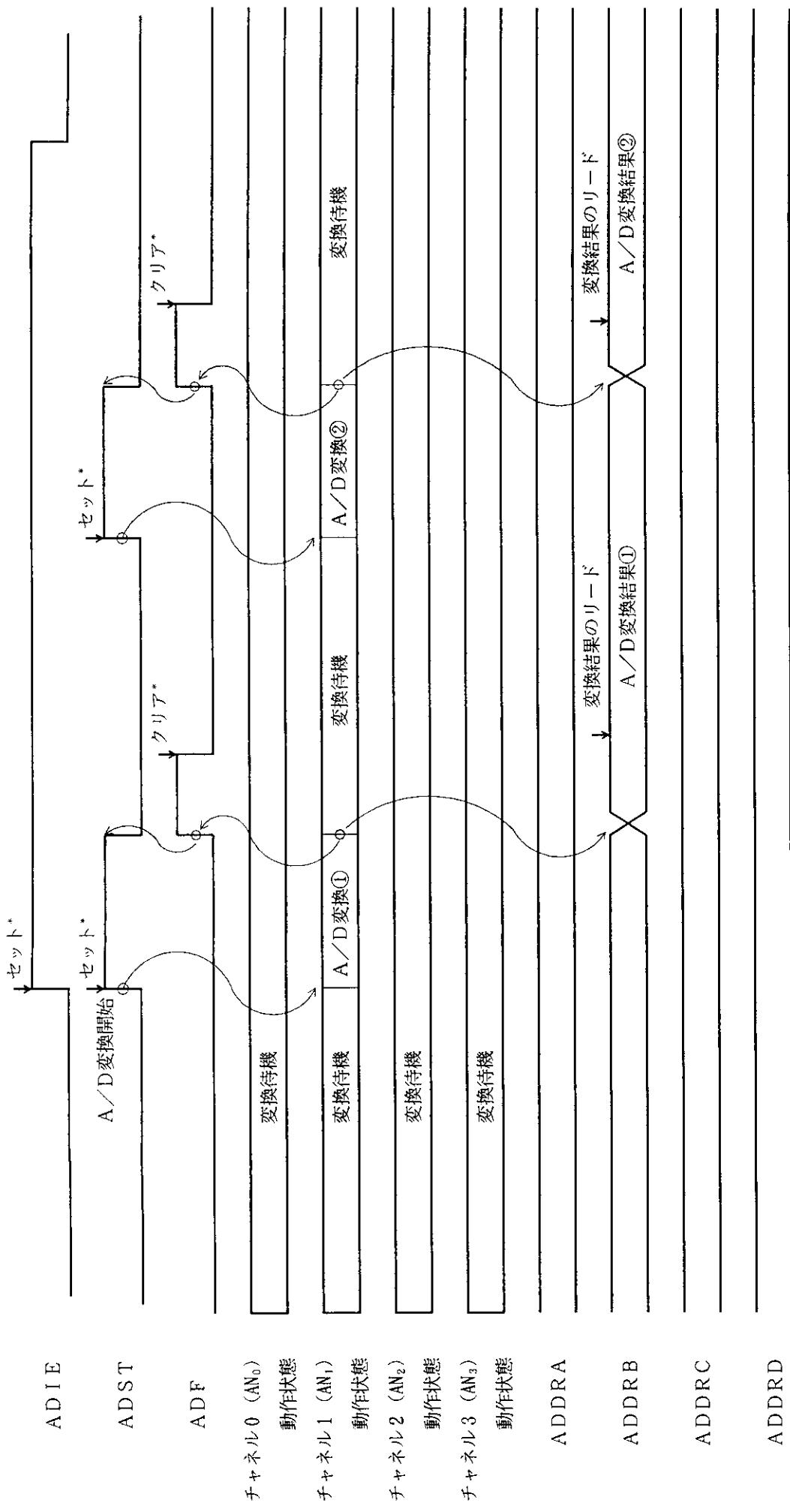
ADFフラグは、ADC S Rをリードした後、“0”をライトするとクリアされます。

A/D変換中に、モードやアナログ入力チャネルの切換えを行う場合は、誤動作を避けるためにADC S RのADSTビットを“0”にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットを“1”にセットすると（モードおよびチャネルの変更とADSTビットのセットは、同時にできます）、再びA/D変換を開始します。

单一モードでチャネル1(AN₁)が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図13.3に示します。

- (1) 動作モードを单一モードに(SCAN = "0")、入力チャネルをAN₁に(CH2 = CH1 = "0"、CH0 = "1")、A/D割込み要求許可(ADI E = "1")に設定して、A/D変換を開始(ADST = "1")します。
- (2) A/D変換が終了すると、A/D変換結果がADDRBに転送されます。同時に、ADF = "1"、ADST = "0"となり、A/D変換器は変換待機となります。
- (3) ADF = "1"、ADI E = "1"となっているため、ADI割込み要求が発生します。
- (4) A/D割込み処理ルーチンが開始されます。
- (5) ADC S Rをリードした後、ADFに"0"をライトします。
- (6) A/D変換結果(ADDRB)をリードして、処理します。
- (7) A/D割込み処理ルーチンの実行を終了します。

この後、ADSTビットを“1”にセットするとA/D変換が開始され(2)～(7)を行います。



【注】・ ↓は、ソフトウェアによる命令実行を示します。

図13.3 A/D変換器の動作例（單一モード チャネル1選択時）

13.4.2 スキャンモード (S C A N = "1")

スキャンモードは、複数チャネル（1チャネルを含む）のアナログ入力を常にモニタするような応用に適しています。A/D変換はソフトウェアまたは外部トリガ入力によってA D S Tビットが“1”にセットされると、グループの第1チャネル(C H 2 = “0”的ときAN₀、C H 2 = “1”的ときAN₄)から開始されます。

複数のチャネルが選択されている場合は、第1チャネルの変換が終了した後、ただちに第2チャネル(AN₁またはAN₅)のA/D変換を開始します。

A/D変換は、A D S Tビットが“0”にクリアされるまで、選択されたチャネル内を連続して繰り返し行います。変換された結果は、各チャネルに対応したA D D Rに転送され保持されます。

A/D変換中に、モードやアナログ入力チャネルの切換えを行う場合は、誤動作を避けるためにA D C S RのA D S Tビットを“0”にクリアして、A/D変換を停止した状態で行ってください。変更した後、A D S Tビットに“1”をセットすると（モードおよびチャネルの変更とA D S Tビットのセットは、同時に行うことができます）、第1チャネルが選択され、再びA/D変換を開始します。

スキャンモードでグループ0の3チャネル(AN₀～AN₂)を選択してA/D変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図13.4に示します。

(1) 動作モードをスキャンモードに(S C A N = "1")、スキャングループをグループ0に(C H 2 = “0”）、アナログ入力チャネルをAN₀～AN₂(C H 1 = “1”、C H 0 = “0”）に設定してA/D変換を開始(A D S T = “1”）します。

(2) 第1チャネル(AN₀)のA/D変換が開始され、A/D変換が終了すると、変換結果をA D D R Aに転送します。

次に第2チャネル(AN₁)が自動的に選択され、変換を開始します。

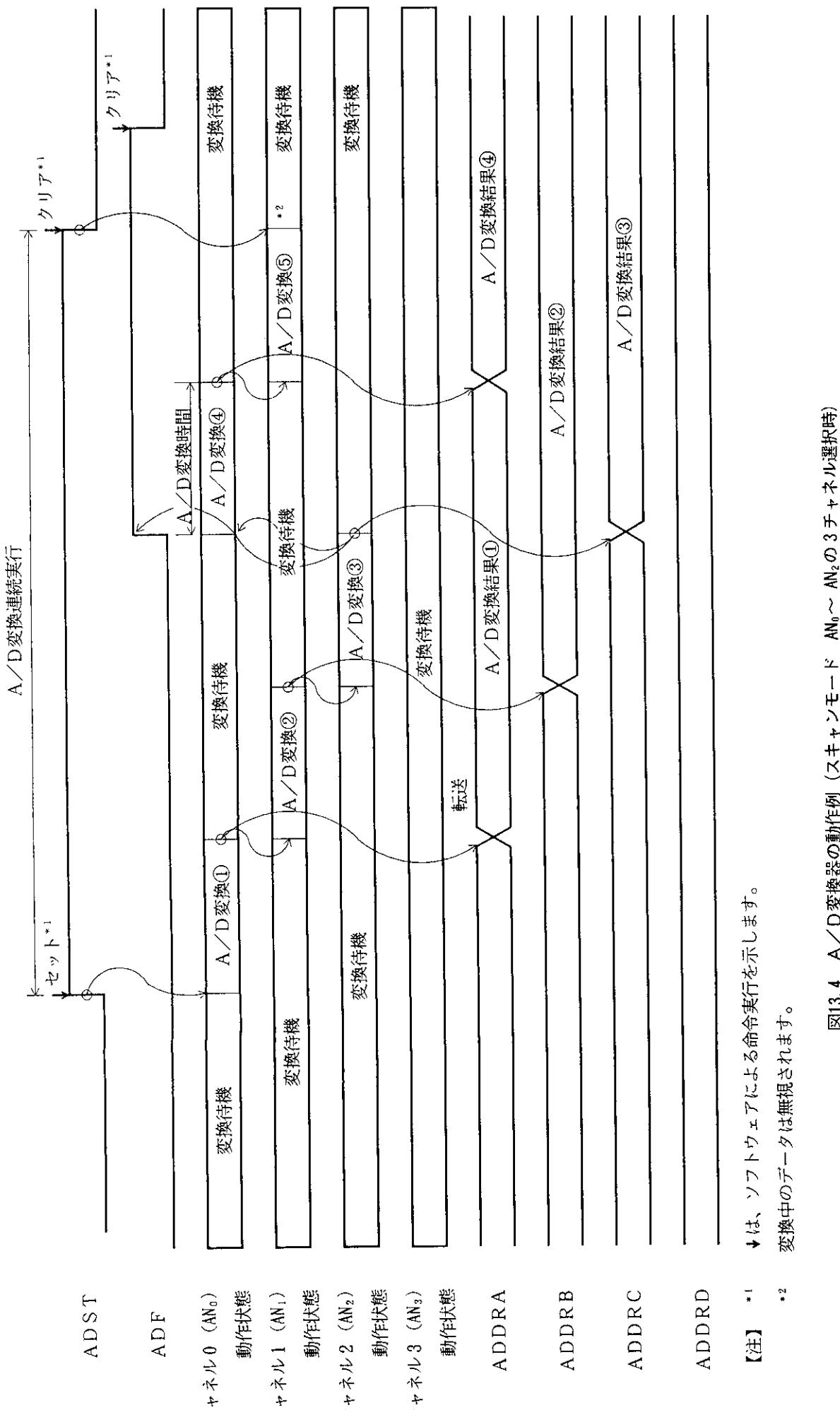
(3) 同様に第3チャネル(AN₂)まで変換を行います。

(4) 選択されたすべてのチャネル(AN₀～AN₂)の変換が終了すると、A D F = “1”となり、再び第1チャネル(AN₀)を選択し、変換が行われます。

このときA D I Eビットが“1”にセットされていると、A/D変換終了後、A D I割込みを発生します。

(5) A D S Tビットが“1”にセットされている間は、(2)～(4)を繰り返します。

A D S Tビットを“0”にクリアするとA/D変換が停止します。この後、A D S Tビットを“1”にセットすると再びA/D変換を開始し、第1チャネル(AN₀)から変換が行われます。

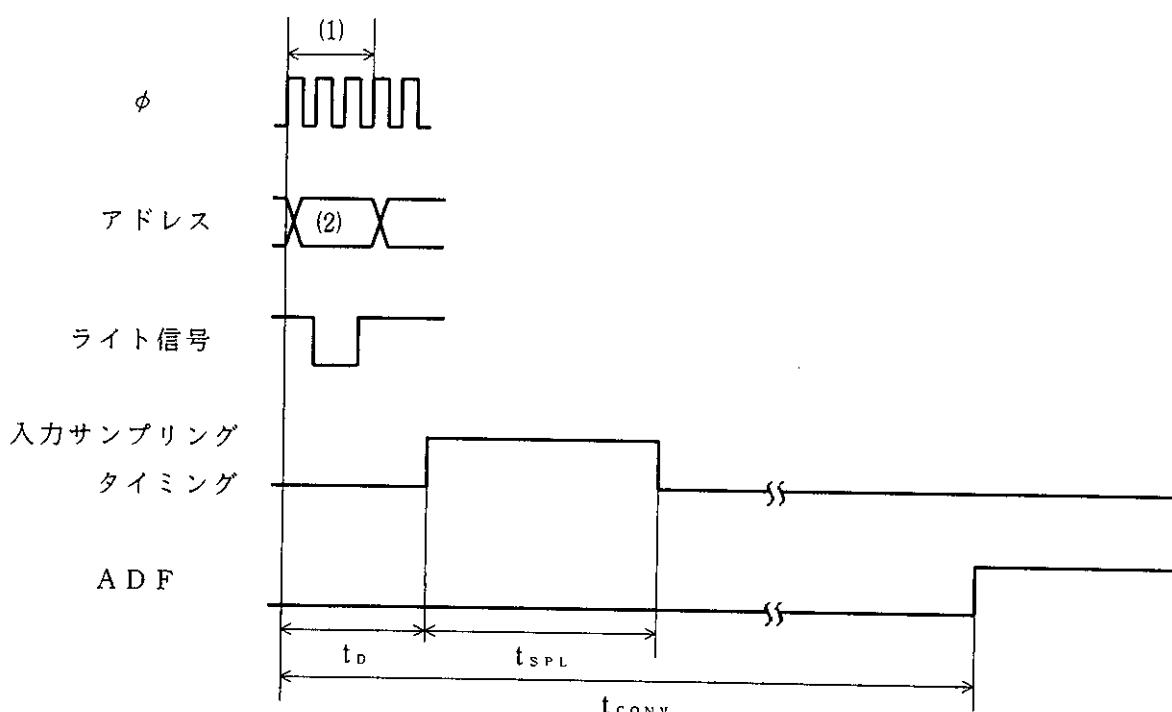


13.4.3 入力サンプリングとA/D変換時間

A/D変換器には、サンプル&ホールド回路が内蔵されています。A/D変換器は、ADSTビットが“1”にセットされてから t_D 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D変換のタイミングを図13.5に示します。また、A/D変換時間を表13.4に示します。

A/D変換時間は、図13.5に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADC SRへのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表13.4に示す範囲で変化します。

スキャンモードの変換時間は、表13.4に示す値が1回目の変換時間となります。2回目以降はCKS = “0”的場合は256ステート（固定）、CKS = “1”的場合は128ステート（固定）となります。（ $\phi_P = \phi$ の場合）



《記号説明》

- (1) : ADC SRライトサイクル
- (2) : ADC SRのアドレス
- t_D : A/D変換開始遅延時間
- t_{SPL} : 入力サンプリング時間
- t_{CONV} : A/D変換時間

図13.5 A/D変換タイミング

表13.4 A/D変換時間（單一モード）

記号	CKS = "0"	CKS = "1"					
		min	typ	max	min	typ	
A/D変換開始遅延時間	t_D	10	—	17	6	—	9
入力サンプリング時間*	t_{SPL}	—	80	—	—	40	—
A/D変換時間*	t_{CONV}	259	—	266	131	—	134

【注】 表中の数値の単位はステートです。

* $\phi_p = \phi$ の場合の数値です。 $\phi_p = \phi / 2$ の場合は2倍になります。

13.4.4 外部トリガ入力タイミング

A/D変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADC RのTRGEビットが“1”にセットされているとき、ADTRG端子から入力されます。ADTRG入力端子の立下がりエッジで、ADC S RのADSTビットが“1”にセットされ、A/D変換が開始されます。

その他の動作は、單一モード／スキャンモードによらず、ソフトウェアによってADSTビットを“1”にセットした場合と同じです。

このタイミングを図13.6に示します。

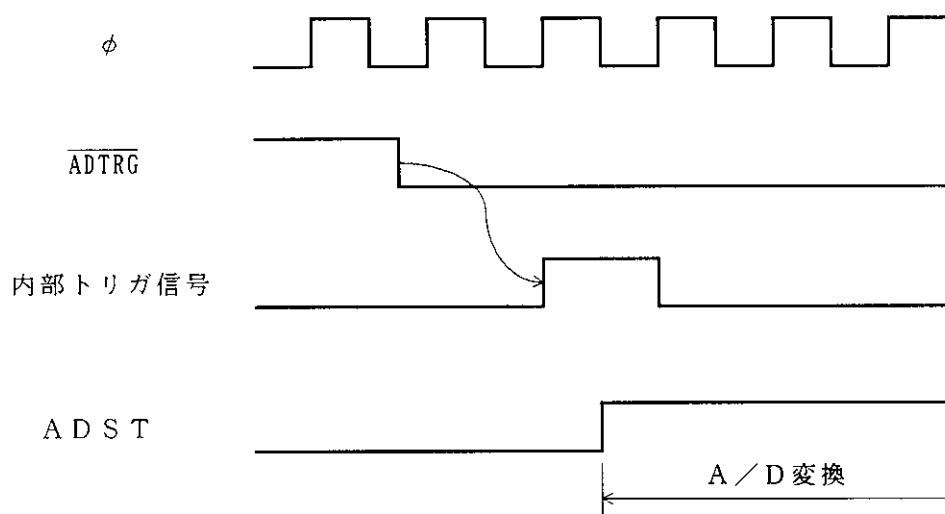


図13.6 外部トリガ入力タイミング

13.5 割込み

A/D変換器は、A/D変換の終了により、A/D変換終了割込み（A D I）を発生します。A D I割込み要求は、ADC S RのA D I Eビットで許可／禁止することができます。

13.6 使用上の注意

A/D変換器を使用する際は、以下のことに注意してください。

(1) アナログ入力電圧の範囲

A/D変換中、アナログ入力端子AN_nに印加する電圧はAV_{ss} ≤ AN_n ≤ AV_{cc}の範囲としてください。（n = 0 ~ 7）

(2) AV_{cc}、AV_{ss}入力電圧

AV_{cc}入力電圧は、AV_{ss} = V_{ss}としてください。A/D変換器を使用しない場合、AV_{cc} = V_{cc}、AV_{ss} = V_{ss}としてください。

14. RAM

第14章 目次

14.1 概要	291
14.1.1 ブロック図	291
14.1.2 システムコントロールレジスタ (SYSCR) の RAMイネーブルビット (RAME)	292
14.2 動作説明	292
14.2.1 拡張モード (モード1、2)	292
14.2.2 シングルチップモード (モード3)	292

14.1 概要

H 8 / 3534 は 1 k バイト、H 8 / 3522 は 512 バイトのスタティック RAM を内蔵しています。RAM は、CPU と 16 ビット幅のデータバスで接続されており、アクセスはバイトデータ、ワードデータにかかわらず 2 ステートで行われます。したがってデータの高速転送が可能です。

内蔵 RAM は、H 8 / 3534 では H' FB80 ~ H' FF7F、H 8 / 3522 では H' FD80 ~ H' FF7F に割り当てられており、システムコントロールレジスタ (SYSSCR) の RAM イネーブルビット (RAME) により、内蔵 RAM 有効または無効の制御を行います。

14.1.1 ブロック図

RAM のブロック図を図 14.1 に示します。

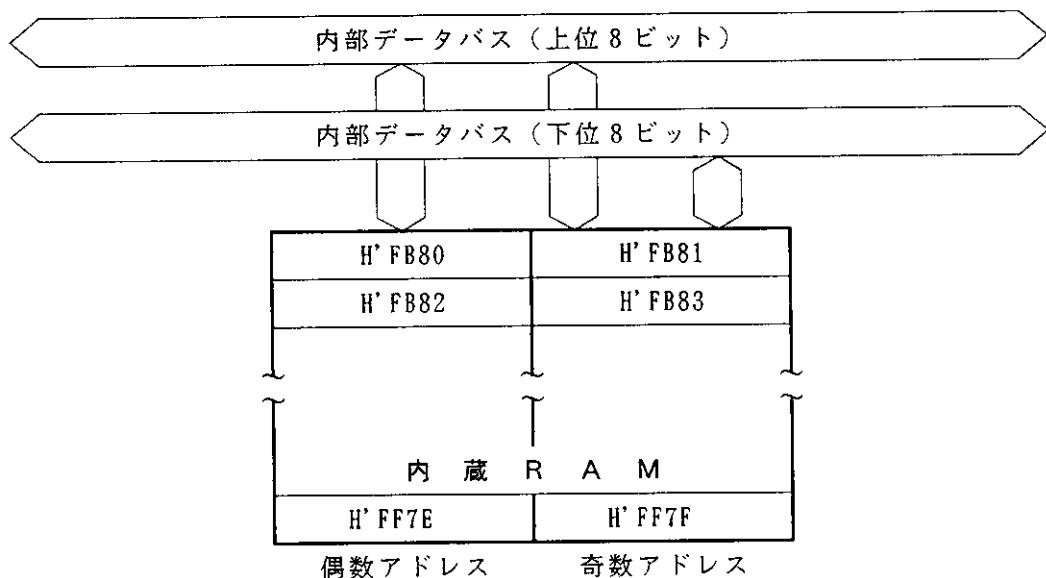


図 14.1 RAM のブロック図 (H 8 / 3534 の場合)

14.1.2 システムコントロールレジスタ (SYSCR) のRAMイネーブルビット (RAME)

ビット:	7	6	5	4	3	2	1	0
【H 8 / 3534】	SSBY	STS2	STS1	STS0	XRST	NMIEG	(HIE)	RAME

初期値: 0 0 0 0 1 0 0 1
 R/W: R/W R/W R/W R/W R R/W R/W R/W R/W

ビット:	7	6	5	4	3	2	1	0
【H 8 / 3522】	SSBY	STS2	STS1	STS0	XRST	NMIEG	—	RAME

初期値: 0 0 0 0 1 0 1 1
 R/W: R/W R/W R/W R/W R R/W — R/W

内蔵RAMは、SYSCRのRAMEビットによってイネーブル／ディスエーブルされます。なお、SYSCRのその他のビットについての詳細は、「3.2 システムコントロールレジスタ」を参照してください。

ビット0: RAMイネーブル (RAME)

内蔵RAM有効または無効を選択します。RAMEビットは、RES端子の立上がりでイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット0	説明	
RAME		
0	内蔵RAM無効	
1	内蔵RAM有効	(初期値)

14.2 動作説明

14.2.1 拡張モード (モード1、2)

RAMEビットが“1”にセットされているとき、H 8 / 3534ではH'FB80～H'FF7F、H 8 / 3522ではH'FD80～H'FF7Fをアクセスすると、内蔵RAMがアクセスされます。また、RAMEビットが“0”にクリアされているときは、外部アドレスとして、アクセスされます。

14.2.2 シングルチップモード (モード3)

RAMEビットが“1”にセットされているとき、H 8 / 3534ではH'FB80～H'FF7F、H 8 / 3522ではH'FD80～H'FF7Fをアクセスすると、内蔵RAMがアクセスされます。RAMEビットが“0”にクリアされているときは、内蔵RAMはアクセスされません。リードすると常にH'FFがリードされ、ライトは無効です。

15. ROM

第15章 目次

15.1 概要	295
15.1.1 ブロック図	295

15.1 概要

H 8 / 3534 は 32k バイト、H 8 / 3522 は 16k バイトの ROM を内蔵しています。ROM は、CPU と 16 ビット幅のデータバスで接続されており、アクセスはバイトデータ、ワードデータにかかわらず 2 ステートで行われます。したがって、データの高速転送が可能です。

内蔵 ROM 有効または無効の設定は、表 15.1 に示すように、モード端子 (MD₁、MD₀) により行います。

表 15.1 動作モードと ROM

動作モード	モード端子		内蔵 ROM
	MD ₁	MD ₀	
モード 1 (内蔵 ROM 無効拡張モード)	0	1	無効
モード 2 (内蔵 ROM 有効拡張モード)	1	0	有効
モード 3 (シングルチップモード)	1	1	有効

15.1.1 ブロック図

ROM のブロック図を図 15.1 に示します。

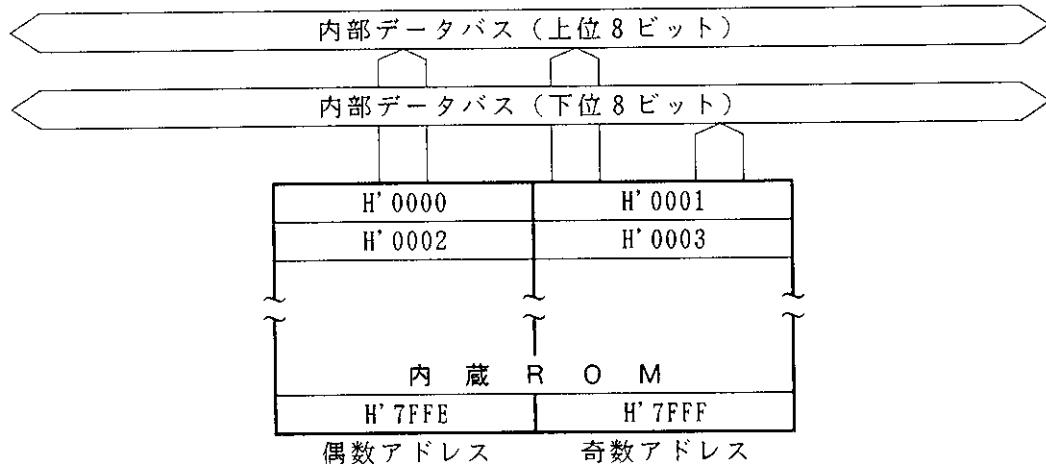


図 15.1 ROM のブロック図 (H 8 / 3534 シングルチップモードの場合)

16. 低消費電力状態

16

第16章 目次

16.1 概要	299
16.1.1 システムコントロールレジスタ (SYSCR)	300
16.2 スリープモード	301
16.2.1 スリープモードへの遷移	301
16.2.2 スリープモードの解除	301
16.3 ソフトウェアスタンバイモード	302
16.3.1 ソフトウェアスタンバイモードへの遷移	302
16.3.2 ソフトウェアスタンバイモードの解除	302
16.3.3 ソフトウェアスタンバイモード解除後の 発振安定待機時間の設定	302
16.3.4 ソフトウェアスタンバイモードの応用例	303
16.3.5 使用上の注意	303
16.4 ハードウェアスタンバイモード	304
16.4.1 ハードウェアスタンバイモードへの遷移	304
16.4.2 ハードウェアスタンバイモードの解除	304
16.4.3 ハードウェアスタンバイモードのタイミング	304

16.1 概要

本LSIには、CPU機能を停止して消費電力を低下させるスリープモードがあります。スリープモード以外に、次の2つのスタンバイモードを設定することが可能ですが、スタンバイモード時の消費電力については保証値を設定しないため、スタンバイモードの利用は推奨いたしません。

- (1) スリープモード
- (2) ソフトウェアスタンバイモード
- (3) ハードウェアスタンバイモード

各モードへ遷移する条件とCPUや周辺機能などの状態、および各モードからの解除方法を表16.1に示します。

表16.1 低消費電力状態

モード	遷移条件	状 態						解 除 方 法
		クロック	CPU	周辺機能	CPU レジスタ	RAM	I/O ポート	
スリープモード	SLEEP命令 の実行	動作	停止	動作	保持	保持	保持	・割込み ・RES端子 ・STBY端子
ソフトウェア スタンバイモード	SYSCRのSSBY ビットを“1” にセットした 後、SLEEP命令 を実行	停止	停止	停止 リセット	保持	保持	保持	・NMI端子 ・IRQ ₀ ～ IRQ ₂ 端子 IRQ ₆ 端子 (KEYIN ₀ ～ KEYIN ₇ 端子含む) ・RES端子 ・STBY端子
ハードウェア スタンバイモード	STBY端子を “Low”レベル	停止	停止	停止 リセット	不定	保持	ハイビ- ダンス	STBY端子と RES端子

〈記号説明〉

SYSCR : システムコントロールレジスタ

SSBY : ソフトウェアスタンバイビット

16.1.1 システムコントロールレジスタ (SYSCR)

本LSIは、8ビットのシステムコントロールレジスタ(SYSCR)のビット7のSSBYビット、ビット6～4のSTS2～0ビットの4ビットで低消費電力モードの制御を行います。

表16.2 レジスタ構成

名 称	略 称	R/W	アドレス
システムコントロールレジスタ	SYSCR	R/W	H'FFC4

ビット :	7	6	5	4	3	2	1	0
【H 8 / 3534】	SSBY	STS2	STS1	STS0	XRST	NMIEG	(HIE)	RAME
初期値 :	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
【H 8 / 3522】	SSBY	STS2	STS1	STS0	XRST	NMIEG	—	RAME
初期値 :	0	0	0	0	1	0	1	1
R/W :	R/W	R/W	R/W	R/W	R	R/W	—	R/W

ビット7：ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します。

なお、外部割込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したときこのビットは“1”にセットされたままです。クリアする場合は、“0”をライトしてください。

ビット7 SSBY	説 明	
0	SLEEP命令実行後、スリープモードに遷移	(初期値)
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移	

ビット6～4：スタンバイタイマセレクト2～0 (STS2～0)

外部割込みによって、ソフトウェアスタンバイモードを解除する場合に、クロックが安定するまでCPUと周辺機能が待機する時間を指定します。表16.3を参照し、動作周波数に応じて待機時間が8ms以上となるように指定してください。

ビット6	ビット5	ビット4	説明
S T S 2	S T S 1	S T S 0	
0	0	0	待機時間 = 8192ステート (初期値)
0	0	1	待機時間 = 16384ステート
0	1	0	待機時間 = 32768ステート
0	1	1	待機時間 = 65536ステート
1	0	-	待機時間 = 131072ステート
1	1	-	使用禁止

16.2 スリープモード

16.2.1 スリープモードへの遷移

SLEEP命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPUの動作は、SLEEP命令実行直後に停止します。CPUの動作は停止しますが、CPU内のレジスタの内容は保持されます。スリープモードでは内蔵周辺モジュールの機能は停止しません。

16.2.2 スリープモードの解除

スリープモードの解除は、割込み、RES端子、STBY端子によって行われます。

(1) 割込みによる解除

割込み要求が発生すると、割込み例外処理状態に遷移し、スリープモードは解除されます。なお、内蔵周辺モジュールによる割込みがディスエーブルされている場合、また、NMI以外の割込みで、Iビットが“1”にセットされている場合などは、割込み要求が受け付けられないため、スリープモードは解除されません。

(2) RES端子による解除

RES端子を“Low”レベルにするとリセット状態に遷移し、スリープモードは解除されます。

(3) STBY端子による解除

STBY端子を“Low”レベルにすると、ハードウェアスタンバイモードに遷移します。

16.3 ソフトウェアスタンバイモード

16.3.1 ソフトウェアスタンバイモードへの遷移

ソフトウェアスタンバイモードに遷移するには、SYSCTRのSSBYビットを“1”にセットした後、SLEEP命令を実行します。

ソフトウェアスタンバイモードでは、CPUだけでなく、クロックをはじめ、内蔵周辺モジュールの機能が停止します。内蔵周辺モジュールはリセット状態になり停止しますが、規定の電圧が与えられている限り、CPUのレジスタと内蔵RAMのデータは保持されています。I/Oポートの状態も保持されています。

16.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割込み(NMI端子、IRQ₀～IRQ₂端子、IRQ₆端子*(KEYIN₀～KEYIN₇を含む))、RES端子、またはSTBY端子によって行われます。

(1) 割込みによる解除

NMI、IRQ₀～IRQ₂、IRQ₆割込み要求信号*が入力されると、クロックの発振が開始され、SYSCTRのSTS2～0ビットによって設定された時間が経過した後、安定したクロックが、本LSI全体に供給されて、ソフトウェアスタンバイモードは解除され、割込み例外処理を開始します。この場合、ソフトウェアスタンバイに遷移する前に、IRQ₃～IRQ₅、IRQ₇割込みはディスエーブル(IRQ3E～IRQ5E、IRQ7E=0)としてください*。

【注】* H8/3534のみ、該当します。

(2) RES端子による解除

RES端子を“Low”レベルにすると、クロックの発振が開始されます。発振安定時間後、RES端子を“High”レベルにすると、CPUはリセット例外処理を開始します。リセットによる解除の場合、クロックの発振開始と同時に、本LSI全体にクロックが供給されます。RES端子は、必ずクロックの発振が安定するまで、“Low”レベルに保持してください。

(3) STBY端子による解除

STBY端子を“Low”レベルにすると、ハードウェアスタンバイモードに遷移します。

16.3.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定

SYSCTRのSTS2～0ビットの設定は、以下のようにしてください。

① 水晶発振の場合

待機時間が8ms以上となるようにSTS2～0を設定してください。表16.3に動作周波数とSTS2～0ビットの設定値に対する待機時間を示します。

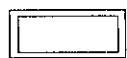
② 外部クロックの場合

任意の値を選択可能です。

表16.3 動作周波数と発振安定待機時間

STS2	STS1	STS0	待機時間	10MHz	8MHz	6MHz	4MHz
0	0	0	8192ステート	0.8	1.0	1.3	2.0
0	0	1	16384ステート	1.6	2.0	2.7	4.1
0	1	0	32768ステート	3.3	4.1	5.5	8.2
0	1	1	65536ステート	6.6	8.2	10.9	16.4
1	0	—	131072ステート	13.1	16.4	21.8	32.8

(単位: ms)



: 推奨設定時間

16.3.4 ソフトウェアスタンバイモードの応用例

ここでは、NMI端子の立下がりでソフトウェアスタンバイモードに遷移し、NMI端子の立上がりで解除を行う例を、図16.1に示します。

SYSCRのNMIエッジ(NMIEG)ビットが“0”(立下がりエッジ指定)の状態でNMI割込みを受け付けた後、NMIEGビットを“1”にセットします(立上がりエッジ指定)。そしてSSBYビットを“1”にセットした後、SLEEP命令を実行してソフトウェアスタンバイモードに遷移します。

その後、NMI端子の立上がりエッジで、ソフトウェアスタンバイモードが解除されます。

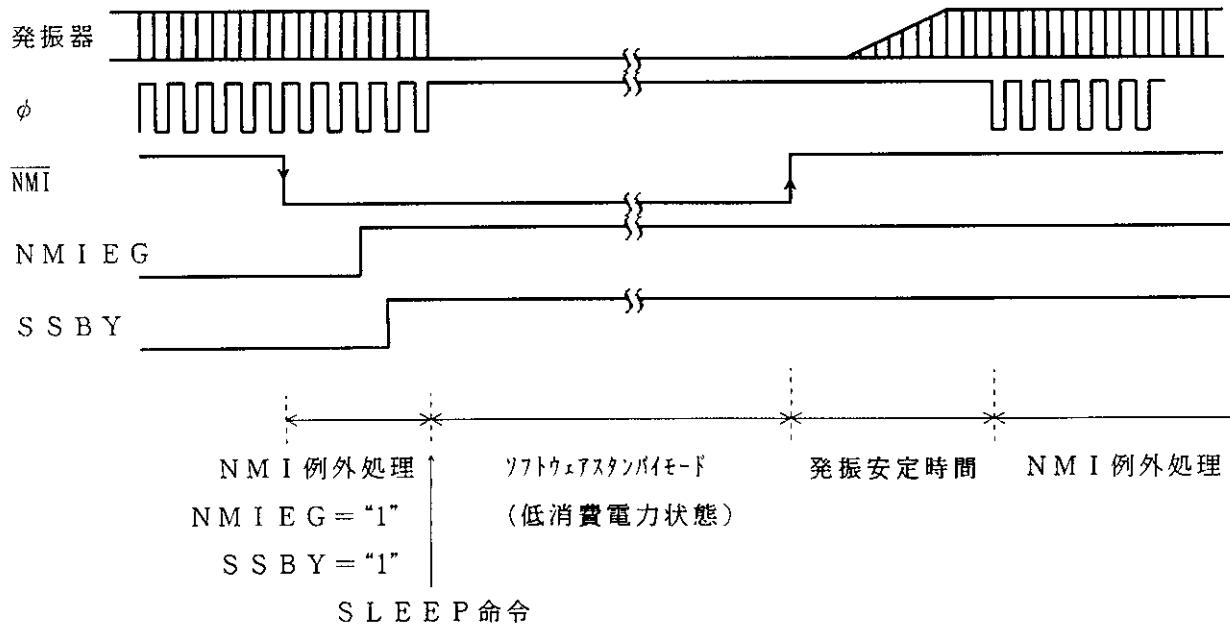


図16.1 ソフトウェアスタンバイモード時のNMIタイミング(応用例)

16.3.5 使用上の注意

ソフトウェアスタンバイモードでは、I/Oポートの状態が保持されます。したがって、出力電流分の消費電流は低減されません。

16.4 ハードウェアスタンバイモード

16.4.1 ハードウェアスタンバイモードへの遷移

STBY端子を“Low”レベルにすると、どの処理状態からでもハードウェアスタンバイモードに遷移します。

ハードウェアスタンバイモードでは、C.P.Uをはじめ内蔵周辺モジュール全体の機能が停止します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵RAMのデータは保持*されます。I/Oポートは、ハイインピーダンス状態になります。

- 【注】* 1. STBY端子を“Low”レベルにする前に、SYSCRのRAMEビットを“0”にクリアしてください。
2. ハードウェアスタンバイモード中に、モード端子(MD₁, MD₀)の状態を変化させないでください。

16.4.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、STBY端子とRES端子とで行われます。RES端子を“Low”レベルにした状態で、STBY端子を“High”レベルにすると、クロックは発振を開始します。このときRES端子は、必ずクロックの発振が安定するまで、“Low”レベルに保持してください。RES端子を“High”レベルにするとリセット例外処理を経て、プログラム実行状態に遷移します。

16.4.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミングを図16.2に示します。

RES端子を“Low”レベルにした後、STBY端子を“Low”レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、STBY端子を“High”レベルにし、クロックの発振安定時間経過後、RES端子を“Low”レベルから“High”レベルにすることにより行われます。

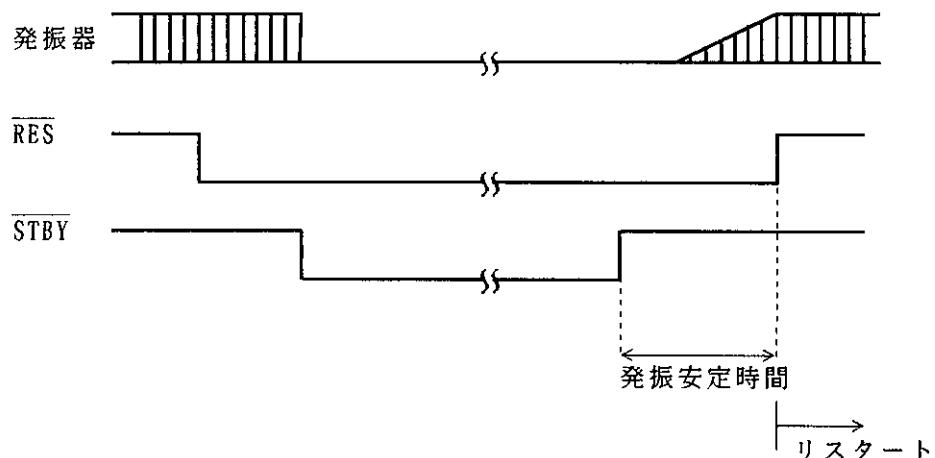


図16.2 ハードウェアスタンバイモードのタイミング

17. 電気的特性

17

第17章 目次

17.1 絶対最大定格	307
17.2 電気的特性	307
17.2.1 DC特性	307
17.2.2 AC特性	311
17.2.3 A/D変換器特性	314
17.3 MCU動作タイミング	315
17.3.1 バスタイミング	315
17.3.2 制御信号タイミング	317
17.3.3 16ビットフリーランニングタイマタイミング	320
17.3.4 8ビットタイマタイミング	320
17.3.5 PWMタイマタイミング【H8/3534】	321
17.3.6 SCIタイミング	322
17.3.7 I/Oポートタイミング	322
17.3.8 クロックタイミング	323

17.1 絶対最大定格

絶対最大定格を表17.1に示します。

表17.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V_{cc}	-0.3 ~ +7.0	V
入力電圧（ポート7以外）	V_{in}	-0.3 ~ $V_{cc} + 0.3$	V
入力電圧（ポート7）	V_{in}	-0.3 ~ $AV_{cc} + 0.3$	V
アナログ電源電圧	AV_{cc}	-0.3 ~ +7.0	V
アナログ入力電圧	V_{AN}	-0.3 ~ $AV_{cc} + 0.3$	V
動作温度	T_{opr}	-20 ~ +75	°C
保存温度	T_{stg}	-55 ~ +125	°C

【使用上の注意】

絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

17.2 電気的特性

17.2.1 DC特性

DC特性を表17.2、出力許容電流値を表17.3に示します。

表17.2(a) H 8 / 3 5 3 4 の DC 特性

【暫定仕様】

[条件: $V_{cc} = 5.0V \pm 10\%$ 、 $AV_{cc} = 5.0V \pm 10\%^{*1}$ 、 $V_{ss} = AV_{ss} = 0V$ 、 $T_a = -20^\circ C \sim +75^\circ C$]

項目		記号	min	typ	max	単位	測定条件
シユミットトリガ 入力電圧	P6 ₇ ~P6 ₀ ^{*3} 、 <u>IRQ₂</u> ~ <u>IRQ₀</u> ^{*4} 、 <u>IRQ₇</u> ~ <u>IRQ₃</u>	(1)	V _{T-}	1.0	—	—	V
			V _{T+}	—	—	$V_{cc} \times 0.7$	
			V _{T+} ~V _{T-}	0.4	—	—	
入力 "High" レベル電圧	<u>RES</u> 、 <u>STBY</u> 、MD ₁ 、MD ₀ 、 EXTAL、 <u>NMI</u>	(2)	V _{TH}	V _{cc} -0.7	—	$V_{cc}+0.3$	V
	P7 ₇ ~P7 ₀			2.0	—	$AV_{cc}+0.3$	
	上記(1)、(2)以外の入力端子			2.0	—	$V_{cc}+0.3$	
入力 "Low" レベル電圧	<u>RES</u> 、 <u>STBY</u> 、MD ₁ 、MD ₀	(3)	V _{TL}	-0.3	—	0.5	$I_{OH} = -200 \mu A$
	上記(1)、(3)以外の入力端子			-0.3	—	0.8	
出力 "High" レベル電圧	全出力端子	V _{OH}	V _{cc} -0.5	—	—	—	$I_{OL} = -1.0mA$
				3.5	—	—	
出力 "Low" レベル電圧	全出力端子	V _{OL}	—	—	0.4	—	$I_{OL} = 1.6mA$
	P1 ₇ ~P1 ₀ 、P2 ₇ ~P2 ₀			—	—	1.0	
入力リード電流	<u>RES</u> 、 <u>STBY</u>	I _{in}	—	—	10.0	$V_{in} = 0.5V \sim V_{cc} - 0.5V$	
	<u>NMI</u> 、MD ₁ 、MD ₀			—	—	1.0	
	P7 ₇ ~P7 ₀			—	—	1.0	
スリーステート リード電流 (オフ状態)	ポート1~6 ポート8、9	I _{TS1}	—	—	1.0	μA	$V_{in} = 0.5V \sim V_{cc} - 0.5V$
入力プルアップ MOS電流	ポート1~3	-I _P	30	—	250	$V_{in} = 0V$	
	ポート6			60	—	500	
入力容量	<u>RES</u> 、 <u>STBY</u>	(4)	C _{in}	—	—	60	$V_{in} = 0V$, $f = 1MHz$, $T_a = 25^\circ C$
	<u>NMI</u> 、MD ₁			—	—	50	
	P9 ₇ 、P8 ₆			—	—	20	
	上記(4)以外の全入力端子			—	—	15	
消費電流 ^{*2}	通常動作時	I _{cc}	—	23	40	$f = 10MHz$	
	スリープ時			—	15		$f = 10MHz$
アナログ電源電流	A/D変換中	AI _{cc}	—	2.0	5.0	mA	
アナログ電源電圧 ^{*1}		AV _{cc}	4.5	—	5.5	V	動作時
				2.0	—		待機時、非使用時

【注】^{*1} A/D変換器を使用しない場合でも、AV_{cc}は電源(V_{cc})に接続するなどの方法で2.0V~5.5Vの範囲の電圧を印加してください。

^{*2} $V_{TH min} = V_{cc} - 0.5V$ 、 $V_{TL max} = 0.5V$ 、すべての出力端子を無負荷状態および入力プルアップMOSをOFF状態にした場合の値です。

^{*3} P6₇~P6₀には、それと兼用の周辺機能入力を含みます。

^{*4} IRQ₂には、それと兼用のADTRGを含みます。

表17.2(b) H 8 / 3522 の D C 特性

【暫定仕様】

〔条件: $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%^{*1}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20^\circ C \sim +75^\circ C$ 〕

項目	記号	min	typ	max	単位	測定条件
シユミットトリガ 入力電圧	V_{T^-}	1.0	—	—	V	
	V_{T^+}	—	—	$V_{CC} \times 0.7$		
	$V_{T^+} - V_{T^-}$	0.4	—	—		
入力 "High" レベル電圧	V_{IH}	$V_{CC} - 0.7$	—	$V_{CC} + 0.3$	V	
		2.0	—	$AV_{CC} + 0.3$		
		2.0	—	$V_{CC} + 0.3$		
入力 "Low" レベル電圧	V_{IL}	—0.3	—	0.5		$I_{OH} = -200 \mu A$
		—0.3	—	0.8		
出力 "High" レベル電圧	V_{OH}	$V_{CC} - 0.5$	—	—		$I_{OH} = -1.0mA$
		3.5	—	—		
出力 "Low" レベル電圧	V_{OL}	—	—	0.4		$I_{OL} = 1.6mA$
		—	—	1.0		
入力リード電流	$ I_{IN} $	—	—	10.0		$V_{IN} = 0.5V \sim V_{CC} - 0.5V$
		—	—	1.0		$V_{IN} = 0.5V \sim V_{CC} - 0.5V$
		—	—	1.0		$V_{IN} = 0.5V \sim V_{CC} - 0.5V$
スリーステート リード電流 (オフ状態)	$ I_{TS }$	—	—	1.0	μA	$V_{IN} = 0.5V \sim V_{CC} - 0.5V$
入力プルアップ MOS電流	$-I_P$	30	—	250		$V_{IN} = 0V$
入力容量	C_{IN}	—	—	60	pF	$V_{IN} = 0V$
		—	—	30		$f = 1MHz$
		—	—	15		$T_a = 25^\circ C$
消費電流 ^{*2}	I_{CC}	—	23	40	mA	$f = 10MHz$
		—	15	25		$f = 10MHz$
アナログ電源電流	$AICC$	—	2.0	5.0	mA	
アナログ電源電圧 ^{*1}	AV_{CC}	4.5	—	5.5	V	動作時
		2.0	—	5.5		待機時、非使用時

【注】^{*1} A/D変換器を使用しない場合でも、 AV_{CC} は電源(V_{CC})に接続するなどの方法で $2.0V \sim 5.5V$ の範囲の電圧を印加してください。

^{*2} $V_{IN \ min} = V_{CC} - 0.5V$ 、 $V_{IN \ max} = 0.5V$ 、すべての出力端子を無負荷状態および入力プルアップMOSをOFF状態にした場合の値です。

^{*3} $P_{6_7} \sim P_{6_0}$ には、それと兼用の周辺機能入力を含みます。

^{*4} IRQ_2 には、それと兼用のADTRGを含みます。

表17.3 出力許容電流

【暫定仕様】

〔条件： $V_{CC} = 4.5V \sim 5.5V$ 、 $\Delta V_{CC} = 4.5V \sim 5.5V$ 、 $V_{SS} = \Delta V_{SS} = 0V$ 、 $T_a = -20^\circ C \sim +75^\circ C$ 〕

項目	記号	min	typ	max	単位
出力 "Low" レベル許容電流 (1端子あたり)	I_{OL}	—	—	10	mA
上記以外の出力端子		—	—	2	
出力 "Low" レベル許容電流 (総和)	ΣI_{OL}	—	—	80	mA
上記を含む全出力端子の総和		—	—	120	
出力 "High" レベル許容電流 (1端子あたり)	$-I_{OH}$	—	—	2	mA
出力 "High" レベル許容電流 (総和)	$\Sigma -I_{OH}$	—	—	40	

【使用上の注意】

LSIの信頼性確保のため、出力電流値は表17.3の値を超えないようにしてください。

特に、ダーリントントランジスタまたはLEDを直接駆動する場合は、出力に必ず電流制限抵抗を挿入してください（図17.1、図17.2を参照）。



図17.1 ダーリントントランジスタ駆動回路

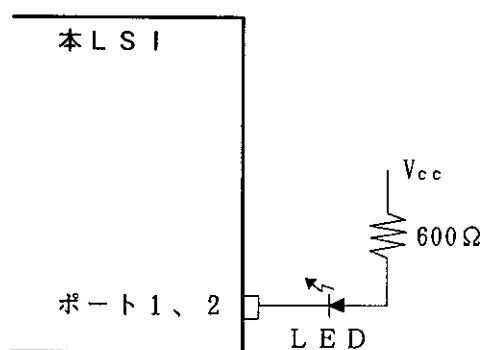


図17.2 LED駆動回路

17.2.2 AC特性

AC特性として表17.4にバスタイミングを、表17.5に制御信号タイミングを、表17.6に内蔵周辺モジュールタイミングを、表17.7には外部クロック出力遅延タイミングを示します。

表17.4 バスタイミング

【暫定仕様】

〔条件： $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $\phi = 4MHz$ ～最大動作周波数、 $T_a = -20^{\circ}C \sim +75^{\circ}C$ 〕

項目	記号	10MHz		単位	測定条件
		min	max		
クロックサイクル時間	t_{cy_c}	100	250	ns	図17.4
クロックパルス幅“LOW”	t_{CL}	35	—		
クロックパルス幅“High”	t_{CH}	35	—		
クロック立ち上がり時間	t_{cr}	—	15		
クロック立ち下がり時間	t_{cr}	—	15		
アドレス遅延時間	t_{AD}	—	50		
アドレスホールド時間	t_{AH}	20	—		
アドレスストローブ遅延時間	t_{ASD}	—	40		
ライトストローブ遅延時間	t_{WSD}	—	50		
ストローブ遅延時間	t_{SD}	—	50		
ライトストローブパルス幅*	t_{WSW}	120	—		
アドレスセットアップ時間1*	t_{AS1}	15	—		
アドレスセットアップ時間2*	t_{AS2}	65	—		
リードデータセットアップ時間	t_{RDS}	35	—		
リードデータホールド時間*	t_{RDH}	0	—		
リードデータアクセス時間*	t_{ACC}	—	170	図17.5	図17.5
ライトデータ遅延時間	t_{WDD}	—	75		
ライトデータセットアップ時間	t_{WDS}	5	—		
ライトデータホールド時間	t_{WDH}	20	—		
ウェイトセットアップ時間	t_{WTS}	40	—		
ウェイトホールド時間	t_{WTH}	10	—		

【注】* 最大動作周波数時の値

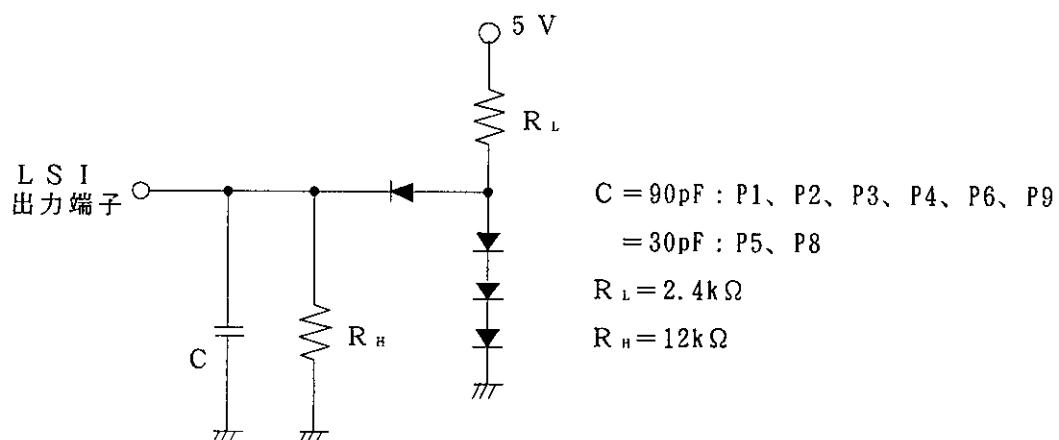
表17.5 制御信号タイミング

【暫定仕様】

[条件: $V_{cc} = 5.0V \pm 10\%$ 、 $V_{ss} = 0V$ 、 $\phi = 4\text{MHz} \sim \text{最大動作周波数}$ 、 $T_a = -20^\circ\text{C} \sim +75^\circ\text{C}$]

項目	記号	10MHz		単位	測定条件
		min	max		
RESセットアップ時間	t_{RESS}	200	—	ns	図17.6
RESバス幅	t_{RESW}	10	—	t_{cyc}	
NMIセットアップ時間 (NMI、IRQ _{0~7})	t_{NMIS}	150	—	ns	図17.7
NMIホールド時間 (NMI、IRQ _{0~7})	t_{NMIH}	10	—		
割込みバス幅(NMI、IRQ _{0~2,6}) (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200	—	ms	図17.8
リセット発振安定時間(水晶)	t_{osc1}	20	—		
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{osc2}	8	—		図17.9

■ A C 特性測定条件



入出力タイミング参照レベル

"Low" レベル: 0.8V

"High" レベル: 2.0V

図17.3 A C 特性測定条件

表17.6 内蔵周辺モジュールタイミング

【暫定仕様】

〔条件： $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $\phi = 4 MHz$ ～最大動作周波数、 $T_a = -20^{\circ}C \sim +75^{\circ}C$ 〕

項目	記号	10MHz		単位	測定条件
		min	max		
FRT	タイマ出力遅延時間	t_{FTOD}	—	100	ns 図17.10
	タイマ入力セットアップ時間	t_{FTIS}	50	—	
	タイマクロック入力セットアップ時間	t_{FTCS}	50	—	
	タイマクロックパルス幅	t_{FTCWH} t_{FTCWL}	1.5	—	
TMR	タイマ出力遅延時間	t_{TMOD}	—	100	ns 図17.12 図17.14 図17.13
	タイマリセット入力セットアップ時間	t_{TMRS}	50	—	
	タイマクロック入力セットアップ時間	t_{TMCS}	50	—	
	タイマクロックパルス幅	t_{TMCHW} t_{TMCHL}	1.5 2.5	—	
PWM	タイマ出力遅延時間【H8/3534】	t_{PWOD}	—	100	ns 図17.15
SCI	入力クロックサイクル	t_{scyc}	4	—	t _{cyc} 図17.16
	調歩同期		6	—	
	クロック同期	t_{txd}	—	100	
	送信データ遅延時間(クロック同期)	t_{rxs}	100	—	
PORT	受信データセットアップ時間(クロック同期)	t_{rxh}	100	—	ns 図17.18
	受信データホールド時間(クロック同期)	t_{sckw}	0.4	0.6	
	入力クロックパルス幅	t_{prw}	—	100	
	出力データ遅延時間	t_{prs}	50	—	
	入力データセットアップ時間	t_{prh}	50	—	
	入力データホールド時間				

表17.7 外部クロック出力遅延タイミング

【暫定仕様】

〔条件： $V_{CC} = 4.5V \sim 5.5V$ 、 $AV_{CC} = 4.5V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20^{\circ}C \sim +75^{\circ}C$ 〕

項目	記号	規格値		単位	備考
		min	max		
外部クロック出力遅延時間	t_{DEXT}^*	500	—	μs	図17.19

【注】* t_{DEXT} は、RBSパルス幅(t_{resw})を10t_{cyc}含みます。

17.2.3 A/D 変換器特性

A/D 変換器特性を表17.8に示します。

表17.8 A/D 変換器特性

【暫定仕様】

[条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = AV_{SS} = 0V$ 、
 $\phi = 4 MHz \sim$ 最大動作周波数、 $T_a = -20^\circ C \sim +75^\circ C$]

項 目	10MHz			単 位
	min	typ	max	
分解能	10	10	10	ビット
変換時間 (单一モード) *	—	—	13.4	μs
アナログ入力容量	—	—	20	pF
許容信号源インピーダンス	—	—	10	k Ω
非直線性誤差	—	—	± 3.0	LSB
オフセット誤差	—	—	± 3.5	LSB
フルスケール誤差	—	—	± 3.5	LSB
量子化誤差	—	—	± 0.5	LSB
絶対精度	—	—	± 4.0	LSB

【注】* 最大動作周波数時の値

17.3 MCU動作タイミング

動作タイミングを以下に示します。

17.3.1 バスタイミング	図17.4～17.5
17.3.2 制御信号タイミング	図17.6～17.9
17.3.3 16ビットフリーランニングタイマタイミング	図17.10、17.11
17.3.4 8ビットタイマタイミング	図17.12～17.14
17.3.5 PWMタイマタイミング	図17.15
17.3.6 SCIタイミング	図17.16、17.17
17.3.7 I/Oポートタイミング	図17.18
17.3.8 外部クロック出力タイミング	図17.19

17.3.1 バスタイミング

(1) 拡張モード時基本バスサイクル（ウェイトステートなし）

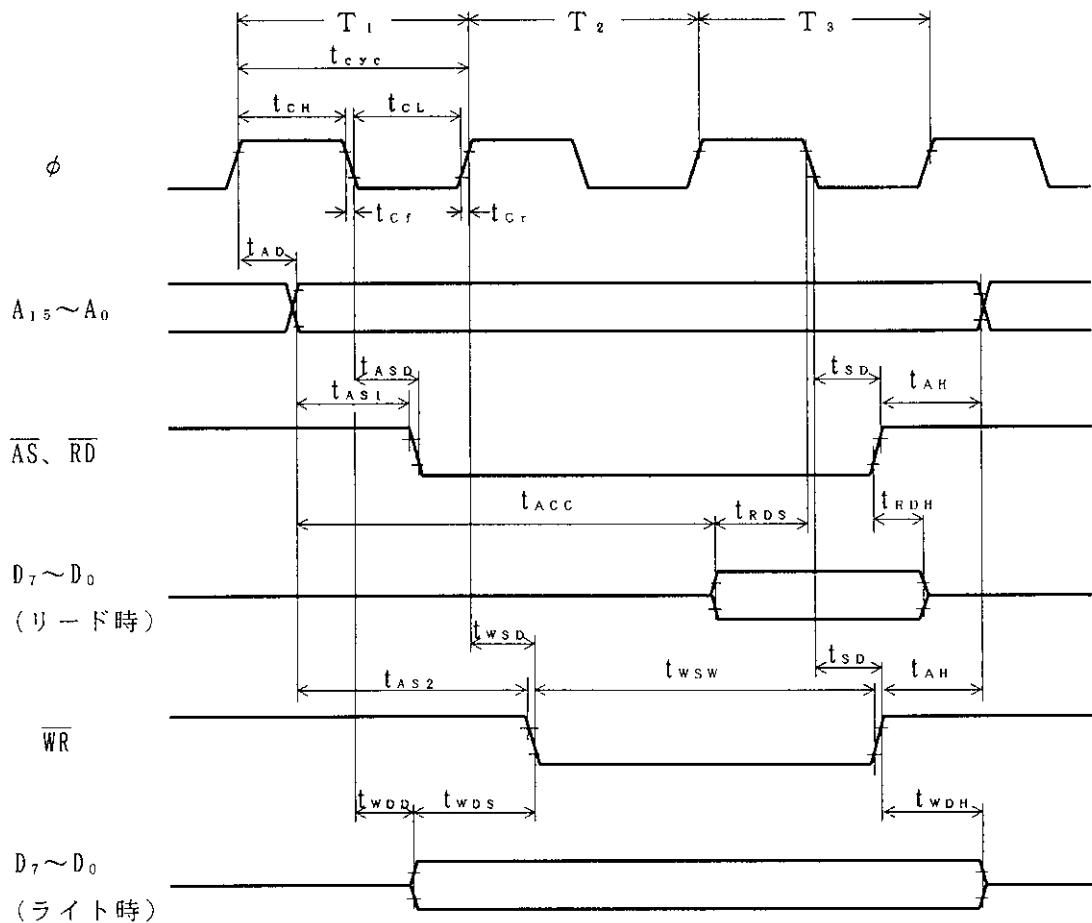


図17.4 拡張モード時基本バスサイクル（ウェイトステートなし）

(2) 拡張モード時基本バスサイクル（1ウェイトステート）

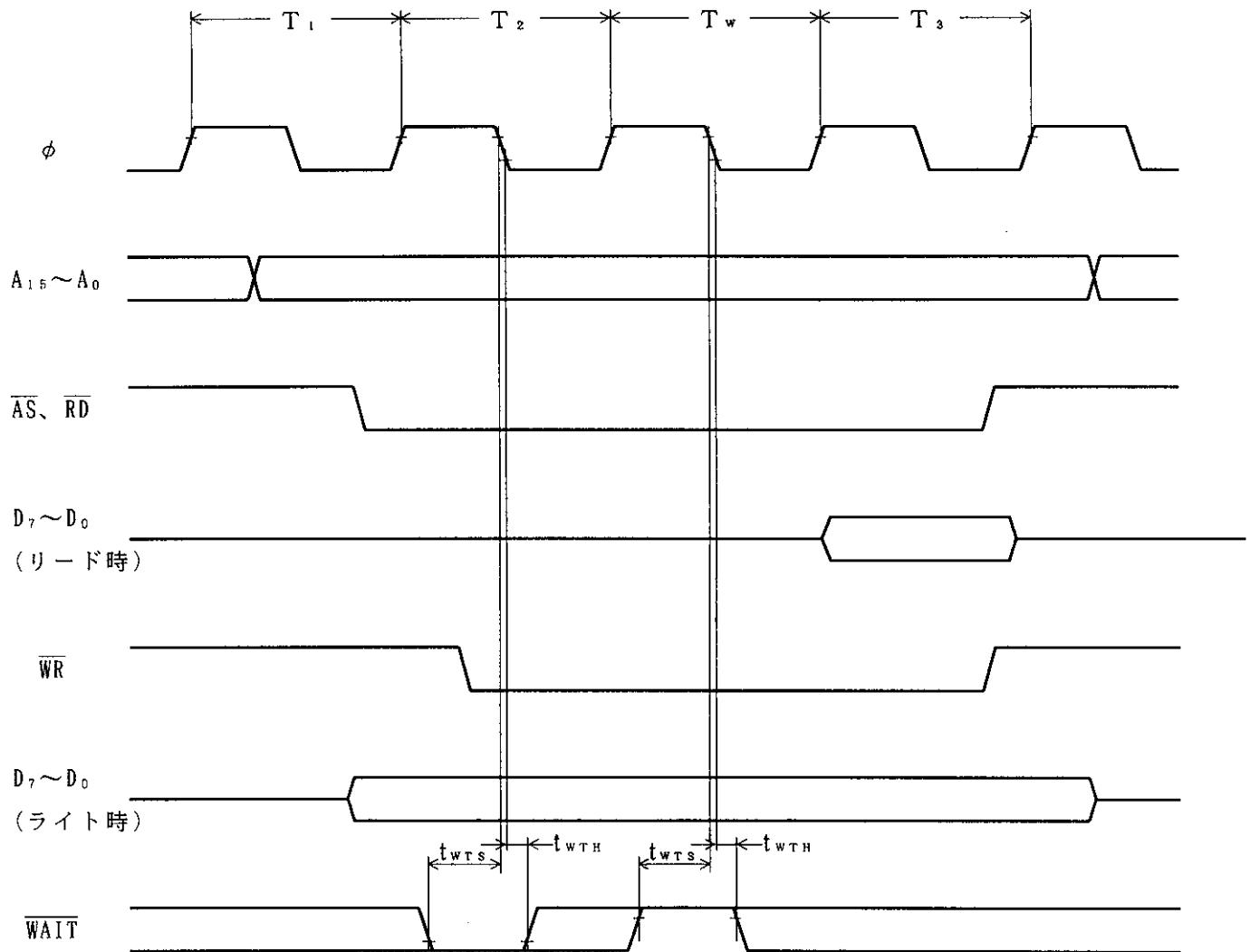


図17.5 拡張モード（モード1、2）時基本バスサイクル（1ウェイトステート）

17.3.2 制御信号タイミング

(1) リセット入力タイミング

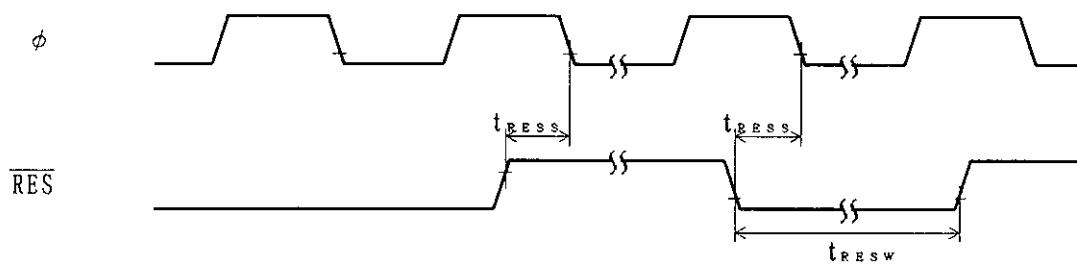
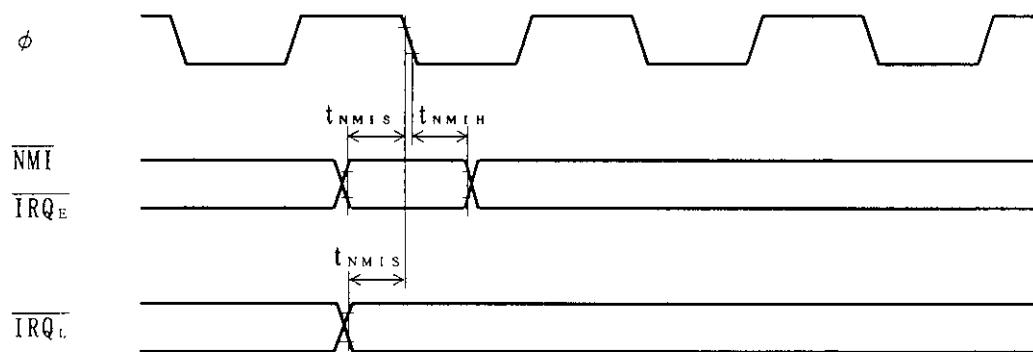


図17.6 リセット入力タイミング

(2) 割込み入力タイミング



$\overline{IRQ_E}$: $\overline{IRQ_i}$ がエッジ指定の場合 ($i = 0 \sim 7$)
 $\overline{IRQ_L}$: $\overline{IRQ_i}$ がレベル指定の場合

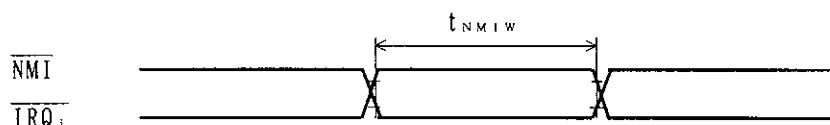


図17.7 割込み入力タイミング

(3) 発振安定時間タイミング

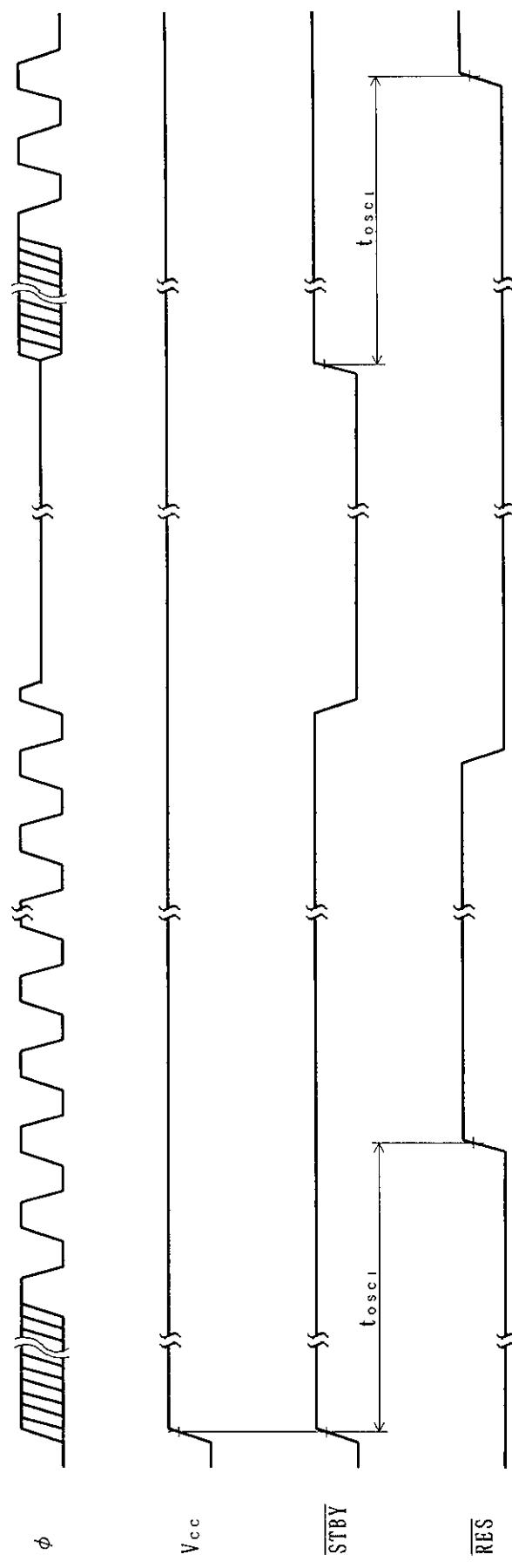


図17.8 発振安定時間タイミング

(4) 発振安定時間タイミング（ソフトウェアスタンバイからの復帰）

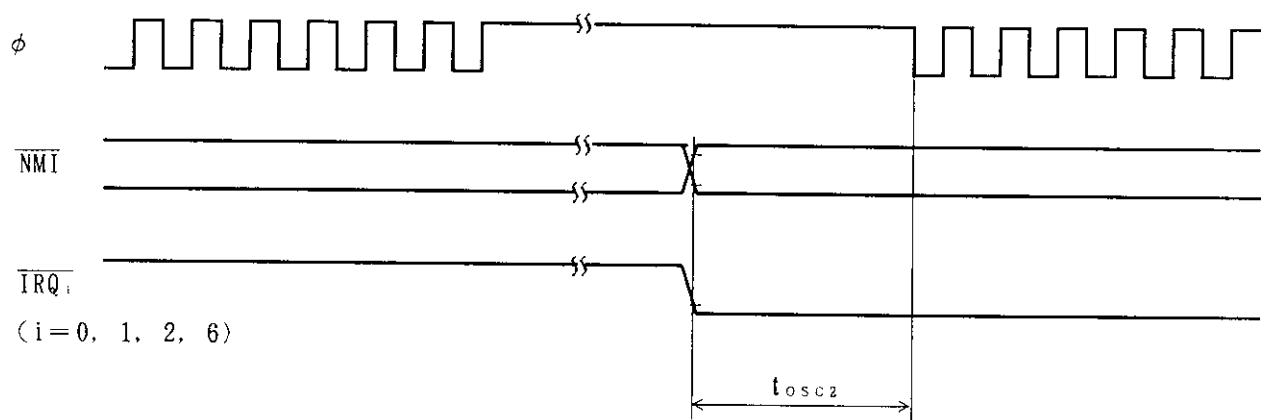


図17.9 発振安定時間タイミング（ソフトウェアスタンバイからの復帰）

17.3.3 16ビットフリーランニングタイマタイミング

(1) フリーランニングタイマ入出力タイミング

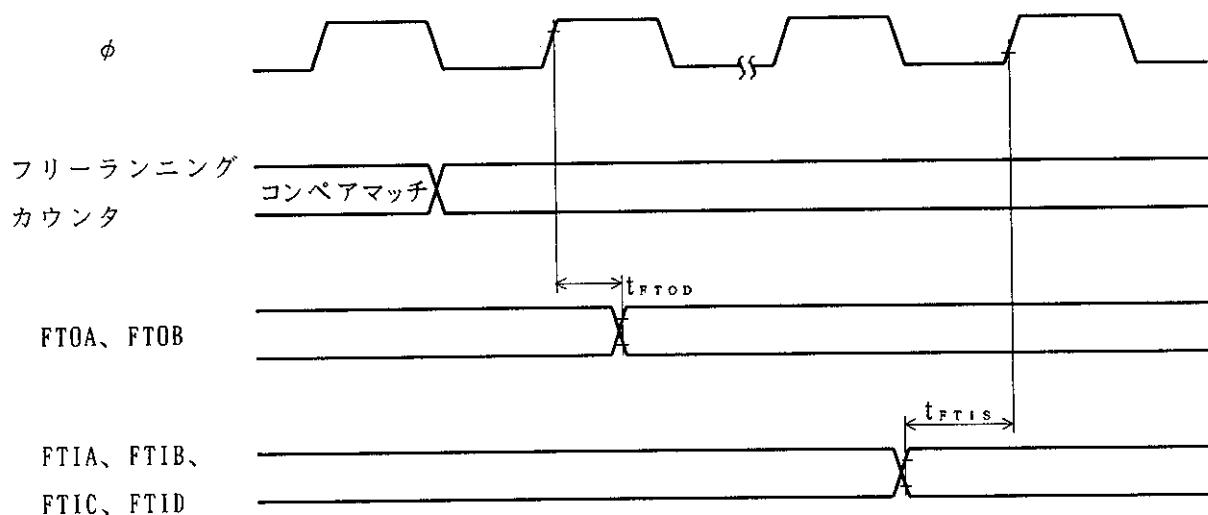


図17.10 フリーランニングタイマ入出力タイミング

(2) フリーランニングタイマ外部クロック入力タイミング

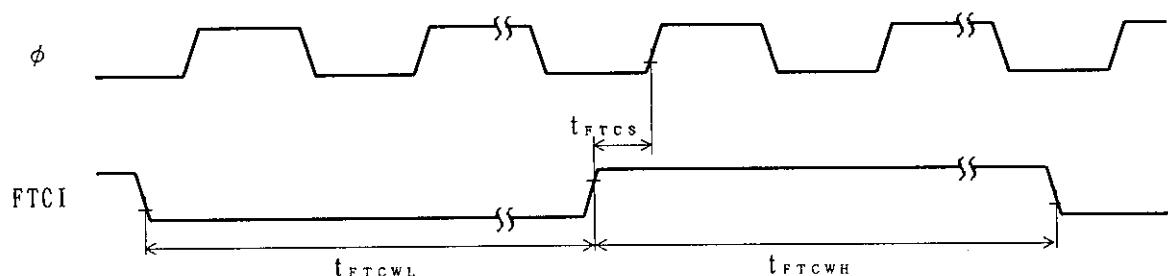


図17.11 フリーランニングタイマ外部クロック入力タイミング

17.3.4 8ビットタイマタイミング

(1) 8ビットタイマ出力タイミング

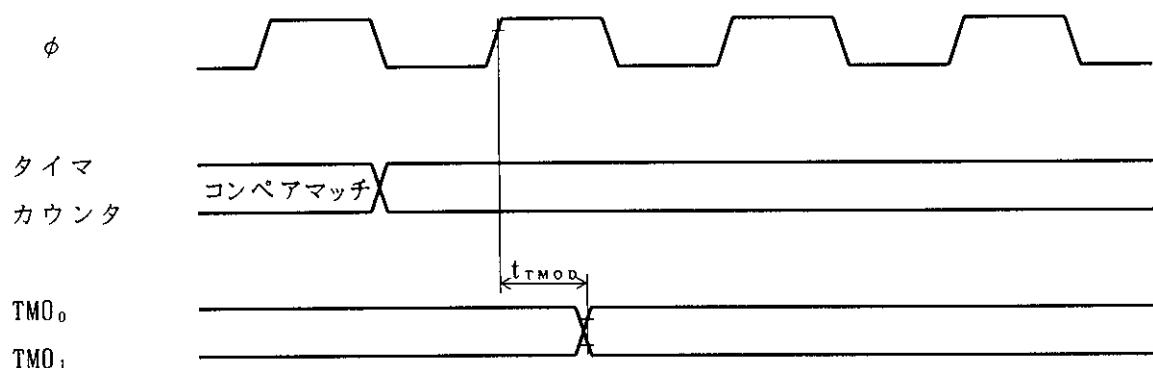


図17.12 8ビットタイマ出力タイミング

(2) 8ビットタイマクロック入力タイミング

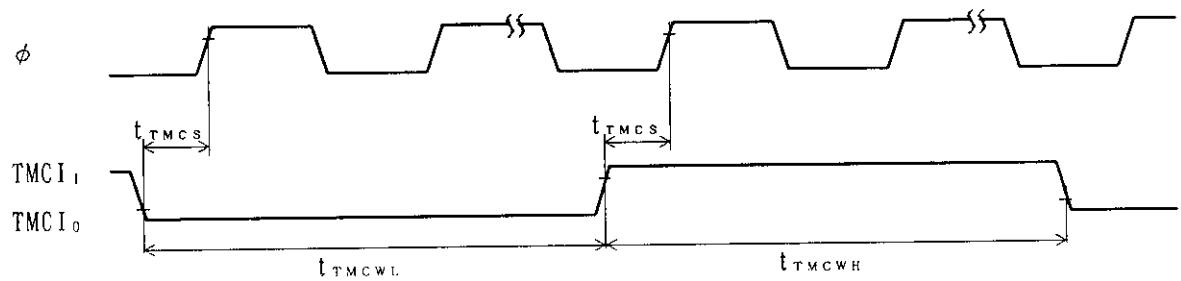


図17.13 8ビットタイマクロック入力タイミング

(3) 8ビットタイマリセット入力タイミング

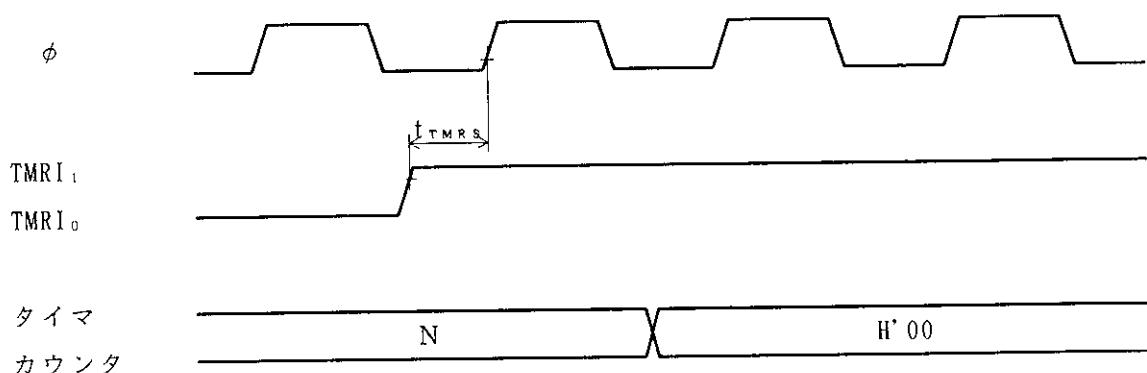


図17.14 8ビットタイマリセット入力タイミング

17.3.5 PWMタイマタイミング【H 8／3534】

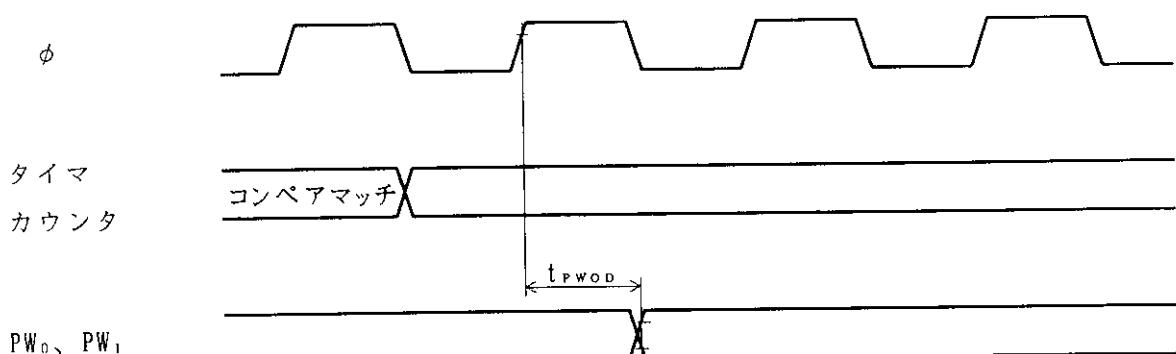


図17.15 PWMタイマ出力タイミング

17.3.6 SCI タイミング

(1) SCI 入出力タイミング

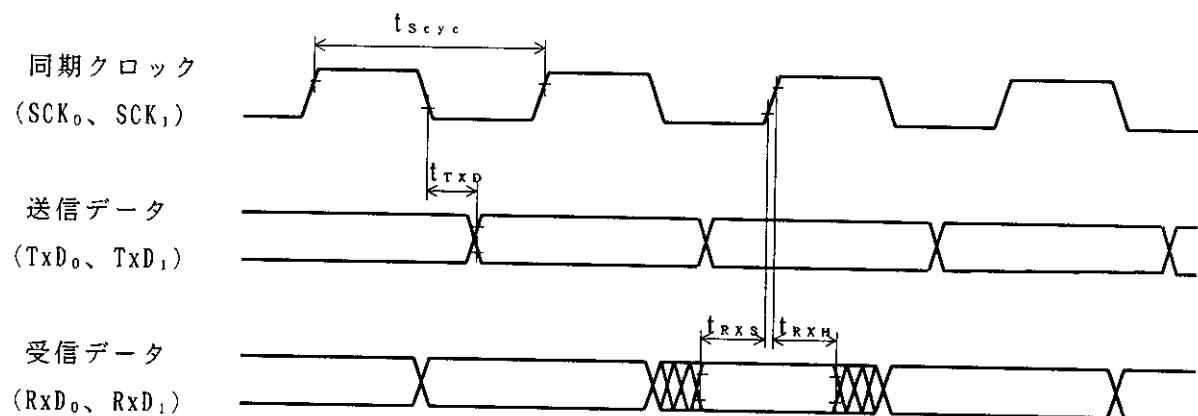


図17.16 SCI 入出力タイミング（クロック同期モード）

(2) SCI 入力クロックタイミング

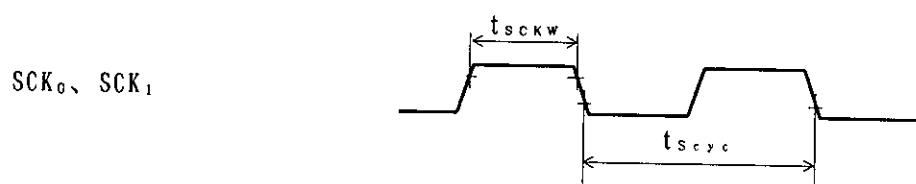
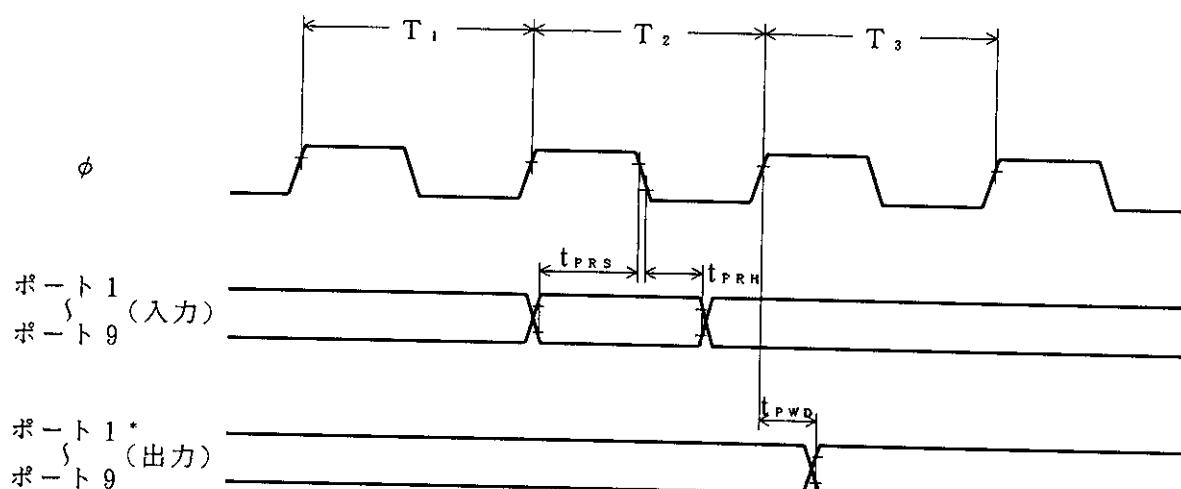


図17.17 SCI 入力クロックタイミング

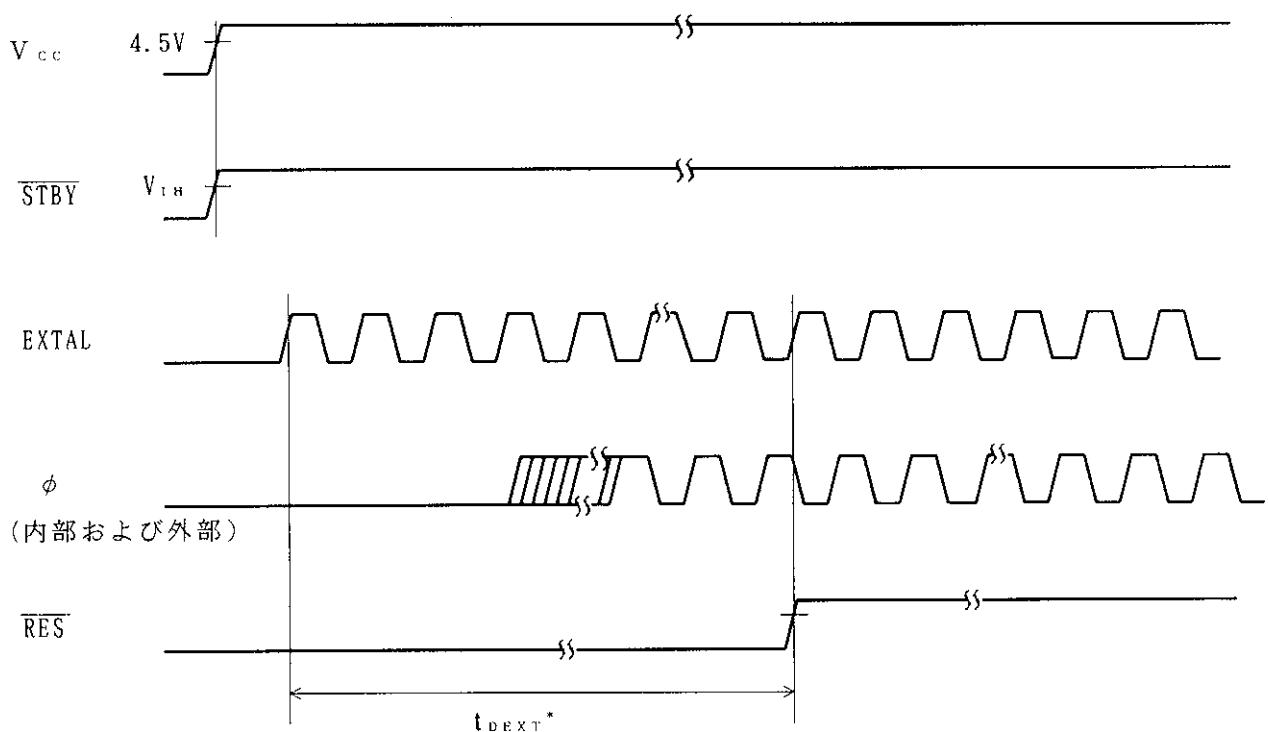
17.3.7 I/O ポートタイミング



【注】* P7₇～P7₀、P9₆は除く【H8／3534】、
P7₇～P7₀、P4₆は除く【H8／3522】

図17.18 I/O ポート入出力タイミング

17.3.8 外部クロック出力タイミング



【注】* $t_{D_{EXT}}$ は、 \overline{RES} パルス幅 (t_{RESW}) を $10t_{cycle}$ 含みます。

図17.19 外部クロック出力遅延タイミング

付録

付録

付録 目次

A. 命令	327
A.1 命令一覧	327
A.2 オペレーションコードマップ	337
A.3 命令実行ステート数	338
B. I/Oレジスター一覧	344
B.1 I/Oレジスター一覧(1)	344
B.1.1 H8/3534のI/Oレジスター一覧	344
B.1.2 H8/3522のI/Oレジスター一覧	348
B.2 I/Oレジスター一覧(2)	352
C. I/Oポートブロック図	399
C.1 ポート1ブロック図	399
C.2 ポート2ブロック図	399
C.3 ポート3ブロック図	400
C.4 ポート4ブロック図【H8/3534】	401
C.5 ポート5ブロック図	402
C.6 ポート6ブロック図	404
C.7 ポート7ブロック図	410
C.8 ポート8ブロック図【H8/3534のみ】	411
C.9 ポート9ブロック図【H8/3534】・ ポート4ブロック図【H8/3522】	413
D. 各処理状態におけるポートの状態	416
E. ハードウェアスタンバイモード遷移／復帰時のタイミングについて	418
F. 型名一覧	419
G. 外形寸法図	420

A. 命令

A.1 命令一覧

《オペレーションの記号》

R d 8/16	汎用レジスタ（デスティネーション側）8ビット／16ビット
R s 8/16	汎用レジスタ（ソース側）8ビット／16ビット
R n 8/16	汎用レジスタ 8ビット／16ビット
C C R	コンディションコードレジスタ
N	CCRのN（ネガティブ）フラグ
Z	CCRのZ（ゼロ）フラグ
V	CCRのV（オーバフロー）フラグ
C	CCRのC（キャリ）フラグ
P C	プログラムカウンタ
S P	スタックポインタ
#xx: 3/8/16	イミディエイトデータ 3ビット／8ビット／16ビット
d: 8/16	ディスペースメント 8ビット／16ビット
@aa: 8/16	絶対アドレス 8ビット／16ビット
+	加算
-	減算
×	乗算
÷	除算
^	論理積
∨	論理和
⊕	排他的論理和
→	転送
-	論理的補数

《コンディションコードの記号》

記号	
↑	実行結果にしたがって変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に“0”にクリアされることを表します。
-	実行結果に影響を受けないことを表します。

表A.1 命令セット一覧(1)

二モニック	サイズ	アドレッシングモード/命令長(バイト)						オペレーション						コンディションコード				
		#xx:8/16	Rn	@Rn	#(d:16, Rn)	@ Rn/@Rn+	#aa:8/16	#(d:8, PC)	@aa	-	#xx:8→Rd8	-	-	H	N	Z	V	C
MOV	MOV.B #xx:8, Rd	B	2								Rs8→Rd8	-	-	†	†	0	-	2
	MOV.B Rs, Rd	B		2							@Rs16→Rd8	-	-	†	†	0	-	2
	MOV.B @Rs, Rd	B		2							@(d:16, Rs)→Rd8	-	-	†	†	0	-	4
	MOV.B @(d:16, Rs), Rd	B			4						@(d:16, Rs16)→Rd8	-	-	†	†	0	-	6
	MOV.B @Rs+, Rd	B				2					@Rs16→Rd8	-	-	†	†	0	-	6
	MOV.B @aa:8, Rd	B					2				@aa:8→Rd8	-	-	†	†	0	-	4
	MOV.B @aa:16, Rd	B					4				@aa:16→Rd8	-	-	†	†	0	-	6
	MOV.B Rs, @Rd	B			2						Rs8→@Rd16	-	-	†	†	0	-	4
	MOV.B Rs, @(d:16, Rd)	B				4					Rs8→@(d:16, Rd16)	-	-	†	†	0	-	6
	MOV.B Rs, @-Rd	B				2					Rd16-1→Rd16	-	-	†	†	0	-	6
	MOV.B Rs, @aa:8	B					2				Rs8→@Rd16	-	-	†	†	0	-	6
	MOV.B Rs, @aa:16	B					4				Rs8→@aa:8	-	-	†	†	0	-	4
	MOV.W #xx:16, Rd	W	4								Rs8→@aa:16	-	-	†	†	0	-	6
	MOV.W Rs, Rd	W		2							#xx:16→Rd16	-	-	†	†	0	-	4
	MOV.W @Rs, Rd	W			2						Rs16→Rd16	-	-	†	†	0	-	2
	MOV.W @(d:16, Rs), Rd	W				4					@Rs16→Rd16	-	-	†	†	0	-	4
	MOV.W @Rs+, Rd	W					2				@(d:16, Rs16)→Rd16	-	-	†	†	0	-	6
	MOV.W @aa:16, Rd	W						4			@Rs16→Rd16	-	-	†	†	0	-	6
	MOV.W @Rs, @Rd	W						2			Rs16+2→Rs16	-	-	†	†	0	-	6
	MOV.W @aa:16, Rd16	W							4		@aa:16→Rd16	-	-	†	†	0	-	6
	MOV.W @Rs, @Rd16	W							2		Rs16→@Rd16	-	-	†	†	0	-	4
	MOV.W @aa:16, Rd16	W								4	Rs16→@Rd16	-	-	†	†	0	-	6

表A.1 命令セット一覧(2)

	二モニック	アドレスシングモード／命令長(バイト)										オペレーション					コンディションコード				
		#xx:8/16	Rn	#Rn	#(d:16, Rn)	#Rn/#Rn#	#aa:8/16	#(d:8, PC)	#aa	-	I	H	N	Z	V	C	実行 条件数*				
MOV	MOV.W Rs, #Rd	W				2				Rd16-2→Rd16	-	-	†	†	0	-	6				
	MOV.W Rs, #aa:16	W				4				Rs16→#Rd16											
POP	POP Rd	W				2				Rs16→#aa:16	-	-	†	†	0	-	6				
	PUSH Rs	W				2				#SP→Rd16	-	-	†	†	0	-	6				
										SP+2→SP											
										SP-2→SP	-	-	†	†	0	-	6				
										Rs16→#SP											
MOVPE	MOVPE #aa:16, Rd	B															(5)				
MOVPE	MOVPE Rs, #aa:16	B															(5)				
ADD	ADD.B #xx:8, Rd	B	2								Rd8-#xx:8→Rd8	-	-	†	†	†	†	2			
	ADD.B Rs, Rd	B	2								Rd8#Rs8→Rd8	-	-	†	†	†	†	2			
ADD	ADD.W Rs, Rd	W	2								Rd16#Rs16→Rd16	-	(1)	†	†	†	†	2			
	ADDX.B #xx:8, Rd	B	2								Rd8-#xx:8+C→Rd8	-	†	†	②	†	†	2			
ADDX	ADDX.B Rs, Rd	B	2								Rd8#Rs8+C→Rd8	-	†	†	②	†	†	2			
	ADDS.W #1, Rd	W	2								Rd16-1→Rd16	-	-	-	-	-	-	2			
ADDS	ADDS.W #2, Rd	W	2								Rd16-2→Rd16	-	-	-	-	-	-	2			
	INC.B Rd	B	2								Rd8+1→Rd8	-	-	†	†	-	-	2			
INC	DAA.B Rd	B	2								Rd8 10進補正→Rd8	-	*	†	†	* ③	2				
	SUB.B Rs, Rd	B	2								Rd8#Rs8→Rd8	-	†	†	†	†	†	2			
SUB	SUB.W Rs, Rd	W	2								Rd16#Rs16→Rd16	-	(1)	†	†	†	†	2			
	SUBX.B #xx:8, Rd	B	2								Rd8-#xx:8-C→Rd8	-	†	†	②	†	†	2			
SUBX	SUBX.B Rs, Rd	B	2								Rd8#Rs8-C→Rd8	-	†	†	②	†	†	2			

表A.1 命令セット一覧(3)

二-モニック		サイズ		アドレッシングモード/命令長(バイト)				オペレーション				コンディションコード					
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)	@faa	-	Rd16-1→Rd16	-	-	-	-	-	
SUBS	SUBS. W #1, Rd	W	2								Rd16-2→Rd16	-	-	-	-	-	2
	SUBS. W #2, Rd	W	2								Rd8-1→Rd8	-	-	↑	↑	-	2
DEC	DEC. B Rd	B	2								Rd8 10進補正→Rd8	-	*	↑	↑	*	2
DAS	DAS. B Rd	B	2								0-Rd8→Rd8	-	↑	↑	↑	↑	2
NEG	NEG. B Rd	B	2								Rd8 #xx:8	-	↑	↑	↑	↑	2
CMP	CMP. B #xx:8, Rd	B	2								Rd8-Rs8	-	↑	↑	↑	↑	2
	CMP. B Rs, Rd	B	2								Rd16-Rs16	-	①	↑	↑	↑	2
	CMP. W Rs, Rd	W	2								Rd8×Rs8→Rd16	-	↑	↑	↑	↑	2
MULXU	MULXU. B Rs, Rd	B	2								Rd16÷Rs8→Rd16 (RdH:余り, RdL:商)	-	-	⑥	⑦	-	14
DIVXU	DIVXU. B Rs, Rd	B	2								Rd8 ∧ #xx:8→Rd8	-	-	↑	↑	↑	2
AND	AND. B #xx:8, Rd	B	2								Rd8 ∧ #xx:8→Rd8	-	-	↑	↑	0	2
	AND. B Rs, Rd	B	2								Rd8 ∧ Rs8→Rd8	-	-	↑	↑	0	2
OR	OR. B #xx:8, Rd	B	2								Rd8 ∨ #xx:8→Rd8	-	-	↑	↑	0	2
	OR. B Rs, Rd	B	2								Rd8 ∨ Rs8→Rd8	-	-	↑	↑	0	2
XOR	XOR. B #xx:8, Rd	B	2								Rd8⊕#xx:8→Rd8	-	-	↑	↑	0	2
	XOR. B Rs, Rd	B	2								Rd8⊕Rs8→Rd8	-	-	↑	↑	0	2
NOT	NOT. B Rd	B	2								RD8→Rd8	-	-	↑	↑	0	2
SHAL	SHAL. B Rd	B	2									-	-	↑	↑	↑	2

表A.1 命令セット一覧(4)

二-モニック	サ イ ズ	アドレッシングモード／命令長(バイト)						オペレーション						コンディションコード			実行 カ-ト 数*
		#xx:8/16	Rn	@Rn	#(d:16, Rn)	#-Rn/#Rn+	#aa:8/16	#(d:8, PC)	@Ra	-	I	H	N	Z	V	C	
SHAR	SHAR, B Rd	B	2														2
SHLL	SHLL, B Rd	B	2														2
SHLR	SHLR, B Rd	B	2														2
ROTXL	ROTXL, B Rd	B	2														2
ROTXR	ROTXR, B Rd	B	2														2
ROTL	ROTL, B Rd	B	2														2
ROTR	ROTR, B Rd	B	2														2
BSET	BSET #xx:3, Rd	B	2								(#xx:3 of Rd) ← 1						2
BSET	BSET #xx:3, @Rd	B	4								(#xx:3 of @Rd16) ← 1						8

表A.1 命令セット一覧(5)

二進数	サイン	アドレスシングモード/命令長(バイト)										オペレーション					コンディションコード			
		#xx:8/16	Rn	@Rn	#(d:16, Rn)	@Rn/@Rn+	#aa:8/16	#(d:8, PC)	#aa	-	(#xx:3 of @aa:8)←1	-	-	-	-	I	H	N	Z	V
BSET	BSET #xx:3, @aa:8	B					4				(#xx:3 of @aa:8)←1	-	-	-	-	-	-	-	-	8
	BSET Rn, Rd	B	2								(Rn8 of Rd8)←1	-	-	-	-	-	-	-	-	2
	BSET Rn, @Rd	B	4								(Rn8 of @Rd16)←1	-	-	-	-	-	-	-	-	8
	BSET Rn, @aa:8	B				4					(Rn8 of @aa:8)←1	-	-	-	-	-	-	-	-	8
BCLR	BCLR #xx:3, Rd	B	2								(#xx:3 of Rd8)←0	-	-	-	-	-	-	-	-	2
	BCLR #xx:3, @Rd	B	4								(#xx:3 of @Rd16)←0	-	-	-	-	-	-	-	-	8
	BCLR #xx:3, @aa:8	B				4					(#xx:3 of @aa:8)←0	-	-	-	-	-	-	-	-	8
	BCLR Rn, Rd	B	2								(#xx:3 of Rd8)←0	-	-	-	-	-	-	-	-	2
	BCLR Rn, @Rd	B	4								(Rn8 of Rd8)←0	-	-	-	-	-	-	-	-	2
	BCLR Rn, @aa:8	B				4					(Rn8 of @Rd16)←0	-	-	-	-	-	-	-	-	8
	BNOT	BNOT #xx:3, Rd	B	2							(Rn8 of @aa:8)←0	-	-	-	-	-	-	-	-	8
	BNOT #xx:3, @Rd	B	4								(#xx:3 of Rd8)←(#xx:3 of Rd8)	-	-	-	-	-	-	-	-	2
											(#xx:3 of @Rd16)	-	-	-	-	-	-	-	-	8
											←(#xx:3 of @Rd16)	-	-	-	-	-	-	-	-	8
	BNOT #xx:3, @aa:8	B				4					(#xx:3 of @aa:8)	-	-	-	-	-	-	-	-	8
											←(#xx:3 of @aa:8)	-	-	-	-	-	-	-	-	8
	BNOT Rn, Rd	B	2								(Rn8 of Rd8)←(Rn8 of Rd8)	-	-	-	-	-	-	-	-	2
	BNOT Rn, @Rd	B	4								(Rn8 of @Rd16)←(Rn8 of @Rd16)	-	-	-	-	-	-	-	-	8
	BNOT Rn, @aa:8	B				4					(Rn8 of @aa:8)←(Rn8 of @aa:8)	-	-	-	-	-	-	-	-	8
	BTST	BTST #xx:3, Rd	B	2							(#xx:3 of Rd8)←Z	-	-	-	↑	-	-	-	-	2
	BTST #xx:3, @Rd	B	4								(#xx:3 of @Rd16)←Z	-	-	↑	-	-	-	-	-	6
	BTST #xx:3, @aa:8	B				4					(#xx:3 of @aa:8)←Z	-	-	↑	-	-	-	-	-	6
	BTST Rn, Rd	B	2								(Rn8 of Rd8)←Z	-	-	↑	-	-	-	-	-	2

表A.1 命令セット一覧(6)

二—モニック		アドレッシングモード／命令長(バイト)						コンディショナルコード実行ステート数*								
サイズ	#xx:8/16	Rn	GRn	#(d:16, Rn)	@ Rn/GRn+	#aa:8/16	@(d:8, PC)	#aa	-	オペレーション	I	H	N	Z	V	C
BTST	BTST Rn, @Rd	B		4						(Rn8 of @Rd16)→Z	-	-	↑	-	-	6
	BTST Rn, #aa:8	B				4				(Rn8 of #aa:8)→Z	-	-	↑	-	-	6
BLD	BLD #xx:3, Rd	B		2						(#xx:3 of Rd8)→C	-	-	-	-	↑	2
	BLD #xx:3, @Rd	B		4						(#xx:3 of @Rd16)→C	-	-	-	-	↑	6
	BLD #xx:3, #aa:8	B				4				(#xx:3 of #aa:8)→C	-	-	-	-	↑	6
BILD	BILD #xx:3, Rd	B		2						(#xx:3 of Rd8)→C	-	-	-	-	↑	2
	BILD #xx:3, @Rd	B		4						(#xx:3 of @Rd16)→C	-	-	-	-	↑	6
	BILD #xx:3, #aa:8	B				4				(#xx:3 of #aa:8)→C	-	-	-	-	↑	6
BST	BST #xx:3, Rd	B		2						C→(#xx:3 of Rd8)	-	-	-	-	↑	2
	BST #xx:3, @Rd	B		4						C→(#xx:3 of @Rd16)	-	-	-	-	↑	6
	BST #xx:3, #aa:8	B				4				(#xx:3 of #aa:8)→C	-	-	-	-	↑	6
BIST	BIST #xx:3, Rd	B		2						C→(#xx:3 of Rd8)	-	-	-	-	↑	2
	BIST #xx:3, @Rd	B		4						C→(#xx:3 of @Rd16)	-	-	-	-	↑	6
	BIST #xx:3, #aa:8	B				4				C→(#xx:3 of #aa:8)	-	-	-	-	↑	6
	BIST #xx:3, Rd	B								C→(#xx:3 of Rd8)	-	-	-	-	↑	2
	BIST #xx:3, @Rd	B				4				C→(#xx:3 of @Rd16)	-	-	-	-	↑	6
	BIST #xx:3, #aa:8	B								(#xx:3 of #aa:8)→C	-	-	-	-	↑	6
BAND	BAND #xx:3, Rd	B		2						C→(#xx:3 of Rd8)→C	-	-	-	-	↑	2
	BAND #xx:3, @Rd	B		4						C→(#xx:3 of @Rd16)→C	-	-	-	-	↑	6
	BAND #xx:3, #aa:8	B				4				C→(#xx:3 of #aa:8)→C	-	-	-	-	↑	6
BIAND	BIAND #xx:3, Rd	B		2						C→(#xx:3 of Rd8)→C	-	-	-	-	↑	2
	BIAND #xx:3, @Rd	B		4						C→(#xx:3 of @Rd16)→C	-	-	-	-	↑	6
	BIAND #xx:3, #aa:8	B				4				C→(#xx:3 of #aa:8)→C	-	-	-	-	↑	6
BOR	BOR #xx:3, Rd	B		2						C→(#xx:3 of Rd8)→C	-	-	-	-	↑	2
	BOR #xx:3, @Rd	B		4						C→(#xx:3 of @Rd16)→C	-	-	-	-	↑	6
	BOR #xx:3, #aa:8	B				4				C→(#xx:3 of #aa:8)→C	-	-	-	-	↑	6

表A.1 命令セット一覧(7)

二モード	サイズ	アドレッシングモード／命令長(バイト)								オペレーション						コンディションコード					
		#xx:8/16	Rn	Rn	#(d:16, Rn)	0-Rn/#Rn+	#aa:8/16	0(d:8, PC)	#aa	-	分歧条件			I	H	N	Z	V	C		
B1OR	B1OR #xx:3, Rd	B	2							C \vee (#xx:3 of R3) \rightarrow C	-	-	-	-	-	-	-	-	2		
	B1OR #xx:3, @Rd	B		4						C \vee (#xx:3 of @R16) \rightarrow C	-	-	-	-	-	-	-	-	6		
	B1OR #xx:3, @aa:8	B			4					C \vee (#xx:3 of @aa:8) \rightarrow C	-	-	-	-	-	-	-	-	6		
BXOR	BXOR #xx:3, Rd	B	2							C \oplus (#xx:3 of Rd) \rightarrow C	-	-	-	-	-	-	-	-	2		
	BXOR #xx:3, @Rd	B		4						C \oplus (#xx:3 of @R16) \rightarrow C	-	-	-	-	-	-	-	-	6		
	BXOR #xx:3, @aa:8	B			4					C \oplus (#xx:3 of @aa:8) \rightarrow C	-	-	-	-	-	-	-	-	6		
BIXOR	BIXOR #xx:3, Rd	B	2							C \oplus (#xx:3 of Rd) \rightarrow C	-	-	-	-	-	-	-	-	2		
	BIXOR #xx:3, @Rd	B		4						C \oplus (#xx:3 of @R16) \rightarrow C	-	-	-	-	-	-	-	-	6		
	BIXOR #xx:3, @aa:8	B			4					C \oplus (#xx:3 of @aa:8) \rightarrow C	-	-	-	-	-	-	-	-	6		
Bcc	BRA d:8 (BT d:8)	-				2				PC \leftarrow PC+d:8	-	-	-	-	-	-	-	-	6		
	BRN d:8 (BF d:8)	-				2				PC \leftarrow PC+12	-	-	-	-	-	-	-	-	4		
	BHI d:8	-				2				if condition C \vee Z=0	-	-	-	-	-	-	-	-	4		
	BLS d:8	-				2				is true then C \vee Z=1	-	-	-	-	-	-	-	-	4		
	BCC d:8 (BHS d:8)	-				2				PC \leftarrow PC+d:8 C=0	-	-	-	-	-	-	-	-	4		
	BCS d:8 (BLO d:8)	-				2				C=1	-	-	-	-	-	-	-	-	4		
	BNE d:8	-				2				Z=0	-	-	-	-	-	-	-	-	4		
	BEQ d:8	-				2				Z=1	-	-	-	-	-	-	-	-	4		
	BVC d:8	-				2				V=0	-	-	-	-	-	-	-	-	4		
	BVS d:8	-				2				V=1	-	-	-	-	-	-	-	-	4		
	BPL d:8	-				2				N=0	-	-	-	-	-	-	-	-	4		
	BMI d:8	-				2				N=1	-	-	-	-	-	-	-	-	4		
	BGE d:8	-				2				N \oplus V=0	-	-	-	-	-	-	-	-	4		
	BLT d:8	-				2				N \oplus V=1	-	-	-	-	-	-	-	-	4		
	BGT d:8	-				2				Z \vee (N \oplus V)=0	-	-	-	-	-	-	-	-	4		
	BLE d:8	-				2				Z \vee (N \oplus V)=1	-	-	-	-	-	-	-	-	4		

表A.1 命令セット—~~E~~(8)

二モード	サイズ	アドレスシングモード/命令長(バイト)								コンディションコード					
		#xx:8/16	Rn	#Rn	#(d:16, Rn)	#Rn/#Rn+1	#aa:8/16	#(d:8, PC)	#aa:	I	H	N	Z	V	C
JMP	JMP #Rn	-		2						PC←Rn16	-	-	-	-	4
	JMP #aa:16	-					4			PC←aa:16	-	-	-	-	6
	JMP #aa:8	-								PC←aa:8	-	-	-	-	8
BSR	BSR d:8	-							2	SP→SP	-	-	-	-	6
										PC→SP	-	-	-	-	
										PC←PC+d:8	-	-	-	-	
JSR	JSR #Rn	-		2						SP→SP	-	-	-	-	6
										PC→SP	-	-	-	-	
										PC←Rn16	-	-	-	-	
JSR #aa:16	JSR #aa:16	-							4	SP→SP	-	-	-	-	8
										PC→SP	-	-	-	-	
										PC←aa:16	-	-	-	-	
JSR #aa:8	JSR #aa:8	-								SP→SP	-	-	-	-	8
										PC→SP	-	-	-	-	
										PC←aa:8	-	-	-	-	
RTS	RTS	-								2	PC←SP	-	-	-	8
										SP→SP	-	-	-	-	
										SP←SP	-	-	-	-	
RTE	RTE	-								2	CCR←SP	↑	↑	↑	10
										SP+2→SP	-	-	-	-	
										PC←SP	-	-	-	-	
										SP+2→SP	-	-	-	-	

表A.1 命令セット一覧(9)

ニーモニック	サイズ	アドレスシングルモード／命令長(バイト)						オペレーション	コンディションコード							
		#xx:8/16	Rn	@Rn	#(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)	00aa	-	I	H	N	Z	V	C
SLEEP	SLEEP	-							2	低消費電力状態に遷移	-	-	-	-	-	2
LDC	LDC #xx:8, CCR	B	2							#xx:8→CCR	†	†	†	†	†	2
	LDC Rs, CCR	B								Rs8→CCR	†	†	†	†	†	2
STC	STC CCR, Rd	B	2							CCR→Rd8	-	-	-	-	-	2
ANDC	ANDC #xx:8, CCR	B	2							CCR ∧ #xx:8→CCR	†	†	†	†	†	2
ORC	ORC #xx:8, CCR	B	2							CCR ∨ #xx:8→CCR	†	†	†	†	†	2
XORC	XORC #xx:8, CCR	B	2							CCR ⊕ #xx:8→CCR	†	†	†	†	†	2
NOP	NOP	-									PC←PC+2	-	-	-	-	2
EPMOV	EPMOV	-								4 if R4L≠0	-	-	-	-	-	④
										Repeat #R5→R6	-	-	-	-	-	
										R5H→R5						
										R6H→R6						
										R4L-1→R4L						
										Until R4L=0						
										else next;						

【注】 * : 実行ステート数は、オペコードおよびオペランドデータが内蔵メモリに存在する場合の値です。それ以外の場合は、「A.3 命令実行ステート数」を参照してください。
 ① : ピックト11から下がりが発生したとき“1”にセットされ、それ以外のとき“0”にクリアされます。
 ② : 演算結果がゼロのとき“1”にセットされ、それ以外のとき“0”にクリアされます。
 ③ : 演算結果がゼロのとき“1”にセットされ、それ以外のとき“0”にクリアされます。
 ④ : 実行ステート数は、R4L-1では使用できません。
 ⑤ : 本LSIでは使用できません。
 ⑥ : 除数が負のとき“1”にセットされ、それ以外のとき“0”にクリアされます。
 ⑦ : 除数がゼロのとき“1”にセットされ、それ以外のとき“0”にクリアされます。

A.2 オペレーションコードマップ

表A.2にオペレーションコードマップを示します。表A.2では、命令コードの第1バイト(第1ワードのビット15~8)についてのみ示しています。

→ 第2バイトの最上位ビット(命令コードの第1ワードのビット7)が0の場合を示します。
 → 第2バイトの最上位ビット(命令コードの第1ワードのビット7)が1の場合を示します。



表A.2 オペレーションコードマップ

HI	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	N O P	SLEEP	S T C	L D C	O R C	X O R C	A X O R C	L D C	A D D	I N C	A U S	M O V	A D X	D A A		
1	SHL	SHLR	SHAR	ROT X R	ROT X R	ROT L	ROT R	O R	X O R	A N D	NOT	S U B	D E C	S U S	C M P	S U X
2																D A S
3																
4	B R A	B R N	B H I	B L S	B C C	B C S	B N E	B F Q	B V C	B V S	B P L	B M I	B G E	B L T	B G T	B L E
5	MULXU	DIYXU			R T S	B S R	R T E					J M P				J S R
6	BSET	B Y O T	B C L R	B T S				BS T								M O V *
7					8 O R	B X O R	B A N D	B L D								ビット操作命令
8					B I G R	B I X O R	B I A N D	B I L D	M O V	B E P W O V						
9																
A												C M P				
B												S U B X				
C												O R				
D												X O R				
E												AND				
F												M O V				

【注】*1 MOV F P E およびMOV T P E の命令コードの第1バイト、および第2バイトの最高位ビット(第17~第15のビット15~7)は、MOV命令と共通です。

P U S H、P O P命令の機械語は、M O V命令と同一です。

*2 B T、B F、B H S、B L O命令の機械語は、B R A、B R N、B C C、B C S命令と同一です。

A.3 命令実行ステート数

H8/300CPUの各命令についての実行状態と、実行ステート数の計算方法を示します。

表A.3に命令の実行状態として、命令実行中に行われる命令フェッチ、データリード／ライト等のサイクル数を示し、表A.4に各々のサイクルに必要なステート数を示します。命令の実行ステート数は、次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

■実行ステート数計算例

(例) モード1、スタック領域を外部空間に設定、外部デバイスアクセス時1ウェイト挿入とした場合

1. BSET #0, @FFC7

表A.4より

$$I = L = 2, J = K = M = N = 0$$

表A.3より

$$S_I = 8, S_L = 3$$

$$\text{実行ステート数} = 2 \times 8 + 2 \times 3 = 22$$

2. JSR @@30

表A.4より

$$I = 2, J = K = 1, L = M = N = 0$$

表A.3より

$$S_I = S_J = S_K = 8$$

$$\text{実行ステート数} = 2 \times 8 + 1 \times 8 + 1 \times 8 = 32$$

表A.3 実行状態（サイクル）に要するステート数

実行状態（サイクル）	アクセス対象		
	内蔵メモリ	内蔵周辺モジュール	外部デバイス
命令フェッチ S _I	2	6	6 + 2m
分岐アドレスリード S _J			
スタック操作 S _K		3	3 + m
バイトデータアクセス S _L			
ワードデータアクセス S _M		6	6 + 2m
内部動作 S _N		1	

〈記号説明〉

m : 外部デバイスアクセス時のウェイトステート数

表A.4 命令の実行状態（サイクル数）(1)

命令	ニーモニック	命令マッチ	分岐アドレス	ストック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J				
ADD	ADD. B #xx:8, Rd	1					
	ADD. B Rs, Rd	1					
	ADD. W Rs, Rd	1					
ADDS	ADDS. W #1/2, Rd	1					
ADDX	ADDX. B #xx:8, Rd	1					
	ADDX. B Rs, Rd	1					
AND	AND. B #xx:8, Rd	1					
	AND. B Rs, Rd	1					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @Rd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @Rd	2					
	BCLR #xx:3, @aa:8	2					
	BCLR Rn, Rd	1					
	BCLR Rn, @Rd	2					
	BCLR Rn, @aa:8	2					

【注】 空欄はすべて“0”です。

表A.4 命令の実行状態（サイクル数）(2)

命令	ニーモニック	命令フック	分岐アドレス	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J				
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @Rd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @Rd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:3, Rd	1					
	BIOR #xx:3, @Rd	2			1		
	BIOR #xx:3, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @Rd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @Rd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @Rd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @Rd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @Rd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @Rd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @Rd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @Rd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	2		1			

【注】 空欄はすべて“0”です。

表A.4 命令の実行状態（サイクル数）(3)

命令	ニーモニック	命令コード	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
BST	BST #xx:3, Rd	1					
	BST #xx:3, @Rd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @Rd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @Rd	2			1		
	BTST Rn, @aa:8	2			1		
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @Rd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W Rs, Rd	1					
DAA	DAA.B Rd	1					
DAS	DAS.B Rd	1					
DEC	DEC.B Rd	1					
DIVXU	DIVXU.B Rs, Rd	1					1 2
EPPMOV	EPPMOV	2			2 n + 2 * ¹		1
INC	INC.B Rd	1					
JMP	JMP @Rn	2					
	JMP @aa:16	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @Rn	2		1			
	JSR @aa:16	2		1			2
	JSR @@aa:8	2	1	1			
LDC	LDC #xx:8, CCR	1					
	LDC Rs, CCR	1					
MOV	MOV.B #xx:8, Rd	1					
	MOV.B Rs, Rd	1					
	MOV.B @Rs, Rd	1			1		
	MOV.B @(d:16, Rs), Rd	2			1		
	MOV.B @Rs+, Rd	1			1		2

【注】 空欄はすべて“0”です。

表A.4 命令の実行状態（サイクル数）(4)

命令	ニーモニック	命令7x, t	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J				
MOV	MOV.B @aa:8, Rd	1			1		
	MOV.B @aa:16, Rd	2			1		
	MOV.B Rs, @Rd	1			1		
	MOV.B Rs, @(d:16, Rd)	2			1		
	MOV.B Rs, @-Rd	1			1		
	MOV.B Rs, @aa:8	1			1		
	MOV.B Rs, @aa:16	2			1		
	MOV.W #xx:16, Rd	2					
	MOV.W Rs, Rd	1				1	
	MOV.W @Rs, Rd	1				1	
	MOV.W @(d:16, Rs), Rd	2				1	
	MOV.W @Rs+, Rd	1				1	
	MOV.W @aa:16, Rd	2				1	
	MOV.W Rs, @Rd	1				1	
MOVW	MOV.W Rs, @(d:16, Rd)	2				1	
	MOV.W Rs, @-Rd	1				1	
MOV.W	MOV.W Rs, @aa:16	2				1	
	MOV.FP E						
MOVFP E	MOVFP E @aa:16, Rd		本LSIでは使用できません。				
MOVTP E	MOVTP E Rs, @aa:16						
MULXU	MULXU.B Rs, Rd	1					1 2
NEG	NEG.B Rd	1					
NOP	NOP	1					
NOT	NOT.B Rd	1					
OR	OR.B #xx:8, Rd	1					
	OR.B Rs, Rd	1					
ORC	ORC #xx:8, CCR	1					
POP	POP Rd	1			1		2
PUSH	PUSH Rd	1			1		2
ROTL	ROTL.B Rd	1					
ROTR	ROTR.B Rd	1					
ROTXL	ROTXL.B Rd	1					
ROTXR	ROTXR.B Rd	1					
RTE	RTE	2		2			2
RTS	RTS	2		1			2
SHAL	SHAL.B Rd	1					

【注】 空欄はすべて“0”です。

表A.4 命令の実行状態（サイクル数）(5)

命令	ニーモニック	命令フェッチ	分岐アドレス リード	スタック操作	バイトデータ アクセス	ワードデータ アクセス	内部動作
		I	J	K	L	M	N
SHAR	SHAR. B Rd	1					
SHLL	SHLL. B Rd	1					
SHLR	SHLR. B Rd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
SUB	SUB. B Rs, Rd	1					
	SUB. W Rs, Rd	1					
SUBS	SUBS. W #1/2, Rd	1					
SUBX	SUBX. B #xx:8, Rd	1					
	SUBX. B Rs, Rd	1					
XOR	XOR. B #xx:8, Rd	1					
	XOR. B Rs, Rd	1					
XORC	XORC #xx:8, CCR	1					

【注】 空欄はすべて“0”です。

nはR4Lの設定値です。ソース側、デスティネーション側のアクセスが、それぞれ(n+1)回行われます。

B. I/Oレジスター一覧

B.1 I/Oレジスター一覧(1)

B.1.1 H8/3534のI/Oレジスター一覧

下位アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'80										外部アドレス (拡張モード時)
H'81										
H'82										
H'83										
H'84										
H'85										
H'86										
H'87										
H'88	SMR	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCI1
H'89	BRR									
H'8A	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'8B	TDR									
H'8C	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'8D	RDR									
H'8E	—	—	—	—	—	—	—	—	—	
H'8F	—	—	—	—	—	—	—	—	—	
H'90	TIER	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	—	FRT
H'91	TCSR	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA	
H'92	FRCH									
H'93	FRCL									
H'94	OCRAH									
	OCRBH									
H'95	OCRAL									
	OCRBL									
H'96	TCR	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0	
H'97	TOCR	—	—	—	OCRS	OEA	OEB	OLVLA	OLVLB	
H'98	ICRAH									
H'99	ICRAL									
H'9A	ICRBH									
H'9B	ICRBL									
H'9C	ICRCH									
H'9D	ICRCL									
H'9E	ICRDH									
H'9F	ICRDL									

〈記号説明〉

(次頁に続く)

FRT : 16ビットフリーランニングタイマ

SCI1 : シリアルコミュニケーションインターフェース1

下位アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'A0	T CR	OE	OS	—	—	—	CKS2	CKS1	CKS0	PWM 0
H'A1	D TR									
H'A2	T CNT									
H'A3	—	—	—	—	—	—	—	—	—	
H'A4	T CR	OE	OS	—	—	—	CKS2	CKS1	CKS0	PWM 1
H'A5	D TR									
H'A6	T CNT									
H'A7	—	—	—	—	—	—	—	—	—	
H'A8	TCSR/TCNT	OVF	WT/IT	TME	—	RST/NMI	CKS2	CKS1	CKS0	WDT
H'A9	T CNT									
H'AA	—	—	—	—	—	—	—	—	—	
H'AB	—	—	—	—	—	—	—	—	—	
H'AC	P 1 PCR	P1 ₇ PCR	P1 ₆ PCR	P1 ₅ PCR	P1 ₄ PCR	P1 ₃ PCR	P1 ₂ PCR	P1 ₁ PCR	P1 ₀ PCR	ポート1
H'AD	P 2 PCR	P2 ₇ PCR	P2 ₆ PCR	P2 ₅ PCR	P2 ₄ PCR	P2 ₃ PCR	P2 ₂ PCR	P2 ₁ PCR	P2 ₀ PCR	ポート2
H'AE	P 3 PCR	P3 ₇ PCR	P3 ₆ PCR	P3 ₅ PCR	P3 ₄ PCR	P3 ₃ PCR	P3 ₂ PCR	P3 ₁ PCR	P3 ₀ PCR	ポート3
H'AF	—	—	—	—	—	—	—	—	—	—
H'BO	P 1 DDR	P1 ₇ DDR	P1 ₆ DDR	P1 ₅ DDR	P1 ₄ DDR	P1 ₃ DDR	P1 ₂ DDR	P1 ₁ DDR	P1 ₀ DDR	ポート1
H'B1	P 2 DDR	P2 ₇ DDR	P2 ₆ DDR	P2 ₅ DDR	P2 ₄ DDR	P2 ₃ DDR	P2 ₂ DDR	P2 ₁ DDR	P2 ₀ DDR	ポート2
H'B2	P 1 DR	P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀	ポート1
H'B3	P 2 DR	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀	ポート2
H'B4	P 3 DDR	P3 ₇ DDR	P3 ₆ DDR	P3 ₅ DDR	P3 ₄ DDR	P3 ₃ DDR	P3 ₂ DDR	P3 ₁ DDR	P3 ₀ DDR	ポート3
H'B5	P 4 DDR	P4 ₇ DDR	P4 ₆ DDR	P4 ₅ DDR	P4 ₄ DDR	P4 ₃ DDR	P4 ₂ DDR	P4 ₁ DDR	P4 ₀ DDR	ポート4
H'B6	P 3 DR	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀	ポート3
H'B7	P 4 DR	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀	ポート4
H'B8	P 5 DDR	—	—	—	—	—	P5 ₂ DDR	P5 ₁ DDR	P5 ₀ DDR	ポート5
H'B9	P 6 DDR	P6 ₇ DDR	P6 ₆ DDR	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR	ポート6
H'BA	P 5 DR	—	—	—	—	—	P5 ₂	P5 ₁	P5 ₀	ポート5
H'BB	P 6 DR	P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀	ポート6
H'BC	—	—	—	—	—	—	—	—	—	—
H'BD	P 8 DDR	—	P8 ₅ DDR	P8 ₄ DDR	P8 ₃ DDR	P8 ₂ DDR	P8 ₁ DDR	P8 ₀ DDR	ポート8	—
H'BE	P 7 PIN	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀	ポート7
H'BF	P 8 DR	—	P8 ₆	P8 ₅	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀	ポート8

(次頁に続く)

<記号説明>

PWM0 : PWMタイマ チャネル0

PWM1 : PWMタイマ チャネル1

WDT : ウォッチドッグタイマ

下位アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' C0	P 9 DDR	P9 ₇ DDR	P9 ₆ DDR	P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR	ポート9
H' C1	P 9 DR	P9 ₇	P9 ₆	P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀	
H' C2	W SCR	(RAMS)	(RAMD)	CKDBL	—	WMS1	WMS0	WC1	WC0	
H' C3	S T CR	(IIC S)	(IIC D)	(IIC X)	(IIC E)	(STAC)	MPE	ICKS1	ICKSO	
H' C4	S Y S CR	SSBY	STS2	STS1	STS0	XRST	NMIEG	(HIE)	RAME	
H' C5	M DCR	—	—	—	—	—	—	MDS1	MDS0	
H' C6	I S CR	IRQ7SC	IRQ6SC	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQOSC	
H' C7	I E R	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQOE	
H' C8	T C R	CMIEB	CMIEA	OVIE	CCLR1	CCLRO	CKS2	CKS1	CKSO	
H' C9	T C S R	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	
H' CA	T C O R A	—	—	—	—	—	—	—	—	TMR 0
H' CB	T C O R B	—	—	—	—	—	—	—	—	
H' CC	T C N T	—	—	—	—	—	—	—	—	
H' CD	—	—	—	—	—	—	—	—	—	
H' CE	—	—	—	—	—	—	—	—	—	
H' CF	—	—	—	—	—	—	—	—	—	
H' D0	T C R	CMIEB	CMIEA	OVIE	CCLR1	CCLRO	CKS2	CKS1	CKSO	
H' D1	T C S R	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	TMR 1
H' D2	T C O R A	—	—	—	—	—	—	—	—	
H' D3	T C O R B	—	—	—	—	—	—	—	—	
H' D4	T C N T	—	—	—	—	—	—	—	—	
H' D5	—	—	—	—	—	—	—	—	—	
H' D6	—	—	—	—	—	—	—	—	—	
H' D7	—	—	—	—	—	—	—	—	—	SCI 0
H' D8	SMR	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKSO	
H' D9	B RR	—	—	—	—	—	—	—	—	
H' DA	S C R	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKEO	
H' DB	T D R	—	—	—	—	—	—	—	—	
H' DC	S S R	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H' DD	R D R	—	—	—	—	—	—	—	—	
H' DE	—	—	—	—	—	—	—	—	—	
H' DF	—	—	—	—	—	—	—	—	—	—

(次頁に続く)

〈記号説明〉

TMR 0 : 8ビットタイマ チャネル0

TMR 1 : 8ビットタイマ チャネル1

SCI 0 : シリアルコミュニケーションインターフェース0

下位アドレス	レジスタ名	ビット名								モジュール名	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H' E0	ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D変換器	
H' E1	ADDRAL	AD1	AD0	—	—	—	—	—	—		
H' E2	ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H' E3	ADDRBL	AD1	AD0	—	—	—	—	—	—		
H' E4	ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H' E5	ADDRCL	AD1	AD0	—	—	—	—	—	—		
H' E6	ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2		
H' E7	ADDRDL	AD1	AD0	—	—	—	—	—	—		
H' E8	ADCSR	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CHO		
H' E9	ADCR	TRGE	—	—	—	—	—	—	—		
H' EA	—	—	—	—	—	—	—	—	—		
H' EB	—	—	—	—	—	—	—	—	—		
H' EC	—	—	—	—	—	—	—	—	—		
H' ED	—	—	—	—	—	—	—	—	—		
H' EE	—	—	—	—	—	—	—	—	—		
H' EF	—	—	—	—	—	—	—	—	—		
H' F0	—	—	—	—	—	—	—	—	—	—	
H' F1	KMIMR	KMIMR7	KMIMR6	KMIMR5	KMIMR4	KMIMR3	KMIMR2	KMIMR1	KMIMR0		
H' F2	KMPCR	KM ₇ PCR	KM ₆ PCR	KM ₅ PCR	KM ₄ PCR	KM ₃ PCR	KM ₂ PCR	KM ₁ PCR	KM ₀ PCR		
H' F3											
H' F4											
H' F5											
H' F6											
H' F7											
H' F8											
H' F9											
H' FA											
H' FB											
H' FC											
H' FD											
H' FE											
H' FF											

B.1.2 H'8/3522のI/Oレジスター一覧

下位アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'80										外部アドレス (拡張モード時)
H'81										
H'82										
H'83										
H'84										
H'85										
H'86										
H'87										
H'88	—	—	—	—	—	—	—	—	—	
H'89	—	—	—	—	—	—	—	—	—	
H'8A	—	—	—	—	—	—	—	—	—	
H'8B	—	—	—	—	—	—	—	—	—	
H'8C	—	—	—	—	—	—	—	—	—	
H'8D	—	—	—	—	—	—	—	—	—	
H'8E	—	—	—	—	—	—	—	—	—	
H'8F	—	—	—	—	—	—	—	—	—	
H'90	TIER	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	—	F R T
H'91	TCSR	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA	
H'92	FRCH									
H'93	FRCL									
H'94	OCRAH									
	OCRBH									
H'95	OCRAL									
	OCRBL									
H'96	TCR	IEDGA	IEDGB	IEDCC	IEDGD	BUFEA	BUFEB	CKS1	CKSO	
H'97	TOCR	—	—	—	OCRS	OEA	OEB	OLVLA	OLVLB	
H'98	ICRAH									
H'99	ICRAL									
H'9A	ICRBH									
H'9B	ICRBL									
H'9C	ICRCH									
H'9D	ICRCL									
H'9E	ICRDH									
H'9F	ICRDL									

〈記号説明〉

(次頁に続く)

F R T : 16ビットフリーランニングタイム

下位アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'A0	—	—	—	—	—	—	—	—	—	
H'A1	—	—	—	—	—	—	—	—	—	
H'A2	—	—	—	—	—	—	—	—	—	
H'A3	—	—	—	—	—	—	—	—	—	
H'A4	—	—	—	—	—	—	—	—	—	
H'A5	—	—	—	—	—	—	—	—	—	
H'A6	—	—	—	—	—	—	—	—	—	
H'A7	—	—	—	—	—	—	—	—	—	
H'A8	TCSR/TCNT	OVF	WT/IT	TME	—	RST/NMI	CKS2	CKS1	CKS0	WDT
H'A9	T C N T	—	—	—	—	—	—	—	—	
H'AA	—	—	—	—	—	—	—	—	—	
H'AB	—	—	—	—	—	—	—	—	—	
H'AC	P1PCR	P1 ₇ PCR	P1 ₆ PCR	P1 ₅ PCR	P1 ₄ PCR	P1 ₃ PCR	P1 ₂ PCR	P1 ₁ PCR	P1 ₀ PCR	ポート1
H'AD	P2PCR	P2 ₇ PCR	P2 ₆ PCR	P2 ₅ PCR	P2 ₄ PCR	P2 ₃ PCR	P2 ₂ PCR	P2 ₁ PCR	P2 ₀ PCR	ポート2
H'AE	P3PCR	P3 ₇ PCR	P3 ₆ PCR	P3 ₅ PCR	P3 ₄ PCR	P3 ₃ PCR	P3 ₂ PCR	P3 ₁ PCR	P3 ₀ PCR	ポート3
H'AF	—	—	—	—	—	—	—	—	—	—
H'B0	P1DDR	P1 ₇ DDR	P1 ₆ DDR	P1 ₅ DDR	P1 ₄ DDR	P1 ₃ DDR	P1 ₂ DDR	P1 ₁ DDR	P1 ₀ DDR	ポート1
H'B1	P2DDR	P2 ₇ DDR	P2 ₆ DDR	P2 ₅ DDR	P2 ₄ DDR	P2 ₃ DDR	P2 ₂ DDR	P2 ₁ DDR	P2 ₀ DDR	ポート2
H'B2	P1DR	P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀	ポート1
H'B3	P2DR	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀	ポート2
H'B4	P3DDR	P3 ₇ DDR	P3 ₆ DDR	P3 ₅ DDR	P3 ₄ DDR	P3 ₃ DDR	P3 ₂ DDR	P3 ₁ DDR	P3 ₀ DDR	ポート3
H'B5	P4DDR	P4 ₇ DDR	P4 ₆ DDR	P4 ₅ DDR	P4 ₄ DDR	P4 ₃ DDR	P4 ₂ DDR	P4 ₁ DDR	P4 ₀ DDR	ポート4
H'B6	P3DR	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀	ポート3
H'B7	P4DR	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀	ポート4
H'B8	P5DDR	—	—	—	—	—	P5 ₂ DDR	P5 ₁ DDR	P5 ₀ DDR	ポート5
H'B9	P6DDR	P6 ₇ DDR	P6 ₆ DDR	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR	ポート6
H'BA	P5DR	—	—	—	—	—	P5 ₂	P5 ₁	P5 ₀	ポート5
H'BB	P6DR	P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀	ポート6
H'BC	—	—	—	—	—	—	—	—	—	—
H'BD	—	—	—	—	—	—	—	—	—	—
H'BE	P7DR	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀	ポート7
H'BF	—	—	—	—	—	—	—	—	—	—

(次頁に続く)

<記号説明>

WDT：ウォッチドッグタイマ

下位 アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'C0	—	—	—	—	—	—	—	—	—	—
H'C1	—	—	—	—	—	—	—	—	—	—
H'C2	WSCR	—	—	CKDBL	—	WMS1	WMS0	WC1	WCO	TMR 0
H'C3	STCR	—	—	—	—	—	MPE	ICKS1	ICKSO	
H'C4	SYSCR	SSBY	STS2	STS1	STS0	XRST	NMIEG	—	RAME	
H'C5	MDCR	—	—	—	—	—	—	MDS1	MDS0	
H'C6	ISCR	—	—	—	—	—	IRQ2SC	IRQ1SC	IRQOSC	
H'C7	IER	—	—	—	—	—	IRQ2E	IRQ1E	IRQOE	
H'C8	TCR	CMIEB	CMIBA	OVIE	CCLR1	CCLRO	CKS2	CKS1	CKSO	
H'C9	TCSR	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	TMR 1
H'CA	TCORA	—	—	—	—	—	—	—	—	
H'CB	TCORB	—	—	—	—	—	—	—	—	
H'CC	TCNT	—	—	—	—	—	—	—	—	
H'CD	—	—	—	—	—	—	—	—	—	
H'CE	—	—	—	—	—	—	—	—	—	
H'CF	—	—	—	—	—	—	—	—	—	
H'D0	TCR	CMIEB	CMIBA	OVIE	CCLR1	CCLRO	CKS2	CKS1	CKSO	
H'D1	TCSR	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	SCI
H'D2	TCORA	—	—	—	—	—	—	—	—	
H'D3	TCORB	—	—	—	—	—	—	—	—	
H'D4	TCNT	—	—	—	—	—	—	—	—	
H'D5	—	—	—	—	—	—	—	—	—	
H'D6	—	—	—	—	—	—	—	—	—	
H'D7	—	—	—	—	—	—	—	—	—	
H'D8	SMR	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKSO	SCI
H'D9	BRR	—	—	—	—	—	—	—	—	
H'DA	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKEO	
H'DB	TDR	—	—	—	—	—	—	—	—	
H'DC	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'DD	RDR	—	—	—	—	—	—	—	—	
H'DE	—	—	—	—	—	—	—	—	—	
H'DF	—	—	—	—	—	—	—	—	—	—

〈記号説明〉

(次頁に続く)

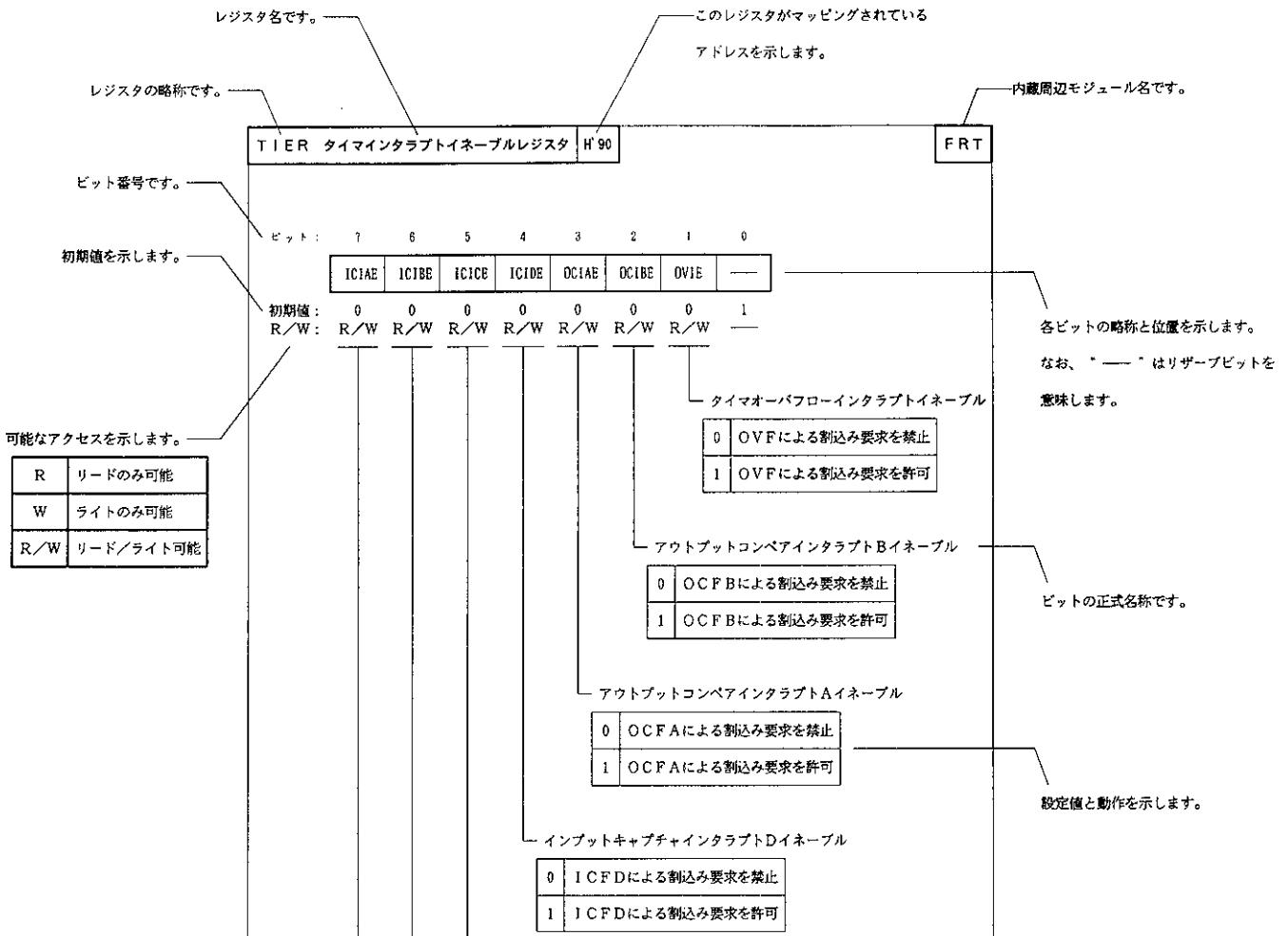
TMR 0 : 8ビットタイマ チャネル0

TMR 1 : 8ビットタイマ チャネル1

SCI : シリアルコミュニケーションインターフェース

下位 アドレス	レジスタ名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'E0	ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D変換器
H'E1	ADDRAL	AD1	AD0	—	—	—	—	—	—	
H'E2	ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E3	ADDRBL	AD1	AD0	—	—	—	—	—	—	
H'E4	ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E5	ADDRCL	AD1	AD0	—	—	—	—	—	—	
H'E6	ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E7	ADDRDL	AD1	AD0	—	—	—	—	—	—	
H'E8	ADCSR	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	
H'E9	ADCR	TRGE	—	—	—	—	—	—	—	
H'EA	—	—	—	—	—	—	—	—	—	
H'EB	—	—	—	—	—	—	—	—	—	
H'EC	—	—	—	—	—	—	—	—	—	
H'ED	—	—	—	—	—	—	—	—	—	
H'EE	—	—	—	—	—	—	—	—	—	
H'EF	—	—	—	—	—	—	—	—	—	
H'F0	—	—	—	—	—	—	—	—	—	—
H'F1	—	—	—	—	—	—	—	—	—	
H'F2	—	—	—	—	—	—	—	—	—	
H'F3	—	—	—	—	—	—	—	—	—	
H'F4	—	—	—	—	—	—	—	—	—	
H'F5	—	—	—	—	—	—	—	—	—	
H'F6	—	—	—	—	—	—	—	—	—	
H'F7	—	—	—	—	—	—	—	—	—	
H'F8	—	—	—	—	—	—	—	—	—	
H'F9	—	—	—	—	—	—	—	—	—	
H'FA	—	—	—	—	—	—	—	—	—	
H'FB	—	—	—	—	—	—	—	—	—	
H'FC	—	—	—	—	—	—	—	—	—	
H'FD	—	—	—	—	—	—	—	—	—	
H'FE	—	—	—	—	—	—	—	—	—	
H'FF	—	—	—	—	—	—	—	—	—	

B.2 I/O レジスター一覧(2)



ビット： 7 6 5 4 3 2 1 0

C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0
-----	-----	----	-----	------	----	------	------

初期値： 0 0 0 0 0 0 0 0
R/W： R/W R/W R/W R/W R/W R/W R/W R/W

クロックセレクト

0	0	φクロック
0	1	φ _P /4クロック
1	0	φ _P /16クロック
1	1	φ _P /64クロック

マルチプロセッサモード

0	マルチプロセッサ機能の禁止
1	マルチプロセッサフォーマットを選択

ストップビットレンジス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ
1	奇数パリティ

パリティイネーブル

0	送信時：パリティビットを付加しない 受信時：パリティビットのチェックを行わない
1	送信時：パリティビットを付加する 受信時：パリティビットのチェックを行う

キャラクタレンジス

0	8ビットデータ
1	7ビットデータ

コミュニケーションモード

0	調歩同期式モード
1	クロック同期式モード

ビット： 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--

初期値： 1 1 1 1 1 1 1 1
R/W： R/W R/W R/W R/W R/W R/W R/W R/W

ビットレートを設定

SCR シリアルコントロールレジスタ H'8A

【H 8 / 3534のみ】

SCI 1

ビット : 7 6 5 4 3 2 1 0

TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKEO
-----	-----	----	----	------	------	------	------

初期値 : 0 0 0 0 0 0 0 0
R/W : R/W R/W R/W R/W R/W R/W R/W R/W

クロックイネーブル 0

0	SCK端子を使用しない
1	SCK端子を出力端子としてクロック出力

クロックイネーブル 1

0	内部クロックを選択
1	外部クロックを選択

トランスマットエンドインタラプトイネーブル

0	TSRエンティ割込み要求を禁止
1	TSRエンティ割込み要求を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割込み禁止
1	マルチプロセッサ割込み許可

レシーブイネーブル

0	受信動作を禁止
1	受信可能状態

トランスマットイネーブル

0	送信動作を禁止
1	送信可能状態

レシーブインターラプトイネーブル

0	受信完了割込み要求、受信エラー割込み要求を禁止
1	受信完了割込み要求、受信エラー割込み要求を許可

トランスマットインターラプトイネーブル

0	TDRエンティ割込み要求を禁止
1	TDRエンティ割込み要求を許可

TDR トランスマットデータレジスタ H'8B

【H 8 / 3534のみ】

SCI 1

ビット : 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1
R/W : R/W R/W R/W R/W R/W R/W R/W R/W

送信データを格納

ビット： 7 6 5 4 3 2 1 0

TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
------	------	------	-----	-----	------	-----	------

初期値： 1 0 0 0 0 1 0 0
R/W： R/(W)*R/(W)*R/(W)*R/(W)*R/(W)* R R R/W

マルチプロセッサビットトランスマスク

0	マルチプロセッサビット“0”を送信
1	マルチプロセッサビット“1”を送信

マルチプロセッサビット

0	マルチプロセッサビットが“0”的データを受信
1	マルチプロセッサビットが“1”的データを受信

トランスマットエンド

0	〔クリア条件〕 TDRE = “1”的状態をリードした後、TDREに“0”をライトしたとき
1	〔セット条件〕 (1) TE = “0”的とき (2) 送信完了時に、TDRE = “1”であったとき

パリティエラー

0	〔クリア条件〕 PER = “1”的状態でPERをリードした後、PERに“0”をライトしたとき
1	〔セット条件〕 パリティエラーが発生したとき（受信したデータのパリティがSMRのO/Eビットで設定したパリティと一致しなかったとき）

フレーミングエラー

0	〔クリア条件〕 FER = “1”的状態でFERをリードした後、FERに“0”をライトしたとき
1	〔セット条件〕 フレーミングエラーが発生したとき（ストップビットが“0”的場合）

オーバランエラー

0	〔クリア条件〕 ORER = “1”的状態でORERをリードした後、ORERに“0”をライトしたとき
1	〔セット条件〕 オーバランエラーが発生したとき（RDRF = “1”的状態で次のデータの受信が完了したとき）

レシーブデータレジスタフル

0	〔クリア条件〕 RDRF = “1”的状態でRDRFをリードした後、RDRFに“0”をライトしたとき
1	〔セット条件〕 データが正常に受信され、RSRからRDRへデータが転送されたとき

トランスマットデータレジスタエンブディ

0	〔クリア条件〕 TDRE = “1”的状態でTDREをリードした後、TDREに“0”をライトしたとき
1	〔セット条件〕 (1) TDRからTSRへデータの転送が行われたとき (2) TDRE = “0”的状態でTEを“0”にクリアしたとき

【注】* フラグをクリアするための“0”ライトのみ可能です。

ビット： 7 6 5 4 3 2 1 0



初期値： 0 0 0 0 0 0 0 0
R/W： R R R R R R R R

受信データを格納

ビット： 7 6 5 4 3 2 1 0

ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	—
-------	-------	-------	-------	-------	-------	------	---

初期値： 0 0 0 0 0 0 0 1
R/W： R/W R/W R/W R/W R/W R/W R/W —

タイマオーバフローインタラプトイネーブル

0	OVFによる割込み要求を禁止
1	OVFによる割込み要求を許可

アウトプットコンペアインタラプトBイネーブル

0	OCFBによる割込み要求を禁止
1	OCFBによる割込み要求を許可

アウトプットコンペアインタラプトAイネーブル

0	OCFAによる割込み要求を禁止
1	OCFAによる割込み要求を許可

インプットキャプチャインタラプトDイネーブル

0	ICFDによる割込み要求を禁止
1	ICFDによる割込み要求を許可

インプットキャプチャインタラプトCイネーブル

0	ICFCによる割込み要求を禁止
1	ICFCによる割込み要求を許可

インプットキャプチャインタラプトBイネーブル

0	ICFBによる割込み要求を禁止
1	ICFBによる割込み要求を許可

インプットキャプチャインタラプトAイネーブル

0	ICFAによる割込み要求を禁止
1	ICFAによる割込み要求を許可

ビット： 7 6 5 4 3 2 1 0

ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA
------	------	------	------	------	------	-----	-------

初期値： 0 0 0 0 0 0 0 0
R/W: R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/W

カウンタクリアA

0	FRCのクリアを禁止
1	コンペアマッチAによりFRCをクリア

タイマオーバフロー

0	〔クリア条件〕 OVF = "1" の状態で OVF をリードした後、OVF に "0" をライトしたとき
1	〔セット条件〕 FRC の値が、H' FFFF → H' 0000 になったとき

アウトプットコンペアフラグB

0	〔クリア条件〕 OCFB = "1" の状態で OCFB をリードした後、OCFB に "0" をライトしたとき
1	〔セット条件〕 FRC = OCRA になったとき

アウトプットコンペアフラグA

0	〔クリア条件〕 OCFA = "1" の状態で OCFA をリードした後、OCFA に "0" をライトしたとき
1	〔セット条件〕 FRC = OCRA になったとき

インプットキャプチャフラグD

0	〔クリア条件〕 ICFD = "1" の状態で ICFD をリードした後、ICFD に "0" をライトしたとき
1	〔セット条件〕 インプットキャプチャ信号が発生したとき

インプットキャプチャフラグC

0	〔クリア条件〕 ICFC = "1" の状態で ICFC をリードした後、ICFC に "0" をライトしたとき
1	〔セット条件〕 インプットキャプチャ信号が発生したとき

インプットキャプチャフラグB

0	〔クリア条件〕 ICFB = "1" の状態で ICFB をリードした後、ICFB に "0" をライトしたとき
1	〔セット条件〕 インプットキャプチャ信号により FRC の値が ICRA に転送されたとき

インプットキャプチャフラグA

0	〔クリア条件〕 ICFA = "1" の状態で ICFA をリードした後、ICFA に "0" をライトしたとき
1	〔セット条件〕 インプットキャプチャ信号により FRC の値が ICRA に転送されたとき

【注】* フラグをクリアするための "0" ライトのみ可能です。

FRC H, L フリーランニングカウンタH, L H'92, H'93

FRT

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W R/W

カウント値

OCRA H, L アウトプットコンペアレジスタA H, L H'94, H'95

FRT

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W

FRCの値と常時比較→OCRA=FRCでOCFAをセット

OCRB H, L アウトプットコンペアレジスタB H, L H'94, H'95

FRT

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W

FRCの値と常時比較→OCRB=FRCでOCFBをセット

ビット： 7 6 5 4 3 2 1 0

IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0
-------	-------	-------	-------	-------	-------	------	------

初期値： 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

クロックセレクト

0	0	内部クロック： $\phi_p/2$ でカウント
0	1	内部クロック： $\phi_p/8$ でカウント
1	0	内部クロック： $\phi_p/32$ でカウント
1	1	外部クロック：立上がりエッジでカウント

バッファイネーブルB

0	ICRDをICRBのバッファレジスタとして使用しない
1	ICRDをICRBのバッファレジスタとして使用する

バッファイネーブルA

0	ICRCをICRAのバッファレジスタとして使用しない
1	ICRCをICRAのバッファレジスタとして使用する

インプットエッジセレクトD

0	インプットキャプチャ入力Dの立下がりエッジでキャプチャ
1	インプットキャプチャ入力Dの立上がりエッジでキャプチャ

インプットエッジセレクトC

0	インプットキャプチャ入力Cの立下がりエッジでキャプチャ
1	インプットキャプチャ入力Cの立上がりエッジでキャプチャ

インプットエッジセレクトB

0	インプットキャプチャ入力Bの立下がりエッジでキャプチャ
1	インプットキャプチャ入力Bの立上がりエッジでキャプチャ

インプットエッジセレクトA

0	インプットキャプチャ入力Aの立下がりエッジでキャプチャ
1	インプットキャプチャ入力Aの立上がりエッジでキャプチャ

ビット： 7 6 5 4 3 2 1 0

—	—	—	OCRS	OEA	OEB	OLVLA	OLVLB
---	---	---	------	-----	-----	-------	-------

初期値： 1 1 1 0 0 0 0 0
R/W： — — — R/W R/W R/W R/W R/W

アウトプットレベルB

0	コンペアマッチBにより“0”出力
1	コンペアマッチBにより“1”出力

アウトプットレベルA

0	コンペアマッチAにより“0”出力
1	コンペアマッチAにより“1”出力

アウトプットイネーブルB

0	アウトプットコンペアB出力を禁止
1	アウトプットコンペアB出力を許可

アウトプットイネーブルA

0	アウトプットコンペアA出力を禁止
1	アウトプットコンペアA出力を許可

アウトプットコンペアレジスタセレクト

0	OCRAレジスタを選択
1	OCRБレジスタを選択

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W： R R R R R R R R R R R R R R R R

インプットキャプチャ信号が発生するとFRCの値を格納

ICRB H, L インプットキャプチャレジスタB H, L H'9A, H'9B

FRT

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W : R R R R R R R R R R R R R R R R

インプットキャプチャ信号が発生するとFRCの値を格納

ICRC H, L インプットキャプチャレジスタC H, L H'9C, H'9D

FRT

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W : R R R R R R R R R R R R R R R R

インプットキャプチャ信号が発生するとFRCの値、またはICRAの値を格納

ICRD H, L インプットキャプチャレジスタD H, L H'9E, H'9F

FRT

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W : R R R R R R R R R R R R R R R R

インプットキャプチャ信号が発生するとFRCの値、またはICRBの値を格納

TCR タイマコントロールレジスタ

H'A0

【H 8／3534のみ】

PWM 0

ビット： 7 6 5 4 3 2 1 0

OE	OS	—	—	—	CKS2	CKS1	CKS0
----	----	---	---	---	------	------	------

初期値： 0 0 1 1 1 0 0 0
R/W: R/W R/W — — — R/W R/W R/W— クロックセレクト ($\phi_P = 10\text{MHz}$)

内部クロック周波数			分解能	PWM周期	PWM周波数
0	0	0	$\phi_P / 2$	200ns	50μs
0	0	1	$\phi_P / 8$	800ns	200μs
0	1	0	$\phi_P / 32$	3.2μs	800μs
0	1	1	$\phi_P / 128$	12.8μs	3.2ms
1	0	0	$\phi_P / 256$	25.6μs	6.4ms
1	0	1	$\phi_P / 1024$	102.4μs	25.6ms
1	1	0	$\phi_P / 2048$	204.8μs	51.2ms
1	1	1	$\phi_P / 4096$	409.6μs	102.4ms

アウトプットセレクト

0	PWM直接出力
1	PWM反転出力

アウトプットイネーブル

0	PWM出力を禁止 TCNT : H'00で停止
1	PWM出力を許可 TCNT : カウントアップ

DTR デューティレジスタ

H'A1

【H 8／3534のみ】

PWM 0

ビット： 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--

初期値： 1 1 1 1 1 1 1 1
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

パルスのデューティ比を指定

TCNT タイマカウンタ H'A2

【H'8/3534のみ】

PWM0

ビット : 7 6 5 4 3 2 1 0

初期値 : 0 0 0 0 0 0 0 0
R/W : R/W R/W R/W R/W R/W R/W R/W R/W

カウント値 (H'00~H'F9までカウントすると再びH'00からカウント)

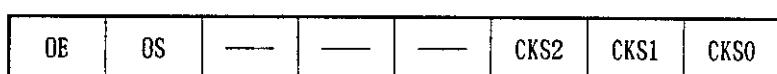
TCR タイマコントロールレジスタ

H'A4

【H'8/3534のみ】

PWM1

ビット : 7 6 5 4 3 2 1 0

初期値 : 0 0 1 1 1 0 0 0
R/W : R/W R/W — — — R/W R/W R/W

※ 機能は PWM0 と同じです。

DTR デューティレジスタ

H'A5

【H'8/3534のみ】

PWM1

ビット : 7 6 5 4 3 2 1 0

初期値 : 1 1 1 1 1 1 1 1
R/W : R/W R/W R/W R/W R/W R/W R/W R/W

※ 機能は PWM0 と同じです。

TCNT タイマカウンタ

H'A6

【H'8/3534のみ】

PWM1

ビット : 7 6 5 4 3 2 1 0

初期値 : 0 0 0 0 0 0 0 0
R/W : R/W R/W R/W R/W R/W R/W R/W R/W

※ 機能は PWM0 と同じです。

TCSR タイマコントロール／ステータスレジスタ H'A8

WDT

ビット： 7 6 5 4 3 2 1 0

OVF	WT/IT	TME	—	RST/NMI	CKS2	CKS1	CKS0
-----	-------	-----	---	---------	------	------	------

初期値： 0 0 0 1 0 0 0 0
 R/W： R/(W)* R/W R/W — R/W R/W R/W R/W

クロックセレクト 2～0

0	0	0	$\phi_P/2$
	1	0	$\phi_P/32$
	0	1	$\phi_P/64$
	1	1	$\phi_P/128$
1	0	0	$\phi_P/256$
	1	0	$\phi_P/512$
	0	1	$\phi_P/2048$
	1	1	$\phi_P/4096$

リセットまたはNMI

0	NMI機能有効（初期値）
1	リセット機能有効

タイマイネーブル

0	タイマディスエーブル
	・TCNTをH'00にイニシャライズし、カウントアップを停止（初期値）
1	タイマイネーブル
	・TCNTはカウントアップ開始 ・CPUへの割込み要求を許可

タイマモードセレクト

0	インターバルタイマモード（インターバルタイマ割込み要求）
1	ウォッチドッグタイマモード（リセットまたはNMI信号を発生）

オーバフローフラグ

0	〔クリア条件〕
	OVF = "1" の状態で OVF フラグをリードした後、OVF フラグに "0" をライトしたとき（初期値）
1	〔セット条件〕
	TCNT が H'FF → H'00 に変化したとき

【注】* フラグをクリアするための "0" ライトのみ可能です。

TCNT タイマカウンタ H'A9 リード時、H'A8 ライト時

WDT

ビット： 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--

初期値： 0 0 0 0 0 0 0 0
 R/W： R/W R/W R/W R/W R/W R/W R/W R/W

カウント値

P1PCR ポート1入力プルアップMOSコントロールレジスタ H'AC

P 1

ビット : 7 6 5 4 3 2 1 0

P1 ₇ PCR	P1 ₆ PCR	P1 ₅ PCR	P1 ₄ PCR	P1 ₃ PCR	P1 ₂ PCR	P1 ₁ PCR	P1 ₀ PCR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

初期値 : 0 0 0 0 0 0 0 0
R/W : R/W R/W R/W R/W R/W R/W R/W R/W

ポート1入力プルアップMOS制御	
0	入力プルアップMOSはOFF状態
1	入力プルアップMOSはON状態

P2PCR ポート2入力プルアップMOSコントロールレジスタ H'AD

P 2

ビット : 7 6 5 4 3 2 1 0

P2 ₇ PCR	P2 ₆ PCR	P2 ₅ PCR	P2 ₄ PCR	P2 ₃ PCR	P2 ₂ PCR	P2 ₁ PCR	P2 ₀ PCR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

初期値 : 0 0 0 0 0 0 0 0
R/W : R/W R/W R/W R/W R/W R/W R/W R/W

ポート2入力プルアップMOS制御	
0	入力プルアップMOSはOFF状態
1	入力プルアップMOSはON状態

P3PCR ポート3入力プルアップMOSコントロールレジスタ H'AE

P 3

ビット : 7 6 5 4 3 2 1 0

P3 ₇ PCR	P3 ₆ PCR	P3 ₅ PCR	P3 ₄ PCR	P3 ₃ PCR	P3 ₂ PCR	P3 ₁ PCR	P3 ₀ PCR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

初期値 : 0 0 0 0 0 0 0 0
R/W : R/W R/W R/W R/W R/W R/W R/W R/W

ポート3入力プルアップMOS制御	
0	入力プルアップMOSはOFF状態
1	入力プルアップMOSはON状態

P1DDR ポート1データディレクションレジスタ H'B0

P 1

ビット : 7 6 5 4 3 2 1 0

P1 ₇ DDR	P1 ₆ DDR	P1 ₅ DDR	P1 ₄ DDR	P1 ₃ DDR	P1 ₂ DDR	P1 ₁ DDR	P1 ₀ DDR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

モード1 { 初期値 : 1 1 1 1 1 1 1 1
R/W : — — — — — — — — }

モード2、3 { 初期値 : 0 0 0 0 0 0 0 0
R/W : W W W W W W W W }

ポート1入出力制御

0	入力ポート
1	出力ポート

P1DR ポート1データレジスタ H'B2

P 1

ビット : 7 6 5 4 3 2 1 0

P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値 : 0 0 0 0 0 0 0 0
R/W : R/W R/W R/W R/W R/W R/W R/W R/W

P2 DDR ポート2データディレクションレジスタ H'B1

P2

ビット : 7 6 5 4 3 2 1 0

P2 ₇ DDR	P2 ₆ DDR	P2 ₅ DDR	P2 ₄ DDR	P2 ₃ DDR	P2 ₂ DDR	P2 ₁ DDR	P2 ₀ DDR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

モード1 { 初期値 : 1 1 1 1 1 1 1 1
R/W : — — — — — — — —

モード2、3 { 初期値 : 0 0 0 0 0 0 0 0
R/W : W W W W W W W W

ポート2入出力制御

0	入力ポート
1	出力ポート

P2 DR ポート2データレジスタ H'B3

P2

ビット : 7 6 5 4 3 2 1 0

P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値 : 0 0 0 0 0 0 0 0
R/W : R/W R/W R/W R/W R/W R/W R/W R/W

P3 DDR ポート3データディレクションレジスタ H'B4

P 3

ビット : 7 6 5 4 3 2 1 0

P3 ₇ DDR	P3 ₆ DDR	P3 ₅ DDR	P3 ₄ DDR	P3 ₃ DDR	P3 ₂ DDR	P3 ₁ DDR	P3 ₀ DDR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

初期値 : 0 0 0 0 0 0 0 0
R/W : W W W W W W W W

ポート3入出力制御

0	入力ポート
1	出力ポート

P3 DR ポート3データレジスタ H'B6

P 3

ビット : 7 6 5 4 3 2 1 0

P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値 : 0 0 0 0 0 0 0 0
R/W : R/W R/W R/W R/W R/W R/W R/W R/W

P4 DDR ポート4データディレクションレジスタ H' B5 【H 8/3534】

P 4

ビット : 7 6 5 4 3 2 1 0

P4 ₇ DDR	P4 ₆ DDR	P4 ₅ DDR	P4 ₄ DDR	P4 ₃ DDR	P4 ₂ DDR	P4 ₁ DDR	P4 ₀ DDR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

初期値 : 0 0 0 0 0 0 0 0
R/W : W W W W W W W W

ポート4入出力制御

0	入力ポート
1	出力ポート

P4 DR ポート4データレジスタ H'B7 【H 8/3534】

P 4

ビット : 7 6 5 4 3 2 1 0

P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値 : 0 0 0 0 0 0 0 0
R/W : R/W R/W R/W R/W R/W R/W R/W R/W

P 4 DDR ポート4データディレクションレジスタ H' B5 【H 8／3522】

P 4

ビット : 7 6 5 4 3 2 1 0

P4 ₇ DDR	P4 ₆ DDR	P4 ₅ DDR	P4 ₄ DDR	P4 ₃ DDR	P4 ₂ DDR	P4 ₁ DDR	P4 ₀ DDR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

モード1、2 { 初期値 : 0 1 0 0 0 0 0 0
R/W : W — W W W W W W }

モード3 { 初期値 : 0 0 0 0 0 0 0 0
R/W : W W W W W W W W }

ポート4入出力制御

0	入力ポート
1	出力ポート

P 4 DR ポート4データレジスタ H' B7 【H 8／3522】

P 4

ビット : 7 6 5 4 3 2 1 0

P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値 : 0 — * 0 0 0 0 0
R/W : R/W R R/W R/W R/W R/W R/W R/W

【注】* P4₆端子により決定されます。

P5 DDR ポート5データディレクションレジスタ

H' B8

P 5

ビット : 7 6 5 4 3 2 1 0

—	—	—	—	—	P5 ₂ DDR	P5 ₁ DDR	P5 ₀ DDR
---	---	---	---	---	---------------------	---------------------	---------------------

初期値 : 1 1 1 1 1 0 0 0
R/W : — — — — — W W W

ポート5入出力制御

0	入力ポート
1	出力ポート

P5 DR ポート5データレジスタ

H' BA

P 5

ビット : 7 6 5 4 3 2 1 0

—	—	—	—	—	P5 ₂	P5 ₁	P5 ₀
---	---	---	---	---	-----------------	-----------------	-----------------

初期値 : 1 1 1 1 1 0 R/W 0 R/W 0 R/W
R/W : — — — — — R/W R/W R/W

P 6 DDR ポート 6 データディレクションレジスタ H' B9

P 6

ビット : 7 6 5 4 3 2 1 0

P6 ₇ DDR	P6 ₆ DDR	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

初期値 : 0 0 0 0 0 0 0 0
R/W : W W W W W W W W

ポート 6 入出力制御

0	入力ポート
1	出力ポート

P 6 DR ポート 6 データレジスタ H' BB

P 6

ビット : 7 6 5 4 3 2 1 0

P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値 : 0 0 0 0 0 0 0 0
R/W : R/W R/W R/W R/W R/W R/W R/W R/W

P 7 PIN ポート 7 入力データレジスタ H' BE

P 7

ビット : 7 6 5 4 3 2 1 0

P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値 : —* —* —* —* —* —* —* —*
R/W : R R R R R R R R

【注】* P7₇～P7₀端子により決定されます。

P8 DDR ポート8データディレクションレジスタ

H'BD

【H8/3534のみ】

P8

ビット : 7 6 5 4 3 2 1 0

—	P8 ₆ DDR	P8 ₅ DDR	P8 ₄ DDR	P8 ₃ DDR	P8 ₂ DDR	P8 ₁ DDR	P8 ₀ DDR
---	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

初期値 : 1 0 0 0 0 0 0 0
R/W : — W W W W W W W W

ポート8入出力制御

0	入力ポート
1	出力ポート

P8 DR ポート8データレジスタ

H'BF

【H8/3534のみ】

P8

ビット : 7 6 5 4 3 2 1 0

—	P8 ₆	P8 ₅	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀
---	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値 : 1 0 0 0 0 0 0 0
R/W : — R/W R/W R/W R/W R/W R/W R/W R/W

P9 DDR ポート9データディレクションレジスタ

H' C0

【H8/3534のみ】

P9

ビット： 7 6 5 4 3 2 1 0

P9 ₇ DDR	P9 ₆ DDR	P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

モード1、2 { 初期値 : 0 1 0 0 0 0 0 0
 R/W : W — W W W W W W }

モード3 { 初期値 : 0 0 0 0 0 0 0 0
 R/W : W W W W W W W W }

ポート9入出力制御

0	入力ポート
1	出力ポート

P9 DR ポート9データレジスタ

H' C1

【H8/3534のみ】

P9

ビット： 7 6 5 4 3 2 1 0

P9 ₇	P9 ₆	P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀
-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------	-----------------

初期値 : 0 —* 0 0 0 0 0 0
 R/W : R/W R R/W R/W R/W R/W R/W R/W R/W

【注】* P9₆ 端子により決定されます。

ビット : 7 6 5 4 3 2 1 0

(RAMS)	(RAM0)	CKDBL	—	WMS1	WMS0	WC1	WC0
--------	--------	-------	---	------	------	-----	-----

初期値 : 0 0 0 0 1 0 0 0
R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W

— ウェイトカウント

0 0	WSCによるウェイトを禁止（初期値）
0 1	1ステート挿入
1 0	2ステート挿入
1 1	3ステート挿入

— ウェイトモードセレクト

0 0	プログラマブルウェイトモード
0 1	ウェイトステートコントロールによるウェイトを禁止
1 0	端子ウェイトモード (初期値)
1 1	端子オートウェイトモード

— クロック分周

0	周辺モジュールへのクロックは分周しない ($\phi_p = \phi$) (初期値)
1	周辺モジュールへのクロックを2分周する ($\phi_p = \phi / 2$)

RAMS、RAM0ビットは使用しないでください。（“1”をライトしないでください）

ピット： 7 6 5 4 3 2 1 0

—	—	CKDBL	—	WMS1	WMS0	WC1	WC0
---	---	-------	---	------	------	-----	-----

初期値： 0 0 0 0 1 0 0 0
R/W： R/W R/W R/W R/W R/W R/W R/W R/W

ウェイトカウント

0	0	WSCによるウェイトを禁止（初期値）
0	1	1ステート挿入
1	0	2ステート挿入
1	1	3ステート挿入

ウェイトモードセレクト

0	0	プログラマブルウェイトモード
0	1	ウェイトステートコントロールによるウェイトを禁止
1	0	端子ウェイトモード (初期値)
1	1	端子オートウェイトモード

クロック分周

0	周辺モジュールへのクロックは分周しない ($\phi_p = \phi$) (初期値)
1	周辺モジュールへのクロックを2分周する ($\phi_p = \phi / 2$)

STCR シリアルタイマコントロールレジスタ H'C3 【H 8/3534】

システム

ビット : 7 6 5 4 3 2 1 0

(IICS)	(IICD)	(IICX)	(IICE)	(STAC)	MPE	ICKS1	ICKS0
--------	--------	--------	--------	--------	-----	-------	-------

初期値 : 0 0 0 0 0 0 0 0
R/W : R/W R/W R/W R/W R/W R/W R/W R/Wインターナルクロックソースセレクト
TMR 0、1のTCRを参照してください。

マルチプロセッササイネーブル

0	マルチプロセッサ機能を禁止
1	MPビットを有効にする

IICS、IICD、IICX、IICE、STACビットは、使用しないでください。
(“1”をライトしないでください)

STCR シリアルタイマコントロールレジスタ H'C3 【H 8/3522】

システム

ビット : 7 6 5 4 3 2 1 0

—	—	—	—	—	MPE	ICKS1	ICKS0
---	---	---	---	---	-----	-------	-------

初期値 : 1 1 1 1 1 0 0 0
R/W : — — — — — R/W R/W R/Wインターナルクロックソースセレクト
TMR 0、1のTCRを参照してください。

マルチプロセッササイネーブル

0	マルチプロセッサ機能を禁止
1	MPビットを有効にする

ビット： 7 6 5 4 3 2 1 0

SSBY	STS2	STS1	STS0	XRST	NMIEG	(HIE)	RAME
------	------	------	------	------	-------	-------	------

初期値： 0 0 0 0 1 0 0 1
R/W： R/W R/W R/W R/W R R/W R/W R/W

RAMイネーブル

0	内蔵RAM無効
1	内蔵RAM有効（初期値）

NMIエッジ

0	NMI入力の立下がりエッジで割込み要求を発生
1	NMI入力の立上がりエッジで割込み要求を発生

外部リセット

0	リセットがウォッチドッグタイマのオーバフローで発生
1	リセットが外部リセット入力で発生（初期値）

スタンバイタイマセレクト2～0

0	0	0	待機時間 = 8192ステート (初期値)
0	0	1	待機時間 = 16384ステート
0	1	0	待機時間 = 32768ステート
0	1	1	待機時間 = 65536ステート
1	0	-	待機時間 = 131072ステート
1	1	-	使用禁止

ソフトウェアスタンバイ

0	SLEEP命令実行後、スリープモードに遷移 (初期値)
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移

HIEビットは、使用しないでください。（“1”をライトしないでください）

ビット : 7 6 5 4 3 2 1 0

SSBY	STS2	STS1	STS0	XRST	NMIEG	—	RAME
------	------	------	------	------	-------	---	------

初期値 : 0 0 0 0 1 0 1 1
R/W : R/W R/W R/W R/W R — R/W

RAMイネーブル

0	内蔵RAM無効
1	内蔵RAM有効（初期値）

NMIエッジ

0	NMI入力の立下がりエッジで割込み要求を発生
1	NMI入力の立上がりエッジで割込み要求を発生

外部リセット

0	リセットがウォッチドッグタイマのオーバフローで発生
1	リセットが外部リセット入力で発生（初期値）

スタンバイタイマセレクト 2 ~ 0

0	0	0	待機時間 = 8192ステート	（初期値）
0	0	1	待機時間 = 16384ステート	
0	1	0	待機時間 = 32768ステート	
0	1	1	待機時間 = 65536ステート	
1	0	—	待機時間 = 131072ステート	
1	1	—	使用禁止	

ソフトウェアスタンバイ

0	SLEEP命令実行後、スリープモードに遷移	（初期値）
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移	

MDCR モードコントロールレジスタ H'C5

システム

ビット : 7 6 5 4 3 2 1 0

—	—	—	—	—	—	MDS1	MDS0
---	---	---	---	---	---	------	------

初期値 : 1 1 1 0 0 1 —* —*

R/W : — — — — — — R R

モードセレクト

モード端子の値

【注】* モード端子 (MD₁、MD₀) により決定されます。

ISCR IRQセンスコントロールレジスタ H'C6 【H8/3534】

システム

ビット : 7 6 5 4 3 2 1 0

IRQ7SC	IRQ6SC	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC
--------	--------	--------	--------	--------	--------	--------	--------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W

IRQ 0～7 センスコントロール

0	IRQ ₀ ～IRQ ₇ 入力の“Low”レベルで割込み要求を発生
1	IRQ ₀ ～IRQ ₇ 入力の立下がりエッジで割込み要求を発生

IER IRQイネーブルレジスタ H'C7 【H8/3534】

システム

ビット : 7 6 5 4 3 2 1 0

IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
-------	-------	-------	-------	-------	-------	-------	-------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W

IRQ 0～IRQ 7 イネーブル

0	IRQ ₀ ～IRQ ₇ 割込みを禁止
1	IRQ ₀ ～IRQ ₇ 割込みを許可

I SCR IRQセンスコントロールレジスタ H'C6

【H 8 / 3 5 2 2】

システム

ビット : 7 6 5 4 3 2 1 0

—	—	—	—	—	IRQ2SC	IRQ1SC	IRQ0SC
---	---	---	---	---	--------	--------	--------

初期値 : 1 1 1 1 1 0 0 0
R/W : — — — — — R/W R/W R/W

IRQ 0 ~ 2 センスコントロール

0	IRQ ₀ ~ IRQ ₂ 入力の“Low”レベルで割込み要求を発生
1	IRQ ₀ ~ IRQ ₂ 入力の立下がりエッジで割込み要求を発生

I ER IRQイネーブルレジスタ H'C7

【H 8 / 3 5 2 2】

システム

ビット : 7 6 5 4 3 2 1 0

—	—	—	—	—	IRQ2E	IRQ1E	IRQ0E
---	---	---	---	---	-------	-------	-------

初期値 : 1 1 1 1 1 0 0 0
R/W : — — — — — R/W R/W R/W

IRQ 0 ~ IRQ 2 イネーブル

0	IRQ ₀ ~ IRQ ₂ 割込みを禁止
1	IRQ ₀ ~ IRQ ₂ 割込みを許可

ビット： 7 6 5 4 3 2 1 0

CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
-------	-------	------	-------	-------	------	------	------

初期値： 0 0 0 0 0 0 0 0
R/W： R/W R/W R/W R/W R/W R/W R/W R/W

クロックセレクト

TCR			STCR			説明
E _{ト2}	E _{ト1}	E _{ト0}	E _{ト1}	E _{ト0}	E _{ト0}	
CKS2	CKS1	CKS0	CKS1	CKS0	CKS0	
0	0	0	—	—	—	クロック入力禁止（初期値）
0	0	1	—	0	—	内部クロック：φ _P /8立下がりエッジ(↑)でカウント
0	0	1	—	1	—	内部クロック：φ _P /2立下がりエッジ(↑)でカウント
0	1	0	—	0	—	内部クロック：φ _P /64立下がりエッジ(↑)でカウント
0	1	0	—	1	—	内部クロック：φ _P /32立下がりエッジ(↑)でカウント
0	1	1	—	0	—	内部クロック：φ _P /1024立下がりエッジ(↑)でカウント
0	1	1	—	1	—	内部クロック：φ _P /256立下がりエッジ(↑)でカウント
1	0	0	—	—	—	クロック入力禁止
1	0	1	—	—	—	外部クロック：立上がりエッジ(↑)でカウント
1	1	0	—	—	—	外部クロック：立下がりエッジ(↓)でカウント
1	1	1	—	—	—	外部クロック：立上がり／立下がり(↑、↓)両エッジでカウント

カウンタクリア

0	0	クリア禁止
0	1	コンペアマッチAによりクリア
1	0	コンペアマッチBによりクリア
1	1	外部リセット入力の立上がりエッジによりクリア

タイマオーバフローインタラプトイネーブル

0	OVFによる割込み要求を禁止
1	OVFによる割込み要求を許可

コンペアマッチインタラプトイネーブルA

0	CMF Aによる割込み要求を禁止
1	CMF Aによる割込み要求を許可

コンペアマッチインタラプトイネーブルB

0	CMF Bによる割込み要求を禁止
1	CMF Bによる割込み要求を許可

ビット : 7 6 5 4 3 2 1 0

CMFB	CMFA	OVF	—	OS3 ^{*1}	OS2 ^{*1}	OS1 ^{*1}	OS0 ^{*1}
------	------	-----	---	-------------------	-------------------	-------------------	-------------------

初期値 : 0 0 0 1 0 0 0 0
R/W : R/(W)^{*2} R/(W)^{*2} R/(W)^{*2} — R/W R/W R/W R/W

— アウトプットセレクト

0	0	コンペアマッチAで変化しない
0	1	コンペアマッチAで“0”出力
1	0	コンペアマッチAで“1”出力
1	1	コンペアマッチAごとに反転出力（トグル出力）

— アウトプットセレクト

0	0	コンペアマッチBで変化しない
0	1	コンペアマッチBで“0”出力
1	0	コンペアマッチBで“1”出力
1	1	コンペアマッチBごとに反転出力（トグル出力）

— タイマオーバフローフラグ

0	[クリア条件] OVF = “1”的状態でOVFをリードした後、OVFに“0”をライトしたとき
1	[セット条件] TCNTがH'FF→H'00になったとき

— コンペアマッチフラグA

0	[クリア条件] CMFA = “1”的状態でCMFAをリードした後、CMFAに“0”をライトしたとき
1	[セット条件] TCNT = TCORAになったとき

— コンペアマッチフラグB

0	[クリア条件] CMFB = “1”的状態でCMFBをリードした後、CMFBに“0”をライトしたとき
1	[セット条件] TCNT = TCORBになったとき

【注】^{*1} OS3～0がすべて“0”的とき、タイマ出力は禁止されます。^{*2} フラグをクリアするための“0”ライトのみ可能です。

TCORA タイムコンスタントレジスタA H'CA

TMR 0

ビット : 7 6 5 4 3 2 1 0



初期値 : 1 1 1 1 1 1 1 1
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W

TCORA=TCNTでCMFAをセット

TCORB タイムコンスタントレジスタB H'CB

TMR 0

ビット : 7 6 5 4 3 2 1 0



初期値 : 1 1 1 1 1 1 1 1
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W

TCORB=TCNTでCMFBをセット

TCNT タイマカウンタ H'CC

TMR 0

ビット : 7 6 5 4 3 2 1 0



初期値 : 0 0 0 0 0 0 0 0
 R/W : R/W R/W R/W R/W R/W R/W R/W R/W

カウント値

ビット： 7 6 5 4 3 2 1 0

CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
-------	-------	------	-------	-------	------	------	------

初期値： 0 0 0 0 0 0 0 0
R/W: R/W R/W R/W R/W R/W R/W R/W R/W

クロックセレクト

TCR		STCR		説明
E ₇ T ₂	E ₇ T ₁	E ₇ I ₀	E ₇ I ₁	
CKS2	CKS1	CKS0	CKS1	CKS0
0	0	0	—	クロック入力禁止 (初期値)
0	0	1	0	内部クロック: $\phi_P/8$ 立下がりエッジ(↑)でカウント
0	0	1	1	内部クロック: $\phi_P/2$ 立下がりエッジ(↑)でカウント
0	1	0	0	内部クロック: $\phi_P/64$ 立下がりエッジ(↑)でカウント
0	1	0	1	内部クロック: $\phi_P/128$ 立下がりエッジ(↑)でカウント
0	1	1	0	内部クロック: $\phi_P/1024$ 立下がりエッジ(↑)でカウント
0	1	1	1	内部クロック: $\phi_P/2048$ 立下がりエッジ(↑)でカウント
1	0	0	—	クロック入力禁止
1	0	1	—	外部クロック: 立上がりエッジ(↑)でカウント
1	1	0	—	外部クロック: 立下がりエッジ(↓)でカウント
1	1	1	—	外部クロック: 立上がり／立下がり(↑, ↓)両エッジでカウント

カウンタクリア

0	0	クリア禁止
0	1	コンペアマッチAによりクリア
1	0	コンペアマッチBによりクリア
1	1	外部リセット入力の立上がりエッジによりクリア

タイマオーバフローインタラプトイネーブル

0	OVFによる割込み要求を禁止
1	OVFによる割込み要求を許可

コンペアマッチインタラプトイネーブルA

0	CMFAによる割込み要求を禁止
1	CMFAによる割込み要求を許可

コンペアマッチインタラプトイネーブルB

0	CMFBによる割込み要求を禁止
1	CMFBによる割込み要求を許可

TCSR タイマコントロール／ステータスレジスタ

H'D1

TMR 1

ビット： 7 6 5 4 3 2 1 0

CMFB	CMFA	OVF	—	OS3 ^{*1}	OS2 ^{*1}	OS1 ^{*1}	OS0 ^{*1}
------	------	-----	---	-------------------	-------------------	-------------------	-------------------

初期値： 0 0 0 1 0 0 0 0

R/W: R/(W) R/(W) R/(W) — R/W R/W R/W R/W

※機能はTMR 0と同じです。

【注】*¹ OS 3～0がすべて“0”的とき、タイマ出力は禁止されます。*² フラグをクリアするための“0”ライトのみ可能です。

TCORA タイムコンスタントレジスタA

H'D2

TMR 1

ビット： 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--

初期値： 1 1 1 1 1 1 1 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

※機能はTMR 0と同じです。

TCORB タイムコンスタントレジスタB H'D3

TMR 1

ビット : 7 6 5 4 3 2 1 0



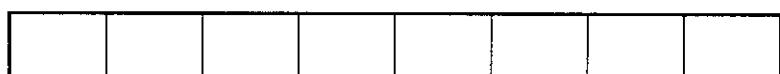
初期値 : 1 1 1 1 1 1 1 1
R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はTMR 0と同じです。

TCNT タイマカウンタ H'D4

TMR 1

ビット : 7 6 5 4 3 2 1 0



初期値 : 0 0 0 0 0 0 0 0
R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はTMR 0と同じです。

ビット： 7 6 5 4 3 2 1 0

C/A	CHR	PE	0/E	STOP	MP	CKS1	CKS0
-----	-----	----	-----	------	----	------	------

初期値： 0 0 0 0 0 0 0 0
R/W： R/W R/W R/W R/W R/W R/W R/W R/W

クロックセレクト

0	0	φクロック
0	1	φ _P /4クロック
1	0	φ _P /16クロック
1	1	φ _P /64クロック

マルチプロセッサモード

0	マルチプロセッサ機能の禁止
1	マルチプロセッサフォーマットを選択

ストップビットレンジス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ
1	奇数パリティ

パリティイネーブル

0	送信時：パリティビットを付加しない 受信時：パリティビットのチェックを行わない
1	送信時：パリティビットを付加する 受信時：パリティビットのチェックを行う

キャラクタレンジス

0	8ビットデータ
1	7ビットデータ

コミュニケーションモード

0	調歩同期式モード
1	クロック同期式モード

※機能はSCI 1と同じです。

BRR ピットレートレジスタ H'D9

SCI 0

ビット : 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1
R/W : R/W R/W R/W R/W R/W R/W R/W R/W

ビットレートを設定

※機能は SCI 1と同じです。

SCR シリアルコントロールレジスタ H'DA

SCI 0

ビット : 7 6 5 4 3 2 1 0

TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKEO
-----	-----	----	----	------	------	------	------

初期値 : 0 0 0 0 0 0 0 0
R/W : R/W R/W R/W R/W R/W R/W R/W R/W

クロックイネーブル 0

0	SCK端子を使用しない
1	SCK端子を出力端子としてクロック出力

クロックイネーブル 1

0	内部クロックを選択
1	外部クロックを選択

トランスマットエンドインタラプトイネーブル

0	TSRエンティ割り込み要求(TEI)を禁止
1	TSRエンティ割り込み要求(TEI)を許可

マルチプロセッササインタラプトイネーブル

0	マルチプロセッサ割り込み禁止
1	マルチプロセッサ割り込み許可

レシーブイネーブル

0	受信動作を禁止
1	受信可能状態

トランスマットイネーブル

0	送信動作を禁止
1	送信可能状態

レシーブインターラプトイネーブル

0	受信完了割り込み要求、受信エラー割り込み要求を禁止
1	受信完了割り込み要求、受信エラー割り込み要求を許可

トランスマットインタラプトイネーブル

0	TDRエンティ割り込み要求を禁止
1	TDRエンティ割り込み要求を許可

※機能は SCI 1と同じです。

ビット : 7 6 5 4 3 2 1 0

初期値 : 1 1 1 1 1 1 1 1
R/W : R/W R/W R/W R/W R/W R/W R/W R/W↓
送信データを格納

※機能は S C I 1 と同じです。

ビット： 7 6 5 4 3 2 1 0

TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
------	------	------	-----	-----	------	-----	------

初期値： 1 0 0 0 0 1 0 0
R/W: R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/(W)*R/(W)マルチプロセッサビットトランスマスク
0 マルチプロセッサビット “0” を送信
1 マルチプロセッサビット “1” を送信

マルチプロセッサビット

0 マルチプロセッサビットが “0” のデータを受信
1 マルチプロセッサビットが “1” のデータを受信

トランスマットエンド

0	【クリア条件】 TDRE = “1”的状態をリードした後、TDRE = “0” をライトしたとき
1	【セット条件】 (1) TE = “0”的とき (2) 送信完了時に、TDREが“1”であったとき

パリティエラー

0	【クリア条件】 PER = “1”的状態でPERをリードした後、PERに“0”をライトしたとき
1	【セット条件】 パリティエラーが発生したとき（受信したデータのパリティがSMRのO/Eビットで設定したパリティと一致しなかったとき）

フレーミングエラー

0	【クリア条件】 FER = “1”的状態でFERをリードした後、FERに“0”をライトしたとき
1	【セット条件】 フレーミングエラーが発生したとき（ストップビットが“0”的場合）

オーバランエラー

0	【クリア条件】 ORER = “1”的状態でORERをリードした後、ORERに“0”をライトしたとき
1	【セット条件】 オーバランエラーが発生したとき（RDRF = “1”的状態で次のデータの受信が完了したとき）

レシーブデータレジスタフル

0	【クリア条件】 RDRF = “1”的状態でRDRFをリードした後、RDRFに“0”をライトしたとき
1	【セット条件】 データが正常に受信され、RSRからRDRへデータが転送されたとき

トランスマットデータレジスタエンプティ

0	【クリア条件】 TDRE = “1”的状態でTDREをリードした後、TDREに“0”をライトしたとき
1	【セット条件】 (1) TDRからTSRへデータの転送が行われたとき (2) TDRE = “0”的状態でTEを“0”にクリアしたとき

【注】* フラグをクリアするための“0”ライトのみ可能です。

※機能はSCI 1と同じです。

RDR レシーブデータレジスタ H' DD

S C I 0

ビット : 7 6 5 4 3 2 1 0



初期値 : 0 0 0 0 0 0 0 0
R/W : R R R R R R R R

受信データを格納

※ 機能は S C I 1 と同じです。

ADDRA H, L	A/Dデータレジスタ A H, L	H'E0, H'E1
------------	-------------------	------------

A/D

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	ADO	—	—	—	—	—	—	—
-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	---	---	---	---	---	---	---

初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ADDRA H

ADDRA L

A/D変換データリザーブビット

A/D変換結果の10ビット

データを格納

ADDRB H, L	A/Dデータレジスタ B H, L	H'E2, H'E3
------------	-------------------	------------

A/D

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	ADO	—	—	—	—	—	—	—
-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	---	---	---	---	---	---	---

初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ADDRB H

ADDRB L

A/D変換データリザーブビット

A/D変換結果の10ビット

データを格納

ADDRC H, L A/Dデータレジスタ C H, L H'E4, H'E5

A/D

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	---	---	---	---	---	---

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W : R R R R R R R R R R R R R R R R R

ADDRC H

ADDRC L

A/D変換データ

リザーブビット

A/D変換結果の10ビット

データを格納

ADDRD H, L A/Dデータレジスタ D H, L H'E6, H'E7

A/D

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
-----	-----	-----	-----	-----	-----	-----	-----	-----	-----	---	---	---	---	---	---

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
R/W : R R R R R R R R R R R R R R R R R

ADDRD H

ADDRD L

A/D変換データ

リザーブビット

A/D変換結果の10ビット

データを格納

ビット： 7 6 5 4 3 2 1 0

ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CHO
-----	------	------	------	-----	-----	-----	-----

初期値： 0 0 0 0 0 0 0 0
R/W: R/(W)* R/W R/W R/W R/W R/W R/W R/W

チャネルセレクト

グループ選択 CH2	チャネル選択		説明	
	CH1	CH0	単一モード	スキャンモード
0	0	0	AN ₀	AN ₀
	0	1	AN ₁	AN ₀ 、AN ₁
	1	0	AN ₂	AN ₀ ～AN ₂
	1	1	AN ₃	AN ₀ ～AN ₃
1	0	0	AN ₄	AN ₄
	0	1	AN ₅	AN ₄ 、AN ₅
	1	0	AN ₆	AN ₄ ～AN ₆
	1	1	AN ₇	AN ₄ ～AN ₇

クロックセレクト

0	変換時間=266ステート (max)
1	変換時間=134ステート (max)

【注】 $\phi_p = \phi$ の場合

スキャンモード

0	单一モード
1	スキャンモード

A/Dスタート

0	A/D変換停止
1	(1) 単一モード A/D変換を開始し、変換が終了すると、自動的に“0”にクリア (2) スキャンモード A/D変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって“0”にクリアされるまで、選択されたチャネル内の変換を順次連続して行う

A/Dインターフェース

0	A/D変換終了による割込み要求を禁止
1	A/D変換終了による割込み要求を許可

A/Dエンドフラグ

0	〔クリア条件〕 ADF = “1”的状態でADFをリードした後、ADFに“0”をライトしたとき
1	〔セット条件〕 (1) 単一モード A/D変換が終了したとき (2) スキャンモード 設定されたすべてのチャネルのA/D変換が終了したとき

【注】* フラグをクリアするための“0”ライトのみ可能です。

ビット： 7 6 5 4 3 2 1 0

TRGE	—	—	—	—	—	—	—
------	---	---	---	---	---	---	---

初期値： 0 1 1 1 1 1 1 1
R/W: R/W — — — — — — —

トリガイネーブル

0	外部トリガ入力によるA/D変換の開始を禁止
1	外部トリガ入力によるA/D変換の開始を許可 (外部トリガ入力、およびソフトウェアによる A/D変換の開始が可能)

KMIMR キーボードマトリクス割込みマスクレジスタ

H'F1

【H 8／3534のみ】

H I F

ビット : 7 6 5 4 3 2 1 0

KMIMR7	KMIMR6	KMIMR5	KMIMR4	KMIMR3	KMIMR2	KMIMR1	KMIMR0
--------	--------	--------	--------	--------	--------	--------	--------

初期値 : 1 0 1 1 1 1 1 1
R/W : R/W R/W R/W R/W R/W R/W R/W R/W

キーボードマトリクス割込みマスク

0	キーセンス入力割込み要求を許可
1	キーセンス入力割込み要求を禁止 (初期値) *

* KMIMR 6 の初期値は 0

KMPCR ポート 6 入力アップMOSコントロールレジスタ

H'F2

【H 8／3534のみ】

H I F (P 6)

ビット : 7 6 5 4 3 2 1 0

KM ₇ PCR	KM ₆ PCR	KM ₅ PCR	KM ₄ PCR	KM ₃ PCR	KM ₂ PCR	KM ₁ PCR	KM ₀ PCR
---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------	---------------------

初期値 : 0 0 0 0 0 0 0 0
R/W : R/W R/W R/W R/W R/W R/W R/W R/W

ポート 6 入力プルアップMOS制御

0	入力プルアップMOSはOFF状態 (初期値)
1	入力プルアップMOSはON状態

C. I/O ポートブロック図

C.1 ポート1ブロック図

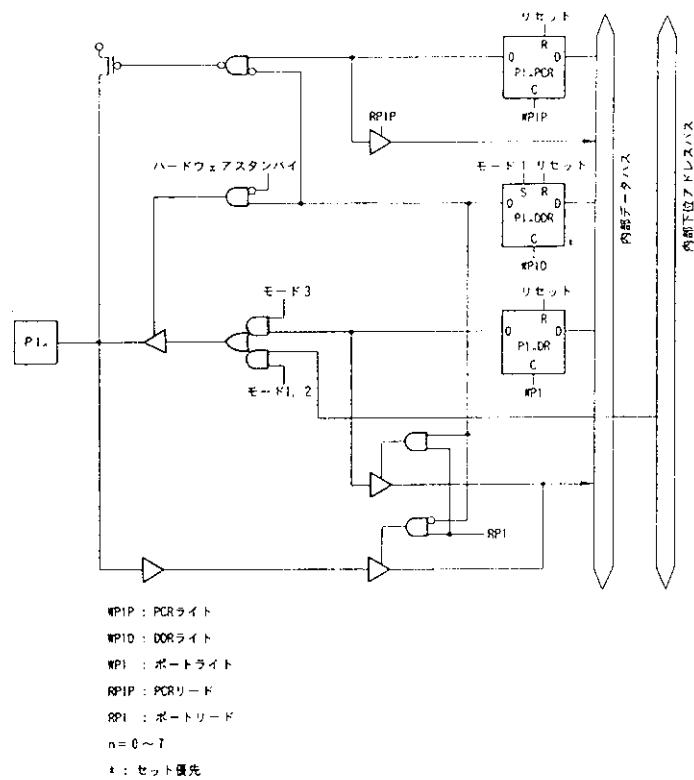


図 C.1 ポート1ブロック図

C.2 ポート2ブロック図

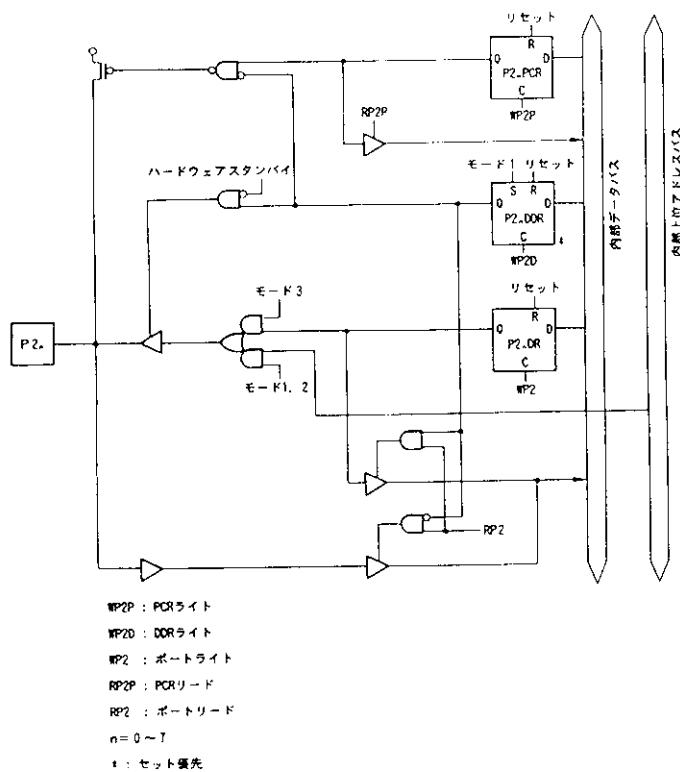


図 C.2 ポート2ブロック図

C.3 ポート3 ブロック図

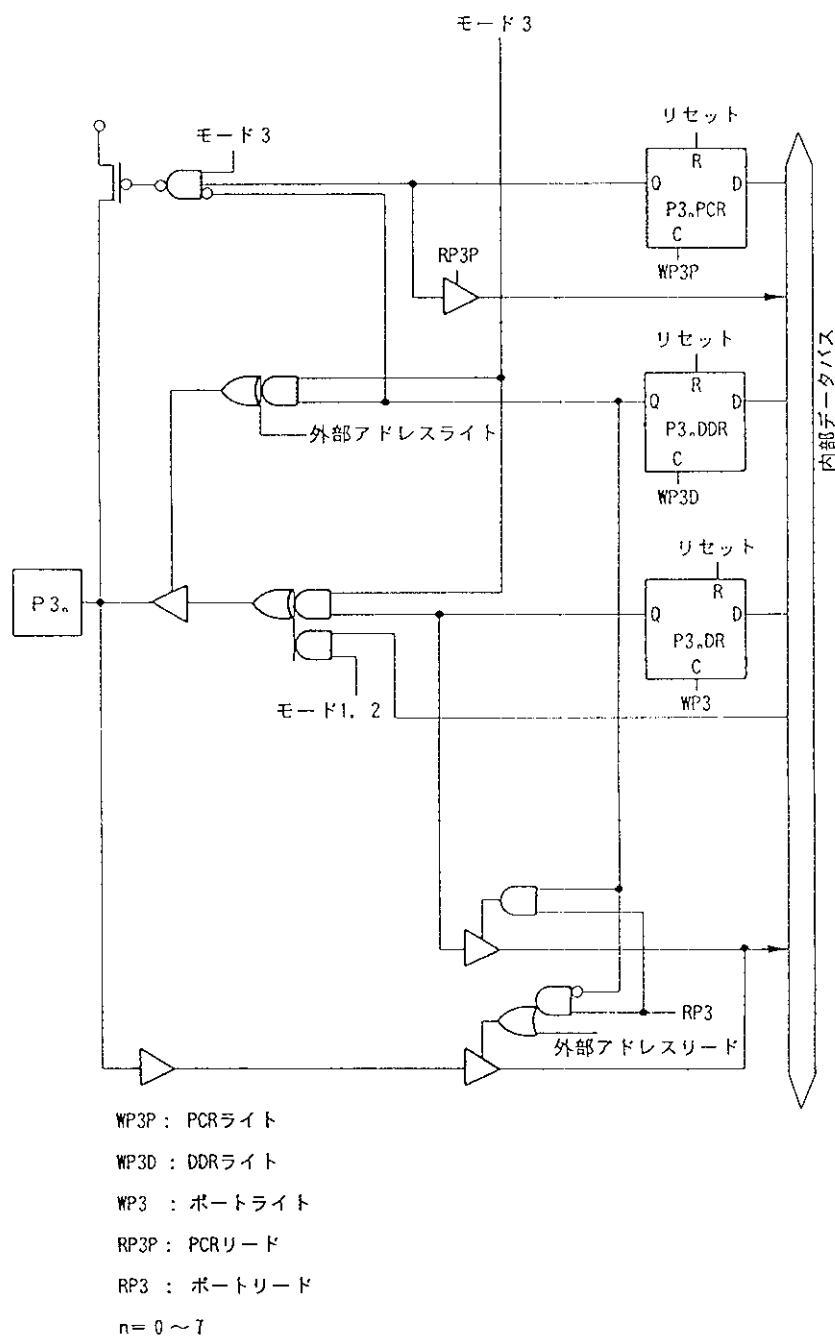


図 C.3 ポート3 ブロック図

C.4 ポート4 ブロック図【H 8／3534】

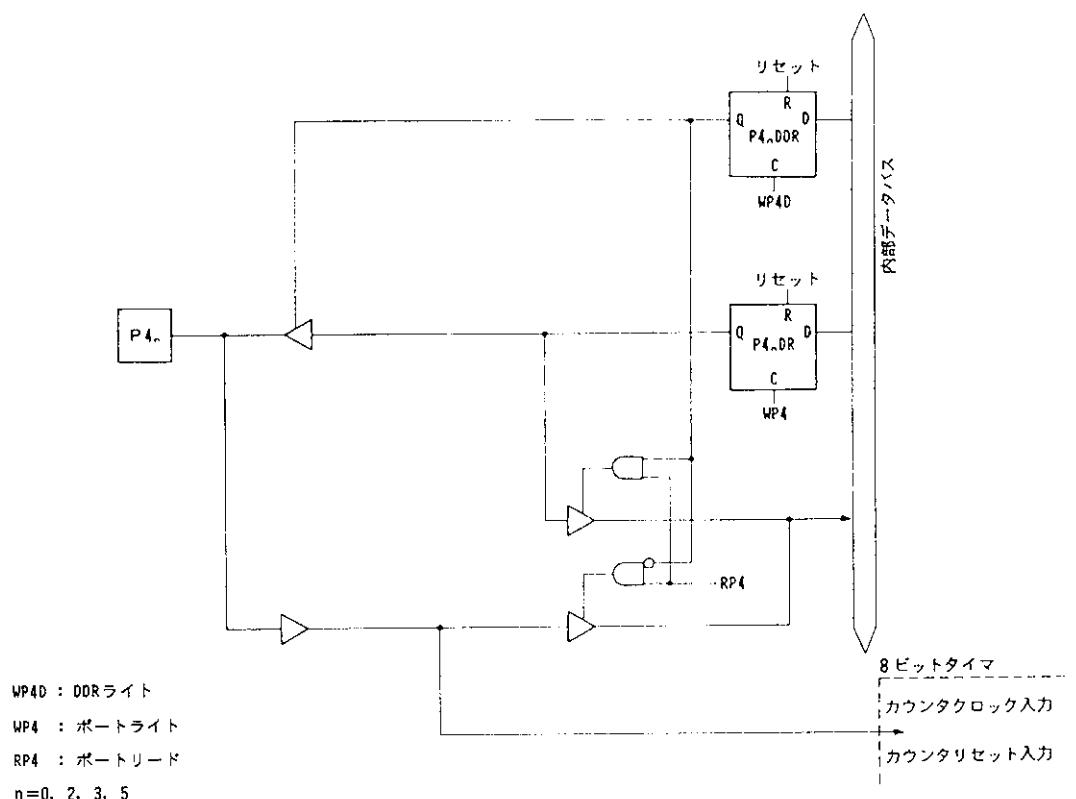


図 C.4(a) ポート4 ブロック図 (P4_n、P4₂、P4₃、P4₅端子) 【H 8／3534】

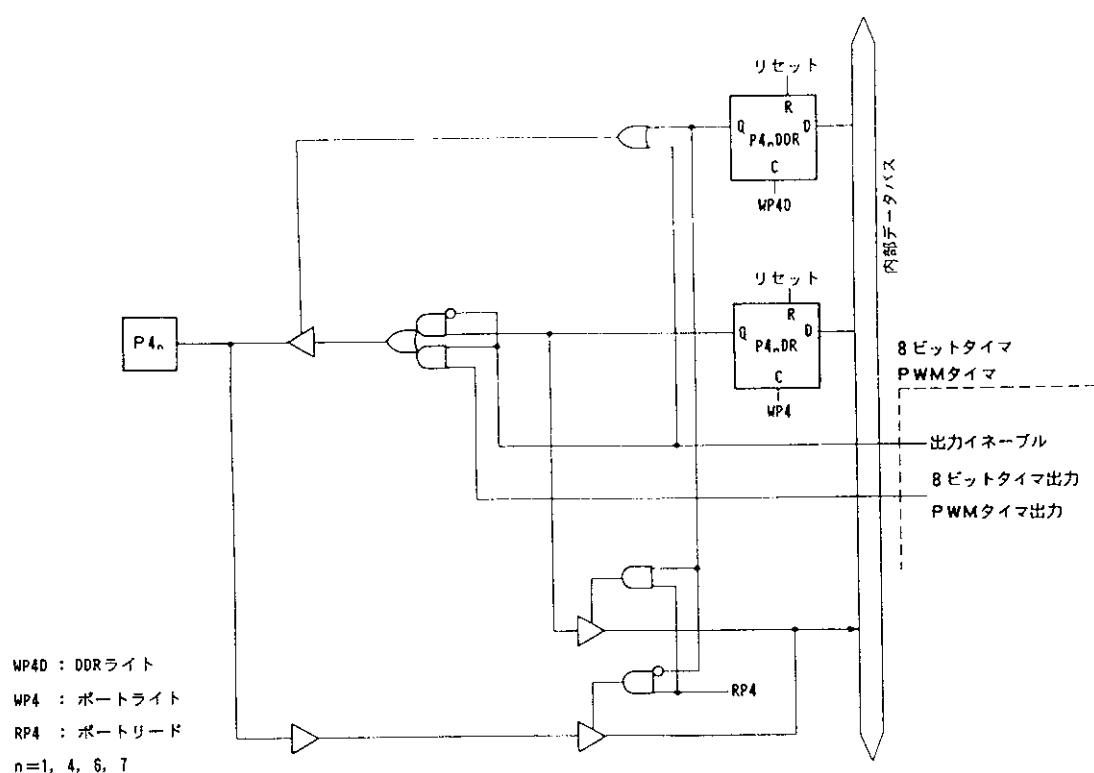


図 C.4(b) ポート4 ブロック図 (P4₁、P4₄、P4₆、P4₇端子) 【H 8／3534】

C.5 ポート5ブロック図

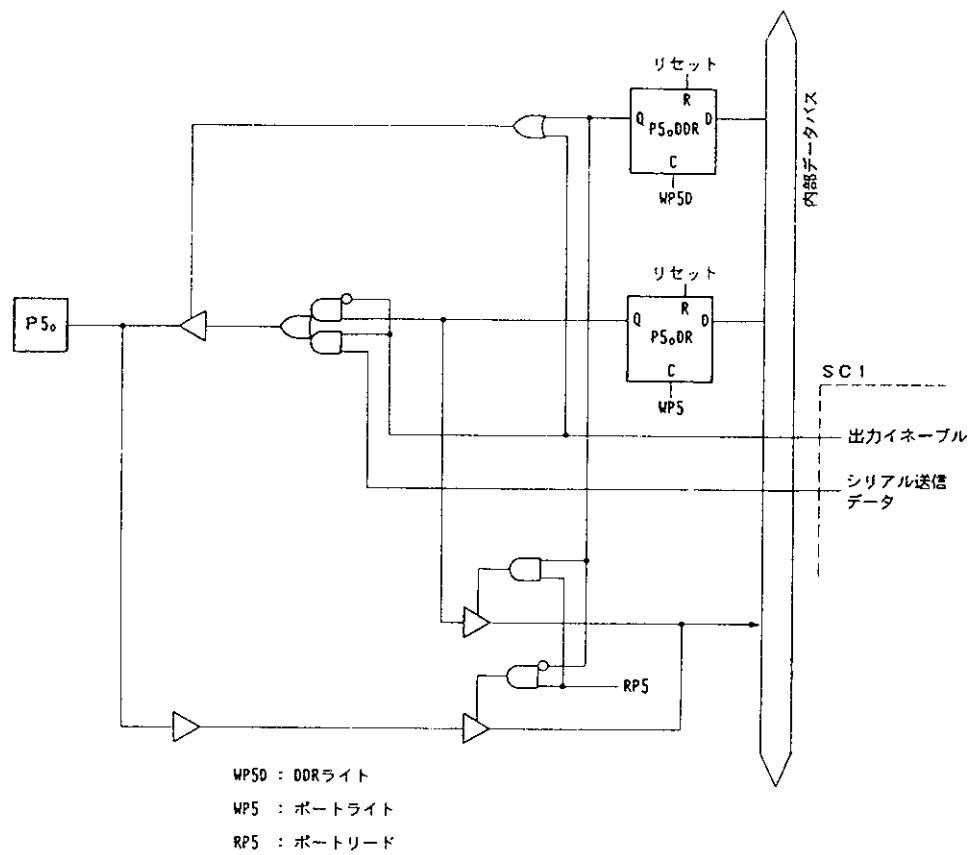


図 C.5(a) ポート5ブロック図 (P5₀端子)

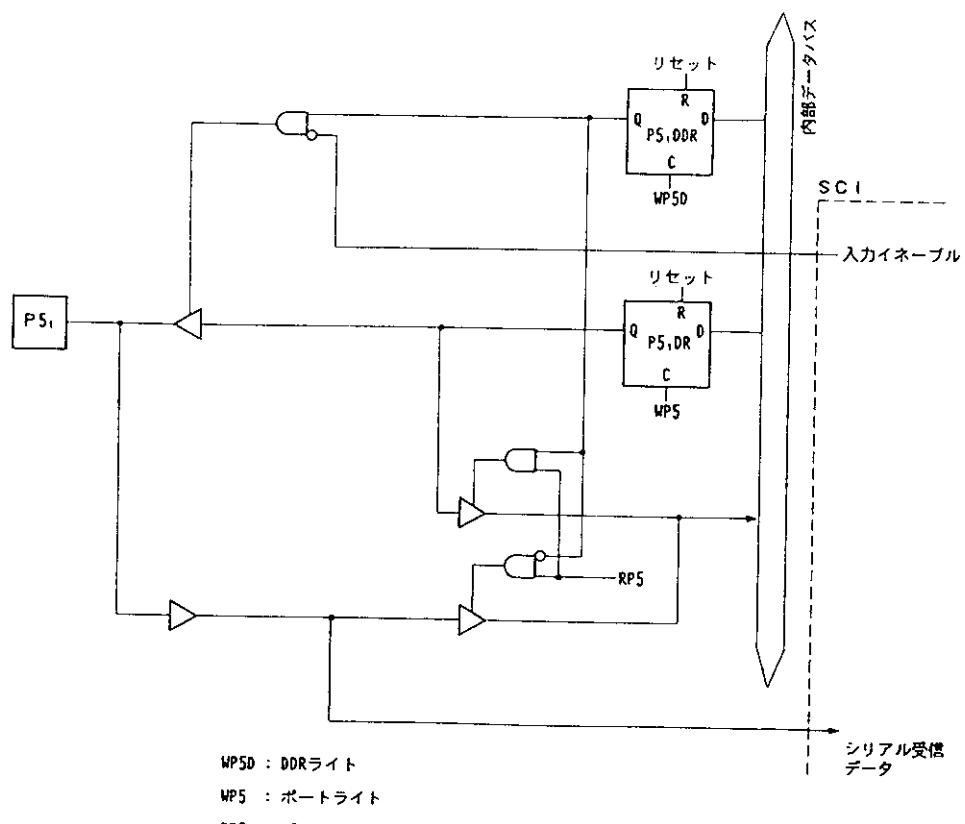


図 C.5(b) ポート5ブロック図 (P5₁端子)

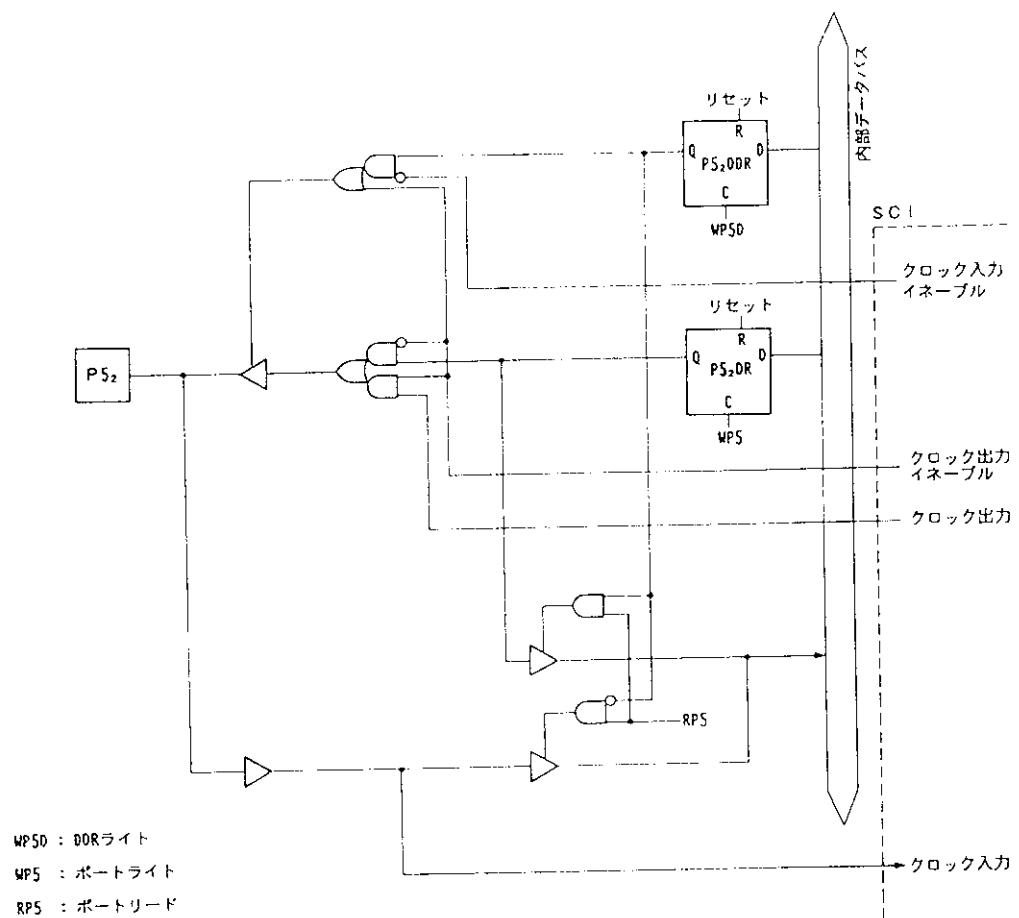


図 C.5(c) ポート 5 ブロック図 (P5₂端子)

C.6 ポート 6 ブロック図

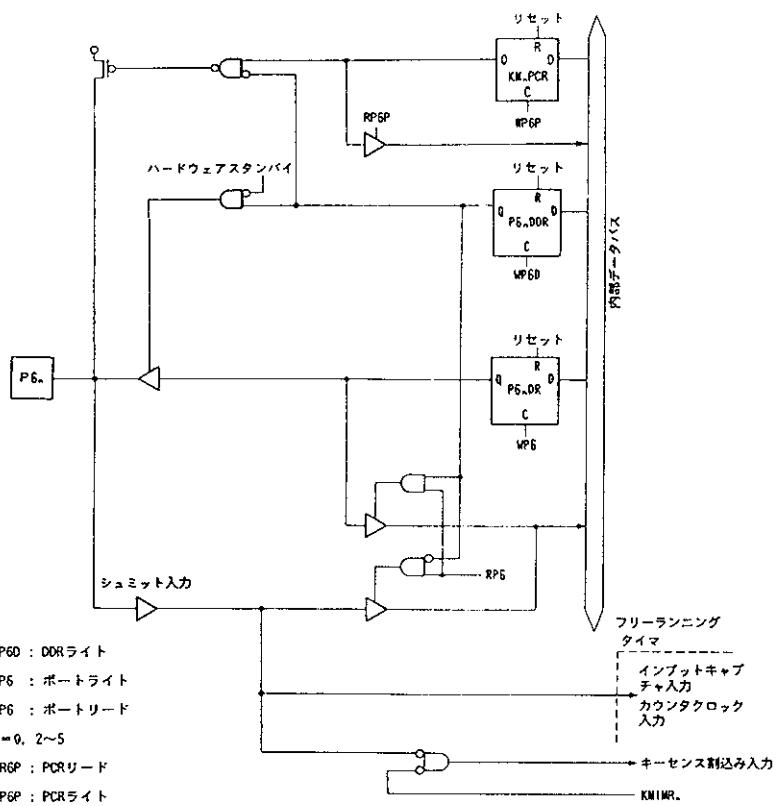


図 C.6(a) ポート 6 ブロック図 (P6₀、P6₂～P6₅端子) 【H 8／3534】

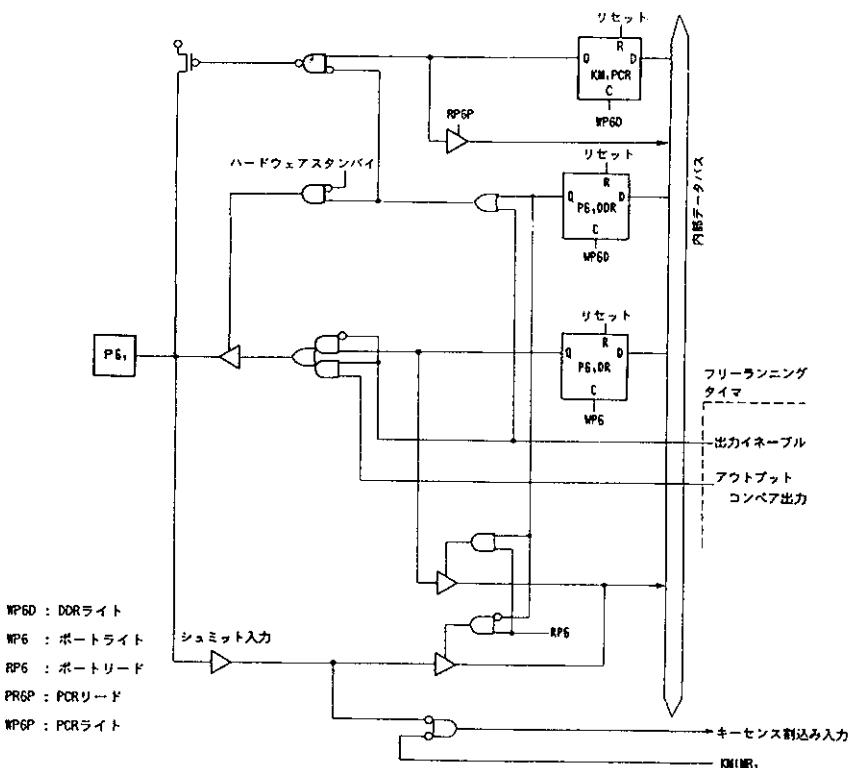


図 C.6(b) ポート 6 ブロック図 (P6₁端子) 【H 8／3534】

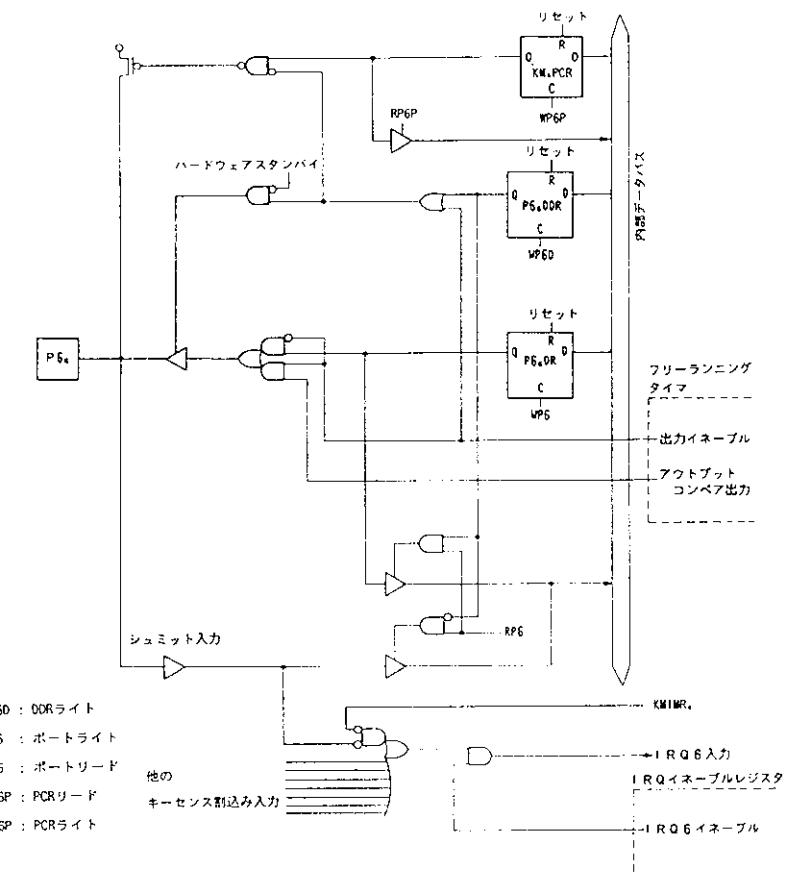


図 C. 6(c) ポート 6 ブロック図 (P₆端子) 【H 8 / 3 5 3 4】

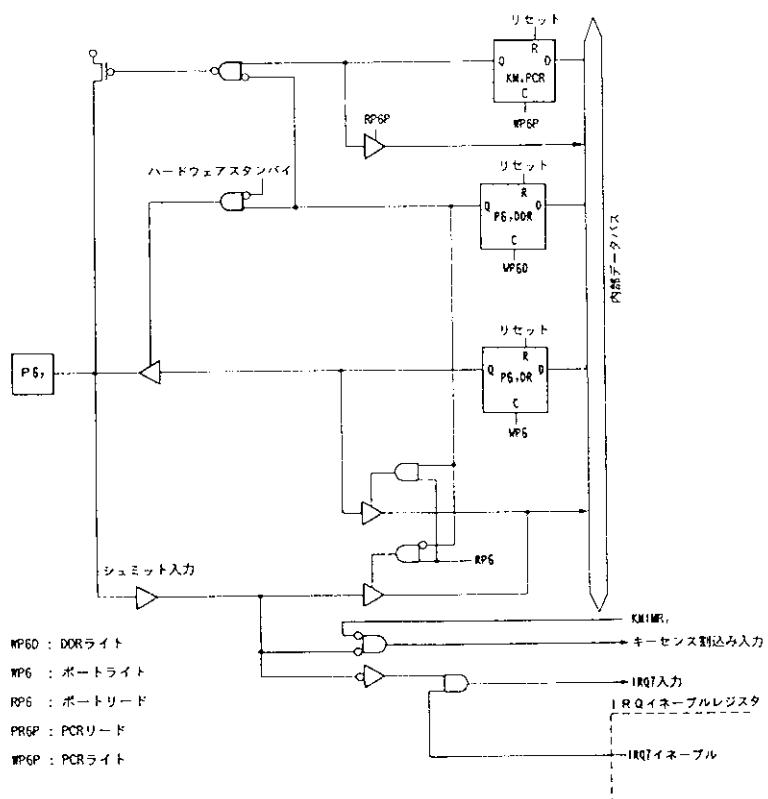


図 C. 6(d) ポート 6 ブロック図 (P6, 端子) 【H 8 / 3 5 3 4】

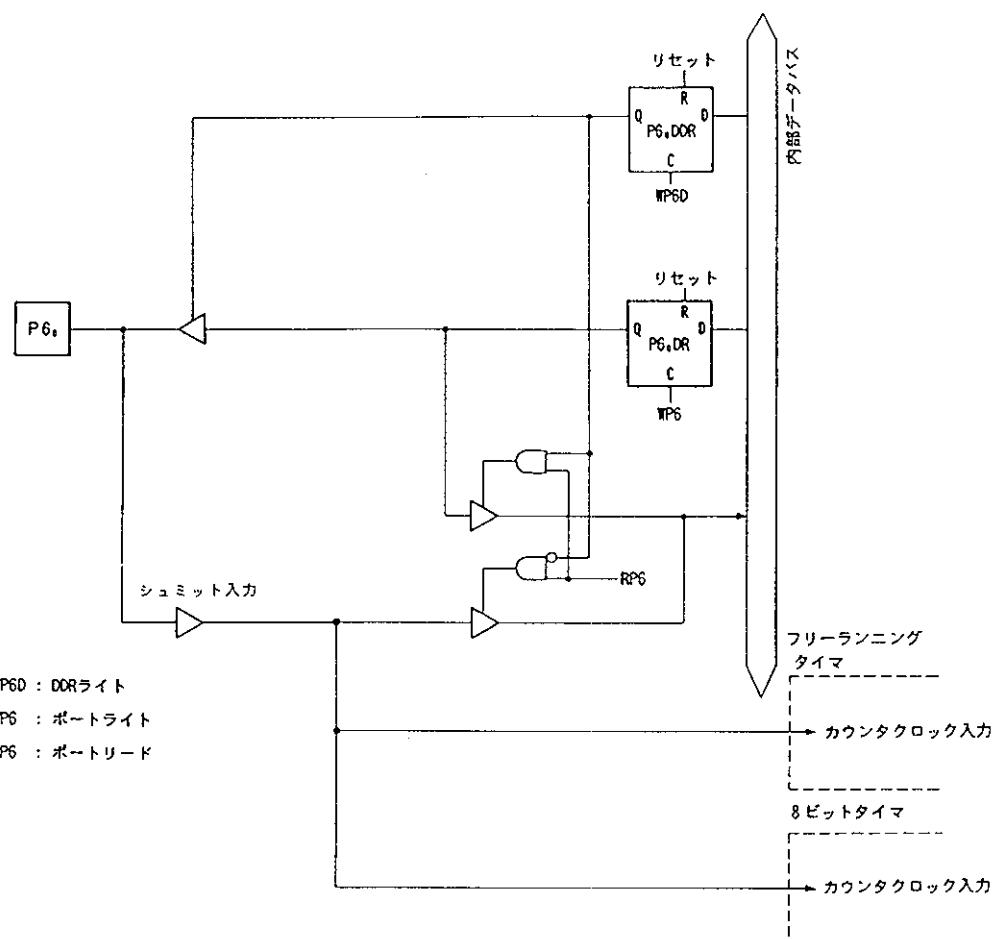


図 C.6(e) ポート 6 ブロック図 (P6₀端子) 【H 8 / 3522】

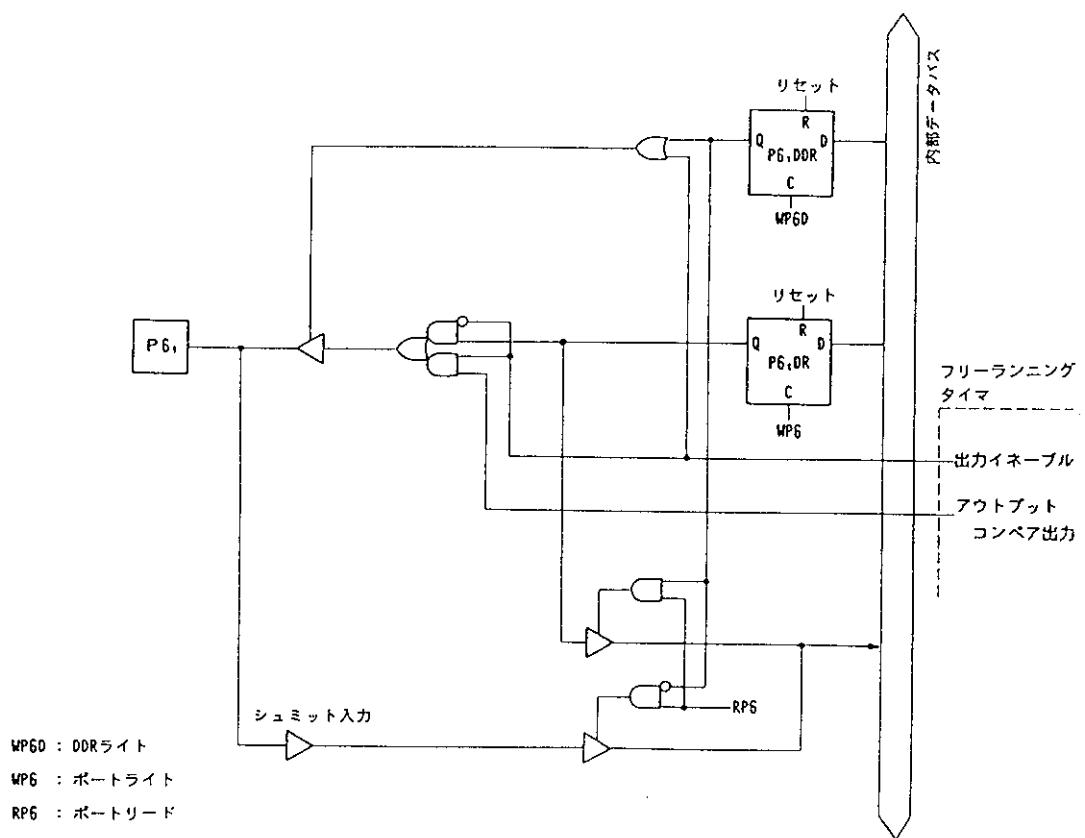


図 C.6(f) ポート 6 ブロック図 (P6₁端子) 【H 8 / 3522】

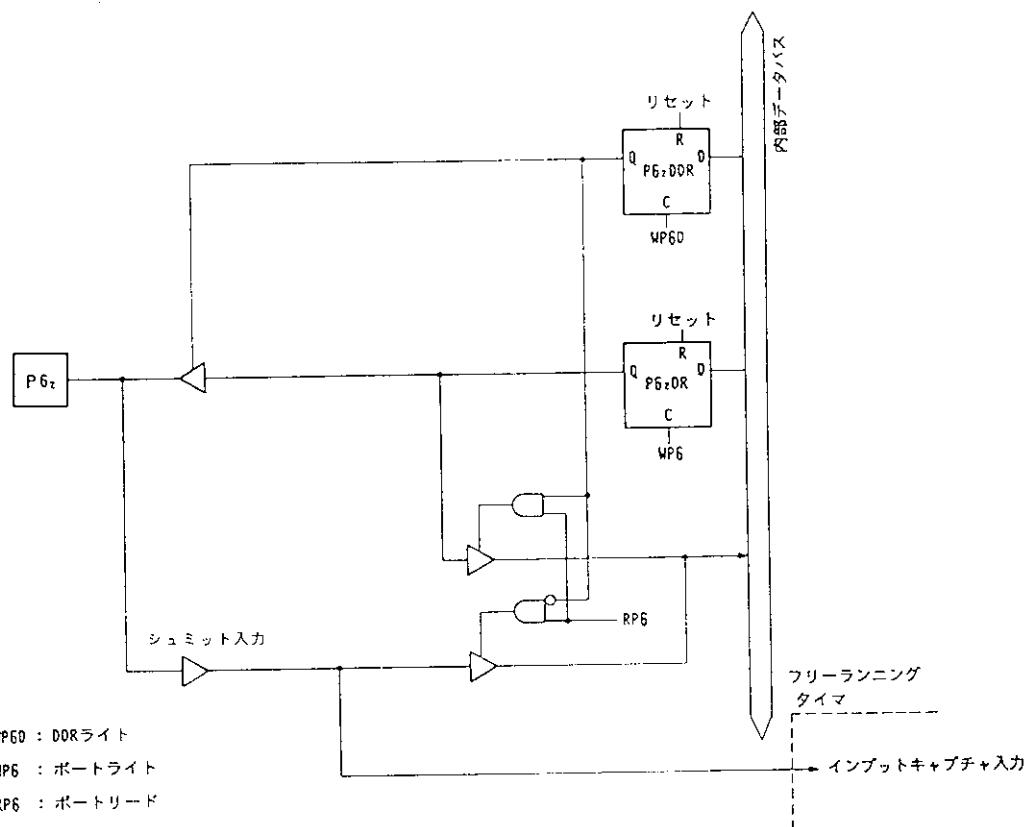


図 C.6(g) ポート 6 ブロック図 (P6₆端子) 【H 8 / 3522】

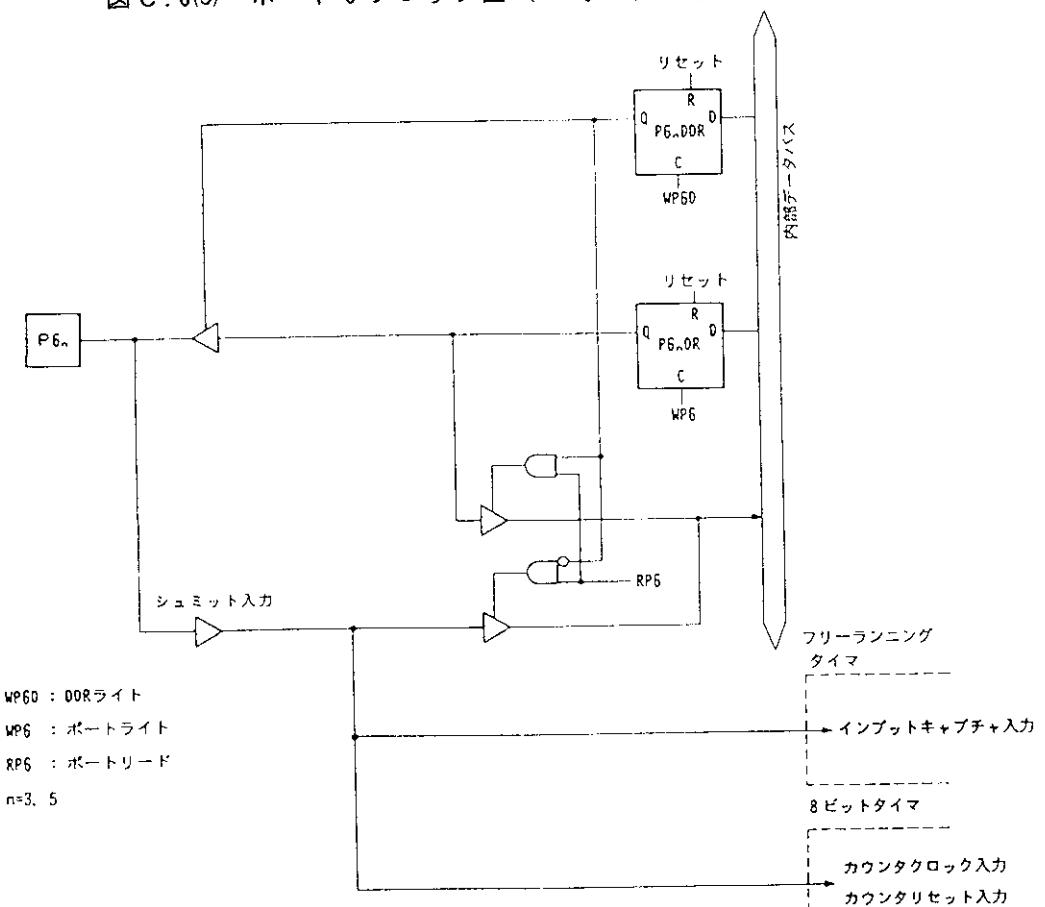


図 C.6(h) ポート 6 ブロック図 (P_{6₃}、P_{6₅}端子) 【H 8 / 3 5 2 2】

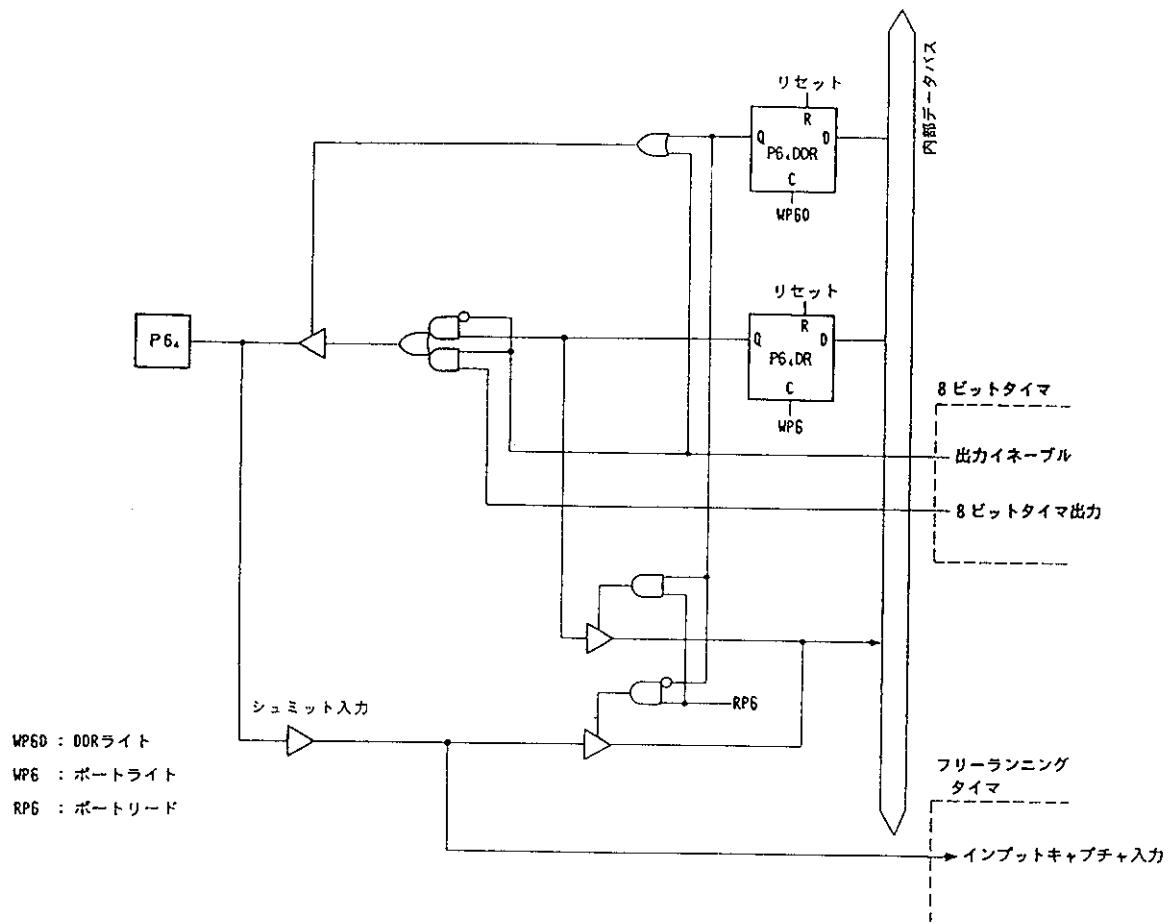


図 C.6(i) ポート 6 ブロック図 (P6₄端子) 【H 8 / 3522】

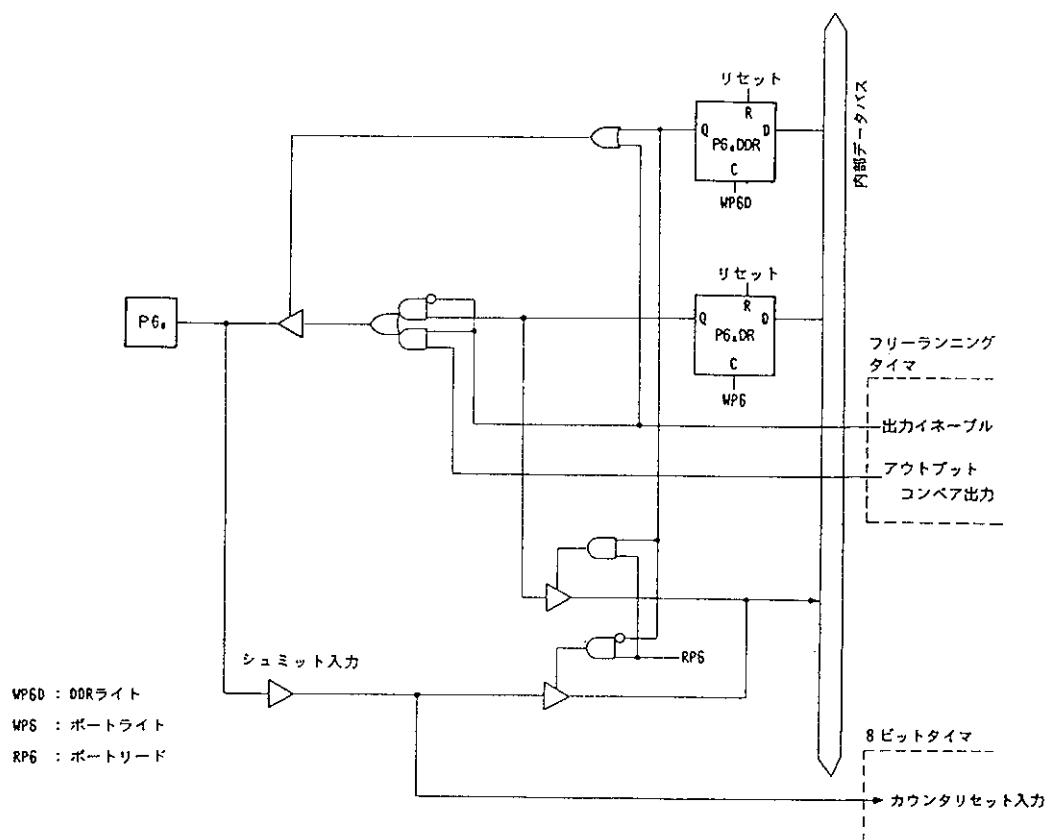


図 C.6(j) ポート 6 ブロック図 (P6₆端子) 【H 8 / 3522】

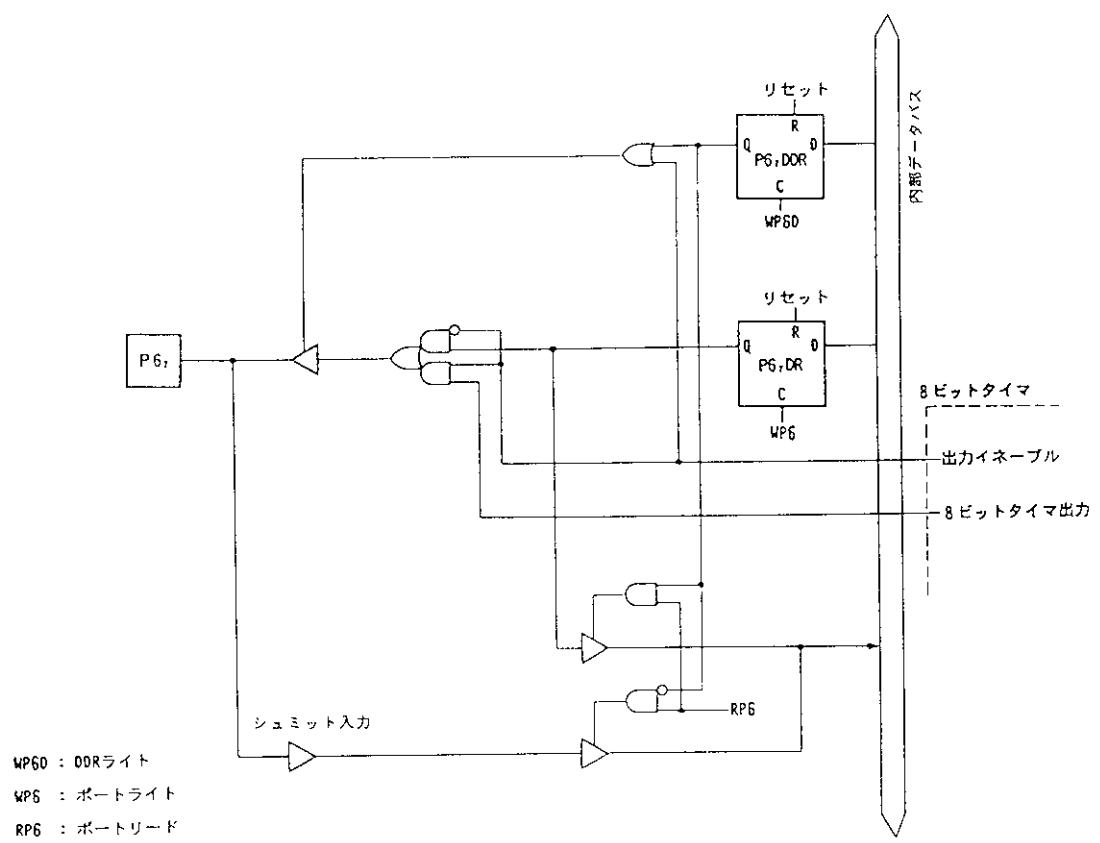


図 C.6(k) ポート 6 ブロック図 (P67端子) 【H 8 / 3 5 2 2】

C.7 ポート7ブロック図

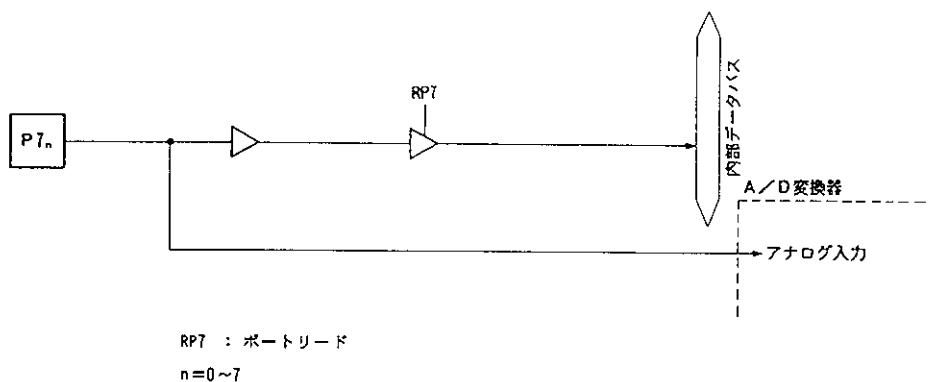
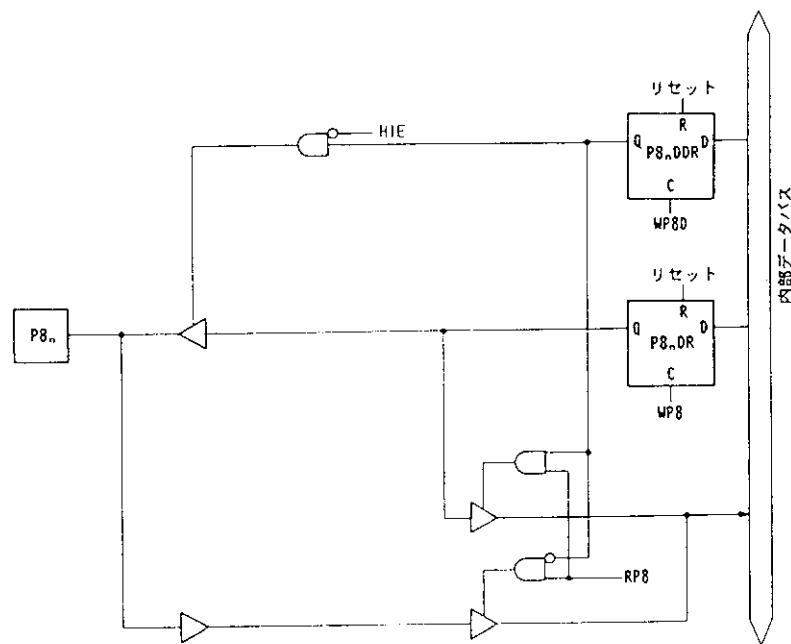


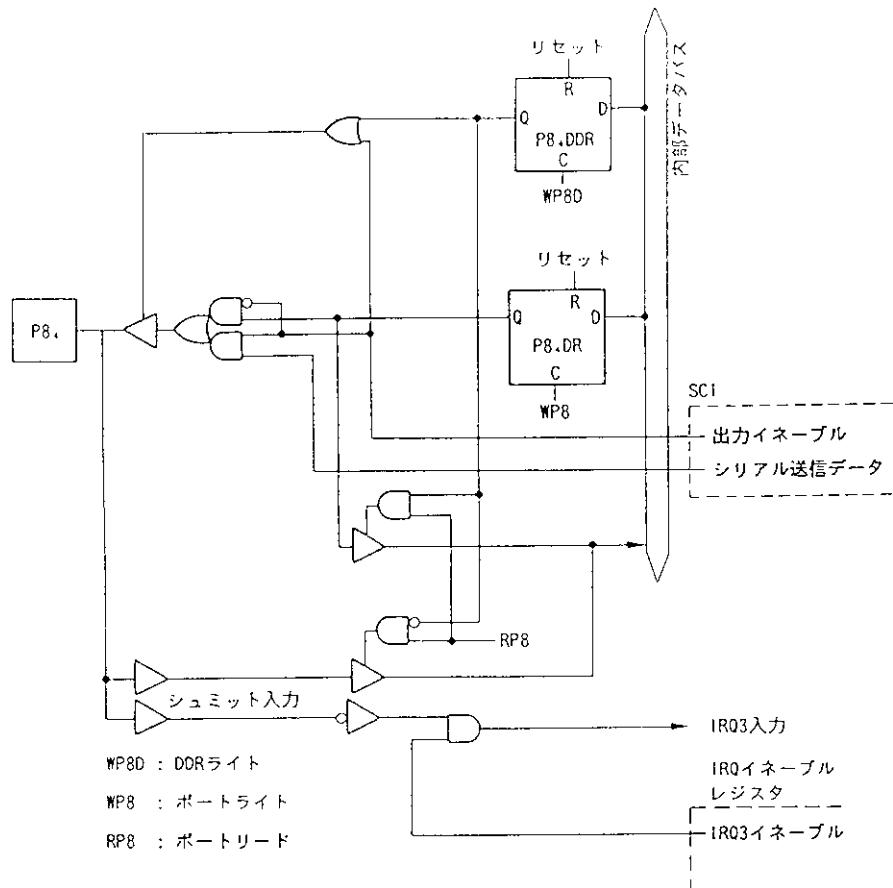
図 C.7 ポート7ブロック図 ($P7_0 \sim P7_7$ 端子)

C.8 ポート8ブロック図【H8/3534のみ】



WP8D : DDRライト
 WP8 : ポートライト
 RP8 : ポートリード
 $n=0 \sim 3$

図C.8(a) ポート8ブロック図 (P8₀～P8₃端子) 【H8/3534】



図C.8(b) ポート8ブロック図 (P8₄端子) 【H8/3534】

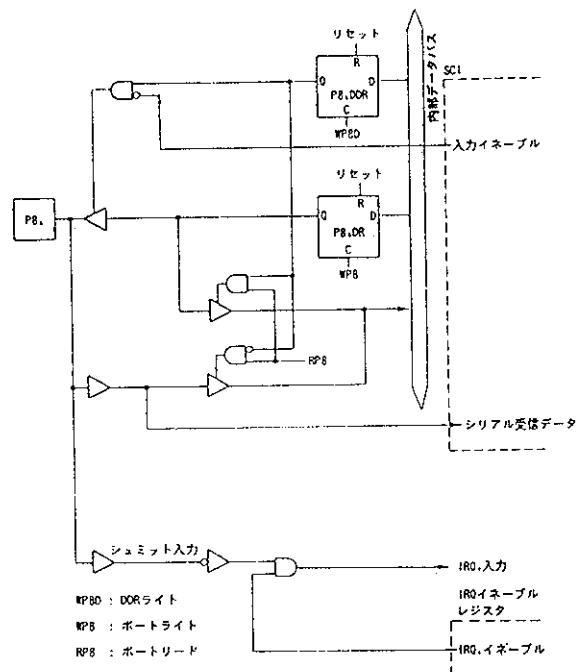


図 C.8(c) ポート 8 ブロック図 (P8₅端子) 【H 8 / 3 5 3 4】

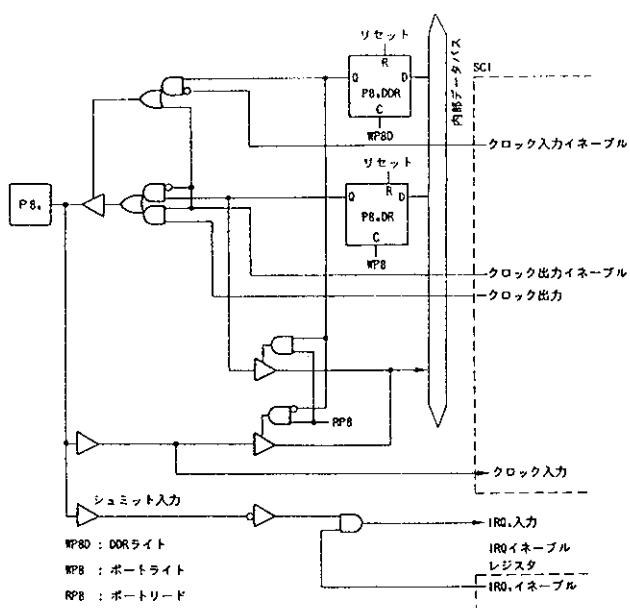


図 C.8(d) ポート 8 ブロック図 (P8₆端子) 【H 8 / 3 5 3 4】

C.9 ポート9ブロック図【H 8 / 3 5 3 4】
 ポート4ブロック図【H 8 / 3 5 2 2】

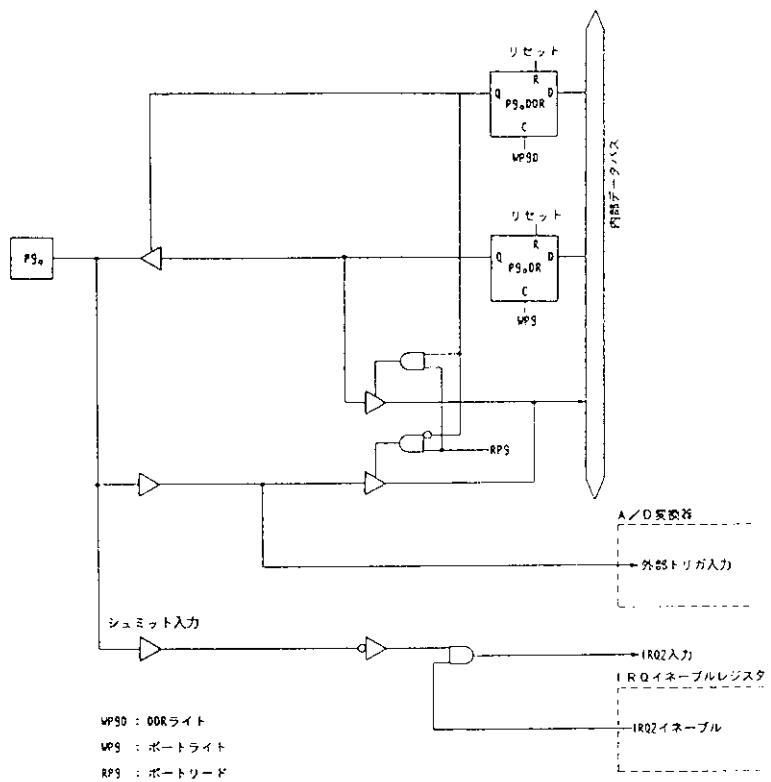


図 C.9(a) ポート9ブロック図 (P9₀端子) 【H 8 / 3 5 3 4】
 ポート4ブロック図 (P4₀端子) 【H 8 / 3 5 2 2】

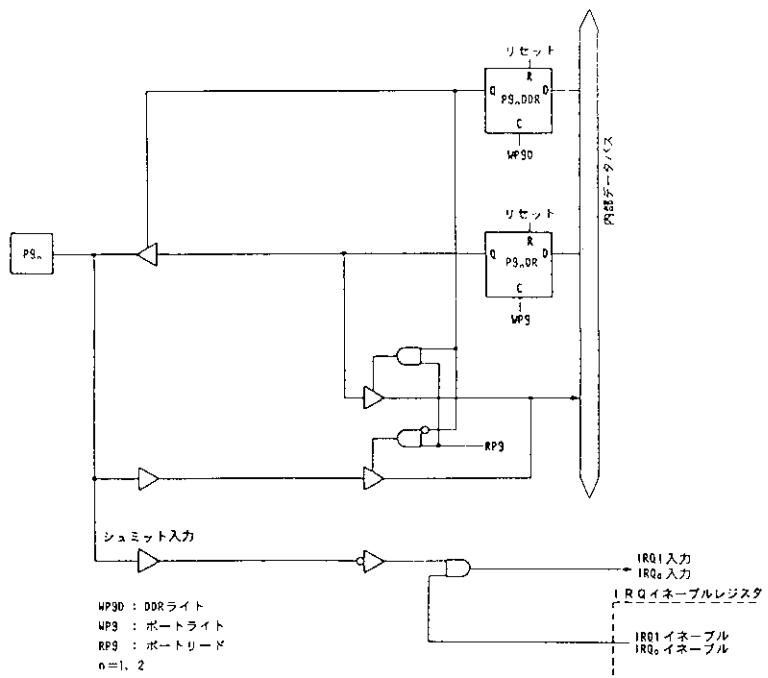
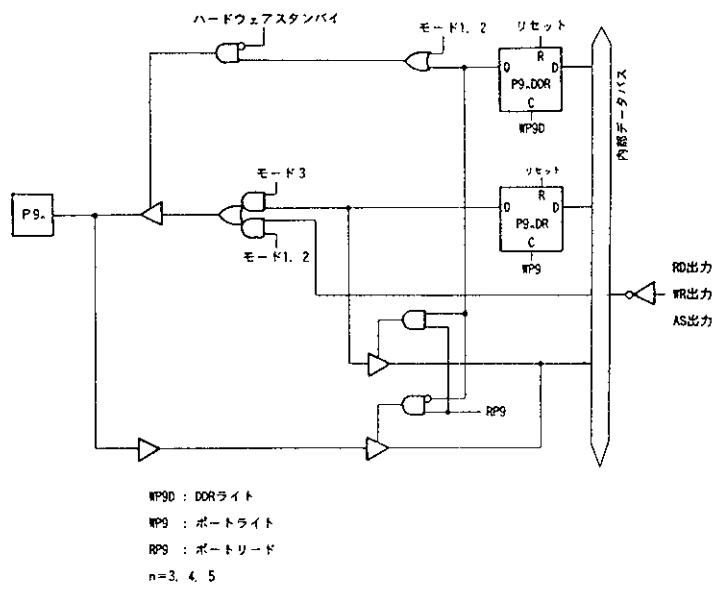
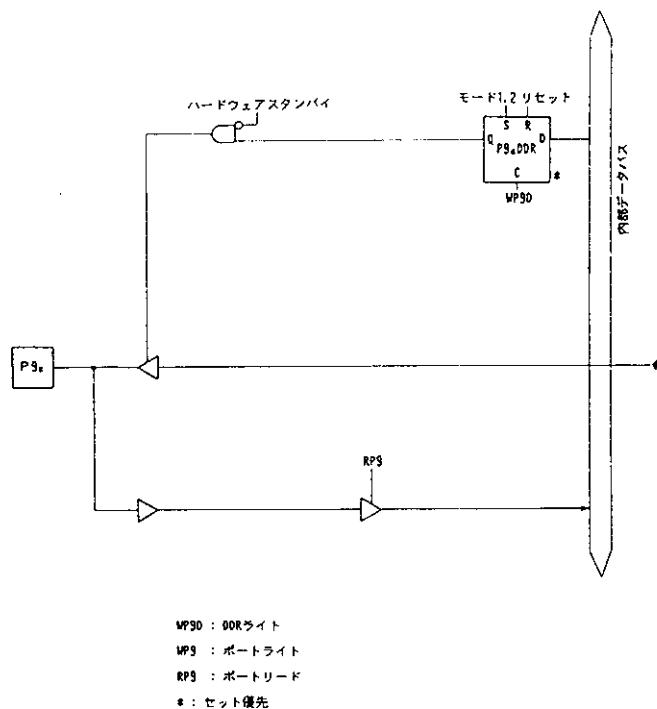


図 C.9(b) ポート9ブロック図 (P9₁, P9₂端子) 【H 8 / 3 5 3 4】
 ポート4ブロック図 (P4₁, P4₂端子) 【H 8 / 3 5 2 2】



図C.9(c) ポート9ブロック図 (P9₃、P9₄、P9₅端子) 【H8/3534】
ポート4ブロック図 (P4₃、P4₄、P4₅端子) 【H8/3522】



図C.9(d) ポート9ブロック図 (P9₆端子) 【H8/3534】
ポート4ブロック図 (P4₆端子) 【H8/3522】

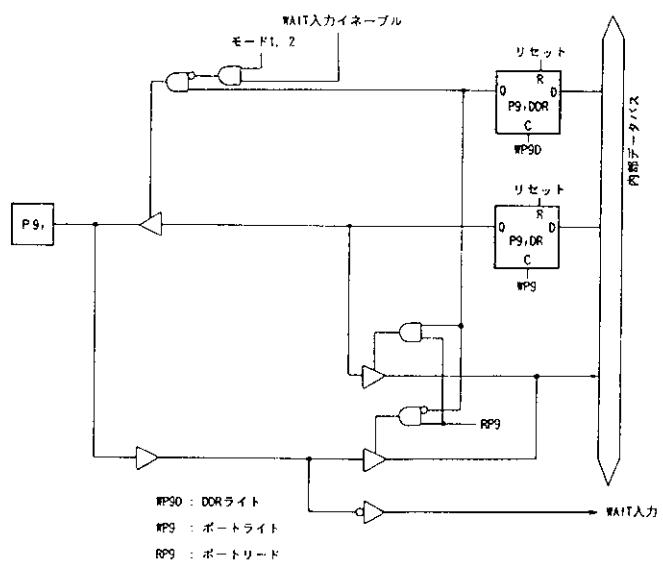


図 C.9(e) ポート 9 ブロック図 (P9₇, 端子) 【H 8 / 3 5 3 4】
 ポート 4 ブロック図 (P4₇, 端子) 【H 8 / 3 5 2 2】

D. 各処理状態におけるポートの状態

表 D.1 各ポートの状態一覧(1)

ポート名 (兼用端子名)	モード	リセット	ハードウェア スタンバイモード	ソフトウェアスタンバイモード	スリープモード	プログラム実行 状態 (通常動作)	
P 1 ₇ ～P 1 ₀ A ₇ ～A ₀	1	L	T	L	keep ^{*1}	A ₇ ～A ₀	
	2	T		[DDR=1] L [DDR=0] keep		アドレス/ 入力ポート	
	3			keep		入出力ポート	
P 2 ₇ ～P 2 ₀ A ₁₅ ～A ₈	1	L	T	L	keep ^{*1}	A ₁₅ ～A ₈	
	2	T		[DDR=1] L [DDR=0] keep		アドレス/ 入力ポート	
	3			keep		入出力ポート	
P 3 ₇ ～P 3 ₀ D ₇ ～D ₀	1	T	T	T	T	D ₇ ～D ₀	
	2			keep	keep	入出力ポート	
	3						
P 4 ₇ ～P 4 ₀ 【H8/3534】	1	T	T	keep ^{*2}	keep	入出力ポート	
	2						
	3						
P 5 ₂ ～P 5 ₀	1	T	T	keep ^{*2}	keep	入出力ポート	
	2						
	3						
P 6 ₇ ～P 6 ₀	1	T	T	keep ^{*2}	keep	入出力ポート	
	2						
	3						
P 7 ₇ ～P 7 ₀	1	T	T	T	T	入力ポート	
	2						
	3						
P 8 ₆ ～P 8 ₀ 【H8/353404】	1	T	T	keep ^{*2}	keep	入出力ポート	
	2						
	3						
P 9 ₇ / WAIT 【H8/3534】	1	T	T	T / keep ^{*2}	T / keep	WAIT / 入出力ポート	
	2						
	3						
P 4 ₇ / WAIT 【H8/3522】	3			keep ^{*2}	keep	入出力ポート	

表D.1 各ポートの状態一覧(2)

ポート名 (兼用端子名)	モード	リセット	ハードウェア スクリーンバイモード	ソフトウェアスタンバイモード	スリープモード	プログラム実行 状態 (通常動作)
P 9 ₆ / φ 【H8/3534】	1	クロック 出力	T	H	クロック出力	クロック出力
P 4 ₆ / φ 【H8/3522】	2			[DDR=1] H	[DDR=1]	[DDR=1]
	3	T		[DDR=0] T	[DDR=0] T	[DDR=0] 入力ポート
P 9 ₅ ~ P 9 ₃ 【H8/3534】	1	H	T	H	H	\overline{AS} 、 \overline{WR} 、 \overline{RD}
P 4 ₅ ~ P 4 ₃ 【H8/3522】	2					
AS、WR、RD	3	T		keep	keep	入出力ポート
P 9 ₂ ~ P 9 ₀ 【H8/3534】	1		T	keep	keep	入出力ポート
P 4 ₂ ~ P 4 ₀ 【H8/3522】	2					
	3					

<記号説明>

H : "High" レベル

L : "Low" レベル

T : ハイインピーダンス

keep : 入力ポートはハイインピーダンス、出力ポートは保持（ポート1～ポート3、およびポート6【H8/3534のみ】についてはDDR = "0"、PCR = "1" の場合、入力プルアップMOSは、ON状態を保持）。

【注】^① アドレス出力の場合、最後にアクセスしたアドレスを保持。

^② 内蔵周辺モジュールがイニシャライズされるため、DDR、DRで決まる入出力ポートとなります。

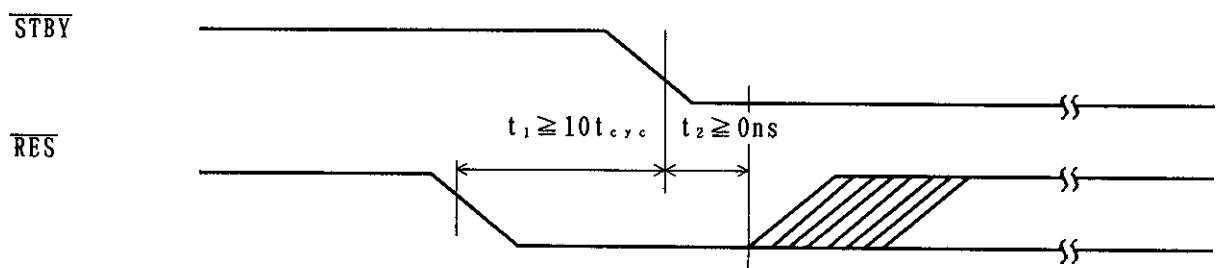
E. ハードウェアスタンバイモード遷移／復帰時のタイミングについて

【ハードウェアスタンバイモードの遷移タイミング】

- (1) SYSCR のRAMEビットを“1”にセットした状態でRAMの内容を保持する場合

下記に示すようにSTBY信号の立下がりに対し、10システムクロック前にRES信号を“Low”してください。

また、RES信号の立上がりは、STBY信号の立下がりに対し、min 0ns です。

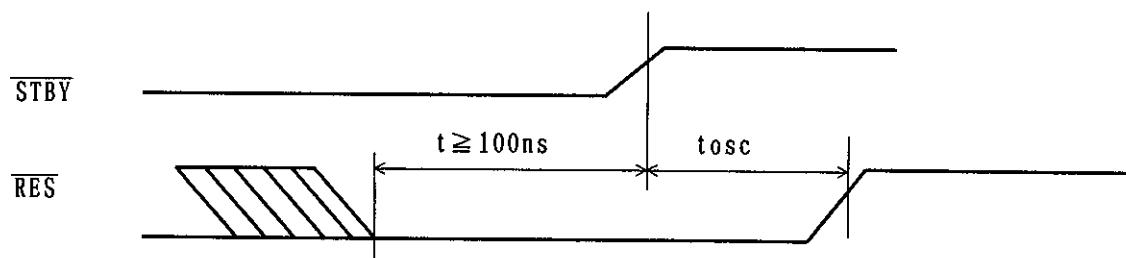


- (2) SYSCR のRAMEビットを“0”にクリアした状態でRAMの内容を保持する場合、またはRAMの内容を保持しない場合

(1)のようにRES信号を“Low”にする必要はありません。

【ハードウェアスタンバイモードからの復帰タイミング】

STBY信号の立上がりに対し、約100ns 前にRES信号を“Low”してください。



F. 型名一覧

表F.1 H8/3534、H8/3522型名一覧

製品分類		製品型名	マーク型名	パッケージ (日立パッケージコード)
H8/3534	マスク ROM版	標準品	HD6433534F	HD6433534(***)F 80ピンQFP(FP-80A)
H8/3522	マスク ROM版	標準品	HD6433522F	HD6433522(***)F 64ピンQFP(FP-64A)
			HD6433522P	HD6433522(***)P 64ピンシングルDIP(DP-64S)

【注】 マスク ROM版の (***) は ROMコードです。

G. 外形寸法図

外形寸法図 FP - 80A を図 G.1、FP - 64A を図 G.2、DP - 64S を図 G.3 に示します。

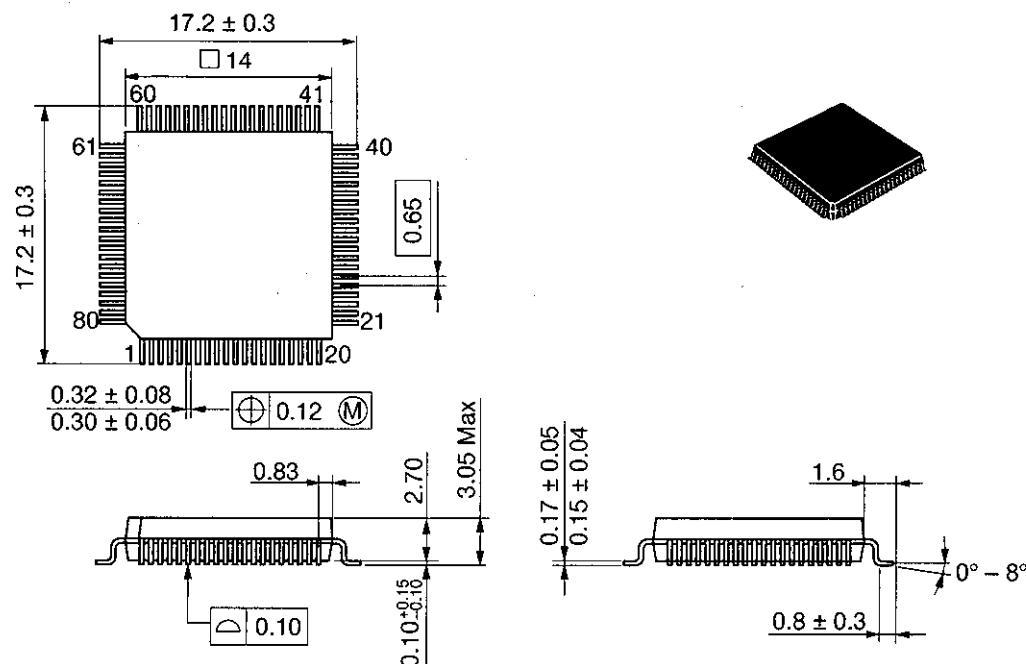
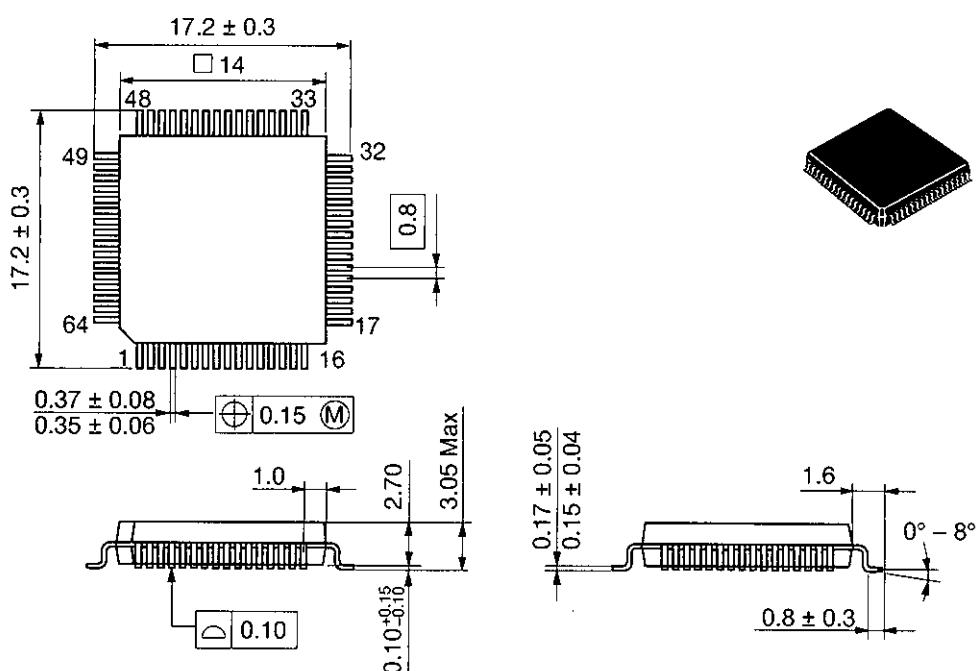


図 G.1 外形寸法図 [FP - 80A] 単位 : mm



Dimension including the plating thickness
Base material dimension

図 G.2 外形寸法図 [FP - 64A] 単位 : mm

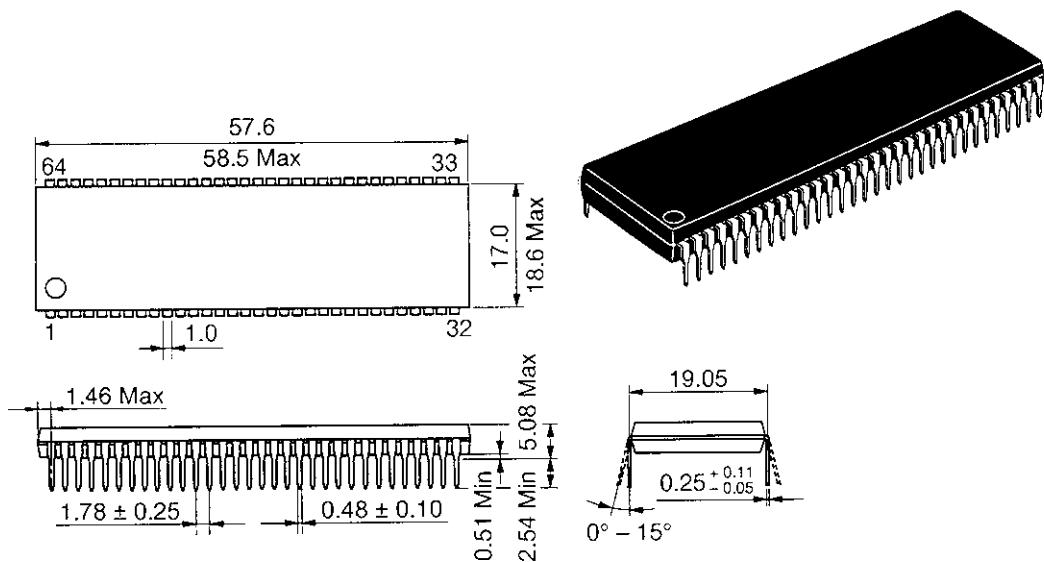


図 G.3 外形寸法図 [D P - 64 S] 単位 : mm

H8/3534, H8/3522 ハードウェアマニュアル

発行年月 平成8年7月 第1版

発 行 株式会社 日立製作所

半導体事業部

編 集 株式会社 日立マイコンシステム

技術情報センター

©株式会社 日立製作所 1996

H8/3534、H8/3522
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 ☎211-8668

ADJ-602-136