

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

改訂一覧は表紙をクリックして直接ご覧になれます。

改訂一覧は改訂箇所をまとめたものであり、
詳細については必ず本文の内容をご確認ください。

H8/3437 シリーズ

ハードウェアマニュアル

ルネサスシングルチップマイクロコンピュータ

H8/3437	HD6473437
	HD6433437
H8/3437F-ZTAT™	HD64F3437
	HD64F3437S
H8/3436	HD6433436
H8/3434	HD6473434
	HD6433434
H8/3434F-ZTAT™	HD64F3434

ご注意

1. 本書に記載の製品及び技術のうち「外国為替及び外国貿易法」に基づき安全保障貿易管理関連貨物・技術に該当するものを輸出する場合、または国外に持ち出す場合は日本国政府の許可が必要です。
2. 本書に記載された情報の使用に際して、弊社もしくは第三者の特許権、著作権、商標権、その他の知的所有権等の権利に対する保証または実施権の許諾を行うものではありません。また本書に記載された情報を使用した事により第三者の知的所有権等の権利に関わる問題が生じた場合、弊社はその責を負いませんので予めご了承ください。
3. 製品及び製品仕様は予告無く変更する場合がありますので、最終的な設計、ご購入、ご使用に際しましては、事前に最新の製品規格または仕様書をお求めになりご確認ください。
4. 弊社は品質・信頼性の向上に努めておりますが、宇宙、航空、原子力、燃焼制御、運輸、交通、各種安全装置、ライフサポート関連の医療機器等のように、特別な品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途にご使用をお考えのお客様は、事前に弊社営業担当迄ご相談をお願い致します。
5. 設計に際しては、特に最大定格、動作電源電圧範囲、放熱性、実装条件及びその他諸条件につきましては、弊社保証範囲内でご使用いただきますようお願い致します。
保証値を超えてご使用された場合の故障及び事故につきましては、弊社はその責を負いません。
また保証値内のご使用であっても半導体製品について通常予測される故障発生率、故障モードをご考慮の上、弊社製品の動作が原因でご使用機器が人身事故、火災事故、その他の拡大損害を生じないようにフェールセーフ等のシステム上の対策を講じて頂きますようお願い致します。
6. 本製品は耐放射線設計をしておりません。
7. 本書の一部または全部を弊社の文書による承認なしに転載または複製することを堅くお断り致します。
8. 本書をはじめ弊社半導体についてのお問い合わせ、ご相談は弊社営業担当迄お願い致します。

はじめに

本 LSI は、内部 32 ビット構成の H8/300 CPU を核に、システム構成に必要な周辺機能を集積した高性能シングルチップマイクロコンピュータです。

本 LSI は、ROM、RAM、4 種類のタイマ、シリアルコミュニケーションインタフェース (SCI)、ホストインタフェース (HIF)、キーボードコントローラ、D/A 変換機、A/D 変換機、I/O ポートなどの周辺機能を内蔵しており、高度な制御システムの組み込み用マイコンとして活用できます。内蔵 ROM はフラッシュメモリ (F-ZTATTM*)、PROM (ZTAT[®]*)、マスク ROM があり、仕様流動性の高い応用機器、量産初期から本格量産の各状況に応じた迅速かつ柔軟な対応が可能です。

【注】 * F-ZTATTM は (株) 日立製作所の商標です。

ZTAT[®] は (株) 日立製作所の登録商標です。

対象者 このマニュアルは、H8/3437 シリーズを用いた応用システムを設計するユーザーを対象としています。

このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、H8/3437 シリーズのハードウェア機能と電気的特性をユーザーに理解していただくことを目的としています。

なお、実行命令の詳細については、「H8/300 シリーズ プログラミングマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- ・機能全体を理解しようとするとき。

目次にしたがって読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- ・CPU 機能の詳細を理解したいとき。

別冊の「H8/300 シリーズ プログラミングマニュアル」を参照してください。

- ・レジスタ名がわかっていて、詳細機能を知りたいとき。

「付録 B. 内部 I/O レジスタ」にアドレス、ビット内容、初期化についてまとめています。

凡例 ビット表記順：左側が上位ビット、右側が下位ビット

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。

(<http://www.hitachisemiconductor.com/jp/>)

・ H8/3437 シリーズに関するユーザーズマニュアル

資料名	資料番号
H8/3437 シリーズハードウェアマニュアル	本マニュアル
H8/300 シリーズ プログラミングマニュアル	ADJ - 602 - 062

・ 開発ツール関連ユーザーズマニュアル

資料名	資料番号
C/C++ コンパイラ、アセンブラ、最適化リンカージェネディタ ユーザーズマニュアル	ADJ - 702 - 303
Windows 版シミュレータ・デバッガユーザーズマニュアル	ADJ - 702 - 163
UNIX 版シミュレータ・デバッガユーザーズマニュアル	ADJ - 702 - 109
日立デバッキングインタフェースユーザーズマニュアル	ADJ - 702 - 231
Hitachi Embedded Workshop ユーザーズマニュアル	ADJ - 702 - 275
H8S、H8/300 シリーズHitachi Embedded Workshop、Hitachi Debugging Interface ユーザーズマニュアル	ADJ - 702 - 307

・ アプリケーションノート

資料名	資料番号
マイコンテクニカル Q & A H8/300 CPU	ADJ - 502 - 022
H8S、H8/300 シリーズ C/C++ コンパイラ編	ADJ - 502 - 051
F-ZTAT マイコンテクニカル Q&A	ADJ - 502 - 055

H8/3437 シリーズハードウェアマニュアル 訂正および追加された箇所

章	頁	節/項	訂正内容（詳細はマニュアル参照）
全体			「ユーザプログラミングモード」を「ユーザプログラムモード」に修正
S マスク品（単一電源仕様）の注意事項			表 1 H8/3437F と H8/3437F S マスク品とのマーク表示の違い ・単一電源品 : H8/3437F S マスク品のマーク表示例を修正
1. 概要	3	1.1 概要	【注】に記述を追加
	6		表 1.1 特長(3) ・「その他」の仕様を修正 ・「製品ラインアップ」の仕様 H8/3434YF-ZTAT の ROM を修正、注（1）、（3）を削除
5. ウェイト制御	95	5.2 各レジスタの説明 ・5.2.1 ウェイトコントロールレジスタ（WSCR）	ビット 3～0 の記述修正
6. クロック発振器	110	6.2.2 発振器（H8/3337S 品）	新規追加
12. シリアルコミュニケーションインタフェース	278	12.3 動作説明 ・12.3.2 調歩同期式モード時の動作	(3)データの送信 / 受信動作 (b)シリアルデータ送信 図 12.5 シリアルデータ送信のフローチャートの例 ・フローチャートの修正 ・手順 1 の記述追加
	281	・12.3.3 調歩同期式モード時の動作	図 12.7 シリアルデータ受信データフローチャートの例 ・タイトルを「シリアルデータ受信フローチャートの例」に修正
13. I ² C バスインタフェース	318	13.3.4 スレーブ送信動作	(4) の記述を修正
	328 ~ 331	13.4 使用上の注意	(4)再送開始条件発行の注意 ~ (8)その他の注意 追加

章	頁	節/項	訂正内容(詳細はマニュアル参照)
18. ROM(マスクROM版/ ZTAT版)	401	18.3 PROMのプログラミング ・18.3.2 書き込み時の注意	(1)の記述追加
19. ROM(二電源方式フラッシュメモリ32kバイト版)~ 21. ROM(単一電源方式フラッシュメモリ60kバイト版)	405~ 585	全体	「ユーザプログラミングモード」を「ユーザプログラムモード」に修正
21.ROM(単一電源方式フラッシュメモリ60kバイト版)	543~ 545	21.1 フラッシュメモリの概要 ・21.1.7 フラッシュメモリの動作モード	(1)モード遷移図 図21.2 フラッシュメモリに関する状態遷移 ・「SWE」を「FLSHE」に修正 (2)オンボードプログラミングモード (a) ブートモード ・図21.3 ブートモード 手順2を修正 (b) ユーザプログラムモード ・図21.4 ユーザプログラムモード(例) 手順2を修正
	551	21.2 フラッシュメモリのレジスタの説明 ・21.2.3 消去ブロック指定レジスタ2(EBR2)	ビット7の「*」と【注】*を追加
	558~ 559	21.3 オンボードプログラミングモード ・21.3.1 ブートモード	(3)ブートモード時のRAMエリアの分割 ・記述の修正 ・図21.9 ブートモード時のRAMエリア 修正 (4)ブートモード使用時の注意事項 ・(5)の記述修正
	562~ 566	21.4 フラッシュメモリの書き込み/消去 ・21.4~ 21.4.4 イレースベリファイモード	全体の記述修正
	572	21.5 フラッシュメモリのライターモード(H8/3437SF) ・21.5.1 ライタモードの設定	「*」と【注】*の記述追加

章	頁	節/項	訂正内容（詳細はマニュアル参照）
21.ROM（単一電源方式フラッシュメモリ 60kバイト版）	582	21.5.3 ライタモードの動作	図 21.22 ステータス読み出しモードのタイミング波形注の修正
	584	21.6 フラッシュメモリの書き込み / 消去時の注意	(1)の記述修正
22. 低消費電力状態	596	22.3 ソフトウェアスタンバイモード ・ 22.3.5 使用上の注意	(2)の記述削除
23. 電気的特性	616	23.2 電気的特性 ・ 23.2.5 フラッシュメモリ特性（H8/3437SF）	新規追加
	617 ~ 627	23.3 絶対最大定格（H8/3437SF 低電圧版） ~ 23.4 電気的特性（H8/3437SF 低電圧版）	新規追加

S マスク品（単一電源仕様）の注意事項

フラッシュメモリ内蔵の H8/3437F には二電源版と単一電源版（S マスク）があります。単一電源品の H8/3437F S マスク品を使用する上での注意事項を以下に示します。

1. 電圧印加時の注意事項

「S マスク品（単一電源仕様）には、絶対に 12V を印加しないでください。12V を印加した場合、LSI の永久破壊にいたることがあります。」

S マスク品（単一電源仕様）のフラッシュメモリ書き換え電源は V_{CC} です。二電源品での書き換え電源は FV_{pp} 端子（12 V）でしたが、単一電源品（S マスク品）には FV_{pp} 端子はありません。

また、ブートモードにおいて二電源品では MD_1 端子に 12 V 印加が必要でしたが、単一電源品（S マスク品）では、12 V 印加の必要はありません。

MD_1 端子の最大定格は $V_{CC}+0.3V$ です。最大定格を超えた電圧を印加した場合、LSI の永久破壊となります。

「S マスク品（単一電源仕様）では、ライタの設定を HN28F101 にセットしないでください。誤ってセットした場合、STBY 端子に 12V 印加され、破壊にいたることがあります。」

ROM ライタを使って、S マスク品（単一電源仕様）の内蔵フラッシュメモリの書き換えを行う場合は、日立 64kB フラッシュメモリ内蔵マイコンデバイス対応をサポートしている PROM ライタを使用してください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊にいたることがあります。

次にあげる PROM ライタは S マスク品（単一電源仕様）をサポートしています。

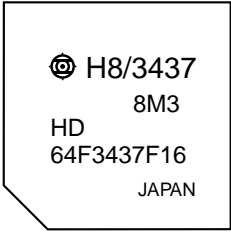
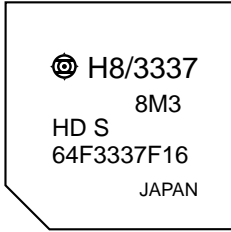
DATA I/O : UNISITE、2900、3900 等

ミナト : 1892、1891、1890 等

2. 製品型名とマーク表示

H8/3437F（二電源仕様）とH8/3437SF（単一電源仕様）の製品型名とマーク表示例、フラッシュメモリ書き換え電源の違いを表1に示します。

表1 H8/3437F と H8/3437F S マスク品とのマーク表示の違い

	二電源品： H8/3437F	単一電源品： H8/3437F S マスク品
製品型名	HD64F3437F16/TF16	HD64F3437SF16/TF16
マーク表示例		 型名の上に“S”がつきます。
フラッシュメモリ書き換え電源	V _{PP} 電源 (12.0V ± 0.6V)	V _{CC} 電源 (5.0V ± 10%)

3. S マスク品の相違点

H8/3437F（二電源仕様）とH8/3437SF（単一電源仕様）との相違点を表2に示します。

表2 H8/3437F と H8/3437F S マスク品との相違点

項目	二電源品： H8/3437F	単一電源品： H8/3437F S マスク品
書き込み / 消去 電圧	外部から 12V 印加が必要 V _{PP} (12.0V ± 0.6V)	12V 印加不要 V _{CC} 単一電源書き込み V _{CC} (5.0V ± 10%)
FV _{PP} (FWE) 端子機能	FV _{PP} 電源と STBY 機能とが兼用端子	書き込み制御端子なし
プログラミング モード	・ライターモード ・オンボード：ブートモード ユーザプログラミングモード	(使用方法については、第 21 章を参照 願います。)
オンボードプロ グラミング可能 な動作モード	・ライターモード ・ブートモード ・ユーザプログラミングモード	(使用方法については、第 21 章を参照 願います。)
オンボード 書き込み単位	1 バイト単位の書き込み	32 バイト単位の書き込み

項目	二電源品 : H8/3437F	単一電源品 : H8/3437F S マスク品												
PROMライターでのプログラミング	日立単体フラッシュメモリ HN28F101 を選択し書き換える	専用のプログラミングモードの設定が必要。日立 64kB フラッシュメモリ内蔵マイコンデバイスタイプをサポートしている PROMライターを使用して書き換える。(128 バイト単位の高速度ページ書き込み)												
ブートモード設定方法	$MD_1 = FV_{PP}/STBY = 12\text{ V}$ 印加後 リセット解除	<table border="1"> <thead> <tr> <th>端子</th> <th>MD₁</th> <th>MD₀</th> <th>P9₂</th> <th>P9₁</th> <th>P9₀</th> </tr> </thead> <tbody> <tr> <td>設定レベル</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table> <p>上記端子設定後、リセット解除</p>	端子	MD ₁	MD ₀	P9 ₂	P9 ₁	P9 ₀	設定レベル	0	0	1	1	1
端子	MD ₁	MD ₀	P9 ₂	P9 ₁	P9 ₀									
設定レベル	0	0	1	1	1									
ユーザプログラムモード設定方法	$FV_{PP} = 12\text{ V}$ 印加	ソフトウェアで制御ビットを設定する												
プログラミングモードタイミング														
ブレライト処理	消去前に必要	不要												
書き込み処理	書き込み前に書き込み対象アドレスに相当するブロックを EBR1、EBR2 のレジスタで設定する必要がある	左記の設定不要												
EBR レジスタ構成	EBR1、EBR2	EBR2												

項目	二電源品 : H8/3437F	単一電源品 : H8/3437F S マスク品																																
メモリマップ(ブロック分割)																																		
動作中のリセット	最低 10 システムクロック (10) サイクルの間、 \overline{RES} 端子を Low レベルにしてください。(\overline{RES} パルス幅 $t_{RESW} = \text{min.}10t_{CYC}$)	最低 20 システムクロック (20) サイクルの間、 \overline{RES} 端子を Low レベルにしてください。(\overline{RES} パルス幅 $t_{RESW} = \text{min.}20t_{CYC}$)																																
MDCR	<table border="1"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>MDS1</td><td>MDS0</td></tr> </table>	7	6	5	4	3	2	1	0	—	—	—	—	—	—	MDS1	MDS0	<table border="1"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td>EXPE</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>MDS1</td><td>MDS0</td></tr> </table> <p>bit7 : 拡張モードイネーブル (EXPE)</p>	7	6	5	4	3	2	1	0	EXPE	—	—	—	—	—	MDS1	MDS0
7	6	5	4	3	2	1	0																											
—	—	—	—	—	—	MDS1	MDS0																											
7	6	5	4	3	2	1	0																											
EXPE	—	—	—	—	—	MDS1	MDS0																											
WSCR	<table border="1"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td>RAMS</td><td>RAM0</td><td>CKDBL</td><td>—</td><td>WMS1</td><td>WMS0</td><td>WC1</td><td>WC0</td></tr> </table>	7	6	5	4	3	2	1	0	RAMS	RAM0	CKDBL	—	WMS1	WMS0	WC1	WC0	<table border="1"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td>—</td><td>—</td><td>CKDBL</td><td>FLSHE</td><td>WMS1</td><td>WMS0</td><td>WC1</td><td>WC0</td></tr> </table> <p>bit4 : フラッシュメモリコントロールレジスタイネーブル (FLSHE)</p>	7	6	5	4	3	2	1	0	—	—	CKDBL	FLSHE	WMS1	WMS0	WC1	WC0
7	6	5	4	3	2	1	0																											
RAMS	RAM0	CKDBL	—	WMS1	WMS0	WC1	WC0																											
7	6	5	4	3	2	1	0																											
—	—	CKDBL	FLSHE	WMS1	WMS0	WC1	WC0																											
FLMCR1	<table border="1"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td>VPP</td><td>—</td><td>—</td><td>—</td><td>EV</td><td>PV</td><td>E</td><td>P</td></tr> </table>	7	6	5	4	3	2	1	0	VPP	—	—	—	EV	PV	E	P	<table border="1"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td>FWE</td><td>SWE</td><td>—</td><td>—</td><td>EV</td><td>PV</td><td>E</td><td>P</td></tr> </table> <p>bit7 : フラッシュライトイネーブル (FWE)</p> <p>bit6 : ソフトウェアライトイネーブル (SWE)</p>	7	6	5	4	3	2	1	0	FWE	SWE	—	—	EV	PV	E	P
7	6	5	4	3	2	1	0																											
VPP	—	—	—	EV	PV	E	P																											
7	6	5	4	3	2	1	0																											
FWE	SWE	—	—	EV	PV	E	P																											
FLMCR2	-	<table border="1"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td>FLER</td><td>—</td><td>—</td><td>—</td><td>—</td><td>—</td><td>ESU</td><td>PSU</td></tr> </table> <p>bit7 : フラッシュメモリエラー (FLER)</p> <p>bit1 : イレースセットアップ (ESU)</p> <p>bit0 : プログラムセットアップ (PSU)</p>	7	6	5	4	3	2	1	0	FLER	—	—	—	—	—	ESU	PSU																
7	6	5	4	3	2	1	0																											
FLER	—	—	—	—	—	ESU	PSU																											
EBR1	<table border="1"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td>LB7</td><td>LB6</td><td>LB5</td><td>LB4</td><td>LB3</td><td>LB2</td><td>LB1</td><td>LB0</td></tr> </table>	7	6	5	4	3	2	1	0	LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0	- 本アドレスは使用しないでください。																
7	6	5	4	3	2	1	0																											
LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0																											

項目	二電源品：H8/3437F	単一電源品：H8/3437F S マスク品																																
EBR2	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>SB7</td><td>SB6</td><td>SB5</td><td>SB4</td><td>SB3</td><td>SB2</td><td>SB1</td><td>SB0</td> </tr> </table>	7	6	5	4	3	2	1	0	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0	<table border="1"> <tr> <td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td> </tr> <tr> <td>EB7</td><td>EB6</td><td>EB5</td><td>EB4</td><td>EB3</td><td>EB2</td><td>EB1</td><td>EB0</td> </tr> </table> <p>消去ブロック指定レジスタ（EBR2） EB0（1k バイト）：H[]0000～H[]03FF EB1（1k バイト）：H[]0400～H[]07FF EB2（1k バイト）：H[]0800～H[]0BFF EB3（1k バイト）：H[]0C00～H[]0FFF EB4（28k バイト）：H[]1000～H[]7FFF EB5（16k バイト）：H[]8000～H[]BFFF EB6（12k バイト）：H[]C000～H[]EF7F EB7（2k バイト）：H[]EF00～H[]F77F</p>	7	6	5	4	3	2	1	0	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
7	6	5	4	3	2	1	0																											
SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0																											
7	6	5	4	3	2	1	0																											
EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0																											
フラッシュメモリに関する詳細	「第 20 章 ROM(二電源方式フラッシュメモリ 60k バイト版)」を参照ください。	「第 21 章 ROM(単一電源方式フラッシュメモリ 60k バイト版)」を参照ください。																																
電気的特性	「第 23 章 電気的特性」を参照ください。	「第 23 章 電気的特性」を参照ください。																																
レジスタ一覧表	「付録 B. レジスタ一覧」を参照ください。	「付録 B. レジスタ一覧」を参照ください。																																

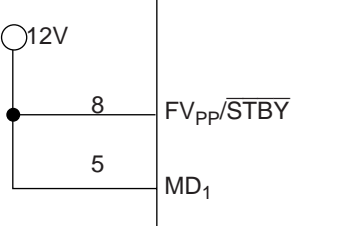
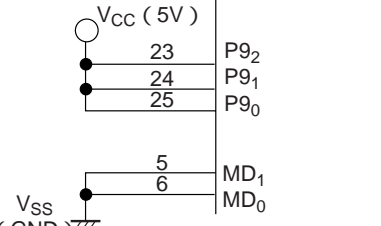
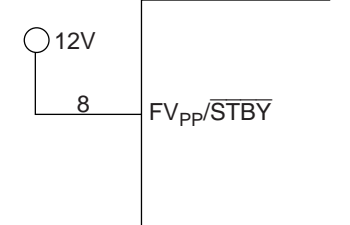
H8/3437F（二電源仕様）と H8/3437SF（単一電源仕様）との開発環境の相違点を表 3 に示します。

表 3 H8/3437F と H8/3437F S マスク品の開発環境

項目		二電源品：H8/3437F	単一電源品：H8/3437F S マスク品
エミュレータ E6000	本体	日立製 HS3008EPI60H	日立製 HS3008EPI60H
	ユーザ ケーブル	日立製 HS3437ECH61H	日立製 HS3437ECH61H
書き込みソケット アダプタ		日立製 HS3434ESHF1H	ミナト製 DATA I/O 製
アダプタボード		日立製 HS0008EASF1H/2H	日立製 HS0008EASF3H
Windows インタフェースソフト		日立製 HS6400FWIW2SF	日立製 HS6400FWIW2SF

H8/3437F (二電源仕様) と H8/3437SF (単一電源仕様) の端子設定の相違点を表 4 に示します。

表 4 H8/3437F と H8/3437F S マスク品の端子設定

項目	二電源品 : H8/3437F	単一電源品 : H8/3437F S マスク品
ブートモード	 <p>H8/3437F</p>	 <p>H8/3437SF</p>
ユーザプログラミングモード	 <p>H8/3437F</p>	<p>端子状態による状態遷移はありません。ソフトウェアでレジスタを設定し、実現してください。</p>

目次

第1章 概要

1.1	概要	3	
1.2	内部ブロック図	7	
1.3	端子説明	8	
	1.3.1	ピン配置	8
	1.3.2	端子機能	9

第2章 CPU

2.1	概要	23	
	2.1.1	特長	23
	2.1.2	アドレス空間	24
	2.1.3	レジスタ構成	24
2.2	各レジスタの説明	25	
	2.2.1	汎用レジスタ	25
	2.2.2	コントロールレジスタ	26
	2.2.3	CPU 内部レジスタの初期値	27
2.3	データ構成	28	
	2.3.1	汎用レジスタのデータ構成	28
	2.3.2	メモリ上でのデータ構成	29
2.4	アドレッシングモード	30	
	2.4.1	アドレッシングモード	30
	2.4.2	実効アドレスの計算方法	32
2.5	命令セット	36	
	2.5.1	データ転送命令	38
	2.5.2	算術演算命令	40
	2.5.3	論理演算命令	41
	2.5.4	シフト命令	41

	2.5.5	ビット操作命令	43
	2.5.6	分岐命令	49
	2.5.7	システム制御命令	51
	2.5.8	ブロック転送命令	52
2.6		処理状態	54
	2.6.1	概要	54
	2.6.2	プログラム実行状態	55
	2.6.3	例外処理状態	55
	2.6.4	低消費電力状態	55
2.7		基本動作タイミング	56
	2.7.1	内蔵メモリ (RAM、ROM)	56
	2.7.2	内蔵周辺モジュール / 外部デバイス	57

第3章 MCU 動作モード

3.1		概要	63
	3.1.1	動作モードの選択	63
	3.1.2	レジスタ構成	63
3.2		システムコントロールレジスタ (SYSCR)	64
3.3		モードコントロールレジスタ (MDCR)	67
3.4		各動作モードのメモリマップ	68

第4章 例外処理

4.1		概要	73
4.2		リセット	74
	4.2.1	概要	74
	4.2.2	リセットシーケンス	74
	4.2.3	リセット直後の割り込み	76
4.3		割り込み	77
	4.3.1	概要	77
	4.3.2	各レジスタの説明	79
	4.3.3	外部割り込み	83
	4.3.4	内部割り込み	84
	4.3.5	割り込み動作	84
	4.3.6	割り込み応答時間	88
	4.3.7	使用上の注意	89
4.4		スタック領域に関する使用上の注意	90

第5章 ウェイト制御

5.1	概要.....	93
	5.1.1 特長.....	93
	5.1.2 ブロック図.....	93
	5.1.3 端子構成.....	94
	5.1.4 レジスタ構成.....	94
5.2	各レジスタの説明.....	95
	5.2.1 ウェイトステートコントロールレジスタ (WSCR).....	95
5.3	ウェイトモード.....	97

第6章 クロック発振器

6.1	概要.....	103
	6.1.1 ブロック図.....	103
	6.1.2 ウェイトステートコントロールレジスタ (WSCR).....	103
6.2	発振器.....	105
	6.2.1 発振器 (一般品).....	105
	6.2.2 発振器 (H8/3437S 品).....	110
6.3	デューティ補正回路.....	115
6.4	プリスケーラ.....	115

第7章 I/O ポート

7.1	概要.....	119
7.2	ポート1.....	122
	7.2.1 概要.....	122
	7.2.2 レジスタの構成と説明.....	122
	7.2.3 モード別端子機能.....	125
	7.2.4 入力プルアップ MOS.....	126
7.3	ポート2.....	127
	7.3.1 概要.....	127
	7.3.2 レジスタの構成と説明.....	127
	7.3.3 モード別端子機能.....	130
	7.3.4 入力プルアップ MOS.....	131
7.4	ポート3.....	132
	7.4.1 概要.....	132
	7.4.2 レジスタの構成と説明.....	132
	7.4.3 モード別端子機能.....	134

	7.4.4	入力プルアップ MOS	136
7.5	ポート 4		137
	7.5.1	概要	137
	7.5.2	レジスタの構成と説明	138
	7.5.3	端子機能	139
7.6	ポート 5		141
	7.6.1	概要	141
	7.6.2	レジスタの構成と説明	141
	7.6.3	端子機能	143
7.7	ポート 6		144
	7.7.1	概要	144
	7.7.2	レジスタの構成と説明	144
	7.7.3	端子機能	146
	7.7.4	入力プルアップ MOS	148
7.8	ポート 7		149
	7.8.1	概要	149
	7.8.2	レジスタの構成と説明	149
7.9	ポート 8		150
	7.9.1	概要	150
	7.9.2	レジスタの構成と説明	151
	7.9.3	端子機能	152
7.10	ポート 9		154
	7.10.1	概要	154
	7.10.2	レジスタの構成と説明	155
	7.10.3	端子機能	157
7.11	ポート A		159
	7.11.1	概要	159
	7.11.2	レジスタの構成と説明	159
	7.11.3	端子機能	161
	7.11.4	入力プルアップ MOS	162
7.12	ポート B		163
	7.12.1	概要	163
	7.12.2	レジスタの構成と説明	163
	7.12.3	モード別端子機能	165
	7.12.4	入力プルアップ MOS	166

第8章 16ビットフリーランニングタイマ

8.1	概要.....	169
	8.1.1 特長.....	169
	8.1.2 ブロック図.....	170
	8.1.3 端子構成.....	171
	8.1.4 レジスタ構成.....	171
8.2	各レジスタの説明.....	172
	8.2.1 フリーランニングカウンタ (FRC)	172
	8.2.2 アウトプットコンペアレジスタ A、B (OCRA、OCRB)	172
	8.2.3 インพุットキャプチャレジスタ A~D (ICRA~ICRD)	173
	8.2.4 タイマインタラプトイネーブルレジスタ (TIER)	174
	8.2.5 タイマコントロール/ステータスレジスタ (TCSR)	176
	8.2.6 タイマコントロールレジスタ (TCR)	180
	8.2.7 タイマアウトプットコンペアコントロールレジスタ (TOCR)	182
8.3	CPU とのインタフェース	184
8.4	動作説明.....	186
	8.4.1 FRC のカウントタイミング.....	186
	8.4.2 アウトプットコンペア出力タイミング.....	187
	8.4.3 FRC のクリアタイミング	187
	8.4.4 インพุットキャプチャ入力タイミング.....	188
	8.4.5 インพุットキャプチャフラグ (ICFA~ICFD) のセットタイミング.....	190
	8.4.6 アウトプットコンペアフラグ (OCFA、OCFB) のセットタイミング	191
	8.4.7 タイマオーバフローフラグ (OVF) のセットタイミング	191
8.5	割り込み要因	192
8.6	FRT の使用例	193
8.7	使用上の注意	194

第9章 8ビットタイマ

9.1	概要.....	201
	9.1.1 特長.....	201
	9.1.2 ブロック図.....	202
	9.1.3 端子構成.....	203
	9.1.4 レジスタ構成.....	203
9.2	各レジスタの説明.....	204
	9.2.1 タイマカウンタ (TCNT)	204
	9.2.2 タイムコンスタントレジスタ A、B (TCORA、TCORB)	204
	9.2.3 タイマコントロールレジスタ (TCR)	205

	9.2.4	タイマコントロール/ステータスレジスタ (TCSR)	208
	9.2.5	シリアルタイマコントロールレジスタ (STCR)	210
9.3		動作説明	211
	9.3.1	TCNTのカウンタタイミング	211
	9.3.2	コンペアマッチタイミング	212
	9.3.3	TCNTの外部リセットタイミング	214
	9.3.4	オーバフローフラグ (OVF) のセットタイミング	214
9.4		割り込み要因	215
9.5		8ビットタイマの使用例	216
9.6		使用上の注意	217
	9.6.1	TCNTのライトとカウンタクリアの競合	217
	9.6.2	TCNTのライトとカウンタアップの競合	218
	9.6.3	TCORのライトとコンペアマッチの競合	219
	9.6.4	コンペアマッチ A、B の競合	219
	9.6.5	内部クロックの切り換えと TCNT の動作	220

第 10 章 PWM タイマ

10.1		概要	225
	10.1.1	特長	225
	10.1.2	ブロック図	225
	10.1.3	端子機能	226
	10.1.4	レジスタ構成	226
10.2		各レジスタの説明	227
	10.2.1	タイマカウンタ (TCNT)	227
	10.2.2	デューティレジスタ (DTR)	227
	10.2.3	タイマコントロールレジスタ (TCR)	228
10.3		PWM タイマの動作	230
	10.3.1	タイマカウンタ入力タイミング	230
	10.3.2	PWM 動作タイミング	230
10.4		使用上の注意	232

第 11 章 ウォッチドッグタイマ

11.1		概要	235
	11.1.1	特長	235
	11.1.2	ブロック図	236
	11.1.3	端子構成	236

11.1.4	レジスタ構成	236
11.2	各レジスタの説明	237
11.2.1	タイマカウンタ (TCNT)	237
11.2.2	タイマコントロール/ステータスレジスタ (TCSR)	237
11.2.3	システムコントロールレジスタ (SYSCR)	240
11.2.4	レジスタ書き換え時の注意	241
11.3	動作説明	242
11.3.1	ウォッチドッグタイマモード時の動作	242
11.3.2	インターバルタイマモード時の動作	243
11.3.3	オーバフローフラグ (OVF) のセットタイミング	243
11.3.4	$\overline{\text{RESO}}$ 信号出力タイミング	244
11.4	使用上の注意	245

第 12 章 シリアルコミュニケーションインタフェース

12.1	概要	249
12.1.1	特長	249
12.1.2	ブロック図	250
12.1.3	端子構成	251
12.1.4	レジスタ構成	251
12.2	各レジスタの説明	252
12.2.1	レシーブシフトレジスタ (RSR)	252
12.2.2	レシーブデータレジスタ (RDR)	252
12.2.3	トランスミットシフトレジスタ (TSR)	252
12.2.4	トランスミットデータレジスタ (TDR)	253
12.2.5	シリアルモードレジスタ (SMR)	253
12.2.6	シリアルコントロールレジスタ (SCR)	256
12.2.7	シリアルステータスレジスタ (SSR)	259
12.2.8	ビットレートレジスタ (BRR)	262
12.2.9	シリアルタイマコントロールレジスタ (STCR)	271
12.3	動作説明	272
12.3.1	概要	272
12.3.2	調歩同期式モード時の動作	274
12.3.3	クロック同期式モード時の動作	287
12.4	SCI 割り込み	294
12.5	使用上の注意	295

第 13 章 I²C バスインタフェース【オプション】

13.1	概要.....	299
	13.1.1	特長..... 299
	13.1.2	ブロック図..... 301
	13.1.3	端子構成..... 302
	13.1.4	レジスタ構成..... 302
13.2	各レジスタの説明.....	303
	13.2.1	I ² C バスデータレジスタ (ICDR)..... 303
	13.2.2	スレーブアドレスレジスタ (SAR)..... 303
	13.2.3	I ² C バスモードレジスタ (ICMR)..... 304
	13.2.4	I ² C バスコントロールレジスタ (ICCR)..... 306
	13.2.5	I ² C バスステータスレジスタ (ICSR)..... 309
	13.2.6	シリアルタイムコントロールレジスタ (STCR)..... 313
13.3	動作説明.....	315
	13.3.1	I ² C バスデータフォーマット..... 315
	13.3.2	マスタ送信動作..... 316
	13.3.3	マスタ受信動作..... 317
	13.3.4	スレーブ送信動作..... 318
	13.3.5	スレーブ受信動作..... 320
	13.3.6	IRIC セットタイミングと SCL 制御..... 321
	13.3.7	ノイズ除去回路..... 322
	13.3.8	使用例..... 323
13.4	使用上の注意.....	327

第 14 章 ホストインタフェース

14.1	概要.....	335
	14.1.1	ブロック図..... 336
	14.1.2	端子構成..... 337
	14.1.3	レジスタ構成..... 338
14.2	各レジスタの説明.....	339
	14.2.1	システムコントロールレジスタ (SYSCR)..... 339
	14.2.2	ホストインタフェースコントロールレジスタ (HICR)..... 339
	14.2.3	入力データレジスタ (IDR1)..... 341
	14.2.4	出力データレジスタ 1 (ODR1)..... 341
	14.2.5	ステータスレジスタ 1 (STR1)..... 341
	14.2.6	入力データレジスタ 2 (IDR2)..... 343
	14.2.7	出力データレジスタ 2 (ODR2)..... 343

	14.2.8	ステータスレジスタ 2 (STR2)	344
	14.2.9	シリアルタイマコントロールレジスタ (STCR)	346
14.3		動作説明	347
	14.3.1	ホストインタフェースの起動	347
	14.3.2	コントロール状態	347
	14.3.3	GATE A20	348
14.4		割り込み要因	350
	14.4.1	IBF1、IBF2	350
	14.4.2	HIRQ11、HIRQ1、HIRQ12	350
14.5		使用上の注意	351

第 15 章 A/D 変換器

15.1		概要	355
	15.1.1	特長	355
	15.1.2	ブロック図	356
	15.1.3	端子構成	357
	15.1.4	レジスタ構成	358
15.2		各レジスタの説明	359
	15.2.1	A/D データレジスタ A ~ D (ADDRA ~ ADDR D)	359
	15.2.2	A/D コントロール / ステータスレジスタ (ADCSR)	360
	15.2.3	A/D コントロールレジスタ (ADCR)	362
15.3		CPU とのインタフェース	364
15.4		動作説明	365
	15.4.1	単一モード (SCAN = 0)	365
	15.4.2	スキャンモード (SCAN = 1)	367
	15.4.3	入力サンプリングと A/D 変換時間	369
	15.4.4	外部トリガ入力タイミング	370
15.5		割り込み	371
15.6		使用上の注意	371

第 16 章 D/A 変換器

16.1		概要	379
	16.1.1	特長	379
	16.1.2	ブロック図	379
	16.1.3	端子構成	380
	16.1.4	レジスタ構成	380

16.2	各レジスタの説明.....	381
16.2.1	D/A データレジスタ 0、1 (DADR0、1)	381
16.2.2	D/A コントロールレジスタ (DACR)	381
16.3	動作説明.....	383

第 17 章 RAM

17.1	概要.....	387
17.1.1	ブロック図.....	387
17.1.2	システムコントロールレジスタ (SYSCR) の RAM イネーブルビット (RAME)	388
17.2	動作説明.....	389
17.2.1	拡張モード (モード 1、2)	389
17.2.2	シングルチップモード (モード 3)	389

第 18 章 ROM (マスク ROM 版 / ZTAT 版)

18.1	概要.....	393
18.1.1	ブロック図.....	394
18.2	ライターモード (H8/3437、H8/3434)	395
18.2.1	ライターモードの設定	395
18.2.2	ソケットアダプタの端子対応とメモリマップ.....	395
18.3	PROM のプログラミング.....	398
18.3.1	書き込み / ベリファイ	399
18.3.2	書き込み時の注意.....	401
18.3.3	書き込み後の信頼性	402

第 19 章 ROM (二電源方式フラッシュメモリ 32k バイト版)

19.1	フラッシュメモリの概要.....	405
19.1.1	フラッシュメモリの動作原理	405
19.1.2	モード端子の設定と ROM 空間.....	406
19.1.3	特長.....	406
19.1.4	ブロック図.....	407
19.1.5	端子構成	408
19.1.6	レジスタ構成	408
19.2	フラッシュメモリ各レジスタの説明.....	409
19.2.1	フラッシュメモリコントロールレジスタ (FLMCR)	409

	19.2.2	消去ブロック指定レジスタ 1 (EBR1)	411
	19.2.3	消去ブロック指定レジスタ 2 (EBR2)	412
	19.2.4	ウェイトステートコントロールレジスタ (WSCR)	413
19.3		オンボードプログラミングモード	416
	19.3.1	ブートモード	416
	19.3.2	ユーザプログラムモード.....	423
19.4		フラッシュメモリの書き込み / 消去.....	425
	19.4.1	プログラムモード.....	425
	19.4.2	プログラムベリファイモード	426
	19.4.3	書き込みのフローチャートとプログラム例	427
	19.4.4	イレースモード	429
	19.4.5	イレースベリファイモード	430
	19.4.6	消去のフローチャートとプログラム例.....	431
	19.4.7	プレライトベリファイモード	444
	19.4.8	プロテクトモード.....	445
	19.4.9	フラッシュメモリへの書き込み / 消去時の割り込み処理	447
19.5		RAM によるフラッシュメモリのエミュレーション	449
19.6		フラッシュメモリのライターモード (H8/3434F)	451
	19.6.1	ライターモードの設定	451
	19.6.2	ソケットアダプタの端子対応とメモリマップ.....	451
	19.6.3	ライターモードの動作	453
19.7		フラッシュメモリの書き込み / 消去時の注意.....	461

第 20 章 ROM (二電源方式フラッシュメモリ 60k バイト版)

20.1		フラッシュメモリの概要.....	471
	20.1.1	フラッシュメモリの動作原理	471
	20.1.2	モード端子の設定と ROM 空間.....	472
	20.1.3	特長.....	472
	20.1.4	ブロック図.....	473
	20.1.5	端子構成	474
	20.1.6	レジスタ構成	474
20.2		フラッシュメモリ各レジスタの説明.....	475
	20.2.1	フラッシュメモリコントロールレジスタ (FLMCR)	475
	20.2.2	消去ブロック指定レジスタ 1 (EBR1)	477
	20.2.3	消去ブロック指定レジスタ 2 (EBR2)	478
	20.2.4	ウェイトステートコントロールレジスタ (WSCR)	479
20.3		オンボードプログラミングモード	483

20.3.1	ブートモード	483
20.3.2	ユーザプログラムモード.....	490
20.4	フラッシュメモリの書き込み / 消去.....	492
20.4.1	プログラムモード.....	492
20.4.2	プログラムベリファイモード	493
20.4.3	書き込みのフローチャートとプログラム例	494
20.4.4	イレースモード	496
20.4.5	イレースベリファイモード	497
20.4.6	消去のフローチャートとプログラム例.....	498
20.4.7	プレライトベリファイモード	511
20.4.8	プロテクトモード.....	512
20.4.9	フラッシュメモリへの書き込み / 消去時の割り込み処理	514
20.5	RAM によるフラッシュメモリのエミュレーション	516
20.6	フラッシュメモリのライターモード (H8/3437F)	518
20.6.1	ライターモードの設定	518
20.6.2	ソケットアダプタの端子対応とメモリマップ.....	518
20.6.3	ライターモードの動作	520
20.7	フラッシュメモリの書き込み / 消去時の注意.....	528

第 21 章 ROM (単一電源方式フラッシュメモリ 60k バイト版)

21.1	フラッシュメモリの概要.....	539
21.1.1	モード端子の設定と ROM 空間.....	539
21.1.2	特長.....	539
21.1.3	ブロック図.....	540
21.1.4	端子構成	541
21.1.5	レジスタ構成	541
21.1.6	モードコントロールレジスタ (MDCR)	542
21.1.7	フラッシュメモリの動作モード.....	543
21.2	フラッシュメモリのレジスタの説明.....	547
21.2.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	547
21.2.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	549
21.2.3	消去ブロック指定レジスタ 2 (EBR2)	551
21.2.4	ウェイトステートコントロールレジスタ (WSCR)	552
21.3	オンボードプログラミングモード	554
21.3.1	ブートモード	554
21.3.2	ユーザプログラムモード.....	560
21.4	フラッシュメモリの書き込み / 消去.....	562

21.4.1	プログラムモード.....	562
21.4.2	プログラムベリファイモード.....	563
21.4.3	イレースモード.....	565
21.4.4	イレースベリファイモード.....	565
21.4.5	プロテクトモード.....	568
21.4.6	フラッシュメモリへの書き込み / 消去時の割り込み処理.....	571
21.5	フラッシュメモリのライターモード (H8/3437SF).....	572
21.5.1	ライターモードの設定.....	572
21.5.2	ソケットアダプタの端子対応とメモリマップ.....	572
21.5.3	ライターモードの動作.....	573
21.6	フラッシュメモリの書き込み / 消去時の注意.....	584

第 22 章 低消費電力状態

22.1	概要.....	589
22.1.1	システムコントロールレジスタ (SYSCR).....	590
22.2	スリープモード.....	592
22.2.1	スリープモードへの遷移.....	592
22.2.2	スリープモードの解除.....	592
22.3	ソフトウェアスタンバイモード.....	593
22.3.1	ソフトウェアスタンバイモードへの遷移.....	593
22.3.2	ソフトウェアスタンバイモードの解除.....	593
22.3.3	ソフトウェアスタンバイモード解除後の発振安定待機時間の設定.....	594
22.3.4	ソフトウェアスタンバイモードの応用例.....	595
22.3.5	使用上の注意.....	596
22.4	ハードウェアスタンバイモード.....	597
22.4.1	ハードウェアスタンバイモードへの遷移.....	597
22.4.2	ハードウェアスタンバイモードの解除.....	597
22.4.3	ハードウェアスタンバイモードのタイミング.....	598

第 23 章 電気的特性

23.1	絶対最大定格.....	601
23.2	電気的特性.....	602
23.2.1	DC 特性.....	602
23.2.2	AC 特性.....	610
23.2.3	A/D 変換器特性.....	614
23.2.4	D/A 変換器特性.....	615

23.2.5	フラッシュメモリ特性 (H8/3437SFのみ)	616
23.3	絶対最大定格 (H8/3437SF 低電圧版)	617
23.4	電気的特性 (H8/3437SF 低電圧版)	618
23.4.1	DC 特性	618
23.4.2	AC 特性	622
23.4.3	A/D 変換器特性	626
23.4.4	D/A 変換器特性	626
23.4.5	フラッシュメモリ特性	627
23.5	MCU 動作タイミング	628
23.5.1	バスタイミング	629
23.5.2	制御信号タイミング	630
23.5.3	16ビットフリーランニングタイマタイミング	632
23.5.4	8ビットタイマタイミング	632
23.5.5	PWM タイマタイミング	633
23.5.6	SCI タイミング	634
23.5.7	I/O ポートタイミング	634
23.5.8	ホストインタフェースタイミング	635
23.5.9	ꝑC バスタイミング	636
23.5.10	リセット出力タイミング	636
23.5.11	外部クロック出力タイミング	637

付録

A.	命令	641
A.1	命令一覧	641
A.2	オペレーションコードマップ	651
A.3	行ステート数	652
B.	内部 I/O レジスタ一覧	658
B.1	アドレス一覧	658
B.2	機能一覧	662
C.	I/O ポートブロック図	719
C.1	ポート 1 ブロック図	719
C.2	ポート 2 ブロック図	720
C.3	ポート 3 ブロック図	721
C.4	ポート 4 ブロック図	722
C.5	ポート 5 ブロック図	726
C.6	ポート 6 ブロック図	729
C.7	ポート 7 ブロック図	733

	C.8	ポート8ブロック図.....	734
	C.9	ポート9ブロック図.....	740
	C.10	ポートAブロック図.....	746
	C.11	ポートBブロック図.....	747
D.		各処理状態におけるポートの状態	748
E.		ハードウェアスタンバイモード遷移/復帰時の タイミングについて.....	750
	E.1	ハードウェアスタンバイモードの遷移タイミング	750
	E.2	ハードウェアスタンバイモードからの復帰タイミング	750
F.		ROM 発注手順.....	751
	F.1	ROM 書き換え品開発の流れ（発注手順）	751
	F.2	ROM 発注時の注意事項	752
G.		オプションリスト.....	753
H.		型名一覧	755
I.		外形寸法図.....	757

1. 概要

第1章 目次

1.1	概要	3
1.2	内部ブロック図.....	7
1.3	端子説明.....	8
	1.3.1 ピン配置.....	8
	1.3.2 端子機能.....	9

1.1 概要

H8/3437 シリーズは、H8/300 CPU を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータ (MCU : Microcomputer Unit) です。

CPU は命令実行速度が高く、強力なビット操作命令を有しており、リアルタイム制御などへの応用に最適です。また、システム構成に必要な周辺機能としては、ROM、RAM、4 種類のタイマ (16 ビットフリーランニングタイマ、8 ビットタイマ、PWM タイマ、ウォッチドッグタイマ)、シリアルコミュニケーションインタフェース (SCI)、PC バスインタフェース【オプション】、ホストインタフェース (HIF)、A/D 変換器、D/A 変換器、I/O ポートなどを内蔵しています。

動作モードは、シングルチップモードと 2 種類の拡張モードがあり、使用するシステムに応じて使い分けることができます。

H8/3437 シリーズにはマスク ROM 版のほか、PROM を内蔵した ZTAT[®]*1 版、およびフラッシュメモリを内蔵した F-ZTAT[™]*2 版があります。F-ZTAT 版では、アプリケーションシステムのオンボードで、プログラムの書き込みや書き換えが可能です。

【注】 *1 ZTAT[®] (Zero Turn Around Time) は (株) 日立製作所の登録商標です。

*2 F-ZTAT[™] (Flexible-ZTAT) は (株) 日立製作所の商標です。

F-ZTAT LH 品は保証電圧範囲が異なります。

	LH 品	一般品
V _{CC}	3.0V ~ 5.5V	2.7V ~ 5.5V
AV _{CC}		

H8/3437 シリーズの特長を表 1.1 に示します。

表 1.1 特長 (1)

項目	仕様
CPU	汎用レジスタマシン <ul style="list-style-type: none"> 汎用レジスタ：8ビット×16本（16ビット×8本としても使用可能） 高速動作 <ul style="list-style-type: none"> 最高動作周波数：16MHz / 5V、12MHz / 4V、10MHz / 3V（クロック） 8 / 16ビットレジスタ間加減算：125ns（16MHz動作時） 167ns（12MHz動作時） 200ns（10MHz動作時） 8×8ビット乗算：875ns（16MHz動作時） 1167ns（12MHz動作時） 1400ns（10MHz動作時） 16÷8ビット除算：875ns（16MHz動作時） 1167ns（12MHz動作時） 1400ns（10MHz動作時） 高速動作に適した簡潔な命令セット <ul style="list-style-type: none"> 2バイトまたは4バイト長の命令 レジスタ - レジスタ間の基本演算 MOV命令によるメモリ - レジスタ間データ転送 特長ある命令 <ul style="list-style-type: none"> 乗算命令（8ビット×8ビット） 除算命令（16ビット÷8ビット） ビットアキュムレータ命令 レジスタ間接指定によりビット位置の指定が可能
メモリ	<ul style="list-style-type: none"> H8/3437 ROM：60kバイト、RAM：2kバイト H8/3436 ROM：48kバイト、RAM：2kバイト H8/3434 ROM：32kバイト、RAM：1kバイト
16ビットフリーラン ニングタイム（FRT） ×1チャンネル	<ul style="list-style-type: none"> 16ビットフリーランニングカウンタ×1（外部イベントカウント可能） アウトプットコンペア出力×2 インプットキャプチャ入力×4（バッファ動作可能）
8ビットタイム ×2チャンネル	1チャンネル当たり <ul style="list-style-type: none"> 8ビットアップカウンタ×1（外部イベントカウント可能） タイムコンスタントレジスタ×2

表 1.1 特長 (2)

項目	仕様
PWM タイマ ×2 チャンネル	<ul style="list-style-type: none"> ・デューティ : 0 ~ 100% のデューティパルス設定可能 ・分解能 : 1/250
ウォッチドッグ タイマ (WDT) ×1 チャンネル	<ul style="list-style-type: none"> ・オーバフローによりリセットまたは NMI 割り込みを発生 ・インターバルタイマモードに切り換え可能
シリアルコミュニケーション インタフェース (SCI) ×2 チャンネル	<ul style="list-style-type: none"> ・調歩同期式 / クロック同期式モードの選択可能 ・送受信同時動作 (全二重動作) 可能 ・専用のポーレートジェネレータ内蔵
I ² C バスインタフェース 【オプション】 ×1 チャンネル	<ul style="list-style-type: none"> ・Philips 社提唱の I²C バスインタフェース方式準拠 ・シングルマスタモード / スレーブモード内蔵
ホストインタフェース (HIF)	<ul style="list-style-type: none"> ・8 ビットホストインタフェースポート ・3 つのホスト割り込み要求 (HIRQ₁、HIRQ₁₁、HIRQ₁₂) ・通常および高速 GATE A₂₀ 出力 ・2 つのレジスタセット (それぞれ 2 つのデータレジスタとステータスレジスタから構成)
キーボードコントローラ	<ul style="list-style-type: none"> ・マトリクスキーボードを、ウェイクアップ割り込み付きキーボードスキャンおよびセンスポートの構成で制御
A/D 変換器	<ul style="list-style-type: none"> ・分解能 : 10 ビット ・8 チャンネル : 単一モード / スキャンモード選択可能 ・外部トリガによる A/D 変換開始可能 ・サンプル & ホールド機能付き
D/A 変換器	<ul style="list-style-type: none"> ・分解能 : 8 ビット ・2 チャンネル
I/O ポート	<ul style="list-style-type: none"> ・入出力端子 74 本 (内 16 本は、LED 駆動可能) ・入力専用端子 8 本
割り込み	<ul style="list-style-type: none"> ・外部割り込み端子 9 本 : NMI、$\overline{IRQ}_0 \sim \overline{IRQ}_7$ ・内部割り込み要因 26 要因
ウェイト制御	<ul style="list-style-type: none"> ・3 種類のウェイトモードを設定可能

表 1.1 特長 (3)

項目	仕様																																																																																													
動作モード	<ul style="list-style-type: none"> ・内蔵 ROM 無効拡張モード (モード 1) ・内蔵 ROM 有効拡張モード (モード 2) ・シングルチップモード (モード 3) 																																																																																													
低消費電力状態	<ul style="list-style-type: none"> ・スリープモード ・ソフトウェアスタンバイモード ・ハードウェアスタンバイモード 																																																																																													
その他	<ul style="list-style-type: none"> ・クロック発振回路内蔵 																																																																																													
製品ラインアップ	<table border="1"> <thead> <tr> <th rowspan="3">製品名</th> <th colspan="2">製品型名</th> <th rowspan="3">パッケージ</th> <th rowspan="3">ROM</th> </tr> <tr> <th>5V版 (16MHz)</th> <th>3V版 (10MHz)</th> </tr> <tr> <th colspan="2">4V版 (12MHz)</th> </tr> </thead> <tbody> <tr> <td rowspan="5">H8/3437 F-ZTAT</td> <td colspan="2">HD64F3437F16</td> <td>100ピンQFP (FP-100B)</td> <td rowspan="3">フラッシュ メモリ (二電源品)</td> </tr> <tr> <td colspan="2">HD64F3437FLH16</td> <td></td> </tr> <tr> <td colspan="2">HD64F3437TF16</td> <td>100ピンTQFP (TFP-100B)</td> </tr> <tr> <td colspan="2">HD64F3437TFLH16</td> <td></td> </tr> <tr> <td colspan="2">HD64F3437SF16</td> <td>100ピンQFP (FP-100B)</td> <td>フラッシュ メモリ (単一電源品)</td> </tr> <tr> <td rowspan="2">H8/3437 ZTAT</td> <td colspan="2">HD64F3437F16</td> <td>100ピンQFP (FP-100B)</td> <td rowspan="2">PROM</td> </tr> <tr> <td colspan="2">HD6473437TF16</td> <td>100ピンTQFP (TFP-100B)</td> </tr> <tr> <td rowspan="4">H8/3437</td> <td>HD6433437F16</td> <td>HD6433437VF10</td> <td rowspan="2">100ピンQFP (FP-100B)</td> <td rowspan="4">マスク ROM</td> </tr> <tr> <td>HD6433437F12</td> <td></td> </tr> <tr> <td>HD6433437TF16</td> <td>HD6433437VTF10</td> <td rowspan="2">100ピンTQFP (TFP-100B)</td> </tr> <tr> <td>HD6433437TF12</td> <td></td> </tr> <tr> <td rowspan="4">H8/3436</td> <td>HD6433436F16</td> <td>HD6433436VF10</td> <td rowspan="2">100ピンQFP (FP-100B)</td> <td rowspan="4">マスク ROM</td> </tr> <tr> <td>HD6433436F12</td> <td></td> </tr> <tr> <td>HD6433436TF16</td> <td>HD6433436VTF10</td> <td rowspan="2">100ピンTQFP (TFP-100B)</td> </tr> <tr> <td>HD6433436TF12</td> <td></td> </tr> <tr> <td rowspan="4">H8/3434 F-ZTAT</td> <td colspan="2">HD64F3434F16</td> <td>100ピンQFP (FP-100B)</td> <td rowspan="3">フラッシュ メモリ (二電源品)</td> </tr> <tr> <td colspan="2">HD64F3434FLH16</td> <td></td> </tr> <tr> <td colspan="2">HD64F3434TF16</td> <td>100ピンTQFP (TFP-100B)</td> </tr> <tr> <td colspan="2">HD64F3434TFLH16</td> <td></td> </tr> <tr> <td rowspan="2">H8/3434 ZTAT</td> <td colspan="2">HD6473434F16</td> <td>100ピンQFP (FP-100B)</td> <td rowspan="2">PROM</td> </tr> <tr> <td colspan="2">HD6473434TF16</td> <td>100ピンTQFP (TFP-100B)</td> </tr> <tr> <td rowspan="4">H8/3434</td> <td>HD6433434F16</td> <td>HD6433434VF10</td> <td rowspan="2">100ピンQFP (FP-100B)</td> <td rowspan="4">マスク ROM</td> </tr> <tr> <td>HD6433434F12</td> <td></td> </tr> <tr> <td>HD6433434TF16</td> <td>HD6433434VTF10</td> <td rowspan="2">100ピンTQFP (TFP-100B)</td> </tr> <tr> <td>HD6433434TF12</td> <td></td> </tr> </tbody> </table> <p>I²C バスインタフェースはオプションです。本オプション機能を使用する場合には、次の点にご注意ください。</p> <ul style="list-style-type: none"> ・マスク ROM 版では、オプション機能を使用する製品型名には W が付加されます。 <p>例：HD6433437WTF、HD6433434WF 等</p>	製品名	製品型名		パッケージ	ROM	5V版 (16MHz)	3V版 (10MHz)	4V版 (12MHz)		H8/3437 F-ZTAT	HD64F3437F16		100ピンQFP (FP-100B)	フラッシュ メモリ (二電源品)	HD64F3437FLH16			HD64F3437TF16		100ピンTQFP (TFP-100B)	HD64F3437TFLH16			HD64F3437SF16		100ピンQFP (FP-100B)	フラッシュ メモリ (単一電源品)	H8/3437 ZTAT	HD64F3437F16		100ピンQFP (FP-100B)	PROM	HD6473437TF16		100ピンTQFP (TFP-100B)	H8/3437	HD6433437F16	HD6433437VF10	100ピンQFP (FP-100B)	マスク ROM	HD6433437F12		HD6433437TF16	HD6433437VTF10	100ピンTQFP (TFP-100B)	HD6433437TF12		H8/3436	HD6433436F16	HD6433436VF10	100ピンQFP (FP-100B)	マスク ROM	HD6433436F12		HD6433436TF16	HD6433436VTF10	100ピンTQFP (TFP-100B)	HD6433436TF12		H8/3434 F-ZTAT	HD64F3434F16		100ピンQFP (FP-100B)	フラッシュ メモリ (二電源品)	HD64F3434FLH16			HD64F3434TF16		100ピンTQFP (TFP-100B)	HD64F3434TFLH16			H8/3434 ZTAT	HD6473434F16		100ピンQFP (FP-100B)	PROM	HD6473434TF16		100ピンTQFP (TFP-100B)	H8/3434	HD6433434F16	HD6433434VF10	100ピンQFP (FP-100B)	マスク ROM	HD6433434F12		HD6433434TF16	HD6433434VTF10	100ピンTQFP (TFP-100B)	HD6433434TF12	
製品名	製品型名		パッケージ	ROM																																																																																										
	5V版 (16MHz)						3V版 (10MHz)																																																																																							
	4V版 (12MHz)																																																																																													
H8/3437 F-ZTAT	HD64F3437F16		100ピンQFP (FP-100B)	フラッシュ メモリ (二電源品)																																																																																										
	HD64F3437FLH16																																																																																													
	HD64F3437TF16		100ピンTQFP (TFP-100B)																																																																																											
	HD64F3437TFLH16																																																																																													
	HD64F3437SF16		100ピンQFP (FP-100B)	フラッシュ メモリ (単一電源品)																																																																																										
H8/3437 ZTAT	HD64F3437F16		100ピンQFP (FP-100B)	PROM																																																																																										
	HD6473437TF16		100ピンTQFP (TFP-100B)																																																																																											
H8/3437	HD6433437F16	HD6433437VF10	100ピンQFP (FP-100B)	マスク ROM																																																																																										
	HD6433437F12																																																																																													
	HD6433437TF16	HD6433437VTF10	100ピンTQFP (TFP-100B)																																																																																											
	HD6433437TF12																																																																																													
H8/3436	HD6433436F16	HD6433436VF10	100ピンQFP (FP-100B)	マスク ROM																																																																																										
	HD6433436F12																																																																																													
	HD6433436TF16	HD6433436VTF10	100ピンTQFP (TFP-100B)																																																																																											
	HD6433436TF12																																																																																													
H8/3434 F-ZTAT	HD64F3434F16		100ピンQFP (FP-100B)	フラッシュ メモリ (二電源品)																																																																																										
	HD64F3434FLH16																																																																																													
	HD64F3434TF16		100ピンTQFP (TFP-100B)																																																																																											
	HD64F3434TFLH16																																																																																													
H8/3434 ZTAT	HD6473434F16		100ピンQFP (FP-100B)	PROM																																																																																										
	HD6473434TF16		100ピンTQFP (TFP-100B)																																																																																											
H8/3434	HD6433434F16	HD6433434VF10	100ピンQFP (FP-100B)	マスク ROM																																																																																										
	HD6433434F12																																																																																													
	HD6433434TF16	HD6433434VTF10	100ピンTQFP (TFP-100B)																																																																																											
	HD6433434TF12																																																																																													

1.2 内部ブロック図

H8/3437 シリーズの内部ブロック図を図 1.1 に示します。

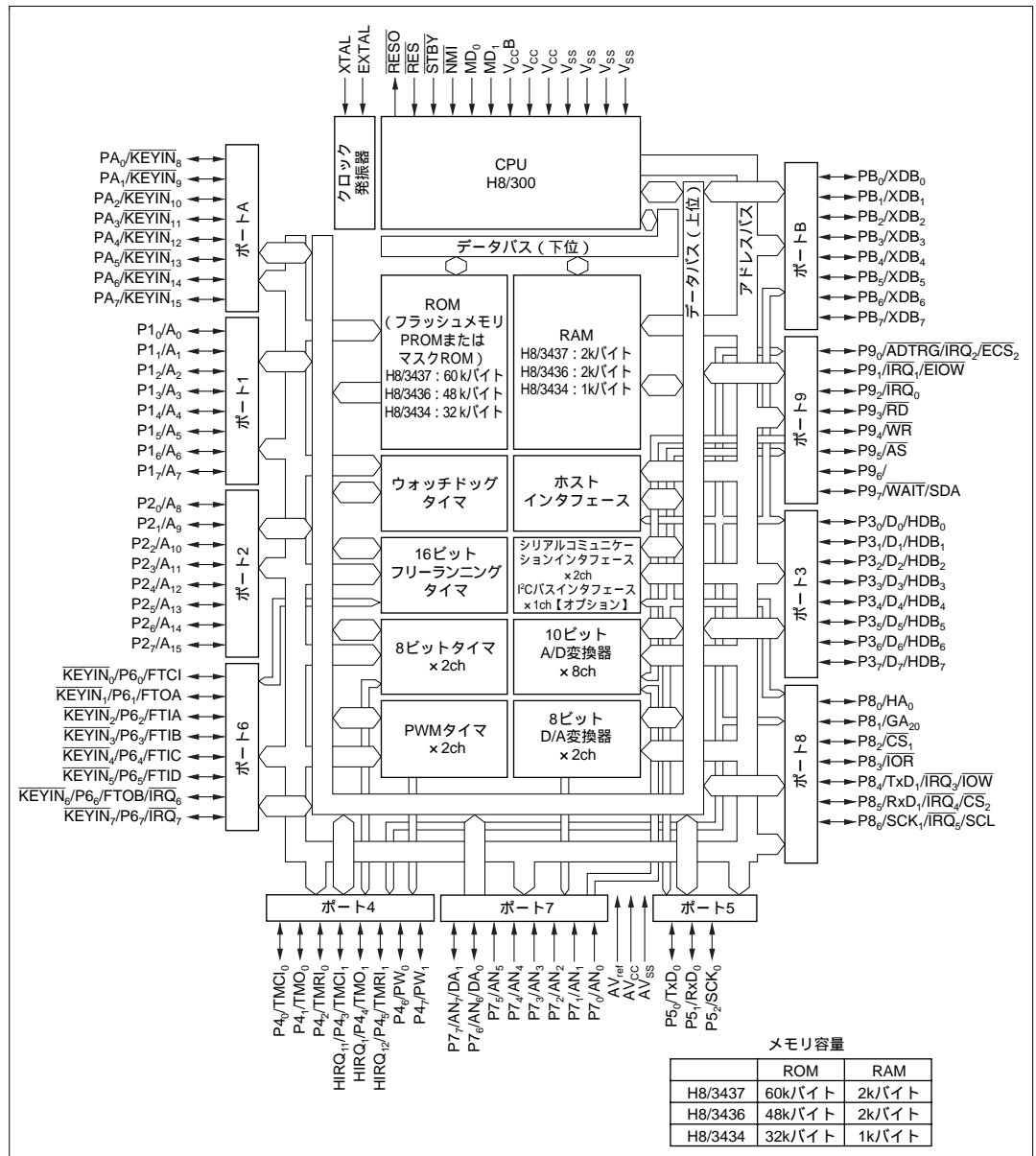


図 1.1 内部ブロック図

1.3 端子説明

1.3.1 ピン配置

H8/3437 シリーズのピン配置図 FP-100B、TFP-100B を図 1.2 に示します。

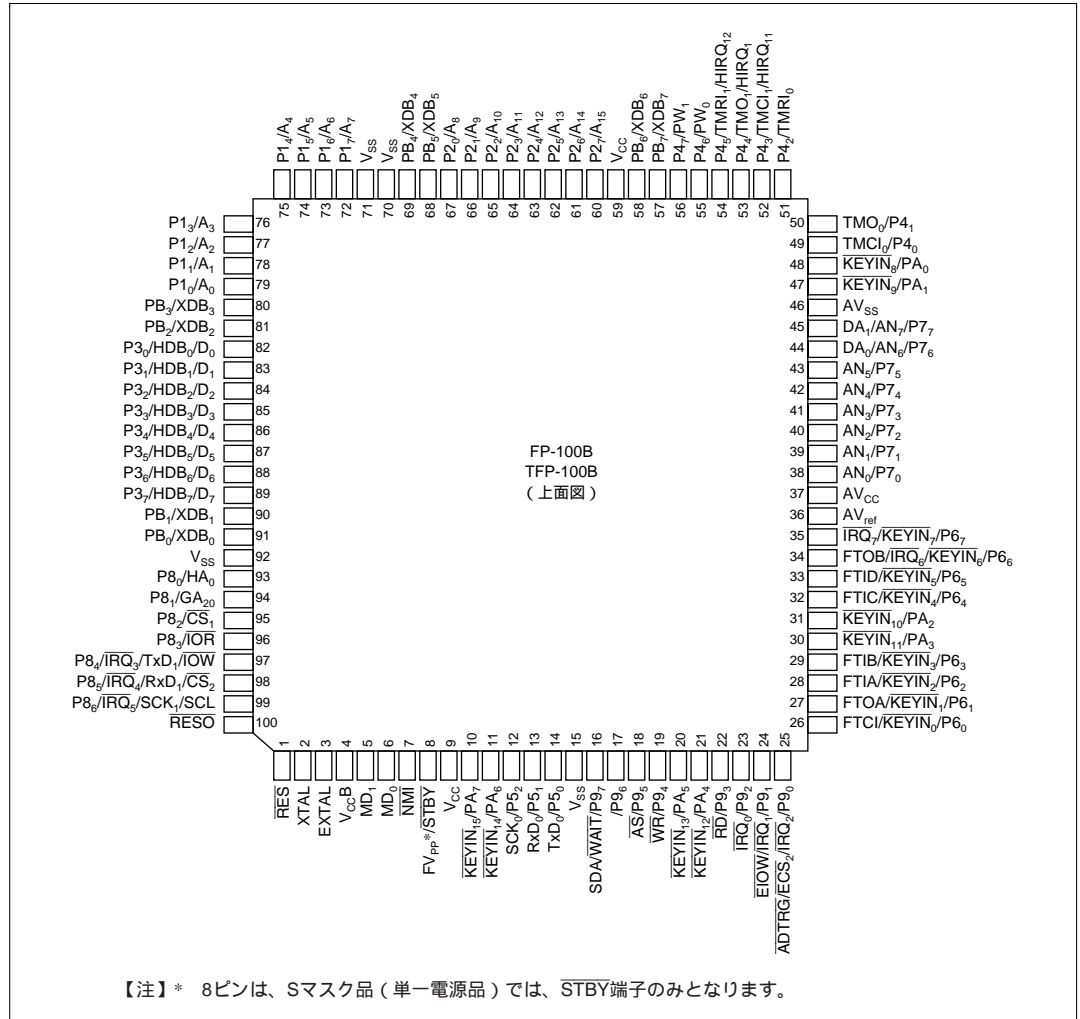


図 1.2 ピン配置 (FP-100B、TFP-100B : 上面図)

1.3.2 端子機能

(1) モード別配置一覧

FP-100B、TFP-100B のモード別ピン配置一覧を表 1.2 に示します。

表 1.2 モード別ピン配置一覧 (1)

ピン番号	端子名				EPROM のライタ モード	フラッシュ メモリの ライタ モード
	拡張モード		シングルチップモード			
	モード 1	モード 2	モード 3			
			HIF 無効	HIF 有効		
1	RES	RES	RES	RES	V _{PP}	RES
2	XTAL	XTAL	XTAL	XTAL	NC	XTAL
3	EXTAL	EXTAL	EXTAL	EXTAL	NC	EXTAL
4	V _{CCB}	V _{CCB}	V _{CCB}	V _{CCB}	V _{CC}	V _{CC}
5	MD ₁	MD ₁	MD ₁	MD ₁	V _{SS}	V _{SS}
6	MD ₀	MD ₀	MD ₀	MD ₀	V _{SS}	V _{SS}
7	NMI	NMI	NMI	NMI	EA ₉	FA ₉
8	STBY	STBY/FV _{PP}	STBY/FV _{PP}	STBY/FV _{PP}	V _{SS}	FV _{PP}
9	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}
10	PA ₇ /KEYIN ₁₅	PA ₇ /KEYIN ₁₅	PA ₇ /KEYIN ₁₅	PA ₇ /KEYIN ₁₅	NC	NC
11	PA ₆ /KEYIN ₁₄	PA ₆ /KEYIN ₁₄	PA ₆ /KEYIN ₁₄	PA ₆ /KEYIN ₁₄	NC	NC
12	P5 ₂ /SCK ₀	P5 ₂ /SCK ₀	P5 ₂ /SCK ₀	P5 ₂ /SCK ₀	NC	NC
13	P5 ₁ /RxD ₀	P5 ₁ /RxD ₀	P5 ₁ /RxD ₀	P5 ₁ /RxD ₀	NC	NC
14	P5 ₀ /TxD ₀	P5 ₀ /TxD ₀	P5 ₀ /TxD ₀	P5 ₀ /TxD ₀	NC	NC
15	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
16	P9 ₇ /WAIT/SDA	P9 ₇ /WAIT/SDA	P9 ₇ /SDA	P9 ₇ /SDA	NC	V _{CC}
17			P9 ₆ /	P9 ₆ /	NC	NC
18	AS	AS	P9 ₅	P9 ₅	NC	FA ₁₆
19	WR	WR	P9 ₄	P9 ₄	NC	FA ₁₅
20	PA ₅ /KEYIN ₁₃	PA ₅ /KEYIN ₁₃	PA ₅ /KEYIN ₁₃	PA ₅ /KEYIN ₁₃	NC	NC
21	PA ₄ /KEYIN ₁₂	PA ₄ /KEYIN ₁₂	PA ₄ /KEYIN ₁₂	PA ₄ /KEYIN ₁₂	NC	NC
22	RD	RD	P9 ₃	P9 ₃	NC	WE
23	P9 ₂ /IRQ ₀	P9 ₂ /IRQ ₀	P9 ₂ /IRQ ₀	P9 ₂ /IRQ ₀	PGM	V _{SS}
24	HIF 無効または STCR の STAC ビットが 0 のとき P9 ₁ /IRQ ₁ 、 HIF 有効かつ STCR の STAC ビットが 1 のとき EIOW/IRQ ₁ となります。				EA ₁₅	V _{CC}
25	HIF 無効または STCR の STAC ビットが 0 のとき P9 ₀ /IRQ ₂ /ADTRG、 HIF 有効かつ STCR の STAC ビットが 1 のとき ECS ₂ /IRQ ₂ となります。				EA ₁₆	V _{CC}
26	P6 ₉ /FTCI/KEYIN ₀	P6 ₉ /FTCI/KEYIN ₀	P6 ₉ /FTCI/KEYIN ₀	P6 ₉ /FTCI/KEYIN ₀	NC	NC
27	P6 ₁ /FTOA/ KEYIN ₁	P6 ₁ /FTOA/ KEYIN ₁	P6 ₁ /FTOA/ KEYIN ₁	P6 ₁ /FTOA/ KEYIN ₁	NC	NC
28	P6 ₂ /FTIA/KEYIN ₂	P6 ₂ /FTIA/KEYIN ₂	P6 ₂ /FTIA/KEYIN ₂	P6 ₂ /FTIA/KEYIN ₂	NC	NC
29	P6 ₃ /FTIB/KEYIN ₃	P6 ₃ /FTIB/KEYIN ₃	P6 ₃ /FTIB/KEYIN ₃	P6 ₃ /FTIB/KEYIN ₃	V _{CC}	V _{CC}
30	PA ₃ /KEYIN ₁₁	PA ₃ /KEYIN ₁₁	PA ₃ /KEYIN ₁₁	PA ₃ /KEYIN ₁₁	NC	NC
31	PA ₂ /KEYIN ₁₀	PA ₂ /KEYIN ₁₀	PA ₂ /KEYIN ₁₀	PA ₂ /KEYIN ₁₀	NC	NC
32	P6 ₄ /FTIC/KEYIN ₄	P6 ₄ /FTIC/KEYIN ₄	P6 ₄ /FTIC/KEYIN ₄	P6 ₄ /FTIC/KEYIN ₄	V _{CC}	V _{CC}
33	P6 ₅ /FTID/KEYIN ₅	P6 ₅ /FTID/KEYIN ₅	P6 ₅ /FTID/KEYIN ₅	P6 ₅ /FTID/KEYIN ₅	NC	NC
34	P6 ₆ /FTOB/IRQ ₆ / KEYIN ₆	P6 ₆ /FTOB/IRQ ₆ / KEYIN ₆	P6 ₆ /FTOB/IRQ ₆ / KEYIN ₆	P6 ₆ /FTOB/IRQ ₆ / KEYIN ₆	NC	NC
35	P6 ₇ /IRQ ₇ /KEYIN ₇	P6 ₇ /IRQ ₇ /KEYIN ₇	P6 ₇ /IRQ ₇ /KEYIN ₇	P6 ₇ /IRQ ₇ /KEYIN ₇	NC	V _{SS}

表 1.2 モード別ピン配置一覧(2)

ピン番号	端子名					
	拡張モード		シングルチップモード		EPROM のライタ モード	フラッシュ メモリの ライタ モード
	モード 1	モード 2	モード 3			
			HIF 無効	HIF 有効		
36	AV _{ref}	AV _{ref}	AV _{ref}	AV _{ref}	V _{CC}	V _{CC}
37	AV _{CC}	AV _{CC}	AV _{CC}	AV _{CC}	V _{CC}	V _{CC}
38	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀	NC	NC
39	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁	NC	NC
40	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂	NC	NC
41	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃	NC	NC
42	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄	NC	NC
43	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅	NC	NC
44	P7 ₆ /AN ₆ /DA ₀	P7 ₆ /AN ₆ /DA ₀	P7 ₆ /AN ₆ /DA ₀	P7 ₆ /AN ₆ /DA ₀	NC	NC
45	P7 ₇ /AN ₇ /DA ₁	P7 ₇ /AN ₇ /DA ₁	P7 ₇ /AN ₇ /DA ₁	P7 ₇ /AN ₇ /DA ₁	NC	NC
46	AV _{SS}	AV _{SS}	AV _{SS}	AV _{SS}	V _{SS}	V _{SS}
47	PA ₁ /KEYIN ₉	PA ₁ /KEYIN ₉	PA ₁ /KEYIN ₉	PA ₁ /KEYIN ₉	NC	NC
48	PA ₀ /KEYIN ₈	PA ₀ /KEYIN ₈	PA ₀ /KEYIN ₈	PA ₀ /KEYIN ₈	NC	NC
49	P4 ₀ /TMCI ₀	P4 ₀ /TMCI ₀	P4 ₀ /TMCI ₀	P4 ₀ /TMCI ₀	NC	NC
50	P4 ₁ /TMO ₀	P4 ₁ /TMO ₀	P4 ₁ /TMO ₀	P4 ₁ /TMO ₀	NC	NC
51	P4 ₂ /TMRI ₀	P4 ₂ /TMRI ₀	P4 ₂ /TMRI ₀	P4 ₂ /TMRI ₀	NC	NC
52	P4 ₃ /TMCI ₁ / HIRQ ₁₁ *	P4 ₃ /TMCI ₁ / HIRQ ₁₁ *	P4 ₃ /TMCI ₁	HIRQ ₁₁ /TMCI ₁	NC	NC
53	P4 ₄ /TMO ₁ / HIRQ ₁ *	P4 ₄ /TMO ₁ / HIRQ ₁ *	P4 ₄ /TMO ₁	HIRQ ₁ /TMO ₁	NC	NC
54	P4 ₅ /TMRI ₁ / HIRQ ₁₂ *	P4 ₅ /TMRI ₁ / HIRQ ₁₂ *	P4 ₅ /TMRI ₁	HIRQ ₁₂ /TMRI ₁	NC	NC
55	P4 ₆ /PW ₀	P4 ₆ /PW ₀	P4 ₆ /PW ₀	P4 ₆ /PW ₀	NC	NC
56	P4 ₇ /PW ₁	P4 ₇ /PW ₁	P4 ₇ /PW ₁	P4 ₇ /PW ₁	NC	NC
57	PB ₇ /XDB ₇ *	PB ₇ /XDB ₇ *	PB ₇	PB ₇	NC	NC
58	PB ₆ /XDB ₆ *	PB ₆ /XDB ₆ *	PB ₆	PB ₆	NC	NC
59	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}
60	A ₁₅	P2 ₇ /A ₁₅	P2 ₇	P2 ₇	CE	CE
61	A ₁₄	P2 ₆ /A ₁₄	P2 ₆	P2 ₆	EA ₁₄	FA ₁₄
62	A ₁₃	P2 ₅ /A ₁₃	P2 ₅	P2 ₅	EA ₁₃	FA ₁₃
63	A ₁₂	P2 ₄ /A ₁₂	P2 ₄	P2 ₄	EA ₁₂	FA ₁₂
64	A ₁₁	P2 ₃ /A ₁₁	P2 ₃	P2 ₃	EA ₁₁	FA ₁₁
65	A ₁₀	P2 ₂ /A ₁₀	P2 ₂	P2 ₂	EA ₁₀	FA ₁₀
66	A ₉	P2 ₁ /A ₉	P2 ₁	P2 ₁	OE	OE
67	A ₈	P2 ₀ /A ₈	P2 ₀	P2 ₀	EA ₈	FA ₈
68	PB ₅ /XDB ₅ *	PB ₅ /XDB ₅ *	PB ₅	PB ₅	NC	NC
69	PB ₄ /XDB ₄ *	PB ₄ /XDB ₄ *	PB ₄	PB ₄	NC	NC
70	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
71	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
72	A ₇	P1 ₇ /A ₇	P1 ₇	P1 ₇	EA ₇	FA ₇
73	A ₆	P1 ₆ /A ₆	P1 ₆	P1 ₆	EA ₆	FA ₆
74	A ₅	P1 ₅ /A ₅	P1 ₅	P1 ₅	EA ₅	FA ₅
75	A ₄	P1 ₄ /A ₄	P1 ₄	P1 ₄	EA ₄	FA ₄
76	A ₃	P1 ₃ /A ₃	P1 ₃	P1 ₃	EA ₃	FA ₃
77	A ₂	P1 ₂ /A ₂	P1 ₂	P1 ₂	EA ₂	FA ₂
78	A ₁	P1 ₁ /A ₁	P1 ₁	P1 ₁	EA ₁	FA ₁
79	A ₀	P1 ₀ /A ₀	P1 ₀	P1 ₀	EA ₀	FA ₀
80	PB ₃ /XDB ₃ *	PB ₃ /XDB ₃ *	PB ₃	PB ₃	NC	NC

表 1.2 モード別ピン配置一覧(3)

ピン番号	端子名					EPROM のライタ モード	フラッシュ メモリの ライタ モード
	拡張モード		シングルチップモード		モード 3		
	モード 1	モード 2	HIF 無効	HIF 有効			
81	PB ₂ /XDB ₂ *	PB ₂ /XDB ₂ *	PB ₂	PB ₂	NC	NC	
82	D ₀	D ₀	P3 ₀	HDB ₀	EO ₀	FO ₀	
83	D ₁	D ₁	P3 ₁	HDB ₁	EO ₁	FO ₁	
84	D ₂	D ₂	P3 ₂	HDB ₂	EO ₂	FO ₂	
85	D ₃	D ₃	P3 ₃	HDB ₃	EO ₃	FO ₃	
86	D ₄	D ₄	P3 ₄	HDB ₄	EO ₄	FO ₄	
87	D ₅	D ₅	P3 ₅	HDB ₅	EO ₅	FO ₅	
88	D ₆	D ₆	P3 ₆	HDB ₆	EO ₆	FO ₆	
89	D ₇	D ₇	P3 ₇	HDB ₇	EO ₇	FO ₇	
90	PB ₇ /XDB ₁ *	PB ₇ /XDB ₁ *	PB ₁	PB ₁	NC	NC	
91	PB ₆ /XDB ₀ *	PB ₆ /XDB ₀ *	PB ₀	PB ₀	NC	NC	
92	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	
93	P8 ₀ /HA ₀ *	P8 ₀ /HA ₀ *	P8 ₀	HA ₀	NC	NC	
94	P8 ₁ /GA ₂₀ *	P8 ₁ /GA ₂₀ *	P8 ₁	P8 ₁ /GA ₂₀	NC	NC	
95	P8 ₂ /CS ₁ *	P8 ₂ /CS ₁ *	P8 ₂	CS ₁	NC	NC	
96	P8 ₃ /IOR*	P8 ₃ /IOR*	P8 ₃	IOR	NC	NC	
97	HIF 無効または STCR の STAC ビットが 1 のとき P8 ₄ /IRQ ₃ /TxD ₁ 、 HIF 有効かつ STCR の STAC ビットが 0 のとき IOW/IRQ ₃ となります。				NC	NC	
98	HIF 無効または STCR の STAC ビットが 1 のとき P8 ₅ /IRQ ₄ /RxD ₁ 、 HIF 有効かつ STCR の STAC ビットが 0 のとき CS ₂ /IRQ ₄ となります。				NC	NC	
99	P8 ₆ /SCK ₁ /IRQ ₅ / SCL	P8 ₆ /SCK ₁ /IRQ ₅ / SCL	P8 ₆ /SCK ₁ /IRQ ₅ / SCL	P8 ₆ /SCK ₁ /IRQ ₅ / SCL	NC	NC	
100	RESO	RESO	RESO	RESO	NC	NC	

- 【注】
1. NC ピンは、何も接続しないでください。
 2. ライタモードについての詳細は、「18.2 ライタモード」、「19.6 フラッシュメモリのライタモード(H8/3434F)」、「20.6 フラッシュメモリのライタモード(H8/3437F)」、「21.5 フラッシュメモリのライタモード(H8/3437SF)」を参照してください。
 3. 本 LSI では、S マスク品(単一電源品)を除き、STBY と FV_{PP} が同一端子となっています。この端子を Low レベルにするとハードウェアスタンバイモードに遷移しますが、これは通常動作モード(モード 1、2、3)だけでなく、PROM ライタによりフラッシュメモリにプログラミングする場合も同様です。従って二電源方式フラッシュメモリに PROM ライタで書き込みを行う場合は、プログラミング時(FV_{PP} = 12V)以外に本端子が V_{CC} レベルとなる仕様のライタをご使用ください。
- * HIF 有効/無効によって異なります。それぞれの場合の機能についてはモード 3 と同様です。
- XDB₇ ~ XDB₀ は HIF 有効のみ使用可能です。

(2) 端子機能

各端子の機能について表 1.3 に示します。

表 1.3 端子機能 (1)

分類	記号	ピン番号	入出力	名称および機能
		FP-100B TFP-100B		
電源	V_{CC}	9、59	入力	電源 電源に接続します。 V_{CC} 端子は、全端子をシステムの電源に接続してください。
	V_{CCB}	4	入力	入出力バッファ用電源 $P8_6$ 、 $P9_7$ 、 $PA_4 \sim PA_7$ 入出力バッファ用電源です。
	V_{SS}	15、70、 71、92	入力	グラウンド 電源 (0V) に接続します。 V_{SS} 端子は、全端子をシステムの電源 (0V) に接続してください。
クロック	XTAL	2	入力	水晶発振子を接続します。周波数はシステムクロックと同じものを使用してください。 EXTAL 端子から外部クロックを入力するときは、XTAL 端子に逆相クロックを入力してください。
	EXTAL	3	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。外部クロック入力の周波数は、システムクロックと同じものを使用してください。 水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 6 章 クロック発振器」を参照してください。
		17	出力	システムクロック 周辺デバイスにシステムクロックを供給します。
システム 制御	\overline{RES}	1	入力	リセット この端子を Low レベルにすると、リセット状態になります。
	\overline{RESO}	100	出力	リセット出力 外部デバイスに対し、リセット信号を出力します。

表 1.3 端子機能 (2)

分類	記号	ピン番号	入出力	名称および機能
		FP-100B TFP-100B		
システム 制御	$\overline{\text{STBY}}$	8	入力	<u>スタンバイ</u> ハードウェアスタンバイモード（低消費電力状態）に 遷移するための入力端子です。 $\overline{\text{STBY}}$ 端子を Low レベ ルにすると、ハードウェアスタンバイモードに遷移し ます。
アドレス バス	$A_{15} \sim A_0$	60 ~ 67、 72 ~ 79	出力	<u>アドレスバス</u> アドレスを出力する端子です。
データバス	$D_7 \sim D_0$	89 ~ 82	入出力	<u>データバス</u> 8 ビットの双方向データバスです。
バス制御	$\overline{\text{WAIT}}$	16	入力	<u>ウェイト</u> CPU が外部アドレスをアクセスするときに、バスサイ クルにウェイトステートの挿入を要求します。
	$\overline{\text{RD}}$	22	出力	<u>リード</u> この端子が Low レベルのとき、CPU は外部アドレスの リード状態であることを示します。
	$\overline{\text{WR}}$	19	出力	<u>ライト</u> この端子が Low レベルのとき、CPU は外部アドレスの ライト状態であることを示します。
	$\overline{\text{AS}}$	18	出力	<u>アドレスストローブ</u> この端子が Low レベルのとき、アドレスバス上のアド レス出力が有効であることを示します。
割り込み	$\overline{\text{NMI}}$	7	入力	<u>ノンマスクابل割り込み</u> マスク不可能な割り込みを要求する端子です。 システムコントロールレジスタ (SYSCR) によって立 ち上がりエッジ / 立ち下がりエッジのどちらで受け付 けられるかを選択します。
	$\overline{\text{IRQ}}_0 \sim$ $\overline{\text{IRQ}}_7$	23 ~ 25、 97 ~ 99、 34、35	入力	<u>割り込み要求 0 ~ 7</u> マスク可能な割り込みを要求する端子です。

表 1.3 端子機能 (3)

分類	記号	ピン番号	入出力	名称および機能																				
		FP-100B TFP-100B																						
動作モード コントロー ル	MD ₁	5	入力	<p><u>モード端子</u></p> <p>本 LSI の動作モードを設定する端子です。MD₁、MD₀ 端子と動作モードの関係は次の通りです。</p> <table border="1"> <thead> <tr> <th>MD₁</th> <th>MD₀</th> <th>動作モード</th> <th>内容</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>モード0</td> <td>設定禁止*</td> </tr> <tr> <td>0</td> <td>1</td> <td>モード1</td> <td>内蔵ROM無効拡張モード</td> </tr> <tr> <td>1</td> <td>0</td> <td>モード2</td> <td>内蔵ROM有効拡張モード</td> </tr> <tr> <td>1</td> <td>1</td> <td>モード3</td> <td>シングルチップモード</td> </tr> </tbody> </table> <p>【注】* H8/3437SF (Sマスク品、単一電源方式フラッシュメモリ内蔵版) において、ブートモード設定時、MD₁=MD₀=0の設定を使用します。詳細は、「21.3 オンボードプログラミングモード」を参照してください。</p> <p>動作中、モード端子を変化させないでください。</p>	MD ₁	MD ₀	動作モード	内容	0	0	モード0	設定禁止*	0	1	モード1	内蔵ROM無効拡張モード	1	0	モード2	内蔵ROM有効拡張モード	1	1	モード3	シングルチップモード
	MD ₁	MD ₀			動作モード	内容																		
0	0	モード0	設定禁止*																					
0	1	モード1	内蔵ROM無効拡張モード																					
1	0	モード2	内蔵ROM有効拡張モード																					
1	1	モード3	シングルチップモード																					
	MD ₀	6																						
16ビット フリーラン ニングタイ マ (FRT)	FTCI	26	入力	<p><u>FRTカウンタクロック入力</u></p> <p>フリーランニングカウンタ (FRC) に入力する外部クロックの入力端子です。</p>																				
	FTOA	27	出力	<p><u>FRTアウトプットコンペア A 出力</u></p> <p>アウトプットコンペア A の出力端子です。</p>																				
	FTOB	34	出力	<p><u>FRTアウトプットコンペア B 出力</u></p> <p>アウトプットコンペア B の出力端子です。</p>																				
	FTIA	28	入力	<p><u>FRTインプットキャプチャ A 入力</u></p> <p>インプットキャプチャ A の入力端子です。</p>																				
	FTIB	29	入力	<p><u>FRTインプットキャプチャ B 入力</u></p> <p>インプットキャプチャ B の入力端子です。</p>																				
	FTIC	32	入力	<p><u>FRTインプットキャプチャ C 入力</u></p> <p>インプットキャプチャ C の入力端子です。</p>																				
	FTID	33	入力	<p><u>FRTインプットキャプチャ D 入力</u></p> <p>インプットキャプチャ D の入力端子です。</p>																				
8ビット タイマ	TMO ₀	50	出力	<p><u>8ビットタイマ出力 (チャンネル 0、1)</u></p> <p>8ビットタイマのコンペアマッチ出力端子です。</p>																				
	TMO ₁	53																						
	TMCI ₀	49	入力	<p><u>8ビットタイマクロック入力 (チャンネル 0、1)</u></p> <p>8ビットタイマのカウンタに入力する外部クロックの入力端子です。</p>																				
	TMCI ₁	52																						

表 1.3 端子機能 (4)

分類	記号	ピン番号	入出力	名称および機能
		FP-100B TFP-100B		
8ビット タイマ	TMRI ₀	51	入力	8ビットタイマカウンタリセット入力(チャンネル0、1) 8ビットタイマのカウンタリセット入力端子です。
	TMRI ₁	54		
PWM タイマ	PW ₀	55	出力	PWM タイマ出力(チャンネル0、1) PWM タイマのパルス出力端子です。
	PW ₁	56		
シリアルコ ミュニケー	TxD ₀	14	出力	送信データ出力(チャンネル0、1) SCI のデータ出力端子です。
	TxD ₁	97		
ションイン タフェース	RxD ₀	13	入力	受信データ入力(チャンネル0、1) SCI のデータ入力端子です。
	RxD ₁	98		
(SCI)	SCK ₀	12	入出力	シリアルクロック入出力(チャンネル0、1) SCI のクロック入出力端子です。
	SCK ₁	99		
ホストイン タフェース (HIF)	HDB ₀ ~ HDB ₇	82 ~ 89	入出力	ホストインタフェースデータバス ホストがホストインタフェースをアクセスするための 双方向8ビットバスです。
	\overline{CS}_1 、 \overline{CS}_2	95、98	入力	チップセレクト1、2 ホストインタフェースのチャンネル1またはチャンネル2 を選択するための入力端子です。
	\overline{IOR}	96	入力	I/O リード ホストインタフェースへのリードを許可する入力端子 です。
	\overline{IOW}	97	入力	I/O ライト ホストインタフェースへのライトを許可する入力端子 です。
	HA ₀	93	入力	コマンド/データ データアクセスかコマンドアクセスかを示すための入 力端子です。
	GA ₂₀	94	出力	GATE A ₂₀ GATE A ₂₀ コントロール信号出力端子です。
	HIRQ ₁ 、 HIRQ ₁₁ 、 HIRQ ₁₂	53、52、54	出力	ホスト割り込み1、11、12 ホストへの割り込み要求出力端子です。

表 1.3 端子機能 (5)

分類	記号	ピン番号	入出力	名称および機能
		FP-100B TFP-100B		
キーボード コントロー ル	$\overline{\text{KEYIN}}_0$ ~ $\overline{\text{KEYIN}}_{15}$	26 ~ 29、 32 ~ 35、 48、47、 31、30、 21、20、 11、10	入力	<u>キーボード入力</u> マトリクスキーボードのための入力端子です (通常は $P1_0 \sim P1_7$ と $P2_0 \sim P2_7$ をキーボードスキャン用出力として使用します。これにより、最大 16 出力 × 16 入力、256 キーのマトリックスが構成できます。他のポート出力を用いてキー数を増やすことも可能です)。
A/D 変換器	$\text{AN}_7 \sim$ AN_0	38 ~ 45	入力	<u>アナログ入力</u> A/D 変換器のアナログ入力端子です。
	$\overline{\text{ADTRG}}$	25	入力	<u>A/D 変換外部トリガ入力</u> A/D 変換開始のための外部トリガ信号入力端子です。
D/A 変換器	DA_0	44	出力	<u>アナログ出力</u>
	DA_1	45		D/A 変換器のアナログ出力端子です。
A/D 変換器 D/A 変換器	AV_{CC}	37	入力	<u>アナログ電源</u> A/D 変換器、D/A 変換器のアナログ部電源端子です。 A/D 変換器、D/A 変換器を使用しない場合、システムの電源に接続してください。
	AV_{SS}	46	入力	<u>アナロググランド</u> A/D 変換器、D/A 変換器のグランド端子です。 システムの電源 (0V) に接続してください。
	AV_{ref}	36	入力	<u>アナログレファレンス電圧</u> A/D 変換器、D/A 変換器のアナログレファレンス電源入力端子です。
I/O ポート	$P1_7 \sim P1_0$	72 ~ 79	入出力	<u>ポート 1</u> 8 ビットの入出力端子です。ポート 1 データディレクションレジスタ (P1DDR) によって、1 ビットごとに入出力を指定できます。入力プルアップ MOS が内蔵されています。また、LED 駆動が可能です。
	$P2_7 \sim P2_0$	60 ~ 67	入出力	<u>ポート 2</u> 8 ビットの入出力端子です。P2DDR によって、1 ビットごとに入出力を指定できます。入力プルアップ MOS が内蔵されています。また、LED 駆動が可能です。

表 1.3 端子機能 (6)

分類	記号	ピン番号	入出力	名称および機能
		FP-100B TFP-100B		
I/O ポート	P3 ₇ ~ P3 ₀	89 ~ 82	入出力	<u>ポート 3</u> 8ビットの入出力端子です。P3DDRによって、1ビットごとに入出力を指定できます。入力プルアップ MOS が内蔵されています。
	P4 ₇ ~ P4 ₀	56 ~ 49	入出力	<u>ポート 4</u> 8ビットの入出力端子です。P4DDRによって、1ビットごとに入出力を指定できます。
	P5 ₂ ~ P5 ₀	12 ~ 14	入出力	<u>ポート 5</u> 3ビットの入出力端子です。P5DDRによって、1ビットごとに入出力を指定できます。
	P6 ₇ ~ P6 ₀	35 ~ 32、 29 ~ 26	入出力	<u>ポート 6</u> 8ビットの入出力端子です。P6DDRによって、1ビットごとに入出力を指定できます。入力プルアップ MOS が内蔵されています。
	P7 ₇ ~ P7 ₀	45 ~ 38	入力	<u>ポート 7</u> 8ビットの入力端子です。
	P8 ₆ ~ P8 ₀	99 ~ 93	入出力	<u>ポート 8</u> 7ビットの入出力端子です。P8DDRによって、1ビットごとに入出力を指定できます。P8 ₆ は、入出力バッファ用電源 V _{CCB} によって電源供給されます。
	P9 ₇ ~ P9 ₀	16 ~ 19、 22 ~ 25	入出力	<u>ポート 9</u> 8ビットの入出力端子です。P9DDRによって、1ビットごとに入出力を指定できます (P9 ₆ を除く)。P9 ₇ は、入出力バッファ用電源 V _{CCB} によって電源供給されません。
	PA ₇ ~ PA ₀	10、11、 20、21、 30、31、 47、48	入出力	<u>ポート A</u> 8ビットの入出力端子です。PADDDRによって、1ビットごとに入出力を指定できます。入力プルアップ MOS が内蔵されています。 PA ₄ ~ PA ₇ は、入出力バッファ用電源 V _{CCB} によって電源供給されます。バス駆動機能をもっています。

表 1.3 端子機能 (7)

分類	記号	ピン番号	入出力	名称および機能
		FP-100B TFP-100B		
I/Oポート	PB ₇ ~ PB ₀	57、58、 68、69、 80、81、 90、91	入出力	<u>ポート B</u> 8 ビットの入出力端子です。PBDDR によって、1 ビットごとに入出力を指定できます。入力プルアップ MOS が内蔵されています。
ホストインタフェース (拡張モード時)	XDB ₀ ~ XDB ₇	91、90、 81、80、 69、68、 58、57	入出力	<u>ホストインタフェースデータバス</u> ホストがホストインタフェースをアクセスするための双方向 8 ビットバスです。
ホストインタフェース (HIF 有効)	$\overline{\text{ECS}}_2$	25	入力	<u>ホストチップセレクト 2</u> ホストインタフェースのチャンネル 2 を選択するための入力端子です。
かつ STCR の STAC ビットが 1 のとき)	$\overline{\text{EIOW}}$	24	入力	<u>I/O ライト</u> ホストインタフェースのライトを許可する入力端子です。
フラッシュメモリ 【H8/3434、 H8/3437F -ZTAT】	FV _{pp}	8	入力	<u>オンボード書き込み用プログラム電源</u> フラッシュメモリへの書き込み用電源 (+12V) に接続します。
I ² C バスインタフェース【オプション】	SCL	99	入出力	<u>I²C クロック入出力</u> I ² C のクロック入出力端子です。 入出力バッファ用電源 V _{ccB} によって電源供給されています。バス駆動機能をもっています。
	SDA	16	入出力	<u>I²C データ入出力</u> I ² C のデータ入出力端子です。 入出力バッファ用電源 V _{ccB} によって電源供給されています。バス駆動機能をもっています。

【注】 本 LSI では、S マスク品（単一電源品）を除き、STBY と FV_{pp} が同一端子となっています。この端子を Low レベルにするとハードウェアスタンバイモードに遷移しますが、これは通常動作モード（モード 1、2、3）だけでなく、PROM ライタによりフラッシュメモリにプログラミングする場合も同様です。したがって二電源方式フラッシュメモリに PROM ライタで書き込みを行う場合は、プログラミング時（ $FV_{pp} = 12V$ ）以外に本端子が V_{CC} レベルとなる仕様のライタをご使用ください。

2. CPU

第2章 目次

2.1	概要.....	23
	2.1.1 特長.....	23
	2.1.2 アドレス空間.....	24
	2.1.3 レジスタ構成.....	24
2.2	各レジスタの説明.....	25
	2.2.1 汎用レジスタ.....	25
	2.2.2 コントロールレジスタ.....	26
	2.2.3 CPU 内部レジスタの初期値.....	27
2.3	データ構成.....	28
	2.3.1 汎用レジスタのデータ構成.....	28
	2.3.2 メモリ上でのデータ構成.....	29
2.4	アドレッシングモード.....	30
	2.4.1 アドレッシングモード.....	30
	2.4.2 実効アドレスの計算方法.....	32
2.5	命令セット.....	36
	2.5.1 データ転送命令.....	38
	2.5.2 算術演算命令.....	40
	2.5.3 論理演算命令.....	41
	2.5.4 シフト命令.....	41
	2.5.5 ビット操作命令.....	43
	2.5.6 分岐命令.....	49
	2.5.7 システム制御命令.....	51
	2.5.8 ブロック転送命令.....	52
2.6	処理状態.....	54
	2.6.1 概要.....	54
	2.6.2 プログラム実行状態.....	55
	2.6.3 例外処理状態.....	55

2.6.4	低消費電力状態.....	55
2.7	基本動作タイミング.....	56
2.7.1	内蔵メモリ (RAM、ROM)	56
2.7.2	内蔵周辺モジュール / 外部デバイス.....	57

2.1 概要

H8/300 CPU は、8 ビット×16 本（または 16 ビット×8 本）の汎用レジスタ、ならびに高速動作に適した簡潔な命令セットを備えた高速 CPU です。

2.1.1 特長

H8/300 CPU には、次の特長があります。

汎用レジスタ方式

8 ビット×16 本（16 ビット×8 本としても使用可能）

57 種類の基本命令

- ・乗除算命令
- ・強力なビット操作命令

8 種類のアドレッシングモード

- ・レジスタ直接 (Rn)
- ・レジスタ間接 (@Rn)
- ・ディスプレイメント付レジスタ間接 (@(d:16, Rn))
- ・ポストインクリメント / プリデクリメントレジスタ間接 (@Rn + / @ - Rn)
- ・絶対アドレス (@aa:8 / @aa:16)
- ・イミディエイト (#xx:8 / #xx:16)
- ・プログラムカウンタ相対 (@(d:8, PC))
- ・メモリ間接 (@@aa:8)

64k バイトのアドレス空間

高速動作

- ・頻出命令をすべて 2~4 ステートで実行
 - ・最高動作周波数：16MHz/5V、12MHz/4V、10MHz/3V（クロック）
- | | |
|------------------|---|
| 8/16 ビットレジスタ間加減算 | 125ns (16MHz 動作時)、167ns (12MHz 動作時)、
200ns (10MHz 動作時) |
| 8×8 ビット乗算 | 875ns (16MHz 動作時)、1167ns (12MHz 動作時)、
1400ns (10MHz 動作時) |
| 16÷8 ビット除算 | 875ns (16MHz 動作時)、1167ns (12MHz 動作時)、
1400ns (10MHz 動作時) |

低消費電力動作

SLEEP 命令により低消費電力状態に遷移

2.1.2 アドレス空間

H8/300 CPU がサポートするアドレス空間は、プログラムコードとデータ領域合計で最大 64k バイトです。

メモリマップはモード（モード 1、2、3）別に異なります。詳細は「3.4 各動作モードのメモリマップ」を参照してください。

2.1.3 レジスタ構成

H8/300 CPU の内部レジスタ構成を図 2.1 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。

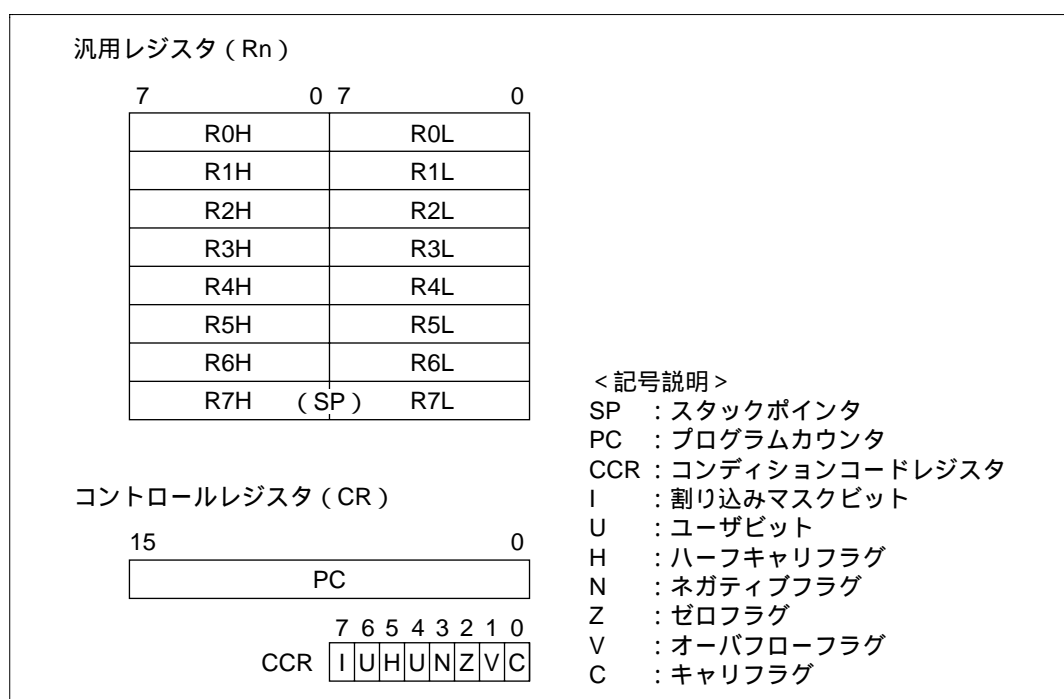


図 2.1 CPU 内部レジスタ構成

2.2 各レジスタの説明

2.2.1 汎用レジスタ

汎用レジスタは、すべて同じ機能をもっており、データレジスタ、アドレスレジスタの区別なく使用できます。

データレジスタとして使用する場合は、8 ビットレジスタとして上位 (R0H~R7H) と下位 (R0L~R7L) を別々に使用することも、また 16 ビットレジスタ (R0~R7) として使用することもできます。

アドレスレジスタとして使用する場合は、16 ビットレジスタ (R0~R7) として使用します。

レジスタ R7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチンコールなどで暗黙的に使用されます。このとき、SP は常にスタック領域の先頭を指しています。スタックの状態を図 2.2 に示します。

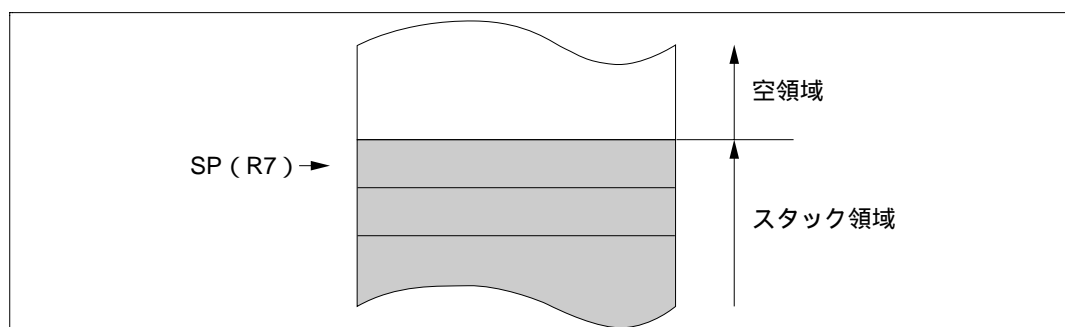


図 2.2 スタックの状態

2.2.2 コントロールレジスタ

コントロールレジスタには、16ビットのプログラムカウンタ(PC)と8ビットのコンディションコードレジスタ(CCR)があります。

(1) プログラムカウンタ(PC)

16ビットのカウンタで、CPUが次に実行する命令のアドレスを示しています。CPUの命令は、すべて16ビット(ワード)を単位としているため、最下位ビットは無効です(命令コードのリード時には最下位ビットは0とみなされます)。

(2) コンディションコードレジスタ(CCR)

8ビットのレジスタで、CPUの内部状態を示しています。割り込みマスクビット(I)とハーフキャリ(H)、ネガティブ(N)、ゼロ(Z)、オーバフロー(V)、キャリ(C)の各フラグを含む8ビットで構成されています。

ビット7: 割り込みマスクビット(I)

本ビットが1にセットされると、割り込みがマスクされます。ただし、NMIはIビットに関係なく常に受け付けられます。例外処理の実行が開始されたときに1にセットされます。

ビット6: ユーザビット(U)

ソフトウェア(LDC、STC、ANDC、ORC、XORC命令)でリード/ライトできます。

ビット5: ハーフキャリフラグ(H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B命令の実行により、ビット3にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。DAAおよびDAS命令実行時に、暗黙的に使用されます。

ADD.W、SUB.W、CMP.W命令ではビット11にキャリまたはボローが生じたとき1にセットされ、生じなかったとき0にクリアされます。

ビット4: ユーザビット(U)

ソフトウェア(LDC、STC、ANDC、ORC、XORC命令)でリード/ライトできます。

ビット3: ネガティブフラグ(N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット2: ゼロフラグ(Z)

データがゼロのとき1にセットされ、ゼロ以外のとき0にクリアされます。

ビット1：オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき1にセットされます。それ以外
のとき0にクリアされます。

ビット0：キャリフラグ (C)

演算の実行により、キャリが生じたとき1にセットされ、生じなかったとき0にクリア
されます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のボロー
- (c) シフト/ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用さ
れます。

なお、命令によってはフラグが変化しない場合があります。CCR は、LDC、STC、ANDC、
ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分
岐命令 (Bcc) で使用されます。

各命令ごとのフラグの変化については、「H8/300 シリーズ プログラミングマニユア
ル」を参照してください。

2.2.3 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタからロードするこ
とにより初期化され、CCR のIビットは1にセットされますが、汎用レジスタおよびCCR
の他のビットは初期化されません。レジスタ R7 (SP) の初期値も不定です。したがって、
リセット直後に、CCR の初期化および R7 の初期化を行ってください。

2.3 データ構成

H8/300 CPUは、1ビット、4ビットBCD、8ビット(バイト)、16ビット(ワード)のデータを扱うことができます。

1ビットデータはビット操作命令で扱われ、オペランドデータ(バイト)の第nビット($n=0, 1, 2, \dots, 7$)という形式でアクセスされます。

バイトデータは、ADDS、SUBS以外の演算命令で扱われます。また、ワードデータは、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU(8ビット×8ビット)、DIVXU(16ビット÷8ビット)命令で扱われます。

なお、DAAおよびDASの10進補正命令では、バイトデータは2桁の4ビットBCDデータとなります。

2.3.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図2.3に示します。

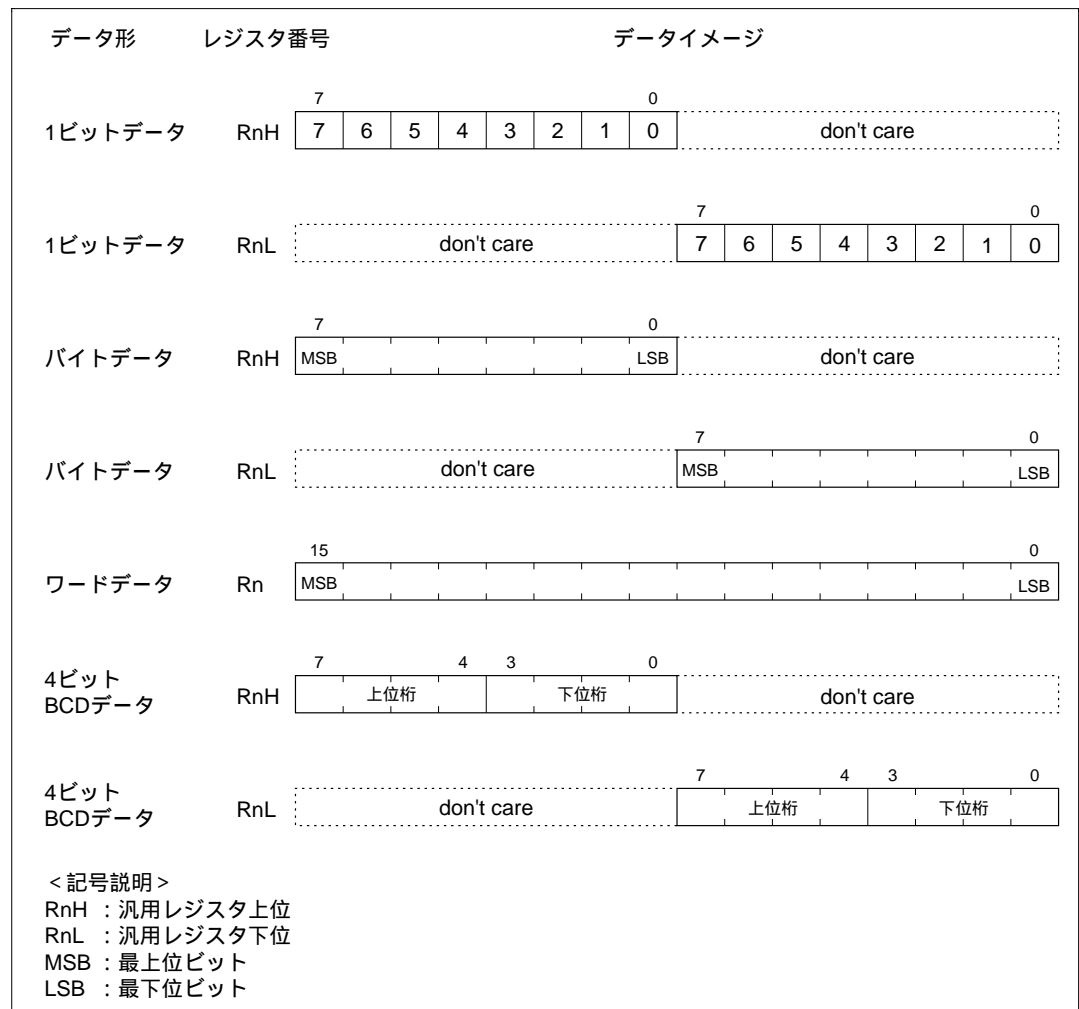


図2.3 汎用レジスタのデータ構成

2.3.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図2.4に示します。

H8/300 CPU は、メモリ上のワードデータをアクセスすることができます (MOV.W 命令) が、偶数番地から始まるワードデータに限定されます。奇数番地から始まるワードデータをアクセスした場合、アドレスの最下位ビットは0とみなされ、1番地前から始まるワードデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

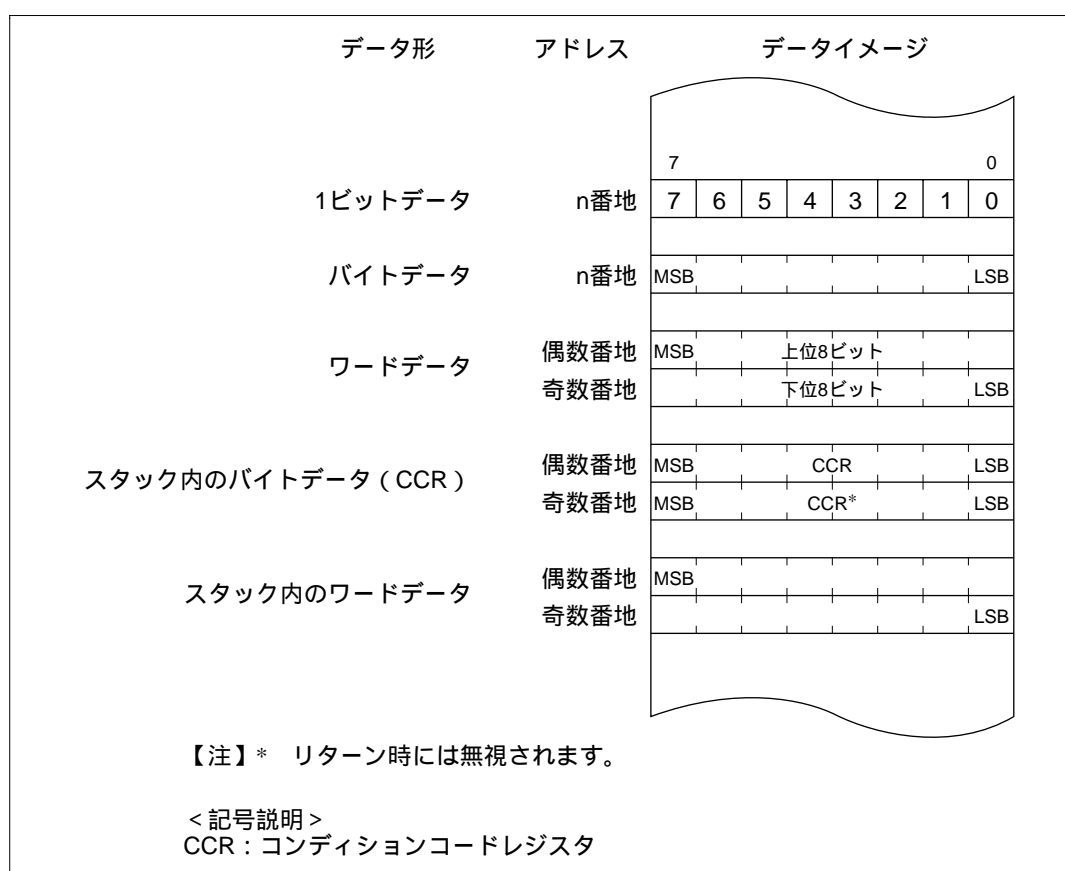


図2.4 メモリ上でのデータ構成

なお、R7 をスタックアドレスとしてアクセスするときは、必ずワードサイズでアクセスしてください。また、CCR は、ワードデータとして上位8ビット、下位8ビットに同じ値が格納されますが、リターン時には、下位8ビットは無視されます。

2.4 アドレッシングモード

2.4.1 アドレッシングモード

H8/300 CPUは、表 2.1 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

表 2.1 アドレッシングモード一覧表

No.	アドレッシングモード	記号
(1)	レジスタ直接	Rn
(2)	レジスタ間接	@Rn
(3)	ディスプレースメント付レジスタ間接	@(d:16, Rn)
(4)	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@Rn + @ - Rn
(5)	絶対アドレス	@aa:8 / @aa:16
(6)	イミディエイト	#xx:8 / #xx:16
(7)	プログラムカウンタ相対	@(d:8, PC)
(8)	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ（8 ビットまたは 16 ビット）がオペランドとなります。

16 ビットレジスタを使用する命令は、MOV.W、ADD.W、SUB.W、CMP.W、ADDS、SUBS、MULXU（8 ビット×8 ビット）、DIVXU（16 ビット÷8 ビット）の各命令です。

(2) レジスタ間接 @Rn

命令コードのレジスタフィールドで指定されるレジスタ（16 ビット）の内容をアドレスとしてメモリ上のオペランドを指定します。

(3) ディスプレースメント付レジスタ間接 @(d:16, Rn)

命令コードのレジスタフィールドで指定されるレジスタ（16 ビット）の内容に、命令コードの第 2 ワード（第 3、第 4 バイト）の 16 ビットディスプレースメントを加算した内容をアドレスとしてメモリ上のオペランドを指定します。

本アドレッシングモードは、MOV 命令のみで使用されます。特に、MOV.W 命令では、加算結果が偶数となるようにしてください。

(4) ポストインクリメントレジスタ間接 @Rn+ / プリデクリメントレジスタ間接 @-Rn

- ・ポストインクリメントレジスタ間接 @Rn+

MOV (Load from) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容をアドレスとしてメモリ上のオペランドを指定します。その後、レジスタの内容に 1 または 2 が加算され、加算結果がレジスタに格納されます。MOV.B 命令では 1、MOV.W 命令では 2 がそれぞれ加算されます。MOV.W 命令では、レジスタの内容が偶数になるようにしてください。

- ・プリデクリメントレジスタ間接 @-Rn

MOV (Store to) 命令で使用されます。

命令コードのレジスタフィールドで指定されるレジスタ (16 ビット) の内容から 1 または 2 を減算した内容をアドレスとして、メモリ上のオペランドを指定します。その後、減算結果がレジスタに格納されます。MOV.B 命令では 1、MOV.W 命令では 2 がそれぞれ減算されます。MOV.W 命令では、レジスタの内容が偶数となるようにしてください。

(5) 絶対アドレス @aa:8 / @aa:16

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

このとき、絶対アドレスは 8 ビット (@aa:8) または 16 ビット (@aa:16) で、8 ビット絶対アドレスは MOV.B、ビット操作命令で、16 ビット絶対アドレスは MOV.B、MOV.W、JMP、JSR の各命令で使用されます。

8 ビット絶対アドレスの場合、上位 8 ビットはすべて 1 (H'FF) となります。したがって、アクセス範囲は 65280 ~ 65535 (H'FF00 ~ H'FFFF) 番地です。

(6) イミディエイト #xx:8 / #xx:16

命令コードの第 2 バイト (#xx:8) または第 3、第 4 バイト (#xx:16) を直接オペランドとして使用します。#xx:16 は、MOV.W 命令のみで使用されます。

なお、ADDS および SUBS 命令では、イミディエイトデータ (1 または 2) が命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コードの第 2 または第 4 バイトに含まれる場合があります。

(7) プログラムカウンタ相対 @ (d:8, PC)

Bcc、BSR の各命令で使用されます。PCの内容に、命令コードの第2バイトの8ビットディスプレイメントを加算して、分岐アドレスを生成します。加算に際して、ディスプレイメントは16ビットに符号拡張され、また加算されるPCの内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126 ~ +128 バイト (-63 ~ +64 ワード) です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @@aa:8

JMPおよびJSR命令で使用されます。

命令コードの第2バイトに含まれる8ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。この場合、8ビット絶対アドレスの上位8ビットはすべて0 (H'00) となります。分岐アドレスを格納できるのは0 ~ 255 (H'0000 ~ H'00FF) 番地です。ただし、この領域の一部はベクタ領域と共通になっていますので注意してください(「3.4 各動作モードのメモリマップ」を参照してください)。

分岐アドレスまたはMOV.W命令のオペランドアドレスとして奇数アドレスを指定した場合、最下位ビットは0とみなされ、1番地前から始まるワードデータをアクセスします(「2.3.2 メモリ上でのデータ構成」を参照してください)。

2.4.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス(EA: Effective Address)の計算方法を表2.2に示します。

演算命令では、(1)レジスタ直接、および(6)イミディエイト(ADD.B、ADDX、SUBX、CMP.B、AND、OR、XORの各命令)が使用されます。

転送命令では、(7)プログラムカウンタ相対と(8)メモリ間接を除くすべてのアドレッシングモードが使用可能です。

また、ビット操作命令では、オペランドの指定に(1)レジスタ直接、(2)レジスタ間接および(5)絶対アドレス(8ビット)が使用可能です。さらに、オペランド中のビット番号を指定するために(1)レジスタ直接(BSET、BCLR、BNOT、BTSTの各命令)および(6)イミディエイト(3ビット)が独立して使用可能です。

表 2.2 実効アドレスの計算方法 (1)

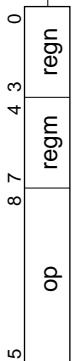
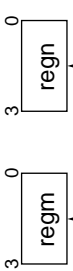

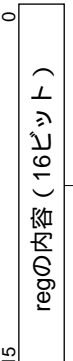

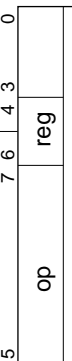
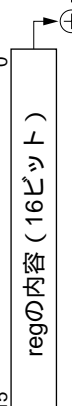



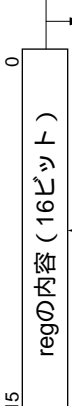
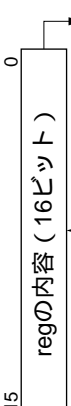
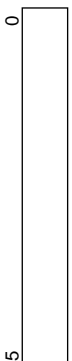

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(1)	レジスタ直接 Rn 		 オペランドは regm/n の内容です。
(2)	レジスタ間接 @Rn 		
(3)	ディスプレースメント付レジスタ間接 @(d:16, Rn) 		
(4)	ポストインクリメントレジスタ間接 / プリデクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @Rn+  ・プリデクリメントレジスタ間接 @-Rn 	 	  オペランドサイズがバイトのとき1、ワードのとき2が加減算されます。

表 2.2 実効アドレスの計算方法 (2)

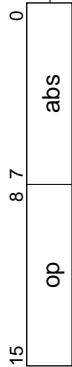
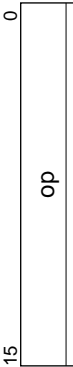
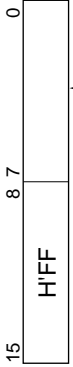

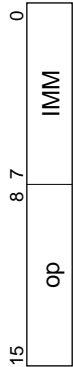
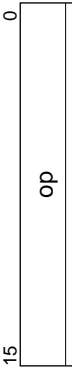
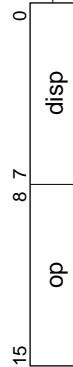
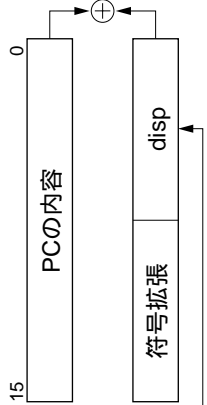

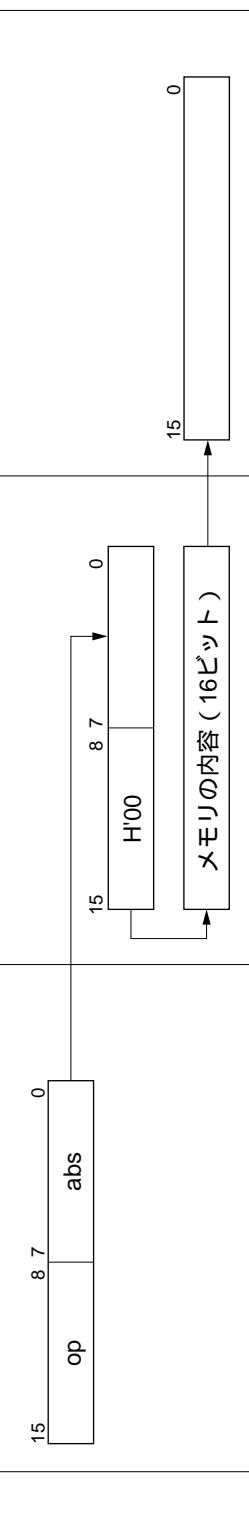
No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(5)	<p>絶対アドレス @aa:8</p>  <p>@aa:16</p> 		 
(6)	<p>イミディエイト #xx:8</p>  <p>#xx:16</p> 		<p>オペランドはイミディエイトデータの1 または2バイトデータです。</p>
(7)	<p>プログラムカウンタ相対 @ (d:8, PC)</p> 		

表 2.2 実効アドレスの計算方法 (3)

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(8)	メモリ間接 @aa:8	 <p>The diagram illustrates the calculation of the effective address (EA) for the @aa:8 addressing mode. It shows three stages: <ol style="list-style-type: none"> Instruction Format: A 16-bit instruction with bits 15-8 labeled 'op' and bits 7-0 labeled 'abs'. Memory Access: The 'abs' field (bits 7-0) points to a memory location containing the hexadecimal value 'H'00'. Final EA: The value 'H'00' is used as an index to access a 16-bit memory content, which becomes the final effective address (EA). </p>	

< 記号説明 >

reg、regm、regn : 汎用レジスタ
 op : オペレーションフィールド
 disp : ディスプレースメント
 IMM : イミディエイトデータ
 abs : 絶対アドレス

2.5 命令セット

H8/300CPU の命令は合計 57 種類あり、各命令のもつ機能によって、表 2.3 に示すように分類されます。

表 2.3 命令の分類

機能	命令	種類
データ転送命令	MOV、MOVFP* ³ 、MOVTP* ³ 、POP* ¹ 、PUSH* ¹	3
算術演算命令	ADD、SUB、ADDX、SUBX、INC、DEC、ADDS、SUBS、DAA、DAS、MULXU、DIVXU、CMP、NEG	14
論理演算命令	AND、OR、XOR、NOT	4
シフト命令	SHAL、SHAR、SHLL、SHLR、ROTL、ROTR、ROTXL、ROTXR	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD、BST、BIST	14
分岐命令	Bcc* ² 、JMP、BSR、JSR、RTS	5
システム制御命令	RTE、SLEEP、LDC、STC、ANDC、ORC、XORC、NOP	8
ブロック転送命令	EEPMOV	1

合計 57 種

【注】 *1 POP Rn、PUSH Rn は、それぞれ MOV.W @SP+ , Rn、MOV.W Rn , @ - SP と同一です。

*2 Bcc は条件分岐命令の総称です。

*3 本 LSI では使用できません。

各命令の機能について表 2.4 ~ 表 2.11 に示します。各表で使用しているオペレーションの記号の意味は次の通りです。

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側)
Rs	汎用レジスタ (ソース側)
Rn	汎用レジスタ
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
CCR	コンディションコードレジスタ
N	CCRのN(ネガティブ)フラグ
Z	CCRのZ(ゼロ)フラグ
V	CCRのV(オーバフロー)フラグ
C	CCRのC(キャリ)フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
~	反転論理 (論理的補数)
: 3 / : 8 / : 16	3 / 8 / 16 ビット長

2.5.1 データ転送命令

データ転送命令の機能を表 2.4 に示します。

表 2.4 データ転送命令

命令	サイズ*	機能
MOV	B/W	(EAs) Rd, Rs (EAd) 汎用レジスタと汎用レジスタまたは汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。 ワードデータは Rn、@Rn、@(d:16, Rn)、@aa:16、#xx:16、@-Rn、@Rn+ の各アドレッシングモードで扱います。@aa:8 はバイトデータのみです。 ただし、@-R7、@R7+ を使用する場合は必ずワードサイズを指定してください。
MOVFPPE	B	本 LSI では使用できません。
MOVTPPE	B	本 LSI では使用できません。
POP	W	@SP+ Rn スタックから汎用レジスタへデータを復帰します。 本命令は MOV.W @SP+, Rn と同一です。
PUSH	W	Rn @-SP 汎用レジスタの内容をスタックに退避します。 本命令は MOV.W Rn, @-SP と同一です。

【注】 * サイズはオペランドサイズを示します。

B: バイト

W: ワード

データ転送命令の命令フォーマットを図 2.5 に示します。

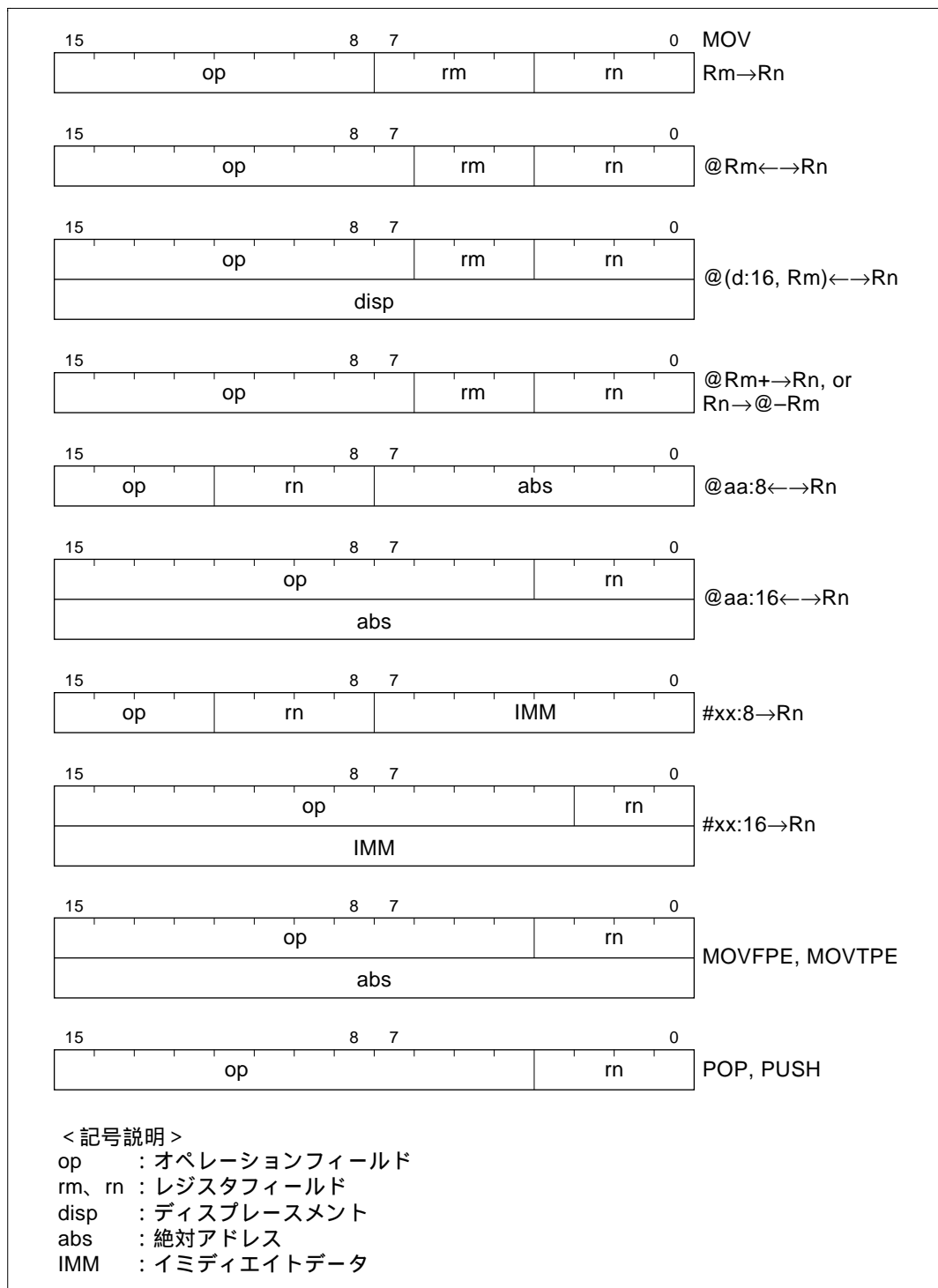


図 2.5 データ転送命令の命令フォーマット

2.5.2 算術演算命令

算術演算命令の機能を表 2.5 に示します。

表 2.5 算術演算命令

命令	サイズ*	機能
ADD SUB	B/W	$Rd \pm Rs$ Rd 、 $Rd + \#IMM$ Rd 汎用レジスタ間の加減算、または汎用レジスタとイミディエイトデータの加算を行います。汎用レジスタとイミディエイトデータの減算はできません。 ワードデータは、汎用レジスタ間の加減算のみで扱います。
ADDX SUBX	B	$Rd \pm Rs \pm C$ Rd 、 $Rd \pm \#IMM \pm C$ Rd 汎用レジスタ間のキャリ付の加減算、または汎用レジスタとイミディエイトデータのキャリ付の加減算を行います。
INC DEC	B	$Rd \pm 1$ Rd 汎用レジスタに 1 を加減算します。
ADDS SUBS	W	$Rd \pm 1$ Rd 、 $Rd \pm 2$ Rd 汎用レジスタに 1 または 2 を加減算します。
DAA DAS	B	Rd (10 進補正) Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B	$Rd \times Rs$ Rd 汎用レジスタ間の符号なし乗算を行います。 8 ビット \times 8 ビット 16 ビットの演算が可能です。
DIVXU	B	$Rd \div Rs$ Rd 汎用レジスタ間の符号なし除算を行います。 16 ビット \div 8 ビット 商 8 ビット 余り 8 ビットの演算が可能です。
CMP	B/W	$Rd - Rs$ 、 $Rd - \#IMM$ 汎用レジスタ間の比較、または汎用レジスタとイミディエイトデータの比較を行い、その結果を CCR に反映します。 ワードデータは、汎用レジスタ間の比較のみで扱います。
NEG	B	$0 - Rd$ Rd 汎用レジスタの内容の 2 の補数 (算術的補数) をとります。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

2.5.3 論理演算命令

論理演算命令の機能を表 2.6 に示します。

表 2.6 論理演算命令

命令	サイズ*	機能
AND	B	Rd Rs Rd、Rd #IMM Rd 汎用レジスタ間の論理積、または汎用レジスタとイミディエイトデータの論理積をとります。
OR	B	Rd Rs Rd、Rd #IMM Rd 汎用レジスタ間の論理和、または汎用レジスタとイミディエイトデータの論理和をとります。
XOR	B	Rd⊕Rs Rd、Rd⊕#IMM Rd 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B	~Rd Rd 汎用レジスタの内容の 1 の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B: バイト

2.5.4 シフト命令

シフト命令の機能を表 2.7 に示します。

表 2.7 シフト命令

命令	サイズ*	機能
SHAL SHAR	B	Rd (シフト処理) Rd 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B	Rd (シフト処理) Rd 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B	Rd (ローテート処理) Rd 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B	Rd (ローテート処理) Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。

【注】 * サイズはオペランドサイズを示します。

B: バイト

算術演算命令、論理演算命令およびシフト命令の命令フォーマットを図 2.6 に示します。

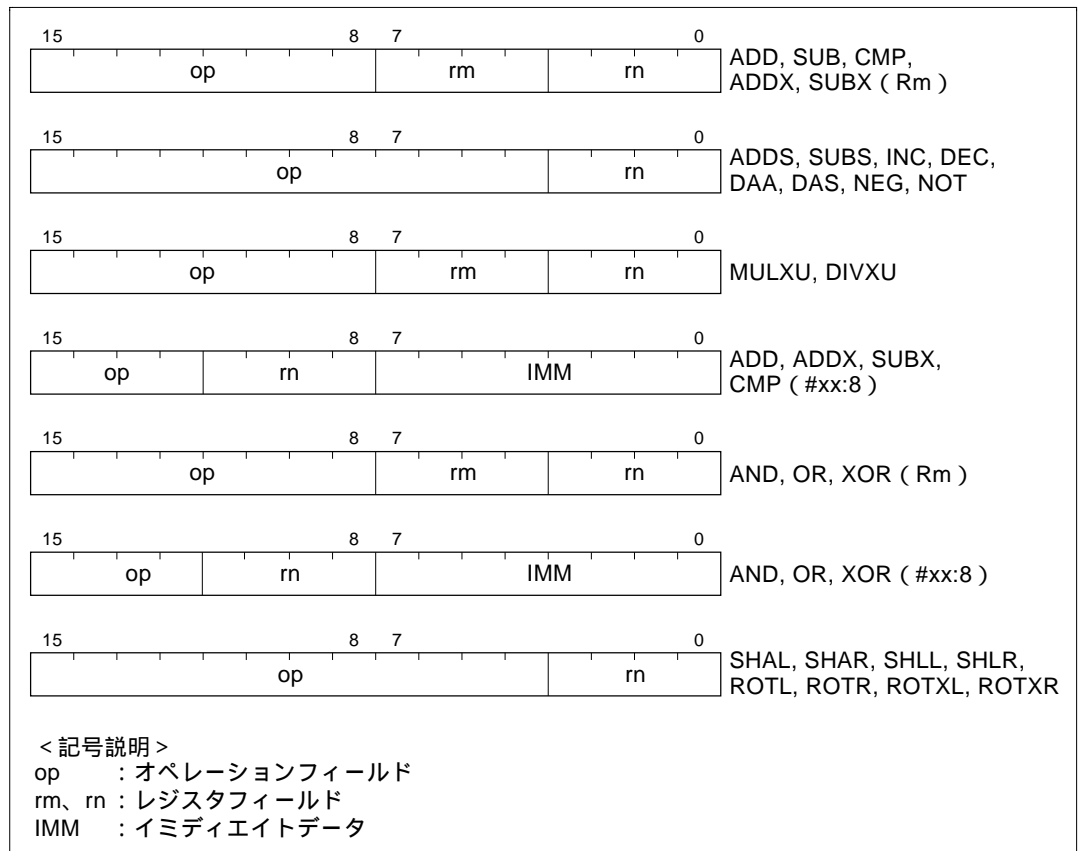


図 2.6 算術演算命令・論理演算命令・シフト命令の命令フォーマット

2.5.5 ビット操作命令

ビット操作命令の機能を表 2.8 に示します。

表 2.8 ビット操作命令 (1)

命令	サイズ*	機能
BSET	B	1 (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 1 にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BCLR	B	0 (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを 0 にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BNOT	B	~ (<ビット番号> of <EAd>) (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BTST	B	~ (<ビット番号> of <EAd>) Z 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定されます。
BAND	B	C (<ビット番号> of <EAd>) C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	C [~ (<ビット番号> of <EAd>)] C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B: バイト

表 2.8 ビット操作命令 (2)

命令	サイズ*	機能
BOR	B	$C (<\text{ビット番号}> \text{ of } <\text{EAd}>)$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
BIOR	B	$C [\sim (<\text{ビット番号}> \text{ of } <\text{EAd}>)]$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BXOR	B	$C \oplus (<\text{ビット番号}> \text{ of } <\text{EAd}>)$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
BIXOR	B	$C \oplus [\sim (<\text{ビット番号}> \text{ of } <\text{EAd}>)]$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。
BLD	B	$(<\text{ビット番号}> \text{ of } <\text{EAd}>)$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットをキャリフラグに転送します。
BILD	B	$\sim (<\text{ビット番号}> \text{ of } <\text{EAd}>)$ C 汎用レジスタまたはメモリのオペランドの指定された 1 ビットを反転し、キャリフラグに転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B: バイト

表 2.8 ビット操作命令 (3)

命令	サイズ*	機能
BST	B	C (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、キャリフラグの内容を転送します。
BIST	B	~C (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された 1 ビットに、反転されたキャリフラグの内容を転送します。 ビット番号は、3 ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。

B: バイト

【ビット操作命令使用上の注意】

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。

したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

動作順序		動作内容
1	リード	指定したアドレスのデータ (バイト単位) をリードします。
2	ビット操作	リードしたデータの指定された 1 ビットを操作します。
3	ライト	指定したアドレスに操作したデータ (バイト単位) をライトします。

例

ポート4のDDRに、BCLR命令を実行した例を示します。

P4₇、P4₆は入力端子に設定され、それぞれLowレベル、Highレベルが入力されているとします。

P4₅～P4₀は出力端子に設定され、それぞれLowレベル出力状態とします。

ここで、BCLR命令で、P4₀を入力ポートにする例を示します。

【A：BCLR命令を実行前】

	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル
DDR	0	0	1	1	1	1	1	1
DR	1	0	0	0	0	0	0	0

【B：BCLR命令を実行】

```
BCLR #0, @P4DDR
```

DDRに対してBCLR命令を実行します。

【C：BCLR命令を実行後】

	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
入出力	出力	出力	出力	出力	出力	出力	出力	入力
端子状態	Low レベル	High レベル	Low レベル	Low レベル	Low レベル	Low レベル	Low レベル	High レベル
DDR	1	1	1	1	1	1	1	0
DR	1	0	0	0	0	0	0	0

【D：BCLR命令の動作説明】

BCLR命令を実行すると、CPUは、最初にP4DDRをリードします。

P4DDRはライト専用レジスタですので、CPUはH'FFをリードします。

したがって、この例ではDDRはH'3Fですが、CPUがリードしたデータはH'FFとなります。

次に、CPUは、リードしたデータのビット0を0にクリアして、データをH'FEに変更します。

最後に、このデータ(H'FE)をDDRに書き込んで、BCLR命令を終了します。

その結果、P4₀は、DDRが0になり、入力ポートになります。しかし、ビット7、6のDDRが1になって、入力ポートであったP4₇、P4₆は、出力ポートに変化してしまいます。

ビット操作命令の命令フォーマットを図 2.7 に示します。

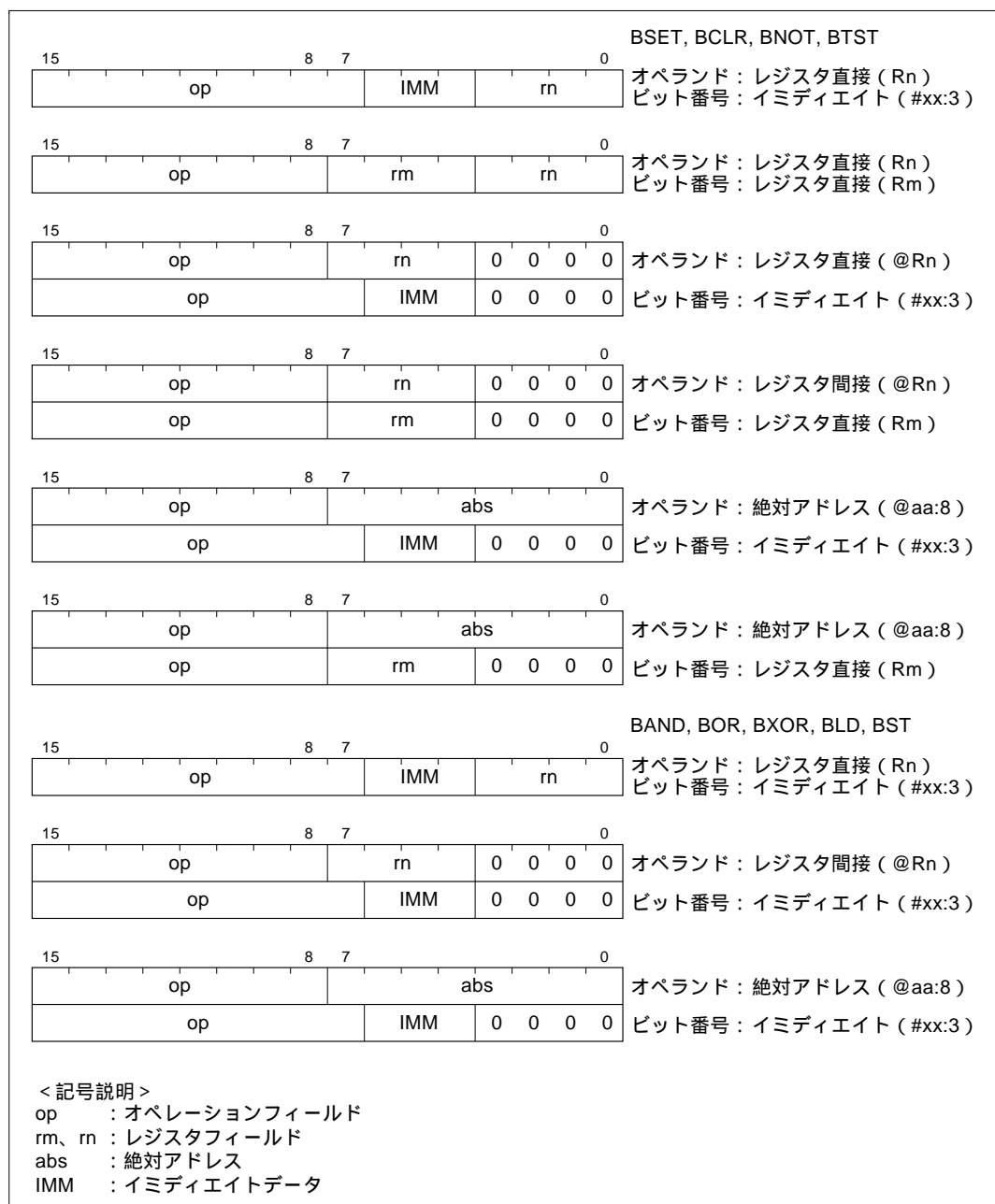


図 2.7 ビット操作命令の命令フォーマット (1)

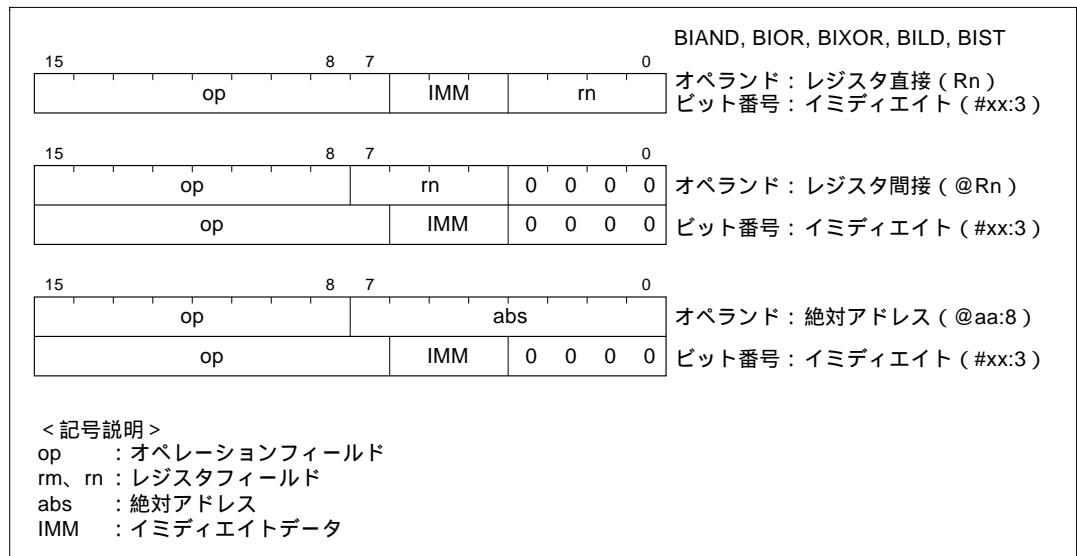


図 2.7 ビット操作命令の命令フォーマット (2)

2.5.6 分岐命令

分岐命令の機能を表 2.9 に示します。

表 2.9 分岐命令

命令	サイズ	機能																																																			
Bcc		<p>指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。</p> <table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>$C = Z = 0$</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>$C = Z = 1$</td> </tr> <tr> <td>BCC (BHS)</td> <td>Carry Clear (High or Same)</td> <td>$C = 0$</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (LOW)</td> <td>$C = 1$</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>$Z = 0$</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>$Z = 1$</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>$V = 0$</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>$V = 1$</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>$N = 0$</td> </tr> <tr> <td>BMI</td> <td>Minus</td> <td>$N = 1$</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V = 0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V = 1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>$Z (N \oplus V) = 0$</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>$Z (N \oplus V) = 1$</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	$C = Z = 0$	BLS	Low or Same	$C = Z = 1$	BCC (BHS)	Carry Clear (High or Same)	$C = 0$	BCS (BLO)	Carry Set (LOW)	$C = 1$	BNE	Not Equal	$Z = 0$	BEQ	Equal	$Z = 1$	BVC	oVerflow Clear	$V = 0$	BVS	oVerflow Set	$V = 1$	BPL	PLus	$N = 0$	BMI	Minus	$N = 1$	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z (N \oplus V) = 0$	BLE	Less or Equal	$Z (N \oplus V) = 1$
ニーモニック	説明	分岐条件																																																			
BRA (BT)	Always (True)	Always																																																			
BRN (BF)	Never (False)	Never																																																			
BHI	High	$C = Z = 0$																																																			
BLS	Low or Same	$C = Z = 1$																																																			
BCC (BHS)	Carry Clear (High or Same)	$C = 0$																																																			
BCS (BLO)	Carry Set (LOW)	$C = 1$																																																			
BNE	Not Equal	$Z = 0$																																																			
BEQ	Equal	$Z = 1$																																																			
BVC	oVerflow Clear	$V = 0$																																																			
BVS	oVerflow Set	$V = 1$																																																			
BPL	PLus	$N = 0$																																																			
BMI	Minus	$N = 1$																																																			
BGE	Greater or Equal	$N \oplus V = 0$																																																			
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$Z (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z (N \oplus V) = 1$																																																			
JMP		指定されたアドレスへ無条件に分岐します。																																																			
BSR		指定されたアドレスへサブルーチン分岐します。																																																			
JSR		指定されたアドレスへサブルーチン分岐します。																																																			
RTS		サブルーチンから復帰します。																																																			

分岐命令の命令フォーマットを図 2.8 に示します。

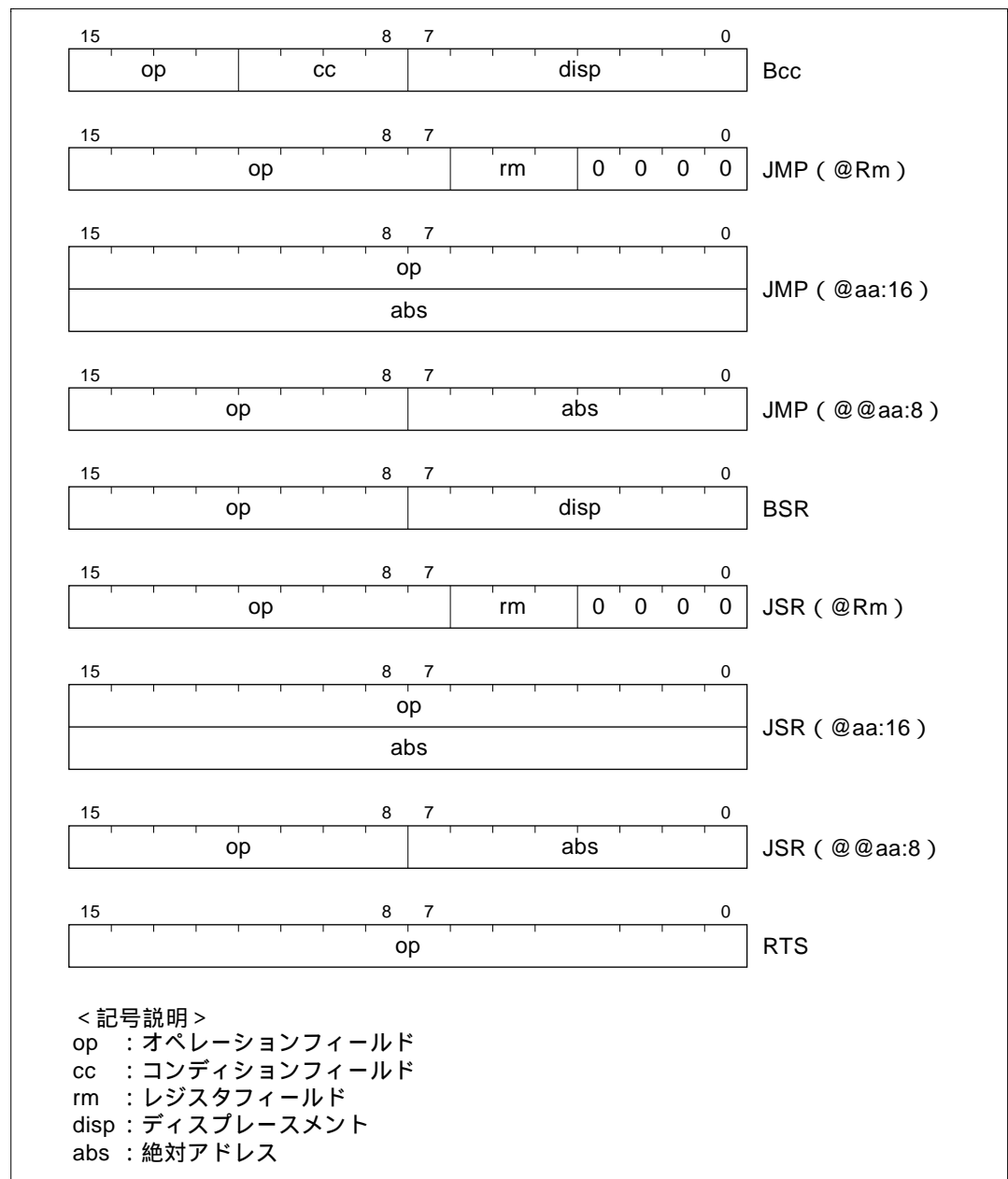


図 2.8 分岐命令の命令フォーマット

2.5.7 システム制御命令

システム制御命令の機能を表 2.10 に示します。

表 2.10 システム制御命令

命令	サイズ*	機能
RTE		例外処理ルーチンから復帰します。
SLEEP		低消費電力状態に遷移します。
LDC	B	Rs CCR、#IMM CCR 汎用レジスタの内容、またはイミディエイトデータを CCR に転送します。
STC	B	CCR Rd CCR の内容を汎用レジスタに転送します。
ANDC	B	CCR #IMM CCR CCR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM CCR CCR とイミディエイトデータの論理和をとります。
XORC	B	CCR \oplus #IMM CCR CCR とイミディエイトデータの排他的論理和をとります。
NOP		PC + 2 PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

システム制御命令の命令フォーマットを図 2.9 に示します。

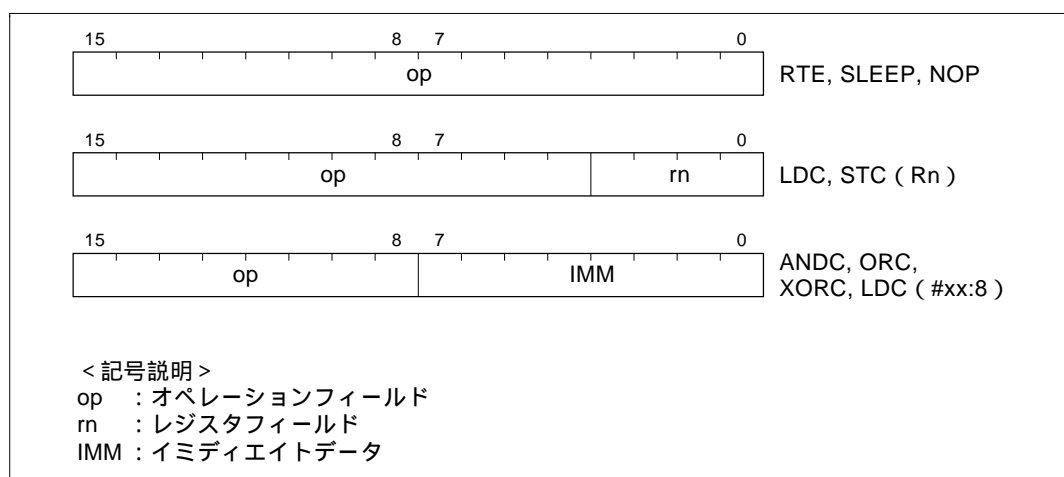


図 2.9 システム制御命令の命令フォーマット

2.5.8 ブロック転送命令

ブロック転送命令の機能を表 2.11 に示します。

表 2.11 ブロック転送命令

命令	サイズ	機能
EEPMOV		<pre>if R4L 0 then Repeat @R5 + @R6 +, R4L - 1 R4L Until R4L = 0 else next;</pre> <p>ブロック転送命令です。R5 で示されるアドレスから始まり、R4L で指定されるバイト数のデータを、R6 で示されるアドレスから始まるロケーションへ転送します。転送終了後、次の命令を実行します。</p>

ブロック転送命令の命令フォーマットを図 2.10 に示します。

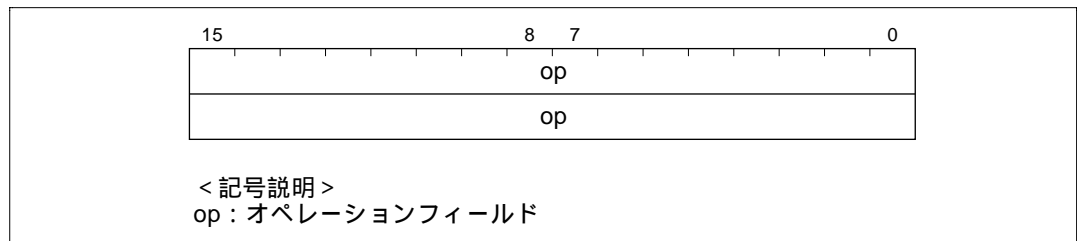
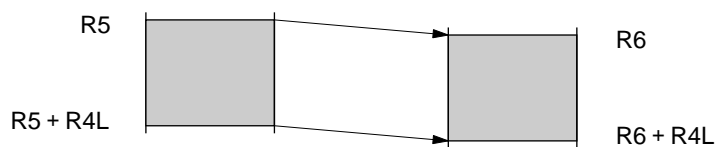


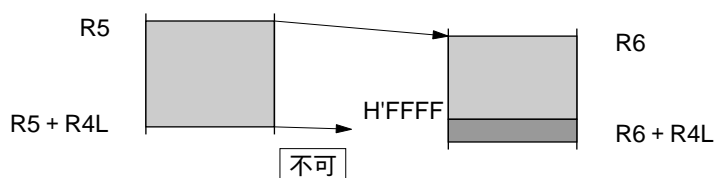
図 2.10 ブロック転送命令の命令フォーマット

【EEPMOV 命令使用上の注意】

- (1) EEPMOV 命令はブロック転送命令で、R5 で示されるアドレスから始まる R4L で示されるバイト数のデータを、R6 で示されるアドレスへ転送します。



- (2) 転送先の最終アドレス (R6 + R4L の値) が H'FFFF を超えないように (実行途中で R6 の値が H'FFFF H'0000 とならないように)、R4L、R6 を設定してください。



2.6 処理状態

2.6.1 概要

CPUの処理状態には、プログラム実行状態、例外処理状態、低消費電力状態の3種類があります。さらに、低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモードがあります。処理状態の分類を図 2.11 に、各状態間の遷移を図 2.12 に示します。

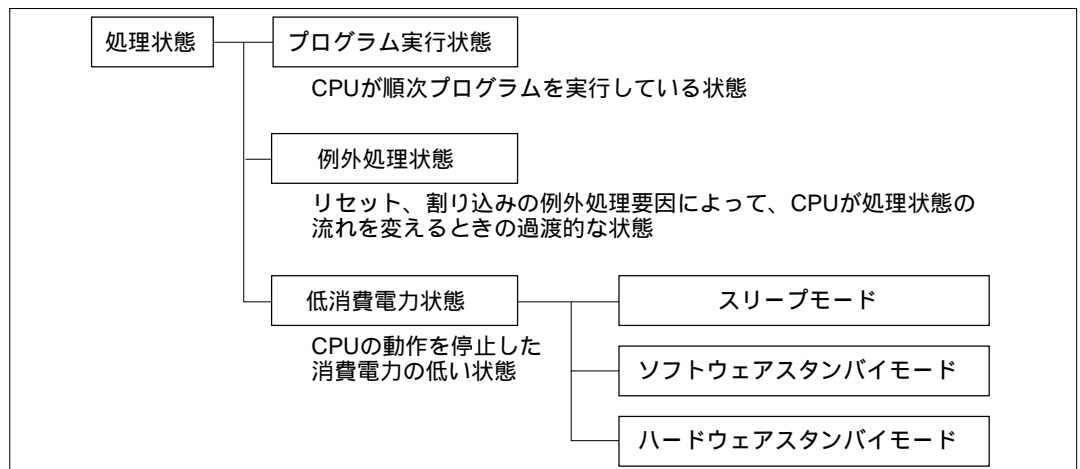


図 2.11 処理状態の分類

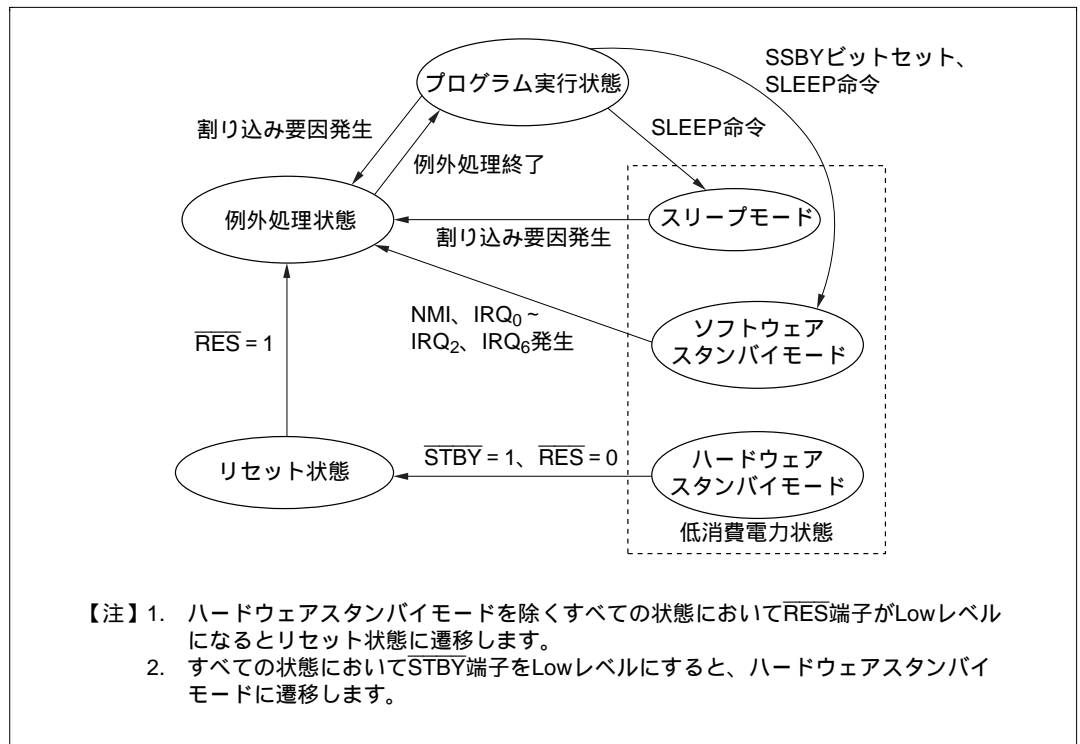


図 2.12 状態遷移図

2.6.2 プログラム実行状態

CPU がプログラムを順次実行している状態です。

2.6.3 例外処理状態

リセット、割り込みの例外処理要因によって、CPU が通常の処理状態の流れを変えると
きの過渡的な状態です。割り込み例外処理では、SP (R7) を参照して、PC および CCR
の退避を行います。

例外処理についての詳細は、「第 4 章 例外処理」を参照してください。

2.6.4 低消費電力状態

低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、ハードウェア
スタンバイモードの 3 つのモードがあります。

(1) スリープモード

スリープモードは、SLEEP 命令を実行することによって遷移するモードです。CPU の
動作は、SLEEP 命令実行直後で停止します。CPU の内部レジスタの内容は保持されます。

(2) ソフトウェアスタンバイモード

ソフトウェアスタンバイモードは、システムコントロールレジスタ (SYSCR) の SSBY
(ソフトウェアスタンバイ) ビットを 1 にセット後、SLEEP 命令を実行することによって
遷移するモードです。

CPU およびクロックをはじめ内蔵周辺モジュールのすべての動作が停止します。内蔵周
辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り CPU の内
部レジスタの内容および内蔵 RAM の内容は保持されます。また、I/O ポートの状態も保
持されます。

(3) ハードウェアスタンバイモード

ハードウェアスタンバイモードは、 $\overline{\text{STBY}}$ 端子を Low レベルにすることによって遷移す
るモードです。ソフトウェアスタンバイモードと同様に、CPU およびすべてのクロックは
停止し、内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられてい
る限り、内蔵 RAM の内容は保持されます。

低消費電力状態についての詳細は、「第 22 章 低消費電力状態」を参照してください。

2.7 基本動作タイミング

CPUは、システムクロック()をタイムベースに動作しており、システムクロックの立ち上がりから次の立ち上がりまでの1単位をステートと呼びます。メモリサイクルまたはバスサイクルは、2または3ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部デバイスによってそれぞれ異なるアクセスを行います。

2.7.1 内蔵メモリ (RAM、ROM)

内蔵メモリのアクセスは、高速処理を行うために2ステートアクセスを行います。このとき、データバス幅は16ビットで、バイトおよびワードサイズアクセスが可能です。内蔵メモリアccessサイクルを図2.13に、端子状態を図2.14に示します。

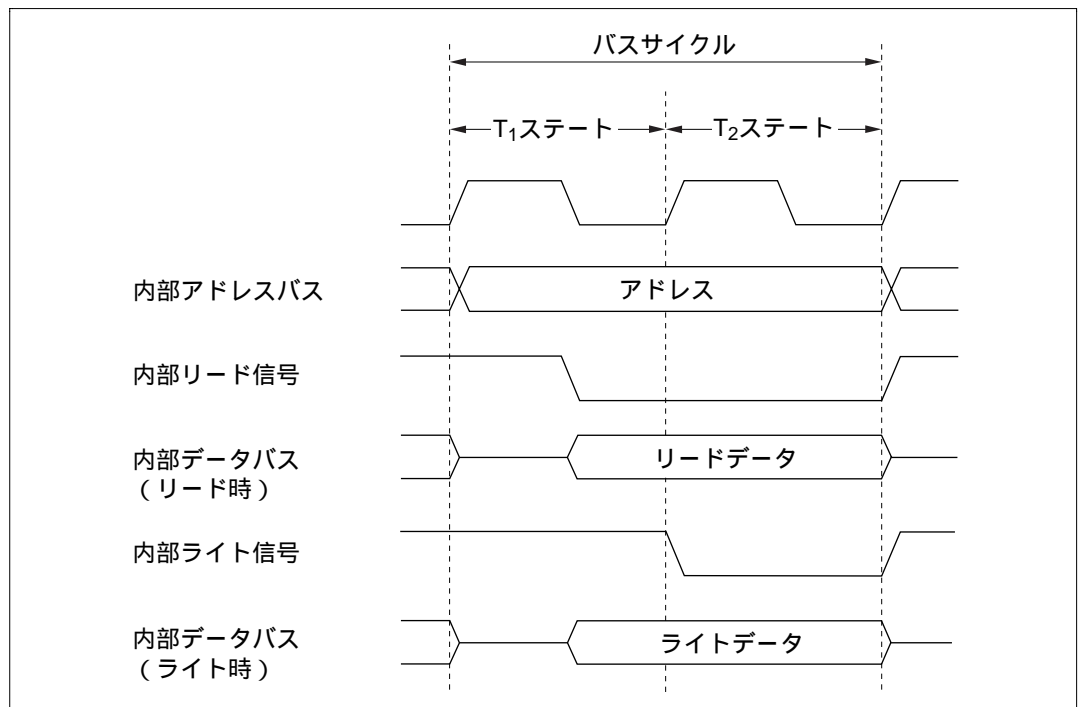


図 2.13 内蔵メモリアccessサイクル

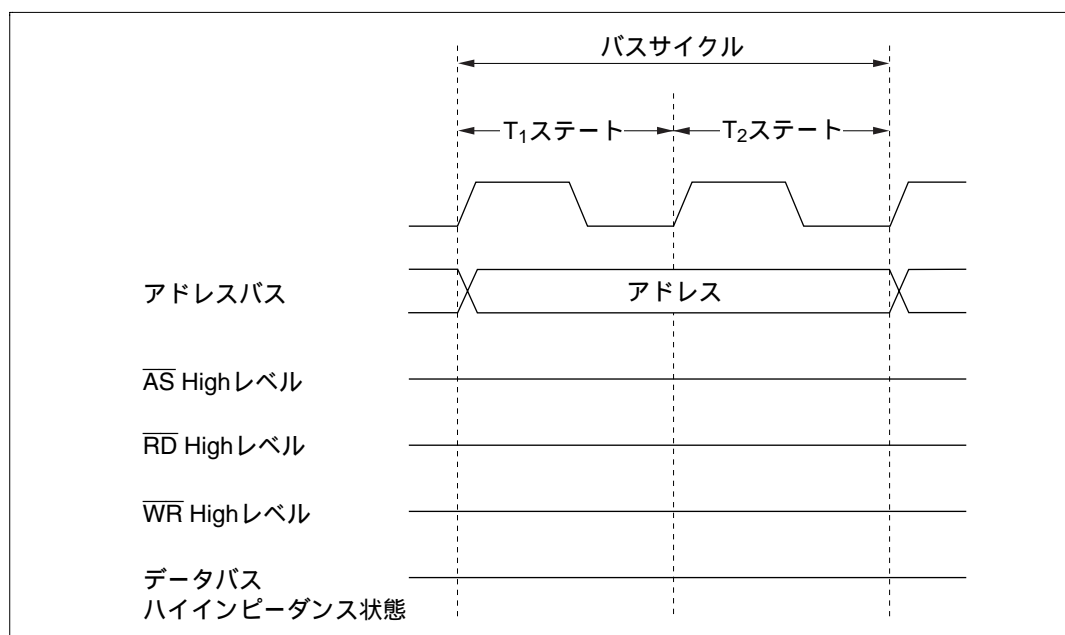


図 2.14 内蔵メモリアクセス時の端子状態

2.7.2 内蔵周辺モジュール / 外部デバイス

内蔵周辺モジュールおよび外部デバイスのアクセスは、3 ステートで行われます。このとき、データバス幅は8ビットで、ワードデータおよび命令コードは、1バイトずつ2回に分けてアクセスされます。内蔵周辺モジュールアクセスサイクル、端子状態を図 2.15、図 2.16 に、外部デバイスアクセスタイミングを図 2.17 に示します。

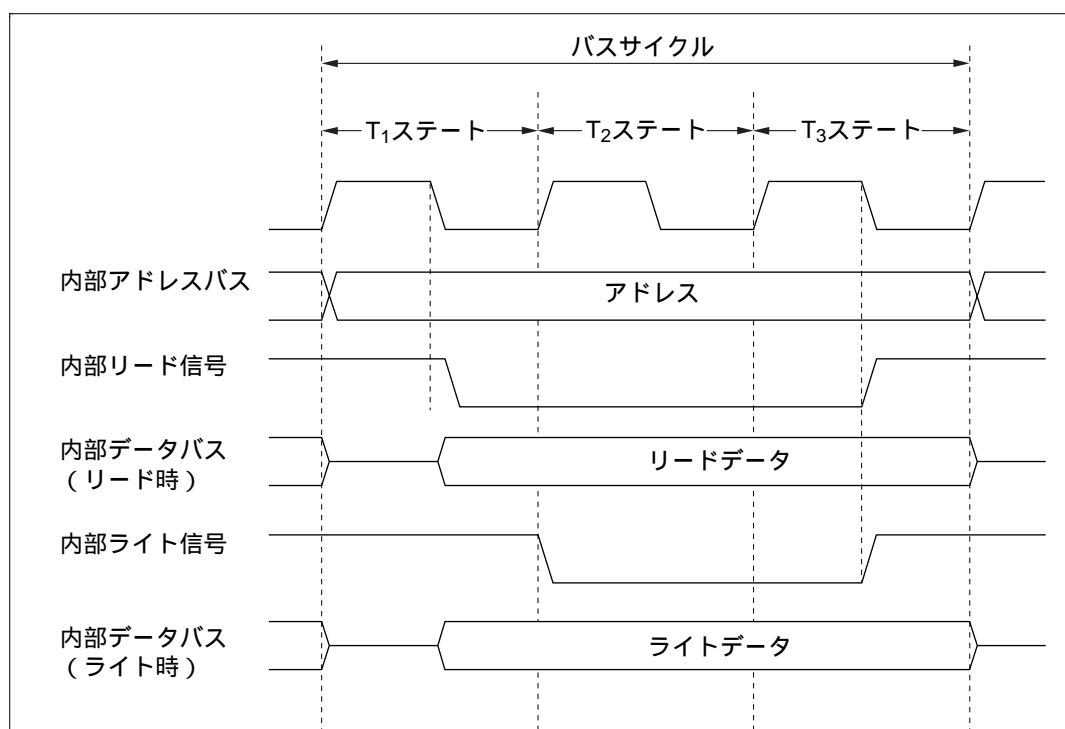


図 2.15 内蔵周辺モジュールアクセスサイクル

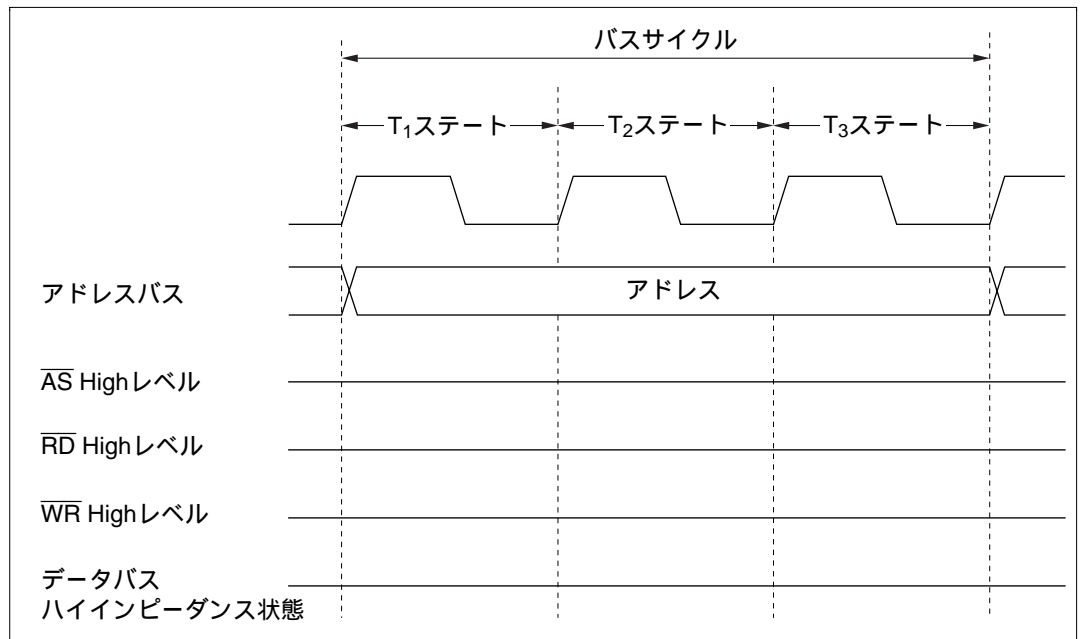


図 2.16 内蔵周辺モジュールアクセス時の端子状態

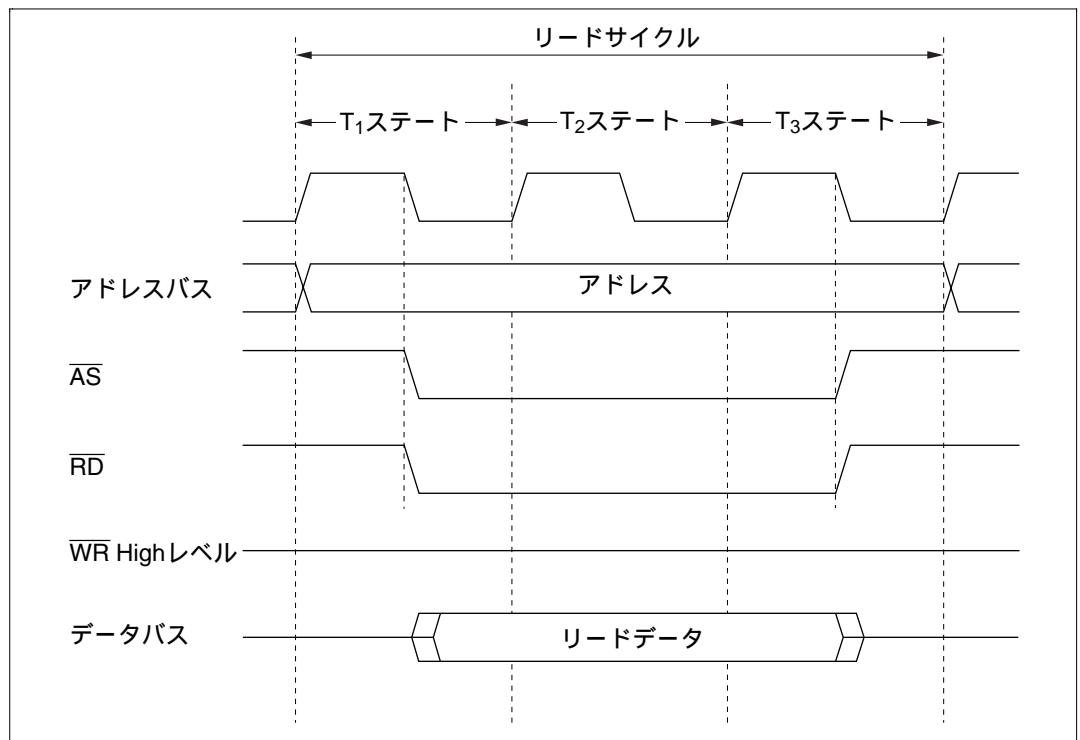


図 2.17 (a) 外部デバイスアクセスタイミング (リード時)

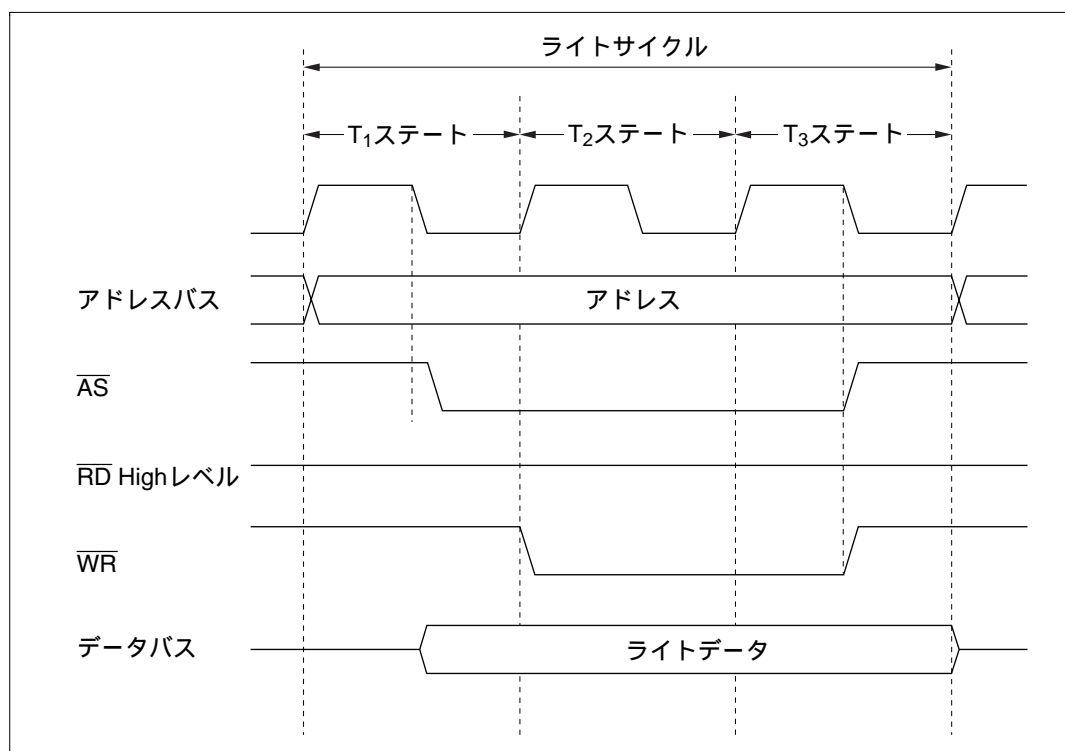


図 2.17 (b) 外部デバイスアクセスタイミング (ライト時)

3. MCU 動作モード

第3章 目次

3.1	概要.....	63
	3.1.1 動作モードの選択.....	63
	3.1.2 レジスタ構成	63
3.2	システムコントロールレジスタ (SYSCR)	64
3.3	モードコントロールレジスタ (MDCR)	67
3.4	各動作モードのメモリマップ	68

3.1 概要

3.1.1 動作モードの選択

本 LSI には、3 種類の動作モード（モード 1、2、3）があります。これらのモードは、モード端子（MD₁、MD₀）を表 3.1 のように設定することによって選択します。

表 3.1 動作モードの選択

MCU 動作モード	MD ₁	MD ₀	内容	内蔵 ROM	内蔵 RAM
モード 0	0	0			
モード 1	0	1	内蔵 ROM 無効拡張モード	無効	有効*
モード 2	1	0	内蔵 ROM 有効拡張モード	有効	有効*
モード 3	1	1	シングルチップモード	有効	有効

<記号説明>

0 : Low レベル

1 : High レベル

: 使用不可

【注】 * システムコントロールレジスタ（SYSCR）の RAME ビットを 0 にクリアすることにより、外部アドレスとすることができます。

モード 1、2（内蔵 ROM 無効拡張モード、内蔵 ROM 有効拡張モード）は、外部メモリおよび周辺デバイスをアクセスすることができる拡張モードです。外部拡張モードでサポートするアドレス空間は、最大 64k バイトです。

モード 3（シングルチップモード）は、内蔵 ROM と RAM、内部 I/O レジスタで動作するモードです。すべてのポートを使用することができます。

モード 0 は、本 LSI では使用できません。モード端子をモード 0 となるようには設定しないでください。また、モード端子は動作中に変化させないでください。

3.1.2 レジスタ構成

本 LSI の動作を制御するレジスタとして、表 3.2 に示すシステムコントロールレジスタ（SYSCR）と、モード端子 MD₁、MD₀ の状態が反映されるモードコントロールレジスタ（MDCR）があります。

表 3.2 レジスタ構成

名称	略称	R/W	アドレス
システムコントロールレジスタ	SYSCR	R/W	H'FFC4
モードコントロールレジスタ	MDCR	R	H'FFC5

3.2 システムコントロールレジスタ (SYSCR)

ビット :	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	XRST	NMIEG	HIE	RAME
初期値 :	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

SYSCR は、本 LSI の動作を制御する 8 ビットのレジスタです。

ビット7 : ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します(ソフトウェアスタンバイモードについては「第 22 章 低消費電力状態」を参照してください)。

なお、外部割り込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したとき、このビットは 1 にセットされたままです。クリアする場合は、0 をライトしてください。

ビット7	説明
SSBY	
0	SLEEP 命令実行後、スリープモードに遷移 (初期値)
1	SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移

ビット6~4 : スタンバイタイムセレクト2~0 (STS2~STS0)

外部割り込みによって、ソフトウェアスタンバイモードを解除する場合に、内部クロックが安定するまで CPU と内蔵周辺モジュール待機する時間を指定します。

動作周波数に応じて待機時間が 8ms 以上となるように指定してください。

待機時間の設定については、「22.3.3 ソフトウェアスタンバイモードの解除後の発振安定待機時間の設定」を参照してください。

ZTAT 版、マスク ROM 版

ビット6	ビット5	ビット4	説 明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート (初期値)
		1	待機時間 = 16384 ステート
	1	0	待機時間 = 32768 ステート
		1	待機時間 = 65536 ステート
1	0		待機時間 = 131072 ステート
	1		使用禁止

F-ZTAT 版

ビット6	ビット5	ビット4	説 明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート (初期値)
		1	待機時間 = 16384 ステート
	1	0	待機時間 = 32768 ステート
		1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
		1	待機時間 = 1024 ステート
	1		使用禁止

【注】 1024 ステート (STS2 ~ 0 = 101) を選択する場合は、次の点にご注意願います。
 8 ビットタイマ、PWM タイマ、ウォッチドッグタイマの各クロック選択において、
 $\neq 1024$ を超える周期 ($\neq 2048$ 等) を選択した場合、待機時間に 1024 ステートを
 指定した状態ではタイマ内のカウンタのカウントアップが正常に行われません。これを
 回避するために、STS の値はソフトウェアスタンバイに遷移 (SLEEP 命令を実行) す
 る直前に設定し、割り込みによりソフトウェアスタンバイが解除された直後に、STS2
 ~ 0 の値を 000 ~ 100 のいずれかに再設定してください。

ビット3 : 外部リセット (XRST)

XRST はリセット要因を表わすビットです。リセットは、外部リセット入力に加えて、
 ウォッチドッグタイマを利用しているときには、ウォッチドッグタイマオーバフローによ
 り発生できます。XRST ビットはリード専用です。外部リセットにより 1 にセット、ウォ
 ッチドッグタイマオーバフローにより 0 にクリアされます。

ビット3	説 明
XRST	
0	リセットがウォッチドッグタイマのオーバフローで発生
1	リセットが外部リセット入力で発生 (初期値)

ビット2：NMIエッジ（NMIEG）

$\overline{\text{NMI}}$ 端子の入力エッジ選択を行います。

ビット2	説明
NMIEG	
0	$\overline{\text{NMI}}$ 入力の立ち下がりエッジ（ \downarrow ）で割り込み要求を発生（初期値）
1	$\overline{\text{NMI}}$ 入力の立ち上がりエッジ（ \uparrow ）で割り込み要求を発生

ビット1：ホストインタフェースイネーブル（HIE）

ホストインタフェース機能を許可または禁止します。許可時には本 LSI はスレーブモードとなり、スレーブとホスト間のデータ転送処理を行います。

ビット1	説明
HIE	
0	ホストインタフェース機能を禁止（初期値）
1	ホストインタフェース機能を許可（スレーブモード）

ビット0：RAMイネーブル（RAME）

内蔵 RAM のイネーブル / ディスエーブルを選択します。RAME ビットは、 $\overline{\text{RES}}$ 端子の立ち上がりエッジでイニシャライズされます。ソフトウェアスタンバイモードでは、イニシャライズされません。

ビット0	説明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効（初期値）

3.3 モードコントロールレジスタ (MDCR)

ビット:	7	6	5	4	3	2	1	0
	EXPE*1	—	—	—	—	—	MDS1	MDS0
初期値:	—*2	1	1	0	0	1	—*2	—*2
R/W:	R/W*2	—	—	—	—	—	R	R

- 【注】*1 H8/3437SF (Sマスク品、単一電源方式フラッシュメモリ内蔵版)のみ。
 その他の場合はリザーブビットとなり、リードすると常に1が読み出されます。
 *2 モード端子 (MD₁、MD₀)により決定されます。

MDCRは、8ビットのレジスタであり、本LSIの現在の動作モードをモニタするのに使います。

ビット7: 拡張モードイネーブル (EXPE)

H8/3437SF (S マスク品、単一電源方式フラッシュメモリ内蔵版)でのみ機能します。詳細は、「21.1.6 モードコントロールレジスタ MDCR」を参照してください。

H8/3437SF以外の製品では、リザーブビットとなり、リードすると常に1が読み出されます。ライトは無効です。

ビット6、5: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット4、3: リザーブビット

リザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット2: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット1、0: モードセレクト1、0 (MDS1、0)

モード端子 (MD₁、MD₀)のレベルを反映した値 (現在の動作モード)を示します。MDS1、MDS0ビットは、MD₁端子、MD₀端子にそれぞれ対応します。これらのビットは、リード専用でライトは無効です。MDCRをリードするとモード端子 (MD₁、MD₀)のレベルがこれらのビットにラッチされます。

3.4 各動作モードのメモリマップ

H8/3437、H8/3436、H8/3434のモード1、2、3のメモリマップを図3.1～図3.3に示します。

モード1		モード2		モード3	
内蔵ROM無効拡張モード		内蔵ROM有効拡張モード		シングルチップモード	
H'0000	割り込みベクタ	H'0000	割り込みベクタ	H'0000	割り込みベクタ
H'004B		H'004B		H'004B	
H'004C		H'004C		H'004C	
	外部アドレス空間		内蔵ROM 61312バイト		内蔵ROM 63360バイト
H'F77F	内蔵RAM* 2048バイト	H'EF7F	外部アドレス空間	H'F77F	内蔵RAM 2048バイト
H'F780		H'EF80		H'F780	
H'FF7F	外部アドレス空間	H'FF7F	外部アドレス空間	H'FF7F	内部I/Oレジスタ
H'FF80		H'FF80		H'FF80	
H'FF87	内部I/Oレジスタ	H'FF87	内部I/Oレジスタ	H'FF87	内部I/Oレジスタ
H'FF88		H'FF88		H'FF88	
H'FFFF		H'FFFF		H'FFFF	

【注】* SYSCRのRAMEビットを0にクリアすることにより外部アドレスとすることができます。

図3.1 H8/3437の各動作モードのメモリマップ

モード1	モード2	モード3
内蔵ROM無効拡張モード	内蔵ROM有効拡張モード	シングルチップモード
H'0000 H'004B H'004C	H'0000 H'004B H'004C	H'0000 H'004B H'004C
割り込みベクタ	割り込みベクタ	割り込みベクタ
外部アドレス空間	内蔵ROM 49152バイト	内蔵ROM 49152バイト
H'777F H'7780	H'BFFF H'C000	H'BFFF H'C000
内蔵RAM*2 2048バイト	リザーブ*1	リザーブ*1
H'FF7F H'FF80 H'FF87 H'FF88	H'EF7F H'EF80	H'777F H'7780
外部アドレス空間	外部アドレス空間	内蔵RAM 2048バイト
内部I/Oレジスタ	内部I/Oレジスタ	内部I/Oレジスタ
H'FFFF	H'FFFF	H'FFFF

【注】*1 リザーブ領域はアクセスしないでください。
*2 SYSCRのRAMEビットを0にクリアすることにより外部アドレスとすることができます。

図 3.2 H8/3436 の各動作モードのメモリマップ

3. MCU動作モード

モード1	モード2	モード3
内蔵ROM無効拡張モード	内蔵ROM有効拡張モード	シングルチップモード
H'0000	H'0000	H'0000
H'004B	H'004B	H'004B
H'004C	H'004C	H'004C
割り込みベクタ	割り込みベクタ	割り込みベクタ
外部アドレス空間	内蔵ROM 32768バイト	内蔵ROM 32768バイト
	H'7FFF H'8000	H'7FFF H'8000
	リザーブ*1	リザーブ*1
	H'EF7F H'EF80	
	外部アドレス空間	
H'F77F H'F780	H'F77F H'F780	H'F77F H'F780
リザーブ*1*2	リザーブ*1*2	リザーブ*1
H'FB7F H'FB80	H'FB7F H'FB80	H'FB7F H'FB80
内蔵RAM*2 1024バイト	内蔵RAM*2 1024バイト	内蔵RAM 1024バイト
H'FF7F H'FF80	H'FF7F H'FF80	H'FF7F
外部アドレス空間	外部アドレス空間	
H'FF87 H'FF88	H'FF87 H'FF88	H'FF88
内部I/Oレジスタ	内部I/Oレジスタ	内部I/Oレジスタ
H'FFFF	H'FFFF	H'FFFF

【注】*1 リザーブ領域はアクセスしないでください。
*2 SYSCRのRAMEビットを0にクリアすることにより外部アドレスとすることができます。

図 3.3 H8/3434 の各動作モードのメモリマップ

4. 例外処理

第4章 目次

4.1	概要	73
4.2	リセット	74
	4.2.1 概要	74
	4.2.2 リセットシーケンス	74
	4.2.3 リセット直後の割り込み	76
4.3	割り込み	77
	4.3.1 概要	77
	4.3.2 各レジスタの説明	79
	4.3.3 外部割り込み	83
	4.3.4 内部割り込み	84
	4.3.5 割り込み動作	84
	4.3.6 割り込み応答時間	88
	4.3.7 使用上の注意	89
4.4	スタック領域に関する使用上の注意	90

4.1 概要

本 LSI の例外処理には、リセットと割り込みがあります。表 4.1 に、例外処理の種類と優先度を示します。

表 4.1 例外処理の種類と優先度

優先度	例外処理要因	検出タイミング	例外処理開始タイミング
高 ↑	リセット	クロック同期	$\overline{\text{RES}}$ 端子が Low レベルから High レベルに変化すると、ただちに例外処理を開始します。
低 ↓	割り込み	命令の実行終了時*	割り込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。

【注】 * ANDC、ORC、XORC、LDC 命令では検出しません。

4.2 リセット

4.2.1 概要

リセットは最も優先順位の高い例外処理です。 $\overline{\text{RES}}$ 端子が Low レベルになるか、ウォッチドッグリセット（リセットオプションを選択したウォッチドッグタイマオーバーフロー）が開始されると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。リセットによって、CPU の内部状態と、内蔵周辺モジュールの各レジスタがイニシャライズされます。 $\overline{\text{RES}}$ 端子が Low レベルから High レベルになるか、またはウォッチドッグリセットパルスが終了すると、リセット例外処理が開始されます。

4.2.2 リセットシーケンス

$\overline{\text{RES}}$ 端子が Low レベルになるか、またはウォッチドッグリセットが発生すると、本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時には、最低 20ms の間 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中にリセットする場合は、最低 10 システムクロックの間、Low レベルを保持してください。ウォッチドッグリセットパルス幅は常に 518 システムクロックとなります。

リセット時の端子の状態は「付録 D. 各処理状態におけるポートの状態」を参照してください。

リセット例外処理が開始されると、本 LSI は次のように動作します。

- (1) CPU の内部状態と内蔵周辺モジュールの各レジスタ初期化を行い、CCR の I ビットをセットします。
- (2) リセット例外処理ベクタアドレス (H'0000 ~ H'0001) をリードして、PC に転送した後、PC で示されるアドレスから、プログラムの実行を開始します。
パワーオン / パワーオフ時には、 $\overline{\text{RES}}$ 端子を Low レベルにしてください。

モード 2、3 の場合のリセットシーケンスを図 4.1 に、モード 1 の場合のリセットシーケンスを図 4.2 に示します。

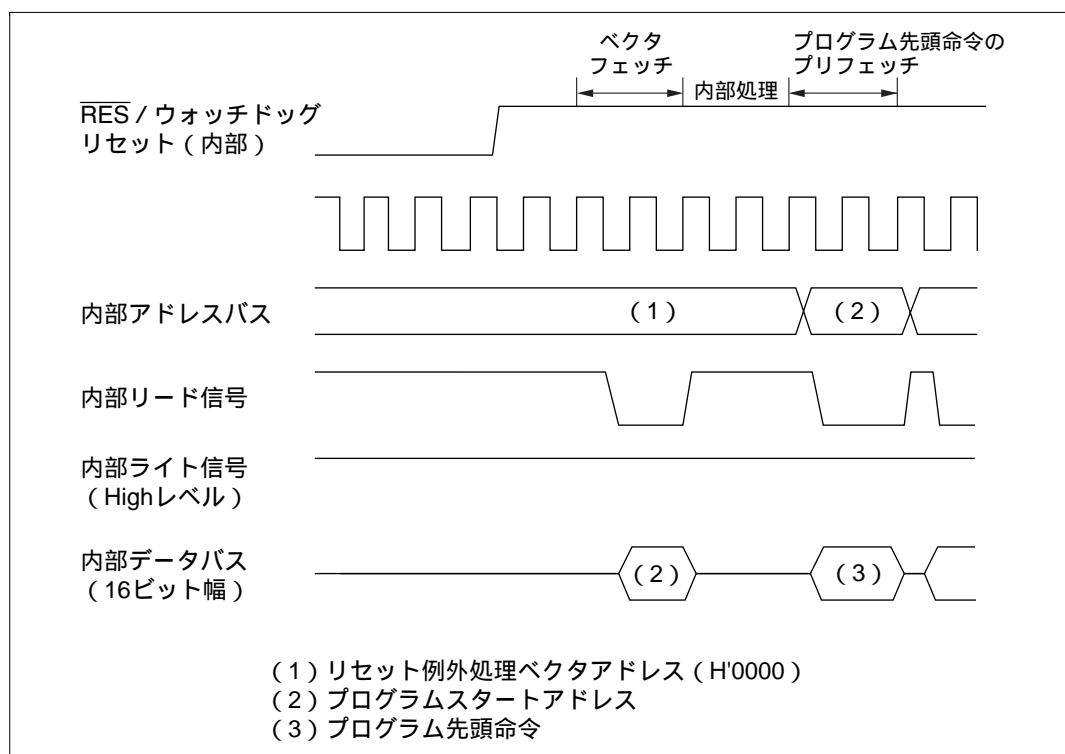


図 4.1 リセットシーケンス (モード2、3 : プログラム領域を内蔵 ROM に設定した場合)

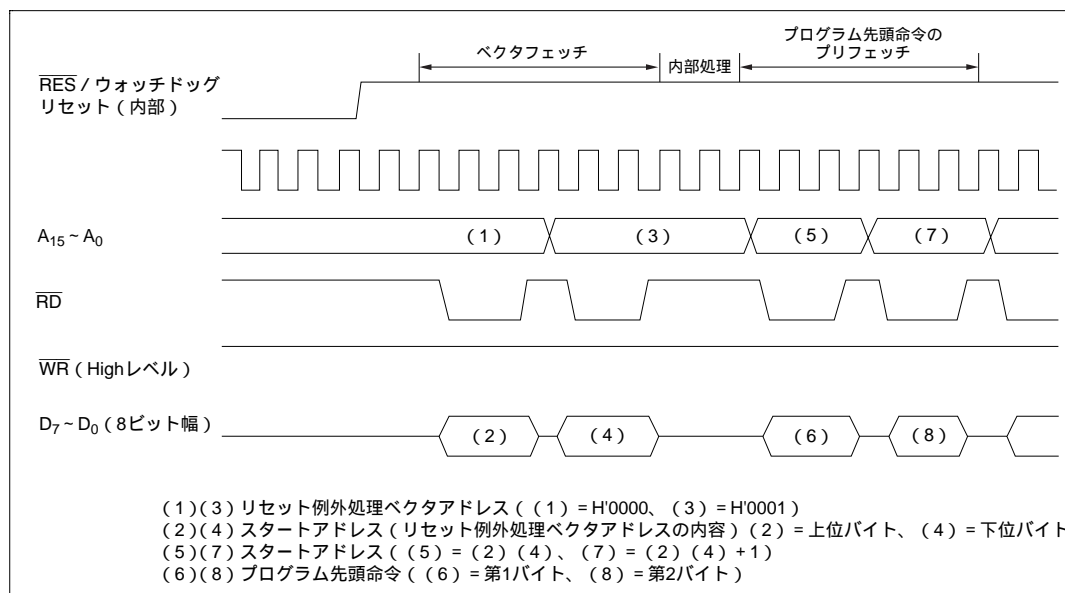


図 4.2 リセットシーケンス (モード1)

4.2.3 リセット直後の割り込み

リセット後、スタックポインタ (SP:R7) をイニシャライズする前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走の原因となります。これを防ぐため、リセット例外処理が実行された直後は NMI を含めたすべての割り込み要求が禁止されています。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラムの先頭命令は、SP をイニシャライズする命令としてください (例: MOV.W #xx:16, SP)。

リセット例外処理後、CCR の内容を確定しておくために、SP をイニシャライズする命令の前に CCR 操作命令を実行することができます。CCR 操作命令を実行した直後には、NMI を含めたすべての割り込み要求が禁止されています。これに続く命令を、SP をイニシャライズする命令としてください。

4.3 割り込み

4.3.1 概要

割り込み例外処理を開始する要因には、23の入力端子からの9つの外部要因(NMI、IRQ₀ ~ IRQ₇、KEYIN₀ ~ KEYIN₁₅)と内蔵周辺モジュールからの要求による26の内部要因があります。割り込み要因と優先度ならびにベクタアドレスの一覧を表4.2に示します。複数の割り込み要求が発生したときは、優先度の高い方から処理されます。

これらの割り込みには次のような特長があります。

- (1) NMIは最優先の割り込みで、常に受け付けられます。NMIを除く、内部割り込みおよび外部割り込みは、CCRのIビットによりマスクされます。すなわち、CCRのIビットが1にセットされていると、NMI以外の割り込みは受け付けられません。
- (2) IRQ₀ ~ IRQ₇は立ち下がりエッジセンス/レベルセンスのいずれかに、各々独立に設定することができます。NMIは、立ち上がりエッジセンス/立ち下がりエッジセンスのいずれかに設定することができます。
- (3) すべての割り込み要因は、それぞれ独立にベクタアドレスが割り当てられています。このため、割り込み処理ルーチンで要因を判定する必要はありません。
- (4) IRQ₆は16本の外部要因(KEYIN₀ ~ KEYIN₁₅)と兼用になっています。KEYIN₀ ~ KEYIN₁₅は、それぞれユーザプログラムによりマスクできます。
- (5) ウォッチドッグタイマでは、用途に応じてNMI割り込みかOVF割り込みのいずれかを発生させることができます。詳細は「第11章 ウォッチドッグタイマ」を参照してください。

表 4.2 割り込み要因一覧表

割り込み要因		ベクタ番号	ベクタアドレス	優先度
NMI		3	H'0006 ~ H'0007	高 ↑
IRQ ₀		4	H'0008 ~ H'0009	
IRQ ₁		5	H'000A ~ H'000B	
IRQ ₂		6	H'000C ~ H'000D	
IRQ ₃		7	H'000E ~ H'000F	
IRQ ₄		8	H'0010 ~ H'0011	
IRQ ₅		9	H'0012 ~ H'0013	
IRQ ₆		10	H'0014 ~ H'0015	
IRQ ₇		11	H'0016 ~ H'0017	
16 ビットフリー ランニングタイム	ICIA (インプットキャプチャ A)	12	H'0018 ~ H'0019	
	ICIB (インプットキャプチャ B)	13	H'001A ~ H'001B	
	ICIC (インプットキャプチャ C)	14	H'001C ~ H'001D	
	ICID (インプットキャプチャ D)	15	H'001E ~ H'001F	
	OCIA (アウトプットコンペア A)	16	H'0020 ~ H'0021	
	OCIB (アウトプットコンペア B)	17	H'0022 ~ H'0023	
	FOVI (オーバフロー)	18	H'0024 ~ H'0025	
8 ビットタイム 0	CMI0A (コンペアマッチ A)	19	H'0026 ~ H'0027	
	CMI0B (コンペアマッチ B)	20	H'0028 ~ H'0029	
	OVI0 (オーバフロー)	21	H'002A ~ H'002B	
8 ビットタイム 1	CMI1A (コンペアマッチ A)	22	H'002C ~ H'002D	
	CMI1B (コンペアマッチ B)	23	H'002E ~ H'002F	
	OVI1 (オーバフロー)	24	H'0030 ~ H'0031	
ホストインタフェース	IBF1 (IDR1 受信完了)	25	H'0032 ~ H'0033	
	IBF2 (IDR2 受信完了)	26	H'0034 ~ H'0035	
シリアルコミュニケー ションインタフェース 0	ERI0 (受信エラー)	27	H'0036 ~ H'0037	
	RXI0 (受信完了)	28	H'0038 ~ H'0039	
	TXI0 (TDR エンプティ)	29	H'003A ~ H'003B	
	TEI0 (TSR エンプティ)	30	H'003C ~ H'003D	
シリアルコミュニケー ションインタフェース 1	ERI1 (受信エラー)	31	H'003E ~ H'003F	
	RXI1 (受信完了)	32	H'0040 ~ H'0041	
	TXI1 (TDR エンプティ)	33	H'0042 ~ H'0043	
	TEI1 (TSR エンプティ)	34	H'0044 ~ H'0045	
A/D 変換器	ADI (変換終了)	35	H'0046 ~ H'0047	
ウォッチドッグタイム	WOFV (WDT オーバフロー)	36	H'0048 ~ H'0049	
I ² C バスインタフェース	IICI (転送終了)	37	H'004A ~ H'004B	低 ↓

【注】 1. H'0000 ~ H'0001 はリセットベクタです。

2. H'0002 ~ H'0005 は、本 LSI ではリザーブされており、ユーザは使用できません。

4.3.2 各レジスタの説明

割り込みを制御するレジスタとして、システムコントロールレジスタ (SYSCR)、IRQ センスコントロールレジスタ (ISCR)、IRQ イネーブルレジスタ (IER)、キーボードマトリクス割り込みマスクレジスタ (KMIMR、KMIMRA) があります。

表 4.3 割り込み制御レジスタ

名称	略称	R/W	アドレス
システムコントロールレジスタ	SYSCR	R/W	H'FFC4
IRQ センスコントロールレジスタ	ISCR	R/W	H'FFC6
IRQ イネーブルレジスタ	IER	R/W	H'FFC7
キーボードマトリクス割り込みマスクレジスタ	KMIMR	R/W	H'FFF1
キーボードマトリクス割り込みマスクレジスタ A	KMIMRA	R/W	H'FFF3

(1) システムコントロールレジスタ (SYSCR)

ビット :	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	XRST	NMIEG	HIE	RAME
初期値 :	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

SYSCR のビット 2 の NMIEG で $\overline{\text{NMI}}$ 端子の入力エッジを制御します。

ビット 2 : NMI エッジセレクト (NMIEG)

$\overline{\text{NMI}}$ 端子の入力エッジ選択を行います。

ビット 2	説明
NMIEG	
0	$\overline{\text{NMI}}$ 入力の立ち下がりエッジ (\downarrow) で割り込み要求を発生 (初期値)
1	$\overline{\text{NMI}}$ 入力の立ち上がりエッジ (\uparrow) で割り込み要求を発生

なお、SYSCR のその他のビットについての詳細は、「3.2 システムコントロールレジスタ」を参照してください。

(2) IRQ センスコントロールレジスタ (ISCR)

ビット:	7	6	5	4	3	2	1	0
	IRQ7SC	IRQ6SC	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット0~7: IRQ0~7 センスコントロール (IRQ0SC~IRQ7SC)

$\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_7$ 端子の入力のレベルセンスまたは立ち下がりエッジセンスを選択します。

ビット0~7	説明
IRQ0SC ~ IRQ7SC	
0	$\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_7$ の入力の Low レベルで割り込み要求を発生 (初期値)
1	$\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_7$ の入力の立ち下がりエッジ (\downarrow) で割り込み要求を発生

(3) IRQ イネーブルレジスタ (IER)

ビット:	7	6	5	4	3	2	1	0
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット0~7: IRQ0~7 イネーブル (IRQ0E~IRQ7E)

IRQ₀~IRQ₇ 割り込みの許可または禁止を制御します。

ビット0~7	説明
IRQ0E ~ IRQ7E	
0	IRQ ₀ ~IRQ ₇ の割り込みを禁止 (初期値)
1	IRQ ₀ ~IRQ ₇ の割り込みを許可

なお、エッジセンス (IRQ0SC~IRQ7SC ビット=1) では、対応する IRQ0E~IRQ7E ビットが0 (割り込み禁止) であっても割り込み処理を実行する場合があります。

IRQ0E~IRQ7E ビットが1 (割り込み許可) の場合に要求された割り込み要因は、対応する割り込み処理が実行されるまで保持されています。割り込み要因は、対応する IRQ0E~IRQ7E ビットが0 (割り込み禁止) となると新たには発生しませんが、既に要求されたものはクリアされず、マスクもされません。この状態で CCR の I ビットが0 となれば割り込み処理が実行されます。

このような割り込み処理が実行されると不都合な場合は、次の手順で割り込み要因をクリアすることができます。

(1) CCR の I ビットを 1 にして割り込みを禁止します。

割り込み処理ルーチンにベクタジャンプした後は自動的に 1 となっています。

(2) IRQ0E ~ IRQ7E の対応するビットを 0 にクリアし、新たな割り込み要因を禁止します。

(3) IRQ0SC ~ IRQ7SC の対応するビットを 0 にクリアし、再び 1 にセットします。CCR の I ビット = 1、IRQnSC = 0、IRQnE = 0 の条件で割り込み要因はクリアされます。

(4) キーボードマトリクス割り込みマスクレジスタ (KMIMR)

キーボードマトリクス割り込みマスクのためのレジスタには、KMIMR と KMIMRA の 2 つのレジスタがあり、16 × 16 のマトリクスキーボードのためのキーセンス入力端子 $\overline{\text{KEYIN}}_0 \sim \overline{\text{KEYIN}}_{15}$ の割り込みを制御します。KMIMR の KMIMR7 ~ KMIMR0 ビットが、キーセンス入力 $\overline{\text{KEYIN}}_7 \sim \overline{\text{KEYIN}}_0$ に、KMIMRA の KMIMR15 ~ KMIMR8 ビットが、キーセンス入力 $\overline{\text{KEYIN}}_{15} \sim \overline{\text{KEYIN}}_8$ に対応します。

割り込みマスクビットの初期値は、 $\overline{\text{IRQ}}_6 / \overline{\text{KEYIN}}_6$ 端子に対応する KMIMR6 ビットが、割り込み要求を許可する状態になっており、他のマスクビットは割り込み要求を禁止する状態になっています。

KMIMR は、キーボードマトリクススキャン / センス用のリード / ライト可能な 8 ビットレジスタです。本レジスタは $\overline{\text{IRQ}}_6$ 端子からの入力のみが許可された状態に初期化されます。キーボードマトリクススキャン / センスに際して複数の端子入力からのキーセンス入力割り込みを許可する場合、対応するマスクビットを 0 にクリアしてください。

KMIMRA は、キーボードマトリクススキャン / センス用のリード / ライト可能な 8 ビットのレジスタです。キーボードスキャン / センスに際して複数の端子入力からのキーセンス入力割り込みを許可する場合、対応するマスクビットを 0 にクリアしてください。

ビット :	7	6	5	4	3	2	1	0
	KMIMR7	KMIMR6	KMIMR5	KMIMR4	KMIMR3	KMIMR2	KMIMR1	KMIMR0
初期値 :	1	0	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7 ~ 0 : キーボードマトリクス割り込みマスク (KMIMR7 ~ KMIMR0)

キーセンス入力割り込み要求 ($\text{KEYIN}_7 \sim \text{KEYIN}_0$) を制御します。

ビット 7 ~ 0	説明
KMIMR7 ~ KMIMR0	
0	キーセンス入力割り込み要求を許可
1	キーセンス入力割り込み要求を禁止 (初期値)*

【注】 * ただし KMIMR6 の初期値は 0 です。

ビット：	7	6	5	4	3	2	1	0
	KMIMR15	KMIMR14	KMIMR13	KMIMR12	KMIMR11	KMIMR10	KMIMR9	KMIMR8
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット7~0：キーボードマトリクス割り込みマスク（KMIMR15~KMIMR8）
 キーセンス入力割り込み要求（KEYIN₁₅~KEYIN₈）を制御します。

ビット7~0	説明
KMIMR15~ KMIMR8	
0	キーセンス入力割り込み要求を許可
1	キーセンス入力割り込み要求を禁止 （初期値）

図 4.3 に IRQ₆ 割り込みと KMIMR、KMIMRA との関係を示します。

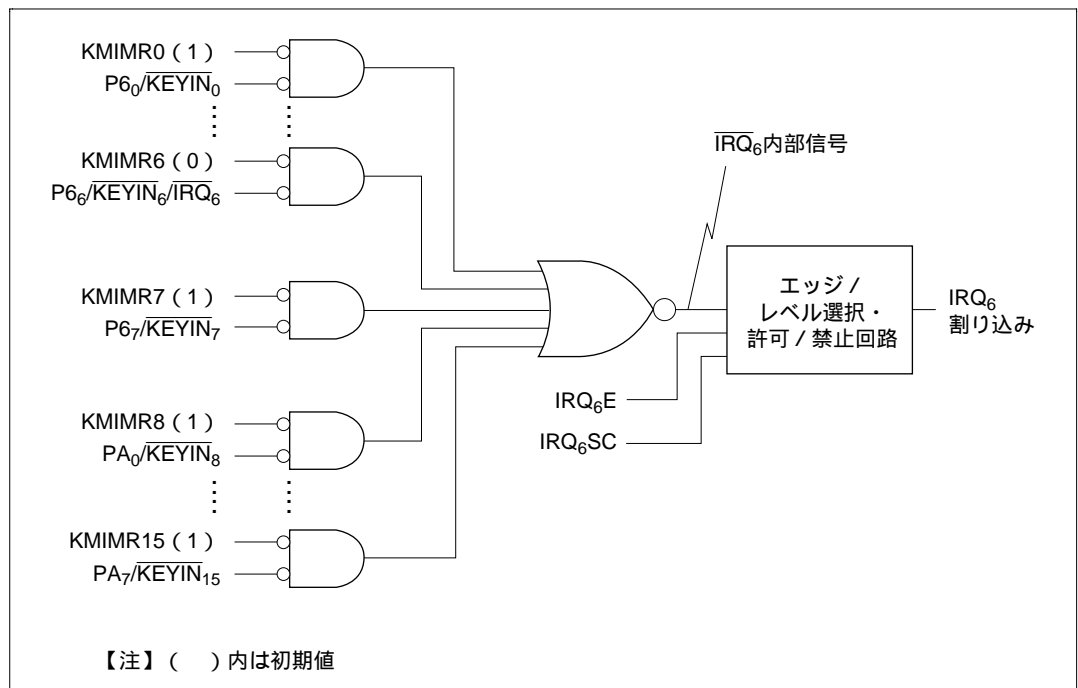


図 4.3 KMIMR、KMIMRA と IRQ₆ 割り込み

4.3.3 外部割り込み

外部割り込みには、NMI、IRQ₀ ~ IRQ₇ 割り込みの 9 要因があります。このうち、NMI と IRQ₀ ~ IRQ₂、IRQ₆ は、ソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

NMI は、最優先の割り込みで、CCR の I ビットの値にかかわらず、常に受け付けられます。 $\overline{\text{NMI}}$ 端子からの割り込みはエッジセンスです。SYSCR の NMIEG ビットにより立ち上がりエッジまたは立ち下がりエッジを指定できます。NMI 割り込み例外処理のベクタ番号は 3 です。この例外処理により、CCR の I ビットが 1 にセットされます。

(2) IRQ₀ ~ IRQ₇ 割り込み

IRQ₀ ~ IRQ₇ 割り込みは、 $\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_7$ 端子の入力信号により要求されます。IRQ₀ ~ IRQ₇ 割り込みは、立ち下がりエッジまたはレベルを ISCR の IRQ0SC ~ IRQ7SC ビットにより指定でき、IER の IRQ0E ~ IRQ7E ビットを 1 にセットすることにより割り込み要求を許可します。また、CCR の I ビットを 1 にセットすることにより割り込みをマスクできます。

$\overline{\text{IRQ}}_6$ 入力信号はキーセンス入力信号と内部的に論理和をとることが可能です。 $\overline{\text{KEYIN}}_0 \sim \overline{\text{KEYIN}}_{15}$ (P6₀ ~ P6₇、PA₀ ~ PA₇) 端子をキーセンス入力として使用する場合、対応する KMIMR ビットは、そのキーセンス入力割り込みを許可するために、0 にクリアしてください。残りの使用していないキーセンス入力の KMIMR ビットはその割り込みを禁止するために 1 にセットしてください。これら 16 本のキーセンス入力割り込みはすべて単一の IRQ₆ 割り込みとなります。

IRQ₀ ~ IRQ₇ 割り込みの割り込み例外処理が受け付けられると、I ビットが 1 にセットされます。IRQ₀ ~ IRQ₇ 割り込み例外処理のベクタ番号は 4 ~ 11 です。優先順位は、IRQ₇ (低) ~ IRQ₀ (高) の順に高くなります。詳細は表 4.2 を参照してください。

IRQ₀ ~ IRQ₇ 割り込みは、 $\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_7$ 端子が入力端子として使用されているか出力端子として使用されているかには依存しません。

外部信号により、IRQ₀ ~ IRQ₇ 割り込みを要求する場合、対応するポートの DDR を 0 とし、タイマ、シリアルコミュニケーションインタフェース、A/D 変換器の入出力端子としては使用しないでください。

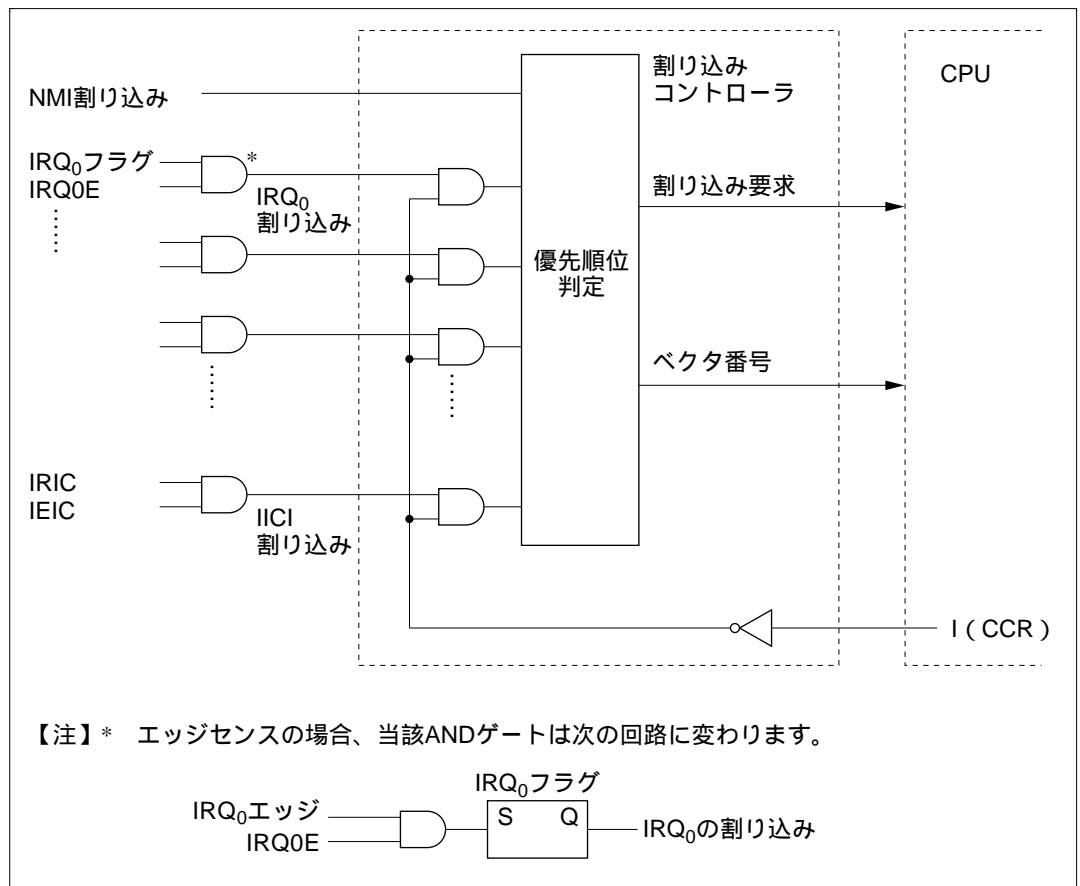
4.3.4 内部割り込み

内蔵周辺モジュールからの割り込みによる内部割り込み要因は、26 要因あります。

各要因別にそれぞれ割り込み例外処理ベクタ番号が割り当てられているため、例外処理ルーチンで要因を判定する必要はありません。いずれの割り込みも CCR の I ビットを 1 にセットすることによりマスクされます。これらの割り込み例外処理が受け付けられると、I ビットは 1 にセットされ、その後の NMI を除く割り込みをマスクします。ベクタ番号は 12~37 です。内蔵周辺モジュールからの割り込みの優先順位については、表 4.2 を参照してください。

4.3.5 割り込み動作

割り込みは、割り込みコントローラにより制御されます。割り込みコントローラは多重割り込みを調整し、CPU に割り込み例外処理の起動を要求すると共にベクタ番号を指示します。割り込みコントローラのブロック図を図 4.4 に示します。



IRQ 割り込みまたは内蔵周辺モジュール(リセットを選択したウォッチドッグタイマを除きます)の割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。このイネーブルビットを0にクリアするとその割り込みの割り込み信号は、割り込みコントローラに送られませんので、その割り込みは無視されます。また、これらの割り込みはCPUの割り込みマスク(I)ビットを1にセットすることにより一括して禁止することができます。すなわち、これらの割り込みはイネーブルビットを1にセットし、かつIビットを0にクリアしたときに許可状態になります。

NMI 割り込みは、リセット状態、ハードウェアスタンバイ状態を除き、常に受け付けられます。

NMI 割り込みまたは許可状態にある割り込みが発生すると、割り込みコントローラはCPUに対し割り込み要求を行い、またベクタ番号(複数の割り込みが発生している場合は最も優先順位の高い割り込みのベクタ番号)を指示します。CPUの命令の終了時点、または例外処理の終了時点で割り込み要求があるとCPUは割り込み例外処理を起動し、ベクタ番号をラッチします。

割り込みの動作フローを図4.5に、タイミングチャート(プログラム領域を内蔵ROMに、スタック領域を内蔵RAMにとった場合)を図4.7に示します。

- (1) NMI 割り込みが発生したとき、または対応するイネーブルビットが1にセットされている状態で、IRQ 割り込みまたは内蔵周辺モジュールの割り込みが発生したとき、割り込みコントローラに対して割り込み要求が送られます。
- (2) CCRのIビットを参照し、Iビットが0にクリアされている場合は、割り込みは受け付けられます。Iビットが1にセットされている場合はNMI 割り込みのみ受け付けられ、その他の割り込み要求は保留となります。
- (3) 割り込みコントローラは、受け付けた割り込みの内から、優先順位に従って、最高位の割り込み要求を選択し、CPUに対し割り込み要求を行います。その他の割り込みは保留となります。
- (4) 割り込み要求があると、その時実行中の命令または例外処理が終了した後、CPUは割り込み例外処理を起動し、ベクタ番号をラッチします。
- (5) CPUは割り込み例外処理によって、まずPCとCCRがスタック領域に退避されます。このときのスタック状態を図4.6に示します。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- (6) 次にCPUはIビットを1にセットします。これにより、NMIを除く割り込みはマスクされます。
- (7) (4)でラッチしたベクタ番号に対応するベクタアドレスを生成し、そのベクタアドレスから取り出した内容が示すアドレスに分岐します。分岐したアドレスから割り込み処理ルーチンの実行を開始します。

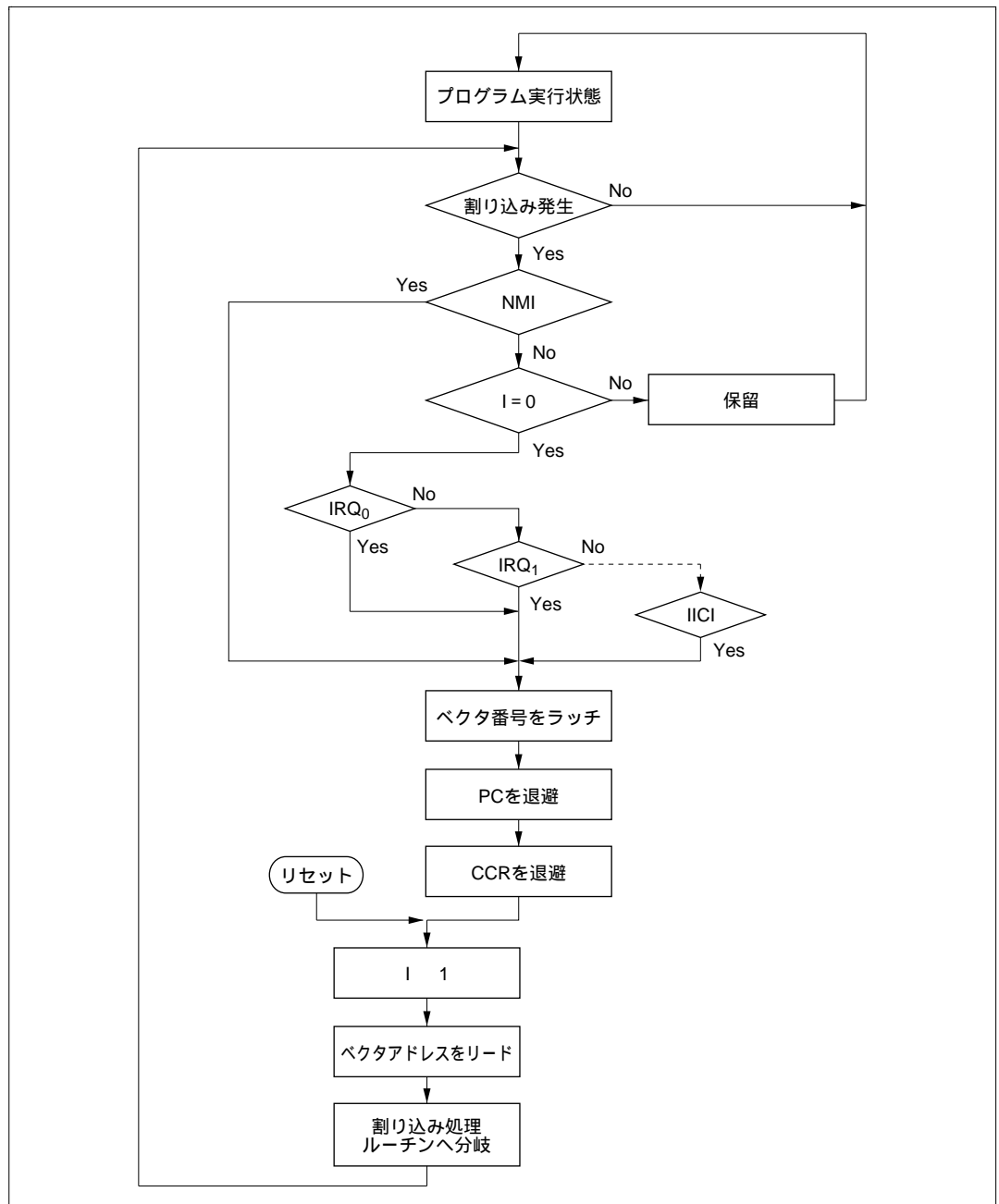


図 4.5 割り込み受け付けまでのフロー

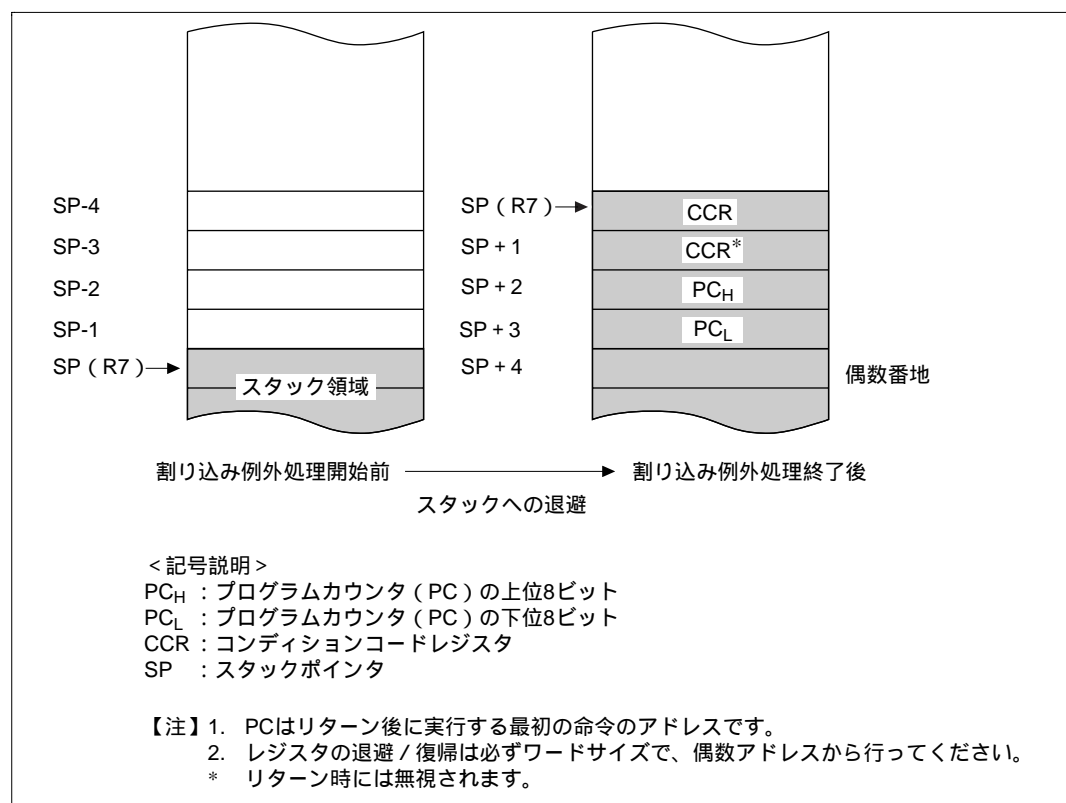


図 4.6 割り込み例外処理終了後のスタック状態

CCR は1バイトですが、スタックへ退避時はワードデータとして扱われます。割り込み処理においては、1ワードとするようにCCRの同じ内容の2バイトがスタックに退避されます。RTE 命令によりスタックから復帰したときにはCCRは偶数アドレスに格納されているバイトからロードされ、奇数アドレスに格納されているバイトは無視されます。

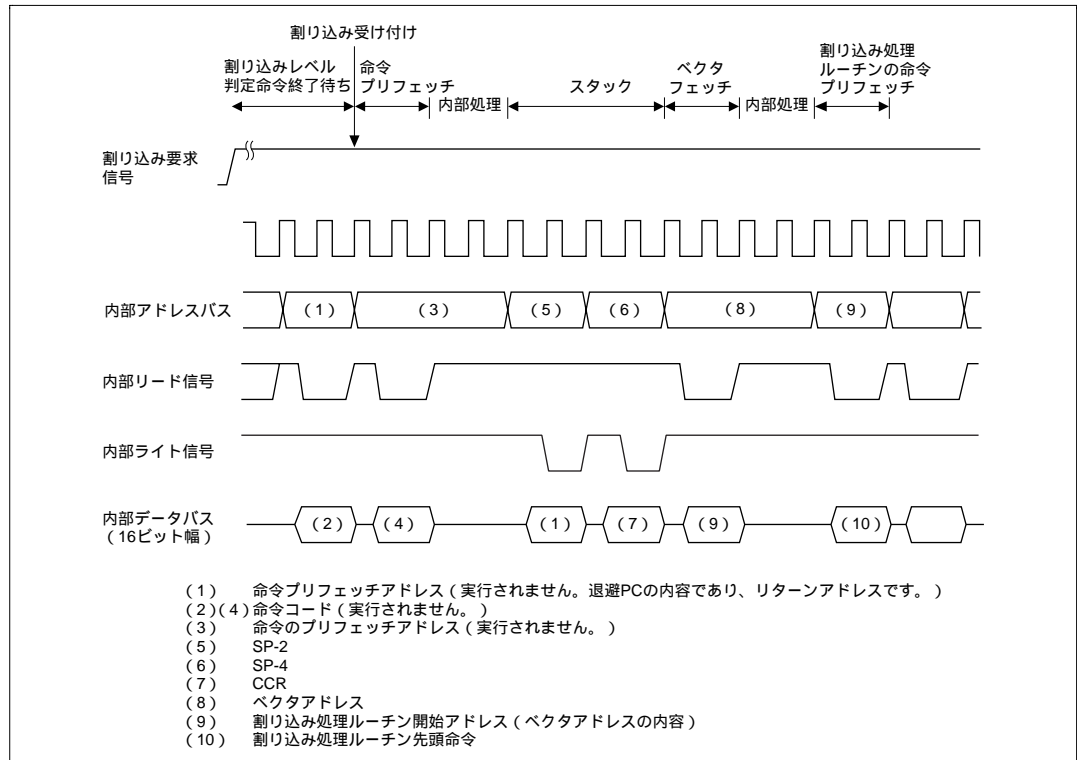


図 4.7 割り込みシーケンス

4.3.6 割り込み応答時間

割り込み要求発生後、割り込み処理ルーチンの先頭命令を実行するまでの、待ちステート数を表 4.4 に示します。本 LSI では、内蔵メモリに対する高速ワードアクセスを可能としており、プログラム領域を内蔵 ROM に、スタック領域を内蔵 RAM に設けることにより、処理速度の向上が図れます。

表 4.4 割り込み待ちステート数

No.	項目	ステート数	
		内蔵メモリ使用	外部メモリ使用
1	割り込み優先順位判定	2* ³	
2	実行中の命令終了時の待ち時間* ¹	1 ~ 13	5 ~ 17* ²
3	PC、CCR のスタック	4	12* ²
4	ベクタフェッチ	2	6* ²
5	命令フェッチ	4	12* ²
6	内部処理	4	
	合計	17 ~ 29	41 ~ 53* ²

【注】 *1 EEPMOV 命令は除きます。

*2 外部メモリアクセス時にウェイトが挿入される場合には、待ちステート数が増加します。

*3 内部割り込みのとき 1 となります。

4.3.7 使用上の注意

割り込み動作に関して次のような競合や動作が起こりますので注意してください。

割り込みのイネーブルビットを0にクリアして割り込みを禁止する場合、割り込みの禁止はその命令実行終了後に有効になります。すなわち、BCLR、MOV 命令などで、イネーブルビットを0にクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では許可状態にあるため、命令実行終了後にその割り込みの例外処理を実行します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には、優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。

割り込み要因フラグを0にクリアする場合も同様です。

OCIAE ビットを0にクリアする場合の例を図 4.8 に示します。

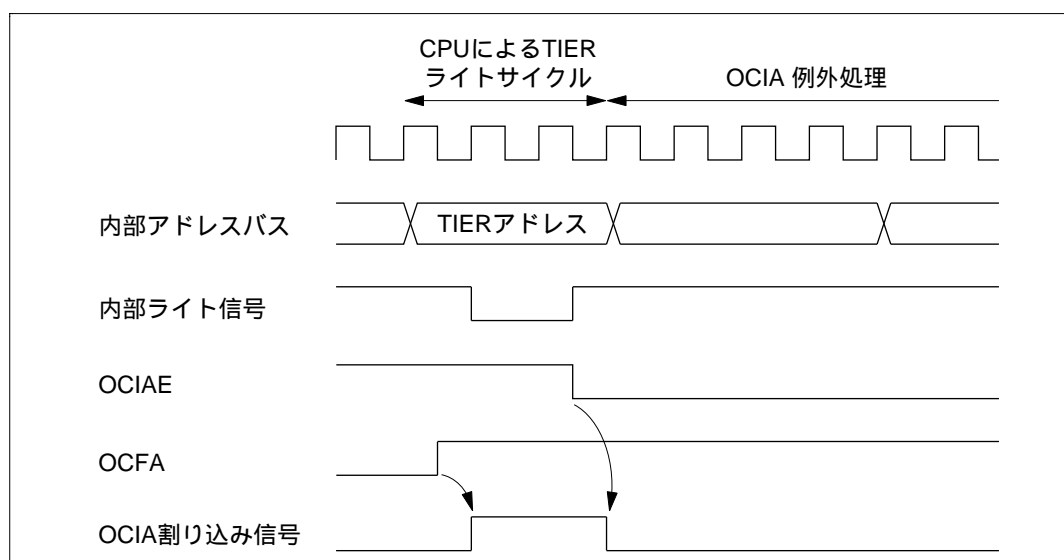


図 4.8 割り込みの発生とディスエーブルの競合

なお、割り込みをマスクした状態 ($I=1$) で、イネーブルビットまたは割り込み要因フラグを0にクリアすれば上記の競合は発生しません。

4.4 スタック領域に関する使用上の注意

本LSIでは、ワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは、常にワードサイズで行い、スタックポインタ(SP:R7)の内容は奇数にしないでください。すなわち、レジスタの退避や復帰は、「PUSH Rn (MOV.W Rn, @-SP)」または「POP Rn (MOV.W @SP+, Rn)」を使用してください。

SPに奇数を設定すると、誤動作の原因となります。SPに奇数を設定した場合の動作例を図4.9に示します。

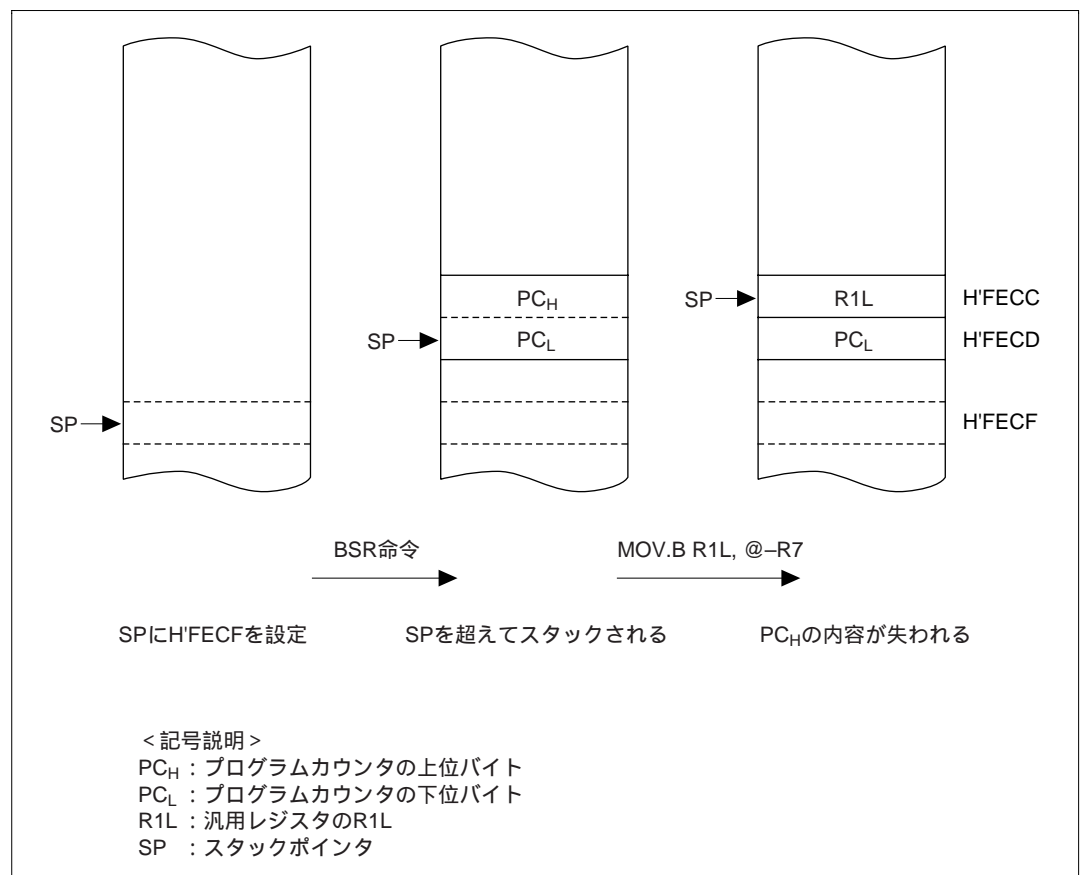


図 4.9 SPに奇数を設定したときの動作

5. ウェイト制御

第5章 目次

5.1	概要	93
	5.1.1 特長	93
	5.1.2 ブロック図	93
	5.1.3 端子構成	94
	5.1.4 レジスタ構成	94
5.2	各レジスタの説明	95
	5.2.1 ウェイトステートコントロールレジスタ (WSCR)	95
5.3	ウェイトモード	97

5.1 概要

本LSIはウェイトステートコントローラを内蔵しており、低速外部デバイスとのインタフェースのために、バスサイクルにウェイトステートを挿入することが可能です。

5.1.1 特長

ウェイトステートコントローラの特長を次に示します。

3種類のウェイトモード

- ・プログラマブルウェイトモード、端子オートウェイトモード、端子ウェイトモードを選択可能
- ・0~3ステートのウェイトステートを自動的に挿入可能

5.1.2 ブロック図

ウェイトステートコントローラのブロック図を図5.1に示します。

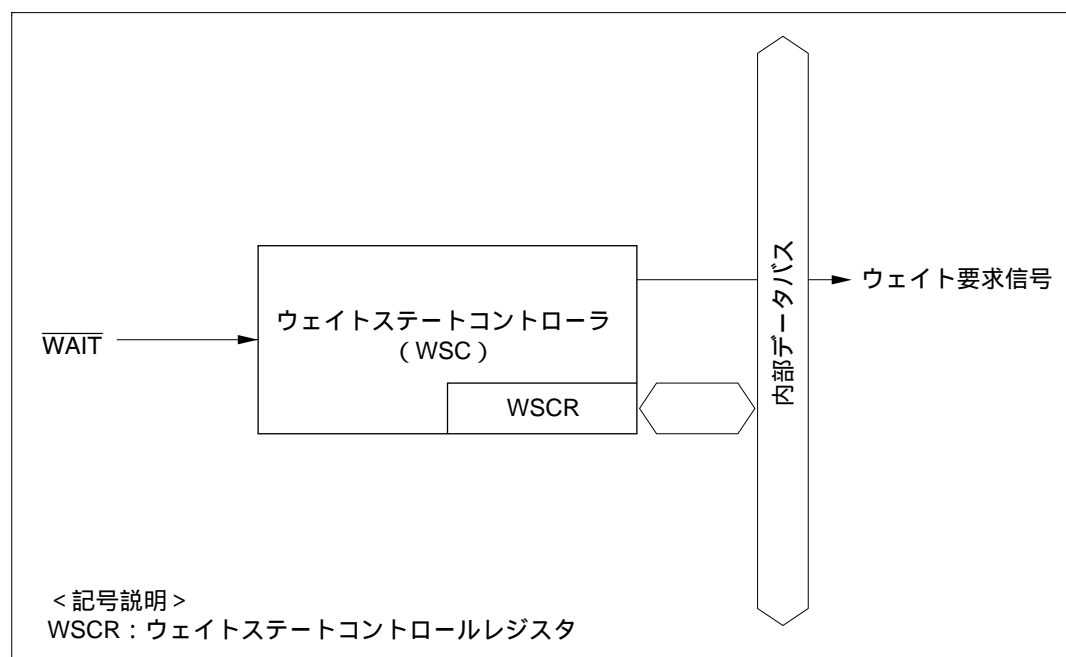


図 5.1 ウェイトステートコントローラのブロック図

5.1.3 端子構成

ウェイトステートコントローラの入出力端子を表 5.1 に示します。

表 5.1 端子構成

名称	略称	入出力	機能
ウェイト	$\overline{\text{WAIT}}$	入力	外部空間をアクセスするときのウェイト要求信号

5.1.4 レジスタ構成

ウェイトステートコントローラのレジスタ構成を表 5.2 に示します。

表 5.2 レジスタ構成

アドレス		略称	R/W	初期値
H'FFC2	ウェイトステートコントロールレジスタ	WSCR	R/W	H'08

5.2 各レジスタの説明

5.2.1 ウェイトステートコントロールレジスタ (WSCR)

WSCRは8ビットのリード/ライト可能なレジスタで、ウェイトステートコントローラ(WSC)のウェイトモードとウェイトステート数を設定します。また、二電源方式フラッシュメモリ用のRAMエリアの設定、単一電源方式フラッシュメモリの制御レジスタの選択/非選択、周辺モジュールへのクロックの分周を制御します。

ビット:	7	6	5	4	3	2	1	0
	RAMS*1	RAM0*1	CKDBL	FLSHE*2	WMS1	WMS0	WC1	WC0
初期値:	0	0	0	0	1	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】*1 H8/3437F、H8/3434F(二電源方式フラッシュメモリ内蔵版)のみ、本ビットは有効となります。

*2 H8/3437SF(Sマスク品、単一電源方式フラッシュメモリ内蔵版)のみ、本ビットは有効となります。

WSCRはリセット、またはハードウェアスタンバイモード時にH'08にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット7: RAMセレクト(RAMS)

ビット6: RAMエリア設定(RAM0)

二電源方式フラッシュメモリの書き換えをエミュレートするRAMエリアを選択し、設定します。詳しくは「第19章、第20章 ROM」のフラッシュメモリの説明を参照してください。

ビット5: クロック分周(CKDBL)

周辺モジュールへ供給するクロック分周を制御します。詳しくは「第6章 クロック発振器」を参照してください。

ビット4: フラッシュメモリコントロールレジスタイネーブル(FLSHE)

単一電源方式フラッシュメモリの制御レジスタの選択/非選択を設定します。詳しくは「第21章 ROM」のフラッシュメモリの説明を参照してください。H8/3437SF以外の製品では、リザーブビットとなり、リード/ライト可能で、初期値は0です。

ビット3、2：ウェイトモードセレクト1、0（WMS1、WMS0）

ウェイトモードを設定します。

ビット3	ビット2	説 明
WMS1	WMS0	
0	0	プログラマブルウェイトモード
	1	WSCによるウェイトを禁止
1	0	端子ウェイトモード (初期値)
	1	端子オートウェイトモード

ビット1、0：ウェイトカウント1、0（WC1、WC0）

外部空間をアクセスするときに、自動的に挿入するウェイトステート数を設定します。

ビット1	ビット0	説 明
WC1	WC0	
0	0	WSCによるウェイトの自動的な挿入を禁止 (初期値)
	1	1ステート挿入
1	0	2ステート挿入
	1	3ステート挿入

5.3 ウェイトモード

(1) プログラマブルウェイトモード

プログラマブルウェイトモードでは、外部空間をアクセスすると、常に WC1、0 ビットにより設定されたステート数だけ T_w が挿入されます。

このタイミングを図 5.2 に示します。図 5.2 は、ウェイトカウン트가 1 の場合 (WC1=0、WC0=1) です。

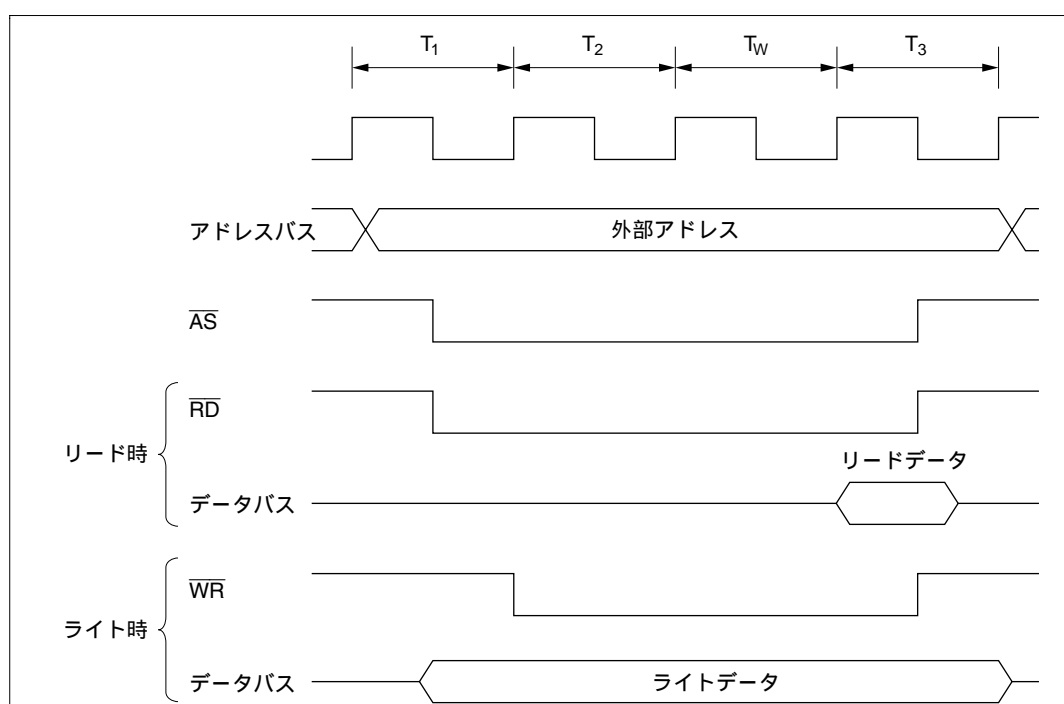


図 5.2 プログラマブルウェイトモード

(2) 端子ウェイトモード

端子ウェイトモードでは、外部空間をアクセスすると、常に WC1、0 ビットにより設定されたステート数だけ T_w が挿入されます。この最後の T_w の立ち下がりのタイミングで $\overline{\text{WAIT}}$ 端子を Low レベルにすることで、さらに T_w を挿入することができます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルに立ち上がるまで T_w が挿入されます。

端子ウェイトモードは、4 ステート以上の T_w を挿入する場合や、外部デバイスごとに挿入する T_w 数を変える場合などに有効です。

ウェイトカウン트가 1 (WC1=0、WC0=1) で、かつ $\overline{\text{WAIT}}$ 端子入力による T_w が 1 ステートの場合のタイミングを図 5.3 に示します。

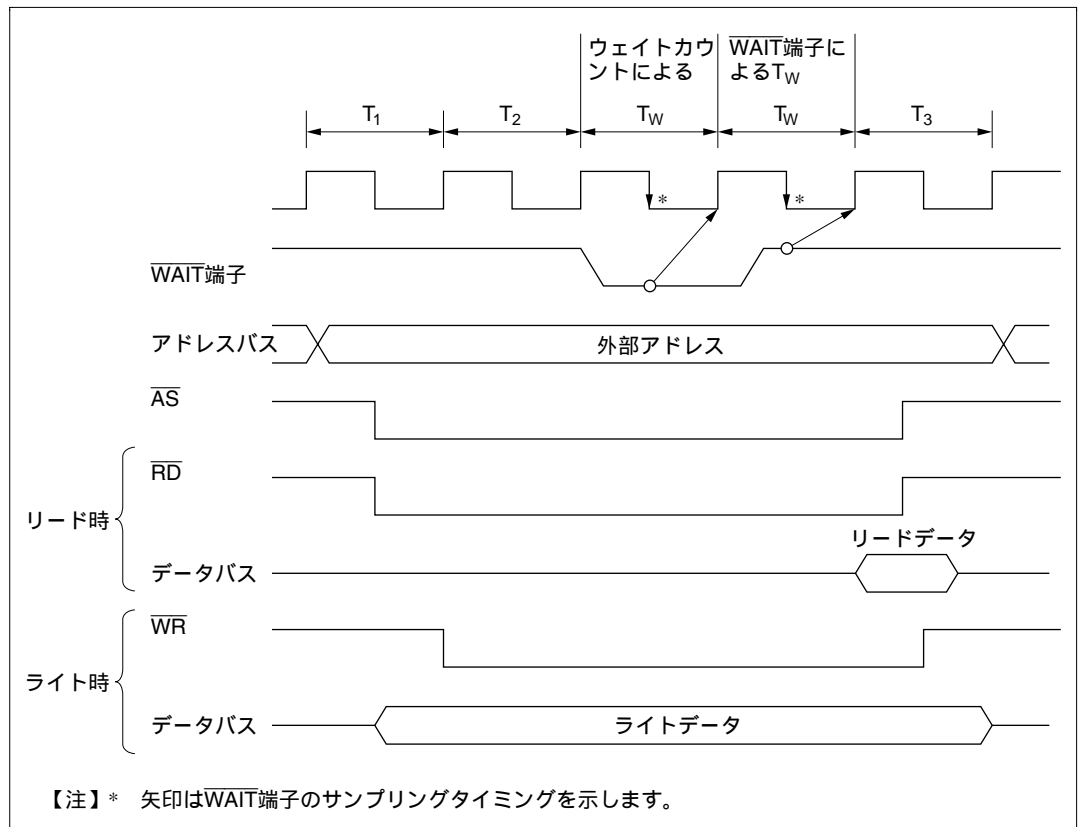


図 5.3 端子ウェイトモード

(3) 端子オートウェイトモード

端子オートウェイトモードでは、 $\overline{\text{WAIT}}$ 端子が Low レベルのとき、WC1、0 ビットで設定された T_w 数が挿入されます。

端子オートウェイトモードでは、 T_2 ステートの の立ち下りのタイミングで $\overline{\text{WAIT}}$ 端子が Low レベルであれば WC1、0 ビットによって設定された数だけ T_w を挿入します。

$\overline{\text{WAIT}}$ 端子を Low レベルに保持しても、設定された数を超える T_w は挿入されません。端子オートウェイトモードを用いるとチップセレクト信号を $\overline{\text{WAIT}}$ 端子に入力するだけで、低速メモリと容易にインタフェースすることができます。

このタイミングを図 5.4 に示します。図 5.4 は、ウェイトカウントが 1 の場合です。

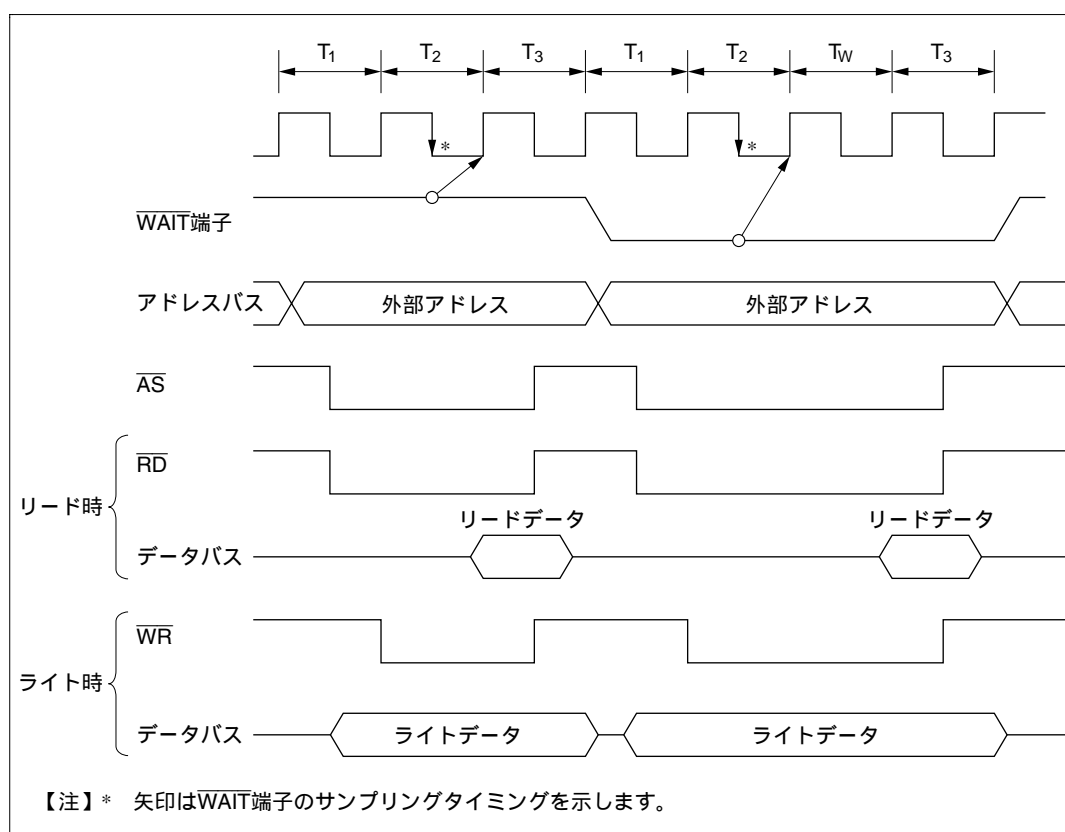


図 5.4 端子オートウェイトモード

6. クロック発振器

第6章 目次

6.1	概要.....	103
	6.1.1	ブロック図..... 103
	6.1.2	ウェイトステートコントロールレジスタ (WSCR) 103
6.2	発振器.....	105
	6.2.1	発振器 (一般品) 105
	6.2.2	発振器 (H8/3437S 品) 110
6.3	デューティ補正回路.....	115
6.4	プリスケータ.....	115

6.1 概要

本 LSI はクロック発振器 (CPG : Clock Pulse Generator) を内蔵しています。

クロック発振器は、発振器、デューティ補正回路、内蔵周辺モジュール用クロック分周器、プリスケアラから構成されます。

6.1.1 ブロック図

図 6.1 にクロック発振器のブロック図を示します。

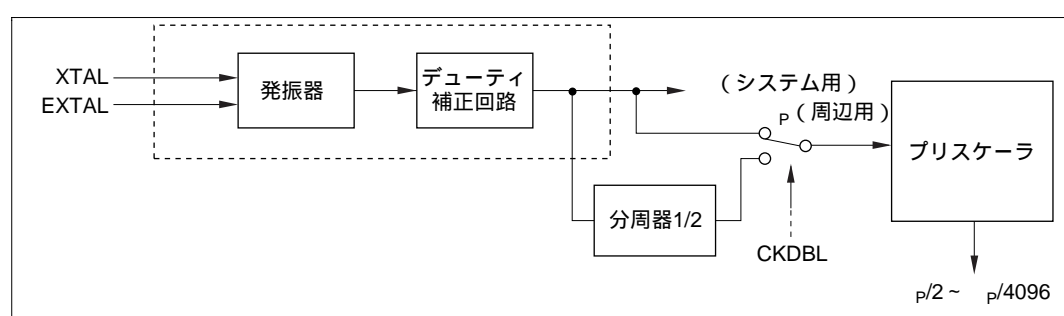


図 6.1 クロック発振器のブロック図

EXTAL 端子に外部クロックを入力するか、または XTAL 端子と EXTERNAL 端子に水晶振動子を接続します。システムクロック () の周波数は、発振周波数と同一になります。タイマ等の周辺機能に供給するクロック (p) は、CKDBL ビットをソフトウェアで制御し、分周なしまたは 2 分周を選択できます。

6.1.2 ウェイトステートコントロールレジスタ (WSCR)

ウェイトステートコントロールレジスタ (WSCR) は 8 ビットのリード/ライト可能なレジスタで、周辺モジュールへ供給するクロックの分周を制御します。また、ウェイトステートコントローラのウェイトの設定、二電源方式フラッシュメモリ用の RAM エリア設定、単一電源方式フラッシュメモリの制御レジスタの選択/非選択を制御します。

WSCR はリセットまたはハードウェアスタンバイモード時に H'08 にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット :	7	6	5	4	3	2	1	0
	RAMS*1	RAM0*1	CKDBL	FLSHE*2	WMS1	WMS0	WC1	WC0
初期値 :	0	0	0	0	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】*1 H8/3437F、H8/3434F (二電源方式フラッシュメモリ内蔵版) のみ、本ビットは有効となります。

*2 H8/3437SF (Sマスク品、単一電源方式フラッシュメモリ内蔵版) のみ、本ビットは有効となります。

ビット7：RAMセレクト (RAMS)

ビット6：RAMエリア設定 (RAM0)

二電源方式フラッシュメモリの書き換えをエミュレートするRAMエリアを選択し、設定します。詳しくは「第19章、第20章 ROM」のフラッシュメモリの説明を参照してください。

ビット5：クロック分周 (CKDBL)

周辺モジュールに供給するシステムクロックの分周を制御します。

ビット5	説明
CKDBL	
0	周辺モジュールへのクロック (f_p) はシステムクロック () を分周しない (初期値)
1	周辺モジュールへのクロック (f_p) はシステムクロック () を2分周する

ビット4：フラッシュメモリコントロールレジスタイネーブル (FLSHE)

単一電源方式フラッシュメモリの制御レジスタの選択/非選択を設定します。詳しくは「第21章 ROM」のフラッシュメモリの説明を参照してください。H8/3437SF以外の製品では、リザーブビットとなり、リード/ライト可能で、初期値は0です。

ビット3、2：ウェイトモードセレクト1、0 (WMS1、WMS0)

ビット1、0：ウェイトカウント1、0 (WC1、WC0)

ウェイトステートコントローラのウェイトを制御します。詳しくは「第5章 ウェイト制御」を参照してください。

6.2 発振器

6.2.1 発振器（一般品）

クロック発振器へクロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2とおりがあります。

(1) 水晶発振子を接続する方法

(a) 回路構成

水晶発振子を接続する場合の接続例を図 6.2 に示します。水晶発振子は、AT カット並列共振形を使用してください。

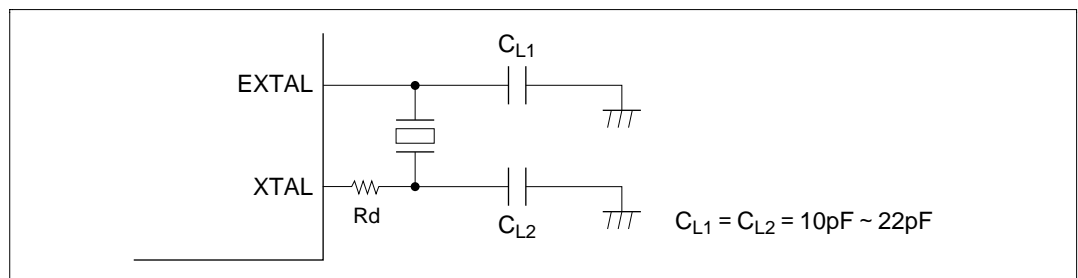


図 6.2 水晶発振子を接続する場合の接続例

表 6.1 ダンピング抵抗値

周波数 (MHz)	2	4	8	10	12	16
Rd ()	1k	500	200	0	0	0

(b) 水晶発振子

図 6.3 に水晶発振子の等価回路を示します。水晶発振子は表 6.2 に示す特性のものを使用してください。

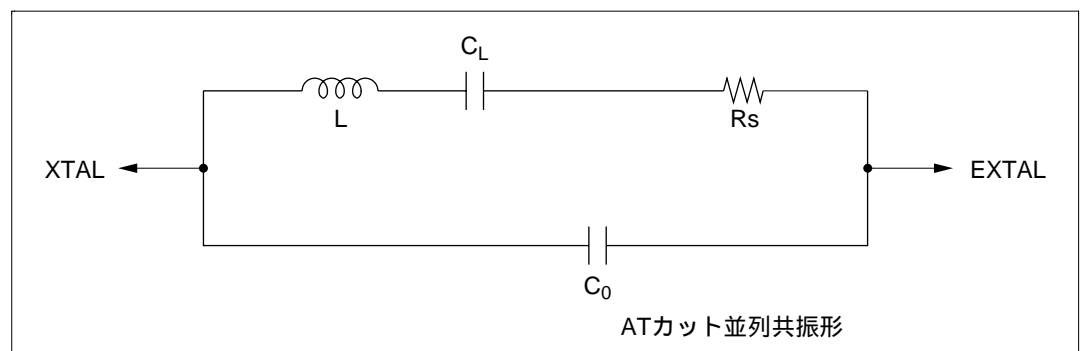


図 6.3 水晶発振子の等価回路

表 6.2 水晶発振子のパラメータ

周波数 (MHz)	2	4	8	10	12	16
Rs max ()	500	120	80	70	60	50
Co (pF)	7pF max					

水晶発振子は、システムクロック () と同一の周波数のものを使用してください。

(c) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くに信号線を通過させないでください。誘導により正しい発振ができなくなる場合があります (図 6.4)。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。

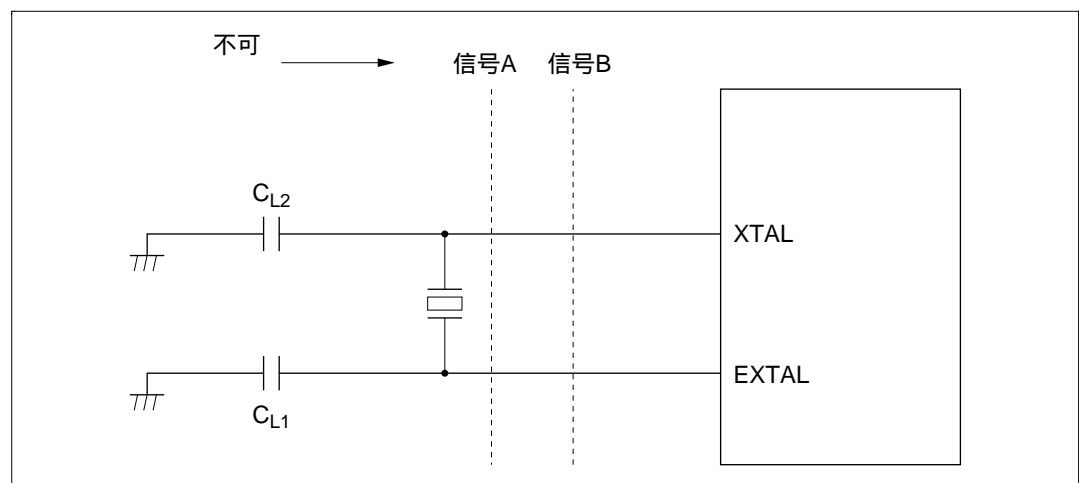


図 6.4 発振回路部のボード設計に関する注意事項

(2) 外部クロックを入力する方法

(a) 回路構成

外部クロック入力の接続例を図 6.5 に示します。図 6.5 (b) の場合、スタンバイ時には外部クロックが High レベルとなるようにしてください。

XTAL 端子をオープン状態にする場合は、寄生容量が 10pF 以下としてください。

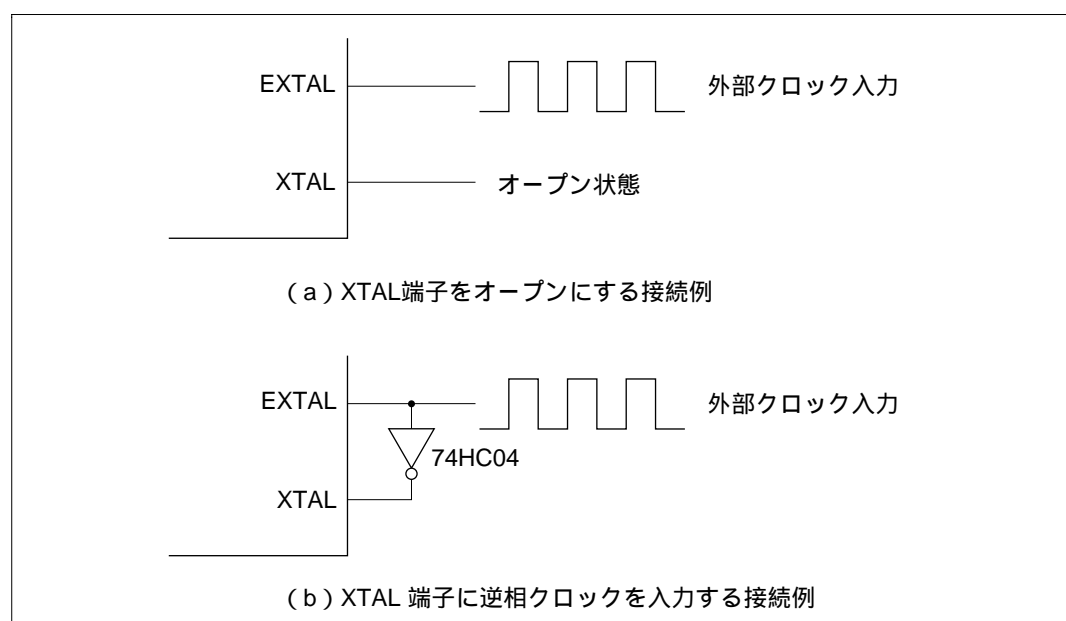


図 6.5 外部クロックを入力する場合の接続例

(b) 外部クロック

外部クロックの周波数は、分周器によって分周しないときの周波数と同一にしてください。表 6.3 にクロックタイミング、図 6.6 に外部クロック入力タイミングを示します。

表 6.3 クロックタイミング

項目	記号	$V_{CC} =$ 3.0 ~ 5.5V		単位	測定条件	
		min	max			
外部クロック入力パルス幅 Low レベル	t_{EXL}	40		ns	図 6.6	
外部クロック入力パルス幅 High レベル	t_{EXH}	40		ns		
外部クロック 立ち上がり時間	t_{EXr}		10	ns		
外部クロック 立ち下がり時間	t_{EXf}		10	ns		
クロックパルス幅 Low レベル	t_{CL}	0.3	0.7	t_{cyc}	5MHz	図 23.7
クロックパルス幅 High レベル		0.4	0.6	t_{cyc}	< 5MHz	
クロックパルス幅 Low レベル	t_{CH}	0.3	0.7	t_{cyc}	5MHz	
クロックパルス幅 High レベル		0.4	0.6	t_{cyc}	< 5MHz	

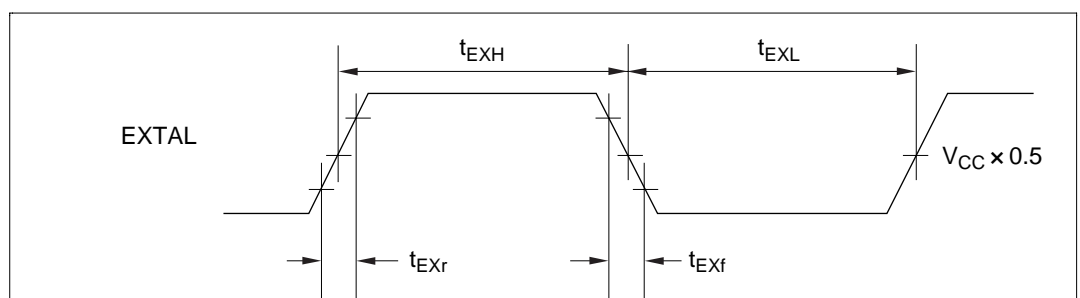


図 6.6 外部クロック入力タイミング

表 6.4 に外部クロック出力安定遅延時間、図 6.7 に外部クロック出力安定遅延時間タイミングを示します。発振器とデューティ補正回路は、EXTAL 端子に入力した外部クロック入力の波形を調整する機能を持っています。EXTAL 端子に規定のクロック信号を入力すると、外部クロック出力安定遅延時間 (t_{DEXT}) 経過後に内部クロック信号出力が確定します。 t_{DEXT} 期間中はクロック信号出力が確定していないので、リセット信号を Low にし、リセット状態に保持してください。

表 6.4 外部クロック出力安定遅延時間

条件 : $V_{CC} = 2.7V \sim 5.5V$ 、 $AV_{CC} = 2.7V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$

項目	記号	min	max	単位	備考
外部クロック出力安定遅延時間	t_{DEXT}^*	500		μs	図 6.7

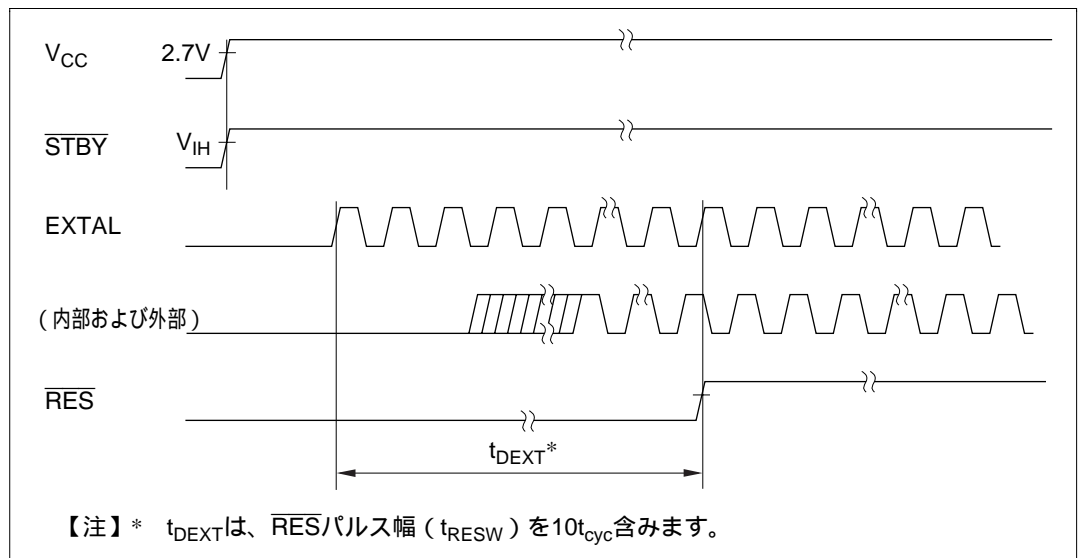
【注】 * t_{DEXT} は、 \overline{RES} パルス幅 (t_{RESW}) を $10t_{cyc}$ 含みます。

図 6.7 外部クロック出力安定遅延時間タイミング

6.2.2 発振器（H8/3437S 品）

クロック発振器へクロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2とおりがあります。

（1）水晶発振子を接続する方法

（a）回路構成

水晶発振子を接続する場合の接続例を図 6.8 に示します。水晶発振子は、AT カット並列共振形を使用してください。

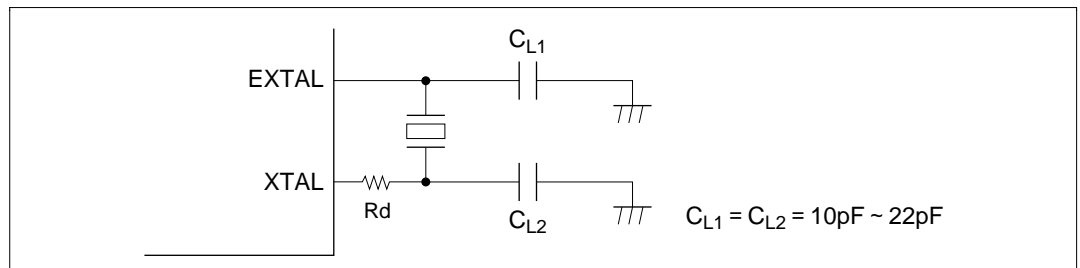


図 6.8 水晶発振子を接続する場合の接続例

表 6.5 ダンピング抵抗値

周波数 (MHz)	2	4	8	10
Rd ()	1k	500	200	0

（b）水晶発振子

図 6.9 に水晶発振子の等価回路を示します。水晶発振子は表 6.6 に示す特性のものを使用してください。

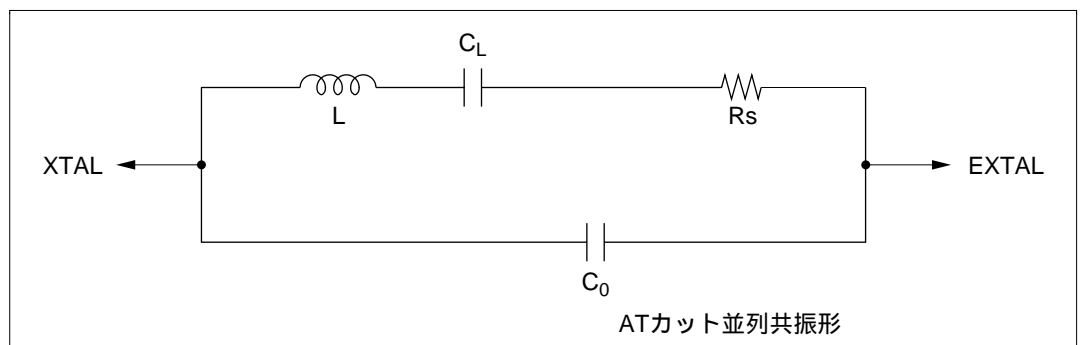


図 6.9 水晶発振子の等価回路

表 6.6 水晶発振子のパラメータ

周波数 (MHz)	2	4	8	10
Rs max ()	500	120	80	70
Co (pF)	7pF max			

水晶発振子は、システムクロック () と同一の周波数のものを使用してください。

(c) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くに信号線を通過させないでください。誘導により正しい発振ができなくなる場合があります (図 6.10)。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。

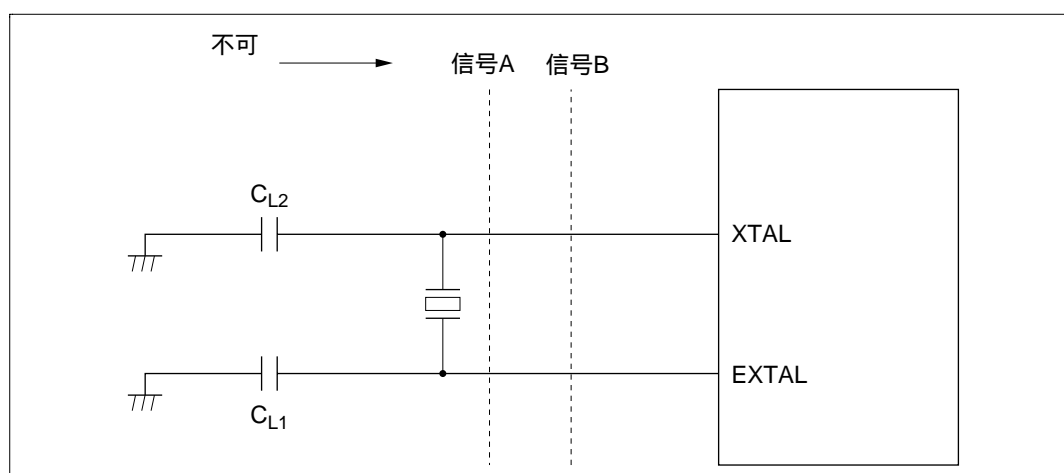


図 6.10 発振回路部のボード設計に関する注意事項

(2) 外部クロックを入力する方法

(a) 回路構成

外部クロック入力の接続例を図 6.11 に示します。図 6.11 (b) の場合、スタンバイ時には外部クロックが High レベルとなるようにしてください。

XTAL 端子をオープン状態にする場合は、寄生容量が 10pF 以下としてください。

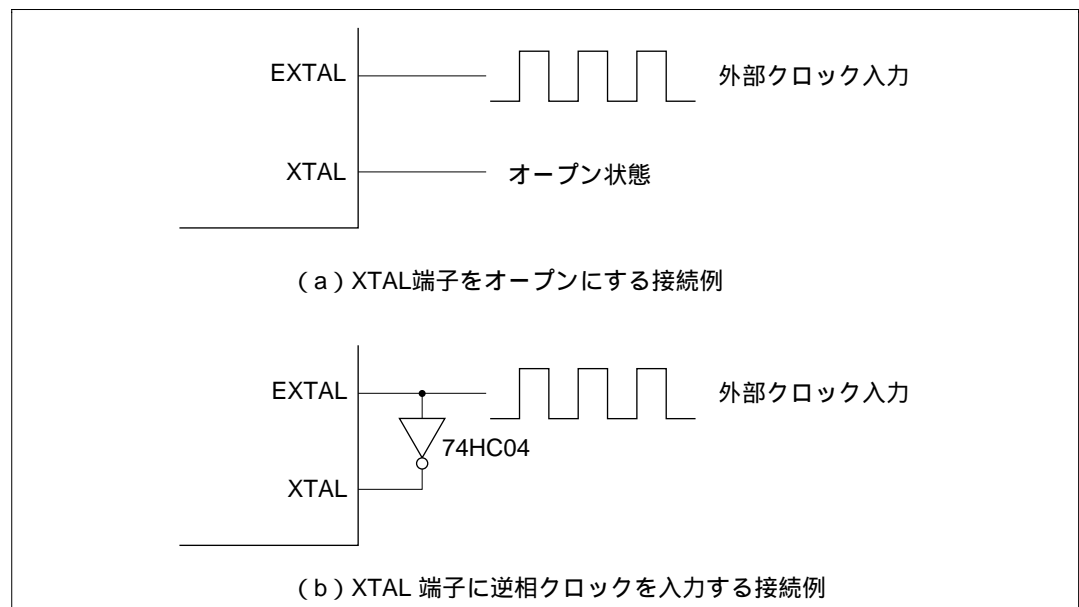


図 6.11 外部クロックを入力する場合の接続例

(b) 外部クロック

外部クロックの周波数は、分周器によって分周しないときの周波数と同一にしてください。表 6.7 にクロックタイミング、図 6.12 に外部クロック入力タイミングを示します。

表 6.7 クロックタイミング

項目	記号	$V_{CC} =$ 3.0 ~ 5.5V		単位	測定条件	
		min	max			
外部クロック入力パルス幅 Low レベル	t_{EXL}	40		ns	図 6.12	
外部クロック入力パルス幅 High レベル	t_{EXH}	40		ns		
外部クロック 立ち上がり時間	t_{EXr}		10	ns		
外部クロック 立ち下がり時間	t_{EXf}		10	ns		
クロックパルス幅 Low レベル	t_{CL}	0.3	0.7	t_{cyc}	5MHz	図 23.7
クロックパルス幅 High レベル		0.4	0.6	t_{cyc}	< 5MHz	
クロックパルス幅 Low レベル	t_{CH}	0.3	0.7	t_{cyc}	5MHz	
クロックパルス幅 High レベル		0.4	0.6	t_{cyc}	< 5MHz	

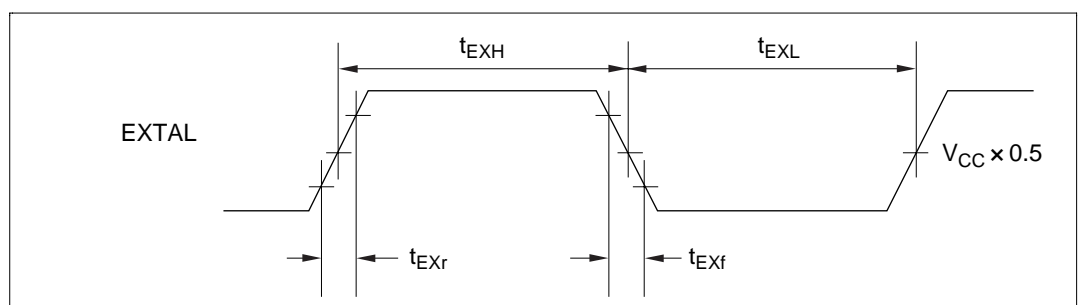


図 6.12 外部クロック入力タイミング

表 6.8 に外部クロック出力安定遅延時間、図 6.13 に外部クロック出力安定遅延時間タイミングを示します。発振器とデューティ補正回路は、EXTAL 端子に入力した外部クロック入力の波形を調整する機能を持っています。EXTAL 端子に規定のクロック信号を入力すると、外部クロック出力安定遅延時間 (t_{DEXT}) 経過後に内部クロック信号出力が確定します。 t_{DEXT} 期間中はクロック信号出力が確定していないので、リセット信号を Low にし、リセット状態に保持してください。

表 6.8 外部クロック出力安定遅延時間

条件 : $V_{CC} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 2.7V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$

項目	記号	min	max	単位	備考
外部クロック出力安定遅延時間	t_{DEXT}^*	500		μs	図 6.13

【注】 * t_{DEXT} は、 \overline{RES} パルス幅 (t_{RESW}) を $10t_{cyc}$ 含みます。

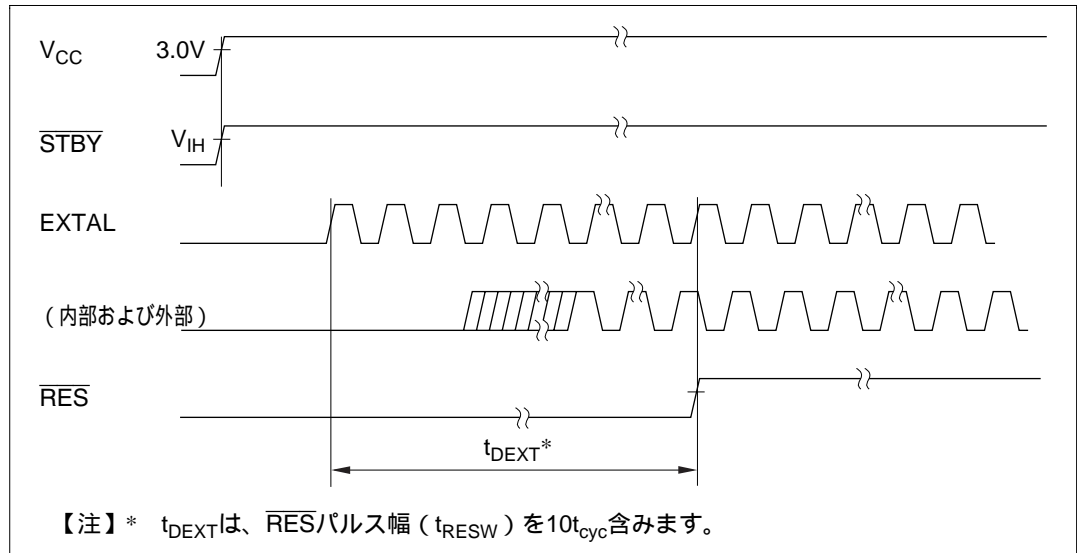


図 6.13 外部クロック出力安定遅延時間タイミング

6.3 デューティ補正回路

デューティ補正回路は、周波数 5MHz 以上の発振に対し発振器からのクロックのデューティを補正し、システムクロック () を生成します。

6.4 プリスケーラ

1/2 分周器は、CKDBL ビットの設定に従って、システムクロック () から周辺モジュール用クロック (p) を生成します。

プリスケーラは、 p を分周し、内部クロック ($p/2 \sim p/4096$) を生成します。

7. I/O ポート

第7章 目次

7.1	概要.....	119
7.2	ポート1.....	122
	7.2.1 概要.....	122
	7.2.2 レジスタの構成と説明.....	122
	7.2.3 モード別端子機能.....	125
	7.2.4 入力プルアップ MOS.....	126
7.3	ポート2.....	127
	7.3.1 概要.....	127
	7.3.2 レジスタの構成と説明.....	127
	7.3.3 モード別端子機能.....	130
	7.3.4 入力プルアップ MOS.....	131
7.4	ポート3.....	132
	7.4.1 概要.....	132
	7.4.2 レジスタの構成と説明.....	132
	7.4.3 モード別端子機能.....	134
	7.4.4 入力プルアップ MOS.....	136
7.5	ポート4.....	137
	7.5.1 概要.....	137
	7.5.2 レジスタの構成と説明.....	138
	7.5.3 端子機能.....	139
7.6	ポート5.....	141
	7.6.1 概要.....	141
	7.6.2 レジスタの構成と説明.....	141
	7.6.3 端子機能.....	143
7.7	ポート6.....	144
	7.7.1 概要.....	144
	7.7.2 レジスタの構成と説明.....	144

	7.7.3	端子機能.....	146
	7.7.4	入力プルアップ MOS.....	148
7.8	ポート 7.....		149
	7.8.1	概要.....	149
	7.8.2	レジスタの構成と説明.....	149
7.9	ポート 8.....		150
	7.9.1	概要.....	150
	7.9.2	レジスタの構成と説明.....	151
	7.9.3	端子機能.....	152
7.10	ポート 9.....		154
	7.10.1	概要.....	154
	7.10.2	レジスタの構成と説明.....	155
	7.10.3	端子機能.....	157
7.11	ポート A.....		159
	7.11.1	概要.....	159
	7.11.2	レジスタの構成と説明.....	159
	7.11.3	端子機能.....	161
	7.11.4	入力プルアップ MOS.....	162
7.12	ポート B.....		163
	7.12.1	概要.....	163
	7.12.2	レジスタの構成と説明.....	163
	7.12.3	モード別端子機能.....	165
	7.12.4	入力プルアップ MOS.....	166

7.1 概要

本 LSI は、8 ビット入出力ポートを 8 本、7 ビット入出力ポートを 1 本、3 ビット入出力ポートを 1 本、8 ビット入力専用ポートを 1 本備えています。

各ポートの動作モード別機能一覧を表 7.1 に示します。表 7.1 に示すように、各ポートは兼用端子になっています。また、各ポートの端子機能は動作モードにより異なります。

各ポートは、入出力を制御するデータディレクションレジスタ (DDR) と、出力データを格納するデータレジスタ (DR) から構成されています。ポートの DDR に対してビット操作命令を実行する場合には、「2.5.5 ビット操作命令」の〔ビット操作命令使用上の注意〕を参照してください。

ポート 1~4、6、9、A、B は 1 個の TTL 負荷と 90pF の容量負荷を駆動することができ、ポート 5、8 は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ポート 1、2 は、LED を駆動 (シンク電流 10mA) することができます。

ポート 1~6、8、9、A、B はダーリントントランジスタを駆動することができます。ポート 1~3、6、A、B には入力プルアップ MOS が内蔵されています。

各ポートのブロック図は「付録 C. I/O ポートブロック図」を参照してください。

ポート 8 の P8₆ 端子、ポート 9 の P9₇ 端子、ポート A の PA₄、PA₅、PA₆、PA₇ は、バスバッファ駆動が可能です。バスバッファ駆動については「第 13 章 I²C バスインタフェース」を参照してください。

表 7.1 ポートの機能一覧 (1)

ポート	概要	端子	拡張モード		シングルチップモード
			モード1	モード2	モード3
ポート1	・ 8ビットの入出力ポート ・ LED 駆動可能 ・ 入力プリアップMOS内蔵	P1 ₇ ~ P1 ₀ /A ₇ ~ A ₀	下位アドレス (A ₇ ~ A ₀) 出力端子	入力ポートまたは下位アドレス (A ₇ ~ A ₀) 出力端子	入出力ポート
ポート2	・ 8ビットの入出力ポート ・ LED 駆動可能 ・ 入力プリアップMOS内蔵	P2 ₇ ~ P2 ₀ /A ₁₅ ~ A ₈	上位アドレス (A ₁₅ ~ A ₈) 出力端子	入力ポートまたは上位アドレス (A ₁₅ ~ A ₈) 出力端子	入出力ポート
ポート3	・ 8ビットの入出力ポート ・ 入力プリアップMOS内蔵 ・ HIFデータバス	P3 ₇ ~ P3 ₀ / HDB ₇ ~ HDB ₀ /D ₇ ~ D ₀	データバス (D ₇ ~ D ₀)		HIFデータバス (HDB ₇ ~ HDB ₀) と入出力ポートの兼用
ポート4	・ 8ビットの入出力ポート	P4 ₇ /PW ₁ P4 ₆ /PW ₀	PWMタイマ0、1の出力 (PW ₀ 、PW ₁) と入出力ポートの兼用		
		P4 ₅ /TMR ₁ / HIRQ ₁₂ P4 ₄ /TMO ₁ / HIRQ ₁ P4 ₃ /TMCI ₁ / HIRQ ₁₁	8ビットタイマ1の入出力端子 (TMCI ₁ 、TMO ₁ 、TMR ₁)、HIFのホストCPU割り込み要求出力 (HIRQ ₁₁ 、HIRQ ₁ 、HIRQ ₁₂) と入出力ポートの兼用		
		P4 ₂ /TMR ₀ P4 ₁ /TMO ₀ P4 ₀ /TMCI ₀	8ビットタイマ0の入出力端子 (TMCI ₀ 、TMO ₀ 、TMR ₀) と入出力ポートの兼用		
ポート5	・ 3ビットの入出力ポート	P5 ₂ /SCK ₀ P5 ₁ /RxD ₀ P5 ₀ /TxD ₀	シリアルコミュニケーションインタフェース0の入出力 (TxD ₀ 、RxD ₀ 、SCK ₀) と入出力ポートの兼用		
ポート6	・ 8ビットの入出力ポート ・ 入力プリアップMOS内蔵 ・ キーセンス割り込み入力	P6 ₇ /KEYIN ₇ / IRQ ₇ P6 ₆ /KEYIN ₆ / FTOB/IRQ ₆ P6 ₅ /KEYIN ₅ / FTID P6 ₄ /KEYIN ₄ / FTIC P6 ₃ /KEYIN ₃ / FTIB P6 ₂ /KEYIN ₂ / FTIA P6 ₁ /KEYIN ₁ / FTOA P6 ₀ /KEYIN ₀ / FTCI	16ビットフリーランニングタイマの入出力 (FTCI、FTOA、FTOB、FTIA、FTIB、FTIC、FTID)、キーセンス割り込み (KEYIN ₇ ~ KEYIN ₀) および外部割り込み (IRQ ₇ 、IRQ ₆) と入出力ポートの兼用		
ポート7	・ 8ビットの入出力ポート	P7 ₇ /AN ₇ / DA ₁ P7 ₆ /AN ₆ / DA ₀	A/D変換器のアナログ入力 (AN ₇ 、AN ₆)、D/A変換器のアナログ出力 (DA ₁ 、DA ₀) と入出力ポートの兼用		
		P7 ₅ ~ P7 ₀ /AN ₅ ~ AN ₀	A/D変換器のアナログ入力 (AN ₅ ~ AN ₀) と入出力ポートの兼用		
ポート8	・ 7ビットの入出力ポート ・ バスバッファ駆動可能 (P8 ₆)	P8 ₆ /IRQ ₅ / SCK ₁ /SCL P8 ₅ /IRQ ₄ / RxD ₁ /CS ₂ P8 ₄ /IRQ ₃ / TxD ₁ /IOW	シリアルコミュニケーションインタフェース1の入出力 (TxD ₁ 、RxD ₁ 、SCK ₁)、HIFの制御入出力 (CS ₂ 、IOW)、I ² Cのクロック入出力 (SCL)、外部割り込み入力 (IRQ ₅ ~ IRQ ₃) と入出力ポートの兼用		
		P8 ₃ /IOR P8 ₂ /CS ₁ P8 ₁ /GA ₂₀ P8 ₀ /HA ₀	HIFの制御入出力 (HA ₀ 、GA ₂₀ 、CS ₁ 、IOR) と入出力ポートの兼用		
ポート9	・ 8ビットの入出力ポート ・ バスバッファ駆動可能 (P9 ₇)	P9 ₇ /WAIT/SDA	拡張データバス制御入力 (WAIT)、I ² Cデータ入出力 (SDA) と入出力ポートの兼用		I ² Cデータ入出力 (SDA) と入出力ポートの兼用
		P9 ₆ / P9 ₅ /AS P9 ₄ /WR P9 ₃ /RD	システムクロック () 出力		出力または入力ポート
		P9 ₂ /IRQ ₀ P9 ₁ /IRQ ₁ / EIOW P9 ₀ /IRQ ₂ / ECS ₂ /ADTRG	HIFの制御入出力 (ECS ₂ 、EIOW)、A/D変換器のトリガ入力 (ADTRG) および外部割り込み (IRQ ₂ ~ IRQ ₀) と入出力ポートの兼用		

表 7.1 ポートの機能一覧(2)

ポート	概要	端子	拡張モード		シングルチップモード
			モード1	モード2	モード3
ポートA	<ul style="list-style-type: none"> ・8ビットの入出力ポート ・入力プルアップMOS内蔵 ・キーセンス割り込み入力 ・バスバッファ駆動可能 (PA₄、PA₅、PA₆、PA₇) 	PA ₇ ~PA ₀ / KEYIN ₁₅ ~KEYIN ₀	キーセンス割り込み (KEYIN ₁₅ ~KEYIN ₀) と入出力ポートの兼用		
ポートB	<ul style="list-style-type: none"> ・8ビットの入出力ポート ・HIFデータバス ・入力プルアップMOS内蔵 	PB ₇ ~PB ₀ / XDB ₇ ~XDB ₀	HIFのデータバス (XDB ₇ ~XDB ₀) と 入出力ポートの兼用	入出力ポート	

7.2 ポート 1

7.2.1 概要

ポート 1 は、8 ビットの入出力ポートです。ポート 1 の各端子は、図 7.1 に示す構成になっています。図 7.1 に示すように、各端子の機能は、動作モードによって切り換わりま

す。ポート 1 には、プログラムで制御可能な入力プルアップ MOS が内蔵されており、モード 2、3 で使用できます。

また、ポート 1 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、LED、ダーリントントランジスタを駆動することも可能です。

ポート1端子	モード1 (内蔵ROM無 効拡張モード) 時の端子機能	モード2 (内蔵ROM有効 拡張モード) 時の端子機能	モード3 (シングル チップモード) 時の端子機能
	ポート1		
P1 ₇ /A ₇	A ₇ (出力)	A ₇ (出力) / P1 ₇ (入力)	P1 ₇ (入出力)
P1 ₆ /A ₆	A ₆ (出力)	A ₆ (出力) / P1 ₆ (入力)	P1 ₆ (入出力)
P1 ₅ /A ₅	A ₅ (出力)	A ₅ (出力) / P1 ₅ (入力)	P1 ₅ (入出力)
P1 ₄ /A ₄	A ₄ (出力)	A ₄ (出力) / P1 ₄ (入力)	P1 ₄ (入出力)
P1 ₃ /A ₃	A ₃ (出力)	A ₃ (出力) / P1 ₃ (入力)	P1 ₃ (入出力)
P1 ₂ /A ₂	A ₂ (出力)	A ₂ (出力) / P1 ₂ (入力)	P1 ₂ (入出力)
P1 ₁ /A ₁	A ₁ (出力)	A ₁ (出力) / P1 ₁ (入力)	P1 ₁ (入出力)
P1 ₀ /A ₀	A ₀ (出力)	A ₀ (出力) / P1 ₀ (入力)	P1 ₀ (入出力)

図 7.1 ポート 1 の端子構成

7.2.2 レジスタの構成と説明

表 7.2 にポート 1 のレジスタ構成を示します。

表 7.2 ポート 1 レジスタ構成

名称	略称	R/W	初期値		アドレス
			モード 1	モード 2、3	
ポート 1 データディレクション レジスタ	P1DDR	W	H'FF	H'00	H'FFB0
ポート 1 データレジスタ	P1DR	R/W	H'00		H'FFB2
ポート 1 入力プルアップ MOS コントロールレジスタ	P1PCR	R/W	H'00		H'FFAC

(1) ポート1 データディレクションレジスタ (P1DDR)

ビット:		7	6	5	4	3	2	1	0
		P1 ₇ DDR	P1 ₆ DDR	P1 ₅ DDR	P1 ₄ DDR	P1 ₃ DDR	P1 ₂ DDR	P1 ₁ DDR	P1 ₀ DDR
モード1	初期値:	1	1	1	1	1	1	1	1
	R/W :	—	—	—	—	—	—	—	—
モード2,3	初期値:	0	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W	W

P1DDR は、ポート1の各端子の入出力をビットごとに制御します。

(a) モード1

P1DDR は、1に固定され、ポート1は下位アドレス出力端子になります。P1DDR へのリード/ライトは無効です。リードすると1が読み出されます。

ハードウェアスタンバイモード時は、アドレスバスはハイインピーダンス状態となります。

(b) モード2

P1DDR に1をセットすると対応するポート1の端子はアドレス出力端子になり、0にクリアすると入力端子になります。

(c) モード3

P1DDR に1をセットすると対応するポート1の端子は出力端子になり、0にクリアすると入力端子になります。

モード2、3ではP1DDR は、ライト専用レジスタですからリードは無効です。リードすると1が読み出されます。P1DDR はリセットまたはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には直前のP1DDR の状態を保持しています。そのため、P1DDR が1にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート 1 データレジスタ (P1DR)

ビット :	7	6	5	4	3	2	1	0
	P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P1DR は、ポート 1 の各端子 P1₇~P1₀ のデータを格納する 8 ビットのレジスタです。P1DDR が 1 のとき、ポート 1 のリードを行うと、P1DR の値を直接リードします。そのため端子の状態の影響を受けません。P1DDR が 0 のときポート 1 のリードを行うと、端子の状態が読み出されます。

リセットまたはハードウェアスタンバイモード時に、P1DR は、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

(3) ポート 1 入力プルアップ MOS コントロールレジスタ (P1PCR)

ビット :	7	6	5	4	3	2	1	0
	P1 ₇ PCR	P1 ₆ PCR	P1 ₅ PCR	P1 ₄ PCR	P1 ₃ PCR	P1 ₂ PCR	P1 ₁ PCR	P1 ₀ PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P1PCR は 8 ビットのリード/ライト可能なレジスタでポート 1 に内蔵した入力プルアップ MOS をビットごとに制御します。P1DDR を 0 にクリアした (入力ポートの) 状態で P1PCR を 1 にセットすると入力プルアップ MOS は ON します。

リセットまたはハードウェアスタンバイモード時に、P1PCR は H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

7.2.3 モード別端子機能

ポート1は、モード別に、各端子の機能が異なります。以下に動作モード別に説明します。

(1) モード1の端子機能

モード1(内蔵ROM無効拡張モード)の時、ポート1は自動的に下位アドレス出力端子(A₇~A₀)になります。

モード1の端子機能を図7.2に示します。

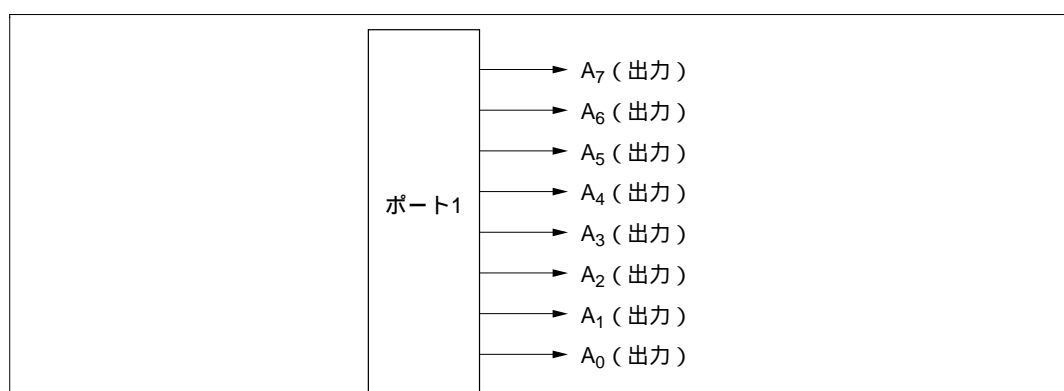


図7.2 モード1の端子機能(ポート1)

(2) モード2

モード2(内蔵ROM有効拡張モード)の時、ポート1は、下位アドレス出力端子と入力ポートとの兼用になります。各端子はビット単位でP1DDRを1にセットすると下位アドレス出力端子となり、0にクリアすると入力端子になります。リセット後は入力端子になっています。したがって、アドレス出力端子として使用する場合は、P1DDRを1にセットしてください。

モード2の端子機能を図7.3に示します。

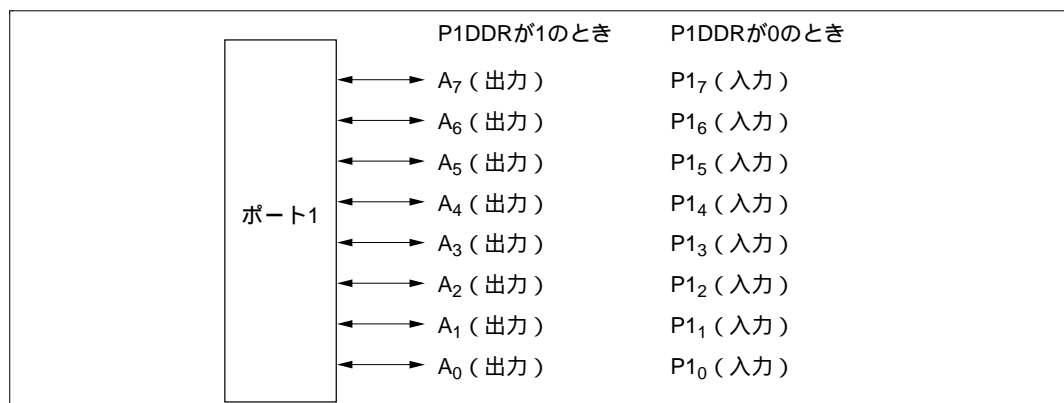


図7.3 モード2の端子機能(ポート1)

(3) モード3

モード3 (シングルチップモード) の時、各端子はビット単位で入出力を指定可能です。P1DDR の各ビットを1にセットすると対応する端子は出力端子になり、0にクリアすると対応する端子は入力端子になります。

モード3の端子機能を図7.4に示します。

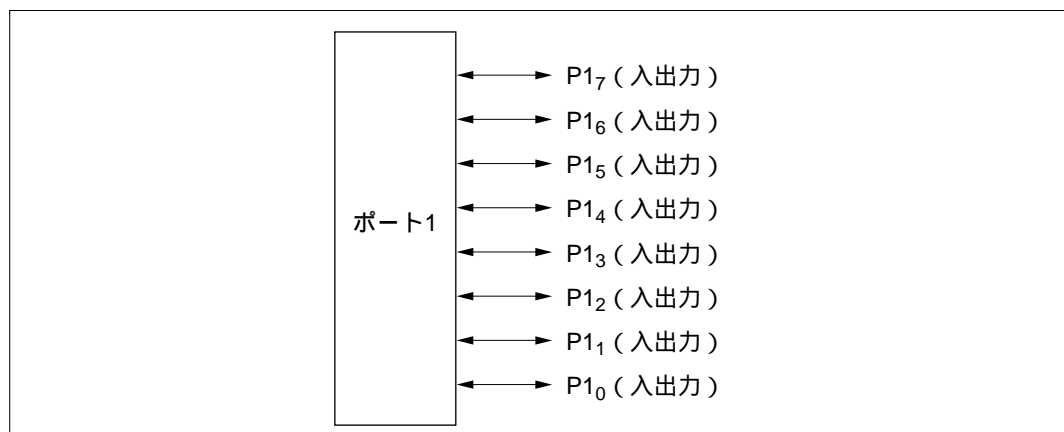


図7.4 モード3の端子機能 (ポート1)

7.2.4 入力プルアップMOS

ポート1は、プログラムで制御可能な入力プルアップMOSを内蔵しています。この入力プルアップMOSは、モード2、3のとき使用でき、ビット単位でON/OFFを指定できます。

モード2、3のとき、P1PCRが1にセットかつP1DDRを0にクリアすると、入力プルアップMOSはONとなります。リセットまたはハードウェアスタンバイモード時にはP1PCRが0にクリアされるため、入力プルアップMOSはOFFします。ソフトウェアスタンバイモード時には直前の状態を保持します。

各動作モードでの、入力プルアップMOSの状態を表7.3に示します。

表7.3 入力プルアップMOSの状態 (ポート1)

モード	リセット	ハードウェアスタンバイ モード	ソフトウェアスタンバイ モード	その他の動作時
1	OFF		OFF	
2			ON/OFF	
3				

<記号説明>

OFF : 入力プルアップMOSは、常にOFF状態です。

ON/OFF : P1PCR = 1 かつ、P1DDR = 0 のとき ON 状態、その他の時は OFF 状態です。

7.3 ポート 2

7.3.1 概要

ポート 2 は、8 ビットの入出力ポートです。ポート 2 の各端子は、図 7.5 に示す構成になっています。図 7.5 に示すように、各端子の機能は、動作モードによって切り換わります。

ポート 2 には、プログラムで制御可能な入力プルアップ MOS が内蔵されており、モード 2、3 で使用できます。

また、ポート 2 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、LED、ダーリントントランジスタを駆動することも可能です。

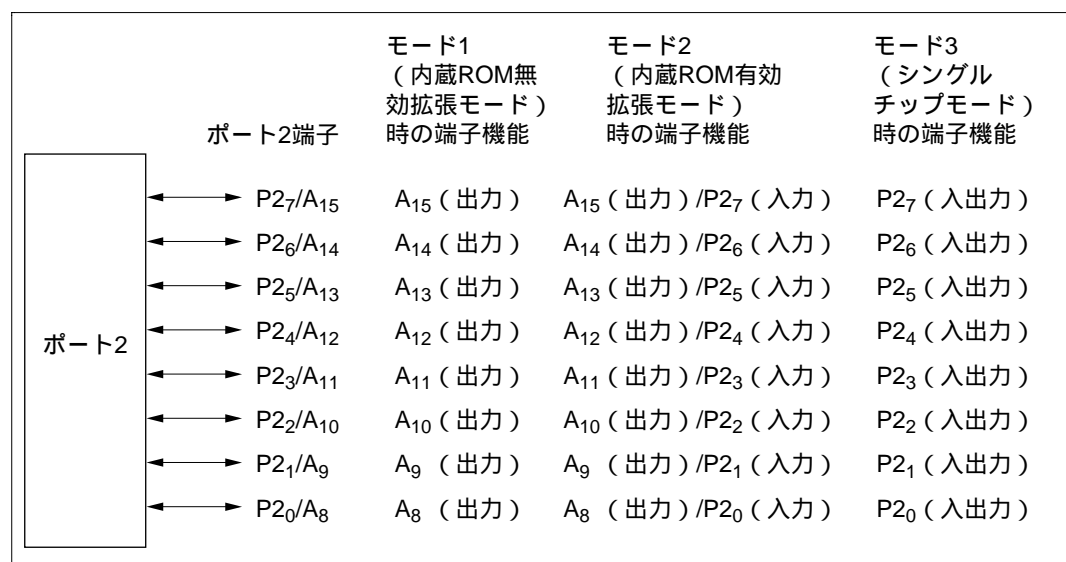


図 7.5 ポート 2 の端子構成

7.3.2 レジスタの構成と説明

表 7.4 にポート 2 のレジスタ構成を示します。

表 7.4 ポート 2 レジスタ構成

名称	略称	R/W	初期値		アドレス
			モード 1	モード 2、3	
ポート 2 データディレクションレジスタ	P2DDR	W	H'FF	H'00	H'FFB1
ポート 2 データレジスタ	P2DR	R/W	H'00		H'FFB3
ポート 2 入力プルアップ MOS コントロールレジスタ	P2PCR	R/W	H'00		H'FFAD

(1) ポート 2 データディレクションレジスタ (P2DDR)

ビット:		7	6	5	4	3	2	1	0
		P2 ₇ DDR	P2 ₆ DDR	P2 ₅ DDR	P2 ₄ DDR	P2 ₃ DDR	P2 ₂ DDR	P2 ₁ DDR	P2 ₀ DDR
モード1	初期値:	1	1	1	1	1	1	1	1
	R/W :	—	—	—	—	—	—	—	—
モード2,3	初期値:	0	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W	W

P2DDR は、ポート 2 の各端子の入出力をビットごとに制御します。

(a) モード 1

P2DDR は、1 に固定され、ポート 2 は上位アドレス出力端子になります。P2DDR へのリード/ライトは無効です。リードすると 1 が読み出されます。

ハードウェアスタンバイモード時は、アドレスバスはハイインピーダンス状態となります。

(b) モード 2

P2DDR に 1 をセットすると対応するポート 2 の端子はアドレス出力端子になり、0 にクリアすると入力端子になります。

(c) モード 3

P2DDR に 1 をセットすると対応するポート 2 の端子は出力端子になり、0 にクリアすると入力端子になります。

モード 2、3 では P2DDR は、ライト専用レジスタですからリードは無効です。リードすると 1 が読み出されます。P2DDR はリセットまたはハードウェアスタンバイモード時に、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の P2DDR の状態を保持しています。そのため、P2DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート2 データレジスタ (P2DR)

ビット:	7	6	5	4	3	2	1	0
	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P2DR は、ポート2 の各端子 P2₇ ~ P2₀ のデータを格納する 8 ビットのレジスタです。P2DDR が 1 のとき、ポート2 のリードを行うと、P2DR の値を直接リードします。そのため端子の状態の影響を受けません。P2DDR が 0 のときポート2 のリードを行うと、端子の状態が読み出されます。

リセットまたはハードウェアスタンバイモード時に P2DR は、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

(3) ポート2 入力プルアップ MOS コントロールレジスタ (P2PCR)

ビット:	7	6	5	4	3	2	1	0
	P2 ₇ PCR	P2 ₆ PCR	P2 ₅ PCR	P2 ₄ PCR	P2 ₃ PCR	P2 ₂ PCR	P2 ₁ PCR	P2 ₀ PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P2PCR は 8 ビットのリード/ライト可能なレジスタでポート2 に内蔵した入力プルアップ MOS をビットごとに制御します。

P2DDR を 0 にクリアした (入力ポートの) 状態で P2PCR を 1 にセットすると入力プルアップ MOS は ON します。

リセットまたはハードウェアスタンバイモード時に、P2PCR は H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

7.3.3 モード別端子機能

ポート2は、モード別に、各端子の機能が異なります。以下に動作モード別に説明します。

(1) モード1の端子機能

モード1(内蔵ROM無効拡張モード)の時、ポート2は自動的に上位アドレス出力端子($A_{15} \sim A_8$)になります。

モード1の端子機能を図7.6に示します。

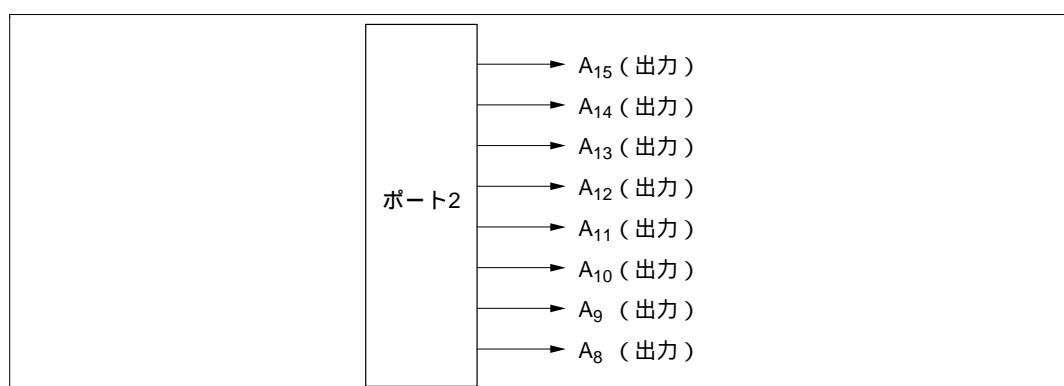


図7.6 モード1の端子機能(ポート2)

(2) モード2

モード2(内蔵ROM有効拡張モード)の時、ポート2は、上位アドレス出力端子と入力ポートとの兼用になります。各端子は、ビット単位でP2DDRを1にセットすると上位アドレス出力端子となり、0にクリアすると入力端子になります。リセット後は入力端子になっています。したがって、アドレス出力端子として使用する場合は、P2DDRを1にセットしてください。

モード2の端子機能を図7.7に示します。

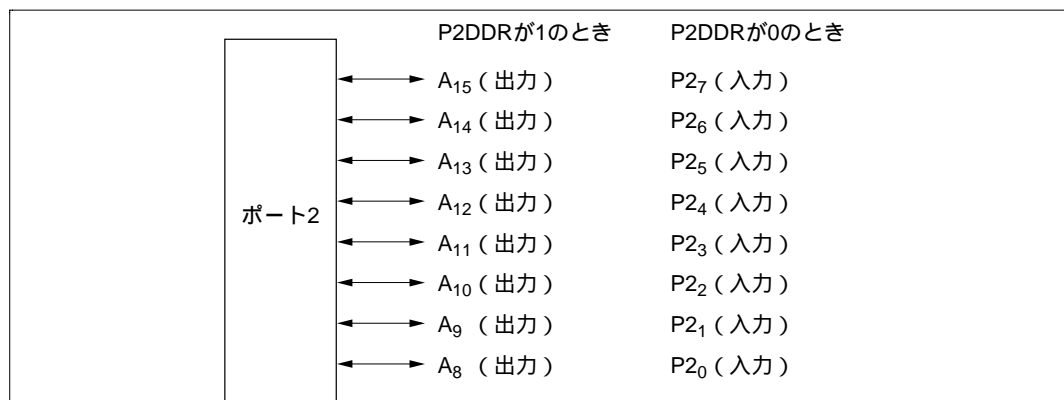


図7.7 モード2の端子機能(ポート2)

(3) モード3

モード3(シングルチップモード)の時、各端子はビット単位で入出力を指定可能です。P2DDRの各ビットを1にセットすると対応する端子は出力端子になり、0にクリアすると対応する端子は入力端子になります。

モード3の端子機能を図7.8に示します。

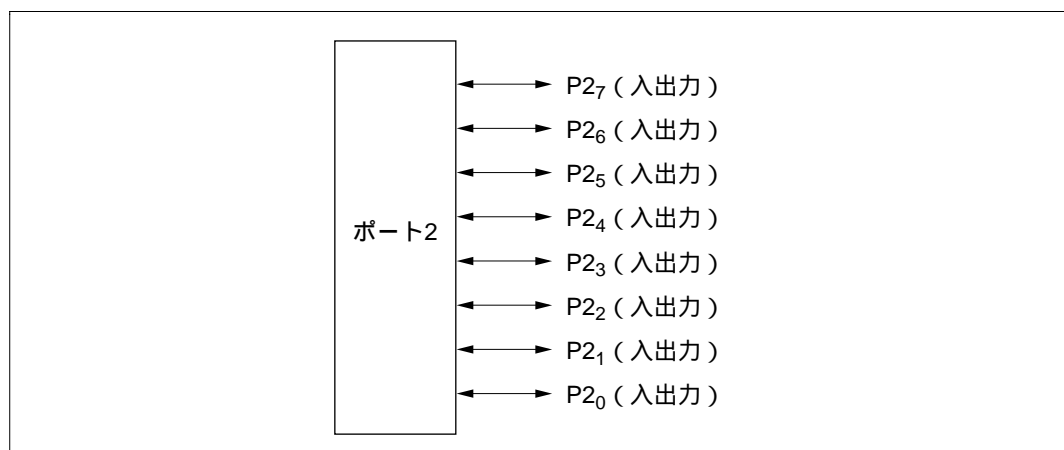


図7.8 モード3の端子機能(ポート2)

7.3.4 入力プルアップMOS

ポート2は、プログラムで制御可能な入力プルアップMOSを内蔵しています。この入力プルアップMOSは、モード2、3のとき使用でき、ビット単位でON/OFFを指定できます。

モード2、3のとき、P2PCRを1にセットかつP2DDRを0にクリアすると、入力プルアップMOSはONとなります。リセットまたはハードウェアスタンバイモード時にはP2PCRが0にクリアされるため、入力プルアップMOSはOFFします。ソフトウェアスタンバイモード時には直前の状態を保持します。

各動作モードでの、入力プルアップMOSの状態を表7.5に示します。

表7.5 入力プルアップMOSの状態(ポート2)

モード	リセット	ハードウェアスタンバイ モード	ソフトウェアスタンバイ モード	その他の動作時
1	OFF		OFF	
2			ON/OFF	
3				

<記号説明>

OFF : 入力プルアップMOSは、常にOFF状態です。

ON/OFF : P2PCR = 1 かつ P2DDR = 0 のとき ON 状態、その他の時は OFF 状態です。

7.4 ポート3

7.4.1 概要

ポート3は、8ビットの入出力ポートです。データバスとホストインタフェースデータバスとの兼用になっています。ポート3の各端子は、図7.9に示す構成になっています。図7.9に示すように、各端子の機能は、動作モードによって切り換わります。

ポート3にはプログラムで制御可能な入力プルアップMOSが内蔵されており、モード3で使用できます。

ポート3は、1個のTTL負荷と90pFの容量負荷を駆動することができます。また、ダークトランジスタを駆動することもできます。

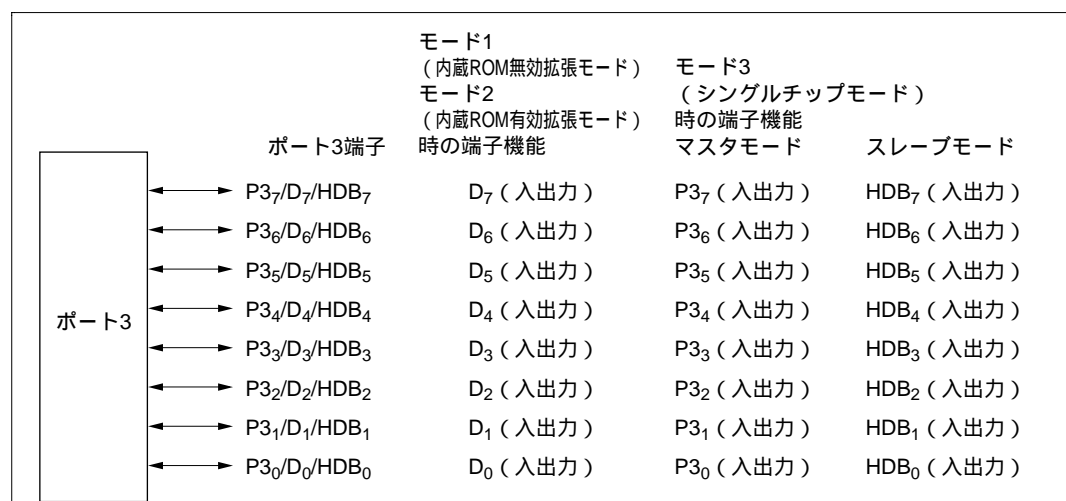


図7.9 ポート3の端子構成

7.4.2 レジスタの構成と説明

表7.6にポート3のレジスタ構成を示します。

表7.6 ポート3レジスタ構成

名称	略称	R/W	初期値	アドレス
ポート3データディレクションレジスタ	P3DDR	W	H'00	H'FFB4
ポート3データレジスタ	P3DR	R/W	H'00	H'FFB6
ポート3入力プルアップMOSコントロールレジスタ	P3PCR	R/W	H'00	H'FFAE

(1) ポート3 データディレクションレジスタ (P3DDR)

ビット :	7	6	5	4	3	2	1	0
	P3 ₇ DDR	P3 ₆ DDR	P3 ₅ DDR	P3 ₄ DDR	P3 ₃ DDR	P3 ₂ DDR	P3 ₁ DDR	P3 ₀ DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P3DDRは8ビットのレジスタで、ポート3の各端子の入出力をビットごとに制御します。P3DDRはライト専用レジスタで、リードは無効です。リードすると1が読み出されます。

(a) モード1、2

モード1(内蔵ROM無効拡張モード)、モード2(内蔵ROM有効拡張モード)では、P3DDRによる入出力の方向は無視され、ポート3は自動的に8ビットデータバス入出力端子(D₇~D₀)になります。

また、リセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時には、データバスはハイインピーダンス状態になります。

(b) モード3

P3DDRに1をセットすると対応するポート3の端子は出力端子になり、0にクリアすると入力端子になります。リセットまたはハードウェアスタンバイモード時、P3DDRはH'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前のP3DDRの状態を保持しています。そのため、P3DDRが1にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート3 データレジスタ (P3DR)

ビット :	7	6	5	4	3	2	1	0
	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P3DRは、ポート3の各端子P3₇~P3₀のデータを格納する8ビットのレジスタです。

P3DDRが1のとき、ポート3のリードを行うと、P3DRの値を直接リードします。そのため端子の状態の影響を受けません。P3DDRが0のとき、ポート3のリードを行うと、端子の状態が読み出されます。

リセットまたはハードウェアスタンバイモード時に、P3DRは、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

(3) ポート 3 入力プルアップ MOS コントロールレジスタ (P3PCR)

ビット:	7	6	5	4	3	2	1	0
	P3 ₇ PCR	P3 ₆ PCR	P3 ₅ PCR	P3 ₄ PCR	P3 ₃ PCR	P3 ₂ PCR	P3 ₁ PCR	P3 ₀ PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P3PCR は 8 ビットのリード/ライト可能なレジスタでポート 3 に内蔵した入力プルアップ MOS をビットごとに制御します。

P3DDR を 0 にクリアした (入力ポートの) 状態で P3PCR を 1 にセットすると入力プルアップ MOS は ON します。

リセットまたはハードウェアスタンバイモード時に、P3PCR は H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

入力プルアップはスレープモード (ホストインタフェースイネーブル時) には使用できません。

7.4.3 モード別端子機能

ポート 3 は、モード別に、各端子の機能が異なります。以下に動作モード別に説明します。

(1) モード 1、2 の端子機能

モード 1 (内蔵 ROM 無効拡張モード)、モード 2 (内蔵 ROM 有効拡張モード) の時、ポート 3 は自動的に 8 ビットデータバス入出力端子 (D₇ ~ D₀) になります。

モード 1、2 の端子機能を図 7.10 に示します。

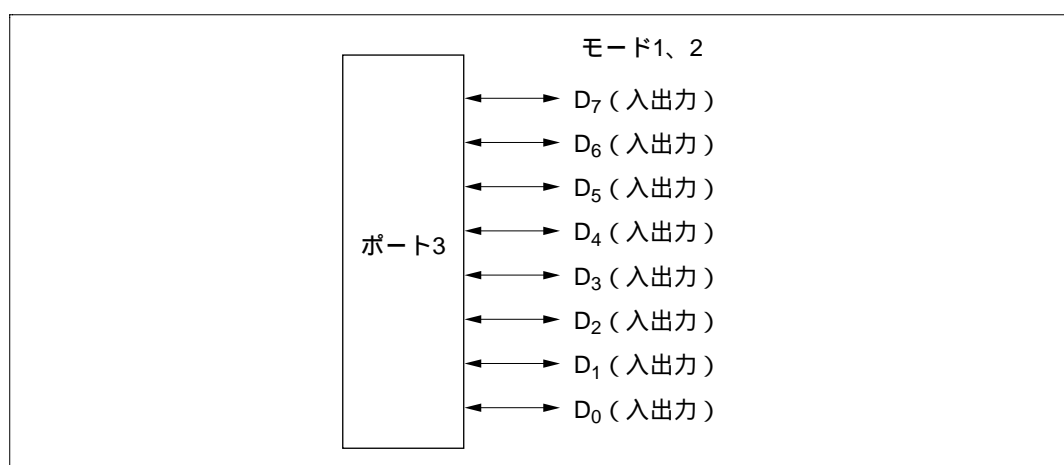


図 7.10 モード 1、2 の端子機能 (ポート 3)

(2) モード3

モード3(シングルチップモード)のとき、システムコントロールレジスタ(SYSCR)のホストインタフェースイネーブルビット(HIE)が0にクリアされると、ポート3は入出力ポートとなります。

HIEビットが1にセットされ、スレーブモードに遷移すると、ポート3はホストインタフェースデータバス(HDB₇~HDB₀)となります。

詳細は「第14章 ホストインタフェース」を参照してください。

モード3の端子機能を図7.11に示します。

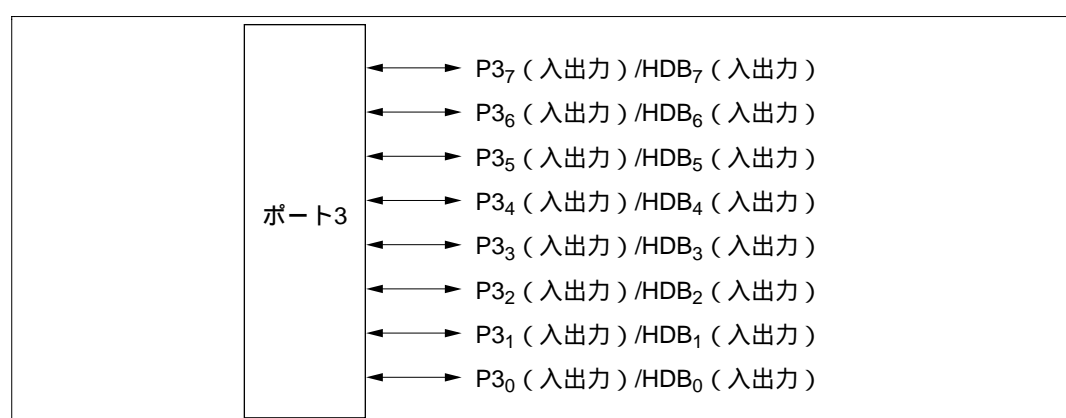


図7.11 モード3の端子機能(ポート3)

7.4.4 入力プルアップ MOS

ポート 3 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、モード 3 のとき使用でき、ビット単位で ON/OFF を指定できます。

モード 3 のとき、P3PCR を 1 にセットかつ P3DDR を 0 にクリアすると、入力プルアップ MOS は ON となります。

また、入力プルアップ MOS はリセットまたはハードウェアスタンバイモード時に OFF になります。ソフトウェアスタンバイモード時には直前の状態を保持します。

各動作モードでの、入力プルアップ MOS の状態を表 7.7 に示します。

表 7.7 入力プルアップ MOS の状態 (ポート 3)

モード	リセット	ハードウェアスタンバイ モード	ソフトウェアスタンバイ モード	その他の動作時
1		OFF	OFF	
2				
3			ON/OFF	

< 記号説明 >

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON/OFF : P3PCR = 1 かつ P3DDR = 0 のとき ON 状態、その他のときは OFF 状態です。

7.5 ポート4

7.5.1 概要

ポート4は、8ビットの入出力ポートです。ポート4は、8ビットタイマ0、1の入出力端子 (TMRI₀、TMRI₁、TMCI₀、TMCI₁、TMO₀、TMO₁) および PWM タイマ 0、1 の出力端子 (PW₀、PW₁) と兼用になっています。スレーブモード動作では、P4₃~P4₅をホスト割り込み要求出力端子として使用します。タイマおよびホスト割り込み要求で使用しない端子は、汎用入出力端子として使用できます。

ポート4の端子構成を図7.12に示します。

ポート4は、1個のTTL負荷と90pFの容量負荷を駆動することができます。また、ダリントントランジスタを駆動することもできます。

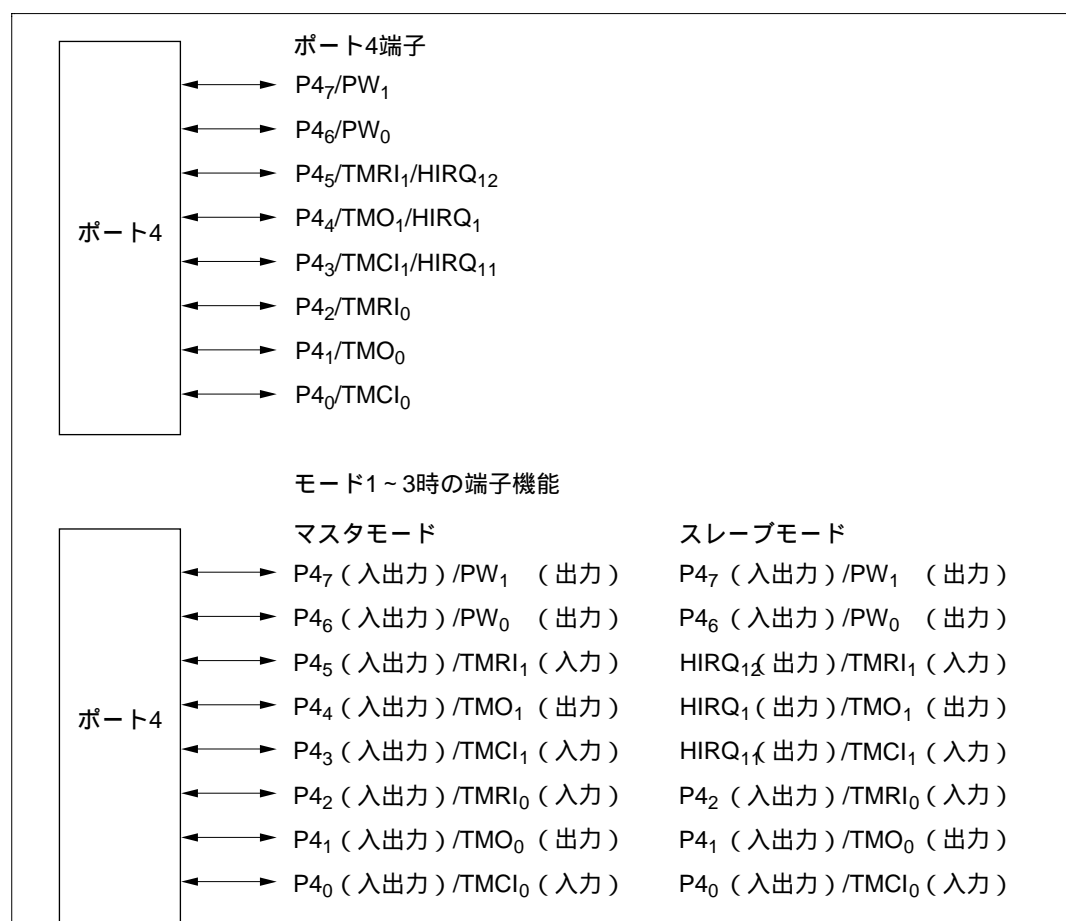


図7.12 ポート4の端子構成

7.5.2 レジスタの構成と説明

表 7.8 にポート 4 のレジスタ構成を示します。

表 7.8 ポート 4 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポート 4 データディレクションレジスタ	P4DDR	W	H'00	H'FFB5
ポート 4 データレジスタ	P4DR	R/W	H'00	H'FFB7

(1) ポート 4 データディレクションレジスタ (P4DDR)

ビット :	7	6	5	4	3	2	1	0
	P4 ₇ DDR	P4 ₆ DDR	P4 ₅ DDR	P4 ₄ DDR	P4 ₃ DDR	P4 ₂ DDR	P4 ₁ DDR	P4 ₀ DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P4DDR は 8 ビットのレジスタで、ポート 4 の各端子の入出力をビットごとに制御します。P4DDR に 1 をセットすると対応するポート 4 の端子は出力端子に、0 にクリアすると入力端子になります。

P4DDR は、ライト専用レジスタで、リードは無効です。リードすると、1 が読み出されます。

リセットまたはハードウェアスタンバイモード時、P4DDR は H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の P4DDR の状態を保持しています。そのため P4DDR が 1 にセットされた状態で、ソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

また、ポート 4 を内蔵周辺モジュールの端子（たとえば 8 ビットタイマの出力端子）として使用しているとき、ソフトウェアスタンバイモードに遷移すると、内蔵周辺モジュールがイニシャライズされるため、ポート 4 は P4DDR と P4DR で制御される入出力ポートに切り換わります。

(2) ポート 4 データレジスタ (P4DR)

ビット :	7	6	5	4	3	2	1	0
	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P4DRは、ポート4の各端子P4₇~P4₀のデータを格納する8ビットのレジスタです。

P4DDRが1のとき、ポート4のリードを行うと、P4DRの値を直接リードします。そのため端子の状態の影響を受けません。P4DDRが0のとき、ポート4のリードを行うと、端子の状態が読み出されます。内蔵周辺モジュールの端子として使用している場合も同様です。

リセットまたはハードウェアスタンバイモード時に、P4DRはH'00にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

7.5.3 端子機能

ポート4の端子機能は、スレーブモード時とそれ以外のモード時では異なります。ポート4の端子機能について表7.9に示します。

表7.9 ポート4の端子機能(1)

端子	選択方法と端子機能				
P4 ₇ /PW ₁	PWM タイマ1のTCRのOEビットとP4 ₇ DDRビットの組み合わせにより、次のように切り換わります。				
	OE	0		1	
	P4 ₇ DDR	0	1	0	1
	端子機能	P4 ₇ 入力端子	P4 ₇ 出力端子	PW ₁ 出力端子	
P4 ₆ /PW ₀	PWM タイマ0のTCRのOEビットとP4 ₆ DDRビットの組み合わせにより、次のように切り換わります。				
	OE	0		1	
	P4 ₆ DDR	0	1	0	1
	端子機能	P4 ₆ 入力端子	P4 ₆ 出力端子	PW ₀ 出力端子	
P4 ₅ /TMRI ₁ / HIRQ ₁₂	動作モードとP4 ₅ DDRビットの組み合わせにより、次のように切り換わります。				
	P4 ₅ DDR	0		1	
	動作モード			スレーブモード以外	スレーブモード
	端子機能	P4 ₅ 入力端子	P4 ₅ 出力端子	HIRQ ₁₂ 出力端子	
		TMRI ₁ 入力端子*			
	【注】* 8ビットタイマ1のTCRのCCLR1、0ビットがいずれも1にセットした場合に、TMRI ₁ 入力端子として使用できます。				

表 7.9 ポート4の端子機能(2)

端子	選択方法と端子機能				
P4 ₄ /TMO ₁ / HIRQ ₁	動作モード、8ビットタイマ1のTCSRのOS3~0ビット、およびP4 ₄ DDRビットの組み合わせにより、次のように切り換わります。				
	OS3~0	すべてが0		いずれかが1	
	P4 ₄ DDR	0	1		
	動作モード	スレープモード以外		スレープモード	
端子機能	P4 ₄ 入力端子	P4 ₄ 出力端子	HIRQ ₁ 出力端子	TMO ₁ 出力端子	
P4 ₃ /TMCI ₁ / HIRQ ₁₁	動作モードとP4 ₃ DDRビットの組み合わせにより、次のように切り換わります。				
	P4 ₃ DDR	0	1		
	動作モード	スレープモード以外		スレープモード	
	端子機能	P4 ₃ 入力端子	P4 ₃ 出力端子	HIRQ ₁₁ 出力端子	
TMCI ₁ 入力端子*					
【注】* 8ビットタイマ1のTCRのCKS2~0ビットで外部のクロックを選択した場合に、TMCI ₁ 入力端子として使用できます。					
P4 ₂ /TMRI ₀	P4 ₂ DDR	0	1		
	端子機能	P4 ₂ 入力端子		P4 ₂ 出力端子	
	TMRI ₀ 入力端子*				
【注】* 8ビットタイマ0のTCRのCCLR1、0ビットがいずれも1にセットした場合に、TMRI ₀ 入力端子として使用できます。					
P4 ₁ /TMO ₀	8ビットタイマ0のTCSRのOS3~0ビットとP4 ₁ DDRのビットの組み合わせにより、次のように切り換わります。				
	OS3~0	すべてが0		いずれかが1	
	P4 ₁ DDR	0	1	0	1
	端子機能	P4 ₁ 入力端子	P4 ₁ 出力端子	TMO ₀ 出力端子	
P4 ₀ /TMCI ₀	P4 ₀ DDR	0	1		
	端子機能	P4 ₀ 入力端子		P4 ₀ 出力端子	
	TMCI ₀ 入力端子*				
【注】* 8ビットタイマ0のTCRのCKS2~0ビットで外部のクロックを選択した場合に、TMCI ₀ 入力端子として使用できます。					

7.6 ポート5

7.6.1 概要

ポート5は、3ビットの入出力ポートです。ポート5は、シリアルコミュニケーションインタフェース0 (SCI0) の入出力端子 (TxD₀、RxD₀、SCK₀) と兼用になっています。ポート5の端子機能は、いずれの動作モードでも共通です。

ポート5の端子構成を図7.13に示します。

ポート5は、1個のTTL負荷と30pFの容量負荷を駆動することができます。また、ダリントトランジスタを駆動することができます。

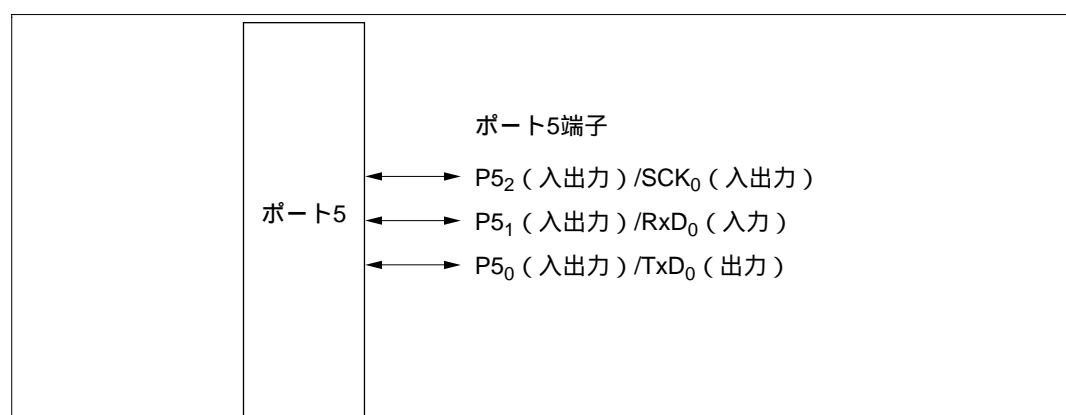


図 7.13 ポート5の端子構成

7.6.2 レジスタの構成と説明

表7.10にポート5のレジスタ構成を示します。

表 7.10 ポート5レジスタ構成

名称	略称	R/W	初期値	アドレス
ポート5データディレクションレジスタ	P5DDR	W	H'F8	H'FFB8
ポート5データレジスタ	P5DR	R/W	H'F8	H'FFBA

(1) ポート5 データディレクションレジスタ (P5DDR)

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	P5 ₂ DDR	P5 ₁ DDR	P5 ₀ DDR
初期値 :	1	1	1	1	1	0	0	0
R/W :	—	—	—	—	—	W	W	W

P5DDRは、8ビットのレジスタで、ポート5の各端子の入出力をビットごとに制御します。P5DDRに1をセットすると対応するポート5の端子は出力端子に、0にクリアすると入力端子になります。

P5DDRは、ライト専用レジスタで、リードは無効です。ビット7~3はリザーブビットです。リードすると、1が読み出されます。

リセットまたはハードウェアスタンバイモード時に、P5DDRはH'F8にイニシャライズされます。ソフトウェアスタンバイモード時には直前のP5DDRの状態を保持しています。そのためP5DDRが1にセットされた状態で、ソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

また、ポート5をSCIの端子として使用しているとき、ソフトウェアスタンバイモードに遷移すると、SCIがイニシャライズされるため、ポート5はP5DDRとP5DRで制御される入出力ポートに切り換わります。

(2) ポート5 データレジスタ (P5DR)

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	P5 ₂	P5 ₁	P5 ₀
初期値 :	1	1	1	1	1	0	0	0
R/W :	—	—	—	—	—	R/W	R/W	R/W

P5DRは、ポート5の各端子P5₂~P5₀のデータを格納する8ビットのレジスタです。

ビット7~3は、リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

P5DDRが1のとき、ポート5のリードを行うと、P5DRの値を直接リードします。そのため端子の状態の影響を受けません。P5DDRが0のときポート5のリードを行うと端子の状態が読み出されます。SCIの端子として使用している場合も同様です。

リセットまたはハードウェアスタンバイモード時に、P5DRは、H'F8にイニシャライズされます。ソフトウェアスタンバイモード時は、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

7.6.3 端子機能

ポート5は、いずれの動作モードにおいても端子機能は同じです。各端子は、SCIの入出力端子と兼用になっています。

ポート5の端子機能について表7.11に示します。

表 7.11 ポート5の端子機能

端子	選択方法と端子機能					
P5 ₂ /SCK ₀	SCI0のSMRのC/ \bar{A} ビット、SCRのCKE0、1ビットとP5 ₂ DDRビットの組み合わせにより、次のように切り換わります。					
	CKE1	0			1	
	C/ \bar{A}	0		1		
	CKE0	0		1		
	P5 ₂ DDR	0	1			
	端子機能	P5 ₂ 入力端子	P5 ₂ 出力端子	SCK ₀ 出力端子	SCK ₀ 出力端子	SCK ₀ 入力端子
P5 ₁ /RxD ₀	SCI0のSCRのREビットとP5 ₁ DDRビットの組み合わせにより、次のように切り換わります。					
	RE	0			1	
	P5 ₁ DDR	0	1			
	端子機能	P5 ₁ 入力端子	P5 ₁ 出力端子		RxD ₀ 入力端子	
P5 ₀ /TxD ₀	SCI0のSCRのTEビットとP5 ₀ DDRビットの組み合わせにより、次のように切り換わります。					
	TE	0			1	
	P5 ₀ DDR	0	1			
	端子機能	P5 ₀ 入力端子	P5 ₀ 出力端子		TxD ₀ 出力端子	

7.7 ポート6

7.7.1 概要

ポート6は、8ビットの入出力ポートです。ポート6は、16ビットフリーランニングタイマ(FRT)の入出力端子(FTOA、FTOB、FTIA~D、FTCI)、キーセンス入力端子、 \overline{IRQ}_6 、 \overline{IRQ}_7 入力端子と兼用になっています。ポート6の端子機能は、いずれの動作モードでも共通です。

ポート6の端子構成を図7.14に示します。

ポート6には、プログラムで制御可能な入力プルアップMOSが内蔵されています。

ポート6は、1個のTTL負荷と90pFの容量負荷を駆動することができます。また、ダラントトランジスタを駆動することができます。



図 7.14 ポート6の端子構成

7.7.2 レジスタの構成と説明

表7.12にポート6のレジスタ構成を示します。

表 7.12 ポート6レジスタ構成

名称	略称	R/W	初期値	アドレス
ポート6データディレクションレジスタ	P6DDR	W	H'00	H'FFB9
ポート6データレジスタ	P6DR	R/W	H'00	H'FFBB
ポート6入力プルアップMOSコントロールレジスタ	KMPCR	R/W	H'00	H'FFF2

(1) ポート 6 データディレクションレジスタ (P6DDR)

ビット :	7	6	5	4	3	2	1	0
	P6 ₇ DDR	P6 ₆ DDR	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

P6DDR は、8 ビットのレジスタで、ポート 6 の各端子の入出力をビットごとに制御します。P6DDR に、1 をセットすると対応するポート 6 の端子は出力端子に、0 にクリアすると入力端子になります。

P6DDR は、ライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

リセットまたはハードウェアスタンバイモード時、P6DDR は、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の P6DDR の状態を保持しています。そのため P6DDR が 1 にセットされた状態で、ソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

また、ポート 6 を FRT の端子として使用しているときに、ソフトウェアスタンバイモードに遷移すると、FRT がイニシャライズされるため、ポート 6 は P6DDR と P6DR で制御される入出力ポートに切り換わります。

(2) ポート 6 データレジスタ (P6DR)

ビット :	7	6	5	4	3	2	1	0
	P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P6DR は、ポート 6 の各端子 P6₇ ~ P6₀ のデータを格納する 8 ビットのレジスタです。

P6DDR が 1 のとき、ポート 6 のリードを行うと、P6DR の値を直接リードします。そのため端子の状態の影響を受けません。P6DDR が 0 のとき、ポート 6 のリードを行うと、端子の状態が読み出されます。FRT の端子として使用している場合も同様です。

リセットまたはハードウェアスタンバイモード時に、P6DR は、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

(3) ポート6入力プルアップMOSコントロールレジスタ(KMPCR)

ビット:	7	6	5	4	3	2	1	0
	KM ₇ PCR	KM ₆ PCR	KM ₅ PCR	KM ₄ PCR	KM ₃ PCR	KM ₂ PCR	KM ₁ PCR	KM ₀ PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

KMPCRは8ビットのリード/ライト可能なレジスタでポート6に内蔵した入力プルアップMOSをビットごとに制御します。

P6DDRを0にクリアした(入力ポートの)状態でKMPCRを1にセットすると入力プルアップMOSはONします。

リセットまたはハードウェアスタンバイモード時に、KMPCRはH'00にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

7.7.3 端子機能

ポート6は、いずれの動作モードにおいても端子機能は同じです。各端子は、FRTの入出力端子、キーセンス入力端子、または $\overline{\text{IRQ}}_6$ 、 $\overline{\text{IRQ}}_7$ 入力端子と兼用になっています。

ポート6の端子機能について、表7.13に示します。

表7.13 ポート6の端子機能(1)

端子	選択方法と端子機能				
P6 ₇ / $\overline{\text{IRQ}}_7$ / KEYIN ₇	P6 ₇ DDR	0		1	
	端子機能	P6 ₇ 入力端子		P6 ₇ 出力端子	
	$\overline{\text{IRQ}}_7$ 入力端子*またはKEYIN ₇ 入力端子				
【注】* IERのIRQ7Eビットを1にセットした場合に、 $\overline{\text{IRQ}}_7$ 入力端子として使用します。					
P6 ₆ /FTOB/ $\overline{\text{IRQ}}_6$ / KEYIN ₆	FRTのTOCRのOEBビットとP6 ₆ DDRビットの組み合わせにより、次のように切り換わります。				
	OEB	0		1	
	P6 ₆ DDR	0	1	0	1
	端子機能	P6 ₆ 入力端子	P6 ₆ 出力端子	FTOB出力端子	
$\overline{\text{IRQ}}_6$ 入力端子*またはKEYIN ₆ 入力端子					
【注】* IERのIRQ6Eビットを1にセットした場合に、 $\overline{\text{IRQ}}_6$ 入力端子として使用します。					
P6 ₅ /FTID/ KEYIN ₅	P6 ₅ DDR	0		1	
	端子機能	P6 ₅ 入力端子		P6 ₅ 出力端子	
	FTID入力端子またはKEYIN ₅ 入力端子				

表 7.13 ポート 6 の端子機能 (2)

端子	選択方法と端子機能				
P6 ₄ /FTIC/ $\overline{\text{KEYIN}}_4$	P6 ₄ DDR	0		1	
	端子機能	P6 ₄ 入力端子		P6 ₄ 出力端子	
		FTIC入力端子または $\overline{\text{KEYIN}}_4$ 入力端子			
P6 ₃ /FTIB/ $\overline{\text{KEYIN}}_3$	P6 ₃ DDR	0		1	
	端子機能	P6 ₃ 入力端子		P6 ₃ 出力端子	
		FTIB入力端子または $\overline{\text{KEYIN}}_3$ 入力端子			
P6 ₂ /FTIA/ $\overline{\text{KEYIN}}_2$	P6 ₂ DDR	0		1	
	端子機能	P6 ₂ 入力端子		P6 ₂ 出力端子	
		FTIA入力端子または $\overline{\text{KEYIN}}_2$ 入力端子			
P6 ₁ /FTOA/ $\overline{\text{KEYIN}}_1$	FRT の TOCR の OEA ビットと P6 ₁ DDR ビットの組み合わせにより、次のように切り換わります。				
	OEA	0		1	
	P6 ₁ DDR	0	1	0	1
	端子機能	P6 ₁ 入力端子	P6 ₁ 出力端子	FTOA出力端子	
		$\overline{\text{KEYIN}}_1$ 入力端子			
P6 ₀ /FTCI/ $\overline{\text{KEYIN}}_0$	P6 ₀ DDR	0		1	
	端子機能	P6 ₀ 入力端子		P6 ₀ 出力端子	
		FTCI入力端子*または $\overline{\text{KEYIN}}_0$ 入力端子			
【注】* FRTのTCRのCKS1~0ビットで外部クロックを選択した場合に、FTCI入力端子として使用します。					

7.7.4 入力プルアップ MOS

ポート 6 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、ビット単位で ON/OFF を指定できます。

KMPCR を 1 にセットかつ P6DDR を 0 にクリアすると、入力プルアップ MOS は ON となります。リセットまたはハードウェアスタンバイモード時には KMPCR が 0 にクリアされるため、入力プルアップ MOS は OFF します。ソフトウェアスタンバイモード時には直前の状態を保持します。

各動作モードでの、入力プルアップ MOS の状態を表 7.14 に示します。

表 7.14 入力プルアップ MOS の状態 (ポート 6)

モード	リセット	ハードウェアスタンバイ モード	ソフトウェアスタンバイ モード	その他の動作時
1	OFF		ON/OFF	
2				
3				

<記号説明>

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON/OFF : KMPCR = 1 かつ、P6DDR = 0 のとき ON 状態、その他の時は OFF 状態です。

7.8 ポート7

7.8.1 概要

ポート7は、8ビットの入力専用ポートです。ポート7は、A/D変換器のアナログ入力端子、D/A変換器のアナログ出力端子と兼用になっています。これらの端子機能は、いずれの動作モードでも共通です。ポート7の端子構成を図7.15に示します。

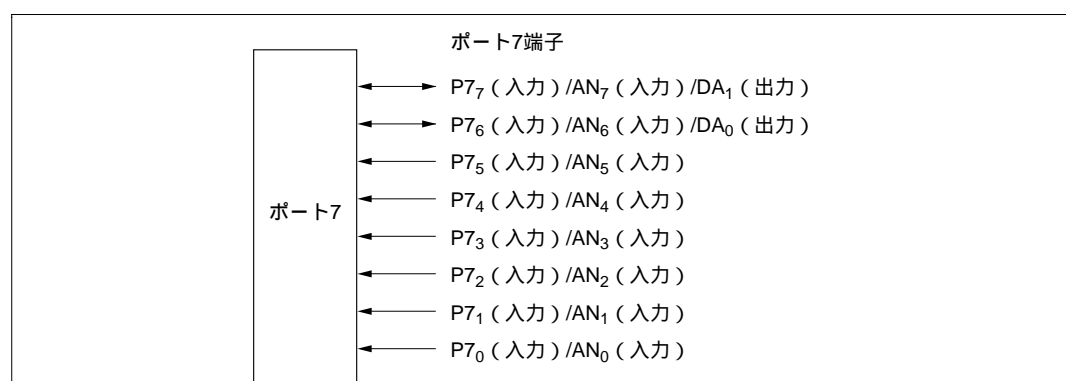


図 7.15 ポート7の端子構成

7.8.2 レジスタの構成と説明

表7.15にポート7のレジスタ構成を示します。ポート7は、入力専用ポートでありデータディレクションレジスタはありません。

表 7.15 ポート7レジスタ構成

名称	略称	R/W	初期値	アドレス
ポート7入力データレジスタ	P7PIN	R	不定	H'FFBE

【注】 ポート7入力データレジスタ (P7PIN) は、アドレスがポートBデータディレクションレジスタ (PBDDR) と同じです。

(1) ポート7入力データレジスタ (P7PIN)

ビット:	7	6	5	4	3	2	1	0
	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀
初期値:	—*	—*	—*	—*	—*	—*	—*	—*
R/W:	R	R	R	R	R	R	R	R

【注】* P7₇~P7₀端子により決定されます。

P7PINのリードを行うと、常に端子の状態が読み出されます。

P7PINはリード専用レジスタでライトは無効です。ライトはPBDDRに対して行われません。

7.9 ポート 8

7.9.1 概要

ポート 8 は、7 ビットの入出力ポートです。ホストインタフェース (HIF) の入力端子 (HA_0 、 GA_{20} 、 \overline{CS}_1 、 \overline{IOR} 、 \overline{IOW} 、 \overline{CS}_2)、シリアルコミュニケーションインタフェース I (SCI1) の入出力端子 (TxD_1 、 RxD_1 、 SCK_1)、I²C バスインタフェースのクロック入出力端子 (SCL)、 $\overline{IRQ}_5 \sim \overline{IRQ}_3$ 入力端子と兼用になっています。

ポート 8 の端子構成を図 7.16 に示します。P8₅、P8₄ の端子機能の設定方法は、P8₆、P8₃ ~ P8₀ とは異なり、STCR の STAC ビットが関係します。

ポート 8 は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ダラリントトランジスタを駆動することができます。

P8₆ 端子はバスバッファ駆動が可能です。詳しくは「第 13 章 I²C バスインタフェース」を参照してください。

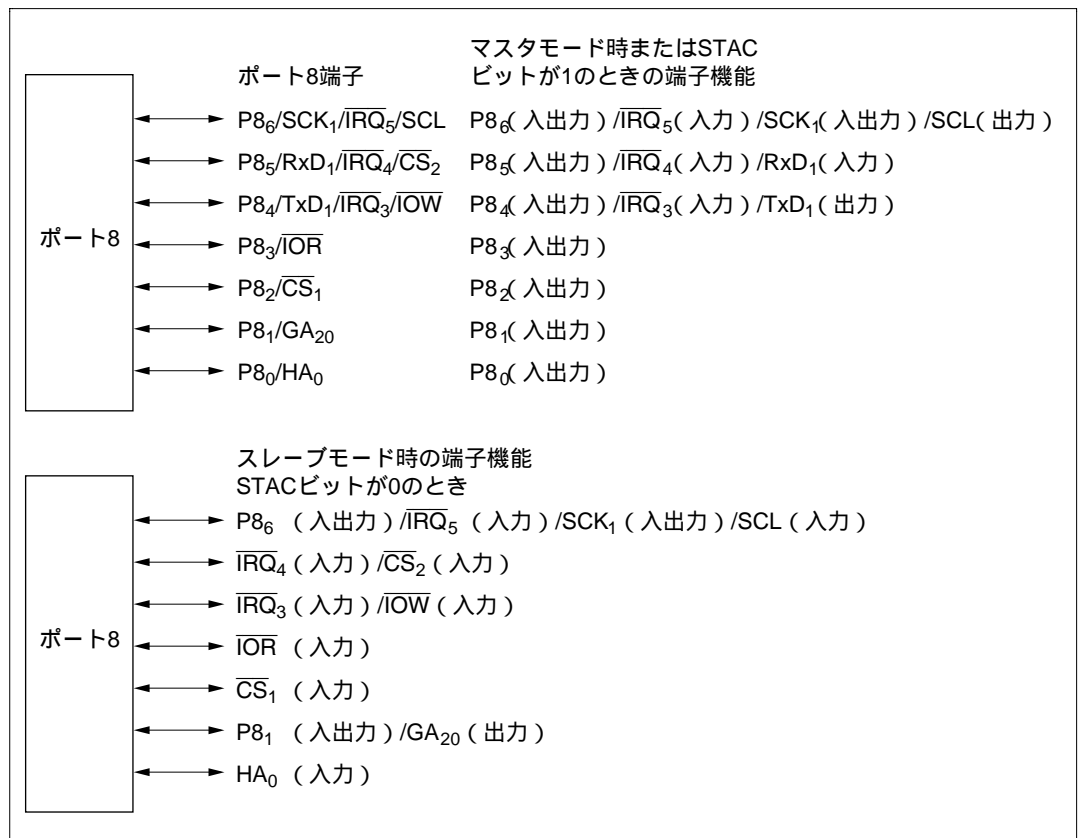


図 7.16 ポート 8 の端子構成

7.9.2 レジスタの構成と説明

表 7.16 にポート 8 のレジスタ構成を示します。

表 7.16 ポート 8 レジスタ構成

名称	略称	R/W	初期値	アドレス
ポート 8 データディレクションレジスタ	P8DDR	W	H'80	H'FFBD
ポート 8 データレジスタ	P8DR	R/W	H'80	H'FFBF

【注】 ポート 8 データディレクションレジスタ (P8DDR) のアドレスは、ポート B 入力データレジスタ (PBPIN) と同じです。

(1) ポート 8 データディレクションレジスタ (P8DDR)

ビット :	7	6	5	4	3	2	1	0
	—	P8 ₆ DDR	P8 ₅ DDR	P8 ₄ DDR	P8 ₃ DDR	P8 ₂ DDR	P8 ₁ DDR	P8 ₀ DDR
初期値 :	1	0	0	0	0	0	0	0
R/W :	—	W	W	W	W	W	W	W

P8DDR は、8 ビットのレジスタで、ポート 8 の各端子の入出力をビットごとに制御します。P8DDR に 1 をセットすると対応するポート 8 端子は出力端子に、0 にクリアすると入力端子になります。P8DDR は、ライト専用レジスタで、リードは無効です。ビット 7 はリザーブビットです。リードすると 1 が読み出されます。

リセットまたはハードウェアスタンバイモード時、P8DDR は H'80 にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の P8DDR の状態を保持しています。そのため P8DDR が 1 にセットされた状態で、ソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート 8 データレジスタ (P8DR)

ビット :	7	6	5	4	3	2	1	0
	—	P8 ₆	P8 ₅	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀
初期値 :	1	0	0	0	0	0	0	0
R/W :	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

P8DR は、ポート 8 の各端子 P8₆ ~ P8₀ のデータを格納する 8 ビットのレジスタです。ビット 7 はリザーブビットです。リードすると常に 1 が読み出されます。

P8DDR が 1 のとき、ポート 8 のリードを行うと、P8DR の値を直接リードします。そのため端子の状態の影響を受けません。P8DDR が 0 のとき、ポート 8 のリードを行うと、端子の状態が読み出されます。内蔵周辺モジュールの端子として使用している場合も同様です。

リセットまたはハードウェアスタンバイモード時、P8DR は、H'80 にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

7.9.3 端子機能

P8₆ ~ P8₀端子は HIF の入出力端子、SCI1 の入出力端子、I²C のクロック入出力端子、 \overline{IRQ}_5 ~ \overline{IRQ}_3 入力端子と兼用になっています。

P8₆ ~ P8₀端子の端子機能について表 7.17 に示します。

表 7.17 ポート 8 の端子機能 (1)

端子	選択方法と端子機能						
P8 ₆ / \overline{IRQ}_5 / SCK ₁ /SCL	SCI1 の SMR の C/ \overline{A} ビット、SCR の CKE0、1 ビット、ICCR の ICE ビットと P8 ₆ DDR の組み合わせにより次のように切り換わります。						
	ICE	0				1	
	CKE1	0			1		
	C/ \overline{A}	0		1			
	CKE0	0		1			
	P8 ₆ DDR	0	1				
	端子機能	P8 ₆ 入力端子	P8 ₆ 出力端子	SCK ₁ 出力端子	SCK ₁ 出力端子	SCK ₁ 入力端子	SCL 入出力端子
		\overline{IRQ}_5 入力端子*					
	【注】* IERのIRQ5Eビットを1にセットした場合に \overline{IRQ}_5 入力端子として使用しません。						
P8 ₅ / \overline{IRQ}_4 / \overline{CS}_2 /RxD ₁	動作モードと SCI1 の SCR の RE ビット、STCR の STAC ビット、P8 ₅ DDR との組み合わせにより、次のように切り換わります。						
	動作モード	スレープモード			スレープモード以外		
	STAC	0	1				
	RE		0		1		
	P8 ₅ DDR		0	1	0	1	
	端子機能	\overline{CS}_2 入力端子	P8 ₅ 入力端子	P8 ₅ 出力端子	RxD ₁ 入力端子	P8 ₅ 入力端子	P8 ₅ 出力端子
		\overline{IRQ}_4 入力端子*					
	【注】* IERのIRQ4Eビットを1にセットした場合に \overline{IRQ}_4 入力端子として使用しません。						

表 7.17 ポート 8 の端子機能 (2)

端子	選択方法と端子機能							
P8 ₄ / $\overline{\text{IRQ}}_3$ / $\overline{\text{IOW}}/\text{TxD}_1$	動作モードと SCR の TE ビット、STCR の STAC ビット、P8 ₄ DDR との組み合わせにより、次のように切り換わります。							
	動作モード	スレープモード				スレープモード以外		
	STAC	0		1				
	TE			0	1	0		1
	P8 ₄ DDR			0	1	0		1
端子機能	$\overline{\text{IOW}}$ 入力端子	P8 ₄ 入力端子	P8 ₄ 出力端子	TxD ₁ 出力端子	P8 ₄ 入力端子	P8 ₄ 出力端子	TxD ₁ 出力端子	
	$\overline{\text{IRQ}}_3$ 入力端子*							
	【注】* IERのIRQ3Eビットを1にセットした場合に $\overline{\text{IRQ}}_3$ 入力端子として使用します。							
P8 ₃ / $\overline{\text{IOR}}$	動作モードと P8 ₃ DDR との組み合わせにより、次のように切り換わります。							
	動作モード	スレープモード		スレープモード以外				
	P8 ₃ DDR			0		1		
	端子機能	$\overline{\text{IOR}}$ 入力端子		P8 ₃ 入力端子		P8 ₃ 出力端子		
P8 ₂ / $\overline{\text{CS}}_1$	動作モードと P8 ₂ DDR との組み合わせにより、次のように切り換わります。							
	動作モード	スレープモード		スレープモード以外				
	P8 ₂ DDR			0		1		
	端子機能	$\overline{\text{CS}}_1$ 入力端子		P8 ₂ 入力端子		P8 ₂ 出力端子		
P8 ₁ /GA ₂₀	動作モードと P8 ₁ DDR との組み合わせにより、次のように切り換わります。							
	P8 ₁ DDR	0		1				
	FGA20E			0	1			
	動作モード					スレープモード以外	スレープモード	
	端子機能	P8 ₁ 入力端子		P8 ₁ 出力端子			GA ₂₀ 出力端子	
P8 ₀ /HA ₀	動作モードと P8 ₀ DDR との組み合わせにより、次のように切り換わります。							
	動作モード	スレープモード		スレープモード以外				
	P8 ₀ DDR			0		1		
	端子機能	HA ₀ 入力端子		P8 ₀ 入力端子		P8 ₀ 出力端子		

7.10 ポート9

7.10.1 概要

ポート9は、8ビットの入出力ポートです。ポート9は、 $\overline{IRQ}_0 \sim \overline{IRQ}_2$ 入力端子、バス制御信号の入出力端子 (\overline{RD} 、 \overline{WR} 、 \overline{AS} 、 \overline{WAIT})、A/D変換器の入力端子 (\overline{ADTRG})、システムクロック()出力端子、ホストインタフェース(HIF)の入力端子(\overline{ECS}_2 、 \overline{EIOW})、I²Cデータ入出力端子(SDA)と兼用になっています。ポート9の端子構成を図7.17に示します。P9₁、P9₀の端子機能の設定方法は、P9₇~P9₂とは異なり、STCRのSTACビットが関係します。

ポート9は、1個のTTL負荷と90pFの容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

P9₇端子はバスバッファ駆動が可能です。詳しくは「第13章 I²Cバスインタフェース」を参照してください。

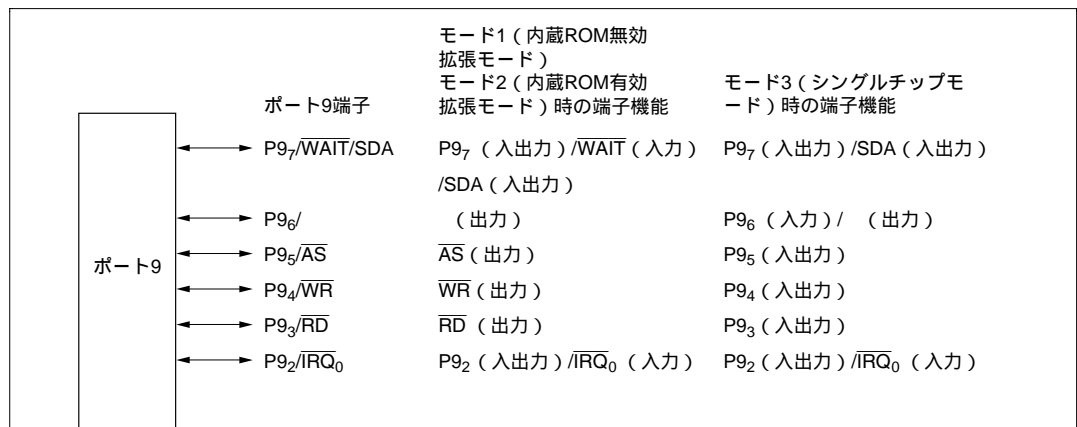


図 7.17 ポート9の端子構成 (1)

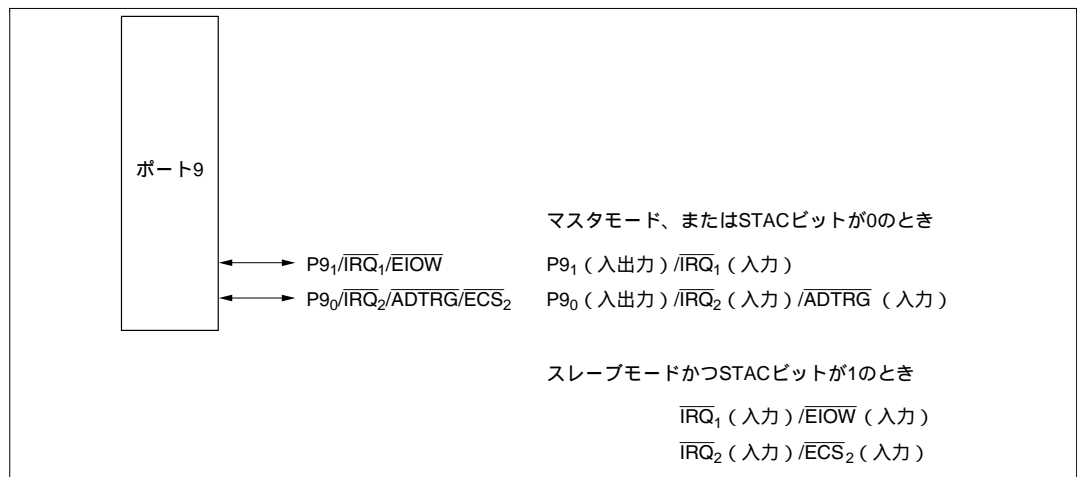


図 7.17 ポート9の端子構成 (2)

7.10.2 レジスタの構成と説明

表 7.18 にポート 9 のレジスタ構成を示します。

表 7.18 ポート 9 レジスタ構成

名称	略称	R/W	初期値		アドレス
			モード 1、2	モード 3	
ポート 9 データディレクションレジスタ	P9DDR	W	H'40	H'00	H'FFC0
ポート 9 データレジスタ	P9DR	R/W* ¹	不定* ²		H'FFC1

【注】 *1 ビット 6 はリードのみです。

*2 ビット 6 のみ不定です。その他のビットは 0 です。

(1) ポート 9 データディレクションレジスタ (P9DDR)

ビット:		7	6	5	4	3	2	1	0
		P9 ₇ DDR	P9 ₆ DDR	P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR
モード 1、2	初期値:	0	1	0	0	0	0	0	0
	R/W:	W	—	W	W	W	W	W	W
モード 3	初期値:	0	0	0	0	0	0	0	0
	R/W:	W	W	W	W	W	W	W	W

P9DDR は、8 ビットのレジスタで、ポート 9 の各端子の入出力をビットごとに制御します。P9DDR に 1 をセットすると対応するポート 9 端子は出力に、0 にクリアすると入力端子になります。ただし、モード 1、2 では P9₆DDR は 1 に固定され、ライトは無効です。

P9DDR は、ライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

リセットまたはハードウェアスタンバイモード時、P9DDR は、モード 1、2 では H'40 に、モード 3 では H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、P9DDR は直前の状態を保持しています。そのため、P9DDR が 1 にセットされた状態で、ソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなります。

(2) ポート9データレジスタ (P9DR)

ビット：	7	6	5	4	3	2	1	0
	P9 ₇	P9 ₆	P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀
初期値：	0	—*	0	0	0	0	0	0
R/W：	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

【注】* P9₆端子により決定されます。

P9DRは、ポート9の各端子P9₇～P9₀のデータを格納する8ビットのレジスタです。

P9₆以外ではP9DDRが1のときポート9のリードを行うと、P9DRの値が直接読み出されます。そのため端子の状態の影響を受けません。P9DDRが0のとき、ポート9のリードを行うと端子の状態が読み出されます。P9₆のリードを行うと常に端子の状態が読み出されます。内蔵周辺モジュールの端子、バス制御の端子として使用している場合も同様です。

リセットまたはハードウェアスタンバイモード時に、P9DRは、P9₆を除き0にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

7.10.3 端子機能

ポート9の端子機能はモード1、2とモード3で異なります。各端子は $\overline{IRQ_0} \sim \overline{IRQ_2}$ 入力端子、バス制御信号の入出力端子、A/D変換器の入力端子、システムクロック()出力端子、ホストインタフェース(HIF)の入力端子($\overline{ECS_2}$ 、 \overline{EIOW})、I²Cデータ入出力端子(SDA)と兼用になっています。ポート9の端子機能について表7.19に示します。

表 7.19 ポート9の端子機能(1)

端子	選択方法と端子機能						
P9 ₇ / \overline{WAIT} / SDA	動作モードとWSCRによって決まるウェイトモード、ICCRのICEビットとP9 ₇ DDRビットの組み合わせにより次のように切り換わります。						
	動作モード	モード1、2			モード3		
	ウェイトモード	WAIT使用	WAIT不使用				
	ICE		0	1	0	1	
	P9 ₇ DDR		0	1		0	1
端子機能	\overline{WAIT} 入力端子	P9 ₇ 入力端子	P9 ₇ 出力端子	SDA入出力端子	P9 ₇ 入力端子	P9 ₇ 出力端子	SDA入出力端子
P9 ₆ / 	動作モードとP9 ₆ DDRの組み合わせにより次のように切り換わります。						
	動作モード	モード1、2		モード3			
	P9 ₆ DDR	1(固定)		0	1		
	端子機能	出力端子		P9 ₆ 入力端子	出力端子		
P9 ₅ / \overline{AS}	動作モードとP9 ₅ DDRビットの組み合わせにより次のように切り換わります。						
	動作モード	モード1、2		モード3			
	P9 ₅ DDR			0	1		
	端子機能	\overline{AS} 出力端子		P9 ₅ 入力端子	P9 ₅ 出力端子		
P9 ₄ / \overline{WR}	動作モードとP9 ₄ DDRビットの組み合わせにより次のように切り換わります。						
	動作モード	モード1、2		モード3			
	P9 ₄ DDR			0	1		
	端子機能	\overline{WR} 出力端子		P9 ₄ 入力端子	P9 ₄ 出力端子		
P9 ₃ / \overline{RD}	動作モードとP9 ₃ DDRビットの組み合わせにより次のように切り換わります。						
	動作モード	モード1、2		モード3			
	P9 ₃ DDR			0	1		
	端子機能	\overline{RD} 出力端子		P9 ₃ 入力端子	P9 ₃ 出力端子		

表 7.19 ポート 9 の端子機能 (2)

端子	選択方法と端子機能					
P9 ₂ / $\overline{\text{IRQ}}_0$	P9 ₂ DDR	0		1		
	端子機能	P9 ₂ 入力端子		P9 ₂ 出力端子		
	$\overline{\text{IRQ}}_0$ 入力端子*					
【注】* IERのIRQ0Eビットを1にセットした場合に、 $\overline{\text{IRQ}}_0$ 入力端子として使用します。						
P9 ₁ / $\overline{\text{IRQ}}_1$ / EIOW	STCRのSTACビットとP9 ₁ DDRとの組み合わせにより、次のように切り換わります。					
	動作モード	スレーブモード			スレーブモード以外	
	STAC	0		1		
	P9 ₁ DDR	0	1		0	1
	端子機能	P9 ₁ 入力端子	P9 ₁ 出力端子	$\overline{\text{EIOW}}$ 入力端子	P9 ₁ 入力端子	P9 ₁ 出力端子
$\overline{\text{IRQ}}_1$ 入力端子*						
【注】* IERのIRQ1Eビットを1にセットした場合に、 $\overline{\text{IRQ}}_1$ 入力端子として使用します。						
P9 ₀ / $\overline{\text{IRQ}}_2$ / $\overline{\text{ADTRG}}$ / $\overline{\text{ECS}}_2$	STCRのSTACビットとP9 ₀ DDRとの組み合わせにより、次のように切り換わります。					
	動作モード	スレーブモード			スレーブモード以外	
	STAC	0		1		
	P9 ₀ DDR	0	1		0	1
	端子機能	P9 ₀ 入力端子	P9 ₀ 出力端子	$\overline{\text{ECS}}_2$ 入力端子	P9 ₀ 入力端子	P9 ₀ 出力端子
$\overline{\text{IRQ}}_2$ 入力端子* ¹ $\overline{\text{ADTRG}}$ 入力端子* ² $\overline{\text{IRQ}}_2$ 入力端子* ¹ $\overline{\text{IRQ}}_2$ 入力端子* ¹ $\overline{\text{ADTRG}}$ 入力端子* ²						
【注】*1 IERのIRQ2Eビットを1にセットした場合に、 $\overline{\text{IRQ}}_2$ 入力端子として使用します。						
*2 A/D変換器のADCRのTRGEビットを1にセットした場合に $\overline{\text{ADTRG}}$ 入力端子として使用します。						

7.11 ポート A

7.11.1 概要

ポート A は、8 ビットの入出力ポートです。ポート A は、キーセンス入力端子と兼用になっています。ポート A の端子機能は、いずれの動作モードでも共通です。

ポート A の端子構成を図 7.18 に示します。

ポート A には、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート A は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダートリントランジスタを駆動することができます。

PA₄、PA₅、PA₆、PA₇ 端子はバスバッファ駆動が可能です。詳しくは「第 13 章 I²C バスインタフェース」を参照してください。

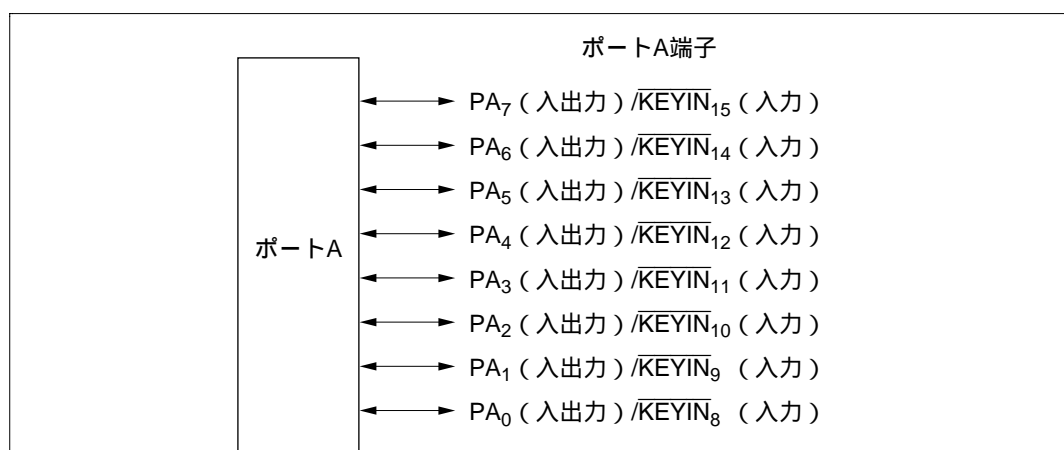


図 7.18 ポート A の端子構成

7.11.2 レジスタの構成と説明

表 7.20 にポート A のレジスタ構成を示します。

表 7.20 ポート A レジスタ構成

名称	略称	R/W	初期値	アドレス
ポート A データディレクションレジスタ	PADDR	W	H'00	H'FFAB
ポート A 出力データレジスタ	PAODR	R/W	H'00	H'FFAA
ポート A 入力データレジスタ	PAPIN	R	不定	H'FFAB

【注】 データディレクションレジスタ (PADDR) と入力データレジスタ (PAPIN) は同じアドレスです。

(1) ポート A データディレクションレジスタ (PADDR)

ビット :	7	6	5	4	3	2	1	0
	PA ₇ DDR	PA ₆ DDR	PA ₅ DDR	PA ₄ DDR	PA ₃ DDR	PA ₂ DDR	PA ₁ DDR	PA ₀ DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PADDR は、8 ビットのレジスタで、ポート A の各端子の入出力をビットごとに制御します。PADDR に 1 をセットすると対応するポート A 端子は出力端子に、0 にクリアすると入力端子になります。

リセットまたはハードウェアスタンバイモード時、PADDR は、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の PADDR の状態を保持しています。そのため PADDR が 1 にセットされた状態で、ソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート A 出力データレジスタ (PAODR)

ビット :	7	6	5	4	3	2	1	0
	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PAODR は、ポート A の各端子 PA₇ ~ PA₀ のデータを格納する 8 ビットのレジスタです。PADDR の内容と関わりなく、常に PAODR のリード/ライトが可能です。

リセットまたはハードウェアスタンバイモード時に、PAODR は、H'00 にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

(3) ポート A 入力データレジスタ (PAPIN)

ビット :	7	6	5	4	3	2	1	0
	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀
初期値 :	—*	—*	—*	—*	—*	—*	—*	—*
R/W :	R	R	R	R	R	R	R	R

【注】* PA₇ ~ PA₀ 端子により決定されます。

PAPIN のリードを行うと、常に端子の状態が読み出されます。

7.11.3 端子機能

ポート A は、いずれの動作モードにおいても端子機能は同じです。

ポート A の端子機能について、表 7.21 に示します。

表 7.21 ポート A の端子機能 (1)

端子	選択方法と端子機能		
PA ₇ / KEYIN ₁₅	PA ₇ DDR	0	1
	端子機能	PA ₇ 入力端子	PA ₇ 出力端子
	KEYIN ₁₅ 入力端子		
STCR の IICS ビットを 1 にセットするとバスバッファとなります。			
PA ₆ / KEYIN ₁₄	PA ₆ DDR	0	1
	端子機能	PA ₆ 入力端子	PA ₆ 出力端子
	KEYIN ₁₄ 入力端子		
STCR の IICS ビットを 1 にセットするとバスバッファとなります。			
PA ₅ / KEYIN ₁₃	PA ₅ DDR	0	1
	端子機能	PA ₅ 入力端子	PA ₅ 出力端子
	KEYIN ₁₃ 入力端子		
STCR の IICS ビットを 1 にセットするとバスバッファとなります。			
PA ₄ / KEYIN ₁₂	PA ₄ DDR	0	1
	端子機能	PA ₄ 入力端子	PA ₄ 出力端子
	KEYIN ₁₂ 入力端子		
STCR の IICS ビットを 1 にセットするとバスバッファとなります。			
PA ₃ / KEYIN ₁₁	PA ₃ DDR	0	1
	端子機能	PA ₃ 入力端子	PA ₃ 出力端子
	KEYIN ₁₁ 入力端子		
PA ₂ / KEYIN ₁₀	PA ₂ DDR	0	1
	端子機能	PA ₂ 入力端子	PA ₂ 出力端子
	KEYIN ₁₀ 入力端子		
PA ₁ / KEYIN ₉	PA ₁ DDR	0	1
	端子機能	PA ₁ 入力端子	PA ₁ 出力端子
	KEYIN ₉ 入力端子		

表 7.21 ポート A の端子機能 (2)

端子	選択方法と端子機能		
	PA ₀ DDR	0	1
PA ₀ / KEYIN ₈	端子機能	PA ₀ 入力端子	PA ₀ 出力端子
		KEYIN ₈ 入力端子	

7.11.4 入力プルアップ MOS

ポート A は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、いずれの動作モードでも使用できます。

PADDR が 0 にクリアされている状態で、PAODR に 1 をライトしたとき、入力プルアップ MOS は ON となります。

また、入力プルアップ MOS、リセットまたはハードウェアスタンバイモード時に、OFF になります。

各動作モードでの、入力プルアップ MOS の状態を表 7.22 に示します。

表 7.22 入力プルアップ MOS の状態 (ポート A)

モード	リセット	ハードウェアスタンバイ モード	ソフトウェアスタンバイ モード	その他の動作時
1	OFF		ON/OFF	
2				
3				

<記号説明>

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON/OFF : PADDR = 0 で、PAODR = 1 のとき ON になり、それ以外るとき OFF 状態です。

7.12 ポート B

7.12.1 概要

ポート B は、8ビットの入出力ポートです。ホストインタフェースデータバスとの兼用になっています。ポート B の各端子は、図 7.19 に示す構成になっています。図 7.19 に示すように、各端子の機能は、動作モードによって切り換わります。

ポート B には、プログラムで制御可能な入力プルアップ MOS が内蔵されています。

ポート B は、1個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダリントントランジスタを駆動することもできます。

ポート B 端子	モード1 (内蔵ROM無効拡張モード)		モード3 (シングル チップモード) 時の端子機能
	モード2 (内蔵ROM有効拡張モード) マスタモード	スレーブモード	
←→ PB ₇ /XDB ₇	PB ₇ (入出力)	XDB ₇ (入出力)	PB ₇ (入出力)
←→ PB ₆ /XDB ₆	PB ₆ (入出力)	XDB ₆ (入出力)	PB ₆ (入出力)
←→ PB ₅ /XDB ₅	PB ₅ (入出力)	XDB ₅ (入出力)	PB ₅ (入出力)
←→ PB ₄ /XDB ₄	PB ₄ (入出力)	XDB ₄ (入出力)	PB ₄ (入出力)
←→ PB ₃ /XDB ₃	PB ₃ (入出力)	XDB ₃ (入出力)	PB ₃ (入出力)
←→ PB ₂ /XDB ₂	PB ₂ (入出力)	XDB ₂ (入出力)	PB ₂ (入出力)
←→ PB ₁ /XDB ₁	PB ₁ (入出力)	XDB ₁ (入出力)	PB ₁ (入出力)
←→ PB ₀ /XDB ₀	PB ₀ (入出力)	XDB ₀ (入出力)	PB ₀ (入出力)

図 7.19 ポート B の端子構成

7.12.2 レジスタの構成と説明

表 7.23 にポート B のレジスタ構成を示します。

表 7.23 ポート B レジスタ構成

名称	略称	R/W	初期値	アドレス
ポート B データディレクションレジスタ	PBDDR	W	H'00	H'FFBE
ポート B 出力データレジスタ	PBODR	R/W	H'00	H'FFBC
ポート B 入力データレジスタ	PBPIN	R	不定	H'FFBD

【注】 ポート B データディレクションレジスタ (PBDDR) は、アドレスがポート 7 入力データレジスタ 7 (P7PIN) と同じです。

(1) ポート B データディレクションレジスタ (PBDDR)

ビット :	7	6	5	4	3	2	1	0
	PB ₇ DDR	PB ₆ DDR	PB ₅ DDR	PB ₄ DDR	PB ₃ DDR	PB ₂ DDR	PB ₁ DDR	PB ₀ DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

PBDDRは8ビットのレジスタで、ポートBの各端子の入出力をビットごとに制御します。PBDDRに1をセットすると対応するポートBの端子は出力端子になり、0にクリアすると入力端子になります。PBDDRはライト専用のレジスタで、リードはポート7入力データレジスタ(P7PIN)に対して行われ、ポート7の端子の状態が読み出されます。

リセットまたはハードウェアスタンバイモード時、PBDDRはH'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前のPBDDRの状態を保持しています。そのため、PBDDRが1にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート B 出力データレジスタ (PBODR)

ビット :	7	6	5	4	3	2	1	0
	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PBODRは、ポートBの各端子PB₇~PB₀のデータを格納する8ビットのレジスタです。PBDDRの内容に関わりなく、常にPBODRのリード/ライトが可能です。

リセットまたはハードウェアスタンバイモード時に、PBODRは、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、ソフトウェアスタンバイモードに遷移する直前の状態を保持しています。

(3) ポート B 入力データレジスタ (PBPIN)

ビット :	7	6	5	4	3	2	1	0
	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀
初期値 :	—*	—*	—*	—*	—*	—*	—*	—*
R/W :	R	R	R	R	R	R	R	R

【注】* PB₇~PB₀端子により決定されます。

PBPINのリードを行うと、常に端子の状態が読み出されます。

7.12.3 モード別端子機能

ポートBは、モード別に、各端子の機能が異なります。以下に動作モード別に説明します。

(1) モード1、2の端子機能

モード1(内蔵ROM無効拡張モード)、モード2(内蔵ROM有効拡張モード)の時、システムコントロールレジスタ(SYSCR)のホストインタフェースイネーブルビット(HIE)が0にクリアされると、ポートBは入出力ポートとなります。

HIEビットが1にセットされ、スレーブモードに遷移すると、ポートBはホストインタフェースデータバス(XDB₇~XDB₀)となります。スレーブモードでは、PBODRとPBDDRはH'00にクリアしてください。

詳細は「第14章 ホストインタフェース」を参照してください。

モード1、2の端子機能を図7.20に示します。

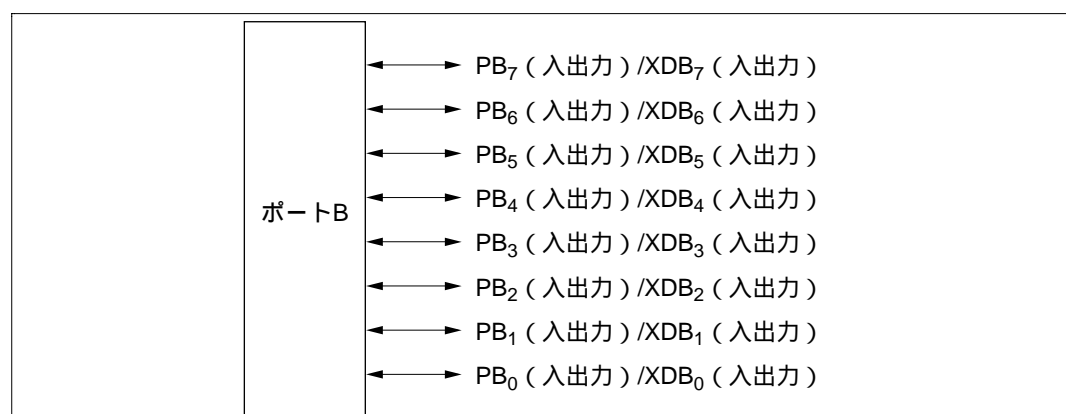


図 7.20 モード1、2の端子機能(ポートB)

(2) モード3の端子機能

モード3(シングルチップモード)の時、各端子はビット単位で入出力を指定可能です。PBDDRの各ビットを1にセットすると対応する端子は出力端子になり、0にクリアすると対応する端子は入力端子になります。

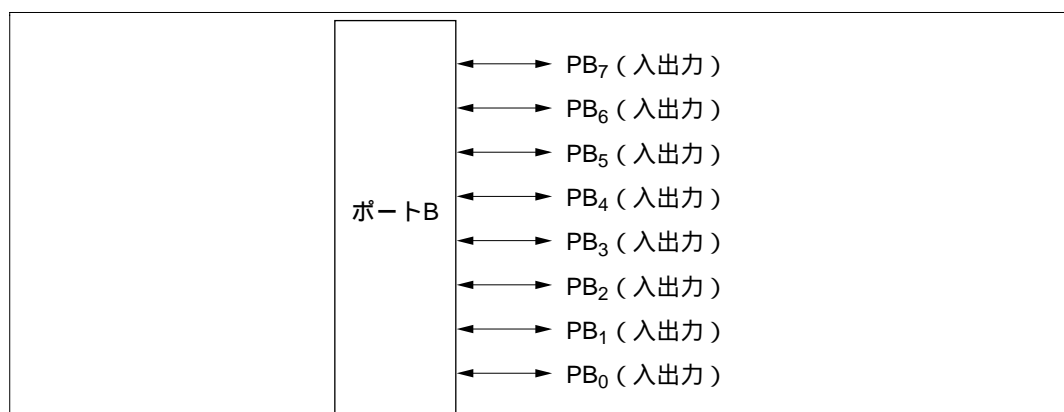


図 7.21 モード3の端子機能 (ポートB)

7.12.4 入力プルアップMOS

ポートBは、プログラムで制御可能な入力プルアップを内蔵しています。この入力プルアップは、モード3のとき使用でき、ビット単位でON/OFFを指定できます。

モード3のとき、PBDDRが0にクリアされている状態で、PBODRに1をライトしたとき、入力プルアップMOSはONとなります。

また、入力プルアップはリセットまたはハードウェアスタンバイモード時にOFFになります。ソフトウェアスタンバイモード時には直前の状態を保持します。

各動作モードでの、入力プルアップの状態を表7.24に示します。

表 7.24 入力プルアップの状態 (ポートB)

モード	リセット	ハードウェアスタンバイ モード	ソフトウェアスタンバイ モード	その他の動作時
1		OFF	ON/OFF	
2				
3				

<記号説明>

OFF : 入力プルアップは、常にOFF状態です。

ON/OFF : PBDDR = 0で、PBDR = 1のときON状態、その他のときはOFF状態です。

8. 16ビットフリーランニング タイマ

第8章 目次

8.1	概要.....	169
	8.1.1 特長.....	169
	8.1.2 ブロック図.....	170
	8.1.3 端子構成.....	171
	8.1.4 レジスタ構成.....	171
8.2	各レジスタの説明.....	172
	8.2.1 フリーランニングカウンタ (FRC)	172
	8.2.2 アウトプットコンペアレジスタ A、B (OCRA、OCRB)	172
	8.2.3 インプットキャプチャレジスタ A~D (ICRA~ICRD)	173
	8.2.4 タイマインタラプトイネーブルレジスタ (TIER)	174
	8.2.5 タイマコントロール/ステータスレジスタ (TCSR)	176
	8.2.6 タイマコントロールレジスタ (TCR)	180
	8.2.7 タイマアウトプットコンペアコントロールレジスタ (TOCR)	182
8.3	CPUとのインタフェース	184
8.4	動作説明.....	186
	8.4.1 FRCのカウントタイミング.....	186
	8.4.2 アウトプットコンペア出力タイミング.....	187
	8.4.3 FRCのクリアタイミング.....	187
	8.4.4 インプットキャプチャ入力タイミング.....	188
	8.4.5 インプットキャプチャフラグ (ICFA~ICFD) のセットタイミング.....	190
	8.4.6 アウトプットコンペアフラグ (OCFA、OCFB) のセットタイミング.....	191
	8.4.7 タイマオーバフローフラグ (OVF) のセットタイミング.....	191
8.5	割り込み要因.....	192
8.6	FRTの使用例.....	193
8.7	使用上の注意.....	194

8.1 概要

本 LSI は、16 ビットフリーランニングタイマ (FRT : Free Running Timer) を 1 チャンネル内蔵しています。

FRT は、16 ビットのフリーランニングカウンタ (FRC) をベースにして、2 種類の独立した波形出力が可能であり、また入力パルスの幅や外部クロックの周期を測定することができます。

8.1.1 特長

FRT の特長を以下に示します。

4 種類のカウンタ入力クロックを選択可能

3 種類の内部クロック ($f_p/2$ 、 $f_p/8$ 、 $f_p/32$) と外部クロックのうちから選択可能 (外部イベントのカウントが可能)

2 本の独立したコンパレータ

2 種類の波形出力が可能

4 本の独立したインプットキャプチャ

立ち上がりエッジ / 立ち下がりエッジの選択が可能

バッファ動作を指定可能

カウンタのクリア指定が可能

コンペアマッチ A により、カウンタの値をクリアすることが可能

7 種類の割り込み要因

コンペアマッチ × 2 要因、インプットキャプチャ × 4 要因、オーバフロー × 1 要因があり、それぞれ独立に要求可能

8.1.2 ブロック図

FRTのブロック図を図8.1に示します。

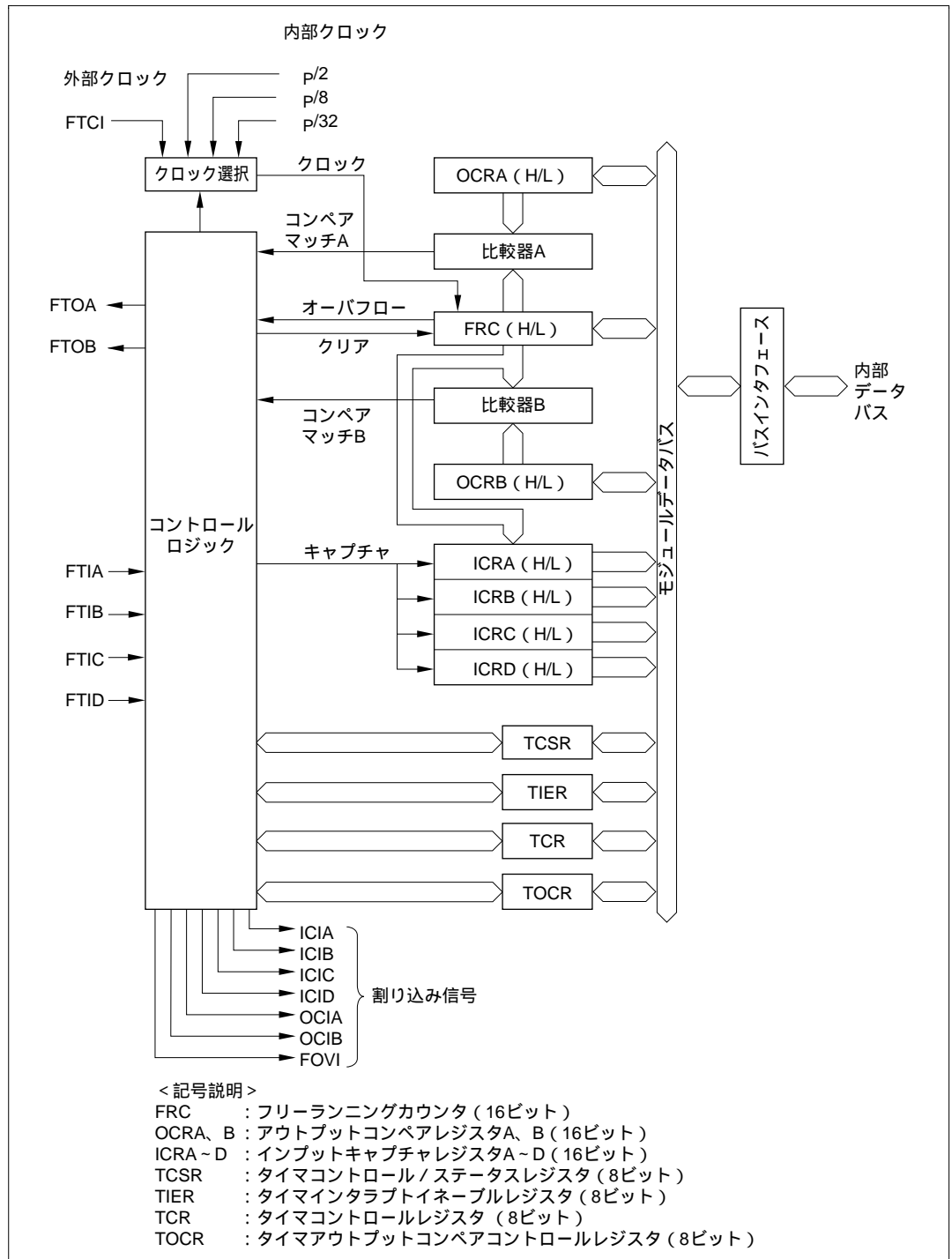


図8.1 FRTのブロック図

8.1.3 端子構成

FRTの入出力端子を表8.1に示します。

表8.1 端子構成

名称	略称	入出力	機能
カウンタクロック入力端子	FTCI	入力	FRCのカウンタクロック入力
アウトプットコンペアA出力端子	FTOA	出力	アウトプットコンペアAの出力
アウトプットコンペアB出力端子	FTOB	出力	アウトプットコンペアBの出力
インプットキャプチャA入力端子	FTIA	入力	インプットキャプチャAの入力
インプットキャプチャB入力端子	FTIB	入力	インプットキャプチャBの入力
インプットキャプチャC入力端子	FTIC	入力	インプットキャプチャCの入力
インプットキャプチャD入力端子	FTID	入力	インプットキャプチャDの入力

8.1.4 レジスタ構成

FRTのレジスタ構成を表8.2に示します。

表8.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
タイマインタラプトイネーブルレジスタ	TIER	R/W	H'01	H'FF90
タイマコントロール/ステータスレジスタ	TCSR	R/(W)* ¹	H'00	H'FF91
フリーランニングカウンタH	FRC H	R/W	H'00	H'FF92
フリーランニングカウンタL	FRC L	R/W	H'00	H'FF93
アウトプットコンペアレジスタA H	OCRA H	R/W	H'FF	H'FF94* ²
アウトプットコンペアレジスタA L	OCRA L	R/W	H'FF	H'FF95* ²
アウトプットコンペアレジスタB H	OCRB H	R/W	H'FF	H'FF94* ²
アウトプットコンペアレジスタB L	OCRB L	R/W	H'FF	H'FF95* ²
タイマコントロールレジスタ	TCR	R/W	H'00	H'FF96
タイマアウトプットコンペアコントロールレジスタ	TOCR	R/W	H'E0	H'FF97
インプットキャプチャレジスタA H	ICRA H	R	H'00	H'FF98
インプットキャプチャレジスタA L	ICRA L	R	H'00	H'FF99
インプットキャプチャレジスタB H	ICRB H	R	H'00	H'FF9A
インプットキャプチャレジスタB L	ICRB L	R	H'00	H'FF9B
インプットキャプチャレジスタC H	ICRC H	R	H'00	H'FF9C
インプットキャプチャレジスタC L	ICRC L	R	H'00	H'FF9D
インプットキャプチャレジスタD H	ICRD H	R	H'00	H'FF9E
インプットキャプチャレジスタD L	ICRD L	R	H'00	H'FF9F

【注】 *1 ビット7~1はリード専用で、フラグをクリアするための0ライトのみ可能です。ビット0はリード/ライト可能です。

*2 OCRAとOCRBのアドレスは同一です。これらの切り換えはTOCRのOCRSビットで行います。

8.2 各レジスタの説明

8.2.1 フリーランニングカウンタ (FRC)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

FRC は、16 ビットのリード/ライト可能なアップカウンタで、入力したクロックによりカウントアップされます。入力するクロックは、TCR のクロックセレクト1、0 ビット (CKS1、0) で選択します。

また、FRC はコンペアマッチ A によりクリアすることができます。

FRC がオーバーフロー (H'FFFF H'0000) すると、TCSR のオーバーフローフラグ (OVF) が1にセットされます。

FRC は、CPU からリード/ライト可能ですが、16 ビットになっているため、CPU とのデータ転送はテンポラリレジスタ (TEMP) を介して行われます。詳細は、「8.3 CPU とのインタフェース」を参照してください。

FRC は、リセットまたはスタンバイモード時に H'0000 に、イニシャライズされます。

8.2.2 アウトプットコンペアレジスタ A、B (OCRA、OCRB)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

OCR は、16 ビットのリード/ライト可能な2本のレジスタ (OCRA、B) から構成されます。OCR の内容は、FRC の値と常に比較されています。両者の値が一致すると、TCSR のアウトプットコンペアフラグ (OCFA、B) が1にセットされます。

さらに、OCR の値と FRC の値が一致した (コンペアマッチ) とき、TOCR のアウトプットイネーブルビット (OEA、B) が1にセットされていると、TOCR のアウトプットレベルビット (OLVLA、B) で設定した出力レベルの値が、アウトプットコンペア出力端子 (FTOA、FTOB) に出力されます。リセット後、最初のコンペアマッチが起こるまで FTOA、FTOB 出力は0出力です。

また、OCR は16ビットになっているため、CPU とのデータ転送は TEMP を介して行われます。詳細は、「8.3 CPU とのインタフェース」を参照してください。

OCR は、リセットまたはスタンバイモード時に、H'FFFF にイニシャライズされます。

8.2.3 インプットキャプチャレジスタ A~D (ICRA~ICRD)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ICR は、16ビットのリード専用の4本のレジスタ (ICRA~D) から構成されます。インプットキャプチャ信号入力端子 (FTIA~D) の立ち上がりまたは立ち下がりエッジが検出されると、そのときの FRC の値が ICRA~D に転送*されます。このとき同時に、TCSR のインプットキャプチャフラグ (ICFA~D) が 1 にセットされます。入力信号のエッジは、TCR のインプットエッジセレクトビット (IEDGA~D) により選択できます。

また、ICRC、ICRD は、TCR のバッファイネーブル A、B ビット (BUFEA、B) により、それぞれ ICRA、ICRB のバッファレジスタとして使用し、バッファ動作を行わせることもできます。

ICRC を ICRA のバッファレジスタとして指定した場合 (BUFEA=1) の接続を、図 8.2 に示します。ICRC を ICRA のバッファとして使用した場合、外部入力信号の変化として IEDGA IEDGC と設定することにより、立ち上がり / 立ち下がり両方のエッジを指定することができます。IEDGA = IEDGC の場合には立ち上がりまたは立ち下がりエッジのいずれかとなります。表 8.3 を参照してください。

【注】 * FRC から ICR への転送は ICF の値にかかわらず行われます。

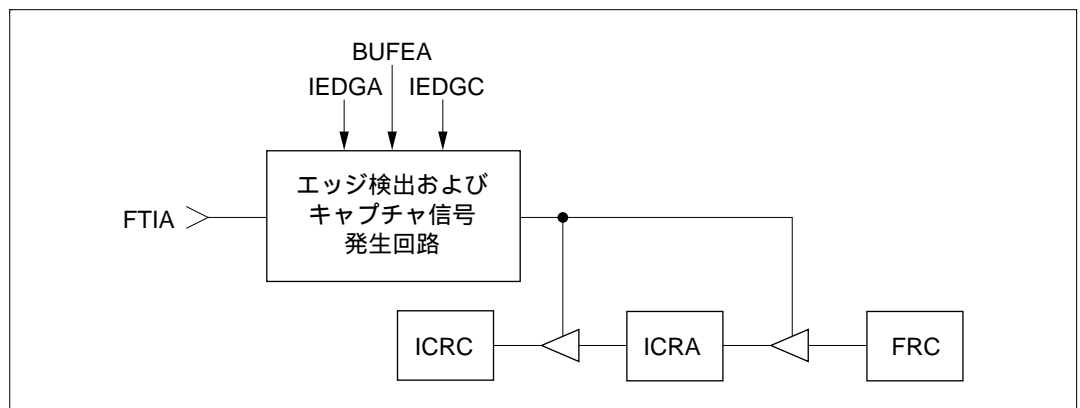


図 8.2 バッファ動作 (例)

表 8.3 バッファ動作時の入力エッジの選択 (例)

IEDGA	IEDGC	入力エッジの選択
0	0	インプットキャプチャ入力 A (FTIA) の立ち下がリエッジ (\downarrow) でキャプチャ (初期値)
	1	インプットキャプチャ入力 A (FTIA) の立ち下がり / 立ち上がり両方のエッジ (\downarrow 、 \uparrow) でキャプチャ
1	0	インプットキャプチャ入力 A (FTIA) の立ち上リエッジ (\uparrow) でキャプチャ
	1	インプットキャプチャ入力 A (FTIA) の立ち上リエッジ (\uparrow) でキャプチャ

ICR は 16 ビットのため、CPU とのデータ転送は TEMP を介して行われます。詳細は、「8.3 CPU とのインタフェース」を参照してください。

インプットキャプチャ動作を確実に行うために、インプットキャプチャ入力信号のパルス幅は、単エッジの場合 1.5 システムクロック () 以上、両エッジの場合 2.5 システムクロック () 以上にしてください。

ICR は、リセットまたはスタンバイモード時に、H'0000 にイニシャライズされます。

8.2.4 タイマインタラプトイネーブルレジスタ (TIER)

ビット :	7	6	5	4	3	2	1	0
	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE	—
初期値 :	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	—

TIER は、8 ビットのリード / ライト可能なレジスタで、各割り込み要求の許可を制御します。

TIER は、リセットまたはスタンバイモード時に、H'01 にイニシャライズされます。

ビット 7 : インプットキャプチャインタラプト A イネーブル (ICIAE)

TCSR のインプットキャプチャフラグ A (ICFA) が 1 にセットされたとき、ICFA による割り込み (ICIA) の許可または禁止を選択します。

ビット 7	説明
ICIAE	
0	ICFA による割り込み要求 (ICIA) を禁止 (初期値)
1	ICFA による割り込み要求 (ICIA) を許可

ビット6：インプットキャプチャインタラプトBイネーブル（ICIBE）

TCSRのインプットキャプチャフラグB（ICFB）が1にセットされたとき、ICFBによる割り込み（ICIB）の許可または禁止を選択します。

ビット6	説明
ICIBE	
0	ICFBによる割り込み要求（ICIB）を禁止（初期値）
1	ICFBによる割り込み要求（ICIB）を許可

ビット5：インプットキャプチャインタラプトCイネーブル（ICICE）

TCSRのインプットキャプチャフラグC（ICFC）が1にセットされたとき、ICFCによる割り込み（ICIC）の許可または禁止を選択します。

ビット5	説明
ICICE	
0	ICFCによる割り込み要求（ICIC）を禁止（初期値）
1	ICFCによる割り込み要求（ICIC）を許可

ビット4：インプットキャプチャインタラプトDイネーブル（ICIDE）

TCSRのインプットキャプチャフラグD（ICFD）が1にセットされたとき、ICFDによる割り込み（ICID）の許可または禁止を選択します。

ビット4	説明
ICIDE	
0	ICFDによる割り込み要求（ICID）を禁止（初期値）
1	ICFDによる割り込み要求（ICID）を許可

ビット3：アウトプットコンペアインタラプトAイネーブル（OCIAE）

TCSRのアウトプットコンペアフラグA（OCFA）が1にセットされたとき、OCFAによる割り込み要求（OCIA）の許可または禁止を選択します。

ビット3	説明
OCIAE	
0	OCFAによる割り込み要求（OCIA）を禁止（初期値）
1	OCFAによる割り込み要求（OCIA）を許可

ビット2：アウトプットコンペアインタラプトB イネーブル (OCIBE)

TCSRのアウトプットコンペアフラグB (OCFB)が1にセットされたとき、OCFBによる割り込み要求 (OCIB)の許可または禁止を選択します。

ビット2	説明
OCIBE	
0	OCFBによる割り込み要求 (OCIB)を禁止 (初期値)
1	OCFBによる割り込み要求 (OCIB)を許可

ビット1：タイマオーバフローインタラプトイネーブル (OVIE)

TCSRのオーバフローフラグ (OVF)が1にセットされたとき、OVFによる割り込み (FOVI)の許可または禁止を選択します。

ビット1	説明
OVIE	
0	OVFによる割り込み要求 (FOVI)を禁止 (初期値)
1	OVFによる割り込み要求 (FOVI)を許可

ビット0：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

8.2.5 タイマコントロール/ステータスレジスタ (TCSR)

ビット：	7	6	5	4	3	2	1	0
	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/W

【注】* ビット7~1はフラグをクリアするための0ライトのみ可能です。

TCSRは、8ビットのレジスタで、カウンタクリアの選択、各割り込み要求信号の制御を行います。

TCSRは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

なお、タイミングについては「8.4 動作説明」を参照してください。

ビット7：インプットキャプチャフラグA (ICFA)

インプットキャプチャ信号によって、FRCの値がICRAに転送されたことを示すステータスフラグです。BUFEAビットが1にセットされているときは、ICFAは、インプットキャプチャ信号により、FRCの値がICRAに転送されたことを、また更新される前のICRAの値がICRCに転送されたことを示します。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット7	説明
ICFA	
0	[クリア条件] (初期値) ICFA=1の状態、ICFAをリードした後、ICFAに0をライトしたとき
1	[セット条件] インプットキャプチャ信号により、FRCの値がICRAに転送されたとき

ビット6：インプットキャプチャフラグB (ICFB)

インプットキャプチャ信号によって、FRCの値がICRBに転送されたことを示すステータスフラグです。BUFEBビットが1にセットされているときは、ICFBは、インプットキャプチャ信号により、FRCの値がICRBに転送されたことを、また更新される前のICRBの値がICRDに転送されたことを示します。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット6	説明
ICFB	
0	[クリア条件] (初期値) ICFB=1の状態、ICFBをリードした後、ICFBに0をライトしたとき
1	[セット条件] インプットキャプチャ信号により、FRCの値がICRBに転送されたとき

ビット5：インプットキャプチャフラグC (ICFC)

インプットキャプチャ信号によって、FRCの値がICRCに転送されたことを示すステータスフラグです。BUFEAビットが1にセットされているときは、FTICにIEDGCビットで指定された信号変化（インプットキャプチャ信号）が発生したとき、ICFCはセットされますが、ICRCへのデータ転送は行われません。したがってバッファ動作では、ICFCはICICEビットを1にセットすることにより、外部割り込みとして使用することができます。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット5	説明
ICFC	
0	[クリア条件] (初期値) ICFC = 1の状態、ICFCをリードした後、ICFCに0をライトしたとき
1	[セット条件] インプットキャプチャ信号が発生したとき

ビット4：インプットキャプチャフラグD (ICFD)

インプットキャプチャ信号によって、FRCの値がICRDに転送されたことを示すステータスフラグです。BUFEBビットが1にセットされているときは、FTIDにIEDGDビットで指定された信号変化（インプットキャプチャ信号）が発生したとき、ICFDはセットされますが、ICRDへのデータ転送は行われません。したがってバッファ動作では、ICFDはICIDEビットを1にセットすることにより、外部割り込みとして使用することができます。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット4	説明
ICFD	
0	[クリア条件] (初期値) ICFD = 1の状態、ICFDをリードした後、ICFDに0をライトしたとき
1	[セット条件] インプットキャプチャ信号が発生したとき

ビット3：アウトプットコンペアフラグA（OCFA）

FRCとOCRAの値が一致したことを示すステータスフラグです。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット3	説 明
OCFA	
0	[クリア条件] (初期値) OCFA = 1の状態、OCFAをリードした後、OCFAに0をライトしたとき
1	[セット条件] FRC = OCRAになったとき

ビット2：アウトプットコンペアフラグB（OCFB）

FRCとOCRBの値が一致したことを示すステータスフラグです。

本フラグのクリアは、ソフトウェアによって行われます。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット2	説 明
OCFB	
0	[クリア条件] (初期値) OCFB = 1の状態、OCFBをリードした後、OCFBに0をライトしたとき
1	[セット条件] FRC = OCRBになったとき

ビット1：タイマオーバフロー（OVF）

FRCがオーバフロー（H'FFFF H'0000）したことを示すステータスフラグです。

本フラグは、ソフトウェアでクリアします。セットは、ハードウェアで行われます。ソフトウェアでセットすることはできません。

ビット1	説 明
OVF	
0	[クリア条件] (初期値) OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき
1	[セット条件] FRCの値が、H'FFFF H'0000になったとき

ビット0：カウンタクリア A (CCLRA)

コンペアマッチ A (FRC と OCRA の一致信号) により、FRC をクリアするか、しないかを選択します。

ビット0	説明
CCLRA	
0	FRCのクリアを禁止 (初期値)
1	コンペアマッチ A により FRC をクリア

8.2.6 タイマコントロールレジスタ (TCR)

ビット：	7	6	5	4	3	2	1	0
	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCR は、8 ビットのリード/ライト可能なレジスタです。インプットキャプチャ入力エッジの選択、バッファ動作の指定、FRC の入力クロックの選択を行います。

TCR は、リセットまたはスタンバイモード時に、H'00 にイニシャライズされます。

ビット7：インプットエッジセレクト A (IEDGA)

インプットキャプチャ入力 A (FTIA) の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット7	説明
IEDGA	
0	インプットキャプチャ入力 A の立ち下がりエッジ (\downarrow) でキャプチャ (初期値)
1	インプットキャプチャ入力 A の立ち上がりエッジ (\uparrow) でキャプチャ

ビット6：インプットエッジセレクト B (IEDGB)

インプットキャプチャ入力 B (FTIB) の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット6	説明
IEDGB	
0	インプットキャプチャ入力 B の立ち下がりエッジ (\downarrow) でキャプチャ (初期値)
1	インプットキャプチャ入力 B の立ち上がりエッジ (\uparrow) でキャプチャ

ビット5：インプットエッジセレクトC (IEDGC)

インプットキャプチャ入力C (FTIC) の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット5	説明
IEDGC	
0	インプットキャプチャ入力Cの立ち下がりエッジ(↓)でキャプチャ (初期値)
1	インプットキャプチャ入力Cの立ち上がりエッジ(↑)でキャプチャ

ビット4：インプットエッジセレクトD (IEDGD)

インプットキャプチャ入力D (FTID) の立ち上がりエッジまたは立ち下がりエッジを選択します。

ビット4	説明
IEDGD	
0	インプットキャプチャ入力Dの立ち下がりエッジ(↓)でキャプチャ (初期値)
1	インプットキャプチャ入力Dの立ち上がりエッジ(↑)でキャプチャ

ビット3：バッファイネーブルA (BUFEA)

ICRCをICRAのバッファレジスタとして使用するかしないかを選択します。

ビット3	説明
BUFEA	
0	ICRCをICRAのバッファレジスタとして使用しない (初期値)
1	ICRCをICRAのバッファレジスタとして使用する

ビット2：バッファイネーブルB (BUFEB)

ICRDをICRBのバッファレジスタとして使用するかしないかを選択します。

ビット2	説明
BUFEB	
0	ICRDをICRBのバッファレジスタとして使用しない (初期値)
1	ICRDをICRBのバッファレジスタとして使用する

ビット1、0：クロックセレクト（CKS1、CKS0）

FRCに入力するクロックを内部クロック3種類または外部クロックから選択します。

外部クロックは、外部クロック入力端子（FTCI）の立ち上がりエッジでカウントします。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	内部クロック： $\mu/2$ でカウント（初期値）
	1	内部クロック： $\mu/8$ でカウント
1	0	内部クロック： $\mu/32$ でカウント
	1	外部クロック：立ち上がりエッジ（ \uparrow ）でカウント

8.2.7 タイマアウトプットコンペアコントロールレジスタ（TOCR）

ビット：	7	6	5	4	3	2	1	0
	—	—	—	OCRS	OEA	OEB	OLVLA	OLVLB
初期値：	1	1	1	0	0	0	0	0
R/W：	—	—	—	R/W	R/W	R/W	R/W	R/W

TOCRは、8ビットのリード/ライト可能なレジスタです。アウトプットコンペア出力レベルの選択、アウトプットコンペア出力の許可、およびアウトプットコンペアレジスタA、Bのアクセスの切り換え制御を行います。

TOCRは、リセットまたはスタンバイモード時に、H'E0にイニシャライズされます。

ビット7～5：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット4：アウトプットコンペアレジスタセレクト（OCRS）

OCRAとOCRBのアドレスは同一です。OCRSビットは、このアドレスをリード/ライトする時にどちらのレジスタを選択するかを制御します。OCRAとOCRBの動作には影響を与えません。

ビット4	説明
OCRS	
0	OCRAレジスタを選択（初期値）
1	OCRBレジスタを選択

ビット3 : アウトプットイネーブルA (OEA)

アウトプットコンペア A 出力端子 (FTOA) を制御します。

ビット3	説 明
OEA	
0	アウトプットコンペア A 出力を禁止 (初期値)
1	アウトプットコンペア A 出力を許可

ビット2 : アウトプットイネーブルB (OEB)

アウトプットコンペア B 出力端子 (FTOB) を制御します。

ビット2	説 明
OEB	
0	アウトプットコンペア B 出力を禁止 (初期値)
1	アウトプットコンペア B 出力を許可

ビット1 : アウトプットレベルA (OLVLA)

コンペアマッチ A (FRC と OCRA の一致による信号) により、アウトプットコンペア A 出力端子 (FTOA) に出力する出力レベルを選択します。

ビット1	説 明
OLVLA	
0	コンペアマッチ A により 0 出力 (初期値)
1	コンペアマッチ A により 1 出力

ビット0 : アウトプットレベルB (OLVLB)

コンペアマッチ B (FRC と OCRB の一致による信号) により、アウトプットコンペア B 出力端子 (FTOB) に出力する出力レベルを選択します。

ビット0	説 明
OLVLB	
0	コンペアマッチ B により 0 出力 (初期値)
1	コンペアマッチ B により 1 出力

8.3 CPU とのインタフェース

FRC、OCRA、B、ICRA～Dは、16ビットのレジスタです。一方、CPUと内蔵周辺モジュールの間の、データバスは8ビット幅です。したがって、CPUがこれら3種類のレジスタをアクセスするには、8ビットのテンポラリレジスタ（TEMP）を介して行います。

各レジスタのリード/ライトは次のような動作で行われます。

レジスタへのライト時の動作

上位バイトのライトにより、上位バイトのデータがTEMPにストアされます。次に下位バイトのライトで、TEMPにある上位バイトの値とあわせて16ビットデータとしてレジスタにライトされます。

レジスタからのリード時の動作

上位バイトのリードで、上位バイトの値はCPUに転送され、下位バイトの値はTEMPに転送されます。次に下位バイトのリードで、TEMPにある下位バイトの値がCPUに転送されます。

これら3種類のレジスタをアクセスするときは、常に16ビット単位（バイトアクセスを2回行うことも含みます）で行い、かつ上位バイト、下位バイトの順序で行ってください。上位バイトのみや下位バイトのみのアクセスでは、データは正しく転送されませんので注意してください。

図8.3にFRCをアクセスする場合のデータの流れを示します。他のレジスタの場合も同様な動作になります。ただし、OCRA、Bのリード時には、上位バイト、下位バイトともTEMPを介さずに直接CPUにデータを転送します。

例1 OCRAへのライト

```
MOV.W R0, @OCRA    FRTのOCRAへR0の内容をライト
```

例2 ICRAのリード

```
MOV.W @ICRA, R0    FRTのICRAをR0へ転送
```

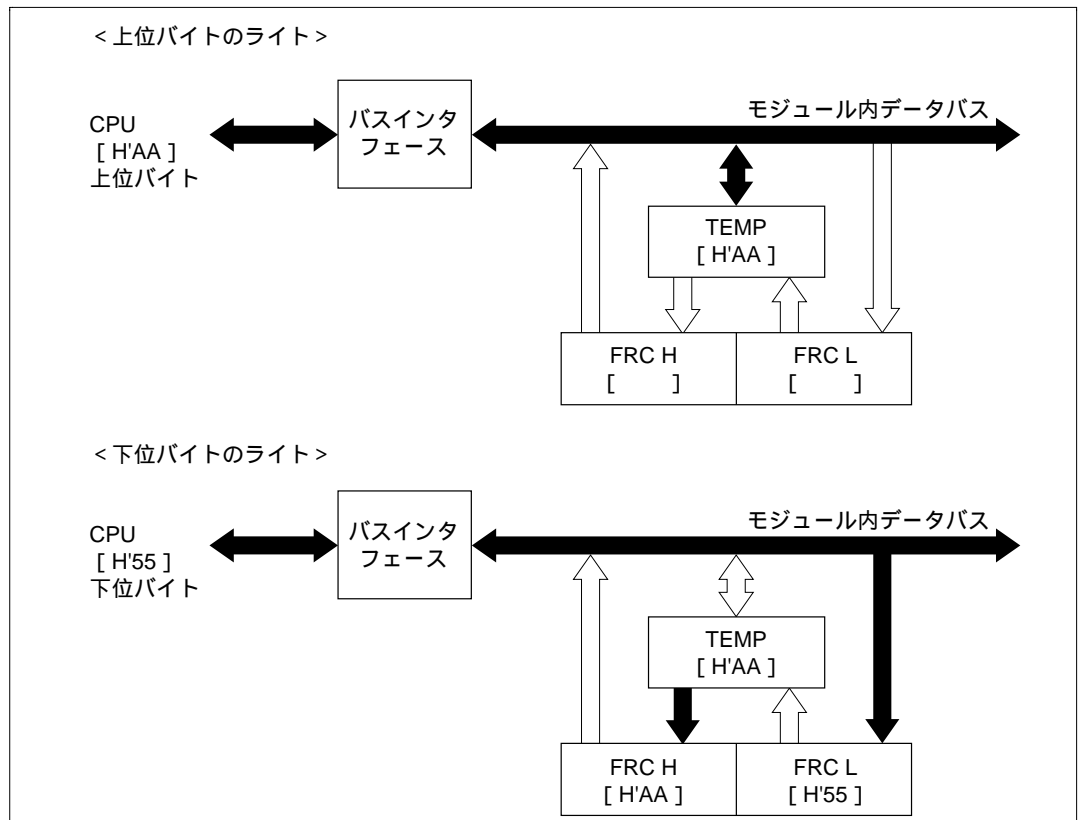



図 8.3 (a) FRC のアクセス動作 (CPU FRC [H'AA55] ライト時)

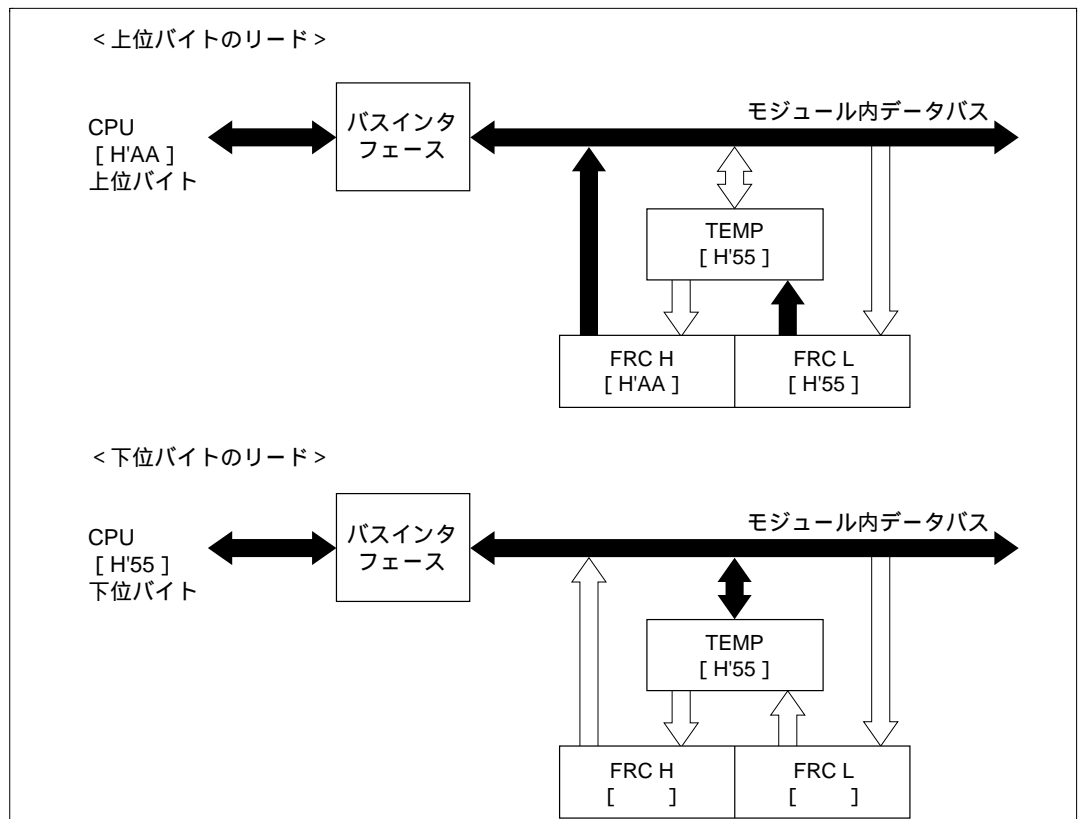


図 8.3 (b) FRC のアクセス動作 (FRC CPU [H'AA55] リード時)

8.4 動作説明

8.4.1 FRC のカウントタイミング

FRC は、入力されたクロック（内部クロックまたは外部クロック）によりカウントアップされます。

(1) 内部クロック動作の場合

TCR の CKS1、0 ビットの設定により、システムクロック（ ）を分周して作られる 3 種類の内部クロック（ $p/2$ 、 $p/8$ 、 $p/32$ ）が選択されます。このときのタイミングを図 8.4 に示します。

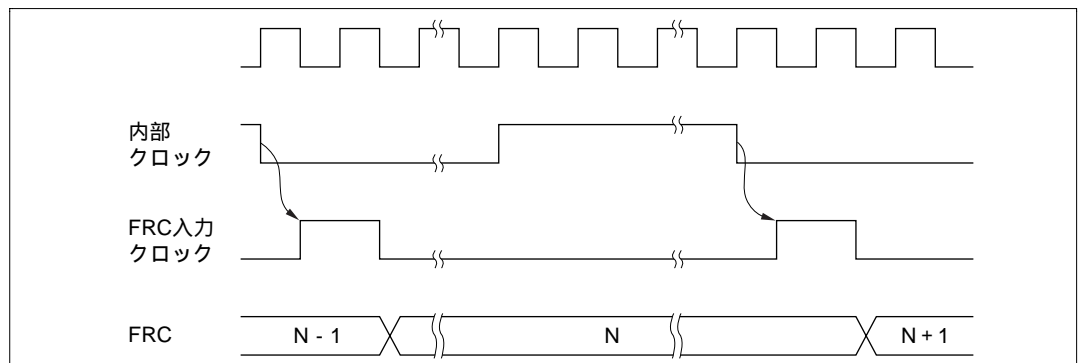


図 8.4 内部クロック動作時のカウントタイミング

(2) 外部クロック動作の場合

TCR の CKS1、0 ビットの設定により、外部クロック入力を選択されます。外部クロックは立ち上がりエッジでカウントします。なお、外部クロックのパルス幅は、1.5 システムクロック（ ）以上が必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

このときのタイミングを図 8.5 に示します。

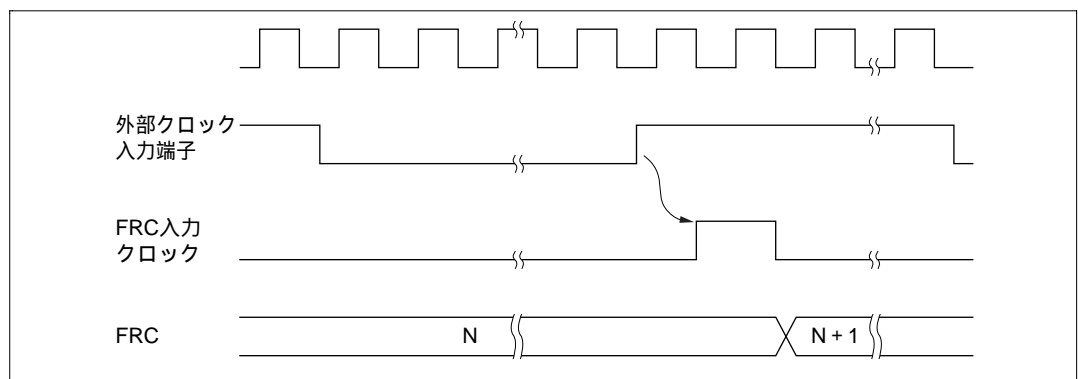


図 8.5 外部クロック動作時のカウントタイミング

8.4.2 アウトプットコンペア出力タイミング

コンペアマッチが発生したとき、TOCRのOLVLビットで設定される出力レベルがアウトプットコンペア出力端子（FTOA、FTOB）に出力されます。図8.6にアウトプットコンペアAの場合の出力タイミングを示します。

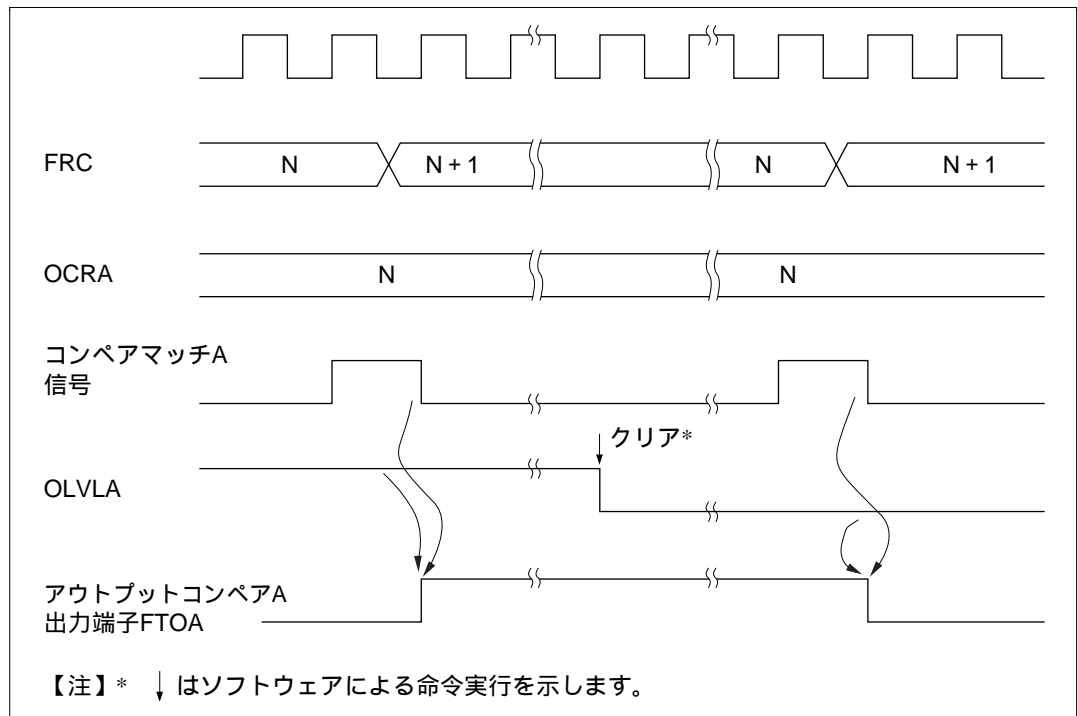


図8.6 アウトプットコンペアA出力タイミング

8.4.3 FRCのクリアタイミング

FRCは、コンペアマッチAでクリアすることができます。このタイミングを図8.7に示します。

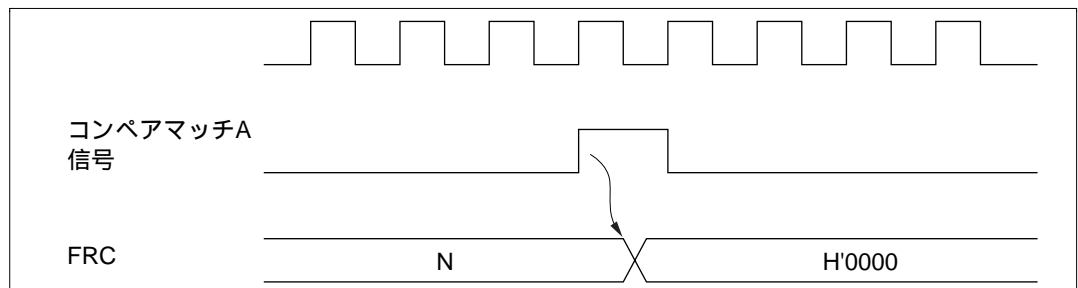


図8.7 コンペアマッチAによるクリアタイミング

8.4.4 インพุットキャプチャ入力タイミング

(1) インพุットキャプチャ入力タイミング

インพุットキャプチャ入力は、TCR の IEDGA ~ D ビットで立ち上がりエッジ / 立ち下がりエッジを選択します。立ち上がりエッジを選択した (IEDGA ~ D = 1) 場合のタイミングを図 8.8 に示します。

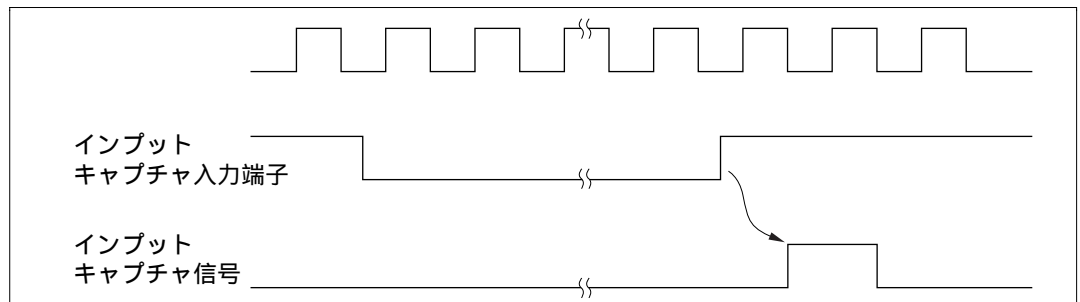


図 8.8 インพุットキャプチャ信号タイミング (通常時)

また、ICRA ~ D のリード (上位バイトのリード) 時に、対応するインพุットキャプチャ入力を入力するとインพุットキャプチャ信号は 1 システムクロック () 遅延されます。このタイミングを図 8.9 に示します。

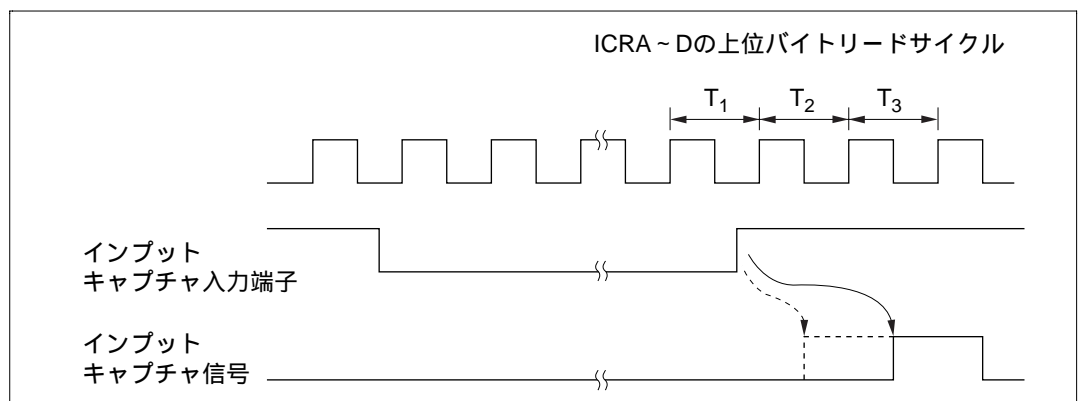


図 8.9 インพุットキャプチャ信号タイミング

(ICRA ~ D のリード時に、インพุットキャプチャ入力を入力した場合)

(2) バッファ動作時の入力キャプチャ入力タイミング

ICRC または ICRD を、ICRA または ICRB のバッファとして動作させることができます。ICRC を ICRA のバッファレジスタとして使用し (BUFEA = 1)、立ち上がり / 立ち下がり両エッジ指定 (IEDGA = 1、IEDGC = 0 または IEDGA = 0、IEDGC = 1) とした場合の入力キャプチャ入力タイミングを図 8.10 に示します。

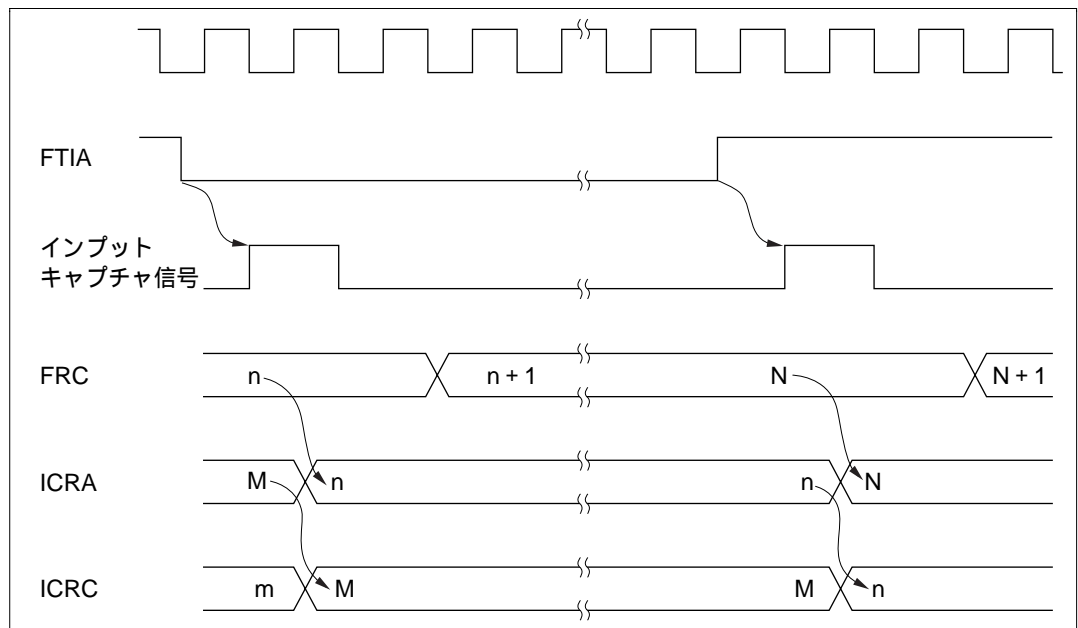


図 8.10 バッファモード時の入力キャプチャタイミング (通常時)

ICRC または ICRD をバッファレジスタとして使用した場合でも、入力キャプチャフラグは、各入力キャプチャ入力の指定されたエッジ変化に対応してセットされます。例えば、ICRC を ICRA のバッファレジスタとして使用しているときでも、入力キャプチャ入力に IEDGC ビットで指定したエッジ変化があると ICFC がセットされ、ICIEC ビットがセットされていれば割り込み要求が発生します。ただし、この場合は、FRC の値は ICRC には転送されません。

また、バッファ動作の場合も、入力キャプチャ信号が発生するタイミングで、データ転送が行われるレジスタ (ICRA と ICRC または ICRB と ICRD) の上位バイトのリードが行われると、入力キャプチャ信号は、1 システムクロック () 遅延されます。BUFEA = 1 の時のタイミングを図 8.11 に示します。

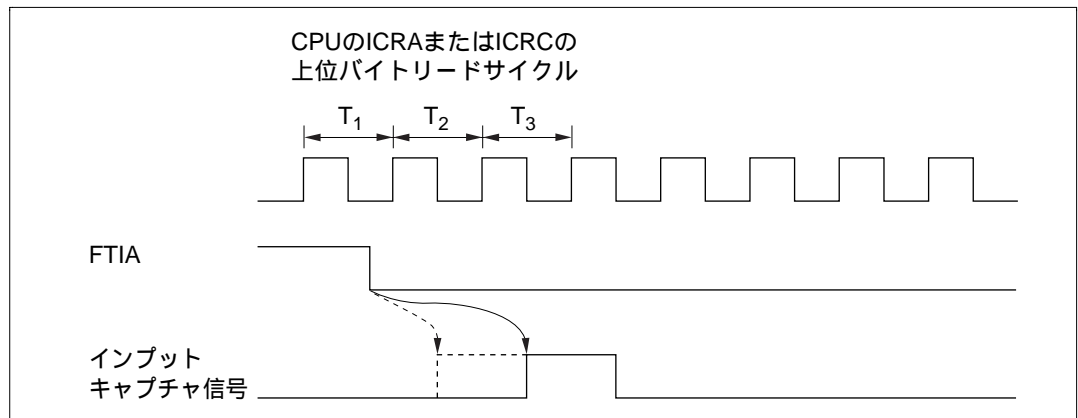


図 8.11 バッファレジスタ動作時の入力キャプチャタイミング
(ICRA または ICRC のリード時に、入力キャプチャ入力を入力した場合)

8.4.5 インพุットキャプチャフラグ (ICFA ~ ICFD) のセットタイミング

インพุットキャプチャ入力により ICFA ~ D は 1 にセットされ、同時に FRC の値が対応する ICRA ~ D に転送されます。このタイミングを図 8.12 に示します。

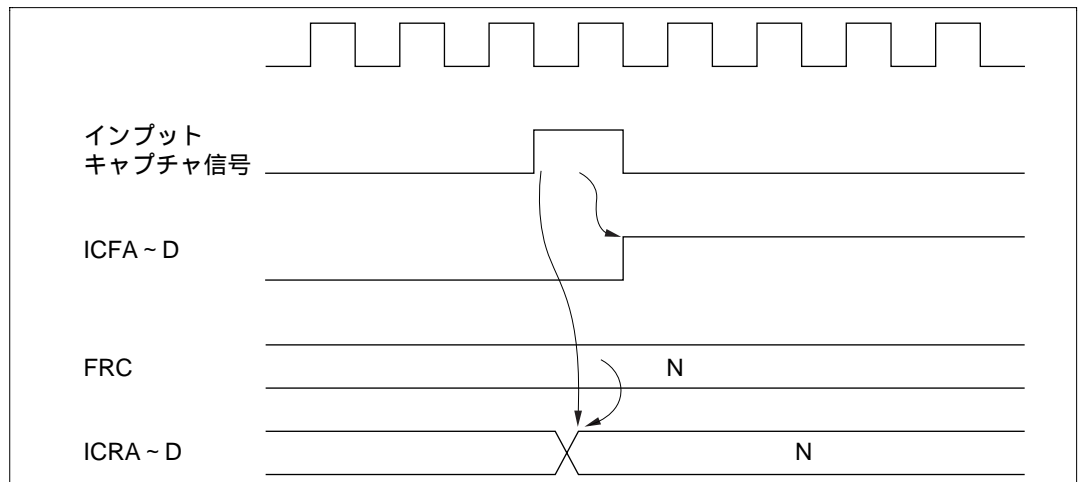


図 8.12 ICFA ~ D のセットタイミング

8.4.6 アウトプットコンペアフラグ (OCFA、OCFB) のセットタイミング

OCFA、BはOCRA、BとFRCの値が一致したとき出力されるコンペアマッチ信号により1にセットされます。コンペアマッチ信号は、値が一致した最後のステート (FRCが一致したカウント値を更新するタイミング) で発生します。

FRCとOCRA、Bが一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。OCFA、Bのセットタイミングを図8.13に示します。

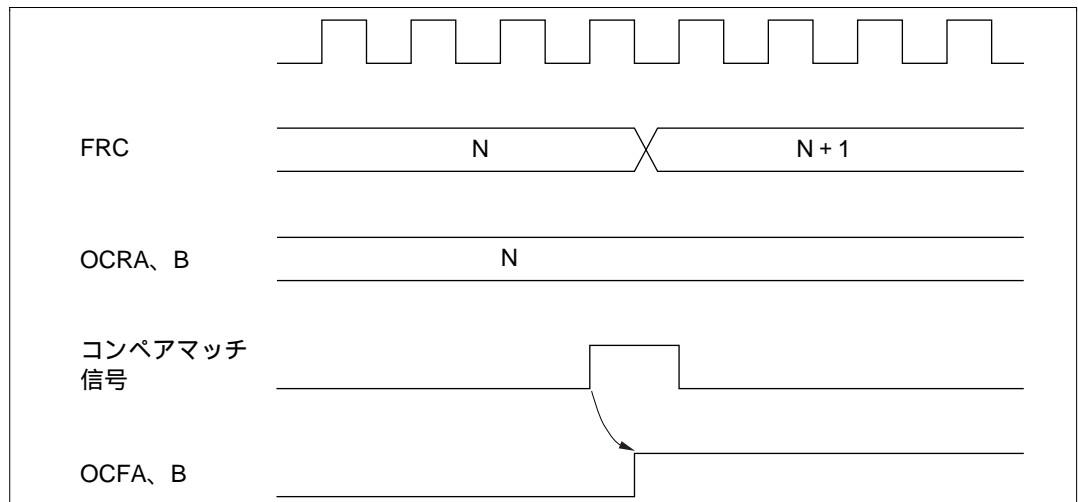


図 8.13 OCFセットタイミング

8.4.7 タイマオーバフローフラグ (OVF) のセットタイミング

OVFはFRCがオーバフロー (H'FFFF → H'0000) したとき1にセットされます。このときのタイミングを図8.14に示します。

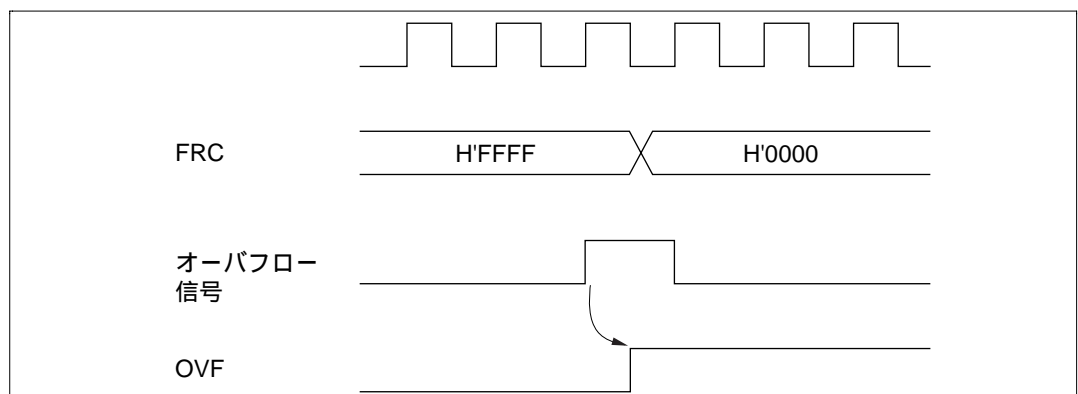


図 8.14 OVFのセットタイミング

8.5 割り込み要因

FRTの割り込み要因は、ICIA～D、OCIA、OCIBおよびFOVIの3種類合計7つあります。表8.4に各割り込み要因と優先順位を示します。各割り込み要因は、TIERの各割り込みイネーブルビットで許可または禁止され、それぞれ独立に割り込みコントローラに送られます。

表8.4 FRT割り込み要因

割り込み要因	内容	割り込み優先順位
ICIA	ICFAによる割り込み	高  低
ICIB	ICFBによる割り込み	
ICIC	ICFCによる割り込み	
ICID	ICFDによる割り込み	
OCIA	OCFAによる割り込み	
OCIB	OCFBによる割り込み	
FOVI	OVFによる割り込み	

8.6 FRT の使用例

デューティ 50%のパルスを任意の位相差で出力させた例を図 8.15 に示します。これは次に示すように設定します。

- (1) TCSR の CCLRA ビットを 1 にセットします。
- (2) 各コンペアマッチが発生するたびに OLVLA、B ビットをソフトウェアにより反転させます。

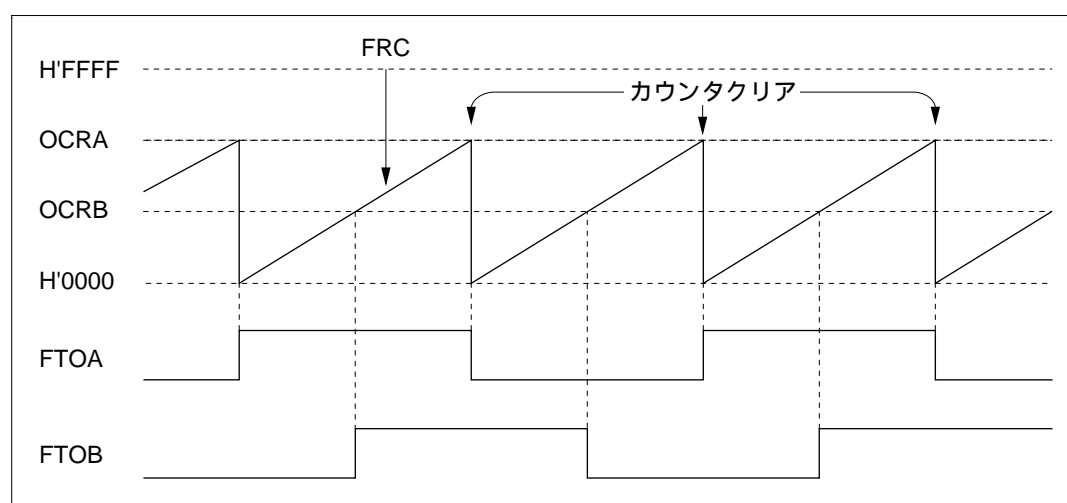


図 8.15 パルス出力例

8.7 使用上の注意

FRTの動作中、次のような競合や動作が起こりますので、注意してください。

(1) FRCのライトとクリアの競合

FRCの下位バイトライトサイクル中の T_3 状態で、カウンタクリア信号が発生すると、FRCへの書き込みは行われずFRCのクリアが優先されます。

このタイミングを図8.16に示します。

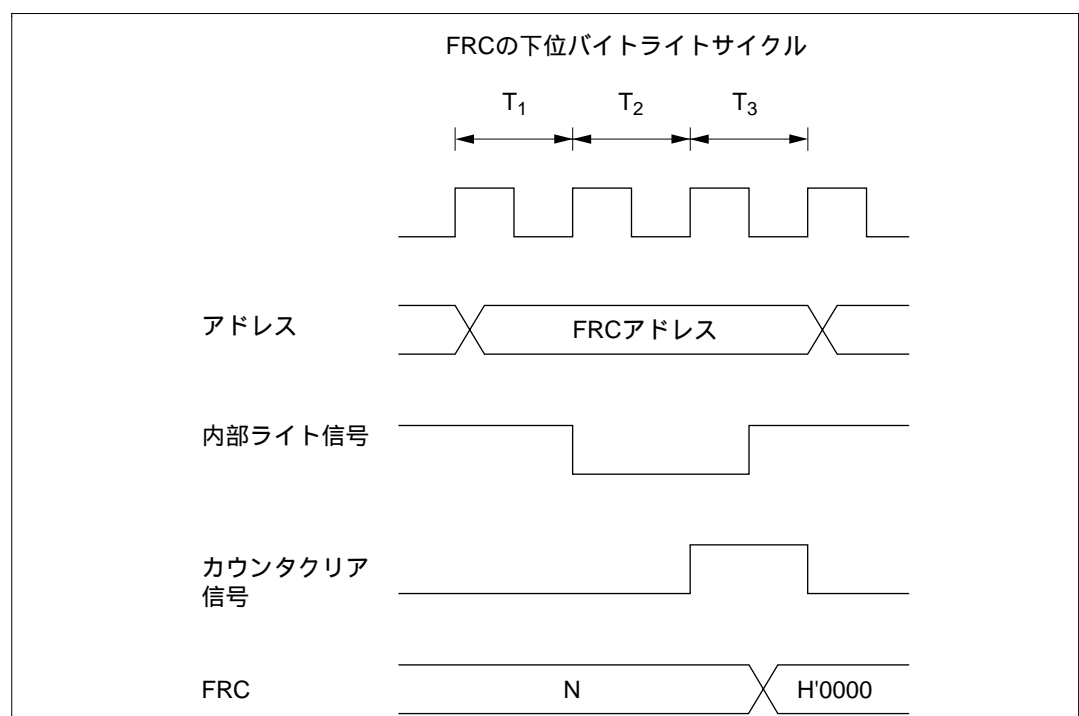


図 8.16 FRC のライトとクリアの競合

(2) FRC のライトとカウントアップの競合

FRC の下位バイトライトサイクル中の T_3 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを図 8.17 に示します。

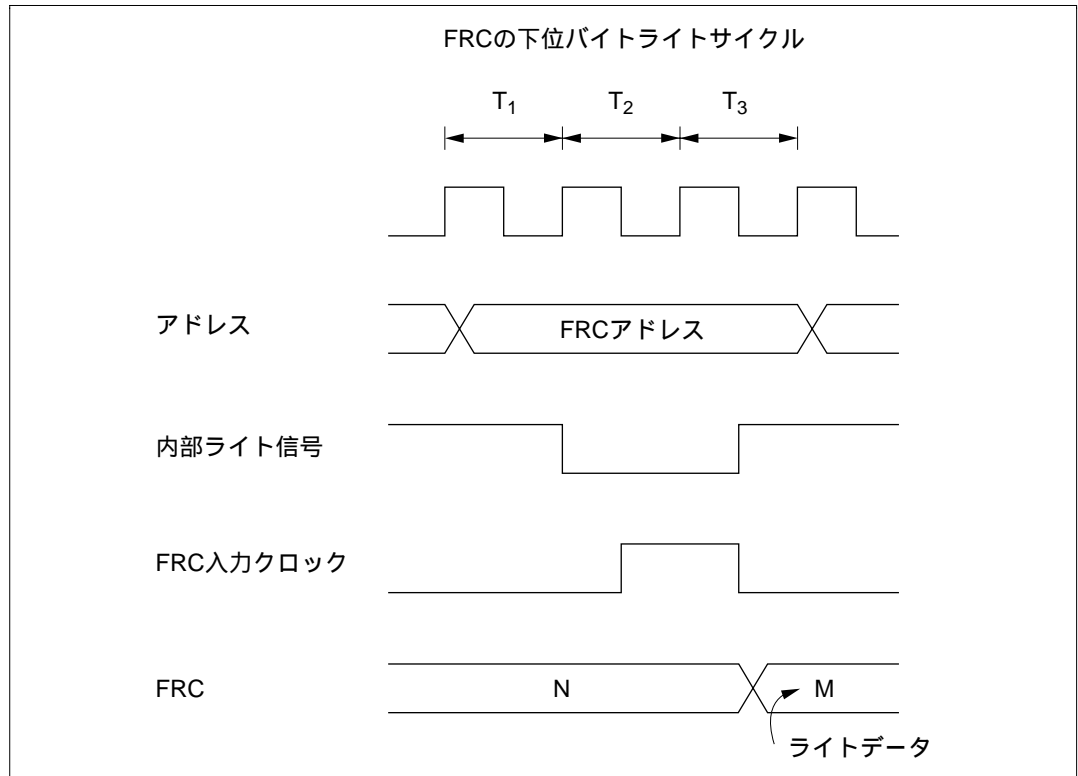


図 8.17 FRC のライトとカウントアップの競合

(3) OCR のライトとコンペアマッチの競合

OCRA、B の下位バイトライトサイクル中の T_3 ステートでコンペアマッチが発生した場合、OCR のライトが優先され、コンペアマッチ信号は禁止されます。このタイミングを図 8.18 に示します。

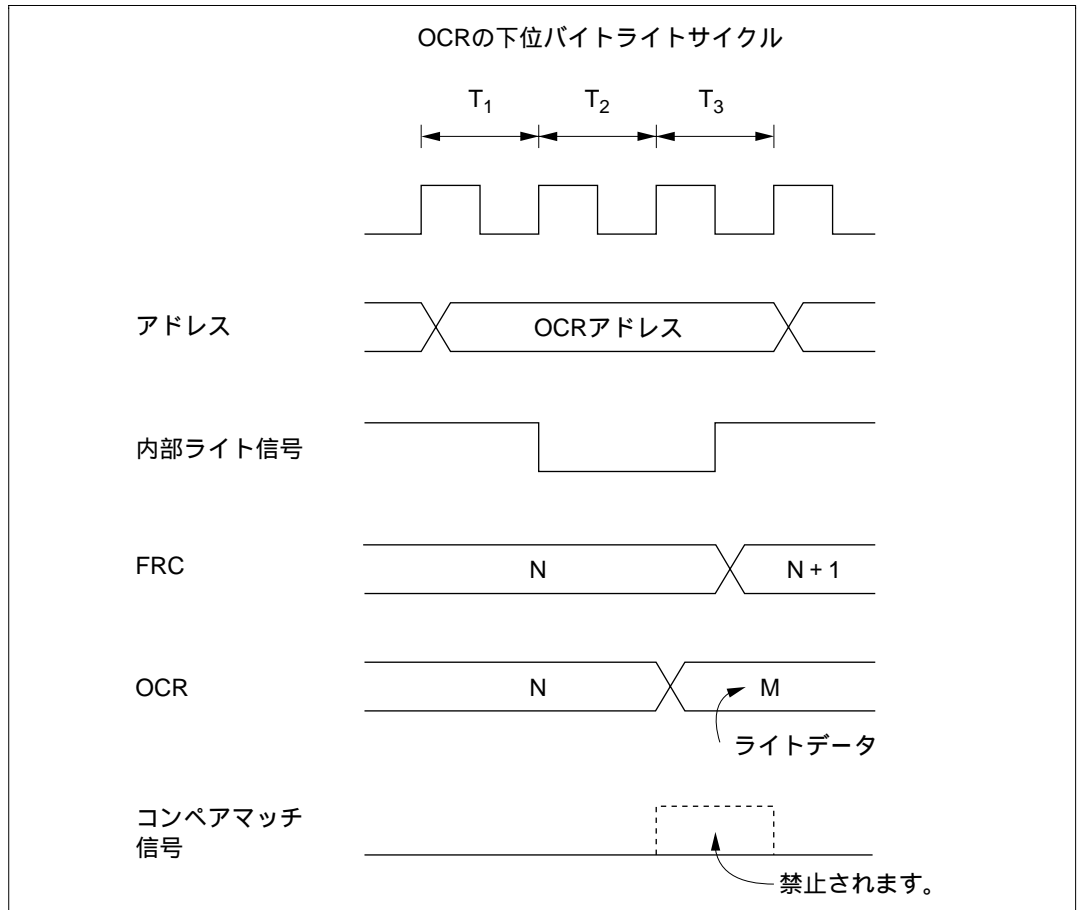


図 8.18 OCR とコンペアマッチの競合

(4) 内部クロックの切り換えとカウンタの動作

内部クロックを切り換えるタイミングによっては、FRC がカウントアップされてしまう場合があります。内部クロックの切り換えタイミング (CKS1、0 ビットの書き換え) と FRC 動作の関係を表 8.5 に示します。

内部クロックを使用する場合、システムクロック () を分周した内部クロックの立ち下がりエッジを検出して FRC クロックを生成しています。そのため表 8.5 の No.3 のように切り換え前のクロック High 切り換え後のクロック Low レベルになるようなクロックの切り換えを行うと、切り換えタイミングを立ち下がりエッジとみなして FRC クロックが発生し、FRC がカウントアップされてしまいます。

また、内部クロックと外部クロックを切り換えるときも、FRC がカウントアップされることがあります。

表 8.5 内部クロックの切り換えと FRC 動作 (1)

No.	CKS1、0 ビット 書き換えタイミング	FRC 動作
1	Low Low レベルの 切り換え	<p>切り換え前のクロック</p> <p>切り換え後のクロック</p> <p>FRC クロック</p> <p>FRC</p> <p>N N+1</p> <p>CKSビットの書き換え</p>
2	Low High レベルの 切り換え	<p>切り換え前のクロック</p> <p>切り換え後のクロック</p> <p>FRC クロック</p> <p>FRC</p> <p>N N+1 N+2</p> <p>CKSビットの書き換え</p>

表 8.5 内部クロックの切り換えと FRC 動作 (2)

No.	CKS1、0 ビット 書き換えタイミング	FRC 動作
3	High Low レベルの 切り換え	<p>切り換え前のクロック</p> <p>切り換え後のクロック</p> <p>FRC クロック</p> <p>FRC</p> <p>CKSビットの書き換え</p>
4	High High レベルの 切り換え	<p>切り換え前のクロック</p> <p>切り換え後のクロック</p> <p>FRC クロック</p> <p>FRC</p> <p>CKSビットの書き換え</p>

【注】 * 切り換えのタイミングを立ち下がりエッジとみなすために発生し、FRC はカウントアップされます。

9. 8ビットタイマ

第9章 目次

9.1	概要.....	201
	9.1.1 特長.....	201
	9.1.2 ブロック図.....	202
	9.1.3 端子構成.....	203
	9.1.4 レジスタ構成.....	203
9.2	各レジスタの説明.....	204
	9.2.1 タイマカウンタ (TCNT).....	204
	9.2.2 タイムコンスタントレジスタ A、B (TCORA、TCORB).....	204
	9.2.3 タイマコントロールレジスタ (TCR).....	205
	9.2.4 タイマコントロール/ステータスレジスタ (TCSR).....	208
	9.2.5 シリアルタイマコントロールレジスタ (STCR).....	210
9.3	動作説明.....	211
	9.3.1 TCNTのカウンタタイミング.....	211
	9.3.2 コンペアマッチタイミング.....	212
	9.3.3 TCNTの外部リセットタイミング.....	214
	9.3.4 オーバフローフラグ (OVF) のセットタイミング.....	214
9.4	割り込み要因.....	215
9.5	8ビットタイマの使用例.....	216
9.6	使用上の注意.....	217
	9.6.1 TCNTのライトとカウンタクリアの競合.....	217
	9.6.2 TCNTのライトとカウントアップの競合.....	218
	9.6.3 TCORのライトとコンペアマッチの競合.....	219
	9.6.4 コンペアマッチ A、B の競合.....	219
	9.6.5 内部クロックの切り換えと TCNT の動作.....	220

9.1 概要

本LSIは、8ビットのカウンタをベースにした2チャンネルの8ビットタイマ0、1を内蔵しています。2チャンネルの8ビットタイマには、それぞれタイマカウンタ(TCNT)のほか8ビットのタイムコンスタントレジスタA、B(TCOR A、B)があり、TCNTとTCORの値の一致によるコンペアマッチ信号により、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

9.1.1 特長

7種類のカウンタ入力クロックを選択可能

6種類の内部クロックと、外部クロックのうちから選択可能(外部イベントのカウントが可能)

カウンタのクリア指定が可能

コンペアマッチA、B、または外部リセット信号のうちから選択可能

2つのコンペアマッチ信号の組み合わせでタイマ出力を制御

独立に動作可能な2つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能

3種類の割り込み要因

コンペアマッチ×2要因、オーバフロー×1要因があり、それぞれ独立に要求可能

9.1.2 ブロック図

8ビットタイマのブロック図(1チャンネル)を図9.1に示します。

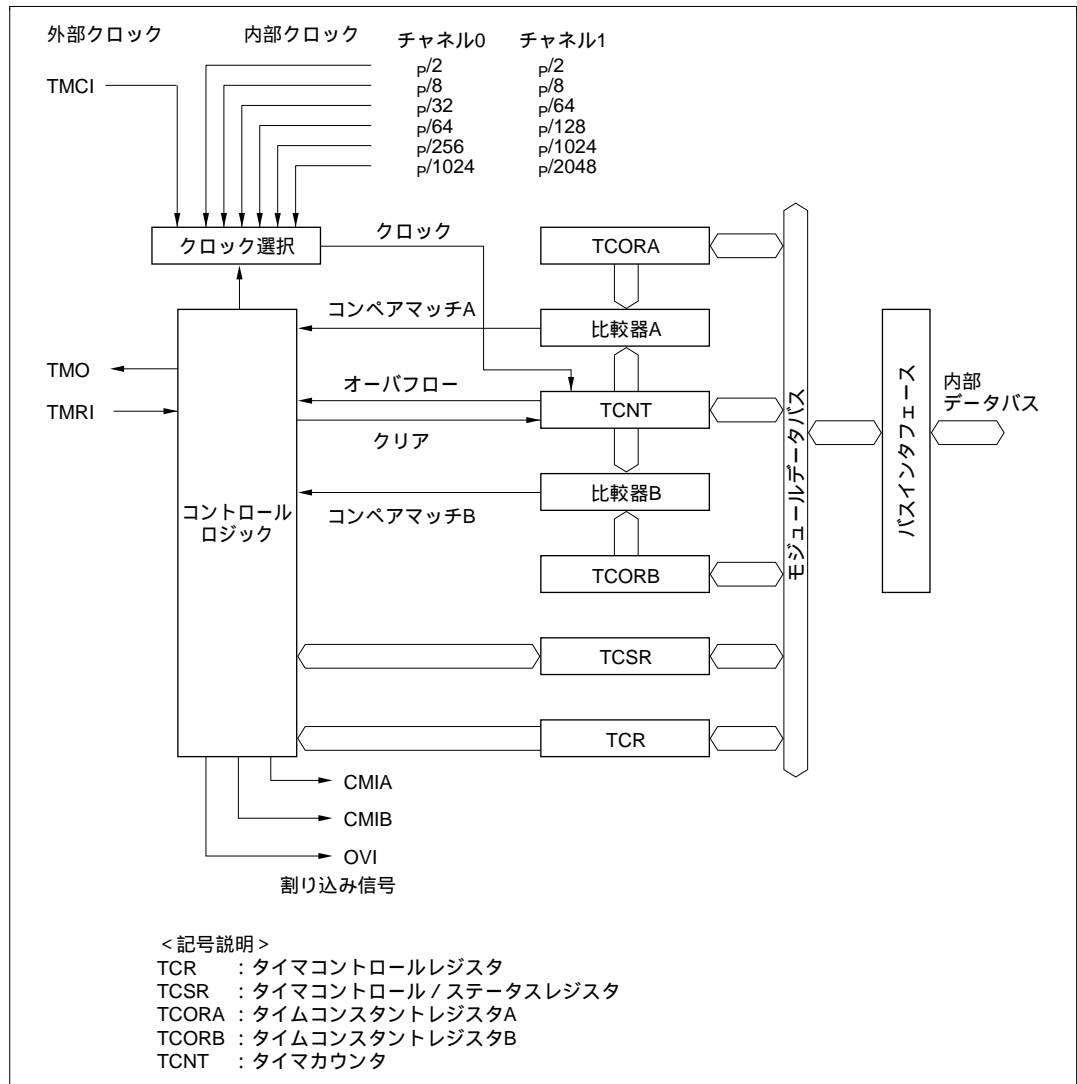


図9.1 8ビットタイマのブロック図(1チャンネル)

9.1.3 端子構成

8ビットタイマの入出力端子を表9.1に示します。

表9.1 端子構成

チャンネル	名称	略称*	入出力	機能
0	タイマ出力端子	TMO ₀	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCI ₀	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI ₀	入力	カウンタ外部リセット入力
1	タイマ出力端子	TMO ₁	出力	コンペアマッチ出力
	タイマクロック入力端子	TMCI ₁	入力	カウンタ外部クロック入力
	タイマリセット入力端子	TMRI ₁	入力	カウンタ外部リセット入力

【注】 * 本文中ではチャンネルを省略し、それぞれTMO、TMCI、TMRIと略称します。

9.1.4 レジスタ構成

8ビットタイマのレジスタ構成を表9.2に示します。

表9.2 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス
0	タイマコントロールレジスタ	TCR	R/W	H'00	H'FFC8
	タイマコントロール/ステータスレジスタ	TCSR	R/(W)*	H'10	H'FFC9
	タイムコンスタントレジスタA	TCORA	R/W	H'FF	H'FFCA
	タイムコンスタントレジスタB	TCORB	R/W	H'FF	H'FFCB
	タイマカウンタ	TCNT	R/W	H'00	H'FFCC
1	タイマコントロールレジスタ	TCR	R/W	H'00	H'FFD0
	タイマコントロール/ステータスレジスタ	TCSR	R/(W)*	H'10	H'FFD1
	タイムコンスタントレジスタA	TCORA	R/W	H'FF	H'FFD2
	タイムコンスタントレジスタB	TCORB	R/W	H'FF	H'FFD3
	タイマカウンタ	TCNT	R/W	H'00	H'FFD4
0, 1	シリアルタイマコントロールレジスタ	STCR	R/W	H'00	H'FFC3

【注】 * ビット7~5は、フラグをクリアするための0ライトのみ可能です。

9.2 各レジスタの説明

9.2.1 タイマカウンタ (TCNT)

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT は、8ビットのリード/ライト可能なアップカウンタで、入力する内部または外部クロックによりカウントアップされます。入力するクロックは、TCRのクロックセレクト2~0ビット(CKS2~0)で選択します。TCNTの値は、CPUから常にリード/ライト可能です。

TCNTは、外部リセット入力信号またはコンペアマッチ信号(A、B)により、クリアすることができます。いずれの信号でクリアするかは、TCRのカウンタクリアビット(CCLR1、0)で選択します。

また、TCNTがオーバーフロー(H'FF H'00)すると、TCSRのオーバーフローフラグ(OVF)が1にセットされます。

TCNTは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

9.2.2 タイムコンスタントレジスタ A、B (TCORA、TCORB)

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCORA、Bは、8ビットのリード/ライト可能なレジスタです。

TCORとTCNTの値は常に比較されており、両方の値が一致するとTCSRのコンペアマッチフラグ(CMFA、B)が1にセットされます。ただし、TCORへのライトサイクルのT₃ステートでの比較は禁止されています。

また、この一致による信号(コンペアマッチ)とTCSRのアウトプットセレクトビット(OS3~0)の設定により、タイマ出力を自由に制御することができます。

TCORは、リセットまたはスタンバイモード時に、H'FFにイニシャライズされます。

9.2.3 タイマコントロールレジスタ (TCR)

ビット：	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCRは、8ビットのリード/ライト可能なレジスタで、TCNTの入力クロックの選択、TCNTのクリア指定、および各割り込み要求の許可を制御します。

TCRは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

なお、タイミングについては、「9.3 動作説明」を参照してください。

ビット7：コンペアマッチインタラプトイネーブルB (CMIEB)

TCSRのCMFBが1にセットされたとき、CMFBによる割り込み要求 (CMIB) の許可または禁止を選択します。

ビット7	説明
CMIEB	
0	CMFBによる割り込み要求 (CMIB) を禁止 (初期値)
1	CMFBによる割り込み要求 (CMIB) を許可

ビット6：コンペアマッチインタラプトイネーブルA (CMIEA)

TCSRのCMFAが1にセットされたとき、CMFAによる割り込み要求 (CMIA) の許可または禁止を選択します。

ビット6	説明
CMIEA	
0	CMFAによる割り込み要求 (CMIA) を禁止 (初期値)
1	CMFAによる割り込み要求 (CMIA) を許可

ビット5：タイマオーバフローインタラプトイネーブル (OVIE)

TCSRのOVFが1にセットされたとき、OVFによる割り込み要求 (OVI) の許可または禁止を選択します。

ビット5	説明
OVIE	
0	OVFによる割り込み要求を禁止 (初期値)
1	OVFによる割り込み要求を許可

ビット4、3：カウンタクリア1、0 (CCLR1、CCLR0)

TCNTのクリアを指定します。クリアは、コンペアマッチ A、B または外部リセット入力端子 (TMRI) から選択します。

ビット4	ビット3	説明
CCLR1	CCLR0	
0	0	クリアを禁止 (初期値)
	1	コンペアマッチ A によりクリア
1	0	コンペアマッチ B によりクリア
	1	外部リセット入力の立ち上がりエッジ (↑) によりクリア

ビット2～0：クロックセレクト2～0 (CKS2～CKS0)

STCRのICKS0、ICKS1ビットと共にTCNTに入力するクロックを、内部クロックまたは外部クロックから選択します。

内部クロックは、各チャンネルそれぞれシステムクロック () を分周した6種類のクロックから選択できます。これら内部クロックは、立ち下がりエッジでカウントします。

外部クロックのとき、クロック入力端子 (TMCI) の立ち上がり、立ち下がり、または立ち上がり / 立ち下がり両エッジのカウントの3種類から選択できます。

チャンネル	TCR			STCR		説明		
	ビット2	ビット1	ビット0	ビット1	ビット0			
	CKS2	CKS1	CKS0	ICKS1	ICKS0			
0	0	0	0			クロック入力を禁止 (初期値)		
			1		0	内部クロック: $\mu/8$ 立ち下がりエッジ ($\overline{\tau}$) でカウント		
						1	内部クロック: $\mu/2$ 立ち下がりエッジ ($\overline{\tau}$) でカウント	
		1	0			0	内部クロック: $\mu/64$ 立ち下がりエッジ ($\overline{\tau}$) でカウント	
						1	内部クロック: $\mu/32$ 立ち下がりエッジ ($\overline{\tau}$) でカウント	
			1			0	内部クロック: $\mu/1024$ 立ち下がりエッジ ($\overline{\tau}$) でカウント	
					1	内部クロック: $\mu/256$ 立ち下がりエッジ ($\overline{\tau}$) でカウント		
	1	0	0				クロック入力を禁止	
								1
		1	0					外部クロック: 立ち下がりエッジ ($\overline{\tau}$) でカウント
								1
	1	0	0	0			クロック入力を禁止 (初期値)	
1					0	内部クロック: $\mu/8$ 立ち下がりエッジ ($\overline{\tau}$) でカウント		
						1	内部クロック: $\mu/2$ 立ち下がりエッジ ($\overline{\tau}$) でカウント	
1			0			0	内部クロック: $\mu/64$ 立ち下がりエッジ ($\overline{\tau}$) でカウント	
						1	内部クロック: $\mu/128$ 立ち下がりエッジ ($\overline{\tau}$) でカウント	
			1			0	内部クロック: $\mu/1024$ 立ち下がりエッジ ($\overline{\tau}$) でカウント	
					1	内部クロック: $\mu/2048$ 立ち下がりエッジ ($\overline{\tau}$) でカウント		
1		0	0				クロック入力を禁止	
								1
		1	0					外部クロック: 立ち下がりエッジ ($\overline{\tau}$) でカウント
								1

9.2.4 タイマコントロール/ステータスレジスタ (TCSR)

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0
初期値:	0	0	0	1	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	—	R/W	R/W	R/W	R/W

【注】* ビット7~5は、フラグをクリアするための0ライトのみ可能です。

TCSR は、8 ビットのレジスタで、コンペアマッチやタイマオーバフローのステータスの表示、およびコンペアマッチ出力の制御を行います。

TCSR は、リセットまたはスタンバイモード時に、H'10 にイニシャライズされます。

ビット7: コンペアマッチフラグ B (CMFB)

TCNT と TCORB の値が一致したことを示すステータスフラグです。

なお、本フラグのクリアは、ソフトウェアによって行われます。また、本フラグのセットは、ハードウェアで行われ、ソフトウェアでセットすることはできません。

ビット7	説明
CMFB	
0	[クリア条件] (初期値) CMFB = 1 の状態で、CMFB をリードした後、CMFB に 0 をライトしたとき
1	[セット条件] TCNT = TCORB になったとき

ビット6: コンペアマッチフラグ A (CMFA)

TCNT と TCORA の値が一致したことを示すステータスフラグです。

なお、本フラグのクリアは、ソフトウェアによって行われます。また、本フラグのセットは、ハードウェアで行われ、ソフトウェアでセットすることはできません。

ビット6	説明
CMFA	
0	[クリア条件] (初期値) CMFA = 1 の状態で、CMFA をリードした後、CMFA に 0 をライトしたとき
1	[セット条件] TCNT = TCORA になったとき

ビット5：タイマオーバフローフラグ（OVF）

TCNTがオーバフロー（H'FF H'00）したことを示すステータスフラグです。

なお、本フラグのクリアは、ソフトウェアによって行われます。また、本フラグのセットは、ハードウェアで行われ、ソフトウェアでセットすることはできません。

ビット5	説明
OVF	
0	[クリア条件] (初期値) OVF = 1の状態、OVFをリードした後、OVFに0をライトしたとき
1	[セット条件] TCNTがH'FF H'00になったとき

ビット4：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット3～0：アウトプットセレクト3～0（OS3～0）

TCORとTCNTのコンペアマッチによるタイマ出力端子（TMO）のレベルをどのように変化させるかを選択します。

OS3とOS2がコンペアマッチBによる出力レベルを選択し、OS1とOS0がコンペアマッチAによる出力レベルを選択し、それぞれ独立に制御することができます。

ただし、トグル出力>1出力>0出力の順で優先順位が高くなるように設定してありますので、コンペアマッチが同時に発生した場合は、優先順位が高い方のコンペアマッチにしたがって出力が変化します。

なお、OS3～0ビットがすべて0の場合にはタイマ出力は禁止されます。

リセット後、最初のコンペアマッチが起こるまでのタイマ出力は0です。

ビット3	ビット2	説明
OS3	OS2	
0	0	コンペアマッチBで変化しない (初期値)
	1	コンペアマッチBで0出力
1	0	コンペアマッチBで1出力
	1	コンペアマッチBごとに反転出力（トグル出力）

ビット1	ビット0	説明
OS1	OS0	
0	0	コンペアマッチ A で変化しない (初期値)
	1	コンペアマッチ A で 0 出力
1	0	コンペアマッチ A で 1 出力
	1	コンペアマッチ A ごとに反転出力 (トグル出力)

9.2.5 シリアルタイマコントロールレジスタ (STCR)

ビット :	7	6	5	4	3	2	1	0
	IICS	IICD	IICX	IICE	STAC	MPE	ICKS1	ICKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

STCR は 8 ビットのリード/ライト可能なレジスタで、I²C バスインタフェースとホストインタフェースの制御、SCI の動作モードの制御、TCNT の入力クロックの選択を行います。

STCR はリセット時に H'00 にイニシャライズされます。

ビット 7~4 : I²C コントロール (IICS、IICD、IICX、IICE)

I²C バスインタフェースの動作を制御するビットです。詳しくは「第 13 章 I²C バスインタフェース」を参照してください。

ビット 3 : スレーブ入力切り換え (STAC)

ホストインタフェースの入力端子の切り換えを制御します。詳しくは「第 14 章 ホストインタフェース」を参照してください。

ビット 2 : マルチプロセッサイネーブル (MPE)

SCI0、1 の動作モードの制御を行います。詳細は「第 12 章 シリアルコミュニケーションインタフェース」を参照してください。

ビット 1、0 : インターナルクロックソースセレクト 1、0 (ICKS1、ICKS0)

TCR の CKS2~0 ビットと共に、TCNT に入力するクロックを選択します。詳細は「9.2.3 タイマコントロールレジスタ」を参照してください。

9.3 動作説明

9.3.1 TCNTのカウントタイミング

TCNTは、入力されたクロック（内部クロックまたは外部クロック）によりカウントアップされます。

(1) 内部クロック動作の場合

TCRのCKS2~0ビットの設定により、システムクロック（ ）を分周して作られる6種類の内部クロックが選択されます。このタイミングを図9.2に示します。

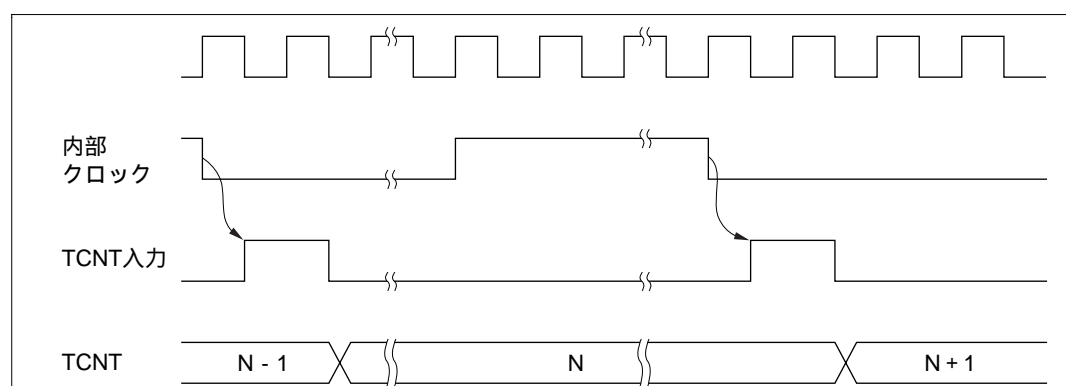


図9.2 内部クロック動作時のカウントタイミング

(2) 外部クロック動作の場合

TCRのCKS2~0ビットの設定により、外部クロックの立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジのいずれかによるカウントアップが選択されます。

なお、外部クロックのパルス幅は、単エッジの場合は1.5システムクロック（ ）以上、両エッジの場合は2.5システムクロック（ ）以上必要です。これ以下のパルス幅では、正しく動作しませんので注意してください。

図9.3に、外部クロックとして、立ち上がり/立ち下がり両エッジの場合のタイミングを示します。

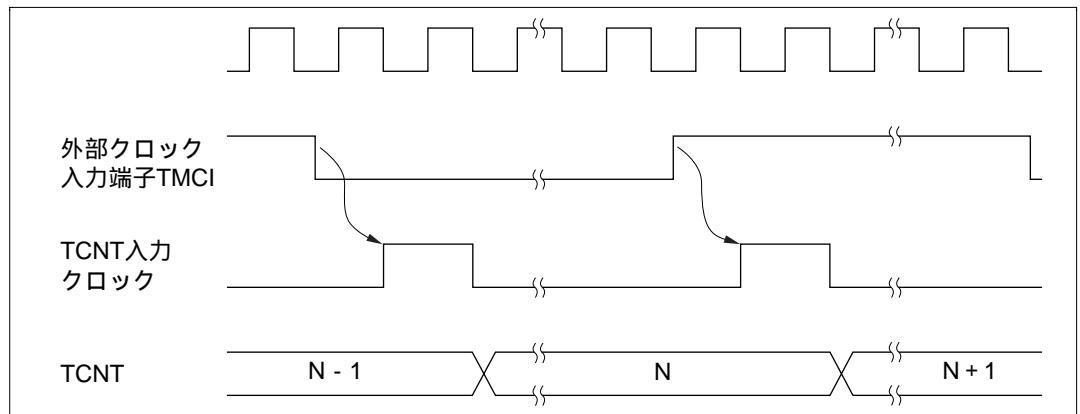


図 9.3 外部クロック動作時のカウントタイミング

9.3.2 コンペアマッチタイミング

(1) コンペアマッチフラグ A、B (CMFA、CMFB) のセットタイミング

TCSR の CMFA、B は、TCOR と TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。

したがって、TCNT と TCOR が一致した後、カウントアップクロックが発生するまでコンペアマッチ信号は発生しません。このタイミングを図 9.4 に示します。

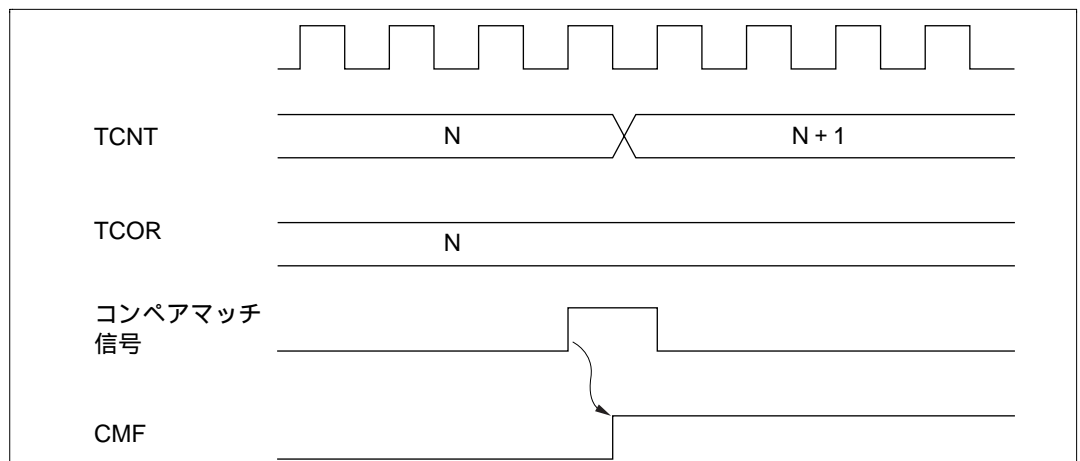


図 9.4 CMF セットタイミング

(2) タイマ出力タイミング

タイマ出力はコンペアマッチ A、B が発生したとき、TCSR の OS3 ~ 0 ビットで選択された状態（変化しない、0 出力、1 出力、トグル出力）で出力されます。

図 9.5 にコンペアマッチ A 信号によるトグル出力の場合の出力タイミングを示します。

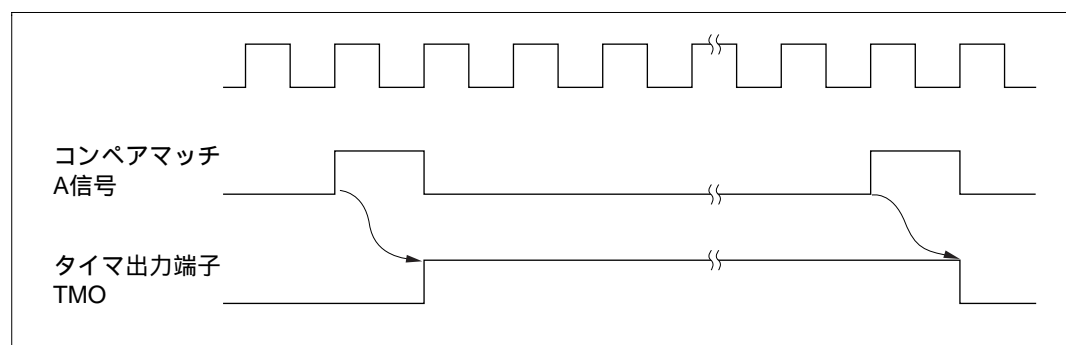


図 9.5 タイマ出力タイミング

(3) コンペアマッチによるクリア

TCNT は、TCR の CCLR1、0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。このクリアされるタイミングを図 9.6 に示します。

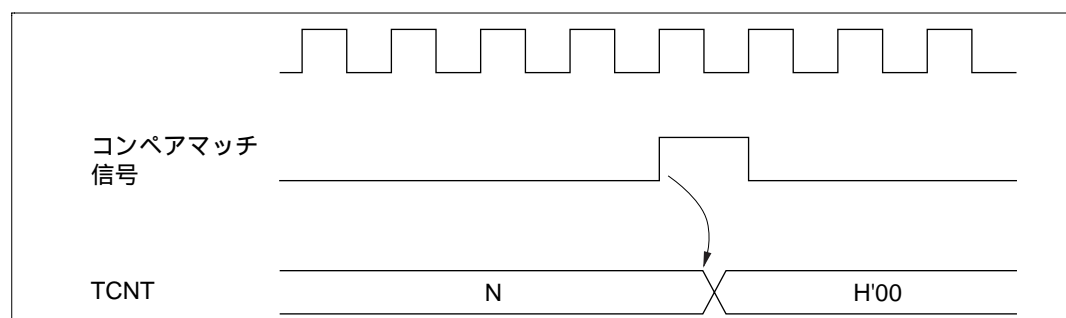


図 9.6 コンペアマッチによるクリアタイミング

9.3.3 TCNTの外部リセットタイミング

TCNTは、TCRのCCLR1、0ビットの選択により外部リセット入力の立ち上がりエッジでクリアされます。外部リセット信号のパルス幅は1.5システムクロック()以上必要となります。このクリアされるタイミングを図9.7に示します。

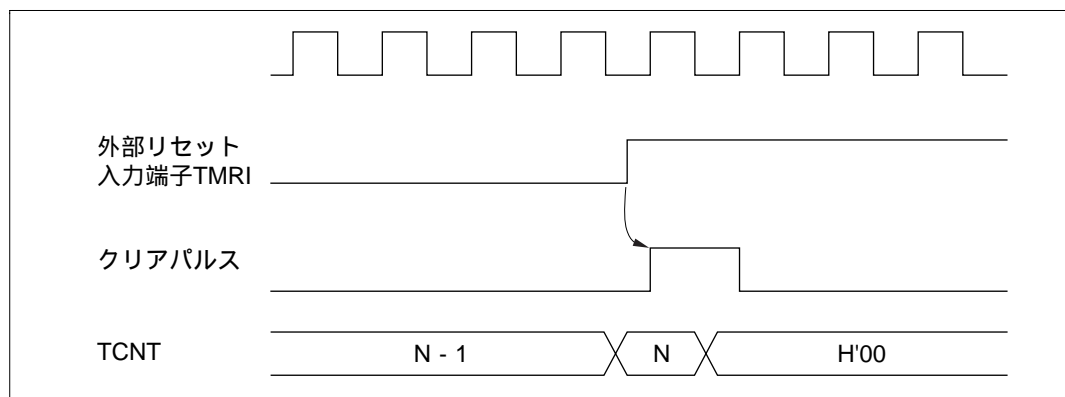


図9.7 外部リセット入力によるクリアタイミング

9.3.4 オーバフローフラグ(OVF)のセットタイミング

TCSRのOVFは、TCNTがオーバフロー(H'FF H'00)したとき出力されるオーバフロー信号により1にセットされます。

このときのタイミングを図9.8に示します。

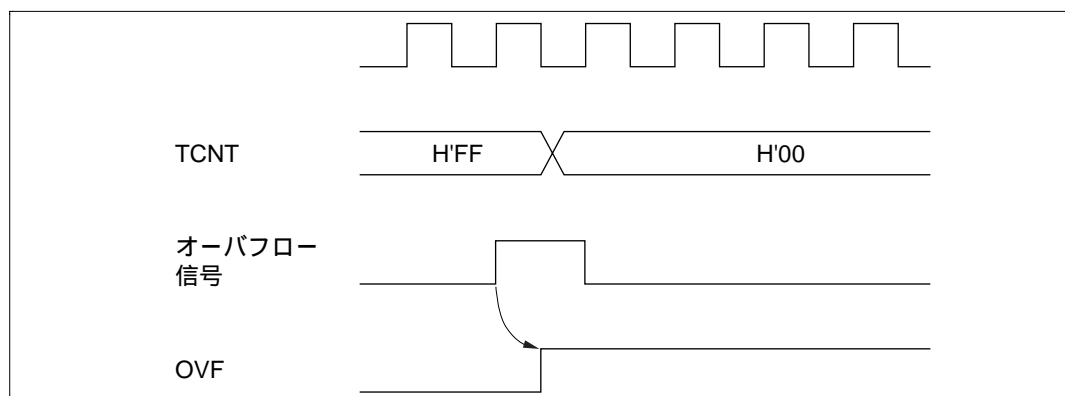


図9.8 OVFのセットタイミング

9.4 割り込み要因

8ビットタイマの割り込み要因は、CMIA、CMIB、OVIの3種類があります。表9.3に各割り込み要因と優先順位を示します。各割り込み要因は、TCRの各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。

表9.3 8ビットタイマ割り込み要因

割り込み要因	内容	割り込み優先順位
CMIA	CMFAによる割り込み	高 ↑ 低
CMIB	CMFBによる割り込み	
OVI	OVFによる割り込み	

9.5 8ビットタイマの使用例

任意のデューティパルスを出力させた例を図9.9に示します。これは次に示すように設定します。

- (1) TCORA のコンペアマッチにより TCNT がクリアされるように、TCR の CCLR1 ビットを0、CCLR0 ビットを1にセットします。
- (2) TCORA のコンペアマッチにより1出力、TCORB のコンペアマッチにより0出力になるように TCSR の OS3 ~ 0 ビットを0110 に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介在なしに出力できます。

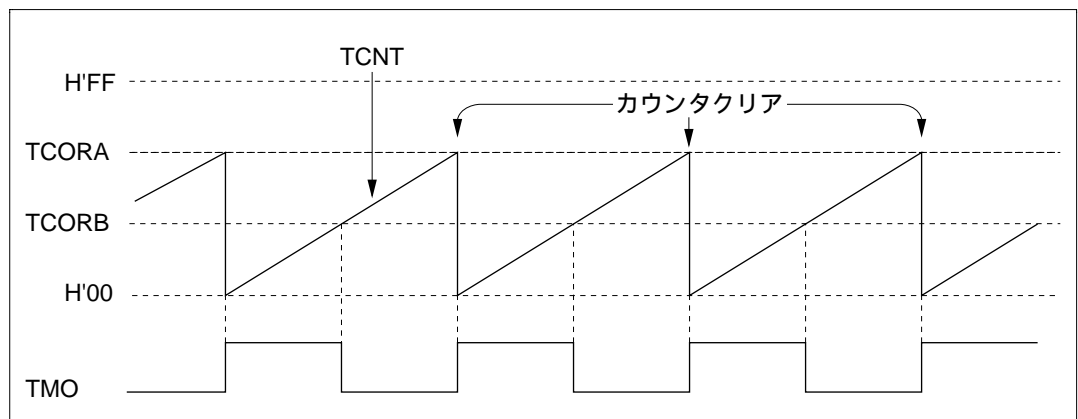


図9.9 パルス出力例

9.6 使用上の注意

8ビットタイマの動作中、次のような競合や動作が起こるので注意してください。

9.6.1 TCNTのライトとカウンタクリアの競合

TCNTのライトサイクル中の T_3 状態で、カウンタクリアが発生すると、カウンタへのライトは行われず、クリアが優先されます。

これを図9.10に示します。

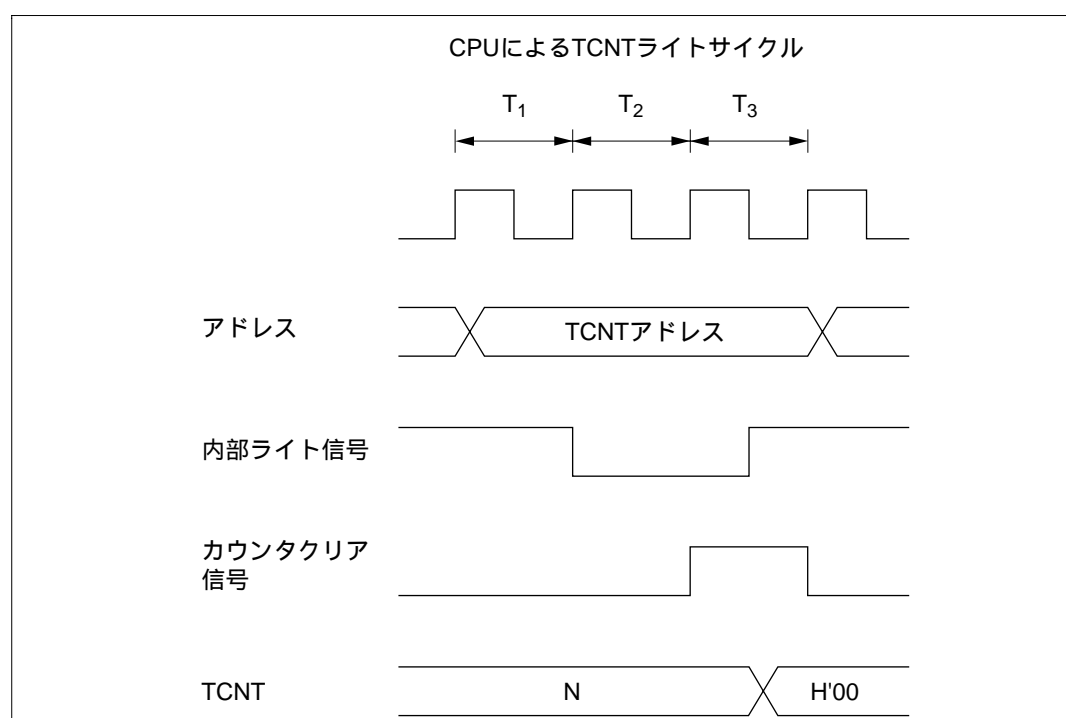


図 9.10 TCNTのライトとクリアの競合

9.6.2 TCNTのライトとカウントアップの競合

TCNTのライトサイクル中の T_3 状態でカウントアップが発生しても、カウントアップされず、カウンタライトが優先されます。

これを図9.11に示します。

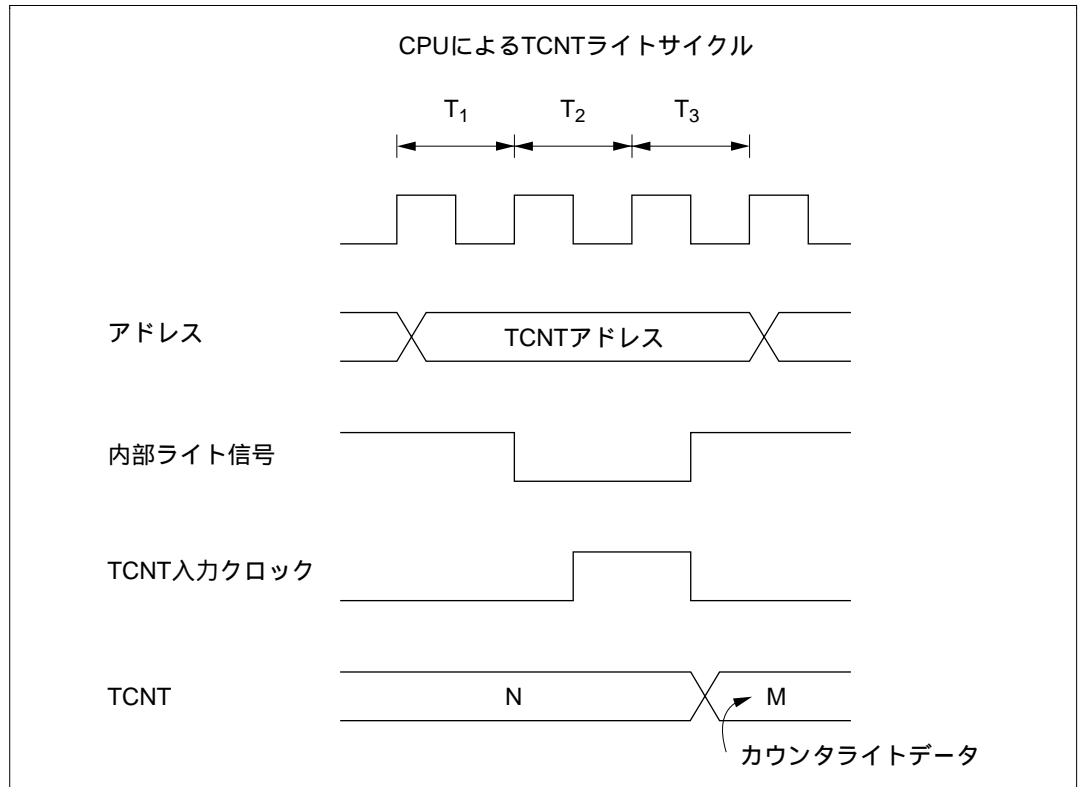


図 9.11 TCNT のライトとカウントアップの競合

9.6.3 TCOR のライトとコンペアマッチの競合

TCOR のライトサイクル中の T_3 ステートで、コンペアマッチが発生しても、TCOR のライトが優先され、コンペアマッチ信号は禁止されます。これを図 9.12 に示します。

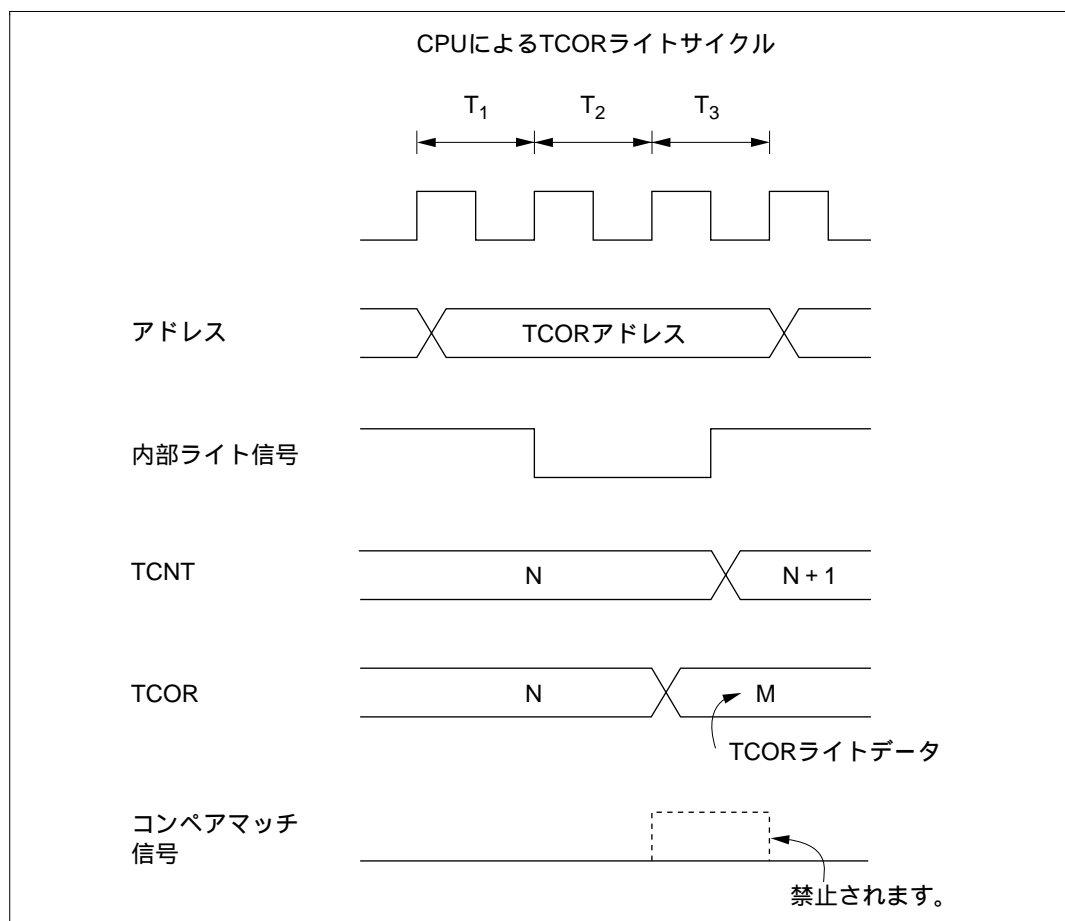


図 9.12 TCOR のライトとコンペアマッチの競合

9.6.4 コンペアマッチ A、B の競合

コンペアマッチ A、B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 9.4 に示すタイマ出力の優先順位にしたがって動作します。

表 9.4 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
1 出力	
0 出力	
変化しない	

9.6.5 内部クロックの切り換えと TCNT の動作

内部クロックを切り換えるタイミングによっては、TCNTがカウントアップされてしまう場合があります。内部クロックの切り換えタイミング(CKS1、0ビットの書き換え)とTCNT動作の関係を表9.5に示します。

内部クロックからTCNTクロックを生成する場合、内部クロックの立ち下がりエッジで検出しています。そのため表9.5のNo.3のように、High Lowレベルになるようなクロックの切り換えを行うと、切り換えタイミングを立ち下がりエッジとみなしてTCNTクロックが発生し、TCNTがカウントアップされてしまいます。

また、内部クロックと外部クロックを切り換えるときも、TCNTがカウントアップされることがあります。

表9.5 内部クロックの切り換えとTCNTの動作(1)

No.	CKS1、0ビット 書き換えタイミング	TCNTクロックの動作
1	Low Lowレベル*1の 切り換え	
2	Low Highレベル*2の 切り換え	

【注】 *1 Lowレベル 停止、および停止 Lowレベルの場合を含みます。

*2 停止 Highレベルの場合を含みます。

表 9.5 内部クロックの切り換えと TCNT の動作 (2)

No.	CKS1、0 ビット 書き換えタイミング	TCNT クロックの動作
3	High Low レベル* ³ の 切り換え	<p>切り換え前のクロック</p> <p>切り換え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
4	High High レベルの 切り換え	<p>切り換え前のクロック</p> <p>切り換え後のクロック</p> <p>TCNT クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

【注】 *3 High レベル 停止を含みます。

*4 切り換えのタイミングを立ち下がりエッジとみなすために TCNT クロックが発生し、TCNT はカウントアップされます。

10. PWM タイマ

第 10 章 目次

10.1	概要.....	225
	10.1.1	特長..... 225
	10.1.2	ブロック図..... 225
	10.1.3	端子機能..... 226
	10.1.4	レジスタ構成 226
10.2	各レジスタの説明.....	227
	10.2.1	タイマカウンタ (TCNT) 227
	10.2.2	デューティレジスタ (DTR) 227
	10.2.3	タイマコントロールレジスタ (TCR) 228
10.3	PWM タイマの動作.....	230
	10.3.1	タイマカウンタ入力タイミング..... 230
	10.3.2	PWM 動作タイミング 230
10.4	使用上の注意.....	232

10.1 概要

本 LSI は、2 チャンネルの独立した PWM (Pulse Width Modulation) タイマ 0、1 を内蔵しています。各チャンネルごとに、8 ビットタイマカウンタ (TCNT) と 8 ビットデューティレジスタ (DTR) があり、DTR に設定する値によって、0 ~ 100% の任意のデューティパルスを得ることができます。

10.1.1 特長

PWM タイマの特長を以下に示します。

8 種類のカウント入力クロックを選択可能

デューティ 0 ~ 100% を 1/250 の分解能で設定可能

PWM 出力のイネーブル / ディスエーブルの切り換え、直接出力 / 反転出力の切り換えが可能

10.1.2 ブロック図

PWM タイマのブロック図 (1 チャンネル) を図 10.1 に示します。

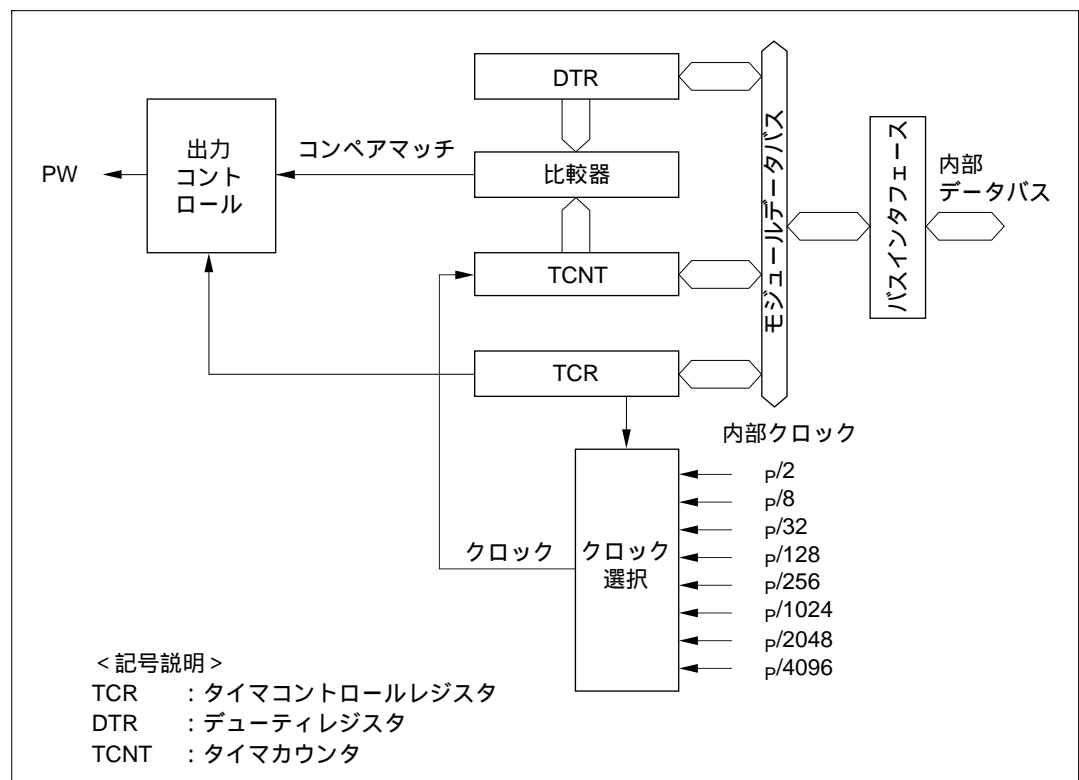


図 10.1 PWM タイマのブロック図 (1 チャンネル)

10.1.3 端子機能

PWM タイマの出力端子を表 10.1 に示します。

表 10.1 端子構成

チャンネル	名称	略称	入出力	機能
0	PWM0 出力端子	PW ₀	出力	PWM タイマ 0 パルス出力
1	PWM1 出力端子	PW ₁	出力	PWM タイマ 1 パルス出力

10.1.4 レジスタ構成

PWM タイマのレジスタ構成を表 10.2 に示します。

表 10.2 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス
0	タイマコントロールレジスタ	TCR	R/W	H'38	H'FFA0
	デューティレジスタ	DTR	R/W	H'FF	H'FFA1
	タイマカウンタ	TCNT	R/W	H'00	H'FFA2
1	タイマコントロールレジスタ	TCR	R/W	H'38	H'FFA4
	デューティレジスタ	DTR	R/W	H'FF	H'FFA5
	タイマカウンタ	TCNT	R/W	H'00	H'FFA6

10.2 各レジスタの説明

10.2.1 タイマカウンタ (TCNT)

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNTは、8ビットのリード/ライト可能なアップカウンタです。TCRのアウトプットイネーブルビット(OE)を1にセットすると、クロックセレクト2~0ビット(CKS2~0)で指定された内部クロックにより、カウントアップを開始し、H'00~H'F9までカウントを行うと、再びH'00からカウントを始めます。TCNTがH'00からH'01に変化したとき、PWM出力を1出力にします。ただし、DTR=H'00のときは、デューティが0%に相当するので、PWM出力は0出力のままです。

TCNTは、リセット、スタンバイモード時、またはOE=0のとき、H'00にイニシャライズされます。

10.2.2 デューティレジスタ (DTR)

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DTRは、8ビットのリード/ライト可能なレジスタで、出力するパルスのデューティ比を指定します。DTRに設定する値により、0~100%の任意のデューティ比パルスを出力することができます。出力するパルスは、1/250の分解能で、DTRに0(H'00)を設定すると0%、125(H'7D)を設定すると50%、250(H'FA)を設定すると100%デューティのパルスを出力することができます。

DTRの値はTCNTの値と常に比較されており、値が一致するとPWM出力を0出力にします。

DTRはダブルバッファ構成となっているため、DTRにライトされた値は、TCNTがH'F9からH'00に変化した後から有効となります。ただし、TCRのOEビットが0の間は、ライトした後、ただちに有効となります。DTRをリードすると、ライトした値ではなく、リード時に有効になっている値がリードされます。

DTRは、リセットまたはスタンバイモード時に、H'FFにイニシャライズされます。

10.2.3 タイマコントロールレジスタ (TCR)

ビット:	7	6	5	4	3	2	1	0
	OE	OS	—	—	—	CKS2	CKS1	CKS0
初期値:	0	0	1	1	1	0	0	0
R/W:	R/W	R/W	—	—	—	R/W	R/W	R/W

TCRは、8ビットのリード/ライト可能なレジスタで、TCNTに入力するクロックの選択、PWM出力の制御を行います。

TCRは、リセットまたはスタンバイモード時に、H'38にイニシャライズされます。

ビット7: アウトプットイネーブル (OE)

TCNTの開始とPWM出力を制御します。

ビット7	説明
OE	
0	PWM出力を禁止 (初期値) TCNTの値はH'00にイニシャライズされて停止
1	PWM出力を許可 TCNTはカウントアップ

ビット6: アウトプットセレクト (OS)

PWM出力の直接出力または反動出力を選択します。

ビット6	説明
OS	
0	PWM直接出力 (初期値)
1	PWM反転出力

ビット5~3: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット2～0：クロックセレクト (CKS2～CKS0)

システムクロック () を分周して得られる 8 種類の内部クロックから、TCNT に入力するクロックを選択します。

ビット2	ビット1	ビット0	説 明
CKS2	CKS1	CKS0	
0	0	0	$\mu/2$ (初期値)
		1	$\mu/8$
	1	0	$\mu/32$
		1	$\mu/128$
1	0	0	$\mu/256$
		1	$\mu/1024$
	1	0	$\mu/2048$
		1	$\mu/4096$

PWM の分解能、周期および周波数は、選択した内部クロックにより、次の式で求めることができます。

$$\text{分解能} = 1 / \text{内部クロック周波数}$$

$$\text{PWM 周期} = \text{分解能} \times 250$$

$$\text{PWM 周波数} = 1 / \text{PWM 周期}$$

したがって、周辺用クロック (f_p) が 10MHz の場合の分解能、PWM 周期、周波数は次のようになります。

表 10.3 PWM 周期と分解能

内部クロック周波数	分解能	PWM 周期	PWM 周波数
$\mu/2$	200ns	50 μ s	20kHz
$\mu/8$	800ns	200 μ s	5kHz
$\mu/32$	3.2 μ s	800 μ s	1.25kHz
$\mu/128$	12.8 μ s	3.2ms	312.5Hz
$\mu/256$	25.6 μ s	6.4ms	156.3Hz
$\mu/1024$	102.4 μ s	25.6ms	39.1Hz
$\mu/2048$	204.8 μ s	51.2ms	19.5Hz
$\mu/4096$	409.6 μ s	102.4ms	9.8Hz

10.3 PWM タイマの動作

10.3.1 タイマカウンタ入力タイミング

TCNT のカウントクロックは、TCR の CKS2~0 により、システムクロック () を分周して作られる 8 種類の内部クロックが選択されます。このタイミングを図 10.2 に示します。

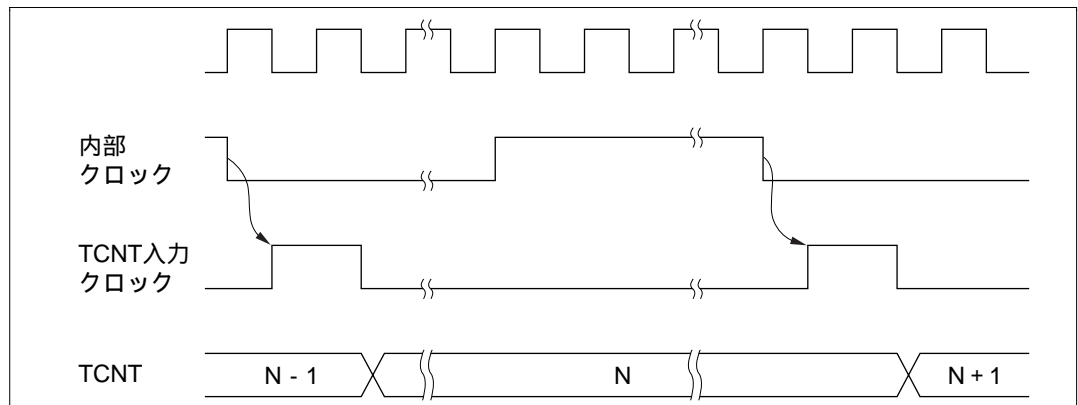


図 10.2 TCNT 入力タイミング

10.3.2 PWM 動作タイミング

PWM タイマの動作を以下に示します。また、動作タイミングを図 10.3 に示します。

(1) 直接出力 (OS = 0)

(1) OE = 0 のとき (図 10.3 の (a))

TCNT の値は、H'00 に固定されており、PWM 出力は禁止されています (ポートのデータレジスタ (DR) とデータディレクションレジスタ (DDR) によって決められる状態になります)。このとき、DTR にライト (この場合は N をライト) すると、ライトされた値は、ただちに有効になります。

(2) OE = 1 にセットすると

(a) TCNT は、カウントアップを開始し、PWM 出力は 1 出力になります (図 10.3 の (b))。

(b) TCNT と DTR の値が一致すると、PWM 出力は 0 出力になります (図 10.3 の (c))。

(c) DTR の値を変更 (DTR に M をライト) すると、TCNT が H'F9 H'00 に変化した後から、ライトした値は有効になります (図 10.3 の (d))。

なお、DR、DDR についての詳細は、「第 7 章 I/O ポート」を参照してください。

(2) 反転出力 (OS = 1)

反転出力のときは、PWM 出力は逆の出力になります (図 10.3 の (e))。

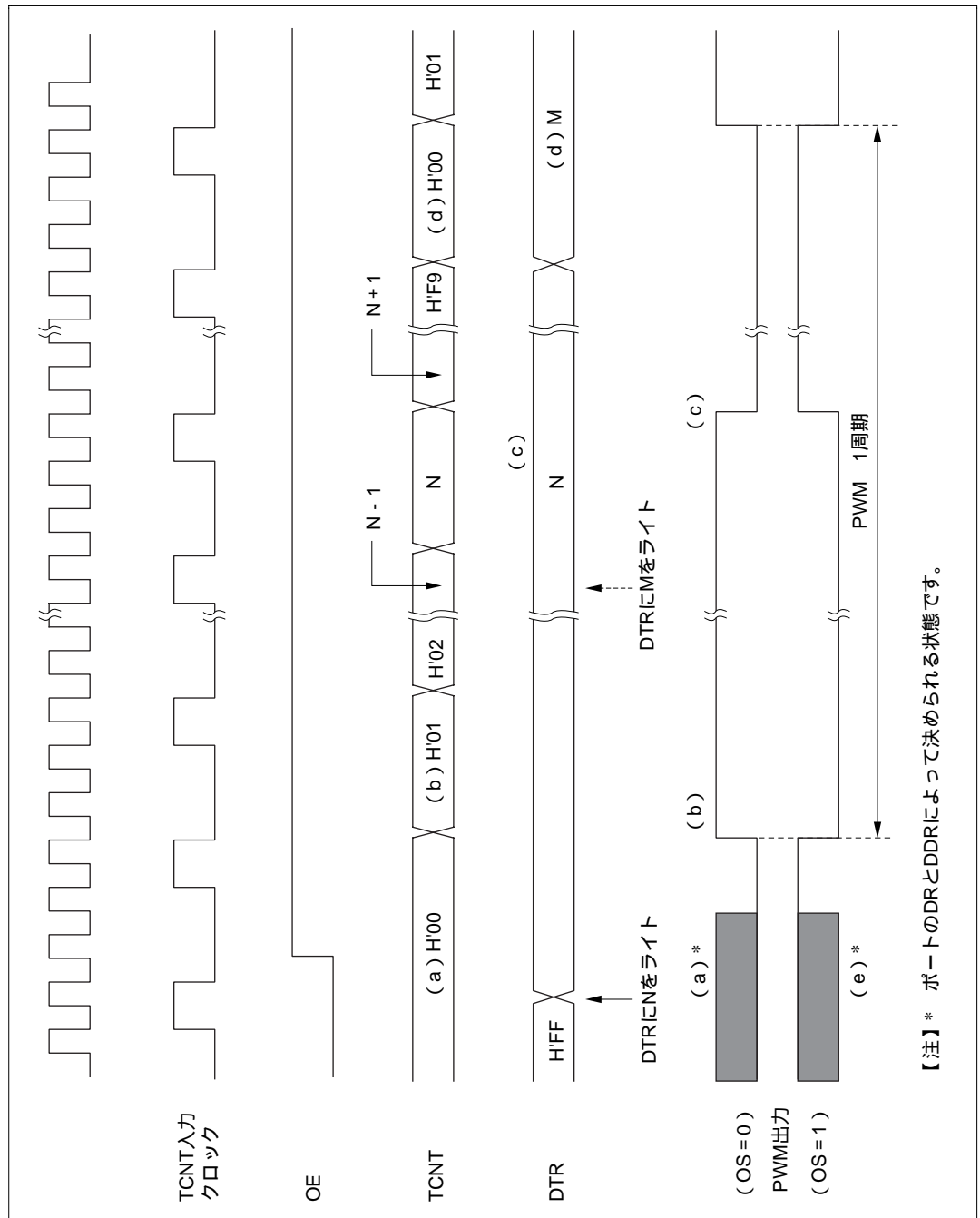


図 10.3 PWM 動作タイミング

10.4 使用上の注意

PWM タイマを使用するときは、次のことに注意してください。

- (1) CKS2~0ビット、OSビットの切り換えは、OE ビットを1にセットする前に行ってください。
- (2) DTRの値がH'00のときはPWM出力のデューティが0%（常に0出力）となります。
また、H'FA~H'FFのとき、デューティは100%（常に1出力）となります。
ただし反転出力の場合は逆になります。

11. ウォッチドッグタイマ

第11章 目次

11.1	概要.....	235
	11.1.1 特長.....	235
	11.1.2 ブロック図.....	236
	11.1.3 端子構成.....	236
	11.1.4 レジスタ構成.....	236
11.2	各レジスタの説明.....	237
	11.2.1 タイマカウンタ (TCNT).....	237
	11.2.2 タイマコントロール/ステータスレジスタ (TCSR).....	237
	11.2.3 システムコントロールレジスタ (SYSCR).....	240
	11.2.4 レジスタ書き換え時の注意.....	241
11.3	動作説明.....	242
	11.3.1 ウォッチドッグタイマモード時の動作.....	242
	11.3.2 インターバルタイマモード時の動作.....	243
	11.3.3 オーバフローフラグ (OVF) のセットタイミング.....	243
	11.3.4 $\overline{\text{RESO}}$ 信号出力タイミング.....	244
11.4	使用上の注意.....	245

11.1 概要

本 LSI は、ウォッチドッグタイマ (WDT : Watch Dog Timer) を 1 チャンネル内蔵しており、システムの監視を行うことができます。ウォッチドッグタイマはシステムの暴走などにより、タイマカウンタの値が書き換えられずオーバフローすると、CPU に対してリセットまたは NMI 割り込みを発生します。

また、ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマモードのときは、カウンタがオーバフローするごとに WOVF 割り込みを発生します。

11.1.1 特長

WDT の特長を以下に示します。

8 種類のカウンタ入力クロックを選択可能

ウォッチドッグタイマモードとインターバルタイマモードを切り換え可能

タイマカウンタがオーバフローすると内部リセットまたは内部割り込みを発生

- ・ウォッチドッグタイマモード時には、内部をリセットするか NMI 割り込みを発生するかを選択可能
- ・インターバルタイマモード時には、WOVF 割り込みを発生

ウォッチドッグタイマモード時、 $\overline{\text{RESO}}$ を出力

- ・ウォッチドッグタイマモード時にカウンタがオーバフローすると、 $\overline{\text{RESO}}$ 端子から Low 信号を出力 (内部リセット選択時)

11.1.2 ブロック図

WDTのブロック図を図11.1に示します。

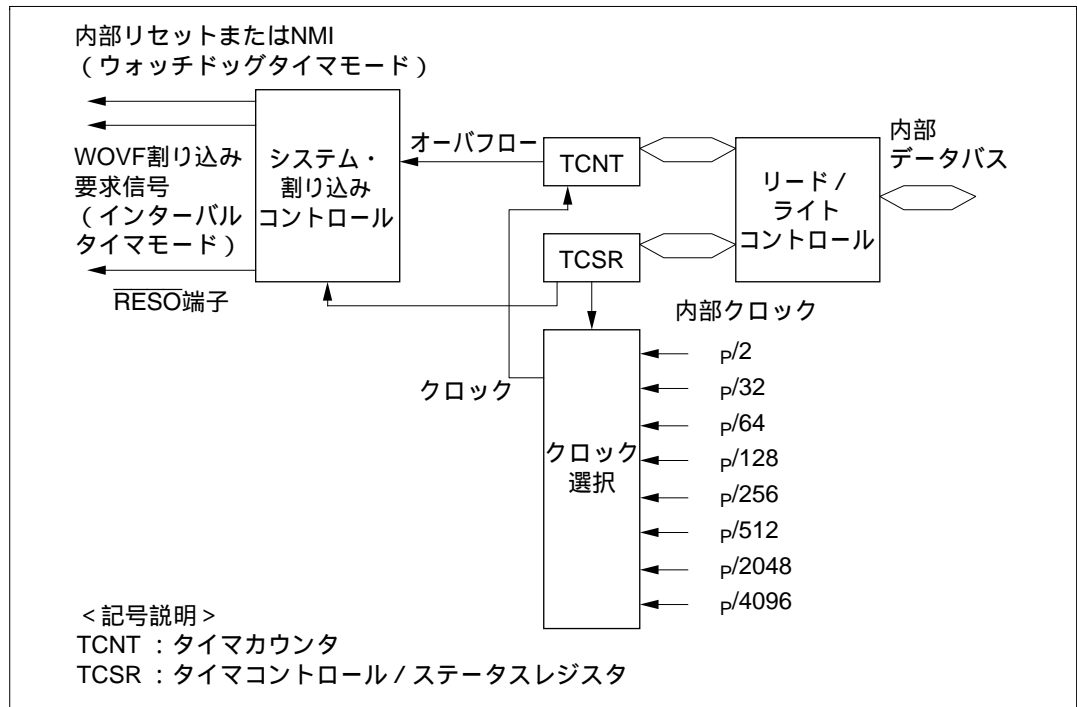


図 11.1 WDTのブロック図

11.1.3 端子構成

表 11.1 端子構成

名称	記号	入出力	機能
リセットアウト出力端子	RESO	出力	ウォッチドッグタイマモード時のカウンタ オーバーフロー信号出力

11.1.4 レジスタ構成

WDTには表11.2に示すレジスタがあります。

表 11.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	
				ライト時	リード時
タイマコントロール/ステータスレジスタ	TCSR	R/(W)*	H'18	H'FFA8	H'FFA8
タイマカウンタ	TCNT	R/W	H'00		H'FFA9

【注】 * ビット7は、フラグをクリアするための0ライトのみ可能です。

11.2 各レジスタの説明

11.2.1 タイマカウンタ (TCNT)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNTは、8ビットのリード/ライト*可能なアップカウンタです。TCSRのタイムネーブルビット(TME)を1にセットすると、TCSRのクロックセレクト2~0ビット(CKS2~0)で選択された内部クロックにより、カウントアップを開始します。また、TCNTの値がオーバーフロー(H'FF H'00)すると、TCSRのオーバーフローフラグ(OVF)が1にセットされます。

また、TCNTはリセット、あるいはTME=0のとき、H'00にイニシャライズされます。

【注】* TCNTは、容易に書き換えられないようにライト方法が一般のレジスタと異なっています。詳細は「11.2.4 レジスタ書き換え時の注意」を参照してください。

11.2.2 タイマコントロール/ステータスレジスタ (TCSR)

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	—	RST/NMI	CKS2	CKS1	CKS0
初期値:	0	0	0	1	0	0	0	0
R/W:	R/(W)*	R/W	R/W	—	R/W	R/W	R/W	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

TCSRは、8ビットのリード/ライト*1可能なレジスタで、TCNTに入力するクロックの選択およびモードの選択などを行います。

ビット7~5、3は、リセットまたはスタンバイモード時に0にイニシャライズされます。ビット2~0は、リセット時のみ0にイニシャライズされますが、スタンバイモード時には、イニシャライズされずに前の値を保持します。

【注】*1 TCSRは、容易に書き換えられないようにライト方法が一般のレジスタと異なっています。詳細は「11.2.4 レジスタ書き換え時の注意」を参照してください。

ビット7：オーバフローフラグ（OVF）

TCNTがオーバフロー（H'FF H'00）したことを示すステータスフラグです。

ビット7	説 明
OVF	
0	[クリア条件] OVF = 1 の状態で、OVF をリード後、OVF に 0 をライトしたとき (初期値)
1	[セット条件] TCNT が H'FF H'00 に変化したとき

ビット6：タイマモードセレクト（WT/ \bar{T} ）

ウォッチドッグタイマとして使用するか、またはインターバルタイマとして使用するかを選択します。

この選択によってTCNTがオーバフローしたとき、CPUに要求する割り込みは、インターバルタイマモード時は WOVF 割り込みを、ウォッチドッグタイマモード時はリセットまたはNMI割り込みを要求します。

ビット6	説 明
WT/ \bar{T}	
0	インターバルタイマモード (初期値) (WOVF 割り込み要求)
1	ウォッチドッグタイマモード (リセットまたはNMI 割り込み要求)

ビット5：タイマイネーブル（TME）

動作の許可または禁止を選択します。

ビット5	説 明
TME	
0	タイマディスエーブル：TCNT を H'00 にイニシャライズし、カウントアップを停止 (初期値)
1	タイマイネーブル：TCNT がカウントアップを開始し、TCNT がオーバフローする とリセットまたはCPUへの割り込み要求を許可

ビット4：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット3：リセットまたはNMI (RST/ $\overline{\text{NMI}}$)

ウォッチドッグタイマのオーバフロー時に、内部リセットかNMI機能かを選択します。

ビット3	説 明
RST/ $\overline{\text{NMI}}$	
0	NMI機能有効 (初期値)
1	リセット機能有効

ビット2~0：クロックセレクト2~0 (CKS2~CKS0)

システムクロック()を分周して得られる8種類の内部クロックからTCNTに入力するクロックを選択します。

オーバフロー周期は、TCNTがH'00からカウントを開始し、オーバフローするまでの時間です。

インターバルタイマモードではこのオーバフロー周期ごとにWOVF割り込みを発生させることができます。

ビット2	ビット1	ビット	説 明	
CKS2	CKS1	CKS0	カウント・クロック	オーバフロー周期 ($f_p = 10\text{MHz}$ の場合)
0	0	0	$f_p/2$	51.2 μs (初期値)
		1	$f_p/32$	819.2 μs
	1	0	$f_p/64$	1.6ms
		1	$f_p/128$	3.3ms
1	0	0	$f_p/256$	6.6ms
		1	$f_p/512$	13.1ms
	1	0	$f_p/2048$	52.4ms
		1	$f_p/4096$	104.9ms

11.2.3 システムコントロールレジスタ (SYSCR)

ビット :	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	XRST	NMIEG	HIE	RAME
初期値 :	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ここではビット 3 のみ説明します。ウォッチドッグタイマ以外の詳細は、「3.2 システムコントロールレジスタ (SYSCR)」、および関連するモジュールの説明を参照してください。

ビット 3 : 外部リセット (XRST)

XRST はリセット要因を表すビットです。リセットは、外部リセット入力に加えて、ウォッチドッグタイマを利用しているときには、ウォッチドッグタイマオーバフローにより発生することができます。

XRST ビットはリード専用です。外部リセットにより 1 にセット、 $\overline{RST/NMI}$ ビットが 1 の時にウォッチドッグタイマオーバフローによる内部リセットで 0 にクリアされます。

ビット 3	説明
XRST	
0	リセットがウォッチドッグタイマのオーバフローによる内部リセットで発生
1	リセットが外部リセット入力で発生 (初期値)

11.2.4 レジスタ書き換え時の注意

ウォッチドッグタイマの TCNT と TCSR のレジスタは、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。リード/ライトは次の方法で行ってください。

(1) TCNT、TCSR へのライト

ライトする場合、必ずワード転送命令を使用してください。バイト転送命令では、ライトすることができません。

ライト時のアドレスは、TCNT、TCSR とも同一アドレスになっています。そのため、TCNT、TCSR へライトするときは、下位バイトをライトデータに、上位バイトを H'5A (TCNT のとき) または H'A5 (TCSR のとき) にしてワード転送を行います。これを図 11.2 に示します。このようなデータ転送により、下位バイトのデータが TCNT または TCSR へライトされます。

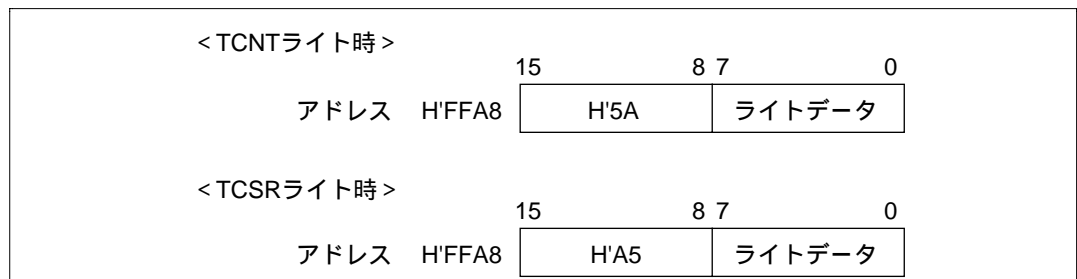


図 11.2 TCNT、TCSR へのライトデータ

(2) TCNT、TCSR のリード

リードの場合、アドレス H'FFA8 に TCSR、H'FFA9 に TCNT が割り当てられています。これを表 11.3 に示します。

したがって、一般のレジスタと同様にリードしてください。リードの場合は、バイト転送命令を使用することができます。

表 11.3 TCNT、TCSR のリード

アドレス	レジスタ
H'FFA8	TCSR
H'FFA9	TCNT

11.3 動作説明

11.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用する場合は、 $WT/\overline{IT}=1$ 、 $TME=1$ に設定します。

プログラムでは TCNT がオーバーフローする前に、ソフトウェアで TCNT の値を書き換えて（通常は H'00 をライト）、常にオーバーフローが発生しないようにします。システムの暴走などにより、TCNT の値が書き換えられず、オーバーフローすると、518 システムクロック（518 ）の間、本 LSI をリセットするか、または NMI 割り込み要求が発生します。これを図 11.3 に示します。

また、ウォッチドッグタイマからの NMI 要求と \overline{NMI} 端子からの割り込み要求は、同一ベクタです。WDT からの NMI 要求と \overline{NMI} 端子からの割り込み要求を同時に扱うことは避けてください。

ウォッチドッグタイマからのリセットと \overline{RES} 端子からのリセットは、同一ベクタです。リセット要因は、SYSCR の XRST ビットの内容によって判別できます。

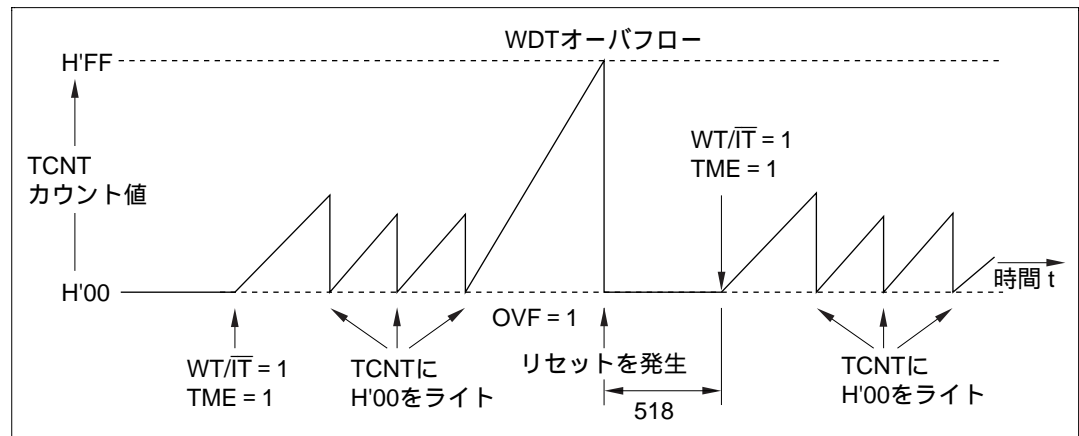


図 11.3 ウォッチドッグタイマモード時の動作

11.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するには、 $WT/\overline{IT}=0$ 、 $TME=1$ に設定します。

インターバルタイマとして動作しているときは、TCNT がオーバーフローするごとに、WOVF 割り込み要求が発生します。これにより、一定時間ごとに WOVF 割り込みを発生させることができます。これを図 11.4 に示します。

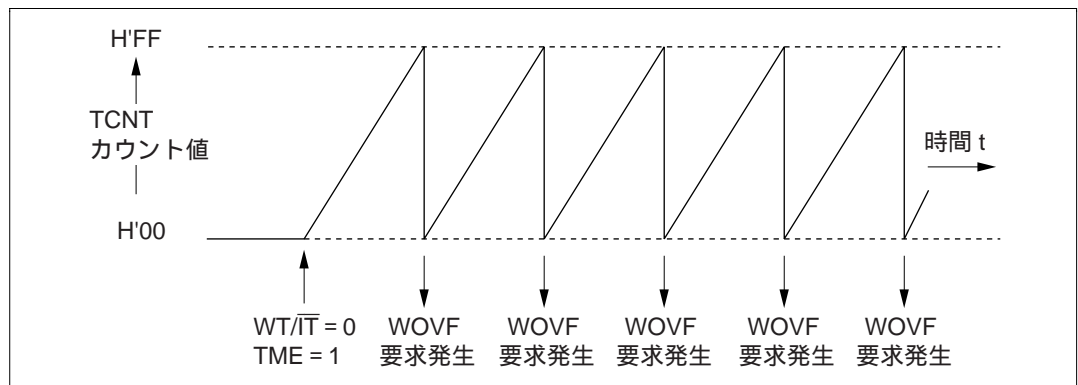


図 11.4 インターバルタイマモード時の動作

11.3.3 オーバフローフラグ (OVF) のセットタイミング

OVF は、TCNT がオーバーフローすると 1 にセットされます。このとき同時に、NMI または WOVF の割り込みが要求されます。このタイミングを図 11.5 に示します。

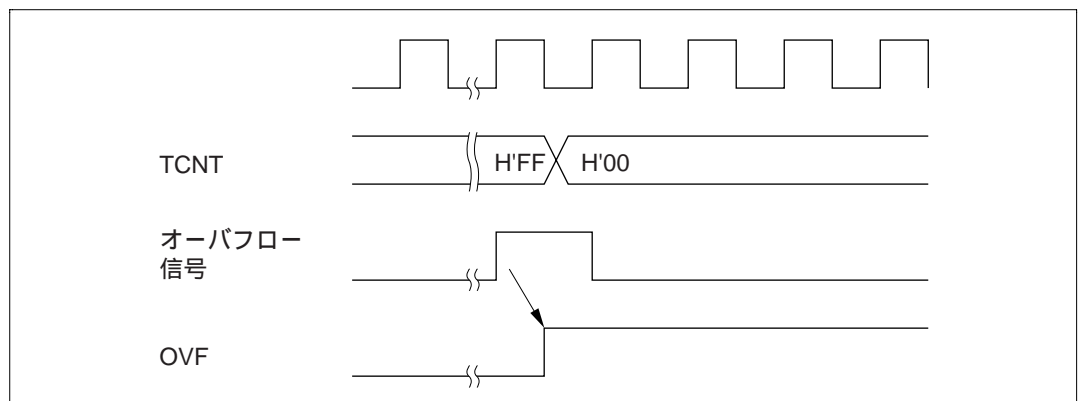


図 11.5 OVF のセットタイミング

11.3.4 $\overline{\text{RESO}}$ 信号出力タイミング

ウォッチドッグタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされます。このとき RST/ $\overline{\text{NMI}}$ ビットが 1 にセットしてあると、本 LSI 全体に対して内部リセット信号を発生します。また、同時に $\overline{\text{RESO}}$ 端子から Low レベルを出力します。これらのタイミングを図 11.6 に示します。

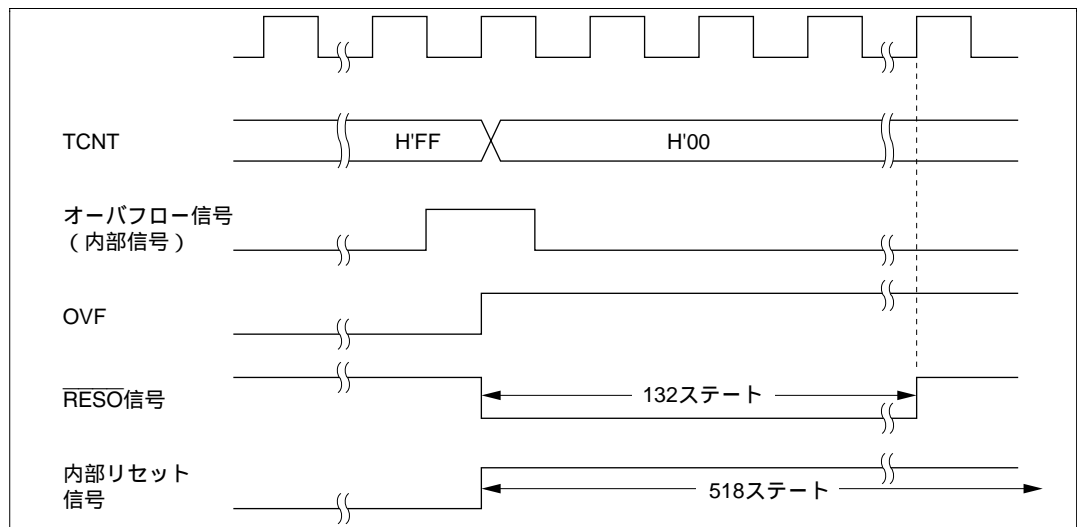


図 11.6 $\overline{\text{RESO}}$ 信号の出力タイミング

11.4 使用上の注意

WDT を使用するときには、次のことに注意してください。

(1) TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T_3 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。これを図 11.7 に示します。

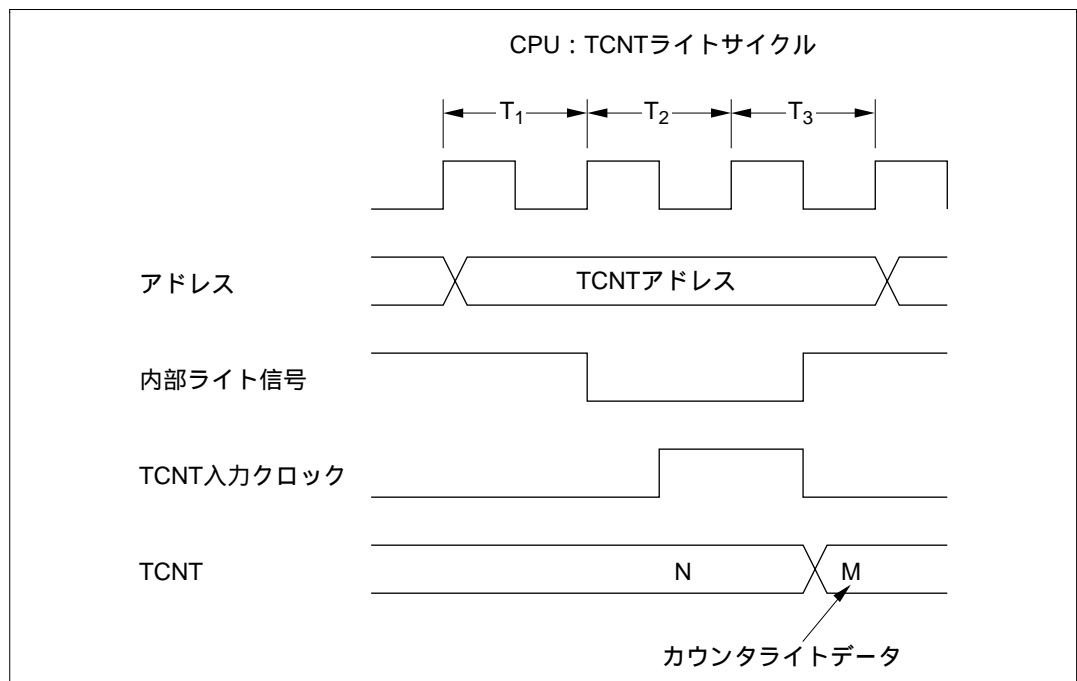


図 11.7 TCNT のライトとカウントアップの競合

(2) CKS2 ~ CKS0 ビットの書き換え

WDT が動作中に CKS2 ~ 0 ビットを書き換えると、カウントアップが正しく行われない場合があります。

CKS2 ~ 0 ビットを書き換えるときは、必ず WDT を停止させてから (TME = 0 の状態にしてから) 行ってください。

(3) ソフトウェアスタンバイモードからの復帰

本 LSI がソフトウェアスタンバイモードから復帰すると、ビット 0 ~ 2 をのぞく TCSR ビットと TCNT カウンタがリセットされます。ウォッチドッグタイマが通常の動作状態になるように再び初期化してください。

(4) ウォッチドッグタイマモードとインターバルタイマモードの切り換え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り換えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

(5) $\overline{\text{RESO}}$ 信号によるシステムのリセット

$\overline{\text{RESO}}$ 出力信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。 $\overline{\text{RESO}}$ 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{RESO}}$ 信号でシステム全体をリセットするときは、図 11.8 の示すような回路で行ってください。

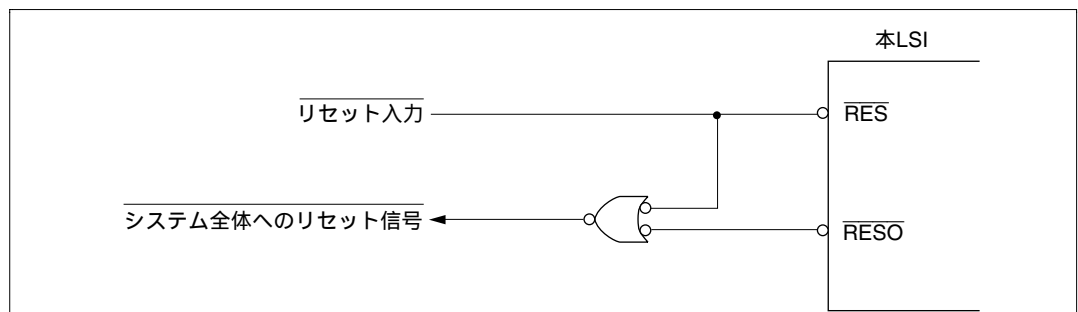


図 11.8 $\overline{\text{RESO}}$ 信号によるシステムのリセット回路例

(6) プログラム暴走の検知について

プログラムの暴走をマイコンに内蔵のウォッチドッグタイマを利用して検知しようとするときには以下の点に注意してください。

プログラムが暴走しているときは通常とは異なる命令を実行することがあります。暴走の結果システムで予約されている命令が実行された場合、時にはウォッチドッグタイマが止まり、暴走を検知できなくなることがあります。

この現象は以下の設定をプログラム上で実施することにより防止することが可能です。

- (a) ROM のアドレス H'0002 にコード H'0004 をセットする。
- (b) ROM のアドレス H'0004 にコード H'56F0 をセットする。

なお、エミュレータではシステム予約アドレスが使われることがありますので、上記設定は実チップに対してのみ実施してください。

12. シリアルコミュニケーションインタフェース

第12章 目次

12.1	概要.....	249
	12.1.1	特長..... 249
	12.1.2	ブロック図..... 250
	12.1.3	端子構成..... 251
	12.1.4	レジスタ構成..... 251
12.2	各レジスタの説明.....	252
	12.2.1	レシーブシフトレジスタ (RSR)..... 252
	12.2.2	レシーブデータレジスタ (RDR)..... 252
	12.2.3	トランスミットシフトレジスタ (TSR)..... 252
	12.2.4	トランスミットデータレジスタ (TDR)..... 253
	12.2.5	シリアルモードレジスタ (SMR)..... 253
	12.2.6	シリアルコントロールレジスタ (SCR)..... 256
	12.2.7	シリアルステータスレジスタ (SSR)..... 259
	12.2.8	ビットレートレジスタ (BRR)..... 262
	12.2.9	シリアルタイムコントロールレジスタ (STCR)..... 271
12.3	動作説明.....	272
	12.3.1	概要..... 272
	12.3.2	調歩同期式モード時の動作..... 274
	12.3.3	クロック同期式モード時の動作..... 287
12.4	SCI 割り込み.....	294
12.5	使用上の注意.....	295

12.1 概要

本 LSI は、2 チャンネルのシリアルコミュニケーションインタフェース 0、1 (SCI : Serial Communication Interface) を内蔵しています。

SCI は、他の LSI とシリアルデータの通信を行う内蔵周辺モジュールで、調歩同期式モードとクロック同期式モードの選択が可能です。

12.1.1 特長

SCI の特長を以下に示します。

通信モードは調歩同期式モードとクロック同期式モードから選択可能

(a) 調歩同期式モード

調歩同期式通信を行うモードです。UART (Universal Asynchronous Receiver/Transmitter) や ACIA (Asynchronous Communication Interface Adapter) などの標準の調歩同期式通信用 LSI との通信が可能です。また複数のプロセッサと通信を行うことができるマルチプロセッサ間通信機能を備えています。

データ送信 / 受信フォーマットは 12 種類のフォーマットから選択可能です。

- ・データ長 : 7 ビットまたは 8 ビット
- ・ストップビット長 : 1 ビットまたは 2 ビット
- ・パリティ : 偶数パリティ、奇数パリティまたはパリティなし
- ・マルチプロセッサビット : 1 または 0
- ・エラー検出 : パリティエラー、オーバランエラー、フレーミングエラー
- ・ブレークの検出 : フレーミングエラー発生時に RxD 端子のレベルを直接読み出すことでブレークを検出できます。

(b) クロック同期式モード

クロックに同期させてシリアルデータの通信を行うモードです。クロック同期式通信機能をもつ他の LSI との通信が可能です。

- ・データ長 : 8 ビット
- ・エラー検出 : オーバランエラー

全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部および受信部ともにダブルバッファ構成になっているので、データの連続転送を行うことができます。

ボーレートジェネレータを内蔵

ボーレートジェネレータにより任意のビットレートを選択することができます。

内部 / 外部のクロックソースを選択可能

クロックソースは、ボーレートジェネレータからの内部クロックまたは SCK 端子からの外部クロックから選択することができます。

4種類の割り込み要因

TDR エンプティ、TSR エンプティ、受信完了、受信エラーがあり、それぞれ独立に要求することができます。

12.1.2 ブロック図

図 12.1 に SCI のブロック図を示します。

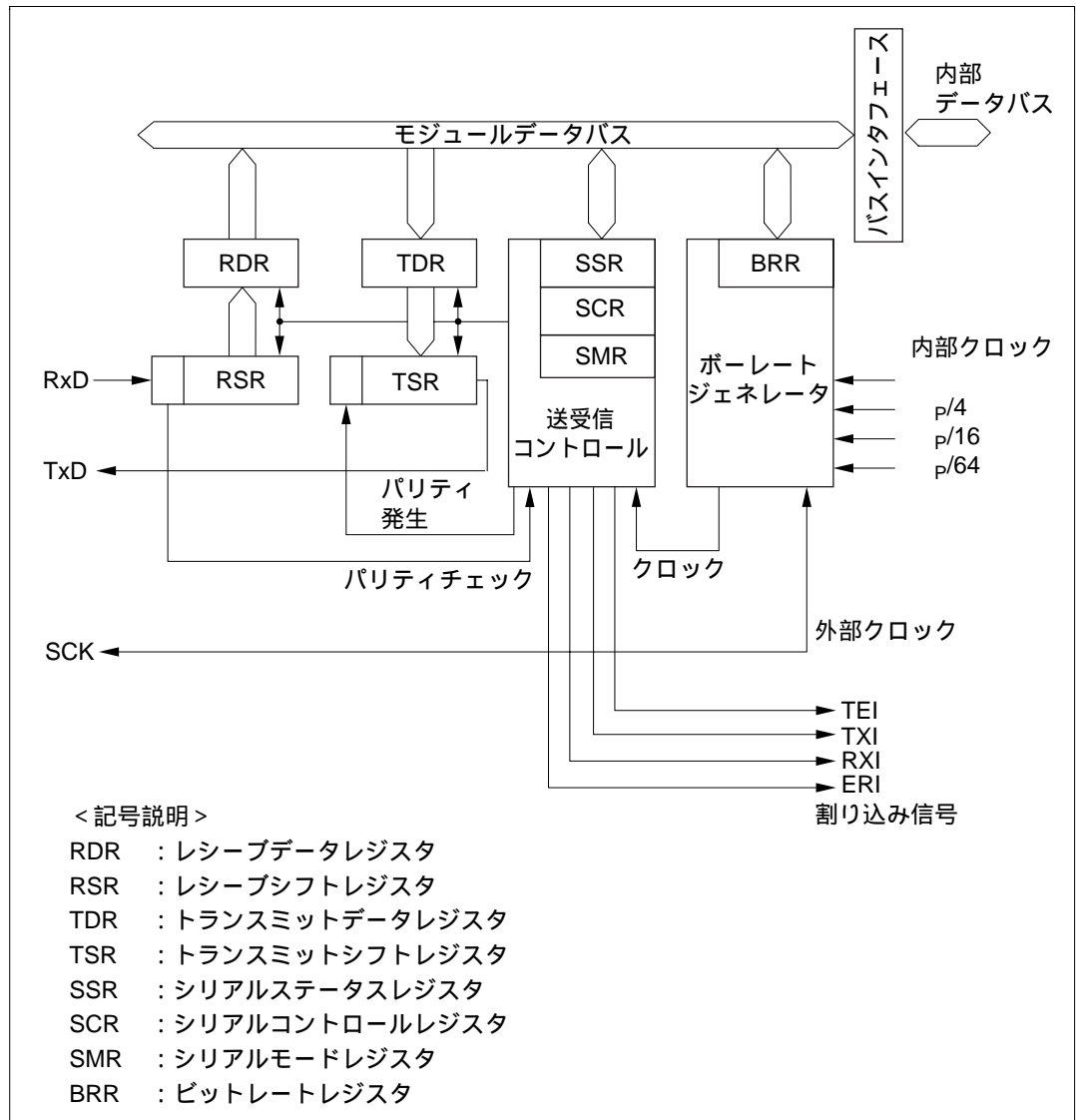


図 12.1 SCI のブロック図

12.1.3 端子構成

SCI は、表 12.1 に示すシリアル端子を備えています。

表 12.1 端子構成

チャンネル	名称	略称*	入出力	機能
0	シリアルクロック入出力端子	SCK ₀	入出力	SCI0 クロック入出力
	レシーブデータ入力端子	RxD ₀	入力	SCI0 受信データ入力
	トランスミットデータ出力端子	TxD ₀	出力	SCI0 送信データ出力
1	シリアルクロック入出力端子	SCK ₁	入出力	SCI1 クロック入出力
	レシーブデータ入力端子	RxD ₁	入力	SCI1 受信データ入力
	トランスミットデータ出力端子	TxD ₁	出力	SCI1 送信データ出力

【注】 * 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

12.1.4 レジスタ構成

SCI には、表 12.2 に示す内部レジスタがあります。これらのレジスタにより動作モード（調歩同期式 / クロック同期式）の指定、データフォーマットの指定、ビットレートの設定、および送信部 / 受信部の制御などを行います。

表 12.2 レジスタ構成

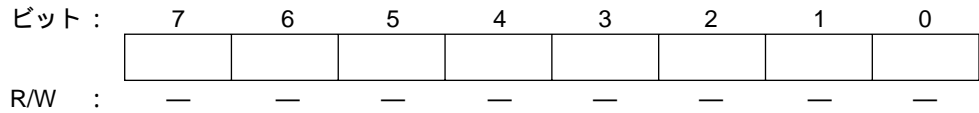
チャンネル	名称	略称	R/W	初期値	アドレス
0	レシーブシフトレジスタ	RSR	不可		
	レシーブデータレジスタ	RDR	R	H'00	H'FFDD
	トランスミットシフトレジスタ	TSR	不可		
	トランスミットデータレジスタ	TDR	R/W	H'FF	H'FFDB
	シリアルモードレジスタ	SMR* ²	R/W	H'00	H'FFD8
	シリアルコントロールレジスタ	SCR	R/W	H'00	H'FFDA
	シリアルステータスレジスタ	SSR	R/(W)* ¹	H'84	H'FFDC
	ビットレートレジスタ	BRR* ²	R/W	H'FF	H'FFD9
1	レシーブシフトレジスタ	RSR	不可		
	レシーブデータレジスタ	RDR	R	H'00	H'FF8D
	トランスミットシフトレジスタ	TSR	不可		
	トランスミットデータレジスタ	TDR	R/W	H'FF	F'FF8B
	シリアルモードレジスタ	SMR	R/W	H'00	H'FF88
	シリアルコントロールレジスタ	SCR	R/W	H'00	H'FF8A
	シリアルステータスレジスタ	SSR	R/(W)* ¹	H'84	H'FF8C
	ビットレートレジスタ	BRR	R/W	H'FF	H'FF89
0, 1	シリアルタイムコントロールレジスタ	STCR	R/W	H'00	H'FFC3

【注】 *¹ ビット 7~3 はフラグをクリアするための 0 ライトのみ可能です。

*² SMR と BRR はそれぞれ、I²C バスインタフェースのレジスタ ICCR、ICSR とアドレスが同じです。切り換えの方法など詳しくは「第 13 章 I²C バスインタフェース」を参照してください。

12.2 各レジスタの説明

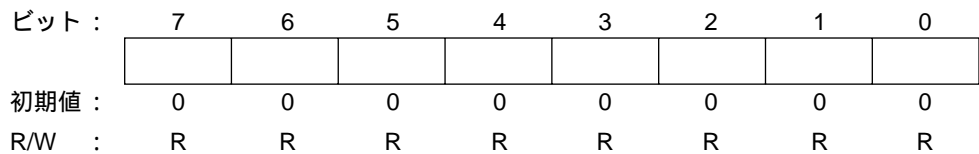
12.2.1 レシーブシフトレジスタ (RSR)



RSR は、受信したシリアルデータをパラレルデータに変換するためのシフトレジスタです。1 キャラクタの受信が終了すると、データは RDR に転送されます。

RSR は、CPU から直接リード/ライトできません。

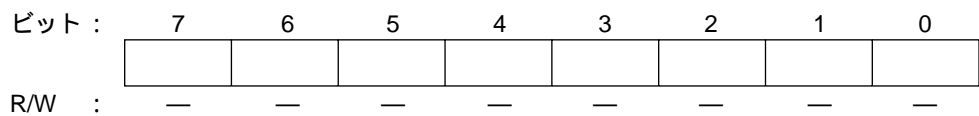
12.2.2 レシーブデータレジスタ (RDR)



RDR は、受信データを格納するレジスタで、受信が完了すると、RSR からデータが転送されます。これにより、RSR は次のデータの受信が可能になり、データを連続的に受信することができます。

RDR はリード専用です。RDR は、リセットまたはスタンバイモード時に、H'00 にイニシャライズされます。

12.2.3 トランスミットシフトレジスタ (TSR)



TSR は、パラレルデータをシリアルデータに変換して送信するためのシフトレジスタです。1 キャラクタのデータの送信が終了すると、次に送信するデータが TDR から転送され、送信を開始します。ただし、TDRE ビットが 1 にセットされたままの場合には、転送は行われません。

TSR は、CPU から直接リード/ライトすることはできません。

12.2.4 トランスミットデータレジスタ (TDR)

ビット :	7	6	5	4	3	2	1	0
	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TDR は、送信するデータを格納するリード/ライト可能な 8 ビットのレジスタです。TDR にライトされたデータは、TSR がデータを送信して空になると TSR へ転送されます。TSR がデータ送信中に、TDR に次のデータをライトしておくことによって、データを連続的に送信することができます。

TDR は、リセットまたはスタンバイモード時に、H'FF にイニシャライズされます。

12.2.5 シリアルモードレジスタ (SMR)

ビット :	7	6	5	4	3	2	1	0
	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SMR は、SCI の送信/受信フォーマットの設定と、内蔵ボーレートジェネレータのクロックソースの選択を行うリード/ライト可能な 8 ビットのレジスタです。SMR は、リセットまたはスタンバイモード時に、H'00 にイニシャライズされます。

なお、SMR の設定と送信/受信フォーマットについては、「12.3 動作説明」表 12.7 および表 12.9 を参照してください。

ビット 7 : コミュニケーションモード (C/ \bar{A})

SCI の動作モードを選択します。

ビット 7	説明
C/ \bar{A}	
0	調歩同期式モード (初期値)
1	クロック同期式モード

ビット6：キャラクタレングス（CHR）

調歩同期式モードでのデータ長を指定します。

クロック同期式モードでは無効です。CHR ビットの設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット6	説 明
CHR	
0	8 ビットデータ (初期値)
1	7 ビットデータ (TDR、RDR のビット 0~6 を送信 / 受信に用います)

ビット5：パリティイネーブル（PE）

調歩同期式モードで、パリティビットの付加 / チェックを設定します。

クロック同期式モードおよびマルチプロセッサフォーマットでは無効です。

ビット5	説 明
PE	
0	(1) 送信時：パリティビットを付加しない (2) 受信時：パリティビットのチェックを行わない (初期値)
1	(1) 送信時：パリティビットを付加する (2) 受信時：パリティビットのチェックを行う

ビット4：パリティモード（O/ \bar{E} ）

調歩同期式モードで、パリティビットの付加 / チェックを設定したとき（PE ビットが 1 のとき）、付加 / チェックするパリティビットの偶数パリティまたは奇数パリティを指定します。

偶数パリティでは、パリティビットと送受信キャラクタをあわせて、その中の 1 の数の合計が偶数個になるようにパリティビットが決定されます。同様に、奇数パリティでは、キャラクタとパリティビットをあわせて、その中の 1 の数の合計が奇数個になるようにパリティビットを決定します。

PE ビットが 0 のとき、およびクロック同期式モード、ならびにマルチプロセッサフォーマットでは無効です。

ビット4	説 明
O/ \bar{E}	
0	偶数パリティ (初期値)
1	奇数パリティ

ビット3：ストップビットレングス（STOP）

調歩同期式モードでのストップビットの長さを指定します。

クロック同期式モードでは無効です。

ビット3	説明
STOP	
0	1ストップビット (初期値) (1) 送信時：ストップビットを1ビット付加 (2) 受信時：ストップビットを1ビットチェックしフレーミングエラーを判定
1	2ストップビット (1) 送信時：ストップビットを2ビット付加 (2) 受信時：ストップビットの1ビット目をチェックしフレーミングエラーを判定。2ビット目がスペース(0)の場合は次のスタートビットとして扱う

ビット2：マルチプロセッサモード（MP）

調歩同期式モードでマルチプロセッサフォーマットを選択します。

マルチプロセッサフォーマットを選択した場合、パリティイネーブル（PE）、および、パリティモード（ $0/\bar{E}$ ）で設定したパリティの設定は無効になります。クロック同期式モードでは無効です。

MPビットは、STCRのMPEビットを1にセットしたとき有効となります。MPEビットを0にクリアすると、MPビットの値にかかわらずマルチプロセッサ機能は禁止されます。

ビット2	説明
MP	
0	マルチプロセッサ機能を禁止 (初期値)
1	マルチプロセッサフォーマットを選択

ビット1、0：クロックセレクト1、0（CKS1、CKS0）

内蔵ポーレートジェネレータのクロックソースを選択します。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	クロック (初期値)
	1	$p/4$ クロック
1	0	$p/16$ クロック
	1	$p/64$ クロック

12.2.6 シリアルコントロールレジスタ (SCR)

ビット :	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SCR は、SCI の動作の制御を行うリード/ライト可能な 8 ビットのレジスタです。リセットまたはスタンバイモード時に、H'00 にイニシャライズされます。

ビット 7 : トランスミットインタラプトイネーブル (TIE)

SSR のトランスミットデータレジスタエンプティ (TDRE) が 1 にセットされたときに、TDR エンプティ割り込み要求 (TXI) の許可または禁止を選択します。

ビット 7	説 明
TIE	
0	TDR エンプティ割り込み要求 (TXI) を禁止 (初期値)
1	TDR エンプティ割り込み要求 (TXI) を許可

ビット 6 : レシーブインタラプトイネーブル (RIE)

SSR のレシーブデータレジスタフル (RDRF) が 1 にセットされたときに、受信完了割り込み要求 (RXI) の許可または禁止、ならびにオーバランエラー (ORER) またはフレーミングエラー (FER)、パリティエラー (PER) が 1 にセットされたときに、受信エラー割り込み要求 (ERI) の許可または禁止を選択します。

ビット 6	説 明
RIE	
0	受信完了割り込み要求 (RXI)、受信エラー割り込み要求 (ERI) を禁止 (初期値)
1	受信完了割り込み要求 (RXI)、受信エラー割り込み要求 (ERI) を許可

ビット5：トランスミットイネーブル（TE）

送信動作の許可または禁止を選択します。送信可能状態のとき、TxD端子は自動的に出力端子になりますが、送信動作禁止の状態では TxD 端子は入出力ポートとして使用できません。

ビット5	説 明	
TE		
0	送信動作を禁止（TxD端子は入出力ポートとして使用可）	（初期値）
1	送信可能状態（TxD端子は出力端子）	

ビット4：レシーブイネーブル（RE）

受信動作の許可または禁止を選択します。受信可能状態のとき、RxD端子は自動的に入力端子になりますが、受信動作禁止の状態では RxD 端子は入出力ポートとして使用できません。

ビット4	説 明	
RE		
0	受信動作を禁止（RxD端子は入出力ポートとして使用可）	（初期値）
1	受信可能状態（RxD端子は入力端子）	

ビット3：マルチプロセッサインタラプトイネーブル（MPIE）

マルチプロセッサフォーマットを使用してシリアル受信をするときに、マルチプロセッサビットの1を含む受信データを受け取るまでの受信動作（受信完了割り込み要求（RXI）、受信エラー割り込み要求（ERI）、RSR から RDR への受信データの転送および、SSR の RDRF、FER、PER、ORER ビットの動作）の許可または禁止を選択します。

マルチプロセッサフォーマットでないとき、ならびにクロック同期式モードでは無効です。

MPIE ビットを0にクリアするとマルチプロセッサ割り込み禁止状態になります。この状態では、受信データに付加されたマルチプロセッサビットの値にかかわらず受信動作をします。

MPIE ビットを1にセットするとマルチプロセッサ割り込み許可状態になります。この状態では、受信データに付加されたマルチプロセッサビットが0の場合、受信完了割り込み要求（RXI）および、受信エラー割り込み要求（ERI）は禁止されます。また、RSR から RDR への受信データの転送および、SSR の RDRF、FER、PER、ORER ビットの動作は禁止されます。マルチプロセッサビットが1の場合、SSR の MPB ビットを1にセットし、MPIE ビットを0にクリアします。RSR から RDR への受信データの転送および、SSR の

RDRF、FER、PER、ORER ビットの動作は許可され、受信完了割り込み (RXI) と受信エラー割り込み (ERI) は許可されます。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込みを禁止 (通常の受信動作を行います。) (初期値)
1	マルチプロセッサ割り込みを許可 マルチプロセッサビットが1のデータを受け取るまで受信割り込み要求 (RXI)、受信エラー割り込み要求 (ERI)、および、RSR から RDR への受信データの転送を禁止します。また、SSR の RDRF、FER、PER、ORER ビットのセットを禁止します。また、RSR から RDR への受信データの転送を禁止します。 [クリア条件] (1) MPIE に0をライトしたとき (2) マルチプロセッサビットが1のデータを受信したとき

ビット2: トランスミットエンドインタラプトイネーブル (TEIE)

SSR のトランスミットエンド (TEND) が1にセットされたときに、TSR エンプティ割り込み要求 (TEI) の許可または禁止を選択します。

ビット2	説明
TEIE	
0	TSR エンプティ割り込み要求 (TEI) を禁止 (初期値)
1	TSR エンプティ割り込み要求 (TEI) を許可

ビット1: クロックイネーブル1 (CKE1)

SCI のクロックソースを、内蔵ポーレートジェネレータによる内部クロック、または SCK 端子からの外部クロックから選択します。外部クロックを選択したとき、SCK 端子は自動的に入力端子になります。

ビット1	説明
CKE1	
0	内部クロックを選択 (初期値) ($C/\bar{A} = 1$ のとき SCK 端子は出力端子、 $C/\bar{A} = 0$ のときはクロックイネーブル0 (CKE0) による)
1	外部クロックを選択 (SCK 端子は入力端子)

ビット0：クロックイネーブル0 (CKE0)

調歩同期式モードで内部クロックを使用する場合に、SCK 端子からのクロック出力の許可または禁止を指定します。

外部クロックを使用する場合、およびクロック同期式モードでは無効です。

SCI のクロックソースの選択についての詳細は、「12.3 動作説明」表 12.8 を参照してください。

ビット0	説明
CKE0	
0	SCK 端子を使用しない (SCK 端子は入出力ポートとして使用可) (初期値)
1	SCK 端子を出力端子としてクロック出力

12.2.7 シリアルステータスレジスタ (SSR)

ビット：	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値：	1	0	0	0	0	1	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

SSR は、SCI の動作状態を示す 8 ビットのレジスタです。

SSR は、リセットまたはスタンバイモード時に、H'84 にイニシャライズされます。

ビット7：トランスミットデータレジスタエンプティ (TDRE)

TDR に送信データをライトすることが可能であることを示すビットです。

ビット7	説明
TDRE	
0	[クリア条件] TDRE = 1 の状態で、TDRE をリードした後、TDRE に 0 をライトしたとき
1	[セット条件] (初期値) (1) TDR から TSR へデータの転送が行われたとき (2) TE を 0 にクリアしたとき

ビット6：レシーブデータレジスタフル（RDRF）

データの受信が完了し、受信したデータがRDRに入っていることを示すビットです。

ビット6	説 明
RDRF	
0	[クリア条件] (初期値) RDRF = 1 の状態で、RDRF をリードした後、RDRF に 0 をライトしたとき
1	[セット条件] データが正常に受信され、RSR から RDR へデータが転送されたとき

ビット5：オーバランエラー（ORER）

受信時にオーバランエラーが発生したことを示すビットです。

ビット5	説 明
ORER	
0	[クリア条件] (初期値) ORER = 1 の状態で、ORER をリードした後、ORER に 0 をライトしたとき
1	[セット条件] オーバランエラーが発生したとき (RDRF = 1 の状態で次のデータの受信が完了したとき)

ビット4：フレーミングエラー（FER）

調歩同期式モードで、受信時にフレーミングエラーが発生したことを示すビットです。
クロック同期式モードでは、FER ビットは無効です。

ビット4	説 明
FER	
0	[クリア条件] (初期値) FER = 1 の状態で、FER をリードした後、FER に 0 をライトしたとき
1	[セット条件] フレーミングエラーが発生したとき（ストップビットが0の場合）

ビット3：パリティエラー（PER）

調歩同期式モードで、パリティ付のデータフォーマットで受信するときに、パリティエラーが発生したことを示すビットです。

パリティなしのデータフォーマットの場合およびクロック同期式モードでは、PER ビットは無効です。

ビット3	説 明
PER	
0	[クリア条件] (初期値) PER = 1 の状態で、PER をリードした後、PER に 0 をライトしたとき
1	[セット条件] パリティエラーが発生したとき（受信したデータのパリティが SMR の O/E ビットで設定したパリティと一致しなかったとき）

ビット2：トランスミットエンド（TEND）

送信キャラクタの最終ビットの送信時に TDR に有効なデータがなく、送信を終了したことを示すビットです。

シリアルコントロールレジスタ（SCR）の TE ビットが 0 のときにも TEND は 1 にセットされます。

TEND ビットはリード専用ですので、ライトできません。TEI 割り込みを利用する場合は、データ送信を開始して TEND を 0 とした後に TEIE を 1 にセットして割り込みを許可してください。

ビット2	説 明
TEND	
0	[クリア条件] TDRE = 1 の状態をリードした後、TDRE に 0 をライトしたとき
1	[セット条件] (初期値) (1) TE が 0 のとき (2) 送信キャラクタの最終ビット送信時に、TDRE が 1 であったとき

ビット1：マルチプロセッサビット（MPB）

調歩同期式モードで、マルチプロセッサフォーマットで受信するときに、受信データ中のマルチプロセッサビットを格納するビットです。クロック同期式モードやマルチプロセッサフォーマットでないとき、およびマルチプロセッサフォーマットでREビットを0にクリアしたときには、直前の状態を保持します。

MPB ビットは、リード専用であり、ライトできません。

ビット1	説明
MPB	
0	マルチプロセッサビットが0のデータを受信したことを表示 (初期値)
1	マルチプロセッサビットが1のデータを受信したことを表示

ビット0：マルチプロセッサビットトランスファ（MPBT）

調歩同期式モードでマルチプロセッサフォーマットで送信するときに、送信データに付加するマルチプロセッサビットを格納するビットです。MPBT ビットはTSR、TDR と同様にダブルバッファ構成になっています。クロック同期式モードやマルチプロセッサフォーマットでないときにはMPBT ビットは無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビット0を送信 (初期値)
1	マルチプロセッサビット1を送信

12.2.8 ビットレートレジスタ（BRR）

ビット：	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRR は、SMR のCKS1、0 ビットとの組み合わせでビットレートを設定する8ビットのレジスタです。

リセットまたはスタンバイモード時に、H'FF にイニシャライズされます。

BRR の設定例を表 12.3～表 12.6 に示します。

表 12.3 ビットレートに対する BRR 設定値例($p =$ の場合) [調歩同期式モード] (1)

ビットレート (bit/s)	(MHz)					
	2			2.097152		
	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	+0.03	1	148	-0.04
150	1	103	+0.16	1	108	+0.21
300	0	207	+0.16	0	217	+0.21
600	0	103	+0.16	0	108	+0.21
1200	0	51	+0.16	0	54	-0.70
2400	0	25	+0.16	0	26	+1.14
4800	0	12	+0.16	0	13	-2.48
9600				0	6	-2.48
19200						
31250	0	1	0			
38400						

ビットレート (bit/s)	(MHz)											
	2.4576			3			3.6864			4		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	174	-0.26	2	52	+0.50	2	64	+0.70	2	70	+0.03
150	1	127	0	1	155	+0.16	1	191	0	1	207	+0.16
300	0	255	0	1	77	+0.16	1	95	0	1	103	+0.16
600	0	127	0	0	155	+0.16	0	191	0	0	207	+0.16
1200	0	63	0	0	77	+0.16	0	95	0	0	103	+0.16
2400	0	31	0	0	38	+0.16	0	47	0	0	51	+0.16
4800	0	15	0	0	19	-2.34	0	23	0	0	25	+0.16
9600	0	7	0	0	9	-2.34	0	11	0	0	12	+0.16
19200	0	3	0	0	4	-2.34	0	5	0			
31250				0	2	0				0	3	0
38400	0	1	0				0	2	0			

【注】 誤差はなるべく 1%以内となるように設定してください。

表 12.3 ビットレートに対する BRR 設定値例($p =$ の場合) [調歩同期式モード] (2)

ビットレート (bit/s)	(MHz)											
	4.9152			5			6			6.144		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	86	+0.31	2	88	- 0.25	2	106	- 0.44	2	108	+ 0.08
150	1	255	0	2	64	+ 0.16	2	77	0	2	79	0
300	1	127	0	1	129	+ 0.16	1	155	0	1	159	0
600	0	255	0	1	64	+ 0.16	1	77	0	1	79	0
1200	0	127	0	0	129	+ 0.16	0	155	+ 0.16	0	159	0
2400	0	63	0	0	64	+ 0.16	0	77	+ 0.16	0	79	0
4800	0	31	0	0	32	- 1.36	0	38	+ 0.16	0	39	0
9600	0	15	0	0	15	+ 1.73	0	19	- 2.34	0	19	0
19200	0	7	0	0	7	+ 1.73	0	9	- 2.34	0	4	0
31250	0	4	- 1.70	0	4	0	0	5	0	0	5	+ 2.40
38400	0	3	0	0	3	+ 1.73	0	4	- 2.34	0	4	0

ビットレート (bit/s)	(MHz)											
	7.3728			8			9.8304			10		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	130	- 0.07	2	141	+ 0.03	2	174	- 0.26	3	43	+ 0.88
150	2	95	0	2	103	+ 0.16	2	127	0	2	129	+ 0.16
300	1	191	0	1	207	+ 0.16	1	255	0	2	64	+ 0.16
600	1	95	0	1	103	+ 0.16	1	127	0	1	129	+ 0.16
1200	0	191	0	0	207	+ 0.16	0	255	0	1	64	+ 0.16
2400	0	95	0	0	103	+ 0.16	0	127	0	0	129	+ 0.16
4800	0	47	0	0	51	+ 0.16	0	63	0	0	64	+ 0.16
9600	0	23	0	0	25	+ 0.16	0	31	0	0	32	- 1.36
19200	0	11	0	0	12	+ 0.16	0	15	0	0	15	+ 1.73
31250				0	7	0	0	9	- 1.70	0	9	0
38400	0	5	0				0	7	0	0	7	+ 1.73

【注】 誤差はなるべく 1%以内となるように設定してください。

表 12.3 ビットレートに対する BRR 設定値例($p =$ の場合) [調歩同期式モード] (3)

ビットレート (bit/s)	(MHz)											
	12			12.288			14.7456			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	212	+0.03	2	217	+0.08	3	64	+0.76	3	70	+0.03
150	2	155	+0.16	2	159	0	2	191	0	2	207	+0.16
300	2	77	+0.16	2	79	0	2	95	0	2	103	+0.16
600	1	155	+0.16	1	159	0	1	191	0	1	207	+0.16
1200	1	77	+0.16	1	79	0	1	95	0	1	103	+0.16
2400	0	155	+0.16	0	159	0	0	191	0	0	207	+0.16
4800	0	77	+0.16	0	79	0	0	95	0	0	103	+0.16
9600	0	38	+0.16	0	39	0	0	47	0	0	51	+0.16
19200	0	19	-2.34	0	19	0	0	23	0	0	25	+0.16
31250	0	11	0	0	11	+2.4	0	14	-1.7	0	15	0
38400	0	9	-2.34	0	9	0	0	11	0	0	12	+0.16

【注】 誤差はなるべく 1%以内となるように設定してください。

表 12.4 ビットレートに対する BRR 設定値例 ($p = 1/2$ の場合) 調歩同期式モード (1)

ビットレート (bit/s)	(MHz)					
	2			2.097152		
	n	N	誤差 (%)	n	N	誤差 (%)
110	1	70	0.03	1	73	0.64
150	1	51	0.16	1	54	- 0.70
300	0	207	0.16	0	217	0.21
600	0	103	0.16	0	108	0.21
1200	0	51	0.16	0	54	- 0.70
2400	0	25	0.16	0	26	1.14
4800	0	12	0.16	0	13	- 2.48
9600				0	6	- 2.48
19200						
31250	0	1	0			
38400						

ビットレート (bit/s)	(MHz)											
	2.4576			3			3.6864			4		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	86	0.31	1	106	- 0.44	1	130	- 0.07	1	141	0.03
150	1	63	0	1	77	0.16	1	95	0	1	103	0.16
300	0	255	0	1	38	0.16	1	47	0	1	51	0.16
600	0	127	0	0	155	0.16	0	191	0	0	207	0.16
1200	0	63	0	0	77	0.16	0	95	0	0	103	0.16
2400	0	31	0	0	38	0.16	0	47	0	0	51	0.16
4800	0	15	0	0	19	- 2.34	0	23	0	0	25	0.16
9600	0	7	0	0	9	- 2.34	0	11	0	0	12	0.16
19200	0	3	0	0	4	- 2.34	0	5	0			
31250				0	2	0				0	3	0
38400	0	1	0				0	2	0	0	2	8.51

表 12.4 ビットレートに対する BRR 設定値例 ($p = 1/2$ の場合) 調歩同期式モード (2)

ビットレート (bit/s)	(MHz)											
	4.9152			5			6			6.144		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	174	-0.26	1	177	-0.25	1	212	0.03	1	217	0.08
150	1	127	0	1	129	0.16	1	155	0.16	1	159	0
300	1	63	0	1	64	0.16	1	77	0.16	1	79	0
600	0	255	0	1	32	1.36	1	38	0.16	1	39	0
1200	0	127	0	0	129	0.16	0	155	0.16	0	159	0
2400	0	63	0	0	64	0.16	0	77	0.16	0	79	0
4800	0	31	0	0	32	-1.36	0	38	0.16	0	39	0
9600	0	15	0	0	15	1.73	0	19	-2.34	0	19	0
19200	0	7	0	0	7	1.73	0	9	-2.34	0	9	0
31250	0	4	-1.70	0	4	0	0	5	0	0	5	2.40
38400	0	3	0	0	3	1.73	0	4	-2.34	0	4	0

ビットレート (bit/s)	(MHz)											
	7.3728			8			9.8304			10		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0	1	207	0.16	1	255	0	2	64	0.16
300	1	95	0	1	103	0.16	1	127	0	1	129	0.16
600	1	47	0	1	51	0.16	1	63	0	1	64	0.16
1200	0	191	0	0	207	0.16	0	255	0	1	32	1.36
2400	0	95	0	0	103	0.16	0	127	0	0	129	0.16
4800	0	47	0	0	51	0.16	0	63	0	0	64	0.16
9600	0	23	0	0	25	0.16	0	31	0	0	32	-1.36
19200	0	11	0	0	12	0.16	0	15	0	0	15	1.73
31250				0	7	0	0	9	-1.70	0	9	0
38400	0	5	0				0	7	0	0	7	1.73

表 12.4 ビットレートに対する BRR 設定値例 ($p = 1/2$ の場合) 調歩同期式モード (3)

ビットレート (bit/s)	(MHz)											
	12			12.288			14.7456			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	- 0.44	2	108	0.08	2	130	- 0.07	2	141	0.03
150	2	77	0.16	2	79	0	2	95	0	2	103	0.16
300	1	155	0.16	1	159	0	1	191	0	1	207	0.16
600	1	77	0.16	1	79	0	1	95	0	1	103	0.16
1200	1	38	0.16	1	39	0	1	47	0	1	51	0.16
2400	0	155	0.16	0	159	0	0	191	0	0	207	0.16
4800	0	77	0.16	0	79	0	0	95	0	0	103	0.16
9600	0	38	0.16	0	39	0	0	47	0	0	51	0.16
19200	0	19	- 2.34	0	19	0	0	23	0	0	25	0.16
31250	0	11	0	0	11	2.40	0	14	- 1.70	0	15	0
38400	0	9	- 2.34	0	9	0	0	11	0	0	12	0.16

< 記号説明 >

空欄 : 設定不可能です。

: 設定は可能ですが誤差が大きくなります。

【注】 誤差はなるべく 1% 以内となるように設定してください。

$$B = \frac{F}{64 \times 2^{2n-1} \times (N+1)} \times 10^6 \iff N = \frac{F}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の値 0 ≤ N ≤ 255

F : n = 0 のとき p の値 (MHz)、n = 0 のとき p の値 (MHz)

n : ボーレートジェネレータ入力クロック n = 0、1、2、3

(n とクロックの関係は下表を参照してください。)

n	SMR		WSCR	クロック
	CKS1	CKS0	CKDBL	
0	0	0	0	
1	0	1	0	/4
2	1	0	0	/16
3	1	1	0	/64
0	0	0	1	
1	0	1	1	/8
2	1	0	1	/32
3	1	1	1	/128

ビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (%)} = \left\{ \frac{F \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表 12.5 ビットレートに対する BRR 設定値例 ($p =$ の場合) [クロック同期式モード]

ビットレート (bit/s)	(MHz)											
	2		4		5		8		10		16	
	n	N	n	N	n	N	n	N	n	N	n	N
100												
250	2	124	2	249			3	124			3	249
500	1	249	2	124			2	249			3	124
1k	1	124	1	249			2	124			2	249
2.5k	0	199	1	99	1	124	1	199	1	249	2	99
5k	0	99	0	199	0	249	1	99	1	124	1	199
10k	0	49	0	99	0	124	0	199	0	249	1	99
25k	0	19	0	39	0	49	0	79	0	99	0	159
50k	0	9	0	19	0	24	0	39	0	49	0	79
100k	0	4	0	9			0	19	0	24	0	39
250k	0	1	0	3	0	4	0	7	0	9	0	15
500k	0	0*	0	1			0	3	0	4	0	7
1M			0	0*			0	1			0	3
2.5M									0	0*		
4M											0	0*

< 記号説明 >

空欄 : 設定不可能です。

: 設定は可能ですが、誤差がでます。

* : 連続転送はできません。

表 12.6 ビットレートに対する BRR 設定値例 ($p = 1/2$ の場合) (クロック同期式モード)

ビットレート (bit/s)	(MHz)											
	2		4		5		8		10		16	
	n	N	n	N	n	N	n	N	n	N	n	N
100												
250	1	249	2	124			2	249			3	124
500	1	124	1	249			2	124			2	249
1k			1	124			1	249			2	124
2.5k	0	199	1	49			1	99	1	124	1	199
5k	0	99	0	199	0	249	1	49			1	99
10k	0	49	0	99	0	124	0	199	0	249	1	49
25k	0	19	0	39	0	49	0	79	0	99	0	159
50k	0	9	0	19	0	24	0	39	0	49	0	79
100k	0	4	0	9			0	19	0	24	0	39
250k	0	1	0	3	0	4	0	7	0	9	0	15
500k	0	0*	0	1			0	3	0	4	0	7
1M			0	0*			0	1			0	3
2.5M									0	0*		
4M											0	0*

< 記号説明 >

- 空欄 : 設定不可能です。
- : 設定は可能ですが、誤差がでます。
- * : 連続転送はできません。

$$B = \frac{F}{8 \times 2^{2n-1} \times (N+1)} \times 10^6 \quad \Rightarrow \quad N = \frac{F}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ポーレートジェネレータの BRR の値 (0 ≤ N ≤ 255)

F : n = 0 のとき p の値 (MHz)、n = 0 のとき の値 (MHz)

n : ポーレートジェネレータ入力クロック (n = 0, 1, 2, 3)
(n とクロックの関係は下表を参照してください。)

n	SMR		WSCR	クロック
	CKS1	CKS0	CKDBL	
0	0	0	0	
1	0	1	0	/4
2	1	0	0	/16
3	1	1	0	/64
0	0	0	1	
1	0	1	1	/8
2	1	0	1	/32
3	1	1	1	/128

12.2.9 シリアルタイマコントロールレジスタ (STCR)

ビット :	7	6	5	4	3	2	1	0
	IICS	IICD	IICX	IICE	STAC	MPE	ICKS1	ICKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

STCRは8ビットのリード/ライト可能なレジスタで、I²Cバスインタフェースとホストインタフェースの制御、SCIの動作モードの制御、8ビットタイマのTCNTの入力クロックの選択を行います。

STCRはリセット時にH'00にイニシャライズされます。

ビット7~4 : I²Cコントロール (IICS、IICD、IICX、IICE)

I²Cバスインタフェースの動作を制御するビットです。詳しくは「第13章 I²Cバスインタフェース」を参照してください。

ビット3 : スレーブモード制御入力切り換え (STAC)

ホストインタフェースの入力端子の切り換えを制御します。詳しくは「第14章 ホストインタフェース」を参照してください。

ビット2 : マルチプロセッサイネーブル (MPE)

SCI0、1の動作モードの制御を行います。マルチプロセッサ間通信機能を有効とするか無効とするかを制御します。

ビット2	説明
MPE	
0	マルチプロセッサ機能を禁止 (初期値) (SMRのMPビットの値にかかわらずマルチプロセッサ機能を禁止します。)
1	マルチプロセッサ機能を許可 (SMRのMPビットを1にセットすることにより、マルチプロセッサフォーマットを選択できます。)

ビット1、0 : インターナルクロックソースセレクト1、0 (ICKS1、ICKS0)

8ビットタイマ0、1のTCNTに入力するクロックを選択します。詳しくは「第9章 8ビットタイマ」を参照してください。

12.3 動作説明

12.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、シリアルモードレジスタ (SMR) で行います。これを表 12.7 に示します。また、SCI のクロックソースは、シリアルモードレジスタ (SMR) の $C\bar{A}$ ビットおよびシリアルコントロールレジスタ (SCR) の CKE1、CKE0 ビットの組み合わせでまります。これを表 12.8 に示します。

(1) 調歩同期式モード

データ長 : 7 ビット / 8 ビットから選択可能

パリティの付加、マルチプロセッサビットの付加、および、1 または 2 ビットのストップビットの付加を選択可能 (これらの組み合わせで転送フォーマットおよび、キャラクタ長を決定)

フレーミングエラー (FER)、パリティエラー (PER)、オーバランエラー (ORER) およびブレークの検出が可能 (受信時)

SCI のクロックソース : 内部クロック / 外部クロックから選択可能

- ・ 内部クロックを選択した場合 : SCI はポーレートジェネレータのクロックで動作
ビットレートと同じ周波数のクロックを出力することが可能
- ・ 外部クロックを選択した場合 : ビットレートの 16 倍の周波数のクロック入力が必要 (内蔵ポーレートジェネレータを使用しない)

(2) クロック同期式モード

転送フォーマット : 8 ビットデータ固定

受信時にオーバランエラー (ORER) の検出可能

SCI のクロックソース : 内部クロック / 外部クロックから選択可能

- ・ 内部クロックを選択した場合 : SCI はポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
- ・ 外部クロックを選択した場合 : 内部ポーレートジェネレータを使用せず、入力された同期クロックで動作

表 12.7 シリアルモードレジスタ (SMR) の設定値と SCI の送信 / 受信フォーマット

SMR の設定値					モード	SCI の送信 / 受信フォーマット						
bit7	bit6	bit2	bit5	bit3		データ長	マルチプロセッサビット	パリティビット	ストップビット長			
C/ \bar{A}	CHR	MP	PE	STOP								
0	0	0	0	0	調歩同期式モード	8ビットデータ	なし	なし	1ビット			
				1					2ビット			
			1	0					あり	1ビット		
				1					2ビット			
			1	0					0	7ビットデータ	なし	1ビット
									1		2ビット	
	1	0		あり		1ビット						
		1		2ビット								
	0	1		0		調歩同期式モード (マルチプロセッサフォーマット)	8ビットデータ	あり	なし	1ビット		
				1						2ビット		
1		0		7ビットデータ	1ビット							
		1			2ビット							
1				クロック同期式モード	8ビットデータ	なし		なし				

表 12.8 SMR、SCR の設定と SCI のクロックソースの選択

SMR	SCR の設定		モード	SCI の送信 / 受信クロック	
bit7	bit1	bit0		クロックソース	SCK 端子の機能
C/ \bar{A}	CKE1	CKE0			
0	0	0	調歩同期式モード	内部	入出力ポート (SCI は、SCK 端子を使用しません) ビットレートと同じ周波数のクロックを出力
		1			
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック同期式モード	内部	同期クロックを出力
		1			
	1	0		外部	同期クロックを入力
		1			

12.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1 キャラクタ単位で同期を取りながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっており、送信 / 受信中にデータのリード / ライトができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 12.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット (Low レベル) から始まり、データ (LSB ファースト : 最下位ビットから)、パリティビット (High または Low レベル)、最後にストップビット (High レベル) の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

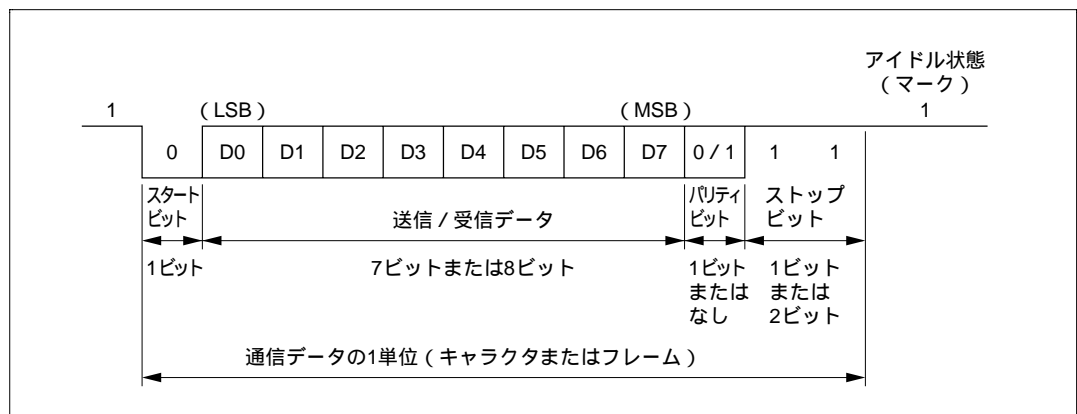


図 12.2 調歩同期式通信のデータフォーマット

(8 ビットデータ / パリティあり / 2 ストップビットの例)

(1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 12.9 に示します。

送信 / 受信フォーマットは 12 種類あり、シリアルモードレジスタ (SMR) の設定により選択できます。

表 12.9 SCI の送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル通信フォーマットとフレーム長											
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	0	S 8ビットデータ STOP											
			1	S 8ビットデータ STOP STOP											
	1		0	S 8ビットデータ P STOP											
			1	S 8ビットデータ P STOP STOP											
1	0	1	0	S 7ビットデータ STOP											
			1	S 7ビットデータ STOP STOP											
	1		0	S 7ビットデータ P STOP											
			1	S 7ビットデータ P STOP STOP											
0	-	1	0	S 8ビットデータ MPB STOP											
	-		1	S 8ビットデータ MPB STOP STOP											
1	-	1	0	S 7ビットデータ MPB STOP											
	-		1	S 7ビットデータ MPB STOP STOP											

<記号説明>

SMR : シリアルモードレジスタ

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセッサビット

(2) クロック

SCI の送受信クロックは、シリアルモードレジスタ (SMR) の C/\bar{A} ビットとシリアルコントロールレジスタ (SCR) の CKE1、CKE0 ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK 端子から入力された外部クロックの2種類から選択できます。SCI のクロックソースの選択については表 12.8 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 12.3 に示すように送信データの中央にクロックの立ち上がりエッジがくるようになります。

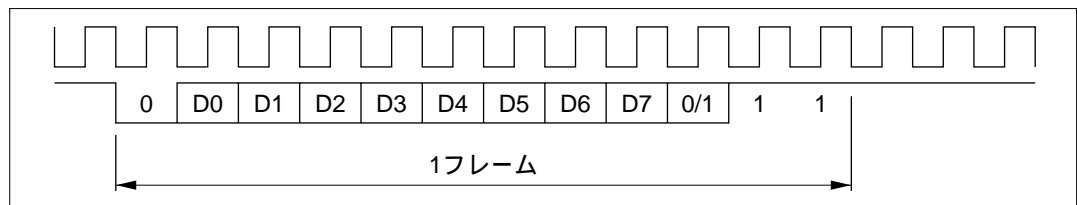


図 12.3 出力クロックと通信データの位相関係 (調歩同期式モード)

(3) データの送信 / 受信動作

(a) SCI のイニシャライズ

データの送信 / 受信前には、まずシリアルコントロールレジスタ (SCR) の TE ビットおよび、RE ビットを 0 にクリアした後、図 12.4 の手順で SCI をイニシャライズしてください。

【注】 動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから下記手順で変更を行ってください。TE ビットを 0 にクリアすると TDRE ビットは 1 にセットされ、トランスミットシフトレジスタ (TSR) がイニシャライズされます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各ビットおよび、レシーブデータレジスタ (RDR) の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますのでイニシャライズを含めた動作中にクロックを止めないでください。

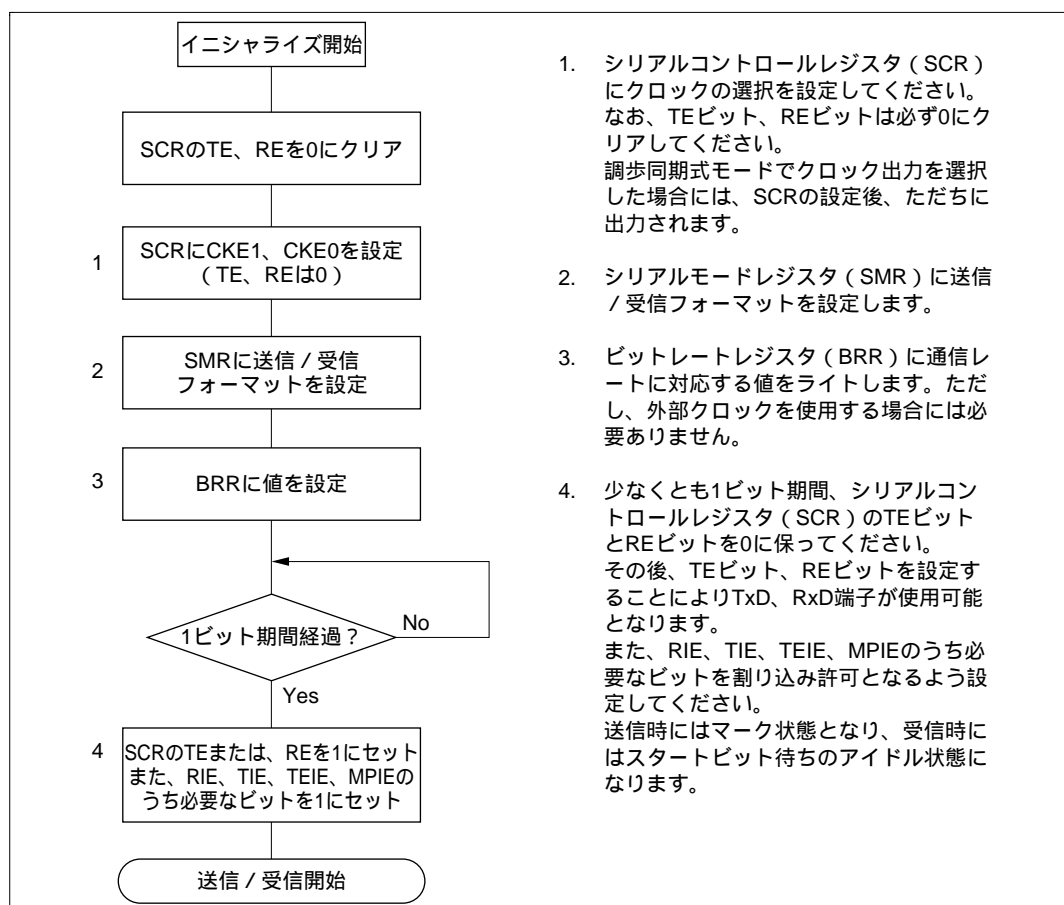
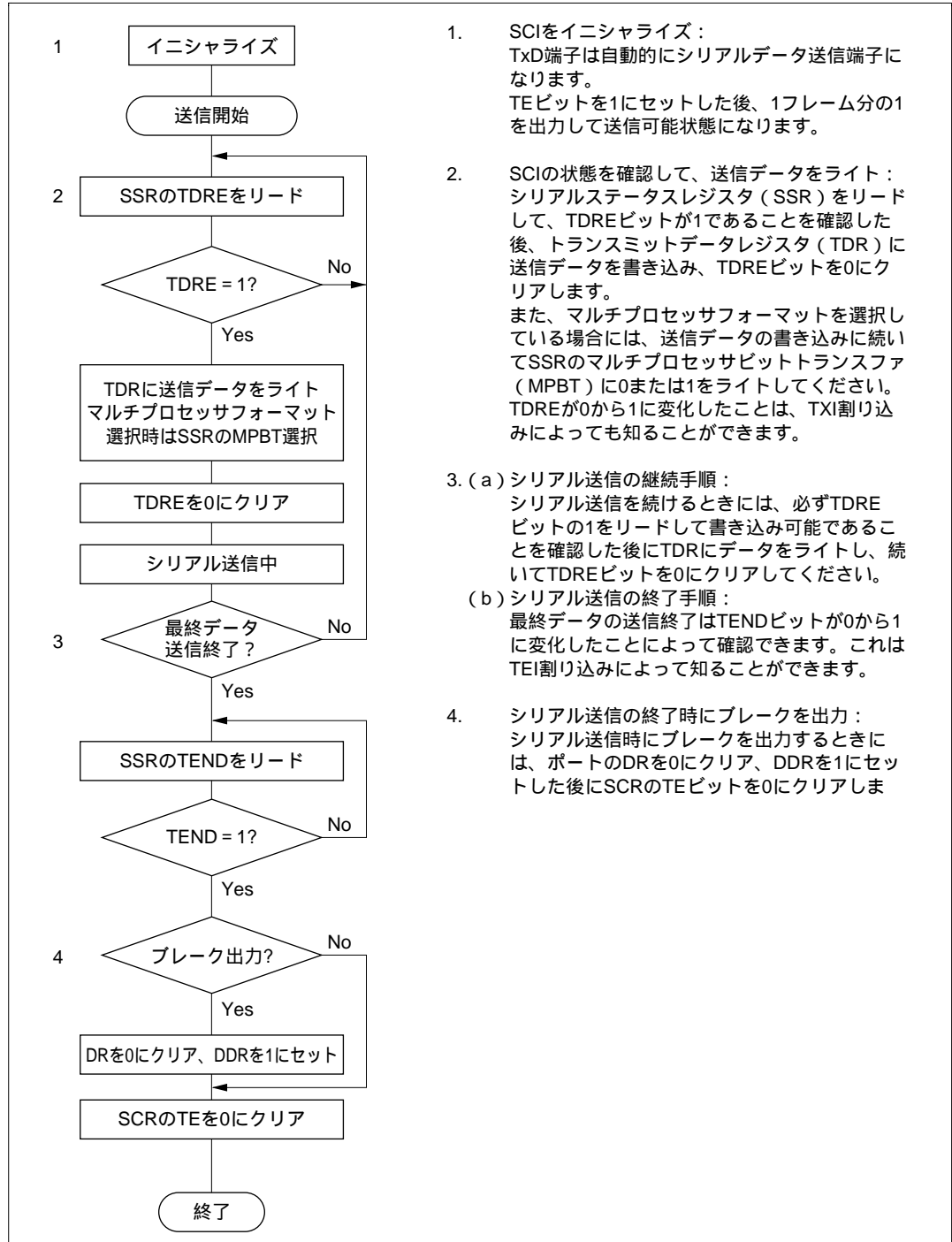


図 12.4 SCI のインシャライズフローチャートの例

(b) シリアルデータ送信

シリアルデータ送信は図 12.5 の手順に従って行ってください。



1. SCIをイニシャライズ：
TxD端子は自動的にシリアルデータ送信端子になります。
TEビットを1にセットした後、1フレーム分の1を出力して送信可能状態になります。
2. SCIの状態を確認して、送信データをライト：
シリアルステータスレジスタ（SSR）をリードして、TDREビットが1であることを確認した後、トランスミットデータレジスタ（TDR）に送信データを書き込み、TDREビットを0にクリアします。
また、マルチプロセッサフォーマットを選択している場合には、送信データの書き込みに続いてSSRのマルチプロセッサビットトランスファ（MPBT）に0または1をライトしてください。TDREが0から1に変化したことは、TXI割り込みによっても知ることができます。
3. (a) シリアル送信の継続手順：
シリアル送信を続けるときには、必ずTDREビットの1をリードして書き込み可能であることを確認した後にTDRにデータをライトし、続いてTDREビットを0にクリアしてください。
(b) シリアル送信の終了手順：
最終データの送信終了はTENDビットが0から1に変化したことによって確認できます。これはTEI割り込みによって知ることができます。
4. シリアル送信の終了時にブレークを出力：
シリアル送信時にブレークを出力するときには、ポートのDRを0にクリア、DDRを1にセットした後にSCRのTEビットを0にクリアしま

図 12.5 シリアルデータ送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- (1) SCI は、SSR の TDRE をビット監視し、0 であるとトランスファデータレジスタ (TDR) にデータが書き込まれたと認識し、TDR からトランスファシフトレジスタ (TSR) にデータを転送します。
- (2) TDR から TSR へデータを転送した後に TDRE ビットを 1 にセットし、送信を開始します。
このとき、SCR の TIE (TDR エンプティ割り込みイネーブル) が 1 にセットされていると TXI (TDR エンプティ) 割り込み要求を発生します。
シリアル送信データは、以下の順に TxD 端子から送出されます。
 - (a) スタートビット : 1 ビットの 0 が出力されます。
 - (b) 送信データ : 8 ビットまたは、7 ビットのデータが LSB から順に出力されます。
 - (c) パリティビットまたはマルチプロセッサビット : 1 ビットのパリティビット (偶数パリティまたは、奇数パリティ) または 1 ビットのマルチプロセッサビットが出力されます。
なお、パリティビットまたは、マルチプロセッサビットを出力しないフォーマットも選択できます。
 - (d) ストップビット : 1 ビットまたは 2 ビットの 1 (ストップビット) が出力されます。
 - (e) マーク状態 : 次の送信を開始するスタートビットを送出するまで 1 を出力し続けます。
- (3) SCI は、ストップビットを送出するタイミングで TDRE ビットをチェックします。
TDRE ビットが 0 であると TDR から TSR にデータを転送し、ストップビット送出後、次フレームのシリアル送信を開始します。
TDRE ビットが 1 であると SSR の TEND ビットに 1 をセットし、ストップビット送出後、1 を出力するマーク状態になります。このとき SCR の TEIE (TSR エンプティ割り込みイネーブル) が 1 にセットされていると TEI (TSR エンプティ) 割り込み要求を発生します。

調歩同期式モード・送信時の SCI の動作例を図 12.6 に示します。

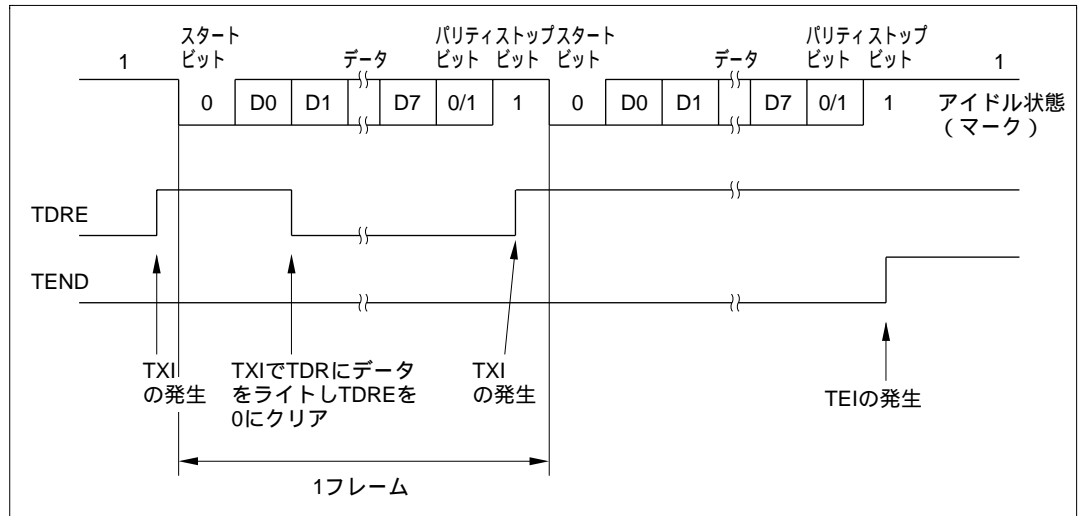


図 12.6 SCI の送信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

シリアルデータ受信

シリアルデータ受信は図 12.7 の手順に従って行ってください。

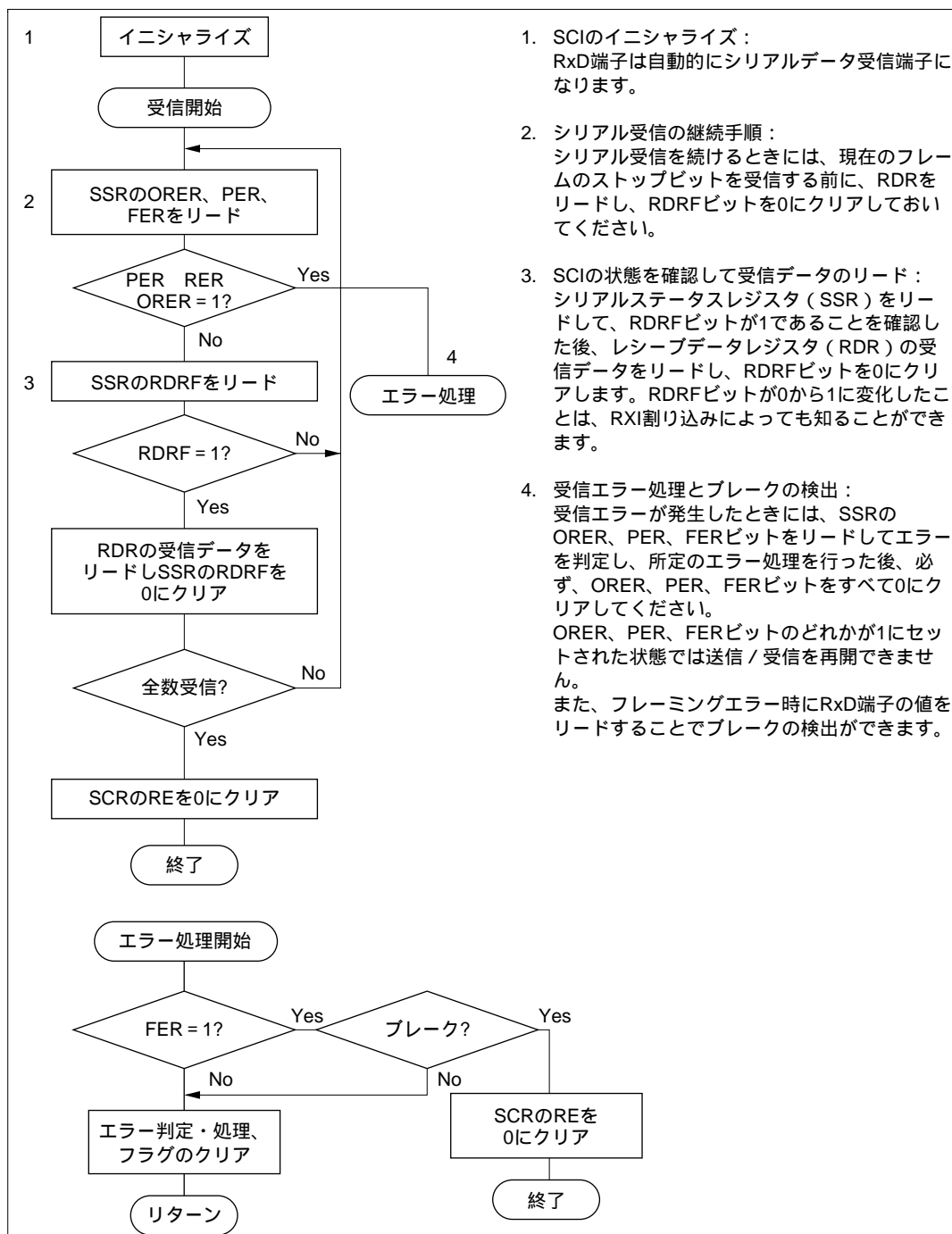


図 12.7 シリアルデータ受信フローチャートの例

SCI は受信時に以下のように動作します。

- (1) SCI は通信回線を監視し、スタートビットの 0 を検出すると内部を同期化します。
- (2) 受信したデータを RSR の LSB から MSB の順にセットします。
- (3) パリティビットおよび、ストップビットを受信します。

受信後、SCI は以下のチェックを行います。

- (a) パリティチェック：受信データの 1 の数をチェックし、これが SMR の $O\bar{E}$ ビットで設定した偶数 / 奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが 1 であるかをチェックします。
ただし、2 ストップビットの場合、1 ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRF ビットが 0 であり、受信データを RSR から RDR に転送できる状態であるかをチェックします。

以上のチェックが全てパスしたとき RDRF ビットが 1 にセットされ、RDR に受信データが格納されます。

エラーチェックで受信エラーを発生すると表 12.10 のように動作します。

【注】 受信エラーがセットされた状態では、以後の受信動作ができません。

また、受信時に RDRF が 1 にセットされませんので、必ずフラグをクリアしてください。

- (4) RDRF ビットが 1 になったとき、SCR の RIE (受信完了割り込みイネーブル) が 1 にセットされていると RXI (受信完了) 割り込みを発生します。
また、ORER、PER、FER ビットのどれかが 1 になったとき、SCR の RIE (受信完了割り込みイネーブル) が 1 にセットされていると ERI (受信エラー) 割り込みを発生します。

調歩同期式モードの受信時の動作例を図 12.8 に示します。

表 12.10 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SSR の RDRF が 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データが転送されます。
パリティエラー	PER	SMR で設定した偶数 / 奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されます。

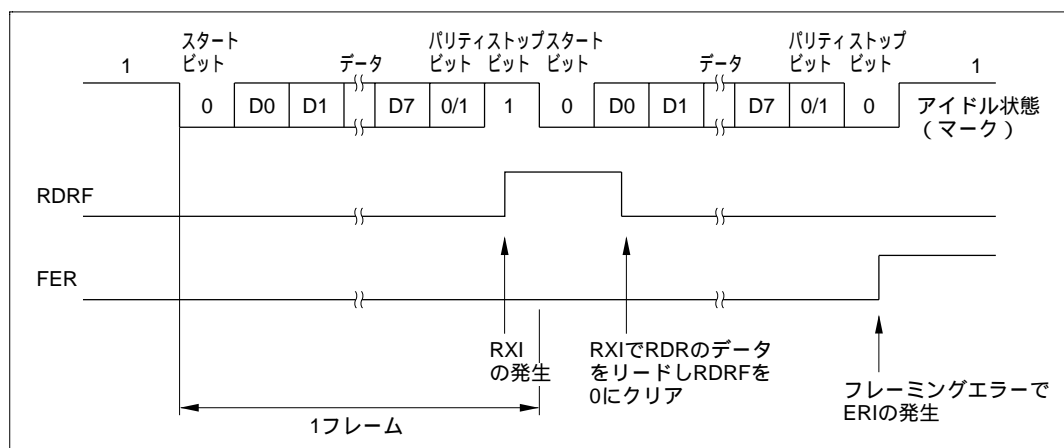


図 12.8 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

(4) マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まずシリアル通信を行いたい受信局の ID を、マルチプロセッサビット "1" を付加したデータにして送信します。続いて、送信データをマルチプロセッサビット "0" を付加したデータにして送信します。

受信局は、マルチプロセッサビット"1"のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット"1"のデータを受信すると、自局のIDと比較し、一致した局は続いて送信されるデータを受信します。このようにして複数のプロセッサ間のデータ送受信が行われます。

マルチプロセッサフォーマットを指定した場合の送信/受信フォーマットは4種類あります。いずれのフォーマットでもパリティビットの指定は無効になります。詳細は表 12.9を参照してください。

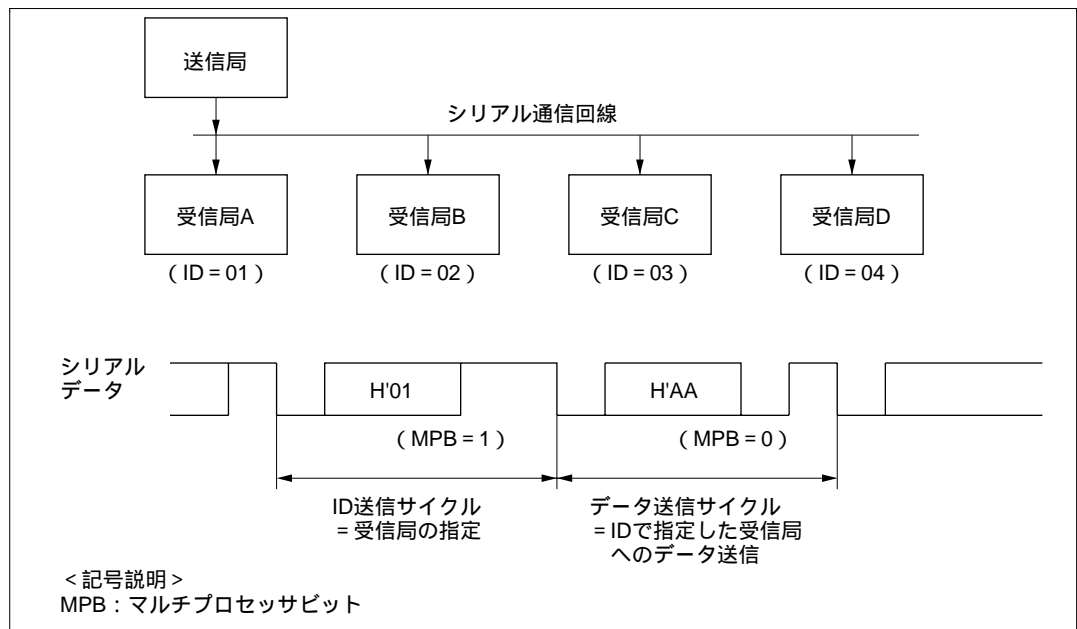


図 12.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(a) マルチプロセッサシリアルデータ送信

図 12.5、図 12.6 を参照してください。

(b) マルチプロセッサシリアルデータ受信

マルチプロセッサシリアルデータ受信は、図 12.10 の手順に従って行ってください。

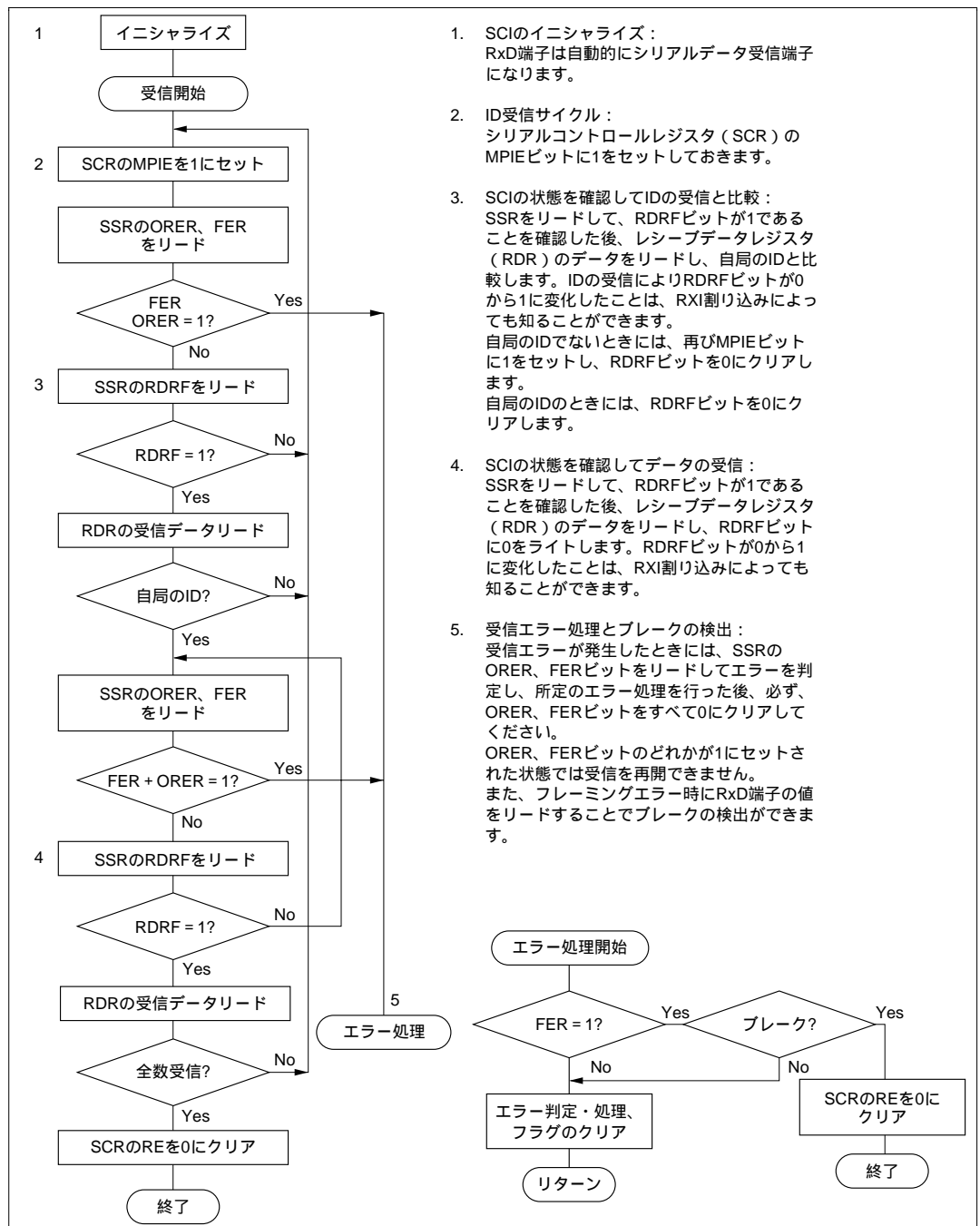


図 12.10 マルチプロセッサシリアルデータ受信のフローチャートの例

図 12.11 に SCI の受信時の動作例（8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例）を示します。

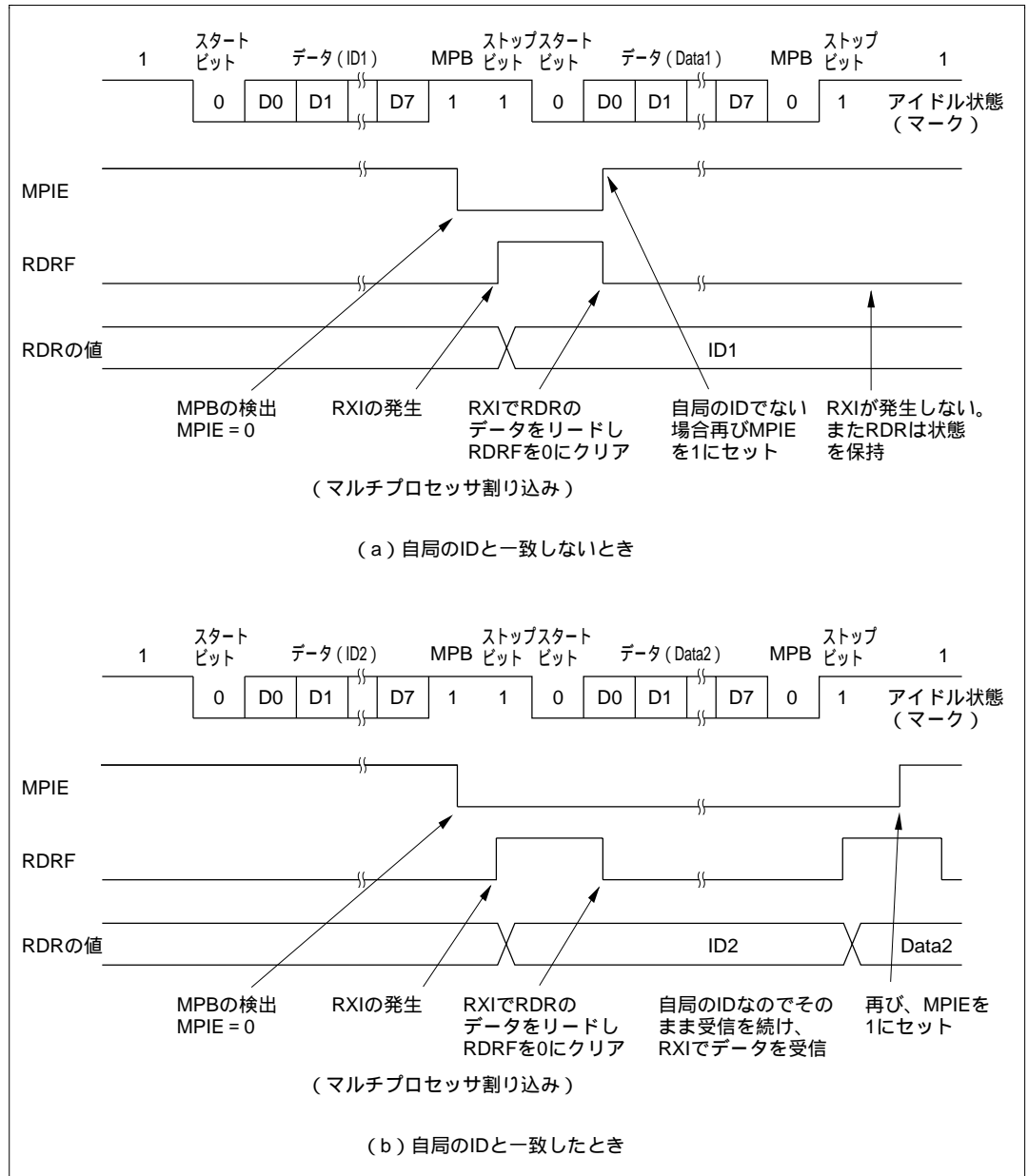


図 12.11 SCI の受信時の動作例
（8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例）

12.3.3 クロック同期式モード時の動作

(1) 概要

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードです。

クロック同期式モードは、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部 / 受信部が共にダブルバッファ構造になっており送信 / 受信中にデータのリード / ライトができるので、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 12.12 に示します。

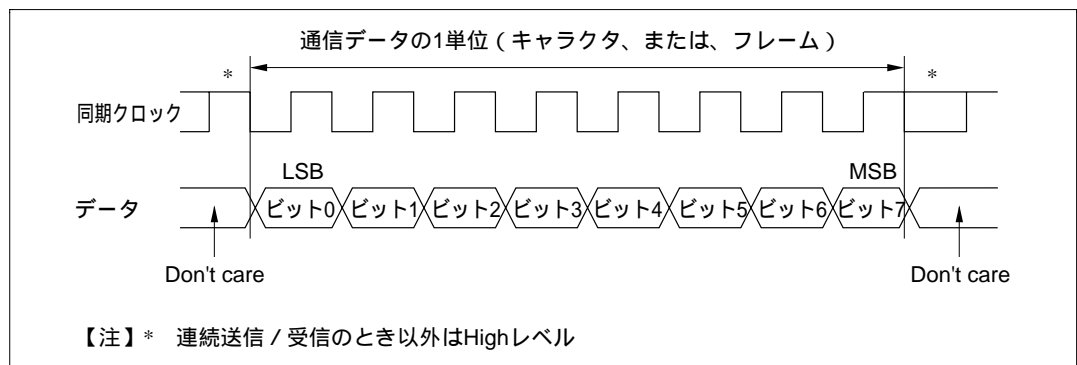


図 12.12 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりに同期してデータを受信します。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。通信回線のデータは、次の同期クロックが立ち下がるまで、MSB出力に保たれます。

送信 / 受信フォーマット : 8ビットデータ固定

パリティビットやマルチプロセッサビットの付加はできません。

クロック : シリアルモードレジスタ (SMR) の C/\bar{A} ビットとシリアルコントロールレジスタ (SCR) の CKE1、CKE0 ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK 端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表 12.8を参照してください。内部クロックで動作させるとき、SCK 端子からは同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信 / 受信を行わない時にはHighレベルに固定されます。

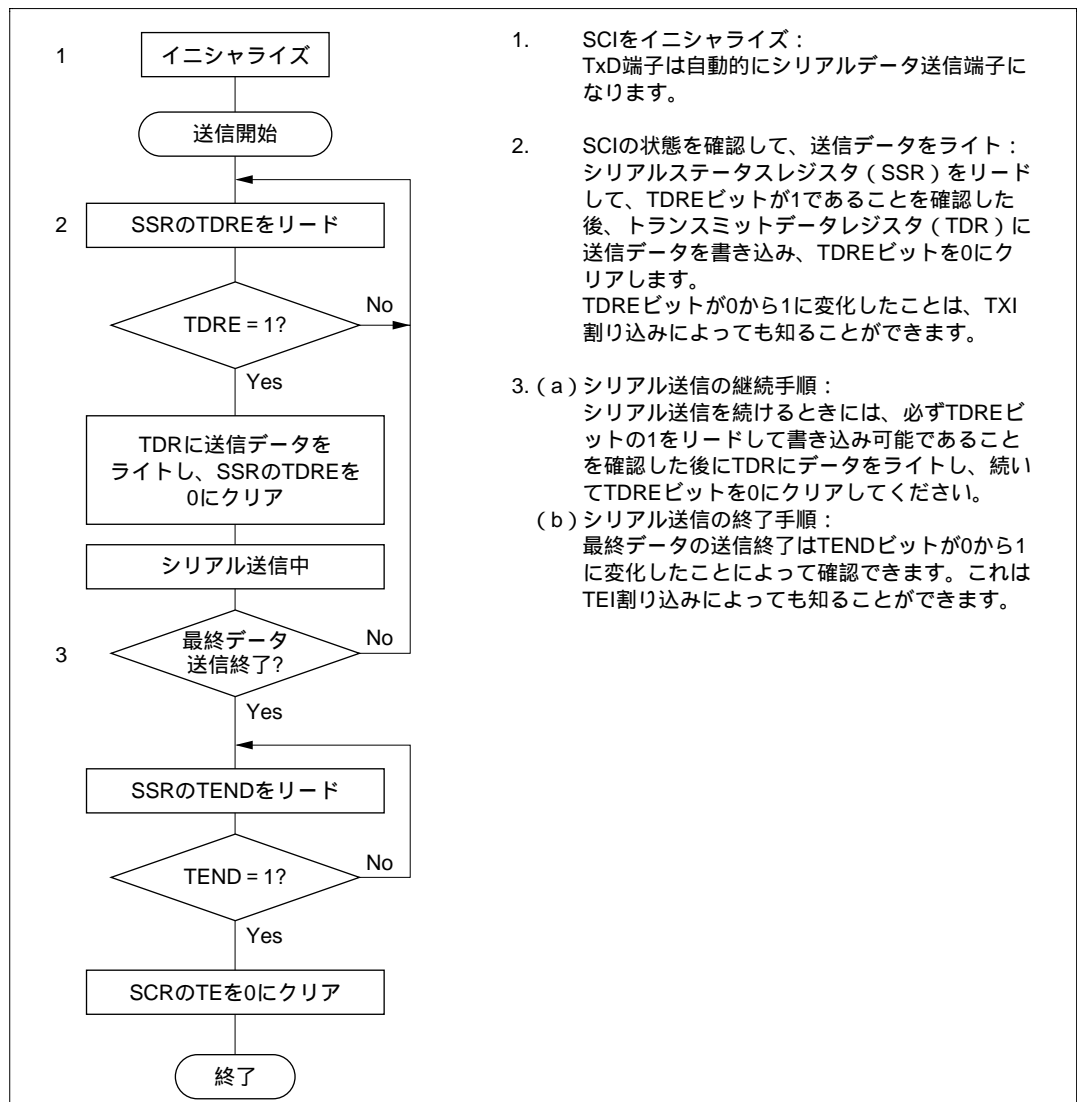
(2) データの送信 / 受信動作

(a) SCI のイニシャライズ

調歩同期式モードと同様にイニシャライズします。図 12.4 を参照してください。動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず ORER、FER、PER ビットが 0 にクリアされていることを確認してください。ORER、FER、PER ビットが 1 にセットされていると送信 / 受信動作を開始できません。

(b) シリアルデータ送信

シリアルデータ送信は図 12.13 の手順に従って行ってください。



1. SCIをイニシャライズ：
TxD端子は自動的にシリアルデータ送信端子になります。
2. SCIの状態を確認して、送信データをライト：
シリアルステータスレジスタ (SSR) をリードして、TDREビットが1であることを確認した後、トランスミットデータレジスタ (TDR) に送信データを書き込み、TDREビットを0にクリアします。
TDREビットが0から1に変化したことは、TXI割り込みによっても知ることができます。
3. (a) シリアル送信の継続手順：
シリアル送信を続けるときには、必ずTDREビットの1をリードして書き込み可能であることを確認した後にTDRにデータをライトし、続いてTDREビットを0にクリアしてください。
(b) シリアル送信の終了手順：
最終データの送信終了はTENDビットが0から1に変化したことによって確認できます。これはTEI割り込みによっても知ることができます。

図 12.13 シリアルデータ送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- (1) SCI は、SSR の TDRE ビットを監視し、0 であるとトランスファデータレジスタ (TDR) にデータが書き込まれたと認識し、TDR からトランスファシフトレジスタ (TSR) にデータを転送します。
- (2) TDR から TSR へデータを転送した後に TDRE ビットを 1 にセットし、送信を開始します。
このとき、SCR の TIE ビット (TDR エンプティ割り込みイネーブル) が 1 にセットされていると TXI (TDR エンプティ) 割り込み要求を発生します。
クロック出力モードに設定したときには、TDRE ビットが 0 にクリアされたことをトリガとして、SCI はデータに同期したクロックを 8 パルス出力します。
外部クロックに設定したときには、入力クロックに同期してデータを出力します。
シリアル送信データは、LSB (ビット 0) ~ MSB (ビット 7) の順に TxD 端子から送出されます。
- (3) SCI は、MSB (ビット 7) を送出するタイミングで TDRE ビットをチェックします。
TDRE ビットが 0 であると TDR から TSR にデータを転送し、次フレームのシリアル送信を開始します。
TDRE ビットが 1 であると SSR の TEND ビットに 1 をセットし、MSB (ビット 7) 送出後、状態を保持します。このとき SCR の TEIE (TSR エンプティ割り込みイネーブル) が 1 にセットされていると TEI (TSR エンプティ) 割り込み要求を発生します。
- (4) シリアル送信終了後は、SCK 端子は High レベル固定になります。

図 12.14 に SCI の送信時の動作例を示します。

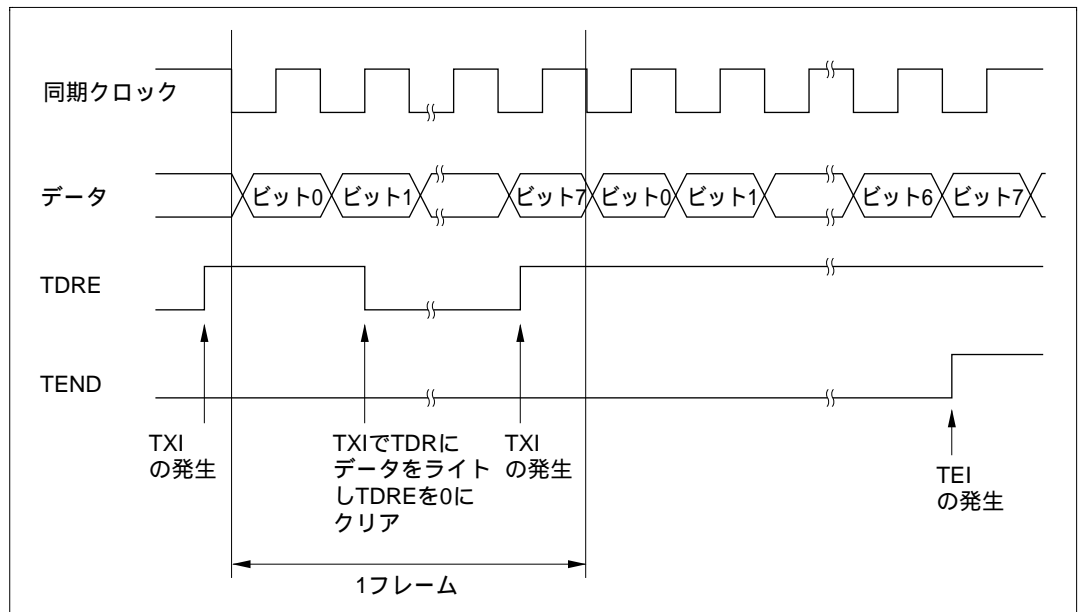


図 12.14 SCI の送信時の動作例

(c) シリアルデータ受信

シリアルデータ受信は図 12.15 の手順に従い行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、FER、PER ビットが0にクリアされていることを確認してください。

FER、PER ビットが1にセットされているとRDRF ビットがセットされません。また、送信 / 受信動作が行えません。

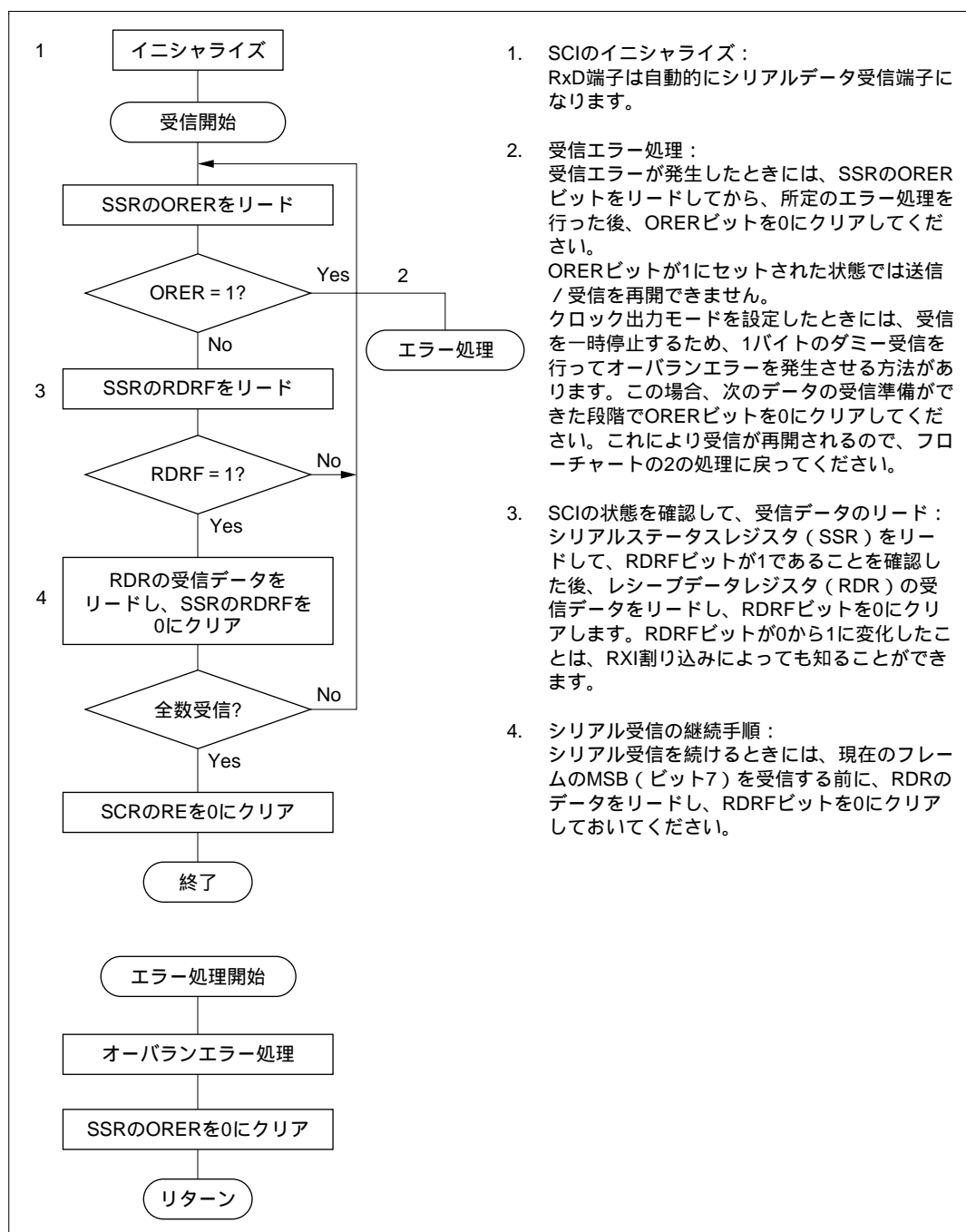


図 12.15 シリアルデータ受信フローチャートの例

SCI は受信時に以下のように動作します。

- (1) 外部クロックに設定したときには、入力クロックに同期してデータを入力します。クロック出力モードに設定したときには、SCI はRE ビットを 1 にセットするとただちに同期クロックを出力しデータを入力します。また、ORER ビットが 1 にセットされて同期クロックが停止している場合、ORER ビットを 0 にクリアすると直ちに同期クロックの出力を再開しデータを入力します。
- (2) 受信したデータを RSR の LSB から MSB の順にセットします。
 受信後、SCI は、RDRF ビットが 0 であり、受信データを RSR から RDR に転送できる状態であるかをチェックします。
 このチェックがパスしたとき RDRF ビットが 1 にセットされ、RDR に受信データが格納されます。
 エラーチェックで受信エラーを発生すると表 12.10 のように動作します。
- 【注】 受信エラーがセットされた状態では、以後の送信・受信動作が行えません。
 また、受信時に RDRF ビットが 1 にセットされませんので必ずフラグをクリアしてください。
- (3) RDRF ビットが 1 になったとき、SCR の RIE (受信完了割り込みイネーブル) ビットが 1 にセットされていると RXI (受信完了) 割り込みを発生します。
 また、ORER ビットが、1 になったとき、SCR の RIE (受信完了割り込みイネーブル) ビットが 1 にセットされていると ERI (受信エラー) 割り込みを発生します。
 クロック出力モードに設定したときには、クロックは RE ビットを 0 にクリアしたとき、または ORER ビットが 1 にセットされたときに停止します。クロック数のカウントずれを発生させないためには、1 バイトのダミー受信を行ってオーバーランエラーを発生させる方法が確実です。

図 12.16 に SCI の受信時の動作例を示します。

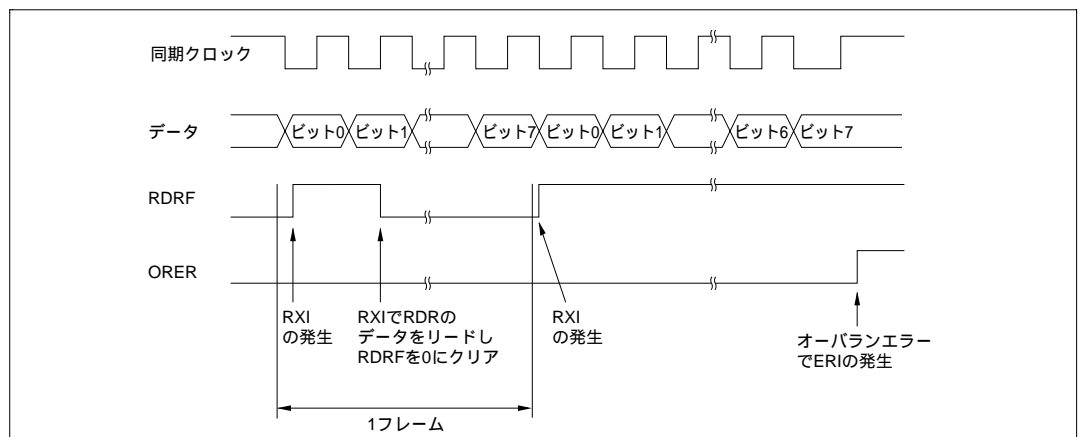


図 12.16 SCI の受信時の動作例

(d) シリアルデータ送受信同時動作

シリアルデータ送受信同時動作は、図 12.17 の手順に従って行ってください。クロック出力モードを設定したときには、シリアル送信時と同じタイミングで同期クロックが出力されます。

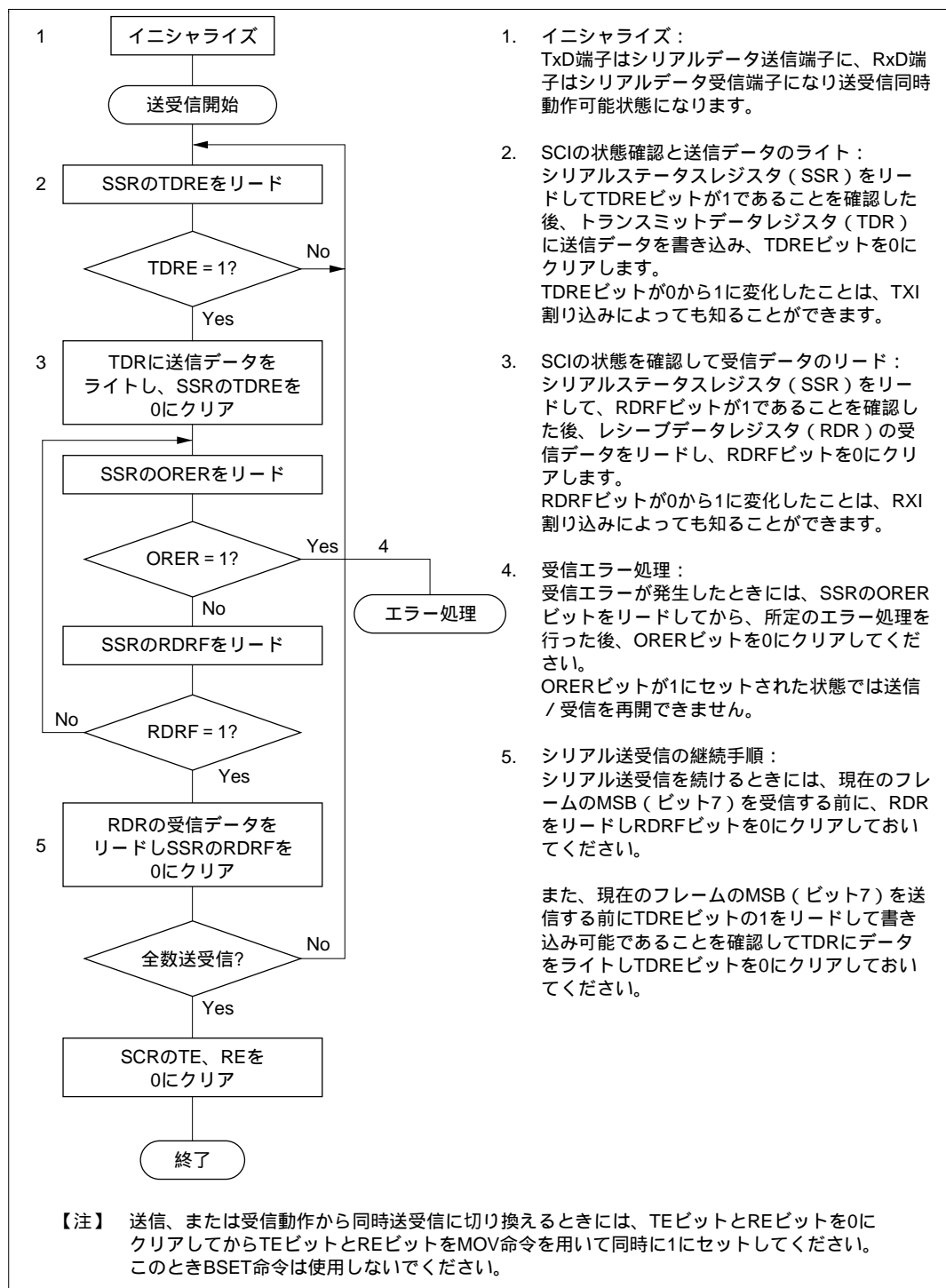


図 12.17 シリアル送受信同時動作のフローチャートの例

12.4 SCI 割り込み

SCI の割り込み要因は、ERI、RXI、TXI および TEI の 4 種類があります。表 12.11 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE ビット、RIE ビット および TEIE ビットで、許可または禁止され、それぞれ独立に割り込みコントローラに送られます。ただし、受信エラー割り込み (ERI) だけは、3 種類のエラー要因 (オーバーランエラー、フレーミングエラー、パリティエラー) の論理和です。

なお、TXI 割り込みは送信データをライト可能なことを示し、TEI 割り込みは送信動作が終了したことを示しています。

表 12.11 SCI 割り込み要因

割り込み要因	内容	優先順位
ERI	受信エラー (ORER、FER、PER) による割り込み	高 ↑ 低
RXI	受信完了 (RDRF) による割り込み	
TXI	TDR エンプティ (TDRE) による割り込み	
TEI	TSR エンプティ (TEND) による割り込み	

12.5 使用上の注意

SCI を使用する上で以下のことに注意してください。

(1) TDR へのライト動作

SSR の TDRE ビットは、TDR のデータが TSR へ転送されたことを示すビットです。TDR へのライトは TDRE ビットの値にかかわらず行うことができます。このため TDRE ビットが 0 のとき TDR へライトすると、TDR から TSR への転送が行われる前に TDR のデータが書き換えられることとなります。したがって、TDRE ビットが 1 にセットされてから TDR へ転送データをライトしてください。

(2) 受信エラーが複数発生した場合の動作

複数の受信エラーが同時に発生した場合、各ビットの状態および RSR から RDR へのデータの転送は、表 12.12 に示すようになります。

表 12.12 SSR のビットの状態および RSR から RDR へのデータ転送
(複数の受信エラー発生時)

受信エラー	SSR のビット				RSR から RDR への転送*2
	RDRF	ORER	FER	PER	
オーバランエラー	1*1	1	0	0	×
フレーミングエラー	0	0	1	0	
パリティエラー	0	0	0	1	
オーバラン+フレーミングエラー	1*1	1	1	0	×
オーバラン+パリティエラー	1*1	1	0	1	×
フレーミング+パリティエラー	0	0	1	1	
オーバラン+フレーミング+ パリティエラー	1*1	1	1	1	×

【注】 *1 オーバランエラーの発生以前に 1 にセットされています。

*2 : 転送することを示します。

× : 転送しないことを示します。

(3) ブレークの検出

RxD 端子からの入力がすべて 0 (ブレーク状態) になると、SCI はストップビットが 0 になるためフレーミングエラーを発生し、そのときの RSR の値 (H'00) を RDR に転送します。これによりブレークの検出ができます。

また、データ受信動作は継続して行われるため、FER ビットを 0 にクリアすると再びフレーミングエラーが発生します。

(4) 調歩同期式のサンプリングタイミングと受信マージン

調歩同期式の基本クロックは転送レートの16倍になっています。フレームの同期化は、スタートビットの立ち下がり、基本クロックの立ち下がりエッジでサンプリングして行います。また、受信データ(スタートビット、ストップビット、パリティビット、マルチプロセッサビットを含む)は、各ビットの中央を基本クロックの立ち上がりエッジでサンプリングします。これを図12.18に示します。

これにより受信マージンは式(1)のように表すことができます。

ここで、 $F=0$ 、 $D=0.5$ とすると受信マージンは式(2)のようになり、受信データはこの値まで歪んでも受信可能ということになります。ただし、この計算式は理論的な値ですので、システムを設計する場合には20~30%の余裕をもたせてください。

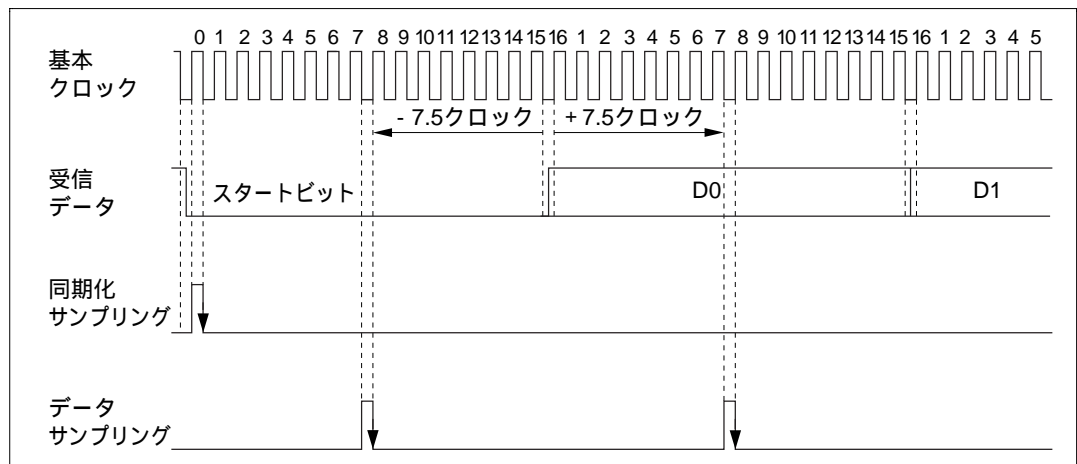


図12.18 サンプリングタイミング(調歩同期式)

$$M = \left\{ \left(0.5 - \frac{1}{2N} \right) - \frac{D - 0.5}{N} - (L - 0.5)F \right\} \times 100 (\%) \dots\dots (1) \text{式}$$

M: 受信マージン

N: クロックに対するビットレートの比 (N=16)

D: クロックの High レベルと Low レベルの長い方のデューティ (0.5~1.0)

L: フレーム長 (9~12)

F: クロック周波数の偏差の絶対値

D=0.5、F=0のとき

$$M = (0.5 - 1/2 \times 16) \times 100 (\%) \\ = 46.875\% \dots\dots (2) \text{式}$$

13. I²C バスインタフェース 【オプション】

I²C バスインタフェースはオプションです。本オプション機能を使用する場合には、次の点にご注意ください。

マスク ROM 版では、オプション機能を使用する製品型名には W が付加されます。

例：HD6433437WTF、HD6433434WF 等

第 13 章 目次

13.1	概要	299
13.1.1	特長	299
13.1.2	ブロック図	301
13.1.3	端子構成	302
13.1.4	レジスタ構成	302
13.2	各レジスタの説明	303
13.2.1	I ² C バスデータレジスタ (ICDR)	303
13.2.2	スレーブアドレスレジスタ (SAR)	303
13.2.3	I ² C バスモードレジスタ (ICMR)	304
13.2.4	I ² C バスコントロールレジスタ (ICCR)	306
13.2.5	I ² C バスステータスレジスタ (ICSR)	309
13.2.6	シリアルタイマコントロールレジスタ (STCR)	313
13.3	動作説明	315
13.3.1	I ² C バスデータフォーマット	315
13.3.2	マスタ送信動作	316
13.3.3	マスタ受信動作	317
13.3.4	スレーブ送信動作	318
13.3.5	スレーブ受信動作	320
13.3.6	IRIC セットタイミングと SCL 制御	321
13.3.7	ノイズ除去回路	322
13.3.8	使用例	323

13. I²C バスインタフェース

13.4	使用上の注意	327
------	--------------	-----

13.1 概要

I²C バスインタフェースは、Philips 社の提唱している I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし、I²C バスを制御するレジスタの構成が一部 Philips 社と異なりますので注意してください。

I²C バスインタフェースを用いたデータ転送はデータライン (SDA) 1 本、クロックライン (SCL) 1 本で構成され、コネクタやプリント基板の面積等を経済的に使用できます。

図 13.1 に I²C バスインタフェース接続例を示します。

13.1.1 特長

Philips 社提唱の I²C バスインタフェースに準拠

開始、停止条件の自動生成

受信時、アクノリッジの出力レベルを選択可能

送信時、アクノリッジビットの自動ロード機能

8 種類の内部クロック (マスタモード時) 選択可能

アクノリッジメントモード、アクノリッジビットを含まないシリアルモードを選択可能

ウェイト機能

アクノリッジメントモードでアクノリッジを除くデータ転送後、SCL 端子を Low レベルにしてウェイトを挿入することができます。

3 種類の割り込み要因

- ・データ転送終了時
- ・スレーブ受信モードでスレーブアドレスが一致した時またはゼネラルコールアドレスを受信した時
- ・マスタ送信モードでバスアービトレーションを失った時

バスを直接駆動 (SCL/SDA 信号端子)

SCL/SDA 信号端子以外に、4 本の汎用ポート (PA₄ ~ PA₇) がバス駆動可能

P8₆/SCK₁/SCL、P9₇/WA₁₁/SDA、PA₄/KEY_{IN}₁₂ ~ PA₇/KEY_{IN}₁₅ の 6 端子は、バス電源端子 (V_{CCB}) から、V_{CC} と独立に電源供給され、バス駆動機能選択時は NMOS のみで出力

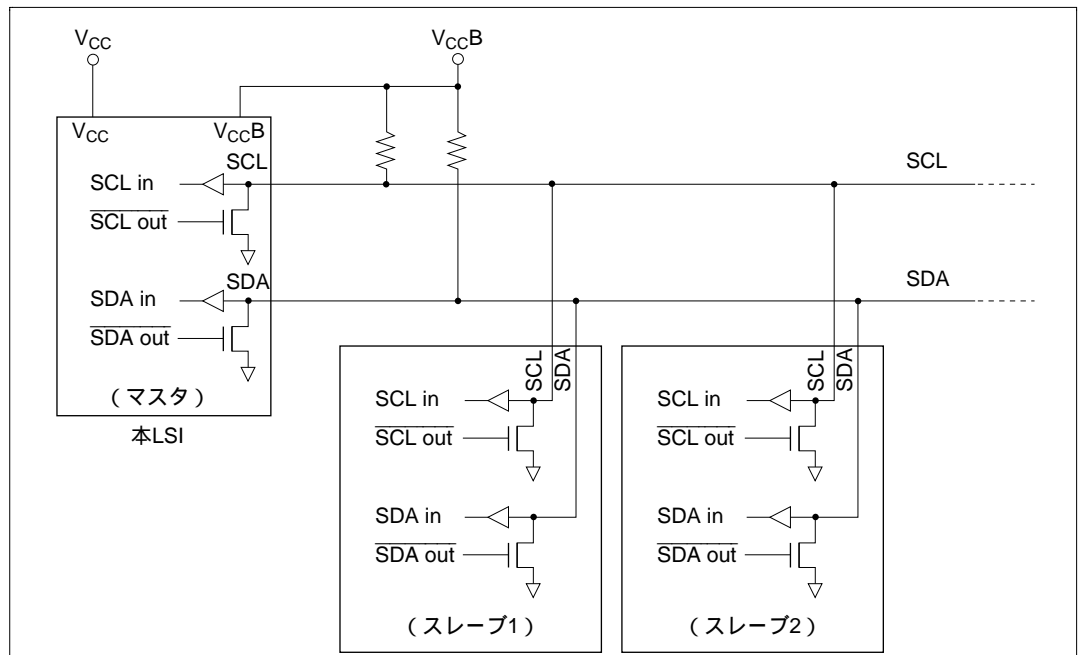


図 13.1 I²C バスインタフェース接続例 (本 LSI がマスターの場合)

13.1.2 ブロック図

I²C バスインタフェースのブロック図を図 13.2 に示します。

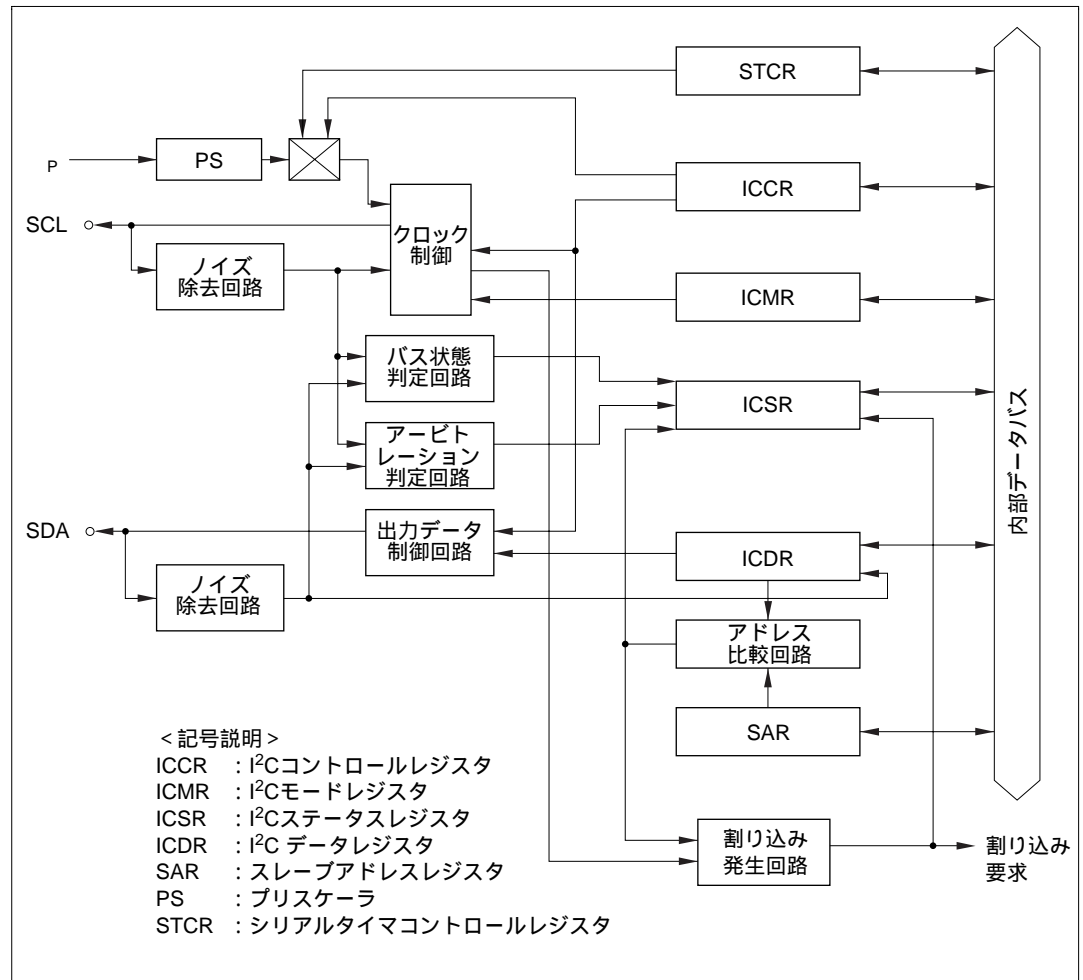


図 13.2 I²C バスインタフェースブロック図

13.1.3 端子構成

I²C バスインタフェースで使用する端子を表 13.1 に示します。

表 13.1 I²C バスインタフェース端子構成

名 称	略 称	入出力	機 能
シリアルクロック端子	SCL	入出力	シリアルクロック入出力端子
シリアルデータ端子	SDA	入出力	シリアルデータの入出力端子

13.1.4 レジスタ構成

I²C バスインタフェースのレジスタ構成を表 13.2 に示します。

表 13.2 I²C バスインタフェースレジスタ構成

名 称	略 称	R/W	初期値	アドレス* ²
I ² C バスコントロールレジスタ	ICCR	R/W	H'00	H'FFD8
I ² C バスステータスレジスタ	ICSR	R/W	H'30	H'FFD9
I ² C バスデータレジスタ	ICDR	R/W		H'FFDE
I ² C バスモードレジスタ	ICMR	R/W	H'38	H'FFDF* ¹
スレーブアドレスレジスタ	SAR	R/W	H'00	H'FFDF* ¹
シリアルタイムコントロールレジスタ	STCR	R/W	H'00	H'FFC3

【注】 *1 I²C バスコントロールレジスタの ICE ビットによりリード/ライトできるレジスタが変わります。ICE = 0 のときスレーブアドレスレジスタ、ICE = 1 のとき I²C バスモードレジスタとなります。

*2 I²C バスインタフェースのレジスタは、他のレジスタと同じアドレスに割り当てられています。それぞれのレジスタの選択はシリアルタイムコントロールレジスタ (STCR) の IICE ビットで行います。

13.2 各レジスタの説明

13.2.1 I²C バスデータレジスタ (ICDR)

ビット:	7	6	5	4	3	2	1	0
	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0
初期値:	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ICDR は、8 ビットのリード/ライト可能なレジスタで、送信時は送信用データレジスタとして、受信時は受信用データレジスタとして使用します。送信はICDR にデータを書き込むことにより開始します。また受信の場合はICDR からデータを読み出すことにより開始します。

ICDR はシフトレジスタと兼用されているため、データの送信/受信が完了してからデータのリード/ライトを行う必要があります。データの送信/受信中にリード/ライトを行うとデータの内容は保証されません。

ICDR のリセットまたはハードウェアスタンバイ時の値は不定です。

13.2.2 スレーブアドレスレジスタ (SAR)

ビット:	7	6	5	4	3	2	1	0
	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SAR は、8 ビットのリード/ライト可能なレジスタで、フォーマットの設定およびスレーブアドレスを格納します。本 LSI がスレーブモード (アドレッシングフォーマット時) の場合、開始条件後に送られてきた第 1 バイトの上位 7 ビットと SAR の上位 7 ビットを比較して一致したとき、マスタデバイスに指定されたスレーブデバイスとして動作します。SAR は、ICMR と同じアドレスに割り付けられており、ICCR の ICE を 0 に設定した時のみ、SAR のリード/ライトが可能です。

リセットまたはハードウェアスタンバイ時、SAR は H'00 にイニシャライズされます。

ビット 7~1 : スレーブアドレス (SVA6 ~ SVA0)

SVA6 ~ SVA0 には I²C バスにつながっている他のスレーブと異なるユニークなアドレスを設定します。

ビット0：フォーマットセレクト (FS)

FS は、スレーブモード時にスレーブアドレスの認識を行うアドレッシングフォーマットで使用するか、ノンアドレッシングフォーマットで使用するか選択します。

ビット0	説明
FS	
0	アドレッシングフォーマット、スレーブアドレスを認識 (初期値)
1	ノンアドレッシングフォーマット

13.2.3 I²C バスモードレジスタ (ICMR)

ビット：	7	6	5	4	3	2	1	0
	MLS	WAIT	—	—	—	BC2	BC1	BC0
初期値：	0	0	1	1	1	0	0	0
R/W：	R/W	R/W	—	—	—	R/W	R/W	R/W

ICMR は、8 ビットのリード/ライト可能なレジスタで、MSB ファースト/LSB ファーストの選択、ウェイトの制御、転送ビットの数の選択を行います。ICMR は、SAR と同じアドレスに割り付けられており、ICCR の ICE を 1 に設定した時のみ、ICMR のリード/ライトが可能です。

リセットまたはハードウェアスタンバイ時、ICMR は H'38 にイニシャライズされます。

ビット7：MSB ファースト/LSB ファースト選択 (MLS)

MSB ファーストでデータ転送するか、LSB ファーストでデータ転送するかを選択します。

ビット7	説明
MLS	
0	MSB ファースト (初期値)
1	LSB ファースト

ビット6：ウェイト挿入ビット (WAIT)

アクノリジメントモード時は、アクノリッジビットを除いたデータ転送後にウェイトを挿入するかどうかを設定します。WAIT=1 を設定した場合、データの最終ビットのクロックが立ち下がった後、ウェイト状態 (SCL=Low レベル) となります。ICSR の IRIC をクリアすることでウェイトを解除しアクノリッジの転送を行います。WAIT=0 を設定した場合、ウェイトを挿入せず、データとアクノリッジを連続的に転送します。

ビット6	説明
WAIT	
0	データとアクノリッジを連続的に転送 (初期値)
1	データとアクノリッジの間にウェイトを挿入

ビット5~3：リザーブビット

リザーブビットです。本ビットはリードすると常に1が読み出されます。ライトは無効です。

ビット2~0：ビットカウンタ (BC2~BC0)

BC2~BC0は、次に転送するデータのビット数を指定します。ICCRのACKが0の時(アクノリジメントモード)、データにアクノリッジ分1ビットが加算されて転送されます。BC2~BC0の設定は転送フレーム間で行ってください。また、BC2~BC0に000以外を設定する場合は、SCLラインがLow状態のときに行ってください。

ビットカウンタは、リセット時および開始条件検出時000にイニシャライズされます。また、アクノリッジを含むデータ転送終了後、000に再び戻ります。

ビット2	ビット1	ビット0	ビット/フレーム	
BC2	BC1	BC0	シリアルモード	アクノリジメントモード
0	0	0	8	9 (初期値)
		1	1	2
	1	0	2	3
		1	3	4
1	0	0	4	5
		1	5	6
	1	0	6	7
		1	7	8

13.2.4 I²C バスコントロールレジスタ (ICCR)

ビット :	7	6	5	4	3	2	1	0
	ICE	IEIC	MST	TRS	ACK	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ICCR は、8 ビットのリード/ライト可能なレジスタで、I²C バスインタフェースの動作/非動作、割り込みの許可/禁止、マスタモード/スレーブモード、送信/受信、アクノリジジメントモード/シリアルモード、クロック周波数の選択を行います。

リセットまたはハードウェアスタンバイ時、ICCR は H'00 にイニシャライズされます。

ビット7 : I²C バスインタフェースイネーブル (ICE)

ICE は、I²C バスインタフェースを使用する/使用しないを選択します。ICE を 1 にセットすると、本モジュールは転送動作可能状態となり、ポートは SCL、SDA の入出力端子となります。ICE を 0 にクリアすると、本モジュールは機能を停止します。

ICE が 0 のとき SAR レジスタが有効になり、ICE が 1 のとき ICMR レジスタが有効になります。

ビット7	説明
ICE	
0	本モジュールは非動作 (SCL/SDA 信号端子はポート機能) 状態 (初期値)
1	本モジュールは転送動作可能状態 (SCL/SDA 信号端子はバス駆動状態*)

【注】 * SDA 信号端子は WAIT 入力端子と共用になっており、拡張モード時には WAIT 入力機能選択が優先されます。

ビット6 : I²C バスインタフェース割り込みイネーブル (IEIC)

IEIC は I²C バスインタフェースから CPU に対する割り込みの許可/禁止を選択します。

ビット6	説明
IEIC	
0	割り込み要求を禁止 (初期値)
1	割り込み要求を許可

ビット5：マスタ/スレーブ選択 (MST)

ビット4：送信/受信選択 (TRS)

MST は、I²C バスインタフェースをマスタモードで使用するか、スレーブモードで使用するかを選択するビットです。

TRS は、I²C バスインタフェースを受信モードで使用するか、送信モードで使用するかを選択するビットです。

マスタモードでアービトレーションを失うと MST、TRS は共にハードウェアによってリセットされ、スレーブ受信モードに変わります。また、スレーブ受信モードでアドレッシングフォーマット (FS=0) の時、開始条件直後の第1バイトの R/W ビットにより、ハードウェアで自動的に受信/送信モードが設定されます。

MST と TRS との組み合わせにより下表のような動作モードになります。

ビット5	ビット4	動作モード
MST	TRS	
0	0	スレーブ受信モード (初期値)
	1	スレーブ送信モード
1	0	マスタ受信モード
	1	マスタ送信モード

ビット3：アクリリジメントモード選択 (ACK)

ACK は、アクリリジメントモードで使用するかシリアルモードで使用するかを選択します。

アクリリジメントモード (ACK=0) は、ICMR の BC2~BC0 で設定したデータビット数にアクリリジの1ビットを含めて、1フレームの転送を行います。

シリアルモード (ACK=1) は、ICMR の BC2~BC0 で設定したデータビット数を1フレームとして転送を行います。

ビット3	説明
ACK	
0	アクリリジメントモード (初期値)
1	シリアルモード

ビット2～0：転送クロック選択 (CKS2～CKS0)

CKS2～CKS0 は、STCR レジスタと IICX ビットとの組み合わせにより、転送クロックの周波数を選択するビットで、マスタモード時に使用します。必要な転送レートに合わせて設定をしてください。

(STCR)	ビット2	ビット1	ビット0	クロック	転送レート*				
					$p = 5\text{MHz}$	$p = 8\text{MHz}$	$p = 10\text{MHz}$	$p = 16\text{MHz}$	
IICX	CKS2	CKS1	CKS0						
0	0	0	0	$p/28$	179kHz	286kHz	357kHz	571kHz	
			1	$p/40$	125kHz	200kHz	250kHz	400kHz	
		1	0	$p/48$	104kHz	167kHz	208kHz	333kHz	
			1	$p/64$	78.1kHz	125kHz	156kHz	250kHz	
	1	0	0	$p/80$	62.5kHz	100kHz	125kHz	200kHz	
			1	$p/100$	50.0kHz	80.0kHz	100kHz	160kHz	
		1	0	$p/112$	44.6kHz	71.4kHz	89.3kHz	143kHz	
			1	$p/128$	39.1kHz	62.5kHz	78.1kHz	125kHz	
	1	0	0	0	$p/56$	89.3kHz	143kHz	179kHz	286kHz
				1	$p/80$	62.5kHz	100kHz	125kHz	200kHz
			1	0	$p/96$	52.1kHz	83.3kHz	104kHz	167kHz
				1	$p/128$	39.1kHz	62.5kHz	78.1kHz	125kHz
1		0	0	$p/160$	31.3kHz	50.0kHz	62.5kHz	100kHz	
			1	$p/200$	25.0kHz	40.0kHz	50.0kHz	80.0kHz	
		1	0	$p/224$	22.3kHz	35.7kHz	44.6kHz	71.4kHz	
			1	$p/256$	19.5kHz	31.3kHz	39.1kHz	62.5kHz	

【注】 * $p =$ の場合

■部の設定は、標準のI²Cバス仕様の最大転送レートを超えています。

13.2.5 I²C バスステータスレジスタ (ICSR)

ビット:	7	6	5	4	3	2	1	0
	BBSY	IRIC	SCP	—	AL	AAS	ADZ	ACKB
初期値:	0	0	1	1	0	0	0	0
R/W:	R/W	R/(W)*	W	—	R/(W)*	R/(W)*	R/(W)*	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

ICSRは、8ビットのリード/ライト可能なレジスタで、I²Cバスインタフェースのバス状態の確認、フラグの確認、開始/停止条件の発行、アクノリッジの確認および制御を行います。

リセットまたはハードウェアスタンバイ時、ICSRはH'30にイニシャライズされます。

ビット7: バスビジー (BBSY)

BBSYをリードすることにより、I²Cバス(SCL、SDA)が占有されているか開放されているかを確認できます。また、マスタモードでは開始条件、停止条件の発行する際に使用します。

BBSYは、SCL = Highレベルの状態ではSDAがHighレベルからLowレベルに変化すると開始条件が発行されたと認識し、1にセットされます。SCL = Highレベルの状態ではSDAがLowレベルからHighレベルに変化すると停止条件が発行されたと認識し、0にクリアされます。

開始条件を発行する場合、BBSY = 1かつSCP = 0をライトします。開始条件の再送信時も同様に行います。また、停止条件の発行はBBSY = 0かつSCP = 0をライトすることで行います。開始条件/停止条件の発行は、MOV命令を用います。スレーブモード時のBBSYのライトは無効です。

ビット7	説明
BBSY	
0	バス開放状態 (初期値) [クリア条件] 停止条件検出時
1	バス占有状態 [セット条件] 開始条件検出時

ビット6 : I²C バスインタフェース割り込み要求フラグ (IRIC)

IRIC は、I²C バスインタフェースが CPU に対して割り込み要求を発生させたことを示します。IRIC は、データ転送終了時、スレーブ受信モードでスレーブアドレスまたはゼネラルコールアドレスを検出した時、またはマスタ送信モードでバスアービトレーションを失った時に 1 にセットされます。ICCR の ACK と ICMR の WAIT の組み合わせにより IRIC のセットタイミングが異なりますので、「13.3.6 IRIC セットタイミングと SCL 制御」の項を参照してください。

IRIC のクリアは、IRIC = 1 をリードした後、IRIC = 0 をライトすることで行われます。

ビット6	説明
IRIC	
0	転送待ち状態、または転送中 (初期値) [クリア条件] IRIC = 1 リード後、0 ライトした時
1	割り込みが発生 [セット条件] マスタモード ・データ転送終了時 ・バスアービトレーションを失った時 スレーブモード (FS = 0 の時) ・スレーブアドレスが一致した時、および、一致後の再送開始条件または停止条件検出までのデータ転送終了時 ・ゼネラルコールアドレスを検出した時、および、検出後の再送開始条件または停止条件検出までのデータ転送終了時 スレーブモード (FS = 1 の時) ・データ転送終了時

ビット5：開始条件 / 停止条件発行禁止ビット（SCP）

SCP は、マスタモードでの開始条件 / 停止条件の発行を制御します。開始条件を発行する場合、BBSY = 1 かつ SCP = 0 をライトします。開始条件の再送信時も同様に行います。また、停止条件の発行は BBSY = 0 かつ SCP = 0 をライトすることで行います。リードすると常に 1 が読み出されます。ライトしてもデータは格納されません。

ビット5	説明
SCP	
0	ライト時、BBSY と組み合わせて開始条件、停止条件を発行
1	リード時、常に 1 をリード ライト時、無効 (初期値)

ビット4：リザーブビット

リザーブビットです。本ビットはリードすると常に 1 が読み出されます。ライトは無効です。

ビット3：アービトレーションロストフラグ（AL）

AL は、マスタモード時にアービトレーションを失ったことを示します。

複数のマスタがほぼ同時にバスを占有しようとした時に I²C バスインタフェースは SDA をモニタし、自分が出したデータと異なった場合、AL を 1 にセットしてバスが他のマスタによって占有されたことを示します。同時に ICSR の IRIC をセットし、割り込み要求を発生します。

AL のクリアは、AL = 1 をリードした後、AL = 0 をライトすることで行われます。また ICDR をライト（送信時）またはリード（受信時）すると自動的にリセットされます。

ビット3	説明
AL	
0	バスアービトレーションを確保 (初期値) [クリア条件] ・ICDR にデータをライト（送信時）：データをリードした時（受信時） ・AL = 1 リード後、0 ライトした時
1	アービトレーションロスト [セット条件] ・マスタ送信モードで SCL の立ち上がりで内部 SDA とバスラインが不一致の時 ・マスタ送信モードで SCL の立ち下がりで内部 SCL が High レベルの時

ビット2：スレーブアドレス認識フラグ（AAS）

AASはスレーブ受信モードでアドレッシングモード（FS=0）の時、開始条件直後の第1バイトがSARのSVA6～SVA0と一致した場合、またはゼネラルコールアドレス（H'00）を検出した場合、AAS = 1となります。

AASのクリアは、AAS = 1をリードした後、AAS = 0をライトすることで行われます。またICDRをライト（送信時）またはリード（受信時）すると自動的にリセットされます。

ビット2	説明
AAS	
0	スレーブアドレスまたはゼネラルコールアドレスを未認識（初期値） [クリア条件] ・ICDRにデータをライト（送信時）、データをリード（受信時）した時 ・AAS = 1リード後、0ライトした時
1	スレーブアドレスまたはゼネラルコールアドレスを認識 [セット条件] ・スレーブ受信モードでスレーブアドレスまたはゼネラルコールアドレスを検出した時

ビット1：ゼネラルコールアドレス認識フラグ（ADZ）

ADZは、スレーブ受信モードでアドレッシングモード（FS=0）の時に、開始条件直後の第1バイトでゼネラルコールアドレス（H'00）を検出した場合、ADZ = 1となります。

ADZのクリアは、ADZ = 1をリードした後、ADZ = 0をライトすることで行われます。またICDRをライト（送信時）またはリード（受信時）すると自動的にリセットされます。

ビット1	説明
ADZ	
0	ゼネラルコールアドレスを未認識（初期値） [クリア条件] ・ICDRにデータをライト（送信時）、データをリード（受信時）した時 ・ADZ = 1リード後、0ライトした時
1	ゼネラルコールアドレスを認識 [セット条件] ・スレーブ受信モードでゼネラルコールアドレスを検出した時

ビット0：アクノリッジビット (ACKB)

ACKB は、アクノリッジメントモードでアクノリッジデータを格納するビットです。

送信モードでは、受信デバイスがデータを受信した後、アクノリッジデータを返してくるので、そのデータを ACKB にロードします。また、受信モードでは送信デバイスに対し、データを受信した後、あらかじめ本ビットに設定されたアクノリッジデータを送出します。

本ビットをリードすると、TRS = 1 の時にはロードした値が読み出され、TRS = 0 の時には設定した値が読み出されます。

ビット0	説明
ACKB	
0	受信時、アクノリッジ出力タイミングで0出力 (初期値) 送信時、受信デバイスからアクノリッジがあったことを示す
1	受信時、アクノリッジ出力タイミングで1出力 送信時、受信デバイスからアクノリッジがなかったことを示す

13.2.6 シリアルタイムコントロールレジスタ (STCR)

ビット：	7	6	5	4	3	2	1	0
	IICS	IICD	IICX	IICE	STAC	MPE	ICKS1	ICKS0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

STCR は8ビットのリード/ライト可能なレジスタで、SCIの動作モードの制御、TCNTの入力クロックの選択を行います。

STCRはリセットまたはハードウェアスタンバイ時にH'00にイニシャライズされます。

ビット7：I²C エクストラバッファセレクト (IICS)

ポート A のビット7~4 を、SCL、SDA と同様の出力バッファとなるよう設定します。ソフトウェアのみによる I²C インタフェースを実現する場合に利用します。

ビット7	説明
IICS	
0	PA ₇ ~ PA ₄ は通常入出力端子 (初期値)
1	PA ₇ ~ PA ₄ はバス駆動可能な入出力端子

ビット6：I²C エクストラバッファリザーブ (IICD)

リザーブビットです。本ビットはリード/ライト可能で、初期値は0です。

ビット5：I²C トランファレートセレクト (IICX)

ICCR の CKS2~0 と組み合わせて、マスタモードでの転送レートを選択します。

転送レートの詳細は「13.2.4 I²C バスコントロールレジスタ (ICCR)」の項を参照してください。

ビット4：I²C マスタイネーブル (IICE)

I²C バスインタフェースのデータレジスタ、制御レジスタ (ICCR、ICSR、ICDR、ICMR/SAR) の CPU アクセスを制御します。

ビット4	説明
IICE	
0	I ² C バスインタフェースのデータレジスタおよび制御レジスタの CPU アクセスを禁止 (初期値)
1	I ² C バスインタフェースのデータレジスタおよび制御レジスタの CPU アクセスを許可

ビット3：スレーブ入力切り換え (STAC)

ホストインタフェースの入力端子の切り換えを制御します。詳しくは「第14章 ホストインタフェース」を参照してください。

ビット2：マルチプロセッサイネーブル (MPE)

SCI0、1 の動作モードの制御を行います。詳細は「第12章 シリアルコミュニケーションインタフェース」を参照してください。

ビット1、0：インターナルクロックソースセレクト1、0 (ICKS1、ICKS0)

TCR の CKS2~0 ビットと共に、TCNT に入力するクロックを選択します。詳細は「第9章 8ビットタイマ」を参照してください。

13.3 動作説明

13.3.1 I²C バスデータフォーマット

I²C バスインタフェースにはアドレッシングフォーマット (図 13.3 (a) (b)) とノンアドレッシングフォーマット (図 13.4 (c)) の3種類のデータフォーマットがあります。開始条件に続く第1バイトは必ず8ビット構成となります。また、I²C バスのタイミングを図 13.5 に示します。

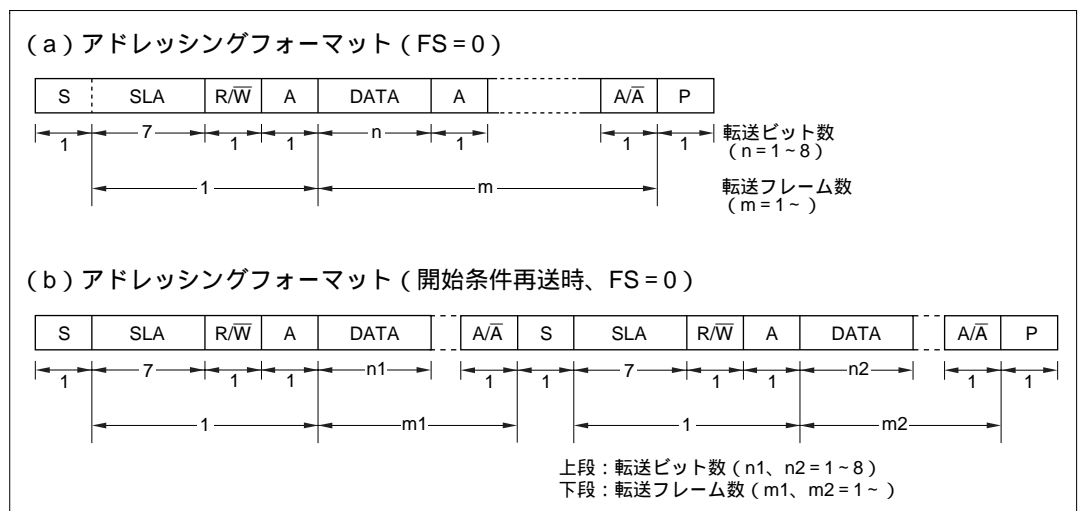


図 13.3 I²C バスデータフォーマット (アドレッシングフォーマット)

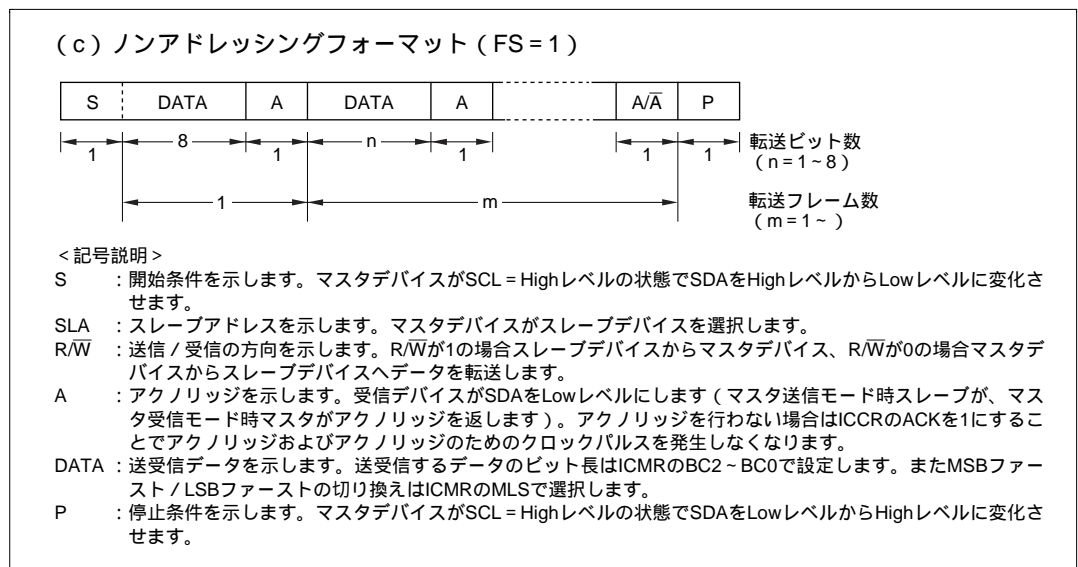
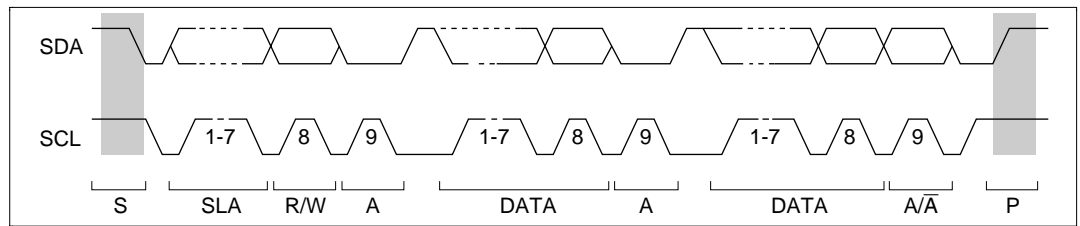


図 13.4 I²C バスデータフォーマット (ノンアドレッシングフォーマット)

図 13.5 I²C バスタイミング

13.3.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。以下にマスタ送信モードの送信手順と動作を示します。

- (1) ICMR の MLS、WAIT および ICCR の ACK、CKS2~CKS0 を動作モードに合わせて設定します。また、ICCR の ICE を 1 にセットします。
- (2) ICSR の BBSY をリードし、バスがフリー状態であることを確認後、ICCR の MST、TRS をそれぞれ 1 にセットしてマスタ送信モードに設定します。その後、BBSY = 1 かつ SCP = 0 をライトします。これにより、SCL が High レベルの時 SDA を High レベルから Low レベルに変化させ、開始条件を生成します。
- (3) ICDR にデータをライトします。マスタデバイスは、図 13.6 で示すタイミングで送信クロックと ICDR にライトされたデータを順次送出します。SAR の FS が 0 の時、開始条件に続く第 1 バイトデータは 7 ビットのスレーブアドレスと送信 / 受信の方向を示します。選択された (スレーブアドレスが一致) スレーブデバイスは、送信クロックの 9 クロック目に SDA を Low レベルにし、アクノリッジを返します。
- (4) 1 バイトのデータ送信が終了し、送信クロックの 9 クロック目の立ち上がりで ICSR の IRIC が 1 にセットされます。この時、ICCR の IEIC が 1 にセットされていると CPU に対し割り込み要求を発生します。また SCL は 1 フレーム転送終了後、内部クロックに同期して自動的に Low レベルに固定されます。
- (5) ソフトウェアで ICSR の IRIC を 0 にクリアします。
- (6) 送信を続ける場合は、次に送信するデータを ICDR にライトします。次バイトの送信は内部クロックに同期して行われます。

(4) から (6) を繰り返し行うことにより、連続的にデータを送信することができます。送信を終了する場合は ICSR の BBSY = 0 かつ SCP = 0 をライトします。これにより、SCL が High レベルの時、SDA を Low レベルから High レベルに変化させ、停止条件を生成します。

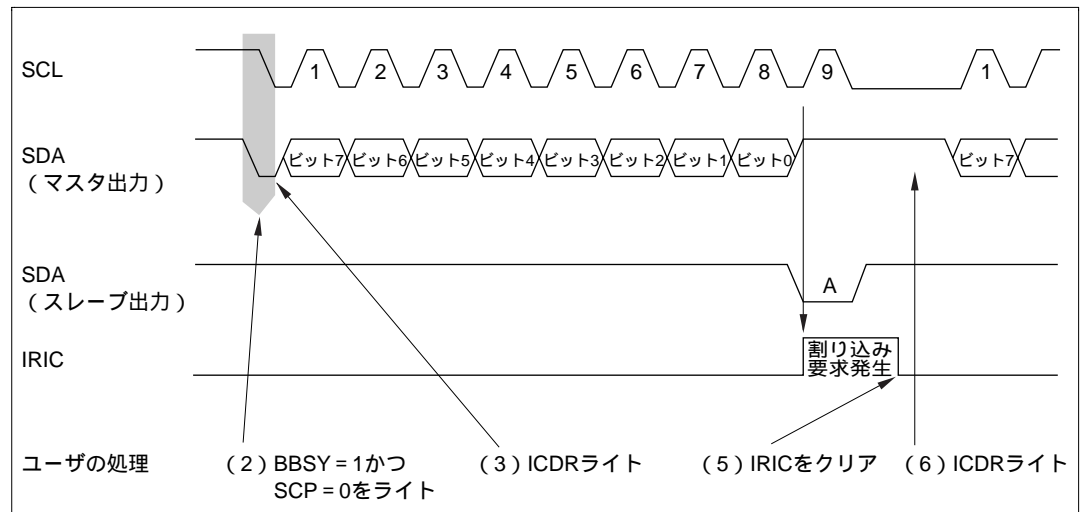


図 13.6 マスタ送信モード動作タイミング (MLS = WAIT = ACK = 0 の時)

13.3.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、データを受信し、アクノリッジを返します。スレーブデバイスはデータを送信します。以下にマスタ受信モードの受信手順と動作を示します。

- (1) ICCR の TRS を 0 にクリアし、送信モードから受信モードに切り換えます。
- (2) ICDR をリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信します。マスタデバイスは、受信クロックの 9 クロック目に SDA を Low レベルにし、アクノリッジを返します。
- (3) 1 バイトのデータ受信が終了し、受信クロックの 9 クロック目の立ち上がりで ICSR の IRIC が 1 にセットされます。この時、ICCR の IEIC が 1 にセットされていると、CPU に対し割り込み要求を発生します。また SCL は 1 フレーム転送終了後、内部クロックに同期して自動的に Low レベルに固定します。
- (4) ソフトウェアで ICSR の IRIC を 0 にクリアします。
- (5) ICDR をリードすると、内部クロックに同期して次の受信が開始されます。

(3) から (5) を繰り返し行うことにより、連続的にデータを受信することができます。受信をやめる場合は、TRS を 1 にセットし ICDR をリードした後、ICSR の BBSY = 0 かつ SCP = 0 をライトします。これにより、SCL が High レベルの時 SDA を Low レベルから High レベルに変化させ、停止条件を生成します。また、1 バイト受信モジュール後アクノリッジを返さない場合は、受信開始前に ICSR の ACKB を 1 にセットしておきます。

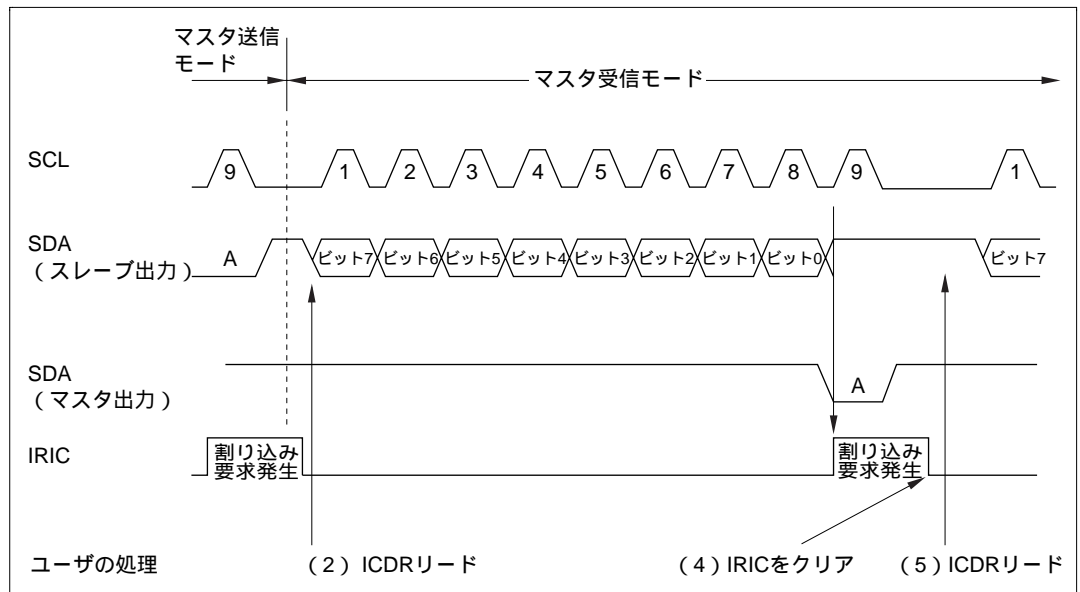


図 13.7 マスタ受信モード動作タイミング (MLS = WAIT = ACK = ACKB = 0 の時)

13.3.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力し、アクノリッジを返します。以下に、スレーブ送信モードの送信手順と動作を示します。

- (1) ICMR の MLS、WAIT および ICCR の MST、TRS、ACK、CKS2 ~ CKS0 を動作モードに合わせて設定します。また、ICCR の ICE を 1 にセットします。
- (2) 開始条件を検出後の第 1 バイトでスレーブアドレスが一致した時、9 クロック目でスレーブデバイスは、SDA を Low レベルにし、アクノリッジを返します。同時に ICSR の IRIC が 1 にセットされ、割り込みを発生します。また、8 ビット目のデータ ($R\bar{W}$) が 1 の時 ICCR の TRS が 1 にセットされ、自動的にスレーブ送信モードに変化します。スレーブデバイスは、送信クロックの立ち下がりから ICDR にデータをライトするまで、SCL を Low レベルにします。
- (3) ソフトウェアで ICSR の IRIC を 0 にクリアします。
- (4) ICDR にデータをライトします。スレーブデバイスは、図 13.8 で示すタイミングで、マスタデバイスが出力するクロックに、ICDR にライトされたデータを順次送出します。

- (5) 1バイトのデータ送信が終了し、送信クロックの9クロック目の立ち上がりで、ICSRのIRICが1にセットされます。このとき、ICCRのIEICが1にセットされているとCPUに対し割り込み要求を発生します。またこのスレーブデバイスは、送信クロックの立ち下がりからICDRにデータライトするまで、SCLをLowレベルにします。マスタデバイスは9クロック目にSDAをLowレベルにし、アクノリッジを返します。このアクノリッジはICSRのACKBに格納されるので、転送動作が正常に行われたかどうか確認することができます。
- (6) ソフトウェアでICSRのIRICを0にクリアします。
- (7) 送信を続ける場合は次に送信するデータをICDRにライトします。

(5) から (7) を繰り返すことにより、送信動作を継続できます。送信を終了する場合はICDRにHFFをライトします。SCLがHighレベルのとき、SDA信号がLowレベルからHighレベルに変化し停止条件を検出すると、ICSRのBBSYが0にクリアされます。

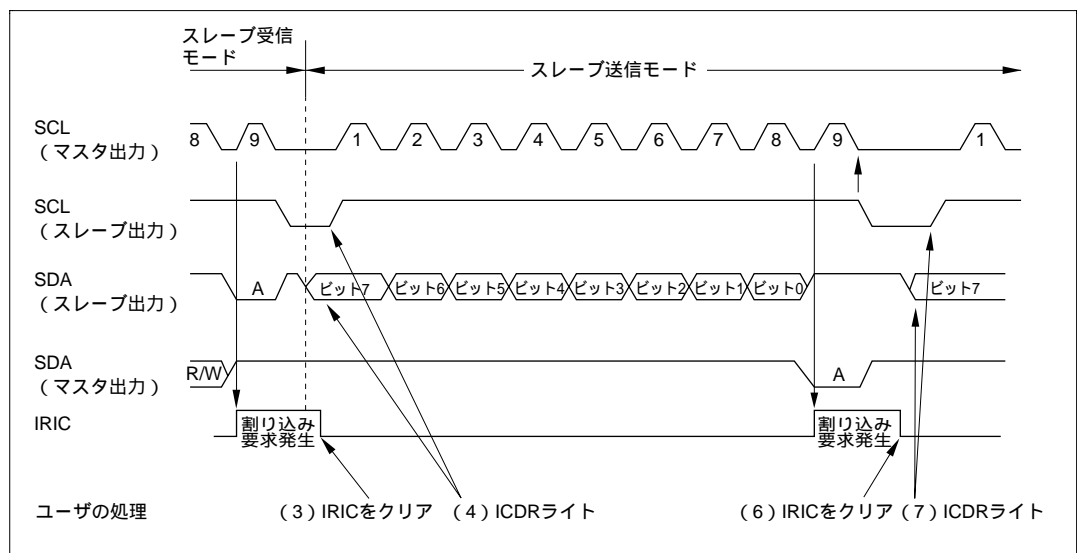


図 13.8 スレーブ送信モード動作タイミング (MLS = WAIT = ACK = 0 の時)

13.3.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出力し、スレーブデバイスがアクノリッジを返します。以下にスレーブ受信モードの受信手順と動作を示します。

- (1) ICMR の MSL、WAIT および ICCR の MST、TRS、ACK を動作モードに合わせて設定します。また、ICCR の ICE を 1 にセットします。
- (2) マスタデバイスの出力した開始条件を検出すると、ICSR の BBSY が 1 にセットされます。
- (3) 開始条件後の第 1 バイトでスレーブアドレスが一致した時、9 クロック目でスレーブデバイスは SDA を Low レベルにし、アクノリッジを返します。同時に ICSR の IRIC が 1 にセットされます。この時、ICCR の IEIC が 1 にセットされていると、CPU に対し割り込み要求を発生します。また、スレーブデバイスは受信クロックの立ち下がりから ICDR にデータをリードするまで SCL を Low レベルにします。
- (4) ソフトウェアで ICSR の IRIC を 0 にクリアします。
- (5) ICDR にデータをリードすると次の受信が開始されます。

(4) から (5) を繰り返し行うことにより、受信動作を継続できます。SCL が High レベルの時、SDA が Low レベルから High レベルに変化し停止条件を検出すると、ICSR の BBSY が 0 にクリアされます。

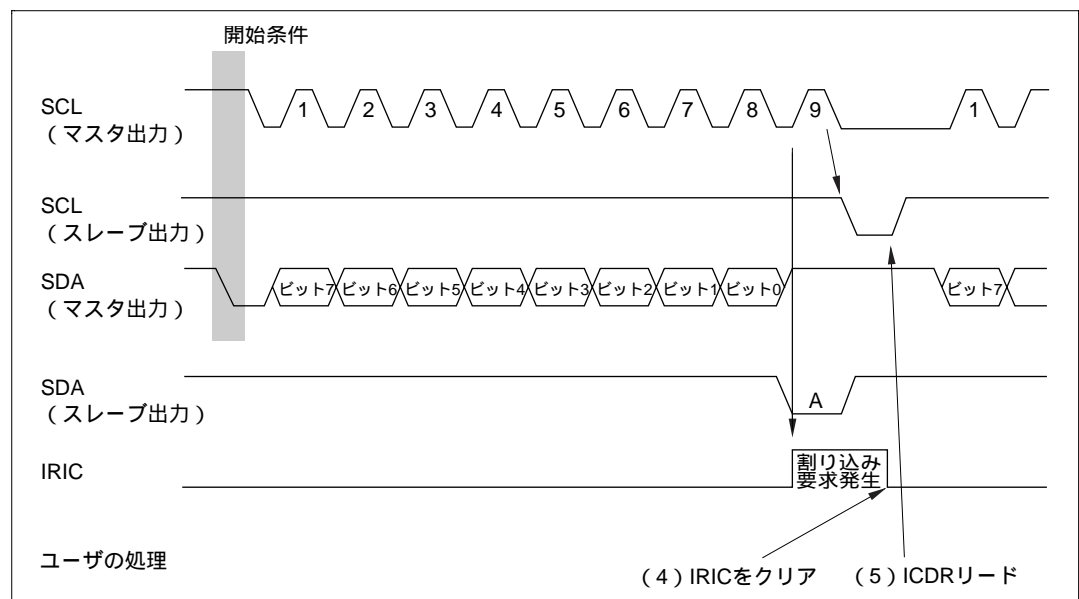


図 13.9 スレーブ受信モード動作タイミング (MSL = WAIT = ACK = ACKB = 0 の時)

13.3.6 IRIC セットタイミングと SCL 制御

割り込み要求フラグ (IRIC) セットタイミングは ICMR の WAIT、ICCR の ACK の組み合わせにより異なります。また SCL は 1 フレーム転送終了後内部クロックに同期して自動的に Low レベルに固定します。図 13.10 に IRIC セットタイミングと SCL 制御を示します。

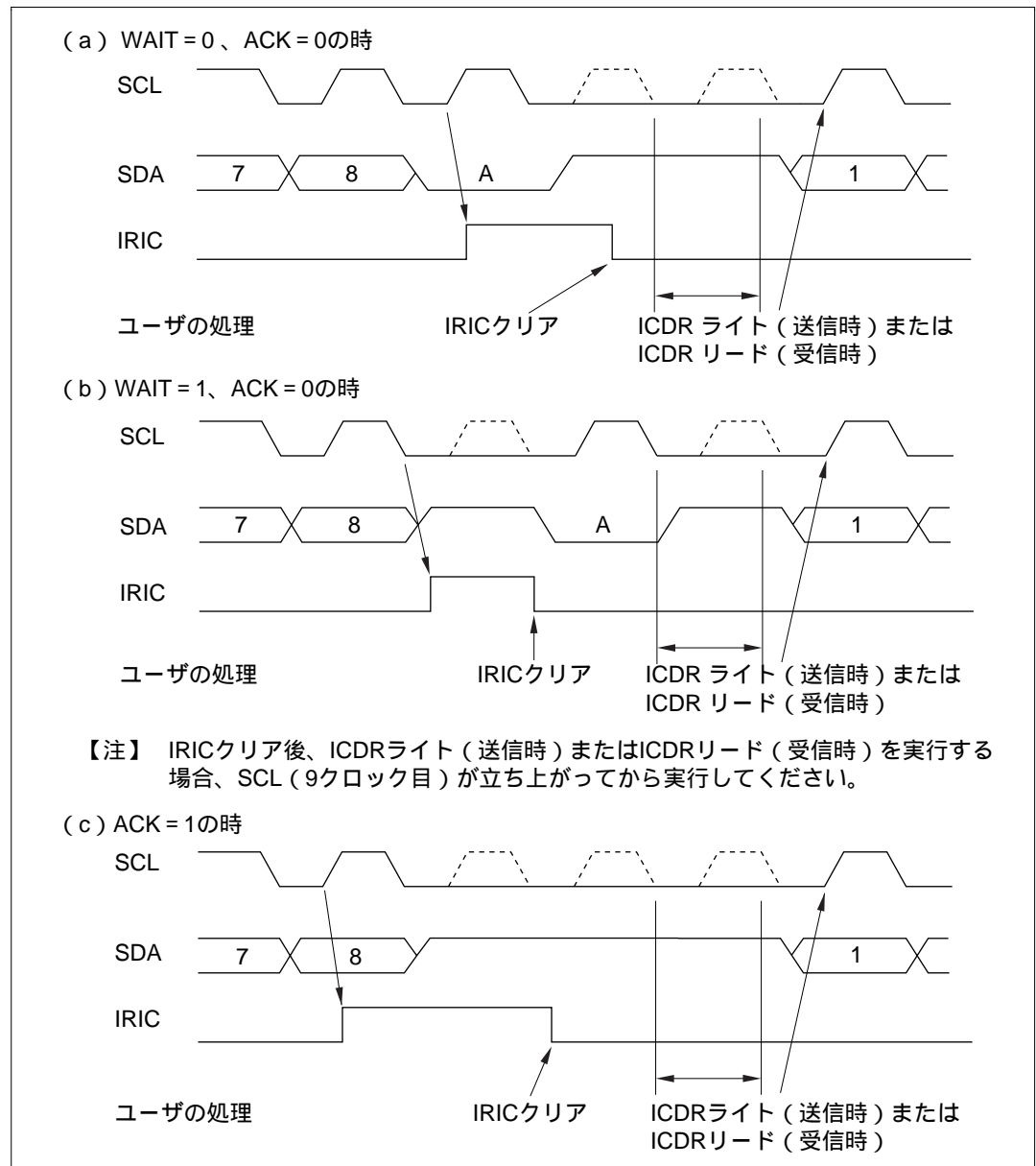


図 13.10 IRIC セットタイミングと SCL 制御

13.3.7 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 13.11 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 入力信号 (または SDA 入力信号) がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したとき初めて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

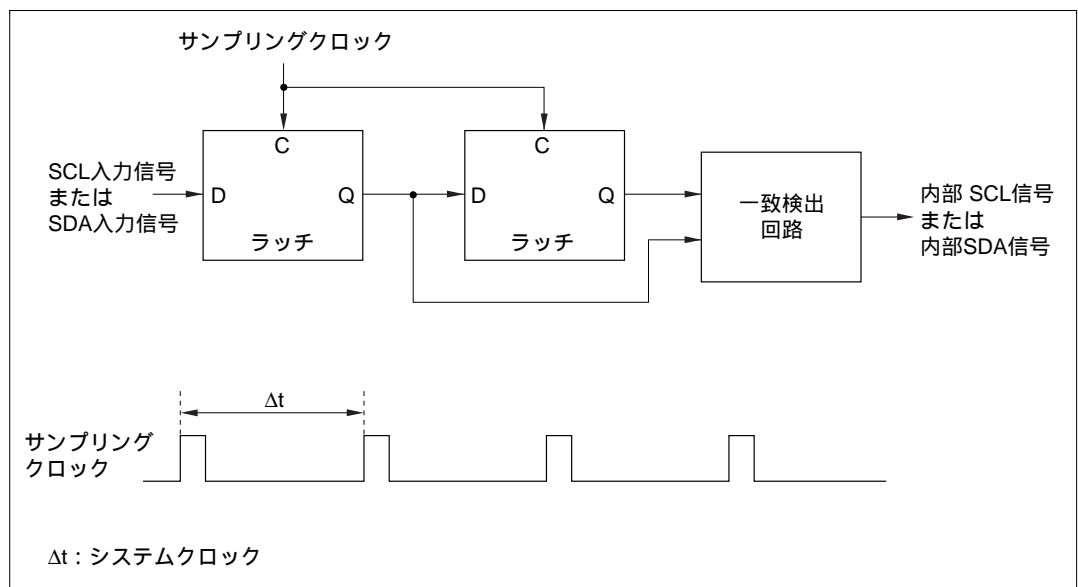


図 13.11 ノイズ除去回路のブロック図

13.3.8 使用例

I²C バスインタフェースを使用する場合の各モードでのフローチャート例を図 13.12 ~ 図 13.15 に示します。

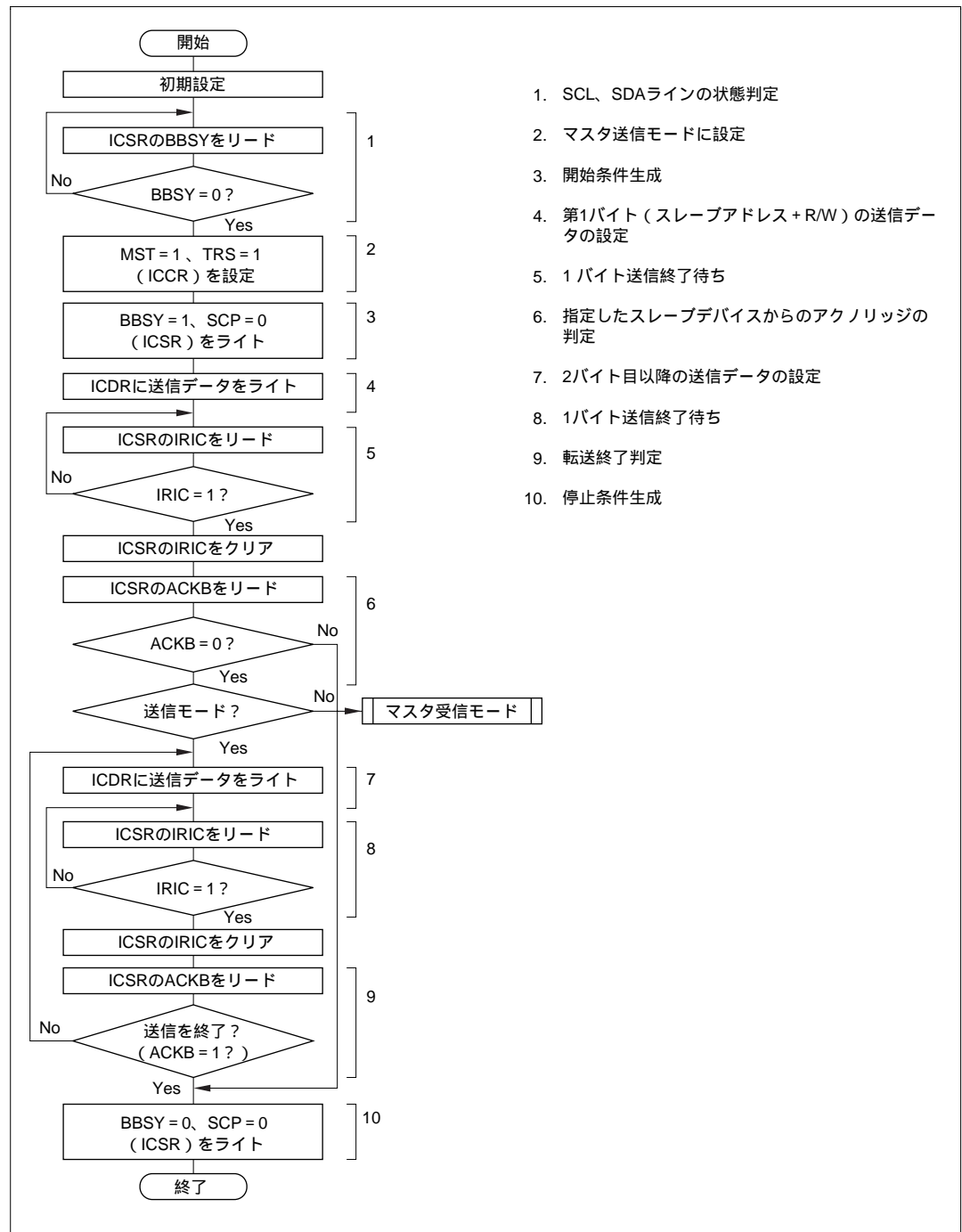


図 13.12 マスタ送信モードのフローチャート例

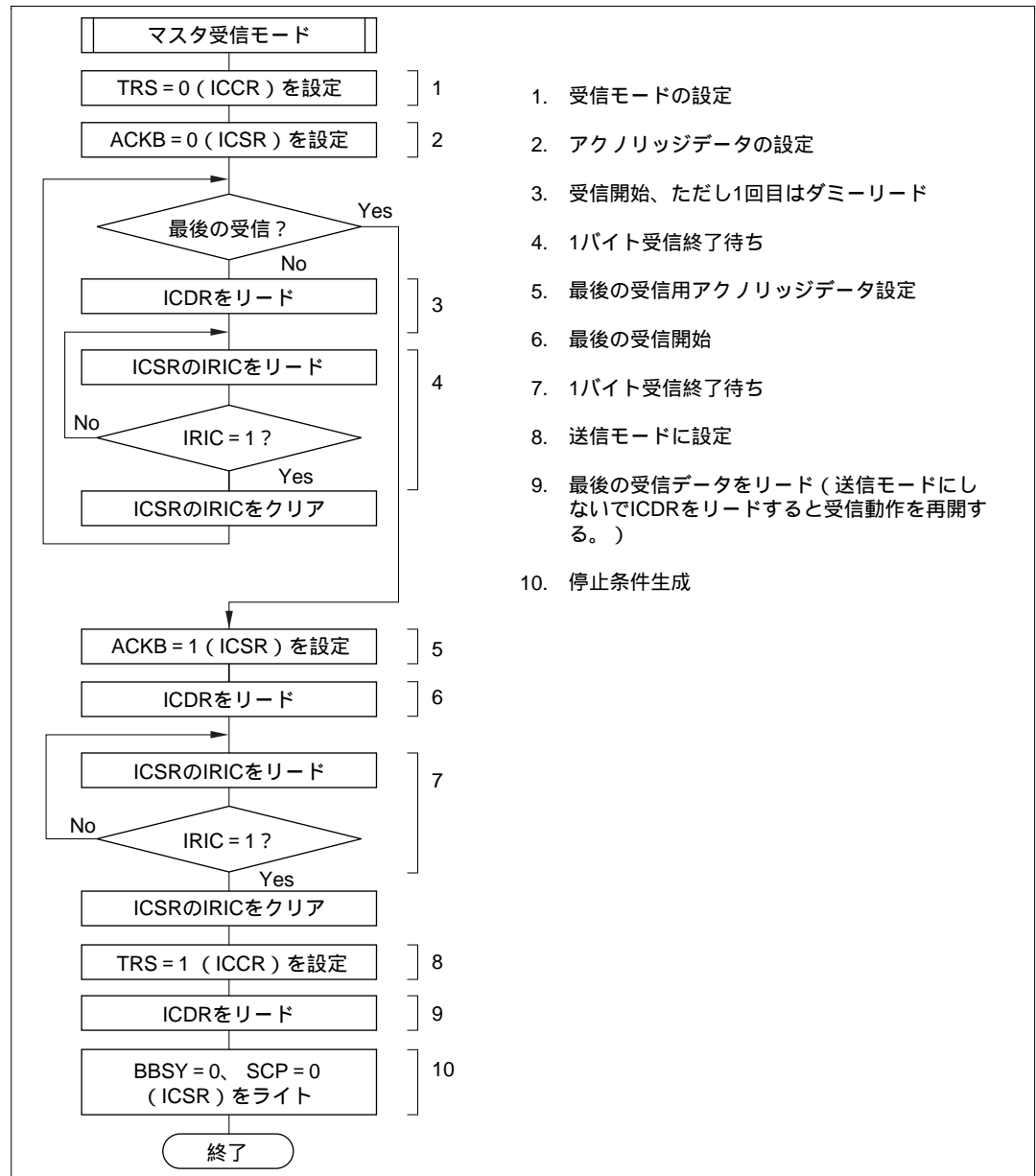


図 13.13 マスタ受信モードのフローチャート例

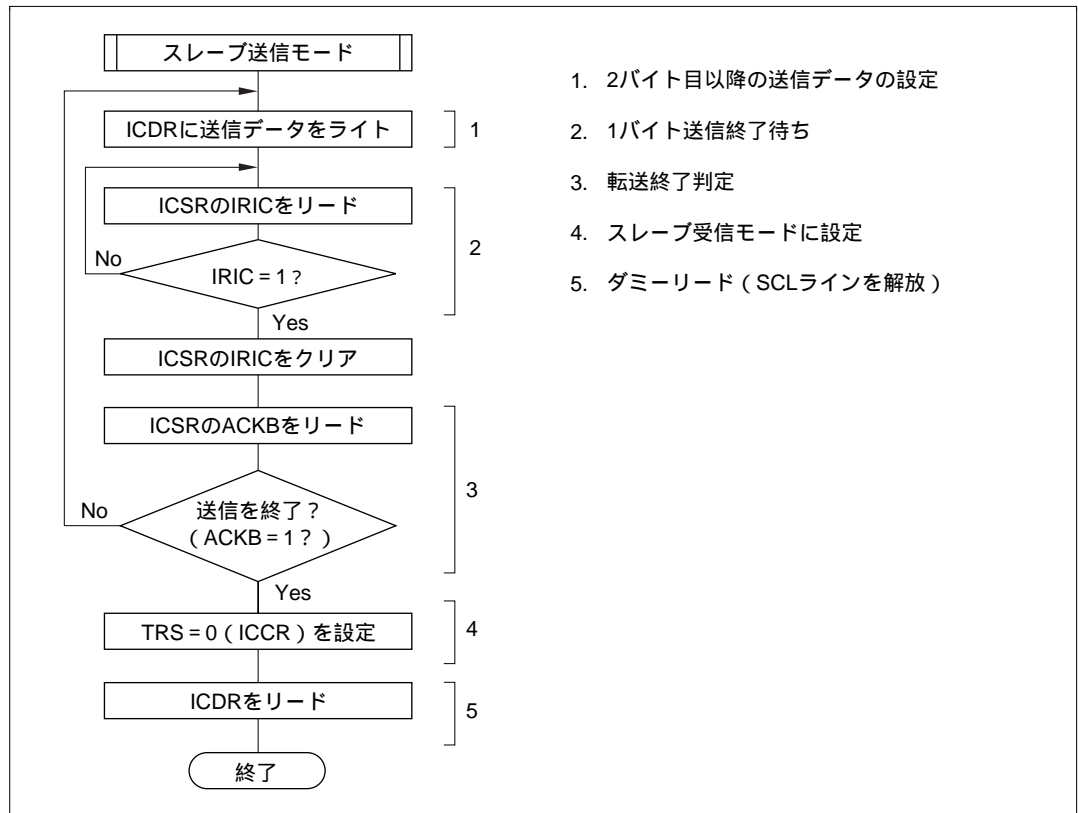


図 13.14 スレーブ送信モードフローチャート例

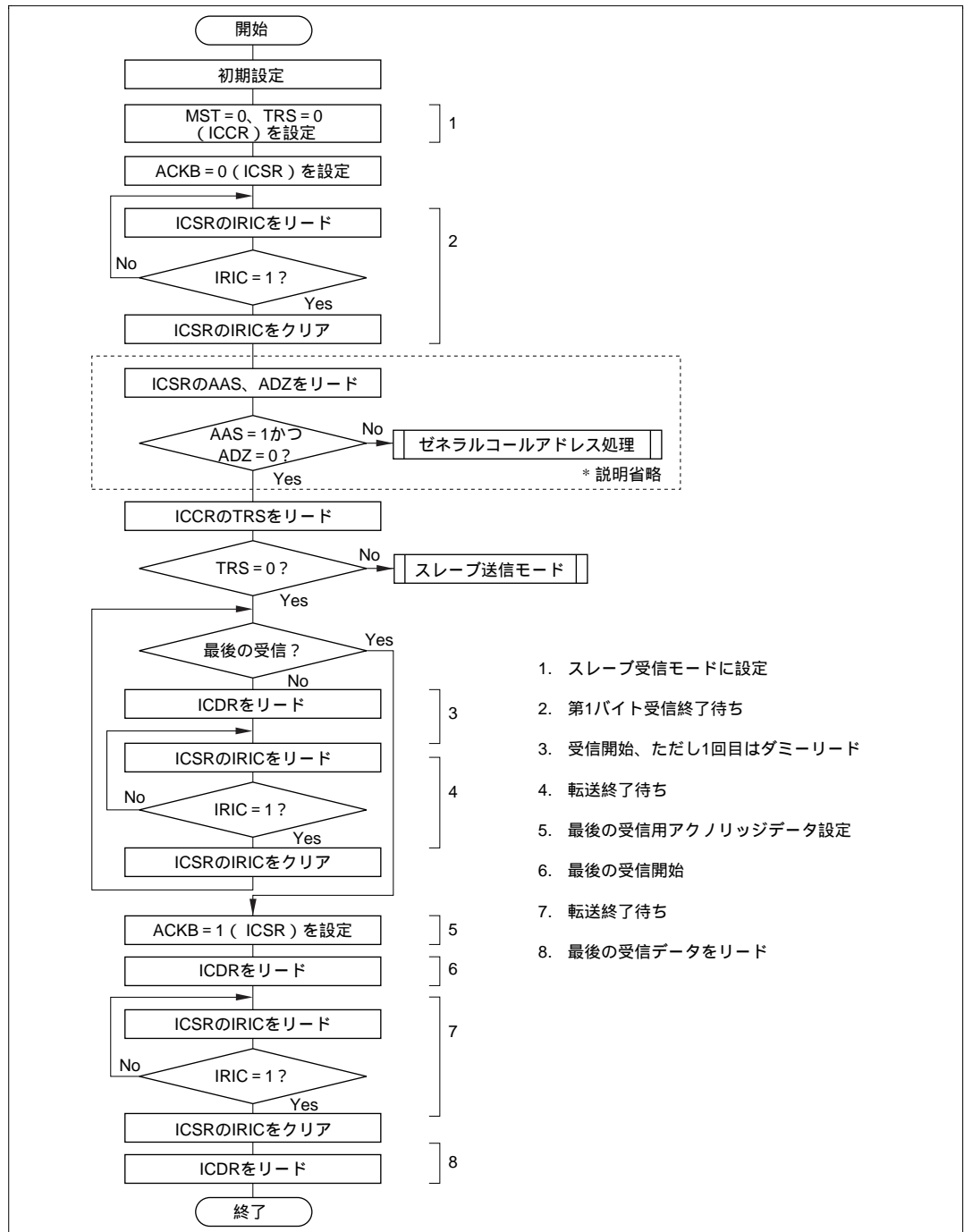


図 13.15 スレーブ受信モードフローチャート例

13.4 使用上の注意

- (1) マスタモードで、開始条件生成のための命令と停止条件生成のための命令を連続的に発行すると、開始条件も停止条件も正常に出力されなくなります。開始条件と停止条件を連続的に出力する場合は開始条件生成のための命令を発行後ポートをリードし、SCL、SDA が共に Low レベルになっていることを確認し、その後、停止条件生成のための命令を発行してください。
- (2) 次転送のスタート条件が次の 2 条件となっています。ICDR をリード/ライトする場合は注意してください。
- (a) ICE = 1 かつ TRS = 1 かつ ICDR に送信データをライトした時
 - (b) ICE = 1 かつ TRS = 0 かつ ICDR をリードした時
- (3) SCL の立ち上がり時間 t_{sr} は、I²C バスインタフェースの仕様で 1000ns (高速モード時は 300ns) 以内と定められています。本 I²C バスインタフェースはマスタモード時 SCL ラインをモニタし、ビットごとに同期をとりながら通信を行います。そのため SCL の立ち上がり時間 t_{sr} (Low レベルから V_{IH} まで変化する時間) が、I²C バスインタフェースの入クロックで決まる時間を超えた場合、SCL の High 期間が延ばされます。SCL の立ち上がり時間は SCL ラインのプルアップ抵抗、負荷容量で決定されますので、設定した転送レートで動作させるためには、以下の表に示す時間以下になるようにプルアップ抵抗、負荷容量を設定してください。

CKDBL	IICX	t_{cyc} 表示		時間表示			
				= 5MHz	= 8MHz	= 10MHz	= 16MHz
0	0	$7.5t_{cyc}$	標準モード	1000ns	937ns	750ns	486ns
			高速モード	300ns			
0	1	$17.5t_{cyc}$	標準モード	1000ns			
1	0		高速モード	300ns			
1	1	$37.5t_{cyc}$	標準モード	1000ns			
			高速モード	300ns			

(4) 再送開始条件発行時の注意

再送開始条件を発行するときは必ずアクリッジビット受信期間において、SCLクロックが立ち下がってから発行するようにしてください。アクリッジビットが終了後、SCLレベルが "High" になってから次のデータを "ICDR" に書き込むようにしてください。図 13.16 に再送開始条件発行の推奨プログラムフローを示します。また、図 13.17 に図 13.16 のフローのタイミングチャートを示します。

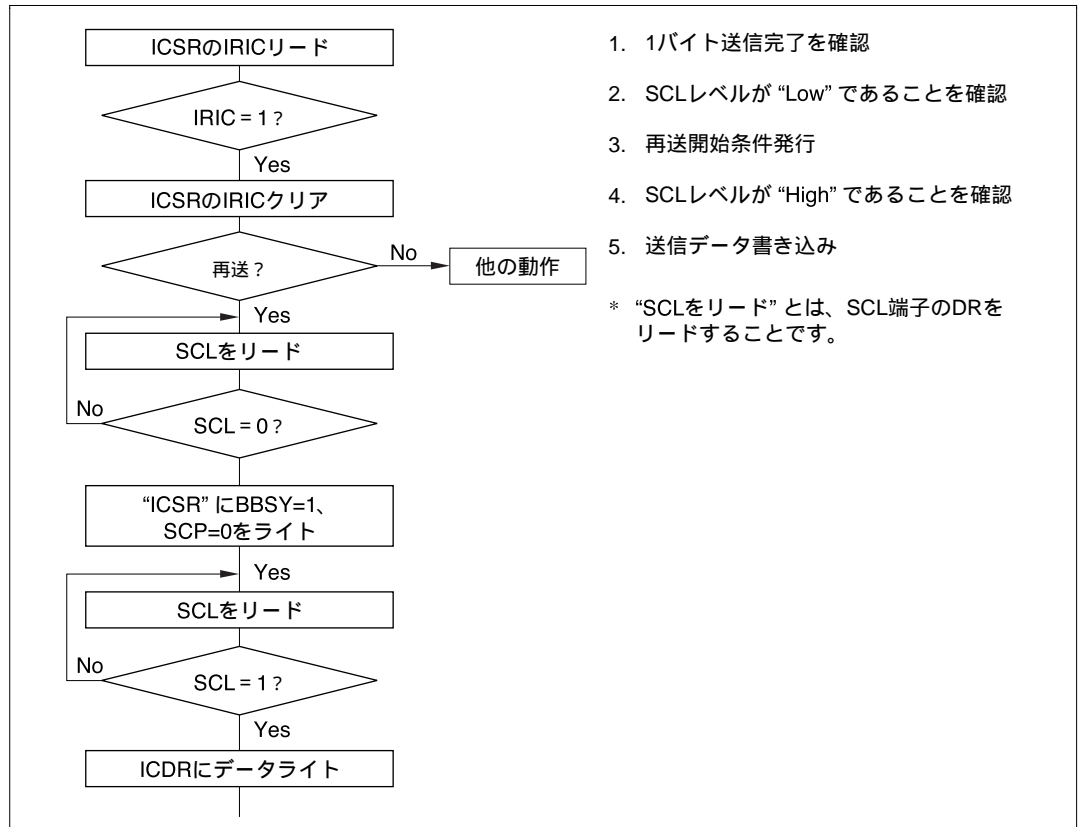


図 13.16 再送開始条件発行の推奨プログラムフロー

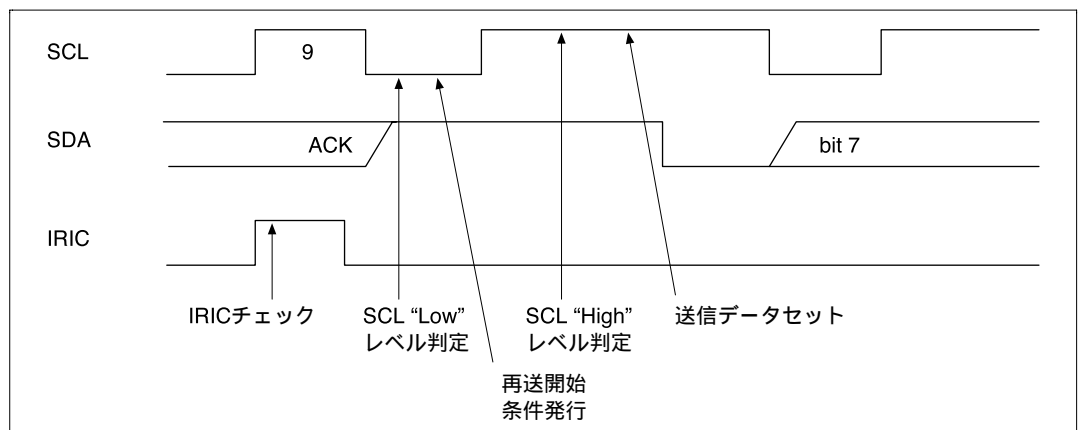


図 13.17 再送開始条件発行のタイミングチャート

(5) 停止条件発行時の注意

マスタモードで外付けプルアップ抵抗 R 及びバス負荷容量 C により SCL の立ち上がりが遅れた場合、またはスレーブデバイスにより SCL が "L" に引っ張られた場合、内部のビット同期回路により SCL を立ち下げるタイミングを $1t_{SCL}$ 分遅らせることがあります。このとき図 13.18 のようにビット同期回路のサンプリングタイミングで SCL が "L" と認識され、基準 SCL クロックが次に立ち下がる前に停止条件発行命令を実行した場合、SCL が "H" のままで SDA が "H" "L" "H" と変化します。この結果 9 クロック目が終了しないまま停止条件が発行されることになります。

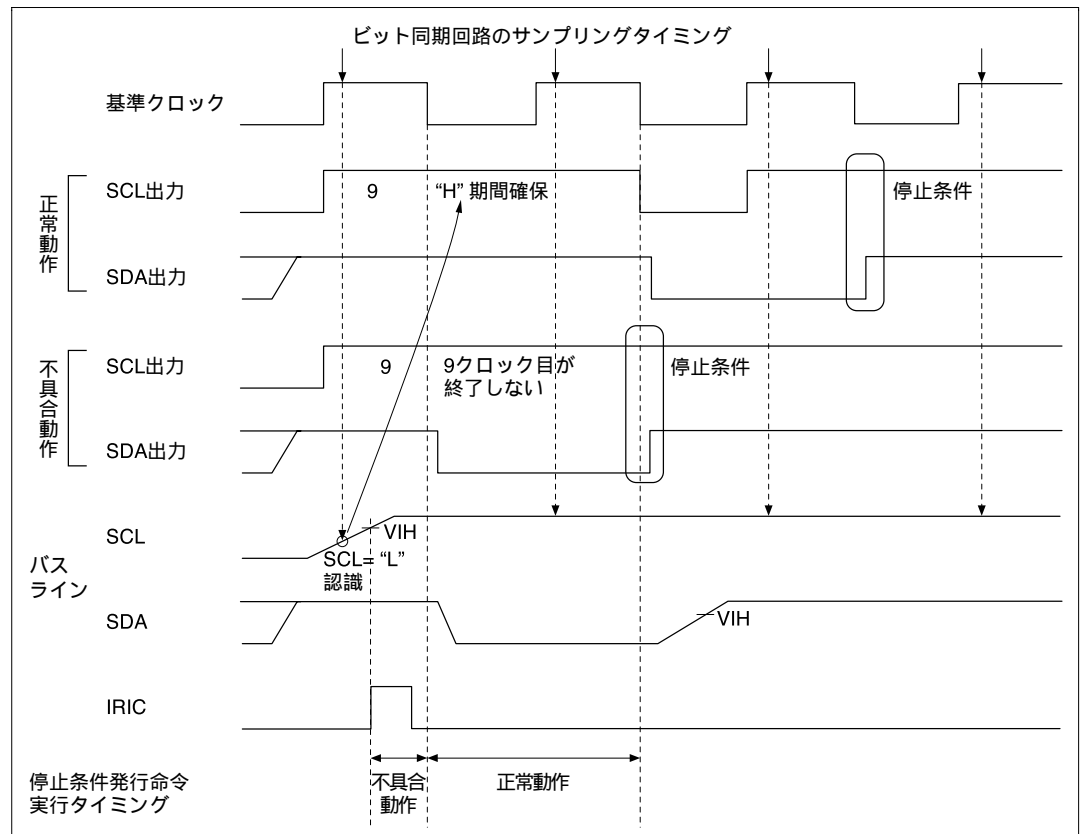


図 13.18 停止条件不具合動作タイミング

- ・対策方法

図 13.19 に推奨プログラムフローを示します。

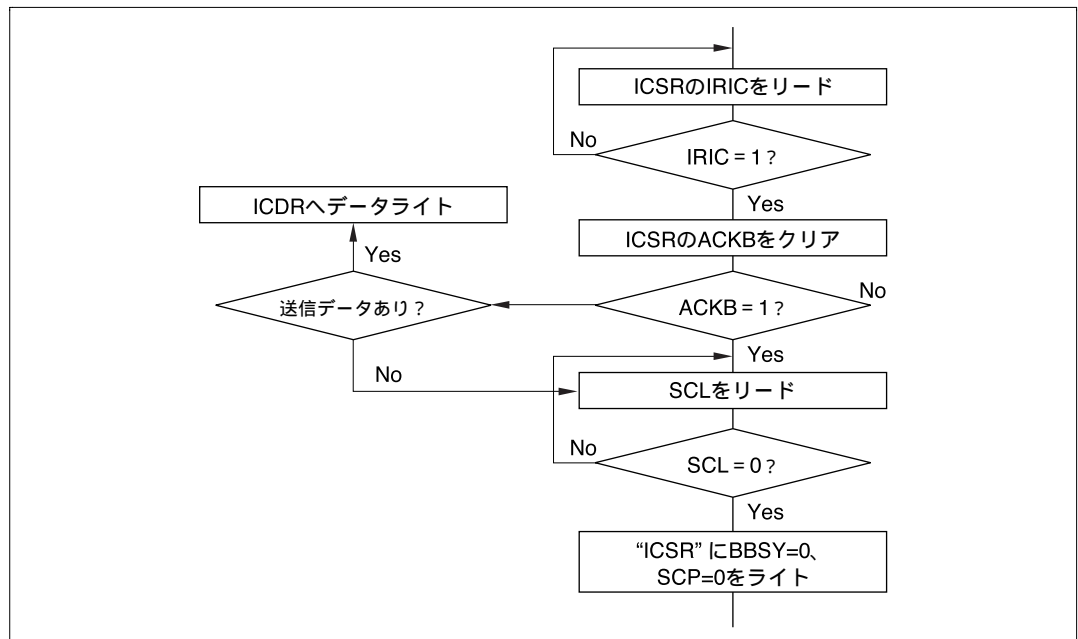


図 13.19 推奨プログラムフロー

(6) マスタ受信終了時における ICDR リードの注意

停止条件発行のための命令実行 (ICCR の BBSY = 0 かつ SCP = 0 をライト) から実際に停止条件が生成されるまでの期間において、受信データ (ICDR のデータ) を読み出すと、次のマスタ送信時に正しくクロックが出なくなる場合がありますので注意が必要です。

なお、マスタ送受信完了後の MST ビットのクリアなど、送受信の動作モード、設定変更のための IIC 制御ビットの書き換えについては、必ず図 13.20 の(a)期間中 (ICCR レジスタの BBSY ビットの 0 クリア確認後) に行ってください。

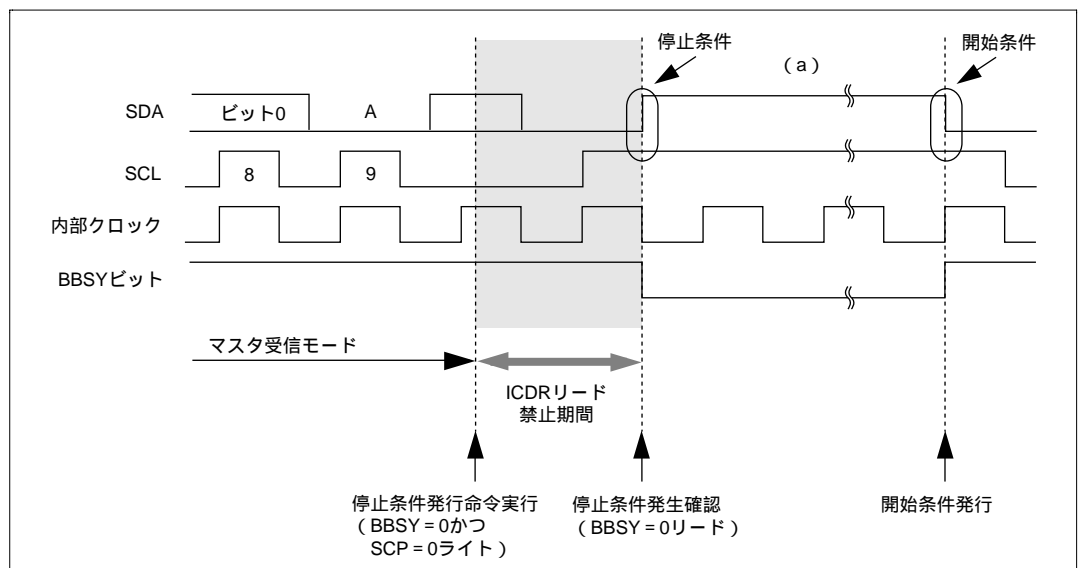


図 13.20 マスタ受信データの読み出しにおける注意

(7) ウェイト機能使用時の IRIC フラグクリアの注意事項

I²C バスインタフェースのマスタモードでウェイト機能を使用しているときに、SCL の立ち上がり時間が規定を超えてしまう場合や、SCL を Low にしてウェイトをかけるタイプのスレーブデバイスがある場合は、下記のように SCL をリードして、SCL が Low に立ち下がったことを判定してから IRIC フラグのクリアをしてください。

SCL が High 期間を引き延ばしている最中に WAIT=1 の状態で IRIC フラグを 0 にクリアすると、SCL が立ち下がる前に SDA の値が変化し、開始条件や停止条件が誤って発生してしまうことがあります。

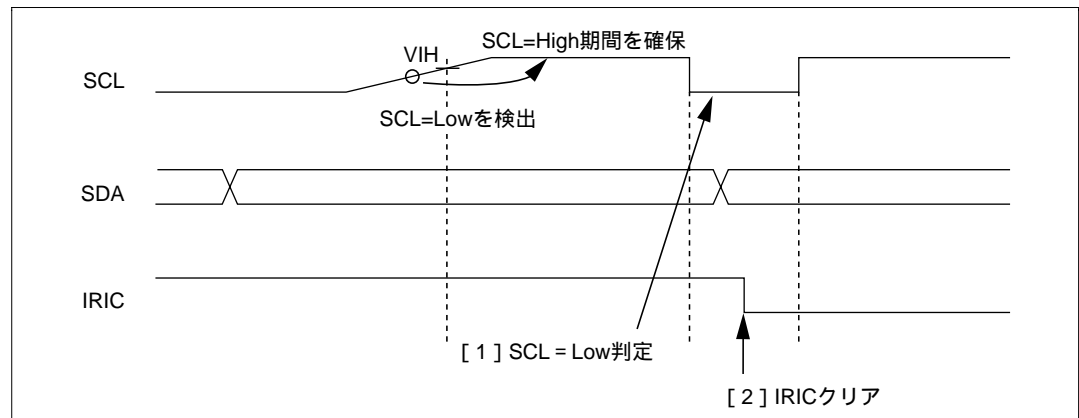


図 13.21 WAIT=1 状態での IRIC フラグクリアタイミング

(8) その他の注意

マスタ受信モードからマスタ送信モードに移行する場合、最終受信データは必ず TRS を "1" にセットしてから ICDR をリードして取り込んでください。

14. ホストインタフェース

第14章 目次

14.1	概要.....	335
14.1.1	ブロック図.....	336
14.1.2	端子構成.....	337
14.1.3	レジスタ構成.....	338
14.2	各レジスタの説明.....	339
14.2.1	システムコントロールレジスタ (SYSCR).....	339
14.2.2	ホストインタフェースコントロールレジスタ (HICR).....	339
14.2.3	入力データレジスタ (IDR1).....	341
14.2.4	出力データレジスタ1 (ODR1).....	341
14.2.5	ステータスレジスタ1 (STR1).....	341
14.2.6	入力データレジスタ2 (IDR2).....	343
14.2.7	出力データレジスタ2 (ODR2).....	343
14.2.8	ステータスレジスタ2 (STR2).....	344
14.2.9	シリアルタイマコントロールレジスタ (STCR).....	346
14.3	動作説明.....	347
14.3.1	ホストインタフェースの起動.....	347
14.3.2	コントロール状態.....	347
14.3.3	GATE A20.....	348
14.4	割り込み要因.....	350
14.4.1	IBF1、IBF2.....	350
14.4.2	HIRQ ₁₁ 、HIRQ ₁ 、HIRQ ₁₂	350
14.5	使用上の注意.....	351

14.1 概要

本 LSI は、ホストインタフェース (HIF : Host Inter Face) を内蔵しています。

HIF は、H8/3437 シリーズの内部 CPU とホストとの 2 チャンネルの平行インタフェース機能です。HIF は、SYSCR の HIE ビットが 1 にセットされたときのみ使用できます。このときのモードをスレーブモードと呼びます。スレーブモードは、本 LSI をスレーブとしてホストとのマスタスレーブ通信システム用に設計されています。

HIF は 4 バイトのデータレジスタ、2 バイトのステータスレジスタ、および 1 バイトのコントロールレジスタと高速 GATE A20 ロジックとホスト割り込み要求回路から構成されています。ホストからの 5 つのコントロール信号 (\overline{CS}_1 、 \overline{CS}_2 または \overline{ECS}_2 、 HA_0 、 \overline{IOR} 、 \overline{IOW} または \overline{EIOW})、ホストへの 4 つの出力信号 (GA_{20} 、 $HIRQ_1$ 、 $HIRQ_{11}$ 、 $HIRQ_{12}$)、およびコマンド/データ入出力バスとしての 8 ビットデータバス ($HDB_7 \sim HDB_0$ または $XDB_7 \sim XDB_0$) を介してホストとの通信を行います。 \overline{CS}_1 と \overline{CS}_2 (\overline{ECS}_2) 信号は 2 つのインタフェースチャンネルのうち 1 つを選択する信号です。

【注】 2 つのインタフェースチャンネルのうち 1 つを使用しない場合、使用しない \overline{CS} 端子は V_{CC} に接続してください。例えば、インタフェースチャンネル 1 (IDR1、ODR1、STR1) を使用しない場合、 \overline{CS}_1 端子を V_{CC} に接続してください。

14.1.1 ブロック図

図 14.1 に HIF のブロック図を示します。

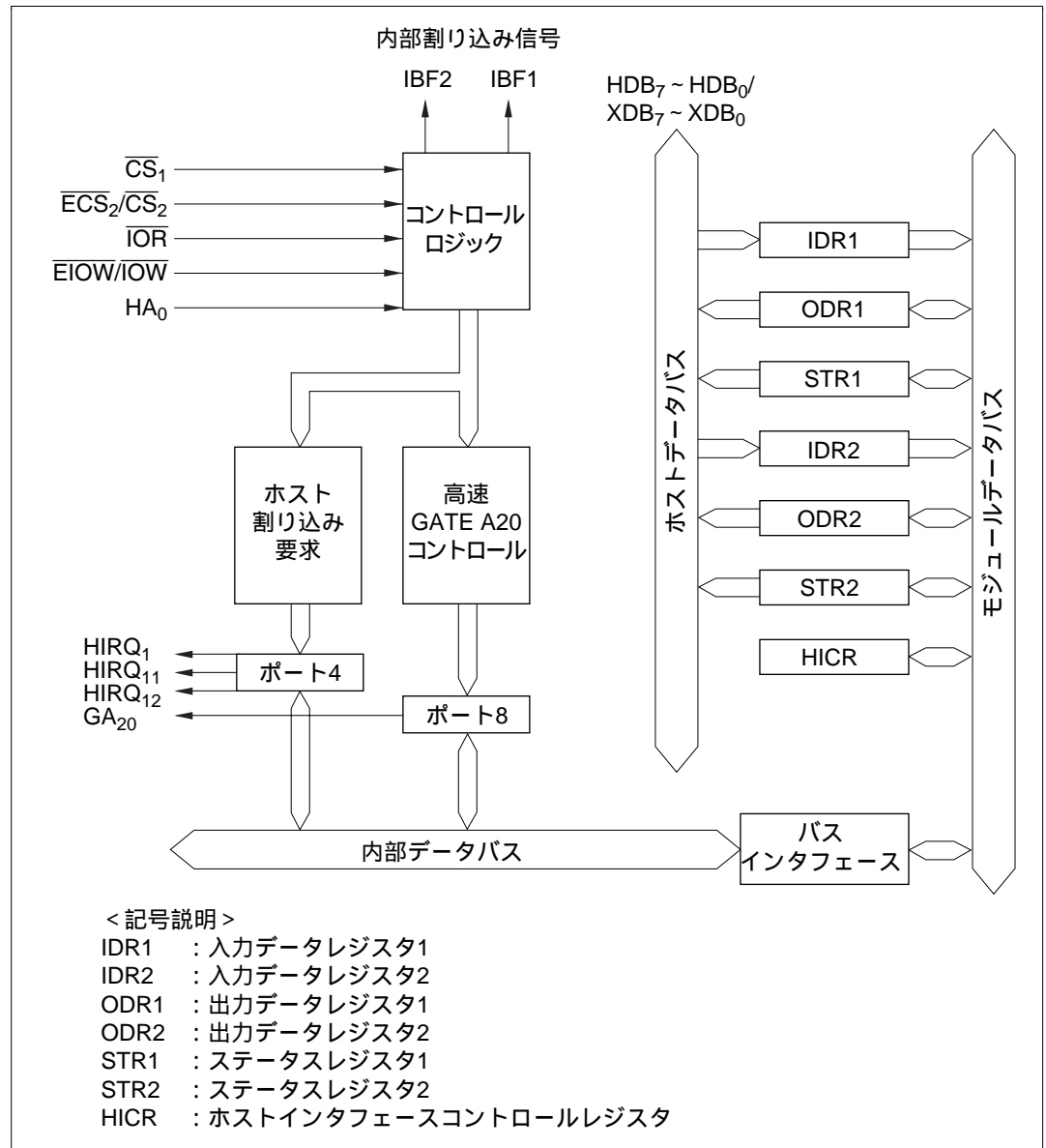


図 14.1 HIF のブロック図

14.1.2 端子構成

HIFの入出力端子を表 14.1 に示します。

表 14.1 端子構成

名称	略称	ポート	入出力	機能
I/O リード	\overline{IOR}	P8 ₃	入力	ホストインタフェースリード信号
I/O ライト*	\overline{IOW}	P8 ₄	入力	ホストインタフェースライト信号
	\overline{ELOW}	P9 ₁		
チップセレクト 1	\overline{CS}_1	P8 ₂	入力	IDR1、ODR1、STR1 に対するホストインタフェースチップセレクト信号
チップセレクト 2*	\overline{CS}_2	P8 ₅	入力	IDR2、ODR2、STR2 に対するホストインタフェースチップセレクト信号
	\overline{ECS}_2	P9 ₀		
コマンド/データ	HA ₀	P8 ₀	入力	ホストインタフェースアドレス選択信号 ホストリード時は、ステータスレジスタ (STR1、STR2) かデータレジスタ (ODR1、ODR2) かを選択します。ホストライト時は、データレジスタ (IDR1、IDR2) へのライトがコマンドライトかデータライトかを表します。
データバス	HDB ₇ ~ HDB ₀	P3 ₇ ~ P3 ₀	入出力	ホストインタフェースデータバス (シングルチップモード時)
	XDB ₇ ~ XDB ₀	PB ₇ ~ PB ₀	入出力	ホストインタフェースデータバス (拡張モード時)
ホスト割り込み 1	HIRQ ₁	P4 ₄	出力	ホスト割り込み要求出力 1 をホストへ出力
ホスト割り込み 11	HIRQ ₁₁	P4 ₃	出力	ホスト割り込み要求出力 11 をホストへ出力
ホスト割り込み 12	HIRQ ₁₂	P4 ₅	出力	ホスト割り込み要求出力 12 をホストへ出力
GATE A20	GA ₂₀	P8 ₁	出力	GATE A20 コントロール信号出力

【注】 * STCR の STAC ビットの設定により、 \overline{IOW} または \overline{ELOW} 、 \overline{CS}_2 または \overline{ECS}_2 を選択することができます。STAC が 0 のとき、 \overline{IOW} と \overline{CS}_2 が有効になり、STAC が 1 のとき、 \overline{ELOW} と \overline{ECS}_2 が有効になります。本文中では \overline{IOW} 、 \overline{CS}_2 と略称します。

14.1.3 レジスタ構成

HIFのレジスタ構成を表14.2に示します。

表 14.2 レジスタ構成

名称	略称	R/W		初期値	スレーブ アドレス*3	マスタアドレス*4		
		スレーブ	ホスト			\overline{CS}_1	\overline{CS}_2	HA ₀
システムコントロールレジスタ	SYSCR	R/W*1	-	H'09	H'FFC4	-	-	-
ホストインタフェース コントロールレジスタ	HICR	R/W	-	H'F8	H'FFF0	-	-	-
入力データレジスタ1	IDR1	R	W	-	H'FFF4	0	1	0/1*5
出力データレジスタ1	ODR1	R/W	R	-	H'FFF5	0	1	0
ステータスレジスタ1	STR1	R/(W)*2	R	H'00	H'FFF6	0	1	1
入力データレジスタ2	IDR2	R	W	-	H'FFFC	1	0	0/1*5
出力データレジスタ2	ODR2	R/W	R	-	H'FFFD	1	0	0
ステータスレジスタ2	STR2	R/(W)*2	R	H'00	H'FFFE	1	0	1
シリアルタイムコントロール レジスタ	STCR	R/W	-	H'00	H'FFC3	-	-	-

【注】 *1 ビット3のみリード専用ビットです。

*2 ユーザ定義ビット(ビット7~4、2)は、スレーブからリード/ライト可能です。

*3 スレーブからアクセスするときのアドレスです。

*4 マスタからアクセスするときの端子入力です。

*5 HA₀入力は、コマンドライトとデータライトの識別に用いられます。

14.2 各レジスタの説明

14.2.1 システムコントロールレジスタ (SYSCR)

ビット :	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	XRST	NMIEG	HIE	RAME
初期値 :	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

SYSCR は、8 ビットのリード/ライト可能なレジスタで、本 LSI の動作を制御します。ホストインタフェース機能は、SYSCR の HIE ビットによって許可または禁止されます。SYSCR のその他のビットについての詳細は「3.2 システムコントロールレジスタ (SYSCR)」を参照してください。

SYSCR は、外部リセットまたはハードウェアスタンバイモード時に H'09 にイニシャライズされます。

ビット1 : ホストインタフェースイネーブルビット (HIE)

シングルチップモードで、ホストインタフェース機能を許可または禁止します。許可時には本 LSI はスレーブモードとなり、スレーブとホスト間のデータ転送処理を行います。

ビット1	説明
HIE	
0	ホストインタフェース機能を禁止 (初期値)
1	ホストインタフェース機能を許可 (スレーブモード)

14.2.2 ホストインタフェースコントロールレジスタ (HICR)

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	IBFIE2	IBFIE1	FGA20E
初期値 :	1	1	1	1	1	0	0	0
スレーブR/W :	—	—	—	—	—	R/W	R/W	R/W
ホストR/W :	—	—	—	—	—	—	—	—

HICR は、8 ビットのリード/ライト可能なレジスタで、ホストインタフェースの割り込みと高速 GATE A20 機能を制御します。

HICR は、リセットまたはハードウェアスタンバイモード時に H'F8 にイニシャライズされます。

ビット7~3：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット2：入力データレジスタフル割り込みイネーブルビット2（IBFIE2）

内部CPUに対してIBF2割り込みを許可または禁止します。

ビット2	説明
IBFIE2	
0	入力データレジスタ（IDR2）受信完了割り込み要求を禁止（初期値）
1	入力データレジスタ（IDR2）受信完了割り込み要求を許可

ビット1：入力データレジスタフル割り込みイネーブルビット1（IBFIE1）

内部CPUに対してIBF1割り込みを許可または禁止します。

ビット1	説明
IBFIE1	
0	入力データレジスタ（IDR1）受信完了割り込み要求を禁止（初期値）
1	入力データレジスタ（IDR1）受信完了割り込み要求を許可

ビット0：高速GATE A20イネーブルビット（FGA20E）

高速GATE A20機能を許可または禁止します。高速GATE A20が禁止された場合、通常のGATE A20はP8_i出力をファームウェアで操作することで実現できます。

ビット0	説明
FGA20E	
0	高速GATE A20機能を禁止（初期値）
1	高速GATE A20機能を許可

14.2.3 入力データレジスタ (IDR1)

ビット	:	7	6	5	4	3	2	1	0
		IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
初期値	:	—	—	—	—	—	—	—	—
スレーブR/W	:	R	R	R	R	R	R	R	R
ホストR/W	:	W	W	W	W	W	W	W	W

IDR1 は、スレーブに対しては8ビットのリード専用の、ホストに対しては8ビットのライト専用のレジスタです。 \overline{CS}_1 がLowレベルの時に、 \overline{IOW} の立ち上がりエッジで、ホストデータバスの内容がIDR1にライトされます。HA₀の状態はSTR1のC/Dビットに反映され、コマンドライトとデータライトの識別に用いられます。

IDR1 は、リセットまたはスタンバイモード時、初期値は不定です。

14.2.4 出力データレジスタ 1 (ODR1)

ビット	:	7	6	5	4	3	2	1	0
		ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0
初期値	:	—	—	—	—	—	—	—	—
スレーブR/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ホストR/W	:	R	R	R	R	R	R	R	R

ODR1 は、スレーブに対しては8ビットのリード/ライト可能な、ホストに対しては8ビットのリード専用のレジスタです。HA₀がLowレベル、 \overline{CS}_1 がLowレベル、 \overline{IOR} がLowレベルの時、ホストデータバスへODR1の内容が出力されます。

ODR1 は、リセットまたはスタンバイモード時、初期値は不定です。

14.2.5 ステータスレジスタ 1 (STR1)

ビット	:	7	6	5	4	3	2	1	0
		DBU	DBU	DBU	DBU	C/D	DBU	IBF	OBF
初期値	:	0	0	0	0	0	0	0	0
スレーブR/W	:	R/W	R/W	R/W	R/W	R	R/W	R	R
ホストR/W	:	R	R	R	R	R	R	R	R

STR1 は、8ビットのレジスタでホストインタフェース処理中の状態を表示します。ビット3、1、0はホストとスレーブのいずれもリード専用です。

STR1 は、リセットまたはハードウェアスタンバイモード時にH'00にイニシャライズされます。

ビット7～4、2：ユーザ定義ビット (DBU)

ユーザが必要に応じて使用できるビットです。

ビット3：コマンド/データ (C/D)

ホストが IDR1 に対してライトを行ったときの、HA₀の状態がライトされ、IDR1 の内容がデータかコマンドかを識別します。

ビット3	説明
C/D	
0	入力データレジスタ (IDR1) の内容はデータ (初期値)
1	入力データレジスタ (IDR1) の内容はコマンド

ビット1：入力データレジスタフル (IBF)

ホストが IDR1 にライトすると1にセットされます。スレーブに対しての内部割り込み要因の1つとなります。スレーブが IDR1 をリードすると IBF ビットは0にクリアされます。

ビット1	説明
IBF	
0	[クリア条件] (初期値) スレーブが IDR1 をリード
1	[セット条件] ホストが IDR1 にライト

ビット0：出力データレジスタフル (OBF)

スレーブが ODR1 をライトとすると1にセットされます。ホストが ODR1 をリードすると、OBF ビットは0にクリアされます。

ビット0	説明
OBF	
0	[クリア条件] (初期値) ホストが ODR1 をリード
1	[セット条件] スレーブが ODR1 にライト

表 14.3 に STR1 のフラグをセット/クリアするタイミングを示します。

表 14.3 STR1 のフラグのセット/クリアタイミング

フラグ	セット条件	クリア条件
C/D	HA ₀ が High レベルのときのホストライト (\overline{IOW}) 信号の立ち上がりエッジ	HA ₀ が Low レベルのときのホストライト (\overline{IOW}) 信号の立ち上がりエッジ
IBF	IDR1 ヘライトするためのホストライト (\overline{IOW}) 信号の立ち上がりエッジ	IDR1 からリードするためのスレーブの内部リード (\overline{RD}) 信号の立ち下がりエッジ
OBF	ODR1 ヘライトするためのスレーブの内部ライト (\overline{WR}) 信号の立ち下がりエッジ	ODR1 からリードするためのホストリード (\overline{OR}) 信号の立ち上がりエッジ

14.2.6 入力データレジスタ 2 (IDR2)

ビット	:	7	6	5	4	3	2	1	0
		IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
初期値	:	—	—	—	—	—	—	—	—
スレーブR/W	:	R	R	R	R	R	R	R	R
ホストR/W	:	W	W	W	W	W	W	W	W

IDR2 は、スレーブに対しては 8 ビットのリード専用の、ホストに対しては 8 ビットのライト専用レジスタです。CS₂ が Low レベルのときに、 \overline{IOW} の立ち上がりエッジで、ホストデータバスの内容が IDR2 にライトされます。HA₀ の状態は STR2 の C/D ビットに反映され、コマンドライトとデータライトの識別に用いられます。

IDR2 は、リセットまたはスタンバイモード時、初期値は不定です。

14.2.7 出力データレジスタ 2 (ODR2)

ビット	:	7	6	5	4	3	2	1	0
		ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0
初期値	:	—	—	—	—	—	—	—	—
スレーブR/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ホストR/W	:	R	R	R	R	R	R	R	R

ODR2 は、スレーブに対して 8 ビットのリード/ライト可能な、ホストに対しては 8 ビットのリード専用のレジスタです。HA₀ が Low レベル、CS₂ が Low レベル、 \overline{IOR} が Low レベルのとき、ホストデータバスへ ODR2 の内容が出力されます。

ODR2 は、リセットまたはスタンバイモード時、初期値は不定です。

14.2.8 ステータスレジスタ 2 (STR2)

ビット	:	7	6	5	4	3	2	1	0
		DBU	DBU	DBU	DBU	C/D	DBU	IBF	OBF
初期値	:	0	0	0	0	0	0	0	0
スレーブR/W	:	R/W	R/W	R/W	R/W	R	R/W	R	R
ホストR/W	:	R	R	R	R	R	R	R	R

STR2は8ビットのレジスタで、ホストインタフェース処理中の状態を表示します。ビット3、1、0はホストとスレーブのいずれもリード専用です。

STR2は、リセットまたはハードウェアスタンバイモード時にH'00にイニシャライズされます。

ビット7~4、2：ユーザ定義ビット (DBU)

ユーザが必要に応じて使用できるビットです。

ビット3：コマンド/データ (C/D)

ホストがIDR2に対してライトを行ったときの、HA₀の状態がライトされ、IDR2の内容がデータかコマンドかを識別します。

ビット3	説明
C/D	
0	入力データレジスタ (IDR2) の内容はデータ (初期値)
1	入力データレジスタ (IDR2) の内容はコマンド

ビット1：入力データレジスタフル (IBF)

ホストがIDR2にライトすると1にセットされます。スレーブに対しての内部割り込み要因の1つとなります。スレーブが、IDR2をリードするとIBFビットは0にクリアされます。

ビット1	説明
IBF	
0	[クリア条件] (初期値) スレーブがIDR2をリード
1	[セット条件] ホストがIDR2にライト

ビット0：出力データレジスタフル（OBF）

スレーブが ODR2 ヘライトすると 1 にセットされます。ホストが ODR2 をリードすると OBF ビットは 0 にクリアされます。

ビット0	説明
OBF	
0	[クリア条件] (初期値) ホストが ODR2 をリード
1	[セット条件] スレーブが ODR2 にライト

表 14.4 に STR2 フラグをセット / クリアする条件を示します。

表 14.4 STR2 レジスタのフラグのセット / クリア

フラグ	セット条件	クリア条件
C/D	HA ₀ が High レベルのときのホストライト ($\overline{\text{IOW}}$) 信号の立ち上がりエッジ	HA ₀ が Low レベルのときのホストライト ($\overline{\text{IOW}}$) 信号の立ち上がりエッジ
IBF	IDR2 ヘライトするためのホストライト ($\overline{\text{IOW}}$) 信号の立ち上がりエッジ	IDR2 からリードするためのスレーブの内部 リード ($\overline{\text{RD}}$) 信号の立ち下がりエッジ
OBF	ODR2 ヘライトするためのスレーブの内部 ライト ($\overline{\text{WR}}$) 信号の立ち下がりエッジ	ODR2 からリードするためのホストリード ($\overline{\text{IOR}}$) 信号の立ち上がりエッジ

14.2.9 シリアルタイムコントロールレジスタ (STCR)

ビット:	7	6	5	4	3	2	1	0
	IICS	IICD	IICX	IICE	STAC	MPE	ICKS1	ICKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

STCRは8ビットのリード/ライト可能なレジスタで、 I^2C バスインタフェースとホストインタフェースの制御、SCIの動作モードの制御、TCNTの入力クロックの選択を行います。

STCRはリセットまたはハードウェアスタンバイ時にH'00にイニシャライズされます。

ビット7~4: I^2C コントロール (IICS、IICD、IICX、IICE)

I^2C バスインタフェースの動作を制御するビットです。詳しくは「第13章 I^2C バスインタフェース」を参照してください。

ビット3: スレーブ入力切り換え (STAC)

ホストインタフェースの入力端子の切り換えを制御します。この切り換えはホストインタフェースが有効(スレーブモード)のときのみ有効です。

ビット3	説明
STAC	
0	ポート8の P8_5 が $\overline{\text{CS}}_2$ に、 P8_4 が $\overline{\text{IOW}}$ に切り換わる。(初期値)
1	ポート9の P9_1 が $\overline{\text{EIOW}}$ に、 P9_0 が $\overline{\text{ECS}}_2$ に切り換わる。

ビット2: マルチプロセッサイネーブル (MPE)

SCI0、1の動作モードの制御を行います。詳細は「第12章 シリアルコミュニケーションインタフェース」を参照してください。

ビット1、0: インターナルクロックソースセレクト1、0 (ICKS1、ICKS0)

TCRのCKS2~0ビットと共に、TCNTに入力するクロックを選択します。詳しくは「第9章 8ビットタイマ」を参照してください。

14.3 動作説明

14.3.1 ホストインタフェースの起動

SYSCR の HIE ビット (ビット 1) を 1 にセットすることにより HIF (スレーブモード) が起動します。HIF (スレーブモード) を起動することにより、関連する I/O ポート (データ用ポート 3 またはポート B、コントロール用ポート 8 およびポート 9、ホスト割り込み要求用ポート 4) はすべてホストインタフェース専用となります。

ホストリード/ライトタイミングについては、「23.3.8 ホストインタフェースタイミング」を参照してください。

14.3.2 コントロール状態

表 14.5 に HIF のホストからのホストインタフェース操作とスレーブの動作を示します。

表 14.5 ホストからのホストインタフェース操作とスレーブの動作

\overline{CS}_2	\overline{CS}_1	\overline{IOR}	\overline{IOW}	HA ₀	動作	
1	0	0	0	0	設定禁止	
				1	設定禁止	
			1	0	出力データレジスタ 1 (ODR1) からデータをリード	
				1	ステータスレジスタ 1 (STR1) からステータスをリード	
		1	0	0	0	入力データレジスタ 1 (IDR1) へデータをライト
					1	入力データレジスタ 1 (IDR1) へコマンドをライト
			1	0	0	アイドル状態
					1	アイドル状態
0	1	0	0	0	設定禁止	
				1	設定禁止	
			1	0	出力データレジスタ 2 (ODR2) からデータをリード	
				1	ステータスレジスタ 2 (STR2) からステータスをリード	
		1	0	0	0	入力データレジスタ 2 (IDR2) へデータをライト
					1	入力データレジスタ 2 (IDR2) へコマンドをライト
			1	0	0	アイドル状態
					1	アイドル状態

14.3.3 GATE A20

GATE A20 は、8086*系 CPU を使用したパソコンのアドレッシングモードをエミュレートするための機能で、アドレス A20 をマスクすることができます。スレーブモードでは、本出力は通常 GATE A20 としてファームウェアで制御されますが、HICR (H'FFF0) の FGA20E ビット (ビット 0) を 1 にセットすることによりハードウェアで処理速度を上げた、高速 GATE A20 機能を使用することが可能です。

【注】 * 米国インテル社のマイクロプロセッサの名称です。

(1) 通常の GATE A20 の動作

HD1 コマンドとデータの組み合わせで、GATE A20 の出力を制御することができます。スレーブがデータを受信するときは、通常は IBF1 割り込みによる割り込みルーチンを使用して IDR1 をリードします。このとき、ファームウェアにより HD1 コマンドに続くデータのビット 1 の値をコピーして GATE A20 端子に出力します。

(2) 高速 GATE A20 の動作

FGA20E ビットを 1 にセットすると、P8₁/GA20 は高速 GA20 信号の専用端子となります。P8₁ を出力端子として割り当てるために P8₁ の DDR ビットを 1 にセットしてください。端子は最初に DR の初期値である 1 を出力します。その後ホストはコマンド / データを送ることにより本端子の出力を操作することができます。本機能は \overline{CS}_1 によりアクセスされる IDR1 レジスタによってのみ使用できます。この場合、スレーブはホストから入力されてくるコマンドをデコードします。ホストコマンド HD1 が検出されると、このホストコマンドに続くデータのビット 1 が GA20 出力端子から出力されます。本動作は、ファームウェアや割り込みに依存しないため、通常の割り込みを使用した処理よりも高速です。表 14.6 に GA20 (P8₁) のセット / クリアの条件を、図 14.2 に GA20 出力の流れを示します。また、表 14.7 に GA20 出力信号の値を示します。

表 14.6 GA20 (P8₁) のセット / クリアタイミング

端子名	セット条件	クリア条件
GA20 (P8 ₁)	HD1 ホストコマンドに続くデータのビット 1 が 1 のとき、ホストライト信号 (\overline{IOW}) の立ち上がりエッジが入力された時	HD1 ホストコマンドに続くデータのビット 1 が 0 のとき、ホストライト信号 (\overline{IOW}) の立ち上がりエッジが入力された時

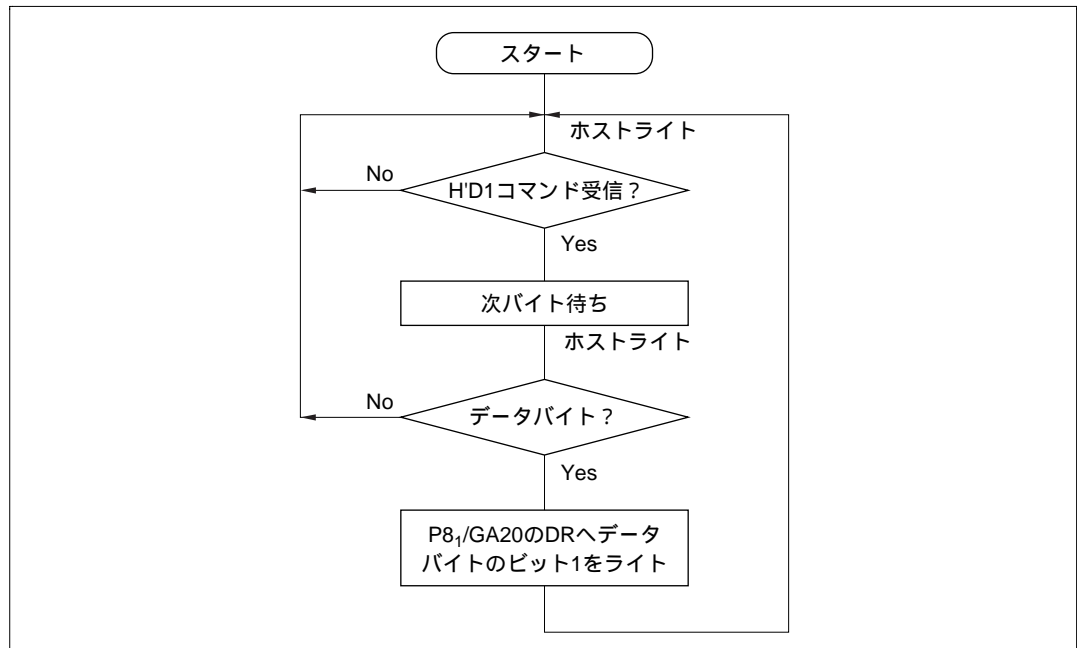


図 14.2 GA20 出力

表 14.7 高速 GATEA₂₀ 出力信号

HA0	データ/コマンド	内部 CPU 割り込みフラグ	GA ₂₀ (P8 ₁)	備考
1	D1 コマンド	0	Q	ターンオン
0	1 データ*1	0	1	シーケンス
1	FF コマンド	0	Q (1)	
1	D1 コマンド	0	Q	ターンオフ
0	0 データ*2	0	0	シーケンス
1	FF コマンド	0	Q (0)	
1	D1 コマンド	0	Q	ターンオン
0	1 データ*1	0	1	シーケンス
1/0	FF・D1 コマンド以外	1	Q (1)	(短縮形)
1	D1 コマンド	0	Q	ターンオフ
0	0 データ*2	0	0	シーケンス
1/0	FF・D1 コマンド以外	1	Q (0)	(短縮形)
1	D1 コマンド	0	Q	シーケンスの取消し
1	D1 以外のコマンド	1	Q	
1	D1 コマンド	0	Q	シーケンスの再トリガ
1	D1 コマンド	0	Q	
1	D1 コマンド	0	Q	シーケンスの連続実行
0	任意のデータ	0	1/0	
1	D1 コマンド	0	Q (1/0)	

【注】 *1 ビット 1 が 1 の任意のデータ

*2 ビット 1 が 0 の任意のデータ

14.4 割り込み要因

14.4.1 IBF1、IBF2

ホストインタフェースはスレーブに対して IBF1、IBF2 の 2 つの割り込み要求があります。これらは入力データレジスタ IDR1 と IDR2 についての入力バッファフル割り込みです。割り込み要求は対応するイネーブルビットをセットすることにより許可されます。

表 14.8 入力バッファフル割り込み

割り込み	説明
IBF1	IBFIE1 が 1 にセットされ、IDR1 が受信完了になったときに要求
IBF2	IBFIE2 が 1 にセットされ、IDR2 が受信完了になったときに要求

14.4.2 HIRQ₁₁、HIRQ₁、HIRQ₁₂

スレーブモード（シングルチップモード、SYSCR レジスタ HIE = 1）で、ホスト割り込み要求ラッチとして使用できるビットがポート 4 の DR に 3 ビットあります。

ポート 4 の DR の対応するビットはホストリード (\overline{IOR}) によって 0 にクリアされます。 \overline{CS}_1 が Low レベル、 HA_0 が Low レベルのとき、ホストリード (\overline{IOR}) で ODR1 をリードすると HIRQ₁ と HIRQ₁₂ が 0 にクリアされます。 \overline{CS}_2 が Low レベル、 HA_0 が Low レベルのときホストリード (\overline{IOR}) で ODR2 をリードすると HIRQ₁₁ が 0 にクリアされます。通常、内蔵ファームウェアはホスト割り込み要求を発生させるために、対応するビットに 1 をライトします。ホストは割り込み処理を起動し、割り込み処理の中で出力データレジスタ (ODR1 か ODR2) をリードします。このときのホストリードによってホスト割り込みラッチが 0 にクリアされます。

表 14.9 にこれらのビットのセットとクリアの方法を示します。また、図 14.3 に処理フローを示します。

表 14.9 HIRQ のセット / クリア

ホスト 割り込み信号	セット条件	クリア条件
HIRQ ₁₁ (P4 ₃)	内部 CPU が、ポート 4 の DR のビット 3 を 0 リード後 1 をライト	ポート 4 の DR のビット 3 に内部 CPU から 0 ライトまたは、出力データレジスタ 2 をホストリード
HIRQ ₁ (P4 ₄)	内部 CPU が、ポート 4 の DR のビット 4 を 0 リード後 1 をライト	ポート 4 の DR のビット 4 に内部 CPU から 0 ライトまたは、出力データレジスタ 1 をホストリード
HIRQ ₁₂ (P4 ₅)	内部 CPU が、ポート 4 の DR のビット 5 を 0 リード後 1 をライト	ポート 4 の DR のビット 5 に内部 CPU から 0 ライトまたは、出力データレジスタ 1 をホストリード

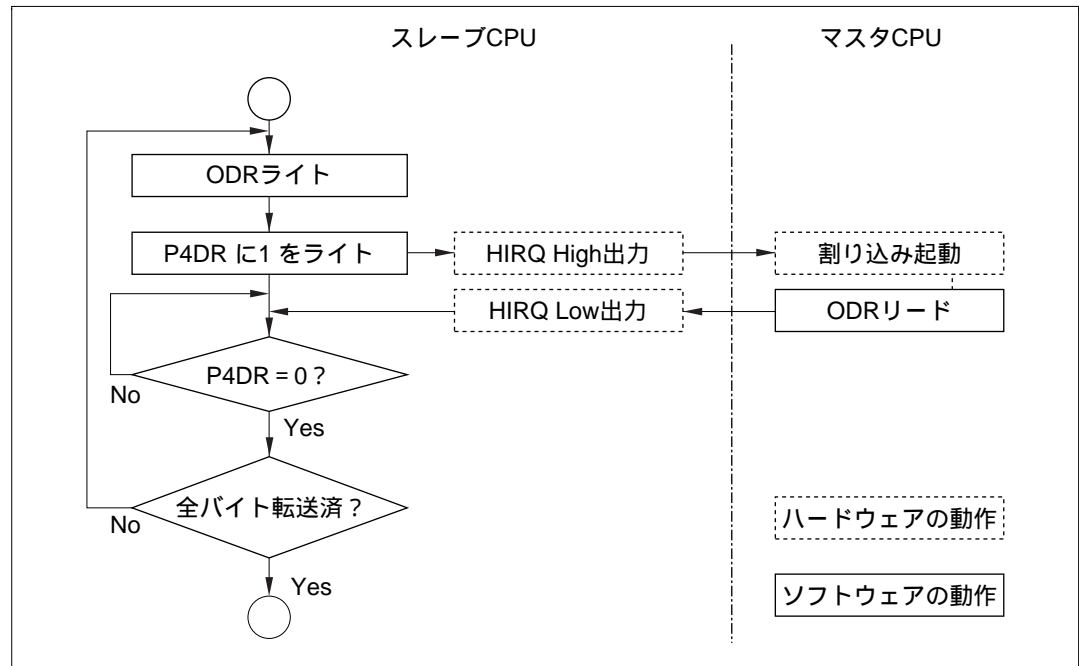


図 14.3 HIRQ 出力の利用フロー

14.5 使用上の注意

HIF はホストとスレーブからの非同期データのバッファリングを提供しています。必要な機能を実現し、データの競合を防ぐためにはインタフェースのプロトコルが必要です。例えば、ホストとスレーブが同時に IDR や ODR をアクセスしようとする、データは破壊されてしまいます。これには、割り込みを用いた、簡単な手順を構成することが有効です。

15. A/D 変換器

第 15 章 目次

15.1	概要.....	355
15.1.1	特長.....	355
15.1.2	ブロック図.....	356
15.1.3	端子構成.....	357
15.1.4	レジスタ構成.....	358
15.2	各レジスタの説明.....	359
15.2.1	A/D データレジスタ A~D (ADDR _A ~ ADDR _D)	359
15.2.2	A/D コントロール/ステータスレジスタ (ADCSR)	360
15.2.3	A/D コントロールレジスタ (ADCR)	362
15.3	CPU とのインタフェース	364
15.4	動作説明.....	365
15.4.1	単一モード (SCAN = 0)	365
15.4.2	スキャンモード (SCAN = 1)	367
15.4.3	入力サンプリングと A/D 変換時間.....	369
15.4.4	外部トリガ入力タイミング	370
15.5	割り込み.....	371
15.6	使用上の注意	371

15.1 概要

本 LSI には、逐次比較方式で動作する 10 ビットの A/D 変換器が内蔵されており、最大 8 チャンネルのアナログ入力を選択することができます。

15.1.1 特長

A/D 変換器の特長を以下に示します。

10 ビットの分解能

入力チャンネル：8 チャンネル

アナログ変換電圧範囲の設定が可能

リファレンス電圧端子 (AV_{ref}) をアナログ基準電圧としてアナログ変換電圧範囲を設定します。

高速変換

変換時間：1 チャンネル当り最小 8.4 μ s (16MHz 動作時)

単一モード / スキャンモードの 2 種類の動作モードから選択可能

単一モード：1 チャンネルの A/D 変換

スキャンモード：1~4 チャンネルの連続 A/D 変換

4 本の 16 ビットデータレジスタ

A/D 変換された結果は、各チャンネルに対応したデータレジスタに転送され、保持されます。

サンプル&ホールド機能

外部トリガ信号による、A/D 変換の開始が可能

A/D 変換終了割り込み要求発生

A/D 変換終了時には、A/D 変換終了割り込み (ADI) 要求を発生させることができます。

15.1.2 ブロック図

A/D変換器のブロック図を図15.1に示します。

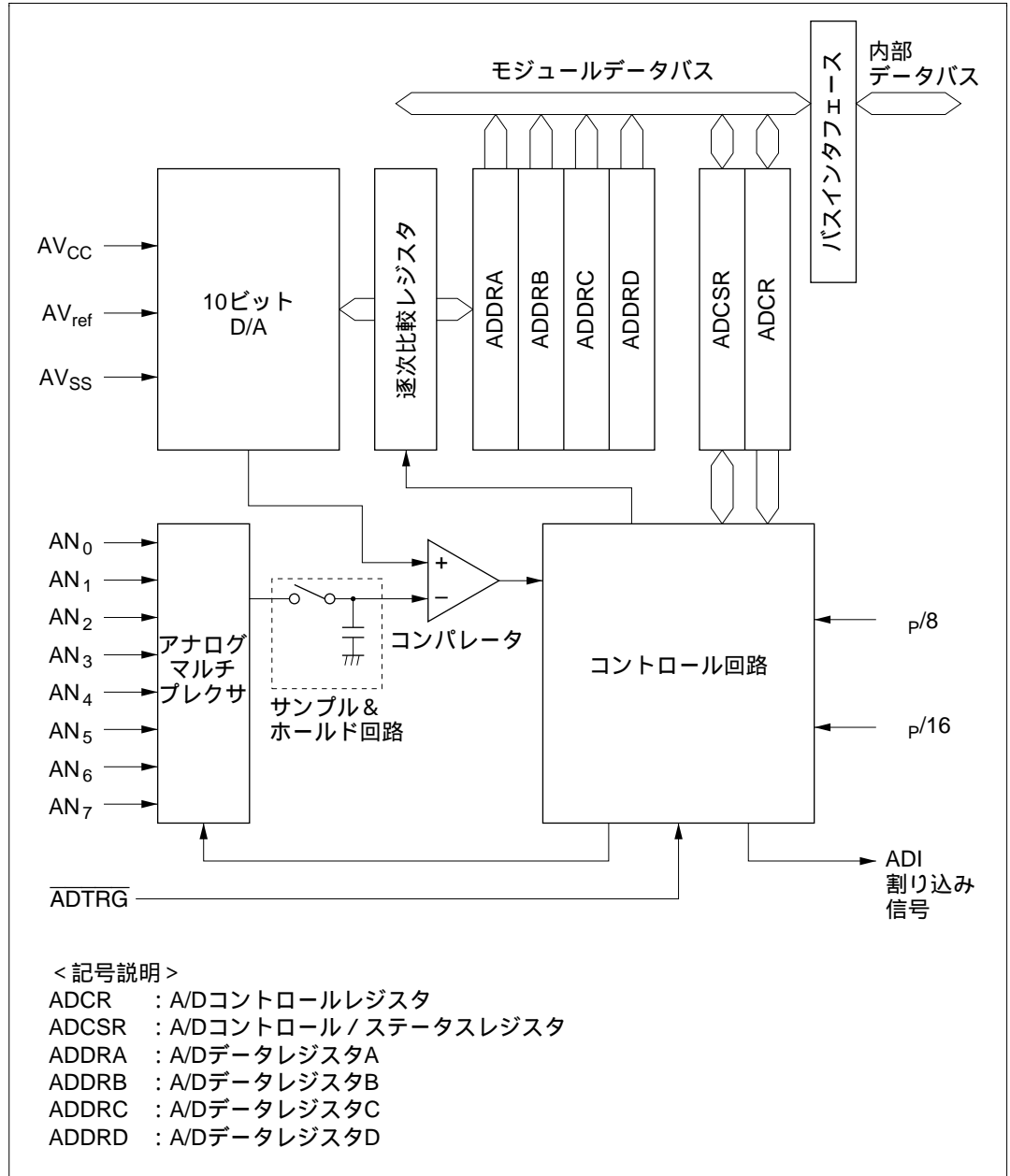


図 15.1 A/D変換器のブロック図

15.1.3 端子構成

A/D変換器で使用する入力端子を表 15.1 に示します。

8本のアナログ入力端子は2グループに分類されており、アナログ入力端子0~3($AN_0 \sim AN_3$)がグループ0、アナログ入力端子4~7($AN_4 \sim AN_7$)がグループ1になっています。

AV_{CC} 、 AV_{SS} 端子は、A/D変換器内のアナログ部の電源です。 AV_{ref} 端子は、A/D変換基準電圧端子です。

表 15.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AV_{CC}	入力	アナログ部の電源
アナロググランド端子	AV_{SS}	入力	アナログ部のグランドおよび基準電圧
リファレンス電圧端子	AV_{ref}	入力	アナログ部の基準電圧
アナログ入力端子0	AN_0	入力	グループ0のアナログ入力
アナログ入力端子1	AN_1	入力	
アナログ入力端子2	AN_2	入力	
アナログ入力端子3	AN_3	入力	
アナログ入力端子4	AN_4	入力	グループ1のアナログ入力
アナログ入力端子5	AN_5	入力	
アナログ入力端子6	AN_6	入力	
アナログ入力端子7	AN_7	入力	
A/D外部トリガ入力端子	\overline{ADTRG}	入力	A/D変換時間のための外部トリガ入力

15.1.4 レジスタ構成

A/D変換器のレジスタ構成を表15.2に示します。

表 15.2 レジスタ構成

名 称	略称	R/W	初期値	アドレス
A/D データレジスタ AH	ADDRAH	R	H'00	H'FFE0
A/D データレジスタ AL	ADDRAL	R	H'00	H'FFE1
A/D データレジスタ BH	ADDRBH	R	H'00	H'FFE2
A/D データレジスタ BL	ADDRBL	R	H'00	H'FFE3
A/D データレジスタ CH	ADDRCH	R	H'00	H'FFE4
A/D データレジスタ CL	ADDRCL	R	H'00	H'FFE5
A/D データレジスタ DH	ADDRDH	R	H'00	H'FFE6
A/D データレジスタ DL	ADDRDL	R	H'00	H'FFE7
A/D コントロール/ステータスレジスタ	ADCSR	R/(W)*	H'00	H'FFE8
A/D コントロールレジスタ	ADCR	R/W	H'7F	H'FFE9

【注】 * ビット7は、フラグをクリアするための0ライトのみ可能です。

15.2 各レジスタの説明

15.2.1 A/D データレジスタ A ~ D (ADDR_A ~ ADDR_D)

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR _n	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(n=A~D)

ADDR は、A/D 変換された結果を格納する 16 ビットのリード専用レジスタで、ADDR_A ~ ADDR_D の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、選択されたチャンネルの ADDR に転送され、保持されます。A/D 変換されたデータの上位 8 ビットが ADDR の上位バイトに、また下位 2 ビットが下位バイトに対応します。ADDR の下位バイトのビット 5 ~ 0 はリザーブビットで、リードすると常に 0 が読み出されます。アナログ入力チャンネルと ADDR の対応を表 15.3 に示します。

ADDR は、常に CPU からリード可能です。上位バイトは直接リードできますが、下位バイトはテンポラリレジスタ (TEMP) を介してデータ転送が行われます。詳細は「15.3 CPU とのインタフェース」を参照してください。

ADDR は、リセットまたはスタンバイモード時に、H'0000 にイニシャライズされます。

表 15.3 アナログ入力チャンネルと ADDR_A ~ ADDR_D の対応

アナログ入力チャンネル		A/D データレジスタ
グループ 0	グループ 1	
AN ₀	AN ₄	ADDR _A
AN ₁	AN ₅	ADDR _B
AN ₂	AN ₆	ADDR _C
AN ₃	AN ₇	ADDR _D

15.2.2 A/Dコントロール/ステータスレジスタ (ADCSR)

ビット：	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

ADCSRは、8ビットのリード/ライト可能なレジスタで、モードの選択などA/D変換器の動作を制御します。

ADCSRは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

ビット7：A/Dエンドフラグ (ADF)

A/D変換の終了を示すステータスフラグです。

ビット7	説明
ADF	
0	[クリア条件] (初期値) ADF=1の状態、ADFフラグをリードした後、ADFフラグに0をライトしたとき
1	[セット条件] (1) 単一モード：A/D変換が終了したとき (2) スキャンモード：指定されたすべてのチャンネルのA/D変換が終了したとき

ビット6：A/Dインタラプトイネーブル (ADIE)

A/D変換の終了による割り込み (ADI) 要求の許可/禁止を選択します。

ビット6	説明
ADIE	
0	A/D変換終了による割り込み (ADI) 要求を禁止 (初期値)
1	A/D変換終了による割り込み (ADI) 要求を許可

ビット5：A/Dスタート（ADST）

A/D変換の開始/停止を選択します。

A/D変換中は1を保持します。また、ADSTビットはA/D外部トリガ入力端子($\overline{\text{ADTRG}}$)により1にセットすることもできます。

ビット5	説明
ADST	
0	A/D変換を停止 (初期値)
1	(1) 単一モード：A/D変換を開始し、変換が終了すると自動的に0にクリア (2) スキャンモード：A/D変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって0にクリアされるまで選択されたチャンネルを順次連続変換

ビット4：スキャンモード（SCAN）

A/D変換の動作モードを、単一モード/スキャンモードから選択します。単一モード/スキャンモード時の動作については、「15.4 動作説明」を参照してください。モードの切り換えは、ADST=0の状態で行ってください。

ビット4	説明
SCAN	
0	単一モード (初期値)
1	スキャンモード

ビット3：クロックセレクト（CKS）

A/D変換時間の設定を行います。 $p = /2$ の場合、変換時間は2倍になります。

変換時間の切り換えは、ADST=0の状態で行ってください。

ビット3	説明
CKS	
0	変換時間 = 266 ステート (max) ($p =$ の場合) (初期値)
1	変換時間 = 134 ステート (max) ($p =$ の場合)

ビット2~0：チャンネルセレクト2~0 (CH2~CH0)

SCAN ビットとともにアナログ入力チャンネルを選択します。

チャンネル選択と切り換えは、ADST=0の状態で行ってください。

グループ選択	チャンネル選択		説 明	
	CH1	CH0	単一モード	スキャンモード
0	0	0	AN ₀ (初期値)	AN ₀
		1	AN ₁	AN ₀ 、AN ₁
	1	0	AN ₂	AN ₀ ~AN ₂
		1	AN ₃	AN ₀ ~AN ₃
1	0	0	AN ₄	AN ₄
		1	AN ₅	AN ₄ 、AN ₅
	1	0	AN ₆	AN ₄ ~AN ₆
		1	AN ₇	AN ₄ ~AN ₇

15.2.3 A/D コントロールレジスタ (ADCR)

ビット：	7	6	5	4	3	2	1	0
	TRGE	—	—	—	—	—	—	—
初期値：	0	1	1	1	1	1	1	1
R/W：	R/W	—	—	—	—	—	—	—

ADCR は、8ビットのリード/ライト可能なレジスタで、外部トリガ入力による A/D 変換の開始の許可/禁止を選択します。

ADCR は、リセットまたはスタンバイモード時に、H'7F にイニシャライズされます。

ビット7：トリガイネーブル (TRGE)

外部トリガ入力による A/D 変換の開始の許可 / 禁止を選択します。

ビット7	説明
TRGE	
0	外部トリガ入力 ($\overline{\text{ADTRG}}$) による A/D 変換の開始を禁止 (初期値)
1	外部トリガ入力 ($\overline{\text{ADTRG}}$) による A/D 変換の開始を許可 (A/D 変換の開始は外部トリガおよびソフトウェアのいずれによっても可能)

ビット6~0リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

15.3 CPU とのインタフェース

ADDRA ~ ADDR4 はそれぞれ 16 ビットのレジスタですが、CPU との間のデータバスは 8 ビット幅です。そのため、CPU からのアクセスは上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行います。

ADDR からデータのリードは、次のように行われます。上位バイトのリードで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトのリードで TEMP の内容が CPU へ転送されます。

ADDR をリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図 15.2 に、ADDR のアクセス時のデータの流れを示します。

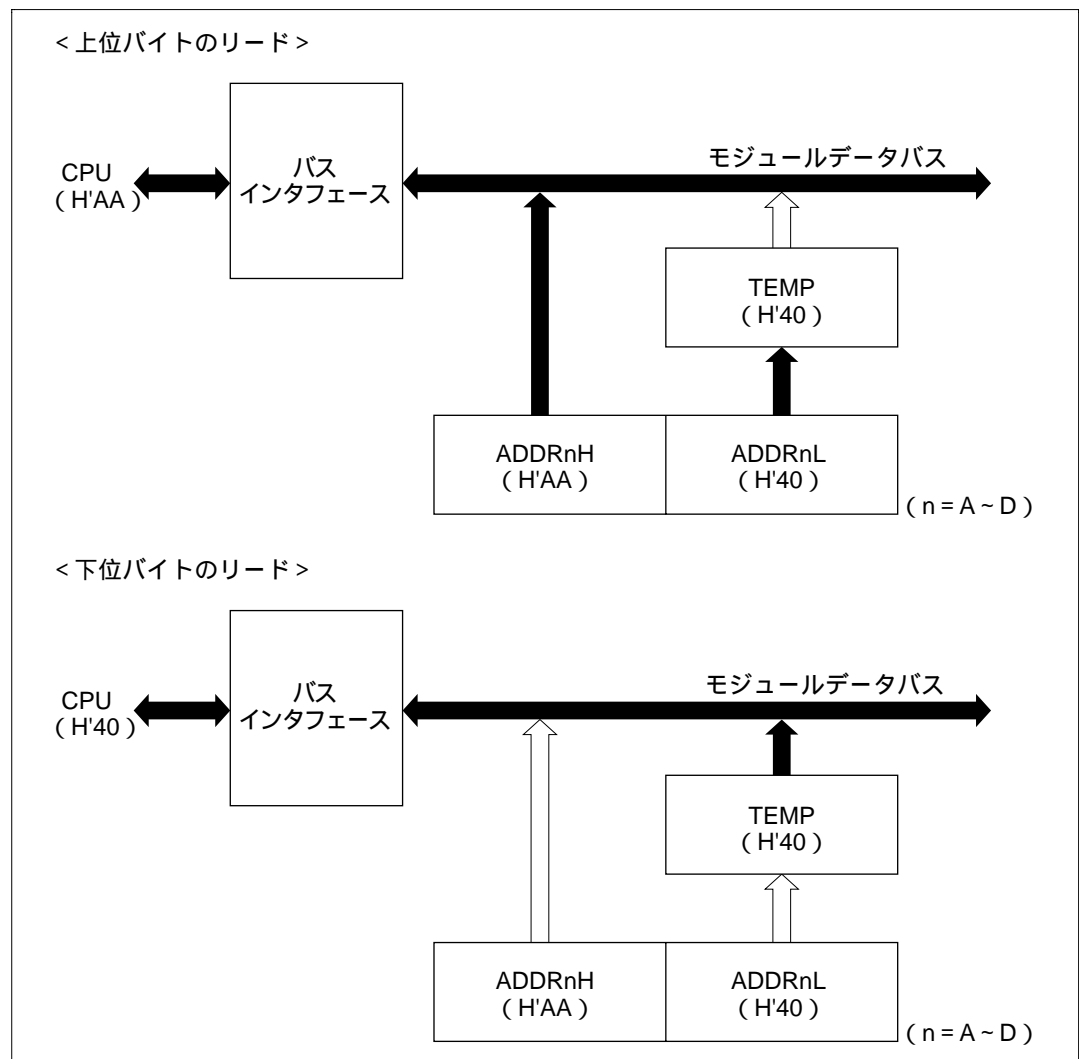


図 15.2 ADDR のアクセス動作 ((H'AA40) リード時)

15.4 動作説明

A/D変換器は逐次比較方式で動作し、10ビットの分解能をもっています。単一モードとスキャンモードの各モードの動作についての説明をします。

15.4.1 単一モード (SCAN = 0)

単一モードは、1チャンネルのみのA/D変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によってADSTビットが1にセットされると、A/D変換を開始します。ADSTビットは、A/D変換中は1を保持しており、変換が終了すると自動的に0にクリアされます。

また、変換が終了すると、ADFフラグが1にセットされます。このとき、ADIEビットが1にセットされていると、ADI割り込み要求が発生します。

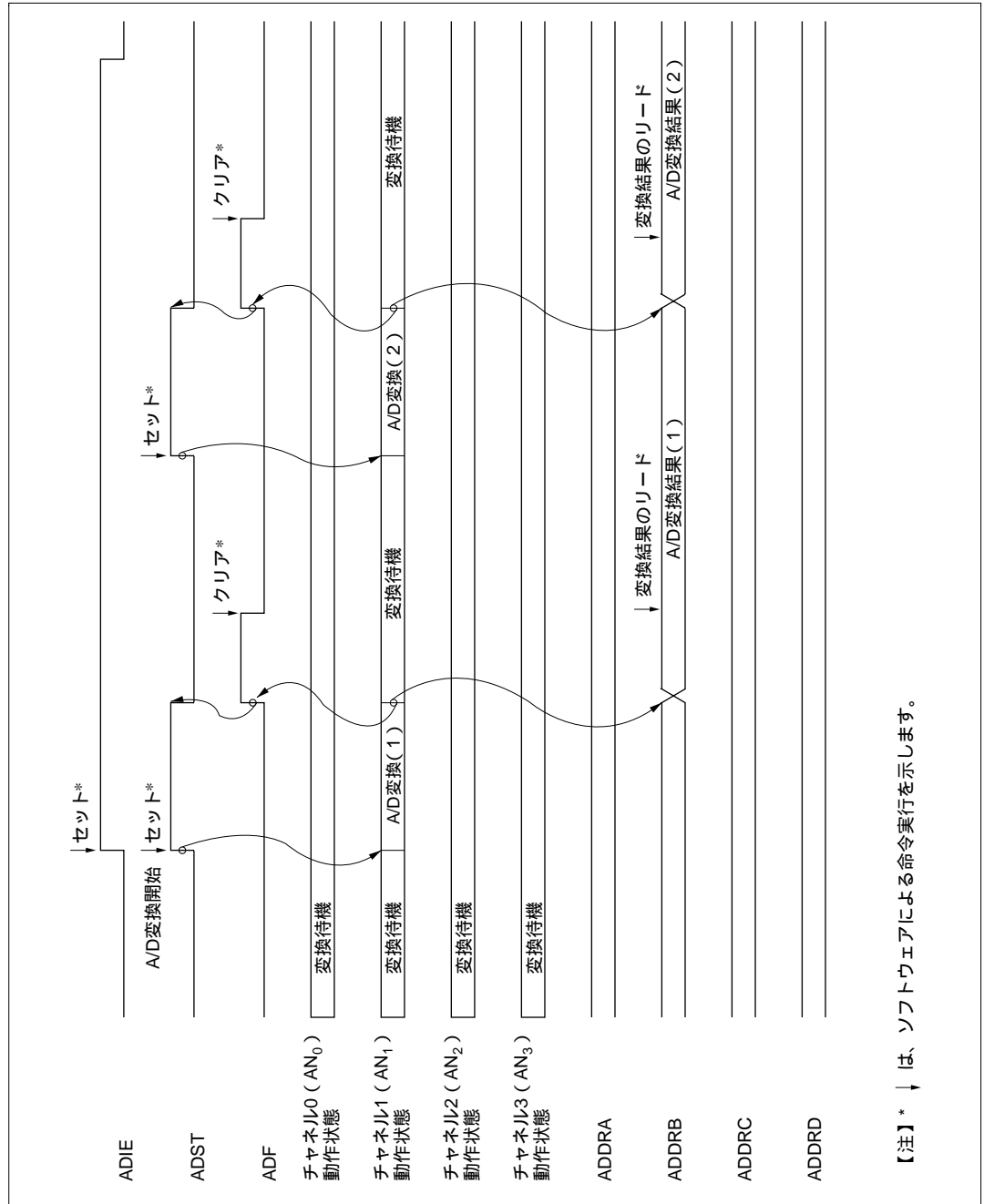
ADFフラグは、ADCSRをリードした後、0をライトするとクリアされます。

A/D変換中に、モードやアナログ入力チャンネルの切り換えを行う場合は、誤動作を避けるためにADCSRのADSTビットを0にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットを1にセットすると（モードおよびチャンネルの変更とADSTビットのセットは、同時に行うことができます）、再びA/D変換を開始します。

単一モードでチャンネル1 (AN₁) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図15.3に示します。

- (1) 動作モードを単一モードに (SCAN = 0)、入力チャンネルをAN₁に (CH2 = CH1 = 0、CH0 = 1)、A/D割り込み要求許可 (ADIE = 1) に設定して、A/D変換を開始 (ADST = 1) します。
- (2) A/D変換が終了すると、A/D変換結果がADDRBに転送されます。同時に、ADF = 1、ADST = 0となり、A/D変換器は変換待機となります。
- (3) ADF = 1、ADIE = 1となっているため、ADI割り込み要求が発生します。
- (4) A/D割り込み処理ルーチンが開始されます。
- (5) ADCSRをリードした後、ADFに0をライトします。
- (6) A/D変換結果 (ADDRB) をリードして、処理します。
- (7) A/D割り込み処理ルーチンの実行を終了します。

この後、ADSTビットを1にセットするとA/D変換が開始され、(2) ~ (7)を行います。



【注】* ↓ は、ソフトウェアによる命令実行を示します。

図 15.3 A/D 変換器の動作例 (単一モード、チャンネル1 選択時)

15.4.2 スキャンモード (SCAN = 1)

スキャンモードは、複数チャンネル (1チャンネルを含む) のアナログ入力を常にモニタするような応用に適しています。A/D 変換はソフトウェアまたは外部トリガ入力によって ADST ビットが 1 にセットされると、グループの第 1 チャンネル (CH2 = 0 のとき AN₀、CH2 = 1 のとき AN₄) から開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、ただちに第 2 チャンネル (AN₁ または AN₅) の A/D 変換を開始します。

A/D 変換は、ADST ビットが 0 にクリアされるまで、選択されたチャンネル内を連続して繰り返し行います。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。

A/D 変換中に、モードやアナログ入力チャンネルの切り換えを行う場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、第 1 チャンネルが選択され、再び A/D 変換を開始します。

スキャンモードでグループ 0 の 3 チャンネル (AN₀ ~ AN₂) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 15.4 に示します。

- (1) 動作モードをスキャンモードに (SCAN = 1)、スキャングループをグループ 0 に (CH2 = 0)、アナログ入力チャンネルを AN₀ ~ AN₂ (CH1 = 1、CH0 = 0) に設定して A/D 変換を開始 (ADST = 1) します。
- (2) 第 1 チャンネル (AN₀) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDRA に転送します。
次に第 2 チャンネル (AN₁) が自動的に選択され、変換を開始します。
- (3) 同様に第 3 チャンネル (AN₂) まで変換を行います。
- (4) 選択されたすべてのチャンネル (AN₀ ~ AN₂) の変換が終了すると、ADF = 1 となり、再び第 1 チャンネル (AN₀) を選択し、変換が行われます。
このとき ADIE ビットが 1 にセットされていると、A/D 変換終了後、ADI 割り込みが発生します。
- (5) ADST ビットが 1 にセットされている間は、(2) ~ (4) を繰り返します。
ADST ビットを 0 にクリアすると A/D 変換が停止します。この後、ADST ビットを 1 にセットすると再び A/D 変換を開始し、第 1 チャンネル (AN₀) から変換が行われます。

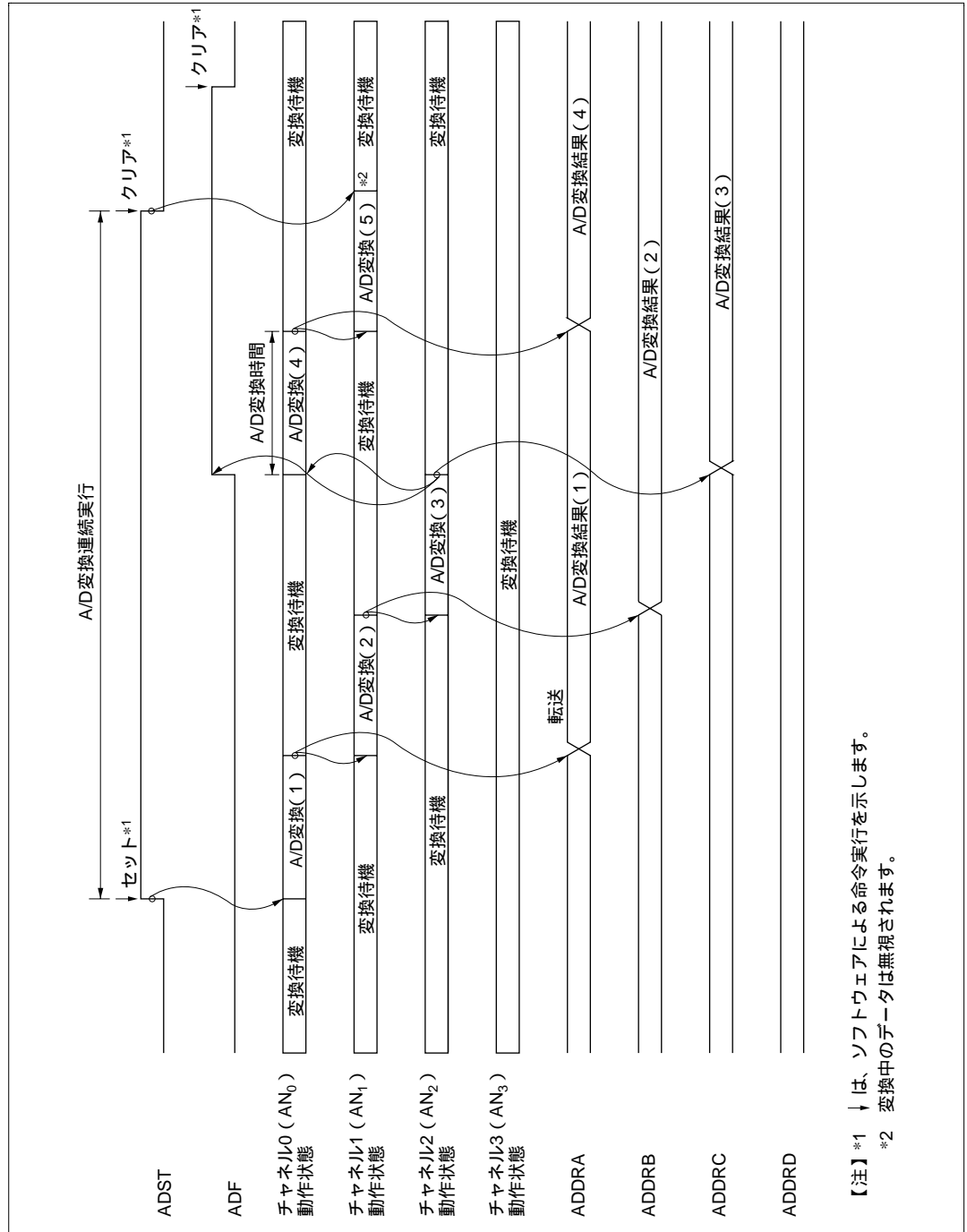


図 15.4 A/D 変換器の動作例 (スキャンモード、AN₀ ~ AN₂の3チャンネル選択時)

15.4.3 入力サンプリングとA/D変換時間

A/D変換器には、サンプル&ホールド回路が内蔵されています。A/D変換器は、ADSTビットが1にセットされてから t_D 時間経過後、入力サンプリングを行い、その後変換を開始します。A/D変換のタイミングを図15.5に示します。また、A/D変換時間を表15.4に示します。

A/D変換時間は、図15.5に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADCSRへのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表15.4に示す範囲で変化します。

スキャンモードの変換時間は、表15.4に示す値が1回目の変換時間となりますが、2回目以降はCKS=0の場合は256ステート(固定)、CKS=1の場合は128ステート(固定)となります($p=$ の場合)。

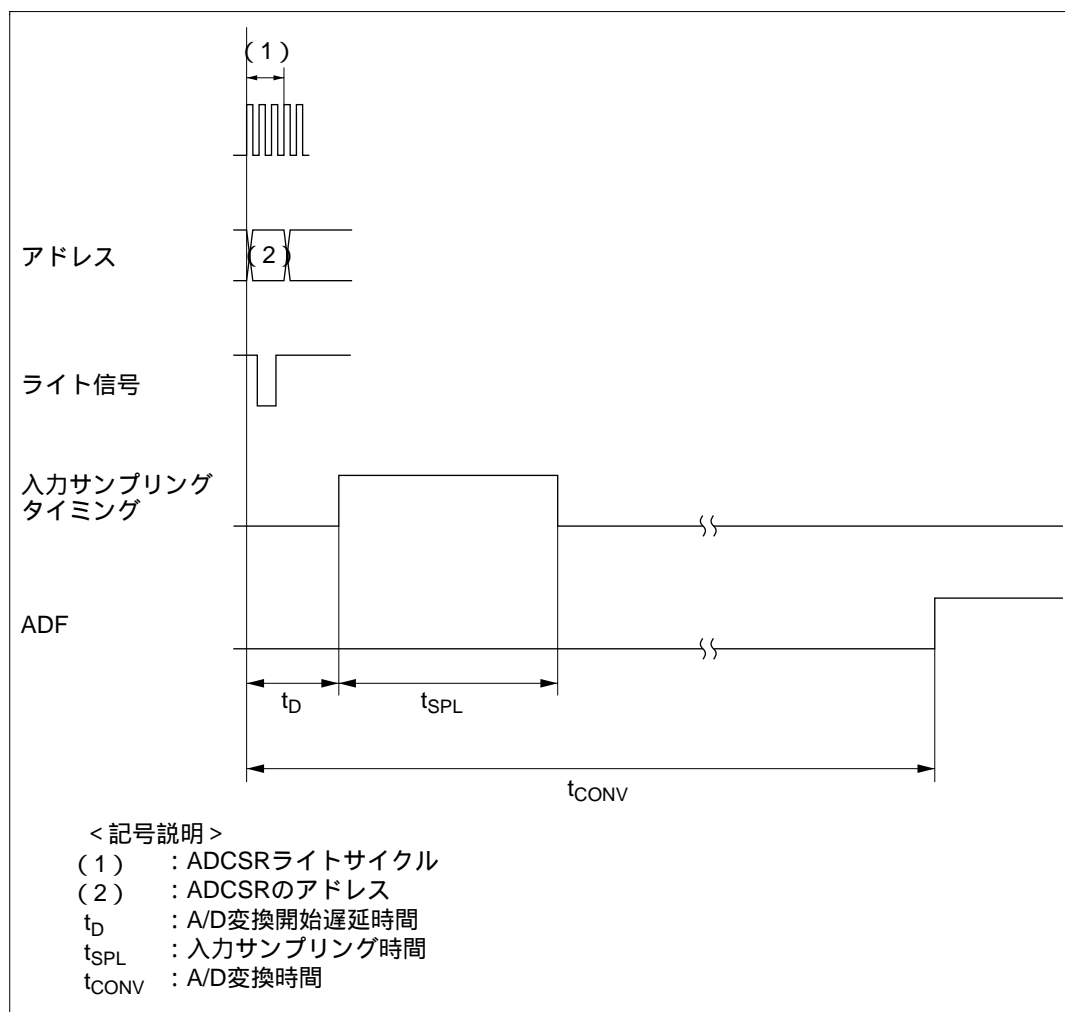


図15.5 A/D変換タイミング

表 15.4 A/D変換時間（単一モード）

項目	記号	CKS = 0			CKS = 1		
		min	typ	max	min	typ	max
A/D変換開始遅延時間	t_D	10	-	17	6	-	9
入力サンプリング時間*	t_{SPL}	-	80	-	-	40	-
A/D変換時間*	t_{CONV}	259	-	266	131	-	134

【注】 表中の数値の単位はステートです。

* $p =$ の場合の数値です。 $p = /2$ の場合は2倍になります。

15.4.4 外部トリガ入力タイミング

A/D変換は、外部トリガ入力により開始することも可能です。外部トリガ入力、ADCRのTRGEビットが1にセットされているとき、 \overline{ADTRG} 端子から入力されます。 \overline{ADTRG} 入力端子の立ち下がリエッジで、ADCSRのADSTビットが1にセットされ、A/D変換が開始されます。

その他の動作は、単一モード/スキャンモードによらず、ソフトウェアによってADSTビットを1にセットした場合と同じです。

このタイミングを図15.6に示します。

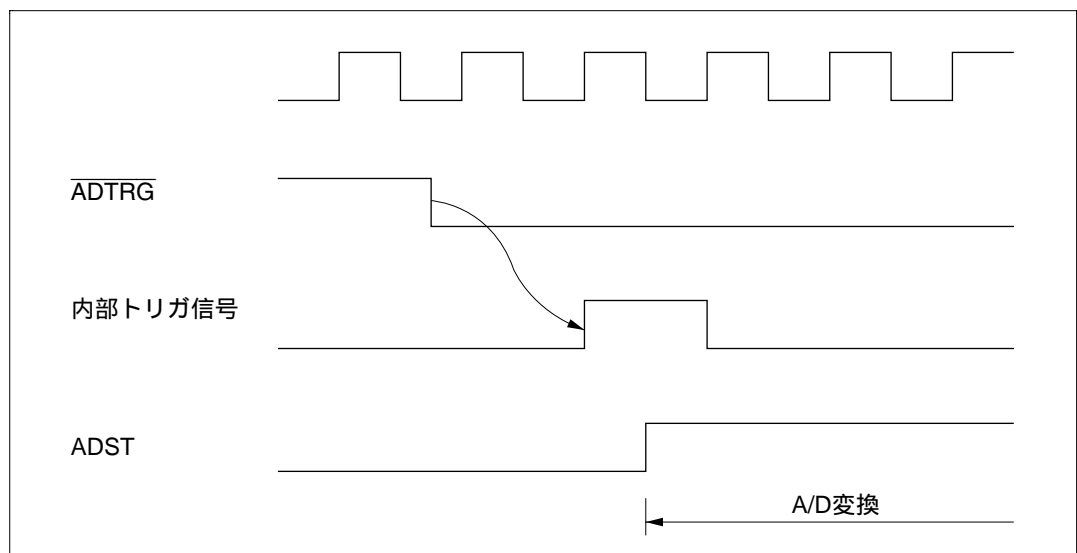


図 15.6 外部トリガ入力タイミング

15.5 割り込み

A/D変換器は、A/D変換の終了により、A/D変換終了割り込み（ADI）を発生します。

ADI割り込み要求は、ADCSRのADIEビットで許可/禁止することができます。

15.6 使用上の注意

A/D変換器を使用する際は、以下のことに注意してください。

（1）アナログ電源端子他の設定範囲

（a）アナログ入力電圧の範囲

A/D変換中、アナログ入力端子 AN_n に印加する電圧は AV_{SS} 、 AN_n 、 AV_{ref} の範囲としてください。（ $n=0\sim7$ ）

（b） AV_{CC} 、 AV_{SS} 入力電圧

AV_{SS} 入力電圧は、 $AV_{SS} = V_{SS}$ としてください。A/D変換器を使用しない場合、 $AV_{CC} = V_{CC}$ 、 $AV_{SS} = V_{SS}$ としてください。

（c） AV_{ref} 入力電圧

AV_{ref} 端子入力電圧のアナログ基準は AV_{ref} 、 AV_{CC} としてください。A/D変換器を使用しない場合、 $AV_{ref} = V_{CC}$ としてください。

（2）ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D変換値に悪影響を及ぼします。

なお、アナログ入力信号（ $AN_0\sim AN_7$ ）、アナログ基準電源（ AV_{ref} ）、アナログ電源（ AV_{CC} ）は、アナロググランド（ AV_{SS} ）で、デジタル回路を必ず分離してください。さらに、アナロググランド（ AV_{SS} ）は、ボード上の安定したデジタルグランド（ V_{SS} ）に一点接続してください。

(3) ノイズ対策上の注意

アナログ入力端子 ($AN_0 \sim AN_7$)、アナログ基準電源 (AV_{ref}) に、過大なサージなど異常電圧による破壊を防ぐために接続する保護回路は、図 15.7 に示すように $AV_{CC} - AV_{SS}$ 間に接続してください。

また、 AV_{CC} 、 AV_{ref} に接続するバイパスコンデンサ、 $AN_0 \sim AN_7$ に接続するフィルタのコンデンサは、必ず AV_{SS} に接続してください。

なお、図 15.7 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 ($AN_0 \sim AN_7$) の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモード等で頻繁に A/D 変換を行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス (R_{in}) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって回路定数の決定については、十分ご検討ください。

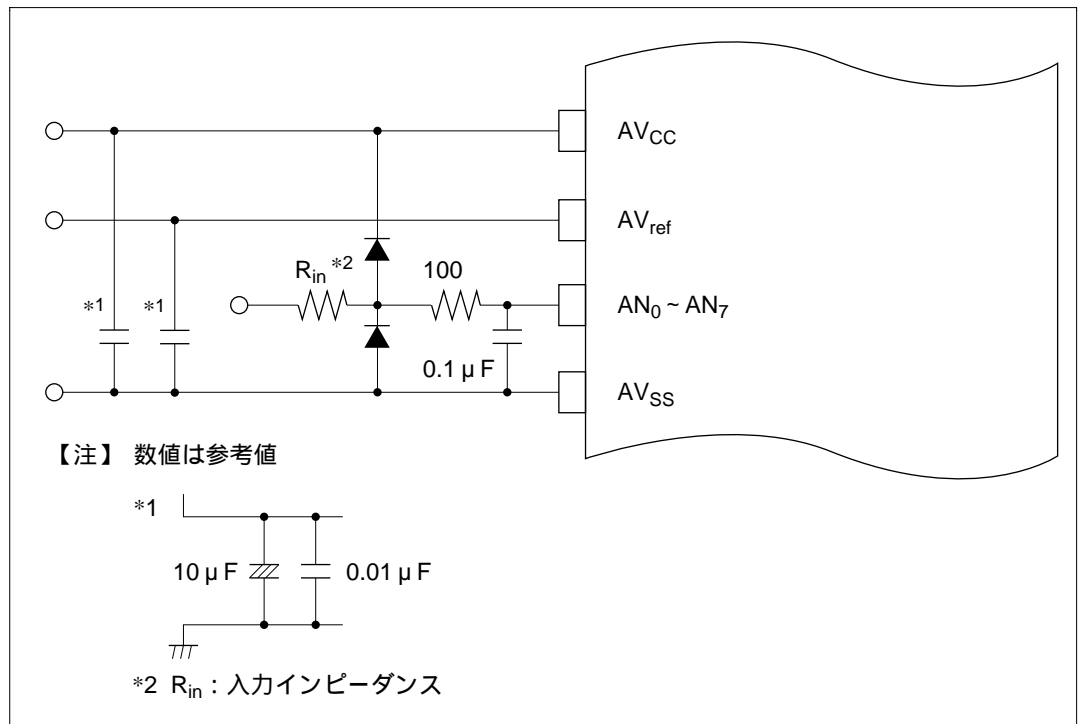


図 15.7 アナログ入力保護回路の例

(4) A/D 変換精度の定義

以下に、本 LSI の A/D 変換精度の定義を示します。

- ・ 分解能

A/D 変換器のデジタル出力コード数

- ・ オフセット誤差

デジタル出力が最小電圧値 B'000000000 (H'000) から B'000000001 (H'001) に変化するときの、アナログ入力電圧値の理想 A/D 変換特性からの偏差 (図 15.9)

- ・ フルスケール誤差

デジタル出力が B'111111110 (H'3FE) から B'111111111 (H'3FF) に変化するときの、アナログ入力電圧値の理想 A/D 変換特性からの偏差 (図 15.10)

- ・ 量子化誤差

A/D 変換器が本質的に有する偏差であり、1/2 LSB で与えられる (図 15.8)

- ・ 非直線性誤差

ゼロ電圧からフルスケール電圧までの、間の理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。

- ・ 絶対精度

デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

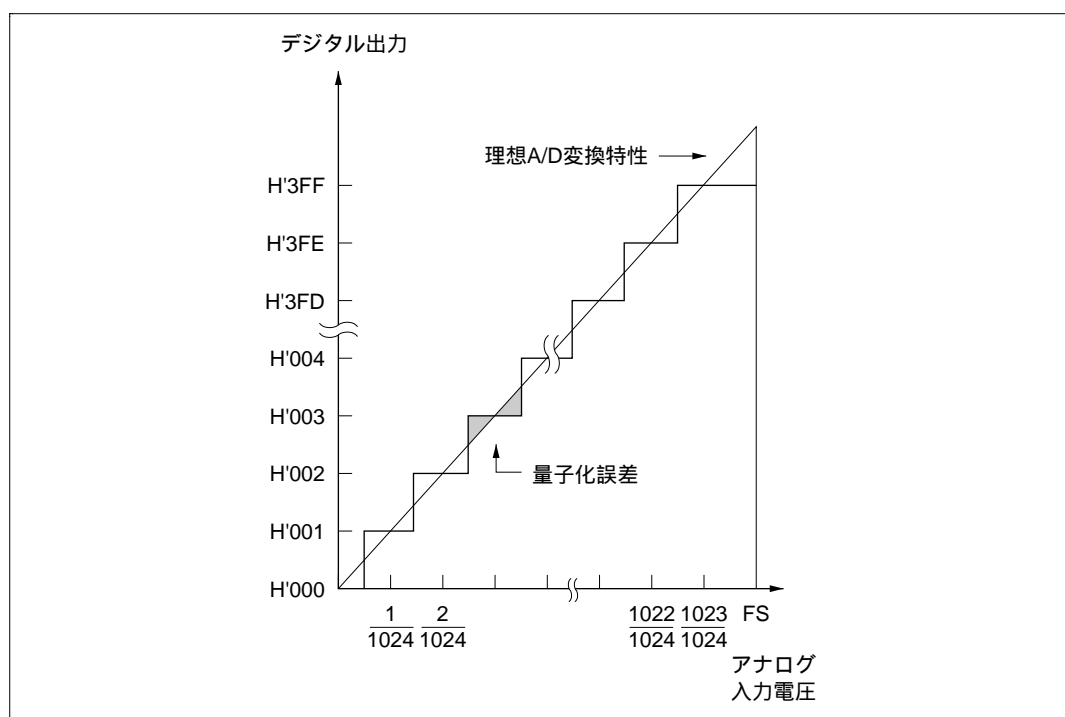


図 15.8 A/D 変換精度の定義 (1)

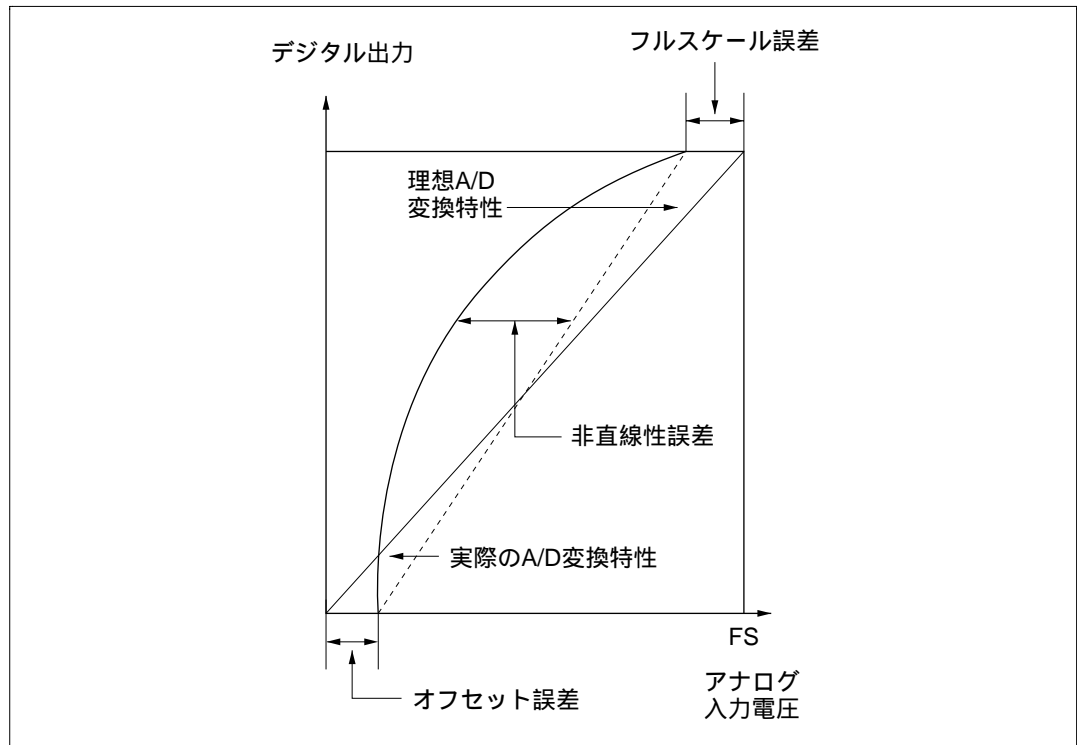


図 15.9 A/D 変換精度の定義 (2)

(5) 許容信号源インピーダンス

本 LSI のアナログ入力は、信号源インピーダンスが $10k\ \Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するために設けている規格で、センサの出力インピーダンスが $10k\ \Omega$ を越える場合充電不足が生じ、A/D 変換精度が保証できなくなる場合があります。

しかし外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10k\ \Omega$ だけになりますので、信号源インピーダンスは不問となります。

ただし、この場合ローパスフィルタとなりますので、微分係数の大きなアナログ信号(例えば $5mV/\mu s$ 以上)には追従できない場合があります。

高速のアナログ信号を変換する場合には、低インピーダンスのバッファを入れてください。

(6) 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性があります。必ず AV_{SS} 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と交渉したり、アンテナとならないように注意が必要です。

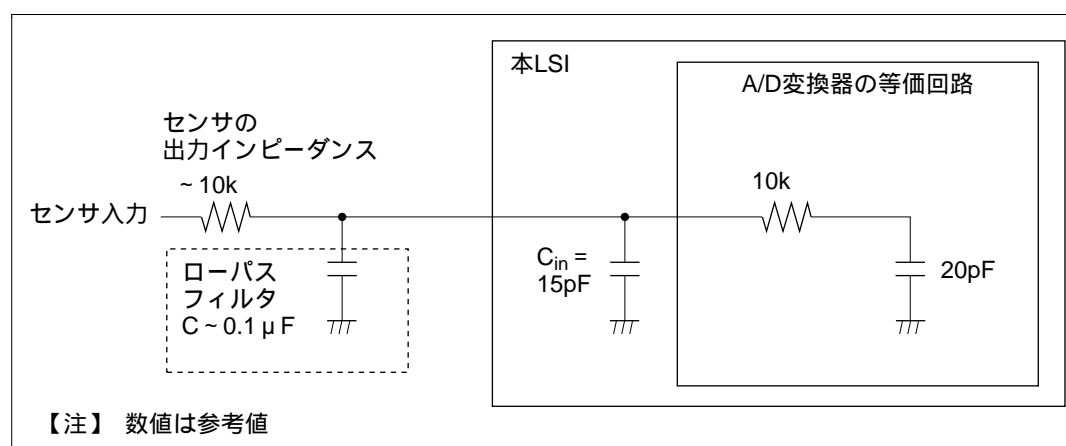


図 15.10 アナログ入力回路の例

16. D/A 変換器

第 16 章 目次

16.1	概要.....	379
	16.1.1	特長..... 379
	16.1.2	ブロック図..... 379
	16.1.3	端子構成..... 380
	16.1.4	レジスタ構成..... 380
16.2	各レジスタの説明.....	381
	16.2.1	D/A データレジスタ 0、1 (DADR0、1)..... 381
	16.2.2	D/A コントロールレジスタ (DACR)..... 381
16.3	動作説明.....	383

16.1 概要

本 LSI には 2 チャンネルの D/A 変換器が内蔵されています。

16.1.1 特長

D/A 変換器の特長を以下に示します。

8 ビットの分解能

2 チャンネル出力

変換時間最大 10 μ s (負荷容量 20pF 時)

出力電圧 0V ~ AV_{ref}

16.1.2 ブロック図

D/A 変換器のブロック図を図 16.1 に示します。

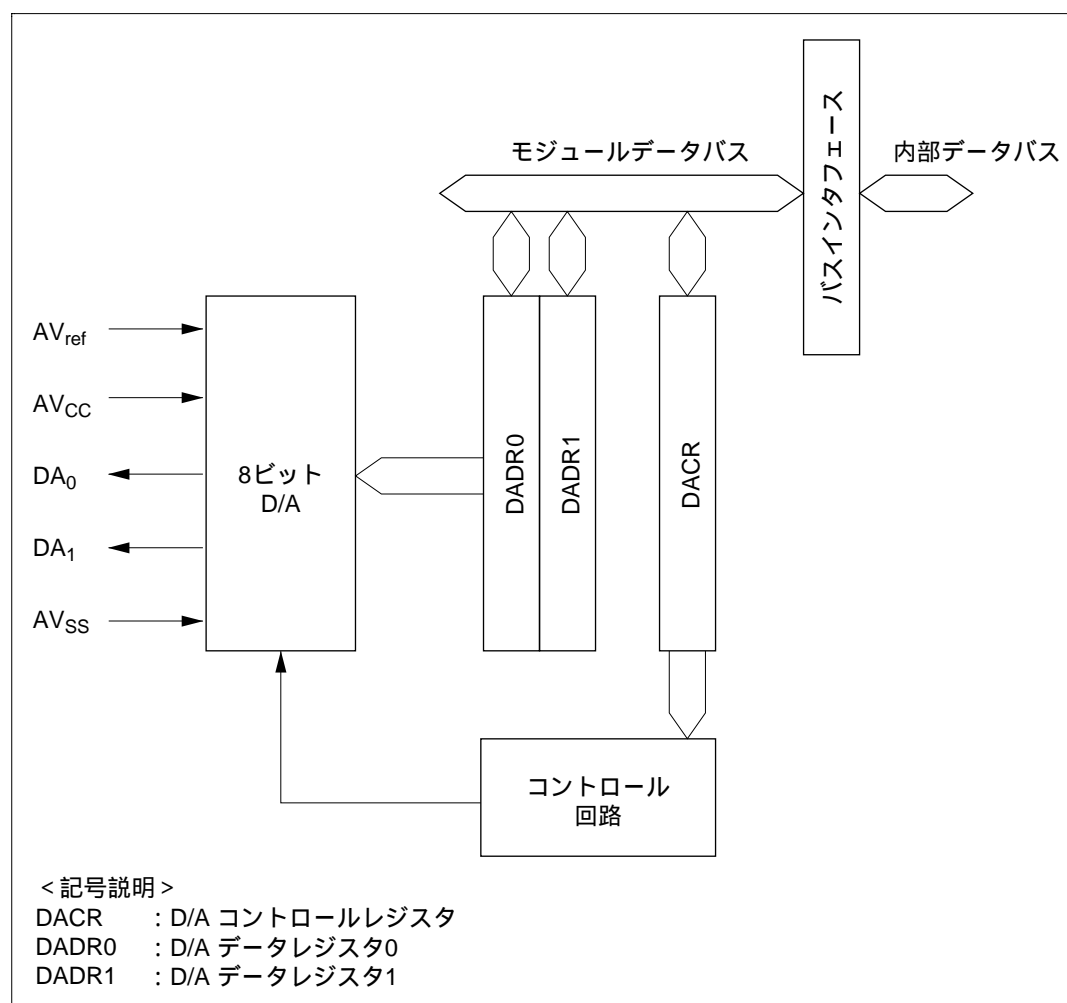


図 16.1 D/A 変換器のブロック図

16.1.3 端子構成

D/A 変換器で使用する入出力端子を表 16.1 に示します。

表 16.1 端子構成

端子名	略 称	入出力	機 能
リファレンス電圧端子	AV_{ref}	入力	アナログ部の基準電圧
アナログ電源端子	AV_{CC}	入力	アナログ部の電源
アナロググランド端子	AV_{SS}	入力	アナログ部のグランドおよび基準電圧
アナログ出力端子 0	DA_0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA_1	出力	チャンネル 1 のアナログ出力

16.1.4 レジスタ構成

D/A 変換器でレジスタ構成を表 16.2 に示します。

表 16.2 レジスタ構成

名 称	略 称	R/W	初期値	アドレス
D/A データレジスタ 0	DADR0	R/W	H'00	H'FFF8
D/A データレジスタ 1	DADR1	R/W	H'00	H'FFF9
D/A コントロールレジスタ	DACR	R/W	H'1F	H'FFFA

16.2 各レジスタの説明

16.2.1 D/A データレジスタ 0、1 (DADR0、1)

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

D/A データレジスタ 0、1 (DADR0、1) は、変換を行うデータを格納するリード/ライト可能な 8 ビットのレジスタです。

アナログ出力を許可すると、DADR の値が常に変換され、アナログ出力端子に出力されます。

DADR は、リセットまたはスタンバイモード時に、H'00 にイニシャライズされます。

16.2.2 D/A コントロールレジスタ (DACR)

ビット :	7	6	5	4	3	2	1	0
	DAOE1	DAOE0	DAE	—	—	—	—	—
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/W	R/W	R/W	—	—	—	—	—

DACR は、8 ビットのリード/ライト可能なレジスタで、D/A 変換器の動作を制御します。

DACR は、リセットまたはスタンバイモード時に、H'1F にイニシャライズされます。

ビット 7 : D/A アウトプットイネーブル 1 (DAOE1)

D/A 変換とアナログ出力を制御します。

ビット 7	説明
DAOE1	
0	アナログ出力 DA ₁ を禁止
1	チャンネル 1 の D/A 変換を許可。アナログ出力 DA ₁ を許可

ビット6 : D/A アウトプットイネーブル0 (DAOE0)

D/A 変換とアナログ出力を制御します。

ビット6	説明
DAOE0	
0	アナログ出力 DA ₀ を禁止
1	チャンネル0のD/A変換を許可。アナログ出力 DA ₀ を許可

ビット5 : D/A イネーブル (DAE)

DAOE0、DAOE1 とともに、D/A 変換を制御します。DAE ビットが0にクリアされているときチャンネル0、1のD/A変換は独立に制御され、DAE ビットが1にセットされているときチャンネル0、1のD/A変換は一括して制御されます。

変換結果を出力するか否かは、DAOE0、DAOE1により、常に独立に制御されます。

ビット7	ビット6	ビット5	説明
DAOE1	DAOE0	DAE	
0	0	-	チャンネル0、1のD/A変換を禁止
	1	0	チャンネル0のD/A変換を許可 チャンネル1のD/A変換を禁止
		1	チャンネル0、1のD/A変換を許可
1	0	0	チャンネル0のD/A変換を禁止 チャンネル1のD/A変換を許可
		1	チャンネル0、1のD/A変換を許可
	1	-	チャンネル0、1のD/A変換を許可

DAE ビットを1にセットすると、DACRのDAOE0、1ビット、ADCSRのADSTビットが0にクリアされていても、アナログ電源電流はA/D、D/A変換中と同等になります。

ビット4~0 : リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

16.3 動作説明

D/A 変換器は、2 チャンネルの D/A 変換回路を内蔵し、それぞれ独立に変換を行うことができます。

DACR によって D/A 変換が許可されている期間は常に D/A 変換が行われています。DADR0、1 を書き換えると直ちに、新しいデータが変換されます。DAOE0、1 ビットを 1 にセットすることにより、変換結果が出力されます。

チャンネル 0 の D/A 変換を行う場合の動作例を示します。動作タイミングを図 16.2 に示します。

- (1) DADR0 に変換データをライトします。
- (2) DACR の DAOE0 ビットを 1 にセットします。D/A 変換が開始され、DA₀ 端子が出力端子になります。変換時間経過後に変換結果が出力されます。

$$\text{出力値} = \frac{\text{DADR0の内容}}{256} \times AV_{\text{ref}} \text{です。}$$

次に DADR0 を書き換えるか、DAOE0 ビットを 0 にクリアするまでこの変換結果が出力され続けます。

- (3) DADR0 を書き換えると直ちに变換が開始されます。変換時間経過後に変換結果が出力されます。
- (4) DAOE0 ビットを 0 にクリアすると、DA₀ 端子は入力端子になります。

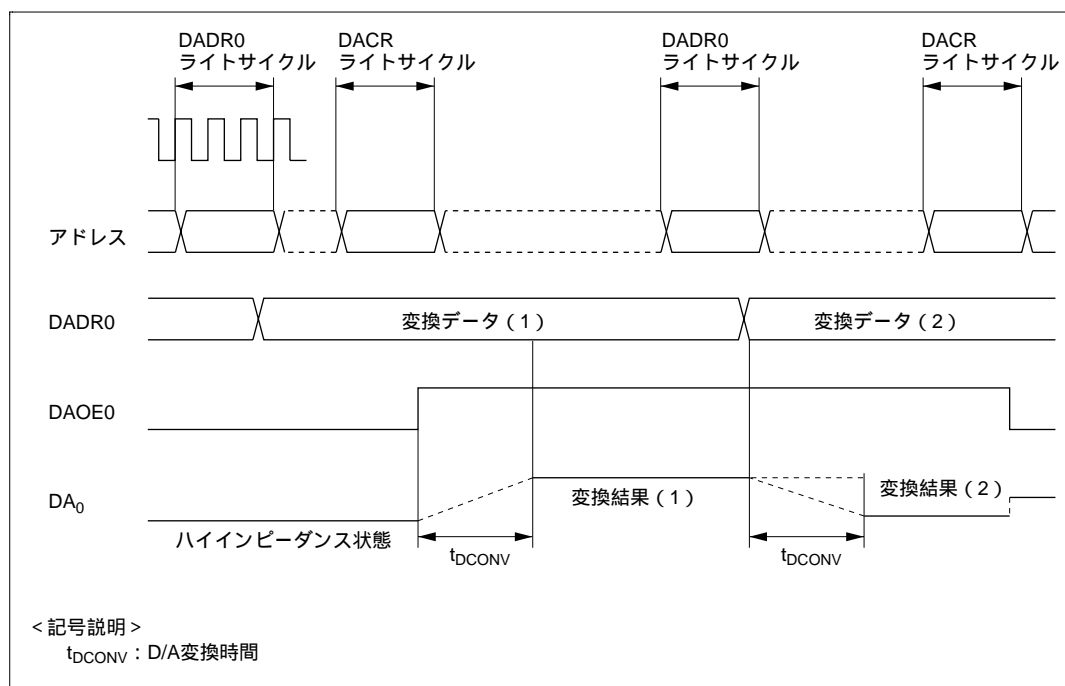


図 16.2 D/A 変換器の動作例

17. RAM

第 17 章 目次

17.1	概要.....	387
17.1.1	ブロック図.....	387
17.1.2	システムコントロールレジスタ (SYSCR) の RAM イネーブルビット (RAME)	388
17.2	動作説明.....	389
17.2.1	拡張モード (モード 1、2)	389
17.2.2	シングルチップモード (モード 3)	389

17.1 概要

H8/3437、H8/3436 は 2k バイト、H8/3434 は 1k バイトのスタティック RAM を内蔵しています。RAM は CPU と 16 ビット幅のデータバスで接続されており、アクセスはバイトデータ、ワードデータにかかわらず 2 ステートで行われます。したがってデータの高速度転送が可能です。

内蔵 RAM は、H8/3437、H8/3436 では H'F780 ~ H'FF7F に、H8/3434 では H'FB80 ~ H'FF7F に割り当てられており、システムコントロールレジスタ (SYSCR) の RAM イネーブルビット (RAME) により、内蔵 RAM 有効または無効の制御を行います。

17.1.1 ブロック図

RAM のブロック図を図 17.1 に示します。

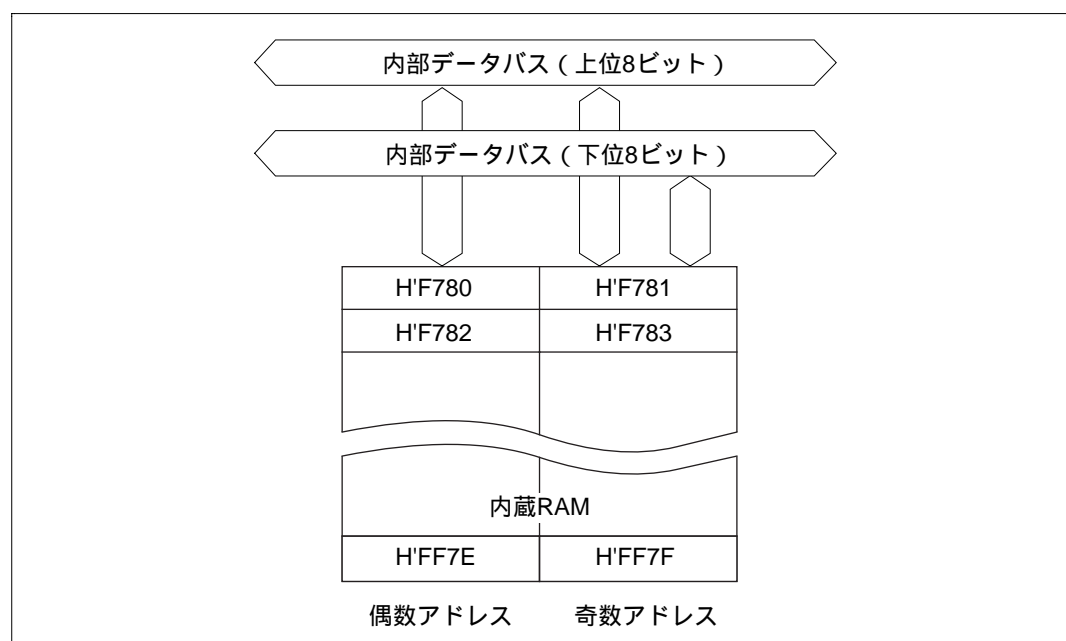


図 17.1 RAM のブロック図 (H8/3437 の場合)

17.1.2 システムコントロールレジスタ (SYSCR) の RAM イネーブルビット (RAME)

ビット :	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	XRST	NMIEG	HIE	RAME
初期値 :	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

内蔵 RAM は、SYSCR の RAME ビットによってイネーブル/ディスエーブルされます。なお、SYSCR のその他のビットについての詳細は「3.2 システムコントロールレジスタ (SYSCR)」を参照してください。

ビット 0 : RAM イネーブル (RAME)

内蔵 RAM の有効または無効を選択します。RAME ビットは、 $\overline{\text{RES}}$ 端子の立ち上がりエッジでイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 0	説明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

17.2 動作説明

17.2.1 拡張モード（モード 1、2）

RAME ビットが 1 にセットされているとき、H8/3437、H8/3436 では H'F780 ~ H'FF7F、H8/3434 では H'FB80 ~ H'FF7F をアクセスすると、内蔵 RAM がアクセスされます。また、RAME ビットが 0 にクリアされているときは、外部アドレスとして、アクセスされます。

17.2.2 シングルチップモード（モード 3）

RAME ビットが 1 にセットされているとき、H8/3437、H8/3436 では H'F780 ~ H'FF7F、H8/3434 では H'FB80 ~ H'FF7F をアクセスすると、内蔵 RAM がアクセスされます。RAME ビットが 0 にクリアされているときは、内蔵 RAM はアクセスされません。リードすると常に H'FF がリードされ、ライトは無効です。

- 【注】
1. V_{CC} 、 V_{RAM} では内蔵 RAM の値は規定の方法により保持することができます。方法については 21.4.1 項および付録 E を参照してください。
 2. 内蔵 RAM の値は、いかなる状態からでも 1 度パワーオフした後にパワーオンしたときは保証されません。
 3. RAM 上の特定ビットを制御ビットとして使用するときは、パワーオン後に必ず初期値設定を行ってください。

18. ROM

(マスク ROM 版 / ZTAT 版)

第 18 章 目次

18.1	概要	393
18.1.1	ブロック図	394
18.2	ライターモード (H8/3437、H8/3434)	395
18.2.1	ライターモードの設定	395
18.2.2	ソケットアダプタの端子対応とメモリマップ	395
18.3	PROM のプログラミング	398
18.3.1	書き込み / ベリファイ	399
18.3.2	書き込み時の注意	401
18.3.3	書き込み後の信頼性	402

18.1 概要

H8/3437 は 60k バイト、H8/3436 は 48k バイト、H8/3434 は 32k バイトの ROM を内蔵しています。ROM は CPU と 16 ビット幅のデータバスで接続されており、アクセスはバイトデータ、ワードデータにかかわらず 2 ステートで行われます。したがって、データの高速度転送が可能です。

内蔵 ROM 有効または無効の設定は、表 18.1 に示すように、モード端子 (MD₁、MD₀) により行います。

表 18.1 動作モードと ROM

動作モード	モード端子		内蔵 ROM
	MD ₁	MD ₀	
モード 1 (内蔵 ROM 無効拡張モード)	0	1	無効
モード 2 (内蔵 ROM 有効拡張モード)	1	0	有効
モード 3 (シングルチップモード)		1	有効

なお、PROM 版 (H8/3437ZTAT、H8/3434ZTAT) およびフラッシュメモリ版 (H8/3437F-ZTAT、H8/3434F-ZTAT) は、ライターモードに設定することにより、汎用 PROM ライタを用いて、自由にプログラムの書き込みができます。

H8/3437 のモード 2 の ROM は、H'0000 ~ H'EF7F (61312 バイト) が有効になり、モード 3 の ROM は、H'0000 ~ H'F77F (63360 バイト) が有効になります。詳しくは、「第 3 章 MCU 動作モード」を参照してください。

18.1.1 ブロック図

ROMのブロック図を図18.1に示します。

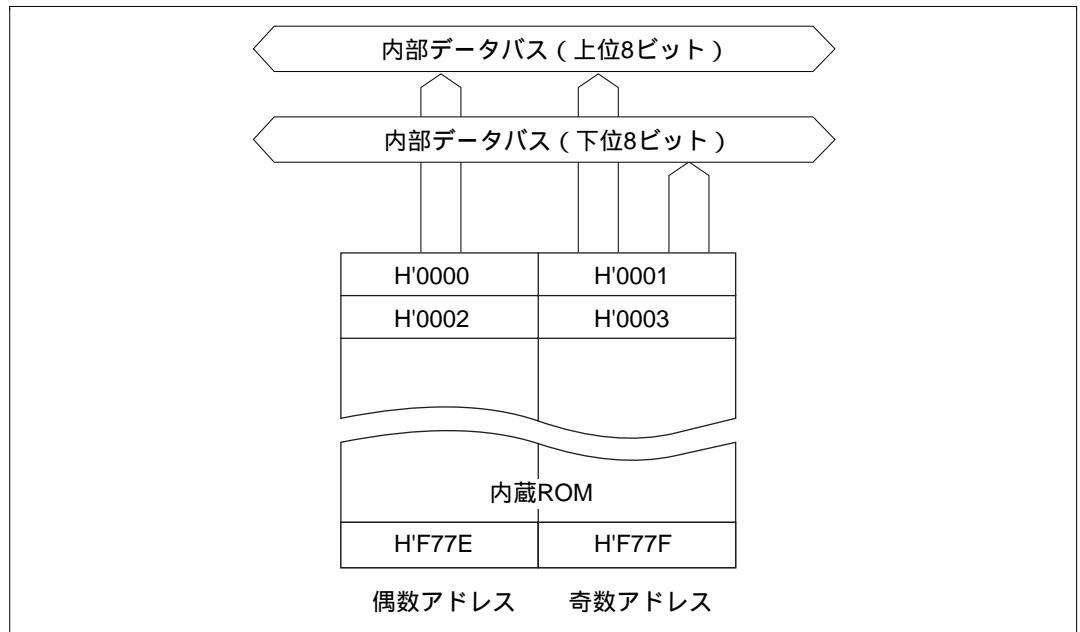


図18.1 ROMのブロック図 (H8/3437 シングルチップモードの場合)

18.2 ライタモード (H8/3437、H8/3434)

18.2.1 ライタモードの設定

H8/3437、H8/3434 の PROM 版の場合、ライタモードに設定するとマイクロコンピュータとしての機能が停止して、HN27C101 と同一の方法で内蔵 PROM のプログラムを行うことができます。ただし、ページプログラミング方式はサポートしていません。

ライタモードの設定方法を、表 18.2 に示します。

表 18.2 ライタモードの設定

端子名	設定
モード端子 MD ₁	Low レベル
モード端子 MD ₀	
STBY 端子	
P6 ₃ 、P6 ₄ 端子	High レベル

18.2.2 ソケットアダプタの端子対応とメモリマップ

PROM のプログラムは、表 18.3 で示すように、各パッケージに対応したソケットアダプタを付けて、32 ピンに変換し、汎用 PROM ライタでプログラミングを行います。

ソケットアダプタは H8/3437、H8/3434 とも共通です。

ソケットアダプタの端子対応図を図 18.2 に示します。

表 18.3 ソケットアダプタ

パッケージ名	ソケットアダプタ型名
100 ピン QFP	HS3437ESHS1H
100 ピン TQFP	HS3437ESNS1H

H8/3437、H8/3434 の PROM の容量はそれぞれ 60k バイト、32k バイトです。ライタモード時のメモリマップをそれぞれ図 18.3、図 18.4 に示します。内蔵 PROM 内の未使用のアドレス領域のデータは、H'FF としてください。

H8/3437、H8/3434 を PROM ライタでプログラムする際に、アドレスはそれぞれ H'0000 ~ H'F77F、H'0000 ~ H'7FFF に設定し、H'F780、H'8000 以降のデータは H'FF としてください。誤って H'F780、H'8000 以降にプログラムすると、PROM の書き込みや確認ができなくなる場合があります。また、ページプログラミング方式でプログラムしようとした場合も同様です。本 LSI はプラスチックパッケージの OTP (One Time Programmable) マイコンであるため再生できませんのでご注意ください。

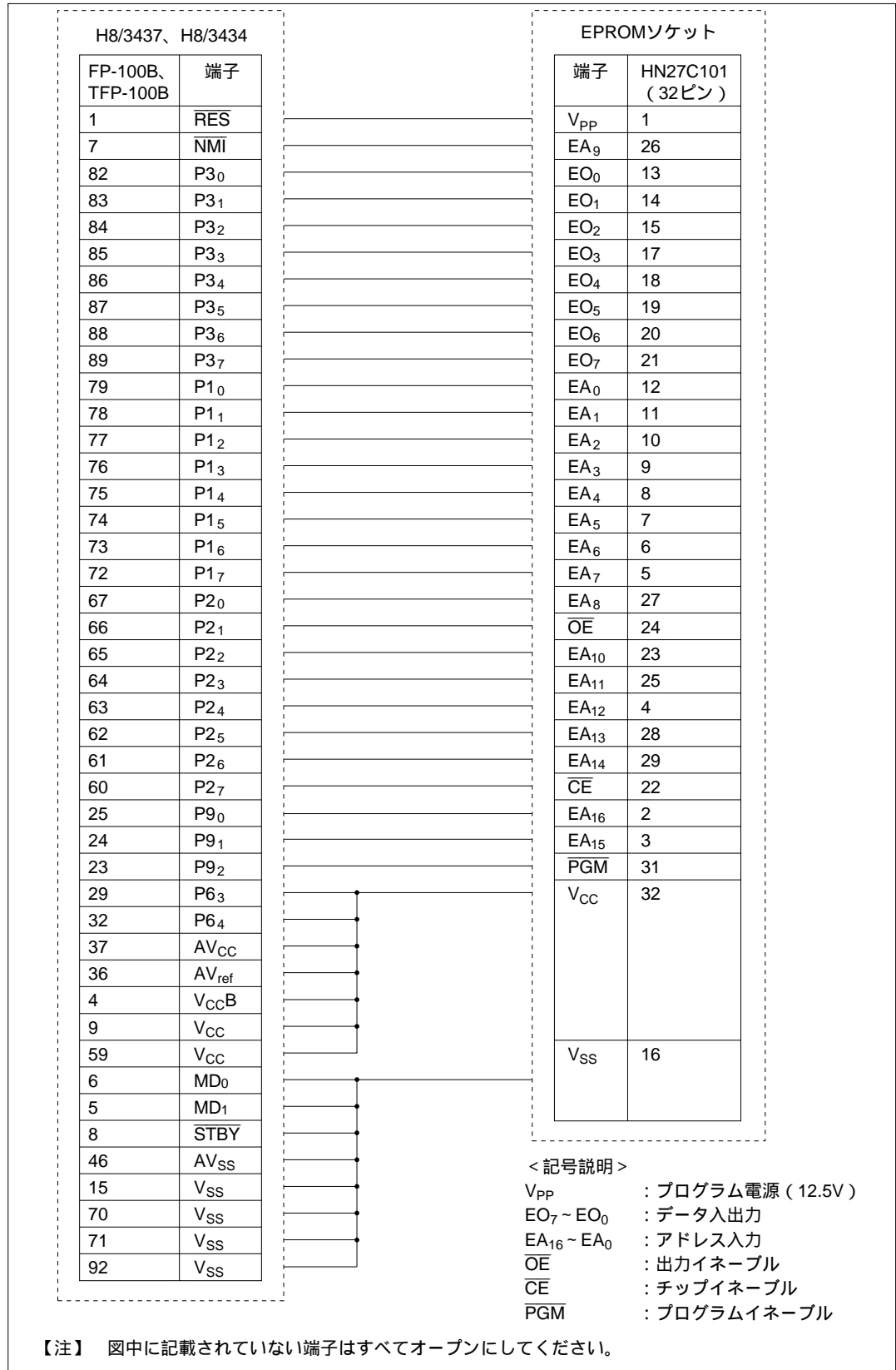


図 18.2 ソケットアダプタの端子対応図

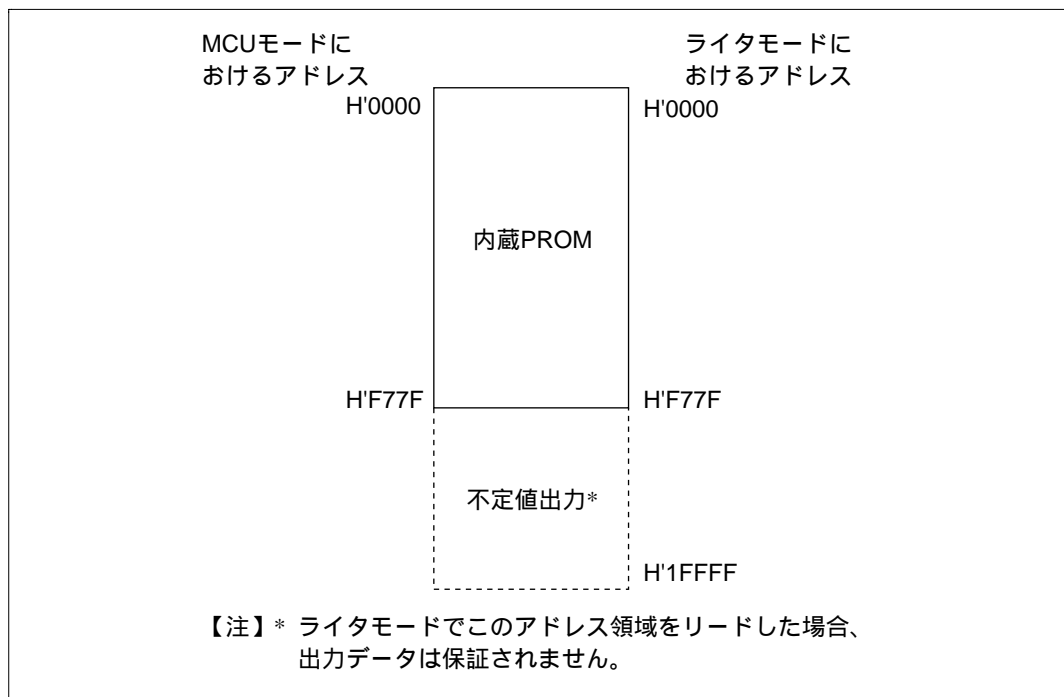


図 18.3 H8/3437 のライタモード時のメモリマップ

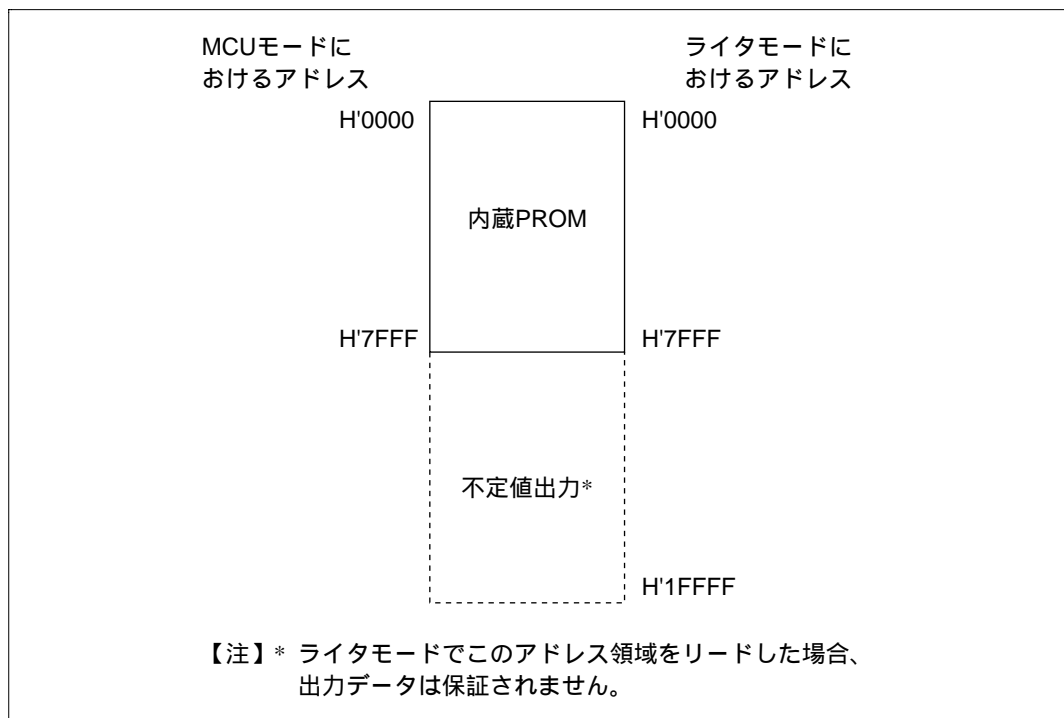


図 18.4 H8/3434 のライタモード時のメモリマップ

18.3 PROM のプログラミング

ライタモード時の書き込み、ベリファイなどのモード選択は、表 18.4 に示すような設定により行います。

表 18.4 ライタモード時のモードの選択

モード	ピン						
	\overline{CE}	\overline{OE}	\overline{PGM}	V_{PP}	V_{CC}	$EO_7 \sim EO_0$	$EA_{16} \sim EA_0$
書き込み	L	H	L	V_{PP}	V_{CC}	データ入力	アドレス入力
ベリファイ	L	L	H	V_{PP}	V_{CC}	データ出力	アドレス入力
プログラミング禁止	L	L	L	V_{PP}	V_{CC}	ハイインピーダンス	アドレス入力
	L	H	H				
	H	L	L				
	H	H	H				

< 記号説明 >

L : Low レベル

H : High レベル

V_{PP} : V_{PP} レベル

V_{CC} : V_{CC} レベル

なお、書き込み、読み出しは、標準 EPROM HN27C101 と同じ仕様になっています。ただし、ページプログラミング方式はサポートしていませんので、ページプログラミングモードに設定しないでください。ページプログラミングモードのみをサポートしている PROM ライタは使用できません。PROM ライタを選択する場合には、1 バイト毎の高速プログラミングモードをサポートしていることを確認してください。また、アドレスは必ず H8/3437 では H'0000 ~ H'F77F、H8/3434 では H'0000 ~ H'7FFF に設定してください。

18.3.1 書き込み/ベリファイ

書き込み/ベリファイは、効率のよい高速プログラミング方式で行うことができます。この方式は、デバイスへの電圧ストレス、あるいは書き込みデータの信頼性を損うことなく高速な書き込みを行うことができます。未使用のアドレス領域のデータはH'FFです。

高速プログラミングの基本的なフローを図 18.5 に示します。

また、プログラミング時の電気的特性を表 18.5、表 18.6 に、タイミングを図 18.6 に示します。

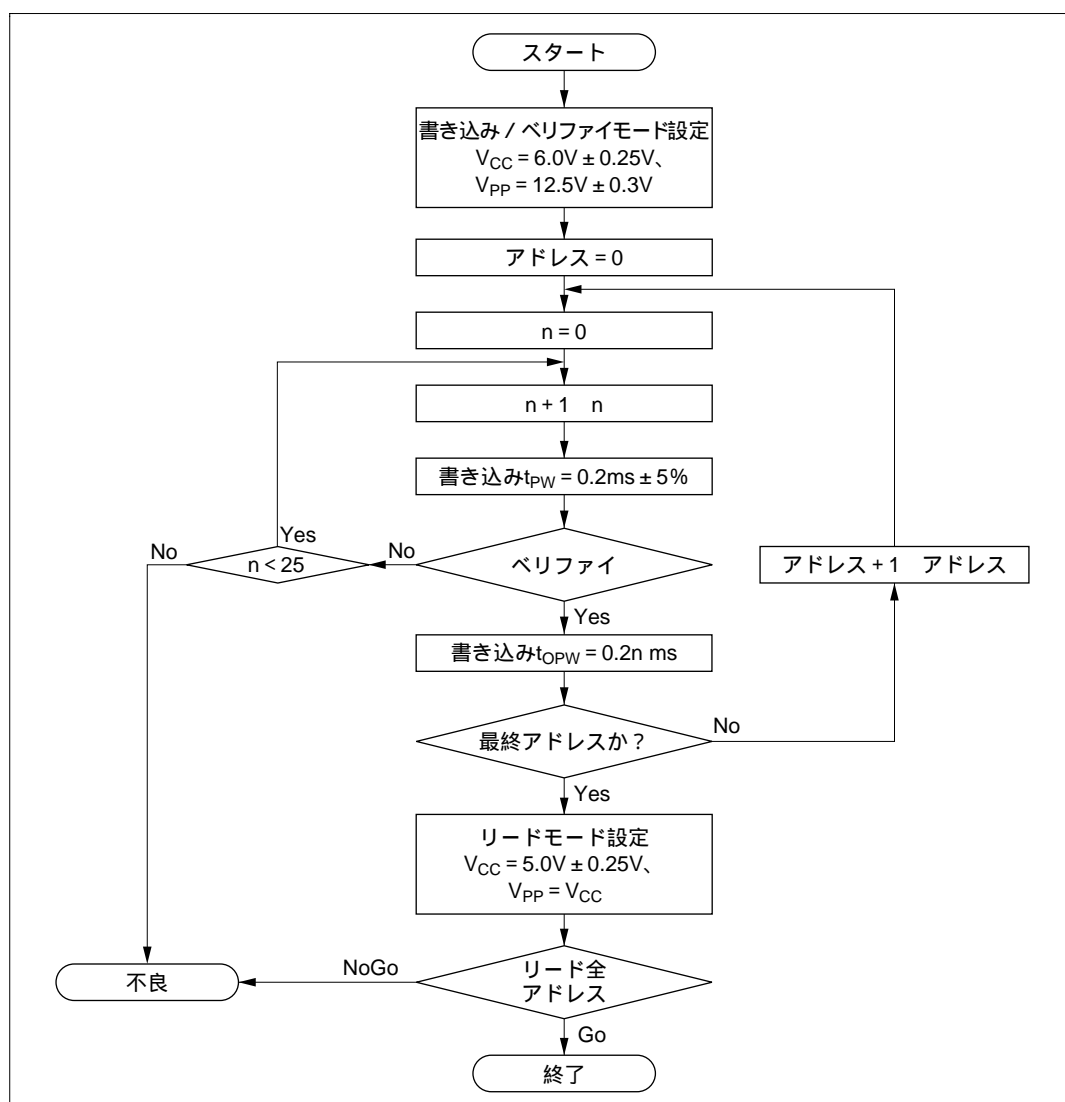


図 18.5 高速プログラミングフローチャート

表 18.5 DC 特性

条件 : $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目		記号	min	typ	max	単位	測定条件
入力 High レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ 、 \overline{OE} 、 \overline{CE} 、 \overline{PGM}	V_{IH}	2.4		$V_{CC} + 0.3$	V	
入力 Low レベル電圧	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ 、 \overline{OE} 、 \overline{CE} 、 \overline{PGM}	V_{IL}	-0.3		0.8	V	
出力 High レベル電圧	$EO_7 \sim EO_0$	V_{OH}	2.4			V	$I_{OH} = -200 \mu A$
出力 Low レベル電圧	$EO_7 \sim EO_0$	V_{OL}			0.45	V	$I_{OL} = 1.6mA$
入力 リーク電流	$EO_7 \sim EO_0$ 、 $EA_{16} \sim EA_0$ 、 \overline{OE} 、 \overline{CE} 、 \overline{PGM}	$ I_{LI} $			2	μA	$V_{in} = 5.25V/0.5V$
V_{CC} 電流		I_{CC}			40	mA	
V_{PP} 電流		I_{PP}			40	mA	

表 18.6 AC 特性

条件 : $V_{CC} = 6.0V \pm 0.25V$ 、 $V_{PP} = 12.5V \pm 0.3V$ 、 $T_a = 25 \pm 5$

項目	記号	min	typ	max	単位	測定条件
アドレスセットアップ時間	t_{AS}	2			μs	図 18.6*
\overline{OE} セットアップ時間	t_{OES}	2			μs	
データセットアップ時間	t_{DS}	2			μs	
アドレスホールド時間	t_{AH}	0			μs	
データホールド時間	t_{DH}	2			μs	
データ出力ディスエーブル時間	t_{DF}			130	ns	
V_{PP} セットアップ時間	t_{VPS}	2			μs	
プログラムパルス幅	t_{PW}	0.19	0.20	0.21	ms	
オーバプログラム時の \overline{OE} パルス幅	t_{OPW}	0.19		5.25	ms	
V_{CC} セットアップ時間	t_{VCS}	2			μs	
\overline{CE} セットアップ時間	t_{CES}	2			μs	
データ出力遅延時間	t_{OE}	0		150	ns	

【注】 * 入力パルスレベル : 0.8 ~ 2.2V

入力立ち上がり / 立ち下がり時間 20ns

タイミング参照レベル 入力 : 1.0V、2.0V

出力 : 0.8V、2.0V

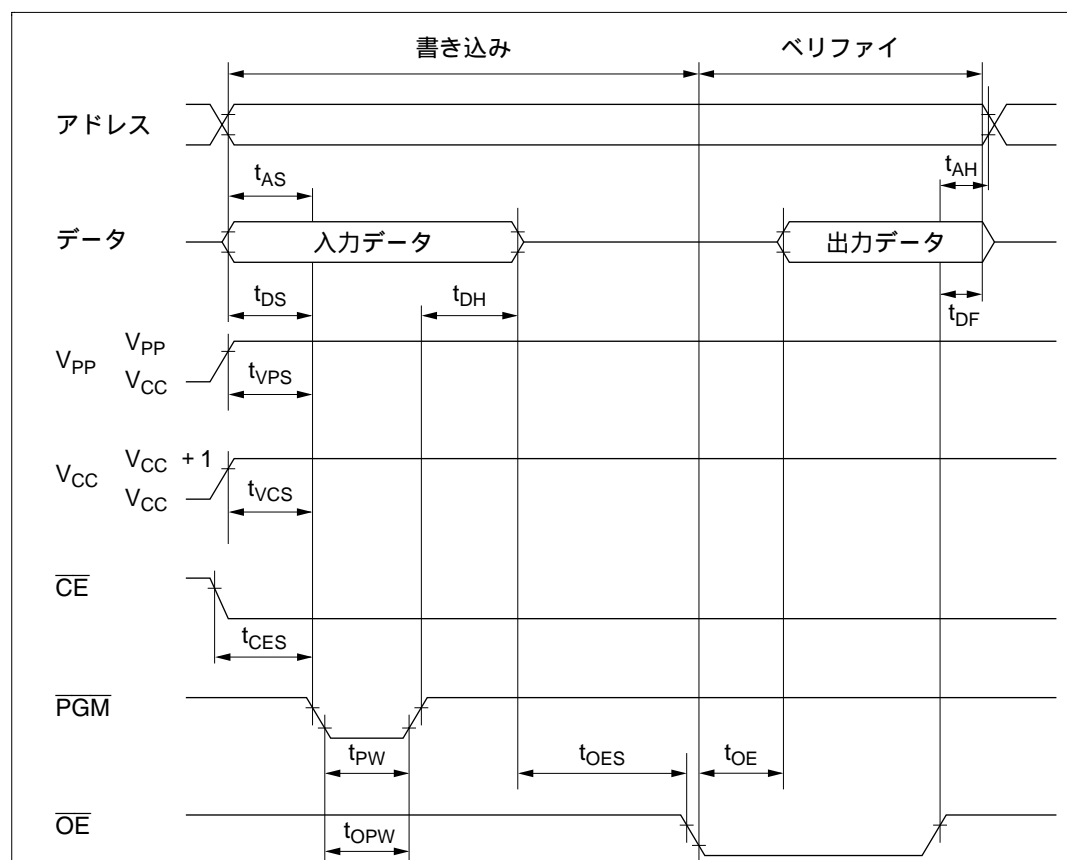


図 18.6 PROM 書き込み / ベリファイタイミング

18.3.2 書き込み時の注意

- (1) スタートアドレスの設定できない PROM ライタは対応できません。もし使用した場合、H'10002、H'10003、H'10004 番地などにてベリファイできません。アドレス設定できる PROM ライタをご使用ください。
- (2) 書き込みは規定された電圧、タイミングで行ってください。
ライタモード時のプログラム電圧 (V_{pp}) は 12.5V です。
定格以上の電圧を加えると、製品の永久破壊に至りますので、注意してください。特に PROM ライタのオーバシュートなどには十分注意してください。
PROM ライタの HN27C101 の日立仕様にセットすると、 V_{pp} は 12.5V になります。
- (3) PROM ライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していないと、過剰電流によって製品が破壊することがあります。書き込み前に正しく PROM ライタに装着されていることを必ず確認してください。
- (4) 書き込み中はソケットアダプタおよび製品には触れないようにしてください。接触不良により書き込み不良となる場合があります。
- (5) プログラミングモードは、ページプログラミング方式をサポートしていませんので、プログラミングモードの設定には注意してください。

(6) PROM の容量は、H8/3437 では 60k バイト、H8/3434 では 32k バイトです。アドレスは、必ず H8/3437 では H'0000 ~ H'F77F、H8/3434 では H'0000 ~ H'7FFF に設定してください。プログラムするには、未使用のアドレス領域 (H8/3437 では H'F780 ~ H'1FFFF、H8/3434 では H'8000 ~ H'1FFFF) のデータは、H'FF としてください。

18.3.3 書き込み後の信頼性

データ書き込み後、データ保持特性を向上させるために、150 の高温放置をしてスクリーニングを行うと大変有効です。高温放置は、スクリーニングの 1 つであり、PROM メモリセルの初期のデータ保持不良を短時間で除くことができます。

図 18.7 に推奨するスクリーニングフローを示します。

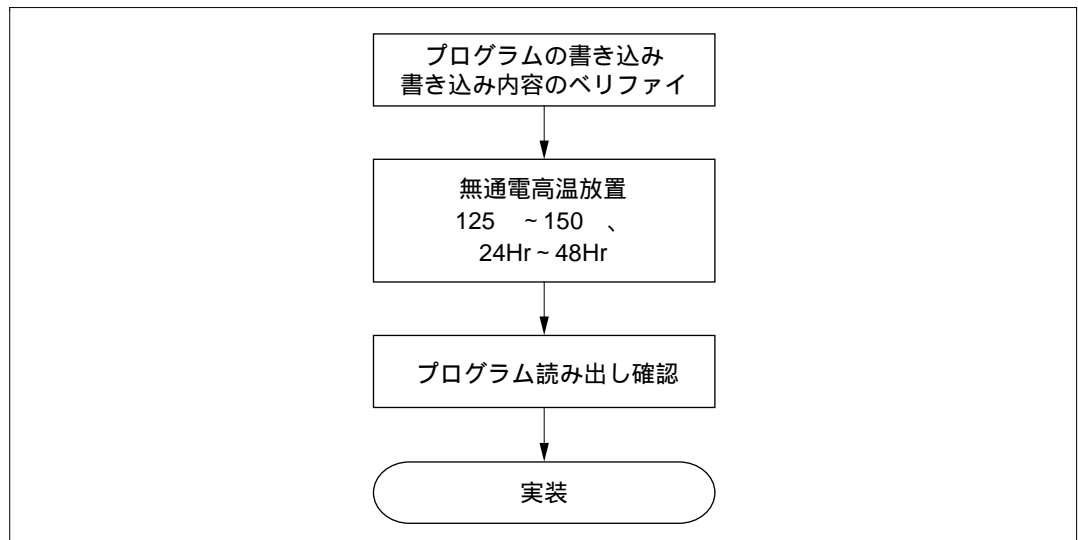


図 18.7 推奨スクリーニングフロー

同じ PROM ライタでプログラミング中、書き込み不良が連続して発生した場合には書き込みを中止し、PROM ライタ、ソケットアダプタなどに異常がないか確認してください。

なお、書き込みあるいは高温放置後のプログラム確認において異常がありましたら、当社技術担当にご連絡ください。

19. ROM

(二電源方式フラッシュメモリ 32k バイト版)

第 19 章 目次

19.1	フラッシュメモリの概要	405
19.1.1	フラッシュメモリの動作原理.....	405
19.1.2	モード端子の設定と ROM 空間	406
19.1.3	特長	406
19.1.4	ブロック図	407
19.1.5	端子構成.....	408
19.1.6	レジスタ構成	408
19.2	フラッシュメモリ各レジスタの説明.....	409
19.2.1	フラッシュメモリコントロールレジスタ (FLMCR)	409
19.2.2	消去ブロック指定レジスタ 1 (EBR1)	411
19.2.3	消去ブロック指定レジスタ 2 (EBR2)	412
19.2.4	ウェイトステートコントロールレジスタ (WSCR)	413
19.3	オンボードプログラミングモード	416
19.3.1	ブートモード	416
19.3.2	ユーザプログラムモード	423
19.4	フラッシュメモリの書き込み / 消去.....	425
19.4.1	プログラムモード	425
19.4.2	プログラムベリファイモード.....	426
19.4.3	書き込みのフローチャートとプログラム例.....	427
19.4.4	イレースモード.....	429
19.4.5	イレースベリファイモード.....	430
19.4.6	消去のフローチャートとプログラム例	431
19.4.7	プレライトベリファイモード.....	444

19. ROM (二電源方式フラッシュメモリ 32k バイト版)

19.4.8	プロテクトモード	445
19.4.9	フラッシュメモリへの書き込み / 消去時の割り込み処理.....	447
19.5	RAM によるフラッシュメモリのエミュレーション.....	449
19.6	フラッシュメモリのライターモード (H8/3434F)	451
19.6.1	ライターモードの設定.....	451
19.6.2	ソケットアダプタの端子対応とメモリマップ	451
19.6.3	ライターモードの動作.....	453
19.7	フラッシュメモリの書き込み / 消去時の注意	461

19.1 フラッシュメモリの概要

19.1.1 フラッシュメモリの動作原理

H8/3434F に内蔵するフラッシュメモリの動作原理を表 19.1 に示します。

フラッシュメモリの書き込みは、EPROM と同様、ゲートおよびドレインに高電圧をかけ、ドレインの近くで発生したホットエレクトロンをフローティングゲートに吸い上げるにより行われます。その結果、書き込み後のしきい値電圧は、消去時に比べ高くなります。消去は、ゲートを接地し、ソースに高電圧をかけ、トンネル効果によりフローティングゲートに蓄積した電子を引き抜くことにより行われます。消去後、しきい値電圧は低下します。読み出しは、EPROM と同様にゲートに高レベルの電圧を加え、しきい値電圧の高低に応じたドレイン電流量を検出することによって行われます。消去しすぎるとしきい値電圧が負になり、メモリセルが正常に動作しない場合があるので、消去時には注意が必要となります。

「19.4.6 消去のフローチャートとプログラム例」に消去制御に最適なフローチャートとプログラム例を示します。

表 19.1 メモリセル動作原理

	書き込み	消去	読み出し
メモリセル			
メモリアレイ			

19.1.2 モード端子の設定と ROM 空間

H8/3434F は 32k バイトのフラッシュメモリを内蔵しています。ROM は CPU と 16 ビットデータバスで接続されています。CPU は、命令サイズがバイト/ワードにかかわらず、フラッシュメモリを 2 ステートでアクセスします。

フラッシュメモリは、H8/3434F では、アドレス H'0000 ~ H'7FFF に割り当てられています。この空間は、モード端子の設定で内蔵フラッシュメモリ空間と外部メモリ空間の切り換えができます。モード端子の設定とフラッシュメモリ空間の設定を表 19.2 に示します。

表 19.2 モード端子の設定と ROM 空間

モード名	モード端子の設定		ROM 空間の設定
	MD ₁	MD ₀	
モード 0	0	0	設定禁止
モード 1		1	外部メモリ空間
モード 2	1	0	内蔵フラッシュメモリ空間
モード 3		1	内蔵フラッシュメモリ空間

19.1.3 特長

フラッシュメモリの特長を以下に示します。

フラッシュメモリの 5 種類の動作状態

フラッシュメモリの動作状態として、プログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモード、プレライトベリファイモードがあります。

消去ブロックの指定

フラッシュメモリ空間の消去対象とするブロックを、対応するビットの設定により指定できます。大ブロックエリア(4k ~ 8k バイトの 4 ブロック)と小ブロックエリア(128 バイト ~ 1k バイトの 8 ブロック)があります。

書き込み、消去時間

フラッシュメモリの 1 バイトあたりの書き込み時間は、50 μ s (typ)、消去時間は、1s (typ) です。

書き換え回数

フラッシュメモリの書き換えは、100 回まで可能です。

オンボードプログラミングモード

フラッシュメモリの書き込み、消去、ベリファイを行うモードです。2 種類の動作モード(ブートモード、ユーザプログラムモード)があります。

ビットレート自動合わせ込み

ブートモードのデータ転送時、ホストの転送ビットレートと H8/3434F ビットレートの自動合わせ込みができます。(max : 9600bps)

RAM によるフラッシュメモリのエミュレーション

フラッシュメモリに RAM の一部を重ね合わせることで、フラッシュメモリのリアルタイムな書き換えをエミュレートします。

ライターモード

プログラムの書き込み、消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあり、汎用 PROM ライタを用いてフラッシュメモリに自由にプログラムを書き込むことができます。書き込み / 消去 / ベリファイなどの仕様は、標準のフラッシュメモリ HN28F101 と同じです。

19.1.4 ブロック図

フラッシュメモリのブロック図を図 19.1 に示します。

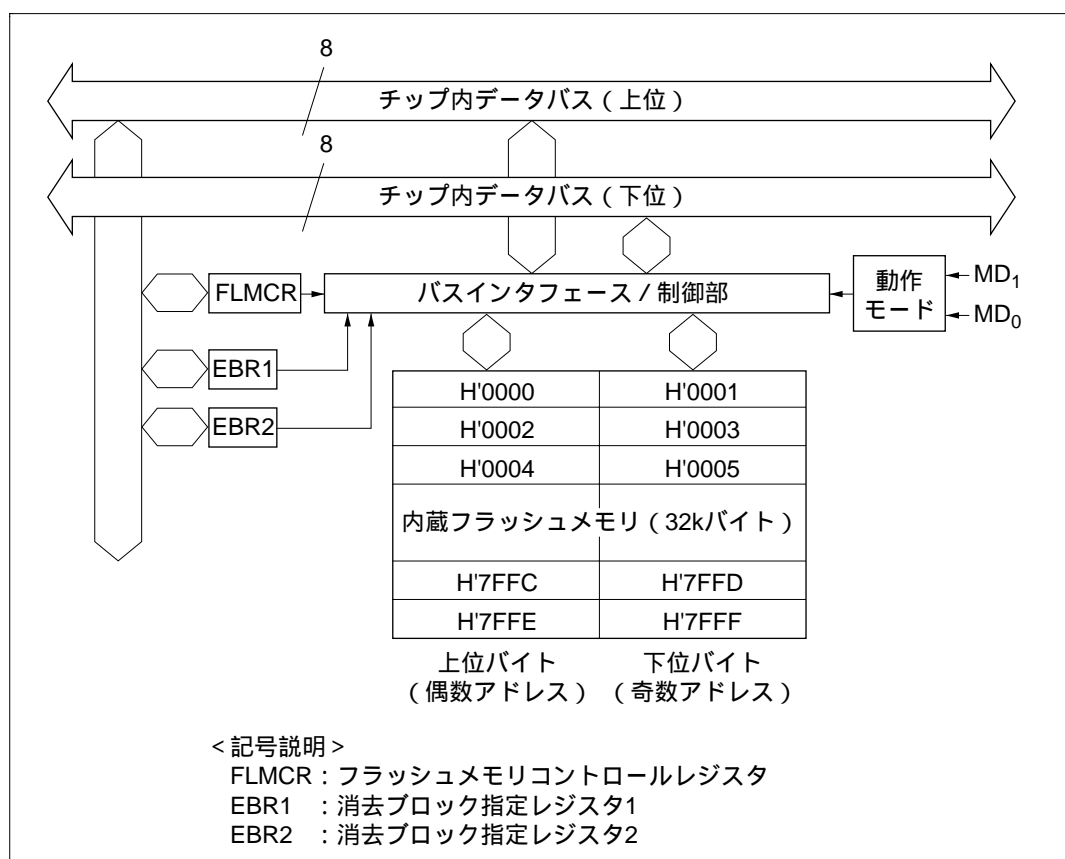


図 19.1 フラッシュメモリのブロック図

19.1.5 端子構成

フラッシュメモリは表 19.3 に示す端子により制御されます。

表 19.3 端子構成

端子名	略称	入出力	機能
プログラム電源	FV _{pp}	電源	12.0V を印加
モード 0	MD ₀	入力	H8/3434F の動作モードを設定
モード 1	MD ₁	入力	H8/3434F の動作モードを設定
トランスミットデータ	TxD ₁	出力	SCI1 送信データ出力
レシーブデータ	RxD ₁	入力	SCI1 受信データ入力

トランスミットデータ端子とレシーブデータ端子はブートモード時に使用します。

19.1.6 レジスタ構成

フラッシュメモリは表 19.4 に示すレジスタにより制御されます。

表 19.4 レジスタ構成

名称	略称	R/W	初期値	アドレス
フラッシュメモリコントロールレジスタ	FLMCR	R/W* ²	H'00* ²	H'FF80
消去ブロック指定レジスタ 1	EBR1	R/W* ²	H'F0* ²	H'FF82
消去ブロック指定レジスタ 2	EBR2	R/W* ²	H'00* ²	H'FF83
ウェイトステートコントロールレジスタ* ¹	WSCR	R/W	H'08	H'FFC2

【注】 *¹ ウェイトステートコントロールレジスタは、ウェイトステートコントローラのウェイトと、クロック発振器の周辺モジュールへの分周を制御するレジスタとしても使用しますが、フラッシュメモリを制御する場合、オンボードプログラミングモード時の RAM エリアの設定に使用します。

*² モード 2、3 (内蔵フラッシュメモリが有効) のときは FLMCR、EBR2 の初期値は H'00、EBR1 の初期値は H'F0 となります。

モード 1 (内蔵フラッシュメモリが無効) のときは、リードすると常に H'FF が読み出され、ライトも無効となります。

FLMCR、EBR1、EBR2 は、フラッシュメモリの書き込み / 消去時のみ有効なレジスタです。FV_{pp} 端子に 12V が印加されている場合のみアクセス可能です。アドレス H'FF80 ~ H'FF83 は、FV_{pp} 端子に 12V が印加されていない状態ではモード 2 のときに外部アドレス空間、モード 3 のときにリードすると常に H'FF が読み出され、書き込みは無効となります。

19.2 フラッシュメモリ各レジスタの説明

19.2.1 フラッシュメモリコントロールレジスタ (FLMCR)

フラッシュメモリコントロールレジスタ (FLMCR) は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。ビットをセットすることにより、プログラムモード、イレースモード、プログラムベリファイモード、イレースベリファイモードに遷移できます。FLMCR はリセット、またはスタンバイモード時、あるいは FV_{pp} に 12V 印加されていないとき、H'00 にイニシャライズされます。ただし、 FV_{pp} 端子に 12V が印加されているときのリセットモード時は、H'80 になります。

ビット :	7	6	5	4	3	2	1	0
	V_{pp}	-	-	-	EV	PV	E	P
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	-	-	-	R/W*	R/W*	R/W*	R/W*

【注】 * モード 2、3 (内蔵フラッシュメモリが有効) のとき初期値は H'00 となります。モード 1 (内蔵フラッシュメモリが無効) のときは、リードすると常に H'FF が読み出され、ライトも無効となります。本レジスタへのアクセスについては「19.7 フラッシュメモリの書き込み / 消去時の注意」の (11) を参照してください。

ビット 7 : プログラム電源 (V_{pp})

プログラム電源ビット (V_{pp}) は、 FV_{pp} 端子に 12V が印加されていることを示すステータスフラグです。使用時の注意は「19.7 フラッシュメモリの書き込み / 消去時の注意」の (5) を参照してください。

ビット 7	説明
V_{pp}	
0	[クリア条件] (初期値) FV_{pp} 端子に 12V が印加されていないとき
1	[セット条件] FV_{pp} 端子に 12V が印加されているとき

ビット 6 ~ 4 : リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット3：イレースベリファイモード (EV) *¹

イレースベリファイモードへの遷移、または解除を選択するビットです。

ビット3	説明
EV	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移

ビット2：プログラムベリファイモード (PV) *¹

プログラムベリファイモードへの遷移、または解除を選択するビットです。

ビット2	説明
PV	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移

ビット1：イレースモード (E) *¹ *²

イレースモードへの遷移、または解除を選択するビットです。

ビット1	説明
E	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移

ビット0：プログラムモード (P) *1 *2

プログラムモードへの遷移、または解除を選択するビットです。

ビット0	説明
P	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移

【注】 *1 複数のビットを同時にセットしないでください。

ビットをセットした状態で V_{CC} 、 V_{PP} 電源を解除 / 切断しないでください。

*2 P ビット、E ビットのセットは「19.4 フラッシュメモリの書き込み / 消去」に示す書き込み、消去アルゴリズムに従ってください。

ビットをセットした時間が規定以上の時間を誤って超えないよう、あらかじめウォッチドッグタイマの設定を行ってください。

使用時の注意は、「19.7 フラッシュメモリの書き込み / 消去時の注意」を参照してください。

19.2.2 消去ブロック指定レジスタ 1 (EBR1)

消去ブロック指定レジスタ 1 (EBR1) はフラッシュメモリの書き込みおよび消去する大ブロックを選択する 8 ビットのレジスタです。リセット、またはスタンバイモード時、あるいは FV_{PP} 端子に 12V 印加されていないとき、HF0 にイニシャライズされます。EBR1 のビットを 1 にセットすると対応するブロックが選択され、書き込みおよび消去対象ブロックになります。消去ブロックの分割を図 19.2 に、消去ブロックの分割と対応するビットを表 19.6 に示します。

ビット：	7	6	5	4	3	2	1	0
	-	-	-	-	LB3	LB2	LB1	LB0
初期値：	1	1	1	1	0	0	0	0
R/W：	-	-	-	-	R/W*	R/W*	R/W*	R/W*

【注】 * モード 2、3 (内蔵ROMが有効) のとき初期値はHF0となります。
 モード 1 (内蔵ROMが無効) のときは、リードすると常にH'FFが読み出され、ライトも無効となります。
 本レジスタへのアクセスについては「19.7 フラッシュメモリの書き込み / 消去時の注意」の (11) を参照してください。

ビット 7 ~ 4：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット3~0：ラージブロック3~0 (LB3~LB0)

ラージブロック3~0 (LB3~LB0) ブロックを書き込みおよび消去対象ブロックとして選択するビットです。

ビット3~0	説明
LB3~LB0	
0	LB3~LB0 ブロックを選択していないとき (初期値)
1	LB3~LB0 ブロックを選択しているとき

19.2.3 消去ブロック指定レジスタ2 (EBR2)

消去ブロック指定レジスタ2 (EBR2) は、フラッシュメモリの書き込みおよび消去する小ブロックを選択する8ビットのレジスタです。リセット、またはスタンバイモード時、あるいはFV_{PP}端子に12V印加されていないとき、H'00にイニシャライズされます。EBR2のビットを1にセットすると対応するブロックが選択され、書き込みおよび消去対象ブロックになります。消去ブロックの分割を図19.2に、消去ブロックの分割と対応するビットを表19.6に示します。

ビット：	7	6	5	4	3	2	1	0
	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】* モード2、3 (内蔵ROMが有効) のとき初期値はH'00となります。
 モード1 (内蔵ROMが無効) のときは、リードすると常にH'FFが読み出され、ライトも無効となります。
 本レジスタへのアクセスについては「19.7 フラッシュメモリの書き込み / 消去時の注意」の(11)を参照してください。

ビット7~0：スモールブロック7~0 (SB7~SB0)

スモールブロック7~0 (SB7~SB0) ブロックを書き込みおよび消去対象ブロックとして選択するビットです。

ビット7~0	説明
SB7~SB0	
0	SB7~SB0 ブロックを選択していないとき (初期値)
1	SB7~SB0 ブロックを選択しているとき

19.2.4 ウェイトステートコントロールレジスタ (WSCR)

ウェイトステートコントロールレジスタ (WSCR) は 8 ビットのリード/ライト可能なレジスタで、フラッシュメモリのリアルタイムな書き換えをエミュレートする際に使用する RAM エリアを選択するレジスタです。また、周辺モジュールへ供給するクロックの分周を制御し、ウェイトステートコントローラのウェイトを制御します。

WSCR はリセット、またはハードウェアスタンバイモード時に H'08 にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット :	7	6	5	4	3	2	1	0
	RAMS	RAM0	CKDBL	-	WMS1	WMS0	WC1	WC0
初期値 :	0	0	0	0	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7 : RAM セレクト (RAMS)

ビット 6 : RAM0

RAM エリアを設定します (表 19.5)。初期値は 0 でライト可能です。リセットまたは、ハードウェアスタンバイモード時にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット 7、6 のいずれか一方のみがセットされると、フラッシュメモリの小ブロックエリアに RAM の一部を重ね合わせることができます。この場合のアクセス対象はフラッシュメモリではなく RAM になり、フラッシュメモリの全ブロックに対して書き込み/消去プロテクト (エミュレーションプロテクト*1) が有効となります。この状態ではフラッシュメモリコントロールレジスタ (FLMCR) の P ビットまたは E ビットをセットしてもプログラムまたはイレースモードに遷移しません (ただし、ベリファイモードへの遷移は可能です)。このためフラッシュメモリエリアに実際の書き込み/消去を行う場合はビット 7、6 を 0 にクリアしてください。

ビット 7、6 を共にセットした場合も、フラッシュメモリの小ブロックエリアに RAM の一部を重ね合わせることができます。ただし、この重ね合わせは FV_{pp} 端子に 12V が印加された状態で割り込み信号が入力された時点で有効になります。それ以前のアクセス対象はフラッシュメモリです。この設定はフラッシュメモリの書き込み/消去中の割り込み処理*2の際に使用します。

表 19.5 RAM エリア*3の設定方法

ビット7	ビット6	使用する RAM エリア	対応する ROM エリア
RAMS	RAM0		
0	0	なし	-
	1	H'FC80 ~ H'FCFF	H'0080 ~ H'00FF
1	0	H'FC80 ~ H'FD7F	H'0080 ~ H'017F
	1	H'FC00 ~ H'FC7F	H'0000 ~ H'007F

ビット5：クロック分周 (CKDBL)

周辺モジュールへ供給するシステムクロックの分周を制御します。詳しくは「第6章 クロック発振器」を参照してください。

ビット4：リザーブビット

リザーブビットです。リード/ライト可能で、初期値は0です。

ビット3、2：ウェイトモードセレクト1、0 (WMS1、WMS0)

ビット1、0：ウェイトカウント1、0 (WC1、WC0)

ウェイトステートコントローラのウェイトを制御します。詳しくは「第5章 ウェイト制御」を参照してください。

【注】 *1 エミュレーションプロテクトについては、「19.4.8 プロテクトモード」を参照してください。

*2 フラッシュメモリの書き込み/消去中の割り込み処理については、「19.4.9 フラッシュメモリへの書き込み/消去時の割り込み処理」を参照してください。

*3 フラッシュメモリとオーバーラップする RAM エリア。

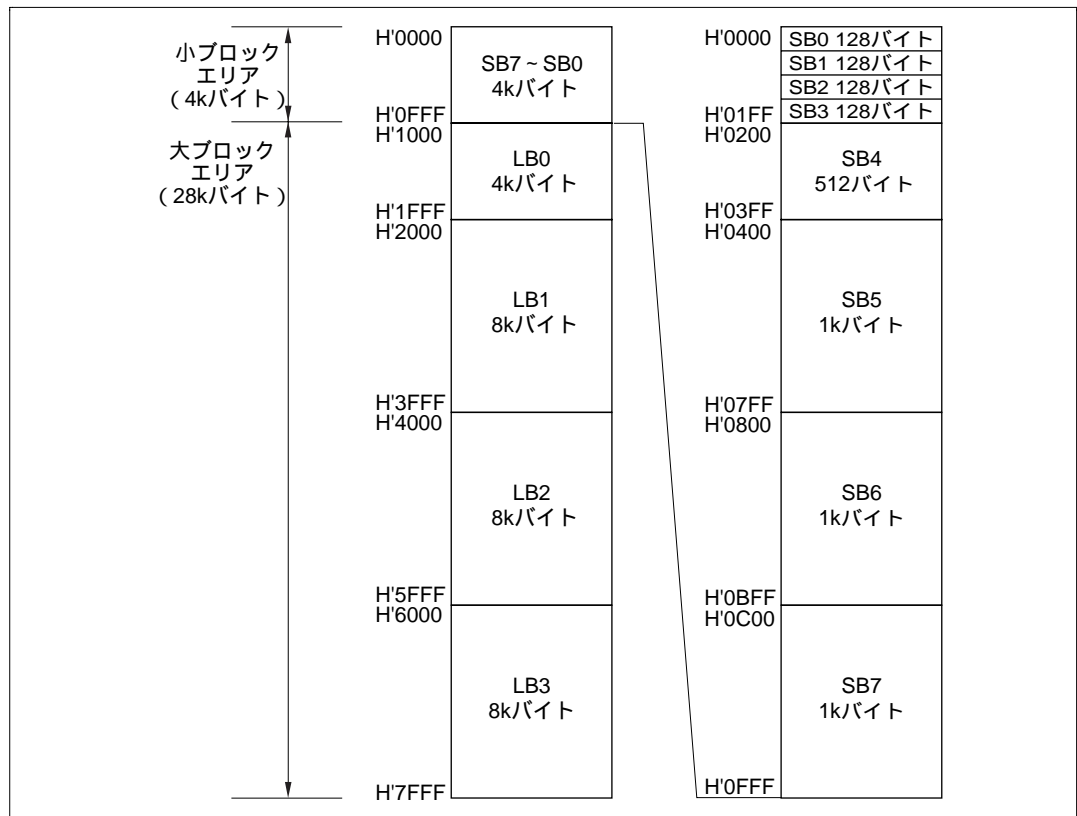


図 19.2 消去ブロックの分割

表 19.6 消去ブロックの分割と対応するビット

レジスタ	ビット	ブロック	アドレス	サイズ
EBR1	0	LB0	H'1000 ~ H'1FFF	4k バイト
	1	LB1	H'2000 ~ H'3FFF	8k バイト
	2	LB2	H'4000 ~ H'5FFF	8k バイト
	3	LB3	H'6000 ~ H'7FFF	8k バイト

レジスタ	ビット	ブロック	アドレス	サイズ
EBR2	0	SB0	H'0000 ~ H'007F	128 バイト
	1	SB1	H'0080 ~ H'00FF	128 バイト
	2	SB2	H'0100 ~ H'017F	128 バイト
	3	SB3	H'0180 ~ H'01FF	128 バイト
	4	SB4	H'0200 ~ H'03FF	512 バイト
	5	SB5	H'0400 ~ H'07FF	1k バイト
	6	SB6	H'0800 ~ H'0BFF	1k バイト
	7	SB7	H'0C00 ~ H'0FFF	1k バイト

19.3 オンボードプログラミングモード

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリの書き込み、消去、ベリファイを行うことができます。本モードには、2種類の動作モード（ブートモード、ユーザプログラムモード）があります。これらのモードは、モード端子（MD₁、MD₀）、FV_{pp} 端子により設定します。表 19.7 にオンボードプログラミングモードの設定方法を示します。

V_{pp} の印加 / 切断時の注意については「19.7 フラッシュメモリの書き込み / 消去時の注意」の（5）を参照してください。

表 19.7 オンボードプログラミングモードの設定

モード設定		FV _{pp}	MD ₁	MD ₀	備考
ブートモード	モード 2	12V*	12V*	0	0 : V _{IL} 1 : V _{IH}
	モード 3		12V*	1	
ユーザプログラムモード	モード 2		1	0	
	モード 3		1	1	

【注】 * 1. 12V 印加のタイミングについては、「19.3.1（4）ブートモード使用時の注意事項」の（6）～（8）を参照してください。

2. ブートモード時のモードコントロールレジスタ（MDCR）は、通常モードと同様にモード 2、3 の状態をモニタすることができます。

例

モード端子をモード 2 のブートモードに設定（MD₁ = 12V、MD₀ = 0V）

このとき MDCR のモードセレクトビットをリードするとモード 2 の状態（MDS1 = 1、MDS0 = 0）を読み出すことができます。

19.3.1 ブートモード

ブートモードを使用する場合には、あらかじめフラッシュメモリの書き込み消去用のユーザプログラムをホスト側のパソコンなどに準備しておく必要があります。また、使用する SCI は、チャンネル 1 の調歩同期式モードに設定されています。H8/3434F をブートモードに設定すると、リセット解除後、あらかじめ組み込まれているブートプログラムが起動され、ホストから送信されるデータの Low 期間をまず測定し、ビットレートレジスタ（BRR）の値を決定します。次に、H8/3434F 内蔵のシリアルコミュニケーションインタフェース（SCI）を用いて外部からのユーザプログラムの受信が可能となり、受信されたユーザプログラムは、RAM に書き込まれます。

書き込み終了後、内蔵 RAM の先頭アドレス（HFBE0）に分岐し、RAM 上に書き込まれたプログラムを実行し、フラッシュメモリの書き込み、消去が可能となります。ブートモードの実行手順を図 19.4 に示します。

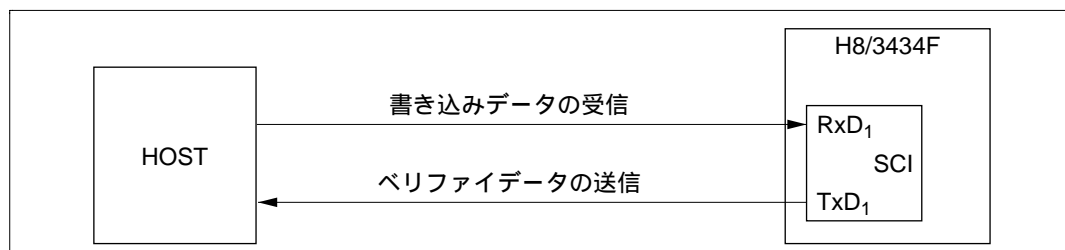


図 19.3 ブートモードシステム構成図

(1) ブートモードの実行手順

ブートモードの実行手順を以下に示します。



1. H8/3434Fをブートモードに設定し、リセットスタートします。
2. ホストは、所定のビットレート (2400、4800、9600) に設定し、転送するデータフォーマットは8ビットデータ、1ストップビットで、H'00のデータを連続的に送信してください。
3. H8/3434Fは、RxD₁端子のLowレベル期間を繰り返し測定し、ホストが転送する調歩同期式通信のビットレートを計算します。
4. H8/3434Fは、SCIのビットレートの調整が終了すると、調整終了の合図としてデータH'00を1バイト送信します。ホストは、H8/3434Fから送信される1バイトのビットレート調整終了の合図を受信し、この調整終了の合図が正常に受信されたことを確認し、H'55を1バイト送信してください。
5. H8/3434Fは、H'55を受信後、RAMのH'FB80 ~ H'FBDFとH'FC00 ~ H'FF2Fのエリアにブートプログラムの一部を転送します。
6. H8/3434Fは、RAMのブートプログラムエリア (H'FC00 ~ H'FF2F) に分岐した後、フラッシュメモリに書き込まれたデータが存在するか確認します。すでにデータが書き込まれている場合は、全ブロック消去します。
7. H8/3434FはH'AAを1バイト送信します。その後ホストは、H8/3434Fに転送するユーザプログラムのバイト数を送信します。バイト数は、上位バイト、下位バイトの順で2バイト送信してください。以降は、順次ユーザの設定したプログラムを送信してください。H8/3434Fは、受信したバイト数およびユーザプログラムをペリファイデータとして、1バイトごとに順次ホストへ送信 (エコーバック) します。
8. H8/3434Fは、受信したユーザプログラムを内蔵RAMのH'FBE0 ~ H'FF6Dのエリア (910バイト) に順次書き込みます。
9. H8/3434Fは、H'AAを1バイト送信後、内蔵RAMのH'FBE0に分岐し、H'FBE0 ~ H'FF6Dのエリアに書き込まれたユーザプログラムを実行します。

【注】*1 ユーザが使用できるRAMエリアは、910バイトです。転送するバイト数を910バイト以内に設定してください。また、転送バイト数は、必ず2バイト上位、下位の順に送信してください。転送バイト数の例：256バイト (H'0100) の場合 上位バイトH'01、下位バイトH'00

*2 ユーザプログラムのフラッシュメモリを制御する部分は、後述するフラッシュメモリの書き込み/消去のアルゴリズムに従ったプログラムに設定してください。

*3 メモリセルが正常に動作せず、消去ができなかった場合は、H8/3434Fは消去エラーとしてH'FFを1バイト送信し、消去動作とそれ以降の動作を停止します。

図 19.4 ブートモードの動作フローチャート

(2) SCI ビットレートの自動合わせ込み動作

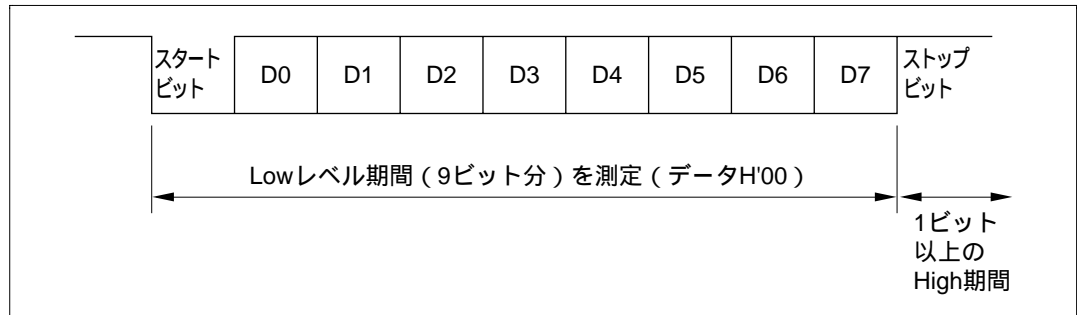


図 19.5 ホスト送信データの Low レベル期間の測定

ブートモードを起動すると、H8/3434F は、ホストより送信される調歩同期式 SCI 通信データの Low レベル期間を測定します (図 19.5)。このデータフォーマットは、8 ビットデータ 1 ストップビット、パリティなしのフォーマットです。H8/3434F は、測定した Low レベル期間 (9 ビット) よりホストの送信ビットレートを計算します。H8/3434F は、ビットレートの調整が終わると、ビット調整終了合図としてホストへ 1 バイトの H'00 データを送信します。ホストは、この調整終了合図を正常に受信したことを確認し、H8/3434F へ H'55 を 1 バイト送信してください。受信が正常に行われなない場合は、再度ブートモードでリセット起動し、Low 期間の測定を実行してください。ホストが送信するビットレート、および H8/3434F のシステムクロックの発振周波数によってホストと H8/3434F のビットレートに誤差が発生します。正常に SCI 動作を行うために、ホストの転送ビットレートを 2400、4800、9600bps^{*1} に設定してください。ホストの代表的な転送ビットレートと H8/3434F のビットレートの自動合わせ込みが可能なシステムクロックの発振周波数を表 19.8 に示します。このシステムクロックの発振周波数の範囲内でブートモードを実行してください。^{*2}

表 19.8 H8/3434F のビットレートの自動合わせ込みが可能なシステムクロックの
発振周波数

ホストのビットレート* ¹	H8/3434F のビットレートの自動合わせ込みが可能な システムクロックの発振周波数 (f _{osc})
9600bps	8MHz ~ 16MHz
4800bps	4MHz ~ 16MHz
2400bps	2MHz ~ 16MHz

【注】 *1 ホストのビットレートは 2400、4800、9600bps の設定のみで、それ以外の設定は使用
しないでください。

*2 H8/3434F は表 19.8 に示すビットレートとシステムクロックの発振周波数の組み合わせ
以外でも、自動合わせ込みを行う場合がありますが、ホストと H8/3434F とのビットレ
ートに誤差が生じ、その後の転送が正常に行われません。このためブートモードの実行
は表 19.8 に示す転送ビットレートとシステムクロックの発振周波数の組み合わせの範
囲内で必ず行ってください。

(3) ブートモード時の RAM エリアの分割

ブートモードでは、H'FB80 ~ H'FBDF の 96 バイトと H'FF6E ~ H'FF7F の 18 バイトは、図
19.6 に示すようにブートプログラムで使用するエリアとしてリザーブされています。ユー
ザのプログラムを転送するエリアは H'FBE0 ~ H'FF6D (910 バイト) です。ブートプログ
ラムのエリアは、RAM 内に転送したユーザプログラムの実行状態に遷移すると使用でき
ます。スタックエリアはユーザプログラム内で必要に応じて設定してください。

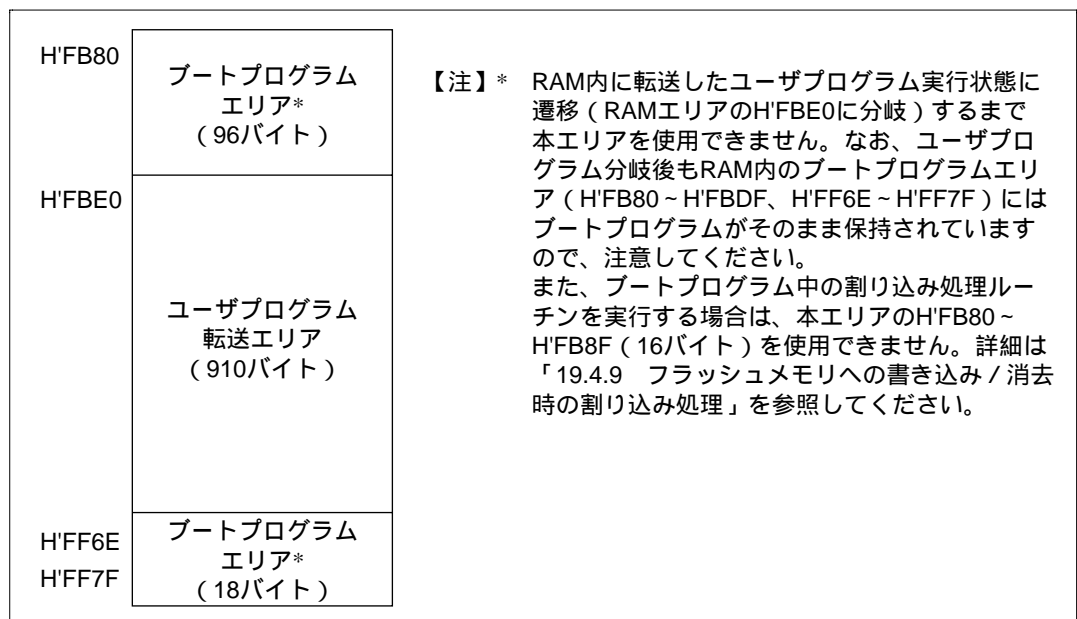


図 19.6 ブートモード時の RAM エリア

(4) ブートモード使用時の注意事項

- (1) H8/3434F は、ブートモードでリセット解除すると、SCI の RxD₁ 端子の Low レベル期間を測定します。RxD₁ 端子が High の状態でリセット解除してください。リセット解除後、RxD₁ 端子から入力される Low レベル期間を測定できるようになるまで、H8/3434F は約 100 ステート必要です。
- (2) ブートモードは、フラッシュメモリに書き込まれているデータがある場合 (全データが H'FF でないとき)、フラッシュメモリの全ブロックを消去します。本モードを実行する場合は、オンボード状態での初期の書き込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰などに使用してください。
- (3) フラッシュメモリのプログラム中、あるいは消去中に割り込みを使用することはできません。
- (4) RxD₁ 端子および TxD₁ 端子は、ボード上でプルアップして使用してください。
- (5) H8/3434F は、ユーザプログラム (RAM エリアの H'FBE0) に分岐するときに内蔵 SCI (チャンネル 1) の送受信動作を終了 (シリアルコントロールレジスタの SCR の RE = 0、TE = 0) しますが、ビットレートレジスタ BRR には、合わせ込んだビットレートの値を保持しています。
また、このときトランスミットデータ出力端子 TxD₁ は、High レベル出力状態 (ポート 8 データディレクションレジスタの P8₄DDR = 1、ポート 8 データレジスタの P8₄DR = 1) となっています。
さらにこのとき、CPU 内蔵の汎用レジスタの値は不定です。このためユーザプログラムに分岐した直後に汎用レジスタのイニシャライズを必ず行ってください。特にスタックポインタ (SP) はサブルーチンコール時などに、暗黙的に使用されますので、ユーザプログラムで使用するスタックエリアを必ず指定してください。
上記以外の内蔵レジスタについては初期値が変更されるものではありません。
- (6) ブートモードへの遷移は表 19.7 のモード設定条件に従って、MD₁ 端子と FV_{pp} 端子に 12V を印加後にリセットスタートすることにより可能です。このとき V_{pp} 電源投入に注意が必要です。

H8/3434F はリセット解除時 (Low レベル High レベルの立ち上がり) に MD₁ 端子と FV_{pp} 端子に 12V が印加されているかどうかを判定し、ブートモードの設定であることを検出するとその状態を内部で保持します。その際の印加電圧判定レベル (しきい値電圧) は約 V_{CC} + 2V ~ 11.4V の範囲になっているため、プログラム、イレースを実行

するのに十分な電圧 (11.4V ~ 12.6V) が印加されていなくてもブートモードに遷移します。したがって、ブートプログラム実行時は図 19.20 に示すように RAM エリアに分岐するまでに V_{pp} 電源を 11.4V ~ 12.6V の範囲内に安定させなければなりません。プログラム電圧 V_{pp} はブートモードへの遷移時 (リセット解除タイミング) は 12.6V を超えないように、またブートモード動作中は $12V \pm 0.6V$ の範囲を超えないようにしてください。これを超えるとブートモードは正しく実行されません。また、ブートプログラム実行中やフラッシュメモリへの書き込み、消去中に V_{pp} を解除 / 切断しないでください。*¹

ブートモードを解除するためには、リセット端子を Low レベルにしてから最低 10 システムクロック経過後、 MD_1 端子と FV_{pp} 端子への 12V 印加を解除し、リセット解除することにより可能です。

ただし、ブートモード動作中に外部端子の設定を変更しないでください。ブートモードの途中で MD_1 端子への 12V 印加を解除した場合は、 \overline{RES} 端子によるリセット入力が発生しなければマイコン内部のブートモード状態は保持されており、ブートモードが継続されます (ただし、ブートモードの途中で FV_{pp} 端子への 12V 印加を解除しないでください*¹)。

また、このブートモード状態でウォッチドッグタイマリセットが発生した場合、マイコン内部のモード状態は解除されず、内蔵のブートプログラムが再起動されます。このため、ブートモードから他のモードへ遷移する場合は、モード遷移する前にマイコン内部のブートモード状態を \overline{RES} 端子によるリセット入力によって解除する必要があります。

- (7) リセット中 (\overline{RES} 端子に Low レベルを入力している期間) に MD_1 端子の入力レベルを変化 (例えば 0V 5V 12V) させると、マイコンの動作モードが切り換わることによりアドレス兼用ポート、およびバス制御出力信号 (\overline{AS} 、 \overline{RD} 、 \overline{WR}) の状態が変化*² します。このため、これらの端子はリセット中に出力信号とならないような端子設定にするか、マイコン外部の信号と衝突しないように注意してください。

(8) FV_{PP} および MD_1 端子への 12V 印加は、オーバシュートのピークが最大定格の 13V を超えないようにしてください。

また、 FV_{PP} および MD_1 端子には必ずバイパスコンデンサを接続してください。

【注】 *1 V_{PP} の印加 / 解除 / 切断の注意については「19.7 フラッシュメモリへの書き込み / 消去時の注意」の (5) を参照してください。

*2 アドレス兼用ポートは、リセット中のモード端子の設定がモード 1 の状態になったときアドレスとして Low レベルを出力します。それ以外のモードではハイインピーダンス状態となります。またバス制御出力信号はリセット中のモード端子の設定がモード 1、2 の状態になったとき、High レベルを出力します。モード 3 ではハイインピーダンス状態となります。

19.3.2 ユーザプログラムモード

H8/3434F をユーザプログラムモードに設定すると、ユーザプログラムによるフラッシュメモリの消去、書き込みが可能になります。したがって、あらかじめ基板上に V_{PP} 供給手段、および書き換えデータ供給手段を設け、プログラムエリアの一部にオンボード書き換えプログラムを内蔵させておくことにより、内蔵フラッシュメモリのオンボード書き換えを行うことができます。

本モードの設定は、内蔵 ROM の有効なモード 2、3 に設定し、リセット中もしくは、リセットが確実に行われた後 (リセット解除後)、フラッシュメモリをアクセスしていない状態で、 FV_{PP} 端子に 12V 印加して行います。

このモードの動作では、フラッシュメモリ以外の周辺機能は、モード 2、3 と同じ動作をします。

ただし、 FV_{PP} 端子に 12V 印加中は、ハードウェアスタンバイモードを設定することはできません。

なお、書き込み、消去を行っている間、フラッシュメモリを読み出すことはできませんので、オンボード書き換えプログラムを外部メモリ上に置くか、またはフラッシュメモリ書き換えルーチンを RAM エリアに転送し、RAM エリア内でオンボード書き換えを実行してください。

(1) ユーザプログラムモード実行手順例*1

RAM 内で実行する場合のユーザプログラムモード実行手順を以下に示します。

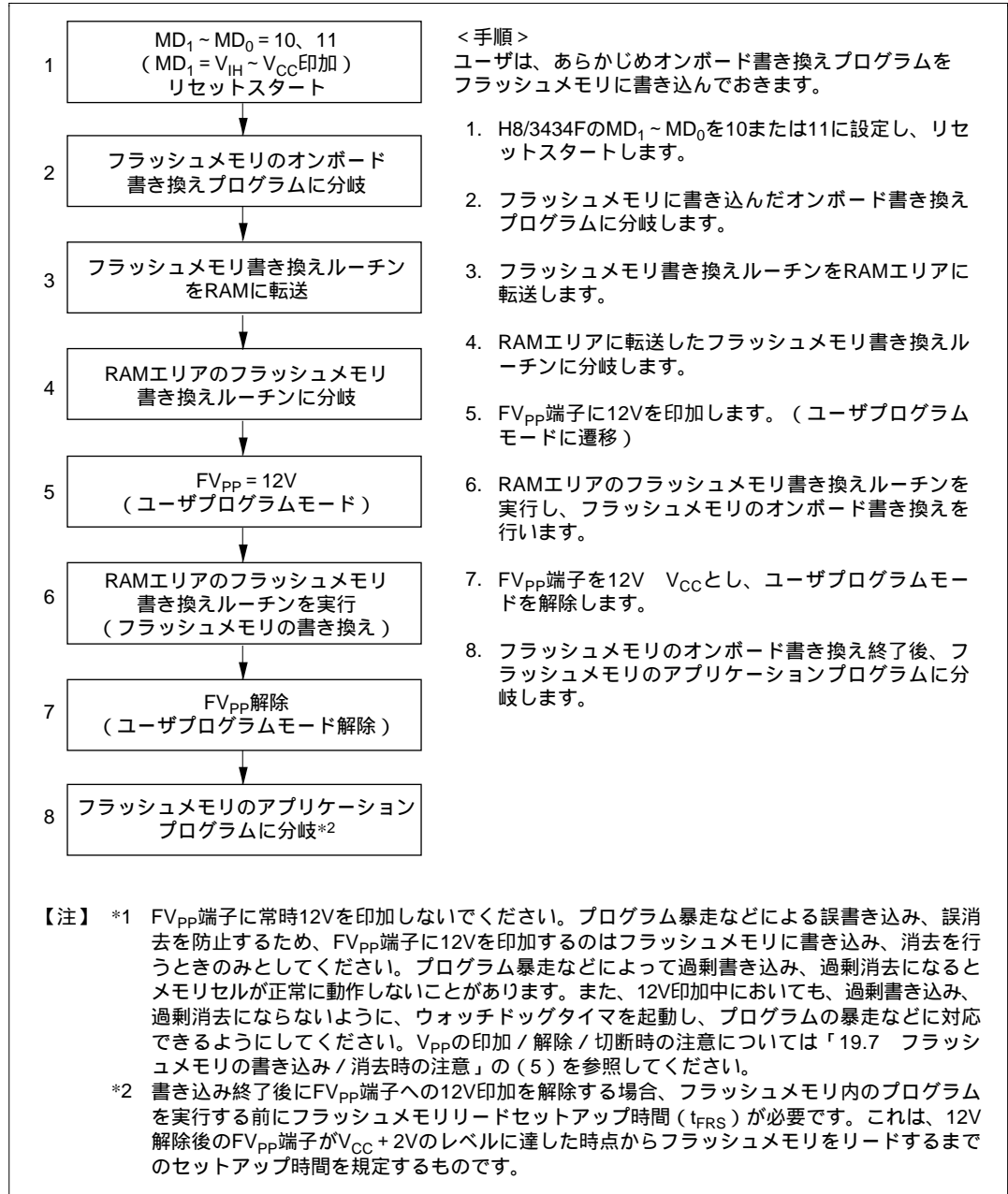


図 19.7 ユーザプログラムモード動作例

19.4 フラッシュメモリの書き込み / 消去

H8/3434F に内蔵するフラッシュメモリは、CPU を用いてソフトウェアで書き込み、消去を行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード、イレースモード、プログラムベリファイモード、イレースベリファイモード、プレライトベリファイモードがあります。フラッシュメモリコントロールレジスタ (FLMCR) の P ビット、E ビット、PV ビット、EV ビットのいずれかのビットをセットすることにより各動作モードに遷移することができます。

フラッシュメモリは、書き込み、あるいは消去を行っている間読み出すことはできません。フラッシュメモリの書き込み、消去を制御するプログラムは、内蔵 RAM あるいは外部メモリ上に置き、実行してください。以下に各動作モードの説明と、推奨する書き込みフロー、消去フローおよびプログラム例を示します。

書き込み、消去時の注意は「19.7 フラッシュメモリの書き込み / 消去時の注意」を参照してください。

19.4.1 プログラムモード

フラッシュメモリへのデータの書き込みは、図 19.8 に示す書き込みアルゴリズムに従って行ってください。この書き込みアルゴリズムは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく、書き込みを行うことができます。

データの書き込みは、フラッシュメモリの書き込むエリアを消去ブロック指定レジスタ 1、2 (EBR1、EBR2) で設定し、書き込むアドレスに RAM と同様にデータをライトします。フラッシュメモリは、プログラムアドレスと、プログラムデータをアドレスラッチ、データラッチに各々ラッチします。FLMCR の P ビットをセットし、動作モードをプログラムモードに設定します。P ビットをセットしている時間が書き込み時間になります。1 回の書き込み時間は、ソフトウェアタイマで約 10~20 μ s になるように設定してください。n の回数はトータル書き込み時間が 1ms を超えないように設定してください。また、プログラムの暴走などにより、過剰時間書き込みをするとデバイスにダメージを与えます。プログラムモードに設定する前に、あらかじめウォッチドッグタイマを設定し、過剰に書き込みを起こすことのないようにしてください。

19.4.2 プログラムベリファイモード

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正常に書き込まれているかを確認するモードです。

書き込み時間経過後、プログラムモードを解除 (P ビット=0) し、プログラムベリファイモード (PV ビット=1) に設定してください。プログラムベリファイモードは、ラッチしたアドレスのメモリセルにプログラムベリファイ電圧を印加します。この状態で、フラッシュメモリをリードするとラッチしたアドレスのデータが読み出されます。リード動作は、プログラムベリファイモードに設定後、4 μ s 以上の待機時間を置いて行ってください。書き込んだデータとベリファイデータを比較し、一致した場合、プログラムベリファイモードを解除し、次のアドレスの書き込みを行ってください。一致しなかった場合は、再度プログラムモードに設定し、同様にプログラム、プログラムベリファイシーケンスを繰り返します。ただし、同一ビットに対するプログラム、プログラムベリファイシーケンスの繰り返しは、50 回*を超えないでください。

【注】 * トータル書き込み時間が 1ms を超えないように回数を設定してください。

19.4.3 書き込みのフローチャートとプログラム例

(1) 1 バイト書き込みのフローチャート

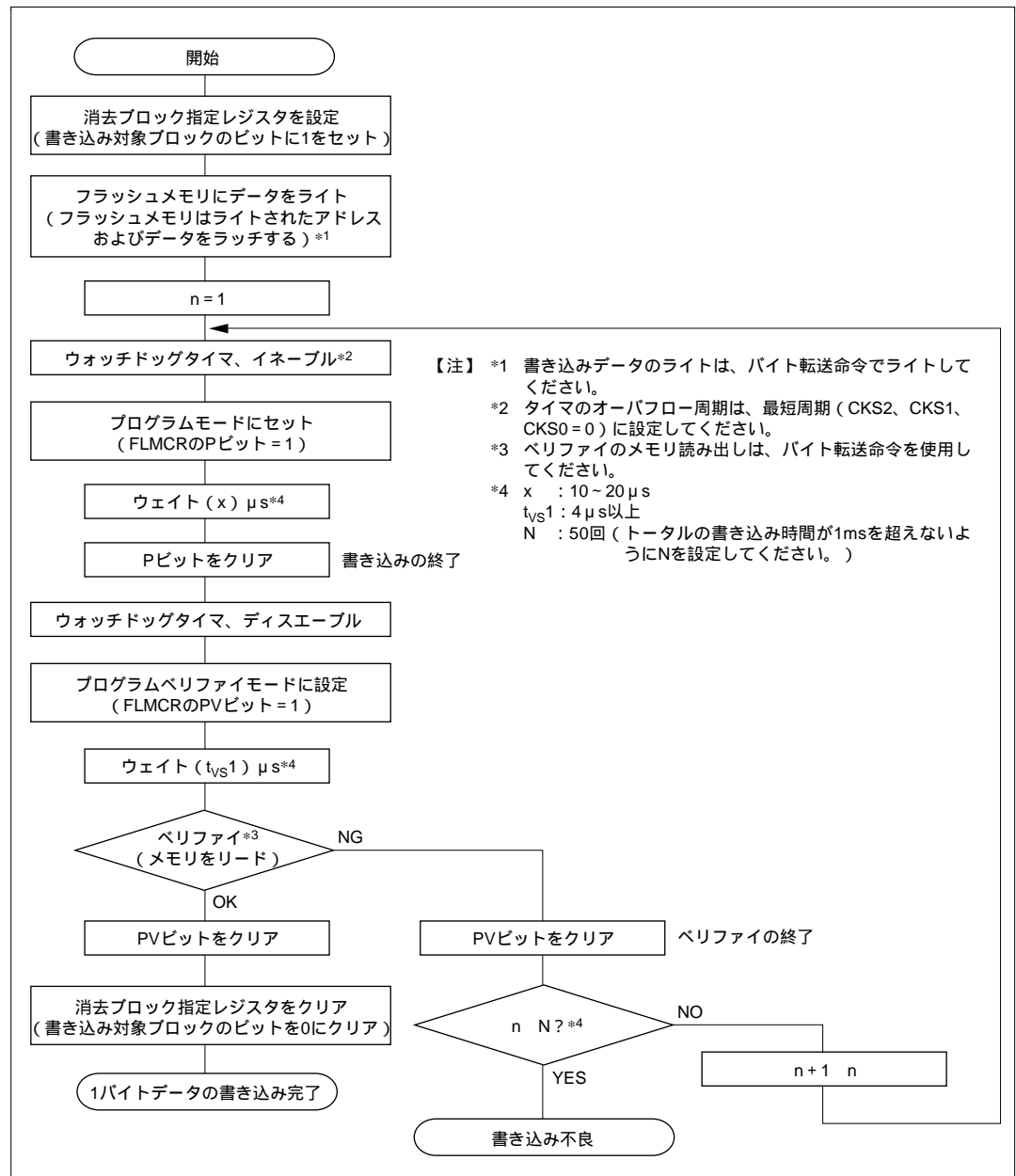


図 19.8 書き込みフローチャート

(2) 1 バイト書き込みのプログラム例

使用レジスタと使用方法

- R0H : イレースブロックの指定に用います。
 R1H : プログラムデータを格納します。
 R1L : リードデータを格納します。
 R3 : プログラムアドレスを格納します。アドレス指定は H'0000 ~ H'7FFF が有効です。
 R4 : プログラムおよびプログラムベリファイのループカウンタ値の設定に用います。
 また、レジスタの設定値を格納します。
 R5 : プログラムループカウンタ値の設定に用います。
 R6L : プログラムベリファイフェイルカウントに用います。

R3 (プログラムアドレス) および R1H (プログラムデータ) の値を設定することにより、任意のデータを任意のアドレスに書き込むことが可能です。

#a および #b の値は動作周波数によって設定が異なります。表 19.9 (1)、(2) に従い設定してください。

```

FLMCR: .EQU    H'FF80
EBR1:   .EQU    H'FF82
EBR2:   .EQU    H'FF83
TCSR:   .EQU    H'FFA8

        .ALIGN  2
PRGM:   MOV.B   #H'**,    R0H      ;
        MOV.B   R0H,     @EBR*:8  ;EBR*セット

        MOV.B   #H'00,   R6L      ;プログラムベリファイフェイルカウンタ
        MOV.W   #H'a,    R5       ;プログラムループカウンタの設定
        MOV.B   R1H,     @R3      ;ダミーライト
PRGMS:   INC     R6L           ;プログラムベリファイフェイルカウンタ + 1  R6L
        MOV.W   #H'A578,R4      ;
        MOV.W   R4,      @TCSR   ;WDT スタート
        MOV.W   R5,      R4      ;プログラムループカウンタの設定
        BSET    #0,      @FLMCR:8 ;P ビットセット
LOOP1:   SUBS    #1,      R4      ;
        MOV.W   R4,      R4      ;
        BNE     LOOP1      ;WAIT ループ
        BCLR   #0,      @FLMCR:8 ;P ビットクリア
        MOV.W   #H'A500,R4      ;
        MOV.W   R4,      @TCSR   ;WDT ストップ

```

```

MOV.B   #H'b,   R4H           ;プログラムベリファイルーブカウンタの設定
BSET    #2,     @FLMCR:8     ;PV ビットセット
LOOP2:  DEC     R4H           ;
      BNE     LOOP2         ;WAIT ループ
MOV.B   @R3,   R1L           ;プログラムデータリード
CMP.B   R1H,   R1L           ;プログラムデータとリードデータの比較
BEQ     PVOK     ;プログラムベリファイの判定
BCLR    #2,     @FLMCR:8     ;PV ビットクリア

      CMP.B   #H'32,   R6L     ;プログラムベリファイ 50 回実行?
      BEQ     NGEND     ;プログラムベリファイ 50 回実行ならば NGEND に分岐
      BRA     PRGMS     ;再書き込み処理

PVOK:   BCLR    #2,     @FLMCR:8 ;PV ビットクリア
MOV.B   #H'00,  R6L           ;
MOV.B   R6L,   @EBR*:8     ;EBR*クリア

```

1 バイトデータの書き込み完了

NGEND: 書き込み不良

19.4.4 イレースモード

フラッシュメモリの消去は、図 19.9 に示す消去フローチャートに従って行ってください。この消去フローであれば、デバイスへの電圧ストレス、あるいはプログラムデータの信頼性を損なうことなく、消去を行うことができます。

フラッシュメモリの消去では、消去を開始する前に消去するブロックの全メモリデータが書き込まれた状態 (全メモリデータ: H'00) にしてください。全メモリデータが書き込まれた状態でない場合は、後述するシーケンスに従いメモリデータに 0 を書き込んでください。フラッシュメモリの消去するエリアの指定は、消去ブロック指定レジスタ 1、(EBR1、EBR2) で設定します。FLMCR の E ビットをセットし、動作モードをイレースモードに設定します。E ビットをセットしている時間が消去時間になります。消去は、過剰消去にならないよう、1 回の消去時間をソフトウェアタイマで 10ms に分割し、その合計が 30s を超えないように最大 3000 回繰り返し行ってください。プログラムの暴走等により、消去し過ぎるとしきい値電圧が負になりメモリセルが動作しなくなりますので、イレースモードに設定する前に、あらかじめウォッチドッグタイマを設定し、過剰消去を起こすことのないようにしてください。

19.4.5 イレースベリファイモード

イレースベリファイモードは、消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。消去時間経過後、イレースモードを解除 (E ビット=0) し、イレースベリファイモード (EV ビット=1) に設定してください。イレースベリファイモードは、リードする前にリードするアドレスにデータ H'FF をダミーライトしてください。このダミーライトにより、ラッチしたアドレスのメモリセルにイレースベリファイ電圧が印加されます。この状態でフラッシュメモリをリードするとラッチしたアドレスのデータが読み出されます。リード動作は、ダミーライト後、2 μ s 以上の待機時間を経過した後行ってください。また、最初のダミーライトはイレースベリファイモードに設定後、4 μ s 以上の待機時間を経過した後行ってください。読み出したデータが消去されていた場合、次のアドレスのイレースベリファイ (ダミーライトし、2 μ s 以上の待機時間後、リード) を行います。読み出したデータが未消去の場合は、再度イレースモードに設定し、同様にイレース、イレースベリファイシーケンスを最終アドレスまで繰り返します。ただし、このイレース、イレースベリファイシーケンスの繰り返しは、3000 回を超えない範囲で全メモリデータが 1 になるまで行ってください。

19.4.6 消去のフローチャートとプログラム例

(1) 1 ブロック消去のフローチャート

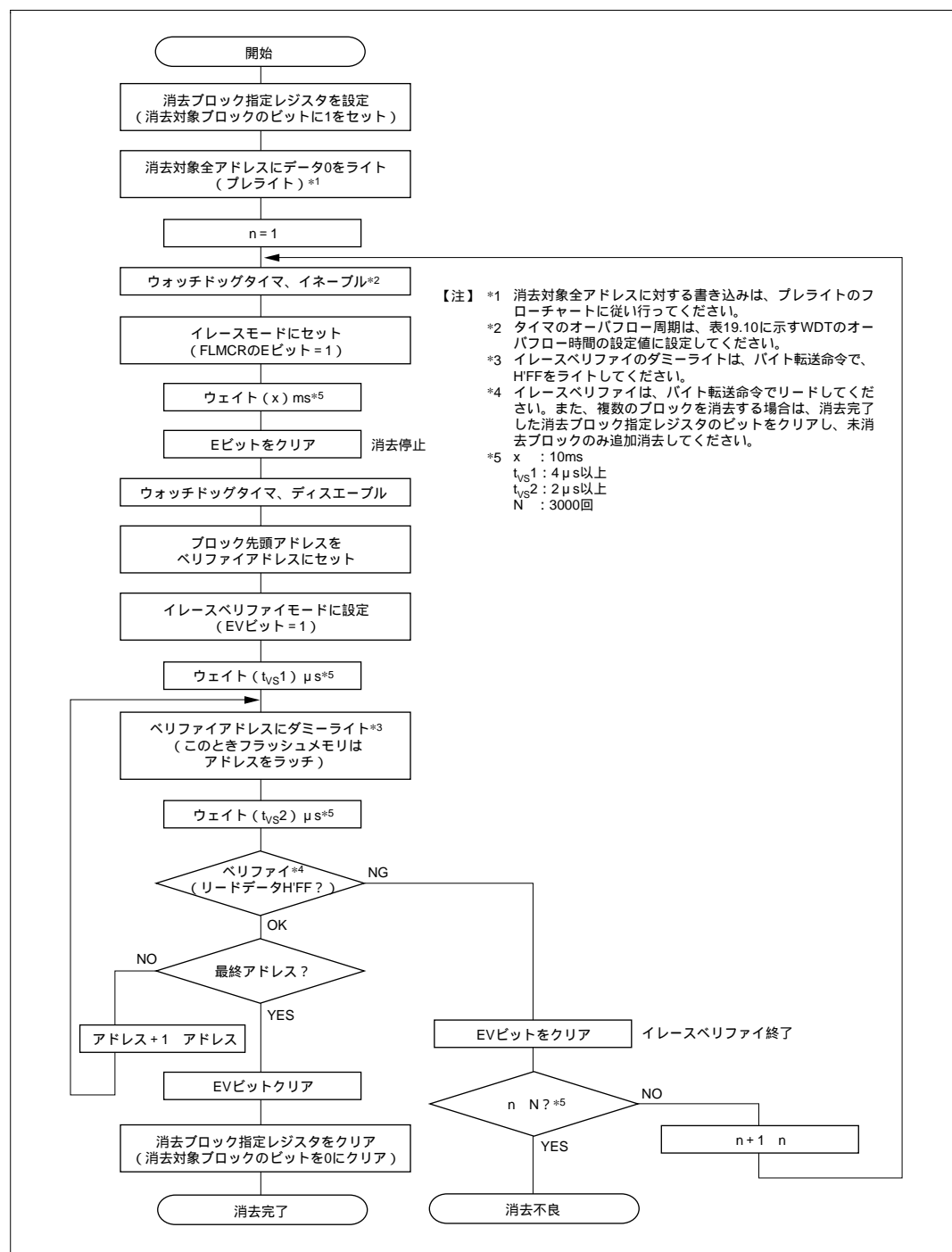


図 19.9 消去フローチャート

(2) プレライトのフローチャート

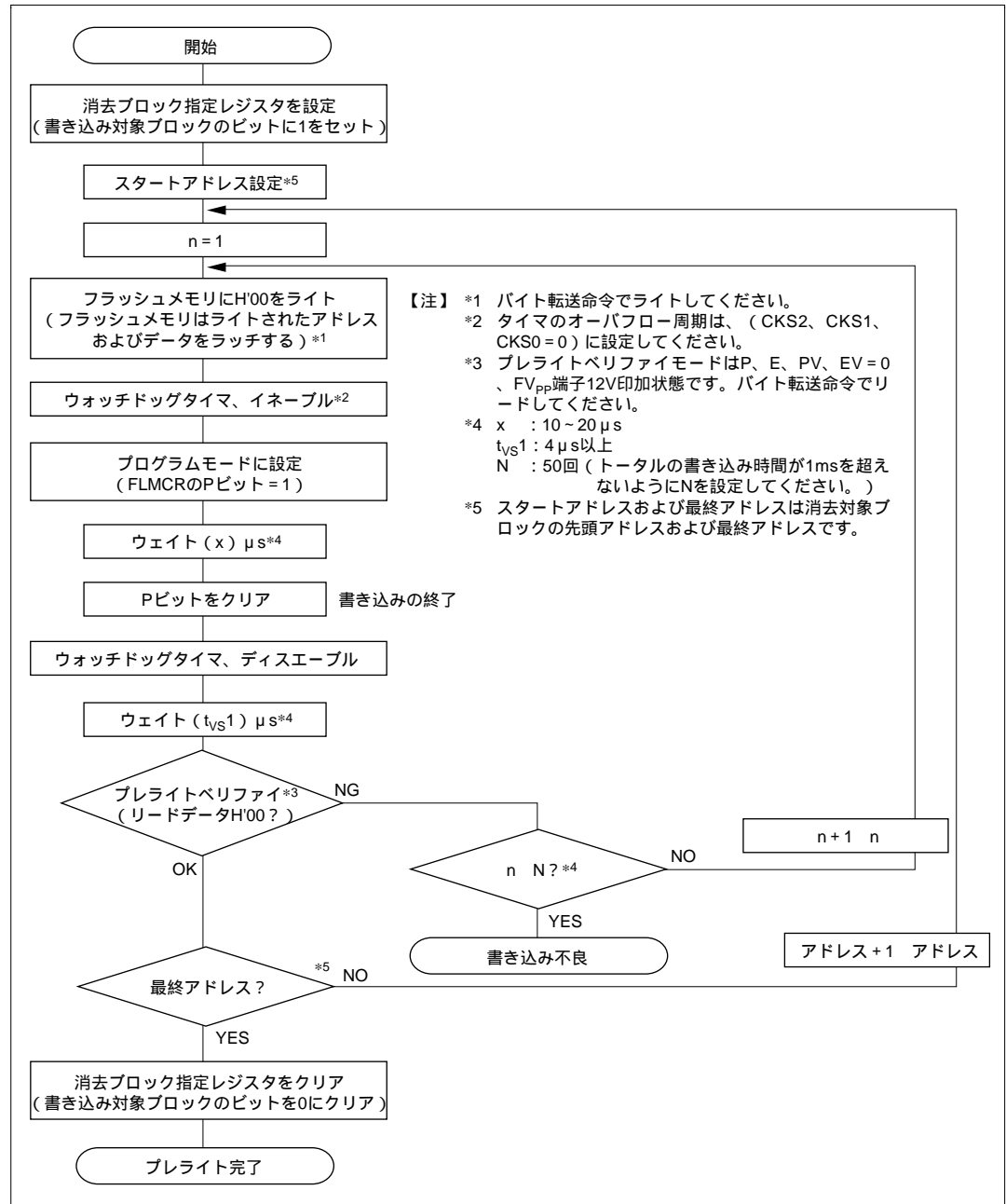


図 19.10 プレライトフローチャート

(3) 1 ブロック消去のプログラム例

使用レジスタと使用方法

- R0 : イレースブロックの指定に用います。
 また、プレライトおよびイレースベリファイに用いるアドレスを格納します。
- R1H : リードデータを格納します。また、ダミーライト時に用います。
- R2 : 消去対象ブロックの最終アドレスを格納します。
- R3 : プレライトおよびイレースベリファイに用いるアドレスを格納します。
- R4 : プレライト、プレライトベリファイ、イレースおよびイレースベリファイのループカウンタ値の設定に用います。また、レジスタの設定値を格納します。
- R5 : プレライトおよびイレースループカウンタ値の設定に用います。
- R6L : プレライトベリファイおよびイレースベリファイフェイルカウントに用います。

プログラム中の#a、#b、#c、#d、#e の値は動作周波数によって設定が異なります。表 19.9(1)、(2)および表 19.10 に従い設定してください。消去ブロック指定レジスタ(EBR1、EBR2)の設定は「19.2 フラッシュメモリ各レジスタの説明」の 19.2.2、19.2.3 に従い設定してください。#BLKSTR、#BLKEND は、設定した消去ブロック指定レジスタに対応する先頭アドレスおよび最終アドレスを、図 19.2 に従い設定してください。

```
FLMCR: .EQU H'FF80
EBR1: .EQU H'FF82
EBR2: .EQU H'FF83
TCSR: .EQU H'FFA8
```

```
.ALIGN 2
MOV.B #H'**, R0H ;
MOV.B R0H, @EBR*:8 ; EBR*セット
```

; #BLKSTR は消去するブロックの先頭アドレスを設定してください。

; #BLKEND は消去するブロックの最終アドレスを設定してください。

```
MOV.W #BLKSTR, R0 ; 消去対象ブロックの先頭アドレス
MOV.W #BLKEND, R2 ; 消去対象ブロックの最終アドレス
ADDS #1, R2 ; 消去対象ブロック最終アドレス+1 R2
```

; プレライト実行

```
MOV.W R0, R3 ; 消去対象ブロックの先頭アドレス
PREWRT: MOV.B #H'00, R6L ; プレライトベリファイフェイルカウンタ
MOV.W #H'a, R5 ; プレライトループカウンタの設定
PREWRS: INC R6L ; プレライトベリファイフェイルカウンタ+1 R6L
```

19. ROM (二電源方式フラッシュメモリ 32k バイト版)

```

MOV.B #H'00, R1H ;
MOV.B R1H, @R3 ; H'00 をライト
MOV.W #H'A578, R4 ;
MOV.W R4, @TCSR ; WDT スタート
MOV.W R5, R4 ; プレライトループカウンタの設定
BSET #0, @FLMCR:8 ; P ビットセット
LOOPR1: SUBS #1, R4 ;
MOV.W R4, R4 ;
BNE LOOPR1 ; WAIT ループ
BCLR #0, @FLMCR:8 ; P ビットクリア
MOV.W #H'A500, R4 ;
MOV.W R4, @TCSR ; WDT ストップ

MOV.B #H'c, R4H ; プレライトベリファイループカウンタの設定
LOOPR2: DEC R4H ;
BNE LOOPR2 ; WAIT ループ
MOV.B @R3, R1H ; リードデータ = H'00 ?
BEQ PWVFOK ; リードデータ = H'00 ならば PWVFOK に分岐
CMP.B #H'32, R6L ; プレライトベリファイ 50 回実行 ?
BEQ ABEND1 ; プレライトベリファイ 50 回実行ならば ABEND1 に分岐
BRA PREWRS ; 再プレライト処理

ABEND1: 書き込み不良

PWVFOK: ADDS #1, R3 ; アドレス +1 R3
CMP.W R2, R3 ; 最終アドレス ?
BNE PREWRT ; 最終アドレスでなければ次のアドレスのプレライト

; イレース実行
ERASES: MOV.W #H'0000, R6 ; イレースベリファイフェイルカウンタ
MOV.W #H'd, R5 ; イレースループカウンタの設定
ERASE: ADDS #1, R6 ; イレースベリファイフェイルカウンタ +1 R6
MOV.W #H'e, R4 ;
MOV.W R4, @TCSR ; WDT スタート
MOV.W R5, R4 ; イレースループカウンタの設定
BSET #1, @FLMCR:8 ; E ビットセット
LOOPE: NOP
NOP
NOP
NOP
SUBS #1, R4 ;
MOV.W R4, R4 ;
BNE LOOPE ; WAIT ループ
BCLR #1, @FLMCR:8 ; E ビットクリア
MOV.W #H'A500, R4 ;
MOV.W R4, @TCSR ; WDT ストップ

```

; イレースベリファイ実行

```

MOV.W R0, R3 ; 消去対象ブロックの先頭アドレス
MOV.B #H'b, R4H ; イレースベリファイループカウンタの設定
BSET #3, @FLMCR:8 ; EVビットセット
LOOPEV: DEC R4H ;
BNE LOOPEV ; WAITループ
EVR2: MOV.B #H'FF, R1H ;
MOV.B R1H, @R3 ; ダミーライト
MOV.B #H'c, R4H ; イレースベリファイループカウンタの設定
LOOPDW: DEC R4H ;
BNE LOOPDW ; WAITループ
MOV.B @R3+, R1H ; リード
CMP.B #H'FF, R1H ; リードデータ = H'FF?
BNE RERASE ; リードデータ H'FF ならば RERASE に分岐
CMP.W R2, R3 ; ブロック最終アドレス?
BNE EVR2 ;
BRA OKEND ;

RERASE: BCLR #3, @FLMCR:8 ; EVビットクリア
SUBS #1, R3 ; イレースベリファイアドレス - 1 R3

BRER: MOV.W #H'0BB8, R4 ;
CMP.W R4, R6 ; イレースベリファイ 3000 回実行?
BNE ERASE ; イレースベリファイ 3000 回実行してなければ再消去
BRA ABEND2 ; イレースベリファイ 3000 回実行ならば ABEND2 に分岐

OKEND: BCLR #3, @FLMCR:8 ; EVビットクリア
MOV.B #H'00, R6L ;
MOV.B R6L, @EBR*:8 ; EBR*クリア

```

1 ブロック消去完了

ABEND2: 消去不良

(4) 複数ブロック消去のフローチャート

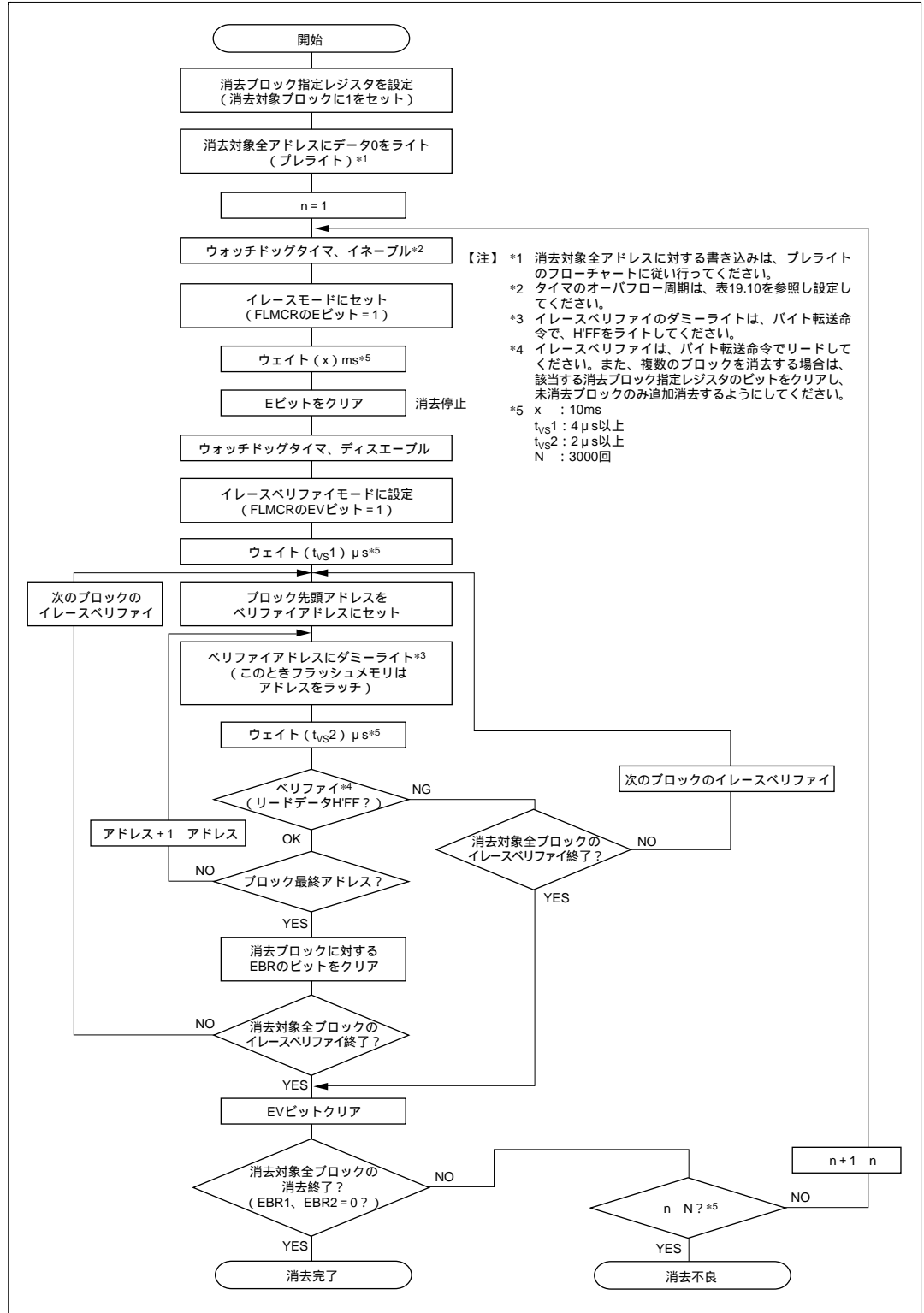


図 19.11 複数ブロック消去フローチャート

(5) 複数ブロック消去のプログラム例

使用レジスタと使用方法

- R0 : イレースブロックの指定に用います。(後述の説明に従い設定してください。)
 また、プレライトおよびイレースベリファイに用いるアドレスを格納します。
- R1H : R0 の 8 ビットから 11 ビットをテストするのに使用します。
 リードデータを格納し、ダミーライト時に用います。
- R1L : R0 の 0 ビットから 11 ビットをテストするのに使用します。
- R2 : プレライトおよびイレースベリファイに用いるアドレス格納番地を指定します。
- R3 : プレライトおよびイレースベリファイに用いるアドレスを格納します。
- R4 : 消去対象ブロックの最終アドレスを格納します。
- R5 : プレライトおよびイレースループカウンタ値の設定に用います。
- R6L : プレライトベリファイおよびイレースベリファイフェイルカウントに用います。

R0 に設定する値により、任意のブロックを消去することが可能です。R0 の設定はワード転送命令でライトしてください。

R0 の各ビットと、消去するブロックの対応とその具体例を以下に示します。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	LB3	LB2	LB1	LB0	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0
	EBR1に対応します								EBR2に対応します							

【注】ビット15～12には0を設定してください。

【具体例】LB2、SB7、SB0を消去する場合

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	LB3	LB2	LB1	LB0	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0
	EBR1に対応します								EBR2に対応します							
設定値	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0	1

R0 の設定は次のようになります。

```
MOV.W    #H'0481, R0
MOV.W    R0,      @EBR1
```

プログラム中の#a、#b、#c、#d、#e の値は動作周波数によって設定が異なります。表 19.9 (1)、(2) および表 19.10 に従い設定してください。

- 【注】 1. 本プログラム例ではスタックポインタ (SP) を H'FF80 番地に設定しています。スタック領域として内蔵 RAM の H'FF7E 番地と H'FF7F 番地を使用しています。したがって、本プログラム例を実行する場合、H'FF7E 番地と H'FF7F 番地は使用しないでください。また、内蔵 RAM をディスエーブルしないでください。
2. 本プログラム例は、あらかじめ ROM 領域 (外部空間含む) に書かれた本プログラムを、一度 RAM 領域に転送し、転送先の RAM 領域内で実行されることを前提としています。プログラム例中の#RAMSTR は転送先である RAM 領域の先頭アドレスをいれてください。また、#RAMSTR は必ず偶数に設定してください。
3. 本プログラム例を、内蔵 ROM 領域または外部空間で実行する場合、#RAMSTR は#START に設定してください。

```
FLMCR: .EQU H'FF80
EBR1: .EQU H'FF82
EBR2: .EQU H'FF83
TCSR: .EQU H'FFA8
STACK: .EQU H'FF80
```

```
.ALIGN 2
```

```
START: MOV.W #STACK, SP ; スタックポインタの設定
; 前ページの説明に従い R0 の値を設定してください。本プログラムは全ブロック消去
; の例となっています。
MOV.W #H'0FFF, R0 ; 消去するブロックの選択 (R0:EBR1/EBR2)
MOV.W R0, @EBR1 ; EBR1 / EBR2 セット
```

; #RAMSTR はプログラム転送先の先頭アドレス (RAM) を入れてください。

; #RAMSTR は偶数に設定してください。

```
MOV.W #RAMSTR, R2 ; 転送先の先頭アドレス (RAM)
MOV.W #ERVADR, R3 ;
ADD.W R3, R2 ; #RAMSTR + #ERVADR R2
MOV.W #START, R3 ;
SUB.W R3, R2 ; RAM 内で用いるデータ領域のアドレス

MOV.B #H'00, R1L ; R0 の R1L ビットをテストするのに用いる
PRETST: CMP.B #H'0C, R1L ; R1L = H'0C ?
BEQ ERASES ; R0 の全ビットチェック終了なら ERASES に分岐
CMP.B #H'08, R1L ;
BMI EBR2PW ; R1L = 8 なら EBR1、R1L < 8 なら EBR2 のテスト
MOV.B R1L, R1H ;
SUBX #H'08, R1H ; R1L - 8 R1H
BTST R1H, R0H ; EBR1 (R0H) の R1H ビットをテスト
BNE PREWRT ; EBR1 (R0H) の R1H ビットが 1 ならば PREWRT に分岐
```

```

        BRA    PWADD1          ; EBR1 (R0H) の R1H ビットが 0 ならば PWADD1 に分岐
EBR2PW: BTST   R1L,          R0L ; EBR2 (R0L) の R1L ビットをテスト
        BNE    PREWRT          ; EBR2 (R0L) の R1L ビットが 1 ならば PREWRT に分岐
PWADD1: INC    R1L              ; R1L+1 R1L
        MOV.W  @R2+,          R3 ; R2 のダミーインクリメント
        BRA    PRETST          ;

```

; プレライト実行

```

PREWRT: MOV.W  @R2+,          R3 ; プレライトスタートアドレス
PREW:   MOV.B  #H'00,         R6L ; プレライトベリファイフェイルカウンタ
        MOV.W  #H'a,          R5 ; プレライトループカウンタの設定
PREWRS: INC    R6L              ; プレライトベリファイフェイルカウンタ + 1 R6L
        MOV.B  #H'00          R1H ;
        MOV.B  R1H,           @R3 ; H'00 をライト
        MOV.W  #H'A578,       R4 ;
        MOV.W  R4,             @TCSR ; WDT スタート
        MOV.W  R5,             R4 ; プレライトループカウンタの設定
        BSET   #0,             @FLMCR:8 ; P ビットセット
LOOPR1: SUBS   #1,             R4 ;
        MOV.W  R4,             R4 ;
        BNE    LOOPR1          ; WAIT ループ
        BCLR   #0,             @FLMCR:8 ; P ビットクリア
        MOV.W  #H'A500,       R4 ;
        MOV.W  R4,             @TCSR ; WDT ストップ

        MOV.B  #H'c,          R4H ; プレライトベリファイループカウンタの設定
LOOPR2: DEC   R4H                ;
        BNE    LOOPR2          ; WAIT ループ
        MOV.B  @R3,           R1H ; リードデータ = H'00 ?
        BEQ    PWVFOK          ; リードデータ = H'00 ならば PWVFOK に分岐
        CMP.B  #H'32,         R6L ; プレライトベリファイ 50 回実行 ?
        BEQ    ABEND1          ; プレライトベリファイ 50 回実行ならば ABEND1 に分岐
        BRA    PREWRS          ; 再プレライト処理

```

ABEND1: 書き込み不良

```

PWVFOK: ADDS   #1,             R3 ; アドレス + 1 R3
        MOV.W  @R2,           R4 ; 次ブロック先頭アドレス
        CMP.W  R4,             R3 ; 最終アドレス ?
        BNE    PREW            ; 最終アドレスでなければ次アドレスのプレライト
PWADD2: INC   R1L                ; R0 の R1L + 1 ビットをテストするのに用いる
        BRA    PRETST          ; PRETST に分岐

```

; イレース実行

```

ERASES: MOV.W  #H'0000,       R6 ; イレースベリファイフェイルカウンタ
        MOV.W  #H'd,          R5 ; イレースループカウンタの設定
ERASE:  ADDS   #1,             R6 ; イレースベリファイフェイルカウンタ + 1 R6

```

19. ROM (二電源方式フラッシュメモリ 32k バイト版)

```

MOV.W #H'e, R4 ;
MOV.W R4, @TCSR ; WDT スタート
MOV.W R5, R4 ; イレースループカウンタの設定
BSET #1, @FLMCR:8 ; E ビットセット
LOOPE: NOP
NOP
NOP
NOP
SUBS #1, R4 ;
MOV.W R4, R4 ;
BNE LOOPE ; WAIT ループ
BCLR #1, @FLMCR:8 ; E ビットクリア
MOV.W #H'A500, R4 ;
MOV.W R4, @TCSR ; WDT ストップ

; イレースベリファイ実行
EVR: MOV.W #RAMSTR, R2 ; 転送先の先頭アドレス (RAM)
MOV.W #ERVADR, R3 ;
ADD.W R3, R2 ; #RAMSTR + #ERVADR R2
MOV.W #START, R3 ;
SUB.W R3, R2 ; RAM 内で用いるデータ領域のアドレス

MOV.B #H'00, R1L ; R0 の R1L ビットをテストするのに用いる
MOV.B #H'b, R4H ; イレースベリファイループカウンタの設定
BSET #3, @FLMCR:8 ; EV ビットセット
LOOPEV: DEC R4H ;
BNE LOOPEV ; WAIT ループ
EBRTST: CMP.B #H'0C, R1L ; R1L = H'0C ?
BEQ HANTEI ; R0 の全ビットチェック終了なら HANTEI に分岐
CMP.B #H'08, R1L ;
BMI EBR2EV ; R1L > 8 なら EBR1、R1L < 8 なら EBR2 のテスト
MOV.B R1L, R1H ;
SUBX #H'08, R1H ; R1L - 8 R1H
BTST R1H, R0H ; EBR1 (R0H) の R1H ビットをテスト
BNE ERSEVF ; EBR1 (R0H) の R1H ビットが 1 ならば ERSEVF に分岐
BRA ADD01 ; EBR1 (R0H) の R1H ビットが 0 ならば ADD01 に分岐
EBR2EV: BTST R1L, R0L ; EBR2 (R0L) の R1L ビットをテスト
BNE ERSEVF ; EBR2 (R0L) の R1L ビットが 1 ならば ERSEVF に分岐
ADD01: INC R1L ; R1L + 1 R1L
MOV.W @R2+, R3 ; R2 のダミーインクリメント
BRA EBRTST ;

ERASE1: BRA ERASE ; ERASE1 経由で ERASE へ分岐

ERSEVF: MOV.W @R2+, R3 ; イレースベリファイするブロック先頭アドレス
EVR2: MOV.B #H'FF, R1H ;
MOV.B R1H, @R3 ; ダミーライト
MOV.B #H'c, R4H ; イレースベリファイループカウンタの設定

```



```

LOOPEP: DEC    R4H                ;
        BNE    LOOPEP            ; WAIT ループ
        MOV.B  @R3+, R1H        ; リード
        CMP.B  #H'FF, R1H      ; リードデータ = H'FF?
        BNE    BLKAD            ; リードデータ H'FF ならば BLKAD に分岐
        MOV.W  @R2, R4         ; 次ブロック先頭アドレス
        CMP.W  R4, R3          ; ブロック最終アドレス?
        BNE    EVR2            ;

        CMP.B  #H'08, R1L      ;
        BMI    SBCLR            ; R1L 8 なら EBR1、R1L < 8 なら EBR2 のテスト
        MOV.B  R1L, R1H        ;
        SUBX   #H'08, R1H      ; R1L - 8  R1H
        BCLR   R1H, R0H        ; EBR1 (R0H) の R1H ビットのクリア
        BRA    BLKAD            ;
SBCLR:  BCLR   R1L, R0L        ; EBR2 (R0L) の R1L ビットのクリア
BLKAD:  INC    R1L              ; R1L + 1  R1L
        BRA    EBRTST          ;

HANTEI: BCLR   #3, @FLMCR:8 ; EV ビットクリア
        MOV.W  R0, @EBR1      ;
        BEQ    EOWARI          ; EBR1/EBR2 が全て 0 ならば消去正常終了

BRER:   MOV.W  #H'0BB8, R4     ;
        CMP.W  R4, R6         ; イレースベリファイ 3000 回実行?
        BNE    ERASE1         ; イレースベリファイ 3000 回実行してなければ再消去
        BRA    ABEND2         ; イレースベリファイ 3000 回実行ならば ABEND2 に分岐

```

;----- < イレースベリファイ時のブロックアドレステーブル > -----

```

        .ALIGN      2
ERVADR: .DATA.W    H'0000    ; SB0
        .DATA.W    H'0080    ; SB1
        .DATA.W    H'0100    ; SB2
        .DATA.W    H'0180    ; SB3
        .DATA.W    H'0200    ; SB4
        .DATA.W    H'0400    ; SB5
        .DATA.W    H'0800    ; SB6
        .DATA.W    H'0C00    ; SB7
        .DATA.W    H'1000    ; LB0
        .DATA.W    H'2000    ; LB1
        .DATA.W    H'4000    ; LB2
        .DATA.W    H'6000    ; LB3
        .DATA.W    H'8000    ; FLASH END

```

EOWARI: 消去完了

ABEND2: 消去不良

(6) プログラム中のループカウンタ値および WDT オーバフロー時間の設定

プログラム例中の#a、#b、#c、#d、#eは動作周波数によって設定が変わります。代表的な動作周波数に対するループカウンタの設定例を表 19.9(1)、(2)に示します。ただし、#eに関しては表 19.10のように設定をしてください。

ソフトウェアループを使用しているため、誤差を含んでおり計算値と実時間が一致しない場合があります。したがって、書き込み時間は合計で 1ms、消去時間は合計で 30s を超えないように設定しています。

プログラム例中の書き込み最大回数は N = 50 に設定してあります。

プログラム例中の#a、#b、#c、#d を表 19.9(1)、(2)に従い設定することにより、フローチャートに従った書き込みおよび消去が実現されます。#eに関しては表 19.10に従って設定してください。

本プログラム例ではウェイトステートの挿入を禁止しています。ウェイトステートを使用する場合は、本プログラムが終了後に設定してください。

ウォッチドッグタイマ(WDT)のオーバフロー時間の設定値は、WDT スタートからストップまでの間の書き込み時間、消去時間を含んだ命令数で計算されています。このため、このプログラム例中の WDT スタートからストップまでの間にさらに命令を追加しないでください。

表 19.9(1) プログラム例が内蔵メモリ(RAM)で実行される場合の、代表的な動作周波数に対する#a、#b、#c、#dの設定値

変数の意味		設定時間	動作周波数			
			f = 16MHz	f = 10MHz	f = 8MHz	f = 2MHz
			カウンタ設定値	カウンタ設定値	カウンタ設定値	カウンタ設定値
a(f)	プログラム時間	20 μs	H'0028	H'0019	H'0014	H'0005
b(f)	tv _{s1}	4 μs	H'0B	H'07	H'06	H'02
c(f)	tv _{s2}	2 μs	H'06	H'04	H'03	H'01
d(f)	消去時間	10ms	H'2710	H'186A	H'1388	H'04E2

表 19.9 (2) プログラム例が外部デバイスで実行される場合の、代表的な動作周波数に対する#a、#b、#c、#dの設定値

変数の意味		設定時間	動作周波数			
			f = 16MHz	f = 10MHz	f = 8MHz	f = 2MHz
			カウンタ設定値	カウンタ設定値	カウンタ設定値	カウンタ設定値
a (f)	プログラム時間	20 μ s	H'000D	H'0008	H'0006	H'0001
b (f)	tv _{s1}	4 μ s	H'04	H'03	H'02	H'01
c (f)	tv _{s2}	2 μ s	H'02	H'02	H'01	H'01
d (f)	消去時間	10ms	H'0D05	H'0823	H'0682	H'01A0

計算式

表 19.9 (1)、(2) 以外の動作周波数を用いる場合は、以下の計算式に従い算出してください。計算は動作周波数 f = 10MHz を基準とします。

a (f) および d (f) はそれぞれ 20 μ s 以下、10ms 以下になるよう、10進で計算後、小数点第一位を切り捨ててから 16進に変換してください。

b (f) および c (f) はそれぞれ 4 μ s 以上、2 μ s 以上になるよう、10進で計算後、小数点第一位を切り上げてから 16進に変換してください。

$$a(f) \sim d(f) = \frac{\text{動作周波数 } f \text{ [MHz]}}{10} \times a(f=10) \sim d(f=10)$$

計算例

プログラム例を内蔵メモリ (RAM)、動作周波数 12MHz で実行する場合の計算例

$$a(f) = \frac{12}{10} \times 25 = 30 \quad 30 = \text{H}'001\text{E}$$

$$b(f) = \frac{12}{10} \times 7 = 8.4 \quad 9 = \text{H}'09$$

$$c(f) = \frac{12}{10} \times 4 = 4.8 \quad 5 = \text{H}'05$$

$$d(f) = \frac{12}{10} \times 6250 = 7500 \quad 7500 = \text{H}'1\text{D}4\text{C}$$

表 19.10 WDT オーバフロー時間の設定 (動作周波数による#eの設定値)

動作周波数 [MHz]	変数
	e (f)
10MHz 以上 ~ 16MHz 以下	H'A57F
2MHz 以上 ~ 10MHz 未満	H'A57E

19.4.7 プレライトベリファイモード

プレライトベリファイモードは、消去前にしきい値電圧を揃えるため、全ビットの書き込みに使用するベリファイモードです。

図 19.10 に示すプレライトのアルゴリズムに従って H'00 を書き込み、フラッシュメモリの全データを H'00 にしてください。また、RAM によるフラッシュメモリのエミュレーションを行う (RAM エリアをプレライトする) 場合も、H'00 をライトしてください (エミュレータ等を使用してフラッシュメモリの消去を RAM によってエミュレートする場合も同様です)。所定の書き込み時間経過後、プログラムモードを解除 (P ビット=0) し、プレライトベリファイモード (P、E、PV、EV ビット=0) に設定してください。プレライトベリファイモードは、リードしたアドレスのメモリセルにプレライトベリファイ電圧を印加します。この状態でフラッシュメモリをリードすると、リードしたアドレスのデータが読み出されます。リード動作は、プレライトベリファイモードに設定後 4 μ s 以上の待機時間を置いて行ってください。

【注】 プレライトのプログラム例は、消去フローのプログラム例のプレライトサブルーチンを参照してください。

19.4.8 プロテクトモード

フラッシュメモリに対する書き込み/消去プロテクトはソフトウェアプロテクトとハードウェアプロテクトの二つのモードがあります。以下にこのプロテクトモードについて解説します。

(1) ソフトウェアプロテクト

ソフトウェアプロテクトではフラッシュメモリコントロールレジスタ (FLMCR) の P ビットおよび E ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。

このプロテクトの詳細を以下に示します。

項目	説明	機能		
		書き込み	消去	ベリファイ*1
ブロック指定プロテクト	消去ブロック指定レジスタ (EBR1、EBR2) によりブロック別に書き込み・消去プロテクトの設定が可能。 EBR1 を H'F0、および EBR2 を H'00 に設定すると全ブロックが書き込み・消去プロテクト状態となります。	不可	不可	可
エミュレーションプロテクト*2	ウェイトステートコントロールレジスタ (WSCR) の RAMS ビット、または RAM0 ビットのいずれか一方のみをセットすることにより、全ブロックの書き込み/消去プロテクトが有効となります。	不可	不可*3	可

【注】 *1 プログラムベリファイ、イレースベリファイ、プレライトベリファイの3つのモード。

*2 フラッシュメモリとオーバーラップした RAM エリアは除きます。

*3 全ブロックが消去不可となり、ブロック別の指定はできません。

(2) ハードウェアプロテクト

ハードウェアプロテクトはフラッシュメモリに対する書き込み、消去が強制的に中断、禁止された状態です。このときフラッシュメモリコントロールレジスタ (FLMCR) および消去ブロック指定レジスタ (EBR1、EBR2) の設定はリセットされます。

このハードウェアプロテクト状態の詳細を以下に示します。

項目	説明	機能		
		書き込み	消去	ベリファイ ^{*1}
プログラム 電圧 (V_{pp}) プロテクト	FV _{pp} 端子に 12V が印加されていないときには、FLMCR、EBR1、EBR2 はイニシャライズされ、書き込み、消去が禁止された状態になります。このプロテクト状態にするためには V_{pp} 電圧が電源電圧 V_{CC} を超えないようにしてください。 ^{*3}	不可	不可 ^{*2}	不可
リセット、 スタンバイ プロテクト	リセット (ウォッチドッグタイマリセットを含む) およびスタンバイ時は FLMCR、EBR1、EBR2 はイニシャライズされ、書き込み、消去が禁止された状態になります。 ただし、RES 端子によるリセットでは電源投入時は最低 20ms (発振安定時間) の間、RES 端子を Low レベルに保持しないと確実にリセット状態になりません。また、動作中のリセットは最低 10 システムクロック (10) サイクルの間 RES 端子を Low レベルに保持する必要があります。	不可	不可 ^{*2}	不可
割り込み プロテクト	フラッシュメモリの破壊を防ぐため、フラッシュメモリへの書き込み / 消去中に割り込みが入力されると書き込み / 消去は強制的に中断されます。 FLMCR、EBR1、EBR2 の値は保持されます。この状態はリセットにより解除されます。	不可	不可 ^{*2}	可

- 【注】 *1 プログラムベリファイ、イレースベリファイ、プレライトベリファイの3つのモード。
*2 全ブロックが消去不可となり、ブロック別の指定はできません。
*3 詳細については「19.7 フラッシュメモリの書き込み / 消去時の注意」を参照してください。

19.4.9 フラッシュメモリへの書き込み / 消去時の割り込み処理

フラッシュメモリへの書き込み、消去中 (FLMCR の P ビットまたは E ビットがセット) に割り込みが発生^{*1}すると以下のような動作状態に陥ることがあります。

- (1) 書き込み、消去中に割り込みが発生するとフラッシュメモリを保護するために書き込み、消去を強制的に中断する。強制中断後のメモリセルの値は不定となるため、正常な動作ができなくなる。
- (2) 書き込み / 消去中の割り込み例外処理ではベクタリードが正常にできない^{*2}ため、結果としてマイコンが暴走してしまう。

このような事態を回避するために RAM のオーバラップ機能を使用し、以下の設定を行うことによってフラッシュメモリの書き込み / 消去中の NMI 割り込み発生時に限り誤動作・暴走を防止することができます。

- [1] NMI 割り込み処理ルーチン^{*3}をフラッシュメモリエリア (H'0000 ~ H'7FFF) 以外 (例えば RAM 上) に配置しておく。
- [2] RAM の H'FC06 (フラッシュメモリ H'0006 に相当) に NMI 割り込みベクタを設定する。
- [3] 以上の設定をした後に、WSCR の RAMS、RAM0 ビットを共に 1 にセットする。^{*4}

[3] の設定により、 FV_{PP} 端子に 12V が印加された状態で割り込み信号が入ったときに RAM のオーバラップの機能が有効になり、フラッシュメモリの小ブロックエリア (H'0000 ~ H'007F) に RAM の一部 (H'FC00 ~ H'FC7F) が重ね合わされます。その結果割り込み入力時にフラッシュメモリではなく RAM からベクタをリードするため、フラッシュメモリへの書き込み、消去中でも正常に割り込み処理が行われ、誤動作・暴走を防ぐことができます。

【注】 *1 コンディションコードレジスタ (CCR) の割り込みマスクビット (I) が 1 にセットされていると NMI 以外の割り込みはマスクされます。詳細は「2.2.2 コントロールレジスタ」の (2) を参照してください。

*2 この場合、以下の 2 つの理由によってベクタリードが正常に行われません。

(1) 書き込み、消去中 (FLMCR の P ビットまたは E ビットがセット) にフラッシュメモリのリードを行っても正しい値を読み出すことはできません。

(2) NMI ベクタテーブルに値がまだ書き込まれていない場合、NMI 例外処理が正しく実行されません。

*3 本ルーチン内でマイコンの暴走を防ぐ設定をします。

*4 WSCR の設定は「19.2.4 ウェイトステートコントロールレジスタ (WSCR)」を参照してください。

(1) ブートモード時の割り込み処理の注意事項

ブートモードでは NMI 割り込みについて上記の設定を行っており、ブートプログラム実行中は NMI 割り込み処理のみ可能です。ただし、ユーザプログラムでは以下の点に注意してください。

・割り込み処理を行う場合

(a) RAM の HFC06 に NMI ベクタ (HFB80) を再設定してください (転送されるユーザプログラムの 38 バイト目を HFB80 としてください)。

(b) ブートプログラムで使用している割り込み処理ルーチンは RAM の HFB80 ~ HFB8F に書き込まれています。ユーザプログラムで書き換えないよう注意してください。

・割り込み処理を行う必要がない場合

WSCR の RAMS、RAM0 ビットは 1 にセットされたままになっていますので、ユーザプログラムで WSCR の RAMS、RAM0 ビットを共にクリアすることにより、RAM のオーバラップを無効にしてください。

19.5 RAM によるフラッシュメモリのエミュレーション

フラッシュメモリは、その消去や書き込みに時間がかかるため、パラメータ等のデータをリアルタイムに書き換えながらチューニングを行うといった使い方が難しい場合があります。このような場合、フラッシュメモリのリアルタイムな書き換えをエミュレートするために、フラッシュメモリの小ブロックエリアにRAMの一部(H'FC00~H'FD7F)を重ね合わせて使うことができます。このRAMエリアの変更はウェイトステートコントロールレジスタ(WSCR)のビット7~6によって行います。

また、RAMエリアの変更後は、フラッシュメモリに重ね合わせたエリアと本来のRAMエリア(H'FC00~H'FD7F)の2エリアからアクセスできます。表 19.11 にRAMエリアの設定方法を示します。

(1) ウェイトステートコントロールレジスタ (WSCR) *2

ビット :	7	6	5	4	3	2	1	0
	RAMS	RAM0	CKDBL	-	WMS1	WMS0	WC1	WC0
初期値*1:	0	0	0	0	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】*1 WSCRは、リセットまたはハードウェアスタンバイモード時にイニシャライズされます。ソフトウェアスタンバイモード時には、イニシャライズされません。

*2 WSCRの設定は「19.2.4 ウェイトステートコントロールレジスタ (WSCR)」を参照してください。

表 19.11 RAM エリアの設定方法

ビット7	ビット6	使用する RAM エリア	対応する ROM エリア
RAMS	RAM0		
0	0	なし	-
	1	H'FC80 ~ H'FCFF	H'0080 ~ H'00FF
1	0	H'FC80 ~ H'FD7F	H'0080 ~ H'017F
	1	H'FC00 ~ H'FC7F	H'0000 ~ H'007F

(2) フラッシュメモリのリアルタイムな書き換えをエミュレートする例

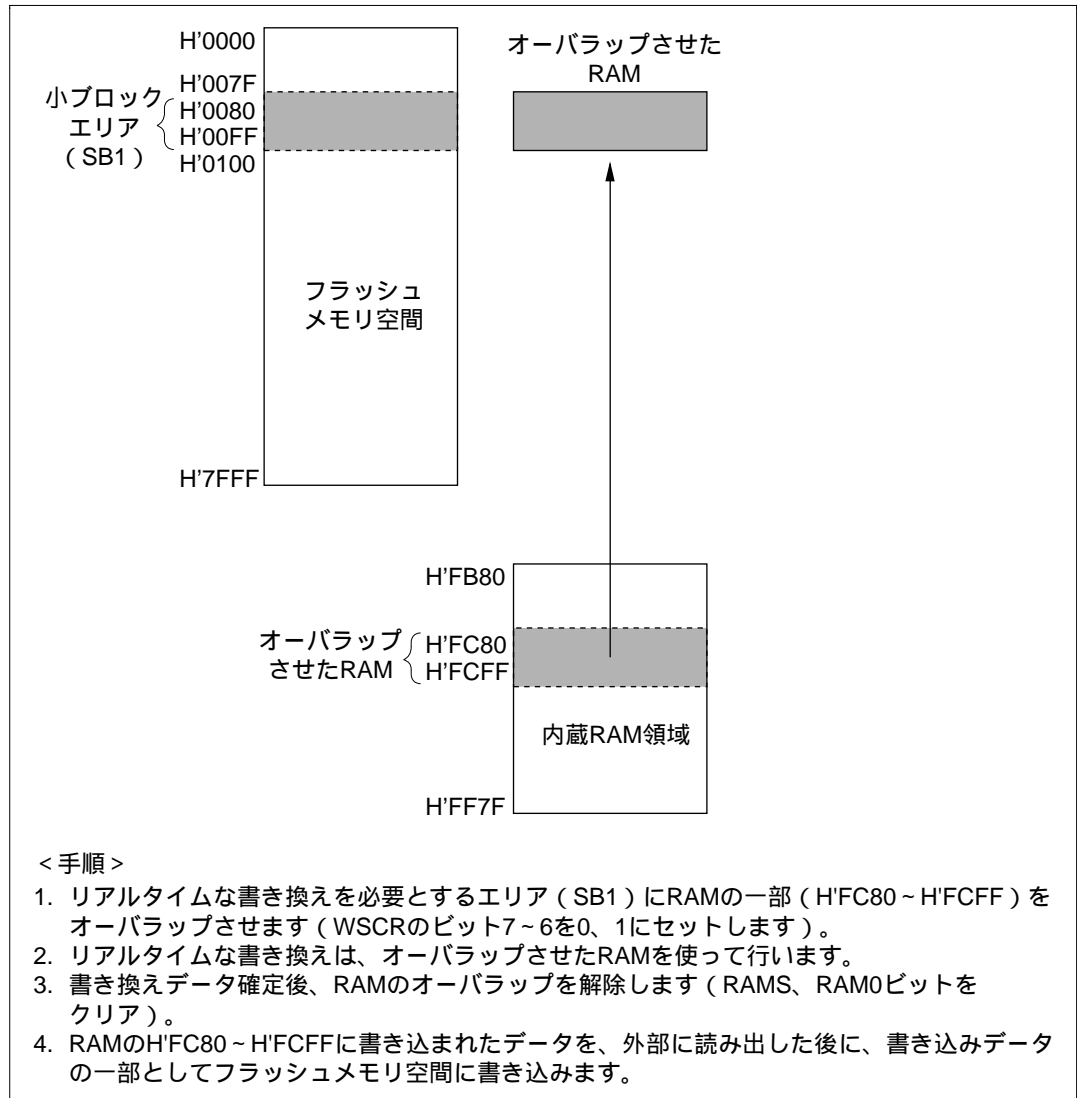


図 19.12 RAMのオーバーラップ動作例

(3) RAMによるエミュレーション機能の使用上の注意

プログラム電圧 (V_{pp}) の印加 / 解除 / 切断時の注意

オンボードプログラミングモードと同様に V_{pp} の印加 / 解除 / 切断時は誤書き込み、誤消去を防止するための注意が必要です。特に V_{pp} の印加中のプログラム暴走などによる誤書き込み、誤消去を防止するためエミュレーション機能使用中でもフラッシュメモリコントロールレジスタ (FLMCR) の P ビット、E ビットセット時はウォッチドッグタイマを設定してください。注意事項の詳細は「19.7 フラッシュメモリの書き込み / 消去時の注意」を参照してください。

19.6 フラッシュメモリのライターモード (H8/3434F)

19.6.1 ライターモードの設定

内蔵ROMがフラッシュメモリのH8/3434Fでは、フラッシュメモリのプログラム、消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあります。ライターモードでは、PROMライターを用いて内蔵ROMに自由にプログラムを書き込むことができます。

19.6.2 ソケットアダプタの端子対応とメモリマップ

プログラム書き込み/ベリファイは、汎用PROMライターに各パッケージに専用の100ピン-32ピン変換アダプタを取り付けて行います。表19.12にソケットアダプタの型名を示します。

図19.13にライターモード時のメモリマップを示します。また、図19.14にソケットアダプタの端子対応図を示します。

表 19.12 ソケットアダプタ型名

製品型名	パッケージ名称	ソケットアダプタ型名
HD64F3434F16	100ピン QFP	HS3434ESHF1H
HD64F3434TF16	100ピン TQFP	HS3434ESNF1H

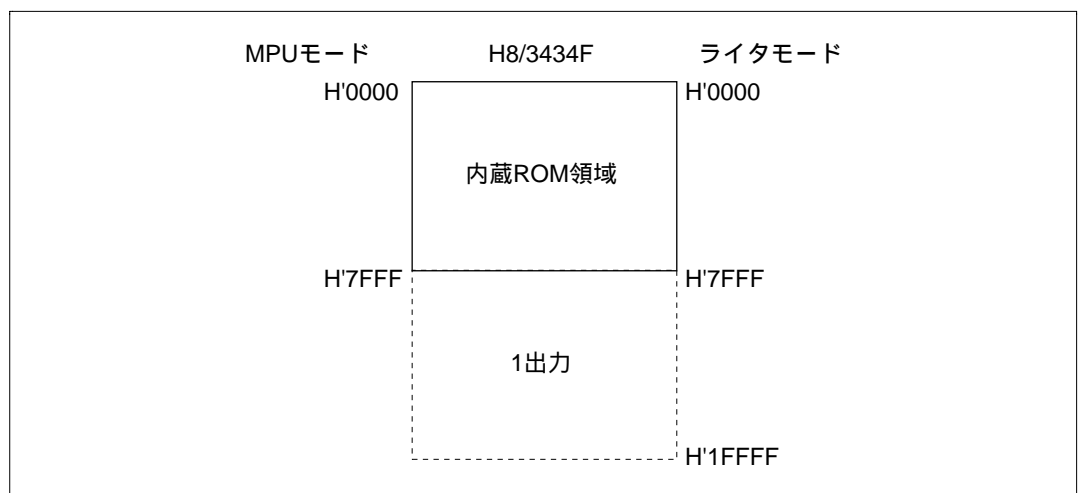


図 19.13 ライターモード時のメモリマップ

19. ROM (二電源方式フラッシュメモリ 32k バイト版)

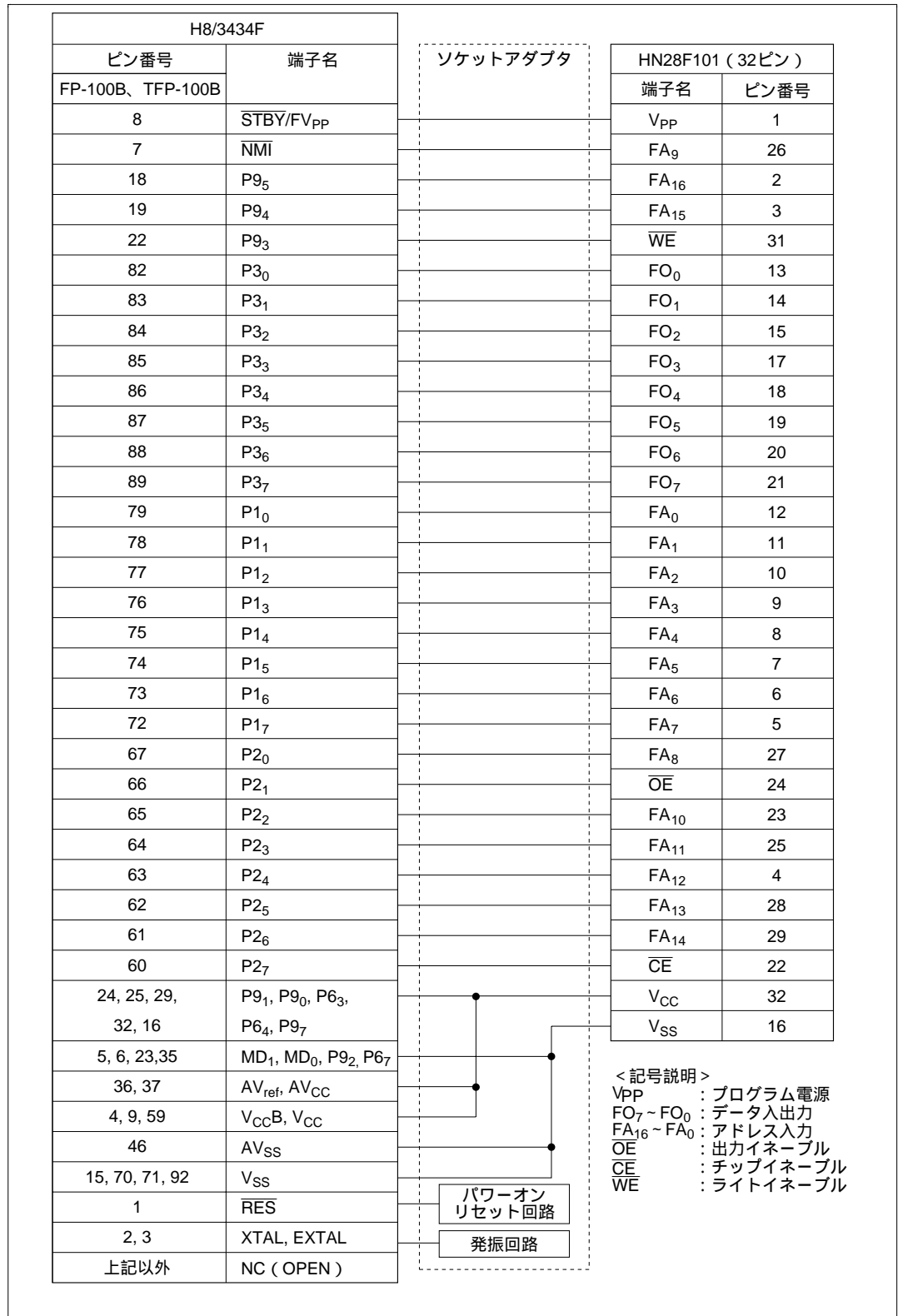


図 19.14 ソケットアダプタの端子対応図

19.6.3 ライタモードの動作

ライタモードの書き込み/消去/ベリファイなどの仕様は、標準のフラッシュメモリ HN28F101 と同じです。ただし、H8/3434F は製品識別モードをサポートしていませんのでプログラムにデバイス名を自動設定することができません。表 19.13 にライタモード時の各動作モードの設定方法を示します。

表 19.13 ライタモード時の各動作モードの設定方法

モード		ピン						A ₁₆ ~ A ₀
		FV _{PP}	V _{CC}	\overline{CE}	\overline{OE}	\overline{WE}	D ₇ ~ D ₀	
読み出し	読み出し	V _{CC} *	V _{CC}	L	L	H	データ出力	アドレス入力
	アウトプット ディスエーブル	V _{CC} *	V _{CC}	L	H	H	ハイインピー ダンス	
	スタンバイ	V _{CC} *	V _{CC}	H	X	X	ハイインピー ダンス	
コマンド	読み出し	V _{PP}	V _{CC}	L	L	H	データ出力	
書き込み	アウトプット ディスエーブル	V _{PP}	V _{CC}	L	H	H	ハイインピー ダンス	
	スタンバイ	V _{PP}	V _{CC}	H	X	X	ハイインピー ダンス	
	書き込み	V _{PP}	V _{CC}	L	H	L	データ入力	

【注】 * これらの状態では FV_{PP} 端子を必ず V_{CC} としてください。0V とするとライタモードであってもハードウェアスタンバイモードに遷移し、正常に動作しません。

< 記号説明 >

L : Low レベル

H : High レベル

V_{PP} : V_{PP} レベル

V_{CC} : V_{CC} レベル

X : 任意

表 19.14 ライタモード時の各コマンド

コマンド	サイクル数	第 1 サイクル			第 2 サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出し	1	書き込み	X	H'00	読み出し	RA	Dout
消去設定 / 消去	2	書き込み	X	H'20	書き込み	X	H'20
イレースベリファイ	2	書き込み	EA	H'A0	読み出し	X	EVD
自動消去設定 / 自動消去	2	書き込み	X	H'30	書き込み	X	H'30
プログラム設定 / プログラム	2	書き込み	X	H'40	書き込み	PA	PD
プログラム ベリファイ	2	書き込み	X	H'C0	読み出し	X	PVD
リセット	2	書き込み	X	H'FF	書き込み	X	H'FF

PA = プログラムアドレス、EA = イレースベリファイアドレス

RA = リードアドレス、PD = プログラムデータ

PVD = プログラムベリファイ出力データ、EVD = イレースベリファイ出力データ

(1) 高速高信頼度プログラミング

H8/3434F のフラッシュメモリの未使用領域のデータ(初期値)は、H'FF です。H8/3434F のフラッシュメモリは、高速高信頼度プログラミング方式を適用しています。この方法は、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく、より高速な書き込みを行うことができます。

図 19.15 に高速高信頼度プログラミング方式の基本的なフローチャートを示します。また、表 19.15、表 19.16 にプログラミング時の電気的特性表を示します。

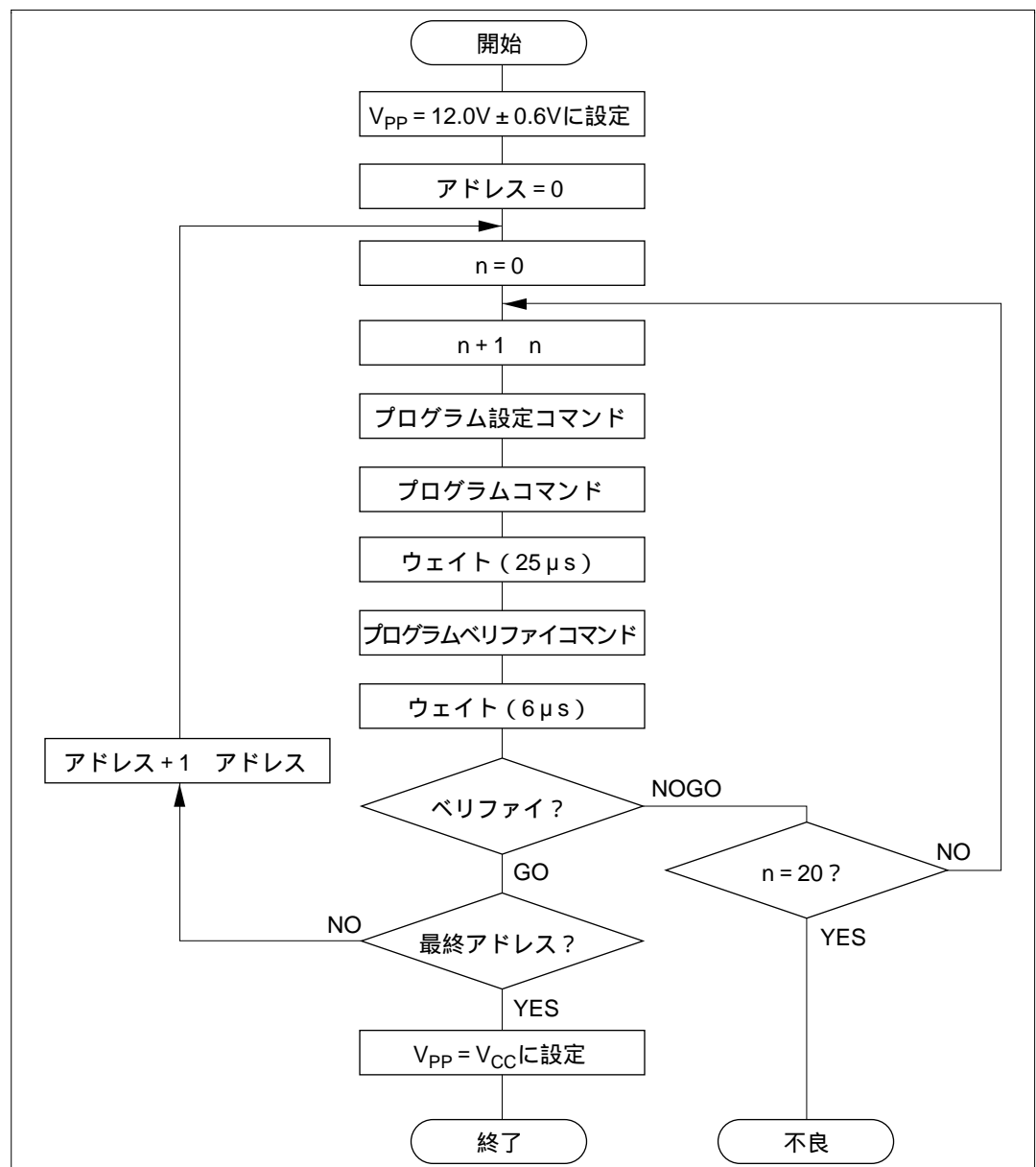


図 19.15 高速高信頼度プログラミング

(2) 高速高信頼度消去

H8/3434F のフラッシュメモリは、高速高信頼度消去方式を適用しています。この方法は、デバイスへの電圧ストレスあるいはデータの信頼性を損なうことなく、より高速な消去を行うことができます。

図 19.16 に高速高信頼度消去方式の基本的なフローチャートを示します。

また、表 19.15、表 19.16 に消去時の電気的特性表を示します。

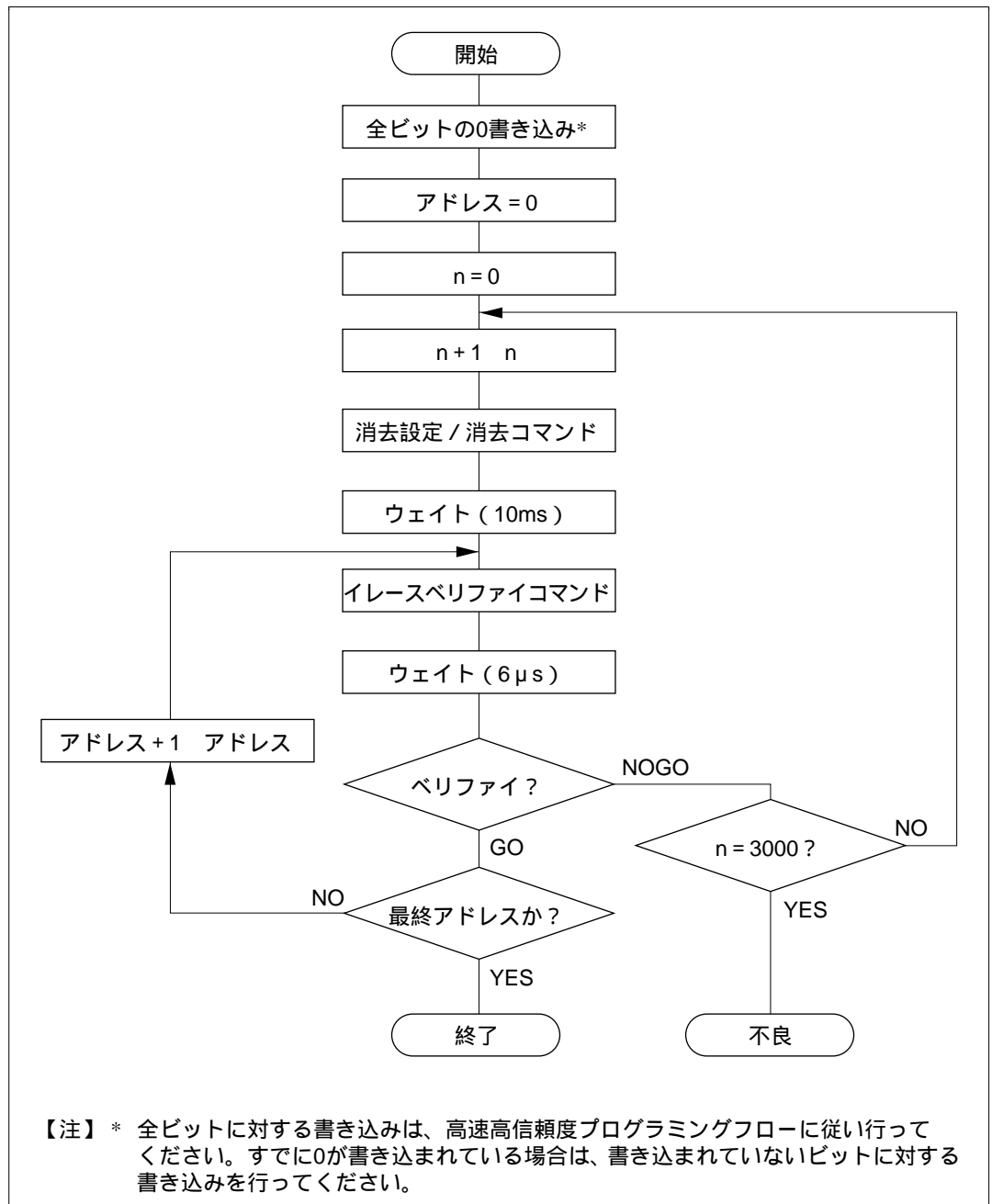


図 19.16 高速高信頼度消去

表 19.15 ライタモード時の DC 特性

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{PP} = 12.0V \pm 0.6V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	min	typ	max	単位	測定条件	
入力 High レベル電圧	$FO_7 \sim FO_0$ 、 $FA_{16} \sim FA_0$ 、 \overline{OE} 、 \overline{CE} 、 \overline{WE}	V_{IH}	2.2	-	$V_{CC} + 0.3$	V	
入力 Low レベル電圧	$FO_7 \sim FO_0$ 、 $FA_{16} \sim FA_0$ 、 \overline{OE} 、 \overline{CE} 、 \overline{WE}	V_{IL}	-0.3	-	0.8	V	
出力 High レベル電圧	$FO_7 \sim FO_0$	V_{OH}	2.4	-	-	V	$I_{OH} = -200 \mu A$
出力 Low レベル電圧	$FO_7 \sim FO_0$	V_{OL}	-	-	0.45	V	$I_{OL} = 1.6mA$
入力リーク 電流	$FO_7 \sim FO_0$ 、 $FA_{16} \sim FA_0$ 、 \overline{OE} 、 \overline{CE} 、 \overline{WE}	I_{LI}	-	-	2	μA	$V_{in} = 0 \sim V_{CC}$
V_{CC} 電流	読み出し時	I_{CC}	-	40	80	mA	
	プログラム時	I_{CC}	-	40	80	mA	
	消去時	I_{CC}	-	40	80	mA	
V_{PP} 電流	読み出し時	I_{PP}	-	-	10	μA	$V_{PP} = 5.0V$
			-	10	20	mA	$V_{PP} = 12.6V$
	プログラム時	I_{PP}	-	20	40	mA	$V_{PP} = 12.6V$
	消去時	I_{PP}	-	20	40	mA	$V_{PP} = 12.6V$

表 19.16 ライタモード時の AC 特性

条件： $V_{CC} = 5.0V \pm 10\%$ 、 $V_{PP} = 12.0V \pm 0.6V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	min	typ	max	単位	測定条件
コマンド書き込みサイクル	t_{CWC}	120	-	-	ns	図 19.17
アドレスセットアップ時間	t_{AS}	0	-	-	ns	図 19.18*
アドレスホールド時間	t_{AH}	60	-	-	ns	図 19.19
データセットアップ時間	t_{DS}	50	-	-	ns	
データホールド時間	t_{DH}	10	-	-	ns	
\overline{CE} セットアップ時間	t_{CES}	0	-	-	ns	
\overline{CE} ホールド時間	t_{CEH}	0	-	-	ns	
V_{PP} セットアップ時間	t_{VPS}	100	-	-	ns	
V_{PP} ホールド時間	t_{VPH}	100	-	-	ns	
WE 書き込みパルス幅	t_{WEP}	70	-	-	ns	
WE 書き込みパルス High レベル時間	t_{WEH}	40	-	-	ns	
コマンド書き込み前 \overline{OE} セットアップ時間	t_{OEWS}	0	-	-	ns	
ベリファイ前の \overline{OE} セットアップ時間	t_{OERS}	6	-	-	μs	
ベリファイアクセス時間	t_{VA}	-	-	500	ns	
ステータスポーリング前の \overline{OE} セットアップ時間	t_{OEPS}	120	-	-	ns	
ステータスポーリングアクセス時間	t_{SPA}	-	-	120	ns	
プログラム時の待機時間	t_{PPW}	25	-	-	ns	
消去時の待機時間	t_{ET}	9	-	11	ms	
出力ディエーブル時間	t_{DF}	0	-	40	ns	
自動消去時のトータル時間	t_{AET}	0.5	-	30	s	

【注】 V_{PP} が 5V から 12V に、または、12V から 5V に遷移中は、 \overline{CE} 、 \overline{OE} 、 \overline{WE} ピンは、High レベルにしてください。

* 入力パルスレベル：0.45 ~ 2.4V

入力立ち上がり / 立ち下がり時間 10ns

タイミング参照レベル (入力：0.8V、2.0V / 出力：0.8V、2.0V)

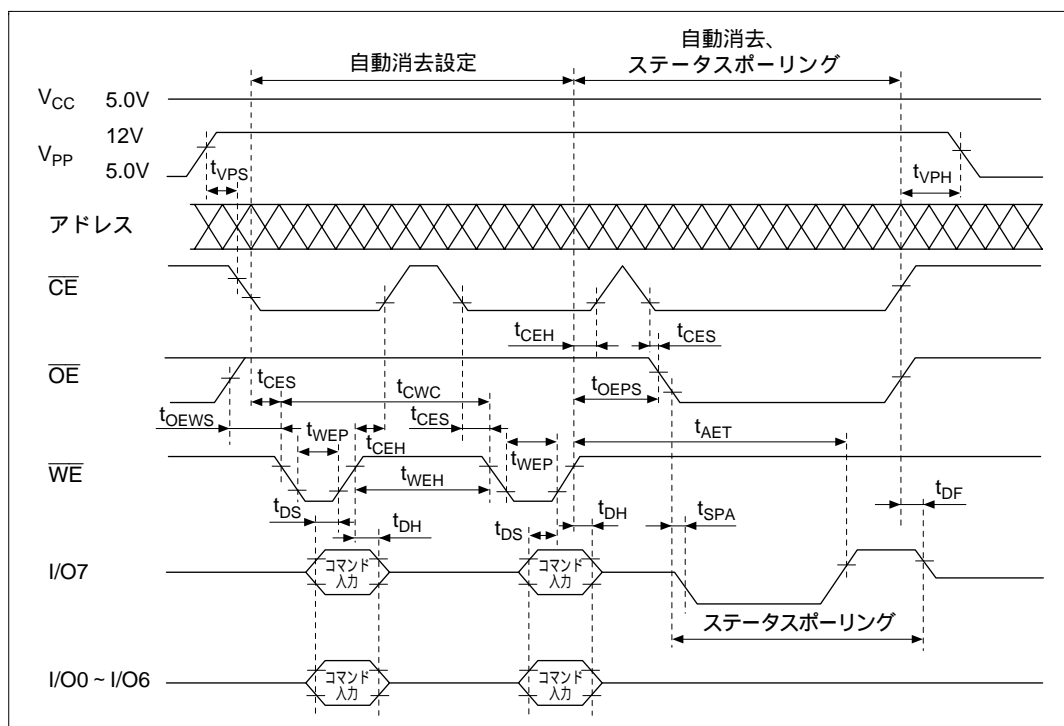


図 19.17 自動消去タイミング

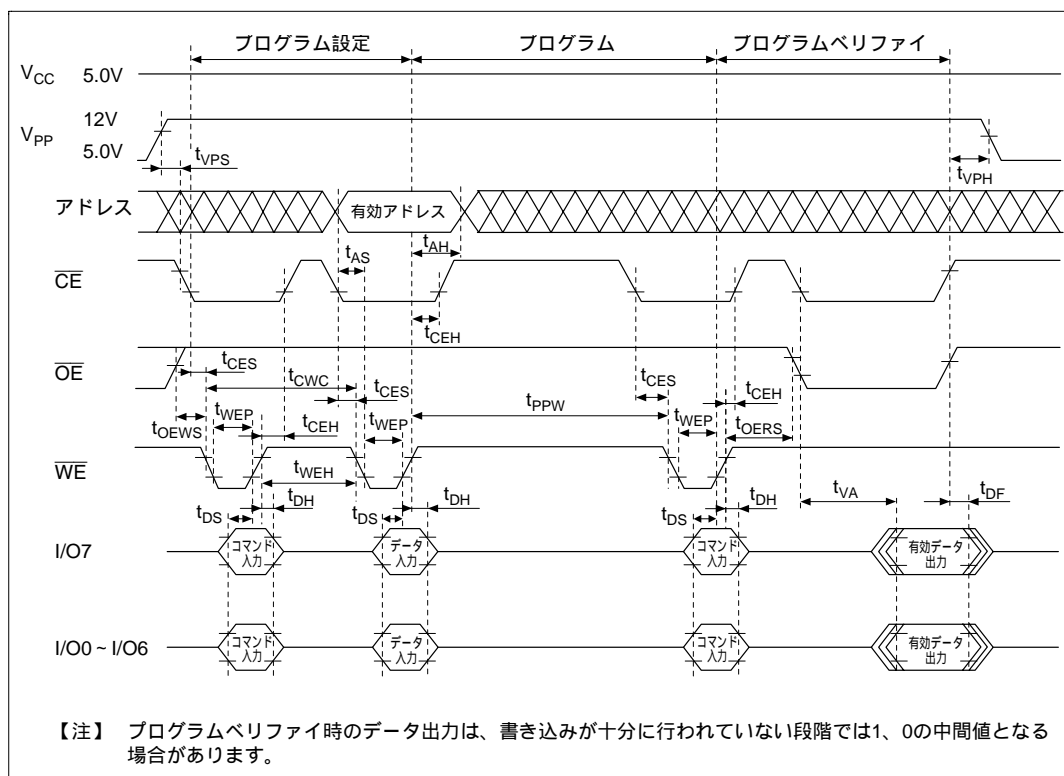


図 19.18 高速高信頼度プログラムタイミング

19. ROM (二電源方式フラッシュメモリ 32k バイト版)

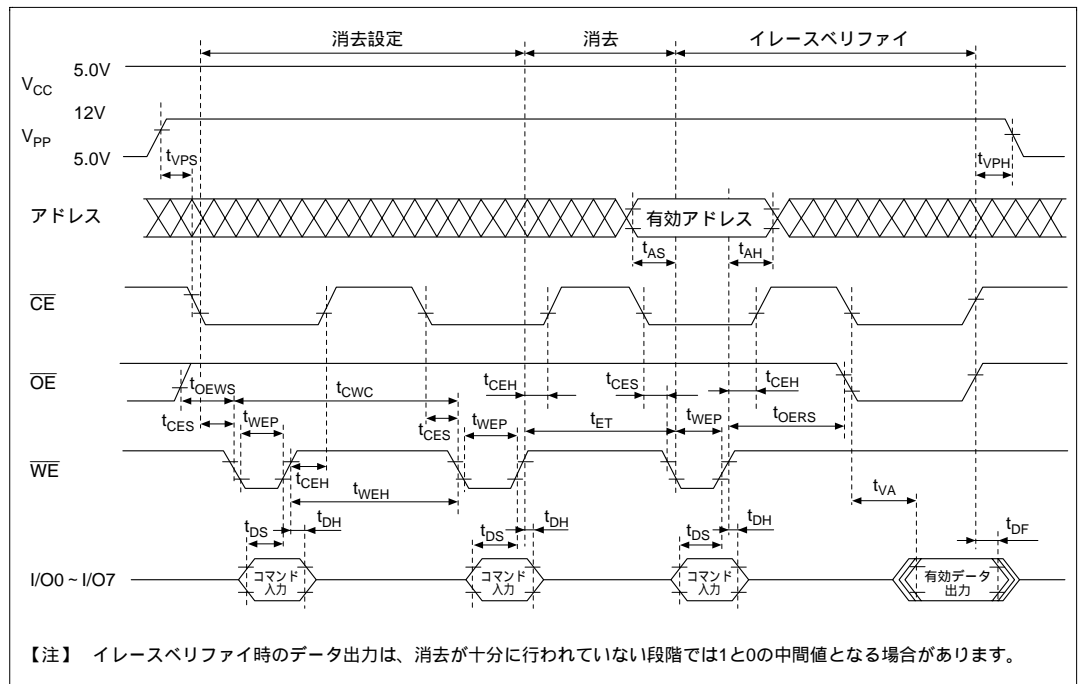


図 19.19 消去タイミング

19.7 フラッシュメモリの書き込み / 消去時の注意

ライターモード、オンボードプログラミングモードおよびRAMによるエミュレーション機能の使用時の注意事項を示します。

- (1) 規定された電圧、タイミングで書き込みをしてください。
フラッシュメモリの定格プログラム電圧 (V_{pp}) は、12.0V です。
PROM ライタの設定を HN28F101 にセットすると V_{pp} を 12.0V にセットできます。
定格以上の電圧を印加した場合、製品の永久破壊に至ることがあります。特に PROM ライタのオーバシュートのピークが最大定格の 13V を超えないように十分注意してください。
- (2) 書き込み前に、必ず、正しく PROM ライタに装着されていることを確認してください。
PROM ライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊されることがあります。
- (3) 書き込み中はソケットアダプタや製品に手を触れないでください。
接触不良などにより、書き込み不良となることがあります。
- (4) アドレス H'8000 ~ H'1FFFF の PROM ライタのバッファデータを H'FF にしてください。
H8/3434F の PROM 領域は 32k バイトです。アドレス H'8000 ~ H'1FFFF の領域は常に H'FF なので、ライタのデータを H'FF にしないと、ブロックエラーが発生します。
- (5) プログラム電圧 (V_{pp}) の印加 / 解除 / 切断*1時の注意
 - (a) プログラム電圧 (V_{pp}) の印加は V_{cc} 確定後に、 V_{pp} の解除は V_{cc} を切断する前に行ってください。
この電源投入および解除タイミングは、フラッシュメモリへの誤書き込み、誤消去を防止するため V_{pp} の印加 / 解除 / 切断時に以下に示すような状態(マイコン動作の確定状態) を満足する必要があります。

マイコン動作確定状態

- ・ V_{CC} 電圧が定格電圧 ($V_{CC} = 2.7V \sim 5.5V$) *²の範囲で安定している状態
マイコンの V_{CC} 電圧が定格電圧 ($V_{CC} = 2.7V \sim 5.5V$) *²を満足しない状態 ($V_{CC} = 0V$ の状態も含む) で V_{PP} 電圧を印加 / 解除 / 切断すると、マイコン動作が不確定の状態であることから、フラッシュメモリに誤って書き込み / 消去を行ってしまう可能性があります。また、 V_{PP} 印加時は、 V_{CC} 電圧の変動がないようバイパス・コンデンサ挿入などの電源対策を十分に行ってください。
- ・ 発振が安定している状態 (発振安定時間経過後) および、発振が停止していない状態
 V_{CC} 電源投入では、発振安定時間 ($t_{OSCI} = 20ms$) の間、 \overline{RES} 端子を Low レベルに保持した後に、 V_{PP} を印加してください。
- ・ リセット中もしくは、リセットが確実に実行された後 (リセット解除後) で、フラッシュメモリをアクセスしていない状態
 V_{PP} の印加 / 解除はリセット中もしくは、CPU がフラッシュメモリをアクセスしていない状態 (内蔵 RAM および外部メモリ空間でのプログラム実行状態)で行ってください。 V_{PP} の印加 / 解除の瞬間にフラッシュメモリのデータを正常に読み出すことができないため、 V_{PP} の印加 / 解除時はフラッシュメモリをリードしないでください。
動作中のリセットでは、最低 10 システムクロック (10) サイクルの間、 \overline{RES} 端子を Low レベルに保持した後、 V_{PP} の印加 / 解除を行ってください。
- ・ フラッシュメモリコントロールレジスタ (FLMCR) の P ビット、E ビットをクリアした状態
 V_{PP} の印加 / 解除時に、誤って P ビット、E ビットをセットしないでください。
- ・ プログラムが暴走していない状態
 V_{PP} の印加時は、ウォッチドッグタイマなどでプログラム実行状態を監視することが必要です。

この V_{CC} 、 V_{PP} 電源投入および解除タイミングは、停電などによる電源の切断、再投入時にも満足するようにしてください。このタイミングが守られない場合には、マイコンの暴走などによって過剰書き込み、過剰消去となりメモリセルが正常に動作しなくなることがありますので十分注意してください。

- (b) V_{PP} フラグは、 FV_{PP} 端子に印加される電圧を判定し、セット/クリアされます。この判定レベル (しきい値電圧) は約 $V_{CC} + 2V \sim 11.4V$ の範囲になっています。フラグがセットされた時点でフラッシュメモリコントロールレジスタ (FLMCR)、消去ブロック指定レジスタ (EBR1、EBR2) へのライトは可能になりますが、 V_{PP} 電源投入時では V_{PP} 電圧がプログラム電圧 $12.0 \pm 0.6V$ の範囲に確定していない場合があります。このため V_{PP} がプログラム電圧範囲に確定するまでは、実際の書き込み、消去を行わないようにしてください。書き込み、消去時のプログラム電圧範囲は $12.0 \pm 0.6V$ ($11.4 \sim 12.6V$) です。この範囲を超えると正しい書き込み、消去を行うことはできません。また、書き込み、消去を行わない場合は、誤書き込み、誤消去を防止するため V_{PP} 電圧は電源電圧 V_{CC} を超えないようにしてください。
- (c) 本 LSI では、 \overline{STBY} と FV_{PP} が同一端子となっています。この端子を Low レベルにするとハードウェアスタンバイモードに遷移しますが、これは通常動作モード (モード 1、2、3) だけでなく、PROM ライタによりフラッシュメモリにプログラミングする場合も同様です。したがって PROM ライタで書き込みを行う場合は、プログラミング時 ($FV_{PP} = 12V$) 以外に本端子が V_{CC} レベルとなる仕様のライタをご使用ください。

【注】 *1 ここで、 V_{PP} の印加 / 解除 / 切断を以下のように定義します。

印加：電圧を V_{CC} から $12 \pm 0.6V$ に上げる。

解除：電圧を $12 \pm 0.6V$ から V_{CC} に下げる。

切断：電圧印加を取りやめる (フローティング状態)。

*2 LH 版は $V_{CC} = 3.0V \sim 5.5V$

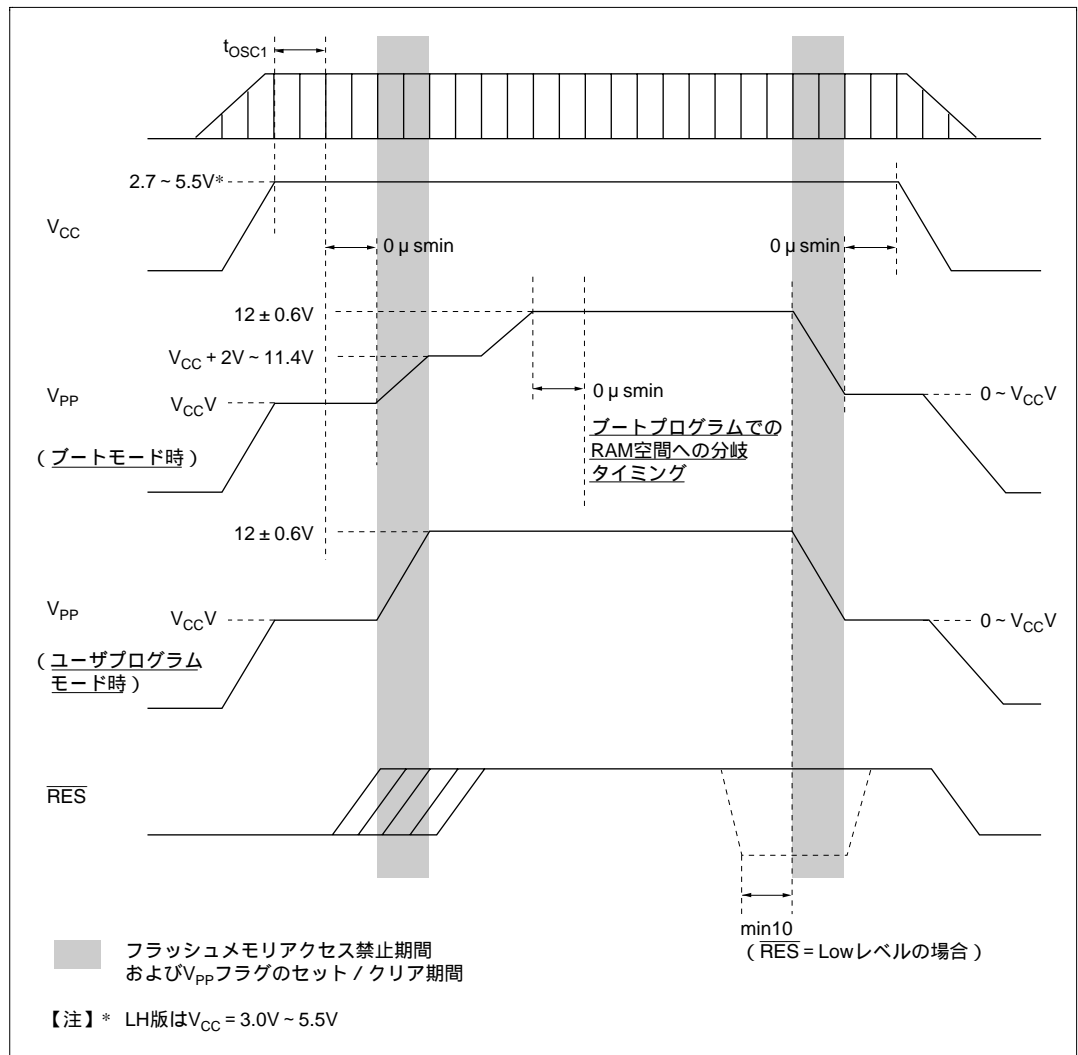


図 19.20 V_{PP} 電源投入および切断タイミング

(6) FV_{PP} 端子に常時 12V を印加しないでください。

プログラム暴走などによる誤書き込み、誤消去を防止するため、FV_{PP} 端子に 12V を印加するのは、フラッシュメモリに書き込み、消去を行うときのみ（これは RAM によるフラッシュメモリのエミュレーション実行時も含む）としてください。プログラム暴走等によって過剰書き込み、過剰消去となるとメモリセルが正常に動作しないことがあります。このため、FV_{PP} 端子に常時 12V を印加するようなシステム構成は避けてください。

また、12V 印加中においても、過剰書き込み、過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走などに対応できるようにしてください。

(7) プログラム電圧 (V_{PP}) の電源設計は、電流に余裕をみた回路設計を行ってください。

書き込み、消去時の V_{PP} は、12.0 ± 0.6V (11.4V ~ 12.6V) の範囲を超えないようにしてください。これを超えると消去および書き込みが行えなくなる場合がありますので注意してください。

(8) FV_{PP} および MD_1 端子は、オーバシュートのピークが定格を超えないようにしてください。また、 FV_{PP} および MD_1 端子は、できる限り端子の近くにバイパスコンデンサを接続してください。

ブートモード使用時は MD_1 端子についても同様にバイパスコンデンサを接続してください。

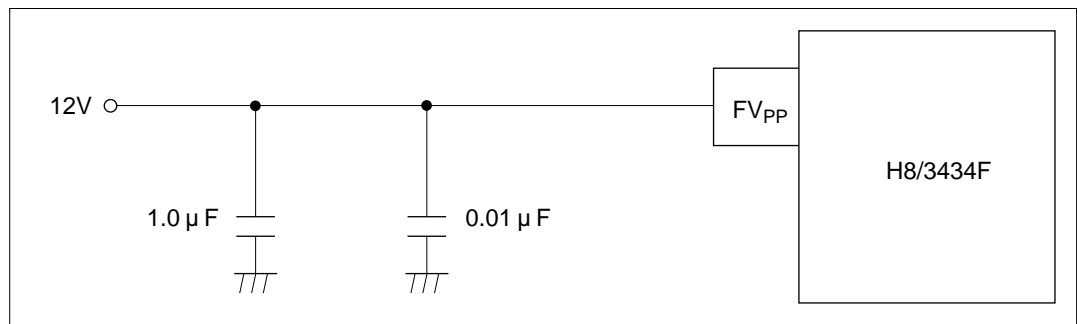


図 19.21 V_{PP} 電源回路設計例

(9) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。

このアルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。

また、フラッシュメモリコントロールレジスタ (FLMCR) のプログラム (P) ビット、およびイレース (E) ビットをセットするときは、規定以上の時間を超えてセットしないよう、あらかじめウォッチドッグタイマを設定してください。

(10) フラッシュメモリの書き込み中または、消去中の割り込み処理については、「19.4.9 フラッシュメモリへの書き込み / 消去時の割り込み処理」を参照してください。

(11) フラッシュメモリ制御レジスタ、アクセス時の注意事項

(a) 各動作モードにおけるフラッシュメモリ制御レジスタへのアクセス状態

H8/3434F は、フラッシュメモリの制御レジスタをアドレス H'FF80 (FLMCR)、H'FF82 (EBR1)、H'FF83 (EBR2) に配置しており、これらのレジスタはフラッシュメモリプログラム電源端子 FV_{PP} に 12V が印加された場合にアクセス可能となります。

上記アドレスの各モードならびに $FV_{PP} = 12V$ 印加時 / 非印加時のアクセス対象を表 19.17 に示します。

表 19.17 各モードごとならびに $FV_{pp} = 12V$ 印加時 / 非印加時の各アクセス対象

	モード 1	モード 2	モード 3
$FV_{pp} = 12V$ 印加時	リザーブエリア (常に H'FF)	フラッシュメモリ制御レジスタ (FLMCR の初期値 H'80)	フラッシュメモリ制御レジスタ (FLMCR の初期値 H'80)
$FV_{pp} = 12V$ 非印加時	外部アドレス空間	外部アドレス空間	リザーブエリア (常に H'FF)

(b) モード 2 (内蔵 ROM 有効拡張モード) でフラッシュメモリ制御レジスタをアクセスする場合

モード 2 でフラッシュメモリ制御レジスタをアクセスすると、 $FV_{pp} = 12V$ 印加時はリード/ライト可能ですが、12V 非印加時は外部アドレス空間をアクセスするため、必ず FV_{pp} 端子への 12V 印加を確認の上、本レジスタをアクセスしてください。

(c) モード 3 (シングルチップモード) で 12V 印加 / 非印加を確認する場合

モード 3 でアドレス H'FF80 をアクセスすると、 $FV_{pp} = 12V$ 印加時は FLMCR をリード/ライトリセット後の初期値は H'80 となります。一方、12V 非印加時はリザーブエリアとなりリードすると常に H'FF が読み出され、書き込みは無効となります。この時ビット 7 (V_{pp} ビットに相当) は、 $FV_{pp} = 12V$ 印加時 / 非印加時いずれの場合も 1 となるため、このビットのみの 1/0 判定では $FV_{pp} = 12V$ 印加 / 解除を検出することができません。

12V 印加 / 非印加を確認する際は必ずバイトデータを比較し、判定してください。具体的には下記プログラムをご参照ください。

```

      .
      .
LABEL1:  MOV.B   @H'FF80, R1L
          CMP.B   #H'FF, R1L
          BEQ    LABEL1
      .
      .
      .
      FVpp = 12V 印加検出のプログラム例 (モード 3)

```

表 19.18 フラッシュメモリのDC特性

$V_{CC} = 2.7V \sim 5.5V^{*2}$ 、 $AV_{CC} = 2.7V \sim 5.5V^{*2}$ 、 $AV_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$V_{PP} = 12.0V \pm 0.6V$ 、 $T_a = -20 \sim +75$ (通常仕様品)、

$T_a = -40 \sim +85$ (広温度範囲品)

項目		記号	min	typ	max	単位	測定条件
高電圧 (12V) 印加判定レベル *1	FV_{PP} 、 MD_1	V_H	$V_{CC} + 2$	-	11.4	V	
FV_{PP} 電流	読み出し時	I_{PP}	-	-	10	μA	$V_{PP} = 2.7 \sim 5.5V$
			-	10	20	mA	
	プログラム時		-	20	40	mA	
	消去時		-	20	40	mA	

【注】 *1 高電圧印加の判定レベルは、上記の電圧となりますが、ブートモードおよびフラッシュメモリの書き込み/消去時は、 $12.0 \pm 0.6V$ に設定してください。

*2 LH版は $V_{CC} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、 $AV_{ref} = 3.0V \sim AV_{CC}$

表 19.19 フラッシュメモリの AC 特性

$V_{CC} = 2.7V \sim 5.5V^{*5}$ 、 $AV_{CC} = 2.7V \sim 5.5V^{*5}$ 、 $AV_{ref} = 2.7V \sim AV_{CC}^{*5}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
 $V_{PP} = 12.0V \pm 0.6V$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲品)

項目	記号	min	typ	max	単位	測定条件
書き込み時間 ^{*1*2}	t_P	-	50	1000	μs	
消去時間 ^{*1*3}	t_E	-	1	30	s	
書き換え回数	N_{WEC}	-	-	100	回	
ベリファイセットアップ時間 1 ^{*1}	t_{VS1}	4	-	-	μs	
ベリファイセットアップ時間 2 ^{*1}	t_{VS2}	2	-	-	μs	
フラッシュメモリリード	t_{FRS}	50	-	-	μs	$V_{CC} = 4.5V$
セットアップ時間 ^{*4}		100	-	-		$V_{CC} < 4.5V$

- 【注】 *1 各時間の設定は、19章に示す書き込み、消去のアルゴリズムに従い、行ってください。
- *2 バイト当たりの書き込み時間(フラッシュメモリコントロールレジスタ(FLMCR)のPビットをセットしている期間)を示します。プログラムベリファイ時間は含まれません。
- *3 全ブロック(32kB)を消去する時間(フラッシュメモリコントロールレジスタ(FLMCR)のEビットをセットしている期間)を示します。消去前のプレライト時間とイレースベリファイ時間は含まれません。
- *4 外部クロック使用時の電源投入後とスタンバイモードからの復帰後、およびプログラム電圧(V_{PP})を12Vから V_{CC} 切り換え時は、フラッシュメモリをリードする前にリードセットアップ時間以上おいてリードしてください。
- V_{PP} 解除時では、 V_{PP} 電圧が $V_{CC} + 2V$ のレベルに達した時点からフラッシュメモリをリードするまでのセットアップ時間を規定します。
- *5 LH版は $V_{CC} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、 $AV_{ref} = 3.0V \sim AV_{CC}$

20. ROM

(二電源方式フラッシュメモリ 60k バイト版)

第 20 章 目次

20.1	フラッシュメモリの概要	471
20.1.1	フラッシュメモリの動作原理.....	471
20.1.2	モード端子の設定と ROM 空間	472
20.1.3	特長	472
20.1.4	ブロック図	473
20.1.5	端子構成.....	474
20.1.6	レジスタ構成	474
20.2	フラッシュメモリ各レジスタの説明.....	475
20.2.1	フラッシュメモリコントロールレジスタ (FLMCR)	475
20.2.2	消去ブロック指定レジスタ 1 (EBR1)	477
20.2.3	消去ブロック指定レジスタ 2 (EBR2)	478
20.2.4	ウェイトステートコントロールレジスタ (WSCR)	479
20.3	オンボードプログラミングモード	483
20.3.1	ブートモード	483
20.3.2	ユーザプログラムモード	490
20.4	フラッシュメモリの書き込み / 消去.....	492
20.4.1	プログラムモード	492
20.4.2	プログラムベリファイモード.....	493
20.4.3	書き込みのフローチャートとプログラム例.....	494
20.4.4	イレースモード.....	496
20.4.5	イレースベリファイモード.....	497
20.4.6	消去のフローチャートとプログラム例	498
20.4.7	プレライトベリファイモード.....	511

20.4.8	プロテクトモード	512
20.4.9	フラッシュメモリへの書き込み / 消去時の割り込み処理.....	514
20.5	RAM によるフラッシュメモリのエミュレーション.....	516
20.6	フラッシュメモリのライターモード (H8/3437F)	518
20.6.1	ライターモードの設定.....	518
20.6.2	ソケットアダプタの端子対応とメモリマップ	518
20.6.3	ライターモードの動作.....	520
20.7	フラッシュメモリの書き込み / 消去時の注意	528

20.1 フラッシュメモリの概要

20.1.1 フラッシュメモリの動作原理

H8/3437F に内蔵するフラッシュメモリの動作原理を表 20.1 に示します。

フラッシュメモリの書き込みは、EPROM と同様、ゲートおよびドレインに高電圧をかけ、ドレインの近くで発生したホットエレクトロンをフローティングゲートに吸い上げることにより行われます。その結果、書き込み後のしきい値電圧は、消去時に比べ高くなります。消去は、ゲートを接地し、ソースに高電圧をかけ、トンネル効果によりフローティングゲートに蓄積した電子を引き抜くことにより行われます。消去後、しきい値電圧は低下します。読み出しは、EPROM と同様にゲートに高レベルの電圧を加え、しきい値電圧の高低に応じたドレイン電流量を検出することによって行われます。消去しすぎるとしきい値電圧が負になり、メモリセルが正常に動作しない場合があるので、消去時には注意が必要となります。

「20.4.6 消去のフローチャートとプログラム例」に消去制御に最適なフローチャートとプログラム例を示します。

表 20.1 メモリセル動作原理

	書き込み	消去	読み出し
メモリセル			
メモリアレイ			

20.1.2 モード端子の設定と ROM 空間

H8/3437F は 60k バイトのフラッシュメモリを内蔵しています。ROM は CPU と 16 ビットデータバスで接続されています。CPU は、命令サイズがバイト/ワードにかかわらず、フラッシュメモリを 2 ステートでアクセスします。

フラッシュメモリは、H8/3437F では、モード 2 のときアドレス H'0000 ~ H'EF7F に、モード 3 のときアドレス H'0000 ~ H'F77F に割り当てられています。この空間は、モード端子の設定で内蔵フラッシュメモリ空間と外部メモリ空間の切り換えができます。モード端子の設定とフラッシュメモリ空間の設定を表 20.2 に示します。

表 20.2 モード端子の設定と ROM 空間

モード名	モード端子の設定		ROM 空間の設定
	MD ₁	MD ₀	
モード 0	0	0	設定禁止
モード 1		1	外部メモリ空間
モード 2	1	0	内蔵フラッシュメモリ空間 (H'0000 ~ H'EF7F)
モード 3		1	内蔵フラッシュメモリ空間 (H'0000 ~ H'F77F)

20.1.3 特長

フラッシュメモリの特長を以下に示します。

フラッシュメモリの 5 種類の動作状態

フラッシュメモリの動作状態として、プログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモード、プレライトベリファイモードがあります。

消去ブロックの指定

フラッシュメモリ空間の消去対象とするブロックを、対応するビットの設定により指定できます。大ブロックエリア (12k ~ 2k バイトの 8 ブロック) と小ブロックエリア (128 バイト ~ 1k バイトの 8 ブロック) があります。

書き込み、消去時間

フラッシュメモリの 1 バイトあたりの書き込み時間は、50 μ s (typ)、消去時間は、1s (typ) です。

書き換え回数

フラッシュメモリの書き換えは、100 回まで可能です。

オンボードプログラミングモード

フラッシュメモリの書き込み、消去、ベリファイを行うモードです。2 種類の動作モード (ブートモード、ユーザプログラムモード) があります。

ビットレート自動合わせ込み

ブートモードのデータ転送時、ホストの転送ビットレートと H8/3437F ビットレートの自動合わせ込みができます。(max : 9600bps)

RAM によるフラッシュメモリのエミュレーション

フラッシュメモリに RAM の一部を重ね合わせることで、フラッシュメモリのリアルタイムな書き換えをエミュレートします。

ライターモード

プログラムの書き込み、消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあり、汎用 PROM ライタを用いてフラッシュメモリに自由にプログラムを書き込むことができます。書き込み / 消去 / ベリファイなどの仕様は、標準のフラッシュメモリ HN28F101 と同じです。

20.1.4 ブロック図

フラッシュメモリのブロック図を図 20.1 に示します。

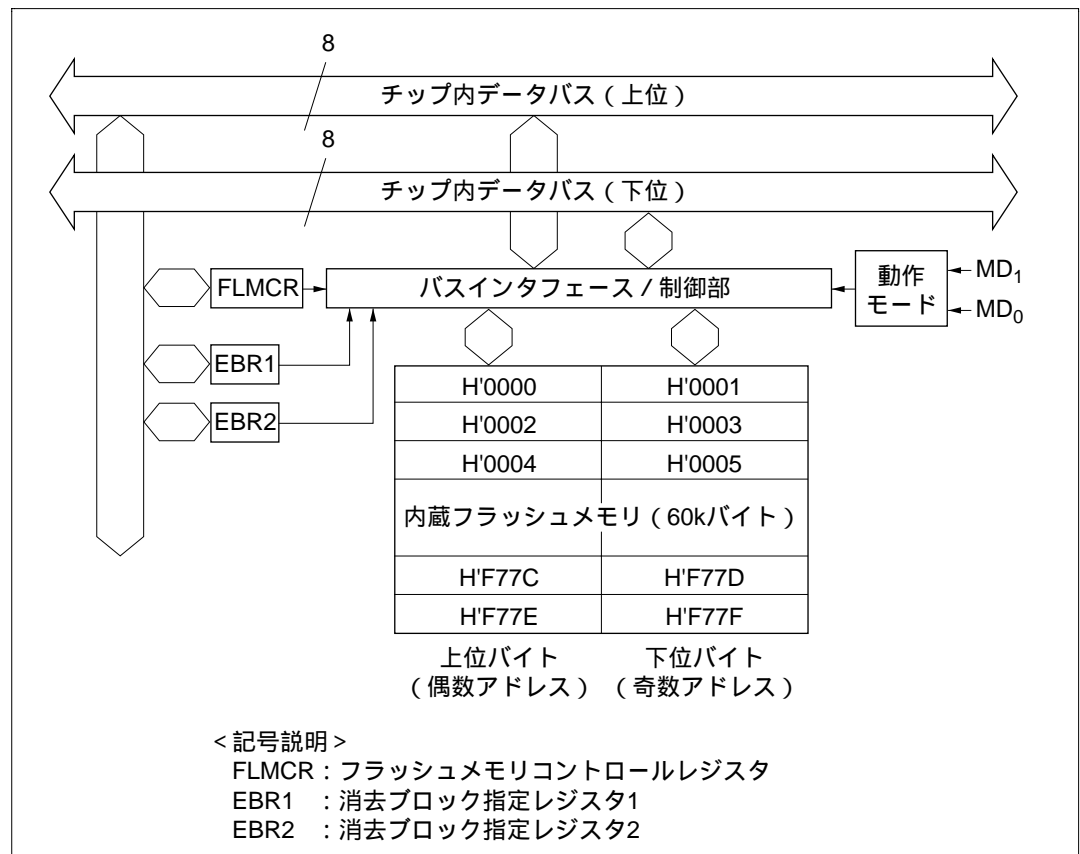


図 20.1 フラッシュメモリのブロック図

20.1.5 端子構成

フラッシュメモリは表 20.3 に示す端子により制御されます。

表 20.3 端子構成

端子名	略称	入出力	機能
プログラム電源	FV _{pp}	電源	12.0V を印加
モード 0	MD ₀	入力	H8/3437F の動作モードを設定
モード 1	MD ₁	入力	H8/3437F の動作モードを設定
トランスミットデータ	TxD ₁	出力	SCI1 送信データ出力
レシーブデータ	RxD ₁	入力	SCI1 受信データ入力

トランスミットデータ端子とレシーブデータ端子はブートモード時に使用します。

20.1.6 レジスタ構成

フラッシュメモリは表 20.4 に示すレジスタにより制御されます。

表 20.4 レジスタ構成

名称	略称	R/W	初期値	アドレス
フラッシュメモリコントロールレジスタ	FLMCR	R/W* ²	H'00* ²	H'FF80
消去ブロック指定レジスタ 1	EBR1	R/W* ²	H'00* ²	H'FF82
消去ブロック指定レジスタ 2	EBR2	R/W* ²	H'00* ²	H'FF83
ウェイトステートコントロールレジスタ* ¹	WSCR	R/W	H'08	H'FFC2

【注】 *¹ ウェイトステートコントロールレジスタは、ウェイトステートコントローラのウェイトと、クロック発振器の周辺モジュールへの分周を制御するレジスタとしても使用しますが、フラッシュメモリを制御する場合、オンボードプログラミングモード時の RAM エリアの設定に使用します。

*² モード 2、3 (内蔵フラッシュメモリが有効) のときは FLMCR、EBR1、EBR2 の初期値は H'00 となります。

モード 1 (内蔵フラッシュメモリが無効) のときは、リードすると常に H'FF が読み出され、ライトも無効となります。

FLMCR、EBR1、EBR2 は、フラッシュメモリの書き込み / 消去時のみ有効なレジスタです。FV_{pp} 端子に 12V が印加されている場合のみアクセス可能です。アドレス H'FF80 ~ H'FF83 は、FV_{pp} 端子に 12V が印加されていない状態ではモード 2 のときに外部アドレス空間、モード 3 のときにリードすると常に H'FF が読み出され、書き込みは無効となります。

20.2 フラッシュメモリ各レジスタの説明

20.2.1 フラッシュメモリコントロールレジスタ (FLMCR)

フラッシュメモリコントロールレジスタ (FLMCR) は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。ビットをセットすることにより、プログラムモード、イレースモード、プログラムベリファイモード、イレースベリファイモードに遷移できます。FLMCR はリセット、またはスタンバイモード時、あるいは FV_{pp} に 12V 印加されていないとき、H'00 にイニシャライズされます。ただし、 FV_{pp} 端子に 12V が印加されているときのリセットモード時は、H'80 になります。

ビット :	7	6	5	4	3	2	1	0
	V_{pp}	-	-	-	EV	PV	E	P
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	-	-	-	R/W*	R/W*	R/W*	R/W*

【注】 * モード 2、3 (内蔵フラッシュメモリが有効) のとき初期値は H'00 となります。モード 1 (内蔵フラッシュメモリが無効) のときは、リードすると常に H'FF が読み出され、ライトも無効となります。本レジスタへのアクセスについては「20.7 フラッシュメモリの書き込み / 消去時の注意」の (11) を参照してください。

ビット 7 : プログラム電源 (V_{pp})

プログラム電源ビット (V_{pp}) は、 FV_{pp} 端子に 12V が印加されていることを示すステータスフラグです。使用時の注意は「20.7 フラッシュメモリの書き込み / 消去時の注意」の (5) を参照してください。

ビット 7	説明
V_{pp}	
0	[クリア条件] (初期値) FV_{pp} 端子に 12V が印加されていないとき
1	[セット条件] FV_{pp} 端子に 12V が印加されているとき

ビット 6 ~ 4 : リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット3 : イレースベリファイモード (EV) *¹

イレースベリファイモードへの遷移、または解除を選択するビットです。

ビット3	説明
EV	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移

ビット2 : プログラムベリファイモード (PV) *¹

プログラムベリファイモードへの遷移、または解除を選択するビットです。

ビット2	説明
PV	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移

ビット1 : イレースモード (E) *¹ *²

イレースモードへの遷移、または解除を選択するビットです。

ビット1	説明
E	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移

ビット0：プログラムモード (P) *1 *2

プログラムモードへの遷移、または解除を選択するビットです。

ビット0	説明
P	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移

【注】 *1 複数のビットを同時にセットしないでください。

ビットをセットした状態で V_{CC} 、 V_{PP} 電源を解除 / 切断しないでください。

*2 P ビット、E ビットのセットは「20.4 フラッシュメモリの書き込み / 消去」に示す書き込み、消去アルゴリズムに従ってください。

ビットをセットした時間が規定以上の時間を誤って超えないよう、あらかじめウォッチドッグタイマの設定を行ってください。

使用時の注意は、「20.7 フラッシュメモリの書き込み / 消去時の注意」を参照してください。

20.2.2 消去ブロック指定レジスタ 1 (EBR1)

消去ブロック指定レジスタ 1 (EBR1) はフラッシュメモリの書き込みおよび消去する大ブロックを選択する 8 ビットのレジスタです。リセット、またはスタンバイモード時、あるいは FV_{PP} 端子に 12V 印加されていないとき、H'00 にイニシャライズされます。EBR1 のビットを 1 にセットすると対応するブロックが選択され、書き込みおよび消去対象ブロックになります。消去ブロックの分割を図 20.2 に、消去ブロックの分割と対応するビットを表 20.6 に示します。

ビット：	7	6	5	4	3	2	1	0
	LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0
初期値：	0	0	0	0	0	0	0	0
R/W	R/W*1 *2	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1	R/W*1

【注】 *1 モード 2、3 (内蔵ROMが有効) のとき初期値はH'00となります。

モード 1 (内蔵ROMが無効) のときは、リードすると常にH'FFが読み出され、ライトも無効となります。

*2 モード 2 のとき、ビット 7 へのライトは無効となります。
本レジスタへのアクセスについては「20.7 フラッシュメモリの書き込み / 消去時の注意」の (11) を参照してください。

ビット7~0：ラージブロック7~0 (LB7~LB0)

ラージブロック7~0 (LB7~LB0) ブロックを書き込みおよび消去対象ブロックとして選択するビットです。

ビット7~0	説明
LB7~LB0	
0	LB7~LB0 ブロックを選択していないとき (初期値)
1	LB7~LB0 ブロックを選択しているとき

20.2.3 消去ブロック指定レジスタ2 (EBR2)

消去ブロック指定レジスタ2 (EBR2) は、フラッシュメモリの書き込みおよび消去する小ブロックを選択する8ビットのレジスタです。リセット、またはスタンバイモード時、あるいはFV_{PP}端子に12V印加されていないとき、H'00にイニシャライズされます。EBR2のビットを1にセットすると対応するブロックが選択され、書き込みおよび消去対象ブロックになります。消去ブロックの分割を図20.2に、消去ブロックの分割と対応するビットを表20.6に示します。

ビット：	7	6	5	4	3	2	1	0
	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】* モード2、3 (内蔵ROMが有効) のとき初期値はH'00となります。
 モード1 (内蔵ROMが無効) のときは、リードすると常にH'FFが読み出され、ライトも無効となります。
 本レジスタへのアクセスについては「20.7 フラッシュメモリの書き込み / 消去時の注意」の(11)を参照してください。

ビット7~0：スモールブロック7~0 (SB7~SB0)

スモールブロック7~0 (SB7~SB0) ブロックを書き込みおよび消去対象ブロックとして選択するビットです。

ビット7~0	説明
SB7~SB0	
0	SB7~SB0 ブロックを選択していないとき (初期値)
1	SB7~SB0 ブロックを選択しているとき

20.2.4 ウェイトステートコントロールレジスタ (WSCR)

ウェイトステートコントロールレジスタ (WSCR) は 8 ビットのリード/ライト可能なレジスタで、フラッシュメモリのリアルタイムな書き換えをエミュレートする際に使用する RAM エリアを選択するレジスタです。また、周辺モジュールへ供給するクロックの分周を制御し、ウェイトステートコントローラのウェイトを制御します。

WSCR はリセット、またはハードウェアスタンバイモード時に H'08 にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット :	7	6	5	4	3	2	1	0
	RAMS	RAM0	CKDBL	-	WMS1	WMS0	WC1	WC0
初期値 :	0	0	0	0	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7 : RAM セレクト (RAMS)

ビット 6 : RAM0

RAM エリアを設定します (表 20.5)。初期値は 0 でライト可能です。リセットまたは、ハードウェアスタンバイモード時にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット 7、6 のいずれか一方のみがセットされると、フラッシュメモリの小ブロックエリアに RAM の一部を重ね合わせることができます。この場合のアクセス対象はフラッシュメモリではなく RAM になり、フラッシュメモリの全ブロックに対して書き込み/消去プロテクト (エミュレーションプロテクト*1) が有効となります。この状態ではフラッシュメモリコントロールレジスタ (FLMCR) の P ビットまたは E ビットをセットしてもプログラムまたはイレースモードに遷移しません (ただし、ベリファイモードへの遷移は可能です)。このためフラッシュメモリエリアに実際の書き込み/消去を行う場合はビット 7、6 を 0 にクリアしてください。

ビット 7、6 を共にセットした場合も、フラッシュメモリの小ブロックエリアに RAM の一部を重ね合わせることができます。ただし、この重ね合わせは FV_{pp} 端子に 12V が印加された状態で割り込み信号が入力された時点で有効になります。それ以前のアクセス対象はフラッシュメモリです。この設定はフラッシュメモリの書き込み/消去中の割り込み処理*2の際に使用します。

表 20.5 RAM エリア*3の設定方法

ビット7	ビット6	使用する RAM エリア	対応する ROM エリア
RAMS	RAM0		
0	0	なし	-
	1	H'F880 ~ H'F8FF	H'0080 ~ H'00FF
1	0	H'F880 ~ H'F97F	H'0080 ~ H'017F
	1	H'F800 ~ H'F87F	H'0000 ~ H'007F

ビット5：クロック分周 (CKDBL)

周辺モジュールへ供給するシステムクロックの分周を制御します。詳しくは「第6章 クロック発振器」を参照してください。

ビット4：リザーブビット

リザーブビットです。リード/ライト可能で、初期値は0です。

ビット3、2：ウェイトモードセレクト1、0 (WMS1、WMS0)

ビット1、0：ウェイトカウント1、0 (WC1、WC0)

ウェイトステートコントローラのウェイトを制御します。詳しくは「第5章 ウェイト制御」を参照してください。

【注】 *1 エミュレーションプロテクトについては、「20.4.8 プロテクトモード」を参照してください。

*2 フラッシュメモリの書き込み/消去中の割り込み処理については、「20.4.9 フラッシュメモリへの書き込み/消去時の割り込み処理」を参照してください。

*3 フラッシュメモリとオーバーラップする RAM エリア。

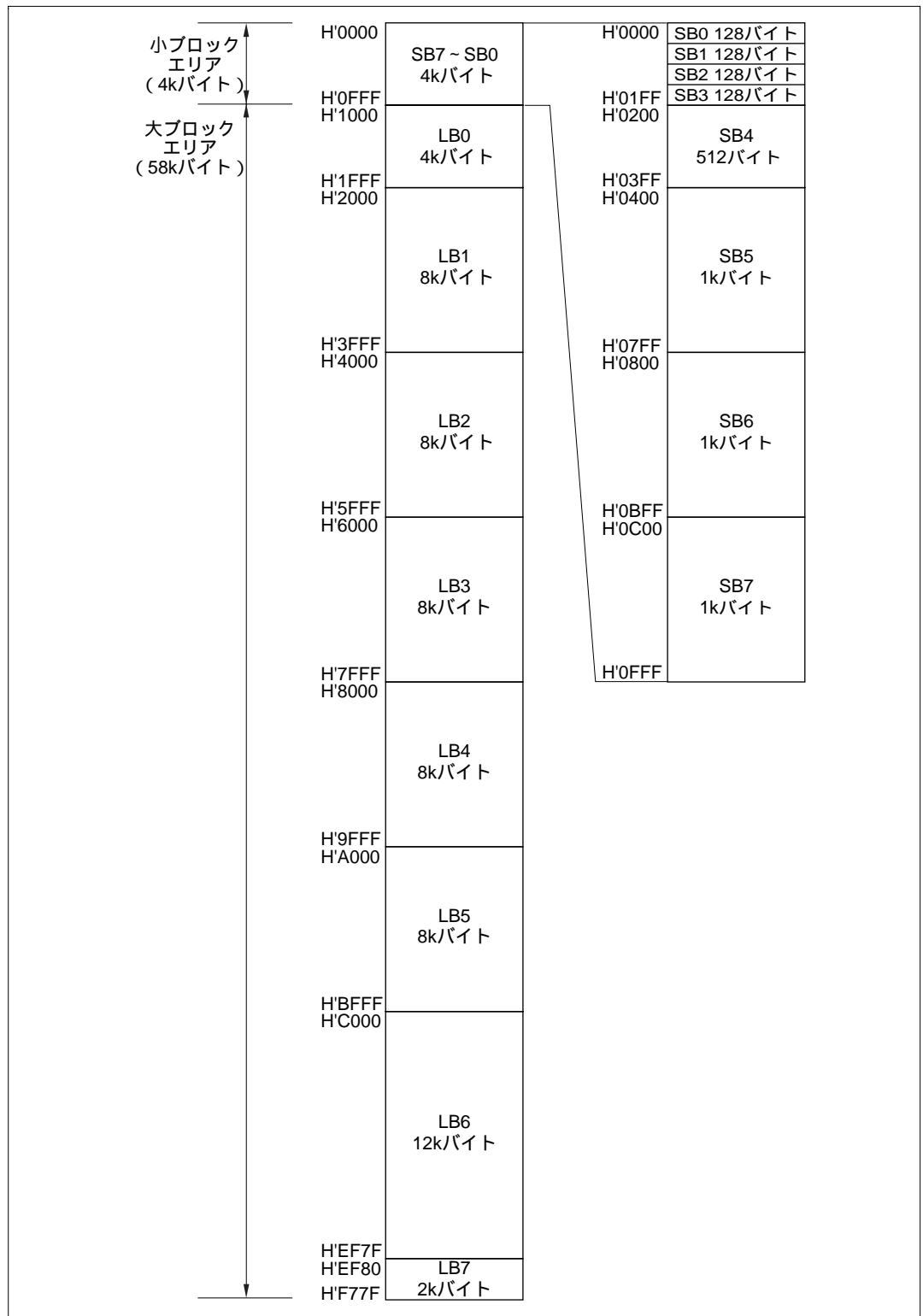


図 20.2 消去ブロックの分割

表 20.6 消去ブロックの分割と対応するビット

レジスタ	ビット	ブロック	アドレス	サイズ
EBR1	0	LB0	H'1000 ~ H'1FFF	4k バイト
	1	LB1	H'2000 ~ H'3FFF	8k バイト
	2	LB2	H'4000 ~ H'5FFF	8k バイト
	3	LB3	H'6000 ~ H'7FFF	8k バイト
	4	LB4	H'8000 ~ H'9FFF	8k バイト
	5	LB5	H'A000 ~ H'BFFF	8k バイト
	6	LB6	H'C000 ~ H'EF7F	12k バイト
	7	LB7	H'EF80 ~ H'F77F	2k バイト

レジスタ	ビット	ブロック	アドレス	サイズ
EBR2	0	SB0	H'0000 ~ H'007F	128 バイト
	1	SB1	H'0080 ~ H'00FF	128 バイト
	2	SB2	H'0100 ~ H'017F	128 バイト
	3	SB3	H'0180 ~ H'01FF	128 バイト
	4	SB4	H'0200 ~ H'03FF	512 バイト
	5	SB5	H'0400 ~ H'07FF	1k バイト
	6	SB6	H'0800 ~ H'0BFF	1k バイト
	7	SB7	H'0C00 ~ H'0FFF	1k バイト

20.3 オンボードプログラミングモード

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリの書き込み、消去、ベリファイを行うことができます。本モードには、2種類の動作モード（ブートモード、ユーザプログラムモード）があります。これらのモードは、モード端子（MD₁、MD₀）、FV_{pp} 端子により設定します。表 20.7 にオンボードプログラミングモードの設定方法を示します。

V_{pp} の印加 / 切断時の注意については「20.7 フラッシュメモリの書き込み / 消去時の注意」の (5) を参照してください。

表 20.7 オンボードプログラミングモードの設定

モード設定		FV _{pp}	MD ₁	MD ₀	備考
ブートモード	モード 2	12V*	12V*	0	0 : V _{IL} 1 : V _{IH}
	モード 3		12V*	1	
ユーザプログラミングモード	モード 2		1	0	
	モード 3		1	1	

【注】 * 1. 12V 印加のタイミングについては、「20.3.1 (4) ブートモード使用時の注意事項」の (6) ~ (8) を参照してください。

2. ブートモード時のモードコントロールレジスタ (MDCR) は、通常モードと同様にモード 2、3 の状態をモニタすることができます。

例

モード端子をモード 2 のブートモードに設定 (MD₁ = 12V、MD₀ = 0V)

このとき MDCR のモードセレクトビットをリードするとモード 2 の状態 (MDS1 = 1、MDS0 = 0) を読み出すことができます。

20.3.1 ブートモード

ブートモードを使用する場合には、あらかじめフラッシュメモリの書き込み消去用のユーザプログラムをホスト側のパソコンなどに準備しておく必要があります。また、使用する SCI は、チャンネル 1 の調歩同期式モードに設定されています。H8/3437F をブートモードに設定すると、リセット解除後、あらかじめ組み込まれているブートプログラムが起動され、ホストから送信されるデータの Low レベル期間をまず測定し、ビットレートレジスタ (BRR) の値を決定します。次に、H8/3437F 内蔵のシリアルコミュニケーションインタフェース (SCI) を用いて外部からのユーザプログラムの受信が可能となり、受信されたユーザプログラムは、RAM に書き込まれます。

書き込み終了後、内蔵 RAM の先頭アドレス (HF7E0) に分岐し、RAM 上に書き込まれたプログラムを実行し、フラッシュメモリの書き込み、消去が可能となります。ブートモードの実行手順を図 20.4 に示します。

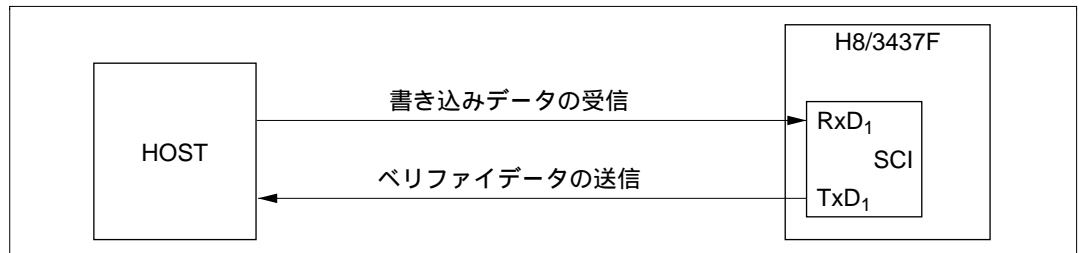


図 20.3 ブートモードシステム構成図

(1) ブートモードの実行手順

ブートモードの実行手順を以下に示します。

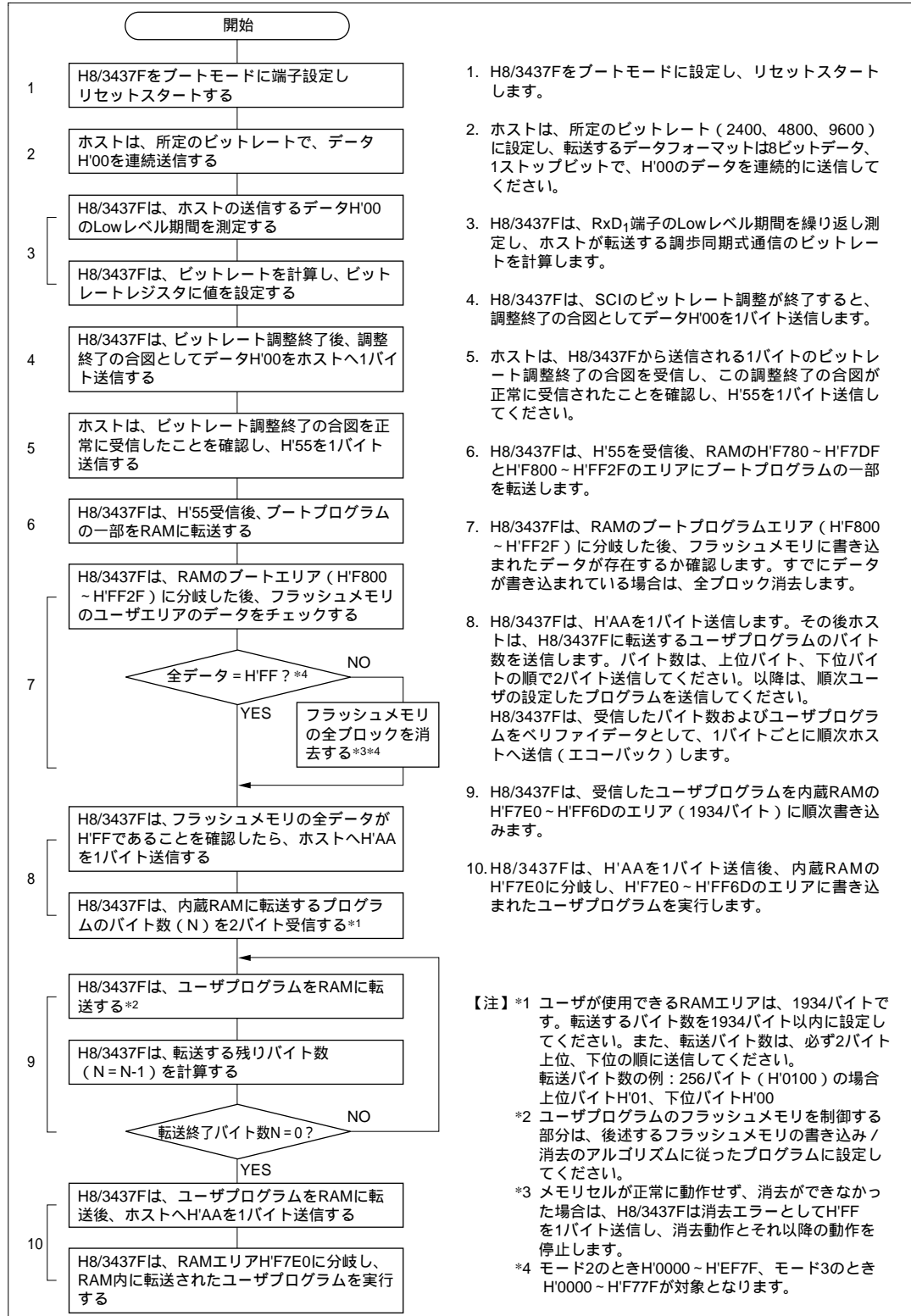


図 20.4 ブートモードの動作フローチャート

(2) SCI ビットレートの自動合わせ込み動作

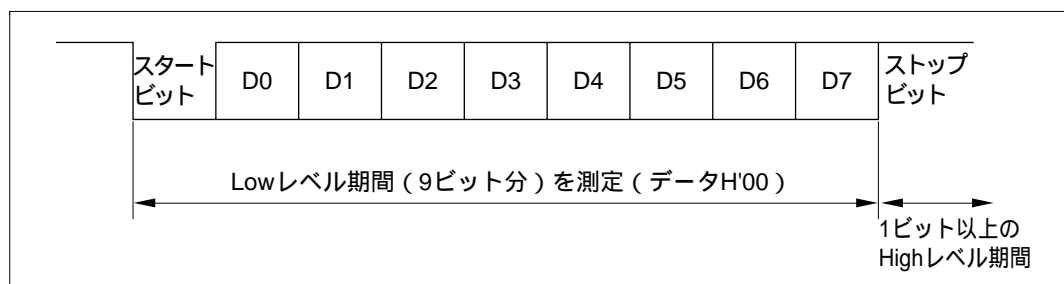


図 20.5 ホスト送信データの Low 期間の測定

ブートモードを起動すると、H8/3437F は、ホストより送信される調歩同期式 SCI 通信データの Low レベル期間を測定します (図 20.5)。このデータフォーマットは、8 ビットデータ 1 ストップビット、パリティなしのフォーマットです。H8/3437F は、測定した Low レベル期間 (9 ビット) よりホストの送信ビットレートを計算します。H8/3437F は、ビットレートの調整が終わると、ビット調整終了合図としてホストへ 1 バイトの H'00 データを送信します。ホストは、この調整終了合図を正常に受信したことを確認し、H8/3437F へ H'55 を 1 バイト送信してください。受信が正常に行われない場合は、再度ブートモードでリセット起動し、Low 期間の測定を実行してください。ホストが送信するビットレート、および H8/3437F のシステムクロックの発振周波数 (f_{osc}) によってホストと H8/3437F のビットレートに誤差が発生します。正常に SCI 動作を行うために、ホストの転送ビットレートを 2400、4800、9600bps*¹ に設定してください。ホストの代表的な転送ビットレートと H8/3437F のビットレートの自動合わせ込みが可能なシステムクロックの発振周波数を表 20.8 に示します。このシステムクロックの発振周波数の範囲内でブートモードを実行してください。*²

表 20.8 H8/3437F のビットレートの自動合わせ込みが可能なシステムクロックの
発振周波数

ホストのビットレート* ¹	H8/3437F のビットレートの自動合わせ込みが可能な システムクロックの発振周波数 (f _{osc})
9600bps	8MHz ~ 16MHz
4800bps	4MHz ~ 16MHz
2400bps	2MHz ~ 16MHz

【注】 *1 ホストのビットレートは 2400、4800、9600bps の設定のみで、それ以外の設定は使用しないでください。

*2 H8/3437F は表 20.8 に示すビットレートとシステムクロックの発振周波数の組み合わせ以外でも、自動合わせ込みを行う場合がありますが、ホストと H8/3437F とのビットレートに誤差が生じ、その後の転送が正常に行われません。そのためブートモードの実行は表 20.8 に示す転送ビットレートとシステムクロックの発振周波数の組み合わせの範囲内で必ず行ってください。

(3) ブートモード時の RAM エリアの分割

ブートモードでは、H'F780 ~ H'F7DF の 96 バイトと H'FF6E ~ H'FF7F の 18 バイトは、図 20.6 に示すようにブートプログラムで使用するエリアとしてリザーブされています。ユーザのプログラムを転送するエリアは H'F7E0 ~ H'FF6D (1934 バイト) です。ブートプログラムのエリアは、RAM 内に転送したユーザプログラムの実行状態に遷移すると使用できません。スタックエリアはユーザプログラム内で必要に応じて設定してください。

H'F780	ブートプログラム エリア* (96バイト)	【注】* RAM内に転送したユーザプログラム実行状態に遷移 (RAMエリアのH'F7E0に分岐) するまで本エリアを使用できません。なお、ユーザプログラム分岐後もRAM内のブートプログラムエリア (H'F780 ~ H'F7DF、H'FF6E ~ H'FF7F) にはブートプログラムがそのまま保持されていますので、注意してください。 また、ブートプログラム中の割り込み処理ルーチンを実行する場合は、本エリアのH'F780 ~ H'F78F (16バイト) を使用できません。詳細は「20.4.9 フラッシュメモリへの書き込み / 消去時の割り込み処理」を参照してください。
H'F7E0		
H'FF6E H'FF7F	ユーザプログラム 転送エリア (1934バイト)	
	ブートプログラム エリア* (18バイト)	

図 20.6 ブートモード時の RAM エリア

(4) ブートモード使用時の注意事項

- (1) H8/3437F は、ブートモードでリセット解除すると、SCI の RxD₁ 端子の Low レベル期間を測定します。RxD₁ 端子が High レベルの状態でもリセット解除してください。リセット解除後、RxD₁ 端子から入力される Low レベル期間を測定できるようになるまで、H8/3437F は約 100 ステート必要です。

- (2) ブートモードは、フラッシュメモリに書き込まれているデータがある場合(全データ*³が HFF でないとき)、フラッシュメモリの全ブロックを消去します。本モードを実行する場合は、オンボード状態での初期の書き込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰などに使用してください。

- (3) フラッシュメモリのプログラム中、あるいは消去中に割り込みを使用することはできません。

- (4) RxD₁ 端子および TxD₁ 端子は、ボード上でプルアップして使用してください。

- (5) H8/3437F は、ユーザプログラム (RAM エリアの H'F7E0) に分岐するときに内蔵 SCI (チャンネル 1) の送受信動作を終了(シリアルコントロールレジスタの SCR の RE = 0、TE = 0) しますが、ビットレートレジスタ BRR には、合わせ込んだビットレートの値を保持しています。
また、このときトランスミットデータ出力端子 TxD₁ は、High レベル出力状態 (ポート 8 データディレクションレジスタの P8₄DDR = 1、ポート 8 データレジスタの P8₄DR = 1) となっています。
さらにこのとき、CPU 内蔵の汎用レジスタの値は不定です。このためユーザプログラムに分岐した直後に汎用レジスタのイニシャライズを必ず行ってください。特にスタックポインタ (SP) はサブルーチンコール時などに、暗黙的に使用されますので、ユーザプログラムで使用するスタックエリアを必ず指定してください。
上記以外の内蔵レジスタについては初期値が変更されるものではありません。

- (6) ブートモードへの遷移は表 20.7 のモード設定条件に従って、MD₁ 端子と FV_{pp} 端子に 12V を印加後にリセットスタートすることにより可能です。このとき V_{pp} 電源投入に注意が必要です。

H8/3437F はリセット解除時 (Low レベル High レベルの立ち上がり) に MD₁ 端子と FV_{pp} 端子に 12V が印加されているかどうかを判定し、ブートモードの設定であることを検出するとその状態を内部で保持します。その際の印加電圧判定レベル (しきい値電圧) は約 V_{CC} + 2V ~ 11.4V の範囲になっているため、プログラム、イレースを実行

するのに十分な電圧 (11.4V ~ 12.6V) が印加されていなくてもブートモードに遷移します。したがって、ブートプログラム実行時は図 20.20 に示すように RAM エリアに分岐するまでに V_{pp} 電源を 11.4V ~ 12.6V の範囲内に安定させなければなりません。プログラム電圧 V_{pp} はブートモードへの遷移時 (リセット解除タイミング) は 12.6V を超えないように、またブートモード動作中は $12V \pm 0.6V$ の範囲を超えないようにしてください。これを超えるとブートモードは正しく実行されません。また、ブートプログラム実行中やフラッシュメモリへの書き込み、消去中に V_{pp} を解除 / 切断しないでください。*¹

ブートモードを解除するためには、リセット端子を Low レベルにしてから最低 10 システムクロック経過後、 MD_1 端子と FV_{pp} 端子への 12V 印加を解除し、リセット解除することにより可能です。

ただし、ブートモード動作中に外部端子の設定を変更しないでください。ブートモードの途中で MD_1 端子への 12V 印加を解除した場合は、 \overline{RES} 端子によるリセット入力が発生しなければマイコン内部のブートモード状態は保持されており、ブートモードが継続されます (ただし、ブートモードの途中で FV_{pp} 端子への 12V 印加を解除しないでください*¹)。

また、このブートモード状態でウォッチドッグタイマリセットが発生した場合、マイコン内部のモード状態は解除されず、内蔵のブートプログラムが再起動されます。このため、ブートモードから他のモードへ遷移する場合は、モード遷移する前にマイコン内部のブートモード状態を \overline{RES} 端子によるリセット入力によって解除する必要があります。

- (7) リセット中 (\overline{RES} 端子に Low レベルを入力している期間) に MD_1 端子の入力レベルを変化 (例えば 0V 5V 12V) させると、マイコンの動作モードが切り換わることによりアドレス兼用ポート、およびバス制御出力信号 (\overline{AS} 、 \overline{RD} 、 \overline{WR}) の状態が変化*² します。このため、これらの端子はリセット中に出力信号とならないような端子設定にするか、マイコン外部の信号と衝突しないように注意してください。

(8) FV_{PP} および MD_1 端子への 12V 印加は、オーバシュートのピークが最大定格の 13V を超えないようにしてください。

また、 FV_{PP} および MD_1 端子には必ずバイパスコンデンサを接続してください。

【注】 *1 V_{PP} の印加 / 解除 / 切断の注意については「20.7 フラッシュメモリへの書き込み / 消去時の注意」の (5) を参照してください。

*2 アドレス兼用ポートは、リセット中のモード端子の設定がモード 1 の状態になったときアドレスとして Low レベルを出力します。それ以外のモードではハイインピーダンス状態となります。またバス制御出力信号はリセット中のモード端子の設定がモード 1、2 の状態になったとき、High レベルを出力します。モード 3 ではハイインピーダンス状態となります。

*3 モード 2 のとき H'0000 ~ H'EF7F、モード 3 のとき H'0000 ~ H'F77F が対象となります。

20.3.2 ユーザプログラムモード

H8/3437F をユーザプログラムモードに設定すると、ユーザプログラムによるフラッシュメモリの消去、書き込みが可能になります。したがって、あらかじめ基板上に V_{PP} 供給手段、および書き換えデータ供給手段を設け、プログラムエリアの一部にオンボード書き換えプログラムを内蔵させておくことにより、内蔵フラッシュメモリのオンボード書き換えを行うことができます。

本モードの設定は、内蔵 ROM の有効なモード 2、3 に設定し、リセット中もしくは、リセットが確実に行われた後 (リセット解除後)、フラッシュメモリをアクセスしていない状態で、 FV_{PP} 端子に 12V 印加して行います。

このモードの動作では、フラッシュメモリ以外の周辺機能は、モード 2、3 と同じ動作をします。

ただし、 FV_{PP} 端子に 12V 印加中は、ハードウェアスタンバイモードを設定することはできません。

なお、プログラム、イレーズを行っている間、フラッシュメモリを読み出すことはできませんので、オンボード書き換えプログラムを外部メモリ上に置くか、またはフラッシュメモリ書き換えルーチンを RAM エリアに転送し、フラッシュメモリ以外でオンボード書き換えを実行してください。

(1) ユーザプログラムモード実行手順例*1

RAM 内で実行する場合のユーザプログラムモード実行手順を以下に示します。

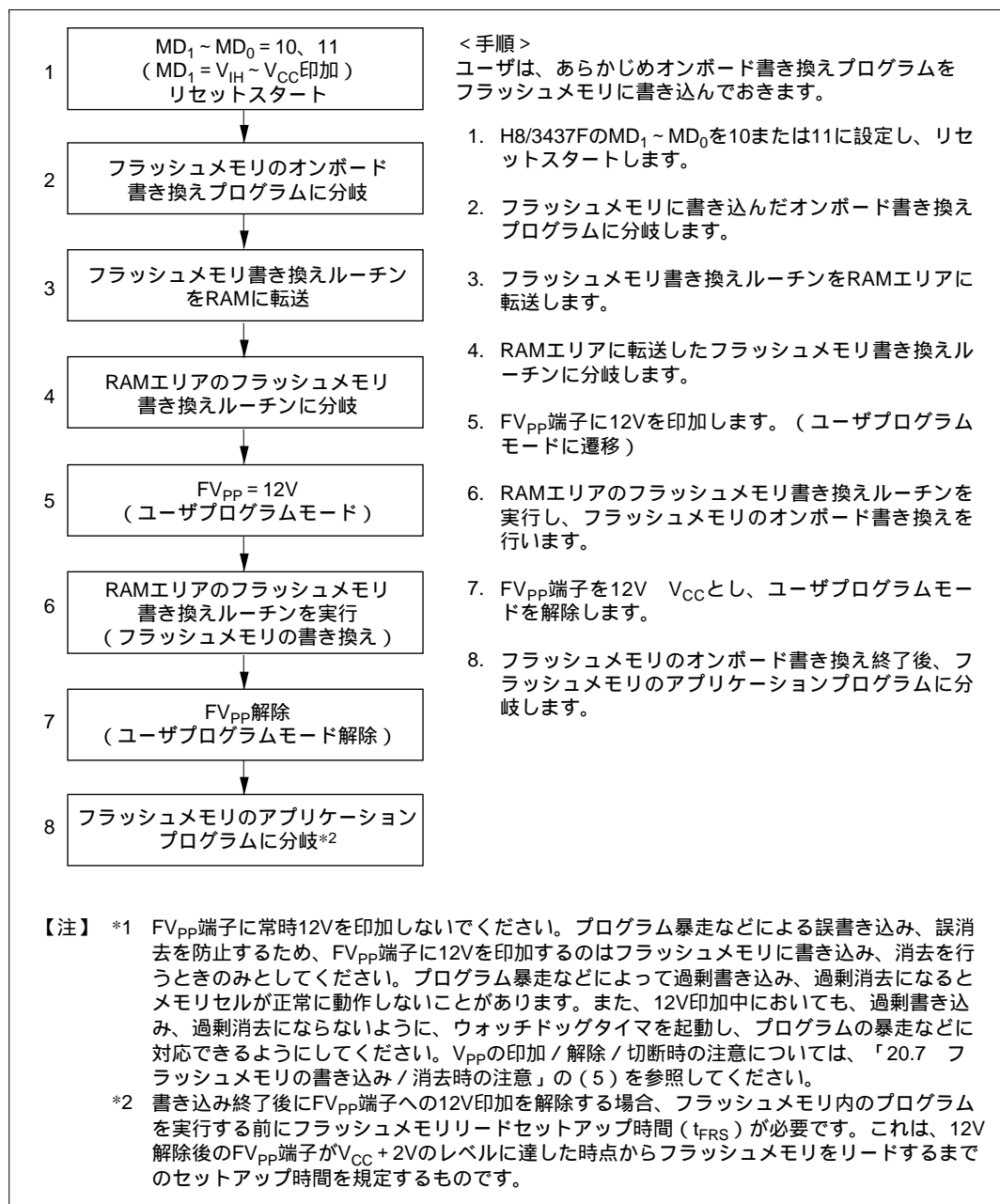


図 20.7 ユーザプログラムモード動作例

20.4 フラッシュメモリの書き込み / 消去

H8/3437F に内蔵するフラッシュメモリは、CPU を用いてソフトウェアで書き込み、消去を行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード、イレースモード、プログラムベリファイモード、イレースベリファイモード、プレライトベリファイモードがあります。フラッシュメモリコントロールレジスタ (FLMCR) の P ビット、E ビット、PV ビット、EV ビットのいずれかのビットをセットすることにより各動作モードに遷移することができます。

フラッシュメモリは、書き込み、あるいは消去を行っている間読み出すことはできません。フラッシュメモリの書き込み、消去を制御するプログラムは、内蔵 RAM あるいは外部メモリ上に置き、実行してください。以下に各動作モードの説明と、推奨する書き込みフロー、消去フローおよびプログラム例を示します。

書き込み、消去時の注意は「20.7 フラッシュメモリの書き込み / 消去時の注意」を参照してください。

20.4.1 プログラムモード

フラッシュメモリへのデータの書き込みは、図 20.8 に示す書き込みアルゴリズムに従って行ってください。この書き込みアルゴリズムは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく、書き込みを行うことができます。

データの書き込みは、フラッシュメモリの書き込むエリアを消去ブロック指定レジスタ 1、2 (EBR1、EBR2) で設定し、書き込むアドレスに RAM と同様にデータをライトします。フラッシュメモリは、プログラムアドレスと、プログラムデータをアドレスラッチ、データラッチに各々ラッチします。FLMCR の P ビットをセットし、動作モードをプログラムモードに設定します。P ビットをセットしている時間が書き込み時間になります。トータル書き込み時間は 1ms を超えないように設定してください。また、プログラムの暴走などにより、過剰時間書き込みをするとデバイスにダメージを与えます。プログラムモードに設定する前に、あらかじめウォッチドッグタイマを設定し、過剰に書き込みを起こすことのないようにしてください。

書き込み方法詳細については、「20.4.3 書き込みのフローチャートとプログラム例」を参照してください。

20.4.2 プログラムベリファイモード

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正常に書き込まれているかを確認するモードです。

書き込み時間経過後、プログラムモードを解除 (P ビット=0) し、プログラムベリファイモード (PV ビット=1) に設定してください。プログラムベリファイモードは、ラッチしたアドレスのメモリセルにプログラムベリファイ電圧を印加します。この状態で、フラッシュメモリをリードするとラッチしたアドレスのデータが読み出されます。リード動作は、プログラムベリファイモードに設定後、4 μ s 以上の待機時間を置いて行ってください。書き込んだデータとベリファイデータを比較し、一致した場合、プログラムベリファイモードを解除し、次のアドレスの書き込みを行ってください。一致しなかった場合は、再度プログラムモードに設定し、同様にプログラム、プログラムベリファイシーケンスを繰り返します。ただし、同一ビットに対するプログラム、プログラムベリファイシーケンスの繰り返しは、6回*を超えないでください。

【注】 * トータル書き込み時間が 1ms を超えないように回数を設定してください。

20.4.3 書き込みのフローチャートとプログラム例

(1) 1 バイト書き込みのフローチャート

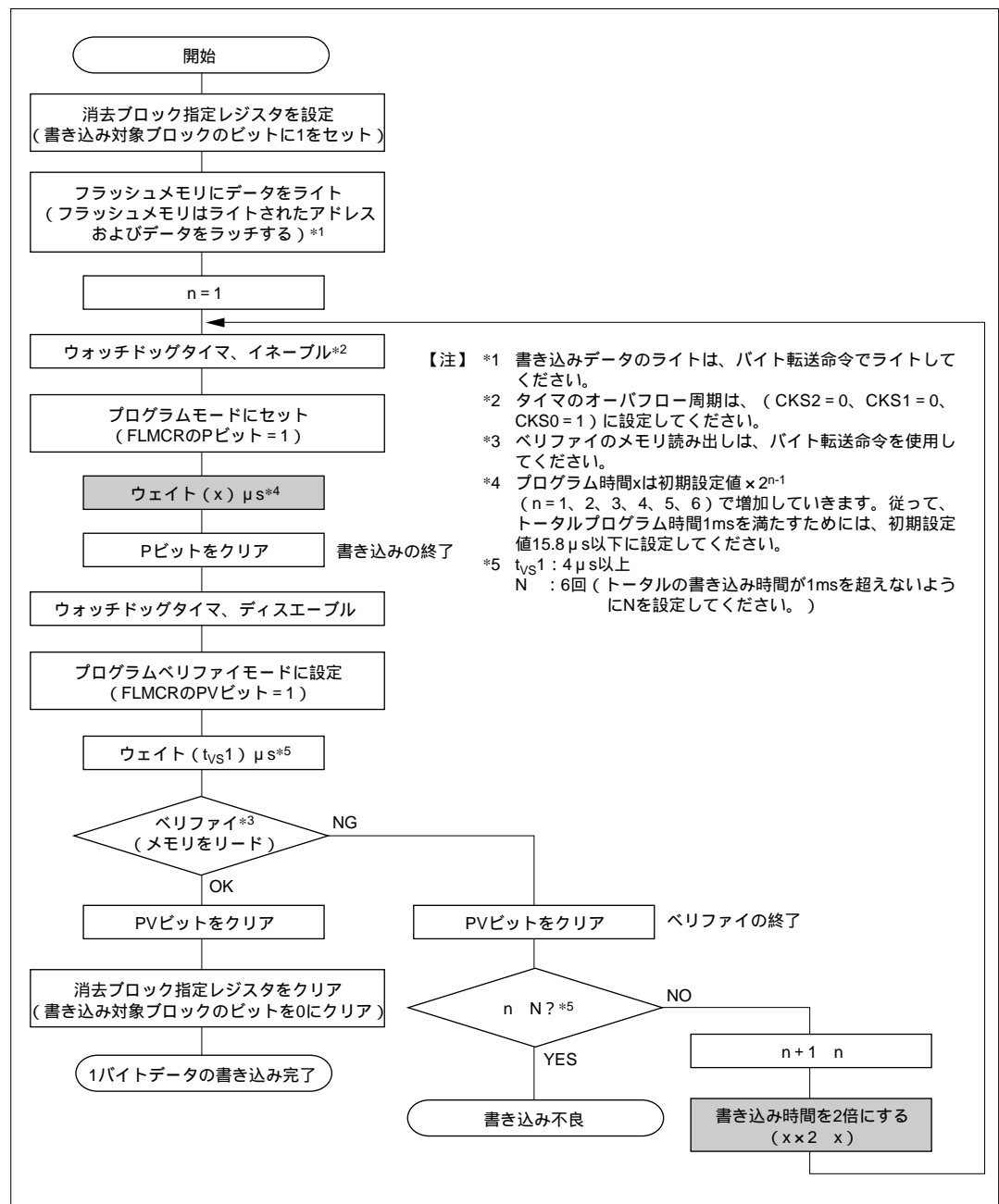


図 20.8 書き込みフローチャート

(2) 1 バイト書き込みのプログラム例

使用レジスタと使用方法

- R0H : イレースブロックの指定に用います。
 R1H : プログラムデータを格納します。
 R1L : リードデータを格納します。
 R3 : プログラムアドレスを格納します。アドレス指定はモード 2 のとき H'0000 ~ H'EF7F、モード 3 のとき H'0000 ~ HF77F が有効です。
 R4 : プログラムおよびプログラムベリファイのループカウンタ値の設定に用います。また、レジスタの設定値を格納します。
 R5 : プログラムループカウンタ値の設定に用います。
 R6L : プログラムベリファイフェイルカウントに用います。

R3 (プログラムアドレス) および R1H (プログラムデータ) の値を設定することにより、任意のデータを任意のアドレスに書き込むことが可能です。

#a および #b の値は動作周波数によって設定が異なります。表 20.9 (1)、(2) に従い設定してください。

```

FLMCR: .EQU      H'FF80
EBR1:   .EQU      H'FF82
EBR2:   .EQU      H'FF83
TCSR:   .EQU      H'FFA8

                .ALIGN      2
PRGM:   MOV.B     #H'**,    R0H      ;
        MOV.B     R0H,     @EBR*:8  ;EBR*セット

        MOV.B     #H'00,   R6L      ;プログラムベリファイフェイルカウンタ
        MOV.W     #H'a,    R5       ;プログラムループカウンタの設定
        MOV.B     R1H,    @R3      ;ダミーライト
PRGMS:  INC      R6L          ;プログラムベリファイフェイルカウンタ + 1  R6L
        MOV.W     #H'A579, R4      ;
        MOV.W     R4,     @TCSR    ;WDT スタート
        MOV.W     R5,     R4       ;プログラムループカウンタの設定
        BSET     #0,     @FLMCR:8  ;P ビットセット
LOOP1:  SUBS     #1,     R4        ;
        MOV.W     R4,     R4       ;
        BNE     LOOP1      ;WAIT ループ
        BCLR     #0,     @FLMCR:8  ;P ビットクリア
        MOV.W     #H'A500, R4      ;
        MOV.W     R4,     @TCSR    ;WDT ストップ

```

```

MOV.B   #H'0b,   R4H           ;プログラムベリファイルーブカウンタの設定
BSET    #2,      @FLMCR:8     ;PV ビットセット
LOOP2:  DEC      R4H           ;
BNE     LOOP2    ;WAIT ループ
MOV.B   @R3,    R1L           ;プログラムデータリード
CMP.B   R1H,    R1L           ;プログラムデータとリードデータの比較
BEQ     PVOK     ;プログラムベリファイの判定
BCLR    #2,      @FLMCR:8     ;PV ビットクリア

CMP.B   #H'06,   R6L           ;プログラムベリファイ 6 回実行?
BEQ     NGEND    ;プログラムベリファイ 6 回実行ならば NGEND に分岐
ADD.W   R5,     R5            ;プログラム時間×2
BRA     PRGMS    ;再書き込み処理

PVOK:   BCLR    #2,      @FLMCR:8 ;PV ビットクリア
MOV.B   #H'00,   R6L           ;
MOV.B   R6L,    @EBR*:8     ;EBR*クリア

```

1 バイトデータの書き込み完了

NGEND: 書き込み不良

20.4.4 イレースモード

フラッシュメモリの消去は、図 20.9 に示す消去アルゴリズムに従い行ってください。この消去アルゴリズムは、デバイスへの電圧ストレス、あるいはプログラムデータの信頼性を損なうことなく、消去を行うことができます。

フラッシュメモリの消去では、消去を開始する前に消去するブロックの全メモリデータが書き込まれた状態 (全メモリデータ: H'00) にしてください。全メモリデータが書き込まれた状態でない場合は、後述するシーケンスに従いメモリデータに 0 を書き込んでください。フラッシュメモリの消去するエリアの指定は、消去ブロック指定レジスタ 1、(EBR1、EBR2) で設定します。FLMCR の E ビットをセットし、動作モードをイレースモードに設定します。E ビットをセットしている時間が消去時間になります。消去は、過剰消去にならないよう、1 回の消去時間をソフトウェアタイマで分割し、その合計が 30s を超えないようにしてください。1 回の消去時間は「20.4.6 消去のフローチャートとプログラム例」を参照してください。プログラムの暴走などにより、消去し過ぎるとしきい値電圧が負になりメモリセルが動作しなくなりますので、イレースモードに設定する前に、あらかじめウォッチドッグタイマを設定し、過剰消去を起こすことのないようにしてください。

20.4.5 イレースベリファイモード

イレースベリファイモードは、消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。消去時間経過後、イレースモードを解除 (E ビット=0) し、イレースベリファイモード (EV ビット=1) に設定してください。イレースベリファイモードは、リードする前にリードするアドレスにデータ H'FF をダミーライトしてください。このダミーライトにより、ラッチしたアドレスのメモリセルにイレースベリファイ電圧が印加されます。この状態でフラッシュメモリをリードするとラッチしたアドレスのデータが読み出されます。リード動作は、ダミーライト後、2 μ s 以上の待機時間を経過した後行ってください。また、最初のダミーライトはイレースベリファイモードに設定後、4 μ s 以上の待機時間を経過した後行ってください。読み出したデータが消去されていた場合、次のアドレスのイレースベリファイ (ダミーライトし、2 μ s 以上の待機時間後、リード) を行います。読み出したデータが未消去の場合は、再度イレースモードに設定し、同様にイレース、イレースベリファイシーケンスを最終アドレスまで繰り返します。ただし、このイレース、イレースベリファイシーケンスの繰り返しは、602 回を超えない範囲で全メモリデータが 1 になるまで行ってください。

20.4.6 消去のフローチャートとプログラム例

(1) 1 ブロック消去のフローチャート

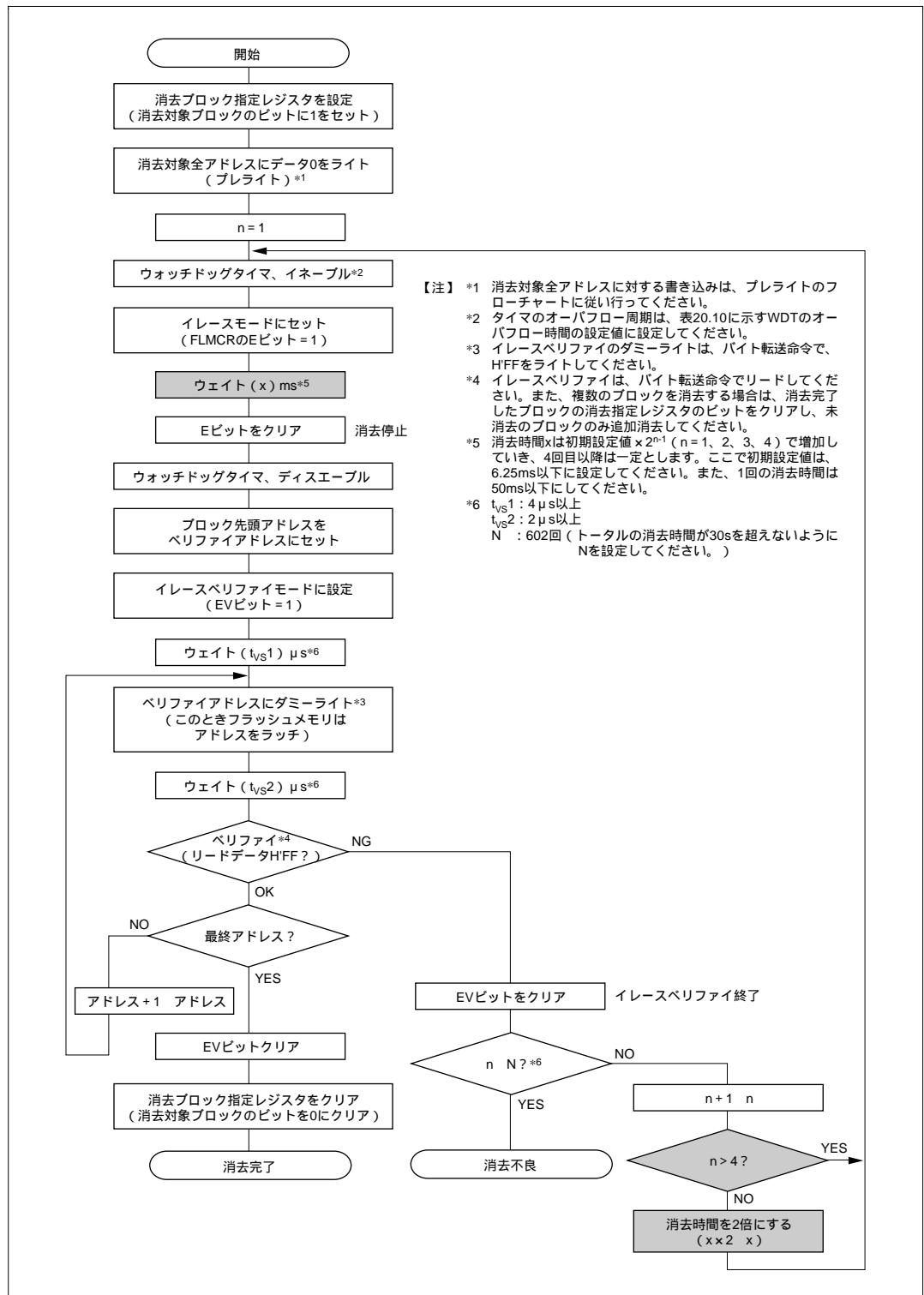


図 20.9 消去フローチャート

(2) プレライトのフローチャート

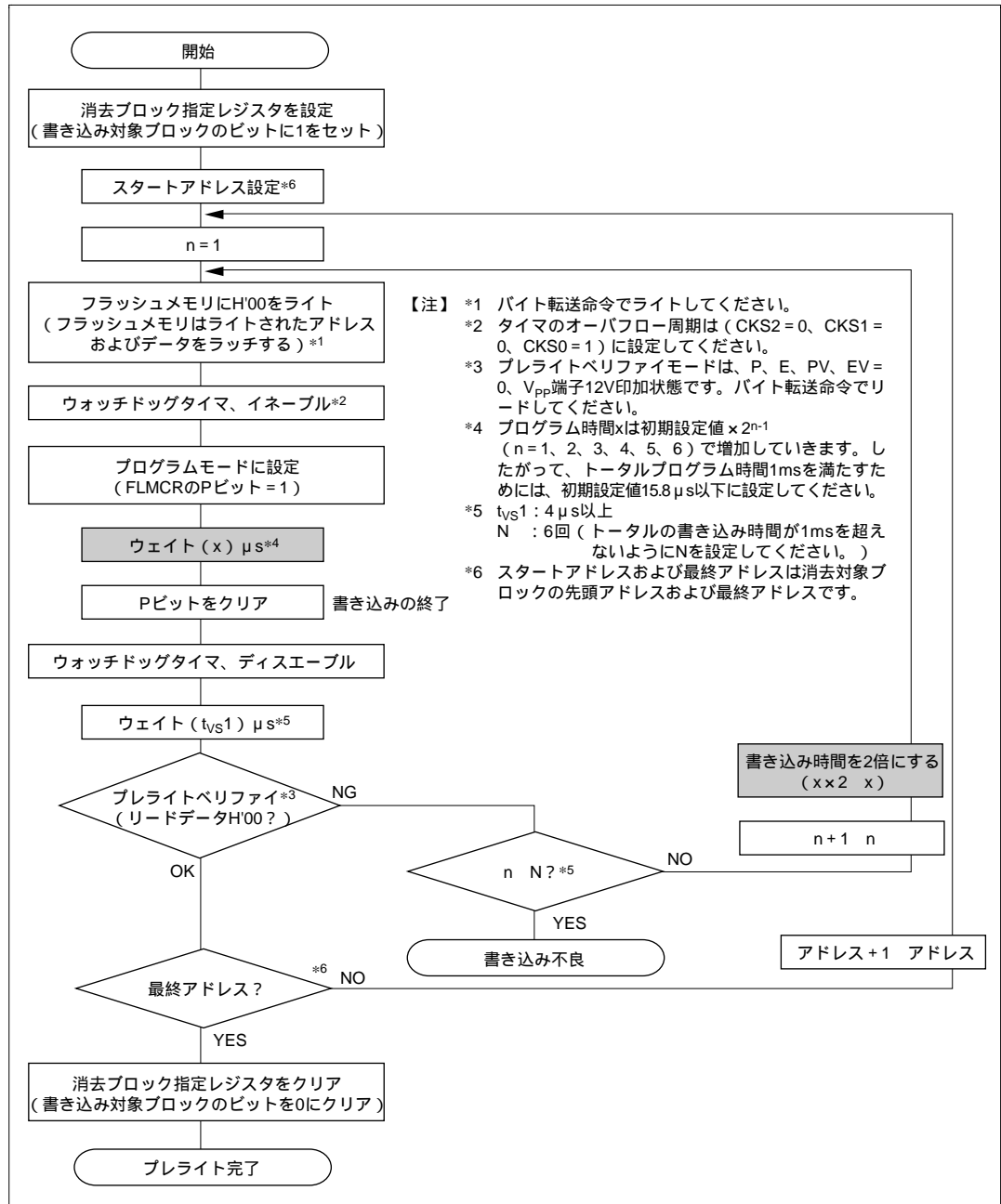


図 20.10 プレライトフローチャート

(3) 1 ブロック消去のプログラム例

使用レジスタと使用方法

- R0 : イレースブロックの指定に用います。
 また、プレライトおよびイレースベリファイに用いるアドレスを格納します。
- R1H : リードデータを格納します。また、ダミーライト時に用います。
- R2 : 消去対象ブロックの最終アドレスを格納します。
- R3 : プレライトおよびイレースベリファイに用いるアドレスを格納します。
- R4 : プレライト、プレライトベリファイ、イレースおよびイレースベリファイのループカウンタ値の設定に用います。また、レジスタの設定値を格納します。
- R5 : プレライトおよびイレースループカウンタ値の設定に用います。
- R6L : プレライトベリファイおよびイレースベリファイフェイルカウントに用います。

プログラム中の#a、#b、#c、#d、#e の値は動作周波数によって設定が異なります。表 20.9(1)、(2)および表 20.10 に従い設定してください。消去ブロック指定レジスタ(EBR1、EBR2) の設定は「20.2 フラッシュメモリ各レジスタの説明」の 20.2.2、20.2.3 に従い設定してください。#BLKSTR、#BLKEND は、設定した消去ブロック指定レジスタに対応する先頭アドレスおよび最終アドレスを、図 20.2 に従い設定してください。

```
FLMCR: .EQU H'FF80
EBR1: .EQU H'FF82
EBR2: .EQU H'FF83
TCSR: .EQU H'FFA8
```

```
.ALIGN 2
MOV.B #H'**, R0H ;
MOV.B R0H, @EBR*:8 ; EBR*セット
```

; #BLKSTR は消去するブロックの先頭アドレスを設定してください。

; #BLKEND は消去するブロックの最終アドレスを設定してください。

```
MOV.W #BLKSTR, R0 ; 消去対象ブロックの先頭アドレス
MOV.W #BLKEND, R2 ; 消去対象ブロックの最終アドレス
ADDS #1, R2 ; 消去対象ブロック最終アドレス+1 R2
```

; プレライト実行

```
MOV.W R0, R3 ; 消去対象ブロックの先頭アドレス
PREWRT: MOV.B #H'00, R6L ; プレライトベリファイフェイルカウンタ
MOV.W #H'a, R5 ; プレライトループカウンタの設定
PREWRS: INC R6L ; プレライトベリファイフェイルカウンタ+1 R6L
```

```

MOV.B #H'00, R1H ;
MOV.B R1H, @R3 ; H'00 をライト
MOV.W #H'A579, R4 ;
MOV.W R4, @TCSR ; WDT スタート
MOV.W R5, R4 ; プレライトループカウンタの設定
BSET #0, @FLMCR:8 ; P ビットセット
LOOPR1: SUBS #1, R4 ;
MOV.W R4, R4 ;
BNE LOOPR1 ; WAIT ループ
BCLR #0, @FLMCR:8 ; P ビットクリア
MOV.W #H'A500, R4 ;
MOV.W R4, @TCSR ; WDT ストップ

MOV.B #H'c, R4H ; プレライトベリファイループカウンタの設定
LOOPR2: DEC R4H ;
BNE LOOPR2 ; WAIT ループ
MOV.B @R3, R1H ; リードデータ = H'00 ?
BEQ PWVFOK ; リードデータ = H'00 ならば PWVFOK に分岐
CMP.B #H'06, R6L ; プレライトベリファイ 6 回実行 ?
BEQ ABEND1 ; プレライトベリファイ 6 回実行ならば ABEND1 に分岐
ADD.W R5, R5 ; プログラム時間 × 2
BRA PREWRS ; 再プレライト処理

ABEND1: 書き込み不良

PWVFOK: ADDS #1, R3 ; アドレス + 1 R3
CMP.W R2, R3 ; 最終アドレス ?
BNE PREWRT ; 最終アドレスでなければ次のアドレスのプレライト

; イレース実行
ERASES: MOV.W #H'0000, R6 ; イレースベリファイフェイルカウンタ
MOV.W #H'd, R5 ; イレースループカウンタの設定
ERASE: ADDS #1, R6 ; イレースベリファイフェイルカウンタ + 1 R6
MOV.W #H'e, R4 ;
MOV.W R4, @TCSR ; WDT スタート
MOV.W R5, R4 ; イレースループカウンタの設定
BSET #1, @FLMCR:8 ; E ビットセット
LOOPE: NOP
NOP
NOP
NOP
SUBS #1, R4 ;
MOV.W R4, R4 ;
BNE LOOPE ; WAIT ループ
BCLR #1, @FLMCR:8 ; E ビットクリア
MOV.W #H'500, R4 ;
MOV.W R4, @TCSR ; WDT ストップ

```

; イレースベリファイ実行

```

MOV.W R0, R3 ; 消去対象ブロックの先頭アドレス
MOV.B #H'b, R4H ; イレースベリファイループカウンタの設定
BSET #3, @FLMCR:8 ; EVビットセット
LOOPEV: DEC R4H ;
BNE LOOPEV ; WAITループ
EVR2: MOV.B #H'FF, R1H ;
MOV.B R1H, @R3 ; ダミーライト
MOV.B #H'c, R4H ; イレースベリファイループカウンタの設定
LOOPDW: DEC R4H ;
BNE LOOPDW ; WAITループ
MOV.B @R3+, R1H ; リード
CMP.B #H'FF, R1H ; リードデータ = H'FF?
BNE RERASE ; リードデータ H'FF ならば RERASE に分岐
CMP.W R2, R3 ; ブロック最終アドレス?
BNE EVR2 ;
BRA OKEND ;

RERASE: BCLR #3, @FLMCR:8 ; EVビットクリア
SUBS #1, R3 ; イレースベリファイアドレス - 1 R3
MOV.W #H'0004, R4 ;
CMP.W R4, R6 ; イレースベリファイフェイルカウント 4 回実行?
BPL BRER ; R6 = 4 ならば BRER に分岐 (R6 = 4 ~ 602 まで分岐)
ADD.W R5, R5 ; R6 < 4 ならば イレース時間 × 2 (R6 = 1, 2, 3 のみ実行)

BRER: MOV.W #H'025A, R4 ;
CMP.W R4, R6 ; イレースベリファイ 602 回実行?
BNE ERASE ; イレースベリファイ 602 回実行してなければ再消去
BRA ABEND2 ; イレースベリファイ 602 回実行ならば ABEND2 に分岐

OKEND: BCLR #3, @FLMCR:8 ; EVビットクリア
MOV.B #H'00, R6L ;
MOV.B R6L, @EBR*:8 ; EBR*クリア

```

1 ブロック消去完了

ABEND2: 消去不良

(4) 複数ブロック消去のフローチャート

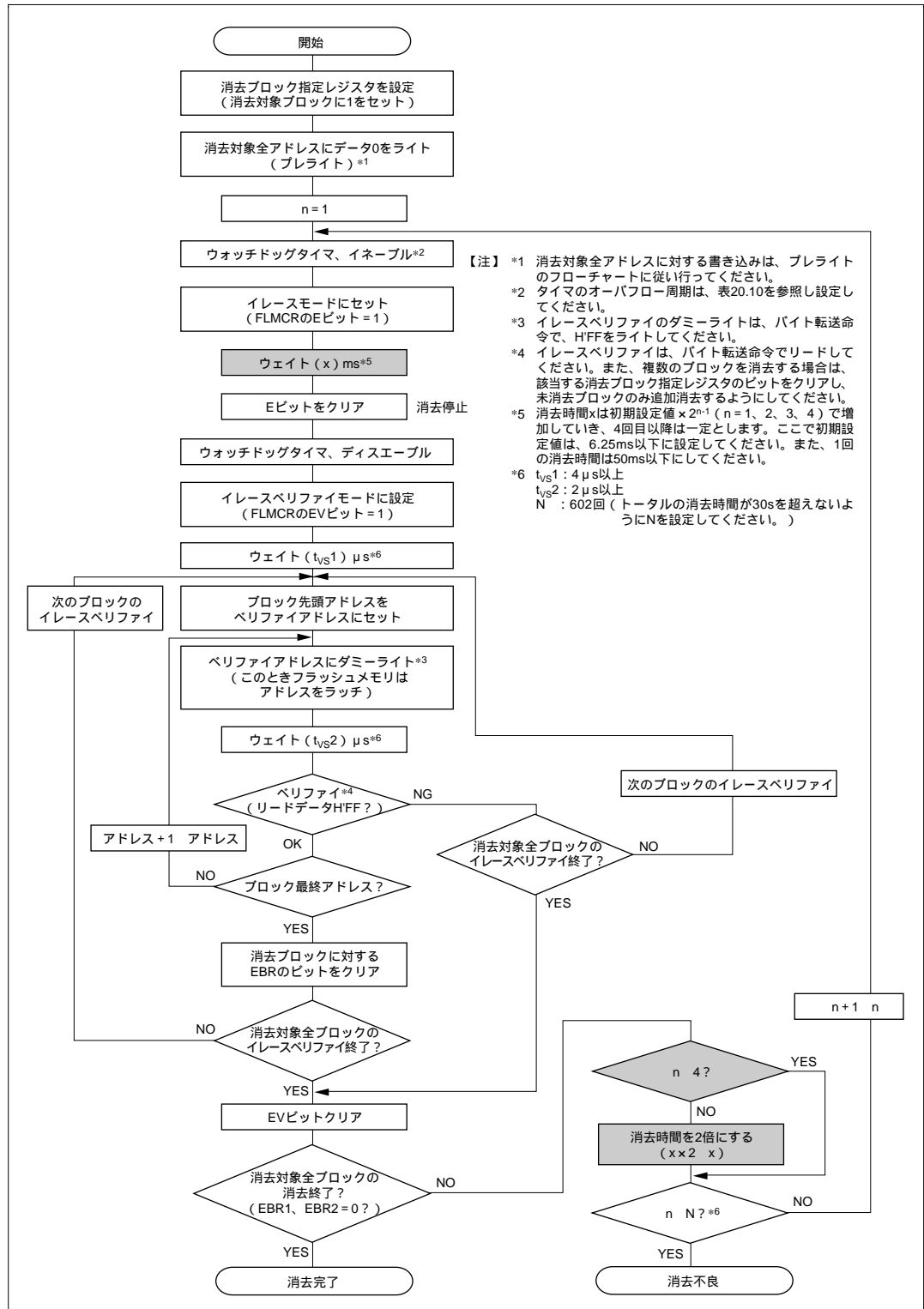


図 20.11 複数ブロック消去フローチャート

(5) 複数ブロック消去のプログラム例

使用レジスタと使用方法

- R0 : イレースブロックの指定に用います。(後述の説明に従い設定してください。)
また、プレライトおよびイレースベリファイに用いるアドレスを格納します。
- R1H : R0 の 8 ビットから 15 ビットをテストするのに使用します。
リードデータを格納し、ダミーライト時に用います。
- R1L : R0 の 0 ビットから 15 ビットをテストするのに使用します。
- R2 : プレライトおよびイレースベリファイに用いるアドレス格納番地を指定します。
- R3 : プレライトおよびイレースベリファイに用いるアドレスを格納します。
- R4 : 消去対象ブロックの最終アドレスを格納します。
- R5 : プレライトおよびイレースループカウンタ値の設定に用います。
- R6L : プレライトベリファイおよびイレースベリファイフェイルカウントに用います。

R0 に設定する値により、任意のブロックを消去することが可能です。R0 の設定はワード転送命令でライトしてください。

R0 の各ビットと、消去するブロックの対応とその具体例を以下に示します。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0
	EBR1に対応します								EBR2に対応します							

【具体例】LB2、SB7、SB0を消去する場合

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
R0	LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0
	EBR1に対応します								EBR2に対応します							
設定値	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0	1

R0 の設定は次のようになります。

```
MOV.W    #H'0481, R0
MOV.W    R0,      @EBR1
```


プログラム中の#a、#b、#c、#d、#e の値は動作周波数によって設定が異なります。表 20.9 (1)、(2) および表 20.10 に従い設定してください。

- 【注】 1. 本プログラム例ではスタックポインタ (SP) を H'FF80 番地に設定しています。スタック領域として内蔵 RAM の H'FF7E 番地と H'FF7F 番地を使用しています。したがって、本プログラム例を実行する場合、H'FF7E 番地と H'FF7F 番地は使用しないでください。また、内蔵 RAM をディスエーブルしないでください。
2. 本プログラム例は、あらかじめ ROM 領域 (外部空間含む) に書かれた本プログラムを、一度 RAM 領域に転送し、転送先の RAM 領域内で実行されることを前提としています。プログラム例中の#RAMSTR は転送先である RAM 領域の先頭アドレスをいれてください。また、#RAMSTR は必ず偶数に設定してください。
3. 本プログラム例を、内蔵 ROM 領域または外部空間で実行する場合、#RAMSTR は#START に設定してください。

```
FLMCR: .EQU H'FF80
EBR1: .EQU H'FF82
EBR2: .EQU H'FF83
TCSR: .EQU H'FFA8
STACK: .EQU H'FF80
```

```
.ALIGN 2
```

```
START: MOV.W #STACK, SP ; スタックポインタの設定
```

```
; 前ページの説明に従い R0 の値を設定してください。本プログラムは全ブロック消去
; の例となっています。
```

```
MOV.W #H'FFFF, R0 ; 消去するブロックの選択 (R0:EBR1/EBR2)
MOV.W R0, @EBR1 ; EBR1 / EBR2 セット
```

```
; #RAMSTR はプログラム転送先の先頭アドレス (RAM) を入れてください。
```

```
; #RAMSTR は偶数に設定してください。
```

```
MOV.W #RAMSTR, R2 ; 転送先の先頭アドレス (RAM)
MOV.W #ERVADR, R3 ;
ADD.W R3, R2 ; #RAMSTR + #ERVADR R2
MOV.W #START, R3 ;
SUB.W R3, R2 ; RAM 内で用いるデータ領域のアドレス
```

```
MOV.B #H'00, R1L ; R0 の R1L ビットをテストするのに用いる
PRETST: CMP.B #H'10, R1L ; R1L = H'10 ?
BEQ ERASES ; R0 の全ビットチェック終了なら ERASES に分岐
CMP.B #H'08, R1L ;
BMI EBR2PW ; R1L = 8 なら EBR1、R1L < 8 なら EBR2 のテスト
MOV.B R1L, R1H ;
SUBX #H'08, R1H ; R1L - 8 R1H
BTST R1H, R0H ; EBR1 (R0H) の R1H ビットをテスト
BNE PREWRT ; EBR1 (R0H) の R1H ビットが 1 ならば PREWRT に分岐
```

20. ROM (二電源方式フラッシュメモリ 60k バイト版)

```

        BRA    PWADD1          ; EBR1 (R0H) のR1H ビットが0 ならば PWADD1 に分岐
EBR2PW: BTST   R1L,          R0L    ; EBR2 (R0L) のR1L ビットをテスト
        BNE    PREWRT        ; EBR2 (R0L) のR1L ビットが1 ならば PREWRT に分岐
PWADD1: INC    R1L            ; R1L+1 R1L
        MOV.W  @R2+,         R3      ; R2 のダミーインクリメント
        BRA    PRETST        ;

; プレライト実行
PREWRT: MOV.W  @R2+,         R3      ; プレライトスタートアドレス
PREW:   MOV.B  #H'00,        R6L    ; プレライトベリファイフェイルカウンタ
        MOV.W  #H'a,         R5      ; プレライトループカウンタの設定
PREWRS: INC    R6L            ; プレライトベリファイフェイルカウンタ+1 R6L
        MOV.B  #H'00         R1H    ;
        MOV.B  R1H,          @R3    ; H'00 をライト
        MOV.W  #H'A579,      R4      ;
        MOV.W  R4,           @TCSR  ; WDT スタート
        MOV.W  R5,           R4      ; プレライトループカウンタの設定
        BSET   #0,           @FLMCR:8 ; P ビットセット
LOOPR1: SUBS   #1,           R4      ;
        MOV.W  R4,           R4      ;
        BNE    LOOPR1        ; WAIT ループ
        BCLR   #0,           @FLMCR:8 ; P ビットクリア
        MOV.W  #H'A500,      R4      ;
        MOV.W  R4,           @TCSR  ; WDT ストップ

        MOV.B  #H'c,         R4H    ; プレライトベリファイループカウンタの設定
LOOPR2: DEC   R4H            ;
        BNE    LOOPR2        ; WAIT ループ
        MOV.B  @R3,          R1H    ; リードデータ=H'00?
        BEQ   PWVFOK        ; リードデータ=H'00 ならば PWVFOK に分岐
        CMP.B #H'06,        R6L    ; プレライトベリファイ 6 回実行?
        BEQ   ABEND1        ; プレライトベリファイ 6 回実行ならば ABEND1 に分岐
        ADD.W R5,           R5      ; プログラム時間×2
        BRA   PREWRS        ; 再プレライト処理

ABEND1: 書き込み不良

PWVFOK: ADDS   #1,           R3      ; アドレス+1 R3
        MOV.W  @R2,          R4      ; 次ブロック先頭アドレス
        CMP.W  R4,           R3      ; 最終アドレス?
        BNE    PREW          ; 最終アドレスでなければ次アドレスのプレライト
PWADD2: INC   R1L            ; R0 のR1L+1 ビットをテストするのに用いる
        BRA   PRETST        ; PRETST に分岐

```

; イレース実行

```

ERASES: MOV.W #H'0000, R6      ; イレースベリファイフェイルカウンタ
        MOV.W #H'd, R5        ; イレースループカウンタの設定
ERASE:  ADDS #1, R6           ; イレースベリファイフェイルカウンタ+1 R6
        MOV.W #H'e, R4       ;
        MOV.W R4, @TCSR      ; WDT スタート
        MOV.W R5, R4        ; イレースループカウンタの設定
        BSET #1, @FLMCR:8 ; E ビットセット
LOOPE:  NOP
        NOP
        NOP
        NOP
        SUBS #1, R4         ;
        MOV.W R4, R4       ;
        BNE LOOPE          ; WAIT ループ
        BCLR #1, @FLMCR:8 ; E ビットクリア
        MOV.W #H'A500, R4   ;
        MOV.W R4, @TCSR    ; WDT ストップ

```

; イレースベリファイ実行

```

EVR:    MOV.W #RAMSTR, R2     ; 転送先の先頭アドレス (RAM)
        MOV.W #ERVADR, R3    ;
        ADD.W R3, R2         ; #RAMSTR + #ERVADR R2
        MOV.W #START, R3    ;
        SUB.W R3, R2        ; RAM 内で用いるデータ領域のアドレス

        MOV.B #H'00, R1L    ; R0 の R1L ビットをテストするのに用いる
        MOV.B #H'b, R4H     ; イレースベリファイループカウンタの設定
        BSET #3, @FLMCR:8 ; EV ビットセット
LOOPEV: DEC R4H              ;
        BNE LOOPEV         ; WAIT ループ
EBRTST: CMP.B #H'10, R1L    ; R1L = H'10 ?
        BEQ HANTEI        ; R0 の全ビットチェック終了なら HANTEI に分岐
        CMP.B #H'08, R1L   ;
        BMI EBR2EV        ; R1L > 8 なら EBR1、R1L < 8 なら EBR2 のテスト
        MOV.B R1L, R1H     ;
        SUBX #H'08, R1H    ; R1L - 8 R1H
        BTST R1H, R0H     ; EBR1 (R0H) の R1H ビットをテスト
        BNE ERSEVF        ; EBR1 (R0H) の R1H ビットが 1 ならば ERSEVF に分岐
        BRA ADD01         ; EBR1 (R0H) の R1H ビットが 0 ならば ADD01 に分岐
EBR2EV: BTST R1L, R0L     ; EBR2 (R0L) の R1L ビットをテスト
        BNE ERSEVF        ; EBR2 (R0L) の R1L ビットが 1 ならば ERSEVF に分岐
ADD01:  INC R1L           ; R1L + 1 R1L
        MOV.W @R2+, R3     ; R2 のダミーインクリメント
        BRA EBRTST        ;
ERASE1: BRA ERASE        ; ERASE1 経由で ERASE へ分岐

```

20. ROM (二電源方式フラッシュメモリ 60k バイト版)

```

ERSEVF: MOV.W @R2+, R3 ; イレースベリファイするブロック先頭アドレス
EVR2:  MOV.B #H'FF, R1H ;
      MOV.B R1H, @R3 ; ダミーライト
      MOV.B #H'c, R4H ; イレースベリファイループカウンタの設定
LOOPEP: DEC R4H ;
      BNE LOOPEP ; WAIT ループ
      MOV.B @R3+, R1H ; リード
      CMP.B #H'FF, R1H ; リードデータ = H'FF?
      BNE BLKAD ; リードデータ H'FF ならば BLKAD に分岐
      MOV.W @R2, R4 ; 次ブロック先頭アドレス
      CMP.W R4, R3 ; ブロック最終アドレス?
      BNE EVR2 ;

      CMP.B #H'08, R1L ;
      BMI SBCLR ; R1L 8 なら EBR1、R1L < 8 なら EBR2 のテスト
      MOV.B R1L, R1H ;
      SUBX #H'08, R1H ; R1L - 8 R1H
      BCLR R1H, R0H ; EBR1 (R0H) の R1H ビットのクリア
      BRA BLKAD ;
SBCLR: BCLR R1L, R0L ; EBR2 (R0L) の R1L ビットのクリア
BLKAD: INC R1L ; R1L + 1 R1L
      BRA EBRTST ;

HANTEI: BCLR #3, @FLMCR:8 ; EV ビットクリア
      MOV.W R0, @EBR1 ;
      BEQ EOWARI ; EBR1/EBR2 が全て 0 ならば消去正常終了
      MOV.W #H'0004, R4 ;
      CMP.W R4, R6 ; イレースベリファイフェールカウンタ 4 回実行?
      BPL BRER ; R6 4 ならば BRER に分岐 (R6 = 4 ~ 602 まで分岐)
      ADD.W R5, R5 ; R6 < 4 ならばイレース時間 × 2 (R6 = 1, 2, 3 のみ実行)

BRER:  MOV.W #H'025A, R4 ;
      CMP.W R4, R6 ; イレースベリファイ 602 回実行?
      BNE ERASE1 ; イレースベリファイ 602 回実行してなければ再消去
      BRA ABEND2 ; イレースベリファイ 602 回実行ならば ABEND2 に分岐

```

;----- <イレースベリファイ時のブロックアドレステーブル> -----

```

      .ALIGN          2
ERVADR: .DATA.W      H'0000 ; SB0
      .DATA.W      H'0080 ; SB1
      .DATA.W      H'0100 ; SB2
      .DATA.W      H'0180 ; SB3
      .DATA.W      H'0200 ; SB4
      .DATA.W      H'0400 ; SB5
      .DATA.W      H'0800 ; SB6
      .DATA.W      H'0C00 ; SB7
      .DATA.W      H'1000 ; LB0
      .DATA.W      H'2000 ; LB1
      .DATA.W      H'4000 ; LB2

```

```
.DATA.W      H'6000    ; LB3
.DATA.W      H'8000    ; LB4
.DATA.W      H'A000    ; LB5
.DATA.W      H'C000    ; LB6
.DATA.W      H'EF80    ; LB7
.DATA.W      H'F780    ; FLASH END
```

EOWARI: 消去完了

ABEND2: 消去不良

(6) プログラム中のループカウンタ値および WDT オーバフロー時間の設定

プログラム例中の#a、#b、#c、#d、#eは動作周波数によって設定が変わります。代表的な動作周波数に対するループカウンタの設定例を表 20.9(1)、(2)に示します。ただし、#eに関しては表 20.10のように設定をしてください。

ソフトウェアループを使用しているため、誤差を含んでおり計算値と実時間が一致しない場合があります。したがって、書き込み時間は合計で 1ms、消去時間は合計で 30s を超えないように設定しています。

プログラム例中の書き込み最大回数は N = 6 に設定してあります。

プログラム例中の#a、#b、#c、#d を表 20.9(1)、(2)に従い設定することにより、フローチャートに従った書き込みおよび消去が実現されます。#e に関しては表 20.10 に従って設定してください。

本プログラム例ではウェイトステートの挿入を禁止しています。ウェイトステートを使用する場合は、本プログラムが終了後に設定してください。

ウォッチドッグタイマ(WDT)のオーバフロー時間の設定値は、WDT スタートからストップまでの間の書き込み時間、消去時間を含んだ命令数で計算されています。このため、このプログラム例中の WDT スタートからストップまでの間にさらに命令を追加しないでください。

表 20.9(1) プログラム例が内蔵メモリ(RAM)で実行される場合の、代表的な動作周波数に対する#a、#b、#c、#dの設定値

変数の意味		設定時間	動作周波数			
			f = 16MHz	f = 10MHz	f = 8MHz	f = 2MHz
			カウンタ設定値	カウンタ設定値	カウンタ設定値	カウンタ設定値
a(f)	プログラム時間 (初期設定値)	15.8 μ s	H'001F	H'0013	H'000F	H'0003
b(f)	tv _{s1}	4 μ s	H'0B	H'07	H'06	H'02
c(f)	tv _{s2}	2 μ s	H'06	H'04	H'03	H'01
d(f)	消去時間 (初期設定値)	6.25ms	H'1869	H'0F42	H'0C34	H'030D

表 20.9 (2) プログラム例が外部デバイスで実行される場合の、代表的な動作周波数に対する#a、#b、#c、#dの設定値

変数の意味		設定時間	動作周波数			
			f = 16MHz	f = 10MHz	f = 8MHz	f = 2MHz
			カウンタ設定値	カウンタ設定値	カウンタ設定値	カウンタ設定値
a (f)	プログラム時間 (初期設定値)	15.8 μ s	H'000A	H'0006	H'0005	H'0001
b (f)	tv _{s1}	4 μ s	H'04	H'03	H'02	H'01
c (f)	tv _{s2}	2 μ s	H'02	H'02	H'01	H'01
d (f)	消去時間 (初期設定値)	6.25ms	H'0823	H'0516	H'0411	H'0104

計算式

表 20.9 (1)、(2) 以外の動作周波数を用いる場合は、以下の計算式に従い算出してください。計算は動作周波数 f = 10MHz を基準とします。

a (f) および d (f) はそれぞれ 15.8 μ s 以下、6.25ms 以下になるよう、10 進で計算後、小数点第一位を切り捨ててから 16 進に変換してください。

b (f) および c (f) はそれぞれ 4 μ s 以上、2 μ s 以上になるよう、10 進で計算後、小数点第一位を切り上げてから 16 進に変換してください。

$$a(f) \sim d(f) = \frac{\text{動作周波数 } f \text{ [MHz]}}{10} \times a(f=10) \sim d(f=10)$$

計算例

プログラム例を内蔵メモリ (RAM)、動作周波数 12MHz で実行する場合の計算例

$$a(f) = \frac{12}{10} \times 19 = 22.8 \quad 22 = \text{H}'0016$$

$$b(f) = \frac{12}{10} \times 7 = 8.4 \quad 9 = \text{H}'09$$

$$c(f) = \frac{12}{10} \times 4 = 4.8 \quad 5 = \text{H}'05$$

$$d(f) = \frac{12}{10} \times 3906 = 4687.2 \quad 4687 = \text{H}'124F$$

表 20.10 WDT オーバフロー時間の設定 (動作周波数による#eの設定値)

動作周波数 [MHz]	変数
	e (f)
10MHz 以上 ~ 16MHz 以下	H'A57F
2MHz 以上 ~ 10MHz 未満	H'A57E

20.4.7 プレライトベリファイモード

プレライトベリファイモードは、消去前にしきい値電圧を揃えるため、全ビットの書き込みに使用するベリファイモードです。

図 20.10 に示すプレライトのアルゴリズムに従って H'00 を書き込み、フラッシュメモリの全データを H'00 にしてください。また、RAM によるフラッシュメモリのエミュレーションを行う (RAM エリアをプレライトする) 場合も、H'00 をライトしてください (エミュレータなどを使用してフラッシュメモリの消去を RAM によってエミュレートする場合も同様です)。所定の書き込み時間経過後、プログラムモードを解除 (P ビット=0) し、プレライトベリファイモード (P、E、PV、EV ビット=0) に設定してください。プレライトベリファイモードは、リードしたアドレスのメモリセルにプレライトベリファイ電圧を印加します。この状態でフラッシュメモリをリードすると、リードしたアドレスのデータが読み出されます。リード動作は、プレライトベリファイモードに設定後 4 μ s 以上の待機時間を置いて行ってください。

【注】 プレライトのプログラム例は、消去フローのプログラム例のプレライトサブルーチンを参照してください。

20.4.8 プロテクトモード

フラッシュメモリに対する書き込み/消去プロテクトはソフトウェアプロテクトとハードウェアプロテクトの二つのモードがあります。以下にこのプロテクトモードについて解説します。

(1) ソフトウェアプロテクト

ソフトウェアプロテクトではフラッシュメモリコントロールレジスタ (FLMCR) の P ビットおよび E ビットをセットしてもプログラムモードまたはイレースモードへは遷移しません。

このプロテクトの詳細を以下に示します。

項目	説明	機能		
		書き込み	消去	ベリファイ*1
ブロック指定 プロテクト	消去ブロック指定レジスタ (EBR1、EBR2) によりブロック別に書き込み・消去プロテクトの設定が可能。 EBR1 および EBR2 を H'00 に設定すると全ブロックが書き込み・消去プロテクト状態となります。	不可	不可	可
エミュレーション プロテクト*2	ウェイトステートコントロールレジスタ (WSCR) の RAMS ビット、または RAM0 ビットのいずれか一方のみをセットすることにより、全ブロックの書き込み/消去プロテクトが有効となります。	不可	不可*3	可

【注】 *1 プログラムベリファイ、イレースベリファイ、プレライトベリファイの3つのモード。

*2 フラッシュメモリとオーバーラップした RAM エリアは除きます。

*3 全ブロックが消去不可となり、ブロック別の指定はできません。

(2) ハードウェアプロテクト

ハードウェアプロテクトはフラッシュメモリに対する書き込み、消去が強制的に中断、禁止された状態です。このときフラッシュメモリコントロールレジスタ (FLMCR) および消去ブロック指定レジスタ (EBR1、EBR2) の設定はリセットされます。

このハードウェアプロテクト状態の詳細を以下に示します。

項目	説明	機能		
		書き込み	消去	ベリファイ ^{*1}
プログラム 電圧 (V_{pp}) プロテクト	FV _{pp} 端子に 12V が印加されていないときには、FLMCR、EBR1、EBR2 はイニシャライズされ、書き込み、消去が禁止された状態になります。このプロテクト状態にするためには V_{pp} 電圧が電源電圧 V_{CC} を超えないようにしてください。 ^{*3}	不可	不可 ^{*2}	不可
リセット、 スタンバイ プロテクト	リセット (ウォッチドッグタイマリセットを含む) およびスタンバイ時は FLMCR、EBR1、EBR2 はイニシャライズされ、書き込み、消去が禁止された状態になります。 ただし、RES 端子によるリセットでは電源投入時は最低 20ms (発振安定時間) の間、RES 端子を Low レベルに保持しないと確実にリセット状態になりません。また、動作中のリセットは最低 10 システムクロック (10) サイクルの間 RES 端子を Low レベルに保持する必要があります。	不可	不可 ^{*2}	不可
割り込みプロ テクト	フラッシュメモリの破壊を防ぐため、フラッシュメモリへの書き込み / 消去中に割り込みが入力されると書き込み / 消去は強制的に中断されます。 FLMCR、EBR1、EBR2 の値は保持されます。この状態はリセットにより解除されます。	不可	不可 ^{*2}	可

- 【注】 *1 プログラムベリファイ、イレースベリファイ、プレライトベリファイの3つのモード。
*2 全ブロックが消去不可となり、ブロック別の指定はできません。
*3 詳細については「20.7 フラッシュメモリの書き込み / 消去時の注意」を参照してください。

20.4.9 フラッシュメモリへの書き込み / 消去時の割り込み処理

フラッシュメモリへの書き込み、消去中 (FLMCR の P ビットまたは E ビットがセット) に割り込みが発生^{*1}すると以下のような動作状態に陥ることがあります。

- (1) 書き込み、消去中に割り込みが発生すると、フラッシュメモリを保護するために書き込み、消去を強制的に中断する。強制中断後のメモリセルの値は不定となるため、正常な動作ができなくなる。
- (2) 書き込み / 消去中の割り込み例外処理ではベクタリードが正常にできない^{*2}ため、結果としてマイコンが暴走してしまう。

このような事態を回避するために RAM のオーバラップ機能を使用し、以下の設定を行うことによってフラッシュメモリの書き込み / 消去中の NMI 割り込み発生時に限り誤動作・暴走を防止することができます。

- [1] NMI 割り込み処理ルーチン^{*3}をフラッシュメモリエリア (モード 2 のとき H'0000 ~ H'EF7F、モード 3 のとき H'0000 ~ H'F77F) 以外 (例えば RAM 上) に配置しておく。
- [2] RAM の HF806 (フラッシュメモリ H'0006 に相当) に NMI 割り込みベクタを設定する。
- [3] 以上の設定をした後に、WSCR の RAMS、RAM0 ビットを共に 1 にセットする。^{*4}

[3] の設定により、FV_{pp} 端子に 12V が印加された状態で割り込み信号が入ったときに RAM のオーバラップの機能が有効になり、フラッシュメモリの小ブロックエリア (H'0000 ~ H'007F) に RAM の一部 (HF800 ~ HF87F) が重ね合わされます。その結果割り込み入力時にフラッシュメモリではなく RAM からベクタをリードするため、フラッシュメモリへの書き込み、消去中でも正常に割り込み処理が行われ、誤動作・暴走を防ぐことができます。

【注】 *1 コンディションコードレジスタ (CCR) の割り込みマスクビット (I) が 1 にセットされていると NMI 以外の割り込みはマスクされます。詳細は「2.2.2 コントロールレジスタ」の (2) を参照してください。

*2 この場合、以下の 2 つの理由によってベクタリードが正常に行われません。

(1) 書き込み、消去中 (FLMCR の P ビットまたは E ビットがセット) にフラッシュメモリのリードを行っても正しい値を読み出すことはできません。

(2) NMI ベクタテーブルに値がまだ書き込まれていない場合、NMI 例外処理が正しく実行されません。

*3 本ルーチン内でマイコンの暴走を防ぐ設定をします。

*4 WSCR の設定は「20.2.4 ウェイトステートコントロールレジスタ (WSCR)」を参照してください。

(1) ブートモード時の割り込み処理の注意事項

ブートモードでは NMI 割り込みについて上記の設定を行っており、ブートプログラム実行中は NMI 割り込み処理のみ可能です。ただし、ユーザプログラムでは以下の点に注意してください。

・割り込み処理を行う場合

(a) RAM の HF806 に NMI ベクタ (HF780) を再設定してください (転送されるユーザプログラムの 38 バイト目を HF780 としてください)。

(b) ブートプログラムで使用している割り込み処理ルーチンは RAM の HF780 ~ HF78F に書き込まれています。ユーザプログラムで書き換えないよう注意してください。

・割り込み処理を行う必要がない場合

WSCR の RAMS、RAM0 ビットは 1 にセットされたままになっていますので、ユーザプログラムで WSCR の RAMS、RAM0 ビットを共にクリアすることにより、RAM のオーバラップを無効にしてください。

20.5 RAM によるフラッシュメモリのエミュレーション

フラッシュメモリは、その消去や書き込みに時間がかかるため、パラメータなどのデータをリアルタイムに書き換えながらチューニングを行うといった使い方が難しい場合があります。このような場合、フラッシュメモリのリアルタイムな書き換えをエミュレートするために、フラッシュメモリの小ブロックエリアにRAMの一部 (H'F800 ~ H'F97F) を重ね合わせて使うことができます。このRAMエリアの変更は、ウェイトステートコントロールレジスタ (WSCR) のビット7~6によって行います。

また、RAM エリアの変更後は、フラッシュメモリに重ね合わせたエリアと本来のRAM エリア (H'F800 ~ H'F97F) の2 エリアからアクセスできます。表 20.11 に RAM エリアの設定方法を示します。

(1) ウェイトステートコントロールレジスタ (WSCR) *2

ビット :	7	6	5	4	3	2	1	0
	RAMS	RAM0	CKDBL	-	WMS1	WMS0	WC1	WC0
初期値*1:	0	0	0	0	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】*1 WSCRは、リセットまたはハードウェアスタンバイモード時にイニシャライズされます。ソフトウェアスタンバイモード時には、イニシャライズされません。

*2 WSCRの設定は「20.2.4 ウェイトステートコントロールレジスタ (WSCR)」を参照してください。

表 20.11 RAM エリアの設定方法

ビット7	ビット6	使用するRAMエリア	対応するROMエリア
RAMS	RAM0		
0	0	なし	-
	1	H'F880 ~ H'F8FF	H'0080 ~ H'00FF
1	0	H'F880 ~ H'F97F	H'0080 ~ H'017F
	1	H'F800 ~ H'F87F	H'0000 ~ H'007F

(2) フラッシュメモリのリアルタイムな書き換えをエミュレートする例

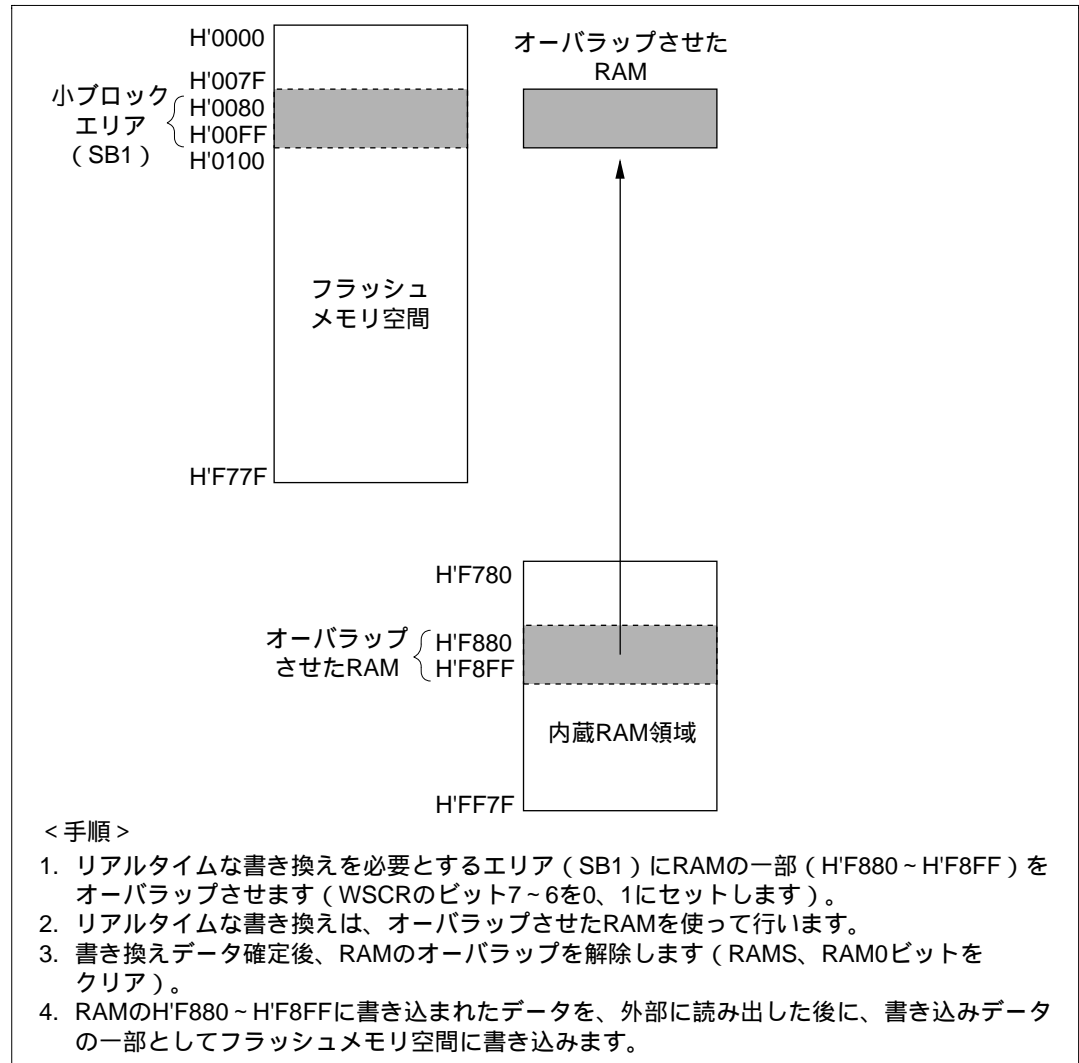


図 20.12 RAMのオーバーラップ動作例

(3) RAMによるエミュレーション機能の使用上の注意

プログラム電圧 (V_{pp}) の印加 / 解除 / 切断時の注意

オンボードプログラミングモードと同様に V_{pp} の印加 / 解除 / 切断時は誤書き込み、誤消去を防止するための注意が必要です。特に V_{pp} の印加中のプログラム暴走などによる誤書き込み、誤消去を防止するためエミュレーション機能使用中でもフラッシュメモリコントロールレジスタ (FLMCR) の P ビット、E ビットセット時はウォッチドッグタイマを設定してください。注意事項の詳細は「20.7 フラッシュメモリの書き込み / 消去時の注意」を参照してください。

20.6 フラッシュメモリのライターモード (H8/3437F)

20.6.1 ライターモードの設定

内蔵ROMがフラッシュメモリのH8/3437Fでは、フラッシュメモリの書き込み、消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあります。ライターモードでは、汎用PROMライターを用いて内蔵ROMに自由にプログラムを書き込むことができます。

20.6.2 ソケットアダプタの端子対応とメモリマップ

プログラム書き込み/ベリファイは、汎用PROMライターに専用の100ピン - 32ピン変換アダプタを取り付けて行います。表20.12にソケットアダプタの型名を示します。

図20.13にライターモード時のメモリマップを示します。また、図20.14にソケットアダプタの端子対応図を示します。

表 20.12 ソケットアダプタ型名

製品型名	パッケージ名称	ソケットアダプタ型名
HD64F3437F16	100ピン QFP	HS3434ESHF1H
HD64F3437TF16	100ピン TQFP	HS3434ESNF1H

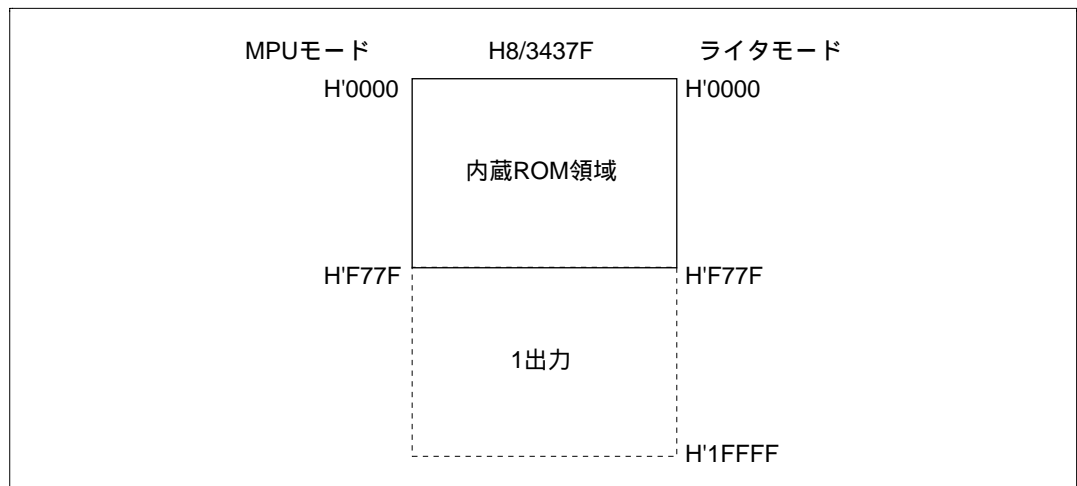


図 20.13 ライターモード時のメモリマップ

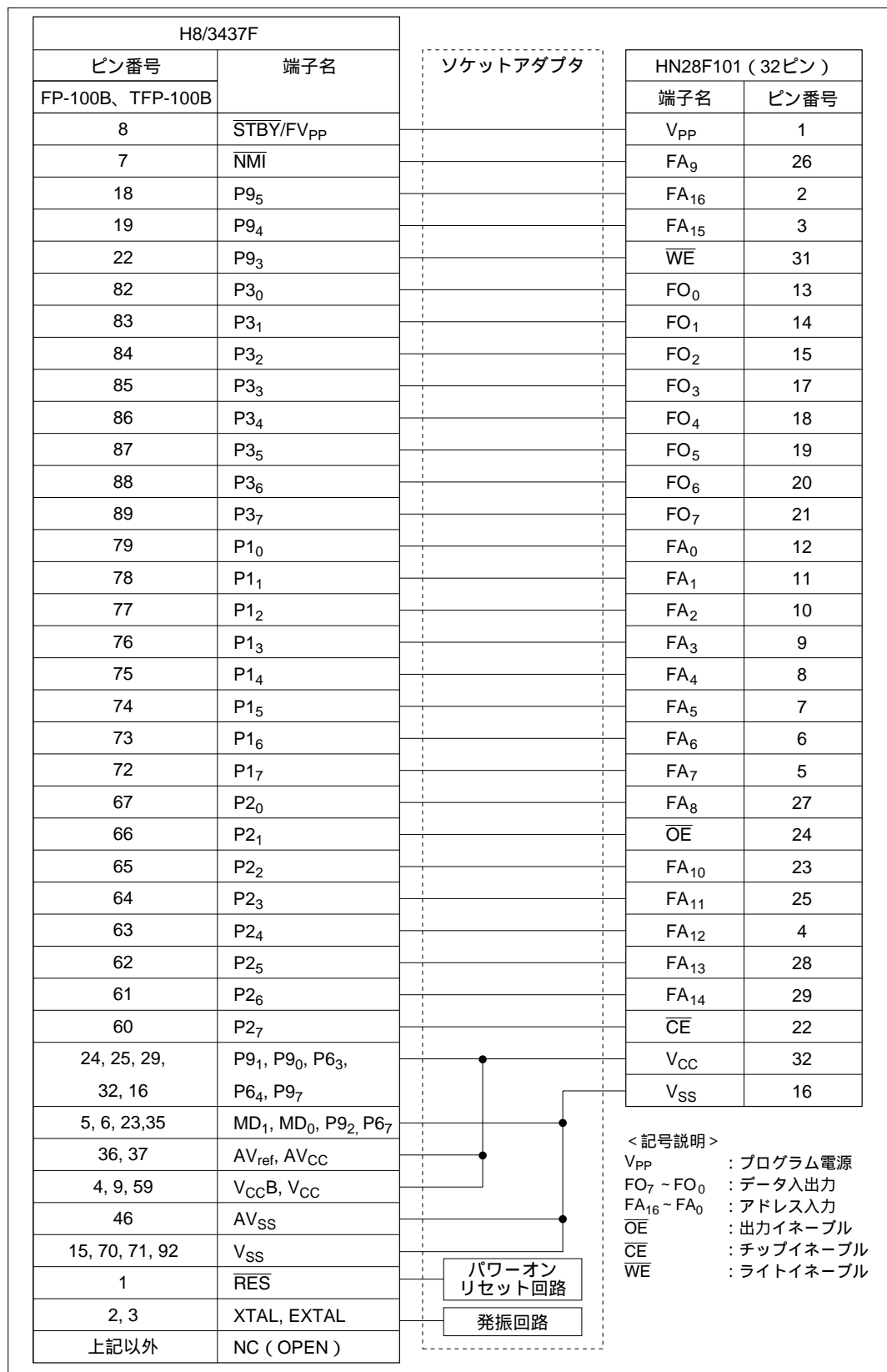


図 20.14 ソケットアダプタの端子対応図

20.6.3 ライタモードの動作

ライタモードの書き込み/消去/ベリファイなどの仕様は、標準のフラッシュメモリ HN28F101 と同じです。ただし、H8/3437F は製品識別モードをサポートしていませんのでプログラムにデバイス名を自動設定することができません。表 20.13 にライタモード時の各動作モードの設定方法を示します。

表 20.13 ライタモード時の各動作モードの設定方法

モード		ピン						A ₁₆ ~ A ₀
		FV _{PP}	V _{CC}	\overline{CE}	\overline{OE}	\overline{WE}	D ₇ ~ D ₀	
読み出し	読み出し	V _{CC} *	V _{CC}	L	L	H	データ出力	アドレス入力
	アウトプット ディスエーブル	V _{CC} *	V _{CC}	L	H	H	ハイインピー ダンス	
	スタンバイ	V _{CC} *	V _{CC}	H	X	X	ハイインピー ダンス	
コマンド	読み出し	V _{PP}	V _{CC}	L	L	H	データ出力	
書き込み	アウトプット ディスエーブル	V _{PP}	V _{CC}	L	H	H	ハイインピー ダンス	
	スタンバイ	V _{PP}	V _{CC}	H	X	X	ハイインピー ダンス	
	書き込み	V _{PP}	V _{CC}	L	H	L	データ入力	

【注】 * これらの状態では FV_{PP} 端子を必ず V_{CC} としてください。0V とするとライタモードであってもハードウェアスタンバイモードに遷移し、正常に動作しません。

< 記号説明 >

L : Low レベル

H : High レベル

V_{PP} : V_{PP} レベル

V_{CC} : V_{CC} レベル

X : 任意

表 20.14 ライタモード時の各コマンド

コマンド	サイクル数	第 1 サイクル			第 2 サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出し	1	書き込み	X	H'00	読み出し	RA	Dout
消去設定 / 消去	2	書き込み	X	H'20	書き込み	X	H'20
イレースベリファイ	2	書き込み	EA	H'A0	読み出し	X	EVD
自動消去設定 / 自動消去	2	書き込み	X	H'30	書き込み	X	H'30
プログラム設定 / プログラム	2	書き込み	X	H'40	書き込み	PA	PD
プログラム ベリファイ	2	書き込み	X	H'C0	読み出し	X	PVD
リセット	2	書き込み	X	H'FF	書き込み	X	H'FF

PA = プログラムアドレス、EA = イレースベリファイアドレス

RA = リードアドレス、PD = プログラムデータ

PVD = プログラムベリファイ出力データ、EVD = イレースベリファイ出力データ

(1) 高速高信頼度プログラミング

H8/3437F のフラッシュメモリの未使用領域のデータ(初期値)は、H'FF です。H8/3437F のフラッシュメモリは、高速高信頼度プログラミング方式を適用しています。この方法は、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく、より高速な書き込みを行うことができます。

図 20.15 に高速高信頼度プログラミング方式の基本的なフローチャートを示します。また、表 20.15、表 20.16 にプログラミング時の電気的特性表を示します。

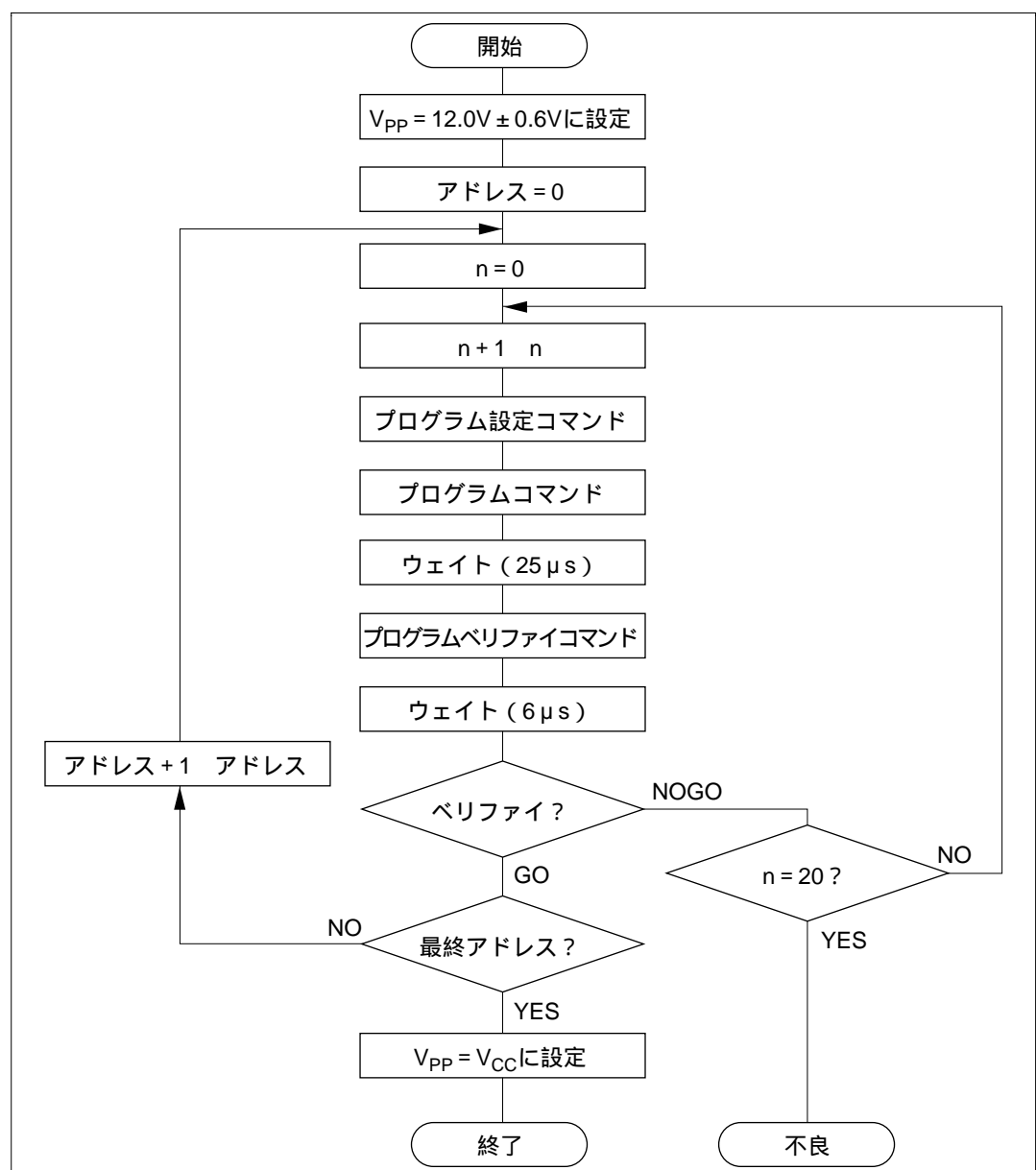


図 20.15 高速高信頼度プログラミング

(2) 高速高信頼度消去

H8/3437F のフラッシュメモリは、高速高信頼度消去方式を適用しています。この方法は、デバイスへの電圧ストレスあるいはデータの信頼性を損なうことなく、より高速な消去を行うことができます。

図 20.16 に高速高信頼度消去方式の基本的なフローチャートを示します。

また、表 20.15、表 20.16 に消去時の電気的特性表を示します。

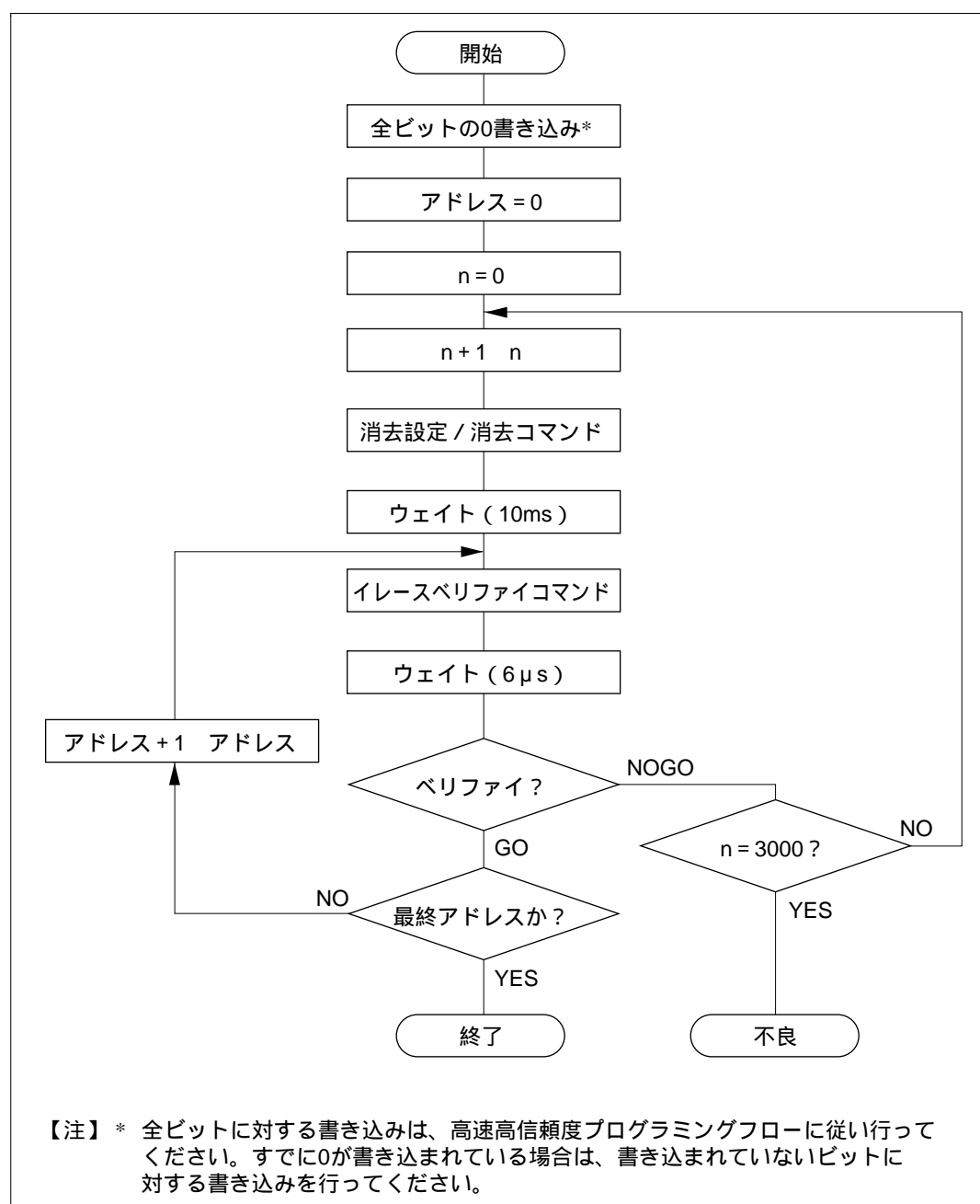


図 20.16 高速高信頼度消去

表 20.15 ライタモード時の DC 特性

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{PP} = 12.0V \pm 0.6V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	min	typ	max	単位	測定条件	
入力 High レベル電圧	$FO_7 \sim FO_0$ 、 $FA_{16} \sim FA_0$ 、 \overline{OE} 、 \overline{CE} 、 \overline{WE}	V_{IH}	2.2	-	$V_{CC} + 0.3$	V	
入力 Low レベル電圧	$FO_7 \sim FO_0$ 、 $FA_{16} \sim FA_0$ 、 \overline{OE} 、 \overline{CE} 、 \overline{WE}	V_{IL}	-0.3	-	0.8	V	
出力 High レベル電圧	$FO_7 \sim FO_0$	V_{OH}	2.4	-	-	V	$I_{OH} = -200 \mu A$
出力 Low レベル電圧	$FO_7 \sim FO_0$	V_{OL}	-	-	0.45	V	$I_{OL} = 1.6mA$
入力リーク 電流	$FO_7 \sim FO_0$ 、 $FA_{16} \sim FA_0$ 、 \overline{OE} 、 \overline{CE} 、 \overline{WE}	I_{LI}	-	-	2	μA	$V_{in} = 0 \sim V_{CC}$
V_{CC} 電流	読み出し時	I_{CC}	-	40	80	mA	
	プログラム時	I_{CC}	-	40	80	mA	
	消去時	I_{CC}	-	40	80	mA	
V_{PP} 電流	読み出し時	I_{PP}	-	-	10	μA	$V_{PP} = 2.7 \sim 5.5V$
			-	10	20	mA	$V_{PP} = 12.6V$
	プログラム時	I_{PP}	-	20	40	mA	$V_{PP} = 12.6V$
	消去時	I_{PP}	-	20	40	mA	$V_{PP} = 12.6V$

表 20.16 ライタモード時の AC 特性

条件: $V_{CC} = 5.0V \pm 10\%$ 、 $V_{PP} = 12.0V \pm 0.6V$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$

項目	記号	min	typ	max	単位	測定条件
コマンド書き込みサイクル	t_{CWC}	120	-	-	ns	図 20.17
アドレスセットアップ時間	t_{AS}	0	-	-	ns	図 20.18*
アドレスホールド時間	t_{AH}	60	-	-	ns	図 20.19
データセットアップ時間	t_{DS}	50	-	-	ns	
データホールド時間	t_{DH}	10	-	-	ns	
\overline{CE} セットアップ時間	t_{CES}	0	-	-	ns	
\overline{CE} ホールド時間	t_{CEH}	0	-	-	ns	
V_{PP} セットアップ時間	t_{VPS}	100	-	-	ns	
V_{PP} ホールド時間	t_{VPH}	100	-	-	ns	
WE 書き込みパルス幅	t_{WEP}	70	-	-	ns	
WE 書き込みパルス High レベル時間	t_{WEH}	40	-	-	ns	
コマンド書き込み前 \overline{OE} セットアップ時間	t_{OEWS}	0	-	-	ns	
ベリファイ前の \overline{OE} セットアップ時間	t_{OERS}	6	-	-	μs	
ベリファイアクセス時間	t_{VA}	-	-	500	ns	
ステータスポーリング前の \overline{OE} セットアップ時間	t_{OEPS}	120	-	-	ns	
ステータスポーリングアクセス時間	t_{SPA}	-	-	120	ns	
プログラム時の待機時間	t_{PPW}	25	-	-	ns	
消去時の待機時間	t_{ET}	9	-	11	ms	
出力ディエーブル時間	t_{DF}	0	-	40	ns	
自動消去時のトータル時間	t_{AET}	0.5	-	30	s	

【注】 V_{PP} が 5V から 12V に、または、12V から 5V に遷移中は、 \overline{CE} 、 \overline{OE} 、 \overline{WE} ピンは、High レベルにしてください。

* 入力パルスレベル: 0.45 ~ 2.4V

入力立ち上がり / 立ち下がり時間 10ns

タイミング参照レベル (入力: 0.8V、2.0V / 出力: 0.8V、2.0V)

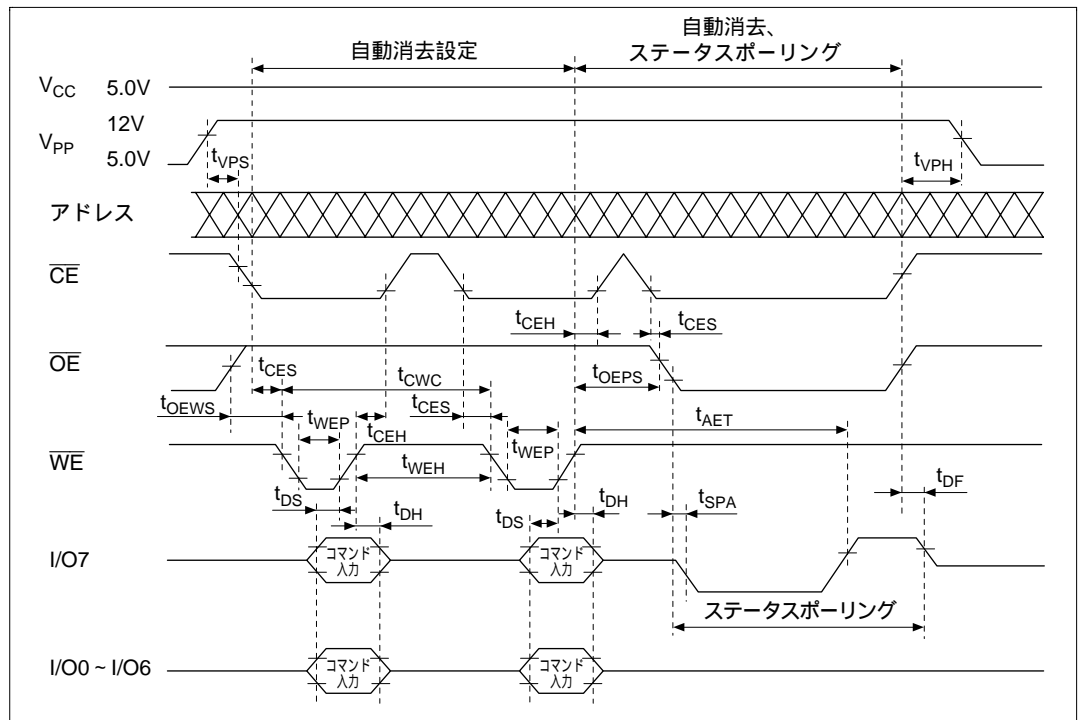


図 20.17 自動消去タイミング

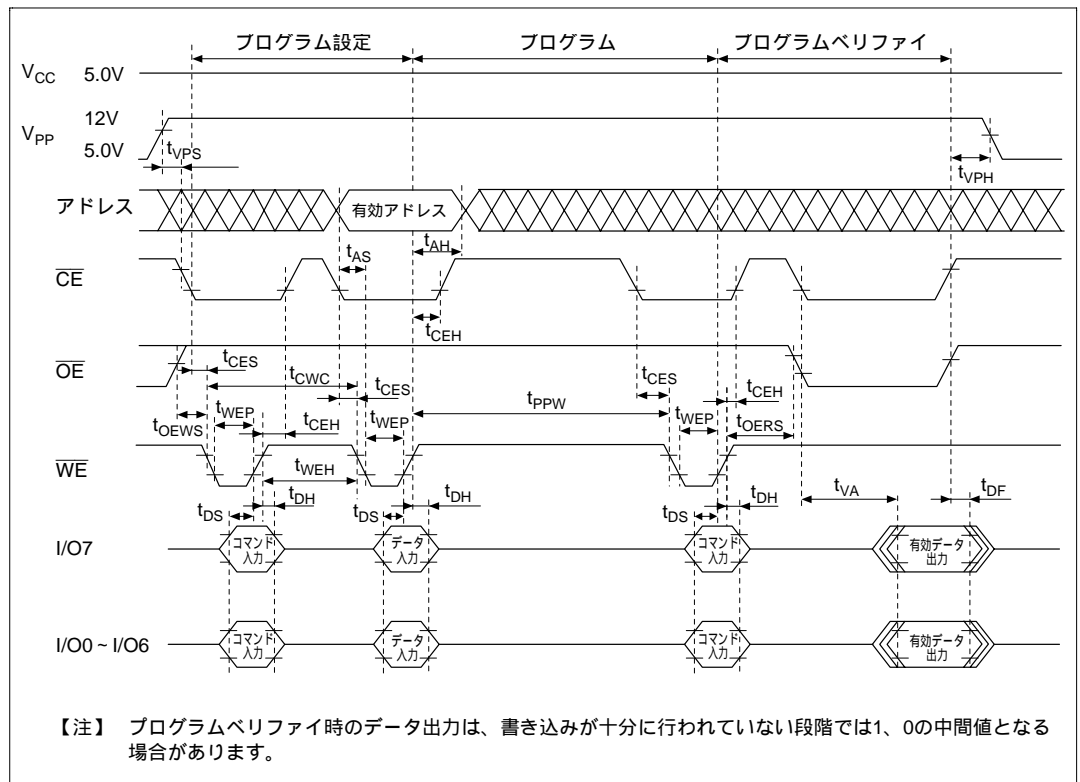


図 20.18 高速高信頼度プログラムタイミング

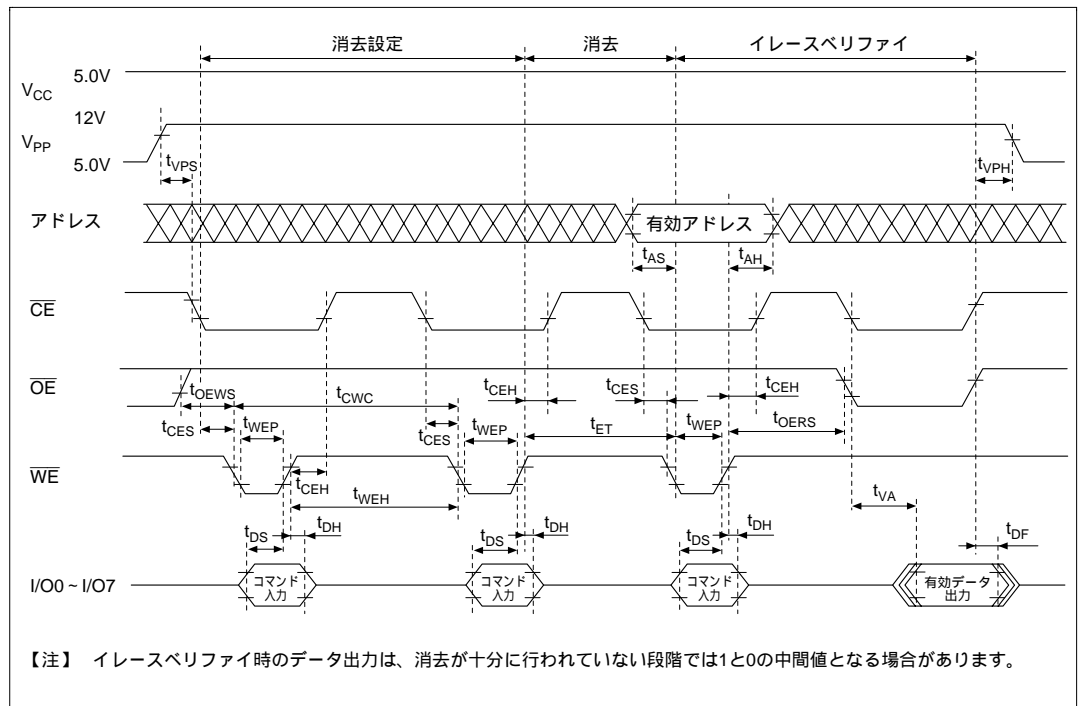


図 20.19 消去タイミング

20.7 フラッシュメモリの書き込み / 消去時の注意

ライターモード、オンボードプログラミングモードおよびRAMによるエミュレーション機能の使用時の注意事項を示します。

- (1) 規定された電圧、タイミングで書き込みをしてください。
フラッシュメモリの定格プログラム電圧 (V_{pp}) は、12.0V です。
PROM ライタの設定を HN28F101 にセットすると V_{pp} を 12.0V にセットできます。
定格以上の電圧を印加した場合、製品の永久破壊に至ることがあります。特に PROM ライタのオーバシュートのピークが最大定格の 13V を超えないように十分注意してください。
- (2) 書き込み前に、必ず、正しく PROM ライタに装着されていることを確認してください。
PROM ライタのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊されることがあります。
- (3) 書き込み中はソケットアダプタや製品に手を触れないでください。
接触不良などにより、書き込み不良となることがあります。
- (4) アドレス H'F780 ~ H'1FFFF の PROM ライタのバッファデータを H'FF にしてください。
H8/3437F の PROM 領域は 60k バイトです。アドレス H'F780 ~ H'1FFFF の領域は常に H'FF なので、ライタのデータを H'FF にしないと、ブロックエラーが発生します。
- (5) プログラム電圧 (V_{pp}) の印加 / 解除 / 切断*1時の注意
 - (a) プログラム電圧 (V_{pp}) の印加は V_{cc} 確定後に、 V_{pp} の解除は V_{cc} を切断する前に行ってください。
この電源投入および解除タイミングは、フラッシュメモリへの誤書き込み、誤消去を防止するため V_{pp} の印加 / 解除 / 切断時に以下に示すような状態(マイコン動作の確定状態) を満足する必要があります。

マイコン動作確定状態

- ・ V_{CC} 電圧が定格電圧 ($V_{CC} = 2.7V \sim 5.5V$) *²の範囲で安定している状態
マイコンの V_{CC} 電圧が定格電圧 ($V_{CC} = 2.7V \sim 5.5V$) *²を満足しない状態 ($V_{CC} = 0V$ の状態も含む) で V_{PP} 電圧を印加 / 解除 / 切断すると、マイコン動作が不確定の状態であることから、フラッシュメモリに誤って書き込み / 消去を行ってしまう可能性があります。また、 V_{PP} 印加時は、 V_{CC} 電圧の変動がないようバイパス・コンデンサ挿入などの電源対策を十分に行ってください。
- ・ 発振が安定している状態 (発振安定時間経過後) および、発振が停止していない状態
 V_{CC} 電源投入では、発振安定時間 ($t_{OSCI} = 20ms$) の間、 \overline{RES} 端子を Low レベルに保持した後に、 V_{PP} を印加してください。
- ・ リセット中もしくは、リセットが確実に実行された後 (リセット解除後) で、フラッシュメモリをアクセスしていない状態
 V_{PP} の印加 / 解除はリセット中もしくは、CPU がフラッシュメモリをアクセスしていない状態 (内蔵 RAM および外部メモリ空間でのプログラム実行状態)で行ってください。 V_{PP} の印加 / 解除の瞬間にフラッシュメモリのデータを正常に読み出すことができないため、 V_{PP} の印加 / 解除時はフラッシュメモリをリードしないでください。
動作中のリセットでは、最低 10 システムクロック (10) サイクルの間、 \overline{RES} 端子を Low レベルに保持した後、 V_{PP} の印加 / 解除を行ってください。
- ・ フラッシュメモリコントロールレジスタ (FLMCR) の P ビット、E ビットをクリアした状態
 V_{PP} の印加 / 解除時に、誤って P ビット、E ビットをセットしないでください。
- ・ プログラムが暴走していない状態
 V_{PP} の印加時は、ウォッチドッグタイマなどでプログラム実行状態を監視することが必要です。

この V_{CC} 、 V_{PP} 電源投入および解除タイミングは、停電などによる電源の切断、再投入時にも満足するようにしてください。このタイミングが守られない場合には、マイコンの暴走などによって過剰書き込み、過剰消去となりメモリセルが正常に動作しなくなることがありますので十分注意してください。

- (b) V_{PP} フラグは、 FV_{PP} 端子に印加される電圧を判定し、セット/クリアされます。この判定レベル(しきい値電圧)は約 $V_{CC} + 2V \sim 11.4V$ の範囲になっています。フラグがセットされた時点でフラッシュメモリコントロールレジスタ (FLMCR)、消去ブロック指定レジスタ (EBR1、EBR2) へのライトは可能になりますが、 V_{PP} 電源投入時では V_{PP} 電圧がプログラム電圧 $12.0 \pm 0.6V$ の範囲に確定していない場合があります。このため V_{PP} がプログラム電圧範囲に確定するまでは、実際の書き込み、消去を行わないようにしてください。書き込み、消去時のプログラム電圧範囲は $12.0 \pm 0.6V$ (11.4 ~ 12.6V) です。この範囲を超えると正しい書き込み、消去を行うことはできません。また、書き込み、消去を行わない場合は、誤書き込み、誤消去を防止するため V_{PP} 電圧は電源電圧 V_{CC} を超えないようにしてください。
- (c) 本 LSI では、 \overline{STBY} と FV_{PP} が同一端子となっています。この端子を Low レベルにするとハードウェアスタンバイモードに遷移しますが、これは通常動作モード(モード 1、2、3)だけでなく、PROM ライタによりフラッシュメモリにプログラミングする場合も同様です。したがって PROM ライタで書き込みを行う場合は、プログラミング時 ($FV_{PP} = 12V$) 以外に本端子が V_{CC} レベルとなる仕様のライタをご使用ください。

【注】 *1 ここで、 V_{PP} の印加/解除/切断を以下のように定義します。

印加：電圧を V_{CC} から $12 \pm 0.6V$ に上げる。

解除：電圧を $12 \pm 0.6V$ から V_{CC} に下げる。

切断：電圧印加を取りやめる(フローティング状態)。

*2 LH 版は $V_{CC} = 3.0V \sim 5.5V$

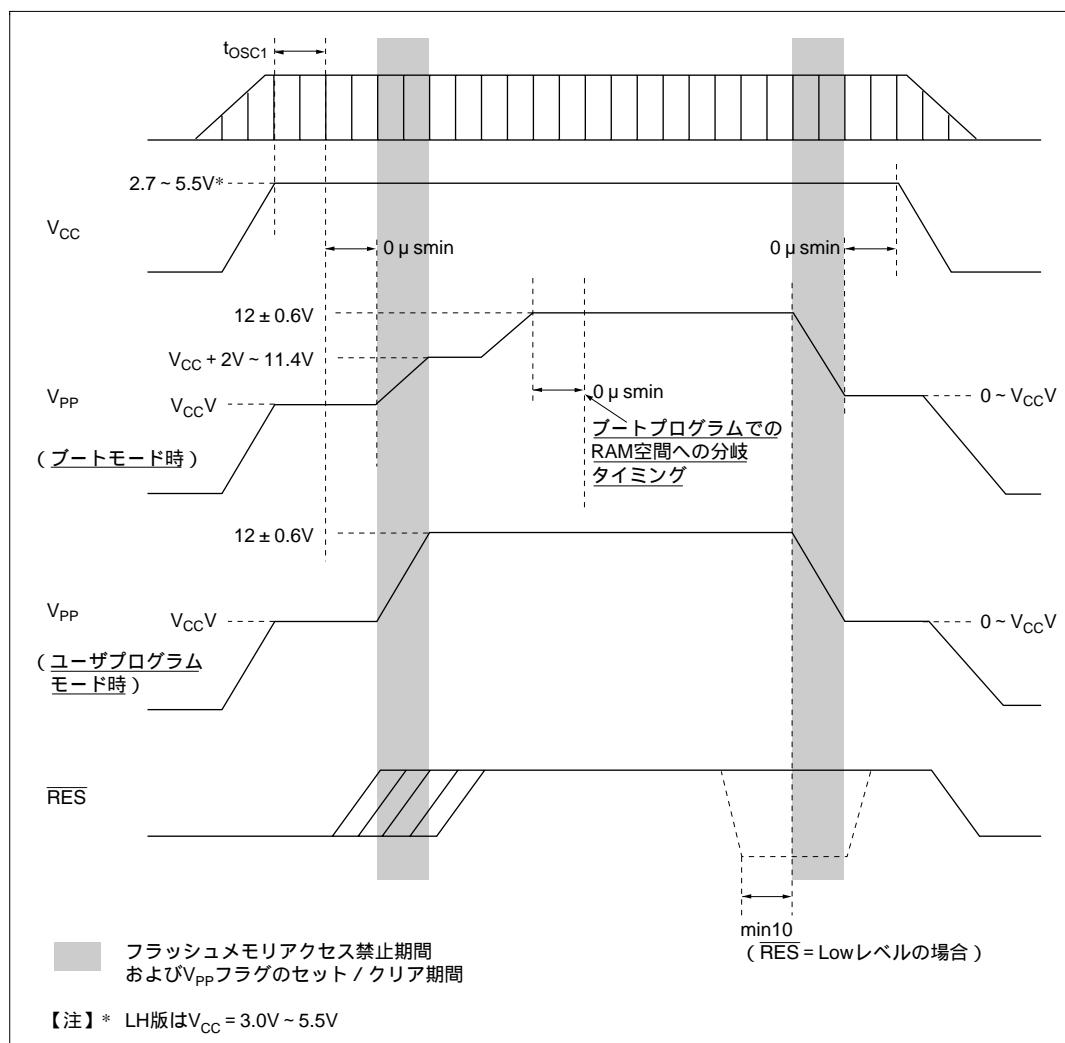


図 20.20 V_{pp} 電源投入および切断タイミング

(6) FV_{pp} 端子に常時 12V を印加しないでください。

プログラム暴走などによる誤書き込み、誤消去を防止するため、 FV_{pp} 端子に 12V を印加するのは、フラッシュメモリに書き込み、消去を行うときのみ（これは RAM によるフラッシュメモリのエミュレーション実行時も含む）としてください。プログラム暴走などによって過剰書き込み、過剰消去となるとメモリセルが正常に動作しないことがあります。このため、 FV_{pp} 端子に常時 12V を印加するようなシステム構成は避けてください。

また、12V 印加中においても、過剰書き込み、過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走などに対応できるようにしてください。

(7) プログラム電圧 (V_{pp}) の電源設計は、電流に余裕をみた回路設計を行ってください。

書き込み、消去時の V_{pp} は、 $12.0 \pm 0.6V$ ($11.4V \sim 12.6V$) の範囲を超えないようにしてください。これを超えると消去および書き込みが行えなくなる場合がありますので注意してください。

- (8) FV_{PP} および MD_1 端子は、オーバシュートのピークが定格を超えないようにしてください。また、 FV_{PP} および MD_1 端子は、できる限り端子の近くにバイパスコンデンサを接続してください。
- ブートモード使用時は MD_1 端子についても同様にバイパスコンデンサを接続してください。

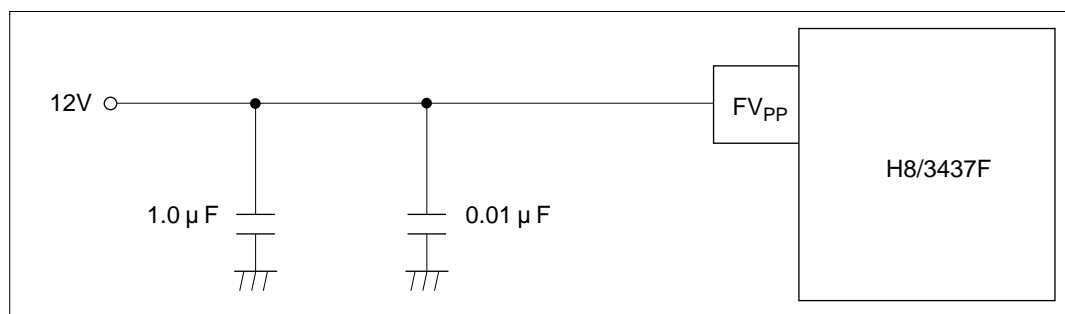


図 20.21 V_{PP} 電源回路設計例

- (9) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。
- このアルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。
- また、フラッシュメモリコントロールレジスタ (FLMCR) のプログラム (P) ビット、およびイレース (E) ビットをセットするときは、規定以上の時間を超えてセットしないよう、あらかじめウォッチドッグタイマを設定してください。
- (10) フラッシュメモリの書き込み中または、消去中の割り込み処理については、「20.4.9 フラッシュメモリへの書き込み / 消去時の割り込み処理」を参照してください。
- (11) フラッシュメモリ制御レジスタ、アクセス時の注意事項
- (a) 各動作モードにおけるフラッシュメモリ制御レジスタへのアクセス状態
- H8/3437F は、フラッシュメモリの制御レジスタをアドレス H'FF80 (FLMCR)、H'FF82 (EBR1)、H'FF83 (EBR2) に配置しており、これらのレジスタはフラッシュメモリプログラム電源端子 FV_{PP} に 12V が印加された場合にアクセス可能となります。
- 上記アドレスの各モードならびに $FV_{PP} = 12V$ 印加時 / 非印加時のアクセス対象を表 20.17 に示します。

表 20.17 各モードごとならびに $FV_{pp} = 12V$ 印加時 / 非印加時の各アクセス対象

	モード 1	モード 2	モード 3
$FV_{pp} = 12V$ 印加時	リザーブエリア (常に H'FF)	フラッシュメモリ制御レジスタ (FLMCR の初期値 H'80)	フラッシュメモリ制御レジスタ (FLMCR の初期値 H'80)
$FV_{pp} = 12V$ 非印加時	外部アドレス空間	外部アドレス空間	リザーブエリア (常に H'FF)

(b) モード 2 (内蔵 ROM 有効拡張モード) でフラッシュメモリ制御レジスタをアクセスする場合

モード 2 でフラッシュメモリ制御レジスタをアクセスすると、 $FV_{pp} = 12V$ 印加時はリード/ライト可能ですが、12V 非印加時は外部アドレス空間をアクセスするため、必ず FV_{pp} 端子への 12V 印加を確認の上、本レジスタをアクセスしてください。

(c) モード 3 (シングルチップモード) で 12V 印加 / 非印加を確認する場合

モード 3 でアドレス H'FF80 をアクセスすると、 $FV_{pp} = 12V$ 印加時は FLMCR をリード/ライトリセット後の初期値は H'80 となります。一方、12V 非印加時はリザーブエリアとなりリードすると常に H'FF が読み出され、書き込みは無効となります。この時ビット 7 (V_{pp} ビットに相当) は、 $FV_{pp} = 12V$ 印加時 / 非印加時いずれの場合も 1 となるため、このビットのみの 1/0 判定では $FV_{pp} = 12V$ 印加 / 解除を検出することができません。

12V 印加 / 非印加を確認する際は必ずバイトデータを比較し、判定してください。具体的には下記プログラムをご参照ください。

```

      .
      .
LABEL1:  MOV.B   @H'FF80, R1L
          CMP.B   #H'FF, R1L
          BEQ    LABEL1
      .
      .
      .
FVpp = 12V 印加検出のプログラム例 (モード 3)

```

表 20.18 フラッシュメモリのDC特性

$V_{CC} = 2.7V \sim 5.5V^{*2}$ 、 $AV_{CC} = 2.7V \sim 5.5V^{*2}$ 、 $AV_{ref} = 2.7V \sim AV_{CC}^{*2}$ 、 $V_{SS} = AV_{SS} = 0V$ 、

$V_{PP} = 12.0V \pm 0.6V$ 、 $T_a = -20 \sim +75$ (通常仕様品)、

$T_a = -40 \sim +85$ (広温度範囲品)

項目		記号	min	typ	max	単位	測定条件
高電圧 (12V) 印加判定レベル *1	FV_{PP} 、 MD_1	V_H	$V_{CC} + 2$	-	11.4	V	
FV_{PP} 電流	読み出し時	I_{PP}	-	-	10	μA	$V_{PP} = 2.7 \sim 5.5V$
			-	10	20	mA	$V_{PP} = 12.6V$
	プログラム時		-	20	40	mA	
	消去時		-	20	40	mA	

【注】 *1 高電圧印加の判定レベルは、上記の電圧となりますが、ブートモードおよびフラッシュメモリの書き込み/消去時は、 $12.0 \pm 0.6V$ に設定してください。

*2 LH版は $V_{CC} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、 $AV_{ref} = 3.0V \sim AV_{CC}$

表 20.19 フラッシュメモリの AC 特性

$V_{CC} = 2.7V \sim 5.5V^{*5}$ 、 $AV_{CC} = 2.7V \sim 5.5V^{*5}$ 、 $AV_{ref} = 2.7V \sim AV_{CC}^{*5}$ 、 $V_{SS} = AV_{SS} = 0V$ 、
 $V_{PP} = 12.0V \pm 0.6V$ 、 $T_a = -20 \sim +75$ (通常仕様品)、
 $T_a = -40 \sim +85$ (広温度範囲品)

項目	記号	min	typ	max	単位	測定条件
書き込み時間 ^{*1*2}	t_P	-	50	1000	μs	
消去時間 ^{*1*3}	t_E	-	1	30	s	
書き換え回数	N_{WEC}	-	-	100	回	
ベリファイセットアップ時間 1 ^{*1}	t_{VS1}	4	-	-	μs	
ベリファイセットアップ時間 2 ^{*1}	t_{VS2}	2	-	-	μs	
フラッシュメモリリード	t_{FRS}	50	-	-	μs	$V_{CC} = 4.5V$
セットアップ時間 ^{*4}		100	-	-		$V_{CC} < 4.5V$

【注】 *1 各時間の設定は、20 章に示す書き込み、消去のアルゴリズムにしたがい、行ってください。

*2 バイト当たりの書き込み時間 (フラッシュメモリコントロールレジスタ (FLMCR) の P ビットをセットしている期間) を示します。プログラムベリファイ時間は含まれません。

*3 全ブロック (60kB) を消去する時間 (フラッシュメモリコントロールレジスタ (FLMCR) の E ビットをセットしている期間) を示します。消去前のプレライト時間とイレースベリファイ時間は含まれません。

*4 外部クロック使用時の電源投入後とスタンバイモードからの復帰後、およびプログラム電圧 (V_{PP}) を 12V から V_{CC} 切り替え時は、フラッシュメモリをリードする前にリードセットアップ時間以上においてリードしてください。

V_{PP} 解除時では、 V_{PP} 電圧が $V_{CC} + 2V$ のレベルに達した時点からフラッシュメモリをリードするまでのセットアップ時間を規定します。

*5 LH 版は $V_{CC} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、 $AV_{ref} = 3.0V \sim AV_{CC}$

21. ROM

(単一電源方式フラッシュメモリ 60k バイト版)

第 21 章 目次

21.1	フラッシュメモリの概要	539
21.1.1	モード端子の設定と ROM 空間	539
21.1.2	特長	539
21.1.3	ブロック図	540
21.1.4	端子構成	541
21.1.5	レジスタ構成	541
21.1.6	モードコントロールレジスタ (MDCR)	542
21.1.7	フラッシュメモリの動作モード	543
21.2	フラッシュメモリのレジスタの説明	547
21.2.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	547
21.2.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	549
21.2.3	消去ブロック指定レジスタ 2 (EBR2)	551
21.2.4	ウェイトステートコントロールレジスタ (WSCR)	552
21.3	オンボードプログラミングモード	554
21.3.1	ブートモード	554
21.3.2	ユーザプログラムモード	560
21.4	フラッシュメモリの書き込み / 消去	562
21.4.1	プログラムモード	562
21.4.2	プログラムベリファイモード	563
21.4.3	イレースモード	565
21.4.4	イレースベリファイモード	565
21.4.5	プロテクトモード	568
21.4.6	フラッシュメモリへの書き込み / 消去時の割り込み処理	571

21. ROM (単一電源方式フラッシュメモリ 60k バイト版)

21.5	フラッシュメモリのライターモード (H8/3437SF)	572
21.5.1	ライターモードの設定	572
21.5.2	ソケットアダプタの端子対応とメモリマップ	572
21.5.3	ライターモードの動作	573
21.6	フラッシュメモリの書き込み / 消去時の注意	584

21.1 フラッシュメモリの概要

21.1.1 モード端子の設定と ROM 空間

H8/3437SF は 60k バイトのフラッシュメモリを内蔵しています。ROM は CPU と 16 ビットデータバスで接続されており、バイトデータ、ワードデータにかかわらず、2 ステートでアクセスできます。偶数番地が上位 8 ビット、奇数番地が下位 8 ビットに接続されています。ワードデータは偶数番地から始まるデータに限定されています。

内蔵 ROM の有効または無効の設定は、モード端子 (MD₁、MD₀) および MDCR の EXPE ビットにより行います。

H8/3437SF は、PROM ライタを用いて書き込み・消去ができるほか、オンボードでの消去・書き換えが可能です。

表 21.1 モード端子の設定と ROM 空間

動作モード		モード端子の設定		内蔵 ROM
MCU 動作モード	内容	MD ₁	MD ₀	
モード 1	内蔵 ROM 無効拡張モード	0	1	無効
モード 2	内蔵 ROM 有効拡張モード	1	0	有効
モード 3	シングルチップモード		1	有効

21.1.2 特長

フラッシュメモリの特長を以下に示します。

フラッシュメモリの 4 種類の動作状態

フラッシュメモリの動作状態として、プログラムモード、プログラムベリファイモード、イレースモード、イレースベリファイモードがあります。

書き込み、消去方法

書き込みは 32 バイト同時書き込みを行います。消去はブロック分割消去 (1 ブロック単位) で行います。複数ブロックを消去する場合は、必ず各ブロック単位で順次消去を行ってください。ブロック分割消去では、1k バイト、28k バイト、16k バイト、12k バイト、2k バイトのブロック単位で任意に設定することができます。

書き込み、消去時間

フラッシュメモリの書き込み時間は、32 バイト同時書き込みにて 10ms (typ.)、1 バイト当たり換算にて 300 μs (typ.)、消去時間はブロック当たり 100ms (typ.) です。

書き換え回数

フラッシュメモリの書き換えは、100 回まで可能です。

オンボードプログラミングモード

フラッシュメモリの書き込み、消去、ベリファイを行うモードです。2種類の動作モード(ブートモード、ユーザプログラムモード)があります。

ビットレート自動合わせ込み

ブートモードのデータ転送時、ホストの転送ビットレートとH8/3437SFビットレートの自動合わせ込みができます。

プロテクトモード

ハードウェアプロテクトモード、ソフトウェアプロテクトモードとエラープロテクトモードの3種類のモードがあり、フラッシュメモリの書き込み/消去/ベリファイのプロテクト状態を設定することができます。

ライターモード

フラッシュメモリの書き込み/消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあり、PROMライターを用いて自由にプログラムを書き込むことができます。

21.1.3 ブロック図

フラッシュメモリのブロック図を図21.1に示します。

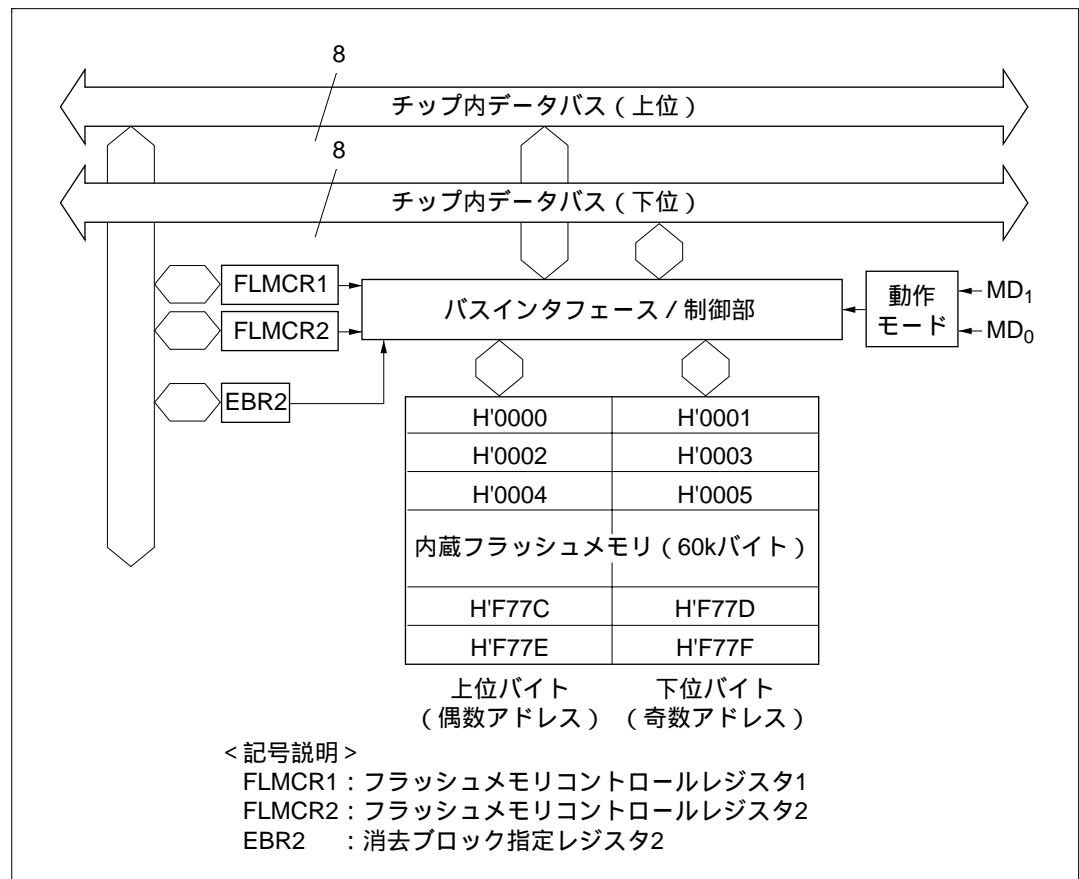


図 21.1 フラッシュメモリのブロック図

21.1.4 端子構成

フラッシュメモリは表 21.2 に示す端子により制御されます。

表 21.2 端子構成

端子名	略称	入出力	機能
リセット	$\overline{\text{RES}}$	入力	リセット
モード 1	MD_1	入力	本 LSI の動作モードを設定
モード 0	MD_0	入力	本 LSI の動作モードを設定
ポート 92	P9_2	入力	$\text{MD1} = \text{MD0} = 0$ の場合に、本 LSI の動作モードを設定
ポート 91	P9_1	入力	$\text{MD1} = \text{MD0} = 0$ の場合に、本 LSI の動作モードを設定
ポート 90	P9_0	入力	$\text{MD1} = \text{MD0} = 0$ の場合に、本 LSI の動作モードを設定
トランスミットデータ	TxD_1	出力	SCI1 送信データ出力
レシーブデータ	RxD_1	入力	SCI1 受信データ入力

トランスミットデータ端子とレシーブデータ端子はブートモード時に使用します。

21.1.5 レジスタ構成

フラッシュメモリは表 21.3 に示すレジスタにより制御されます。

表 21.3 レジスタ構成

名称	略称	R/W	初期値	アドレス
フラッシュメモリコントロールレジスタ 1	FLMCR1	R/W ^{*2}	H'80	H'FF80
フラッシュメモリコントロールレジスタ 2	FLMCR2	R/W ^{*2}	H'00 ^{*3}	H'FF81
消去ブロック指定レジスタ 2	EBR2	R/W ^{*2}	H'00 ^{*3}	H'FF83
ウェイトステートコントロールレジスタ ^{*1}	WSCR	R/W	H'08	H'FFC2

【注】 *1 ウェイトステートコントロールレジスタは、ウェイトステートコントローラのウェイトと、クロック発振器の周辺モジュールへの分周を制御するレジスタとして使用します。それぞれ (または FLMCR1、FLMCR2、EBR2) のレジスタの選択はウェイトステートコントロールレジスタ (WSCR) の FLSHE ビットで行います。

*2 内蔵フラッシュメモリが無効のモードのときは、リードすると H'00 が読み出され、ライトは無効となります。

*3 FLMCR1 の SWE ビットがセットされていないときは、H'00 に初期化されます。

21.1.6 モードコントロールレジスタ (MDCR)

(1) レジスタ構成

本 LSI の動作モードは、モード端子とモードコントロールレジスタ (MDCR) で制御されます。レジスタ構成を表 21.4 に示します。

表 21.4 レジスタ構成

名称	略称	R/W	初期値	アドレス
モードコントロールレジスタ	MDCR	R/W	不定 動作モードにより異なります。	H'FFC5

(2) モードコントロールレジスタ (MDCR)

ビット :	7	6	5	4	3	2	1	0
	EXPE*1	—	—	—	—	—	MDS1	MDS0
初期値 :	—*2	1	1	0	0	1	—*2	—*2
R/W :	R/W*2	—	—	—	—	—	R	R

【注】*1 H8/3437SF (Sマスク品、単一電源方式フラッシュメモリ内蔵版) のみ。
その他の場合はリザーブビットとなり、リードすると常に1が読み出されます。
*2 モード端子 (MD₁、MD₀) により決定されます。

MDCR は、8 ビットのレジスタで、本 LSI の動作モードの設定、および現在の動作モードをモニタするのに用います。

ビット 7 : 拡張モードイネーブル (EXPE)

拡張モードを設定します。モード 1 の場合、1 に固定されており、ライトは無効です。モード 2、3 の場合、初期値は 0 に固定されており、ライトは無効です。
本ビットは、ブートモード時のみ、リード/ライト可能です。

ビット 7	説明
EXPE	
0	シングルチップモードを選択
1	拡張モードを選択 (ブートモード時のライト可能)

ビット 6、5 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 4、3 : リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット2：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット1、0：モードセレクト1、0 (MDS1、0)

モード端子 (MD_1 、 MD_0) の入力レベルを反映した値 (現在の動作モード) を示します。MDS1、MDS0 ビットは、 MD_1 端子、 MD_0 端子にそれぞれ対応します。これらのビットは、リード専用でライトは無効です。MDCR をリードするとモード端子 (MD_1 、 MD_0) の入力レベルがこれらのビットにラッチされます。

21.1.7 フラッシュメモリの動作モード

(1) モード遷移図

リセット状態で各モード端子を設定し、リセットスタートすると、マイコンは図 21.2 に示すような各動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、フラッシュメモリの書き込み / 消去はできません。

フラッシュメモリへの書き込み / 消去を行えるモードとして、ブートモード、ユーザプログラムモード、ライターモードがあります。

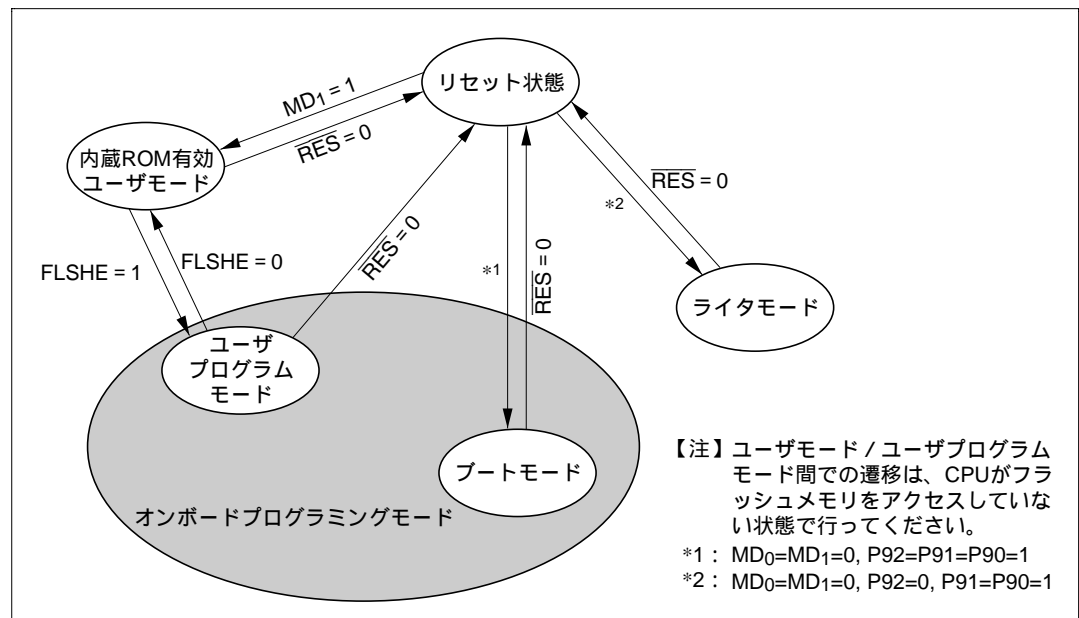


図 21.2 フラッシュメモリに関する状態遷移

(2) オンボードプログラムモード

(a) ブートモード

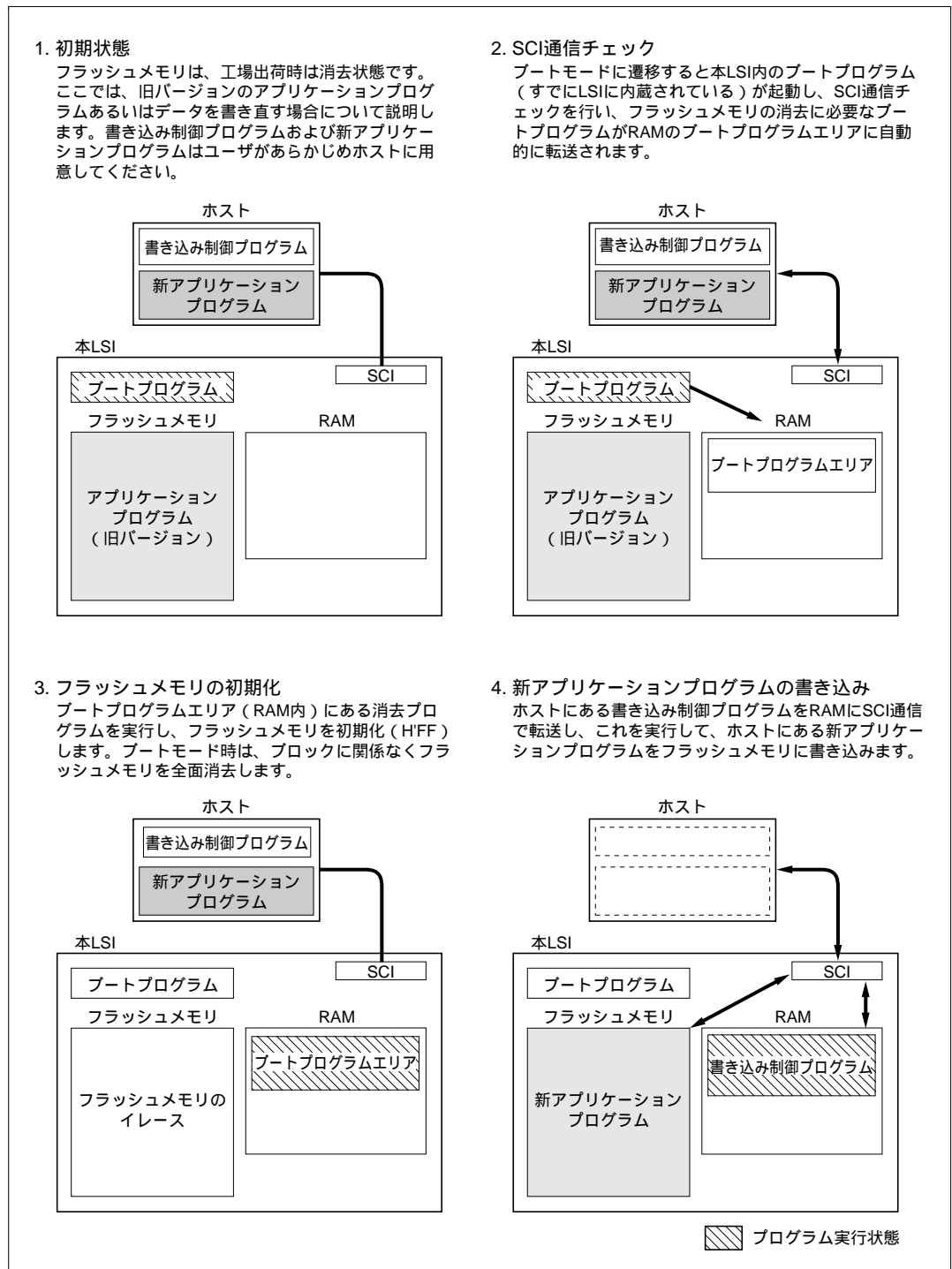


図 21.3 ブートモード

(b) ユーザプログラムモード

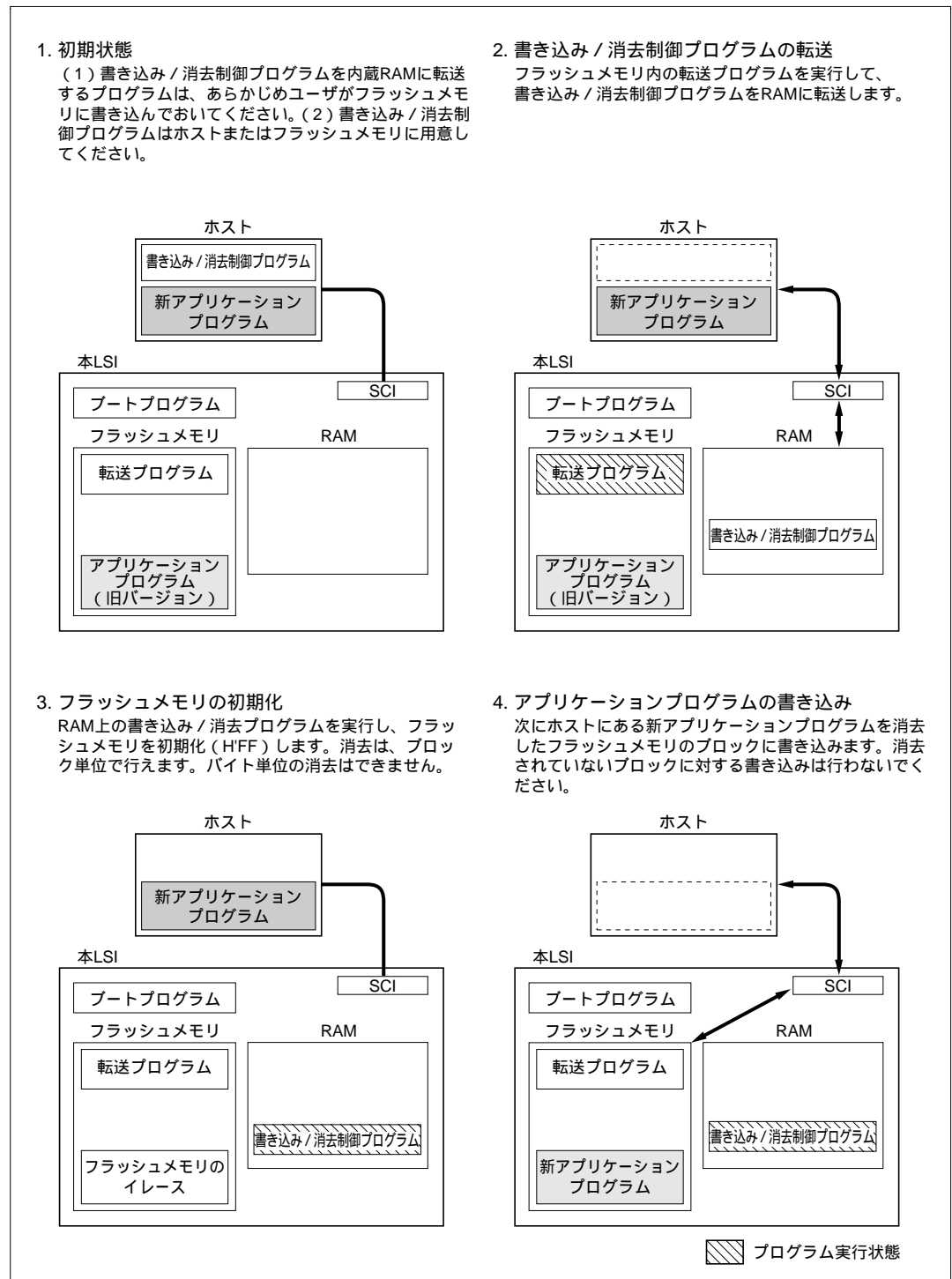


図 21.4 ユーザプログラムモード (例)

(3) ブートモードとユーザプログラムモードの相違

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	(2)	(1) (2)

(1) イレース/イレースベリファイ

(2) プログラム/プログラムベリファイ

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

(4) ブロック分割法

2k バイト (1 ブロック)、12k バイト (1 ブロック)、16k バイト (1 ブロック)、28k バイト (1 ブロック)、1k バイト (4 ブロック) に分割されています。

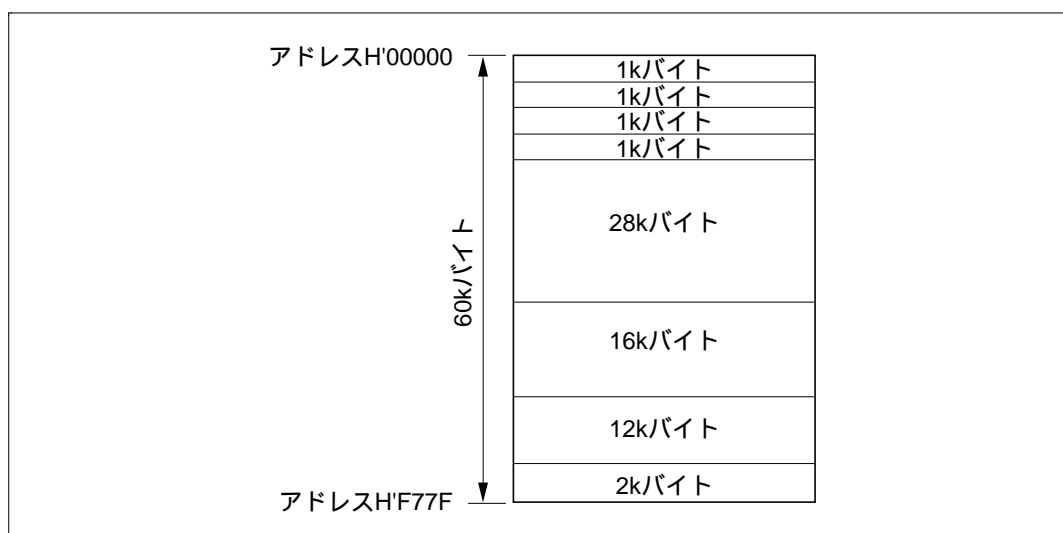


図 21.5 フラッシュメモリのブロック分割

21.2 フラッシュメモリのレジスタの説明

21.2.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

ビット:	7	6	5	4	3	2	1	0
	FWE	SWE	-	-	EV	PV	E	P
初期値:	1	0	0	0	0	0	0	0
R/W:	R	R/W	-	-	R/W	R/W	R/W	R/W

【注】 本レジスタをアクセスするためには、WSCRのFLSHEビットを1にセットする必要があります。

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。SWE=1 にして対応するビットをセットすることにより、プログラムベリファイモード/イレーズベリファイモードに遷移します。プログラムモードへ遷移するには、SWE=1 にセットし、FLMCR2 の PSU ビットをセットした後、P ビットをセットします。イレーズモードへ遷移するには、SWE=1 にセットし、FLMCR2 の ESU ビットをセットした後、E ビットをセットします。FLMCR1 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモードで H'80 に初期化されます。内蔵フラッシュメモリが無効のときはリードすると H'00 が読み出され、ライトも無効となります。

また、FLMCR1 の EV、PV ビットへの書き込みは SWE=1 のとき、E ビットへの書き込みは FWE=1、SWE=1、ESU=1 のとき、P ビットへのライトは SWE=1、PSU=1 のときのみ有効です。

ビット 7: フラッシュライトイネーブルビット (FWE)

内蔵フラッシュメモリの書き込み/消去を制御するビットです。本製品では、リードすると常に 1 が読み出されます。ライトは無効です。

ビット 6: ソフトウェアライトイネーブルビット (SWE)

フラッシュメモリの書き込みの有効または無効を選択するビットです (ESU、PSU、EV、PV、E、P、EB7~EB0 ビットの設定前にセットしてください。また、これらのビットと同時にクリアしないでください)。

ビット 6	説明
SWE	
0	書き込み無効 (初期値)
1	書き込み有効

ビット 6~4: リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット3：イレースベリファイモード (EV)

イレースベリファイモードへの遷移、または解除を選択するビットです (SWE、ESU、PSU、PV、E、P ビットを同時に設定しないでください)。

ビット3	説明
EV	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] SWE = 1 のとき

ビット2：プログラムベリファイモード (PV)

プログラムベリファイモードへの遷移、または解除を選択するビットです (SWE、ESU、PSU、EV、E、P ビットを同時に設定しないでください)。

ビット2	説明
PV	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] SWE = 1 のとき

ビット1：イレースモード (E)

イレースモードへの遷移、または解除を選択するビットです (SWE、ESU、PSU、EV、PV、P ビットを同時に設定しないでください)。

ビット1	説明
E	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移 [セット条件] SWE = 1、ESU = 1 のとき

ビット0 : プログラムモード (P)

プログラムモードへの遷移、または解除を選択するビットです (SWE、ESU、PSU、EV、PV、E ビットを同時に設定しないでください)。

ビット0	説明
P	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移 [セット条件] SWE = 1、PSU = 1 のとき

21.2.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

ビット :	7	6	5	4	3	2	1	0
	FLER	-	-	-	-	-	ESU	PSU
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	-	-	-	-	-	R/W	R/W

【注】 本レジスタをアクセスするためには、WSCRのFLSHEビットを1にセットする必要があります。

FLMCR2 は、フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) の有無のモニタと、フラッシュメモリのプログラム / イレースモードへのセットアップを行う 8 ビットのレジスタです。FLMCR2 は、リセット、ハードウェアスタンバイモードで H'00 に初期化されます。また、ESU ビット、PSU ビットは、ソフトウェアスタンバイモード、ハードウェアプロテクトモードおよびソフトウェアプロテクトモードでも 0 にクリアされます。

内蔵フラッシュメモリが無効のときはリードすると H'00 が読み出されます。

ビット7：フラッシュメモリエラー (FLER)

フラッシュメモリ動作中(書き込み、消去)にエラーが発生したことを示すビットです。FLER=1に設定されると、フラッシュメモリはエラープロテクトに遷移します。

ビット7	説明
FLER	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み/消去プロテクト(エラープロテクト)が無効 [クリア条件]リセット、ハードウェアスタンバイモード、サブアクティブモード、サブスリープモード、ウォッチモードのとき (初期値)
1	フラッシュメモリへの書き込み/消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み/消去プロテクト(エラープロテクト)が有効 [セット条件]「21.4.8(3) エラープロテクト」参照

ビット6~2：リザーブビット

リザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

ビット1：イレースセットアップ (ESU)

イレースモードへの遷移の準備をするビットです。FLMCR1のEビットを1にセットする前に1にセットしてください(SWE、PSU、EV、PV、E、Pビットを同時に設定しないでください)。

ビット1	説明
ESU	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] SWE = 1 のとき

ビット0 : プログラムセットアップ (PSU)

プログラムモードへの遷移の準備をするビットです。FLMCR1 の P ビットを 1 にセットする前に 1 にセットしてください (SWE、ESU、EV、PV、E、P ビットを同時に設定しないでください)。

ビット0	説明
PSU	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] SWE = 1 のとき

21.2.3 消去ブロック指定レジスタ 2 (EBR2)

ビット :	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 本レジスタをアクセスするためには、WSCRのFLSHEビットを1にセットする必要があります。

* モード2のときビット7へのライトは無効となります。

消去ブロック指定レジスタ 2 (EBR2) は、フラッシュメモリの消去エリアをブロックごとに設定するレジスタで、EBR2 は、リセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモードおよび FLMCR1 の SWE ビットが設定されていないときは、H'00 に初期化されます。EBR2 の各ビットに 1 をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。EBR2 は 1 ビットのみ設定してください (2 ビット以上を設定しないでください)。内蔵フラッシュメモリが無効のときはリードすると H'00 が読み出され、ライトも無効となります。

フラッシュメモリのブロック分割方法は、図 21.5 を参照してください。

表 21.5 消去ブロックの分割

ブロック (サイズ)	アドレス
60k バイト版	
EB0 (1k バイト)	H'0000 ~ H'03FF
EB1 (1k バイト)	H'0400 ~ H'07FF
EB2 (1k バイト)	H'0800 ~ H'0BFF
EB3 (1k バイト)	H'0C00 ~ H'0FFF
EB4 (28k バイト)	H'1000 ~ H'7FFF
EB5 (16k バイト)	H'8000 ~ H'BFFF
EB6 (12k バイト)	H'C000 ~ H'EF7F
EB7 (2k バイト)	H'EF80 ~ H'F77F

21.2.4 ウェイトステートコントロールレジスタ (WSCR)

ビット :	7	6	5	4	3	2	1	0
	-	-	CKDBL	FLSHE	WMS1	WMS0	WC1	WC0
初期値 :	0	0	0	0	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ウェイトステートコントロールレジスタ (WSCR) は 8 ビットのリード/ライト可能なレジスタで、周辺モジュールへ供給するクロックの分周を制御します。また、ウェイトステートコントローラのウェイトの設定、二電源方式フラッシュメモリ用の RAM エリア設定、単一電源方式フラッシュメモリの制御レジスタの選択/非選択を制御します。

WSCR はリセットまたはハードウェアスタンバイモード時に H'08 にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット 7、6 : リザーブビット

リザーブビットです。リード/ライト可能で初期値は 0 です。

ビット 5 : クロック分周 (CKDBL)

周辺モジュールへ供給するシステムクロックの分周を制御します。詳しくは「第 6 章 クロック発振器」を参照してください。

ビット4：フラッシュメモリコントロールレジスタイネーブル (FLSHE)

FLSHE ビットを1にセットすると、フラッシュメモリの制御レジスタをリード/ライトすることができます。0にクリアするとフラッシュメモリの制御レジスタは非選択となります。このとき、フラッシュメモリ制御レジスタの内容は保持されています。

ビット3	説 明
FLSHE	
0	フラッシュメモリの制御レジスタは非選択状態 (初期値)
1	フラッシュメモリの制御レジスタは選択状態

ビット3、2：ウェイトモードセレクト1、0 (WMS1、WMS0)

ビット1、0：ウェイトカウント1、0 (WC1、WC0)

ウェイトステートコントローラのウェイトを制御します。詳しくは「第5章 ウェイト制御」を参照してください。

21.3 オンボードプログラミングモード

オンボードプログラミングモードに設定すると、内蔵フラッシュメモリへの書き込み、消去、ベリファイを行うことができます。本モードには、2種類の動作モード（ブートモード、ユーザプログラムモード）があります。ブートモードの設定方法は、表 21.6 を参照してください。ユーザプログラムモードは、ソフトウェアで制御ビットを設定し動作可能です。また、フラッシュメモリに関する各モードへの状態推移図は、図 21.2 を参照してください。

表 21.6 オンボードプログラミングモードの設定方法

モード設定	MD ₁	MD ₀	P9 ₂	P9 ₁	P9 ₀
ブートモード	0	0	1	1	1
ユーザプログラムモード	1	0	-	-	-
		1			

21.3.1 ブートモード

ブートモードを使用する場合は、あらかじめフラッシュメモリへの書き込み制御用のユーザプログラムをホスト側のパソコンなどに準備しておく必要があります。また、使用する SCI は、チャンネル 1 の調歩同期式モードに設定されています。

本 LSI の端子をブートモードに設定後、リセットスタートすると、あらかじめ組み込まれているブートプログラムが起動され、ホストに用意した書き込み制御プログラムが、SCI を使って本 LSI へ順次送信されます。本 LSI では、SCI で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後、書き込み制御プログラムエリアの先頭アドレスに分岐し、書き込み制御プログラム実行状態となります（フラッシュメモリの書き込みを行います）。

したがって、転送する書き込み制御プログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 21.6 にブートモード時のシステム構成図、図 21.7 にブートモードの実行手順を示します。

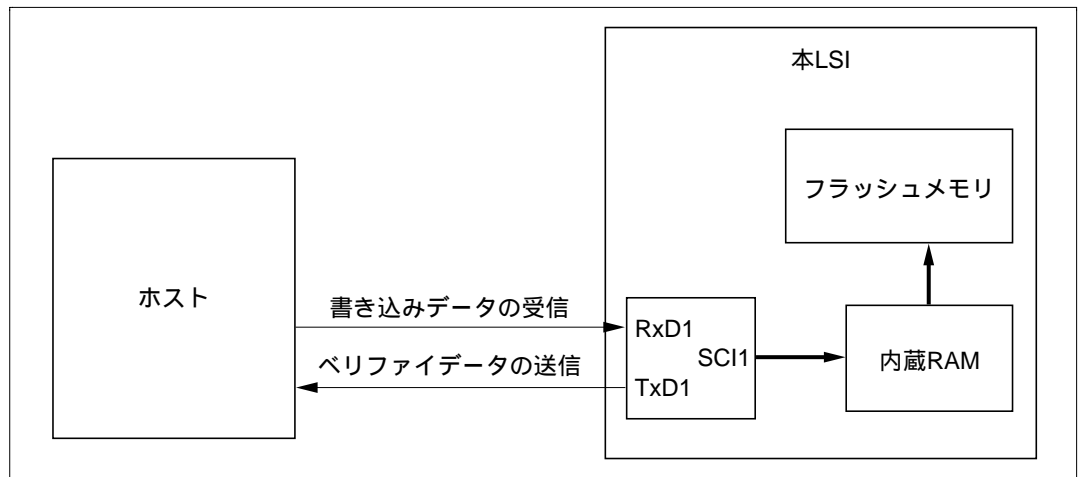


図 21.6 ブートモードシステム構成図

(1) ブートモードの実行手順

ブートモードの実行手順を以下に示します。

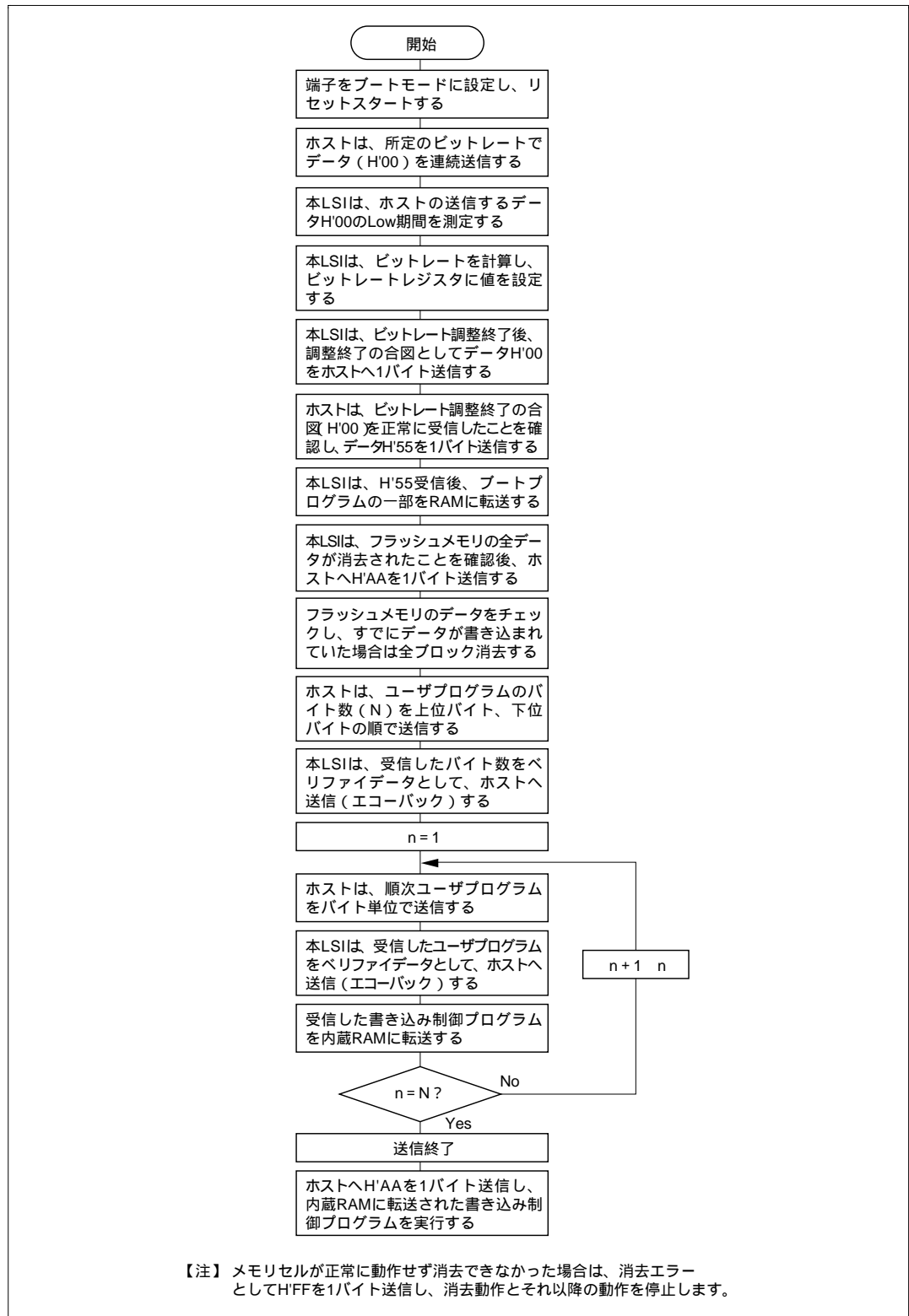


図 21.7 ブートモード実行手順

(2) SCI ビットレートの自動合わせ込み動作

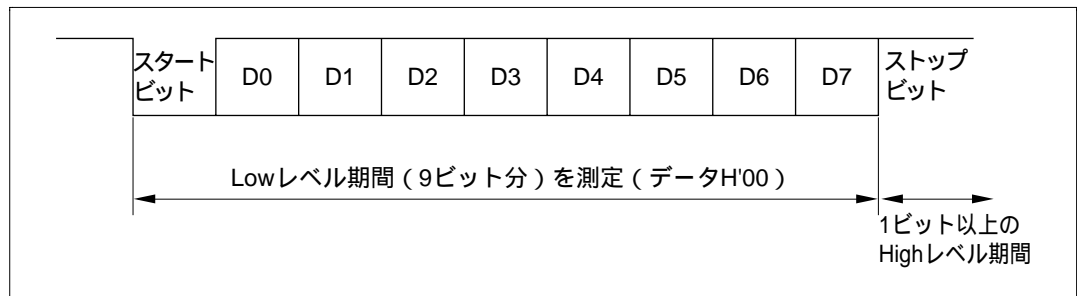


図 21.8 ホスト送信データの Low 期間の測定

ブートモードを起動すると、本 LSI は、ホストより連続送信される調歩同期式 SCI 通信データ (H'00) の Low レベル期間を測定します。このデータフォーマットは、8 ビットデータ 1 ストップビット、パリティなしのフォーマットです。本 LSI は、測定した Low レベル期間 (9 ビット) よりホストの送信ビットレートを計算し、ビットレートの調整が終わると、ビット調整終了合図としてホストへ 1 バイトの H'00 データを送信します。ホストは、この調整終了合図を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われない場合は、再度ブートモードでリセット起動し、Low 期間の測定を実行してください。ホストが送信するビットレート、および本 LSI のシステムクロックの発振周波数 (f_{osc}) によってホストと本 LSI のビットレートに誤差が発生します。正常に SCI 動作を行うために、ホストの転送ビットレートを 2400、4800、9600bps に設定してください。

ホストの代表的な転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの発振周波数を表 21.7 に示します。このシステムクロックの発振周波数の範囲内でブートモードを実行してください。

表 21.7 本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの
発振周波数

ホストのビットレート	H8/3437SF のビットレートの自動合わせ込みが可能な システムクロックの発振周波数 (f_{osc})
9600bps	8MHz ~ 16MHz
4800bps	4MHz ~ 16MHz
2400bps	2MHz ~ 16MHz

(3) ブートモード時の RAM エリアの分割

ブートモードでは、H'FF00 ~ H'FF7F の 128 バイトは、図 21.9 に示すようにブートプログラムで使用するエリアとしてリザーブされています。ユーザプログラムを転送するエリアは H'F780 ~ H'FDFF (1664 バイト) です。ブートプログラムのエリアは、RAM 内に転送したユーザプログラムの実行状態に遷移すると使用できます。スタックエリアはユーザプログラム内で必要に応じて設定してください。

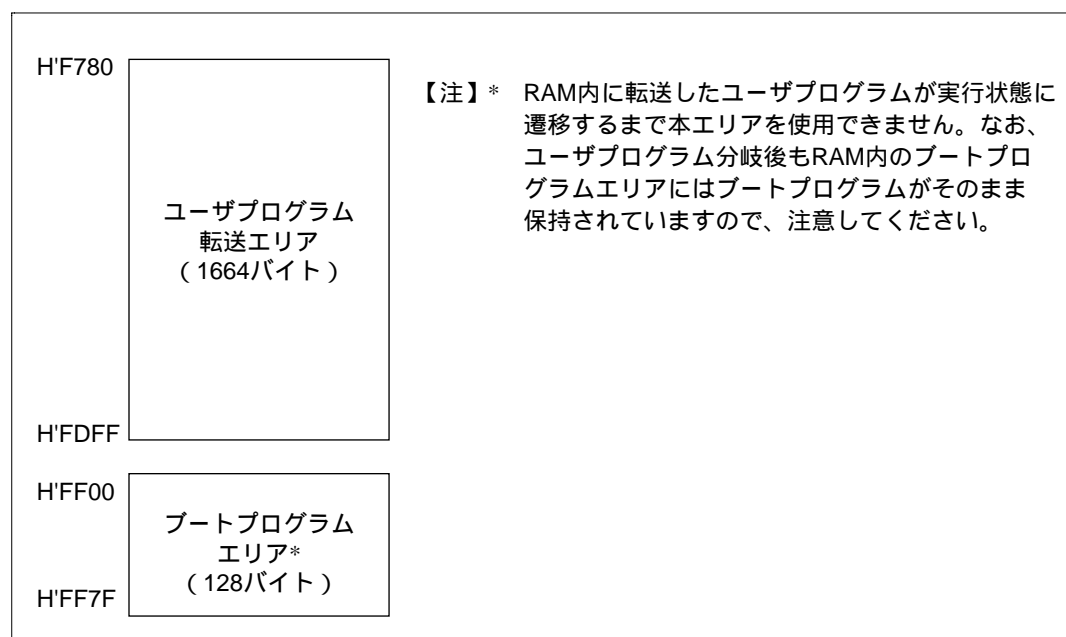


図 21.9 ブートモード時の RAM エリア

(4) ブートモード使用時の注意事項

- (1) 本 LSI は、ブートモードでリセット解除すると、SCI の RxD_1 端子の Low レベル期間を測定します。 RxD_1 端子が High レベルの状態のリセット解除してください。リセット解除後、 RxD_1 端子から入力される Low レベル期間を測定できるようになるまで、本 LSI は約 100 ステート必要です。

- (2) ブートモードは、フラッシュメモリに書き込まれているデータがある場合(全データが HFF でないとき)、フラッシュメモリの全ブロックを消去します。本モードは、オンボード状態での初期の書き込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰などに使用してください。
- (3) フラッシュメモリのプログラム中、あるいは消去中に割り込みを使用することはできません。
- (4) RxD₁ 端子および TxD₁ 端子は、ボード上でプルアップして使用してください。
- (5) 本 LSI は、ユーザプログラム (RAM エリアの HE880) に分岐するときに内蔵 SCI (チャンネル 1) の送受信動作を終了 (シリアルコントロールレジスタ SCR の RE = 0、TE = 0) しますが、ビットレートレジスタ BRR は、合わせ込んだビットレートの値を保持しています。
- また、このときトランスミットデータ出力端子 TxD₁ は、High レベル出力状態 (ポート 8 データディレクションレジスタの P8₄DDR = 1、ポート 8 データレジスタの P8₄DR = 1) となっています。
- さらにこのとき、CPU 内蔵の汎用レジスタの値は不定です。このためユーザプログラムに分岐した直後に汎用レジスタの初期化を必ず行ってください。特にスタックポインタ (SP) はサブルーチンコール時などに、暗黙的に使用されますので、ユーザプログラムで使用するスタックエリアを必ず指定してください。
- 上記以外の内蔵レジスタについては初期値が変更されるものではありません。
- (6) ブートモードへの遷移は表 21.6 のモード設定条件に従って、端子を設定し、リセットスタートすることにより可能です。
- 本 LSI はリセット解除時*¹ ブートモードの設定であることを検出すると P9₂、P9₁、P9₀ は I/O ポートとして使用できます。
- ブートモードを解除するには、リセット端子を Low レベルにしてから最低 20 システムクロック経過後、モード端子を設定し、リセット解除*¹ してください。
- また、WDT のオーバフローリセットが発生した場合も、ブートモードを解除することが可能です。
- ブートモードの途中でモード端子の入力レベルを変化させないでください。
- (7) リセット中にモード端子の入力レベルを変化 (例えば Low レベル High レベル) させると、マイコンの動作モードが切り換わることによりアドレス兼用ポート、およびバス制御出力信号 (\overline{AS} 、 \overline{RD} 、 \overline{WR}) の状態が変化*² します。このため、これらの端子

はリセット中に出力信号とならないような端子設定にするか、マイコン外部の信号と衝突しないように注意してください。

【注】 *1 モード端子の入力はリセット解除のタイミングに対し、モードプログラミングセットアップ時間 ($t_{MDS} = 4$ ステート) を満足する必要があります。

*2 アドレス兼用ポートは、リセット中のモード端子の設定がモード1の状態になったときアドレスとしてLowレベルを出力します。それ以外のモードではハイインピーダンス状態となります。またバス制御出力信号はリセット中のモード端子の設定がモード1、2の状態になったとき、Highレベルを出力します。モード3ではハイインピーダンス状態となります。

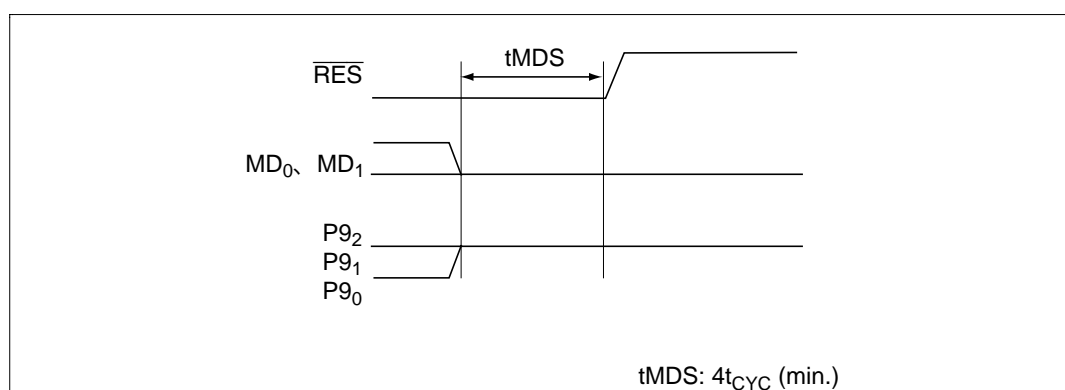


図 21.10 プログラミングモードタイミング

21.3.2 ユーザプログラムモード

ユーザプログラムモードに設定すると、ユーザプログラムによるフラッシュメモリの消去、書き込みが可能になります。したがって、書き換えデータ供給手段を設け、プログラムエリアの一部にオンボード書き換えプログラムを内蔵させておくことにより、内蔵フラッシュメモリのオンボード書き換えを行うことができます。

本モードの設定は、内蔵フラッシュメモリの有効なモード2、3で起動します。この状態の動作では、フラッシュメモリ以外の周辺機能は、モード2、3と同じ動作をします。

フラッシュメモリへの書き込み/消去を行うためにSWEビットを1にセットしている間は、フラッシュメモリ自身を読み出すことはできません。書き込み/消去を行う制御プログラムは、内蔵RAM/外部メモリ上で実行するようにしてください。

(1) ユーザプログラムモード実行手順例

図 21.11 に書き込み/消去制御プログラムを内蔵RAMに転送する場合の実行手順例を示します。

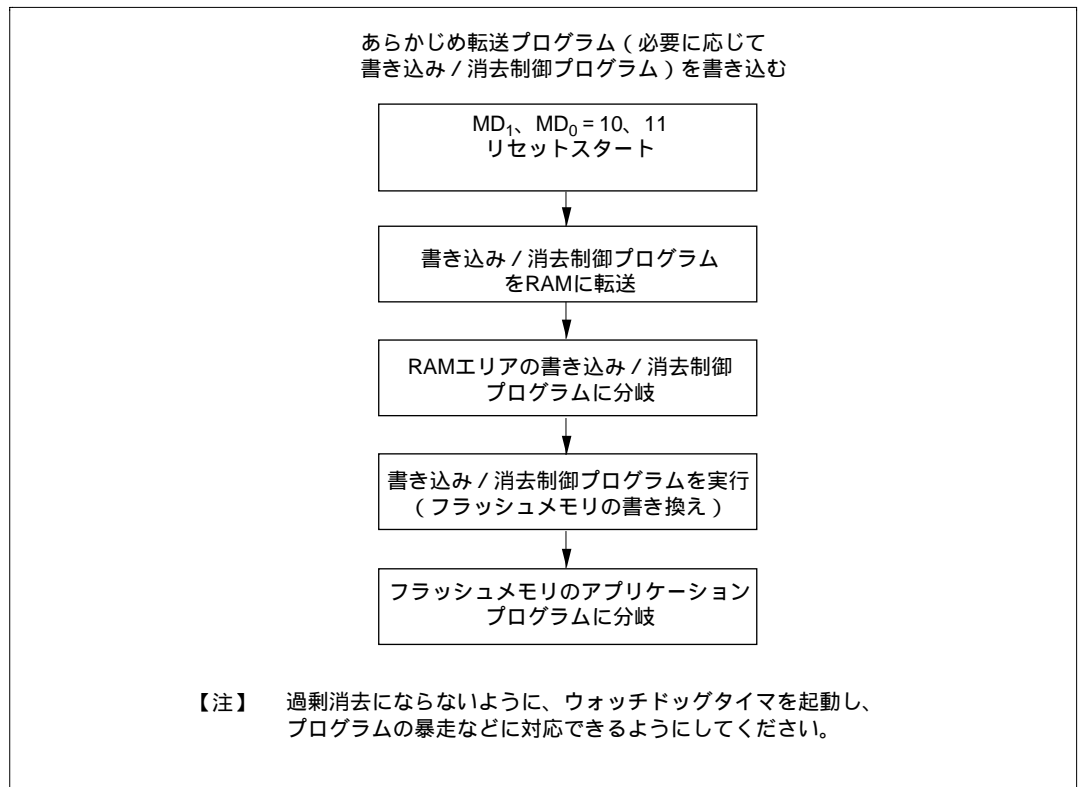


図 21.11 ユーザプログラムモード動作例

21.4 フラッシュメモリの書き込み / 消去

オンボードプログラミングモードでのフラッシュメモリの書き込み / 消去は、CPU を用いてソフトウェアで行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード / イレースモード / プログラムベリファイモード / イレースベリファイモードがあり、FLMCR2 の PSU、ESU ビット、FLMCR1 の P、E、PV、EV ビットをセットすることにより各動作モードに遷移することができます。

フラッシュメモリは、書き込み / 消去を行っている間は読み出すことができません。したがって、フラッシュメモリの書き込み / 消去を制御するプログラム (書き込み制御プログラム) は、内蔵 RAM あるいは外部メモリ上に置いて、実行するようにしてください。

- 【注】 1. FLMCR1 の SWE、EV、PV、E、P ビット、FLMCR2 の ESU、PSU ビットのセット / リセットがフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
2. 書き込みは消去状態で行ってください。すでに書き込まれたアドレスへの追加書き込みは行わないでください。

21.4.1 プログラムモード

フラッシュメモリへのデータ / プログラムの書き込みは、図 21.12 に示すプログラム / プログラムベリファイフローチャートにしたがって行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリへデータ / プログラムの書き込みを行うことができます。また、1 回の書き込みは、32 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ 1、2 (FLMCR1、FLMCR2) の各ビットのセット / クリア後のウェイト時間 (x、y、z、 、 、)、最大書き込み回数 (N) を「23.2.5 フラッシュメモリ特性」の表 23.15 に示します。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセットした後、(x) μ s 以上の時間が経過してから、32 バイトの書き込みデータを書き込みデータエリアと再書き込みデータエリアに格納し、書き込むアドレスに RAM 上の再書き込みデータエリアの 32 バイトのデータを連続ライトします。ただし、ライトする先頭アドレスの下位 8 ビットは、H'00、H'20、H'40、H'60、H'80、H'A0、H'C0、H'E0 でなければなりません。データ転送はバイト単位で 32 回連続して行います。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。32 バイト以下の書き込みでも 32 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次に、プログラムの暴走等により過剰時間書き込みを行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は (y+z+) μ s より大きくしてください。その後、FLMCR2 の PSU ビットをセットし、プログラムモードへの準備 (プログラムセットアップ) を行い、(y) μ s 以上の時間が経過してから、FLMCR1

のPビットをセットすることで、動作モードはプログラムモードへ遷移します。Pビットがセットされている時間がフラッシュメモリの書き込み時間となります。一回の書き込み時間を(z) μ sの範囲に納まるようにプログラムで設定してください。

21.4.2 プログラムベリファイモード

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

一定の書き込み時間経過後、書き込みモードを解除(FLMCR1のPビットを0にクリア後、() μ s以上の時間が経過してからFLMCR2のPSUビットを0にクリア)します。次に、ウォッチドッグタイマを() μ s以上の時間が経過してから解除し、FLMCR1のPVビットをセットすることで、動作モードはプログラムベリファイモードへ遷移します。プログラムベリファイモードでは、リードする前にリードするアドレスにデータH'FFをダミーライトしてください。ダミーライトは() μ s以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード(ベリファイデータは16ビットで読み出す)するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、() μ s以上おいてから行ってください。次に書き込みデータとベリファイデータを比較し、再書き込みデータをビット生成演算(図21.12参照)し、再書き込みデータを再書き込みデータエリアに転送します。32バイト分のデータのベリファイが完了後、プログラムベリファイモードを解除し、() μ s以上の待機時間をおいて、FLMCR1のSWEビットを0にクリアしてください。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム/プログラムベリファイシーケンスを繰り返してください。ただし、同一ビットに対するプログラム/プログラムベリファイシーケンスの繰り返しは、N回を超えないようにしてください。

21. ROM (単一電源方式フラッシュメモリ 60k バイト版)

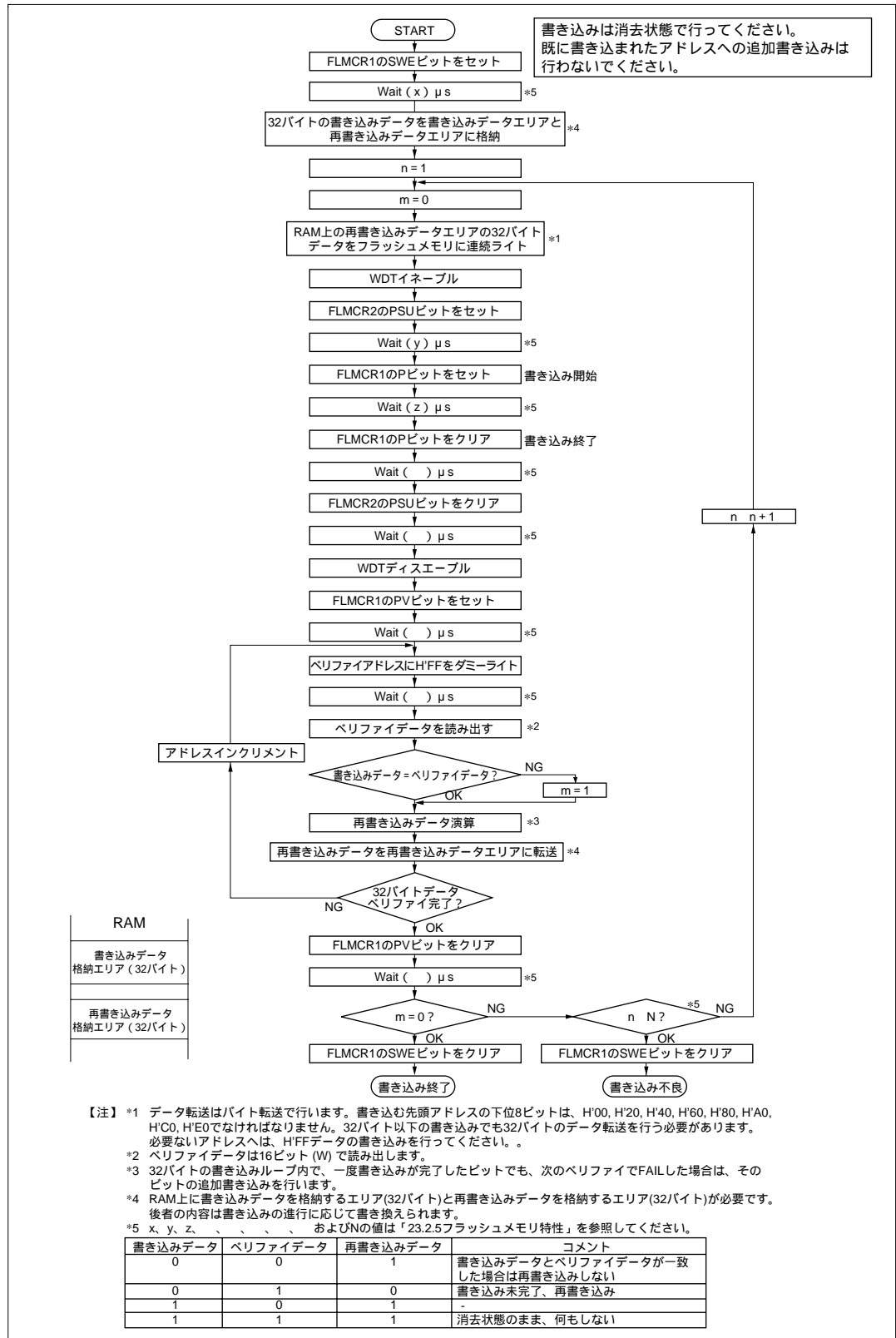


図 21.12 プログラム/プログラムペリファイフロー

21.4.3 イレースモード

フラッシュメモリの消去は1ブロックごとに、図 21.13 に示すイレース/イレースベリファイフロー (単一ブロック消去) チャートに沿って行ってください。

フラッシュメモリコントロールレジスタ 1、2 (FLMCR1、FLMCR2) の各ビットのセット/クリア後のウェイト時間 (x 、 y 、 z 、 \dots)、最大消去回数 (N) を「23.2.5 フラッシュメモリ特性」の表 23.15 に示します。

データ/プログラムの消去は、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセット後、(x) μ s 以上の時間が経過してから、消去ブロック指定レジスタ 2 (EBR2) で消去するフラッシュメモリのエリアを 1 ビット設定してください。次にプログラムの暴走等により過剰時間消去を行わないようにするために、ウォッチドッグタイマを設定します。WDT のオーバフロー周期は ($y+z+\dots$) ms より大きく設定してください。その後、FLMCR2 の ESU ビットをセットすることで、イレースモードへの準備 (イレースセットアップ) を行い、(y) μ s 以上の時間が経過後、FLMCR1 の E ビットをセットすることで、動作モードはイレースモードへ遷移します。E ビットが 1 にセットされている時間が消去時間となり、消去時間は (z) ms を超えないようにしてください。

【注】フラッシュメモリの消去において、消去を開始する前にプレライト (消去するメモリのデータをすべて 0 にする) を行う必要はありません。

21.4.4 イレースベリファイモード

イレースベリファイモードは、メモリを消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。

消去時間経過後、イレースモードを解除 (FLMCR1 の E ビットを 0 にクリア後、(\dots) μ s 以上の時間が経過してから FLMCR2 の ESU ビットを 0 にクリア) します。次に、ウォッチドッグタイマを (\dots) μ s 以上の時間が経過してから解除し、FLMCR1 の EV ビットを 1 にセットすることで、動作モードはイレースベリファイモードへ遷移します。イレースベリファイモードでは、リードする前にリードするアドレスにデータ H'FF をダミーライトしてください。ダミーライトは (\dots) μ s 以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード (ベリファイデータは 16 ビットで読み出す) するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、(\dots) μ s おいてから行ってください。読み出したデータが消去 (データがすべて 1) されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数は N 回を超えないようにしてください。ベリファイ完了後、イレースベリファイモードを解除し、(\dots) μ s 以上の待機時間をおいてください。消去対象全ブロックの消去が完了している場合は、FLMCR1 の SWE ビットを 0 にクリアしてください。未消去のブロックが存在する場合は、

消去するフラッシュメモリのブロックを EBR2 で 1 ビット設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。

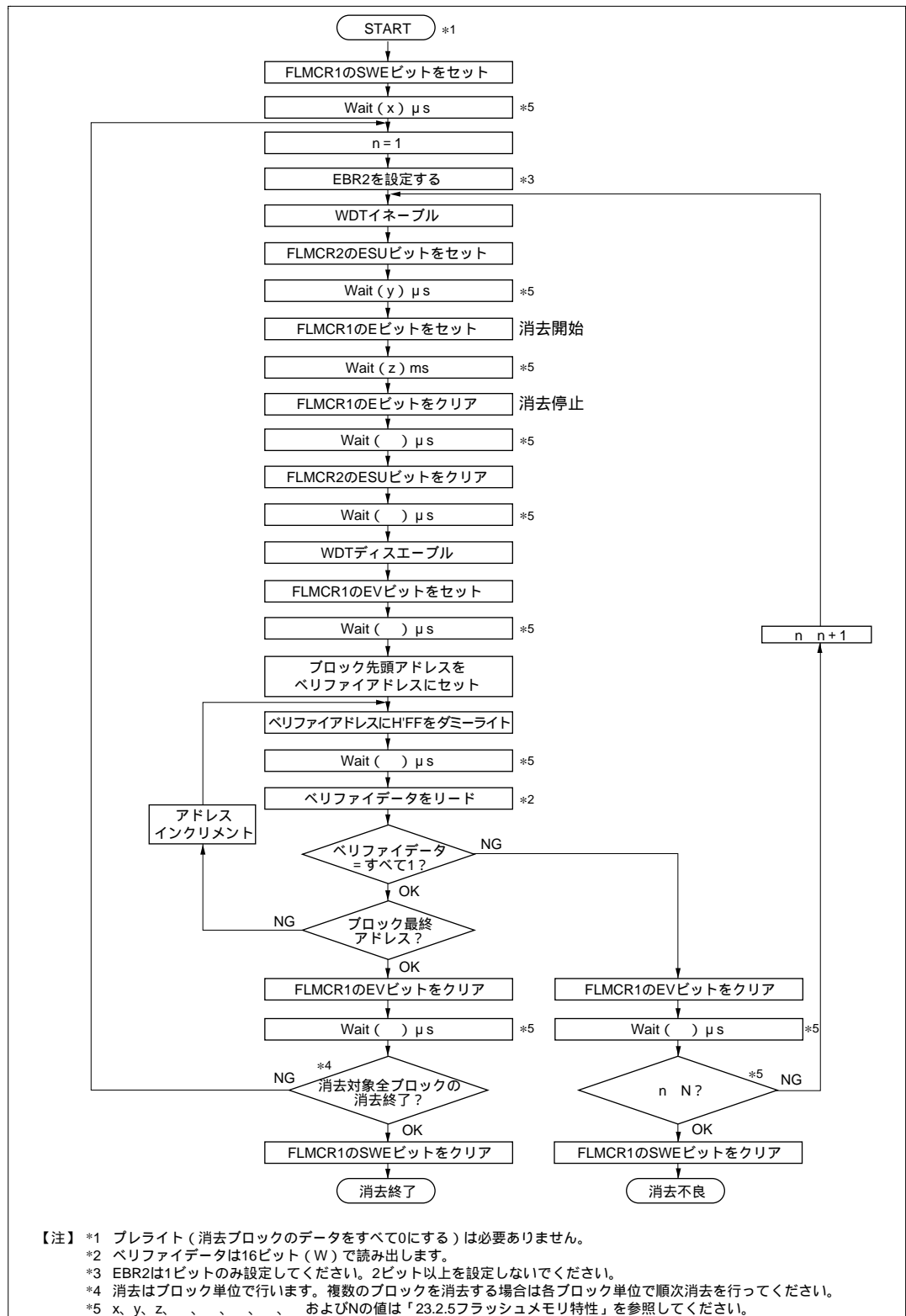


図 21.13 イレース/イレースベリファイフロー (単一ブロック消去)

21.4.5 プロテクトモード

フラッシュメモリに対する書き込み/消去プロテクトには、ソフトウェアプロテクト、ハードウェアプロテクト、エラープロテクトの3つのモードがあります。以下にこのプロテクトモードについて解説します。

(1) ソフトウェアプロテクト

ソフトウェアプロテクトは、FLMCR1 の SWE ビット、消去ブロック指定レジスタ 2 (EBR2) をセットすることで行えます。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ 1 (FLMCR1) の P ビットおよび E ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません。

このプロテクトの詳細を表 21.8 に示します。

表 21.8 ソフトウェアプロテクト

項目	説明	機能	
		書き込み	消去
SWE ビット プロテクト	<ul style="list-style-type: none"> FLMCR1 の SWE ビットを 0 にセットすることにより、全ブロックの書き込み/消去プロテクト状態になります。 (内蔵 RAM / 外部メモリ上で実行してください。) 		
ブロック 指定 プロテクト	<ul style="list-style-type: none"> 消去ブロック指定レジスタ 2 (EBR2) の設定により、ブロック毎に消去プロテクトが可能。 EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。 	-	

(2) ハードウェアプロテクト

ハードウェアプロテクトはフラッシュメモリに対する書き込み、消去が強制的に中断、禁止された状態です。このときフラッシュメモリコントロールレジスタ 1、2 (FLMCR1、FLMCR2) および消去ブロック指定レジスタ 2 (EBR2) の設定はリセットされます。

このハードウェアプロテクト状態の詳細を表 21.9 に示します。

表 21.9 ハードウェアプロテクト

項目	説明	機能	
		書き込み	消去
リセット、スタンバイプロテクト	<ul style="list-style-type: none"> リセット (WDT のオーバフローリセットも含む) およびスタンバイ時は、FLMCR1、FLMCR2、EBR2 は初期化され、書き込み / 消去プロテクト状態になります。 $\overline{\text{RES}}$ 端子によるパワーオンリセットでは、電源投入後発振が安定するまで $\overline{\text{RES}}$ 端子を Low レベルに保持しないと、リセット状態になりません。また、動作中のリセットは AC 特性に規定した $\overline{\text{RES}}$ パルス幅の間、$\overline{\text{RES}}$ 端子を Low レベルに保持してください。 		

(3) エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み / 消去中のマイコンの暴走や書き込み / 消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み / 消去動作を強制的に中断するプロテクトです。書き込み / 消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中にマイコンが異常動作すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態へ遷移します。この時、FLMCR1、FLMCR2、EBR2 の設定は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PV ビット、EV ビットの設定は有効なので、ベリファイモードへの遷移は可能です。

FLER ビットのセット条件は、

- (1) 書き込み / 消去中にフラッシュメモリを読み出したとき (ベクタリードおよび命令フェッチを含む)
- (2) 書き込み / 消去中の例外処理 (リセットは除く) 開始直後
- (3) 書き込み / 消去中に SLEEP 命令 (ソフトウェアスタンバイを含む) を実行したとき
- (4) 書き込み / 消去中にバス開放したとき

エラープロテクト解除は、パワーオンリセットのみで行われます。

図 21.14 にフラッシュメモリの状態遷移図を示します。

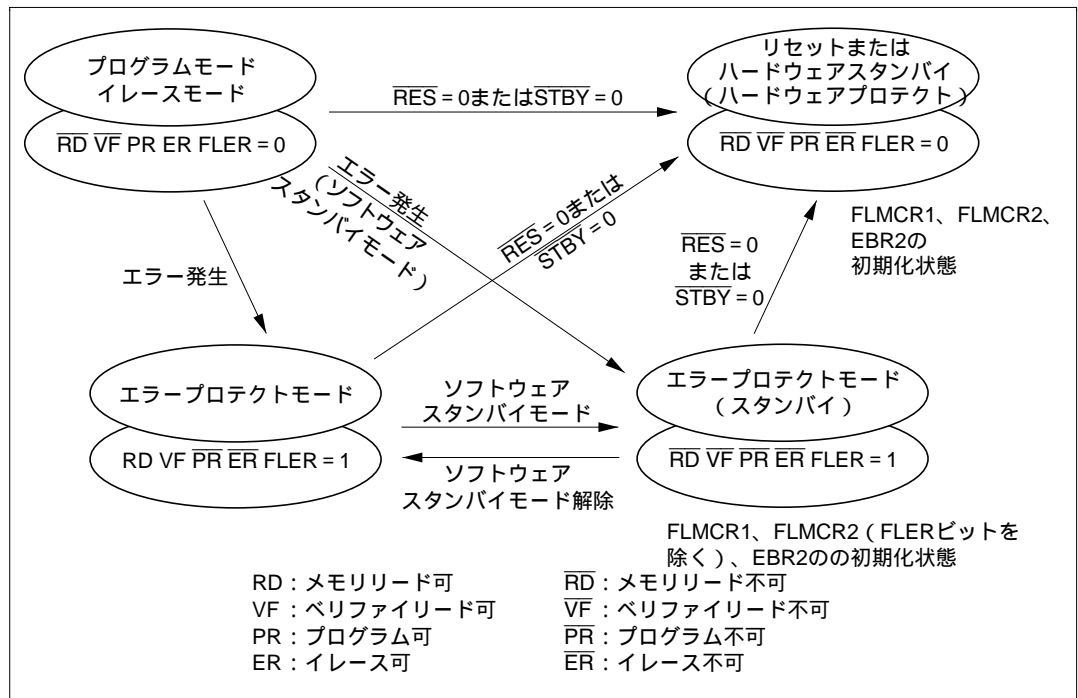


図 21.14 フラッシュメモリの状態遷移図

21.4.6 フラッシュメモリへの書き込み / 消去時の割り込み処理

フラッシュメモリへの書き込み、消去中 (FLMCR1 の P ビットまたは E ビットがセット) およびブートモードでのブートプログラム実行中*¹は、書き込み、消去動作を最優先とするため、NMI 入力を含むすべての割り込みを禁止してください。

これは以下のような動作状態を回避することを目的としています。

- (1) 書き込み、消去中に割り込みが発生することにより、書き込み / 消去アルゴリズムに違反し、正常な動作ができなくなる。
- (2) 書き込み / 消去中の割り込み例外処理ではベクタリードが正常にできない*²ため、結果としてマイコンが暴走してしまう。
- (3) ブートプログラム実行中に割り込みが発生すると、正常なブートモードのシーケンスが実行できなくなる。

以上のような理由から、オンボードプログラミングモードにおいてのみ例外的に割り込みを禁止する条件が存在しますが、これによって正常な書き込み、消去およびマイコン動作が保証されるものではありません。

このため、フラッシュメモリへの書き込み / 消去を行う場合には、マイコン内部と外部で NMI を含むすべての要求を禁止する必要があります。また、エラープロテクト状態で FLMCR1 の P ビットまたは E ビットが保持された状態でも割り込みは禁止状態となります。

【注】 *¹ 書き込み制御プログラムによる書き込みが完了するまでは、マイコン内部と外部で割り込み要求を禁止する必要があります。

*² この場合、以下の 2 つの理由によってベクタリードが正常に行われません。

- (1) 書き込み、消去中 (FLMCR の P ビットまたは E ビットがセット) にフラッシュメモリのリードを行っても正しい値を読み出すことはできません (値は不定)。
- (2) 割り込みベクタテーブルに値がまだ書き込まれていない場合、割り込み例外処理が正しく実行されません。

21.5 フラッシュメモリのライターモード (H8/3437SF)

21.5.1 ライターモードの設定

プログラム/データの書き込み・消去可能なモードとして、オンボードプログラミングモード以外にライターモードがあります。ライターモードでは日立 64k バイトフラッシュメモリ内蔵マイコンデバイスタイプ*をサポートしている PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。本デバイスタイプでは、フラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしています。自動書き込みモード/自動消去モード/ステータス読み出しモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み/自動消去を実行した後に、その詳細な内部信号を出力します。

【注】* 本 LSI は PROM ライタの書き込み電圧を 5.0V に設定して使用してください。

表 21.10 ライターモードの端子設定方法

端子名	設定
モード端子 : MD ₁ 、MD ₀	MD ₁ 、MD ₀ に Low レベルを入力
STBY 端子	High レベルを入力 (ハードウェアスタンバイモードにしない)
RES 端子	パワーオンリセット回路
XTAL、EXTAL 端子	発振回路
その他の設定端子 : P9 ₇ 、P9 ₂ 、P9 ₁ 、P9 ₀ 、P6 ₇	P9 ₂ 、P6 ₇ に Low レベル、 P9 ₇ 、P9 ₁ 、P9 ₀ に High レベルを入力

21.5.2 ソケットアダプタの端子対応とメモリマップ

ライターモードでは、PROM ライタに各パッケージに対応したソケットアダプタを取り付けています。ソケットアダプタは、日立 64k バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしているライターメーカーごとに用意されています。

図 21.15 にライターモード時のメモリマップを示します。また、表 21.10 にライターモードの端子設定方法を示します。ライターモード時の端子名は「1.3.2 動作モード別端子機能」を参照してください。

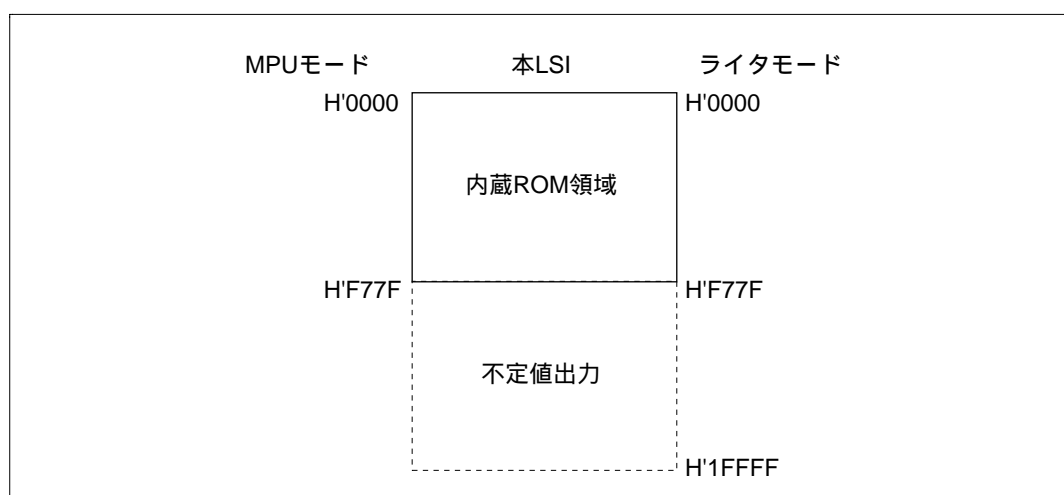


図 21.15 ライタモード時のメモリマップ

21.5.3 ライタモードの動作

表 21.11 にライタモード時の各動作モードの設定方法、表 21.12 にライタモード時の各コマンドを示します。また、各モードの詳細情報を下記に示します。

メモリ読み出しモード

メモリ読み出しモードは、バイト読み出しをサポートします。

自動書き込みモード

自動書き込みモードでは、128 バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しています。

自動消去モード

自動消去モードでは、フラッシュメモリマップ全面の自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しています。

ステータス読み出しモード

自動書き込み / 自動消去方式はステータスポーリング方式を採用しており、正常終了の確認は FO6 の信号の読み出しで行えます。ステータス読み出しモードは、エラーが発生したときのエラー情報を出力します。

表 21.11 ライタモード時の各動作モードの設定方法

モード	ピン名				
	\overline{CE}	\overline{OE}	\overline{WE}	FO7 ~ FO0	FA17 ~ FA0
リード	L	L	H	データ出力	Ain* ²
出力ディスエーブル	L	H	H	Hi-Z	X
コマンド書き込み	L	H	L	データ入力	Ain* ²
チップディスエーブル* ¹	H	X	X	Hi-Z	X

【注】 *1 チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。

*2 *Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。

表 21.12 ライタモード時の各コマンド

コマンド名	サイクル数	第1サイクル			第2サイクル		
		モード	アドレス	データ	モード	アドレス	データ
メモリ読み出しモード	1+n	write	X	H'00	read	RA	Dout
自動書き込みモード	129	write	X	H'40	write	WA	Din
自動消去モード	2	write	X	H'20	write	X	H'20
ステータス読み出しモード	2	write	X	H'71	write	X	H'71

【注】 1. 自動書き込みモードでは、128 バイト同時書き込みにより、コマンド書き込みが 129 サイクル必要となります。

2. メモリ読み出しモードでは、アドレス書き込みサイクル数 (n) によって、サイクル数が変化します。

(1) メモリ読み出しモード

- (1) 自動書き込み / 自動消去 / ステータス読み出し終了後は、コマンド待ち状態に移っています。メモリの内容を読み出す場合はコマンド書き込みでメモリ読み出しモードに移させた後に、メモリの内容を読み出す必要があります。
- (2) メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
- (3) 一度メモリ読み出しモードに移させた後は、連続リードが可能です。
- (4) 電源投入後は、メモリ読み出しモードに移します。

表 21.13 メモリ読み出しモード時の AC 特性

(条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

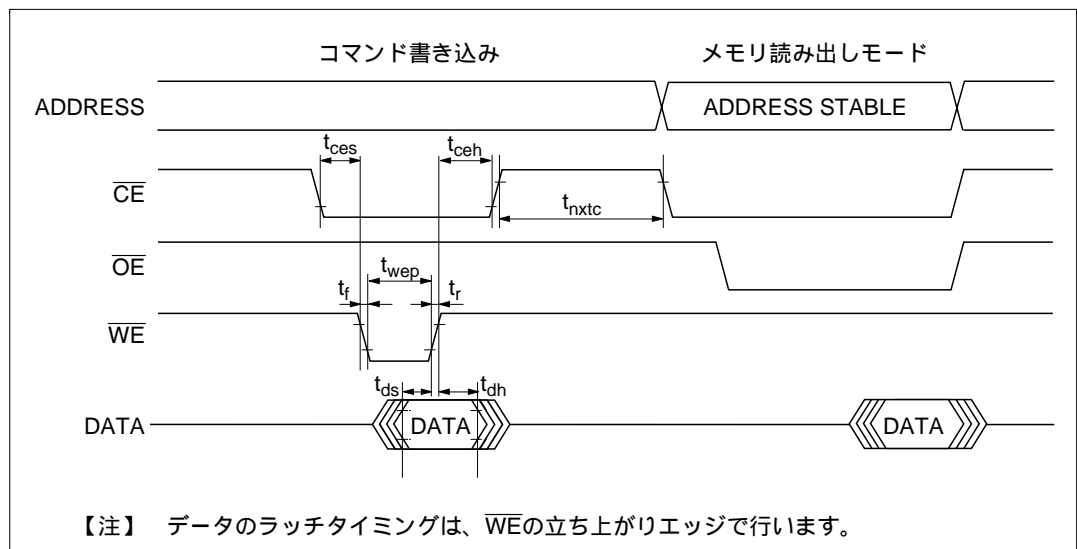


図 21.16 コマンド書き込み後メモリ読み出しタイミング波形

表 21.14 メモリ読み出しモードから他のモードへ遷移時の AC 特性

(条件: $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

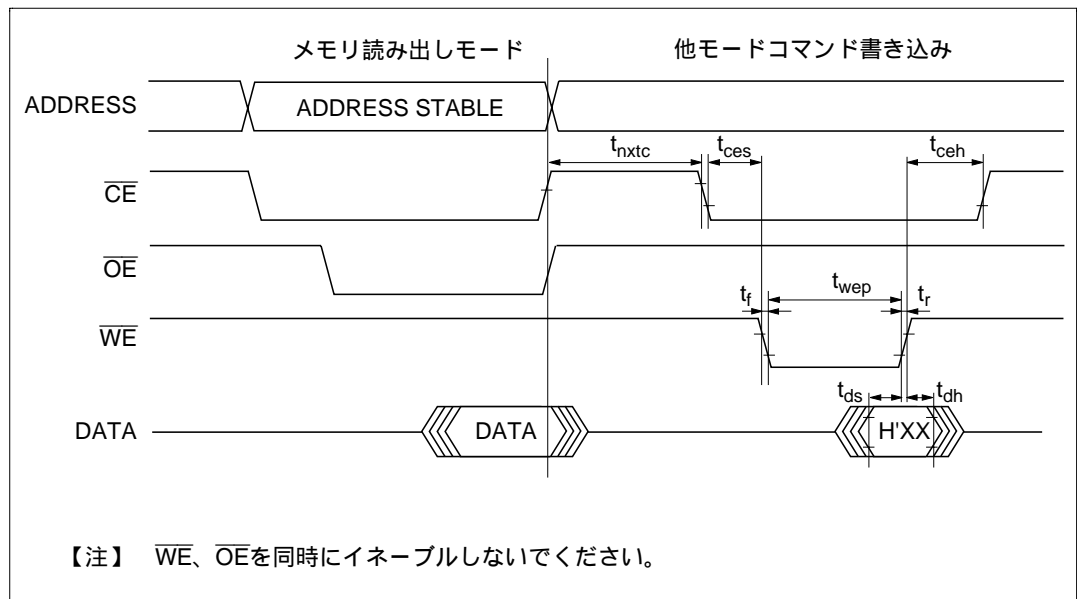


図 21.17 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 21.15 メモリ読み出しモード時の AC 特性 (2)

(条件: $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
アクセス時間	t_{acc}		20	μs	
\overline{CE} 出力遅延時間	t_{ce}		150	ns	
\overline{OE} 出力遅延時間	t_{oe}		150	ns	
出力ディスエーブル遅延時間	t_{df}		100	ns	
データ出力ホールド時間	t_{oh}	5		ns	

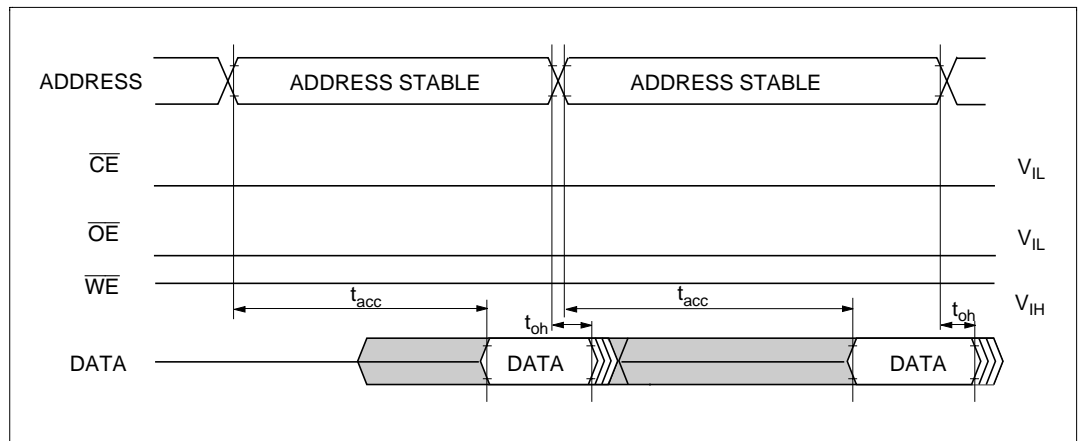


図 21.18 \overline{CE} 、 \overline{OE} イネーブル状態リード時のタイミング波形

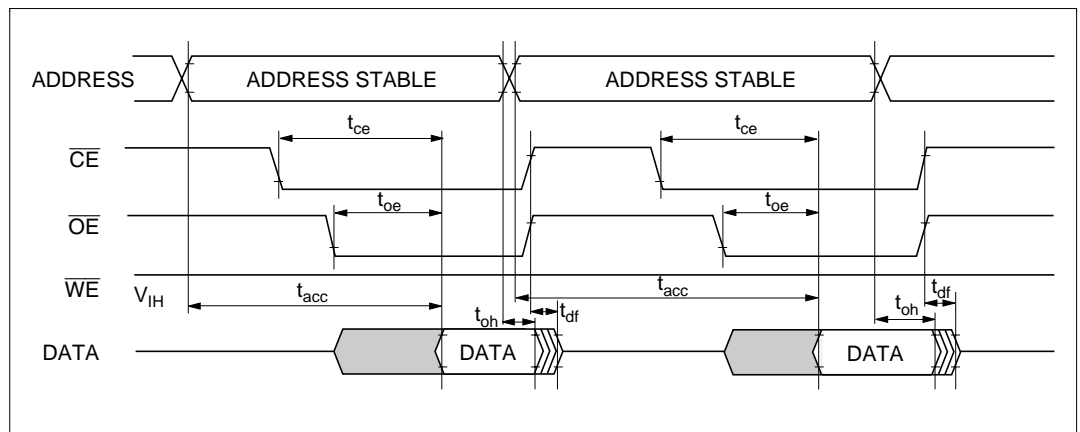


図 21.19 \overline{CE} 、 \overline{OE} クロック方式リード時のタイミング波形

(2) 自動書き込みモード

(a) AC 特性

表 21.16 自動書き込みモード時の AC 特性

(条件: $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
ステータスポーリング開始時間	t_{wsts}	1		ms	
ステータスポーリングアクセス時間	t_{spa}		150	ns	
アドレスセットアップ時間	t_{as}	0		ns	
アドレスホールド時間	t_{ah}	60		ns	
メモリ書き込み時間	t_{write}	1	3000	ms	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

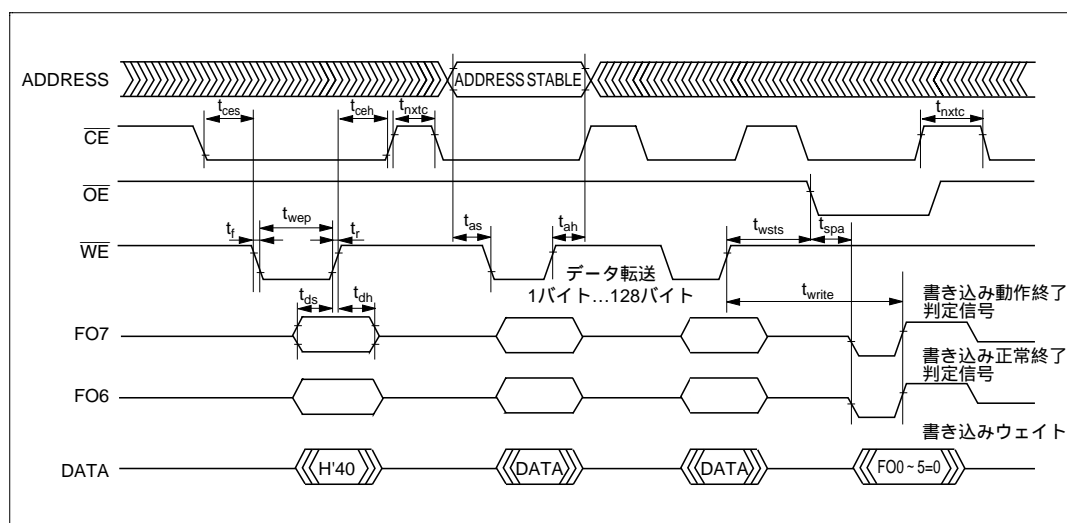


図 21.20 自動書き込みモードのタイミング波形

(b) 自動書き込みモードにおける注意事項

- (1) 自動書き込みモードでは、128 バイト同時書き込みを行います。これは、バイトデータを 128 回連続で転送してください。
- (2) 128 バイト以下の書き込みでも 128 バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データを H'FF にして書き込みを行う必要があります。
- (3) 転送するアドレスの下位 8 ビットは、H'00、H'80 でなければなりません。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- (4) メモリアドレスの転送は、第 2 サイクルで行います (図 21.19)。第 3 サイクル以降では転送しないでください。
- (5) 書き込み動作中は、コマンド書き込みを行わないでください。
- (6) 書き込みは、各アドレスの 128 バイト単位のブロックに対して、1 回の自動書き込みで行ってください。2 回以上の書き込みについては特性保証できません。
- (7) 自動書き込み正常終了の確認には、FO6 を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます (FO7 番のステータスポーリングは、自動書き込み動作終了判定用端子です)。
- (8) ステータスポーリングの FO6、FO7 端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。

(3) 自動消去モード

(a) AC 特性

表 21.17 自動消去モード時の AC 特性

(条件: $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
ステータスポーリング開始時間	t_{ests}	1		ms	
ステータスポーリングアクセス時間	t_{spa}		150	ns	
メモリ消去時間	t_{erase}	100	40000	ms	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

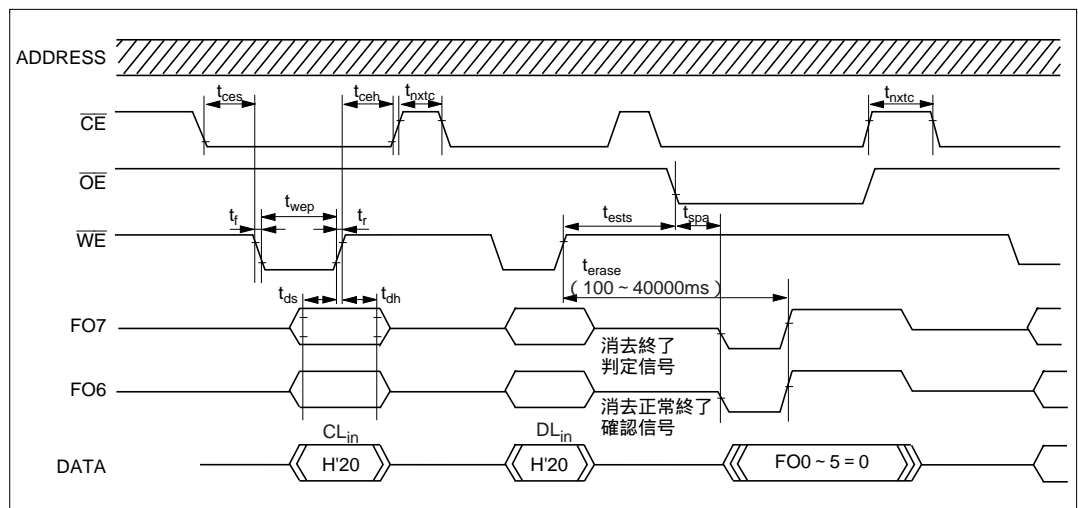


図 21.21 自動消去モードのタイミング波形

(b) 自動消去モードにおける注意事項

- (1) 自動消去モードは、メモリ全面消去のみサポートします。
- (2) 自動消去中はコマンド書き込みを行わないでください。
- (3) 自動消去正常終了の確認は、FO6 を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます (FO7 番のステータスポーリングは、自動消去動作終了判定用端子です)。
- (4) ステータスポーリングの FO6、FO7 端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。

(4) ステータス読み出しモード

- (1) ステータス読み出しモードは、異常終了の種類を特定させるためのモードです。自動書き込みモード / 自動消去モードで異常終了が起きた場合に使用してください。
- (2) リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

表 21.18 ステータス読み出しモード時の AC 特性

(条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $T_a = 25 \pm 5$)

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20		μs	
\overline{CE} ホールド時間	t_{ceh}	0		ns	
\overline{CE} セットアップ時間	t_{ces}	0		ns	
データホールド時間	t_{dh}	50		ns	
データセットアップ時間	t_{ds}	50		ns	
書き込みパルス幅	t_{wep}	70		ns	
\overline{OE} 出力遅延時間	t_{oe}		150	ns	
ディスエーブル遅延時間	t_{df}		100	ns	
\overline{CE} 出力遅延時間	t_{ce}		150	ns	
\overline{WE} 立ち上がり時間	t_r		30	ns	
\overline{WE} 立ち下がり時間	t_f		30	ns	

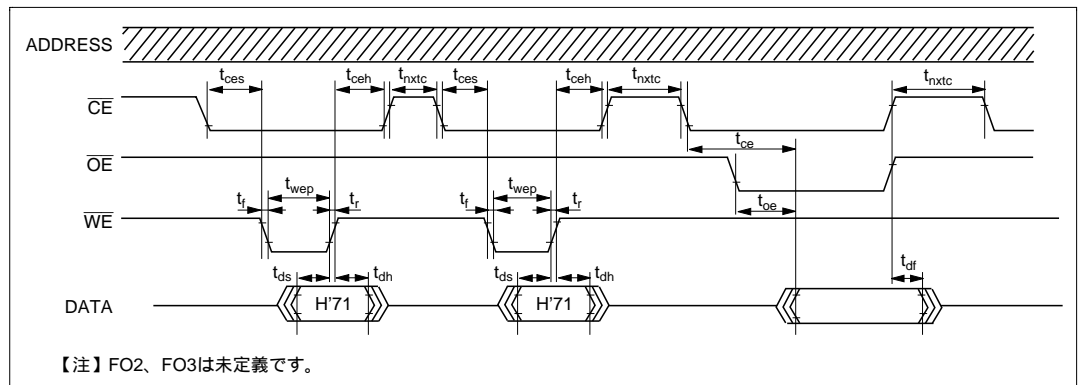


図 21.22 ステータス読み出しモードのタイミング波形

表 21.19 ステータス読み出しモードのリターンコマンド

ピン名	FO7	FO6	FO5	FO4	FO3	FO2	FO1	FO0
属性	正常終了 判定	コマンド エラー	書き込み エラー	消去エラー	-	-	書き込み or 消去回数 オーバ	有効 アドレス エラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了:0 異常終了:1	コマンド エラー:1 その他:0	書き込み エラー:1 その他:0	消去 エラー:1 その他:0	-	-	回数オーバ 時:1 その他:0	有効 アドレス エラー:1 その他:0

【注】 FO2、FO3 は未定です。

(5) ステータスポーリング

- (1) FO7 のステータスポーリングは、自動書き込み / 自動消去モード時の動作状態を示すフラグです。
- (2) FO6 のステータスポーリングは、自動書き込み / 自動消去モード時の正常 / 異常終了を示すフラグです。

表 21.20 ステータスポーリング出力の真理値表

端子名	内部動作中	異常終了	-	正常終了
FO7	0	1	0	1
FO6	0	0	1	1
FO0 ~ FO5	0	0	0	0

(6) ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ期間は、コマンドを受け付けることができません。ライタモードセットアップ時間後、メモリ読み出しモードに遷移します。

表 21.21 コマンド待ち状態までの遷移時間規定

項目	記号	MIN	MAX	単位	特記
スタンバイ解除 (発振安定時間)	t_{osc1}	10		ms	
ライタモードセットアップ時間	t_{bmv}	10		ms	
V_{CC} ホールド時間	t_{dwn}	0		ms	

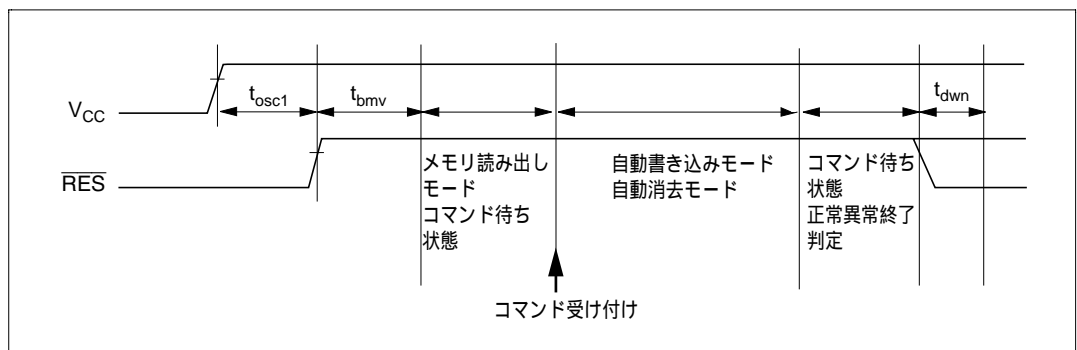


図 21.23 発振安定時間、ブートプログラム転送時間、電源立ち下げシーケンス

(7) メモリ書き込み注意事項

- (1) 既に関き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
- (2) オンボードプログラミングモードにて書き込み / 消去を行ったチップに対して、ライタモードを用いて書き換えを行う場合は、自動消去を行った後に自動書き込みを行うことを推奨します。

【注】 1. 日立出荷品の初期状態は、消去状態です。これ以外の消去来歴不明チップに対して、初期化 (消去) レベルをチェック、補正するために自動消去実施を推奨します。

2. 同一アドレスブロックへの自動書き込みは、1 回のみとします。

21.6 フラッシュメモリの書き込み / 消去時の注意

ライターモード、オンボードプログラミングモードおよびRAMによるエミュレーション機能の使用時の注意事項を示します。

- (1) 規定された電圧、タイミングで書き込みをしてください。

ROMライターを使って、単一電源品(Sマスク品)の内蔵フラッシュメモリの書換えを行う場合は、日立 64kB フラッシュメモリ内蔵マイコンデバイスタイプ書き込み電圧 5.0V をサポートしている PROMライターを使用してください。ライターの設定を HN28F101 書き込み電圧 3.3V にセットしないでください。また、規定したソケットアダプタ以外は使用しないでください。誤って使用した場合、破壊にいたることがあります。
- (2) 書き込み前に、必ず、正しく PROMライターに装着されていることを確認してください。

PROMライターのソケット、ソケットアダプタ、および製品のインデックスが一致していないと過剰電流が流れ、製品が破壊されることがあります。
- (3) 書き込み中はソケットアダプタや製品に手を触れないでください。

接触不良などにより、書き込み不良となることがあります。
- (4) アドレス H'F780 ~ H'1FFFF の PROMライターのバッファデータを H'FF にしてください。

H8/3437SF の PROM領域は 60k バイトです。アドレス H'F780 ~ H'1FFFF の領域は常に H'FF なので、ライターのデータを H'FF にしないと、ブロックエラーが発生します。
- (5) フラッシュメモリへの書き込み、消去は推奨するアルゴリズムに従って行ってください。

このアルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み、消去を行うことができます。

また、フラッシュメモリコントロールレジスタ (FLMCR) のプログラム (P) ビット、およびイレース (E) ビットをセットするときは、規定以上の時間を超えてセットしないよう、あらかじめウォッチドッグタイマを設定してください。
- (6) フラッシュメモリの書き込み中または、消去中の割り込み処理については、「21.4.6 フラッシュメモリへの書き込み / 消去時の割り込み処理」を参照してください。
- (7) フラッシュメモリ制御レジスタ、アクセス時の注意事項
 - (a) 各動作モードにおけるフラッシュメモリ制御レジスタへのアクセス状態

H8/3437SF は、フラッシュメモリの制御レジスタをアドレス H'FF80 (FLMCR1)、H'FF81 (FLMCR2)、H'FF83 (EBR2) に配置しており、これらのレジスタはウェイトステートコントロールレジスタ (WSCR) 内 FLSHE ビットを 1 にセットした場合にアクセス可能となります。

上記アドレスの各モードならびに FLSHE = 0/1 時のアクセス対象を表 21.22 に示します。

表 21.22 各モードごとならびに FLSHE = 0/1 時の各アクセス対象

	モード 1	モード 2	モード 3
FLSHE = 1	リザーブエリア (常に H'FF)	FLASH メモリの各制御レジスタ初期値 FLMCR1 = H'80 FLMCR2 = H'00 EBR2 = H'00	
FLSHE = 0	外部アドレス空間	外部アドレス空間	リザーブエリア (常に H'FF)

(b) モード 2 (内蔵 ROM 有効拡張モード) でフラッシュメモリ制御レジスタをアクセスする場合

モード 2 でフラッシュメモリ制御レジスタをアクセスすると、FLSHE = 1 時はリード/ライト可能ですが、FLSHE = 0 時は外部アドレス空間をアクセスするため、必ず FLSHE ビットの 1 セットを確認の上、本レジスタをアクセスしてください。

(c) モード 3 (シングルチップモード) で FLSHE = 0/1 を確認する場合

モード 3 でアドレス H'FF80 をアクセスすると、FLSHE = 1 時は FLMCR1 をリード/ライトリセット後の初期値は H'80 となります。一方、FLSHE = 0 時はリザーブエリアとなりリードすると常に H'FF が読み出され、書き込みは無効となります。

22. 低消費電力状態

第 22 章 目次

22.1	概要	589
22.1.1	システムコントロールレジスタ (SYSCR)	590
22.2	スリープモード.....	592
22.2.1	スリープモードへの遷移	592
22.2.2	スリープモードの解除.....	592
22.3	ソフトウェアスタンバイモード	593
22.3.1	ソフトウェアスタンバイモードへの遷移	593
22.3.2	ソフトウェアスタンバイモードの解除	593
22.3.3	ソフトウェアスタンバイモード解除後の発振安定待機時間の設定	594
22.3.4	ソフトウェアスタンバイモードの応用例	595
22.3.5	使用上の注意	596
22.4	ハードウェアスタンバイモード	597
22.4.1	ハードウェアスタンバイモードへの遷移	597
22.4.2	ハードウェアスタンバイモードの解除	597
22.4.3	ハードウェアスタンバイモードのタイミング	598

22.1 概要

本 LSI には、CPU 機能を停止して消費電力を著しく低下させる低消費電力状態があります。

低消費電力状態には、次の 3 種類のモードがあります。

- (1) スリープモード
- (2) ソフトウェアスタンバイモード
- (3) ハードウェアスタンバイモード

各モードへ遷移する条件と CPU や周辺機能などの状態、および各モードからの解除方法を表 22.1 に示します。

表 22.1 低消費電力状態

モード	遷移条件	状態						解除方法
		クロック	CPU	周辺機能	CPU レジスタ	RAM	I/O ポート	
スリープ モード	SLEEP 命令 の実行	動作	停止	動作	保持	保持	保持	<ul style="list-style-type: none"> ・ 割り込み ・ RES 端子 ・ STBY 端子
ソフトウェア スタンバイモ ード	SYSCR の SSBY ビットを 1 にセッ トした後、SLEEP 命令を実行	停止	停止	停止 リセット	保持	保持	保持	<ul style="list-style-type: none"> ・ NMI 端子 ・ $\overline{IRQ}_0 \sim \overline{IRQ}_6$ 端子、\overline{IRQ}_6 端子 (KEYIN₀ ~ KEYIN₁₅ 端子含む) ・ RES 端子 ・ STBY 端子
ハードウェア スタンバイモ ード	\overline{STBY} 端子を Low レベル	停止	停止	停止 リセット	不定	保持	ハイイン ピーダ ンス	\overline{STBY} 端子と RES 端子

< 記号説明 >

SYSCR : システムコントロールレジスタ

SSBY : ソフトウェアスタンバイビット

22.1.1 システムコントロールレジスタ (SYSCR)

本LSIは、8ビットのシステムコントロールレジスタ (SYSCR) のビット7のSSBYビット、ビット6~4のSTS2~STS0ビットの4ビットで低消費電力モードの制御を行います。

表 22.2 レジスタ構成

名称	略称	R/W	初期値	アドレス
システムコントロールレジスタ	SYSCR	R/W	H'09	H'FFC4

ビット :	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	XRST	NMIEG	HIE	RAME
初期値 :	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット7：ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します。

なお、外部割り込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したときこのビットは1にセットされたままです。クリアする場合は、0をライトしてください。

ビット7	説明
SSBY	
0	SLEEP 命令実行後、スリープモードに遷移 (初期値)
1	SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移

ビット6～4：スタンバイタイムセレクト2～0（STS2～STS0）

外部割り込みによって、ソフトウェアスタンバイモードを解除する場合に、クロックが安定するまでCPUと周辺機能が待機する時間を指定します。表 22.3を参照し、動作周波数に応じて待機時間が8ms以上となるように指定してください。

ZTAT版、マスクROM版

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート（初期値）
		1	待機時間 = 16384 ステート
	1	0	待機時間 = 32768 ステート
		1	待機時間 = 65536 ステート
1	0	-	待機時間 = 131072 ステート
	1	-	使用禁止

F-ZTAT版

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート（初期値）
		1	待機時間 = 16384 ステート
	1	0	待機時間 = 32768 ステート
		1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
		1	待機時間 = 1024 ステート
	1	-	使用禁止

【注】 1024 ステート（STS2～STS0 = 101）を選択する場合は、次の点にご注意願います。
 8ビットタイマ、PWMタイマ、ウォッチドッグタイマの各クロック選択において、
 $\neq 1024$ を超える周期（ $\neq 2048$ 等）を選択した場合、待機時間に1024ステートを指定した状態ではタイマ内のカウンタのカウントアップが正常に行われません。これを回避するために、STSの値はソフトウェアスタンバイに遷移（SLEEP命令を実行）する直前に設定し、割り込みによりソフトウェアスタンバイが解除された直後に、STS2～STS0の値を000～100のいずれかに再設定してください。

22.2 スリープモード

22.2.1 スリープモードへの遷移

SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU の動作は、SLEEP 命令実行直後に停止します。CPU の動作は停止しますが、CPU 内のレジスタの内容は保持されます。スリープモードでは内蔵周辺モジュールの機能は停止しません。

22.2.2 スリープモードの解除

スリープモードの解除は、割り込み、 $\overline{\text{RES}}$ 端子、 $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割り込みによる解除

割り込み要求が発生すると、割り込み例外処理状態に遷移し、スリープモードは解除されます。なお、内蔵周辺モジュールによる割り込みがディスエーブルされている場合、また、NMI 以外の割り込みで、I ビットが 1 にセットされている場合などは、割り込み要求が受け付けられないため、スリープモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにするとリセット状態に遷移し、スリープモードは解除されます。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

22.3 ソフトウェアスタンバイモード

22.3.1 ソフトウェアスタンバイモードへの遷移

ソフトウェアスタンバイモードに遷移するには、SYSCR の SSBY ビットを 1 にセットした後で、SLEEP 命令を実行します。

ソフトウェアスタンバイモードでは、CPU だけでなく、クロックをはじめ、内蔵周辺モジュールの機能が停止するため、消費電力は著しく低減されます。内蔵周辺モジュールはリセット状態になり停止しますが、規定の電圧が与えられている限り、CPU のレジスタと内蔵 RAM のデータは保持されています。I/O ポートの状態も保持されています。

22.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み ($\overline{\text{NMI}}$ 端子、 $\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_2$ 端子、 $\overline{\text{IRQ}}_6$ 端子 ($\overline{\text{KEYIN}}_0 \sim \overline{\text{KEYIN}}_{15}$ を含む))、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割り込みによる解除

NMI、 $\text{IRQ}_0 \sim \text{IRQ}_2$ 、 IRQ_6 割り込み要求信号が入力されると、クロックの発振が開始され、SYSCR の STS2 ~ STS0 ビットによって設定された時間が経過した後、安定したクロックが本 LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。この場合、ソフトウェアスタンバイに遷移する前に、 $\text{IRQ}_3 \sim \text{IRQ}_5$ 、 IRQ_7 割り込みはディスエーブル ($\text{IRQ3E} \sim \text{IRQ5E}$ 、 $\text{IRQ7E} = 0$) としてください。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロックの発振が開始されます。発振安定時間後、 $\overline{\text{RES}}$ 端子を High レベルにすると、CPU はリセット例外処理を開始します。リセットによる解除の場合、クロックの発振開始と同時に、本 LSI 全体にクロックが供給されます。 $\overline{\text{RES}}$ 端子は、必ずクロックの発振が安定するまで Low レベルに保持してください。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

22.3.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定

SYSCR の STS2 ~ STS0 ビットの設定は、以下のようになしてください。

(1) 水晶発振の場合

待機時間が 8ms 以上となるように STS2 ~ STS0 を設定してください。

表 22.3 に動作周波数と STS2 ~ STS0 ビットの設定値に対する待機時間を示します。

(2) 外部クロックの場合

任意の値を選択可能です。通常は最小時間 (STS2 = STS1 = STS0 = 0) の使用を推奨します。ただし、1024 ステート (STS2 ~ STS0 = 101) を選択する場合は、次の点にご注意願います。

8 ビットタイマ、PWM タイマ、ウォッチドッグタイマの各クロック選択において、 $\frac{1}{f}/1024$ を超える周期 ($\frac{1}{f}/2048$ 等) を選択した場合、待機時間に 1024 ステートを指定した状態ではタイマ内のカウンタのカウントアップが正常に行われません。これを回避するために、STS の値はソフトウェアスタンバイに遷移 (SLEEP 命令を実行) する直前に設定し、割り込みによりソフトウェアスタンバイが解除された直後に、STS2 ~ STS0 の値を 000 ~ 100 のいずれかに再設定してください。

表 22.3 動作周波数と発振安定待機時間

STS2	STS1	STS0	待機時間	16MHz	12MHz	10MHz	8MHz	6MHz	4MHz	2MHz	1MHz	0.5MHz
0	0	0	8192ステート	0.51	0.65	0.8	1.0	1.3	2.0	4.1	8.2	16.4
		1	16384ステート	1.0	1.3	1.6	2.0	2.7	4.1	8.2	16.4	32.8
	1	0	32768ステート	2.0	2.7	3.3	4.1	5.5	8.2	16.4	32.8	65.5
		1	65536ステート	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	131.1
1	0	0/-*	131072ステート	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	262.1

 : 推奨設定時間

(単位 : ms)

【注】* F-ZTAT版 / ZTAT、マスクROM版

22.3.4 ソフトウェアスタンバイモードの応用例

ここでは、 $\overline{\text{NMI}}$ 端子の立ち下がりによってソフトウェアスタンバイモードに遷移し、 $\overline{\text{NMI}}$ 端子の立ち上がりで解除を行う例を、図 22.1 に示します。

SYSCR の NMI エッジ (NMIEG) ビットが 0 (立ち下がりエッジ指定) の状態で NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセットします (立ち上がりエッジ指定)。そして SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移します。

その後、 $\overline{\text{NMI}}$ 端子の立ち上がりエッジで、ソフトウェアスタンバイモードが解除されます。

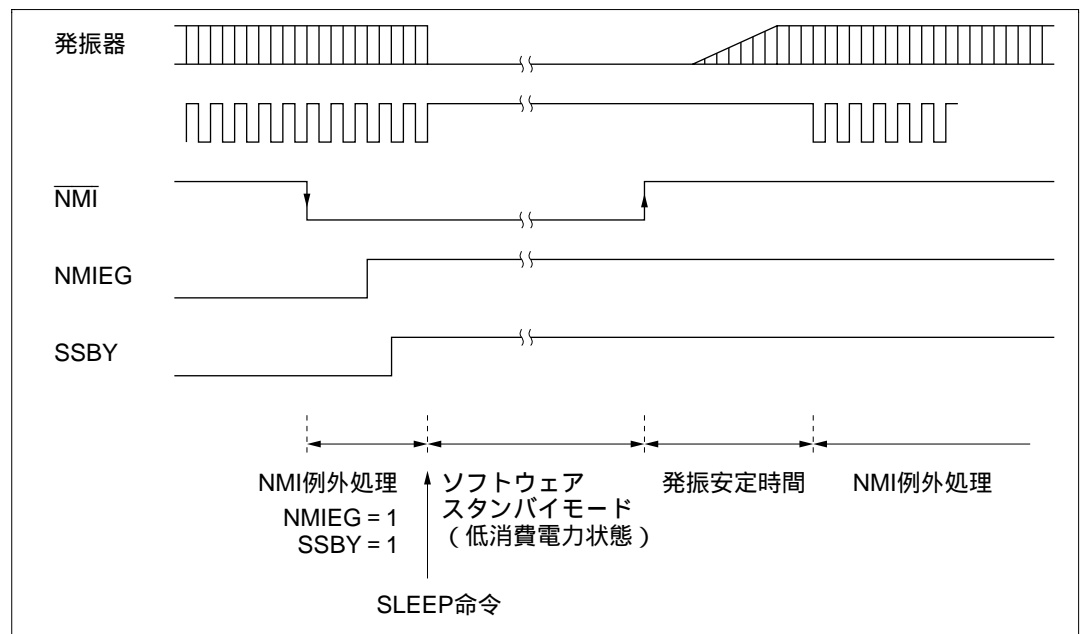
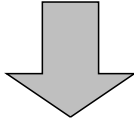


図 22.1 ソフトウェアスタンバイモード時の NMI タイミング (応用例)

22.3.5 使用上の注意

ソフトウェアスタンバイモードでは、I/Oポートの状態が保持されます。したがって、出力電流分の消費電流は低減されません。

	⋮	
BSET	#7, @SYSCR:8	; SSBYビットのセット
<u>SLEEP</u>		; SLEEP命令実行
	⋮	



	⋮	
BSET	#7, @SYSCR:8	; SSBYビットのセット
<u>MOV.W</u>	<u>#H'0180, R0</u>	; SLEEPのコード (H'0180) を
<u>MOV.W</u>	<u>R0, @H'FF00</u>	; RAMに書き込み
<u>MOV.W</u>	<u>#H'5470, R0</u>	; RTSのコード (H'5470) を
<u>MOV.W</u>	<u>R0, @H'FF02</u>	; RAMに書き込み
<u>JSR</u>	<u>@H'FF00</u>	; そこへサブルーチン分岐
	⋮	
		レジスタ、RAMアドレスは任意です。

【注】 本不具合の原因となる電流は、ROM上でSLEEP命令を実行した場合、スリープモード遷移時にも流れます。したがって、スリープ時の消費電流をより低減するためにも、スリープモード遷移時のSLEEP命令をRAM上で実行するようソフトウェアを変更してください。

22.4 ハードウェアスタンバイモード

22.4.1 ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの処理状態からでもハードウェアスタンバイモードに遷移します。

ハードウェアスタンバイモードでは、CPUをはじめ内蔵周辺モジュール全体の機能が停止するため、消費電力は著しく低減します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵RAMのデータは保持*されます。I/Oポートは、ハイインピーダンス状態になります。

- 【注】 * 1. $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。
2. ハードウェアスタンバイモード中に、モード端子 (MD_1 、 MD_0) の状態を変化させないでください。特に、ハードウェアスタンバイモード中にモード端子がいずれも Low レベルになると、PROM モードになり消費電流が増加しますので注意してください。

22.4.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子とで行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、クロックは発振を開始します。このとき $\overline{\text{RES}}$ 端子は、必ずクロックの発振が安定するまで、Low レベルに保持してください。 $\overline{\text{RES}}$ 端子を High レベルにするとリセット例外処理を経て、プログラム実行状態に遷移します。

22.4.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミング例を図 22.2 に示します。

$\overline{\text{RES}}$ 端子を Low レベルにした後、 $\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$ 端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

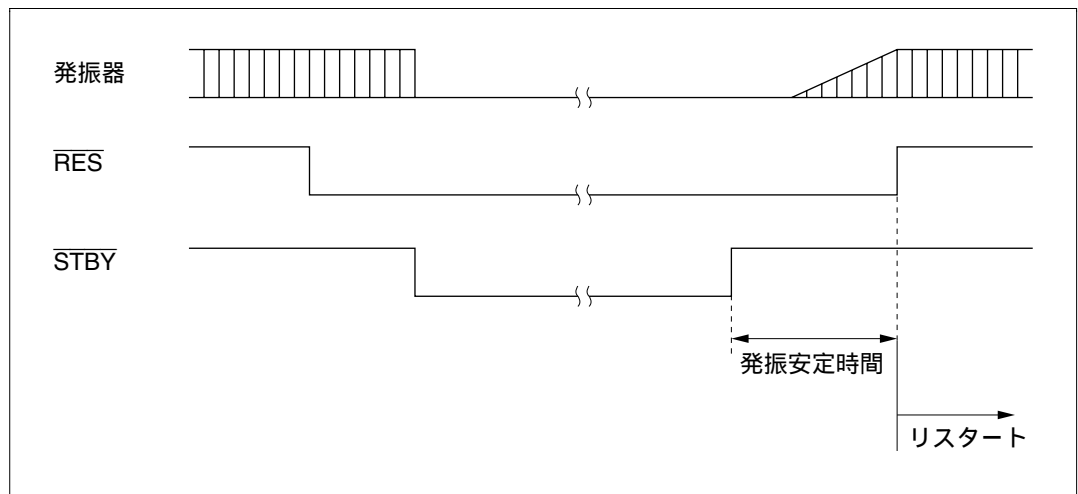


図 22.2 ハードウェアスタンバイモードのタイミング

23. 電気的特性

第 23 章 目次

23.1	絶対最大定格.....	601
23.2	電気的特性.....	602
	23.2.1 DC 特性.....	602
	23.2.2 AC 特性.....	610
	23.2.3 A/D 変換器特性.....	614
	23.2.4 D/A 変換器特性.....	615
	23.2.5 フラッシュメモリ特性 (H8/3437SF のみ)	616
23.3	絶対最大定格 (H8/3437SF 低電圧版)	617
23.4	電気的特性 (H8/3437SF 低電圧版)	618
	23.4.1 DC 特性.....	618
	23.4.2 AC 特性.....	622
	23.4.3 A/D 変換器特性.....	626
	23.4.4 D/A 変換器特性.....	626
	23.4.5 フラッシュメモリ特性.....	627
23.5	MCU 動作タイミング.....	628
	23.5.1 バスタイミング.....	629
	23.5.2 制御信号タイミング.....	630
	23.5.3 16 ビットフリーランニングタイマタイミング.....	632
	23.5.4 8 ビットタイマタイミング.....	632
	23.5.5 PWM タイマタイミング.....	633
	23.5.6 SCI タイミング.....	634
	23.5.7 I/O ポートタイミング.....	634
	23.5.8 ホストインタフェースタイミング.....	635
	23.5.9 I ² C バスタイミング.....	636
	23.5.10 リセット出力タイミング.....	636
	23.5.11 外部クロック出力タイミング.....	637

23.1 絶対最大定格

絶対最大定格を表 23.1 に示します。

表 23.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V_{CC}	- 0.3 ~ + 7.0	V
入出力バッファ用電源電圧	V_{CCB}	- 0.3 ~ + 7.0	V
フラッシュメモリプログラム電圧 (二電源方式 F-ZTAT™ 版)	FV_{PP}	- 0.3 ~ + 13.0	V
プログラム電圧	V_{PP}	- 0.3 ~ + 13.5	V
入力電圧 (ポート 7、 MD_1 、 $P8_6$ 、 $P9_7$ 、 $PA_7 \sim PA_4$ 以外)	V_{in}	- 0.3 ~ $V_{CC} + 0.3$	V
入力電圧 ($P8_6$ 、 $P9_7$ 、 $PA_7 \sim PA_4$)	V_{in}	- 0.3 ~ $V_{CCB} + 0.3$	V
入力電圧 (ポート 7)	V_{in}	- 0.3 ~ $AV_{CC} + 0.3$	V
入力電圧 (MD_1)	V_{in}	二電源方式 F-ZTAT 版 : - 0.3 ~ + 13.0 上記以外 : - 0.3 ~ $V_{CC} + 0.3$	V
リファレンス電源電圧	AV_{ref}	- 0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	- 0.3 ~ + 7.0	V
アナログ入力電圧	V_{AN}	- 0.3 ~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	通常仕様品 : - 20 ~ + 75 広温度範囲仕様品 : - 40 ~ + 85	
保存温度	T_{stg}	- 55 ~ + 125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります*。

【注】 * オーバシュートのピークを含めて FV_{PP} は 13V 以下、 V_{PP} は 13.5V 以下にしてください。
また、二電源方式 F-ZTAT 版では、オーバシュートのピークを含めて MD_1 は 13V 以下にしてください。

23.2 電気的特性

23.2.1 DC 特性

5V 版の DC 特性を表 23.2、4V 版の DC 特性を表 23.3、3V 版の DC 特性を表 23.4、5V 版、4V 版の出力許容電流値を表 23.5、3V 版の出力許容電流値を表 23.6 に示します。5V 版、4V 版、3V 版共通のバス駆動特性を表 23.7 に示します。

表 23.2 DC 特性 (5V 版) (1)

条件 : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%^{*1}$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$ (通常仕様)、
 $T_a = -40 \sim +85$ (広温度範囲仕様)

項目	記号	min	typ	max	単位	測定条件	
シュミットトリガ 入力電圧	$P6_7 \sim P6_0$ ^{*4} 、 $KEYIN_{15} \sim KEYIN_8$ $IRQ_2 \sim IRQ_0$ ^{*5} 、 $IRQ_7 \sim IRQ_3$	(1) ^{*7}	V_T^-	1.0	-	-	V
			V_T^+	-	-	$V_{CC} \times 0.7$ $V_{CCB} \times 0.7$	
			$V_T^+ - V_T^-$	0.4	-	-	
入力 High レベル電圧	RES 、 $STBY$ 、 MD_1 、 MD_0 、 $EXTAL$ 、 NMI $PA_7 \sim PA_0$ ^{*7} 、 SCL 、 SDA $P7_7 \sim P7_0$	(2)	V_{IH}	$V_{CC} - 0.7$	-	$V_{CC} + 0.3$	
				$V_{CC} \times 0.7$ $V_{CCB} \times 0.7$	-	$V_{CC} + 0.3$ $V_{CCB} + 0.3$	
				2.0	-	$AV_{CC} + 0.3$	
	上記 (1)、(2) 以外の 入力端子 ^{*7}			2.0	-	$V_{CC} + 0.3$ $V_{CCB} + 0.3$	
入力 Low レベル電圧	RES 、 $STBY$ 、 MD_1 、 MD_0 $PA_7 \sim PA_0$ 、 SCL 、 SDA	(3)	V_{IL}	-0.3	-	0.5	
				-0.3	-	1.0	
	上記 (1)、(3) 以外の 入力端子			-0.3	-	0.8	
出力 High レベル電圧	全出力端子 ($RES0$ を除く) ^{*6*7}		V_{OH}	$V_{CC} - 0.5$ $V_{CCB} - 0.5$	-	-	$I_{OH} = -200 \mu A$
				3.5	-	-	$I_{OH} = -1.0mA$
出力 Low レベル電圧	全出力端子 ($RES0$ を除く) ^{*6} $P1_7 \sim P1_0$ 、 $P2_7 \sim P2_0$ $RES0$		V_{OL}	-	-	0.4	$I_{OL} = -1.6mA$
				-	-	1.0	$I_{OL} = 10.0mA$
				-	-	0.4	$I_{OL} = 2.6mA$
入力リーク電流	RES 、 $STBY$		$ I_{in} $	-	-	10.0	μA $V_{in} = 0.5V \sim V_{CC}$ - 0.5V $V_{in} = 0.5V \sim AV_{CC} - 0.5V$
	NMI 、 MD_1 、 MD_0			-	-	1.0	
	$P7_7 \sim P7_0$			-	-	1.0	
スリープ状態リーク電流 (オフ状態)	ポート 1~6、ポート 8、9 A、B、 $RES0$ ^{*7}		$ I_{Tst} $	-	-	1.0	$V_{in} = 0.5V \sim V_{CC} - 0.5V$ $V_{in} = 0.5V \sim V_{CCB} - 0.5V$
入力プルアップ MOS 電流	ポート 1~3		- I_p	30	-	250	$V_{in} = 0V$
	ポート 6、A、B			60	-	500	

表 23.2 DC 特性 (5V 版) (2)

条件: $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%^{*1}$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$ (通常仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

項目		記号	min	typ	max	単位	測定条件
入力容量	STBY (二電源方式 F-ZTAT 版)	(4) C_{in}	-	-	120	PF	$V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
	RES、STBY (二電源方式 F-ZTAT 版以外)		-	-	60		
	NMI、MD ₁		-	-	50		
	PA ₇ ~ PA ₄ 、P9 ₇ 、P8 ₆		-	-	20		
	上記(4)以外の全入力端子		-	-	15		
消費電流 ^{*2}	通常動作時	I_{CC}	-	27	45	mA	f = 12MHz
			-	36	60		f = 16MHz
	スリープ時		-	18	30		f = 12MHz
			-	24	40		f = 16MHz
	スタンバイ時 ^{*3}		-	0.01	5.0	μA	$T_a = 50$
			-	-	20.0		$50 < T_a$
アナログ電源電流	A/D 変換中	AI_{CC}	-	1.2	2.0	mA	
	A/D、D/A 変換中		-	1.2	2.0		
	A/D、D/A 変換待機中		-	0.01	5.0		
リファレンス電源電流	A/D 変換中	AI_{ref}	-	0.3	0.6	mA	
	A/D、D/A 変換中		-	1.3	3.0		
	A/D、D/A 変換待機中		-	0.01	5.0		
アナログ電源電圧 ^{*1}		AV_{CC}	4.5	-	5.5	V	動作時
			2.0	-	5.5		待機時、非使用時
RAM スタンバイ電圧		V_{RAM}	2.0	-	-	V	

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} は電源 (V_{CC}) に接続するなどの方法で 2.0V ~ 5.5V の範囲の電圧を印加してください。このとき、 AV_{ref} AV_{CC} としてください。

*2 $V_{IH\ min} = V_{CC} - 0.5V$ 、 $V_{CCB} - 0.5V$ 、 $V_{IL\ max} = 0.5V$ 、すべての出力端子を無負荷状態および入力プルアップ MOS を OFF 状態にした場合の値です。

*3 V_{RAM} $V_{CC} < 4.5V$ のとき、 $V_{IH\ min} = V_{CC} \times 0.9$ 、 $V_{CCB} \times 0.9$ 、 $V_{IL\ max} = 0.3V$ とした場合の値です。

*4 P6₇ ~ P6₀ には、それと兼用の周辺機能入力を含みます。

*5 $\overline{IRQ_2}$ には、それと兼用の \overline{ADTRG} を含みます。

*6 $I_{CS} = I_{CE} = 0$ の場合です。バス駆動機能を選択した場合の出力 Low レベルは別途定めます。

*7 PA₇ ~ PA₄、 $\overline{KEYIN}_{15} \sim \overline{KEYIN}_{12}$ 、P9₇/ \overline{WAIT} 、SDA、P8₆/ $\overline{IRQ_3}$ /SCK₁、SCL の特性は V_{CCB} 依存、それ以外の端子の特性は V_{CC} 依存です。

表 23.3 DC 特性 (4V 版) (1)

条件 : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V^{*1}$ 、 $AV_{ref} = 4.0V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$ (通常仕様)、
 $T_a = -40 \sim +85$ (広温度範囲仕様)

項目		記号	min	typ	max	単位	測定条件	
シュミットトリガ 入力電圧	P6 ₇ ~P6 ₀ ^{*4} 、 KEYIN ₁₅ ~ KEYIN ₈ 、 IRQ ₂ ~IRQ ₀ ^{*5} 、 IRQ ₇ ~IRQ ₃	(1) ^{*7}	V_T^-	1.0	-	-	V	$V_{CC} = 4.5V \sim 5.5V$ $V_{CCB} = 4.5V \sim 5.5V$
			V_T^+	-	-	$V_{CC} \times 0.7$ $V_{CCB} \times 0.7$		
			$V_T^+ - V_T^-$	0.4	-	-		$V_{CC} = 4.0V \sim 4.5V$ $V_{CCB} = 4.0V \sim 4.5V$
			V_T^-	0.8	-	-		
			V_T^+	-	-	$V_{CC} \times 0.7$ $V_{CCB} \times 0.7$		
			$V_T^+ - V_T^-$	0.3	-	-		
入力 High レベル電圧	RES、STBY、 MD ₁ 、MD ₀ 、 EXTAL、NMI PA ₇ ~PA ₀ ^{*7} SCL、SDA P7 ₇ ~P7 ₀	(2)	V_{IH}	$V_{CC} - 0.7$	-	$V_{CC} + 0.3$		
			$V_{CC} \times 0.7$ $V_{CCB} \times 0.7$	-	$V_{CC} + 0.3$ $V_{CCB} + 0.3$			
			2.0	-	$AV_{CC} + 0.3$			
			2.0	-	$V_{CC} + 0.3$ $V_{CCB} + 0.3$			
	上記(1)、(2)以外の 入力端子 ^{*7}			2.0	-	$V_{CC} + 0.3$ $V_{CCB} + 0.3$		
入力 Low レベル電圧	RES、STBY、 MD ₁ 、MD ₀ 、 PA ₇ ~PA ₀ ^{*7} SCL、SDA	(3)	V_{IL}	-0.3	-	0.5		
			-0.3	-	1.0			
			-0.3	-	0.8			
			-0.3	-	0.8			
	上記(1)、(3)以外の 入力端子 ^{*7}			-0.3	-	0.6		
出力 High レベル電圧	全出力端子 (RESOを除く) ^{*6*7}	V_{OH}	$V_{CC} - 0.5$ $V_{CCB} - 0.5$	-	-	$I_{OH} = -200 \mu A$		
			3.5	-	-		$I_{OH} = -1.0mA$ 、 $V_{CC} = 4.5V \sim 5.5V$ $V_{CCB} = 4.5V \sim 5.5V$	
			2.8	-	-		$I_{OH} = -1.0mA$ 、 $V_{CC} = 4.0V \sim 4.5V$ $V_{CCB} = 4.0V \sim 4.5V$	
出力 Low レベル電圧	全出力端子 (RESOを除く) ^{*6} P1 ₇ ~P1 ₀ 、P2 ₇ ~P2 ₀ RESO	V_{OL}	-	-	0.4	$I_{OL} = 1.6mA$		
			-	-	1.0	$I_{OL} = 10.0mA$		
			-	-	0.4	$I_{OL} = 2.6mA$		
入力リーク電流	RES、STBY	$ I_{in} $	-	-	10.0	μA	$V_{in} = 0.5V \sim V_{CC} - 0.5V$	
	NMI、MD ₁ 、MD ₀		-	-	1.0		$V_{in} = 0.5V \sim AV_{CC} - 0.5V$	
	P7 ₇ ~P7 ₀		-	-	1.0			
スリーステートリーク電流 (オフ状態)	ポート1~6 ポート8、9、A、B RESO ^{*7}	$ I_{TSI} $	-	-	1.0	$V_{in} = 0.5V \sim V_{CC} - 0.5V$ $V_{in} = 0.5V \sim V_{CCB} - 0.5V$		

表 23.3 DC 特性 (4V 版) (2)

条件: $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V^{*1}$ 、 $AV_{ref} = 4.0V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$ (通常仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

項目	記号	min	typ	max	単位	測定条件	
入力プルアップ MOS 電流	ポート 1~3	-	I_p	30	-	250	μA $V_{in} = 0V$ 、 $V_{CC} = 4.5V \sim 5.5V$ $V_{CCB} = 4.5V \sim 5.5V$
	ポート 6、A、B ^{*7}	-		60	-	500	
	ポート 1~3	-		20	-	200	
	ポート 6、A、B ^{*7}	-		40	-	400	
入力容量	STBY (二電源方式 F-ZTAT 版)	(4)	C_{in}	-	-	120	PF $V_{in} = 0V$ 、 $f = 1MHz$ 、 $T_a = 25$
	RES、STBY (二電源方式 F-ZTAT 版以外)			-	-	60	
	NMI、MD ₁			-	-	50	
	PA ₇ ~PA ₄ 、P9 ₇ 、P8 ₆			-	-	20	
	上記(4)以外の全入力端子			-	-	15	
消費電流 ^{*2}	通常動作時		I_{CC}	-	27	45	mA $f = 12MHz$ $f = 16MHz$ 、 $V_{CC} = 4.5V \sim 5.5V$
				-	36	60	
	スリープ時			-	18	30	
				-	24	40	
スタンバイ時 ^{*3}				-	0.01	5.0	μA $T_a = 50$ $50 < T_a$
				-	-	20.0	
アナログ電源電流	A/D 変換中		AI_{CC}	-	1.2	2.0	mA
	A/D、D/A 変換中			-	1.2	2.0	
	A/D、D/A 変換待機中			-	0.01	5.0	
リファレンス電源電流	A/D 変換中		AI_{ref}	-	0.3	0.6	mA
	A/D、D/A 変換中			-	1.3	3.0	
	A/D、D/A 変換待機中			-	0.01	5.0	
アナログ電源電圧 ^{*1}			AV_{CC}	4.0	-	5.5	V 動作時
				2.0	-	5.5	
RAM スタンバイ電圧			V_{RAM}	2.0	-	-	V

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} は電源 (V_{CC}) に接続するなどの方法で $2.0V \sim 5.5V$ の範囲の電圧を印加してください。このとき、 AV_{ref} AV_{CC} としてください。

*2 $V_{IH\ min} = V_{CC} - 0.5V$ 、 $V_{CCB} - 0.5V$ 、 $V_{IL\ max} = 0.5V$ 、すべての出力端子を無負荷状態および入力プルアップ MOS を OFF 状態にした場合の値です。

*3 V_{RAM} $V_{CC} < 4.0V$ のとき、 $V_{IH\ min} = V_{CC} \times 0.9$ 、 $V_{CCB} \times 0.9$ 、 $V_{IL\ max} = 0.3V$ とした場合の値です。

*4 P6₇ ~ P6₀ には、それと兼用の周辺機能入力を含みます。

*5 \overline{IRQ}_2 には、それと兼用の \overline{ADTRG} を含みます。

*6 IICS = IICE = 0 の場合です。バス駆動機能を選択した場合の出力 Low レベルは別途定めます。

*7 PA₇ ~ PA₄、 $\overline{KEYIN}_{15} \sim \overline{KEYIN}_{12}$ 、P9₇/ \overline{WAIT} 、SDA、P8₆/ \overline{IRQ}_9 /SCK₁、SCL の特性は V_{CCB} 依存、それ以外の端子の特性は V_{CC} 依存です。

表 23.4 DC 特性 (3V 版) (1)

条件 : $V_{CC} = 2.7V \sim 5.5V^{*8}$ 、 $V_{CCB} = 2.7V \sim 5.5V^{*8}$ 、 $AV_{CC} = 2.7V \sim 5.5V^{*1*8}$ 、

$AV_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$

項目	記号	min	typ	max	単位	測定条件	
シュミットトリガ入力 電圧	P6 ₇ ~P6 ₀ * ⁴ 、 KEYIN ₁₅ ~ KEYIN ₈ 、 IRQ ₂ ~IRQ ₀ * ⁵ 、 IRQ ₇ ~IRQ ₃	(1)* ⁷	V _T ⁻	V _{CC} × 0.15 V _{CCB} × 0.15	-	-	V
			V _T ⁺	-	-	V _{CC} × 0.7 V _{CCB} × 0.7	
	V _T ⁺ - V _T ⁻	0.2	-	-			
入力 High レベル電圧	RES、STBY、 MD ₁ 、MD ₀ 、 EXTAL、NMI	(2)	V _{IH}	V _{CC} × 0.9	-	V _{CC} + 0.3	
	PA ₇ ~PA ₀ * ⁷			V _{CC} × 0.7	-	V _{CC} + 0.3	
	SCL、SDA			V _{CCB} × 0.7	-	V _{CCB} + 0.3	
	P7 ₇ ~P7 ₀			AV _{CC} × 0.7	-	AV _{CC} + 0.3	
上記 (1)、(2) 以外の 入力端子* ⁷	V _{CC} × 0.7 V _{CCB} × 0.7	-	V _{CC} + 0.3 V _{CCB} + 0.3				
入力 Low レベル電圧	RES、STBY、 MD ₁ 、MD ₀	(3)	V _{IL}	- 0.3	-	V _{CC} × 0.1	
	PA ₇ ~PA ₀			- 0.3	-	V _{CC} × 0.15 V _{CCB} × 0.15	
	SCL、SDA			- 0.3	-	V _{CC} × 0.15 V _{CCB} × 0.15	
上記 (1)、(3) 以外の 入力端子* ⁷	- 0.3	-	V _{CC} × 0.15 V _{CCB} × 0.15				
出力 High レベル電圧	全出力端子 (RESO を除く)* ^{6*7}	V _{OH}	V _{CC} - 0.5	-	-	I _{OH} = - 200 μA	
			V _{CCB} - 0.5	-	-	I _{OH} = - 1mA	
			V _{CC} - 1.0 V _{CCB} - 1.0	-	-		
出力 Low レベル電圧	全出力端子 (RESO を除く)* ⁶ P1 ₇ ~P1 ₀ 、P2 ₇ ~P2 ₀ RESO	V _{OL}	-	-	0.4	I _{OL} = 0.8mA	
			-	-	0.4	I _{OL} = 1.6mA	
			-	-	0.4	I _{OL} = 1.6mA	
入力リーク電流	RES、STBY	I _{in}	-	-	10.0	μA V _{in} = 0.5V ~ V _{CC} - 0.5V	
	NMI、MD ₁ 、MD ₀		-	-	1.0		
	P7 ₇ ~P7 ₀		-	-	1.0		
スリープ状態リーク 電流 (オフ状態)	ポート 1~6 ポート 8、9、A、B RESO* ⁷	I _{TSI}	-	-	1.0	V _{in} = 0.5V ~ V _{CC} - 0.5V V _{in} = 0.5V ~ V _{CCB} - 0.5V	
入力プルアップ MOS 電流	ポート 1~3	- I _p	3	-	120	V _{in} = 0V、 V _{CC} = 2.7V ~ 3.6V V _{CCB} = 2.7V ~ 3.6V	
	ポート 6、A、B* ⁷		30	-	250		
入力容量	STBY (二電源方式 F-ZTAT 版)	(4)	C _{in}	-	-	120	PF V _{in} = 0V、 f = 1MHz、 T _a = 25
	RES、STBY (二電源方式 F-ZTAT 版以外)			-	-	60	
	NMI、MD ₁			-	-	50	
	PA ₇ ~PA ₄ 、P9 ₇ 、 P8 ₆			-	-	20	
	上記 (4) 以外の全入力端子			-	-	15	

表 23.4 DC 特性 (3V 版) (2)

条件 : $V_{CC} = 2.7V \sim 5.5V^{*8}$ 、 $V_{CCB} = 2.7V \sim 5.5V^{*8}$ 、 $AV_{CC} = 2.7V \sim 5.5V^{*1*8}$ 、 $AV_{ref} = 2.7V \sim AV_{CC}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$

項目		記号	min	typ	max	単位	測定条件
消費電流*2	通常動作時	I_{CC}	-	7	-	mA	f = 6MHz, $V_{CC} = 2.7V \sim 3.6V$
			-	12	22		f = 10MHz, $V_{CC} = 2.7V \sim 3.6V$
			-	25	-		f = 10MHz, $V_{CC} = 4.0V \sim 5.5V$
	スリープ時		-	5	-		f = 6MHz, $V_{CC} = 2.7V \sim 3.6V$
			-	9	16		f = 10MHz, $V_{CC} = 2.7V \sim 3.6V$
			-	18	-		f = 10MHz, $V_{CC} = 4.0V \sim 5.5V$
	スタンバイ時*3		-	0.01	5.0	μA	$T_a = 50$
-			-	20.0	$50 < T_a$		
アナログ電源電流	A/D 変換中	AI_{CC}	-	1.2	2.0	mA	
	A/D、D/A 変換中		-	1.2	2.0		
	A/D、D/A 変換待機中		-	0.01	5.0		
リファレンス電源電流	A/D 変換中	AI_{ref}	-	0.3	0.6	mA	
	A/D、D/A 変換中		-	1.3	3.0		
	A/D、D/A 変換待機中		-	0.01	5.0		
アナログ電源電圧*1		AV_{CC}	2.7	-	5.5	V	動作時
			2.0	-	5.5		待機時、非使用時
RAM スタンバイ電圧		V_{RAM}	2.0	-	-	V	

【注】 *1 A/D 変換器、D/A 変換器を使用しない場合でも、 AV_{CC} は電源 (V_{CC}) に接続するなどの方法で $2.0V \sim 5.5V$ の範囲の電圧を印加してください。このとき、 AV_{ref} 、 AV_{CC} としてください。

*2 $V_{IH\ min} = V_{CC} - 0.5V$ 、 $V_{CCB} - 0.5V$ 、 $V_{IL\ max} = 0.5V$ 、すべての出力端子を無負荷状態および入力プルアップ MOS を OFF 状態にした場合の値です。

*3 V_{RAM} $V_{CC} < 2.7V$ のとき、 $V_{IH\ min} = V_{CC} \times 0.9$ 、 $V_{CCB} \times 0.9$ 、 $V_{IL\ max} = 0.3V$ とした場合の値です。

*4 $P6_7 \sim P6_0$ には、それと兼用の周辺機能を含みます。

*5 $\overline{IRQ_2}$ には、それと兼用の \overline{ADTRG} を含みます。

*6 $IICS = IICE = 0$ の場合です。バス駆動機能を選択した場合の出力 Low レベルは別途定めます。

*7 $PA_7 \sim PA_4$ 、 $\overline{KEYIN}_{15} \sim \overline{KEYIN}_{12}$ 、 $P9_7/\overline{WAIT}$ 、 SDA 、 $P8_6/\overline{IRQ_5}/SCK_1$ 、 SCL の特性は V_{CCB} 依存、それ以外の端子の特性は V_{CC} 依存です。

*8 F-ZTAT LH 版は $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$

表 23.5 出力許容電流 (5V 版、4V 版)

条件 : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $AV_{ref} = 4.0V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$ (通常仕様)、
 $T_a = -40 \sim +85$ (広温度範囲仕様)

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子当たり)	SCL、SDA、PA ₄ ~ PA ₇ (バス駆動機能選択)	I_{OL}	-	-	20	mA
	ポート 1、2		-	-	10	
	\overline{RESO}		-	-	3	
	上記以外の出力端子		-	-	2	
出力 Low レベル許容電流 (総和)	ポート 1、2 端子の総和	I_{OL}	-	-	80	
	上記を含む全出力端子の 総和		-	-	120	
出力 High レベル許容電流 (1 端子当たり)	全出力端子	$-I_{OH}$	-	-	2	
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$	-	-	40	

表 23.6 出力許容電流 (3V 版)

条件 : $V_{CC} = 2.7V \sim 5.5V^*$ 、 $V_{CCB} = 2.7V \sim 5.5V^*$ 、 $AV_{CC} = 2.7V \sim 5.5V^*$ 、 $AV_{ref} = 2.7V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子当たり)	SCL、SDA、PA ₄ ~ PA ₇ (バス駆動機能選択)	I_{OL}	-	-	10	mA
	ポート 1、2		-	-	2	
	\overline{RESO}		-	-	1	
	上記以外の出力端子		-	-	1	
出力 Low レベル許容電流 (総和)	ポート 1、2 端子の総和	I_{OL}	-	-	40	
	上記を含む全出力端子の 総和		-	-	60	
出力 High レベル許容電流 (1 端子当たり)	全出力端子	$-I_{OH}$	-	-	2	
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$	-	-	30	

【注】 * F-ZTAT LH 版は $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$

【使用上の注意】

LSI の信頼性確保のため、出力電流値は表 23.5、表 23.6 の値を超えないようにしてください。特に、ダーリントトランジスタまたは LED を直接駆動する場合は、出力に必ず電流制限抵抗を挿入してください（図 23.1、図 23.2 を参照）。

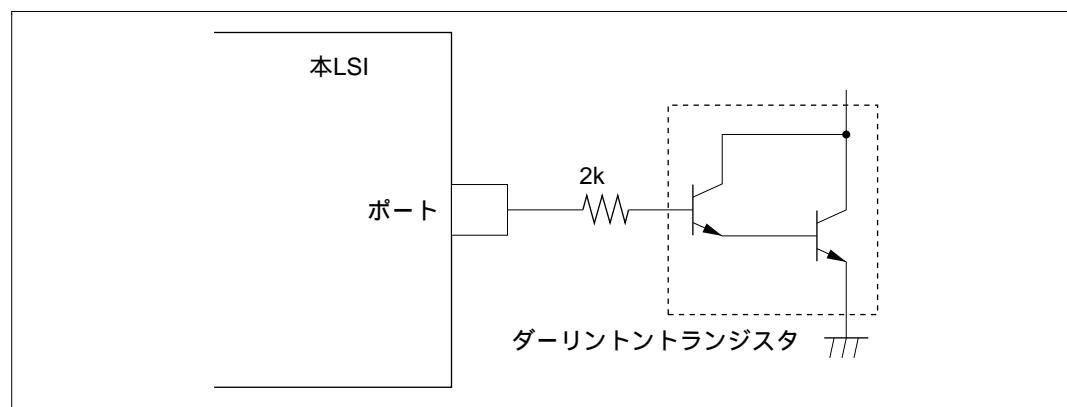


図 23.1 ダーリントトランジスタ駆動回路（5V 版の例）

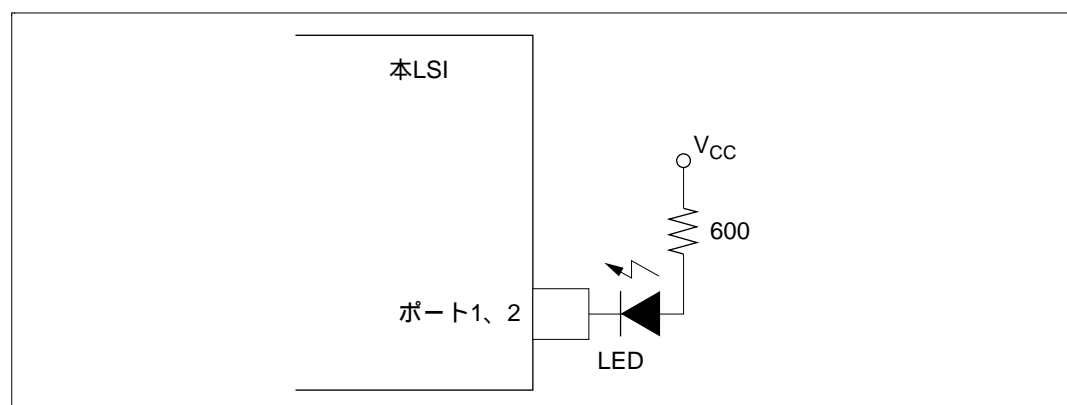


図 23.2 LED 駆動回路（5V 版の例）

表 23.7 バス駆動特性

条件： $V_{CC} = 2.7V \sim 5.5V^*$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim +75$

項目	記号	min	typ	max	単位	測定条件
出力 Low レベル電圧 SCL、SDA、PA ₄ ～PA ₇ (バス駆動機能選択)	V_{OL}	-	-	0.5	V	$V_{CC}B = 5V \pm 10\%$ $I_{OL} = 16mA$
		-	-	0.5		$V_{CC}B = 2.7V \sim 5.5V^*$ $I_{OL} = 8mA$
		-	-	0.4		$V_{CC}B = 2.7V \sim 5.5V^*$ $I_{OL} = 3mA$

【注】 * F-ZTAT LH 版は $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CC}B = 3.0V \sim 5.5V$

23.2.2 AC 特性

AC 特性として表 23.8 にバスタイミングを、表 23.9 に制御信号タイミングを、表 23.10 に内蔵周辺モジュールタイミングを、表 23.11 には、I²C バスタイミングを、表 23.12 に外部クロック出力遅延タイミングを示します。

表 23.8 バスタイミング

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CC}B = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CC}B = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

条件 C : $V_{CC} = 2.7V \sim 5.5V^{*3}$ 、 $V_{CC}B = 2.7V \sim 5.5V^{*3}$ 、 $V_{SS} = 0V$ 、

$f = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件	
		10MHz		12MHz		16MHz				
		min	max	min	max	min	max			
クロックサイクル時間	t_{cyc}	100	500	83.3	500	62.5	500	ns	図 23.7	
クロックパルス幅 Low レベル	t_{CL}	30	-	30	-	20	-			
クロックパルス幅 High レベル	t_{CH}	30	-	30	-	20	-			
クロック立ち上がり時間	t_{cr}	-	20	-	10	-	10			
クロック立ち下がり時間	t_{cf}	-	20	-	10	-	10			
アドレス遅延時間	t_{AD}	-	50	-	35	-	30			
アドレスホールド時間	t_{AH}	20	-	15	-	10	-			
アドレスストロープ遅延時間	t_{ASD}	-	50	-	35	-	30			
ライトストロープ遅延時間	t_{WSD}	-	50	-	35	-	30			
ストロープ遅延時間	t_{SD}	-	50	-	35	-	30			
ライトストロープパルス幅*1	t_{WSW}	110	-	90	-	60	-			
アドレスセットアップ時間 1*1	t_{AS1}	15	-	10	-	10	-			
アドレスセットアップ時間 2*1	t_{AS2}	65	-	50	-	40	-			
リードデータセットアップ時間	t_{RDS}	35	-	20	-	20	-			
リードデータホールド時間*1	t_{RDH}	0	-	0	-	0	-			
リードデータアクセス時間*1	t_{ACC}	-	170	-	160	-	110			
ライトデータ遅延時間	t_{WDD}	-	80/75*2	-	65/60*2	-	60			
ライトデータセットアップ時間	t_{WDS}	0/5*2	-	0/5*2	-	0/5*2	-			
ライトデータホールド時間	t_{WDH}	20	-	20	-	20	-			
ウェイトセットアップ時間	t_{WTS}	40	-	35	-	30	-			図 23.8
ウェイトホールド時間	t_{WTH}	10	-	10	-	10	-			

【注】 *1 最大動作周波数時の値

*2 H8/3437F-ZTAT 版 / それ以外の製品

*3 F-ZTAT LH 版は $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CC}B = 3.0V \sim 5.5V$

表 23.9 制御信号タイミング

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

条件 C : $V_{CC} = 2.7V \sim 5.5V^*$ 、 $V_{CCB} = 2.7V \sim 5.5V^*$ 、 $V_{SS} = 0V$ 、

$f = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件
		10MHz		12MHz		16MHz			
		min	max	min	max	min	max		
RES セットアップ時間	t_{RESS}	300	-	200	-	200	-	ns	図 23.9
RES パルス幅	t_{RESW}	10	-	10	-	10	-	t_{cyc}	
RESO 出力遅延時間	t_{RESO}	-	200	-	120	-	100	ns	図 23.25
RESO 出力パルス幅	t_{RESOW}	132	-	132	-	132	-	t_{cyc}	
NMI セットアップ時間 (\overline{NMI} 、 $\overline{IRQ_0} \sim \overline{IRQ_7}$)	t_{NMIS}	300	-	150	-	150	-	ns	図 23.10
NMI ホールド時間 (\overline{NMI} 、 $\overline{IRQ_0} \sim \overline{IRQ_7}$)	t_{NMIH}	10	-	10	-	10	-		
割り込みパルス幅 (\overline{NMI} 、 $\overline{IRQ_0} \sim \overline{IRQ_2}$ 、 $\overline{IRQ_6}$) (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	300	-	200	-	200	-		
リセット発振安定時間 (水晶)	t_{OSC1}	20	-	20	-	20	-	ms	図 23.11
ソフトウェアスタンバイ 発振安定時間 (水晶)	t_{OSC2}	8	-	8	-	8	-		図 23.12

【注】 * F-ZTAT LH 版は $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$

AC 特性測定条件

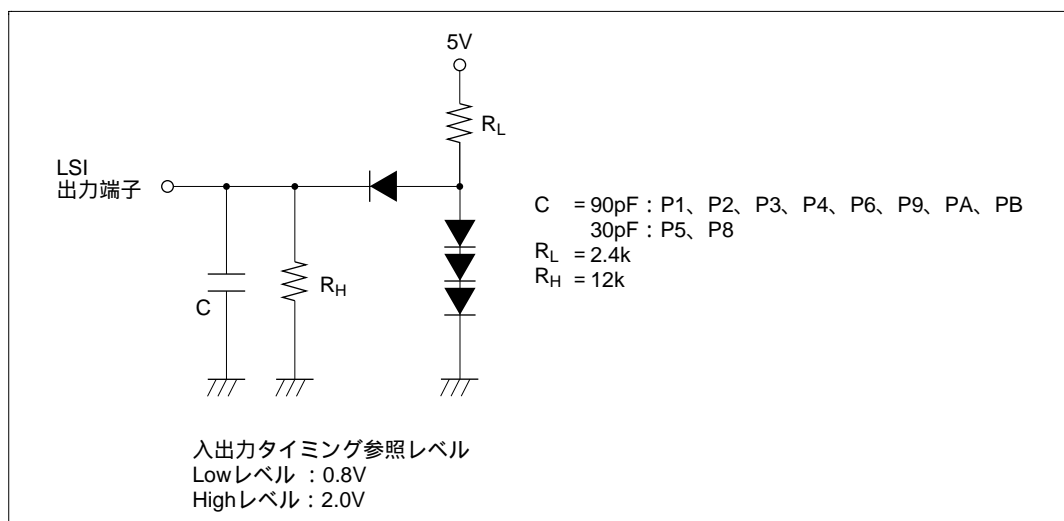


図 23.3 AC 特性測定条件

表 23.10 内蔵周辺モジュールタイミング

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、

$T_a = -20 \sim +75$ (通常仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

条件 C : $V_{CC} = 2.7V \sim 5.5V^*$ 、 $V_{CCB} = 2.7V \sim 5.5V^*$ 、 $V_{SS} = 0V$ 、

$f_{clk} = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$

項目	記号	条件 C		条件 B		条件 A		単位	測定条件			
		10MHz		12MHz		16MHz						
		min	max	min	max	min	max					
FRT	タイマ出力遅延時間	t_{FTOD}	-	150	-	100	-	100	ns	図 23.13		
	タイマ入力セットアップ時間	t_{FTIS}	80	-	50	-	50	-	ns		図 23.14	
	タイマクロック入力セットアップ時間	t_{FTCS}	80	-	50	-	50	-		t _{cy}		
	タイマクロックパルス幅	t_{FTCWH} t_{FTCWL}	1.5	-	1.5	-	1.5	-				
TMR	タイマ出力遅延時間	t_{TMOD}	-	150	-	100	-	100	ns	図 23.15		
	タイマリセット入力セットアップ時間	t_{TMRS}	80	-	50	-	50	-	ns		図 23.17	
	タイマクロック入力セットアップ時間	t_{TMCS}	80	-	50	-	50	-		t _{cy}		図 23.16
	タイマクロックパルス幅	単エッジ指定 t_{TMCWH} 両エッジ指定 t_{TMCWL}	1.5 2.5	-	1.5 2.5	-	1.5 2.5	-				
PWM	タイマ出力遅延時間	t_{PWOD}	-	150	-	100	-	100	ns	図 23.18		
SCI	入力クロックサ イクル	調歩同期	t_{Scyc}	4	-	4	-	4	-	t _{cy}	図 23.19	
		クロック同期	6	-	6	-	6	-				
	送信データ遅延時間 (クロック同期)	t_{TXD}	-	200	-	100	-	100	ns	ns		
	受信データセットアップ時間 (クロック同期)	t_{RXS}	150	-	100	-	100	-				
	受信データホールド時間 (クロック同期)	t_{RXH}	150	-	100	-	100	-				
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	0.4	0.6	0.4	0.6	t _{scyc}		図 23.20	
PORT	出力データ遅延時間	t_{PWD}	-	150	-	100	-	100	ns	ns	図 23.21	
	入力データセットアップ時間	t_{PRS}	80	-	50	-	50	-				
	入力データホールド時間	t_{PRH}	80	-	50	-	50	-				
HIF リード サイクル	CS/HA ₀ セットアップ時間	t_{HAR}	10	-	10	-	10	-	ns	ns	図 23.22	
	CS/HA ₀ ホールド時間	t_{HRA}	10	-	10	-	10	-				
	I/O パルス幅	t_{HRPW}	220	-	120	-	120	-				
	HDB 遅延時間	t_{HRD}	-	200	-	100	-	100				
	HDB ホールド時間	t_{HRF}	0	40	0	25	0	25				
	HIRQ 遅延時間	t_{HIRO}	-	200	-	120	-	120				
HIF ライト サイクル	CS/HA ₀ セットアップ時間	t_{HAW}	10	-	10	-	10	-	ns	ns	図 23.23	
	CS/HA ₀ ホールド時間	t_{HWA}	10	-	10	-	10	-				
	I/O パルス幅	t_{HWPW}	100	-	60	-	60	-				
	HDB セットアッ プ時間	t_{HDW}	高速 GATE A ₂₀ 使用しない	50	-	30	-	30				-
			高速 GATE A ₂₀ 使用する	85	-	55	-	45				-
	HDB ホールド時間	t_{HWD}	25	-	15	-	15	-				
GA ₂₀ 遅延時間	t_{HGA}	-	180	-	90	-	90					

【注】 * F-ZTAT LH 版は $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$

表 23.11 I²C バスタイミング条件: $V_{CC} = 2.7V \sim 5.5V^*$ 、 $V_{CCB} = 2.7V \sim 5.5V^*$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim +75$ 、5MHz

項目	記号	規格値			単位	測定条件	備考
		min	typ	max			
SCL クロックサイクル時間	t_{SCL}	$12t_{cyc}$	-	-	ns		図 23.24
SCL クロック High パルス幅	t_{SCLH}	$3t_{cyc}$	-	-	ns		
SCL クロック Low パルス幅	t_{SCLL}	$5t_{cyc}$	-	-	ns		
SCL、SDA 立ち上がり時間	t_{sf}	-	-	1000	ns	標準モード 100kbit/s (max)	
		$20 + 0.1C_b$	-	300		高速モード 400kbit/s (max)	
SCL、SDA 立ち下がり時間	t_{sf}	-	-	300	ns	標準モード 100kbit/s (max)	
		$20 + 0.1C_b$	-	300		高速モード 400kbit/s (max)	
SDA バスフリー時間	t_{BUF}	$5t_{cyc}$	-	-	ns		
SCL 開始条件ホールド時間	t_{STAH}	$3t_{cyc}$	-	-	ns		
SCL 再送開始条件セットアップ時間	t_{STAS}	$3t_{cyc}$	-	-	ns		
SDA 停止条件セットアップ時間	t_{STOS}	$3t_{cyc}$	-	-	ns		
SDA データセットアップ時間	t_{SDAS}	$0.5t_{cyc}$	-	-	ns		
SDA データホールド時間	t_{SDAH}	0	-	-	ns		
SDA の容量性負荷	C_b	-	-	400	pF		

【注】 * F-ZTAT LH 版は $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$

表 23.12 外部クロック出力遅延タイミング

条件: $V_{CC} = 2.7V \sim 5.5V^{*2}$ 、 $AV_{CC} = 2.7V \sim 5.5V^{*2}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim +85$

項目	記号	規格値		単位	備考
		min	max		
外部クロック出力遅延時間	t_{DEXT}^{*1}	500	-	μs	図 23.26

【注】 *1 t_{DEXT} は、 \overline{RES} パルス幅 (t_{RESW}) を $10t_{cyc}$ 含みます。*2 F-ZTAT LH 版は $V_{CC} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$

23.2.3 A/D 変換器特性

A/D 変換器特性を表 23.13 に示します。

表 23.13 A/D 変換器特性

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$ (通常仕様)、
 $T_a = -40 \sim +85$ (広温度範囲仕様)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $AV_{ref} = 4.0V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$ (通常仕様)、
 $T_a = -40 \sim +85$ (広温度範囲仕様)

条件 C : $V_{CC} = 2.7V \sim 5.5V^{*2}$ 、 $V_{CCB} = 2.7V \sim 5.5V^{*2}$ 、 $AV_{CC} = 2.7V \sim 5.5V^{*2}$ 、
 $AV_{ref} = 2.7V \sim AV_{CC}^{*2}$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、
 $T_a = -20 \sim +75$

項目	条件 C			条件 B			条件 A			単位
	10MHz			12MHz			16MHz			
	min	typ	max	min	typ	max	min	typ	max	
分解能	10	10	10	10	10	10	10	10	10	ビット
変換時間 (単一モード) *1	-	-	13.4	-	-	11.2	-	-	8.4	μs
アナログ入力容量	-	-	20	-	-	20	-	-	20	pF
許容信号源インピーダンス	-	-	5	-	-	10	-	-	10	k
非直線性誤差	-	-	± 6.0	-	-	± 3.0	-	-	± 3.0	LSB
オフセット誤差	-	-	± 4.0	-	-	± 3.5	-	-	± 3.5	LSB
フルスケール誤差	-	-	± 4.0	-	-	± 3.5	-	-	± 3.5	LSB
量子化誤差	-	-	± 0.5	-	-	± 0.5	-	-	± 0.5	LSB
絶対精度	-	-	± 8.0	-	-	± 4.0	-	-	± 4.0	LSB

【注】 *1 最大動作周波数時の値

*2 F-ZTAT LH 版は $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、
 $AV_{ref} = 3.0V \sim AV_{CC}$

23.2.4 D/A 変換器特性

D/A 変換器特性を表 23.14 に示します。

表 23.14 D/A 変換器特性

条件 A : $V_{CC} = 5.0V \pm 10\%$ 、 $V_{CCB} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $AV_{ref} = 4.5V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$ (通常仕様)、
 $T_a = -40 \sim +85$ (広温度範囲仕様)

条件 B : $V_{CC} = 4.0V \sim 5.5V$ 、 $V_{CCB} = 4.0V \sim 5.5V$ 、 $AV_{CC} = 4.0V \sim 5.5V$ 、 $AV_{ref} = 4.0V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$ (通常仕様)、
 $T_a = -40 \sim +85$ (広温度範囲仕様)

条件 C : $V_{CC} = 2.7V \sim 5.5V^*$ 、 $V_{CCB} = 2.7V \sim 5.5V^*$ 、 $AV_{CC} = 2.7V \sim 5.5V^*$ 、
 $AV_{ref} = 2.7V \sim AV_{CC}^*$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、
 $T_a = -20 \sim +75$

項目	条件 C			条件 B			条件 A			単位	測定条件
	10MHz			12MHz			16MHz				
	min	typ	max	min	typ	max	min	typ	max		
分解能	8	8	8	8	8	8	8	8	8	ビット	
変換時間 (セトリング 時間)	-	-	10	-	-	10	-	-	10	μs	負荷 容量 30pF
絶対精度	-	± 2.0	± 3.0	-	± 1.0	± 1.5	-	± 1.0	± 1.5	LSB	負荷 抵抗 2M
	-	-	± 2.0	-	-	± 1.0	-	-	± 1.0	LSB	負荷 抵抗 4M

【注】 * F-ZTAT LH 版は $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、
 $AV_{ref} = 3.0V \sim AV_{CC}$

23.2.5 フラッシュメモリ特性 (H8/3437SF のみ)

表 23.15 フラッシュメモリ特性

条件: $V_{CC} = 5.0V \pm 10\%$ 、 $AV_{CC} = 5.0V \pm 10\%$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = 0 \sim +75$ (通常仕様)、 $T_a = 0 \sim +85$ (広温度範囲仕様)

項目	記号	min.	typ.	max.	単位	測定条件
書き込み時間*1*2*4	t_p		10	200	ms/32 バイト	
消去時間*1*3*6	t_e		100	1200	ms/ブロック	
書き替え回数	N_{WEC}			100	回	
書き込み時	SWE-bit セット後の Wait 時間*1	x	10		μs	
	PSU-bit セット後の Wait 時間*1	y	50		μs	
	P-bit セット後の Wait 時間*1*4	z	150	500	μs	
	P-bit クリア後の Wait 時間*1		10		μs	
	PSU-bit クリア後の Wait 時間*1		10		μs	
	PV-bit セット後の Wait 時間*1		4		μs	
	ダミーライト後の Wait 時間*1		2		μs	
	PV-bit クリア後の Wait 時間*1		4		μs	
	最大書き込み回数*1*4*5	N			403	回
消去時	SWE-bit セット後の Wait 時間*1	x	10		μs	
	ESU-bit セット後の Wait 時間*1	y	200		μs	
	E-bit セット後の Wait 時間*1*6	z	5	10	ms	
	E-bit クリア後の Wait 時間*1		10		μs	
	ESU-bit クリア後の Wait 時間*1		10		μs	
	EV-bit セット後の Wait 時間*1		20		μs	
	ダミーライト後の Wait 時間*1		2		μs	
	EV-bit クリア後の Wait 時間*1		5		μs	
	最大消去回数*1*6*7	N			120	回

- 【注】 *1 各時間の設定は、書き込み / 消去のアルゴリズムに従い行ってください。
- *2 32 バイト当たりの書き込み時間 (フラッシュメモリコントロールレジスタ (FLMCR1) の P-bit をセットしているトータル期間を示します。書き込みベリファイ時間は含まれません。)
- *3 1 ブロックを消去する時間 (フラッシュメモリコントロールレジスタ (FLMCR1) の E-bit をセットしているトータル期間を示します。消去ベリファイ時間は含まれません。)
- *4 書き込み時間の最大値 ($t_p(\max)$) = P-bit セット後の Wait 時間 (z) × 最大書き込み回数 (N)
32 バイト書き込みアルゴリズムにおける、書き込み回数カウンタ 1~4 回までは、P-bit セット後の Wait 時間 (z) を、min 値である 150 μs に設定してください。
- *5 P-bit セット後の Wait 時間 (z) = (150 μs または 500 μs) 時の回数です。書き込み回数は、実際の (z) の設定値に合わせ、書き込み時間の最大値 (t_p) でも書き込みできるよう設定してください。
- *6 消去時間の最大値 ($t_e(\max)$) = E-bit セット後の Wait 時間 (z) × 最大消去回数 (N)
- *7 E-bit セット後の Wait 時間 (z) = 10ms 時の回数です。消去回数は、実際の (z) の設定値に合わせ、消去時間の最大値 (t_e) でも消去できるよう設定してください。

23.3 絶対最大定格 (H8/3437SF 低電圧版)

絶対最大定格を表 23.16 に示します。

表 23.16 絶対最大定格

項目	記号	定格値	単位
電源電圧	V_{CC}	- 0.3 ~ + 7.0	V
入出力バッファ用電源電圧	V_{CCB}	- 0.3 ~ + 0.7	V
入力電圧 (ポート 7、P8 ₆ 、P9 ₇ 、PA ₇ ~ PA ₄ 以外)	V_{in}	- 0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (P8 ₆ 、P9 ₇ 、PA ₇ ~ PA ₄)	V_{in}	- 0.3 ~ $V_{CCB} + 0.3$	V
入力電圧 (ポート 7)	V_{in}	- 0.3 ~ $AV_{CC} + 0.3$	V
リファレンス電源電圧	AV_{ref}	- 0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	- 0.3 ~ + 7.0	V
アナログ入力電圧	V_{AN}	- 0.3 ~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	通常仕様品 : - 20 ~ + 75	
		広温度範囲仕様品 : - 40 ~ + 85	
保存温度	T_{stg}	- 55 ~ + 125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります*。

23.4 電気的特性 (H8/3437SF 低電圧版)

23.4.1 DC 特性

DC 特性を表 23.17、出力許容電流値を表 23.18 に、バス駆動特性を表 23.19 に示します。

表 23.17 DC 特性 (1)

条件 : $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、 $AV_{ref} = 3.0 \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$ (通常仕様)、
 $T_a = -40 \sim +85$ (広温度範囲仕様)

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	P6 ₇ ~P6 ₀ * ⁴ 、 KEYIN15~ KEYIN8、 IRQ ₂ ~IRQ ₀ * ⁵ 、 IRQ ₇ ~IRQ ₃	(1) V _T ⁻	V _{CC} × 0.15 V _{CCB} × 0.15	-	-	V	
		V _T ⁺	-	-	V _{CC} × 0.7 V _{CCB} × 0.7		
		V _T ⁺ - V _T ⁻	0.2	-	-		
入力 High レベル 電圧	RES、STBY、MD ₁ 、 MD ₀ 、EXTAL、NMI PA ₇ ~PA ₀ * ⁷ 、SCL、 SDA P7 ₇ ~P7 ₀	(2) V _{IH}	V _{CC} × 0.9	-	V _{CC} + 0.3		
			V _{CC} × 0.7 V _{CCB} × 0.7	-	V _{CC} + 0.3 V _{CCB} + 0.3		
			V _{CC} × 0.7	-	AV _{CC} + 0.3		
			V _{CC} × 0.7 V _{CCB} × 0.7	-	V _{CC} + 0.3 V _{CCB} + 0.3		
入力 Low レベル 電圧	RES、STBY、MD ₁ 、 MD ₀ PA ₇ ~PA ₀ 、SCL、 SDA 上記 (1)、(3) 以外の 入力端子	(3) V _{IL}	- 0.3	-	V _{CC} × 0.1		
			- 0.3	-	V _{CC} × 0.15 V _{CCB} × 0.15		
			- 0.3	-	V _{CC} × 0.15 V _{CCB} × 0.15		
出力 High レベル電圧	全出力端子* ⁶ (RES0を除く)* ⁷	V _{OH}	V _{CC} - 0.5 V _{CCB} - 0.5	-	-		I _{OH} = - 200 μA
			V _{CC} - 1.0 V _{CCB} - 1.0	-	-		I _{OH} = - 1.0mA
出力 Low レベル電圧	全出力端子* ⁶ (RES0を除く) P1 ₇ ~P1 ₀ 、P2 ₇ ~P2 ₀ RES0	V _{OL}	-	-	0.4		I _{OL} = 0.8mA
			-	-	0.4		I _{OL} = 1.6mA
			-	-	0.4		I _{OL} = 1.6mA
入力リーク電流	RES、STBY	I _{in}	-	-	10.0	μA	V _{in} = 0.5V ~ V _{CC} - 0.5V
	NMI、MD ₁ 、MD ₀		-	-	1.0		V _{in} = 0.5V ~ AV _{CC} - 0.5V
	P7 ₇ ~P7 ₀		-	-	1.0		
スリープステート リーク電流 (オフ状態)	ポート 1~6、ポート 8、9、 A、B、RES0* ⁷	I _{Tst}	-	-	1.0		V _{in} = 0.5V ~ V _{CC} - 0.5V V _{in} = 0.5V ~ V _{CCB} - 0.5V
入力プルアップ MOS 電流	ポート 1~3	- I _p	3	-	120		V _{in} = 0V
	ポート 6、A、B* ⁷		30	-	250		V _{CC} = 3.0V ~ 3.6V V _{CCB} = 3.0V ~ 3.6V

項目		記号	min	typ	max	単位	測定条件	
入力容量	RES、STBY	(4)	C _{in}	-	-	60	pF	V _{in} = 0V、 f = 1MHz、 T _a = 25
	NMI、MD ₁			-	-	50		
	PA ₇ ~ PA ₄ 、P9 ₇ 、P8 ₆			-	-	20		
	上記(4)以外の全入力端子			-	-	15		

表 23.17 DC特性(2)

条件: V_{CC} = 3.0V ~ 5.5V、AV_{CC} = 3.0V ~ 5.5V*1、V_{SS} = AV_{SS} = 0V、T_a = -20 ~ +75 (通常仕様)、T_a = -40 ~ +85 (広温度範囲仕様)

項目		記号	min	typ	max	単位	測定条件
消費電流*2	通常動作時	I _{CC}	-	7	-	mA	f = 6MHz、 V _{CC} = 3.0V ~ 3.6V
			-	12	22		f = 10MHz、 V _{CC} = 3.0V ~ 3.6V
			-	25	-		f = 10MHz、 V _{CC} = 4.0V ~ 5.5V
	スリープ時		-	5	-		f = 6MHz、 V _{CC} = 3.0V ~ 3.6V
			-	9	16		f = 10MHz、 V _{CC} = 3.0V ~ 3.6V
			-	18	-		f = 10MHz、 V _{CC} = 4.0V ~ 5.5V
	スタンバイ時*3		-	0.01	5.0	μA	T _a = 50
-			-	20.0	50 < T _a		
アナログ電源電流	A/D変換中	AI _{CC}	-	1.2	2.0	mA	
	A/D、D/A変換中		-	1.2	2.0		
	A/D、D/A変換待機中		-	0.01	5.0		
リファレンス電源電流	A/D変換中	AI _{ref}	-	0.3	0.6	mA	
	A/D、D/A変換中		-	1.3	3.0		
	A/D、D/A変換待機中		-	0.01	5.0		
アナログ電源電圧*1		AV _{CC}	3.0	-	5.5	V	動作時
			2.0	-	5.5		待機時、非使用時
RAMスタンバイ電圧		V _{RAM}	2.0	-	-	V	

【注】 *1 A/D変換器、D/A変換器を使用しない場合でも、AV_{CC}は電源(V_{CC})に接続するなどの方法で2.0V ~ 5.5Vの範囲の電圧を印加してください。このときAV_{ref} AV_{CC}としてください。

*2 V_{IH} min = V_{CC} - 0.5V、V_{CC}B - 0.5V、V_{IL} max = 0.5V、すべての出力端子を無負荷状態および入力プルアップMOSをOFF状態にした場合の値です。

*3 V_{RAM} V_{CC} < 3.0Vのとき、V_{IH} min = V_{CC} × 0.9、V_{CC}B × 0.9、V_{IL} max = 0.3Vとした場合の値です。

*4 P6₇ ~ P6₀には、それと兼用の周辺機能入力を含みます。

*5 $\overline{\text{IRQ}}_2$ には、それと兼用の $\overline{\text{ADTRG}}$ を含みます。

*6 IICS = IICE = 0の場合です。バス駆動機能を選択した場合の出力Lowレベルは別途定めます。

*7 PA₇ ~ PA₄、 $\overline{\text{KEYIN15}} \sim \overline{\text{KEYIN12}}$ 、P9₇/ $\overline{\text{WAIT}}$ 、SDA、P8₆/ $\overline{\text{IRQ5/SCK1}}$ 、SCLの特性はV_{CC}B依存、それ以外の端子の特性はV_{CC}依存です。

表 23.18 出力許容電流

条件 : $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、 $AV_{ref} = 3.0V \sim AV_{CC}$ 、

$V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$ (通常仕様)、

$T_a = -40 \sim +85$ (広温度範囲仕様)

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	SCL、SDA、PA ₄ ~ PA ₇ (バス駆動機能選択)	I_{OL}	-	-	10	mA
	ポート 1、2		-	-	2	
	$\overline{RES0}$		-	-	1	
	上記以外の出力端子		-	-	1	
出力 Low レベル許容電流 (総和)	ポート 1、2 端子の総和	I_{OL}	-	-	40	
	上記を含む全出力端子の 総和		-	-	60	
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$	-	-	2	
出力 High レベル許容電流 (総和)	全出力端子の総和	$-I_{OH}$	-	-	30	

【使用上の注意】

LSIの信頼性確保のため、出力電流値は表 23.18 の値を超えないようにしてください。
特に、ダーリントトランジスタまたは LED を直接駆動する場合は、出力に必ず電流制限抵抗を挿入してください（図 23.4、図 23.5 を参照）。

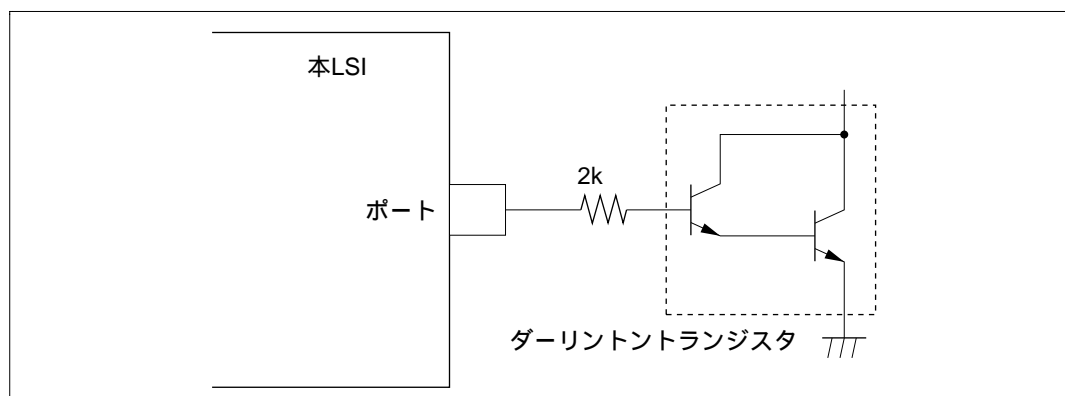


図 23.4 ダーリントトランジスタ駆動回路（5V 版の例）

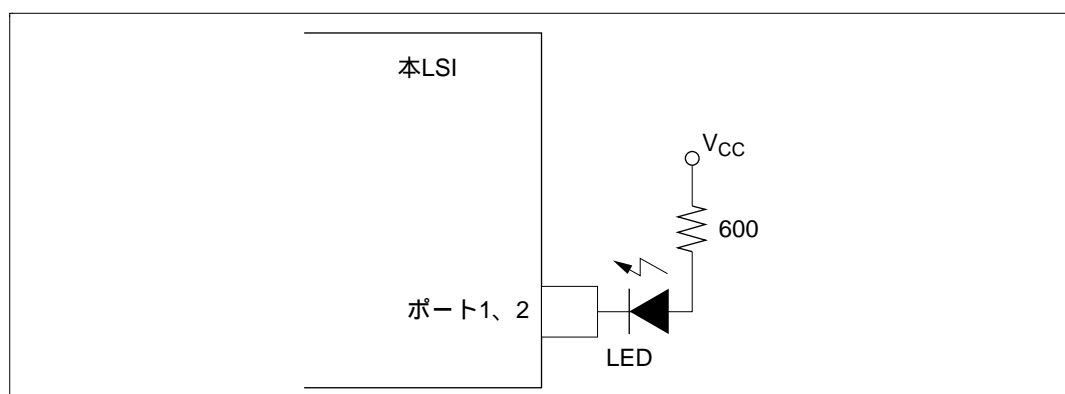


図 23.5 LED 駆動回路（5V 版の例）

表 23.19 バス駆動特性

条件： $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $T_a = -20 \sim +75$ （通常仕様）、
 $T_a = -40 \sim +85$ （広温度範囲仕様）

項目	記号	min	typ	max	単位	測定条件
出力 Low レベル電圧 SCL、SDA、PA ₄ ～PA ₇ (バス駆動機能選択)	V _{OL}	-	-	0.5	V	V _{CC} B = 5V ± 10% I _{OL} = 16mA
		-	-	0.5		V _{CC} B = 3.0V ~ 5.5V I _{OL} = 8mA
		-	-	0.4		V _{CC} B = 3.0V ~ 5.5V I _{OL} = 3mA

23.4.2 AC 特性

AC 特性として表 23.20 にバスタイミングを、表 23.21 に制御信号タイミングを、表 23.22 に内蔵周辺モジュールタイミングを、表 23.23 には、I²C バスタイミングを示します。

表 23.20 バスタイミング

条件： $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f = 2MHz \sim$ 最大動作周波数、
 $T_a = -20 \sim +75$ (通常仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

項目	記号	条件		単位	測定条件
		10MHz			
		min	max		
クロックサイクル時間	t_{cyc}	100	500	ns	図 23.7
クロックパルス幅 Low レベル	t_{CL}	30	-		
クロックパルス幅 High レベル	t_{CH}	30	-		
クロック立ち上がり時間	t_{cr}	-	20		
クロック立ち下がり時間	t_{cf}	-	20		
アドレス遅延時間	t_{AD}	-	50		
アドレスホールド時間	t_{AH}	20	-		
アドレスストロープ遅延時間	t_{ASD}	-	50		
ライトストロープ遅延時間	t_{WSD}	-	50		
ストロープ遅延時間	t_{SD}	-	50		
ライトストロープパルス幅*	t_{WSW}	110	-		
アドレスセットアップ時間 1*	t_{AS1}	15	-		
アドレスセットアップ時間 2*	t_{AS2}	65	-		
リードデータセットアップ時間	t_{RDS}	35	-		
リードデータホールド時間*	t_{RDH}	0	-		
リードデータアクセス時間*	t_{ACC}	-	170		
ライトデータ遅延時間	t_{WDD}	-	75		
ライトデータセットアップ時間	t_{WDS}	5	-		
ライトデータホールド時間	t_{WDH}	20	-		
ウェイトセットアップ時間	t_{WTS}	40	-		
ウェイトホールド時間	t_{WTH}	10	-		

【注】 * 最大動作周波数時の値

表 23.21 制御信号タイミング

条件： $V_{CC} = 3.0V \sim 5.5V^*$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、
 $T_a = -20 \sim +75$ (通常仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

項目	記号	条件		単位	測定条件
		10MHz			
		min	max		
RES セットアップ時間	t_{RESS}	300	-	ns	図 23.9
RES パルス幅	t_{RESW}	10	-	t_{cyc}	
RES 出力遅延時間	t_{RESL}	-	200	ns	図 23.22
RES 出力パルス幅	t_{RESOW}	132	-	t_{cyc}	
NMI セットアップ時間 (NMI、 $IRQ_0 \sim IRQ_7$)	t_{NMIS}	300	-	ns	図 23.10
NMI ホールド時間 (NMI、 $IRQ_0 \sim IRQ_7$)	t_{NMIH}	10	-		
割り込みパルス幅 (NMI、 $IRQ_0 \sim IRQ_2$ 、 IRQ_6) (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	300	-		
リセット発振安定時間 (水晶)	t_{OSC1}	20	-	ms	図 23.11
ソフトウェアスタンバイ 発振安定時間 (水晶)	t_{OSC2}	8	-		図 23.12

AC 特性測定条件

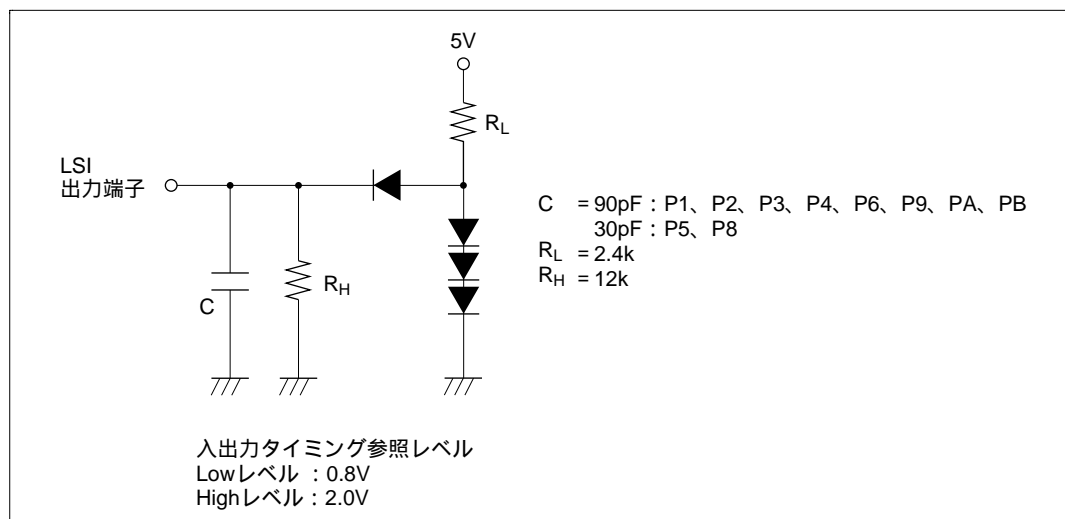


図 23.6 AC 特性測定条件

表 23.22 内蔵周辺モジュールタイミング

条件： $V_{CC} = 3.0V \sim 5.5V^*$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、
 $T_a = -20 \sim +75$ (通常仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

項目	記号	条件		単位	測定条件		
		10MHz					
		min	max				
FRT	タイマ出力遅延時間	t_{FTOD}	-	150	ns	図 23.13	
	タイマ入力セットアップ時間	t_{FTIS}	80	-			
	タイマクロック入力セットアップ時間	t_{FTCS}	80	-	t_{cyc}	図 23.14	
	タイマクロックパルス幅	t_{FTCWH} t_{FTCWL}	1.5	-			
TMR	タイマ出力遅延時間	t_{TMOD}	-	150	ns	図 23.15	
	タイマリセット入力セットアップ時間	t_{TMRS}	80	-			
	タイマクロック入力セットアップ時間	t_{TMCS}	80	-	t_{cyc}	図 23.16	
	タイマクロックパルス幅	単エッジ指定 t_{TMCWH} 両エッジ指定 t_{TMCWL}	1.5 2.5	- -			
PWM	タイマ出力遅延時間	t_{PWOD}	-	150	ns	図 23.18	
SCI	入力クロックサ イクル	調歩同期	t_{Scyc}	4	-	t_{cyc}	図 23.19
		クロック同期		6	-		
	送信データ遅延時間 (クロック同期)	t_{TXD}	-	200	ns		
	受信データセットアップ時間 (クロック同期)	t_{RXS}	150	-			
	受信データホールド時間 (クロック同期)	t_{RXH}	150	-			
入力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{Scyc}	図 23.20		
PORT	出力データ遅延時間	t_{PWD}	-	150	ns	図 23.21	
	入力データセットアップ時間	t_{PRS}	80	-			
	入力データホールド時間	t_{PRH}	80	-			
HIF リード サイクル	CS/HA ₀ セットアップ時間	t_{HAR}	10	-	ns	図 23.22	
	CS/HA ₀ ホールド時間	t_{HRA}	10	-			
	IORパルス幅	t_{HRPW}	220	-			
	HDB 遅延時間	t_{HRD}	-	200			
	HDB ホールド時間	t_{HRF}	0	40			
	HIRQ 遅延時間	t_{HIRQ}	-	200			
HIF ライト サイクル	CS/HA ₀ セットアップ時間	t_{HAW}	10	-	ns	図 23.23	
	CS/HA ₀ ホールド時間	t_{HWA}	10	-			
	IOWパルス幅	t_{HWPW}	100	-			
	HDB セットアップ 時間	高速 GATE A ₂₀ 使用しない	t_{HDW}	50			-
		高速 GATE A ₂₀ 使用する		85			-
	HDB ホールド時間	t_{HWD}	25	-			
GA ₂₀ 遅延時間	t_{HGA}	-	180				

表 23.23 I²C バスタイミング

条件： $V_{CC} = 3.0V \sim 5.5V^*$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $V_{SS} = 0V$ 、 $f_{clk} = 5MHz \sim$ 最大動作周波数、
 $T_a = -20 \sim +75$ (通常仕様)、 $T_a = -40 \sim +85$ (広温度範囲仕様)

項目	記号	規格値			単位	測定条件	備考
		min	typ	max			
SCL クロックサイクル時間	t_{SCL}	$12t_{cyc}$	-	-	ns		図 23.24
SCL クロック High パルス幅	t_{SCLH}	$3t_{cyc}$	-	-	ns		
SCL クロック Low パルス幅	t_{SCLL}	$5t_{cyc}$	-	-	ns		
SCL、SDA 立ち上がり時間	t_{sr}	-	-	1000	ns	標準モード 100kbit/s (max)	
		$20 + 0.1C_b$	-	300		高速モード 400kbit/s (max)	
SCL、SDA 立ち下がり時間	t_{sf}	-	-	300	ns	標準モード 100kbit/s (max)	
		$20 + 0.1C_b$	-	300		高速モード 400kbit/s (max)	
SDA バスフリー時間	t_{BUF}	$5t_{cyc}$	-	-	ns		
SCL 開始条件ホールド時間	t_{STAH}	$3t_{cyc}$	-	-	ns		
SCL 再送開始条件セットアップ時間	t_{STAS}	$3t_{cyc}$	-	-	ns		
SDA 停止条件セットアップ時間	t_{STOS}	$3t_{cyc}$	-	-	ns		
SDA データセットアップ時間	t_{SDAS}	$0.5t_{cyc}$	-	-	ns		
SDA データホールド時間	t_{SDAH}	0	-	-	ns		
SDA の容量性負荷	C_b	-	-	400	pF		

表 23.24 外部クロック出力遅延タイミング

条件： $V_{CC} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -40 \sim +85$

項目	記号	規格値		単位	備考
		min	max		
外部クロック出力遅延時間	t_{DEXT}^{*1}	500	-	μs	図 23.26

【注】 *1 t_{DEXT} は、 \overline{RES} パルス幅 (t_{RESW}) を $10t_{cyc}$ 含みます。

23.4.3 A/D 変換器特性

A/D 変換器特性を表 23.25 に示します。

表 23.25 A/D 変換器特性

条件： $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、 $AV_{ref} = 3.0V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$ (通常仕様)、
 $T_a = -40 \sim +85$ (広温度範囲仕様)

項目	条件			単位
	10MHz			
	min	typ	max	
分解能	10	10	10	ビット
変換時間 (単一モード) *1	-	-	13.4	μs
アナログ入力容量	-	-	20	pF
許容信号源インピーダンス	-	-	5	k
非直線性誤差	-	-	± 6.0	LSB
オフセット誤差	-	-	± 4.0	LSB
フルスケール誤差	-	-	± 4.0	LSB
量子化誤差	-	-	± 0.5	LSB
絶対精度	-	-	± 8.0	LSB

【注】 *1 最大動作周波数時の値

23.4.4 D/A 変換器特性

D/A 変換器特性を表 23.26 に示します。

表 23.26 D/A 変換器特性

条件： $V_{CC} = 3.0V \sim 5.5V$ 、 $V_{CCB} = 3.0V \sim 5.5V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、 $AV_{ref} = 3.0V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = 0V$ 、 $f_{clk} = 2MHz \sim$ 最大動作周波数、 $T_a = -20 \sim +75$ (通常仕様)、
 $T_a = -40 \sim +85$ (広温度範囲仕様)

項目	条件			単位	測定条件
	10MHz				
	min	typ	max		
分解能	8	8	8	ビット	
変換時間 (セトリング時間)	-	-	10	μs	負荷容量 30pF
絶対精度	-	± 2.0	± 3.0	LSB	負荷抵抗 2M
	-	-	± 2.0	LSB	負荷抵抗 4M

23.4.5 フラッシュメモリ特性

表 23.27 フラッシュメモリ特性

条件： $V_{CC} = 3.0V \sim 3.6V$ 、 $V_{CCB} = 3.0V \sim 3.6V$ 、 $AV_{CC} = 3.0V \sim 5.5V$ 、 $AV_{ref} = 3.0V \sim AV_{CC}$ 、
 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = 0 \sim +75$ （通常仕様）、
 $T_a = 0 \sim +85$ （広温度範囲仕様）

項目	記号	min.	typ.	max.	単位	測定条件
書き込み時間 ^{*1*2*4}	t_p		10	200	ms/32 バイト	
消去時間 ^{*1*3*6}	t_e		100	1200	ms/ブロック	
書き替え回数	N_{WEC}			100	回	
書き込み時	SWE-bit セット後の Wait 時間 ^{*1}	x	10		μs	
	PSU-bit セット後の Wait 時間 ^{*1}	y	50		μs	
	P-bit セット後の Wait 時間 ^{*1*4}	z	150	500	μs	
	P-bit クリア後の Wait 時間 ^{*1}		10		μs	
	PSU-bit クリア後の Wait 時間 ^{*1}		10		μs	
	PV-bit セット後の Wait 時間 ^{*1}		4		μs	
	ダミーライト後の Wait 時間 ^{*1}		2		μs	
	PV-bit クリア後の Wait 時間 ^{*1}		4		μs	
	最大書き込み回数 ^{*1*4*5}	N			403	回
消去時	SWE-bit セット後の Wait 時間 ^{*1}	x	10		μs	
	ESU-bit セット後の Wait 時間 ^{*1}	y	200		μs	
	E-bit セット後の Wait 時間 ^{*1*6}	z	5	10	ms	
	E-bit クリア後の Wait 時間 ^{*1}		10		μs	
	ESU-bit クリア後の Wait 時間 ^{*1}		10		μs	
	EV-bit セット後の Wait 時間 ^{*1}		20		μs	
	ダミーライト後の Wait 時間 ^{*1}		2		μs	
	EV-bit クリア後の Wait 時間 ^{*1}		5		μs	
	最大消去回数 ^{*1*6*7}	N			120	回

- 【注】
- *1 各時間の設定は、書き込み / 消去のアルゴリズムに従い行ってください。
 - *2 32 バイト当たりの書き込み時間（フラッシュメモリコントロールレジスタ（FLMCR1）の P-bit をセットしているトータル期間を示します。書き込みベリファイ時間は含まれません。）
 - *3 1 ブロックを消去する時間（フラッシュメモリコントロールレジスタ（FLMCR1）の E-bit をセットしているトータル期間を示します。消去ベリファイ時間は含まれません。）
 - *4 書き込み時間の最大値（ t_p (max)）= P-bit セット後の Wait 時間（z）× 最大書き込み回数（N）
32 バイト書き込みアルゴリズムにおける、書き込み回数カウンタ 1~4 回までは、P-bit セット後の Wait 時間（z）を、min 値である 150 μs に設定してください。
 - *5 P-bit セット後の Wait 時間（z）=（150 μs または 500 μs ）時の回数です。書き込み回数は、実際の（z）の設定値に合わせ、書き込み時間の最大値（ t_p ）でも書き込みできるよう設定してください。
 - *6 消去時間の最大値（ t_e (max)）= E-bit セット後の Wait 時間（z）× 最大消去回数（N）
 - *7 E-bit セット後の Wait 時間（z）= 10ms 時の回数です。消去回数は、実際の（z）の設定値に合わせ、消去時間の最大値（ t_e ）でも消去できるよう設定してください。

23.5 MCU 動作タイミング

動作タイミングを以下に示します。

23.3.1	バスタイミング	図 23.7 ~ 23.8
23.3.2	制御信号タイミング	図 23.9 ~ 23.12
23.3.3	16ビットフリーランニングタイマタイミング	図 23.13、23.14
23.3.4	8ビットタイマタイミング	図 23.15 ~ 23.17
23.3.5	PWM タイマタイミング	図 23.18
23.3.6	SCI タイミング	図 23.19、23.20
23.3.7	I/O ポートタイミング	図 23.21
23.3.8	ホストインタフェースタイミング	図 23.22、23.23
23.3.9	I ² C バスタイミング [オプション]	図 23.24
23.3.10	リセット出力タイミング	図 23.25
23.3.11	外部クロック出力タイミング	図 23.26

23.5.1 バスタイミング

(1) 拡張モード時基本バスサイクル (ウェイトステートなし)

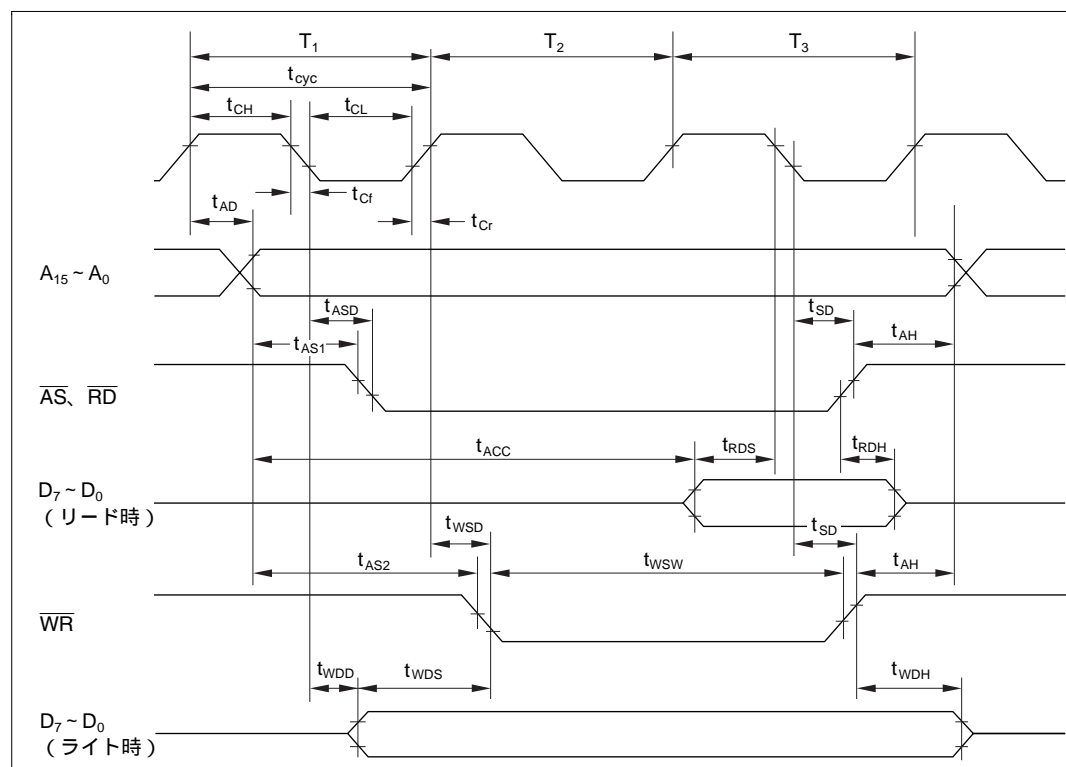


図 23.7 拡張モード時基本バスサイクル (ウェイトステートなし)

(2) 拡張モード時基本バスサイクル (1 ウェイトステート)

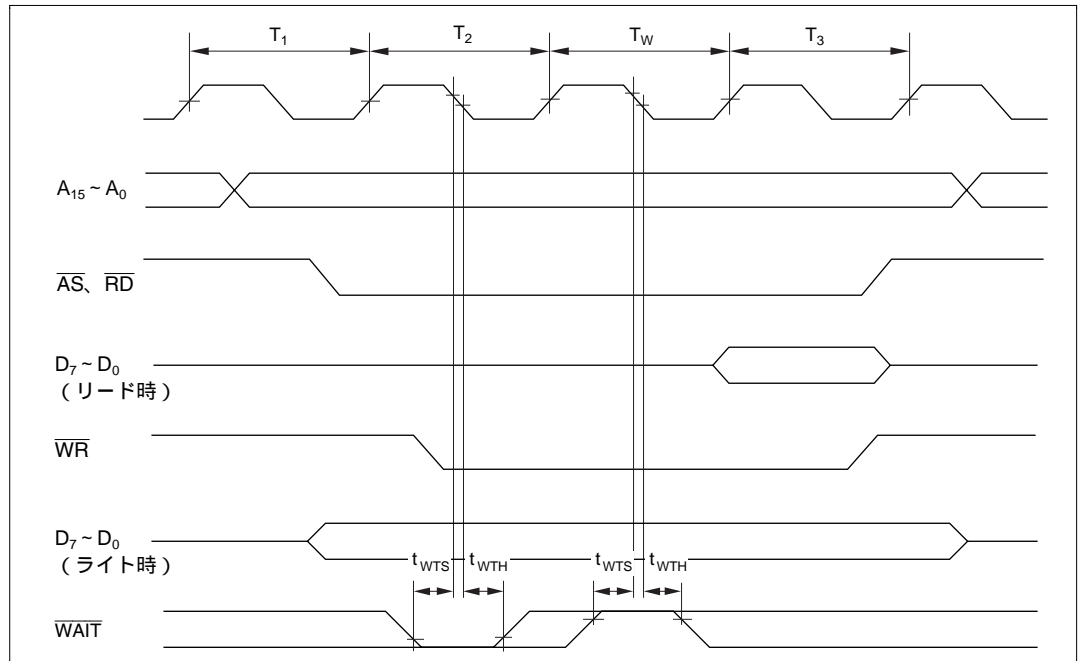


図 23.8 拡張モード (モード 1、2) 時基本バスサイクル (1 ウェイトステート)

23.5.2 制御信号タイミング

(1) リセット入力タイミング

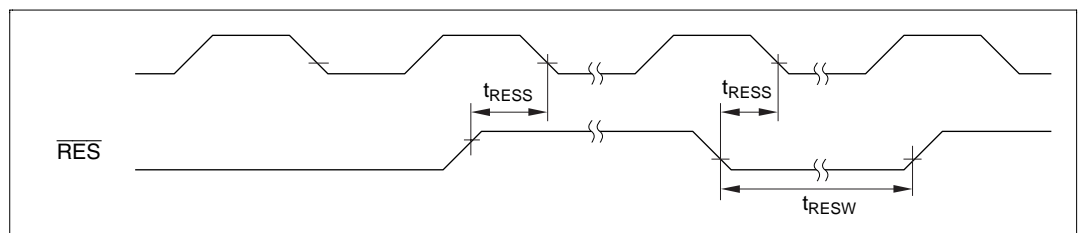


図 23.9 リセット入力タイミング

(2) 割り込み入力タイミング

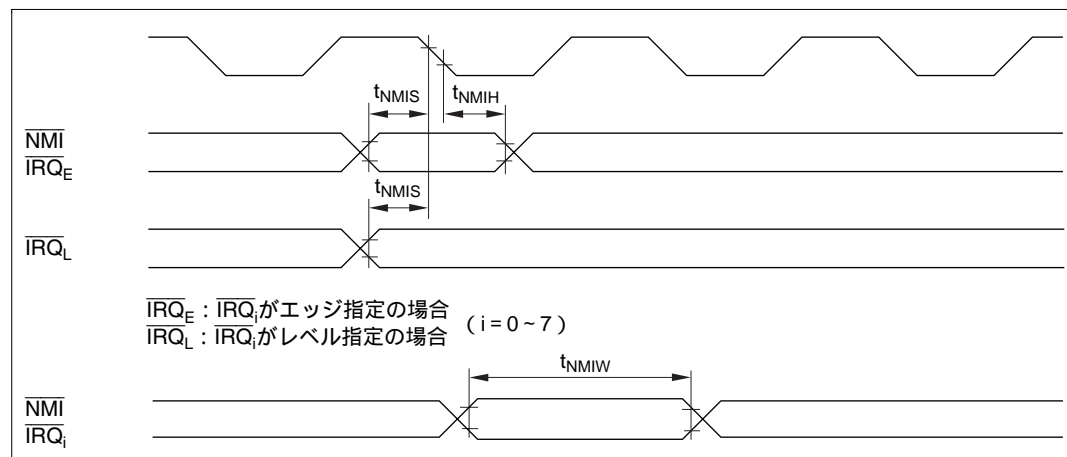


図 23.10 割り込み入力タイミング

(3) 発振安定時間タイミング

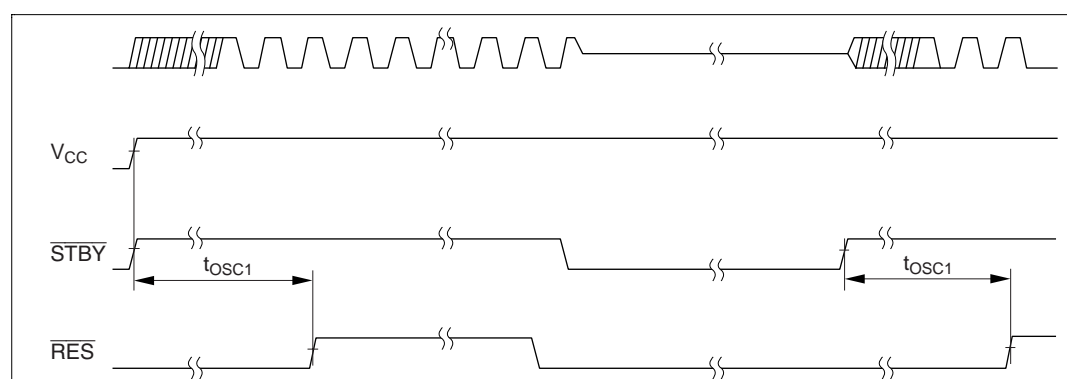


図 23.11 発振安定時間タイミング

(4) 発振安定時間タイミング (ソフトウェアスタンバイからの復帰)

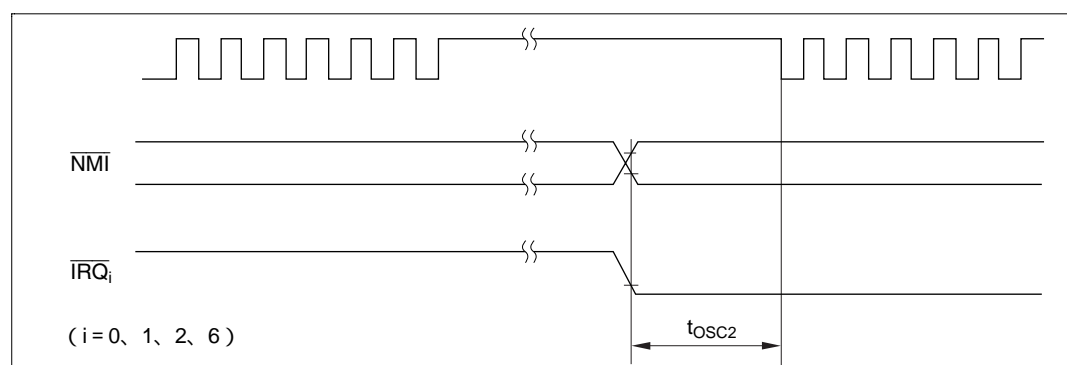


図 23.12 発振安定時間タイミング (ソフトウェアスタンバイからの復帰)

23.5.3 16ビットフリーランニングタイマタイミング

(1) フリーランニングタイマ入出力タイミング

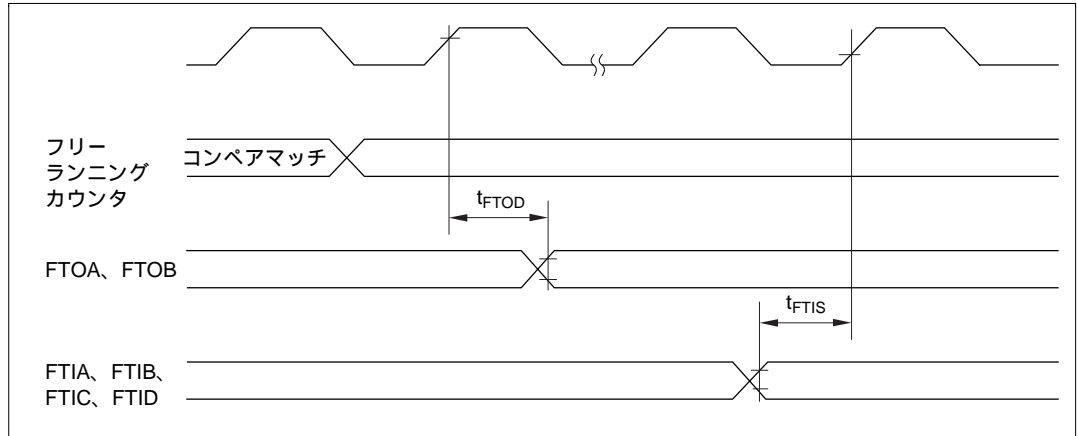


図 23.13 フリーランニングタイマ入出力タイミング

(2) フリーランニングタイマ外部クロック入力タイミング

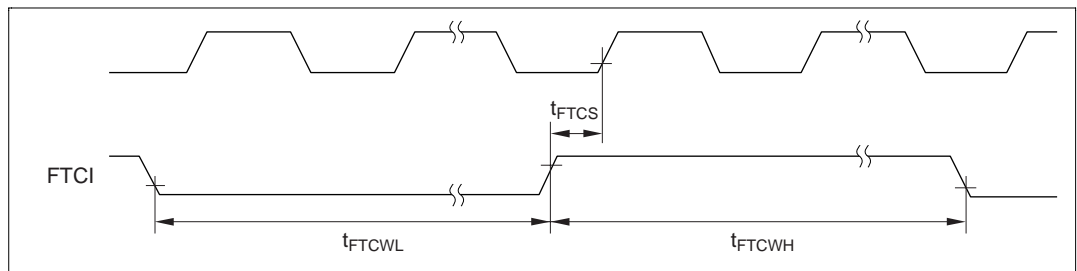


図 23.14 フリーランニングタイマ外部クロック入力タイミング

23.5.4 8ビットタイマタイミング

(1) 8ビットタイマ出力タイミング

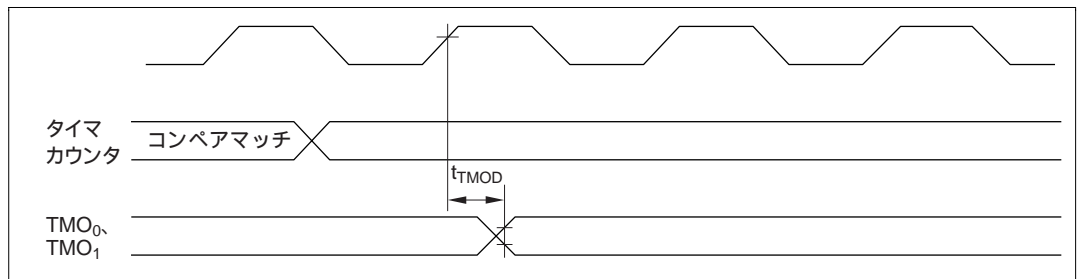


図 23.15 8ビットタイマ出力タイミング

(2) 8ビットタイマクロック入力タイミング

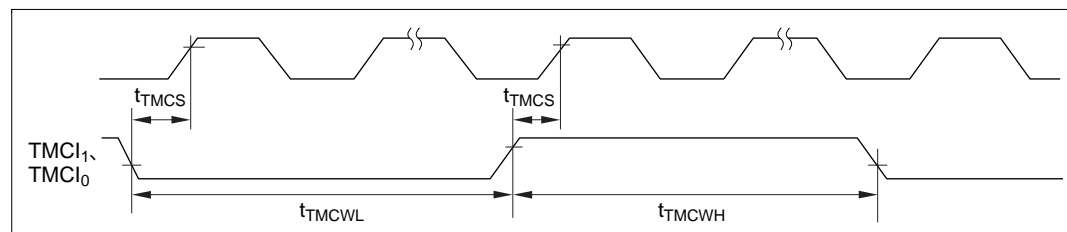


図 23.16 8ビットタイマクロック入力タイミング

(3) 8ビットタイマリセット入力タイミング

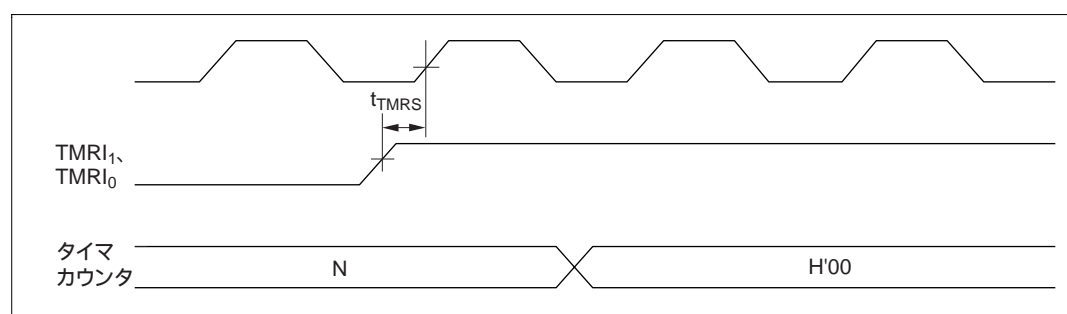


図 23.17 8ビットタイマリセット入力タイミング

23.5.5 PWM タイマ タイミング

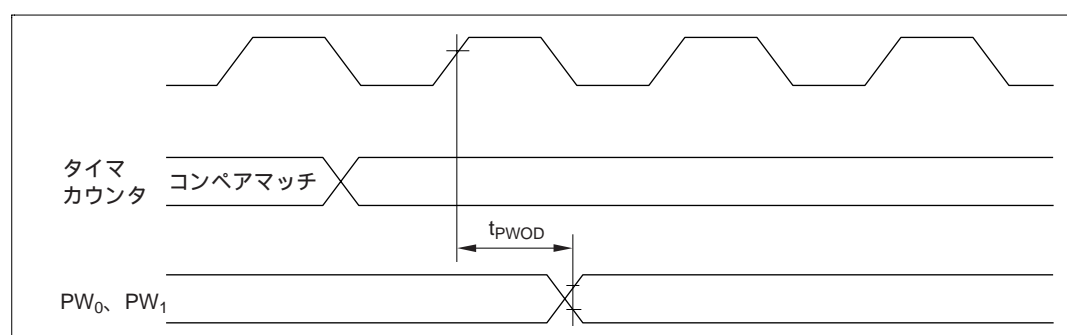


図 23.18 PWM タイマ出力タイミング

23.5.6 SCI タイミング

(1) SCI 入出力タイミング

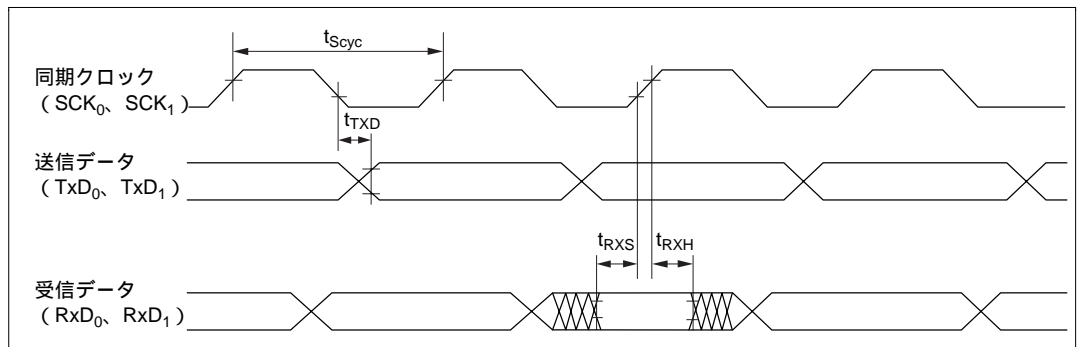


図 23.19 SCI 入出力タイミング (クロック同期モード)

(2) SCI 入力クロックタイミング

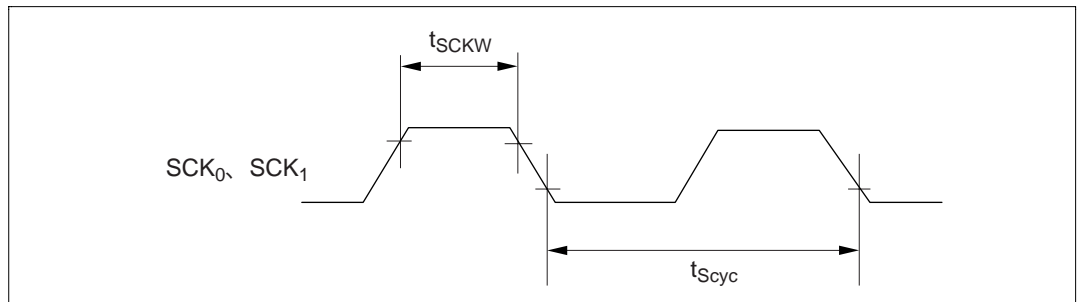


図 23.20 SCI 入力クロックタイミング

23.5.7 I/O ポートタイミング

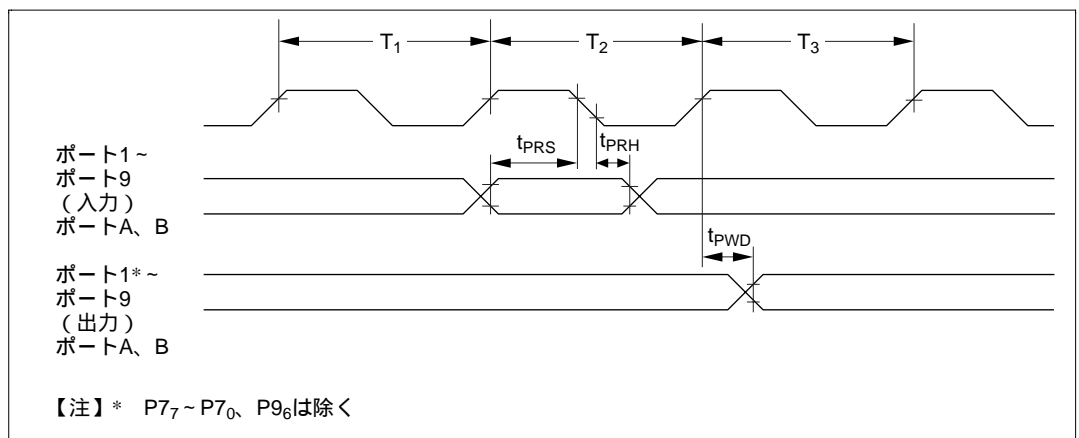


図 23.21 I/O ポート入出力タイミング

23.5.8 ホストインタフェースタイミング

(1) ホストインタフェースリードタイミング

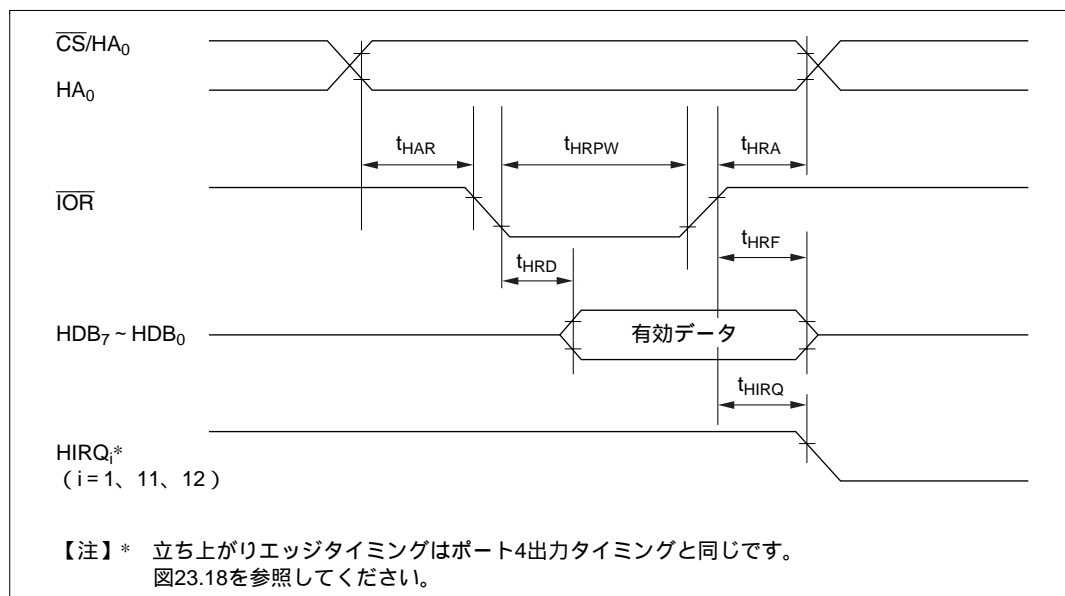


図 23.22 ホストインタフェースリードタイミング

(2) ホストインタフェースライトタイミング

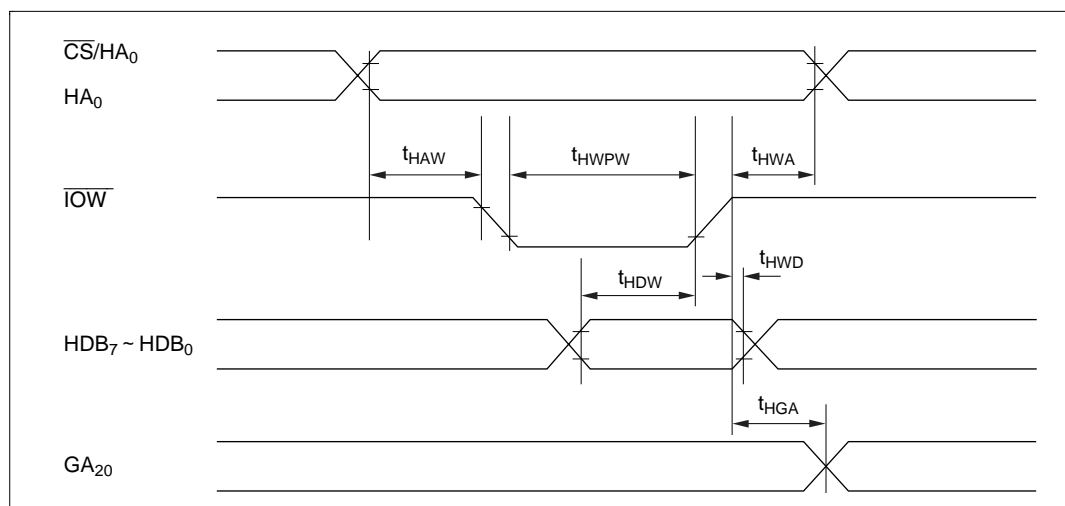


図 23.23 ホストインタフェースライトタイミング

23.5.9 I²C バスタイミング

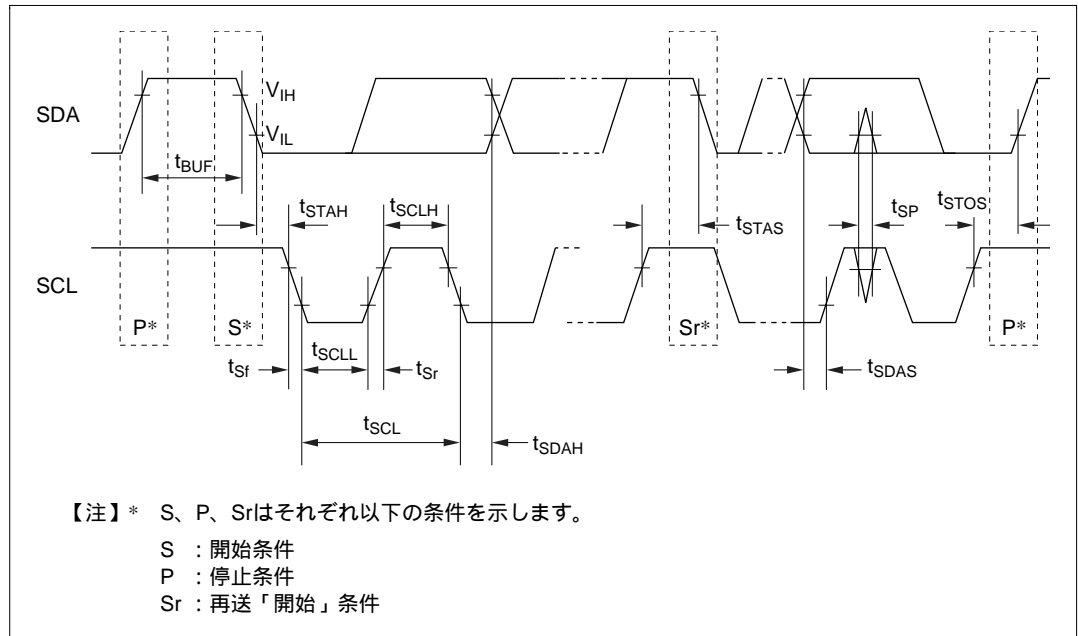


図 23.24 I²C バスインタフェース入出力タイミング

23.5.10 リセット出力タイミング

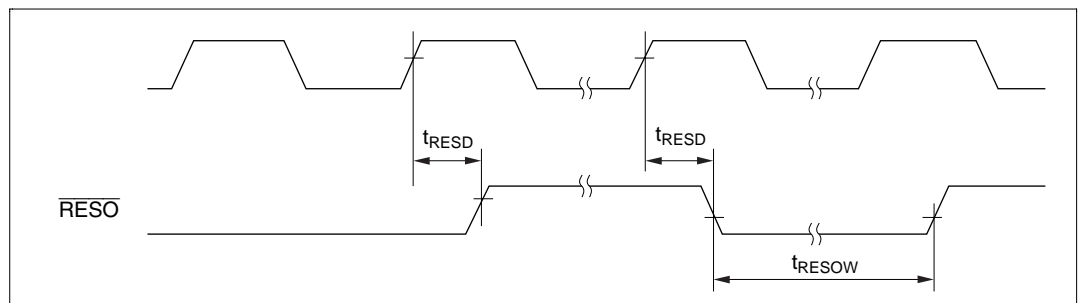


図 23.25 リセット出力タイミング

23.5.11 外部クロック出力タイミング

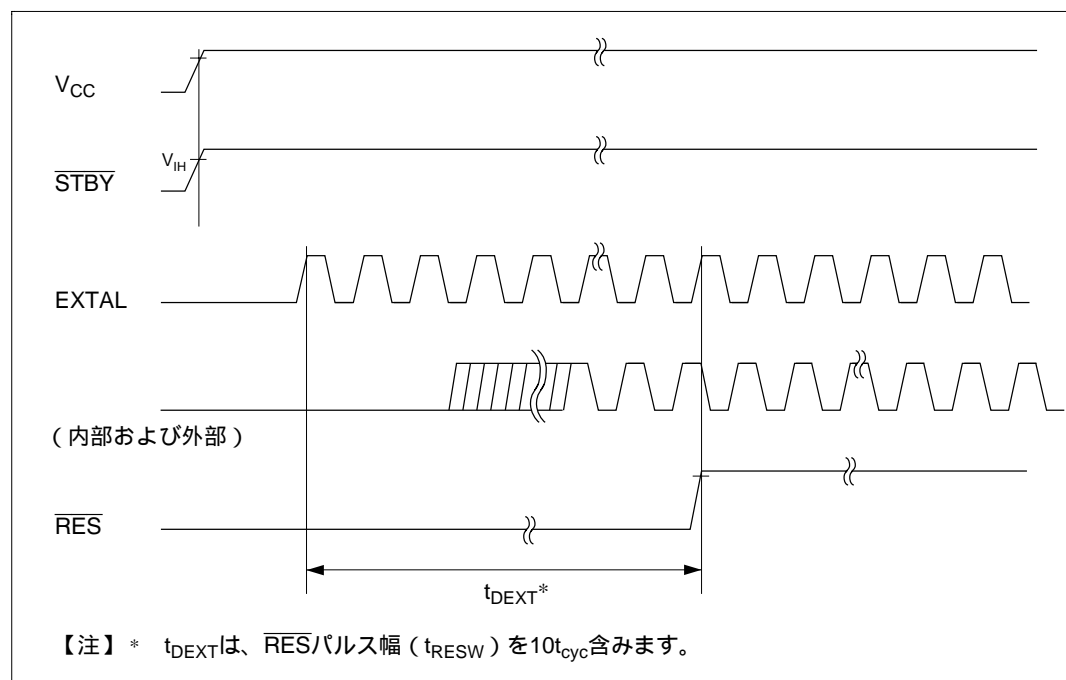


図 23.26 外部クロック出力遅延タイミング

付録

付録 目次

A.	命令	641
	A.1 命令一覧.....	641
	A.2 オペレーションコードマップ.....	651
	A.3 行ステート数.....	652
B.	内部 I/O レジスタ一覧.....	658
	B.1 アドレス一覧.....	658
	B.2 機能一覧.....	662
C.	I/O ポートブロック図.....	719
	C.1 ポート 1 ブロック図.....	719
	C.2 ポート 2 ブロック図.....	720
	C.3 ポート 3 ブロック図.....	721
	C.4 ポート 4 ブロック図.....	722
	C.5 ポート 5 ブロック図.....	726
	C.6 ポート 6 ブロック図.....	729
	C.7 ポート 7 ブロック図.....	733
	C.8 ポート 8 ブロック図.....	734
	C.9 ポート 9 ブロック図.....	740
	C.10 ポート A ブロック図.....	746
	C.11 ポート B ブロック図.....	747
D.	各処理状態におけるポートの状態.....	748
E.	ハードウェアスタンバイモード遷移 / 復帰時の タイミングについて	750
	E.1 ハードウェアスタンバイモードの遷移タイミング.....	750
	E.2 ハードウェアスタンバイモードからの復帰タイミング.....	750
F.	ROM 発注手順	751
	F.1 ROM 書き換え品開発の流れ (発注手順)	751
	F.2 ROM 発注時の注意事項.....	752
G.	オプションリスト	753

H.	型名一覧.....	755
I.	外形寸法図	757

A. 命令

A.1 命令一覧

《オペレーションの記号》

Rd8/16	汎用レジスタ (デスティネーション側) 8 ビット / 16 ビット
Rs8/16	汎用レジスタ (ソース側) 8 ビット / 16 ビット
Rn8/16	汎用レジスタ 8 ビット / 16 ビット
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#xx:3/8/16	イミディエイトデータ 3 ビット / 8 ビット / 16 ビット
d:8/16	ディスプレイメント 8 ビット / 16 ビット
@aa:8/16	絶対アドレス 8 ビット / 16 ビット
+	加算
<	減算
×	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
	転送
	論理的補数

《コンディションコードの記号》

記号	
↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します (値を保証しません)。
0	常に 0 にクリアされることを表します。
	実行結果に影響を受けないことを表します。

表 A.1 命令セット一覧 (1)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)							オペレーション	コンディションコード							実行 ステート 数*
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)		@aa	I	H	N	Z	V	C	
MOV	B	2							#xx:8 Rd8	-	-	↑↑	↑↑	0	-	2	
	B		2						Rs8 Rd8	-	-	↑↑	↑↑	0	-	2	
	B			2					@Rs16 Rd8	-	-	↑↑	↑↑	0	-	4	
	B				4				@(d:16, Rs16) Rd8	-	-	↑↑	↑↑	0	-	6	
	B					2			@Rs16 Rd8 Rs16+1 Rs16	-	-	↑↑	↑↑	0	-	6	
	B						2		@aa:8 Rd8	-	-	↑↑	↑↑	0	-	4	
	B						4		@aa:16 Rd8	-	-	↑↑	↑↑	0	-	6	
	B			2					Rs8 @Rd16	-	-	↑↑	↑↑	0	-	4	
	B				4				Rs8 @(d:16, Rd16)	-	-	↑↑	↑↑	0	-	6	
	B						2		Rd16-1 Rd16 Rs8 @Rd16	-	-	↑↑	↑↑	0	-	6	
	B							2	Rs8 @aa:8	-	-	↑↑	↑↑	0	-	4	
	B						4		Rs8 @aa:16	-	-	↑↑	↑↑	0	-	6	
	W	4							#xx:16 Rd16	-	-	↑↑	↑↑	0	-	4	
	W		2						Rs16 Rd16	-	-	↑↑	↑↑	0	-	2	
	W			2					@Rs16 Rd16	-	-	↑↑	↑↑	0	-	4	
	W				4				@(d:16, Rs16) Rd16	-	-	↑↑	↑↑	0	-	6	
	W					2			@Rs16 Rd16 Rs16+2 Rs16	-	-	↑↑	↑↑	0	-	6	
	W						4		@aa:16 Rd16	-	-	↑↑	↑↑	0	-	6	
	W			2					Rs16 @Rd16	-	-	↑↑	↑↑	0	-	4	
	W				4				Rs16 @(d:16, Rd16)	-	-	↑↑	↑↑	0	-	6	

表 A.1 命令セット一覧 (2)

二モニック	サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション	コンディションコード					実行 ステップ 数*	
		#xx:8/16	Rn @Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)	@@aa		I	H	N	Z	V		C
MOV	MOV.W Rs, @-Rd	W				2						↑	↑	0	—	6
	MOV.W Rs, @aa:16	W				4						↑	↑	0	—	6
POP	POP Rd	W				2						↑	↑	0	—	6
PUSH	PUSH Rs	W				2						↑	↑	0	—	6
	MOVPE @aa:16, Rd	B														[5]
MOVPE	MOVPE Rs, @aa:16	B														[5]
ADD	ADD.B #xx:8, Rd	B	2									↑	↑	↑	↑	2
	ADD.B Rs, Rd	B	2									↑	↑	↑	↑	2
ADDX	ADDX.W Rs, Rd	W	2									[1]	↑	↑	↑	2
	ADDX.B #xx:8, Rd	B	2									↑	↑	[2]	↑	2
ADDS	ADDS.W #1, Rd	W	2									↑	↑	↑	↑	2
	ADDS.W #2, Rd	W	2									↑	↑	↑	↑	2
INC	INC.B Rd	B	2									↑	↑	↑	↑	2
DAA	DAA.B Rd	B	2									*	↑	↑	*	[3] 2
SUB	SUB.B Rs, Rd	B	2									↑	↑	↑	↑	2
	SUB.W Rs, Rd	W	2									[1]	↑	↑	↑	2
SUBX	SUBX.B #xx:8, Rd	B	2									↑	↑	[2]	↑	2
	SUBX.B Rs, Rd	B	2									↑	↑	[2]	↑	2

本LSIでは使用できません。

表 A.1 命令セット一覧 (4)

アーキテクチャ	オペレーション	アドレッシングモード / 命令長 (バイト)							コンディションコード					実行 ステート 数*			
		#xx:8/16	Rn @Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)	@@aa	I	H	N	Z	V		C		
SHAR	SHAR.B Rd	B	2											↑	0	↑	2
SHLL	SHLL.B Rd	B	2											↑	0	↑	2
SHLR	SHLR.B Rd	B	2											↑	0	↑	2
ROTXL	ROTXL.B Rd	B	2											↑	0	↑	2
ROTXR	ROTXR.B Rd	B	2											↑	0	↑	2
ROTL	ROTL.B Rd	B	2											↑	0	↑	2
ROTR	ROTR.B Rd	B	2											↑	0	↑	2
BSET	BSET #xx:3, Rd	B	2											—	—	—	2
	BSET #xx:3, @Rd	B	4											—	—	—	8

表 A.1 命令セット一覧 (5)

二モニック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディションコード							実行 回数*	
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16		@(d:8, PC)	@@aa	I	H	N	Z	V		C
BSET	BSET #xx:3, @aa:8						4										8
	BSET Rn, Rd		2														2
	BSET Rn, @Rd			4													8
	BSET Rn, @aa:8						4										8
BCLR	BCLR #xx:3, Rd		2														2
	BCLR #xx:3, @Rd			4													8
	BCLR #xx:3, @aa:8						4										8
	BCLR Rn, Rd		2														2
	BCLR Rn, @Rd			4													8
	BCLR Rn, @aa:8						4										8
BNOT	BNOT #xx:3, Rd		2														2
	BNOT #xx:3, @Rd			4													8
	BNOT #xx:3, @aa:8						4										8
	BNOT Rn, Rd		2														2
BTST	BTST #xx:3, Rd		2														2
	BTST #xx:3, @Rd			4													6
	BTST #xx:3, @aa:8						4										6
	BTST Rn, Rd		2														2

表 A.1 命令セット一覧 (6)

二モニック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション	コンディションコード							実行 ステート 数*
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16		@(d:8, PC)	@aa	I	H	N	Z	V	
BTST	BTST Rn, @Rd	B		4									↑	—	—	6
	BTST Rn, @aa:8	B					4					↑	—	—	6	
BLD	BLD #xx:3, Rd	B	2										—	—	↑	2
	BLD #xx:3, @Rd	B		4									—	—	↑	6
	BLD #xx:3, @aa:8	B					4						—	—	↑	6
	BLD #xx:3, Rd	B	2										—	—	↑	2
BILD	BILD #xx:3, @Rd	B		4									—	—	↑	6
	BILD #xx:3, @aa:8	B					4						—	—	↑	6
	BILD #xx:3, Rd	B	2										—	—	↑	6
BST	BST #xx:3, Rd	B	2										—	—	—	2
	BST #xx:3, @Rd	B		4									—	—	—	8
	BST #xx:3, @aa:8	B					4						—	—	—	8
BIST	BIST #xx:3, Rd	B	2										—	—	—	2
	BIST #xx:3, @Rd	B		4									—	—	—	8
	BIST #xx:3, @aa:8	B					4						—	—	—	8
BAND	BAND #xx:3, Rd	B	2										—	—	↑	2
	BAND #xx:3, @Rd	B		4									—	—	↑	6
	BAND #xx:3, @aa:8	B					4						—	—	↑	6
BIAND	BIAND #xx:3, Rd	B	2										—	—	↑	2
	BIAND #xx:3, @Rd	B		4									—	—	↑	6
	BIAND #xx:3, @aa:8	B					4						—	—	↑	6
BOR	BOR #xx:3, Rd	B	2										—	—	↑	2
	BOR #xx:3, @Rd	B		4									—	—	↑	6
	BOR #xx:3, @aa:8	B					4						—	—	↑	6

表 A.1 命令セット一覧 (7)

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)						オペレーション		コンディションコード							実行 ステップ 数*
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)	@aa	—	I	H	N	Z	V	C	
BIOR	B		2							C (#xx:3 of Rd8)	C					↑	2
	B			4						C (#xx:3 of @Rd16)	C					↑	6
	B					4				C (#xx:3 of @aa:8)	C					↑	6
BXOR	B		2							C⊕ (#xx:3 of Rd8)	C					↑	2
	B			4						C⊕ (#xx:3 of @Rd16)	C					↑	6
	B					4				C⊕ (#xx:3 of @aa:8)	C					↑	6
BIXOR	B		2							C⊕ (#xx:3 of Rd8)	C					↑	2
	B			4						C⊕ (#xx:3 of @Rd16)	C					↑	6
	B					4				C⊕ (#xx:3 of @aa:8)	C					↑	6
Bcc	—								2								4
	—								2								4
	—								2								4
	—								2								4
	—								2								4
	—								2								4
	—								2								4
	—								2								4
	—								2								4
	—								2								4
	—								2								4
	—								2								4

表 A.1 命令セット一覧 (8)

二一モニック	サイズ	アドレッシングモード / 命令長 (バイト)							オペレーション	コンディションコード							実行 ステート 数*	
		#xx:8/16	Rn	@Rn	@(d:16, Rn)	@-Rn/@Rn+	@aa:8/16	@(d:8, PC)		@@aa	I	H	N	Z	V	C		
JMP	JMP @Rn	—		2														4
	JMP @aa:16	—					4											6
	JMP @@aa:8	—							2									8
BSR	BSR d:8	—							2									6
	JSR @Rn	—		2														6
	JSR @aa:16	—					4											8
RTS	JSR @@aa:8	—									2							8
	RTS	—																8
	RTE	—																10

表 A.1 命令セット一覧 (9)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディションコード						実行ステート数*	
		#xx:8/16	Rn	@Rn	@(di:16, Rn)	@-Rn/@Rn+	@aa:8/16		@(d:8, PC)	@aa	I	H	N	Z		V
SLEEP	—							2	低消費電力状態に遷移	—	—	—	—	—	—	2
LDC	B	2							#xx:8 CCR	↑	↑	↑	↑	↑	↑	2
	B		2						Rs8 CCR	↑	↑	↑	↑	↑	↑	2
STC	B		2						CCR Rd8	—	—	—	—	—	—	2
ANDC	B	2							CCR #xx:8 CCR	↑	↑	↑	↑	↑	↑	2
ORC	B	2							CCR #xx:8 CCR	↑	↑	↑	↑	↑	↑	2
XORC	B	2							CCR@#xx:8 CCR	↑	↑	↑	↑	↑	↑	2
NOP	—							2	PC PC+2	—	—	—	—	—	—	2
EEPMOV	—							4	if R4L 0 Repeat @R5 @R6 R5+1 R5 R6+1 R6 R4L-1 R4L Until R4L=0 else next;	—	—	—	—	—	—	[4]

【注】 * 実行ステート数は、オペコードおよびオペランドデータが内蔵メモリに存在する場合の値です。それ以外の場合は、「A.3 命令実行ステート数」を参照してください。

[1] ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。

[2] 演算結果がゼロのとき、演算前の値を保持し、それ以外のとき0にクリアされます。

[3] 補正結果に桁上がりが発生したとき1にセットされ、それ以外のとき演算前の値を保持します。

[4] 実行ステート数は、R4Lの設定値がnのとき4n+8となります。

[5] 本LSIでは使用できません。

[6] 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。

[7] 除数がゼロのとき1にセットされ、それ以外のとき0にクリアされます。

A.2 オペレーションコードマップ

表A.2にオペレーションコードマップを示します。表A.2では、命令コードの第1バイト（第1ワードのビット15～8）についてのみ示しています。



表A.2 オペレーションコードマップ

LO HI	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	SLEEP	STC	LDC	ORC	XORC	ANDC	LDC	ADD		INC	ADDS		MOV	ADDX	DAA
1	SHLL SHAL	SHLR SHAR	ROTL ROTR	ROXR ROTR	OR	XOR	AND	NOT NEG	SUB		DEC	SUBS		CMP	SUBX	DAS
2	MOV															
3	MOV															
4	BR ^{#2}	BR ^{#2}	BHI	BLS	BCC ^{#2}	BCS ^{#2}	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU			RTS	BSR	RTE				JMP				JSR	
6	BSET	BNOT	BCLR	BTS				BST								
7					BOR	BXOR	BAND	BIS	BLD	BIL	MOV ^{#1}	EEPMOV				ビット操作命令
8	ADD															
9	ADDX															
A	CMP															
B	SUBX															
C	OR															
D	XOR															
E	AND															
F	MOV															

【注】*1 MOVFPEおよびMOVTPPEの命令コードの第1バイト、および第2バイトの最上位ビット（第1ワードのビット15～7）は、MOV命令と共通です。
 PUSH、POP命令の機械語は、MOV命令と同一です。
 *2 BT、BF、BHS、BLO命令の機械語は、BRA、BRN、BCC、BCS命令と同一です。

A.3 命令実行ステート数

H8/300CPUの各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.3 に命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライトなどのサイクル数を示し、表 A.4 に各々のサイクルに必要なステート数を示します。命令の実行ステート数は、次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

実行ステート数計算例

(例) モード1、スタック領域を外部空間に設定、外部デバイスアクセス時1ウェイト挿入とした場合

1. BSET #0, @FFC7

表 A.4 より

$$I = L = 2, J = K = M = N = 0$$

表 A.3 より

$$S_I = 8, S_L = 3$$

$$\text{実行ステート数} = 2 \times 8 + 2 \times 3 = 22$$

2. JSR @@30

表 A.4 より

$$I = 2, J = K = 1, L = M = N = 0$$

表 A.3 より

$$S_I = S_J = S_K = 8$$

$$\text{実行ステート数} = 2 \times 8 + 1 \times 8 + 1 \times 8 = 32$$

表 A.3 実行状態 (サイクル) に要するステート数

実行状態 (サイクル)	アクセス対象		
	内蔵メモリ	内蔵周辺モジュール	外部デバイス
命令フェッチ S_I	2	6	$6 + 2m$
分岐アドレスリード S_J			
スタック操作 S_K			
バイトデータアクセス S_L		3	$3 + m$
ワードデータアクセス S_M		6	$6 + 2m$
内部動作 S_N	1		

< 記号説明 >

m : 外部デバイスアクセス時のウェイトステート数

表 A.4 命令の実行状態（サイクル数）（1）

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W Rs, Rd	1					
ADDS	ADDS.W #1/2, Rd	1					
ADDX	ADDX.B #xx:8, Rd	1					
	ADDX.B Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @Rd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					
BLE d:8	2						
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @Rd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @Rd	2			2		
	BCLR Rn, @aa:8	2			2		

【注】 空欄はすべて 0 です。

表 A.4 命令の実行状態 (サイクル数) (2)

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @Rd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @Rd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:3, Rd	1					
	BIOR #xx:3, @Rd	2			1		
	BIOR #xx:3, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @Rd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @Rd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @Rd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @Rd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @Rd	2			2		
	BNOT Rn, @aa:8	2			2		
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @Rd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @Rd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @Rd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	2		1			

【注】 空欄はすべて0です。

表 A.4 命令の実行状態（サイクル数）（3）

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
BST	BST #xx:3, Rd	1					
	BST #xx:3, @Rd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @Rd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @Rd	2			1		
	BTST Rn, @aa:8	2			1		
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @Rd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W Rs, Rd	1					
DAA	DAA.B Rd	1					
DAS	DAS.B Rd	1					
DEC	DEC.B Rd	1					
DIVXU	DIVXU.B Rs, Rd	1					12
EEPMOV	EEPMOV	2			$2n + 2^{*1}$		1
INC	INC.B Rd	1					
JMP	JMP @Rn	2					
	JMP @aa:16	2					2
	JMP @@aa:8	2	1				2
JSR	JSR @Rn	2		1			
	JSR @aa:16	2		1			2
	JSR @@aa:8	2	1	1			
LDC	LDC #xx:8, CCR	1					
	LDC Rs, CCR	1					
MOV	MOV.B #xx:8, Rd	1					
	MOV.B Rs, Rd	1					
	MOV.B @Rs, Rd	1			1		
	MOV.B @(d:16, Rs), Rd	2			1		

【注】 空欄はすべて0です。

*1 nはR4Lの設定値です。ソース側、デスティネーション側のアクセスが、それぞれ(n + 1)回行われます。

表 A.4 命令の実行状態（サイクル数）（4）

命令	ニーモニック	命令	分岐	スタック	バイト	ワード	内部動作	
		フェッチ	アドレス リード	操作	データ アクセス	データ アクセス		
		I	J	K	L	M	N	
MOV	MOV.B @Rs+, Rd	1			1		2	
	MOV.B @aa:8, Rd	1			1			
	MOV.B @aa:16, Rd	2			1			
	MOV.B Rs, @Rd	1			1			
	MOV.B Rs, @(d:16, Rd)	2			1			
	MOV.B Rs, @-Rd	1			1		2	
	MOV.B Rs, @aa:8	1			1			
	MOV.B Rs, @aa:16	2			1			
	MOV.W #xx:16, Rd	2						
	MOV.W Rs, Rd	1						
	MOV.W @Rs, Rd	1					1	
	MOV.W @(d:16, Rs), Rd	2					1	
	MOV.W @Rs+, Rd	1					1	2
	MOV.W @aa:16, Rd	2					1	
	MOV.W Rs, @Rd	1					1	
	MOV.W Rs, @(d:16, Rd)	2					1	
	MOV.W Rs, @-Rd	1					1	2
	MOV.W Rs, @aa:16	2					1	
MOVFPPE	MOVFPPE @aa:16, Rd	本 LSI では使用できません。						
MOVTPPE	MOVTPPE Rs, @aa:16							
MULXU	MULXU.B Rs, Rd	1					12	
NEG	NEG.B Rd	1						
NOP	NOP	1						
NOT	NOT.B Rd	1						
OR	OR.B #xx:8, Rd	1						
	OR.B Rs, Rd	1						
ORC	ORC #xx:8, CCR	1						
POP	POP Rd	1		1			2	
PUSH	PUSH Rd	1		1			2	
ROTL	ROTL.B Rd	1						
ROTR	ROTR.B Rd	1						
ROTXL	ROTXL.B Rd	1						
ROTXR	ROTXR.B Rd	1						
RTE	RTE	2		2			2	
RTS	RTS	2		1			2	

【注】 空欄はすべて0です。

表 A.4 命令の実行状態（サイクル数）（5）

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
SHAL	SHAL.B Rd	1					
SHAR	SHAR.B Rd	1					
SHLL	SHLL.B Rd	1					
SHLR	SHLR.B Rd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
SUB	SUB.B Rs, Rd	1					
	SUB.W Rs, Rd	1					
SUBS	SUBS.W #1/2, Rd	1					
SUBX	SUBX.B #xx:8, Rd	1					
	SUBX.B Rs, Rd	1					
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
XORC	XORC #xx:8, CCR	1					

【注】 空欄はすべて0です。

B. 内部 I/O レジスタ一覧

B.1 アドレス一覧

下位 アドレス	レジスタ 名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'80	FLMCR* ^{1*2}	V _{PP}				EV	PV	E	P	フラッシュメモリ または 外部アドレス (拡張モード時)
	FLMCR1* ³	FWE	SWE			EV	PV	E	P	
H'81	FLMCR2* ³	FLER						ESU	PSU	
H'82* ⁴	EBR1* ¹					LB3	LB2	LB1	LB0	
	EBR1* ²	LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0	
H'83	EBR2* ^{1*2}	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0	
	EBR2* ³	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	
H'84										
H'85										
H'86										
H'87										
H'88	SMR	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI1
H'89	BRR									
H'8A	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'8B	TDR									
H'8C	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'8D	RDR									
H'8E										
H'8F										
H'90	TIER	ICIAE	ICIBE	ICICE	ICIDE	OCIAE	OCIBE	OVIE		FRT
H'91	TCSR	ICFA	ICFB	ICFC	ICFD	OCFA	OCFB	OVF	CCLRA	
H'92	FRCH									
H'93	FRCL									
H'94	OCRAH									
	OCRBH									
H'95	OCRAL									
	OCRBL									

(次頁に続く)

- 【注】 *1 H8/3434F (二電源方式フラッシュメモリ 32k 内蔵版) のみに適用
 *2 H8/3437F (二電源方式フラッシュメモリ 60k 内蔵版) のみに適用
 *3 H8/3437SF (単一電源方式フラッシュメモリ 60k 内蔵版) のみに適用
 *4 単一電源方式フラッシュメモリでは本アドレスを使用しないでください。

< 記号説明 >

SCI1 : シリアルコミュニケーションインタフェース 1

FRT : 16 ビットフリーランニングタイマ

(続き)

下位 アドレス	レジスタ 名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'96	TCR	IEDGA	IEDGB	IEDGC	IEDGD	BUFEA	BUFEB	CKS1	CKS0	FRT
H'97	TOCR				OCSR	OEA	OEB	OLVLA	OLVLB	
H'98	ICRAH									
H'99	ICRAL									
H'9A	ICRBH									
H'9B	ICRBL									
H'9C	ICRCH									
H'9D	ICRCL									
H'9E	ICRDH									
H'9F	ICRDL									
H'A0	TCR	OE	OS				CKS2	CKS1	CKS0	PWM0
H'A1	DTR									
H'A2	TCNT									
H'A3										
H'A4	TCR	OE	OS				CKS2	CKS1	CKS0	PWM1
H'A5	DTR									
H'A6	TCNT									
H'A7										
H'A8	TCSR/ TCNT	OVF	WT/IT	TME		RST/NMI	CKS2	CKS1	CKS0	WDT
H'A9	TCNT									
H'AA	PAODR	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀	ポート A
H'AB	PAPIN/ PADDR	PA ₇ / PA ₇ DDR	PA ₆ / PA ₆ DDR	PA ₅ / PA ₅ DDR	PA ₄ / PA ₄ DDR	PA ₃ / PA ₃ DDR	PA ₂ / PA ₂ DDR	PA ₁ / PA ₁ DDR	PA ₀ / PA ₀ DDR	
H'AC	P1PCR	P1 ₇ PCR	P1 ₆ PCR	P1 ₅ PCR	P1 ₄ PCR	P1 ₃ PCR	P1 ₂ PCR	P1 ₁ PCR	P1 ₀ PCR	ポート 1
H'AD	P2PCR	P2 ₇ PCR	P2 ₆ PCR	P2 ₅ PCR	P2 ₄ PCR	P2 ₃ PCR	P2 ₂ PCR	P2 ₁ PCR	P2 ₀ PCR	ポート 2
H'AE	P3PCR	P3 ₇ PCR	P3 ₆ PCR	P3 ₅ PCR	P3 ₄ PCR	P3 ₃ PCR	P3 ₂ PCR	P3 ₁ PCR	P3 ₀ PCR	ポート 3
H'AF										
H'B0	P1DDR	P1 ₇ DDR	P1 ₆ DDR	P1 ₅ DDR	P1 ₄ DDR	P1 ₃ DDR	P1 ₂ DDR	P1 ₁ DDR	P1 ₀ DDR	ポート 1
H'B1	P2DDR	P2 ₇ DDR	P2 ₆ DDR	P2 ₅ DDR	P2 ₄ DDR	P2 ₃ DDR	P2 ₂ DDR	P2 ₁ DDR	P2 ₀ DDR	ポート 2
H'B2	P1DR	P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀	ポート 1
H'B3	P2DR	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀	ポート 2
H'B4	P3DDR	P3 ₇ DDR	P3 ₆ DDR	P3 ₅ DDR	P3 ₄ DDR	P3 ₃ DDR	P3 ₂ DDR	P3 ₁ DDR	P3 ₀ DDR	ポート 3
H'B5	P4DDR	P4 ₇ DDR	P4 ₆ DDR	P4 ₅ DDR	P4 ₄ DDR	P4 ₃ DDR	P4 ₂ DDR	P4 ₁ DDR	P4 ₀ DDR	ポート 4
H'B6	P3DR	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀	ポート 3
H'B7	P4DR	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀	ポート 4
H'B8	P5DDR						P5 ₂ DDR	P5 ₁ DDR	P5 ₀ DDR	ポート 5
H'B9	P6DDR	P6 ₇ DDR	P6 ₆ DDR	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR	ポート 6
H'BA	P5DR						P5 ₂	P5 ₁	P5 ₀	ポート 5
H'BB	P6DR	P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀	ポート 6
H'BC	PBODR	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀	ポート B

(次頁に続く)

<記号説明>

FRT : 16ビットフリーランニングタイム

PWM0 : PWM タイマ チャンネル 0

PWM1 : PWM タイマ チャンネル 1

WDT : ウォッチドッグタイム

(続き)

下位 アドレス	レジスタ 名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'BD	P8DDR/ PBPIN	/PB ₇	P8 ₆ DDR/ PB ₆	P8 ₅ DDR/ PB ₅	P8 ₄ DDR/ PB ₄	P8 ₃ DDR/ PB ₃	P8 ₂ DDR/ PB ₂	P8 ₁ DDR/ PB ₁	P8 ₀ DDR/ PB ₀	ポート8 / ポートB
H'BE	P7PIN/ PBDDR	P7 ₇ / PB ₇ DDR	P7 ₆ / PB ₆ DDR	P7 ₅ / PB ₅ DDR	P7 ₄ / PB ₄ DDR	P7 ₃ / PB ₃ DDR	P7 ₂ / PB ₂ DDR	P7 ₁ / PB ₁ DDR	P7 ₀ / PB ₀ DDR	ポート7 / ポートB
H'BF	P8DR		P8 ₆	P8 ₅	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀	ポート8
H'C0	P9DDR	P9 ₇ DDR	P9 ₆ DDR	P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR	ポート9
H'C1	P9DR	P9 ₇	P9 ₆	P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀	
H'C2	WSCR	RAMS* ¹	RAM0* ¹	CKDBL	FLSHE* ²	WMS1	WMS0	WC1	WC0	
H'C3	STCR	IICS	IICD	IICX	IICE	STAC	MPE	ICKS1	ICKS0	
H'C4	SYSCR	SSBY	STS2	STS1	STS0	XRST	NMIEG	HIE	RAME	
H'C5	MDCR	EXPE* ²						MDS1	MDS0	
H'C6	ISCR	IRQ7SC	IRQ6SC	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC	
H'C7	IER	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
H'C8	TCR	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR0
H'C9	TCSR	CMFB	CMFA	OVF		OS3	OS2	OS1	OS0	
H'CA	TCORA									
H'CB	TCORB									
H'CC	TCNT									
H'CD										
H'CE										
H'CF										
H'D0	TCR	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR1
H'D1	TCSR	CMFB	CMFA	OVF		OS3	OS2	OS1	OS0	
H'D2	TCORA									
H'D3	TCORB									
H'D4	TCNT									
H'D5										
H'D6										
H'D7										
H'D8	SMR	C/ \bar{A}	CHR	PE	O \bar{E}	STOP	MP	CKS1	CKS0	SCI0 および I ² C
	ICCR	ICE	IEIC	MST	TRS	ACK	CKS2	CKS1	CKS0	
H'D9	BRR									
	ICSR	BBSY	IRIC	SCP		AL	AAS	ADZ	ACKB	
H'DA	SCR	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	

(次頁に続く)

【注】 *1 H8/3437F (二電源方式フラッシュメモリ 60k 内蔵版) のみに適用

*2 H8/3437SF (単一電源方式フラッシュメモリ 60k 内蔵版) のみに適用

<記号説明>

TMR0 : 8ビットタイマ チャンネル0

TMR1 : 8ビットタイマ チャンネル1

SCI0 : シリアルコミュニケーションインタフェース0

I²C : I²Cバスインタフェース

(続き)

下位 アドレス	レジスタ 名	ビット名								モジュール名
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'DB	TDR									SCI0 および I ² C
H'DC	SSR	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'DD	RDR									
H'DE										
	ICDR	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0	
H'DF										
	ICMR/ SAR	MLS/ SVA6	WAIT/ SVA5	/ SVA4	/ SVA3	/ SVA2	BC2/ SVA1	BC1/ SVA0	BC0/ FS	
H'E0	ADDRAH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D 変換器
H'E1	ADDRAL	AD1	AD0							
H'E2	ADDRBH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E3	ADDRBL	AD1	AD0							
H'E4	ADDRCH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E5	ADDRCL	AD1	AD0							
H'E6	ADDRDH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E7	ADDRDL	AD1	AD0							
H'E8	ADC SR	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	
H'E9	ADCR	TRGE								
H'EA										
H'EB										
H'EC										
H'ED										
H'EE										
H'EF										
H'F0	HICR						IBFIE2	IBFIE1	FGA20E	HIF
H'F1	KMIMR	KMIMR7	KMIMR6	KMIMR5	KMIMR4	KMIMR3	KMIMR2	KMIMR1	KMIMR0	
H'F2	KMPCR	KM ₇ PCR	KM ₆ PCR	KM ₅ PCR	KM ₄ PCR	KM ₃ PCR	KM ₂ PCR	KM ₁ PCR	KM ₀ PCR	
H'F3	KMIMRA	KMIMR15	KMIMR14	KMIMR13	KMIMR12	KMIMR11	KMIMR10	KMIMR9	KMIMR8	
H'F4	IDR1	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0	HIF1
H'F5	ODR1	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0	
H'F6	STR1	DBU	DBU	DBU	DBU	C/D	DBU	IBF	OBF	
H'F7										
H'F8	DADR0									D/A 変換器
H'F9	DADR1									
H'FA	DACR	DAOE1	DAOE0	DAE						
H'FB										
H'FC	IDR2	IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0	HIF2
H'FD	ODR2	ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0	
H'FE	STR2	DBU	DBU	DBU	DBU	C/D	DBU	IBF	OBF	
H'FF										

< 記号説明 >

SCI0 : シリアルコミュニケーションインタフェース 0

I²C : I²Cバスインタフェース

HIF : ホストインタフェース

B.2 機能一覧

このレジスタがマッピング
されているアドレスを
示します。

ビット番号です。

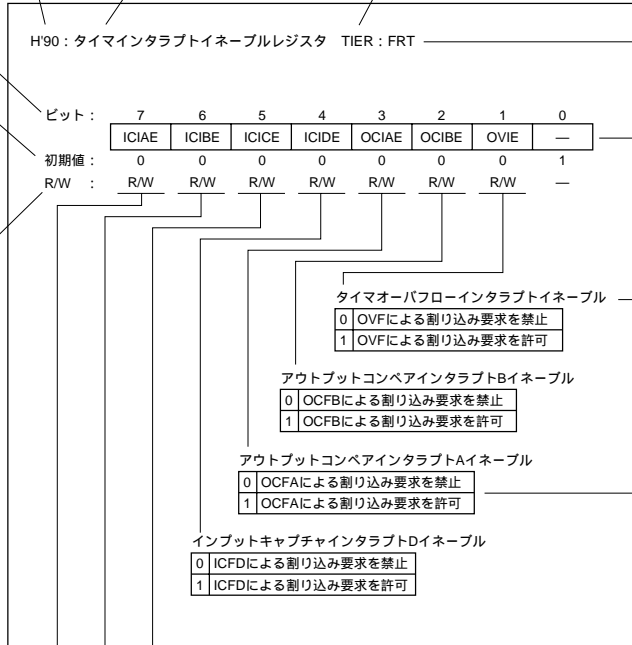
初期値を示します。

可能なアクセスを
示します。

R	リードのみ可能
W	ライトのみ可能
R/W	リード/ライト可能

レジスタ名です。

レジスタの略称です。



内蔵周辺モジュール名です。

各ビットの略称と位置を示します。
なお、"—"はリザーブビットを
意味します。

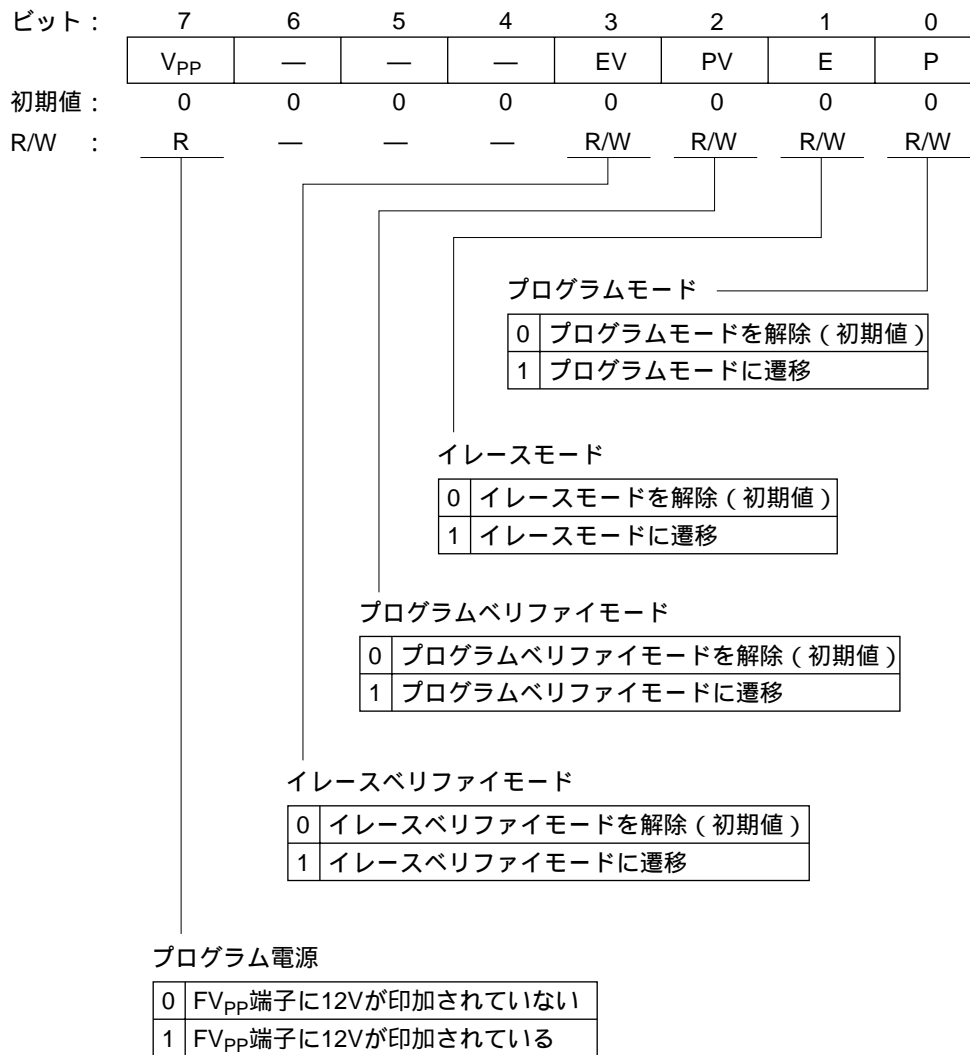
ビットの正式名称です。

設定値と動作を示します。

二電源方式フラッシュのみ適用

H'80 : フラッシュメモリコントロールレジスタ FLMCR : フラッシュメモリ

H8/3434F、H8/3437F

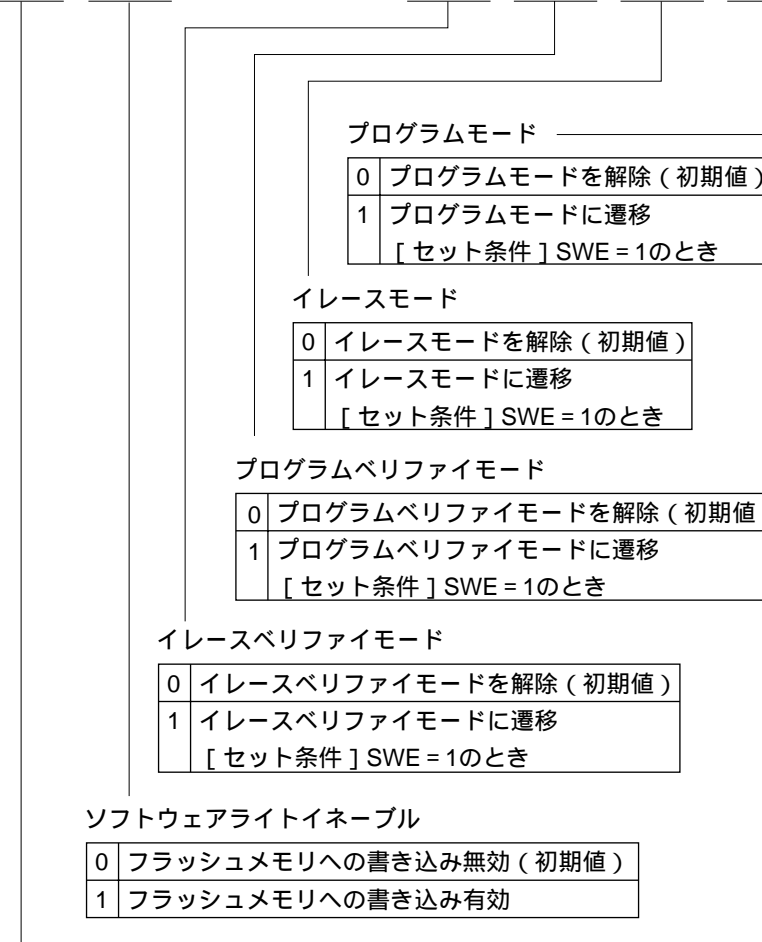


単一電源方式フラッシュのみ適用

H'80 : フラッシュメモリコントロールレジスタ1 FLMCR1 : フラッシュメモリ

H8/3437SF

ビット :	7	6	5	4	3	2	1	0
	FWE	SWE	—	—	EV	PV	E	P
初期値 :	1	0	0	0	0	0	0	0
R/W :	R	R/W	—	—	R/W	R/W	R/W	R/W



フラッシュライトイネーブル
 (フラッシュメモリの書き込み / 消去を制御。H8/3437FSでは常に1が読み出されます)

【注】本レジスタをアクセスするためには、WSCRのFLSHEビットを1にセットする必要があります。

単一電源方式フラッシュのみ適用

H'81 : フラッシュメモリコントロールレジスタ2 FLMCR2 : フラッシュメモリ

H8/3437SF

ビット:	7	6	5	4	3	2	1	0
	FLER	—	—	—	—	—	ESU	PSU
初期値:	0	0	0	0	0	0	0	0
R/W :	R	—	—	—	—	—	R/W	R/W

プログラムセットアップ	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] SWE = 1のとき

イレースセットアップ	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] SWE = 1のとき

フラッシュメモリエラー	
0	フラッシュメモリは正常に動作 (初期値)
1	フラッシュメモリへの書き込み / 消去中にエラー発生

【注】本レジスタをアクセスするためには、WSCRのFLSHEビットを1にセットする必要があります。

二電源方式フラッシュのみ適用

H'82 : 消去ブロック指定レジスタ1 EBR1 : フラッシュメモリ

H8/3434F

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	LB3	LB2	LB1	LB0
初期値 :	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

ラージブロック3~0

0	LB3~LB0ブロックをそれぞれ選択していない(初期値)
1	LB3~LB0ブロックをそれぞれ選択している

H8/3437F

ビット :	7	6	5	4	3	2	1	0
	LB7	LB6	LB5	LB4	LB3	LB2	LB1	LB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ラージブロック7~0

0	LB7~LB0ブロックをそれぞれ選択していない(初期値)
1	LB7~LB0ブロックをそれぞれ選択している

H'83 : 消去ブロック指定レジスタ 2 EBR2 : フラッシュメモリ

H8/3434F、H8/3437F

ビット:	7	6	5	4	3	2	1	0
	SB7	SB6	SB5	SB4	SB3	SB2	SB1	SB0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

↓

 スモールブロック7~0

0	SB7~SB0をそれぞれ選択していない(初期値)
1	SB7~SB0をそれぞれ選択している

H8/3437SF

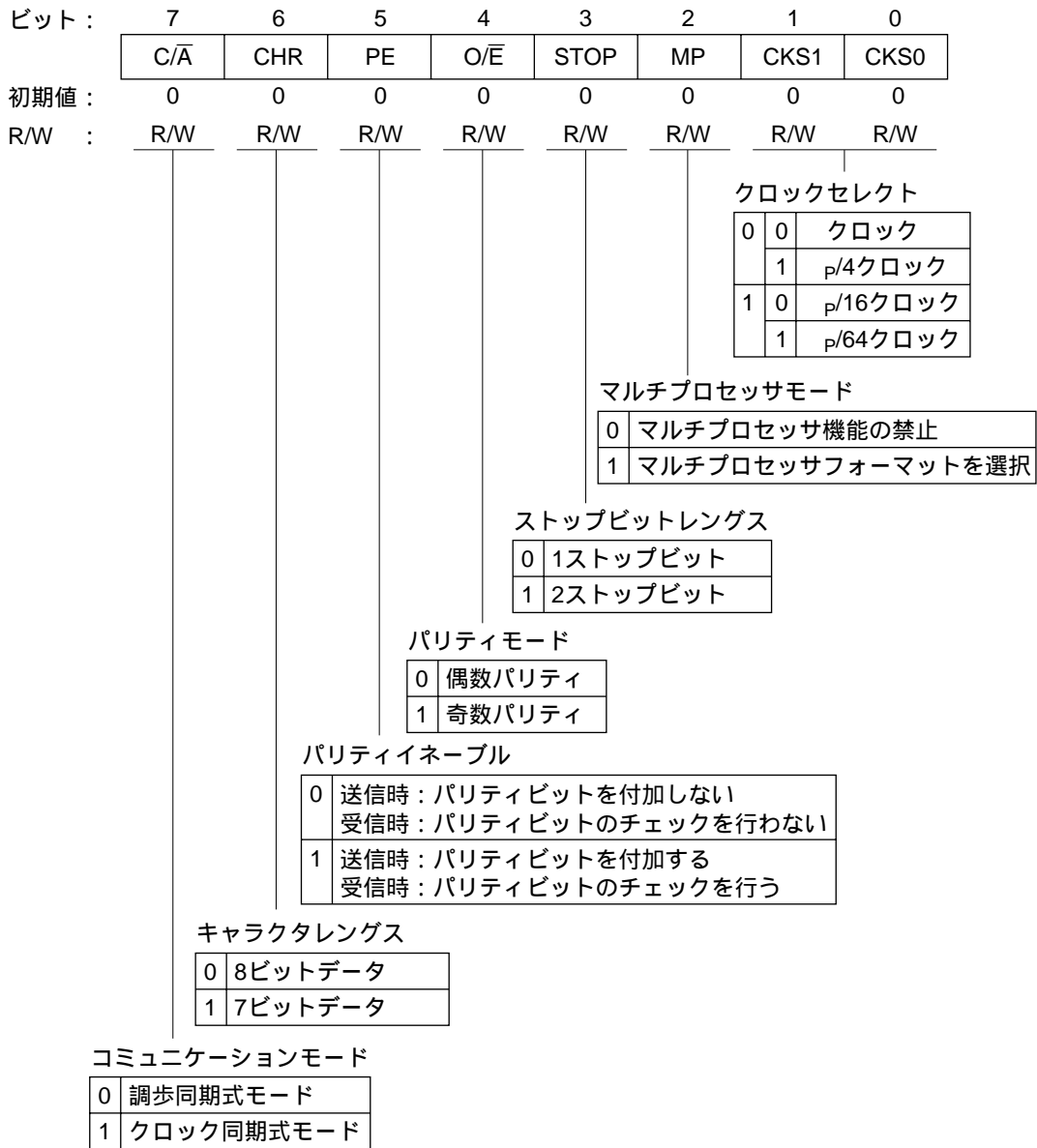
ビット:	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

↓

 イレースブロック7~0

0	EB7~EB0をそれぞれ選択していない(初期値)
1	EB7~EB0をそれぞれ選択している

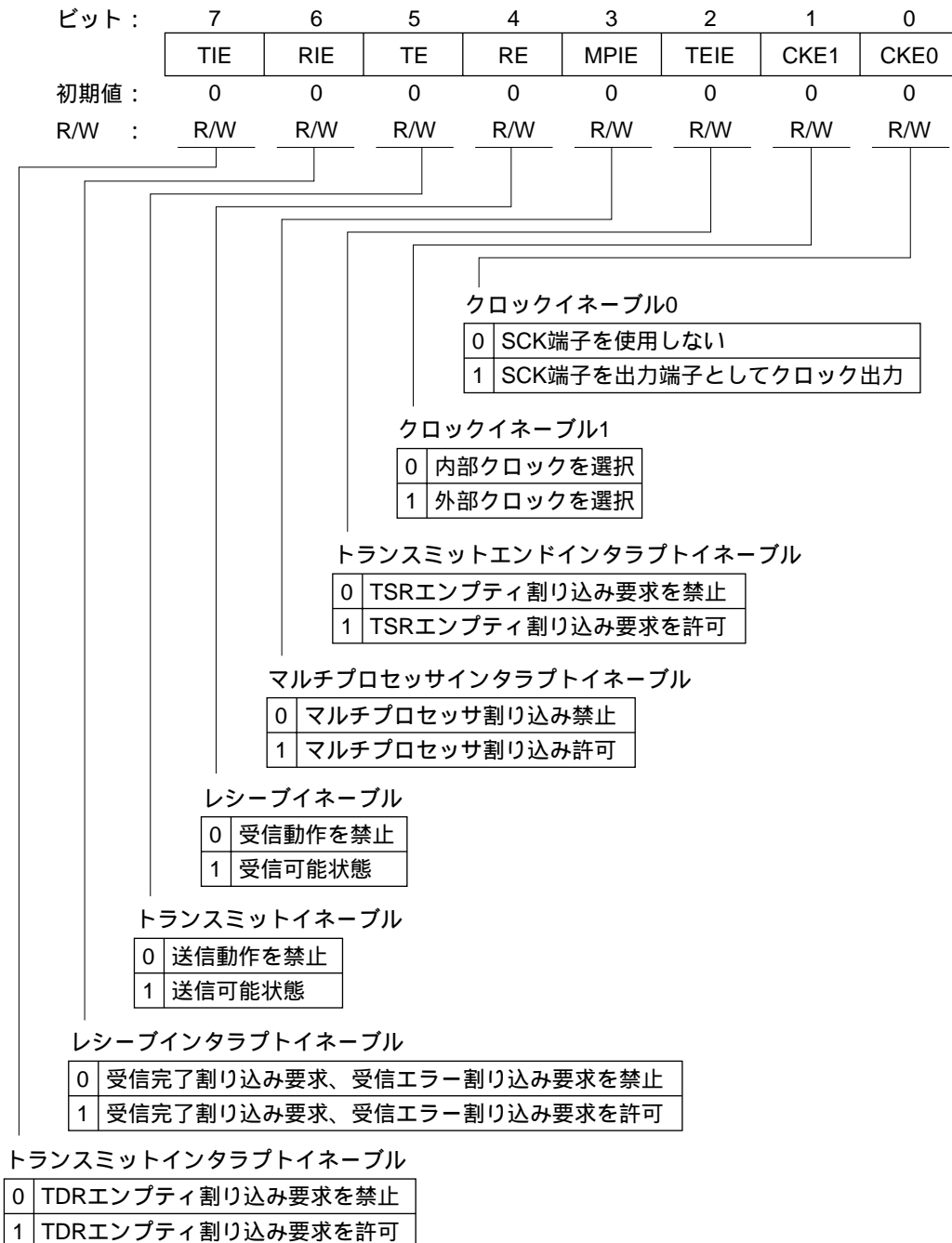
H'88 : シリアルモードレジスタ SMR : SCI1



H'89 : ビットレートレジスタ BRR : SCI1



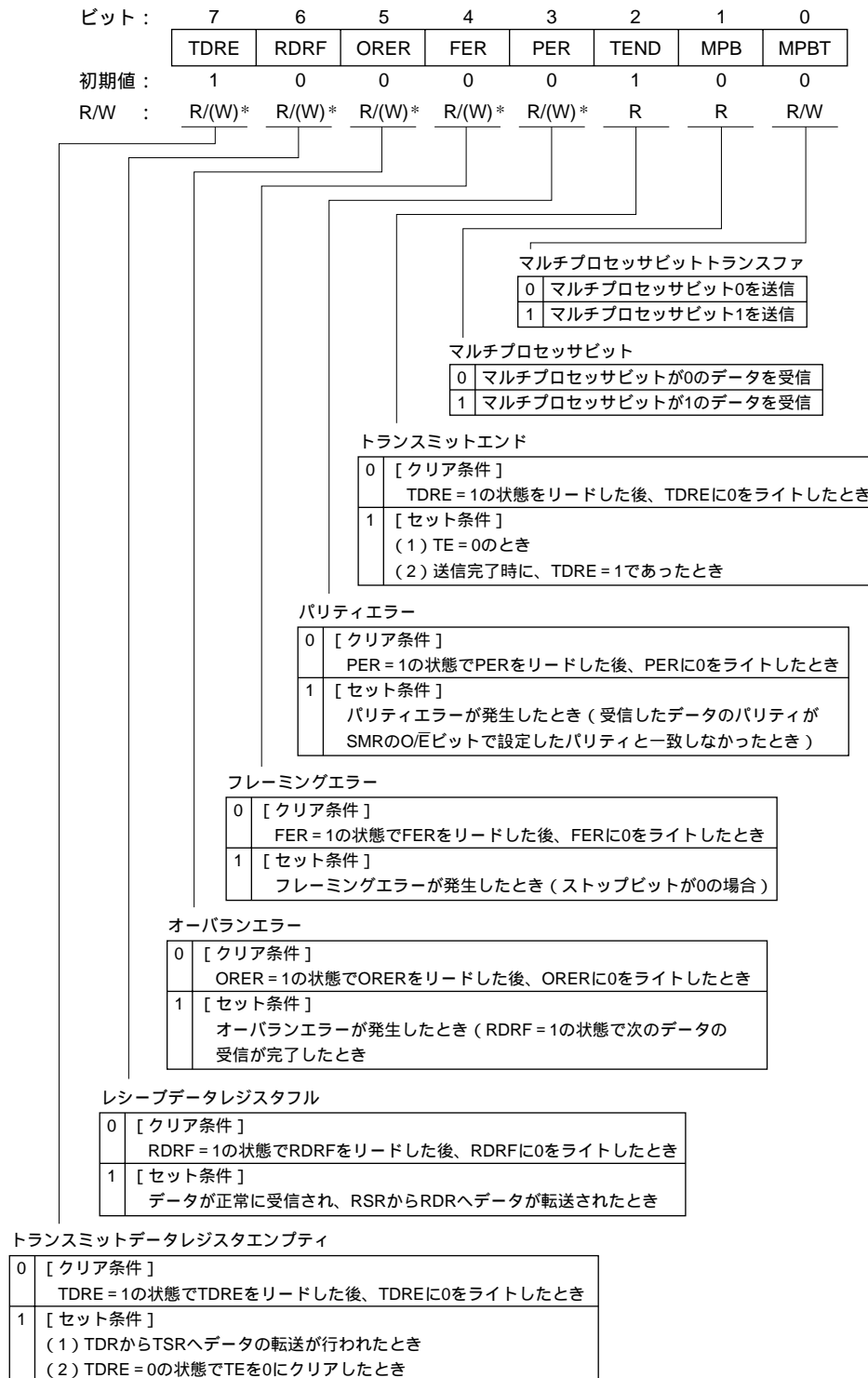
H'8A : シリアルコントロールレジスタ SCR : SCI1



H'8B : トランスミットデータレジスタ TDR : SCI1



H'8C : シリアルステータスレジスタ SSR : SCI1

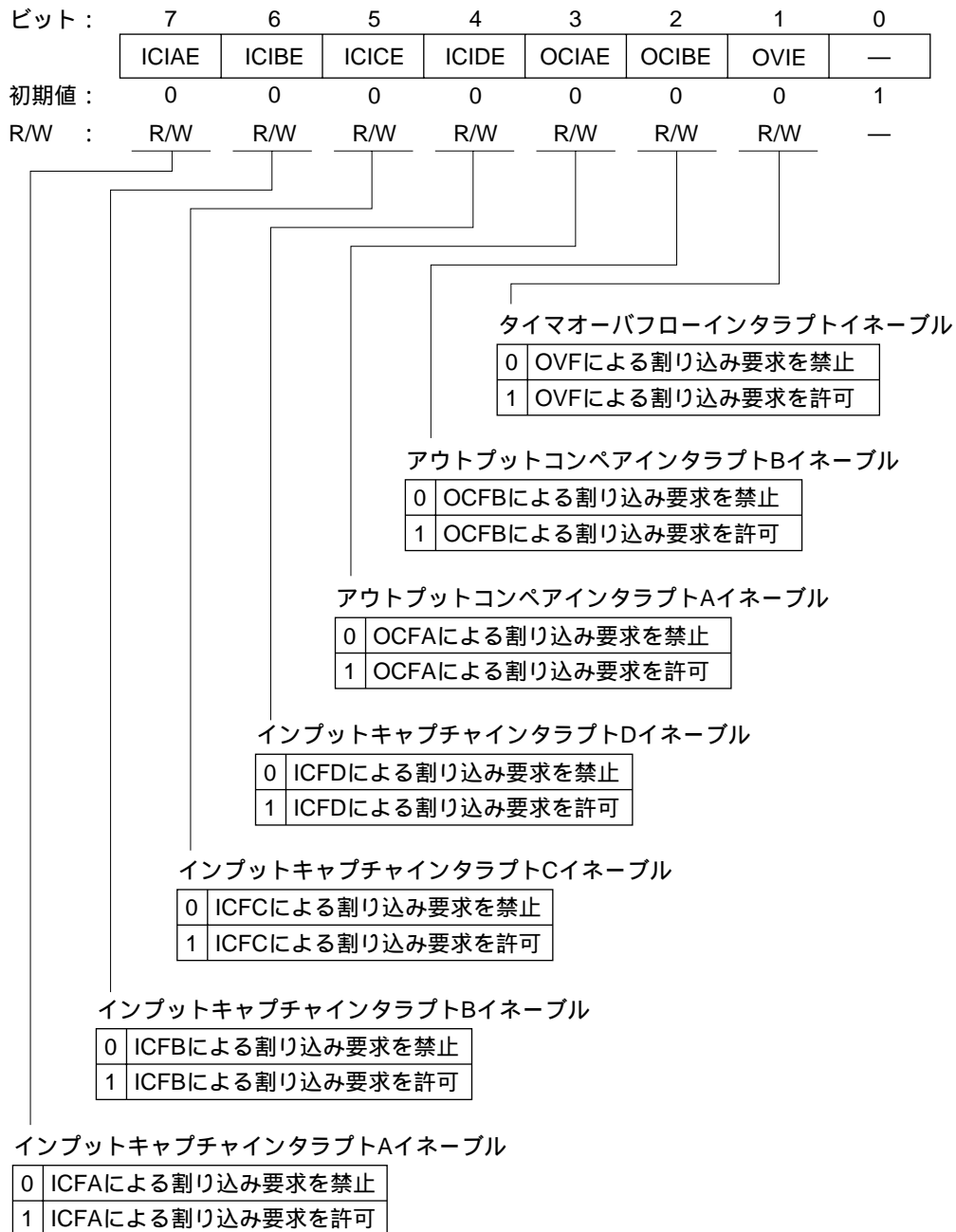


H'8D : レシーブデータレジスタ RDR : SCI1

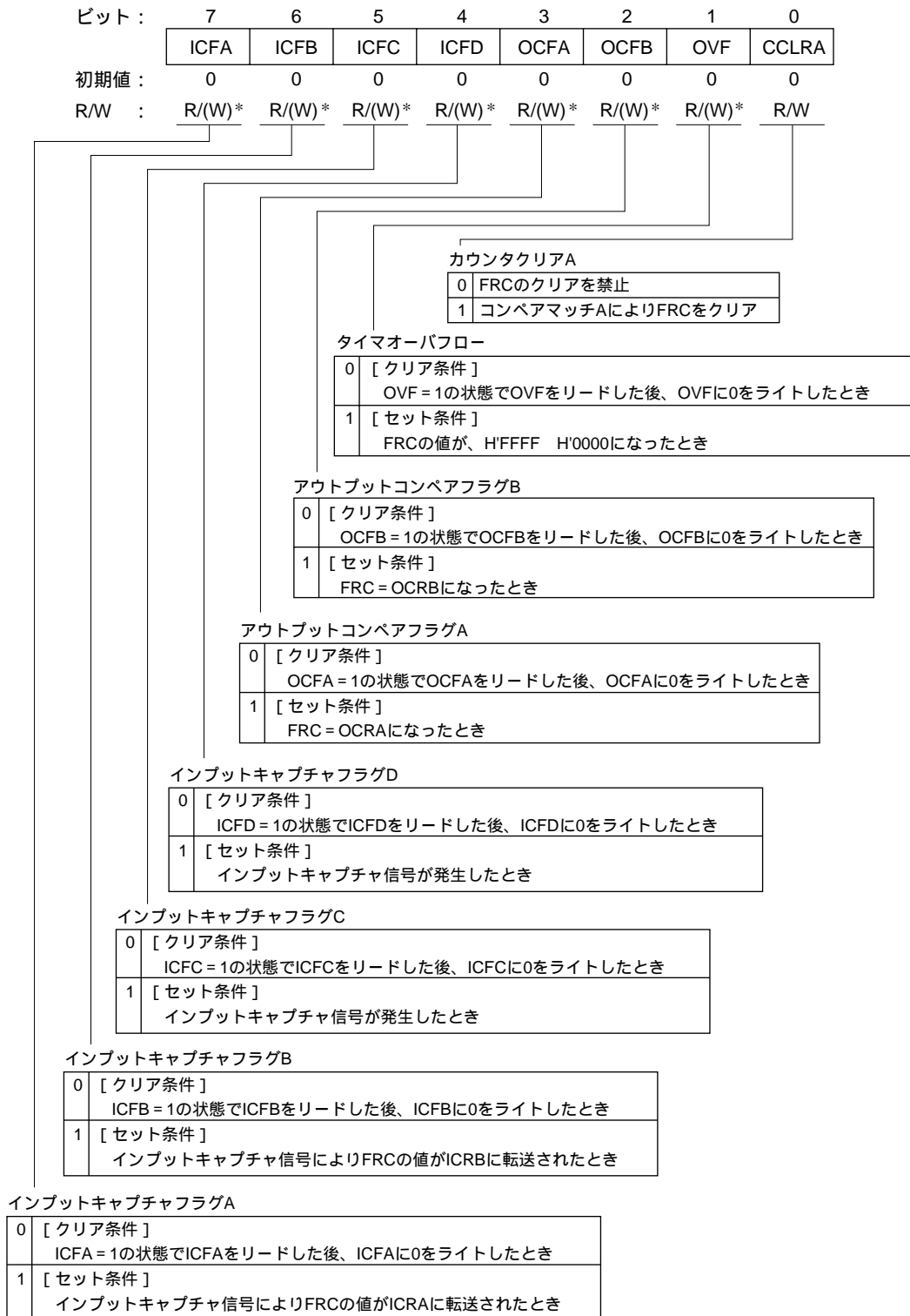
ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

|
 受信データを格納

H'90 : タイマインタラプトイネーブルレジスタ TIER : FRT

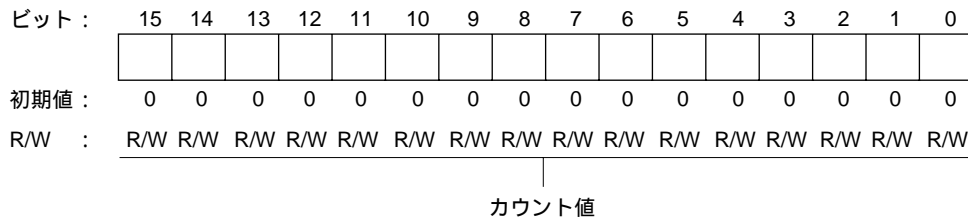


H'91 : タイマコントロール/ステータスレジスタ TCSR : FRT

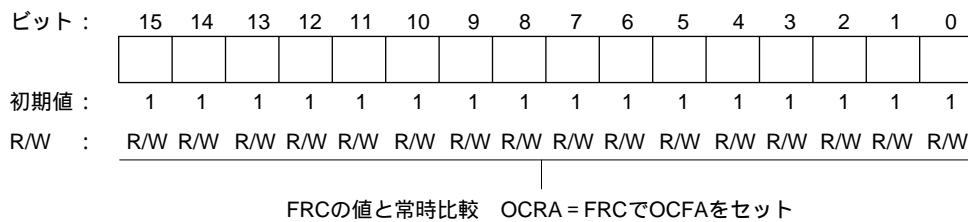


【注】* フラグをクリアするための0ライトのみ可能です。

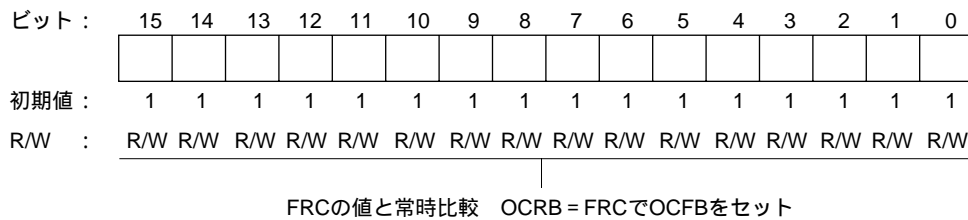
H'92、H'93 : フリーランニングカウンタ H、L FRC H、L : FRT



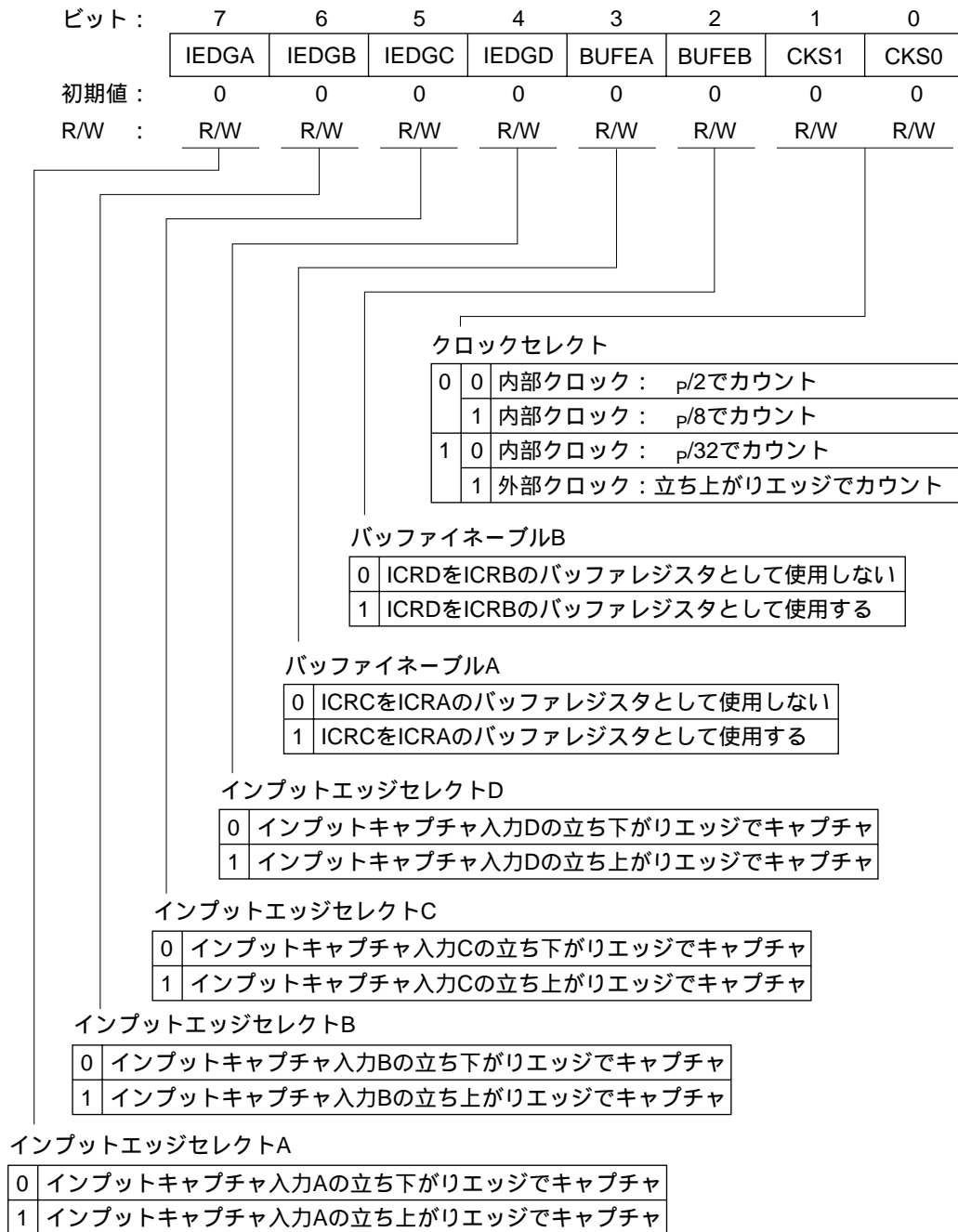
H'94、H'95 : アウトプットコンペアレジスタ A H、L OCRA H、L : FRT



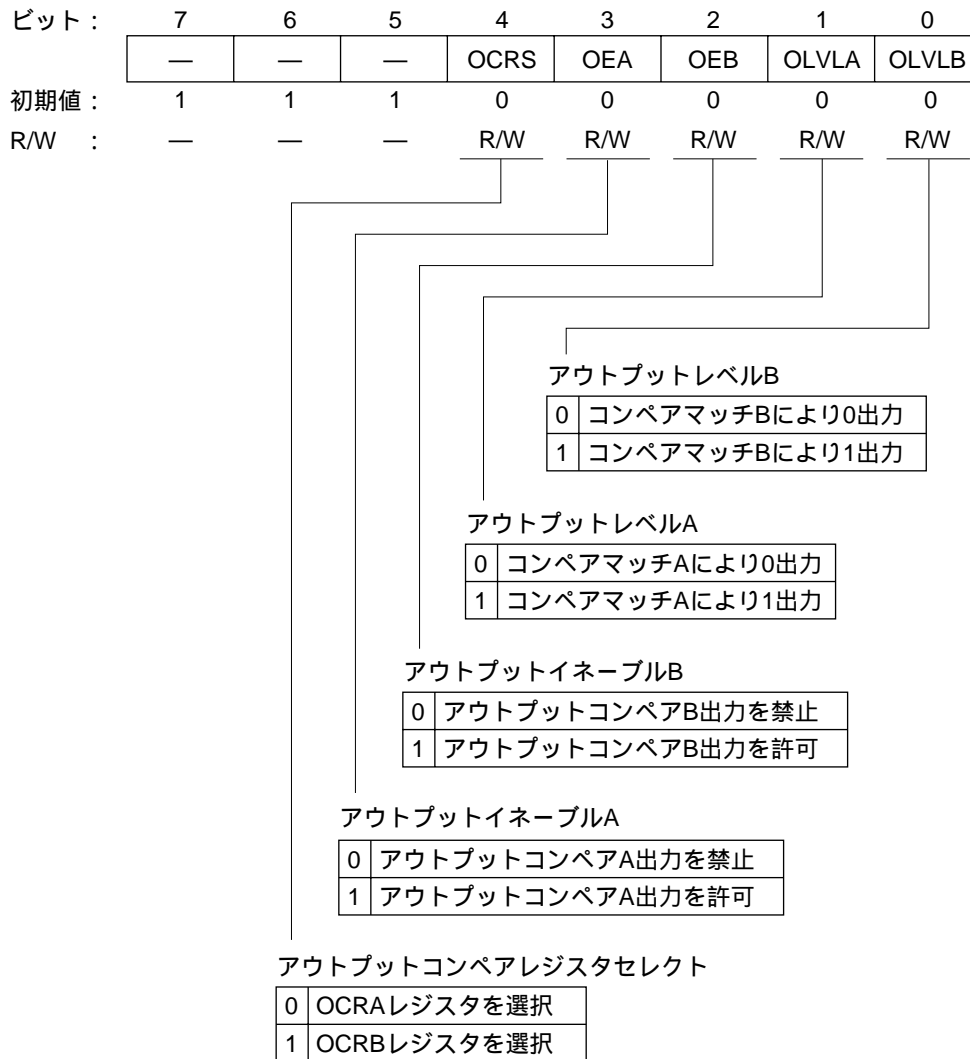
H'94、H'95 : アウトプットコンペアレジスタ B H、L OCRB H、L : FRT



H'96 : タイマコントロールレジスタ TCR : FRT



H'97 : タイマアウトプットコンペアコントロールレジスタ TOCR : FRT



H'98、H'99 : インプットキャプチャレジスタ A H、L ICRA H、L : FRT

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

インプットキャプチャ信号が発生するとFRCの値を格納

H'9A、H'9B : インプットキャプチャレジスタ B H、L ICRB H、L : FRT

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

↑
インプットキャプチャ信号が発生するとFRCの値を格納

H'9C、H'9D : インプットキャプチャレジスタ C H、L ICRC H、L : FRT

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

↑
インプットキャプチャ信号が発生するとFRCの値、またはICRAの値を格納

H'9E、H'9F : インプットキャプチャレジスタ D H、L ICRD H、L : FRT

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

↑
インプットキャプチャ信号が発生するとFRCの値、またはICRBの値を格納

H'A0 : タイマコントロールレジスタ TCR : PWM0

ビット:	7	6	5	4	3	2	1	0
	OE	OS	—	—	—	CKS2	CKS1	CKS0
初期値:	0	0	1	1	1	0	0	0
R/W :	R/W	R/W	—	—	—	R/W	R/W	R/W

クロックセレクト ($p = 10\text{MHz}$)

			内部クロック 周波数	分解能	PWM 周期	PWM 周波数
0	0	0	$p/2$	200ns	50 μs	20kHz
		1	$p/8$	800ns	200 μs	5kHz
	1	0	$p/32$	3.2 μs	800 μs	1.25kHz
		1	$p/128$	12.8 μs	3.2ms	312.5Hz
1	0	0	$p/256$	25.6 μs	6.4ms	156.3Hz
		1	$p/1024$	102.4 μs	25.6ms	39.1Hz
	1	0	$p/2048$	204.8 μs	51.2ms	19.5Hz
		1	$p/4096$	409.6 μs	102.4ms	9.8Hz

アウトプットセレクト

0	PWM直接出力
1	PWM反転出力

アウトプットイネーブル

0	PWM出力を禁止 TCNT : H'00で停止
1	PWM出力を許可 TCNT : カウントアップ

H'A1 : デューティレジスタ DTR : PWM0

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

パルスのデューティ比を指定

H'A2 : タイマカウンタ TCNT : PWM0

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

カウント値 (H'00 ~ H'F9までカウントすると再びH'00からカウント)

H'A4 : タイマコントロールレジスタ TCR : PWM1

ビット:	7	6	5	4	3	2	1	0
	OE	OS	—	—	—	CKS2	CKS1	CKS0
初期値:	0	0	1	1	1	0	0	0
R/W :	R/W	R/W	—	—	—	R/W	R/W	R/W

【注】機能はPWM0と同じです。

H'A5 : デューティレジスタ DTR : PWM1

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】機能はPWM0と同じです。

H'A6 : タイマカウンタ TCNT : PWM1

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】機能はPWM0と同じです。

H'A8 : タイマコントロール/ステータスレジスタ TCSR : WDT

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/IT	TME	—	RST/NMI	CKS2	CKS1	CKS0
初期値:	0	0	0	1	0	0	0	0
R/W :	R/(W)*	R/W	R/W	—	R/W	R/W	R/W	R/W

CKS2	CKS1	CKS0	分周率
0	0	0	p/2
		1	p/32
	1	0	p/64
		1	p/128
1	0	0	p/256
		1	p/512
	1	0	p/2048
		1	p/4096

RST/NMI	機能
0	NMI機能有効 (初期値)
1	リセット機能有効

TME	機能
0	タイマディスエーブル ・ TCNTをH'00にイニシャライズし、カウントアップを停止 (初期値)
1	タイマイネーブル ・ TCNTはカウントアップ開始 ・ CPUへの割り込み要求を許可

WT/IT	モード	初期値
0	インターバルタイマモード (OVF割り込み要求)	(初期値)
1	ウォッチドッグタイマモード (リセットまたはNMI信号を発生)	

OVF	状態
0	[クリア条件] OVF = 1の状態ではOVFフラグをリードした後、OVFフラグに0をライトしたとき (初期値)
1	[セット条件] TCNTがH'FF H'00に変化したとき

【注】* フラグをクリアするための0ライトのみ可能です。

H'A9 リード時、H'A8 ライト時：タイマカウンタ TCNT : WDT

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

└───┬───┘
 カウント値

H'AC：ポート1 入力プルアップMOS コントロールレジスタ P1PCR : P1

ビット：	7	6	5	4	3	2	1	0
	P1 ₇ PCR	P1 ₆ PCR	P1 ₅ PCR	P1 ₄ PCR	P1 ₃ PCR	P1 ₂ PCR	P1 ₁ PCR	P1 ₀ PCR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

└───┬───┘
 ポート1入力プルアップMOS制御

0	入力プルアップMOSはOFF状態
1	入力プルアップMOSはON状態

H'AD：ポート2 入力プルアップMOS コントロールレジスタ P2PCR : P2

ビット：	7	6	5	4	3	2	1	0
	P2 ₇ PCR	P2 ₆ PCR	P2 ₅ PCR	P2 ₄ PCR	P2 ₃ PCR	P2 ₂ PCR	P2 ₁ PCR	P2 ₀ PCR
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

└───┬───┘
 ポート2入力プルアップMOS制御

0	入力プルアップMOSはOFF状態
1	入力プルアップMOSはON状態

H'AE : ポート 3 入力プルアップ MOS コントロールレジスタ P3PCR : P3

ビット:	7	6	5	4	3	2	1	0
	P3 ₇ PCR	P3 ₆ PCR	P3 ₅ PCR	P3 ₄ PCR	P3 ₃ PCR	P3 ₂ PCR	P3 ₁ PCR	P3 ₀ PCR
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート3入力プルアップMOS制御

0	入力プルアップMOSはOFF状態
1	入力プルアップMOSはON状態

H'B0 : ポート 1 データディレクションレジスタ P1DDR : P1

ビット:	7	6	5	4	3	2	1	0
	P1 ₇ DDR	P1 ₆ DDR	P1 ₅ DDR	P1 ₄ DDR	P1 ₃ DDR	P1 ₂ DDR	P1 ₁ DDR	P1 ₀ DDR
モード1	初期値:	1	1	1	1	1	1	1
	R/W :	—	—	—	—	—	—	—
モード2、3	初期値:	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W

ポート1入出力制御

0	入力ポート
1	出力ポート

H'B2 : ポート 1 データレジスタ P1DR : P1

ビット:	7	6	5	4	3	2	1	0
	P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'B1 : ポート2 データディレクションレジスタ P2DDR : P2

ビット:		7	6	5	4	3	2	1	0
		P2 ₇ DDR	P2 ₆ DDR	P2 ₅ DDR	P2 ₄ DDR	P2 ₃ DDR	P2 ₂ DDR	P2 ₁ DDR	P2 ₀ DDR
モード1	初期値:	1	1	1	1	1	1	1	1
	R/W :	—	—	—	—	—	—	—	—
モード2、3	初期値:	0	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W	W

ポート2入出力制御

0	入力ポート
1	出力ポート

H'B3 : ポート2 データレジスタ P2DR : P2

ビット:	7	6	5	4	3	2	1	0
	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'B4 : ポート3 データディレクションレジスタ P3DDR : P3

ビット:	7	6	5	4	3	2	1	0
	P3 ₇ DDR	P3 ₆ DDR	P3 ₅ DDR	P3 ₄ DDR	P3 ₃ DDR	P3 ₂ DDR	P3 ₁ DDR	P3 ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート3入出力制御

0	入力ポート
1	出力ポート

H'B6 : ポート 3 データレジスタ P3DR : P3

ビット :	7	6	5	4	3	2	1	0
	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'B5 : ポート 4 データディレクションレジスタ P4DDR : P4

ビット :	7	6	5	4	3	2	1	0
	P4 ₇ DDR	P4 ₆ DDR	P4 ₅ DDR	P4 ₄ DDR	P4 ₃ DDR	P4 ₂ DDR	P4 ₁ DDR	P4 ₀ DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート4入出力制御

0	入力ポート
1	出力ポート

H'B7 : ポート 4 データレジスタ P4DR : P4

ビット :	7	6	5	4	3	2	1	0
	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'B8 : ポート 5 データディレクションレジスタ P5DDR : P5

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	P5 ₂ DDR	P5 ₁ DDR	P5 ₀ DDR
初期値 :	1	1	1	1	1	0	0	0
R/W :	—	—	—	—	—	W	W	W

ポート5入出力制御

0	入力ポート
1	出力ポート

H'BA : ポート 5 データレジスタ P5DR : P5

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	P5 ₂	P5 ₁	P5 ₀
初期値 :	1	1	1	1	1	0	0	0
R/W :	—	—	—	—	—	R/W	R/W	R/W

H'B9 : ポート 6 データディレクションレジスタ P6DDR : P6

ビット :	7	6	5	4	3	2	1	0
	P6 ₇ DDR	P6 ₆ DDR	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート6入出力制御

0	入力ポート
1	出力ポート

H'BB : ポート 6 データレジスタ P6DR : P6

ビット :	7	6	5	4	3	2	1	0
	P6 ₇	P6 ₆	P6 ₅	P6 ₄	P6 ₃	P6 ₂	P6 ₁	P6 ₀
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'BE : ポート 7 入力データレジスタ P7PIN : P7

ビット :	7	6	5	4	3	2	1	0
	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀
初期値 :	—*	—*	—*	—*	—*	—*	—*	—*
R/W :	R	R	R	R	R	R	R	R

【注】* P7₇~P7₀端子により決定されます。

H'BD : ポート 8 データディレクションレジスタ P8DDR : P8

ビット:	7	6	5	4	3	2	1	0
	—	P8 ₆ DDR	P8 ₅ DDR	P8 ₄ DDR	P8 ₃ DDR	P8 ₂ DDR	P8 ₁ DDR	P8 ₀ DDR
初期値:	1	0	0	0	0	0	0	0
R/W :	—	W	W	W	W	W	W	W

ポート8入出力制御

0	入力ポート
1	出力ポート

H'BF : ポート 8 データレジスタ P8DR : P8

ビット:	7	6	5	4	3	2	1	0
	—	P8 ₆	P8 ₅	P8 ₄	P8 ₃	P8 ₂	P8 ₁	P8 ₀
初期値:	1	0	0	0	0	0	0	0
R/W :	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'CO : ポート 9 データディレクションレジスタ P9DDR : P9

ビット:	7	6	5	4	3	2	1	0
	P9 ₇ DDR	P9 ₆ DDR	P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR
モード1、2	初期値:	0	1	0	0	0	0	0
	R/W :	W	—	W	W	W	W	W
モード3	初期値:	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W

ポート9入出力制御

0	入力ポート
1	出力ポート

H'C1 : ポート 9 データレジスタ P9DR : P9

ビット:	7	6	5	4	3	2	1	0
	P9 ₇	P9 ₆	P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀
初期値:	0	—*	0	0	0	0	0	0
R/W :	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

【注】* P9₆端子により決定されます。

H'AB : ポート A データディレクションレジスタ PADDR : PA

ビット:	7	6	5	4	3	2	1	0
	PA ₇ DDR	PA ₆ DDR	PA ₅ DDR	PA ₄ DDR	PA ₃ DDR	PA ₂ DDR	PA ₁ DDR	PA ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートA入出力制御

0	入力ポート
1	出力ポート

H'AB : ポート A 入力データレジスタ PAPIN : PA

ビット:	7	6	5	4	3	2	1	0
	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀
初期値:	—*	—*	—*	—*	—*	—*	—*	—*
R/W :	R	R	R	R	R	R	R	R

【注】* PA₇~PA₀端子により決定されます。

H'AA : ポート A 出力データレジスタ PAODR : PA

ビット:	7	6	5	4	3	2	1	0
	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートA出力データ / 入力プルアップMOS制御

	出力ポート時	入力ポート時
0	0出力	入力プルアップMOSオフ
1	1出力	入力プルアップMOSオン

H'BE : ポート B データディレクションレジスタ PBDDR : PB

ビット :	7	6	5	4	3	2	1	0
	PB ₇ DDR	PB ₆ DDR	PB ₅ DDR	PB ₄ DDR	PB ₃ DDR	PB ₂ DDR	PB ₁ DDR	PB ₀ DDR
初期値 :	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートB入出力制御

0	入力ポート
1	出力ポート

H'BD : ポート B 入力データレジスタ PBPIN : PB

ビット :	7	6	5	4	3	2	1	0
	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀
初期値 :	—*	—*	—*	—*	—*	—*	—*	—*
R/W :	R	R	R	R	R	R	R	R

【注】* PB₇~PB₀端子により決定されます。

H'BC : ポート B 出力データレジスタ PBODR : PB

ビット :	7	6	5	4	3	2	1	0
	PB ₇	PB ₆	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートB出力データ / 入力プルアップMOS制御

	出力ポート時	入力ポート時
0	0出力	入力プルアップMOSオフ
1	1出力	入力プルアップMOSオン

H'C2 : ウェイトステートコントロールレジスタ WSCR : システム

ビット :	7	6	5	4	3	2	1	0
	RAMS	RAM0	CKDBL	FLSHE	WMS1	WMS0	WC1	WC0
初期値 :	0	0	0	0	1	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W



ウェイトカウンタ

0	0	WSCRによるウェイトを禁止 (初期値)
	1	1ステート挿入
1	0	2ステート挿入
	1	3ステート挿入

ウェイトモードセレクト

0	0	プログラマブルウェイトモード
	1	ウェイトステートコントロールによるウェイトを禁止
1	0	端子ウェイトモード (初期値)
	1	端子オートウェイトモード

フラッシュメモリコントロールレジスタイネーブル 単一電源方式フラッシュのみ適用
H8/3437FS

0	フラッシュメモリの制御レジスタは非選択状態 (初期値)
1	フラッシュメモリの制御レジスタは選択状態

クロック分周

0	周辺モジュールへのクロックは分周しない ($p =$) (初期値)
1	周辺モジュールへのクロックを2分周する ($p = /2$)

RAMセレクト RAMエリア設定 二電源方式フラッシュのみ適用
H8/3434F

RAMS	RAM0	使用するRAMエリア	対応するROMエリア
0	0	なし	—
	1	H'FC80 ~ H'FCFF	H'0080 ~ H'00FF
1	0	H'FC80 ~ H'FD7F	H'0080 ~ H'017F
	1	H'FC00 ~ H'FC7F	H'0000 ~ H'007F

H8/3437F

RAMS	RAM0	使用するRAMエリア	対応するROMエリア
0	0	なし	—
	1	H'F880 ~ H'F8FF	H'0080 ~ H'00FF
1	0	H'F880 ~ H'F97F	H'0080 ~ H'017F
	1	H'F800 ~ H'F87F	H'0000 ~ H'007F

H'C3 : シリアルタイムコントロールレジスタ STCR : システム

ビット :	7	6	5	4	3	2	1	0
	IICS	IICD	IICX	IICE	STAC	MPE	ICKS1	ICKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

インターナルクロックソースセレクト
TMR0、1のTCRを参照してください。

マルチプロセッサイネーブル

0	マルチプロセッサ機能を禁止
1	MPビットを有効にする

スレーブモード制御入力切り替え

0	IOW、CS ₂ が有効
1	EIOW、ECS ₂ が有効

I²Cマスタイネーブル

0	I ² Cバスインタフェースのデータレジスタおよび制御レジスタ無効 (初期値)
1	I ² Cバスインタフェースのデータレジスタおよび制御レジスタ有効

I²Cトランスファレートセレクト

IICX	CKS2 *2	CKS1 *2	CKS0 *2	クロック	転送レート*1				
					p = 4MHz	p = 5MHz	p = 8MHz	p = 10MHz	p = 16MHz
0	0	0	0	p/28	143kHz	179kHz	286kHz	357kHz	571kHz
			1	p/40	100kHz	125kHz	200kHz	250kHz	400kHz
		1	0	p/48	83.3kHz	104kHz	167kHz	208kHz	333kHz
			1	p/64	62.5kHz	78.1kHz	125kHz	156kHz	250kHz
	1	0	0	p/80	50.0kHz	62.5kHz	100kHz	125kHz	200kHz
			1	p/100	40.0kHz	50.0kHz	80.0kHz	100kHz	160kHz
		1	0	p/112	35.7kHz	44.6kHz	71.4kHz	89.3kHz	143kHz
			1	p/128	31.3kHz	39.1kHz	62.5kHz	78.1kHz	125kHz
1	0	0	0	p/56	71.4kHz	89.3kHz	143kHz	179kHz	286kHz
			1	p/80	50.0kHz	62.5kHz	100kHz	125kHz	200kHz
		1	0	p/96	41.7kHz	52.1kHz	83.3kHz	104kHz	167kHz
			1	p/128	31.3kHz	39.1kHz	62.5kHz	78.1kHz	125kHz
	1	0	0	p/160	25.0kHz	31.3kHz	50.0kHz	62.5kHz	100kHz
			1	p/200	20.0kHz	25.0kHz	40.0kHz	50.0kHz	80.0kHz
		1	0	p/224	17.9kHz	22.3kHz	35.7kHz	44.6kHz	71.4kHz
			1	p/256	15.6kHz	19.5kHz	31.3kHz	39.1kHz	62.5kHz

【注】*1 p = の場合
*2 CKS2~0はI²CバスインタフェースのI²Cバスコントロールレジスタビット2~0です。

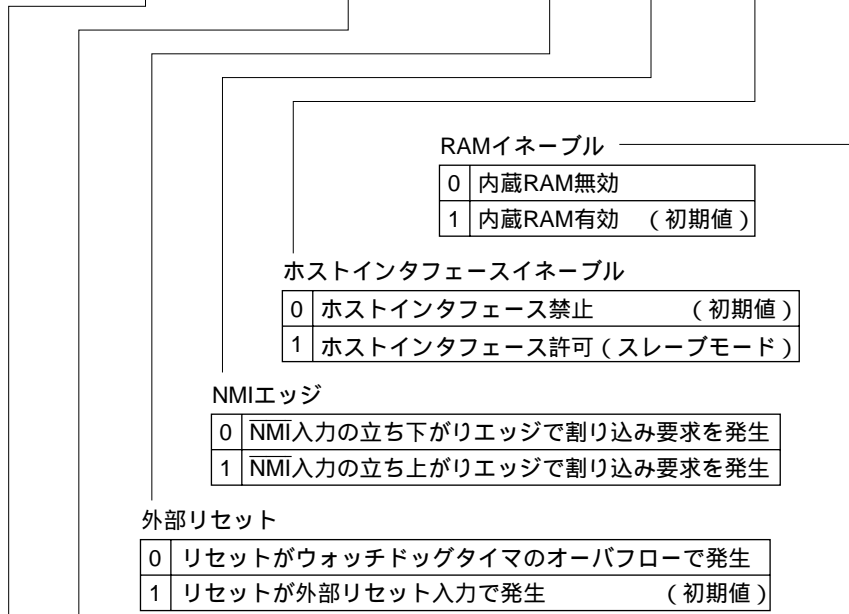
I²Cエクストラバッファリザーブ

I²Cエクストラバッファセレクト

0	PA ₇ ~PA ₄ は通常の入出力端子
1	PA ₇ ~PA ₄ はバス駆動機能選択

H'C4 : システムコントロールレジスタ SYSCR : システム

ビット :	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	XRST	NMIEG	HIE	RAME
初期値 :	0	0	0	0	1	0	0	1
R/W :	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W



RAMイネーブル

0	内蔵RAM無効
1	内蔵RAM有効 (初期値)

ホストインタフェースイネーブル

0	ホストインタフェース禁止 (初期値)
1	ホストインタフェース許可 (スレープモード)

NMIエッジ

0	NMI入力の立ち下がりエッジで割り込み要求を発生
1	NMI入力の立ち上がりエッジで割り込み要求を発生

外部リセット

0	リセットがウォッチドッグタイマのオーパフローで発生
1	リセットが外部リセット入力で発生 (初期値)

スタンバイタイムセレクト2~0 (ZTAT版、マスクROM版)

0	0	待機時間 = 8,192ステート (初期値)
	1	待機時間 = 16,384ステート
1	0	待機時間 = 32,768ステート
	1	待機時間 = 65,536ステート
1	0	待機時間 = 131,072ステート
	1	使用禁止

スタンバイタイムセレクト2~0 (F-ZTAT版)

0	0	待機時間 = 8,192ステート (初期値)
	1	待機時間 = 16,384ステート
1	0	待機時間 = 32,768ステート
	1	待機時間 = 65,536ステート
1	0	待機時間 = 131,072ステート
	1	待機時間 = 1,024ステート
	1	使用禁止

ソフトウェアスタンバイ

0	SLEEP命令実行後、スリープモードに遷移 (初期値)
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移

H'C5 : モードコントロールレジスタ MDCR : システム

H8/3437SF 以外

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	MDS1	MDS0
初期値:	1	1	1	0	0	1	—*	—*
R/W :	—	—	—	—	—	—	R	R

モードセレクト
モード端子の値

【注】* モード端子 (MD₁、MD₀) により決定されます。

H8/3437SF

ビット:	7	6	5	4	3	2	1	0
	EXPE	—	—	—	—	—	MDS1	MDS0
初期値:	—*	1	1	0	0	1	—*	—*
R/W :	R/W*	—	—	—	—	—	R	R

モードセレクト
モード端子の値

拡張モードイネーブル

0	シングルチップモードを選択
1	拡張モードを選択 (ブートモード時のみライト可能)

【注】* モード端子 (MD₁、MD₀) により決定されます。

H'C6 : IRQ センスコントロールレジスタ ISCR : システム

ビット:	7	6	5	4	3	2	1	0
	IRQ7SC	IRQ6SC	IRQ5SC	IRQ4SC	IRQ3SC	IRQ2SC	IRQ1SC	IRQ0SC
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ0 ~ IRQ7センスコントロール

0	$\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_7$ 入力のLowレベルで割り込み要求を発生
1	$\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_7$ 入力の立ち下がリエッジで割り込み要求を発生

H'C7 : IRQ イネーブルレジスタ IER : システム

ビット :	7	6	5	4	3	2	1	0
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ0 ~ IRQ7 イネーブル

0	IRQ ₀ ~ IRQ ₇ 割り込みを禁止
1	IRQ ₀ ~ IRQ ₇ 割り込みを許可

H'C8 : タイマコントロールレジスタ TCR : TMR0

ビット :	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

TCR			STCR		説 明
ビット2	ビット1	ビット0	ビット1	ビット0	
CKS2	CKS1	CKS0	ICKS1	ICKS0	
0	0	0	—	—	クロック入力禁止 (初期値)
		1	—	0	内部クロック : $p/8$ 立ち下がりエッジ (\downarrow) でカウント
		—	—	1	内部クロック : $p/2$ 立ち下がりエッジ (\downarrow) でカウント
	1	0	—	0	内部クロック : $p/64$ 立ち下がりエッジ (\downarrow) でカウント
		—	—	1	内部クロック : $p/32$ 立ち下がりエッジ (\downarrow) でカウント
		1	—	0	内部クロック : $p/1024$ 立ち下がりエッジ (\downarrow) でカウント
1	0	—	—	1	内部クロック : $p/256$ 立ち下がりエッジ (\downarrow) でカウント
		0	—	—	クロック入力禁止
		1	—	—	外部クロック : 立ち上がりエッジ (\uparrow) でカウント
	1	0	—	—	外部クロック : 立ち下がりエッジ (\downarrow) でカウント
		—	—	—	外部クロック : 立ち上がり / 立ち下がり (\uparrow , \downarrow) 両エッジでカウント
		1	—	—	外部クロック : 立ち上がり / 立ち下がり (\uparrow , \downarrow) 両エッジでカウント

カウンタクリア

0	0	クリア禁止
	1	コンペアマッチAによりクリア
1	0	コンペアマッチBによりクリア
	1	外部リセット入力の立ち上がりエッジによりクリア

タイマオーバフローインタラプトイネーブル

0	OVFによる割り込み要求を禁止
1	OVFによる割り込み要求を許可

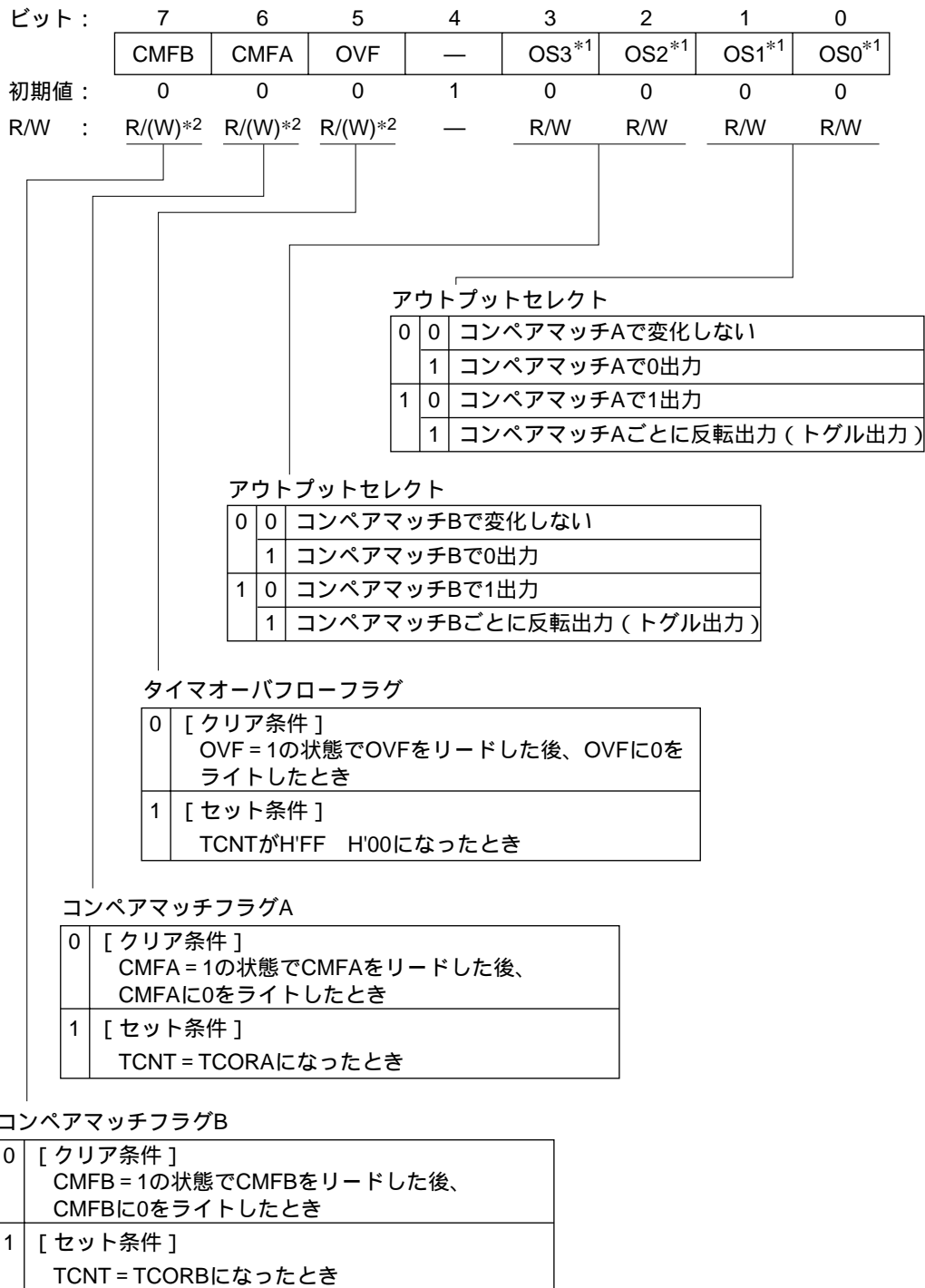
コンペアマッチインタラプトイネーブルA

0	CMFAによる割り込み要求を禁止
1	CMFAによる割り込み要求を許可

コンペアマッチインタラプトイネーブルB

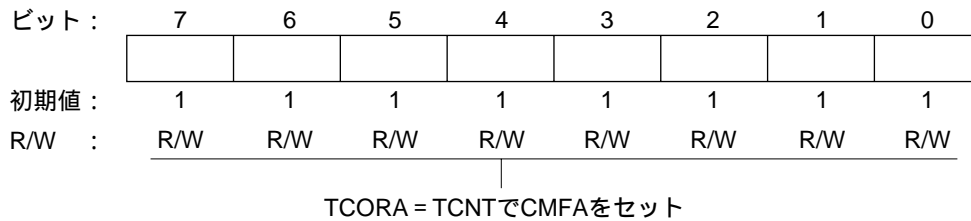
0	CMFBによる割り込み要求を禁止
1	CMFBによる割り込み要求を許可

H'C9 : タイマコントロール/ステータスレジスタ TCSR : TMR0

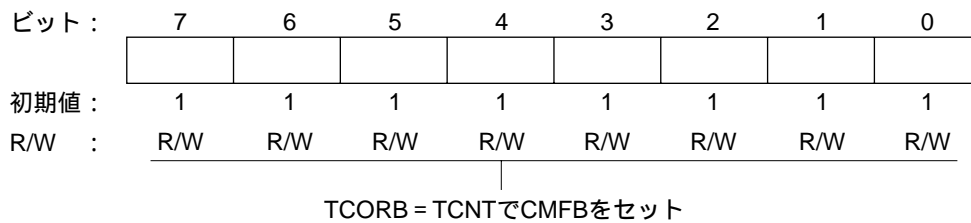


【注】 *1 OS3~0がすべて0のとき、タイマ出力は禁止されます。
*2 フラグをクリアするための0ライトのみ可能です。

H'CA : タイムコンスタントレジスタ A TCORA : TMR0



H'CB : タイムコンスタントレジスタ B TCORB : TMR0



H'CC : タイマカウンタ TCNT : TMR0



H'D0 : タイマコントロールレジスタ TCR : TMR1

ビット :	7	6	5	4	3	2	1	0
	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト

TCR			STCR		説 明
ビット2	ビット1	ビット0	ビット1	ビット0	
CKS2	CKS1	CKS0	ICKS1	ICKS0	
0	0	0	—	—	クロック入力禁止 (初期値)
		1	0	—	内部クロック : $p/8$ 立ち下がりエッジ (\downarrow) でカウント
		1	1	—	内部クロック : $p/2$ 立ち下がりエッジ (\downarrow) でカウント
	1	0	0	—	内部クロック : $p/64$ 立ち下がりエッジ (\downarrow) でカウント
		1	1	—	内部クロック : $p/128$ 立ち下がりエッジ (\downarrow) でカウント
		0	1	—	内部クロック : $p/1024$ 立ち下がりエッジ (\downarrow) でカウント
1	0	1	1	—	内部クロック : $p/2048$ 立ち下がりエッジ (\downarrow) でカウント
		0	—	—	クロック入力禁止
	1	0	—	—	外部クロック : 立ち上がりエッジ (\uparrow) でカウント
		1	—	—	外部クロック : 立ち下がりエッジ (\downarrow) でカウント
		1	—	—	外部クロック : 立ち上がり / 立ち下がり (\uparrow , \downarrow) 両エッジでカウント

カウンタクリア

0	0	クリア禁止
	1	コンペアマッチAによりクリア
1	0	コンペアマッチBによりクリア
	1	外部リセット入力の立ち上がりエッジによりクリア

タイマオーバフローインタラプトイネーブル

0	OVFによる割り込み要求を禁止
1	OVFによる割り込み要求を許可

コンペアマッチインタラプトイネーブルA

0	CMFAによる割り込み要求を禁止
1	CMFAによる割り込み要求を許可

コンペアマッチインタラプトイネーブルB

0	CMFBによる割り込み要求を禁止
1	CMFBによる割り込み要求を許可

H'D1 : タイマコントロール/ステータスレジスタ TCSR : TMR1

ビット:	7	6	5	4	3	2	1	0
	CMFB	CMFA	OVF	—	OS3*1	OS2*1	OS1*1	OS0*1
初期値:	0	0	0	1	0	0	0	0
R/W :	R/(W)*2	R/(W)*2	R/(W)*2	—	R/W	R/W	R/W	R/W

【注】機能はTMR0と同じです。

*1 OS3~0がすべて0のとき、タイマ出力は禁止されます。

*2 フラグをクリアするための0ライトのみ可能です。

H'D2 : タイムコンスタントレジスタ A TCORA : TMR1

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】機能はTMR0と同じです。

H'D3 : タイムコンスタントレジスタ B TCORB : TMR1

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】機能はTMR0と同じです。

H'D4 : タイマカウンタ TCNT : TMR1

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】機能はTMR0と同じです。

H'D8 : I²C バスコントロールレジスタ ICCR : I²C

ビット:	7	6	5	4	3	2	1	0
	ICE	IEIC	MST	TRS	ACK	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

転送クロック選択

IICX*	CKS2	CKS1	CKS0	クロック	転送レート				
					p = 4MHz	p = 5MHz	p = 8MHz	p = 10MHz	p = 16MHz
0	0	0	0	p/28	143kHz	179kHz	286kHz	357kHz	571kHz
			1	p/40	100kHz	125kHz	200kHz	250kHz	400kHz
		1	0	p/48	83.3kHz	104kHz	167kHz	208kHz	333kHz
			1	p/64	62.5kHz	78.1kHz	125kHz	156kHz	250kHz
	1	0	0	p/80	50.0kHz	62.5kHz	100kHz	125kHz	200kHz
			1	p/100	40.0kHz	50.0kHz	80.0kHz	100kHz	160kHz
		1	0	p/112	35.7kHz	44.6kHz	71.4kHz	89.3kHz	143kHz
			1	p/128	31.3kHz	39.1kHz	62.5kHz	78.1kHz	125kHz
1	0	0	0	p/56	71.4kHz	89.3kHz	143kHz	179kHz	286kHz
			1	p/80	50.0kHz	62.5kHz	100kHz	125kHz	200kHz
		1	0	p/96	41.7kHz	52.1kHz	83.3kHz	104kHz	167kHz
			1	p/128	31.3kHz	39.1kHz	62.5kHz	78.1kHz	125kHz
	1	0	0	p/160	25.0kHz	31.3kHz	50.0kHz	62.5kHz	100kHz
			1	p/200	20.0kHz	25.0kHz	40.0kHz	50.0kHz	80.0kHz
		1	0	p/224	17.9kHz	22.3kHz	35.7kHz	44.6kHz	71.4kHz
			1	p/256	15.6kHz	19.5kHz	31.3kHz	39.1kHz	62.5kHz

【注】 p = の場合

* IICXはシリアルタイムコントロールレジスタ (STCR) のビット5です。
 ■部の設定は、標準のI²Cバス仕様の最大転送レートを超過しています。

アクノリッジメントモード選択

0	アクノリッジメントモード
1	シリアルモード

マスタ/スレーブ選択、送信/受信選択

0	0	スレーブ受信モード
	1	スレーブ送信モード
1	0	マスタ受信モード
	1	マスタ送信モード

I²Cバスインタフェース割り込みイネーブル

0	割り込み要求を禁止
1	割り込み要求を許可

I²Cバスインタフェースイネーブル

0	本モジュールは非動作、SCL / SDA端子はポート機能
1	本モジュールは転送動作可能状態、SCL / SDA端子はバス駆動可能

H'D9 : I²C バスステータスレジスタ ICSR : I²C

ビット:	7	6	5	4	3	2	1	0
	BBSY	IRIC	SCP	—	AL	AAS	ADZ	ACKB
初期値:	0	0	1	1	0	0	0	0
R/W :	R/W	R/(W)*	W	—	R/(W)*	R/(W)*	R/(W)*	R/W

ACKノリッジビット	
0	受信時、ACKノリッジ出力タイミングで0出力 送信時、受信デバイスからACKノリッジがあったことを示す
1	受信時、ACKノリッジ出力タイミングで1出力 送信時、受信デバイスからACKノリッジがなかったことを示す

ゼネラルコールアドレス認識フラグ	
0	ゼネラルコールアドレスを未認識 [クリア条件] ・ICDRにデータをライト(送信時)、もしくはリード(受信時)したとき ・ADZ = 1リード後、0をライトしたとき
1	ゼネラルコールアドレスを認識 [セット条件] ・スレーブ受信モードでゼネラルコールアドレスを検出したとき

スレーブアドレス認識フラグ	
0	スレーブアドレスまたはゼネラルコールアドレスを未認識 [クリア条件] ・ICDRにデータをライト(送信時)、もしくはリード(受信時)したとき ・AAS = 1リード後、0をライトしたとき
1	スレーブアドレスまたはゼネラルコールアドレスを認識 [セット条件] ・スレーブ受信モードでスレーブアドレスまたはゼネラルコールアドレスを検出したとき

アービトレーションロストフラグ	
0	バスアービトレーションを確保 [クリア条件] ・ICDRにデータをライト(送信時)、もしくはリード(受信時)したとき ・AL = 1リード後、0をライトしたとき
1	アービトレーションロスト [セット条件] ・マスタ送信モードでSCLの立ち上がりで内部SDAとバスラインが不一致のとき ・マスタ送信モードでSCLの立ち下がり後で内部SCLがHighレベルのとき

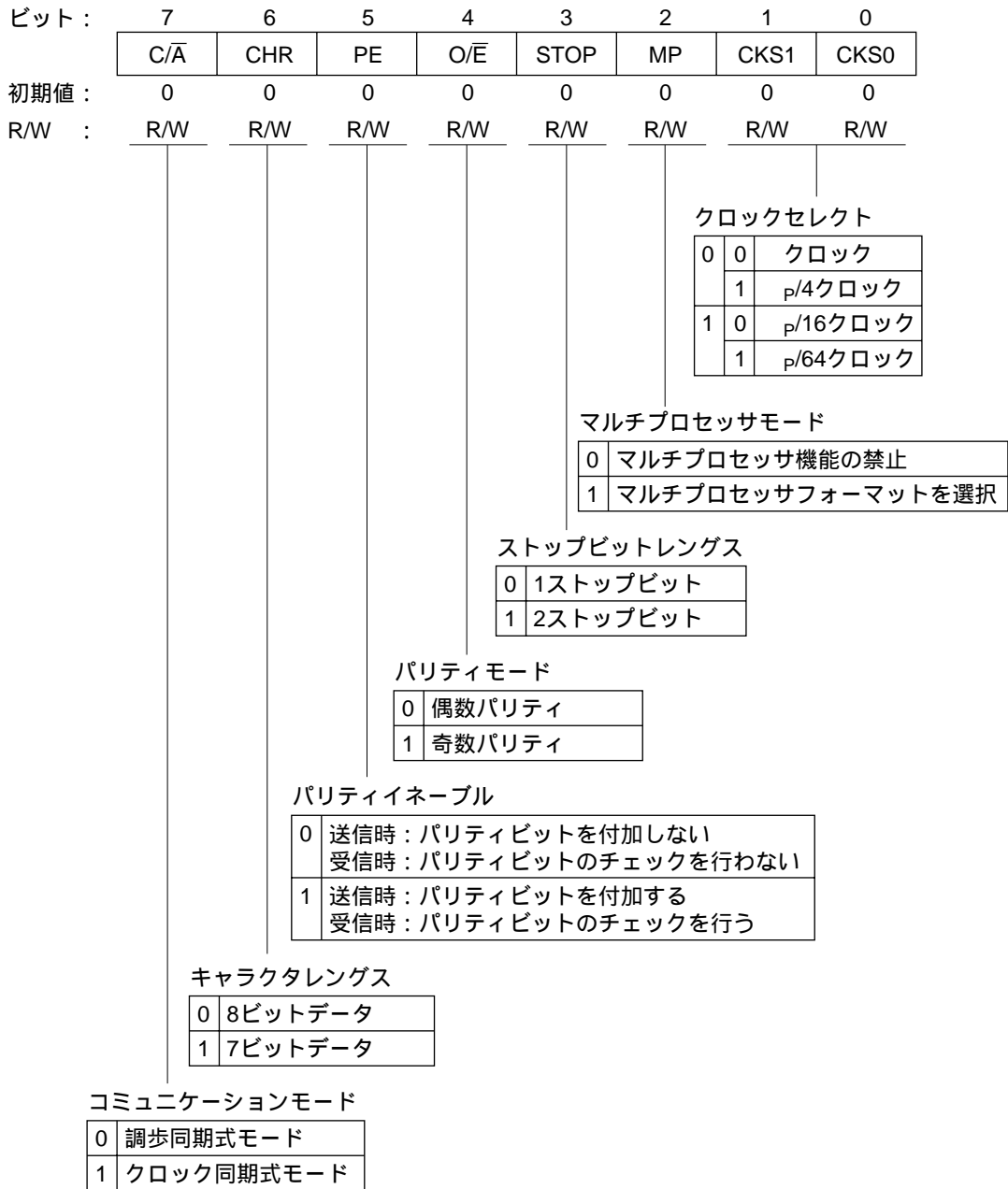
開始条件 / 停止条件発行禁止ビット	
0	ライト時、BBSYと組み合わせて開始条件、停止条件発行
1	リード時、常に1をリード ライト時、無効

I ² Cバスインタフェース割り込み要求フラグ	
0	転送待ち状態、または転送中 [クリア条件] ・IRIC = 1リード後、0をライトしたとき
1	割り込みが発生 [セット条件] マスタモード ・データ転送終了時 ・バスアービトレーションを失ったとき スレーブモード (FS = 0のとき) ・スレーブアドレスが一致したとき、および一致後再送開始条件または停止条件検出までのデータ転送終了時 ・ゼネラルコールアドレスを検出したとき、および検出後再送開始条件または停止条件検出までのデータ転送終了時 スレーブモード (FS = 1のとき) ・データ転送終了時

バスビジー	
0	バス解放状態 [クリア条件] 停止条件検出時
1	バス占有状態 [セット条件] 開始条件検出時

【注】* フラグをクリアするための0ライトのみ可能です。

H'D8 : シリアルモードレジスタ SMR : SCI0



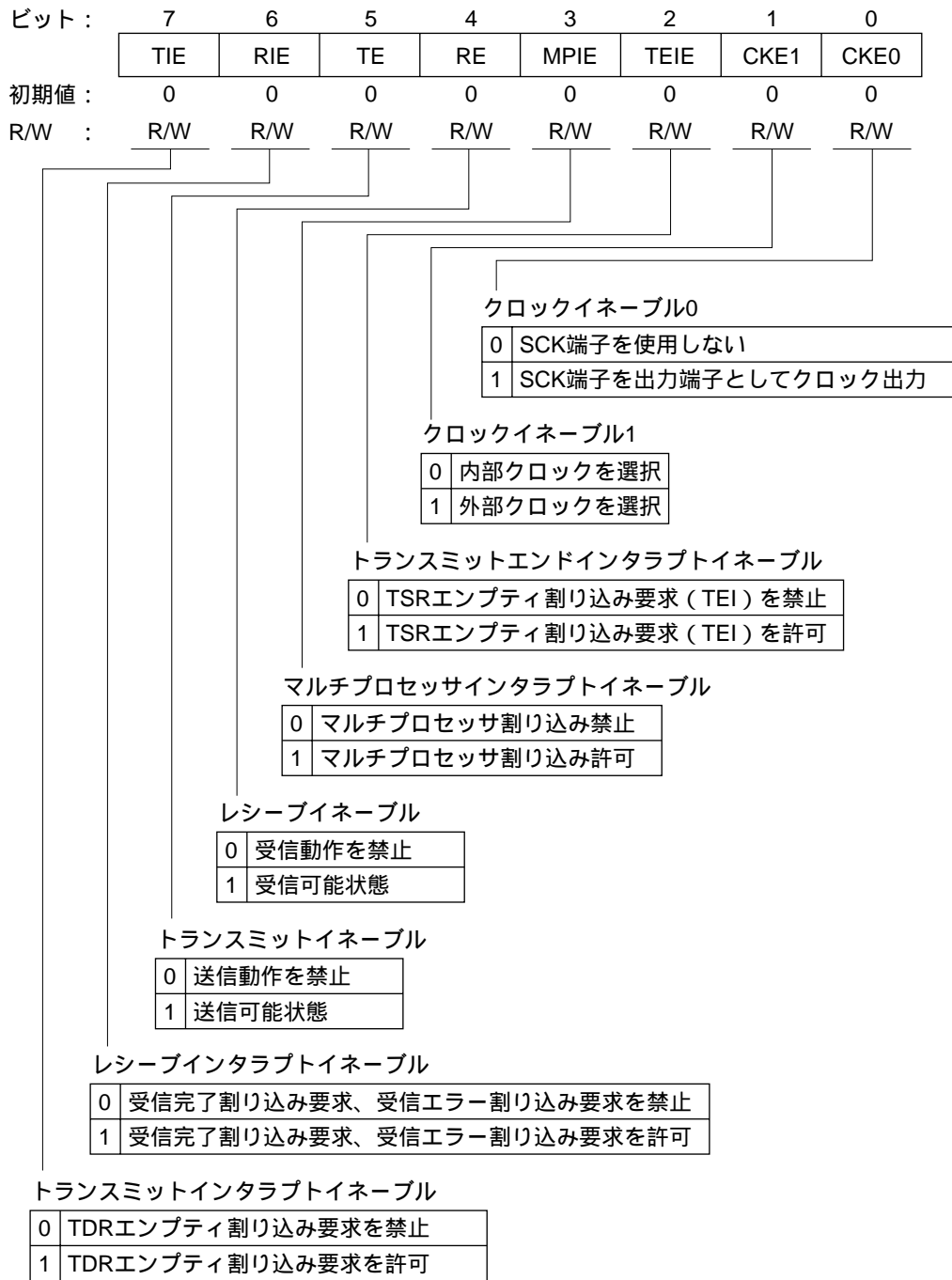
【注】機能はSCI1と同じです。

H'D9 : ビットレートレジスタ BRR : SCI0

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】機能はSCI1と同じです。

H'DA : シリアルコントロールレジスタ SCR : SCI0

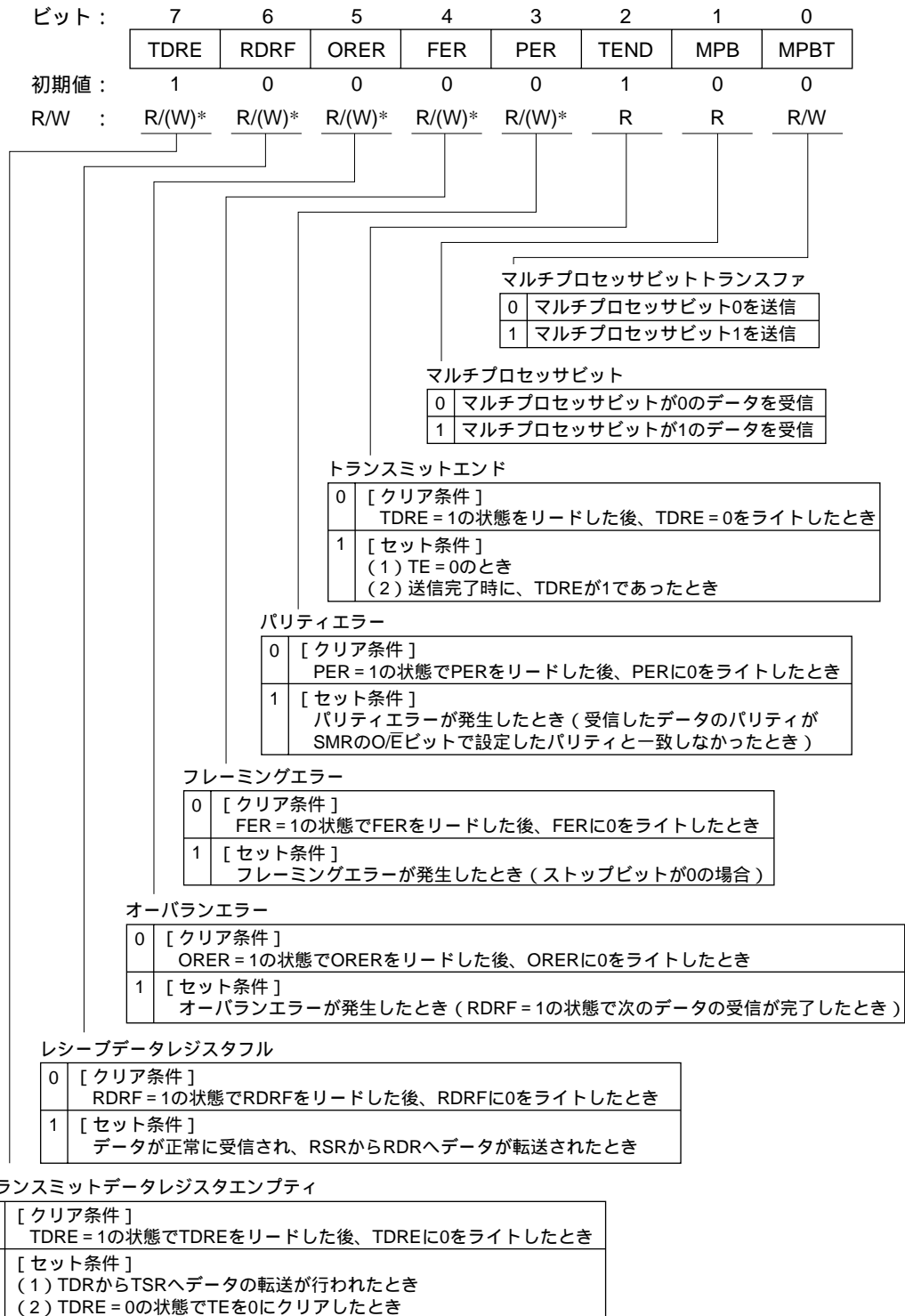


【注】機能はSCI1と同じです。

H'DB : トランスミッタレジスタ TDR : SCI0

ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

H'DC : シリアルステータスレジスタ SSR : SCIO



【注】* フラグをクリアするための0ライトのみ可能です。
機能はSCI1と同じです。

H'DD : レシーブデータレジスタ RDR : SCI0

ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

【注】機能はSCI1と同じです。

受信データを格納

H'DE : I²C バスデータレジスタ ICDR : I²C

ビット :	7	6	5	4	3	2	1	0
	ICDR7	ICDR6	ICDR5	ICDR4	ICDR3	ICDR2	ICDR1	ICDR0
初期値 :	—	—	—	—	—	—	—	—
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

送信受信データ

H'DF : スレーブアドレスレジスタ SAR : I²C

ビット :	7	6	5	4	3	2	1	0
	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	FS
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

スレーブアドレスを格納

フォーマットセレクト

0	アドレッシングフォーマット、スレーブアドレスを認識
1	ノンアドレッシングフォーマット

H'DF : I²C バスモードレジスタ ICMR : I²C

ビット :	7	6	5	4	3	2	1	0
	MLS	WAIT	—	—	—	BC2	BC1	BC0
初期値 :	0	0	1	1	1	0	0	0
R/W :	R/W	R/W	—	—	—	R/W	R/W	R/W

ビットカウンタ

BC2	BC1	BC0	ビットフレーム	
			シリアルモード	アクノリッジメントモード
0	0	0	8	9
		1	1	2
	1	0	2	3
		1	3	4
1	0	0	4	5
		1	5	6
	1	0	6	7
		1	7	8

ウェイト挿入ビット

0	データとアクノリッジを連続的に転送
1	データとアクノリッジの間にウェイト挿入

MSBファースト / LSBファースト選択

0	MSBファースト
1	LSBファースト

H'E0、H'E1 : A/D レジスタ A H、L ADDR A H、L : A/D

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
	ADDR A H								ADDR A L							
	A/D変換データ								リザーブビット							
	A/D変換結果の10ビットデータを格納															

H'E2、H'E3 : A/D レジスタ B H、L ADDR B H、L : A/D

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
	ADDR B H								ADDR B L							
	A/D変換データ								リザーブビット							
	A/D変換結果の10ビットデータを格納															

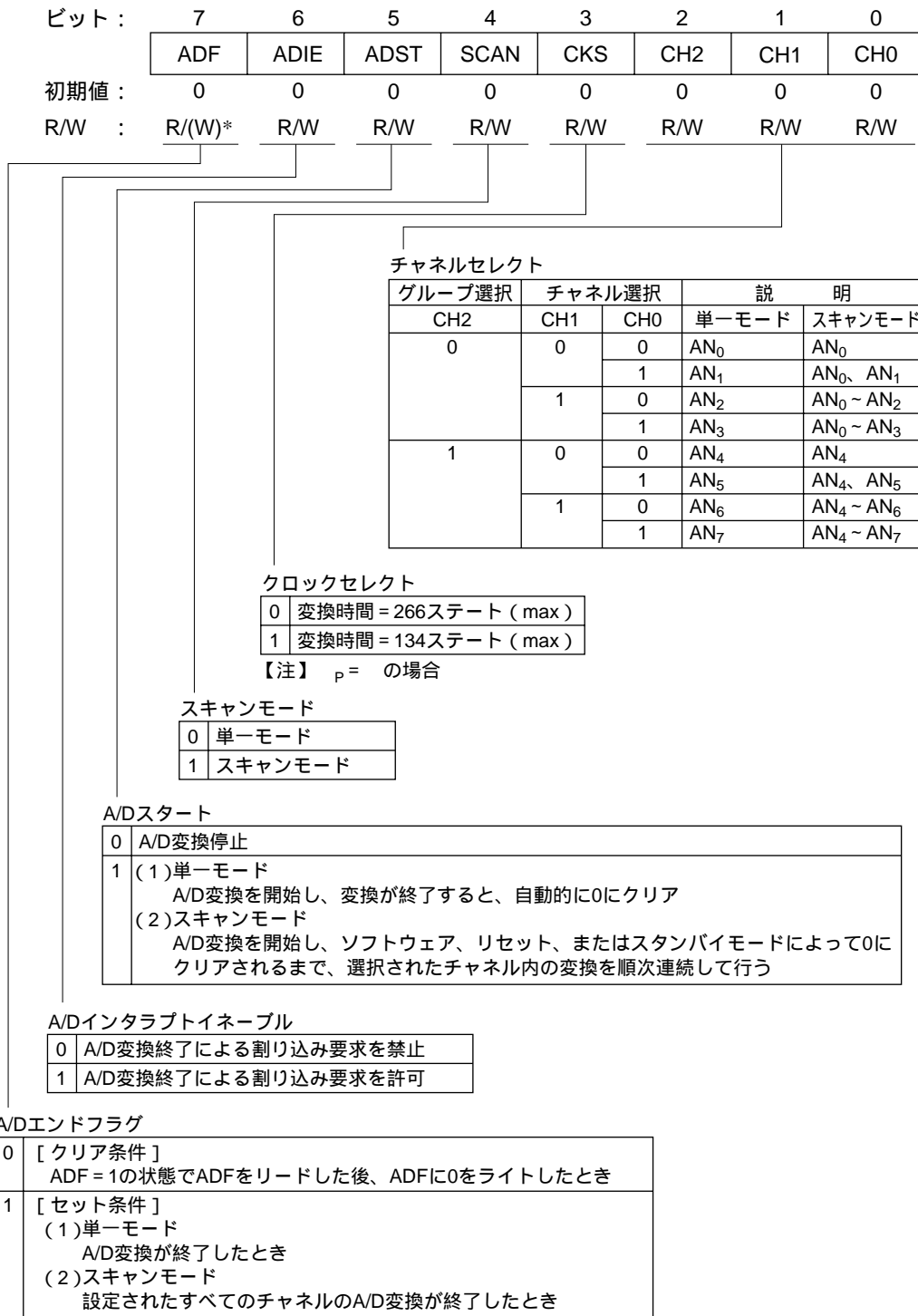
H'E4、H'E5 : A/D レジスタ C H、L ADDR C H、L : A/D

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
	ADDR C H								ADDR C L							
	A/D変換データ								リザーブビット							
	A/D変換結果の10ビットデータを格納															

H'E6、H'E7 : A/D レジスタ D H、L ADDRD H、L : A/D

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
	ADDRD H								ADDRD L							
	A/D変換データ								リザーブビット							
	A/D変換結果の10ビットデータを格納															

H'E8 : A/D コントロール / ステータスレジスタ ADCSR : A/D



【注】* フラグをクリアするための0ライトのみ可能です。

H'E9 : A/D コントロールレジスタ ADCR : A/D

ビット :	7	6	5	4	3	2	1	0
	TRGE	—	—	—	—	—	—	—
初期値 :	0	1	1	1	1	1	1	1
R/W :	R/W	—	—	—	—	—	—	—

トリガイネーブル

0	外部トリガ入力によるA/D変換の開始を禁止
1	外部トリガ入力によるA/D変換の開始を許可 (外部トリガ入力、およびソフトウェアによるA/D変換の開始が可能)

H'F0 : ホストインタフェースコントロールレジスタ HICR : HIF

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	IBFIE2	IBFIE1	FGA20E
初期値 :	1	1	1	1	1	0	0	0
ホストR/W :	—	—	—	—	—	—	—	—
スレーブR/W :	—	—	—	—	—	R/W	R/W	R/W

高速GATEA20イネーブル

0	高速GATEA20機能を禁止
1	高速GATEA20機能を許可

入力データレジスタフル割り込みイネーブル1

0	入力データレジスタ (IDR1) 受信完了割り込み要求を禁止
1	入力データレジスタ (IDR1) 受信完了割り込み要求を許可

入力データレジスタフル割り込みイネーブル2

0	入力データレジスタ (IDR2) 受信完了割り込み要求を禁止
1	入力データレジスタ (IDR2) 受信完了割り込み要求を許可

H'F1 : キーボードマトリクス割り込みマスクレジスタ KMIMR : HIF

ビット :	7	6	5	4	3	2	1	0
	KMIMR7	KMIMR6	KMIMR5	KMIMR4	KMIMR3	KMIMR2	KMIMR1	KMIMR0
初期値 :	1	0	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

キーボードマトリクス割り込みマスク

0	キーセンス入力割り込み要求を許可
1	キーセンス入力割り込み要求を禁止 (初期値)*

【注】* KMIMR6の初期値は0です。

H'F2 : ポート6入力アップMOSコントロールレジスタ KMPCR : HIF (P6)

ビット :	7	6	5	4	3	2	1	0
	KM ₇ PCR	KM ₆ PCR	KM ₅ PCR	KM ₄ PCR	KM ₃ PCR	KM ₂ PCR	KM ₁ PCR	KM ₀ PCR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート6入力プルアップMOS制御

0	入力プルアップMOSはOFF状態 (初期値)
1	入力プルアップMOSはON状態

H'F3 : キーボードマトリクス割り込みマスクレジスタ A KMIMRA : HIF

ビット :	7	6	5	4	3	2	1	0
	KMIMR15	KMIMR14	KMIMR13	KMIMR12	KMIMR11	KMIMR10	KMIMR9	KMIMR8
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

キーボードマトリクス割り込みマスク

0	キーセンス入力割り込み要求を許可
1	キーセンス入力割り込み要求を禁止 (初期値)

H'F4 : 入力データレジスタ1 IDR1 : HIF

ビット	:	7	6	5	4	3	2	1	0
		IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
初期値	:	—	—	—	—	—	—	—	—
ホストR/W	:	W	W	W	W	W	W	W	W
スレーブR/W	:	R	R	R	R	R	R	R	R

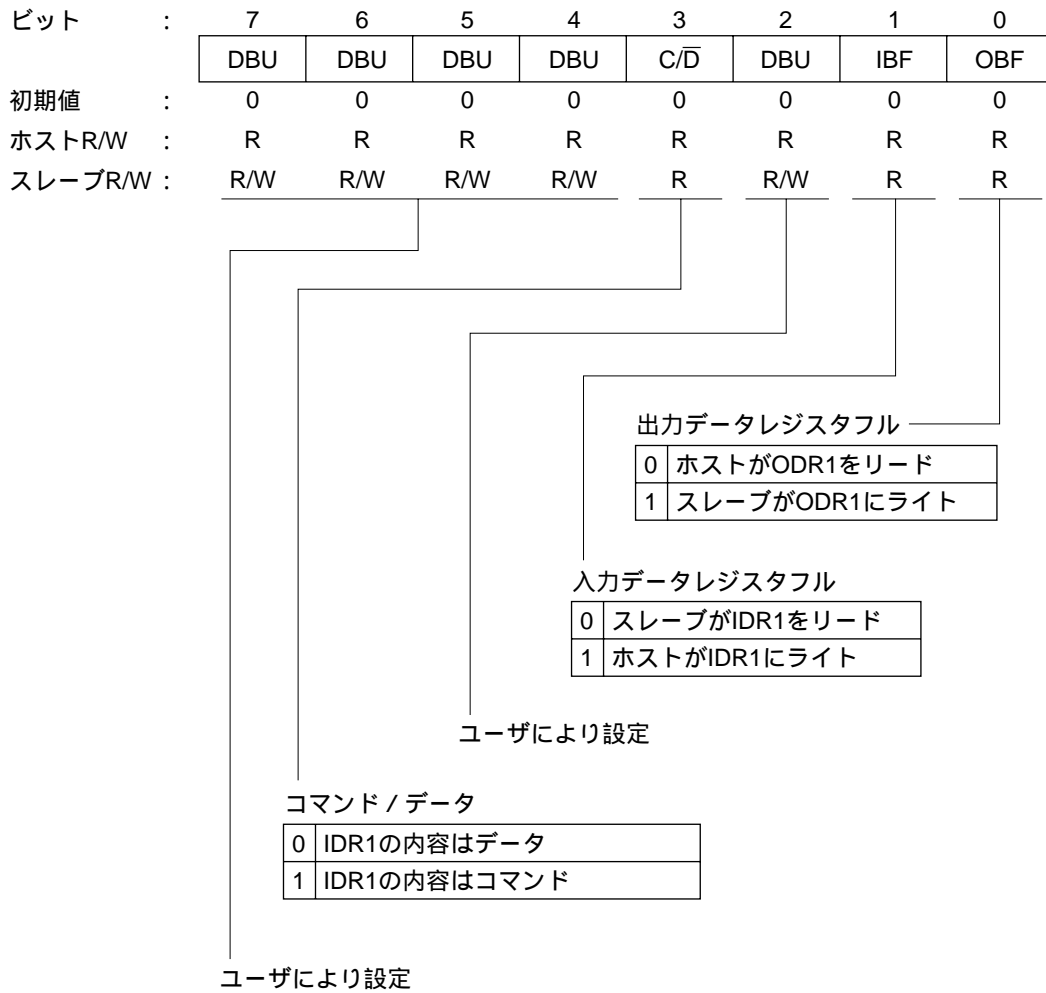
入力データ (ホストから入力されるコマンドまたはデータ)

H'F5 : 出力データレジスタ1 ODR1 : HIF

ビット	:	7	6	5	4	3	2	1	0
		ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0
初期値	:	—	—	—	—	—	—	—	—
ホストR/W	:	R	R	R	R	R	R	R	R
スレーブR/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

出力データ (ホストへ出力されるデータ)

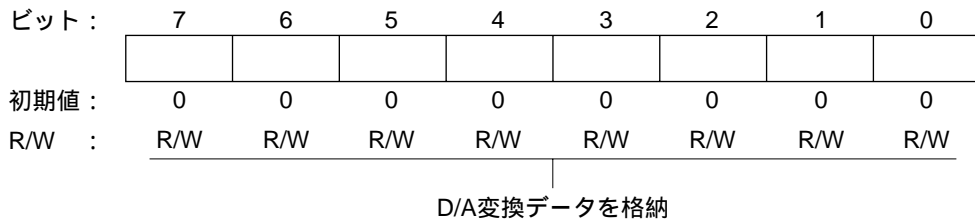
H'F6 : ステータスレジスタ 1 STR1 : HIF



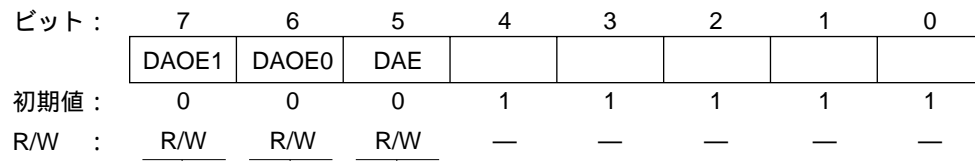
H'F8 : D/A データレジスタ 0 DADR0 : D/A



H'F9 : D/A データレジスタ 1 DADR1 : D/A



H'FA : D/A コントロールレジスタ DACR : D/A



D/Aイネーブル

ビット7	ビット6	ビット5	説 明
DAOE1	DAOE0	DAE	
0	0	—	チャンネル0、1のD/A変換を禁止
		0	チャンネル0のD/A変換を許可 チャンネル1のD/A変換を禁止
	1	チャンネル0、1のD/A変換を許可	
1	0	0	チャンネル0のD/A変換を禁止 チャンネル1のD/A変換を許可
		1	チャンネル0、1のD/A変換を許可
	1	チャンネル0、1のD/A変換を許可	

D/Aアウトプットイネーブル0

0	アナログ出力DA ₀ を禁止
1	チャンネル0のD/A変換を許可 アナログ出力DA ₀ を許可

D/Aアウトプットイネーブル1

0	アナログ出力DA ₁ を禁止
1	チャンネル1のD/A変換を許可 アナログ出力DA ₁ を許可

H'FC : 入力データレジスタ 2 IDR2 : HIF

ビット	:	7	6	5	4	3	2	1	0
		IDR7	IDR6	IDR5	IDR4	IDR3	IDR2	IDR1	IDR0
初期値	:	—	—	—	—	—	—	—	—
ホストR/W	:	W	W	W	W	W	W	W	W
スレーブR/W	:	R	R	R	R	R	R	R	R

入力データ（ホストから入力されるコマンドとデータ）

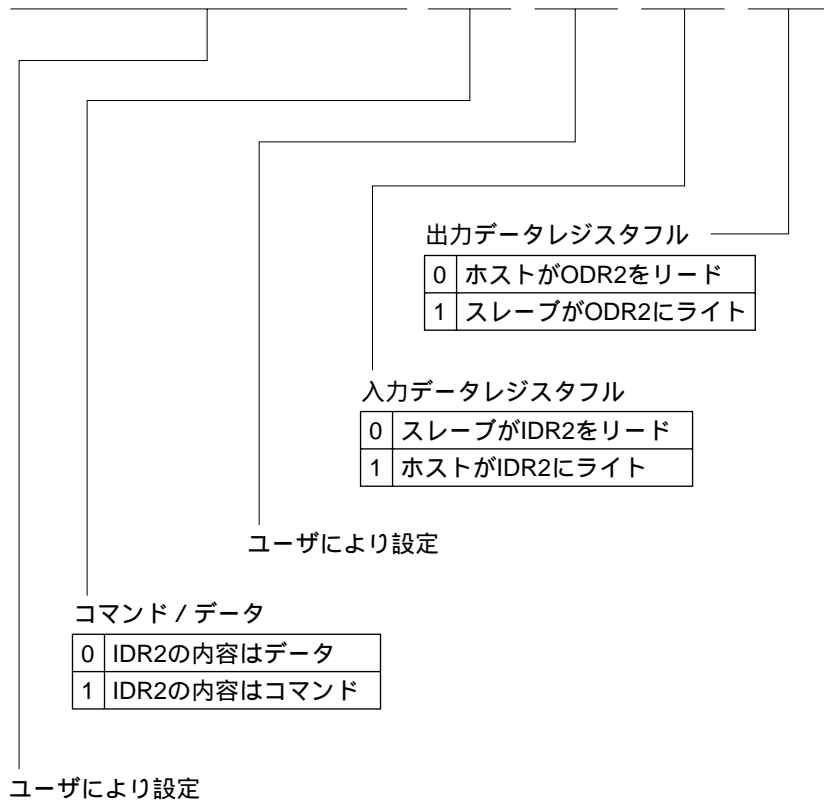
H'FD : 出力データレジスタ 2 ODR2 : HIF

ビット	:	7	6	5	4	3	2	1	0
		ODR7	ODR6	ODR5	ODR4	ODR3	ODR2	ODR1	ODR0
初期値	:	—	—	—	—	—	—	—	—
ホストR/W	:	R	R	R	R	R	R	R	R
スレーブR/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

出力データ（ホストへ出力されるデータ）

H'FE : ステータスレジスタ2 STR2 : HIF

ビット	7	6	5	4	3	2	1	0
	DBU	DBU	DBU	DBU	C/ \bar{D}	DBU	IBF	OBF
初期値	0	0	0	0	0	0	0	0
ホストR/W	R	R	R	R	R	R	R	R
スレーブR/W	R/W	R/W	R/W	R/W	R	R/W	R	R



C. I/O ポートブロック図

【注】 ここでいうリセットは、 [リセット+ハードウェアスタンバイ] のことです。

C.1 ポート1ブロック図

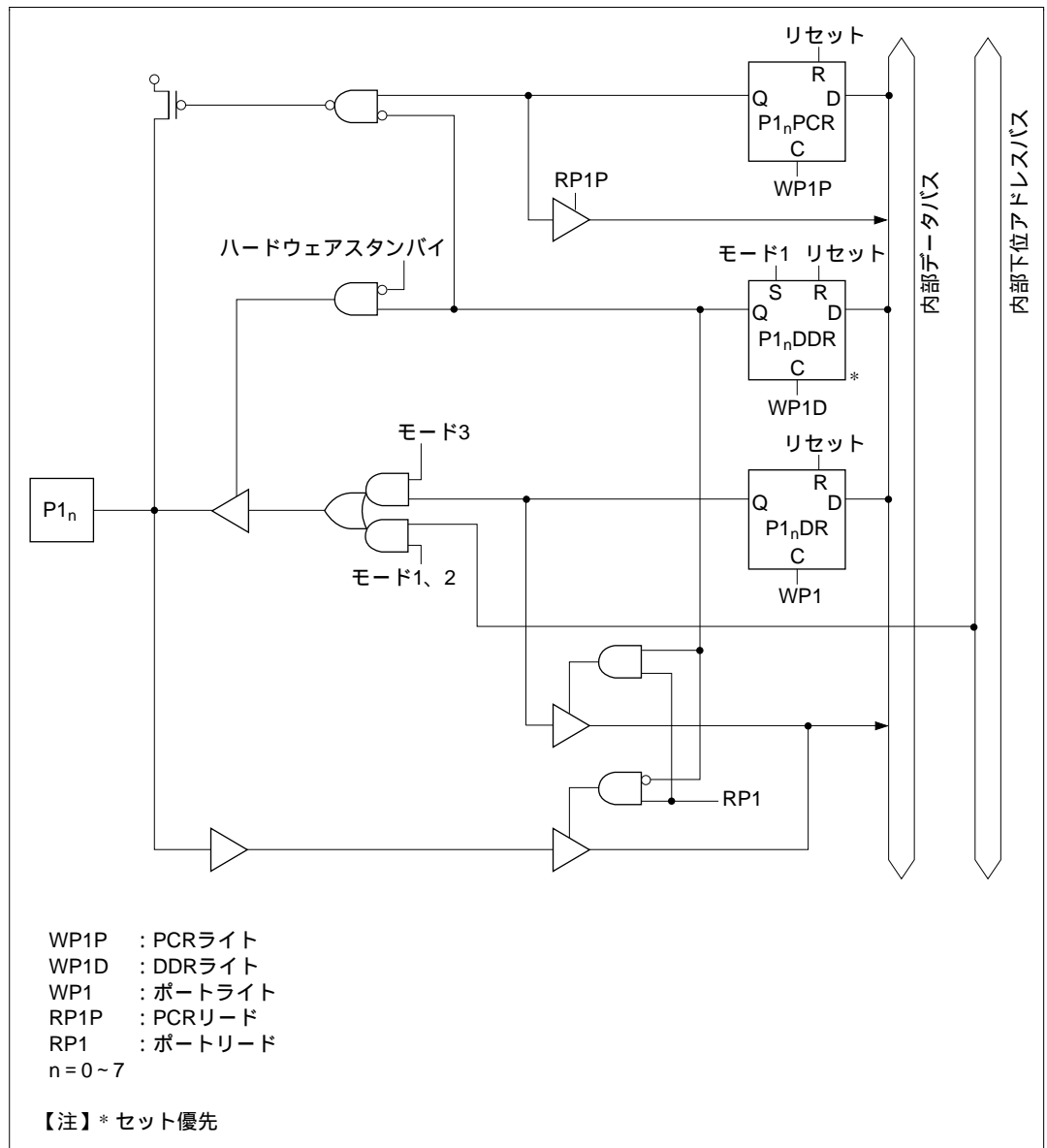


図 C.1 ポート1ブロック図

C.2 ポート2ブロック図

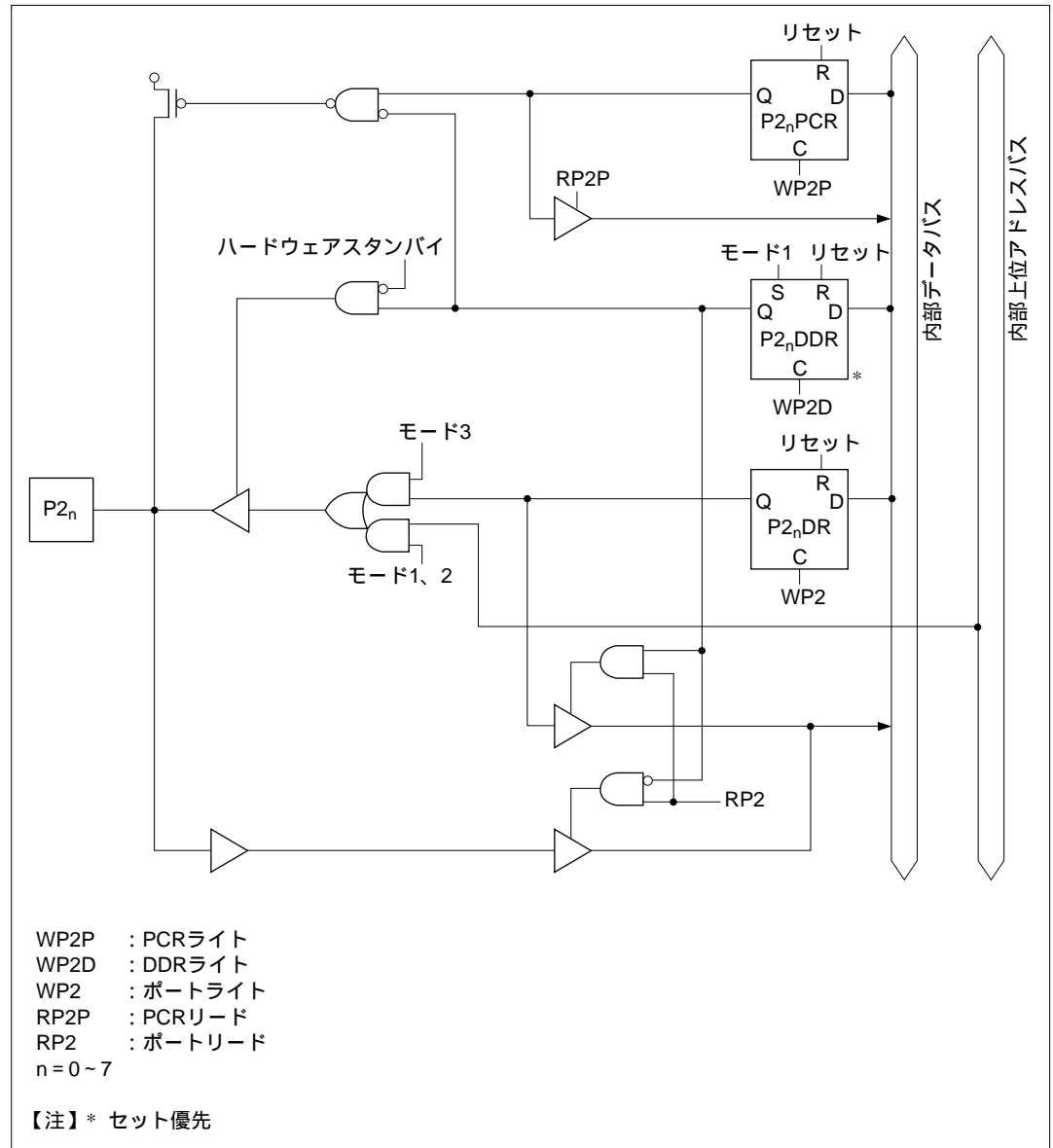


図 C.2 ポート2ブロック図

C.3 ポート3ブロック図

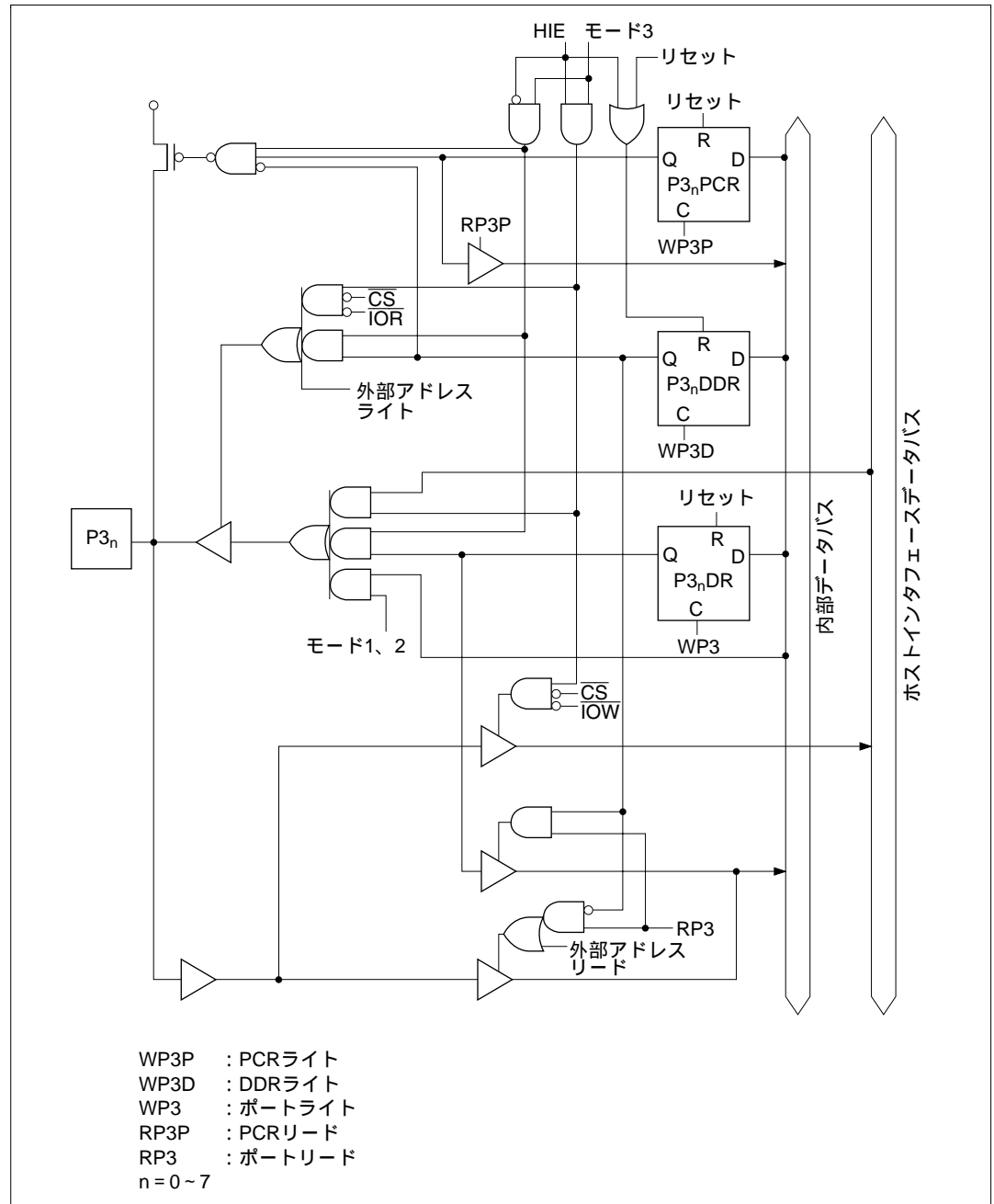


図 C.3 ポート3ブロック図

C.4 ポート4ブロック図

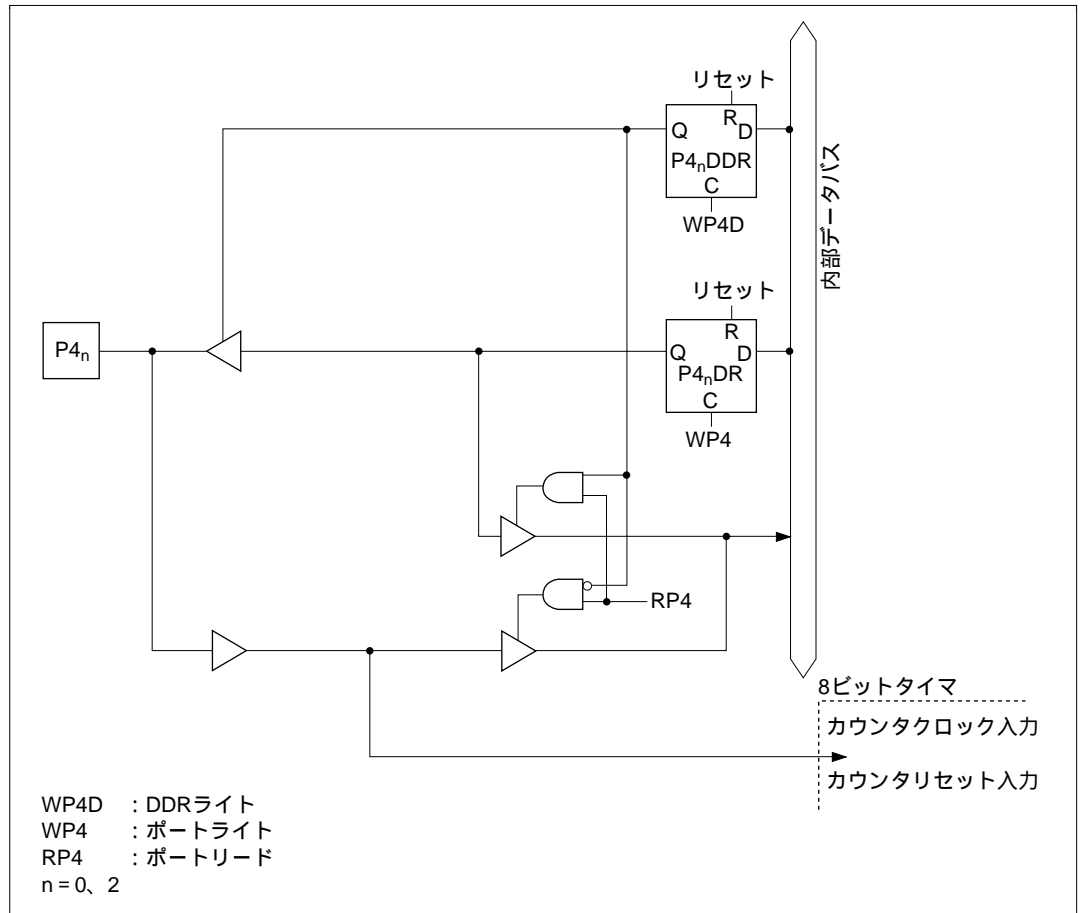


図 C.4 (a) ポート4 ブロック図 (P4₀, P4₂端子)

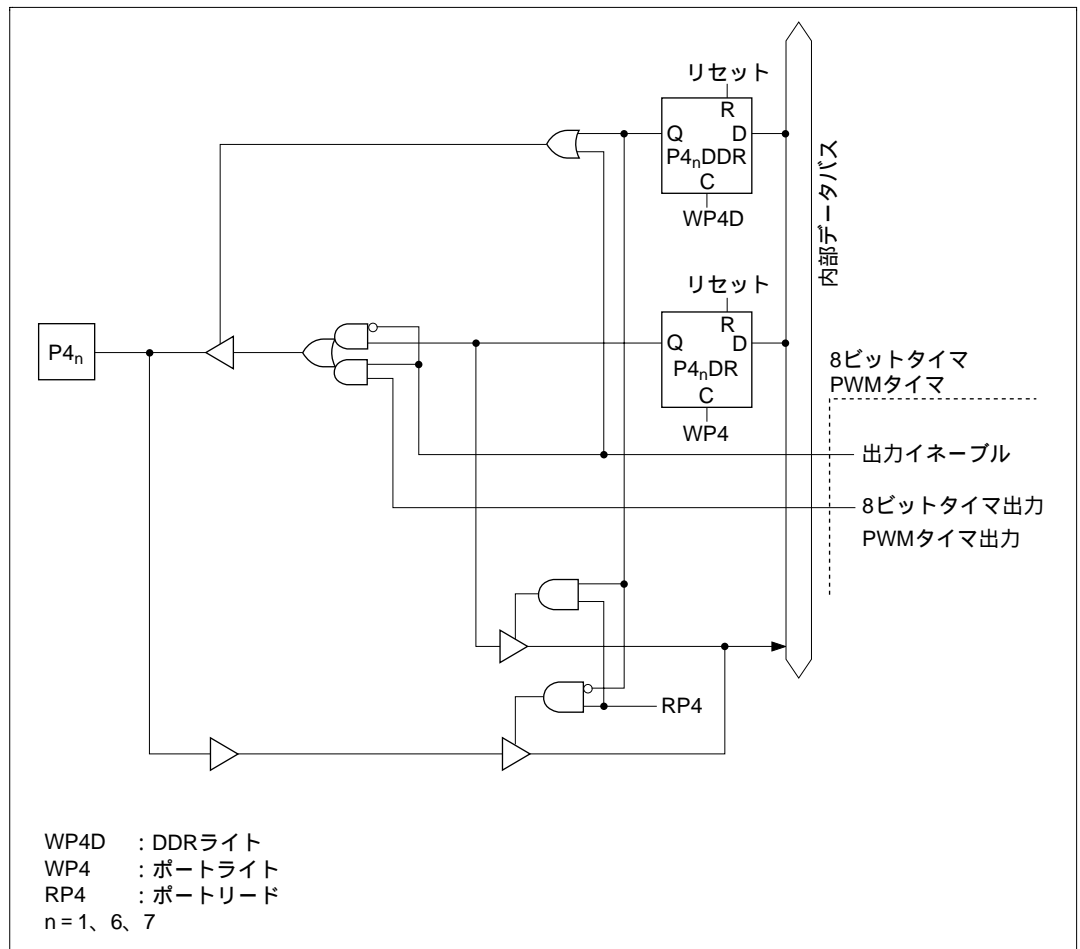


図 C.4 (b) ポート4 ブロック図 (P4₁、P4₆、P4₇端子)

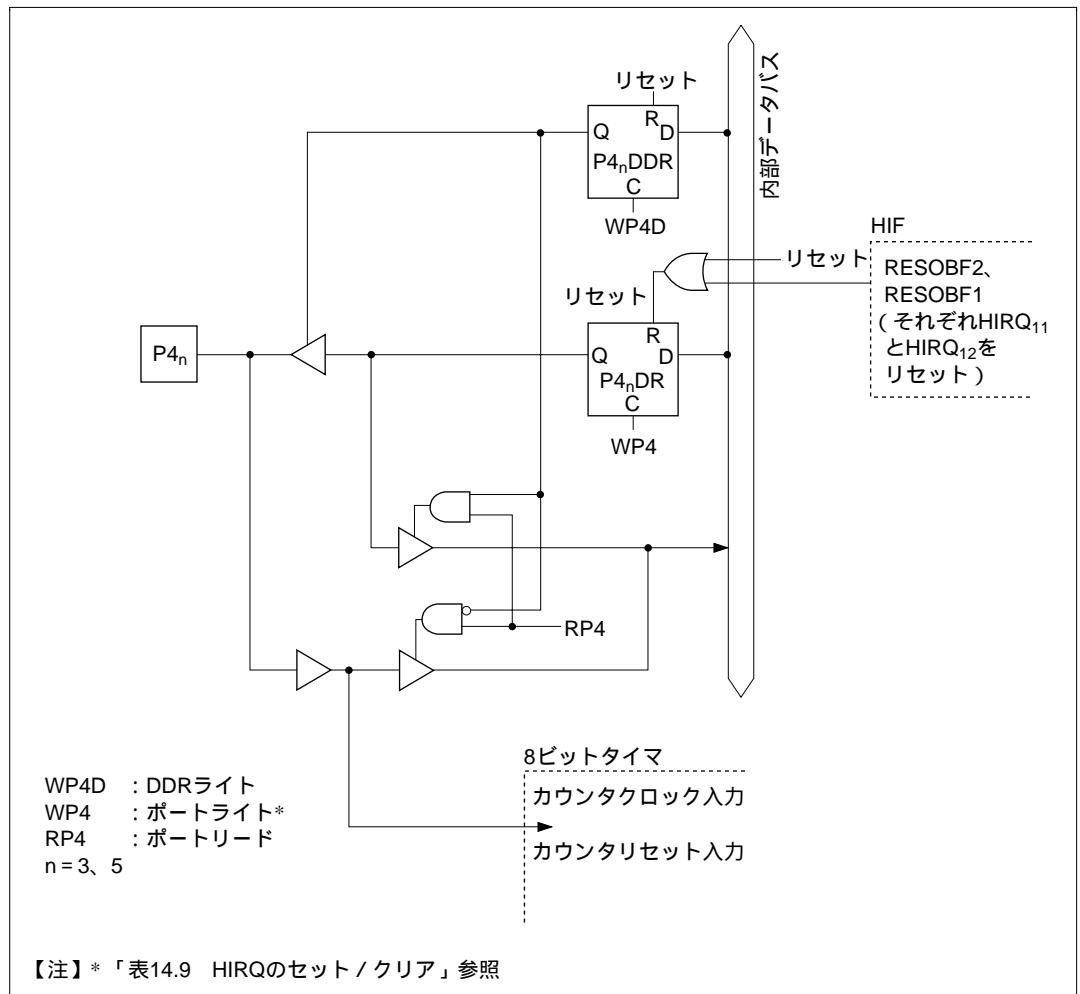


図 C.4 (C) ポート 4 ブロック図 (P4₃、P4₅端子)

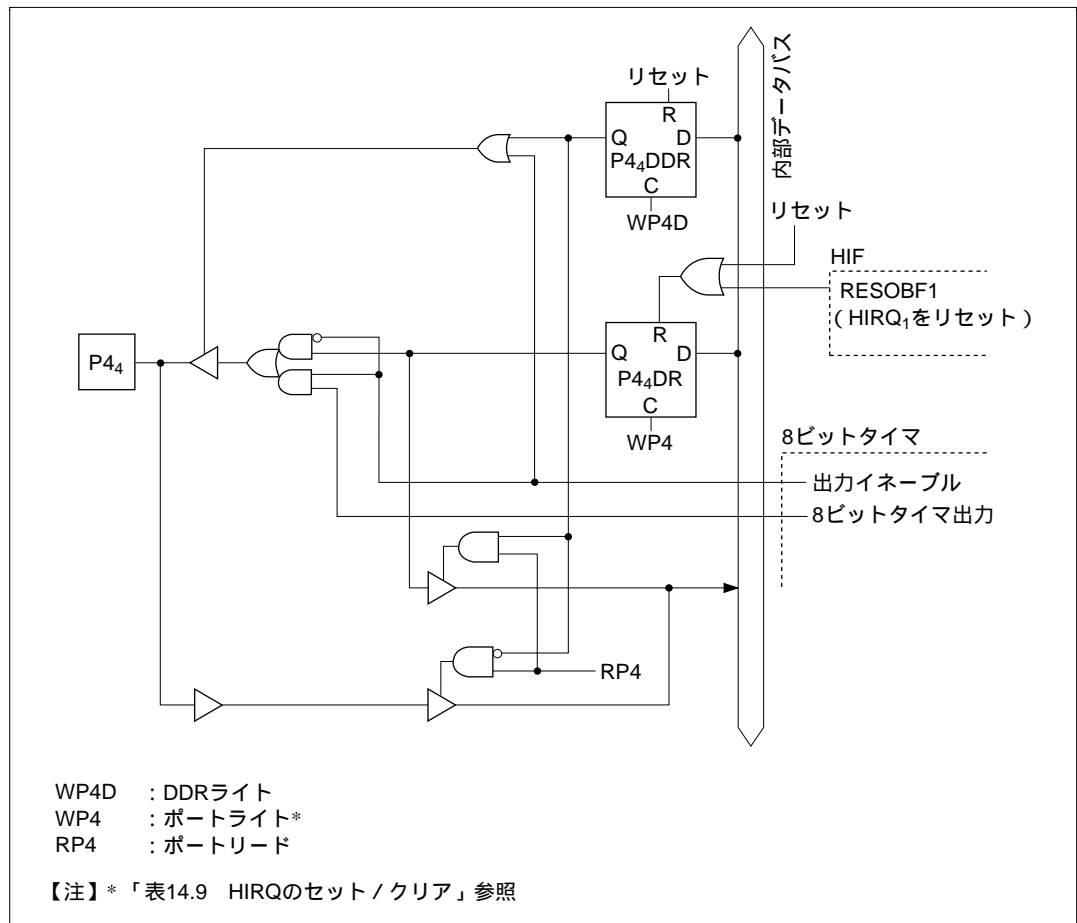


図 C.4 (d) ポート 4 ブロック図 (P4₄端子)

C.5 ポート5ブロック図

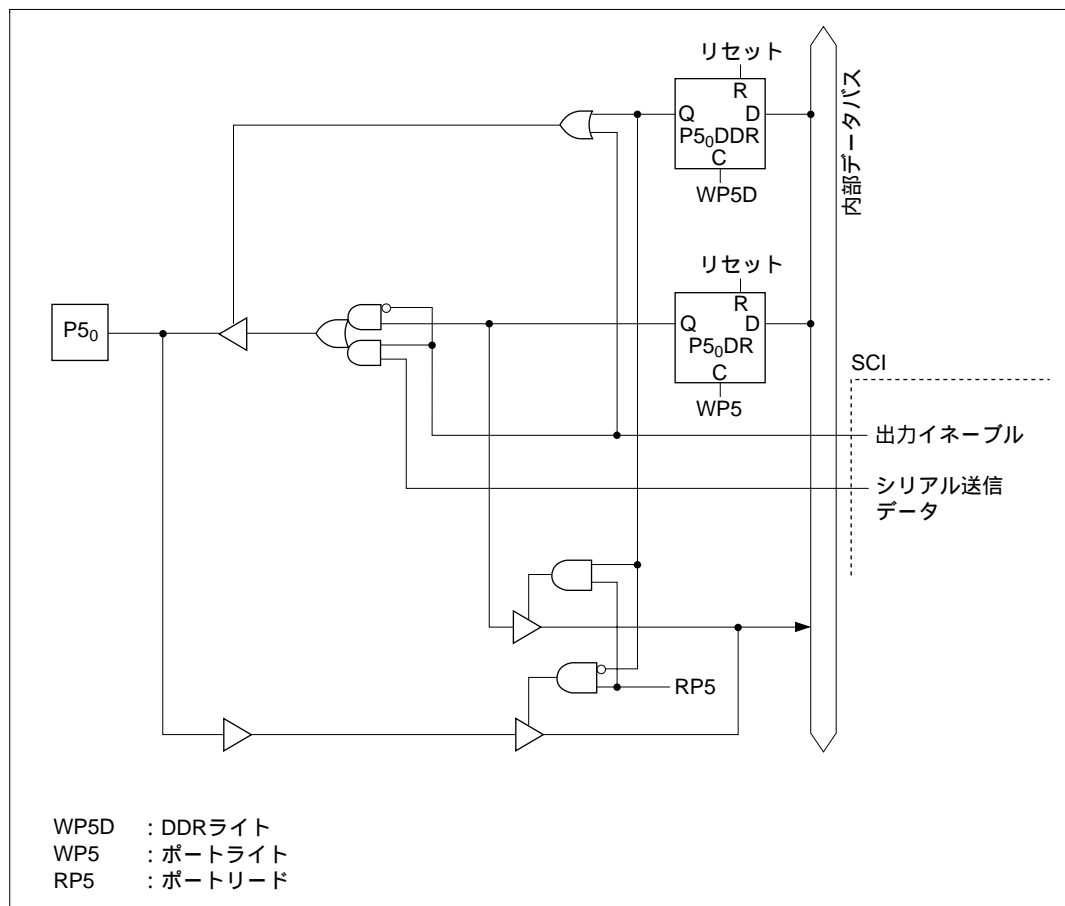


図 C.5 (a) ポート5 ブロック図 (P5₀端子)

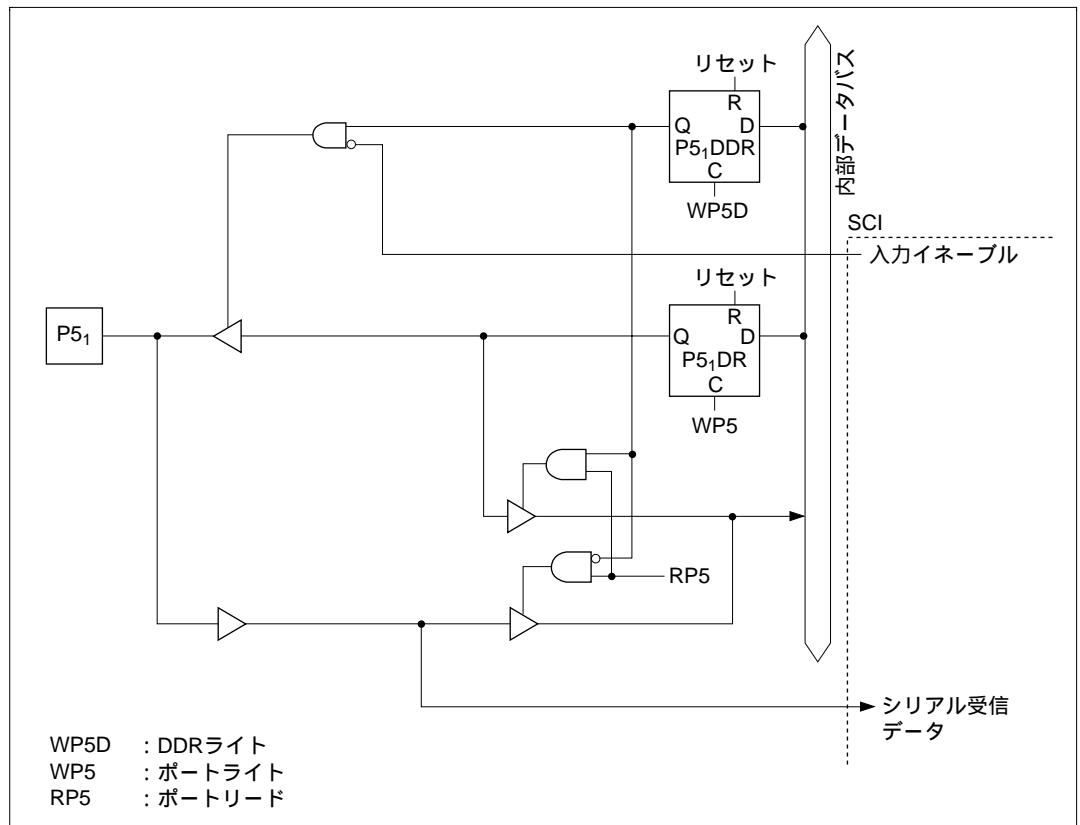


図 C.5 (b) ポート 5 ブロック図 (P5₁端子)

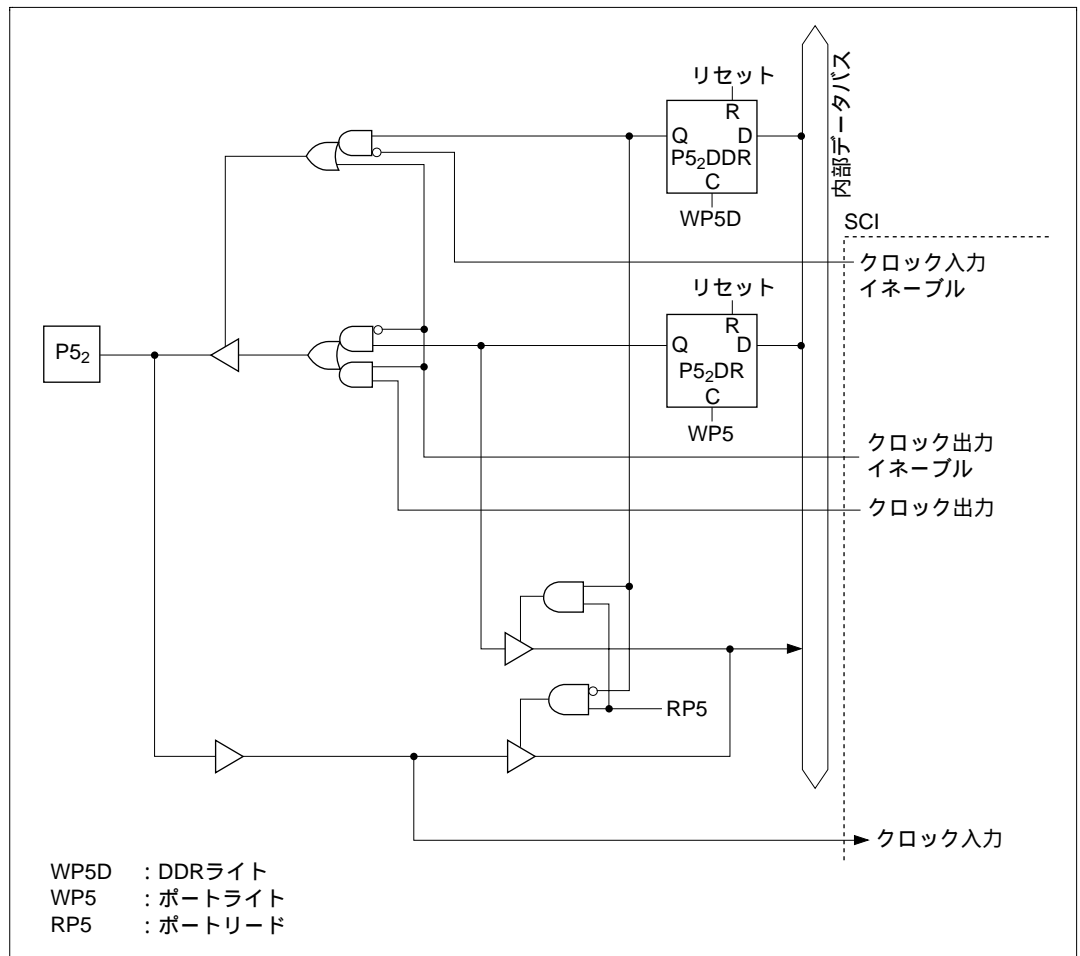
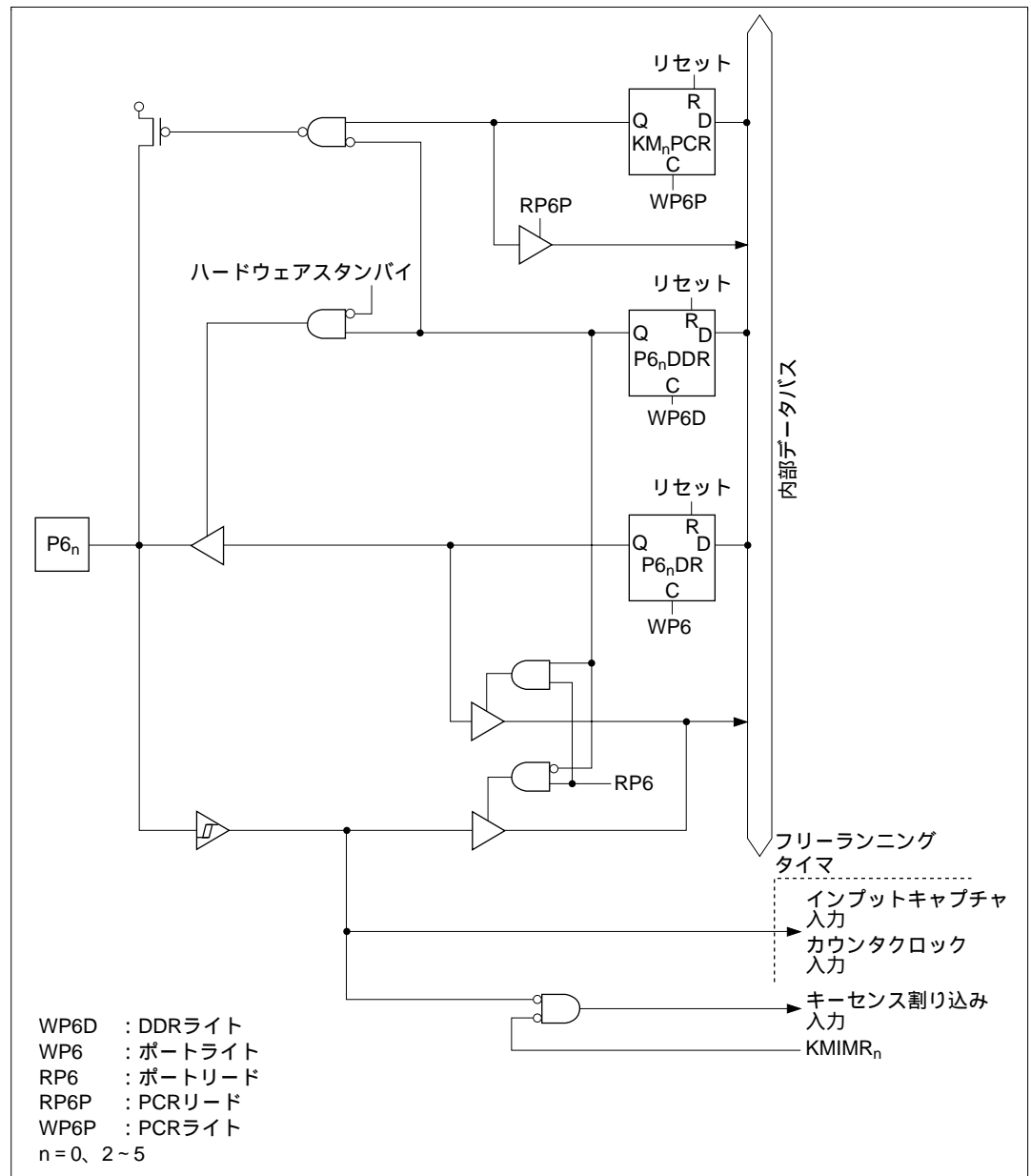


図 C.5 (c) ポート 5 ブロック図 (P5₂端子)

C.6 ポート6ブロック図

図 C.6 (a) ポート6 ブロック図 (P6₀, P6₂~P6₅端子)

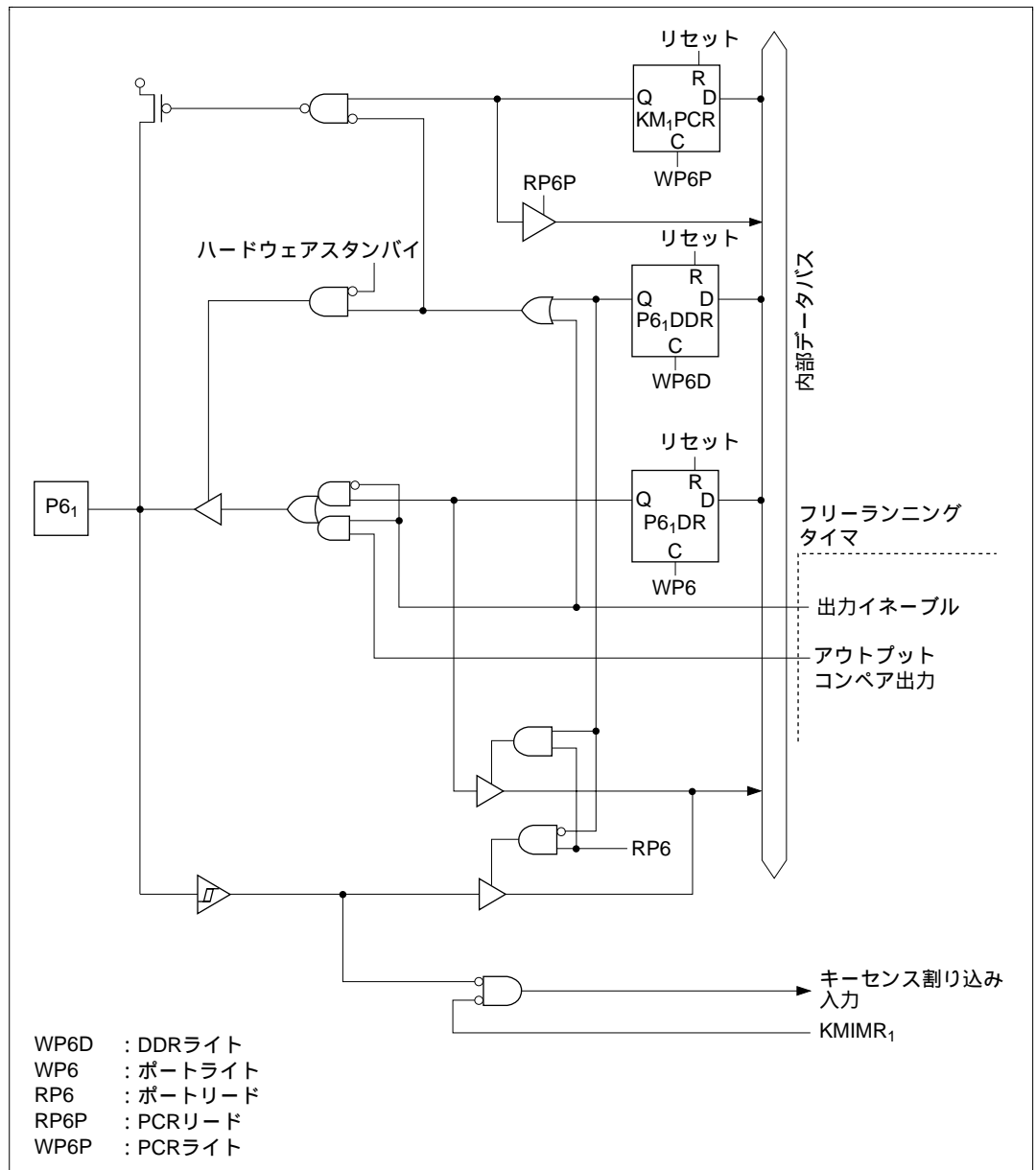


図 C.6 (b) ポート6 ブロック図 (P6₁端子)

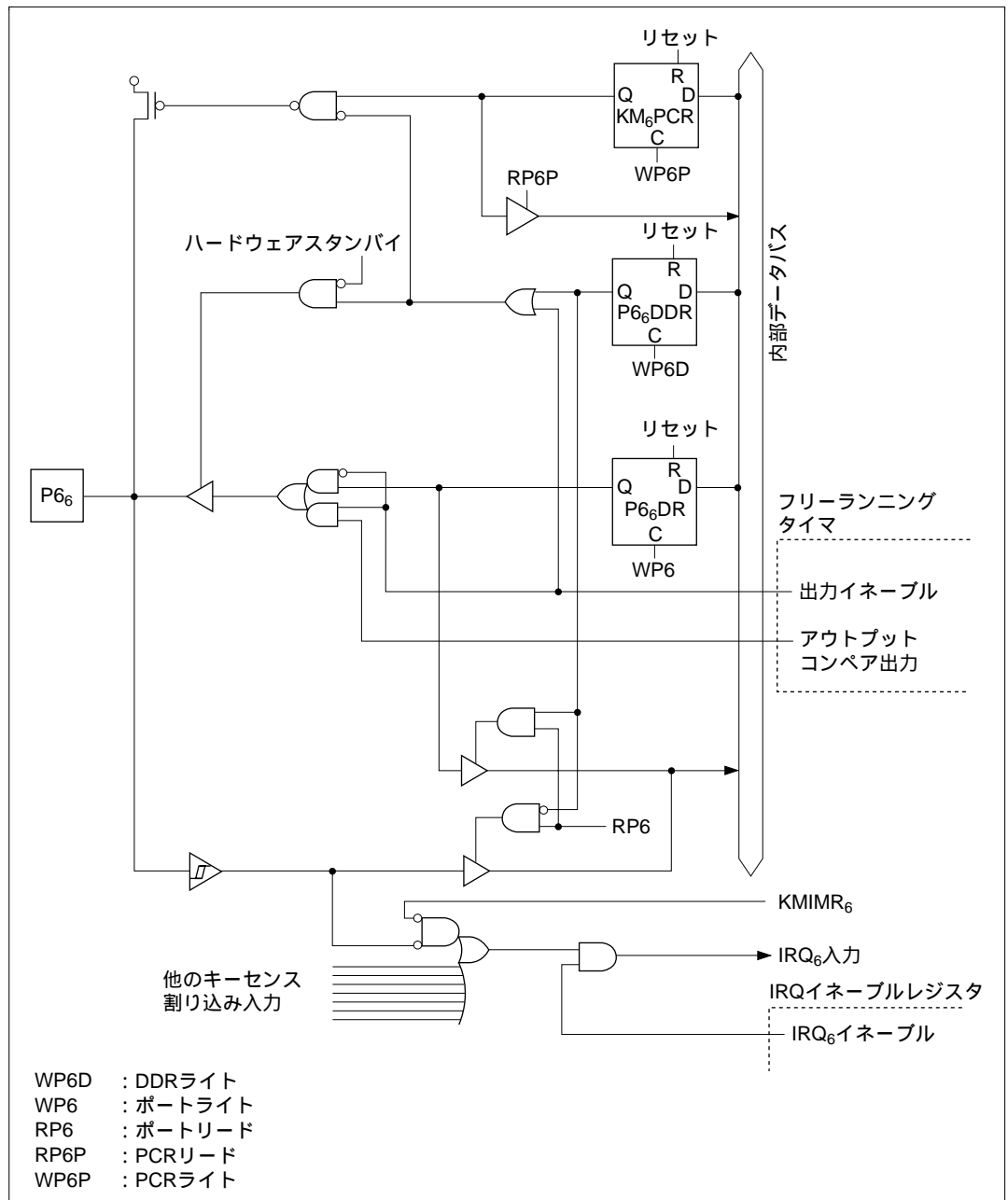


図 C.6 (c) ポート6 ブロック図 (P6₆端子)

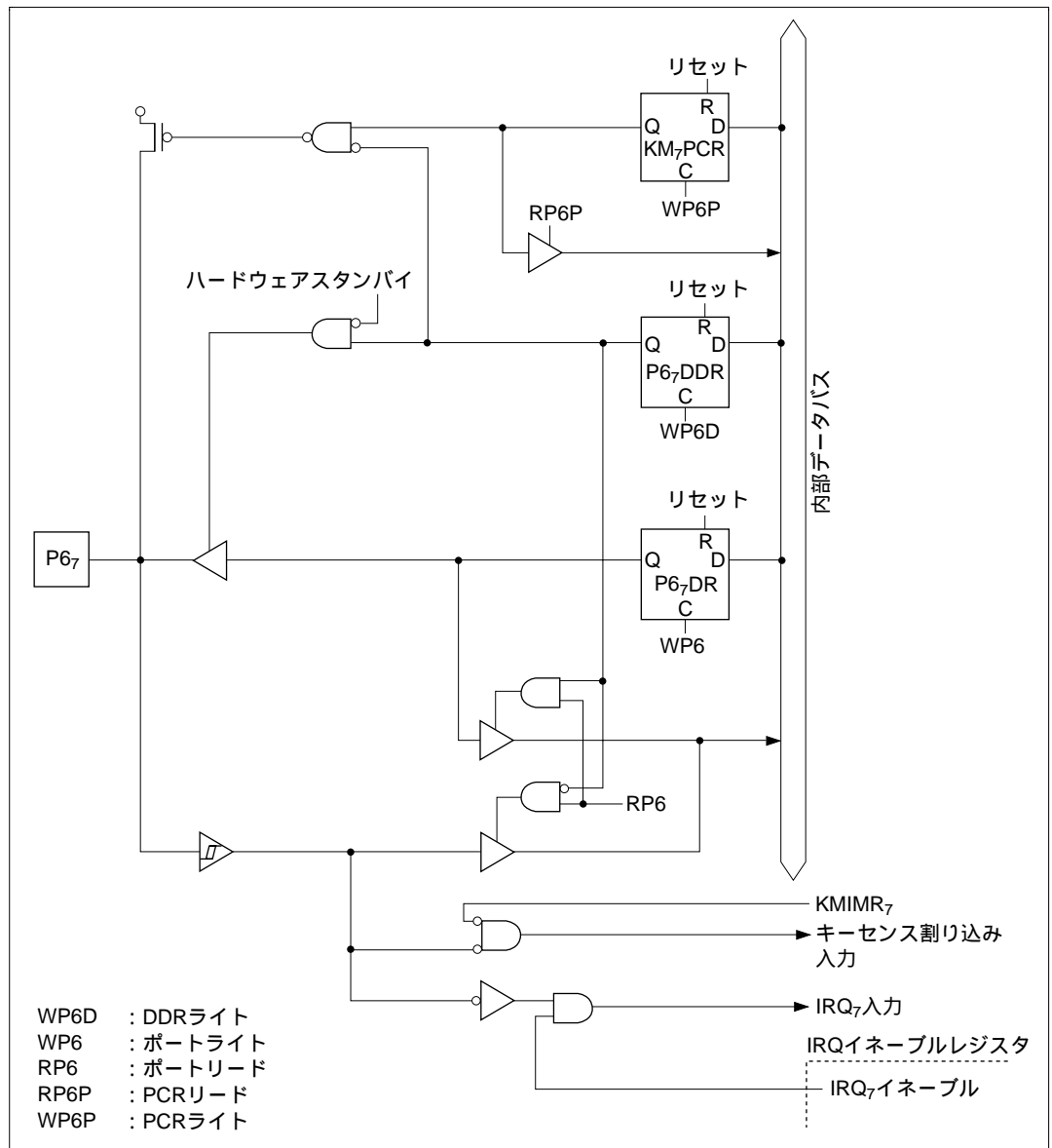
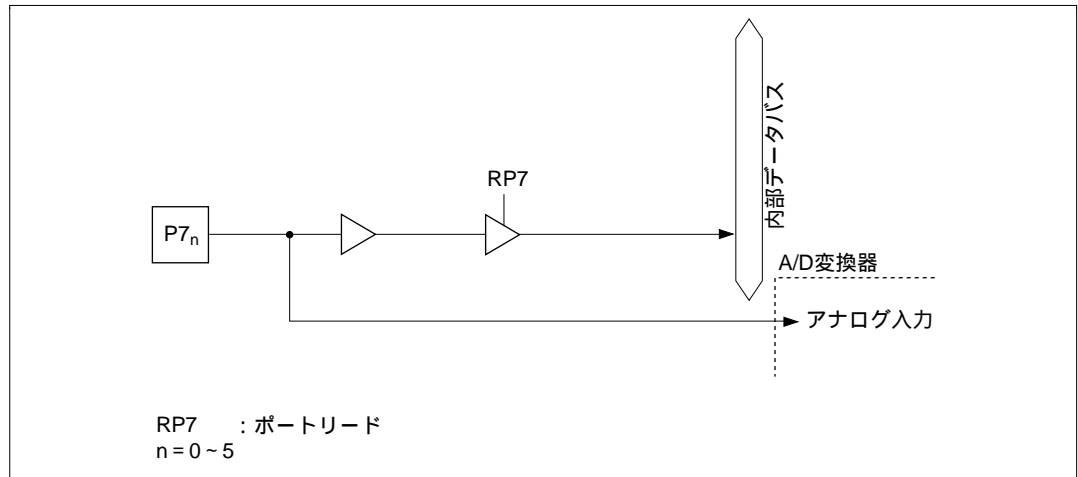
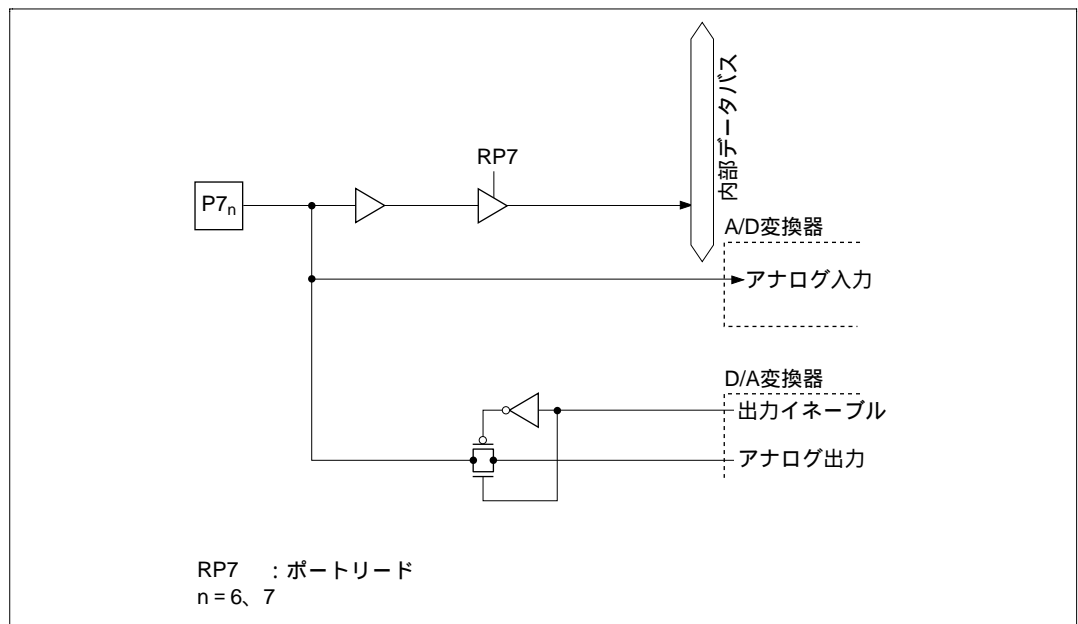


図 C.6 (d) ポート 6 ブロック図 (P6₇端子)

C.7 ポート7ブロック図

図 C.7 (a) ポート7 ブロック図 (P7₀~P7₅端子)図 C.7 (b) ポート7 ブロック図 (P7₆、P7₇端子)

C.8 ポート 8 ブロック図

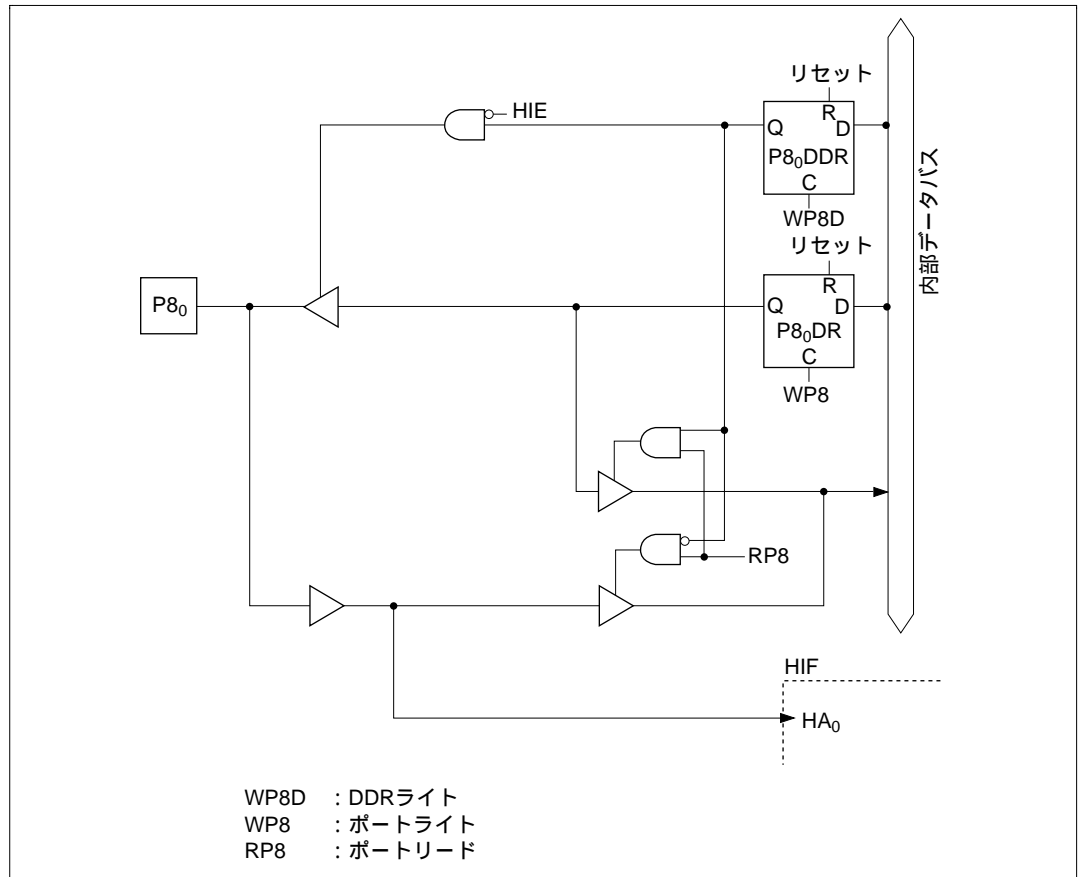


図 C.8 (a) ポート 8 ブロック図 (P8₀端子)

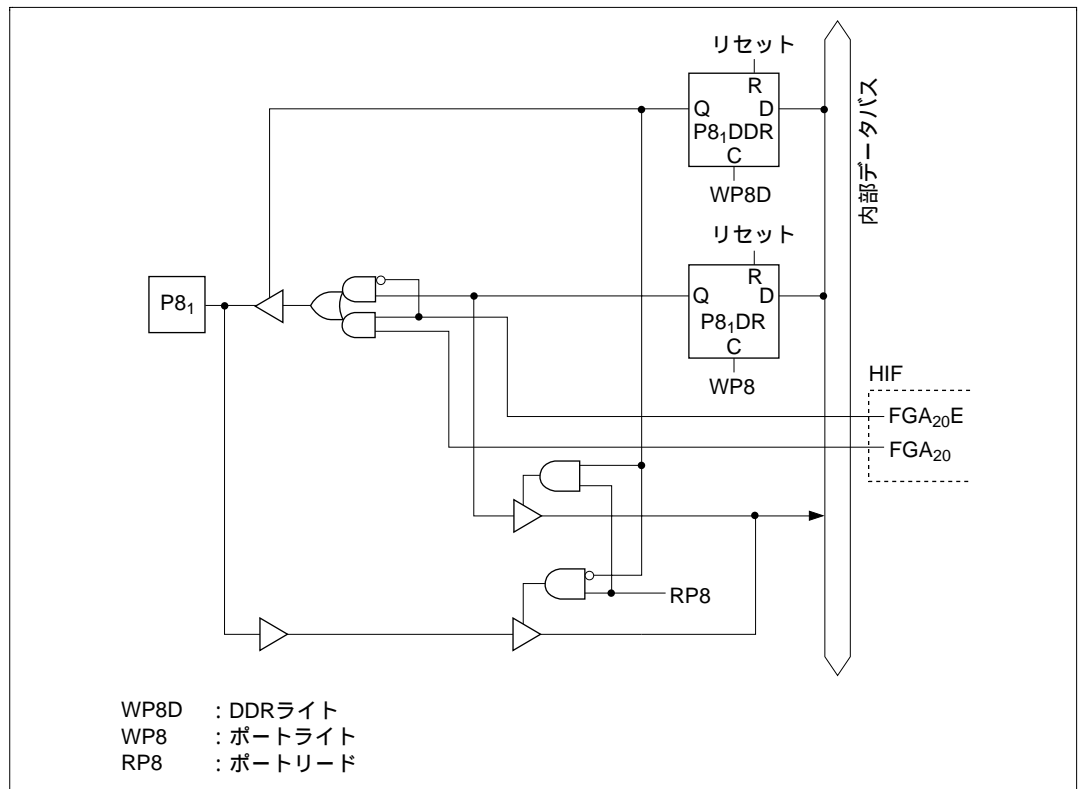


図 C.8 (b) ポート 8 ブロック図 (P8₁端子)

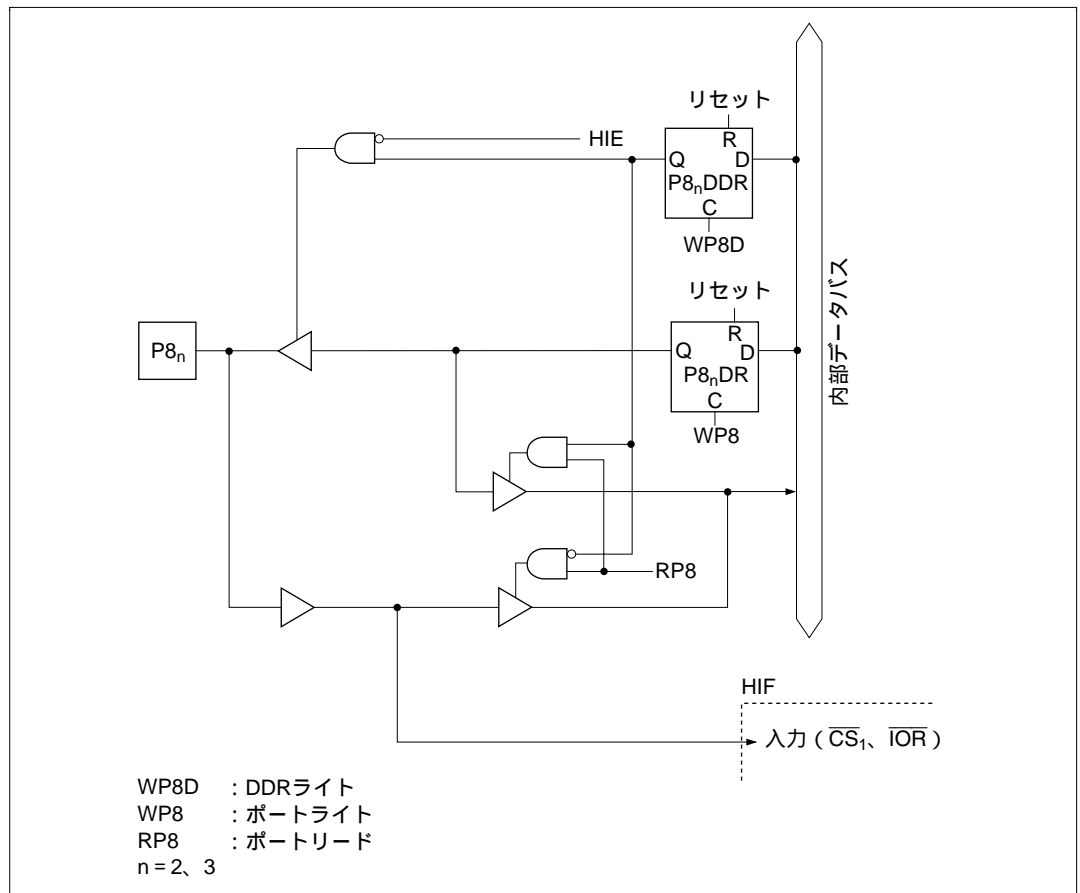


図 C.8 (c) ポート 8 ブロック図 (P8₂, P8₃端子)

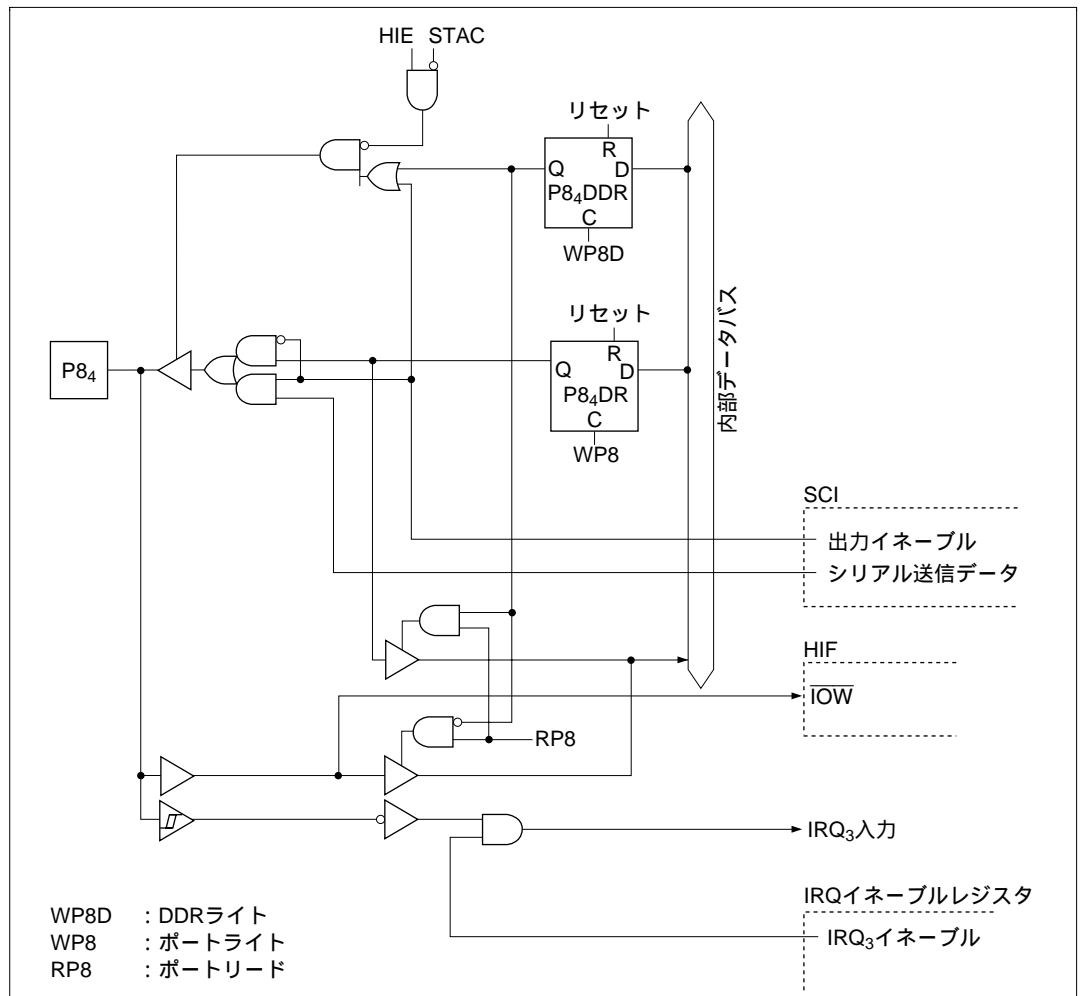


図 C.8 (d) ポート 8 ブロック図 (P8₄端子)

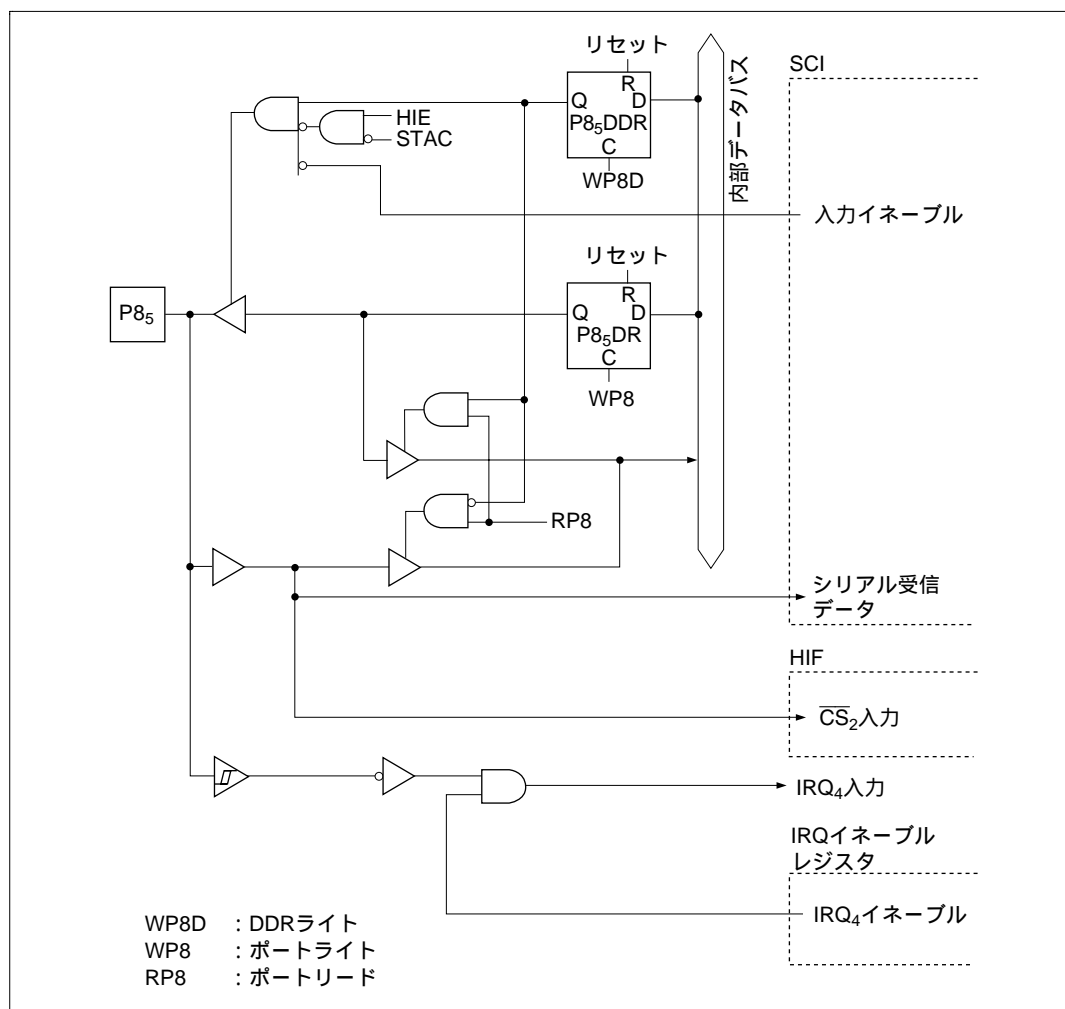


図 C.8 (e) ポート 8 ブロック図 (P8₅端子)

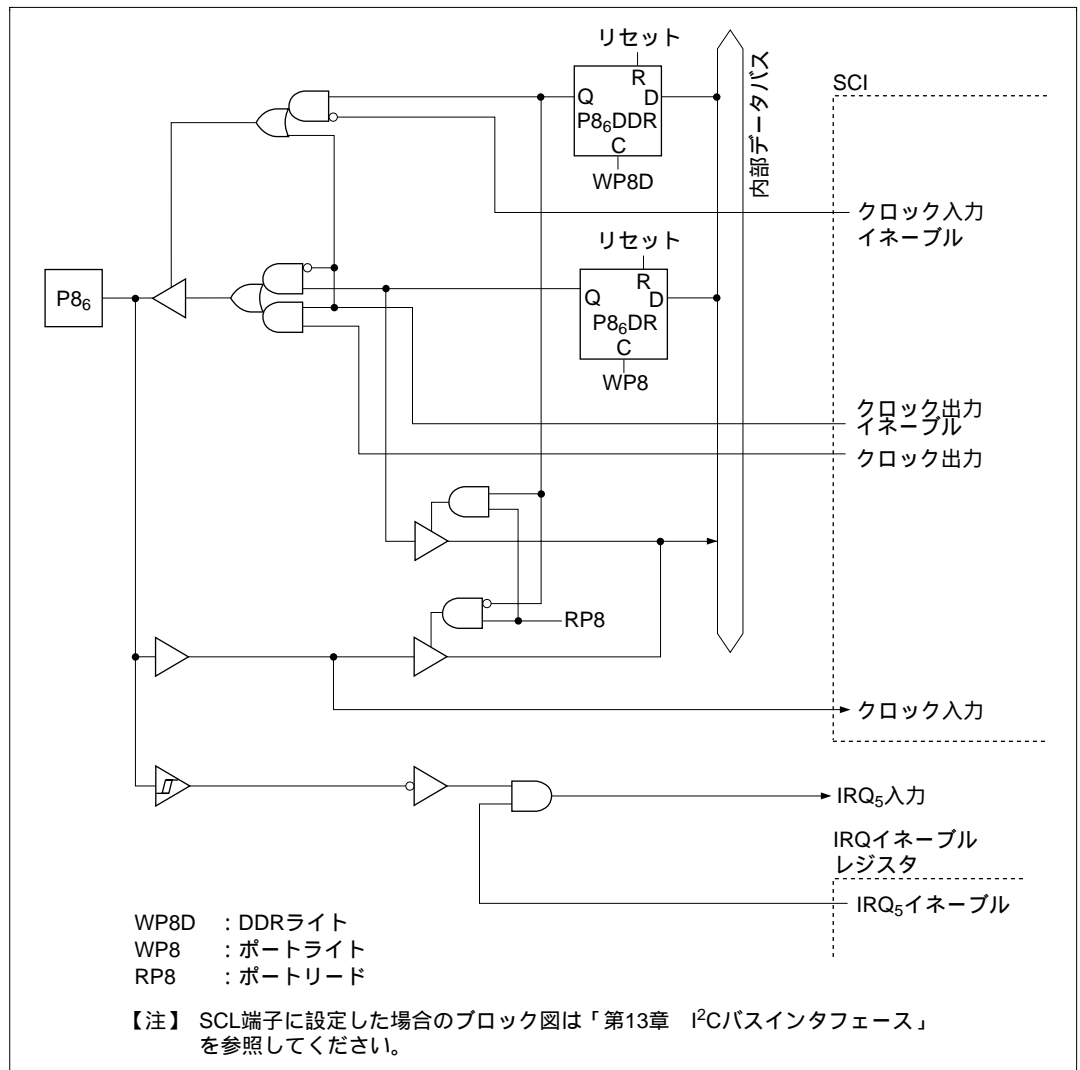


図 C.8 (f) ポート 8 ブロック図 (P8₆端子)

C.9 ポート9ブロック図

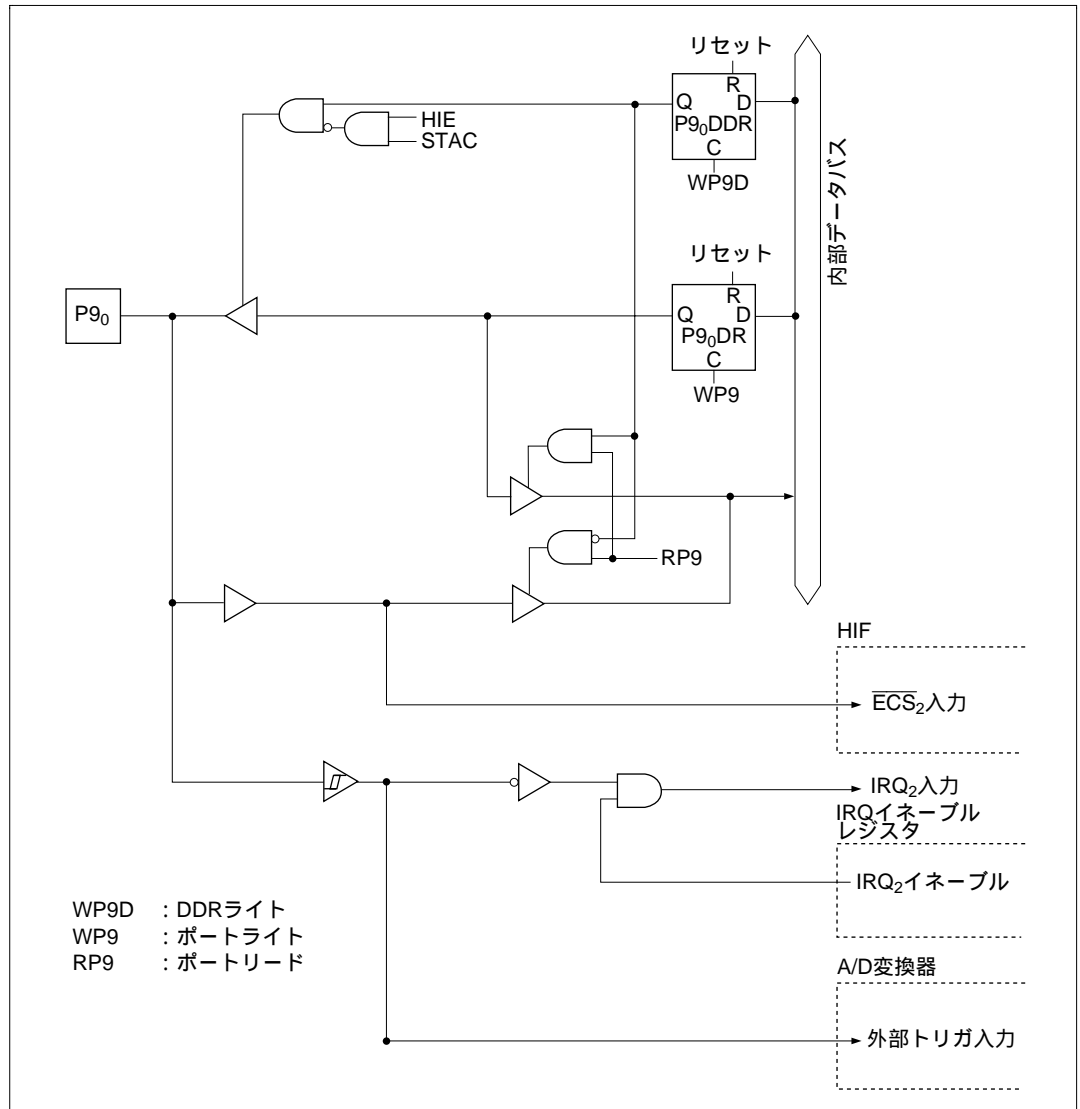


図 C.9 (a) ポート9 ブロック図 (P9₀端子)

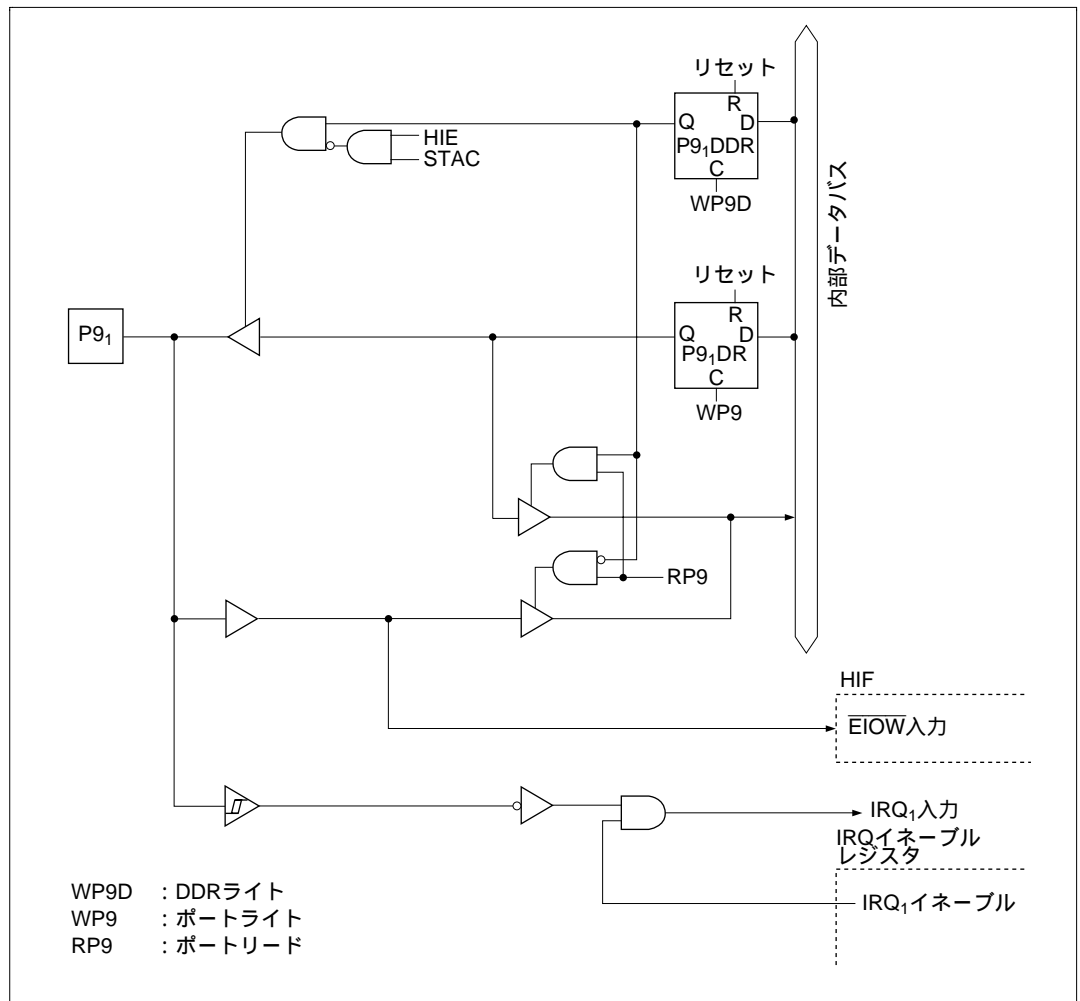


図 C.9 (b) ポート9 ブロック図 (P9₁端子)

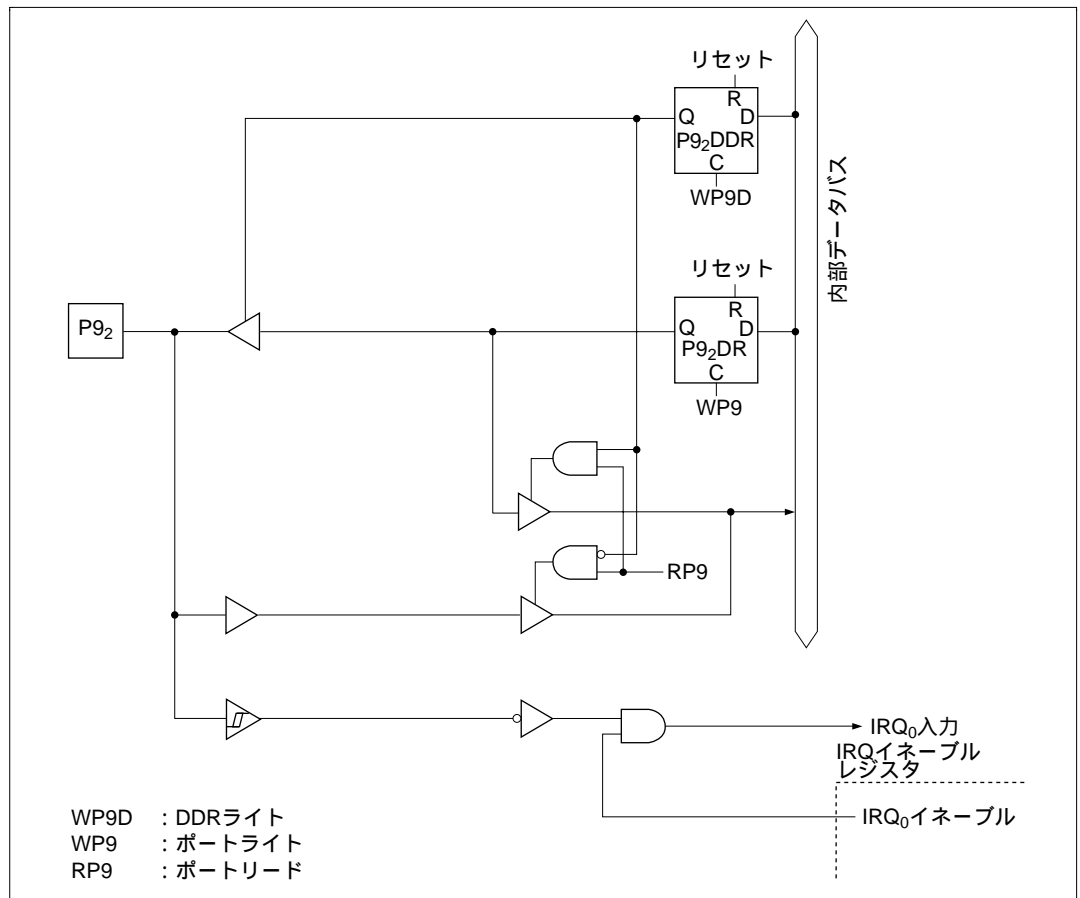


図 C.9 (c) ポート9 ブロック図 (P9₂端子)

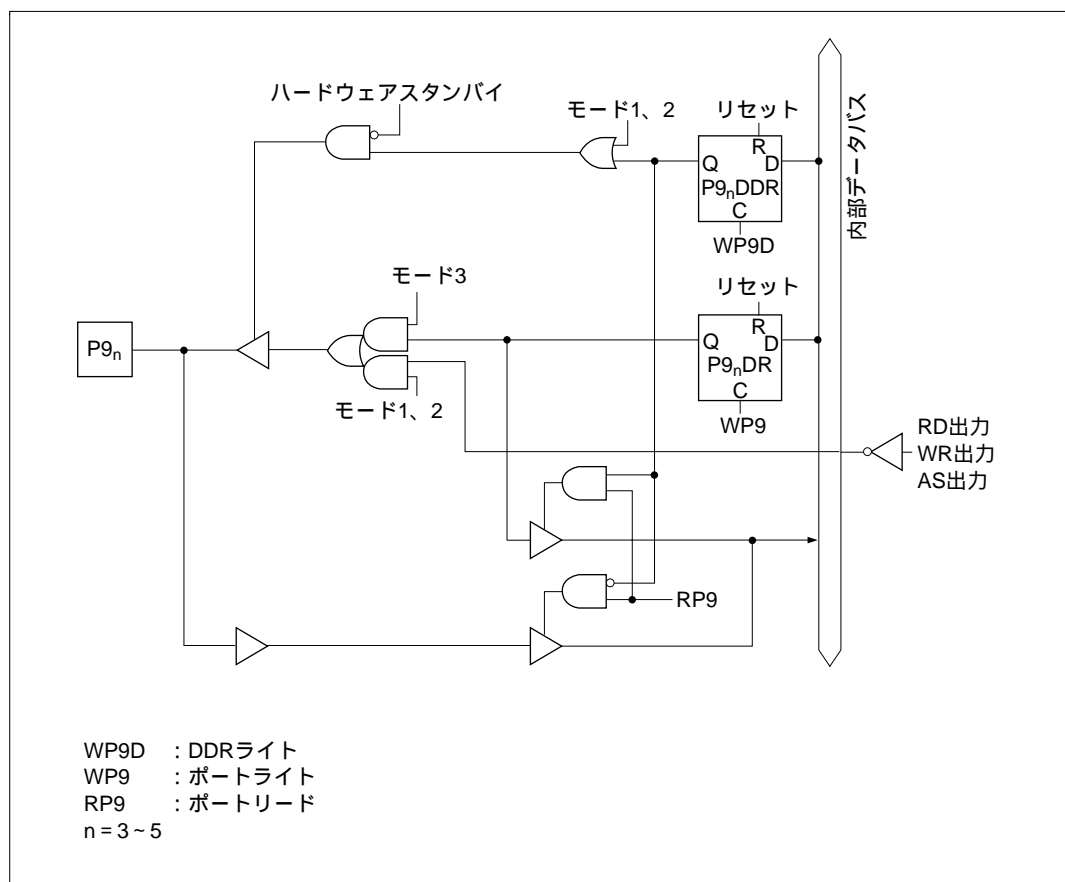


図 C.9 (d) ポート9 ブロック図 (P9₃, P9₄, P9₅端子)

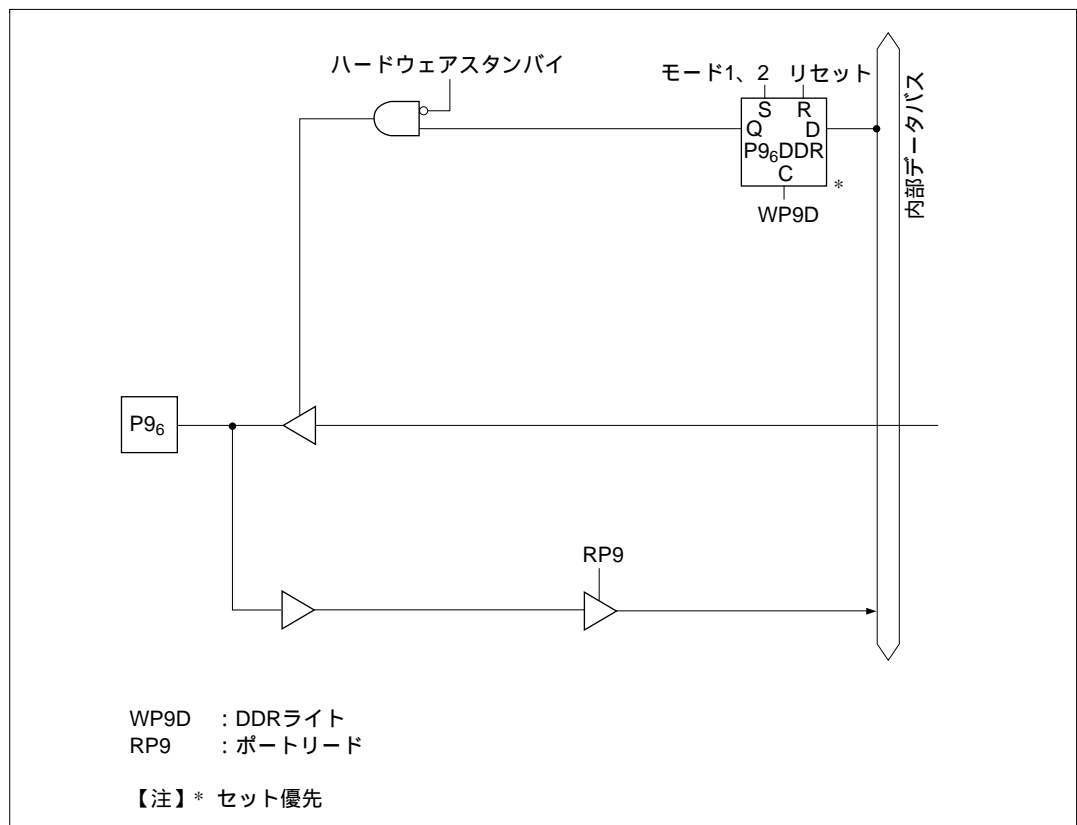


図 C.9 (e) ポート9 ブロック図 (P9₆端子)

C.10 ポートAブロック図

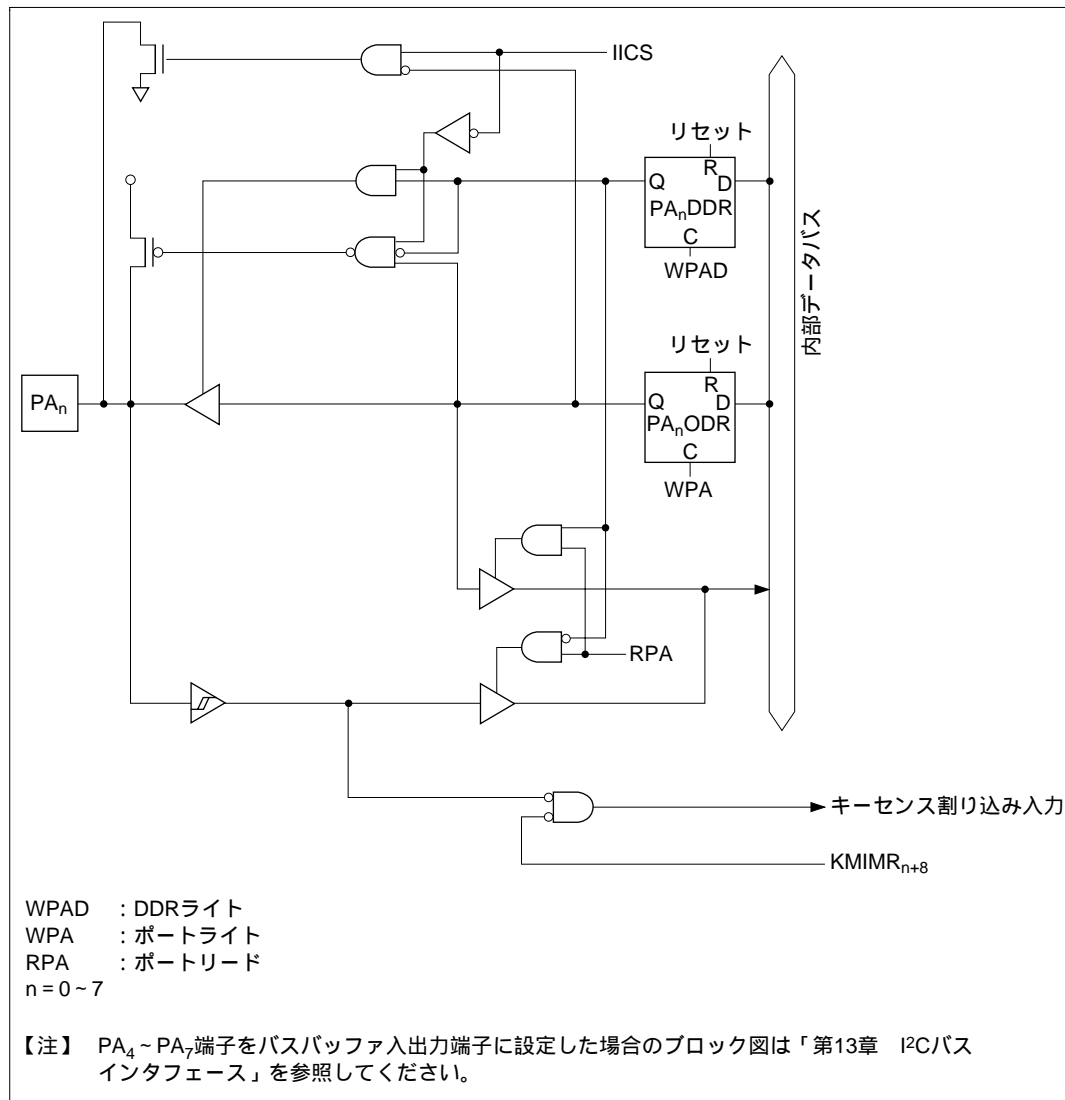


図 C.10 ポートAブロック図 (PA₀~PA₇端子)

D. 各処理状態におけるポートの状態

表 D.1 各ポートの状態一覧

ポート名 (兼用端子名)	モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	スリープモード	プログラム 実行状態 (通常動作)
P1 ₇ ~ P1 ₀ A ₇ ~ A ₀	1	L	T	L	keep* ¹	A ₇ ~ A ₀
	2	T		[DDR = 1] L [DDR = 0] keep		アドレス/ 入力ポート
	3			keep		入出力ポート
P2 ₇ ~ P2 ₀ A ₁₅ ~ A ₈	1	L	T	L	keep* ¹	A ₁₅ ~ A ₈
	2	T		[DDR = 1] L [DDR = 0] keep		アドレス/ 入力ポート
	3			keep		入出力ポート
P3 ₇ ~ P3 ₀ D ₇ ~ D ₀	1	T	T	T	T	D ₇ ~ D ₀
	2					
	3			keep		keep
P4 ₇ ~ P4 ₀	1	T	T	keep* ²	keep	入出力ポート
	2					
	3					
P5 ₂ ~ P5 ₀	1	T	T	keep* ²	keep	入出力ポート
	2					
	3					
P6 ₇ ~ P6 ₀	1	T	T	keep* ²	keep	入出力ポート
	2					
	3					
P7 ₇ ~ P7 ₀	1	T	T	T	T	入力ポート
	2					
	3					
P8 ₆ ~ P8 ₀	1	T	T	keep* ²	keep	入出力ポート
	2					
	3					
P9 ₇ /WAIT	1	T	T	T / keep* ²	T / keep	WAIT /
	2					入出力ポート
	3			keep* ²		keep

ポート名 (兼用端子名)	モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	スリープモード	プログラム 実行状態 (通常動作)
P9 ₆ /	1	クロック 出力	T	H	クロック出力	クロック出力
	2					
	3	T				
P9 ₅ ~ P9 ₃ \overline{AS} 、 \overline{WR} 、 \overline{RD}	1	H	T	H	H	\overline{AS} 、 \overline{WR} 、 \overline{RD}
	2					
	3	T				
P9 ₂ ~ P9 ₀	1	T	T	keep	keep	入出力ポート
	2					
	3					
PA ₇ ~ PA ₀	1	T	T	keep* ²	keep	入出力ポート
	2					
	3					
PB ₇ ~ PB ₀	1	T	T	keep* ²	keep	入出力ポート
	2					
	3					

< 記号説明 >

H : High レベル

L : Low レベル

T : ハイインピーダンス

keep : 入力ポートはハイインピーダンス (DDR=0、PCR=1 の場合、入力プルアップ MOS は、ON 状態を保持)、出力ポートは保持

【注】 *1 アドレス出力の場合、最後にアクセスしたアドレスを保持。

*2 内蔵周辺モジュールがイニシャライズされるため、DDR、DR で決まる入出力ポートとなります。

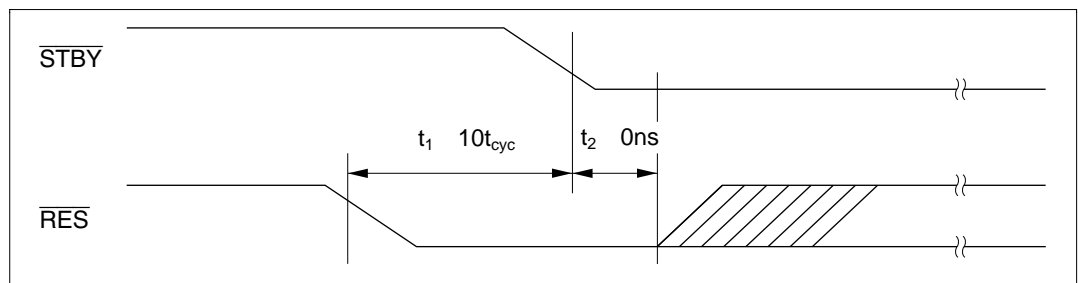
E. ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて

E.1 ハードウェアスタンバイモードの遷移タイミング

(1) SYSCR の RAME ビットを 1 にセットした状態で RAM の内容を保持する場合

下記に示すように $\overline{\text{STBY}}$ 信号の立ち下がりに対し、 10 システムクロック前に $\overline{\text{RES}}$ 信号を Low レベルとしてください。

また、 $\overline{\text{RES}}$ 信号の立ち上がりは、 $\overline{\text{STBY}}$ 信号の立ち下がりに対し、 $\text{min } 0\text{ns}$ です。

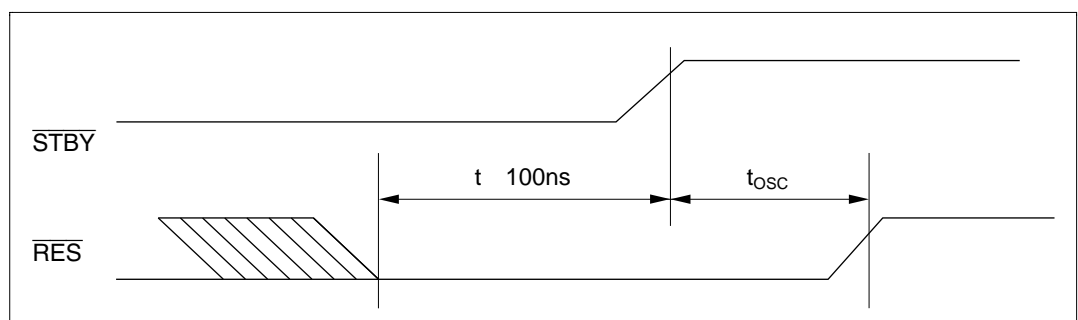


(2) SYSCR の RAME ビットを 0 にクリアした状態で RAM の内容を保持する場合、または RAM の内容を保持しない場合

(1) のように $\overline{\text{RES}}$ 信号を Low レベルにする必要はありません。

E.2 ハードウェアスタンバイモードからの復帰タイミング

$\overline{\text{STBY}}$ 信号の立ち上がりに対し、約 100ns 前に $\overline{\text{RES}}$ 信号を Low レベルとしてください。



F. ROM 発注手順

F.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、弊社では図 F.1 の流れ図に沿って ROM 書き換え品の開発を行います。

表 F.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社担当営業へお問い合わせください。

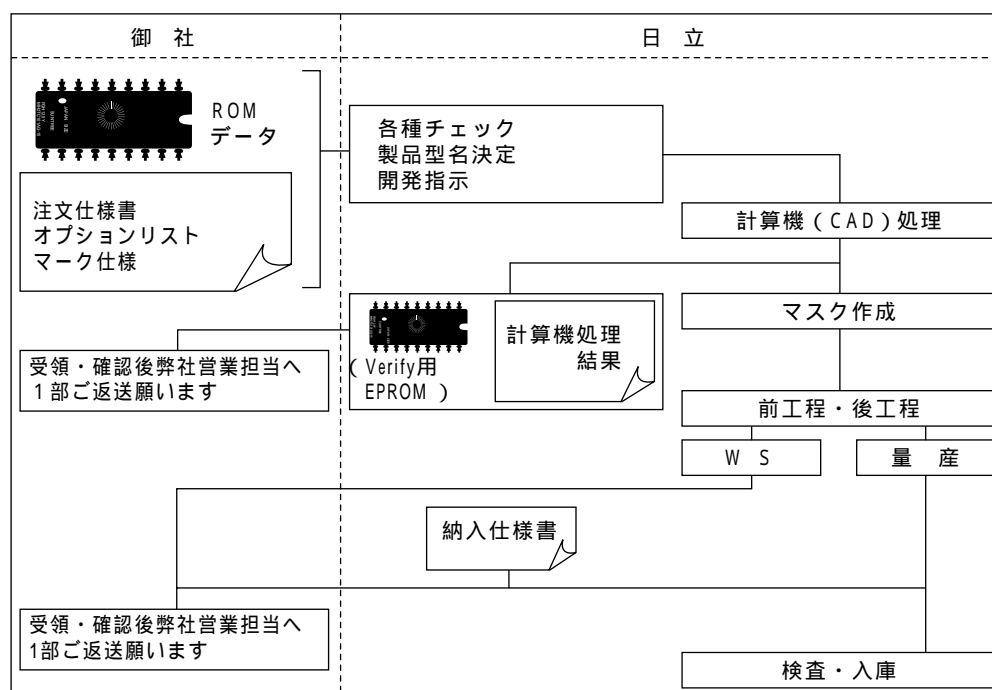


図 F.1 ROM 書き換え品開発の流れ

表 F.1 ROM 発注時に必要な提出物

発注媒体	EPROM または ZTAT [®] マイコン
提出物	ROM データ
	注文仕様書
	オプションリスト* ¹
	マーク仕様例* ²

【注】 *1 製品シリーズにより必要ないものがあります。また、内容も異なります。

*2 特別仕様の場合には、提出してください。

F.2 ROM 発注時の注意事項

提出していただく ROM データは、次の注意事項にしたがって、EPROMまたは ZTAT[®] マイコンで提出してください。なお、EPROM または ZTAT[®] マイコン以外の媒体（フロッピーディスクなど）では対応できませんのでご注意ください。

- (1) EPROM に ROM データを書き込む際は、事前にデータを十分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用 EPROM において、ROM データの未使用（NOT USED）領域またはリザーブ領域には、必ず FF を書き込んでください。
- (3) 提出していただく EPROM には遮光ラベルを貼り、御社の品番などを記入してください。
- (4) EPROM に書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導伝性のシートに梱包するなど取り扱いに充分注意してください（アルミ箔、発泡スチロールなどは不可）。なお、これらによるデータの読み取りエラーに備え、同一内容の EPROM を 2 組以上提出してください。

G. オプションリスト

選択する仕様に対し 内にチェック
(、×、V)をつけてください。

発注年月日	年 月 日
貴社名	
所属	
御芳名	
ROM コード名	
LSI 型名 (日立記入)	

(1) ROM サイズ

HD6433434	32k バイト
HD6433436	48k バイト
HD6433437	60k バイト

(2) システム発振器

水晶発振子	f =	MHz
外部クロック	f =	MHz

(3) 電源電圧 / 最大動作周波数

$V_{CC} = 4.5V \sim 5.5V$ (16MHz max)
$V_{CC} = 4.0V \sim 5.5V$ (12MHz max)
$V_{CC} = 2.7V \sim 5.5V$ (10MHz max)

【注】 1. 電源電圧 / 動作周波数のバージョンはご使用になる電源電圧でお選びください。

例 $V_{CC} = 4.5V \sim 5.5V / f = 10MHz$ でご使用になる場合、

$V_{CC} = 4.5V \sim 5.5V$ (16MHz max) をお選びください。

2. 選択したバージョンの電源電圧、最大動作周波数は「シングルチップマイコン注文仕様書」にあわせてご記入願います。

(4) I²C バスオプション

I ² C バスを使用する
I ² C バスを使用しない

- 【注】 1. 「I²C バスを使用する」は内蔵の I²C バスインタフェース機能（ハードウェアモジュール）を用いて SCL、SDA 端子によるデータ転送を行う場合をすべて含みます。I²C バスインタフェース機能（ハードウェアモジュール）を使用する限り、バス仕様・名称が異なる各種バスインタフェースも「I²C バスを使用する」に含まれます。ポート A の PA₇ ~ PA₄ 端子のバス駆動機能のみを利用する場合は含みません。
2. 「I²C バスを使用しない」を選択した場合は I²C バスインタフェース関連レジスタ (ICCR、ICSR、ICDR、ICMR) に値を設定することはできません。リードすると H'FF が読み出されます。エミュレータおよび ZTAT 版、F-ZTAT 版では、「I²C バスを使用する」オプションが選択された状態になっています。「I²C バスを使用しない」オプション選択時には、I²C バスインタフェース関連レジスタをアクセスしていないことを十分にご確認願います。

ROM コード名	
LSI 型名 (日立記入)	

「シングルチップマイコン注文仕様書」の(1)基本項目、マイクロコンピュータファミリの項は、上記(1)、(4)の組み合わせに従い、下表から選んでご記入ください。また、「I²C バスを使用する」オプション選択時には(1)基本項目、特別仕様(製品仕様、マーク仕様)に重ねて明記をお願いします。

ROM サイズ	I ² C	
	I ² C バスを使用する	I ² C バスを使用しない
32k バイト	HD6433434W	HD6433434
48k バイト	HD6433436W	HD6433436
60k バイト	HD6433437W	HD6433437

H. 型名一覧

表 H.1 H8/3437 シリーズ型名一覧

製品分類			製品型名	マーク型名	パッケージ (日立パッケージコード)
H8/3437	フラッシュ メモリ版	二電源 F-ZTAT 版	HD64F3437F16	HD64F3437F16	100 ピン QFP (FP-100B)
			HD64F3437FLH16	HD64F3437F16	
			HD64F3437TF16	HD64F3437TF16	
		単一電源 F-ZTAT 版	HD64F3437SF16	HD64F3437F16	100 ピン QFP (FP-100B)
			HD64F3437STF16	HD64F3437TF16	100 ピン TQFP (TFP-100B)
			HD64F3437TFLH16	HD64F3437TF16	100 ピン TQFP (TFP-100B)
	PROM 版	ZTAT 版	HD6473437F16	HD6473437F16	100 ピン QFP (FP-100B)
			HD6473437TF16	HD6473437TF16	100 ピン TQFP (TFP-100B)
	マスク ROM 版	I ² C バス インタ フェース あり	HD6433437WF	HD6433437W (***)F	100 ピン QFP (FP-100B)
			HD6433437WTF	HD6433437W (***)TF	100 ピン TQFP (TFP-100B)
		I ² C バス インタ フェース なし	HD6433437F	HD6433437 (***)F	100 ピン QFP (FP-100B)
			HD6433437TF	HD6433437 (***)TF	100 ピン TQFP (TFP-100B)
H8/3436	マスク ROM 版	I ² C バス インタ フェース あり	HD6433436WF	HD6433436W (***)F	100 ピン QFP (FP-100B)
			HD6433436WTF	HD6433436W (***)TF	100 ピン TQFP (TFP-100B)
		I ² C バス インタ フェース なし	HD6433436F	HD6433436 (***)F	100 ピン QFP (FP-100B)
			HD6433436TF	HD6433436 (***)TF	100 ピン TQFP (TFP-100B)
H8/3434	フラッシュ メモリ版	F-ZTAT 版	HD64F3434F16	HD64F3434F16	100 ピン QFP (FP-100B)
			HD64F3434FLH16	HD64F3434F16	
			HD64F3434TF16	HD64F3434TF16	
			HD64F3434TFLH16	HD64F3434TF16	
	PROM 版	ZTAT 版	HD6473434F16	HD6473434F16	100 ピン QFP (FP-100B)
			HD6473434TF16	HD6473434TF16	100 ピン TQFP (TFP-100B)
	マスク ROM 版	I ² C バス インタ フェース あり	HD6433434WF	HD6433434W (***)F	100 ピン QFP (FP-100B)
			HD6433434WTF	HD6433434W (***)TF	100 ピン TQFP (TFP-100B)
		I ² C バス インタ フェース なし	HD6433434F	HD6433434 (***)F	100 ピン QFP (FP-100B)
			HD6433434TF	HD6433434 (***)TF	100 ピン TQFP (TFP-100B)

【注】 マスク ROM 版の (***) は ROM コードです。

PC バスインタフェースはオプションです。本オプション機能を使用する場合には、次の点にご注意ください。

- (1) 当社営業担当者に、オプション機能を使用する旨ご連絡をお願いします。
- (2) マスク ROM 版では、オプション機能を使用する製品型名には W が付加されます。
例：HD6433437WF、HD6433434WTF など
- (3) ZTAT 版では製品型名は同一ですが、本オプション機能を使用する場合には、必ずその旨ご連絡をお願いします。

I. 外形寸法図

外形寸法図 FP-100B を図 I.1、TFP-100B を図 I.2 に示します。

単位 : mm

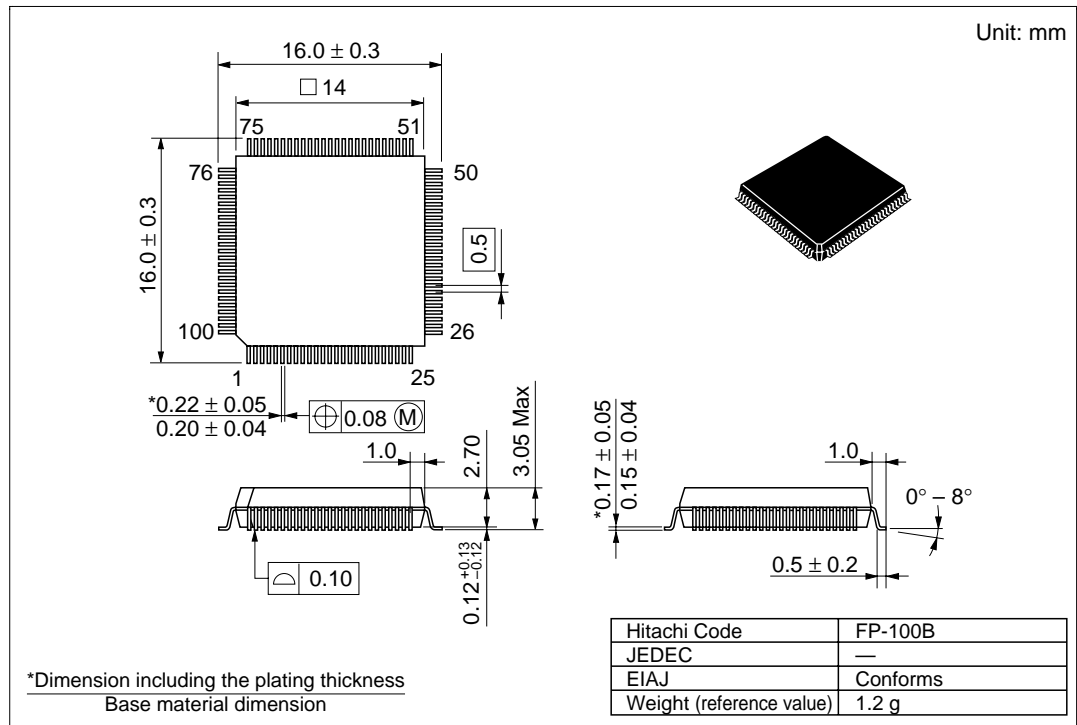


図 I.1 外形寸法図 (FP-100B)

単位 : mm

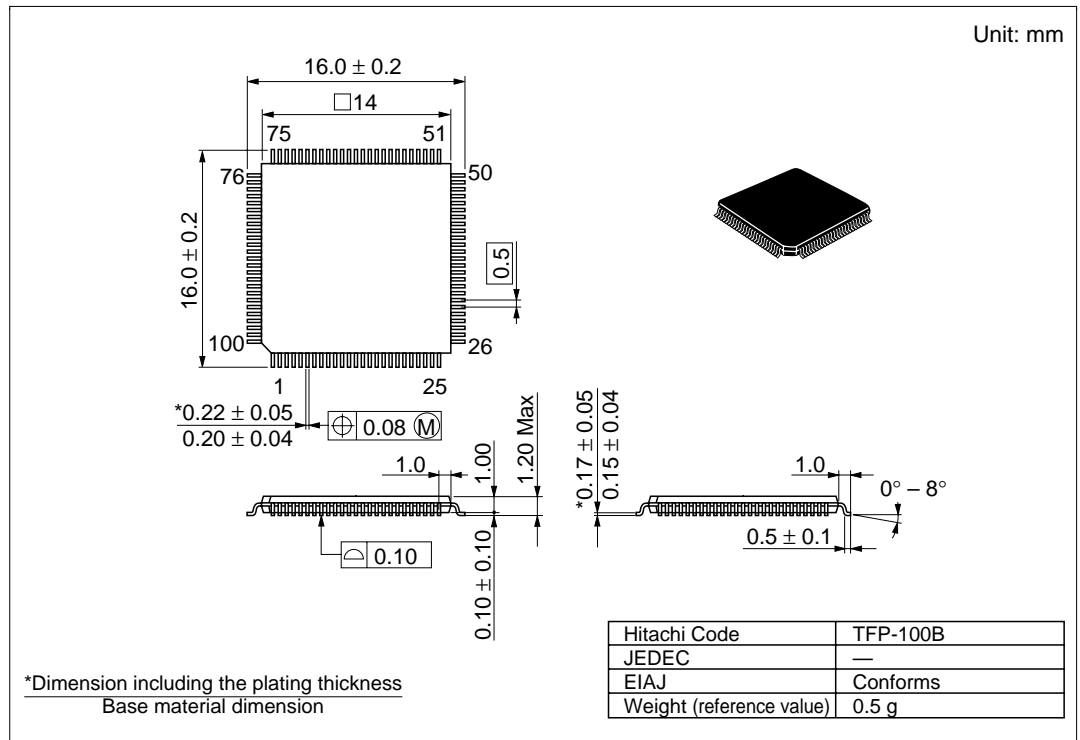


図 I.2 外形寸法図 (TFP-100B)

H8/3437シリーズ、H8/3437F-ZTAT™、H8/3437SF-ZTAT™、
H8/3434F-ZTAT™ ハードウェアマニュアル

発行年月 1994年 8月 第1版
2002年 2月 第7版

発 行 株式会社 日立製作所
半導体グループビジネス企画本部

編 集 株式会社 日立小平セミコン
技術ドキュメントグループ

©株式会社 日立製作所 1994

H8/3437 シリーズ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

ADJ-602-097F