

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

H8/3022グループ、 H8/3022F-ZTAT™

ハードウェアマニュアル

ルネサス16ビットシングルチップマイクロコンピュータ
H8ファミリ／H8/300Hシリーズ

H8/3022	HD64F3022F
	HD64F3022TE
	HD6433022F
	HD6433022TE
H8/3021	HD6433021F
	HD6433021TE
H8/3020	HD6433020F
	HD6433020TE

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意下さい。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなく、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本文を参照してください。なお、本マニュアルの本文と異なる記載がある場合は、本文の記載が優先するものとします。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI周辺のノイズが印加され、LSI内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSIの内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレスのアクセス禁止

【注意】リザーブアドレスのアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレスがあります。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、事前に問題ないことをご確認下さい。

同じグループのマイコンでも型名が違くと、内部メモリ、レイアウトパターンの相違などにより、特性が異なる場合があります。型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

はじめに

H8/3022 グループは、内部 32 ビット構成の H8/300H CPU を核にして、システム構成に必要な周辺機能を集積した高性能シングルチップマイクロコンピュータです。

H8/300H CPU は、内部 32 ビット構成で 16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。

周辺機能として、ROM、RAM、16 ビットインテグレートドタイマユニット (ITU)、プログラマブルタイミングパターンコントローラ (TPC)、ウォッチドッグタイマ (WDT)、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、I/O ポートなどを内蔵しています。

2 チャンネルの SCI のうち 1 チャンネルは、ISO/IEC7816-3 に準拠したスマートカードインタフェースを拡張機能としてサポートしています。

また、電池駆動時の消費電力を低減するため、モジュール単位のスタンバイ機能や、チップに供給するシステムクロックの分周比をプログラマブルに変更する機能を追加しています。

MCU 動作モードは、モード 1、3、5~7 があり、拡張モードとシングルチップモードおよびアドレス空間を選択することができます。

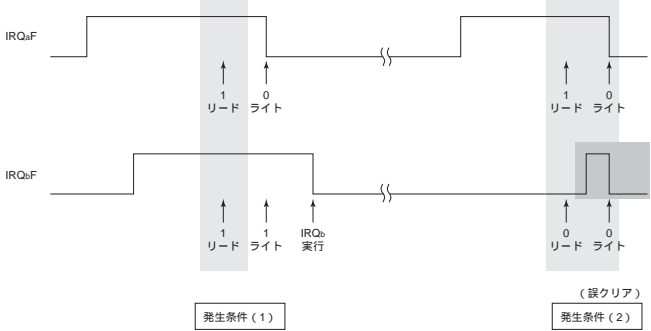
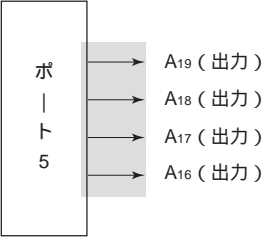
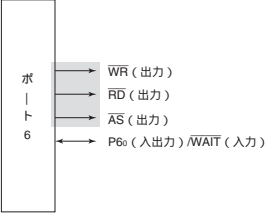
このため、H8/3022 グループを用いることにより高性能かつ小型のシステムを容易に実現することができます。

H8/3022 グループには、マスク ROM 版のほかにフラッシュメモリを内蔵した F-ZTAT*版があり、ユーザサイドでの自由なプログラムの書き込みおよび基板実装後のプログラム書き換えが可能です。これにより、変化の激しい市場ニーズに即応し、フレキシブルな製品開発が実現できます。

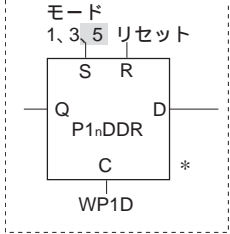
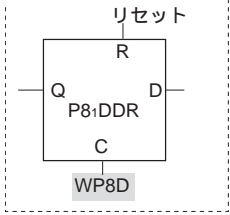
本マニュアルは、H8/3022 グループのハードウェアについて説明します。命令の詳細については、「H8/300H シリーズプログラミングマニュアル」をあわせてご覧ください。

【注】* F-ZTAT は (株) ルネサス テクノロジーの商標です。

本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）
全体	-	社名変更による変更 （修正前）日立製作所 → （修正後）ルネサス テクノロジ 呼称変更による変更 （修正前）H8/3022 シリーズ → （修正後）H8/3022 グループ
5.5.4 外部割り込み使用上の注意 図 5.9 割り込み例外処理が実行されない場合の IRQnF フラグ	5-27	図を修正  <p>発生条件 (1)</p> <p>発生条件 (2)</p> <p>(読クリア)</p>
7.5.3 モード別端子機能 図 7.13 モード 1、3 時の端子機能（ポート 5）	7-19	図を修正  <p>ポート 5</p> <p>A19（出力）</p> <p>A18（出力）</p> <p>A17（出力）</p> <p>A16（出力）</p>
7.6.3 モード別端子機能 図 7.17 モード 1、3、5、6 の端子機能（ポート 6）	7-23	図を修正  <p>ポート 6</p> <p>WR（出力）</p> <p>RD（出力）</p> <p>AS（出力）</p> <p>P6n（入出力）/AWAIT（入力）</p>
8.4.6 相補 PWM モード (4) 相補 PWM モードでの GR の設定値	8-62	記述を訂正 (3) 設定値変更時の注意 図 8.39 に 6 つの正しい例と 1 つの間違った例を示します。

修正項目	ページ	修正内容（詳細はマニュアル参照）																										
10.1.3 端子構成 表 10.1 端子構成	10-2	<p>表および注を修正</p> <table border="1"> <thead> <tr> <th>名称</th> <th>略称</th> <th>入出力</th> <th>機能</th> </tr> </thead> <tbody> <tr> <td>リセット出力</td> <td>RESO</td> <td>出力*²</td> <td>ウォッチドッグタイマのリセット信号の外部出力</td> </tr> </tbody> </table> <p>【注】*¹ マスク ROM 版の端子を示します。F-ZTAT 版には WDT で使用する端子はありません。 F-ZTAT 版は「15.11 フラッシュメモリの書き込み / 消去時の注意」を参照してください。 *² オープンドレイン出力端子です。リセット出力を使用する場合は外部で Vcc にプルアップしてください。</p>	名称	略称	入出力	機能	リセット出力	RESO	出力* ²	ウォッチドッグタイマのリセット信号の外部出力																		
名称	略称	入出力	機能																									
リセット出力	RESO	出力* ²	ウォッチドッグタイマのリセット信号の外部出力																									
16.2.1 水晶発振子を接続する方法 (2) 水晶発振子 表 16.2 水晶発振子のパラメータ	16-3	暫定仕様を削除																										
17.7 φクロック出力禁止機能 図 17.3 φクロック発振開始、発振停止タイミング	17-13	<p>図を修正</p>																										
18. 電気的特性	18-1 ~ 18-24	暫定仕様および暫定を削除																										
A.1 命令一覧 表 A.1 命令セット一覧 (5) ビット操作命令	付録-11	<p>表を修正</p> <table border="1"> <thead> <tr> <th colspan="2" rowspan="2"></th> <th colspan="2">ニーモニック</th> <th colspan="2">実行ステート数*¹</th> </tr> <tr> <th>ノーマル</th> <th>アドバンスト</th> <th>ノーマル</th> <th>アドバンスト</th> </tr> </thead> <tbody> <tr> <td rowspan="3">BILD</td> <td>BILD #xx:3, Rd</td> <td></td> <td></td> <td colspan="2">2</td> </tr> <tr> <td>BILD #xx:3, @ERd</td> <td></td> <td></td> <td colspan="2">6</td> </tr> <tr> <td>BILD #xx:3, @aa:8</td> <td></td> <td></td> <td colspan="2">6</td> </tr> </tbody> </table>			ニーモニック		実行ステート数* ¹		ノーマル	アドバンスト	ノーマル	アドバンスト	BILD	BILD #xx:3, Rd			2		BILD #xx:3, @ERd			6		BILD #xx:3, @aa:8			6	
		ニーモニック			実行ステート数* ¹																							
		ノーマル	アドバンスト	ノーマル	アドバンスト																							
BILD	BILD #xx:3, Rd			2																								
	BILD #xx:3, @ERd			6																								
	BILD #xx:3, @aa:8			6																								
B.2 機能一覧 FLMCR1	付録-35	<p>ビットの表および注を修正</p> <p>ビット: 7</p> <p>FWE</p> <p>初期値: 1*</p> <p>R/W: R</p> <p>* FWE端子の状態により設定されます。</p>																										
P3DR	付録-80	ビットの表を修正 ポート 3 の各端子のデータを格納																										
PADDR	付録-83	<p>ビットの表を修正</p> <table border="1"> <thead> <tr> <th colspan="2"></th> <th colspan="2">ビット: 7 6</th> </tr> <tr> <th colspan="2"></th> <th>PA₇DDR</th> <th>PA₆DDR</th> </tr> </thead> <tbody> <tr> <td rowspan="2">モード 3, 6</td> <td>初期値:</td> <td>1</td> <td>0</td> </tr> <tr> <td>R/W:</td> <td></td> <td>W</td> </tr> <tr> <td rowspan="2">モード 1, 5, 7</td> <td>初期値:</td> <td>0</td> <td>0</td> </tr> <tr> <td>R/W:</td> <td>W</td> <td>W</td> </tr> </tbody> </table>			ビット: 7 6				PA ₇ DDR	PA ₆ DDR	モード 3, 6	初期値:	1	0	R/W:		W	モード 1, 5, 7	初期値:	0	0	R/W:	W	W				
		ビット: 7 6																										
		PA ₇ DDR	PA ₆ DDR																									
モード 3, 6	初期値:	1	0																									
	R/W:		W																									
モード 1, 5, 7	初期値:	0	0																									
	R/W:	W	W																									

修正項目	ページ	修正内容 (詳細はマニュアル参照)
C.1 ポート1ブロック図 図 C.1 ポート1ブロック図	付録-96	図を修正  <p>The diagram shows a square block with the following labels: 'モード 1, 3, 5' at the top with a grey highlight; 'リセット' to its right; 'S' and 'R' at the top corners; 'Q' on the left side; 'D' on the right side; 'C' at the bottom; and 'WP1D' below 'C' with a grey highlight. Inside the block, 'P1nDDR' is written. A '*' symbol is located to the right of the 'D' input. The entire diagram is enclosed in a dashed rectangular border.</p>
C.7 ポート8ブロック図 図 C.7(b) ポート8 ブロック図 (P8 _i 端子)	付録-104	図を修正  <p>The diagram shows a square block with the following labels: 'リセット' at the top with a grey highlight; 'R' at the top corner; 'Q' on the left side; 'D' on the right side; 'C' at the bottom; and 'WP8D' below 'C' with a grey highlight. Inside the block, 'P8iDDR' is written. The entire diagram is enclosed in a dashed rectangular border.</p>

すべての商標および登録商標は、それぞれの所有者に帰属します。

目次

第1章 概要

1.1	概要	1-1
1.2	内部ブロック図	1-4
1.3	端子説明	1-5
1.3.1	ピン配置	1-5
1.3.2	端子機能	1-6
1.4	端子機能	1-9

第2章 CPU

2.1	概要	2-1
2.1.1	特長	2-1
2.1.2	H8/300 CPU との相違点	2-2
2.2	CPU 動作モード	2-3
2.3	アドレス空間	2-4
2.4	レジスタ構成	2-5
2.4.1	概要	2-5
2.4.2	汎用レジスタ	2-6
2.4.3	コントロールレジスタ	2-7
2.4.4	CPU 内部レジスタの初期値	2-8
2.5	データ構成	2-9
2.5.1	汎用レジスタのデータ構成	2-10
2.5.2	メモリ上でのデータ構成	2-11
2.6	命令セット	2-12
2.6.1	命令セットの概要	2-12
2.6.2	命令とアドレッシングモードの組み合わせ	2-12
2.6.3	命令の機能別一覧	2-14
2.6.4	命令の基本フォーマット	2-21
2.6.5	ビット操作命令使用上の注意	2-22
2.7	アドレッシングモードと実効アドレスの計算方法	2-24
2.7.1	アドレッシングモード	2-24
2.7.2	実効アドレスの計算方法	2-27
2.8	処理状態	2-31
2.8.1	概要	2-31
2.8.2	プログラム実行状態	2-31
2.8.3	例外処理状態	2-31
2.8.4	例外処理の動作	2-33
2.8.5	リセット状態	2-34
2.8.6	低消費電力状態	2-34

2.9	基本動作タイミング	2-36
2.9.1	概要	2-36
2.9.2	内蔵メモリアクセスタイミング	2-36
2.9.3	内蔵周辺モジュールアクセスタイミング	2-37
2.9.4	外部アドレス空間アクセスタイミング	2-38
第3章 MCU 動作モード		
3.1	概要	3-1
3.1.1	動作モードの選択の種類	3-1
3.1.2	レジスタ構成	3-2
3.2	モードコントロールレジスタ (MDCR)	3-3
3.3	システムコントロールレジスタ (SYSCR)	3-4
3.4	各動作モードの説明	3-6
3.4.1	モード1	3-6
3.4.2	モード3	3-6
3.4.3	モード5	3-6
3.4.4	モード6	3-6
3.4.5	モード7	3-6
3.5	各動作モードにおける端子機能	3-7
3.6	各動作モードのメモリマップ	3-8
第4章 例外処理		
4.1	概要	4-1
4.1.1	例外処理の種類と優先度	4-1
4.1.2	例外処理の動作	4-1
4.1.3	例外処理要因とベクタテーブル	4-1
4.2	リセット	4-3
4.2.1	概要	4-3
4.2.2	リセットシーケンス	4-3
4.2.3	リセット直後の割り込み	4-5
4.3	割り込み	4-6
4.4	トラップ命令	4-7
4.5	例外処理後のスタックの状態	4-8
4.6	スタック使用上の注意	4-9
第5章 割り込みコントローラ		
5.1	概要	5-1
5.1.1	特長	5-1
5.1.2	ブロック図	5-1
5.1.3	端子構成	5-2
5.1.4	レジスタ構成	5-3
5.2	各レジスタの説明	5-4
5.2.1	システムコントロールレジスタ (SYSCR)	5-4
5.2.2	インタラプトプライオリティレジスタ A、B (IPRA、IPRB)	5-5
5.2.3	IRQ ステータスレジスタ (ISR)	5-11

5.2.4	IRQ イネーブルレジスタ (IER)	5-12
5.2.5	IRQ センスコントロールレジスタ (ISCR)	5-13
5.3	割り込み要因	5-14
5.3.1	外部割り込み	5-14
5.3.2	内部割り込み	5-15
5.3.3	割り込み例外処理ベクタテーブル	5-15
5.4	割り込み動作	5-18
5.4.1	割り込み動作の流れ	5-18
5.4.2	割り込み例外処理シーケンス	5-23
5.4.3	割り込み応答時間	5-24
5.5	使用上の注意	5-25
5.5.1	割り込みの発生とディスエーブルとの競合	5-25
5.5.2	割り込みの受け付けを禁止している命令	5-25
5.5.3	EEMOV 命令実行中の割り込み	5-26
5.5.4	外部割り込み使用上の注意	5-26
第 6 章 バスコントローラ		
6.1	概要	6-1
6.1.1	特長	6-1
6.1.2	ブロック図	6-1
6.1.3	端子構成	6-2
6.1.4	レジスタ構成	6-2
6.2	各レジスタの説明	6-3
6.2.1	アクセスステートコントロールレジスタ (ASTCR)	6-3
6.2.2	ウェイトコントロールレジスタ (WCR)	6-4
6.2.3	ウェイトステートコントローライネーブルレジスタ (WCER)	6-5
6.2.4	アドレスコントロールレジスタ (ADRCR)	6-5
6.3	動作説明	6-7
6.3.1	エリア分割	6-7
6.3.2	バス制御信号タイミング	6-8
6.3.3	ウェイトモード	6-10
6.3.4	メモリとの接続例	6-16
6.4	使用上の注意	6-17
6.4.1	レジスタライトタイミング	6-17
6.4.2	ASTCR と ABWCR 設定上の注意事項	6-17
第 7 章 I/O ポート		
7.1	概要	7-1
7.2	ポート 1	7-4
7.2.1	概要	7-4
7.2.2	レジスタの構成と説明	7-4
7.2.3	モード別端子機能	7-6
7.3	ポート 2	7-8
7.3.1	概要	7-8
7.3.2	レジスタの構成と説明	7-8
7.3.3	モード別端子機能	7-10

7.3.4	入力プルアップ MOS	7-12
7.4	ポート 3	7-13
7.4.1	概要	7-13
7.4.2	レジスタの構成と説明	7-13
7.4.3	モード別端子機能	7-15
7.5	ポート 5	7-16
7.5.1	概要	7-16
7.5.2	レジスタの構成と説明	7-16
7.5.3	モード別端子機能	7-19
7.5.4	入力プルアップ MOS	7-20
7.6	ポート 6	7-21
7.6.1	概要	7-21
7.6.2	レジスタの構成と説明	7-21
7.6.3	モード別端子機能	7-23
7.7	ポート 7	7-26
7.7.1	概要	7-26
7.7.2	レジスタの構成と説明	7-26
7.8	ポート 8	7-27
7.8.1	概要	7-27
7.8.2	レジスタの構成と説明	7-27
7.8.3	モード別端子機能	7-29
7.9	ポート 9	7-30
7.9.1	概要	7-30
7.9.2	レジスタの構成と説明	7-30
7.9.3	端子機能	7-32
7.10	ポート A	7-34
7.10.1	概要	7-34
7.10.2	レジスタの構成と説明	7-35
7.10.3	端子機能	7-36
7.11	ポート B	7-41
7.11.1	概要	7-41
7.11.2	レジスタの構成と説明	7-41
7.11.3	端子機能	7-43

第 8 章 16 ビットインテグレートドタイマユニット (ITU)

8.1	概要	8-1
8.1.1	特長	8-1
8.1.2	ブロック図	8-4
8.1.3	端子構成	8-9
8.1.4	レジスタ構成	8-10
8.2	各レジスタの説明	8-12
8.2.1	タイムスタートレジスタ (TSTR)	8-12
8.2.2	タイムシンクロレジスタ (TSNC)	8-14
8.2.3	タイムモードレジスタ (TMDR)	8-16
8.2.4	タイムファンクションコントロールレジスタ (TFCR)	8-19

8.2.5	タイマアウトプットマスタイネーブルレジスタ (TOER)	8-22
8.2.6	タイマアウトプットコントロールレジスタ (TOCR)	8-24
8.2.7	タイマカウンタ (TCNT)	8-26
8.2.8	ジェネラルレジスタ A、B (GRA、GRB)	8-27
8.2.9	バッファレジスタ A、B (BRA、BRB)	8-28
8.2.10	タイマコントロールレジスタ (TCR)	8-29
8.2.11	タイマ I/O コントロールレジスタ (TIOR)	8-32
8.2.12	タイマステータスレジスタ (TSR)	8-34
8.2.13	タイマインタラプトイネーブルレジスタ (TIER)	8-36
8.3	CPU とのインタフェース	8-38
8.3.1	16 ビットアクセス可能なレジスタ	8-38
8.3.2	8 ビットアクセスのレジスタ	8-40
8.4	動作説明	8-41
8.4.1	概要	8-41
8.4.2	基本機能	8-42
8.4.3	同期動作	8-49
8.4.4	PWM モード	8-50
8.4.5	リセット同期 PWM モード	8-54
8.4.6	相補 PWM モード	8-57
8.4.7	位相計数モード	8-64
8.4.8	バッファ動作	8-66
8.4.9	ITU 出力タイミング	8-70
8.5	割り込み	8-72
8.5.1	ステータスフラグのセットタイミング	8-72
8.5.2	ステータスフラグのクリアタイミング	8-74
8.5.3	割り込み要因	8-75
8.6	使用上の注意	8-76
第9章 プログラマブルタイミングパターンコントローラ (TPC)		
9.1	概要	9-1
9.1.1	特長	9-1
9.1.2	ブロック図	9-2
9.1.3	端子構成	9-3
9.1.4	レジスタ構成	9-4
9.2	各レジスタの説明	9-5
9.2.1	ポート A データディレクションレジスタ (PADDR)	9-5
9.2.2	ポート A データレジスタ (PADR)	9-5
9.2.3	ポート B データディレクションレジスタ (PBDDR)	9-6
9.2.4	ポート B データレジスタ (PBDR)	9-6
9.2.5	ネクストデータレジスタ A (NDRA)	9-6
9.2.6	ネクストデータレジスタ B (NDRB)	9-9
9.2.7	ネクストデータイネーブルレジスタ A (NDERA)	9-11
9.2.8	ネクストデータイネーブルレジスタ B (NDERB)	9-11
9.2.9	TPC 出力コントロールレジスタ (TPCR)	9-13
9.2.10	TPC 出力モードレジスタ (TPMR)	9-15

9.3	動作説明	9-17
9.3.1	概要	9-17
9.3.2	出力タイミング	9-18
9.3.3	TPC 出力通常動作	9-19
9.3.4	TPC 出力ノンオーバーラップ動作	9-21
9.3.5	インプットキャプチャによる TPC 出力	9-23
9.4	使用上の注意	9-24
9.4.1	TPC 出力端子の動作	9-24
9.4.2	ノンオーバーラップ動作時の注意	9-24
第 10 章 ウォッチドッグタイマ		
10.1	概要	10-1
10.1.1	特長	10-1
10.1.2	ブロック図	10-2
10.1.3	端子構成	10-2
10.1.4	レジスタ構成	10-3
10.2	各レジスタの説明	10-4
10.2.1	タイマカウンタ (TCNT)	10-4
10.2.2	タイマコントロール/ステータスレジスタ (TCSR)	10-4
10.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	10-6
10.2.4	レジスタ書き換え時の注意	10-7
10.3	動作説明	10-10
10.3.1	ウォッチドッグタイマ時の動作	10-10
10.3.2	インターバルタイマ時の動作	10-11
10.3.3	オーバフローフラグ (OVF) セットタイミング	10-11
10.3.4	ウォッチドッグタイマリセット (WRST) のセットタイミング	10-12
10.4	割り込み	10-13
10.5	使用上の注意	10-13
第 11 章 シリアルコミュニケーションインタフェース		
11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	ブロック図	11-2
11.1.3	端子構成	11-3
11.1.4	レジスタ構成	11-3
11.2	各レジスタの説明	11-4
11.2.1	レシーブシフトレジスタ (RSR)	11-4
11.2.2	レシーブデータレジスタ (RDR)	11-4
11.2.3	トランスミットシフトレジスタ (TSR)	11-5
11.2.4	トランスミットデータレジスタ (TDR)	11-5
11.2.5	シリアルモードレジスタ (SMR)	11-6
11.2.6	シリアルコントロールレジスタ (SCR)	11-9
11.2.7	シリアルステータスレジスタ (SSR)	11-13
11.2.8	ビットレートレジスタ (BRR)	11-18
11.3	動作説明	11-26
11.3.1	概要	11-26

11.3.2	調歩同期式モード時の動作	11-28
11.3.3	マルチプロセッサ通信機能	11-37
11.3.4	クロック同期式モード時の動作	11-44
11.4	SCI 割り込み	11-52
11.5	使用上の注意	11-53

第 12 章 スマートカードインタフェース

12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-2
12.1.3	端子構成	12-2
12.1.4	レジスタ構成	12-3
12.2	各レジスタの説明	12-4
12.2.1	スマートカードモードレジスタ (SCMR)	12-4
12.2.2	シリアルステータスレジスタ (SSR)	12-5
12.3	動作説明	12-7
12.3.1	概要	12-7
12.3.2	端子接続	12-7
12.3.3	データフォーマット	12-8
12.3.4	レジスタの設定	12-9
12.3.5	クロック	12-11
12.3.6	データの送信 / 受信動作	12-13
12.4	使用上の注意	12-18

第 13 章 A/D 変換器

13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-2
13.1.3	端子構成	13-3
13.1.4	レジスタ構成	13-3
13.2	各レジスタの説明	13-4
13.2.1	A/D データレジスタ A~D (ADDRA ~ ADDR D)	13-4
13.2.2	A/D コントロール / ステータスレジスタ (ADCSR)	13-5
13.2.3	A/D コントロールレジスタ (ADCR)	13-8
13.3	CPU とのインタフェース	13-9
13.4	動作説明	13-10
13.4.1	単一モード (SCAN = 0)	13-10
13.4.2	スキャンモード (SCAN = 1)	13-12
13.4.3	入力サンプリングと A/D 変換時間	13-14
13.4.4	外部トリガ入力タイミング	13-15
13.5	割り込み	13-16
13.6	使用上の注意	13-16

第 14 章 RAM

14.1	概要	14-1
14.1.1	ブロック図	14-1

14.1.2	レジスタ構成	14-2
14.2	システムコントロールレジスタ (SYSCR)	14-3
14.3	動作説明	14-4
第 15 章 ROM		
15.1	特長	15-1
15.2	概要	15-2
15.2.1	ブロック図	15-2
15.2.2	モード遷移図	15-3
15.2.3	オンボードプログラミングモード	15-4
15.2.4	RAM によるフラッシュメモリのエミュレーション	15-6
15.2.5	ブートモードとユーザプログラムモードの相違点	15-7
15.2.6	ブロック分割法	15-7
15.3	端子構成	15-8
15.4	レジスタ構成	15-8
15.5	レジスタの説明	15-9
15.5.1	フラッシュメモリコントロールレジスタ 1 (FLMCR1)	15-9
15.5.2	フラッシュメモリコントロールレジスタ 2 (FLMCR2)	15-12
15.5.3	消去ブロック指定レジスタ 1 (EBR1)	15-13
15.5.4	消去ブロック指定レジスタ 2 (EBR2)	15-14
15.5.5	RAM エミュレーションレジスタ (RAMER)	15-15
15.5.6	H8/3039F-ZTAT グループとの相違点	15-17
15.6	オンボードプログラミングモード	15-18
15.6.1	ブートモード	15-19
15.6.2	ユーザプログラムモード	15-24
15.7	フラッシュメモリの書き込み / 消去	15-26
15.7.1	プログラムモード	15-27
15.7.2	プログラムベリファイモード	15-28
15.7.3	プログラム / プログラムベリファイフローの注意点	15-28
15.7.4	イレースモード	15-32
15.7.5	イレースベリファイモード	15-32
15.8	プロテクト	15-34
15.8.1	ハードウェアプロテクト	15-34
15.8.2	ソフトウェアプロテクト	15-35
15.8.3	エラープロテクト	15-35
15.8.4	NMI 入力の禁止条件	15-37
15.9	RAM によるフラッシュメモリのエミュレーション	15-38
15.10	フラッシュメモリの PROM モード	15-41
15.10.1	ソケットアダプタとメモリマップ	15-41
15.10.2	PROM モード使用時の注意事項	15-42
15.11	フラッシュメモリの書き込み / 消去時の注意	15-43
15.12	マスク ROM の概要	15-48
15.12.1	ブロック図	15-48

15.13	マスク ROM 品発注時の注意.....	15-49
15.14	F-ZTAT マイコンのマスク ROM 化時の注意事項	15-50
第 16 章 クロック発振器		
16.1	概要.....	16-1
16.1.1	ブロック図.....	16-1
16.2	発振器.....	16-2
16.2.1	水晶発振子を接続する方法.....	16-2
16.2.2	外部クロックを入力する方法.....	16-4
16.3	デューティ補正回路.....	16-6
16.4	プリスケーラ	16-6
16.5	分周器	16-6
16.5.1	レジスタ構成	16-6
16.5.2	分周比コントロールレジスタ (DIVCR)	16-7
16.5.3	使用上の注意	16-7
第 17 章 低消費電力状態		
17.1	概要.....	17-1
17.2	レジスタ構成	17-3
17.2.1	システムコントロールレジスタ (SYSCR)	17-3
17.2.2	モジュールスタンバイコントロールレジスタ (MSTCR)	17-5
17.3	スリープモード.....	17-7
17.3.1	スリープモードへの遷移.....	17-7
17.3.2	スリープモードの解除	17-7
17.4	ソフトウェアスタンバイモード.....	17-8
17.4.1	ソフトウェアスタンバイモードへの遷移.....	17-8
17.4.2	ソフトウェアスタンバイモードの解除.....	17-8
17.4.3	ソフトウェアスタンバイモード解除後の発振安定待機時間の設定	17-8
17.4.4	ソフトウェアスタンバイモードの応用例.....	17-10
17.4.5	使用上の注意	17-10
17.5	ハードウェアスタンバイモード.....	17-11
17.5.1	ハードウェアスタンバイモードへの遷移.....	17-11
17.5.2	ハードウェアスタンバイモードの解除.....	17-11
17.5.3	ハードウェアスタンバイモードのタイミング	17-11
17.6	モジュールスタンバイ機能.....	17-12
17.6.1	モジュールスタンバイタイミング.....	17-12
17.6.2	モジュールスタンバイ中のリード/ライト.....	17-12
17.6.3	使用上の注意	17-12
17.7	φクロック出力禁止機能.....	17-13
第 18 章 電気的特性		
18.1	マスク ROM 版の電気的特性.....	18-1
18.1.1	絶対最大定格	18-1
18.1.2	DC 特性.....	18-2
18.1.3	AC 特性.....	18-5

18.1.4	A/D変換特性	18-8
18.2	フラッシュメモリ版の電気的特性	18-9
18.2.1	絶対最大定格	18-9
18.2.2	DC特性	18-10
18.2.3	AC特性	18-13
18.2.4	A/D変換特性	18-15
18.2.5	フラッシュメモリ特性	18-16
18.3	動作タイミング	18-18
18.3.1	バスタイミング	18-18
18.3.2	制御信号タイミング	18-20
18.3.3	クロックタイミング	18-21
18.3.4	TPC、I/Oポートタイミング	18-22
18.3.5	ITUタイミング	18-22
18.3.6	SCI入出力タイミング	18-23

付録

A.	命令	付録-1
A.1	命令一覧	付録-1
A.2	オペレーションコードマップ	付録-16
A.3	命令実行ステート数	付録-19
B.	内部I/Oレジスタ一覧	付録-28
B.1	アドレス一覧	付録-28
B.2	機能一覧	付録-34
C.	I/Oポートブロック図	付録-96
C.1	ポート1ブロック図	付録-96
C.2	ポート2ブロック図	付録-97
C.3	ポート3ブロック図	付録-98
C.4	ポート5ブロック図	付録-99
C.5	ポート6ブロック図	付録-100
C.6	ポート7ブロック図	付録-102
C.7	ポート8ブロック図	付録-103
C.8	ポート9ブロック図	付録-105
C.9	ポートAブロック図	付録-109
C.10	ポートBブロック図	付録-112
D.	端子状態	付録-115
D.1	各処理状態におけるポートの状態	付録-115
D.2	リセット時の端子状態	付録-117
E.	ハードウェアスタンバイモード遷移/復帰時のタイミングについて	付録-120
F.	ROM発注手順	付録-121
F.1	ROM書き換え品開発の流れ(発注手順)	付録-121
F.2	ROM発注時の注意事項	付録-122
G.	型名一覧	付録-123
H.	外形寸法図	付録-124
I.	H8/300Hシリーズ製品仕様比較	付録-126
I.1	H8/3039F、H8/3022Fの相違点	付録-126

1. 概要

1.1 概要

H8/3022 グループは、ルネサス テクノロジオリジナルアーキテクチャを採用した H8/300H CPU を核にして、システム構成に必要な周辺機能を集積したシングルチップマイクロコンピュータ (MCU) です。

H8/300H CPU は、内部 32 ビット構成で 16 ビット×16 本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16M バイトのリニアなアドレス空間を扱うことができます。また、H8/300 CPU の命令に対しオブジェクトレベルで上位互換を保っていますので、H8/300 シリーズから容易に移行することができます。

システム構成に必要な周辺機能としては、ROM、RAM、16 ビットインテグレートドタイマユニット (ITU)、プログラマブルタイミングパターンコントローラ (TPC)、ウォッチドッグタイマ (WDT)、シリアルコミュニケーションインタフェース (SCI)、A/D 変換器、I/O ポート、などを内蔵しています。

H8/3022 グループには、H8/3022、H8/3021、H8/3020 の 3 種類があります。H8/3022 には、256K バイト ROM と 8K バイト RAM、H8/3021 には、192K バイト ROM と 8K バイト RAM、H8/3020 には、128K バイト ROM と 4K バイト RAM がそれぞれ内蔵されています。

MCU 動作モードは、モード 1、3、5~7 があり、拡張モードとシングルチップモードを選択することができます。

H8/3022 グループには、マスク ROM 版のほかに、ユーザサイドで自由にプログラムの書き込みおよび基板実装後のプログラム書き換えができるフラッシュメモリを内蔵した F-ZTAT*版があります。仕様流動性の高い応用機器さらに量産初期から本格的量産など、ユーザの状況に応じて迅速かつ柔軟な対応が可能です。

H8/3022 グループの特長を表 1.1 に示します。

【注】* F-ZTAT は (株) ルネサス テクノロジの商標です。

1. 概要

表 1.1 特長

項目	仕様
CPU	<p>H8/300 CPU に対してオブジェクトレベルで上位互換汎用レジスタマシン</p> <ul style="list-style-type: none"> 汎用レジスタ：16 ビット×16 本 (8 ビット×16 本、32 ビット×8 本としても使用可能) <p>高速動作</p> <ul style="list-style-type: none"> 最大動作周波数：18MHz 加減算：111ns 乗除算：778ns <p>2 種類の CPU 動作モード</p> <ul style="list-style-type: none"> ノーマルモード (アドレス空間 64K バイト)* アドバンスモード (アドレス空間 16M バイト) <p>特長ある命令</p> <ul style="list-style-type: none"> 8/16/32 ビット転送・演算命令 符号なし/符号付乗算命令 (8 ビット×8 ビット、16 ビット×16 ビット) 符号なし/符号付除算命令 (16 ビット÷8 ビット、32 ビット÷16 ビット) ビットアキュムレータ機能 レジスタ間接指定によりビット番号を指定可能なビット操作命令
メモリ	<p>H8/3022</p> <ul style="list-style-type: none"> ROM：256K バイト RAM：8K バイト <p>H8/3021</p> <ul style="list-style-type: none"> ROM：192K バイト RAM：8K バイト <p>H8/3020</p> <ul style="list-style-type: none"> ROM：128K バイト RAM：4K バイト
割り込みコントローラ	<ul style="list-style-type: none"> 外部割り込み端子 5 本：NMI、\overline{IRQ}_0、\overline{IRQ}_1、\overline{IRQ}_4、\overline{IRQ}_5 内部割り込み 25 要因 3 レベルの割り込み優先順位が設定可能
バスコントローラ	<ul style="list-style-type: none"> アドレス空間を 8 エリアに分割し、エリアごとに独立してバス仕様を設定可能 エリアごとに 2 ステートアクセス空間 / 3 ステートアクセス空間を設定可能 4 種類のウェイトモードを設定可能
16 ビット インテグレートッドタイマ ユニット (ITU)	<ul style="list-style-type: none"> 16 ビットタイマ 5 チャンネルを内蔵。最大 12 種類のパルス出力、または最大 10 種類のパルスの入力処理が可能 16 ビットタイマカウンタ×1 (チャンネル 0~4) アウトプットコンペア出力/インプットキャプチャ入力 (兼用端子) ×2 (チャンネル 0~4) 同期動作可能 (チャンネル 0~4) PWM モード設定可能 (チャンネル 0~4) 位相計数モード設定可能 (チャンネル 2) パルファ動作可能 (チャンネル 3、4) リセット同期 PWM モード設定可能 (チャンネル 3、4) 相補 PWM モード設定可能 (チャンネル 3、4)

項目	仕様																								
プログラマブル タイミングパターンコ ントローラ (TPC)	<ul style="list-style-type: none"> ITUをタイムベースとした最大15ビットのパルス出力が可能 最大4ビット×3系統と最大3ビット×1系統のパルス出力が可能(15ビット×1系統、8ビット×1系統と7ビット×1系統などの設定も可能) ノンオーバーラップモード設定可能 																								
ウォッチドッグ タイマ (WDT) × 1チャンネル	<ul style="list-style-type: none"> オーバーフローによりリセット信号を発生可能 リセット信号の外部出力可能(ただし、F-ZTAT版は不可) インターバルタイマとして使用可能 																								
シリアル コミュニケーションイ ンタフェース (SCI) × 2チャンネル	<ul style="list-style-type: none"> 調歩同期/クロック同期式モードの選択可能 送受信同時動作(全二重動作)可能 専用のボーレートジェネレータ内蔵 スマートカードインタフェース拡張機能内蔵 (SCI0のみ) 																								
A/D変換器	<ul style="list-style-type: none"> 分解能: 10ビット 8チャンネル: 単一モード/スキャンモード選択可能 アナログ変換電圧範囲の設定が可能 サンプル&ホールド機能付 外部トリガによるA/D変換開始可能 																								
I/Oポート	<ul style="list-style-type: none"> 入出力端子55本 入力端子8本 																								
動作モード	<p>5種類のMCU動作モード</p> <table border="1"> <thead> <tr> <th>モード</th> <th>アドレス空間</th> <th>アドレス端子</th> <th>バス幅</th> </tr> </thead> <tbody> <tr> <td>モード1</td> <td>1Mバイト</td> <td>A₁₉ - A₀</td> <td>8ビット</td> </tr> <tr> <td>モード3</td> <td>16Mバイト</td> <td>A₂₃ - A₀</td> <td>8ビット</td> </tr> <tr> <td>モード5</td> <td>1Mバイト</td> <td>A₁₉ - A₀</td> <td>8ビット</td> </tr> <tr> <td>モード6</td> <td>16Mバイト</td> <td>A₂₃ - A₀</td> <td>8ビット</td> </tr> <tr> <td>モード7</td> <td>1Mバイト</td> <td></td> <td></td> </tr> </tbody> </table> <ul style="list-style-type: none"> モード1、3では内蔵ROMは無効となります。 	モード	アドレス空間	アドレス端子	バス幅	モード1	1Mバイト	A ₁₉ - A ₀	8ビット	モード3	16Mバイト	A ₂₃ - A ₀	8ビット	モード5	1Mバイト	A ₁₉ - A ₀	8ビット	モード6	16Mバイト	A ₂₃ - A ₀	8ビット	モード7	1Mバイト		
モード	アドレス空間	アドレス端子	バス幅																						
モード1	1Mバイト	A ₁₉ - A ₀	8ビット																						
モード3	16Mバイト	A ₂₃ - A ₀	8ビット																						
モード5	1Mバイト	A ₁₉ - A ₀	8ビット																						
モード6	16Mバイト	A ₂₃ - A ₀	8ビット																						
モード7	1Mバイト																								
低消費電力状態	<ul style="list-style-type: none"> スリープモード ソフトウェアスタンバイモード ハードウェアスタンバイモード モジュール別スタンバイ機能あり システムクロック分周比可変 																								
その他	<ul style="list-style-type: none"> クロック発振器内蔵 																								
製品ラインアップ	<table border="1"> <thead> <tr> <th>製品型名 (3V版)</th> <th>パッケージ</th> <th>ROM</th> </tr> </thead> <tbody> <tr> <td>HD64F3022F</td> <td>80ピンQFP (FP-80A)</td> <td rowspan="2">フラッシュメモリ版</td> </tr> <tr> <td>HD64F3022TE</td> <td>80ピンTQFP (TFP-80C)</td> </tr> <tr> <td>HD6433022F</td> <td>80ピンQFP (FP-80A)</td> <td rowspan="2">マスクROM版</td> </tr> <tr> <td>HD6433022TE</td> <td>80ピンTQFP (TFP-80C)</td> </tr> <tr> <td>HD6433021F</td> <td>80ピンQFP (FP-80A)</td> <td rowspan="2">マスクROM版</td> </tr> <tr> <td>HD6433021TE</td> <td>80ピンTQFP (TFP-80C)</td> </tr> <tr> <td>HD6433020F</td> <td>80ピンQFP (FP-80A)</td> <td rowspan="2">マスクROM版</td> </tr> <tr> <td>HD6433020TE</td> <td>80ピンTQFP (TFP-80C)</td> </tr> </tbody> </table>	製品型名 (3V版)	パッケージ	ROM	HD64F3022F	80ピンQFP (FP-80A)	フラッシュメモリ版	HD64F3022TE	80ピンTQFP (TFP-80C)	HD6433022F	80ピンQFP (FP-80A)	マスクROM版	HD6433022TE	80ピンTQFP (TFP-80C)	HD6433021F	80ピンQFP (FP-80A)	マスクROM版	HD6433021TE	80ピンTQFP (TFP-80C)	HD6433020F	80ピンQFP (FP-80A)	マスクROM版	HD6433020TE	80ピンTQFP (TFP-80C)	
製品型名 (3V版)	パッケージ	ROM																							
HD64F3022F	80ピンQFP (FP-80A)	フラッシュメモリ版																							
HD64F3022TE	80ピンTQFP (TFP-80C)																								
HD6433022F	80ピンQFP (FP-80A)	マスクROM版																							
HD6433022TE	80ピンTQFP (TFP-80C)																								
HD6433021F	80ピンQFP (FP-80A)	マスクROM版																							
HD6433021TE	80ピンTQFP (TFP-80C)																								
HD6433020F	80ピンQFP (FP-80A)	マスクROM版																							
HD6433020TE	80ピンTQFP (TFP-80C)																								

【注】 * 本LSIではノーマルモードは使用できません。

1. 概要

1.2 内部ブロック図

内部ブロック図を図 1.1 に示します。

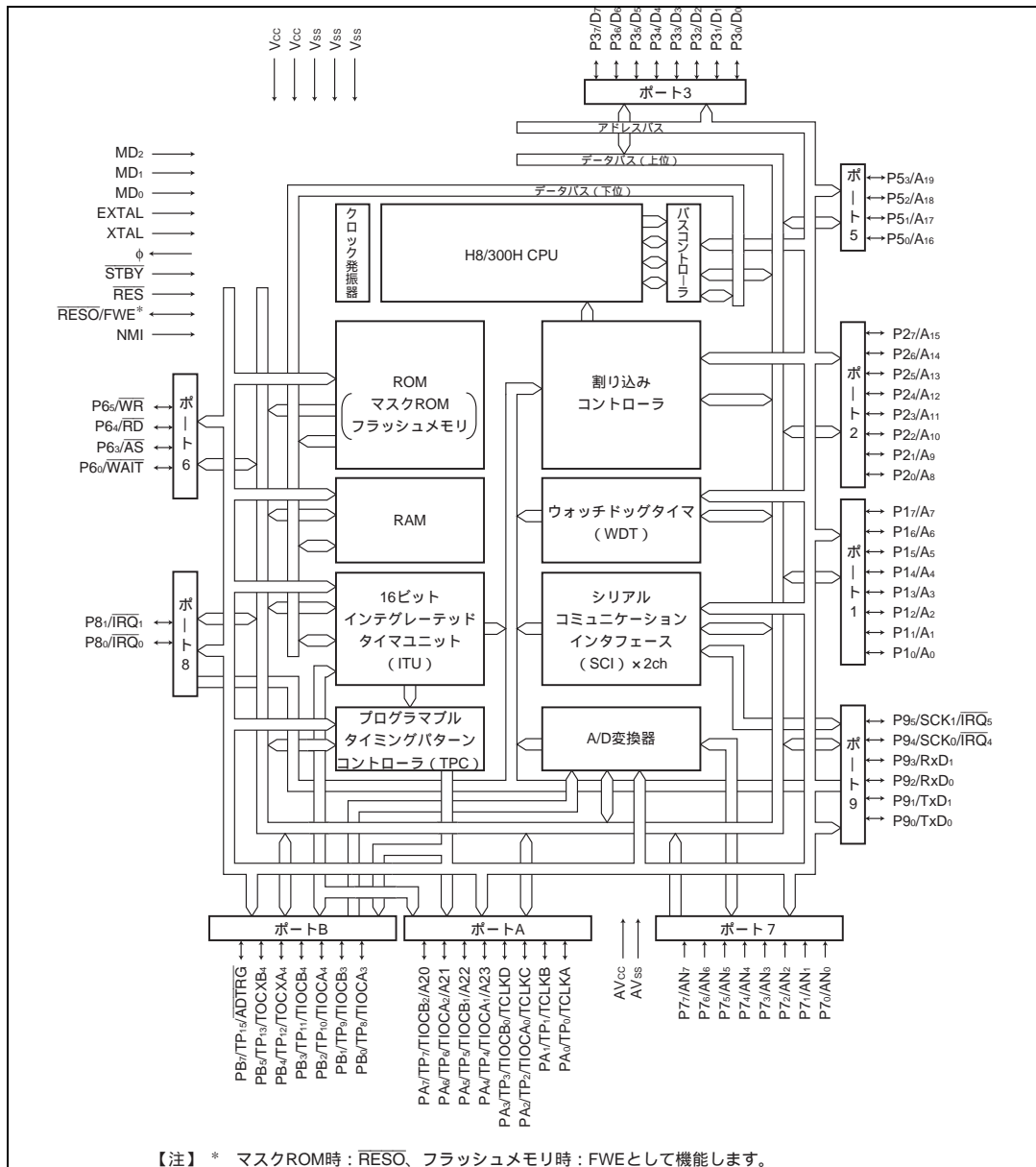


図 1.1 内部ブロック図

1.3 端子説明

1.3.1 ピン配置

H8/3022 グループのピン配置図を図 1.2 に示します。

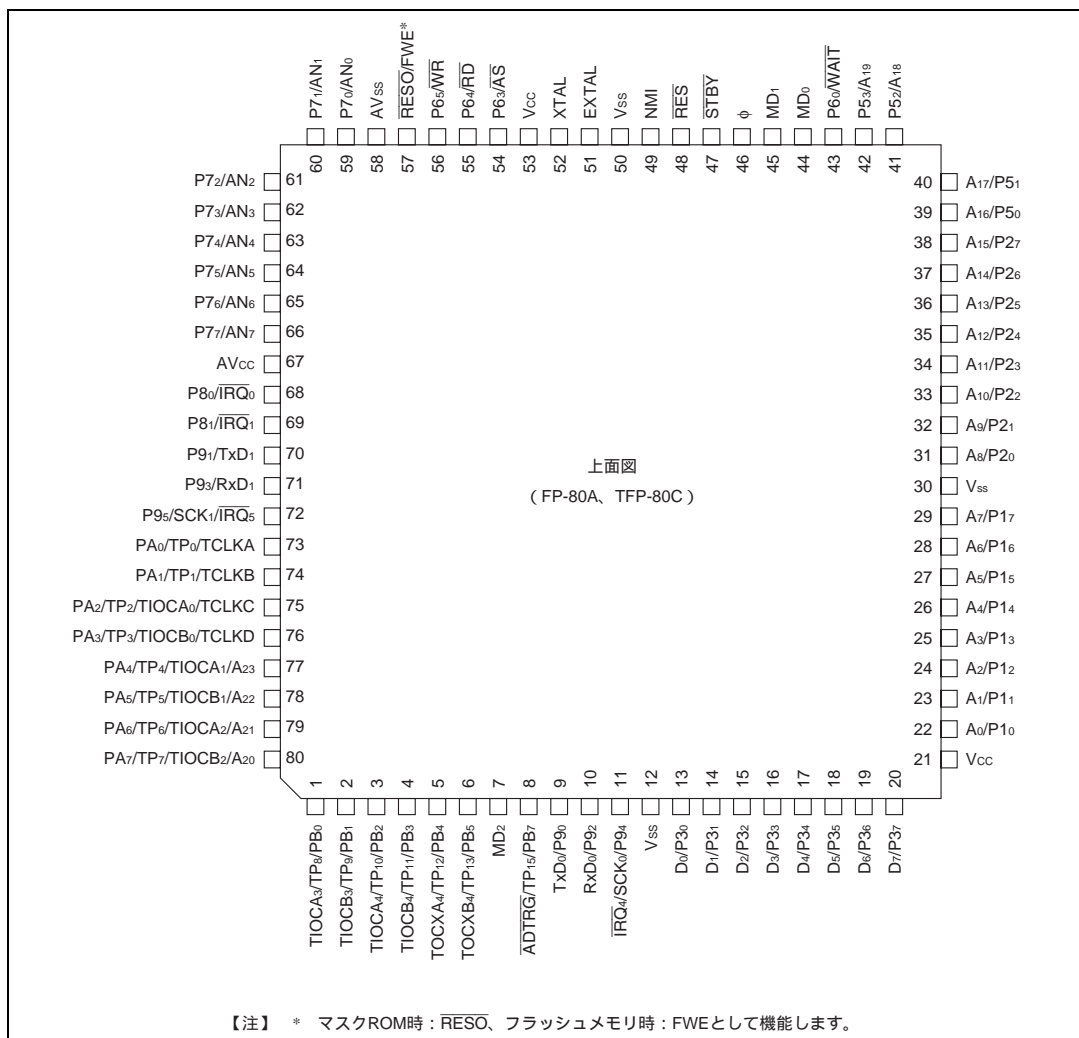


図 1.2 ピン配置 (FP-80A、TFP-80C)

1. 概要

1.3.2 端子機能

(1) モード別ピン配置一覧

モード別ピン配置 (FP-80A、TFP-80C) を表 1.2 に示します。

表 1.2 モード別ピン配置一覧 (FP-80A、TFP-80C)

ピン 番号	端子名				
	モード 1	モード 3	モード 5	モード 6	モード 7
1	PB ₀ /TP ₈ /TIOCA ₃	PB ₀ /TP ₈ /TIOCA ₃	PB ₀ /TP ₈ /TIOCA ₃	PB ₀ /TP ₈ /TIOCA ₃	PB ₀ /TP ₈ /TIOCA ₃
2	PB ₁ /TP ₉ /TIOCB ₃	PB ₁ /TP ₉ /TIOCB ₃	PB ₁ /TP ₉ /TIOCB ₃	PB ₁ /TP ₉ /TIOCB ₃	PB ₁ /TP ₉ /TIOCB ₃
3	PB ₂ /TP ₁₀ /TIOCA ₄	PB ₂ /TP ₁₀ /TIOCA ₄	PB ₂ /TP ₁₀ /TIOCA ₄	PB ₂ /TP ₁₀ /TIOCA ₄	PB ₂ /TP ₁₀ /TIOCA ₄
4	PB ₃ /TP ₁₁ /TIOCB ₄	PB ₃ /TP ₁₁ /TIOCB ₄	PB ₃ /TP ₁₁ /TIOCB ₄	PB ₃ /TP ₁₁ /TIOCB ₄	PB ₃ /TP ₁₁ /TIOCB ₄
5	PB ₄ /TP ₁₂ /TOCXA ₄	PB ₄ /TP ₁₂ /TOCXA ₄	PB ₄ /TP ₁₂ /TOCXA ₄	PB ₄ /TP ₁₂ /TOCXA ₄	PB ₄ /TP ₁₂ /TOCXA ₄
6	PB ₅ /TP ₁₃ /TOCXB ₄	PB ₅ /TP ₁₃ /TOCXB ₄	PB ₅ /TP ₁₃ /TOCXB ₄	PB ₅ /TP ₁₃ /TOCXB ₄	PB ₅ /TP ₁₃ /TOCXB ₄
7	MD ₂	MD ₂	MD ₂	MD ₂	MD ₂
8	PB ₇ /TP ₁₅ /ADTRG	PB ₇ /TP ₁₅ /ADTRG	PB ₇ /TP ₁₅ /ADTRG	PB ₇ /TP ₁₅ /ADTRG	PB ₇ /TP ₁₅ /ADTRG
9	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀
10	P9 ₁ /RxD ₀	P9 ₁ /RxD ₀	P9 ₁ /RxD ₀	P9 ₁ /RxD ₀	P9 ₁ /RxD ₀
11	P9 ₂ /SCK ₀ /IRQ ₄	P9 ₂ /SCK ₀ /IRQ ₄	P9 ₂ /SCK ₀ /IRQ ₄	P9 ₂ /SCK ₀ /IRQ ₄	P9 ₂ /SCK ₀ /IRQ ₄
12	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
13	D ₀	D ₀	D ₀	D ₀	P3 ₀
14	D ₁	D ₁	D ₁	D ₁	P3 ₁
15	D ₂	D ₂	D ₂	D ₂	P3 ₂
16	D ₃	D ₃	D ₃	D ₃	P3 ₃
17	D ₄	D ₄	D ₄	D ₄	P3 ₄
18	D ₅	D ₅	D ₅	D ₅	P3 ₅
19	D ₆	D ₆	D ₆	D ₆	P3 ₆
20	D ₇	D ₇	D ₇	D ₇	P3 ₇
21	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}
22	A ₀	A ₀	P1 ₀ /A ₀	P1 ₀ /A ₀	P1 ₀
23	A ₁	A ₁	P1 ₁ /A ₁	P1 ₁ /A ₁	P1 ₁
24	A ₂	A ₂	P1 ₂ /A ₂	P1 ₂ /A ₂	P1 ₂
25	A ₃	A ₃	P1 ₃ /A ₃	P1 ₃ /A ₃	P1 ₃
26	A ₄	A ₄	P1 ₄ /A ₄	P1 ₄ /A ₄	P1 ₄
27	A ₅	A ₅	P1 ₅ /A ₅	P1 ₅ /A ₅	P1 ₅
28	A ₆	A ₆	P1 ₆ /A ₆	P1 ₆ /A ₆	P1 ₆
29	A ₇	A ₇	P1 ₇ /A ₇	P1 ₇ /A ₇	P1 ₇
30	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
31	A ₈	A ₈	P2 ₀ /A ₈	P2 ₀ /A ₈	P2 ₀
32	A ₉	A ₉	P2 ₁ /A ₉	P2 ₁ /A ₉	P2 ₁
33	A ₁₀	A ₁₀	P2 ₂ /A ₁₀	P2 ₂ /A ₁₀	P2 ₂
34	A ₁₁	A ₁₁	P2 ₃ /A ₁₁	P2 ₃ /A ₁₁	P2 ₃
35	A ₁₂	A ₁₂	P2 ₄ /A ₁₂	P2 ₄ /A ₁₂	P2 ₄
36	A ₁₃	A ₁₃	P2 ₅ /A ₁₃	P2 ₅ /A ₁₃	P2 ₅

ピン 番号	端子名				
	モード 1	モード 3	モード 5	モード 6	モード 7
37	A ₁₄	A ₁₄	P2 ₀ /A ₁₄	P2 ₀ /A ₁₄	P2 ₆
38	A ₁₅	A ₁₅	P2 ₇ /A ₁₅	P2 ₇ /A ₁₅	P2 ₇
39	A ₁₆	A ₁₆	P5 ₀ /A ₁₆	P5 ₀ /A ₁₆	P5 ₀
40	A ₁₇	A ₁₇	P5 ₁ /A ₁₇	P5 ₁ /A ₁₇	P5 ₁
41	A ₁₈	A ₁₈	P5 ₂ /A ₁₈	P5 ₂ /A ₁₈	P5 ₂
42	A ₁₉	A ₁₉	P5 ₃ /A ₁₉	P5 ₃ /A ₁₉	P5 ₃
43	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀
44	MD ₀	MD ₀	MD ₀	MD ₀	MD ₀
45	MD ₁	MD ₁	MD ₁	MD ₁	MD ₁
46	φ	φ	φ	φ	φ
47	STBY	STBY	STBY	STBY	STBY
48	RES	RES	RES	RES	RES
49	NMI	NMI	NMI	NMI	NMI
50	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}
51	EXTAL	EXTAL	EXTAL	EXTAL	EXTAL
52	XTAL	XTAL	XTAL	XTAL	XTAL
53	V _{CC}	V _{CC}	V _{CC}	V _{CC}	V _{CC}
54	AS	AS	AS	AS	P6 ₃
55	RD	RD	RD	RD	P6 ₄
56	WR	WR	WR	WR	P6 ₅
57	RESO/FWE*	RESO/FWE*	RESO/FWE*	RESO/FWE*	RESO/FWE*
58	AV _{SS}	AV _{SS}	AV _{SS}	AV _{SS}	AV _{SS}
59	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀
60	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁
61	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂
62	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃
63	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄	P7 ₄ /AN ₄
64	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅	P7 ₅ /AN ₅
65	P7 ₆ /AN ₆	P7 ₆ /AN ₆	P7 ₆ /AN ₆	P7 ₆ /AN ₆	P7 ₆ /AN ₆
66	P7 ₇ /AN ₇	P7 ₇ /AN ₇	P7 ₇ /AN ₇	P7 ₇ /AN ₇	P7 ₇ /AN ₇
67	AV _{CC}	AV _{CC}	AV _{CC}	AV _{CC}	AV _{CC}
68	P8 ₀ /IRQ ₀	P8 ₀ /IRQ ₀	P8 ₀ /IRQ ₀	P8 ₀ /IRQ ₀	P8 ₀ /IRQ ₀
69	P8 ₁ /IRQ ₁	P8 ₁ /IRQ ₁	P8 ₁ /IRQ ₁	P8 ₁ /IRQ ₁	P8 ₁ /IRQ ₁
70	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀	P9 ₀ /TxD ₀
71	P9 ₀ /RxD ₀	P9 ₀ /RxD ₀	P9 ₀ /RxD ₀	P9 ₀ /RxD ₀	P9 ₀ /RxD ₀
72	P9 ₀ /SCK ₀ /IRQ ₅	P9 ₀ /SCK ₀ /IRQ ₅	P9 ₀ /SCK ₀ /IRQ ₅	P9 ₀ /SCK ₀ /IRQ ₅	P9 ₀ /SCK ₀ /IRQ ₅
73	PA ₀ /TP ₀ /TCLKA	PA ₀ /TP ₀ /TCLKA	PA ₀ /TP ₀ /TCLKA	PA ₀ /TP ₀ /TCLKA	PA ₀ /TP ₀ /TCLKA
74	PA ₁ /TP ₁ /TCLKB	PA ₁ /TP ₁ /TCLKB	PA ₁ /TP ₁ /TCLKB	PA ₁ /TP ₁ /TCLKB	PA ₁ /TP ₁ /TCLKB
75	PA ₂ /TP ₂ /TIOCA ₀ / TCLKC	PA ₂ /TP ₂ /TIOCA ₀ / TCLKC	PA ₂ /TP ₂ /TIOCA ₀ / TCLKC	PA ₂ /TP ₂ /TIOCA ₀ / TCLKC	PA ₂ /TP ₂ /TIOCA ₀ / TCLKC
76	PA ₃ /TP ₃ /TIOCB ₀ / TCLKD	PA ₃ /TP ₃ /TIOCB ₀ / TCLKD	PA ₃ /TP ₃ /TIOCB ₀ / TCLKD	PA ₃ /TP ₃ /TIOCB ₀ / TCLKD	PA ₃ /TP ₃ /TIOCB ₀ / TCLKD

1. 概要

ピン 番号	端子名				
	モード 1	モード 3	モード 5	モード 6	モード 7
77	PA ₄ /TP ₄ /TIOCA ₁	PA ₄ /TP ₄ /TIOCA ₁ /A ₂₃	PA ₄ /TP ₄ /TIOCA ₁	PA ₄ /TP ₄ /TIOCA ₁ /A ₂₃	PA ₄ /TP ₄ /TIOCA ₁
78	PA ₅ /TP ₅ /TIOCB ₁	PA ₅ /TP ₅ /TIOCB ₁ /A ₂₂	PA ₅ /TP ₅ /TIOCB ₁	PA ₅ /TP ₅ /TIOCB ₁ /A ₂₂	PA ₅ /TP ₅ /TIOCB ₁
79	PA ₆ /TP ₆ /TIOCA ₂	PA ₆ /TP ₆ /TIOCA ₂ /A ₂₁	PA ₆ /TP ₆ /TIOCA ₂	PA ₆ /TP ₆ /TIOCA ₂ /A ₂₁	PA ₆ /TP ₆ /TIOCA ₂
80	PA ₇ /TP ₇ /TIOCB ₂	A ₂₀	PA ₇ /TP ₇ /TIOCB ₂	A ₂₀	PA ₇ /TP ₇ /TIOCB ₂

【注】 * マスク ROM 時：RESO、フラッシュメモリ時：FWE として機能します。

1. NC ピンは、何も接続しないでください。

1.4 端子機能

各端子の機能について表 1.3 に示します。

表 1.3 端子機能

分類	記号	ピン番号	入出力	名称および機能
電源	V_{CC}	21、53	入力	電源 電源に接続します。 V_{CC} 端子は、全端子をシステムの電源に接続してください。
	V_{SS}	12、30、50	入力	グランド 電源 (0V) に接続します。 V_{SS} 端子は、全端子をシステムの電源 (0V) に接続してください。
クロック	XTAL	52	入力	水晶発振子を接続します。 水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 16 章 クロック発振器」を参照してください。
	EXTAL	51	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。 水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第 16 章 クロック発振器」を参照してください。
	ϕ	46	出力	システムクロック 外部デバイスにシステムクロックを供給します。
動作モード コントロール	$MD_2 \sim MD_0$	7、45、44	入力	モード端子 動作モードを設定します。 $MD_2 \sim MD_0$ 端子と動作モードの関係は次のとおりです。これらの端子は動作中には変化させないでください。

MD_2	MD_1	MD_0	動作モード
0	0	0	
0	0	1	モード1
0	1	0	
0	1	1	モード3
1	0	0	
1	0	1	モード5
1	1	0	モード6
1	1	1	モード7

1. 概要

分類	記号	ピン番号	入出力	名称および機能
システム制御	$\overline{\text{RES}}$	48	入力	リセット入力 この端子が Low レベルになると、リセット状態となります。
	$\overline{\text{RES0/FWE}}$	57	出力/入力	リセット出力 (マスク ROM 版) 外部デバイスに対し、ウォッチドッグタイマが発生したリセット信号を出力します。 書き込みイネーブル信号 (F-ZTAT 版) フラッシュメモリの書き込み制御信号です。
	$\overline{\text{STBY}}$	47	入力	スタンバイ この端子が Low レベルになると、ハードウェアスタンバイモードに遷移します。
割り込み	NMI	49	入力	ノンマスクابل割り込み マスク不可能な割り込みを要求します。
	$\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ $\overline{\text{IRQ}}_1$ 、 $\overline{\text{IRQ}}_0$	72、11 69、68	入力	割り込み要求 5、4、1、0 マスク可能な割り込みを要求します。
アドレスバス	$A_{23} \sim A_{20}$ 、 $A_{19} \sim A_8$ 、 $A_7 \sim A_0$	77 ~ 80、 42 ~ 31、 29 ~ 22	出力	アドレスバス アドレスを出力します。
データバス	$D_7 \sim D_0$	20 ~ 13	入出力	データバス 双方向データバスです。
バス制御	$\overline{\text{AS}}$	54	出力	アドレスストロープ この端子が Low レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	$\overline{\text{RD}}$	55	出力	リード この端子が Low レベルのとき、外部アドレス空間のリード状態であることを示します。
	$\overline{\text{WR}}$	56	出力	ライト この端子が Low レベルのとき、外部アドレス空間のライト状態であり、データバスの $D_7 \sim D_0$ が有効であることを示します。
	$\overline{\text{WAIT}}$	43	入力	ウェイト 外部アドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。
16 ビット インテグレート ドタイム ユニット (ITU)	TCLKD ~ TCLKA	76 ~ 73	入力	クロック入力 D~A 外部クロックを入力します。
	$\text{TIOCA}_4 \sim$ TIOCA_0	3、1、79、 77、75	入出力	インプットキャプチャ / アウトプットコンペア A4 ~ A0 GRA4 ~ A0 のアウトプットコンペア出力 / イン プットキャプチャ入力 / PWM 出力端子です。
	$\text{TIOCB}_4 \sim$ TIOCB_0	4、2、80、 78、76	入出力	インプットキャプチャ / アウトプットコンペア B4 ~ B0 GRB4 ~ B0 のアウトプットコンペア出力 / イン プットキャプチャ入力 / PWM 出力端子です。
	TOCX_4	5	出力	アウトプットコンペア XA4 PWM 出力端子です。
	TOXB_4	6	出力	アウトプットコンペア XB4 PWM 出力端子です。

分類	記号	ピン番号	入出力	名称および機能
プログラマブルタイミングパターンコントローラ (TPC)	TP ₁₅ 、 TP ₁₃ ~ TP ₀	8、6 ~ 1、 80 ~ 73	出力	TPC 出力 15、13 ~ 0 パルス出力端子です。
シリアルコミュニケーションインタフェース (SCI)	TxD ₁ 、TxD ₀	70、9	出力	トランスミットデータ (チャンネル 0、1) SCI のデータ出力端子です。
	RxD ₁ 、RxD ₀	71、10	入力	レシーブデータ (チャンネル 0、1) SCI のデータ入力端子です。
	SCK ₁ 、SCK ₀	72、11	入出力	シリアルクロック (チャンネル 0、1) SCI のクロック入出力端子です。
A/D 変換器	AN ₇ ~ AN ₀	66 ~ 59	入力	アナログ 7 ~ 0 アナログ入力端子です。
	ADTRG	8	入力	A/D 変換外部トリガ入力 A/D 変換開始のための外部トリガ入力端子です。
	AV _{CC}	67	入力	A/D 変換器の電源および基準電圧入力端子です。 A/D 変換器を使用しない場合はシステム電源に接続してください。
	AV _{SS}	58	入力	A/D 変換器のグランド端子です。 システムの電源 (0V) に接続してください。
I/O ポート	P1 ₇ ~ P1 ₀	29 ~ 22	入出力	ポート 1 8 ビットの入出力端子です。 ポート 1 データディレクションレジスタ (P1DDR) によって、1 ビットごとに入出力を指定できます。
	P2 ₇ ~ P2 ₀	38 ~ 31	入出力	ポート 2 8 ビットの入出力端子です。 ポート 2 データディレクションレジスタ (P2DDR) によって、1 ビットごとに入出力を指定できます。
	P3 ₇ ~ P3 ₀	20 ~ 13	入出力	ポート 3 8 ビットの入出力端子です。 ポート 3 データディレクションレジスタ (P3DDR) によって、1 ビットごとに入出力を指定できます。
	P5 ₃ ~ P5 ₀	42 ~ 39	入出力	ポート 5 4 ビットの入出力端子です。 ポート 5 データディレクションレジスタ (P5DDR) によって、1 ビットごとに入出力を指定できます。
	P6 ₃ ~ P6 ₃ 、 P6 ₀	56 ~ 54、43	入出力	ポート 6 4 ビットの入出力端子です。 ポート 6 データディレクションレジスタ (P6DDR) によって、1 ビットごとに入出力を指定できます。
	P7 ₇ ~ P7 ₀	66 ~ 59	入力	ポート 7 8 ビットの入力端子です。
	P8 ₁ 、P8 ₀	69、68	入出力	ポート 8 2 ビットの入出力端子です。 ポート 8 データディレクションレジスタ (P8DDR) によって、1 ビットごとに入出力を指定できます。

1. 概要

分類	記号	ピン番号	入出力	名称および機能
I/O ポート	P9 ₅ ~ P9 ₀	72、11 71、10 70、9	入出力	ポート 9 6 ビットの入出力端子です。 ポート 9 データディレクションレジスタ (P9DDR) によって、1 ビットごとに入出力を指定できます。
	PA ₇ ~ PA ₀	80 ~ 73	入出力	ポート A 8 ビットの入出力端子です。 ポート A データディレクションレジスタ (PADDR) によって、1 ビットごとに入出力を指定できます。
	PB ₇ 、 PB ₅ ~ PB ₀	8、 6 ~ 1	入出力	ポート B 7 ビットの入出力端子です。 ポート B データディレクションレジスタ (PBDDR) によって、1 ビットごとに入出力を指定できます。

2. CPU

2.1 概要

H8/300H CPU は、H8/300 CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。H8/300H CPU は、16 ビット×16 本の汎用レジスタを持ち、16M バイトのリニアなアドレス空間を取り扱うことができ、リアルタイム制御に最適です。

2.1.1 特長

H8/300H CPU には、次の特長があります。

H8/300 CPU 上位互換

H8/300 シリーズのオブジェクトプログラムを実行可能

汎用レジスタ方式

16 ビット×16 本 (8 ビット×16 本、32 ビット×8 本としても使用可能)

62 種類の基本命令

- 8/16/32 ビット転送、演算命令
- 乗除算命令
- 強力なビット操作命令

8 種類のアドレッシングモード

- レジスタ直接 (Rn)
- レジスタ間接 (@ERn)
- ディスプレースメント付レジスタ間接 (@(d:16,ERn)、@(d:24,ERn))
- ポストインクリメント/プリデクリメントレジスタ間接 (@ERn+ / @-ERn)
- 絶対アドレス (@aa:8、@aa:16、@aa:24)
- イミディエイト (#xx:8、#xx:16、#xx:32)
- プログラムカウンタ相対 (@(d:8,PC)、@(d:16,PC))
- メモリ間接 (@@aa:8)

16M バイトのリニアアドレス空間

高速動作

- 頻出命令をすべて 2~4 ステートで実行
- 最高動作周波数：18MHz
- 8/16/32 ビットレジスタ間加減算 111ns
- 8×8 ビットレジスタ間乗算 778ns
- 16÷8 ビットレジスタ間除算 778ns
- 16×16 ビットレジスタ間乗算 1222ns
- 32÷16 ビットレジスタ間除算 1222ns

2 種類の CPU 動作モード

- ノーマルモード（本 LSI では使用できません。）
- アドバンスモード

低消費電力動作

SLEEP 命令により低消費電力状態に遷移

2.1.2 H8/300 CPU との相違点

H8/300H CPU は、H8/300 CPU に対して、次の点が強化、拡張されています。

汎用レジスタを拡張

16 ビット×8 本の拡張レジスタを追加

アドレス空間を拡張

- アドバンスモードのとき、最大 16M バイトのアドレス空間を使用可能
- ノーマルモードのとき、H8/300 CPU と同一の 64K バイトのアドレス空間を使用可能

アドレッシングモードを強化

16M バイトのアドレス空間を有効に使用可能

命令強化

- 32 ビット転送、演算命令を追加
- 符号付き乗除算命令などを追加

2.2 CPU 動作モード

H8/300H CPU は、ノーマルモードおよびアドバンスモードの2つのCPU動作モードをもっています。サポートするアドレス空間は、ノーマルモードの場合最大64Kバイト、アドバンスモードの場合最大16Mバイトとなります。

(以降、特に説明がない場合は、アドバンスモードについて説明します。)

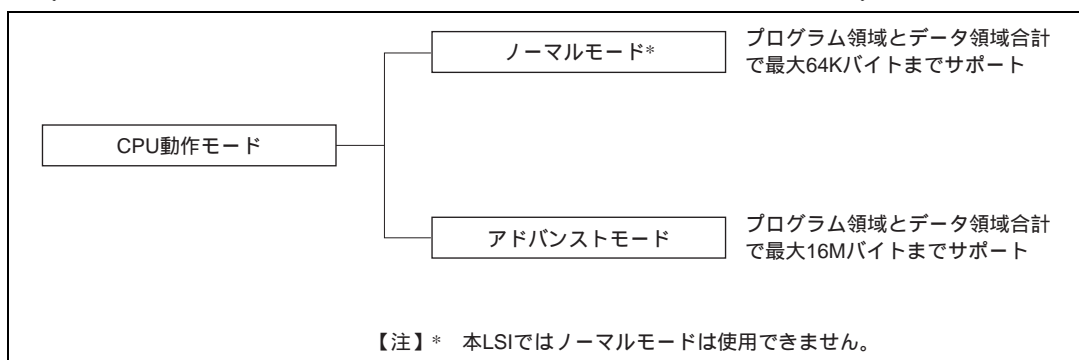


図 2.1 CPU 動作モード

2.3 アドレス空間

H8/300H CPU のアドレス空間は最大 16M バイトです。本 LSI では MCU 動作モードにより、アドレス空間は、ノーマルモードおよびアドバンストモードの 1M バイトモードと 16M バイトモードを選択できます。

本 LSI のメモリマップの概要を図 2.2 に示します。詳細は「3.6 各動作モードのメモリマップ」を参照してください。

アドレス空間が 1M バイトモードの場合、実効アドレスの上位 4 ビットは無視され、20 ビットのアドレスとなります。

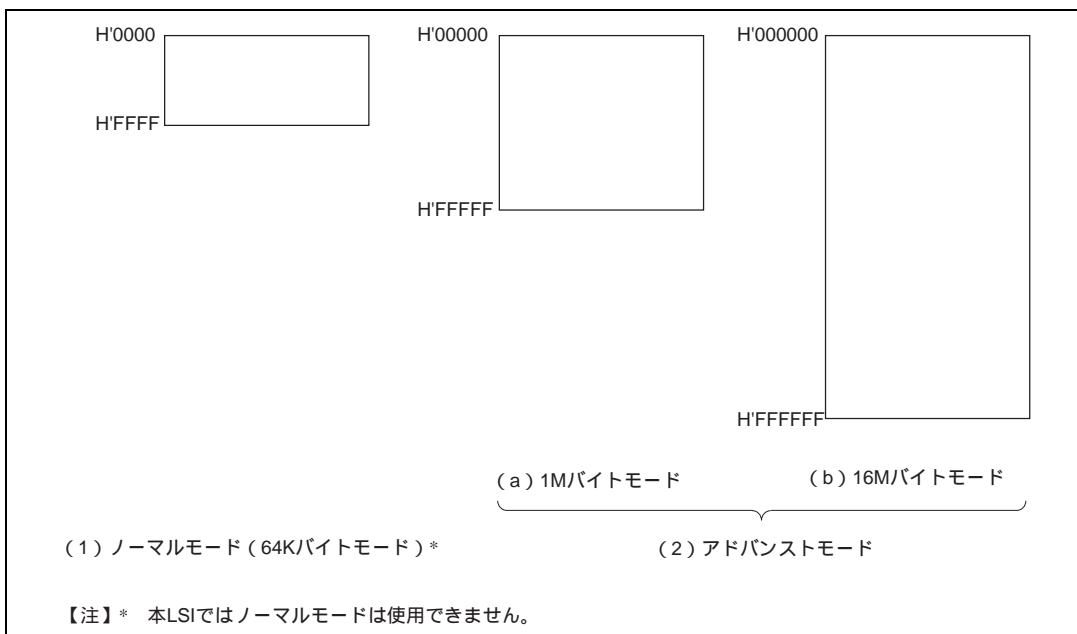


図 2.2 メモリマップ

2.4 レジスタ構成

2.4.1 概要

H8/300H CPU の内部レジスタ構成を図 2.3 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。

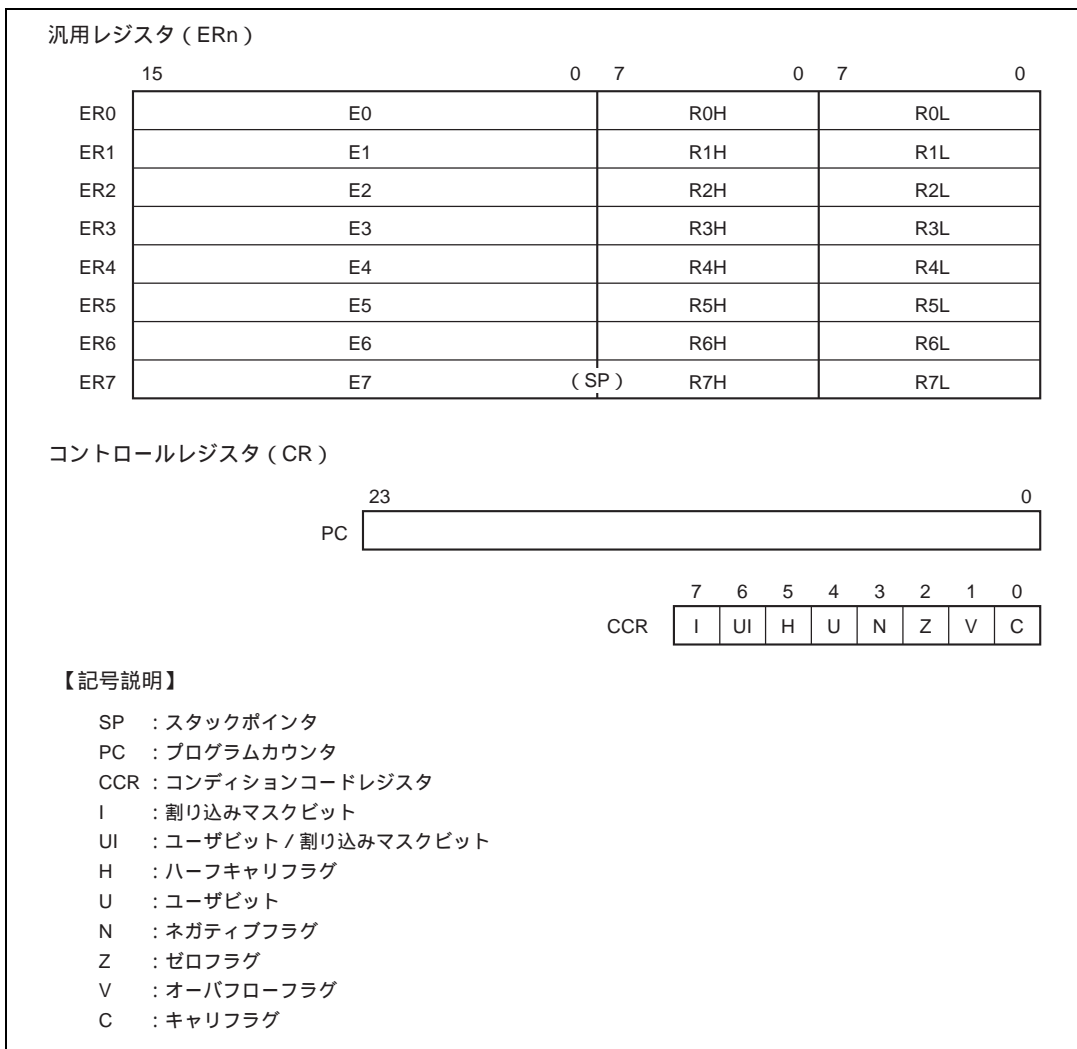


図 2.3 CPU 内部レジスタ構成

2.4.2 汎用レジスタ

H8/300H CPU は 32 ビット長の汎用レジスタ 8 本を持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタとしてもデータレジスタとしても使用することができます。

データレジスタとしては 32 ビット、16 ビットまたは 8 ビットレジスタとして使用できます。

アドレスレジスタおよび 32 ビットレジスタとしては、一括して汎用レジスタ ER (ER0 ~ ER7) として使用します。

16 ビットレジスタとしては、汎用レジスタ ER を分割して汎用レジスタ E (E0 ~ E7)、汎用レジスタ R (R0 ~ R7) として使用します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本使用することができます。なお、汎用レジスタ E (E0 ~ E7) を、特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタとしては、汎用レジスタ R を分割して汎用レジスタ RH (R0H ~ R7H)、汎用レジスタ RL (R0L ~ R7L) として使用します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本使用することができます。

汎用レジスタの使用方法を図 2.4 に示します。各レジスタは独立に使用方法を選択することができます。

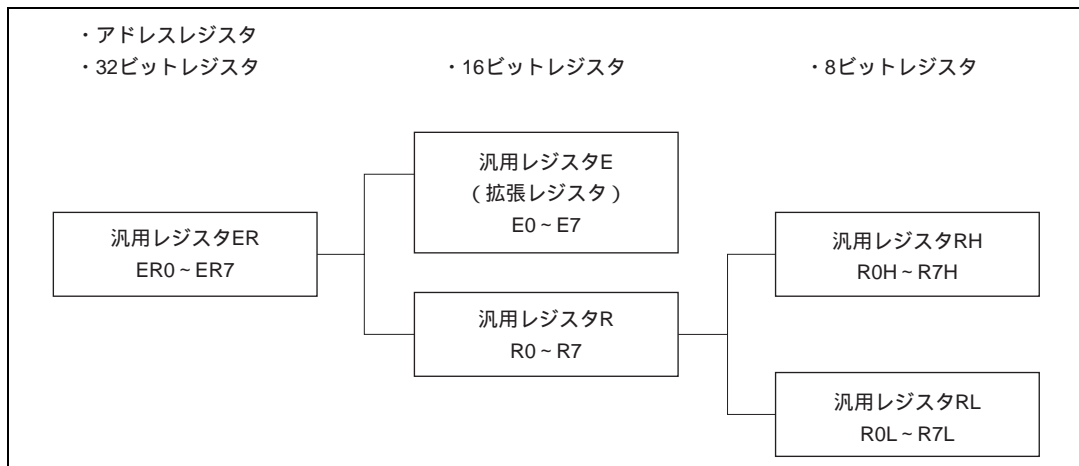


図 2.4 汎用レジスタの使用方法

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.5 に示します。

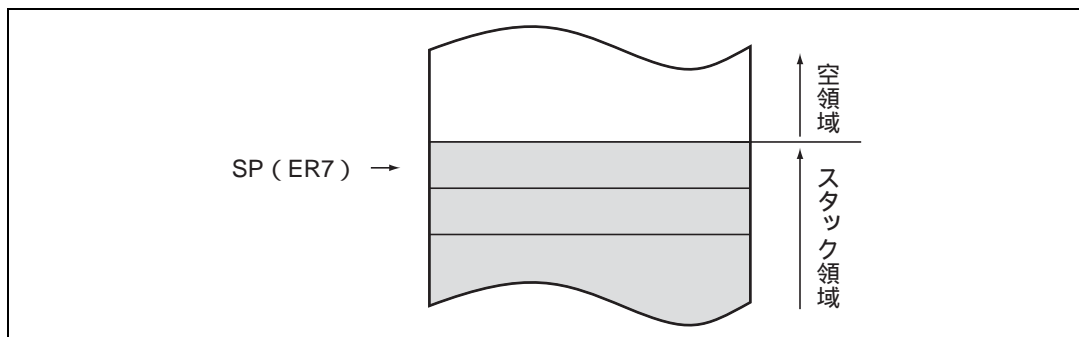


図 2.5 スタックの状態

2.4.3 コントロールレジスタ

コントロールレジスタには、24 ビットのプログラムカウンタ (PC) と 8 ビットのコンディションコードレジスタ (CCR) があります。

(1) プログラムカウンタ (PC)

24 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは 0 とみなされます)。

(2) コンディションコードレジスタ (CCR)

8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。

ビット 7：割り込みマスクビット (I)

本ビットが 1 にセットされると、割り込みがマスクされます。ただし、NMI は I ビットに関係なく受け付けられます。例外処理の実行が開始されたときに 1 にセットされます。

ビット 6：ユーザビット / 割り込みマスクビット (UI)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード / ライトできます。割り込みマスクビットとしても使用可能です。詳細は「第 5 章 割り込みコントローラ」を参照してください。

ビット 5：ハーフキャリフラグ (H)

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。ADD.W、SUB.W、CMP.W、NEG.W 命令の実行によりビット 11 にキャリまたはボローが生じたとき、または ADD.L、SUB.L、CMP.L、NEG.L 命令の実行によりビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。

2. CPU

ビット4：ユーザビット (U)

ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。

ビット3：ネガティブフラグ (N)

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット2：ゼロフラグ (Z)

データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。

ビット1：オーバフローフラグ (V)

算術演算命令の実行により、オーバフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。

ビット0：キャリフラグ (C)

演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のボロー
- (c) シフト/ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

各命令ごとのフラグの変化については、「付録 A.1 命令一覧」を参照してください。

また I、UI ビットについては、「第 5 章 割り込みコントローラ」を参照してください。

2.4.4 CPU 内部レジスタの初期値

リセット例外処理によって、CPU 内部レジスタのうち、PC はベクタからロードすることにより初期化され、CCR の I ビットは 1 にセットされますが、汎用レジスタと CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に、MOV.L 命令を使用して SP (ER7) を初期化してください。

2.5 データ構成

H8/300H CPU は、1 ビット、4 ビット BCD、8 ビット (バイト)、16 ビット (ワード)、および 32 ビット (ロングワード) のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ (バイト) の第 n ビット ($n=0, 1, 2, \dots, 7$) という形式でアクセスされます。

なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.5.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図 2.6 に示します。

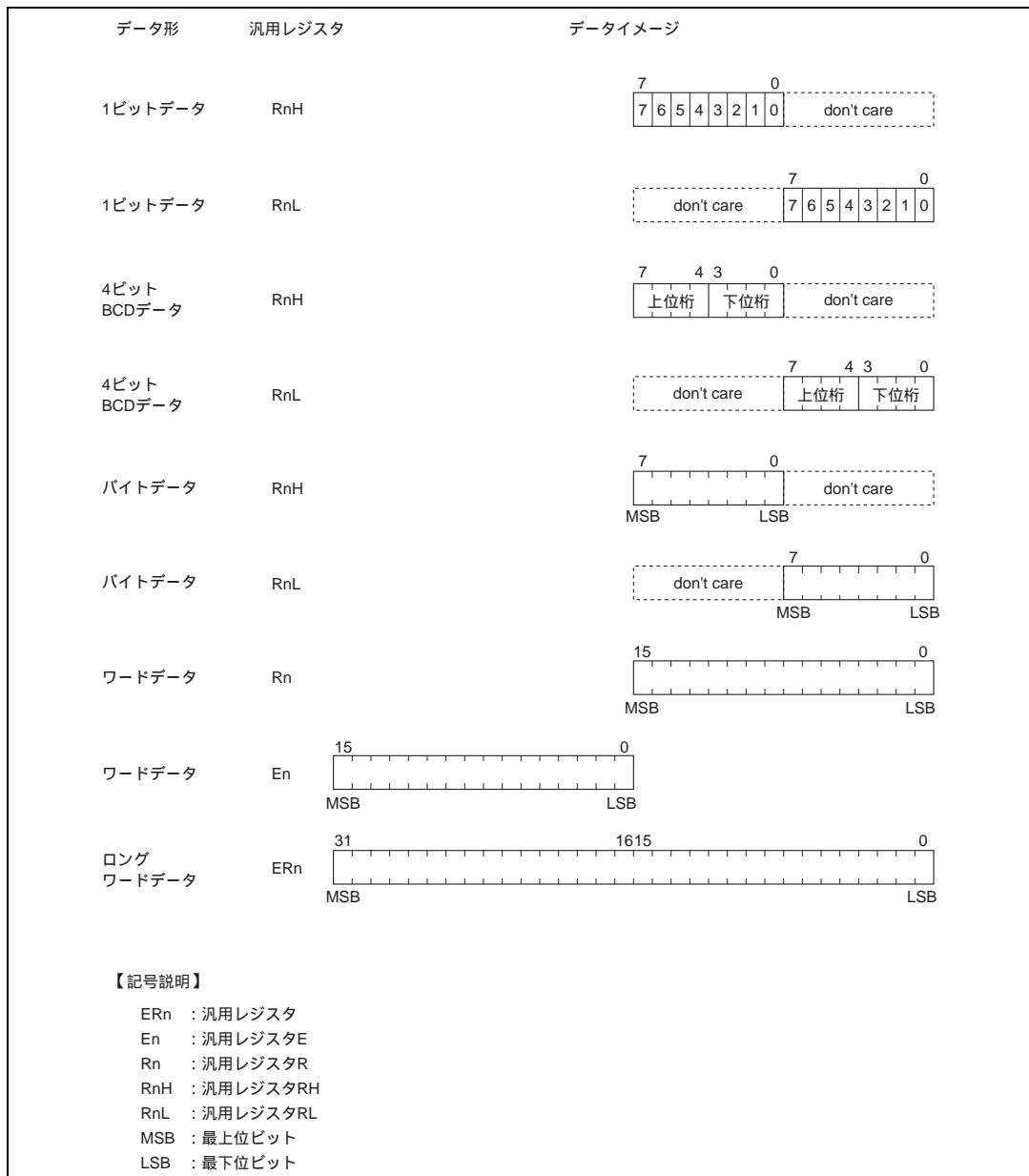


図 2.6 汎用レジスタのデータ構成

2.5.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図 2.7 に示します。

H8/300H CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは 0 とみなされ、1 番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

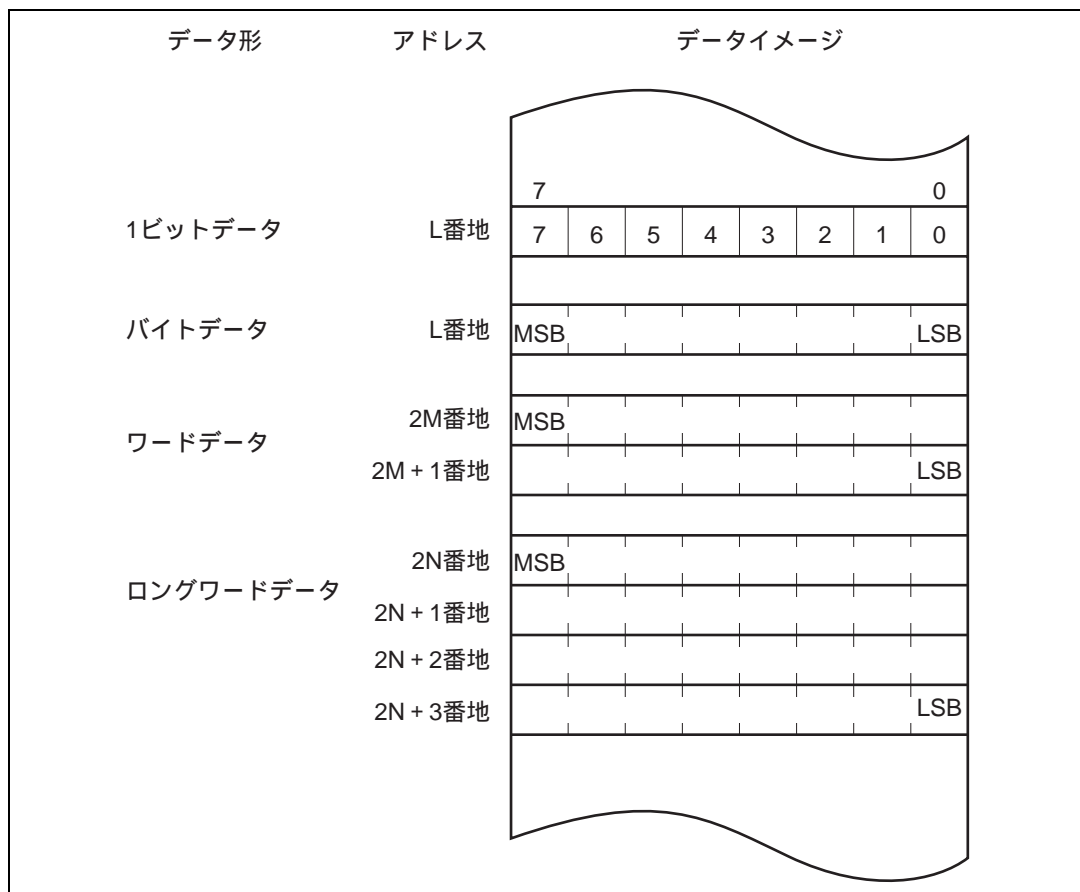


図 2.7 メモリ上でのデータ構成

なお、ER7 (SP) をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

2.6 命令セット

2.6.1 命令セットの概要

H8/300H CPU の命令は合計 62 種類あり、各命令の機能によって、表 2.1 に示すように分類されます。

表 2.1 命令の分類

機能	命令	種類
データ転送命令	MOV、PUSH* ¹ 、POP* ¹ 、MOVTPE* ² 、MOVFPPE* ²	3
算術演算命令	ADD、SUB、ADDX、SUBX、INC、DEC、ADDS、SUBS、DAA、DAS、MULXU、MULXS、DIVXU、DIVXS、CMP、NEG、EXTS、EXTU	18
論理演算命令	AND、OR、XOR、NOT	4
シフト命令	SHAL、SHAR、SHLL、SHLR、ROTL、ROTR、ROTXL、ROTXR	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、BIAND、BOR、BIOR、BXOR、BIXOR、BLD、BILD、BST、BIST	14
分岐命令	Bcc* ³ 、JMP、BSR、JSR、RTS	5
システム制御命令	TRAPA、RTE、SLEEP、LDC、STC、ANDC、ORC、XORC、NOP	9
ブロック転送命令	EEPMOV	1

合計 62 種類

- 【注】 *1 POP.W Rn、PUSH.W Rn は、それぞれ MOV.W @SP+、Rn、MOV.W Rn、@-SP と同一です。
また、POP.L ERn、PUSH.L ERn はそれぞれ MOV.L @SP+、Rn、MOV.L Rn、@-SP と同一です。
- *2 本 LSI では使用できません。
- *3 Bcc は条件分岐命令の総称です。

2.6.2 命令とアドレッシングモードの組み合わせ

H8/300H CPU で使用可能な命令を表 2.2 に示します。

表 2.2 命令とアドレッシングモードの組み合わせ

機能	命令	アドレッシングモード																
		#xx	Rn	@ERn	@(d:16,ERn)	@(d:24,ERn)	@ERn+/@-ERn	BWL	B	@aa:8	@aa:16	@aa:24	@(d:8,PC)	@(d:16,PC)	@@aa:8	WL		
データ転送命令	MOV	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	BWL	WL	
	POP、PUSH																	
算術演算命令	MOVFP、MOVTP																	
	ADD、CMP	BWL	BWL															
	SUB	WL	BWL															
	ADDX、SUBX	B	B															
	ADDS、SUBS	L	L															
	INC、DEC		BWL															
	DAA、DAS		B															
	MULXU、MULXS、DIVXU、DIVXS		BW															
	NEG		BWL															
	EXTU、EXTS		WL															
論理演算命令	AND、OR、XOR	BWL	BWL															
	NOT		BWL															
シフト命令	シフト命令		BWL															
	ビット操作命令		B	B											B			
分岐命令	Bcc、BSR																	
	JMP、JSR																	
	RTS																	
	TRAPA																	
	RTE																	
システム制御命令	SLEEP																	
	LDC	B	B	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
	STC		B	W	W	W	W	W	W	W	W	W	W	W	W	W	W	
	ANDC、ORC、XORC	B																
	NOP																	
プロック転送命令																	BW	

【記号説明】

B：バイト、W：ワード、L：ロングワード

2.6.3 命令の機能別一覧

各命令の機能について表 2.3～表 2.10 に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

《オペレーションの記号》

Rd	汎用レジスタ (デスティネーション側)*
Rs	汎用レジスタ (ソース側)*
Rn	汎用レジスタ*
ERn	汎用レジスタ (32 ビットレジスタ / アドレスレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
x	乗算
÷	除算
	論理積
	論理和
⊕	排他的論理和
→	転送
~	反転論理 (論理的補数)
:3 / :8 / :16 / :24	3/8/16/24 ビット長

【注】 * 汎用レジスタは、8 ビット (R0H～R7H、R0L～R7L)、16 ビット (R0～R7、E0～E7)、または 32 ビットレジスタ / アドレスレジスタ (ER0～ER7) です。

表 2.3 データ転送命令

命令	サイズ*	機能
MOV	B/W/L	(EAs) → Rd, Rs → (EAd) 汎用レジスタと汎用レジスタまたは汎用レジスタとメモリ間でデータ転送します。 また、イミディエイトデータを汎用レジスタに転送します。
MOVFPPE	B	(EAs) → Rd 本 LSI では使用できません。
MOVTPPE	B	Rs → (EAs) 本 LSI では使用できません。
POP	W/L	@SP+ → Rn スタックから汎用レジスタへデータを復帰します。 POP.W Rn は MOV.W @SP+, Rn と、また POP.L ERn は MOV.L @SP+, ERn と 同一です。
PUSH	W/L	Rn → @-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W Rn は MOV.W Rn, @-SP と、また PUSH.L ERn は MOV.L ERn, @-SP と同一です。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

2. CPU

表 2.4 算術演算命令

命令	サイズ*	機能
ADD SUB	B/W/L	$Rd \pm Rs \rightarrow Rd$, $Rd \pm \#IMM \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います (バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX 命令または ADD 命令を使用してください)。
ADDX SUBX	B	$Rd \pm Rs \pm C \rightarrow Rd$, $Rd \pm \#IMM \pm C \rightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付き加減算を行います。
INC DEC	B/W/L	$Rd \pm 1 \rightarrow Rd$, $Rd \pm 2 \rightarrow Rd$ 汎用レジスタに 1 または 2 を加減算します (バイトサイズの演算では 1 の加減算のみ可能です)。
ADDS SUBS	L	$Rd \pm 1 \rightarrow Rd$, $Rd \pm 2 \rightarrow Rd$, $Rd \pm 4 \rightarrow Rd$ 32 ビットレジスタに 1、2 または 4 を加減算します。
DAA DAS	B	$Rd (10 \text{ 進補正}) \rightarrow Rd$ 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット BCD データに補正します。
MULXU	B/W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8 ビット \times 8 ビット \rightarrow 16 ビット、 16 ビット \times 16 ビット \rightarrow 32 ビットの乗算が可能です。
MULXS	B/W	$Rd \times Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8 ビット \times 8 ビット \rightarrow 16 ビット、 16 ビット \times 16 ビット \rightarrow 32 ビットの乗算が可能です。
DIVXU	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16 ビット \div 8 ビット \rightarrow 商 8 ビット 余り 8 ビット、 32 ビット \div 16 ビット \rightarrow 商 16 ビット 余り 16 ビットの除算が可能です。
DIVXS	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16 ビット \div 8 ビット \rightarrow 商 8 ビット 余り 8 ビット、 32 ビット \div 16 ビット \rightarrow 商 16 ビット 余り 16 ビットの除算が可能です。
CMP	B/W/L	$Rd - Rs$, $Rd - \#IMM$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果を CCR に反映します。
NEG	B/W/L	$0 - Rd \rightarrow Rd$ 汎用レジスタの内容の 2 の補数 (算術的補数) をとります。
EXTS	W/L	$Rd (\text{符号拡張}) \rightarrow Rd$ 16 ビットレジスタの下位 8 ビットをワードサイズに符号拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズに符号拡張します。
EXTU	W/L	$Rd (\text{ゼロ拡張}) \rightarrow Rd$ 16 ビットレジスタの下位 8 ビットをワードサイズにゼロ拡張します。または、32 ビットレジスタの下位 16 ビットをロングワードサイズにゼロ拡張します。

【注】 * サイズはオペランドサイズを示します。

B: バイト

W: ワード

L: ロングワード

表 2.5 論理演算命令

命令	サイズ*	機能
AND	B/W/L	Rd Rs → Rd, Rd #IMM → Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	Rd Rs → Rd, Rd #IMM → Rd 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	Rd⊕Rs → Rd, Rd⊕#IMM → Rd 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B/W/L	~Rd → Rd 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.6 シフト命令

命令	サイズ*	機能
SHAL SHAR	B/W/L	Rd (シフト処理) → Rd 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B/W/L	Rd (シフト処理) → Rd 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B/W/L	Rd (ローテート処理) → Rd 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B/W/L	Rd (ローテート処理) → Rd 汎用レジスタの内容をキャリフラグを含めてローテートします。

【注】 * サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.7 ビット操作命令

命令	サイズ*	機能
BSET	B	1 → (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを1にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BCLR	B	0 → (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを0にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。

2. CPU

命令	サイズ*	機能
BNOT	B	~ (<ビット番号> of <EAd>) → (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BTST	B	~ (<ビット番号> of <EAd>) → Z 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
BAND	B	C (<ビット番号> of <EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
BIAND	B	C [~ (<ビット番号> of <EAd>)] → C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BOR	B	C (<ビット番号> of <EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
BIOR	B	C [~ (<ビット番号> of <EAd>)] → C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BXOR	B	C ⊕ (<ビット番号> of <EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
BIXOR	B	C ⊕ [~ (<ビット番号> of <EAd>)] → C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BLD	B	(<ビット番号> of <EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
BILD	B	~ (<ビット番号> of <EAd>) → C 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BST	B	C → (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットにキャリフラグの内容を転送します。
BIST	B	C → ~ (<ビット番号> of <EAd>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】 * サイズはオペランドサイズを示します。
B: バイト

表 2.8 分岐命令

命令	サイズ	機能																																																			
Bcc	-	指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。																																																			
		<table border="1"> <thead> <tr> <th>ニーモニック</th> <th>説明</th> <th>分岐条件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>C Z = 0</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>C Z = 1</td> </tr> <tr> <td>Bcc (BHS)</td> <td>Carry Clear (High or Same)</td> <td>C = 0</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (LOw)</td> <td>C = 1</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>Z = 0</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>Z = 1</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>V = 0</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>V = 1</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>N = 0</td> </tr> <tr> <td>BMI</td> <td>MInus</td> <td>N = 1</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V = 0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V = 1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>$Z (N \oplus V) = 0$</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>$Z (N \oplus V) = 1$</td> </tr> </tbody> </table>	ニーモニック	説明	分岐条件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	C Z = 0	BLS	Low or Same	C Z = 1	Bcc (BHS)	Carry Clear (High or Same)	C = 0	BCS (BLO)	Carry Set (LOw)	C = 1	BNE	Not Equal	Z = 0	BEQ	Equal	Z = 1	BVC	oVerflow Clear	V = 0	BVS	oVerflow Set	V = 1	BPL	PLus	N = 0	BMI	MInus	N = 1	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z (N \oplus V) = 0$	BLE	Less or Equal	$Z (N \oplus V) = 1$
		ニーモニック	説明	分岐条件																																																	
		BRA (BT)	Always (True)	Always																																																	
		BRN (BF)	Never (False)	Never																																																	
		BHI	High	C Z = 0																																																	
		BLS	Low or Same	C Z = 1																																																	
		Bcc (BHS)	Carry Clear (High or Same)	C = 0																																																	
		BCS (BLO)	Carry Set (LOw)	C = 1																																																	
		BNE	Not Equal	Z = 0																																																	
		BEQ	Equal	Z = 1																																																	
		BVC	oVerflow Clear	V = 0																																																	
		BVS	oVerflow Set	V = 1																																																	
		BPL	PLus	N = 0																																																	
		BMI	MInus	N = 1																																																	
		BGE	Greater or Equal	$N \oplus V = 0$																																																	
BLT	Less Than	$N \oplus V = 1$																																																			
BGT	Greater Than	$Z (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z (N \oplus V) = 1$																																																			
JMP	-	指定されたアドレスへ無条件に分岐します。																																																			
BSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
JSR	-	指定されたアドレスへサブルーチン分岐します。																																																			
RTS	-	サブルーチンから復帰します。																																																			

2. CPU

表 2.9 システム制御命令

命令	サイズ*	機能
TRAPA	-	命令トラップ例外処理を行います。
RTE	-	例外処理ルーチンから復帰します。
SLEEP	-	低消費電力状態に移ります。
LDC	B/W	(EAs) → CCR ソースオペランドを CCR に転送します。CCR はバイトサイズですが、メモリからの転送のときデータのリードはワードサイズで行われます。
STC	B/W	CCR → (EAd) CCR の内容をデスティネーションのロケーションに転送します。CCR はバイトサイズですが、メモリへの転送のときデータのライトはワードサイズで行われます。
ANDC	B	CCR #IMM → CCR CCR とイミディエイトデータの論理積をとります。
ORC	B	CCR #IMM → CCR CCR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM → CCR CCR とイミディエイトデータの排他的論理和をとります。
NOP	-	PC+2 → PC PC のインクリメントだけを行います。

【注】 * サイズはオペランドサイズを示します。

B : バイト

W : ワード

表 2.10 ブロック転送命令

命令	サイズ*	機能
EEPMOV.B	-	if R4L = 0 then Repeat @ER5+ → @ER6+, R4L-1 → R4L Until R4L=0 else next;
EEPMOV.W	-	if R4 = 0 then Repeat @ER5+ → @ER6+, R4 - 1 → R4 Until R4=0 else next; ブロック転送命令です。ER5 で示されるアドレスから始まり、R4L または R4 で指定されるバイト数のデータを、ER6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。

2.6.4 命令の基本フォーマット

H8/300H CPU の命令は、2 バイト (ワード) を単位にしています。各命令はオペレーションフィールド (OP)、レジスタフィールド (r)、EA 拡張部 (EA) およびコンディションフィールド (cc) から構成されています。

(1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭 4 ビットを必ず含みます。2 つのオペレーションフィールドを持つ場合もあります。

(2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき 3 ビット、データレジスタのとき 3 ビットまたは 4 ビットです。2 つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

(3) EA 拡張部

イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8 ビット、16 ビット、32 ビットです。24 ビットアドレスおよびディスプレースメントは上位 8 ビットをすべて 0 (H'00) とした 32 ビットデータとして扱われます。

(4) コンディションフィールド

Bcc 命令の分岐条件を指定します。

図 2.8 に命令フォーマットの例を示します。

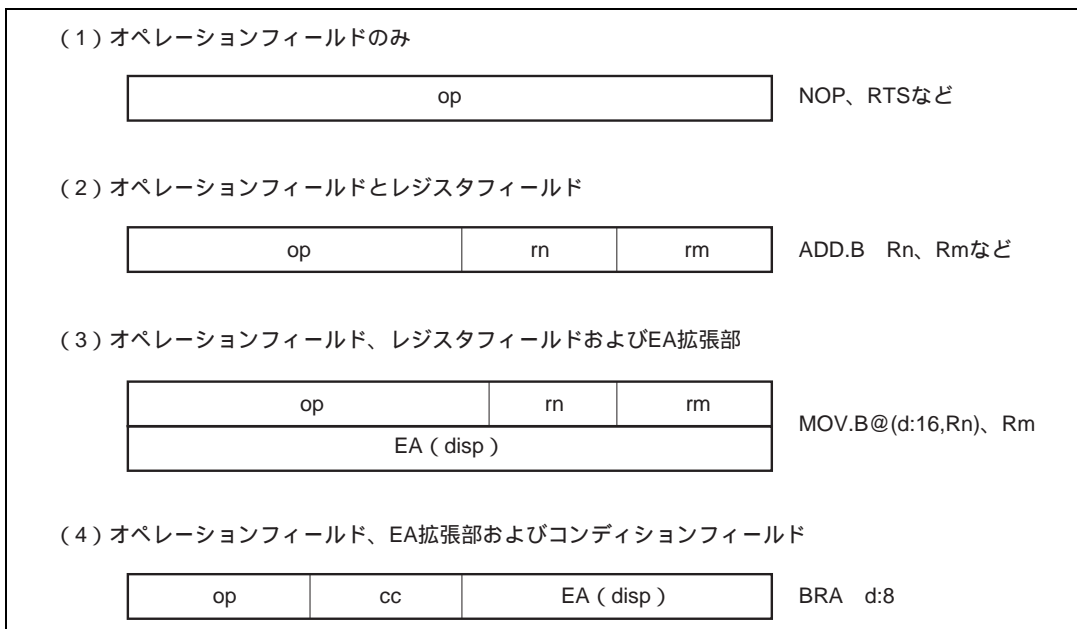


図 2.8 命令フォーマット

2.6.5 ビット操作命令使用上の注意

BSET、BCLR、BNOT、BST、BIST の各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

	動作順序	動作内容
1	リード	指定したアドレスのデータ (バイト単位) をリードします。
2	ビット操作	リードしたデータの指定された 1 ビットを操作します。
3	ライト	指定したアドレスに操作したデータ (バイト単位) をライトします。

ポート A の DDR に、BCLR 命令を実行した例を示します。

PA₇、PA₆ は入力ポートに設定され、PA₅ ~ PA₀ は出力ポートに設定されているとします。

ここで、BCLR 命令で、PA₆ を入力ポートにする例を示します。

(1) BCLR 命令を実行前

	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀
入出力	入力	入力	出力	出力	出力	出力	出力	出力
DDR	0	0	1	1	1	1	1	1

(2) BCLR 命令を実行

BCLR #0 , @PADDR DDR に対して BCLR 命令を実行します。

(3) BCLR 命令を実行後

	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀
入出力	出力	出力	出力	出力	出力	出力	出力	入力
DDR	1	1	1	1	1	1	1	0

(4) BCLR 命令の動作説明

BCLR 命令を実行すると、CPU は、最初に PADDR をリードします。

PADDR はライト専用レジスタですので、CPU は H'FF をリードします。

したがって、この例では、DDR は H'3F ですが、CPU がリードしたデータは H'FF となります。

つぎに、CPU は、リードしたデータのビット 0 を 0 にクリアして、データを H'FE に変更します。

最後に、このデータ (H'FE) を DDR に書き込んで、BCLR 命令を終了します。

その結果、PA₀ は、DDR が 0 になり、入力ポートになります。しかし、入力ポートであったビット 7、6 の DDR が 1 になって、出力ポートに変化してしまいます。

また、内部 I/O レジスタのフラグを 0 にクリアするために、BCLR 命令を使用することができます。この場合、割り込み処理ルーチンなどで当該フラグが 1 にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

2.7 アドレッシングモードと実効アドレスの計算方法

2.7.1 アドレッシングモード

H8/300H CPU は、表 2.11 に示すように、8 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。

転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。

また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレス (@aa:8) が使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接 (BSET、BCLR、BNOT、BTST の各命令)、およびイミディエイト (3 ビット) が独立して使用できます。

表 2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
(1)	レジスタ直接	Rn
(2)	レジスタ間接	@ERn
(3)	ディスプレースメント付きレジスタ間接	@(d:16,ERn) / @(d:24,ERn)
(4)	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接	@ERn+ @-ERn
(5)	絶対アドレス	@aa:8 / @aa:16 / @aa:24
(6)	イミディエイト	#xx:8 / #xx:16 / #xx:32
(7)	プログラムカウンタ相対	@(d:8,PC) / @(d:16,PC)
(8)	メモリ間接	@@aa:8

(1) レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ (8 ビット、16 ビットまたは 32 ビット) がオペランドとなります。

8 ビットレジスタとしては R0H ~ R7H、R0L ~ R7L を指定可能です。

16 ビットレジスタとしては R0 ~ R7、E0 ~ E7 を指定可能です。

32 ビットレジスタとしては ER0 ~ ER7 を指定可能です。

(2) レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容の下位 24 ビットをアドレスとしてメモリ上のオペランドを指定します。

(3) ディスプレースメント付きレジスタ間接 @(d:16,ERn) / @(d:24,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメントまたは 24 ビットディスプレースメントを加算した内容の下位 24 ビットをアドレスとしてメモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

(4) ポストインクリメントレジスタ間接@ERn+ / プリデクリメントレジスタ間接@-ERn

- **ポストインクリメントレジスタ間接 @ERn+**
命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。
その後、アドレスレジスタの内容 (32ビット) に1、2または4が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ加算されます。ワードサイズ/ロングワードサイズのと看、レジスタの内容が偶数となるようにしてください。
- **プリデクリメントレジスタ間接 @-ERn**
命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から1、2または4を減算した内容の下位24ビットをアドレスとして、メモリ上のオペランドを指定します。
その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4がそれぞれ減算されます。ワードサイズ、ロングワードサイズのと看、アドレスレジスタの内容が偶数となるようにしてください。

(5) 絶対アドレス @aa:8 / @aa:16 / @aa:24

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。
絶対アドレスは8ビット (@aa:8)、16ビット (@aa:16)、または24ビット (@aa:24) です。
8ビット絶対アドレスの場合、上位16ビットはすべて1 (H'FFFF) となります。
16ビット絶対アドレスの場合、上位8ビットは符号拡張されます。
24ビット絶対アドレスの場合、全アドレス空間をアクセスできます。
絶対アドレスのアクセス範囲を表 2.12 に示します。

表 2.12 絶対アドレスのアクセス範囲

絶対アドレス	1M バイトモード	16M バイトモード
8 ビット (@aa:8)	H'FFF00 ~ H'FFFFF (1048320 ~ 1048575)	H'FFF00 ~ H'FFFFF (16776960 ~ 16777215)
16 ビット (@aa:16)	H'00000 ~ H'07FFF、H'F8000 ~ H'FFFFF (0 ~ 32767、1015808 ~ 1048575)	H'000000 ~ H'007FFF、 H'FF8000 ~ H'FFFFF (0 ~ 32767、16744448 ~ 16777215)
24 ビット (@aa:24)	H'00000 ~ H'FFFFF (0 ~ 1048575)	H'000000 ~ H'FFFFF (0 ~ 16777215)

(6) イミディエイト #xx:8 / #xx:16 / #xx:32

命令コードの中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA 命令ではベクタアドレスを指定するための 2 ビットのイミディエイトデータが、命令コード中に含まれます。

(7) プログラムカウンタ相対 @(d:8,PC) / @(d:16,PC)

Bcc、BSR 命令で使用されます。

PC の内容で指定される 24 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して、24 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 24 ビットに符号拡張されます。また加算される PC の内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して -126 ~ +128 バイト (-63 ~ +64 ワード) または -32766 ~ +32768 バイト (-16383 ~ +16384 ワード) です。このとき、加算結果が偶数となるようにしてください。

(8) メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。

命令コードの中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。メモリ上のオペランドはロングワードサイズで指定します。このうち先頭 1 バイトは無視され、24 ビット長の分岐アドレスを生成します。図 2.9 にメモリ間接による分岐アドレスの指定方法を示します。

8 ビット絶対アドレスの上位のビットはすべて 0 (H'0000) となりますので、分岐アドレスを格納できるのは 0 ~ 255 (H'000000 ~ H'0000FF) 番地です。

ただし、この内の先頭領域は例外処理ベクタ領域と共通になっていますから注意してください。詳細は「第 5 章 割り込みコントローラ」を参照してください。

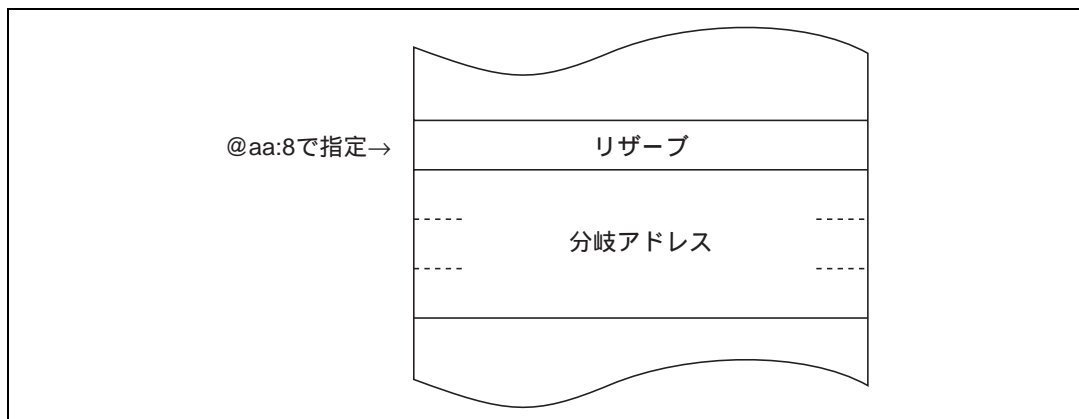


図 2.9 メモリ間接による分岐アドレスの指定



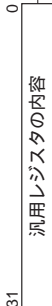


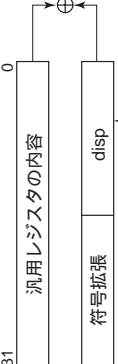


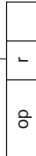



ワードサイズ、またはロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは0とみなされ、1番地前から始まるデータまたは命令コードをアクセスします（「2.5.2 メモリ上でのデータ構成」を参照してください）。

2.7.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算方法を表 2.13 に示します。

1M バイトモードの場合、計算結果の上位 4 ビットは無視され、20 ビットの実効アドレスを生成します。

表 2.13 実行アドレスの計算方法

No.	アドレッシングモード・命令フォーマット	実行アドレス計算方法	実行アドレス (EA)
(1)	レジスタ直接 (Rn) 		オペランドは、汎用レジスタの内容です。
(2)	レジスタ間接 (@ERn) 	汎用レジスタの内容 	
(3)	ディスプレイレジスタメント付レジスタ間接 @(d:16,ERn) / @(d:24,ERn) 	汎用レジスタの内容 符号拡張 disp 	
(4)	ポストインクリメントレジスタ間接 / プリアクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn+  ・プリアクリメントレジスタ間接 @-ERn 	汎用レジスタの内容 1、2または4  汎用レジスタの内容 1、2または4 	オペランドサイズがバイトのとき1、ワードのとき2、ロングワードのとき4が加減算されます。 

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(5)	絶対アドレス @aa:8 op abs @aa:16 op abs @aa:24 op abs		
(6)	イミディエイト #xx:8 / #xx:16 / #xx:32 op IMM		オペランドはイミディエイトデータです。
(7)	プログラムカウンタ相対 @(d:8,PC) / @(d:16,PC) op disp		

No.	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
(8)	メモリ間接@aa:8 ノーマルモード* <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 5px auto;"> op abs </div>	<p>23 8 7 0 H'0000 abs 15 0 メモリの内容 23 16 15 0 H'00</p>	23 16 15 0
	アドバンストモード <div style="border: 1px solid black; padding: 2px; width: fit-content; margin: 5px auto;"> op abs </div>	<p>23 8 7 0 H'0000 abs 31 0 メモリの内容 23 0</p>	23 0

【記号説明】

- r, rm, m : レジスタフィールド
- op : オペレーションフィールド
- disp : ディスプレースメント
- IMM : イミディエイトデータ
- abs : 絶対アドレス

【注】 * 本LSIでは使用できません。

2.8 処理状態

2.8.1 概要

H8/300H CPU の処理状態には、プログラム実行状態、例外処理状態、低消費電力状態、リセット状態の 4 種類があります。さらに、低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、およびハードウェアスタンバイモードがあります。処理状態の分類を図 2.10 に、各状態間の遷移を図 2.12 に示します。

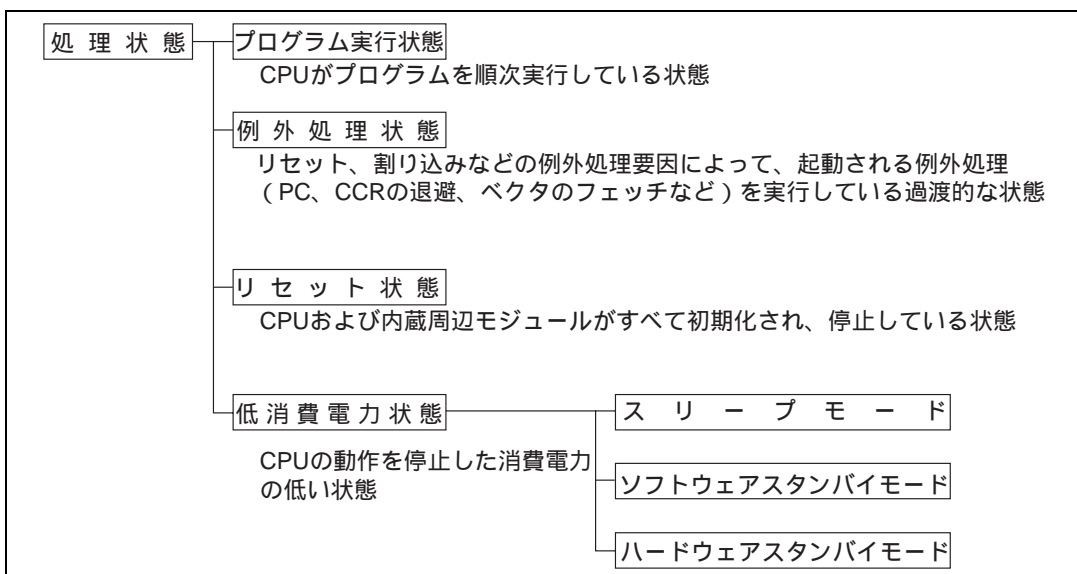


図 2.10 処理状態の分類

2.8.2 プログラム実行状態

CPU がプログラムを順次実行している状態です。

2.8.3 例外処理状態

リセット、割り込み、またはトラップ命令の例外処理要因によって起動され、CPU が通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレスを取り出し、その番地に分岐する過渡的な状態です。割り込みおよびトラップ命令例外処理では、SP (ER7) を参照して、PC および CCR の退避を行います。

(1) 例外処理の種類と優先度

例外処理には、リセット、割り込み、およびトラップ命令があります。表 2.14 に、例外処理の種類と優先度を示します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

表 2.14 例外処理の種類と優先度

優先度	例外処理要因	例外処理検出タイミング	例外処理開始タイミング
高 ↑ 低	リセット	クロック同期	$\overline{\text{RES}}$ 端子がLowレベルからHighレベルに変化すると、ただちに例外処理を開始します。
	割り込み	命令の実行終了時 または例外処理終了時*	割り込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。
	トラップ命令	TRAPA 命令実行時	トラップ (TRAPA) 命令を実行すると、例外処理を開始します。

【注】* ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では、割り込み要因の検出を行いません。

例外処理要因は、図 2.11 に示すように分類されます。

例外処理要因とベクタ番号ならびにベクタアドレスの詳細は「第 4 章 例外処理」および「第 5 章 割り込みコントローラ」を参照してください。

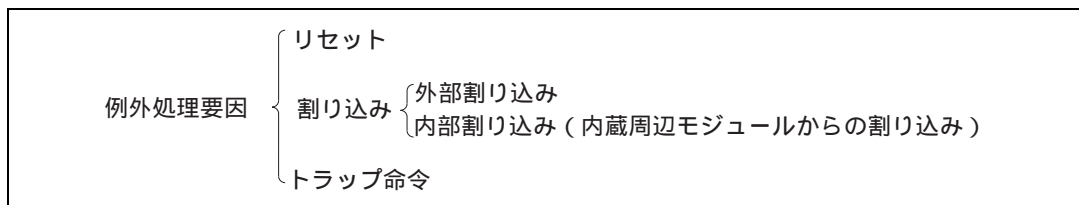


図 2.11 例外処理要因の分類

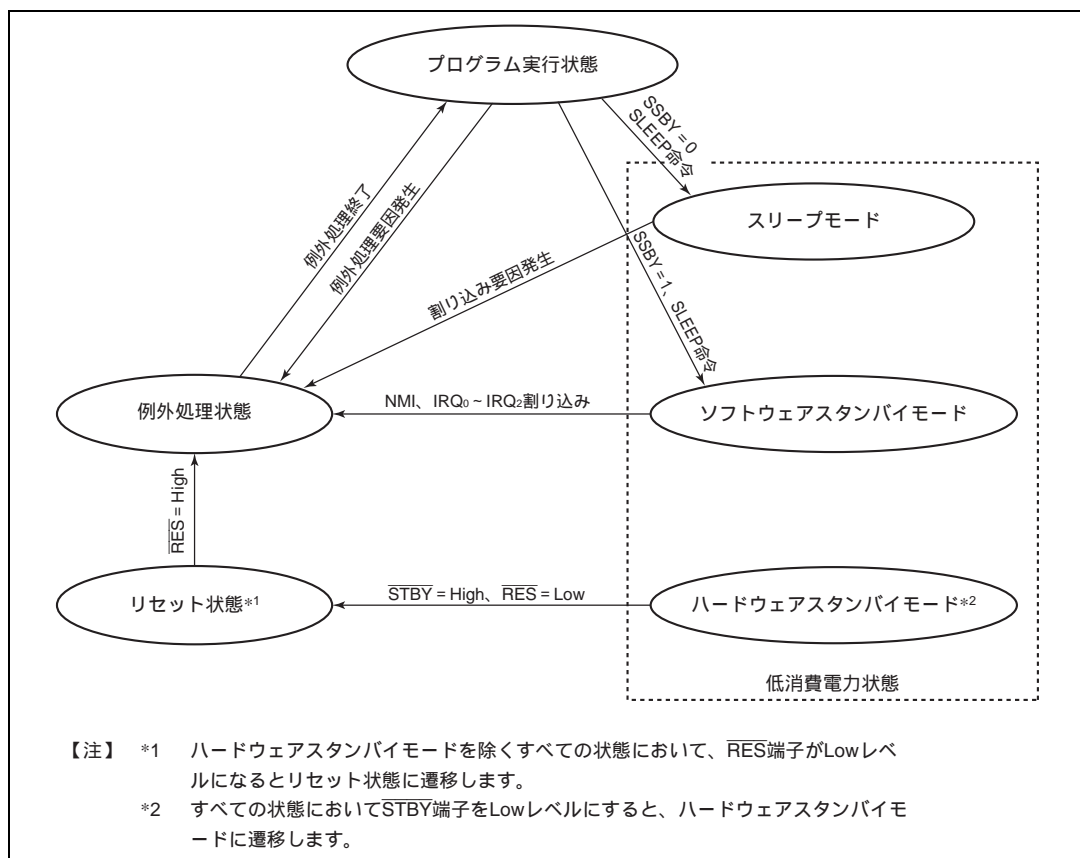


図 2.12 状態遷移図

2.8.4 例外処理の動作

(1) リセット例外処理の動作

リセット例外処理は、最も優先度の高い例外処理です。 $\overline{\text{RES}}$ 端子をLowレベルにしてリセット状態にした後、 $\overline{\text{RES}}$ 端子をHighレベルにすると、リセット例外処理が起動されます。リセット例外処理が起動されると、CPUは、例外処理ベクタテーブルからスタートアドレスを取り出し、その番地からプログラムの実行を開始します。リセット例外処理実行中、および終了後は、NMIを含めたすべての割り込みが禁止されます。

(2) 割り込み例外処理およびトラップ命令例外処理の動作

これらの例外処理が起動されると、CPUはSP(ER7)を参照してPCとCCRをスタックに退避します。次に、SYSCRのUEビットが1のときはCCRのIビットが1にセットされ、UEビットが0のときはCCRのIビット、UIビットがいずれも1にセットされます。

その後、例外処理ベクタテーブルからスタートアドレスを取り出して分岐します。

例外処理終了後のスタックの構造を図 2.13 に示します。

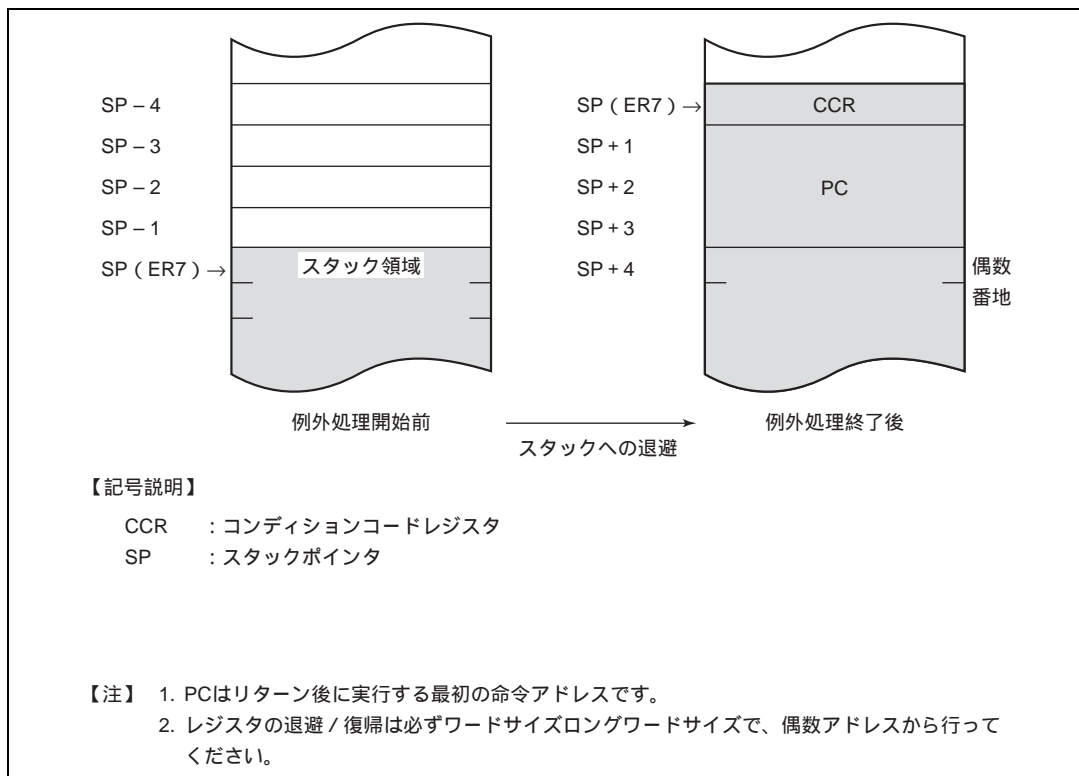


図 2.13 例外処理終了後のスタック状態

2.8.5 リセット状態

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて中止され、CPU はリセット状態になります。リセットによって CCR の I ビットが 1 にセットされます。リセット状態ではすべての割り込みが禁止されます。

$\overline{\text{RES}}$ 端子を Low レベルから High レベルにすると、リセット例外処理が開始されます。

ウォッチドッグタイマのオーバーフローによって、リセット状態とすることもできます。詳細は「第 10 章 ウォッチドッグタイマ」を参照してください。

2.8.6 低消費電力状態

低消費電力状態は CPU の動作を停止して、消費電力を下げる状態です。スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモードがあります。

(1) スリープモード

スリープモードは、SYSCR の SSBY ビットを 0 にクリアした状態で、SLEEP 命令を実行することによって遷移するモードです。CPU の動作は、SLEEP 命令実行直後で停止します。CPU の内部レジスタの内容は保持されます。

(2) ソフトウェアスタンバイモード

ソフトウェアスタンバイモードは、SYSCRのSSBYビットを1にセットした状態で、SLEEP命令を実行することによって遷移するモードです。

CPUおよびクロックをはじめ内蔵周辺モジュールのすべての動作が停止します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限りCPUの内部レジスタの内容および内蔵RAMの内容は保持されます。また、I/Oポートの状態も保持されます。

(3) ハードウェアスタンバイモード

ハードウェアスタンバイモードは、 $\overline{\text{STBY}}$ 端子をLowレベルにすることによって遷移するモードです。ソフトウェアスタンバイモードと同様に、CPUおよびすべてのクロックは停止し、内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵RAMの内容は保持されます。

低消費電力状態についての詳細は、「第17章 低消費電力状態」を参照してください。

2.9 基本動作タイミング

2.9.1 概要

H8/300H CPU は、クロック (ϕ) を基準に動作しています。 ϕ の立ち上がりから次の立ち上がりまでの 1 単位をステートと呼びます。メモリサイクルまたはバスサイクルは、2 または 3 ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部アドレス空間によってそれぞれ異なるアクセスを行います。外部アドレス空間のアクセスについては、バスコントローラで設定することができます。

2.9.2 内蔵メモリアクセスタイミング

内蔵メモリのアクセスは、2 ステートアクセスを行います。このとき、データバス幅は 16 ビットで、バイトおよびワードサイズのアクセスが可能です。内蔵メモリアクセスサイクルを図 2.14 に、端子状態を図 2.15 に示します。

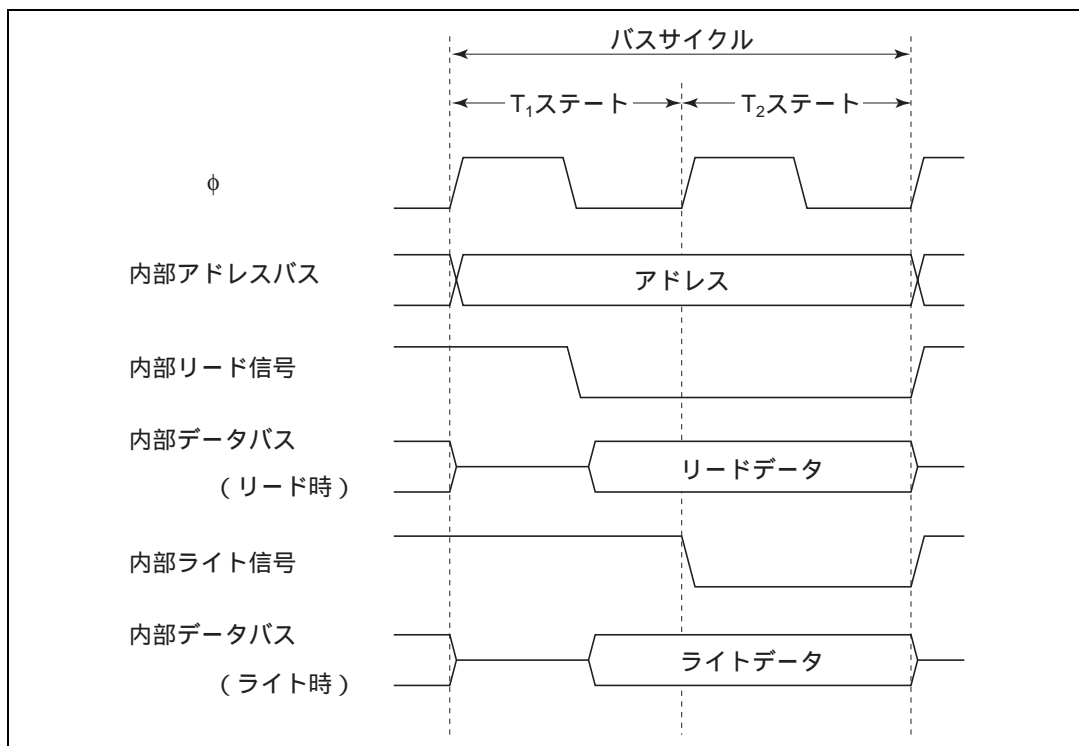


図 2.14 内蔵メモリアクセスサイクル

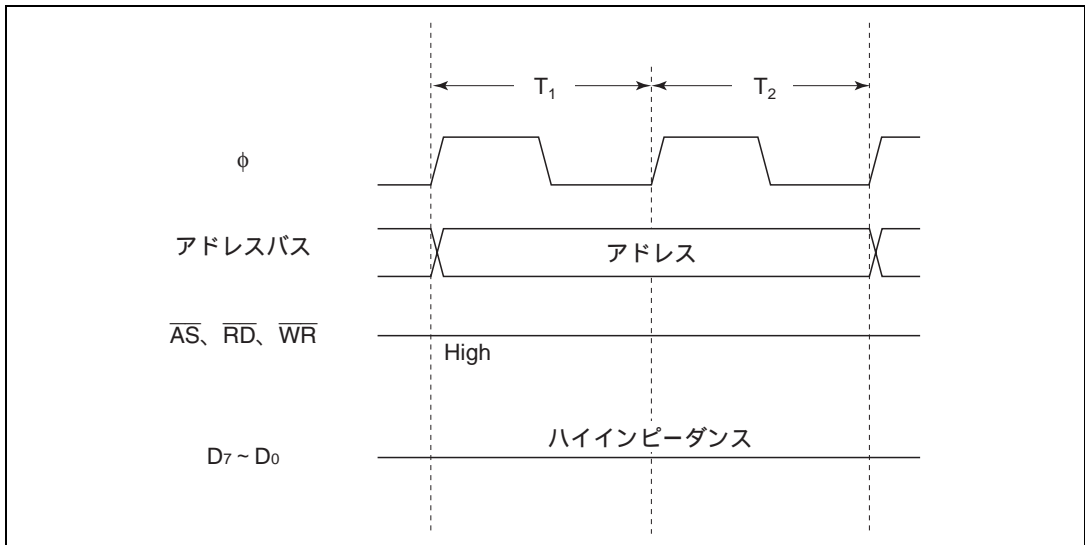


図 2.15 内蔵メモリアクセス時の端子状態

2.9.3 内蔵周辺モジュールアクセスタイミング

内蔵周辺モジュールのアクセスは3ステートで行われます。このとき、データバス幅は8ビットまたは16ビットであり、内部I/Oレジスタにより異なります。内蔵周辺モジュールアクセスタイミングを図2.16に、端子状態を図2.17に示します。

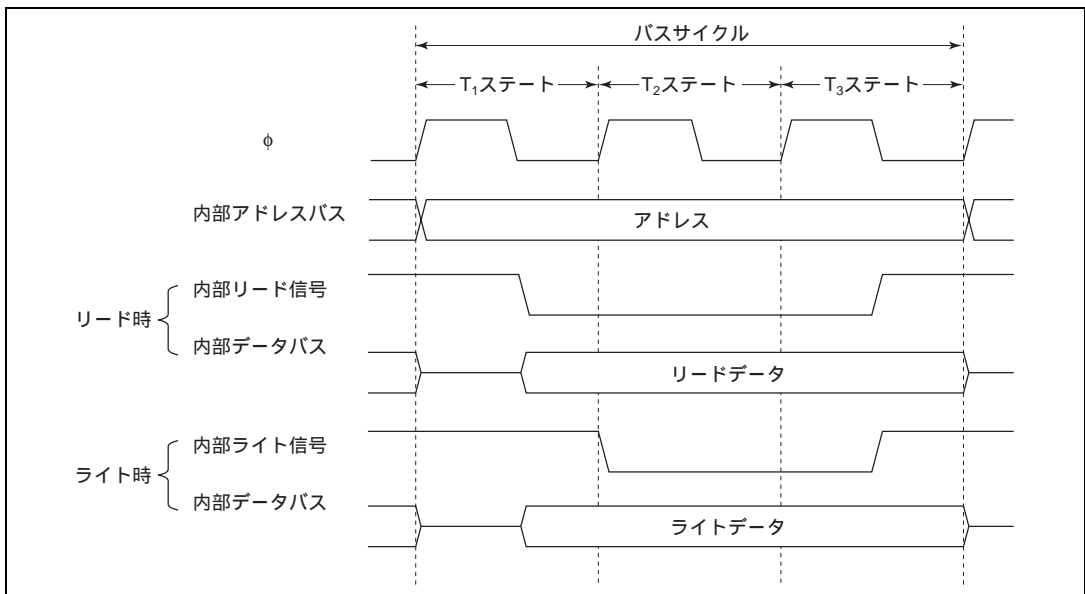


図 2.16 内蔵周辺モジュールアクセスサイクル

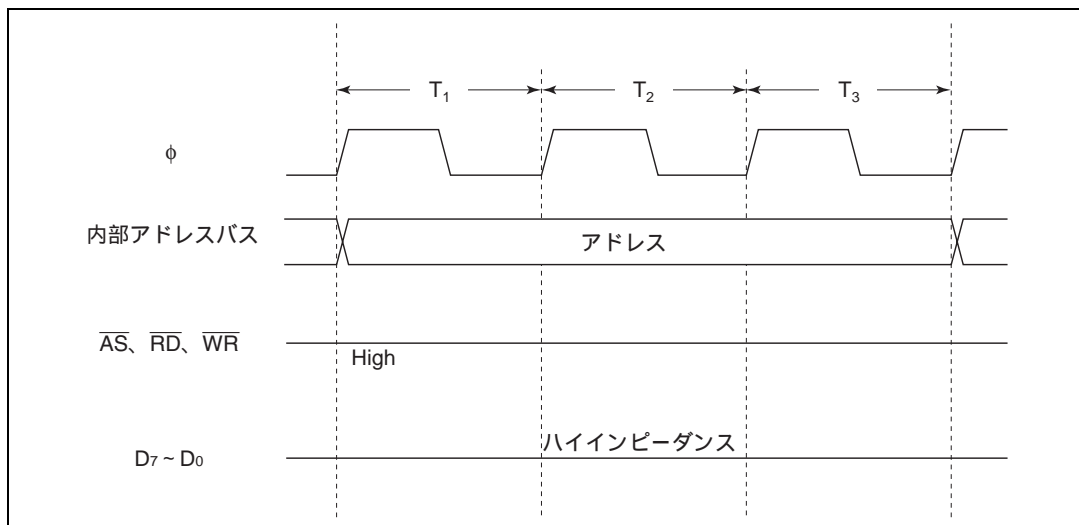


図 2.17 内蔵周辺モジュールアクセス時の端子状態

2.9.4 外部アドレス空間アクセスタイミング

外部アドレス空間は8つのエリア（エリア0~7）に分割されており、バスコントローラの設定により、各エリアごとにアクセスステート（2ステートまたは3ステート）の選択ができます。

詳細は「第6章 バスコントローラ」を参照してください。

3. MCU 動作モード

3.1 概要

3.1.1 動作モードの選択の種類

本 LSI には、5 種類の動作モード（モード 1、3、5～7）があります。これらのモードは、モード端子（MD₂～MD₀）を表 3.1 のように設定することによってバスモードの初期状態とアドレス空間を選択することができます。

表 3.1 動作モードの種類を選択

動作モード	端子設定			内容			
	MD ₂	MD ₁	MD ₀	アドレス空間	バス幅	内蔵 ROM	内蔵 RAM
-	0	0	0	-	-	-	-
モード 1	0	0	1	拡張モード	8 ビット	無効	有効* ¹
モード 2	0	1	0	-	-	-	-
モード 3	0	1	1	拡張モード	8 ビット	無効	有効* ¹
モード 4	1	0	0	-	-	-	-
モード 5	1	0	1	拡張モード	8 ビット	有効	有効* ¹
モード 6	1	1	0	拡張モード	8 ビット	有効	有効* ¹
モード 7	1	1	1	シングルチップアドバンスモード	-	有効	有効* ²

【注】 *1 SYSCR の RAME ビットを 0 にクリアすると外部アドレス空間に切り替わります。

*2 モード 7 では、SYSCR の RAME ビットを 0 にクリアし内蔵 RAM 空間をアクセスすると常に H'FF がリードされ、ライトは無効です。詳細は「14.3 動作説明」を参照してください。

アドレス空間は、1M バイト / 16M バイトのいずれかを選択することができます。

モード 1、3 は外部メモリおよび周辺デバイスにアクセスすることができる内蔵 ROM 無効拡張モードです。

モード 1 でサポートするアドレス空間は、最大 1M バイトです。また、モード 3、6 でサポートするアドレス空間は、最大 16M バイトです。

モード 5、6 は、外部メモリおよび周辺デバイスにアクセスすることができる内蔵 ROM 有効拡張モードです。モード 5 でサポートするアドレス空間は、最大 1M バイトです。

モード 6 でサポートするアドレス空間は最大 16M バイトです。

モード 7 は、内蔵 ROM と RAM、内部 I/O レジスタで動作するシングルチップモードです。すべてのポートを使用できます。

モード 7 は、アドレス空間は最大 1M バイトとなり、アドバンスモードで動作します。

モード 1、3、5～7 以外は、本 LSI では使用できません。したがって、モード端子は必ずモード 1、3、5～7 になるように設定してください。

モード端子は、動作中に変化させないでください。

3. MCU 動作モード

3.1.2 レジスタ構成

本 LSI にはモード端子 ($MD_2 \sim MD_0$) の状態が反映される MDCR と、動作を制御する SYSCR があります。レジスタ構成を表 3.2 に示します。

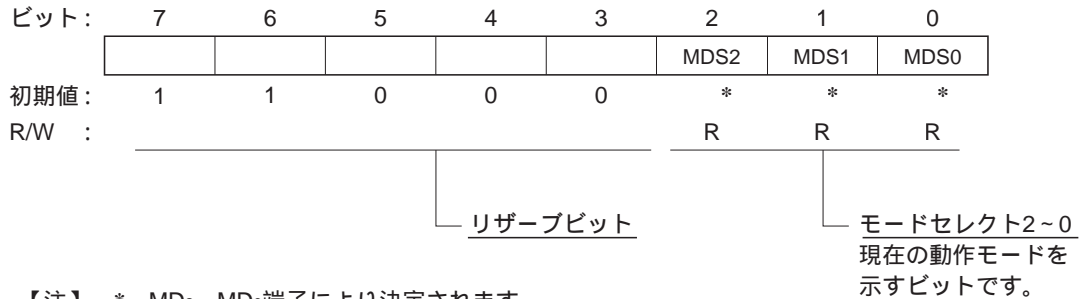
表 3.2 レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFF1	モードコントロールレジスタ	MDCR	R	不定
H'FFF2	システムコントロールレジスタ	SYSCR	R/W	H'0B

【注】 * アドレスの下位 16 ビットを示しています。

3.2 モードコントロールレジスタ (MDCR)

MDCR は 8 ビットのリード専用のレジスタで、本 LSI の現在の動作モードをモニタするのに用います。



ビット7、6: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット5~3: リザーブビット

リザーブビットです。リードすると常に 0 が読み出されます。ライトは無効です。

ビット2~0: モードセレクト2~0 (MDS2~MDS0)

これらのビットは、モード端子 (MD₂ ~ MD₀) のレベルを反映した値 (現在の動作モード) を示しています。MDS2 ~ MDS0 ビットは MD₂ ~ MD₀ 端子にそれぞれ対応します。これらのビットは、リード専用でライトは無効です。MDCR をリードすると、モード端子 (MD₂ ~ MD₀) のレベルがこれらのビットにラッチされます。

3.3 システムコントロールレジスタ (SYSCR)

SYSCR は 8 ビットのレジスタで本 LSI の動作を制御します。

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	UE	NMIEG		RAME
初期値:	0	0	0	0	1	0	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W		R/W

RAMイネーブル
内蔵RAMの有効/
無効を選択するビ
ットです。

リザーブビット

NMIエッジセレクト
NMI端子の入力エッジを選択するビ
ットです。

ユーザビットイネーブル
CCRのUIビットをユーザビットとして使用するか、
割り込みマスクビットとして使用するかを選択するビット
です。

スタンバイタイムセレクト2~0
ソフトウェアスタンバイモードから復帰する場合の待機時間を選択
するビットです。

ソフトウェアスタンバイ
ソフトウェアスタンバイモードへの遷移を指定するビットです。

ビット7: ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します(ソフトウェアスタンバイモードについては「第 17 章 低消費電力状態」を参照してください)。

なお、外部割り込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したとき、このビットは 1 にセットされたままです。クリアする場合は、0 をライトしてください。

ビット7	説明
SSBY	
0	SLEEP 命令実行後、スリープモードに遷移 (初期値)
1	SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移

ビット6~4: スタンバイタイムセレクト2~0 (STS2~STS0)

外部割り込みによって、ソフトウェアスタンバイモードを解除する場合に、内部クロックが安定す

るまで CPU と内蔵周辺モジュールが待機する時間を指定します。

動作周波数に応じて待機時間が 7ms 以上となるように指定してください。

待機時間の設定については、「17.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定」を参照してください。

ビット6	ビット5	ビット4	説 明
STS2	STS1	STS0	
0	0	0	待機時間 = 8,192 ステート (初期状態)
0	0	1	待機時間 = 16,384 ステート
0	1	0	待機時間 = 32,768 ステート
0	1	1	待機時間 = 65,536 ステート
1	0	0	待機時間 = 131,072 ステート
1	0	1	待機時間 = 1,024 ステート
1	1		使用禁止

ビット3：ユーザビットイネーブル (UE)

CCR の UI ビットをユーザビットとして使用するか、割り込みマスクビットとして使用するかを選択します。

ビット3	説 明
UE	
0	CCR の UI ビットを、割り込みマスクビットとして使用
1	CCR の UI ビットを、ユーザビットとして使用 (初期値)

ビット2：NMI エッジ (NMIEG)

NMI 端子の入力エッジ選択を行います。

ビット2	説 明
NMIEG	
0	NMI 入力の下向きエッジで割り込み要求を発生 (初期値)
1	NMI 入力の上向きエッジで割り込み要求を発生

ビット1：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット0：RAM イネーブル (RAME)

内蔵 RAM の有効/無効を選択します。RAME ビットは、 $\overline{\text{RES}}$ 端子の立ち上がりエッジで初期化されます。ソフトウェアスタンバイモードでは、初期化されません。

ビット0	説 明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

3.4 各動作モードの説明

3.4.1 モード 1

ポート 1、2、5 の機能がアドレス端子 $A_{19} \sim A_0$ となり、最大 1M バイトのアドレス空間をアクセスできます。リセット直後は 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。

3.4.2 モード 3

ポート 1、2、5 およびポート A の一部の機能がアドレス端子 $A_{23} \sim A_0$ となり、最大 16M バイトのアドレス空間をアクセスできます。バスモードはリセット直後に 8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。 $A_{23} \sim A_{21}$ は、アドレスコントロールレジスタ (ADRCR) のビット 7~5 に“0”をライトすると有効になります (本モードでは A_{20} は常に出力となります)。

3.4.3 モード 5

ポート 1、2、5 の機能がアドレス端子 $A_{19} \sim A_0$ となり、最大 1M バイトのアドレス空間をアクセスできます。リセット直後は入力ポートになっています。したがってアドレスバスとして使用する場合は各々の対応するデータディレクションレジスタ (P1DDR、P2DDR、P5DDR) を“1”にセットして、ポート 1、2、5 を出力に設定してください。アドレスバス幅は、ポート 1、2、5 の DDR の内容を設定することにより、自由に指定できます。バスモードはリセット直後に、8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。

3.4.4 モード 6

ポート 1、2、5 およびポート A ($PA_7 \sim PA_4$) の機能がアドレス端子 $A_{23} \sim A_0$ となり、最大 16M バイトのアドレス空間をアクセスできます。リセット直後は A_{20} を除き、入力ポートになっています。したがって $A_{19} \sim A_0$ アドレスバスとして使用する場合は各々の対応するデータディレクションレジスタ (P1DDR、P2DDR、P5DDR) を“1”にセットして、ポート 1、2、5 を出力に設定してください。 $A_{23} \sim A_{21}$ はアドレスコントロールレジスタ (ADRCR) のビット 7~5 に“0”をライトすると有効になります。アドレスバス幅は、ポート 1、2、5 の DDR と ADRCR の内容を設定することにより、自由に指定できます (A_{20} を除く)。バスモードはリセット直後に、8 ビットバスモードとなり、すべてのエリアは 8 ビットアクセス空間となります。

3.4.5 モード 7

内蔵 ROM と内蔵 RAM、内蔵 I/O レジスタで動作するモードです。すべてのポートを使用することができます。

モード 7 はアドレス空間が 1M バイトのアドバンスモードとなります。

【注】本 LSI では、モード 2 およびモード 4 は使用できません。

3.5 各動作モードにおける端子機能

動作モードによりポート 1~3、ポート 5、およびポート A の端子機能が切り替わります。各動作モードにおける端子機能の一覧を表 3.3 に示します。

表 3.3 各動作モードにおけるポート 1~3、ポート 5 およびポート A の機能

ポート	モード 1	モード 2 ^{*1}	モード 3	モード 4 ^{*1}	モード 5	モード 6	モード 7
ポート 1	A ₇ ~A ₀	-	A ₇ ~A ₀	-	P1 ₇ ~P1 ₀ ^{*2}	P1 ₇ ~P1 ₀ ^{*2}	P1 ₇ ~P1 ₀
ポート 2	A ₁₅ ~A ₈	-	A ₁₅ ~A ₈	-	P2 ₇ ~P2 ₀ ^{*2}	P2 ₇ ~P2 ₀ ^{*2}	P2 ₇ ~P2 ₀
ポート 3	D ₇ ~D ₀	-	D ₇ ~D ₀	-	D ₇ ~D ₀	D ₇ ~D ₀	P3 ₇ ~P3 ₀
ポート 5	A ₁₉ ~A ₁₆	-	A ₁₉ ~A ₁₆	-	P5 ₃ ~P5 ₀ ^{*2}	P5 ₃ ~P5 ₀ ^{*2}	P5 ₃ ~P5 ₀
ポート A	PA ₇ ~PA ₄	-	PA ₆ ~PA ₄ ^{*3} 、A ₂₀	-	PA ₇ ~PA ₄	PA ₆ ~PA ₄ ^{*3} 、A ₂₀	PA ₇ ~PA ₄

- 【注】 *1 本 LSI では使用できません。
 *2 初期状態を示しています。各々対応するデータディレクションレジスタ(P1DDR、P2DDR、P5DDR)を 1 に設定することにより、アドレスバスとなります。
 *3 初期状態を示しています。A₂₀は常にアドレス出力です。PA₆~PA₄は、ADRCR のビット 7~5 に 0 をライトすることにより A₂₃~A₂₁出力になります。

3.6 各動作モードのメモリマップ

H8/3022 のメモリマップを図 3.1 に、H8/3021 のメモリマップを図 3.2 に H8/3020 のメモリマップを図 3.3 に示します。

アドレス空間は 8 エリアに分割されています。モード 1、3、5、6 は 8 ビットバスモードです。

また、モード 1、5、7 (1M バイトモード) とモード 3、6 (16M バイトモード) で、内蔵 RAM および内部 I/O レジスタの配置が異なります。また、CPU のアドレッシングモードのうち、絶対アドレス 8 ビット / 16 ビット (@aa:8/@aa:16) で指定できる範囲が異なります。

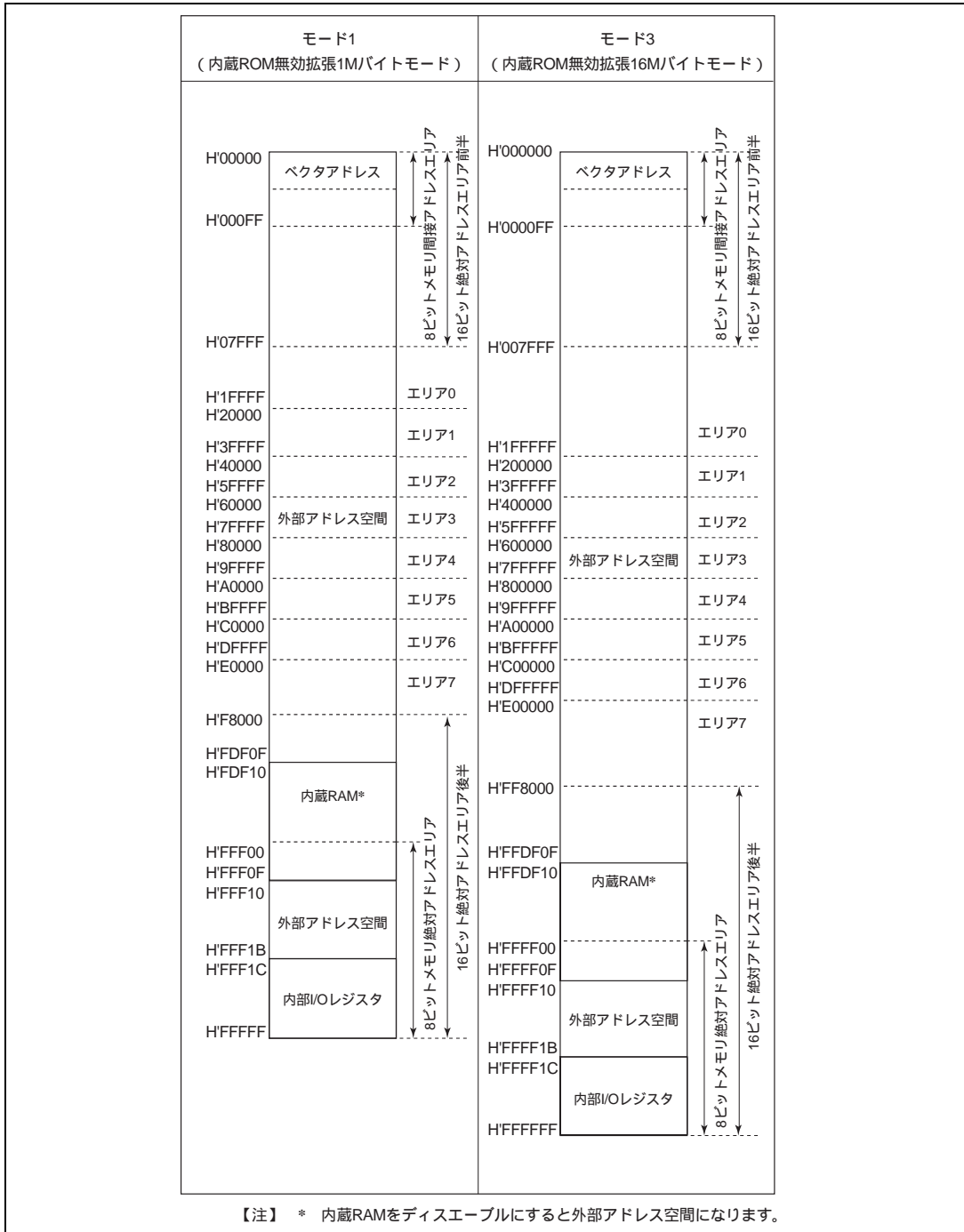


図 3.1 H8/3022 の各動作モードにおけるメモリマップ (1)

3. MCU 動作モード

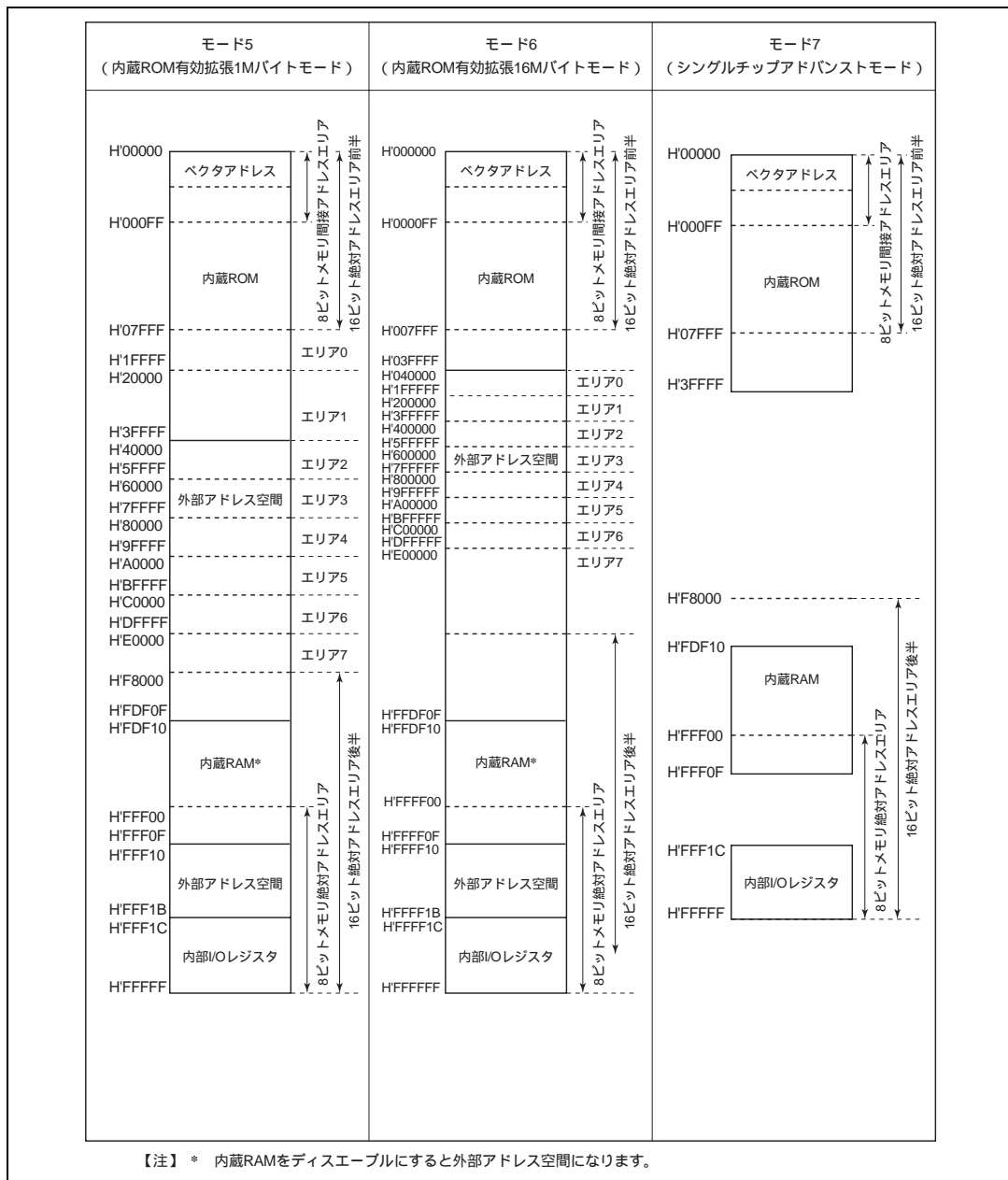


図 3.1 H8/3022 の各動作モードにおけるメモリマップ (2)

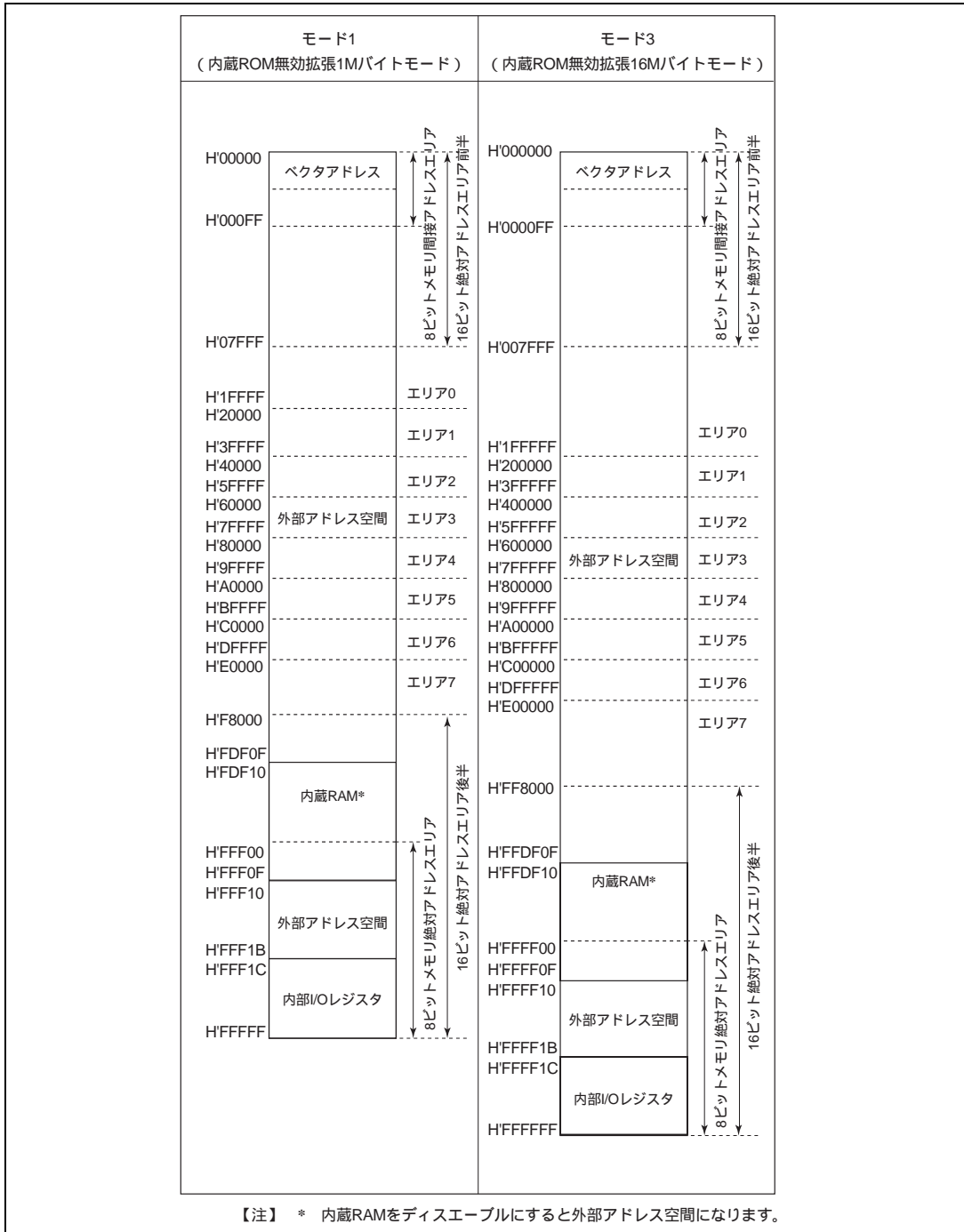


図 3.2 H8/3021 の各動作モードにおけるメモリマップ (1)

3. MCU 動作モード

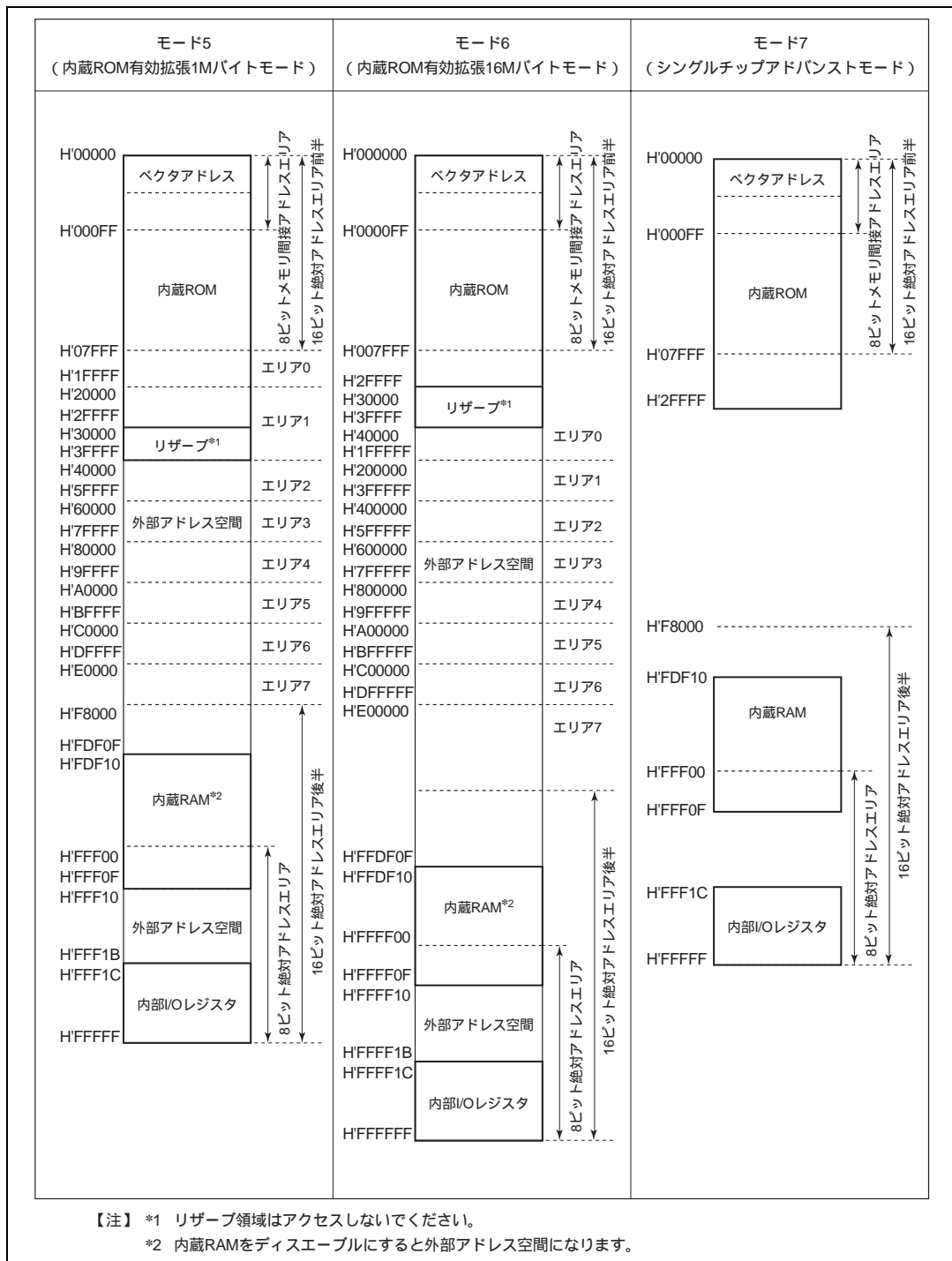


図 3.2 H8/3021 の各動作モードにおけるメモリマップ (2)

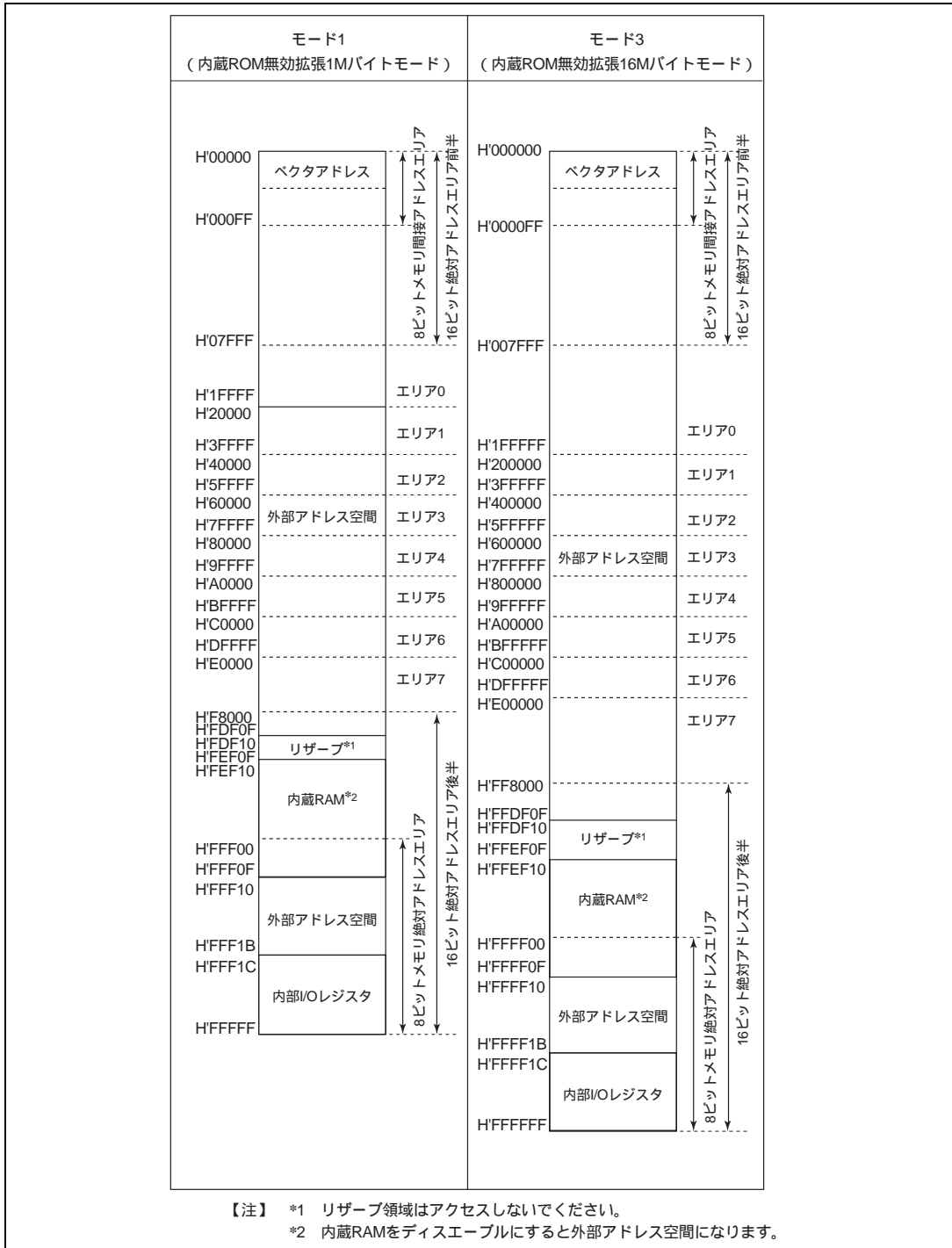


図 3.3 H8/3020 の各動作モードにおけるメモリマップ (1)

3. MCU 動作モード

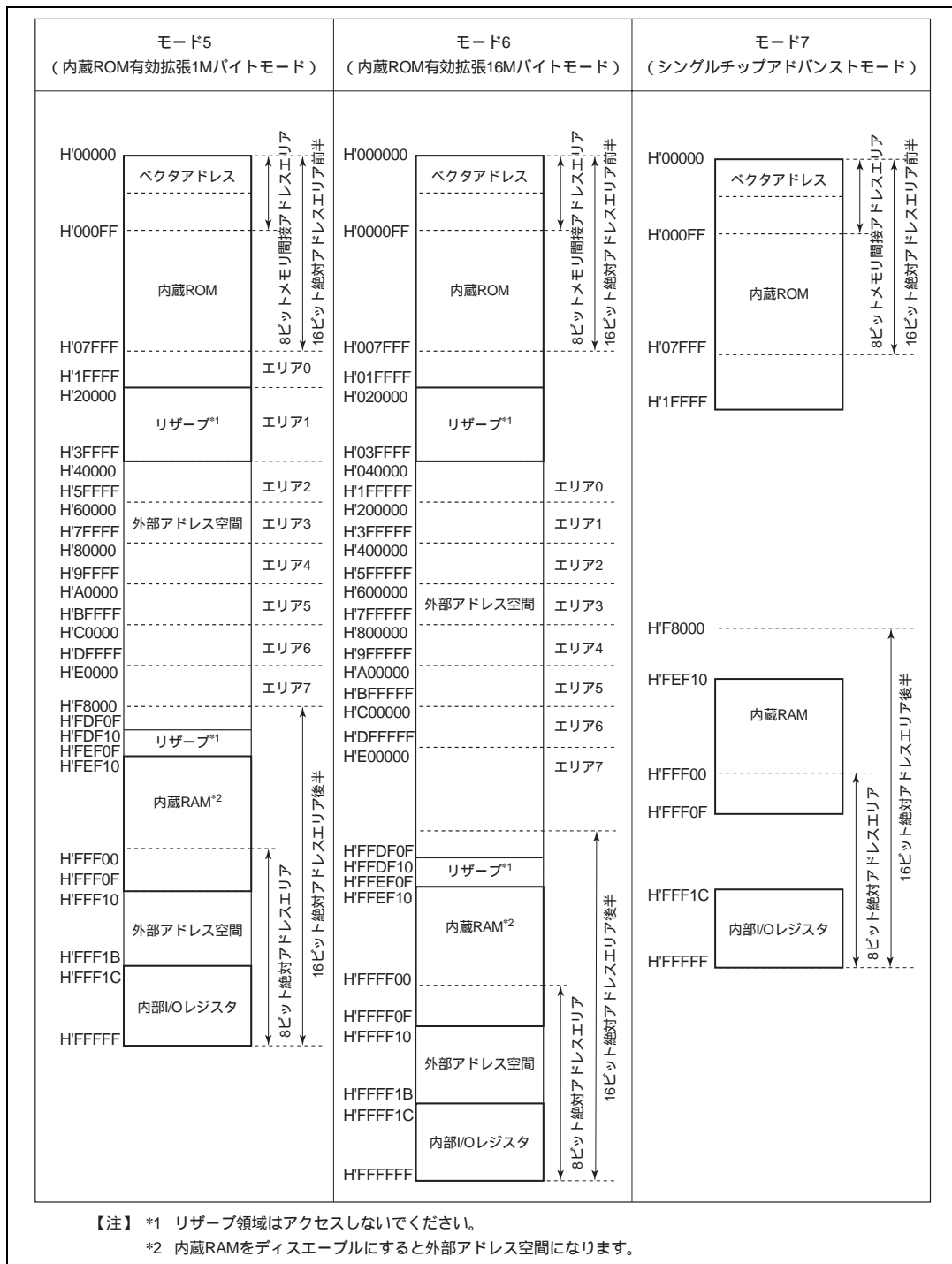


図 3.3 H8/3020 の各動作モードにおけるメモリマップ (2)

4. 例外処理

4.1 概要

4.1.1 例外処理の種類と優先度

例外処理には、表 4.1 に示すように、リセット、トラップ命令、および割り込みによるものがあります。これらの例外処理には表 4.1 に示すように優先度が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ 低	リセット	RES端子がLowレベルからHighレベルに変化すると、ただちに開始します。
	割り込み	割り込み要求が発生すると、命令の実行終了時または例外処理終了時に開始します。
	トラップ命令 (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。

4.1.2 例外処理の動作

例外処理は、各例外処理要因により起動されます。

トラップ命令および割り込み例外処理は、次のように動作します。

- (1) プログラムカウンタ (PC) とコンディションコードレジスタ (CCR) をスタックに退避します。
- (2) CCRの割り込みマスクビットを1にセットします。
- (3) 起動要因に対応するベクタアドレスを生成し、そのベクタアドレスの内容が示す番地からプログラムの実行が開始されます。

リセット例外処理の場合は上記 (2)、(3) の動作を行います。

4.1.3 例外処理要因とベクタテーブル

各例外処理要因は、図 4.1 に示すように分類されます。

これらの例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。

これらの要因とベクタアドレスとの対応を表 4.2 に示します。

4. 例外処理

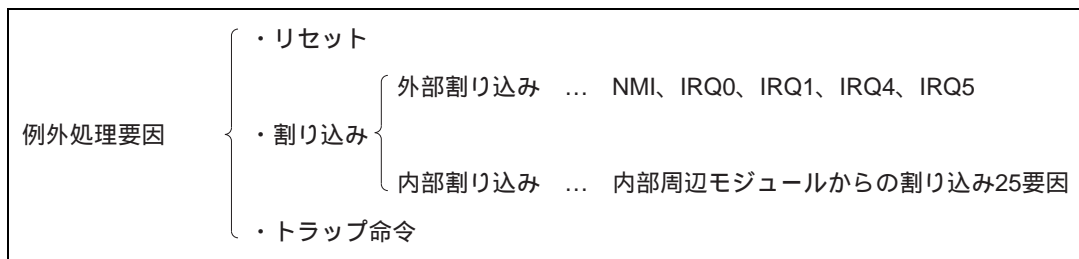


図 4.1 例外処理要因

表 4.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタアドレス*1		
		ノーマルモード	アドバンストモード	
リセット	0	H'0000 ~ H'0001	H'0000 ~ H'0003	
システム予約	1	H'0002 ~ H'0003	H'0004 ~ H'0007	
	2	H'0004 ~ H'0005	H'0008 ~ H'000B	
	3	H'0006 ~ H'0007	H'000C ~ H'000F	
	4	H'0008 ~ H'0009	H'0010 ~ H'0013	
	5	H'000A ~ H'000B	H'0014 ~ H'0017	
	6	H'000C ~ H'000D	H'0018 ~ H'001B	
外部割り込み NMI	7	H'000E ~ H'000F	H'001C ~ H'001F	
トラップ命令 (4 要因)	8	H'0010 ~ H'0011	H'0020 ~ H'0023	
	9	H'0012 ~ H'0013	H'0024 ~ H'0027	
	10	H'0014 ~ H'0015	H'0028 ~ H'002B	
	11	H'0016 ~ H'0017	H'002C ~ H'002F	
外部割り込み	IRQ ₀	12	H'0018 ~ H'0019	H'0030 ~ H'0033
	IRQ ₁	13	H'001A ~ H'001B	H'0034 ~ H'0037
システム予約		14	H'001C ~ H'001D	H'0038 ~ H'003B
		15	H'001E ~ H'001F	H'003C ~ H'003F
外部割り込み	IRQ ₄	16	H'0020 ~ H'0021	H'0040 ~ H'0043
	IRQ ₅	17	H'0022 ~ H'0023	H'0044 ~ H'0047
システム予約		18	H'0024 ~ H'0025	H'0048 ~ H'004B
		19	H'0026 ~ H'0027	H'004C ~ H'004F
内部割り込み*2	20 ~ 60	H'0028 ~ H'0029 ~ H'0078 ~ H'0079	H'0050 ~ H'0053 ~ H'00F0 ~ H'00F3	

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 内部割り込みのベクタテーブルは、「5.3.3 割り込み例外処理ベクタテーブル」を参照してください。

4.2 リセット

4.2.1 概要

リセットは、最も優先順位の高い例外処理です。

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切られ、本 LSI はリセット状態になります。リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。

$\overline{\text{RES}}$ 端子が Low レベルから High レベルになるとリセット例外処理が開始されます。

ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「第 10 章 ウォッチドッグタイマ」を参照してください。

4.2.2 リセットシーケンス

$\overline{\text{RES}}$ 端子が Low レベルになると本 LSI はリセット状態になります。

本 LSI を確実にリセットするために、電源投入時は最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。また、動作中は最低 10 システムクロック (ϕ) サイクルの間 Low レベルにしてください。フラッシュメモリ版使用時は、最低 20 システムクロック以上 Low レベルにしてください。リセット状態の各端子の状態は「付録 D.2 リセット時の端子状態」を参照してください。

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後、High レベルになるとリセット例外処理が開始され、本 LSI は次のように動作します。

- (1) CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化され、CCR の I ビットが 1 にセットされます。
 - (2) リセット例外処理ベクタアドレス (アドバンスモード時は H'0000 ~ H'0003) をリードして、そのベクタアドレスの内容が示すアドレスからプログラムの実行を開始します。
- モード 5、7 のリセットシーケンスを図 4.2 に示します。

4. 例外処理

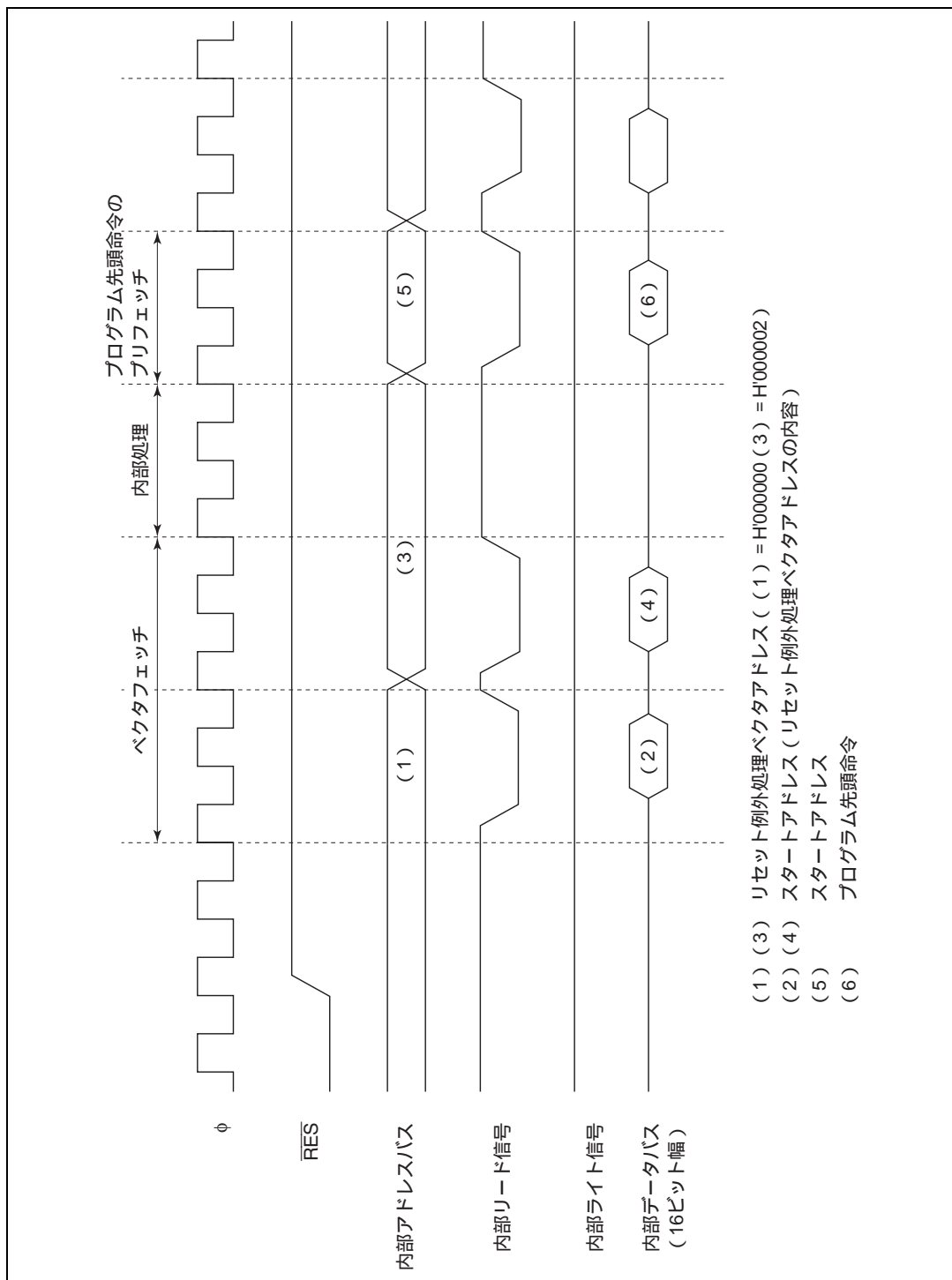


図 4.2 リセットシーケンス (モード 5、7)

4.2.3 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください

(例：MOV.L #xx:32,SP)。

4.3 割り込み

割り込み例外処理を開始させる要因には、5つの外部割り込み（NMI、IRQ₀、IRQ₁、IRQ₄、IRQ₅）と、内蔵周辺モジュールからの要求による25の内部要因があります。割り込み要因と要因数を図4.3に示します。

割り込み要因を要求する内蔵周辺モジュールには、ウォッチドッグタイマ（WDT）、16ビットインテグレートドタイマユニット（ITU）、シリアルコミュニケーションインタフェース（SCI）、およびA/D変換器があります。割り込みベクタアドレスは、各要因別に割り当てられています。

NMIは最優先の割り込みで、常に受け付けられます。割り込みは、割り込みコントローラによって制御されます。割り込みコントローラは、NMI以外の割り込みを2レベルの優先順位を設定して、多重割り込みの制御を行うことができます。割り込みの優先順位は、割り込みコントローラのインタラプトプライオリティレジスタA、B（IPRA、IPRB）に設定します。

割り込みについての詳細は「第5章 割り込みコントローラ」を参照してください。

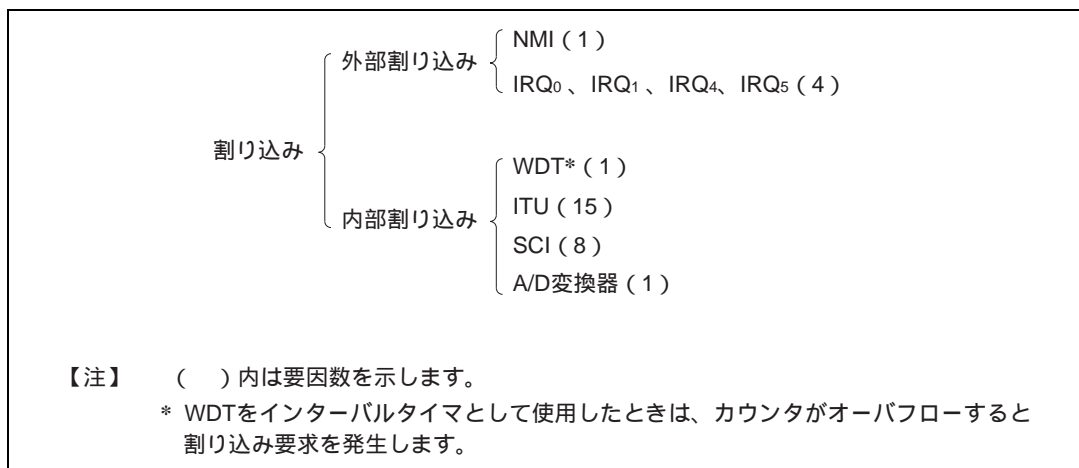


図 4.3 割り込み要因と要因数

4.4 トラップ命令

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。

例外処理によって、SYSCR の UE ビットが 1 のときは CCR の I ビットが 1 にセットされ、UE ビットが 0 のときには CCR の I ビット、UI ビットがそれぞれ 1 にセットされます。

TRAPA 命令は、命令コード中で指定した 0~3 のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

4.5 例外処理後のスタックの状態

トラップ命令例外処理および割り込み例外処理後のスタック状態を図 4.4 に示します。

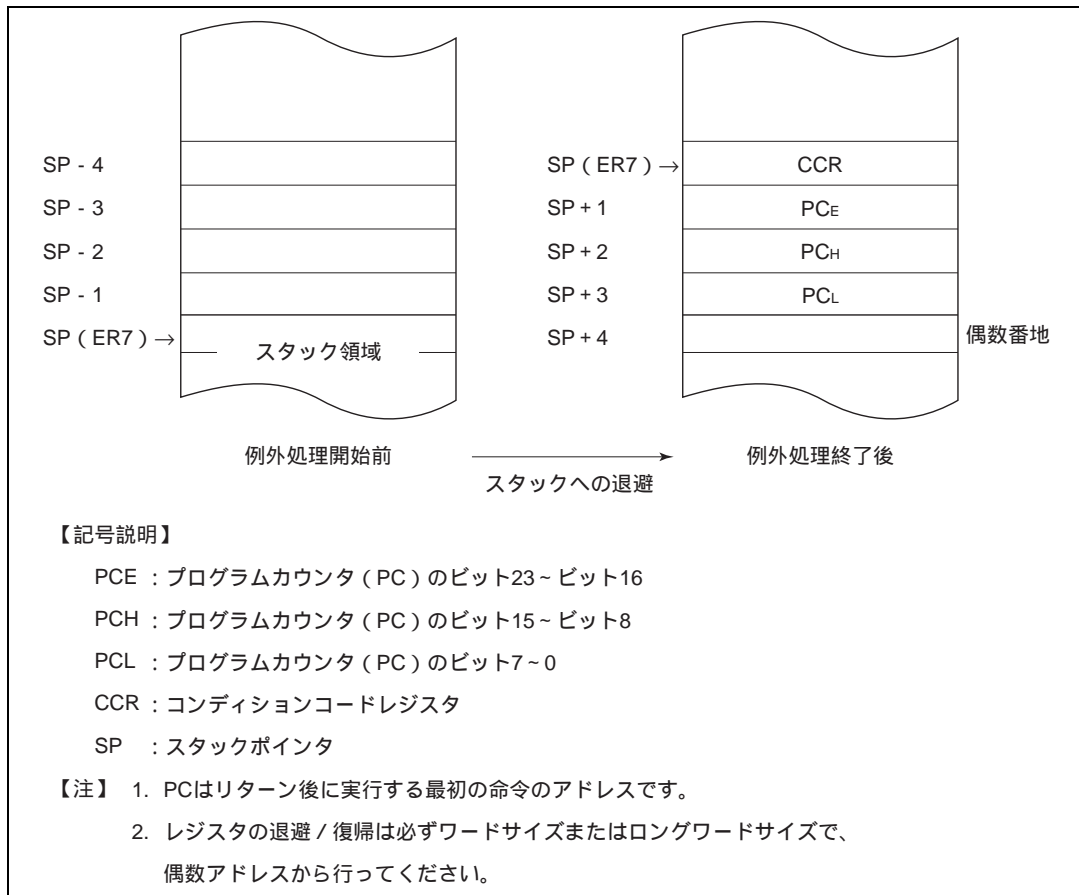


図 4.4 例外処理終了後のスタック状態 (アドバンスモード)

4.6 スタック使用上の注意

本 LSI では、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは 0 とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP:ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

PUSH.W Rn(MOV.W Rn,@-SP)

PUSH.L ERn(MOV.L ERn,@-SP)

また、レジスタの復帰は、

POP.W Rn(MOV.W @SP+,Rn)

POP.L ERn(MOV.L @SP+,ERn)

を使用してください。

SP を奇数に設定すると、誤動作の原因となります。SP を奇数に設定した場合の動作例を図 4.5 に示します。

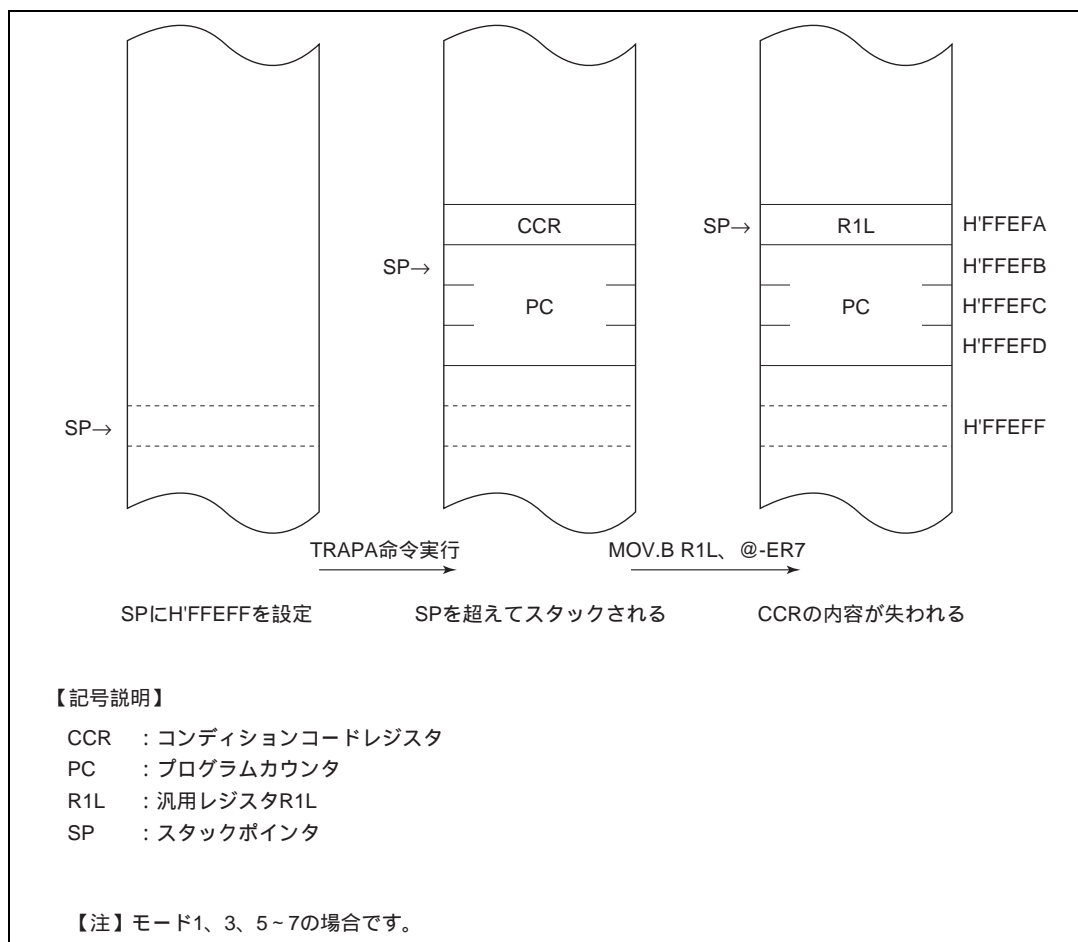


図 4.5 SP を奇数に設定したときの動作

4. 例外处理

5. 割り込みコントローラ

5.1 概要

5.1.1 特長

割り込みコントローラには、次の特長があります。

IPR により、優先順位を設定可能

割り込み優先順位を設定するインタラプトプライオリティレジスタ A、B (IPRA、IPRB) を備えており、NMI 以外の割り込みを要因ごとまたはモジュールごとに 2 レベルの優先順位を設定できます。

CPU のコンディションコードレジスタ (CCR) の I、UI ビットにより、3 レベルの許可 / 禁止状態を設定可能。

独立したベクタアドレス

すべての割り込み要因には独立のベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。

5 本の外部割り込み端子

NMI は最優先の割り込みで常に受け付けられます。NMI は立ち上がりエッジ / 立ち下がりエッジを選択できます。また IRQ0、IRQ1、IRQ4、IRQ5 は立ち下がりエッジ / レベルセンスを独立に選択できます。

5.1.2 ブロック図

割り込みコントローラのブロック図を図 5.1 に示します。

5. 割り込みコントローラ

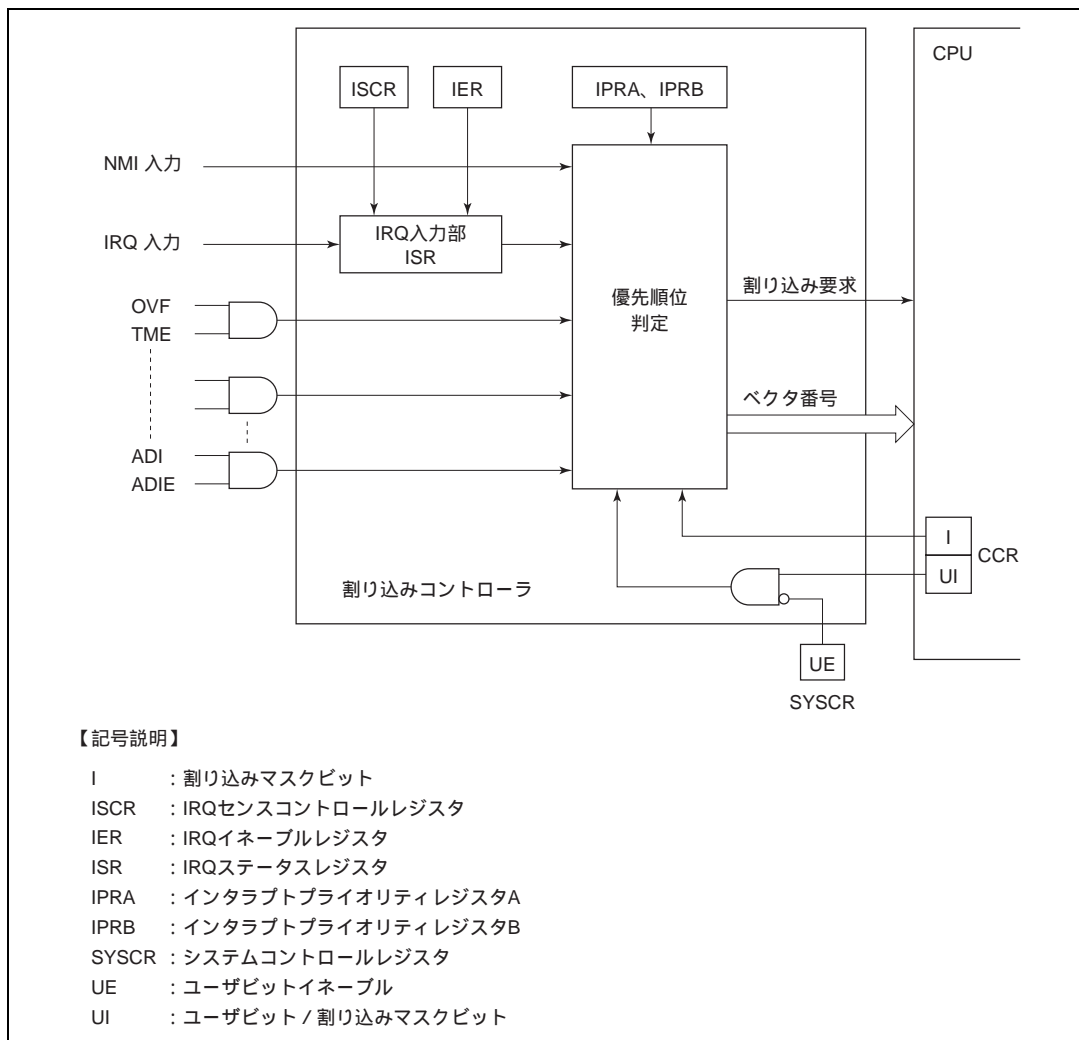


図 5.1 割り込みコントローラのブロック図

5.1.3 端子構成

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名称	略称	入出力	機能
ノンマスクابل割り込み	NMI	入力	マスク不可能な外部割り込み、立ち上がりエッジ / 立ち下がりエッジ選択可能
外部割り込み要求 5、4、1、0	\overline{IRQ}_5 、 \overline{IRQ}_4 、 \overline{IRQ}_1 、 \overline{IRQ}_0	入力	マスク可能な外部割り込み、立ち下がりエッジ / レベルセンス選択可能

5.1.4 レジスタ構成

割り込みコントローラのレジスタ構成を表 5.2 に示します。

表 5.2 レジスタ構成

アドレス*1	名称	略称	R/W	初期値
H'FFF2	システムコントロールレジスタ	SYSCR	R/W	H'0B
H'FFF4	IRQ センスコントロールレジスタ	ISCR	R/W	H'00
H'FFF5	IRQ イネーブルレジスタ	IER	R/W	H'00
H'FFF6	IRQ ステータスレジスタ	ISR	R/(W)*2	H'00
H'FFF8	インタラプトプライオリティレジスタ A	IPRA	R/W	H'00
H'FFF9	インタラプトプライオリティレジスタ B	IPRB	R/W	H'00

- 【注】 *1 アドレスの下位 16 ビットを示しています。
 *2 フラグをクリアするための 0 ライトのみ可能です。

5.2 各レジスタの説明

5.2.1 システムコントロールレジスタ (SYSCR)

SYSCRは8ビットのリード/ライト可能なレジスタで、ソフトウェアスタンバイモードの制御、CCRのUIビットの動作の選択、NMIの検出エッジの選択、および内蔵RAMの有効/無効の選択を行います。

ここでは、ビット3、2についてのみ説明します。なお、その他のビットの詳細については「3.3 システムコントロールレジスタ (SYSCR)」を参照してください。

SYSCRはリセット、またはハードウェアスタンバイモード時にH'0Bに初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	UE	NMIEG		RAME
初期値:	0	0	0	0	1	0	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W		R/W

RAMイネーブル

リザーブビット

NMIエッジセレクト
NMI端子の入力エッジを
選択するビットです。

ユーザビットイネーブル
CCRのUIビットをユーザビットとして
使用するか、割り込みマスクビットとして使
用するかを選択するビットです。

スタンバイタイムセレクト2~0

ソフトウェアスタンバイ

ビット3：ユーザビットイネーブル（UE）

CCR の UI ビットをユーザビットとして使用するか、割り込みマスクビットとして使用するかを選択します。

ビット3	説明
UE	
0	CCR の UI ビットを割り込みマスクビットとして使用
1	CCR の UI ビットをユーザビットとして使用 (初期値)

ビット2：NMI エッジセレクト（NMIEG）

NMI 端子の入力エッジ選択を行います。

ビット2	説明
NMIEG	
0	NMI 入力の立ち下がりエッジで割り込み要求を発生 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を発生

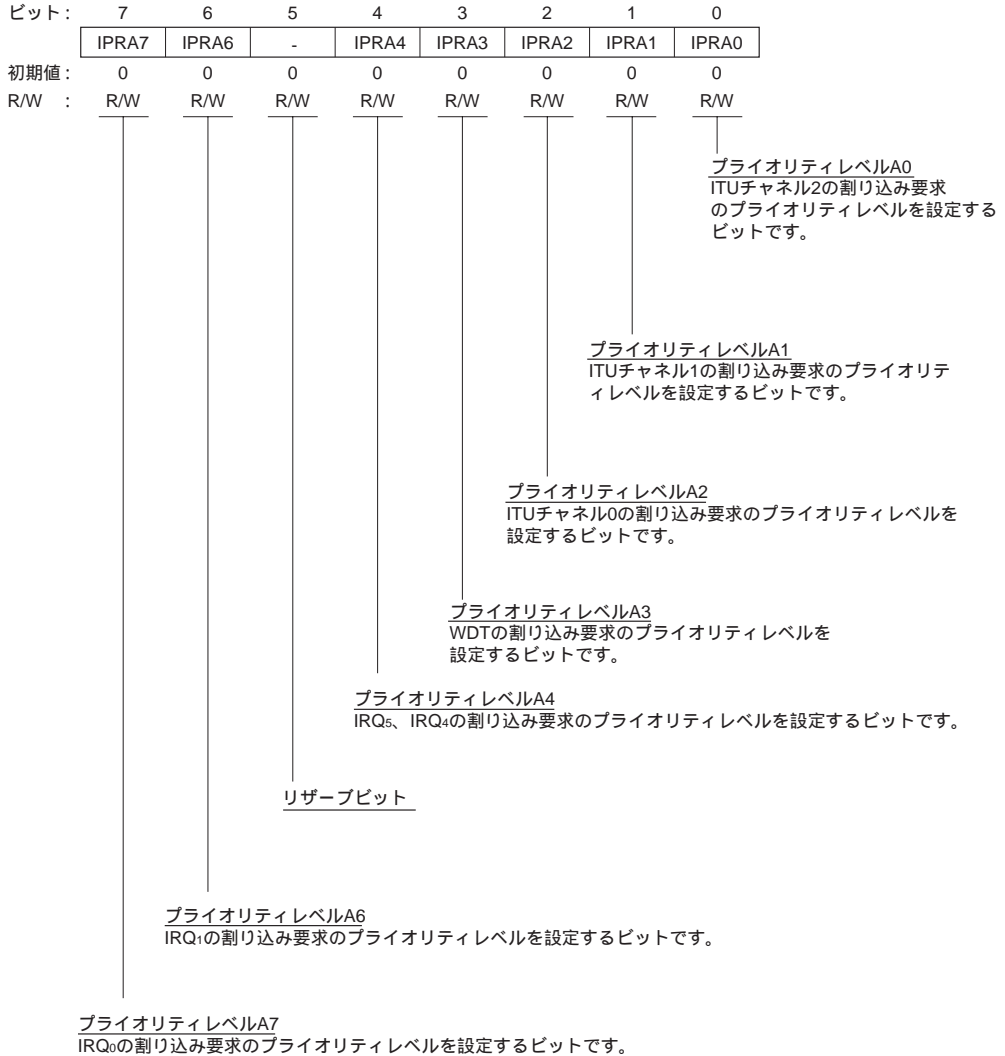
5.2.2 インタラプトプライオリティレジスタ A、B（IPRA、IPRB）

IPRA、IPRB は各々8 ビットのリード/ライト可能なレジスタで割り込みの優先順位を制御します。

5. 割り込みコントローラ

(1) インタラプトプライオリティレジスタ A (IPRA)

IPRA は 8 ビットのリード/ライト可能なレジスタで、プライオリティレベルを設定できます。



IPRA はリセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7: プライオリティレベル A7 (IPRA7)

IRQ₀の割り込み要求のプライオリティレベルを設定します。

ビット 7	説明
IPRA7	
0	IRQ ₀ の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	IRQ ₀ の割り込み要求はプライオリティレベル 1 (優先)

ビット 6 : プライオリティレベル A6 (IPRA6)

IRQ₁の割り込み要求のプライオリティレベルを設定します。

ビット 6	説 明	
IPRA6		
0	IRQ ₁ の割り込み要求はプライオリティレベル 0 (非優先)	(初期値)
1	IRQ ₁ の割り込み要求はプライオリティレベル 1 (優先)	

ビット 5 : リザーブビット

リザーブビットです。リード/ライト可能ですが、優先順位には関係ありません。

ビット 4 : プライオリティレベル A4 (IPRA4)

IRQ₄、IRQ₅の割り込み要求のプライオリティレベルを設定します。

ビット 4	説 明	
IPRA4		
0	IRQ ₄ 、IRQ ₅ の割り込み要求はプライオリティレベル 0 (非優先)	(初期値)
1	IRQ ₄ 、IRQ ₅ の割り込み要求はプライオリティレベル 1 (優先)	

ビット 3 : プライオリティレベル A3 (IPRA3)

WDTの割り込み要求のプライオリティレベルを設定します。

ビット 3	説 明	
IPRA3		
0	WDTの割り込み要求はプライオリティレベル 0 (非優先)	(初期値)
1	WDTの割り込み要求はプライオリティレベル 1 (優先)	

ビット 2 : プライオリティレベル A2 (IPRA2)

ITUチャンネル0の割り込み要求のプライオリティレベルを設定します。

ビット 2	説 明	
IPRA2		
0	ITUチャンネル0の割り込み要求はプライオリティレベル 0 (非優先)	(初期値)
1	ITUチャンネル0の割り込み要求はプライオリティレベル 1 (優先)	

ビット 1 : プライオリティレベル A1 (IPRA1)

ITUチャンネル1の割り込み要求のプライオリティレベルを設定します。

ビット 1	説 明	
IPRA1		
0	ITUチャンネル1の割り込み要求はプライオリティレベル 0 (非優先)	(初期値)
1	ITUチャンネル1の割り込み要求はプライオリティレベル 1 (優先)	

5. 割り込みコントローラ

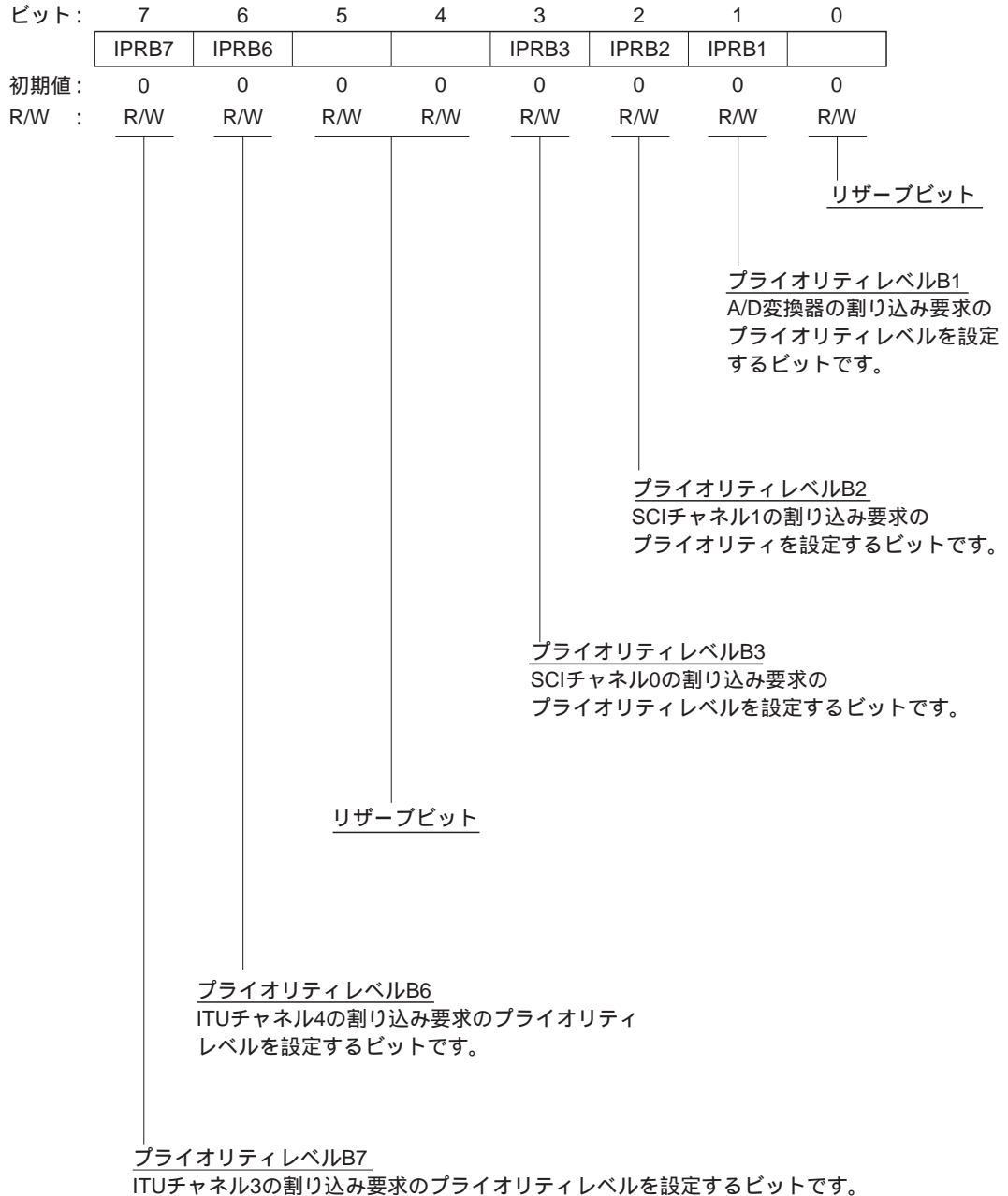
ビット 0 : プライオリティレベル A0 (IPRA0)

ITU チャンネル 2 の割り込み要求のプライオリティレベルを設定します。

ビット 0	説 明
IPRA0	
0	ITU チャンネル 2 の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	ITU チャンネル 2 の割り込み要求はプライオリティレベル 1 (優先)

(2) インタラプトプライオリティレジスタ B (IPRB)

IPRB は 8 ビットのリード/ライト可能なレジスタで、プライオリティレベルを設定できます。



IPRB はリセット、ハードウェアスタンバイモード時に、H'00 に初期化されます。

5. 割り込みコントローラ

ビット7：プライオリティレベル B7 (IPRB7)

ITU チャンネル 3 の割り込み要求のプライオリティレベルを設定します。

ビット 7	説 明
IPRB7	
0	ITU チャンネル 3 の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	ITU チャンネル 3 の割り込み要求はプライオリティレベル 1 (優先)

ビット6：プライオリティレベル B6 (IPRB6)

ITU チャンネル 4 の割り込み要求のプライオリティレベルを設定します。

ビット 6	説 明
IPRB6	
0	ITU チャンネル 4 の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	ITU チャンネル 4 の割り込み要求はプライオリティレベル 1 (優先)

ビット5、4：リザーブビット

リザーブビットです。リード/ライト可能ですが、優先順位には関係ありません。

ビット3：プライオリティレベル B3 (IPRB3)

SCI チャンネル 0 の割り込み要求のプライオリティレベルを設定します。

ビット 3	説 明
IPRB3	
0	SCI チャンネル 0 の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	SCI チャンネル 0 の割り込み要求はプライオリティレベル 1 (優先)

ビット2：プライオリティレベル B2 (IPRB2)

SCI チャンネル 1 の割り込み要求のプライオリティレベルを設定します。

ビット 2	説 明
IPRB2	
0	SCI チャンネル 1 の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	SCI チャンネル 1 の割り込み要求はプライオリティレベル 1 (優先)

ビット1：プライオリティレベル B1 (IPRB1)

A/D 変換器の割り込み要求のプライオリティレベルを設定します。

ビット 1	説 明
IPRB1	
0	A/D 変換器の割り込み要求はプライオリティレベル 0 (非優先) (初期値)
1	A/D 変換器の割り込み要求はプライオリティレベル 1 (優先)

ビット0：リザーブビット

リザーブビットです。リード/ライト可能ですが、優先順位には関係ありません。

5.2.3 IRQ ステータスレジスタ (ISR)

ISR は 8 ビットのリード/ライト可能なレジスタで、IRQ₀、IRQ₁、IRQ₄、IRQ₅ 割り込み要求のステータスの表示を行います。

ビット：	7	6	5	4	3	2	1	0
			IRQ5F	IRQ4F			IRQ1F	IRQ0F
初期値：	0	0	0	0	0	0	0	0
R/W：			R/(W)*	R/(W)*			R/(W)*	R/(W)*
	リザーブビット		IRQ ₅ 、IRQ ₄ フラグ IRQ ₅ 、IRQ ₄ 割り込み要求の ステータスを表示する ビットです。		リザーブビット		IRQ ₁ 、IRQ ₀ フラグ IRQ ₁ 、IRQ ₀ 割り込み要求の ステータスを表示する ビットです。	

【注】 * フラグをクリアするための"0"ライトのみ可能です。

ISR はリセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット7、6、3、2：リザーブビット

リザーブビットです。リードすると常に0が読み出されます。ライトは無効です。

5. 割り込みコントローラ

ビット 5、4、1、0 : IRQ₅、IRQ₄、IRQ₁、IRQ₀ フラグ (IRQ5F、IRQ4F、IRQ1F、IRQ0F)
 IRQ₅、IRQ₄、IRQ₁、IRQ₀ 割り込み要求のステータスの表示を行います。

ビット 5、4、1、0	説明
0	[クリア条件] (初期値) (1) IRQnF = 1 の状態で IRQnF フラグをリードした後、IRQnF フラグに 0 をライトしたとき (2) IRQnSC = 0、 $\overline{\text{IRQ}}_n$ 入力が High レベルの状態 で割り込み例外処理を実行したとき (3) IRQnSC = 1 の状態で IRQn 割り込み例外処理を実行したとき
1	[セット条件] (1) IRQnSC = 0 の状態で $\overline{\text{IRQ}}_n$ 入力が Low レベルになったとき (2) IRQnSC = 1 の状態で $\overline{\text{IRQ}}_n$ 入りに立ち下がりエッジが発生したとき

【注】 n = 5、4、1、0

5.2.4 IRQ イネーブルレジスタ (IER)

IER は 8 ビットのリード/ライト可能なレジスタで、IRQ₀、IRQ₁、IRQ₄、IRQ₅ 割り込み要求の許可/禁止を制御します。

ビット:	7	6	5	4	3	2	1	0
			IRQ5E	IRQ4E			IRQ1E	IRQ0E
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リザーブビット		IRQ ₅ 、IRQ ₄ イネーブル IRQ ₅ 、IRQ ₄ 割り込みを 許可/禁止するかを 選択するビットです。		リザーブビット		IRQ ₁ 、IRQ ₀ イネーブル IRQ ₁ 、IRQ ₀ 割り込みを 許可/禁止するかを 選択するビットです。	

IER はリセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7、6、3、2 : リザーブビット

リザーブビットです。リード/ライト可能ですが割り込み要求の許可/禁止には関係ありません。

ビット 5、4、1、0 : $\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ 、 $\overline{\text{IRQ}}_1$ 、 $\overline{\text{IRQ}}_0$ イネーブル ($\overline{\text{IRQ}}_5\text{E}$ 、 $\overline{\text{IRQ}}_4\text{E}$ 、 $\overline{\text{IRQ}}_1\text{E}$ 、 $\overline{\text{IRQ}}_0\text{E}$)
 $\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ 、 $\overline{\text{IRQ}}_1$ 、 $\overline{\text{IRQ}}_0$ 割り込みを許可 / 禁止するかを選択します。

ビット 5、4、1、0	説明	
0	$\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ 、 $\overline{\text{IRQ}}_1$ 、 $\overline{\text{IRQ}}_0$ 割り込みを禁止	(初期値)
1	$\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ 、 $\overline{\text{IRQ}}_1$ 、 $\overline{\text{IRQ}}_0$ 割り込みを許可	

5.2.5 IRQ センスコントロールレジスタ (ISCR)

ISCR は 8 ビットのリード/ライト可能なレジスタで、 $\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ 、 $\overline{\text{IRQ}}_1$ 、 $\overline{\text{IRQ}}_0$ 端子の入力のレベルセンスまたは立ち下がりエッジを選択します。

ビット:	7	6	5	4	3	2	1	0
			IRQ5SC	IRQ4SC			IRQ1SC	IRQ0SC
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リザーブビット		IRQ5、IRQ4 センスコントロール IRQ5、IRQ4 割り込みのレベルセンス または立ち下がりエッジを選択する ビットです。		リザーブビット		IRQ1、IRQ0 センスコントロール IRQ1、IRQ0 割り込みのレベルセンス または立ち下がりエッジを選択する ビットです。	

ISCR はリセットまたは、ハードウェアスタンバイモード時に、H'00 に初期化されます。

ビット 7、6、3、2 : リザーブビット

リザーブビットです。リード/ライト可能ですが、レベルセンスまたは立ち下がりエッジの選択には関係ありません。

ビット 5、4、1、0 : $\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ 、 $\overline{\text{IRQ}}_1$ 、 $\overline{\text{IRQ}}_0$ センスコントロール
 ($\overline{\text{IRQ}}_5\text{SC}$ 、 $\overline{\text{IRQ}}_4\text{SC}$ 、 $\overline{\text{IRQ}}_1\text{SC}$ 、 $\overline{\text{IRQ}}_0\text{SC}$)

$\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ 、 $\overline{\text{IRQ}}_1$ 、 $\overline{\text{IRQ}}_0$ 割り込みを $\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ 、 $\overline{\text{IRQ}}_1$ 、 $\overline{\text{IRQ}}_0$ 端子のレベルセンスで要求するか、立ち下がりエッジで要求するかを選択します。

ビット 5、4、1、0	説明	
0	$\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ 、 $\overline{\text{IRQ}}_1$ 、 $\overline{\text{IRQ}}_0$ 入力の Low レベルで割り込み要求を発生	(初期値)
1	$\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ 、 $\overline{\text{IRQ}}_1$ 、 $\overline{\text{IRQ}}_0$ 入力の立ち下がりエッジで割り込み要求を発生	

5.3 割り込み要因

割り込み要因には、外部割り込み（NMI、IRQ₅、IRQ₄、IRQ₁、IRQ₀）と内部割り込み（25 要因）があります。

5.3.1 外部割り込み

外部割り込みには、NMI、IRQ₅、IRQ₄、IRQ₁、IRQ₀の5 要因があります。このうち、NMI、IRQ₁～IRQ₀はソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

NMI は最優先の割り込みで、CCR の I ビット、UI ビットの状態にかかわらず常に受け付けられます。NMI 端子の立ち上がりエッジまたは立ち下がりエッジのいずれかで割り込みを要求するか、SYSCR の NMIEG ビットで選択できます。

NMI 割り込み例外処理のベクタ番号は 7 です。

(2) IRQ₅、IRQ₄、IRQ₁、IRQ₀ 割り込み

IRQ₅、IRQ₄、IRQ₁、IRQ₀ 割り込みは \overline{IRQ}_5 、 \overline{IRQ}_4 、 \overline{IRQ}_1 、 \overline{IRQ}_0 端子の入力信号により要求されます。IRQ₅、IRQ₄、IRQ₁、IRQ₀ 割り込みには次の特長があります。

- (1) \overline{IRQ}_5 、 \overline{IRQ}_4 、 \overline{IRQ}_1 、 \overline{IRQ}_0 端子の Low レベルまたは立ち下がりエッジのどちらで割り込みを要求するか、ISCR で選択できます。
- (2) IRQ₅、IRQ₄、IRQ₁、IRQ₀ 割り込み要求を許可するか禁止するかを、IER で選択できます。また、IPRA の IPRA7、IPRA6 および IPRA4 ビットにより割り込みプライオリティレベルを設定できます。
- (3) IRQ₅、IRQ₄、IRQ₁、IRQ₀ 割り込み要求のステータスは、ISR に表示されます。ISR のフラグはソフトウェアで 0 にクリアすることができます。

IRQ₅、IRQ₄、IRQ₁、IRQ₀ 割り込みのブロック図を図 5.2 に示します。

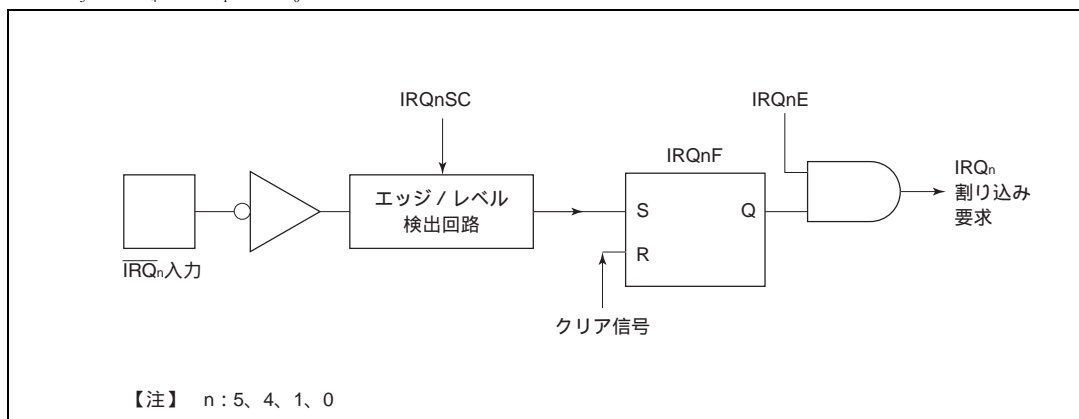


図 5.2 IRQ₅、IRQ₄、IRQ₁、IRQ₀ 割り込みのブロック図

IRQnF のセットタイミングを図 5.3 に示します。

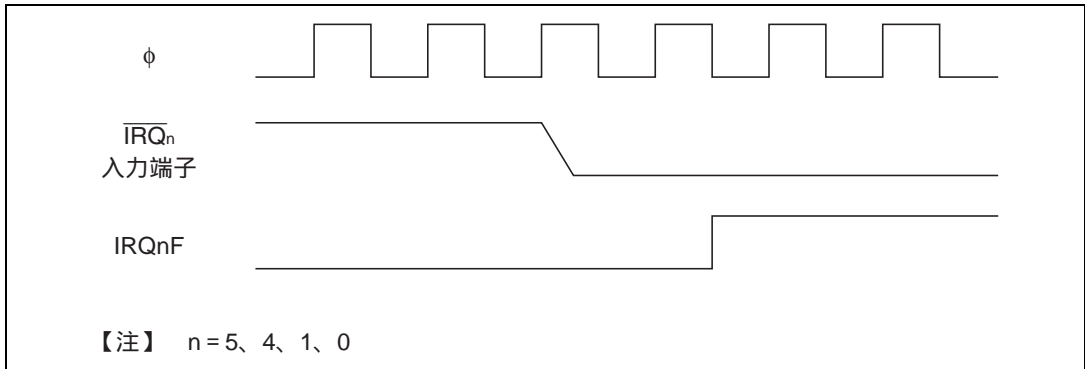


図 5.3 IRQnF セットタイミング

IRQ₅、IRQ₄、IRQ₁、IRQ₀ 割り込み例外処理のベクタ番号は 17、16、13、12 です。

IRQ₅、IRQ₄、IRQ₁、IRQ₀ 割り込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割り込み入力端子として使用する場合は、対応する DDR を 0 にクリアし、SCI の入出力端子としては使用しないでください。

5.3.2 内部割り込み

内蔵周辺モジュールからの割り込みによる内部割り込みは 25 要因あります。

- (1) 各内蔵周辺モジュールには割り込み要求のステータスを表示するフラグと、これらの割り込みを許可するか禁止するかを選択するイネーブルビットがあります。
- (2) IPRA、Bによって割り込みプライオリティレベルを設定できます。

5.3.3 割り込み例外処理ベクタテーブル

表 5.3 に割り込み例外処理要因とベクタアドレスおよび割り込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなりますが、IPRA、IPRB により NMI 以外の割り込みの優先順位を変更することができます。

リセット後の割り込み優先順位は表 5.3 に示されるデフォルトの順位となります。

5. 割り込みコントローラ

表 5.3 割り込み要因とベクタアドレスおよび割り込み優先順位一覧

割り込み要因	要因発送元	ベクタ 番号	ベクタアドレス*		IPR	優先 順位
			ノーマルモード	アドバンスモード		
NMI	外部端子	7	H'000E ~ H'000F	H'001C ~ H'001F		↑ 高
IRQ ₀		12	H'0018 ~ H'0019	H'0030 ~ H'0033	IPRA7	
IRQ ₁		13	H'001A ~ H'001B	H'0034 ~ H'0037	IPRA6	
リザーブ	外部端子	14	H'001C ~ H'001D	H'0038 ~ H'003B		
		15	H'001E ~ H'001F	H'003C ~ H'003F		
IRQ ₄		16	H'0020 ~ H'0021	H'0040 ~ H'0043	IPRA4	
IRQ ₅		17	H'0022 ~ H'0023	H'0044 ~ H'0047		
リザーブ	外部端子	18	H'0024 ~ H'0025	H'0048 ~ H'004B		
		19	H'0026 ~ H'0027	H'004C ~ H'004F		
WOVI (インターバルタイマ)	ウォッチドッグタイマ	20	H'0028 ~ H'0029	H'0050 ~ H'0053	IPRA3	
リザーブ	外部端子	21	H'002A ~ H'002B	H'0054 ~ H'0057		
		22	H'002C ~ H'002D	H'0058 ~ H'005B		
		23	H'002E ~ H'002F	H'005C ~ H'005F		
IMIA0 (コンペアマッチ/インプット キャプチャ A0)	ITU チャンネル 0	24	H'0030 ~ H'0031	H'0060 ~ H'0063	IPRA2	
IMIB0 (コンペアマッチ/インプット キャプチャ B0)		25	H'0032 ~ H'0033	H'0064 ~ H'0067		
OVI0 (オーバフロー-0)		26	H'0034 ~ H'0035	H'0068 ~ H'006B		
リザーブ		27	H'0036 ~ H'0037	H'006C ~ H'006F		
IMIA1 (コンペアマッチ/インプット キャプチャ A1)	ITU チャンネル 1	28	H'0038 ~ H'0039	H'0070 ~ H'0073	IPRA1	
IMIB1 (コンペアマッチ/インプット キャプチャ B1)		29	H'003A ~ H'003B	H'0074 ~ H'0077		
OVI1 (オーバフロー-1)		30	H'003C ~ H'003D	H'0078 ~ H'007B		
リザーブ		31	H'003E ~ H'003F	H'007C ~ H'007F		
IMIA2 (コンペアマッチ/インプット キャプチャ A2)	ITU チャンネル 2	32	H'0040 ~ H'0041	H'0080 ~ H'0083	IPRA0	
IMIB2 (コンペアマッチ/インプット キャプチャ B2)		33	H'0042 ~ H'0043	H'0084 ~ H'0087		
OVI2 (オーバフロー-2)		34	H'0044 ~ H'0045	H'0088 ~ H'008B		
リザーブ		35	H'0046 ~ H'0047	H'008C ~ H'008F		
IMIA3 (コンペアマッチ/インプット キャプチャ A3)	ITU チャンネル 3	36	H'0048 ~ H'0049	H'0090 ~ H'0093	IPRB7	
IMIB3 (コンペアマッチ/インプット キャプチャ B3)		37	H'004A ~ H'004B	H'0094 ~ H'0097		
OVI3 (オーバフロー-3)		38	H'004C ~ H'004D	H'0098 ~ H'009B		
リザーブ		39	H'004E ~ H'004F	H'009C ~ H'009F		

5. 割り込みコントローラ

割り込み要因	要因発送元	ベクタ 番号	ベクタアドレス*		IPR	優先 順位
			ノーマルモード	アドバンストモード		
IMIA4 (コンペアマッチ/インプット キャプチャ A4)	ITU チャンネル 4	40	H'0050 ~ H'0051	H'00A0 ~ H'00A3	IPRB6	↑
IMIB4 (コンペアマッチ/インプット キャプチャ B4)		41	H'0052 ~ H'0053	H'00A4 ~ H'00A7		
OVI4 (オーバフロー4)		42	H'0054 ~ H'0055	H'00A8 ~ H'00AB		
リザーブ		43	H'0056 ~ H'0057	H'00AC ~ H'00AF		
		44	H'0058 ~ H'0059	H'00B0 ~ H'00B3		
		45	H'005A ~ H'005B	H'00B4 ~ H'00B7		
		46	H'005C ~ H'005D	H'00B8 ~ H'00BB		
		47	H'005E ~ H'005F	H'00BC ~ H'00BF		
		48	H'0060 ~ H'0061	H'00C0 ~ H'00C3		
		49	H'0062 ~ H'0063	H'00C4 ~ H'00C7		
		50	H'0064 ~ H'0065	H'00C8 ~ H'00CB		
		51	H'0066 ~ H'0067	H'00CC ~ H'00CF		
ER10 (受信エラー 0) RX10 (受信データフル 0) TX10 (送信データエンプティ 0) TE10 (送信終了 0)	SCI チャンネル0	52	H'0068 ~ H'0069	H'00D0 ~ H'00D3	IPRB3	
		53	H'006A ~ H'006B	H'00D4 ~ H'00D7		
		54	H'006C ~ H'006D	H'00D8 ~ H'00DB		
		55	H'006E ~ H'006F	H'00DC ~ H'00DF		
ER11 (受信エラー1) RX11 (受信データフル1) TX11 (送信データエンプティ1) TE11 (送信終了1)	SCI チャンネル1	56	H'0070 ~ H'0071	H'00E0 ~ H'00E3	IPRB2	
		57	H'0072 ~ H'0073	H'00E4 ~ H'00E7		
		58	H'0074 ~ H'0075	H'00E8 ~ H'00EB		
		59	H'0076 ~ H'0077	H'00EC ~ H'00EF		
ADI (A/D エンド)	A/D	60	H'0078 ~ H'0079	H'00F0 ~ H'00F3	IPRB1	低

【注】 * アドレスの下位 16 ビットを示しています。

5.4 割り込み動作

5.4.1 割り込み動作の流れ

本 LSI では、割り込みの動作は UE ビットの状態によって異なります。UE = 1 のときは I ビットで割り込みの制御が行われます。UE = 0 のときは、I、UI ビットの組み合わせで割り込みの制御が行われます。表 5.4 に UE、I、UI ビットの各組み合わせのときの割り込みの状態を示します。

NMI 割り込みはリセット状態、ハードウェアスタンバイ状態を除き常に受け付けられます。IRQ 割り込みおよび内蔵周辺モジュールの割り込みは、それぞれの割り込みに対応したイネーブルビットがあります。このイネーブルビットを 0 にクリアすると、その割り込み要求は無視されます。

表 5.4 UE、I、UI ビットの組み合わせによる割り込みの状態

SYSCR	CCR		状態
	I	UI	
1	0		すべての割り込みを受け付けます。プライオリティレベル 1 の割り込み要因の優先順位が高くなります。
	1		NMI 以外の割り込みを受け付けません。
0	1	0	すべての割り込みを受け付けます。プライオリティレベル 1 の割り込み要因の優先順位が高くなります。
		1	NMI およびプライオリティレベル 1 の割り込み要因のみを受け付けます。
		1	NMI 以外の割り込みを受け付けません。

(1) UE ビット = 1 の場合

IRQ₀、IRQ₁、IRQ₄、IRQ₅ 割り込みおよび内蔵周辺モジュールの割り込みは CPU の CCR の I ビットにより一括して、許可 / 禁止を設定できます。I ビットが 0 にクリアされているときは許可状態、1 にセットされているときは禁止状態です。プライオリティレベル 1 の割り込み要因の優先順位は高くなります。

この場合の割り込み受け付けの動作フローチャートを図 5.4 に示します。

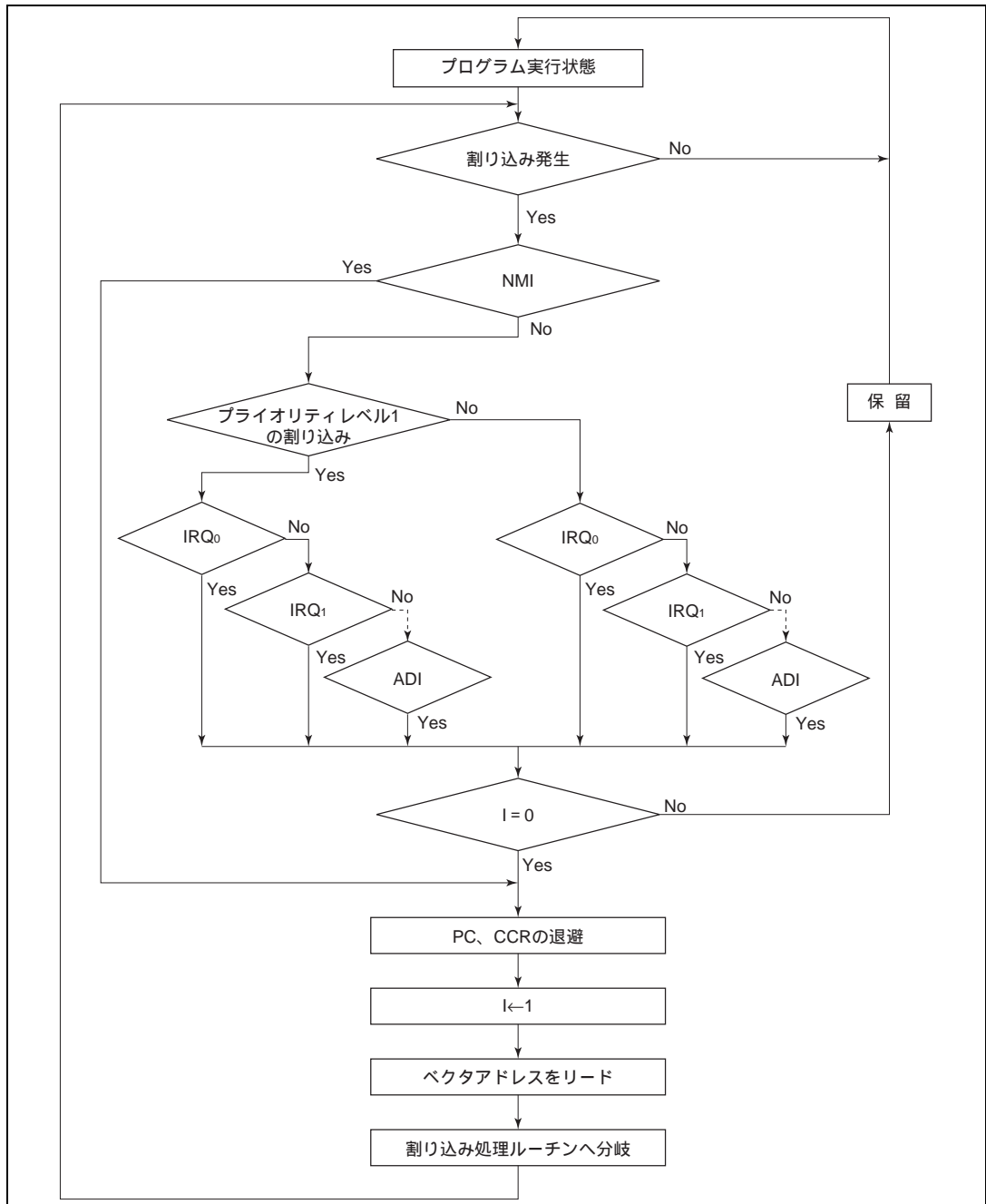


図 5.4 UE = 1 の場合の割り込み受け付けまでのフロー

5. 割り込みコントローラ

- (1) 対応する割り込みイネーブルビットが1にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して、割り込み要求が送られます。
- (2) 割り込みコントローラに対して割り込み要求が送られると、IPRに設定された割り込み優先順位に従って優先順位が最も高い割り込み要求が選択され、その他は保留となります。IPRの設定が同一の割り込み要求が同時に発生したときは、表5.3に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- (3) Iビットを参照します。Iビットが0にクリアされているときは、割り込み要求が受け付けられません。Iビットが1にセットされているときは、NMI割り込みのみ受け付けられ、その他の割り込み要求は保留されます。
- (4) 割り込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- (5) 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- (6) 次にCCRのIビットが1にセットされます。これにより、NMIを除く割り込みはマスクされます。
- (7) 受け付けた割り込み要求に対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

(2) UE ビット=0 の場合

IRQ₀、IRQ₁、IRQ₄、IRQ₅ 割り込みおよび内蔵周辺モジュールの割り込みはCPUのCCRのI、UIビット、IPRによって3レベルの許可/禁止状態を実現できます。

- (a) プライオリティレベル0の割り込み要求は、Iビットが0にクリアされているとき許可状態、1にセットされているとき禁止状態となります。
- (b) プライオリティレベル1の割り込み要求は、IビットまたはUIビットが0にクリアされているとき許可状態、IビットおよびUIビットがいずれも1にセットされているとき禁止状態となります。

例えば、各割り込み要求の対応する割り込みイネーブルビットを1にセット、IPRA、IPRBをそれぞれH'10、H'00に設定した場合（IRQ₄、IRQ₅割り込み要求の優先順位を他の割り込みより高とした場合）、次のようになります。

- (a) I=0のとき、すべての割り込みを許可
(優先順位：NMI > IRQ₄ > IRQ₅ > IRQ₀・・・)
- (b) I=1、UI=0のとき、NMI、IRQ₄、IRQ₅割り込みのみを許可
- (c) I=1、UI=1のとき、NMI以外の割り込みを禁止

また、このときの状態遷移を図5.5に示します。

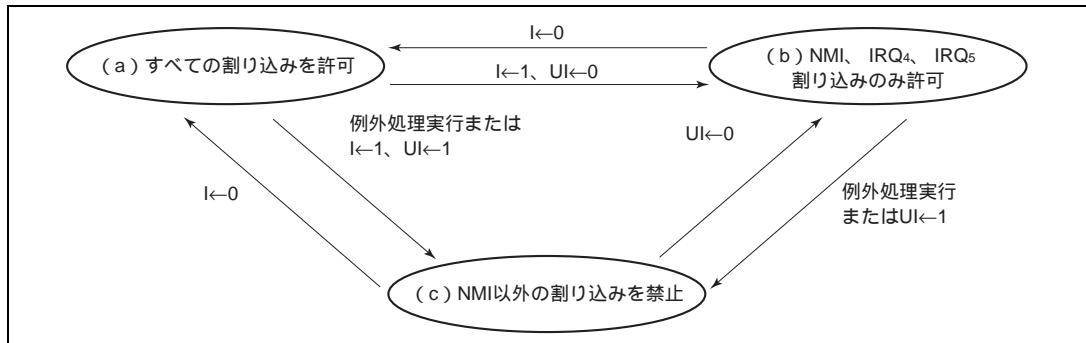


図 5.5 割り込み許可 / 禁止状態の遷移例

UE ビット=0のときの割り込み受け付けの動作フローチャートを図 5.6 に示します。

- (1) 対応する割り込みイネーブルビットが1にセットされている状態で割り込み要因が発生したとき、割り込みコントローラに対して割り込み要求が送られます。
- (2) 割り込みコントローラに対して割り込み要求が送られると、IPRに設定された割り込み優先順位に従って優先順位が最も高い割り込み要求が選択され、その他は保留となります。このとき、IPRの設定が同一の割り込み要求が同時に発生したときは、表5.3に示す優先度に従って、優先順位の最も高い割り込み要求が選択されます。
- (3) Iビットを参照します。Iビットが0にクリアされているときは、IPRに関係なく割り込み要求を受け付けられます。このときはUIビットの影響を受けません。Iビットが1にセットされ、UIビットが0にクリアされているときは、プライオリティレベル1の割り込み要求のみが受け付けられ、プライオリティレベル0の割り込み要求は保留となります。I、UIビットがいずれも1にセットされているときは、割り込み要求は保留となります。
- (4) 割り込み要求を受け付けられると、そのとき実行中の命令の処理が終了した後、割り込み例外処理を起動します。
- (5) 割り込み例外処理によってPCとCCRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- (6) CCRのI、UIビットが1にセットされます。これにより、NMIを除く割り込みはマスクされます。
- (7) 受け付けた割り込み要求に対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割り込み処理ルーチンの実行が開始されます。

5. 割り込みコントローラ

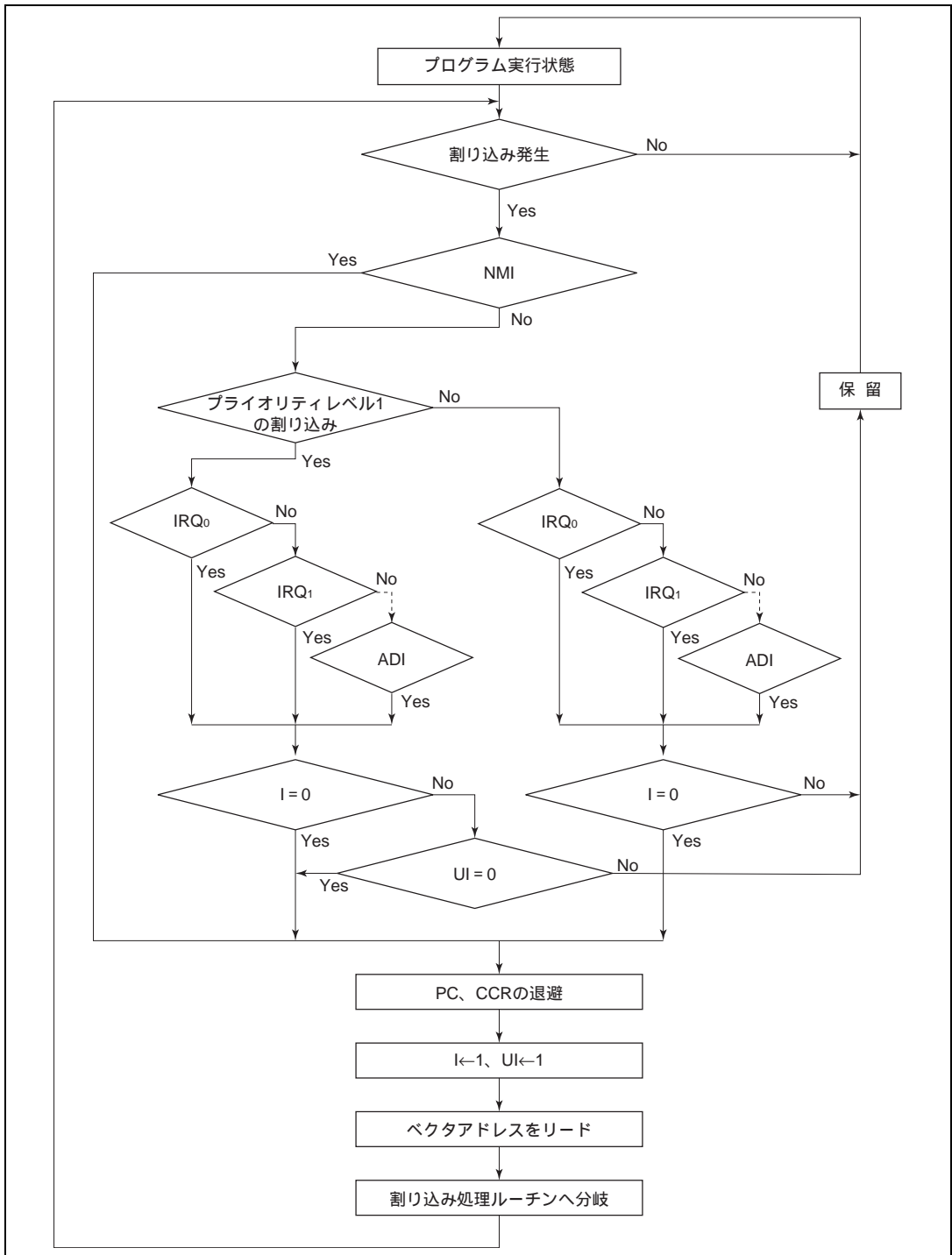


図 5.6 UE = 0 の場合の割り込み受け付けまでのフロー

5.4.2 割り込み例外処理シーケンス

モード5で、プログラム領域とスタック領域を内部メモリにとった場合の割り込みシーケンスを図5.7に示します。

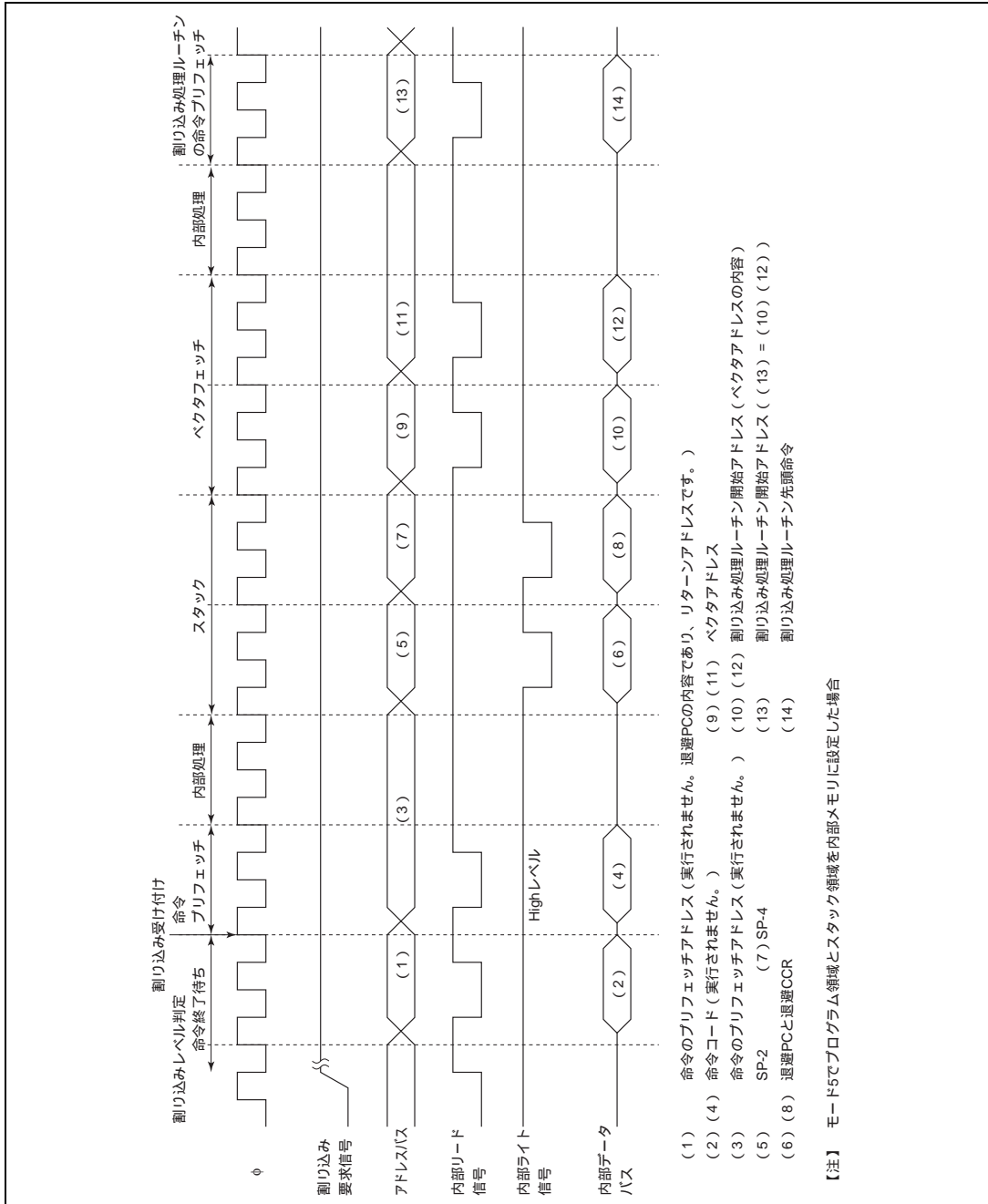


図 5.7 割り込みシーケンス（モード5、スタック内部メモリ）

5. 割り込みコントローラ

5.4.3 割り込み応答時間

割り込み要求発生後、割り込み処理ルーチンの先頭命令を実行するまでの、割り込み応答時間を表 5.5 に示します。

表 5.5 割り込み応答時間

No.	項目	内蔵メモリ	外部メモリ	
			8ビットバス	
			2状態	3状態
1	割り込み優先順位判定		2* ¹	
2	実行中の命令が終了するまでの最大待ち状態数	1~23	1~27	1~31* ⁴
3	PC、CCRのスタック	4	8	12* ⁴
4	ベクタフェッチ	4	8	12* ⁴
5	命令フェッチ* ²	4	8	12* ⁴
6	内部処理* ³	4	4	4
合計		19~41	31~57	43~73

- 【注】 *1 内部割り込みの場合 1 状態となります。
*2 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチ
*3 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理
*4 外部メモリアクセス時にウェイトが挿入される場合には、状態数が増加します。

5.5 使用上の注意

5.5.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットを0にクリアして割り込みを禁止する場合、割り込みの禁止はその命令実行終了後有効になります。すなわち、BCLR 命令、MOV 命令などで割り込みイネーブルビットを0にクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込み許可状態にあるため命令実行終了後にその割り込み例外処理を実行します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを0にクリアする場合も同様です。

ITU の TIER の IMIEA ビットを0にクリアする場合の例を図 5.8 に示します。

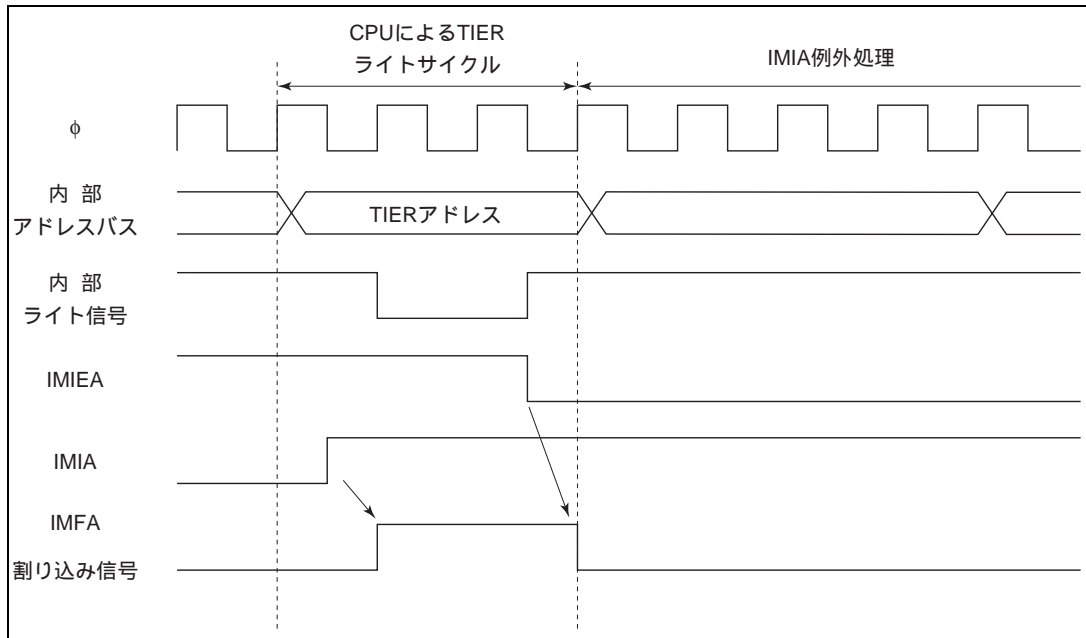


図 5.8 割り込みの発生とディスエーブルの競合

なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを0にクリアすれば、上記の競合は発生しません。

5.5.2 割り込みの受け付けを禁止している命令

割り込みを禁止している命令には、LDC、ANDC、ORC、XORC 命令があります。

割り込み要求が発生すると、割り込みコントローラが優先順位を判定した後、CPU に対して割り込みを要求します。そのとき、CPU が割り込みを禁止している命令を実行している場合は、その命令の実行を終了した後、必ず次の命令を実行します。

5.5.3 EEPMOV 命令実行中の割り込み

EEPMOV 命令は、EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令は、転送中に NMI を含めた割り込み要求があっても転送終了まで割り込みを受け付けません。

EEPMOV.W 命令のときは、転送中に NMI 以外の割り込み要求があっても転送終了まで割り込みを受け付けません。NMI 割り込み要求の場合は、転送サイクルの切れ目で NMI 例外処理が開始されます。このときスタックされる PC の値は次命令のアドレスとなります。

このため、EEPMOV.W 命令実行中に NMI 割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:EEPMOV.W
MOV.W R4,R4
BNE L1
```

5.5.4 外部割り込み使用上の注意

IRQnF フラグは、IRQnF=1 の状態で IRQnF フラグをリードした後、IRQnF フラグに 0 をライトしたとき、クリアされる仕様になっています。しかしながら、IRQnF=1 の状態をリードしていないにもかかわらず、IRQnF フラグに 0 をライトしただけで、誤って IRQnF フラグがクリアされ、割り込み例外処理が実行されない場合があります。

これは、以下のような条件が満たされたとき起こります。

(1) 設定条件

- (1) 複数の外部割り込み (IRQa、IRQb) を使用している。
- (2) IRQaF フラグは 0 ライトによるクリア、IRQbF フラグはハードウェアによるクリアと異なったクリア方法を用いている。
- (3) IRQaF フラグのクリアに、IRQ ステータスレジスタ (ISR) に対するビット操作命令を使用し、もしくは ISR をバイト単位でリードし、IRQaF フラグのビットをクリアし、その他のビットはリードした値をバイト単位でライトしている。

(2) 発生条件

- (1) IRQaF=1 の状態で IRQaF フラグをクリアするための ISR レジスタのリードが実行され、その後、割り込み例外処理の発生により、IRQbF フラグがクリアされた。
- (2) IRQaF フラグのクリアと IRQb の発生 (IRQaF のフラグセット) が競合したとき。(IRQaF フラグをクリアするための ISR をリードしたときには、IRQbF=0 であったが、ISR にライトするまでの期間に IRQbF=1 となってしまった状態)

上記の設定条件 (1) ~ (3) と発生条件 (1)、(2) がすべて成立した場合、発生条件 (2) の ISR のライト時に IRQbF は誤ってクリアされ、割り込み例外処理は実行されません。ただし、発生条件 (1)、(2) の間に一度でも IRQbF フラグに 0 をライトすると、IRQbF フラグが誤ってクリアされることはありません。

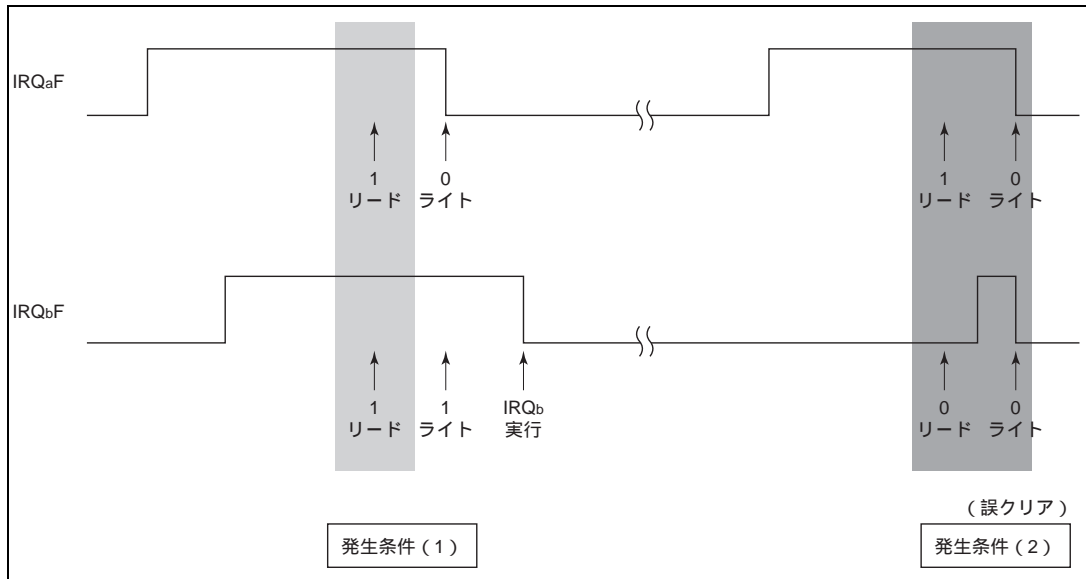


図 5.9 割り込み例外処理が実行されない場合の IRQnF フラグ

このような場合には、以下の対策 1 または 2 を行い、対処してください。

対策 1

IRQaF フラグをクリアするには、ビット演算命令を使用せず、ISR をバイト単位でリードし、IRQaF フラグだけを 0、その他のビットは 1 となる値をバイト単位で書き込んでください。

< 例 : a=0 の場合 >

```
MOV.B @ISR, ROL
MOV.B #HFE, ROL
MOV.B ROL, @ISR
```

対策 2

IRQb 割り込み例外処理の中で、IRQbF フラグをクリアするダミー処理を行ってください。

< 例 : b=1 の場合 >

```
IRQB MOV.B #HFD,ROL
MOV.B ROL, @ISR
.
.
.
```


6. バスコントローラ

6.1 概要

本 LSI はバスコントローラを内蔵しており、外部アドレス空間を 8 つのエリアに分割し、エリアごとにバス仕様を設定し、バス制御を行います。これにより、複数のメモリを容易に接続することができます。

6.1.1 特長

バスコントローラの特長を次に示します。

外部アドレス空間をエリア 0~7 に分割し、エリアごとに独立して設定可能

- 1M バイトモードでは 128K バイトごとにエリアを設定
- 16M バイトモードでは 2M バイトごとにエリアを設定
- 2 ステートアクセス空間 / 3 ステートアクセス空間の選択可能

4 種類のウェイトモード

- プログラマブルウェイトモード、端子オートウェイトモード、端子ウェイトモード 0、1 を選択可能
- 0~3 ステートのウェイトステートを自動的に挿入可能

6.1.2 ブロック図

バスコントローラのブロック図を図 6.1 に示します。

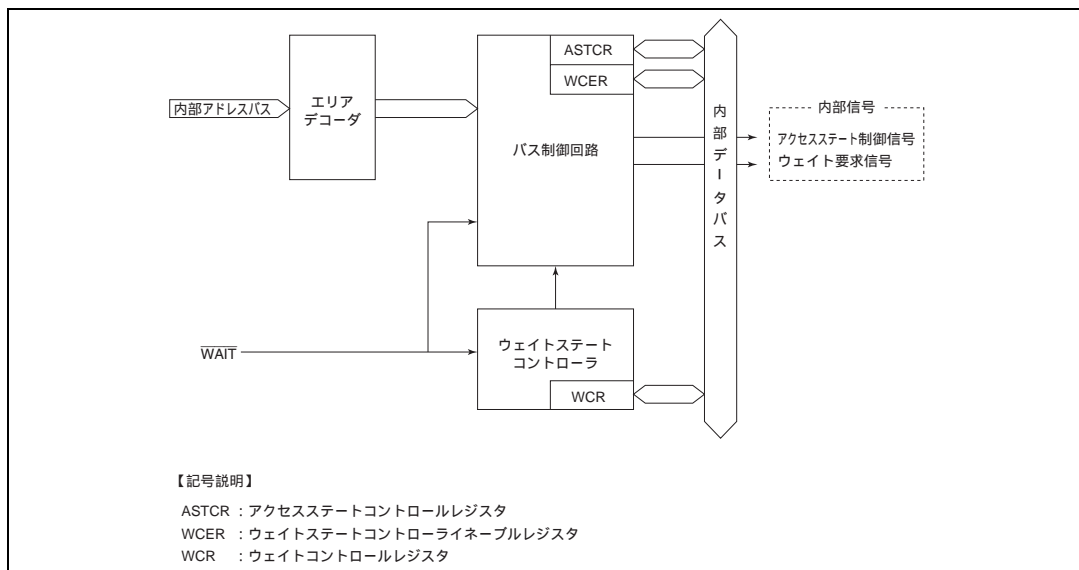


図 6.1 バスコントローラのブロック図

6. バスコントローラ

6.1.3 端子構成

バスコントローラの入出力端子を表 6.1 に示します。

表 6.1 端子構成

名称	略称	入出力	機能
アドレスストロープ	\overline{AS}	出力	アドレスバス上のアドレス出力が有効であることを示すストロープ信号
リード	\overline{RD}	出力	外部アドレス空間をリードしていることを示すストロープ信号
ライト	\overline{WR}	出力	外部アドレス空間をライトし、データバス ($D_7 \sim D_0$) が有効であることを示すストロープ信号
ウェイト	\overline{WAIT}	入力	外部 3 ステートアクセス空間をアクセスするときのウェイト要求信号

6.1.4 レジスタ構成

バスコントローラのレジスタ構成を表 6.2 に示します。

表 6.2 レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFED	アクセスステートコントロールレジスタ	ASTCR	R/W	H'FF
H'FFEE	ウェイトコントロールレジスタ	WCR	R/W	H'F3
H'FFEF	ウェイトステートコントローライネーブルレジスタ	WCER	R/W	H'FF
H'FFF3	アドレスコントロールレジスタ	ADRCR	R/W	H'FE

【注】 * アドレスは下位 16 ビットを示しています。

6.2 各レジスタの説明

6.2.1 アクセスステートコントロールレジスタ (ASTCR)

ASTCR は 8 ビットのリード/ライト可能なレジスタで、各エリアを 2 ステートアクセス空間または 3 ステートアクセス空間のいずれかに設定します。

ビット:	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各エリアのアクセスステート数を選択するビットです。

ASTCR はリセット、またはハードウェアスタンバイモード時に、H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7~0 : エリア 7~0 アクセスステートコントロール (AST7~AST0)

対応するエリアを 2 ステートアクセス空間とするか 3 ステートアクセス空間とするかを選択します。

ビット 7~0	説明
AST7~AST0	
0	エリア 7~0 を 2 ステートアクセス空間に設定
1	エリア 7~0 を 3 ステートアクセス空間に設定 (初期値)

ASTCR は、外部メモリ空間のアクセスステート数を設定します。内蔵メモリ、内部 I/O レジスタに対するアクセスステート数は ASTCR の設定値にかかわらず固定です。したがって、シングルチップモード (モード 7) では設定値に意味はありません。

6. バスコントローラ

6.2.2 ウェイトコントロールレジスタ (WCR)

WCR は 8 ビットのリード/ライト可能なレジスタで、ウェイトステートコントローラ (WSC) のウェイトモードとウェイトステート数を設定します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	WMS1	WMS0	WC1	WC0
初期値:	1	1	1	1	0	0	1	1
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

ウェイトモードセレクト1、0
ウェイトモードを設定するビットです。

ウェイトカウント1、0
挿入するウェイトステート数を
設定するビットです。

WCR はリセット、またはハードウェアスタンバイモード時に HF3 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット 7~4 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 3、2 : ウェイトモードセレクト 1、0 (WMS1、WMS0)

ウェイトモードを設定します。

ビット 3	ビット 2	説 明
WMS1	WMS0	
0	0	プログラマブルウェイトモード (初期値)
0	1	ウェイトステートコントローラによるウェイトを禁止
1	0	端子ウェイトモード 1
1	1	端子オートウェイトモード

ビット 1、0 : ウェイトカウント 1、0 (WC1、WC0)

外部 3 ステートアクセス空間をアクセスするときに、挿入するウェイトステート数を設定します。

ビット 1	ビット 0	説 明
WC1	WC0	
0	0	WSC によるウェイトを禁止
0	1	1 ステート挿入
1	0	2 ステート挿入
1	1	3 ステート挿入 (初期値)

6.2.3 ウェイトステートコントローライネーブルレジスタ (WCER)

WCER は 8 ビットのリード/ライト可能なレジスタで、外部 3 ステートアクセス空間について、WSC の動作を許可/禁止します。

ビット:	7	6	5	4	3	2	1	0
	WCE7	WCE6	WCE5	WCE4	WCE3	WCE2	WCE1	WCE0
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ウェイトステートコントローライネーブル7~0
WSCの動作を許可/禁止するビットです。

WCER はリセット、またはハードウェアスタンバイモード時に H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット7~0: ウェイトステートコントローライネーブル7~0 (WCE7~WCE0)

外部 3 ステートアクセス空間について、WSC の動作を許可/禁止します。

ビット7~0	説明
WCE7~WCE0	
0	WSC の動作を禁止 (端子ウェイトモード 0)
1	WSC の動作を許可 (初期値)

WCER は、外部 3 ステートアクセス空間について WSC の動作を許可/禁止します。したがって、シングルチップモード (モード 7) では、設定値に意味はありません。

6.2.4 アドレスコントロールレジスタ (ADRCR)

ADRCR は 8 ビットのリード/ライト可能なレジスタで、アドレスバス ($A_{23} \sim A_{21}$) 出力を選択します。

ビット:	7	6	5	4	3	2	1	0
	A ₂₃ E	A ₂₂ E	A ₂₁ E					
モード1,5,6,7	初期値:	1	1	1	1	1	1	0
	R/W :							R/W
モード3	初期値:	1	1	1	1	1	1	0
	R/W :	R/W	R/W	R/W				R/W

アドレス23~21イネーブル
PA₆~PA₄をアドレス出力端子
A₂₃~A₂₁として使用するた
めのビットです。

リザーブビット

ADRCR はリセット、またはハードウェアスタンバイモード時に H'FE に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

6. バスコントローラ

ビット7：アドレス 23 イネーブル ($A_{23}E$)

PA_4 をアドレス出力端子 A_{23} として使用するためのビットです。0 をライトすると PA_4 はアドレス出力 A_{23} となります。モード 3、6 以外ではこのビットはライトできず、 PA_4 は通常のポート機能となります。

ビット7	
$A_{23}E$	説 明
0	PA_4 はアドレス出力端子 A_{23}
1	PA_4 は $PA_4/TP_4/TIOCA_1$ 入出力端子 (初期値)

ビット6：アドレス 22 イネーブル ($A_{22}E$)

PA_5 をアドレス出力端子 A_{22} として使用するためのビットです。0 をライトすると PA_5 はアドレス出力 A_{22} となります。モード 3、6 以外ではこのビットはライトできず、 PA_5 は通常のポート機能となります。

ビット6	
$A_{22}E$	説 明
0	PA_5 はアドレス出力端子 A_{22}
1	PA_5 は $PA_5/TP_5/TIOCB_1$ 入出力端子 (初期値)

ビット5：アドレス 21 イネーブル ($A_{21}E$)

PA_6 をアドレス出力端子 A_{21} として使用するためのビットです。0 をライトすると PA_6 はアドレス出力 A_{21} となります。モード 3、6 以外ではこのビットはライトできず、 PA_6 は通常のポート機能となります。

ビット5	
$A_{21}E$	説 明
0	PA_6 はアドレス出力端子 A_{21}
1	PA_6 は $PA_6/TP_6/TIOCA_2$ 入出力端子 (初期値)

ビット4~0：リザーブビット

リザーブビットです。

6.3 動作説明

6.3.1 エリア分割

外部アドレス空間は、1M バイトモードのとき 128K バイト、16M バイトモードのとき 2M バイトごとのエリア 0~7 に分割されています。メモリマップの概要を図 6.2 に示します。

H'00000	エリア0 (128K/バイト)	H'000000	エリア0 (2M/バイト)	H'000000	内蔵ROM*1	H'000000	内蔵ROM*1
H'1FFFF	-----	H'1FFFFFF	-----	H'1FFFFF	エリア0 (128K/バイト)	H'1FFFFFF	エリア0 (2M/バイト)
H'20000	エリア1 (128K/バイト)	H'2000000	エリア1 (2M/バイト)	H'200000	エリア1 (128K/バイト)	H'2000000	エリア1 (2M/バイト)
H'3FFFF	-----	H'3FFFFFF	-----	H'3FFFFF	-----	H'3FFFFFF	-----
H'40000	エリア2 (128K/バイト)	H'4000000	エリア2 (2M/バイト)	H'400000	エリア2 (128K/バイト)	H'4000000	エリア2 (2M/バイト)
H'5FFFF	-----	H'5FFFFFF	-----	H'5FFFFF	-----	H'5FFFFFF	-----
H'60000	エリア3 (128K/バイト)	H'6000000	エリア3 (2M/バイト)	H'600000	エリア3 (128K/バイト)	H'6000000	エリア3 (2M/バイト)
H'7FFFF	-----	H'7FFFFFF	-----	H'7FFFFF	-----	H'7FFFFFF	-----
H'80000	エリア4 (128K/バイト)	H'8000000	エリア4 (2M/バイト)	H'800000	エリア4 (128K/バイト)	H'8000000	エリア4 (2M/バイト)
H'9FFFF	-----	H'9FFFFFF	-----	H'9FFFFF	-----	H'9FFFFFF	-----
H'A0000	エリア5 (128K/バイト)	H'A000000	エリア5 (2M/バイト)	H'A00000	エリア5 (128K/バイト)	H'A000000	エリア5 (2M/バイト)
H'BFFFF	-----	H'BFFFFFF	-----	H'BFFFFF	-----	H'BFFFFFF	-----
H'C0000	エリア6 (128K/バイト)	H'C000000	エリア6 (2M/バイト)	H'C00000	エリア6 (128K/バイト)	H'C000000	エリア6 (2M/バイト)
H'DFFFF	-----	H'DFFFFFF	-----	H'DFFFFF	-----	H'DFFFFFF	-----
H'E0000	エリア7 (128K/バイト)	H'E000000	エリア7 (2M/バイト)	H'E00000	エリア7 (128K/バイト)	H'E000000	エリア7 (2M/バイト)
	内蔵RAM*1、*2		内蔵RAM*1、*2		内蔵RAM*1、*2		内蔵RAM*1、*2
	外部アドレス空間*3		外部アドレス空間*3		外部アドレス空間*3		外部アドレス空間*3
H'FFFFFF	内部I/Oレジスタ*1	H'FFFFFF	内部I/Oレジスタ*1	H'FFFFFF	内部I/Oレジスタ*1	H'FFFFFF	内部I/Oレジスタ*1
(a) 内蔵ROM無効 1Mバイトモード (モード1)		(b) 内蔵ROM無効 16Mバイトモード (モード3)		(c) 内蔵ROM有効 1Mバイトモード (モード5)		(d) 16Mバイトモード (モード6)	
<p>【注】 モード7には、エリア分割はありません。</p> <p>*1 内蔵ROM、内蔵RAM、内部I/Oレジスタのアクセスステータスは固定です。</p> <p>*2 SYSCRのRAMEビットを0にクリアするとエリア7の指定に従います。</p> <p>*3 外部アドレス空間は、エリア7の指定に従います。</p>							

図 6.2 各動作モードにおけるアクセスエリアマップ

6. バスコントローラ

各エリアのバス仕様は、ASTCR、WCER、WCR で指定されます。
各エリアのバス仕様を表 6.3 に示します。

表 6.3 各エリアのバス仕様

ASTCR	WCER	WCR		バス仕様				
		ASTn	WCEn	WMS1	WMS0	バス幅	アクセス ステート	ウェイトモード
0						8	2	禁止
1	0					8	3	端子ウェイトモード 0
1	1	0	0			8	3	プログラマブルウェイトモード
		0	1			8	3	禁止
		1	0			8	3	端子ウェイトモード 1
		1	1			8	3	端子オートウェイトモード

【注】 n=0~7

6.3.2 バス制御信号タイミング

(1) 8 ビット 3 ステートアクセス空間

図 6.3 に 8 ビット 3 ステートアクセス空間のバス制御信号タイミングを示します。
ウェイトステートを挿入することができます。

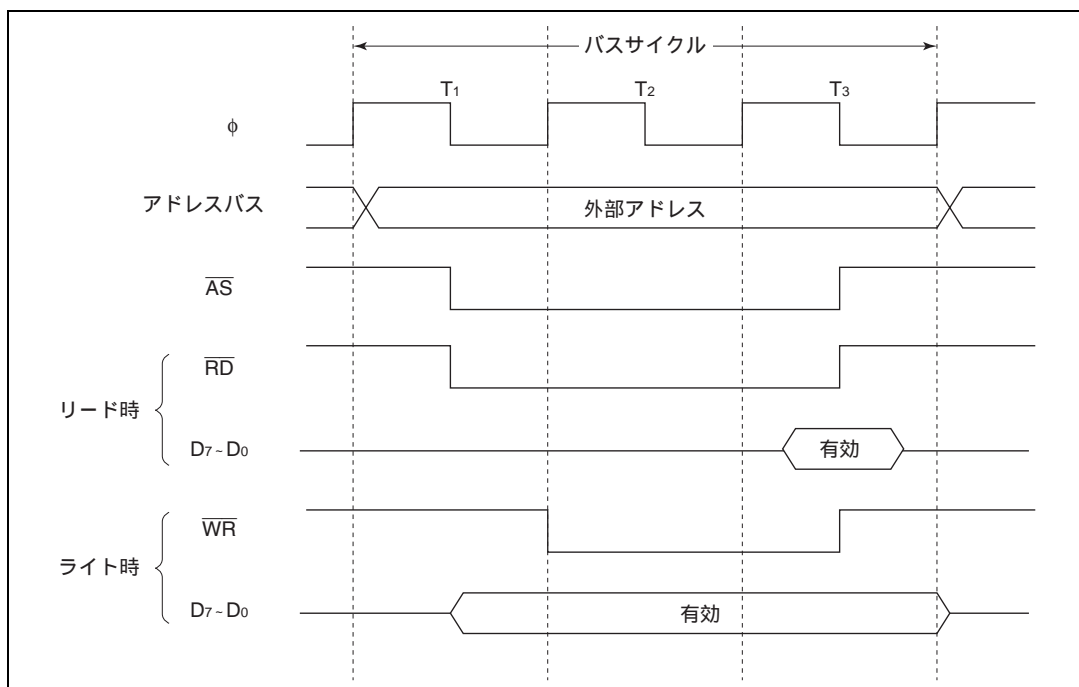


図 6.3 8 ビット 3 ステートアクセス空間のバス制御信号タイミング

(2) 8ビット2ステートアクセス空間

図6.4に8ビット2ステート空間のバス制御信号タイミングを示します。
ウェイトステートを挿入することはできません。

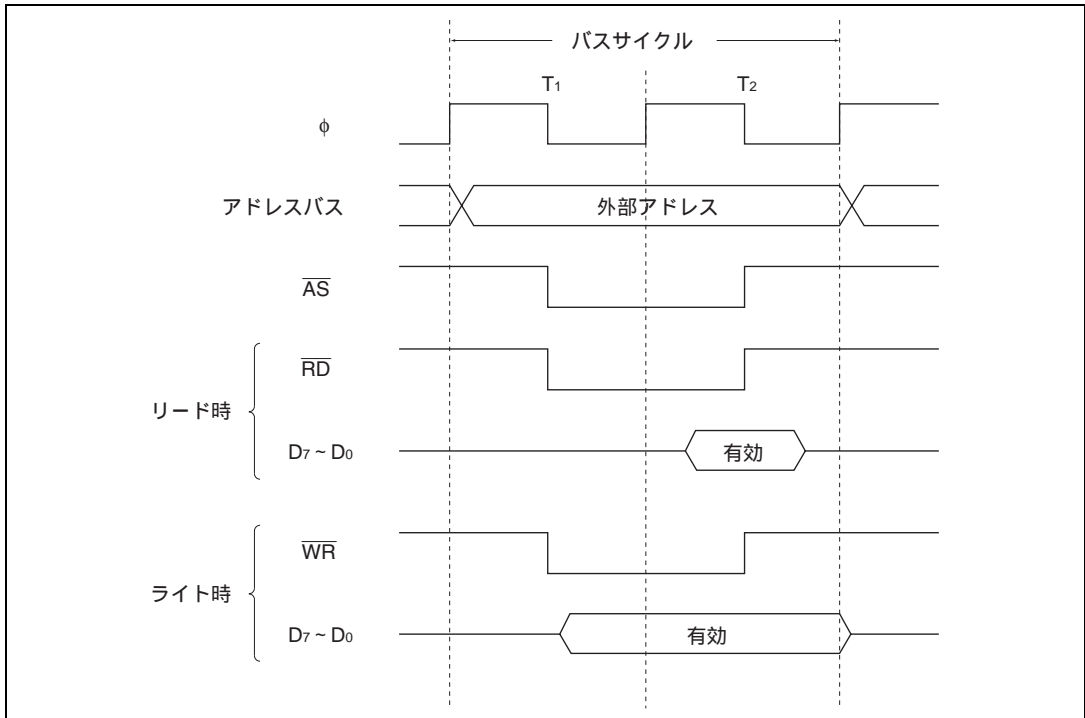


図 6.4 8ビット2ステートアクセス空間のバス制御信号タイミング

6.3.3 ウェイトモード

ウェイトモードには、4種類のモードがありエリアごとに選択できます。ウェイトモードの選択方法を表 6.4 に示します。

表 6.4 ウェイトモードの選択

ASTCR	WCER	WCR		WSC 動作	ウェイトモード
ASTn ビット	WCEn ビット	WMS1 ビット	WMS0 ビット		
0				禁止	ウェイト禁止
1	0			禁止	端子ウェイトモード 0
1	1	0	0	許可	プログラマブルウェイトモード
		0	1	許可	ウェイト禁止
		1	0	許可	端子ウェイトモード 1
		1	1	許可	端子オートウェイトモード

【注】 n=0~7

ASTn、WCEn ビットは、エリアごとに独立して選択可能です。WMS1、WMS0 ビットは各エリアに共通です。したがって、WSC の動作を許可したエリアの動作は同一になります。

(1) 端子ウェイトモード 0

端子ウェイトモード 0 では、WSC の動作が禁止され、 $\overline{\text{WAIT}}$ 端子によるウェイトステートのみが挿入されます。外部 3 ステートアクセス空間をアクセスするとき、 T_2 ステート ϕ の立ち下りのタイミングで $\overline{\text{WAIT}}$ 端子が Low レベルであると、 T_w ステートが挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると $\overline{\text{WAIT}}$ 端子が High レベルに立ち上がるまで T_w が挿入されます。

このタイミングを図 6.5 に示します。

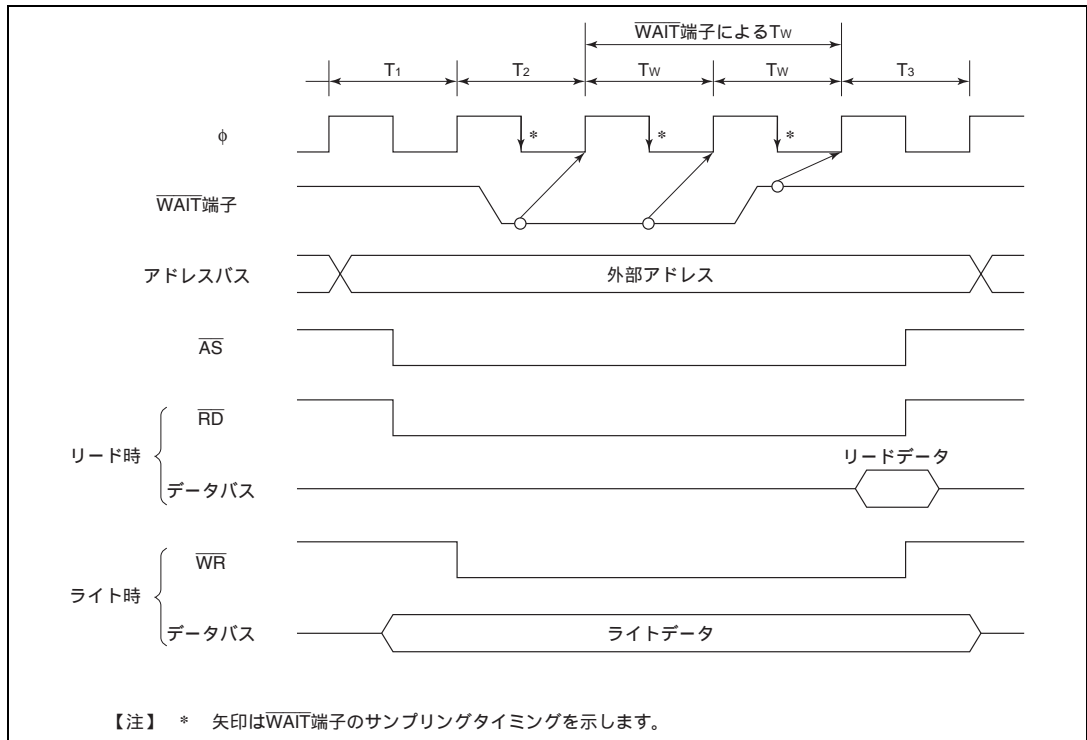


図 6.5 端子ウェイトモード 0

6. バスコントローラ

(2) 端子ウェイトモード 1

端子ウェイトモード 1 では、外部 3 ステートアクセス空間をアクセスすると、常に WC1、WC0 ビットにより設定されたステート数だけ T_w が挿入されます。この最後の T_w の ϕ の立ち下がりのタイミングで $\overline{\text{WAIT}}$ 端子を Low レベルにすることで、さらに T_w を挿入することができます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルに立ち上がるまで T_w が挿入されます。

端子ウェイトモード 1 は、4 ステート以上の T_w を挿入する場合や、外部デバイスごとに挿入すると T_w 数を変える場合などに有効です。

ウェイトカウントが 0 の場合は、端子ウェイトモード 0 と同様の動作になります。

ウェイトカウントが 1 (WC1=0、WC0=1) で、かつ $\overline{\text{WAIT}}$ 端子入力による T_w が 1 ステートの場合のタイミングを図 6.6 に示します。

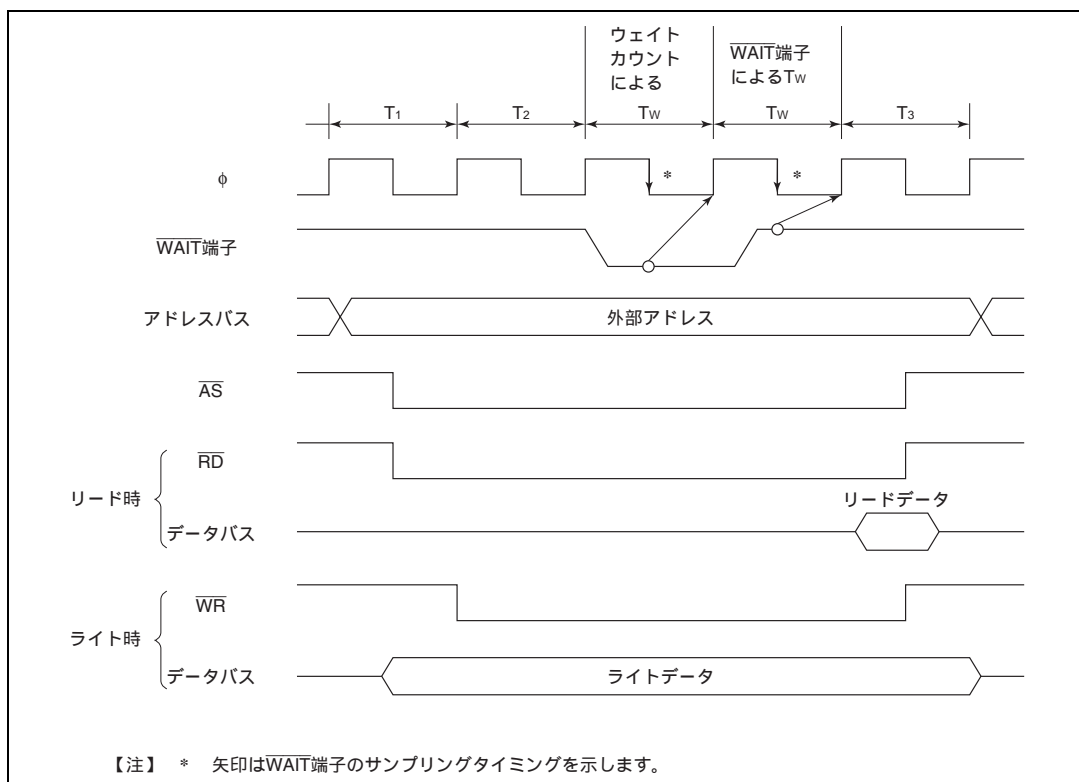


図 6.6 端子ウェイトモード 1

(3) 端子オートウェイトモード

端子オートウェイトモードでは、 $\overline{\text{WAIT}}$ 端子が Low レベルのとき、WC1、WC0 ビットで設定された T_w 数が挿入されます。

端子オートウェイトモードでは、 T_2 ステートの ϕ の立ち下がりのタイミングで $\overline{\text{WAIT}}$ 端子が Low レベルであれば WC1、WC0 ビットによって設定された数だけ T_w を挿入します。

$\overline{\text{WAIT}}$ 端子を Low レベルに保持しても、設定された数を超える T_w は挿入されません。このタイミングを図 6.7 に示します。図 6.7 は、ウェイトカウントが 1 の場合です。

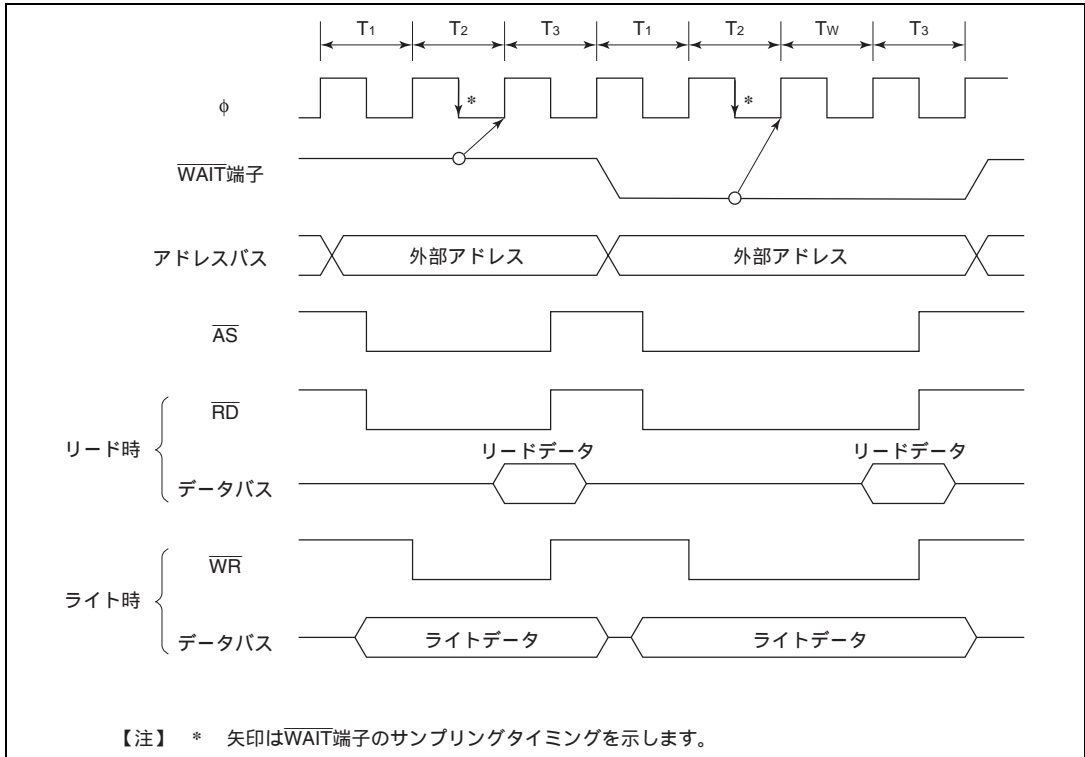


図 6.7 端子オートウェイトモード

6. バスコントローラ

(4) プログラマブルウェイトモード

プログラマブルウェイトモードでは、外部 3 ステートアクセス空間をアクセスすると、常に WC1、WC0 ビットにより設定されたステート数だけ T_w が挿入されます。

このタイミングを図 6.8 に示します。図 6.8 は、ウェイトカウントが 1 の場合 ($WC1=0$ 、 $WC0=1$) です。

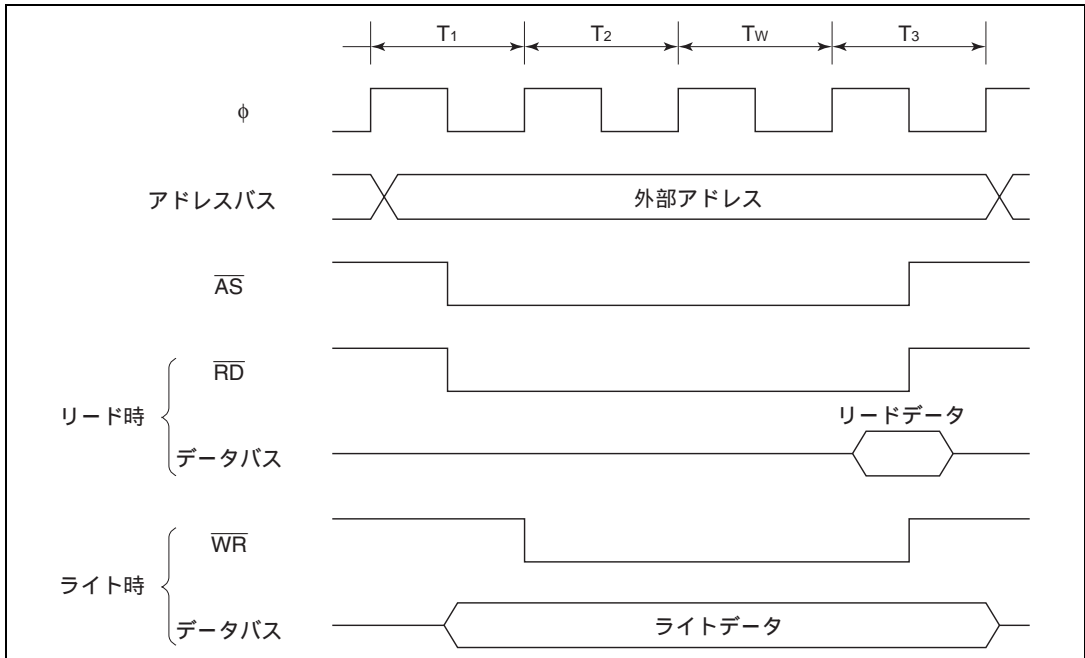


図 6.8 プログラマブルウェイトモード

(5) WSC の設定例

リセット後の WCER、ASTCR は、いずれも H'FF、WCR は H'F3 となっています。このため全エリアともプログラマブルウェイトモードの3ステート挿入となります。

その後、ソフトウェアにより、ASTCR、WCER、WCR を設定し、エリアごとのウェイトモードを選択してください。

ウェイトモードの設定例を図 6.9 に示します。

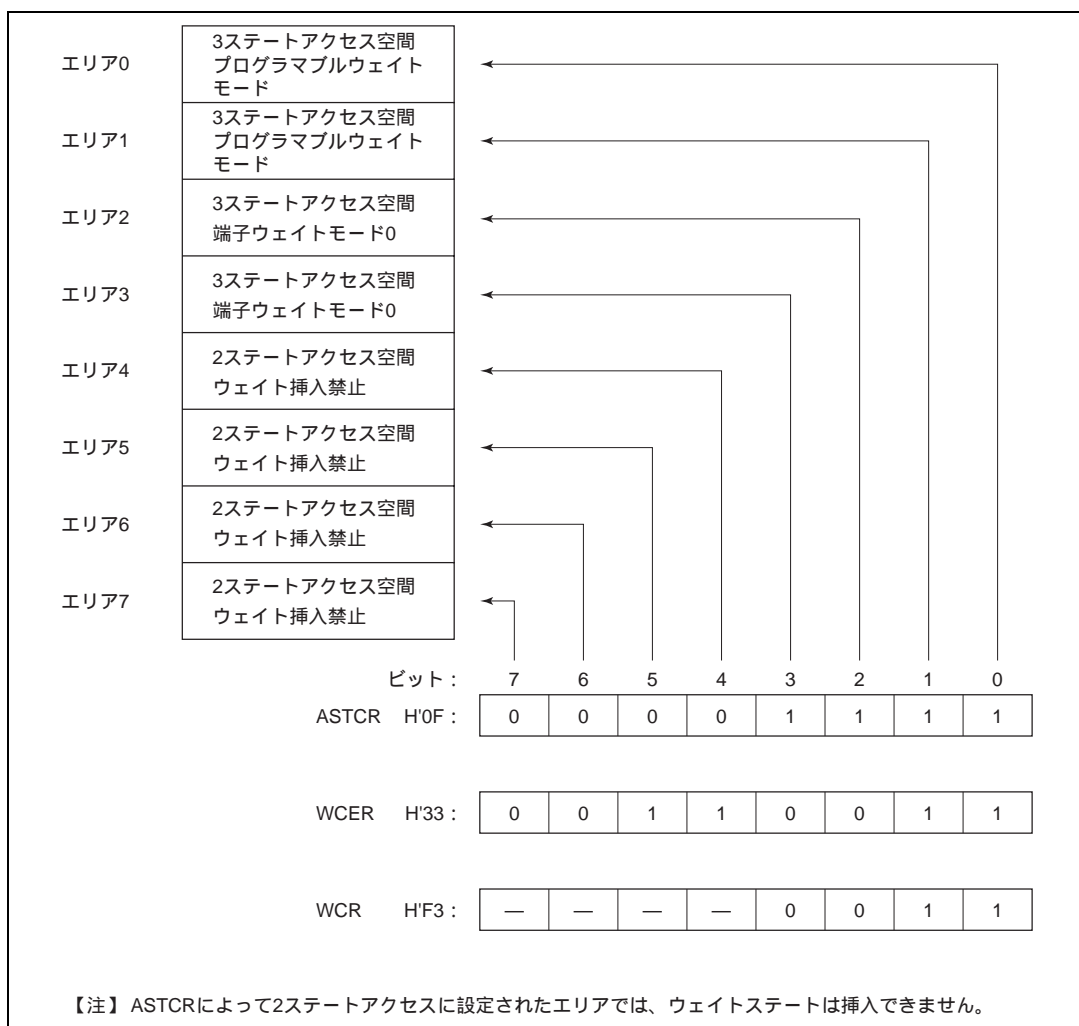


図 6.9 ウェイトモードの設定例

6.3.4 メモリとの接続例

バスコントローラは、各エリアごとに、アクセスステート数を2ステートアクセス空間または3ステートアクセス空間のいずれかに設定することができます。3ステートアクセス空間に対しては多種のウェイト挿入が可能ですので高速性が要求されるデバイスと低速デバイスを容易に接続することが可能です。メモリマップ例を図6.10に示します。

エリア2に32Kワード×8ビットのEPROMを接続し、8ビット3ステートアクセスを行います。

エリア3に32Kワード×8ビットのSRAMを2個（SRAM1、SRAM2）接続し、8ビット2ステートアクセスを行います。

エリア7に32Kワード×8ビットのSRAMを1個（SRAM3）接続し、8ビット3ステートアクセス・端子オートウェイトステートを行います。

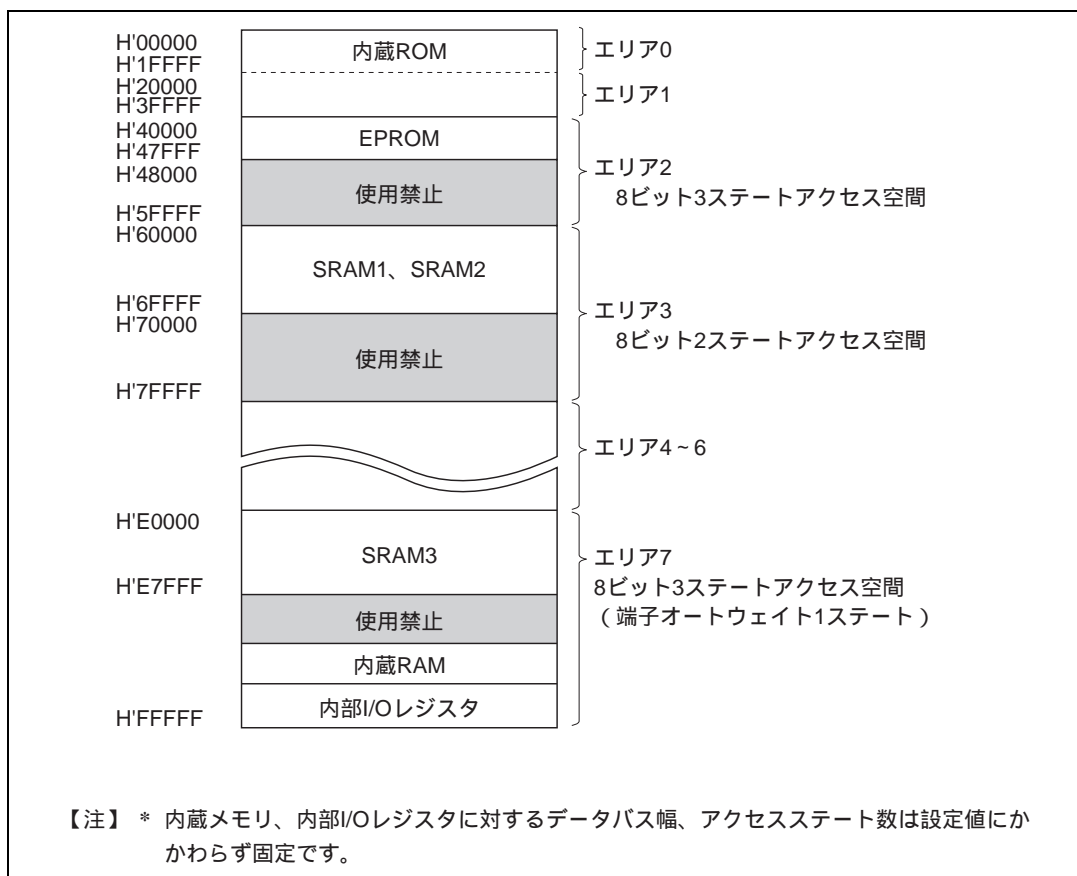


図 6.10 メモリマップ例 (H8/3022 モード5)

6.4 使用上の注意

6.4.1 レジスタライトタイミング

(1) ASTCR および WCER のライトタイミング

ASTCR および WCER をライトした場合、ライトデータは次のバスサイクルから有効になります。このタイミングを図 6.11 に示します。

エリア 2 上の命令でエリア 2 を 3 ステートアクセス空間から 2 ステートアクセス空間へ変更した場合の例です。

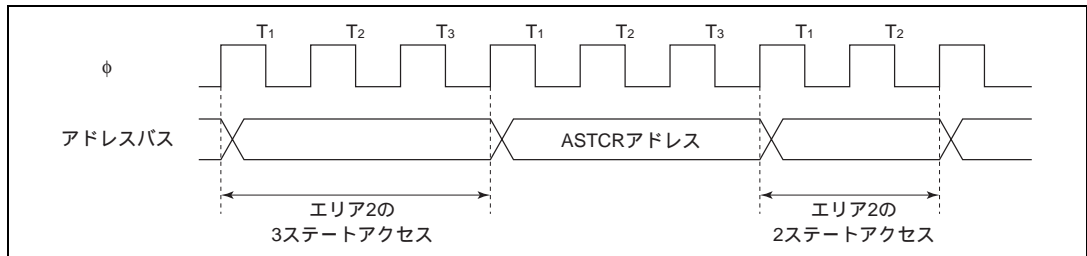


図 6.11 ASTCR ライトタイミング

6.4.2 ASTCR と ABWCR*設定上の注意事項

本 LSI の内蔵 ROM アクセスサイクルを、サポートツール用評価チップでエミュレートするために、本 LSI の内蔵プログラムにて ASTCR と ABWCR を下記のように設定してください。

モード 5、7 の場合

ASTCR0=0
ABWCR=H'FC

【注】* ABWCR (バス幅コントロールレジスタ、下位 16 ビットアドレス H'FFEC) は本 LSI に内蔵されていません。詳細機能に関しては「H8/3048 グループ、H8/3048 F-ZTAT ハードウェアマニュアル」を参照してください。

7. I/O ポート

7.1 概要

本 LSI には、9 本の入出力ポート (ポート 1~3、5、6、8~B) と 1 本の入力専用ポート (ポート 7) があります。

ポート機能一覧を表 7.1 に示します。表 7.1 に示すように、各ポートは兼用端子になっています。各ポートは、入出力を制御するデータディレクションレジスタ (DDR) と出力データを格納するデータレジスタ (DR) から構成されています。

DDR と DR のほかに、ポート 2、5 には入力プルアップ MOS コントロールレジスタ (PCR) があり、プルアップ MOS のオン / オフを制御できます。

ポート 1~3、5、6、8 は 1 個の TTL 負荷と 90pF の容量負荷を駆動することができ、ポート 9~B は 1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。

また、ポート 1~3、5、6、8~B はダーリントントランジスタを駆動することができます。ポート 1、2、5、B は LED を駆動 (シンク電流 5mA) することができます。また、ポート P8₁、P8₀、PA₇~PA₀、および PB₃~PB₀ はシュミット入力となっています。

各ポートのブロック図は「付録 C. I/O ポートブロック図」を参照してください。

7. I/O ポート

表 7.1 ポートの機能一覧

ポート	概要	端子	モード 1	モード 3	モード 5	モード 6	モード 7
ポート 1	・ 8 ビット入出力ポート ・ LED 駆動可能	P1 ₇ ~ P1 ₀ / A ₇ ~ A ₀	アドレス出力端子 (A ₇ ~ A ₀)		アドレス出力端子 (A ₇ ~ A ₀) と入力ポートの兼用 DDR=0 のとき入力ポート DDR=1 のときアドレス出力端子		入出力ポート
ポート 2	・ 8 ビットの入出力ポート ・ 入力プリアップ MOS 内蔵 ・ LED 駆動可能	P2 ₇ ~ P2 ₀ / A ₁₅ ~ A ₈	アドレス出力端子 (A ₁₅ ~ A ₈)		アドレス出力端子 (A ₁₅ ~ A ₈) と入力ポートの兼用 DDR=0 のとき入力ポート DDR=1 のときアドレス出力端子		入出力ポート
ポート 3	・ 8 ビットの入出力ポート	P3 ₇ ~ P3 ₀ / D ₇ ~ D ₀	データ入出力端子 (D ₇ ~ D ₀)				入出力ポート
ポート 5	・ 4 ビットの入出力ポート ・ 入力プリアップ MOS 内蔵 ・ LED 駆動可能	P5 ₃ ~ P5 ₀ / A ₁₉ ~ A ₁₆	アドレス出力端子 (A ₁₉ ~ A ₁₆)		アドレス出力端子 (A ₁₉ ~ A ₁₆) と 4 ビットの入力ポートの兼用 DDR=0 のとき入力ポート DDR=1 のときアドレス出力端子		入出力ポート
ポート 6	・ 4 ビットの入出力ポート	P6 ₀ /WR P6 ₀ /RD P6 ₀ /AS	バス制御信号出力端子 (WR, RD, AS)				入出力ポート
		P6 ₀ /WAIT	バス制御信号入出力端子 (WAIT) と 1 ビットの入出力ポートの兼用				
ポート 7	・ 8 ビットの入力ポート	P7 ₇ ~ P7 ₀ / AN ₇ ~ AN ₀	A/D 変換器のアナログ入力端子 (AN ₇ ~ AN ₀) と入力ポートの兼用				
ポート 8	・ 2 ビットの入出力ポート ・ P8 ₁ ~ P8 ₀ はシュミット入力	P8 ₁ /IRQ ₁	IRQ ₁ 入力端子と 1 ビットの入力ポートの兼用				IRQ ₁ , IRQ ₀ 入力端子と入出力ポートの兼用
		P8 ₀ /IRQ ₀	IRQ ₀ 入力端子と 1 ビットの入出力ポートの兼用				
ポート 9	・ 6 ビットの入出力ポート	P9 ₀ /SCK ₀ /IRQ ₂ P9 ₀ /SCK ₀ /IRQ ₄ P9 ₀ /Rx ₀ P9 ₀ /Rx ₀ P9 ₀ /Tx ₀ P9 ₀ /Tx ₀	シリアルコミュニケーションインタフェースチャネル 0、1 (SCI0、1) の入出力端子 (SCK ₀ , SCK ₀ , Rx ₀ , Rx ₀ , Tx ₀ , Tx ₀)、および IRQ ₂ 、IRQ ₄ 入力端子と 6 ビットの入出力ポートの兼用				
ポート A	・ 8 ビットの入出力ポート ・ シュミット入力	PA ₀ /TP ₀ / TIOCB ₂ /A ₂₀	プログラマブルタイミングパターンコントローラ (TPC) 出力端子 (TP ₇)、16 ビットインテグレートドタイマユニット (ITU) の入出力端子 (TIOCB ₂) と入出力ポートの兼用	アドレス出力端子 (A ₂₀)	TPC 出力端子 (TP ₇)、ITU の入出力端子 (TIOCB ₂) と入出力ポートの兼用	アドレス出力端子 (A ₂₀)	TPC 出力端子 (TP ₇)、ITU の入出力端子 (TIOCB ₂) と入出力ポートの兼用
	・ 8 ビットの入出力ポート ・ シュミット入力	PA ₀ /TP ₀ / TIOCA ₀ / A ₂₁ PA ₀ /TP ₀ / TIOCB ₀ / A ₂₂ PA ₀ /TP ₀ / TIOCA ₀ /A ₂₃	TPC 出力端子 (TP ₆ ~ TP ₀)、ITU の入出力端子 (TIOCA ₀ 、TIOCB ₀ 、TIOCA ₁) と入出力ポートの兼用	TPC 出力端子 (TP ₆ ~ TP ₀)、ITU の入出力端子 (TIOCA ₀ 、TIOCB ₀ 、TIOCA ₁)、アドレス出力端子 (A ₂₃ ~ A ₂₁) と入出力ポートの兼用	TPC 出力端子 (TP ₆ ~ TP ₀)、ITU の入出力端子 (TIOCA ₀ 、TIOCB ₀ 、TIOCA ₁) と入出力ポートの兼用	TPC 出力端子 (TP ₆ ~ TP ₀)、ITU の入出力端子 (TIOCA ₀ 、TIOCB ₀ 、TIOCA ₁)、アドレス出力端子 (A ₂₃ ~ A ₂₁) と入出力ポートの兼用	TPC 出力端子 (TP ₆ ~ TP ₀)、ITU の入出力端子 (TIOCA ₀ 、TIOCB ₀ 、TIOCA ₁) と入出力ポートの兼用

7. I/O ポート

ポート	概要	端子	モード 1	モード 3	モード 5	モード 6	モード 7
ポート A	<ul style="list-style-type: none"> ・ 8 ビットの入出力ポート ・ シュミット入力 	PA ₇ /TP ₇ /TIOCB ₇ / TCLKD PA ₆ /TP ₆ /TIOCA ₆ / TCLKC PA ₅ /TP ₅ /TCLKB PA ₄ /TP ₄ /TCLKA	TPC 出力端子 (TP ₃ ~ TP ₀)、ITU の入出力端子 (TCLKD、TCLKC、TCLKB、TCLKA、TIOCB ₃ 、TIOCA ₃) と入出力ポートの兼用				
ポート B	<ul style="list-style-type: none"> ・ 7 ビットの入出力ポート ・ LED 駆動可能 ・ PB₃ ~ PB₀ はシュミット入力 	PB ₇ /TP ₇ /ADTRG PB ₆ /TP ₆ /TOCXB ₆ PB ₅ /TP ₅ /TOCXA ₅ PB ₄ /TP ₄ /TIOCB ₄ PB ₃ /TP ₃ /TIOCA ₃ PB ₂ /TP ₂ /TIOCB ₂ PB ₁ /TP ₁ /TIOCA ₁ PB ₀ /TP ₀ /TIOCA ₀	TPC 出力端子 (TP ₆)、A/D 変換器の外部トリガ入力端子 (ADTRG) と入出力ポートの兼用 TPC 出力端子 (TP ₅ ~ TP ₀)、ITU の入出力端子 (TOCXB ₆ 、TOCXA ₅ 、TIOCB ₆ 、TIOCA ₆ 、TIOCB ₅ 、TIOCA ₅) と入出力ポートの兼用				

7.2 ポート 1

7.2.1 概要

ポート 1 は、アドレス出力兼用の 8 ビットの入出力ポートです。ポート 1 の各端子は、図 7.1 に示す構成となっており、動作モードにより端子機能が異なります。モード 1、3 (内蔵 ROM 無効拡張モード) のときは、アドレスバス ($A_7 \sim A_0$) 出力端子となります。

モード 5、6 (内蔵 ROM 有効拡張モード) のときは、ポート 1 データディレクションレジスタ (P1DDR) の設定によりアドレスバス ($A_7 \sim A_0$) 出力端子、または入力ポートとなります。

モード 7 (シングルチップモード) のときは、入出力ポートとなります。

また、ポート 1 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

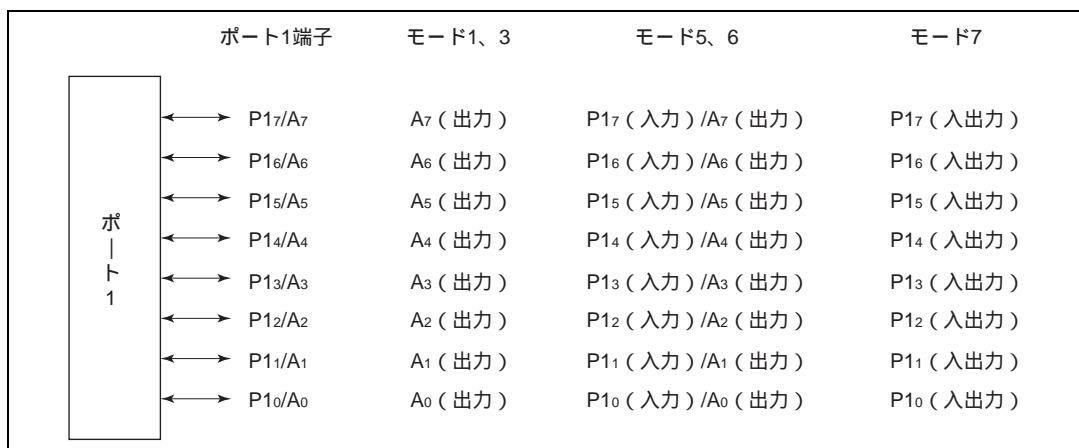


図 7.1 ポート 1 の端子構成

7.2.2 レジスタの構成と説明

表 7.2 にポート 1 のレジスタ構成を示します。

表 7.2 ポート 1 レジスタ構成

アドレス*	名称	略称	R/W	初期値	
				モード 1、3	モード 5~7
H'FFC0	ポート 1 データディレクションレジスタ	P1DDR	W	H'FF	H'00
H'FFC2	ポート 1 データレジスタ	P1DR	R/W	H'00	

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート1データディレクションレジスタ (P1DDR)

P1DDR は、8 ビットのライト専用のレジスタで、ポート1各端子の入出力をビットごとに指定することができます。

ビット:		7	6	5	4	3	2	1	0
		P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR
モード1、3	初期値:	1	1	1	1	1	1	1	1
	R/W :	—	—	—	—	—	—	—	—
モード5~7	初期値:	0	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W	W

ポート1データディレクション7~0

ポート1の各端子の入出力を選択するビットです。

P1DDR は、リセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。そのため、P1DDR が1にセットされた状態でソフトウェアスタンバイモードに遷移するとその端子は出力状態のままとなっています。

7. I/O ポート

(2) ポート 1 データレジスタ (P1DR)

P1DR は、8 ビットのリード/ライト可能なレジスタで、ポート 1 の各端子 P1₇ ~ P1₀ のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート1データ7~0

ポート1の各端子のデータを格納するビットです。

P1DDR が 1 のとき、ポート 1 のリードを行うと、P1DR の値を直接リードします。そのため端子の状態の影響を受けません。P1DDR が 0 のとき、ポート 1 のリードを行うと、端子の状態が読み出されます。

P1DR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

7.2.3 モード別端子機能

ポート 1 は、モード 1、3 (内蔵 ROM 無効拡張モード) とモード 5、6 (内蔵 ROM 有効拡張モード)、およびモード 7 (シングルチップモード) では以下のように端子機能が異なります。

(1) モード 1、3 の端子機能

ポート 1 の各端子は、アドレス出力端子になります。

モード 1、3 時の端子機能を図 7.2 に示します。

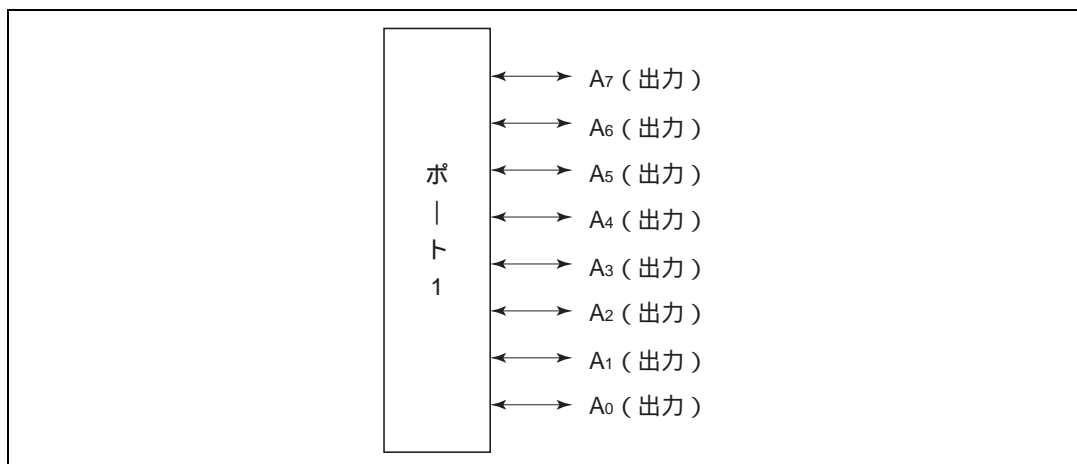


図 7.2 モード 1、3 時の端子機能 (ポート 1)

(2) モード 5、6 の端子機能

ポート 1 の各端子は、アドレス出力端子と入力ポートとの兼用になります。

P1DDR の各ビットを 1 にセットすると、対応するポート 1 の端子はアドレス出力となり、0 にクリアすると、入力端子になります。リセット直後は入力ポートになっています。したがって、アドレスバスとして使用する場合は、P1DDR を 1 にセットしてください。

モード 5、6 時の端子機能を図 7.3 に示します。

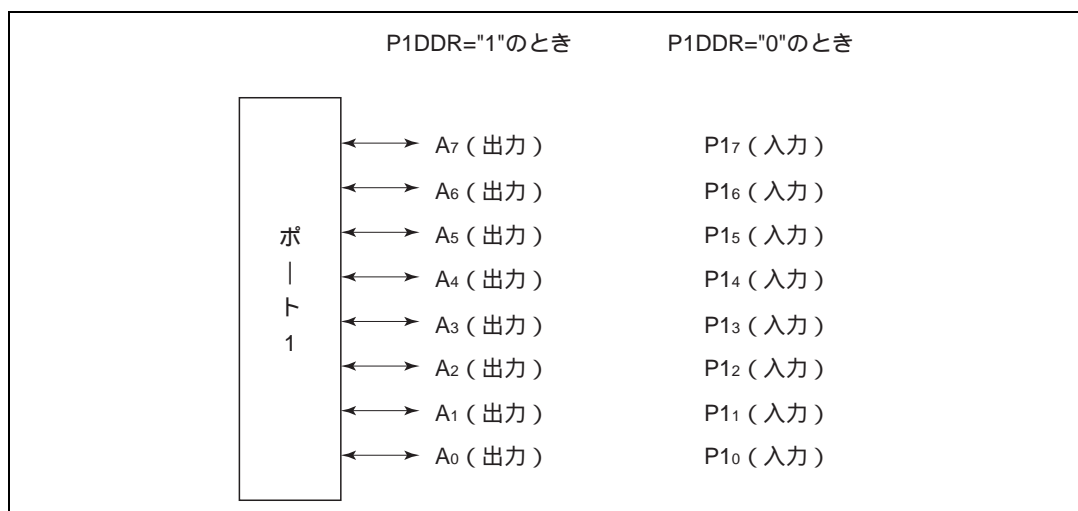


図 7.3 モード 5、6 時の端子機能 (ポート 1)

(3) モード 7 の端子機能

ポート 1 の各端子はビット単位で入出力指定可能です。

P1DDR の各ビットを 1 にセットすると対応するポート 1 の端子は出力端子となり、0 にクリアすると入力端子となります。

モード 7 時の端子機能を図 7.4 に示します。

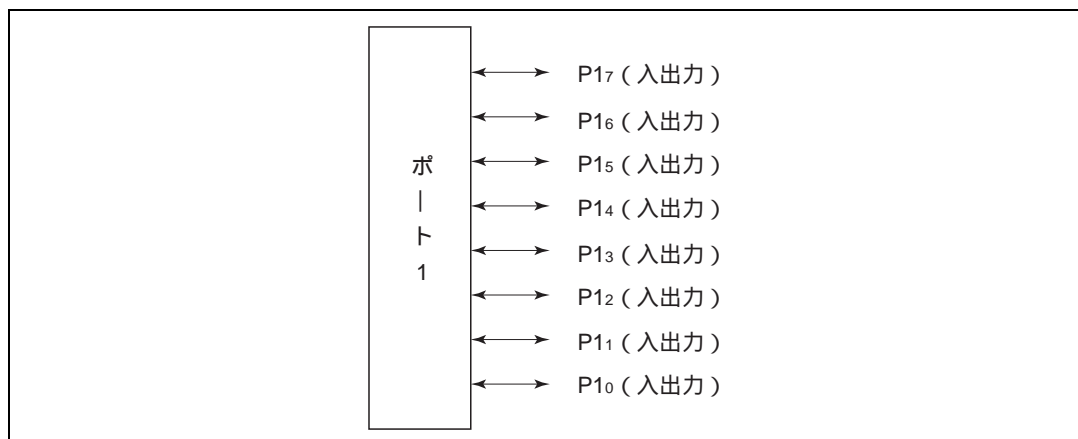


図 7.4 モード 7 時の端子機能 (ポート 1)

7.3 ポート 2

7.3.1 概要

ポート 2 は、アドレス出力兼用の 8 ビットの入出力ポートです。ポート 2 の各端子は、図 7.5 に示す構成となっており、動作モードにより端子機能が異なります。

モード 1、3 (内蔵 ROM 無効拡張モード) のときは、アドレスバス ($A_{15} \sim A_8$) 出力端子となります。モード 5、6 (内蔵 ROM 有効拡張モード) のときは、ポート 2 データディレクションレジスタ (P2DDR) の設定によりアドレスバス ($A_{15} \sim A_8$) または入力ポートとなります。モード 7 (シングルチップモード) のときは、入出力ポートとなります。ポート 2 は、プログラムで制御可能なプルアップ MOS が内蔵されています。また、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

ポート 2 端子	モード 1、3	モード 5、6	モード 7
P27/A15	A15 (出力)	P27 (入力) / A15 (出力)	P27 (入出力)
P26/A14	A14 (出力)	P26 (入力) / A14 (出力)	P26 (入出力)
P25/A13	A13 (出力)	P25 (入力) / A13 (出力)	P25 (入出力)
P24/A12	A12 (出力)	P24 (入力) / A12 (出力)	P24 (入出力)
P23/A11	A11 (出力)	P23 (入力) / A11 (出力)	P23 (入出力)
P22/A10	A10 (出力)	P22 (入力) / A10 (出力)	P22 (入出力)
P21/A9	A9 (出力)	P21 (入力) / A9 (出力)	P21 (入出力)
P20/A8	A8 (出力)	P20 (入力) / A8 (出力)	P20 (入出力)

図 7.5 ポート 2 の端子構成

7.3.2 レジスタの構成と説明

表 7.3 にポート 2 のレジスタ構成を示します。

表 7.3 ポート 2 レジスタ構成

アドレス*	名称	略称	R/W	初期値	
				モード 1、3	モード 5~7
H'FFC1	ポート 2 データディレクションレジスタ	P2DDR	W	H'FF	H'00
H'FFC3	ポート 2 データレジスタ	P2DR	R/W	H'00	
H'FFD8	ポート 2 入力プルアップ MOS コントロールレジスタ	P2PCR	R/W	H'00	

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート2 データディレクションレジスタ (P2DDR)

P2DDR は、8 ビットのライト専用のレジスタで、ポート2 の各端子の入出力をビットごとに指定することができます。

ビット:		7	6	5	4	3	2	1	0
		P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR
モード1、3	初期値:	1	1	1	1	1	1	1	1
	R/W :	—	—	—	—	—	—	—	—
モード5~7	初期値:	0	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W	W

ポート2データディレクション7~0

ポート2の各端子の入出力を選択するビットです。

P2DDR は、リセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。そのため、P2DDR が1 にセットされた状態でソフトウェアスタンバイモードに遷移するとその端子は出力状態のままとなっています。

7. I/O ポート

(2) ポート 2 データレジスタ (P2DR)

P2DR は、8 ビットのリード/ライト可能なレジスタで、ポート 2 の各端子 P2₇ ~ P2₀ のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート2データ7~0

ポート2の各端子のデータを格納するビットです。

P2DDR が 1 のとき、ポート 2 のリードを行うと、P2DR の値を直接リードします。そのため端子の状態の影響を受けません。P2DDR が 0 のときポート 2 のリードを行うと、端子の状態が読み出されます。

P2DR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

(3) ポート 2 入力プルアップ MOS コントロールレジスタ (P2PCR)

P2PCR は 8 ビットのリード/ライト可能なレジスタで、ポート 2 に内蔵した入力プルアップ MOS をビットごとに制御します。

ビット:	7	6	5	4	3	2	1	0
	P2 ₇ PCR	P2 ₆ PCR	P2 ₅ PCR	P2 ₄ PCR	P2 ₃ PCR	P2 ₂ PCR	P2 ₁ PCR	P2 ₀ PCR
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート2入力プルアップMOSコントロール7~0

ポート2に内蔵した入力プルアップMOSを制御するビットです。

モード 5~7 のとき、P2DDR を 0 にクリアした (入力ポートの) 状態で P2₇PCR ~ P2₀PCR ビットを 1 にセットすると入力プルアップ MOS は ON します。

P2PCR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

7.3.3 モード別端子機能

ポート 2 は、モード 1、3 (内蔵 ROM 無効拡張モード) とモード 5、6 (内蔵 ROM 有効拡張モード)、およびモード 7 (シングルチップモード) では、端子機能が異なります。

以下モード別に説明します。

(1) モード 1、3 の端子機能

ポート 2 の各端子は、アドレス出力端子になります。
モード 1、3 の端子機能を図 7.6 に示します。

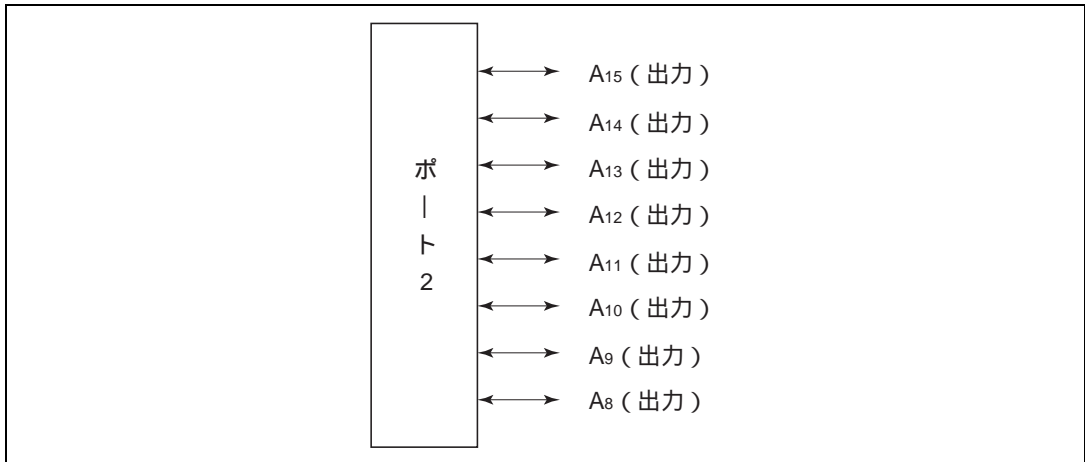


図 7.6 モード 1、3 時の端子機能 (ポート 2)

(2) モード 5、6 の端子機能

ポート 2 の各端子は、アドレス出力端子と入力ポートとの兼用になります。ビット単位で入出力を指定可能です。P2DDR の各ビットを 1 にセットすると対応するポート 2 の端子はアドレス出力端子となり、0 にクリアすると入力端子となります。

リセット直後は入力ポートになっています。したがって、アドレスバスとして使用する場合は P2DDR を 1 にセットしてください。

モード 5、6 の端子機能を図 7.7 に示します。

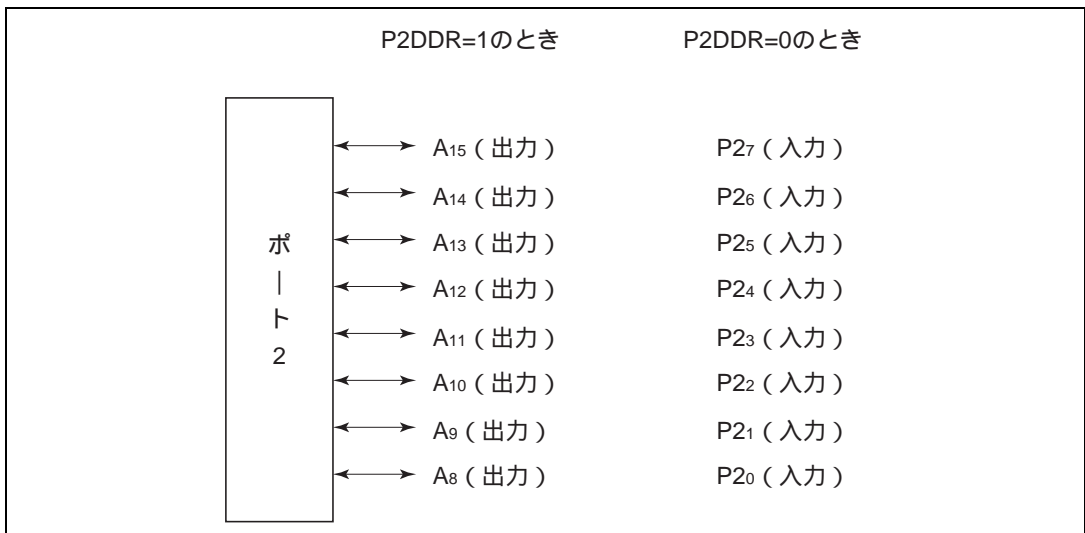


図 7.7 モード 5、6 時の端子機能 (ポート 2)

7. I/O ポート

(3) モード 7 の端子機能

ポート 2 の各端子は、ビット単位で入出力を指定可能です。

P2DDR の各ビットを 1 にセットすると対応するポート 2 の端子は出力端子となり、0 にクリアすると入力端子となります。

モード 7 の端子機能を図 7.8 に示します。

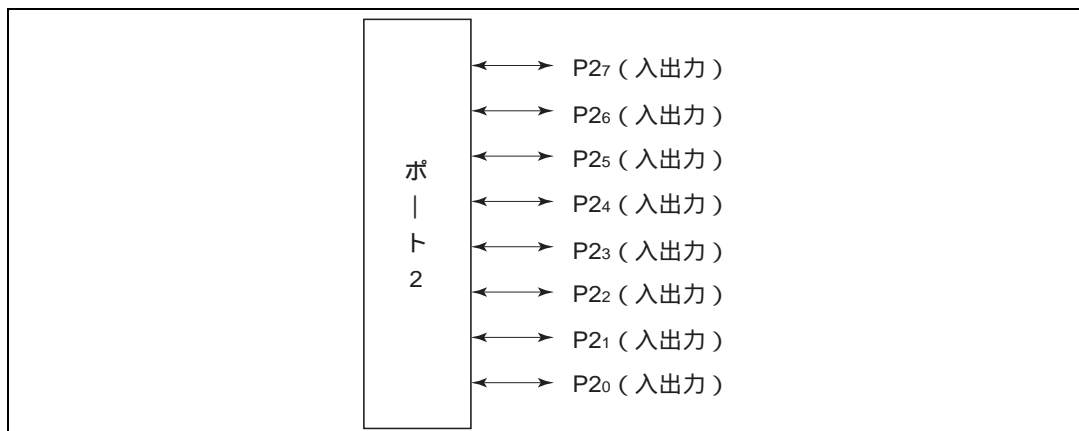


図 7.8 モード 7 時の端子機能 (ポート 2)

7.3.4 入力プルアップ MOS

ポート 2 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、ビット単位で ON/OFF を指定できます。

P2PCR を 1 にセットし、かつ P2DDR を 0 にクリアすると、入力プルアップ MOS は ON となります。

入力プルアップ MOS は、リセット、またはハードウェアスタンバイモード時には OFF します。ソフトウェアスタンバイモード時には、直前の状態を保持します。

各動作モードでの、入力プルアップ MOS の状態を表 7.4 に示します。

表 7.4 入力プルアップ MOS の状態 (ポート 2)

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1 3	OFF		OFF	
5 6 7	OFF		ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON/OFF : P2PCR = 1 かつ P2DDR = 0 のとき ON 状態、その他のときは OFF 状態です。

7.4 ポート 3

7.4.1 概要

ポート 3 は、データバス兼用の 8 ビットの入出力ポートです。ポート 3 の各端子は、図 7.9 に示す構成となっており、モード 1、3、5、6 (拡張モード) のときはデータバスとなり、モード 7 (シングルチップモード) のときは、入出力ポートとなります。

ポート 3 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。

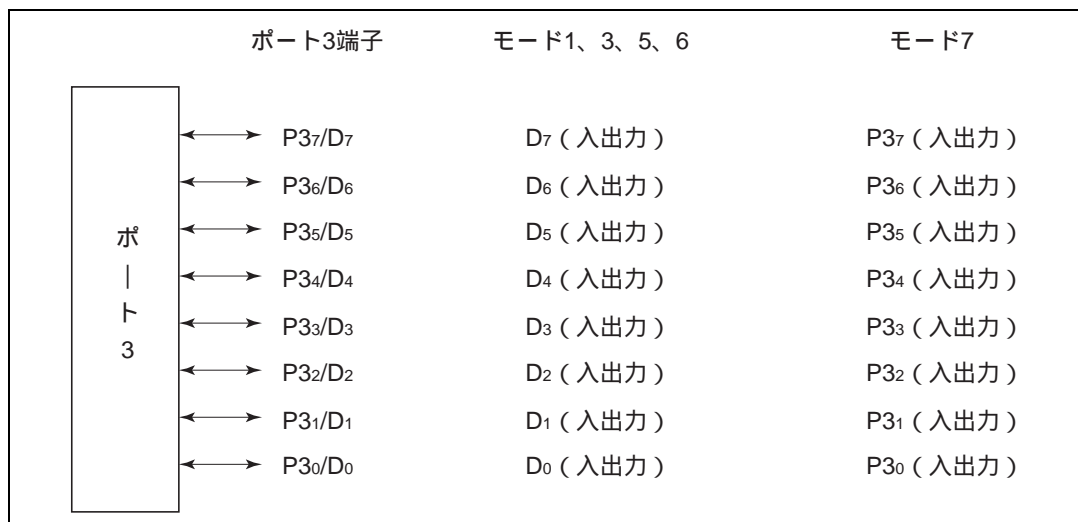


図 7.9 ポート 3 の端子構成

7.4.2 レジスタの構成と説明

表 7.5 にポート 3 のレジスタ構成を示します。

表 7.5 ポート 3 レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFC4	ポート 3 データディレクションレジスタ	P3DDR	W	H'00
H'FFC6	ポート 3 データレジスタ	P3DR	R/W	H'00

【注】 * アドレスの下位 16 ビットを示しています。

7. I/O ポート

(1) ポート 3 データディレクションレジスタ (P3DDR)

P3DDR は、8 ビットのライト専用のレジスタで、ポート 3 各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポート3データディレクション7~0

ポート3の各端子の入出力を選択するビットです。

(a) モード1、3、5、6

ポート 3 はデータバスとして機能します。P3DDR は無効です。

(b) モード7

ポート 3 は入出力ポートとして機能します。

P3DDR に 1 をセットすると対応するポート 3 の端子は出力端子となり、0 にクリアすると入力端子になります。

P3DDR は、ライト専用で、リードは無効です。リードすると、1 が読み出されます。

P3DDR は、リセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。そのため、P3DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移するとその端子は出力状態のままとなります。

(2) ポート 3 データレジスタ (P3DR)

P3DR は、8 ビットのリード/ライト可能なレジスタで、ポート 3 の各端子 P3₇ ~ P3₀ のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	P37	P36	P35	P34	P33	P32	P31	P30
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート3データ7~0

ポート3の各端子のデータを格納するビットです。

P3DDR が 1 のとき、ポート 3 のリードを行うと、P3DR の値を直接リードします。そのため端子の状態の影響を受けません。

P3DDR が 0 のときポート 3 のリードを行うと、端子の状態が読み出されます。

P3DR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

7.4.3 モード別端子機能

ポート 3 は、モード 1、3、5、6 とモード 7 では、以下のように端子機能が異なります。

(1) モード 1、3、5、6 の端子機能

モード 1、3、5、6 時には、ポート 3 は自動的にデータ入出力端子になります。P3DDR による入出力の方向は無視されます。モード 1、3、5、6 時の端子機能を図 7.10 に示します。

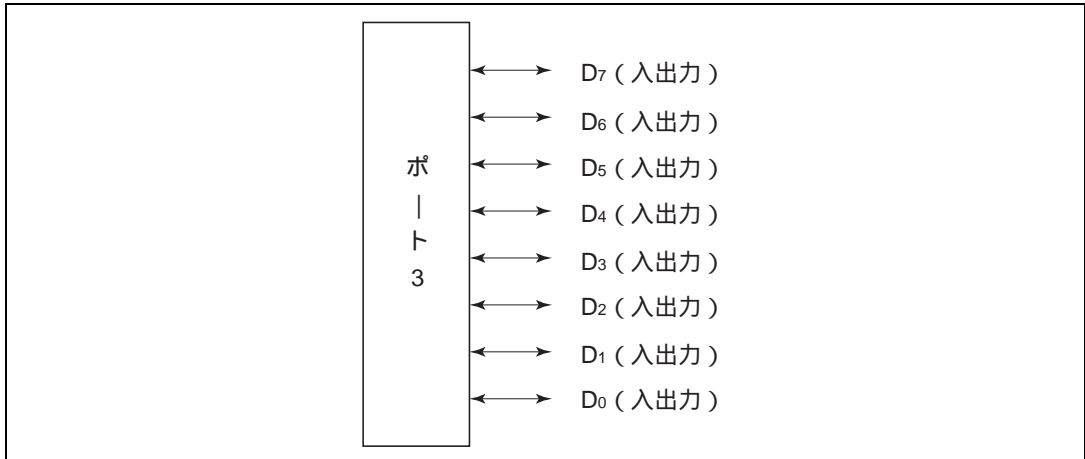


図 7.10 モード 1、3、5、6 時の端子機能 (ポート 3)

(2) モード 7 時の端子機能

ポート 3 の各端子は、ビット単位で入出力を指定可能です。

P3DDR の各ビットを 1 にセットすると対応するポート 3 の端子は出力端子となり、0 にクリアすると入力端子となります。

モード 7 の端子機能を図 7.11 に示します。

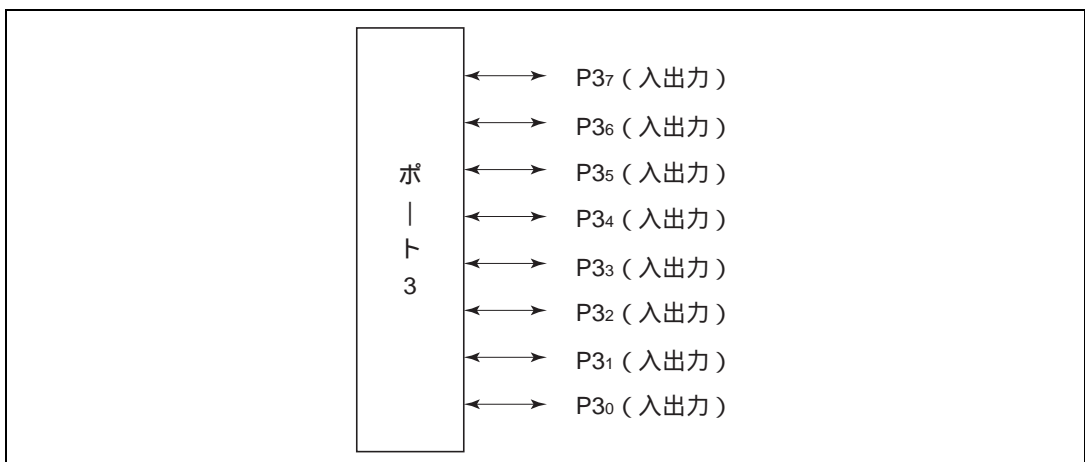


図 7.11 モード 7 時の端子機能 (ポート 3)

7.5 ポート 5

7.5.1 概要

ポート 5 は、アドレス出力兼用の 4 ビットの入出力ポートです。ポート 5 の各端子は、図 7.12 に示す構成となっており、動作モードにより端子機能が異なります。

モード 1、3 (内蔵 ROM 無効拡張モード) に設定したとき、ポート 5 の各端子はアドレス ($A_{19} \sim A_{16}$) 出力として機能します。モード 5、6 (内蔵 ROM 有効拡張モード) に設定したときは、ポート 5 データディレクションレジスタ (P5DDR) の設定によりアドレスバス ($A_{19} \sim A_{16}$) または入力ポートとなります。

モード 7 (シングルチップモード) のときは、入出力ポートとなります。

ポート 5 は、プログラムで制御可能なプルアップ MOS が内蔵されています。また、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、LED、ダーリントントランジスタを駆動することも可能です。

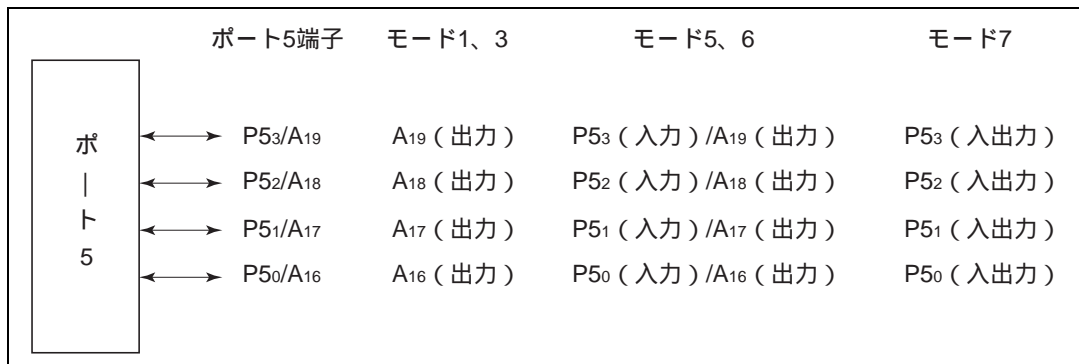


図 7.12 ポート 5 の端子構成

7.5.2 レジスタの構成と説明

表 7.6 にポート 5 のレジスタ構成を示します。

表 7.6 ポート 5 レジスタ構成

アドレス*	名称	略称	R/W	初期値	
				モード 1、3	モード 5~7
H'FFC8	ポート 5 データディレクションレジスタ	P5DDR	W	H'FF	H'F0
H'FFCA	ポート 5 データレジスタ	P5DR	R/W	H'F0	
H'FFDB	ポート 5 入力プルアップ MOS コントロールレジスタ	P5PCR	R/W	H'F0	

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 5 データディレクションレジスタ (P5DDR)

P5DDR は、8 ビットのライト専用のレジスタで、ポート 5 各端子の入出力をビットごとに指定することができます。

ビット:		7	6	5	4	3	2	1	0
		—	—	—	—	P5 ₃ DDR	P5 ₂ DDR	P5 ₁ DDR	P5 ₀ DDR
モード1、3	初期値:	1	1	1	1	1	1	1	1
	R/W :	—	—	—	—	—	—	—	—
モード5~7	初期値:	1	1	1	1	0	0	0	0
	R/W :	—	—	—	—	W	W	W	W

リザーブビット

ポート5データディレクション3~0

ポート5の各端子の入出力を選択するビットです。

P5DDR は、リセット、またはハードウェアスタンバイモード時に、H'F0 に初期化されます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、P5DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

7. I/O ポート

(2) ポート 5 データレジスタ (P5DR)

P5DR は、8 ビットのリード/ライト可能なレジスタで、ポート 5 の各端子 P5₃ ~ P5₀ のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	P5 ₃	P5 ₂	P5 ₁	P5 ₀
初期値:	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

ポート5データ3~0

ポート5の各端子のデータを格納するビットです。

P5DDR が 1 のとき、ポート 5 のリードを行うと、P5DR の値を直接リードします。そのため端子の状態の影響を受けません。P5DDR が 0 のときポート 5 のリードを行うと、端子の状態が読み出されます。

P5₇ ~ P5₄ ビットは、リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

P5DR は、リセット、またはハードウェアスタンバイモード時に、H'F0 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

(3) ポート 5 入力プルアップ MOS コントロールレジスタ (P5PCR)

P5PCR は 8 ビットのリード/ライト可能なレジスタで、ポート 5 に内蔵した入力プルアップ MOS をビットごとに制御します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	P5 ₃ PCR	P5 ₂ PCR	P5 ₁ PCR	P5 ₀ PCR
初期値:	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

ポート5入力プルアップMOSコントロール3~0

ポート5に内蔵した入力プルアップMOSを制御するビットです。

モード 5 ~ 7 のとき、P5DDR を 0 にクリアした (入力ポート) 状態で P5₃PCR ~ P5₀PCR ビットを 1 にセットすると入力プルアップ MOS は ON します。

P5PCR は、リセット、またはハードウェアスタンバイモード時に、H'F0 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

7.5.3 モード別端子機能

ポート 5 は、モード 1、3 (内蔵 ROM 無効拡張モード) とモード 5、6 (内蔵 ROM 有効拡張モード) および、モード 7 (シングルチップモード) では、端子機能が異なります。

以下モード別に説明します。

(1) モード 1、3 の端子機能

ポート 5 の各端子は、アドレス出力端子になります。

モード 1、3 の端子機能を図 7.13 に示します。

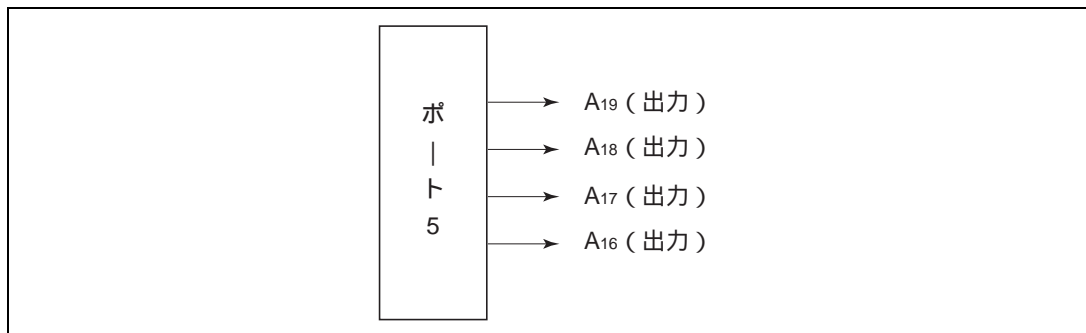


図 7.13 モード 1、3 時の端子機能 (ポート 5)

(2) モード 5、6 の端子機能

ポート 5 の各端子は、アドレス出力端子と入力ポートとの兼用になります。P5DDR の各ビットを 1 にセットすると対応するポート 5 の端子はアドレス出力端子となり、0 にクリアすると入力端子となります。

ポート 5 の各端子は、リセット直後は入力端子になっています。したがって、アドレス出力として使用する場合は、P5DDR を 1 にセットしてください。

モード 5、6 の端子機能を図 7.14 に示します。

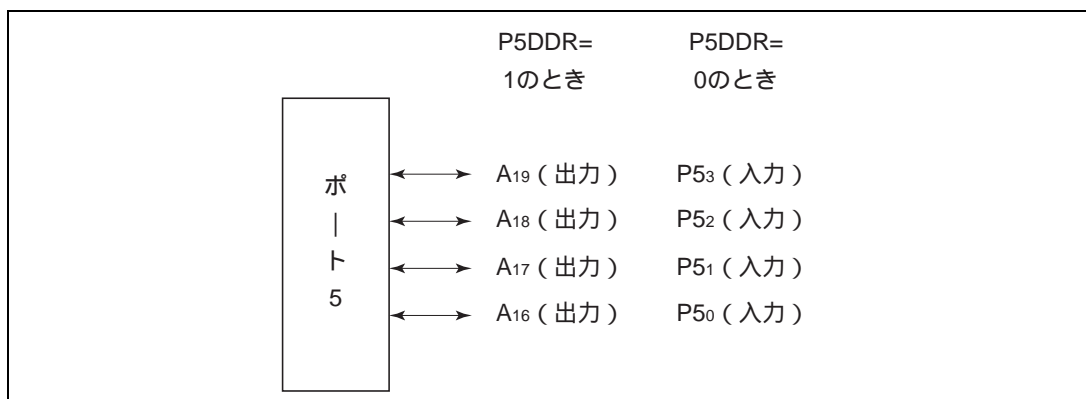


図 7.14 モード 5、6 時の端子機能 (ポート 5)

7. I/O ポート

(3) モード 7 の端子機能

ポート 5 の各端子は、ビット単位で入出力を指定可能です。P5DDR の各ビットを 1 にセットすると対応するポート 5 の端子は出力端子となり、0 にクリアすると入力端子となります。

モード 7 の端子機能を図 7.15 に示します。

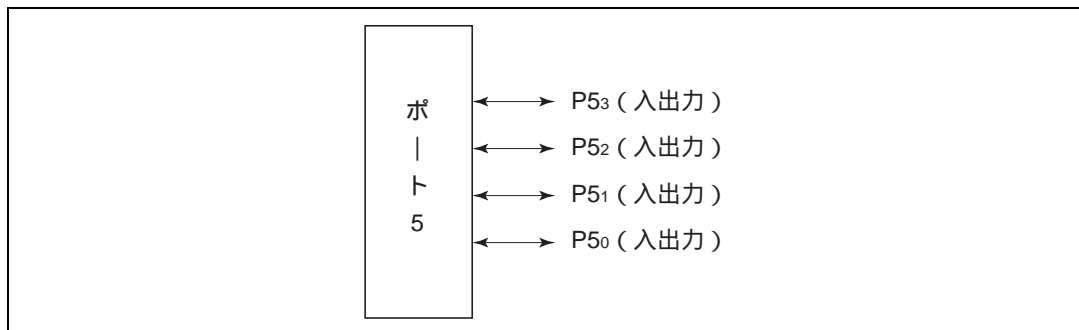


図 7.15 モード 7 時の端子機能 (ポート 5)

7.5.4 入力プルアップ MOS

ポート 5 は、プログラムで制御可能な入力プルアップ MOS を内蔵しています。この入力プルアップ MOS は、ビット単位で ON/OFF を指定できます。

P5PCR を 1 にセットし、かつ P5DDR を 0 にクリアすると、入力プルアップ MOS は ON となります。

入力プルアップ MOS は、リセット、またはハードウェアスタンバイモード時には OFF します。ソフトウェアスタンバイモード時には、直前の状態を保持します。

各動作モードでの、入力プルアップ MOS の状態を表 7.7 に示します。

表 7.7 入力プルアップ MOS の状態 (ポート 5)

モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	その他の動作時
1 3	OFF		OFF	
5 6 7	OFF		ON/OFF	

【記号説明】

OFF : 入力プルアップ MOS は、常に OFF 状態です。

ON/OFF : P5PCR = 1 かつ P5DDR = 0 のとき ON 状態、その他のときは OFF 状態です。

7.6 ポート 6

7.6.1 概要

ポート 6 は、4 ビットの入出力ポートです。ポート 6 はバス制御入出力端子 (\overline{WR} 、 \overline{RD} 、 \overline{AS} 、 \overline{WAIT}) と兼用になっています。

ポート 6 の端子構成を図 7.16 に示します。

モード 1、3、5、6 時には、 \overline{WR} 、 \overline{RD} 、 \overline{AS} 、 $P6_0/\overline{WAIT}$ として機能します。モード 7 時には、入出力ポートとなります。

ポート 6 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。



図 7.16 ポート 6 の端子構成

7.6.2 レジスタの構成と説明

表 7.8 にポート 6 のレジスタ構成を示します。

表 7.8 ポート 6 レジスタ構成

アドレス*	名称	略称	R/W	初期値	
				モード 1、3、5、6	モード 7
H'FFC9	ポート 6 データディレクションレジスタ	P6DDR	W	H'F8	H'80
H'FFCB	ポート 6 データレジスタ	P6DR	R/W	H'80	H'80

【注】 * アドレスの下位 16 ビットを示しています。

7. I/O ポート

(1) ポート 6 データディレクションレジスタ (P6DDR)

P6DDR は、8 ビットのライト専用のレジスタで、ポート 6 の各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	—	—	P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR	—	—	P6 ₀ DDR
初期値:	1	0	0	0	0	0	0	0
R/W :	—	W	W	W	W	W	W	W

リザーブビット

ポート6データディレクション5~3、0
ポート6の各端子の入出力を選択するビットです。

ビット 7、6、2、1 はリザーブビットです。

P6DDR は、ライト専用で、リードは無効です。リードすると 1 が読み出されます。

P6DDR は、リセット、またはハードウェアスタンバイモード時に、H'80 に初期化されます。ソフトウェアスタンバイモード時には直前の状態を保持します。このため、P6DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート 6 データレジスタ (P6DR)

P6DR は、8 ビットのリード/ライト可能なレジスタで、ポート 6 の各端子 P6₅ ~ P6₃、P6₀ のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	—	—	P6 ₅	P6 ₄	P6 ₃	—	—	P6 ₀
初期値:	1	0	0	0	0	0	0	0
R/W :	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット

ポート6データ5~3、0
ポート6の各端子のデータを格納するビットです。

P6DDR が 1 のときポート 6 のリードを行うと、P6DR の値を直接リードします。P6DDR が 0 のときポート 6 のリードを行うと端子の状態が読み出されます。ビット 7、6、2、1 はリザーブビットです。このうち、ビット 7 はリードすると常に 1 が読み出されます。ライトは無効です。ビット 6、2、1 はリード/ライト可能ですが、ポートとしては使用できません。P6DDR のビット 6、2、1 が 1 のときリードを行うと、P6DR の各ビットの値を直接リードします。P6DDR のビット 6、2、1 が 0 のときリードを行うと 1 が読み出されます。

P6DR は、リセット、またはハードウェアスタンバイモード時に、H'80 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

7.6.3 モード別端子機能

(1) モード 1、3、5、6 時の端子機能

ポート P6₅ ~ P6₃ はバス制御出力端子として機能します。

ポート P6₀ は、バス制御入力端子と入出力ポートとの兼用になります。P6₀DDR に 1 をセットするとポート P6₀ の端子は出力端子となり、0 にクリアすると入力端子になります。

図 7.17 と表 7.9 にモード 1、3、5、6 時の端子機能を示します。

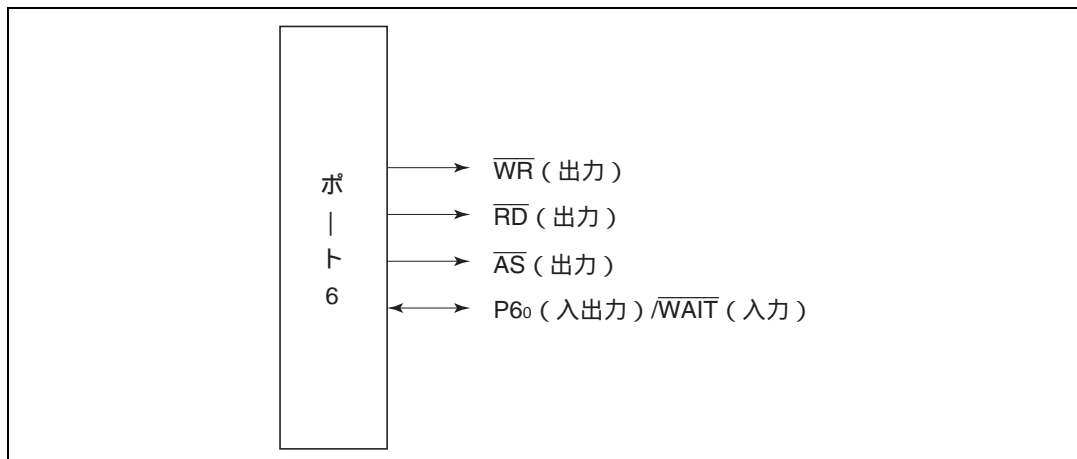


図 7.17 モード 1、3、5、6 の端子機能 (ポート 6)

7. I/O ポート

表 7.9 モード 1、3、5、6 の端子機能 (ポート 6)

端子	選択方法と端子機能			
P6 ₅ $\overline{\text{WR}}$	P6 ₅ DDR ビットとは無関係に、次のように切り替わります。			
	P6 ₅ DDR	0		1
	端子機能	$\overline{\text{WR}}$ 出力端子		
P6 ₄ $\overline{\text{RD}}$	P6 ₄ DDR ビットとは無関係に、次のように切り替わります。			
	P6 ₄ DDR	0		1
	端子機能	$\overline{\text{RD}}$ 出力端子		
P6 ₃ $\overline{\text{AS}}$	P6 ₃ DDR ビットとは無関係に、次のように切り替わります。			
	P6 ₃ DDR	0		1
	端子機能	$\overline{\text{AS}}$ 出力端子		
P6 ₀ $\overline{\text{WAIT}}$	WCER の WCE7 ~ WCE0、WCR の WMS1 ビットと P6 ₀ DDR ビットの組み合わせで、次のように切り替わります。			
	WCER	すべてが1		いずれかが0
	WMS1	0		1
	P6 ₀ DDR	0	1	0*
	端子機能	P6 ₀ 入力端子	P6 ₀ 出力端子	$\overline{\text{WAIT}}$ 入力端子
	【注】 * P6 ₀ DDRは1にセットしないでください。			

(2) モード 7 の端子機能

ポート 6 の各端子はビット単位で入出力を指定可能です。

P6DDR の各ビットを 1 にセットすると対応するポート 6 の端子は出力端子となり、0 にクリアすると入力端子になります。

モード 7 時の端子機能を図 7.18 に示します。

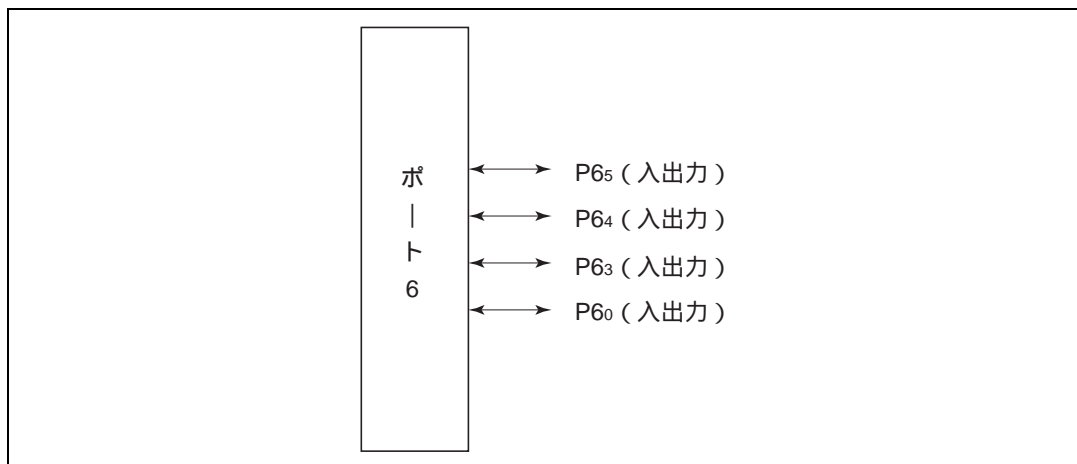


図 7.18 モード 7 時の端子機能 (ポート 6)

7.7 ポート 7

7.7.1 概要

ポート 7 は 8 ビットの入力専用ポートです。ポート 7 は、A/D 変換器のアナログ入力端子と兼用になっています。これらの端子機能はいずれの動作モードでも共通です。ポート 7 の端子構成を図 7.19 に示します。

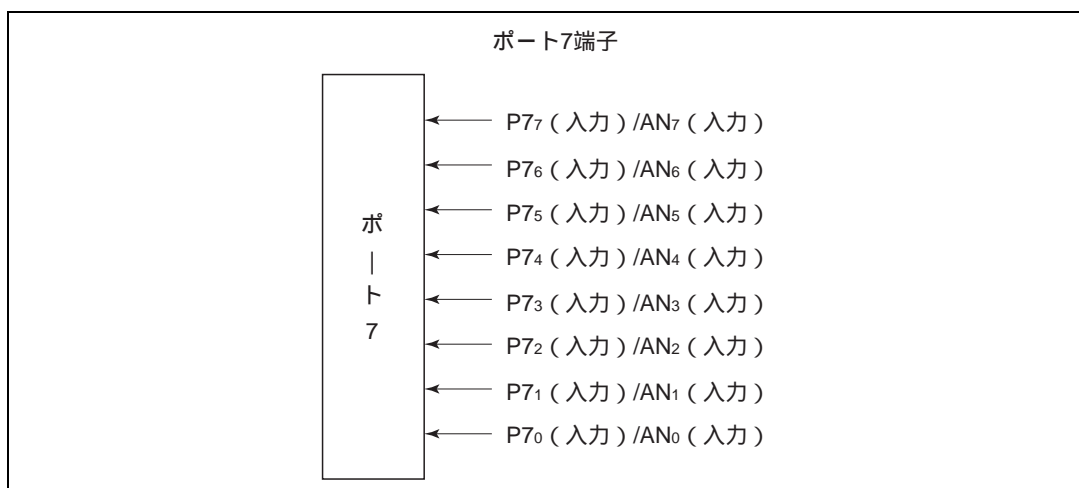


図 7.19 ポート 7 の端子構成

7.7.2 レジスタの構成と説明

表 7.10 にポート 7 のレジスタ構成を示します。ポート 7 は入力専用ポートであり、データディレクションレジスタはありません。

表 7.10 ポート 7 レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFCE	ポート 7 データレジスタ	P7DR	R	不定

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート 7 データレジスタ (P7DR)

ビット:	7	6	5	4	3	2	1	0
	P77	P76	P75	P74	P73	P72	P71	P70
初期値:	—*	—*	—*	—*	—*	—*	—*	—*
R/W :	R	R	R	R	R	R	R	R

【注】 * P77～P70端子により決定されます。

P7DR のリードを行うと、常に端子の状態が読み出されます。

7.8 ポート 8

7.8.1 概要

ポート 8 は、2 ビットの入出力ポートです。ポート 8 は、 \overline{IRQ}_1 、 \overline{IRQ}_0 入力端子と兼用になっています。ポート 8 の端子構成を図 7.20 に示します。

ポート P8₀ は入出力ポートまたは \overline{IRQ}_0 入力端子として機能します。ポート P8₁ は、モード 1、3、5、6 時には、入力ポートまたは \overline{IRQ}_1 入力端子として機能します。モード 7 時には、入出力ポートまたは、 \overline{IRQ}_1 入力端子として機能します。

ポート 8 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

P8₁、P8₀ 端子はシュミットトリガ入力です。

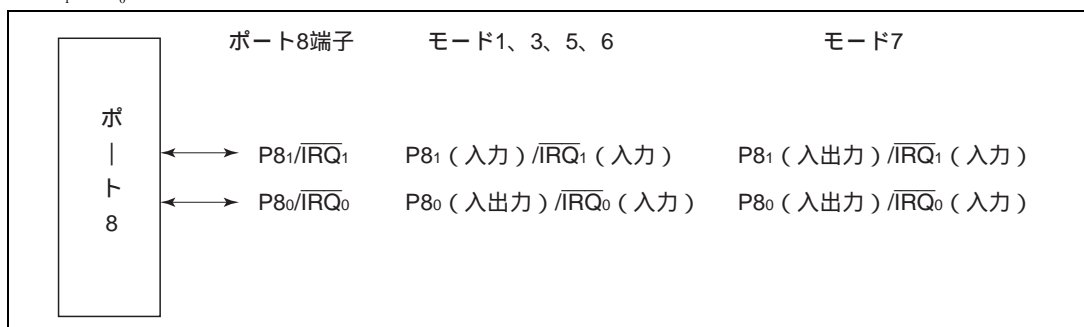


図 7.20 ポート 8 の端子構成

7.8.2 レジスタの構成と説明

表 7.11 にポート 8 のレジスタ構成を示します。

表 7.11 ポート 8 レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFCD	ポート 8 データディレクションレジスタ	P8DDR	W	H'E0
H'FFCF	ポート 8 データレジスタ	P8DR	R/W	H'E0

【注】 * アドレスの下位 16 ビットを示しています。

7. I/O ポート

(1) ポート 8 データディレクションレジスタ (P8DDR)

P8DDR は、8 ビットのライト専用のレジスタで、ポート 8 各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	P8 ₁ DDR	P8 ₀ DDR
初期値:	1	1	1	0	0	0	0	0
R/W :	—	—	—	W	W	W	W	W

リザーブビット

ポート8データディレクション1、0
ポート8の各端子の入出力を選択するビットです。

P8DDR は、リセット、またはハードウェアスタンバイモード時に、H'E0 に初期化されます。P8DDR は、ソフトウェアスタンバイモード時には直前の状態を保持します。したがって、P8DDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート 8 データレジスタ (P8DR)

P8DR は、8 ビットのリード/ライト可能なレジスタで、ポート 8 の各端子 P8₁、P8₀ のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	P8 ₁	P8 ₀
初期値:	1	1	1	0	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

リザーブビット

ポート8データ1、0
ポート8の各端子のデータを格納するビットです。

P8DDR が 1 のときポート 8 のリードを行うと、P8DR の値を直接リードします。P8DDR が 0 のときポート 8 のリードを行うと端子の状態が読み出されます。

ビット 7~2 はリザーブビットです。このうち、ビット 7~5 はリードすると常に 1 が読み出されません。ライトは無効です。ビット 4~2 はリード/ライト可能ですが、ポートとしては使用できません。P8DDR のビット 4~2 が 1 のときリードを行うとビット 4~2 の値を直接リードします。P8DDR のビット 4~2 が 0 のときリードを行うと 1 が読み出されます。

P8DR は、リセット、またはハードウェアスタンバイモード時に、H'E0 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

7.8.3 モード別端子機能

ポート 8 は $\overline{IRQ}_1 \sim \overline{IRQ}_0$ 入力端子と兼用になっています。

ポート 8 の端子機能について表 7.12 に示します。

表 7.12 端子機能 (ポート 8)

端子	選択方法と端子機能			
$P8_1/\overline{IRQ}_1$	P8 ₁ DDR ビットにより、次のように切り替わります。			
	P8 ₁ DDR	0	1	
	端子機能	P8 ₁ 入力端子	使用禁止	モード7 P8 ₁ 出力端子
		IRQ ₁ 入力端子		
$P8_0/\overline{IRQ}_0$	P8 ₀ DDR ビットにより、次のように切り替わります。			
	P8 ₀ DDR	0	1	
	端子機能	P8 ₀ 入力端子	P8 ₀ 出力端子	
		IRQ ₀ 入力端子		

7.9 ポート 9

7.9.1 概要

ポート 9 は、6 ビットの入出力ポートです。ポート 9 はシリアルコミュニケーションインタフェースチャンネル 0、1 (SCI0、SCI1) の入出力端子 (TxD₀、TxD₁、RxD₀、RxD₁、SCK₀、SCK₁)、 $\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ 入力端子と兼用になっています。

ポート 9 の端子機能はいずれの動作モードでも共通です。ポート 9 の端子構成を図 7.21 に示します。ポート 9 は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

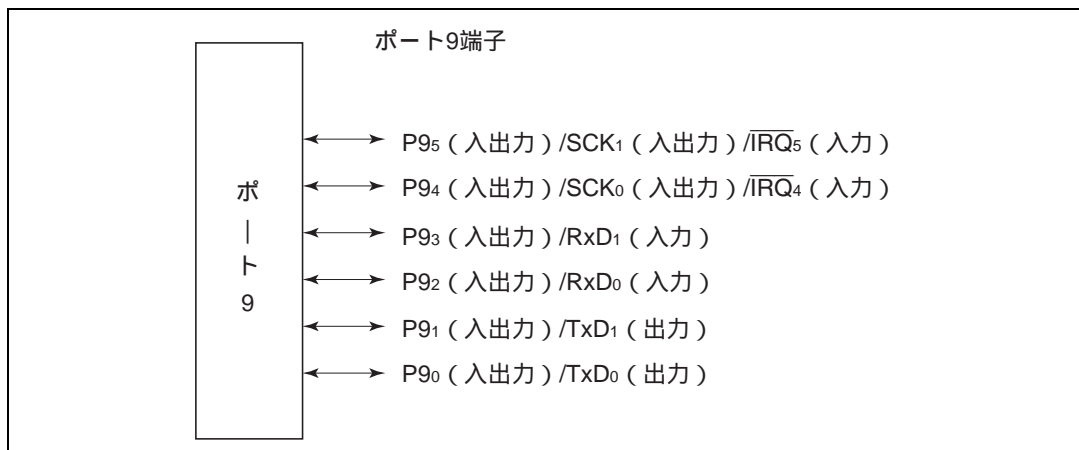


図 7.21 ポート 9 の端子構成

7.9.2 レジスタの構成と説明

表 7.13 にポート 9 のレジスタ構成を示します。

表 7.13 ポート 9 レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFD0	ポート 9 データディレクションレジスタ	P9DDR	W	H'C0
H'FFD2	ポート 9 データレジスタ	P9DR	R/W	H'C0

【注】 * アドレスの下位 16 ビットを示しています。

(1) ポート9 データディレクションレジスタ (P9DDR)

P9DDR は、8 ビットのライト専用のレジスタで、ポート9 各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	—	—	P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR
初期値:	1	1	0	0	0	0	0	0
R/W :	—	—	W	W	W	W	W	W

リザーブビット

ポート9データディレクション5~0

ポート9の各端子の入出力を選択するビットです。

P9DDR を 1 にセットすると対応するポート9 の各端子は出力となり、0 にクリアすると入力になります。

P9DDR は、ライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

P9DDR は、リセット、またはハードウェアスタンバイモード時に、H'CO に初期化されます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、P9DDR が、1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート9 データレジスタ (P9DR)

P9DR は、8 ビットのリード/ライト可能なレジスタで、ポート9 の出力データを格納します。また、このレジスタをリードすると、P9DDR が 0 のビットは端子のロジックレベルが読み出され、1 のビットは P9DR の値が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	—	—	P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀
初期値:	1	1	0	0	0	0	0	0
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット

ポート9データ5~0

ポート9の各端子のデータを格納するビットです。

ビット7、6 はリザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

P9DR は、リセット、またはハードウェアスタンバイモード時に、H'CO に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

7. I/O ポート

7.9.3 端子機能

ポート 9 の各端子は SCI の入出力端子 (Tx_D, Rx_D, SCK)、および $\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ 入力端子と兼用になっています。ポート 9 の端子機能について表 7.14 に示します。

表 7.14 ポート 9 の端子機能

端子	選択方法と端子機能				
P9 ₅ /SCK ₁ / $\overline{\text{IRQ}}_5$	SCI1 の SMR の C/ $\overline{\text{A}}$ ビット、SCR の CKE0、1 ビットと P9 ₅ DDR ビットの組み合わせにより次のように切り替わります。				
	CKE1	0			1
	C/ $\overline{\text{A}}$	0		1	—
	CKE0	0	1	—	—
	P9 ₅ DDR	0	1	—	—
端子機能	P9 ₅ 入力端子	P9 ₅ 出力端子	SCK ₁ 出力端子	SCK ₁ 出力端子	SCK ₁ 入力端子
$\overline{\text{IRQ}}_5$ 入力端子					
P9 ₄ /SCK ₀ / $\overline{\text{IRQ}}_4$	SCI0 の SMR の C/ $\overline{\text{A}}$ ビット、SCR の CKE0、1 ビットと P9 ₄ DDR ビットの組み合わせにより次のように切り替わります。				
	CKE1	0			1
	C/ $\overline{\text{A}}$	0		1	—
	CKE0	0	1	—	—
	P9 ₄ DDR	0	1	—	—
端子機能	P9 ₄ 入力端子	P9 ₄ 出力端子	SCK ₀ 出力端子	SCK ₀ 出力端子	SCK ₀ 入力端子
$\overline{\text{IRQ}}_4$ 入力端子					
P9 ₃ /Rx _D ₁	SCI1 の SCR の RE ビットと P9 ₃ DDR ビットの組み合わせにより、次のように切り替わります。				
	RE	0			1
	P9 ₃ DDR	0	1	—	
	端子機能	P9 ₃ 入力端子	P9 ₃ 出力端子	Rx _D ₁ 入力端子	
P9 ₂ /Rx _D ₀	SCI0 の SCR の RE ビット、SCMR の SMIF ビット、および P9 ₂ DDR ビットの組み合わせにより、次のように切り替わります。				
	SMIF	0			1
	RE	0		1	—
	P9 ₂ DDR	0	1	—	—
	端子機能	P9 ₂ 入力端子	P9 ₂ 出力端子	Rx _D ₀ 入力端子	Rx _D ₀ 入力端子

端子	選択方法と端子機能																				
P9 _i /TxD _i	<p>SCI1 の SCR の TE ビットと P9_iDDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>TE</th> <th colspan="2">0</th> <th>1</th> </tr> </thead> <tbody> <tr> <td>P9_iDDR</td> <td>0</td> <td>1</td> <td>—</td> </tr> <tr> <td>端子機能</td> <td>P9_i入力端子</td> <td>P9_i出力端子</td> <td>TxD_i出力端子</td> </tr> </tbody> </table>	TE	0		1	P9 _i DDR	0	1	—	端子機能	P9 _i 入力端子	P9 _i 出力端子	TxD _i 出力端子								
TE	0		1																		
P9 _i DDR	0	1	—																		
端子機能	P9 _i 入力端子	P9 _i 出力端子	TxD _i 出力端子																		
P9 _o /TxD _o	<p>SCI0 の SCR の TE ビット、SCMR の SMIF ビット、および P9_oDDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>SMIF</th> <th colspan="2">0</th> <th>1</th> </tr> </thead> <tbody> <tr> <td>TE</td> <td colspan="2">0</td> <td>1</td> </tr> <tr> <td>P9_oDDR</td> <td>0</td> <td>1</td> <td>—</td> </tr> <tr> <td>端子機能</td> <td>P9_o入力端子</td> <td>P9_o出力端子</td> <td>TxD_o出力端子</td> </tr> <tr> <td></td> <td></td> <td></td> <td>TxD_o出力端子*</td> </tr> </tbody> </table> <p>【注】* TxD_oの出力端子として機能します。ただし、ハイインピーダンス状態と端子ドライブ状態の2種類の状態があります。</p>	SMIF	0		1	TE	0		1	P9 _o DDR	0	1	—	端子機能	P9 _o 入力端子	P9 _o 出力端子	TxD _o 出力端子				TxD _o 出力端子*
SMIF	0		1																		
TE	0		1																		
P9 _o DDR	0	1	—																		
端子機能	P9 _o 入力端子	P9 _o 出力端子	TxD _o 出力端子																		
			TxD _o 出力端子*																		

7.10 ポート A

7.10.1 概要

ポート A は、8 ビットの入出力ポートです。ポート A は、プログラマブルタイミングパターンコントローラ (TPC) の出力端子 (TP₇ ~ TP₀)、16 ビットインテグレートドタイマユニット (ITU) の入出力端子 (TIOCB₂、TIOCA₂、TIOCB₁、TIOCA₁、TIOCB₀、TIOCA₀、TCLKD、TCLKC、TCLKB、TCLKA)、およびアドレスバス (A₂₃ ~ A₂₀) と兼用になっています。ポート A の端子構成を図 7.22 に示します。

ポート A は、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。ポート A はシュミットトリガ入力です。

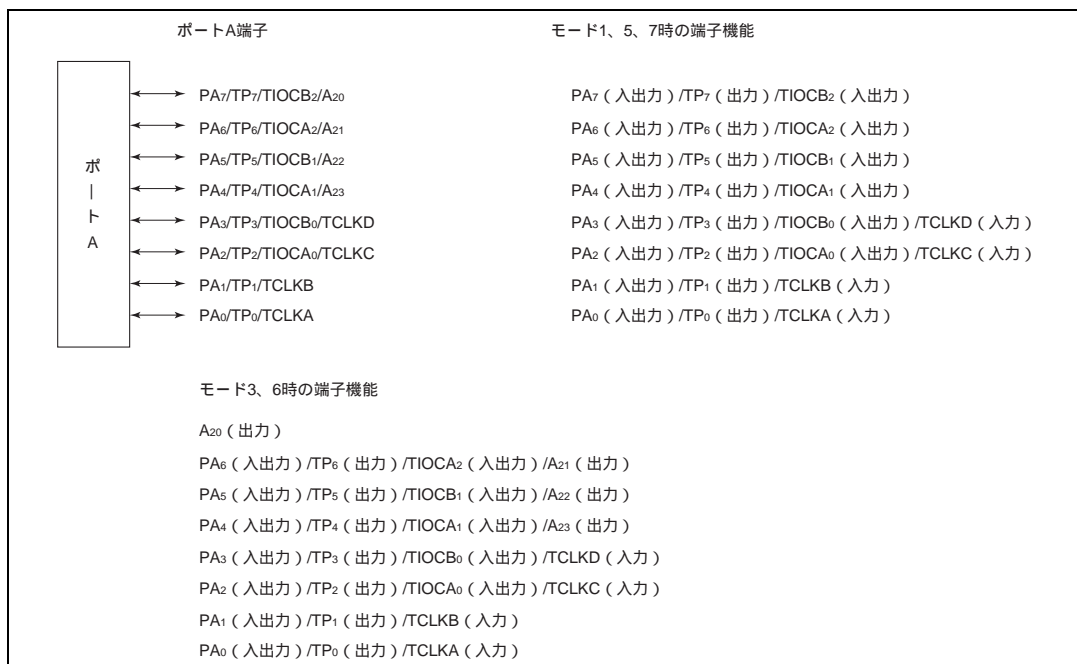


図 7.22 ポート A の端子構成

7.10.2 レジスタの構成と説明

表 7.15 にポート A のレジスタ構成を示します。

表 7.15 ポート A レジスタ構成

アドレス*	名称	略称	R/W	初期値	
				モード 1、5、7	モード 3、6
H'FFD1	ポート A データディレクションレジスタ	PADDR	W	H'00	H'80
H'FFD3	ポート A データレジスタ	PADR	R/W	H'00	

【注】 * アドレスの低位 16 ビットを示しています。

(1) ポート A データディレクションレジスタ (PADDR)

PADDR は、8 ビットのライト専用のレジスタで、ポート A 各端子の入出力をビットごとに指定することができます。TPC の出力端子として使用する場合も PADDR の対応するビットをセットしてください。

ビット:		7	6	5	4	3	2	1	0
		PA ₇ DDR	PA ₆ DDR	PA ₅ DDR	PA ₄ DDR	PA ₃ DDR	PA ₂ DDR	PA ₁ DDR	PA ₀ DDR
モード 3、6	初期値:	1	0	0	0	0	0	0	0
	R/W :	—	W	W	W	W	W	W	W
モード 1、5、7	初期値:	0	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W	W

ポート A データディレクション 7~0

ポート A の各端子の入出力を選択するビットです。

PADDR を 1 にセットすると対応するポート A の各端子は出力となり、0 にクリアすると入力になります。ただし、モード 3、6 では PA₇DDR は 1 に固定され、PA₇ はアドレス出力として機能します。

PADDR は、ライト専用レジスタで、リードは無効です。リードすると 1 が読み出されます。

PADDR は、リセット、またはハードウェアスタンバイモード時に、モード 1、5、7 では H'00 に、モード 3、6 では H'80 に初期化されます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、PADDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

7. I/O ポート

(2) ポート A データレジスタ (PADR)

PADR は、8 ビットのリード/ライト可能なレジスタで、ポート A の各端子 PA₇ ~ PA₀ のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートAデータ7~0

ポートAの各端子のデータを格納するビットです。

PADDR が 1 のとき、ポート A のリードを行うと PADR の値を直接リードします。PADDR が 0 のとき、ポート A のリードを行うと端子の状態が読み出されます。

PADR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

ポート A の各端子を TPC 出力端子として使用する場合は、PADR には、TPC 出力グループ 0、1 のパルス出力データが格納されます。ネクストデータイネーブルレジスタ (NDERA) の各ビット = 1 のとき、PADR の対応するビットのライトは禁止されます。

この場合、NDRA からの転送によってのみ、PADR の更新が行われます。

7.10.3 端子機能

ポート A の各端子は TPC の出力端子 (TP₇ ~ TP₀)、ITU の入出力端子 (TIOCB₂ ~ TIOCB₀、TIOCA₂ ~ TIOCA₀) と入力端子 (TCLKD、TCLKC、TCLKB、TCLKA)、およびアドレスバス (A₂₃ ~ A₂₀) と兼用になっています。ポート A の端子機能について表 7.16 に示します。

表 7.16 ポート A の端子機能

端子	選択方法と端子機能										
PA ₇ /TP ₇ /TIOCB ₂ /A ₂₀	モード設定と TMDR の PWM2 ビット、TIOR2 の IOB2 ~ IOB0 ビットによる ITU チャネル 2 の設定、NDERA の NDER7 ビット、および PADDR の PA ₇ DDR ビットの組み合わせにより、次のように切り替わります。										
	モード		1、5、7						3、6		
	ITUチャネル2の設定		下表(1)		下表(2)				—		
	PA ₇ DDR		—		0		1		1		—
	NDER7		—		—		0		1		—
	端子機能		TIOCB ₂ 出力		PA ₇ 入力		PA ₇ 出力		TP ₇ 出力		A ₂₀ 出力
					TIOCB ₂ 入力*						
	【注】 * IOB2 = 1、かつPWM2 = 0の場合にTIOCB ₂ 入力となります。										
	ITUチャネル2の設定		(2)		(1)				(2)		
	IOB2		—		0				1		
IOB1		0		0		1		—			
IOB0		0		1		—		—			
PA ₆ /TP ₆ /TIOCA ₂ /A ₂₁	モード設定と BRRCR の A ₂₁ E ビット、TMDR の PWM2 ビット、TIOR2 の IOA2 ~ IOA0 ビットによる ITU チャネル 2 の設定、NDERA の NDER6 ビット、および PADDR の PA ₆ DDR ビットの組み合わせにより、次のように切り替わります。										
	モード		1、5、7						3、6		
	A ₂₁ E		—						1		0
	ITUチャネル2の設定		下表(1)		下表(2)				下表(1)		下表(2)
	PA ₆ DDR		—		0		1		1		—
	NDER6		—		—		0		1		—
	端子機能		TIOCA ₂ 出力		PA ₆ 入力		PA ₆ 出力		TP ₆ 出力		A ₂₁ 出力
					TIOCA ₂ 入力*		TIOCA ₂ 出力		TIOCA ₂ 入力*		
	【注】 * IOA2 = 1の場合にTIOCA ₂ 入力となります。										
	ITUチャネル2の設定		(2)		(1)				(2)		(1)
PWM2		—		0				1			
IOA2		—		0				1		—	
IOA1		0		0		1		—		—	
IOA0		0		1		—		—		—	

7. I/O ポート

端子	選択方法と端子機能									
PA ₅ /TP ₅ /TIOCB ₁ /A ₂₂	モード設定と BRCR の A ₂₂ E ビット、TMDR の PWM1 ビット、TIOR1 の IOB2~IOB0 ビットによる ITU チャンネル 1 の設定、NDERA の NDER5 ビット、および PADDR の PA ₅ DDR ビットの組み合わせにより、次のように切り替わります。									
モード		1、5、7				3、6				
A ₂₂ E		—				1				0
ITUチャンネル1の設定		下表(1)	下表(2)			下表(1)	下表(2)			—
PA ₅ DDR		—	0	1	1	—	0	1	1	—
NDER5		—	—	0	1	—	—	0	1	—
端子機能		TIOCB ₁ 出力	PA ₅ 入力	PA ₅ 出力	TP ₅ 出力	TIOCB ₁ 出力	PA ₅ 入力	PA ₅ 出力	TP ₅ 出力	A ₂₂ 出力
			TIOCB ₁ 入力*				TIOCB ₁ 入力*			
【注】 * IOB2 = 1、かつPWM1 = 0の場合にTIOCB ₁ 入力となります。										
ITUチャンネル1の設定		(2)	(1)			(2)				
IOB2		0			1					
IOB1		0	0	1	—					
IOB0		0	1	—			—			
PA ₄ /TP ₄ /TIOCA ₁ /A ₂₃	モード設定と BRCR の A ₂₃ E ビット、TMDR の PWM1 ビット、TIOR1 の IOA2~IOB0 ビットによる ITU チャンネル 1 の設定、NDERA の NDER4 ビット、および PADDR の PA ₄ DDR ビットの組み合わせにより、次のように切り替わります。									
モード		1、5、7				3、6				
A ₂₃ E		—				1				0
ITUチャンネル1の設定		下表(1)	下表(2)			下表(1)	下表(2)			—
PA ₄ DDR		—	0	1	1	—	0	1	1	—
NDER4		—	—	0	1	—	—	0	1	—
端子機能		TIOCA ₁ 出力	PA ₄ 入力	PA ₄ 出力	TP ₄ 出力	TIOCA ₁ 出力	PA ₄ 入力	PA ₄ 出力	TP ₄ 出力	A ₂₃ 出力
			TIOCA ₁ 入力*				TIOCA ₁ 入力*			
【注】 * IOA2 = 1の場合にTIOCA ₁ 入力となります。										
ITUチャンネル1の設定		(2)	(1)			(2)		(1)		
PWM1		0			1		—			
IOA2		0			1		—			
IOA1		0	0	1	—		—			
IOA0		0	1	—			—			

端子	選択方法と端子機能																																																					
PA ₃ /TP ₃ /TIOCB ₀ / TCLKD	<p>TMDR の PWM0 ビット、TIOR0 の IOB2 ~ IOB0 ビットによる ITU チャンネル 0 の設定、TCR4 ~ TCR0 の TPSC2 ~ TPSC0 ビット、NDERA の NDER3 ビット、および PADDR の PA₃DDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>ITUチャンネル0の設定</th> <th>下表 (1)</th> <th colspan="3">下表 (2)</th> </tr> </thead> <tbody> <tr> <td>PA₃DDR</td> <td>—</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER3</td> <td>—</td> <td>—</td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端子機能</td> <td rowspan="2">TIOCB₀出力</td> <td>PA₃入力</td> <td>PA₃出力</td> <td>TP₃出力</td> </tr> <tr> <td colspan="3">TIOCB₀入力*1</td> </tr> <tr> <td colspan="5">TCLKD入力*2</td> </tr> </tbody> </table> <p>【注】 *1 IOB2 = 1、かつPWM0 = 0の場合にTIOCB₀入力となります。 *2 TCR4 ~ TCR0のいずれかの設定がTPSC2 = TPSC1 = TPSC0 = 1の場合にTCLKD入力となります。</p> <table border="1"> <thead> <tr> <th>ITUチャンネル0の設定</th> <th>(2)</th> <th>(1)</th> <th>(2)</th> </tr> </thead> <tbody> <tr> <td>IOB2</td> <td colspan="2">0</td> <td>1</td> </tr> <tr> <td>IOB1</td> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>IOB0</td> <td>0</td> <td>1</td> <td>—</td> </tr> </tbody> </table>	ITUチャンネル0の設定	下表 (1)	下表 (2)			PA ₃ DDR	—	0	1	1	NDER3	—	—	0	1	端子機能	TIOCB ₀ 出力	PA ₃ 入力	PA ₃ 出力	TP ₃ 出力	TIOCB ₀ 入力*1			TCLKD入力*2					ITUチャンネル0の設定	(2)	(1)	(2)	IOB2	0		1	IOB1	0	0	1	IOB0	0	1	—									
ITUチャンネル0の設定	下表 (1)	下表 (2)																																																				
PA ₃ DDR	—	0	1	1																																																		
NDER3	—	—	0	1																																																		
端子機能	TIOCB ₀ 出力	PA ₃ 入力	PA ₃ 出力	TP ₃ 出力																																																		
		TIOCB ₀ 入力*1																																																				
TCLKD入力*2																																																						
ITUチャンネル0の設定	(2)	(1)	(2)																																																			
IOB2	0		1																																																			
IOB1	0	0	1																																																			
IOB0	0	1	—																																																			
PA ₂ /TP ₂ /TIOCA ₀ / TCLKC	<p>TMDR の PWM0 ビット、TIOR0 の IOA2 ~ IOA0 ビットによる ITU チャンネル 0 の設定、TCR4 ~ TCR0 の TPSC2 ~ TPSC0 ビット、NDERA の NDER2 ビット、および PADDR の PA₂DDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>ITUチャンネル0の設定</th> <th>下表 (1)</th> <th colspan="3">下表 (2)</th> </tr> </thead> <tbody> <tr> <td>PA₂DDR</td> <td>—</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER2</td> <td>—</td> <td>—</td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端子機能</td> <td rowspan="2">TIOCA₀出力</td> <td>PA₂入力</td> <td>PA₂出力</td> <td>TP₂出力</td> </tr> <tr> <td colspan="3">TIOCA₀入力*1</td> </tr> <tr> <td colspan="5">TCLKC入力*2</td> </tr> </tbody> </table> <p>【注】 *1 IOA2 = 1の場合にTIOCA₀入力となります。 *2 TCR4 ~ TCR0のいずれかの設定がTPSC2 = TPSC1 = 1、TPSC0 = 0の場合にTCLKC入力となります。</p> <table border="1"> <thead> <tr> <th>ITUチャンネル0の設定</th> <th>(2)</th> <th>(1)</th> <th>(2)</th> <th>(1)</th> </tr> </thead> <tbody> <tr> <td>PWM0</td> <td colspan="3">0</td> <td>1</td> </tr> <tr> <td>IOA2</td> <td colspan="2">0</td> <td>1</td> <td>—</td> </tr> <tr> <td>IOA1</td> <td>0</td> <td>0</td> <td>1</td> <td>—</td> </tr> <tr> <td>IOA0</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> </tr> </tbody> </table>	ITUチャンネル0の設定	下表 (1)	下表 (2)			PA ₂ DDR	—	0	1	1	NDER2	—	—	0	1	端子機能	TIOCA ₀ 出力	PA ₂ 入力	PA ₂ 出力	TP ₂ 出力	TIOCA ₀ 入力*1			TCLKC入力*2					ITUチャンネル0の設定	(2)	(1)	(2)	(1)	PWM0	0			1	IOA2	0		1	—	IOA1	0	0	1	—	IOA0	0	1	—	—
ITUチャンネル0の設定	下表 (1)	下表 (2)																																																				
PA ₂ DDR	—	0	1	1																																																		
NDER2	—	—	0	1																																																		
端子機能	TIOCA ₀ 出力	PA ₂ 入力	PA ₂ 出力	TP ₂ 出力																																																		
		TIOCA ₀ 入力*1																																																				
TCLKC入力*2																																																						
ITUチャンネル0の設定	(2)	(1)	(2)	(1)																																																		
PWM0	0			1																																																		
IOA2	0		1	—																																																		
IOA1	0	0	1	—																																																		
IOA0	0	1	—	—																																																		

7. I/O ポート

端子	選択方法と端子機能															
PA ₁ /TP ₁ /TCLKB	<p>NDERA の NDER1 ビット、および PADDR の PA₁DDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1"> <tr> <td>PA₁DDR</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER1</td> <td>—</td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端子機能</td> <td>PA₁入力</td> <td>PA₁出力</td> <td>TP₁出力</td> </tr> <tr> <td colspan="3">TCLKB入力*</td> </tr> </table> <p>【注】 * TMDRのMDF = 1の場合、またはTCR4 ~ TCR0のいずれかの設定が TPSC2 = 1、TPSC1 = 0、TPSC0 = 1の場合にTCLKB入力となります。</p>	PA ₁ DDR	0	1	1	NDER1	—	0	1	端子機能	PA ₁ 入力	PA ₁ 出力	TP ₁ 出力	TCLKB入力*		
PA ₁ DDR	0	1	1													
NDER1	—	0	1													
端子機能	PA ₁ 入力	PA ₁ 出力	TP ₁ 出力													
	TCLKB入力*															
PA ₀ /TP ₀ /TCLKA	<p>NDERA の NDER0 ビット、および PADDR の PA₀DDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1"> <tr> <td>PA₀DDR</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER0</td> <td>—</td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端子機能</td> <td>PA₀入力</td> <td>PA₀出力</td> <td>TP₀出力</td> </tr> <tr> <td colspan="3">TCLKA入力*</td> </tr> </table> <p>【注】 * TMDRのMDF = 1の場合、またはTCR4 ~ TCR0のいずれかの設定が TPSC2 = 1、TPSC1 = TPSC0 = 0の場合にTCLKA入力となります。</p>	PA ₀ DDR	0	1	1	NDER0	—	0	1	端子機能	PA ₀ 入力	PA ₀ 出力	TP ₀ 出力	TCLKA入力*		
PA ₀ DDR	0	1	1													
NDER0	—	0	1													
端子機能	PA ₀ 入力	PA ₀ 出力	TP ₀ 出力													
	TCLKA入力*															

7.11 ポート B

7.11.1 概要

ポート B は、7 ビットの入出力ポートです。ポート B は TPC の出力端子 (TP₁₅、TP₁₃ ~ TP₈)、ITU の入出力端子 (TIOCB₄、TIOCB₃、TIOCA₄、TIOCA₃) と出力端子 (TOCXB₄、TOCXA₄)、A/D 変換器の ADTRG 入力端子と兼用になっています。ポート B の端子機能はいずれの動作モードでも共通です。ポート B の端子構成を図 7.23 に示します。

ポート B は、1 個の TTL 負荷と 30pF の容量負荷を駆動できます。また、LED、ダーリントントランジスタを駆動することもできます。PB₃ ~ PB₀ は、シュミットトリガ入力です。

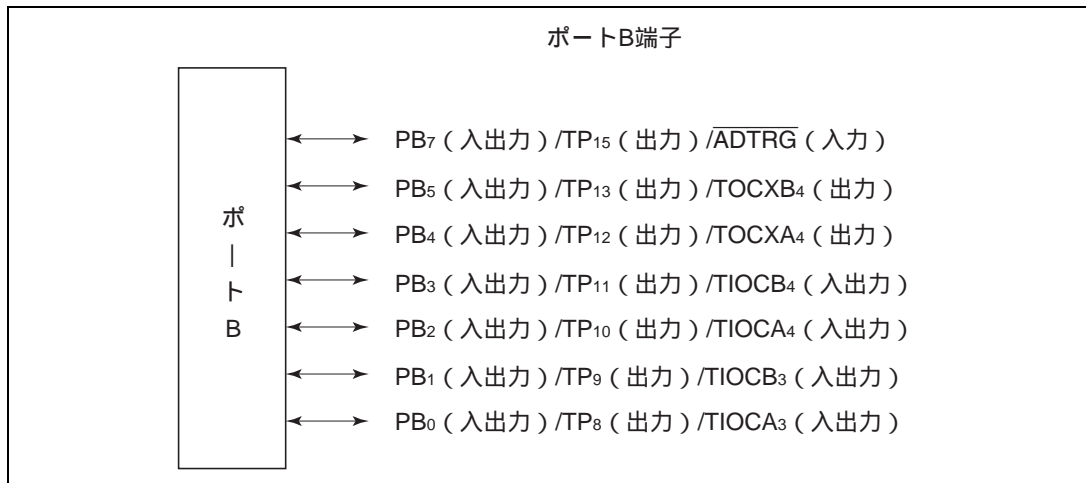


図 7.23 ポート B の端子構成

7.11.2 レジスタの構成と説明

表 7.17 にポート B のレジスタ構成を示します。

表 7.17 ポート B レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFD4	ポート B データディレクションレジスタ	PBDDR	W	H'00
H'FFD6	ポート B データレジスタ	PBDR	R/W	H'00

【注】 * アドレスの下位 16 ビットを示しています。

7. I/O ポート

(1) ポート B データディレクションレジスタ (PBDDR)

PBDDR は、8 ビットのライト専用のレジスタで、ポート B 各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	PB7DDR	—	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

リザーブビット
ポートBデータディレクション7、5~0
ポートBの各端子の入出力を選択するビットです。

PBDDR を 1 にセットすると対応するポート B の各端子は出力となり、0 にクリアすると入力になります。

ビット 6 はリザーブビットです。

PBDDR は、ライト専用レジスタで、リードは無効です。リードすると、1 が読み出されます。

PBDDR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、PBDDR が 1 にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート B データレジスタ (PBDR)

PBDR は、8 ビットのリード/ライト可能なレジスタで、ポート B の各端子 PB₇、PB₅~PB₀ のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PB7	—	PB5	PB4	PB3	PB2	PB1	PB0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット
ポートBデータ7、5~0
ポートBの各端子のデータを格納するビットです。

PBDDR が 1 のとき、ポート B のリードを行うと PBDR の値を直接リードします。PBDDR が 0 のときポート B のリードを行うと端子の状態が読み出されます。

ビット 6 は、リザーブビットです。ビット 6 はリード/ライト可能ですが、ポートとしては使用できません。

PBDDR のビット 6 が 1 のときリードを行うと PBDR のビット 6 の値を直接リードします。PBDDR のビット 6 が 0 のときリードを行うと 1 が読み出されます。

PBDR は、リセット、またはハードウェアスタンバイモード時に、H'00 に初期化されます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

ポート B の各端子を TPC 出力端子として使用する場合は、PBDR には TPC 出力グループ 2、3 の

パルス出力データが格納されます。

ネクストデータインープルレジスタ B (NDERB) の各ビット = 1 のとき、PBDR の対応するビットのライトは禁止されます。

この場合、NDRB からの転送によってのみ PBDR の更新が行われます。

7.11.3 端子機能

ポート B の各端子は TPC の出力端子 (TP₁₅、TP₁₃ ~ TP₈)、ITU の入出力端子 (TIOCB₄、TIOCB₃、TIOCA₄、TIOCA₃) と出力端子 (TOCXB₄、TOCXA₄)、および ADTRG 入力端子と兼用になっています。ポート B の端子機能について表 7.18 に示します。

表 7.18 ポート B の端子機能

端子	選択方法と端子機能			
PB ₇ /TP ₁₅ /ADTRG	ADCR の TRGE ビット、NDERB の NDER15 ビット、および PBDDR の PB ₇ DDR ビットの組み合わせにより、次のように切り替わります。			
	PB ₇ DDR	0	1	1
	NDER15	—	0	1
	端子機能	PB ₇ 入力	PB ₇ 出力	TP ₁₅ 出力
		ADTRG入力*		
	【注】 * TRGE = 1 のとき ADTRG 入力となります。			
PB ₅ /TP ₁₃ /TOCXB ₄	TFCR の CMD1 ビット、TOER の EXB4 ビットによる ITU チャネル 4 の設定、NDERB の NDER13 ビット、および PBDDR の PB ₅ DDR ビットの組み合わせにより、次のように切り替わります。			
	EXB4、CMD1	いずれかが0		いずれも1
	PB ₅ DDR	0	1	1
	NDER13	—	0	1
	端子機能	PB ₅ 入力	PB ₅ 出力	TP ₁₃ 出力 TOCXB ₄ 出力
PB ₄ /TP ₁₂ /TOCXA ₄	TFCR の CMD1 ビット、TOER の EXA4 ビットによる ITU チャネル 4 の設定、NDERB の NDER12 ビット、および PBDDR の PB ₄ DDR ビットの組み合わせにより、次のように切り替わります。			
	EXA4、CMD1	いずれかが0		いずれも1
	PB ₄ DDR	0	1	1
	NDER12	—	0	1
	端子機能	PB ₄ 入力	PB ₄ 出力	TP ₁₂ 出力 TOCXA ₄ 出力

7. I/O ポート

端子	選択方法と端子機能																																																																						
PB ₃ /TP ₁₁ /TIOCB ₄	<p>TMDR の PWM4 ビット、TFCR の CMD1 ビット、TOER の EB4 ビット、および TIOR4 の IOB2 ~ IOB0 ビットによる ITU チャンネル 4 の設定、NDERB の NDER11 ビット、および PBDDR の PB₃DDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>ITUチャンネル4の設定</th> <th>下表(1)</th> <th colspan="3">下表(2)</th> </tr> </thead> <tbody> <tr> <td>PB₃DDR</td> <td>—</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER11</td> <td>—</td> <td>—</td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端子機能</td> <td rowspan="2">TIOCB₄出力</td> <td>PB₃入力</td> <td>PB₃出力</td> <td>TP₁₁出力</td> </tr> <tr> <td colspan="3">TIOCB₄入力*</td> </tr> </tbody> </table> <p>【注】 * CMD1 = PWM4 = 0、かつIOB2 = 1の場合にTIOCB₄入力となります。</p> <table border="1"> <thead> <tr> <th>ITUチャンネル4の設定</th> <th>(2)</th> <th>(2)</th> <th>(1)</th> <th>(2)</th> <th>(1)</th> </tr> </thead> <tbody> <tr> <td>EB4</td> <td>0</td> <td colspan="4">1</td> </tr> <tr> <td>CMD1</td> <td>—</td> <td colspan="4">0</td> <td>1</td> </tr> <tr> <td>IOB2</td> <td>—</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>—</td> </tr> <tr> <td>IOB1</td> <td>—</td> <td>0</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> </tr> <tr> <td>IOB0</td> <td>—</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> <td>—</td> </tr> </tbody> </table>	ITUチャンネル4の設定	下表(1)	下表(2)			PB ₃ DDR	—	0	1	1	NDER11	—	—	0	1	端子機能	TIOCB ₄ 出力	PB ₃ 入力	PB ₃ 出力	TP ₁₁ 出力	TIOCB ₄ 入力*			ITUチャンネル4の設定	(2)	(2)	(1)	(2)	(1)	EB4	0	1				CMD1	—	0				1	IOB2	—	0	0	0	1	—	IOB1	—	0	0	1	—	—	IOB0	—	0	1	—	—	—							
ITUチャンネル4の設定	下表(1)	下表(2)																																																																					
PB ₃ DDR	—	0	1	1																																																																			
NDER11	—	—	0	1																																																																			
端子機能	TIOCB ₄ 出力	PB ₃ 入力	PB ₃ 出力	TP ₁₁ 出力																																																																			
		TIOCB ₄ 入力*																																																																					
ITUチャンネル4の設定	(2)	(2)	(1)	(2)	(1)																																																																		
EB4	0	1																																																																					
CMD1	—	0				1																																																																	
IOB2	—	0	0	0	1	—																																																																	
IOB1	—	0	0	1	—	—																																																																	
IOB0	—	0	1	—	—	—																																																																	
PB ₂ /TP ₁₀ /TIOCA ₄	<p>TFCR の CMD1 ビット、TOER の EA4 ビット、TMDR の PWM4 ビット、および TIOR4 の IOA2 ~ IOA0 ビットによる ITU チャンネル 4 の設定、NDERB の NDER10 ビット、および PBDDR の PB₂DDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>ITUチャンネル4の設定</th> <th>下表(1)</th> <th colspan="3">下表(2)</th> </tr> </thead> <tbody> <tr> <td>PB₂DDR</td> <td>—</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER10</td> <td>—</td> <td>—</td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端子機能</td> <td rowspan="2">TIOCA₄出力</td> <td>PB₂入力</td> <td>PB₂出力</td> <td>TP₁₀出力</td> </tr> <tr> <td colspan="3">TIOCA₄入力*</td> </tr> </tbody> </table> <p>【注】 * CMD1 = PWM4 = 0、IOA2 = 1の場合にTIOCA₄入力となります。</p> <table border="1"> <thead> <tr> <th>ITUチャンネル4の設定</th> <th>(2)</th> <th>(2)</th> <th>(1)</th> <th>(2)</th> <th>(1)</th> </tr> </thead> <tbody> <tr> <td>EA4</td> <td>0</td> <td colspan="4">1</td> </tr> <tr> <td>CMD1</td> <td>—</td> <td colspan="4">0</td> <td>1</td> </tr> <tr> <td>PWM4</td> <td>—</td> <td colspan="3">0</td> <td>1</td> <td>—</td> </tr> <tr> <td>IOA2</td> <td>—</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>—</td> </tr> <tr> <td>IOA1</td> <td>—</td> <td>0</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> </tr> <tr> <td>IOA0</td> <td>—</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> <td>—</td> </tr> </tbody> </table>	ITUチャンネル4の設定	下表(1)	下表(2)			PB ₂ DDR	—	0	1	1	NDER10	—	—	0	1	端子機能	TIOCA ₄ 出力	PB ₂ 入力	PB ₂ 出力	TP ₁₀ 出力	TIOCA ₄ 入力*			ITUチャンネル4の設定	(2)	(2)	(1)	(2)	(1)	EA4	0	1				CMD1	—	0				1	PWM4	—	0			1	—	IOA2	—	0	0	0	1	—	IOA1	—	0	0	1	—	—	IOA0	—	0	1	—	—	—
ITUチャンネル4の設定	下表(1)	下表(2)																																																																					
PB ₂ DDR	—	0	1	1																																																																			
NDER10	—	—	0	1																																																																			
端子機能	TIOCA ₄ 出力	PB ₂ 入力	PB ₂ 出力	TP ₁₀ 出力																																																																			
		TIOCA ₄ 入力*																																																																					
ITUチャンネル4の設定	(2)	(2)	(1)	(2)	(1)																																																																		
EA4	0	1																																																																					
CMD1	—	0				1																																																																	
PWM4	—	0			1	—																																																																	
IOA2	—	0	0	0	1	—																																																																	
IOA1	—	0	0	1	—	—																																																																	
IOA0	—	0	1	—	—	—																																																																	

端子	選択方法と端子機能																																																																				
PB ₁ /TP ₉ /TIOCB ₃	<p>TMDR の PWM3 ビット、TFCR の CMD1 ビット、TOER の EB3 ビット、および TIOR3 の IOB2 ~ IOB0 ビットによる ITU チャネル 3 の設定、NDERB の NDER9 ビット、および PBDDR の PB₁DDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>ITUチャネル3の設定</th> <th>下表(1)</th> <th colspan="3">下表(2)</th> </tr> </thead> <tbody> <tr> <td>PB₁DDR</td> <td>—</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER9</td> <td>—</td> <td>—</td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端子機能</td> <td rowspan="2">TIOCB₃出力</td> <td>PB₁入力</td> <td>PB₁出力</td> <td>TP₉出力</td> </tr> <tr> <td colspan="3">TIOCB₃入力*</td> </tr> </tbody> </table> <p>【注】 * CMD1 = PWM3 = 0、IOB2 = 1 の場合に TIOCB₃ 入力となります。</p> <table border="1"> <thead> <tr> <th>ITUチャネル3の設定</th> <th>(2)</th> <th>(2)</th> <th>(1)</th> <th>(2)</th> <th>(1)</th> </tr> </thead> <tbody> <tr> <td>EB3</td> <td>0</td> <td colspan="4">1</td> </tr> <tr> <td>CMD1</td> <td>—</td> <td colspan="3">0</td> <td>1</td> </tr> <tr> <td>IOB2</td> <td>—</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>—</td> </tr> <tr> <td>IOB1</td> <td>—</td> <td>0</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> </tr> <tr> <td>IOB0</td> <td>—</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> <td>—</td> </tr> </tbody> </table>	ITUチャネル3の設定	下表(1)	下表(2)			PB ₁ DDR	—	0	1	1	NDER9	—	—	0	1	端子機能	TIOCB ₃ 出力	PB ₁ 入力	PB ₁ 出力	TP ₉ 出力	TIOCB ₃ 入力*			ITUチャネル3の設定	(2)	(2)	(1)	(2)	(1)	EB3	0	1				CMD1	—	0			1	IOB2	—	0	0	0	1	—	IOB1	—	0	0	1	—	—	IOB0	—	0	1	—	—	—						
ITUチャネル3の設定	下表(1)	下表(2)																																																																			
PB ₁ DDR	—	0	1	1																																																																	
NDER9	—	—	0	1																																																																	
端子機能	TIOCB ₃ 出力	PB ₁ 入力	PB ₁ 出力	TP ₉ 出力																																																																	
		TIOCB ₃ 入力*																																																																			
ITUチャネル3の設定	(2)	(2)	(1)	(2)	(1)																																																																
EB3	0	1																																																																			
CMD1	—	0			1																																																																
IOB2	—	0	0	0	1	—																																																															
IOB1	—	0	0	1	—	—																																																															
IOB0	—	0	1	—	—	—																																																															
PB ₀ /TP ₈ /TIOCA ₃	<p>TFCR の CMD1 ビット、TOER の EA3 ビット、TMDR の PWM3 ビット、および TIOR3 の IOA2 ~ IOA0 ビットによる ITU チャネル 3 の設定、NDERB の NDER8 ビット、および PBDDR の PB₀DDR ビットの組み合わせにより、次のように切り替わります。</p> <table border="1"> <thead> <tr> <th>ITUチャネル3の設定</th> <th>下表(1)</th> <th colspan="3">下表(2)</th> </tr> </thead> <tbody> <tr> <td>PB₀DDR</td> <td>—</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER8</td> <td>—</td> <td>—</td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端子機能</td> <td rowspan="2">TIOCA₃出力</td> <td>PB₀入力</td> <td>PB₀出力</td> <td>TP₈出力</td> </tr> <tr> <td colspan="3">TIOCA₃入力*</td> </tr> </tbody> </table> <p>【注】 * CMD1 = PWM3 = 0、IOA2 = 1 の場合に TIOCA₃ 入力となります。</p> <table border="1"> <thead> <tr> <th>ITUチャネル3の設定</th> <th>(2)</th> <th>(2)</th> <th>(1)</th> <th>(2)</th> <th>(1)</th> </tr> </thead> <tbody> <tr> <td>EA3</td> <td>0</td> <td colspan="4">1</td> </tr> <tr> <td>CMD1</td> <td>—</td> <td colspan="3">0</td> <td>1</td> </tr> <tr> <td>PWM3</td> <td>—</td> <td colspan="2">0</td> <td>1</td> <td>—</td> </tr> <tr> <td>IOA2</td> <td>—</td> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>—</td> </tr> <tr> <td>IOA1</td> <td>—</td> <td>0</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> </tr> <tr> <td>IOA0</td> <td>—</td> <td>0</td> <td>1</td> <td>—</td> <td>—</td> <td>—</td> </tr> </tbody> </table>	ITUチャネル3の設定	下表(1)	下表(2)			PB ₀ DDR	—	0	1	1	NDER8	—	—	0	1	端子機能	TIOCA ₃ 出力	PB ₀ 入力	PB ₀ 出力	TP ₈ 出力	TIOCA ₃ 入力*			ITUチャネル3の設定	(2)	(2)	(1)	(2)	(1)	EA3	0	1				CMD1	—	0			1	PWM3	—	0		1	—	IOA2	—	0	0	0	1	—	IOA1	—	0	0	1	—	—	IOA0	—	0	1	—	—	—
ITUチャネル3の設定	下表(1)	下表(2)																																																																			
PB ₀ DDR	—	0	1	1																																																																	
NDER8	—	—	0	1																																																																	
端子機能	TIOCA ₃ 出力	PB ₀ 入力	PB ₀ 出力	TP ₈ 出力																																																																	
		TIOCA ₃ 入力*																																																																			
ITUチャネル3の設定	(2)	(2)	(1)	(2)	(1)																																																																
EA3	0	1																																																																			
CMD1	—	0			1																																																																
PWM3	—	0		1	—																																																																
IOA2	—	0	0	0	1	—																																																															
IOA1	—	0	0	1	—	—																																																															
IOA0	—	0	1	—	—	—																																																															

8. 16 ビットインテグレートドタイマユニット (ITU)

8.1 概要

本 LSI は、5 チャンネルの 16 ビットタイマにより構成される 16 ビットインテグレートドタイマユニット (ITU) を内蔵しています。

8.1.1 特長

ITU の特長を以下に示します。

最大 12 種類のパルス出力、または最大 10 種類のパルス入力処理が可能

各チャンネル 2 本、合計 10 本のジェネラルレジスタ (GR) を持ち、各レジスタ独立にアウトプットコンペア/インプットキャプチャの機能設定が可能

各チャンネルとも 8 種類のカウント入力クロックを選択可能

内部クロック : ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$

外部クロック : TCLKA、TCLKB、TCLKC、TCLKD

各チャンネルとも次の動作モードを設定可能

- コンペアマッチによる波形出力 : 0 出力 / 1 出力 / トグル出力が選択可能 (チャンネル 2 は 0 出力 / 1 出力が可能)
- インプットキャプチャ機能 : 立ち上がりエッジ / 立ち下がりエッジ / 両エッジ検出が選択可能
- カウンタクリア機能 : コンペアマッチ / インプットキャプチャによるカウンタクリアが可能
- 同期動作 : 複数のタイマカウンタ (TCNT) への同時書き込みが可能
コンペアマッチ / インプットキャプチャによる同時クリアが可能
カウンタの同期動作による各レジスタの同期入出力が可能
- PWM モード : 任意デューティの PWM 出力が可能
同期動作と組み合わせることにより、最大 5 相の PWM 出力が可能

チャンネル 2 は位相計数モードを設定可能

2 相エンコーダのカウント数の自動計測が可能

8. 16 ビットインテグレートドタイムユニット (ITU)

チャンネル 3、4 は次の動作モードを設定可能

- リセット同期 PWM モード : チャンネル 3、4 を組み合わせることにより、正相・逆相の PWM 波形を 3 相出力可能
- 相補 PWM モード : チャンネル 3、4 を組み合わせることにより、正相・逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力可能
- バッファ動作 : インพุットキャブチャレジスタのダブルバッファ構成が可能
アウトプットコンペアレジスタの自動書き換えが可能

内部 16 ビットバスによる高速アクセス

TCNT、GR、およびバッファレジスタ (BR) の 16 ビットレジスタに対して、16 ビットバスによる高速アクセスが可能

15 種類の割り込み要因

各チャンネルともコンペアマッチ/インพุットキャブチャ兼用割り込み×2 要因、オーバフロー割り込み×1 要因があり、それぞれ独立に要求可能

プログラマブルパターンコントローラ (TPC) の出力トリガを生成可能

チャンネル 0~3 のコンペアマッチ/インพุットキャブチャ信号を TPC の出力トリガとして使用可能

8. 16ビットインテグレートドタイムユニット (ITU)

ITU の機能一覧を表 8.1 に示します。

表 8.1 ITU の機能一覧

項目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3	チャンネル 4
カウントクロック	内部クロック : ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 外部クロック : TCLKA、TCLKB、TCLKC、TCLKD から独立に選択可能				
ジェネラルレジスタ (アウトプットコンペア/インプットキャプチャ兼用レジスタ)	GRA0、GRB0	GRA1、GRB1	GRA2、GRB2	GRA3、GRB3	GRA4、GRB4
バッファレジスタ				BRA3、BRB3	BRA4、BRB4
入出力端子	TIOCA ₀ 、TIOCB ₀	TIOCA ₁ 、TIOCB ₁	TIOCA ₂ 、TIOCB ₂	TIOCA ₃ 、TIOCB ₃	TIOCA ₄ 、TIOCB ₄
出力端子					TOCXA ₄ 、 TOCXB ₄
カウンタクリア機能	GRA0/GRB0 の コンペアマッチ またはインプット キャプチャ	GRA1/GRB1 の コンペアマッチ またはインプット キャプチャ	GRA2/GRB2 の コンペアマッチ またはインプット キャプチャ	GRA3/GRB3 の コンペアマッチ またはインプット キャプチャ	GRA4/GRB4 の コンペアマッチ またはインプット キャプチャ
コンペア マッチ出力	0 出力				
	1 出力				
	トグル出力				
インプットキャプチャ 機能					
同期動作					
PWM モード					
リセット同期 PWM モード					
相補 PWM モード					
位相計数モード					
バッファ動作					
割り込み要因	3 要因 ・コンペアマッチ /インプット キャプチャ A0 ・コンペアマッチ /インプット キャプチャ B0 ・オーバフロー	3 要因 ・コンペアマッチ /インプット キャプチャ A1 ・コンペアマッチ /インプット キャプチャ B1 ・オーバフロー	3 要因 ・コンペアマッチ /インプット キャプチャ A2 ・コンペアマッチ /インプット キャプチャ B2 ・オーバフロー	3 要因 ・コンペアマッチ /インプット キャプチャ A3 ・コンペアマッチ /インプット キャプチャ B3 ・オーバフロー	3 要因 ・コンペアマッチ /インプット キャプチャ A4 ・コンペアマッチ /インプット キャプチャ B4 ・オーバフロー

【記号説明】

- : 可能
- : 不可

8. 16ビットインテグレートドタイマユニット (ITU)

8.1.2 ブロック図

(1) ITUのブロック図 (全体図)

ITUのブロック図 (全体図) を図 8.1 に示します。

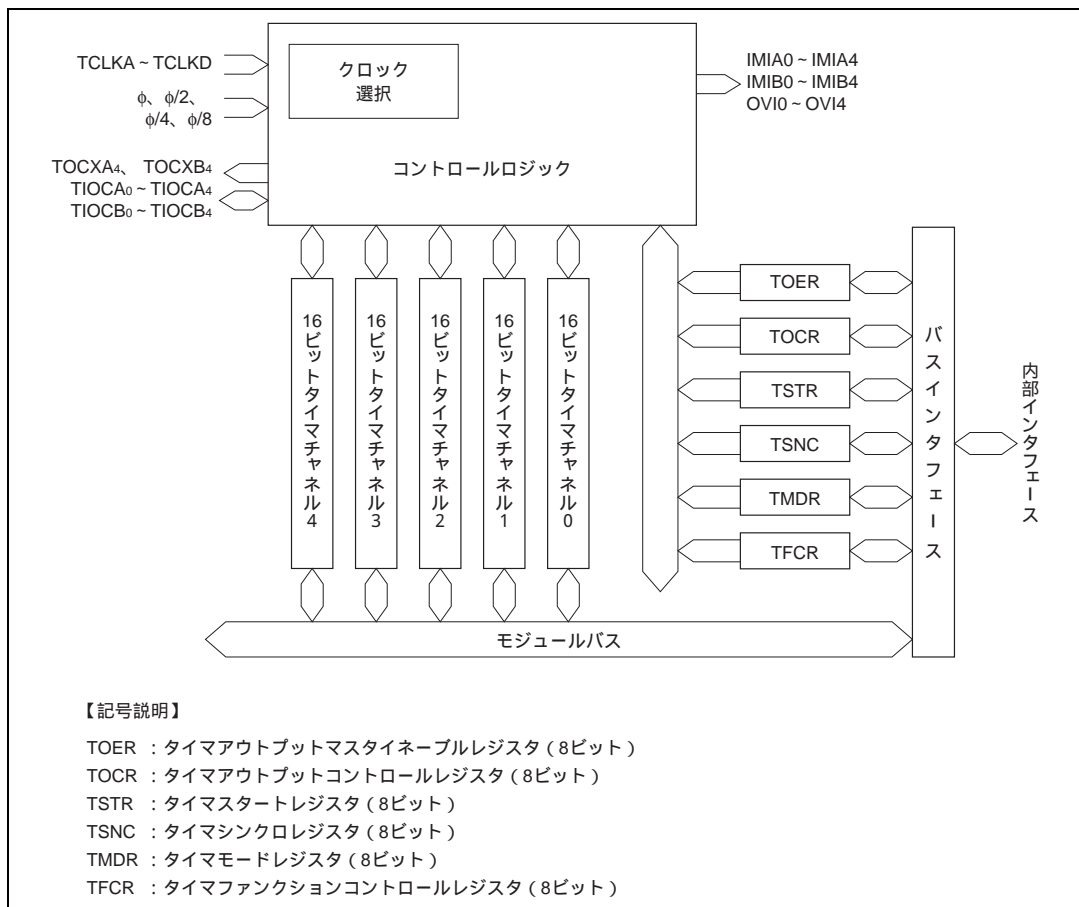


図 8.1 ITUのブロック図 (全体図)

(2) チャンネル0、1のブロック図

ITUのチャンネル0、1は同一の機能をもっています。チャンネル0、1のブロック図を図8.2に示します。

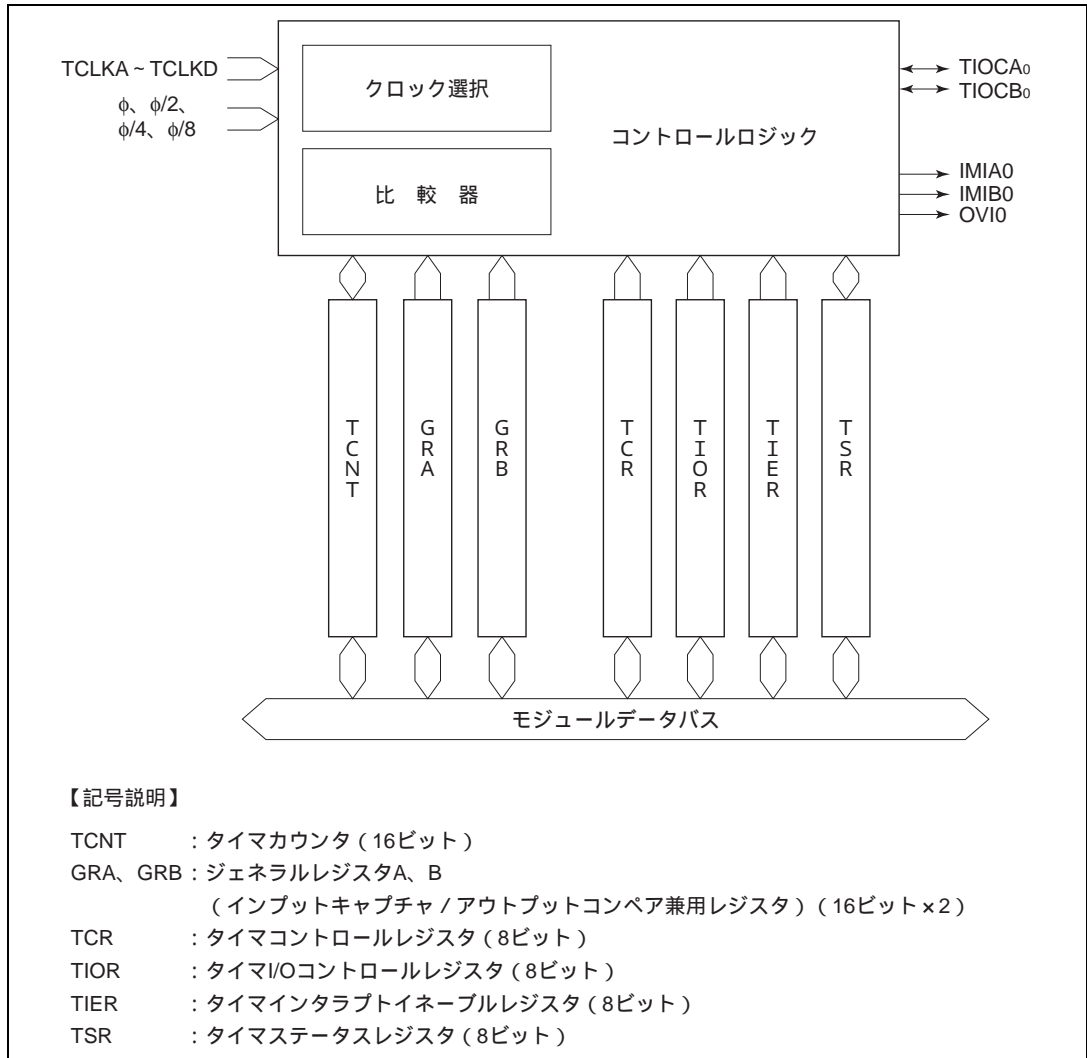


図8.2 チャンネル0、1のブロック図 (チャンネル0の場合)

8. 16ビットインテグレートドタイマユニット (ITU)

(3) チャンネル2のブロック図

チャンネル2のブロック図を図8.3に示します。チャンネル2は0出力、1出力のみ可能です。

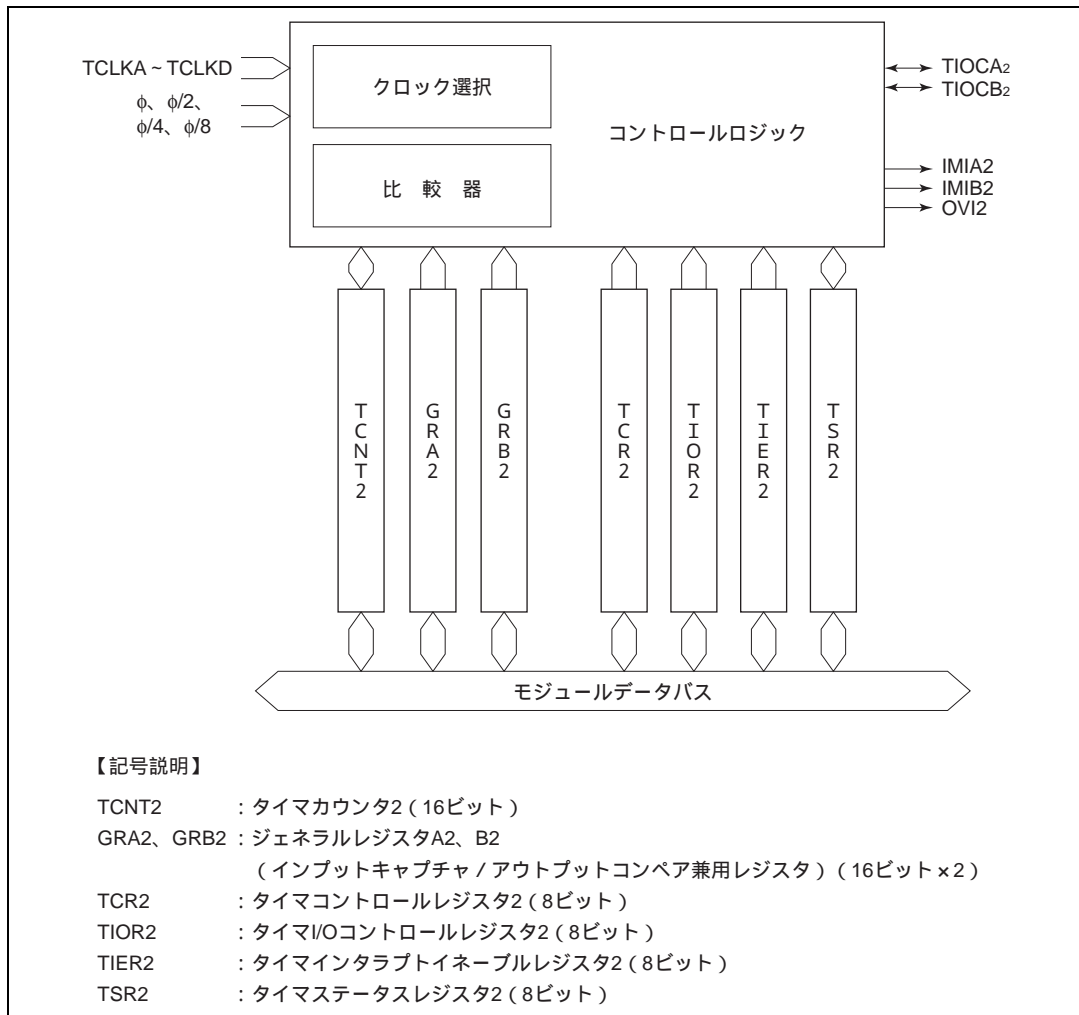


図 8.3 チャンネル2のブロック図

(4) チャンネル3、4のブロック図

チャンネル3のブロック図を図8.4、チャンネル4のブロック図を図8.5に示します。

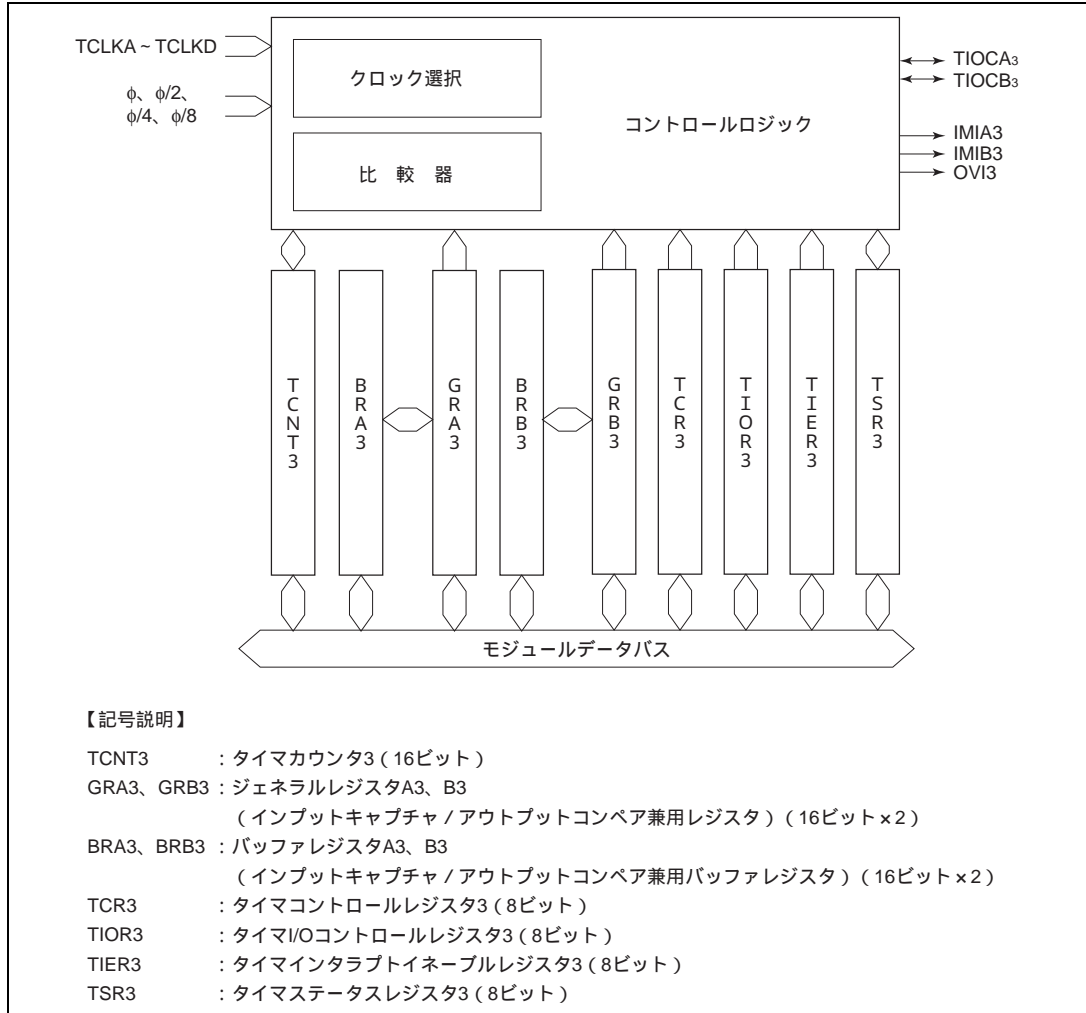


図8.4 チャンネル3のブロック図

8. 16ビットインテグレートドタイマユニット (ITU)

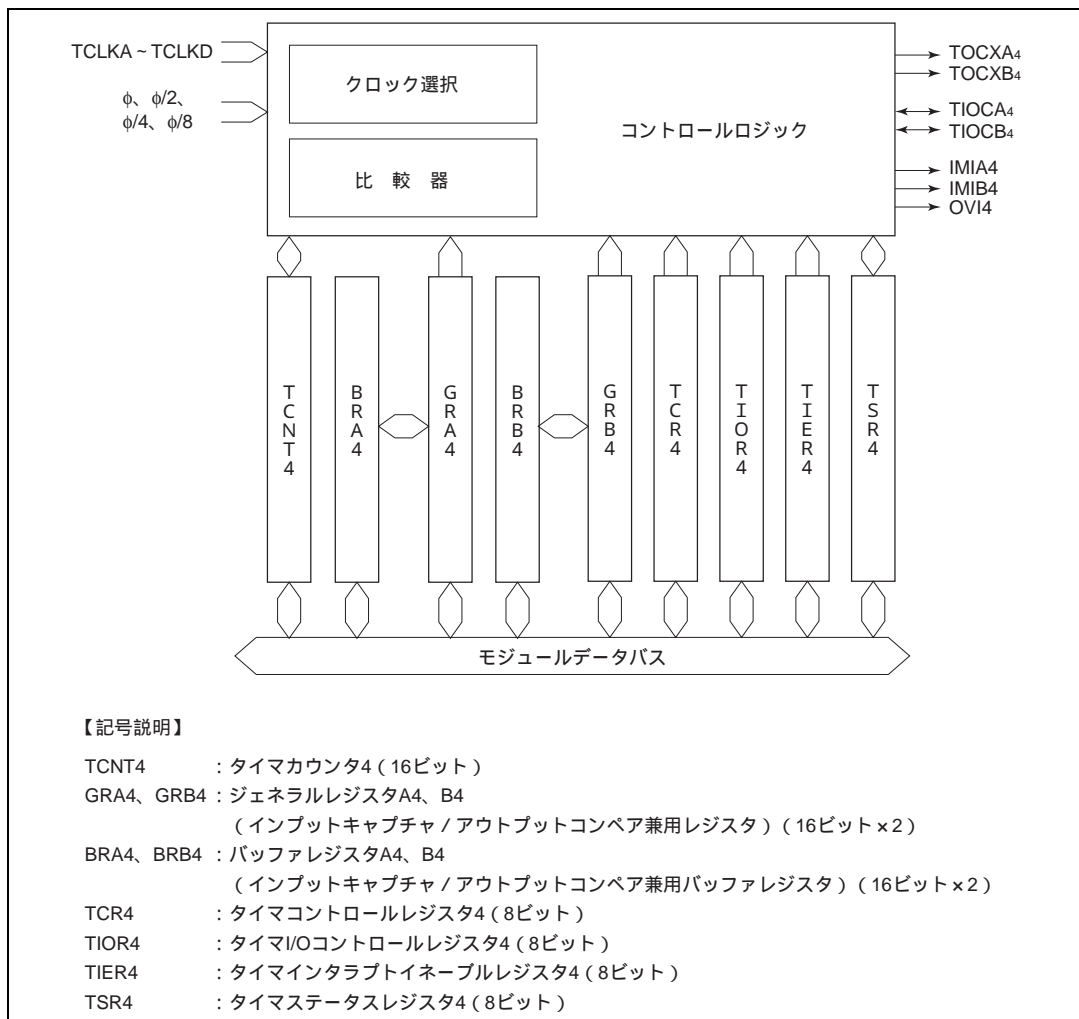


図 8.5 チャンネル4のブロック図

8.1.3 端子構成

ITU の端子構成を表 8.2 に示します。

表 8.2 端子構成

チャンネル	名称	略称	入出力	機能
共通	クロック入力 A	TCLKA	入力	外部クロック A 入力端子 (位相計数モード時 A 相入力端子)
	クロック入力 B	TCLKB	入力	外部クロック B 入力端子 (位相計数モード時 B 相入力端子)
	クロック入力 C	TCLKC	入力	外部クロック C 入力端子
	クロック入力 D	TCLKD	入力	外部クロック D 入力端子
0	インプットキャプチャ / アウトプットコンペア A0	TIOCA ₀	入出力	GRA0 アウトプットコンペア出力 / GRA0 インプットキャプチャ入力 / PWM 出力端子 (PWM モード時)
	インプットキャプチャ / アウトプットコンペア B0	TIOCB ₀	入出力	GRB0 アウトプットコンペア出力 / GRB0 インプットキャプチャ入力端子
1	インプットキャプチャ / アウトプットコンペア A1	TIOCA ₁	入出力	GRA1 アウトプットコンペア出力 / GRA1 インプットキャプチャ入力 / PWM 出力端子 (PWM モード時)
	インプットキャプチャ / アウトプットコンペア B1	TIOCB ₁	入出力	GRB1 アウトプットコンペア出力 / GRB1 インプットキャプチャ入力端子
2	インプットキャプチャ / アウトプットコンペア A2	TIOCA ₂	入出力	GRA2 アウトプットコンペア出力 / GRA2 インプットキャプチャ入力 / PWM 出力端子 (PWM モード時)
	インプットキャプチャ / アウトプットコンペア B2	TIOCB ₂	入出力	GRB2 アウトプットコンペア出力 / GRB2 インプットキャプチャ入力端子
3	インプットキャプチャ / アウトプットコンペア A3	TIOCA ₃	入出力	GRA3 アウトプットコンペア出力 / GRA3 インプットキャプチャ入力 / PWM 出力端子 (PWM モード / 相補 PWM モード / リセット同期 PWM モード時)
	インプットキャプチャ / アウトプットコンペア B3	TIOCB ₃	入出力	GRB3 アウトプットコンペア出力 / GRB3 インプットキャプチャ入力 / PWM 出力端子 (相補 PWM モード / リセット同期 PWM モード時)
4	インプットキャプチャ / アウトプットコンペア A4	TIOCA ₄	入出力	GRA4 アウトプットコンペア出力 / GRA4 インプットキャプチャ入力 / PWM 出力端子 (PWM モード / 相補 PWM モード / リセット同期 PWM モード時)
	インプットキャプチャ / アウトプットコンペア B4	TIOCB ₄	入出力	GRB4 アウトプットコンペア出力 / GRB4 インプットキャプチャ入力 / PWM 出力端子 (相補 PWM モード / リセット同期 PWM モード時)
	アウトプットコンペア XA4	TOCXA ₄	出力	PWM 出力端子 (相補 PWM モード / リセット同期 PWM モード時)
	アウトプットコンペア XB4	TOCXB ₄	出力	PWM 出力端子 (相補 PWM モード / リセット同期 PWM モード時)

8. 16ビットインテグレートドタイマユニット (ITU)

8.1.4 レジスタ構成

ITUのレジスタ構成を表 8.3 に示します。

表 8.3 レジスタ構成

チャンネル	アドレス*1	名称	略称	R/W	初期値
共通	H'FF60	タイマスタートレジスタ	TSTR	R/W	H'E0
	H'FF61	タイマシンクロレジスタ	TSNC	R/W	H'E0
	H'FF62	タイマモードレジスタ	TMDR	R/W	H'80
	H'FF63	タイマファンクションコントロールレジスタ	TFCR	R/W	H'C0
	H'FF90	タイマアウトプットマスタイネーブルレジスタ	TOER	R/W	H'FF
	H'FF91	タイマアウトプットコントロールレジスタ	TOCR	R/W	H'FF
0	H'FF64	タイマコントロールレジスタ 0	TCR0	R/W	H'80
	H'FF65	タイマ I/O コントロールレジスタ 0	TIOR0	R/W	H'88
	H'FF66	タイマインタラプトイネーブルレジスタ 0	TIER0	R/W	H'F8
	H'FF67	タイマステータスレジスタ 0	TSR0	R/(W)*2	H'F8
	H'FF68	タイマカウンタ 0H	TCNT0H	R/W	H'00
	H'FF69	タイマカウンタ 0L	TCNT0L	R/W	H'00
	H'FF6A	ジェネラルレジスタ A0H	GRA0H	R/W	H'FF
	H'FF6B	ジェネラルレジスタ A0L	GRA0L	R/W	H'FF
	H'FF6C	ジェネラルレジスタ B0H	GRB0H	R/W	H'FF
	H'FF6D	ジェネラルレジスタ B0L	GRB0L	R/W	H'FF
1	H'FF6E	タイマコントロールレジスタ 1	TCR1	R/W	H'80
	H'FF6F	タイマ I/O コントロールレジスタ 1	TIOR1	R/W	H'88
	H'FF70	タイマインタラプトイネーブルレジスタ 1	TIER1	R/W	H'F8
	H'FF71	タイマステータスレジスタ 1	TSR1	R/(W)*2	H'F8
	H'FF72	タイマカウンタ 1H	TCNT1H	R/W	H'00
	H'FF73	タイマカウンタ 1L	TCNT1L	R/W	H'00
	H'FF74	ジェネラルレジスタ A1H	GRA1H	R/W	H'FF
	H'FF75	ジェネラルレジスタ A1L	GRA1L	R/W	H'FF
	H'FF76	ジェネラルレジスタ B1H	GRB1H	R/W	H'FF
	H'FF77	ジェネラルレジスタ B1L	GRB1L	R/W	H'FF
2	H'FF78	タイマコントロールレジスタ 2	TCR2	R/W	H'80
	H'FF79	タイマ I/O コントロールレジスタ 2	TIOR2	R/W	H'88
	H'FF7A	タイマインタラプトイネーブルレジスタ 2	TIER2	R/W	H'F8
	H'FF7B	タイマステータスレジスタ 2	TSR2	R/(W)*2	H'F8
	H'FF7C	タイマカウンタ 2H	TCNT2H	R/W	H'00
	H'FF7D	タイマカウンタ 2L	TCNT2L	R/W	H'00
	H'FF7E	ジェネラルレジスタ A2H	GRA2H	R/W	H'FF
	H'FF7F	ジェネラルレジスタ A2L	GRA2L	R/W	H'FF
	H'FF80	ジェネラルレジスタ B2H	GRB2H	R/W	H'FF
	H'FF81	ジェネラルレジスタ B2L	GRB2L	R/W	H'FF
3	H'FF82	タイマコントロールレジスタ 3	TCR3	R/W	H'80
	H'FF83	タイマ I/O コントロールレジスタ 3	TIOR3	R/W	H'88

8. 16 ビットインテグレートドタイマユニット (ITU)

チャンネル	アドレス*1	名称	略称	R/W	初期値
3	H'FF84	タイムインタラプトイネーブルレジスタ 3	TIER3	R/W	H'F8
	H'FF85	タイムステータスレジスタ 3	TSR3	R/(W)*2	H'F8
	H'FF86	タイムカウンタ 3H	TCNT3H	R/W	H'00
	H'FF87	タイムカウンタ 3L	TCNT3L	R/W	H'00
	H'FF88	ジェネラルレジスタ A3H	GRA3H	R/W	H'FF
	H'FF89	ジェネラルレジスタ A3L	GRA3L	R/W	H'FF
	H'FF8A	ジェネラルレジスタ B3H	GRB3H	R/W	H'FF
	H'FF8B	ジェネラルレジスタ B3L	GRB3L	R/W	H'FF
	H'FF8C	バッファレジスタ A3H	BRA3H	R/W	H'FF
	H'FF8D	バッファレジスタ A3L	BRA3L	R/W	H'FF
	H'FF8E	バッファレジスタ B3H	BRB3H	R/W	H'FF
	H'FF8F	バッファレジスタ B3L	BRB3L	R/W	H'FF
	4	H'FF92	タイムコントロールレジスタ 4	TCR4	R/W
H'FF93		タイム I/O コントロールレジスタ 4	TIOR4	R/W	H'88
H'FF94		タイムインタラプトイネーブルレジスタ 4	TIER4	R/W	H'F8
H'FF95		タイムステータスレジスタ 4	TSR4	R/(W)*2	H'F8
H'FF96		タイムカウンタ 4H	TCNT4H	R/W	H'00
H'FF97		タイムカウンタ 4L	TCNT4L	R/W	H'00
H'FF98		ジェネラルレジスタ A4H	GRA4H	R/W	H'FF
H'FF99		ジェネラルレジスタ A4L	GRA4L	R/W	H'FF
H'FF9A		ジェネラルレジスタ B4H	GRB4H	R/W	H'FF
H'FF9B		ジェネラルレジスタ B4L	GRB4L	R/W	H'FF
H'FF9C		バッファレジスタ A4H	BRA4H	R/W	H'FF
H'FF9D		バッファレジスタ A4L	BRA4L	R/W	H'FF
H'FF9E		バッファレジスタ B4H	BRB4H	R/W	H'FF
H'FF9F		バッファレジスタ B4L	BRB4L	R/W	H'FF

- 【注】 *1 アドレスの低位 16 ビットを示しています。
 *2 フラグをクリアするための 0 ライトのみ可能です。

8.2 各レジスタの説明

8.2.1 タイマスタートレジスタ (TSTR)

TSTR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~4 の TCNT の動作/停止を選択します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	STR4	STR3	STR2	STR1	STR0
初期値:	1	1	1	0	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

リザーブビット
カウンタスタート4~0
TCNT4~TCNT0の動作/停止を選択するビットです。

TSTR はリセット、またはスタンバイモード時に、H'E0 に初期化されます。

ビット 7~5 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 4 : カウンタスタート 4 (STR4)

タイマカウンタ 4 (TCNT4) の動作/停止を選択します。

ビット 4	説明
STR4	
0	TCNT4 のカウント動作は停止 (初期値)
1	TCNT4 はカウント動作

ビット 3 : カウンタスタート 3 (STR3)

タイマカウンタ 3 (TCNT3) の動作/停止を選択します。

ビット 3	説明
STR3	
0	TCNT3 のカウント動作は停止 (初期値)
1	TCNT3 はカウント動作

ビット 2 : カウンタスタート 2 (STR2)

タイマカウンタ 2 (TCNT2) の動作 / 停止を選択します。

ビット 2	説 明
STR2	
0	TCNT2 のカウント動作は停止 (初期値)
1	TCNT2 はカウント動作

ビット 1 : カウンタスタート 1 (STR1)

タイマカウンタ 1 (TCNT1) の動作 / 停止を選択します。

ビット 1	説 明
STR1	
0	TCNT1 のカウント動作は停止 (初期値)
1	TCNT1 はカウント動作

ビット 0 : カウンタスタート 0 (STR0)

タイマカウンタ 0 (TCNT0) の動作 / 停止を選択します。

ビット 0	説 明
STR0	
0	TCNT0 のカウント動作は停止 (初期値)
1	TCNT0 はカウント動作

8. 16ビットインテグレートドタイマユニット (ITU)

8.2.2 タイマシンクロレジスタ (TSNC)

TSNCは8ビットのリード/ライト可能なレジスタで、チャンネル0~4の独立動作/同期動作を選択します。対応するビットを1にセットしたチャンネルが同期動作を行います。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値:	1	1	1	0	0	0	0	0
R/W :	—	—	—	R/W	R/W	R/W	R/W	R/W

リザーブビット
タイマ同期4~0
チャンネル4~0の同期動作を設定するビットです。

TSNCはリセット、またはスタンバイモード時に、H'E0に初期化されます。

ビット7~5: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット4: タイマ同期4 (SYNC4)

チャンネル4の独立動作/同期動作を選択します。

ビット4	説明
SYNC4	
0	チャンネル4のタイマカウンタ (TCNT4) は独立動作 (TCNT4のプリセット/クリアは他チャンネルと無関係) (初期値)
1	チャンネル4は同期動作 TCNT4の同期プリセット/同期クリアが可能

ビット3: タイマ同期3 (SYNC3)

チャンネル3の独立動作/同期動作を選択します。

ビット3	説明
SYNC3	
0	チャンネル3のタイマカウンタ (TCNT3) は独立動作 (TCNT3のプリセット/クリアは他チャンネルと無関係) (初期値)
1	チャンネル3は同期動作 TCNT3の同期プリセット/同期クリアが可能

8. 16 ビットインテグレートドタイマユニット (ITU)

ビット 2 : タイマ同期 2 (SYNC2)

チャンネル 2 の独立動作 / 同期動作を選択します。

ビット 2	説 明
SYNC2	
0	チャンネル 2 のタイマカウンタ (TCNT2) は独立動作 (TCNT2 のプリセット / クリアは他チャンネルと無関係) (初期値)
1	チャンネル 2 は同期動作 TCNT2 の同期プリセット / 同期クリアが可能

ビット 1 : タイマ同期 1 (SYNC1)

チャンネル 1 の独立動作 / 同期動作を選択します。

ビット 1	説 明
SYNC1	
0	チャンネル 1 のタイマカウンタ (TCNT1) は独立動作 (TCNT1 のプリセット / クリアは他チャンネルと無関係) (初期値)
1	チャンネル 1 は同期動作 TCNT1 の同期プリセット / 同期クリアが可能

ビット 0 : タイマ同期 0 (SYNC0)

チャンネル 0 の独立動作 / 同期動作を選択します。

ビット 0	説 明
SYNC0	
0	チャンネル 0 のタイマカウンタ (TCNT0) は独立動作 (TCNT0 のプリセット / クリアは他チャンネルと無関係) (初期値)
1	チャンネル 0 は同期動作 TCNT0 の同期プリセット / 同期クリアが可能

8. 16ビットインテグレートドタイマユニット (ITU)

8.2.3 タイマモードレジスタ (TMDR)

TMDR は 8 ビットのリード/ライト可能なレジスタで、チャンネル 0~4 の PWM モードの設定、チャンネル 2 の位相計数モードの設定およびオーバーフローフラグ (OVF) のセット条件の設定を行います。

ビット:	7	6	5	4	3	2	1	0
	—	MDF	FDIR	PWM4	PWM3	PWM2	PWM1	PWM0
初期値:	1	0	0	0	0	0	0	0
R/W :	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

リザーブビット

フラグディレクション
 TSR2のOVFフラグセット条件を設定するビットです。

位相計数モード
 チャンネル2を位相計数モードに設定するビットです。

PWMモード4~0
 チャンネル4~0をPWMモードに設定するビットです。

TMDR はリセット、またはスタンバイモード時に、H'80 に初期化されます。

ビット7: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット6: 位相計数モード (MDF)

チャンネル 2 を通常動作させるか、位相計数モードで動作させるかを選択します。

ビット 6	説明
MDF	
0	チャンネル 2 は通常動作 (初期値)
1	チャンネル 2 は位相計数モード

8. 16 ビットインテグレートドタイムユニット (ITU)

MDF ビットを 1 にセットして位相計数モードにすると、TCNT2 はアップ / ダウンカウンタ、TCLKA、TCLKB 端子がカウンタクロック入力端子となります。TCNT2 は TCLKA、TCLKB 端子の立ち上がり (\uparrow) / 立ち下がり (\downarrow) の両エッジでカウントされ、カウントアップ / ダウン方向は次のようになります。

カウント方向	カウントダウン				カウントアップ			
TCLKA 端子	\uparrow	High	\downarrow	Low	\downarrow	Low	\uparrow	High
TCLKB 端子	Low	\downarrow	High	\uparrow	High	\uparrow	Low	\downarrow

位相計数モードでは、TCR2 の CKEG1、CKEG0 ビットによる外部クロックエッジの選択、および TPSC2 ~ TPSC0 ビットによるカウンタクロックの選択は無効となり、上記の位相計数モードの動作が優先されます。

ただし、TCR2 の CCLR1、CCLR0 ビットによるカウンタクリア条件の設定、TIOR2、TIER2、TSR2 のコンペアマッチ / インพุットキャプチャ機能と割り込みの設定は位相計数モードでも有効です。

ビット 5 : フラグディレクション (FDIR)

TSR2 の OVF フラグのセット条件を設定します。本ビットの設定は、チャンネル 2 がいずれのモードで動作していても有効となります。

ビット 5	説明
FDIR	
0	TSR2 の OVF フラグは、TCNT2 がオーパフローまたはアンダフローしたときに 1 にセット (初期値)
1	TSR2 の OVF フラグは、TCNT2 がオーパフローしたときに 1 にセット

ビット 4 : PWM モード 4 (PWM4)

チャンネル 4 を通常動作させるか、PWM モードで動作させるかを選択します。

ビット 4	説明
PWM4	
0	チャンネル 4 は通常動作 (初期値)
1	チャンネル 4 は PWM モード

PWM4 を 1 にセットして PWM モードにすると、TIOCA4 端子は PWM 出力端子となり、GRA4 のコンペアマッチで 1 出力、GRB4 のコンペアマッチで 0 出力となります。

TFCR の CMD1、CMD0 ビットにより相補 PWM モードまたはリセット同期 PWM モードが設定されているとき、本ビットの設定は無効となり、CMD1、CMD0 ビットの設定が優先されます。

8. 16ビットインテグレートドタイマユニット (ITU)

ビット3 : PWM モード3 (PWM3)

チャンネル3を通常動作させるか、PWMモードで動作させるかを選択します。

ビット3	説明
PWM3	
0	チャンネル3は通常動作 (初期値)
1	チャンネル3はPWMモード

PWM3を1にセットしてPWMモードにすると、TIOCA3端子はPWM出力端子となり、GRA3のコンペアマッチで1出力、GRB3のコンペアマッチで0出力となります。

TFCRのCMD1、CMD0ビットにより相補PWMモードまたはリセット同期PWMモードが設定されているとき、本ビットの設定は無効となり、CMD1、CMD0ビットの設定が優先されます。

ビット2 : PWM モード2 (PWM2)

チャンネル2を通常動作させるか、PWMモードで動作させるかを選択します。

ビット2	説明
PWM2	
0	チャンネル2は通常動作 (初期値)
1	チャンネル2はPWMモード

PWM2を1にセットしてPWMモードにすると、TIOCA2端子はPWM出力端子となり、GRA2のコンペアマッチで1出力、GRB2のコンペアマッチで0出力となります。

ビット1 : PWM モード1 (PWM1)

チャンネル1を通常動作させるか、PWMモードで動作させるかを選択します。

ビット1	説明
PWM1	
0	チャンネル1は通常動作 (初期値)
1	チャンネル1はPWMモード

PWM1を1にセットしてPWMモードに設定すると、TIOCA1端子はPWM出力端子となり、GRA1のコンペアマッチ1で出力、GRB1のコンペアマッチで0出力となります。

ビット0: PWM モード0 (PWM0)

チャンネル0を通常動作させるか、PWMモードで動作させるかを選択します。

ビット0	説明
PWM0	
0	チャンネル0は通常動作 (初期値)
1	チャンネル0はPWMモード

PWM0を1にセットしてPWMモードに設定すると、TIOCA0端子はPWM出力端子となり、GRA0のコンペアマッチで1出力、GRB0のコンペアマッチで0出力となります。

8.2.4 タイマファンクションコントロールレジスタ (TFCR)

TFCRは8ビットのリード/ライト可能なレジスタで、チャンネル3、4の相補PWMモード/リセット同期PWMモードの設定、およびバッファ動作の設定を行います。

ビット:	7	6	5	4	3	2	1	0
	—	—	CMD1	CMD0	BFB4	BFA4	BFB3	BFA3
初期値:	1	1	0	0	0	0	0	0
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

バッファ動作B3、A3
 チャンネル3のジェネラルレジスタ (GRB3、GRA3) とバッファレジスタ (BRB3、BRA3) をバッファ動作に設定するビットです。

バッファ動作B4、A4
 チャンネル4のジェネラルレジスタ (GRB4、GRA4) とバッファレジスタ (BRB4、BRA4) をバッファ動作に設定するビットです。

コンビネーションモード1、0
 チャンネル3、4を組み合わせ、相補PWMモード/リセット同期PWMモードに設定するビットです。

リザーブビット

TFCRはリセット、またはスタンバイモード時に、H'COに初期化されます。

ビット7、6: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

8. 16 ビットインテグレートドタイマユニット (ITU)

ビット 5、4 : コンビネーションモード 1、0 (CMD1、CMD0)

チャンネル 3、4 を通常動作させるか、相補 PWM モードまたはリセット同期 PWM モードで動作させるかを選択します。

ビット 5	ビット 4	説 明
CMD1	CMD0	
0	0	チャンネル 3、4 は通常動作 (初期値)
	1	
1	0	チャンネル 3、4 を組み合わせ、相補 PWM モードで動作
	1	チャンネル 3、4 を組み合わせ、リセット同期 PWM モードで動作

相補 PWM モード、およびリセット同期 PWM モードの設定は、使用する TCNT を停止させた状態で行ってください。

本ビットにより、相補 PWM モードまたはリセット同期 PWM モードに設定した場合、TMDR の PWM4、PWM3 ビットによる PWM モードの設定より優先されます。なお、相補 PWM モード、リセット同期 PWM モードの設定と TSNC の SYNC4、SYNC3 ビットによる同期動作の設定は同時に有効となりますが、相補 PWM モードを設定したときは、チャンネル 3 とチャンネル 4 を同期動作に設定 (TSNC の SYNC4 ビットと SYNC3 ビットをともに 1 にセット) しないでください。

ビット 3 : バッファ動作 B4 (BFB4)

チャンネル 4 の GRB4 を通常動作とするか、GRB4 と BRB4 を組み合わせてバッファ動作とするかを設定します。

ビット 3	説 明
BFB4	
0	GRB4 は通常動作 (初期値)
1	GRB4 と BRB4 はバッファ動作

ビット 2 : バッファ動作 A4 (BFA4)

チャンネル 4 の GRA4 を通常動作とするか、GRA4 と BRA4 を組み合わせてバッファ動作とするかを設定します。

ビット 2	説 明
BFA4	
0	GRA4 は通常動作 (初期値)
1	GRA4 と BRA4 はバッファ動作

8. 16 ビットインテグレートドタイマユニット (ITU)

ビット1：バッファ動作 B3 (BFB3)

チャンネル3のGRB3を通常動作とするか、GRB3とBRB3を組み合わせるバッファ動作とするかを設定します。

ビット1	説明
BFB3	
0	GRB3は通常動作 (初期値)
1	GRB3とBRB3はバッファ動作

ビット0：バッファ動作 A3 (BFA3)

チャンネル3のGRA3を通常動作とするか、GRA3とBRA3を組み合わせるバッファ動作とするかを設定します。

ビット0	説明
BFA3	
0	GRA3は通常動作 (初期値)
1	GRA3とBRA3はバッファ動作

8. 16ビットインテグレートドタイマユニット (ITU)

8.2.5 タイマアウトプットマスタイネーブルレジスタ (TOER)

TOERは、8ビットのリード/ライト可能なレジスタで、チャンネル3、4の出力設定を許可/禁止します。

ビット:	7	6	5	4	3	2	1	0
	—	—	EXB4	EXA4	EB3	EB4	EA4	EA3
初期値:	1	1	1	1	1	1	1	1
R/W :	—	—	R/W	R/W	R/W	R/W	R/W	R/W

マスタイネーブルTIOCA₃、TIOCB₃、TIOCA₄、TIOCB₄
 TIOCA₃、TIOCB₃、TIOCA₄、TIOCB₄端子の出力設定を許可/禁止するビットです。

マスタイネーブルTOCXA₄、TOCXB₄
 TOCXA₄、TOCXB₄端子の出力設定を許可/禁止するビットです。

リザーブビット

TOERはリセット、またはスタンバイモード時にH'FFに初期化されます。

ビット7、6: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

ビット5: マスタイネーブル TOCXB₄ (EXB4)

TOCXB₄端子のITU出力を許可/禁止します。

ビット5	説明
EXB4	
0	TFCRの設定にかかわらず TOCXB ₄ 端子の出力は禁止 (TOCXB ₄ 端子は入出力ポートとして動作) XTGD=0の状態、チャンネル1のインプットキャプチャAが発生したとき0にクリア
1	TFCRの設定に従い TOCXB ₄ 端子の出力は許可 (初期値)

ビット4: マスタイネーブル TOCXA₄ (EXA4)

TOCXA₄端子のITU出力を許可/禁止します。

ビット4	説明
EXA4	
0	TFCRの設定にかかわらず TOCXA ₄ 端子の出力は禁止 (TOCXA ₄ 端子は入出力ポートとして動作) XTGD=0の状態、チャンネル1のインプットキャプチャAが発生したとき0にクリア
1	TFCRの設定に従い TOCXA ₄ 端子の出力は許可 (初期値)

8. 16 ビットインテグレートドタイムユニット (ITU)

ビット 3 : マスタイネーブル TIOCB₃ (EB3)

TIOCB₃ 端子の ITU 出力を許可 / 禁止します。

ビット 3	説 明
EB3	
0	TIOR3、TFCR の設定にかかわらず TIOCB ₃ 端子の出力は禁止 (TIOCB ₃ 端子は出力ポートとして動作) XTGD=0 の状態で、チャンネル 1 のインプットキャプチャ A が発生したとき 0 にクリア
1	TIOR3、TFCR の設定に従い TIOCB ₃ 端子の出力は許可 (初期値)

ビット 2 : マスタイネーブル TIOCB₄ (EB4)

TIOCB₄ 端子の ITU 出力を許可 / 禁止します。

ビット 2	説 明
EB4	
0	TIOR4、TFCR の設定にかかわらず TIOCB ₄ 端子の出力は禁止 (TIOCB ₄ 端子は入出力ポートとして動作) XTGD=0 の状態で、チャンネル 1 のインプットキャプチャ A が発生したとき 0 にクリア
1	TIOR4、TFCR の設定に従い TIOCB ₄ 端子の出力は許可 (初期値)

ビット 1 : マスタイネーブル TIOCA₄ (EA4)

TIOCA₄ 端子の ITU 出力を許可 / 禁止します。

ビット 1	説 明
EA4	
0	TIOR4、TMDR、TFCR の設定にかかわらず TIOCA ₄ 端子の出力は禁止 (TIOCA ₄ 端子は入出力ポートとして動作) XTGD=0 の状態で、チャンネル 1 のインプットキャプチャ A が発生したとき 0 にクリア
1	TIOR4、TMDR、TFCR の設定に従い TIOCA ₄ 端子の出力は許可 (初期値)

ビット 0 : マスタイネーブル TIOCA₃ (EA3)

TIOCA₃ 端子の ITU 出力を許可 / 禁止します。

ビット 0	説 明
EA3	
0	TIOR3、TMDR、TFCR の設定にかかわらず TIOCA ₃ 端子の出力は禁止 (TIOCA ₃ 端子は入出力ポートとして動作) XTGD=0 の状態で、チャンネル 1 のインプットキャプチャ A が発生したとき 0 にクリア
1	TIOR3、TMDR、TFCR の設定に従い TIOCA ₃ 端子の出力は許可 (初期値)

8. 16 ビットインテグレートドタイムユニット (ITU)

8.2.6 タイマアウトプットコントロールレジスタ (TOCR)

TOCR は、8 ビットのリード/ライト可能なレジスタで、相補 PWM モード/リセット同期 PWM モード出力の外部トリガによる禁止または出力レベル反転を行います。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	XTGD	—	—	OLS4	OLS3
初期値:	1	1	1	1	1	1	1	1
R/W :	—	—	—	R/W	—	—	R/W	R/W

リザーブビット

出力レベルセレクト3、4
相補PWMモード/リセット同期
PWMモードの出力レベルを選択
するビットです。

リザーブビット

外部トリガディスエーブル
相補PWMモード/リセット同期PWMモード出力の
外部からのトリガによる出力禁止を設定するビットです。

XTGD、OLS4 および OLS3 ビットの設定は、リセット同期 PWM モードまたは相補 PWM モードを設定しているときのみ有効となります。他の出力状態では、これらのビットの設定は無効です。

TOCR はリセット、またはスタンバイモード時に H'FF に初期化されます。

ビット7~5: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット4: 外部トリガディスエーブル (XTGD)

リセット同期 PWM モード/相補 PWM モード時の ITU 出力の外部トリガによる禁止を設定します。

ビット 4	説明
XTGD	
0	リセット同期 PWM モード/相補 PWM モード時、チャンネル 1 のインプットキャプチャ A 信号を外部トリガとして使用 外部トリガの発生時、TOER のビット 5~0 が 0 にクリアされ、ITU 出力は禁止
1	外部トリガを禁止 (初期値)

ビット3、2: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

8. 16 ビットインテグレートドタイマユニット (ITU)

ビット 1 : 出力レベルセレクト 4 (OLS4)

リセット同期 PWM モード / 相補 PWM モード出力のレベルを選択します。

ビット 1	説 明
OLS4	
0	TIOCA ₃ 、TIOCA ₄ 、TIOCB ₂ 端子は反転出力
1	TIOCA ₃ 、TIOCA ₄ 、TIOCB ₂ 端子は直接出力 (初期値)

ビット 0 : 出力レベルセレクト 3 (OLS3)

リセット同期 PWM モード / 相補 PWM モード出力のレベルを選択します。

ビット 0	説 明
OLS3	
0	TIOCB ₃ 、TOCXA ₄ 、TOCXB ₄ 端子は反転出力
1	TIOCB ₃ 、TOCXA ₄ 、TOCXB ₄ 端子は直接出力 (初期値)

8. 16ビットインテグレートドタイマユニット (ITU)

8.2.7 タイマカウンタ (TCNT)

TCNT は 16 ビットのカウンタです。ITU には、各チャンネル 1 本、計 5 本の TCNT があります。

チャンネル	略称	機能
0	TCNT0	アップカウンタ
1	TCNT1	
2	TCNT2	位相計数モード : アップ/ダウンカウンタ 上記以外 : アップカウンタ
3	TCNT3	相補 PWM モード : アップ/ダウンカウンタ
4	TCNT4	上記以外 : アップカウンタ

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

TCNT は 16 ビットのリード/ライト可能なレジスタで、入力したクロックによりカウント動作を行います。入力するクロックは、TCR の TPSC2 ~ TPSC0 ビットにより選択します。

TCNT0、TCNT1 はアップカウント動作を行います。TCNT2 は位相計数モード時、また TCNT3、TCNT4 は相補 PWM モード時、アップ/ダウンカウント動作を行い、それ以外の場合はアップカウント動作します。

TCNT は、対応する GRA、GRB とのコンペアマッチ、または GRA、GRB へのインプットキャプチャにより H'0000 にクリアすることができます (カウンタクリア機能)。

TCNT がオーバフロー (H'FFFF→H'0000) すると、対応するチャンネルの TSR の OVF フラグが 1 にセットされます。

TCNT がアンダフロー (H'0000→H'FFFF) すると、対応するチャンネルの TSR の OVF フラグが 1 にセットされます。

TCNT は CPU と内部 16 ビットバスで接続されており、ワード/バイト単位のリード/ライトが可能です。

TCNT はリセット、またはスタンバイモード時に H'0000 に初期化されます。

8.2.8 ジェネラルレジスタ A、B (GRA、GRB)

GR は、16 ビットのレジスタです。ITU には、各チャンネル 2 本、計 10 本のジェネラルレジスタがあります。

チャンネル	略称	機能
0	GRA0、GRB0	アウトプットコンペア / インプットキャプチャ兼用レジスタ
1	GRA1、GRB1	
2	GRA2、GRB2	
3	GRA3、GRB3	アウトプットコンペア / インプットキャプチャ兼用レジスタ。 バッファレジスタ (BRA、BRB) と組み合わせることにより、バッファ動作設定可能
4	GRA4、GRB4	

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

GR は 16 ビットのリード / ライト可能なレジスタで、アウトプットコンペアレジスタとインプットキャプチャレジスタの両方の機能をもっています。機能の切り替えは、TIOR により行います。

アウトプットコンペアレジスタとして使用しているときは、GRA/GRB の値と TCNT の値は常に比較されています。両者の値が一致 (コンペアマッチ) すると、TSR の IMFA/IMFB フラグが 1 にセットされます。TIOR によりコンペアマッチ出力を設定することができます。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TCNT の値を格納します。このとき対応する TSR の IMFA/IMFB フラグが 1 にセットされます。インプットキャプチャ信号の検出エッジ選択は TIOR により行います。

PWM モード、相補 PWM モード、またはリセット同期 PWM モードに設定されている場合には、TIOR の設定は無視されます。

GR は CPU と内部 16 ビットバスで接続されており、ワード / バイト単位のリード / ライトが可能です。

GR はリセット、またはスタンバイモード時にアウトプットコンペアレジスタ (端子出力なし) に設定され、H'FFFF に初期化されます。

8. 16ビットインテグレートドタイマユニット (ITU)

8.2.9 バッファレジスタ A、B (BRA、BRB)

BR は、16 ビットのレジスタです。ITU には、チャンネル 3、4 に各 2 本、計 4 本のバッファレジスタがあります。

チャンネル	略称	機能
3	BRA3、BRB3	バッファ動作時に使用 • 対応する GRA、GRB がアウトプットコンペアレジスタのときアウトプットコンペアバッファレジスタとして機能し、コンペアマッチにより BRA、BRB の値を GRA、GRB に自動転送可能
4	BRA4、BRB4	• 対応する GRA、GRB がインプットキャプチャレジスタのときインプットキャプチャバッファレジスタとして機能し、インプットキャプチャ時それまで格納されていた GRA、GRB の値を BRA、BRB に自動転送可能

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BR は、16 ビットのリード/ライト可能なレジスタで、バッファ動作設定時に使用されます。バッファ動作の設定は TFCR の BFB4、BFA4、BFB3、および BFA3 ビットにより独立に行うことができます。

BR は GR と対になって機能し、GR がアウトプットコンペアレジスタに設定されているときはアウトプットコンペアバッファレジスタとして、また GR がインプットキャプチャレジスタとして設定されているときはインプットキャプチャバッファレジスタとして機能します。

BR は CPU と内部 16 ビットバスで接続されており、ワード/バイト単位のリード/ライトが可能です。

BR は、リセット、またはスタンバイモード時に H'FFFF に初期化されます。

8.2.10 タイマコントロールレジスタ (TCR)

TCR は 8 ビットのレジスタです。ITU には、各チャンネル 1 本、計 5 本の TCR があります。

チャンネル	略称	機能
0	TCR0	TCR は TCNT の制御を行います。 各チャンネルの TCR は同一の機能をもっています。 チャンネル 2 を位相計数モードに設定したとき、TCR2 の CKEG1、CKEG0 ビットおよび TPSC2 ~ TPSC0 ビットの設定 は無効となります。
1	TCR1	
2	TCR2	
3	TCR3	
4	TCR4	



TCR は 8 ビットのリード/ライト可能なレジスタで、TCNT のカウンタクロックの選択、外部クロック選択時のエッジの選択、およびカウンタクリア要因の選択を行います。

TCR はリセット、またはスタンバイモード時に、H'80 に初期化されます。

ビット7: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

8. 16 ビットインテグレートドタイマユニット (ITU)

ビット 6、5 : カウンタクリア 1、0 (CCLR1、CCLR0)

TCNT のカウンタクリア要因を選択します。

ビット 6	ビット 5	説 明
CCLR1	CCLR0	
0	0	TCNT のクリア禁止 (初期値)
	1	GRA のコンペアマッチ / インพุットキャプチャ* ¹ で TCNT をクリア
1	0	GRB のコンペアマッチ / インพุットキャプチャ* ¹ で TCNT をクリア
	1	同期クリア。同期動作* ² をしている他のタイマのカウンタクリアに同期して TCNT をクリア

【注】 *1 GR がアウトプットコンペアレジスタとして機能しているとき、コンペアマッチにより、クリアされます。GR がインพุットキャプチャレジスタとして機能しているとき、インพุットキャプチャによりクリアされます。

*2 同期動作の設定は TSNC により行います。

ビット 4、3 : クロックエッジ 1、0 (CKEG1、CKEG0)

外部クロック選択時に、外部クロックの入力エッジを選択します。

ビット 4	ビット 3	説 明
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1		立ち上がり / 立ち下がりの両エッジでカウント

チャンネル 2 が位相計数モードに設定されているとき、TCR2 の CKEG1、CKEG0 ビットの設定は無効になり、位相計数モードの動作が優先されます。

8. 16 ビットインテグレートドタイマユニット (ITU)

ビット 2~0 : タイマプリスケーラ 2~0 (TPSC2~TPSC0)

TCNT のカウントクロックを選択します。

ビット 2	ビット 1	ビット 0	説 明
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック : ϕ でカウント (初期値)
		1	内部クロック : $\phi/2$ でカウント
	1	0	内部クロック : $\phi/4$ でカウント
		1	内部クロック : $\phi/8$ でカウント
1	0	0	外部クロック A : TCLKA 端子入力でカウント
		1	外部クロック B : TCLKB 端子入力でカウント
	1	0	外部クロック C : TCLKC 端子入力でカウント
		1	外部クロック D : TCLKD 端子入力でカウント

TPSC2 ビットを 0 にクリアして内部クロックを選択した場合、クロックの立ち下がりエッジでカウントされます。また、TPSC2 ビットを 1 にセットして外部クロックを選択した場合、カウントエッジは CKEG1、CKEG0 ビットの設定に従います。

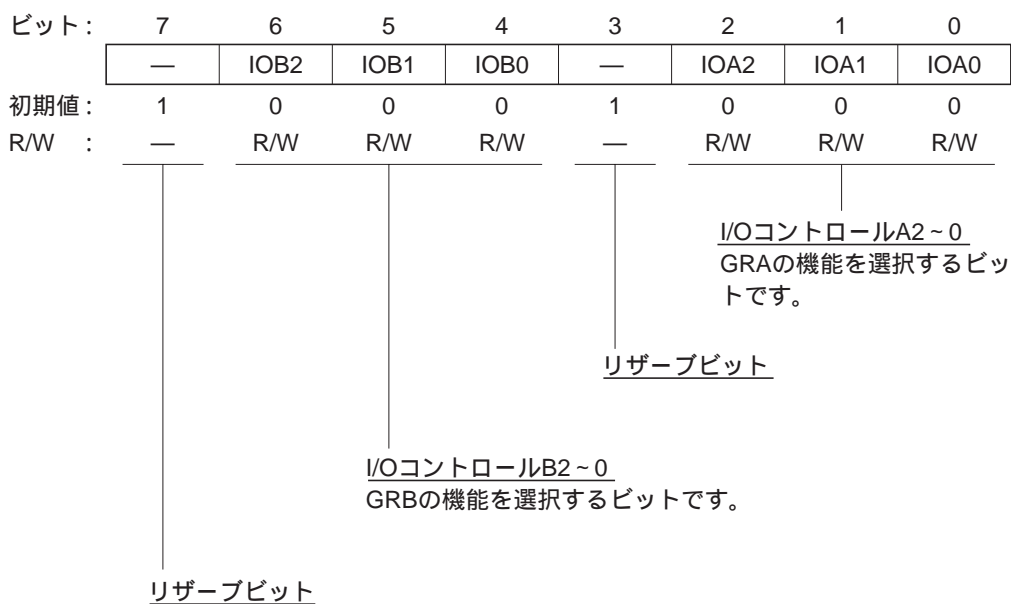
チャンネル 2 が位相計数モードに設定されているとき (TMDR の MDF ビット = 1)、TCR2 の TPSC2 ~ TPSC0 ビットの設定は無効となり、位相計数モードの動作が優先されます。

8. 16ビットインテグレートドタイマユニット (ITU)

8.2.11 タイマ I/O コントロールレジスタ (TIOR)

TIOR は 8 ビットのレジスタです。ITU には、各チャンネル 1 本、計 5 本の TIOR があります。

チャンネル	略称	機能
0	TIOR0	TIOR は GR の制御を行います。 PWM モード時、一部機能が異なります。 チャンネル 3、4 を相補 PWM モード / リセット同期 PWM モードに設定したとき、TIOR3、TIOR4 の設定は無効となります。
1	TIOR1	
2	TIOR2	
3	TIOR3	
4	TIOR4	



TIOR は 8 ビットのリード / ライト可能なレジスタで、GRA、GRB をアウトプットコンペアレジスタとして使用するか、インプットキャプチャレジスタとして使用するかを選択します。また TIOCA、TIOCB 端子の機能を選択します。アウトプットコンペアレジスタを選択した場合は出力設定を選択し、インプットキャプチャレジスタを選択した場合はインプットキャプチャ信号の入力エッジを選択します。

TIOR はリセット、またはスタンバイモード時に、H'88 に初期化されます。

ビット 7: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

8. 16 ビットインテグレートドタイムユニット (ITU)

ビット 6～4 : I/O コントロール B2～0 (IOB2～IOB0)

GRB の機能を選択します。

ビット 6	ビット 5	ビット 4	説 明	
IOB2	IOB1	IOB0		
0	0	0	GRB はアウト プットコンペア レジスタ	コンペアマッチによる端子出力禁止 (初期値)
		1		GRB のコンペアマッチで 0 出力* ¹
	1	0		GRB のコンペアマッチで 1 出力* ¹
		1		GRB のコンペアマッチでトグル出力 (チャンネル 2 のみ 1 出力)* ¹ * ²
1	0	0	GRB はインプ ットキャプチャ レジスタ	立ち上がりエッジで GRB ヘインプットキャプチャ
		1		立ち下がりエッジで GRB ヘインプットキャプチャ
	1	0		立ち上がり / 立ち下がりの両エッジで GRB ヘインプット
		1		キャプチャ

【注】 *¹ リセット後、最初のコンペアマッチが発生するまでの出力値は 0 です。

*² チャンネル 2 はコンペアマッチによるトグル出力機能がありません。この設定にすると自動的に 1 出力が選択されます。

ビット 3 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 2～0 : I/O コントロール A2～0 (IOA2～IOA0)

GRA の機能を選択します。

ビット 2	ビット 1	ビット 0	説 明	
IOA2	IOA1	IOA0		
0	0	0	GRA はアウト プットコンペア レジスタ	コンペアマッチによる端子出力禁止 (初期値)
		1		GRA のコンペアマッチで 0 出力* ¹
	1	0		GRA のコンペアマッチで 1 出力* ¹
		1		GRA のコンペアマッチでトグル出力 (チャンネル 2 のみ 1 出力)* ¹ * ²
1	0	0	GRA はインプ ットキャプチャ レジスタ	立ち上がりエッジで GRA ヘインプットキャプチャ
		1		立ち下がりエッジで GRA ヘインプットキャプチャ
	1	0		立ち上がり / 立ち下がりの両エッジで GRA ヘインプット
		1		キャプチャ

【注】 *¹ リセット後、最初のコンペアマッチが発生するまでの出力値は 0 です。

*² チャンネル 2 はコンペアマッチによるトグル出力機能がありません。この設定にすると自動的に 1 出力が選択されます。

8. 16 ビットインテグレートドタイムユニット (ITU)

8.2.12 タイマステータスレジスタ (TSR)

TSR は 8 ビットのレジスタです。ITU には、各チャンネル 1 本、計 5 本の TSR があります。

チャンネル	略称	機能
0	TSR0	インプットキャプチャ / コンペアマッチやオーバフローのステータスを示します。
1	TSR1	
2	TSR2	
3	TSR3	
4	TSR4	

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF	IMFB	IMFA
初期値:	1	1	1	1	1	0	0	0
R/W :	—	—	—	—	—	R/(W)*	R/(W)*	R/(W)*

リザーブビット

インプットキャプチャ / コンペアマッチフラグA
GRAによるコンペアマッチ /
インプットキャプチャの発生を示すステータスフラグです。

インプットキャプチャ / コンペアマッチフラグB
GRBによるコンペアマッチ /
インプットキャプチャの発生を示すステータスフラグです。

オーバフローフラグ
オーバフロー / アンダフローの発生を示すステータスフラグです。

【注】 * フラグをクリアするための0ライトのみ可能です。

TSRは8ビットのリード/ライト可能なレジスタで、TCNTのオーバフロー/アンダフローの発生、およびGRA、GRBのコンペアマッチ/インプットキャプチャの発生を示します。

これらのフラグは割り込み要因であり、TIERの対応するビットにより割り込みが許可されていれば、CPUに割り込みを要求します。

TSRはリセット、またはスタンバイモード時に、HF8に初期化されます。

ビット7~3: リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

8. 16 ビットインテグレートドタイムユニット (ITU)

ビット 2 : オーバフローフラグ (OVF)

TCNT のオーバフロー / アンダフローの発生を示すステータスフラグです。

ビット 2	説 明
OVF	
0	[クリア条件] (初期値) OVF = 1 の状態で、OVF フラグをリードした後、OVF フラグに 0 をライトしたとき
1	[セット条件] TCNT の値がオーバフロー (H'FFFF→H'0000) またはアンダフロー (H'0000→H'FFFF) したとき*

- 【注】 * TCNT のアンダフローは、TCNT がアップ / ダウンカウンタとして機能している場合に発生します。したがって、次の場合のみアンダフローが発生することがあります。
- (1) チャンネル 2 が位相計数モードに設定されているとき (TMDR の MDF = 1)
 - (2) チャンネル 3、4 が相補 PWM モードに設定されているとき (TFCR の CMD1 = 1、CMD0 = 0)

ビット 1 : インพุットキャプチャ / コンペアマッチフラグ B (IMFB)

GRB のコンペアマッチまたはインพุットキャプチャの発生を示すステータスフラグです。

ビット 1	説 明
IMFB	
0	[クリア条件] (初期値) IMFB = 1 の状態で、IMFB フラグをリードした後、IMFB フラグに 0 をライトしたとき
1	[セット条件] (1) GRB がアウトプットコンペアレジスタとして機能している場合、TCNT = GRB になったとき (2) GRB がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により TCNT の値が GRB に転送されたとき

ビット 0 : インพุットキャプチャ / コンペアマッチフラグ A (IMFA)

GRA のコンペアマッチまたはインพุットキャプチャの発生を示すステータスフラグです。

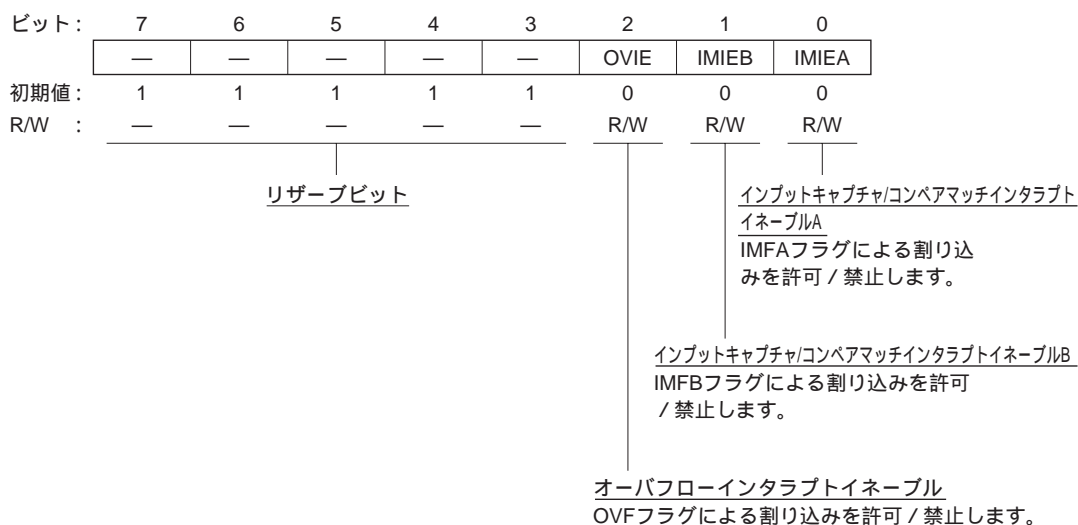
ビット 0	説 明
IMFA	
0	[クリア条件] (初期値) IMFA = 1 の状態で、IMFA フラグをリードした後、IMFA フラグに 0 をライトしたとき
1	[セット条件] (1) GRA がアウトプットコンペアレジスタとして機能している場合、TCNT = GRA になったとき (2) GRA がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により TCNT の値が GRA に転送されたとき

8. 16 ビットインテグレートドタイムユニット (ITU)

8.2.13 タイマインタラプトイネーブルレジスタ (TIER)

TIER は 8 ビットのレジスタです。ITU には、各チャンネル 1 本、計 5 本の TIER があります。

チャンネル	略称	機能
0	TIER0	割り込み要求の許可 / 禁止を制御します。
1	TIER1	
2	TIER2	
3	TIER3	
4	TIER4	



TIER は 8 ビットのリード / ライト可能なレジスタで、オーバーフロー割り込み要求、GR のコンペアマッチ / インプットキャプチャ割り込み要求の許可 / 禁止を制御します。

TIER はリセット、またはスタンバイモード時に、HF8 に初期化されます。

ビット 7~3 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット 2 : オーバフローインタラプトイネーブル (OVIE)

TSR の OVF フラグが 1 にセットされたとき、OVF フラグによる割り込み要求を許可 / 禁止します。

ビット 2	説明
OVIE	
0	OVF フラグによる割り込み (OVI) 要求を禁止 (初期値)
1	OVF フラグによる割り込み (OVI) 要求を許可

8. 16 ビットインテグレートドタイムユニット (ITU)

ビット 1 : インプットキャプチャ / コンペアマッチインタラプトイネーブル B (IMIEB)

TSR の IMFB フラグが 1 にセットされたとき、IMFB による割り込み要求を許可 / 禁止します。

ビット 1	説 明
IMIEB	
0	IMFB フラグによる割り込み (IMIB) 要求を禁止 (初期値)
1	IMFB フラグによる割り込み (IMIB) 要求を許可

ビット 0 : インプットキャプチャ / コンペアマッチインタラプトイネーブル A (IMIEA)

TSR の IMFA フラグが 1 にセットされたとき、IMFA による割り込み要求を許可 / 禁止します。

ビット 0	説 明
IMIEA	
0	IMFA フラグによる割り込み (IMIA) 要求を禁止 (初期値)
1	IMFA フラグによる割り込み (IMIA) 要求を許可

8.3 CPU とのインタフェース

8.3.1 16 ビットアクセス可能なレジスタ

TCNT、GRA、GRB、および BRA、BRB は 16 ビットのレジスタです。これらのレジスタは、CPU と内部 16 ビットデータバスで接続されており、ワード単位のリード/ライトが可能です。また、バイト単位のリード/ライトもできます。

TCNT に対してワード単位のリード/ライトを行った場合の動作を図 8.6、図 8.7 に示します。

また、TCNTH、TCNTL に対してバイト単位のリード/ライトを行った場合の動作を図 8.8～図 8.11 に示します。

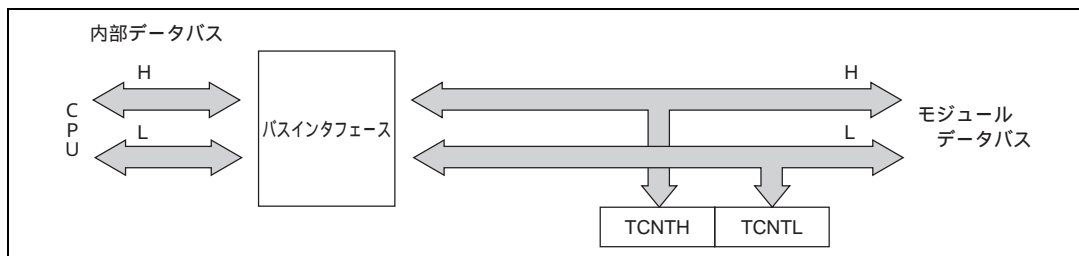


図 8.6 TCNT のアクセス動作 [CPU→TCNT (ワード)]

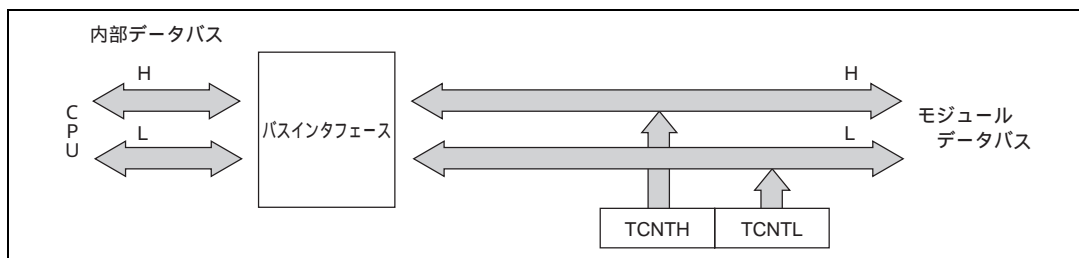


図 8.7 TCNT のアクセス動作 [TCNT→CPU (ワード)]

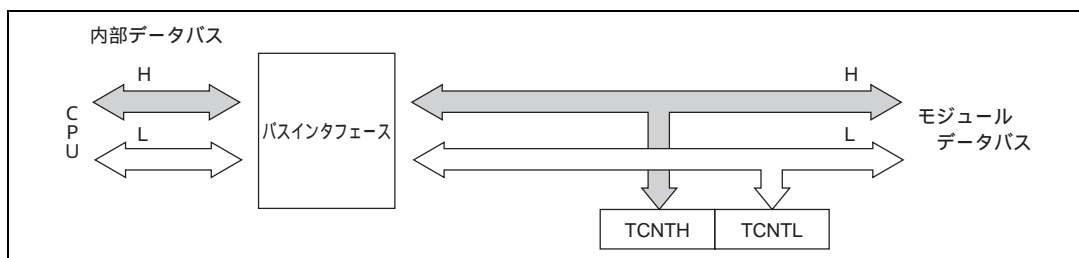


図 8.8 TCNT のアクセス動作 [CPU→TCNT (上位バイト)]

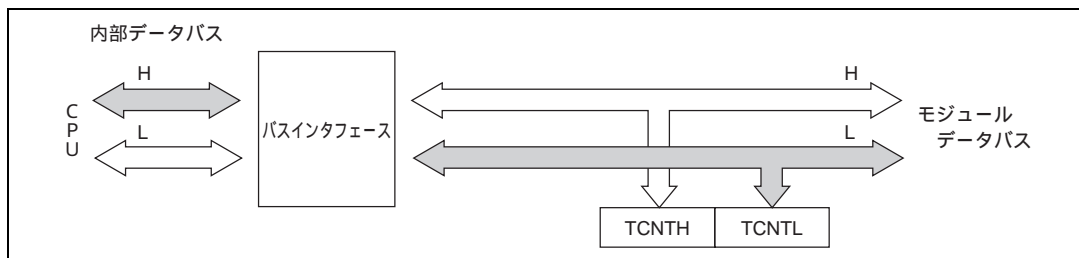


図 8.9 TCNT のアクセス動作 [CPU→TCNT (下位バイト)]

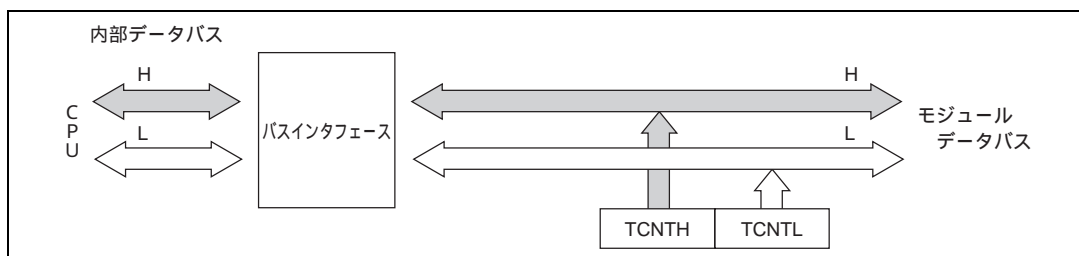


図 8.10 TCNT のアクセス動作 [TCNT→CPU (上位バイト)]

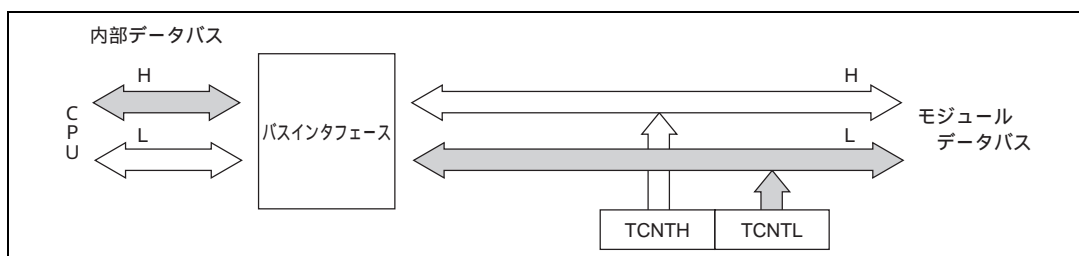


図 8.11 TCNT のアクセス動作 [TCNT→CPU (下位バイト)]

8.3.2 8 ビットアクセスのレジスタ

TCNT、GR、BR 以外のレジスタは 8 ビットレジスタです。これらのレジスタは CPU と内部 8 ビットデータバスで接続されています。

TCR に対してバイト単位のリード/ライトを行った場合の動作を図 8.12、図 8.13 に示します。なお、ワードサイズの転送命令を実行するとバイト単位 2 回の転送が行われます。

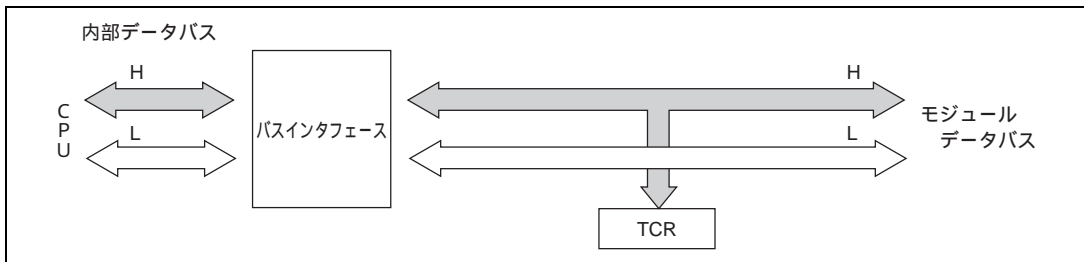


図 8.12 TCR のアクセス動作 [CPU→TCR]

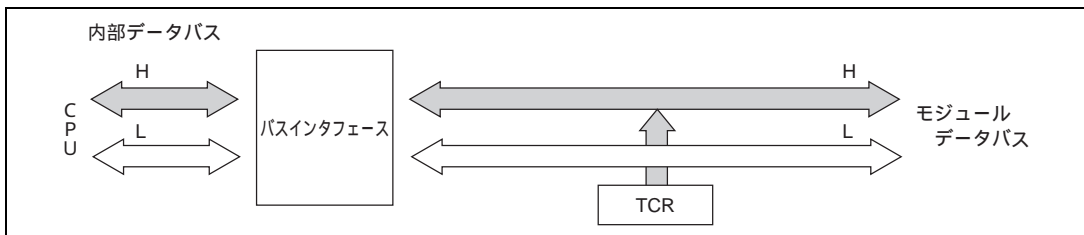


図 8.13 TCR のアクセス動作 [TCR→CPU]

8.4 動作説明

8.4.1 概要

以下に各モードの動作概要を示します。

(1) 通常動作

各チャンネルには、TCNT と GR があります。TCNT は、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

GRA、GRB は、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(2) 同期動作

同期動作を設定したチャンネルの TCNT は、同期プリセット動作を行います。すなわち、同期動作に設定されたチャンネルのうち任意の TCNT を書き換えると他のチャンネルの TCNT も同時に書き換えられます。また、同期動作に設定された複数のチャンネルの TCR の CCLR1、CCLR0 ビットの設定により、TCNT の同期クリアが可能です。

(3) PWM モード

TIOCA 端子から PWM 波形を出力するモードです。コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となります。GRA、GRB の設定により、デューティ 0~100% の PWM 波形を出力できます。PWM モードに設定すると当該チャンネルの GRA、GRB は自動的にアウトプットコンペアレジスタとして機能します。

(4) リセット同期 PWM モード

チャンネル 3、4 を組み合わせて、正相と逆相の PWM 波形を 3 相出力します (3 相の PWM 波形は一方の変化点が共通となる関係になります)。リセット同期 PWM モードに設定すると GRA3、GRB3、GRA4、GRB4 は自動的にアウトプットコンペアレジスタとして機能します。また、TIOCA₃、TIOCB₃、TIOCA₄、TOCXA₄、TIOCB₄、TOCXB₄ 端子は自動的に PWM 出力端子となり、TCNT3 はアップカウント動作を行います。TCNT4 は独立に動作します (ただし、GRA4、GRB4 は TCNT4 とは切り離されています)。

(5) 相補 PWM モード

チャンネル 3、4 を組み合わせて、正相と逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。相補 PWM モードに設定すると GRA3、GRB3、GRA4、GRB4 は自動的にアウトプットコンペアレジスタとして機能します。また、TIOCA₃、TIOCB₃、TIOCA₄、TOCXA₄、TIOCB₄、TOCXB₄ 端子は自動的に PWM 出力端子となり、TCNT3、TCNT4 はアップ/ダウンカウント動作を行います。

(6) 位相計数モード

TCLKA、TCLKB 端子から入力される 2 つのクロックの位相差を検出して、TCNT2 をアップ/ダウンカウント動作させるモードです。位相計数モードに設定すると TCLKA、TCLKB 端子はクロック入力となり、また TCNT2 はアップ/ダウンカウント動作を行います。

8. 16ビットインテグレートドタイマユニット (ITU)

(7) バッファ動作

- (1) GRがアウトプットコンペアレジスタの場合
コンペアマッチが発生すると当該チャンネルのBRの値が、GRに転送されます。
- (2) GRがインプットキャプチャレジスタの場合
インプットキャプチャが発生するとTCNTの値をGRに転送すると同時に、それまで格納されていたGRの値をBRに転送します。
- (3) 相補PWMモードの場合
TCNT3、TCNT4のカウンタ方向が変化するとBRの値が、GRに転送されます。
- (4) リセット同期PWMモードの場合
GRA3のコンペアマッチによりBRの値が、GRに転送されます。

8.4.2 基本機能

(1) カウンタの動作

タイマスタートレジスタ (TSTR) の STR0~STR4 ビットを1にセットすると、対応するチャンネルのTCNTはカウンタ動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウンタ動作の設定手順例

カウンタ動作の設定手順例を図 8.14 に示します。

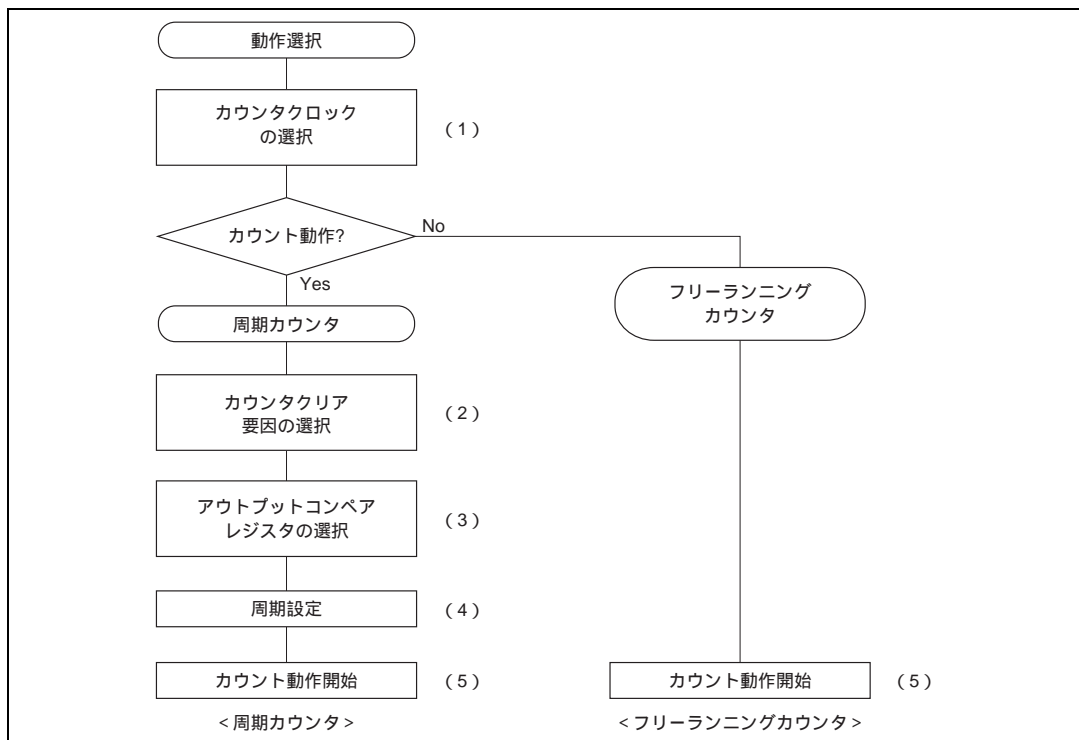


図 8.14 カウンタ動作設定手順例

- (1) TCRのTPSC2～TPSC0ビットでカウンタクロックを選択してください。外部クロックを選択した場合は、TCRのCKEG1、CKEG0ビットで外部クロックのエッジを選択してください。
- (2) 周期カウント動作の場合TCRのCCLR1、CCLR0ビットでTCNTをGRAのコンペアマッチでクリアするか、GRBのコンペアマッチでクリアするかを選択してください。
- (3) (2) で選択したGRAまたはGRBを、TIOBによりアウトプットコンペアレジスタに設定してください。
- (4) (2) で選択したGRAまたはGRBに周期カウンタの周期を設定してください。
- (5) TSTRのSTRビットを1にセットしてカウント動作を開始してください。

(b) フリーランニングカウント動作と周期カウント動作

ITU チャンネル0～4のカウンタ (TCNT) はリセット直後は、すべてフリーランニングカウンタの設定となっており、TSTRの対応するビットを1にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTがオーバーフロー (H'FFFF→H'0000) するとTSRのOVFフラグが1にセットされます。このとき、対応するTIERのOVIEビットが1ならば、CPUに割り込みを要求します。TCNTはオーバーフロー後、H'0000から再びアップカウント動作を続けます。

フリーランニングカウンタの動作を図8.15に示します。

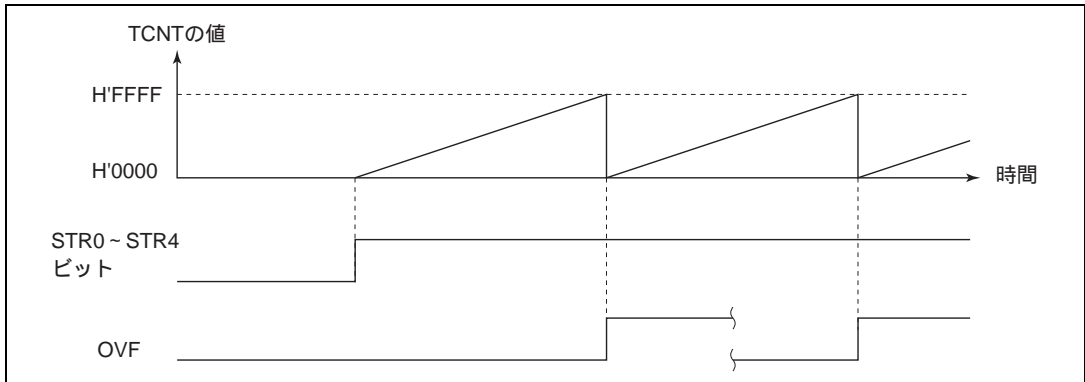


図 8.15 フリーランニングカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、当該チャンネルのTCNTは周期カウント動作を行います (周期設定用のGRAまたはGRBをアウトプットコンペアレジスタに設定し、TCRのCCLR1、CCLR0ビットにより、コンペアマッチによるカウンタクリアを選択します)。設定後、TSTRの対応するビットを1にセットすると周期カウンタとしてアップカウント動作を開始します。カウント値がGRA/GRBの値と一致するとTSRのIMFA/IMFBフラグが1にセットされ、TCNTはH'0000にクリアされます。

このとき、対応するTIERのIMIEA/IMIEBビットが1ならば、CPUに割り込みを要求します。TCNTはコンペアマッチ後、H'0000から再びアップカウント動作を続けます。

周期カウンタの動作を図8.16に示します。

8. 16ビットインテグレートドタイマユニット (ITU)

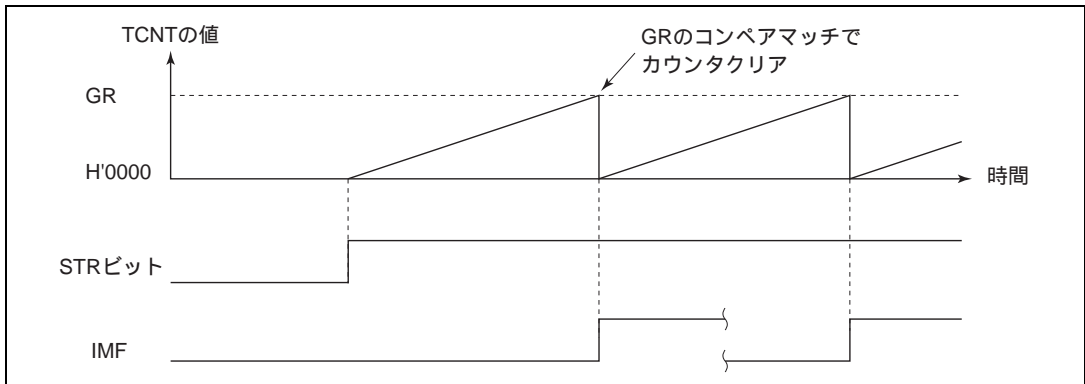


図 8.16 周期カウンタの動作

(c) TCNT のカウントタイミング

(1) 内部クロック動作の場合

TCRのTPSC2～TPSC0ビットにより、システムクロック (ϕ) またはシステムクロックを分周した3種類のクロック ($\phi/2$ 、 $\phi/4$ 、 $\phi/8$) が選択できます。

このときのタイミングを図8.17に示します。

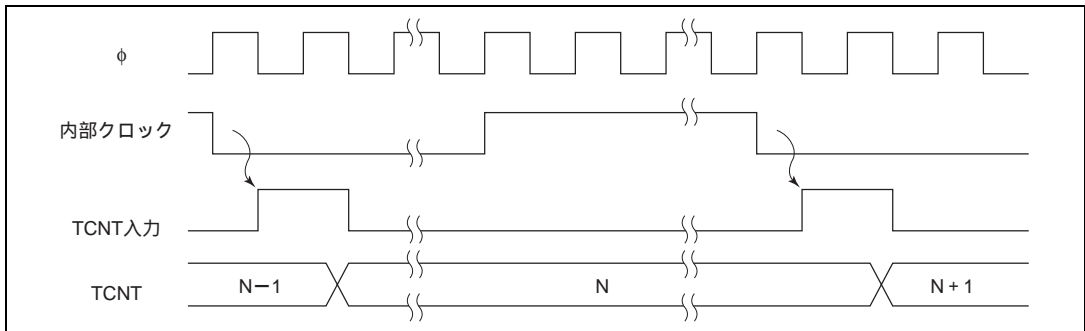


図 8.17 内部クロック動作時のカウントタイミング

(2) 外部クロック動作の場合

TCRのTPSC2～TPSC0ビットにより外部クロック入力端子 (TCLKA～TCLKD) を、また CKEG1、CKEG0ビットにより検出エッジを選択できます。外部クロックの検出は、立ち上がりエッジ/立ち下がりエッジ/両エッジの選択が可能です。

なお、外部クロックのパルス幅は、単エッジの場合は1.5システムクロック以上、両エッジの場合は2.5システムクロック以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

立ち上がり/立ち下がり両エッジ検出時のタイミングを図8.18に示します。

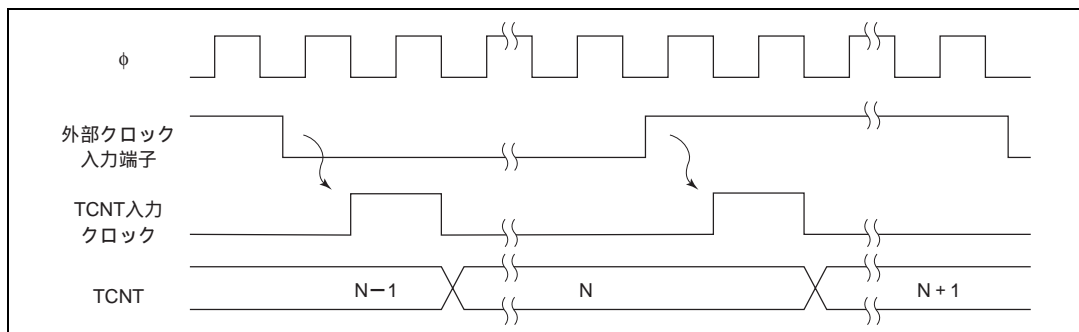


図 8.18 外部クロック動作時のカウントタイミング (両エッジ検出の場合)

(2) コンペアマッチによる波形出力機能

ITU チャンネル 0、1、3、4 は、コンペアマッチ A、B により対応する TIOCA、TIOCB 端子から 0 出力 / 1 出力 / トグル出力を行うことができます。

チャンネル 2 は 0 出力 / 1 出力のみ可能です。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 8.19 に示します。

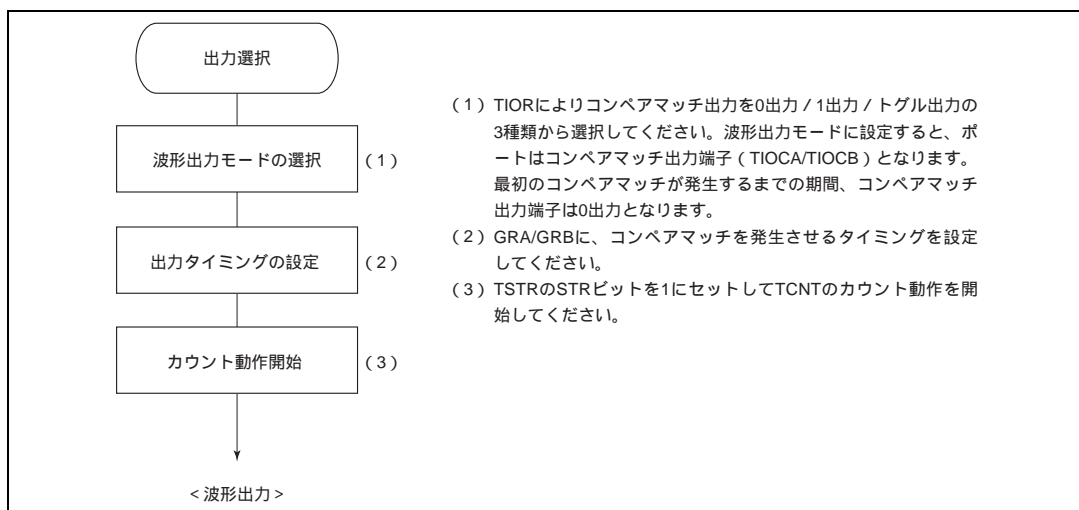


図 8.19 コンペアマッチによる波形出力動作例

8. 16ビットインテグレートドタイマユニット (ITU)

(b) 波形出力動作例

0出力 / 1出力の例を図 8.20 に示します。

TCNT をフリーランニングカウント動作、またコンペアマッチ A により 0 出力、コンペアマッチ B により 1 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

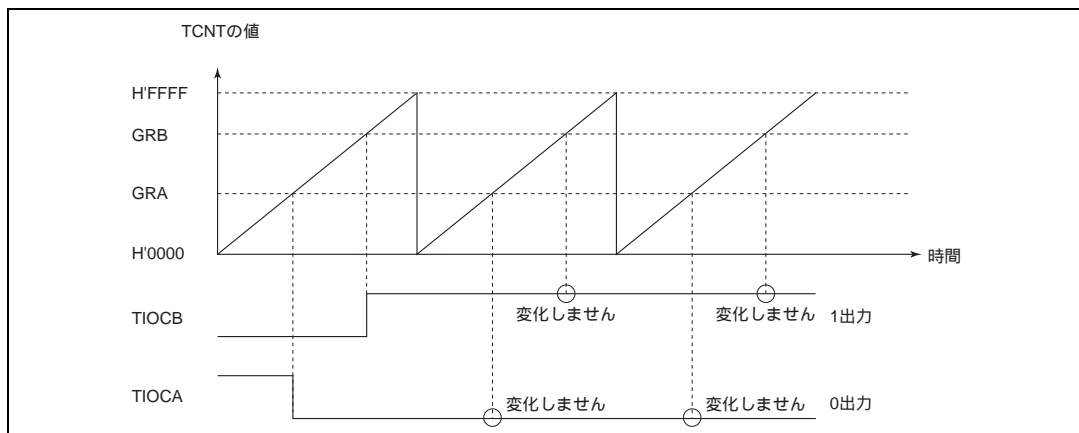


図 8.20 0出力、1出力の動作例

トグル出力の例を図 8.21 に示します。

TCNT を周期カウント動作 (コンペアマッチ B でカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

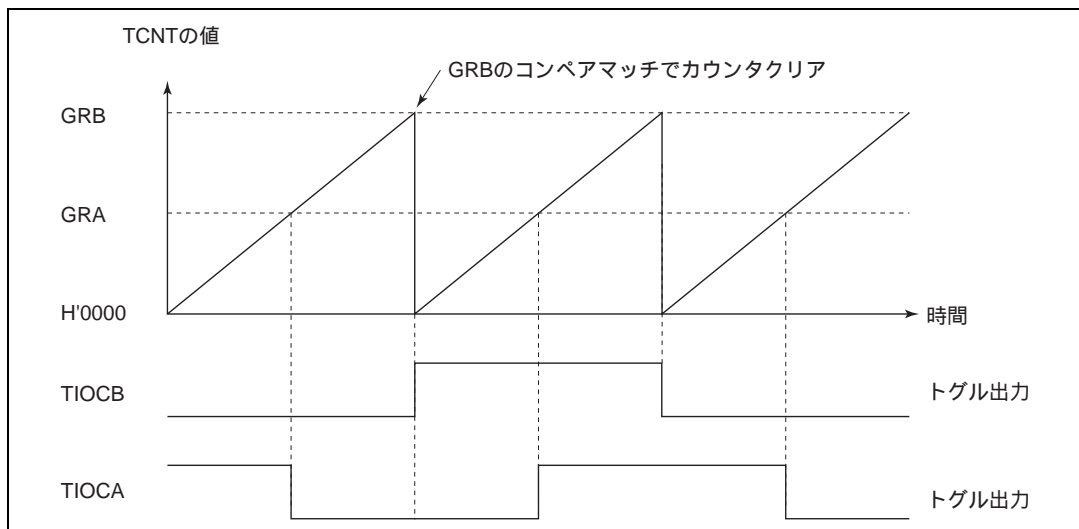


図 8.21 トグル出力の動作例

(c) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と GR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOCR で設定される出力値がアウトプットコンペア出力端子 (TIOCA、TIOCB) に出力されます。TCNT と GR が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 8.22 に示します。

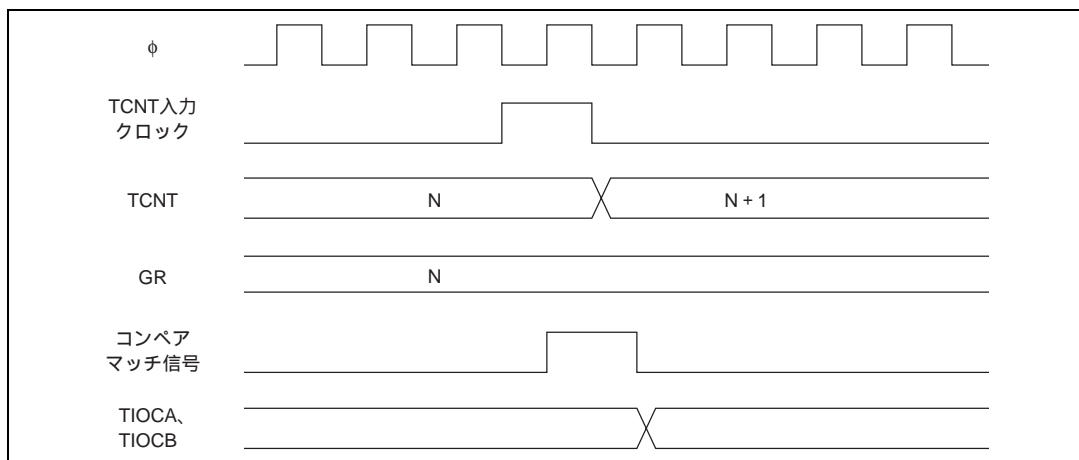


図 8.22 アウトプットコンペア出力タイミング

(3) インพุットキャプチャ機能

インพุットキャプチャ / アウトプットコンペア端子 (TIOCA、TIOCB) の入力エッジを検出して TCNT の値を GR に転送することができます。検出エッジは立ち上がりエッジ / 立ち下がりエッジ / 両エッジから選択できます。

インพุットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 8.23 に示します。

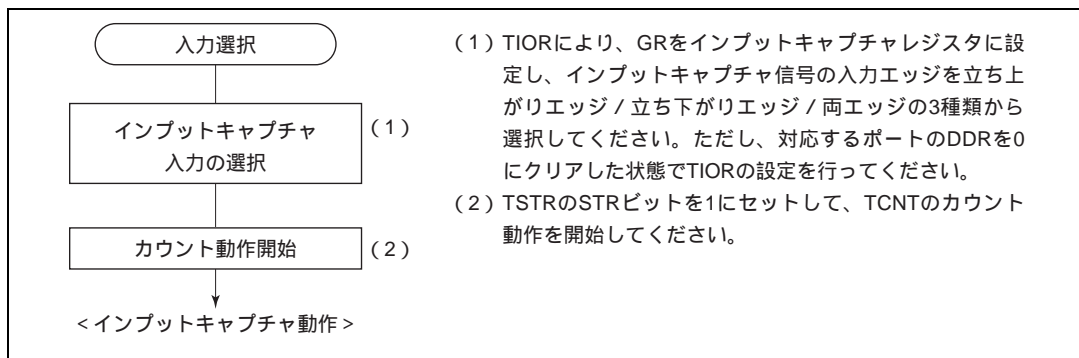


図 8.23 インพุットキャプチャ動作の設定手順例

8. 16ビットインテグレートドタイマユニット (ITU)

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 8.24 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は GRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

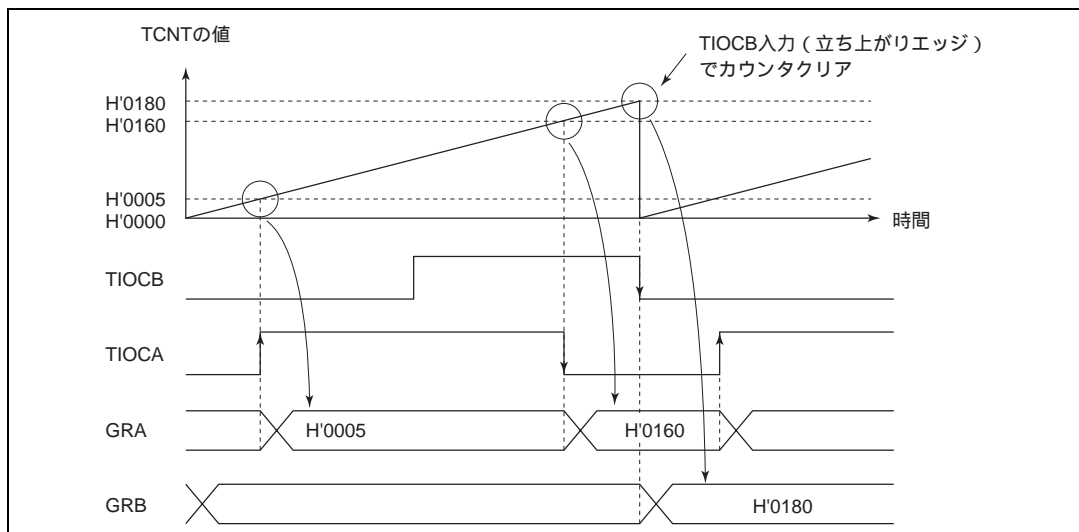


図 8.24 インพุットキャプチャ動作例

(c) インพุットキャプチャ信号タイミング

インพุットキャプチャ入力は、TIOCR の設定により立ち上がりエッジ / 立ち下がりエッジ / 両エッジの選択ができます。

立ち上がりエッジを選択した場合のタイミングを図 8.25 に示します。

インพุットキャプチャ入力信号のパルス幅は、単エッジの場合は 1.5 システムクロック以上、両エッジの場合は 2.5 システムクロック以上必要です。

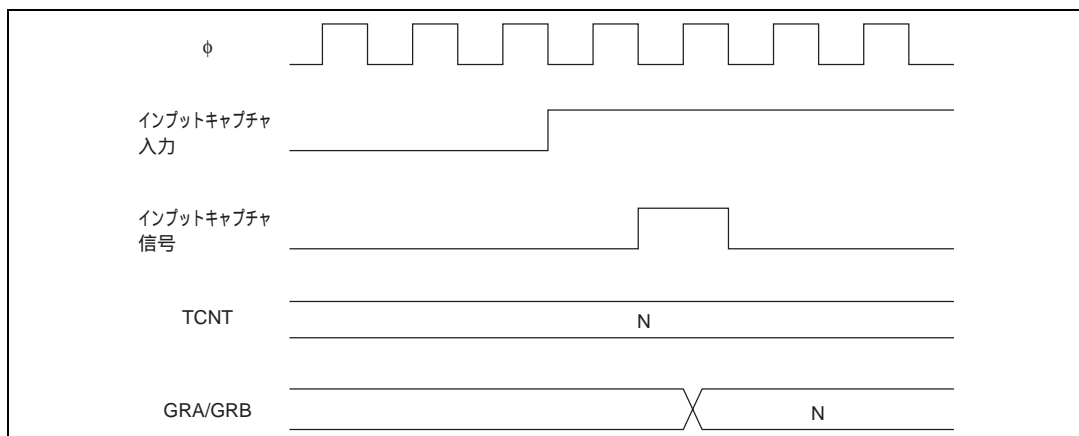


図 8.25 インพุットキャプチャ入力信号タイミング

8.4.3 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1つのタイムベースに対してジェネラルレジスタを増加することができます。チャンネル 0~4 はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 8.26 に示します。

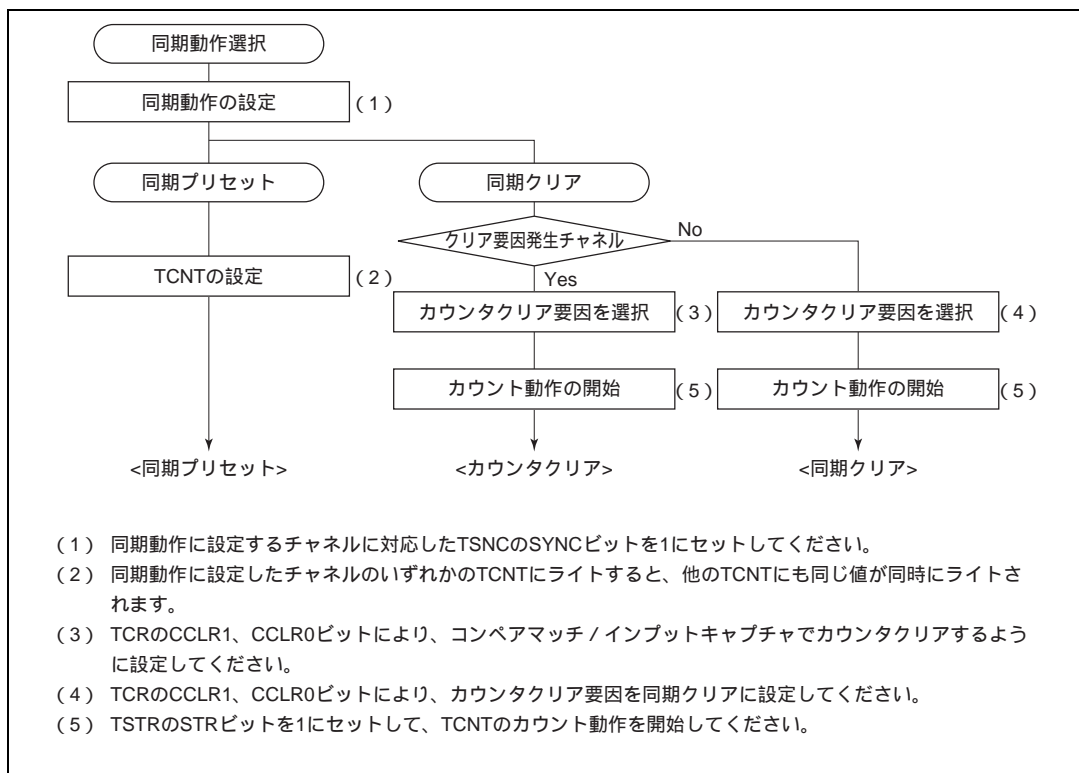


図 8.26 同期モードの設定手順例

(2) 同期動作例

同期動作例を図 8.27 に示します。

チャンネル 0~2 を同期動作かつ PWM モードに設定し、チャンネル 0 のカウンタクリア要因を GRB0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

このとき、チャンネル 0~2 の TCNT は同期プリセット、GRB0 のコンペアマッチによる同期クリア動作を行い、3 相の PWM 波形を TIOCA₀、TIOCA₁、TIOCA₂ 端子から出力します。

PWM モードについては「8.4.4 PWM モード」を参照してください。

8. 16ビットインテグレートドタイマユニット (ITU)

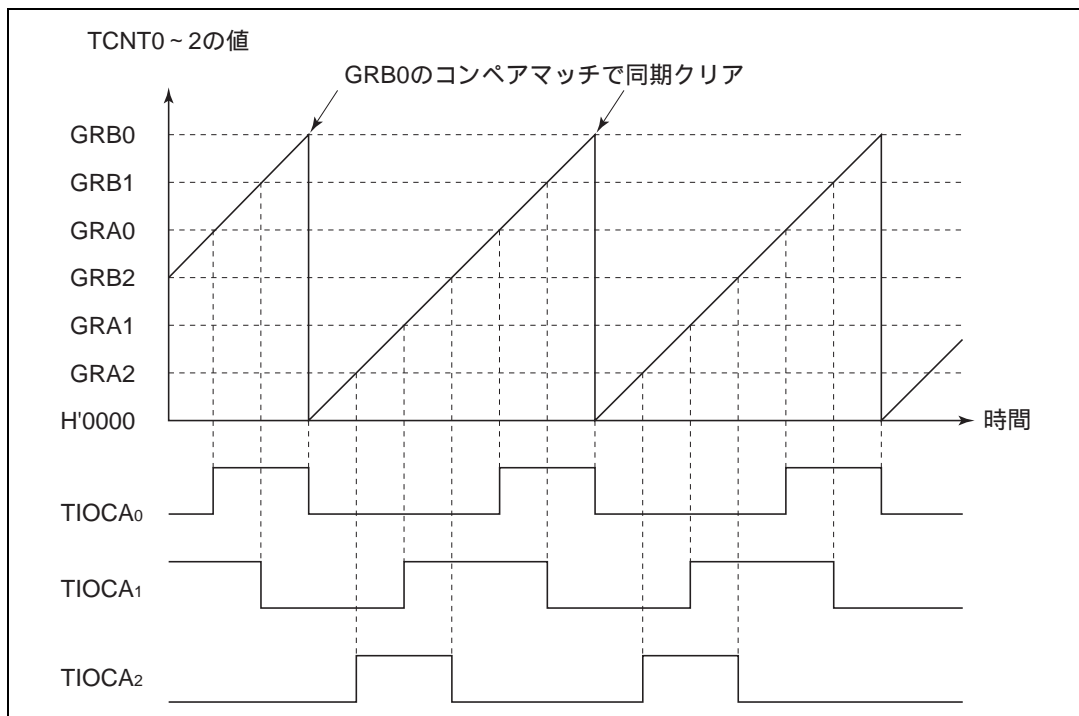


図 8.27 同期動作例

8.4.4 PWM モード

PWM モードは GRA と GRB をペアで使用し、TIOCA 出力端子より PWM 波形を出力します。GRA には PWM 波形の 1 出力タイミングを設定し、GRB には PWM 波形の 0 出力タイミングを設定します。

GRA と GRB のいずれかのコンペアマッチを TCNT のカウンタクリア要因とすることにより、デューティ 0 ~ 100% の PWM 波形を TIOCA 端子より出力することができます。チャンネル 0 ~ 4 はすべて PWM モードの設定が可能です。

PWM 出力端子とレジスタの対応を表 8.4 に示します。GRA と GRB の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

表 8.4 PWM 出力端子とレジスタの組み合わせ

チャンネル	出力端子	1 出力	0 出力
0	TIOCA ₀	GRA0	GRB0
1	TIOCA ₁	GRA1	GRB1
2	TIOCA ₂	GRA2	GRB2
3	TIOCA ₃	GRA3	GRB3
4	TIOCA ₄	GRA4	GRB4

(1) PWMモードの設定手順例

PWMモードの設定手順例を図 8.28 に示します。

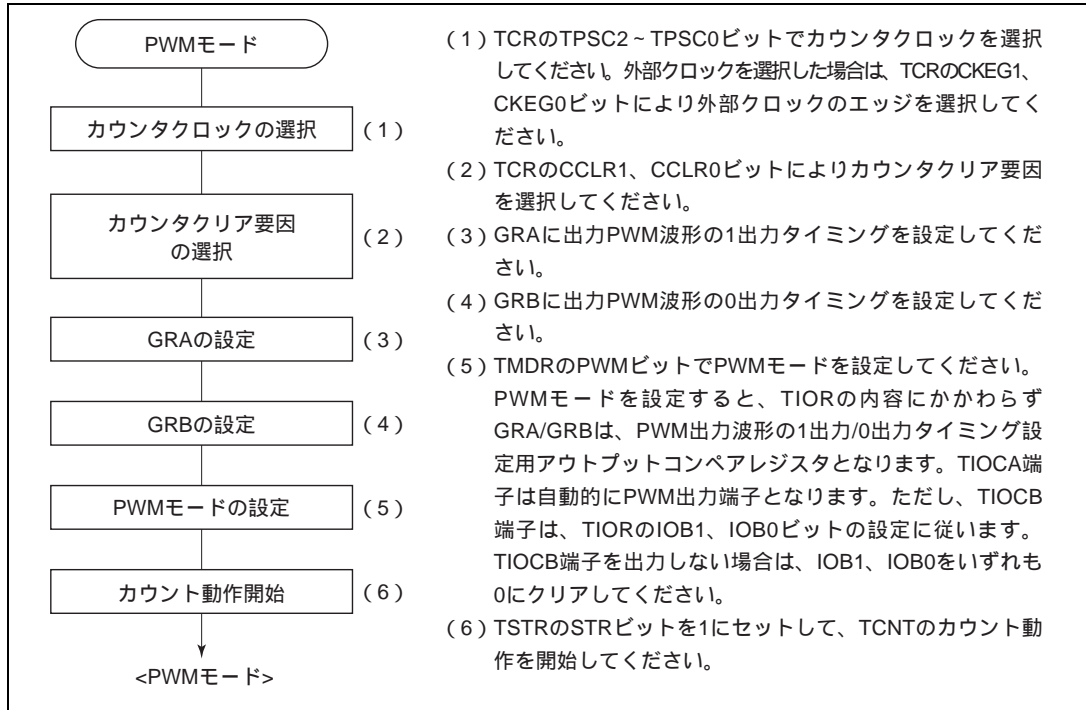


図 8.28 PWMモードの設定手順例

8. 16ビットインテグレートドタイマユニット (ITU)

(2) PWM モードの動作例

PWM モードの動作例を図 8.29 に示します。

PWM モードに設定すると TIOCA 端子は出力端子となり、GRA のコンペアマッチで 1 出力、GRB のコンペアマッチで 0 出力となります。

TCNT のカウンタクリア要因を GRA、GRB のコンペアマッチとした場合の例です。同期動作またはフリーランニングカウンタ動作も使用できます。

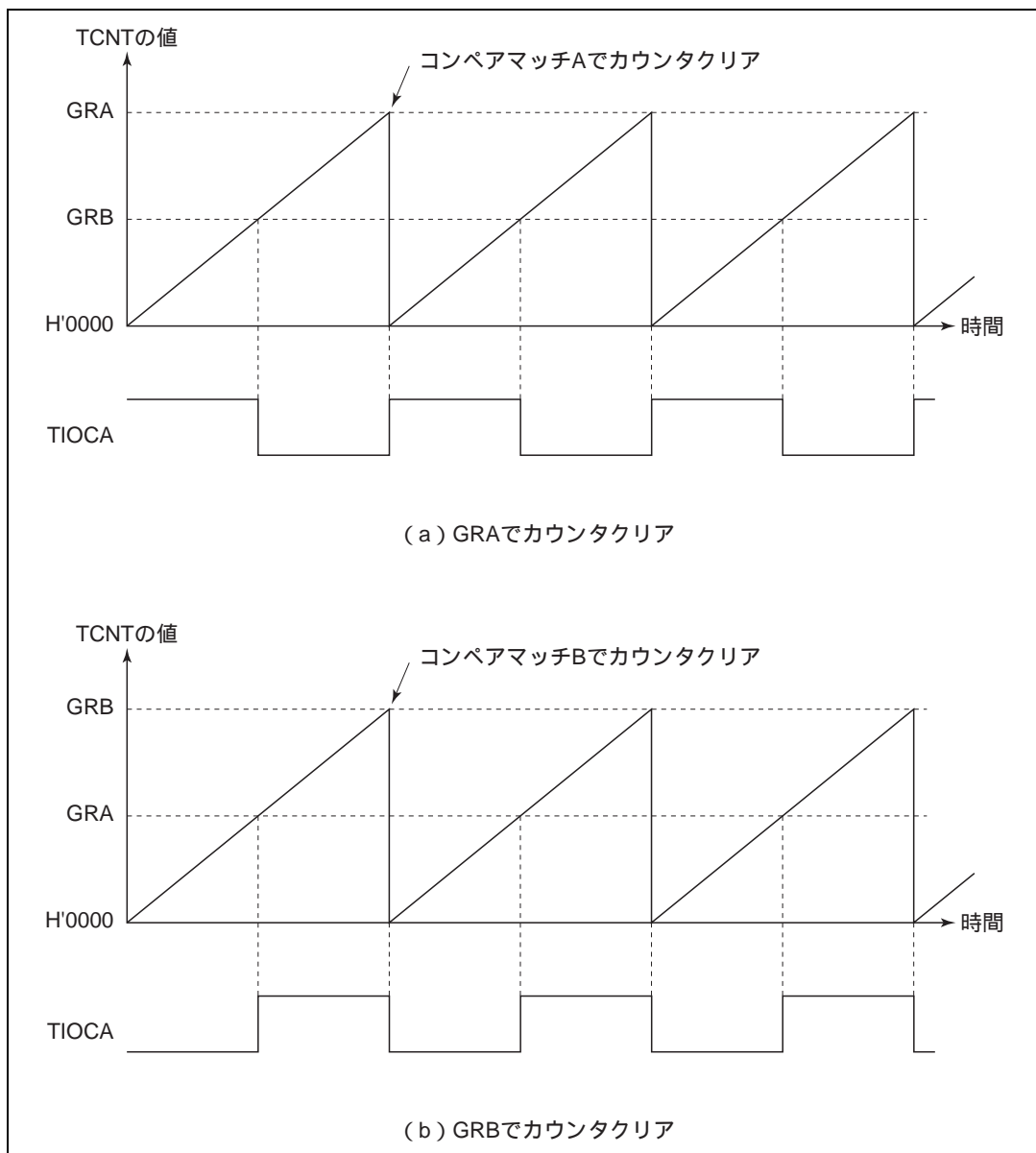


図 8.29 PWM モードの動作例 (1)

PWMモードで、デューティ0%、デューティ100%のPWM波形を出力する例を図8.30に示します。
 カウンタクリア要因をGRBのコンペアマッチに設定し、GRAの設定値 > GRBの設定値としたとき、PWM波形はデューティ0%となります。また、カウンタクリア要因をGRAのコンペアマッチに設定し、GRBの設定値 > GRAの設定値としたときPWM波形はデューティ100%となります。

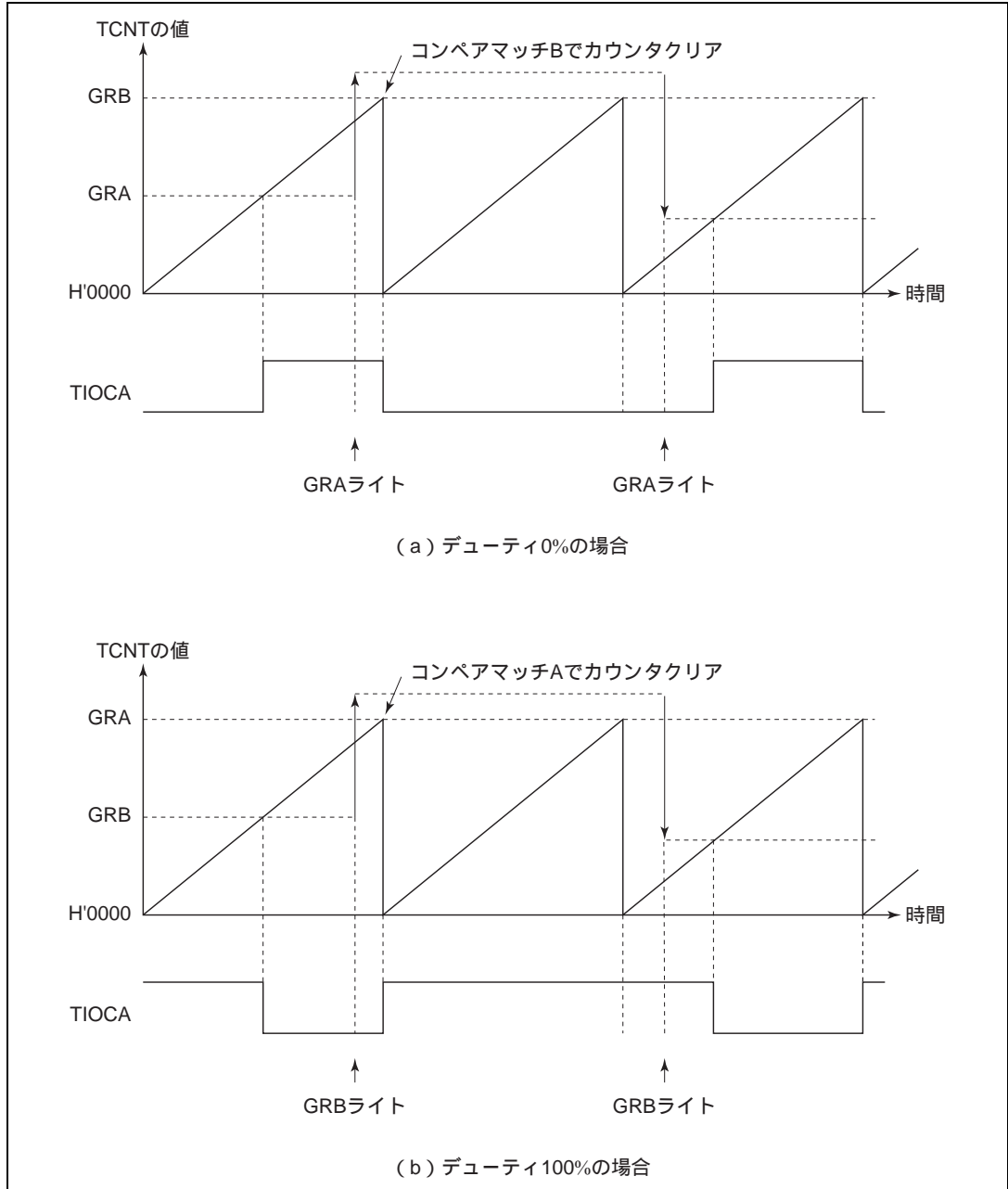


図 8.30 PWM モードの動作例 (2)

8.4.5 リセット同期 PWM モード

リセット同期 PWM モードは、チャンネル 3、4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相と逆相）を 3 相出力します。

リセット同期 PWM モードに設定すると、TIOCA₃、TIOCB₃、TIOCA₄、TOCXA₄、および TIOCB₄、TOCXB₄ 端子は自動的に PWM 出力端子となり、TCNT3 はアップカウンタとして機能します。使用される PWM 出力端子を表 8.5 に、使用するレジスタの設定を表 8.6 に示します。

表 8.5 リセット同期 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOCA ₃	PWM 出力 1
	TIOCB ₃	PWM 出力 1' (PWM 出力 1 の逆相波形)
4	TIOCA ₄	PWM 出力 2
	TOCXA ₄	PWM 出力 2' (PWM 出力 2 の逆相波形)
	TIOCB ₄	PWM 出力 3
	TOCXB ₄	PWM 出力 3' (PWM 出力 3 の逆相波形)

表 8.6 リセット同期 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT3	H'0000 を初期設定
TCNT4	使用しません (独立に動作)
GRA3	TCNT3 のカウント周期を設定
GRB3	TIOCA ₃ 、TIOCB ₃ 端子より出力される PWM 波形の変化点を設定
GRA4	TIOCA ₄ 、TOCXA ₄ 端子より出力される PWM 波形の変化点を設定
GRB4	TIOCB ₄ 、TOCXB ₄ 端子より出力される PWM 波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順を図 8.31 に示します。

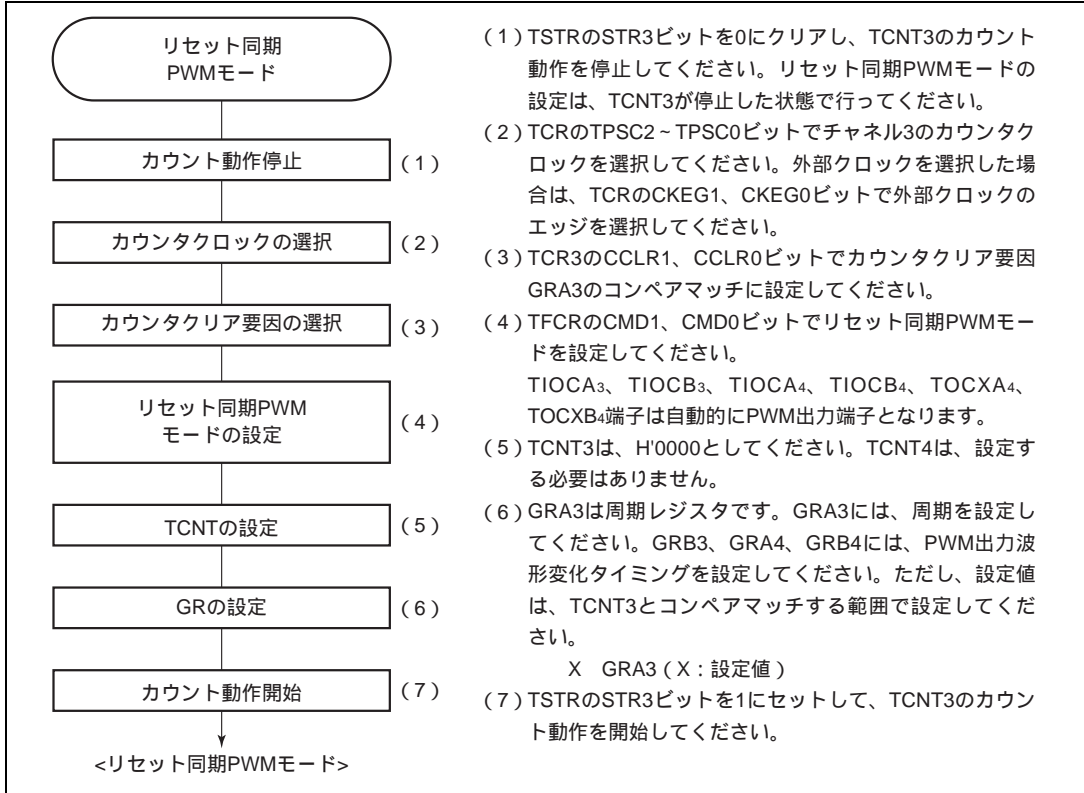


図 8.31 リセット同期 PWM モードの設定手順例

8. 16ビットインテグレートドタイマユニット (ITU)

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 8.32 に示します。

リセット同期 PWM モードでは、TCNT3 はアップカウンタとして動作します。TCNT4 は独立動作します。ただし、GRA4、GRB4 は TCNT4 から切り離されます。TCNT3 が GRA3 とコンペアマッチするとカウンタはクリアされ、H'0000 からカウントアップを再開します。

PWM 出力端子は、それぞれ GRB3、GRA4、GRB4 と TCNT3 のコンペアマッチおよびカウンタクリアが発生するたびにトグル出力を行います。

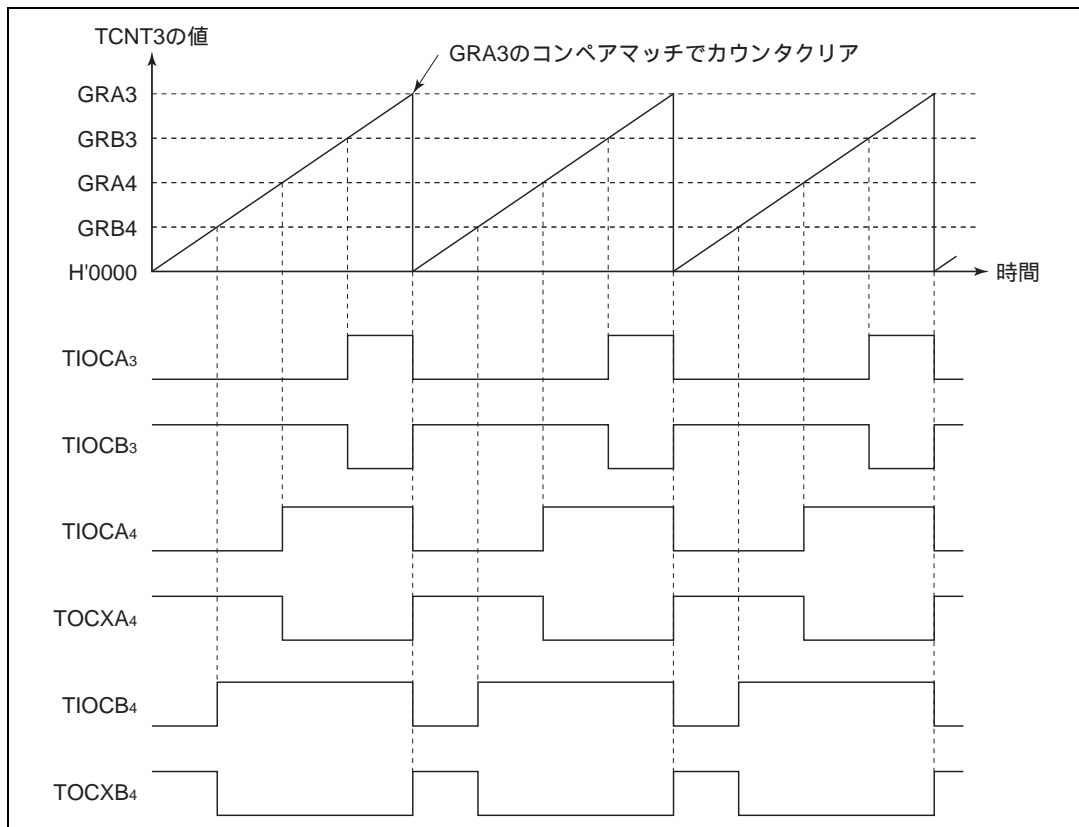


図 8.32 リセット同期 PWM モードの動作例 (OLS3 = OLS4 = 1 の場合)

リセット同期 PWM モードとバッファ動作を同時に設定した場合の動作については、「8.4.8 バッファ動作」を参照してください。

8.4.6 相補 PWM モード

相補 PWM モードは、チャンネル 3、4 を組み合わせることにより、正相と逆相がノンオーバーラップの関係にある PWM 波形を 3 相出力します。

相補 PWM モードに設定すると、TIOCA₃、TIOCB₃、TIOCA₄、TOCXA₄、および TIOCB₄、TOCXB₄ 端子は自動的に PWM 出力端子となり、TCNT3 と TCNT4 はアップ/ダウンカウンタとして機能します。

使用される PWM 出力端子を表 8.7 に、使用するレジスタの設定を表 8.8 に示します。

表 8.7 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
3	TIOCA ₃	PWM 出力 1
	TIOCB ₃	PWM 出力 1' (PWM 出力 1 とノンオーバーラップの関係にある逆相波形)
4	TIOCA ₄	PWM 出力 2
	TOCXA ₄	PWM 出力 2' (PWM 出力 2 とノンオーバーラップの関係にある逆相波形)
	TIOCB ₄	PWM 出力 3
	TOCXB ₄	PWM 出力 3' (PWM 出力 3 とノンオーバーラップの関係にある逆相波形)

表 8.8 相補 PWM モード時のレジスタ設定

レジスタ	設定内容
TCNT3	ノンオーバーラップ期間を初期設定 (TCNT4 との差がノンオーバーラップ期間となります)
TCNT4	H'0000 を初期設定
GRA3	TCNT3 の上限値 - 1 を設定
GRB3	TIOCA ₃ 、TIOCB ₃ 端子より出力される PWM 波形の変化点を設定
GRA4	TIOCA ₄ 、TOCXA ₄ 端子より出力される PWM 波形の変化点を設定
GRB4	TIOCB ₄ 、TOCXB ₄ 端子より出力される PWM 波形の変化点を設定

8. 16ビットインテグレートドタイマユニット (ITU)

(1) 相補 PWM モードの設定手順

相補 PWM モードの設定手順例を図 8.33 に示します。

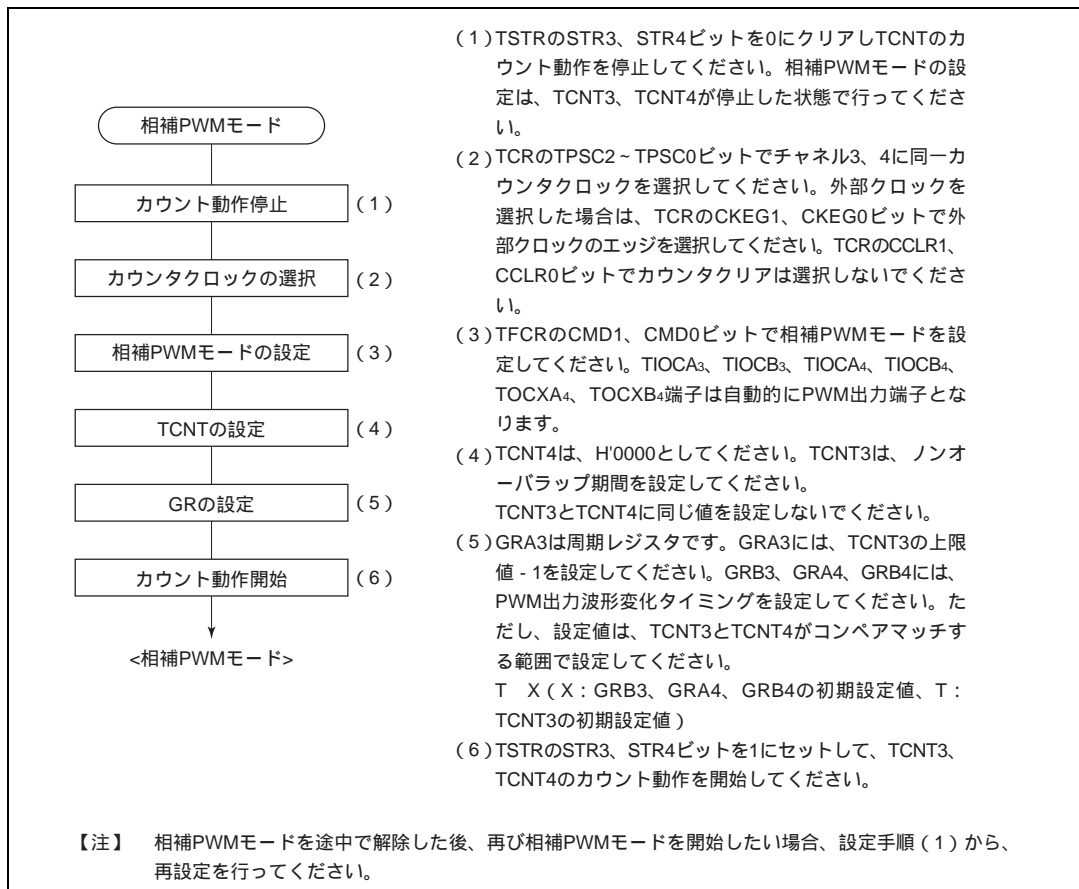


図 8.33 相補 PWM モードの設定手順例

(2) 相補 PWM モードの解除手順

相補 PWM モードの解除手順を図 8.34 に示します。



図 8.34 相補 PWM モードの解除手順

(3) 相補 PWM モードの動作例

相補 PWM モードの動作例を図 8.35 に示します。

相補 PWM モードでは、TCNT3、TCNT4 はアップ / ダウンカウンタとして動作します。TCNT3 が GRA3 とコンペアマッチするとダウンカウントし、TCNT4 がアンダフローするとアップカウントします。

GRB3、GRA4、GRB4 はカウンタのアップ / ダウン 1 周期中、それぞれ TCNT3→TCNT4→TCNT4 →TCNT3 の順にコンペアマッチを行い PWM 波形を生成します (本モードでは、TCNT3 > TCNT4 に初期設定します)。

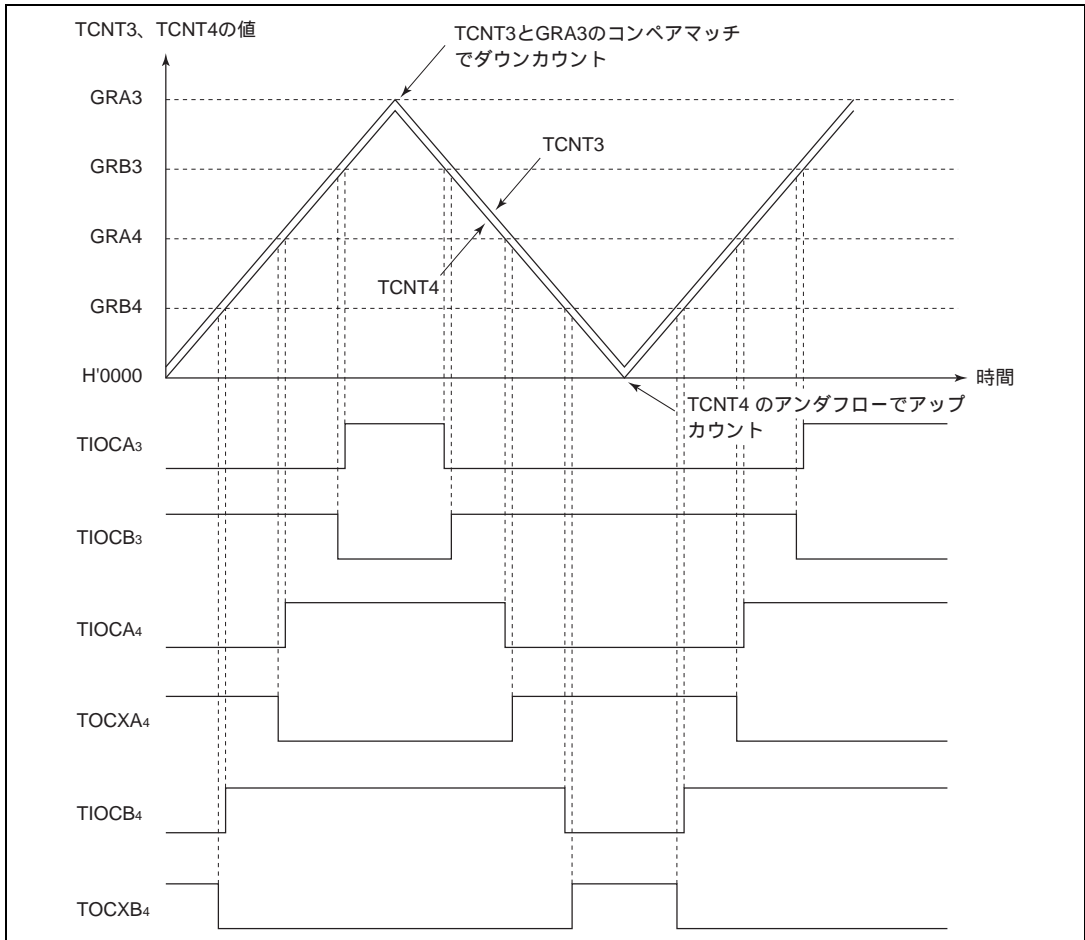


図 8.35 相補 PWM モードの動作例 (1) (OLS3 = OLS4 = 1 の場合)

相補 PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例 (1 相分) を図 8.36 に示します。

本例では GRB3 のコンペアマッチで端子出力が変化しますので、GRB3 の値を GRA3 の値よりも大きい値とすることでデューティ 0%、デューティ 100% の波形出力が可能となります。バッファ動作を併用すると上記操作を含め、動作中のデューティ変更を容易に行うことができます。

バッファ動作については「8.4.8 バッファ動作」を参照してください。

8. 16ビットインテグレートドタイマユニット (ITU)

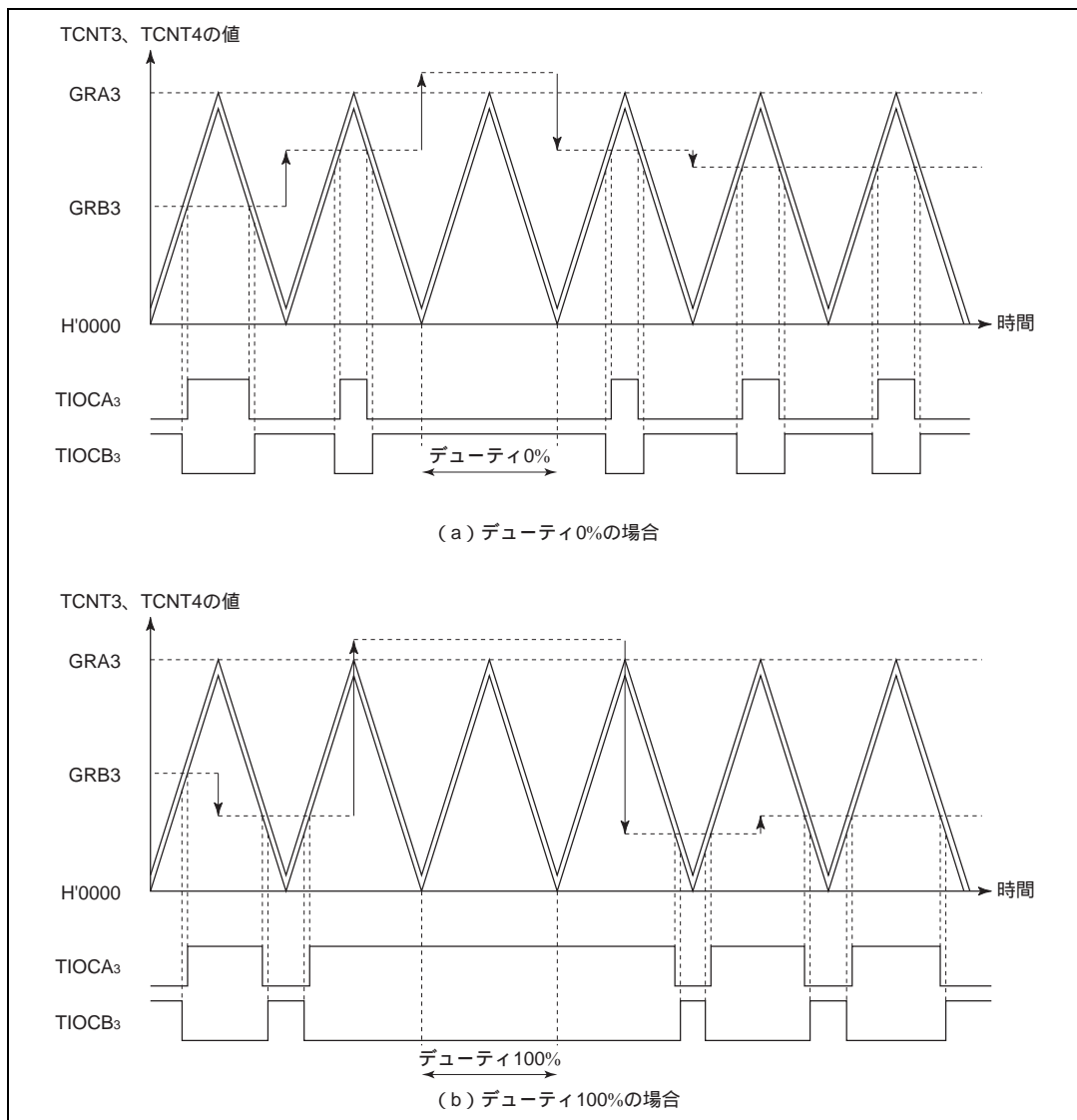


図 8.36 相補 PWM モードの動作例 (2) (OLS3 = OLS4 = 1 の場合)

相補 PWM モードを使用しているときのアップカウント / ダウンカウントの変化点で、TCNT3、TCNT4 はそれぞれオーバーシュート / アンダシュートが発生します。

このとき、チャンネル 3 の IMFA フラグおよびチャンネル 4 の OVF フラグをセットする条件は通常の場合とは異なります。また、バッファ動作での転送条件も異なります。

このタイミングを図 8.37、図 8.38 に示します。

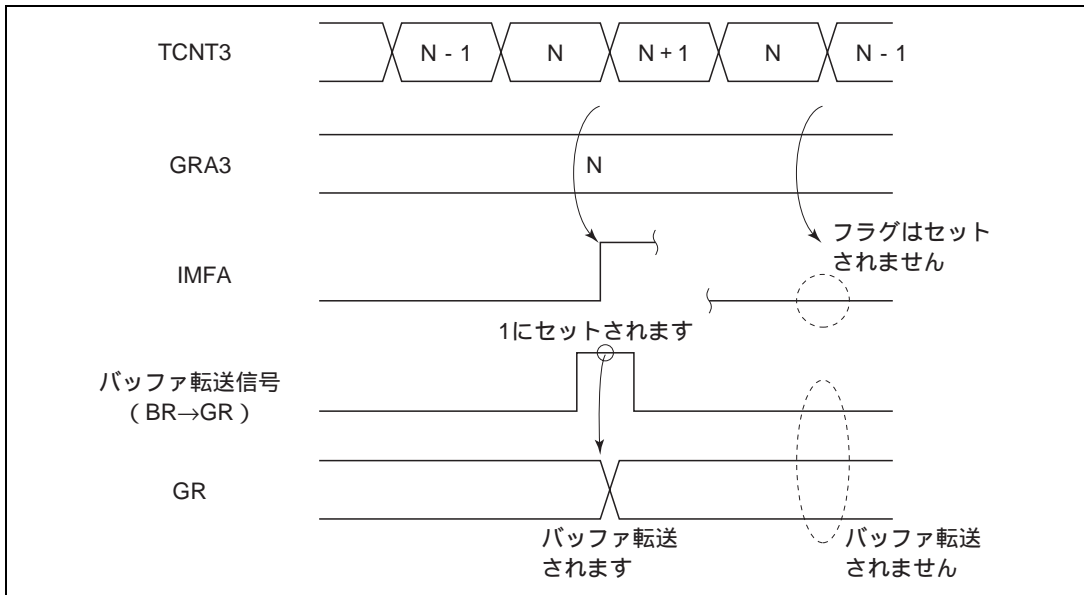


図 8.37 オーバシュート時のタイミング

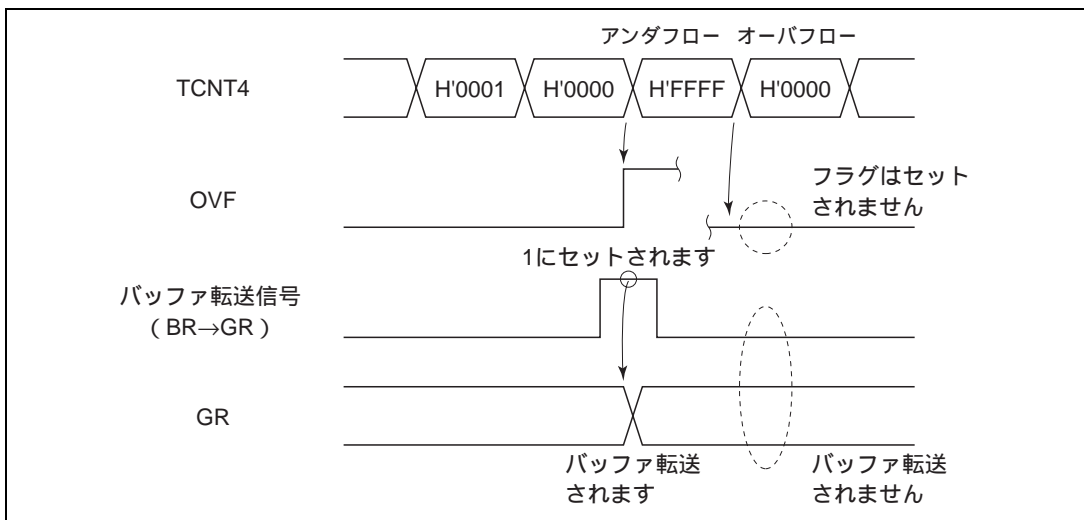


図 8.38 アンダシュート時のタイミング

チャンネル 3 の IMFA フラグはアップカウント時に、チャンネル 4 の OVF フラグはアンダフロー時のみ、それぞれ 1 にセットされます。

バッファ動作を設定された BR は、アップカウント動作時のコンペアマッチ A3 または TCNT4 のアンダフローによって GR に転送されます。

8. 16 ビットインテグレートドタイマユニット (ITU)

(4) 相補 PWM モードでの GR の設定値

相補 PWM モードでの GR の設定および動作中の変更については、以下の点に注意してください。

(1) 初期値

$H'0000 \sim T - 1$ (T : TCNT3の初期設定値) の設定は禁止です。

なお、カウントスタート後、最初に発生するコンペアマッチA3のタイミング以降では、この設定も可能です。

(2) 設定値の変更方法

バッファ動作を使用してください。直接GRにライトすると、正しく波形出力されない場合があります。

(3) 設定値変更時の注意

図8.39に6つの正しい例と1つの間違っただけを示します。

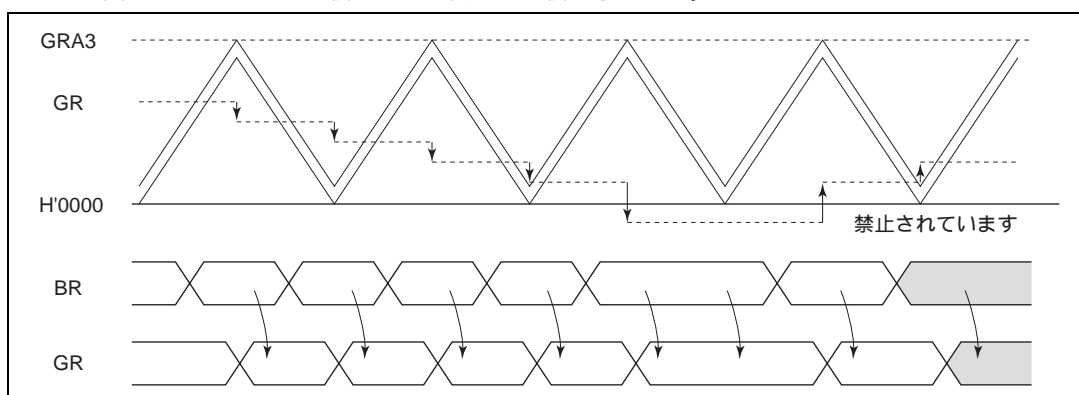


図 8.39 バッファ動作による GR の設定値変更例 (1)

(a) アップカウントからダウンカウントへの変化時のバッファ転送

GRの内容が $GRA3 - T + 1 \sim GRA3$ の範囲内であるとき、この範囲外の値は転送しないでください。また、GRの内容がこの範囲外であるとき、この範囲内の値は転送しないでください。

バッファ動作によるGRの設定変更時の注意 (1) を図8.40に示します。

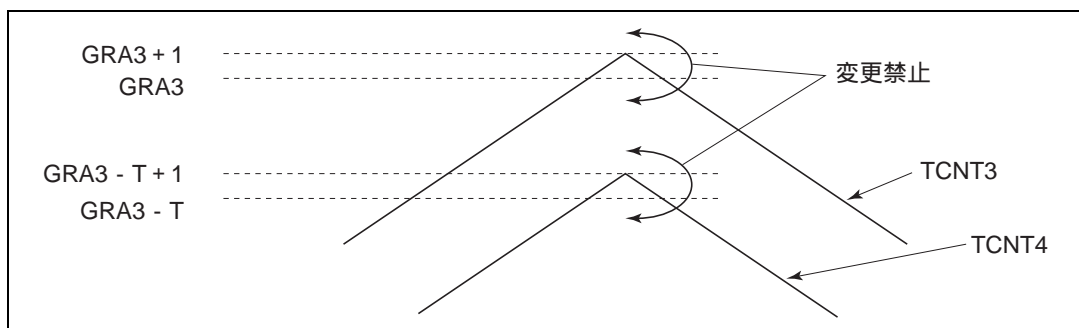


図 8.40 バッファ動作による GR の設定変更時の注意 (1)

- (b) ダウンカウントからアップカウントへの変化時のバッファ転送
 GRの内容がH'0000~T-1の範囲であるとき、この範囲外の値は転送しないでください。また、GRの内容がこの範囲外であるとき、この範囲内の値は転送しないでください。
 バッファ動作によるGRの設定変更時の注意(2)を図8.41に示します。

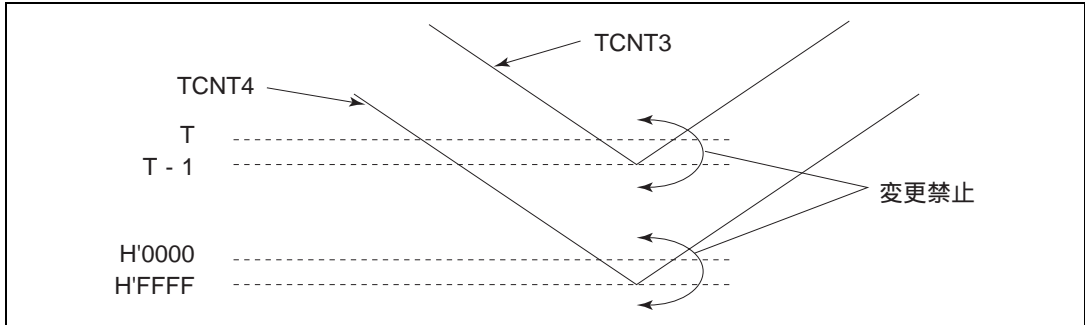


図 8.41 バッファ動作による GR の設定変更時の注意 (2)

- (c) GRの設定をカウント領域 (H'0000~GRA3) 外とするとき
 デューティ0%、100%の波形を出力する場合、GRの設定をカウント領域外とすることにより実現可能です。このとき、カウント領域外の設定値をBRにライトしたときのカウント方向(アップ/ダウンカウント)と、カウント領域内にもどる設定値をBRにライトするときのカウント方向が同一となるようにしてください。

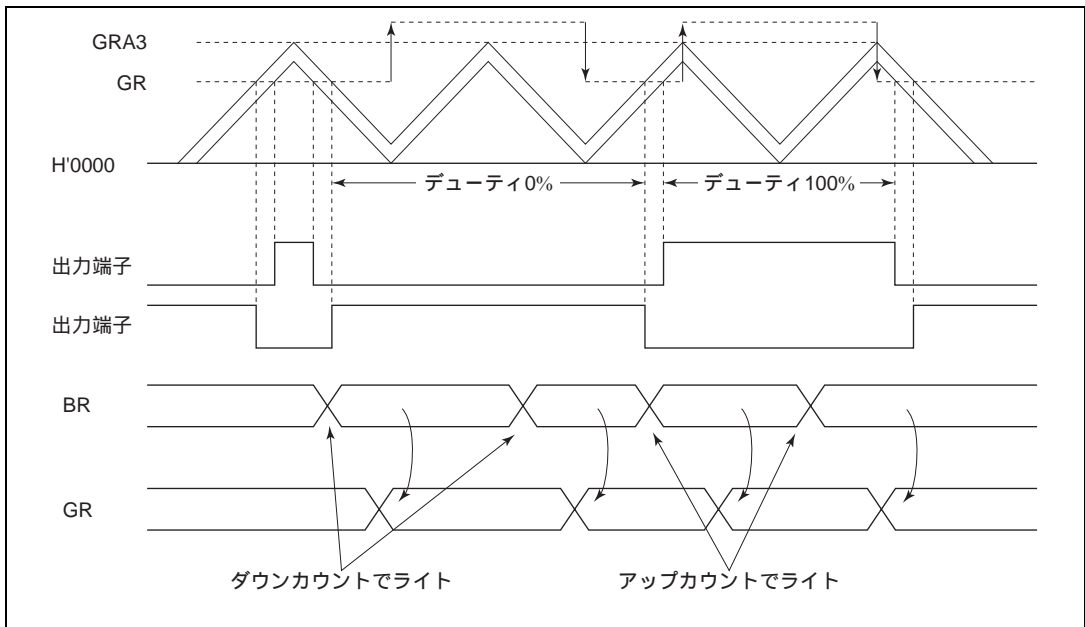


図 8.42 バッファ動作による GR の設定値変更例 (2)

上記設定は、GRA3のコンペアマッチまたはTCNT4のアンダフローが発生したことを検出して、BRヘライトをすることによって実現可能です。

8.4.7 位相計数モード

位相計数モードは、2本の外部クロック入力 (TCLKA、TCLKB 端子) の位相差を検出し、TCNT2 をアップ/ダウンカウントします。

位相計数モードに設定すると、TCR2 の TPSC2 ~ TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらず TCLKA、TCLKB 端子は自動的に外部クロック入力端子として機能し、また TCNT2 はアップ/ダウンカウンタとなります。ただし、TCR2 の CCLR1、CCLR0 ビット、TIOR2、TIER2、TSR2、GRA2、GRB2 は有効ですので、インプットキャプチャ/アウトプットコンペア機能や割り込み要因は使用することができます。

位相計数モードはチャンネル 2 のみのもつ機能です。

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 8.43 に示します。

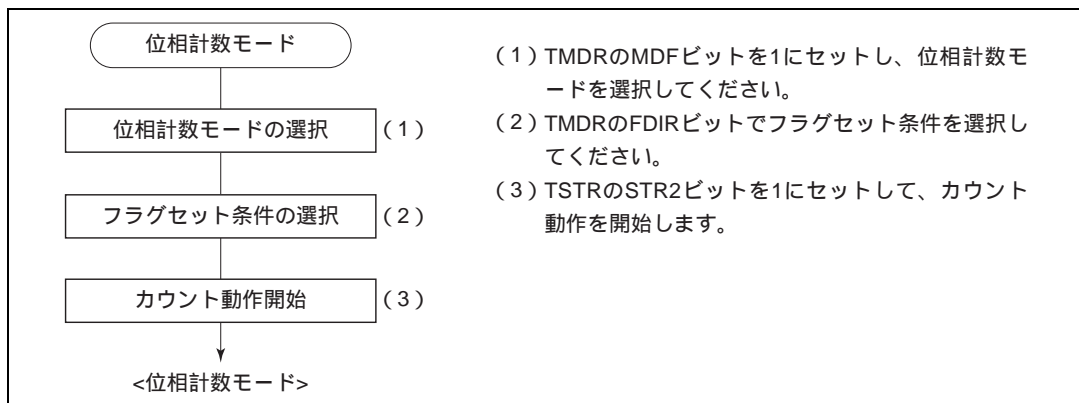


図 8.43 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードの動作例を図 8.44 に、TCNT2 のアップ / ダウンカウント条件を表 8.9 にそれぞれ示します。

位相計数モードでは、TCLKA、TCLKB 端子の立ち上がり (↑) / 立ち下がり (↓) の両エッジでカウントされます。このとき、TCLKA、TCLKB の位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上必要です。

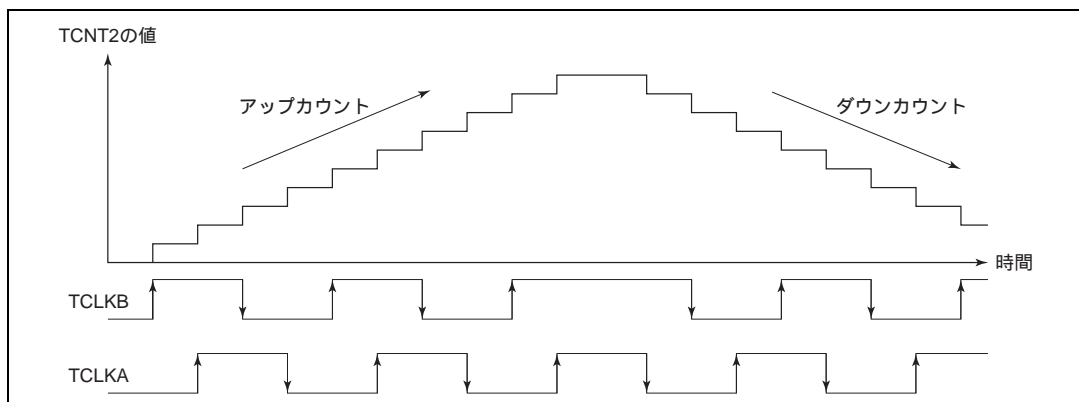


図 8.44 位相計数モードの動作例

表 8.9 アップ / ダウンカウント条件

カウント方向	アップカウント				ダウンカウント			
	TCLKB	↑	High	↓	Low	High	↓	Low
TCLKA	Low	↑	High	↓	↓	Low	↑	High

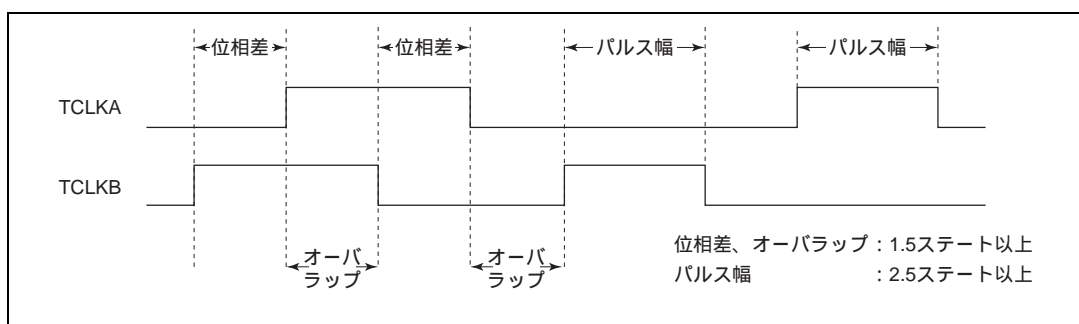


図 8.45 位相計数モード時の位相差、オーバーラップおよびパルス幅

8.4.8 バッファ動作

バッファ動作は、GR をアウトプットコンペアレジスタに設定した場合、GR をインプットキャプチャレジスタに設定した場合、リセット同期 PWM モード時、および相補 PWM モード時で機能が異なります。

バッファ動作はチャンネル 3、4 のみのもつ機能です。

上記の条件でバッファ動作に設定すると以下のように動作します。

(1) GRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると当該チャンネルのBRの値が、GRに転送されます。
この動作を図8.46に示します。

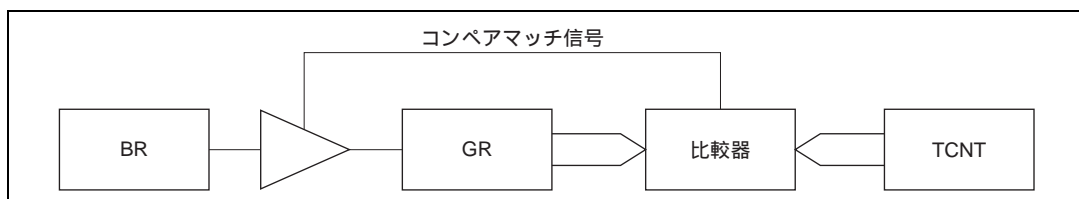


図 8.46 コンペアマッチバッファ動作

(2) GRがインプットキャプチャレジスタの場合

インプットキャプチャが発生するとTCNTの値をGRに転送すると同時に、それまで格納されていたGRの値をBRに転送します。
この動作を図8.47に示します。

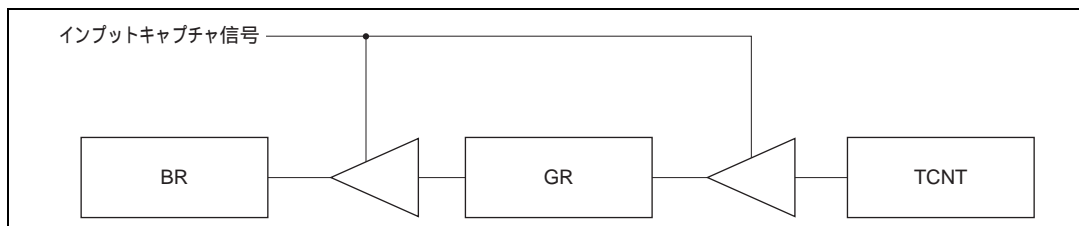


図 8.47 インプットキャプチャバッファ動作

(3) 相補PWMモードの場合

TCNT3、TCNT4のカウンタ方向が変化するとBRの値がGRに転送されます。このとき、BRからGRへの転送は以下のタイミングで行われます。

- ・ TCNT3とGRA3がコンペアマッチしたとき
- ・ TCNT4がアンダフローしたとき

(4) リセット同期PWMモードの場合

コンペアマッチA3によりBRの値が、GRに転送されます。

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 8.48 に示します。

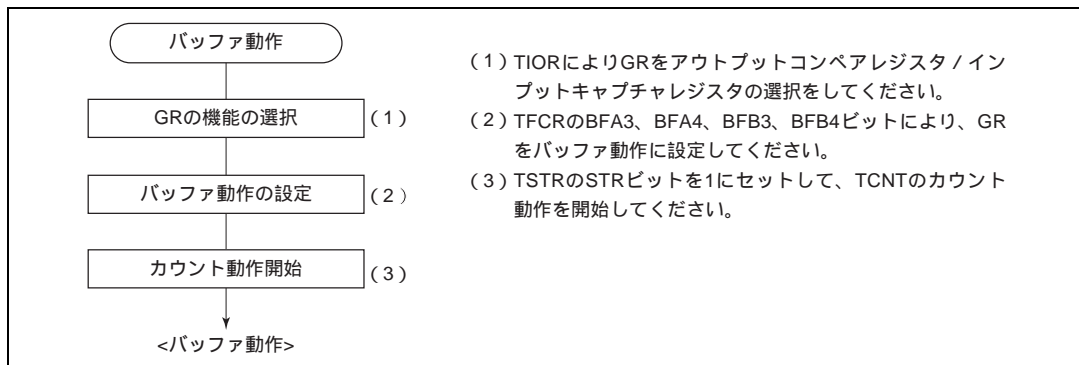


図 8.48 バッファ動作の設定手順例

(2) バッファ動作例

GRA をアウトプットコンペアレジスタに設定し、GRA と BRA をバッファ動作に設定したときの動作を図 8.49 に示します。

TCNT がコンペアマッチ B によりクリアされる周期カウント動作をしている場合の例です。また、TIOCA、TIOCB 端子は、それぞれコンペアマッチ A、B によるトグル出力が設定されています。

バッファ動作が設定されているため、コンペアマッチ A で TIOCA 端子がトグル出力を行うと同時に、BRA の値が GRA に転送されます。この動作をコンペアマッチ A が発生するたびに繰り返します。

この転送タイミングを図 8.50 に示します。

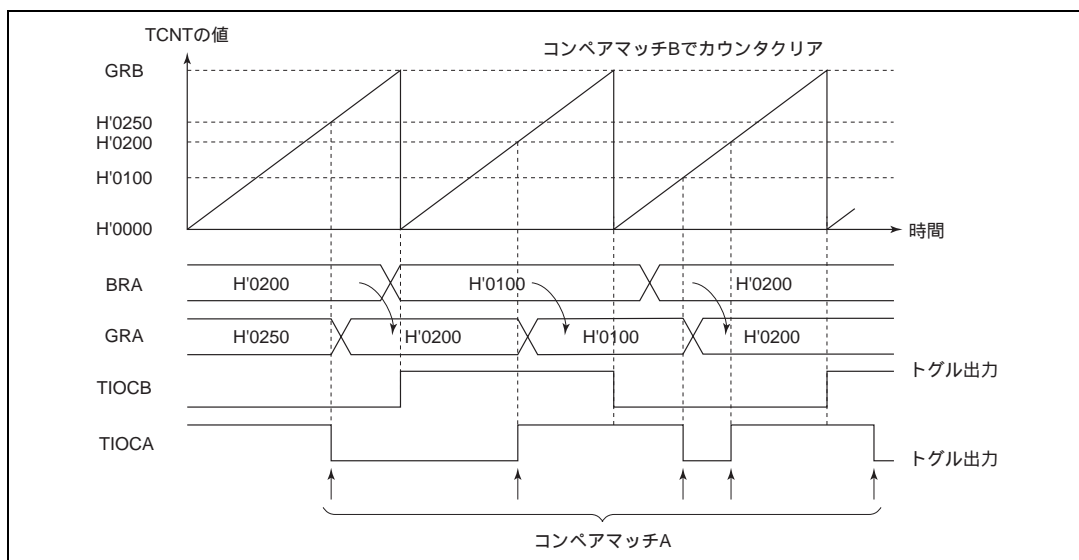


図 8.49 バッファ動作例 (1) (アウトプットコンペアレジスタに対するバッファ動作)

8. 16ビットインテグレートドタイマユニット (ITU)

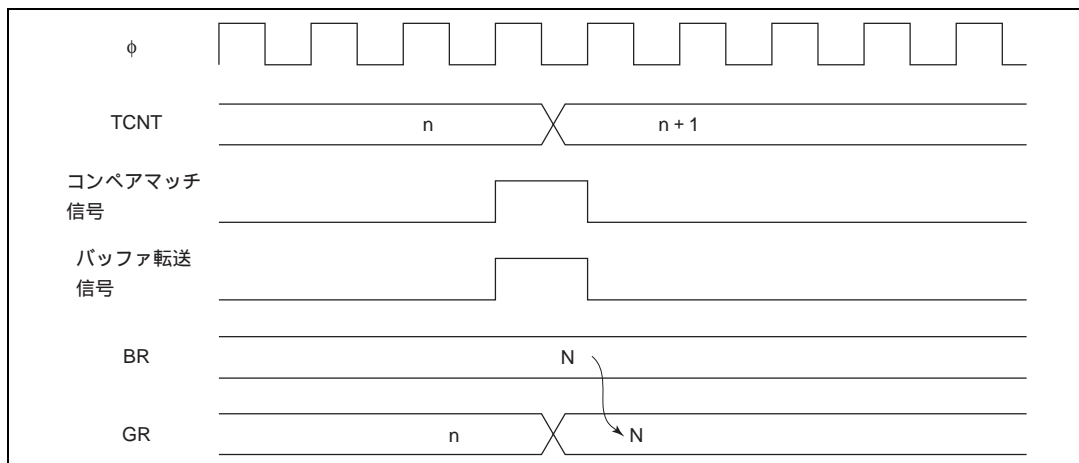


図 8.50 バッファ動作時のコンペアマッチタイミング例

GRA を入力キャプチャレジスタに設定し、GRA と BRA をバッファ動作に設定したときの動作を図 8.51 に示します。

TCNT が入力キャプチャ B によりカウンタクリアされる場合の例です。TIOCB 端子の入力キャプチャ入力エッジは、立ち下がりエッジが選択され、また、TIOCA 端子の入力キャプチャ入力エッジは、立ち上がり / 立ち下りの両エッジが選択されているとします。バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が GRA に格納されると同時に、それまで格納されていた GRA の値が BRA に転送されます。この転送タイミングを図 8.52 に示します。

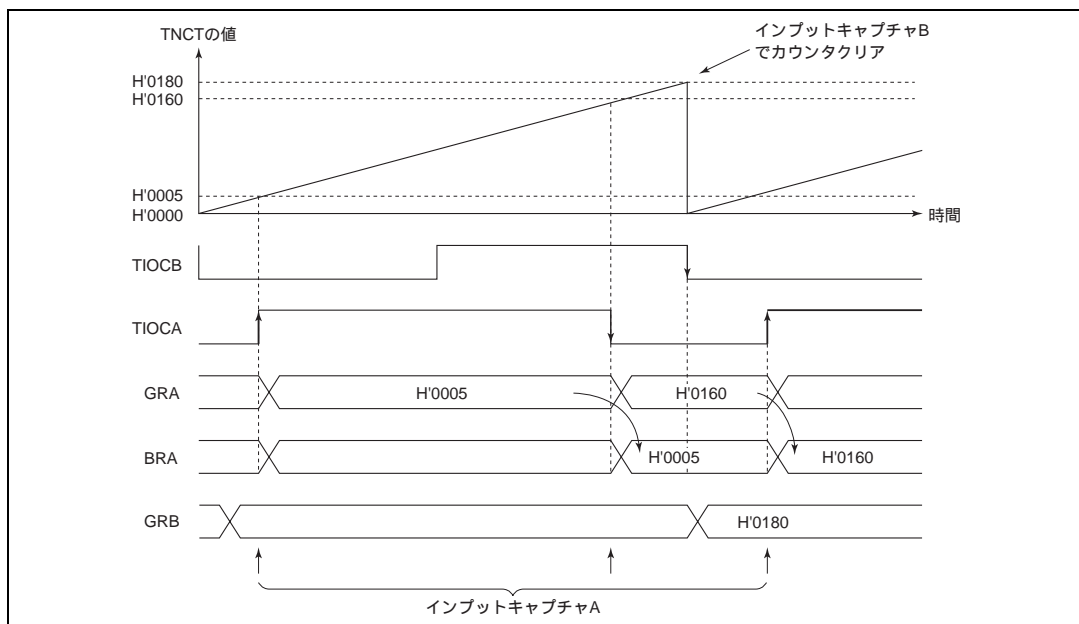


図 8.51 バッファ動作例 (2) (入力キャプチャレジスタに対するバッファ動作)

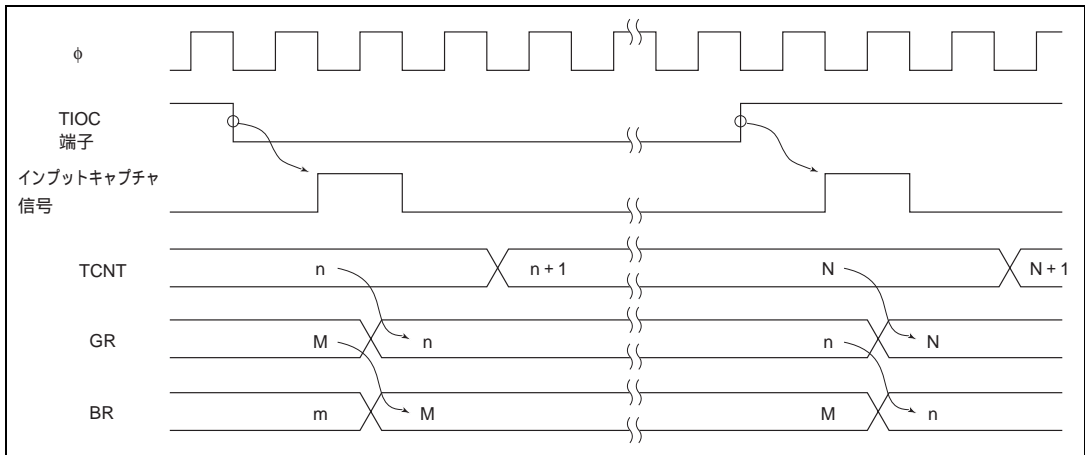


図 8.52 バッファ動作時のインプットキャプチャタイミング

相補 PWM モード時、GRB3 と BRB3 をバッファ動作に設定したときの動作例を図 8.53 に示します。

バッファ動作を使用して GRB3 > GRA3 とすることにより、デューティ 0% の PWM 波形を生成した場合の例です。

BRB から GRB への転送は、TCNT3 と GRA3 がコンペマツチしたとき、および TCNT4 がアンダフローしたときに行われます。

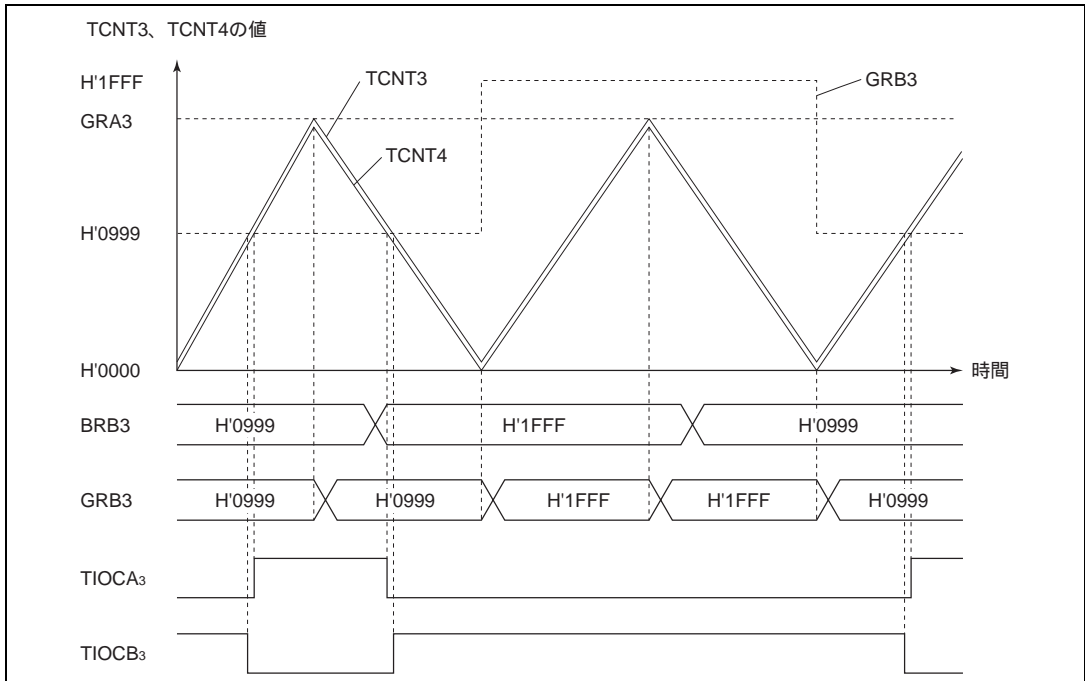


図 8.53 バッファ動作例 (4) (相補 PWM モード時のバッファ動作)

8.4.9 ITU 出力タイミング

チャンネル 3、4 の ITU 出力は、TOER、TOCR の設定および外部トリガにより、出力を禁止したり反転したりすることができます。

(1) TOER による ITU 出力の許可 / 禁止タイミング

TOER のマスタインエーブルビットを 0 にクリアして、ITU 出力を禁止する場合の例です。対応する入出力ポートの DR、DDR をあらかじめ設定しておくことにより、任意の値を出力することができます。

TOER による ITU 出力を許可 / 禁止するタイミングを図 8.54 に示します。

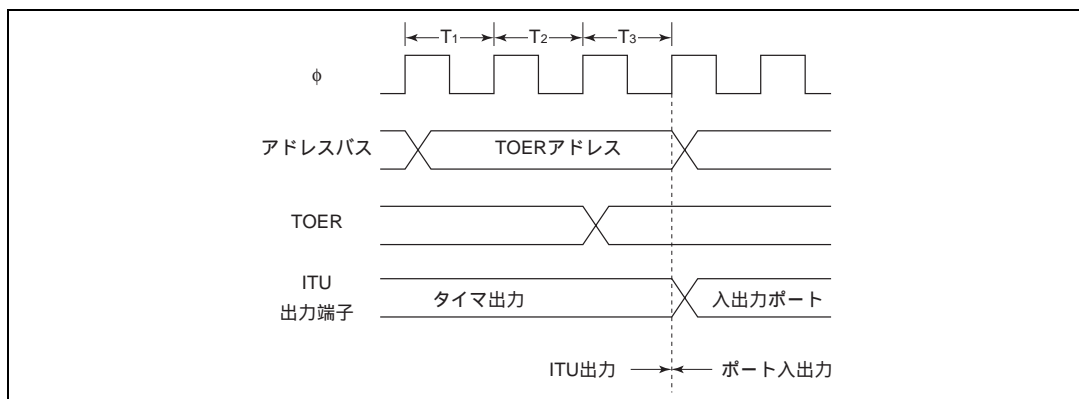


図 8.54 TOER へのライトによる ITU 出力禁止タイミングの例

(2) 外部トリガによる ITU 出力禁止タイミング

リセット同期 PWM モードまたは相補 PWM モード時に、TOCR の XTGD ビットが 0 にクリアされている状態でチャンネル 1 の入力キャプチャ A 信号が発生すると、TOER のマスタインープルビットが 0 にクリアされ ITU 出力が禁止されます。

このタイミングを図 8.55 に示します。

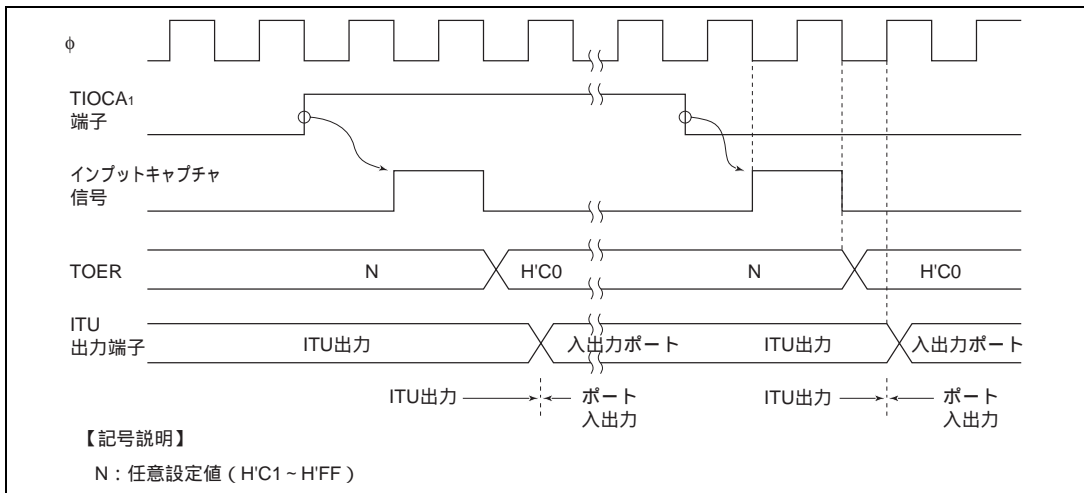


図 8.55 外部トリガによる ITU 出力禁止タイミングの例

(3) TOCR による出力反転タイミング

リセット同期 PWM モードまたは相補 PWM モード時に、TOCR のアウトプットレベルセレクト (OLS4、OLS3) ビットを反転することにより、出力レベルを反転することができます。

このタイミングを図 8.56 に示します。

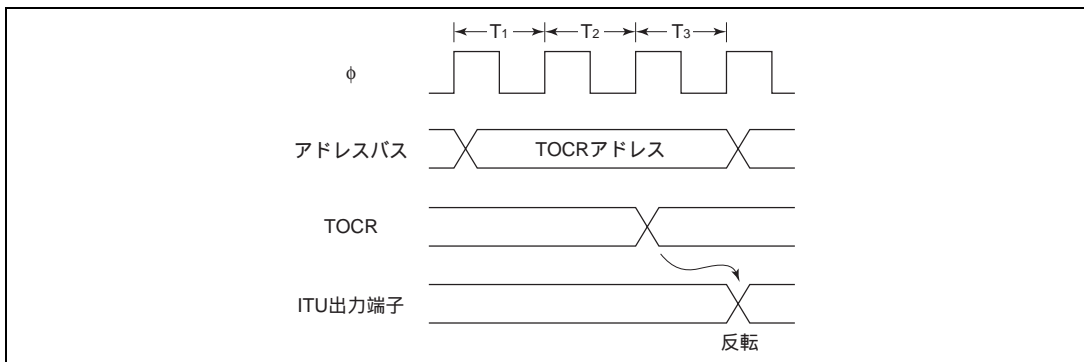


図 8.56 TOCR へのライトによる ITU 出力レベル反転タイミングの例

8.5 割り込み

ITUの割り込み要因には、インプットキャプチャ/コンペアマッチ割り込み、オーバフロー割り込みの2種類があります。

8.5.1 ステータスフラグのセットタイミング

(1) コンペアマッチ時のIMFA、IMFBフラグのセットタイミング

IMFフラグは、GRとTCNTが一致したときに発生するコンペアマッチ信号により1にセットされます。コンペアマッチ信号は、一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）で発生します。したがって、TCNTとGRが一致した後、TCNT入力クロックが発生するまでコンペアマッチ信号は発生しません。

図8.57にIMFフラグのセットタイミングを示します。

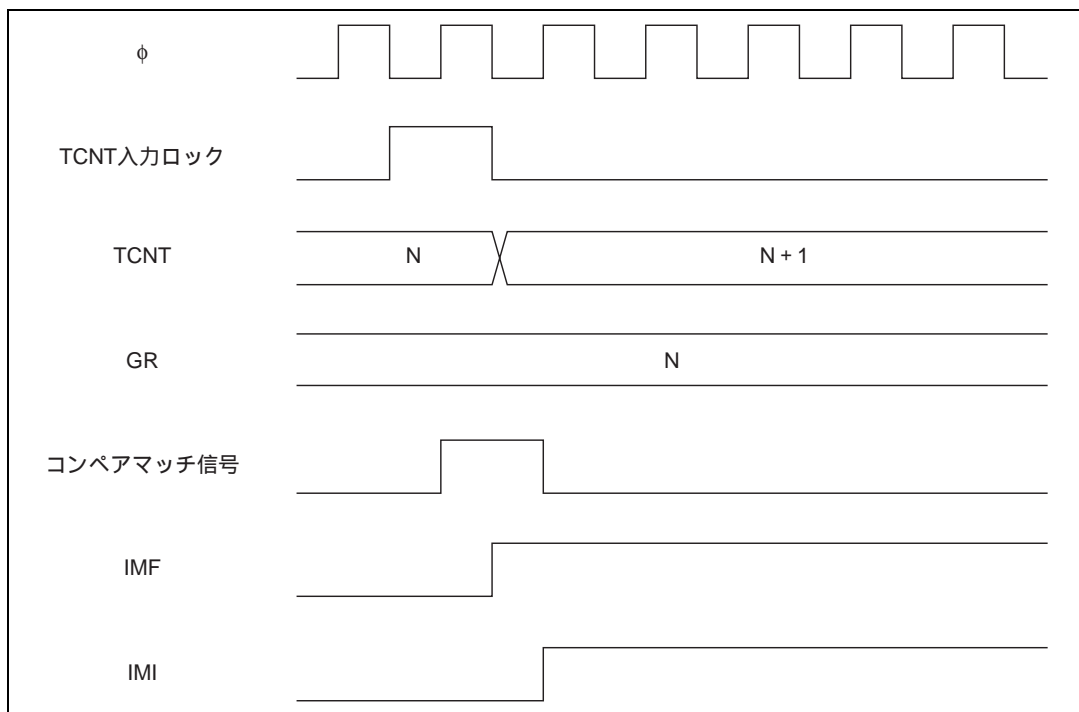


図 8.57 コンペアマッチ時のIMFA、IMFBフラグのセットタイミング

(2) インพุットキャプチャ時の IMFA、IMFB フラグのセットタイミング

インพุットキャプチャ信号の発生により IMF フラグは 1 にセットされ、同時に TCNT の値が対応する GR に転送されます。

このタイミングを図 8.58 に示します。

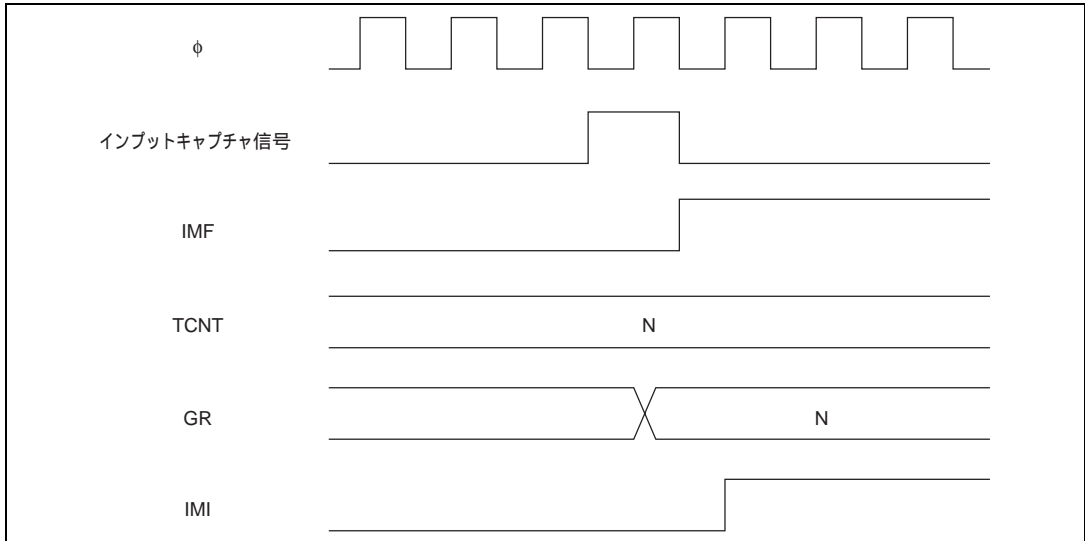


図 8.58 インพุットキャプチャ時の IMFA、IMFB フラグのセットタイミング

(3) オーバフローフラグ (OVF) のセットタイミング

OVF フラグは、TCNT がオーバフロー (H'FFFF→H'0000) したとき、またはアンダフロー (H'0000→H'FFFF) したときに 1 にセットされます。

このときのタイミングを図 8.59 に示します。

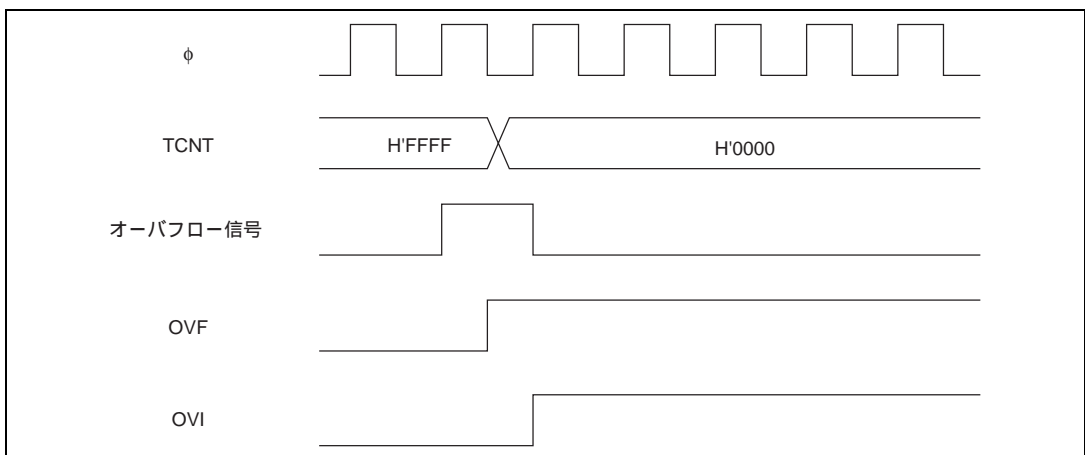


図 8.59 OVF フラグのセットタイミング

8.5.2 ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後0をライトするとクリアされます。このタイミングを図8.60に示します。

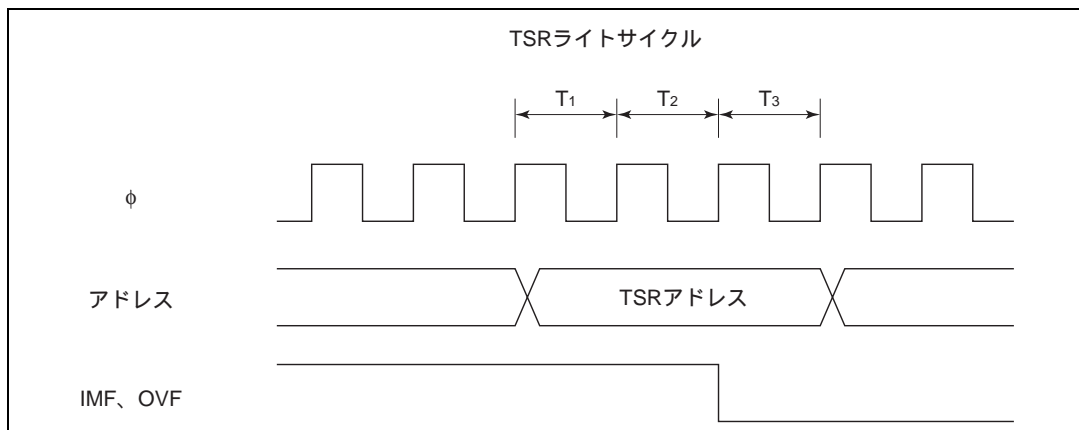


図 8.60 ステータスフラグのクリアタイミング

8.6 使用上の注意

ITUの動作中、次のような競合や動作が起こりますので、注意してください。

(1) TCNTのライトとクリアの競合

TCNTのライトサイクル中のT3ステートで、カウントクリア信号が発生すると、TCNTへの書き込みサイクルは行われずTCNTのクリアが優先されます。

このタイミングを図8.61に示します。

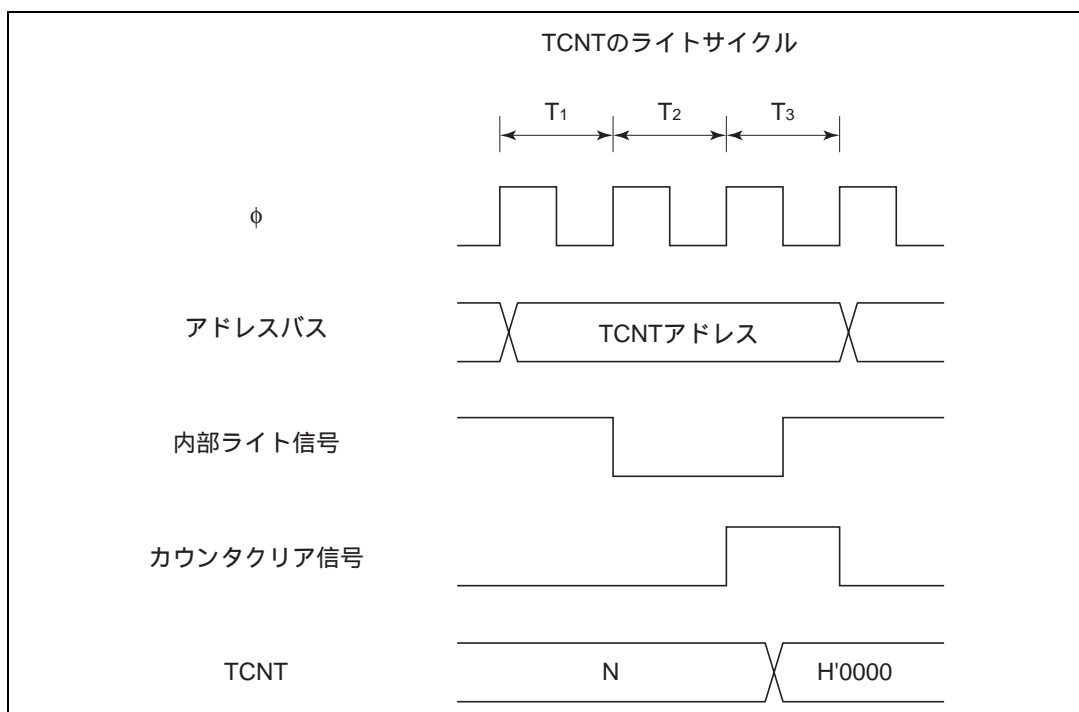


図 8.61 TCNT のライトとクリアの競合

(2) TCNTのワードライトとカウントアップの競合

TCNTのワードライトサイクル中のT3状態でカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを図8.62に示します。

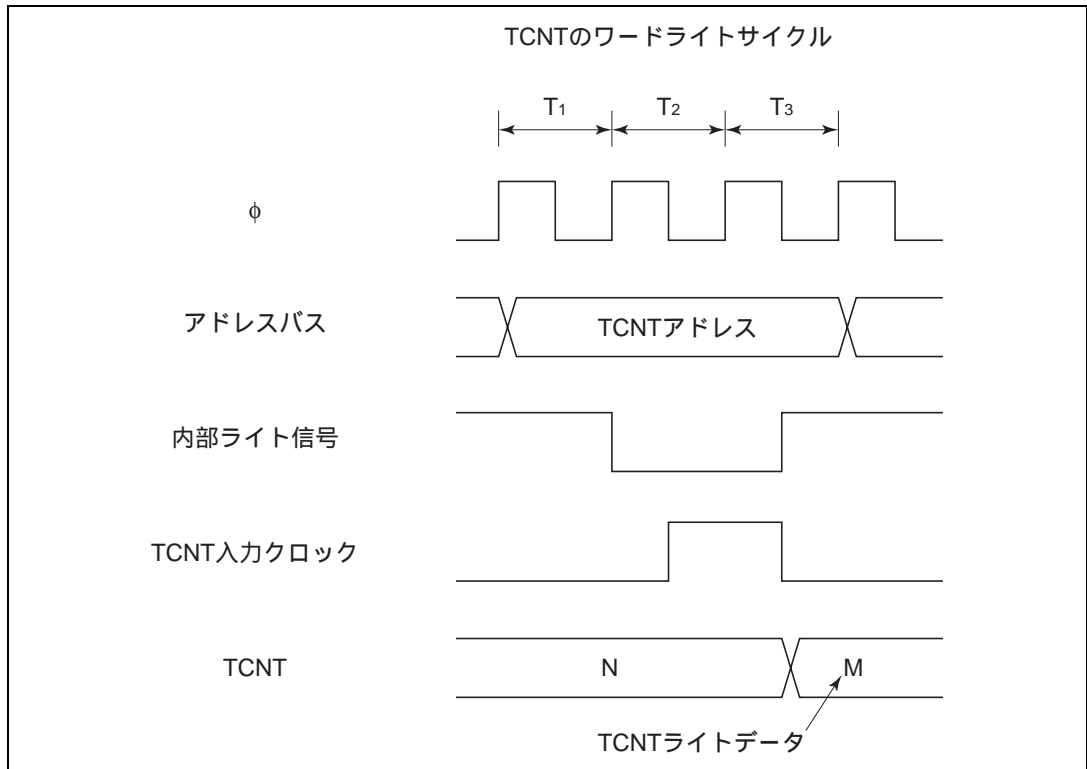


図 8.62 TCNT のワードライトとカウントアップの競合

(3) TCNT のバイトライトとカウントアップの競合

TCNT のバイトライトサイクル中の T2 ステートまたは T3 ステートでカウントアップが発生しても、ライトを行った側のバイトデータはカウントアップされず、カウンタライトが優先されます。ライトを行わなかった側のバイトデータもカウントアップされずライトする前の内容となります。

このタイミングを図 8.63 に示します。

TCNTH のバイトライトサイクル中の T2 ステートでカウントアップが発生した場合の例です。

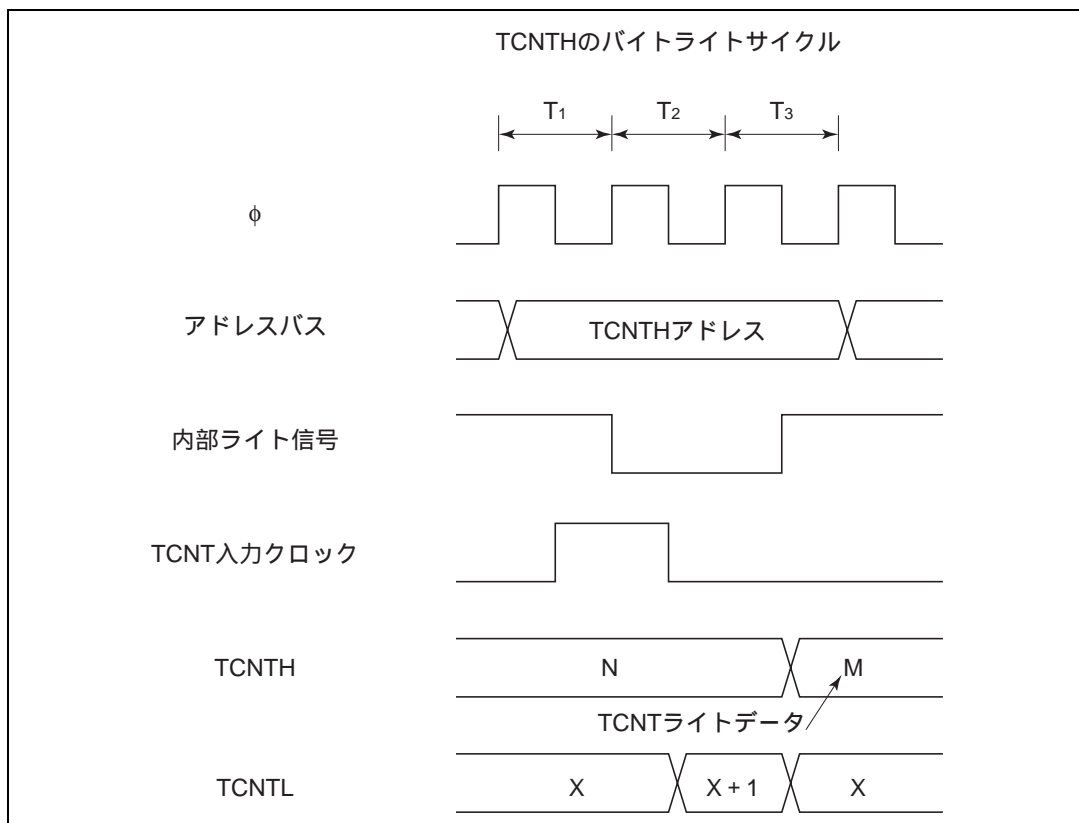


図 8.63 TCNT のバイトライトとカウントアップの競合

(4) GRのライトとコンペアマッチの競合

GRのライトサイクル中のT3状態でコンペアマッチが発生しても、GRのライトが優先され、コンペアマッチ信号は禁止されます。

このタイミングを図8.64に示します。

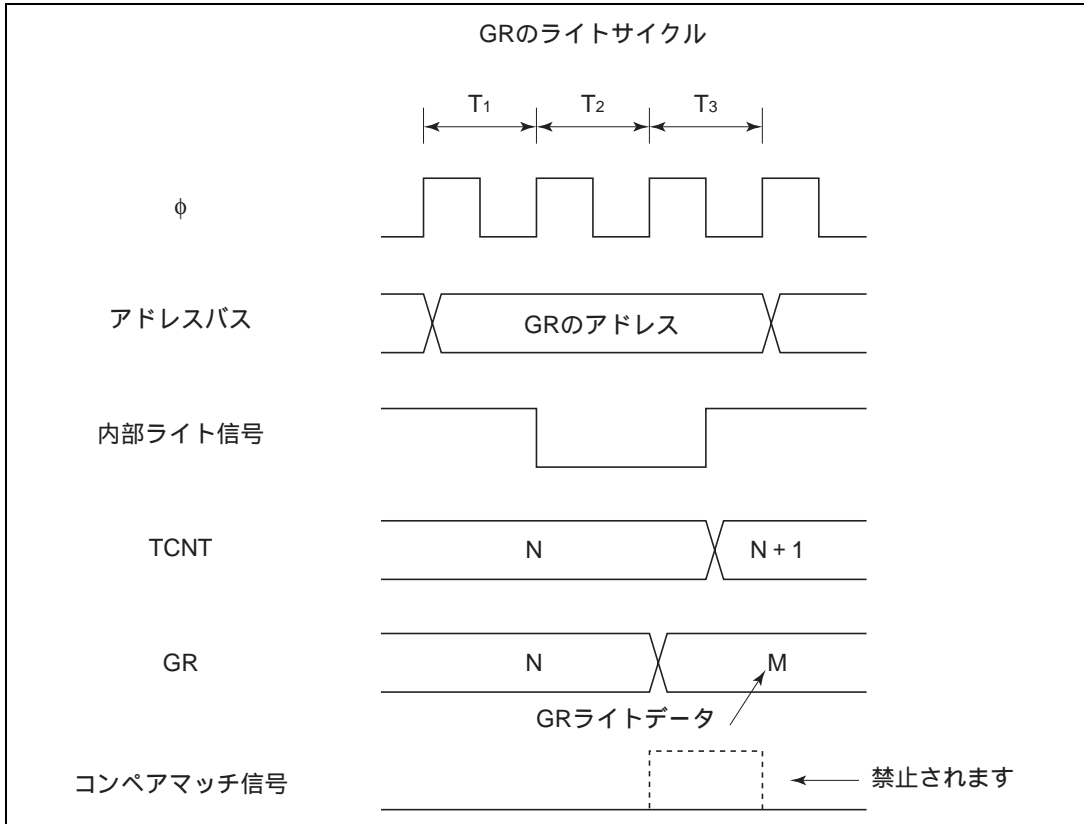


図8.64 GRのライトとコンペアマッチの競合

8. 16 ビットインテグレートドタイマユニット (ITU)

(5) TCNT のライトとオーバーフロー / アンダフローとの競合

TCNT のライトサイクル中の T3 ステートでオーバーフローが発生した場合、カウントアップされずカウンタライトが優先されます。このとき OVF フラグは 1 にセットされます。アンダフローの場合も同様です。

このタイミングを図 8.65 に示します。

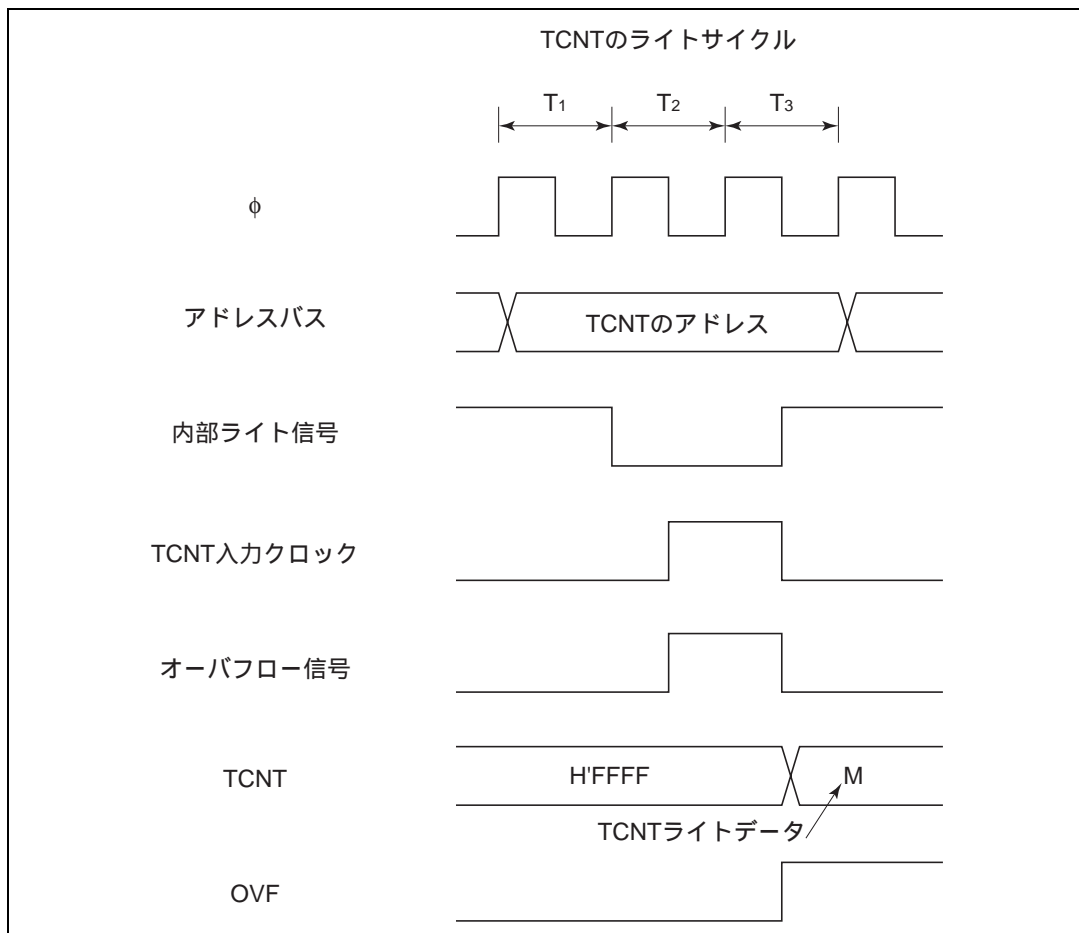


図 8.65 TCNT のライトとオーバーフローの競合

(6) GR のリードと入力キャプチャの競合

GR のリードサイクル中の T3 ステートで、入力キャプチャ信号が発生すると、リードされるデータは入力キャプチャ転送前のデータです。

このタイミングを図 8.66 に示します。

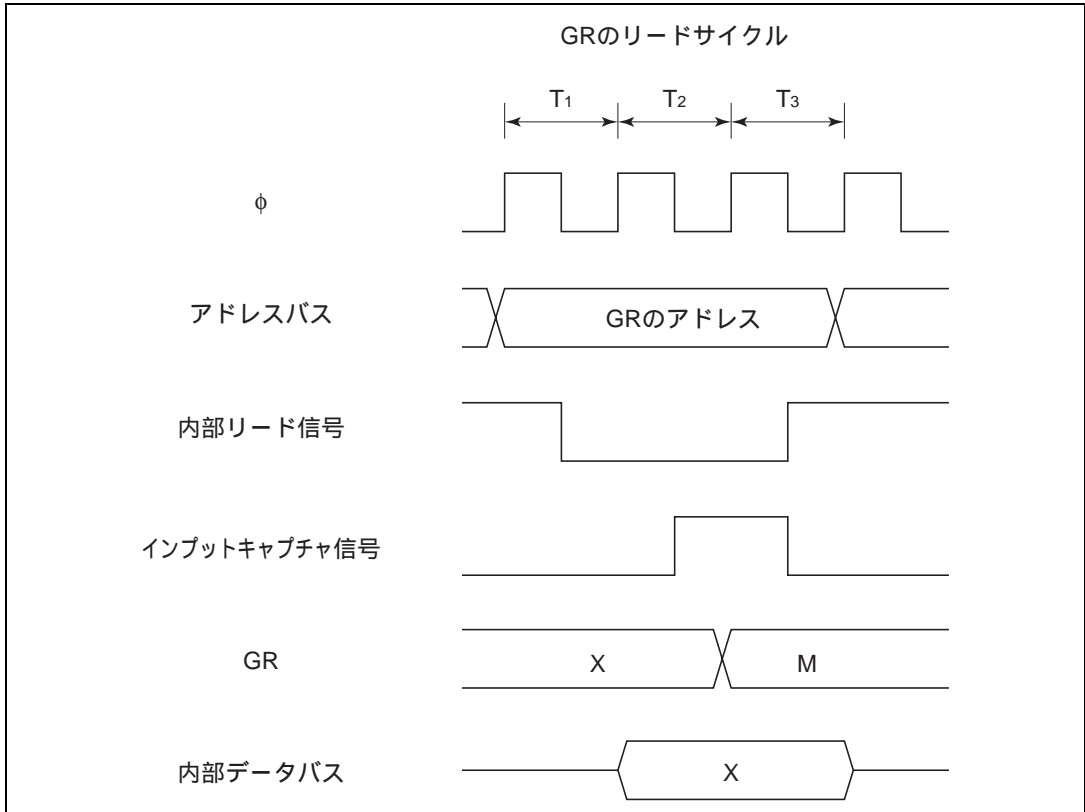


図 8.66 GR のリードと入力キャプチャの競合

8. 16 ビットインテグレートドタイマユニット (ITU)

(7) インพุットキャプチャによるカウンタクリアとカウントアップの競合

インพุットキャプチャ信号とカウントアップ信号が同時に発生すると、カウントアップされずインพุットキャプチャによるカウンタクリアが優先されます。また、GR にはカウンタクリア前の TCNT の内容が転送されます。

このタイミングを図 8.67 に示します。

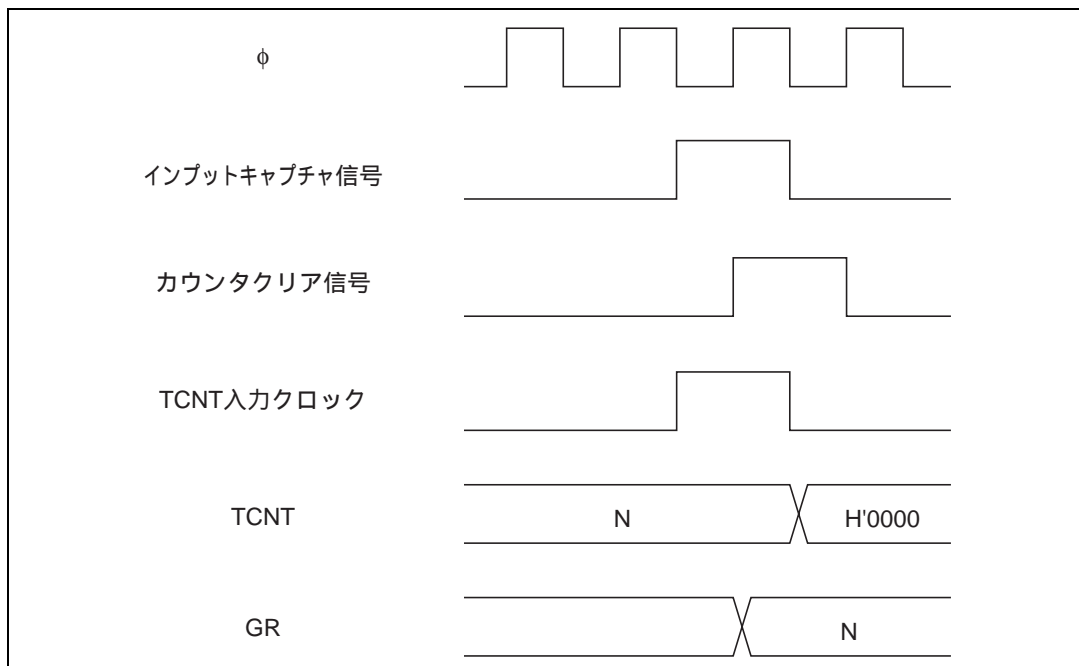


図 8.67 インพุットキャプチャによるカウンタクリアとカウントアップの競合

(8) GRのライトとインプットキャプチャの競合

GRのライトサイクル中のT3ステートで、インプットキャプチャ信号が発生すると、GRへの書き込みは行われず、インプットキャプチャが優先されます。

このタイミングを図8.68に示します。

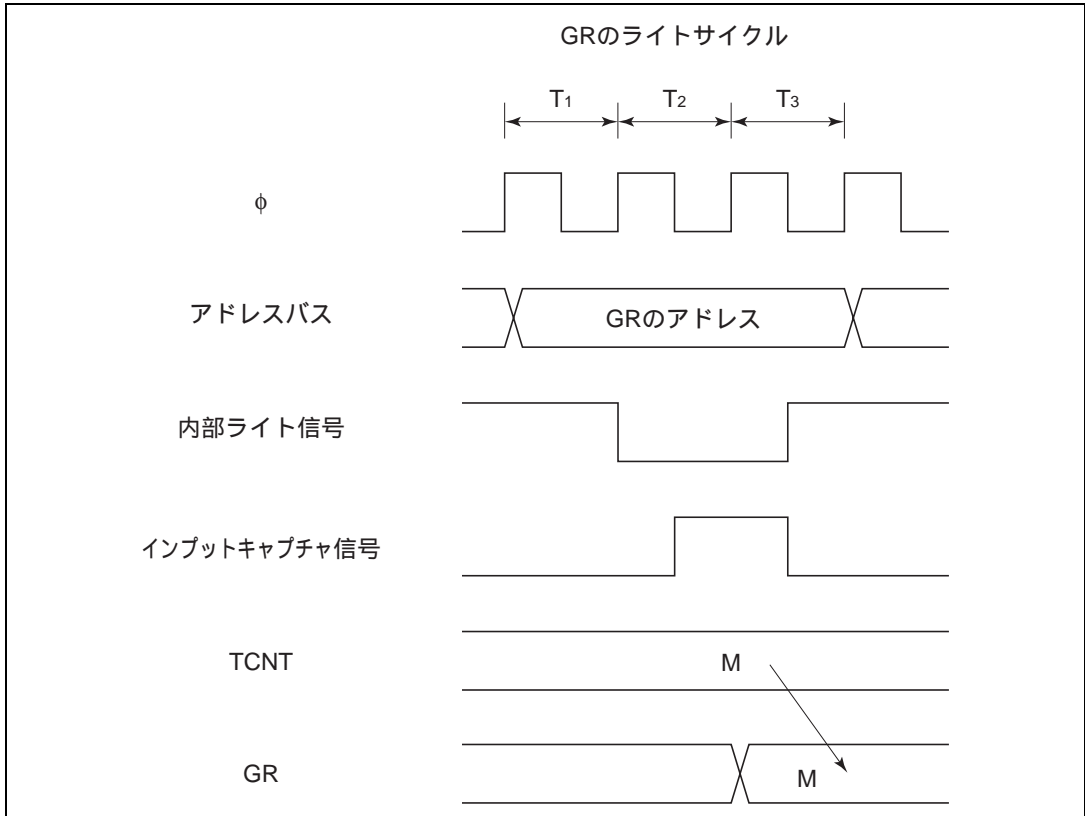


図 8.68 GRのライトとインプットキャプチャの競合

(9) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNTはGRの値と一致した最後のステート (TCNTが一致したカウント値を更新するタイミング) でクリアされます。このため、実際のカウンタ周波数は次の式ようになります。

$$f = \frac{\phi}{(N+1)}$$

(f : カウンタ周波数、 ϕ : 動作周波数、 N : GRの設定値)

8. 16 ビットインテグレートドタイマユニット (ITU)

(10) BR のライトとインプットキャプチャの競合

BR をインプットキャプチャバッファレジスタとして使用しているとき、ライトサイクル中の T3 ステートでインプットキャプチャ信号が発生すると、BR へのライトは行われずバッファ動作が優先されます。

このタイミングを図 8.69 に示します。

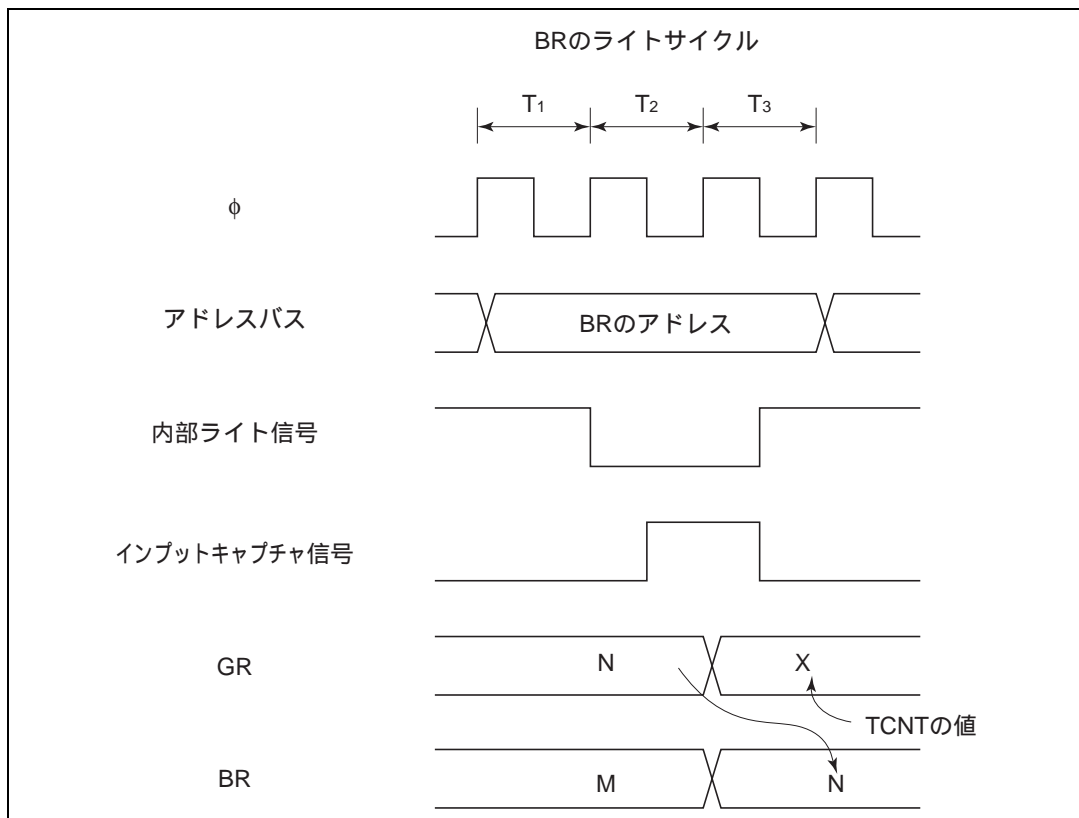


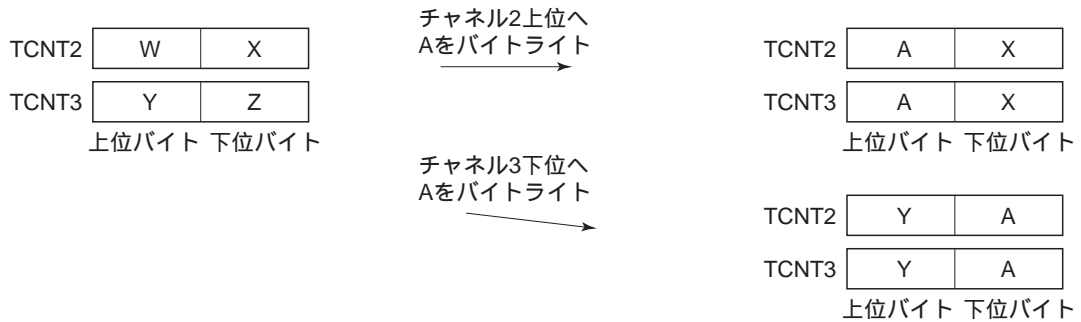
図 8.69 BR のライトとインプットキャプチャの競合

(11) 同期動作時のライト動作に関する注意事項

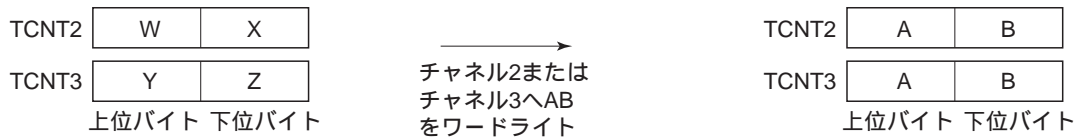
同期動作を設定した状態で、TCNT のバイトライトを行った場合、同期しているすべてのカウンタはアドレスで指定した TCNT と、16 ビットすべて同じ値となります。

(例) チャンネル2、3を同期モードで指定した場合

・チャンネル2 / チャンネル3へのバイトライト



・チャンネル2 / チャンネル3へのワードライト



(12) リセット同期 PWM モード / 相補 PWM モード設定時の注意事項

TFCR の CMD1、CMD0 ビットを設定するときは、次のことに注意してください。

- (1) CMD1、CMD0ビットへのライトは、TCNT3、TCNT4が停止中に行ってください。
- (2) リセット同期PWMモードと相補PWMモードの相互の設定変更は禁止されています。通常動作 (CMD1ビットを0にクリア) に設定した後に、リセット同期PWMモードまたは相補PWMモードに設定してください。

8. 16ビットインテグレートドタイマユニット (ITU)

(13) ITUの動作モード一覧

表 8.11 (a) ITUの動作モード (チャンネル0)

動作モード	レジスタ設定											TCR0 クリア選択 クロック 選択
	TSNC 同期動作	TMDR		TFCR		TOCR		TOER	TIOR0		TCR0	
	MDF	FDIR	PWM	相補 PWM	リセット同期 PWM	バッファ 動作	XTGD	出力 レベルレクト	マスタ イネーブル	IOA	IOB	
同期プリセット	—	—	—	—	—	—	—	—	—	—	—	
PWMモード	—	—	PWM0=1	—	—	—	—	—	—	—	*	
アウトプット コンペアA機能	—	—	PWM0=0	—	—	—	—	—	—	IOA2=0 他任意	—	
アウトプット コンペアB機能	—	—	—	—	—	—	—	—	—	—	IOB2=0 他任意	
インプット キャプチャA機能	—	—	PWM0=0	—	—	—	—	—	—	IOA2=1 他任意	—	
インプット キャプチャB機能	—	—	PWM0=0	—	—	—	—	—	—	—	IOB2=1 他任意	
力 イン ク ウ リ ン ア タ 機 能	—	—	—	—	—	—	—	—	—	—	—	CCLR1=0 CCLR0=1
同期クリア	—	—	—	—	—	—	—	—	—	—	—	CCLR1=1 CCLR0=0
同期クリア	—	—	—	—	—	—	—	—	—	—	—	CCLR1=1 CCLR0=1

【記号説明】

設定可能 (有効) です。 — 設定は当該動作モードに影響しません。

【注】 * PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

表 8.11 (b) ITU の動作モード (チャンネル 1)

動作モード	レジスタ設定												
	TSNC 同期動作	TMDR		TFCR		TOCR		TOER	TIOR1		TCR1		
	MDF	FDIR	PWM	相補 PWM	リセット同期 PWM	バツプア 動作	XTGD	出力 レベルレクト	マスタ イネーブル	IOA	IOB	クリア選択	クロック 選択
同期プリセット	—	—	—	—	—	—	—	—	—	—	—	—	—
PWMモード	—	—	—	PWM1=1	—	—	—	—	—	—	*1	—	—
アウトプット コンペアA機能	—	—	—	—	—	—	—	—	—	IOA2=0 他任意	—	—	—
アウトプット コンペアB機能	—	—	—	—	—	—	—	—	—	—	IOB2=0 他任意	—	—
インプット キャプチャA機能	—	—	—	—	—	—	*2	—	—	IOA2=1 他任意	—	—	—
インプット キャプチャB機能	—	—	—	—	—	—	—	—	—	—	IOB2=1 他任意	—	—
力 クウ	—	—	—	—	—	—	—	—	—	—	—	CCLR1=0 CCLR0=1	—
リン アタ	—	—	—	—	—	—	—	—	—	—	—	CCLR1=1 CCLR0=0	—
機能	—	—	—	—	—	—	—	—	—	—	—	CCLR1=1 CCLR0=1	—

【記号説明】

設定可能 (有効) です。 — 設定は当該動作モードに影響しません。

【注】 *1 PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

*2 チャネル3とチャネル4が相補PWMモードまたはリセット同期PWMモードで動作している時のみ有効となります。

8. 16ビットインテグレートドタイマユニット (ITU)

表 8.11 (c) ITU の動作モード (チャンネル 2)

動作モード	レジスタ設定											TCR2		
	T SNC	T MDR		T FCR		T OCR		T OER		T IOR2			TCR2	
	同期動作	MDF	FDIR	PWM	相補 PWM	リセット同期 PWM	バップア動作	XTGD	出力レベルセレクト	マスタイネーブル	IOA	IOB	クリア選択	クロック選択
同期プリセット	SYNC2=1		—		—	—	—	—	—	—				
PWMモード			—	PWM2=1	—	—	—	—	—	—	—	*		
アウトプットコンペアA機能			—	PWM2=0	—	—	—	—	—	—	IOA2=0 他任意			
アウトプットコンペアB機能			—		—	—	—	—	—	—		IOB2=0 他任意		
インプットキャプチャA機能			—	PWM2=0	—	—	—	—	—	—	IOA2=1 他任意			
インプットキャプチャB機能			—	PWM2=0	—	—	—	—	—	—		IOB2=1 他任意		
カウンタリニアリニアアタ機能			—		—	—	—	—	—	—			CCLR1=0 CCLR0=1	
同期クリア機能	SYNC2=1		—		—	—	—	—	—	—			CCLR1=1 CCLR0=0	
位相計数モード		MDF=1			—	—	—	—	—	—			CCLR1=1 CCLR0=1	—

【記号説明】

設定可能 (有効) です。 — 設定は当該動作モードに影響しません。

【注】 * PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

表 8.11 (d) ITU の動作モード (チャンネル 3)

動作モード	レジスタ設定											TCR3 クロック 選択		
	TSNC			TMDR			TFCR		TOCR		TIOR3		TOER マスタ イネーブル	
	同期動作	MDF	FDIR	PWM	相補 PWM	リセット同期 PWM	バツファ 動作	XTGD	出力 レベルセレクト	IOA	IOB			
同期プリセット	SYNC3=1	—	—	—	*3	—	—	—	*1	—	—	—	—	
PWMモード	—	—	—	PWM3=1	CMD1=0	CMD1=0	—	—	—	—	*2	—	—	
アウトプット コンベンアA機能	—	—	—	PWM3=0	CMD1=0	CMD1=0	—	—	—	IOA2=0 他任意	—	—	—	
アウトプット コンベンアB機能	—	—	—	—	CMD1=0	CMD1=0	—	—	—	—	IOB2=0 他任意	—	—	
インプット キャブチャA機能	—	—	—	PWM3=0	CMD1=0	CMD1=0	—	—	—	IOA2=1 他任意	—	—	—	
インプット キャブチャB機能	—	—	—	PWM3=0	CMD1=0	CMD1=0	—	—	—	—	IOB2=1 他任意	—	—	
相補PWMモード	—	—	—	—	CMD1=1 CMD0=0 は禁止	*4	—	—	*1	—	—	CCLR1=0 CCLR0=1	—	
リセット同期 PWMモード	—	—	—	—	CMD1=0	CMD1=0	—	—	*1	—	—	CCLR1=1 CCLR0=0	—	
バツファ動作 (BRA)	—	—	—	—	CMD1=1 CMD0=1	CMD1=1 CMD0=1	—	—	*1	—	—	CCLR1=1 CCLR0=1	—	
バツファ動作 (BRB)	—	—	—	—	CMD1=1 CMD0=1	CMD1=1 CMD0=1	—	—	*1	—	—	CCLR1=0 CCLR0=0	*5	

【記号説明】

設定可能 (有効) です。 — 設定は当該動作モードに影響しません。

【注】 *1 マスタイネーブルビットの設定は、液形出力動作時のみ有効となります。

*2 PWMモードでは、インプットキャブチャ機能は使用できません。また、コンベンアAとコンベンアBが同時に発生した場合、コンベンアA信号は禁止されます。

*3 相補PWMモード設定時には、インプットキャブチャAによるカウンタクリアは、リセット同期PWMモード設定時には使用できません。

*4 インプットキャブチャAによるカウンタクリアは、リセット同期PWMモード設定時には使用できません。

*5 相補PWMモード設定時のクロック選択は、チャンネル3とチャンネル4を同一としてください。

*6 チャンネル1のインプットキャブチャA機能を使用してください。

8. 16ビットインテグレートドタイムユニット (ITU)

表 8.11 (e) ITU の動作モード (チャネル 4)

動作モード	レジスタ設定											TCR4 クロック 選択					
	TMDR			TFCR		TOCR		TIOR4		TOER							
	MDF	FDIR	PWM	相補 PWM	リセット同期 PWM	バッファ 動作	XTGD レベルレフト	出力 レベルレフト	IOA	IOB	クリア選択						
同期プリセット	—	—	—	*3	—	—	—	—	—	—	—	—	—	—	—	—	—
PWMモード	—	—	PWM4=1	CMD1=0	CMD1=0	—	—	—	—	—	—	—	—	—	—	—	*2
アウトプット コンベンア機能	—	—	PWM4=0	CMD1=0	CMD1=0	—	—	—	—	IOA2=0 他任意	—	—	—	—	—	—	—
アウトプット コンベンB機能	—	—	—	CMD1=0	CMD1=0	—	—	—	—	—	—	—	—	IOB2=0 他任意	—	—	—
インプット キャプチャA機能	—	—	—	CMD1=0	CMD1=0	—	—	—	—	—	—	—	—	—	—	—	—
インプット キャプチャB機能	—	—	—	CMD1=0	CMD1=0	—	—	—	—	—	—	—	—	—	—	—	—
力 ク リ ン ア タ 機 能	—	—	—	CMD1=1 CMD0=0 は禁止	*4	—	—	—	—	—	—	—	—	EA4は無効 他任意	—	—	—
同期クリア	—	—	—	CMD1=1 CMD0=0 は禁止	*4	—	—	—	—	—	—	—	—	EB4は無効 他任意	—	—	—
相補PWMモード	*3	—	—	CMD1=1 CMD0=0	CMD1=1 CMD0=0	—	—	—	—	—	—	—	—	—	—	—	CCLR1=0 CCLR0=1
リセット同期 PWMモード	—	—	—	CMD1=1 CMD0=1	CMD1=1 CMD0=1	—	—	—	—	—	—	—	—	—	—	—	CCLR1=1 CCLR0=0
バッファ動作 (BRA)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CCLR1=1 CCLR0=1
バッファ動作 (BRB)	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	CCLR1=0 CCLR0=0

【記号説明】

設定可能 (有効) です。 — 設定は当該動作モードに影響しません。

【注】 *1 マスタイネーブルビットの設定は、波形出力動作時のみ有効となります。

*2 PWMモードでは、インプットキャプチャ機能は使用できません。また、コンベンマッチャAとコンベンマッチャBが同時に発生した場合、コンベンマッチャ信号は禁止されます。

*3 相補PWMモード設定時には、チャネル3とチャネル4を同時に同期動作設定しないでください。

*4 リセット同期PWMモード設定時は、カウンタクリア機能は有効ですが、TCNT4は独立動作していません。出力波形には影響しません。

*5 相補PWMモード設定時のクロック選択は、チャネル3とチャネル4を同一としてください。

*6 リセット同期PWMモード動作時は、TCR4の設定は有効ですが、TCNT4は独立動作していません。出力波形には影響しません。

9. プログラマブルタイミングパターンコントローラ (TPC)

9.1 概要

本 LSI は、16 ビットインテグレートドタイムユニット (ITU) をタイムベースとしてパルス出力を行うプログラマブルタイミングパターンコントローラ (TPC) * を内蔵しています。TPC は 4 ビット単位の TPC 出力グループ 3~0 から構成されており、これらは同時に動作させることも、独立に動作させることも可能です。

9.1.1 特長

TPC の特長を以下に示します。

出力データ 15 ビット

最大 15 ビットのデータ出力が可能で、TPC 出力をビット単位に許可することができます。

4 系統の出力可能

4 ビット単位のグループで出力トリガ信号が選択可能で、最大 4 ビット×3 系統と最大 3 ビット×1 系統の出力を行うことができます。

出力トリガ信号を選択可能

ITU の 4 チャンネルのコンペアマッチ信号の中から、グループごとに出力トリガ信号を選択することができます。

ノンオーバーラップ動作

複数のパルス出力の間のノンオーバーラップ期間を設定することができます。

【注】* 本 LSI では、TP₁₄ 端子がありませんので、15 ビットのプログラマブルタイミングパターンコントローラ (TPC) になります。使用の際には、注意してください。

9. プログラマブルタイミングパターンコントローラ (TPC)

9.1.2 ブロック図

TPCのブロック図を図9.1に示します。

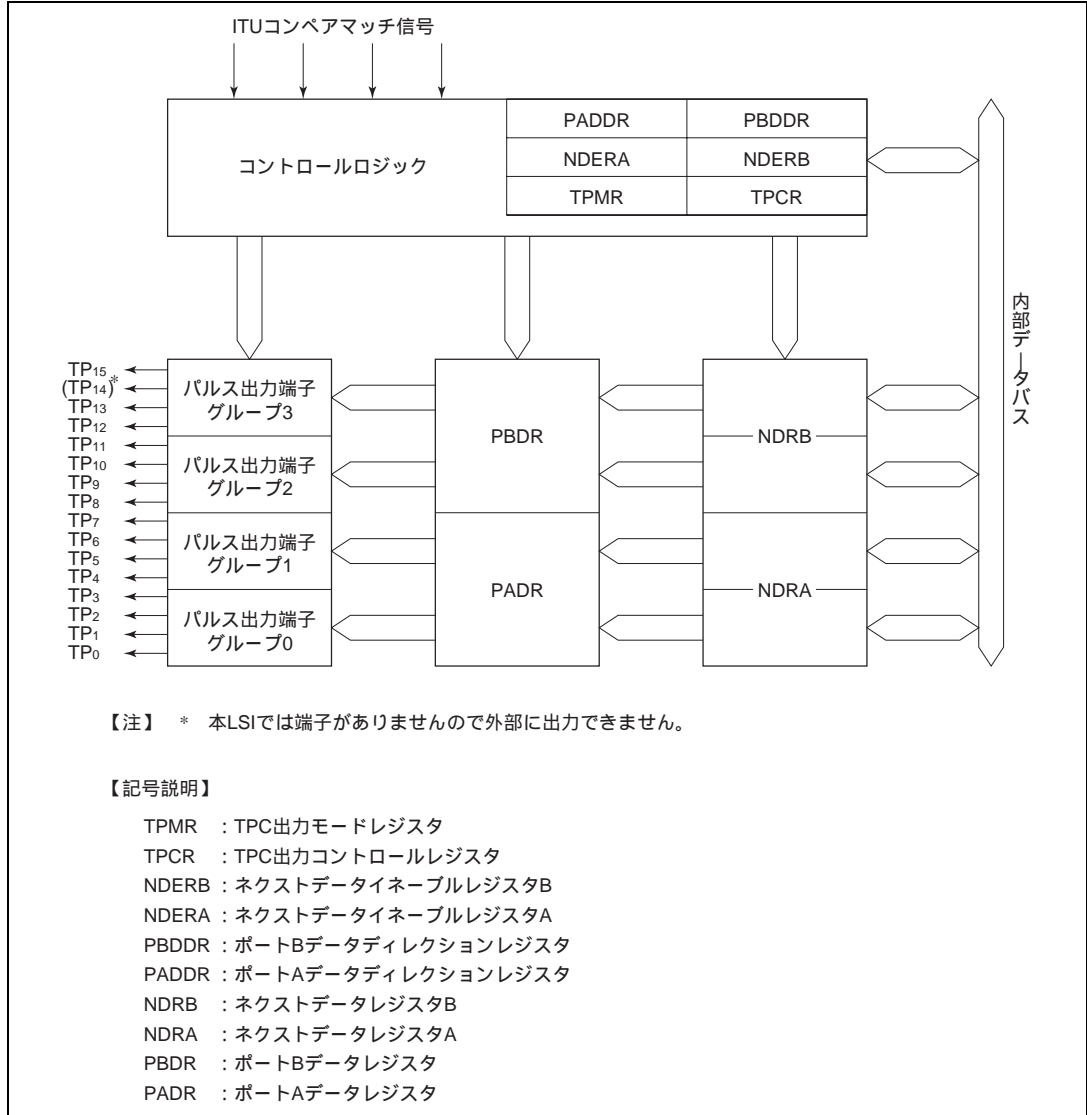


図 9.1 TPC のブロック図

9.1.3 端子構成

TPC の端子構成を表 9.1 に示します。

表 9.1 端子構成

名称	略称	入出力	機能
TPC 出力 0	TP ₀	出力	グループ 0 のパルス出力
TPC 出力 1	TP ₁	出力	
TPC 出力 2	TP ₂	出力	
TPC 出力 3	TP ₃	出力	
TPC 出力 4	TP ₄	出力	グループ 1 のパルス出力
TPC 出力 5	TP ₅	出力	
TPC 出力 6	TP ₆	出力	
TPC 出力 7	TP ₇	出力	
TPC 出力 8	TP ₈	出力	グループ 2 のパルス出力
TPC 出力 9	TP ₉	出力	
TPC 出力 10	TP ₁₀	出力	
TPC 出力 11	TP ₁₁	出力	
TPC 出力 12	TP ₁₂	出力	グループ 3 のパルス出力
TPC 出力 13	TP ₁₃	出力	
(TPC 出力 14) *	(TP ₁₄) *	(出力) *	
TPC 出力 15	TP ₁₅	出力	

【注】 * 本 LSI では端子がありませんので外部に出力できません。

9. プログラマブルタイミングパターンコントローラ (TPC)

9.1.4 レジスタ構成

TPC のレジスタ構成を表 9.2 に示します。

表 9.2 レジスタ構成

アドレス* ¹	名称	略称	R/W	初期値
H'FFD1	ポート A データディレクションレジスタ	PADDR	W	H'00
H'FFD3	ポート A データレジスタ	PADR	R/(W)* ²	H'00
H'FFD4	ポート B データディレクションレジスタ	PBDDR	W	H'00
H'FFD6	ポート B データレジスタ	PBDR	R/(W)* ²	H'00
H'FFA0	TPC 出力モードレジスタ	TPMR	R/W	H'F0
H'FFA1	TPC 出力コントロールレジスタ	TPCR	R/W	H'FF
H'FFA2	ネクストデータイネーブルレジスタ B	NDERB	R/W	H'00
H'FFA3	ネクストデータイネーブルレジスタ A	NDERA	R/W	H'00
H'FFA5/ H'FFA7* ³	ネクストデータレジスタ A	NDRA	R/W	H'00
H'FFA4/ H'FFA6* ³	ネクストデータレジスタ B	NDRB	R/W	H'00

【注】 *1 アドレスの下位 16 ビットを示しています。

*2 TPC 出力として使用しているビットは、ライトできません。

*3 TPCR の設定により TPC 出力グループ 0 と TPC 出力グループ 1 の出力トリガが同一の場合は NDRA のアドレスは H'FFA5 となり、出力トリガが異なる場合はグループ 0 に対応する NDRA のアドレスは H'FFA7、グループ 1 に対応する NDRA のアドレスは H'FFA5 となります。

同様に、TPCR の設定により TPC 出力グループ 2 と TPC 出力グループ 3 の出力トリガが同一の場合は NDRB のアドレスは H'FFA4 となり出力トリガが異なる場合はグループ 2 に対応する NDRB のアドレスは H'FFA6、グループ 3 に対応する NDRB のアドレスは H'FFA4 となります。

9.2 各レジスタの説明

9.2.1 ポート A データディレクションレジスタ (PADDR)

PADDR は 8 ビットのライト専用のレジスタで、ポート A の各端子の入出力方向をビット単位に設定します。

ビット:	7	6	5	4	3	2	1	0
	PA ₇ DDR	PA ₆ DDR	PA ₅ DDR	PA ₄ DDR	PA ₃ DDR	PA ₂ DDR	PA ₁ DDR	PA ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

ポートAデータディレクション7~0

ポートAの各端子の入出力を選択するビットです。

ポート A は TP₇ ~ TP₀ 端子との兼用端子となっています。TPC 出力を行う端子に対応するビットは 1 にセットしてください。

PADDR の詳細は、「7.10 ポート A」を参照してください。

9.2.2 ポート A データレジスタ (PADR)

PADR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力を使用する場合、グループ 0、1 の出力データを格納します。

ビット:	7	6	5	4	3	2	1	0
	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ポートAデータ7~0

TPC出力グループ0、1の出力データを格納するビットです。

【注】 * NDERAにより、TPC出力に設定されたビットはリード専用となります。

PADR の詳細は、「7.10 ポート A」を参照してください。

9. プログラムブルタイミングパターンコントローラ (TPC)

9.2.3 ポート B データディレクションレジスタ (PBDDR)

PBDDR は 8 ビットのライト専用のレジスタで、ポート B の各端子の入出力方向をビット単位に設定します。

ビット:	7	6	5	4	3	2	1	0
	PB ₇ DDR	—	PB ₅ DDR	PB ₄ DDR	PB ₃ DDR	PB ₂ DDR	PB ₁ DDR	PB ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W :	W	W	W	W	W	W	W	W

リザーブビット ポートBデータディレクション7、5~0
ポートBの各端子の入出力を選択するビットです。

ポート B は TP₁₅、TP₁₃~TP₈ 端子との兼用端子となっています。TPC 出力を行う端子に対応するビットは 1 にセットしてください。

PBDDR の詳細は、「7.11 ポート B」を参照してください。

9.2.4 ポート B データレジスタ (PBDR)

PBDR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力を使用する場合、PBDR はグループ 2、3 の出力データを格納します。

ビット:	7	6	5	4	3	2	1	0
	PB ₇	—	PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

リザーブビット ポートBデータ7、5~0
TPC出力グループ2、3の出力データを格納するビットです。

【注】 * NDERBにより、TPC出力に設定されたビットはリード専用となります。

PBDR の詳細は、「7.11 ポート B」を参照してください。

9.2.5 ネクストデータレジスタ A (NDRA)

NDRA は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 1、0 (TP₇~TP₀ 端子) の次の出力データを格納します。TPC 出力を行う場合、TPCR で指定した ITU のコンペアマッチが発生したときに、NDRA の内容が PADR の対応するビットに転送されます。

NDRA のアドレスは、TPC 出力グループ 0、1 の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRA はリセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

(1) TPC 出力グループ 0、1 の出力トリガが同一の場合

TPC 出力グループ 0、1 の出力トリガとなるコンペアマッチを同一にすると、NDRA のアドレスは H'FFA5 となります。グループ 1、0 はそれぞれ上位 4 ビット、下位 4 ビットになります。このとき、アドレス H'FFA7 はすべてリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(1) アドレス : H'FFA5

ビット:	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

	ネクストデータ7~4 TPC出力グループ1の次の 出力データを格納するビットです。				ネクストデータ3~0 TPC出力グループ0の次の 出力データを格納するビットです。			
--	---	--	--	--	---	--	--	--

(2) アドレス : H'FFA7

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値:	1	1	1	1	1	1	1	1
R/W :	—	—	—	—	—	—	—	—

	リザーブビット							
--	---------	--	--	--	--	--	--	--

9. プログラマブルタイミングパターンコントローラ (TPC)

(2) TPC 出力グループ 0、1 の出力トリガが異なる場合

TPC 出力グループ 0、1 の出力トリガとなるコンペアマッチを別にすると、NDRA の上位 4 ビット (グループ 1) のアドレスは H'FFA5、NDRA の下位 4 ビット (グループ 0) のアドレスは H'FFA7 となります。このとき、アドレス H'FFA5 のビット 3~0、アドレス H'FFA7 のビット 7~4 はリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(1) アドレス : H'FFA5

ビット:	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	—	—	—	—
初期値:	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	—	—	—	—

ネクストデータ7~4

TPC出力グループ1の次の
出力データを格納するビットです。

リザーブビット

(2) アドレス : H'FFA7

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	NDR3	NDR2	NDR1	NDR0
初期値:	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

ネクストデータ3~0
TPC出力グループ0の次の
出力データを格納するビットです。

9.2.6 ネクストデータレジスタ B (NDRB)

NDRB は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 3、2 (TP₁₅ ~ TP₈ 端子) *の次の出力データを格納します。TPC 出力を行う場合、TPCR で指定した ITU のコンペアマッチが発生したときに、NDRB の内容が PBDR の対応するビットに転送されます。NDRB のアドレスは、TPC 出力グループ 3、2 の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRB はリセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

【注】* 本 LSI では、TP₁₄ 端子がありませんので、TP14 信号は外部に出力できません。

(1) TPC 出力グループ 3、2 の出力トリガが同一の場合

TPC 出力グループ 3、2 の出力トリガとなるコンペアマッチを同一にすると、NDRB のアドレスは H'FFA4 となります。グループ 3、2 はそれぞれ下位 4 ビット、上位 4 ビットになります。このとき、アドレス H'FFA6 はすべてリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

(1) アドレス : H'FFA4

ビット:	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータ15~12
TPC出力グループ3の次の
出力データを格納します。

ネクストデータ11~8
TPC出力グループ2の次の
出力データを格納します。

9. プログラマブルタイミングパターンコントローラ (TPC)

(2) アドレス : H'FFA6

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値:	1	1	1	1	1	1	1	1
R/W :	—	—	—	—	—	—	—	—

リザーブビット

(2) TPC 出力グループ 3、2 の出力トリガが異なる場合

TPC 出力グループ 3、2 の出力トリガとなるコンペアマッチを別にする、NDRB の上位 4 ビット (グループ 3) * のアドレスは H'FFA4、NDRB の下位 4 ビット (グループ 2) のアドレスは H'FFA6 となります。このとき、アドレス H'FFA4 のビット 3~0、アドレス H'FFA6 のビット 7~4 はリザーブビットとなります。リザーブビットはリードすると常に 1 が読み出され、ライトは無効です。

【注】* 本 LSI では、TP₁₄ 端子がありませんので、TP14 信号は外部に出力できません。

(1) アドレス : H'FFA4

ビット:	7	6	5	4	3	2	1	0
	NDR15	NDR14	NDR13	NDR12	—	—	—	—
初期値:	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	—	—	—	—

ネクストデータ15~12
 TPC出力グループ3の次の
 出力データを格納するビットです。

リザーブビット

(2) アドレス : H'FFA6

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	NDR11	NDR10	NDR9	NDR8
初期値:	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

ネクストデータ11~8
 TPC出力グループ2の次の
 出力データを格納するビットです。

9.2.7 ネクストデータインーブルレジスタ A (NDERA)

NDERA は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 1、0 (TP₇~TP₀ 端子) の許可/禁止をビット単位で選択します。

ビット:	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータインーブル7~0

TPC出力グループ1、0の許可/禁止を選択するビットです。

NDERA により TPC 出力が許可されたビットは、TPCR で選択された ITU のコンペアマッチが発生すると、NDRA の値が PADR の当該ビットに自動転送され出力値が更新されます。TPC 出力を禁止されているビットについては、NDRA から PADR への転送は行われず出力値も変化しません。

NDERA はリセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット7~0: ネクストデータインーブル7~0 (NDER7~ NDER0)

TPC 出力グループ 1、0 (TP₇~TP₀ 端子) の許可/禁止をビット単位で選択します。

ビット7~0	説明
0	TPC 出力 TP ₇ ~TP ₀ を禁止 (NDR7~NDR0 から PA ₇ ~PA ₀ への転送禁止) (初期値)
1	TPC 出力 TP ₇ ~TP ₀ を許可 (NDR7~NDR0 から PA ₇ ~PA ₀ への転送許可)

9.2.8 ネクストデータインーブルレジスタ B (NDERB)

NDERB は 8 ビットのリード/ライト可能なレジスタで、TPC 出力グループ 3、2 (TP₁₅~TP₈ 端子) *の許可/禁止をビット単位で選択します。

【注】* 本 LSI では、TP₁₄ 端子がありませんので TP14 信号は外部に出力できません。

ビット:	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータインーブル15~8

TPC出力グループ3、2の許可/禁止を選択するビットです。

9. プログラマブルタイミングパターンコントローラ (TPC)

NDRB により TPC 出力が許可されたビットは、TPCR で選択された ITU のコンペアマッチが発生すると、NDRB の値が PBDR の当該ビットに自動転送され出力値が更新されます。TPC 出力を禁止されているビットについては、NDRB から PBDR への転送は行われず出力値も変化しません。

NDRB はリセット、またはハードウェアスタンバイモード時に H'00 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット 7~0 : ネクストデータインプット 15~8 (NDR15~NDR8)

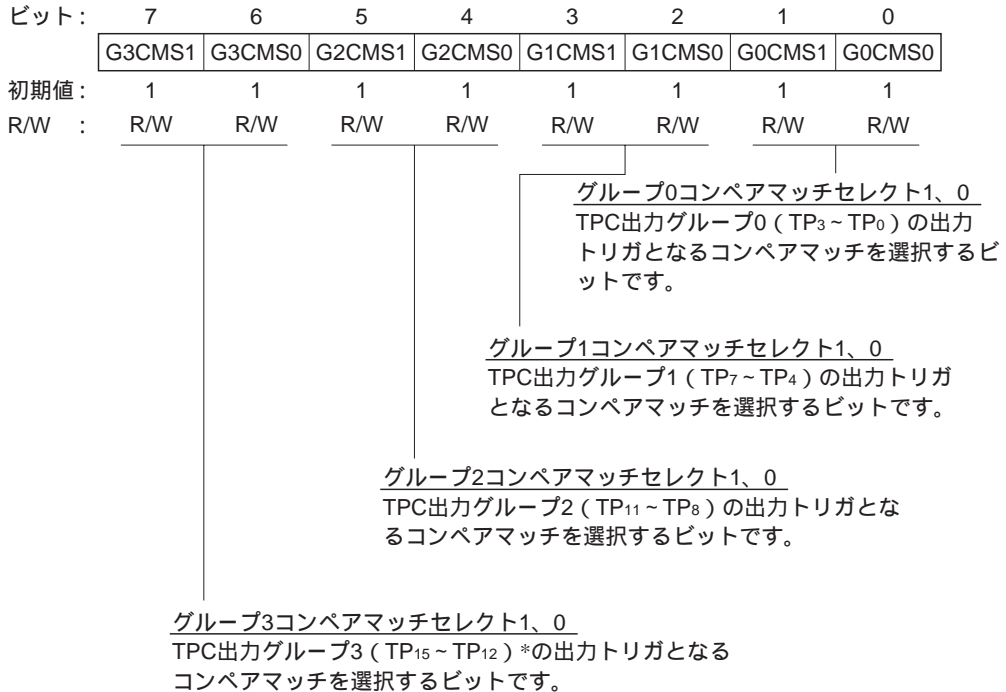
TPC 出力グループ 3、2 (TP₁₅~TP₈ 端子)*の許可 / 禁止をビット単位で選択します。

【注】* 本 LSI では、TP₁₄ 端子がありませんので TP14 信号は外部に出力できません。

ビット 7~0	説明
NDR15~NDR8	
0	TPC 出力 TP ₁₅ ~TP ₈ を禁止 (NDR15~NDR8 から PB ₇ ~PB ₀ への転送禁止) (初期値)
1	TPC 出力 TP ₁₅ ~TP ₈ を許可 (NDR15~NDR8 から PB ₇ ~PB ₀ への転送許可)

9.2.9 TPC 出力コントロールレジスタ (TPCR)

TPCR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力の出力トリガ信号をグループ単位で選択します。



【注】 * 本LSIではTP₁₄端子がありませんのでTP14信号は外部に出力できません。

TPCR は、リセットまたはハードウェアスタンバイモード時に H'FF に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット 7、6 : グループ 3 コンペアマッチセレクト 1、0 (G3CMS1、G3CMS0)

TPC 出力グループ 3 (TP₁₅ ~ TP₁₂ 端子) *の出力トリガとなるコンペアマッチを選択します。

【注】 * 本LSIではTP₁₄端子がありませんのでTP14信号は外部に出力できません。

ビット 7	ビット 6	説 明
G3CMS1	G3CMS0	
0	0	TPC 出力グループ 3 (TP ₁₅ ~ TP ₁₂ 端子) *の出力トリガは、ITU チャンネル 0 のコンペアマッチ
	1	TPC 出力グループ 3 (TP ₁₅ ~ TP ₁₂ 端子) *の出力トリガは、ITU チャンネル 1 のコンペアマッチ
1	0	TPC 出力グループ 3 (TP ₁₅ ~ TP ₁₂ 端子) *の出力トリガは、ITU チャンネル 2 のコンペアマッチ
	1	TPC 出力グループ 3 (TP ₁₅ ~ TP ₁₂ 端子) *の出力トリガは、ITU チャンネル 3 のコンペアマッチ (初期値)

9. プログラマブルタイミングパターンコントローラ (TPC)

ビット 5、4：グループ 2 コンペアマッチセレクト 1、0 (G2CMS1、G2CMS0)

TPC 出力グループ 2 (TP₁₁ ~ TP₈ 端子) の出力トリガとなるコンペアマッチを選択します。

ビット 5	ビット 4	説 明
G2CMS1	G2CMS0	
0	0	TPC 出力グループ 2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、ITU チャンネル 0 のコンペアマッチ
	1	TPC 出力グループ 2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、ITU チャンネル 1 のコンペアマッチ
1	0	TPC 出力グループ 2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、ITU チャンネル 2 のコンペアマッチ
	1	TPC 出力グループ 2 (TP ₁₁ ~ TP ₈ 端子) の出力トリガは、ITU チャンネル 3 のコンペアマッチ (初期値)

ビット 3、2：グループ 1 コンペアマッチセレクト 1、0 (G1CMS1、G1CMS0)

TPC 出力グループ 1 (TP₇ ~ TP₄ 端子) の出力トリガとなるコンペアマッチを選択します。

ビット 3	ビット 2	説 明
G1CMS1	G1CMS0	
0	0	TPC 出力グループ 1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、ITU チャンネル 0 のコンペアマッチ
	1	TPC 出力グループ 1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、ITU チャンネル 1 のコンペアマッチ
1	0	TPC 出力グループ 1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、ITU チャンネル 2 のコンペアマッチ
	1	TPC 出力グループ 1 (TP ₇ ~ TP ₄ 端子) の出力トリガは、ITU チャンネル 3 のコンペアマッチ (初期値)

ビット 1、0：グループ 0 コンペアマッチセレクト 1、0 (G0CMS1、G0CMS0)

TPC 出力グループ 0 (TP₃ ~ TP₀ 端子) の出力トリガとなるコンペアマッチを選択します。

ビット 1	ビット 0	説 明
G0CMS1	G0CMS0	
0	0	TPC 出力グループ 0 (TP ₃ ~ TP ₀ 端子) の出力トリガは、ITU チャンネル 0 のコンペアマッチ
	1	TPC 出力グループ 0 (TP ₃ ~ TP ₀ 端子) の出力トリガは、ITU チャンネル 1 のコンペアマッチ
1	0	TPC 出力グループ 0 (TP ₃ ~ TP ₀ 端子) の出力トリガは、ITU チャンネル 2 のコンペアマッチ
	1	TPC 出力グループ 0 (TP ₃ ~ TP ₀ 端子) の出力トリガは、ITU チャンネル 3 のコンペアマッチ (初期値)

9.2.10 TPC 出力モードレジスタ (TPMR)

TPMR は 8 ビットのリード/ライト可能なレジスタで、TPC 出力を通常動作で行うか、ノンオーバーラップ動作で行うかをグループ単位で指定します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	G3NOV	G2NOV	G1NOV	G0NOV
初期値:	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

グループ3ノンオーバーラップ

TPC出力グループ3 (TP₁₅ ~ TP₁₂) *のノンオーバーラップ動作を設定するビットです。

グループ2ノンオーバーラップ

TPC出力グループ2 (TP₁₁ ~ TP₈) のノンオーバーラップ動作を設定するビットです。

グループ1ノンオーバーラップ

TPC出力グループ1 (TP₇ ~ TP₄) のノンオーバーラップ動作を設定するビットです。

グループ0ノンオーバーラップ

TPC出力グループ0 (TP₃ ~ TP₀) のノンオーバーラップ動作を設定するビットです。

【注】 * 本LSIではTP₁₄端子がありませんので、TP₁₄信号は、外部に出力できません。

ノンオーバーラップ動作の TPC 出力は、出力トリガとなる ITU の GRB に出力波形の周期を、また GRA にノンオーバーラップ期間を設定し、コンペアマッチ A、B で出力値を変化させます。

詳細は、「9.3.4 TPC 出力ノンオーバーラップ動作」を参照してください。

TPMR はリセット、またはハードウェアスタンバイモード時に H'F0 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット 7~4 : リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

9. プログラマブルタイミングパターンコントローラ (TPC)

ビット 3 : グループ 3 ノンオーバーラップ (G3NOV)

TPC 出力グループ 3 (TP₁₅ ~ TP₁₂ 端子) *を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

【注】 * 本 LSI では TP₁₄ 端子がありませんので TP14 信号は外部に出力できません。

ビット 3	
G3NOV	説 明
0	TPC 出力グループ 3 は、通常動作 (選択された ITU のコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 3 は、ノンオーバーラップ動作 (選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

ビット 2 : グループ 2 ノンオーバーラップ (G2NOV)

TPC 出力グループ 2 (TP₁₁ ~ TP₈ 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 2	
G2NOV	説 明
0	TPC 出力グループ 2 は、通常動作 (選択された ITU のコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 2 は、ノンオーバーラップ動作 (選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

ビット 1 : グループ 1 ノンオーバーラップ (G1NOV)

TPC 出力グループ 1 (TP₇ ~ TP₄ 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 1	
G1NOV	説 明
0	TPC 出力グループ 1 は、通常動作 (選択された ITU のコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 1 は、ノンオーバーラップ動作 (選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

ビット 0 : グループ 0 ノンオーバーラップ (G0NOV)

TPC 出力グループ 0 (TP₃ ~ TP₀ 端子) を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット 0	
G0NOV	説 明
0	TPC 出力グループ 0 は、通常動作 (選択された ITU のコンペアマッチ A で出力値を更新します。) (初期値)
1	TPC 出力グループ 0 は、ノンオーバーラップ動作 (選択された ITU のコンペアマッチ A、B により、1 出力、0 出力を独立に行うことができます。)

9.3 動作説明

9.3.1 概要

TPC 出力は、PADDR、PBDDR と NDERA、NDERB の対応するビットをそれぞれ 1 にセットすることにより許可状態となります。この状態では、対応する PADR、PBDR の内容が出力されます。

その後、TPCR で指定したコンペアマッチが発生すると、ビットに対応する NDRA および NDRB の内容がそれぞれ PADR および PBDR に転送され、出力値が更新されます。

TPC 出力動作を図 9.2 に示します。また、TPC 動作条件を表 9.3 に示します。

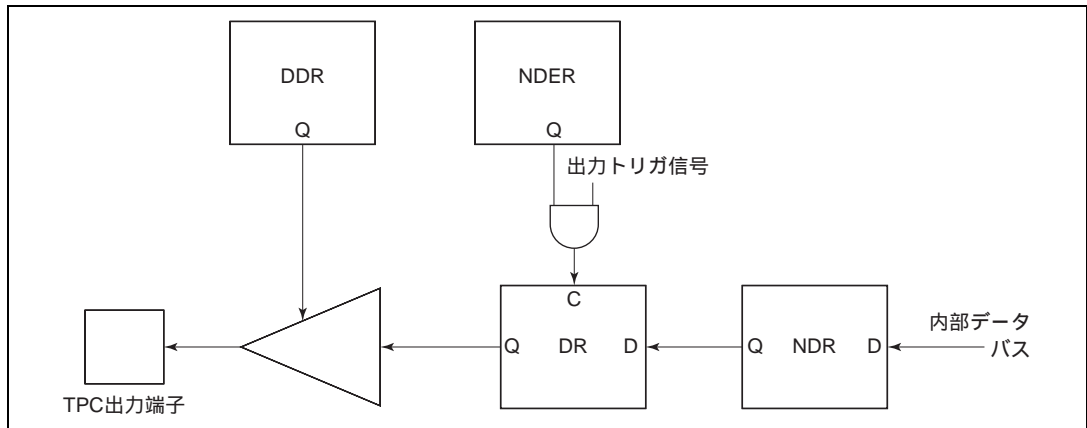


図 9.2 TPC 出力動作

表 9.3 TPC 動作条件

NDER	DDR	端子機能
0	0	入力ポート
	1	出力ポート
1	0	入力ポート（ただし、コンペアマッチ時に NDR から DR の転送を行い、DR へのライトはできません）
	1	TPC パルス出力

次のコンペアマッチが発生するまでに NDRA および NDRB に出力データを書き込むことにより、コンペアマッチごとに最大 16 ビットのデータを順次出力することができます。

ノンオーバーラップ動作については、「9.3.4 TPC 出力ノンオーバーラップ動作」を参照してください。

9.3.2 出力タイミング

TPC 出力許可状態で指定されたコンペアマッチが発生すると、NDRA/NDRB の内容が PADR/PBDR に転送され、出力されます。

このタイミングを図 9.3 に示します。

コンペアマッチ A により、グループ 0、1 で通常出力を行った場合の例です。

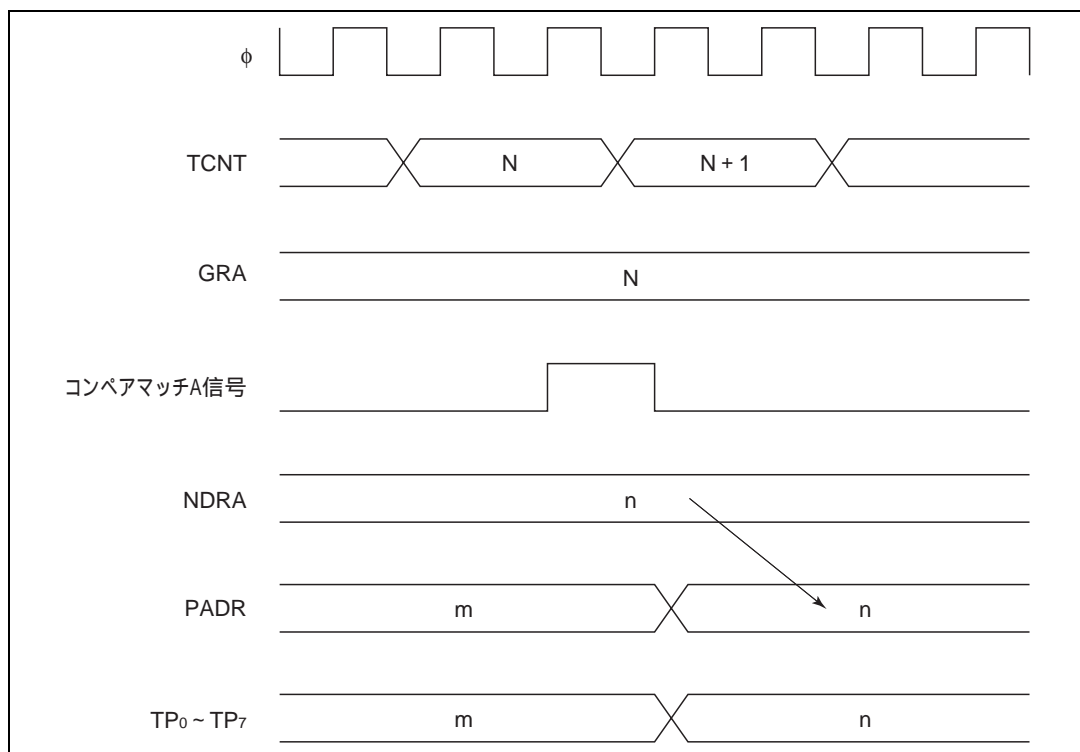


図 9.3 NDR の内容が転送・出力されるタイミング (例)

9.3.3 TPC 出力通常動作

(1) TPC 出力通常動作の設定手順例

TPC 出力通常動作の設定手順例を図 9.4 に示します。

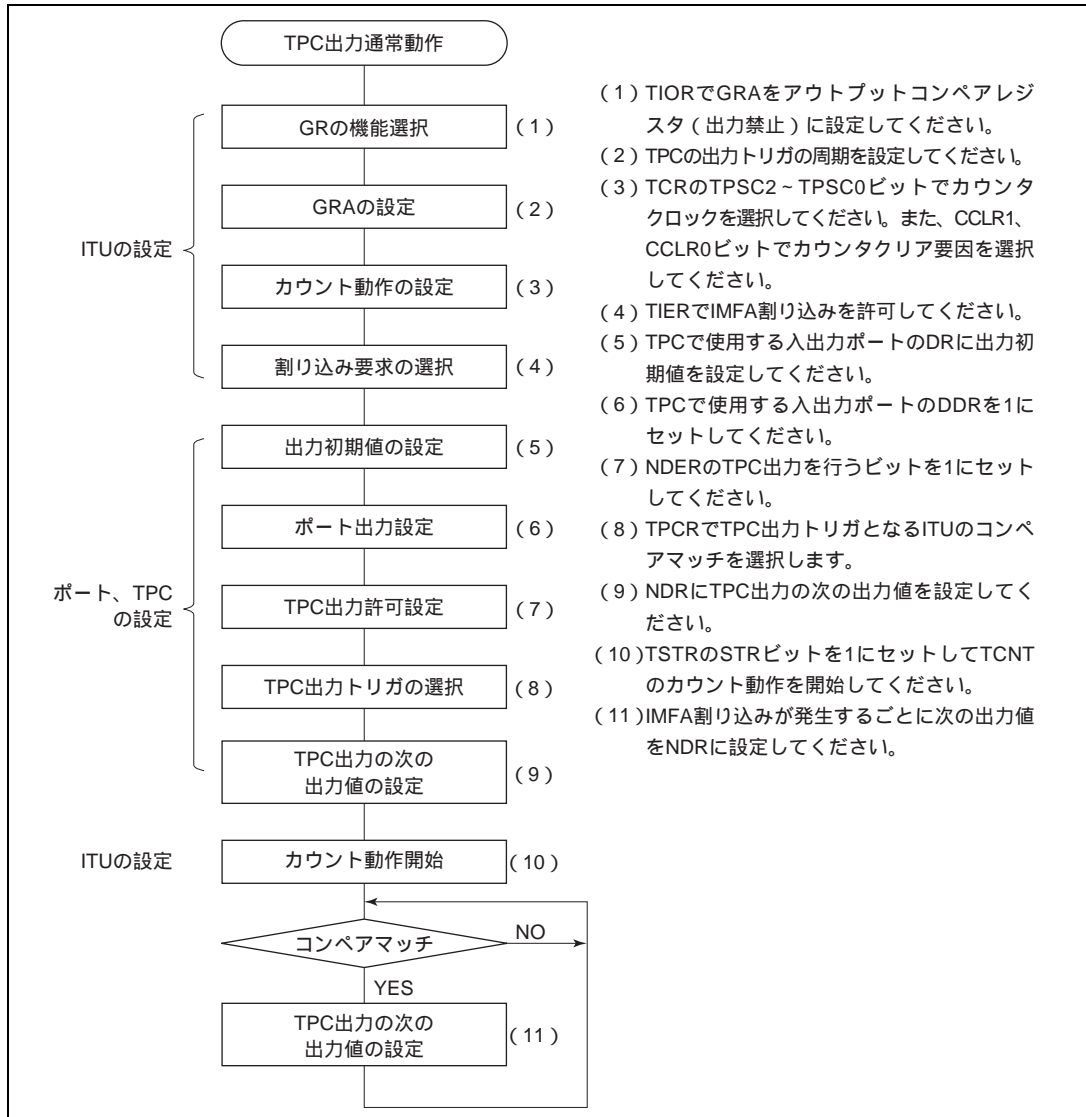


図 9.4 TPC 出力通常動作の設定手順例

9. プログラマブルタイミングパターンコントローラ (TPC)

(2) TPC 出力通常動作例 (5 相パルス出力例)

TPC 出力を使用して一定周期で 5 相パルスを出力させた例を図 9.5 に示します。

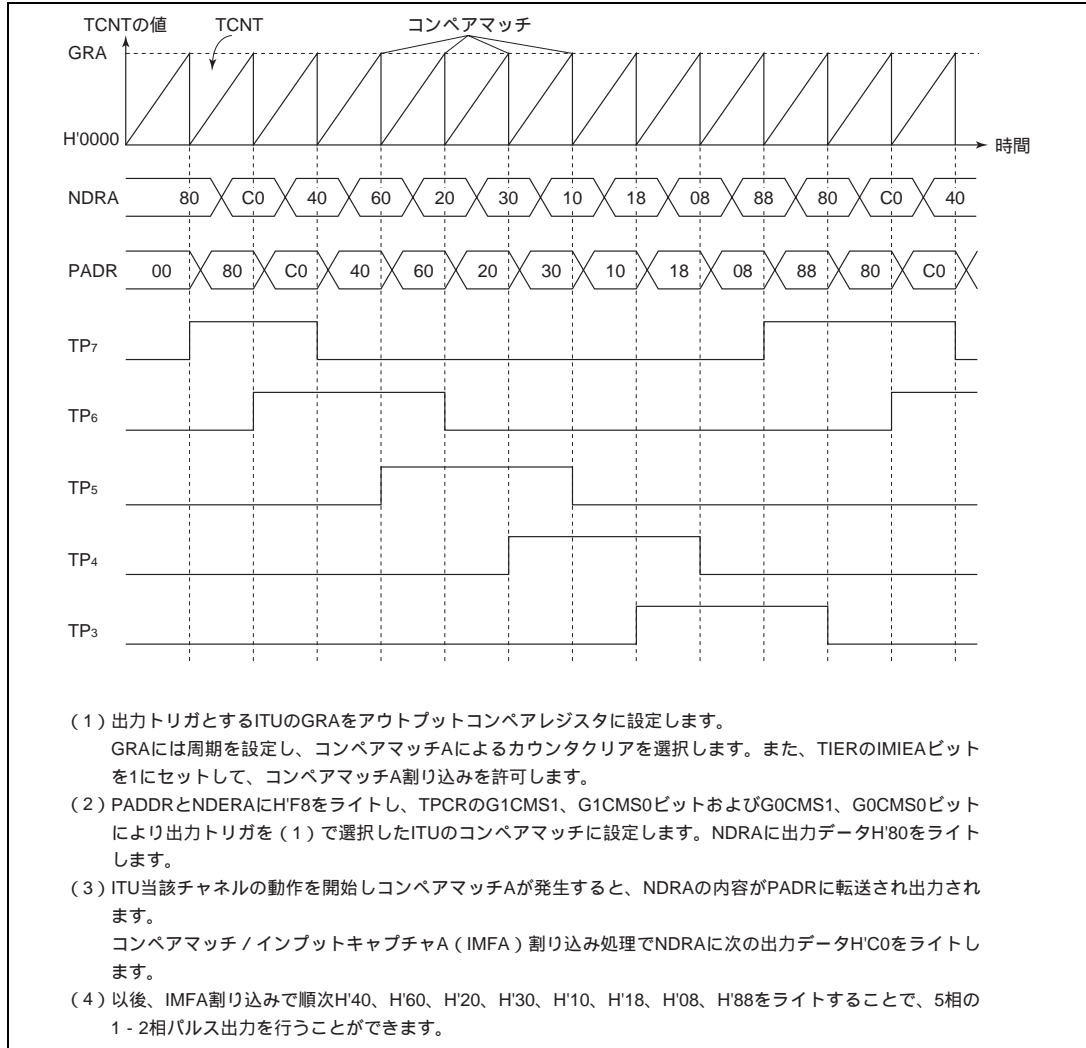


図 9.5 TPC 出力通常動作例 (5 相パルス出力例)

9.3.4 TPC 出力ノンオーバーラップ動作

(1) TPC 出力ノンオーバーラップ動作の設定手順例

TPC 出力ノンオーバーラップ動作の設定手順例を図 9.6 に示します。

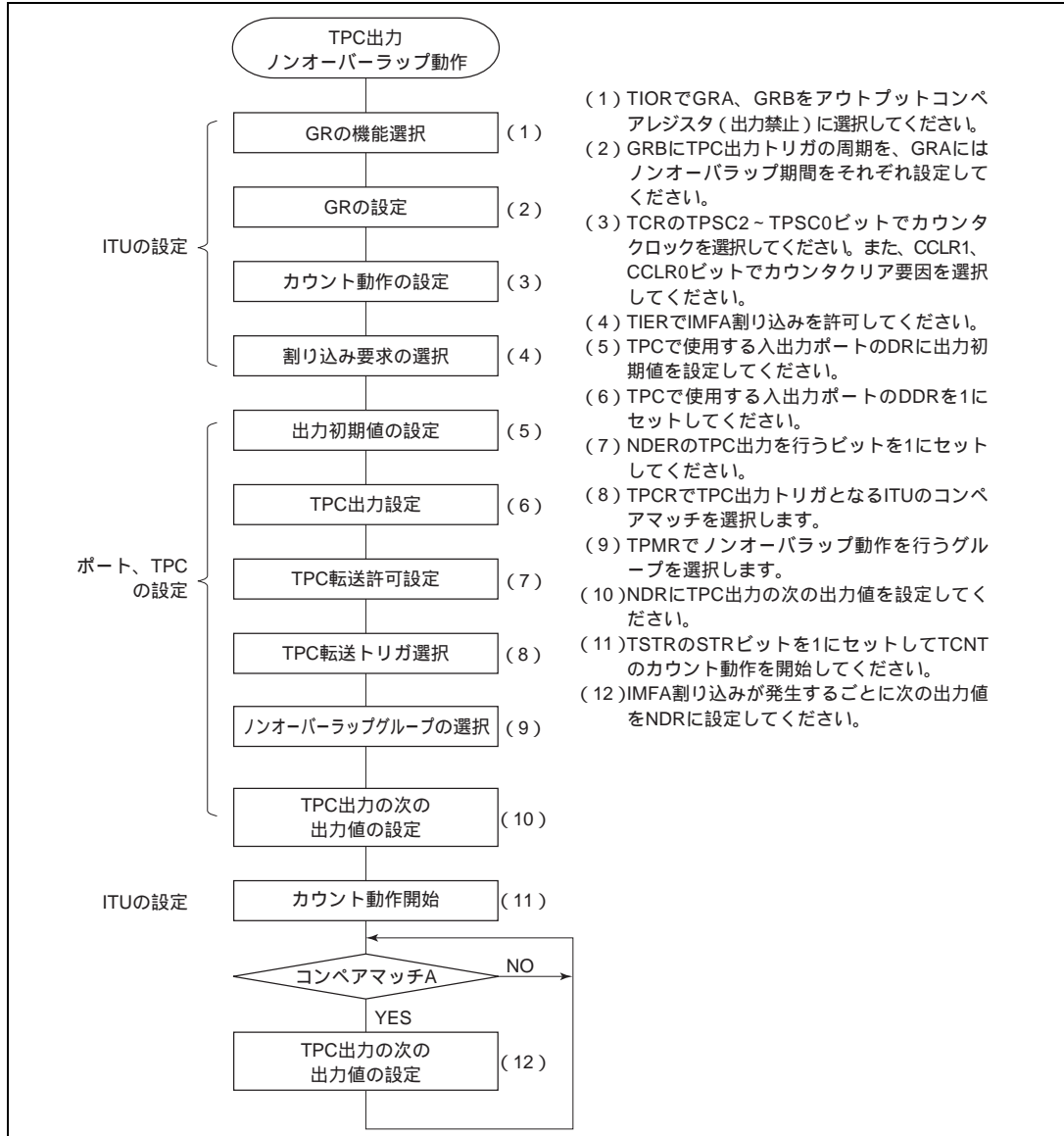


図 9.6 TPC 出力ノンオーバーラップ動作の設定手順例

9. プログラマブルタイミングパターンコントローラ (TPC)

(2) TPC 出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力例)

TPC 出力を使用して4相の相補ノンオーバーラップのパルスを出力させた例を図 9.7 に示します。

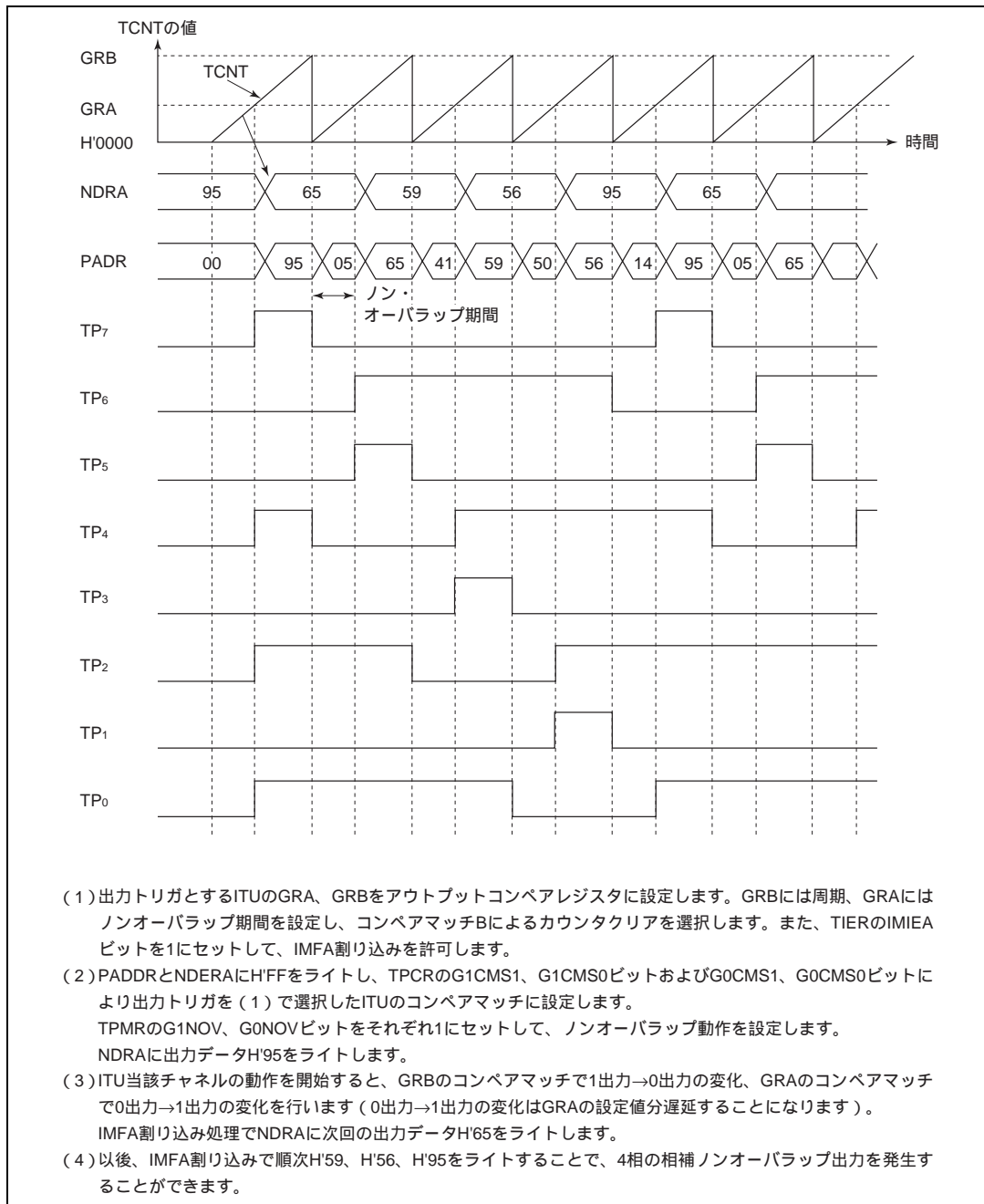


図 9.7 TPC 出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力例)

9.3.5 インพุットキャプチャによる TPC 出力

TPC 出力は、ITU のコンペアマッチだけではなく、インพุットキャプチャによっても可能です。
 TPCR によって選択された ITU の GR がインพุットキャプチャレジスタとして機能しているとき、
 インพุットキャプチャ信号により TPC 出力を行います。
 このタイミングを図 9.8 に示します。

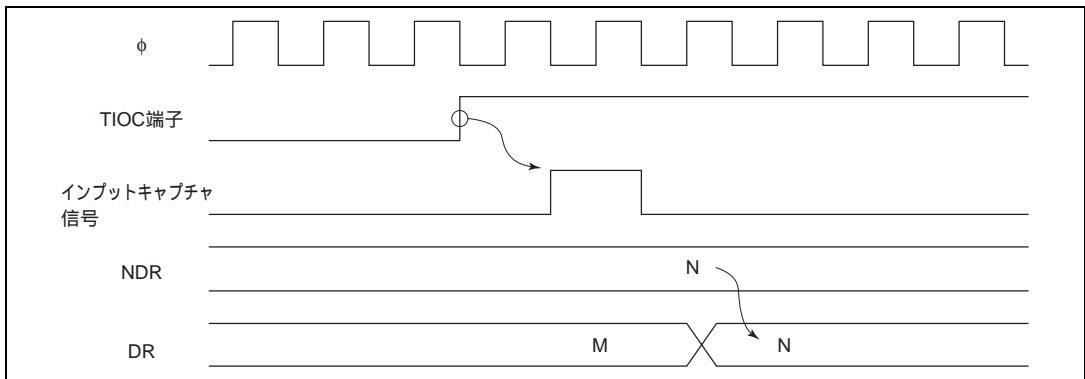


図 9.8 インพุットキャプチャによる TPC 出力例

9.4 使用上の注意

9.4.1 TPC 出力端子の動作

TP₀ ~ TP₁₅*は ITU との兼用端子になっています。この端子は、ITU が出力許可状態になっているときには、TPC 出力を行うことができません。ただし、NDR から DR への転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

【注】* 本 LSI では、TP₁₄端子がありませんので TP14 信号は外部に出力できません。

9.4.2 ノンオーバーラップ動作時の注意

ノンオーバーラップ動作時の NDR から DR の転送は以下のようになっています。

- (1) コンペアマッチAではNDRの内容を常にDRへ転送します。
- (2) コンペアマッチBではNDRの転送するビットの内容が0のときのみ転送を行います。1のときは転送を行いません。

ノンオーバーラップ時の TPC 出力動作を図 9.9 に示します。

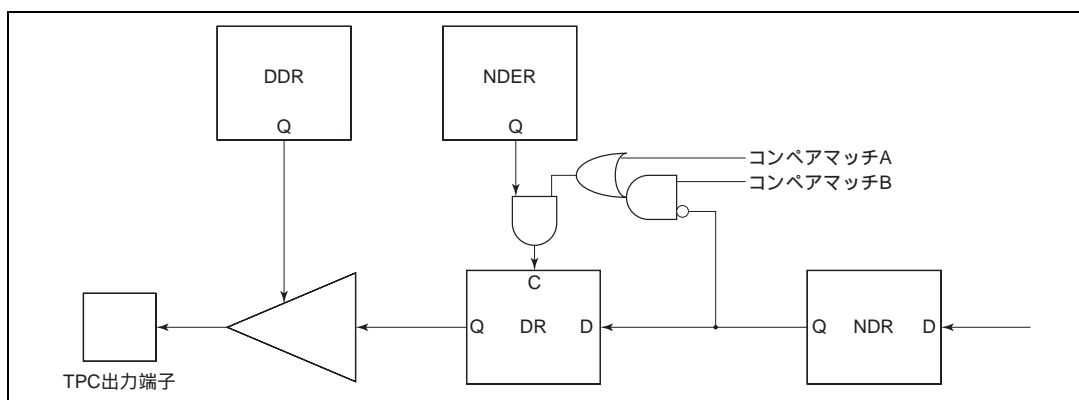


図 9.9 TPC 出力ノンオーバーラップ動作

したがって、コンペアマッチ B を、コンペアマッチ A よりも先に発生させることにより、0 データの転送を 1 データの転送に先立って行うことが可能です。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまで (ノンオーバーラップ期間) の間、NDR の内容を変更しないようにしてください。

これは IMFA 割り込みの割り込み処理ルーチンで NDR に次のデータをライトすることによって実現できます。ただし、このライトは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを図 9.10 に示します。

9. プログラマブルタイミングパターンコントローラ (TPC)

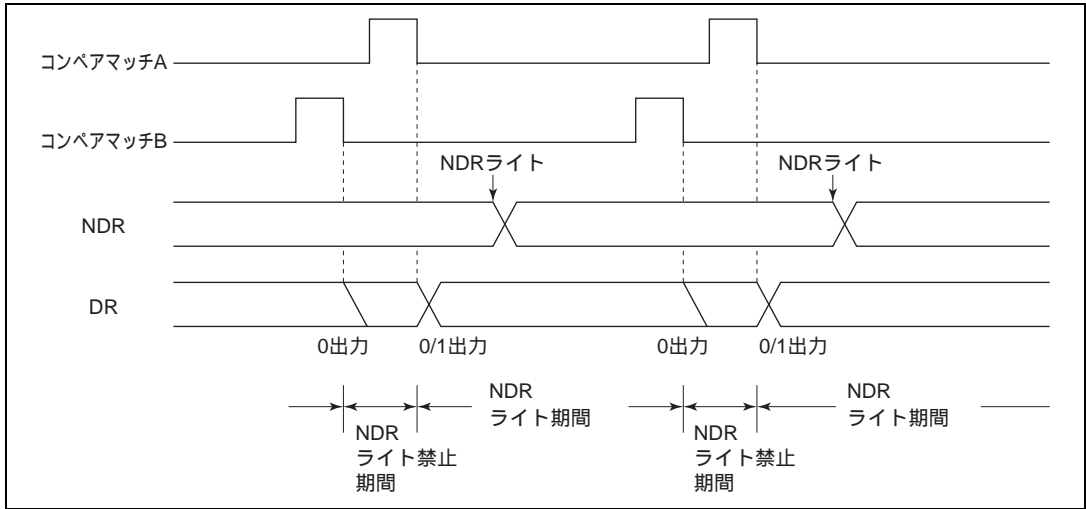


図 9.10 ノンオーバーラップ動作と NDR ライトタイミング

9. プログラマブルタイミングパターンコントローラ (TPC)

10. ウォッチドッグタイマ

10.1 概要

本 LSI は、ウォッチドッグタイマ (WDT) を内蔵しています。WDT には、システムの監視を行うウォッチドッグタイマとインターバルタイマの 2 つの機能があり、いずれかを選択することができます。

ウォッチドッグタイマはシステムの暴走などにより、タイマカウンタ (TCNT) の値が書き換えられずオーバーフローすると、本 LSI に対してリセット信号を発生します。

また、インターバルタイマは、TCNT がオーバーフローするごとにインターバルタイマ割り込みを発生することができます。

10.1.1 特長

WDT の特長を以下に示します。

8 種類のカウンタ入力クロックを選択可能

$\phi/2$ 、 $\phi/32$ 、 $\phi/64$ 、 $\phi/128$ 、 $\phi/256$ 、 $\phi/512$ 、 $\phi/2048$ 、 $\phi/4096$

インターバルタイマとして使用可能

TCNT がオーバーフローするとリセット信号または割り込みを発生

ウォッチドッグタイマ時にはリセット信号、インターバルタイマ時にはインターバルタイマ割り込みを発生します。

ウォッチドッグタイマの発生したリセット信号により、本 LSI 全体を内部リセット、同時にリセット信号を外部に出力可能*

ウォッチドッグタイマ時に TCNT のオーバーフローによってリセット信号を発生すると、本 LSI 全体は内部リセットされます。同時に、 $\overline{\text{RESO}}$ 端子からリセット信号を外部に出力し、システム全体をリセットすることができます。

【注】* マスク ROM 版の $\overline{\text{RESO}}$ 端子は、F-ZTAT 版では、FWE 入力専用端子になります。したがって、F-ZTAT 版はリセット信号を外部に出力することはできません。

10. ウォッチドッグタイマ

10.1.2 ブロック図

図 10.1 に WDT のブロック図を示します。

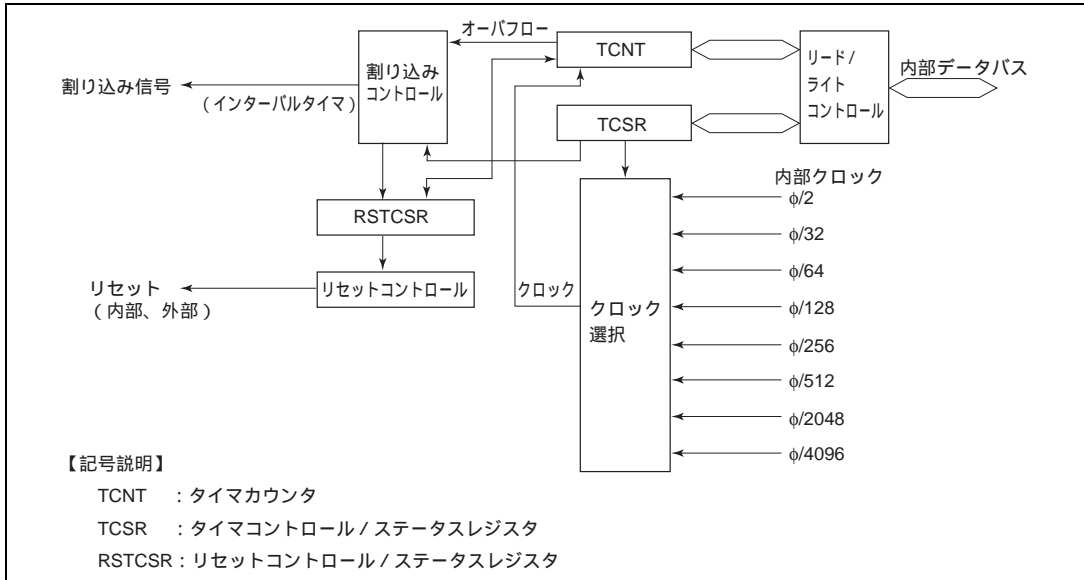


図 10.1 WDT のブロック図

10.1.3 端子構成

WDT で使用する出力端子*¹を表 10.1 に示します。

表 10.1 端子構成

名称	略称	入出力	機能
リセット出力	RESO	出力* ²	ウォッチドッグタイマのリセット信号の外部出力

【注】 *¹ マスク ROM 版の端子を示します。F-ZTAT 版には WDT で使用する端子はありません。

F-ZTAT 版は「15.11 フラッシュメモリの書き込み/消去時の注意」を参照してください。

*² オープンドレイン出力端子です。リセット出力を使用する場合は外部で V_{CC} にプルアップしてください。

10.1.4 レジスタ構成

表 10.2 に WDT のレジスタ構成を示します。

表 10.2 レジスタ構成

アドレス* ¹		名称	略称	R/W	初期値
ライト時* ²	リード時				
H'FFA8	H'FFA8	タイマコントロール/ステータスレジスタ	TCSR	R/(W)* ³	H'18
	H'FFA9	タイマカウンタ	TCNT	R/W	H'00
H'FFAA	H'FFAB	リセットコントロール/ステータスレジスタ	RSTCSR	R/(W)* ³	H'3F

- 【注】 *1 アドレスの下位 16 ビットを示しています。
 *2 このアドレスから始まるワードデータとしてライトしてください。
 *3 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

10.2 各レジスタの説明

10.2.1 タイマカウンタ (TCNT)

TCNT は、8 ビットのリード/ライト*可能なアップカウンタです。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCSR の TME ビットを 1 にセットすると、TCSR の CKS2 ~ CKS0 ビットで選択された内部クロックにより、カウントアップを開始します。また、TCNT の値がオーバフロー (H'FF→H'00) すると、TCSR の OVF フラグが 1 にセットされます。

また、TCNT はリセット、または TME = 0 のとき H'00 に初期化されます。

【注】* TCNT は、容易に書き換えられないようにライト方法が一般のレジスタと異なります。詳細は「10.2.4 レジスタ書き換え時の注意」を参照してください。

10.2.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSR は、8 ビットのリード/ライト*可能なレジスタで、TCNT に入力するクロックの選択、およびモードの選択などを行います。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	1	1	0	0	0
R/W :	R/(W)*2	R/W	R/W			R/W	R/W	R/W

	OVF	WT/IT	TME			CKS2	CKS1	CKS0
<p>クロックセレクト TCNTに入力するクロック を選択するビットです。</p> <p>リザーブビット</p> <p>タイマイネーブル TCNTの動作 / 停止を選択する ビットです。</p> <p>タイマモードセレクト モードを選択するビットです。</p> <p>オーバフローフラグ オーバフローしたことを示す ステータスフラグです。</p>								

ビット 7~5 はリセット、またはスタンバイモード時に各ビットとも 0 に初期化されます。ビット

2~0は、リセット時に各ビットとも0に初期化されます。なお、ビット2~0はソフトウェアスタンバイモード時には、初期化されずにソフトウェアスタンバイモードに遷移する直前の値を保持します。

【注】*1 TCSRは、容易に書き換えられないようにライト方法が一般のレジスタと異なります。

詳細は「10.2.4 レジスタ書き換え時の注意」を参照してください。

*2 フラグをクリアするための0ライトのみ可能です。

ビット7：オーバフローフラグ (OVF)

TCNTがオーバフロー (H'FF→H'00) したことを示すステータスフラグです。

ビット7	説明
OVF	
0	[クリア条件] OVF=1の状態、OVFフラグをリード後、OVFフラグに0をライトしたとき (初期値)
1	[セット条件] TCNTがH'FF→H'00に変化したとき

ビット6：タイマモードセレクト (WT/IT)

WDTをウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択するビットです。インターバルタイマ時はTCNTのオーバフローでインターバルタイマ割り込み要求を発生します。また、ウォッチドッグタイマ時はTCNTのオーバフローでリセット信号を発生します。

ビット6	説明
WT/IT	
0	インターバルタイマを選択：インターバルタイマ割り込み要求 (初期値)
1	ウォッチドッグタイマを選択：リセット信号を発生

ビット5：タイマイネーブル (TME)

TCNTの動作/停止を選択します。

ビット5	説明
TME	
0	TCNTをH'00に初期化し、カウント動作は停止 (初期値)
1	TCNTはカウント動作

ビット4、3：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

10. ウォッチドッグタイマ

ビット2~0：クロックセレクト2~0（CKS2~CKS0）

システムクロック（ ϕ ）を分周して得られる8種類の内部クロックから TCNT に入力するクロックを選択するビットです。

ビット2	ビット1	ビット0	説明
CKS2	CKS1	CKS0	
0	0	0	$\phi/2$ (初期値)
		1	$\phi/32$
	1	0	$\phi/64$
		1	$\phi/128$
1	0	0	$\phi/256$
		1	$\phi/512$
	1	0	$\phi/2048$
		1	$\phi/4096$

10.2.3 リセットコントロール/ステータスレジスタ（RSTCSR）

RSTCSR は8ビットのリード/ライト*¹可能なレジスタで、ウォッチドッグタイマのオーバフローによるリセット信号の発生状態のモニタ、およびリセット信号の外部への出力を制御します。



ビット7、6は、 $\overline{\text{RES}}$ 端子によるリセット信号で初期化されます。ウォッチドッグタイマのオーバフローによるリセット信号では初期化されません。

【注】*¹ RSTCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なります。詳細は「10.2.4 レジスタ書き換え時の注意」を参照してください。

*² ビット7は、フラグをクリアするための0ライトのみ可能です。

*³ マスク ROM 版は、許可/禁止の設定が可能ですが、F-ZTAT 版では、許可の設定を行わないでください。

ビット7：ウォッチドッグタイマリセット（WRST）

ウォッチドッグタイマ時に TCNT がオーバーフローし、リセット信号が発生したことを示すビットです。

オーバーフローで発生したリセット信号により、本 LSI 全体が内部リセットされます。同時に、RSTOE ビットが 1 にセットされていると、このリセット信号を $\overline{\text{RESO}}$ 端子*1 から Low レベルを外部に出力し、システム全体の初期化を行うことができます。

ビット7	説明
WRST	
0	[クリア条件] (初期値) (1) $\overline{\text{RES}}$ 端子によるリセット信号 (2) WRST=1 の状態で、WRST フラグをリード後 0 をライトしたとき
1	[セット条件] ウォッチドッグタイマ時に、TCNT がオーバーフローし、リセット信号が発生したとき

ビット6：リセット出力イネーブル（RSTOE）

ウォッチドッグタイマ時に TCNT がオーバーフローして発生したリセット信号の $\overline{\text{RESO}}$ 端子*1 からの出力の許可/禁止を選択します。

ビット6	説明
RSTOE	
0	リセット信号の外部出力を禁止 (初期値)
1	リセット信号の外部出力を許可*2

ビット5～0：リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

【注】*1 マスク ROM 版の場合です。F-ZTAT 版は、FWE 入力専用端子になります。

*2 マスク ROM 版の場合です。F-ZTAT 版は 1 にセットしないでください。

10.2.4 レジスタ書き換え時の注意

WDT の TCNT、TCSR、RSTCSR は、容易に書き換えられないように、ライト方法が一般レジスタと異なります。リード/ライトの方法を以下に示します。

(1) TCNT、TCSR へのライト

TCNT、TCSR へライトする場合、必ずワード転送命令を使用してください。バイト命令では、ライトすることができません。図 10.2 に TCNT、TCSR へのライトデータを示します。

ライト時のアドレスは、TCNT、TCSR とも同一アドレスになっています。そのため、TCNT、TCSR へライトするときは、下位バイトをライトデータに、上位バイトを H'5A (TCNT のとき) または H'A5 (TCSR のとき) にしてワード転送を行います。

これにより、下位バイトのデータが TCNT、または TCSR へライトされます。

10. ウォッチドッグタイマ

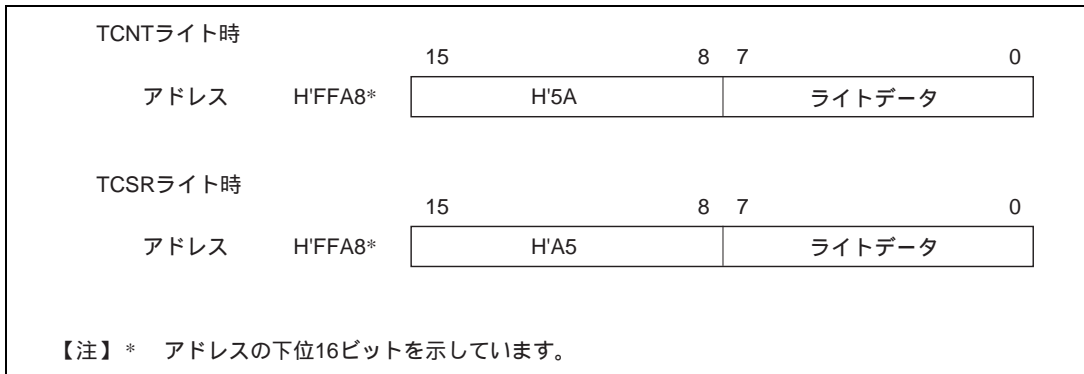


図 10.2 TCNT、TCSR へのライトデータ

(2) RSTCSR へのライト

RSTCSR へライトする場合、必ずワード転送命令を使用してください。バイト転送命令では、ライトすることができません。図 10.3 に RSTCSR のライトデータを示します。

WRST ビットへ 0 をライトする場合、上位バイトを H'A5、下位バイトを H'00 としてワード転送を行います。これにより、下位バイトのデータ(H'00)が RSTCSR の WRST ビットへライトされ、WRST ビットが 0 にクリアされます。

RSTOE ビットへライトする場合、上位バイトを H'5A、下位バイトをライトデータとしてワード転送を行います。

これにより、下位バイトのデータが RSTOE ビットへライトされます。

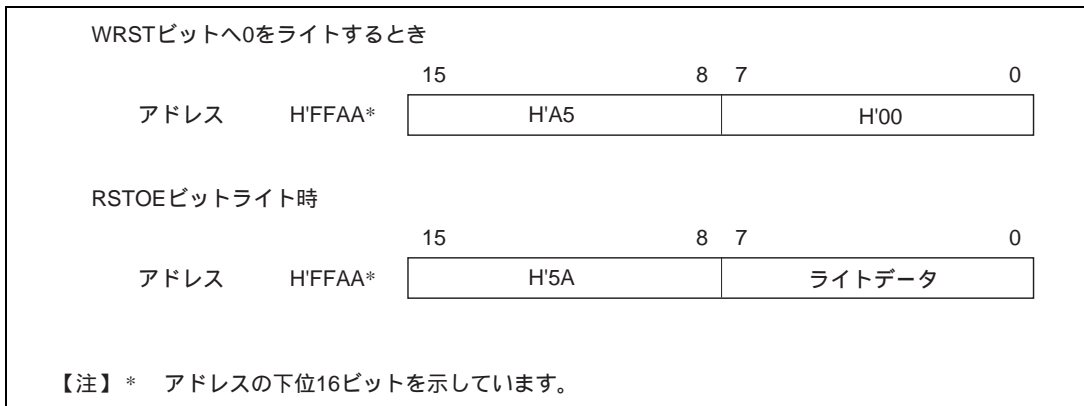


図 10.3 RSTCSR へのライトデータ

(3) TCNT、TCSR、RSTCSR のリード

TCNT、TCSR、RSTCSR をリードする場合、アドレス H'FFA8 に TCSR、H'FFA9 に TCNT、H'FFAB に RSTCSR が割り当てられています。

したがって、一般のレジスタと同様にリードしてください。リードの場合は、バイト転送命令を使用することができます。表 10.3 に TCNT、TCSR、RSTCSR のリードを示します。

表 10.3 TCNT、TCSR、RSTCSR のリード

アドレス*	レジスタ
H'FFA8	TCSR
H'FFA9	TCNT
H'FFAB	RSTCSR

【注】 * アドレスの下位 16 ビットを示しています。

10.3 動作説明

以下にウォッチドッグタイマ時、インターバルタイマ時の WDT の動作について説明します。

10.3.1 ウォッチドッグタイマ時の動作

図 10.4 にウォッチドッグタイマ時の動作を示します。

ウォッチドッグタイマとして使用する場合は、TCSR の WT/IT ビット、TME ビットをそれぞれ 1 にセットします。

プログラムでは TCNT がオーバーフローする前に、ソフトウェアで TCNT の値を書き換えて（通常は H'00 をライト）、常にオーバーフローが発生しないようにします。システムの暴走などにより、TCNT の値が書き換えられず、オーバーフローすると、518 ステート期間、本 LSI 内部をリセットします。

WDT によるリセット信号は、 $\overline{\text{RESO}}$ 端子*から外部に出力し、外部システムをリセットすることができます。外部へのリセット信号は、132 ステート期間出力されます。外部への出力の許可 / 禁止は、RSTCSR の RSTOE ビットによって選択します。

WDT によるリセットと $\overline{\text{RES}}$ 端子によるリセットは、同一ベクタです。そのため、 $\overline{\text{RES}}$ 端子によるリセットか、WDT によるリセットかは、RSTCSR の WRST ビットをチェックすることによって判別してください。

また、 $\overline{\text{RES}}$ 端子によるリセットと WDT のオーバーフローによるリセットが同時に発生した場合は、 $\overline{\text{RES}}$ 端子によるリセットが優先されます。

【注】* マスク ROM 版の場合です。F-ZTAT 版では FWE 入力専用端子になるため、リセット信号を外部に出力することはできません。

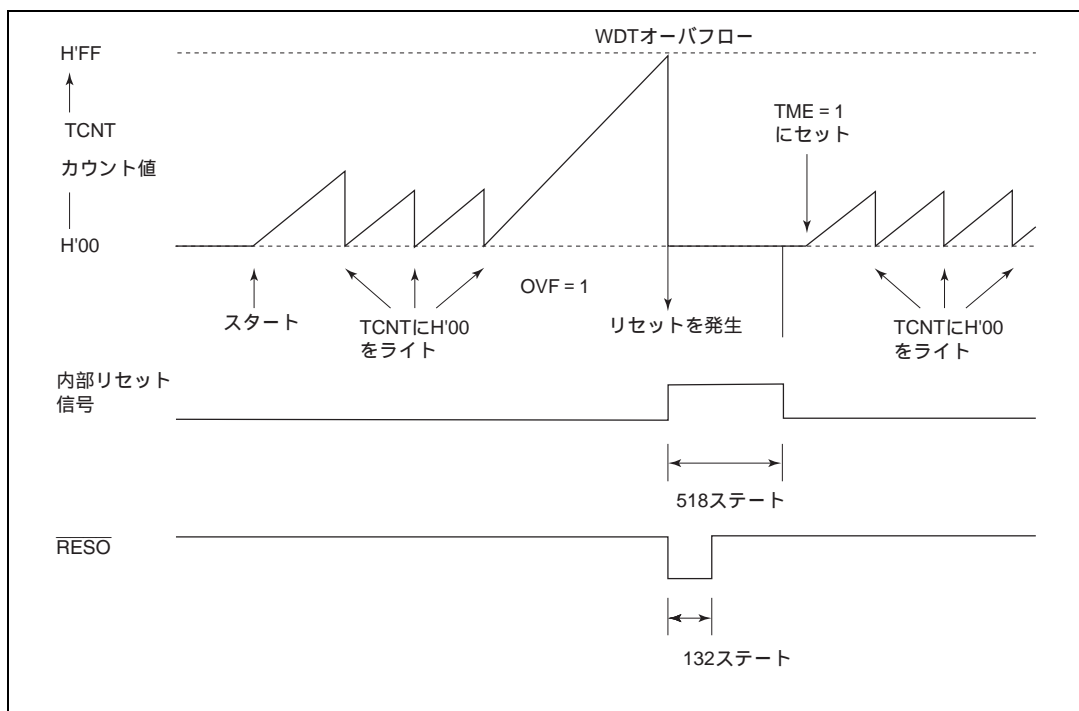


図 10.4 ウォッチドッグタイマモード時の動作（マスク ROM 版）

10.3.2 インターバルタイマ時の動作

図 10.5 にインターバルタイマ時の動作を示します。

インターバルタイマとして使用するには、TCSR の WT/\bar{IT} ビットを 0 にクリアし、TME ビットを 1 にセットします。

インターバルタイマとして動作しているときは、TCNT がオーバーフローするごとに、インターバルタイマ割り込み要求が発生します。これにより、一定時間ごとにインターバルタイマ割り込みを発生させることができます。

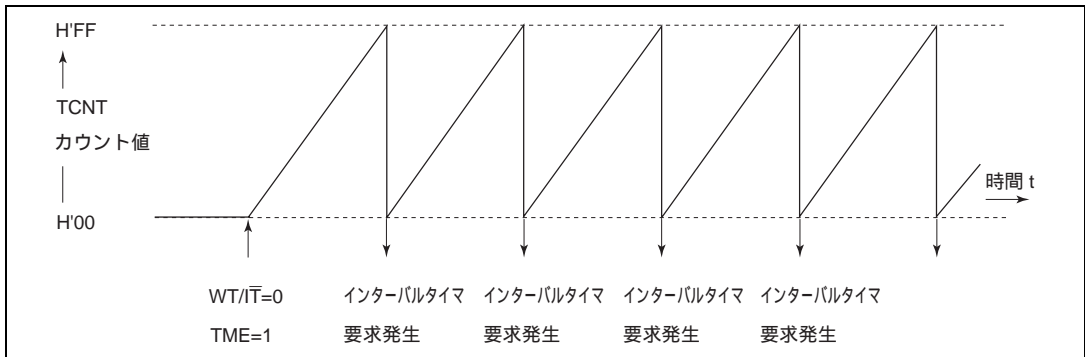


図 10.5 インターバルタイマ時の動作

10.3.3 オーバフローフラグ (OVF) セットタイミング

図 10.6 に OVF フラグのセットタイミングを示します。

TCSR の OVF フラグは、TCNT がオーバーフローすると 1 にセットされます。このとき同時にウォッチドッグタイマ時にはリセット信号出力、インターバルタイマ時にはインターバルタイマ割り込みが発生します。

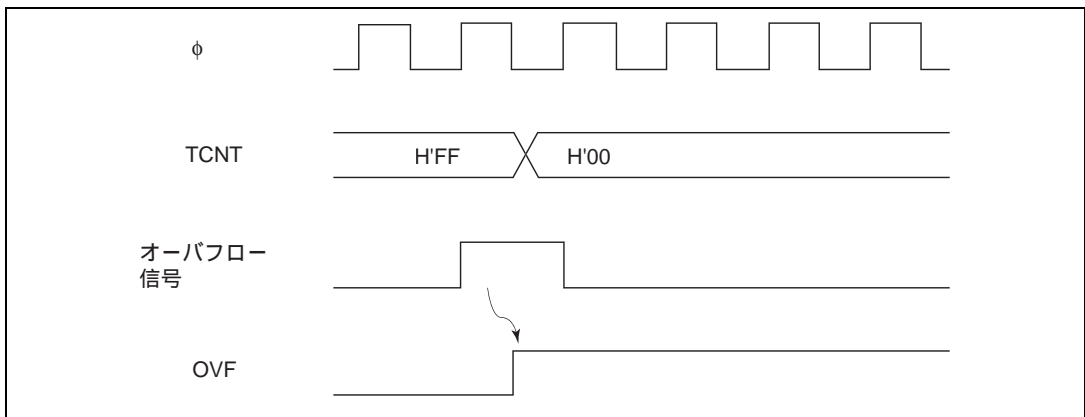


図 10.6 OVF フラグのセットタイミング

10.3.4 ウォッチドッグタイマリセット (WRST) のセットタイミング

RSTCSR の WRST ビットは、TCSR の WT/IT ビット、TME ビットをそれぞれ 1 にセットしたとき有効になります。

図 10.7 に WRST ビットのセット、および内部リセットタイミングを示します。

TCNT がオーバフローして、OVF フラグが 1 にセットされたとき、WRST ビットは 1 にセットされます。このとき同時に、本 LSI 全体に対して内部リセット信号を発生します。この内部リセット信号で OVF フラグは 0 にクリアされますが、WRST ビットは 1 にセットされたままです。したがって、リセット処理ルーチンの中で、必ず WRST ビットのクリアを行ってください。

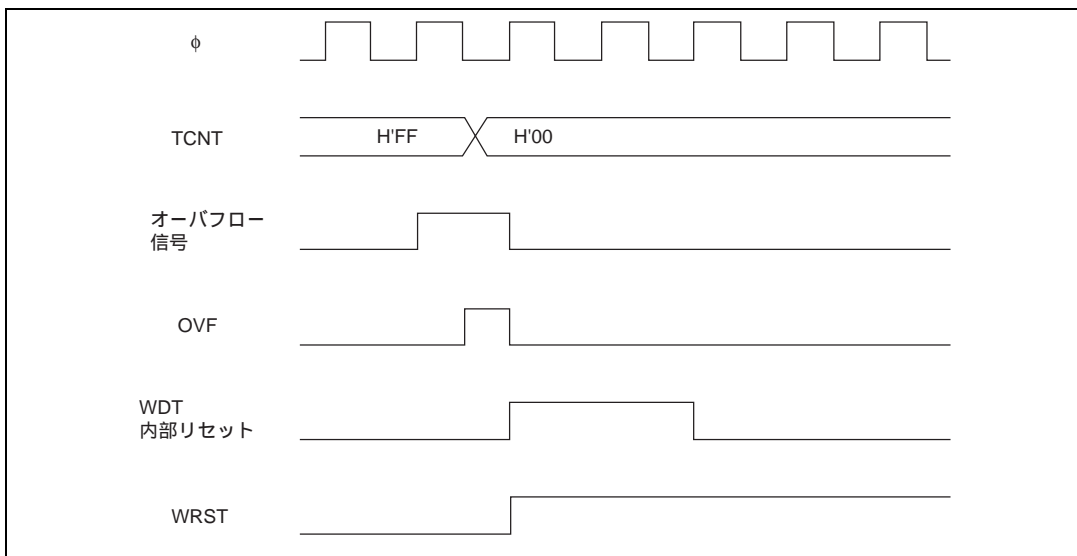


図 10.7 WRST ビットのセットおよび内部リセットタイミング

10.4 割り込み

インターバルタイマ時、オーバーフローによりインターバルタイマ割り込み(WOVI)を発生します。インターバルタイマ割り込みはTCSRのOVFフラグが1にセットされると常に要求されます。

10.5 使用上の注意

(1) TCNTのライトとカウントアップの競合

図10.8にTCNTのライトとカウントアップの競合を示します。

TCNTのライトサイクル中の T_3 ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

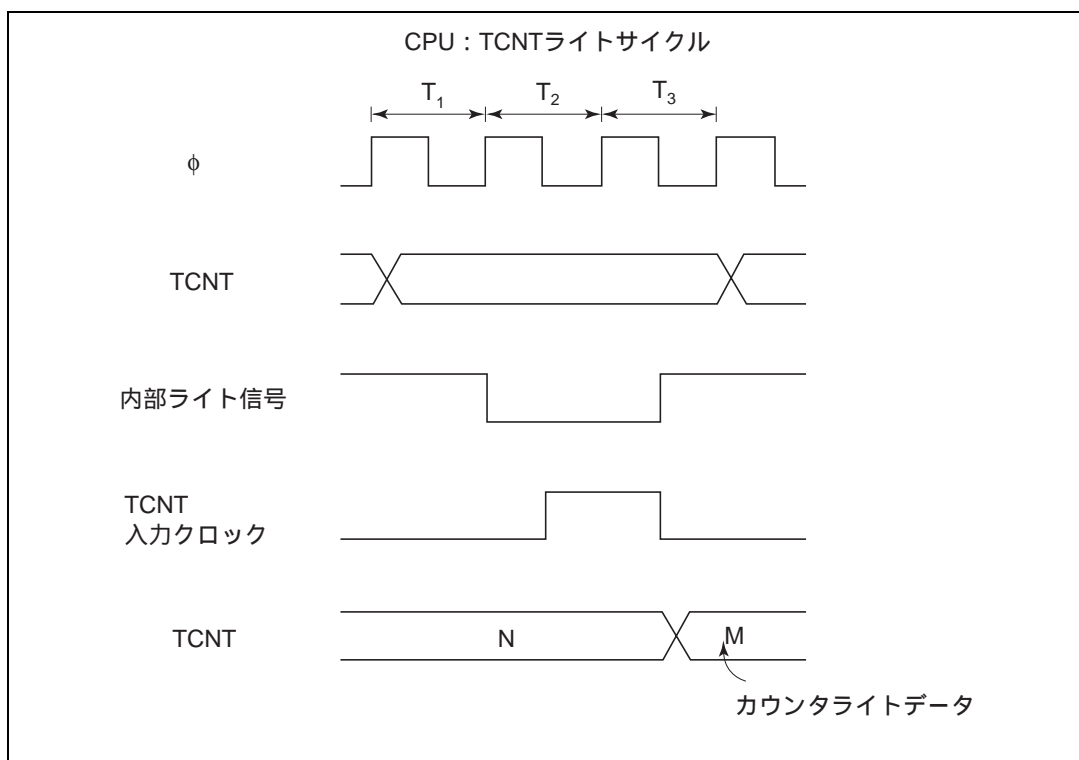


図 10.8 TCNT のライトとカウントアップの競合

(2) CKS2 ~ CKS0 ビットの切り替え

CKS2 ~ CKS0 ビットを切り替えるときは、TCSRのTMEビットを0にクリアし、TCNTを停止させてから行ってください。

10. ウォッチドッグタイマ

11. シリアルコミュニケーションインタフェース

11.1 概要

本 LSI は、独立した 2 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。2 チャンネルは、同一の基本機能を持っています。SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。消費電流低減のため SCI を使用しない場合には、SCI 各チャンネル単独に停止することができます。詳細は、「17.6 モジュールスタンバイ機能」を参照してください。

また、SCI0 については、“ISO/IEC7816-3 (Identification Card)” に準拠した IC カードインタフェース用シリアル通信機能 (拡張機能) としてスマートカードインタフェースをサポートしています。詳しくは「第 12 章 スマートカードインタフェース」を参照してください。

11.1.1 特長

SCI の特長を以下に示します。

シリアル通信モードを調歩同期式モード / クロック同期式モードから選択可能

(a) 調歩同期式モード

キャラクタ単位で同期をとる調歩同期式方式でシリアルデータの通信を行います。

Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。

また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。

- データ長 : 7 ビット / 8 ビット
- ストップビット長 : 1 ビット / 2 ビット
- パリティ : 偶数パリティ / 奇数パリティ / パリティなし
- マルチプロセッサビット : 1 / 0
- 受信エラーの検出 : パリティエラー、オーバランエラー、フレーミングエラーを検出
- ブレークの検出 : フレーミングエラー発生時に RxD 端子のレベルを直接リードすることによりブレークを検出できます。

(b) クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットは 1 種類です。

- データ長 : 8 ビット
- 受信エラーの検出 : オーバランエラーを検出

全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続

11. シリアルコミュニケーションインタフェース

送信、連続受信ができます。

内蔵ボーレートジェネレータにより任意のビットレートを選択可能

送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能

4 種類の割り込み要因

送信データエンpty、送信終了、受信データフル、受信エラーの 4 種類の割り込み要因があり、それぞれ独立に要求することができます。

11.1.2 ブロック図

図 11.1 に SCI のブロック図を示します。

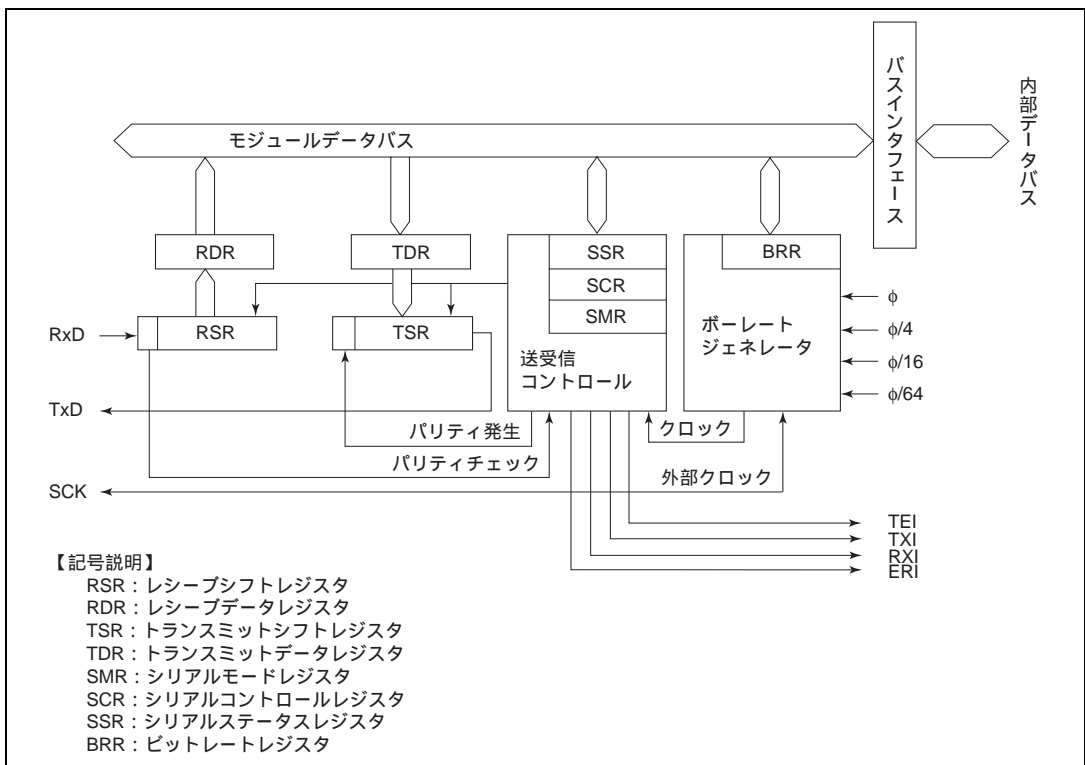


図 11.1 SCI のブロック図

11.1.3 端子構成

SCI は、チャンネルごとに表 11.1 に示すシリアル端子を持っています。

表 11.1 端子構成

チャンネル	名称	略称	入出力	機能
0	シリアルクロック端子	SCK ₀	入出力	SCI ₀ のクロック入出力
	レシーブデータ端子	RxD ₀	入力	SCI ₀ の受信データ入力
	トランスミットデータ端子	TxD ₀	出力	SCI ₀ の送信データ出力
1	シリアルクロック端子	SCK ₁	入出力	SCI ₁ のクロック入出力
	レシーブデータ端子	RxD ₁	入力	SCI ₁ の受信データ入力
	トランスミットデータ端子	TxD ₁	出力	SCI ₁ の送信データ出力

11.1.4 レジスタ構成

SCI には、表 11.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード / クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部 / 受信部の制御を行うことができます。

表 11.2 レジスタ構成

チャンネル	アドレス*1	名称	略称	R/W	初期値
0	H'FFB0	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFB1	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFB2	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFB3	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFB4	シリアルステータスレジスタ	SSR	R/(W)*2	H'84
	H'FFB5	レシーブデータレジスタ	RDR	R	H'00
1	H'FFB8	シリアルモードレジスタ	SMR	R/W	H'00
	H'FFB9	ビットレートレジスタ	BRR	R/W	H'FF
	H'FFBA	シリアルコントロールレジスタ	SCR	R/W	H'00
	H'FFBB	トランスミットデータレジスタ	TDR	R/W	H'FF
	H'FFBC	シリアルステータスレジスタ	SSR	R/(W)*2	H'84
	H'FFBD	レシーブデータレジスタ	RDR	R	H'00

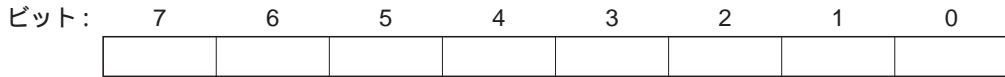
【注】 *1 アドレスの下部 16 ビットを示しています。

*2 フラグをクリアするための 0 ライトのみ可能です。

11.2 各レジスタの説明

11.2.1 レシーブシフトレジスタ (RSR)

RSR は、シリアルデータを受信するためのレジスタです。



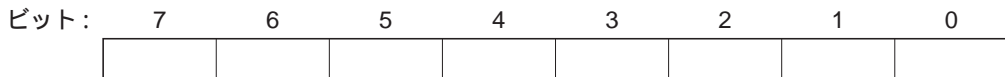
R/W : — — — — — — — —

SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から RSR を直接リード/ライトすることはできません。

11.2.2 レシーブデータレジスタ (RDR)

RDR は、受信したシリアルデータを格納するレジスタです。



初期値: 0 0 0 0 0 0 0 0

R/W : R R R R R R R R

SCI は、1 バイトのシリアルデータの受信が終了すると、RSR から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

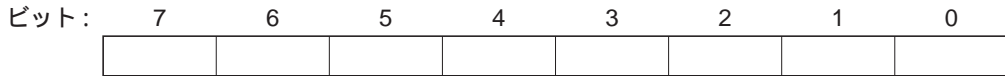
このように、RSR と RDR はダブルバッファになっているため連続した受信動作が可能です。

RDR は、リード専用レジスタですので CPU からライトすることはできません。

RDR は、リセット、またはスタンバイモード時に H'00 に初期化されます。

11.2.3 トランスミットシフトレジスタ (TSR)

TSR は、シリアルデータを送信するためのレジスタです。



R/W : — — — — — — — —

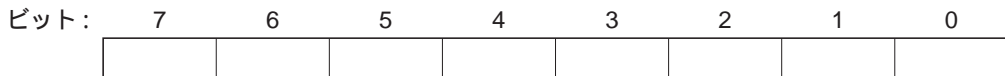
SCI は、TDR から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし SSR の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR をリード/ライトすることはできません。

11.2.4 トランスミットデータレジスタ (TDR)

TDR は、シリアル送信するデータを格納する 8 ビットのレジスタです。



初期値: 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

SCI は、TSR のあきを検出すると、TDR にライトされた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データをライトしておくと、連続シリアル送信ができます。

TDR は、常に CPU によるリード/ライトが可能です。

TDR は、リセット、またはスタンバイモード時に H'FF に初期化されます。

11.2.5 シリアルモードレジスタ (SMR)

SMR は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

ビット:	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト1、0
 ボーレートジェネレータ
 のクロックを選択するビ
 ットです。

マルチプロセッサモード
 マルチプロセッサ機能を選択する
 ビットです。

ストップビットレングス
 ストップビット長を選択するビットです。

パリティモード
 偶数パリティ / 奇数パリティを選択するビットです。

パリティイネーブル
 パリティの付加を許可 / 禁止するビットです。

キャラクタレングス
 調歩同期式モードのキャラクタ長を選択するビットです。

コミュニケーションモード
 調歩同期式モードとクロック同期式モードを選択するビットです。

SMR は、常に CPU によるリード / ライトが可能です。

SMR は、リセット、またはスタンバイモード時に H'00 に初期化されます。

ビット7: コミュニケーションモード (C/ \bar{A})

SCI の動作モードを調歩同期式モード / クロック同期式モードのいずれかから選択します。

ビット7	説明
C/ \bar{A}	
0	調歩同期式モード (初期値)
1	クロック同期式モード

ビット 6：キャラクタレングス (CHR)

調歩同期式モードのデータ長を 7 ビット / 8 ビットデータのいずれかから選択します。クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット 6	説 明	
CHR		
0	8 ビットデータ	(初期値)
1	7 ビットデータ*	

【注】 * 7 ビットデータを選択した場合、TDR の MSB (ビット 7) は送信されません。

ビット 5：パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット 5	説 明	
PE		
0	パリティビットの付加、およびチェックを禁止	(初期値)
1	パリティビットの付加、およびチェックを許可*	

【注】 * PE ビットに 1 をセットすると送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット 4：パリティモード (O/E)

パリティの付加やチェックを偶数パリティ / 奇数パリティのいずれで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに 1 を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/E ビットの指定は無効です。

ビット 4	説 明	
O/E		
0	偶数パリティ* ¹	(初期値)
1	奇数パリティ* ²	

【注】 *¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が偶数であるかどうかをチェックします。

*² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の 1 の数の合計が奇数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタをあわせて、その中の 1 の数の合計が奇数であるかどうかをチェックします。

11. シリアルコミュニケーションインタフェース

ビット3：ストップビットレングス（STOP）

調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOPビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説明
STOP	
0	1ストップビット* ¹ (初期値)
1	2ストップビット* ²

【注】 *1 送信時には、送信キャラクタの最後尾に1ビットの1（ストップビット）を付加して送信します。
*2 送信時には、送信キャラクタの最後尾に2ビットの1（ストップビット）を付加して送信します。

なお、受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット2：マルチプロセッサモード（MP）

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PEビット、およびO/Eビットにおけるパリティの設定は無効になります。また、MPビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MPビットの設定は無効です。

マルチプロセッサ通信機能については、「11.3.3 マルチプロセッサ通信機能」を参照してください。

ビット2	説明
MP	
0	マルチプロセッサ機能の禁止 (初期値)
1	マルチプロセッサフォーマットを選択

ビット1、0：クロックセレクト1、0（CKS1、CKS0）

内蔵ボーレートジェネレータのクロックソースを選択します。CKS1、0ビットの設定により ϕ 、 $\phi/4$ 、 $\phi/16$ 、 $\phi/64$ の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「11.2.8 ビットレートレジスタ（BRR）」を参照してください。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	ϕ クロック (初期値)
	1	$\phi/4$ クロック
1	0	$\phi/16$ クロック
	1	$\phi/64$ クロック

11.2.6 シリアルコントロールレジスタ (SCR)

SCR は、SCI の送信 / 受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可 / 禁止、および送信 / 受信クロックソースの選択を行うレジスタです。

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル1、0
 SCIのクロックソースを
 選択するビットです。
 トランスミットエンドインタラプト
 イネーブル
 送信終了割り込み (TEI) 要求
 を許可 / 禁止するビットです。
 マルチプロセッサインタラプトイネーブル
 マルチプロセッサ割り込みを許可 / 禁止する
 ビットです。
 レシーブイネーブル
 受信動作を許可 / 禁止するビットです。
 トランスミットイネーブル
 送信動作を許可 / 禁止するビットです。
 レシーブインタラプトイネーブル
 受信データフル割り込み (RXI) 要求と、受信エラー割り込み (ERI)
 要求を許可 / 禁止するビットです。
 トランスミットインタラプトイネーブル
 送信データエンpty割り込み (TXI) 要求を許可 / 禁止するビットです。

SCR は、常に CPU によるリード / ライトが可能です。

SCR は、リセット、またはスタンバイモード時に H'00 に初期化されます。

ビット7: トランスミットインタラプトイネーブル (TIE)

TDR から TSR ヘシリアル送信データが転送され SSR の TDRE フラグが 1 にセットされたときに、送信データエンpty割り込み (TXI) 要求の発生を許可 / 禁止します。

ビット7	説明
TIE	
0	送信データエンpty割り込み (TXI) 要求の禁止* (初期値)
1	送信データエンpty割り込み (TXI) 要求の許可

【注】 * TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、または TIE ビットを 0 にクリアすることで行うことができます。

11. シリアルコミュニケーションインタフェース

ビット6：レシーブインタラプトイネーブル（RIE）

シリアル受信データがRSRからRDRへ転送されてSSRのRDRFフラグが1にセットされたとき、受信データフル割り込み（RXI）要求、および受信エラー割り込み（ERI）要求の発生を許可/禁止します。

ビット6	説明
RIE	
0	受信データフル割り込み（RXI）要求、および受信エラー割り込み（ERI）要求を禁止* （初期値）
1	受信データフル割り込み（RXI）要求、および受信エラー割り込み（ERI）要求を許可

【注】 * RXI、および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。

ビット5：トランスミットイネーブル（TE）

SCIのシリアル送信動作の開始を許可/禁止します。

ビット5	説明
TE	
0	送信動作を禁止* ¹ （初期値）
1	送信動作を許可* ²

【注】 *¹ SSR の TDRE フラグは 1 に固定されます。

*² この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。
なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い送信フォーマットを決定してください。

ビット4：レシーブイネーブル（RE）

SCIのシリアル受信動作の開始を許可/禁止します。

ビット4	説明
RE	
0	受信動作を禁止* ¹ （初期値）
1	受信動作を許可* ²

【注】 *¹ RE ビットを 0 にクリアしても RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持しますので注意してください。

*² この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。
なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル（MPIE）

マルチプロセッサ割り込みを許可／禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMR の MP ビットが 1 に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには MPIE ビットの設定は無効です。

ビット 3	説明
MPIE	
0	マルチプロセッサ割り込み禁止状態（通常の受信動作をします）（初期値） [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB = 1 のデータを受信したとき
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信割り込み（RXI）要求、受信エラー割り込み（ERI）要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】 * RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB = 1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI 割り込み要求の発生（SCR の RIE ビットが 1 にセットされている場合）と FER、ORER フラグのセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル（TEIE）

MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み（TEI）要求の発生を許可／禁止します。

ビット 2	説明
TEIE	
0	送信終了割り込み（TEI）要求を禁止*（初期値）
1	送信終了割り込み（TEI）要求を許可*

【注】 * TEI の解除は、SSR の TDRE フラグから 1 をリードした後、0 にクリアして TEND フラグを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

11. シリアルコミュニケーションインタフェース

ビット 1、0 : クロックイネーブル 1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可 / 禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子を入出力ポートにするか、シリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作 (CKE1 = 0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE = 1) の場合は CKE0 ビットの設定は無効です。また、CKE1、CKE0 ビットの設定を行ったのち、SMR で SCI の動作モードを設定してください。

SCI のクロックソースの選択についての詳細は表 11.9 を参照してください。

ビット 1	ビット 0	説 明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック / SCK 端子は入出力ポート* ¹
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力* ¹
	1	調歩同期式モード	内部クロック / SCK 端子はクロック出力* ²
		クロック同期式モード	内部クロック / SCK 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック / SCK 端子はクロック入力* ³
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力
	1	調歩同期式モード	外部クロック / SCK 端子はクロック入力* ³
		クロック同期式モード	外部クロック / SCK 端子は同期クロック入力

【注】 *1 初期値

*2 ビットレートと同じ周波数のクロックを出力

*3 ビットレートの 16 倍の周波数のクロックを入力

11.2.7 シリアルステータスレジスタ (SSR)

SCIの動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

マルチプロセッサビットトランスファ送信時のマルチプロセッサビットの値を設定するビットです。
 マルチプロセッサビット受信したマルチプロセッサビットを格納するビットです。
 トランスミットエンド送信終了を示すステータスフラグです。
 パリティエラー受信時にパリティエラーを検出したことを示すステータスフラグです。
 フレーミングエラー受信時にフレーミングエラーを検出したことを示すステータスフラグです。
 オーバランエラー受信時にオーバランエラーを検出したことを示すステータスフラグです。
 レシーブデータレジスタフル受信を完了しRDRにデータが格納されていることを示すステータスフラグです。
 トランスミットデータレジスタエンブティTDRからTSRに送信データが転送されTDRにデータをライトすることが可能であることを示すステータスフラグです。

【注】 * フラグをクリアするための0ライトのみ可能です。

SSRは常にCPUからリード/ライトできます。ただし、TDRE、RDRF、ORER、PER、FERの各フラグへ1をライトすることはできません。また、これらを0にクリアするためには、あらかじめ1をリードしておく必要があります。また、TENDフラグ、およびMPBフラグはリード専用であり、ライトすることはできません。

SSRは、リセット、またはスタンバイモード時にH'84に初期化されます。

11. シリアルコミュニケーションインタフェース

ビット7：トランスミットデータレジスタエンブティ (TDRE)

TDR から TSR にデータ転送が行われ TDR に次のシリアル送信データをライトすることが可能になったことを示します。

ビット7	説明
TDRE	
0	TDR に有効な送信データがライトされていることを表示 [クリア条件] TDRE = 1 の状態をリードした後、0 をライトしたとき
1	TDR に有効な送信データがないことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモード時 (2) SCR の TE ビットが0のとき (3) TDR から TSR にデータ転送が行われ TDR にデータライトが可能になったとき

ビット6：レシーブデータレジスタフル (RDRF)

受信したデータが RDR に格納されていることを示します。

ビット6	説明
RDRF	
0	RDR に受信データが格納されていないことを表示 (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) RDRF = 1 の状態をリードした後、0 をライトしたとき
1	RDR に受信データが格納されていることを表示 [セット条件] シリアル受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、および SCR の RE ビットを0にクリアしたときには RDR および RDRF フラグは影響を受けず以前の状態を保持します。

RDRF フラグが1にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。

ビット 5 : オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット 5	説明
ORER	
0	受信中、または正常に受信を完了したことを表示 (初期値)* ¹ [クリア条件] (1) リセット、またはスタンバイモード時 (2) ORER = 1 の状態をリードした後、0 をライトしたとき
1	受信時にオーバランエラーが発生したことを表示* ² [セット条件] RDRF = 1 の状態で次のシリアル受信を完了したとき

【注】 *1 SCR の RE ビットを 0 にクリアしたときには、ORER フラグは影響を受けず以前の状態を保持します。

*2 RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER = 1 にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信を続けることもできません。

ビット 4 : フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット 4	説明
FER	
0	受信中、または正常に受信を完了したことを表示 (初期値)* ¹ [クリア条件] (1) リセット、またはスタンバイモード時 (2) FER = 1 の状態をリードした後、0 をライトしたとき
1	受信時にフレーミングエラーが発生したことを表示 [セット条件] SCI が受信終了時に受信データの最後尾のストップビットが 1 であるかどうかをチェックし、ストップビットが 0 であったとき* ²

【注】 *1 SCR の RE ビットを 0 にクリアしたときには、FER フラグは影響を受けず以前の状態を保持します。

*2 2ストップビットモードのときは、1 ビット目のストップビットが 1 であるかどうかのみを判定し、2 ビット目のストップビットはチェックをしません。なお、フレーミングエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。さらに、FER フラグが 1 にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。

11. シリアルコミュニケーションインタフェース

ビット3：パリティエラー（PER）

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説明
PER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) PER = 1 の状態をリードした後、0 をライトしたとき
1	受信時にパリティエラーが発生したことを表示* ² [セット条件] 受信時の受信データとパリティビットをあわせた1の数が、SMRのO/Eビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき

- 【注】 *¹ SCRのREビットを0にクリアしたときには、PERフラグは影響を受けず以前の状態を保持します。
*² パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

ビット2：トランスミットエンド（TEND）

送信キャラクタの最後尾ビットの送信時にTDRに有効なデータがなく、送信を終了したことを示します。

TENDフラグはリード専用ですので、ライトすることはできません。

ビット2	説明
TEND	
0	送信中であることを表示 [クリア条件] TDRE = 1 の状態をリードした後、TDREフラグに0をライトしたとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモード時 (2) SCRのTEビットが0のとき (3) 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE = 1であったとき

ビット1：マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、リード専用であり、ライトすることはできません。

ビット1	説明
MPB	
0	マルチプロセッサビットが0のデータを受信したことを表示* (初期値)
1	マルチプロセッサビットが1のデータを受信したことを表示

【注】 * マルチプロセッサフォーマットでRE ビットを0にクリアしたときには、以前の状態を保持します。

ビット0：マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信でないときにはMPBT ビットの設定は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビットが0のデータを送信 (初期値)
1	マルチプロセッサビットが1のデータを送信

11.2.8 ビットレートレジスタ (BRR)

BRR は、SMR の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信 / 受信のビットレートを設定する 8 ビットのレジスタです。

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BRR は、常に CPU によるリード / ライトが可能です。

BRR は、リセット、またはスタンバイモード時に H'FF に初期化されます。

なお、チャンネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表 11.3 に調歩同期式モードの BRR の設定例を表 11.4 にクロック同期式モードの BRR の設定例を示します。

表 11.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕

ビットレート (bit/s)	ϕ (MHz)											
	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	0	6	-6.99	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	0	2	8.51	0	2	13.78	0	3	0.00	0	4	-2.34
31250	0	1	0.00	0	1	4.86	0	1	22.88	0	2	0.00
38400	0	1	-18.62	0	1	-14.67	0	1	0.00			

ビットレート (bit/s)	ϕ (MHz)											
	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	0	6	-6.99	0	7	0.00	0	7	1.73
31250				0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	0	2	8.51	0	3	0.00	0	3	1.73

11. シリアルコミュニケーションインタフェース

ビットレート (bit/s)	ϕ (MHz)											
	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	- 0.44	2	108	0.08	2	130	- 0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	- 2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	- 2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	- 2.34	0	4	0.00	0	5	0.00	0	6	- 6.99

ビットレート (bit/s)	ϕ (MHz)											
	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	- 0.26	2	177	- 0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	- 1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	- 2.34	0	19	0.00
31250	0	9	- 1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	- 2.34	0	9	0.00

11. シリアルコミュニケーションインタフェース

ビットレート (bit/s)	ϕ (MHz)											
	14			14.7456			16			18		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	- 0.17	3	64	0.70	3	70	0.03	3	79	- 0.12
150	2	181	0.16	2	191	0.00	2	207	0.16	2	233	0.16
300	2	90	0.16	2	95	0.00	2	103	0.16	2	116	0.16
600	1	181	0.16	1	191	0.00	1	207	0.16	1	233	0.16
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	116	0.16
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	233	0.16
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	116	0.16
9600	0	45	- 0.93	0	47	0.00	0	51	0.16	0	58	- 0.69
19200	0	22	- 0.93	0	23	0.00	0	25	0.16	0	28	1.02
31250	0	11	0.00	0	14	- 1.70	0	15	0.00	0	17	0.00
38400	0	10	3.57	0	11	0.00	0	12	0.16	0	14	- 2.34

11. シリアルコミュニケーションインタフェース

表 11.4 ビットレートに対する BRR の設定例〔クロック同期式モード〕

ビットレート (bit/s)	φ (MHz)											
	2		4		8		10		16		18	
	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70										
250	2	124	2	249	3	124			3	249		
500	1	249	2	124	2	249			3	124	3	140
1k	1	124	1	249	2	124			2	249	3	69
2.5k	0	199	1	99	1	199	1	249	2	99	2	112
5k	0	99	0	199	1	99	1	124	1	199	1	224
10k	0	49	0	99	0	199	0	249	1	99	1	112
25k	0	19	0	39	0	79	0	99	0	159	0	179
50k	0	9	0	19	0	39	0	49	0	79	0	89
100k	0	4	0	9	0	19	0	24	0	39	0	44
250k	0	1	0	3	0	7	0	9	0	15	0	17
500k	0	0*	0	1	0	3	0	4	0	7	0	8
1M			0	0*	0	1			0	3	0	4
2M					0	0*			0	1		
2.5M							0	0*				
4M									0	0*		

【記号説明】

空欄 : 設定できません。

- : 設定可能ですが誤差がでます。

* : 連続送信 / 受信はできません。

【注】 誤差は、なるべく 1%以内になるように設定してください。

BRR の設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{\phi}{64 \times 2^{2n-1} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{\phi}{8 \times 2^{2n-1} \times B} \times 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 (0 N 255)

φ : 動作周波数 (MHz)

11. シリアルコミュニケーションインタフェース

n : ボーレートジェネレータ入力クロック (n=0~3)
 (nとクロックの関係は下表を参照してください。)

n	クロック	SMR の設定値	
		CKS1	CKS0
0	ϕ	0	0
1	$\phi/4$	0	1
2	$\phi/16$	1	0
3	$\phi/64$	1	1

【注】 調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

11. シリアルコミュニケーションインタフェース

表 11.5 に調歩同期式モードの各周波数における最大ビットレートを示します。また、表 11.6、表 11.7 に外部クロック入力時の最大ビットレートを示します。

表 11.5 各周波数における最大ビットレート (調歩同期式モード)

ϕ (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
5	156250	0	0
6	187500	0	0
6.144	192000	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0

表 11.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
5	1.2500	78125
6	1.5000	93750
6.144	1.5360	96000
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250

表 11.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

ϕ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.3333	333333.3
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0

11.3 動作説明

11.3.1 概要

SCI は、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの 2 方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、SMR で行います。これを表 11.8 に示します。また、SCI のクロックソースは、SMR の C/A ビットおよび SCR の CKE1、CKE0 ビットの組み合わせで決まります。これを表 11.9 に示します。

(1) 調歩同期式モード

データ長：7 ビット / 8 ビットから選択可能

パリティの付加、マルチプロセッサビットの付加、および 1 ビット / 2 ビットのストップビットの付加を選択可能(これらの組み合わせにより送信 / 受信フォーマットおよび、キャラクタ長を決定)

受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能

SCI のクロックソース：内部クロック / 外部クロックから選択可能

- 内部クロックを選択した場合 : SCI はポーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
- 外部クロックを選択した場合 : ビットレートの 16 倍の周波数のクロックを入力することが必要(内蔵ポーレートジェネレータを使用しない)

(2) クロック同期式モード

送信 / 受信フォーマット：8 ビットデータ固定

受信時にオーバランエラーの検出可能

SCI のクロックソース：内部クロック / 外部クロックから選択可能

- 内部クロックを選択した場合 : SCI はポーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
- 外部クロックを選択した場合 : 内部ポーレートジェネレータを使用せず、入力された同期クロックで動作

表 11.8 SMR の設定値とシリアル送信/受信フォーマット

SMR の設定値					モード	SCI の送信 / 受信フォーマット							
ビット7	ビット6	ビット2	ビット5	ビット3		データ長	マルチプロセッサビット	パリティビット	ストップビット長				
C/ \bar{A}	CHR	MP	PE	STOP									
0	0	0	0	0	調歩同期式モード	8ビットデータ	なし	なし	1ビット				
				1					2ビット				
			1	0					1ビット				
				1					2ビット				
			1	0					7ビットデータ	なし	1ビット		
				1					2ビット				
	1	0	1	あり		1ビット							
		1	2ビット										
	1	0	1	0		0	調歩同期式モード(マルチプロセッサフォーマット)	8ビットデータ	あり	なし	1ビット		
						1					2ビット		
				1		0					7ビットデータ	1ビット	
		1				2ビット							
1		1		0	1	1		8ビットデータ			なし	なし	なし
													なし
	なし												

表 11.9 SMR、SCR の設定と SCI のクロックソースの選択

SMR	SCR の設定値		モード	SCI の送信 / 受信クロック		
	ビット7	ビット1		ビット0	クロックソース	SCK 端子の機能
C/ \bar{A}	CKE1	CKE0				
0	0	0	調歩同期式モード	内部	SCI は、SCK 端子を使用しません	
					ビットレートと同じ周波数のクロックを出力	
		1		0	外部	ビットレートの 16 倍の周波数のクロックを入力
						1
1	0	0	クロック同期式モード	内部	同期クロックを出力	
					1	
		1		0	外部	同期クロックを入力
						1

11.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信 / 受信し、1 キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信 / 受信中にデータのリード / ライトができるので、連続送信 / 受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 11.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の 1 キャラクタは、スタートビット (Low レベル) から始まり、データ (LSB ファースト: 最下位ビットから)、パリティビット (High / Low レベル)、最後にストップビット (High レベル) の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを 1 ビット期間の 16 倍の周波数のクロックの 8 番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

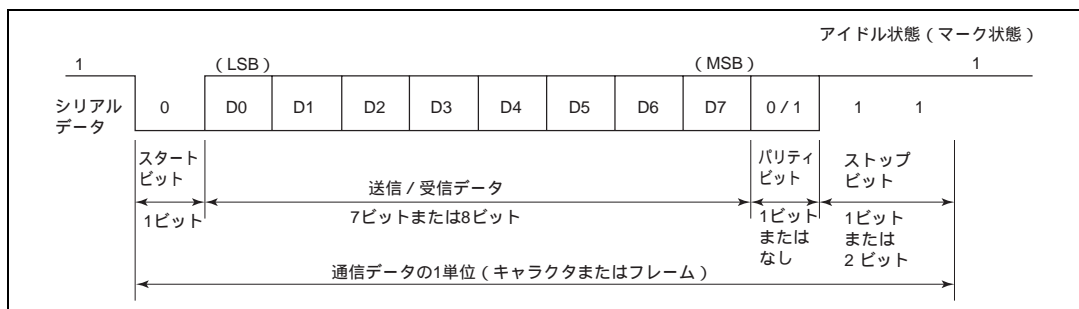


図 11.2 調歩同期式通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

(1) 送信 / 受信フォーマット

調歩同期式モードで設定できる送信 / 受信フォーマットを、表 11.10 に示します。
送信 / 受信フォーマットは 12 種類あり、SMR の選定により選択できます。

表 11.10 シリアル送信 / 受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信 / 受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0		1	0	S	8ビットデータ								MPB	STOP		
0		1	1	S	8ビットデータ								MPB	STOP	STOP	
1		1	0	S	7ビットデータ							MPB	STOP			
1		1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

S : スタートビット
 STOP : ストップビット
 P : パリティビット
 MPB : マルチプロセスビット

11. シリアルコミュニケーションインタフェース

(2) クロック

SCI の送受信クロックは、SMR の C/\bar{A} ビットと SCR の CKE1、CKE0 ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは、SCK 端子から入力された外部クロックの 2 種類から選択できます。SCI のクロックソースの選択については表 11.9 を参照してください。

外部クロックを SCK 端子に入力する場合には、使用するビットレートの 16 倍の周波数のクロックを入力してください。内部クロックで動作させるとき、SCK 端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図 11.3 に示すように送信データの中央にクロック立ち上がりエッジがくるようになります。

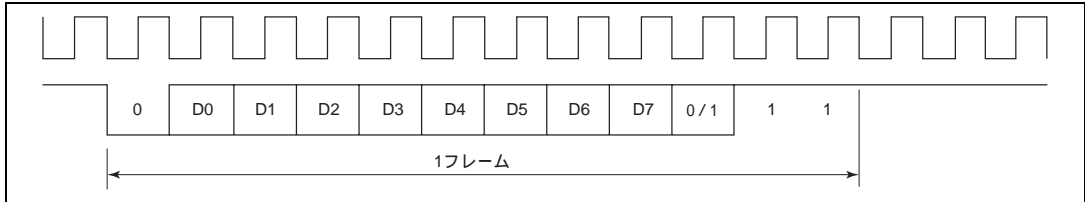


図 11.3 出力クロックと通信データの位相関係（調歩同期式モード）

(3) データの送信 / 受信動作

SCI の初期化（調歩同期式）

データの送信 / 受信前には、まず SCR の TE、RE ビットを 0 にクリアした後、以下の順で SCI を初期化してください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TE ビットおよび RE ビットを 0 にクリアしてから次の手順で変更を行ってください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR が初期化されます。RE ビットを 0 にクリアしても、RDRF、PER、FER、ORER の各フラグおよび、RDR の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図 11.4 に SCI の初期化フローチャートの例を示します。

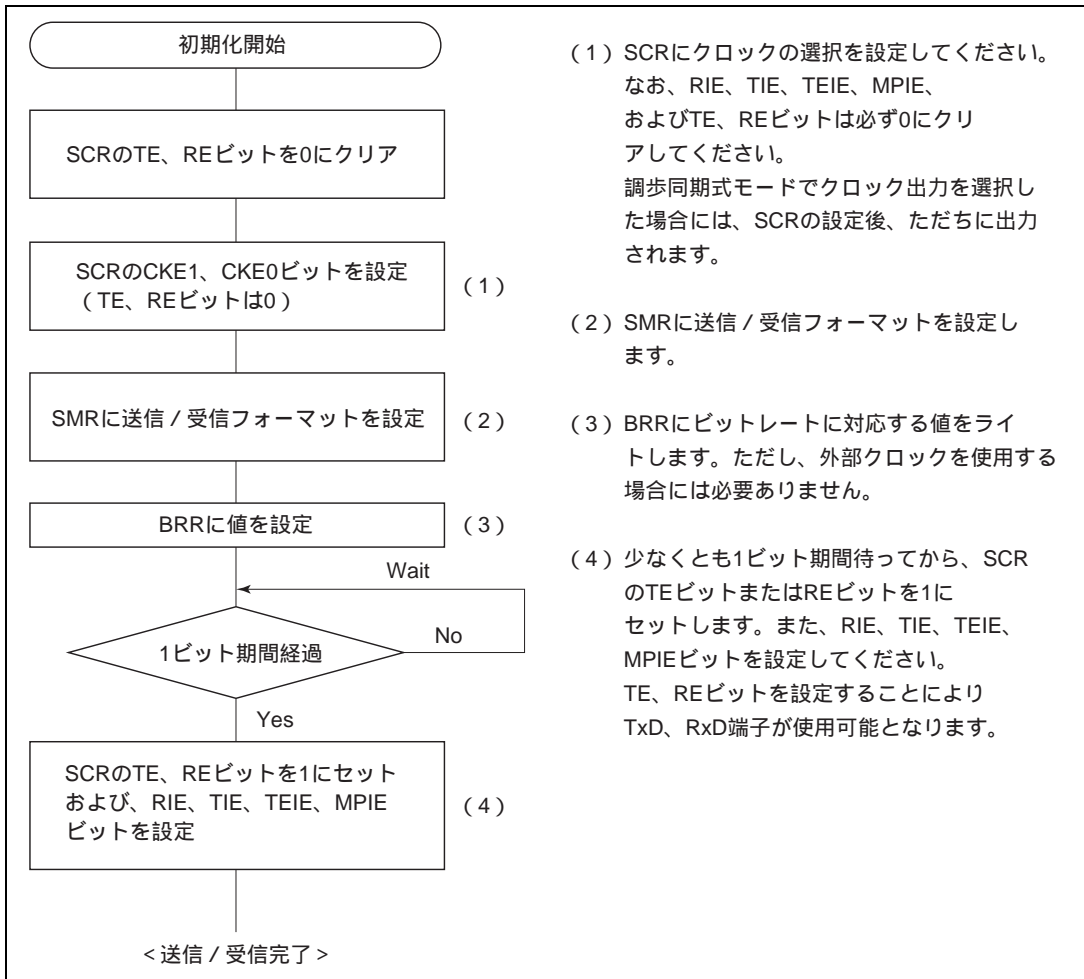


図 11.4 SCIの初期化フローチャートの例

11. シリアルコミュニケーションインタフェース

シリアルデータ送信（調歩同期式）

図 11.5 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

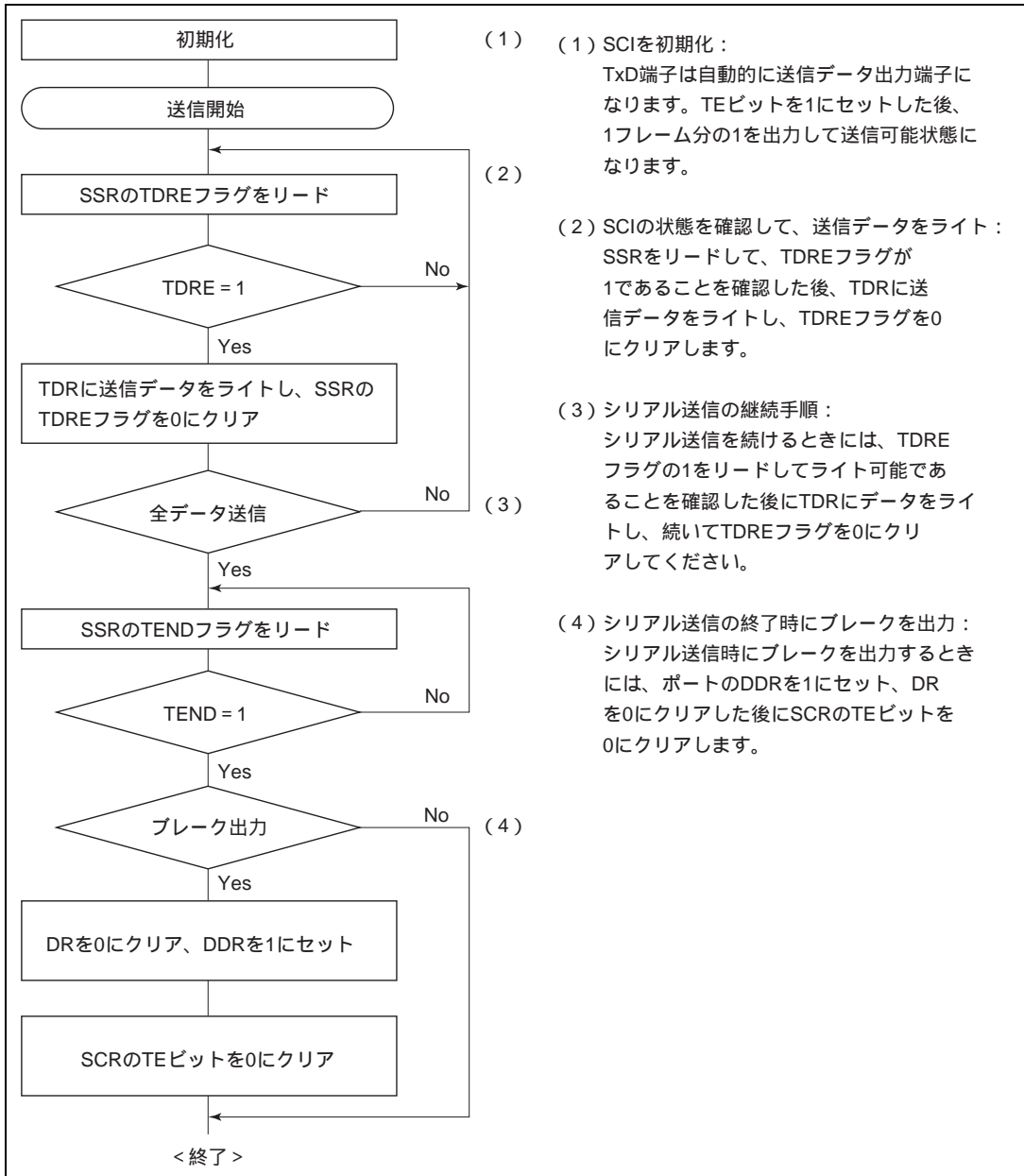


図 11.5 シリアル送信のフローチャートの例

SCI はシリアル送信時に以下のように動作します。

- (1) SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。
シリアル送信データは、以下の順にTxD端子から送り出されます。
 - (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
 - (c) パリティビットまたはマルチプロセッサビット：1ビットのパリティビット (偶数パリティ、または奇数パリティ)、または1ビットのマルチプロセッサビットが出力されます。
なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
 - (d) ストップビット：1ビット/2ビットの1 (ストップビット) が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- (3) SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。
TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。
TDREフラグが1であるとSSRのTENDフラグに1をセットし、ストップビットを送り出した後、1を出力する"マーク状態"になります。このときSCRのTEIEビットが1にセットされているとTEI割り込み要求を発生します。

調歩同期モードでの送信時の動作例を図11.6に示します。

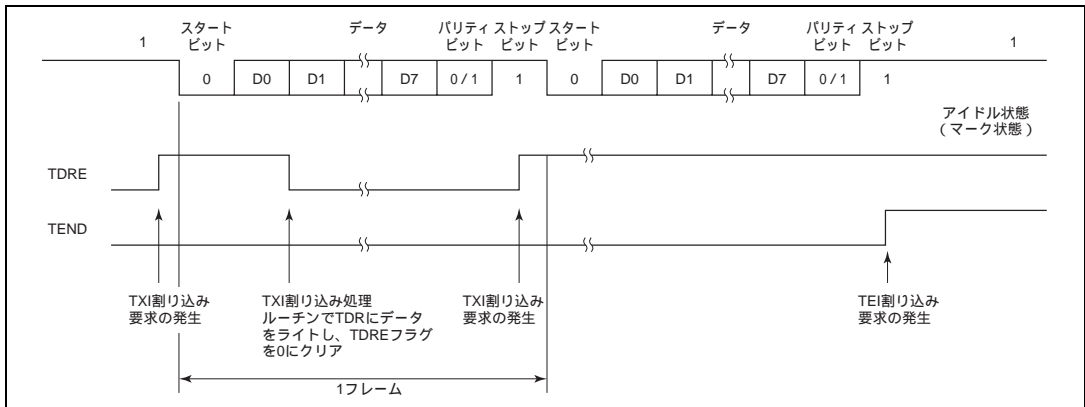


図 11.6 調歩同期モードでの送信時の動作例
(8ビットデータ/パリティあり/1ストップビットの例)

11. シリアルコミュニケーションインタフェース

シリアルデータ受信（調歩同期式）

図 11.7 にシリアル受信フローチャートの例を示します。
シリアルデータ受信は以下の手順に従って行ってください。

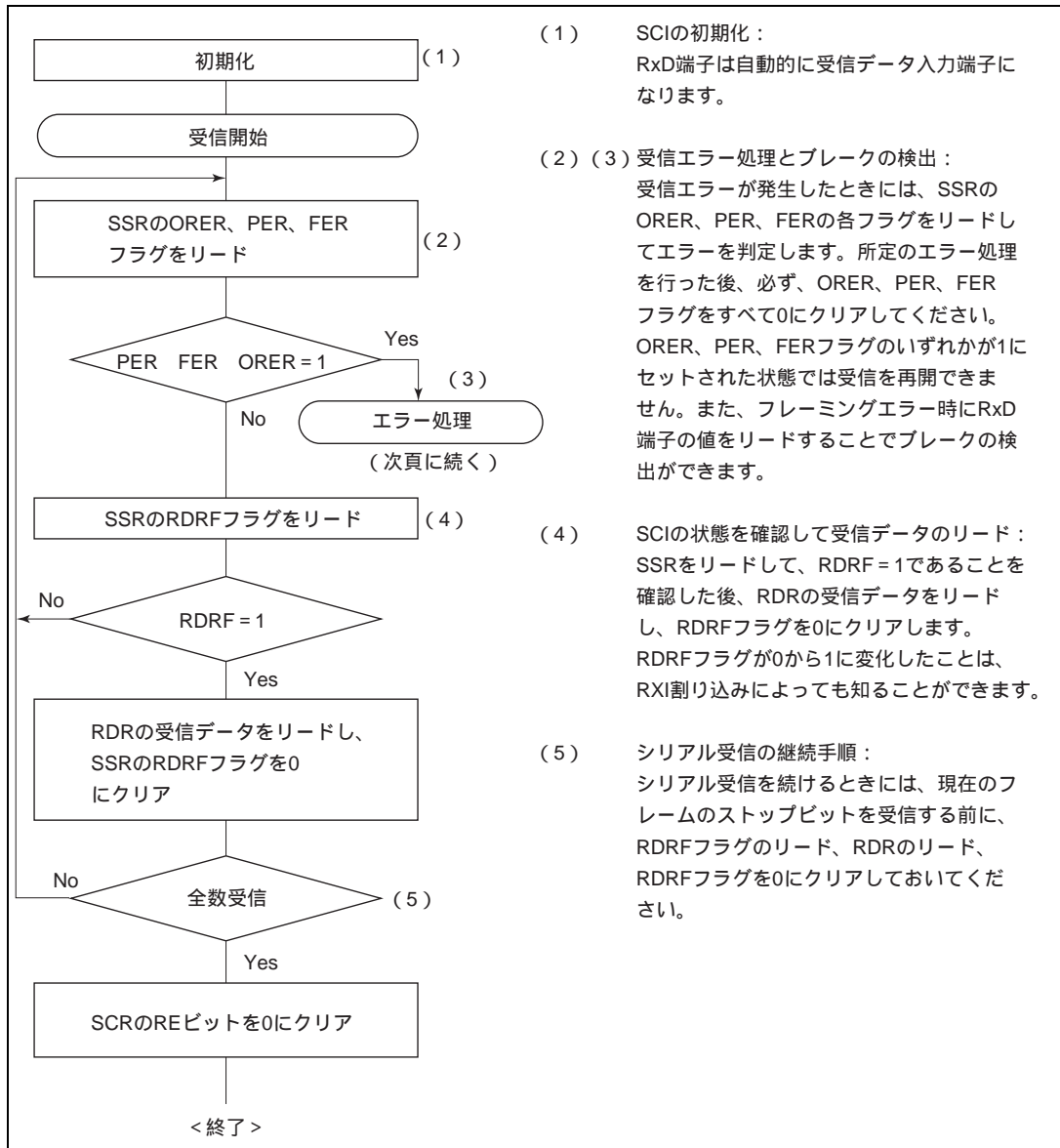


図 11.7 シリアル受信データフローチャートの例 (1)

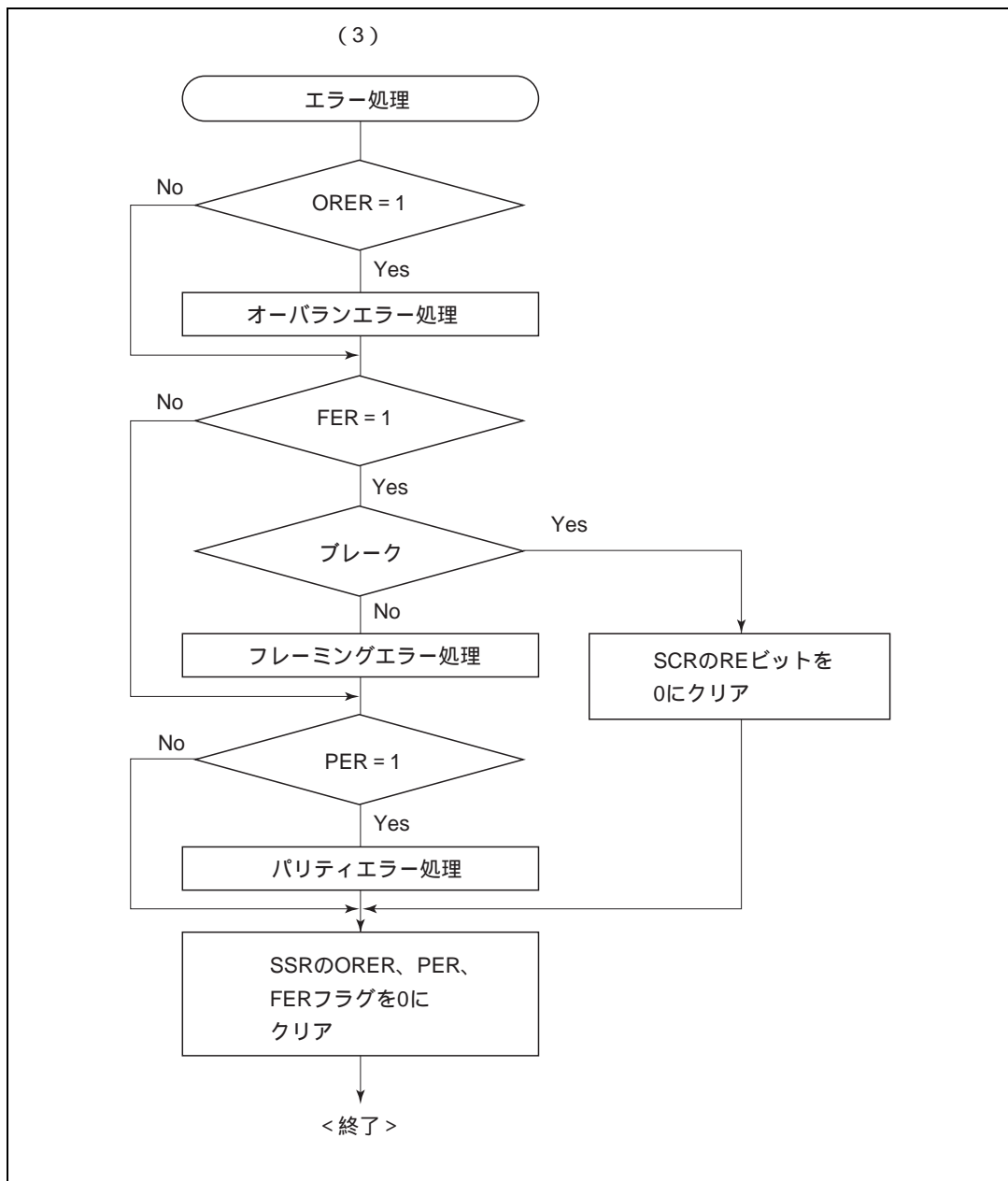


図 11.7 シリアル受信データフローチャートの例 (2)

11. シリアルコミュニケーションインタフェース

SCIは受信時に以下のように動作します。

- (1) SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
- (2) 受信したデータをRSRのLSBからMSBの順に格納します。
- (3) パリティビットおよび、ストップビットを受信します。

受信後、SCIは以下のチェックを行います。

- (a) パリティチェック：受信データの1の数をチェックし、これがSMRのO/Eビットで設定した偶数/奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRFフラグが1にセットされ、RDRに受信データが格納されます。

エラーチェックで受信エラー*が発生すると表11.11のように動作します。

- 【注】* 受信エラーが発生した状態では、以後の受信動作ができません。
また、受信時に RDRF フラグが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。
- (4) RDRFフラグが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORER、PER、FERフラグのいずれかが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

表 11.11 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SSRのRDRFフラグが1にセットされたまま次のデータ受信を完了したとき	RSRからRDRに受信データは転送されません。
フレーミングエラー	FER	ストップビットが0のとき	RSRからRDRに受信データが転送されます。
パリティエラー	PER	SMRで設定した偶数/奇数パリティの設定と受信したデータが異なるとき	RSRからRDRに受信データが転送されます。

調歩同期モード受信時の動作例を図 11.8 に示します。

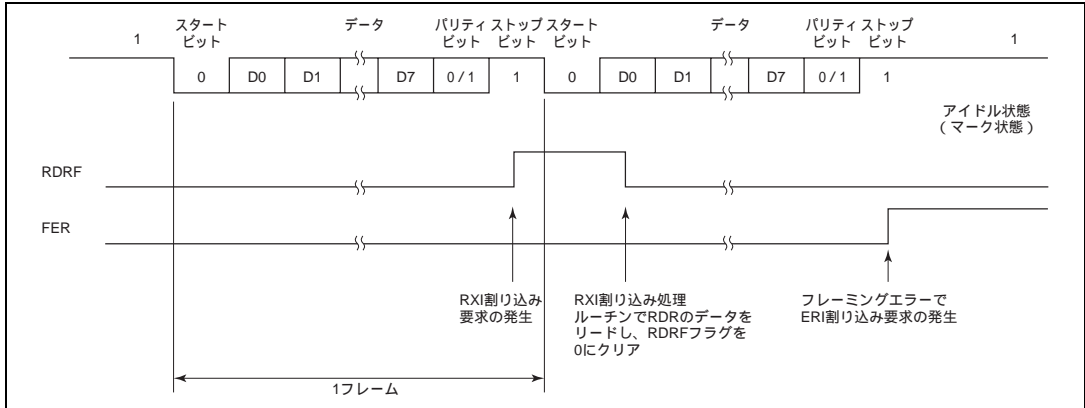


図 11.8 SCI の受信時の動作例 (8 ビットデータ / パリティあり / 1 ストップビットの例)

11.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 11.9 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

11. シリアルコミュニケーションインタフェース

(1) 送信 / 受信フォーマット

送信 / 受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 11.11 を参照してください。

(2) クロック

「11.3.2 調歩同期式モード時の動作 (2) クロック」を参照してください。

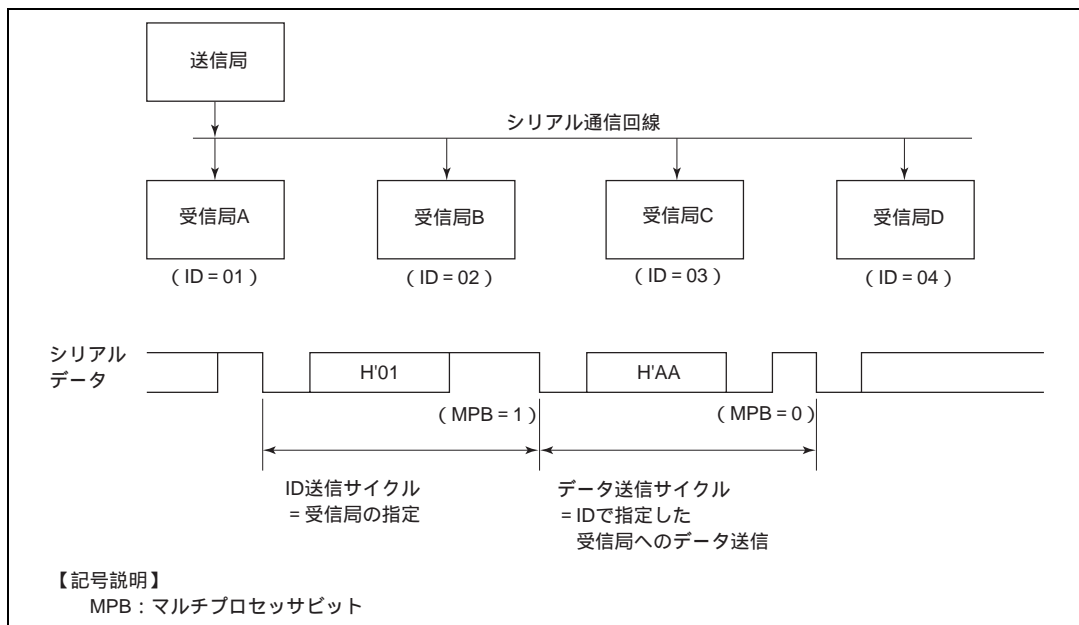


図 11.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(3) データの送信 / 受信動作

マルチプロセッサシリアルデータ送信

図 11.10 にマルチプロセッサシリアル送信のフローチャートの例を示します。
マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。

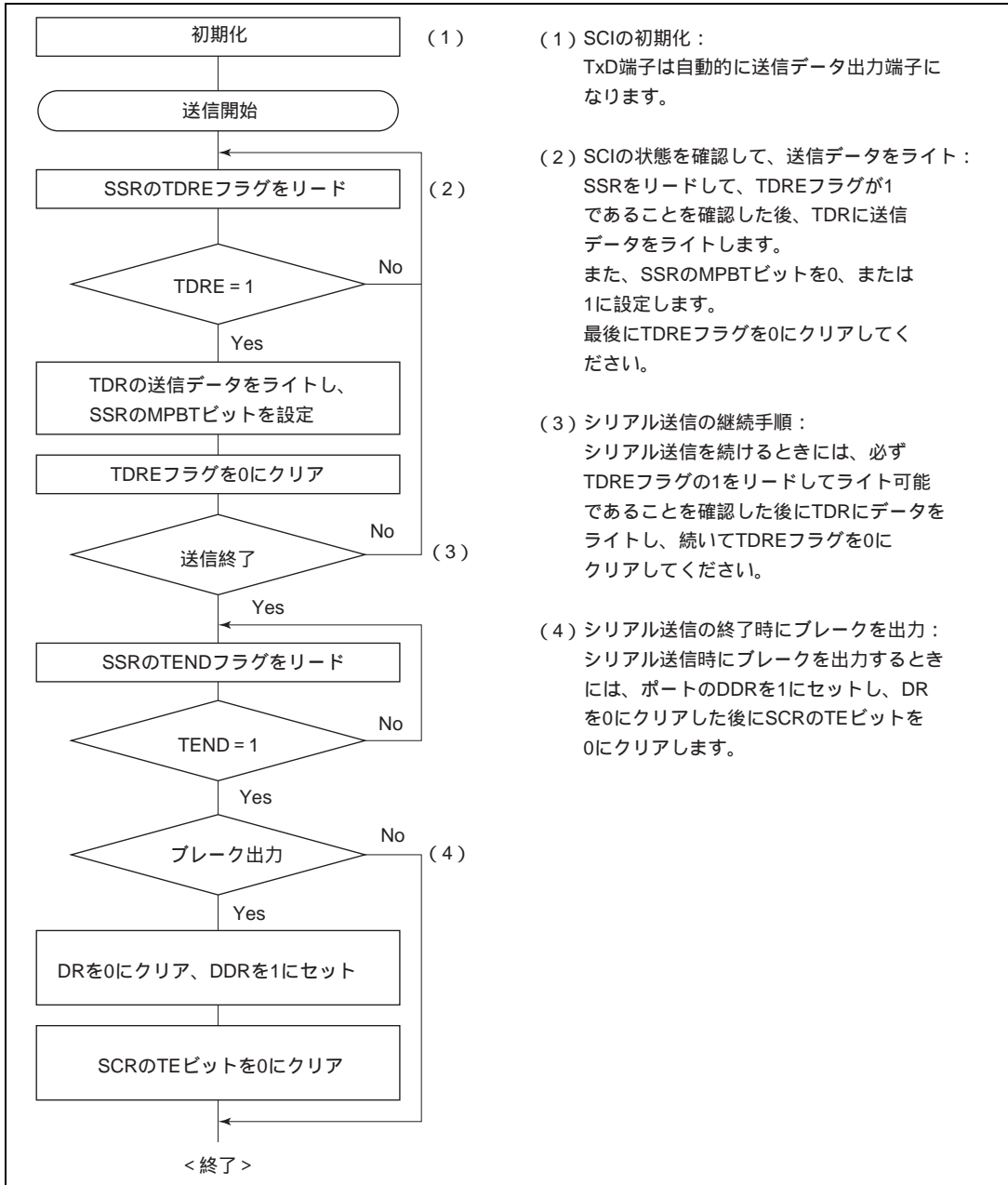


図 11.10 マルチプロセッサシリアル送信のフローチャートの例

11. シリアルコミュニケーションインタフェース

SCIはシリアル送信時に以下のように動作します。

- (1) SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順にTxD端子から送りだされます。

- (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビット/7ビットのデータがLSBから順に出力されます。
 - (c) マルチプロセッサビット：1ビットのマルチプロセッサビット (MPBTの値) が出力されます。
 - (d) ストップビット：1ビット/2ビットの1 (ストップビット) が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- (3) SCIは、ストップビットを送り出すタイミングでTDREフラグをチェックします。

TDREフラグが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。

TDREフラグが1であるとSSRのTENDフラグを1にセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCRのTEIEビットが1にセットされていると送信終了割り込み (TEI) 要求を発生します。

図11.11にマルチプロセッサフォーマットのSCIの送信時の動作例を示します。

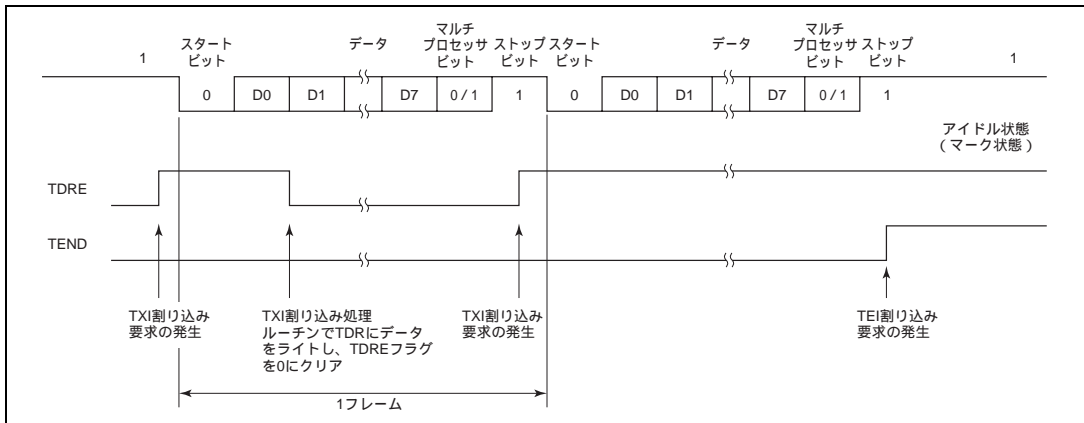


図 11.11 SCI の送信時の動作例
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

マルチプロセッサシリアルデータ受信

図 11.12 にマルチプロセッサシリアル受信のフローチャートの例を示します。
 マルチプロセッサシリアルデータ受信は、以下の手順に従って行ってください。

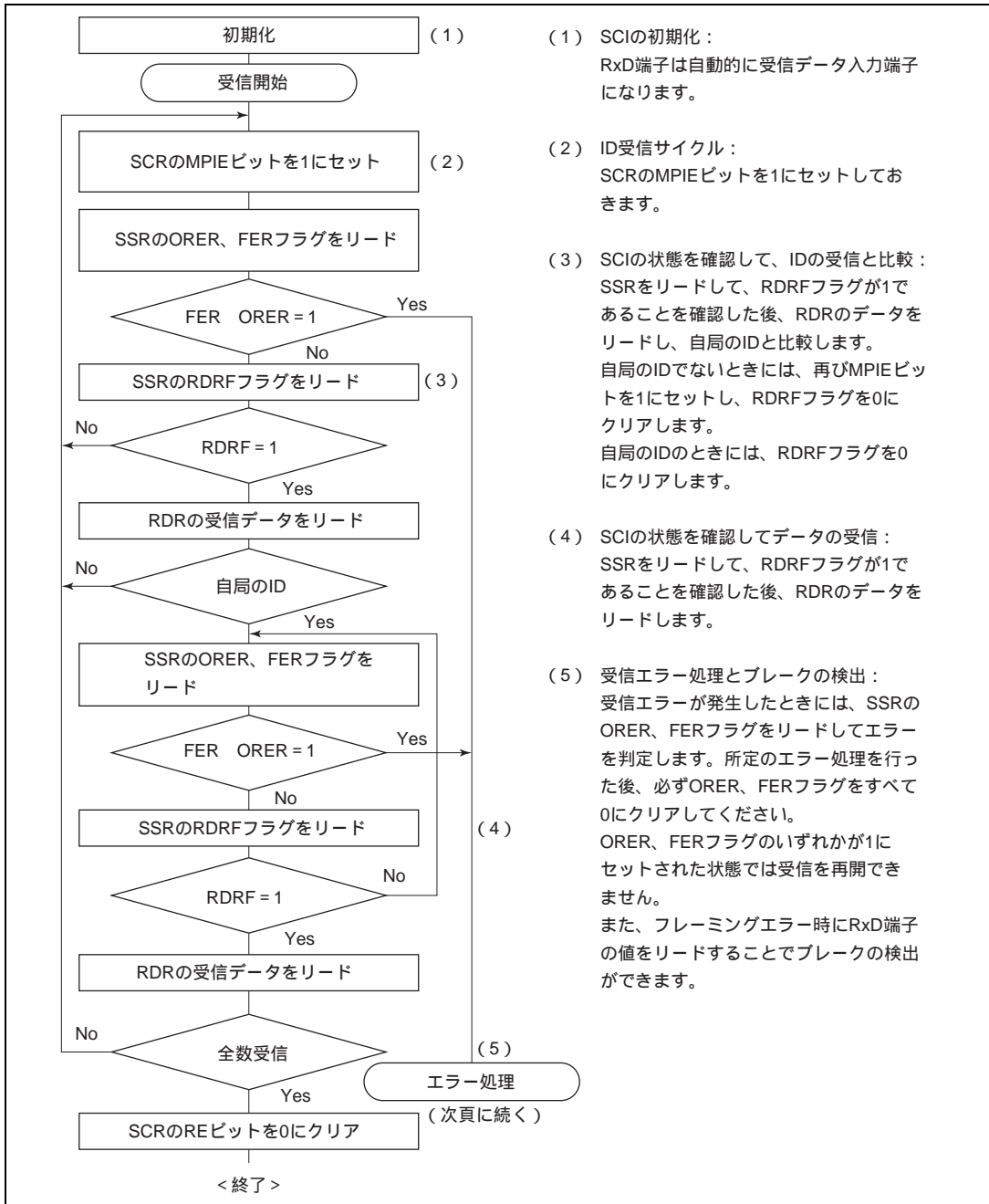


図 11.12 マルチプロセッサシリアル受信のフローチャートの例 (1)

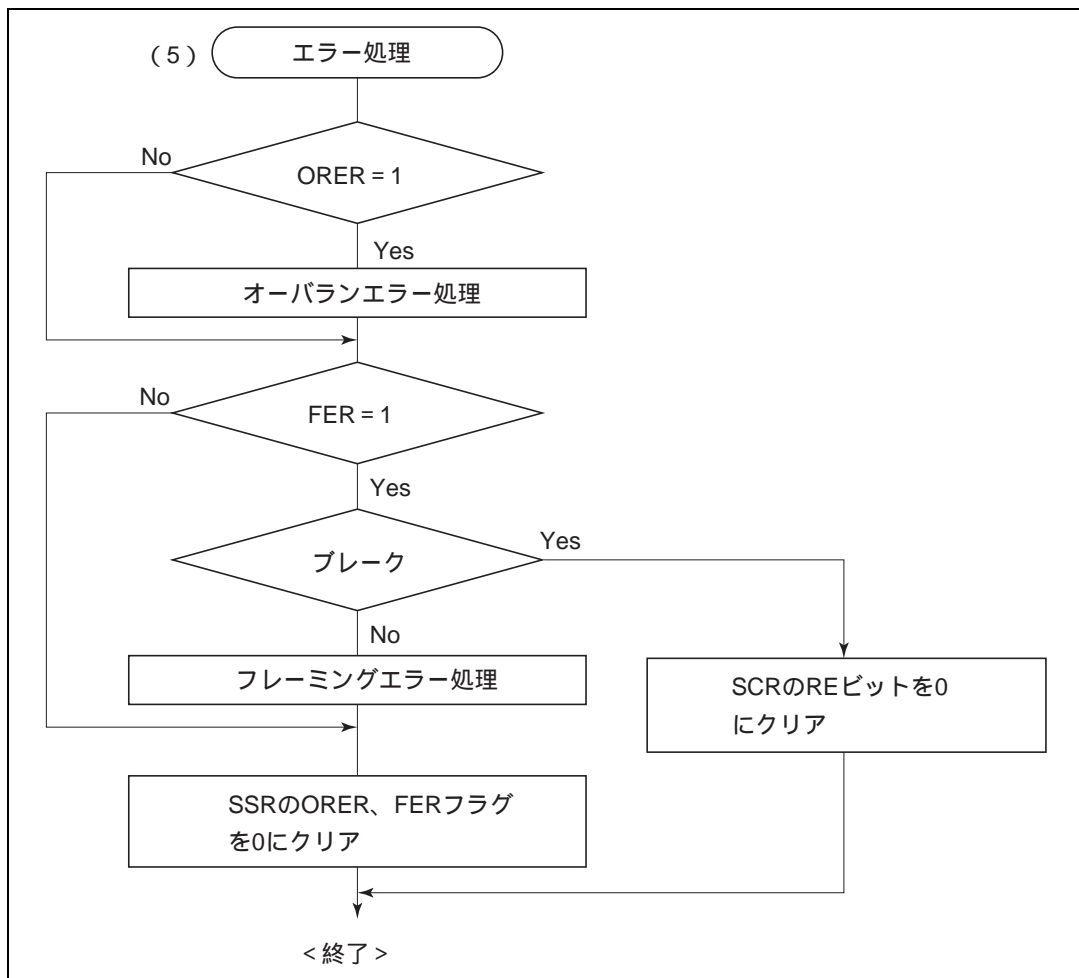


図 11.12 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 11.13 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

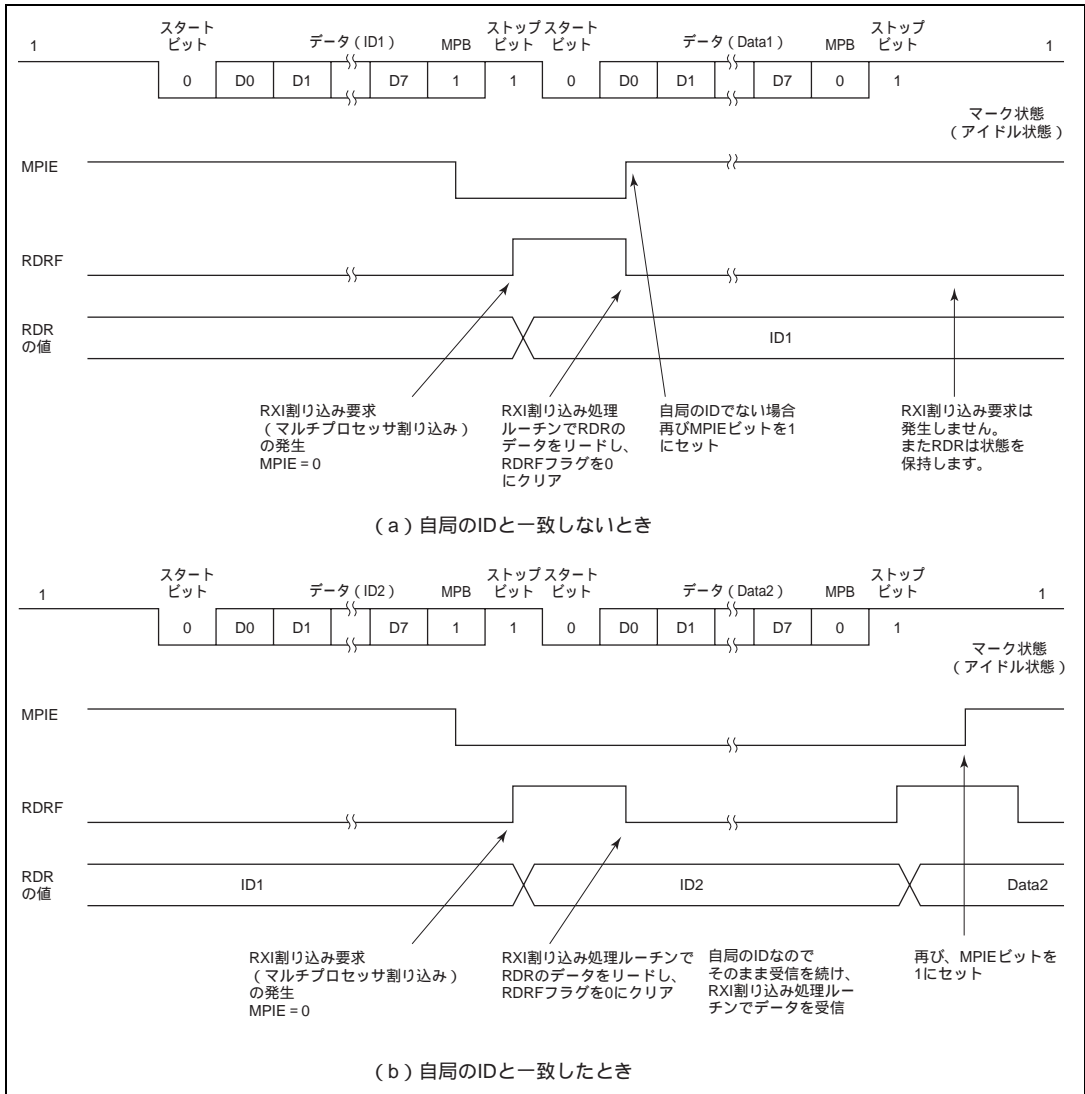


図 11.13 SCI の受信時の動作例
(8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

11.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信 / 受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部が共にダブルバッファ構造になっていますので送信 / 受信中にデータのリード / ライトができ、連続送信 / 受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 11.14 に示します。

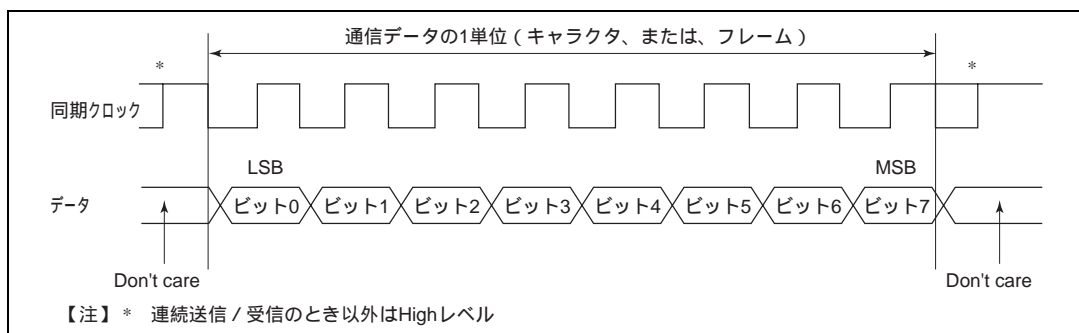


図 11.14 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち上がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信 / 受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRのC/AビットとSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表 11.9 を参照してください。

内部クロックで動作させるとき、SCK端子からは同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信/受信を行わないときにはHighレベルに固定されます。

(3) データの送信 / 受信動作

SCI の初期化 (クロック同期式)

データの送信 / 受信前には、SCR の TE、RE ビットを 0 にクリアした後、以下の手順に従い SCI を初期化してください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE フラグは 1 にセットされ、TSR が初期化されます。

RE ビットを 0 にクリアしても RDRF、PER、FER、ORE の各フラグ、および RDR の内容は保持されますので注意してください。

図 11.15 に SCI の初期化フローチャートの例を示します。

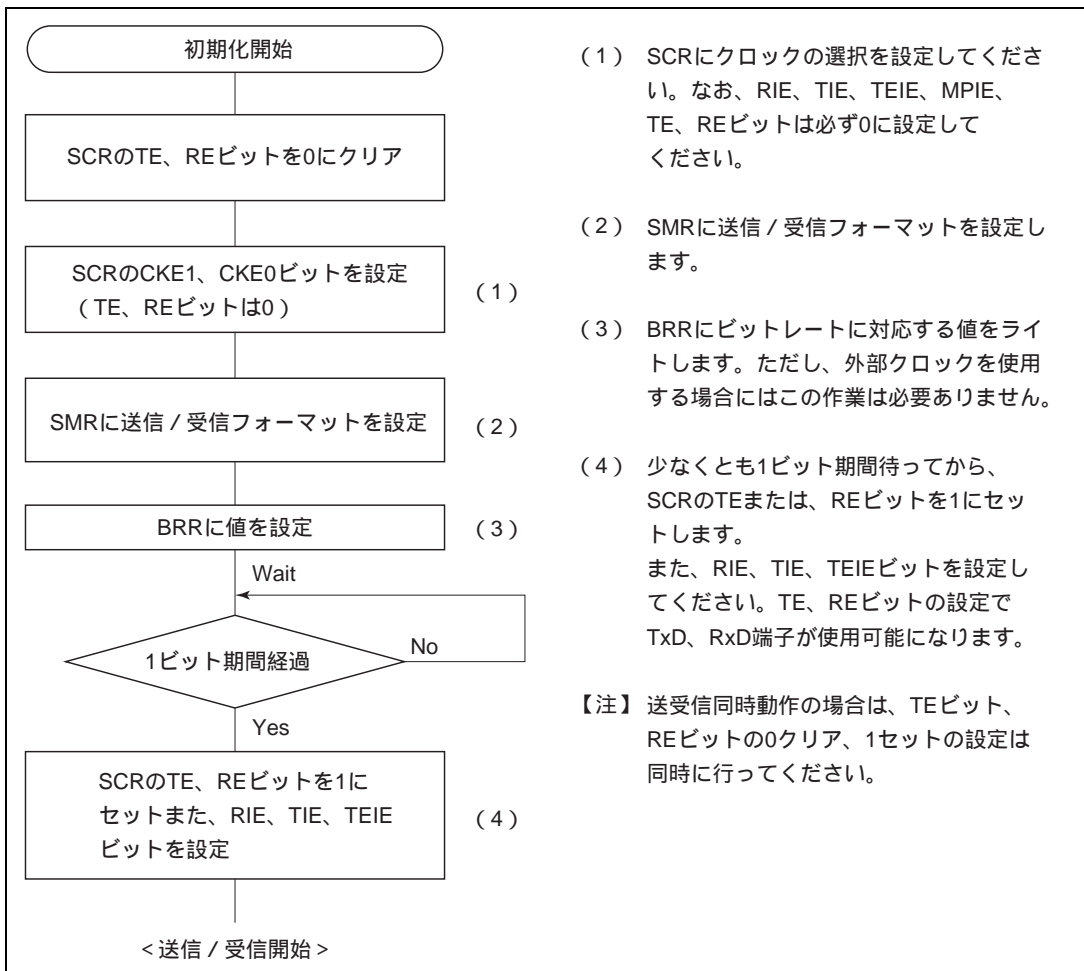


図 11.15 SCI の初期化フローチャートの例

11. シリアルコミュニケーションインタフェース

シリアルデータ送信（クロック同期式）

図 11.16 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

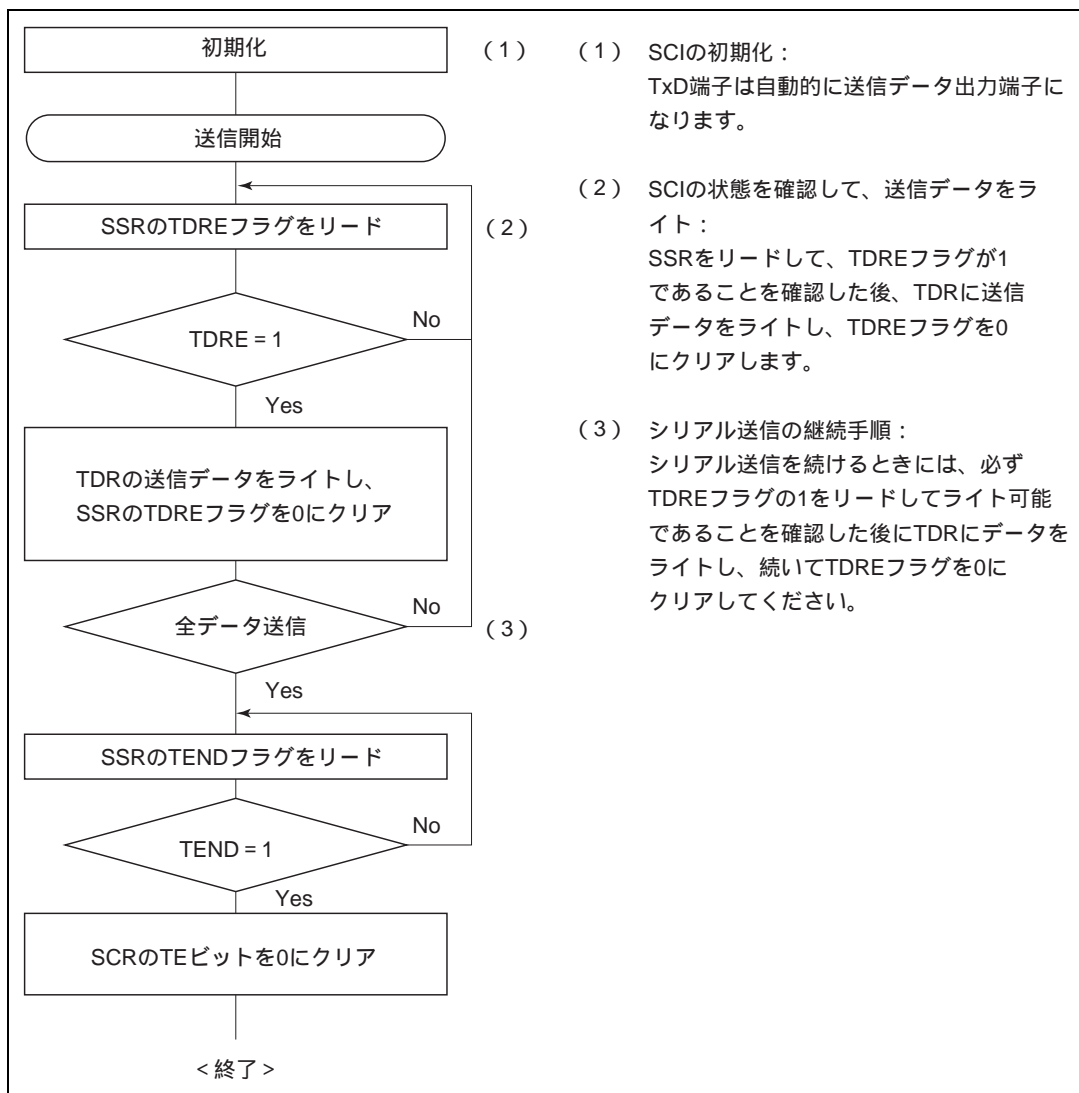


図 11.16 シリアル送信のフローチャートの例

SCIはシリアル送信時に以下のように動作します。

- (1) SCIは、SSRのTDREフラグを監視し、0であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREフラグを1にセットし、送信を開始します。
このとき、SCRのTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。
クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。
外部クロックに設定したときには、入力クロックに同期してデータを出力します。
シリアル送信データは、LSB (ビット0) ~ MSB (ビット7) の順にTxD端子から送り出されます。
- (3) SCIは、MSB (ビット7) を送り出すタイミングでTDREフラグをチェックします。TDREフラグが0であるとTDRからTSRにデータを転送し、次フレームのシリアル送信を開始します。
TDREフラグが1であるとSSRのTENDフラグを1にセットし、MSB (ビット7) を送り出した後、TxD端子は状態を保持します。
このときSCRのTEIEビットが1にセットされていると送信終了割り込み (TEI) 要求を発生します。
- (4) シリアル送信終了後は、SCK端子は固定になります。

図11.17にSCIの送信時の動作例を示します。

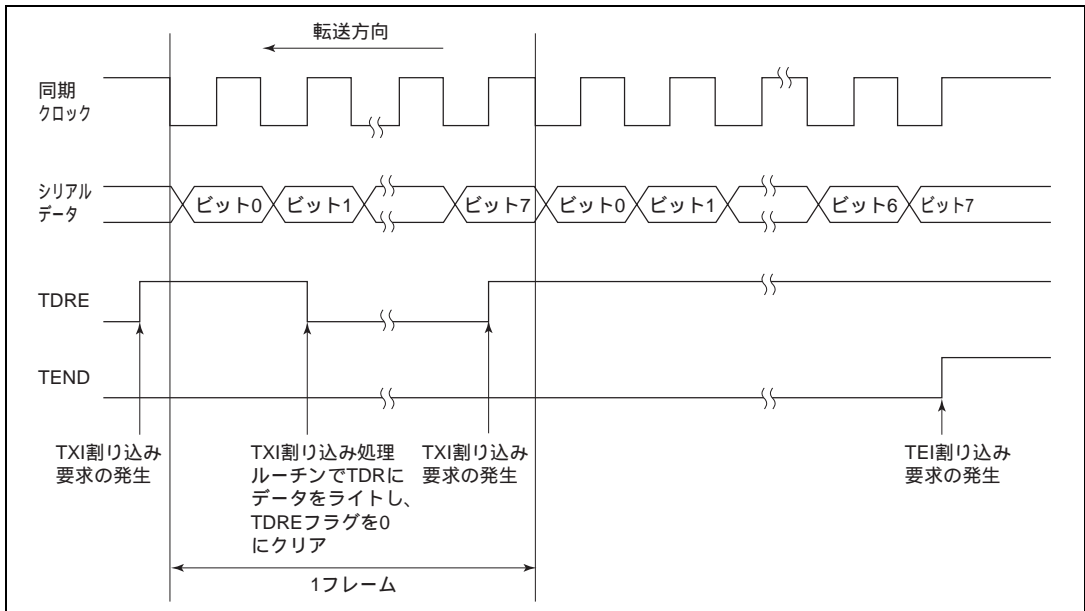


図 11.17 SCI の送信時の動作例

11. シリアルコミュニケーションインタフェース

シリアルデータ受信（クロック同期式）

図 11.18 にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FER の各フラグが 0 にクリアされていることを確認してください。

FER、PER フラグが 1 にセットされていると RDRF フラグがセットされません。また、送信 / 受信動作が行えません。

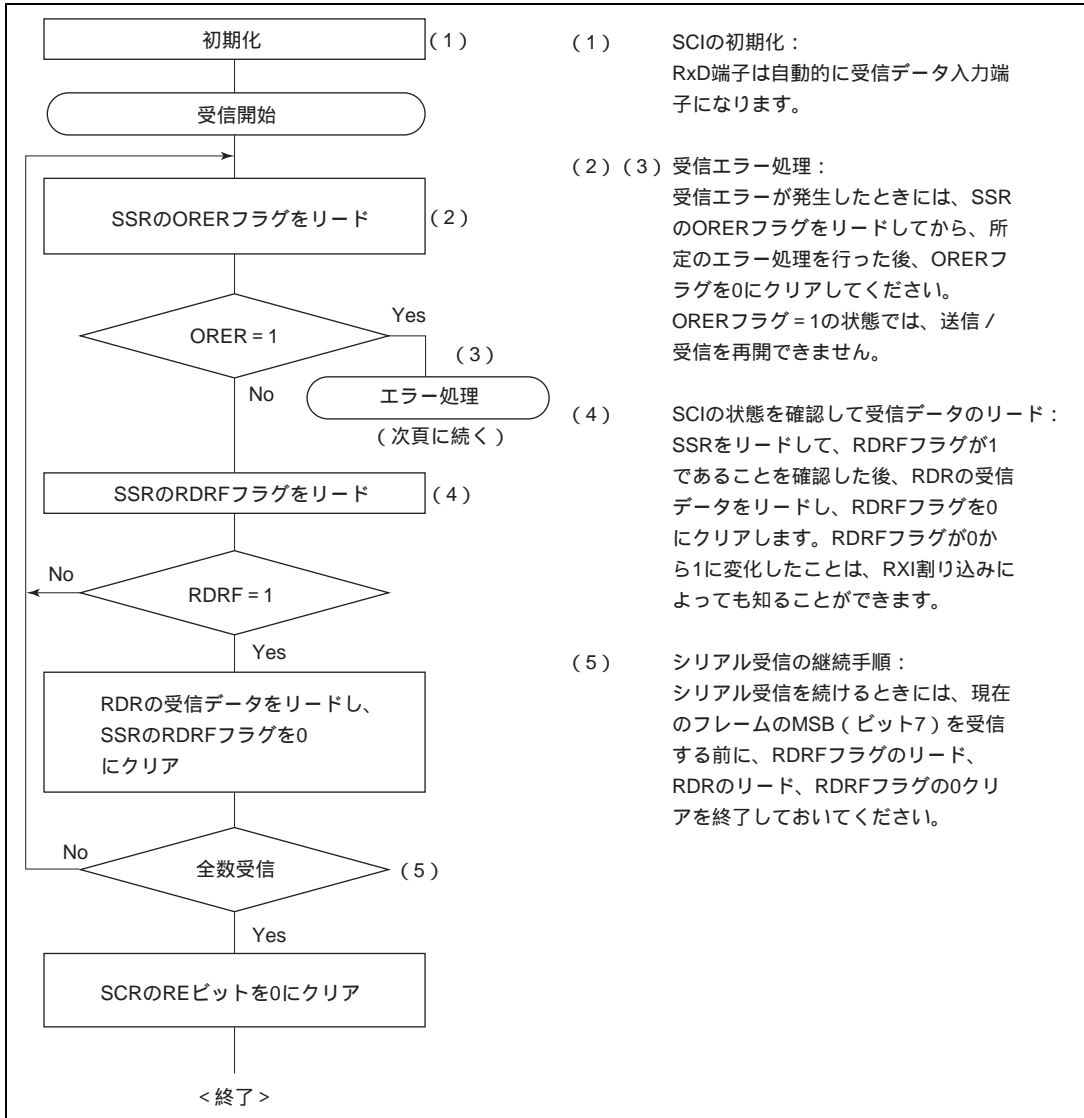


図 11.18 シリアルデータ受信フローチャートの例（1）

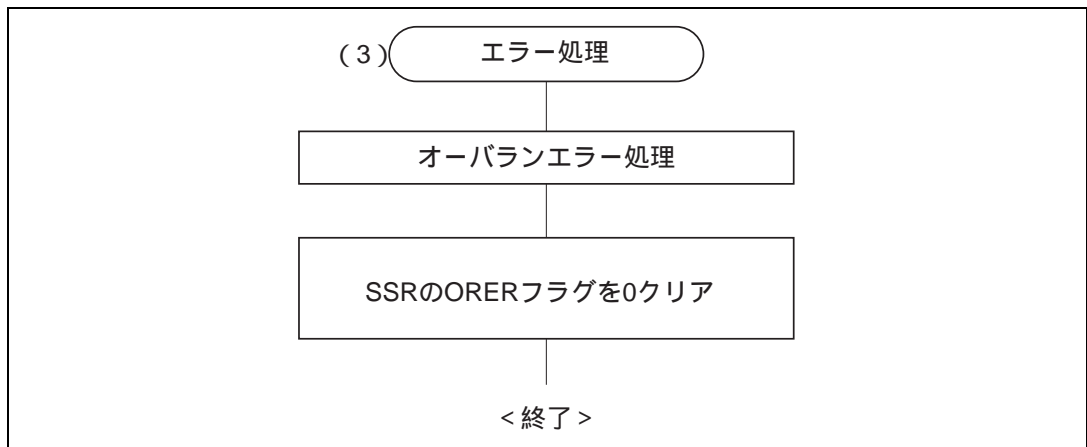


図 11.18 シリアルデータ受信フローチャートの例 (2)

11. シリアルコミュニケーションインタフェース

SCIは受信時に以下のように動作します。

- (1) SCIは同期クロックの入力または出力に同期して内部を初期化します。
- (2) 受信したデータをRSRのLSBからMSBの順に格納します。

受信後、SCIは、RDRFフラグが0であり、受信データをRSRからRDRに転送できる状態であることをチェックします。

このチェックがパスしたときRDRFフラグが1にセットされ、RDRに受信データが格納されます。エラーチェックで受信エラーが発生すると、表11.11のように動作します。エラーチェックで受信エラーが発生した状態では以後の送信、受信動作ができません。

- (3) RDRFフラグが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。

また、ORERフラグが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

図11.19にSCIの受信時の動作例を示します。

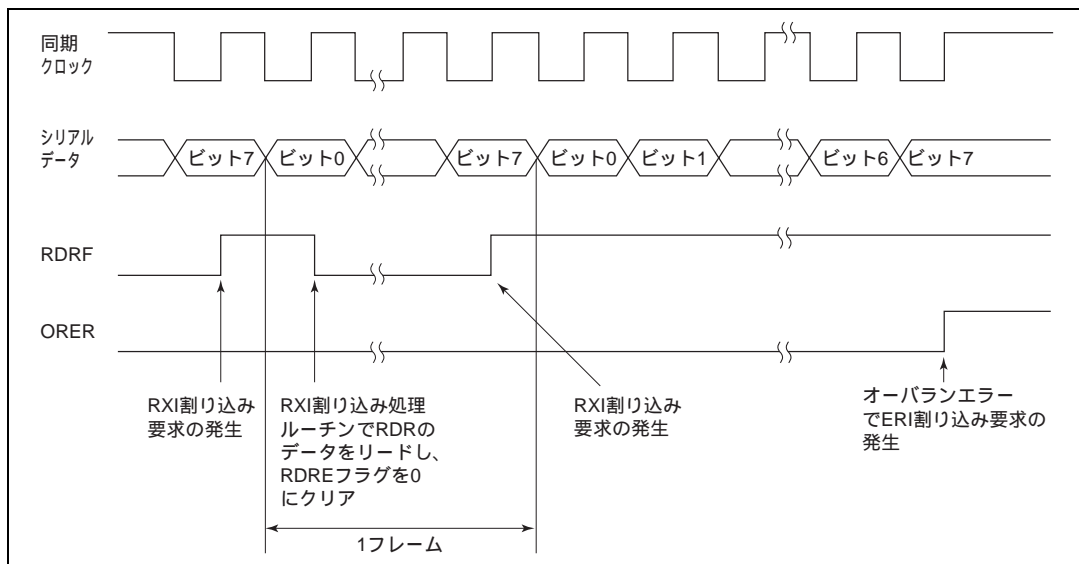


図 11.19 SCI の受信時の動作例

シリアルデータ送受信同時動作（クロック同期式）

図 11.20 にシリアル送受信同時動作のフローチャートの例を示します。
シリアルデータ送受信同時動作は、以下の手順に従い行ってください。

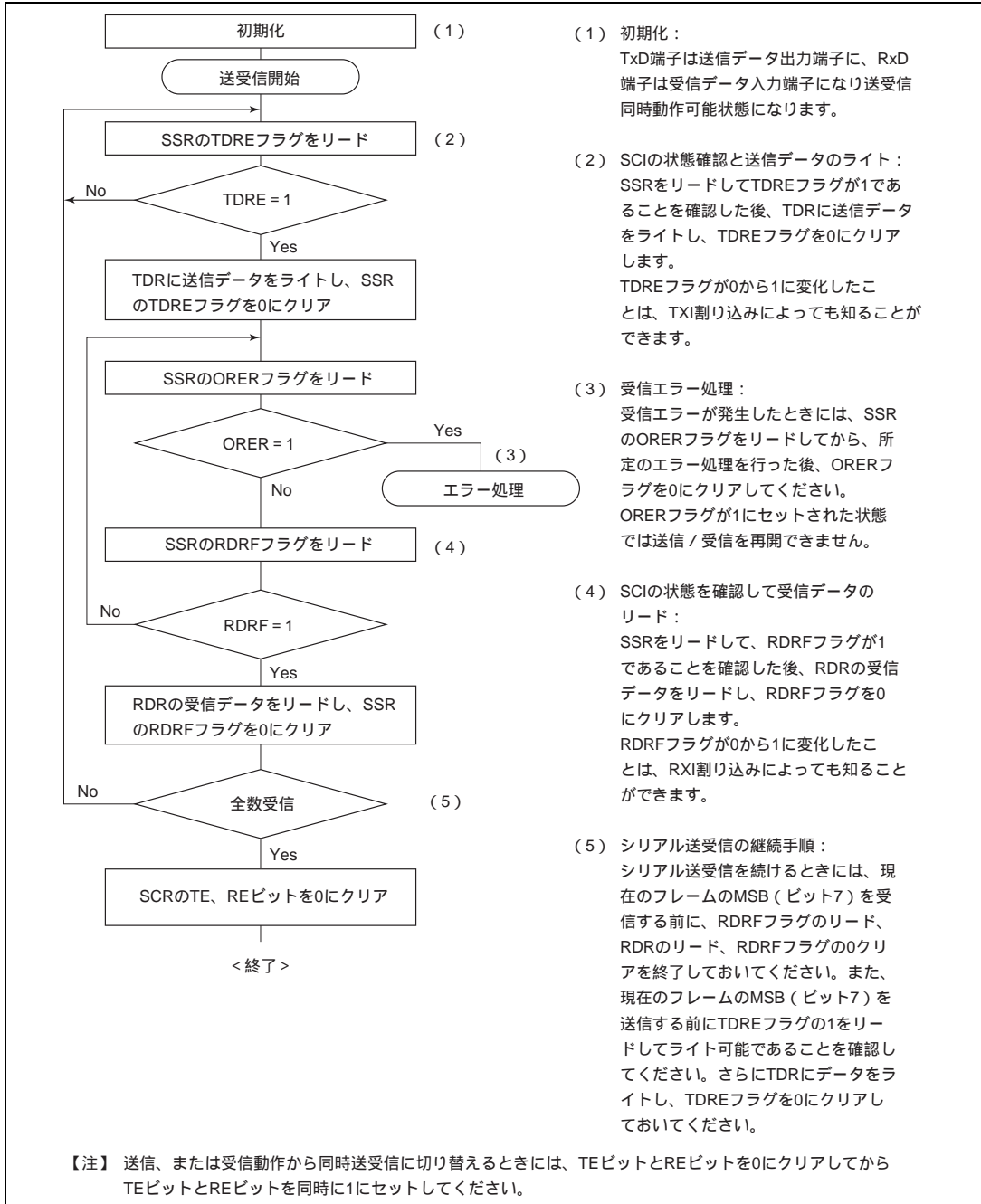


図 11.20 シリアル送受信同時動作のフローチャートの例

11.4 SCI 割り込み

SCI には、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因があります。表 11.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE ビット、RIE ビットおよび TEIE ビットで許可 / 禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると ERI 割り込み要求が発生します。

表 11.12 SCI 割り込み要因

割り込み要因	内容	優先順位
ERI	受信エラー (ORER、FER、PER) による割り込み	高 ↑ 低
RXI	受信データフル (RDRF) による割り込み	
TXI	送信データエンプティ (TDRE) による割り込み	
TEI	送信終了 (TEND) による割り込み	

11.5 使用上の注意

SCI を使用する際は、以下のことに注意してください。

(1) TDR へのライトと TDRE フラグの関係について

SSR の TDRE フラグは TDR から TSR に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE フラグが 1 にセットされます。

TDR へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータは、まだ TSR に転送されていないため失われてしまいます。したがって TDR への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSR の各ステータスフラグの状態は、表 11.13 のようになります。また、オーバランエラーが発生した場合には RSR から RDR へのデータ転送は行われず、受信データは失われます。

表 11.13 SSR のステータスフラグの状態と受信データの転送

SSR のステータスフラグ				受信データ転送 RSR→RDR	受信エラーの状態
RDRF	ORER	FER	PER		
1	1	0	0	x	オーバランエラー
0	0	1	0		フレーミングエラー
0	0	0	1		パリティエラー
1	1	1	0	x	オーバランエラー+フレーミングエラー
1	1	0	1	x	オーバランエラー+パリティエラー
0	0	1	1		フレーミングエラー+パリティエラー
1	1	1	1	x	オーバランエラー+フレーミングエラー+パリティエラー

【注】 : RSR→RDR に受信データを転送します。

x : RSR→RDR に受信データを転送しません。

(3) ブレークの検出と処理について

フレーミングエラー（FER）検出時に RxD 端子の値を直接リードすることで、ブレークを検出できます。ブレークでは、RxD 端子からの入力が入力がすべて 0 になりますので FER フラグがセットされ、またパリティエラー（PER）もセットされる場合があります。

SCI は、ブレークを受信した後も受信動作を続けますので、FER フラグを 0 にクリアしても再び 1 にセットされますので、注意してください。

(4) ブレークの送り出し

TxD 端子は、DR と DDR により入出力方向とレベルが決まる I/O ポートと兼用になっています。これを利用してブレークの送り出しができます。

シリアル送信の初期化から TE ビットを 1 にセットするまでは、マーク状態を DR の値で代替します（TE ビットを 1 にセットするまで、TxD 端子として機能しません）。このため、最初は DDR と DR を 1 に設定しておきます。

11. シリアルコミュニケーションインタフェース

シリアル送信時にブ레이크を送り出したいときは DR を 0 にクリアした後、TE ビットを 0 にクリアします。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

(5) 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE フラグを 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。これを図 11.21 に示します。

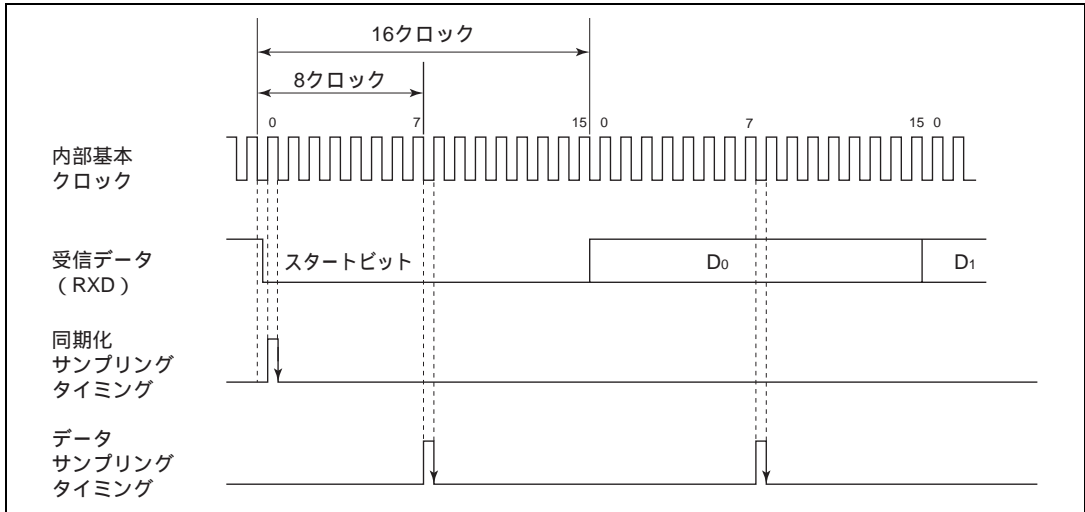


図 11.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \quad \dots \text{式 (1)}$$

- M : 受信マージン (%)
- N : クロックに対するビットレートの比 (N = 16)
- D : クロックデューティ (D = 0 ~ 1.0)
- L : フレーム長 (L = 9 ~ 12)
- F : クロック周波数の偏差の絶対値

式 (1) で、F = 0、D = 0.5 とすると、受信マージンは式 (2) より 46.875% となります。

$$\begin{aligned} & D = 0.5、F = 0 \text{ のとき} \\ M &= \left(0.5 - \frac{1}{2 \times 16} \right) \times 100\% \\ &= 46.875\% \quad \dots \text{式 (2)} \end{aligned}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20 ~ 30% の余裕を持たせてください。

11. シリアルコミュニケーションインタフェース

(7) クロック同期式使用上の制約事項

同期クロックに外部クロックソースを使用しデータ送信を行う場合、SSR の TDRE のクリアから各フレームに対応する送信クロックの先頭（立ち下がりエッジ）までの間隔は、5 ステート以上確保してください（図 11.22 参照）。本条件は連続送信を行う際にも必要です。

本条件が満たされない場合、誤動作することがあります。

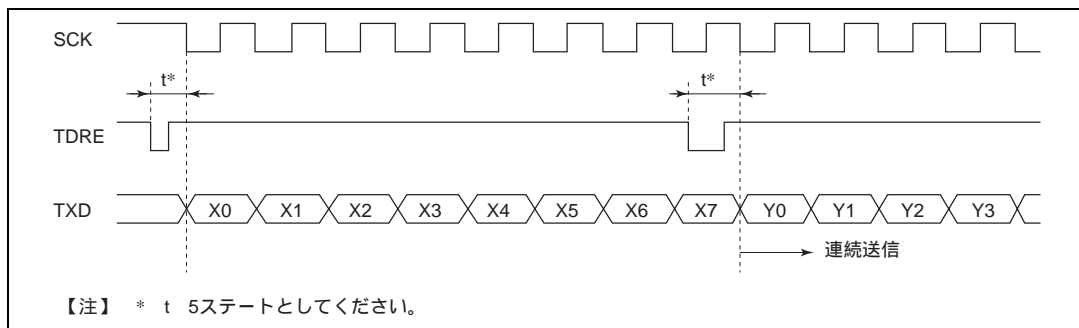


図 11.22 クロック同期式送信時の例

(8) クロック同期 SCI について SCK 端子からポート切り替え時の使用上の注意事項

(1) 動作現象

DDR = 1、DR = 1に設定し、クロック同期SCIクロック出力を使用し、送信終了状態でSCK端子をポートに切り替え時に、半サイクルLow出力後、ポート出力になります。

DDR = 1、DR = 1、 $\overline{C/A}$ = 1、CKE1 = 0、CKE0 = 0、TE = 1の状態より、以下の設定でポートに切り替え時に半サイクルのLow出力が発生します。

1. シリアルデータ送信終了
2. TEビット = 0
3. $\overline{C/A}$ ビット = 0 ... ポート出力に切り替え
4. Low出力発生 (図11.23参照)

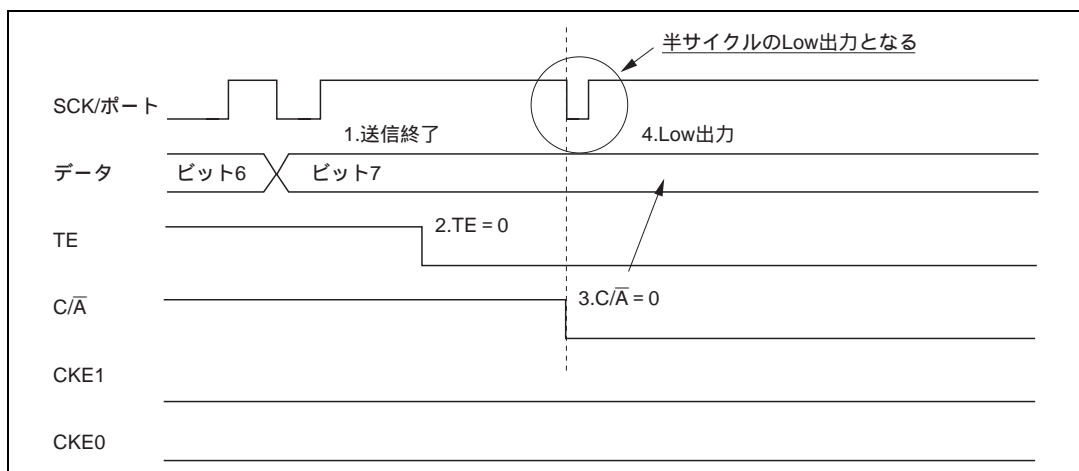


図 11.23 SCK 端子からポート端子へ切り替え時の動作

11. シリアルコミュニケーションインタフェース

(2) 使用上の注意事項

SCK端子をポートに切り替える際に発生するLow出力を回避する場合、下記の手順で行ってください。

この手順は、SCK端子を一度入力状態にするため、あらかじめSCK/ポート端子を外部回路でPull-upしてください。DDR = 1、DR = 1、C/A = 1、CKE1 = 0、CKE0 = 0、TE = 1の状態より以下の1～5の順で設定してください。

1. シリアルデータ送信終了
2. TEビット = 0
3. CKE1ビット = 1
4. C/Aビット = 0 ... ポート出力に切り替え
5. CKE1ビット = 0

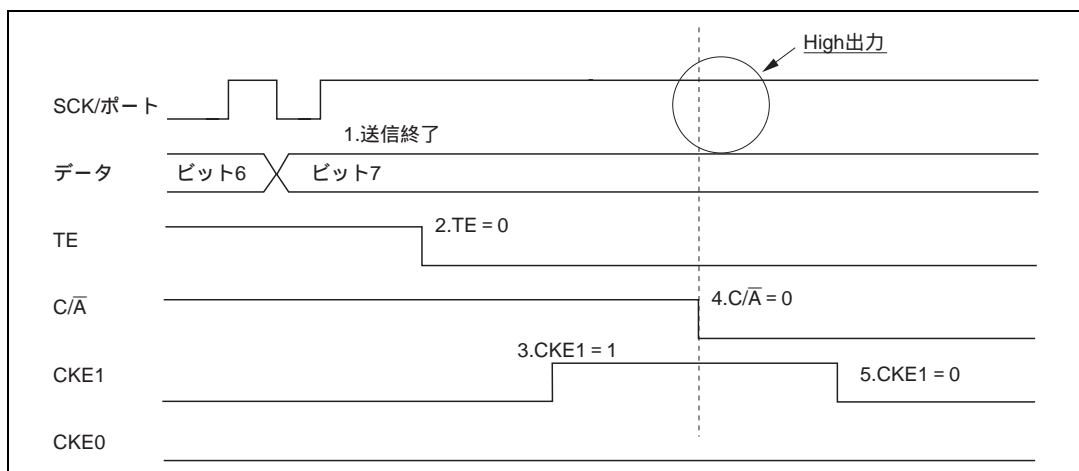


図 11.24 SCK 端子からポート端子へ切り替え時の動作 (Low 出力の回避例)

12. スマートカードインタフェース

12.1 概要

SCIO は、シリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card)に準拠した IC カード(スマートカード)インタフェースをサポートしています。通常のシリアルコミュニケーションインタフェースとスマートカードインタフェースの切り替えはレジスタの設定で行います。

12.1.1 特長

本 LSI がサポートするスマートカードインタフェースには次の特長があります。

調歩同期式モード

- データ長：8 ビット
- パリティビットの生成およびチェック
- 受信モードにおけるエラーシグナル (パリティエラー) の送出
- 送信モードにおけるエラーシグナルの検出とデータの自動再送信
- ダイレクトコンベンション/インバースコンベンションの両方をサポート

内蔵ポーレートジェネレータにより任意のビットレートを選択可能

3 種類の割り込み要因

送信データエンプティ、受信データフル、送受信エラーの 3 種類の割り込み要因があり、それぞれ独立に要求することができます。

12. スマートカードインタフェース

12.1.2 ブロック図

図 12.1 にスマートカードインタフェースのブロック図を示します。

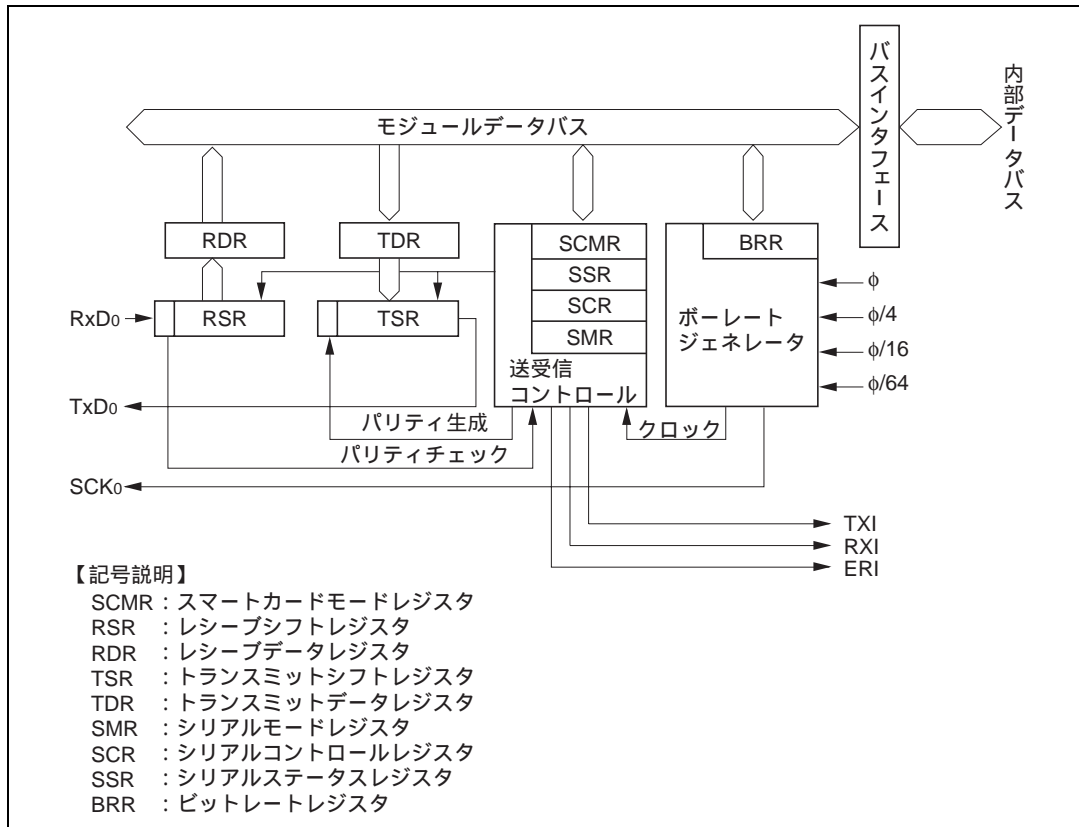


図 12.1 スマートカードインタフェースのブロック図

12.1.3 端子構成

スマートカードインタフェースの端子構成を表 12.1 に示します。

表 12.1 端子構成

名 称	略称	入出力	機 能
シリアルクロック端子 0	SCK ₀	出力	クロック出力
レシーブデータ端子 0	RxD ₀	入力	受信データ入力
トランスミットデータ端子 0	TxD ₀	出力	送信データ出力

12.1.4 レジスタ構成

スマートカードインタフェースで使用するレジスタ構成を表 12.2 に示します。SMR、BRR、SCR、TDR、RDR については、通常の SCI の機能と同様ですので、「第 11 章 シリアルコミュニケーションインタフェース」のレジスタの説明を参照してください。

表 12.2 レジスタ構成

アドレス* ¹	名 称	略称	R/W	初期値
H'FFB0	シリアルモードレジスタ	SMR	R/W	H'00
H'FFB1	ビットレートレジスタ	BRR	R/W	H'FF
H'FFB2	シリアルコントロールレジスタ	SCR	R/W	H'00
H'FFB3	トランスミットデータレジスタ	TDR	R/W	H'FF
H'FFB4	シリアルステータスレジスタ	SSR	R/(W)* ²	H'84
H'FFB5	レシーブデータレジスタ	RDR	R	H'00
H'FFB6	スマートカードモードレジスタ	SCMR	R/W	H'F2

- 【注】 *1 アドレスの下位 16 ビットを示しています。
 *2 フラグをクリアするための 0 ライトのみ可能です。

12.2 各レジスタの説明

スマートカードインタフェースで追加されるレジスタ、および機能が変更されるビットについて説明します。

12.2.1 スマートカードモードレジスタ (SCMR)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	SDIR	SINV	-	SMIF
初期値:	1	1	1	1	0	0	1	0
R/W :	-	-	-	-	R/W	R/W	-	R/W

リザーブビット

リザーブビット

スマートカード
インタフェースモードセレクト
スマートカードインタフェース
機能を許可/禁止するビットです。

スマートカードデータインパート
データのロジックレベルの
反転を指定するビットです。

スマートカードデータトランスファ
ディレクション
シリアル/パラレル変換のフォーマットを
選択するビットです。

SCMR は、8 ビットのリード/ライト可能なレジスタで、スマートカードインタフェースの機能の選択を行います。

SCMR は、リセットまたはスタンバイモード時に、H'F2 に初期化されます。

ビット 7~4: リザーブビット

リードすると常に 1 が読み出されます。ライトは無効です。

ビット 3: スマートカードデータトランスファディレクション (SDIR)

シリアル/パラレル変換のフォーマットを選択します。

ビット 3	説明
SDIR	
0	TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 (初期値)
1	TDR の内容を MSB ファーストで送信 受信データを MSB ファーストとして RDR に格納

ビット2：スマートカードデータインバート（SINV）

データのロジックレベルの反転を指定します。この機能は、SDIR ビットと組み合わせインバースコンベンションカードとの送受信に使用します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティに関する設定方法については、「12.3.4 レジスタの設定」を参照してください。

ビット2	説明
SINV	
0	TDR の内容をそのまま送信 受信データをそのまま RDR に格納 (初期値)
1	TDR の内容を反転してデータを送信 受信データを反転して RDR に格納

ビット1：リザーブビット

リードすると常に1が読み出されます。ライトは無効です。

ビット0：スマートカードインタフェースモードセレクト（SMIF）

スマートカードインタフェース機能を許可または禁止するビットです。

ビット0	説明
SMIF	
0	スマートカードインタフェース機能を禁止 (初期値)
1	スマートカードインタフェース機能を許可

12.2.2 シリアルステータスレジスタ（SSR）

ビット：	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
初期値：	1	0	0	0	0	1	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

トランスミットエンド
送信終了を示すフラグです。

エラーシグナルステータス

エラーシグナルが送出されたことを示すフラグです。

【注】* フラグをクリアするための0ライトのみ可能です。

スマートカードインタフェースモードにおいては、SSRのビット4の機能が変更されます。また、これに関連してビット2のTENDのセット条件が変更になります。

12. スマートカードインタフェース

ビット7~5:

通常の SCI と同様の動作をします。詳細は「11.2.7 シリアルステータスレジスタ (SSR)」を参照してください。

ビット4: エラーシグナルステータス (ERS)

スマートカードインタフェースモードでは、送信時に受信側から送り返されるエラーシグナルのステータスを示します。なお、スマートカードインタフェースではフレーミングエラーは検出しません。

ビット4	説明
ERS	
0	正常に受信され、エラーシグナルが無いことを表示 [クリア条件] (初期値) (1) リセット、スタンバイモード、またはモジュールストップモード時 (2) ERS = 1 の状態をリードした後、0 をライトしたとき
1	受信側からパリティエラーの検出を示すエラーシグナルが送出されたことを表示 [セット条件] エラーシグナル Low をサンプリングしたとき

【注】 SCR の TE ビットを 0 にクリアしても、ERS フラグは影響を受けず以前の状態を保持します。

ビット3~0:

通常の SCI と同様の動作をします。詳細は「11.2.7 シリアルステータスレジスタ (SSR)」を参照してください。

ただし、TEND ビットのセット条件は次のようになります。

ビット2	説明
TEND	
0	送信中であることを表示 [クリア条件] TDRE = 1 の状態をリードした後、TDRE フラグに 0 をライトしたとき
1	送信を終了したことを表示 [セット条件] (初期値) (1) リセット、またはスタンバイモード時 (2) SCR の TE ビットが 0 かつ ERS ビットが 0 のとき (3) 1 バイトのシリアルキャラクタを送信して、2.5etu 後に TDRE = 1 かつ ERS = 0 (正常送信) のとき

【注】 etu (Elementary Time Unit : 1 ビットの転送期間の略)

12.3 動作説明

12.3.1 概要

スマートカードインタフェースの主な機能は次のとおりです。

- (1) 1フレームは、8ビットデータとパリティビットで構成されます。
- (2) 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary Time Unit : 1ビットの転送期間) 以上のガードタイムをおきます。
- (3) 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。
- (4) 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを送信します。
- (5) 調歩同期式非同期通信機能のみサポートし、クロック同期式通信機能はありません。

12.3.2 端子接続

図 12.2 にスマートカードインタフェースに関する端子接続概略図を示します。

IC カードとの通信においては、1本のデータ伝送線で送信と受信が行われるので、LSI 端子で TxD_0 端子と RxD_0 端子とを結線してください。また、データ伝送線は、抵抗で電源 V_{CC} 側にプルアップしてください。

スマートカードインタフェースで生成するクロックを IC カードで使用する場合は、 SCK_0 端子出力を IC カードの CLK 端子に入力します。IC カードで、内部クロックを使用する場合は接続不要です。

リセット信号としては、LSI のポート出力を使用します。

端子としては、これ以外に通常、電源とグランドの接続が必要です。

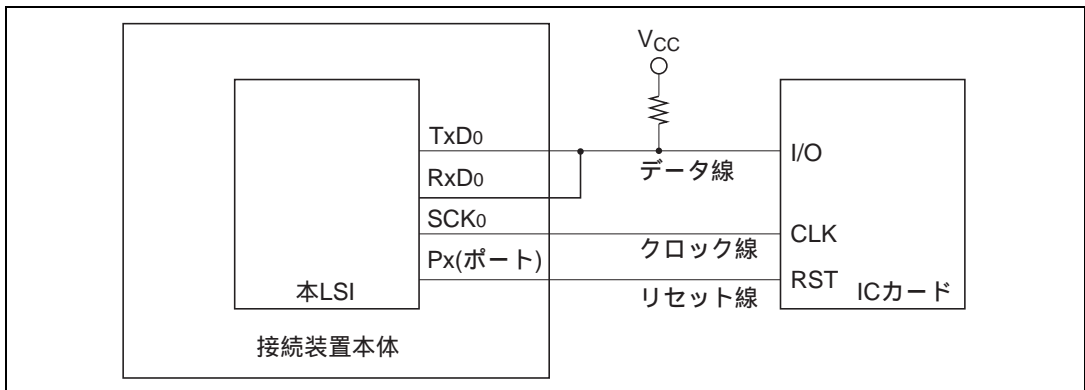


図 12.2 スマートカードインタフェース端子接続概略図

【注】 IC カードを接続しないで、RE = TE = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

12.3.3 データフォーマット

図 12.3 にスマートカードインタフェースのデータフォーマットを示します。このモードでは、受信時は1フレームごとにパリティチェックを行い、エラーが検出された場合、送信側に対してエラー信号を送り返し、データの再送信要求をします。送信時は、エラー信号をサンプリングすると同じデータを再送信します。

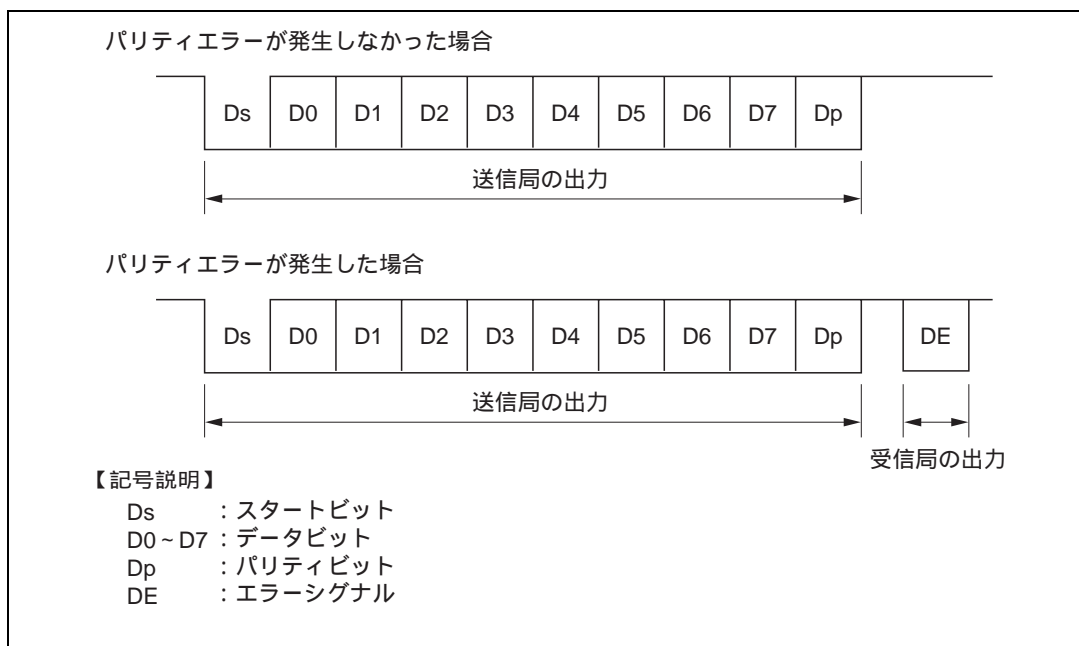


図 12.3 スマートカードインタフェースのデータフォーマット

動作シーケンスは次のようになっています。

- [1] データ線は、未使用時にはハイインピーダンス状態であり、プルアップ抵抗によりHighレベルに固定されます。
- [2] 送信側は、1フレームのデータ送信を開始します。データのフレームは、スタートビット (Ds、Lowレベル) から開始します。この後に、8ビットのデータビット (D0 ~ D7) とパリティビット (Dp) が続きます。
- [3] スマートカードインタフェースでは、この後にデータ線をハイインピーダンスに戻します。データ線はプルアップ抵抗によりHighレベルになります。
- [4] 受信側は、パリティチェックを行います。
パリティエラーが無く正常に受信した場合、そのまま次のデータ受信を待ちます。
一方、パリティエラーが発生した場合は、エラーシグナル (DE、Lowレベル) を出力し、データの再送信を要求します。受信局は、規定の期間エラーシグナルを出力した後、再び信号線をハイインピーダンスにします。信号線はプルアップ抵抗によりHighレベルに戻ります。
- [5] 送信側は、エラーシグナルを受信しなかった場合、次のフレームのデータ送信に移ります。一方、エラーシグナルを受信した場合は、[2] に戻りエラーとなったデータを再送信します。

12.3.4 レジスタの設定

スマートカードインタフェースで使用するレジスタのビットマップを表 12.3 に示します。

0 または 1 が表示されているビットは、必ず表示されている値を設定してください。以下にそれ以外のビットの設定方法について説明します。

表 12.3 スマートカードインタフェースでのレジスタ設定

レジスタ	ビット							
	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
SMR	0	0	1	O \bar{E}	1	0	CKS1	CKS0
BRR	BRR7	BRR6	BRR5	BRR4	BRR3	BRR2	BRR1	BRR0
SCR	TIE	RIE	TE	RE	0	0	0	CKE0
TDR	TDR7	TDR6	TDR5	TDR4	TDR3	TDR2	TDR1	TDR0
SSR	TDRE	RDRF	ORER	ERS	PER	TEND	0	0
RDR	RDR7	RDR6	RDR5	RDR4	RDR3	RDR2	RDR1	RDR0
SCMR	-	-	-	-	SDIR	SINV	-	SMIF

【記号説明】 - : 未使用ビットを示します。

(1) SMR の設定

O \bar{E} ビットは、IC カードがダイレクトコンベンション時には 0 を設定し、インバースコンベンション時には 1 を設定します。

CKS1、CKS0 ビットは、内蔵ポーレートジェネレータのクロックソースを選択します。「12.3.5 クロック」を参照してください。

(2) BRR の設定

ビットレートを設定します。設定値の算出方法は「12.3.5 クロック」を参照してください。

(3) SCR の設定

TIE、RIE、TE、RE ビットの機能は通常の SCI と同様です。詳細は「第 11 章 シリアルコミュニケーションインタフェース」を参照してください。

CKE0 ビットはクロック出力を指定します。クロックを出力しない場合は 0 に設定し、クロックを出力する場合は 1 に設定します。

(4) SCMR の設定

SDIR ビットは、IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

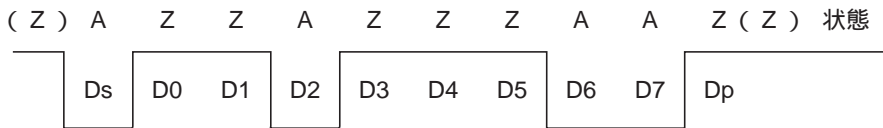
SINV ビットは IC カードがダイレクトコンベンション時は 0 を設定し、インバースコンベンション時は 1 を設定します。

SMIF ビットはスマートカードインタフェースの場合 1 を設定します。

以下に、2 種類の IC カード（ダイレクトコンベンションタイプとインバースコンベンションタイプ）に対するレジスタ設定値と、開始キャラクタでの波形例を示します。

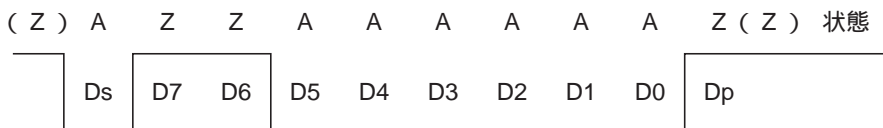
12. スマートカードインタフェース

(a) ダイレクトコンベンション (SDIR = SINV = $\overline{O/E}$ = 0)



ダイレクトコンベンションタイプは、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3B となります。パリティビットは、スマートカードの規程により偶数パリティで 1 となります。

(b) インバースコンベンション (SDIR = SINV = $\overline{O/E}$ = 1)



インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信する方式です。上記の開始キャラクタのデータは H'3F となります。パリティビットは、スマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。

なお、本 LSI では、SINV ビットによる反転はデータビット D7 ~ D0 のみとなっています。パリティビットの反転のために SMR の $\overline{O/E}$ ビットを奇数パリティモードに設定します (送信、受信とも同様です)。

12.3.5 クロック

スマートカードインタフェースにおける送受信クロックは、内蔵ポーレートジェネレータの生成した内部クロックのみ使用できます。このとき、ビットレートはBRRとSMRのCKS1、CKS0ビットで設定され、以下に示す計算式になります。ビットレートの例を表12.5に示します。

このときCKE0=1でクロック出力を選択すると、SCK₀端子からはビットレートの372倍の周波数のクロックが出力されます。

$$B = \frac{\phi}{1488 \times 2^{2n-1} \times (N+1)} \times 10^6$$

ただし、N=BRRの設定値(0 N 255)

B=ビットレート(bit/s)

φ=動作周波数* (MHz)

n=表12.4を参照

【注】* ギア機能によりクロックを分周して使用する場合には、動作周波数に分周比を考慮した値を設定してください。上記は分周比1:1の場合を示します。

表 12.4 nとCKS1、CKS0の対応表

n	CKS1	CKS0
0	0	0
1		1
2	1	0
3		1

表 12.5 BRRの設定に対するビットレートB(bit/s)の例(ただし、n=0のとき)

N	φ (MHz)						
	7.1424	10.00	10.7136	13.00	14.2848	16.00	18.00
0	9600.0	13440.9	14400.0	17473.1	19200.0	21505.4	24193.5
1	4800.0	6720.4	7200.0	8736.6	9600.0	10752.7	12096.8
2	3200.0	4480.3	4800.0	5824.4	6400.0	7168.5	8064.5

【注】 ビットレートは、小数点以下2桁目を四捨五入した数値です。

12. スマートカードインタフェース

一方、動作周波数とビットレートから BBR の設定値を算出する式は次のようになります。ただし、N は整数値、0 ≤ N ≤ 255 であり、誤差の小さい方を指定します。

$$N = \frac{\phi}{1488 \times 2^{2n-1} \times B} \times 10^6 - 1$$

表 12.6 ビットレート B (bit/s) に対する BBR の設定例 (ただし、n=0 のとき)

bit/s	φ (MHz)													
	7.1424		10.00		10.7136		13.00		14.2848		16.00		18.00	
	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差	N	誤差
9600	0	0.00	1	30	1	25	1	8.99	1	0.00	1	12.01	2	15.99

表 12.7 各周波数における最大ビットレート (スマートカードインタフェースモード時)

φ (MHz)	最大ビットレート (bit/s)	N	n
7.1424	9600	0	0
10.00	13441	0	0
10.7136	14400	0	0
13.00	17473	0	0
14.2848	19200	0	0
16.00	21505	0	0
18.00	24194	0	0

ビットレート誤差は以下の計算式で求められます。

$$\text{誤差 (\%)} = \left(\frac{\phi}{1488 \times 2^{2n-1} \times B \times (N+1)} \times 10^6 - 1 \right) \times 100$$

12.3.6 データの送信 / 受信動作

(1) 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

- [1] SCRのTE、REビットを0にクリアします。
- [2] SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
- [3] SMRのO \bar{E} ビットとCKS1、CKS0ビットを設定してください。このとき、C \bar{A} 、CHR、MPビットは0に、STOP、PEビットは1に設定してください。
- [4] SCMRのSMIF、SDIR、SINVビットを設定してください。
SMIFビットを1にセットすると、TxD₀端子およびRxD₀端子は共にポートからSCIの端子に切り替えられ、ハイインピーダンス状態となります。
- [5] ビットレートに対応する値をBRRに設定します。
- [6] SCRのCKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIE、CKE1ビットは、0に設定してください。
CKE0ビットを1にセットした場合は、SCK₀端子からクロック出力されます。
- [7] 少なくとも1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。
自己診断以外はTEビットとREビットを同時にセットしないでください。

(2) シリアルデータ送信

スマートカードモードにおけるデータ送信では、エラーシグナルのサンプリングと再送信処理があるため、通常のSCIとは処理手順が異なります。送信処理フローの例を図 12.4 に示します。また、送信動作と内部レジスタの関連を図 12.5 に示します。

- [1] (1) の手順にしたがいスマートカードインタフェースモードに初期化します。
- [2] SSRのエラーフラグERSが0にクリアされていることを確認してください。
- [3] SSRのTENDフラグが1にセットされていることが確認できるまで、[2]、[3] を繰り返してください。
- [4] TDRに送信データをライトして、TDREフラグを0にクリアし送信動作を行います。このとき、TENDフラグは0にクリアされます。
- [5] 連続してデータを送信する場合は、[2] に戻ってください。
- [6] 送信を終了する場合は、TEビットを0にクリアします。

以上の一連の処理は、割り込み処理が可能です。

TIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信が終了し TEND フラグが 1 にセットされると、送信データエンpty 割り込み (TXI) 要求を発生します。RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき、送信時にエラーが発生し、ERS フラグが 1 にセットされると、送受信エラー割り込み (ERI) 要求を発生します。

詳細は (5) を参照してください。

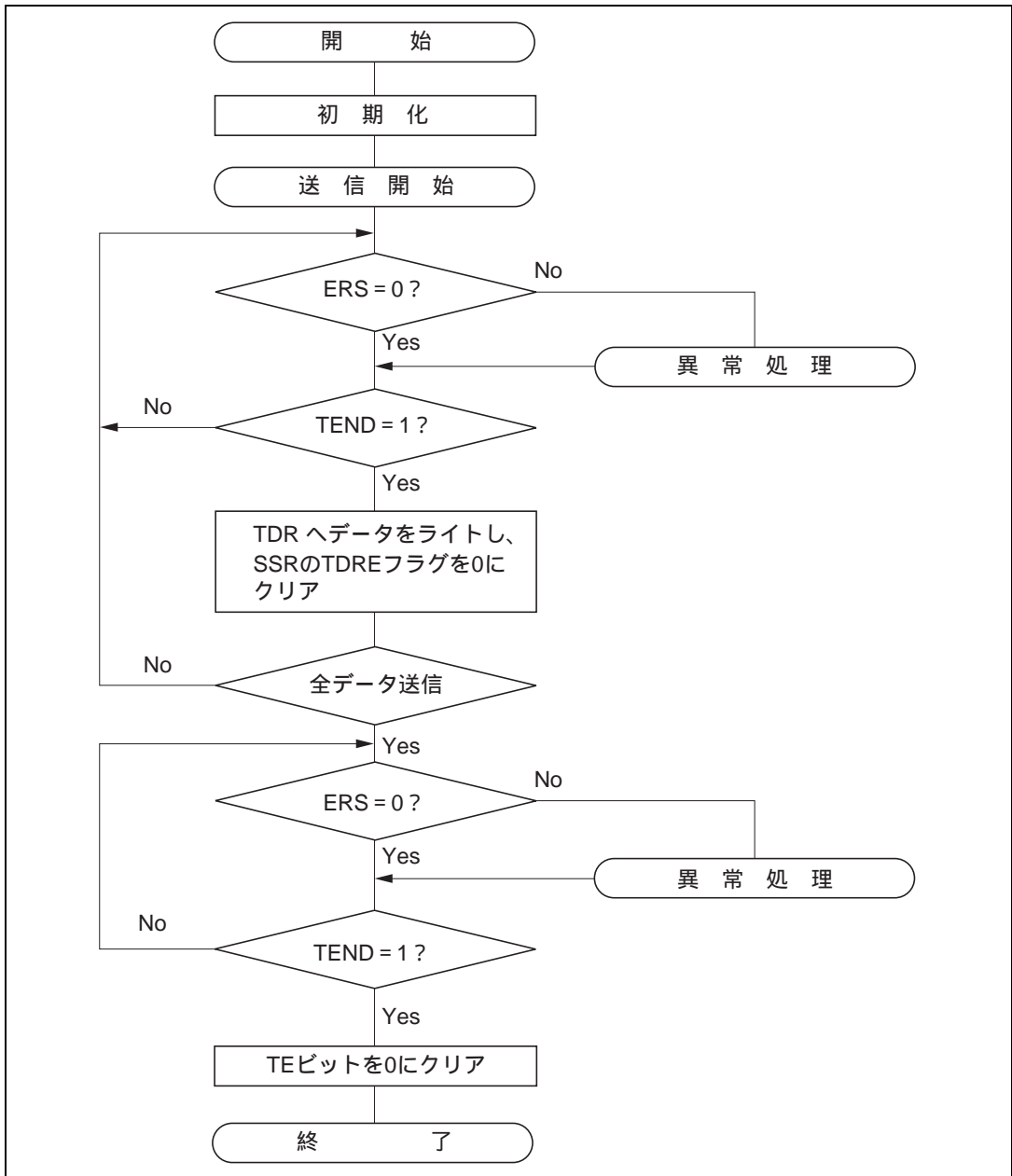


図 12.4 送信処理フローの例

12. スマートカードインタフェース

(3) シリアルデータ受信

スマートカードモードのデータ受信は、通常の SCI と同様の処理手順になります。受信処理フローの例を図 12.6 に示します。

- [1] SCIを(1)に従いスマートカードインタフェースモードに初期化します。
- [2] SSRのORERフラグとPERフラグが0であることを確認してください。どちらかのフラグがセットされている場合は、所定の受信異常処理を行った後、ORERとPERフラグを全て0にクリアしてください。
- [3] RDRFフラグが1であることを確認できるまで [2]、[3] を繰り返してください。
- [4] RDRから受信データをリードしてください。
- [5] 継続してデータを受信する場合は、RDRFフラグを0にクリアして [2] の手順に戻ってください。
- [6] 受信を終了する場合は、REビットを0にクリアします。

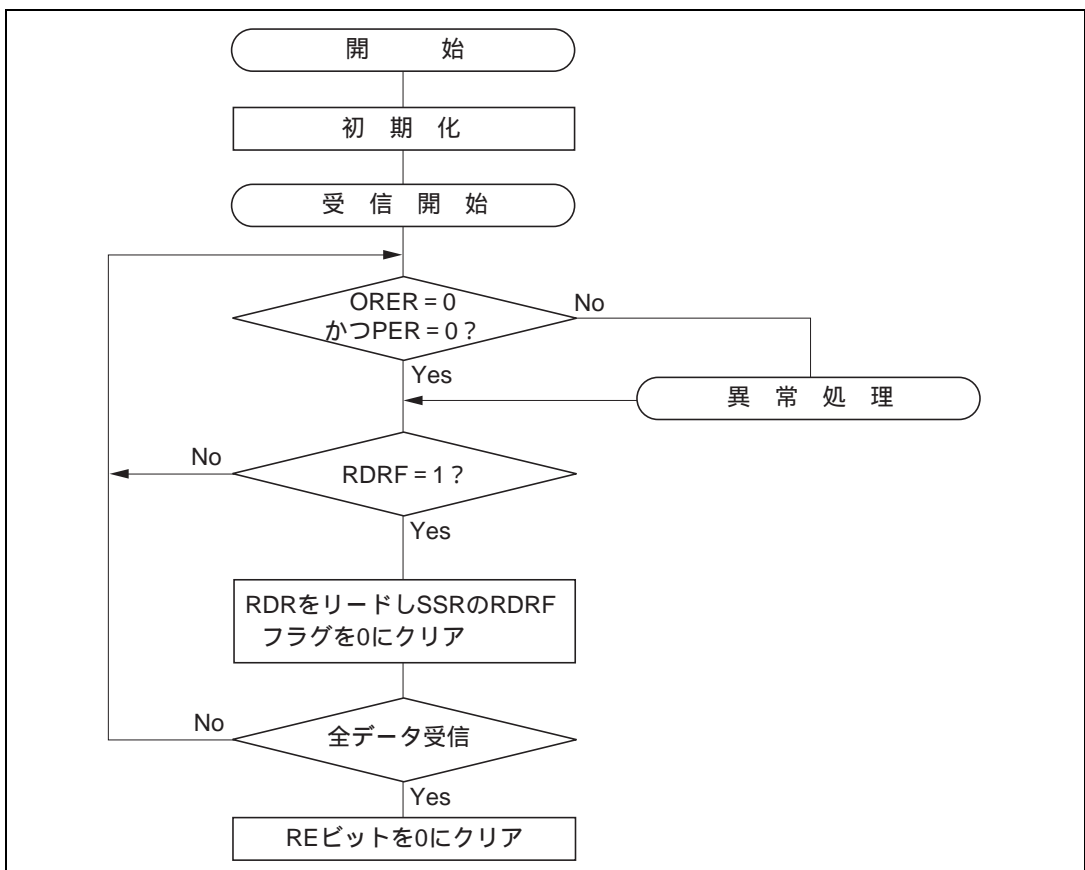


図 12.6 受信処理フローの例

以上の一連の処理は、割り込み処理が可能です。

RIE ビットを 1 にセットし、割り込み要求を許可しておいたとき受信が終了し、RDRF フラグが 1 にセットされると、受信データフル割り込み (RXI) 要求が発生します。また、受信時にエラーが発生し ORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み (ERI) 要求が発生します。詳細は (5) を参照してください。

なお、受信時にパリティエラーが発生し PER が 1 にセットされた場合でも、受信したデータは RDR に転送されるのでこのデータをリードすることは可能です。

(4) モード切り替え動作

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE = 0、TE = 1 に設定してください。受信動作の完了は、RDRF フラグ、あるいは PER、ORER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE = 0、RE = 1 に設定してください。送信動作の完了は TEND フラグで確認できます。

(5) 割り込み動作

スマートカードインタフェースモードでは、送信データエンプティ割り込み (TXI) 要求、送受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求の 3 種類の割り込み要因があります。なお、本モードでは、送信終了割り込み (TEI) 要求は使用できません。

SSR の TEND フラグが 1 にセットされると、TXI 割り込み要求が発生します。

SSR の RDRF フラグが 1 にセットされると、RXI 割り込み要求が発生します。

SSR の ORER、PER、ERS フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。これらの関係を表 12.8 に示します。

表 12.8 スマートカードインタフェースモードの動作状態と割り込み要因

動作状態		フラグ	マスクビット	割り込み要因
送信モード	正常動作	TEND	TIE	TXI
	エラー	ERS	RIE	ERI
受信モード	正常動作	RDRF	RIE	RXI
	エラー	PER、ORER	RIE	ERI

12.4 使用上の注意

SCI をスマートカードインタフェースとして使用する際は、以下のことに注意してください。

(1) スマートカードインタフェースモードの受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードでは、SCI は転送レートの 372 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がり基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 186 クロック目の立ち上がりエッジで内部に取り込みます。これを図 12.7 に示します。

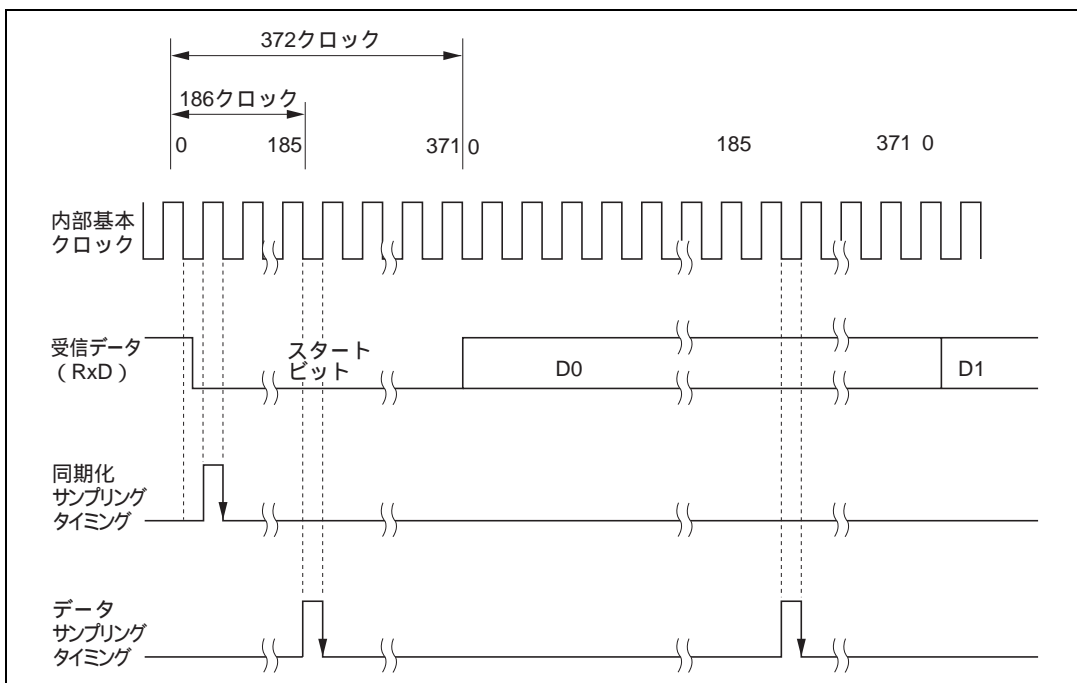


図 12.7 スマートカードインタフェースモード時の受信データサンプリングタイミング

したがって、受信マージンは、次の式のように表すことができます。
 スマートカードインタフェースモード時の受信マージン式

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\%$$

- M : 受信マージン (%)
- N : クロックに対するビットレートの比 (N = 372)
- D : クロックデューティ (D = 0 ~ 1.0)
- L : フレーム長 (L = 10)
- F : クロック周波数の偏差の絶対値

上式で、F = 0、D = 0.5 とすると、受信マージン式は次のようになります。
 D = 0.5、F = 0 のとき、
 $M = (0.5 - 1/2 \times 372) \times 100\%$
 = 49.866%

(2) 再転送動作

SCI がそれぞれ受信モードの場合と、送信モードの場合の再転送動作を、次に示します。

(a) SCI が受信モードの場合の再転送動作

SCI 受信モードの場合の再転送動作を図 12.8 に示します。

- [1] 受信したパリティビットをチェックした結果、エラーが検出されると、SSRのPERビットが自動的に1にセットされます。このとき、SCRのRIEビットが許可になっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SSRのPERビットを0にクリアしてください。
- [2] 異常が発生したフレームでは、SSRのRDRFビットはセットされません。
- [3] 受信したパリティビットをチェックした結果、エラーが検出されない場合は、SSRのPERビットはセットされません。
- [4] 受信したパリティビットをチェックした結果、エラーが検出されない場合は、正常に受信動作が完了したと判断して、SSRのRDRFビットが自動的に1にセットされます。このときSCRのRIEビットが許可になっていれば、RXI割り込み要求が発生します。
- [5] 正常なフレームを受信した場合、エラーシグナルを送信するタイミングで端子はスリーステート状態を保持します。

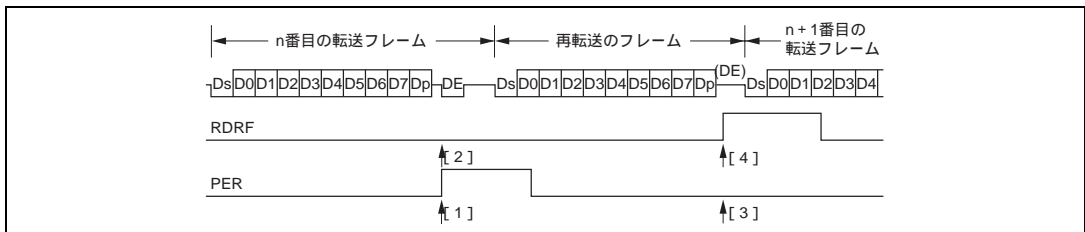


図 12.8 SCI 受信モードの場合の再転送動作

12. スマートカードインタフェース

(b) SCI が送信モードの場合の再転送動作

SCI 送信モードの場合の再転送動作を図 12.9 に示します。

- [6] 1フレーム分の送信を完了した後、受信側からエラーシグナルが返されると、SSRのERSビットが1にセットされます。このとき、SCRのRIEビットが許可になっていれば、ERI割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに、SSRのERSビットを0にクリアしてください。
- [7] 異常を示すエラーシグナルを受信したフレームでは、SSRのTENDビットはセットされません。
- [8] 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。
- [9] 受信側からエラーシグナルが返ってこない場合は、再転送を含む1フレームの送信が完了したと判断して、SSRのTENDビットが1にセットされます。このときSCRのTIEビットが許可になっていれば、TXI割り込み要求が発生します。

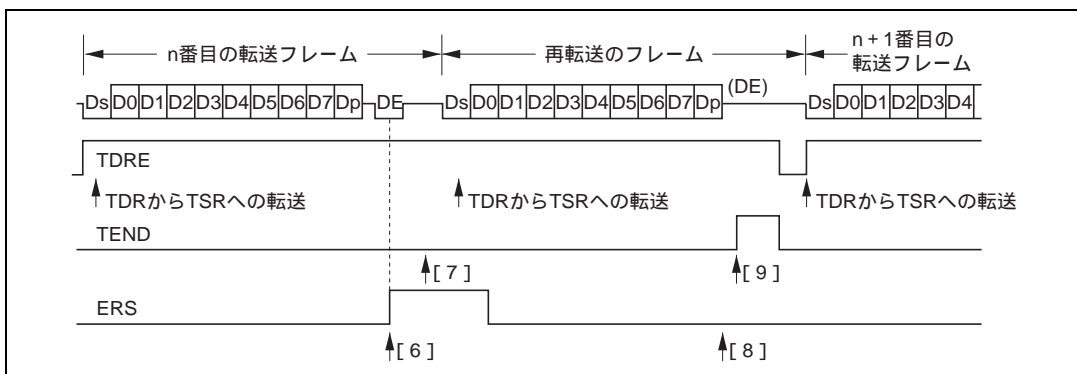


図 12.9 SCI 送信モードの場合の再転送動作

13. A/D 変換器

13.1 概要

本 LSI には、逐次比較方式で動作する 10 ビットの A/D 変換器が内蔵されており、最大 8 チャンネルのアナログ入力を選択することができます。

消費電流低減のために A/D 変換器を使用しない場合には A/D 変換器を単独に停止することができます。詳細は「17.6 モジュールスタンバイ機能」を参照してください。

13.1.1 特長

A/D 変換器の特長を以下に示します。

10 ビットの分解能

入力チャンネル：8 チャンネル

アナログ変換電圧範囲の設定が可能

アナログ電源端子 (AV_{CC}) をアナログ基準電圧としてアナログ変換電圧範囲を設定します。

高速変換

変換時間：1 チャンネル当り最小 7.4 μ s (18MHz 動作時)

単一モード / スキャンモードの 2 種類の動作モードから選択可能

単一モード：1 チャンネルの A/D 変換

スキャンモード：1~4 チャンネルの連続 A/D 変換

4 本の 16 ビットデータレジスタ

A/D 変換された結果は、各チャンネルに対応したデータレジスタに転送され、保持されます。

サンプル&ホールド機能

外部トリガ信号による、A/D 変換の開始が可能

A/D 変換終了割り込み要求を発生

A/D 変換終了時には、A/D 変換終了割り込み (ADI) 要求を発生させることができます。

13.1.2 ブロック図

A/D 変換器のブロック図を図 13.1 に示します。

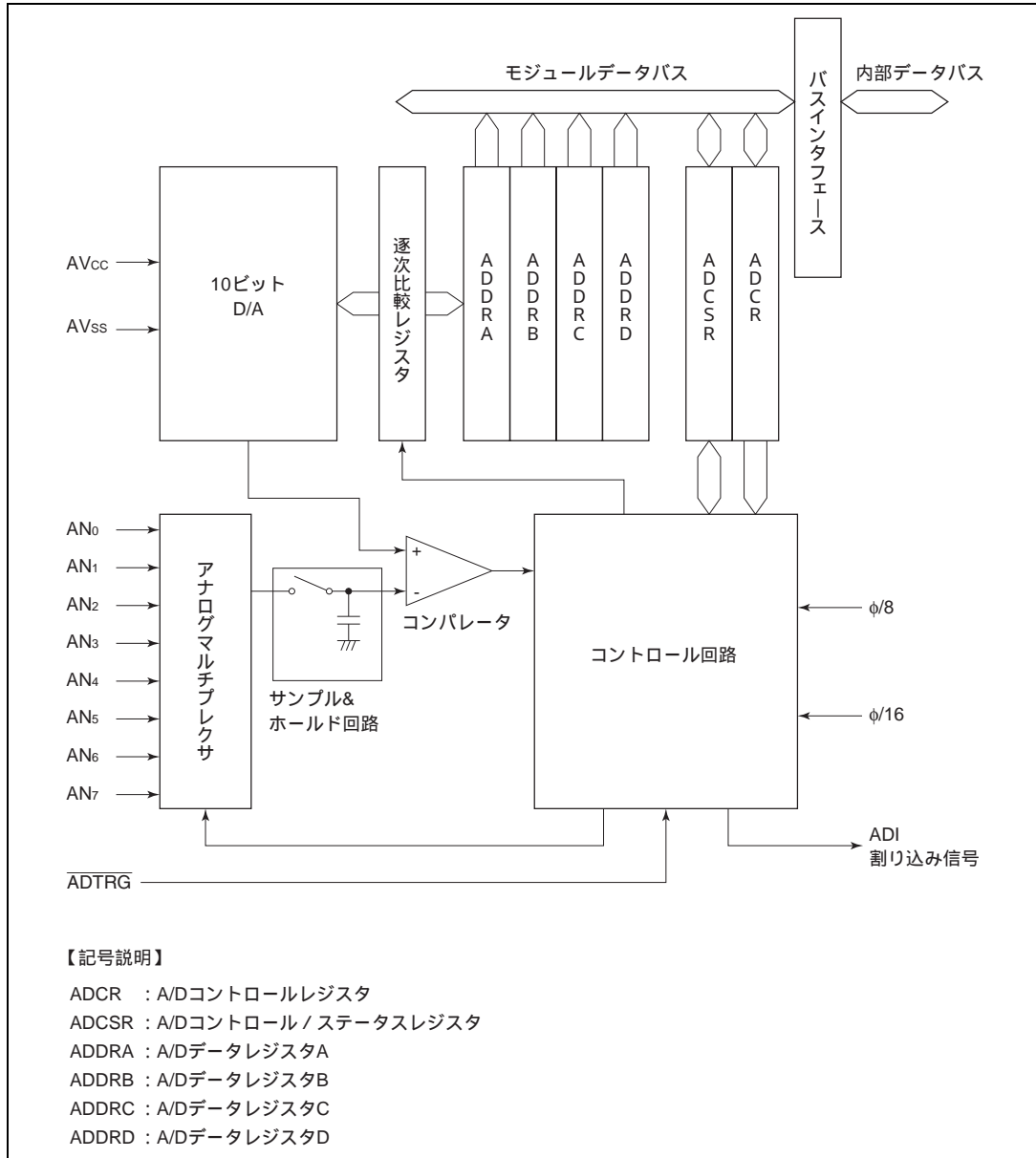


図 13.1 A/D 変換器のブロック図

13.1.3 端子構成

A/D 変換器で使用する入力端子を表 13.1 に示します。

8 本のアナログ入力端子は 2 グループに分類されており、アナログ入力端子 0~3 (AN₀~AN₃) がグループ 0、アナログ入力端子 4~7 (AN₄~AN₇) がグループ 1 になっています。

AV_{CC}、AV_{SS} 端子は、A/D 変換器内のアナログ部の電源です。

表 13.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AV _{CC}	入力	アナログ部の電源および基準電圧
アナロググランド端子	AV _{SS}	入力	アナログ部のグランドおよび基準電圧
アナログ入力端子 0	AN ₀	入力	グループ 0 のアナログ入力
アナログ入力端子 1	AN ₁	入力	
アナログ入力端子 2	AN ₂	入力	
アナログ入力端子 3	AN ₃	入力	
アナログ入力端子 4	AN ₄	入力	グループ 1 のアナログ入力
アナログ入力端子 5	AN ₅	入力	
アナログ入力端子 6	AN ₆	入力	
アナログ入力端子 7	AN ₇	入力	
A/D 外部トリガ入力端子	ADTRG	入力	A/D 変換時間のための外部トリガ入力

13.1.4 レジスタ構成

A/D 変換器のレジスタ構成を表 13.2 に示します。

表 13.2 レジスタ構成

アドレス* ¹	名称	略称	R/W	初期値
H'FFE0	A/D データレジスタ AH	ADDRAH	R	H'00
H'FFE1	A/D データレジスタ AL	ADDRAL	R	H'00
H'FFE2	A/D データレジスタ BH	ADDRBH	R	H'00
H'FFE3	A/D データレジスタ BL	ADDRBL	R	H'00
H'FFE4	A/D データレジスタ CH	ADDRCH	R	H'00
H'FFE5	A/D データレジスタ CL	ADDRCL	R	H'00
H'FFE6	A/D データレジスタ DH	ADDRDH	R	H'00
H'FFE7	A/D データレジスタ DL	ADDRDL	R	H'00
H'FFE8	A/D コントロール / ステータスレジスタ	ADCSR	R/(W)* ²	H'00
H'FFE9	A/D コントロールレジスタ	ADCR	R/W	H'7F

【注】 *1 アドレスの低位 16 ビットを示しています。

*2 ビット 7 は、フラグをクリアするための 0 ライトのみ可能です。

13.2 各レジスタの説明

13.2.1 A/D データレジスタ A~D (ADDRn ~ ADDRn)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDRn :	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(n = A ~ D)

A/D変換データ

A/D変換結果の10ビットデータを格納するビットです。

リザーブビット

ADDR は、A/D 変換された結果を格納する 16 ビットのリード専用レジスタで、ADDRA ~ ADDRD の 4 本があります。

A/D 変換されたデータは 10 ビットデータで、選択されたチャンネルの ADDR に転送され、保持されます。A/D 変換されたデータの上位 8 ビットが ADDR の上位バイトに、また下位 2 ビットが下位バイトに対応します。ADDR の下位バイトのビット 5~0 はリザーブビットで、リードすると常に 0 が読み出されます。アナログ入力チャンネルと ADDR の対応を表 13.3 に示します。ADDR は、常に CPU からリード可能です。上位バイトは直接リードできますが、下位バイトはテンポラリレジスタ (TEMP) を介してデータ転送が行われます。詳細は「13.3 CPU とのインタフェース」を参照してください。

ADDR は、リセットまたはスタンバイモード時に、H'0000 に初期化されます。

表 13.3 アナログ入力チャンネルと ADDRn ~ ADDRn の対応

アナログ入力チャンネル		A/D データレジスタ
グループ 0	グループ 1	
AN ₀	AN ₄	ADDRA
AN ₁	AN ₅	ADDRB
AN ₂	AN ₆	ADDRC
AN ₃	AN ₇	ADDRD

13.2.2 A/D コントロール / ステータスレジスタ (ADCSR)

ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネルセレクト2~0
 アナログ入力チャンネルを選択するビットです。

クロックセレクト
 A/D変換時間を選択するビットです。

スキャンモード
 単一モード / スキャンモードを選択するビットです。

A/Dスタート
 A/D変換の開始/停止を選択するビットです。

A/Dインタラプトイネーブル
 A/D変換終了割り込みの発生を許可/禁止するビットです。

A/Dエンドフラグ
 A/D変換の終了を示すビットです。

【注】 * フラグをクリアするための0ライトのみ可能です。

ADCSR は、8 ビットのリード / ライト可能なレジスタで、モードの選択など A/D 変換器の動作を制御します。

ADCSR は、リセットまたはスタンバイモード時に、H'00 に初期化されます。

13. A/D 変換器

ビット 7 : A/D エンドフラグ (ADF)

A/D 変換の終了を示すステータスフラグです。

ビット 7	説明
ADF	
0	[クリア条件] (初期値) ADF = 1 の状態で、ADF フラグをリードした後、ADF フラグに 0 をライトしたとき
1	[セット条件] (1) 単一モード : A/D 変換が終了したとき (2) スキャンモード : 設定されたすべてのチャンネルの A/D 変換が終了したとき

ビット 6 : A/D インタラプトイネーブル (ADIE)

A/D 変換の終了による割り込み (ADI) 要求の許可 / 禁止を選択します。

ビット 6	説明
ADIE	
0	A/D 変換終了による割り込み (ADI) 要求を禁止 (初期値)
1	A/D 変換終了による割り込み (ADI) 要求を許可

ビット 5 : A/D スタート (ADST)

A/D 変換の開始 / 停止を選択します。

A/D 変換中は 1 を保持します。また、ADST ビットは A/D 外部トリガ入力端子 ($\overline{\text{ADTRG}}$) により 1 にセットすることもできます。

ビット 5	説明
ADST	
0	A/D 変換を停止 (初期値)
1	(1) 単一モード : A/D 変換を開始し、変換が終了すると自動的に 0 にクリア (2) スキャンモード : A/D 変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって 0 にクリアされるまで選択されたチャンネルを順次連続変換

ビット 4 : スキャンモード (SCAN)

A/D 変換のモードを、単一モード / スキャンモードから選択します。単一モード / スキャンモード時の動作については、「13.4 動作説明」を参照してください。モードの切り替えは、ADST = 0 の状態で行ってください。

ビット 4	説明
SCAN	
0	単一モード (初期値)
1	スキャンモード

ビット 3 : クロックセレクト (CKS)

A/D 変換時間の設定を行います。

変換時間の切り替えは、ADST=0 の状態で行ってください。

ビット 3	説明
CKS	
0	変換時間 = 266 ステート (max) (初期値)
1	変換時間 = 134 ステート (max)

ビット 2~0 : チャネルセレクト 2~0 (CH2~CH0)

SCAN ビットとともにアナログ入力チャンネルを選択します。

チャンネル選択と切り替えは、ADST=0 の状態で行ってください。

グループ選択	チャンネル選択		説明	
	CH1	CH0	単一モード	スキャンモード
0	0	0	AN ₀ (初期値)	AN ₀
		1	AN ₁	AN ₀ 、AN ₁
	1	0	AN ₂	AN ₀ ~ AN ₂
		1	AN ₃	AN ₀ ~ AN ₃
1	0	0	AN ₄	AN ₄
		1	AN ₅	AN ₄ 、AN ₅
	1	0	AN ₆	AN ₄ ~ AN ₆
		1	AN ₇	AN ₄ ~ AN ₇

13.2.3 A/D コントロールレジスタ (ADCR)

ビット:	7	6	5	4	3	2	1	0
	TRGE	—	—	—	—	—	—	—
初期値:	0	1	1	1	1	1	1	1
R/W :	R/W	—	—	—	—	—	—	—

トリガイネーブル
外部トリガによるA/D変換の許可/禁止を選択するビットです。

リザーブビット

ADCR は、8 ビットのリード/ライト可能なレジスタで、外部トリガ入力による A/D 変換の開始の許可/禁止を選択します。

ADCR は、リセットまたはスタンバイモード時、H'7F に初期化されます。

ビット 7: トリガイネーブル (TRGE)

外部トリガ入力による A/D 変換の開始の許可/禁止を選択します。

ビット 7	説明
TRGE	
0	外部トリガ入力による A/D 変換の開始を禁止 (初期値)
1	外部トリガ端子 (ADTRG) の立ち下がリエッジで A/D 変換を開始

ビット 6~0: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

13.3 CPU とのインタフェース

ADDRA ~ ADDR4D はそれぞれ 16 ビットのレジスタですが、CPU との間のデータバスは 8 ビット幅です。そのため、CPU からのアクセスは上位バイトは直接行われますが、下位バイトは 8 ビットのテンポラリレジスタ (TEMP) を介して行います。

ADDR からデータのリードは、次のように行われます。上位バイトのリードで上位バイトの値は CPU へ、下位バイトの値は TEMP へ転送されます。次に下位バイトのリードで TEMP の内容が CPU へ転送されます。

ADDR をリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図 13.2 に、ADDR のアクセス時のデータの流れを示します。

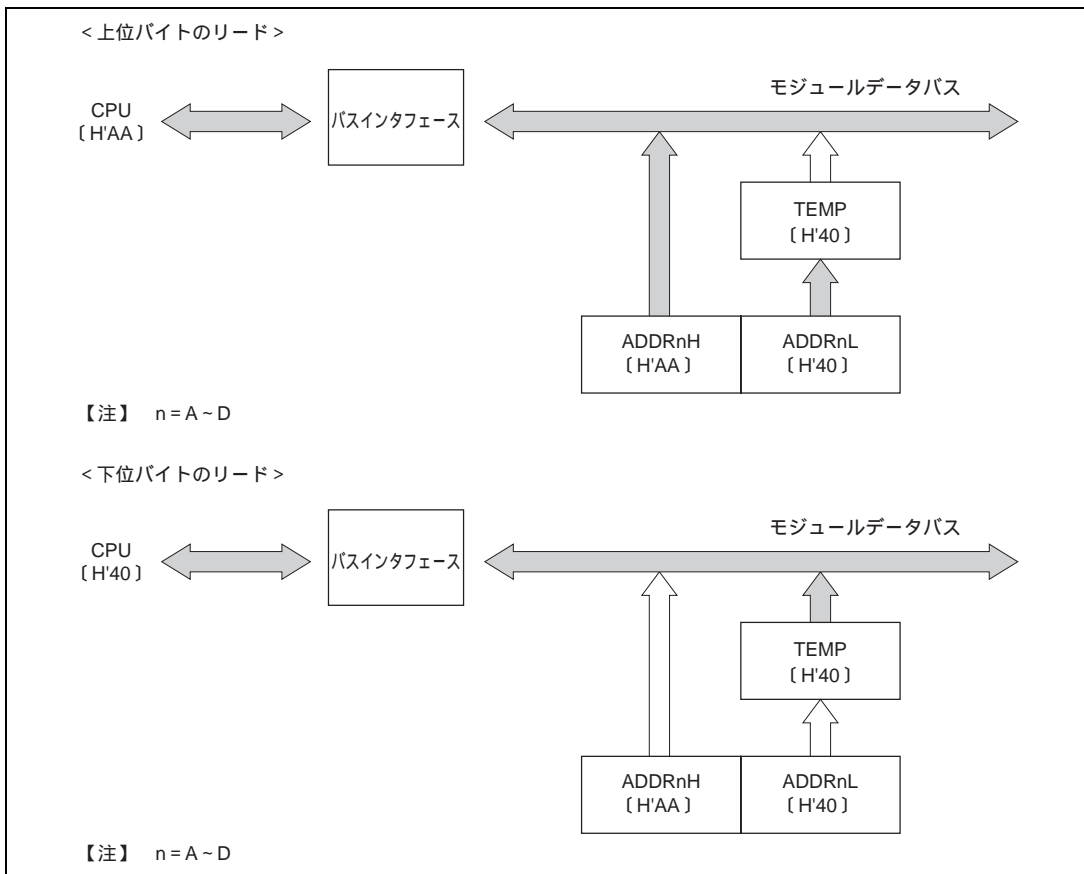


図 13.2 ADDR のアクセス動作 ([H'AA40] リード時)

13.4 動作説明

A/D 変換器は逐次比較方式で動作し、10 ビットの分解能をもっています。単一モードとスキャンモードの各モードの動作についての説明をします。

13.4.1 単一モード (SCAN = 0)

単一モードは、1 チャンネルのみの A/D 変換を行う場合に選択します。ソフトウェアまたは外部トリガ入力によって ADST ビットが 1 にセットされると、A/D 変換を開始します。ADST ビットは、A/D 変換中は 1 を保持しており、変換が終了すると自動的に 0 にクリアされます。

また、変換が終了すると、ADF フラグが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。

ADF フラグは、ADCSR をリードした後、0 をライトするとクリアされます。

A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットを 1 にセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、再び A/D 変換を開始します。

単一モードでチャンネル 1 (AN₁) が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図 13.3 に示します。

- (1) 動作モードを単一モードに (SCAN = 0)、入力チャンネルを AN₁ に (CH₂ = CH₁ = 0、CH₀ = 1)、A/D 割り込み要求許可 (ADIE = 1) に設定して、A/D 変換を開始 (ADST = 1) します。
 - (2) A/D 変換が終了すると、A/D 変換結果が ADDR_B に転送されます。同時に、ADF = 1、ADST = 0 となり、A/D 変換器は変換待機となります。
 - (3) ADF = 1、ADIE = 1 となっているため、ADI 割り込み要求が発生します。
 - (4) A/D 割り込み処理ルーチンが開始されます。
 - (5) ADCSR をリードした後、ADF に 0 をライトします。
 - (6) A/D 変換結果 (ADDR_B) をリードして、処理します。
 - (7) A/D 割り込み処理ルーチンの実行を終了します。
- この後、ADST ビットを 1 にセットすると A/D 変換が開始され (2) ~ (7) を行います。

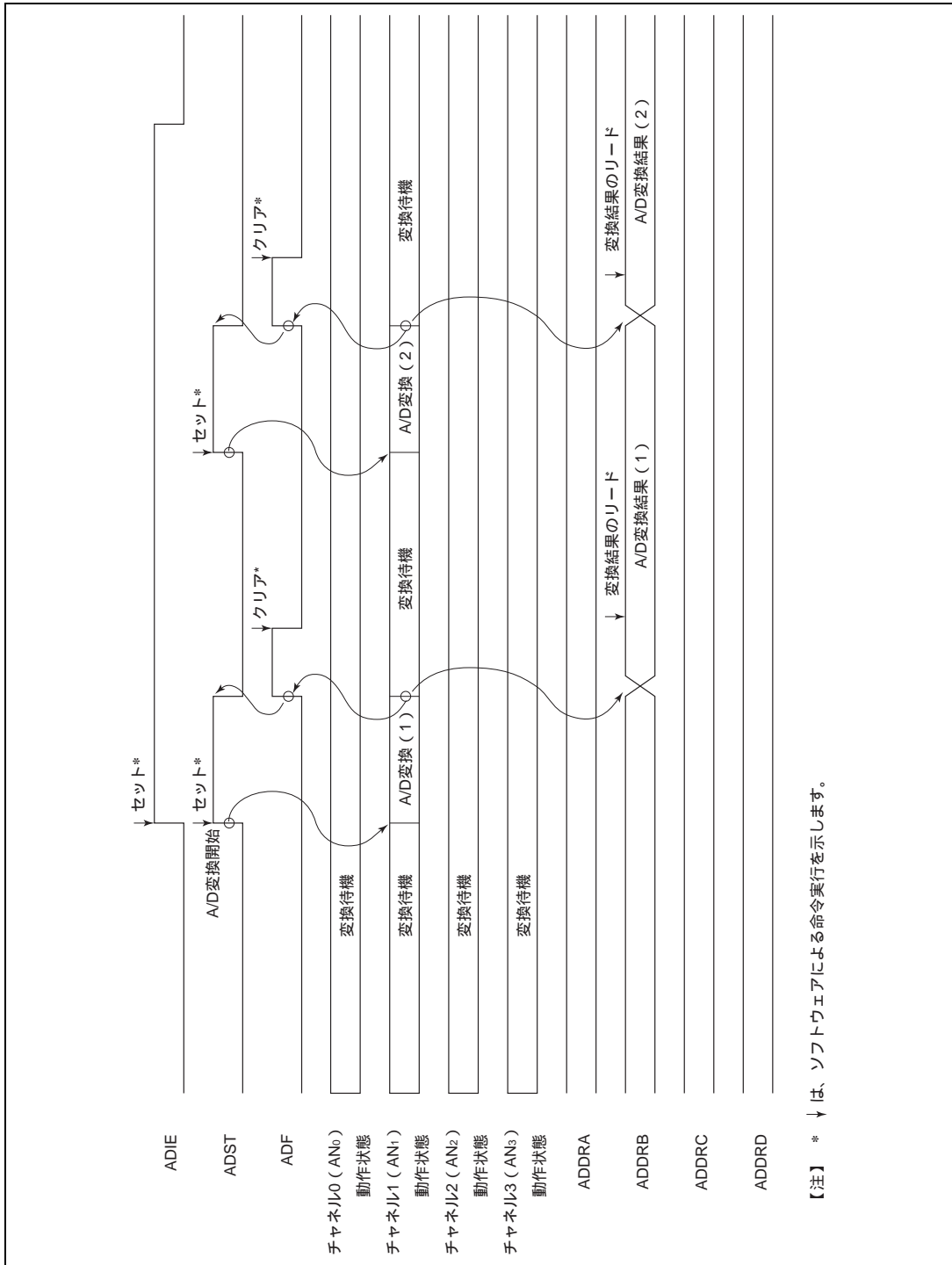


図 13.3 A/D 変換器の動作例 (単一モード チャンネル 1 選択時)

【注】 * ↓は、ソフトウェアによる命令実行を示します。

13.4.2 スキャンモード (SCAN = 1)

スキャンモードは、複数チャンネル (1チャンネルを含む) のアナログ入力を常にモニタするような応用に適しています。A/D 変換はソフトウェアまたは外部トリガ入力によって ADST ビットが 1 にセットされると、グループの第 1 チャンネル (CH2 = 0 のとき AN₀、CH2 = 1 のとき AN₄) から開始されます。

複数のチャンネルが選択されている場合は、第 1 チャンネルの変換が終了した後、ただちに第 2 チャンネル (AN₁ または AN₅) の A/D 変換を開始します。

A/D 変換は、ADST ビットが 0 にクリアされるまで、選択されたチャンネル内を連続して繰り返して行います。変換された結果は、各チャンネルに対応した ADDR に転送され保持されます。A/D 変換中に、モードやアナログ入力チャンネルの切り替えを行う場合は、誤動作を避けるために ADCSR の ADST ビットを 0 にクリアして、A/D 変換を停止した状態で行ってください。変更した後、ADST ビットに 1 をセットすると (モードおよびチャンネルの変更と ADST ビットのセットは、同時に行うことができます)、第 1 チャンネルが選択され、再び A/D 変換を開始します。

スキャンモードでグループ 0 の 3 チャンネル (AN₀ ~ AN₂) を選択して A/D 変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図 13.4 に示します。

- (1) 動作モードをスキャンモードに (SCAN = 1)、スキャングループをグループ 0 に (CH2 = 0)、アナログ入力チャンネルを AN0 ~ AN2 (CH1 = 1、CH0 = 0) に設定して A/D 変換を開始 (ADST = 1) します。
- (2) 第 1 チャンネル (AN0) の A/D 変換が開始され、A/D 変換が終了すると、変換結果を ADDR_A に転送します。
次に第 2 チャンネル (AN1) が自動的に選択され、変換を開始します。
- (3) 同様に第 3 チャンネル (AN2) まで変換を行います。
- (4) 選択されたすべてのチャンネル (AN0 ~ AN2) の変換が終了すると、ADF = 1 となり、再び第 1 チャンネル (AN0) を選択し、変換が行われます。
このとき ADIE ビットが 1 にセットされていると、A/D 変換終了後、ADI 割り込みを発生します。
- (5) ADST ビットが 1 にセットされている間は、(2) ~ (4) を繰り返します。
ADST ビットを 0 にクリアすると A/D 変換が停止します。この後、ADST ビットを 1 にセットすると再び A/D 変換を開始し、第 1 チャンネル (AN0) から変換が行われます。

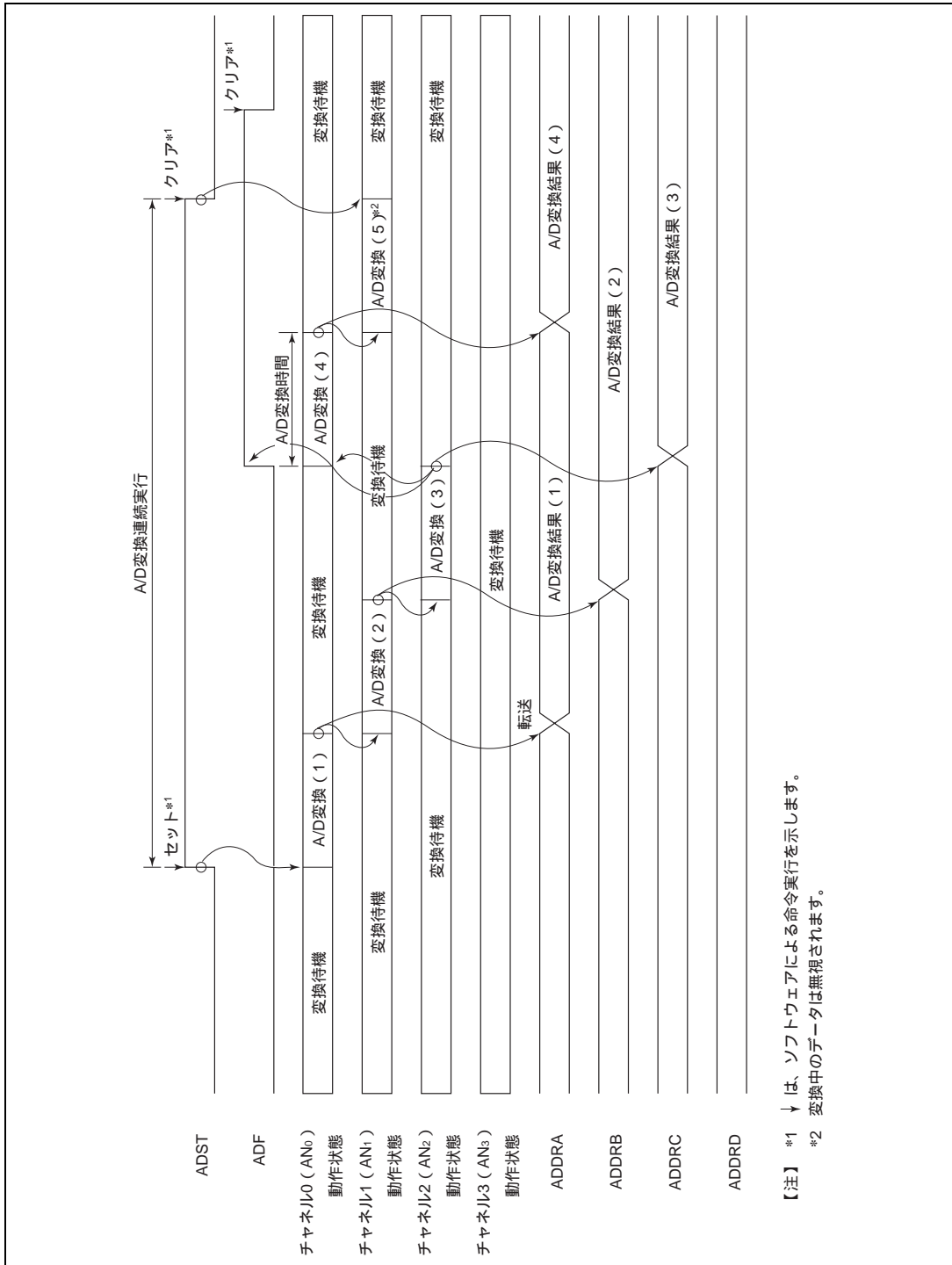


図 13.4 A/D 変換器の動作例 (スキャンモード AN₀ ~ AN₂ の 3 チャンネル選択時)

【注】 *1 ↓ は、ソフトウェアによる命令実行を示します。
 *2 変換中のデータは無視されます。

13.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADST ビットが 1 にセットされてから t_d 時間経過後、入力サンプリングを行い、その後変換を開始します。A/D 変換のタイミングを図 13.5 に示します。また、A/D 変換時間を表 13.4 に示します。

A/D 変換時間は、図 13.5 に示すように、 t_d と入力サンプリング時間を含めた時間となります。ここで t_d は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 13.4 に示す範囲で変化します。

スキャンモードの変換時間は、表 13.4 に示す値が 1 回目の変換時間となりますが、2 回目以降は CKS = 0 の場合は 256 ステート（固定）、CKS = 1 の場合は 128 ステート（固定）となります。

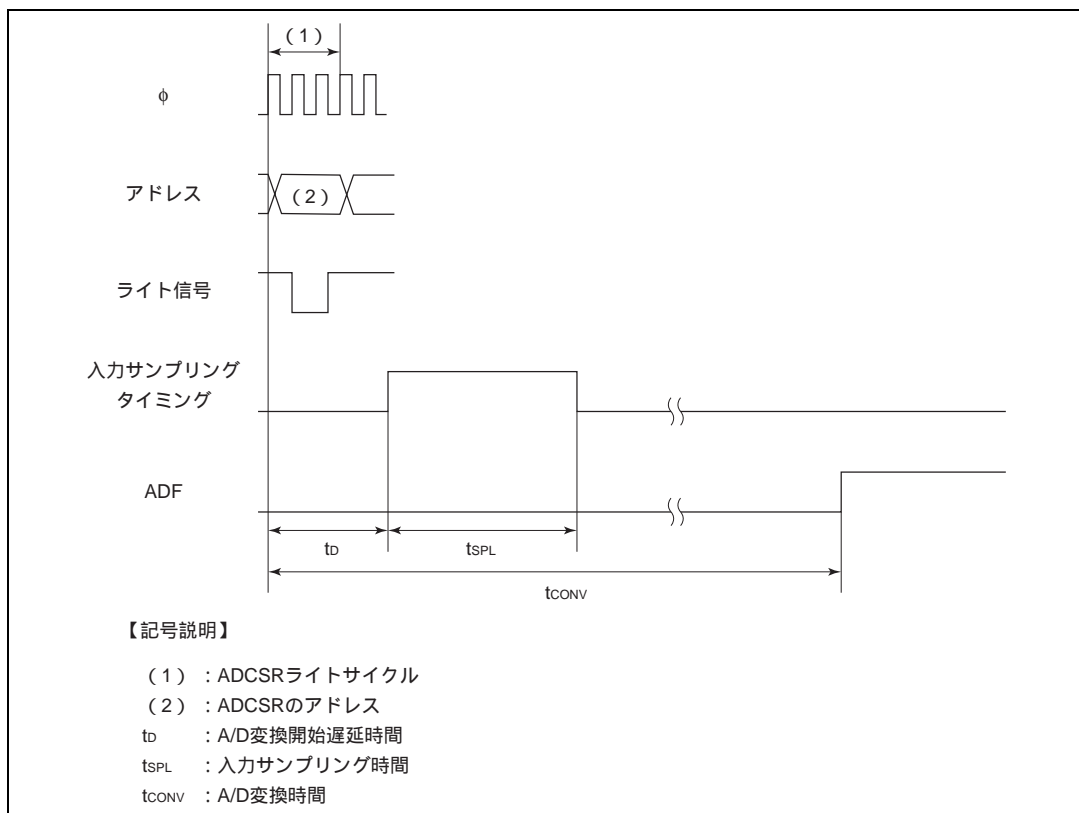


図 13.5 A/D 変換タイミング

表 13.4 A/D 変換時間 (単一モード)

	記号	CKS = 0			CKS = 1		
		min	typ	max	min	typ	max
A/D 変換開始遅延時間	t_d	10		17	6		9
入力サンプリング時間	t_{SPL}		63			31	
A/D 変換時間	t_{CONV}	259		266	131		134

【注】 表中の数値の単位はステートです。

13.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGE ビットが 1 にセットされているとき、 \overline{ADTRG} 端子から入力されます。 \overline{ADTRG} 入力端子の立ち下がりで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、単一モード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。

このタイミングを図 13.6 に示します。

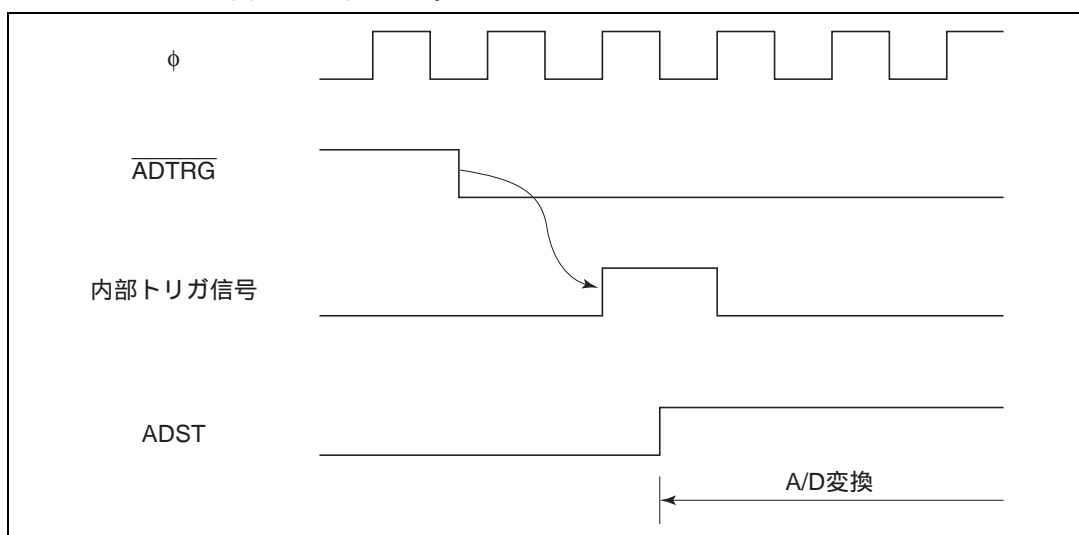


図 13.6 外部トリガ入力タイミング

13.5 割り込み

A/D 変換器は、A/D 変換の終了により、A/D 変換終了割り込み (ADI) を発生します。
ADI 割り込み要求は、ADCSR の ADIE ビットで許可 / 禁止することができます。

13.6 使用上の注意

A/D 変換器を使用する際は、以下のことに注意してください。

(1) アナログ電源端子他の設定範囲

(a) アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子 AN_n に印加する電圧は V_{SS} 、AN_n、 V_{CC} の範囲としてください。(n=0~7)

(b) V_{CC} 、 V_{SS} と V_{CC} 、 V_{SS} の関係

V_{CC} 、 V_{SS} と V_{CC} 、 V_{SS} の関係は $V_{SS} = V_{SS}$ とし、さらに、A/D 変換器を使用しないときも、 V_{CC} 、 V_{SS} 端子を決してオープンにしないでください。

【注】 以上 (a)、(b) が守られない場合、LSI の信頼性に悪影響を及ぼすことがあります。

(2) ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D 変換値に悪影響を及ぼします。

なお、アナログ入力信号 (AN₀ ~ AN₇)、アナログ電源および基準電圧 (V_{CC}) は、アナログ・グランド (V_{SS}) で、デジタル回路を必ず分離してください。さらに、アナログ・グランド (V_{SS}) は、ボード上の安定したデジタル・グランド (V_{SS}) に一点接続してください。

(3) ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 ($AN_0 \sim AN_7$)、アナログ電源および基準電圧 (AV_{CC}) の破壊を防ぐために、接続する保護回路は、図 13.7 に示すように $AV_{CC} - AV_{SS}$ 間に接続してください。

また、 AV_{CC} に接続するバイパス・コンデンサ、 $AN_0 \sim AN_7$ に接続するフィルタのコンデンサは、必ず AV_{SS} に接続してください。

なお、図 13.7 のようにフィルタ用のコンデンサを接続するとアナログ入力端子 ($AN_0 \sim AN_7$) の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモード等で頻繁に A/D 変換を行う場合、A/D 変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス (R_{in}) を経由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって回路定数の決定については、十分ご検討くださいますようお願いいたします。

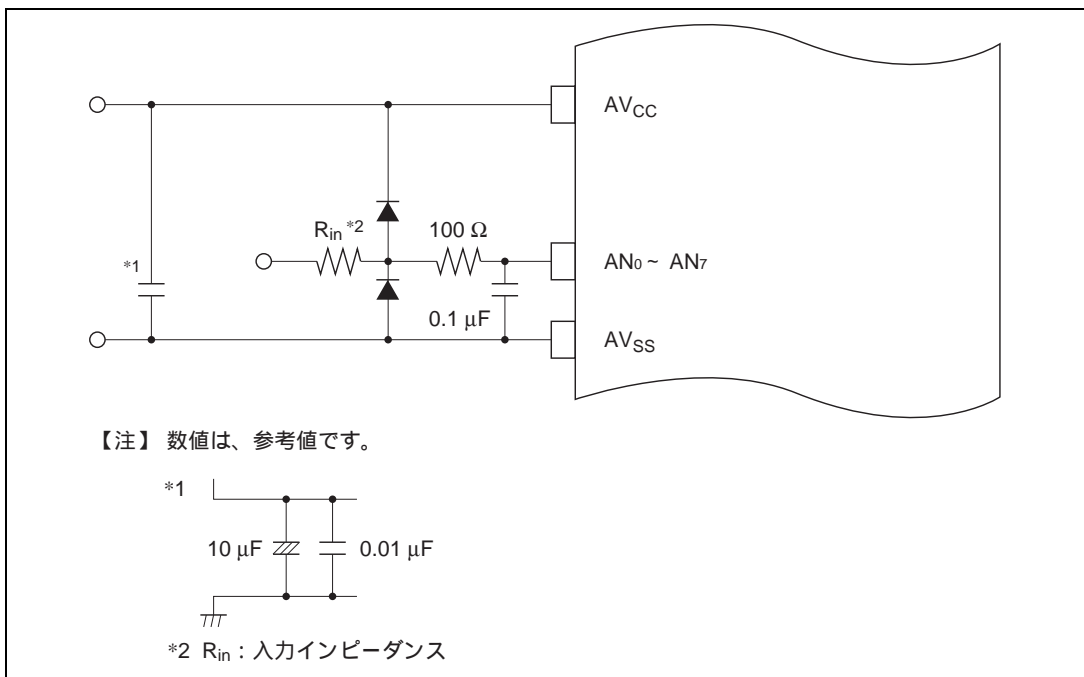


図 13.7 アナログ入力保護回路の例

表 13.5 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	-	20	pF
許容信号源インピーダンス	-	5	k Ω

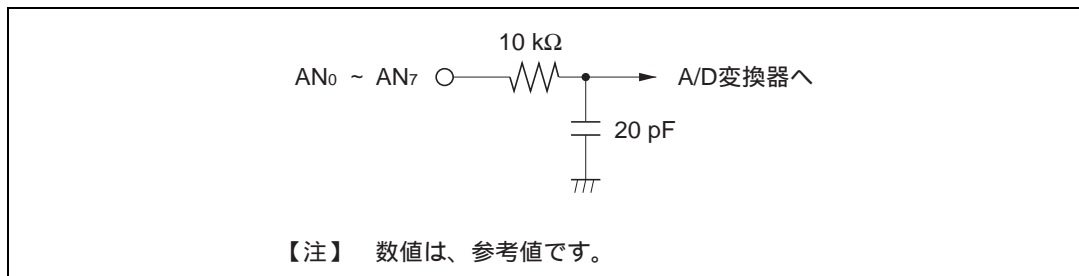


図 13.8 アナログ入力端子等価回路

(4) A/D 変換精度の定義

以下に、本 LSI の A/D 変換精度の定義を示します。

- 分解能
A/D変換器のデジタル出力コード数
- オフセット誤差
デジタル出力が最小電圧値0000000000から0000000001に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差（図13.10）
- フルスケール誤差
デジタル出力が1111111110から1111111111に変化する時のアナログ入力電圧値の理想A/D変換特性からの偏差（図13.10）
- 量子化誤差
A/D変換器が本質的に有する偏差であり、1/2 LSBで与えられる（図13.9）
- 非直線性誤差
ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む。

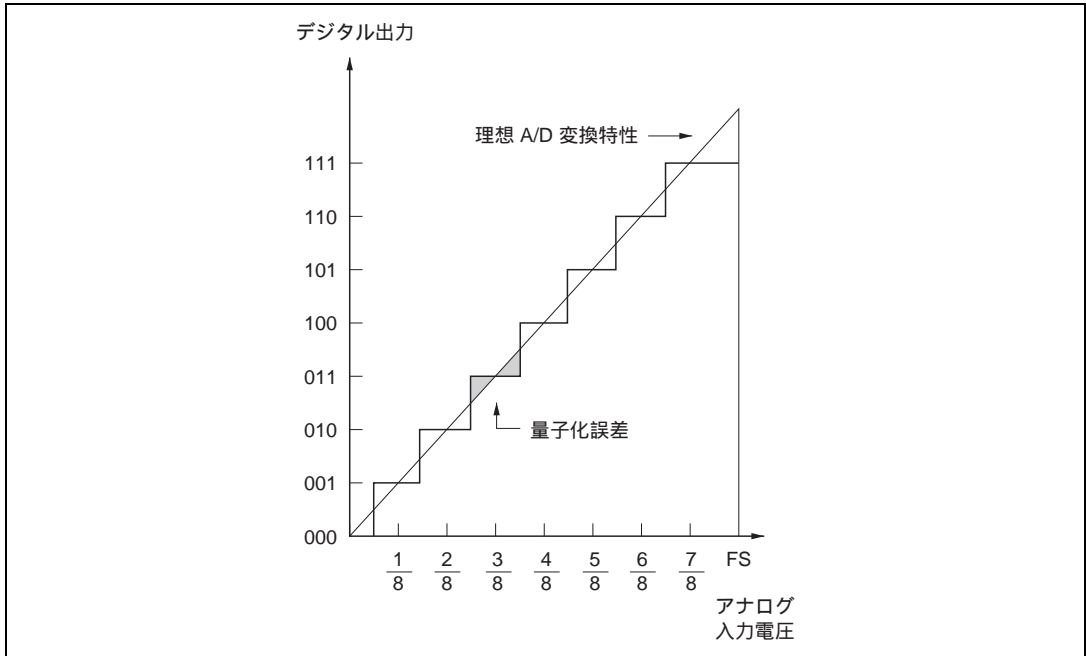


図 13.9 A/D 変換精度の定義 (1)

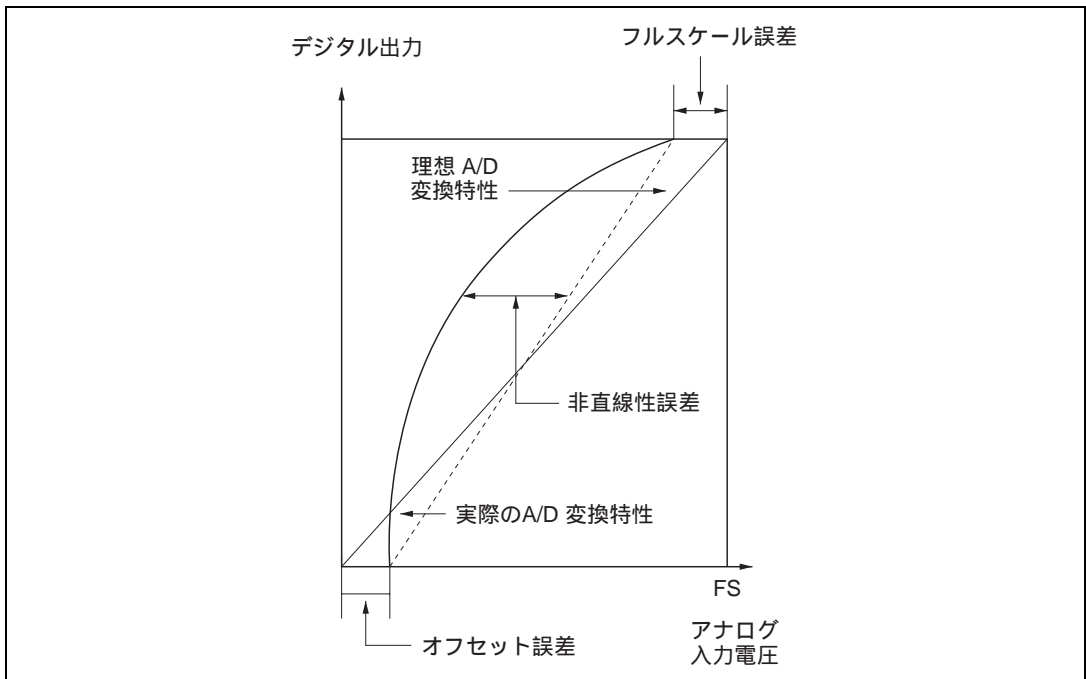


図 13.10 A/D 変換精度の定義 (2)

(5) 許容信号源インピーダンス

本 LSI のアナログ入力、信号源インピーダンスが $5\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっております。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するために設けている規格で、センサの出力インピーダンスが $5\text{k}\Omega$ を越える場合充電不足が生じ、A/D 変換精度が保証できなくなる場合があります。

単一モードで変換を行う場合で外部に大容量を設けている場合、入力の負荷は実質的に内部入力抵抗の $10\text{k}\Omega$ だけになりますので、信号源インピーダンスは不問となります。

ただし、この場合ローパスフィルタとなりますので、微分係数の大きなアナログ信号（例えば電圧の変動率が $5\text{mV}/\mu\text{s}$ 以上）には追従できない場合があります。（図 13.11）

高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

(6) 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性があります。必ず AV_{SS} 等の電氣的に安定な GND に接続してください。

またフィルター回路が実装基板上でデジタル信号と交差したり、アンテナとならないように注意が必要です。

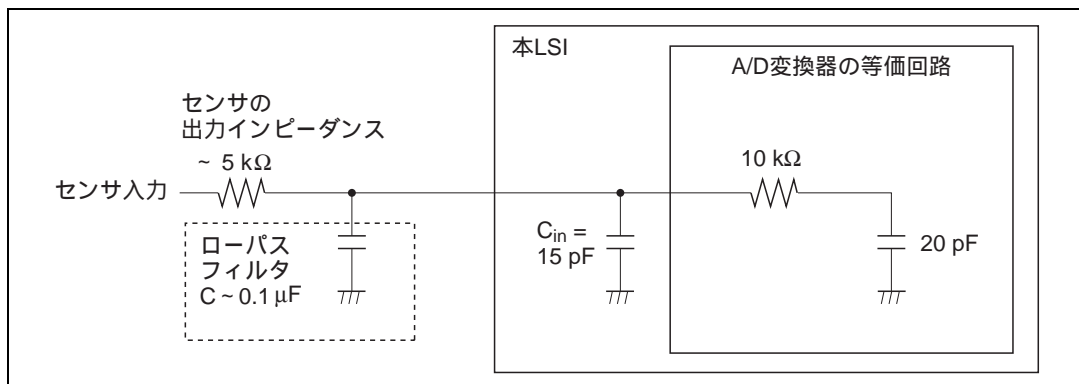


図 13.11 アナログ入力回路の例

14. RAM

14.1 概要

H8/3022 は 8K バイト、H8/3021 は 8K バイト、H8/3020 は 4K バイトのスタティック RAM を内蔵しています。RAM は CPU と 16 ビット幅のデータバスで接続されており、アクセスはバイトデータ、ワードデータにかかわらず 2 ステートで行われます。したがって、データの高速度転送が可能です。

システムコントロールレジスタ (SYSCR) の RAM イネーブル (RAME) ビットにより内蔵 RAM 有効 / 無効の制御を行います。

各動作モードにおける内蔵 RAM のアドレスを表 14.1 に示します。

表 14.1 各動作モードにおける内蔵 RAM のアドレス

モード名	H8/3022(8K バイト)	H8/3021(8K バイト)	H8/3020(4K バイト)
モード 1、5~7	H'FDF10 ~ H'FFF0F	H'FDF10 ~ H'FFF0F	H'FEF10 ~ H'FFF0F
モード 3	H'FFDF10 ~ H'FFFF0F	H'FFDF10 ~ H'FFFF0F	H'FEF10 ~ H'FFFF0F

14.1.1 ブロック図

RAM のブロック図を図 14.1 に示します。

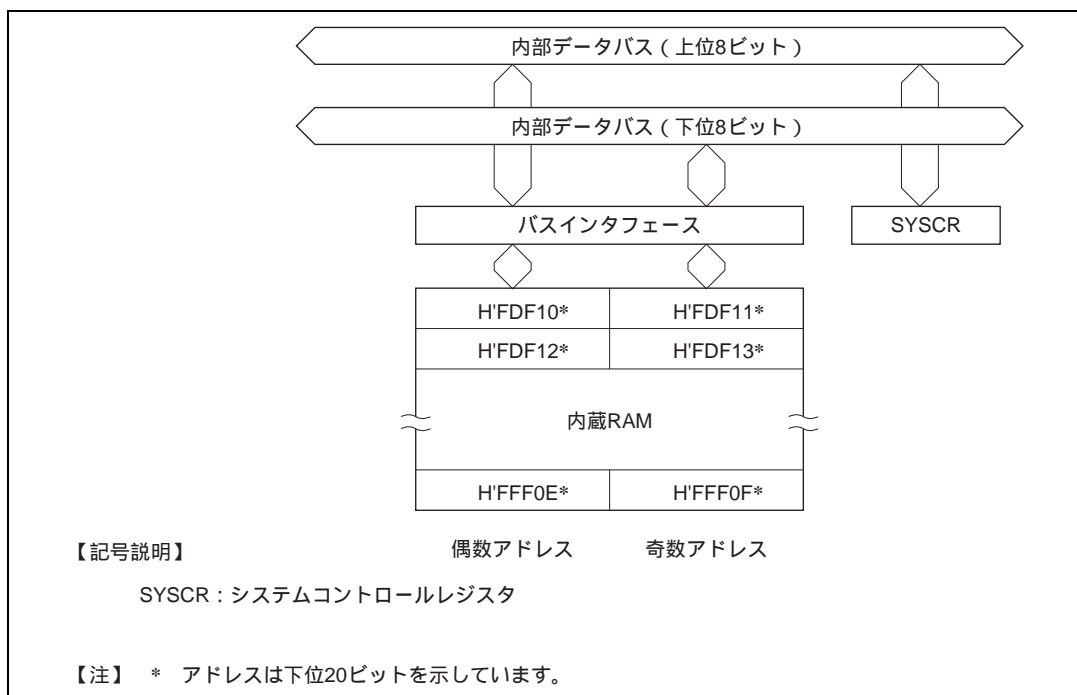


図 14.1 RAM のブロック図 (H8/3022 のモード 1、5~7 の場合)

14.1.2 レジスタ構成

内蔵 RAM は、SYSCR で制御されます。
SYSCR のアドレスと初期値を表 14.2 に示します。

表 14.2 レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFF2	システムコントロールレジスタ	SYSCR	R/W	H'0B

【注】 * アドレスは下位 16 ビットを示しています。

14.2 システムコントロールレジスタ (SYSCR)

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	UE	NMIEG	—	RAME
初期値:	0	0	0	0	1	0	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W

ソフトウェアスタンバイ
スタンプイタイムセレクト2~0
ユーザビットイネーブル
NMIエッジセレクト
リザーブビット
RAMイネーブルビット
 内蔵RAMの有効/無効
 を選択するビットです。

SYSCR は、内蔵 RAM へのアクセスを許可 / 禁止するレジスタです。内蔵 RAM は SYSCR の RAME ビットにより有効 / 無効が選択されます。なお、SYSCR のその他のビットについての詳細は「3.3 システムコントロールレジスタ (SYSCR)」を参照してください。

ビット0: RAM イネーブル (RAME)

内蔵 RAM の有効または無効を選択します。RAME ビットは \overline{RES} 端子の立ち上がりエッジで初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット0	説明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

14.3 動作説明

RAME ビットを 1 にセットすると内蔵 RAM が有効になります。本 LSI では各動作モードで、表 14.1 に示すアドレスをアクセスすると内蔵 RAM がアクセスされます。また、モード 1、3、5、6 (拡張モード) では RAME ビットが 0 にクリアされているときは、外部アドレス空間がアクセスされます。モード 7 (シングルチップモード) では、RAME ビットが 0 にクリアされているときは、内蔵 RAM はアクセスされません。リードすると常に H'FF がリードされ、ライトは無効です。

内蔵 RAM は、CPU と 16 ビット幅のデータバスで接続されており、バイト単位、ワード単位のリード/ライトが可能です。

バイトデータは、データバス上位 8 ビットを使い、2 ステートでアクセスできます。また、偶数番地から始まるワードデータは、データバス 16 ビットを使い、2 ステートでアクセスできます。

15. ROM

15.1 特長

本 LSI は 256K バイトのフラッシュメモリを内蔵しています。フラッシュメモリの特長を以下に示します。

フラッシュメモリの 4 種類の動作モード

- プログラムモード
- イレースモード
- プログラムベリファイモード
- イレースベリファイモード

書き込み / 消去方式

書き込みは 128 バイト同時書き込みを行います。消去はブロック分割消去 (1 ブロック単位) で行います。全面消去を行う場合は、各ブロック単位に順次行ってください。ブロック分割消去では 4K バイト、32K バイト、64K バイトのブロック単位で任意に設定することができます。

書き込み / 消去時間

フラッシュメモリの書き込み時間は、128 バイト同時書き込みにて 10ms (typ.)、1 バイトあたり換算にて約 80 μ s (typ.)、消去時間は、100ms (typ.) です。

書き換え回数

フラッシュメモリの書き換えは、100 回まで可能です。

オンボードプログラミングモード

オンボードでフラッシュメモリの書き込み / 消去 / ベリファイを行う 2 種類のモードがあります。

- ブートモード
- ユーザプログラムモード

ビットレート自動合わせ込み

ブートモードでデータ転送時、ホストの転送ビットレートと本 LSI のビットレートとを自動で合わせることができます。

RAM によるフラッシュメモリのエミュレーション機能

フラッシュメモリと RAM の一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

プロテクトモード

ソフトウェアプロテクトモードとハードウェアプロテクトモードの 2 種類のモードがあり、フラッシュメモリの書き込み / 消去 / ベリファイのプロテクト状態を設定することができます。

PROM モード

フラッシュメモリの書き込み / 消去可能なモードとして、オンボードプログラミングモード以外に PROM ライタを用いた PROM モードがあります。

15.2 概要

15.2.1 ブロック図

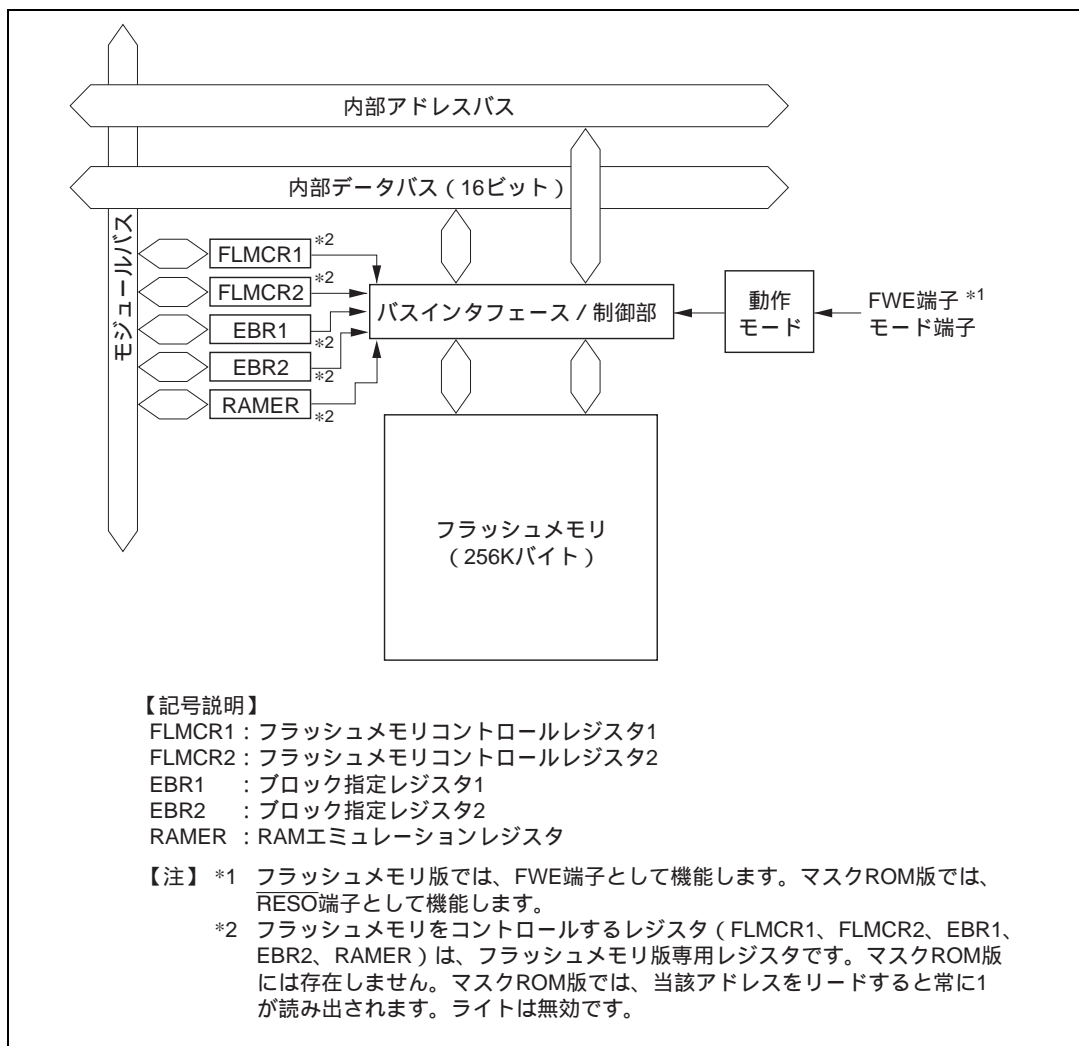


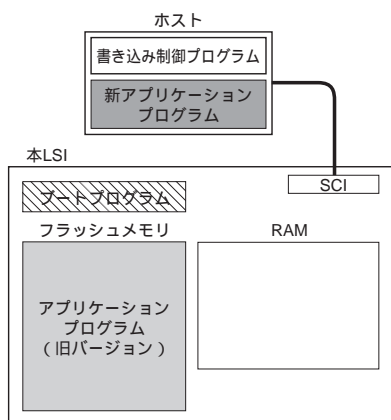
図 15.1 フラッシュメモリのブロック図

15.2.3 オンボードプログラミングモード

(1) ブートモードの例

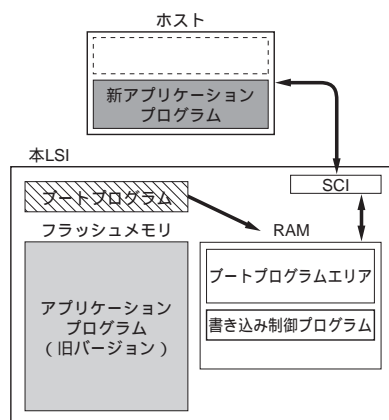
1. 初期状態

フラッシュメモリには、旧バージョンのプログラムあるいはデータが書かれたままです。書き込み制御プログラムおよび新アプリケーションプログラムはユーザがあらかじめホストに用意してください。



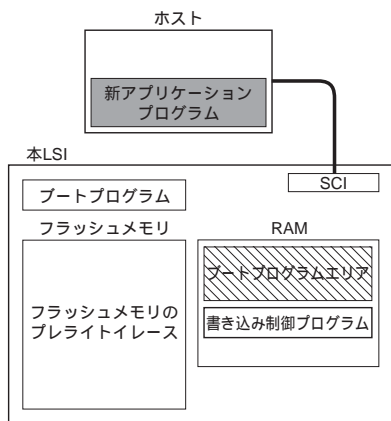
2. 書き込み制御プログラムの転送

ブートモードに移行すると本LSI内のブートプログラム（既にLSIに内蔵されている）が起動し、ホストにある書き込み制御プログラムをRAMにSCI通信で転送します。また、フラッシュメモリの消去に必要なブートプログラムは、RAMのブートプログラムエリアに自動的に転送されます。



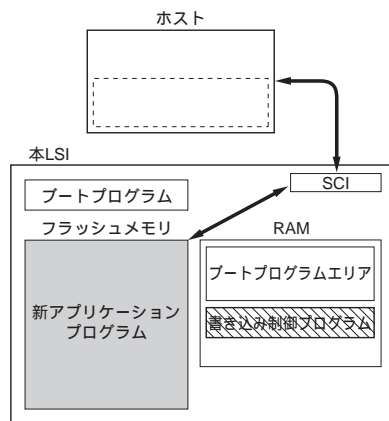
3. フラッシュメモリの初期化

ブートプログラムエリア（RAM内）にある消去プログラムを実行し、フラッシュメモリを初期化（HFF）します。ブートモード時は、ブロックに関係なくフラッシュメモリを全面消去します。



4. 新アプリケーションプログラムの書き込み

ホストよりRAMに転送した書き込み制御プログラムを実行して、ホストにある新アプリケーションプログラムをフラッシュメモリに書き込みます。

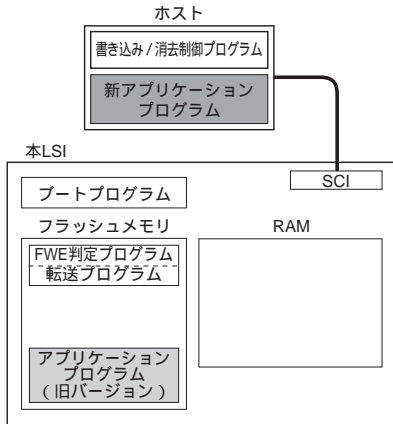


▨ プログラム実行状態

(2) ユーザプログラムモードの例

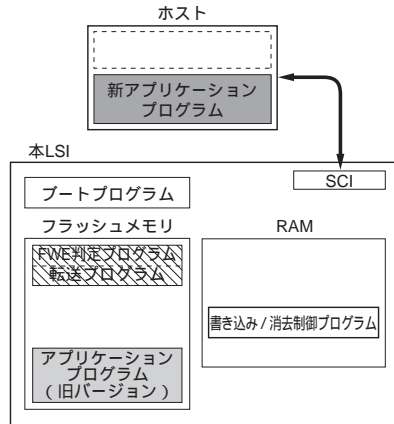
1. 初期状態

(1) ユーザプログラムモードに移したことを確認するFWE判定プログラム、(2) フラッシュメモリから内蔵RAMに書き込み/消去制御プログラムを転送するプログラムをあらかじめフラッシュメモリにユーザが書き込んでおいてください。(3) 書き込み/消去制御プログラムはホストまたはフラッシュメモリに用意してください。



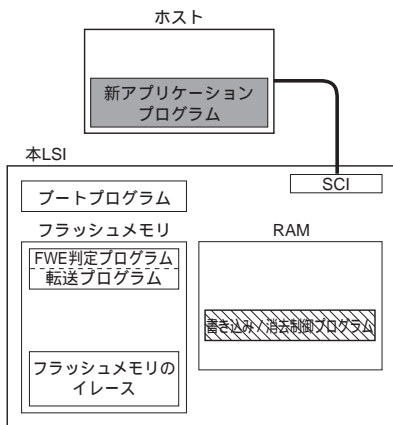
2. 書き込み/消去制御プログラムの転送

ユーザプログラムモードに移すると、ユーザソフトはこれを認識してフラッシュメモリ内の転送プログラムを実行して、書き込み/消去制御プログラムをRAMに転送します。



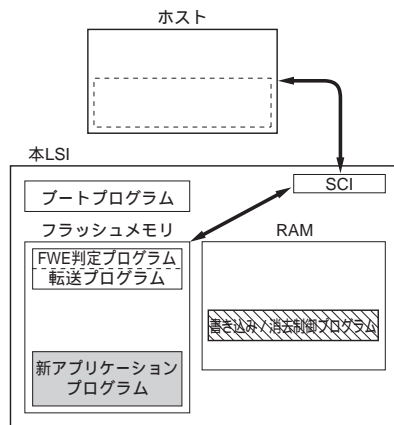
3. フラッシュメモリの初期化

RAM上の書き込み/消去プログラムを実行し、フラッシュメモリを初期化 (H'FF) します。消去は、ブロック単位で行えます。バイト単位の消去はできません。



4. アプリケーションプログラムの書き込み

次にホストにある新アプリケーションプログラムを消去したフラッシュメモリのブロックに書き込みます。消去されていないブロックに対する書き込みは行わないでください。



▨ プログラム実行状態

15.2.4 RAM によるフラッシュメモリのエミュレーション

本 LSI では、フラッシュメモリと RAM の一部を重ね合わせる（オーバーラップ RAM）ことで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。エミュレーション機能を実行しているときに RAMER で設定したエミュレーションブロックをアクセスすると、オーバーラップ RAM に書かれているデータが読み出されます。

ユーザモード、ユーザプログラムモードでエミュレーションを行ってください。

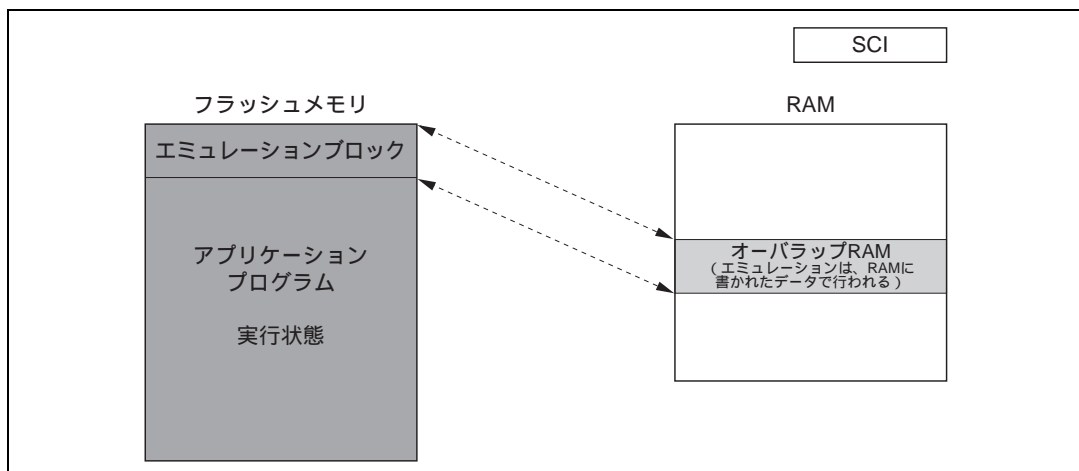


図 15.3 ユーザモード、ユーザプログラムモードのオーバーラップ RAM データの読み出し

オーバーラップ RAM のデータが確定したら、RAMS ビットをクリアして RAM のオーバーラップを解除し、実際にフラッシュメモリへの書き込みを行ってください。

ただし、オンボードプログラミングモードで書き換え制御プログラムを RAM に転送してくるときに、転送先とオーバーラップ RAM が重ならないようにしてください。オーバーラップ RAM 内のデータが書き換えられてしまいます。

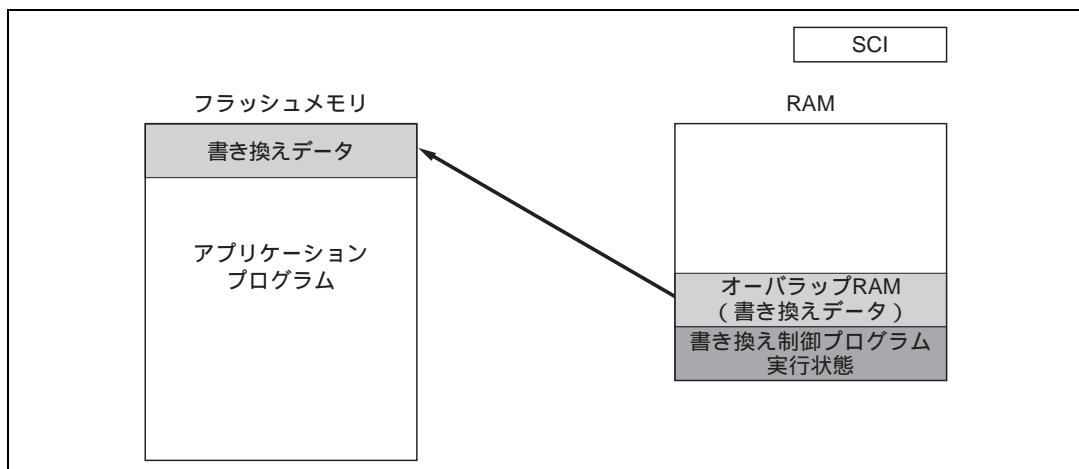


図 15.4 ユーザプログラムモードのオーバーラップ RAM データの書き込み

15.2.5 ブートモードとユーザプログラムモードの相違点

	ブートモード	ユーザプログラムモード
全面消去		
ブロック分割消去	×	
書き換え制御プログラム*	ブートプログラムを起動し、ホストより書き換え制御プログラムを内蔵 RAM へ転送および実行	フラッシュメモリ中の書き換えプログラムを制御するプログラムを実行。あらかじめ PROM モードおよびブートプログラムモードでプログラムを書き込んでください。

【注】 * 推奨するアルゴリズムに沿って、ユーザ側で用意してください。

15.2.6 ブロック分割法

64K バイト (3 ブロック)、32K バイト (1 ブロック)、4K バイト (8 ブロック) に分割されています。このブロック単位で、消去することができます。

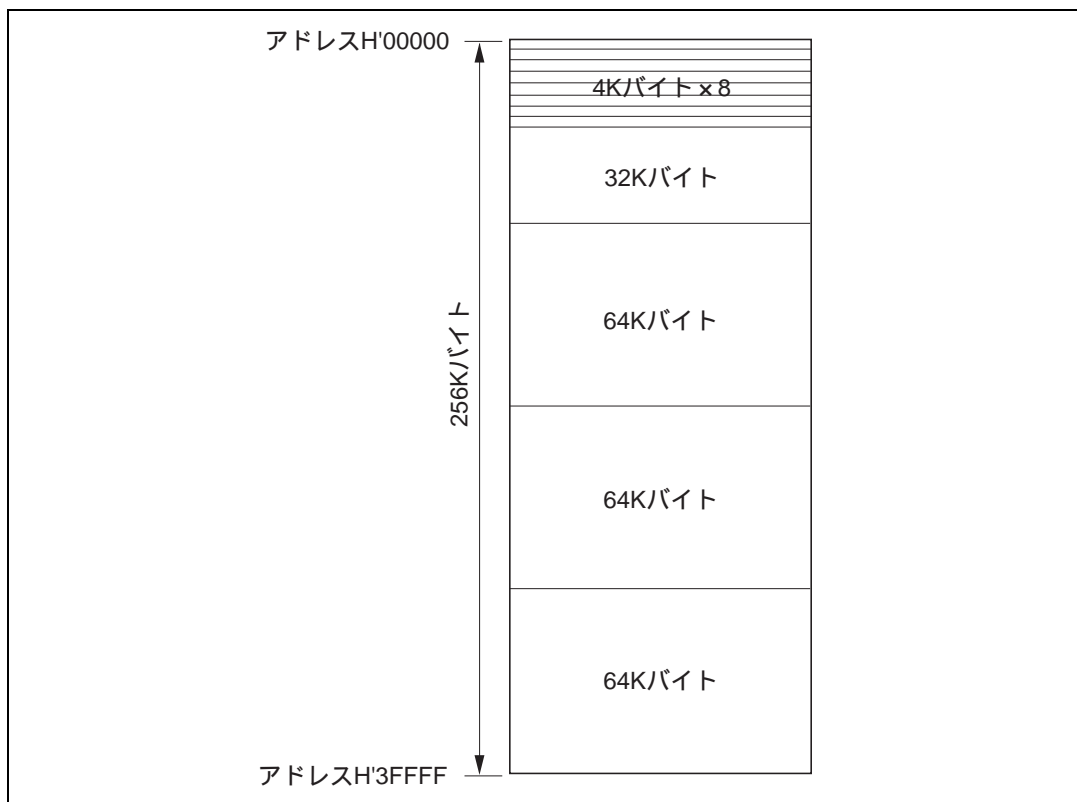


図 15.5 ブロック分割法

15.3 端子構成

フラッシュメモリは表 15.1 に示す端子により制御されます。

表 15.1 端子構成

端子名	略称	入出力	機能
リセット	RES	入力	リセット
フラッシュライトイネーブル	FWE	入力	フラッシュの書き込み / 消去をハードウェアプロテクト
モード 2	MD2	入力	本 LSI の動作モードを設定
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
トランスミットデータ	TxD ₁	出力	シリアル送信データ出力
レシーブデータ	RxD ₁	入力	シリアル受信データ入力

15.4 レジスタ構成

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタ*1 を表 15.2 に示します。

表 15.2 レジスタ構成

名称	略称	R/W	初期値	アドレス*2
フラッシュメモリコントロールレジスタ 1	FLMCR1*1	R/W	H'00*3	H'FF40
フラッシュメモリコントロールレジスタ 2	FLMCR2*1	R	H'00	H'FF41
消去ブロック指定レジスタ 1	EBR1*1	R/W	H'00	H'FF42
消去ブロック指定レジスタ 2	EBR2*1	R/W	H'00	H'FF43
RAM エミュレーションレジスタ	RAMER*1	R/W	H'F0	H'FF47

【注】 *1 FLMCR1、FLMCR2、EBR1、EBR2、RAMER は 8 ビットのレジスタです。

アクセスはバイトアクセスしてください。(ワードあるいはロングワードでアクセスしないでください。)また、これらはフラッシュメモリ版専用レジスタです。マスク ROM 版には存在しません。マスク ROM 版では、当該アドレスをリードすると常に 1 が読み出されます。ライトは無効です。アドレス H'FF44 ~ H'FF46、H'FF48 ~ H'FF4F (下位 16 ビット) はアクセス禁止です。

*2 アドレス下位 16 ビットを示しています。

*3 FWE 端子に High レベルが入力されているときの初期値は H'80 です。

15.5 レジスタの説明

15.5.1 フラッシュメモリコントロールレジスタ 1 (FLMCR1)

ビット：	7	6	5	4	3	2	1	0
	FWE	SWE	ESU	PSU	EV	PV	E	P
初期値：	- *	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】* FWE端子の状態により設定されます。

FLMCR1 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。プログラムベリファイモード、イレースベリファイモードに遷移させるには、FWE=1 時に SWE ビットをセット後、EV ビットまたは PV ビットをセットします。プログラムモードへ遷移させるには、FWE=1 時に、SWE ビットをセット後、PSU ビットをセットし、最後に P ビットをセットします。イレースモードへ遷移するには、FWE=1 時に、SWE ビットをセット後、ESU ビットをセットし、最後に E ビットをセットします。FLMCR1 は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモードで初期化されます。FWE 端子に High レベルが入力されているときの初期値は H'80 です。Low レベルが入力されているときは H'00 です。内蔵フラッシュメモリが無効のときに本レジスタを読み出すと H'00 が読み出され、書き込みも無効となります。

また、FLMCR1 の SWE ビットへの書き込みは FWE=1 のとき、ESU、PSU、EV、PV ビットへの書き込みは FWE=1、SWE=1 のとき、E ビットへの書き込みは FWE=1、SWE=1、ESU=1 のとき、P ビットへの書き込みは FWE=1、SWE=1、PSU=1 のときのみ有効です。

- 【注】 1. 本レジスタの各ビットの設定は、誤書き込みや誤消去を防止するために、書き込みフローおよび消去フローに従ってください。
2. 本レジスタの設定により、プログラムモード/イレースモード/プログラムベリファイモード/イレースベリファイモードへと遷移します。フラッシュメモリを通常の内蔵 ROM として読み出す際には、本レジスタのビット 6~0 をクリアした状態にしてください。

ビット 7: フラッシュライトイネーブルビット (FWE)

FWE ビットは、フラッシュメモリの書き込み/消去をハードウェアプロテクトするビットです。

ビット 7	説明
FWE	
0	FWE 端子に Low レベルが入力されているとき (ハードウェアプロテクト状態)
1	FWE 端子に High レベルが入力されているとき

15. ROM

ビット6：ソフトウェアライトイネーブルビット（SWE）

フラッシュメモリの書き込み/消去の有効または無効を選択するビットです（ビット5~0、EBR1の7~0ビット、EBR2の3~0ビットをセットするときにセットしてください）。

ビット6	説 明
SWE	
0	書き込み無効 (初期値)
1	書き込み有効 [セット条件] FWE = 1 のとき

【注】 SWE ビットを1にセットしている間は、SLEEP 命令は実行しないでください。

ビット5：イレースセットアップビット（ESU）

イレースモードへの遷移の準備をするビットです。（SWE、PSU、EV、PV、E、P ビットを同時に設定しないでください）。

ビット5	説 明
ESU	
0	イレースセットアップ解除 (初期値)
1	イレースセットアップ [セット条件] FWE = 1、SWE = 1 のとき

ビット4：プログラムセットアップビット（PSU）

プログラムモードへの遷移の準備をするビットです。（SWE、ESU、EV、PV、E、P ビットを同時に設定しないでください）。

ビット4	説 明
PSU	
0	プログラムセットアップ解除 (初期値)
1	プログラムセットアップ [セット条件] FWE = 1、SWE = 1 のとき

ビット3：イレースベリファイ（EV）

イレースベリファイモードへの遷移、解除を選択するビットです（SWE、ESU、PSU、PV、E、P ビットを同時に設定しないでください）。

ビット3	説 明
EV	
0	イレースベリファイモードを解除 (初期値)
1	イレースベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット2：プログラムベリファイ (PV)

プログラムベリファイモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、E、P ビットを同時に設定しないでください)。

ビット2	説 明
PV	
0	プログラムベリファイモードを解除 (初期値)
1	プログラムベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1 のとき

ビット1：イレース (E)

イレースモードへの遷移、解除を選択するビットです (SWE、ESU、PSU、EV、PV、P ビットを同時に設定しないでください)。

ビット1	説 明
E	
0	イレースモードを解除 (初期値)
1	イレースモードに遷移* [セット条件] FWE = 1、SWE = 1、ESU = 1 のとき

【注】 * E ビットを 1 にセットしている間、フラッシュメモリへのアクセスは行わないでください。

ビット0：プログラム (P)

プログラムモードへの遷移、解除を選択するビットです (SWE、PSU、ESU、EV、PV、E ビットを同時に設定しないでください)。

ビット0	説 明
P	
0	プログラムモードを解除 (初期値)
1	プログラムモードに遷移* [セット条件] FWE = 1、SWE = 1、PSU = 1 のとき

【注】 * P ビットを 1 にセットしている間、フラッシュメモリへのアクセスは行わないでください。

15.5.2 フラッシュメモリコントロールレジスタ 2 (FLMCR2)

ビット :	7	6	5	4	3	2	1	0
	FLER	-	-	-	-	-	-	-
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R

FLMCR2 は、フラッシュメモリの各動作モードを制御する 8 ビットのレジスタです。FLMCR2 は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモードのとき H'00 に初期化されます。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出されます。

【注】 FLMCR2 は読み出し専用レジスタです。書き込みはしないでください。

ビット 7 : フラッシュメモリエラー (FLER)

フラッシュメモリへ動作中 (書き込み、消去) にエラーが発生したことを示すビットです。FLER = 1 にセットされると、フラッシュメモリはエラープロテクトに遷移します。

ビット 7	説明
FLER	
0	フラッシュメモリは正常に動作しています。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が無効 [クリア条件] リセット (RES 端子および WDT リセット) またはハードウェアスタンバイモードのとき (初期値)
1	フラッシュメモリへの書き込み / 消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み / 消去プロテクト (エラープロテクト) が有効 [セット条件] (1) 書き込み / 消去中にフラッシュメモリをリードしたとき (ベクタリードおよび命令フェッチを含む)。ただし、フラッシュメモリ空間とオーバーラップした RAM エリアのリードは除く。 (2) 書き込み / 消去中の例外処理 (ただし、リセット、不当命令、トラップ命令、ゼロ除算時の例外処理は除く) の開始直後。 (3) 書き込み / 消去中に SLEEP 命令 (ソフトウェアスタンバイを含む) を実行したとき。

ビット 6~0 : リザーブビット

リザーブビットです。書き込み時は必ず 0 をライトしてください。

15.5.3 消去ブロック指定レジスタ 1 (EBR1)

ビット :	7	6	5	4	3	2	1	0
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリの消去エリアをブロックごとに設定する 8 ビットのレジスタです。EBR1 は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE 端子に Low レベルが入力されているとき、および FWE 端子に High レベルが入力されていても FLMCR1 の SWE ビットが設定されていないときは H'00 に初期化されます。EBR1 の各ビットに 1 をセットすると、対応するブロックが消去可能となります。それ以外のブロックは、消去プロテクト状態になります。EBR1 は EBR2 と合わせて 1 ビットのみ設定してください (2 ビット以上を設定しないでください)。設定すると EBR1 と EBR2 はともに 0 にオートクリアされます)。内蔵フラッシュメモリが無効のとき本レジスタを読み出すと H'00 が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表 15.3 を参照してください。

全面消去する場合は、各ブロック単位に順次消去してください。

15.5.4 消去ブロック指定レジスタ 2 (EBR2)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	EB11	EB10	EB9	EB8
初期値:	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

フラッシュメモリの消去エリアをブロックごとに設定する 8 ビットのレジスタです。EBR2 は、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、FWE 端子に Low レベルが入力されているとき、H'00 に初期化されます。また FWE 端子に High レベルが入力されていても、FLMCR1 の SWE ビットが設定されていないときはビット 0 に初期化されます。EBR2 の各ビットに 1 をセットすると、対応するブロックが消去可能となります（それ以外のブロックは、消去プロテクト状態になります）。EBR2 は EBR1 と合わせて 1 ビットのみ設定してください（2 ビット以上を設定しないでください。設定すると EBR1 と EBR2 はともに 0 にオートクリアされます）。ビット 7~4 はリザーブビットです。書き込み時は必ず 0 をライトしてください。内蔵フラッシュメモリが無効のときは読み出すと H'00 が読み出され、書き込みも無効となります。

フラッシュメモリのブロック分割方法は、表 15.3 を参照してください。

全面消去する場合は、各ブロックを順次消去してください。

【注】 本レジスタのビット 7~4 には 1 をセットしないでください。EBR1/EBR2 のビットがセットされている状態で、ビット 7~4 をセットした場合、EBR1/EBR2 は、H'00 に初期化されます。

表 15.3 消去ブロックの分割

ブロック (サイズ)	アドレス
EB0 (4K バイト)	H'000000 ~ H'000FFF
EB1 (4K バイト)	H'001000 ~ H'001FFF
EB2 (4K バイト)	H'002000 ~ H'002FFF
EB3 (4K バイト)	H'003000 ~ H'003FFF
EB4 (4K バイト)	H'004000 ~ H'004FFF
EB5 (4K バイト)	H'005000 ~ H'005FFF
EB6 (4K バイト)	H'006000 ~ H'006FFF
EB7 (4K バイト)	H'007000 ~ H'007FFF
EB8 (32K バイト)	H'008000 ~ H'00FFFF
EB9 (64K バイト)	H'010000 ~ H'01FFFF
EB10 (64K バイト)	H'020000 ~ H'02FFFF
EB11 (64K バイト)	H'030000 ~ H'03FFFF

15.5.5 RAM エミュレーションレジスタ (RAMER)

ビット:	7	6	5	4	3	2	1	0
	-	-	-	-	RAMS	RAM2	RAM1	RAM0
初期値:	1	1	1	1	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

フラッシュメモリのリアルタイムな書き換えをエミュレートするときに、RAMの一部と重ね合わせるフラッシュメモリのエリアを設定するレジスタです。パワーオンリセット、またはハードウェアスタンバイモードのときにH'F0に初期化されます。ソフトウェアスタンバイモードのときには、初期化されません。RAMERの設定は、ユーザモード、ユーザプログラミングモードで行ってください。

フラッシュメモリエリアの分割法は、表 15.4 を参照してください。なお、エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後にRAMエミュレーションの対象ROMをアクセスしないでください。

直後にアクセスした場合には正常なアクセスは保証されません。

ビット7~4: リザーブビット

読み出すと常に1が読み出されます。

ビット3: RAM セレクト (RAMS)

RAMによるフラッシュメモリのエミュレーション選択/非選択を設定するビットです。RAMS = 1のときは、フラッシュメモリ全ブロックの書き込み/消去プロテクト状態となります。

ビット3	説明
RAMS	
0	エミュレーション非選択 フラッシュメモリ全ブロック書き込み/消去プロテクト無効 (初期値)
1	エミュレーション選択 フラッシュメモリ全ブロック書き込み/消去プロテクト有効

15. ROM

ビット 2、1、0：フラッシュメモリエリア選択

ビット 3 と共に使用し、RAM と重ね合わせるフラッシュメモリのエリアを選択します。（表 15.4 参照）

表 15.4 フラッシュメモリエリアの分割

RAM エリア	ブロック名	RAMS	RAM2	RAM1	RAM0
H'FFFFFFE000 ~ H'FFFFFFEFFF	RAM エリア 4K バイト	0	*	*	*
H'000000000 ~ H'000000FFF	EB0 (4K バイト)	1	0	0	0
H'000010000 ~ H'00001FFFF	EB1 (4K バイト)	1	0	0	1
H'000020000 ~ H'00002FFFF	EB2 (4K バイト)	1	0	1	0
H'000030000 ~ H'00003FFFF	EB3 (4K バイト)	1	0	1	1
H'000040000 ~ H'00004FFFF	EB4 (4K バイト)	1	1	0	0
H'000050000 ~ H'00005FFFF	EB5 (4K バイト)	1	1	0	1
H'000060000 ~ H'00006FFFF	EB6 (4K バイト)	1	1	1	0
H'000070000 ~ H'00007FFFF	EB7 (4K バイト)	1	1	1	1

【記号説明】

* : Don't care

【注】 RAM によるフラッシュメモリのエミュレーションを行う場合、SYSCR の RAME ビットは必ず 1 にセットしてください。

15.5.6 H8/3039F-ZTAT グループとの相違点

表 15.5 H8/3039F と H8/3022F との比較

		H8/3039F	H8/3022F																																															
容量		128K バイト	256K バイト																																															
書き込み / 消去電圧		Vcc から供給	Vcc から供給																																															
書き込み	書き込み単位	32 バイト同時書き込み	128 バイト同時書き込み																																															
	書き込みパルス印加方式	150 μ s \times 4 + 500 μ s \times 399	30 μ s \times 6 + 200 μ s \times 994 (10 μ s 追加書き込みあり)* ¹																																															
消去	ブロック分割	8 分割 1K バイト \times 4、28K バイト \times 1、 32K バイト \times 3	12 分割 4K バイト \times 8、32K バイト \times 1、 64K バイト \times 3																																															
	EBR 構成	EBR : H'FF42 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td>EB7</td><td>EB6</td><td>EB5</td><td>EB4</td><td>EB3</td><td>EB2</td><td>EB1</td><td>EB0</td></tr> </table>	7	6	5	4	3	2	1	0	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	EBR1 : H'FF42 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td>EB7</td><td>EB6</td><td>EB5</td><td>EB4</td><td>EB3</td><td>EB2</td><td>EB1</td><td>EB0</td></tr> </table> EBR2 : H'FF43 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td>-</td><td>-</td><td>-</td><td>-</td><td>EB11</td><td>EB10</td><td>EB9</td><td>EB8</td></tr> </table>	7	6	5	4	3	2	1	0	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	7	6	5	4	3	2	1	0	-	-	-	-	EB11	EB10	EB9
7	6	5	4	3	2	1	0																																											
EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0																																											
7	6	5	4	3	2	1	0																																											
EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0																																											
7	6	5	4	3	2	1	0																																											
-	-	-	-	EB11	EB10	EB9	EB8																																											
RAM エミュレーション	RAM エリア	1K バイト (H'FF800 ~ H'FFBFF)	4K バイト (H'FE000 ~ H'FEFFF)																																															
	対象ブロック	EB0 ~ EB3	EB0 ~ EB7																																															
	RAMCR 構成	RAMCR : H'FF47 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td>-</td><td>-</td><td>-</td><td>-</td><td>RAMS</td><td>RAM2</td><td>RAM1</td><td>-</td></tr> </table>	7	6	5	4	3	2	1	0	-	-	-	-	RAMS	RAM2	RAM1	-	RAMER : H'FF47 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td>-</td><td>-</td><td>-</td><td>-</td><td>RAMS</td><td>RAM2</td><td>RAM1</td><td>RAM0</td></tr> </table>	7	6	5	4	3	2	1	0	-	-	-	-	RAMS	RAM2	RAM1	RAM0															
7	6	5	4	3	2	1	0																																											
-	-	-	-	RAMS	RAM2	RAM1	-																																											
7	6	5	4	3	2	1	0																																											
-	-	-	-	RAMS	RAM2	RAM1	RAM0																																											
FLASH エラー	FLER ビット	FLMSR : H'FF4D <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td>FLER</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td></tr> </table>	7	6	5	4	3	2	1	0	FLER	-	-	-	-	-	-	-	FLMCR : H'FF41 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr><td>7</td><td>6</td><td>5</td><td>4</td><td>3</td><td>2</td><td>1</td><td>0</td></tr> <tr><td>FLER</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td><td>-</td></tr> </table>	7	6	5	4	3	2	1	0	FLER	-	-	-	-	-	-	-															
7	6	5	4	3	2	1	0																																											
FLER	-	-	-	-	-	-	-																																											
7	6	5	4	3	2	1	0																																											
FLER	-	-	-	-	-	-	-																																											
フラッシュメモリ特性	SWE クリア後のウェイト	-	t _{CSWE} の規定分必要* ²																																															
ブートモード	ビットレート	9,600bps、4,800bps	19,200bps、9,600bps、4,800bps																																															
	ブートエリア	H'FEF10 ~ H'FF2FF	H'FFDF10 ~ H'FFE70F																																															
	ユーザエリア	H'FF300 ~ H'FFF0F	H'FFE710 ~ H'FFFF0F																																															
PROM モード		ルネサス 128K バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしている PROM ライタを使用	ルネサス 256K バイトフラッシュメモリ内蔵マイコンデバイスタイプをサポートしている PROM ライタを使用																																															

【注】 *1 H8/3022F の書き込み・消去アルゴリズムの詳細については、「15.7 フラッシュメモリの書き込み / 消去」を参照してください。

*2 H8/3022F のフラッシュメモリ特性の詳細な規定は、「18.2.5 フラッシュメモリ特性」を参照してください。

15.6 オンボードプログラミングモード

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み / 消去 / ベリファイを行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはブートモードとユーザプログラムモードの2種類の動作モードがあり、各モードへ遷移する端子の設定方法を表 15.6 に示します。また、フラッシュメモリに関する各モードへの状態遷移図は図 15.2 を参照してください。

表 15.6 オンボードプログラミングモードの設定方法

モード名		FWE	MD2	MD1	MD0	
ブートモード	拡張モード	モード 5	1* ¹	0* ²	0	1
		モード 6		0* ²	1	0
	シングルチップモード	モード 7		0* ²	1	1
ユーザプログラムモード	拡張モード	モード 5	1	1	0	1
		モード 6		1	1	0
	シングルチップモード	モード 7		1	1	1

- 【注】 *1 High レベルの印加タイミングについては、「ブートモード使用時の注意」の(6)(7)を参照してください。
- *2 ブートモード時は、MD₂の設定を反転入力(0)としてください。ブートモード時のモードコントロールレジスタ(MDCR)は、通常モードと同様にモード5~7の状態をモニタすることができます。

15.6.1 ブートモード

ブートモードを使用する場合は、フラッシュメモリへの書き込み制御プログラムをホストに準備しておく必要があります。また、使用する SCI のチャネルは調歩同期式モードに設定されています。

本 LSI の端子をブートモードに設定後リセットスタートすると、あらかじめマイコン内に組み込まれているブートプログラムを起動し、ホストに用意した書き込み制御プログラムを SCI を使って本 LSI へ順次送信します。本 LSI では、SCI で受信した書き込み制御プログラムを内蔵 RAM の書き込み制御プログラムエリアに書き込みます。転送終了後書き込み制御プログラムエリアの先頭アドレス (H'FE710) に分岐し、書き込み制御プログラム実行状態となります (フラッシュメモリの書き込みを行います)。

したがって、転送する書き込み制御プログラムには、後述の書き込みアルゴリズムに沿ったプログラムを準備してください。

図 15.6 にブートモード時のシステム構成図、図 15.7 にブートモード実行手順を示します。

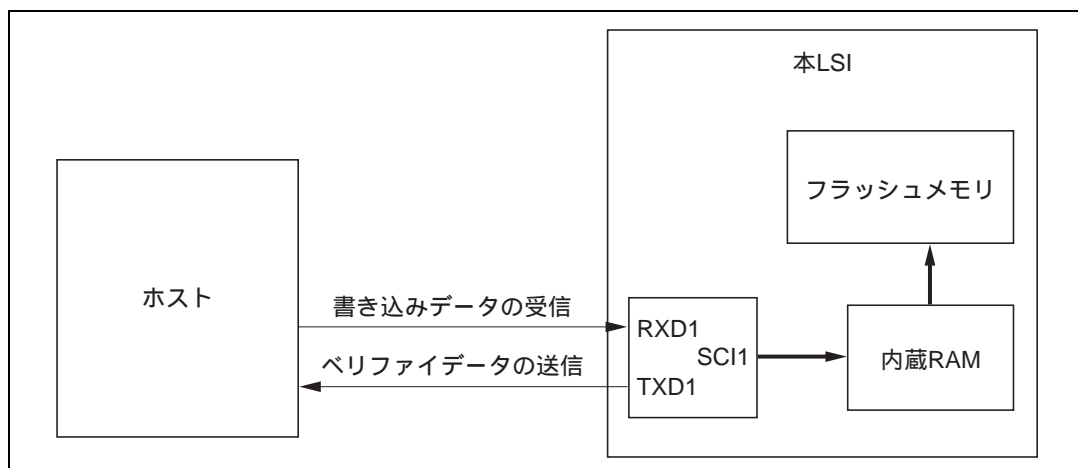


図 15.6 ブートモード時のシステム構成図

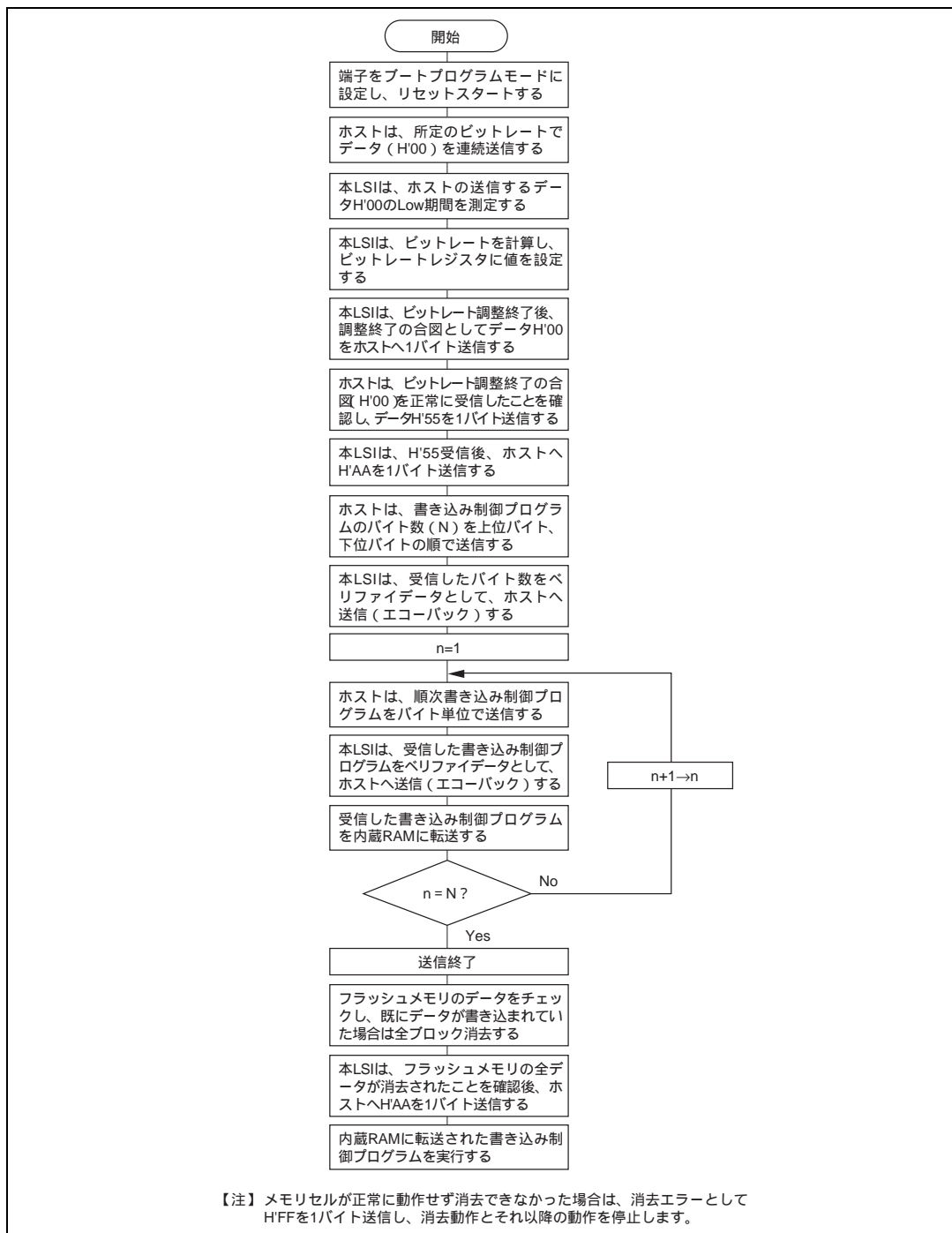
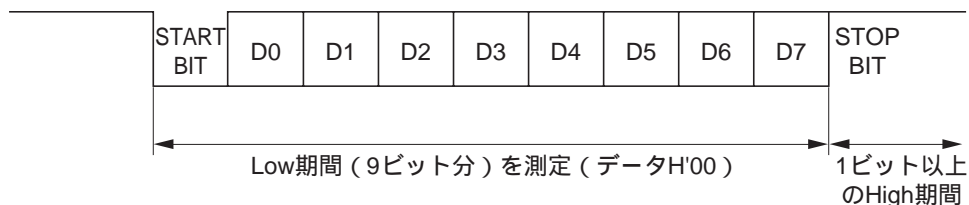


図 15.7 ブートモード実行手順

(1) SCI ビットレートの自動合わせ込み動作



ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。このときの SCI 受信 / 送信フォーマットを「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図としてホストへ H'00 を 1 バイト送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを (4800、9600、19200) bps^{*1} に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 15.7 に示します。このシステムクロックの範囲内でブートプログラムを実行してください。^{*2}

表 15.7 本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数 (MHz)
4800	4 ~ 18
9600	8 ~ 18
19200	16 ~ 18

【注】 *1 ホストのビットレートは 4800、9600、19200bps の設定のみとし、それ以外の設定は使用しないでください。

*2 本 LSI は表 15.7 に示すビットレートとシステムクロックの組み合わせ以外でも、ビットレートの自動合わせ込みを行う場合がありますが、ホストと本 LSI とのビットレートに誤差が生じ、その後の転送が正常に行われません。このためブートモードの実行は必ず表 15.7 に示すビットレートとシステムクロックの組み合わせの範囲内で行ってください。

(2) ブートモード時の内蔵 RAM エリアの分割

ブートモードでは、RAM エリアは図 15.8 に示すようにブートプログラムで使用するエリアと SCI で書き込み制御プログラムを転送してくるエリアに分かれています。ブートプログラムエリアは、ブートモード中の実行状態が転送してきた書き込み制御プログラムへ遷移するまで使用できません。

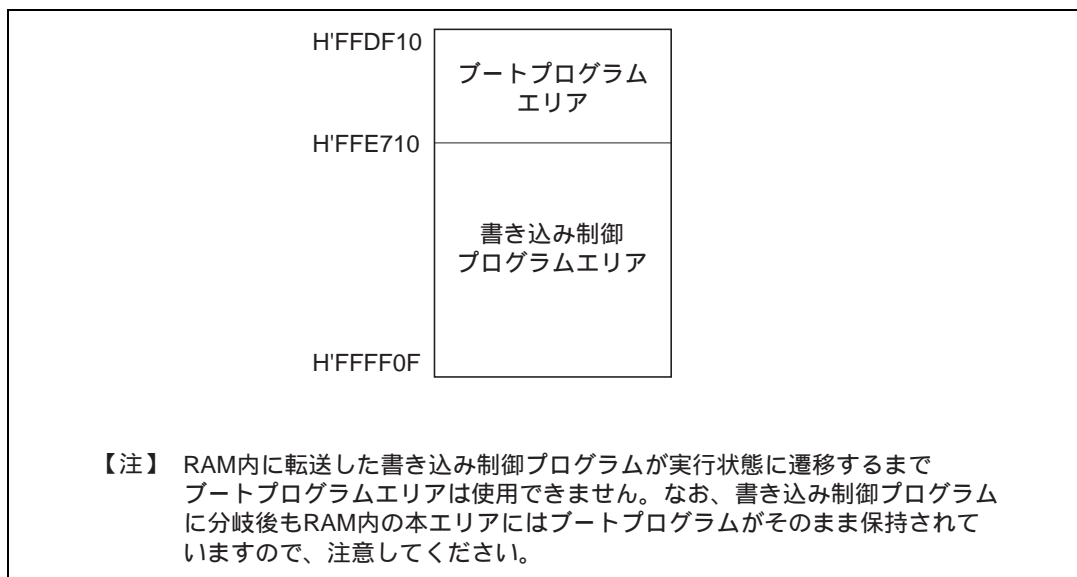


図 15.8 ブートモード時の RAM エリア

(3) ブートモード使用時の注意

- (a) 本LSIは、ブートモードでリセット解除すると、SCIのRXD_i端子のLow期間を測定します。RXD_i端子がHighの状態のリセット解除してください。リセット解除後、RXD_i端子へ入力しているLow期間を測定できるようになるまでは約100ステートが必要です。
- (b) ブートモードではフラッシュメモリにすでに書き込まれているデータがある場合（全データがH'FFでないとき）、本モードを実行するとフラッシュメモリの全ブロックを消去します。そのためブートモードは、オンボード状態での初期の書き込み、あるいは、ユーザプログラムモードで起動するプログラムを誤って消去し、ユーザプログラムモードが実行できなくなった場合の強制復帰等に使用してください。
- (c) フラッシュメモリの書き込み中、あるいは消去中に割り込みを使用することはできません。
- (d) RXD_i端子およびTXD_i端子は、ボード上でプルアップして使用してください。
- (e) 本LSIは、書き込み制御プログラム（RAMエリアのH'FE710）に分岐するときに内蔵SCI（チャンネル1）の送受信動作を終了（シリアルコントロールレジスタ（SCR）のRE=0、TE=0）しますが、ビットレートレジスタ（BRR）には、合わせ込んだビットレートの値を保持しています。また、このときTXD_i端子は、Highレベル出力状態（P9DDRのP9_iDDR=1、P9DRのP9_iDR=1）となっています。

さらにこのとき、CPU内蔵の汎用レジスタの値は不定です。このため、ユーザプログラムに分岐した直後に、必ず汎用レジスタの初期化を行ってください。特にスタックポインタ（SP）はサブルーチンコール時などに、暗黙的に使用されますので、ユーザプログラムで使用するスタックエリアを必ず指定してください。

上記以外の内蔵レジスタについては、初期値が変更されるものではありません。

- (f) ブートモードへの遷移は、表15.6のモード設定条件に従って、MD₀～MD₂端子とFWE端子を設定後にリセットスタートしてください。
この時、本LSIはリセット解除（Lowレベル→Highレベル立ち上がり）のタイミング^{*1}でモード端子の状態をマイコン内部にラッチし、ブートモード状態を保持します。ブートモードを解除するためには、リセット中にFWE端子をLowレベルに設定し、その後リセット解除^{*1}することが必要です。また以下の点について注意してください。

- ブートモードから通常モードへ遷移する場合は、モード遷移する前にマイコン内部のブートモード状態をRES端子によるリセット入力によって解除する必要があります。この時、RES端子は最低20システムクロック以上の間、Lowレベルに保持する必要があります。
^{*3}
- ブートモードの途中で、モード端子（MD₂～MD₀）およびFWE端子の入力レベルを切り替えないでください。モードを遷移させる場合には、事前にRES端子にLowレベルを入力してリセット状態にしてください。また、ブートモード状態でウォッチドッグタイマリセットが発生した場合、マイコン内部のモード状態は解除されず、モード端子の状態にかかわらず内蔵のブートプログラムが再起動されます。
- ブートプログラム実行中やフラッシュメモリへの書き込み/消去中にFWE端子をLowレベルにしないでください^{*2}。

- (g) リセット中 ($\overline{\text{RES}}$ 端子にLowレベルを入力している期間) にモード端子およびFWE端子の入力レベルを0VからVCC、またはVCCから0Vに変化させる場合、マイコン動作モードが切り替わります。このためアドレス兼用ポートおよびバス制御出力信号 ($\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$) の状態が変化する場合があります。このため、これらの端子はリセット中の出力信号とならないような端子設定にするか、マイコン外部の信号と衝突しないように注意してください。

- 【注】*1 モード端子とFWE端子の入力は、リセット解除のタイミングに対し、モードプログラミングセットアップ時間 (t_{MDS}) を満足する必要があります。
- *2 FWE端子の印加/解除の注意については「15.11 フラッシュメモリの書き込み/消去時の注意」を参照してください。
- *3 「4.2.2 リセットシーケンス」および「15.11 フラッシュメモリの書き込み/消去時の注意」を参照してください。H8/3022、H8/3021、H8/3020のマスクROM版では動作中のリセット期間は最低10システムクロックですが、H8/3022のフラッシュメモリ版では最低20システムクロック必要です。

15.6.2 ユーザプログラムモード

本LSIをユーザプログラムモードに設定すると、ユーザプログラムによるフラッシュメモリの書き込み/消去が可能になります。したがって、あらかじめ基板上にFWE制御手段、および書き換えデータ供給手段を設け、プログラムエリアの一部に書き換え用プログラムを内蔵させておくことにより、内蔵フラッシュメモリのオンボード書き換えを行うことができます。

本モードの設定は、内蔵ROMの有効なモード5~7に設定し、FWE端子にHighレベルを印加します。このモードの動作では、フラッシュメモリ以外の周辺機能は、モード5~7と同じ動作をします。

なお、プログラム/消去を行っている間、フラッシュメモリを読み出すことはできませんので、書き換えプログラムを外部メモリ上に置くか、または書き換えプログラムをいったんRAMエリアに転送し、RAM内で実行してください。

RAM内でプログラム実行中に、ユーザプログラムモードに遷移する場合の実行手順を図15.9に示します。なお、リセットスタート時にユーザプログラムモードから起動することも可能です。

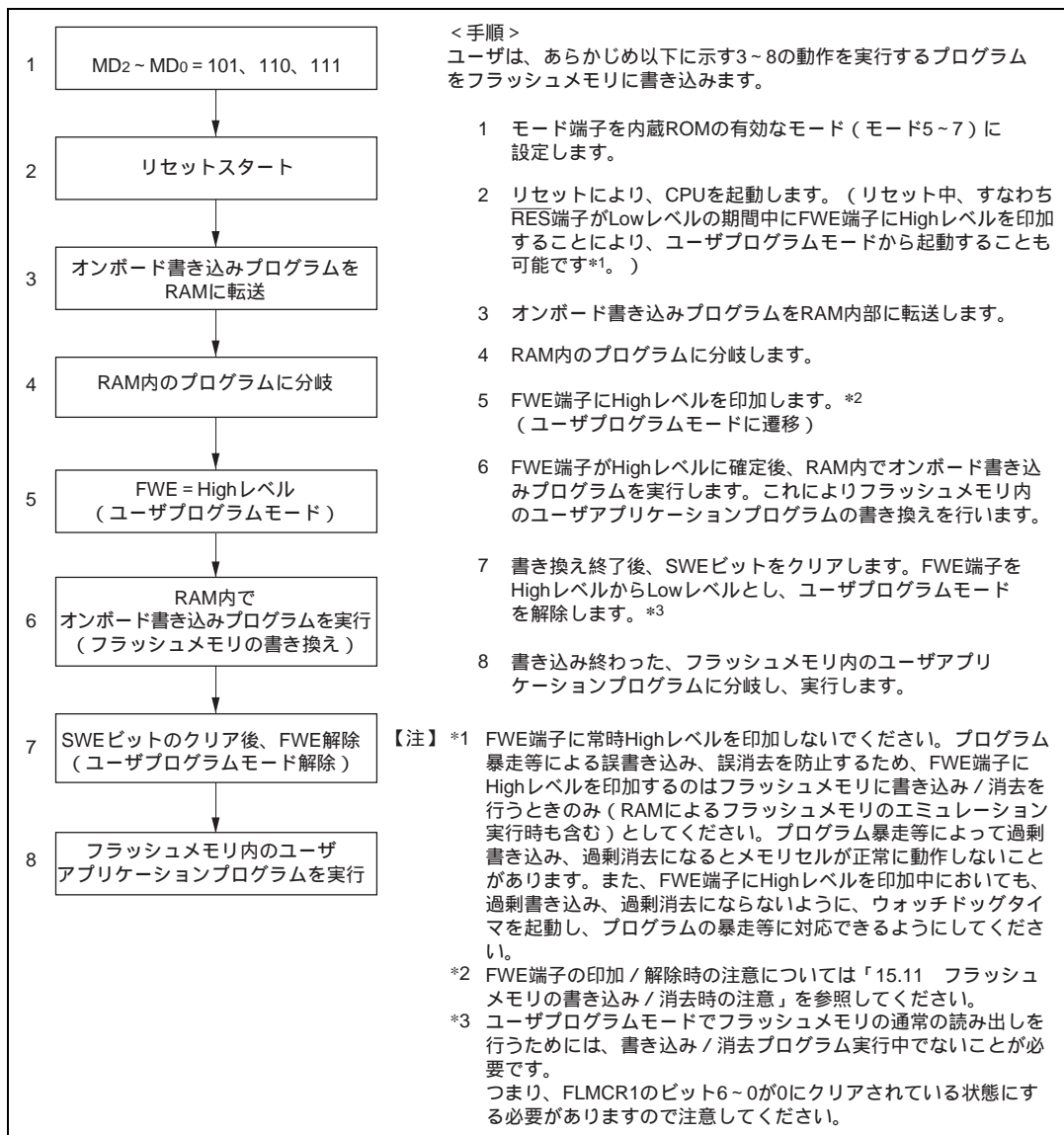


図 15.9 ユーザプログラムモードの実行手順例

15.7 フラッシュメモリの書き込み / 消去

オンボードプログラミングモードでのフラッシュメモリの書き込み / 消去は、CPU を用いてソフトウェア的に行う方式を採用しています。フラッシュメモリの動作モードとしては、プログラムモード / イレースモード / プログラムベリファイモード / イレースベリファイモードがあります。

FLMCR1 の PSU ビット、ESU ビット、P ビット、E ビット、PV ビット、EV ビットをセットすることにより各動作モードに遷移します。

フラッシュメモリは、書き込み / 消去を行っている間は読み出すことができません。したがって、フラッシュメモリの書き込み / 消去を制御するプログラム(書き込み制御プログラム)は、内蔵 RAM、あるいは外部メモリ上に置き、実行するようにしてください。

書き込み / 消去時の注意については、「15.11 フラッシュメモリの書き込み / 消去時の注意」を参照してください。また、以降の動作説明の中で FLMCR1 の各ビットのセット / クリア後のウェイト時間をパラメータ記載しています。各ウェイト時間の詳細は、「18.2.5 フラッシュメモリ特性」を参照してください。

- 【注】
1. FLMCR1 の SWE、ESU、PSU、EV、PV、E、P ビットのセット / リセットがそれぞれ、当該アドレスエリアのフラッシュメモリ上のプログラムで実行された場合の動作は保証されません。
 2. 書き込み / 消去する際は、FWE = 1 にしてください (FWE = 0 のときは、書き込み / 消去されません)。
 3. 書き込みは消去状態で行ってください。すでに書き込まれたアドレスへの追加書き込みは行わないでください。

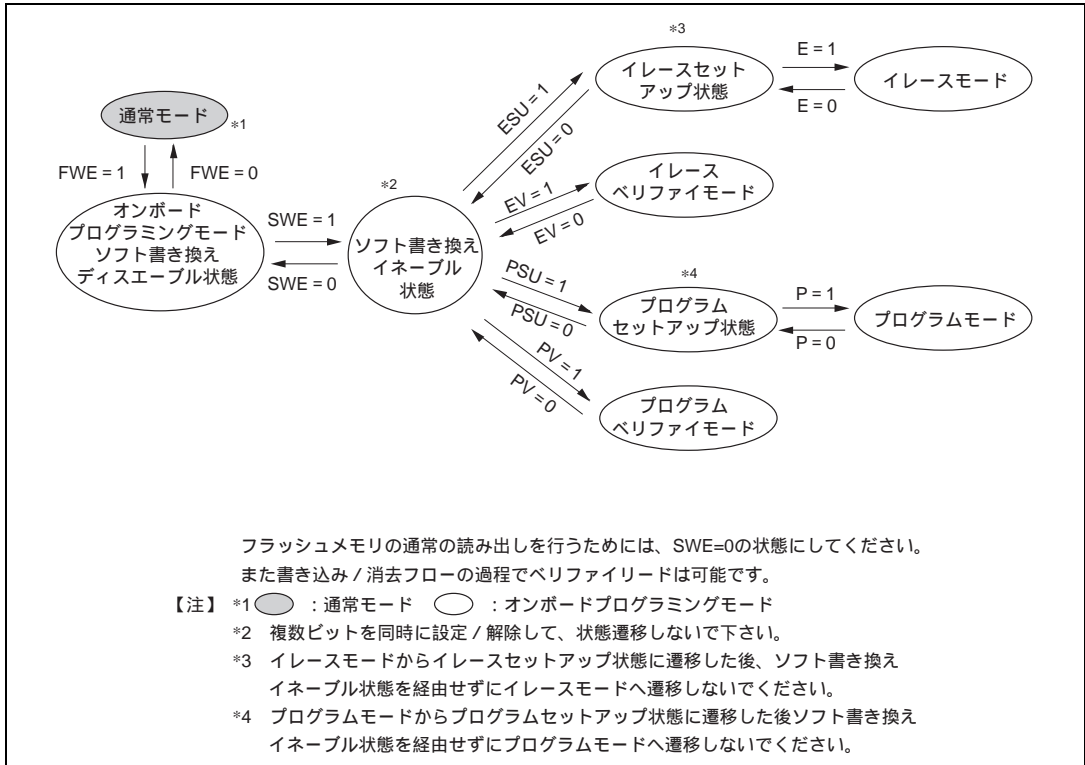


図 15.10 FLMCR1 の各ビット設定による状態遷移

15.7.1 プログラムモード

フラッシュメモリへのデータ/プログラムの書き込みを行う場合は、図 15.11 に示すプログラム/プログラムベリファイフローチャートに従って行ってください。このフローチャートに沿って書き込み動作を行えば、デバイスへの電圧ストレスやプログラムデータの信頼性を損なうことなく、フラッシュメモリへデータ/プログラムの書き込みを行うことができます。また、1 回の書き込みは、128 バイト単位で行ってください。

フラッシュメモリコントロールレジスタ 1 (FLMCR1) の SWE ビットを 1 にセットした後、(t_{swe}) μs 以上の時間が経過してから、128 バイトの書き込みデータを書き込みデータエリアと再書き込みデータエリアに格納し、書き込むアドレス (書き込む先頭アドレスの下位 8 ビットは、H'00、H'80 でなければなりません) に RAM 上の書き込みデータエリアの 128 バイトのデータを連続書き込みます (データ転送はバイト単位で 128 回連続して行います)。フラッシュメモリは、プログラムアドレスとプログラムデータをそれぞれフラッシュメモリ内にラッチします。128 バイト以下の書き込みでも 128 バイトのデータ転送を行う必要があり、必要ないアドレスへの書き込みは、データを H'FF にして書き込みを行う必要があります。

次に、プログラムの暴走等により過剰時間書き込みを行わないようにするために、ウォッチドックタイマを設定します。WDT のオーバフロー周期は ($t_{spsu} + t_{sp} + t_{cp} + t_{cpsu}$) μs より大きくしてください。その後、FLMCR1 の PSU ビットをセットすることで、プログラムモードへの準備 (プログラムセットアップ) を行い、(t_{spsu}) μs 以上の時間が経過してから、FLMCR1 の P ビットをセットすることで、動作モードはプログラムモードへ遷移します。P ビットがセットされている時間がフラッシュメモリ

の書き込み時間となります。1回の書き込み時間を t_{spus} の範囲に納まるようにプログラムで設定してください。また、Pビットセット後のウェイト時間は、書き込みの進行状態によって切り替える必要があります。詳細は、「15.7.3 プログラム/プログラムベリファイフローの注意点」を参照してください。

15.7.2 プログラムベリファイモード

プログラムベリファイモードは、プログラムモードでデータを書き込んだ後、そのデータを読み出し、正しくデータがフラッシュメモリへ書き込まれているかを確認するモードです。

一定の書き込み時間経過後、書き込みモードを解除（FLMCR1のPビットを解除後、 (t_{sp}) μs 以上の時間が経過してからPSUビットを解除）します。ウォッチドックタイマを解除し、FLMCR1のPVビットをセットすることで、動作モードはプログラムベリファイモードへ遷移します。プログラムベリファイモードでは、読み出す前に読み出すアドレスにデータH'FFをダミーライトしてください。ダミーライトは (t_{spu}) μs 以上の時間が経過してから行ってください。この状態でフラッシュメモリを読み出す（ベリファイデータは16ビットで読み出す）とラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、 (t_{spur}) μs 以上おいてから行ってください。次に書き込みデータとベリファイデータを比較し、再書き込みデータを演算（図15.11参照）し、再書き込みデータを再書き込みデータエリアに転送します。128バイト分のデータのベリファイが完了後、プログラムベリファイモードを解除し、 (t_{cp}) μs 以上の待機時間を置いて、FLMCR1のSWEビットを解除してください。再度書き込みが必要な場合は、再度プログラムモードに設定し、同様にプログラム/プログラムベリファイシーケンスを繰り返してください。ただし、プログラム/プログラムベリファイシーケンスの繰り返しは、N回を超えないようにしてください。SWE解除後、 t_{csw} μs 以上待機時間を置いてください。

15.7.3 プログラム/プログラムベリファイフローの注意点

- (1) 本LSIのプログラム/プログラムベリファイフローでは、128バイト単位での書き込みアルゴリズムとなります。
H8/3039F-ZTATグループ(32バイト単位の書き込み)とは異なるので注意してください。128バイト単位の書き込みのため、ライトする先頭アドレスの下位8ビットは、H'00または、H'80でなければいけません。
- (2) フラッシュメモリに128バイトのデータを連続ライトする際には、バイト単位転送で行います。
128バイト以下のデータを書き込む際にも、128バイトのデータ転送が必要です。必要のないアドレスへのメモリ書き込みは、データをH'FFにして書き込みを行う必要があります。
- (3) ベリファイデータは、ワード単位で読み出します。
- (4) FLMCR1のPビットがセットされている期間、書き込みパルスが印加されてフラッシュメモリへの書き込みが実施されます。本LSIでは、デバイスへの電圧ストレスや書き込むデータの信頼性を損なうことがないように、プログラム/プログラムベリファイフローの過程で次のように書き込みパルスを印加してください。
 - (a) 書き込みパルス印加後、プログラムベリファイモードでベリファイリードして1が読み出されたビットに対して、もう一度書き込みパルスを印加してください（再書き込み処理）。128バイトの書き込みデータで、全ての0書き込みビットがベリファイリードして0が読み出されると、プログラム/プログラムベリファイフローが終了となります。本LSIでは、再書き込み処理によるループ回数が、最大書き込み回数（N）以下になることが保証されます。

- (b) 書き込みパルス印加後、プログラムベリファイモードでベリファイリードして0が読み出されたビットに対しては、書き込み完了と判定されます。書き込みが完了したビットに対しては、次の処理が必要です。
- プログラム/プログラムベリファイフロー中の早い段階で書き込み完了した場合
再書き込み処理ループ回数が1~6回目で書き込み完了した場合は、当該ビットへの追加書き込みを実施してください。また、追加書き込みは、ある再書き込み処理のときに初めてベリファイリードが0となったビットのみに実施してください。
 - プログラム/プログラムベリファイフロー中の遅い段階で書き込み完了した場合
再書き込み処理ループ回数が7回目以降で書き込み完了した場合は、当該ビットへの追加書き込みは必要ありません。
- (c) 128バイトの中で、他のビットが書き込み未完了の場合、再書き込み処理を実施します。一度書き込み完了したと判定されたビットでも、それ以降のベリファイリードで1が読み出された場合には、当該ビットに対してもう一度書き込みパルスを印加してください。
- (5) FLMCR1のPビットをセットする期間（書き込みパルス幅）は、プログラム/プログラムベリファイフローの過程で次のように切り替えてください。ウェイト時間の詳細な仕様は、「18.2.5 フラッシュメモリ特性」を参照してください。

表 15.8 P ビットセット後のウェイト時間

項目	記号	内容	記号
P ビットセット後のウェイト時間	t_{sp}	再書き込みループ回数 (n) が 1~6 回目の場合	t_{sp30}
		再書き込みループ回数 (n) が 7 回目以降の場合	t_{sp200}
		追加書き込み処理の場合*	t_{sp10}

【注】 * 追加書き込み処理は、再書き込みループ回数 (n) が 1~6 回目の場合のみ必要となります。

- (6) 本LSIのプログラム/プログラムベリファイのフローチャートを図15.11に示します。上記の注意点を網羅するためには、再書き込み処理を実施するビット、追加書き込み処理を実施するビットは下記の演算によって決定する必要があります。書き込みの進行に応じて、再書き込みのデータおよび追加書き込みのデータは変化しますので、RAM上に次のデータ格納エリア（各128バイト）を準備することを推奨します。

表 15.9 再書き込みデータ演算表

(D)	書き込みパルス印加後のベリファイリード結果 (V)	(X) 演算結果	コメント
0	0	1	書き込み完了のため、再書き込み処理は実施しない
0	1	0	書き込み未完了のため、再書き込み処理を実施する
1	0	1	-
1	1	1	消去状態のままで、何も実施しない

【記号説明】 D : 書き込みを実施するビットの元データ

X : 再書き込みを実施するビットのデータ

表 15.10 追加書き込みデータ演算表

(X')	書き込みパルス印加後の ベリファイリード結果 (V)	(Y) 演算結果	コメント
0	0	0	書き込みパルス印加により書き込み完了したと判定、追加書き込み処理を実施する
0	1	1	書き込みパルス印加により書き込みは未完了 追加書き込み処理は実施しない
1	0	1	既に書き込みは完了している 追加書き込み処理は実施しない
1	1	1	消去状態のまま、何も実施しない

【記号説明】 X' : ある再書き込みループで再書き込みを実施するビットのデータ

Y : 追加書き込みを実施するビットのデータ

- (7) 本LSIのプログラム/プログラムベリファイフローの過程では、追加書き込み処理を実施する必要があります。しかし、128バイト単位の書き込みが一度終了した後、同一のアドレスエリアに追加書き込みを行わないでください。書き換えを実施する場合は、必ず一度消去を行ってから書き込みを実施してください。一度プログラム/プログラムベリファイが終了したアドレスへ追加書き込みを実施した場合、読み出しなど正常動作は保証されませんので注意してください。

15.7.4 イレースモード

フラッシュメモリの消去は1ブロック毎に、図 15.12 に示すイレース/イレースベリファイフロー（単一ブロック消去）チャートに沿って行ってください。

データ/プログラムの消去は、フラッシュメモリコントロールレジスタ1 (FLMCR1) の SWE ビットを1にセット後、(t_{swe}) μ s以上の時間が経過してから、消去ブロック指定レジスタ1、2 (EBR1、EBR2) で消去するフラッシュメモリのエリアを1ビット設定してください。次にプログラムの暴走等により過剰時間消去を行わないようにするために、ウォッチドックタイマを設定します。WDT のオーバフロー周期は(t_{sc})ms + ($t_{sesu} + t_{cc} + t_{cesu}$) μ sより大きくしてください。その後、FLMCR1 の ESU ビットをセットすることで、イレースモードへの準備（イレースセットアップ）を行い、(t_{sesu}) μ s以上の時間が経過後、FLMCR1 の E ビットをセットすることで、動作モードはイレースモードへ遷移します。E ビットが設定されている時間が消去時間となり、消去時間は(t_{sc})msを超えないようにしてください。

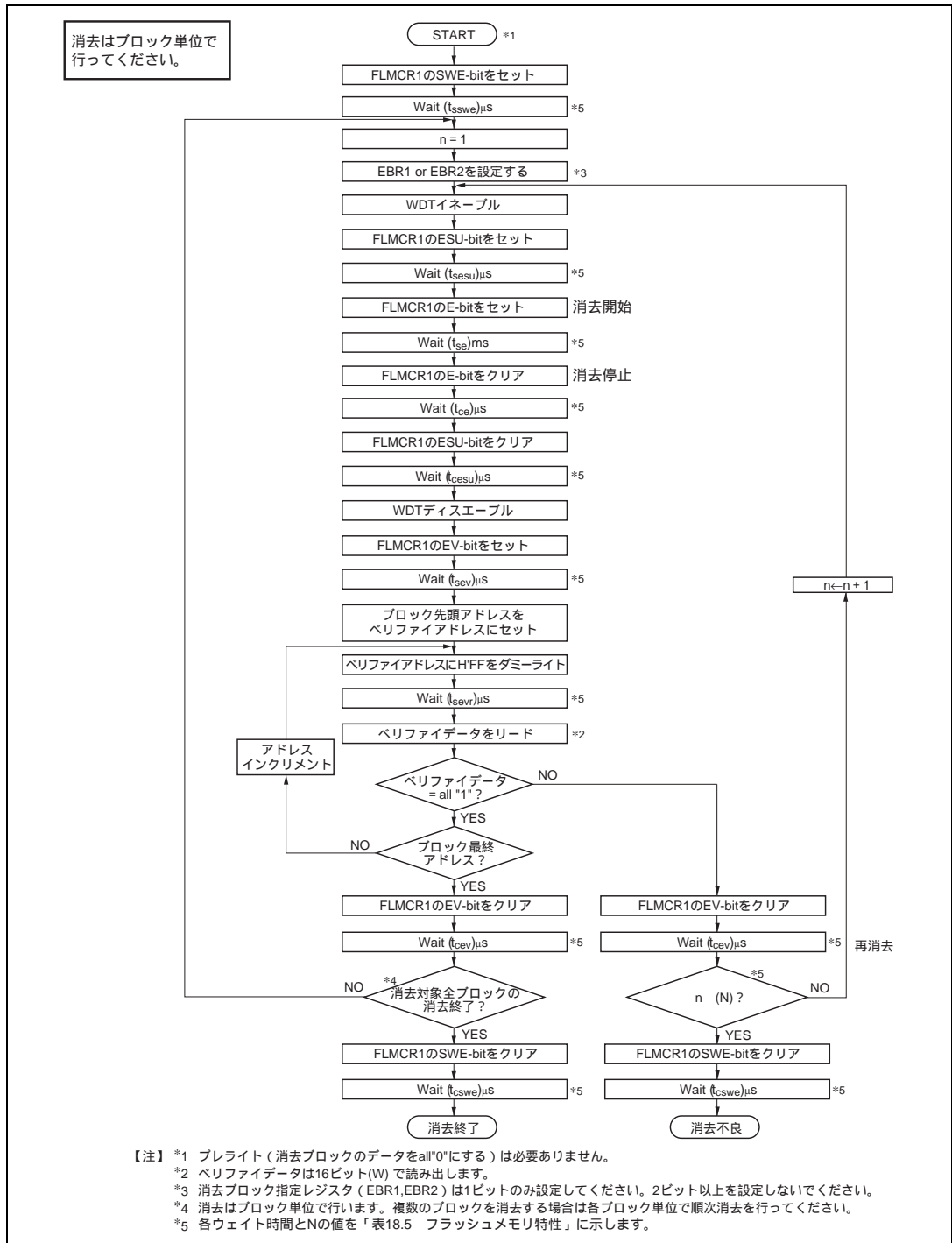
【注】 フラッシュメモリの消去において、消去を開始する前にプレライト（消去するメモリの全メモリデータをすべて0にする）を行う必要はありません。

15.7.5 イレースベリファイモード

イレースベリファイモードは、メモリを消去した後データを読み出し、正常に消去されているかどうかを確認するモードです。

消去時間経過後、イレースモードを解除（FLMCR1 の E ビットを解除後、(t_{cc}) μ s以上の時間が経過してから ESU ビットを解除）し、ウォッチドックタイマを解除し、FLMCR の EV ビットをセットすることで、動作モードはイレースベリファイモードへ遷移します。イレースベリファイモードでは、読み出す前に読み出すアドレスにデータ H'FF をダミーライトしてください。ダミーライトは(t_{sev}) μ s以上の時間が経過してから行ってください。この状態でフラッシュメモリをリード（ベリファイデータは16ビットで読み出す）するとラッチしたアドレスのデータが読み出されます。このリード動作は、ダミーライト後、(t_{sev}) μ sおいてから行ってください。読み出したデータが消去（データがすべて1）されていた場合、次のアドレスをダミーライトし、イレースベリファイを行います。読み出したデータが未消去の場合、再度イレースモードに設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。ただし、この繰り返し回数が(N)回を超えないようにしてください。ベリファイ完了後、イレースベリファイモードを解除し、(t_{sev}) μ s以上の待機時間を置いてください。消去対象全ブロックの消去が完了している場合は、FLMCR1 の SWE ビットを解除してください。未消去のブロックが存在する場合は、消去するフラッシュメモリのエリアを1ビット設定し、同様にイレース/イレースベリファイシーケンスを繰り返します。

SWE 解除後 (t_{cswe}) μ s以上待機時間を置いてください。



15.12 H8/3022F イレース/ノイレースペリファイフロー

15.8 プロテクト

フラッシュメモリに対する書き込み・消去プロテクトは、ソフトウェアプロテクトとハードウェアプロテクトとエラープロテクトの3種類あります。

15.8.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことで、フラッシュメモリコントロールレジスタ1 (FLMCR1)、消去ブロック指定レジスタ1 (EBR1)、消去ブロック指定レジスタ2 (EBR2) の設定はリセットされます。エラープロテクト状態では、FLMCR1、FLMCR2、EBR1、EBR2 の設定は保持し、P ビットおよびE ビットはセット可能ですが、プログラムモードおよびイレースモードへは遷移しません。(表 15.11 参照)

表 15.11 ハードウェアプロテクト

項目	説明	機能		
		書き込み	消去	ベリファイ*1
FWE 端子プロテクト	<ul style="list-style-type: none"> FWE 端子に Low レベルが入力されているときには、FLMCR1、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。*4 	不可*2	不可*3	不可*2
リセット、スタンバイプロテクト	<ul style="list-style-type: none"> パワーオンリセット (WDT によるパワーオンリセットも含む) およびスタンバイ時は、FLMCR1、FLMCR2、EBR1、EBR2 は初期化され、書き込み/消去プロテクト状態になります。 RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子を Low レベルに保持してください。*5 	不可	不可*3	不可*2
エラープロテクト	<p>フラッシュメモリへの書き込み/消去中にマイコン動作の異常を検出 (エラー発生 (FLER = 1)) した場合にエラープロテクトが有効となります。このとき FLMCR、EBR の設定は保持しますがエラーが発生した時点で書き込み/消去を強制的に中断します。エラープロテクトの解除は RES 端子によるリセットまたはハードウェアスタンバイのみです。</p>	不可	不可*3	可*6

【注】 *1 プログラムベリファイ、イレースベリファイの2つのモードです。

*2 フラッシュメモリとオーバーラップした RAM エリアは除きます。

*3 全ブロックが消去不可となり、ブロック別の指定はできません。

*4 詳細については「15.11 フラッシュメモリの書き込み/消去時の注意」を参照してください。

*5 「4.2.2 リセットシーケンス」および「15.11 フラッシュメモリの書き込み/消去時の注意」を参照してください。H8/3022F では、動作中のリセット時間は最低 20 システムクロック必要です。

*6 書き込み中の 128 バイトのブロックベリファイは可能です。消去中の 1 ブロックのイレースベリファイは可能です。

15.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、消去ブロック指定レジスタ1 (EBR1)、消去ブロック指定レジスタ2 (EBR2)、RAM エミュレーションレジスタ (RAMER) の RAMS ビットをセットすることで行えます。ソフトウェアプロテクトでは、フラッシュメモリコントロールレジスタ1 (FLMCR1) の P ビットまたは E ビットをセットしても、プログラムモードまたはイレースモードへは遷移しません。(表 15.12 参照)

表 15.12 ソフトウェアプロテクト

項目	説明	機能		
		書き込み	消去	ベリファイ*1
ブロック指定プロテクト	<ul style="list-style-type: none"> 消去ブロック指定レジスタ1 (EBR1)*2、ブロック指定レジスタ2 (EBR2)*2の設定により、ブロック毎に消去プロテクトが可能。ただし、書き込みに対するプロテクトは無効です。 EBR1、EBR2 を H'00 に設定すると全ブロックが消去プロテクト状態になります。 	-	不可	可
エミュレーションプロテクト	<ul style="list-style-type: none"> RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすることにより、全ブロックの書き込み / 消去プロテクト状態になります。 	不可*3	不可*4	可

【注】 *1 プログラムベリファイ、イレースベリファイの2つのモード。

*2 EBR1、EBR2 のビットは消去時以外は H'00 にしてください。

*3 フラッシュメモリとオーバラップした RAM エリアへの書き込みは可能です。

*4 全ブロックが消去不可となり、ブロック別の指定はできません。

15.8.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み / 消去中*1のマイコンの暴走や書き込み / 消去アルゴリズムに沿っていない動作をした場合に発生する異常を検出し、書き込み / 消去動作を強制的に中断するプロテクトです。書き込み / 消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み / 消去中にマイコンが異常動作すると、FLMCR2 の FLER ビットが 1 にセットされ、エラープロテクト状態へ遷移します。このとき、FLMCR1、FLMCR2、EBR1、EBR2 の設定は保持されますが、エラーが発生した時点でプログラムモードまたはイレースモードは強制的に中断されます。P ビット、E ビットの再設定を行ってもプログラムモードまたはイレースモードへ遷移することはできません。ただし、PV ビット、EV ビットの設定は有効なので、ベリファイモードへの遷移は可能です*2。

FLER ビットのセット条件は、

- (1) 書き込み / 消去中に当該アドレスエリアのフラッシュメモリを読み出したとき (ベクタリードおよび命令フェッチを含む)
- (2) 書き込み / 消去中の例外処理 (リセットは除く) 開始直後
- (3) 書き込み / 消去中に SLEEP 命令 (ソフトウェアスタンバイを含む) を実行したとき

エラープロテクト解除は、パワーオンリセットまたはハードウェアスタンバイのみで行われます。

【注】 *1 FLMCR1 の P ビット 0 は、E ビットが 1 にセットされた状態です。この状態では、NMI 入力が禁止されますので注意してください。

*2 書き込み中の 128 バイトのプログラムベリファイおよび消去中の 1 ブロックのイレースベリファイは可能です。

図 15.13 にフラッシュメモリの状態遷移図を示します。

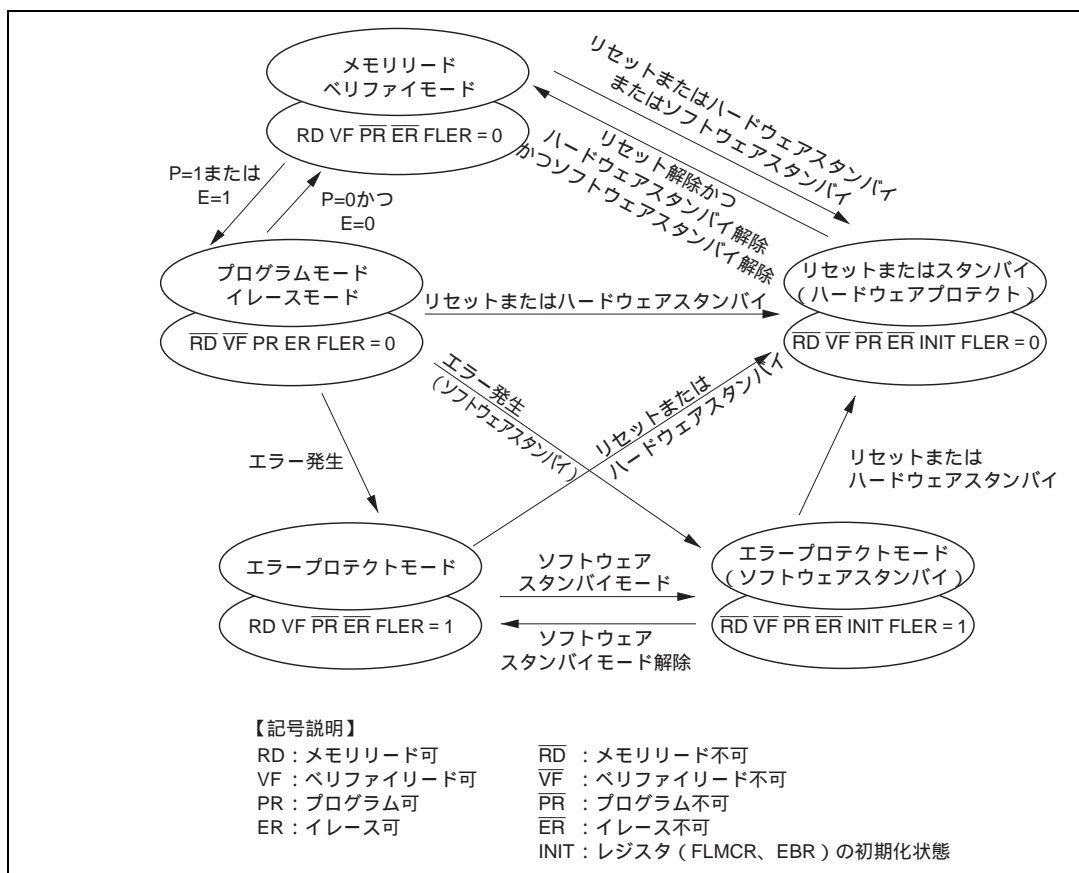


図 15.13 フラッシュメモリの状態遷移図
(モード 5~7 (内蔵 ROM が有効) で FWE 端子に High レベル印加時)

エラープロテクト機能は、FLER ビットのセット条件以外の異常動作に対しては無効です。また、このプロテクト状態に遷移するまでに相当な時間が経過している場合は、すでにフラッシュメモリにダメージを与えている可能性もあります。したがって、この機能ではフラッシュメモリへのダメージを完全に防止することはできません。

このため、このような異常動作を防止するためには、フラッシュライトイネーブル (FWE) が印加された状態で書き込み / 消去アルゴリズムに従って正しく動作させること、およびマイコンの異常をウォッチドッグタイマ等でマイコン内外部で常に監視することが必要です。また、このプロテクトモードへ遷移した時点でのフラッシュメモリは誤書き込み、誤消去の状態であったり、強制停止によって書き込みや消去が不十分な場合があります。このような場合、必ずブートモードによる強制復帰 (プログラムの再書き込み) を行ってください。ただし、過剰書き込み、過剰消去によってブートモードが正常に起動されない場合があります。

15.8.4 NMI 入力 of 禁止条件

フラッシュメモリへの書き込み / 消去中およびブートモードでのブートプログラム実行中(ただし内蔵 RAM エリアに分岐するまでの期間)*¹は、書き込み / 消去動作を最優先とするため NMI 入力 that 禁止されます。

これは以下のような動作状態を回避することを目的としています。

- (1) 書き込み / 消去中に NMI 入力が発生することにより、書き込み / 消去アルゴリズムに違反し、正常な動作が保証できなくなる。
- (2) 書き込み / 消去中の NMI 例外処理ではベクタリードが正常にできない*²ため、結果としてマイコンが暴走してしまう。
- (3) ブートプログラム実行中に NMI 入力が発生すると、正常なブートモードのシーケンスが実行できなくなる。

以上のような理由から、本 LSI ではオンボードプログラミングモードにおいてのみ例外的に NMI 入力を禁止する条件が存在しますが、これによって正常な書き込み / 消去およびマイコン動作が保証されるものではありません。

このため、フラッシュメモリへの書き込み / 消去を行う場合、マイコンの内外部で NMI を含む全ての割り込み要求を制限する必要があります。また、エラープロテクト状態および RAM によるフラッシュメモリのエミュレーション中に FLMCR の P ビットまたは E ビットが保持された状態でも NMI 入力は禁止状態となります。

【注】*¹ 内蔵 RAM のブートプログラムエリアに分岐するまでの期間を示します(この分岐はユーザプログラムの転送が完了した直後に発生します)。

このため、RAM エリアに分岐した後は、書き込み / 消去以外の状態では NMI 入力が可能となります。したがって、ユーザプログラムによる初期書き込み(ベクタテーブルおよび NMI 処理プログラム等の書き込み)が完了するまでは、マイコン内外部で割り込み要求を禁止する必要があります。

*² この場合、以下の二つの理由によってベクタリードが正常に行われません。

- (1) 書き込み / 消去中にフラッシュメモリのリードを行っても正しい値を読み出すことはできません(値は不定)。
- (2) NMI ベクタテーブルに値がまだ書き込まれていない場合、NMI 例外処理が正しく実行されません。

15.9 RAM によるフラッシュメモリのエミュレーション

RAMでフラッシュメモリに書き換えるデータをリアルタイムにエミュレートするために、RAMエミュレーションレジスタ (RAMER) で設定したフラッシュメモリのエリアにRAMの一部を重ね合わせて使うことができます。RAMERの設定後はフラッシュメモリのエリアとフラッシュメモリに重ね合わせたRAMエリアの2エリアからアクセスできます。エミュレーション可能なモードは、ユーザモード、およびユーザプログラムモードです。図 15.14 にフラッシュメモリのリアルタイムな書き換えをエミュレートする例を示します。

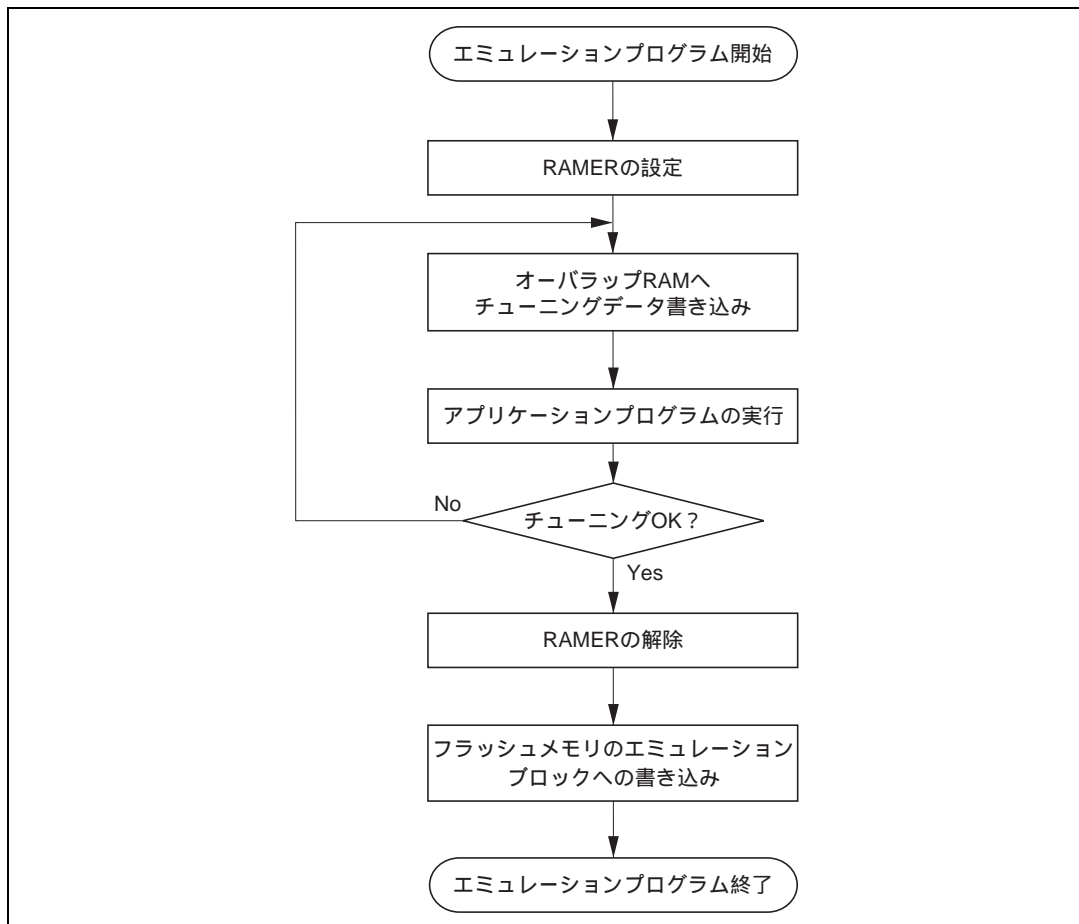


図 15.14 RAM によるエミュレーションフロー

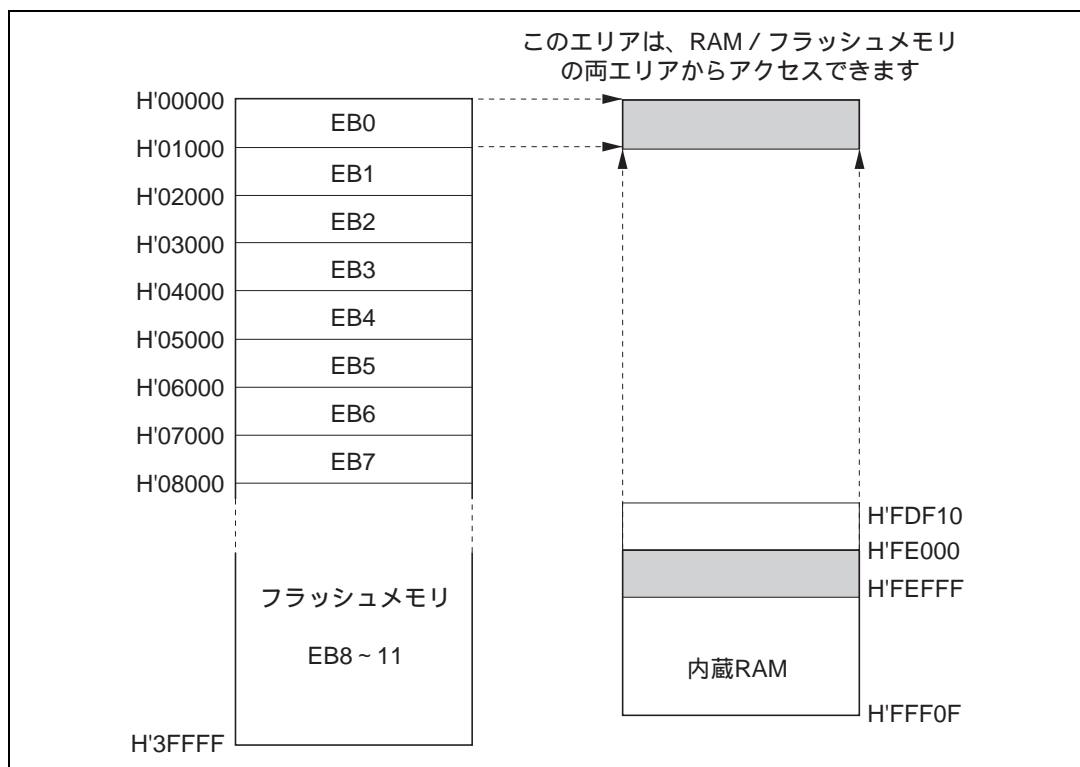


図 15.15 RAM のオーバーラップ動作例

フラッシュメモリのブロックエリア (EB0) をオーバーラップさせる例

1. リアルタイムな書き換えを必要とするエリア (EB0) にRAMの一部をオーバーラップさせるには、RAMERのRAMSビット、RAM2~RAM0ビットを1、0、0、0に設定してください。
2. リアルタイムな書き換えは、オーバーラップさせたRAMを使って行います。
3. 書き換えデータ確定後、RAMSビットをクリアしてRAMのオーバーラップを解除します。
4. オーバーラップさせたRAMに書き込まれたデータをフラッシュメモリ空間 (EB0) に書き込みます。

- 【注】
1. RAMS ビットを 1 にセットすると RAM2 ~ RAM0 の値にかかわらず、フラッシュメモリの全ブロックに対して書き込み / 消去プロテクトが有効となります (エミュレーションプロテクト)。この状態では FLMCR1 の P ビットまたは E ビットをセットしてもプログラムモード、イレースモードへは遷移しません。フラッシュメモリエリアに実際に書き込み / 消去を行う場合は RAMS ビットを 0 にクリアしてください。
 2. RAM によるフラッシュメモリのエミュレーション機能を使用中に、消去アルゴリズムに沿ったソフトウェアを実行しても RAM エリアを消去することはできません。
 3. ブロックエリア (EB0) は、ベクタテーブルを含みます。RAM エミュレーションする場合、オーバーラップ RAM には、ベクタテーブルが必要となります。

4. オンボードプログラミングモードと同様に、FWE の印加 / 解除時は誤書き込み / 誤消去を防止するための注意が必要です。特に FWE の印加中のプログラム暴走等による誤書き込み / 誤消去を防止するため、エミュレーション機能を使用中でも FLMCR1 の P ビット、E ビットを 1 にセットしているときはウォッチドッグタイマを設定してください。
5. エミュレーション機能を使用しているときも、通常 of 書き込み / 消去と同様に、FLMCR の P ビット、E ビットを 1 にセットしている状態では NMI 入力禁止されます。なお、P ビットおよび E ビットはリセット時 (ウォッチドッグタイマのリセットを含む) スタンバイモード時、FWE 端子に High レベルが入力されていないとき、または FWE 端子に High レベル印加状態で FLMCR1 の SWE が 0 のときにクリアされます。

15.10 フラッシュメモリの PROM モード

本 LSI では、フラッシュメモリの書き込み / 消去可能なモードとして、オンボードプログラミングモード以外に PROM モードがあります。PROM モードでは、ルネサス 256K バイトフラッシュメモリ内蔵マイコンのデバイスタイプをサポートしている汎用 PROM ライタを用いて、内蔵 ROM に自由にプログラムを書き込むことができます。

15.10.1 ソケットアダプタとメモリマップ

PROM ライタを用いた PROM モードでは、メモリ読み出し（ベリファイ）、書き込み、フラッシュメモリ初期化（全面消去）が可能です。その際には、汎用 PROM ライタに専用の変換ソケットアダプタを取り付けて行います。表 15.13 にソケットアダプタの型名を示します。本 LSI の PROM モードでは、表 15.13 のソケットアダプタを必ず使用してください。

表 15.13 H8/3022F ソケットアダプタ型名

製品型名	パッケージ名	ソケットアダプタ型名	メーカー
HD64F3022F	80 ピン QFP (FP-80A)	ME3022ESHF1H	ミナトエレクトロニクス (株)
HD64F3022TE	80 ピン TQFP (TFP-80C)	ME3022ESNF1H	
HD64F3064F	80 ピン QFP (FP-80A)	HF3022Q080D4001	データ・アイ・オー・ジャパン (株)
HD64F3064TE	80 ピン TQFP (TFP-80C)	HF3022T080D4001	

図 15.16 に PROM モード時のメモリマップを示します。

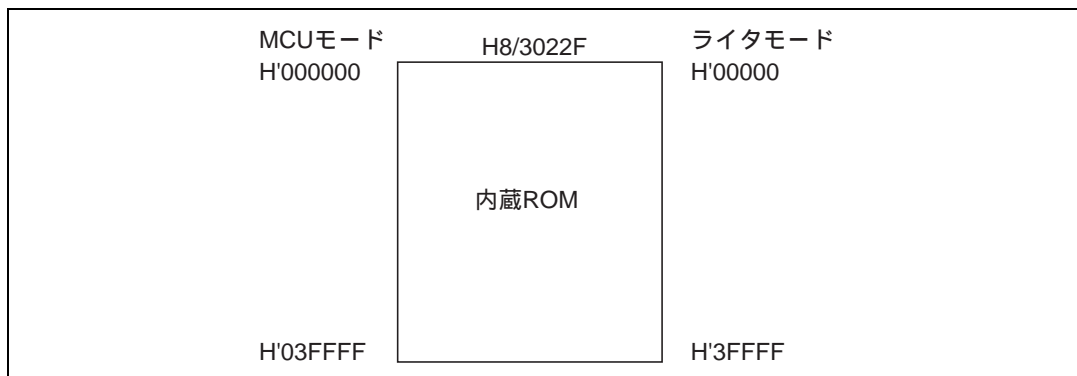


図 15.16 PROM モード時のメモリマップ

15.10.2 PROM モード使用時の注意事項

- (1) PROMモード時の128バイト書き込み単位への書き込みは、1回のみとします。既に書き込まれたアドレスへの書き換えは、消去を行った後に書き込みを実施してください。
- (2) オンボード書き込み/消去を行ったデバイスに対して、それをライターを用いて書き換えを行う場合は、一度消去を行った後に書き込みを実施することを推奨します。
- (3) ルネサス出荷品の初期状態は、消去状態です。消去来歴不明サンプルに対しては、初期化(消去)レベルをチェック・補正するために消去実施を推奨します。
- (4) 本LSIでは、汎用EPROMのような製品識別モードをサポートしていませんので、PROMライターにデバイス名を自動設定することができません。
- (5) 本LSIのPROMモードに適合するPROMライターおよびそのプログラムバージョンに関しては、ソケットアダプタの取り扱い説明書等を参照してください。

15.11 フラッシュメモリの書き込み / 消去時の注意

オンボードプログラミングモード、RAM エミュレーション機能および PROM モード使用時の注意事項を示します。

(1) 規定された電圧、タイミングで書き込み / 消去を行ってください。

定格以上の電圧を印加した場合、製品の永久破壊にいたることがあります。

PROM ライタは、ルネサス製 256K バイトフラッシュメモリ内蔵マイコンデバイスタイプ「FZTAT256V3」をサポートしているものを使用してください。

また、PROM ライタの設定を HN28F101 にセットしないでください。誤ってセットした場合、FWE 端子に High レベルが入力され破壊にいたることがあります。

(2) 電源投入 / 切断時の注意 (図 15.17 ~ 図 15.19 参照)

FWE 端子への High レベル印加は V_{CC} 確定後に行ってください。また V_{CC} を切断する前に FWE 端子を Low レベルにしてください。

V_{CC} 電源の印加 / 切断時は FWE 端子を Low レベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。

この電源投入 / 切断のタイミングは、停電等による電源の切断、再投入時にも満足するようにしてください。このタイミングが守られない場合は、マイコンの暴走等によって過剰書き込み、過剰消去となりメモリセルが正常に動作しなくなることがありますので十分注意してください。

(3) FWE 端子の印加 / 解除の注意 (図 15.17 ~ 図 15.19 参照)

FWE 端子の印加は、マイコン動作が確定した状態で行ってください。マイコンが動作確定状態を満足しない場合は、FWE 端子を Low レベルに固定し、プロテクト状態としてください。

FWE 端子印加 / 解除では、フラッシュメモリへの誤書き込み / 誤消去を防止するため、以下に示すような注意が必要です。

V_{CC} 電圧が定格電圧の範囲で安定している状態で FWE 端子に印加してください。

マイコンの V_{CC} 電圧が定格電圧 ($V_{CC} = 3.0V \sim 3.6V$) を満足しない状態で FWE 端子に印加すると、マイコン動作が不確定の状態であることから、フラッシュメモリに誤って書き込み / 消去を行ってしまう可能性があります。

発振が安定している状態 (発振安定時間経過後) で FWE 端子に印加してください。

V_{CC} 電源投入時では、発振安定時間 ($t_{QSCI} = 20ms$) の間、 \overline{RES} 端子を Low レベルに保持した後に、FWE 端子に印加してください。発振が停止した状態や不安定な状態で、FWE 端子の印加は行わないでください。

ブートモードでは、FWE 端子の印加 / 解除はリセット中に行ってください。

ブートモードへの遷移では、FWE=1 入力と $MD_2 \sim MD_0$ の設定は \overline{RES} 入力 Low 期間中に行ってください。このとき FWE と $MD_2 \sim MD_0$ 入力は、リセット解除タイミングに対してモードプログラミングセットアップ時間 (t_{MDS}) を満足する必要があります。ブートモードから他のモードへ遷移する場合も \overline{RES} 解除タイミングに対して、モードプログラミングセットアップ時間が必要です。

動作中のリセットでは、最低 20 システムクロックの間、 \overline{RES} 端子を Low レベルにする必要があります。

ユーザプログラムモードでは、 \overline{RES} 入力にかかわらず、FWE=High / Low の切り替えが可能です。

また、フラッシュメモリ上でプログラム実行中でも、FWE 入力の切り替えが可能です。

プログラムが暴走していない状態で FWE を印加してください。

FWE 端子の印加時は、ウォッチドッグタイマ等でプログラム実行状態を監視することが必要です。

FWE 端子の解除は FLMCR1 の SWE、ESU、PSU、EV、PV、E、P ビットをクリアした状態で行ってください。

FWE 端子の印加 / 解除時に、誤って SWE、ESU、PSU、EV、PV、E、P ビットをセットしないでください。

(4) FWE 端子に常時 High レベルを印加しないでください。

プログラム暴走等による誤書き込み / 誤消去を防止するため、FWE 端子に High レベルを印加するのは、フラッシュメモリに書き込み / 消去を行うときのみ (RAM によるフラッシュメモリのエミュレーション実行時も含む) としてください。また、FWE 端子に常時 High レベルを印加するようなシステム構成は避けてください。High レベル印加中においても、過剰書き込み / 過剰消去にならないように、ウォッチドッグタイマを起動し、プログラムの暴走等に対応できるようにしてください。

(5) フラッシュメモリへの書き込み / 消去は推奨するアルゴリズムにしたがって行ってください。

推奨アルゴリズムでは、デバイスへの電圧ストレスあるいはプログラムデータの信頼性を損なうことなく書き込み / 消去を行うことができます。

FLMCR1 の PSU ビットおよび ESU ビットをセットするときは、プログラムの暴走等に備えてあらかじめウォッチドッグタイマを設定してください。また、P ビットおよび E ビットをセットしている間に、MOV 命令等でフラッシュメモリ空間へのアクセスを行うことは禁止されています。

(6) SWE ビットのセット / クリアは、フラッシュメモリ上のプログラム実行中に行わないでください。

フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE ビットをクリアした後に行ってください。

SWE ビットをセットするとフラッシュメモリのデータを書き換えできますが、ベリファイ (プログラム / イレース中のベリファイ) 以外の目的で、フラッシュメモリをアクセスしないでください。

FWE 端子に High レベルを入力した状態で、RAM によるエミュレーション機能を使用する場合も同様に、フラッシュメモリ上のプログラム実行とデータの読み出しは、SWE ビットをクリアした後に行ってください。ただし、フラッシュメモリ空間とオーバーラップした RAM エリアについては、SWE ビットのセット / クリアにかかわらずリード / ライト可能です。また、SWE ビットをクリアした後は、ウェイト時間が必要です。詳細は「表 18.15 フラッシュメモリ特性」を参照してください。

(7) フラッシュメモリのプログラム中または消去中に割り込みを使用しないでください。

FWE 端子に印加している状態では、書き込み / 消去動作 (RAM によるエミュレーションを含む) を最優先とするため、NMI を含む全ての割り込み要求を禁止してください。

(8) 追加書き込みは行わないでください。書き換えは消去後に行ってください。

オンボードプログラミングでは、128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。PROM モードでも 128 バイトの書き込み単位ブロックへの書き込みは、1 回のみとしてください。書き換えは、この書き込み単位ブロックが全て消去された状態で行ってください。

- (9) 書き込み前に、正しく PROM ライタに装着されていることを必ず確認してください。
PROM ライタのソケット、ソケットアダプタおよび製品それぞれのインデックスが正しく一致していないと、過剰電流が流れ、製品が破壊されることがあります。
- (10) 書き込み中はソケットアダプタや製品に手を触れないでください。
接触不良などにより、書き込み不良になることがあります。
- (11) 書き込み、消去、ベリファイモードから通常モードに遷移した後に、読み出しを行う場合は 100 μ s 以上の待ち時間をおいてください。

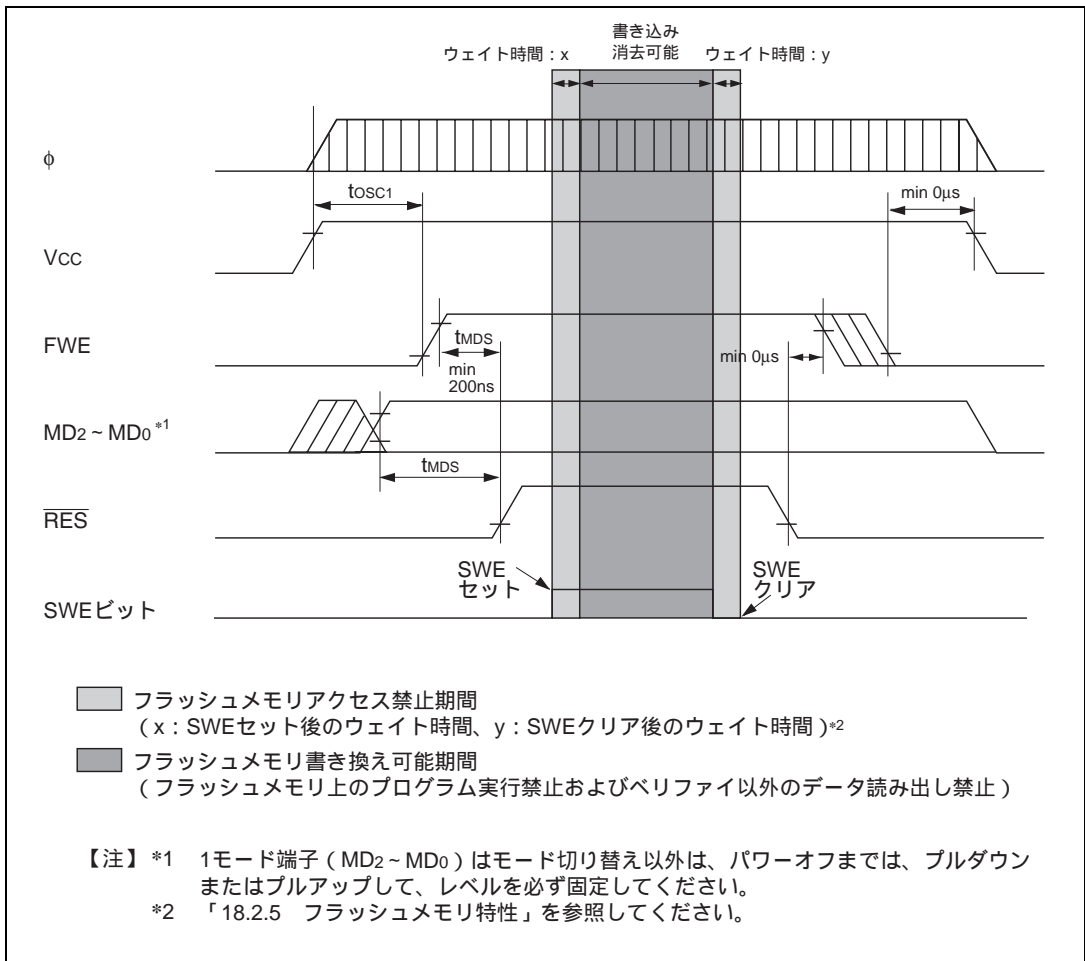


図 15.17 電源投入/切断タイミング (ブートモード)

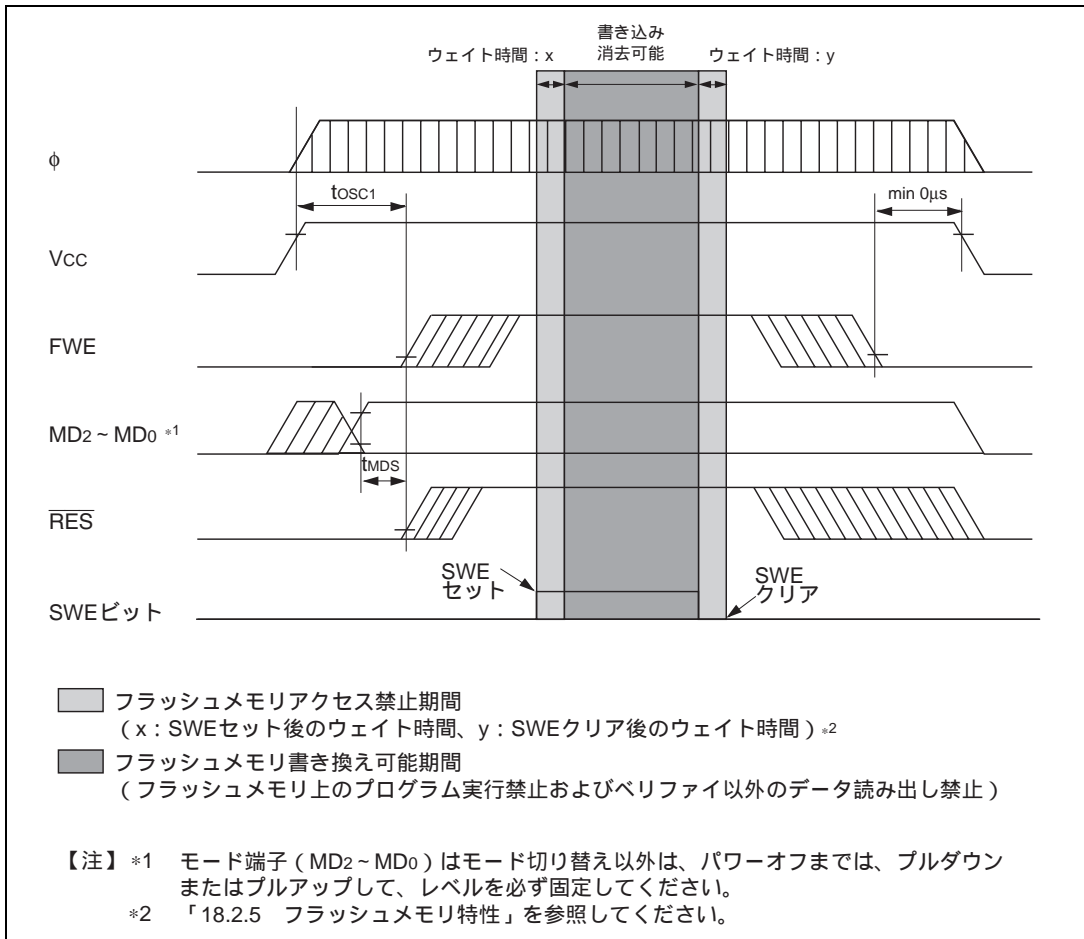


図 15.18 電源投入/切断タイミング (ユーザプログラムモード)

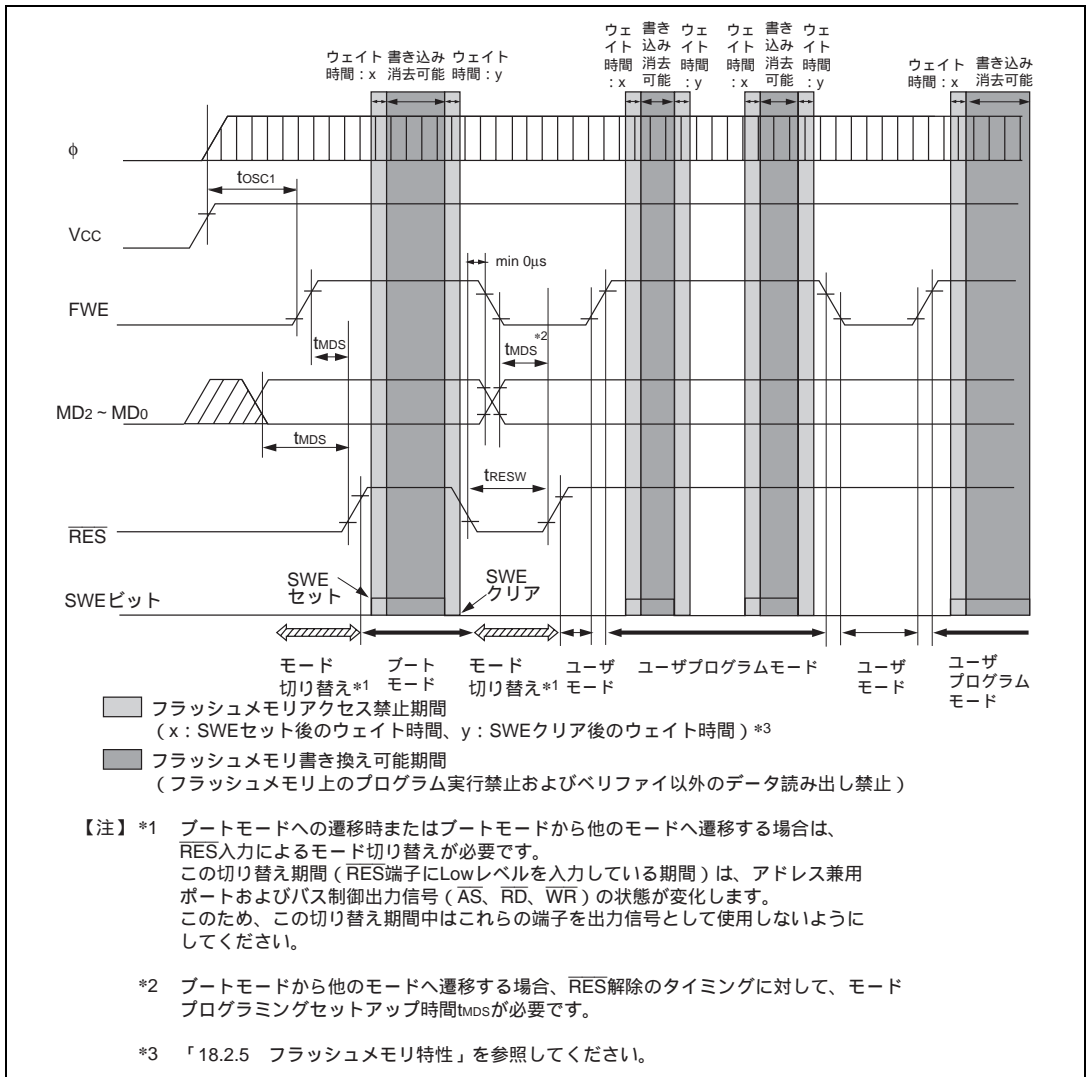


図 15.19 モード遷移タイミング
 (例：ブートモード→ユーザモード↔ユーザプログラムモード)

15.12 マスク ROM の概要

15.12.1 ブロック図

ROM のブロック図を図 15.20 に示します。

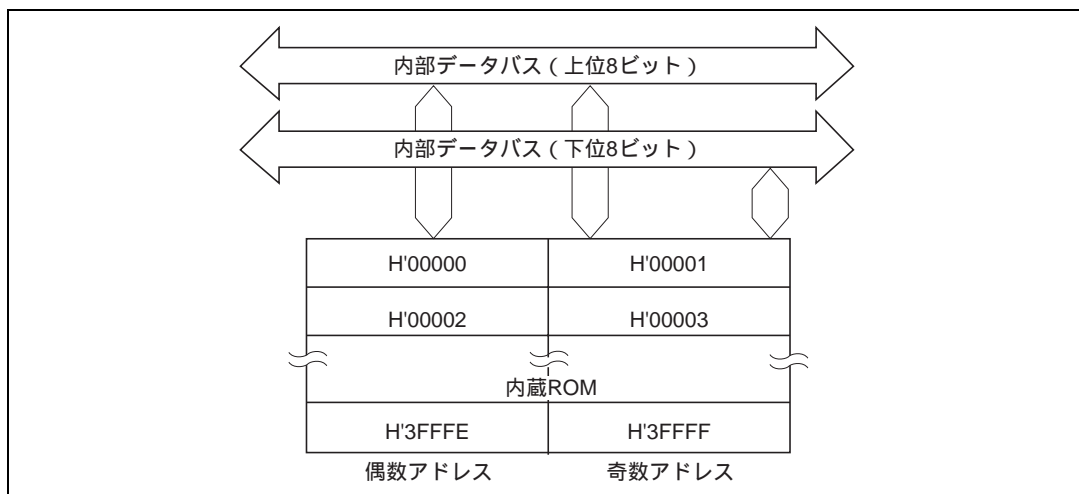


図 15.20 ROM のブロック図 (H8/3022 の場合)

15.13 マスク ROM 品発注時の注意

マスク ROM 品の発注時には、下記に注意してください。

- (1) EPROM を使用して発注する場合は、512K バイト EPROM を使用してください。
- (2) ROM データは、下記の領域をオール H'FF に満たし、512K バイト版と同じデータ量として発注するようお願いいたします。これは、EPROM を使用して発注する場合とデータ電送を使用して発注する場合のどちらにも適用します。

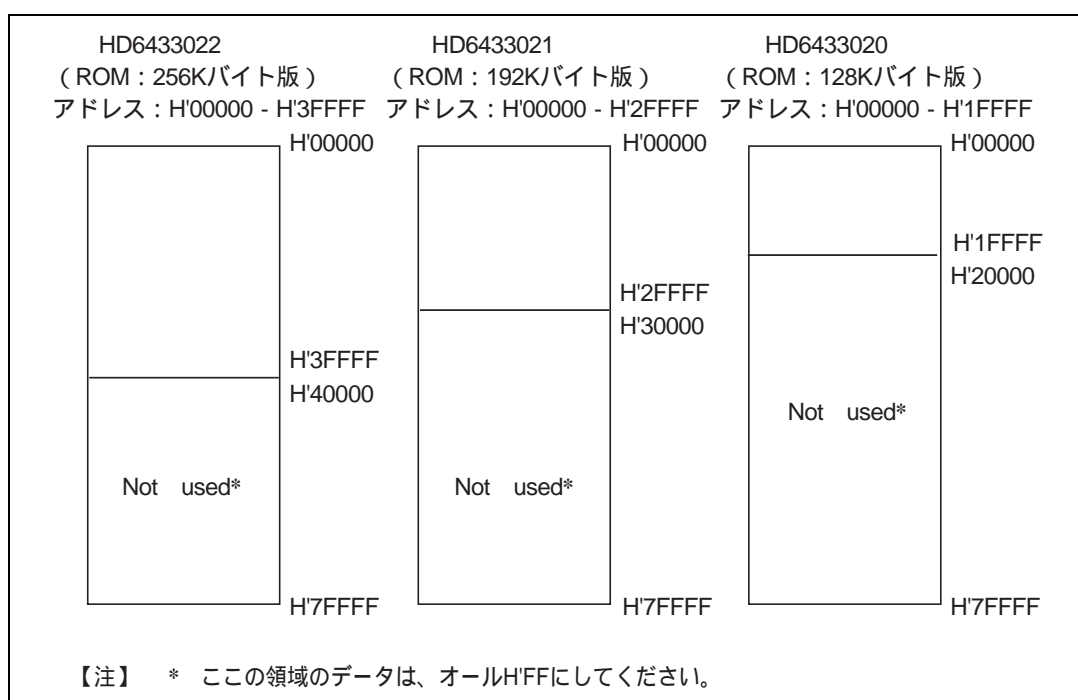


図 15.21 ROM アドレスとデータ

- (3) マスク ROM 版には、フラッシュメモリ版専用のフラッシュメモリのコントロール用レジスタ (FLMCR1、FLMCR2、EBR1、EBR2、RAMER) が存在しません。当該アドレスをリードすると常に 1 が読み出されます。ライトは無効です。フラッシュメモリ版からマスク ROM 版への切り替えを行う際には、この点にご注意ください。

15.14 F-ZTAT マイコンのマスク ROM 化時の注意事項

F-ZTAT 版からマスク ROM 版製品に変更するとき、F-ZTAT 用アプリケーションソフトを活用する場合には注意が必要です。

マスク ROM 版と F-ZTAT 版ではフラッシュ ROM 用内部レジスタをアクセスした場合、リード値が下記のように異なります。

レジスタ名称	ビット名称	ステータス	
		F-ZTAT 版	MASK 版
FLMCR1	FWE	0 : アプリケーション状態	0 : (読み出されません)
		1 : 書き換え状態	1 : アプリケーション状態

【注】 F-ZTAT 版製品、ROM サイズの異なる同一シリーズのマスク ROM 版製品はすべて対象となります。

16. クロック発振器

16.1 概要

本 LSI は、クロック発振器 (CPG : Clock Pulse Generator) を内蔵しており、クロック発振器はシステムクロック (ϕ)、および内部クロック ($\phi/2 \sim \phi/4096$) を生成します。

分周器は、デューティ補正されたクロックを分周してシステムクロック (ϕ) を生成します。 ϕ は ϕ 端子に出力される*¹ とともに内部モジュールへクロックを供給するプリスケアラの基本クロックとなります。なお、分周器の分周比は分周比コントロールレジスタ (DIVCR) により 1/1、1/2、1/4、1/8 の中から選択できます*²。チップ内の消費電流は分周比にほぼ比例して低減します。

【注】*¹ ϕ 端子の状態はチップの動作モードおよびモジュールスタンバイコントロールレジスタ (MSTCR) の PSTOP の設定により異なります。詳細は「17.7 ϕ クロック出力禁止機能」を参照してください。

*² 分周比の変更は動作中ダイナミックに変更することができます。 ϕ 端子のクロック出力も分周比を変更することにより変化します。このとき ϕ 端子から出力される周波数は、以下のようになります。

$\phi = \text{EXTAL} \times n$ EXTAL : 水晶発振子または外部クロックの周波数
n : 分周比 (n=1/1、1/2、1/4、1/8)

16.1.1 ブロック図

図 16.1 にクロック発振器のブロック図を示します。

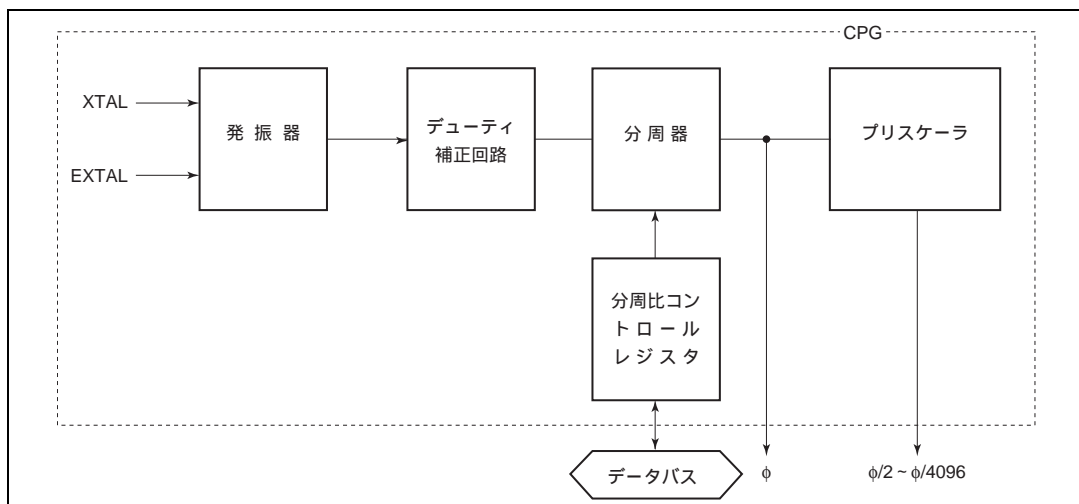


図 16.1 クロック発振器のブロック図

16.2 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2とおりがあります。

16.2.1 水晶発振子を接続する方法

(1) 回路構成

水晶発振子を接続する場合の接続例を図 16.2 に示します。ダンピング抵抗 R_d は、表 16.1 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

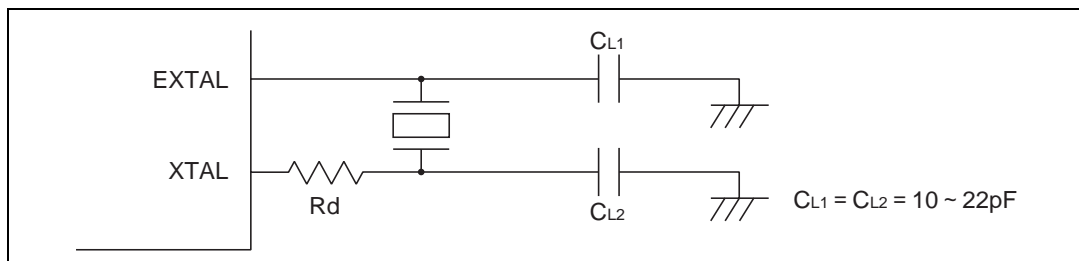


図 16.2 水晶発振子を接続する場合の接続例

表 16.1 ダンピング抵抗値例

周波数 (MHz)	2	4	8	10	12	16	18
R_d (Ω)	1k	500	200	0	0	0	0

(2) 水晶発振子

図 16.3 に水晶発振子の等価回路を示します。水晶発振子は表 16.2 に示す特性のものを使用してください。

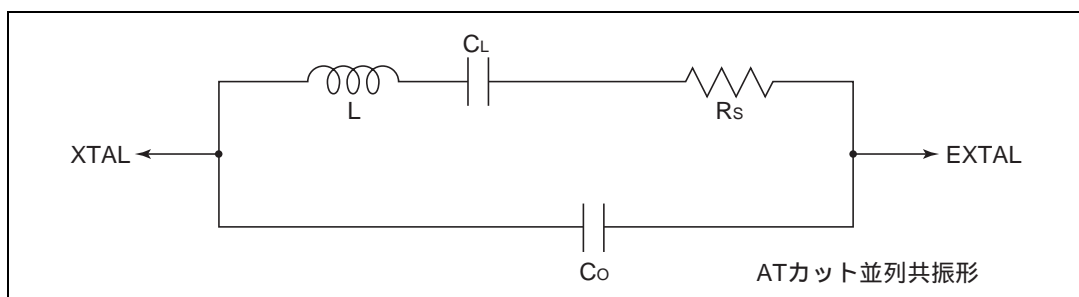


図 16.3 水晶発振子の等価回路

表 16.2 水晶発振子のパラメータ

周波数 (MHz)	2	4	8	10	12	16	18
Rs max (Ω)	500	120	80	70	60	50	40
C _o (pF)	7pF max						

水晶発振子は、 ϕ と同一の周波数のものを使用してください。

(3) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くで信号線を通過させないでください。誘導により正しい発振ができなくなる場合があります (図 16.4)。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。

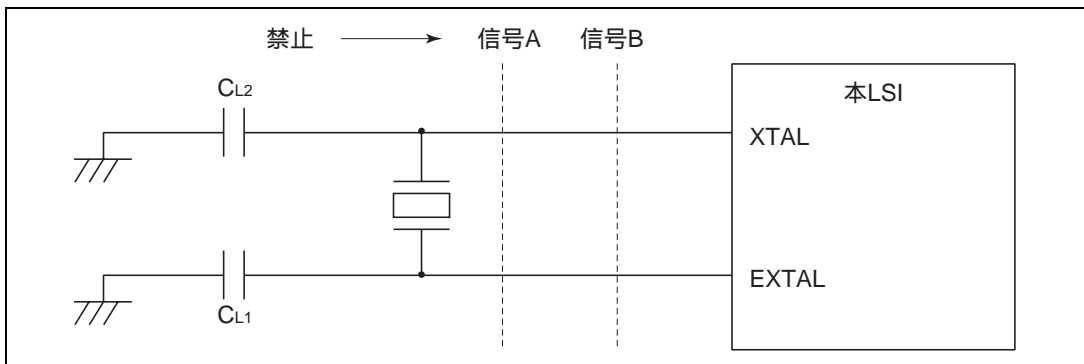


図 16.4 発振回路部のボード設計に関する注意事項

16.2.2 外部クロックを入力する方法

(1) 回路構成

外部クロック入力の接続例を図 16.5 に示します。図 16.5 (b) の場合、スタンバイモード時には外部クロックが High レベルとなるようにしてください。

XTAL 端子をオープン状態にする場合は、寄生容量が 10pF 以下としてください。

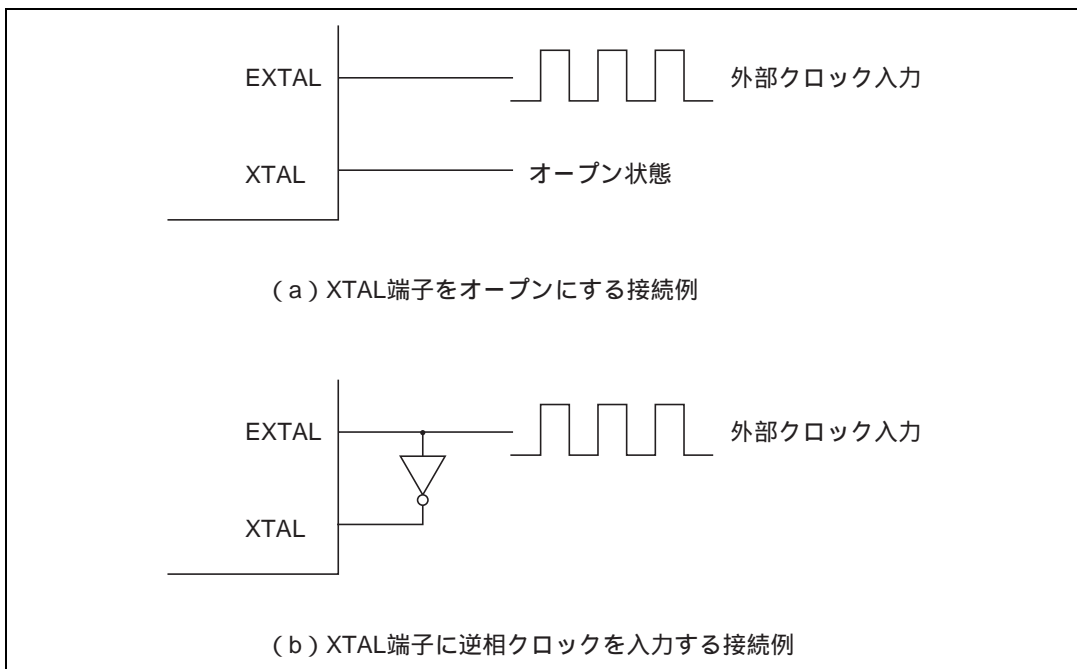


図 16.5 外部クロックを入力する場合の接続例

(2) 外部クロック

外部クロックは ϕ と同一の周波数にしてください。表 16.3 と図 16.6 にクロックタイミングを示します。

表 16.3 クロックタイミング

項目	記号	$V_{CC} = 3.0 \sim 3.6V$		単位	測定条件	
		min	max			
外部クロック立ち上がり時間	t_{EXr}		10	ns	図 16.6	
外部クロック立ち下がり時間	t_{EXf}		10	ns		
外部クロック入力デューティ (a/t_{cyc})		30	70	%	ϕ 5MHz	図 16.6
		40	60	%	$\phi < 5MHz$	
ϕ クロック幅デューティ (b/t_{cyc})		40	60	%		

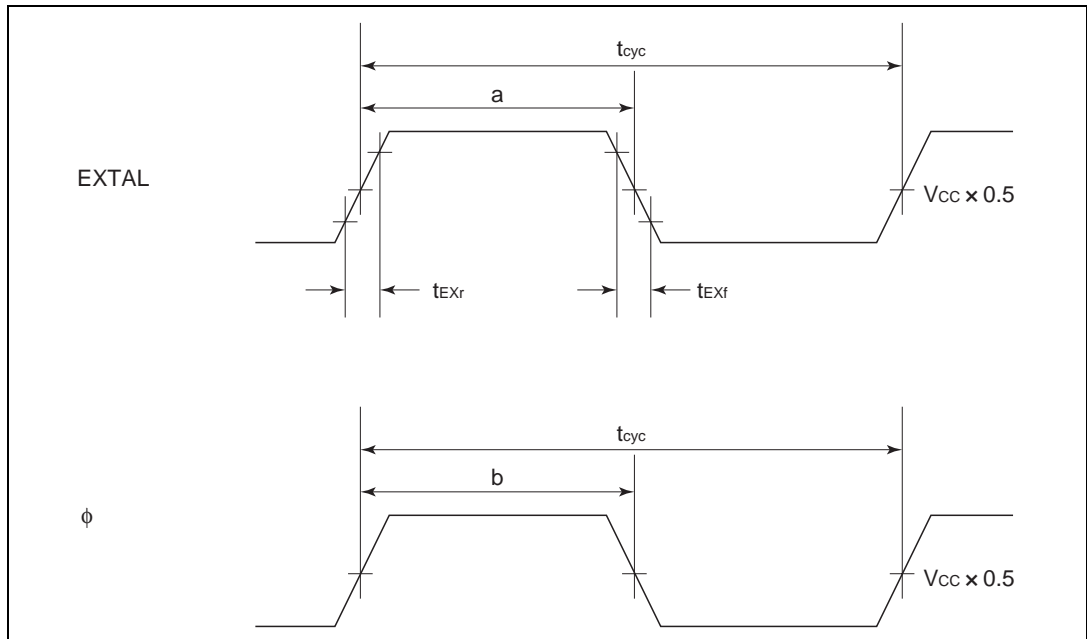


図 16.6 外部クロック入力タイミング

表 16.4 に外部クロック出力安定遅延時間、図 16.7 に外部クロック出力安定遅延時間タイミングを示します。発振器とデューティ補正回路は、EXTAL 端子に入力した外部クロック入力の波形を調整する機能を持っています。EXTAL 端子に規定のクロック信号を入力すると、外部クロック出力安定遅延時間 (t_{DEXT}) 経過後に内部のクロック信号出力が確定します。 t_{DEXT} 期間中はクロック信号出力が確定していないので、リセット信号を Low にし、リセット状態に保持してください。

表 16.4 外部クロック出力安定遅延時間

条件 : $V_{\text{CC}} = 3.0\text{V} \sim 3.6\text{V}$ 、 $AV_{\text{CC}} = 3.3\text{V} \sim 5.5\text{V}$ 、 $V_{\text{SS}} = AV_{\text{SS}} = 0\text{V}$

項目	記号	min	max	単位	備考
外部クロック出力安定遅延時間	t_{DEXT}^*	500		μs	図 16.7

【注】 * t_{DEXT} は、RES パルス幅 (t_{RESW}) を $10t_{\text{cyc}}$ 含みません。

16. クロック発振器

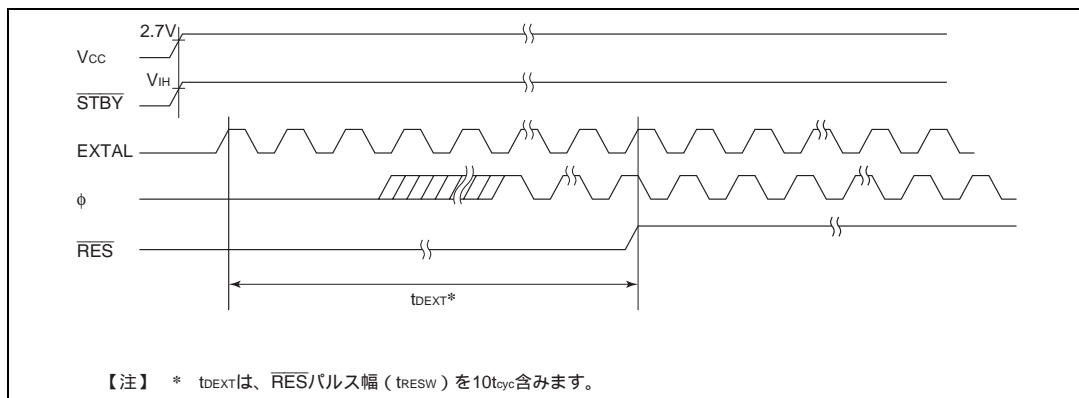


図 16.7 外部クロック出力安定遅延時間タイミング

16.3 デューティ補正回路

デューティ補正回路は、周波数 5MHz 以上の発振に対し発振器からのクロックのデューティを補正し、 ϕ を生成します。

16.4 プリスケーラ

プリスケーラは、 ϕ を分周し内部クロック ($\phi/2 \sim \phi/4096$) を生成します。

16.5 分周器

分周器はデューティ補正されたクロックを分周して ϕ を生成します。分周比は以下に説明する DIVCR の値を書き換えることにより動作中ダイナミックに変更できます。チップ内の消費電流は分周比にほぼ比例して低減します。また分周器で生成した ϕ は ϕ 端子より出力することができます。

16.5.1 レジスタ構成

表 16.5 に分周器のレジスタ構成を示します。

表 16.5 分周器のレジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FF5D	分周比コントロールレジスタ	DIVCR	R/W	H'FC

【注】 * アドレスの下位 16 ビットを示しています。

16.5.2 分周比コントロールレジスタ (DIVCR)

DIVCR は 8 ビットのリード/ライト可能なレジスタで分周器の分周比を選択します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	DIV1	DIV0
初期値:	1	1	1	1	1	1	0	0
R/W :	—	—	—	—	—	—	R/W	R/W

リザーブビット
分周比ビット1、0
 分周比を設定するビットです。

DIVCR はリセットまたはハードウェアスタンバイモード時に HFC に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット7~2: リザーブビット

リザーブビットです。リードすると常に 1 が読み出されます。ライトは無効です。

ビット1、0: 分周比 (DIV1、DIV0)

分周比を選択します。DIV1、DIV0 ビットと分周比の関係は以下のとおりです。

ビット1	ビット0	分 周 比	
DIV1	DIV0		
0	0	1 / 1	(初期値)
	1	1 / 2	
1	0	1 / 4	
	1	1 / 8	

16.5.3 使用上の注意

DIVCR の設定により ϕ の周波数が変わりますので、以下の点に注意してください。

- (1) 分周比は電氣的特性のACタイミングのクロックサイクル時間 t_{cy} の動作保証範囲内におさまるように選択してください。すなわち $\phi_{min}=1\text{MHz}$ とし、 $\phi < 1\text{MHz}$ とならないように注意してください。
- (2) 内部モジュールは、全て ϕ を基準に動作します。このため、分周比変更の前後でタイマやSCIなどの時間処理が変わりますので注意してください。また、ソフトウェアスタンバイ解除時の待機時間も分周比を変更することで変わります。詳細は「17.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定」を参照してください。

17. 低消費電力状態

17.1 概要

本 LSI には、CPU 機能を停止して消費電力を著しく低下させる低消費電力状態および、内蔵モジュールの機能を選択的に停止させることにより消費電力を低減させるモジュールスタンバイ機能があります。

低消費電力状態には、次の 3 種類のモードがあります。

- (1) スリープモード
- (2) ソフトウェアスタンバイモード
- (3) ハードウェアスタンバイモード

モジュールスタンバイ機能は低消費電力状態とは独立に、内蔵モジュールのうち、ITU、SCI0、SCI1、A/D 変換器を停止させることができます。

各モードへ遷移する条件と CPU や周辺機能などの状態、および各モードからの解除方法を表 17.1 に示します。

表 17.1 低消費電力状態

モード	遷移条件	状態											解除方法	
		クロック	CPU	レジスタ	ITU	SCI0	SCI1	A/D	周辺機能	RAM	φクロック出力	I/Oポート		
スリープモード	SYSCR の SSBY=0 の状態で SLEEP 命令 ^{*1} を実行	動作	停止	保持	動作	動作	動作	動作	動作	動作	保持	φ出力	保持	・割り込み ・RES 端子 ・STBY 端子
ソフトウェアスタンバイモード	SYSCR の SSBY=1 の状態で SLEEP 命令 ^{*1} を実行	停止	停止	保持	停止リセット	停止リセット	停止リセット	停止リセット	停止リセット	保持	High 出力	保持	・NMI 端子 ・ $\overline{IRQ_0} \sim \overline{IRQ_4}$ 端子 ・RES 端子 ・STBY 端子	
ハードウェアスタンバイモード	STBY 端子を Low レベル	停止	停止	不定	停止リセット	停止リセット	停止リセット	停止リセット	停止リセット	保持 ^{*2}	ハイインピーダンス	ハイインピーダンス	・STBY 端子 ・RES 端子	
モジュールスタンバイ機能	MSTCR の該当ビットを 1 にセット	動作	動作	-	停止 ^{*1} リセット	停止 ^{*1} リセット	停止 ^{*1} リセット	停止 ^{*1} リセット	動作	-	ハイインピーダンス ^{*1}	-	・STBY 端子 ・RES 端子 ・MSTCR の該当ビットを 0 にクリア ^{*3}	

【記号説明】

SYSCR：システムコントロールレジスタ

SSBY：ソフトウェアスタンバイビット

MSTCR：モジュールスタンバイコントロールレジスタ

17. 低消費電力状態

- 【注】 *1 MSTCR の該当するビットを 1 にセットした状態です。詳細は「17.2.2 モジュールスタンバイコントロールレジスタ (MSTCR)」を参照してください。
- *2 プログラム実行状態からハードウェアスタンバイ状態に移る場合には、事前に SYSCR の RAME ビットを 0 にクリアする必要があります。
- *3 MSTCR の各ビットを 1 にセットすると該当する周辺モジュールのレジスタは初期化されます。したがって周辺モジュールを再起動する場合は MSTCR の該当ビットを 0 にクリア後レジスタの再設定を行ってください。
- *4 SLEEP 命令は、SWE ビットを解除してから実行してください。

17.2 レジスタ構成

本 LSI には低消費電力状態の制御を行うシステムコントロールレジスタ (SYSCR) と、モジュールスタンバイ機能の制御を行うモジュールスタンバイコントロールレジスタ (MSTCR) があります。レジスタ構成を表 17.2 に示します。

表 17.2 レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFF2	システムコントロールレジスタ	SYSCR	R/W	H'0B
H'FF5E	モジュールスタンバイコントロールレジスタ	MSTCR	R/W	H'40

【注】 * アドレスの下位 16 ビットを示しています。

17.2.1 システムコントロールレジスタ (SYSCR)



SYSCR は 8 ビットのリード/ライト可能なレジスタで、ビット 7 の SSBY ビットとビット 6~4 の STS2 ~ STS0 ビットにより低消費電力状態の制御を行います。なお、SYSCR のその他のビットについての詳細は「3.3 システムコントロールレジスタ (SYSCR)」を参照してください。

17. 低消費電力状態

ビット7：ソフトウェアスタンバイ（SSBY）

ソフトウェアスタンバイモードへの遷移を指定します。

なお、外部割り込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したときこのビットは1にセットされたままです。クリアする場合は、0をライトしてください。

ビット7	説 明
SSBY	
0	SLEEP 命令実行後、スリープモードに遷移 (初期値)
1	SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移

【注】 SLEEP 命令は、SWE ビットを解除してから実行してください。

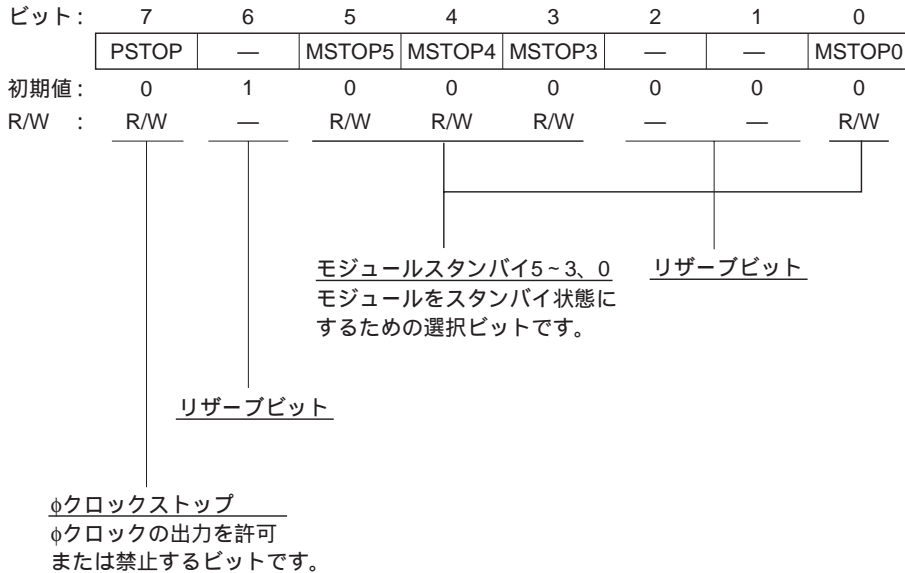
ビット6～4：スタンバイタイムセレクト2～0（STS2～STS0）

外部割り込みによって、ソフトウェアスタンバイモードを解除する場合に、クロックが安定するまでCPUと周辺機能が待機する時間を選択します。水晶発振の場合、表 17.3 を参照し、動作周波数に応じて待機時間が7ms（発振安定時間）以上となるように選択してください。外部クロックの場合、任意の選択が可能です。

ビット6	ビット5	ビット4	説 明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192 ステート (初期値)
		1	待機時間 = 16384 ステート
	1	0	待機時間 = 32768 ステート
		1	待機時間 = 65536 ステート
1	0	0	待機時間 = 131072 ステート
		1	待機時間 = 1024 ステート
	1		使用禁止

17.2.2 モジュールスタンバイコントロールレジスタ (MSTCR)

MSTCR は、8 ビットのリード/ライト可能なレジスタです。φクロック出力の制御を行い、また、内蔵モジュールをモジュールごとにスタンバイ状態にするモジュールスタンバイ機能を設定します。モジュールスタンバイ機能を設定できるモジュールは、ITU、SCI0、SCI1、A/D 変換器です。



MSTCR はリセット、またはハードウェアスタンバイモード時に、H'40 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット7：φクロックストップ (PSTOP)

φクロックの出力を許可または禁止します。

ビット7	説 明	
PSTOP		
0	φクロックの出力を許可	(初期値)
1	φクロックの出力を禁止	

ビット6：リザーブビット

リザーブビットです。リードすると常に1が読み出されます。ライトは無効です。

17. 低消費電力状態

ビット 5：モジュールスタンバイ 5 (MSTOP5)

ITU をスタンバイ状態にするかを選択します。

ビット 5	説 明
MSTOP5	
0	ITU は通常動作 (初期値)
1	ITU はスタンバイ状態

ビット 4：モジュールスタンバイ 4 (MSTOP4)

SCI0 をスタンバイ状態にするかを選択します。

ビット 4	説 明
MSTOP4	
0	SCI0 は通常動作 (初期値)
1	SCI0 はスタンバイ状態

ビット 3：モジュールスタンバイ 3 (MSTOP3)

SCI1 をスタンバイ状態にするかを選択します。

ビット 3	説 明
MSTOP3	
0	SCI1 は通常動作 (初期値)
1	SCI1 はスタンバイ状態

ビット 2～1：リザーブビット

リザーブビットです。

ビット 0：モジュールスタンバイ 0 (MSTOP0)

A/D 変換器をスタンバイ状態にするかを選択します。

ビット 0	説 明
MSTOP0	
0	A/D 変換器は通常動作 (初期値)
1	A/D 変換器はスタンバイ状態

17.3 スリープモード

17.3.1 スリープモードへの遷移

SYSCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPU の動作は、SLEEP 命令実行直後に停止します。CPU の動作は停止しますが、CPU のレジスタの内容は保持されます。スリープモードでは内蔵周辺モジュールの機能は停止しません。ただし、モジュールスタンバイ機能により、スタンバイ状態となっている内蔵周辺モジュールの機能は動作しません。

17.3.2 スリープモードの解除

スリープモードの解除は、割り込み、 $\overline{\text{RES}}$ 端子、 $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割り込みによる解除

割り込み要求が発生すると、割り込み例外処理状態に遷移し、スリープモードは解除されます。なお、内蔵周辺モジュールによる割り込みがモジュール側で禁止されている場合、また、NMI 以外の割り込みが CCR の I、UI ビット、IPR によってマスクされている場合にはスリープモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにするとリセット状態に遷移し、スリープモードは解除されます。

(3) $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

17.4 ソフトウェアスタンバイモード

17.4.1 ソフトウェアスタンバイモードへの遷移

ソフトウェアスタンバイモードに遷移するには SYSCR の SSBY ビットを 1 にセットした状態で、SLEEP 命令を実行します。

ソフトウェアスタンバイモードでは、CPU だけでなくクロックをはじめ内蔵周辺モジュールの機能が停止するため、消費電力は著しく低減されます。内蔵周辺モジュールはリセット状態になり、停止します。規定の電圧が与えられている限り、CPU のレジスタ、および内蔵 RAM のデータは保持されます。I/O ポートの状態も保持されています。

17.4.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み (NMI 端子、 $\overline{IRQ_0}$ ~ $\overline{IRQ_1}$ 端子)、 \overline{RES} 端子、または \overline{STBY} 端子によって行われます。

(1) 割り込みによる解除

NMI、 IRQ_0 ~ IRQ_1 割り込み要求信号が入力されると、クロックの発振が開始され、SYSCR の STS2 ~ STS0 ビットによって設定された時間が経過した後、安定したクロックが本 LSI 全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。なお、 IRQ_0 ~ IRQ_1 割り込みは、対応するイネーブルビットが 0 にクリアされている場合、または CPU でマスクされている場合には、ソフトウェアスタンバイモードは解除されません。

(2) \overline{RES} 端子による解除

\overline{RES} 端子を Low レベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本 LSI 全体にクロックが供給されます。このとき \overline{RES} 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。 \overline{RES} 端子を High レベルにすると、CPU はリセット例外処理を開始します。

(3) \overline{STBY} 端子による解除

\overline{STBY} 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

17.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定

SYSCR の STS2 ~ STS0 ビットおよび DIVCR の DIV1、DIV0 ビットの設定は、以下のようにしてください。

(1) 水晶発振の場合

待機時間が 7ms (発振安定時間) 以上となるように STS2 ~ STS0、DIV1、DIV0 ビットを設定してください。表 17.3 に動作周波数と STS2 ~ STS0、DIV1、DIV0 ビットの設定値に対する待機時間を示します。

(2) 外部クロックの場合

任意の値を選択可能です。

表 17.3 動作周波数と発振安定待機時間

DIV1	DIV0	STS2	STS1	STS0	待機時間	18MHz	16MHz	12MHz	10MHz	8MHz	6MHz	4MHz	2MHz	1MHz	単位
0	0	0	0	0	8192 ステート	0.46	0.51	0.65	0.8	1.0	1.3	2.0	4.1	8.2	ms
		0	0	1	16384 ステート	0.91	1.0	1.3	1.6	2.0	2.7	4.1	8.2	16.4	
		0	1	0	32768 ステート	1.8	2.0	2.7	3.3	4.1	5.5	8.2	16.4	32.8	
		0	1	1	65536 ステート	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	
		1	0	0	131072 ステート	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	
		1	0	1	1024 ステート	0.057	0.064	0.085	0.10	0.13	0.17	0.26	0.51	1.0	
		1	1		使用禁止										
0	1	0	0	0	8192 ステート	0.91	1.02	1.4	1.6	2.0	2.7	4.1	8.2	16.4	ms
		0	0	1	16384 ステート	1.8	2.0	2.7	3.3	4.1	5.5	8.2	16.4	32.8	
		0	1	0	32768 ステート	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	
		0	1	1	65536 ステート	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	
		1	0	0	131072 ステート	14.6	16.4	21.8	26.2	32.8	43.7	65.5	131.1	262.1	
		1	0	1	1024 ステート	0.11	0.13	0.17	0.20	0.26	0.34	0.51	1.0	2.0	
		1	1		使用禁止										
1	0	0	0	0	8192 ステート	1.8	2.0	2.7	3.3	4.1	5.5	8.2	16.4	32.8	ms
		0	0	1	16384 ステート	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	
		0	1	0	32768 ステート	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	
		0	1	1	65536 ステート	14.6	16.4	21.8	26.2	32.8	43.7	65.5	131.1	262.1	
		1	0	0	131072 ステート	29.1	32.8	43.7	52.4	65.5	87.4	131.1	262.1	524.3	
		1	0	1	1024 ステート	0.23	0.26	0.34	0.41	0.51	0.68	1.02	2.0	4.1	
		1	1		使用禁止										
1	1	0	0	0	8192 ステート	3.6	4.1	5.5	6.6	8.2	10.9	16.4	32.8	65.5	ms
		0	0	1	16384 ステート	7.3	8.2	10.9	13.1	16.4	21.8	32.8	65.5	131.1	
		0	1	0	32768 ステート	14.6	16.4	21.8	26.2	32.8	43.7	65.5	131.1	262.1	
		0	1	1	65536 ステート	29.1	32.8	43.7	52.4	65.5	87.4	131.1	262.1	524.3	
		1	0	0	131072 ステート	58.3	65.5	87.4	104.9	131.1	174.8	262.1	524.3	1048.6	
		1	0	1	1024 ステート	0.46	0.51	0.68	0.82	1.0	1.4	2.0	4.1	8.2	
		1	1		使用禁止										

【注】 : 推奨設定時間

17.4.4 ソフトウェアスタンバイモードの応用例

ここでは、NMI 端子の立ち下がりによってソフトウェアスタンバイモードに遷移し、NMI 端子の立ち上がりによって解除を行う例を、図 17.1 に示します。

SYSCR の NMI エッジ (NMIEG) ビットが 0 にクリアされている (立ち下がりエッジ指定) 状態で NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセットします (立ち上がりエッジ指定)。SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに遷移します。その後、NMI 端子の立ち上がりエッジで、ソフトウェアスタンバイモードが解除されます。

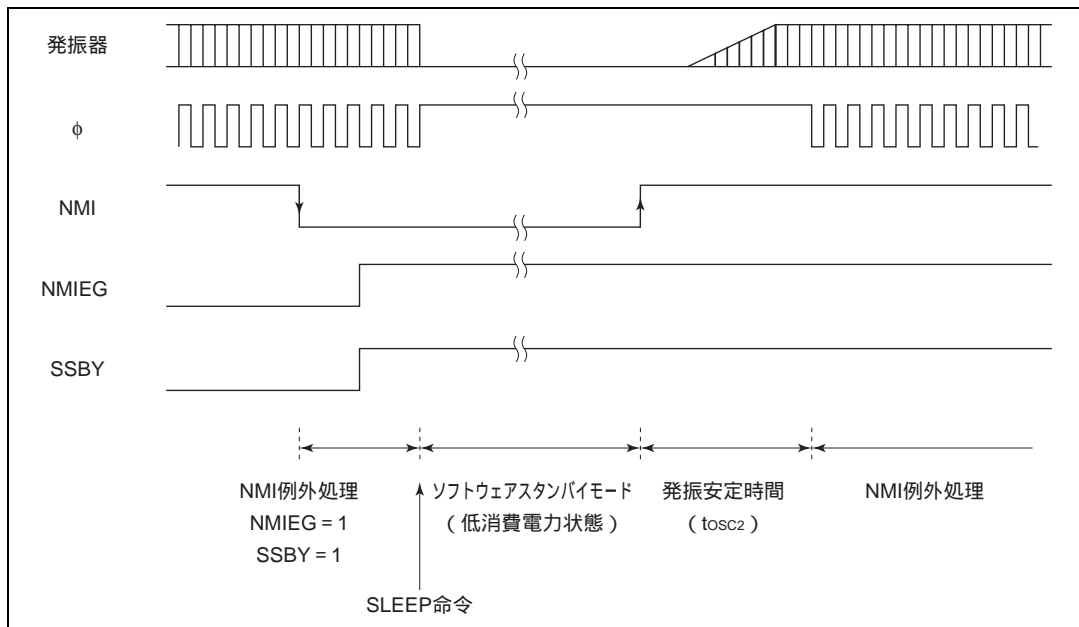


図 17.1 ソフトウェアスタンバイモード時の NMI タイミング (例)

17.4.5 使用上の注意

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合、出力電流分の消費電流は低減されません。

17.5 ハードウェアスタンバイモード

17.5.1 ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの処理状態からでもハードウェアスタンバイモードに遷移します。

ハードウェアスタンバイモードでは、CPU および内蔵周辺モジュールの機能が停止するため、消費電力は著しく低減します。内蔵 RAM 以外のすべてのモジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートは、ハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。

ハードウェアスタンバイモード中には、モード端子 ($\text{MD}_2 \sim \text{MD}_0$) の状態を変化させないでください。

17.5.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子とで行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで Low レベルに保持してください。 $\overline{\text{RES}}$ 端子を High レベルにするとリセット例外処理を経て、プログラム実行状態に遷移します。

17.5.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミング例を図 17.2 に示します。

$\overline{\text{RES}}$ 端子を Low レベルにした後、 $\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$ 端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

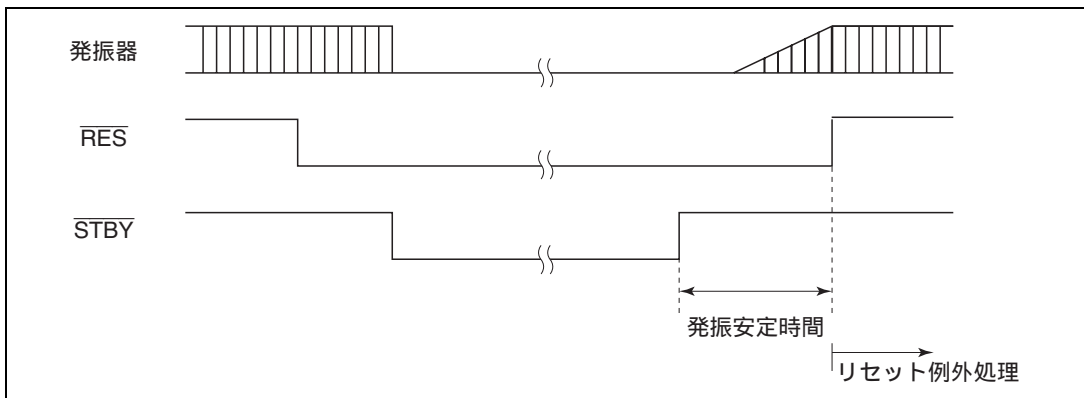


図 17.2 ハードウェアスタンバイモードのタイミング

17.6 モジュールスタンバイ機能

17.6.1 モジュールスタンバイタイミング

モジュールスタンバイ機能は、MSTCR の MSTOP5 ~ MSTOP3 ビットおよび MSTOP0 ビットにより、内蔵モジュールのうち ITU、SCI0、SCI1、A/D 変換器を低消費電力状態とは独立に停止させることができます。MSTOP5 ~ MSTOP3 ビットおよび MSTOP0 ビットを 1 にセットすると、MSTCR のライトサイクルの次のバスサイクルの先頭で上記周辺モジュールはスタンバイ状態となり動作が停止します。

17.6.2 モジュールスタンバイ中のリード/ライト

モジュールスタンバイ中の周辺モジュールのレジスタに対するリード/ライトはできません。リードすると常に HFF が読み出されます。ライトは無効です。

17.6.3 使用上の注意

モジュールスタンバイ機能を使用するうえで以下のことに注意してください。

(1) 割り込み処理のキャンセル

モジュールスタンバイ機能によって、スタンバイ状態となった周辺モジュールは、割り込みフラグを含めてレジスタがすべて初期化されます。このため MSTOP ビットを 1 にセットする直前に発生した割り込みは実行されません。割り込み要因は保持されません。

(2) 端子の状態

モジュールスタンバイ機能によって、停止したモジュールが使用していた端子は、モジュールの機能が失われます。その後の端子状態については端子ごとに異なりますので、詳細は「第 7 章 I/O ポート」を参照してください。端子の状態が入力から出力に変化する場合には、特に注意が必要です。例えば、SCI1 をモジュールスタンバイにした場合、受信端子はモジュールスタンバイと同時に受信端子としての機能が無くなりポートとなりますが、ポートの DDR が 1 にセットされていると、端子はデータ出力となり外部 SCI 送信データと衝突する可能性があります。この場合、ポートの DDR を 0 にクリアするなどの対策をとってください。

(3) レジスタの再設定

モジュールスタンバイ機能によって、停止した周辺モジュールのレジスタはすべて初期化されます。このため再動作させる際には、MSTOP ビットを 0 にクリアした後、レジスタの再設定が必要です。なお MSTOP ビットが 1 にセットされた状態ではレジスタへのライトはできません。

17.7 ϕ クロック出力禁止機能

MSTCR の PSTOP ビットにより、 ϕ クロックの出力を制御することができます。PSTOP ビットを 1 にセットすると、 ϕ クロックは停止し、 ϕ 端子はハイインピーダンスになります。図 17.3 に ϕ クロックの発振開始、発振停止のタイミングを示します。PSTOP ビットを 0 にクリアした状態では、 ϕ クロックの出力は許可されます。表 17.4 に各処理状態における ϕ 端子の状態を示します。

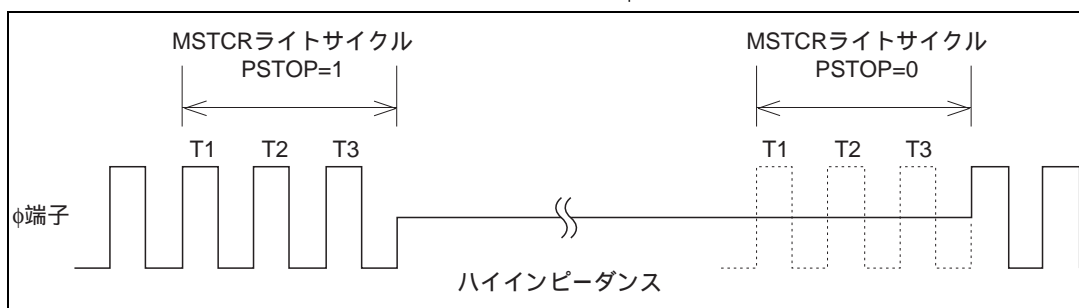


図 17.3 ϕ クロック発振開始、発振停止タイミング

表 17.4 各処理状態における ϕ 端子の状態

処理状態	PSTOP=0	PSTOP=1
ハードウェアスタンバイ	ハイインピーダンス	ハイインピーダンス
ソフトウェアスタンバイ	H 固定	ハイインピーダンス
スリープモード	ϕ 出力	ハイインピーダンス
通常動作状態	ϕ 出力	ハイインピーダンス

18. 電気的特性

18.1 マスク ROM 版の電気的特性

18.1.1 絶対最大定格

絶対最大定格を表 18.1 に示します。

表 18.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V_{CC}	- 0.3 ~ + 4.3	V
入力電圧 (ポート 7 以外)	V_{in}	- 0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 7)	V_{in}	- 0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	- 0.3 ~ + 7.0	V
アナログ入力電圧	V_{AN}	- 0.3 ~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	- 20 ~ + 75	
保存温度	T_{stg}	- 55 ~ + 125	

【使用上の注意】絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

18. 電気的特性

18.1.2 DC 特性

DC 特性を表 18.2 に示します。また、出力許容電流値を表 18.3 に示します。

表 18.2 DC 特性

条件: $V_{CC} = 3.0 \sim 3.6V$, $AV_{CC} = 3.6 \sim 5.5V$, $V_{SS} = AV_{SS} = 0V^{*1}$, $T_a = -20 \sim +75$

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	ポート A、P8 ₀ ~P8 ₁ 、PB ₀ ~PB ₃	V_T^-	$V_{CC} \times 0.2$			V	
		V_T^+			$V_{CC} \times 0.7$	V	
		$V_T^+ - V_T^-$	$V_{CC} \times 0.04$			V	
入力 High レベル電圧	RES、STBY、NMI、MD ₂ 、MD ₁ 、MD ₀	V_{IH}	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC} \times 0.7$		$V_{CC} + 0.3$	V	
	ポート 7		$V_{CC} \times 0.7$		$AV_{CC} + 0.3$	V	
	ポート 1~3、5、6、9、PB ₄ 、PB ₅ 、PB ₇		$V_{CC} \times 0.7$		$V_{CC} + 0.3$	V	
入力 Low レベル電圧	RES、STBY、MD ₂ 、MD ₁ 、MD ₀	V_{IL}	- 0.3		$V_{CC} \times 0.1$	V	
	NMI、EXTAL、ポート 1~3、5~7、9、PB ₄ 、PB ₅ 、PB ₇		- 0.3		$V_{CC} \times 0.2$	V	
出力 High レベル 電圧	全出力端子 (RESO を除く)	V_{OH}	$V_{CC} - 0.5$			V	$I_{OH} = -200\mu A$
			$V_{CC} - 1.0$			V	$I_{OH} = -1mA$
出力 Low レベル電圧	全出力端子 (RESO を除く)	V_{OL}			0.4	V	$I_{OL} = 1.0mA$
	ポート 1、2、5、B				1.0	V	$I_{OL} = 5mA$
	RESO				0.4	V	$I_{OL} = 1.6mA$
入力リーク電流	STBY、NMI、RES、MD ₂ 、MD ₁ 、MD ₀	$ I_{in} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	ポート 7				1.0	μA	$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
スリープステート リーク電流 (オフ状態)	ポート 1~3、5、6、8-B	$ I_{TSI} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	RESO				10.0		
入力プルアップ MOS 電流	ポート 2、5	$-I_p$	10		300	μA	$V_{in} = 0V$
入力容量	NMI、RES	C_{in}			50	pF	$V_{in} = 0V$
	NMI、RES 以外の全入力端子				20	pF	$f = 1MHz$ $T_a = 25$
消費電流 ^{*2}	通常動作時	I_{CC}^{*4}		28	48	mA	$f = 18MHz$
	スリープ時			21	35		$f = 18MHz$
	スタンバイ時 ^{*3}			0.1	10	μA	$T_a = 50$ $50 < T_a$
アナログ電源電流	A/D 変換中	AI_{CC}		1.7	2.8	mA	$AV_{CC} = 5.0V$
	A/D 変換待機時			0.2	10	μA	
RAM スタンバイ電圧		V_{RAM}	2.0			V	

【注】 *1 A/D 変換器未使用時に AV_{CC} 、 AV_{SS} 端子を開放しないでください。

AV_{CC} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。

*3 V_{RAM} $V_{CC} < 3.6V$ のとき、 $V_{IH} \min = V_{CC} \times 0.9$ 、 $V_{IL} \max = 0.3V$ とした場合の値です。

*4 I_{CC} は下記の式に従って V_{CC} と f に依存します。

$$I_{CC} \max = 3.0 \text{ (mA)} + 0.7 \text{ (mA/MHz} \times V) \times V_{CC} \times f \text{ (通常動作時)}$$

$$I_{CC} \max = 3.0 \text{ (mA)} + 0.5 \text{ (mA/MHz} \times V) \times V_{CC} \times f \text{ (スリープ時)}$$

表 18.3 出力許容電流値

条件： $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$

項目	記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	ポート 1、2、5、B			10	mA
	上記以外の出力端子			2.0	mA
出力 Low レベル許容電流 (総和)	ポート 1、2、5、B 27 端子の総和			80	mA
	ポート 8、9、A、B 23 端子の総和			65	mA
	上記を含む、全出力端子の総和			120	mA
出力 High レベル許容電流 (1 端子あたり)	全出力端子			2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和			40	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 18.3 の値を超えないようにしてください。

ダーリントントランジスタや、LED を直接駆動する場合には、図 18.1、図 18.2 に示すように、出力に必ず電流制限抵抗を挿入してください。

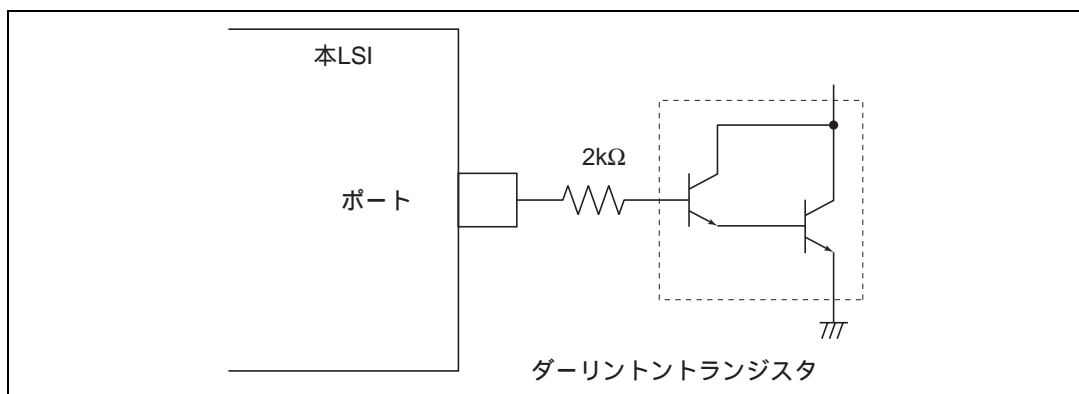


図 18.1 ダーリントトランジスタ駆動回路例

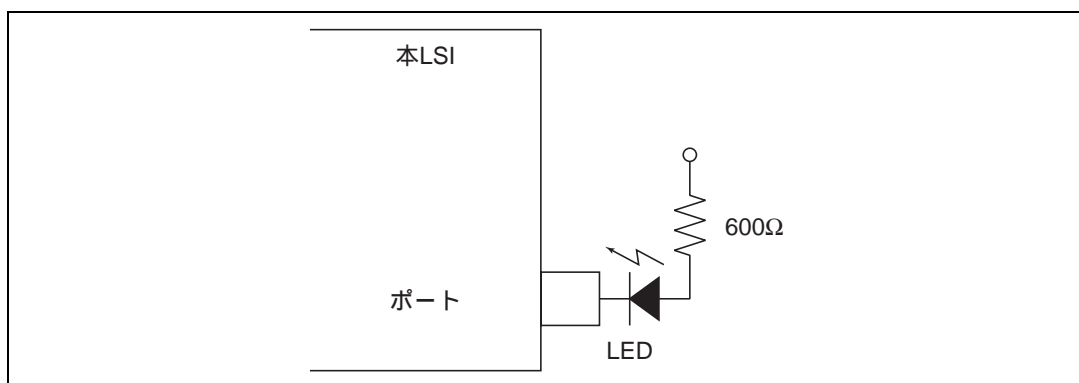


図 18.2 LED 駆動回路例

18.1.3 AC 特性

表 18.4 にバスタイミング、表 18.5 に制御信号タイミング、表 18.6 に内蔵周辺モジュールタイミングを示します。

表 18.4 バスタイミング

条件： $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 18MHz$ 、 $T_a = -20 \sim +75$

項目	記号	min	max	測定条件
クロックサイクル時間	t_{cyc}	55.5	500	図 18.7、図 18.8
クロックパルス幅 Low レベル時間	t_{CL}	17		
クロックパルス幅 High レベル時間	t_{CH}	17		
クロック立ち上がり時間	t_{Cr}		10	
クロック立ち下がり時間	t_{Cf}		10	
アドレス遅延時間	t_{AD}		25	
アドレスホールド時間	t_{AH}	10		
アドレスストロブ遅延時間	t_{ASD}		25	
ライトストロブ遅延時間	t_{WSD}		25	
ストロブ遅延時間	t_{SD}		25	
ライトデータストロブパルス幅 1	t_{WSW1}^*	32		
ライトデータストロブパルス幅 2	t_{WSW2}^*	62		
アドレスセットアップ時間 1	t_{AS1}	10		
アドレスセットアップ時間 2	t_{AS2}	38		
リードデータセットアップ時間	t_{RDS}	15		
リードデータホールド時間	t_{RDH}	0		
ライトデータ遅延時間	t_{WDD}		55	
ライトデータセットアップ時間 1	t_{WDS1}	10		
ライトデータセットアップ時間 2	t_{WDS2}	- 10		
ライトデータホールド時間	t_{WDH}	20		
リードデータアクセス時間 1	t_{ACC1}^*		50	
リードデータアクセス時間 2	t_{ACC2}^*		105	
リードデータアクセス時間 3	t_{ACC3}^*		20	
リードデータアクセス時間 4	t_{ACC4}^*		80	
プリチャージ時間	t_{PCH}^*	40		
ウェイトセットアップ時間	t_{WTS}	25		図 18.9
ウェイトホールド時間	t_{WTH}	5		

単位：ns

【注】 * 下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$\begin{aligned}
 t_{ACC1} &= 1.5 \times t_{cyc} - 34 \text{ (ns)} & t_{WSW1} &= 1.0 \times t_{cyc} - 24 \text{ (ns)} \\
 t_{ACC2} &= 2.5 \times t_{cyc} - 34 \text{ (ns)} & t_{WSW2} &= 1.5 \times t_{cyc} - 22 \text{ (ns)} \\
 t_{ACC3} &= 1.0 \times t_{cyc} - 36 \text{ (ns)} & t_{PCH} &= 1.0 \times t_{cyc} - 21 \text{ (ns)} \\
 t_{ACC4} &= 2.0 \times t_{cyc} - 31 \text{ (ns)} & &
 \end{aligned}$$

18. 電気的特性

表 18.5 制御信号タイミング

条件： $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 18MHz$ 、 $T_a = -20 \sim +75$

項目	記号	min	max	単位	測定条件
RES セットアップ時間	t_{RESS}	200		ns	図 18.10
RES パルス幅	t_{RESW}	10*		t_{cyc}	
モードプログラミングセットアップ時間 (MD ₀ 、MD ₁ 、MD ₂)	t_{MDS}	200		ns	
RES \bar{O} 出力遅延時間	t_{RESO}		100	ns	図 18.11
RES \bar{O} 出力パルス幅	t_{RESOW}	132		t_{cyc}	
NMI セットアップ時間 (NMI、 $\overline{IRQ_0}$ 、 $\overline{IRQ_1}$ 、 $\overline{IRQ_4}$ 、 $\overline{IRQ_5}$)	t_{NMIS}	150		ns	図 18.12
NMI ホールド時間 (NMI、 $\overline{IRQ_0}$ 、 $\overline{IRQ_1}$ 、 $\overline{IRQ_4}$ 、 $\overline{IRQ_5}$)	t_{NMIH}	10		ns	
割り込みパルス幅 (NMI、 $\overline{IRQ_1}$ 、 $\overline{IRQ_0}$ ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200		ns	
リセット発振安定時間 (水晶)	t_{OSC1}	20		ms	図 18.13
ソフトウェアスタンバイ発振安定時間 (水晶)	t_{OSC2}	7		ms	図 17.1

【注】 * H8/3022、H8/3021、H8/3020 のマスク ROM 版では動作中のリセット期間は最低 10 システムクロックですが、H8/3022 のフラッシュメモリ版では、最低 20 システムクロックが必要です。

表 18.6 内蔵周辺モジュールタイミング

条件：3.0~3.6V、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 18MHz$ 、 $T_a = -20 \sim +75$

モジュール	項目	記号	min	max	単位	測定条件
ITU	タイマ出力遅延時間	t_{TOCD}		100	ns	図 18.15
	タイマ入力セットアップ時間	t_{TICS}	50			
	タイマクロック入力 セットアップ時間	t_{TCKS}	50		t _{cyc}	図 18.16
	タイマクロック パルス幅	単エッジ指定 t_{TCKWH}	1.5			
		両エッジ指定 t_{TCKWL}	2.5			
SCI	入力クロック サイクル	調歩同期	t_{Scyc}	4	t _{cyc}	図 18.17
		クロック同期		6		
	入力クロック立ち上がり時間	t_{SCKr}		1.5	t _{cyc}	図 18.18
	入力クロック立ち下がり時間	t_{SCKf}		1.5		
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	t _{cyc}	
	送信データ遅延時間	t_{TXD}		100	ns	図 18.18
	受信データセットアップ時間 (クロック同期)	t_{RXS}	100			
	受信データホールド時間 (クロック同期)	クロック入力	t_{RXH}	100		
クロック出力			0			
ポート TPC	出力データ遅延時間	t_{PWD}		100	ns	図 18.14
	入力データセットアップ時間	t_{PRS}	50			
	入力データホールド時間	t_{PRH}	50			

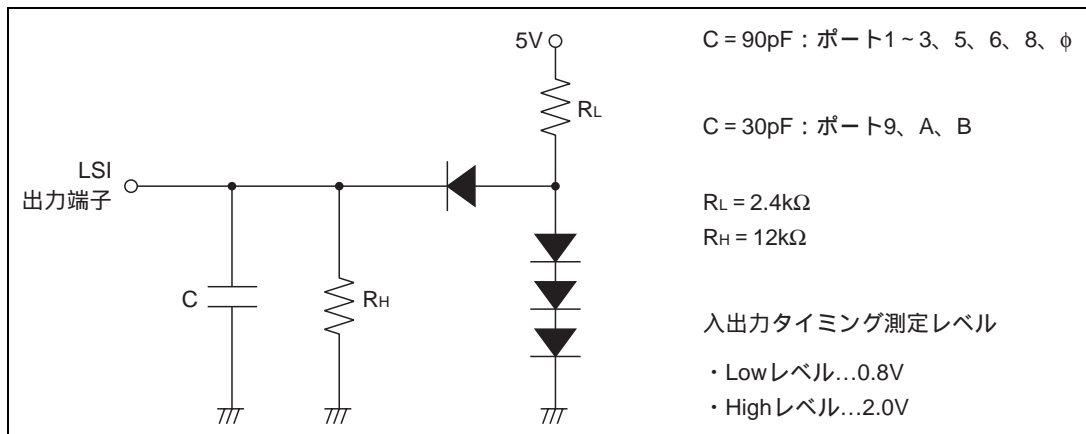


図 18.3 出力負荷回路

18. 電気的特性

18.1.4 A/D 変換特性

A/D 変換特性を表 18.7 に示します。

表 18.7 A/D 変換特性

条件 : $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.6 \sim 5.5V$ 、 $V_{ss} = AV_{ss} = 0V$ 、 $\phi = 2 \sim 18MHz$ 、 $T_a = -20 \sim +75$

項目	min	typ	max	単位
分解能	10	10	10	ビット
変換時間			7.5	μs
アナログ入力容量			20	pF
許容信号源インピーダンス			5	$k\Omega$
非直線性誤差			± 7.5	LSB
オフセット誤差			± 7.5	LSB
フルスケール誤差			± 7.5	LSB
量子化誤差			± 0.5	LSB
絶対精度			± 8.0	LSB

18.2 フラッシュメモリ版の電気的特性

18.2.1 絶対最大定格

絶対最大定格を表 18.8 に示します。

表 18.8 絶対最大定格

項目	記号	定格値	単位
電源電圧	V_{CC}	- 0.3 ~ + 4.3	V
入力電圧 (ポート 7 以外)	V_{in}	- 0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート 7)	V_{in}	- 0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	- 0.3 ~ + 7.0	V
アナログ入力電圧	V_{AN}	- 0.3 ~ $AV_{CC} + 0.3$	V
動作温度	T_{opr}	- 20 ~ + 75*	
保存温度	T_{stg}	- 55 ~ + 125	

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

【注】 * フラッシュメモリの書き込み / 消去時の動作温度範囲は、 $T_a = 0 \sim +75$ です。

18. 電氣的特性

18.2.2 DC 特性

DC 特性を表 18.9 に示します。また、出力許容電流値を表 18.10 に示します。

表 18.9 DC 特性

条件： $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.6V \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V^{*1}$ 、 $T_a = -20 \sim +75$
 (書き込み / 消去時の条件： $T_a = 0 \sim +75$)

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	ポート A、P8 ₀ ~P8 ₁ 、 PB ₀ ~PB ₃	V_T^-	$V_{CC} \times 0.2$			V	
		V_T^+			$V_{CC} \times 0.7$	V	
		$V_T^+ - V_T^-$	$V_{CC} \times 0.04$			V	
入力 High レベル 電圧	RES、STBY、NMI、MD ₂ 、 MD ₁ 、MD ₀ 、FWE	V_{IH}	$V_{CC} \times 0.9$		$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC} \times 0.7$		$V_{CC} + 0.3$	V	
	ポート 7		$V_{CC} \times 0.7$		$AV_{CC} + 0.3$	V	
	ポート 1~3、5、6、9、PB ₄ 、 PB ₅ 、PB ₇		$V_{CC} \times 0.7$		$V_{CC} + 0.3$	V	
入力 Low レベル 電圧	RES、STBY、MD ₂ 、MD ₁ 、 MD ₀ 、FWE	V_{IL}	- 0.3		$V_{CC} \times 0.1$	V	
	NMI、EXTAL、ポート 1~3、 5、6、7、9、PB ₄ 、PB ₅ 、PB ₇		- 0.3		$V_{CC} \times 0.2$	V	
出力 High レベル 電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$			V	$I_{OH} = -200\mu A$
			$V_{CC} - 1.0$			V	$I_{OH} = -1mA$
出力 Low レベル 電圧	全出力端子	V_{OL}			0.4	V	$I_{OL} = 1.6mA$
	ポート 1、2、5、B				1.0	V	$I_{OL} = 10mA$
入力リーク電流	STBY、NMI、RES、MD ₂ 、 MD ₁ 、MD ₀ 、FWE	$ I_{in} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
	ポート 7				1.0	μA	$V_{in} = 0.5 \sim AV_{CC} - 0.5V$
スリープステート リーク電流 (オフ状態)	ポート 1~3、5、6、8~B	$ I_{TSI} $			1.0	μA	$V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップ MOS 電流	ポート 2、5	$-I_p$	10		300	μA	$V_{in} = 0V$
入力容量	NMI、RES	C_{in}			50	pF	$V_{in} = 0V$
	NMI、RES 以外の全入力端子				20	pF	$f = 1MHz$ $T_a = 25$
消費電流 ^{*2*}	通常動作時	I_{CC}^{*4}		28	48	mA	$f = 18MHz$
	スリープ時			21	35		$f = 18MHz$
	スタンバイ時 ^{*3}			0.1	10	μA	$T_a = 50$ $50 < T_a$
アナログ電源電流	A/D 変換中	AI_{CC}		1.7	2.8	mA	
	A/D 変換待機時			0.2	10		μA
RAM スタンバイ電圧		V_{RAM}	2.0			V	

【注】 *1 A/D 変換器未使用時に AV_{CC} 、 AV_{SS} 端子を開放しないでください。

AV_{CC} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

*2 消費電流値は、 $V_{IH} \min = V_{CC} - 0.5V$ 、 $V_{IL} \max = 0.5V$ の条件下で、すべての出力端子を無負荷状態に

- して、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。
- *3 V_{RAM} $V_{CC} < 3.6V$ のとき、 $V_{IH\ min} = V_{CC} \times 0.9$ 、 $V_{IL\ max} = 0.3V$ とした場合の値です。
- *4 I_{CC} は下記の式に従って V_{CC} と f に依存します。
 $I_{CC\ max} = 3.0\ (mA) + 0.7\ (mA/MHz \times V) \times V_{CC} \times f$ (通常動作時)
 $I_{CC\ max} = 3.0\ (mA) + 0.5\ (mA/MHz \times V) \times V_{CC} \times f$ (スリープ時)
 フラッシュメモリ書き込み/消去時 ($T_a = 0 \sim +75$) の消費電流値は、通常動作時の消費電流値に 20mA (max) 加えた値になります。

表 18.10 出力許容電流値

条件: $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = -20 \sim +75$

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	ポート 1、2、5、B	I_{OL}			10	mA
	上記以外の出力端子				2.0	mA
出力 Low レベル許容電流 (総和)	ポート 1、2、5、B 27 端子の総和	ΣI_{OL}			80	mA
	ポート 8、9、A、B 23 端子の総和				65	mA
	上記を含む、全出力端子の総和				120	mA
出力 High レベル許容電流 (1 端子あたり)	全出力端子	I_{OH}			2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	ΣI_{OH}			40	mA

【注】 LSI の信頼性を確保するため、出力電流値は表 18.10 の値を超えないようにしてください。ダーリントントランジスタや、LED を直接駆動する場合には、図 18.4、図 18.5 に示すように、出力に必ず電流制限抵抗を挿入してください。

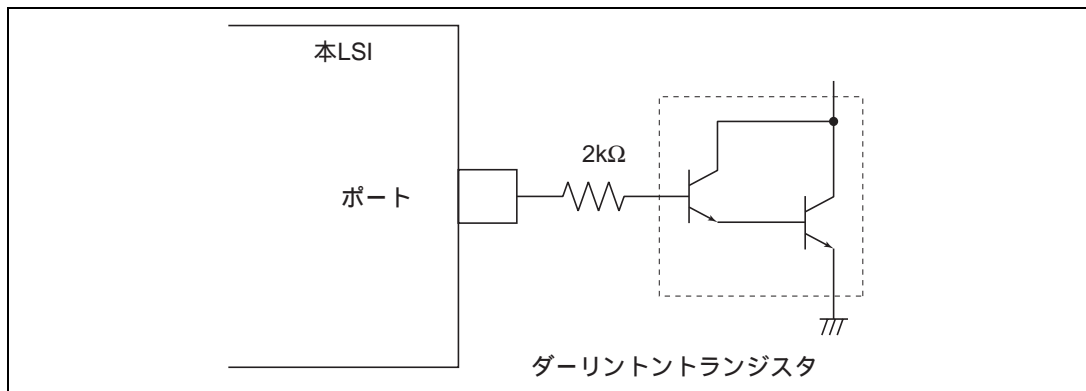


図 18.4 ダーリントントランジスタ駆動回路例

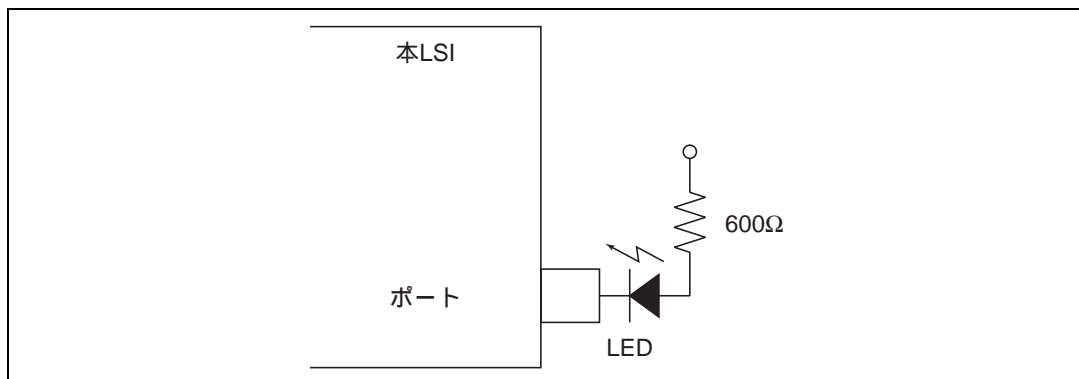


図 18.5 LED 駆動回路例

18.2.3 AC 特性

表 18.11 にバスタイミング、表 18.12 に制御信号タイミング、表 18.13 に内蔵周辺モジュールタイミングを示します。

表 18.11 バスタイミング

条件 : $V_{cc} = 3.0 \sim 3.6V$ 、 $AV_{cc} = 3.6 \sim 5.5V$ 、 $V_{ss} = AV_{ss} = 0V$ 、 $\phi = 2 \sim 18MHz$ 、 $T_a = -20 \sim +75$

項目	記号	min	max	測定条件
クロックサイクル時間	t_{cyc}	55.5	500	図 18.7、図 18.8
クロックパルス幅 Low レベル時間	t_{CL}	17		
クロックパルス幅 High レベル時間	t_{CH}	17		
クロック立ち上がり時間	t_{Cr}		10	
クロック立ち下がり時間	t_{Cf}		10	
アドレス遅延時間	t_{AD}		25	
アドレスホールド時間	t_{AH}	10		
アドレスストロープ遅延時間	t_{ASD}		25	
ライトストロープ遅延時間	t_{WSD}		25	
ストロープ遅延時間	t_{SD}		25	
ライトデータストロープパルス幅 1	t_{WSW1}^*	32		
ライトデータストロープパルス幅 2	t_{WSW2}^*	62		
アドレスセットアップ時間 1	t_{AS1}	10		
アドレスセットアップ時間 2	t_{AS2}	38		
リードデータセットアップ時間	t_{RDS}	15		
リードデータホールド時間	t_{RDH}	0		
ライトデータ遅延時間	t_{WDD}		55	
ライトデータセットアップ時間 1	t_{WDS1}	10		
ライトデータセットアップ時間 2	t_{WDS2}	- 10		
ライトデータホールド時間	t_{WDH}	20		
リードデータアクセス時間 1	t_{ACC1}^*		50	
リードデータアクセス時間 2	t_{ACC2}^*		105	
リードデータアクセス時間 3	t_{ACC3}^*		20	
リードデータアクセス時間 4	t_{ACC4}^*		80	
プリチャージ時間	t_{PCH}^*	40		
ウェイトセットアップ時間	t_{WTS}	25		図 18.9
ウェイトホールド時間	t_{WTH}	5		

単位 : ns

【注】 * 下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$\begin{aligned}
 t_{ACC1} &= 1.5 \times t_{cyc} - 34 \text{ (ns)} & t_{WSW1} &= 1.0 \times t_{cyc} - 24 \text{ (ns)} \\
 t_{ACC2} &= 2.5 \times t_{cyc} - 34 \text{ (ns)} & t_{WSW2} &= 1.5 \times t_{cyc} - 22 \text{ (ns)} \\
 t_{ACC3} &= 1.0 \times t_{cyc} - 36 \text{ (ns)} & t_{PCH} &= 1.0 \times t_{cyc} - 21 \text{ (ns)} \\
 t_{ACC4} &= 2.0 \times t_{cyc} - 31 \text{ (ns)} & &
 \end{aligned}$$

18. 電気的特性

表 18.12 制御信号タイミング

条件: $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 18MHz$ 、 $T_a = -20 \sim +75$

項目	記号	min	max	単位	測定条件
RES セットアップ時間	t_{RESS}	200		ns	図 18.10
RES パルス幅	t_{RESW}	20		t_{cyc}	
NMI セットアップ時間 (NMI、 $\overline{IRQ_0}$ 、 $\overline{IRQ_1}$ 、 $\overline{IRQ_4}$ 、 $\overline{IRQ_5}$)	t_{NMS}	150		ns	図 18.12
NMI ホールド時間 (NMI、 $\overline{IRQ_0}$ 、 $\overline{IRQ_1}$ 、 $\overline{IRQ_4}$ 、 $\overline{IRQ_5}$)	t_{NMH}	10		ns	
割り込みパルス幅 (NMI、 $\overline{IRQ_0}$ 、 $\overline{IRQ_1}$ 、 $\overline{IRQ_4}$ 、 $\overline{IRQ_5}$ ソフトウェアスタンバイモードからの復帰時)	t_{NMW}	200		ns	
リセット発振安定時間 (水晶)	t_{OSC1}	20		ms	図 18.13
ソフトウェアスタンバイ 発振安定時間 (水晶)	t_{OSC2}	7		ms	図 17.1

表 18.13 内蔵周辺モジュールタイミング

条件: $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 18MHz$ 、 $T_a = -20 \sim +75$

モジュール	項目	記号	min	max	単位	測定条件
ITU	タイマ出力遅延時間	t_{TOCD}		100	ns	図 18.15
	タイマ入力セットアップ時間	t_{TICS}	50			
	タイマクロック入力セットアップ時間	t_{TCKS}	50		t_{cyc}	図 18.16
	タイマクロックパルス幅	単エッジ指定 t_{TCKWH}	1.5			
	両エッジ指定 t_{TCKWL}	2.5				
SCI	入力クロックサイクル	調歩同期 t_{Syc}	4		t_{cyc}	図 18.17
		クロック同期	6			
		入力クロック立ち上がり時間 t_{SCKr}		1.5		
	入力クロック立ち下がり時間 t_{SCKf}		1.5			
	入力クロックパルス幅 t_{SCKW}	0.4	0.6	t_{Syc}		
	送信データ遅延時間 t_{TXD}		100	ns	図 18.18	
	受信データセットアップ時間 (クロック同期) t_{RXS}	100				
	受信データホールド時間 (クロック同期)	クロック入力 t_{RXH}	100			
クロック出力		0				
ポート TPC	出力データ遅延時間 t_{PVD}		100	ns	図 18.14	
	入力データセットアップ時間 t_{PRS}	50				
	入力データホールド時間 t_{PRH}	50				

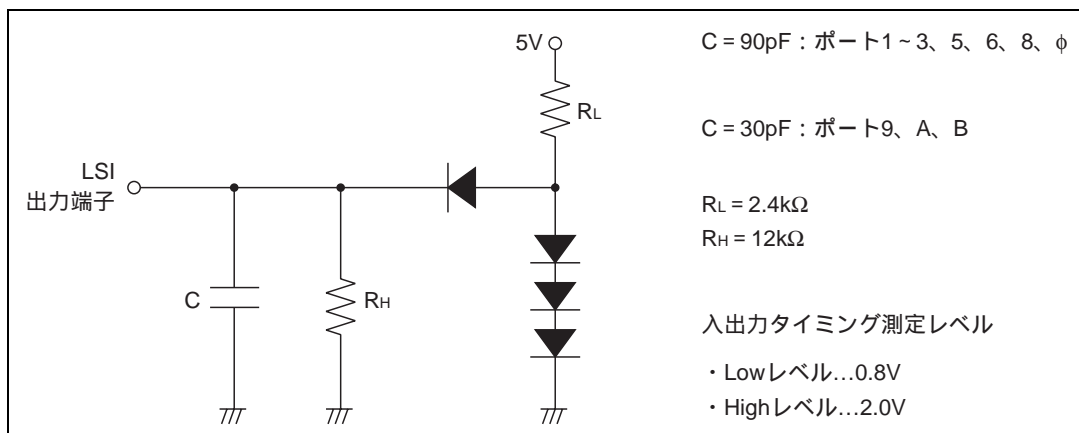


図 18.6 出力負荷回路

18.2.4 A/D 変換特性

A/D 変換特性を表 18.14 に示します。

表 18.14 A/D 変換特性

条件 : $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $\phi = 2 \sim 18MHz$ 、 $T_a = -20 \sim +75$

項目	min	typ	max	単位
分解能	10	10	10	ビット
変換時間			7.5	μs
アナログ入力容量			20	pF
許容信号源インピーダンス			5	kΩ
非直線性誤差			± 7.5	LSB
オフセット誤差			± 7.5	LSB
フルスケール誤差			± 7.5	LSB
量子化誤差			± 0.5	LSB
絶対精度			± 8.0	LSB

18.2.5 フラッシュメモリ特性

表 18.15 にフラッシュメモリ特性を示します。

表 18.15 フラッシュメモリ特性

条件 : $V_{CC} = 3.0 \sim 3.6V$ 、 $AV_{CC} = 3.6 \sim 5.5V$ 、 $V_{SS} = AV_{SS} = 0V$ 、 $T_a = 0 \sim +75$ (書き込み / 消去時の動作温度範囲)

項目		記号	min	typ	max	単位	特記
書き込み時間 ^{*1*} ^{*2*} ^{*4}		t_p		10	200	ms/128 バイト	
消去時間 ^{*1*} ^{*3*} ^{*5}		t_e		100	1200	ms/ブロック	
書き換え回数		N_{WEC}			100	回	
書き込み時	SWE ビットセット後のウェイト時間 ^{*1}	t_{sswe}	1	1		μs	
	PSU ビットセット後のウェイト時間 ^{*1}	t_{spsu}	50	50		μs	
	P ビットセット後のウェイト時間 ^{*1*} ^{*4}	t_{sp30}	28	30	32	μs	書き込み 時間ウェイト
		t_{sp200}	198	200	202		
		t_{sp10}	8	10	12		
	P ビットクリア後のウェイト時間 ^{*1}	t_{cp}	5	5		μs	
	PSU ビットクリア後のウェイト時間 ^{*1}	t_{cpsu}	5	5		μs	
	PV ビットセット後のウェイト時間 ^{*1}	t_{spv}	4	4		μs	
	H'FF ダミーライト後のウェイト時間 ^{*1}	t_{spvr}	2	2		μs	
	PV ビットクリア後のウェイト時間 ^{*1}	t_{cpv}	2	2		μs	
SWE ビットクリア後のウェイト時間 ^{*1}	t_{hvcswe}	100	100		μs		
最大書き込み回数 ^{*1*} ^{*4}		N			1000	回	
消去時	SWE ビットセット後のウェイト時間 ^{*1}	t_{sswe}	1	1		μs	
	ESU ビットセット後のウェイト時間 ^{*1}	t_{sesu}	100	100		μs	
	E ビットセット後のウェイト時間 ^{*1*} ^{*5}	t_{se}	10	10	100	ms	消去時間ウェイト
	E ビットクリア後のウェイト時間 ^{*1}	t_{ce}	10	10		μs	
	ESU ビットクリア後のウェイト時間 ^{*1}	t_{cesu}	10	10		μs	
	EV ビットセット後のウェイト時間 ^{*1}	t_{sev}	20	20		μs	
	H'FF ダミーライト後のウェイト時間 ^{*1}	t_{sevr}	2	2		μs	
	EV ビットクリア後のウェイト時間 ^{*1}	t_{cev}	4	4		μs	
	SWE ビットクリア後のウェイト時間 ^{*1}	t_{cswe}	100	100		μs	
	最大消去回数 ^{*1*} ^{*5}		N	12		120	回

【注】 *1 各時間の設定は、書き込み / 消去のアルゴリズムに従い、行ってください。

*2 128 バイト当たりの書き込み時間 (フラッシュメモリコントロールレジスタ (FLMCR) の P ビットをセットしているトータル期間を示します。書き込みベリファイ時間は含まれません。)

*3 1 ブロックを消去する時間 (FLMCR の E ビットをセットしている期間を示します。消去ベリファイ時間は含まれません。)

- *4 128 バイトのプログラムフローにおいて書き込み時間の最大値 ($t_p(\max)$) を規定するために、最大書き込み回数 (N) の値は max 値 (1000) を設定してください。
また P ビットセット後のウェイト時間 (t_{sp}) は、下記のように書き込み回数カウンタの回数によって切り替えてください。
書き込み回数カウンタ 1~6 回の場合 $t_{sp30} = 30\mu\text{s}$
書き込み回数カウンタ 7~1000 回の場合 $t_{sp200} = 200\mu\text{s}$
追加書き込み回数カウンタ (n) 1~6 回の場合 $t_{sp10} = 10\mu\text{s}$
- *5 消去時間の最大値 ($t_e(\max)$) に対して、E ビットセット後のウェイト時間 (t_{se}) と最大消去回数 (N) は以下の関係にあります。
 $t_e(\max) = E$ ビットセット後のウェイト時間 (t_{se}) \times 最大消去回数 (N)
消去時間の最大値を規定するために、 t_{se} および N の値は上記計算を満たすように設定してください。
(例) $t_{se} = 100$ [ms] の場合、N = 12 回
 $t_{se} = 10$ [ms] の場合、N = 120 回

18.3 動作タイミング

動作タイミングを以下に示します。

18.3.1 バスタイミング

バスタイミングを以下に示します。

(1) 基本バスタイミング / 2 ステートアクセス

図 18.7 に外部 2 ステートアクセス時の動作タイミングを示します。

(2) 基本バスタイミング / 3 ステートアクセス

図 18.8 に外部 3 ステートアクセス時の動作タイミングを示します。

(3) 基本バスタイミング / 3 ステートアクセス 1 ウェイト

図 18.9 に外部 3 ステートアクセスで 1 ウェイトを挿入したときの動作タイミングを示します。

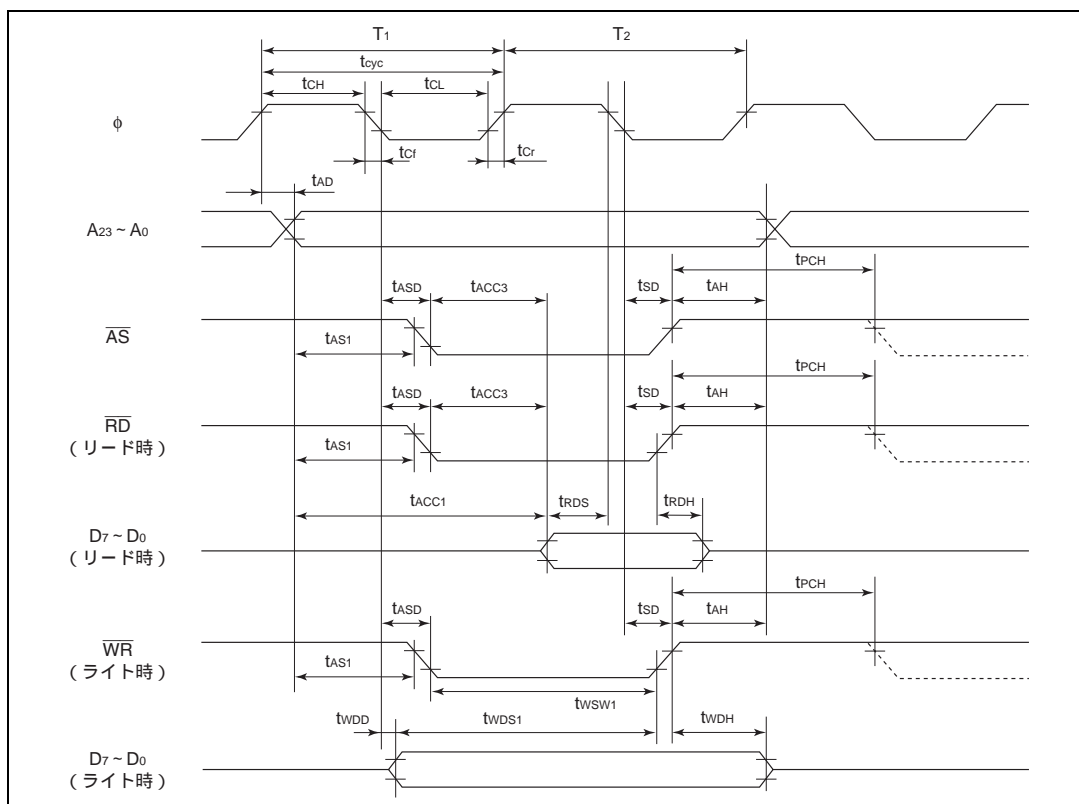


図 18.7 基本バスタイミング / 2 ステートアクセス

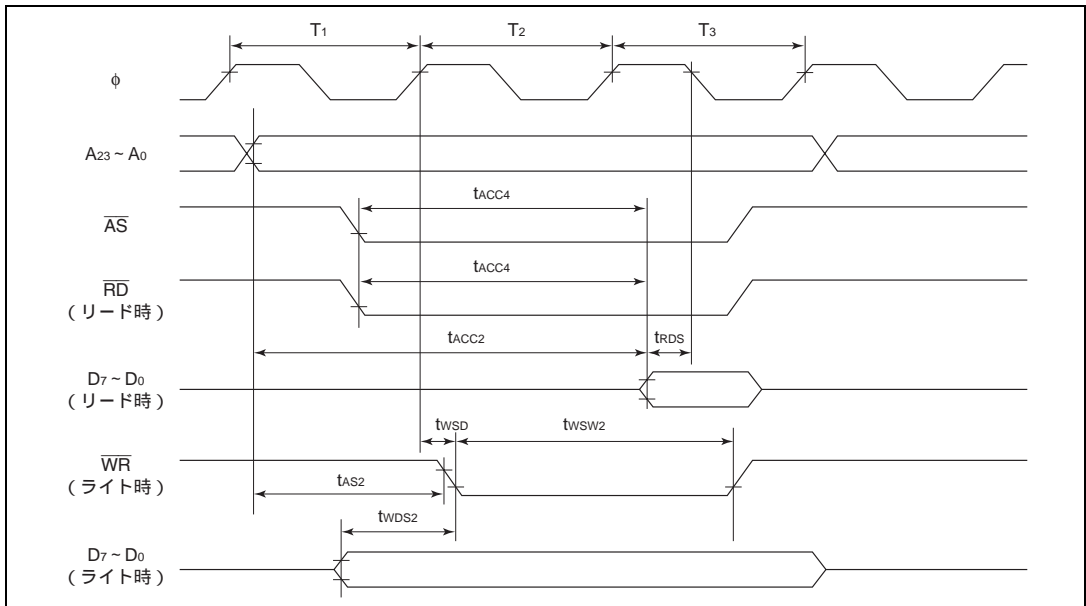


図 18.8 基本バスタイミング / 3 ステートアクセス

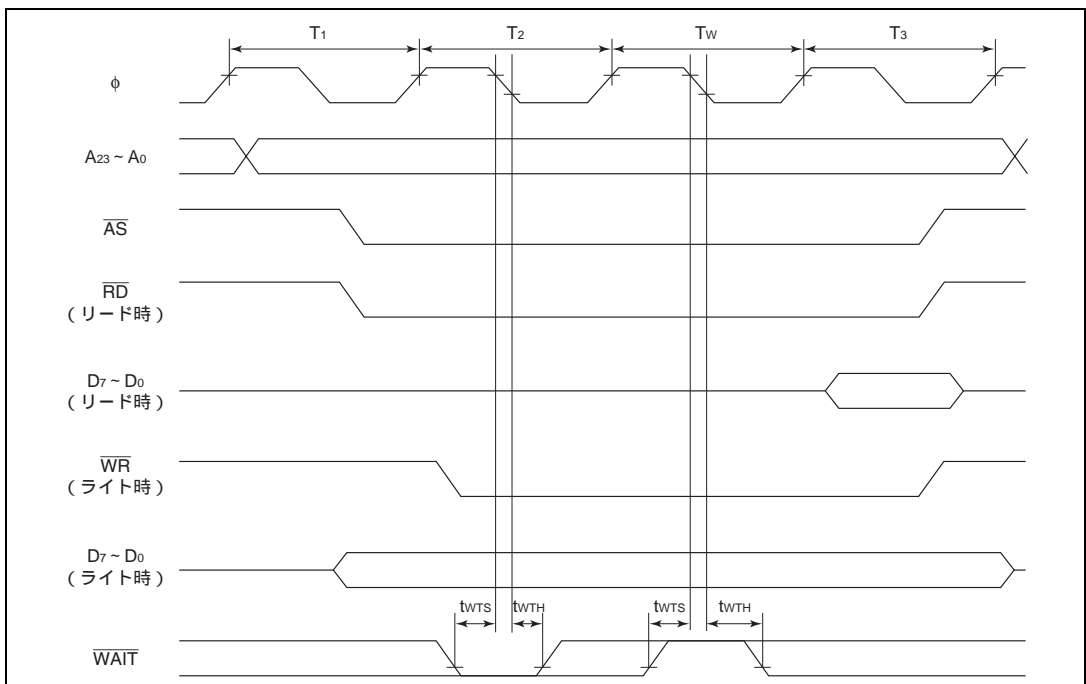


図 18.9 基本バスタイミング / 3 ステートアクセス 1 ウェイト

18.3.2 制御信号タイミング

制御信号タイミングを以下に示します。

(1) リセット入力タイミング

図 18.10 にリセット入力タイミングを示します。

(2) リセット出力タイミング

図 18.11 にリセット出力タイミングを示します。

(3) 割り込み入力タイミング

図 18.12 に NMI、 $\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ 、 $\overline{\text{IRQ}}_1$ 、 $\overline{\text{IRQ}}_0$ 割り込み入力タイミングを示します。

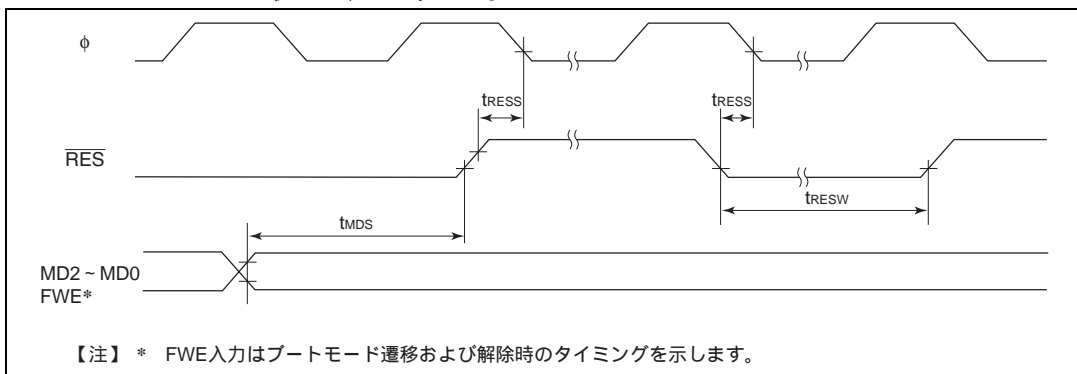


図 18.10 リセット入力タイミング

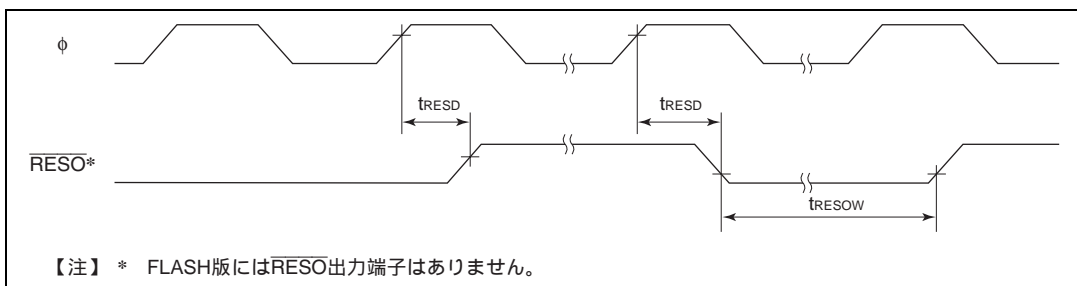


図 18.11 リセット出力タイミング

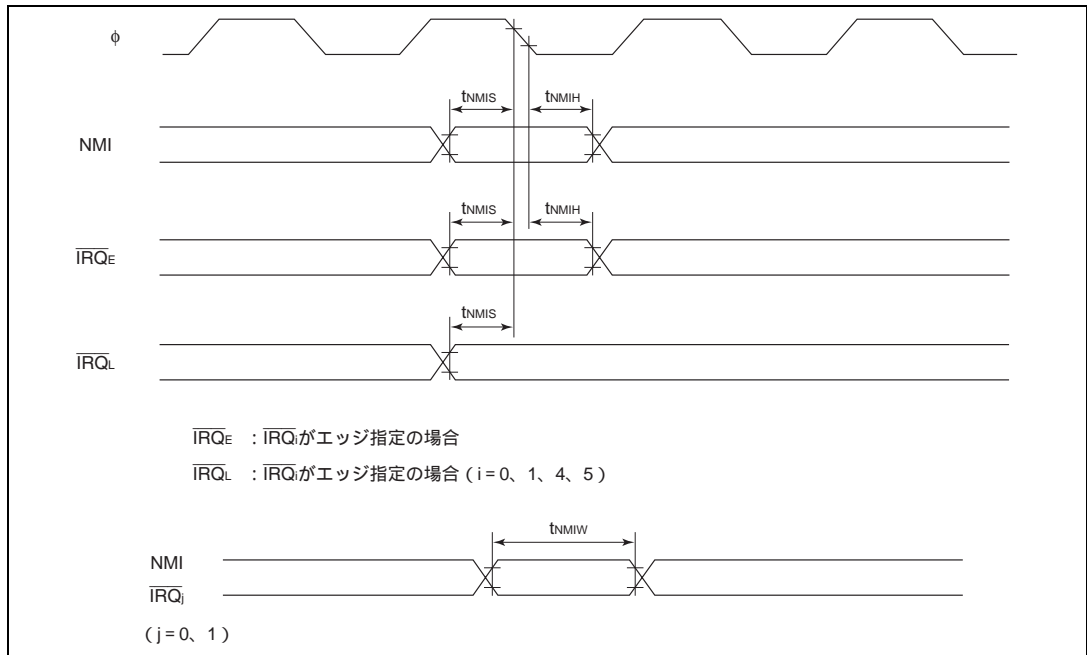


図 18.12 割り込み入力タイミング

18.3.3 クロックタイミング

クロックタイミングを以下に示します。

(1) 発振安定時間タイミング

図 18.13 に発振安定時間タイミングを示します。

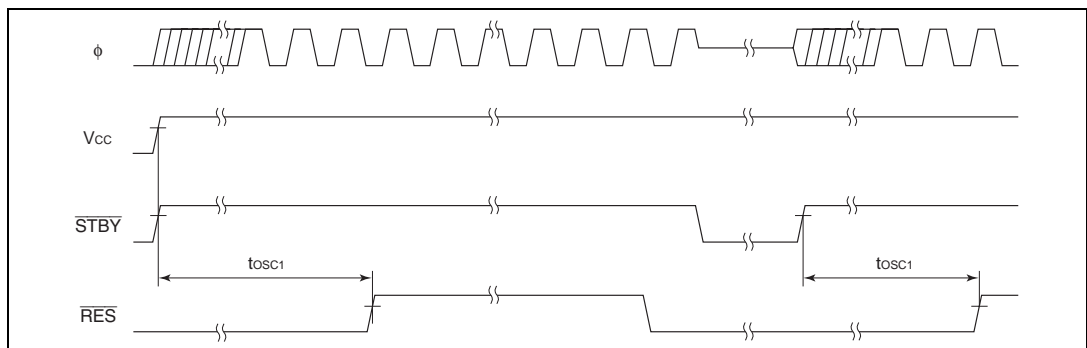


図 18.13 発振安定時間タイミング

18.3.4 TPC、I/Oポートタイミング

TPC、I/Oポートの入出力タイミングを以下に示します。

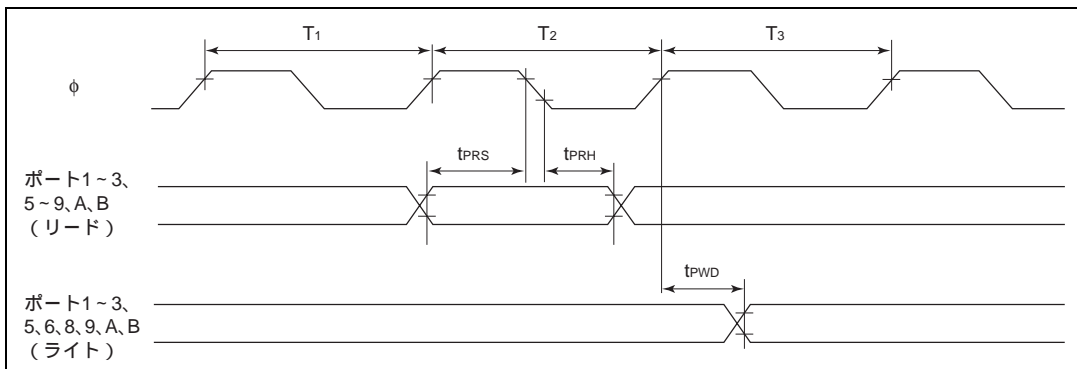


図 18.14 TPC、I/Oポート入出力タイミング

18.3.5 ITU タイミング

ITUの各タイミングを以下に示します。

(1) ITU 入出力タイミング

図 18.15 に ITU 入出力タイミングを示します。

(2) ITU 外部クロック入力タイミング

図 18.16 に ITU 外部クロック入力タイミングを示します。

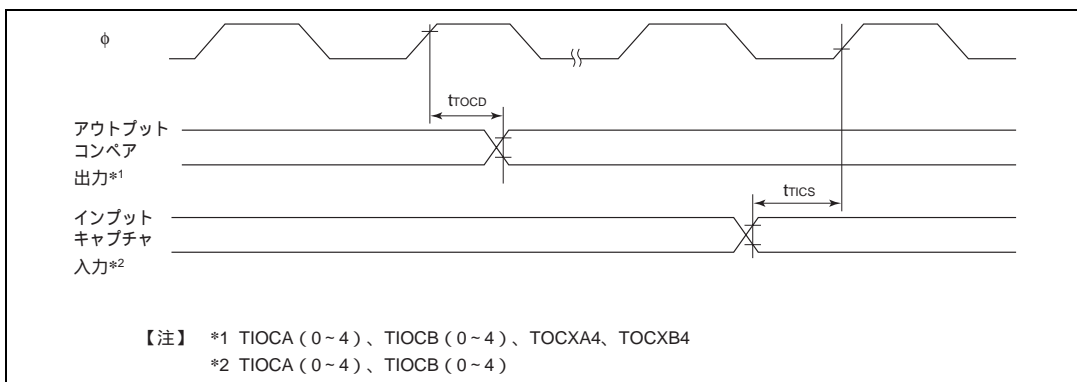


図 18.15 ITU 入出力タイミング

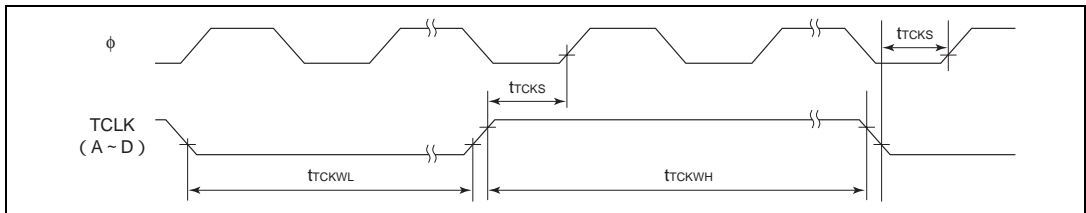


図 18.16 ITU 外部クロック入力タイミング

18.3.6 SCI 入出力タイミング

SCI の各タイミングを以下に示します。

(1) SCI 入力クロックタイミング

図 18.17 に SCI 入力クロックタイミングを示します。

(2) SCI 入出力タイミング (クロック同期式モード)

図 18.18 にクロック同期式モード時の SCI 入出力タイミングを示します。

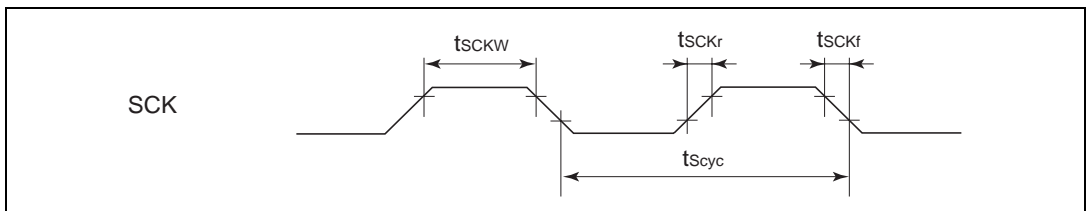


図 18.17 SCK 入力クロックタイミング

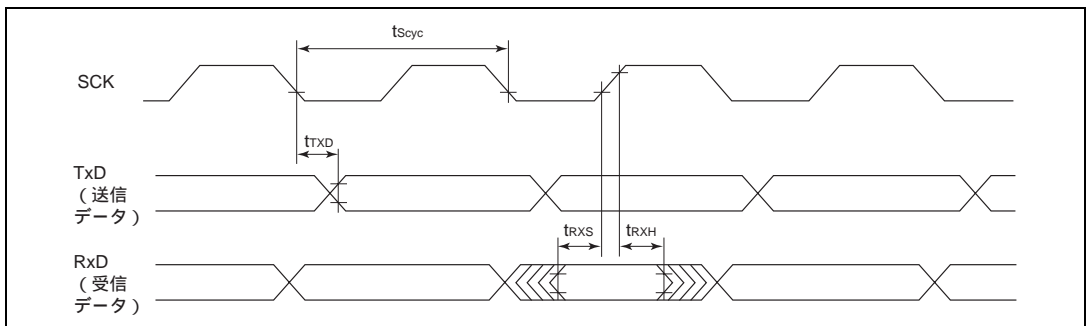


図 18.18 クロック同期式モード時の SCI 入出力タイミング

付録

A. 命令

A.1 命令一覧

《オペレーションの記号》

記号	内容
Rd	デスティネーション側の汎用レジスタ*
Rs	ソース側の汎用レジスタ*
Rn	汎用レジスタ*
ERd	デスティネーション側の汎用レジスタ (アドレスレジスタまたは 32 ビットレジスタ)
ERs	ソース側の汎用レジスタ (アドレスレジスタまたは 32 ビットレジスタ)
ERn	汎用レジスタ (32 ビットレジスタ)
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
PC	プログラムカウンタ
SP	スタックポインタ
CCR	コンディションコードレジスタ
N	CCR の N (ネガティブ) フラグ
Z	CCR の Z (ゼロ) フラグ
V	CCR の V (オーバフロー) フラグ
C	CCR の C (キャリ) フラグ
disp	ディスプレイースメント
→	左辺のオペランドから右辺のオペランドへの転送、または左辺の状態から右辺の状態への遷移
+	両辺のオペランドを加算
-	左辺のオペランドから右辺のオペランドを減算
×	両辺のオペランドを乗算
÷	左辺のオペランドを右辺のオペランドで除算
	両辺のオペランドの論理積
	両辺のオペランドの論理和
⊕	両辺のオペランドの排他的論理和
~	反転論理 (論理的補数)
() <>	オペランドの内容

【注】 * 汎用レジスタは、8 ビット (R0H~R7H、R0L~R7L) または 16 ビット (R0~R7、E0~E7) です。

《コンディションコードの記号》

記号	内容
↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に0にクリアされることを表します。
1	常に1にセットされることを表します。
-	実行結果に影響を受けないことを表します。
	条件によって異なります。注意事項を参照してください。

表 A.1 命令セット一覧

(1) データ転送命令

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション	コンディションコード												実行ステップ数*	
		#xx	Rn	@(d, ERn)	@-ERn/@ERn+ @aa @(d, PC) @aa		I	H	N	Z	V	C	ノーマル	アドバンス						
MOV	B	2				#xx:8→Rd8	—	—	↑	↑	0	—	—	—	—	2				
MOV.B Rs, Rd	B	2				Rs8→Rd8	—	—	↑	↑	0	—	—	—	—	2				
MOV.B @ERS, Rd	B		2			@ERS→Rd8	—	—	↑	↑	0	—	—	—	4					
MOV.B @(d:16, ERS), Rd	B			4		@(d:16, ERS)→Rd8	—	—	↑	↑	0	—	—	—	6					
MOV.B @(d:24, ERS), Rd	B			8		@(d:24, ERS)→Rd8	—	—	↑	↑	0	—	—	—	10					
MOV.B @ERS+, Rd	B				2	@ERS→Rd8, ERS32+1→ERS32	—	—	↑	↑	0	—	—	—	6					
MOV.B @aa:8, Rd	B				2	@aa:8→Rd8	—	—	↑	↑	0	—	—	—	4					
MOV.B @aa:16, Rd	B				4	@aa:16→Rd8	—	—	↑	↑	0	—	—	—	6					
MOV.B @aa:24, Rd	B				6	@aa:24→Rd8	—	—	↑	↑	0	—	—	—	8					
MOV.B Rs, @ERd	B		2			Rs8→@ERd	—	—	↑	↑	0	—	—	—	4					
MOV.B Rs, @(d:16, ERd)	B			4		Rs8→@(d:16, ERd)	—	—	↑	↑	0	—	—	—	6					
MOV.B Rs, @(d:24, ERd)	B			8		Rs8→@(d:24, ERd)	—	—	↑	↑	0	—	—	—	10					
MOV.B Rs, @ERd	B				2	ERd32-1→ERd32, Rs8→@ERd	—	—	↑	↑	0	—	—	—	6					
MOV.B Rs, @aa:8	B				2	Rs8→@aa:8	—	—	↑	↑	0	—	—	—	4					
MOV.B Rs, @aa:16	B				4	Rs8→@aa:16	—	—	↑	↑	0	—	—	—	6					
MOV.B Rs, @aa:24	B				6	Rs8→@aa:24	—	—	↑	↑	0	—	—	—	8					
MOV.W #xx:16, Rd	W	4				#xx:16→Rd16	—	—	↑	↑	0	—	—	—	4					
MOV.W Rs, Rd	W		2			Rs16→Rd16	—	—	↑	↑	0	—	—	—	2					
MOV.W @ERS, Rd	W			2		@ERS→Rd16	—	—	↑	↑	0	—	—	—	4					
MOV.W @(d:16, ERS), Rd	W			4		@(d:16, ERS)→Rd16	—	—	↑	↑	0	—	—	—	6					
MOV.W @(d:24, ERS), Rd	W			8		@(d:24, ERS)→Rd16	—	—	↑	↑	0	—	—	—	10					
MOV.W @ERS+, Rd	W				2	@ERS→Rd16, ERS32+2→@ERd32	—	—	↑	↑	0	—	—	—	6					
MOV.W @aa:16, Rd	W				4	@aa:16→Rd16	—	—	↑	↑	0	—	—	—	6					
MOV.W @aa:24, Rd	W				6	@aa:24→Rd16	—	—	↑	↑	0	—	—	—	8					

(2) 算術演算命令

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)		オペレーション	コンディションコード											実行スタート数 ^{※1}				
		#xx	Rn		@ERn	@(d, ERn)	@-ERn	@ERn+	@aa	@(d, PC)	@@aa	—	I	H	N		Z	V	C	ノーマル
ADD	B	2													↑	↑	↑	↑	2	
	B	2													↑	↑	↑	↑	2	
	W	4													(1)	↑	↑	↑	4	
	W	2													(1)	↑	↑	↑	2	
	L	6													(2)	↑	↑	↑	6	
	L	2													(2)	↑	↑	↑	2	
ADDD	B	2													↑	↑	(3)	↑	2	
	B	2													↑	↑	(3)	↑	2	
	L	2													—	—	—	—	2	
	L	2													—	—	—	—	2	
	L	2													—	—	—	—	2	
	L	2													—	—	—	—	2	
INC	B	2													↑	↑	↑	—	2	
	W	2													↑	↑	↑	—	2	
	W	2													↑	↑	↑	—	2	
	L	2													↑	↑	↑	—	2	
	L	2													↑	↑	↑	—	2	
	L	2													↑	↑	↑	—	2	
DAA	B	2													*	↑	↑	*	—	2
	B	2													↑	↑	↑	↑	—	2
	W	4													(1)	↑	↑	↑	—	4
	W	2													(1)	↑	↑	↑	—	2
	L	6													(2)	↑	↑	↑	—	6
	L	2													(2)	↑	↑	↑	—	2
SUBX	B	2													↑	↑	(3)	↑	—	2
	B	2													↑	↑	(3)	↑	—	2
	L	2													↑	↑	(3)	↑	—	2
	L	2													↑	↑	(3)	↑	—	2
	L	2													↑	↑	(3)	↑	—	2
	L	2													↑	↑	(3)	↑	—	2

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)			オペレーション	コンディションコード							実行スタート数*			
		#xx	Rn	@(d, ERn)		@(d, ERn) @aa	@(d, PC)	@aa	I	H	N	Z		V	C	
SUBS	SUBS.L #1, ERd	L	2													2
	SUBS.L #2, ERd	L	2													2
	SUBS.L #4, ERd	L	2													2
DEC	DEC.B Rd	B	2													2
	DEC.W #1, Rd	W	2													2
	DEC.W #2, Rd	W	2													2
	DEC.L #1, ERd	L	2													2
	DEC.L #2, ERd	L	2													2
DAS	DAS Rd	B	2													2
MULXU	MULXU.B Rs, Rd	B	2													14
	MULXU.W Rs, ERd	W	2													22
MULXS	MULXS.B Rs, Rd	B	4													16
	MULXS.W Rs, ERd	W	4													24
	DIVXU	DIVXU.B Rs, Rd	B	2												14
DIVXS	DIVXU.W Rs, ERd	W	2													22
	DIVXS.B Rs, Rd	B	4													16
CMP	DIVXS.W Rs, ERd	W	4													24
	CMP.B #xx:8, Rd	B	2													2
	CMP.B Rs, Rd	B	2													2
	CMP.W #xx:16, Rd	W	4													4
	CMP.W Rs, Rd	W	2													2

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション	コンディションコード							実行スタート数 ⁽¹⁾			
		#xx	Rn	@ERn	@(d, ERn)		@-ERn/ERn+	@aa	@(d, PC)	@aa	I	H	N	Z	V	C	ノーマル
CMP	CMP.L #xx:32, ERd	L	6														4
	CMP.L ERs, ERd	L	2														2
NEG	NEG.B Rd	B	2														2
	NEG.W Rd	W	2														2
	NEG.L ERd	L	2														2
XTU	XTU.L, W Rd	W	2														2
	XTU.LL ERd	L	2														2
EXTS	EXTS.W Rd	W	2														2
	EXTS.L ERd	L	2														2

(3) 論理演算命令

二乗モック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション	コンディションコード								実行ステータス*		
		#xx	Rn	@ERn	@(d, ERn)		@ERn	@aa	@(d, PC)	@aa	I	H	N	Z	V	C	ノーマル
AND	AND.B #xx:8, Rd	B	2														2
	AND.B Rs, Rd	B	2														2
	AND.W #xx:16, Rd	W	4														4
	AND.W Rs, Rd	W	2														2
OR	AND.L #xx:32, ERd	L	6														6
	AND.L ERs, ERd	L	4														4
	OR.B #xx:8, Rd	B	2														2
	OR.B Rs, Rd	B	2														2
OR	OR.W #xx:16, Rd	W	4														4
	OR.W Rs, Rd	W	2														2
	OR.L #xx:32, ERd	L	6														6
	OR.L ERs, ERd	L	4														4
XOR	XOR.B #xx:8, Rd	B	2														2
	XOR.B Rs, Rd	B	2														2
	XOR.W #xx:16, Rd	W	4														4
	XOR.W Rs, Rd	W	2														2
NOT	XOR.L #xx:32, ERd	L	6														6
	XOR.L ERs, ERd	L	4														4
	NOT.B Rd	B	2														2
	NOT.W Rd	W	2														2
	NOT.L ERd	L	2														2

(4) シフト命令

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション	コンディションコード								実行スタート数 ^{※1}	
		#xx	Rn	@ERn	@(d, ERn) @-ERn/@ERn+ @aa @(d, PC) @aa		I	H	N	Z	V	C	ノーマル	アドバンス		
SHAL	B	2					—	—	↑	↑	↑	↑	↑	↑	2	2
	W	2					—	—	↑	↑	↑	↑	↑	↑	2	2
	L	2					—	—	↑	↑	↑	↑	↑	↑	2	2
SHAR	B	2					—	—	↑	↑	↑	↑	↑	2	2	
	W	2					—	—	↑	↑	↑	↑	↑	2	2	
	L	2					—	—	↑	↑	↑	↑	↑	2	2	
SHLL	B	2					—	—	↑	↑	↑	↑	↑	2	2	
	W	2					—	—	↑	↑	↑	↑	↑	2	2	
	L	2					—	—	↑	↑	↑	↑	↑	2	2	
SHLR	B	2					—	—	↑	↑	↑	↑	↑	2	2	
	W	2					—	—	↑	↑	↑	↑	↑	2	2	
	L	2					—	—	↑	↑	↑	↑	↑	2	2	
ROTXL	B	2					—	—	↑	↑	↑	↑	↑	2	2	
	W	2					—	—	↑	↑	↑	↑	↑	2	2	
	L	2					—	—	↑	↑	↑	↑	↑	2	2	
ROTXR	B	2					—	—	↑	↑	↑	↑	↑	2	2	
	W	2					—	—	↑	↑	↑	↑	↑	2	2	
	L	2					—	—	↑	↑	↑	↑	↑	2	2	
ROTL	B	2					—	—	↑	↑	↑	↑	↑	2	2	
	W	2					—	—	↑	↑	↑	↑	↑	2	2	
	L	2					—	—	↑	↑	↑	↑	↑	2	2	
ROTR	B	2					—	—	↑	↑	↑	↑	↑	2	2	
	W	2					—	—	↑	↑	↑	↑	↑	2	2	
	L	2					—	—	↑	↑	↑	↑	↑	2	2	

(5) ビット操作命令

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション	コンディションコード								実行ステップ数 ¹⁾				
		#xx	Rn	@ERn	@(d, ERn)		@ERn	@ERn+	@aa	@(d, PC)	@aa	—	I	H	N	Z	V	C	ノーマル
BSET	#xx:3, Rd	B	2															—	2
	#xx:3, @ERd	B		4															8
	#xx:3, @aa:8	B					4												8
	Rn, Rd	B	2																2
	Rn, @ERd	B		4															8
	Rn, @aa:8	B					4												8
BCLR	#xx:3, Rd	B	2																2
	#xx:3, @ERd	B		4															8
	#xx:3, @aa:8	B					4												8
	Rn, Rd	B	2																2
	Rn, @ERd	B		4															8
	Rn, @aa:8	B					4												8
BNOT	#xx:3, Rd	B	2																2
	#xx:3, @ERd	B		4															8
	#xx:3, @aa:8	B					4												8
	Rn, Rd	B	2																2
	Rn, @ERd	B		4															8
	Rn, @aa:8	B					4												8
BTST	#xx:3, Rd	B	2																2
	#xx:3, @ERd	B		4															6
	#xx:3, @aa:8	B					4												6
	Rn, Rd	B	2																2
	Rn, @ERd	B		4															6
	Rn, @aa:8	B					4												6
BLD	#xx:3, Rd	B	2																2
	#xx:3, @ERd	B		4															6
	#xx:3, @aa:8	B					4												6

ニーモニック	サイズ	アドレッシングモード / 命令量 (バイト)				オペレーション	コンディションコード							実行ステート数 ^{*)}		
		#xx	Rn	@ERn	@(d, ERn) @-ERn/@ERn+ @aa @ (d, PC) @aa		I	H	N	Z	V	C	ノーマル	アドバンス		
BILD	BILD #xx:3, Rd	B	2													2
	BILD #xx:3, @ERd	B		4												6
	BILD #xx:3, @aa:8	B			4											6
BST	BST #xx:3, Rd	B	2													2
	BST #xx:3, @ERd	B		4												8
	BST #xx:3, @aa:8	B			4											8
BIST	BIST #xx:3, Rd	B	2													2
	BIST #xx:3, @ERd	B		4												8
	BIST #xx:3, @aa:8	B			4											8
BAND	BAND #xx:3, Rd	B	2													2
	BAND #xx:3, @ERd	B		4												6
	BAND #xx:3, @aa:8	B			4											6
BIAND	BIAND #xx:3, Rd	B	2													2
	BIAND #xx:3, @ERd	B		4												6
	BIAND #xx:3, @aa:8	B			4											6
BOR	BOR #xx:3, Rd	B	2													2
	BOR #xx:3, @ERd	B		4												6
	BOR #xx:3, @aa:8	B			4											6
BIOR	BIOR #xx:3, Rd	B	2													2
	BIOR #xx:3, @ERd	B		4												6
	BIOR #xx:3, @aa:8	B			4											6
BXOR	BXOR #xx:3, Rd	B	2													2
	BXOR #xx:3, @ERd	B		4												6
	BXOR #xx:3, @aa:8	B			4											6
BIXOR	BIXOR #xx:3, Rd	B	2													2
	BIXOR #xx:3, @ERd	B		4												6
	BIXOR #xx:3, @aa:8	B			4											6

(6) 分岐命令

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション	コンディションコード							実行スタート数 ^{※1}		
		#xx	Rn	@(d, ERn)	@(d, ERn) @aa		I	H	N	Z	V	C	ノーマル	アドバンス		
Bcc	—					if condition is true then PC←PC+d else next;	—	—	—	—	—	—	—	—	—	4
BRA d:8 (BT d:8)	—				2		—	—	—	—	—	—	—	—	—	6
BRA d:16 (BT d:16)	—				4		—	—	—	—	—	—	—	—	—	6
BRN d:8 (BF d:8)	—				2		—	—	—	—	—	—	—	—	—	4
BRN d:16 (BF d:16)	—				4		—	—	—	—	—	—	—	—	—	6
BHI d:8	—				2		—	—	—	—	—	—	—	—	—	4
BHI d:16	—				4		—	—	—	—	—	—	—	—	—	6
BLS d:8	—				2		—	—	—	—	—	—	—	—	—	4
BLS d:16	—				4		—	—	—	—	—	—	—	—	—	6
BCC d:8 (BHS d:8)	—				2		—	—	—	—	—	—	—	—	—	4
BCC d:16 (BHS d:16)	—				4		—	—	—	—	—	—	—	—	—	6
BCS d:8 (BLO d:8)	—				2		—	—	—	—	—	—	—	—	—	4
BCS d:16 (BLO d:16)	—				4		—	—	—	—	—	—	—	—	—	6
BNE d:8	—				2		—	—	—	—	—	—	—	—	—	4
BNE d:16	—				4		—	—	—	—	—	—	—	—	—	6
BEQ d:8	—				2		—	—	—	—	—	—	—	—	—	4
BEQ d:16	—				4		—	—	—	—	—	—	—	—	—	6
BVC d:8	—				2		—	—	—	—	—	—	—	—	—	4
BVC d:16	—				4		—	—	—	—	—	—	—	—	—	6
BVS d:8	—				2		—	—	—	—	—	—	—	—	—	4
BVS d:16	—				4		—	—	—	—	—	—	—	—	—	6
BPL d:8	—				2		—	—	—	—	—	—	—	—	—	4
BPL d:16	—				4		—	—	—	—	—	—	—	—	—	6
BMI d:8	—				2		—	—	—	—	—	—	—	—	—	4
BMI d:16	—				4		—	—	—	—	—	—	—	—	—	6

(7) システム制御命令

二モニック	サイズ	アドレッシングモード/命令長(バイト)				オペレーション	コンディションコード								実行スタート数*		
		#xx	Rn	@ERn	@(d, ERn)		@aa	@(d, PC)	@aa	I	H	N	Z	V	C	ノーマル	アド/リスト
TRAPA	TRAPA #x:2	—														14	16
RTE	RTE	—														10	
SLEEP	SLEEP	—														2	
LDC	LDC #xx:8, CCR	B	2													2	
	LDC Rs, CCR	B	2													2	
	LDC @ERs, CCR	W		4												6	
	LDC @(d:16, ERs), CCR	W			6											8	
	LDC @(d:24, ERs), CCR	W			10											12	
	LDC @ERs+, CCR	W				4										8	
	LDC @aa:16, CCR	W					6									8	
	LDC @aa:24, CCR	W					8									10	
	STC CCR, Rd	B	2													2	
	STC CCR, @ERd	W		4												6	
STC CCR, @(d:16, ERd)	W			6											8		
STC CCR, @(d:24, ERd)	W			10											12		
STC CCR, @-ERd	W				4										8		
STC CCR, @aa:16	W					6									8		
STC CCR, @aa:24	W					8									10		
ANDC	ANDC #xx:8, CCR	B	2													2	
ORC	ORC #xxx:8, CCR	B	2													2	
XORC	XORC #xx:8, CCR	B	2													2	
NOP	NOP															2	

(8) ブロック転送命令

ニーモニック	サイズ	アドレッシングモード / 命令長 (バイト)			オペレーション	コンディションコード							実行ステップ数 ^{*1}		
		#xx	Rn	@(d, ERn) @(d, ERn) @ERn+ @aa @(d, PC) @@aa		I	H	N	Z	V	C	ノーマル	アドバンス		
EEPMOV.EEPMOV.B	—				4	if R4L≠0 then Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4L-1→R4L Until R4L=0 else next;	—	—	—	—	—	—	—	—	8+4n ^{*2}
EEPMOV.W	—				4	if R4≠0 then Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4-1→R4 Until R4=0 else next;	—	—	—	—	—	—	—	—	8+4n ^{*2}

【注】 *1 実行ステップ数は、オペコードおよびオペランドが内蔵メモリに存在する場合です。それ以外の場合は、「A.3 命令実行ステップ数」を参照してください。

*2 nはR4LまたはR4の設定値です。

- (1) ビット11から桁上がりまたはビット11へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
- (2) ビット27から桁上がりまたはビット27へ桁下がりが発生したとき1にセットされ、それ以外のとき0にクリアされます。
- (3) 演算結果がゼロのとき、演算前の値を保持し、それ以外のとき0にクリアされます。
- (4) 補正結果に桁上がりが発生したとき、1にセットされ、それ以外のとき0にクリアされます。
- (5) Eクロック同期転送命令の実行ステップ数は一定ではありません。
- (6) 除数が負のとき1にセットされ、それ以外のとき0にクリアされます。
- (7) 除数がゼロのとき1にセットされ、それ以外のとき0にクリアされます。
- (8) 商が負のとき1にセットされ、それ以外のとき0にクリアされます。

A.2 オペレーションコードマップ

表A.2 オペレーションコードマップ(1)

命令コード：

第1バイト	第2バイト
AH	AL
BH	BL

命令コード	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
AL	NOP	表A.2(2)	STC	LDC	ORC	XORC	ANDC	LDC	ADD	表A.2(2)	表A.2(2)	表A.2(2)	MOV	ADDX	表A.2(2)	
AH	表A.2(2)	表A.2(2)	表A.2(2)	表A.2(2)	OR.B	XOR.B	AND.B	表A.2(2)	SUB	表A.2(2)	表A.2(2)	表A.2(2)	CMP	SUBX	表A.2(2)	
2	MOV.B															
3	MOV.B															
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	TRAPA	表A.2(2)	JMP	BSR	JSR				
6	BSET	BNOT	BCLR	BTST	OR	XOR	AND	BSL	BST	BLT	MOV					
7	BOR		BAND	BAND	BAND	BAND	BAND	BAND	BAND	BAND	BAND	BAND	BAND	BAND	BAND	BAND
8	ADD															
9	ADDX															
A	CMP															
B	SUBX															
C	OR															
D	XOR															
E	AND															
F	MOV															

表 A.2 オペレーションコードマップ (2)

命令コード: 第1バイト 第2バイト
 AH AL BH BL

BH/AH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
01	MOV				LDC/STC				SLEEP				表A.2 (3)	表A.2 (3)		表A.2 (3)
0A	INC												ADD			
0B	ADDS					INC		INC	ADDS					INC		INC
0F	DAA												MOV			
10	SHLL			SHLL					SHAL			SHAL				
11	SHLR			SHLR					SHAR			SHAR				
12	ROTXL			ROTXL					ROTL			ROTL				
13	ROTXR			ROTXR					ROTR			ROTR				
17	NOT			NOT		EXTU		EXTU	NEG			NEG		EXTS		EXTS
1A	DEC												SUB			
1B	SUBS					DEC		DEC	SUBS					DEC		DEC
1F	DAS												CMP			
58	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
79	MOV	ADD	CMP	SUB	OR	XOR	AND									
7A	MOV	ADD	CMP	SUB	OR	XOR	AND									

表 A.2 オペレーションコードマップ (3)

命令コード：				第1バイト		第2バイト		第3バイト		第4バイト							
AH BH BL CL				AL	BH	BL	CH	CL	CH	CL	DL						
AH BH BL CH	CL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
01406																	
01C05	MULXS			MULXS													
01D05			DIVXS		DIVXS												
01F06						OR	XOR	AND									
7C06 ^{*1}					BTST												
7C07 ^{*1}					BTST	BOR	BIOR	BAND	BIAND	BID	BILD	BST	BIST				
7D06 ^{*1}	BSET		BNOT														
7D07 ^{*1}	BSET		BNOT														
7Eaa6 ^{*2}					BTST												
7Eaa7 ^{*2}					BTST	BOR	BIOR	BAND	BIAND	BID	BILD	BST	BIST				
7Faa6 ^{*2}	BSET		BNOT														
7Faa7 ^{*2}	BSET		BNOT														

命令コード： AH|BH|BL|CL 第1バイト 第2バイト 第3バイト 第4バイト
 AH BH BL CH CL CH DL
 ← DHの最上位ビットが0の場合を示します。
 ← DHの最上位ビットが1の場合を示します。

【注】*1 はレジスタ指定部
 *2 aaは絶対アドレス指定部

A.3 命令実行ステート数

H8/300H CPU の各命令についての実行状態と実行ステート数の計算方法を示します。

表 A.3 に各命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライトなどのサイクル数を示し、表 A.4 に各々のサイズに必要なステート数を示します。

命令実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \times S_I + J \times S_J + K \times S_K + L \times S_L + M \times S_M + N \times S_N$$

実行ステート数計算例

(例) アドバンスモード、スタック領域を外部空間に設定、内部周辺モジュールアクセス時8ビットバス幅、外部デバイスアクセス時16ビットバス幅で3ステートアクセス1ウェイト挿入とした場合

1. BSET #0、@FFFFC7 : 8
表A.4より
 $I = L = 2$ 、 $J = K = M = N = 0$
表A.3より
 $S_I = 4$ 、 $S_L = 3$
実行ステート数 = $2 \times 4 + 2 \times 3 = 14$
2. JSR @@30
表A.4より
 $I = J = K = 2$ 、 $L = M = N = 0$
表A.3より
 $S_I = S_J = S_K = 4$
実行ステート数 = $2 \times 4 + 2 \times 4 + 2 \times 4 = 24$

表 A.3 実行状態（サイクル）に要するステート数

実行状態（サイクル）	アクセス対象						
	内蔵メモリ	内蔵周辺モジュール		外部デバイス			
		8ビットバス	16ビットバス	8ビットバス		16ビットバス	
				2ステートアクセス	3ステートアクセス	2ステートアクセス	3ステートアクセス
命令フェッチ S_I	2	6	3	4	6 + 2m	2	3 + m
分岐アドレスリード S_J							
スタック操作 S_K							
バイトデータアクセス S_L		3	2	3 + m			
ワードデータアクセス S_M		6	4	6 + 2m			
内部動作 S_N				1			

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

表 A.4 命令実行状態 (サイクル数)

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
ADD	ADD.B #xx:8, Rd	1					
	ADD.B Rs, Rd	1					
	ADD.W #xx:16, Rd	2					
	ADD.W Rs, Rd	1					
	ADD.L #xx:32, ERd	3					
	ADD.L ERs, ERd	1					
ADDS	ADDS #1/2/4, ERd	1					
ADDX	ADDX #xx:8, Rd	1					
	ADDX Rs, Rd	1					
AND	AND.B #xx:8, Rd	1					
	AND.B Rs, Rd	1					
	AND.W #xx:16, Rd	2					
	AND.W Rs, Rd	1					
	AND.L #xx:32, ERd	3					
	AND.L ERs, ERd	2					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @ERd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8(BT d:8)	2					
	BRN d:8(BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8(BHS d:8)	2					
	BCS d:8(BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
	BGT d:8	2					
	BLE d:8	2					
	BRA d:16(BT d:16)	2					2
	BRN d:16(BF d:16)	2					2
	BHI d:16	2					2
	BLS d:16	2					2
BCC d:16(BHS d:16)	2					2	

命令	二モニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
Bcc	BCS d:16(BLO d:16)	2					2
	BNE d:16	2					2
	BEQ d:16	2					2
	BVC d:16	2					2
	BVS d:16	2					2
	BPL d:16	2					2
	BMI d:16	2					2
	BGE d:16	2					2
	BLT d:16	2					2
	BGT d:16	2					2
BLE d:16	2					2	
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @ERd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @ERd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @ERd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @ERd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:8, Rd	1					
	BIOR #xx:8, @ERd	2			1		
	BIOR #xx:8, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @ERd	2			2		
	BIST #xx:3, @aa:8	2			2		
BIXOR	BIXOR #xx:3, Rd	1					
	BIXOR #xx:3, @ERd	2			1		
	BIXOR #xx:3, @aa:8	2			1		
BLD	BLD #xx:3, Rd	1					
	BLD #xx:3, @ERd	2			1		
	BLD #xx:3, @aa:8	2			1		
BNOT	BNOT #xx:3, Rd	1					
	BNOT #xx:3, @ERd	2			2		
	BNOT #xx:3, @aa:8	2			2		
	BNOT Rn, Rd	1					
	BNOT Rn, @ERd	2			2		
	BNOT Rn, @aa:8	2			2		

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
BOR	BOR #xx:3, Rd	1					
	BOR #xx:3, @ERd	2			1		
	BOR #xx:3, @aa:8	2			1		
BSET	BSET #xx:3, Rd	1					
	BSET #xx:3, @ERd	2			2		
	BSET #xx:3, @aa:8	2			2		
	BSET Rn, Rd	1					
	BSET Rn, @ERd	2			2		
	BSET Rn, @aa:8	2			2		
BSR	BSR d:8	ノーマル		1			
		アドバンスト	2	2			
	BSR d:16	ノーマル	2		1		2
		アドバンスト	2		2		2
BST	BST #xx:3, Rd	1					
	BST #xx:3, @ERd	2			2		
	BST #xx:3, @aa:8	2			2		
BTST	BTST #xx:3, Rd	1					
	BTST #xx:3, @ERd	2			1		
	BTST #xx:3, @aa:8	2			1		
	BTST Rn, Rd	1					
	BTST Rn, @ERd	2			1		
	BTST Rn, @aa:8	2			1		
BXOR	BXOR #xx:3, Rd	1					
	BXOR #xx:3, @ERd	2			1		
	BXOR #xx:3, @aa:8	2			1		
CMP	CMP.B #xx:8, Rd	1					
	CMP.B Rs, Rd	1					
	CMP.W #xx:16, Rd	2					
	CMP.W Rs, Rd	1					
	CMP.L #xx:32, ERd	3					
	CMP.L ERs, ERd	1					
DAA	DAA Rd	1					
DAS	DAS Rd	1					
DEC	DEC.B Rd	1					
	DEC.W #1/2, Rd	1					
	DEC.L #1/2, ERd	1					
DIVXS	DIVXS.B Rs, Rd	2					12
	DIVXS.W Rs, ERd	2					20
DIVXU	DIVXU.B Rs, Rd	1					12
	DIVXU.W Rs, ERd	1					20

命令	二ーモニク	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作	
		I	J	K	L	M	N	
EEPMOV	EEPMOV.B	2			$2n + 2^{*1}$			
	EEPMOV.W	2			$2n + 2^{*1}$			
EXTS	EXTS.W Rd	1						
	EXTS.L ERd	1						
EXTU	EXTU.W Rd	1						
	EXTU.L ERd	1						
INC	INC.B Rd	1						
	INC.W #1/2, Rd	1						
	INC.L #1/2, ERd	1						
JMP	JMP @ERn	2						
	JMP @aa:24	2					2	
	JMP @@aa:8	ノーマル	2	1				2
		アドバンスト	2	2				2
JSR	JSR @ERn	ノーマル	2		1			
		アドバンスト	2		2			
	JSR @aa:24	ノーマル	2			1		2
		アドバンスト	2			2		2
	JSR @@aa:8	ノーマル	2	1	1			
		アドバンスト	2	2	2			
LDC	LDC #xx:8, CCR	1						
	LDC Rs, CCR	1						
	LDC @ERs, CCR	2				1		
	LDC @(d:16, ERs), CCR	3				1		
	LDC @(d:24, ERs), CCR	5				1		
	LDC @ERs+, CCR	2				1	2	
	LDC @aa:16, CCR	3				1		
	LDC @aa:24, CCR	4				1		
MOV	MOV.B #xx:8, Rd	1						
	MOV.B Rs, Rd	1						
	MOV.B @ERs, Rd	1			1			
	MOV.B @(d:16, ERs), Rd	2			1			
	MOV.B @(d:24, ERs), Rd	4			1			
	MOV.B @ERs+, Rd	1			1		2	
	MOV.B @aa:8, Rd	1			1			
	MOV.B @aa:16, Rd	2			1			
	MOV.B @aa:24, Rd	3			1			
	MOV.B Rs, @ERd	1			1			
	MOV.B Rs, @(d:16, ERd)	2			1			
	MOV.B Rs, @(d:24, ERd)	4			1			
	MOV.B Rs, @-ERd	1			1		2	
	MOV.B Rs, @aa:8	1			1			

命令	ニーモニック	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
MOV	MOV.B Rs, @aa:16	2			1		
	MOV.B Rs, @aa:24	3			1		
	MOV.W #xx:16, Rd	2					
	MOV.W Rs, Rd	1					
	MOV.W @ERs, Rd	1				1	
	MOV.W @(d:16, ERs), Rd	2				1	
	MOV.W @(d:24, ERs), Rd	4				1	
	MOV.W @ERs+, Rd	1				1	2
	MOV.W @aa:16, Rd	2				1	
	MOV.W @aa:24, Rd	3				1	
	MOV.W Rs, @ERd	1				1	
	MOV.W Rs, @(d:16, ERd)	2				1	
	MOV.W Rs, @(d:24, ERd)	4				1	
	MOV.W Rs, @-ERd	1				1	2
	MOV.W Rs, @aa:16	2				1	
	MOV.W Rs, @aa:24	3				1	
	MOV.L #xx:32, ERd	3					
	MOV.L ERs, ERd	1					
	MOV.L @ERs, ERd	2					2
	MOV.L @(d:16, ERs), ERd	3					2
	MOV.L @(d:24, ERs), ERd	5					2
	MOV.L @ERs+, ERd	2					2
	MOV.L @aa:16, ERd	3					2
	MOV.L @aa:24, ERd	4					2
	MOV.L ERs, @ERd	2					2
	MOV.L ERs, @(d:16, ERd)	3					2
	MOV.L ERs, @(d:24, ERd)	5					2
	MOV.L ERs, @-ERd	2					2
	MOV.L ERs, @aa:16	3					2
	MOV.L ERs, @aa:24	4					2
MOVFPPE	MOVFPPE @aa:16, Rd* ²	2			1		
MOVTPPE	MOVTPPE Rs, @aa:16* ²	2			1		
MULXS	MULXS.B Rs, Rd	2					12
	MULXS.W Rs, ERd	2					20
MULXU	MULXU.B Rs, Rd	1					12
	MULXU.W Rs, ERd	1					20
NEG	NEG.B Rd	1					
	NEG.W Rd	1					
	NEG.L ERd	1					
NOP	NOP	1					

命令	二モニック		命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
			I	J	K	L	M	N
NOT	NOT.B Rd		1					
	NOT.W Rd		1					
	NOT.L ERd		1					
OR	OR.B #xx:8, Rd		1					
	OR.B Rs, Rd		1					
	OR.W #xx:16, Rd		2					
	OR.W Rs, Rd		1					
	OR.L #xx:32, ERd		3					
	OR.L ERs, ERd		2					
ORC	ORC #xx:8, CCR		1					
POP	POP.W Rn		1				1	2
	POP.L ERn		2				2	2
PUSH	PUSH.W Rn		1				1	2
	PUSH.L ERn		2				2	2
ROTL	ROTL.B Rd		1					
	ROTL.W Rd		1					
	ROTL.L ERd		1					
ROTR	ROTR.B Rd		1					
	ROTR.W Rd		1					
	ROTR.L ERd		1					
ROTXL	ROTXL.B Rd		1					
	ROTXL.W Rd		1					
	ROTXL.L ERd		1					
ROTXR	ROTXR.B Rd		1					
	ROTXR.W Rd		1					
	ROTXR.L ERd		1					
RTE	RTE		2		2			2
RTS	RTS	ノーマル	2		1			2
		アドバンスト	2		2			2
SHAL	SHAL.B Rd		1					
	SHAL.W Rd		1					
	SHAL.L ERd		1					
SHAR	SHAR.B Rd		1					
	SHAR.W Rd		1					
	SHAR.L ERd		1					
SHLL	SHLL.B Rd		1					
	SHLL.W Rd		1					
	SHLL.L ERd		1					
SHLR	SHLR.B Rd		1					
	SHLR.W Rd		1					
	SHLR.L ERd		1					

命令	二ーモニク	命令 フェッチ	分岐 アドレス リード	スタック 操作	バイト データ アクセス	ワード データ アクセス	内部動作
		I	J	K	L	M	N
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
	STC CCR, @ERd	2				1	
	STC CCR, @(d:16, ERd)	3				1	
	STC CCR, @(d:24, ERd)	5				1	
	STC CCR, @-ERd	2				1	2
	STC CCR, @aa:16	3				1	
	STC CCR, @aa:24	4				1	
SUB	SUB.B Rs, Rd	1					
	SUB.W #xx:16, Rd	2					
	SUB.W Rs, Rd	1					
	SUB.L #xx:32, ERd	3					
	SUB.L ERs, ERd	1					
SUBS	SUBS #1/2/4, ERd	1					
SUBX	SUBX #xx:8, Rd	1					
	SUBX Rs, Rd	1					
TRAPA	TRAPA #x:2	ノーマル	2	1	2		4
		アドバンスト	2	2	2		4
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
	XOR.W #xx:16, Rd	2					
	XOR.W Rs, Rd	1					
	XOR.L #xx:32, ERd	3					
	XOR.L ERs, ERd	2					
XORC	XORC #xx:8, CCR	1					

【注】 *1 nはR4L、R4の設定値です。ソース側、デスティネーション側のアクセスが、それぞれ(n+1)回行われます。

*2 本LSIでは使用できません。

B. 内部 I/O レジスタ一覧

B.1 アドレス一覧

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'1C											
H'1D											
H'1E											
H'1F											
H'20											
H'21											
H'22											
H'23											
H'24											
H'25											
H'26											
H'27											
H'28											
H'29											
H'2A											
H'2B											
H'2C											
H'2D											
H'2E											
H'2F											
H'30											
H'31											
H'32											
H'33											
H'34											
H'35											
H'36											
H'37											
H'38											
H'39											
H'3A											
H'3B											
H'3C											
H'3D											
H'3E											
H'3F											

下位 アドレス	レジスタ名	データ パス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'40	FLMCR1	8	FWE	SWE	ESU	PSU	EV	PV	E	P	フラッシュ メモリ
H'41	FLMCR2	8	FLER								
H'42	EBR1	8	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	
H'43	EBR2	8					EB11	EB10	EB9	EB8	
H'44											
H'45											
H'46											
H'47	RAMER	8					RAMS	RAM2	RAM1	RAM0	
H'48											
H'49											
H'4A											
H'4B											
H'4C											
H'4D											
H'4E											
H'4F											
H'50											システム制御
H'51											
H'52											
H'53											
H'54											
H'55											
H'56											
H'57											
H'58											
H'59											
H'5A											
H'5B											
H'5C											
H'5D	DIVCR	8							DIV1	DIV0	
H'5E	MSTCR	8	PSTOP		MSTOP5	MSTOP4	MSTOP3			MSTOP0	
H'5F											
H'60	TSTR	8				STR4	STR3	STR2	STR1	STR0	ITU 共通
H'61	TSNC	8				SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
H'62	TMDR	8		MDF	FDIR	PWM4	PWM3	PWM2	PWM1	PWM0	
H'63	TFCR	8			CMD1	CMD0	BFB4	BFA4	BFB3	BFA3	
H'64	TCR0	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャンネル0
H'65	TIOR0	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0	
H'66	TIER0	8						OVIE	IMIEB	IMIEA	
H'67	TSR0	8						OVF	IMFB	IMFA	
H'68	TCNTOH	16									
H'69	TCNTOL										

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H6A	GRA0H	16									ITU チャンネル0
H6B	GRA0L										
H6C	GRB0H										
H6D	GRB0L										
H6E	TCR1	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャンネル1
H6F	TIOR1	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0	
H70	TIER1	8						OVIE	IMIEB	IMIEA	
H71	TSR1	8						OVF	IMFB	IMFA	
H72	TCNT1H	16									
H73	TCNT1L										
H74	GRA1H	16									
H75	GRA1L										
H76	GRB1H	16									
H77	GRB1L										
H78	TCR2	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
H79	TIOR2	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0	
H7A	TIER2	8						OVIE	IMIEB	IMIEA	
H7B	TSR2	8						OVF	IMFB	IMFA	
H7C	TCNT2H	16									
H7D	TCNT2L										
H7E	GRA2H	16									
H7F	GRA2L										
H80	GRB2H	16									
H81	GRB2L										
H82	TCR3	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャンネル3
H83	TIOR3	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0	
H84	TIER3	8						OVIE	IMIEB	IMIEA	
H85	TSR3	8						OVF	IMFB	IMFA	
H86	TCNT3H	16									
H87	TCNT3L										
H88	GRA3H	16									
H89	GRA3L										
H8A	GRB3H	16									
H8B	GRB3L										
H8C	BRA3H	16									
H8D	BRA3L										
H8E	BRB3H	16									
H8F	BRB3L										
H90	TOER	8			EXB4	EXA4	EB3	EB4	EA4	EA3	ITU 共通
H91	TOCR	8				XTGD			OLS4	OLS3	

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'92	TCR4	8		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャンネル4
H'93	TIOR4	8		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0	
H'94	TIER4	8						OVIE	IMIEB	IMIEA	
H'95	TSR4	8						OVF	IMFB	IMFA	
H'96	TCNT4H	16									
H'97	TCNT4L										
H'98	GRA4H	16									
H'99	GRA4L										
H'9A	GRB4H	16									
H'9B	GRB4L										
H'9C	BRA4H	16									
H'9D	BRA4L										
H'9E	BRB4H	16									
H'9F	BRB4L										
H'A0	TPMR	8					G3NOV	G2NOV	G1NOV	G0NOV	TPC
H'A1	TPCR	8	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0	
H'A2	NDERB	8	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8	
H'A3	NDERA	8	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0	
H'A4	NDRB* ¹	8	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8	
		8	NDR15	NDR14	NDR13	NDR12					
H'A5	NDRA* ¹	8	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
		8	NDR7	NDR6	NDR5	NDR4					
H'A6	NDRB* ¹	8									
		8					NDR11	NDR10	NDR9	NDR8	
H'A7	NDRA* ¹	8									
		8					NDR3	NDR2	NDR1	NDR0	
H'A8	TCSR* ²	8	OVF	WT/IT	TME			CKS2	CKS1	CKS0	WDT
H'A9	TCNT* ²	8									
H'AA											
H'AB	RSTCSR* ²	8	WRST	RSTOE							
H'AC											
H'AD											
H'AE											
H'AF											
H'B0	SMR	8	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCI0
H'B1	BRR	8									
H'B2	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'B3	TDR	8									
H'B4	SSR	8	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'B5	RDR	8									
H'B6	SCMR	8					SDIR	SINV		SMIF	スマートカード インタフェース

付録

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール 名	
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
HB7												SCI1
HB8	SMR	8	C/Ā	CHR	PE	O/Ē	STOP	MP	CKS1	CKS0		
HB9	BRR	8										
HBA	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
HBB	TDR	8										
HBC	SSR	8	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
HBD	RDR	8										
HBE												
HBF												
HC0	P1DDR	8	P1 ₇ DDR	P1 ₆ DDR	P1 ₅ DDR	P1 ₄ DDR	P1 ₃ DDR	P1 ₂ DDR	P1 ₁ DDR	P1 ₀ DDR	ポート1	
HC1	P2DDR	8	P2 ₇ DDR	P2 ₆ DDR	P2 ₅ DDR	P2 ₄ DDR	P2 ₃ DDR	P2 ₂ DDR	P2 ₁ DDR	P2 ₀ DDR	ポート2	
HC2	P1DR	8	P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀	ポート1	
HC3	P2DR	8	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀	ポート2	
HC4	P3DDR	8	P3 ₇ DDR	P3 ₆ DDR	P3 ₅ DDR	P3 ₄ DDR	P3 ₃ DDR	P3 ₂ DDR	P3 ₁ DDR	P3 ₀ DDR	ポート3	
HC5		8										
HC6	P3DR	8	P3 ₇	P3 ₆	P3 ₅	P3 ₄	P3 ₃	P3 ₂	P3 ₁	P3 ₀	ポート3	
HC7		8										
HC8	P5DDR	8					P5 ₇ DDR	P5 ₆ DDR	P5 ₅ DDR	P5 ₄ DDR	ポート5	
HC9	P6DDR	8			P6 ₅ DDR	P6 ₄ DDR	P6 ₃ DDR			P6 ₀ DDR	ポート6	
HCA	P5DR	8					P5 ₃	P5 ₂	P5 ₁	P5 ₀	ポート5	
HCB	P6DR	8			P6 ₅	P6 ₄	P6 ₃			P6 ₀	ポート6	
HCC												
HCD	P8DDR	8							P8 ₇ DDR	P8 ₆ DDR	ポート8	
HCE	P7DR	8	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀	ポート7	
HCF	P8DR	8							P8 ₁	P8 ₀	ポート8	
HD0	P9DDR	8			P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR	ポート9	
HD1	PADDR	8	PA ₇ DDR	PA ₆ DDR	PA ₅ DDR	PA ₄ DDR	PA ₃ DDR	PA ₂ DDR	PA ₁ DDR	PA ₀ DDR	ポートA	
HD2	P9DR	8			P9 ₅	P9 ₄	P9 ₃	P9 ₂	P9 ₁	P9 ₀	ポート9	
HD3	PADR	8	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀	ポートA	
HD4	PBDDR	8	PB ₇ DDR		PB ₅ DDR	PB ₄ DDR	PB ₃ DDR	PB ₂ DDR	PB ₁ DDR	PB ₀ DDR	ポートB	
HD5												
HD6	PBDR	8	PB ₇		PB ₅	PB ₄	PB ₃	PB ₂	PB ₁	PB ₀	ポートB	
HD7												
HD8	P2PCR	8	P2 ₇ PCR	P2 ₆ PCR	P2 ₅ PCR	P2 ₄ PCR	P2 ₃ PCR	P2 ₂ PCR	P2 ₁ PCR	P2 ₀ PCR	ポート2	
HD9												
HDA												
HDB	P5PCR	8					P5 ₃ PCR	P5 ₂ PCR	P5 ₁ PCR	P5 ₀ PCR	ポート5	
HDC												
HDD												
HDE												
HDF												

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール 名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
HE0	ADDRAH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD 変換器
HE1	ADDRAL	8	AD1	AD0							
HE2	ADDRBH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
HE3	ADDRBL	8	AD1	AD0							
HE4	ADDRCH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
HE5	ADDRCL	8	AD1	AD0							
HE6	ADDRDH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
HE7	ADDRDL	8	AD1	AD0							
HE8	ADCSR	8	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0	
HE9	ADCR	8	TRGE								
HEA											バスコント ローラ
HEB											
HEC											
HE4	ASTCR	8	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
HEE	WCR	8					WMS1	WMS0	WC1	WC0	
HEF	WCER	8	WCE7	WCE6	WCE5	WCE4	WCE3	WCE2	WCE1	WCE0	
HF0											システム 制御
HF1	MDCR	8						MDS2	MDS1	MDS0	
HF2	SYSCR	8	SSBY	STS2	STS1	STS0	UE	NMIEG		RAME	
HF3	ADRCR	8	A ₃ E	A ₂ E	A ₁ E						バスコント ローラ
HF4	ISCR	8			IRQ5SC	IRQ4SC			IRQ1SC	IRQ0SC	割り込み コント ローラ
HF5	IER	8			IRQ5E	IRQ4E			IRQ1E	IRQ0E	
HF6	ISR	8			IRQ5F	IRQ4F			IRQ1F	IRQ0F	
HF7											
HF8	IPRA	8	IPRA7	IPRA6		IPRA4	IPRA3	IPRA2	IPRA1	IPRA0	
HF9	IPRB	8	IPRB7	IPRB6			IPRB3	IPRB2	IPRB1		
HFA											
HFB											
HFC											
HFD											
HFE											
HFF											

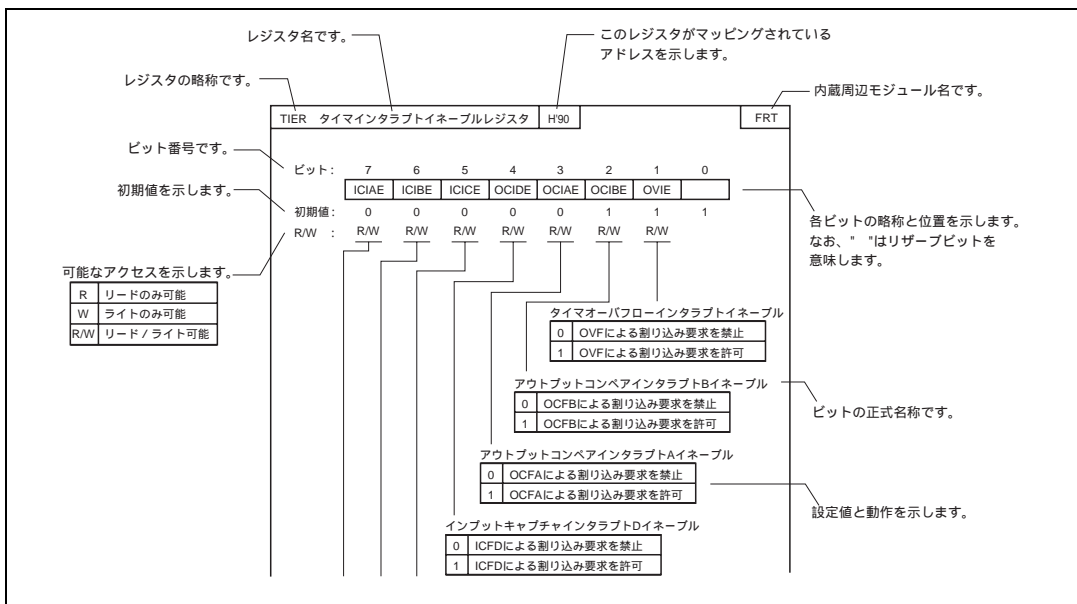
【記号説明】

ITU : 16 ビットインテグレートドタイマユニット
 TPC : プログラマブルタイミングパターンコントローラ
 WDT : ウォッチドッグタイマ
 SCI : シリアルコミュニケーションインタフェース

【注】*1 出力トリガの設定によりアドレスが変化します。

*2 TCSR、TCNT、RSTCSR のライトについては「10.2.4 レジスタ書き換え時の注意」を参照してください。

B.2 機能一覧

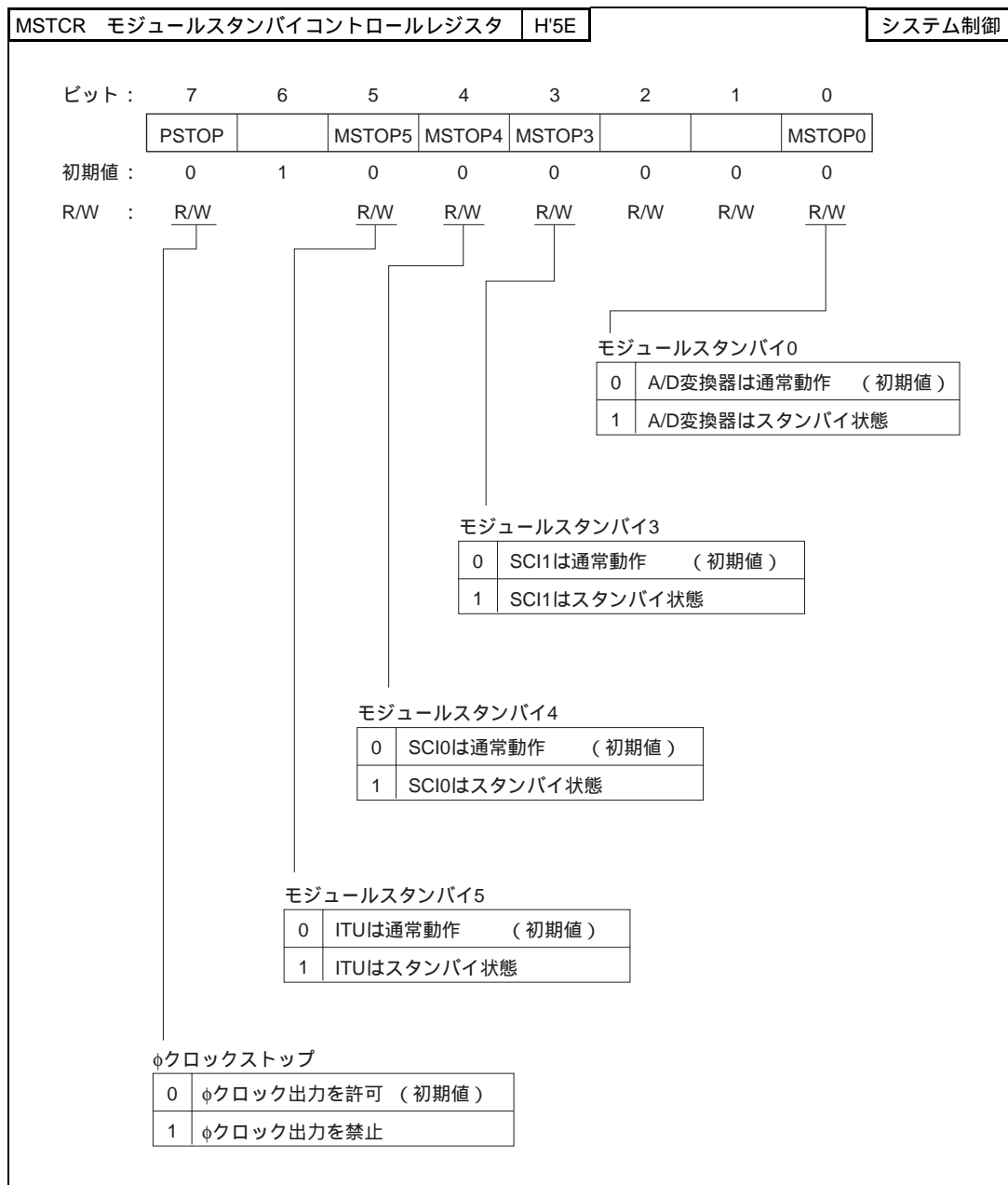


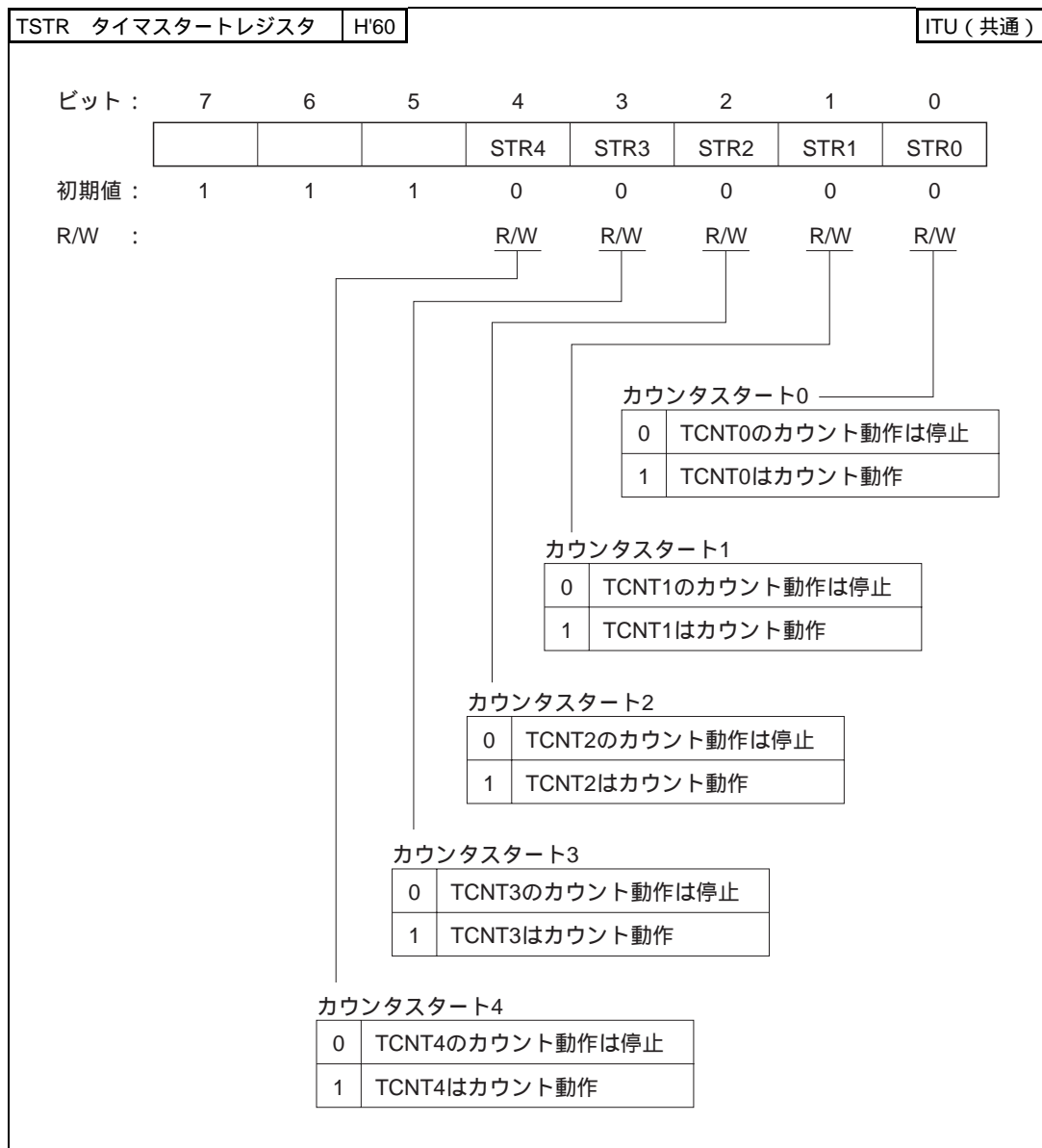
FLMCR1 フラッシュメモリコントロールレジスタ 1						H'40		フラッシュメモリ					
ビット:	7	6	5	4	3	2	1	0					
	FWE	SWE	ESU	PSU	EV	PV	E	P					
初期値:	—*	0	0	0	0	0	0	0					
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W					
								プログラムモード <table border="1"> <tr> <td>0</td> <td>プログラムモードを解除 (初期値)</td> </tr> <tr> <td>1</td> <td>プログラムモードに遷移 [セット条件] FWE = 1、SWE = 1、PSU = 1のとき</td> </tr> </table>		0	プログラムモードを解除 (初期値)	1	プログラムモードに遷移 [セット条件] FWE = 1、SWE = 1、PSU = 1のとき
0	プログラムモードを解除 (初期値)												
1	プログラムモードに遷移 [セット条件] FWE = 1、SWE = 1、PSU = 1のとき												
								イレースモード <table border="1"> <tr> <td>0</td> <td>イレースモードを解除 (初期値)</td> </tr> <tr> <td>1</td> <td>イレースモードに遷移 [セット条件] FWE = 1、SWE = 1、ESU = 1のとき</td> </tr> </table>		0	イレースモードを解除 (初期値)	1	イレースモードに遷移 [セット条件] FWE = 1、SWE = 1、ESU = 1のとき
0	イレースモードを解除 (初期値)												
1	イレースモードに遷移 [セット条件] FWE = 1、SWE = 1、ESU = 1のとき												
								プログラムベリファイモード <table border="1"> <tr> <td>0</td> <td>プログラムベリファイモードを解除 (初期値)</td> </tr> <tr> <td>1</td> <td>プログラムベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1のとき</td> </tr> </table>		0	プログラムベリファイモードを解除 (初期値)	1	プログラムベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1のとき
0	プログラムベリファイモードを解除 (初期値)												
1	プログラムベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1のとき												
								イレースベリファイモード <table border="1"> <tr> <td>0</td> <td>イレースベリファイモードを解除 (初期値)</td> </tr> <tr> <td>1</td> <td>イレースベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1のとき</td> </tr> </table>		0	イレースベリファイモードを解除 (初期値)	1	イレースベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1のとき
0	イレースベリファイモードを解除 (初期値)												
1	イレースベリファイモードに遷移 [セット条件] FWE = 1、SWE = 1のとき												
								プログラムセットアップ <table border="1"> <tr> <td>0</td> <td>プログラムセットアップ解除 (初期値)</td> </tr> <tr> <td>1</td> <td>プログラムセットアップ [セット条件] FWE = 1、SWE = 1のとき</td> </tr> </table>		0	プログラムセットアップ解除 (初期値)	1	プログラムセットアップ [セット条件] FWE = 1、SWE = 1のとき
0	プログラムセットアップ解除 (初期値)												
1	プログラムセットアップ [セット条件] FWE = 1、SWE = 1のとき												
								イレースセットアップ <table border="1"> <tr> <td>0</td> <td>イレースセットアップ解除 (初期値)</td> </tr> <tr> <td>1</td> <td>イレースセットアップ [セット条件] FWE = 1、SWE = 1のとき</td> </tr> </table>		0	イレースセットアップ解除 (初期値)	1	イレースセットアップ [セット条件] FWE = 1、SWE = 1のとき
0	イレースセットアップ解除 (初期値)												
1	イレースセットアップ [セット条件] FWE = 1、SWE = 1のとき												
								ソフトウェアライトイネーブルビット <table border="1"> <tr> <td>0</td> <td>書き込み / 消去無効 (初期値)</td> </tr> <tr> <td>1</td> <td>書き込み / 消去有効 [セット条件] FWE = 1のとき</td> </tr> </table>		0	書き込み / 消去無効 (初期値)	1	書き込み / 消去有効 [セット条件] FWE = 1のとき
0	書き込み / 消去無効 (初期値)												
1	書き込み / 消去有効 [セット条件] FWE = 1のとき												
								フラッシュライトイネーブルビット <table border="1"> <tr> <td>0</td> <td>FWE端子にLowレベルが入力されているとき (ハードウェアプロテクト状態)</td> </tr> <tr> <td>1</td> <td>FWE端子にHighレベルが入力されているとき</td> </tr> </table>		0	FWE端子にLowレベルが入力されているとき (ハードウェアプロテクト状態)	1	FWE端子にHighレベルが入力されているとき
0	FWE端子にLowレベルが入力されているとき (ハードウェアプロテクト状態)												
1	FWE端子にHighレベルが入力されているとき												
<p>【注】 本レジスタはフラッシュメモリ版専用のレジスタです。マスクROM版には存在しませんので、当該アドレスをリードすると常に1が読み出されます。ライトは無効です。</p> <p>* FWE端子の状態により設定されます。</p>													

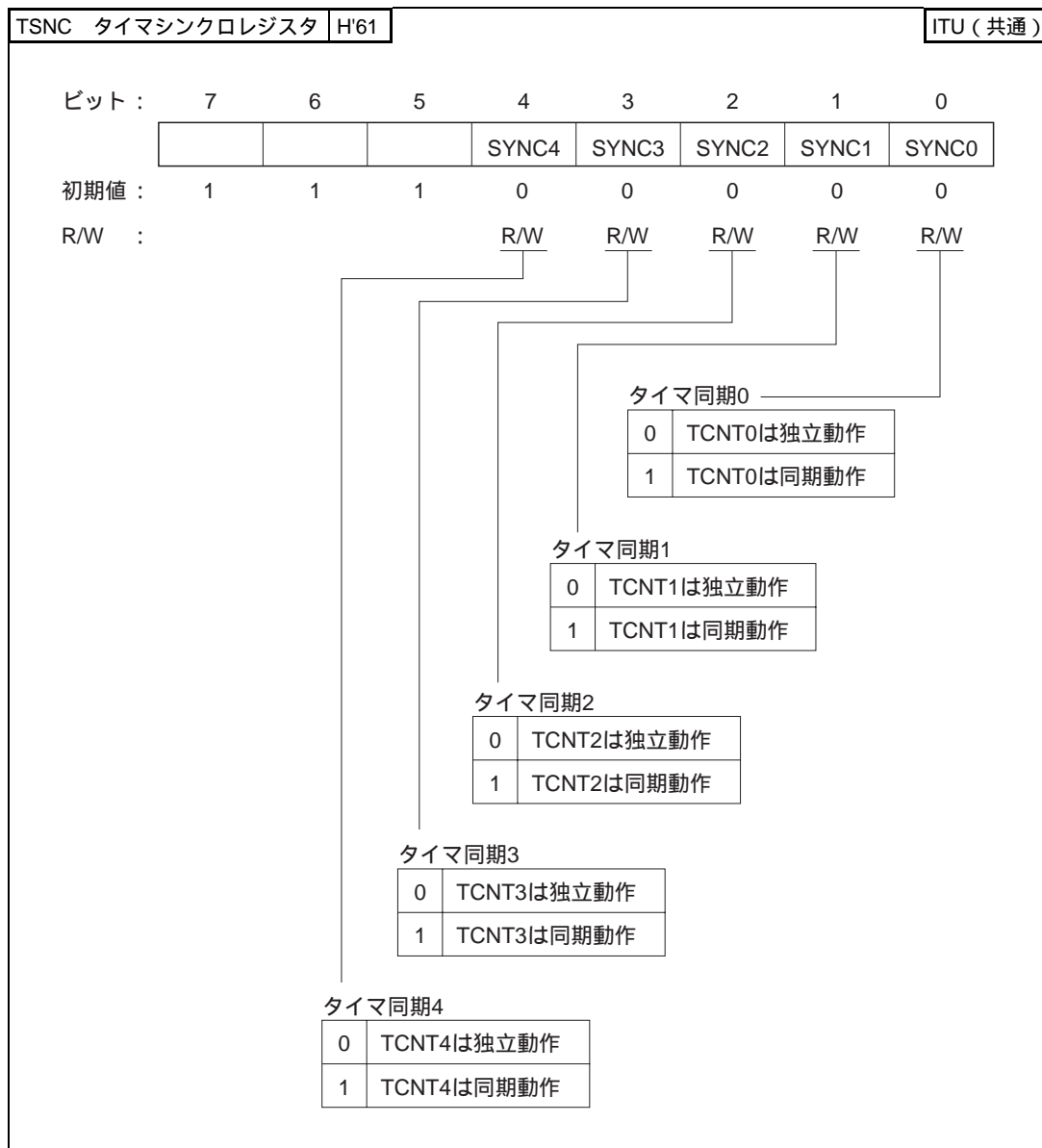
FLMCR2 フラッシュメモリコントロールレジスタ 2	H'41	フラッシュメモリ									
ビット : 7 6 5 4 3 2 1 0 <table border="1" style="margin-left: 20px; border-collapse: collapse; width: 80%;"> <tr> <td style="padding: 2px 5px;">FLER</td> <td style="padding: 2px 5px; text-align: center;">-</td> <td style="padding: 2px 5px; text-align: center;">-</td> <td style="padding: 2px 5px; text-align: center;">-</td> <td style="padding: 2px 5px; text-align: center;">-</td> <td style="padding: 2px 5px; text-align: center;">-</td> <td style="padding: 2px 5px; text-align: center;">-</td> <td style="padding: 2px 5px; text-align: center;">-</td> <td style="padding: 2px 5px; text-align: center;">-</td> </tr> </table> 初期値 : 0 1 1 1 1 1 1 1 R/W : R - - - - - - - フラッシュメモリエラー	FLER	-	-	-	-	-	-	-	-		
FLER	-	-	-	-	-	-	-	-			
0	フラッシュメモリへの書き込み / 消去プロテクトが無効 (初期値)										
1	フラッシュメモリへの書き込み / 消去中にエラーが発生しエラープロテクトが有効										
【注】 本レジスタはフラッシュメモリ版専用のレジスタです。マスクROM版には存在しませんので、当該アドレスをリードすると常に1が読み出されます。ライトは無効です。											

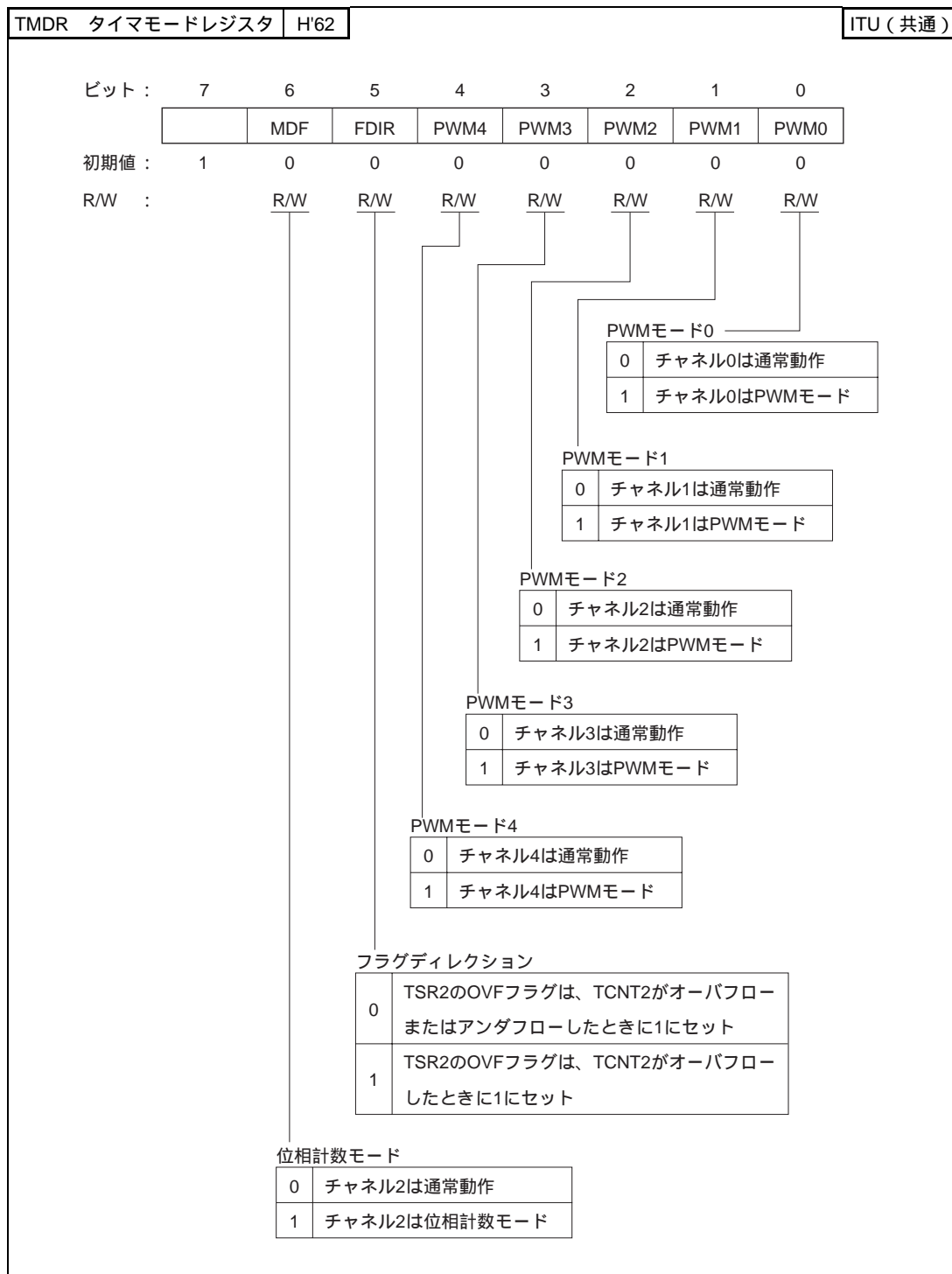
EBR1 消去ブロック指定レジスタ 1		H'42		フラッシュメモリ								
ビット:	7	6	5	4	3	2	1	0				
	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0				
初期値:	0	0	0	0	0	0	0	0				
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W				
↓ ブロック7~0												
<table border="1" style="width: 100%;"> <tr> <td style="width: 5%;">0</td> <td>EB7~EB0ブロックを選択していないとき (初期値)</td> </tr> <tr> <td>1</td> <td>EB7~EB0ブロックを選択しているとき</td> </tr> </table>									0	EB7~EB0ブロックを選択していないとき (初期値)	1	EB7~EB0ブロックを選択しているとき
0	EB7~EB0ブロックを選択していないとき (初期値)											
1	EB7~EB0ブロックを選択しているとき											
<p>【注】 EBRのビットは、消去する時以外はH'00にしてください。 本レジスタはフラッシュメモリ版専用のレジスタです。マスクROM版には存在しませんので、当該アドレスをリードすると常に1が読み出されます。ライトは無効です。</p>												
EBR2 消去ブロック指定レジスタ 2		H'43		フラッシュメモリ								
ビット:	7	6	5	4	3	2	1	0				
	-	-	-	-	EB11	EB10	EB9	EB8				
初期値:	0	0	0	0	0	0	0	0				
R/W:	R	R	R	R	R/W	R/W	R/W	R/W				
↓ ブロック7~0												
<table border="1" style="width: 100%;"> <tr> <td style="width: 5%;">0</td> <td>EB8~EB11ブロックを選択していないとき (初期値)</td> </tr> <tr> <td>1</td> <td>EB8~EB11ブロックを選択しているとき</td> </tr> </table>									0	EB8~EB11ブロックを選択していないとき (初期値)	1	EB8~EB11ブロックを選択しているとき
0	EB8~EB11ブロックを選択していないとき (初期値)											
1	EB8~EB11ブロックを選択しているとき											
<p>【注】 EBRのビットは、消去する時以外はH'00にしてください。 本レジスタはフラッシュメモリ版専用のレジスタです。マスクROM版には存在しませんので、当該アドレスをリードすると常に1が読み出されます。ライトは無効です。</p>												

RAMER	RAM エミュレーションレジスタ	H'47	フラッシュメモリ																																											
ビット:	7	6	5	4	3	2	1	0																																						
	[]	[]	[]	[]	RAMS	RAM2	RAM1	RAM0																																						
初期値:	1	1	1	1	0	0	0	0																																						
R/W:	R	R	R	R	R/W	R/W	R/W	R/W																																						
<p>RAMセレクト、RAM2、1、0</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>ビット3</th> <th>ビット2</th> <th>ビット1</th> <th>ビット0</th> <th>RAMエリア</th> </tr> <tr> <th>RAMS</th> <th>RAM2</th> <th>RAM1</th> <th>RAM0</th> <th></th> </tr> </thead> <tbody> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">*</td> <td style="text-align: center;">*</td> <td style="text-align: center;">*</td> <td>H'FFFE000 ~ H'FFFEFFF</td> </tr> <tr> <td rowspan="8" style="text-align: center; vertical-align: middle;">1</td> <td rowspan="4" style="text-align: center; vertical-align: middle;">0</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td>H'00000000 ~ H'00000FFF</td> </tr> <tr> <td style="text-align: center;">1</td> <td>H'00001000 ~ H'00001FFF</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td>H'00002000 ~ H'00002FFF</td> </tr> <tr> <td style="text-align: center;">1</td> <td>H'00003000 ~ H'00003FFF</td> </tr> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">1</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td>H'00004000 ~ H'00004FFF</td> </tr> <tr> <td style="text-align: center;">1</td> <td>H'00005000 ~ H'00005FFF</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td>H'00006000 ~ H'00006FFF</td> </tr> <tr> <td style="text-align: center;">1</td> <td>H'00007000 ~ H'00007FFF</td> </tr> </tbody> </table>									ビット3	ビット2	ビット1	ビット0	RAMエリア	RAMS	RAM2	RAM1	RAM0		0	*	*	*	H'FFFE000 ~ H'FFFEFFF	1	0	0	0	H'00000000 ~ H'00000FFF	1	H'00001000 ~ H'00001FFF	1	0	H'00002000 ~ H'00002FFF	1	H'00003000 ~ H'00003FFF	1	0	0	H'00004000 ~ H'00004FFF	1	H'00005000 ~ H'00005FFF	1	0	H'00006000 ~ H'00006FFF	1	H'00007000 ~ H'00007FFF
ビット3	ビット2	ビット1	ビット0	RAMエリア																																										
RAMS	RAM2	RAM1	RAM0																																											
0	*	*	*	H'FFFE000 ~ H'FFFEFFF																																										
1	0	0	0	H'00000000 ~ H'00000FFF																																										
			1	H'00001000 ~ H'00001FFF																																										
		1	0	H'00002000 ~ H'00002FFF																																										
			1	H'00003000 ~ H'00003FFF																																										
	1	0	0	H'00004000 ~ H'00004FFF																																										
			1	H'00005000 ~ H'00005FFF																																										
		1	0	H'00006000 ~ H'00006FFF																																										
			1	H'00007000 ~ H'00007FFF																																										
<p>【記号説明】 * : Don't care.</p> <p>【注】 本レジスタはフラッシュメモリ版専用のレジスタです。マスクROM版には存在しませんので、当該アドレスをリードすると常に1が読み出されます。ライトは無効です。</p>																																														









TFCR タイマファンクションコントロールレジスタ	H'63	ITU (共通)																		
ビット : 7 6 5 4 3 2 1 0																				
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;">CMD1</td> <td style="width: 12.5%;">CMD0</td> <td style="width: 12.5%;">BFB4</td> <td style="width: 12.5%;">BFA4</td> <td style="width: 12.5%;">BFB3</td> <td style="width: 12.5%;">BFA3</td> </tr> </table>			CMD1	CMD0	BFB4	BFA4	BFB3	BFA3												
		CMD1	CMD0	BFB4	BFA4	BFB3	BFA3													
初期値 : 1 1 0 0 0 0 0 0																				
R/W : R/W R/W R/W R/W R/W R/W																				
<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td colspan="2" style="text-align: center;">バッファ動作A3</td> </tr> <tr> <td style="width: 20px; text-align: center;">0</td> <td>GRA3は通常動作</td> </tr> <tr> <td style="text-align: center;">1</td> <td>GRA3とBRA3はバッファ動作</td> </tr> </table>			バッファ動作A3		0	GRA3は通常動作	1	GRA3とBRA3はバッファ動作												
バッファ動作A3																				
0	GRA3は通常動作																			
1	GRA3とBRA3はバッファ動作																			
<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td colspan="2" style="text-align: center;">バッファ動作B3</td> </tr> <tr> <td style="width: 20px; text-align: center;">0</td> <td>GRB3は通常動作</td> </tr> <tr> <td style="text-align: center;">1</td> <td>GRB3とBRB3はバッファ動作</td> </tr> </table>			バッファ動作B3		0	GRB3は通常動作	1	GRB3とBRB3はバッファ動作												
バッファ動作B3																				
0	GRB3は通常動作																			
1	GRB3とBRB3はバッファ動作																			
<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td colspan="2" style="text-align: center;">バッファ動作A4</td> </tr> <tr> <td style="width: 20px; text-align: center;">0</td> <td>GRA4は通常動作</td> </tr> <tr> <td style="text-align: center;">1</td> <td>GRA4とBRA4はバッファ動作</td> </tr> </table>			バッファ動作A4		0	GRA4は通常動作	1	GRA4とBRA4はバッファ動作												
バッファ動作A4																				
0	GRA4は通常動作																			
1	GRA4とBRA4はバッファ動作																			
<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td colspan="2" style="text-align: center;">バッファ動作B4</td> </tr> <tr> <td style="width: 20px; text-align: center;">0</td> <td>GRB4は通常動作</td> </tr> <tr> <td style="text-align: center;">1</td> <td>GRB4とBRB4はバッファ動作</td> </tr> </table>			バッファ動作B4		0	GRB4は通常動作	1	GRB4とBRB4はバッファ動作												
バッファ動作B4																				
0	GRB4は通常動作																			
1	GRB4とBRB4はバッファ動作																			
<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td colspan="3" style="text-align: center;">コンビネーションモード1、0</td> </tr> <tr> <td style="width: 20px; text-align: center;">ビット5</td> <td style="width: 20px; text-align: center;">ビット4</td> <td style="text-align: center;">チャンネル3、4の動作モードの指定</td> </tr> <tr> <td style="text-align: center;">CMD1</td> <td style="text-align: center;">CMD0</td> <td></td> </tr> <tr> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td rowspan="2">チャンネル3、4は通常動作</td> </tr> <tr> <td style="text-align: center;">1</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>チャンネル3、4を組み合わせ、相補PWMモードで動作</td> </tr> <tr> <td style="text-align: center;">1</td> <td>チャンネル3、4を組み合わせ、リセット同期PWMモードで動作</td> </tr> </table>			コンビネーションモード1、0			ビット5	ビット4	チャンネル3、4の動作モードの指定	CMD1	CMD0		0	0	チャンネル3、4は通常動作	1	1	0	チャンネル3、4を組み合わせ、相補PWMモードで動作	1	チャンネル3、4を組み合わせ、リセット同期PWMモードで動作
コンビネーションモード1、0																				
ビット5	ビット4	チャンネル3、4の動作モードの指定																		
CMD1	CMD0																			
0	0	チャンネル3、4は通常動作																		
	1																			
1	0	チャンネル3、4を組み合わせ、相補PWMモードで動作																		
	1	チャンネル3、4を組み合わせ、リセット同期PWMモードで動作																		

TCR0 タイマコントロールレジスタ0 H'64

ITU0

ビット:	7	6	5	4	3	2	1	0
		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	1	0	0	0	0	0	0	0
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマプリスケラ2~0

ビット2	ビット1	ビット0	TCNTのカウンタクロック
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック: ϕ
		1	内部クロック: $\phi/2$
	1	0	内部クロック: $\phi/4$
		1	内部クロック: $\phi/8$
1	0	0	外部クロックA : TCLKA端子入力でカウント
		1	外部クロックB : TCLKB端子入力でカウント
	1	0	外部クロックC : TCLKC端子入力でカウント
		1	外部クロックD : TCLKD端子入力でカウント

クロックエッジ1、0

ビット4	ビット3	外部クロックの検出エッジ
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント
	1	立ち下がりエッジでカウント
1		立ち上がり / 立ち下がりの両エッジでカウント

カウンタクリア1、0

ビット6	ビット5	TCNTのクリアソース
CCLR1	CCLR0	
0	0	TCNTのクリア禁止
	1	GRAのコンペアマッチ / インพุットキャプチャでTCNTをクリア
1	0	GRBのコンペアマッチ / インพุットキャプチャでTCNTをクリア
	1	同期クリア。同期動作中の他のタイマのカウンタクリアに同期してTCNTをクリア

TIOR0 タイマ I/O コントロールレジスタ 0	H'65		ITU0																																										
<p>ビット : 7 6 5 4 3 2 1 0</p> <table style="margin-left: 40px; border-collapse: collapse;"> <tr> <td style="border: 1px solid black; width: 20px; height: 15px;"></td> <td style="border: 1px solid black; width: 20px; height: 15px; text-align: center;">IOB2</td> <td style="border: 1px solid black; width: 20px; height: 15px; text-align: center;">IOB1</td> <td style="border: 1px solid black; width: 20px; height: 15px; text-align: center;">IOB0</td> <td style="border: 1px solid black; width: 20px; height: 15px;"></td> <td style="border: 1px solid black; width: 20px; height: 15px; text-align: center;">IOA2</td> <td style="border: 1px solid black; width: 20px; height: 15px; text-align: center;">IOA1</td> <td style="border: 1px solid black; width: 20px; height: 15px; text-align: center;">IOA0</td> </tr> </table> <p>初期値 : 1 0 0 0 1 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W</p> <div style="margin-top: 20px;"> <p>I/OコントロールA2~0</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット2</th> <th style="width: 10%;">ビット1</th> <th style="width: 10%;">ビット0</th> <th colspan="2" style="text-align: center;">GRAの機能の選択</th> </tr> <tr> <th>IOA2</th> <th>IOA1</th> <th>IOA0</th> <th></th> <th></th> </tr> </thead> <tbody> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">0</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td rowspan="4" style="text-align: center; vertical-align: middle;">GRAはアウトプット コンペアレジスタ</td> <td>コンペアマッチによる端子出力禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>GRAのコンペアマッチで0出力</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td>GRAのコンペアマッチで1出力</td> </tr> <tr> <td style="text-align: center;">1</td> <td>GRAのコンペアマッチでトグル出力</td> </tr> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">1</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td rowspan="4" style="text-align: center; vertical-align: middle;">GRAはインプット キャプチャレジスタ</td> <td>立ち上がりエッジでGRAヘインプットキャプチャ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>立ち下がりエッジでGRAヘインプットキャプチャ</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td>立ち上がり / 立ち下がり両エッジでGRAヘインプットキャプチャ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>立ち上がり / 立ち下がり両エッジでGRAヘインプットキャプチャ</td> </tr> </tbody> </table> </div>					IOB2	IOB1	IOB0		IOA2	IOA1	IOA0	ビット2	ビット1	ビット0	GRAの機能の選択		IOA2	IOA1	IOA0			0	0	0	GRAはアウトプット コンペアレジスタ	コンペアマッチによる端子出力禁止	1	GRAのコンペアマッチで0出力	1	0	GRAのコンペアマッチで1出力	1	GRAのコンペアマッチでトグル出力	1	0	0	GRAはインプット キャプチャレジスタ	立ち上がりエッジでGRAヘインプットキャプチャ	1	立ち下がりエッジでGRAヘインプットキャプチャ	1	0	立ち上がり / 立ち下がり両エッジでGRAヘインプットキャプチャ	1	立ち上がり / 立ち下がり両エッジでGRAヘインプットキャプチャ
	IOB2	IOB1	IOB0		IOA2	IOA1	IOA0																																						
ビット2	ビット1	ビット0	GRAの機能の選択																																										
IOA2	IOA1	IOA0																																											
0	0	0	GRAはアウトプット コンペアレジスタ	コンペアマッチによる端子出力禁止																																									
		1		GRAのコンペアマッチで0出力																																									
	1	0		GRAのコンペアマッチで1出力																																									
		1		GRAのコンペアマッチでトグル出力																																									
1	0	0	GRAはインプット キャプチャレジスタ	立ち上がりエッジでGRAヘインプットキャプチャ																																									
		1		立ち下がりエッジでGRAヘインプットキャプチャ																																									
	1	0		立ち上がり / 立ち下がり両エッジでGRAヘインプットキャプチャ																																									
		1		立ち上がり / 立ち下がり両エッジでGRAヘインプットキャプチャ																																									

TIER0 タイマインタラプトイネーブルレジスタ 0						H'66		ITU0					
ビット :	7	6	5	4	3	2	1	0					
						OVIE	IMIEB	IMIEA					
初期値 :	1	1	1	1	1	0	0	0					
R/W :						R/W	R/W	R/W					
インพุットキャプチャ/コンペアマッチインタラプトイネーブルA													
<table border="1"> <tr> <td>0</td> <td>IMFAフラグによる割り込み (IMIA) 要求を禁止</td> </tr> <tr> <td>1</td> <td>IMFAフラグによる割り込み (IMIA) 要求を許可</td> </tr> </table>										0	IMFAフラグによる割り込み (IMIA) 要求を禁止	1	IMFAフラグによる割り込み (IMIA) 要求を許可
0	IMFAフラグによる割り込み (IMIA) 要求を禁止												
1	IMFAフラグによる割り込み (IMIA) 要求を許可												
インพุットキャプチャ/コンペアマッチインタラプトイネーブルB													
<table border="1"> <tr> <td>0</td> <td>IMFBフラグによる割り込み (IMIB) 要求を禁止</td> </tr> <tr> <td>1</td> <td>IMFBフラグによる割り込み (IMIB) 要求を許可</td> </tr> </table>										0	IMFBフラグによる割り込み (IMIB) 要求を禁止	1	IMFBフラグによる割り込み (IMIB) 要求を許可
0	IMFBフラグによる割り込み (IMIB) 要求を禁止												
1	IMFBフラグによる割り込み (IMIB) 要求を許可												
オーバフローインタラプトイネーブル													
<table border="1"> <tr> <td>0</td> <td>OVFフラグによる割り込み (OVI) 要求を禁止</td> </tr> <tr> <td>1</td> <td>OVFフラグによる割り込み (OVI) 要求を許可</td> </tr> </table>										0	OVFフラグによる割り込み (OVI) 要求を禁止	1	OVFフラグによる割り込み (OVI) 要求を許可
0	OVFフラグによる割り込み (OVI) 要求を禁止												
1	OVFフラグによる割り込み (OVI) 要求を許可												

TSR0 タイマステータスレジスタ 0	H'67		ITU0												
ビット :	7 6 5 4 3 2 1 0														
		<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 25%;"></td> <td style="width: 25%;"></td> <td style="width: 25%;"></td> <td style="width: 25%; text-align: center;">OVF</td> <td style="width: 25%; text-align: center;">IMFB</td> <td style="width: 25%; text-align: center;">IMFA</td> </tr> </table>				OVF	IMFB	IMFA							
			OVF	IMFB	IMFA										
初期値 :	1 1 1 1 1 0 0 0														
R/W :		<table style="width: 100%;"> <tr> <td style="width: 50%;"></td> <td style="width: 16.6%; text-align: center;">R/(W)*</td> <td style="width: 16.6%; text-align: center;">R/(W)*</td> <td style="width: 16.6%; text-align: center;">R/(W)*</td> </tr> </table>		R/(W)*	R/(W)*	R/(W)*									
	R/(W)*	R/(W)*	R/(W)*												
<div style="border: 1px solid black; padding: 5px; margin-bottom: 10px;"> <p style="text-align: center;">インพุットキャプチャ/コンペアマッチフラグA</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%; text-align: center;">0</td> <td style="padding: 5px;"> <p>[クリア条件]</p> <p>IMFA = 1の状態、IMFAフラグをリードした後、IMFAフラグに0をライトしたとき</p> </td> </tr> <tr> <td style="text-align: center;">1</td> <td style="padding: 5px;"> <p>[セット条件]</p> <p>(1) GRAがアウトプットコンペアレジスタとして機能している場合、TCNT = GRAになったとき</p> <p>(2) GRAがインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号によりTCNTの値がGRAに転送されたとき</p> </td> </tr> </table> </div> <div style="border: 1px solid black; padding: 5px; margin-bottom: 10px;"> <p style="text-align: center;">インพุットキャプチャ/コンペアマッチフラグB</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%; text-align: center;">0</td> <td style="padding: 5px;"> <p>[クリア条件]</p> <p>IMFB = 1の状態、IMFBフラグをリードした後、IMFBフラグに0をライトしたとき</p> </td> </tr> <tr> <td style="text-align: center;">1</td> <td style="padding: 5px;"> <p>[セット条件]</p> <p>(1) GRBがアウトプットコンペアレジスタとして機能している場合、TCNT = GRBになったとき</p> <p>(2) GRBがインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号によりTCNTの値がGRBに転送されたとき</p> </td> </tr> </table> </div> <div style="border: 1px solid black; padding: 5px;"> <p style="text-align: center;">オーバーフローフラグ</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%; text-align: center;">0</td> <td style="padding: 5px;"> <p>[クリア条件]</p> <p>OVF = 1の状態、OVFフラグをリードした後、OVFフラグに0をライトしたとき</p> </td> </tr> <tr> <td style="text-align: center;">1</td> <td style="padding: 5px;"> <p>[セット条件]</p> <p>TCNTの値がオーバーフロー (H'FFFF→H'0000) したとき</p> </td> </tr> </table> </div>				0	<p>[クリア条件]</p> <p>IMFA = 1の状態、IMFAフラグをリードした後、IMFAフラグに0をライトしたとき</p>	1	<p>[セット条件]</p> <p>(1) GRAがアウトプットコンペアレジスタとして機能している場合、TCNT = GRAになったとき</p> <p>(2) GRAがインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号によりTCNTの値がGRAに転送されたとき</p>	0	<p>[クリア条件]</p> <p>IMFB = 1の状態、IMFBフラグをリードした後、IMFBフラグに0をライトしたとき</p>	1	<p>[セット条件]</p> <p>(1) GRBがアウトプットコンペアレジスタとして機能している場合、TCNT = GRBになったとき</p> <p>(2) GRBがインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号によりTCNTの値がGRBに転送されたとき</p>	0	<p>[クリア条件]</p> <p>OVF = 1の状態、OVFフラグをリードした後、OVFフラグに0をライトしたとき</p>	1	<p>[セット条件]</p> <p>TCNTの値がオーバーフロー (H'FFFF→H'0000) したとき</p>
0	<p>[クリア条件]</p> <p>IMFA = 1の状態、IMFAフラグをリードした後、IMFAフラグに0をライトしたとき</p>														
1	<p>[セット条件]</p> <p>(1) GRAがアウトプットコンペアレジスタとして機能している場合、TCNT = GRAになったとき</p> <p>(2) GRAがインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号によりTCNTの値がGRAに転送されたとき</p>														
0	<p>[クリア条件]</p> <p>IMFB = 1の状態、IMFBフラグをリードした後、IMFBフラグに0をライトしたとき</p>														
1	<p>[セット条件]</p> <p>(1) GRBがアウトプットコンペアレジスタとして機能している場合、TCNT = GRBになったとき</p> <p>(2) GRBがインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号によりTCNTの値がGRBに転送されたとき</p>														
0	<p>[クリア条件]</p> <p>OVF = 1の状態、OVFフラグをリードした後、OVFフラグに0をライトしたとき</p>														
1	<p>[セット条件]</p> <p>TCNTの値がオーバーフロー (H'FFFF→H'0000) したとき</p>														
<p>【注】 * フラグクリアのための0ライトのみ可能です。</p>															

TCNT0 H、L	タイマカウンタ 0 H、L	H'68、H'69	ITU0
ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 			
初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0			
R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W			
↑ アップカウンタ			
GRA0 H、L	ジェネラルレジスタ A0 H、L	H'6A、H'6B	ITU0
ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 			
初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1			
R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W			
↑ アウトプットコンペア / インプットキャプチャ兼用レジスタ			
GRB0 H、L	ジェネラルレジスタ B0 H、L	H'6C、H'6D	ITU0
ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 			
初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1			
R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W			
↑ アウトプットコンペア / インプットキャプチャ兼用レジスタ			




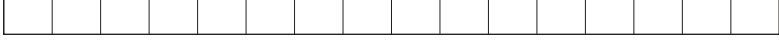
TCNT1 H、L タイマカウンタ 1 H、L	H'72、H'73	ITU1																
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td> </tr> </table> <p>初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>機能はITU0と同じです。</p>																		
GRA1 H、L ジェネラルレジスタ A1 H、L	H'74、H'75	ITU1																
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td> </tr> </table> <p>初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>機能はITU0と同じです。</p>																		
GRB1 H、L ジェネラルレジスタ B1 H、L	H'76、H'77	ITU1																
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; text-align: center;"> <tr> <td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td><td> </td> </tr> </table> <p>初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>機能はITU0と同じです。</p>																		

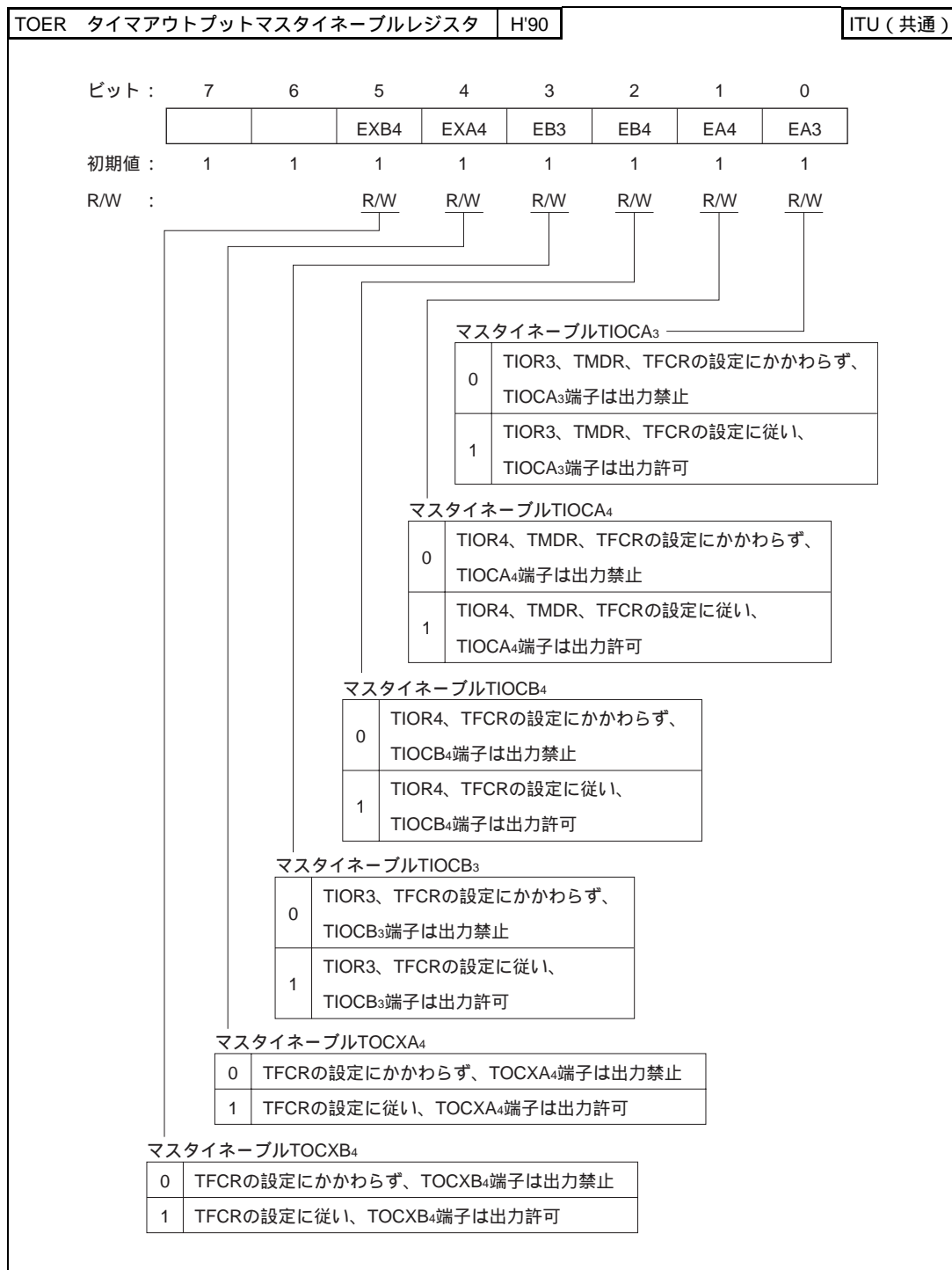
TCR2 タイマコントロールレジスタ 2	H'78	ITU2								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse; margin-left: 40px;"> <tr> <td style="width: 15%;"></td> <td style="width: 12.5%; border: 1px solid black;">CCLR1</td> <td style="width: 12.5%; border: 1px solid black;">CCLR0</td> <td style="width: 12.5%; border: 1px solid black;">CKEG1</td> <td style="width: 12.5%; border: 1px solid black;">CKEG0</td> <td style="width: 12.5%; border: 1px solid black;">TPSC2</td> <td style="width: 12.5%; border: 1px solid black;">TPSC1</td> <td style="width: 12.5%; border: 1px solid black;">TPSC0</td> </tr> </table> <p>初期値： 1 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p> <p style="margin-top: 20px;">機能はITU0と同じです。</p> <p>【注】 チャンネル2を位相計数モードに設定したとき、CKEG1、CKEG0ビットおよびTPSC2～TPSC0ビットによるカウントクロックの選択は無効となります。</p>				CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0			
TIO2 タイマ I/O コントロールレジスタ 2	H'79	ITU2								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse; margin-left: 40px;"> <tr> <td style="width: 15%;"></td> <td style="width: 12.5%; border: 1px solid black;">IOB2</td> <td style="width: 12.5%; border: 1px solid black;">IOB1</td> <td style="width: 12.5%; border: 1px solid black;">IOB0</td> <td style="width: 12.5%;"></td> <td style="width: 12.5%; border: 1px solid black;">IOA2</td> <td style="width: 12.5%; border: 1px solid black;">IOA1</td> <td style="width: 12.5%; border: 1px solid black;">IOA0</td> </tr> </table> <p>初期値： 1 0 0 0 1 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W</p> <p style="margin-top: 20px;">機能はITU0と同じです。</p> <p>【注】 チャンネル2はコンペアマッチによるトグル出力機能がありません。この設定にすると自動的に1出力が選択されます。</p>				IOB2	IOB1	IOB0		IOA2	IOA1	IOA0
	IOB2	IOB1	IOB0		IOA2	IOA1	IOA0			

TIER2 タイマインタラプトイネーブルレジスタ 2						H'7A		ITU2
ビット :	7	6	5	4	3	2	1	0
						OVIE	IMIEB	IMIEA
初期値 :	1	1	1	1	1	0	0	0
R/W :						R/W	R/W	R/W
機能はITU0と同じです。								
TSR2 タイマステータスレジスタ 2						H'7B		ITU2
ビット :	7	6	5	4	3	2	1	0
						OVF	IMFB	IMFA
初期値 :	1	1	1	1	1	0	0	0
R/W :						R/(W)*	R/(W)*	R/(W)*
機能はITU0と同じです。								
オーバーフローフラグ								
[クリア条件]								
0	OVF = 1の状態、OVFフラグをリードした後、OVFフラグに0をライトしたとき							
[セット条件]								
1	TCNTの値がオーバーフロー (H'FFFF→H'0000)、またはアンダフロー (H'0000→H'FFFF) したとき							
【注】 * フラグクリアのための0ライトのみ可能です。								

TCNT2 H、L タイマカウンタ 2 H、L H'7C、H'7D	ITU2																
<p>ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="text-align: center; margin-top: 10px;"> ↑ 位相計数モード時 : アップ / ダウンカウンタ その他のモード時 : アップカウンタ </p>																	
GRA2 H、L ジェネラルレジスタ A2 H、L H'7E、H'7F	ITU2																
<p>ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> </tr> </table> <p>初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="margin-top: 10px;">機能はITU0と同じです。</p>																	
GRB2 H、L ジェネラルレジスタ B2 H、L H'80、H'81	ITU2																
<p>ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20px; border: none;"></td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> <td style="width: 20px; border: 1px solid black; text-align: center;"> </td> </tr> </table> <p>初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p style="margin-top: 10px;">機能はITU0と同じです。</p>																	

TCR3 タイマコントロールレジスタ 3		H'82						ITU3
ビット :	7	6	5	4	3	2	1	0
		CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	1	0	0	0	0	0	0	0
R/W :		R/W	R/W	R/W	R/W	R/W	R/W	R/W
機能はITU0と同じです。								
TIO3 タイマ I/O コントロールレジスタ 3		H'83						ITU3
ビット :	7	6	5	4	3	2	1	0
		IOB2	IOB1	IOB0		IOA2	IOA1	IOA0
初期値 :	1	0	0	0	1	0	0	0
R/W :		R/W	R/W	R/W		R/W	R/W	R/W
機能はITU0と同じです。								
TIER3 タイマインタラプトイネーブルレジスタ 3		H'84						ITU3
ビット :	7	6	5	4	3	2	1	0
						OVIE	IMIEB	IMIEA
初期値 :	1	1	1	1	1	0	0	0
R/W :						R/W	R/W	R/W
機能はITU0と同じです。								

GRA3 H、L ジェネラルレジスタ A3 H、L	H'88、H'89	ITU3
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p>  <p>初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>アウトプットコンペア/インプットキャプチャ兼用レジスタ (バッファ動作可能)</p>		
GRB3 H、L ジェネラルレジスタ B3 H、L	H'8A、H'8B	ITU3
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p>  <p>初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>アウトプットコンペア/インプットキャプチャ兼用レジスタ (バッファ動作可能)</p>		
BRA3 H、L バッファレジスタ A3 H、L	H'8C、H'8D	ITU3
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p>  <p>初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>バッファ動作時にGRAと組み合わせて使用</p>		
BRB3 H、L バッファレジスタ B3 H、L	H'8E、H'8F	ITU3
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p>  <p>初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>バッファ動作時にGRBと組み合わせて使用</p>		



TOCR タイマアウトプットコントロールレジスタ							H'91		ITU (共通)	
ビット :	7	6	5	4	3	2	1	0		
				XTGD			OLS4	OLS3		
初期値 :	1	1	1	1	1	1	1	1		
R/W :				R/W			R/W	R/W		

出力レベルセレクト3

0	TIOCB ₃ 、TOCXA ₄ 、TOCXB ₄ 端子は反転出力
1	TIOCB ₃ 、TOCXA ₄ 、TOCXB ₄ 端子は直接出力

出力レベルセレクト4

0	TIOCA ₃ 、TIOCA ₄ 、TIOCB ₄ 端子は反転出力
1	TIOCA ₃ 、TIOCA ₄ 、TIOCB ₄ 端子は直接出力

外部トリガディスエーブル

0	リセット同期PWMモードまたは相補PWMモード時、チャンネル1のインプットキャプチャA信号を外部トリガとして使用*
1	外部トリガを禁止

【注】 * 外部トリガ発生時、TOERのビット5~0が0にクリアされ、ITU出力が禁止されます。

TCR4 タイマコントロールレジスタ 4	H'92	ITU4								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse; margin-left: 40px;"> <tr> <td style="width: 20px;"></td> <td style="width: 20px; border: 1px solid black;">CCLR1</td> <td style="width: 20px; border: 1px solid black;">CCLR0</td> <td style="width: 20px; border: 1px solid black;">CKEG1</td> <td style="width: 20px; border: 1px solid black;">CKEG0</td> <td style="width: 20px; border: 1px solid black;">TPSC2</td> <td style="width: 20px; border: 1px solid black;">TPSC1</td> <td style="width: 20px; border: 1px solid black;">TPSC0</td> </tr> </table> <p>初期値 : 1 0 0 0 0 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p> <p style="margin-top: 20px;">機能はITU0と同じです。</p>				CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0			
TIOR4 タイマ I/O コントロールレジスタ 4	H'93	ITU4								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse; margin-left: 40px;"> <tr> <td style="width: 20px;"></td> <td style="width: 20px; border: 1px solid black;">IOB2</td> <td style="width: 20px; border: 1px solid black;">IOB1</td> <td style="width: 20px; border: 1px solid black;">IOB0</td> <td style="width: 20px;"></td> <td style="width: 20px; border: 1px solid black;">IOA2</td> <td style="width: 20px; border: 1px solid black;">IOA1</td> <td style="width: 20px; border: 1px solid black;">IOA0</td> </tr> </table> <p>初期値 : 1 0 0 0 1 0 0 0</p> <p>R/W : R/W R/W R/W R/W R/W R/W</p> <p style="margin-top: 20px;">機能はITU0と同じです。</p>				IOB2	IOB1	IOB0		IOA2	IOA1	IOA0
	IOB2	IOB1	IOB0		IOA2	IOA1	IOA0			
TIER4 タイマインタラプトイネーブルレジスタ 4	H'94	ITU4								
<p>ビット : 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse; margin-left: 40px;"> <tr> <td style="width: 20px;"></td> <td style="width: 20px;"></td> <td style="width: 20px;"></td> <td style="width: 20px;"></td> <td style="width: 20px;"></td> <td style="width: 20px; border: 1px solid black;">OVIE</td> <td style="width: 20px; border: 1px solid black;">IMIEB</td> <td style="width: 20px; border: 1px solid black;">IMIEA</td> </tr> </table> <p>初期値 : 1 1 1 1 1 0 0 0</p> <p>R/W : R/W R/W R/W</p> <p style="margin-top: 20px;">機能はITU0と同じです。</p>								OVIE	IMIEB	IMIEA
					OVIE	IMIEB	IMIEA			

TSR4 タイムステータスレジスタ 4	H'95	ITU4														
ビット :	7	6	5	4	3	2	1	0								
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	OVF	IMFB	IMFA								
初期値 :	1	1	1	1	1	0	0	0								
R/W :						R/(W)*	R/(W)*	R/(W)*								
機能はITU0と同じです。																
【注】 * フラグクリアのための0ライトのみ可能です。																
TCNT4 H、L ジェネラルレジスタ A4 H、L	H'96、H'97	ITU4														
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
機能はITU3と同じです。																
GRA4 H、L ジェネラルレジスタ A4 H、L	H'98、H'99	ITU4														
ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
機能はITU3と同じです。																

GRB4 H、L ジェネラルレジスタ B4 H、L	H'9A、H'9B		ITU4
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <div style="border: 1px solid black; width: 100%; height: 20px; margin: 5px 0;"></div> <p>初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>機能はITU3と同じです。</p>			
BRA4 H、L バッファレジスタ A4 H、L	H'9C、H'9D		ITU4
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <div style="border: 1px solid black; width: 100%; height: 20px; margin: 5px 0;"></div> <p>初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>機能はITU3と同じです。</p>			
BRB4 H、L バッファレジスタ B4 H、L	H'9E、H'9F		ITU4
<p>ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0</p> <div style="border: 1px solid black; width: 100%; height: 20px; margin: 5px 0;"></div> <p>初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W</p> <p>機能はITU3と同じです。</p>			

TPCR TPC 出力コントロールレジスタ	H'A1	TPC																																																												
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; text-align: center; border-collapse: collapse;"> <tr> <td style="width: 12.5%;">G3CMS1</td> <td style="width: 12.5%;">G3CMS0</td> <td style="width: 12.5%;">G2CMS1</td> <td style="width: 12.5%;">G2CMS0</td> <td style="width: 12.5%;">G1CMS1</td> <td style="width: 12.5%;">G1CMS0</td> <td style="width: 12.5%;">G0CMS1</td> <td style="width: 12.5%;">G0CMS0</td> </tr> </table> <p>初期値： 1 1 1 1 1 1 1 1</p> <p>R/W : R/W R/W R/W R/W R/W R/W R/W</p> <div style="margin-top: 20px;"> <p style="text-align: center;">グループ0コンペアマッチセレクト1、0</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット1</th> <th style="width: 10%;">ビット0</th> <th style="width: 80%;">出力トリガとなるITUのチャンネル選択</th> </tr> </thead> <tbody> <tr> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>TPC出力グループ0 (TP₃ - TP₀端子) の出力トリガは ITUチャンネル0のコンペアマッチ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>TPC出力グループ0 (TP₃ - TP₀端子) の出力トリガは ITUチャンネル1のコンペアマッチ</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>TPC出力グループ0 (TP₃ - TP₀端子) の出力トリガは ITUチャンネル2のコンペアマッチ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>TPC出力グループ0 (TP₃ - TP₀端子) の出力トリガは ITUチャンネル3のコンペアマッチ</td> </tr> </tbody> </table> <p style="text-align: center;">グループ1コンペアマッチセレクト1、0</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット3</th> <th style="width: 10%;">ビット2</th> <th style="width: 80%;">出力トリガとなるITUのチャンネル選択</th> </tr> </thead> <tbody> <tr> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>TPC出力グループ1 (TP₇ - TP₄端子) の出力トリガは ITUチャンネル0のコンペアマッチ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>TPC出力グループ1 (TP₇ - TP₄端子) の出力トリガは ITUチャンネル1のコンペアマッチ</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>TPC出力グループ1 (TP₇ - TP₄端子) の出力トリガは ITUチャンネル2のコンペアマッチ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>TPC出力グループ1 (TP₇ - TP₄端子) の出力トリガは ITUチャンネル3のコンペアマッチ</td> </tr> </tbody> </table> <p style="text-align: center;">グループ2コンペアマッチセレクト1、0</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット5</th> <th style="width: 10%;">ビット4</th> <th style="width: 80%;">出力トリガとなるITUのチャンネル選択</th> </tr> </thead> <tbody> <tr> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>TPC出力グループ2 (TP₁₁ - TP₈端子) の出力トリガは ITUチャンネル0のコンペアマッチ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>TPC出力グループ2 (TP₁₁ - TP₈端子) の出力トリガは ITUチャンネル1のコンペアマッチ</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>TPC出力グループ2 (TP₁₁ - TP₈端子) の出力トリガは ITUチャンネル2のコンペアマッチ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>TPC出力グループ2 (TP₁₁ - TP₈端子) の出力トリガは ITUチャンネル3のコンペアマッチ</td> </tr> </tbody> </table> <p style="text-align: center;">グループ3コンペアマッチセレクト1、0</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット7</th> <th style="width: 10%;">ビット6</th> <th style="width: 80%;">出力トリガとなるITUのチャンネル選択</th> </tr> </thead> <tbody> <tr> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>TPC出力グループ3 (TP₁₅ - TP₁₂端子) *の出力トリガは ITUチャンネル0のコンペアマッチ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>TPC出力グループ3 (TP₁₅ - TP₁₂端子) *の出力トリガは ITUチャンネル1のコンペアマッチ</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>TPC出力グループ3 (TP₁₅ - TP₁₂端子) *の出力トリガは ITUチャンネル2のコンペアマッチ</td> </tr> <tr> <td style="text-align: center;">1</td> <td>TPC出力グループ3 (TP₁₅ - TP₁₂端子) *の出力トリガは ITUチャンネル3のコンペアマッチ</td> </tr> </tbody> </table> <p>【注】* 本LSIではTP₁₄端子がありませんのでTP₁₄信号は外部に出力できません</p> </div>			G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0	ビット1	ビット0	出力トリガとなるITUのチャンネル選択	0	0	TPC出力グループ0 (TP ₃ - TP ₀ 端子) の出力トリガは ITUチャンネル0のコンペアマッチ	1	TPC出力グループ0 (TP ₃ - TP ₀ 端子) の出力トリガは ITUチャンネル1のコンペアマッチ	1	0	TPC出力グループ0 (TP ₃ - TP ₀ 端子) の出力トリガは ITUチャンネル2のコンペアマッチ	1	TPC出力グループ0 (TP ₃ - TP ₀ 端子) の出力トリガは ITUチャンネル3のコンペアマッチ	ビット3	ビット2	出力トリガとなるITUのチャンネル選択	0	0	TPC出力グループ1 (TP ₇ - TP ₄ 端子) の出力トリガは ITUチャンネル0のコンペアマッチ	1	TPC出力グループ1 (TP ₇ - TP ₄ 端子) の出力トリガは ITUチャンネル1のコンペアマッチ	1	0	TPC出力グループ1 (TP ₇ - TP ₄ 端子) の出力トリガは ITUチャンネル2のコンペアマッチ	1	TPC出力グループ1 (TP ₇ - TP ₄ 端子) の出力トリガは ITUチャンネル3のコンペアマッチ	ビット5	ビット4	出力トリガとなるITUのチャンネル選択	0	0	TPC出力グループ2 (TP ₁₁ - TP ₈ 端子) の出力トリガは ITUチャンネル0のコンペアマッチ	1	TPC出力グループ2 (TP ₁₁ - TP ₈ 端子) の出力トリガは ITUチャンネル1のコンペアマッチ	1	0	TPC出力グループ2 (TP ₁₁ - TP ₈ 端子) の出力トリガは ITUチャンネル2のコンペアマッチ	1	TPC出力グループ2 (TP ₁₁ - TP ₈ 端子) の出力トリガは ITUチャンネル3のコンペアマッチ	ビット7	ビット6	出力トリガとなるITUのチャンネル選択	0	0	TPC出力グループ3 (TP ₁₅ - TP ₁₂ 端子) *の出力トリガは ITUチャンネル0のコンペアマッチ	1	TPC出力グループ3 (TP ₁₅ - TP ₁₂ 端子) *の出力トリガは ITUチャンネル1のコンペアマッチ	1	0	TPC出力グループ3 (TP ₁₅ - TP ₁₂ 端子) *の出力トリガは ITUチャンネル2のコンペアマッチ	1	TPC出力グループ3 (TP ₁₅ - TP ₁₂ 端子) *の出力トリガは ITUチャンネル3のコンペアマッチ
G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0																																																							
ビット1	ビット0	出力トリガとなるITUのチャンネル選択																																																												
0	0	TPC出力グループ0 (TP ₃ - TP ₀ 端子) の出力トリガは ITUチャンネル0のコンペアマッチ																																																												
	1	TPC出力グループ0 (TP ₃ - TP ₀ 端子) の出力トリガは ITUチャンネル1のコンペアマッチ																																																												
1	0	TPC出力グループ0 (TP ₃ - TP ₀ 端子) の出力トリガは ITUチャンネル2のコンペアマッチ																																																												
	1	TPC出力グループ0 (TP ₃ - TP ₀ 端子) の出力トリガは ITUチャンネル3のコンペアマッチ																																																												
ビット3	ビット2	出力トリガとなるITUのチャンネル選択																																																												
0	0	TPC出力グループ1 (TP ₇ - TP ₄ 端子) の出力トリガは ITUチャンネル0のコンペアマッチ																																																												
	1	TPC出力グループ1 (TP ₇ - TP ₄ 端子) の出力トリガは ITUチャンネル1のコンペアマッチ																																																												
1	0	TPC出力グループ1 (TP ₇ - TP ₄ 端子) の出力トリガは ITUチャンネル2のコンペアマッチ																																																												
	1	TPC出力グループ1 (TP ₇ - TP ₄ 端子) の出力トリガは ITUチャンネル3のコンペアマッチ																																																												
ビット5	ビット4	出力トリガとなるITUのチャンネル選択																																																												
0	0	TPC出力グループ2 (TP ₁₁ - TP ₈ 端子) の出力トリガは ITUチャンネル0のコンペアマッチ																																																												
	1	TPC出力グループ2 (TP ₁₁ - TP ₈ 端子) の出力トリガは ITUチャンネル1のコンペアマッチ																																																												
1	0	TPC出力グループ2 (TP ₁₁ - TP ₈ 端子) の出力トリガは ITUチャンネル2のコンペアマッチ																																																												
	1	TPC出力グループ2 (TP ₁₁ - TP ₈ 端子) の出力トリガは ITUチャンネル3のコンペアマッチ																																																												
ビット7	ビット6	出力トリガとなるITUのチャンネル選択																																																												
0	0	TPC出力グループ3 (TP ₁₅ - TP ₁₂ 端子) *の出力トリガは ITUチャンネル0のコンペアマッチ																																																												
	1	TPC出力グループ3 (TP ₁₅ - TP ₁₂ 端子) *の出力トリガは ITUチャンネル1のコンペアマッチ																																																												
1	0	TPC出力グループ3 (TP ₁₅ - TP ₁₂ 端子) *の出力トリガは ITUチャンネル2のコンペアマッチ																																																												
	1	TPC出力グループ3 (TP ₁₅ - TP ₁₂ 端子) *の出力トリガは ITUチャンネル3のコンペアマッチ																																																												

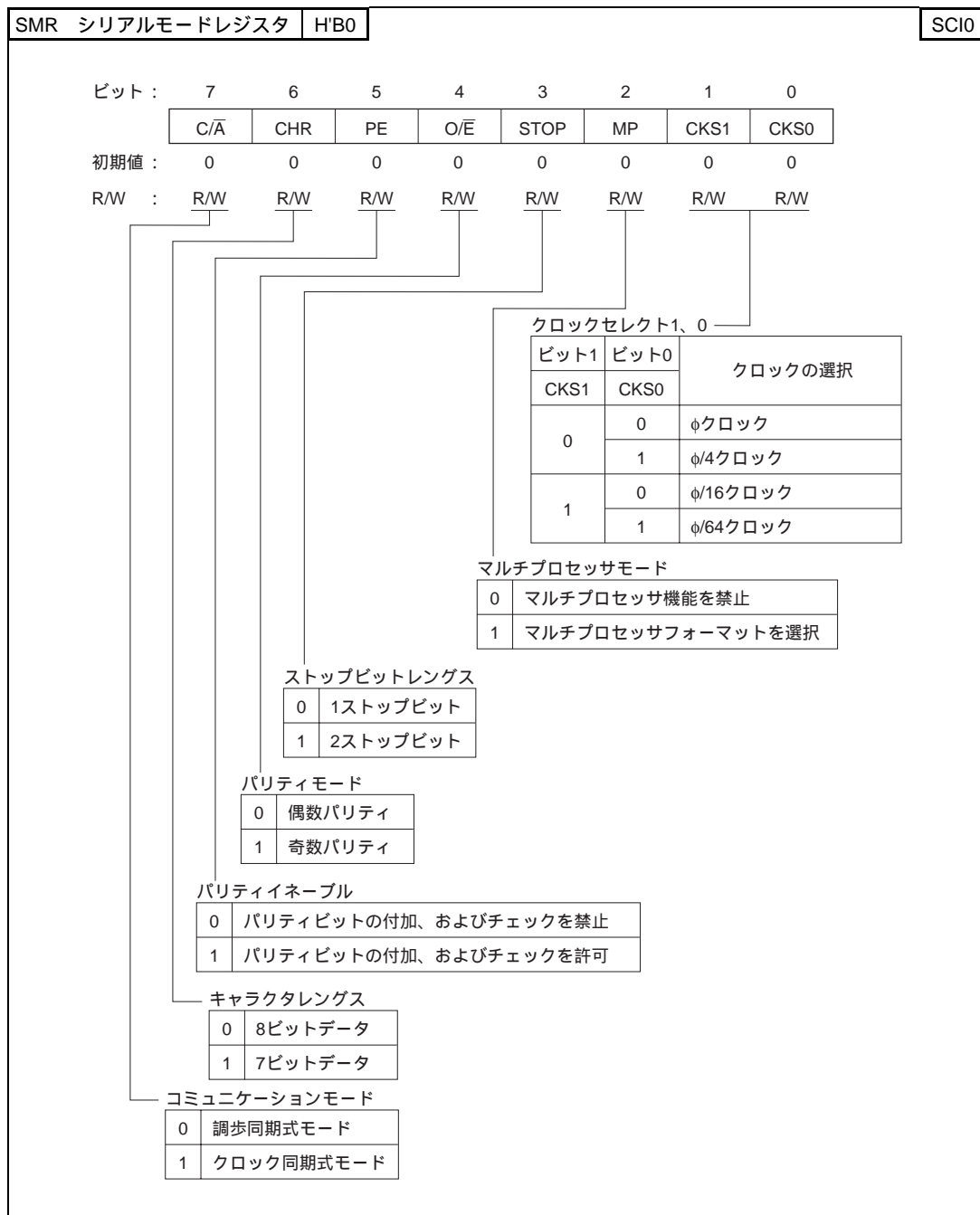
NDERB ネクストデータイネーブルレジスタ B							H'A2		TPC
ビット :	7	6	5	4	3	2	1	0	
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8	
初期値 :	0	0	0	0	0	0	0	0	
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ネクストデータイネーブル15~8									
ビット7~0									
NDER15 ~ NDER8									
	説 明								
0	TPC出力 (TP ₁₅ ~ TP ₈) *を禁止 (NDR15 ~ NDR8からPB ₇ ~ PB ₀ への転送禁止)								
1	TPC出力 (TP ₁₅ ~ TP ₈) *を許可 (NDR15 ~ NDR8からPB ₇ ~ PB ₀ への転送許可)								
【注】* 本LSIでは、TP ₁₄ 端子がありませんのでTP ₁₄ 信号は外部に出力できません									
NDERA ネクストデータイネーブルレジスタ A							H'A3		TPC
ビット :	7	6	5	4	3	2	1	0	
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0	
初期値 :	0	0	0	0	0	0	0	0	
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
ネクストデータイネーブル7~0									
ビット7~0									
NDER7 ~ NDER0									
	説 明								
0	TPC出力TP ₇ ~ TP ₀ を禁止 (NDR7 ~ NDR0からPA ₇ ~ PA ₀ への転送禁止)								
1	TPC出力TP ₇ ~ TP ₀ を許可 (NDR7 ~ NDR0からPA ₇ ~ PA ₀ への転送許可)								

NDRB	ネクストデータレジスタ B	H'A4/H'A6	TPC								
<p>TPC出力グループ2、3の出力トリガが同一の場合</p> <p>(1) アドレス : H'FFA4</p>											
<p>ビット : 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <tr> <td style="border: 1px solid black; width: 12.5%; text-align: center;">NDR15</td> <td style="border: 1px solid black; width: 12.5%; text-align: center;">NDR14</td> <td style="border: 1px solid black; width: 12.5%; text-align: center;">NDR13</td> <td style="border: 1px solid black; width: 12.5%; text-align: center;">NDR12</td> <td style="border: 1px solid black; width: 12.5%; text-align: center;">NDR11</td> <td style="border: 1px solid black; width: 12.5%; text-align: center;">NDR10</td> <td style="border: 1px solid black; width: 12.5%; text-align: center;">NDR9</td> <td style="border: 1px solid black; width: 12.5%; text-align: center;">NDR8</td> </tr> </table> <p>初期値 : 0 0 0 0 0 0 0 0</p> <p>R/W : <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u></p> <div style="display: flex; justify-content: space-around; margin-top: 10px;"> <div style="text-align: center;"> <p>TPC出力(グループ3)*の次の 出力データを格納</p> </div> <div style="text-align: center;"> <p>TPC出力グループ2の次の 出力データを格納</p> </div> </div>				NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8				
<p>(2) アドレス : H'FFA6</p>											
<p>ビット : 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <tr> <td style="border: 1px solid black; width: 12.5%; text-align: center;"> </td> <td style="border: 1px solid black; width: 12.5%; text-align: center;"> </td> <td style="border: 1px solid black; width: 12.5%; text-align: center;"> </td> <td style="border: 1px solid black; width: 12.5%; text-align: center;"> </td> <td style="border: 1px solid black; width: 12.5%; text-align: center;"> </td> <td style="border: 1px solid black; width: 12.5%; text-align: center;"> </td> <td style="border: 1px solid black; width: 12.5%; text-align: center;"> </td> <td style="border: 1px solid black; width: 12.5%; text-align: center;"> </td> </tr> </table> <p>初期値 : 1 1 1 1 1 1 1 1</p> <p>R/W : <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u></p>											
<p>TPC出力グループ2、3の出力トリガが異なるの場合</p> <p>(1) アドレス : H'FFA4</p>											
<p>ビット : 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <tr> <td style="border: 1px solid black; width: 12.5%; text-align: center;">NDR15</td> <td style="border: 1px solid black; width: 12.5%; text-align: center;">NDR14</td> <td style="border: 1px solid black; width: 12.5%; text-align: center;">NDR13</td> <td style="border: 1px solid black; width: 12.5%; text-align: center;">NDR12</td> <td style="border: 1px solid black; width: 12.5%; text-align: center;"> </td> <td style="border: 1px solid black; width: 12.5%; text-align: center;"> </td> <td style="border: 1px solid black; width: 12.5%; text-align: center;"> </td> <td style="border: 1px solid black; width: 12.5%; text-align: center;"> </td> </tr> </table> <p>初期値 : 0 0 0 0 1 1 1 1</p> <p>R/W : <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u></p> <div style="display: flex; justify-content: center; margin-top: 10px;"> <div style="text-align: center;"> <p>TPC出力(グループ3)*の次の 出力データを格納</p> </div> </div>				NDR15	NDR14	NDR13	NDR12				
NDR15	NDR14	NDR13	NDR12								
<p>(2) アドレス : H'FFA6</p>											
<p>ビット : 7 6 5 4 3 2 1 0</p> <table style="width: 100%; border-collapse: collapse; margin-top: 5px;"> <tr> <td style="border: 1px solid black; width: 12.5%; text-align: center;"> </td> <td style="border: 1px solid black; width: 12.5%; text-align: center;"> </td> <td style="border: 1px solid black; width: 12.5%; text-align: center;"> </td> <td style="border: 1px solid black; width: 12.5%; text-align: center;"> </td> <td style="border: 1px solid black; width: 12.5%; text-align: center;">NDR11</td> <td style="border: 1px solid black; width: 12.5%; text-align: center;">NDR10</td> <td style="border: 1px solid black; width: 12.5%; text-align: center;">NDR9</td> <td style="border: 1px solid black; width: 12.5%; text-align: center;">NDR8</td> </tr> </table> <p>初期値 : 1 1 1 1 0 0 0 0</p> <p>R/W : <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u> <u>R/W</u></p> <div style="display: flex; justify-content: center; margin-top: 10px;"> <div style="text-align: center;"> <p>TPC出力グループ2の次の 出力データを格納</p> </div> </div>								NDR11	NDR10	NDR9	NDR8
				NDR11	NDR10	NDR9	NDR8				
<p>【注】* 本LSIでは、TP₁₄端子がありませんのでTP₁₄信号は外部に出力できません</p>											

NDRA ネクストデータレジスタ A	H'A5/H'A7	TPC								
TPC出力グループ0、1の出力トリガが同一の場合										
(1) アドレス : H'FFA5										
ビット :	7 6 5 4 3 2 1 0									
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;">NDR7</td> <td style="width: 12.5%;">NDR6</td> <td style="width: 12.5%;">NDR5</td> <td style="width: 12.5%;">NDR4</td> <td style="width: 12.5%;">NDR3</td> <td style="width: 12.5%;">NDR2</td> <td style="width: 12.5%;">NDR1</td> <td style="width: 12.5%;">NDR0</td> </tr> </table>	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0			
初期値 :	0 0 0 0 0 0 0 0									
R/W :	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;">R/W</td> <td style="width: 12.5%;">R/W</td> <td style="width: 12.5%;">R/W</td> <td style="width: 12.5%;">R/W</td> <td style="width: 12.5%;">R/W</td> <td style="width: 12.5%;">R/W</td> <td style="width: 12.5%;">R/W</td> <td style="width: 12.5%;">R/W</td> </tr> </table>	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W			
	<div style="display: flex; justify-content: space-around; margin-top: 10px;"> <div style="text-align: center;"> TPC出力グループ1の次の 出力データを格納 </div> <div style="text-align: center;"> TPC出力グループ0の次の 出力データを格納 </div> </div>									
(2) アドレス : H'FFA7										
ビット :	7 6 5 4 3 2 1 0									
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>									
初期値 :	1 1 1 1 1 1 1 1									
R/W :	R/W									
TPC出力グループ0、1の出力トリガが異なるの場合										
(1) アドレス : H'FFA5										
ビット :	7 6 5 4 3 2 1 0									
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;">NDR7</td> <td style="width: 12.5%;">NDR6</td> <td style="width: 12.5%;">NDR5</td> <td style="width: 12.5%;">NDR4</td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>	NDR7	NDR6	NDR5	NDR4					
NDR7	NDR6	NDR5	NDR4							
初期値 :	0 0 0 0 1 1 1 1									
R/W :	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;">R/W</td> <td style="width: 12.5%;">R/W</td> <td style="width: 12.5%;">R/W</td> <td style="width: 12.5%;">R/W</td> </tr> </table>	R/W	R/W	R/W	R/W					
R/W	R/W	R/W	R/W							
	<div style="text-align: center; margin-top: 10px;"> TPC出力グループ1の次の 出力データを格納 </div>									
(2) アドレス : H'FFA7										
ビット :	7 6 5 4 3 2 1 0									
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;">NDR3</td> <td style="width: 12.5%;">NDR2</td> <td style="width: 12.5%;">NDR1</td> <td style="width: 12.5%;">NDR0</td> </tr> </table>					NDR3	NDR2	NDR1	NDR0	
				NDR3	NDR2	NDR1	NDR0			
初期値 :	1 1 1 1 0 0 0 0									
R/W :	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;">R/W</td> <td style="width: 12.5%;">R/W</td> <td style="width: 12.5%;">R/W</td> <td style="width: 12.5%;">R/W</td> </tr> </table>					R/W	R/W	R/W	R/W	
				R/W	R/W	R/W	R/W			
	<div style="text-align: center; margin-top: 10px;"> TPC出力グループ0の次の 出力データを格納 </div>									

TCSR タイマコントロール/ステータスレジスタ	H'A8	WDT																										
ビット : 7 6 5 4 3 2 1 0																												
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;">OVF</td> <td style="width: 12.5%;">WT/IT</td> <td style="width: 12.5%;">TME</td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;">CKS2</td> <td style="width: 12.5%;">CKS1</td> <td style="width: 12.5%;">CKS0</td> </tr> </table>			OVF	WT/IT	TME			CKS2	CKS1	CKS0																		
OVF	WT/IT	TME			CKS2	CKS1	CKS0																					
初期値 : 0 0 0 1 1 0 0 0																												
R/W : R/(W)* R/W R/W R/W R/W R/W																												
クロックセレクト2~0																												
<table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>CKS2</th> <th>CKS1</th> <th>CKS0</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td rowspan="4" style="text-align: center;">0</td> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>$\phi/2$</td> </tr> <tr> <td style="text-align: center;">1</td> <td>$\phi/32$</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>$\phi/64$</td> </tr> <tr> <td style="text-align: center;">1</td> <td>$\phi/128$</td> </tr> <tr> <td rowspan="4" style="text-align: center;">1</td> <td rowspan="2" style="text-align: center;">0</td> <td style="text-align: center;">0</td> <td>$\phi/256$</td> </tr> <tr> <td style="text-align: center;">1</td> <td>$\phi/512$</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td style="text-align: center;">0</td> <td>$\phi/2048$</td> </tr> <tr> <td style="text-align: center;">1</td> <td>$\phi/4096$</td> </tr> </tbody> </table>			CKS2	CKS1	CKS0	説明	0	0	0	$\phi/2$	1	$\phi/32$	1	0	$\phi/64$	1	$\phi/128$	1	0	0	$\phi/256$	1	$\phi/512$	1	0	$\phi/2048$	1	$\phi/4096$
CKS2	CKS1	CKS0	説明																									
0	0	0	$\phi/2$																									
		1	$\phi/32$																									
	1	0	$\phi/64$																									
		1	$\phi/128$																									
1	0	0	$\phi/256$																									
		1	$\phi/512$																									
	1	0	$\phi/2048$																									
		1	$\phi/4096$																									
タイマイネーブル																												
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%; text-align: center;">0</td> <td>TCNTをH'00に初期化し、カウントアップを停止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>TCNTはカウントアップ開始</td> </tr> </table>			0	TCNTをH'00に初期化し、カウントアップを停止	1	TCNTはカウントアップ開始																						
0	TCNTをH'00に初期化し、カウントアップを停止																											
1	TCNTはカウントアップ開始																											
タイマモードセレクト																												
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%; text-align: center;">0</td> <td>インターバルタイマモード (インターバルタイマ割り込み要求)</td> </tr> <tr> <td style="text-align: center;">1</td> <td>ウォッチドッグタイマモード (リセット信号を発生)</td> </tr> </table>			0	インターバルタイマモード (インターバルタイマ割り込み要求)	1	ウォッチドッグタイマモード (リセット信号を発生)																						
0	インターバルタイマモード (インターバルタイマ割り込み要求)																											
1	ウォッチドッグタイマモード (リセット信号を発生)																											
オーバフローフラグ																												
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%; text-align: center;">0</td> <td>[クリア条件] OVF = 1の状態でのOVFフラグをリードした後、 OVFフラグに0をライトしたとき</td> </tr> <tr> <td style="text-align: center;">1</td> <td>[セット条件] TCNTがH'FF→H'00に変化したとき</td> </tr> </table>			0	[クリア条件] OVF = 1の状態でのOVFフラグをリードした後、 OVFフラグに0をライトしたとき	1	[セット条件] TCNTがH'FF→H'00に変化したとき																						
0	[クリア条件] OVF = 1の状態でのOVFフラグをリードした後、 OVFフラグに0をライトしたとき																											
1	[セット条件] TCNTがH'FF→H'00に変化したとき																											
【注】 * フラグをクリアするための0ライトのみ可能です。																												

TCNT タイマカウンタ	H'A9 リード時、H'A8 ライト時	WDT								
ビット :	7 6 5 4 3 2 1 0									
	<table border="1" style="width: 100%; text-align: center;"><tr><td style="width: 25px; height: 20px;"></td><td style="width: 25px; height: 20px;"></td><td style="width: 25px; height: 20px;"></td><td style="width: 25px; height: 20px;"></td><td style="width: 25px; height: 20px;"></td><td style="width: 25px; height: 20px;"></td><td style="width: 25px; height: 20px;"></td><td style="width: 25px; height: 20px;"></td></tr></table>									
初期値 :	0 0 0 0 0 0 0 0									
R/W :	R/W R/W R/W R/W R/W R/W R/W R/W									
	 カウント値									
RSTCSR リセットコントロール/ステータスレジスタ	H'AB リード時、H'AA ライト時	WDT								
ビット :	7 6 5 4 3 2 1 0									
	<table border="1" style="width: 100%; text-align: center;"><tr><td style="width: 25px; height: 20px;">WRST</td><td style="width: 25px; height: 20px;">RSTOE</td><td style="width: 25px; height: 20px;"></td><td style="width: 25px; height: 20px;"></td><td style="width: 25px; height: 20px;"></td><td style="width: 25px; height: 20px;"></td><td style="width: 25px; height: 20px;"></td><td style="width: 25px; height: 20px;"></td></tr></table>	WRST	RSTOE							
WRST	RSTOE									
初期値 :	0 0 1 1 1 1 1 1									
R/W :	R/(W)* R/W									
	 リセット出力イネーブル									
	<table border="1" style="width: 100%;"><tr><td style="width: 20px; text-align: center;">0</td><td>リセット信号を外部に出力しない</td></tr><tr><td style="text-align: center;">1</td><td>リセット信号を外部に出力する</td></tr></table>	0	リセット信号を外部に出力しない	1	リセット信号を外部に出力する					
0	リセット信号を外部に出力しない									
1	リセット信号を外部に出力する									
	 ウォッチドッグタイマリセット									
	<table border="1" style="width: 100%;"><tr><td style="width: 20px; text-align: center;">0</td><td>[クリア条件] RES端子によるリセット信号またはソフトウェアによる0クリア</td></tr><tr><td style="text-align: center;">1</td><td>[セット条件] TCNTがオーバフローし、リセット信号が発生したとき</td></tr></table>	0	[クリア条件] RES端子によるリセット信号またはソフトウェアによる0クリア	1	[セット条件] TCNTがオーバフローし、リセット信号が発生したとき					
0	[クリア条件] RES端子によるリセット信号またはソフトウェアによる0クリア									
1	[セット条件] TCNTがオーバフローし、リセット信号が発生したとき									
【注】 * ビット7は、フラグをクリアする0ライトのみ可能です。										



BBR ビットレートレジスタ		H'B1						SCI0
ビット :	7	6	5	4	3	2	1	0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
シリアル送信 / 受信のビットレートを設定								

SCR シリアルコントロールレジスタ	H'B2	SCI0																														
ビット :	7 6 5 4 3 2 1 0																															
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;">TIE</td> <td style="width: 12.5%;">RIE</td> <td style="width: 12.5%;">TE</td> <td style="width: 12.5%;">RE</td> <td style="width: 12.5%;">MPIE</td> <td style="width: 12.5%;">TEIE</td> <td style="width: 12.5%;">CKE1</td> <td style="width: 12.5%;">CKE0</td> </tr> </table>	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0																							
TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0																									
初期値 :	0 0 0 0 0 0 0 0																															
R/W :	R/W R/W R/W R/W R/W R/W R/W R/W																															
<div style="border: 1px solid black; padding: 5px; margin-bottom: 10px;"> クロックイネーブル1、0 </div> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">ビット2</th> <th style="width: 10%;">ビット1</th> <th colspan="2" style="text-align: center;">クロックの選択、出力の許可</th> </tr> <tr> <th>CKE1</th> <th>CKE2</th> <th></th> <th></th> </tr> </thead> <tbody> <tr> <td rowspan="4" style="text-align: center;">0</td> <td rowspan="2" style="text-align: center;">0</td> <td>調歩同期式モード</td> <td>内部クロック / SCK端子は入出力ポート</td> </tr> <tr> <td>クロック同期式モード</td> <td>内部クロック / SCK端子は同期クロック出力</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td>調歩同期式モード</td> <td>内部クロック / SCK端子はクロック出力</td> </tr> <tr> <td>クロック同期式モード</td> <td>内部クロック / SCK端子は同期クロック出力</td> </tr> <tr> <td rowspan="4" style="text-align: center;">1</td> <td rowspan="2" style="text-align: center;">0</td> <td>調歩同期式モード</td> <td>外部クロック / SCK端子はクロック入力</td> </tr> <tr> <td>クロック同期式モード</td> <td>外部クロック / SCK端子は同期クロック入力</td> </tr> <tr> <td rowspan="2" style="text-align: center;">1</td> <td>調歩同期式モード</td> <td>外部クロック / SCK端子はクロック入力</td> </tr> <tr> <td>クロック同期式モード</td> <td>外部クロック / SCK端子は同期クロック入力</td> </tr> </tbody> </table>			ビット2	ビット1	クロックの選択、出力の許可		CKE1	CKE2			0	0	調歩同期式モード	内部クロック / SCK端子は入出力ポート	クロック同期式モード	内部クロック / SCK端子は同期クロック出力	1	調歩同期式モード	内部クロック / SCK端子はクロック出力	クロック同期式モード	内部クロック / SCK端子は同期クロック出力	1	0	調歩同期式モード	外部クロック / SCK端子はクロック入力	クロック同期式モード	外部クロック / SCK端子は同期クロック入力	1	調歩同期式モード	外部クロック / SCK端子はクロック入力	クロック同期式モード	外部クロック / SCK端子は同期クロック入力
ビット2	ビット1	クロックの選択、出力の許可																														
CKE1	CKE2																															
0	0	調歩同期式モード	内部クロック / SCK端子は入出力ポート																													
		クロック同期式モード	内部クロック / SCK端子は同期クロック出力																													
	1	調歩同期式モード	内部クロック / SCK端子はクロック出力																													
		クロック同期式モード	内部クロック / SCK端子は同期クロック出力																													
1	0	調歩同期式モード	外部クロック / SCK端子はクロック入力																													
		クロック同期式モード	外部クロック / SCK端子は同期クロック入力																													
	1	調歩同期式モード	外部クロック / SCK端子はクロック入力																													
		クロック同期式モード	外部クロック / SCK端子は同期クロック入力																													
トランスミットエンドインタラプトイネーブル																																
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 30px; text-align: center;">0</td> <td>送信終了割り込み (TEI) 要求を禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>送信終了割り込み (TEI) 要求を許可</td> </tr> </table>			0	送信終了割り込み (TEI) 要求を禁止	1	送信終了割り込み (TEI) 要求を許可																										
0	送信終了割り込み (TEI) 要求を禁止																															
1	送信終了割り込み (TEI) 要求を許可																															
マルチプロセッサインタラプトイネーブル																																
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 30px; text-align: center;">0</td> <td>マルチプロセッサ割り込みを禁止 (通常の受信動作を行う)</td> </tr> <tr> <td style="text-align: center;">1</td> <td>マルチプロセッサ割り込みを許可</td> </tr> </table>			0	マルチプロセッサ割り込みを禁止 (通常の受信動作を行う)	1	マルチプロセッサ割り込みを許可																										
0	マルチプロセッサ割り込みを禁止 (通常の受信動作を行う)																															
1	マルチプロセッサ割り込みを許可																															
レシーブイネーブル																																
トランスミットイネーブル																																
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 30px; text-align: center;">0</td> <td>送信動作を禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>送信動作を許可</td> </tr> </table>			0	送信動作を禁止	1	送信動作を許可																										
0	送信動作を禁止																															
1	送信動作を許可																															
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 30px; text-align: center;">0</td> <td>受信動作を禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>受信動作を許可</td> </tr> </table>			0	受信動作を禁止	1	受信動作を許可																										
0	受信動作を禁止																															
1	受信動作を許可																															
レシーブインタラプトイネーブル																																
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 30px; text-align: center;">0</td> <td>受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を許可</td> </tr> </table>			0	受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を禁止	1	受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を許可																										
0	受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を禁止																															
1	受信データフル割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求を許可																															
トランスミットインタラプトイネーブル																																
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 30px; text-align: center;">0</td> <td>送信データエンプティ割り込み (TXI) 要求を禁止</td> </tr> <tr> <td style="text-align: center;">1</td> <td>送信データエンプティ割り込み (TXI) 要求を許可</td> </tr> </table>			0	送信データエンプティ割り込み (TXI) 要求を禁止	1	送信データエンプティ割り込み (TXI) 要求を許可																										
0	送信データエンプティ割り込み (TXI) 要求を禁止																															
1	送信データエンプティ割り込み (TXI) 要求を許可																															

TDR トランスミットデータレジスタ							HB3	SCI0
ビット :	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
↓ シリアル送信データを格納								

SSR シリアルステータスレジスタ H'B4	SCI0																																																															
ビット： 7 6 5 4 3 2 1 0																																																																
<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 12.5%;">TDRE</td> <td style="width: 12.5%;">RDRF</td> <td style="width: 12.5%;">ORER</td> <td style="width: 12.5%;">FER</td> <td style="width: 12.5%;">PER</td> <td style="width: 12.5%;">TEND</td> <td style="width: 12.5%;">MPB</td> <td style="width: 12.5%;">MPBT</td> </tr> </table>	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT																																																								
TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT																																																									
初期値： 1 0 0 0 0 1 0 0																																																																
R/W： R/(W)* R/(W)* R/(W)* R/(W)* R/(W)* R R R/W																																																																
<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20%;"></td> <td style="width: 80%;"> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">マルチプロセッサビットトランスファ</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td>マルチプロセッサビットが0のデータを送信</td> </tr> <tr> <td style="text-align: center;">1</td> <td>マルチプロセッサビットが1のデータを送信</td> </tr> </table> </td> </tr> <tr> <td></td> <td> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">マルチプロセッサビット</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td>マルチプロセッサビットが0のデータを受信</td> </tr> <tr> <td style="text-align: center;">1</td> <td>マルチプロセッサビットが1のデータを受信</td> </tr> </table> </td> </tr> <tr> <td></td> <td> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">トランスミットエンド</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td> [クリア条件] TDRE = 1の状態をリードした後、0をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> [セット条件] 1. リセット、またはスタンバイモード時 2. SCRのTEビットが0のとき 3. 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE = 1のとき </td> </tr> </table> </td> </tr> <tr> <td></td> <td> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">パリティエラー</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td> [クリア条件] 1. リセット、またはスタンバイモード時 2. PER = 1の状態をリードした後、0をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> [セット条件] パリティエラーが発生したとき（受信したデータのパリティがSMRのO/Eビットで設定したパリティと一致しなかったとき） </td> </tr> </table> </td> </tr> <tr> <td></td> <td> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">フレーミングエラー</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td> [クリア条件] 1. リセット、またはスタンバイモード時 2. FER = 1の状態をリードした後、0をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> [セット条件] フレーミングエラーが発生したとき（ストップビットが0の場合） </td> </tr> </table> </td> </tr> <tr> <td></td> <td> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">オーバランエラー</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td> [クリア条件] 1. リセット、またはスタンバイモード時 2. ORER = 1の状態をリードした後、0をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> [セット条件] オーバランエラーが発生したとき（RDRF = 1の状態下次のデータが受信完了したとき） </td> </tr> </table> </td> </tr> <tr> <td></td> <td> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">レシーブデータレジスタフル</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td> [クリア条件] 1. リセット、またはスタンバイモード時 2. RDRF = 1の状態をリードした後、0をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> [セット条件] データが正常に受信され、RSRからRDRへデータが転送されたとき </td> </tr> </table> </td> </tr> <tr> <td></td> <td> <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">トランスミットデータレジスタエンpty</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td> [クリア条件] TDRE = 1の状態をリードした後、0をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> [セット条件] 1. リセット、またはスタンバイモード時 2. SCRのTEビットが0のとき 3. TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき </td> </tr> </table> </td> </tr> </table>		<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">マルチプロセッサビットトランスファ</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td>マルチプロセッサビットが0のデータを送信</td> </tr> <tr> <td style="text-align: center;">1</td> <td>マルチプロセッサビットが1のデータを送信</td> </tr> </table>	マルチプロセッサビットトランスファ		0	マルチプロセッサビットが0のデータを送信	1	マルチプロセッサビットが1のデータを送信		<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">マルチプロセッサビット</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td>マルチプロセッサビットが0のデータを受信</td> </tr> <tr> <td style="text-align: center;">1</td> <td>マルチプロセッサビットが1のデータを受信</td> </tr> </table>	マルチプロセッサビット		0	マルチプロセッサビットが0のデータを受信	1	マルチプロセッサビットが1のデータを受信		<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">トランスミットエンド</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td> [クリア条件] TDRE = 1の状態をリードした後、0をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> [セット条件] 1. リセット、またはスタンバイモード時 2. SCRのTEビットが0のとき 3. 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE = 1のとき </td> </tr> </table>	トランスミットエンド		0	[クリア条件] TDRE = 1の状態をリードした後、0をライトしたとき	1	[セット条件] 1. リセット、またはスタンバイモード時 2. SCRのTEビットが0のとき 3. 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE = 1のとき		<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">パリティエラー</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td> [クリア条件] 1. リセット、またはスタンバイモード時 2. PER = 1の状態をリードした後、0をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> [セット条件] パリティエラーが発生したとき（受信したデータのパリティがSMRのO/Eビットで設定したパリティと一致しなかったとき） </td> </tr> </table>	パリティエラー		0	[クリア条件] 1. リセット、またはスタンバイモード時 2. PER = 1の状態をリードした後、0をライトしたとき	1	[セット条件] パリティエラーが発生したとき（受信したデータのパリティがSMRのO/Eビットで設定したパリティと一致しなかったとき）		<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">フレーミングエラー</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td> [クリア条件] 1. リセット、またはスタンバイモード時 2. FER = 1の状態をリードした後、0をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> [セット条件] フレーミングエラーが発生したとき（ストップビットが0の場合） </td> </tr> </table>	フレーミングエラー		0	[クリア条件] 1. リセット、またはスタンバイモード時 2. FER = 1の状態をリードした後、0をライトしたとき	1	[セット条件] フレーミングエラーが発生したとき（ストップビットが0の場合）		<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">オーバランエラー</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td> [クリア条件] 1. リセット、またはスタンバイモード時 2. ORER = 1の状態をリードした後、0をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> [セット条件] オーバランエラーが発生したとき（RDRF = 1の状態下次のデータが受信完了したとき） </td> </tr> </table>	オーバランエラー		0	[クリア条件] 1. リセット、またはスタンバイモード時 2. ORER = 1の状態をリードした後、0をライトしたとき	1	[セット条件] オーバランエラーが発生したとき（RDRF = 1の状態下次のデータが受信完了したとき）		<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">レシーブデータレジスタフル</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td> [クリア条件] 1. リセット、またはスタンバイモード時 2. RDRF = 1の状態をリードした後、0をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> [セット条件] データが正常に受信され、RSRからRDRへデータが転送されたとき </td> </tr> </table>	レシーブデータレジスタフル		0	[クリア条件] 1. リセット、またはスタンバイモード時 2. RDRF = 1の状態をリードした後、0をライトしたとき	1	[セット条件] データが正常に受信され、RSRからRDRへデータが転送されたとき		<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">トランスミットデータレジスタエンpty</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td> [クリア条件] TDRE = 1の状態をリードした後、0をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> [セット条件] 1. リセット、またはスタンバイモード時 2. SCRのTEビットが0のとき 3. TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき </td> </tr> </table>	トランスミットデータレジスタエンpty		0	[クリア条件] TDRE = 1の状態をリードした後、0をライトしたとき	1	[セット条件] 1. リセット、またはスタンバイモード時 2. SCRのTEビットが0のとき 3. TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">マルチプロセッサビットトランスファ</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td>マルチプロセッサビットが0のデータを送信</td> </tr> <tr> <td style="text-align: center;">1</td> <td>マルチプロセッサビットが1のデータを送信</td> </tr> </table>	マルチプロセッサビットトランスファ		0	マルチプロセッサビットが0のデータを送信	1	マルチプロセッサビットが1のデータを送信																																																									
マルチプロセッサビットトランスファ																																																																
0	マルチプロセッサビットが0のデータを送信																																																															
1	マルチプロセッサビットが1のデータを送信																																																															
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">マルチプロセッサビット</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td>マルチプロセッサビットが0のデータを受信</td> </tr> <tr> <td style="text-align: center;">1</td> <td>マルチプロセッサビットが1のデータを受信</td> </tr> </table>	マルチプロセッサビット		0	マルチプロセッサビットが0のデータを受信	1	マルチプロセッサビットが1のデータを受信																																																									
マルチプロセッサビット																																																																
0	マルチプロセッサビットが0のデータを受信																																																															
1	マルチプロセッサビットが1のデータを受信																																																															
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">トランスミットエンド</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td> [クリア条件] TDRE = 1の状態をリードした後、0をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> [セット条件] 1. リセット、またはスタンバイモード時 2. SCRのTEビットが0のとき 3. 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE = 1のとき </td> </tr> </table>	トランスミットエンド		0	[クリア条件] TDRE = 1の状態をリードした後、0をライトしたとき	1	[セット条件] 1. リセット、またはスタンバイモード時 2. SCRのTEビットが0のとき 3. 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE = 1のとき																																																									
トランスミットエンド																																																																
0	[クリア条件] TDRE = 1の状態をリードした後、0をライトしたとき																																																															
1	[セット条件] 1. リセット、またはスタンバイモード時 2. SCRのTEビットが0のとき 3. 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE = 1のとき																																																															
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">パリティエラー</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td> [クリア条件] 1. リセット、またはスタンバイモード時 2. PER = 1の状態をリードした後、0をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> [セット条件] パリティエラーが発生したとき（受信したデータのパリティがSMRのO/Eビットで設定したパリティと一致しなかったとき） </td> </tr> </table>	パリティエラー		0	[クリア条件] 1. リセット、またはスタンバイモード時 2. PER = 1の状態をリードした後、0をライトしたとき	1	[セット条件] パリティエラーが発生したとき（受信したデータのパリティがSMRのO/Eビットで設定したパリティと一致しなかったとき）																																																									
パリティエラー																																																																
0	[クリア条件] 1. リセット、またはスタンバイモード時 2. PER = 1の状態をリードした後、0をライトしたとき																																																															
1	[セット条件] パリティエラーが発生したとき（受信したデータのパリティがSMRのO/Eビットで設定したパリティと一致しなかったとき）																																																															
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">フレーミングエラー</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td> [クリア条件] 1. リセット、またはスタンバイモード時 2. FER = 1の状態をリードした後、0をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> [セット条件] フレーミングエラーが発生したとき（ストップビットが0の場合） </td> </tr> </table>	フレーミングエラー		0	[クリア条件] 1. リセット、またはスタンバイモード時 2. FER = 1の状態をリードした後、0をライトしたとき	1	[セット条件] フレーミングエラーが発生したとき（ストップビットが0の場合）																																																									
フレーミングエラー																																																																
0	[クリア条件] 1. リセット、またはスタンバイモード時 2. FER = 1の状態をリードした後、0をライトしたとき																																																															
1	[セット条件] フレーミングエラーが発生したとき（ストップビットが0の場合）																																																															
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">オーバランエラー</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td> [クリア条件] 1. リセット、またはスタンバイモード時 2. ORER = 1の状態をリードした後、0をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> [セット条件] オーバランエラーが発生したとき（RDRF = 1の状態下次のデータが受信完了したとき） </td> </tr> </table>	オーバランエラー		0	[クリア条件] 1. リセット、またはスタンバイモード時 2. ORER = 1の状態をリードした後、0をライトしたとき	1	[セット条件] オーバランエラーが発生したとき（RDRF = 1の状態下次のデータが受信完了したとき）																																																									
オーバランエラー																																																																
0	[クリア条件] 1. リセット、またはスタンバイモード時 2. ORER = 1の状態をリードした後、0をライトしたとき																																																															
1	[セット条件] オーバランエラーが発生したとき（RDRF = 1の状態下次のデータが受信完了したとき）																																																															
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">レシーブデータレジスタフル</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td> [クリア条件] 1. リセット、またはスタンバイモード時 2. RDRF = 1の状態をリードした後、0をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> [セット条件] データが正常に受信され、RSRからRDRへデータが転送されたとき </td> </tr> </table>	レシーブデータレジスタフル		0	[クリア条件] 1. リセット、またはスタンバイモード時 2. RDRF = 1の状態をリードした後、0をライトしたとき	1	[セット条件] データが正常に受信され、RSRからRDRへデータが転送されたとき																																																									
レシーブデータレジスタフル																																																																
0	[クリア条件] 1. リセット、またはスタンバイモード時 2. RDRF = 1の状態をリードした後、0をライトしたとき																																																															
1	[セット条件] データが正常に受信され、RSRからRDRへデータが転送されたとき																																																															
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td colspan="2" style="text-align: center;">トランスミットデータレジスタエンpty</td> </tr> <tr> <td style="width: 20%; text-align: center;">0</td> <td> [クリア条件] TDRE = 1の状態をリードした後、0をライトしたとき </td> </tr> <tr> <td style="text-align: center;">1</td> <td> [セット条件] 1. リセット、またはスタンバイモード時 2. SCRのTEビットが0のとき 3. TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき </td> </tr> </table>	トランスミットデータレジスタエンpty		0	[クリア条件] TDRE = 1の状態をリードした後、0をライトしたとき	1	[セット条件] 1. リセット、またはスタンバイモード時 2. SCRのTEビットが0のとき 3. TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき																																																									
トランスミットデータレジスタエンpty																																																																
0	[クリア条件] TDRE = 1の状態をリードした後、0をライトしたとき																																																															
1	[セット条件] 1. リセット、またはスタンバイモード時 2. SCRのTEビットが0のとき 3. TDRからTSRにデータ転送が行われ、TDRにデータライトが可能になったとき																																																															

【注】 * フラグをクリアするための0ライトのみ可能です。

RDR レシーブデータレジスタ		H'B5		SCI0				
ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
シリアル受信データを格納								

SCMR スマートカードモードレジスタ		H'B6		SCI0								
ビット :	7	6	5	4	3	2	1	0				
					SDIR	SINV		SMIF				
初期値 :	1	1	1	1	0	0	1	0				
R/W :					R/W	R/W		R/W				
スマートカードインタフェースモードセレクト												
<table border="1"> <tr> <td>0</td> <td>スマートカードインタフェース機能を禁止 (初期値)</td> </tr> <tr> <td>1</td> <td>スマートカードインタフェース機能を許可</td> </tr> </table>									0	スマートカードインタフェース機能を禁止 (初期値)	1	スマートカードインタフェース機能を許可
0	スマートカードインタフェース機能を禁止 (初期値)											
1	スマートカードインタフェース機能を許可											
スマートカードデータインバート												
<table border="1"> <tr> <td>0</td> <td>TDRの内容をそのまま送信 (初期値) 受信データをそのままRDRに格納</td> </tr> <tr> <td>1</td> <td>TDRの内容を反転してデータ送信 受信データを反転してRDRに格納</td> </tr> </table>									0	TDRの内容をそのまま送信 (初期値) 受信データをそのままRDRに格納	1	TDRの内容を反転してデータ送信 受信データを反転してRDRに格納
0	TDRの内容をそのまま送信 (初期値) 受信データをそのままRDRに格納											
1	TDRの内容を反転してデータ送信 受信データを反転してRDRに格納											
スマートカードデータトランスファディレクション												
<table border="1"> <tr> <td>0</td> <td>TDRの内容をLSBファーストで送信 (初期値) 受信データをLSBファーストでRDRに格納</td> </tr> <tr> <td>1</td> <td>TDRの内容をMSBファーストで送信 受信データをMSBファーストでRDRに格納</td> </tr> </table>									0	TDRの内容をLSBファーストで送信 (初期値) 受信データをLSBファーストでRDRに格納	1	TDRの内容をMSBファーストで送信 受信データをMSBファーストでRDRに格納
0	TDRの内容をLSBファーストで送信 (初期値) 受信データをLSBファーストでRDRに格納											
1	TDRの内容をMSBファーストで送信 受信データをMSBファーストでRDRに格納											

SSR シリアルステータスレジスタ		H'BC						SCI1
ビット :	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W
機能はSCI0と同じです。								
【注】 * フラグをクリアするための0ライトのみ可能です。								
RDR レシーブデータレジスタ		H'BD						SCI1
ビット :	7	6	5	4	3	2	1	0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
機能はSCI0と同じです。								

P1DDR ポート1 データディレクションレジスタ		H'C0							ポート1					
		ビット :	7	6	5	4	3	2	1	0				
			P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR				
モード1、3	初期値 :	1	1	1	1	1	1	1	1	1				
	R/W :													
モード5~7	初期値 :	0	0	0	0	0	0	0	0	0				
	R/W :	W	W	W	W	W	W	W	W	W				
		 ポート1入出力選択 <table border="1" style="margin: auto;"> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">入力ポート</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">出力ポート</td> </tr> </table>									0	入力ポート	1	出力ポート
0	入力ポート													
1	出力ポート													

P2DDR ポート2 データディレクションレジスタ		H'C1							ポート2					
		ビット :	7	6	5	4	3	2	1	0				
			P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR				
モード1、3	初期値 :	1	1	1	1	1	1	1	1	1				
	R/W :													
モード5~7	初期値 :	0	0	0	0	0	0	0	0	0				
	R/W :	W	W	W	W	W	W	W	W	W				
		 ポート2入出力選択 <table border="1" style="margin: auto;"> <tr> <td style="text-align: center;">0</td> <td style="text-align: center;">入力ポート</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="text-align: center;">出力ポート</td> </tr> </table>									0	入力ポート	1	出力ポート
0	入力ポート													
1	出力ポート													

P1DR ポート1データレジスタ		H'C2						ポート1
ビット:	7	6	5	4	3	2	1	0
	P1 ₇	P1 ₆	P1 ₅	P1 ₄	P1 ₃	P1 ₂	P1 ₁	P1 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ポート1の各端子のデータを格納								
P2DR ポート2データレジスタ		H'C3						ポート2
ビット:	7	6	5	4	3	2	1	0
	P2 ₇	P2 ₆	P2 ₅	P2 ₄	P2 ₃	P2 ₂	P2 ₁	P2 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ポート2の各端子のデータを格納								
P3DDR ポート3データディレクションレジスタ		H'C4						ポート3
ビット:	7	6	5	4	3	2	1	0
	P3 ₇ DDR	P3 ₆ DDR	P3 ₅ DDR	P3 ₄ DDR	P3 ₃ DDR	P3 ₂ DDR	P3 ₁ DDR	P3 ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W
ポート3入出力選択								
0		入力ポート						
1		出力ポート						

P5DR ポート5データレジスタ	H'CA	ポート5								
ビット：	7 6 5 4 3 2 1 0									
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 25%;"></td> <td style="width: 25%;"></td> <td style="width: 25%; text-align: center;">P5₃</td> <td style="width: 25%; text-align: center;">P5₂</td> <td style="width: 25%; text-align: center;">P5₁</td> <td style="width: 25%; text-align: center;">P5₀</td> </tr> </table>			P5 ₃	P5 ₂	P5 ₁	P5 ₀			
		P5 ₃	P5 ₂	P5 ₁	P5 ₀					
初期値：	1 1 1 1 0 0 0 0									
R/W：	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 25%;"></td> <td style="width: 25%;"></td> <td style="width: 25%; text-align: center;">R/W</td> <td style="width: 25%; text-align: center;">R/W</td> <td style="width: 25%; text-align: center;">R/W</td> <td style="width: 25%; text-align: center;">R/W</td> </tr> </table>			R/W	R/W	R/W	R/W			
		R/W	R/W	R/W	R/W					
<div style="margin-left: 200px;"> </div> <p>ポート5の各端子のデータを格納</p>										
P6DR ポート6データレジスタ	H'CB	ポート6								
ビット：	7 6 5 4 3 2 1 0									
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 25%;"></td> <td style="width: 25%;"></td> <td style="width: 25%; text-align: center;">P6₅</td> <td style="width: 25%; text-align: center;">P6₄</td> <td style="width: 25%; text-align: center;">P6₃</td> <td style="width: 25%;"></td> <td style="width: 25%;"></td> <td style="width: 25%; text-align: center;">P6₀</td> </tr> </table>			P6 ₅	P6 ₄	P6 ₃			P6 ₀	
		P6 ₅	P6 ₄	P6 ₃			P6 ₀			
初期値：	1 0 0 0 0 0 0 0									
R/W：	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 25%;"></td> <td style="width: 25%; text-align: center;">R/W</td> <td style="width: 25%; text-align: center;">R/W</td> <td style="width: 25%; text-align: center;">R/W</td> <td style="width: 25%; text-align: center;">R/W</td> <td style="width: 25%; text-align: center;">R/W</td> <td style="width: 25%; text-align: center;">R/W</td> <td style="width: 25%; text-align: center;">R/W</td> </tr> </table>		R/W	R/W	R/W	R/W	R/W	R/W	R/W	
	R/W	R/W	R/W	R/W	R/W	R/W	R/W			
<div style="margin-left: 200px;"> </div> <p>ポート6の各端子のデータを格納</p>										
P8DDR ポート8データディレクションレジスタ	H'CD	ポート8								
ビット：	7 6 5 4 3 2 1 0									
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 25%;"></td> <td style="width: 25%;"></td> <td style="width: 25%;"></td> <td style="width: 25%;"></td> <td style="width: 25%;"></td> <td style="width: 25%;"></td> <td style="width: 25%; text-align: center;">P8₁DDR</td> <td style="width: 25%; text-align: center;">P8₀DDR</td> </tr> </table>							P8 ₁ DDR	P8 ₀ DDR	
						P8 ₁ DDR	P8 ₀ DDR			
初期値：	1 1 1 0 0 0 0 0									
R/W：	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 25%;"></td> <td style="width: 25%;"></td> <td style="width: 25%; text-align: center;">W</td> <td style="width: 25%; text-align: center;">W</td> <td style="width: 25%; text-align: center;">W</td> <td style="width: 25%;"></td> <td style="width: 25%; text-align: center;">W</td> <td style="width: 25%; text-align: center;">W</td> </tr> </table>			W	W	W		W	W	
		W	W	W		W	W			
<div style="margin-left: 200px;"> </div> <p>ポート8入出力選択</p> <table border="1" style="margin-left: 200px; border-collapse: collapse;"> <tr> <td style="width: 20px; text-align: center;">0</td> <td>入力ポート</td> </tr> <tr> <td style="width: 20px; text-align: center;">1</td> <td>出力ポート</td> </tr> </table>			0	入力ポート	1	出力ポート				
0	入力ポート									
1	出力ポート									

P7DR ポート7データレジスタ	H'CE	ポート7								
ビット:	7 6 5 4 3 2 1 0									
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;">P7₇</td> <td style="width: 12.5%;">P7₆</td> <td style="width: 12.5%;">P7₅</td> <td style="width: 12.5%;">P7₄</td> <td style="width: 12.5%;">P7₃</td> <td style="width: 12.5%;">P7₂</td> <td style="width: 12.5%;">P7₁</td> <td style="width: 12.5%;">P7₀</td> </tr> </table>	P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀	
P7 ₇	P7 ₆	P7 ₅	P7 ₄	P7 ₃	P7 ₂	P7 ₁	P7 ₀			
初期値:	* * * * * * * *									
R/W :	R R R R R R R R									
ポート7の各端子の状態を読み出す										
【注】 * P7 ₇ ~P7 ₀ 端子により決定されます。										

P8DR ポート8データレジスタ	H'CF	ポート8								
ビット:	7 6 5 4 3 2 1 0									
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;">P8₁</td> <td style="width: 12.5%;">P8₀</td> </tr> </table>							P8 ₁	P8 ₀	
						P8 ₁	P8 ₀			
初期値:	1 1 1 0 0 0 0 0									
R/W :	R/W R/W R/W R/W R/W									
ポート8の各端子のデータを格納										

P9DDR ポート9データディレクションレジスタ	H'D0	ポート9								
ビット:	7 6 5 4 3 2 1 0									
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;">P9₅DDR</td> <td style="width: 12.5%;">P9₄DDR</td> <td style="width: 12.5%;">P9₃DDR</td> <td style="width: 12.5%;">P9₂DDR</td> <td style="width: 12.5%;">P9₁DDR</td> <td style="width: 12.5%;">P9₀DDR</td> </tr> </table>			P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR	
		P9 ₅ DDR	P9 ₄ DDR	P9 ₃ DDR	P9 ₂ DDR	P9 ₁ DDR	P9 ₀ DDR			
初期値:	1 1 0 0 0 0 0 0									
R/W :	W W W W W W									
ポート9入出力選択										
<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 30px; text-align: center;">0</td> <td style="padding-left: 5px;">入力ポート</td> </tr> <tr> <td style="text-align: center;">1</td> <td style="padding-left: 5px;">出力ポート</td> </tr> </table>			0	入力ポート	1	出力ポート				
0	入力ポート									
1	出力ポート									

PADDR		ポートAデータディレクションレジスタ							H'D1	ポートA	
ビット:		7	6	5	4	3	2	1	0		
		PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR		
モード 3、6	初期値:	1	0	0	0	0	0	0	0		
	R/W:		W	W	W	W	W	W	W		
モード 1、5、7	初期値:	0	0	0	0	0	0	0	0		
	R/W:	W	W	W	W	W	W	W	W		
 ポートA入出力選択											
		0	入力ポート								
		1	出力ポート								

P9DR		ポート9データレジスタ							H'D2	ポート9	
ビット:		7	6	5	4	3	2	1	0		
				P95	P94	P93	P92	P91	P90		
初期値:		1	1	0	0	0	0	0	0		
R/W:				R/W	R/W	R/W	R/W	R/W	R/W		
 ポート9の各端子のデータを格納											

PADR		ポートAデータレジスタ							H'D3	ポートA	
ビット:		7	6	5	4	3	2	1	0		
		PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0		
初期値:		0	0	0	0	0	0	0	0		
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W		
 ポートAの各端子のデータを格納											

PBDDR ポートB データディレクションレジスタ							H'D4	ポートB			
ビット :	7	6	5	4	3	2	1	0			
	PB7DDR		PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR			
初期値 :	0	0	0	0	0	0	0	0			
R/W :	W	W	W	W	W	W	W	W			
				ポートB入出力選択 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>0</td> <td>入力ポート</td> </tr> <tr> <td>1</td> <td>出力ポート</td> </tr> </table>				0	入力ポート	1	出力ポート
0	入力ポート										
1	出力ポート										

PBDR ポートB データレジスタ							H'D6	ポートB
ビット :	7	6	5	4	3	2	1	0
	PB7		PB5	PB4	PB3	PB2	PB1	PB0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
				ポートBの各端子のデータを格納				

P2PCR ポート2入力プルアップMOSコントロールレジスタ							H'D8	ポート2				
ビット:	7	6	5	4	3	2	1	0				
	P27PCR	P26PCR	P25PCR	P24PCR	P23PCR	P22PCR	P21PCR	P20PCR				
初期値:	0	0	0	0	0	0	0	0				
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W				
ポート2入力プルアップMOSコントロール7~0 <table border="1" style="margin: auto;"> <tr> <td>0</td> <td>入力プルアップMOSはOFF</td> </tr> <tr> <td>1</td> <td>入力プルアップMOSはON</td> </tr> </table> P2DDRを0に指定したとき（入力ポートに指定）									0	入力プルアップMOSはOFF	1	入力プルアップMOSはON
0	入力プルアップMOSはOFF											
1	入力プルアップMOSはON											
P5PCR ポート5入力プルアップMOSコントロールレジスタ							H'DB	ポート5				
ビット:	7	6	5	4	3	2	1	0				
					P53PCR	P52PCR	P51PCR	P50PCR				
初期値:	1	1	1	1	0	0	0	0				
R/W:					R/W	R/W	R/W	R/W				
ポート5入力プルアップMOSコントロール3~0 <table border="1" style="margin: auto;"> <tr> <td>0</td> <td>入力プルアップMOSはOFF</td> </tr> <tr> <td>1</td> <td>入力プルアップMOSはON</td> </tr> </table> P5DDRを0に指定したとき（入力ポートに指定）									0	入力プルアップMOSはOFF	1	入力プルアップMOSはON
0	入力プルアップMOSはOFF											
1	入力プルアップMOSはON											



ADDRCH、L	A/D データレジスタ CH、L	H'E4、 H'E5	A/D																
ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td>AD9</td><td>AD8</td><td>AD7</td><td>AD6</td><td>AD5</td><td>AD4</td><td>AD3</td><td>AD2</td><td>AD1</td><td>AD0</td><td></td><td></td><td></td><td></td><td></td><td></td> </tr> </table>				AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0						
AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0										
初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																			
R/W： R R R R R R R R R R R R R R R R																			
<div style="display: flex; justify-content: space-around; width: 100%;"> ADDRCH ADDRCL </div>																			
A/D変換データ A/D変換結果の10ビット データを格納																			
ADDRDH、L	A/D データレジスタ DH、L	H'E6、 H'E7	A/D																
ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td>AD9</td><td>AD8</td><td>AD7</td><td>AD6</td><td>AD5</td><td>AD4</td><td>AD3</td><td>AD2</td><td>AD1</td><td>AD0</td><td></td><td></td><td></td><td></td><td></td><td></td> </tr> </table>				AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0						
AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0										
初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																			
R/W： R R R R R R R R R R R R R R R R																			
<div style="display: flex; justify-content: space-around; width: 100%;"> ADDRDH ADDRDL </div>																			
A/D変換データ A/D変換結果の10ビット データを格納																			
ADCR	A/D コントロールレジスタ	H'E9	A/D																
ビット： 7 6 5 4 3 2 1 0 <table border="1" style="width: 100%; text-align: center;"> <tr> <td>TRGE</td><td></td><td></td><td></td><td></td><td></td><td></td><td></td> </tr> </table>				TRGE															
TRGE																			
初期値： 0 1 1 1 1 1 1 1																			
R/W： R/W																			
トリガイネーブル																			
<table border="1" style="width: 100%; text-align: center;"> <tr> <td style="width: 5%;">0</td> <td>外部トリガ入力によるA/D変換の開始を禁止</td> </tr> <tr> <td>1</td> <td>外部トリガ端子 (ADTRG) の立ち下がりでA/D変換を開始</td> </tr> </table>				0	外部トリガ入力によるA/D変換の開始を禁止	1	外部トリガ端子 (ADTRG) の立ち下がりでA/D変換を開始												
0	外部トリガ入力によるA/D変換の開始を禁止																		
1	外部トリガ端子 (ADTRG) の立ち下がりでA/D変換を開始																		

ADCSR A/D コントロール/ステータスレジスタ							H'E8	A/D																																																		
ビット:	7	6	5	4	3	2	1	0																																																		
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0																																																		
初期値:	0	0	0	0	0	0	0	0																																																		
R/W:	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W																																																		
<table border="1"> <thead> <tr> <th colspan="5">チャンネルセレクト</th> </tr> <tr> <th rowspan="2">グループ 選択</th> <th colspan="3">チャンネル選択</th> <th colspan="2">説明</th> </tr> <tr> <th>CH2</th> <th>CH1</th> <th>CH0</th> <th>単一モード</th> <th>スキャンモード</th> </tr> </thead> <tbody> <tr> <td rowspan="4">0</td> <td rowspan="2">0</td> <td rowspan="2">0</td> <td>0</td> <td>AN₀</td> <td>AN₀</td> </tr> <tr> <td>1</td> <td>AN₁</td> <td>AN₀、AN₁</td> </tr> <tr> <td rowspan="2">1</td> <td rowspan="2">0</td> <td>0</td> <td>AN₂</td> <td>AN₀ ~ AN₂</td> </tr> <tr> <td>1</td> <td>AN₃</td> <td>AN₀ ~ AN₃</td> </tr> <tr> <td rowspan="4">1</td> <td rowspan="2">0</td> <td rowspan="2">0</td> <td>0</td> <td>AN₄</td> <td>AN₄</td> </tr> <tr> <td>1</td> <td>AN₅</td> <td>AN₄、AN₅</td> </tr> <tr> <td rowspan="2">1</td> <td rowspan="2">0</td> <td>0</td> <td>AN₆</td> <td>AN₄ ~ AN₆</td> </tr> <tr> <td>1</td> <td>AN₇</td> <td>AN₄ ~ AN₇</td> </tr> </tbody> </table>									チャンネルセレクト					グループ 選択	チャンネル選択			説明		CH2	CH1	CH0	単一モード	スキャンモード	0	0	0	0	AN ₀	AN ₀	1	AN ₁	AN ₀ 、AN ₁	1	0	0	AN ₂	AN ₀ ~ AN ₂	1	AN ₃	AN ₀ ~ AN ₃	1	0	0	0	AN ₄	AN ₄	1	AN ₅	AN ₄ 、AN ₅	1	0	0	AN ₆	AN ₄ ~ AN ₆	1	AN ₇	AN ₄ ~ AN ₇
チャンネルセレクト																																																										
グループ 選択	チャンネル選択			説明																																																						
	CH2	CH1	CH0	単一モード	スキャンモード																																																					
0	0	0	0	AN ₀	AN ₀																																																					
			1	AN ₁	AN ₀ 、AN ₁																																																					
	1	0	0	AN ₂	AN ₀ ~ AN ₂																																																					
			1	AN ₃	AN ₀ ~ AN ₃																																																					
1	0	0	0	AN ₄	AN ₄																																																					
			1	AN ₅	AN ₄ 、AN ₅																																																					
	1	0	0	AN ₆	AN ₄ ~ AN ₆																																																					
			1	AN ₇	AN ₄ ~ AN ₇																																																					
<table border="1"> <thead> <tr> <th colspan="2">クロックセレクト</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>変換時間 = 266ステート (max)</td> </tr> <tr> <td>1</td> <td>変換時間 = 134ステート (max)</td> </tr> </tbody> </table>									クロックセレクト		0	変換時間 = 266ステート (max)	1	変換時間 = 134ステート (max)																																												
クロックセレクト																																																										
0	変換時間 = 266ステート (max)																																																									
1	変換時間 = 134ステート (max)																																																									
<table border="1"> <thead> <tr> <th colspan="2">スキャンモード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>単一モード</td> </tr> <tr> <td>1</td> <td>スキャンモード</td> </tr> </tbody> </table>									スキャンモード		0	単一モード	1	スキャンモード																																												
スキャンモード																																																										
0	単一モード																																																									
1	スキャンモード																																																									
<table border="1"> <thead> <tr> <th colspan="2">A/Dスタート</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>A/D変換停止</td> </tr> <tr> <td rowspan="2">1</td> <td>(1) 単一モード: A/D変換を開始し変換が終了すると、自動的に0にクリア</td> </tr> <tr> <td>(2) スキャンモード: A/D変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって0にクリアされるまで、選択されたチャンネルを順次連続変換</td> </tr> </tbody> </table>									A/Dスタート		0	A/D変換停止	1	(1) 単一モード: A/D変換を開始し変換が終了すると、自動的に0にクリア	(2) スキャンモード: A/D変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって0にクリアされるまで、選択されたチャンネルを順次連続変換																																											
A/Dスタート																																																										
0	A/D変換停止																																																									
1	(1) 単一モード: A/D変換を開始し変換が終了すると、自動的に0にクリア																																																									
	(2) スキャンモード: A/D変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって0にクリアされるまで、選択されたチャンネルを順次連続変換																																																									
<table border="1"> <thead> <tr> <th colspan="2">A/Dインタラプトイネーブル</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>A/D変換終了による割り込み要求を禁止</td> </tr> <tr> <td>1</td> <td>A/D変換終了による割り込み要求を許可</td> </tr> </tbody> </table>									A/Dインタラプトイネーブル		0	A/D変換終了による割り込み要求を禁止	1	A/D変換終了による割り込み要求を許可																																												
A/Dインタラプトイネーブル																																																										
0	A/D変換終了による割り込み要求を禁止																																																									
1	A/D変換終了による割り込み要求を許可																																																									
<table border="1"> <thead> <tr> <th colspan="2">A/Dエンドフラグ</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>[クリア条件] ADF = 1の状態ADFフラグをリードした後、ADFフラグに0をライトしたとき</td> </tr> <tr> <td rowspan="2">1</td> <td>[セット条件] (1) 単一モード: A/D変換が終了したとき</td> </tr> <tr> <td>(2) スキャンモード: 設定されたすべてのチャンネルのA/D変換が終了したとき</td> </tr> </tbody> </table>									A/Dエンドフラグ		0	[クリア条件] ADF = 1の状態ADFフラグをリードした後、ADFフラグに0をライトしたとき	1	[セット条件] (1) 単一モード: A/D変換が終了したとき	(2) スキャンモード: 設定されたすべてのチャンネルのA/D変換が終了したとき																																											
A/Dエンドフラグ																																																										
0	[クリア条件] ADF = 1の状態ADFフラグをリードした後、ADFフラグに0をライトしたとき																																																									
1	[セット条件] (1) 単一モード: A/D変換が終了したとき																																																									
	(2) スキャンモード: 設定されたすべてのチャンネルのA/D変換が終了したとき																																																									
<p>【注】 * フラグクリアのための0ライトのみ可能です。</p>																																																										

ASTCR アクセスステートコントロールレジスタ				H'ED				バスコントローラ				
ビット:	7	6	5	4	3	2	1	0				
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0				
初期値:	1	1	1	1	1	1	1	1				
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W				
エリア7~0アクセスステートコントロール												
ビット7~0		アクセスステート数の指定										
AST7 ~AST0												
0		エリア7~0を2ステートアクセス空間に設定										
1		エリア7~0を3ステートアクセス空間に設定										

WCR ウェイトコントロールレジスタ				H'EE				バスコントローラ				
ビット:	7	6	5	4	3	2	1	0				
					WMS1	WMS0	WC1	WC0				
初期値:	1	1	1	1	0	0	1	1				
R/W:					R/W	R/W	R/W	R/W				
ウェイトカウント1、0												
ビット1		ビット0		ウェイトステート数の指定								
WC1		WC0										
0		0		WSCによるウェイトを禁止								
		1		1ステート挿入								
1		0		2ステート挿入								
		1		3ステート挿入								
ウェイトモードセレクト1、0												
ビット3		ビット2		ウェイトモードの指定								
WMS1		WMS0										
0		0		プログラマブルウェイトモード								
		1		WSCによるウェイトを禁止								
1		0		端子ウェイトモード1								
		1		端子オートウェイトモード								

SYSSCR システムコントロールレジスタ	HF2	システム制御																														
ビット :	7 6 5 4 3 2 1 0																															
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;">SSBY</td> <td style="width: 12.5%;">STS2</td> <td style="width: 12.5%;">STS1</td> <td style="width: 12.5%;">STS0</td> <td style="width: 12.5%;">UE</td> <td style="width: 12.5%;">NMIEG</td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;">RAME</td> </tr> </table>	SSBY	STS2	STS1	STS0	UE	NMIEG		RAME																							
SSBY	STS2	STS1	STS0	UE	NMIEG		RAME																									
初期値 :	0 0 0 0 1 0 1 1																															
R/W :	R/W R/W R/W R/W R/W R/W R/W																															
		<table border="1" style="margin-left: auto; margin-right: 0;"> <tr> <td colspan="2" style="text-align: center;">RAMイネーブル</td> </tr> <tr> <td style="width: 20px; text-align: center;">0</td> <td>内蔵RAM無効</td> </tr> <tr> <td style="text-align: center;">1</td> <td>内蔵RAM有効</td> </tr> </table>	RAMイネーブル		0	内蔵RAM無効	1	内蔵RAM有効																								
RAMイネーブル																																
0	内蔵RAM無効																															
1	内蔵RAM有効																															
		<table border="1" style="margin-left: auto; margin-right: 0;"> <tr> <td colspan="2" style="text-align: center;">NMIエッジセレクト</td> </tr> <tr> <td style="width: 20px; text-align: center;">0</td> <td>NMI入力の立ち下がりで、割り込み要求を発生</td> </tr> <tr> <td style="text-align: center;">1</td> <td>NMI入力の立ち上がりで、割り込み要求を発生</td> </tr> </table>	NMIエッジセレクト		0	NMI入力の立ち下がりで、割り込み要求を発生	1	NMI入力の立ち上がりで、割り込み要求を発生																								
NMIエッジセレクト																																
0	NMI入力の立ち下がりで、割り込み要求を発生																															
1	NMI入力の立ち上がりで、割り込み要求を発生																															
		<table border="1" style="margin-left: auto; margin-right: 0;"> <tr> <td colspan="2" style="text-align: center;">ユーザビットイネーブル</td> </tr> <tr> <td style="width: 20px; text-align: center;">0</td> <td>CCRのビット6 (UI) を割り込みマスクビットとして使用</td> </tr> <tr> <td style="text-align: center;">1</td> <td>CCRのビット6 (UI) をユーザビットとして使用</td> </tr> </table>	ユーザビットイネーブル		0	CCRのビット6 (UI) を割り込みマスクビットとして使用	1	CCRのビット6 (UI) をユーザビットとして使用																								
ユーザビットイネーブル																																
0	CCRのビット6 (UI) を割り込みマスクビットとして使用																															
1	CCRのビット6 (UI) をユーザビットとして使用																															
		<table border="1" style="margin-left: auto; margin-right: 0;"> <tr> <td colspan="4" style="text-align: center;">スタンバイタイムセレクト2~0</td> </tr> <tr> <td style="width: 10%;">ビット6</td> <td style="width: 10%;">ビット5</td> <td style="width: 10%;">ビット4</td> <td style="width: 70%;">スタンバイタイムの指定</td> </tr> <tr> <td style="text-align: center;">STS2</td> <td style="text-align: center;">STS1</td> <td style="text-align: center;">STS0</td> <td></td> </tr> <tr> <td rowspan="4" style="text-align: center; vertical-align: middle;">0</td> <td rowspan="2" style="text-align: center; vertical-align: middle;">0</td> <td style="text-align: center;">0</td> <td>待機時間 = 8192ステート</td> </tr> <tr> <td style="text-align: center;">1</td> <td>待機時間 = 16384ステート</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td>待機時間 = 32768ステート</td> </tr> <tr> <td style="text-align: center;">1</td> <td>待機時間 = 65536ステート</td> </tr> <tr> <td rowspan="2" style="text-align: center; vertical-align: middle;">1</td> <td style="text-align: center;">0</td> <td></td> <td>待機時間 = 131072ステート</td> </tr> <tr> <td style="text-align: center;">1</td> <td></td> <td>使用禁止</td> </tr> </table>	スタンバイタイムセレクト2~0				ビット6	ビット5	ビット4	スタンバイタイムの指定	STS2	STS1	STS0		0	0	0	待機時間 = 8192ステート	1	待機時間 = 16384ステート	1	0	待機時間 = 32768ステート	1	待機時間 = 65536ステート	1	0		待機時間 = 131072ステート	1		使用禁止
スタンバイタイムセレクト2~0																																
ビット6	ビット5	ビット4	スタンバイタイムの指定																													
STS2	STS1	STS0																														
0	0	0	待機時間 = 8192ステート																													
		1	待機時間 = 16384ステート																													
	1	0	待機時間 = 32768ステート																													
		1	待機時間 = 65536ステート																													
1	0		待機時間 = 131072ステート																													
	1		使用禁止																													
		<table border="1" style="margin-left: auto; margin-right: 0;"> <tr> <td colspan="2" style="text-align: center;">ソフトウェアスタンバイ</td> </tr> <tr> <td style="width: 20px; text-align: center;">0</td> <td>SLEEP命令実行後、スリープモードに遷移</td> </tr> <tr> <td style="text-align: center;">1</td> <td>SLEEP命令実行後、ソフトウェアスタンバイモードに遷移</td> </tr> </table>	ソフトウェアスタンバイ		0	SLEEP命令実行後、スリープモードに遷移	1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移																								
ソフトウェアスタンバイ																																
0	SLEEP命令実行後、スリープモードに遷移																															
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移																															

ADRCCR アドレスコントロールレジスタ			H'F3		バスコントローラ			
ビット :	7	6	5	4	3	2	1	0
	A23E	A22E	A21E					
モード 1,5~7	初期値 :	1	1	1	1	1	1	0
	R/W :							R/W
モード3	初期値 :	1	1	1	1	1	1	0
	R/W :	R/W	R/W	R/W				R/W
<div style="margin-left: 100px;"> ↓ アドレス23~21イネーブル </div>								
		0	アドレス出力					
		1	上記以外の入出力端子					

ISCR IRQ センスコントロールレジスタ				H'F4				割り込みコントローラ				
ビット :	7	6	5	4	3	2	1	0				
			IRQ5SC	IRQ4SC			IRQ1SC	IRQ0SC				
初期値 :	0	0	0	0	0	0	0	0				
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W				
IRQ ₅ 、IRQ ₄ 、IRQ ₁ 、IRQ ₀ センスコントロール												
0	$\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ 、 $\overline{\text{IRQ}}_1$ 、 $\overline{\text{IRQ}}_0$ 入力のLowレベルで割り込み要求を発生											
1	$\overline{\text{IRQ}}_5$ 、 $\overline{\text{IRQ}}_4$ 、 $\overline{\text{IRQ}}_1$ 、 $\overline{\text{IRQ}}_0$ 入力の立ち下がりエッジで割り込み要求を発生											

IER IRQ イネーブルレジスタ				H'F5				割り込みコントローラ				
ビット :	7	6	5	4	3	2	1	0				
			IRQ5E	IRQ4E			IRQ1E	IRQ0E				
初期値 :	0	0	0	0	0	0	0	0				
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W				
IRQ ₅ 、IRQ ₄ 、IRQ ₁ 、IRQ ₀ イネーブル												
0	IRQ ₅ 、IRQ ₄ 、IRQ ₁ 、IRQ ₀ 割り込みを禁止											
1	IRQ ₅ 、IRQ ₄ 、IRQ ₁ 、IRQ ₀ 割り込みを許可											

ISR IRQ ステータスレジスタ	H'F6	割り込みコントローラ								
ビット :	7 6 5 4 3 2 1 0									
	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%; text-align: center;">IRQ5F</td> <td style="width: 12.5%; text-align: center;">IRQ4F</td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%; text-align: center;">IRQ1F</td> <td style="width: 12.5%; text-align: center;">IRQ0F</td> </tr> </table>			IRQ5F	IRQ4F			IRQ1F	IRQ0F	
		IRQ5F	IRQ4F			IRQ1F	IRQ0F			
初期値 :	0 0 0 0 0 0 0 0									
R/W :	R/W R/W R/W R/(W)* R/(W)* R/(W)*									
<p>IRQ₅、IRQ₄、IRQ₁、IRQ₀フラグ</p>										
ビット 5、4、1、0	セット / クリア条件									
0	<p>[クリア条件]</p> <p>(1) IRQ_nF = 1の状態ではIRQ_nFをリードした後、IRQ_nFに0をライトしたとき</p> <p>(2) IRQ_nSC = 0、$\overline{\text{IRQn}}$入力がHighレベルの状態では割り込み例外処理を実行したとき</p> <p>(3) IRQ_nSC = 1の状態ではIRQ_n割り込み例外処理を実行したとき</p>									
1	<p>[セット条件]</p> <p>(1) IRQ_nSC = 0の状態では$\overline{\text{IRQn}}$入力がLowレベルになったとき</p> <p>(2) IRQ_nSC = 1の状態では$\overline{\text{IRQn}}$入力が立ち下がりエッジが発生したとき</p>									
<p>【注】 n = 5、4、1、0</p> <p>* フラグをクリアするための0ライトのみ可能です。</p>										

IPRA インタラプトプライオリティレジスタ A H'F8 割り込みコントローラ

ビット : 7 6 5 4 3 2 1 0

IPRA7	IPRA6		IPRA4	IPRA3	IPRA2	IPRA1	IPRA0
-------	-------	--	-------	-------	-------	-------	-------

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

プライオリティレベルA7、A6、A4~A0

0	プライオリティレベル0 (非優先)
1	プライオリティレベル1 (優先)

割り込み要因と各ビットの対応

IPRA	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
		IPRA7	IPRA6		IPRA4	IPRA3	IPRA2	IPRA1	IPRA0
	割り込み 要因	IRQ ₀	IRQ ₁		IRQ ₄ 、 IRQ ₅	WDT	ITU チャンネル0	ITU チャンネル1	ITU チャンネル2

IPRB インタラプトプライオリティレジスタ B H'F9 割り込みコントローラ

ビット : 7 6 5 4 3 2 1 0

IPRB7	IPRB6			IPRB3	IPRB2	IPRB1	
-------	-------	--	--	-------	-------	-------	--

初期値 : 0 0 0 0 0 0 0 0

R/W : R/W R/W R/W R/W R/W R/W R/W R/W

プライオリティレベルB7、B6、B3~B1

0	プライオリティレベル0 (非優先)
1	プライオリティレベル1 (優先)

割り込み要因と各ビットの対応

IPRB	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
		IPRB7	IPRB6			IPRB3	IPRB2	IPRB1	
	割り込み 要因	ITU チャンネル3	ITU チャンネル4			SCI チャンネル0	SCI チャンネル1	A/D 変換器	

C. I/Oポートブロック図

C.1 ポート1ブロック図

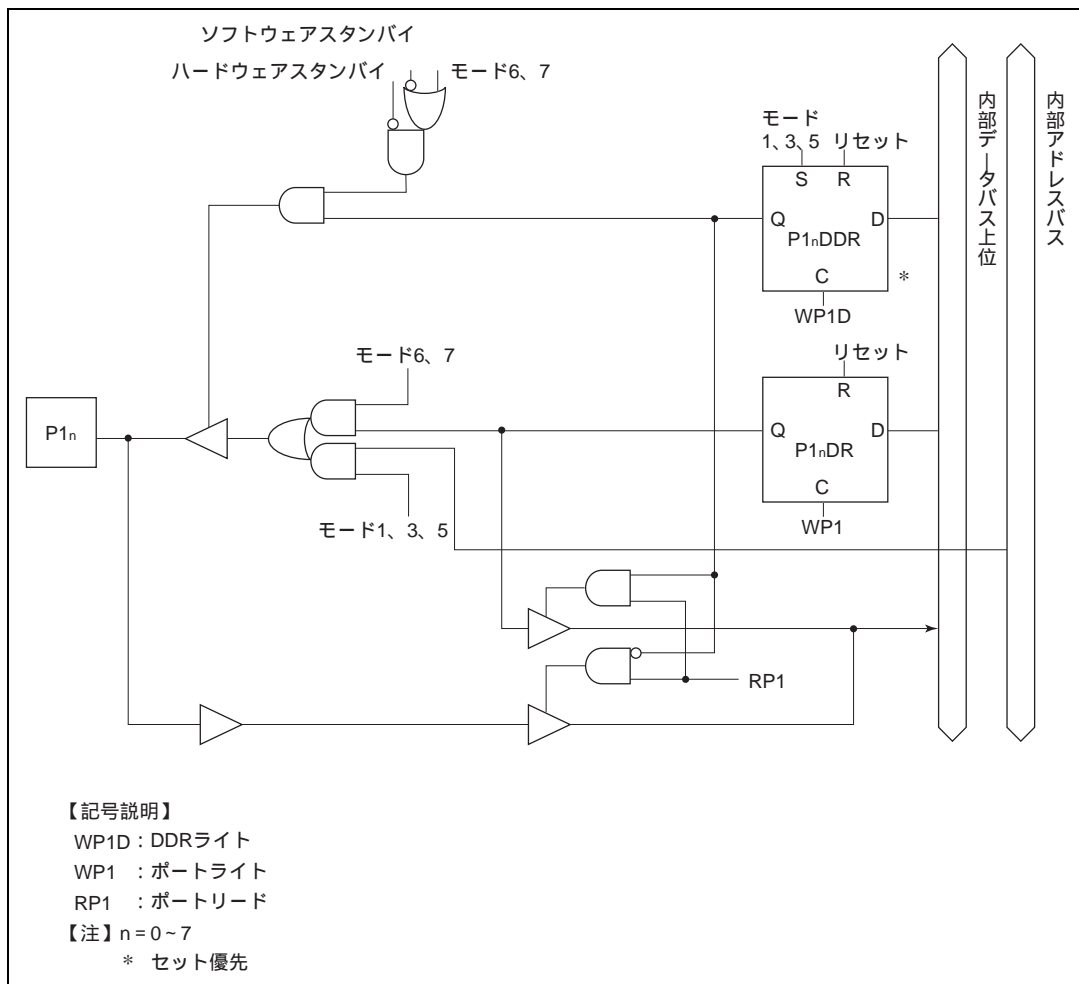


図 C.1 ポート1ブロック図

C.2 ポート2ブロック図

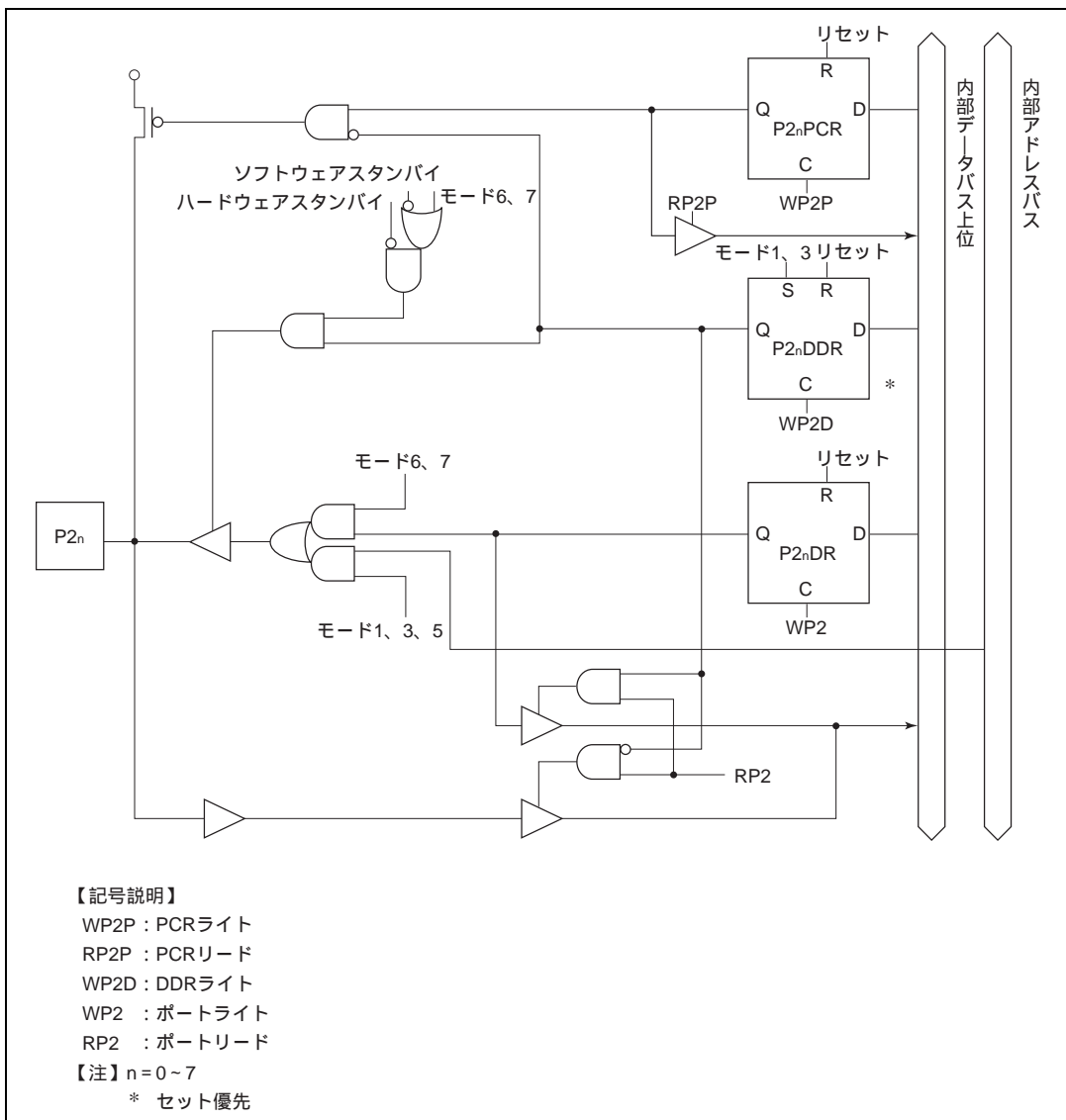


図 C.2 ポート2ブロック図

C.3 ポート 3 ブロック図

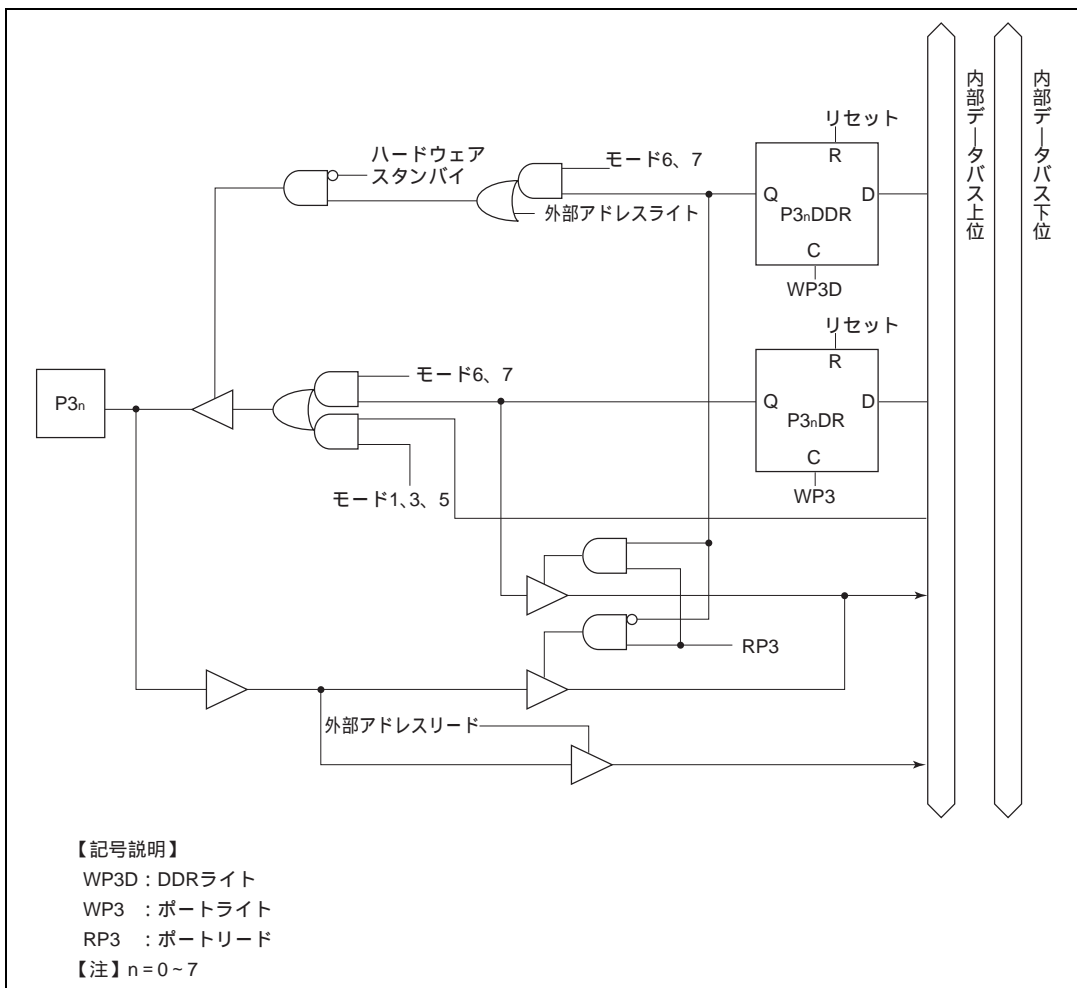


図 C.3 ポート 3 ブロック図

C.4 ポート5ブロック図

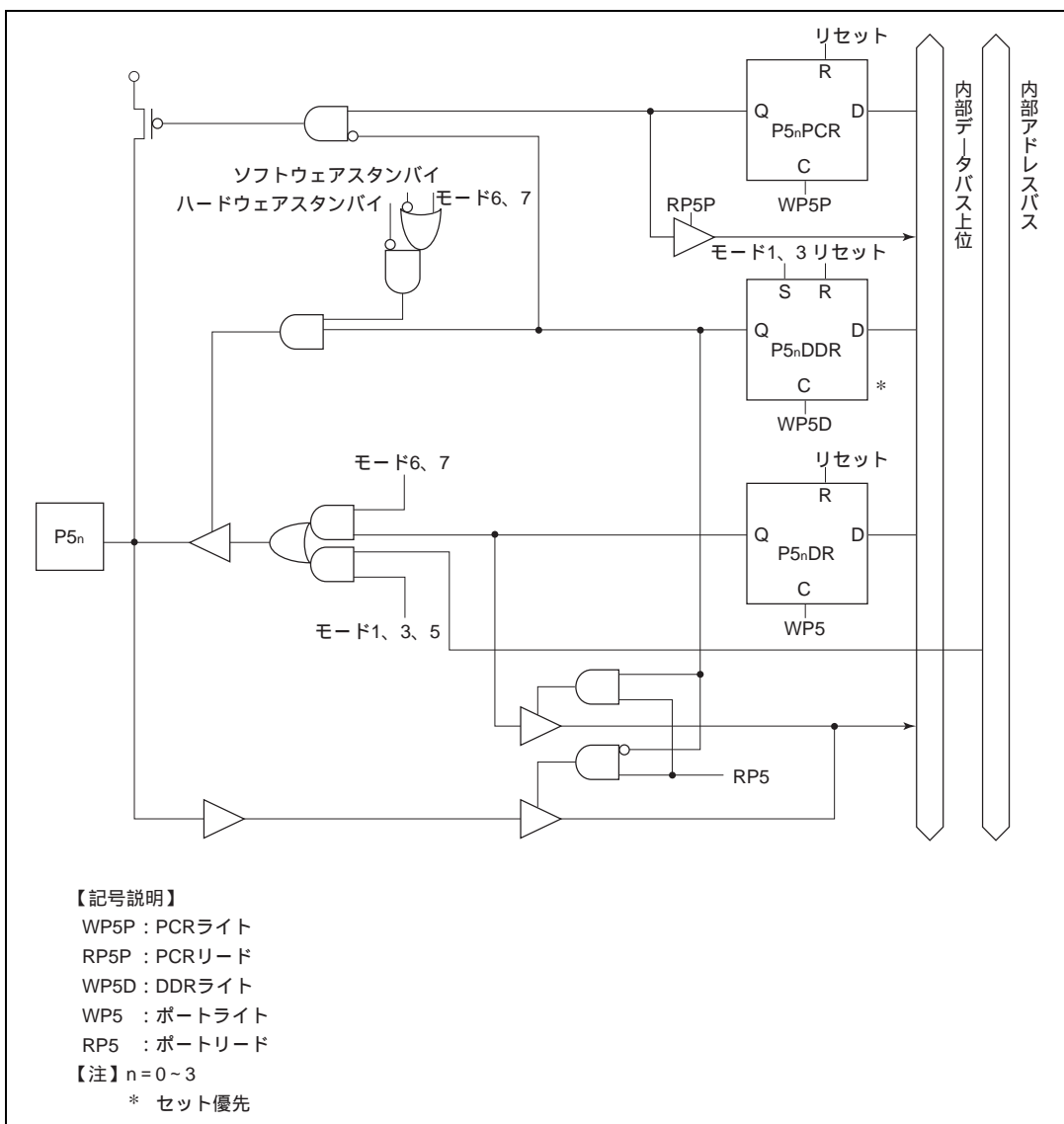


図 C.4 ポート5ブロック図

C.5 ポート 6 ブロック図

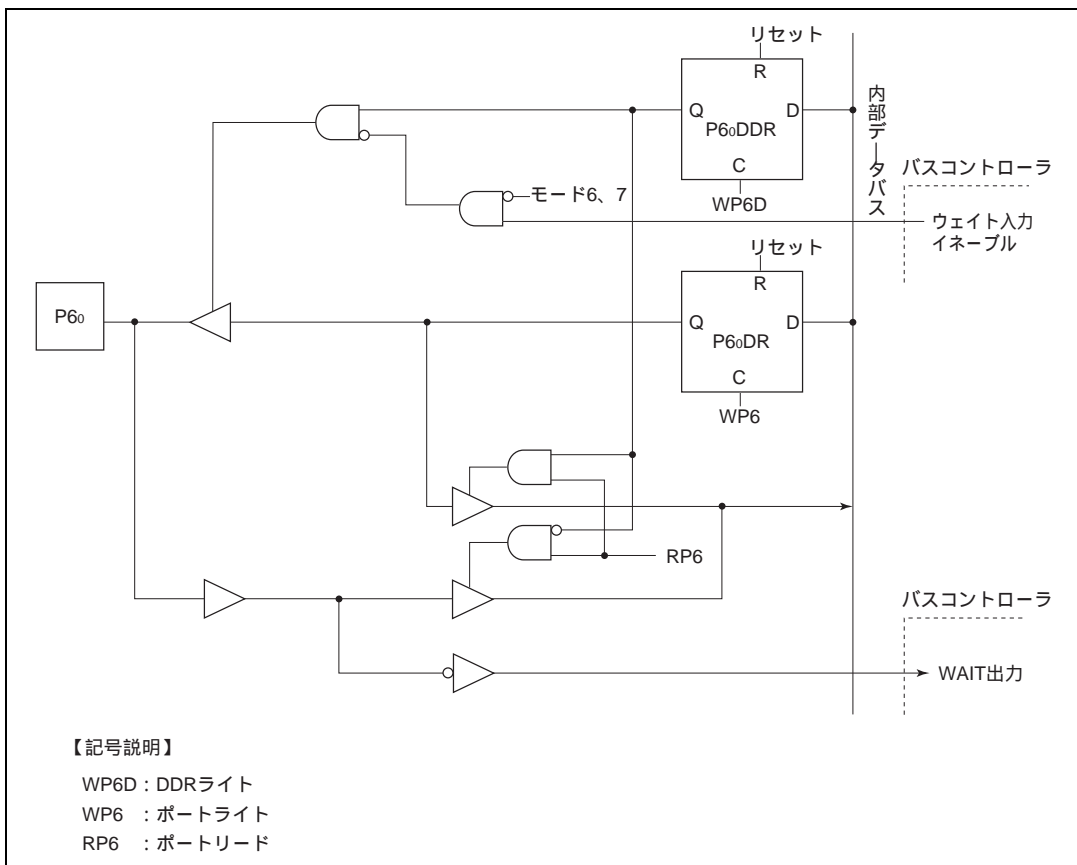


図 C.5 (a) ポート 6 ブロック図 (P6₀端子)

C.6 ポート7ブロック図

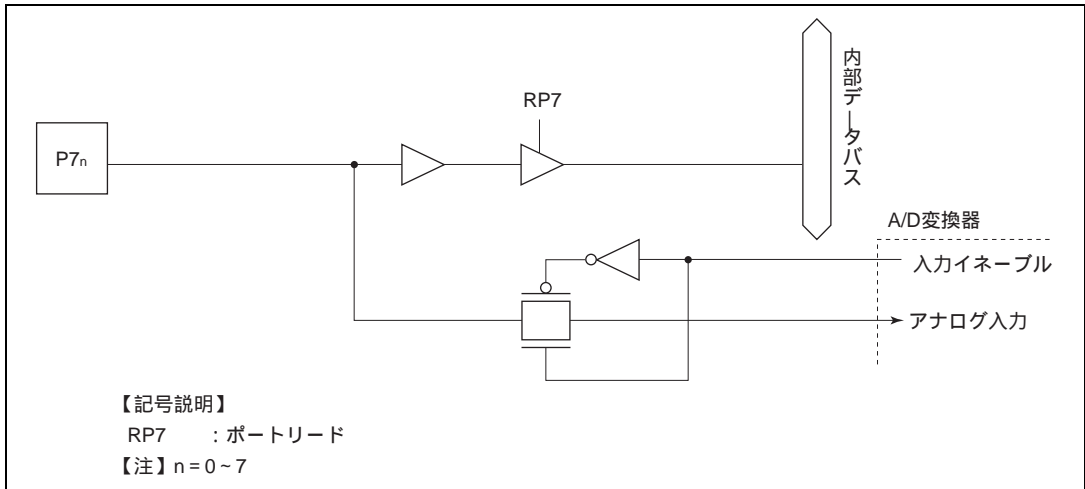


図 C.6 ポート7ブロック図

C.7 ポート 8 ブロック図

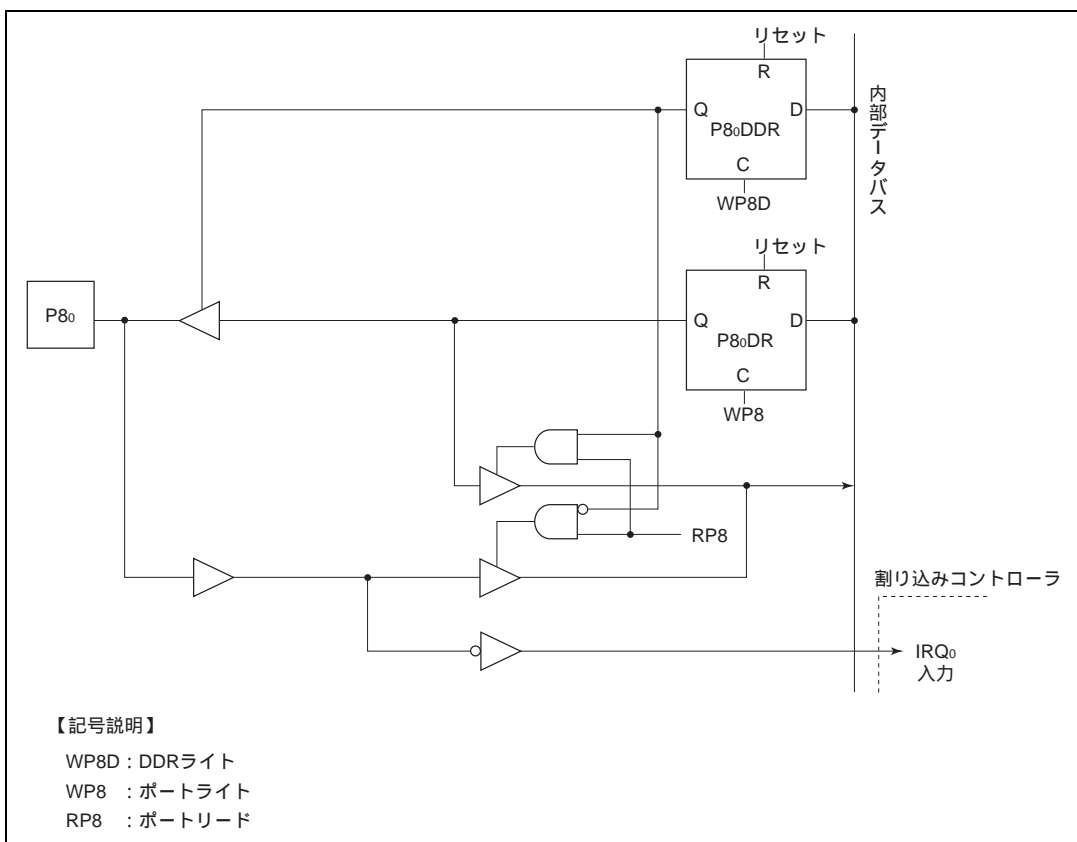


図 C.7 (a) ポート 8 ブロック図 (P8₀ 端子)

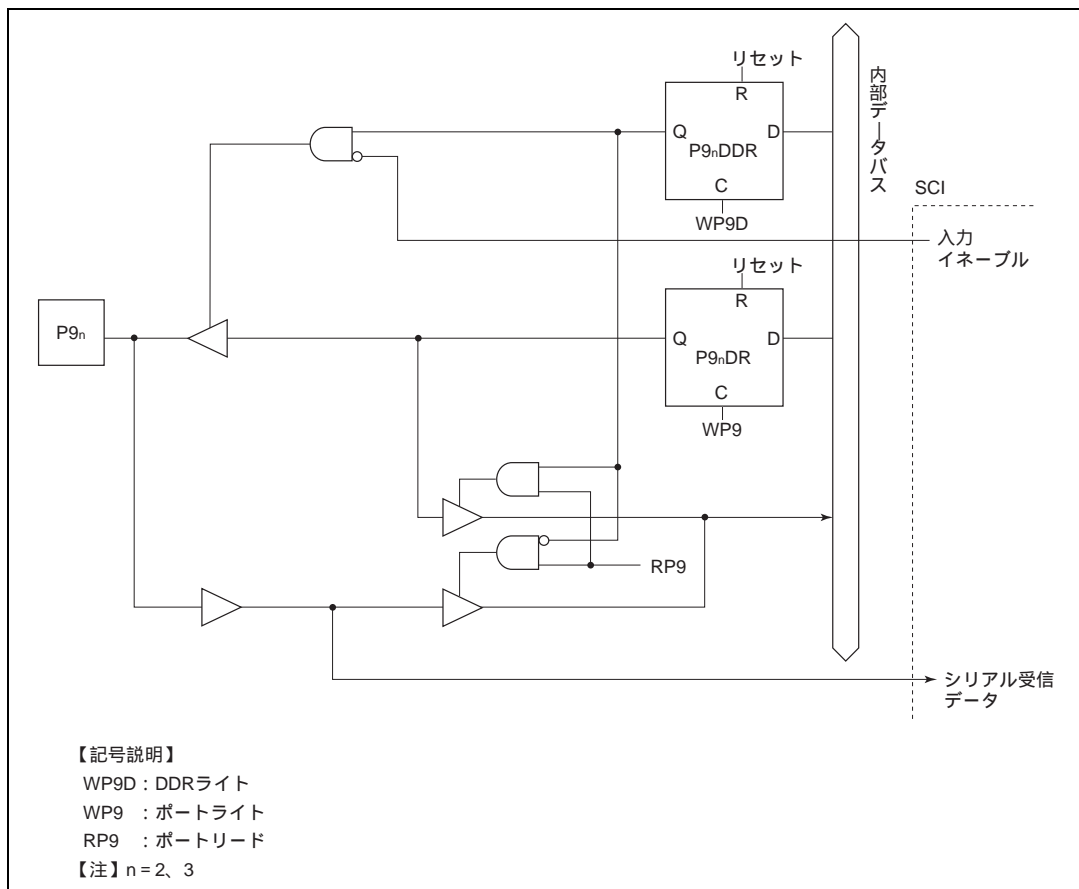


図 C.8 (c) ポート9ブロック図 (P9₂、P9₃端子)

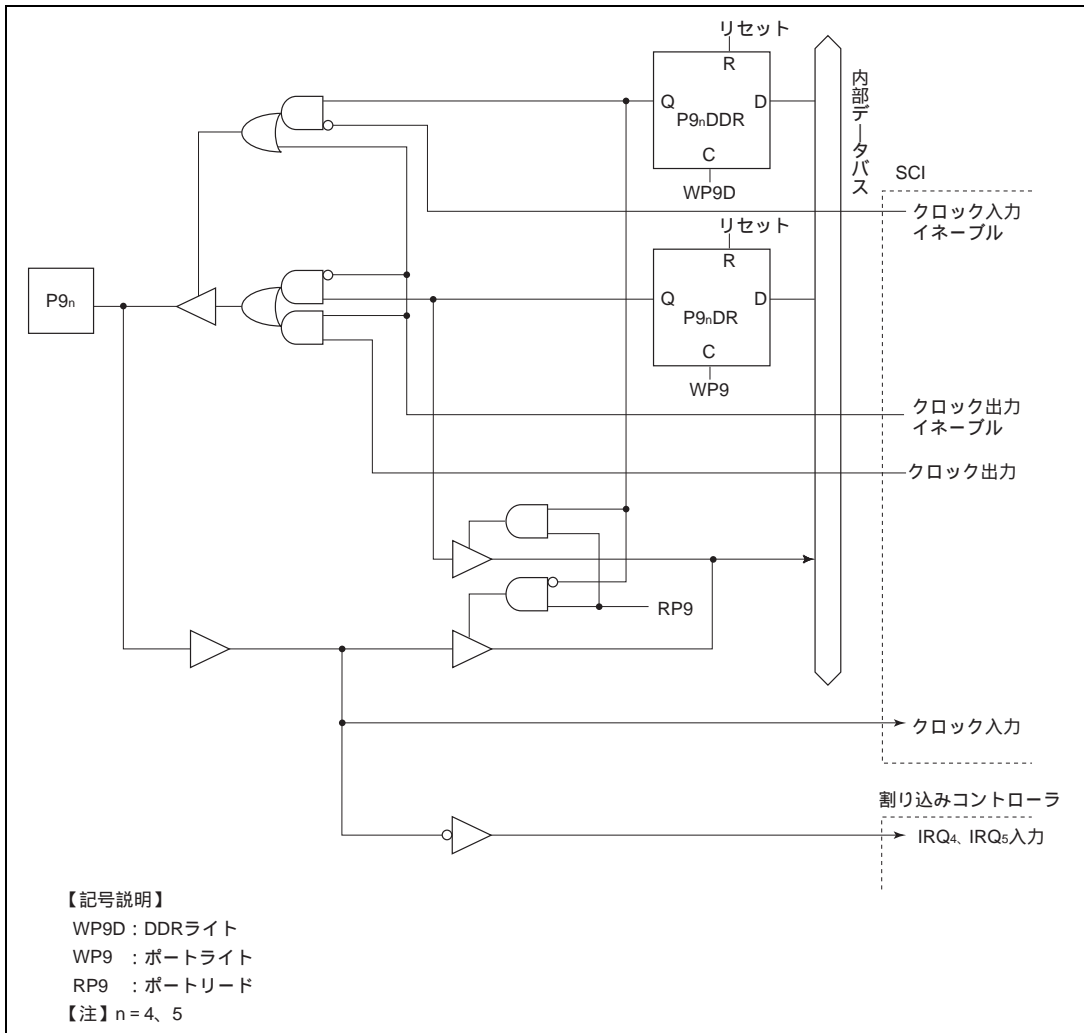


図 C.8 (d) ポート 9 ブロック図 (P9₄、P9₅ 端子)

C.9 ポート A ブロック図

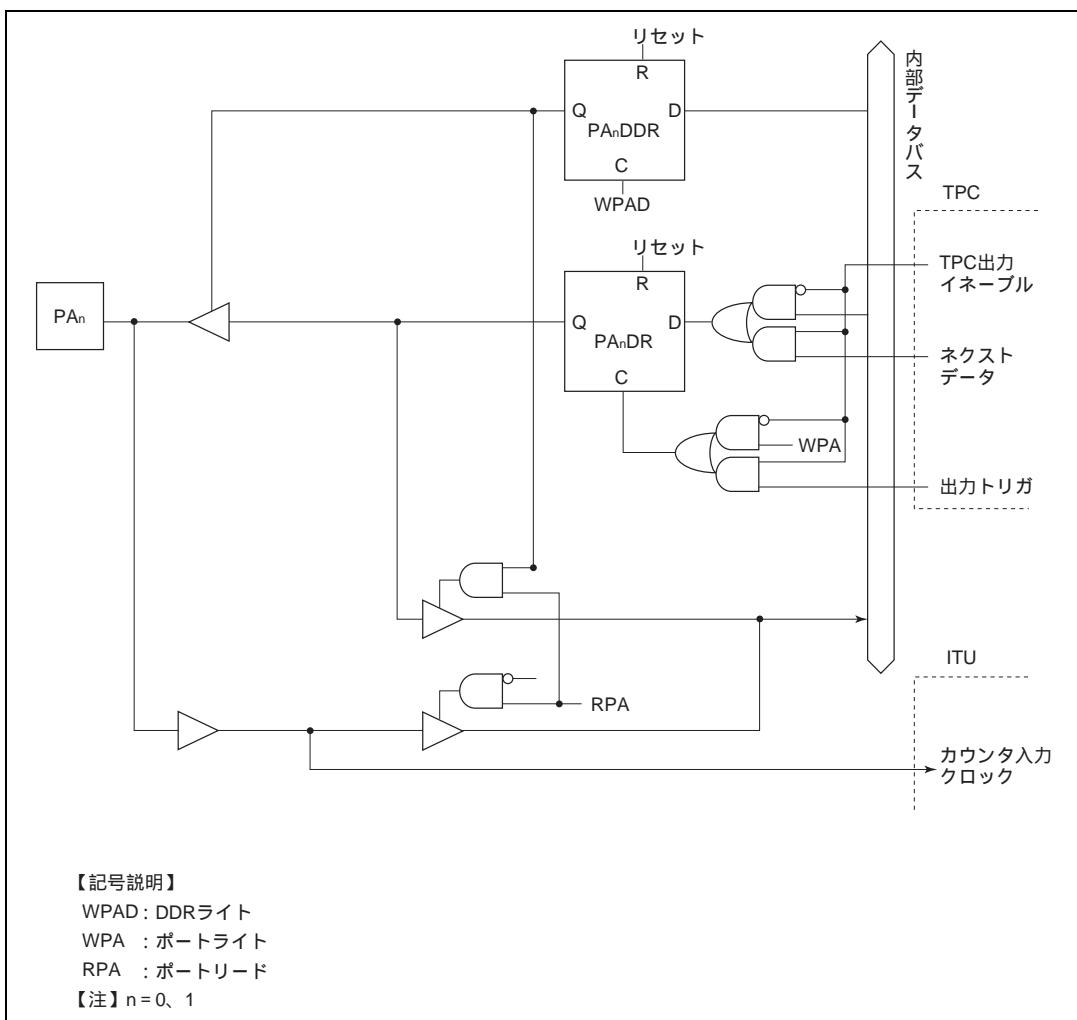


図 C.9 (a) ポート A ブロック図 (PA₀、PA₁ 端子)

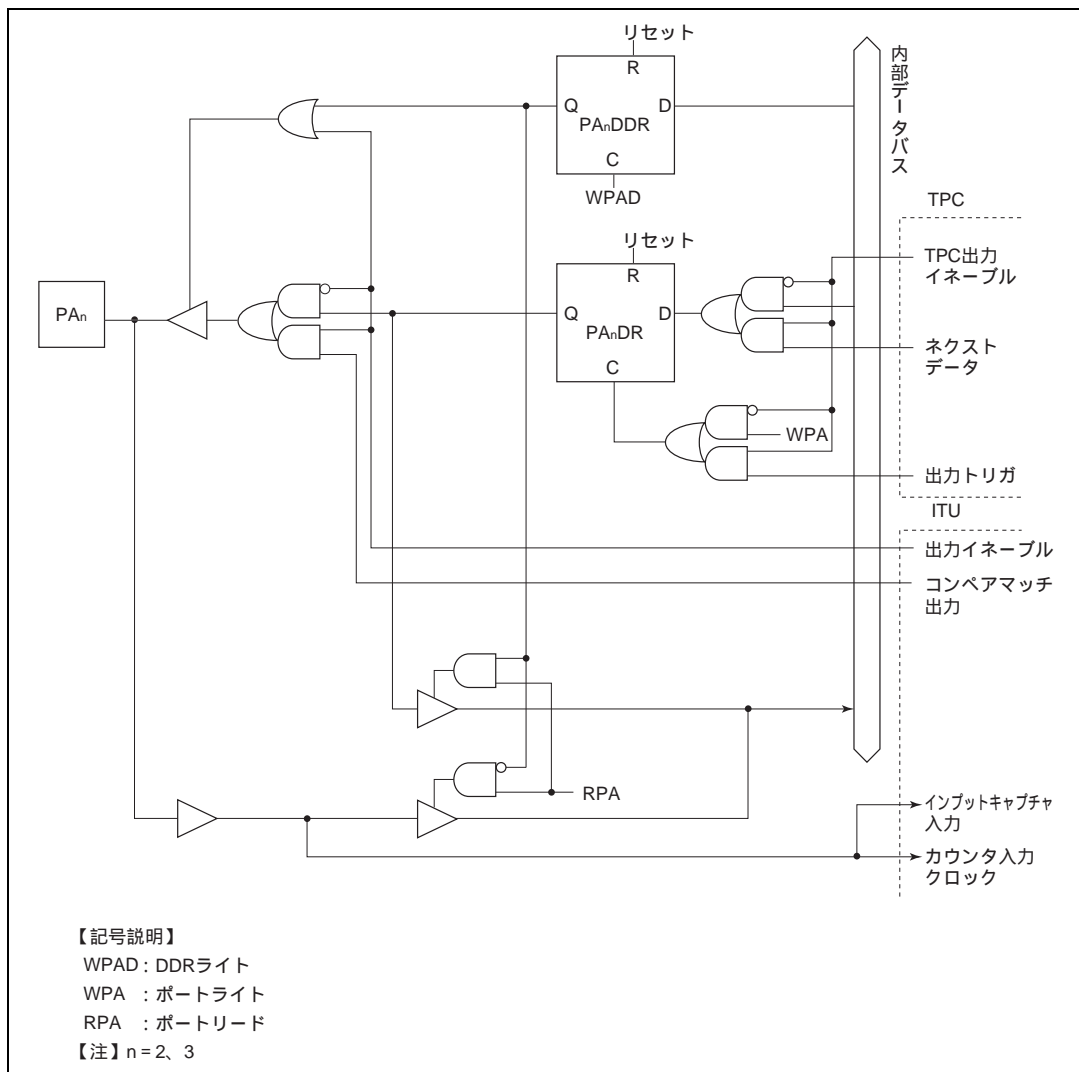


図 C.9 (b) ポート A ブロック図 (PA₂、PA₃端子)

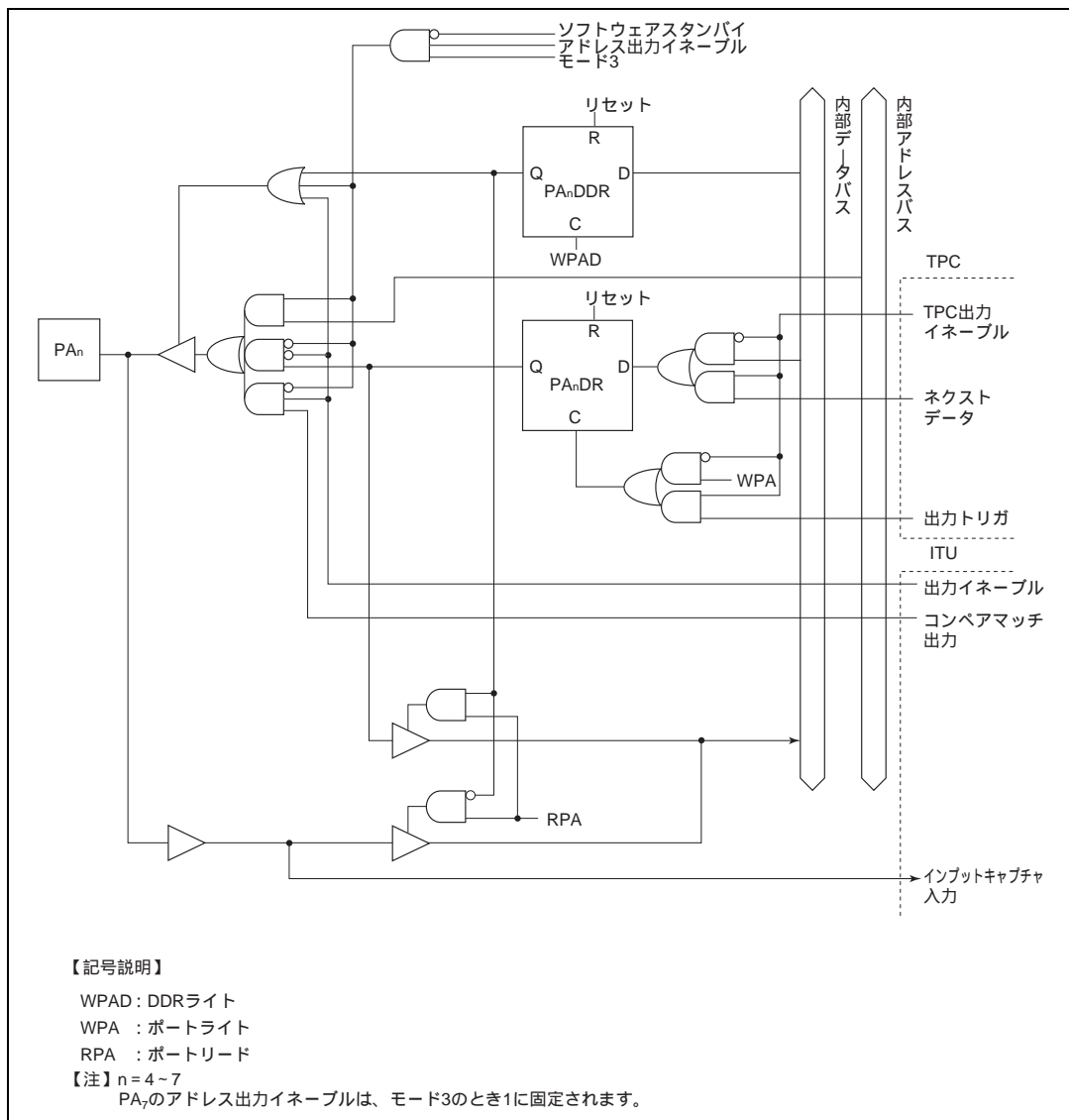


図 C.9 (c) ポート A ブロック図 (PA₄ ~ PA₇ 端子)

C.10 ポート B ブロック図

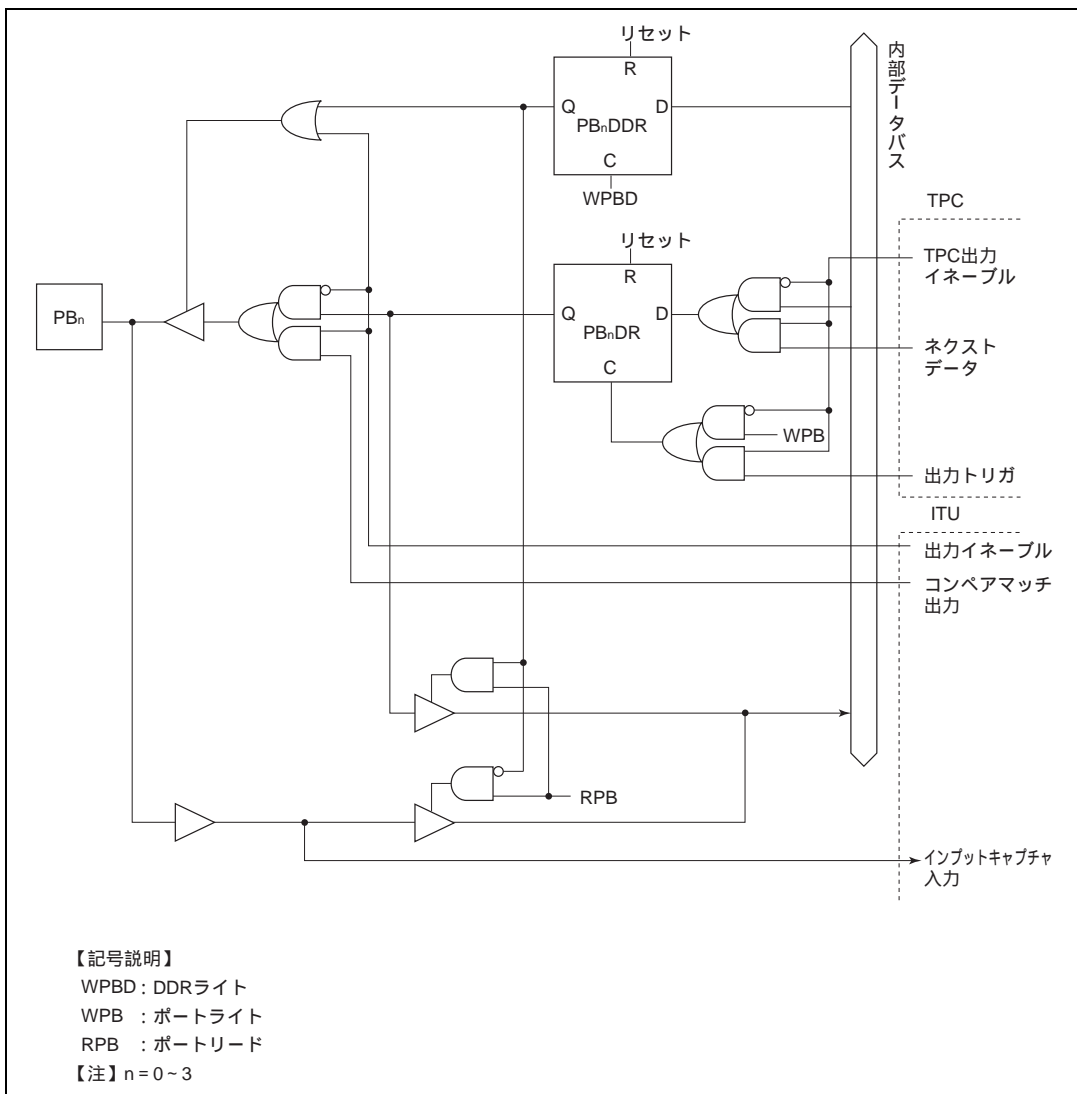


図 C.10 (a) ポート B ブロック図 (PB₀ ~ PB₃ 端子)

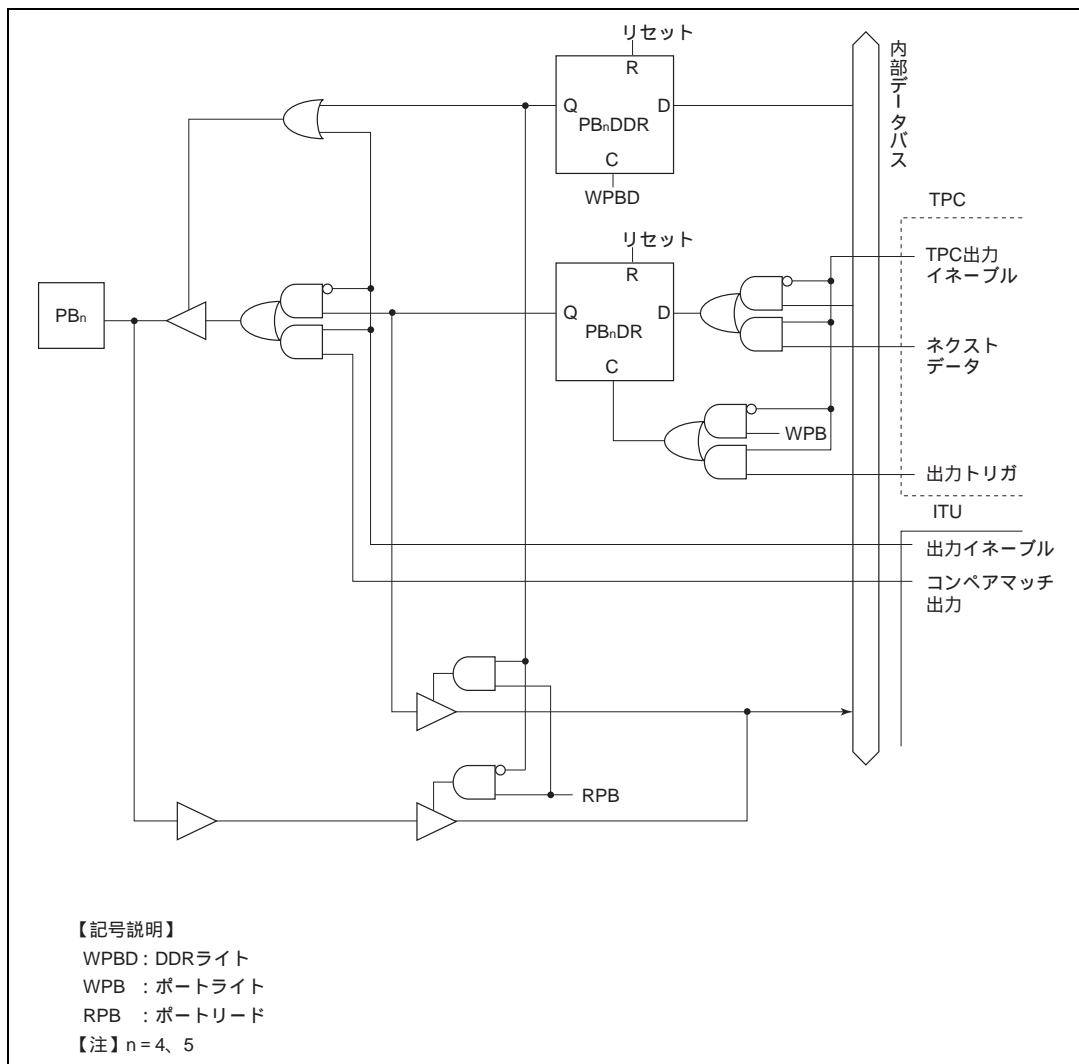


図 C.10 (b) ポート B ブロック図 (PB₄、PB₅ 端子)

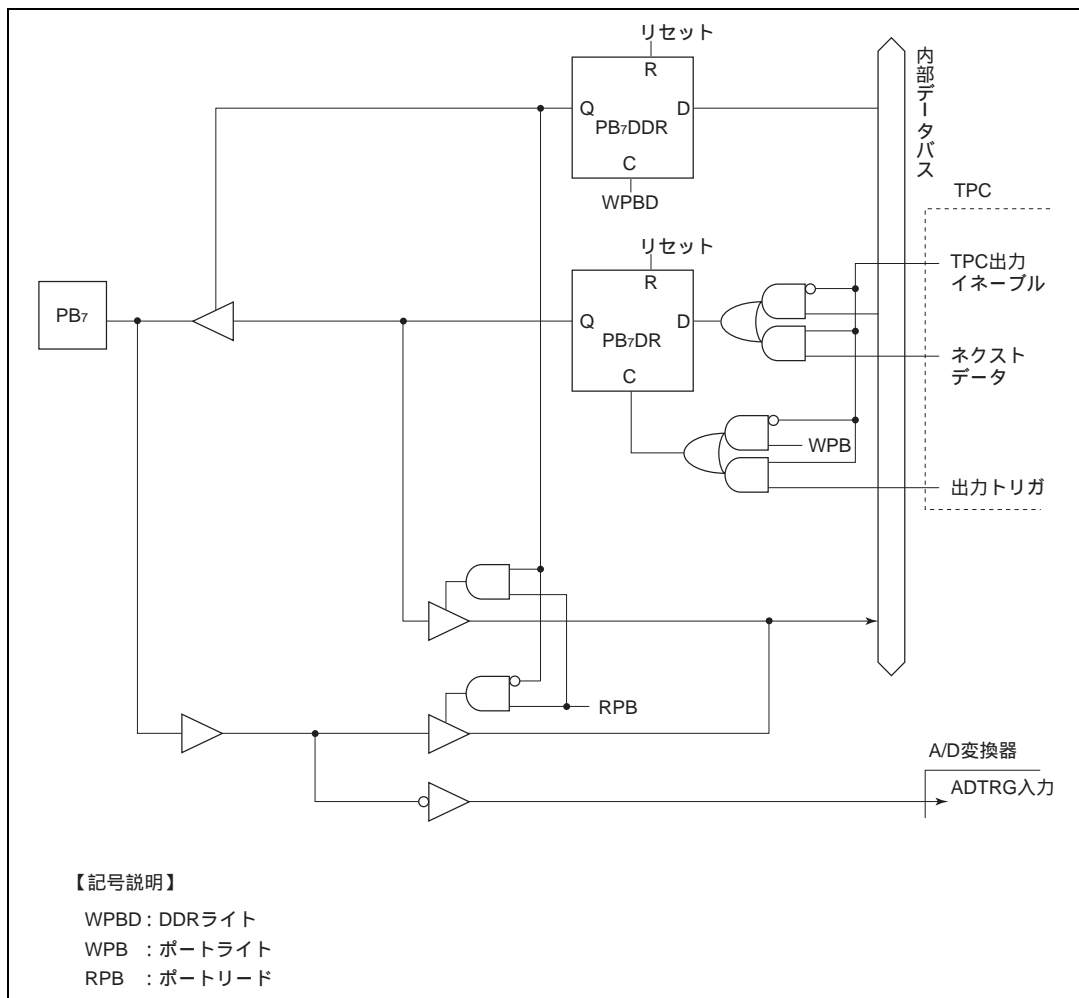


図 C.10 (c) ポート B ブロック図 (PB₇ 端子)

D. 端子状態

D.1 各処理状態におけるポートの状態

表 D.1 各ポートの状態一覧

端子名	モード	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	プログラム 実行状態 スリープモード
ϕ		クロック出力	T	H	クロック出力
$\overline{\text{RESO}}^{*1}$		T ^{*2}	T	T	RESO
P1 ₇ ~ P1 ₀	1、3	L	T	T	A ₇ ~ A ₀
	5、6	T	T	keep	[DDR = 0] 入力ポート
				T	[DDR = 1] A ₇ ~ A ₀
7	T	T	keep	入出力ポート	
P2 ₇ ~ P2 ₀	1、3	L	T	T	A ₁₅ ~ A ₈
	5、6	T	T	keep	[DDR = 0] 入力ポート
				T	[DDR = 1] A ₁₅ ~ A ₈
7	T	T	keep	入出力ポート	
P3 ₇ ~ P3 ₀	1、3、5、6	T	T	T	D ₁₅ ~ D ₈
	7	T	T	keep	入出力ポート
P5 ₃ ~ P5 ₀	1、3	L	T	T	A ₁₉ ~ A ₁₆
	5、6	T	T	keep	[DDR = 0] 入力ポート
				T	[DDR = 1] A ₁₉ ~ A ₁₆
7	T	T	keep	入出力ポート	
P6 ₀	1、3、5、6	T	T	keep	入出力ポート WAIT
	7	T	T	keep	入出力ポート
P6 ₅ ~ P6 ₃	1、3、5、6	H	T	T	$\overline{\text{WR}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{AS}}$
	7	T	T	keep	入出力ポート
P7 ₇ ~ P7 ₀	1、3、5~7	T	T	T	入力ポート
P8 ₀	1、3、5、6	T	T	keep	入出力ポート
	7	T	T	keep	入出力ポート
P8 ₁	1、3、5、6	T	T	[DDR=0] T [DDR=1] H	[DDR=0] 入力ポート [DDR=1] H
	7	T	T	keep	入出力ポート
P9 ₅ ~ P9 ₀	1、3、5~7	T	T	keep	入出力ポート
PA ₃ ~ PA ₀	1、3、5~7	T	T	keep	入出力ポート

端子名	モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	プログラム実行状態 スリープモード
PA ₆ ~ PA ₄	3、6	T	T	[ADRCR=0] T [ADRCR=1] keep	[ADRCR = 0] A ₂₁ ~ A ₂₃ [ADRCR = 1] 入出力ポート
	1、5、7	T	T	keep	入出力ポート
PA ₇	3、6	L	T	T	A ₂₀
	1、5、7	T	T	keep	入出力ポート
PB ₇ 、PB ₅ ~ PB ₀	1、3、5~7	T	T	keep	入出力ポート

【記号説明】

H : High レベル

L : Low レベル

T : ハイインピーダンス

keep : 入力ポートはハイインピーダンス、出力ポートは保持

DDR : データディレクションレジスタ

ADRCR : アドレスコントロールレジスタ

【注】 *1 マスク ROM 版の場合です。F-ZTAT 版は FWE 入力専用端子になります。

*2 WDT のオーバフローによるリセット時のみ Low レベルを出力します。

D.2 リセット時の端子状態

(1) T1 ステートでのリセット

外部メモリアクセス中の T1 ステートで、 $\overline{\text{RES}}$ 端子が Low レベルになったときのタイミングを図 D.1 に示します。

$\overline{\text{RES}}$ 端子が Low レベルになると同時に各ポートは初期化され入力ポートになります。また、 $\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ が High レベル、データバスはハイインピーダンスになります。

アドレスバスは $\overline{\text{RES}}$ 端子が Low レベルをサンプリング (ϕ の立ち下がりでサンプリング) してから、0.5 ステート後に初期化されアドレスバスは Low レベル出力となります。

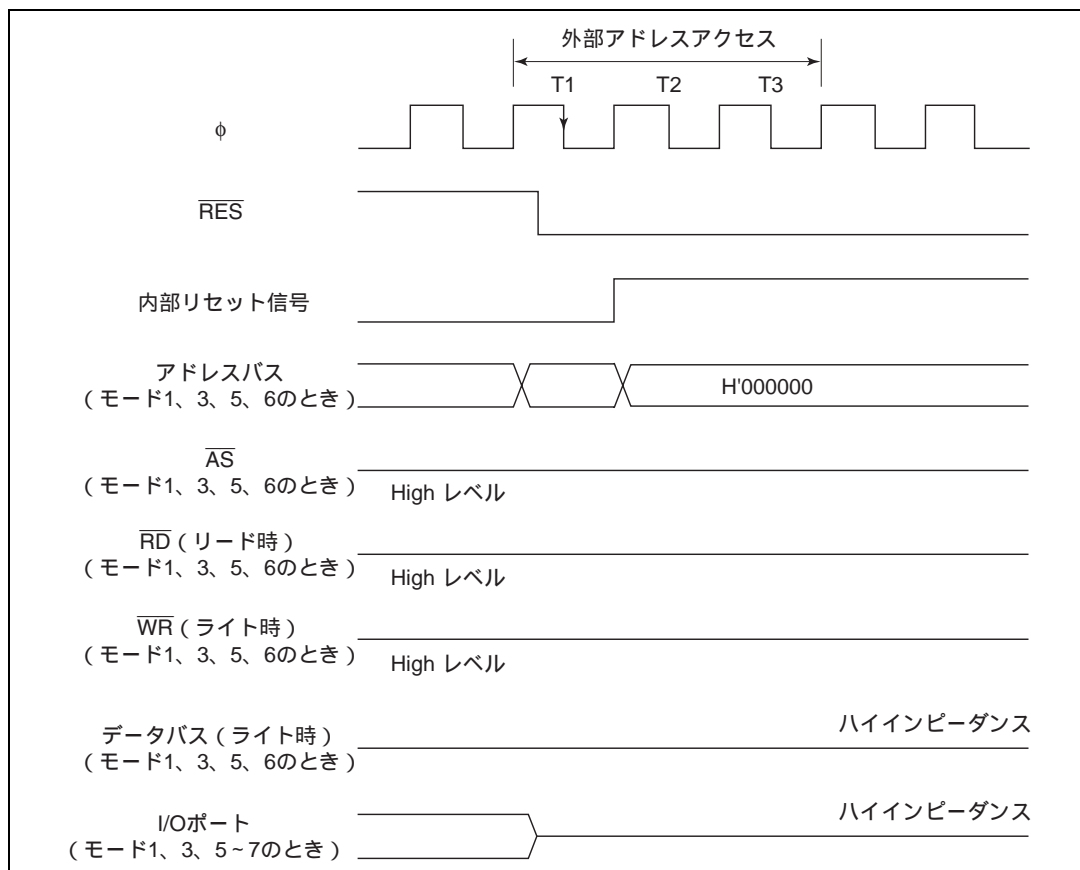


図 D.1 メモリアクセス中のリセット (T1 ステートでのリセット)

(2) T2 ステートでのリセット

外部メモリアクセス中の T2 ステートで、 $\overline{\text{RES}}$ 端子が Low レベルになったときのタイミングを図 D.2 に示します。

$\overline{\text{RES}}$ 端子が Low レベルになると同時に各ポートは初期化され入力ポートになります。また、 $\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ が High レベル、データバスはハイインピーダンスになります。

アドレスバスは $\overline{\text{RES}}$ 端子が Low レベルをサンプリングしてから、0.5 ステート後に初期化されアドレスバスは Low レベルとなります。

T_w サイクルでのリセットについても同様です。

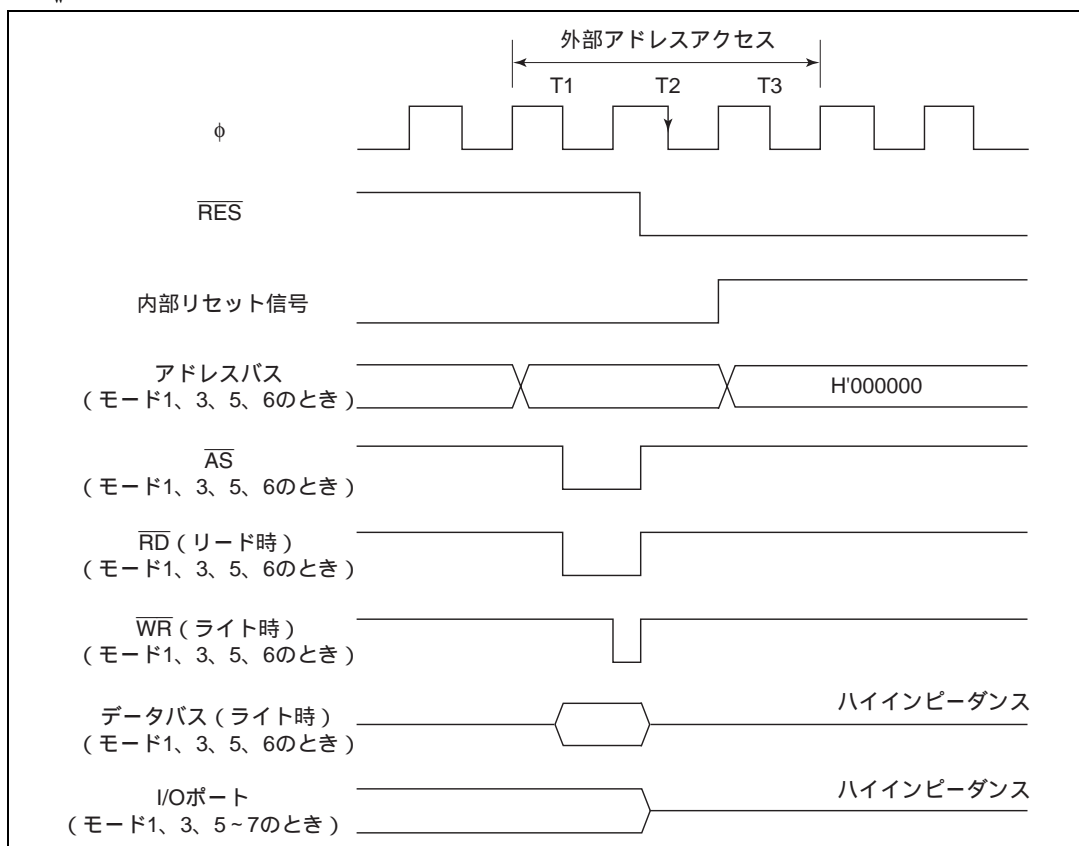


図 D.2 メモリアクセス中のリセット (T2 ステートでのリセット)

(3) T3 ステートでのリセット

外部 3 ステート空間アクセス中の T3 ステートで、 $\overline{\text{RES}}$ 端子が Low レベルになったときのタイミングを図 D.3 に示します。

$\overline{\text{RES}}$ 端子が Low レベルになると同時に各ポートは初期化され入力ポートになります。また、 $\overline{\text{AS}}$ 、 $\overline{\text{RD}}$ 、 $\overline{\text{WR}}$ が High レベル、データバスはハイインピーダンスになります。

アドレスバスは T3 ステート中保持されます。

2 ステートアクセス空間の T2 ステートでのリセットについても同様です。

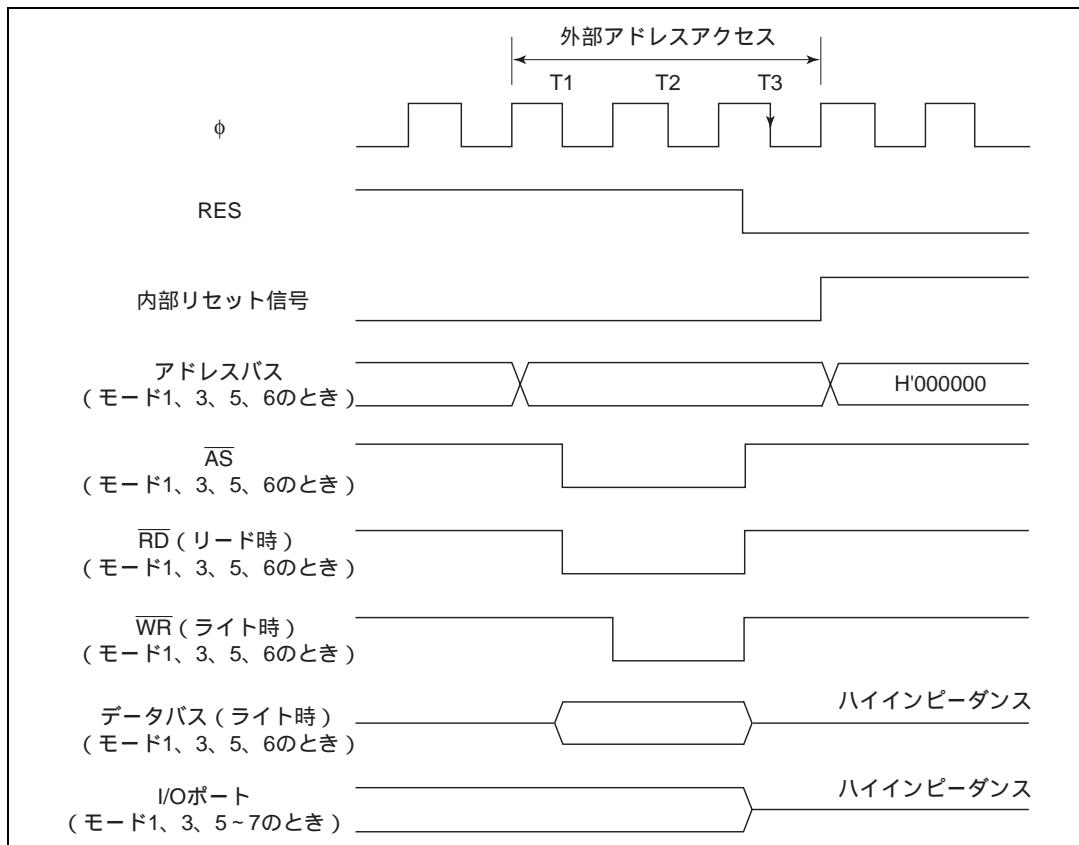
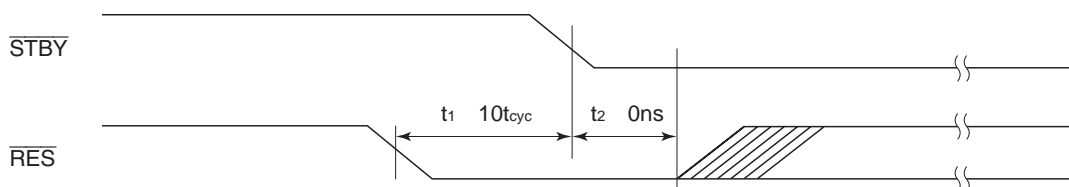


図 D.3 メモリアクセス中のリセット (T3 ステートでのリセット)

E. ハードウェアスタンバイモード遷移 / 復帰時のタイミングについて

【ハードウェアスタンバイモードの遷移タイミング】

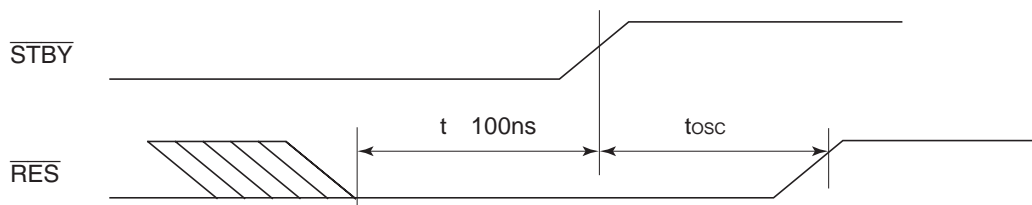
- (1) SYSCRのRAMEビットを1にセットした状態でRAMの内容を保持する場合
 下記に示すように $\overline{\text{STBY}}$ 信号の立ち下がりに対し、10システムクロック前に $\overline{\text{RES}}$ 信号をLowとしてください。
 また、 $\overline{\text{RES}}$ 信号の立ち上がりは、 $\overline{\text{STBY}}$ 信号の立ち下がりに対し、min 0nsです。



- (2) SYSCRのRAMEビットを0にクリアした状態またはRAMの内容を保持しない場合 (1) のように $\overline{\text{RES}}$ 信号をLowにする必要はありません。

【ハードウェアスタンバイモードからの復帰タイミング】

$\overline{\text{STBY}}$ 信号の立ち上がりに対し、約 100ns 前に $\overline{\text{RES}}$ 信号を Low としてください。



F. ROM 発注手順

F.1 ROM 書き換え品開発の流れ（発注手順）

マイコン応用システムプログラムの開発終了後、ROM データ（2組以上）、注文仕様書、オプションリストおよびマーク仕様を一緒に提出していただきます。これにより、弊社では図 F.1 の流れ図に沿って ROM 書き換え品の開発を行います。

表 F.1 に ROM 発注時に必要な提出物を示します。なお、詳細については、弊社担当営業へお問い合わせください。

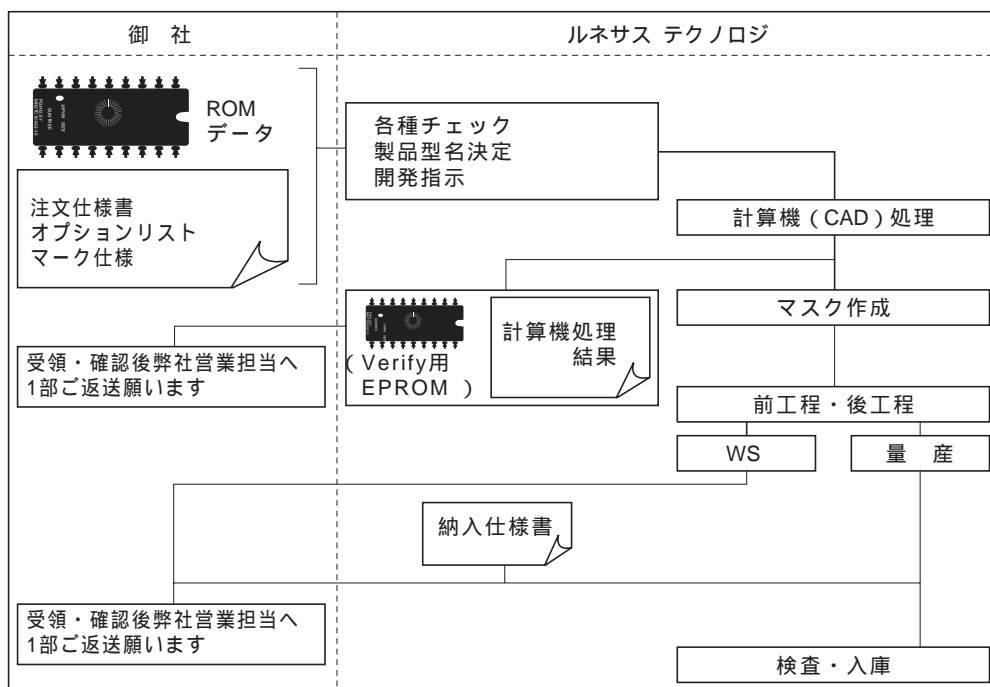


図 F.1 ROM 書き換え品開発の流れ

表 F.1 ROM 発注時に必要な提出物

発注媒体	EPROM または F-ZTAT マイコン
提出物	ROM データ
	注文仕様書
	オプションリスト*1
	マーク仕様例*2

【注】 *1 製品グループにより必要ないものがあります。また、内容も異なります。

*2 特別仕様の場合には、提出してください。

F.2 ROM 発注時の注意事項

提出していただく ROM データは、次の注意事項に従って、EPROM または F-ZTAT マイコンで提出してください。なお、EPROM または F-ZTAT マイコン以外の媒体（フロッピーディスク等）では対応できませんのでご注意ください。

- (1) EPROMにROMデータを書き込む際は、事前にデータを十分消去し、中途半端なレベルが出力されないことを確認してから使用してください。
- (2) 発注用EPROMにおいて、ROMデータの未使用（NOT USED）領域またはリザーブ領域には、必ず'FF'を書き込んでください。
- (3) 提出していただくEPROMには遮光ラベルを貼り、御社の品番等を記入してください。
- (4) EPROMに書き込みを行った後は、静電気による素子の破壊、紫外線や放射線による書き込みデータの損失を招かないようにするとともに、運搬の際は導電性のシートに梱包するなど取り扱いに十分注意してください（アルミ箔、発泡スチロール等は不可）。なお、これらによるデータの読み取りエラーに備え、同一内容のEPROMを2組以上提出してください。

G. 型名一覧

表 G.1 H8/3022 グループ型名一覧

製品分類		製品型名	マーク型名	パッケージ (パッケージコード)
H8/3022	フラッシュ	HD64F3022F	HD64F3022F	80 ピン QFP (FP-80A)
	メモリ版	HD64F3022TE	HD64F3022TE	80 ピン TQFP (TFP-80C)
	マスク	HD6433022F	HD6433022 (***) F	80 ピン QFP (FP-80A)
	ROM 版	HD6433022TE	HD6433022 (***) TE	80 ピン TQFP (TFP-80C)
H8/3021	マスク	HD6433021F	HD6433021 (***) F	80 ピン QFP (FP-80A)
	ROM 版	HD6433021TE	HD6433021 (***) TE	80 ピン TQFP (TFP-80C)
H8/3020	マスク	HD6433020F	HD6433020 (***) F	80 ピン QFP (FP-80A)
	ROM 版	HD6433020TE	HD6433020 (***) TE	80 ピン TQFP (TFP-80C)

【注】 マスク ROM 版の (***) は ROM コードです。

H. 外形寸法図

本 LSI の外形寸法図を図 H.1、図 H.2 に示します。

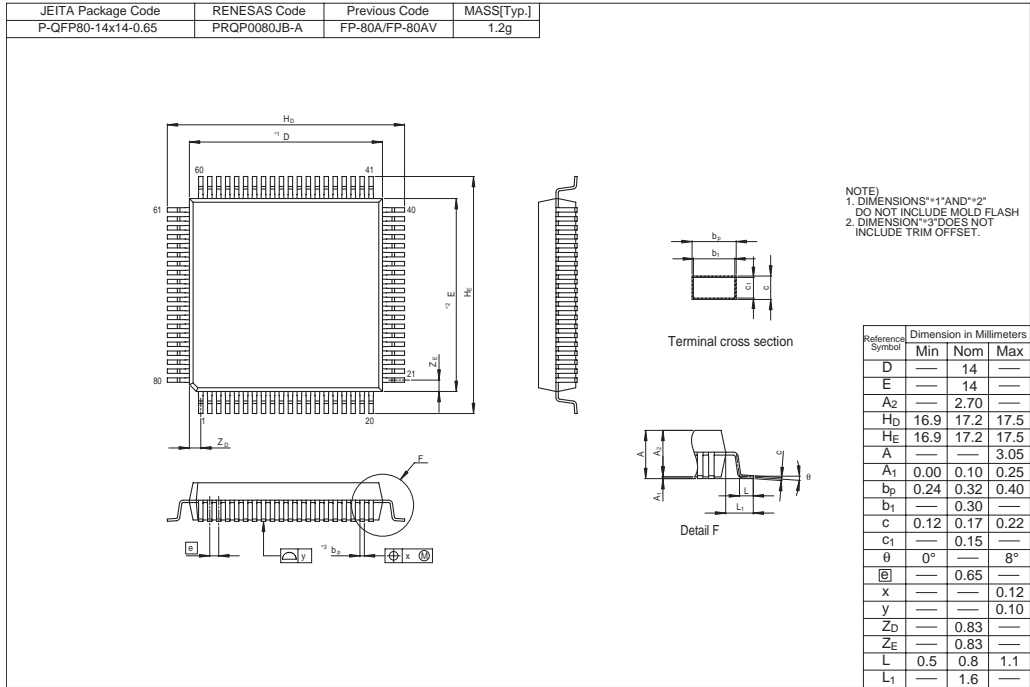


図 H.1 外形寸法図 (FP-80A)

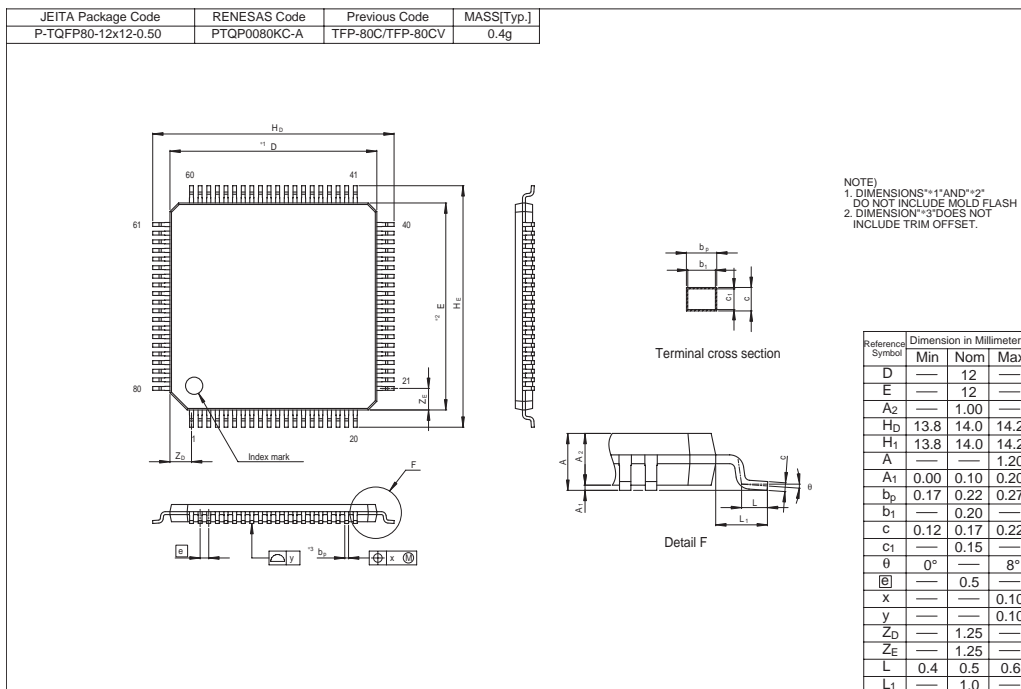


図 H.2 外形寸法図 (TFP-80C)

I. H8/300H シリーズ製品仕様比較

I.1 H8/3039F、H8/3022F の相違点

		H8/3039F		H8/3022F																																																	
動作範囲	動作電源電圧	4.5 ~ 5.5V	3.0 ~ 5.5V	3.0 ~ 3.6V																																																	
	動作周波数	1 ~ 18MHz	1 ~ 10MHz	2 ~ 18MHz																																																	
内蔵 RAM		4K バイト		8K バイト																																																	
フラッシュメモリ	容量	128K バイト		256K バイト																																																	
	書き込み / 消去電圧	Vcc から供給		Vcc から供給																																																	
	書き込み単位	32 バイト同時書き込み書き込みパルス印加方式 = 150 μ s \times 4 + 500 μ s \times 399		128 バイト同時書き込み書き込みパルス印加方式 = 30 μ s \times 6 + 200 μ s \times 994 (10 μ s 追加書き込みあり)																																																	
	ブロック分割	8 分割 ・ 1K バイト \times 4 ・ 28K バイト \times 1 ・ 32K バイト \times 3		12 分割 ・ 4K バイト \times 8 ・ 32K バイト \times 1 ・ 64K バイト \times 3																																																	
	EBR レジスタ構成	EBR I/O address: H'FF42 <table style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr><td style="padding: 0 5px;">7</td><td style="padding: 0 5px;">6</td><td style="padding: 0 5px;">5</td><td style="padding: 0 5px;">4</td><td style="padding: 0 5px;">3</td><td style="padding: 0 5px;">2</td><td style="padding: 0 5px;">1</td><td style="padding: 0 5px;">0</td></tr> <tr><td style="border: 1px solid black; padding: 2px;">EB7</td><td style="border: 1px solid black; padding: 2px;">EB6</td><td style="border: 1px solid black; padding: 2px;">EB5</td><td style="border: 1px solid black; padding: 2px;">EB4</td><td style="border: 1px solid black; padding: 2px;">EB3</td><td style="border: 1px solid black; padding: 2px;">EB2</td><td style="border: 1px solid black; padding: 2px;">EB1</td><td style="border: 1px solid black; padding: 2px;">EB0</td></tr> </table>		7	6	5	4	3	2	1	0	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	EBR1 I/O address: H'FF42 <table style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr><td style="padding: 0 5px;">7</td><td style="padding: 0 5px;">6</td><td style="padding: 0 5px;">5</td><td style="padding: 0 5px;">4</td><td style="padding: 0 5px;">3</td><td style="padding: 0 5px;">2</td><td style="padding: 0 5px;">1</td><td style="padding: 0 5px;">0</td></tr> <tr><td style="border: 1px solid black; padding: 2px;">EB7</td><td style="border: 1px solid black; padding: 2px;">EB6</td><td style="border: 1px solid black; padding: 2px;">EB5</td><td style="border: 1px solid black; padding: 2px;">EB4</td><td style="border: 1px solid black; padding: 2px;">EB3</td><td style="border: 1px solid black; padding: 2px;">EB2</td><td style="border: 1px solid black; padding: 2px;">EB1</td><td style="border: 1px solid black; padding: 2px;">EB0</td></tr> </table> EBR2 I/O address: H'FF43 <table style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr><td style="padding: 0 5px;">7</td><td style="padding: 0 5px;">6</td><td style="padding: 0 5px;">5</td><td style="padding: 0 5px;">4</td><td style="padding: 0 5px;">3</td><td style="padding: 0 5px;">2</td><td style="padding: 0 5px;">1</td><td style="padding: 0 5px;">0</td></tr> <tr><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">EB11</td><td style="border: 1px solid black; padding: 2px;">EB10</td><td style="border: 1px solid black; padding: 2px;">EB9</td><td style="border: 1px solid black; padding: 2px;">EB8</td></tr> </table>		7	6	5	4	3	2	1	0	EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0	7	6	5	4	3	2	1	0	-	-	-	-	EB11	EB10	EB9	EB8
		7	6	5	4	3	2	1	0																																												
EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0																																														
7	6	5	4	3	2	1	0																																														
EB7	EB6	EB5	EB4	EB3	EB2	EB1	EB0																																														
7	6	5	4	3	2	1	0																																														
-	-	-	-	EB11	EB10	EB9	EB8																																														
FLASH エラー	FLMSR I/O address: H'FF4D <table style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr><td style="padding: 0 5px;">7</td><td style="padding: 0 5px;">6</td><td style="padding: 0 5px;">5</td><td style="padding: 0 5px;">4</td><td style="padding: 0 5px;">3</td><td style="padding: 0 5px;">2</td><td style="padding: 0 5px;">1</td><td style="padding: 0 5px;">0</td></tr> <tr><td style="border: 1px solid black; padding: 2px;">FLER</td><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">-</td></tr> </table>		7	6	5	4	3	2	1	0	FLER	-	-	-	-	-	-	-	FLMCR2 I/O address: H'FF41 <table style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr><td style="padding: 0 5px;">7</td><td style="padding: 0 5px;">6</td><td style="padding: 0 5px;">5</td><td style="padding: 0 5px;">4</td><td style="padding: 0 5px;">3</td><td style="padding: 0 5px;">2</td><td style="padding: 0 5px;">1</td><td style="padding: 0 5px;">0</td></tr> <tr><td style="border: 1px solid black; padding: 2px;">FLER</td><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">-</td></tr> </table>		7	6	5	4	3	2	1	0	FLER	-	-	-	-	-	-	-																	
7	6	5	4	3	2	1	0																																														
FLER	-	-	-	-	-	-	-																																														
7	6	5	4	3	2	1	0																																														
FLER	-	-	-	-	-	-	-																																														
RAM エミュレーションレジスタ構成	RAMCR I/O address: H'FF47 <table style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr><td style="padding: 0 5px;">7</td><td style="padding: 0 5px;">6</td><td style="padding: 0 5px;">5</td><td style="padding: 0 5px;">4</td><td style="padding: 0 5px;">3</td><td style="padding: 0 5px;">2</td><td style="padding: 0 5px;">1</td><td style="padding: 0 5px;">0</td></tr> <tr><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">RAM3</td><td style="border: 1px solid black; padding: 2px;">RAM2</td><td style="border: 1px solid black; padding: 2px;">RAM1</td><td style="border: 1px solid black; padding: 2px;">-</td></tr> </table>		7	6	5	4	3	2	1	0	-	-	-	-	RAM3	RAM2	RAM1	-	RAMER I/O address: H'FF47 <table style="margin-left: auto; margin-right: auto; border-collapse: collapse;"> <tr><td style="padding: 0 5px;">7</td><td style="padding: 0 5px;">6</td><td style="padding: 0 5px;">5</td><td style="padding: 0 5px;">4</td><td style="padding: 0 5px;">3</td><td style="padding: 0 5px;">2</td><td style="padding: 0 5px;">1</td><td style="padding: 0 5px;">0</td></tr> <tr><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">-</td><td style="border: 1px solid black; padding: 2px;">RAM3</td><td style="border: 1px solid black; padding: 2px;">RAM2</td><td style="border: 1px solid black; padding: 2px;">RAM1</td><td style="border: 1px solid black; padding: 2px;">RAM0</td></tr> </table>		7	6	5	4	3	2	1	0	-	-	-	-	RAM3	RAM2	RAM1	RAM0																	
7	6	5	4	3	2	1	0																																														
-	-	-	-	RAM3	RAM2	RAM1	-																																														
7	6	5	4	3	2	1	0																																														
-	-	-	-	RAM3	RAM2	RAM1	RAM0																																														
RAM エミュレーション	RAM エリア	1K バイト (H'FF800 ~ H'FFBFF)		4K バイト (H'FE000 ~ H'FEFFF)																																																	
	対象ブロック	EB0 ~ EB3		EB0 ~ EB7																																																	
フラッシュメモリプログラミングモード	ブートモードのビットレート	9,600bps, 4,800bps		19,200bps, 9,600bps, 4,800bps																																																	
	PROM モード	ルネサス 128K バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT128) をサポートしている PROM ライタを使用		ルネサス 256K バイトフラッシュメモリ内蔵マイコンデバイスタイプ (FZTAT256) をサポートしている PROM ライタを使用																																																	
発振安定待機時間 (外部クロック時)		設定は任意		待機時間を 0.1ms 以上に設定																																																	
電気的特性	動作温度	一般仕様 : -20 ~ +75 広温度範囲仕様 : -40 ~ +85		-20 ~ +75																																																	
	スタンバイ電流	Ta 50 : 5 μ A Ta > 50 : 20 μ A		Ta 50 : 10 μ A Ta > 50 : 80 μ A																																																	

ルネサス16ビットシングルチップマイクロコンピュータ
ハードウェアマニュアル
H8/3022グループ、H8/3022F-ZTAT™

発行年月日 1999年9月 第1版
2007年3月19日 Rev.2.00
発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

営業お問合せ窓口
株式会社ルネサス販売



<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪府中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

H8/3022 グループ、H8/3022F-ZTAT™ ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0384-0200